

RX63T グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ
RXファミリ／RX600シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX63Tグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

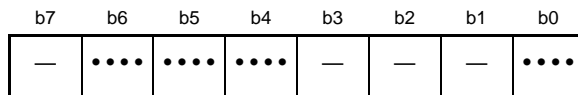
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	データシート	R01DS0087JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RX63Tグループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	RXファミリ ユーザーズマニュアル ソフトウェア編	R01US0032JJ
アプリケーションノート	応用例参考プログラムなど	—	—
RENESAS THCHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.Xレジスタ

アドレス xxxx xxxxxh



リセット後の値 x 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W (注1)
b0	••••0	••••ビット (注2)	0: ••••• 1: 設定しないでください (注3)	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	••••4	••••ビット	0: ••••• 1: •••••	R
b6-b5	••••[1:0]	••••ビット	00: ••••• 01: ••••• 上記以外は設定しないでください (注3)	R/(W) (注)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

- 注1. R/W : 読み出し／書き込みともに有効です。
R/(W) : 読み出し／書き込みともに有効ですが、書き込みには制限があります。制限の内容については、各レジスタの説明や注記を参照ください。
R : 読み出しのみ有効です。書き込みは無効になります。
- 注2. 予約ビットです。書き込みを行う場合には、必ず指定された値を書きこんでください。指定外の値を書きこんだ場合の動作は保証されません。
- 注3. 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

特長	45
1. 概要	46
1.1 仕様概要	46
1.2 製品一覧	54
1.3 ブロック図	58
1.4 端子機能	59
1.5 ピン配置図	64
2. CPU	91
2.1 特長	91
2.2 CPU レジスタセット	92
2.2.1 汎用レジスタ (R0 ~ R15)	93
2.2.2 制御レジスタ	93
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)	94
2.2.2.2 割り込みテーブルレジスタ (INTB)	94
2.2.2.3 プログラムカウンタ (PC)	94
2.2.2.4 プロセッサステータスワード (PSW)	95
2.2.2.5 バックアップ PC (BPC)	96
2.2.2.6 バックアップ PSW (BPSW)	97
2.2.2.7 高速割り込みベクタレジスタ (FINTV)	97
2.2.2.8 浮動小数点ステータスワード (FPSW)	98
2.2.3 DSP 機能命令関連レジスタ	100
2.2.3.1 アキュムレータ (ACC)	100
2.3 プロセッサモード	101
2.3.1 スーパーバイザモード	101
2.3.2 ユーザモード	101
2.3.3 特権命令	101
2.3.4 プロセッサモード間の移行	101
2.4 データタイプ	102
2.5 エンディアン	102
2.5.1 エンディアンの設定	102
2.5.2 I/O レジスタアクセス	106
2.5.3 I/O レジスタアクセスの注意事項	106
2.5.4 データ配置	106
2.5.4.1 レジスタのデータ配置	106
2.5.4.2 メモリ上のデータ配置	107
2.5.5 命令コード配置の注意事項	107
2.6 ベクタテーブル	108
2.6.1 固定ベクタテーブル	108
2.6.2 可変ベクタテーブル	109
2.7 命令動作	109

2.7.1	RMPA 命令、ストリング操作命令のデータプリフェッチ	109
2.8	パイプライン	110
2.8.1	概要	110
2.8.2	命令とパイプライン処理	112
2.8.2.1	単一のマイクロオペレーションに変換される命令とパイプライン処理	112
2.8.2.2	複数のマイクロオペレーションに変換される命令とパイプライン処理	114
2.8.2.3	パイプラインの基本動作	117
2.8.3	命令処理時間の計算方法	119
2.8.4	割り込み応答サイクル数	119
3.	動作モード【144/120/112/100 ピン版】	120
3.1	動作モードの種類と選択	120
3.2	レジスタの説明	121
3.2.1	モードモニタレジスタ (MDMONR)	121
3.2.2	モードステータスレジスタ (MDSR)	121
3.2.3	システムコントロールレジスタ 0 (SYSCR0)	122
3.2.4	システムコントロールレジスタ 1 (SYSCR1)	123
3.3	動作モードの説明	124
3.3.1	シングルチップモード	124
3.3.2	内蔵 ROM 有効拡張モード	124
3.3.3	内蔵 ROM 無効拡張モード	124
3.3.4	ブートモード	124
3.3.5	USB ブートモード	124
3.3.6	ユーザブートモード	125
3.4	動作モードの遷移	125
3.4.1	モード設定端子による動作モードの移行遷移	125
3.4.2	レジスタ設定による動作モード遷移	126
4.	動作モード【64/48 ピン版】	127
4.1	動作モードの種類と選択	127
4.2	レジスタの説明	128
4.2.1	モードモニタレジスタ (MDMONR)	128
4.2.2	システムコントロールレジスタ 0 (SYSCR0)	128
4.2.3	システムコントロールレジスタ 1 (SYSCR1)	129
4.3	動作モードの説明	129
4.3.1	シングルチップモード	129
4.3.2	ブートモード	129
4.4	動作モードの遷移	130
4.4.1	モード設定端子による動作モード遷移	130
4.4.2	レジスタ設定による動作モード遷移	130
5.	アドレス空間	131
5.1	アドレス空間	131

5.2	外部アドレス空間	133
6.	I/O レジスタ	134
6.1	I/O レジスタアドレス一覧 (アドレス順)	136
7.	リセット	182
7.1	概要	182
7.2	レジスタの説明	184
7.2.1	リセットステータスレジスタ 0 (RSTSR0)	184
7.2.2	リセットステータスレジスタ 1 (RSTSR1)	186
7.2.3	リセットステータスレジスタ 2 (RSTSR2)	187
7.2.4	ソフトウェアリセットレジスタ (SWRR)	188
7.3	動作説明	189
7.3.1	RES# 端子リセット	189
7.3.2	パワーオンリセット、電圧監視 0 リセット	189
7.3.3	電圧監視 1 リセット、電圧監視 2 リセット	190
7.3.4	ディープソフトウェアスタンバイリセット	192
7.3.5	独立ウォッチドッグタイマリセット	192
7.3.6	ウォッチドッグタイマリセット	192
7.3.7	ソフトウェアリセット	192
7.3.8	コールドスタート/ウォームスタート判定機能	193
7.3.9	リセット発生要因の判定	194
8.	オプション設定メモリ	195
8.1	概要	195
8.2	レジスタの説明	196
8.2.1	オプション機能選択レジスタ 0 (OFS0)	196
8.2.2	オプション機能選択レジスタ 1 (OFS1)	199
8.2.3	エンディアン選択レジスタ B (MDEB)、 エンディアン選択レジスタ S (MDES)	200
8.3	UB コード	201
8.3.1	UB コード A	201
8.3.2	UB コード B	201
8.4	使用上の注意事項	201
8.4.1	オプション設定メモリの設定例	201
9.	電圧検出回路 (LVDA)	202
9.1	概要	202
9.2	レジスタの説明	205
9.2.1	電圧監視 1 回路制御レジスタ 1 (LVD1CR1)	205
9.2.2	電圧監視 1 回路ステータスレジスタ (LVD1SR)	205
9.2.3	電圧監視 2 回路制御レジスタ 1 (LVD2CR1)	206
9.2.4	電圧監視 2 回路ステータスレジスタ (LVD2SR)	206
9.2.5	電圧監視回路制御レジスタ (LVCMPCR)	207

9.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	208
9.2.7	電圧監視 1 回路制御レジスタ 0 (LVD1CR0)	209
9.2.8	電圧監視 2 回路制御レジスタ 0 (LVD2CR0)	210
9.3	VCC 入力電圧のモニタ	212
9.3.1	Vdet0 のモニタ	212
9.3.2	Vdet1 のモニタ	212
9.3.3	Vdet2 のモニタ	212
9.4	電圧監視 0 リセット	213
9.5	電圧監視 1 割り込み、電圧監視 1 リセット	214
9.6	電圧監視 2 割り込み、電圧監視 2 リセット	216
10.	クロック発生回路	218
10.1	概要	218
10.2	レジスタの説明	221
10.2.1	システムクロックコントロールレジスタ (SCKCR)	221
10.2.2	システムクロックコントロールレジスタ 2 (SCKCR2)	223
10.2.3	システムクロックコントロールレジスタ 3 (SCKCR3)	224
10.2.4	PLL コントロールレジスタ (PLLCR)	225
10.2.5	PLL コントロールレジスタ 2 (PLLCR2)	226
10.2.6	外部バスクロックコントロールレジスタ (BCKCR)	227
10.2.7	メインクロック発振器コントロールレジスタ (MOSCCR)	228
10.2.8	低速オンチップオシレータコントロールレジスタ (LOCOCR)	229
10.2.9	IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)	230
10.2.10	発振停止検出コントロールレジスタ (OSTDCR)	231
10.2.11	発振停止検出ステータスレジスタ (OSTDSR)	232
10.2.12	メインクロック発振器強制発振コントロールレジスタ (MOFCR)	233
10.3	メインクロック発振器	233
10.3.1	発振子を接続する方法	233
10.3.2	外部クロックを入力する方法	234
10.3.3	外部クロック入力に関する注意事項	234
10.4	発振停止検出機能	235
10.4.1	発振停止検出と検出後の動作	235
10.4.2	発振停止検出割り込み	236
10.5	PLL 回路	237
10.6	内部クロック	237
10.6.1	システムクロック	237
10.6.2	タイマモジュールクロック	237
10.6.3	周辺モジュールクロック	237
10.6.4	AD 用クロック	237
10.6.5	S12AD 用クロック	238
10.6.6	FlashIF クロック	238

10.6.7	外部バスクロック	238
10.6.8	USB クロック	238
10.6.9	CAN クロック	238
10.6.10	CAC クロック	238
10.6.11	IWDT 専用クロック	238
10.6.12	JTAG 用クロック	238
10.7	発振子を接続する場合の端子設定	239
10.8	使用上の注意事項	239
10.8.1	クロック発生回路に関する注意事項	239
10.8.2	発振子に関する注意事項	239
10.8.3	ボード設計上の注意	239
11.	クロック周波数精度測定回路 (CAC)	240
11.1	概要	240
11.2	レジスタの説明	241
11.2.1	CAC コントロールレジスタ 0 (CACR0)	241
11.2.2	CAC コントロールレジスタ 1 (CACR1)	242
11.2.3	CAC コントロールレジスタ 2 (CACR2)	243
11.2.4	CAC 割り込みコントロールレジスタ (CAICR)	244
11.2.5	CAC ステータスレジスタ (CASTR)	245
11.2.6	CAC 上限値設定レジスタ (CAULVR)	246
11.2.7	CAC 下限値設定レジスタ (CALLVR)	246
11.2.8	CAC カウンタバッファレジスタ (CACNTBR)	246
11.3	動作説明	247
11.3.1	CACREF 端子入力を基準にクロック周波数を測定	247
11.3.2	他のクロックソースを基準にクロック周波数を測定	249
11.3.3	CACREF 端子のデジタルフィルタ機能	250
11.4	割り込み要求	251
11.5	使用上の注意事項	251
11.5.1	モジュールストップ機能の設定	251
12.	消費電力低減機能	252
12.1	概要	252
12.2	レジスタの説明	255
12.2.1	スタンバイコントロールレジスタ (SBYCR)	255
12.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	256
12.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	257
12.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	258
12.2.5	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	259
12.2.6	PLL ウェイトコントロールレジスタ (PLLWTCR)	261
12.2.7	ディープスタンバイコントロールレジスタ (DPSBYCR)	263
12.2.8	ディープスタンバイインタラプトイネーブルレジスタ 0 (DPSIER0)	264

12.2.9	ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2)	265
12.2.10	ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0)	266
12.2.11	ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2)	267
12.2.12	ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0)	268
12.2.13	ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2)	269
12.2.14	ディープスタンバイバックアップレジスタ (DPSBKRY) (y=0 ~ 31)	269
12.3	クロックの切り替えによる消費電力の低減	270
12.4	モジュールストップ機能	270
12.5	低消費電力状態	270
12.5.1	スリープモード	270
12.5.1.1	スリープモードへの移行	270
12.5.1.2	スリープモードの解除	271
12.5.2	全モジュールクロックストップモード	271
12.5.2.1	全モジュールクロックストップモードへの移行	271
12.5.2.2	全モジュールクロックストップモードの解除	272
12.5.3	ソフトウェアスタンバイモード	273
12.5.3.1	ソフトウェアスタンバイモードへの移行	273
12.5.3.2	ソフトウェアスタンバイモードの解除	274
12.5.3.3	ソフトウェアスタンバイモードの応用例	274
12.5.4	ディープソフトウェアスタンバイモード	276
12.5.4.1	ディープソフトウェアスタンバイモードへの移行	276
12.5.4.2	ディープソフトウェアスタンバイモードの解除	276
12.5.4.3	ディープソフトウェアスタンバイモード解除時の端子状態	277
12.5.4.4	ディープソフトウェアスタンバイモードの応用例	278
12.5.4.5	ディープソフトウェアスタンバイモードのフローチャート	279
12.6	使用上の注意事項	280
12.6.1	I/O ポートの状態	280
12.6.2	DMAC、DTC のモジュールストップ	280
12.6.3	内蔵周辺モジュールの割り込み	280
12.6.4	MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み	280
12.6.5	DIRQnE ビット (n=0 ~ 7) による入力バッファ制御	280
12.6.6	WAIT 命令の実行タイミング	280
12.6.7	スリープモード中の DMAC、DTC によるレジスタの書き換えについて	280
12.6.8	ソフトウェアスタンバイモードから復帰するときの注意事項	280
13.	レジスタライトプロテクション機能	281
13.1	レジスタの説明	282
13.1.1	プロテクトレジスタ (PRCR)	282
14.	例外処理	283
14.1	例外事象	283
14.1.1	未定義命令例外	283

14.1.2	特権命令例外	283
14.1.3	アクセス例外	283
14.1.4	浮動小数点例外	283
14.1.5	リセット	283
14.1.6	ノンマスクابل割り込み	284
14.1.7	割り込み	284
14.1.8	無条件トラップ	284
14.2	例外の処理手順	284
14.3	例外事象の受け付け	286
14.3.1	受け付けタイミングと退避される PC 値	286
14.3.2	ベクタと PC、PSW の退避場所	286
14.4	例外の受け付け／復帰時のハードウェア処理	287
14.5	ハードウェア前処理	288
14.5.1	未定義命令例外	288
14.5.2	特権命令例外	288
14.5.3	アクセス例外	288
14.5.4	浮動小数点例外	288
14.5.5	リセット	288
14.5.6	ノンマスクابل割り込み	289
14.5.7	割り込み	289
14.5.8	無条件トラップ	289
14.6	例外処理ルーチンからの復帰	290
14.7	例外事象の優先順位	290
15.	割り込みコントローラ (ICUb)	291
15.1	概要	291
15.2	レジスタの説明	293
15.2.1	割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)	293
15.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	294
15.2.3	割り込み要因プライオリティレジスタ n (IPRn) (n = 000 ~ 250)	295
15.2.4	高速割り込み設定レジスタ (FIR)	296
15.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	297
15.2.6	DTC 起動許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)	297
15.2.7	DMAC 起動要求選択レジスタ m (DMRSRm) (m = DMAC チャンネル番号)	298
15.2.8	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)	298
15.2.9	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	299
15.2.10	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	299
15.2.11	ノンマスクابل割り込みステータスレジスタ (NMISR)	300
15.2.12	ノンマスクابل割り込み許可レジスタ (NMIER)	302
15.2.13	ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)	303
15.2.14	NMI 端子割り込みコントロールレジスタ (NMICR)	304

15.2.15	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	304
15.2.16	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	305
15.2.17	グループ m 割り込み要因レジスタ (GRPm) (m= グループ番号)	305
15.2.18	グループ m 割り込み許可レジスタ (GENm) (m= グループ番号)	307
15.2.19	グループ m 割り込みクリアレジスタ (GCRm) (m= グループ番号)	309
15.3	ベクタテーブル	310
15.3.1	割り込みのベクタテーブル	310
15.3.2	高速割り込みのベクタテーブル	317
15.3.3	ノンマスカブル割り込みのベクタテーブル	317
15.4	周辺モジュール割り込み要求のグループ機能	318
15.4.1	割り込み要求グループ	318
15.5	割り込みの動作説明	319
15.5.1	割り込み検出	319
15.5.1.1	エッジ検出の割り込みステータスフラグ	319
15.5.1.2	レベル検出の割り込みステータスフラグ	321
15.5.1.3	エッジ検出グループ割り込みと割り込みステータスフラグ	322
15.5.1.4	レベル検出グループ割り込みと割り込みステータスフラグ	323
15.5.2	割り込み要求の許可 / 禁止	325
15.5.3	割り込み要求先の選択	326
15.5.4	優先順位の判定	327
15.5.5	多重割り込み	328
15.5.6	高速割り込み	328
15.5.7	デジタルフィルタ	328
15.5.8	外部端子割り込み	329
15.6	ノンマスカブル割り込みの動作説明	329
15.7	低消費電力状態からの復帰	331
15.7.1	スリープモードからの復帰	331
15.7.2	全モジュールクロックストップモードからの復帰	331
15.7.3	ソフトウェアスタンバイモードからの復帰	332
15.8	使用上の注意事項	332
15.8.1	ノンマスカブル割り込み使用時の WAIT 命令の注意事項	332
15.8.2	MTU3 割り込み使用時の注意事項	332
16.	バス	335
16.1	概要	335
16.2	バスの説明	337
16.2.1	CPU バス	337
16.2.2	メモリバス	337
16.2.3	内部メインバス	338
16.2.4	内部周辺バス	338
16.2.5	ライトバッファ機能 (内部周辺バス)	339

16.2.6	外部バス	340
16.2.7	並列動作	341
16.2.8	バスの設定	342
16.2.9	制約事項	342
16.3	レジスタの説明	343
16.3.1	CSn 制御レジスタ (CSnCR) (n = 0 ~ 3)	343
16.3.2	CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 3)	344
16.3.3	CS リカバリサイクル挿入許可レジスタ (CSRECEN)	346
16.3.4	CSn モードレジスタ (CSnMOD) (n = 0 ~ 3)	349
16.3.5	CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ~ 3)	351
16.3.6	CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ~ 3)	354
16.3.7	バスエラーステータスクリアレジスタ (BERCLR)	358
16.3.8	バスエラー監視許可レジスタ (BEREN)	358
16.3.9	バスエラーステータスレジスタ 1 (BERSR1)	359
16.3.10	バスエラーステータスレジスタ 2 (BERSR2)	359
16.3.11	バスプライオリティ制御レジスタ (BUSPRI)	360
16.4	エンディアンとデータアライメント	362
16.4.1	CS 領域のデータアライメント制御	362
16.5	CS 領域コントローラの動作説明	367
16.5.1	セパレートバス	367
16.5.2	アドレス / データマルチプレクスバス	380
16.5.3	外部ウェイト機能	384
16.5.4	リカバリサイクルの挿入	386
16.5.5	非アクセス時の状態	390
16.5.6	ライトバッファ機能 (外部バス)	391
16.5.7	制約事項	391
16.6	バスエラー監視部	393
16.6.1	バスエラーの種類	393
16.6.1.1	不正アドレスアクセス	393
16.6.1.2	タイムアウト	393
16.6.2	バスエラー発生時の動作	393
16.6.3	バスエラーの発生条件	394
17.	メモリプロテクションユニット (MPU)	395
17.1	概要	395
17.1.1	アクセス制御の種類	397
17.1.2	アクセス制御領域	397
17.1.3	バックグラウンド領域	397
17.1.4	領域のオーバーラップ	397
17.1.5	領域をまたぐ命令とデータ	397
17.2	レジスタの説明	398

17.2.1	領域 n 開始ページ番号レジスタ (RSPAGEn) (n=0 ~ 7)	398
17.2.2	領域 n 終了ページ番号レジスタ (REPAGEn) (n=0 ~ 7)	399
17.2.3	メモリプロテクション機能有効化レジスタ (MPEN)	400
17.2.4	バックグラウンドアクセス制御レジスタ (MPBAC)	400
17.2.5	メモリプロテクションエラーステータスクリアレジスタ (MPECLR)	401
17.2.6	メモリプロテクションエラーステータスレジスタ (MPESTS)	402
17.2.7	データメモリプロテクションエラーアドレスレジスタ (MPDEA)	403
17.2.8	領域サーチアドレスレジスタ (MPSA)	403
17.2.9	領域サーチオペレーションレジスタ (MPOPS)	404
17.2.10	領域インバリデイトオペレーションレジスタ (MPOPI)	404
17.2.11	命令ヒット領域レジスタ (MHITI)	405
17.2.12	データヒット領域レジスタ (MHITD)	406
17.3	機能	408
17.3.1	メモリプロテクション機能	408
17.3.2	領域サーチ機能	408
17.3.3	メモリプロテクションユニット関連レジスタの保護	408
17.3.4	メモリプロテクション機能のアクセス判定フロー	409
17.4	メモリプロテクション機能使用手順	411
17.4.1	アクセス制御情報の設定	411
17.4.2	メモリプロテクション機能の有効化	411
17.4.3	ユーザモードへの移行	411
17.4.4	メモリプロテクションエラー発生時の処理	411
18.	DMA コントローラ (DMACA)	413
18.1	概要	413
18.2	レジスタの説明	415
18.2.1	DMA 転送元アドレスレジスタ (DMSAR)	415
18.2.2	DMA 転送先アドレスレジスタ (DMDAR)	415
18.2.3	DMA 転送カウンタレジスタ (DMCRA)	416
18.2.4	DMA ブロック転送カウンタレジスタ (DMCRB)	417
18.2.5	DMA 転送モードレジスタ (DMTMD)	418
18.2.6	DMA 割り込み設定レジスタ (DMINT)	419
18.2.7	DMA アドレスモードレジスタ (DMAMD)	420
18.2.8	DMA オフセットレジスタ (DMOFR)	423
18.2.9	DMA 転送許可レジスタ (DMCNT)	423
18.2.10	DMA ソフトウェア起動レジスタ (DMREQ)	424
18.2.11	DMA ステータスレジスタ (DMSTS)	425
18.2.12	DMA 起動要因フラグ制御レジスタ (DMCSL)	426
18.2.13	DMA モジュール起動レジスタ (DMAST)	427
18.3	動作説明	428
18.3.1	転送モード	428

18.3.2	拡張リポートエリア機能	432
18.3.3	オフセットを使ったアドレス更新機能	434
18.3.4	起動要因	438
18.3.5	動作タイミング	439
18.3.6	DMAC の実行サイクル	440
18.3.7	DMAC の起動	441
18.3.8	DMA 転送の開始	442
18.3.9	DMA 転送中のレジスタ	442
18.3.10	チャンネルの優先順位	443
18.4	DMA 転送終了	444
18.4.1	設定した総データ転送による転送終了	444
18.4.2	リポートサイズ終了割り込みによる転送終了	444
18.4.3	拡張リポートエリアオーバーフロー割り込みによる転送終了	444
18.5	割り込み	445
18.6	消費電力低減機能	447
18.7	使用上の注意事項	448
18.7.1	外部デバイスを使用する場合	448
18.7.2	周辺モジュールへ DMA 転送する場合	448
18.7.3	DMA 動作中のレジスタアクセスについて	448
18.7.4	予約領域への DMA 転送について	448
18.7.5	DMA 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの 割り込み要求について	448
18.7.6	割り込みコントローラの DMAC 起動要求レジスタ (ICU.DMRSRm) の設定	448
18.7.7	DMA 起動の保留 / 再開方法	448
19.	データトランスファコントローラ (DTCa)	449
19.1	概要	449
19.2	レジスタの説明	451
19.2.1	DTC モードレジスタ A (MRA)	451
19.2.2	DTC モードレジスタ B (MRB)	452
19.2.3	DTC 転送元レジスタ (SAR)	453
19.2.4	DTC 転送先レジスタ (DAR)	453
19.2.5	DTC 転送カウントレジスタ A (CRA)	454
19.2.6	DTC 転送カウントレジスタ B (CRB)	455
19.2.7	DTC コントロールレジスタ (DTCCR)	455
19.2.8	DTC ベクタベースレジスタ (DTCVBR)	456
19.2.9	DTC アドレスモードレジスタ (DTCADMOD)	456
19.2.10	DTC モジュール起動レジスタ (DTCST)	457
19.2.11	DTC ステータスレジスタ (DTCSTS)	458
19.3	起動要因	459
19.3.1	転送情報の配置と DTC ベクタテーブル	459

19.4	動作説明	461
19.4.1	転送情報リードスキップ機能	463
19.4.2	転送情報ライトボックススキップ機能	464
19.4.3	ノーマル転送モード	464
19.4.4	リピート転送モード	465
19.4.5	ブロック転送モード	467
19.4.6	チェーン転送	468
19.4.7	動作タイミング	469
19.4.8	DTC の実行サイクル	472
19.4.9	DTC のバス権解放タイミング	472
19.5	DTC の設定手順	473
19.6	DTC 使用例	474
19.6.1	ノーマル転送	474
19.6.2	カウンタ = 0 のときのチェーン転送	475
19.7	割り込み要因	476
19.8	消費電力低減機能	476
19.9	使用上の注意事項	477
19.9.1	転送情報先頭アドレス / 転送元アドレス / 転送先アドレス	477
19.9.2	転送情報の配置	477
19.9.3	割り込みコントローラの DTC 起動許可レジスタ (ICU.DTCERn) の設定	478
20.	I/O ポート	479
20.1	概要	479
20.2	入出力ポートの構成	482
20.2.1	144/120/112/100 ピン版	482
20.2.2	64/48 ピン版	486
20.3	レジスタの説明	488
20.3.1	ポート方向レジスタ (PDR)	488
20.3.2	ポート出力データレジスタ (PODR)	489
20.3.3	ポート入力データレジスタ (PIDR)	490
20.3.4	ポートモードレジスタ (PMR)	491
20.3.5	オープンドレイン制御レジスタ 0 (ODR0)	492
20.3.6	オープンドレイン制御レジスタ 1 (ODR1)	492
20.3.7	駆動能力制御レジスタ 1 (DSCR1)	493
20.3.8	駆動能力制御レジスタ 2 (DSCR2)	494
20.4	未使用端子の処理	495
20.5	使用上の注意事項	495
20.5.1	144 ピン未満のピン数の製品について	495
21.	マルチファンクションピンコントローラ (MPC)	496
21.1	概要	496
21.2	レジスタの説明	504

21.2.1	書き込みプロテクトレジスタ (PWPR)	504
21.2.2	P0n 端子機能制御レジスタ (P0nPFS) (n=0 ~ 3)	505
21.2.3	P1n 端子機能制御レジスタ (P1nPFS) (n=0 ~ 4)	507
21.2.4	P2n 端子機能制御レジスタ (P2nPFS) (n=0 ~ 6)	508
21.2.5	P3n 端子機能制御レジスタ (P3nPFS) (n=0 ~ 5)	510
21.2.6	P4n 端子機能制御レジスタ (P4nPFS) (n=0 ~ 7)	512
21.2.7	P5n 端子機能制御レジスタ (P5nPFS) (n=0 ~ 7)	512
21.2.8	P6n 端子機能制御レジスタ (P6nPFS) (n=0 ~ 5)	512
21.2.9	P7n 端子機能制御レジスタ (P7nPFS) (n=0 ~ 6)	513
21.2.10	P8n 端子機能制御レジスタ (P8nPFS) (n=0 ~ 2)	514
21.2.11	P9n 端子機能制御レジスタ (P9nPFS) (n=0 ~ 6)	515
21.2.12	PAn 端子機能制御レジスタ (PAnPFS) (n=0 ~ 6)	516
21.2.13	PBn 端子機能制御レジスタ (PBnPFS) (n=0 ~ 7)	518
21.2.14	PCn 端子機能制御レジスタ (PCnPFS) (n=0 ~ 5)	520
21.2.15	PDn 端子機能制御レジスタ (PDnPFS) (n=0 ~ 7)	520
21.2.16	PEn 端子機能制御レジスタ (PEnPFS) (n=0 ~ 5)	522
21.2.17	PFn 端子機能制御レジスタ (PFnPFS) (n=2, 3)	523
21.2.18	PGn 端子機能制御レジスタ (PGnPFS) (n=0 ~ 6)	524
21.2.19	USB0_DPUPPE 端子機能制御レジスタ (UDPUPEPFS)	525
21.2.20	CS 出力許可レジスタ (PFCSE)	525
21.2.21	CS 出力端子選択レジスタ 0 (PFCSS0)	526
21.2.22	アドレス出力許可レジスタ 0 (PFAOE0)	527
21.2.23	アドレス出力許可レジスタ 1 (PFAOE1)	527
21.2.24	外部バス制御レジスタ 0 (PFBCR0)	528
21.2.25	外部バス制御レジスタ 1 (PFBCR1)	528
21.2.26	USB0 制御レジスタ (PFUSB0)	529
21.3	外部バスインタフェース設定方法	530
21.4	使用上の注意事項	531
21.4.1	端子入出力機能設定手順	531
21.4.2	MPC レジスタ設定する場合の注意事項	532
21.4.3	アナログ機能を使う場合の注意事項	532
22.	マルチファンクションタイマパルスユニット 3 (MTU3)	533
22.1	概要	533
22.2	レジスタの説明	539
22.2.1	タイマコントロールレジスタ (TCR)	539
22.2.2	タイマモードレジスタ 1 (TMDR1)	543
22.2.3	タイマモードレジスタ 2 (TMDR2A、TMDR2B)	546
22.2.4	タイマ I/O コントロールレジスタ (TIOR)	546
22.2.5	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	563
22.2.6	タイマインタラプトイネーブルレジスタ (TIER)	564

22.2.7	タイマステータスレジスタ (TSR)	567
22.2.8	タイマバッファ動作転送モードレジスタ (TBTM)	572
22.2.9	タイマインプットキャプチャコントロールレジスタ (TICCR)	573
22.2.10	タイマシンクロクリアレジスタ (TSYCR)	574
22.2.11	タイマカウンタ (TCNT)	574
22.2.12	タイマジェネラルレジスタ (TGR)	575
22.2.13	タイマスタートレジスタ (TSTR)	576
22.2.14	タイマシンクロレジスタ (TSYR)	578
22.2.15	タイマカウンタシンクロスタートレジスタ (TCSYSTR)	580
22.2.16	タイマリードライトイネーブルレジスタ (TRWERA、TRWERB)	582
22.2.17	タイマアウトプットマスタイネーブルレジスタ (TOER)	583
22.2.18	タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B)	585
22.2.19	タイマアウトプットコントロールレジスタ 2 (TOCR2A、TOCR2B)	587
22.2.20	タイマアウトプットレベルバッファレジスタ (TOLBRA、TOLBRB)	590
22.2.21	タイマゲートコントロールレジスタ A (TGCRA)	591
22.2.22	タイマサブカウンタ (TCNTSA、TCNTSB)	592
22.2.23	タイマ周期データレジスタ (TCDRA、TCDRB)	592
22.2.24	タイマ周期バッファレジスタ (TCBRA、TCBRB)	593
22.2.25	タイマデッドタイムデータレジスタ (TDDRA、TDDRБ)	593
22.2.26	タイマデッドタイムイネーブルレジスタ (TDERA、TDERB)	594
22.2.27	タイマバッファ転送設定レジスタ (TBTERA、TBTERB)	595
22.2.28	タイマ波形コントロールレジスタ (TWCRA、TWCRB)	596
22.2.29	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	598
22.2.30	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA、TADCORB)	602
22.2.31	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA、TADCOBRB)	602
22.2.32	タイマ割り込み間引きモードレジスタ (TITMRA、TITMRB)	603
22.2.33	タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B)	604
22.2.34	タイマ割り込み間引き回数カウンタ 1 (TITCNT1A、TITCNT1B)	607
22.2.35	タイマ割り込み間引き設定レジスタ 2 (TITCR2A、TITCR2B)	609
22.2.36	タイマ割り込み間引き回数カウンタ 2 (TITCNT2A、TITCNT2B)	611
22.2.37	バスマスタとのインタフェース	613
22.3	動作説明	614
22.3.1	基本動作	614
22.3.2	同期動作	620
22.3.3	バッファ動作	622
22.3.4	カスケード接続動作	627
22.3.5	PWM モード	632
22.3.6	位相計数モード	637
22.3.7	リセット同期 PWM モード	643
22.3.8	相補 PWM モード	646

22.3.9	A/D 変換開始要求ディレイド機能	688
22.3.10	MTU0 ~ MTU4 - MTU6、MTU7 の同期動作	695
22.3.11	外部パルス幅測定機能	698
22.3.12	デッドタイム補償用機能	699
22.3.13	相補 PWM モード時の「山／谷」での TCNT キャプチャ動作	701
22.4	割り込み要因	701
22.4.1	割り込み要因と優先順位	701
22.4.2	DMAC/DTC の起動	703
22.4.3	A/D コンバータの起動	704
22.5	動作タイミング	706
22.5.1	入出力タイミング	706
22.5.2	割り込み信号タイミング	712
22.6	使用上の注意事項	718
22.6.1	モジュールストップ機能の設定	718
22.6.2	入力クロックの制限事項	718
22.6.3	周期設定上の注意事項	718
22.6.4	TCNT への書き込みとクリアの競合	719
22.6.5	TCNT への書き込みとカウントアップの競合	719
22.6.6	TGR への書き込みとコンペアマッチの競合	720
22.6.7	バッファレジスタへの書き込みとコンペアマッチの競合	720
22.6.8	バッファレジスタへの書き込みと TCNT クリアの競合	721
22.6.9	TGR レジスタの読み出しとインプットキャプチャの競合	722
22.6.10	TGR レジスタへの書き込みとインプットキャプチャの競合	723
22.6.11	バッファレジスタへの書き込みとインプットキャプチャの競合	724
22.6.12	カスケード接続における MTU2.TCNT への書き込みとオーバーフロー／ アンダフローの競合	725
22.6.13	相補 PWM モード停止時のカウンタ値	726
22.6.14	相補 PWM モードでのバッファ動作の設定	726
22.6.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	727
22.6.16	リセット同期 PWM モードのオーバーフローフラグ	728
22.6.17	オーバーフロー／アンダフローとカウンタクリアの競合	729
22.6.18	TCNT への書き込みとオーバーフロー／アンダフローの競合	729
22.6.19	ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する 場合の注意事項	730
22.6.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	730
22.6.21	カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ ...	730
22.6.22	割り込み間引き機能 2	731
22.6.23	相補 PWM モードの出力保護機能未使用時の注意事項	731
22.6.24	相補 PWM モード同期クリアするときの異常動作防止について	732
22.6.25	コンペアマッチによる割り込み信号の連続出力	734
22.6.26	相補 PWM モードにおける A/D 変換ディレイド機能の注意事項	734

22.7	MTU 出力端子の初期化方法	736
22.7.1	動作モード	736
22.7.2	動作中の異常などによる再設定時の動作	736
22.7.3	動作中の異常などによる端子の初期化手順、モード遷移の概要	737
23.	ポートアウトプットイネーブル 3 (POE3)	762
23.1	概要	762
23.2	レジスタの説明	766
23.2.1	入力レベルコントロール/ステータスレジスタ 1 (ICSR1)	766
23.2.2	入力レベルコントロール/ステータスレジスタ 2 (ICSR2)	768
23.2.3	出力レベルコントロール/ステータスレジスタ 1 (OCSR1)	769
23.2.4	出力レベルコントロール/ステータスレジスタ 2 (OCSR2)	770
23.2.5	アクティブレベルレジスタ 1 (ALR1)	771
23.2.6	アクティブレベルレジスタ 2 (ALR2)	773
23.2.7	入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	775
23.2.8	入力レベルコントロール/ステータスレジスタ 4 (ICSR4)	777
23.2.9	入力レベルコントロール/ステータスレジスタ 5 (ICSR5)	779
23.2.10	入力レベルコントロール/ステータスレジスタ 7 (ICSR7)	781
23.2.11	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	783
23.2.12	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	786
23.2.13	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	787
23.2.14	ポートアウトプットイネーブルコントロールレジスタ 3 (POECR3)	790
23.2.15	ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)	792
23.2.16	ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)	795
23.2.17	ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6)	797
23.2.18	ポートアウトプットイネーブルコントロールレジスタ 7 (POECR7)	800
23.2.19	ポートアウトプットイネーブルコントロールレジスタ 8 (POECR8)	801
23.2.20	入力レベルコントロール/ステータスレジスタ 6 (ICSR6)	802
23.3	動作説明	803
23.3.1	入力レベル検出動作	813
23.3.2	出力レベル比較動作	814
23.3.3	レジスタによるハイインピーダンス制御	815
23.3.4	発振停止検出検知によるハイインピーダンス制御	815
23.3.5	コンパレータ検出によるハイインピーダンス制御	815
23.3.6	ハイインピーダンス制御条件の追加機能	815
23.3.7	ハイインピーダンス状態からの解除	816
23.4	割り込み	816
23.5	使用上の注意事項	816
24.	汎用 PWM タイマ (GPT)	817
24.1	概要	817
24.2	レジスタの説明	822

24.2.1	汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)	822
24.2.2	汎用 PWM タイマハードウェア要因スタートコントロールレジスタ (GTHSCR)	824
24.2.3	汎用 PWM タイマハードウェア要因クリアコントロールレジスタ (GTHCCR)	826
24.2.4	汎用 PWM タイマハードウェアスタート要因セレクトレジスタ (GTHSSR)	828
24.2.5	汎用 PWM タイマハードウェアストップ・クリア要因セレクトレジスタ (GTHPSR)	832
24.2.6	汎用 PWM タイマ書き込み保護レジスタ (GTWP)	836
24.2.7	汎用 PWM タイマシンクロレジスタ (GTSYNC)	837
24.2.8	汎用 PWM タイマ外部トリガ入力割り込みレジスタ (GTETINT)	839
24.2.9	汎用 PWM タイマバッファ動作禁止レジスタ (GTBDR)	840
24.2.10	汎用 PWM タイマスタート書き込み保護レジスタ (GTSWP)	842
24.2.11	LOCO カウントコントロールレジスタ (LCCR)	843
24.2.12	LOCO カウントステータスレジスタ (LCST)	845
24.2.13	LOCO カウント値レジスタ (LCNT)	846
24.2.14	LOCO カウント結果平均レジスタ (LCNTA)	846
24.2.15	LOCO カウント結果レジスタ n (LCNTn) (n=00 ~ 15)	846
24.2.16	LOCO カウント上限/下限許容偏差値レジスタ (LCNTDU、LCNTDL)	847
24.2.17	汎用 PWM タイマ I/O コントロールレジスタ (GTIOR)	848
24.2.18	汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)	852
24.2.19	汎用 PWM タイマコントロールレジスタ (GTCR)	854
24.2.20	汎用 PWM タイマバッファイネーブルレジスタ (GTBER)	856
24.2.21	汎用 PWM タイマカウント方向レジスタ (GTUDC)	858
24.2.22	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)	859
24.2.23	汎用 PWM タイマステータスレジスタ (GTST)	861
24.2.24	汎用 PWM タイマカウンタ (GTCNT)	864
24.2.25	汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m=A ~ F)	865
24.2.26	汎用 PWM タイマ周期設定レジスタ (GTPR)	865
24.2.27	汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)	866
24.2.28	汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)	866
24.2.29	A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m=A、B)	866
24.2.30	A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A,B)	867
24.2.31	A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A,B)	867
24.2.32	汎用 PWM タイマ出力ネゲートコントロールレジスタ (GTONCR)	868
24.2.33	汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCR)	872
24.2.34	汎用 PWM タイマデッドタイム値レジスタ m (GTDVm) (m = U、D)	874
24.2.35	汎用 PWM タイマデッドタイムバッファレジスタ m (GTDBm) (m = U、D)	874
24.2.36	汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS)	875
24.2.37	汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR)	876
24.2.38	PWM 出力遅延制御レジスタ (GTDLYCR)	877
24.2.39	GTIOCA 立ち上がり出力遅延レジスタ (GTDLYRA)	878

24.2.40	GTIOCA 立ち下がり出力遅延レジスタ (GTDLYFA)	879
24.2.41	GTIOCB 立ち上がり出力遅延レジスタ (GTDLYRB)	880
24.2.42	GTIOCB 立ち下がり出力遅延レジスタ (GTDLYFB)	881
24.3	動作説明	882
24.3.1	基本動作	882
24.3.1.1	カウンタの動作	882
24.3.1.2	コンペアマッチによる波形出力機能	886
24.3.1.3	インプットキャプチャ機能	890
24.3.2	バッファ動作	892
24.3.2.1	GTPR レジスタのバッファ動作	892
24.3.2.2	GTCCRA レジスタ、GTCCRB レジスタのバッファ動作	895
24.3.2.3	GTADTRA レジスタ、GTADTRB レジスタのバッファ動作	900
24.3.3	PWM 出力動作モード	903
24.3.4	デッドタイム自動設定機能	915
24.3.5	カウント方向切り替え機能	919
24.3.6	ハードウェア スタート/ストップ、クリア動作	920
24.3.6.1	ハードウェア スタート動作	920
24.3.6.2	ハードウェアストップ動作	922
24.3.6.3	ハードウェア クリア動作	926
24.3.7	同期動作	929
24.3.7.1	同期クリア動作	929
24.3.7.2	同期スタート動作	932
24.3.8	PWM 出力動作例	938
24.3.9	PWM 立ち上がり / 立ち下がりタイミング調整動作	944
24.3.10	GTDLYRA レジスタ、GTDLYRB レジスタ、GTDLYFA レジスタ、 GTDLYFB レジスタの設定値転送タイミング	945
24.4	割り込み要因	947
24.4.1	割り込み要因と優先順位	947
24.4.2	DMAC/DTC の起動	952
24.4.3	割り込み、A/D 変換要求の間引き機能	952
24.5	A/D 変換開始要求	956
24.6	IWDTCLK カウント機能	958
24.7	保護機能	961
24.7.1	レジスタの書き込み保護	961
24.7.2	バッファ動作の抑止	962
24.7.3	GTIOC 端子出力のネゲート制御	963
24.7.4	GTIOC 端子出力の出力保護機能	964
24.7.5	POE 機能による GTIOC 端子出力のハイインピーダンス制御	968
24.8	出力端子の初期化方法	969
24.8.1	リセット後の端子設定	969
24.8.2	動作中の異常などによる端子の初期化	969

24.9	使用上の注意事項	970
24.9.1	モジュールストップ機能の設定	970
24.9.2	コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F)	970
24.9.3	タイマの安全な停止方法	971
24.9.4	IWDTCLK カウント機能使用時の消費電力低減機能の設定	971
24.9.5	同期動作の対象チャネルについて	971
24.9.6	PWM 遅延生成回路の遅延値設定に関する注意事項	972
25.	コンペアマッチタイマ (CMT)	973
25.1	概要	973
25.2	レジスタの説明	974
25.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	974
25.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	974
25.2.3	コンペアマッチタイマコントロールレジスタ (CMCR)	975
25.2.4	コンペアマッチタイマカウンタ (CMCNT)	976
25.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR)	976
25.3	動作説明	977
25.3.1	周期カウント動作	977
25.3.2	CMCNT カウンタのカウントタイミング	977
25.4	割り込み	978
25.4.1	割り込み要因	978
25.4.2	コンペアマッチ割り込みの発生タイミング	978
25.5	使用上の注意事項	979
25.5.1	モジュールストップ機能の設定	979
25.5.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	979
25.5.3	CMCNT カウンタへの書き込みとカウントアップの競合	979
26.	ウォッチドッグタイマ (WDTA)	980
26.1	概要	980
26.2	レジスタの説明	982
26.2.1	WDT リフレッシュレジスタ (WDTRR)	982
26.2.2	WDT コントロールレジスタ (WDTCR)	983
26.2.3	WDT ステータスレジスタ (WDTSR)	986
26.2.4	WDT リセットコントロールレジスタ (WDTRCR)	987
26.2.5	オプション機能選択レジスタ 0 (OFS0)	987
26.3	動作説明	988
26.3.1	カウント開始条件別の各動作	988
26.3.1.1	レジスタスタートモード	988
26.3.1.2	オートスタートモード	989
26.3.2	WDTCR レジスタ、WDTRCR レジスタ書き込み制御	990
26.3.3	リフレッシュ動作	991
26.3.4	ステータスフラグ	993

26.3.5	リセット出力	993
26.3.6	割り込み要因	993
26.3.7	ダウンカウンタ値の読み出し	994
26.3.8	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応	994
27.	独立ウォッチドッグタイマ (IWDTa)	995
27.1	概要	995
27.2	レジスタの説明	997
27.2.1	IWDT リフレッシュレジスタ (IWDTRR)	997
27.2.2	IWDT コントロールレジスタ (IWDTCR)	998
27.2.3	IWDT ステータスレジスタ (IWDTSR)	1001
27.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	1002
27.2.5	IWDT カウント停止コントロールレジスタ (IWDTCSTPR)	1002
27.2.6	オプション機能選択レジスタ 0 (OFS0)	1003
27.3	動作説明	1003
27.3.1	カウント開始条件別の各動作	1003
27.3.1.1	レジスタスタートモード	1003
27.3.1.2	オートスタートモード	1004
27.3.2	IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御	1005
27.3.3	リフレッシュ動作	1006
27.3.4	ステータスフラグ	1008
27.3.5	リセット出力	1008
27.3.6	割り込み要因	1009
27.3.7	ダウンカウンタ値の読み出し	1009
27.3.8	オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応	1010
27.4	使用上の注意事項	1010
27.4.1	リフレッシュ動作について	1010
28.	USB2.0 ホスト / ファンクションモジュール (USBa)	1011
28.1	概要	1011
28.2	レジスタの説明	1014
28.2.1	システムコンフィギュレーションコントロールレジスタ (SYSCFG)	1014
28.2.2	システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)	1016
28.2.3	デバイスステートコントロールレジスタ 0 (DVSTCTR0)	1017
28.2.4	CFIFO ポートレジスタ (CFIFO) D0FIFO ポートレジスタ (D0FIFO) D1FIFO ポートレジスタ (D1FIFO)	1020
28.2.5	CFIFO ポート選択レジスタ (CFIFOSEL) D0FIFO ポート選択レジスタ (D0FIFOSEL) D1FIFO ポート選択レジスタ (D1FIFOSEL)	1022
28.2.6	CFIFO ポートコントロールレジスタ (CFIFOCTR) D0FIFO ポートコントロールレジスタ (D0FIFOCTR) D1FIFO ポートコントロールレジスタ (D1FIFOCTR)	1026
28.2.7	割り込み許可レジスタ 0 (INTENB0)	1028

28.2.8	割り込み許可レジスタ 1 (INTENB1)	1029
28.2.9	BRDY 割り込み許可レジスタ (BRDYENB)	1030
28.2.10	NRDY 割り込み許可レジスタ (NRDYENB)	1031
28.2.11	BEMP 割り込み許可レジスタ (BEMPENB)	1032
28.2.12	SOF 出力コンフィグレーションレジスタ (SOFCFG)	1033
28.2.13	割り込みステータスレジスタ 0 (INTSTS0)	1034
28.2.14	割り込みステータスレジスタ 1 (INTSTS1)	1037
28.2.15	BRDY 割り込みステータスレジスタ (BRDYSTS)	1040
28.2.16	NRDY 割り込みステータスレジスタ (NRDYSTS)	1041
28.2.17	BEMP 割り込みステータスレジスタ (BEMPSTS)	1042
28.2.18	フレームナンバレジスタ (FRMNUM)	1043
28.2.19	デバイスステート切り替えレジスタ (DVCHGR)	1044
28.2.20	USB アドレスレジスタ (USBADDR)	1045
28.2.21	USB リクエストタイプレジスタ (USBREQ)	1046
28.2.22	USB リクエストバリュレジスタ (USBVAL)	1047
28.2.23	USB リクエストインデックスレジスタ (USBINDX)	1048
28.2.24	USB リクエストレングスレジスタ (USBLENG)	1049
28.2.25	DCP コンフィギュレーションレジスタ (DCPCFG)	1050
28.2.26	DCP マックスパケットサイズレジスタ (DCPMAXP)	1051
28.2.27	DCP コントロールレジスタ (DCPCTR)	1052
28.2.28	パイプウィンドウ選択レジスタ (PIPESEL)	1055
28.2.29	パイプコンフィギュレーションレジスタ (PIPECFG)	1056
28.2.30	パイプマックスパケットサイズレジスタ (PIPEMAXP)	1058
28.2.31	パイプ周期制御レジスタ (PIPEPERI)	1059
28.2.32	パイプ n コントロールレジスタ (PIPE _n CTR) (n = 1 ~ 9)	1060
28.2.33	パイプ n トランザクションカウンタイネーブルレジスタ (PIPE _n TRE) (n = 1 ~ 5)	1067
28.2.34	パイプ n トランザクションカウンタレジスタ (PIPE _n TRN) (n = 1 ~ 5)	1068
28.2.35	デバイスアドレス n コンフィギュレーションレジスタ (DEVADD _n) (n = 0 ~ 5)	1069
28.3	動作説明	1070
28.3.1	システム制御	1070
28.3.1.1	動作開始	1070
28.3.1.2	コントローラ機能の選択設定	1070
28.3.1.3	USB 外部接続回路例	1070
28.3.2	割り込み要因	1075
28.3.3	割り込みの説明	1077
28.3.3.1	BRDY 割り込み	1077
28.3.3.2	NRDY 割り込み	1081
28.3.3.3	BEMP 割り込み	1083
28.3.3.4	デバイスステート遷移割り込み	1085
28.3.3.5	コントロール転送ステージ遷移割り込み	1086

28.3.3.6	フレーム番号更新割り込み	1087
28.3.3.7	VBUS 割り込み	1087
28.3.3.8	レジューム割り込み	1087
28.3.3.9	OVRCR 割り込み	1087
28.3.3.10	BCHG 割り込み	1088
28.3.3.11	DTCH 割り込み	1088
28.3.3.12	SACK 割り込み	1088
28.3.3.13	SIGN 割り込み	1088
28.3.3.14	ATTCH 割り込み	1088
28.3.3.15	EOFERR 割り込み	1088
28.3.4	パイプコントロール	1089
28.3.4.1	パイプコントロールレジスタの切り替え手順	1090
28.3.4.2	転送タイプ	1090
28.3.4.3	エンドポイント番号	1091
28.3.4.4	マックスパケットサイズ設定	1091
28.3.4.5	トランザクションカウンタ (パイプ 1 ~ 5 読み出し方向)	1091
28.3.4.6	応答 PID	1092
28.3.4.7	データ PID シーケンスビット	1093
28.3.4.8	応答 PID = NAK 機能	1093
28.3.4.9	自動応答モード	1093
28.3.4.10	OUT-NAK モード	1093
28.3.4.11	Null 自動応答モード	1094
28.3.5	FIFO バッファメモリ	1094
28.3.5.1	FIFO バッファメモリ	1094
28.3.5.2	FIFO バッファクリア	1095
28.3.5.3	FIFO ポートの機能	1096
28.3.5.4	DMA 転送 /DTC 転送 (D0FIFO/D1FIFO ポート)	1097
28.3.6	コントロール転送 (DCP)	1098
28.3.6.1	ホストコントローラ機能選択時のコントロール転送	1098
28.3.6.2	ファンクションコントローラ機能選択時のコントロール転送	1099
28.3.7	バルク転送 (パイプ 1 ~ 5)	1100
28.3.8	インタラプト転送 (パイプ 6 ~ 9)	1100
28.3.8.1	ホストコントローラ機能選択時のインタラプト転送時のインターバル カウンタ	1100
28.3.9	アイソクロナス転送 (パイプ 1、2)	1101
28.3.9.1	アイソクロナス転送のエラー検出	1101
28.3.9.2	DATA-PID	1102
28.3.9.3	インターバルカウンタ	1103
28.3.10	SOF 補完機能	1109
28.3.11	パイプスケジュール	1109
28.3.11.1	トランザクション発行条件	1109

28.3.11.2	転送スケジュール	1110
28.3.11.3	USB 通信許可	1110
28.4	使用上の注意事項	1110
28.4.1	モジュールストップ機能の設定	1110
29.	シリアルコミュニケーションインタフェース (SC1c、SC1d)	1111
29.1	概要	1111
29.2	レジスタの説明	1117
29.2.1	レシーブシフトレジスタ (RSR)	1117
29.2.2	レシーブデータレジスタ (RDR)	1117
29.2.3	トランスミットデータレジスタ (TDR)	1117
29.2.4	トランスミットシフトレジスタ (TSR)	1118
29.2.5	シリアルモードレジスタ (SMR)	1118
29.2.6	シリアルコントロールレジスタ (SCR)	1121
29.2.7	シリアルステータスレジスタ (SSR)	1125
29.2.8	スマートカードモードレジスタ (SCMR)	1130
29.2.9	ビットレートレジスタ (BRR)	1131
29.2.10	シリアル拡張モードレジスタ (SEMR)	1139
29.2.11	ノイズフィルタ設定レジスタ (SNFR)	1141
29.2.12	I2C モードレジスタ 1 (SIMR1)	1142
29.2.13	I2C モードレジスタ 2 (SIMR2)	1143
29.2.14	I2C モードレジスタ 3 (SIMR3)	1144
29.2.15	I2C ステータスレジスタ (SISR)	1146
29.2.16	SPI モードレジスタ (SPMR)	1147
29.2.17	拡張シリアルモード有効レジスタ (ESMER)	1148
29.2.18	コントロールレジスタ 0 (CR0)	1149
29.2.19	コントロールレジスタ 1 (CR1)	1150
29.2.20	コントロールレジスタ 2 (CR2)	1151
29.2.21	コントロールレジスタ 3 (CR3)	1152
29.2.22	ポートコントロールレジスタ (PCR)	1152
29.2.23	割り込みコントロールレジスタ (ICR)	1153
29.2.24	ステータスレジスタ (STR)	1154
29.2.25	ステータスクリアレジスタ (STCR)	1155
29.2.26	Control Field 0 データレジスタ (CF0DR)	1155
29.2.27	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	1156
29.2.28	Control Field 0 受信データレジスタ (CF0RR)	1156
29.2.29	プライマリ Control Field 1 データレジスタ (PCF1DR)	1156
29.2.30	セカンダリ Control Field 1 データレジスタ (SCF1DR)	1157
29.2.31	Control Field 1 コンペアイネーブルレジスタ (CF1CR)	1157
29.2.32	Control Field 1 受信データレジスタ (CF1RR)	1157
29.2.33	タイマコントロールレジスタ (TCR)	1158

29.2.34	タイマモードレジスタ (TMR)	1158
29.2.35	タイマプリスケアラレジスタ (TPRE)	1159
29.2.36	タイマカウントレジスタ (TCNT)	1159
29.3	調歩同期式モードの動作	1160
29.3.1	シリアル送信 / 受信フォーマット	1160
29.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	1162
29.3.3	クロック	1163
29.3.4	CTS、RTS 機能	1163
29.3.5	SCI の初期化 (調歩同期式モード)	1164
29.3.6	シリアルデータの送信 (調歩同期式モード)	1165
29.3.7	シリアルデータの受信 (調歩同期式モード)	1167
29.4	マルチプロセッサ通信機能	1171
29.4.1	マルチプロセッサシリアルデータ送信	1172
29.4.2	マルチプロセッサシリアルデータ受信	1173
29.5	クロック同期式モードの動作	1176
29.5.1	クロック	1176
29.5.2	CTS、RTS 機能	1176
29.5.3	SCI の初期化 (クロック同期式モード)	1177
29.5.4	シリアルデータの送信 (クロック同期式モード)	1178
29.5.5	シリアルデータの受信 (クロック同期式モード)	1179
29.5.6	シリアルデータの送受信同時動作 (クロック同期式モード)	1182
29.6	スマートカードインタフェースモードの動作	1183
29.6.1	接続例	1183
29.6.2	データフォーマット (ブロック転送モード時を除く)	1183
29.6.3	ブロック転送モード	1185
29.6.4	受信データサンプリングタイミングと受信マージン	1185
29.6.5	SCI の初期化 (スマートカードインタフェースモード)	1186
29.6.6	シリアルデータの送信 (ブロック転送モードを除く)	1187
29.6.7	シリアルデータの受信 (ブロック転送モードを除く)	1190
29.6.8	クロック出力制御	1191
29.7	簡易 I2C モードの動作	1193
29.7.1	開始条件、再開条件、停止条件の生成	1194
29.7.2	クロック同期化	1195
29.7.3	SSDA 出力遅延	1196
29.7.4	SCI の初期化 (簡易 I2C モード)	1197
29.7.5	マスタ送信動作 (簡易 I2C モード)	1198
29.7.6	マスタ受信動作 (簡易 I2C モード)	1200
29.8	簡易 SPI モードの動作	1202
29.8.1	マスタモード、スレーブモードと各端子の状態	1203
29.8.2	マスタモード時の SS 機能	1203

29.8.3	スレーブモード時の SS 機能	1203
29.8.4	クロックと送受信データの関係	1203
29.8.5	SCI の初期化 (簡易 SPI モード)	1204
29.8.6	シリアルデータの送受信 (簡易 SPI モード)	1204
29.9	拡張シリアルモード制御部の動作説明	1205
29.9.1	シリアル通信プロトコル	1205
29.9.2	Start Frame 送信	1205
29.9.3	Start Frame 受信	1209
29.9.3.1	プライオリティインタラプトビット	1214
29.9.4	バス衝突検出機能	1215
29.9.5	RXDX12 端子入力デジタルフィルタ機能	1216
29.9.6	ビットレート測定機能	1217
29.9.7	RXDX12 受信データサンプリングタイミング選択機能	1218
29.9.8	タイマ	1218
29.10	ノイズ除去機能	1220
29.11	割り込み要因	1221
29.11.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1221
29.11.2	シリアルコミュニケーションインタフェースモードおよび簡易 SPI モードにおける 割り込み	1221
29.11.3	スマートカードインタフェースモードにおける割り込み	1222
29.11.4	簡易 I2C モードにおける割り込み	1223
29.11.5	拡張シリアルモード制御部の割り込み要求	1223
29.12	使用上の注意事項	1224
29.12.1	モジュールストップ機能の設定	1224
29.12.2	ブレークの検出と処理について	1224
29.12.3	マーク状態とブレークの送出	1224
29.12.4	受信エラーフラグと送信動作について (クロック同期式モードのみ)	1224
29.12.5	TDR レジスタへのライトについて	1225
29.12.6	クロック同期送信時の制約事項	1225
29.12.7	DMAC または DTC 使用上の制約事項	1225
29.12.8	通信の開始に関する注意事項	1225
29.12.9	低消費電力状態時の動作について	1225
29.12.10	クロック同期式モード外部クロック入力	1227
29.12.11	簡易 SPI モードの制約事項	1228
29.12.12	拡張シリアルモード制御部の使用上の制約事項 1	1228
29.12.13	拡張シリアルモード制御部の使用上の制約事項 2	1229
29.12.14	トランスミットイネーブルビット (TE ビット) に関する注意事項	1229
30.	I ² C バスインタフェース (RIIC)	1230
30.1	概要	1230
30.2	レジスタの説明	1233

30.2.1	I2C バスコントロールレジスタ 1 (ICCR1)	1233
30.2.2	I2C バスコントロールレジスタ 2 (ICCR2)	1235
30.2.3	I2C バスモードレジスタ 1 (ICMR1)	1238
30.2.4	I2C バスモードレジスタ 2 (ICMR2)	1239
30.2.5	I2C バスモードレジスタ 3 (ICMR3)	1240
30.2.6	I2C バスファンクションイネーブルレジスタ (ICFER)	1242
30.2.7	I2C バスステータスイネーブルレジスタ (ICSER)	1244
30.2.8	I2C バスインタラプトイネーブルレジスタ (ICIER)	1245
30.2.9	I2C バスステータスレジスタ 1 (ICSR1)	1246
30.2.10	I2C バスステータスレジスタ 2 (ICSR2)	1249
30.2.11	スレーブアドレスレジスタ Ly (SARLy) (y= 0 ~ 2)	1252
30.2.12	スレーブアドレスレジスタ Uy (SARUy) (y= 0 ~ 2)	1253
30.2.13	I2C バスビットレートローレベルレジスタ (ICBRL)	1254
30.2.14	I2C バスビットレートハイレベルレジスタ (ICBRH)	1254
30.2.15	I2C バス送信データレジスタ (ICDRT)	1256
30.2.16	I2C バス受信データレジスタ (ICDRR)	1256
30.2.17	I2C バスシフトレジスタ (ICDRS)	1256
30.2.18	タイムアウト内部カウンタ (TMOCNT)	1257
30.3	動作説明	1258
30.3.1	通信データフォーマット	1258
30.3.2	初期設定	1259
30.3.3	マスタ送信動作	1260
30.3.4	マスタ受信動作	1263
30.3.5	スレーブ送信動作	1268
30.3.6	スレーブ受信動作	1271
30.4	SCL 同期回路	1273
30.5	SDA 出力遅延機能	1274
30.6	デジタルノイズフィルタ回路	1274
30.7	アドレス一致検出機能	1275
30.7.1	スレーブアドレス一致検出機能	1275
30.7.2	ジェネラルコールアドレス検出機能	1277
30.7.3	デバイス ID アドレス検出機能	1278
30.7.4	ホストアドレス検出機能	1279
30.8	SCL の自動 Low ホールド機能	1280
30.8.1	送信データ誤送信防止機能	1280
30.8.2	NACK 受信転送中断機能	1281
30.8.3	受信データ取りこぼし防止機能	1282
30.9	アービトレーションロスト検出機能	1284
30.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	1284
30.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	1286

30.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	1287
30.10	スタートコンディション、リスタートコンディション、 ストップコンディション発行機能	1288
30.10.1	スタートコンディション発行動作	1288
30.10.2	リスタートコンディション発行動作	1288
30.10.3	ストップコンディション発行動作	1289
30.11	バスハングアップ	1290
30.11.1	タイムアウト検出機能	1290
30.11.2	SCL クロック追加出力機能	1291
30.11.3	RIIC/内部リセット	1292
30.12	SMBus 動作	1292
30.12.1	SMBus タイムアウト測定	1293
30.12.2	パケットエラーコード (PEC)	1294
30.12.3	SMBus ホスト通知プロトコル /Notify ARP master	1294
30.13	割り込み要因	1295
30.13.1	ICTXI 割り込みおよび ICRXI 割り込みバッファ動作	1295
30.14	リセット状況	1296
30.15	使用上の注意事項	1297
30.15.1	モジュールストップ機能の設定	1297
30.15.2	通信の開始に関する注意事項	1297
31.	CAN モジュール (CAN)	1298
31.1	概要	1298
31.2	レジスタの説明	1300
31.2.1	制御レジスタ (CTRL)	1300
31.2.2	ビットコンフィグレーションレジスタ (BCR)	1304
31.2.3	マスクレジスタ k (MKRk) (k = 0 ~ 7)	1306
31.2.4	FIFO 受信 ID 比較レジスタ 0、1 (FIDCR0、FIDCR1)	1307
31.2.5	マスク無効レジスタ (MKIVLR)	1308
31.2.6	メールボックスレジスタ j (MBj) (j = 0 ~ 31)	1309
31.2.7	メールボックス割り込み許可レジスタ (MIER)	1312
31.2.8	メッセージ制御レジスタ j (MCTLj) (j = 0 ~ 31)	1314
31.2.9	受信 FIFO 制御レジスタ (RFCR)	1317
31.2.10	受信 FIFO ポインタ制御レジスタ (RFPCR)	1319
31.2.11	送信 FIFO 制御レジスタ (TFCR)	1320
31.2.12	送信 FIFO ポインタ制御レジスタ (TFPCR)	1321
31.2.13	ステータスレジスタ (STR)	1322
31.2.14	メールボックスサーチモードレジスタ (MSMR)	1324
31.2.15	メールボックスサーチステータスレジスタ (MSSR)	1325
31.2.16	チャンネルサーチサポートレジスタ (CSSR)	1326
31.2.17	アクセプタンスフィルタサポートレジスタ (AFSR)	1327

31.2.18	エラー割り込み許可レジスタ (EIER)	1328
31.2.19	エラー割り込み要因判定レジスタ (EIFR)	1329
31.2.20	受信エラーカウンタレジスタ (RECR)	1331
31.2.21	送信エラーカウンタレジスタ (TECR)	1332
31.2.22	エラーコード格納レジスタ (ECSR)	1332
31.2.23	タイムスタンプレジスタ (TSR)	1333
31.2.24	テスト制御レジスタ (TCR)	1334
31.3	動作モード	1336
31.3.1	CAN リセットモード	1336
31.3.2	CAN Halt モード	1337
31.3.3	CAN スリープモード	1338
31.3.4	CAN オペレーションモード (バスオフ状態以外)	1338
31.3.5	CAN オペレーションモード (バスオフ状態)	1339
31.4	CAN 通信速度の設定	1340
31.4.1	CAN クロックの設定	1340
31.4.2	ビットタイミングの設定	1340
31.4.3	ビットレート	1342
31.5	メールボックスとマスクレジスタの構成	1343
31.6	アクセプタンスフィルタ機能とマスク機能	1344
31.7	受信 / 送信	1346
31.7.1	受信	1347
31.7.2	送信	1349
31.8	CAN 割り込み	1350
31.9	使用上の注意事項	1350
31.9.1	モジュールストップ機能の設定	1350
32.	シリアルペリフェラルインタフェース (RSPI)	1351
32.1	概要	1351
32.2	レジスタの説明	1354
32.2.1	RSPI 制御レジスタ (SPCR)	1354
32.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	1356
32.2.3	RSPI 端子制御レジスタ (SPPCR)	1357
32.2.4	RSPI ステータスレジスタ (SPSR)	1358
32.2.5	RSPI データレジスタ (SPDR)	1361
32.2.6	RSPI シーケンス制御レジスタ (SPSCR)	1364
32.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	1365
32.2.8	RSPI ビットレートレジスタ (SPBR)	1366
32.2.9	RSPI データコントロールレジスタ (SPDCR)	1367
32.2.10	RSPI クロック遅延レジスタ (SPCKD)	1368
32.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	1369
32.2.12	RSPI 次アクセス遅延レジスタ (SPND)	1369

32.2.13	RSPI 制御レジスタ 2 (SPCR2)	1370
32.2.14	RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)	1371
32.3	動作説明	1374
32.3.1	RSPI 動作の概要	1374
32.3.2	RSPI 端子の制御	1375
32.3.3	RSPI システム構成例	1376
32.3.3.1	シングルマスタ / シングルスレーブ (本 MCU = マスタ)	1376
32.3.3.2	シングルマスタ / シングルスレーブ (本 MCU = スレーブ)	1377
32.3.3.3	シングルマスタ / マルチスレーブ (本 MCU = マスタ)	1378
32.3.3.4	シングルマスタ / マルチスレーブ (本 MCU = スレーブ)	1379
32.3.3.5	マルチマスタ / マルチスレーブ (本 MCU = マスタ)	1380
32.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)	1381
32.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)	1381
32.3.4	データフォーマット	1382
32.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	1383
32.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	1387
32.3.5	転送フォーマット	1391
32.3.5.1	CPHA ビット = 0 の場合	1391
32.3.5.2	CPHA ビット = 1 の場合	1392
32.3.6	通信動作モード	1393
32.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD=0)	1393
32.3.6.2	送信のみ動作 (SPCR.TXMD=1)	1394
32.3.7	送信バッファエンプティ / 受信バッファフル割り込み	1395
32.3.8	エラー検出	1396
32.3.8.1	オーバランエラー	1397
32.3.8.2	パリティエラー	1398
32.3.8.3	モードフォルトエラー	1399
32.3.9	RSPI の初期化	1399
32.3.9.1	SPE ビットのクリアによる初期化	1400
32.3.9.2	システムリセット	1400
32.3.10	SPI 動作	1400
32.3.10.1	マスタモード動作	1400
32.3.10.2	スレーブモード動作	1411
32.3.11	クロック同期式動作	1415
32.3.12	マスタモード動作	1415
32.3.13	スレーブモード動作	1419
32.3.14	ループバックモード	1421
32.3.15	パリティビット機能の自己判断	1422
32.3.16	割り込み要因	1423

32.4	使用上の注意事項	1424
32.4.1	モジュールストップ機能の設定	1424
32.4.2	消費電力低減機能の注意事項	1424
32.4.3	通信の開始に関する注意事項	1424
33.	CRC 演算器 (CRC)	1425
33.1	概要	1425
33.2	レジスタの説明	1426
33.2.1	CRC コントロールレジスタ (CRCCR)	1426
33.2.2	CRC データ入力レジスタ (CRCDIR)	1426
33.2.3	CRC データ出力レジスタ (CRCDOR)	1427
33.3	CRC 演算器の動作説明	1428
33.4	使用上の注意事項	1431
33.4.1	モジュールストップ機能の設定	1431
33.5	転送時の注意事項	1431
34.	12 ビット A/D コンバータ (S12ADB) 【144/120/112/100 ピン版】	1432
34.1	概要	1432
34.2	レジスタの説明	1438
34.2.1	A/D データレジスタ y (ADDRy) (y = 0 ~ 3)、 A/D データ 2 重化レジスタ (ADDBLDR)、 A/D データ 2 重化レジスタ A (ADDBLDRA)、 A/D データ 2 重化レジスタ B (ADDBLDRB)	1438
34.2.2	A/D 自己診断データレジスタ (ADRD)	1441
34.2.3	A/D コントロールレジスタ (ADCSR)	1442
34.2.4	A/D チャネル選択レジスタ A (ADANSA)	1445
34.2.5	A/D チャネル選択レジスタ B (ADANSB)	1446
34.2.6	A/D 変換値加算モード選択レジスタ (ADADS)	1446
34.2.7	A/D 変換値加算回数選択レジスタ (ADADC)	1447
34.2.8	A/D コントロール拡張レジスタ (ADCER)	1448
34.2.9	A/D 開始トリガ選択レジスタ (ADSTRGR)	1450
34.2.10	A/D サンプリングステートレジスタ n (ADSSTRn) (n=0 ~ 3)	1455
34.2.11	サンプル & ホールド回路コントロールレジスタ (ADSHCR)	1456
34.2.12	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	1457
34.2.13	コンパレータ動作モード選択レジスタ 0 (ADCMPMD0)	1459
34.2.14	コンパレータ動作モード選択レジスタ 1 (ADCMPMD1)	1460
34.2.15	コンパレータフィルタモードレジスタ 0 (ADCMPNR0)	1461
34.2.16	コンパレータ検出フラグレジスタ (ADCMPFR)	1462
34.2.17	コンパレータ割り込み選択レジスタ (ADCMPSEL)	1463
34.2.18	A/D プログラマブルゲインアンプレジスタ (ADPG)	1464
34.2.19	A/D グループスキャン優先モードレジスタ (ADGSPMR)	1465
34.3	動作説明	1466
34.3.1	スキャンの動作説明	1466

34.3.2	1 サイクルスキャンモード	1467
34.3.2.1	基本動作 (チャンネル専用サンプル&ホールドなし)	1467
34.3.2.2	基本動作 (チャンネル専用サンプル&ホールドあり)	1468
34.3.2.3	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)	1469
34.3.2.4	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)	1470
34.3.2.5	ダブルトリガモード選択時の動作	1471
34.3.2.6	ダブルトリガモード選択時の拡張動作	1472
34.3.3	連続スキャンモード	1479
34.3.3.1	基本動作 (チャンネル専用サンプル&ホールドなし)	1479
34.3.3.2	基本動作 (チャンネル専用サンプル&ホールドあり)	1480
34.3.3.3	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)	1481
34.3.3.4	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)	1482
34.3.4	グループスキャンモード	1483
34.3.4.1	基本動作	1483
34.3.4.2	ダブルトリガモード選択時の動作	1484
34.3.4.3	ソフトウェアトリガ使用時の注意事項	1485
34.3.4.4	グループ A 優先制御動作	1485
34.3.5	アナログ入力のサンプリングとスキャン変換時間	1494
34.3.6	レジスタのオートクリア機能の使用例	1496
34.3.7	A/D 変換値加算機能	1496
34.3.8	アナログ端子ディスチャージ機能	1496
34.3.9	非同期トリガによる A/D 変換の開始	1497
34.3.10	周辺モジュールからの同期トリガによる A/D 変換の開始	1497
34.3.11	ウィンドウコンパレータ	1498
34.3.12	プログラマブルゲインアンプ	1500
34.4	割り込み要因と DTC、DMAC 転送要求	1501
34.4.1	スキャン終了時の割り込み要求	1501
34.4.2	コンパレータ検出時の割り込み要求	1501
34.5	A/D 変換精度の定義	1502
34.6	使用上の注意事項	1503
34.6.1	データレジスタの読出し注意事項	1503
34.6.2	A/D 変換停止時の注意事項	1503
34.6.3	A/D 変換強制停止と開始時の動作タイミング	1504
34.6.4	スキャン終了割り込み処理の注意事項	1504
34.6.5	モジュールストップ機能の設定	1504
34.6.6	低消費電力状態への遷移時の注意	1504
34.6.7	許容信号源インピーダンスについて	1505
34.6.8	絶対精度への影響	1505
34.6.9	アナログ電源端子他の設定範囲	1506
34.6.10	ボード設計上の注意	1506

34.6.11	ノイズ対策上の注意	1507
34.6.12	外部バス使用時の注意事項	1507
35.	12 ビット A/D コンバータ (S12ADB) 【64/48 ピン版】	1508
35.1	概要	1508
35.2	レジスタの説明	1513
35.2.1	A/D データレジスタ y (ADDRy) (y = 0 ~ 7)、 A/D データ 2 重化レジスタ (ADDBLDR)、 A/D データ 2 重化レジスタ A (ADDBLDRA)、 A/D データ 2 重化レジスタ B (ADDBLDRB)	1513
35.2.2	A/D 自己診断データレジスタ (ADRD)	1516
35.2.3	A/D コントロールレジスタ (ADCSR)	1517
35.2.4	A/D チャネル選択レジスタ A (ADANSA)	1520
35.2.5	A/D チャネル選択レジスタ B (ADANSB)	1521
35.2.6	A/D 変換値加算モード選択レジスタ (ADADS)	1521
35.2.7	A/D 変換値加算回数選択レジスタ (ADADC)	1522
35.2.8	A/D コントロール拡張レジスタ (ADCER)	1523
35.2.9	A/D 開始トリガ選択レジスタ (ADSTRGR)	1525
35.2.10	A/D サンプリングステートレジスタ n (ADSSTRn) (n=0 ~ 7)	1528
35.2.11	サンプル & ホールド回路コントロールレジスタ (ADSHCR)	1529
35.2.12	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	1530
35.2.13	コンパレータ動作モード選択レジスタ 0 (ADCMPMD0)	1532
35.2.14	コンパレータ動作モード選択レジスタ 1 (ADCMPMD1)	1533
35.2.15	コンパレータフィルタモードレジスタ 0 (ADCMPNR0)	1534
35.2.16	コンパレータ検出フラグレジスタ (ADCMPFR)	1535
35.2.17	コンパレータ割り込み選択レジスタ (ADCMPSEL)	1536
35.3	動作説明	1537
35.3.1	スキヤンの動作説明	1537
35.3.2	1 サイクルスキャンモード	1537
35.3.3	連続スキャンモード	1537
35.3.4	グループスキャンモード	1537
35.3.5	アナログ入力のサンプリングとスキャン変換時間	1537
35.3.6	レジスタのオートクリア機能の使用例	1537
35.3.7	A/D 変換値加算機能	1537
35.3.8	アナログ端子ディスチャージ機能	1537
35.3.9	非同期トリガによる A/D 変換の開始	1538
35.3.10	周辺モジュールからの同期トリガによる A/D 変換の開始	1538
35.3.11	ウィンドウコンパレータ	1539
35.4	割り込み要因と DTC、DMAC 転送要求	1542
35.4.1	スキャン終了時の割り込み要求	1542
35.4.2	コンパレータ検出時の割り込み要求	1542
35.5	A/D 変換精度の定義	1542

35.6	使用上の注意事項	1543
35.6.1	データレジスタの読出し注意事項	1543
35.6.2	A/D 変換停止時の注意事項	1543
35.6.3	A/D 変換強制停止と開始時の動作タイミング	1544
35.6.4	スキャン終了割り込み処理の注意事項	1544
35.6.5	モジュールストップ機能の設定	1544
35.6.6	低消費電力状態への遷移時の注意	1544
35.6.7	許容信号源インピーダンスについて	1545
35.6.8	絶対精度への影響	1545
35.6.9	アナログ電源端子他の設定範囲	1546
35.6.10	ボード設計上の注意	1546
35.6.11	ノイズ対策上の注意	1547
36.	10ビット A/D コンバータ (AD)	1548
36.1	概要	1548
36.2	レジスタの説明	1552
36.2.1	A/D データレジスタ y (ADDRy) (y = A ~ T)	1552
36.2.2	A/D 自己診断データレジスタ (ADRD)	1554
36.2.3	A/D コントロールレジスタ (ADCSR)	1556
36.2.4	A/D チャネル選択レジスタ 0 (ADANSA0)	1558
36.2.5	A/D チャネル選択レジスタ 1 (ADANSA1)	1558
36.2.6	A/D 変換値加算モード選択レジスタ 0 (ADADS0)	1559
36.2.7	A/D 変換値加算モード選択レジスタ 1 (ADADS1)	1559
36.2.8	A/D 変換値加算回数選択レジスタ (ADADC)	1560
36.2.9	A/D コントロール拡張レジスタ (ADKER)	1561
36.2.10	A/D 開始トリガ選択レジスタ (ADSTRGR)	1563
36.2.11	A/D サンプリングステートレジスタ n (ADSSTRn) (n=0 ~ 7)	1566
36.2.12	A/D サンプリングステートレジスタ L (ADSSTRL)	1567
36.2.13	デジタル電源制御回路出力設定レジスタ (ADDPCONR)	1567
36.3	動作説明	1568
36.3.1	スキャンの動作説明	1568
36.3.2	1 サイクルスキャンモード	1569
36.3.2.1	基本動作	1569
36.3.2.2	チャネル選択と自己診断	1570
36.3.3	連続スキャンモード	1571
36.3.3.1	基本動作	1571
36.3.3.2	チャネル選択と自己診断	1572
36.3.4	アナログ入力のサンプリングとスキャン変換時間	1573
36.3.5	レジスタのオートクリア機能の使用例	1574
36.3.6	A/D 変換値加算機能	1574
36.3.7	非同期トリガによる A/D 変換出力開始	1575

36.3.8	周辺モジュールからの同期トリガによる A/D 変換の開始	1575
36.4	割り込み要因と DMA 転送要求	1575
36.4.1	スキャン終了時の割り込み要求	1575
36.5	A/D 変換精度の定義	1576
36.6	使用上の注意事項	1578
36.6.1	データレジスタの読み出し注意事項	1578
36.6.2	A/D 変換停止時の注意事項	1578
36.6.3	A/D 変換強制停止と開始時の動作タイミング	1578
36.6.4	スキャン終了割り込み処理の注意事項	1578
36.6.5	モジュールストップ機能の設定	1578
36.6.6	低消費電力状態への遷移時の注意	1578
36.6.7	許容信号源インピーダンスについて	1579
36.6.8	絶対精度への影響	1579
36.6.9	アナログ電源端子他の設定範囲	1580
36.6.10	ボード設計上の注意	1580
36.6.11	ノイズ対策上の注意	1581
36.6.12	外部バス使用時の注意	1581
37.	D/A コンバータ (DAa)	1582
37.1	概要	1582
37.2	レジスタの説明	1583
37.2.1	D/A データレジスタ m (DADRm) (m=0、1)	1583
37.2.2	D/A コントロールレジスタ (DACR)	1584
37.2.3	DADRm フォーマット選択レジスタ (DADPR)	1585
37.2.4	D/A A/D 同期スタート制御レジスタ (DAADSCR)	1586
37.3	動作説明	1587
37.3.1	D/A 変換と A/D 変換の干渉対策	1588
37.4	使用上の注意事項	1589
37.4.1	モジュールストップ機能の設定	1589
37.4.2	モジュールストップ時の D/A の動作	1589
37.4.3	ソフトウェアスタンバイモード時の D/A の動作	1589
37.4.4	ディープソフトウェアスタンバイモード時の注意事項	1589
37.4.5	D/A 変換と A/D 変換の干渉対策有効時の注意事項	1589
38.	データ演算回路 (DOC)	1590
38.1	概要	1590
38.2	レジスタの説明	1591
38.2.1	DOC コントロールレジスタ (DOCR)	1591
38.2.2	DOC データインプットレジスタ (DODIR)	1592
38.2.3	DOC データセッティングレジスタ (DODSR)	1592
38.3	動作説明	1593
38.3.1	データ比較モード	1593

38.3.2	データ加算モード	1594
38.3.3	データ減算モード	1595
38.4	割り込み要求	1595
38.5	使用上の注意事項	1595
38.5.1	モジュールストップ機能の設定	1595
39.	デジタル電源制御演算器 (DPC)	1596
39.1	概要	1596
39.2	レジスタの説明	1598
39.2.1	ソフトスタート設定レジスタ (SOFTSTART _n) (n = 0 ~ 3)	1598
39.2.2	基準値設定レジスタ (VOTARGET _n) (n=0 ~ 3)	1600
39.2.3	基準値参照設定レジスタ (REFSEL)	1600
39.2.4	制御チャンネル設定レジスタ (CHLSEL)	1601
39.2.5	制御イネーブル設定レジスタ (ENABLE)	1602
39.2.6	制御演算パラメータ K _m 設定レジスタ (PARAMK _{mn}) (m=P,I,Q,F, n=0 ~ 3)	1602
39.2.7	制御演算結果上位/下位ビット格納レジスタ (RESULT _{mn}) (m=U、L) (n=0 ~ 3)	1603
39.2.8	入力コードモニタイネーブル設定レジスタ (TMONEN)	1603
39.2.9	最大入力コードモニタレジスタ (TMONMAX _n) (n=0 ~ 3)	1604
39.2.10	最小入力コードモニタレジスタ (TMONMIN _n) (n=0 ~ 3)	1604
39.2.11	出力過電圧異常判定閾値設定レジスタ (ERRVTH _n) (n=0 ~ 3)	1605
39.2.12	出力過電圧異常時 PWM シャットダウン設定レジスタ (ERRDWN)	1606
39.3	動作説明	1607
39.3.1	内部基準電圧モードの初期設定	1608
39.3.1.1	基準電圧参照モード設定	1608
39.3.1.2	制御チャンネル数設定	1608
39.3.1.3	基準電圧設定	1608
39.3.1.4	ソフトスタート制御設定	1609
39.3.1.5	制御演算パラメータ設定	1610
39.3.1.6	入力コードモニタ設定	1610
39.3.1.7	出力過電圧異常検出機能	1611
39.3.2	内部基準電圧モード動作	1612
39.3.3	内部基準電圧モード動作タイミング例	1613
39.3.3.1	内部基準電圧モード (スイッチング周波数 2MHz, 1 チャンネル動作時)	1613
39.3.3.2	内部基準電圧モード (スイッチング周波数 1MHz、2 チャンネル同時動作時) ...	1614
39.3.3.3	内部基準電圧モード (スイッチング周波数 500KHz、4 チャンネル同時動作時)	1615
39.3.4	入力コードモニタ機能動作例	1617
39.3.5	外部基準電圧モードの初期設定	1618
39.3.5.1	基準電圧参照モード設定	1618
39.3.5.2	制御チャンネル数設定	1618

39.3.5.3	基準電圧設定	1618
39.3.5.4	ソフトスタート制御設定	1618
39.3.5.5	制御演算パラメータ設定	1618
39.3.5.6	入力コードモニタ設定	1618
39.3.5.7	出力過電圧異常判定閾値設定	1618
39.3.6	外部基準電圧モード動作	1619
39.3.7	外部基準電圧モード動作タイミング例	1620
39.3.7.1	外部基準電圧モード（スイッチング周波数 500kHz、2 チャンネル動作時）	1620
39.3.7.2	入力コードモニタ機能動作	1620
39.4	割り込み要因	1621
39.5	使用上の注意事項	1621
39.5.1	モジュールストップ機能の設定	1621
40.	RAM	1622
40.1	概要	1622
40.2	動作説明	1622
40.2.1	消費電力低減機能	1622
41.	フラッシュメモリ	1623
41.1	概要	1623
41.1.1	ROM の領域構成	1625
41.1.2	ROM のブロック構成	1626
41.1.3	E2 データフラッシュの領域構成	1627
41.1.4	E2 データフラッシュのブロック構成	1627
41.2	レジスタの説明	1628
41.2.1	フラッシュ P/E プロテクトレジスタ（FWEPROR）	1628
41.2.2	フラッシュモードレジスタ（FMODR）	1629
41.2.3	フラッシュアクセスステータスレジスタ（FASTAT）	1630
41.2.4	フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）	1633
41.2.5	フラッシュレディ割り込み許可レジスタ（FRDYIE）	1634
41.2.6	E2 データフラッシュ読み出し許可レジスタ 0（DFLRE0）	1634
41.2.7	E2 データフラッシュ読み出し許可レジスタ 1（DFLRE1）	1635
41.2.8	E2 データフラッシュ P/E 許可レジスタ 0（DFLWE0）	1636
41.2.9	E2 データフラッシュ P/E 許可レジスタ 1（DFLWE1）	1637
41.2.10	フラッシュステータスレジスタ 0（FSTATR0）	1638
41.2.11	フラッシュステータスレジスタ 1（FSTATR1）	1640
41.2.12	フラッシュ P/E モードエントリレジスタ（FENTRYR）	1641
41.2.13	フラッシュプロテクトレジスタ（FPROTR）	1643
41.2.14	フラッシュリセットレジスタ（FRESETR）	1644
41.2.15	FCU コマンドレジスタ（FCMDR）	1645
41.2.16	FCU 処理切り替えレジスタ（FCPSR）	1646
41.2.17	E2 データフラッシュブランクチェック制御レジスタ（DFLBCCNT）	1646

41.2.18	フラッシュ P/E ステータスレジスタ (FPESTAT)	1647
41.2.19	E2 データフラッシュブランクチェックステータスレジスタ (DFLBCSTAT)	1647
41.2.20	周辺クロック通知レジスタ (PCKAR)	1648
41.3	フラッシュメモリ関連の動作モード	1649
41.3.1	ID コードプロテクト機能による領域のイレーズ	1649
41.4	FCU	1651
41.4.1	FCU のモード	1651
41.4.1.1	ROM リードモード	1652
41.4.1.2	ROM / E2 データフラッシュリードモード	1652
41.4.1.3	ROM P/E モード	1652
41.4.1.4	E2 データフラッシュ P/E モード	1653
41.4.2	FCU コマンド一覧	1654
41.4.3	FCU のモードとコマンドの関係	1656
41.4.4	FCU コマンド使用方法	1657
41.4.4.1	モード移行	1657
41.4.4.2	P/E 方法手順	1660
41.4.4.3	サスペンド / レジューム	1668
41.4.4.4	エラーおよび FRDY ビットの確認と処理方法	1671
41.5	サスペンド動作	1673
41.5.1	プログラム中のサスペンド	1673
41.5.2	イレーズ中のサスペンド (サスペンド優先モード)	1674
41.5.3	イレーズ中のサスペンド (イレーズ優先モード)	1675
41.6	プロテクト	1675
41.6.1	ソフトウェアプロテクト	1675
41.6.2	コマンドロック状態	1676
41.7	ユーザブートモード	1678
41.8	ブートモード	1678
41.8.1	システム構成	1678
41.8.2	ブートモードの状態遷移	1679
41.8.3	ビットレートの自動調整	1681
41.8.4	ID コードプロテクト (ブートモード)	1682
41.8.5	UB コード A	1683
41.8.6	コマンドとレスポンスの構成	1683
41.8.7	問い合わせ / 設定コマンド待ち	1684
41.8.8	ID コード待ち	1695
41.8.9	P/E コマンド待ち	1696
41.9	USB ブートモード	1705
41.9.1	特長	1705
41.9.2	状態遷移	1706
41.9.3	USB ブートモード実行時の注意点	1706

41.10	オンチップデバッグ ID コードプロテクト	1707
41.11	ROM コードプロテクト	1707
41.12	使用上の注意事項 (ROM / E2 データフラッシュ共通)	1708
41.13	使用上の注意事項 (E2 データフラッシュ)	1709
42.	電气的特性【144/120/112/100 ピン版】	1710
42.1	絶対最大定格	1710
42.2	DC 特性	1711
42.3	AC 特性	1715
42.3.1	リセットタイミング	1716
42.3.2	クロックタイミング	1717
42.3.3	低消費電力状態からの復帰タイミング	1720
42.3.4	制御信号タイミング	1722
42.3.5	バスタイミング	1723
42.3.6	内蔵周辺モジュールタイミング	1730
42.3.7	PWM 遅延生成回路タイミング	1735
42.4	USB 特性	1742
42.5	A/D 変換特性	1743
42.6	D/A 変換特性	1747
42.7	パワーオンリセット回路・電圧検出回路特性	1748
42.8	発振停止検出回路特性	1752
42.9	ROM (コード格納用フラッシュメモリ) 特性	1753
42.10	E2 フラッシュ特性	1754
43.	電气的特性【64/48 ピン版】	1756
43.1	絶対最大定格	1756
43.2	DC 特性	1757
43.3	AC 特性	1760
43.3.1	クロックタイミング	1760
43.3.2	リセットタイミング	1762
43.3.3	低消費電力状態からの復帰タイミング	1764
43.3.4	制御信号タイミング	1765
43.3.5	内蔵周辺モジュールタイミング	1766
43.4	A/D 変換特性	1775
43.5	パワーオンリセット回路、電圧検出回路特性	1776
43.6	発振停止検出回路特性	1778
43.7	ROM (コード格納用フラッシュメモリ) 特性	1779
43.8	E2 フラッシュ特性	1780
付録 1.	各動作モードにおけるポートの状態	1782
付録 2.	外形寸法図	1786
改訂記録	1792

RX63Tグループ

ルネサスマイクロコンピュータ

R01UH0238JJ0220

Rev.2.20

2016.03.31

100MHz、32ビットRX MCU、FPU内蔵、165 DMIPS、
12ビットADC (3 S/H回路、ダブルデータレジスタ、アンプ、コンパレータ) 2ユニット、
10ビットADC 1ユニット、ADC 3ユニットで7ch同時サンプリング、
100MHz PWM (三相相補2ch+単相相補4chもしくは三相相補3ch+単相相補1ch)

特長

■ 32ビットRX CPU コア内蔵

- 最大動作周波数 100MHz
165 DMIPS の性能 (100MHz 動作時)
- 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 2種類の積和演算器 (メモリ間、レジスタ間)
- 32ビット乗算器 (最速1クロックで実行)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインのCISCハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- メモリプロテクションユニット (MPU) 対応
- JTAG および FINE (2線式) の2種類のデバッグインタフェース

■ 消費電力低減機能

- 3.3V 単一、5V 単一、3.3V 品はアナログ電源 5V 可能
- 4種類の低消費電力モード

■ 内蔵メインフラッシュメモリ (ウェイトなし)

- 100MHz 動作、10 ns 読み出しサイクル (ウェイトなし)
- 最大 512K バイト
- USB、SCI、JTAG からのユーザ書き込み

■ 内蔵データフラッシュメモリ

- 最大 32K バイト (100K 回消去可能)
- Back Ground Operation (BGO) によるプログラム/イレーズ

■ 内蔵SRAM (ウェイトなし)

- 最大 48K バイト
- オペランド、命令用

■ DMA

- DMA: 4チャネル内蔵
- DTC: 1ユニットで複数chの転送が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) 内蔵
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- 外部水晶発振、内部PLL対応 4MHz ~ 12.5MHz
- 内部 125kHz LOCO
- IWDT 用 125kHz LOCO クロック

■ 独立ウォッチドッグタイマ内蔵

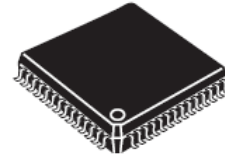
- 125kHz LOCO クロック動作

■ IEC60730 対応機能内蔵

- 発振停止検出、周波数測定機能、CRC、IWDT、A/D 自己診断など

■ 外部アドレス空間

- 4つのCS空間 (4 x 1M バイト)
- エリアごとにマルチプレクスバス/セパレートバスから選択
- エリアごとに8/16ビットバス空間を選択可能



PLQP0144KA-A 20x20mm、0.5mmピッチ
PLQP0120KA-A 16x16mm、0.5mmピッチ
PLQP0112JA-A 20x20mm、0.65mmピッチ
PLQP0100KB-A 14x14mm、0.5mmピッチ
PLQP0064KB-A 10x10mm、0.5mmピッチ
PLQP0048KB-A 7x7mm、0.5mmピッチ

■ 最大 11本の通信機能を内蔵

- USB2.0 フルスピードファンクションを内蔵 (1ch)
- CAN (ISO11898-1 準拠)、32メールボックス内蔵 (1ch)
- 多彩な機能に対応した SCI (5ch)
調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード/簡易SPI/簡易I²C/拡張シリアルモードから選択
- I²C バスインタフェース SMBus に対応 (2ch)
- 高速通信可能な RSPI を搭載 (2ch)

■ 最大 20本の16ビットタイマ

- 16ビットMTU3: 100MHz 動作、インプットキャプチャ、アウトプットコンペア、三相相補PWM波形2ch出力、CPUに負荷をかけない相補PWM、位相計数モード (8ch)
- 16ビットGPT: 100MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM波形単相相補4ch出力もしくは三相相補1ch+単相相補1ch出力、CPUに負荷をかけない相補PWM、コンパレータ連動 (カウンタ動作、PWMネゲート制御)、発振周波数異常検出機能 (IEC60730 対応) (8ch)
- 16ビットCMT (4ch)

■ PWM 波形遅延生成機能 (製品識別コード: 1の製品のみ)

- 16ビットGPTのPWM出力端子の立ち上がり/立ち下がりタイミング制御を312psの分解能で実現 (100MHz動作時)

■ 1MHz動作A/Dコンバータ2ユニット計8ch内蔵

- 3ユニットで7ch同時サンプリングが可能
- 自己診断機能 (IEC60730 対応)
- 12ビットADC 2ユニット: 3サンプル/ホールド回路、ダブルデータレジスタ、アンプ、コンパレータ (8ch)
- 10ビットADC 1ユニット (12ch)

■ 2MHz動作A/Dコンバータ1ユニット計20ch内蔵

- 10ビットADC 1ユニット (20ch)

■ 10ビットD/Aコンバータ内蔵: 2ch

■ デジタル電源制御専用演算機能 (製品識別コード: 1の製品のみ)

- デジタル制御方式のスイッチング電源システムにおいて補償演算を行う16ビット固定小数点演算機能

■ 重要なレジスタの書換え保護が可能なレジスタライトプロテクト機能

■ 最大 110本のGPIO内蔵

- オープンドレイン、駆動能力切り替え機能

■ 動作周囲温度

- -40℃ ~ +85℃
- -40℃ ~ +105℃

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールの有無、チャンネル数はパッケージのピン数、およびROM容量によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 7)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：100MHz 32ビットRX CPU 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×9本 アキュムレータ：64ビット×1本 基本命令：73種類 浮動小数点演算命令：8種類 DSP機能命令：9種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット バレルシフタ：32ビット メモリプロテクションユニット (MPU) 搭載
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数 (32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：512K/384K/256K/64K/48K/32Kバイト 100MHz、ノーウェイトアクセス オンボードプログラミング： <ul style="list-style-type: none"> SCI、USB経由でMCUをボード上に実装したまま書き換え可能 オフボードプログラミング (144/120/112/100ピン版のみ) パラレルライターを使用して書き換え可能
	RAM	<ul style="list-style-type: none"> 容量：48K/32K/24K/8Kバイト 100MHz、ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：32K/8Kバイト プログラム/イレーズ回数：100000回 オンボードプログラミング <ul style="list-style-type: none"> SCI、USB経由でMCUをボード上に実装したまま書き換え可能 ユーザプログラムから書き換え可能
MCU動作モード		<p>【144/120/112/100ピン版】</p> <p>シングルチップモード、内蔵ROM有効拡張モード、内蔵ROM無効拡張モード (ソフトウェア切り替え)</p> <p>【64/48ピン版】</p> <p>シングルチップモード</p>

表 1.1 仕様概要 (2 / 7)

分類	モジュール/機能	説明
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、低速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ メインクロック発振停止検出：あり システムクロック (ICLK)、周辺モジュールクロック (PCLKA)、周辺モジュールクロック (PCLKB)、AD用クロック (PCLKC)、FlashIFクロック (FCLK)、S12AD用クロック (PCLKD) を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：100MHz max マルチファンクションタイマパルスユニット3および汎用PWMタイマは、PCLKA同期：100MHz max 周辺モジュールは、PCLKB同期：50MHz max Flash IFは、FCLK同期：50MHz max 外部バスに接続するデバイスは、BCLK同期：50MHz max 10ビットA/Dコンバータは、PCLKC同期：100MHz max 12ビットA/Dコンバータは、PCLKD同期：50MHz max
	クロック周波数精度測定回路 (CAC)	メインクロック発振器、PLL回路およびIWDT専用オンチップオシレータの出力クロック周波数異常を監視することが可能
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセット、ソフトウェアリセット
電圧検出回路		VCCが電圧検出レベル (Vdet) を通過すると内部リセットまたは内部割り込みを発生
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
割り込み	割り込みコントローラ (ICUb)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数 169 (最大) 外部割り込み：要因数 8 (IRQ0～IRQ7端子) (最大) ソフトウェア割り込み：要因数 1 ノンマスクابل割り込み：要因数 6 16レベルの割り込み優先順位を設定可能
外部バス拡張		<ul style="list-style-type: none"> 外部アドレス空間を4つのエリア (CS0～CS3) に分割して管理 各エリアの領域：1Mバイト (CS0～CS3) エリアごとにチップセレクト (CS0#～CS3#) 出力可能 エリアごとに8ビットバス空間/16ビットバス空間を選択可能 エリアごとにエンディアンを設定可能 (データのみ) バス形式：セパレートバス、マルチプレクスバス ウェイト制御可能 ライトバッファ機能
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> 4チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェア割り込み起動レジスタ設定、外部割り込み、周辺機能割り込み

表 1.1 仕様概要 (3 / 7)

分類	モジュール/機能	説明
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> • 144ピンLQFP 入出力：81 入力：29 オープンドレイン出力：27 • 120ピンLQFP 入出力：72 入力：21 オープンドレイン出力：26 • 112ピンLQFP 入出力：69 入力：21 オープンドレイン出力：20 • 100ピンLQFP 入出力：57 入力：21 オープンドレイン出力：16 • 64ピンLQFP 入出力：39 入力：9 オープンドレイン出力：10 5Vトレラント：39 • 48ピンLQFP 入出力：25 入力：7 オープンドレイン出力：8 5Vトレラント：25

表 1.1 仕様概要 (4 / 7)

分類	モジュール/機能	説明
タイマ	マルチファンクション タイマパルスユニット 3 (MTU3)	<ul style="list-style-type: none"> • (16ビット×8チャンネル) • 最大16本のパルス入出力と3本のパルス入力が可能 • チャンネルごとに10種類のカウントクロック (PCLKA/1、PCLKA/4、PCLKA/16、PCLKA/64、PCLKA/256、PCLKA/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) から8種類を選択可能 (チャンネル1は7種類、チャンネル5は4種類、チャンネル6/7は6種類) • 24本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) • 複数のタイマカウンタ (TCNT) への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 38種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル/PWM/相補PWM/リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力 • 位相計数モード • デッドタイム補償用カウンタ機能 • A/D変換器の変換開始トリガを生成可能 • A/D変換開始間引き機能
	ポートアウトプット イネーブル3 (POE3)	<ul style="list-style-type: none"> • MTU3/GPT波形出力端子のハイインピーダンス制御 • POE0、POE4、POE8、POE10、POE11、POE12の6つの入力端子による起動 • 出力短絡検出 (PWM出力が同時にアクティブレベルになったことを検出) による起動 • コンパレータ検出/発振停止検出/ソフトウェアによる起動 • 出力制御対象端子をプログラマブルに追加制御可能
	汎用PWMタイマ (GPT)	<ul style="list-style-type: none"> • 16ビット×8チャンネル • 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、アップダウンカウント (三角波) が選択可能 • チャンネルごとに4種類のカウントクロック (PCLKA/1、PCLKA/4、PCLKA/8、PCLKA/16) から選択可能 • チャンネルごとに2本の入出力端子 • チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャンネルごとにフレーム周期用レジスタを搭載 (オーバフロー/アンダフローで割り込み可能) • それぞれのカウンタを同期動作可能 • 同期動作のモード (同時または任意のタイミングでずらす (位相シフトに対応)) • PWM動作の際にデッドタイム生成が可能 • 3つのカウンタを組み合わせて、デッドタイム付きの3相PWM波形を生成可能 • 外部/内部トリガによりカウントスタート/クリア/ストップ可能 • 内部トリガ要因として、内蔵コンパレータ出力、ソフトウェア、コンペアマッチ • 分周されたIWDV専用クロックのエッジをメインクロックのカウントクロックで計測することが可能 (発振異常検出) • チャンネル0~チャンネル3の2本のPWM出力端子に対し、システムクロック (ICLK) の1/32の分解能で立ち上がり/立ち下がりタイミングの制御が可能 (PWM遅延生成機能)
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル) ×2ユニット • 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	ウォッチドッグタイマ (WDTA)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウントクロック (PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192) を選択可能

表 1.1 仕様概要 (5 / 7)

分類	モジュール/機能	説明
タイマ	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック：IWDT専用オンチップオシレータ 専用クロック/1、専用クロック/16、専用クロック/32、専用クロック/64、専用クロック/128、専用クロック/256
通信機能	USB2.0ホスト/ファンクションモジュール (USBa)	<ul style="list-style-type: none"> USB2.0に対応したUDC (USB Device Controller) およびトランシーバを内蔵 1ポート USBバージョン2.0準拠 転送スピード：フルスピード (12Mbps) セルフパワーモードおよびバスパワーモードを選択可能 OTG (ON-The-Go) に対応 通信バッファとして2KバイトのRAMを内蔵
	シリアルコミュニケーションインタフェース (SC1c、SC1d)	<ul style="list-style-type: none"> 5チャンネル：(SC1c：4チャンネル+SC1d：1チャンネル) SC1c シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセス機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 簡易I²Cサポート 簡易SPIサポート SC1d (SC1cに以下の機能を付加) スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	I ² Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> 2チャンネル 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート：400kbps
	CANモジュール (CAN)	<ul style="list-style-type: none"> 1チャンネル ISO11898-1仕様に準拠 (標準フレーム/拡張フレーム) 32メールボックス/チャンネル
	シリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> 2チャンネル RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8～16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) バッファ構成 送信/受信バッファ構成はダブルバッファ 最大転送レート マスタモード時：【144/120/112/100ピン版】 25Mbps 【64/48ピン版】 12.5Mbps スレーブモード時：6.25Mbps

表 1.1 仕様概要 (6 / 7)

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】		<ul style="list-style-type: none"> 12ビット (4チャンネル×2ユニット) 分解能: 12ビット 変換時間 1チャンネル当たり1.0μs (S12ADB用クロック PCLKD (A/D変換クロック ADCLK) = 50MHz、AVCC0 = 4.0~5.5V時) 1チャンネル当たり2.0μs (S12ADB用クロック PCLKD (A/D変換クロック ADCLK) = 25MHz、AVCC0 = 3.0~3.6V時) 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/グループスキャンモード) グループA優先制御 (グループスキャンモードのみ) サンプル&ホールド機能 ユニット共通のサンプル&ホールド回路を搭載 上記に加え、個別のサンプル&ホールド回路を搭載 (3チャンネル/1ユニット) 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧 (VREFL0、VREFH0×1/2、VREFH0) を生成可能 ダブルトリガモード (A/D変換データ2重化機能) プログラマブルゲインアンプによる入力信号増幅機能 (3チャンネル/1ユニット) 増幅率: 2.0倍、2.5倍、3.077倍、3.636倍、4.0倍、4.444倍、5.0倍、5.714倍、6.667倍、10.0倍、13.333倍 (計11ステップ) 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (MTU3、GPT) のトリガ、外部トリガ ウィンドウコンパレータ機能 (3チャンネル/1ユニット)
12ビットA/Dコンバータ (S12ADB) 【64/48ピン版】		<ul style="list-style-type: none"> 12ビット (8チャンネル×1ユニット) 分解能: 12ビット 変換時間 1チャンネル当たり1.0μs (S12ADB用クロック PCLKD (A/D変換クロック ADCLK) = 50MHz) 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/グループスキャンモード) グループA優先制御 (グループスキャンモードのみ) サンプル&ホールド機能 ユニット共通のサンプル&ホールド回路を搭載 上記に加え、個別のサンプル&ホールド回路を搭載 (3チャンネル) 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧 (VREFL0、VREFH0×1/2、VREFH0) を生成可能 ダブルトリガモード (A/D変換データ2重化機能) 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (MTU3、GPT) のトリガ、外部トリガ ウィンドウコンパレータ機能 (3チャンネル)
10ビットA/Dコンバータ (ADA)		<ul style="list-style-type: none"> 10ビット (20チャンネル×1ユニット) 分解能: 10ビット 変換時間 1チャンネル当たり0.5μs (A/D変換クロック ADCLK = 100MHz時) 2種類の動作モード シングルモード、スキャンモード スキャンモード 1サイクルスキャンモード 連続スキャンモード サンプル&ホールド機能付き ユニット共通のサンプル&ホールド回路を搭載 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (MTU3、GPT) のトリガ、外部トリガ 8ビット精度出力対応 変換結果出力の2ビット右シフトが選択可能 自己診断機能 自己診断機能用に、内部で3種類のアナログ入力電圧 (AVSS、VREF×1/2、VREF) を生成可能
D/Aコンバータ (DAa)		<ul style="list-style-type: none"> 2チャンネル 分解能: 10ビット 出力電圧: 0V~VREF

表 1.1 仕様概要 (7 / 7)

分類	モジュール/機能	説明
CRC演算回路 (CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
データ演算回路 (DOC)		<ul style="list-style-type: none"> 16ビット単位の任意のデータ比較/加算/減算が可能
デジタル電源制御演算器 (DPC)		<ul style="list-style-type: none"> デジタル制御方式のスイッチング電源システムの制御パラメータ演算器 制御安定度の高いロバスト制御アルゴリズムを採用 10bitADコンバータと連携し制御パラメータを算出
動作周波数		100MHz max
電源電圧 【144/120/112/100ピン版】		<ul style="list-style-type: none"> 3V版 VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、または4.0 ~ 5.5V VREFH0 = 3.0 ~ AVCC0、または4.0 ~ AVCC0 5V版 VCC = PLLVCC = 4.0 ~ 5.5V VCC_USB = 3.0 ~ 3.6V AVCC0 = AVCC = VREF = 4.0 ~ 5.5V VREFH0 = 4.0 ~ AVCC0
電源電圧 【64/48ピン版】		VCC = 2.7 ~ 3.6V、AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0
動作周囲温度		Dバージョン: -40 ~ +85°C、Gバージョン: -40 ~ +105°C (注1)
パッケージ		144ピンLQFP (PLQP0144KA-A (20x20-0.5mmピッチ)) 120ピンLQFP (PLQP0120KA-A (16x16-0.5mmピッチ)) 112ピンLQFP (PLQP0112JA-A (20x20-0.65mmピッチ)) 100ピンLQFP (PLQP0100KB-A (14x14-0.5mmピッチ)) 64ピンLQFP (PLQP0064KB-A (10x10-0.5mmピッチ)) 48ピンLQFP (PLQP0048KB-A (07x07-0.5mmピッチ))
オンチップデバッグシステム		<ul style="list-style-type: none"> E1エミュレータ (JTAGおよびFINEインタフェース) E20エミュレータ (JTAGインタフェース)

注1. Ta = +85°C ~ +105°Cで使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

表 1.2 パッケージ別機能比較一覧

機能		RX63Tグループ					
ピン数		144ピン	120ピン	112ピン	100ピン	64ピン	48ピン
外部バス		16ビット				—	
外部アドレス空間		1Mバイト x 4エリア				—	
DMA	DMAコントローラ (DMACA)	ch0 ~ 3					
	データトランスファコントローラ (DTCa)	有					
割込みコントローラ (ICUb)	NMI端子	有					
	IRQ端子	有 (8本)				有 (6本)	
タイマ	マルチファンクションタイマパルスユニット3 (MTU3) (注1)	ch0 ~ 7					
	汎用PWMタイマ (GPT) (注1)	PWM遅延生成機能無				ch0 ~ 7	
		PWM遅延生成機能有 (注2)				ch0 ~ 3	
	ポートアウトプットイネーブル3 (POE3)	有 (POE端子6本)			有 (POE端子5本)	有 (POE端子4本)	
	コンペマッチタイマ (CMT)	ch0 ~ 3					
	ウォッチドッグタイマ (WDTA)	有					
	独立ウォッチドッグタイマ (IWDTa)	有					
通信機能	USB2.0ホスト/ファンクションモジュール (USBa)	ch0		—			
	シリアルコミュニケーションインタフェース (SC1c)	ch0 ~ 3			ch0 ~ 2	ch0,1	
	シリアルコミュニケーションインタフェース (SC1d)	ch12					
	I ² Cバスインタフェース (RIIC)	ch0,1		ch0			
	シリアルペリフェラルインタフェース (RSPI)	ch0,1				ch0	
	CANモジュール (CAN) (オプション) (注1)	ch0					
12ビットA/Dコンバータ (S12ADB)		4ch x 2ユニット				8ch x 1ユニット (AN000 ~ 007)	8ch x 1ユニット (AN000 ~ 004, 007)
	3チャンネル同時サンプリング機能	2ユニット				1ユニット	
	プログラマブルゲインアンプ	3ch x 2ユニット				—	
	ウィンドウコンパレータ	3ch x 2ユニット				3ch x 1ユニット	
	10ビットA/Dコンバータ (ADA)	20ch	12ch				—
D/Aコンバータ (DAa)	ch0, 1				—		
クロック周波数精度測定回路	有						
デジタル電源制御演算器 (DPC) (注2)	有				無		

注1. MTU3とGPTについては、パッケージごとに端子数が異なります。詳細は、各ピンの機能別端子一覧を参照してください。また、CANモジュールはオプションです。詳細は表 1.3を参照してください。

注2. 製品識別コード：0の製品にはありません。

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1 / 3)

グループ	型名	発注型名	パッケージ	内蔵 ROM 容量	内蔵 RAM 容量	オプション	電源電圧	動作周囲温度
RX63T	R5F563TEADFB	R5F563TEADFB#V0	PLQP0144KA-A	512K バイト	48K バイト	CAN あり	VCC/ PLLVCC 4.0 ~ 5.5V VCC_USB 3.0 ~ 3.6V AVCC/ AVCC0 4.0 ~ 5.5V	-40 ~ +85 °C (Dバージョン)
	R5F563TEADFB	R5F563TEADFB#V1	PLQP0144KA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEADFA	R5F563TEADFA#V0	PLQP0120KA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEADFA	R5F563TEADFA#V1	PLQP0120KA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEADFH	R5F563TEADFH#V0	PLQP0112JA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEADFH	R5F563TEADFH#V1	PLQP0112JA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEADFP	R5F563TEADFP#V0	PLQP0100KB-A	512K バイト	48K バイト	CAN あり		
	R5F563TEADFP	R5F563TEADFP#V1	PLQP0100KB-A	512K バイト	48K バイト	CAN あり		
	R5F563TCADFB	R5F563TCADFB#V0	PLQP0144KA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFB	R5F563TCADFB#V1	PLQP0144KA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFA	R5F563TCADFA#V0	PLQP0120KA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFA	R5F563TCADFA#V1	PLQP0120KA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFH	R5F563TCADFH#V0	PLQP0112JA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFH	R5F563TCADFH#V1	PLQP0112JA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFP	R5F563TCADFP#V0	PLQP0100KB-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFP	R5F563TCADFP#V1	PLQP0100KB-A	384K バイト	32K バイト	CAN あり		
	R5F563TBADFB	R5F563TBADFB#V0	PLQP0144KA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFB	R5F563TBADFB#V1	PLQP0144KA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFA	R5F563TBADFA#V0	PLQP0120KA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFA	R5F563TBADFA#V1	PLQP0120KA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFH	R5F563TBADFH#V0	PLQP0112JA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFH	R5F563TBADFH#V1	PLQP0112JA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFP	R5F563TBADFP#V0	PLQP0100KB-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFP	R5F563TBADFP#V1	PLQP0100KB-A	256K バイト	24K バイト	CAN あり		
	R5F563TEDDFB	R5F563TEDDFB#V0	PLQP0144KA-A	512K バイト	48K バイト	CAN なし		
	R5F563TEDDFA	R5F563TEDDFA#V0	PLQP0120KA-A	512K バイト	48K バイト	CAN なし		
	R5F563TEDDFH	R5F563TEDDFH#V0	PLQP0112JA-A	512K バイト	48K バイト	CAN なし		
	R5F563TEDDFP	R5F563TEDDFP#V0	PLQP0100KB-A	512K バイト	48K バイト	CAN なし		
	R5F563TCDDFB	R5F563TCDDFB#V0	PLQP0144KA-A	384K バイト	32K バイト	CAN なし		
	R5F563TCDDFA	R5F563TCDDFA#V0	PLQP0120KA-A	384K バイト	32K バイト	CAN なし		
	R5F563TCDDFH	R5F563TCDDFH#V0	PLQP0112JA-A	384K バイト	32K バイト	CAN なし		
	R5F563TCDDFP	R5F563TCDDFP#V0	PLQP0100KB-A	384K バイト	32K バイト	CAN なし		
	R5F563TBDDFB	R5F563TBDDFB#V0	PLQP0144KA-A	256K バイト	24K バイト	CAN なし		
	R5F563TBDDFA	R5F563TBDDFA#V0	PLQP0120KA-A	256K バイト	24K バイト	CAN なし		
	R5F563TBDDFH	R5F563TBDDFH#V0	PLQP0112JA-A	256K バイト	24K バイト	CAN なし		
	R5F563TBDDFP	R5F563TBDDFP#V0	PLQP0100KB-A	256K バイト	24K バイト	CAN なし		
	R5F563TEBDFB	R5F563TEBDFB#V0	PLQP0144KA-A	512K バイト	48K バイト	CAN あり	VCC/ PLLVCC/ VCC_USB 2.7 ~ 3.6V AVCC/ AVCC0 3.0 ~ 3.6V または 4.0 ~ 5.5V	
	R5F563TEBDFB	R5F563TEBDFB#V1	PLQP0144KA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEBDFB	R5F563TEBDFB#V0	PLQP0120KA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEBDFB	R5F563TEBDFB#V1	PLQP0120KA-A	512K バイト	48K バイト	CAN あり		
R5F563TEBDFH	R5F563TEBDFH#V0	PLQP0112JA-A	512K バイト	48K バイト	CAN あり			
R5F563TEBDFH	R5F563TEBDFH#V1	PLQP0112JA-A	512K バイト	48K バイト	CAN あり			
R5F563TEBDFP	R5F563TEBDFP#V0	PLQP0100KB-A	512K バイト	48K バイト	CAN あり			
R5F563TEBDFP	R5F563TEBDFP#V1	PLQP0100KB-A	512K バイト	48K バイト	CAN あり			

表 1.3 製品一覧表 (2 / 3)

グループ	型名	発注型名	パッケージ	内蔵 ROM 容量	内蔵 RAM 容量	オプション	電源電圧	動作周囲温度	
RX63T	R5F563TCBDFB	R5F563TCBDFB#V0	PLQP0144KA-A	384K バイト	32K バイト	CAN あり	VCC/ PLLVCC/ VCC_USB 2.7 ~ 3.6V AVCC/ AVCC0 3.0 ~ 3.6V または 4.0 ~ 5.5V	-40 ~ +85°C (Dバージョン)	
	R5F563TCBDFB	R5F563TCBDFB#V1	PLQP0144KA-A	384K バイト	32K バイト	CAN あり			
	R5F563TCBDFB	R5F563TCBDFB#V0	PLQP0120KA-A	384K バイト	32K バイト	CAN あり			
	R5F563TCBDFB	R5F563TCBDFB#V1	PLQP0120KA-A	384K バイト	32K バイト	CAN あり			
	R5F563TCBDFH	R5F563TCBDFH#V0	PLQP0112JA-A	384K バイト	32K バイト	CAN あり			
	R5F563TCBDFH	R5F563TCBDFH#V1	PLQP0112JA-A	384K バイト	32K バイト	CAN あり			
	R5F563TCBDFP	R5F563TCBDFP#V0	PLQP0100KB-A	384K バイト	32K バイト	CAN あり			
	R5F563TCBDFP	R5F563TCBDFP#V1	PLQP0100KB-A	384K バイト	32K バイト	CAN あり			
	R5F563TBBDFB	R5F563TBBDFB#V0	PLQP0144KA-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFB	R5F563TBBDFB#V1	PLQP0144KA-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFB	R5F563TBBDFB#V0	PLQP0120KA-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFB	R5F563TBBDFB#V1	PLQP0120KA-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFH	R5F563TBBDFH#V0	PLQP0112JA-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFH	R5F563TBBDFH#V1	PLQP0112JA-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFP	R5F563TBBDFP#V0	PLQP0100KB-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFP	R5F563TBBDFP#V1	PLQP0100KB-A	256K バイト	24K バイト	CAN あり			
	R5F563TEEDFB	R5F563TEEDFB#V0	PLQP0144KA-A	512K バイト	48K バイト	CAN なし			
	R5F563TEEDFA	R5F563TEEDFA#V0	PLQP0120KA-A	512K バイト	48K バイト	CAN なし			
	R5F563TEEDFH	R5F563TEEDFH#V0	PLQP0112JA-A	512K バイト	48K バイト	CAN なし			
	R5F563TEEDFP	R5F563TEEDFP#V0	PLQP0100KB-A	512K バイト	48K バイト	CAN なし			
	R5F563TCEDFB	R5F563TCEDFB#V0	PLQP0144KA-A	384K バイト	32K バイト	CAN なし			
	R5F563TCEDFA	R5F563TCEDFA#V0	PLQP0120KA-A	384K バイト	32K バイト	CAN なし			
	R5F563TCEDFH	R5F563TCEDFH#V0	PLQP0112JA-A	384K バイト	32K バイト	CAN なし			
	R5F563TCEDFP	R5F563TCEDFP#V0	PLQP0100KB-A	384K バイト	32K バイト	CAN なし			
	R5F563TBEDFB	R5F563TBEDFB#V0	PLQP0144KA-A	256K バイト	24K バイト	CAN なし			
	R5F563TBEDFA	R5F563TBEDFA#V0	PLQP0120KA-A	256K バイト	24K バイト	CAN なし			
	R5F563TBEDFH	R5F563TBEDFH#V0	PLQP0112JA-A	256K バイト	24K バイト	CAN なし			
	R5F563TBEDFP	R5F563TBEDFP#V0	PLQP0100KB-A	256K バイト	24K バイト	CAN なし			
	R5F563T6EDFM	R5F563T6EDFM#V0	PLQP0064KB-A	64K バイト	8K バイト	CAN なし			
	R5F563T5EDFM	R5F563T5EDFM#V0	PLQP0064KB-A	48K バイト	8K バイト	CAN なし			
	R5F563T4EDFM	R5F563T4EDFM#V0	PLQP0064KB-A	32K バイト	8K バイト	CAN なし			
	R5F563T6EDFL	R5F563T6EDFL#V0	PLQP0048KB-A	64K バイト	8K バイト	CAN なし			
	R5F563T5EDFL	R5F563T5EDFL#V0	PLQP0048KB-A	48K バイト	8K バイト	CAN なし			
	R5F563T4EDFL	R5F563T4EDFL#V0	PLQP0048KB-A	32K バイト	8K バイト	CAN なし			
	R5F563TEAGFB	R5F563TEAGFB#V1	PLQP0144KA-A	512K バイト	48K バイト	CAN あり	VCC/ PLLVCC 4.0 ~ 5.5V VCC_USB 3.0 ~ 3.6V AVCC/ AVCC0 4.0 ~ 5.5V		-40 ~ +105°C (Gバージョン) (注1)
	R5F563TEAGFA	R5F563TEAGFA#V1	PLQP0120KA-A	512K バイト	48K バイト	CAN あり			
	R5F563TEAGFH	R5F563TEAGFH#V1	PLQP0112JA-A	512K バイト	48K バイト	CAN あり			
	R5F563TEAGFA	R5F563TEAGFA#V1	PLQP0120KA-A	512K バイト	48K バイト	CAN あり			
	R5F563TEAGFP	R5F563TEAGFP#V1	PLQP0100KB-A	512K バイト	48K バイト	CAN あり			
	R5F563TCAGFB	R5F563TCAGFB#V1	PLQP0144KA-A	384K バイト	32K バイト	CAN あり			
	R5F563TCAGFA	R5F563TCAGFA#V1	PLQP0120KA-A	384K バイト	32K バイト	CAN あり	VCC/ PLLVCC 4.0 ~ 5.5V VCC_USB 3.0 ~ 3.6V AVCC/ AVCC0 4.0 ~ 5.5V		-40 ~ +105°C (Gバージョン) (注1)
	R5F563TCAGFH	R5F563TCAGFH#V1	PLQP0112JA-A	384K バイト	32K バイト	CAN あり			
R5F563TCAGFP	R5F563TCAGFP#V1	PLQP0100KB-A	384K バイト	32K バイト	CAN あり				
R5F563TBAGFB	R5F563TBAGFB#V1	PLQP0144KA-A	256K バイト	24K バイト	CAN あり				
R5F563TBAGFA	R5F563TBAGFA#V1	PLQP0120KA-A	256K バイト	24K バイト	CAN あり				
R5F563TBAGFH	R5F563TBAGFH#V1	PLQP0112JA-A	256K バイト	24K バイト	CAN あり				
R5F563TBAGFP	R5F563TBAGFP#V1	PLQP0100KB-A	256K バイト	24K バイト	CAN あり				

表 1.3 製品一覧表 (3 / 3)

グループ	型名	発注型名	パッケージ	内蔵 ROM 容量	内蔵 RAM 容量	オプション	電源電圧	動作周囲温度
RX63T	R5F563TEBGFB	R5F563TEBGFB#V1	PLQP0144KA-A	512K バイト	48K バイト	CAN あり	VCC/ PLLVCC 4.0 ~ 5.5V VCC_USB 3.0 ~ 3.6V AVCC/ AVCC0 4.0 ~ 5.5V	-40 ~ +105°C (Gバージョン) (注1)
	R5F563TEBGFA	R5F563TEBGFA#V1	PLQP0120KA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEBGFH	R5F563TEBGFH#V1	PLQP0112JA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEBGFP	R5F563TEBGFP#V1	PLQP0100KB-A	512K バイト	48K バイト	CAN あり		
	R5F563TCBGFB	R5F563TCBGFB#V1	PLQP0144KA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCBGFA	R5F563TCBGFA#V1	PLQP0120KA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCBGFH	R5F563TCBGFH#V1	PLQP0112JA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCBGFP	R5F563TCBGFP#V1	PLQP0100KB-A	384K バイト	32K バイト	CAN あり		
	R5F563TBBGFB	R5F563TBBGFB#V1	PLQP0144KA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBBGFA	R5F563TBBGFA#V1	PLQP0120KA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBBGFH	R5F563TBBGFH#V1	PLQP0112JA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBBGFP	R5F563TBBGFP#V1	PLQP0100KB-A	256K バイト	24K バイト	CAN あり		
	R5F563T6EGFM	R5F563T6EGFM#V0	PLQP0064KB-A	64K バイト	8K バイト	CAN なし	VCC/ PLLVCC 2.7 ~ 3.6V AVCC0 3.0 ~ 3.6V	
	R5F563T5EGFM	R5F563T5EGFM#V0	PLQP0064KB-A	48K バイト	8K バイト	CAN なし		
	R5F563T4EGFM	R5F563T4EGFM#V0	PLQP0064KB-A	32K バイト	8K バイト	CAN なし		
	R5F563T6EGFL	R5F563T6EGFL#V0	PLQP0048KB-A	64K バイト	8K バイト	CAN なし		
	R5F563T5EGFL	R5F563T5EGFL#V0	PLQP0048KB-A	48K バイト	8K バイト	CAN なし		
	R5F563T4EGFL	R5F563T4EGFL#V0	PLQP0048KB-A	32K バイト	8K バイト	CAN なし		

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

注. 発注型名で製品識別コード：1の製品（例、R5F563TEADFB#V1）は、テクニカルアップデートTN-RX*-A084A/J記載の仕様制約に対する改訂版です。

注1. Ta = +85°C ~ +105°Cで使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

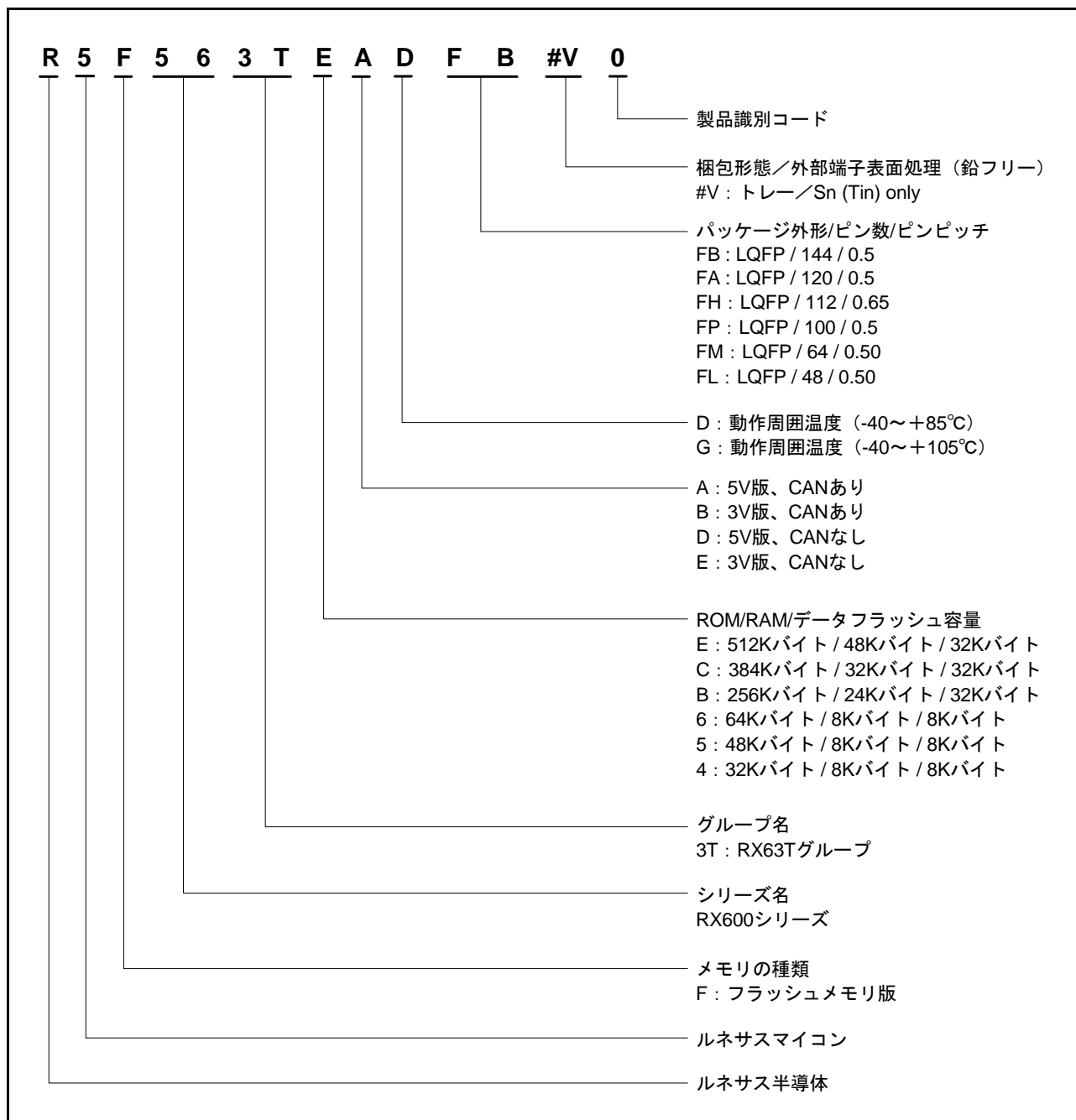


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

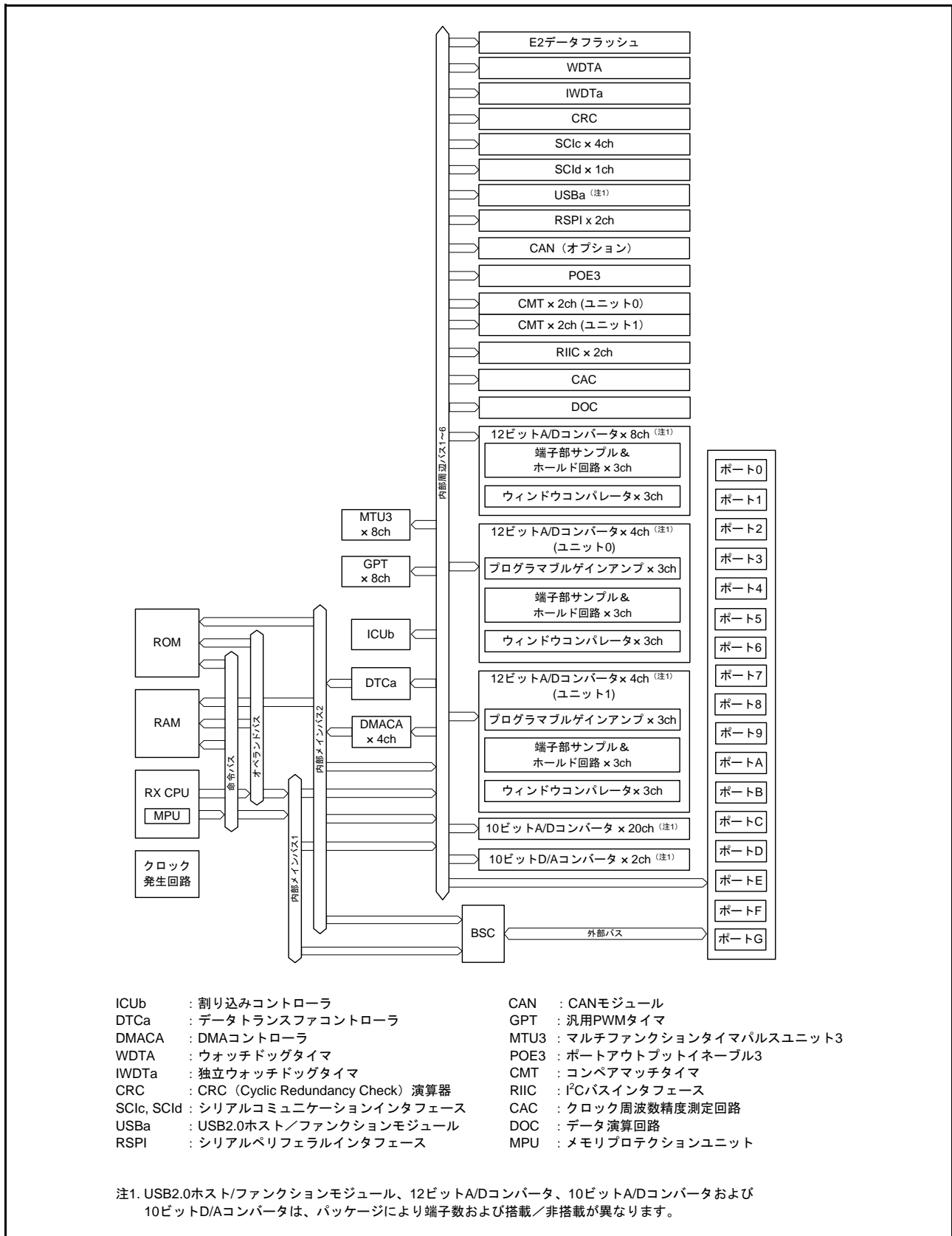


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 5)

分類	端子名	入出力	機能
電源	VCC	—	電源端子。システムの電源に接続してください。0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	—	0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	—	グランド端子。システムの電源（0V）に接続してください
	PLLVCC	—	電源端子。システムの電源に接続してください
	PLLVSS	—	グランド端子。システムの電源（0V）に接続してください
クロック	XTAL	出力	水晶振動子接続端子。EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部クロック出力端子
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定 トリガ入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中に変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highレベルにしてください。オンチップエミュレータを使用しない場合は、Lowレベルとしてください
オンチップエミュレータ	FINEC	入力	FINE インタフェース用クロック端子
	FINED	入出力	FINE インタフェース端子
	TRST#	入力	オンチップエミュレータ用端子。EMLE端子をHighレベルにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC	出力	TRDATA0～TRDATA3端子からの出力が有効データであることを示します
TRDATA0～TRDATA3	出力	トレース情報を出力します	
アドレスバス	A0～A19	出力	アドレス出力端子
データバス	D0～D15	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス

表 1.4 端子機能一覧 (2 / 5)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロープ信号
	WR#	出力	1ライトストロープモード時、外部バスインタフェース空間をライト中であることを示すストロープ信号
	WR0#～WR1#	出力	バイトストロープモード時、外部バスインタフェース空間をライト中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロープ信号
	BC0#～BC1#	出力	1ライトストロープモード時、外部バスインタフェース空間をアクセス中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロープ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0#～CS3#	出力	CS領域選択信号
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ7	入力	割り込み要求端子
マルチファンクション タイマパルスユニット3	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/デッドタイム補償機能の入力端子
	MTIOC6A、MTIOC6B MTIOC6C、MTIOC6D	入出力	TGRA6～TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A、MTIOC7B MTIOC7C、MTIOC7D	入出力	TGRA7～TGRD7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTCLKA、MTCLKB MTCLKC、MTCLKD	入力	外部クロックを入力
ポートアウトプット イネーブル3	POE0#、POE4# POE8#、POE10# POE11#、POE12#	入力	MTU3およびGPT用の端子をハイインピーダンス状態にする要求信号を入力

表 1.4 端子機能一覧 (3 / 5)

分類	端子名	入出力	機能
汎用PWMタイマ	GTIOC0A、GTIOC0B	入出力	GPT0.GTGRA、GPT0.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTIOC1A、GTIOC1B	入出力	GPT1.GTGRA、GPT1.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTIOC2A、GTIOC2B	入出力	GPT2.GTGRA、GPT2.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTIOC3A、GTIOC3B	入出力	GPT3.GTGRA、GPT3.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTETR0	入力	GPT0～GPT3用の外部 トリガ入力端子
	GTIOC4A、GTIOC4B	入出力	GPT4.GTGRA、GPT4.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTIOC5A、GTIOC5B	入出力	GPT5.GTGRA、GPT5.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTIOC6A、GTIOC6B	入出力	GPT6.GTGRA、GPT6.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTIOC7A、GTIOC7B	入出力	GPT7.GTGRA、GPT7.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTETR1	入力	GPT4～GPT7用の外部 トリガ入力端子
シリアル コミュニケーション インタフェース (SC1c)	• 調歩同期式モード/クロック同期式モード		
	SCK0、SCK1、SCK2、SCK3	入出力	クロック入出力端子
	RXD0、RXD1、RXD2、RXD3	入力	受信データ入力端子
	TXD0、TXD1、TXD2、TXD3	出力	送信データ出力端子
	CTS0#、CTS1#、CTS2#、CTS3#	入力	送受信開始制御用入力端子
	RTS0#、RTS1#、RTS2#、RTS3#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL0、SSCL1、SSCL2 SSCL3	入出力	I ² Cクロック入出力端子
	SSDA0、SSDA1、SSDA2 SSDA3	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK0、SCK1、SCK2、SCK3	入出力	クロック入出力端子
	SMISO0、SMISO1、 SMISO2、SMISO3	入出力	スレーブ送出データ入出力端子
	SMOSI0、SMOSI1 SMOSI2、SMOSI3	入出力	マスタ送出データ入出力端子
	SS0#、SS1#、SS2# SS3#	入力	チップセレクト入力端子

表 1.4 端子機能一覧 (4 / 5)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCId)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入力	受信データ入力端子
TXDX12	出力	送信データ出力端子	
SIOX12	入出力	送受信データ入出力端子	
I ² Cバスインタフェース	SCL、SCL0、SCL1	入出力	クロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA、SDA0、SDA1	入出力	データ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
USB2.0ホスト/ファンク ションモジュール	VCC_USB	入力	USB用電源端子
	VSS_USB	入力	USB用グラウンド端子
	USB0_DP	入出力	USB内蔵トランシーバー D+ 入出力端子
	USB0_DM	入出力	USB内蔵トランシーバー D- 入出力端子
	USB0_EXICEN	出力	OTGチップのローパワー制御信号
	USB0_VBUSEN	出力	OTGチップへのVBUS (5V) の供給許可信号
	USB0_ID	入力	OTG動作時miniABコネクタのID入力端子
	USB0_DPRPD	出力	ホスト動作時のD+信号のプルダウン制御端子
	USB0_DRPD	出力	ホスト動作時のD-信号プルダウン制御端子
	USB0_DPUPE	出力	ファンクション動作時のD+信号のプルアップ制御端子
	USB0_VBUS	入力	USBケーブル接続モニタ端子
	USB0_OVRCURA、 USB0_OVRCURB	入力	外部オーバーカレント検出端子
	CANモジュール	CRX1	入力
CTX1		出力	出力端子
シリアルペリフェラル インタフェース	RSPCKA、RSPCKB	入出力	クロック入出力端子
	MOSIA、MOSIB	入出力	マスタ送出データ入出力端子
	MISOA、MISOB	入出力	スレーブ送出データ入出力端子
	SSLA0、SSLB0	入出力	スレーブセレクト入出力端子
	SSLA1~SSLA3 SSLB1~SSLB3	出力	スレーブセレクト出力端子

表 1.4 端子機能一覧 (5 / 5)

分類	端子名	入出力	機能
12ビットA/Dコンバータ	AN000～AN007 AN100～AN103	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#, ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
	CVREFH	入力	コンパレータハイレベル基準電圧入力端子
	CVREFL	入力	コンパレータローレベル基準電圧入力端子
10ビットA/D変換器	AN0～AN19	入力	10ビットA/D変換器のアナログ入力端子
	ADTRG#	入力	A/D変換開始のための外部トリガ入力端子
10ビットD/A変換器	DA0, DA1	出力	10ビットD/A変換器のアナログ出力端子
アナログ電源	AVCC0	—	12ビットA/Dコンバータのアナログ電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	AVSS0	—	12ビットA/Dコンバータのアナロググランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH0	—	12ビットA/Dコンバータの基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	—	12ビットA/Dコンバータの基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	AVCC	—	10ビットA/D変換器、及び10ビットD/A変換器のアナログ電源端子です。A/D変換器、およびD/A変換器を使用しない場合は、システムの電源に接続してください。
	AVSS	—	10ビットA/D変換器、および10ビットD/A変換器のグランド端子です。システムの電源 (0V) に接続してください。
	VREF	—	10ビットA/D変換器、および10ビットD/A変換器の基準電源端子です。A/D変換器、およびD/A変換器を使用しない場合は、システムの電源に接続してください。
I/Oポート	P00～P05	入出力	6ビットの入出力端子
	P10～P14	入出力	5ビットの入出力端子
	P20～P26	入出力	7ビットの入出力端子
	P30～P35	入出力	6ビットの入出力端子
	P40～P47	入力	8ビットの入力端子
	P50～P57	入力	8ビットの入力端子
	P60～P65	入力	6ビットの入力端子
	P70～P76	入出力	7ビットの入出力端子
	P80～P82	入出力	3ビットの入出力端子
	P90～P96	入出力	7ビットの入出力端子
	PA0～PA6	入出力	7ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC5	入力	6ビットの入力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE5	入出力	6ビットの入出力端子 (PE2は入力端子)
	PF0～PF4	入出力	5ビットの入出力端子
	PG0～PG6	入出力	7ビットの入出力端子

1.5 ピン配置図

図 1.3 ~ 図 1.8 にピン配置図を示します。また、表 1.5 ~ 表 1.10 に機能別端子一覧を示します。

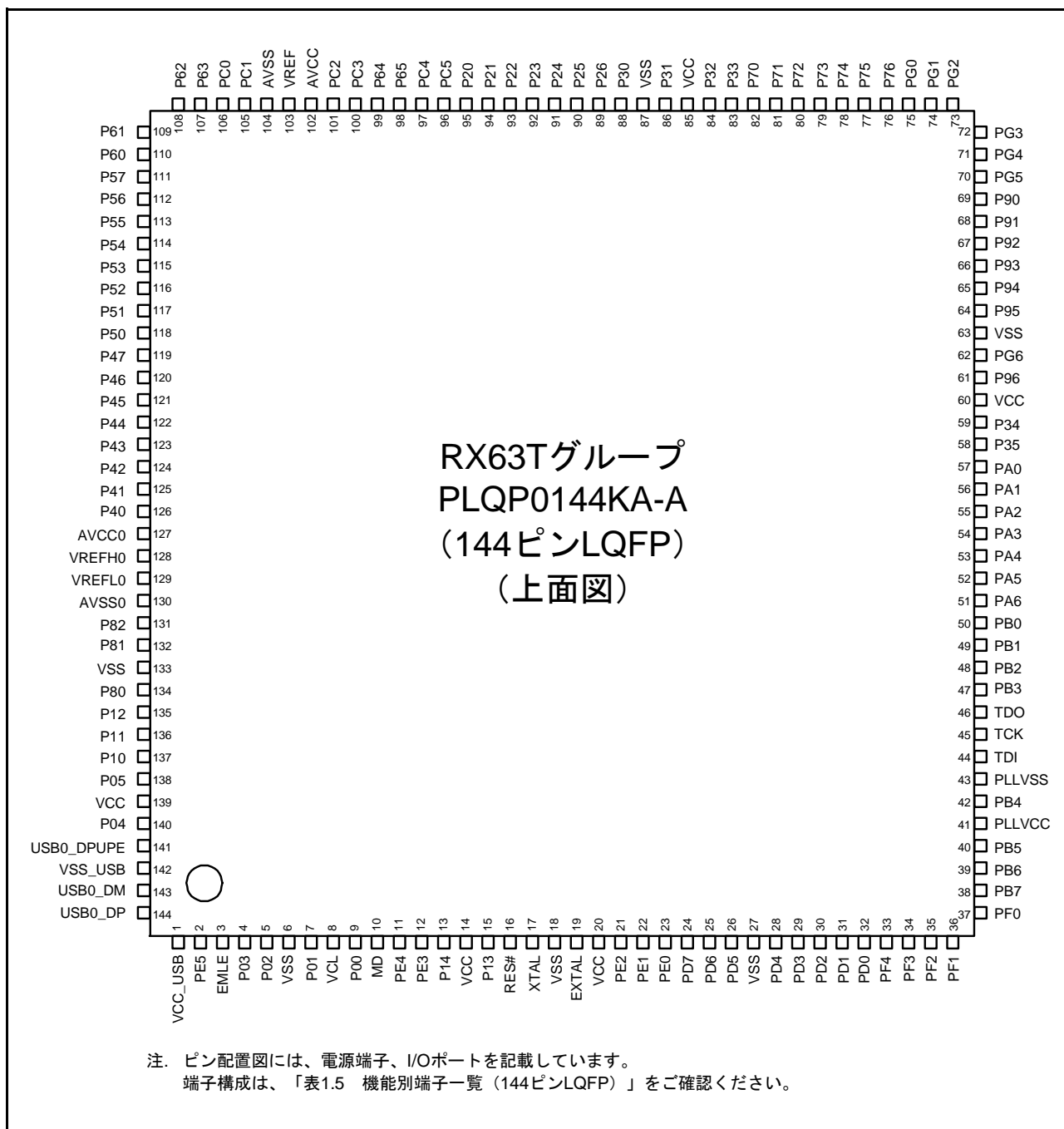


図 1.3 ピン配置図（144ピンLQFP）

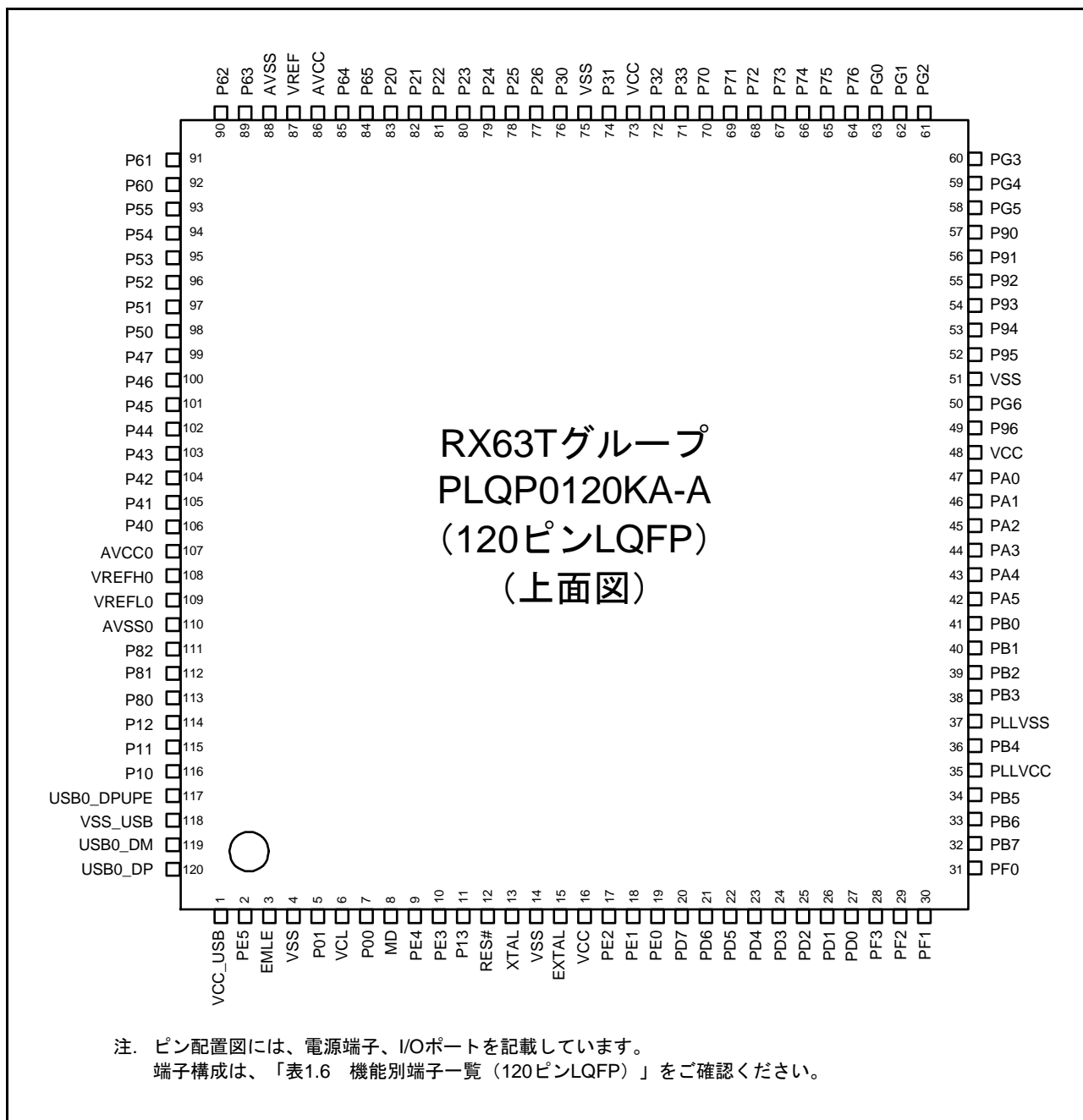


図 1.4 ピン配置図 (120 ピン LQFP)

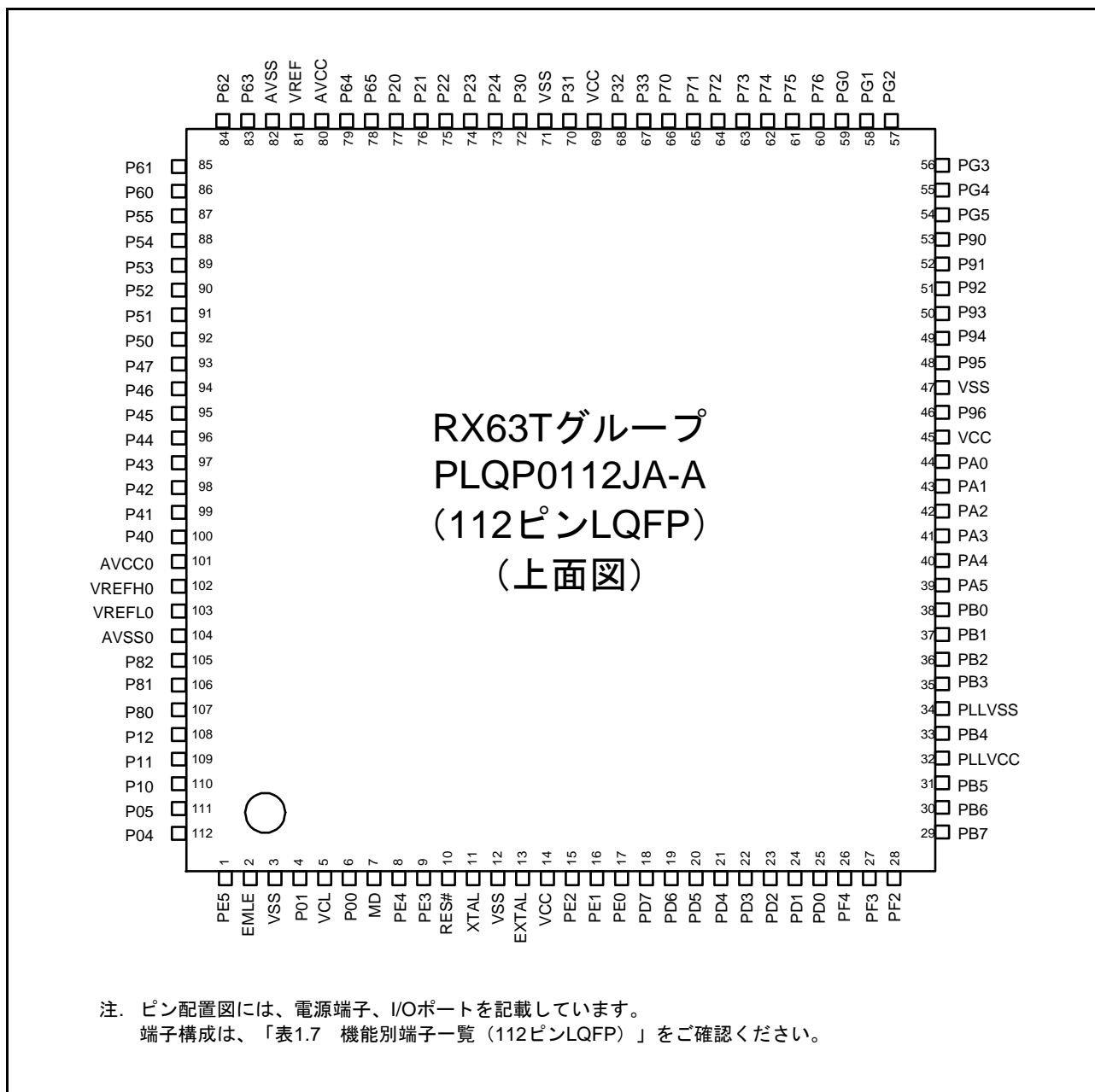


図 1.5 ピン配置図 (112 ピン LQFP)

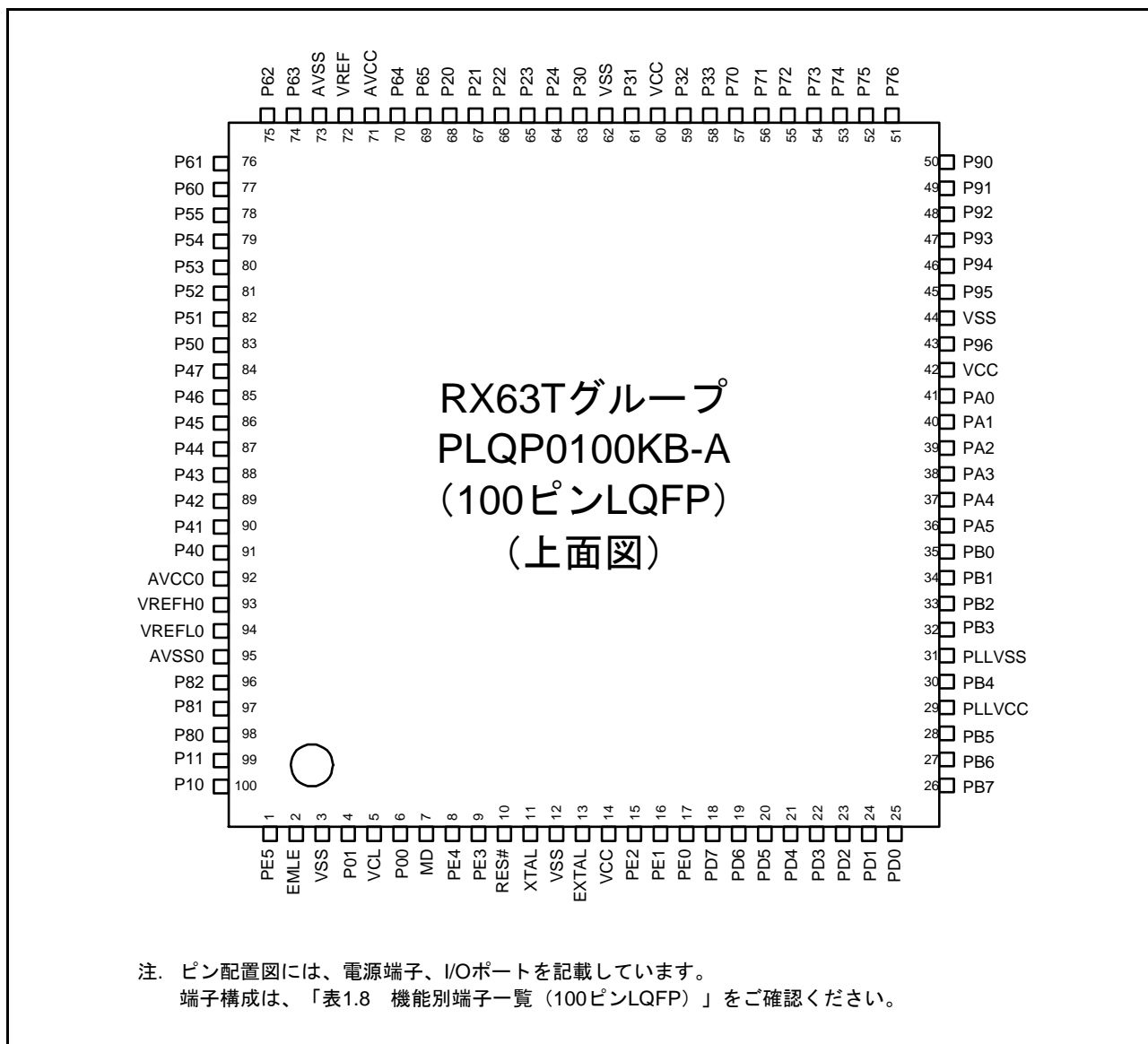


図 1.6 ピン配置図 (100 ピン LQFP)

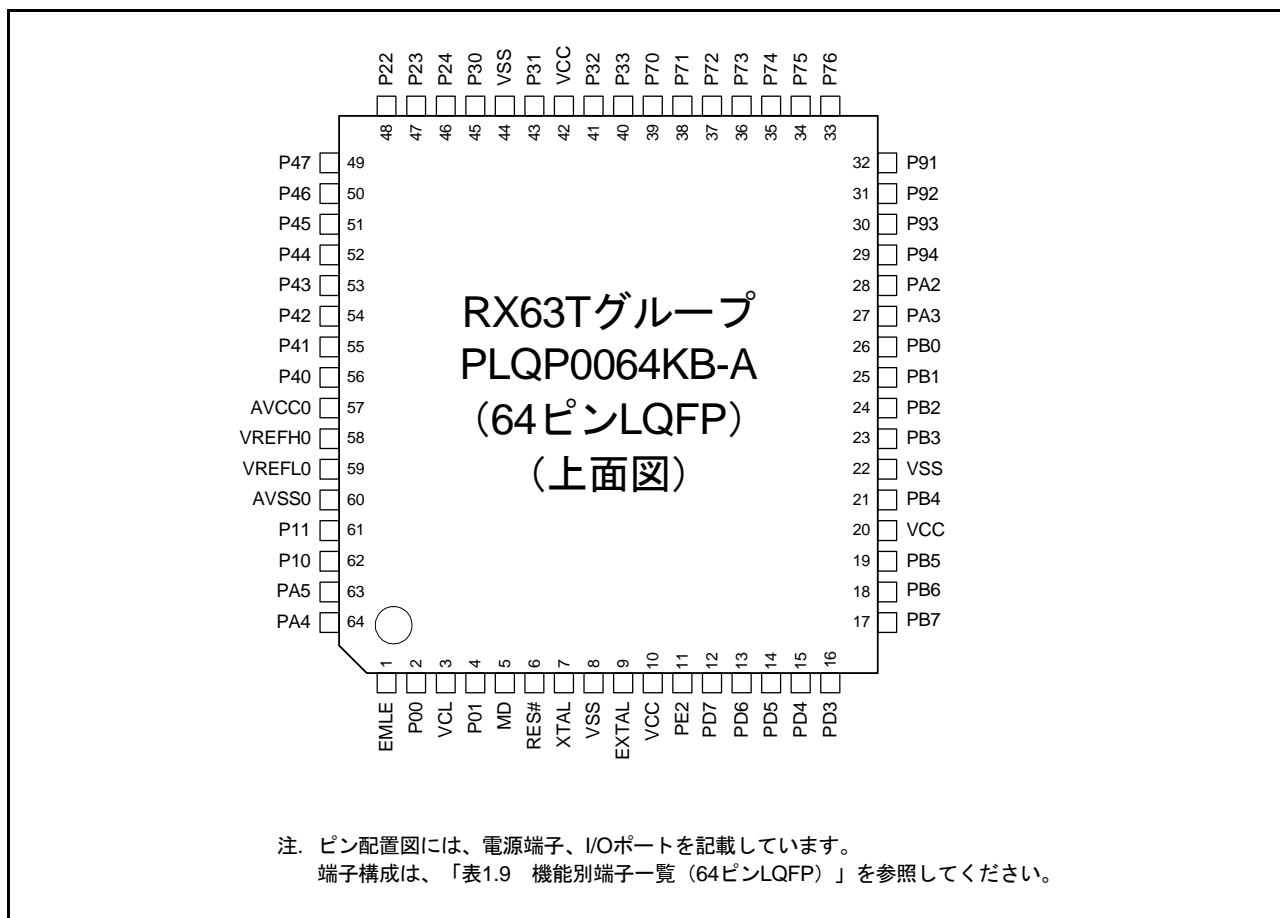


図 1.7 ピン配置図 (64 ピン LQFP)

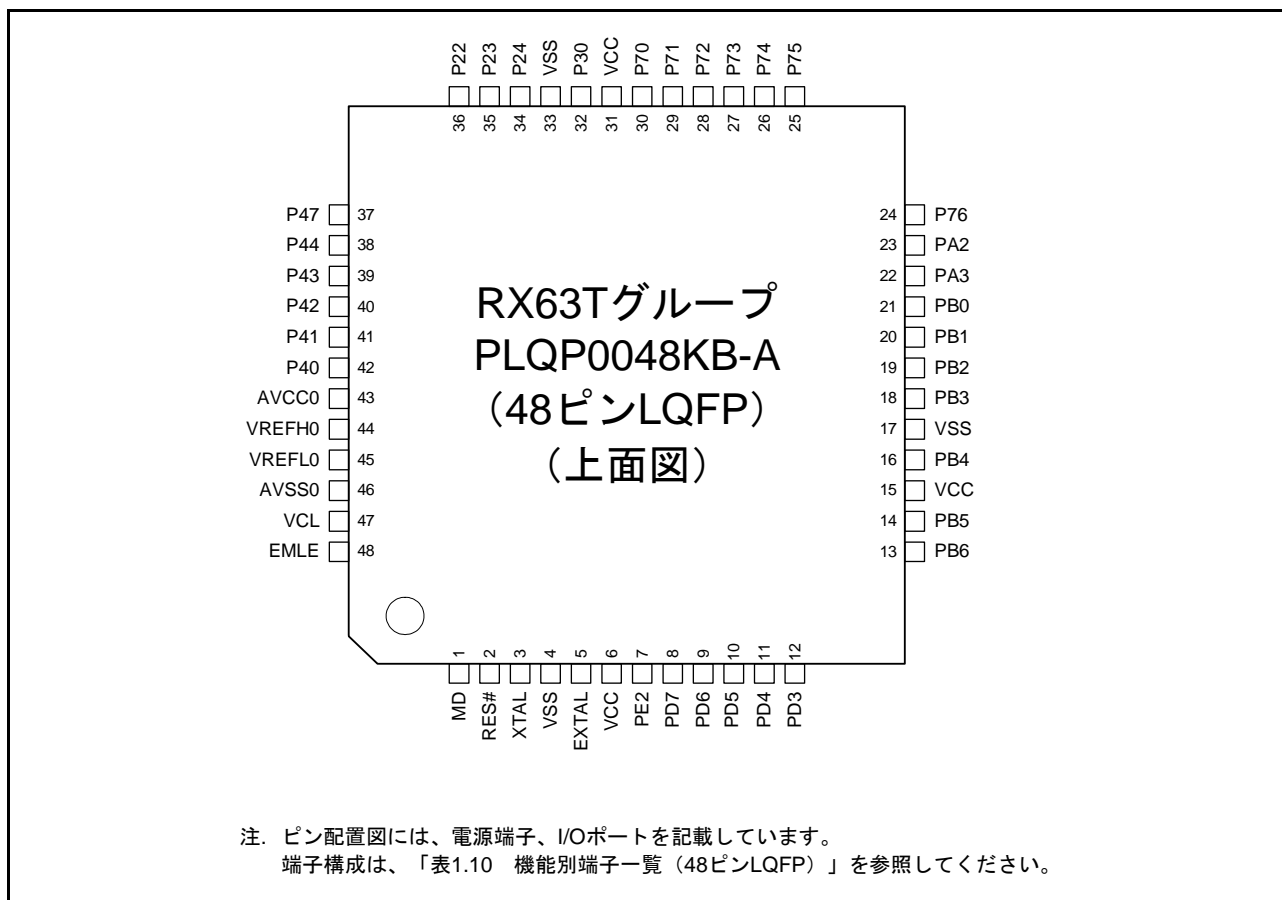


図 1.8 ピン配置図 (48ピンLQFP)

表 1.5 機能別端子一覧 (144ピンLQFP) (1 / 5)

ピン番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SC1c、SC1d、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
1	VCC_USB						
2		PE5	BCLK		USB0_VBUS	IRQ0	
3	EMLE						
4	TRSYNC	P03			RXD2/SMISO2/SSCL2	IRQ7	
5	TRDATA3	P02			TXD2/SMOSI2/SSDA2		
6	VSS						
7		P01	RD#		CTS0#/RTS0#/SS0#/ USB0_DRPD		
8	VCL						
9		P00	CS1#	CACREF			
10	MD/FINED						
11		PE4	A10	POE10#/ MTCLKC		IRQ1	
12		PE3	A11	POE11#/ MTCLKD		IRQ2-DS	
13	TRDATA2	P14			SCK2		
14	VCC						
15		P13			CTS2#/RTS2#/SS2#/ USB0_VBUSEN		
16	RES#						
17	XTAL						
18	VSS						
19	EXTAL						
20	VCC						
21		PE2		POE10#		NMI	
22		PE1	WR0#/WR#		CTS12#/RTS12#/SS12#/ SSLA3/SSLB3/ USB0_OVRCURA		
23		PE0	WR1#/ BC1#/WAIT#		SSLA2/SSLB2/CRX1/ USB0_OVRCURB	IRQ7	
24		PD7		GTIOC0A	CTS0#/RTS0#/SS0#/ SSLA1/SSLB1/CTX1		
25		PD6		GTIOC0B	SSLA0/SSLB0		
26		PD5		GTIOC1A	RXD1/SMISO1/SSCL1	IRQ6	
27	VSS						
28		PD4		GTIOC1B	SCK1		
29		PD3		GTIOC2A	TXD1/SMOSI1/SSDA1		
30		PD2	CS2#	GTIOC2B	MOSIA/MOSIB/USB0_ID		
31		PD1	CS0#	GTIOC3A	MISOA/MISOB/ USB0_EXICEN		
32		PD0	A12	GTIOC3B	RSPCKA/RSPCKB		
33		PF4	CS3#				
34		PF3			TXD1/SMOSI1/SSDA1		
35		PF2	CS1#		RXD1/SMISO1/SSCL1	IRQ5	
36	TRST#	PF1					
37	TMS	PF0					

表 1.5 機能別端子一覧 (144ピンLQFP) (2 / 5)

ピン番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCLc、SCLd、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
38		PB7	A19		SCK12		
39		PB6	A18		RXD12/SMISO12/ SSCL12/RXDX12/CRX1	IRQ2	
40		PB5	A17		TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ CTX1		
41	PLLVCC						
42		PB4	A16	POE8#/ GTETRG0		IRQ3-DS	
43	PLLVSS						
44	TDI				RXD1 (注1)		
45	TCK/FINEC						
46	TDO				TXD1 (注1)		
47		PB3	A15	MTIOC0A/ CACREF	SCK0		
48		PB2		MTIOC0B	TXD0/SMOSI0/SSDA0/ SDA0		
49		PB1		MTIOC0C	RXD0/SMISO0/SSCL0/ SCL0	IRQ4	
50		PB0	A14	MTIOC0D	MOSIA/MOSIB		
51	TRDATA1	PA6	CS3#		CTS3#/RTS3#/SS3#		
52		PA5		MTIOC1A	RXD0/SMISO0/SSCL0/ MISOA/MISOB		ADTRG1#
53		PA4		MTIOC1B	TXD0/SMOSI0/SSDA0/ RSPCKA/RSPCKB		ADTRG0#
54		PA3		MTIOC2A	SCK0/SSLA0/SSLB0		
55		PA2		MTIOC2B	RXD2/SMISO2/SSCL2/ SSLA1/SSLB1		
56		PA1		MTIOC6A	TXD2/SMOSI2/SSDA2/ SSLA2/SSLB2		
57		PA0		MTIOC6C	SCK2/SSLA3/SSLB3		
58	TRDATA0	P35			TXD3/SMOSI3/SSDA3		
59	TRCLK	P34		GTETRG1	RXD3/SMISO3/SSCL3	IRQ3	
60	VCC						
61		P96	A13	POE4#	RXD1/SMISO1/SSCL1	IRQ4-DS	
62		PG6	CS2#		SCK1		
63	VSS						
64		P95		MTIOC6B/ GTIOC4A	TXD1/SMOSI1/SSDA1		
65		P94		MTIOC7A/ GTIOC5A	CTS1#/RTS1#/SS1#		
66		P93		MTIOC7B/ GTIOC6A	CTS2#/RTS2#/SS2#		
67		P92		MTIOC6D/ GTIOC4B			
68		P91		MTIOC7C/ GTIOC5B			

表 1.5 機能別端子一覧 (144ピンLQFP) (3 / 5)

ピン番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SC1c、SC1d、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
69		P90		MTIOC7D/ GTIOC6B			
70		PG5		POE12#	SCK3		ADTRG#
71		PG4		GTIOC6B	RXD3/SMISO3/SSCL3	IRQ6	
72		PG3		GTIOC6A	TXD3/SMOSI3/SSDA3		
73		PG2			SCK2	IRQ2	
74		PG1		GTIOC7B	RXD2/SMISO2/SSCL2	IRQ1	
75		PG0		GTIOC7A	TXD2/SMOSI2/SSDA2	IRQ0	
76		P76	D0/[A0/D0]	MTIOC4D/ GTIOC2B			
77		P75	D1/[A1/D1]	MTIOC4C/ GTIOC1B			
78		P74	D2/[A2/D2]	MTIOC3D/ GTIOC0B			
79		P73	D3/[A3/D3]	MTIOC4B/ GTIOC2A			
80		P72	D4/[A4/D4]	MTIOC4A/ GTIOC1A			
81		P71	D5/[A5/D5]	MTIOC3B/ GTIOC0A			
82		P70	D6/[A6/D6]	POE0#	CTS1#/RTS1#/SS1#	IRQ5-DS	
83		P33	D7/[A7/D7]	MTIOC3A/ MTCLKA	SSLA3/SSLB3		
84		P32	D8/[A8/D8]	MTIOC3C/ MTCLKB	SSLA2/SSLB2		
85	VCC						
86		P31	D9/[A9/D9]	MTIOC0A/ MTCLKC	SSLA1/SSLB1		
87	VSS						
88		P30	D10/[A10/ D10]	MTIOC0B/ MTCLKD	SCK0/SSLA0/SSLB0		
89		P26	CS0#		TXD1/SMOSI1/SSDA1/ SDA1		
90		P25	CS1#		SCK1/SCL1		
91		P24	D11/[A11/ D11]		CTS0#/RTS0#/SS0#/ RSPCKA/RSPCKB	IRQ4	
92		P23	D12/[A12/ D12]	CACREF	TXD0/SMOSI0/SSDA0/ MOSIA/MOSIB/CTX1		
93		P22	D13/[A13/ D13]		RXD0/SMISO0/SSCL0/ MISOA/MISOB/CRX1		ADTRG#
94		P21	D14/[A14/ D14]	MTCLKA		IRQ6-DS	ADTRG1#
95		P20	D15/[A15/ D15]	MTCLKB		IRQ7-DS	ADTRG0#
96		PC5					AN19
97		PC4					AN18
98		P65	A0/BC0#				AN5
99		P64	A1				AN4

表 1.5 機能別端子一覧 (144ピンLQFP) (4 / 5)

ピン番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SC1c、SC1d、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
100		PC3					AN17
101		PC2					AN16
102	AVCC						
103	VREF						
104	AVSS						
105		PC1					AN15
106		PC0					AN14
107		P63	A2				AN3
108		P62	A3				AN2
109		P61	A4				AN1
110		P60	A5				AN0
111		P57					AN13
112		P56					AN12
113		P55					AN11/DA1
114		P54					AN10/DA0
115		P53	A6				AN9
116		P52	A7				AN8
117		P51					AN7
118		P50					AN6
119		P47					AN103/ CVREFH
120		P46					AN102
121		P45					AN101
122		P44					AN100
123		P43					AN003/ CVREFL
124		P42					AN002
125		P41					AN001
126		P40					AN000
127	AVCC0						
128	VREFH0						
129	VREFL0						
130	AVSS0						
131		P82	WAIT#	MTIC5U	SCK12	IRQ3	
132		P81	A8	MTIC5V	TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12		
133	VSS						
134		P80	A9	MTIC5W	RXD12/SMISO12/ SSCL12/RXDX12	IRQ5	
135		P12	CS3#		USB0_DPRPD		
136		P11	ALE	MTCLKC		IRQ1-DS	
137		P10		MTCLKD		IRQ0-DS	
138		P05	CS2#/WAIT#				
139	VCC						

表 1.5 機能別端子一覧 (144ピンLQFP) (5 / 5)

ピン 番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
140		P04					
141					USB0_DPUPE		
142	VSS_USB						
143					USB0_DM		
144					USB0_DP		

注1. ブートモード時のみ、SCI端子として使用できます。

表 1.6 機能別端子一覧 (120ピンLQFP) (1 / 4)

ピン番号 120ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SC1c、SC1d、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
1	VCC_USB						
2		PE5	BCLK		USB0_VBUS	IRQ0	
3	EMLE						
4	VSS						
5		P01	RD#		CTS0#/RTS0#/SS0#/ USB0_DRPD		
6	VCL						
7		P00	CS1#	CACREF			
8	MD/FINED						
9		PE4	A10	POE10#/ MTCLKC		IRQ1	
10		PE3	A11	POE11#/ MTCLKD		IRQ2-DS	
11		P13			CTS2#/RTS2#/SS2#/ USB0_VBUSEN		
12	RES#						
13	XTAL						
14	VSS						
15	EXTAL						
16	VCC						
17		PE2		POE10#		NMI	
18		PE1	WR0#/ WR#		CTS12#/RTS12#/SS12#/ SSLA3/SSLB3/ USB0_OVRCURA		
19		PE0	WR1#/ BC1#/ WAIT#		SSLA2/SSLB2/CRX1/ USB0_OVRCURB	IRQ7	
20	TRST#	PD7		GTIOC0A	CTS0#/RTS0#/SS0#/ SSLA1/SSLB1/CTX1		
21	TMS	PD6		GTIOC0B	SSLA0/SSLB0		
22	TDI	PD5		GTIOC1A	RXD1/SMISO1/SSCL1	IRQ6	
23	TCK/FINEC	PD4		GTIOC1B	SCK1		
24	TDO	PD3		GTIOC2A	TXD1/SMOSI1/SSDA1		
25		PD2	CS2#	GTIOC2B	MOSIA/MOSIB/USB0_ID		
26		PD1	CS0#	GTIOC3A	MISOA/MISOB/ USB0_EXICEN		
27		PD0	A12	GTIOC3B	RSPCKA/RSPCKB		
28		PF3			TXD1/SMOSI1/SSDA1		
29		PF2	CS1#		RXD1/SMISO1/SSCL1	IRQ5	
30		PF1					
31		PF0					
32		PB7	A19		SCK12		
33		PB6	A18		RXD12/SMISO12/SSCL12/ RXDX12/CRX1	IRQ2	
34		PB5	A17		TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX1		
35	PLLVC						

表 1.6 機能別端子一覧 (120ピンLQFP) (2 / 4)

ピン 番号 120ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCLc、SCLd、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
36		PB4	A16	POE8#/ GTETR0		IRQ3-DS	
37	PLLVSS						
38		PB3	A15	MTIOC0A/ CACREF	SCK0		
39		PB2		MTIOC0B	TXD0/SMOSI0/SSDA0/ SDA0		
40		PB1		MTIOC0C	RXD0/SMISO0/SSCL0/ SCL0	IRQ4	
41		PB0	A14	MTIOC0D	MOSIA/MOSIB		
42		PA5		MTIOC1A	RXD0/SMISO0/SSCL0/ MISOA/MISOB		ADTRG1#
43		PA4		MTIOC1B	TXD0/SMOSI0/SSDA0/ RSPCKA/RSPCKB		ADTRG0#
44		PA3		MTIOC2A	SCK0/SSLA0/SSLB0		
45		PA2		MTIOC2B	RXD2/SMISO2/SSCL2/ SSLA1/SSLB1		
46		PA1		MTIOC6A	TXD2/SMOSI2/SSDA2/ SSLA2/SSLB2		
47		PA0		MTIOC6C	SCK2/SSLA3/SSLB3		
48	VCC						
49		P96	A13	POE4#	RXD1/SMISO1/SSCL1	IRQ4-DS	
50		PG6	CS2#		SCK1		
51	VSS						
52		P95		MTIOC6B/ GTIOC4A	TXD1/SMOSI1/SSDA1		
53		P94		MTIOC7A/ GTIOC5A	CTS1#/RTS1#/SS1#		
54		P93		MTIOC7B/ GTIOC6A	CTS2#/RTS2#/SS2#		
55		P92		MTIOC6D/ GTIOC4B			
56		P91		MTIOC7C/ GTIOC5B			
57		P90		MTIOC7D/ GTIOC6B			
58	TRCLK	PG5		POE12#	SCK3		ADTRG#
59	TRDATA3	PG4		GTIOC6B	RXD3/SMISO3/SSCL3	IRQ6	
60	TRDATA2	PG3		GTIOC6A	TXD3/SMOSI3/SSDA3		
61	TRDATA1	PG2			SCK2	IRQ2	
62	TRDATA0	PG1		GTIOC7B	RXD2/SMISO2/SSCL2	IRQ1	
63	TRSYNC	PG0		GTIOC7A	TXD2/SMOSI2/SSDA2	IRQ0	
64		P76	D0/[A0/D0]	MTIOC4D/ GTIOC2B			
65		P75	D1/[A1/D1]	MTIOC4C/ GTIOC1B			
66		P74	D2/[A2/D2]	MTIOC3D/ GTIOC0B			

表 1.6 機能別端子一覧 (120ピンLQFP) (3 / 4)

ピン 番号 120ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
67		P73	D3/[A3/D3]	MTIOC4B/ GTIOC2A			
68		P72	D4/[A4/D4]	MTIOC4A/ GTIOC1A			
69		P71	D5/[A5/D5]	MTIOC3B/ GTIOC0A			
70		P70	D6/[A6/D6]	POE0#	CTS1#/RTS1#/SS1#	IRQ5-DS	
71		P33	D7/[A7/D7]	MTIOC3A/ MTCLKA	SSLA3/SSLB3		
72		P32	D8/[A8/D8]	MTIOC3C/ MTCLKB	SSLA2/SSLB2		
73	VCC						
74		P31	D9/[A9/D9]	MTIOC0A/ MTCLKC	SSLA1/SSLB1		
75	VSS						
76		P30	D10/[A10/ D10]	MTIOC0B/ MTCLKD	SCK0/SSLA0/SSLB0		
77		P26	CS0#		TXD1/SMOSI1/SSDA1/ SDA1		
78		P25	CS1#		SCK1/SCL1		
79		P24	D11/[A11/ D11]		CTS0#/RTS0#/SS0#/ RSPCKA/RSPCKB	IRQ4	
80		P23	D12/[A12/ D12]	CACREF	TXD0/SMOSI0/SSDA0/ MOSIA/MOSIB/CTX1		
81		P22	D13/[A13/ D13]		RXD0/SMISO0/SSCLO/ MISOA/MISOB/CRX1		ADTRG#
82		P21	D14/[A14/ D14]	MTCLKA		IRQ6-DS	ADTRG1#
83		P20	D15/[A15/ D15]	MTCLKB		IRQ7-DS	ADTRG0#
84		P65	A0/BC0#				AN5
85		P64	A1				AN4
86	AVCC						
87	VREF						
88	AVSS						
89		P63	A2				AN3
90		P62	A3				AN2
91		P61	A4				AN1
92		P60	A5				AN0
93		P55					AN11/DA1
94		P54					AN10/DA0
95		P53	A6				AN9
96		P52	A7				AN8
97		P51					AN7
98		P50					AN6
99		P47					AN103/ CVREFH

表 1.6 機能別端子一覧 (120ピンLQFP) (4 / 4)

ピン 番号 120ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCLc、SCLd、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
100		P46					AN102
101		P45					AN101
102		P44					AN100
103		P43					AN003/ CVREFL
104		P42					AN002
105		P41					AN001
106		P40					AN000
107	AVCC0						
108	VREFH0						
109	VREFL0						
110	AVSS0						
111		P82	WAIT#	MTIC5U	SCK12	IRQ3	
112		P81	A8	MTIC5V	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
113		P80	A9	MTIC5W	RXD12/SMISO12/SSCL12/ RXDX12	IRQ5	
114		P12	CS3#		USB0_DPRPD		
115		P11	ALE	MTCLKC		IRQ1-DS	
116		P10		MTCLKD		IRQ0-DS	
117					USB0_DPUPE		
118	VSS_USB						
119					USB0_DM		
120					USB0_DP		

表 1.7 機能別端子一覧 (112ピンLQFP) (1 / 4)

ピン 番号 112ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
1		PE5	BCLK			IRQ0	
2	EMLE						
3	VSS						
4		P01	RD#		CTS0#/RTS0#/SS0#		
5	VCL						
6		P00	CS1#	CACREF			
7	MD/FINED						
8		PE4	A10	POE10#/ MTCLKC		IRQ1	
9		PE3	A11	POE11#/ MTCLKD		IRQ2-DS	
10	RES#						
11	XTAL						
12	VSS						
13	EXTAL						
14	VCC						
15		PE2		POE10#		NMI	
16		PE1	WR0#/ WR#		CTS12#/RTS12#/SS12#/SSLA3/ SSLB3		
17		PE0	WR1#/ BC1#/ WAIT#		SSLA2/SSLB2/CRX1	IRQ7	
18		PD7		GTIOC0A	CTS0#/RTS0#/SS0#/SSLA1/ SSLB1/CTX1		
19		PD6		GTIOC0B	SSLA0/SSLB0		
20		PD5		GTIOC1A	RXD1/SMISO1/SSCL1	IRQ6	
21		PD4		GTIOC1B	SCK1		
22		PD3		GTIOC2A	TXD1/SMOSI1/SSDA1		
23		PD2	CS2#	GTIOC2B	MOSIA/MOSIB		
24		PD1	CS0#	GTIOC3A	MISOA/MISOB		
25		PD0	A12	GTIOC3B	RSPCKA/RSPCKB		
26	TDI	PF4	CS3#		RXD1 (注1)		
27	TCK/ FINEC	PF3			TXD1/SMOSI1/SSDA1		
28	TDO	PF2	CS1#		RXD1/SMISO1/SSCL1/TXD1 (注1)	IRQ5	
29		PB7	A19		SCK12		
30		PB6	A18		RXD12/SMISO12/SSCL12/ RXDX12/CRX1	IRQ2	
31		PB5	A17		TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX1		
32	PLLVCC						
33		PB4	A16	POE8#/ GTETRG0		IRQ3-DS	
34	PLLSS						
35		PB3	A15	MTIOC0A/ CACREF	SCK0		

表 1.7 機能別端子一覧 (112ピンLQFP) (2 / 4)

ピン 番号 112ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
36		PB2		MTIOC0B	TXD0/SMOSI0/SSDA0/SDA0		
37		PB1		MTIOC0C	RXD0/SMISO0/SSCL0/SCL0	IRQ4	
38		PB0	A14	MTIOC0D	MOSIA/MOSIB		
39		PA5		MTIOC1A	RXD0/SMISO0/SSCL0/ MISOA/MISOB		ADTRG1#
40		PA4		MTIOC1B	TXD0/SMOSI0/SSDA0/ RSPCKA/RSPCKB		ADTRG0#
41		PA3		MTIOC2A	SCK0/SSLA0/SSLB0		
42		PA2		MTIOC2B	RXD2/SMISO2/SSCL2/ SSLA1/SSLB1		
43		PA1		MTIOC6A	TXD2/SMOSI2/SSDA2/ SSLA2/SSLB2		
44		PA0		MTIOC6C	SCK2/SSLA3/SSLB3		
45	VCC						
46		P96	A13	POE4#	RXD1/SMISO1/SSCL1	IRQ4-DS	
47	VSS						
48		P95		MTIOC6B/ GTIOC4A	TXD1/SMOSI1/SSDA1		
49		P94		MTIOC7A/ GTIOC5A	CTS1#/RTS1#/SS1#		
50		P93		MTIOC7B/ GTIOC6A	CTS2#/RTS2#/SS2#		
51		P92		MTIOC6D/ GTIOC4B			
52		P91		MTIOC7C/ GTIOC5B			
53		P90		MTIOC7D/ GTIOC6B			
54	TRCLK	PG5		POE12#	SCK3		ADTRG#
55	TRDATA3	PG4		GTIOC6B	RXD3/SMISO3/SSCL3	IRQ6	
56	TRDATA2	PG3		GTIOC6A	TXD3/SMOSI3/SSDA3		
57	TRDATA1	PG2			SCK2	IRQ2	
58	TRDATA0	PG1		GTIOC7B	RXD2/SMISO2/SSCL2	IRQ1	
59	TRSYNC	PG0		GTIOC7A	TXD2/SMOSI2/SSDA2	IRQ0	
60		P76	D0/[A0/D0]	MTIOC4D/ GTIOC2B			
61		P75	D1/[A1/D1]	MTIOC4C/ GTIOC1B			
62		P74	D2/[A2/D2]	MTIOC3D/ GTIOC0B			
63		P73	D3/[A3/D3]	MTIOC4B/ GTIOC2A			
64		P72	D4/[A4/D4]	MTIOC4A/ GTIOC1A			
65		P71	D5/[A5/D5]	MTIOC3B/ GTIOC0A			
66		P70	D6/[A6/D6]	POE0#	CTS1#/RTS1#/SS1#	IRQ5-DS	

表 1.7 機能別端子一覧 (112ピンLQFP) (3 / 4)

ピン番号 112ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
67		P33	D7/[A7/D7]	MTIOC3A/ MTCLKA	SSLA3/SSLB3		
68		P32	D8/[A8/D8]	MTIOC3C/ MTCLKB	SSLA2/SSLB2		
69	VCC						
70		P31	D9/[A9/D9]	MTIOC0A/ MTCLKC	SSLA1/SSLB1		
71	VSS						
72		P30	D10/[A10/ D10]	MTIOC0B/ MTCLKD	SCK0/SSLA0/SSLB0		
73		P24	D11/[A11/ D11]		CTS0#/RTS0#/SS0#/RSPCKA/ RSPCKB	IRQ4	
74		P23	D12/[A12/ D12]	CACREF	TXD0/SMOSI0/SSDA0/MOSIA/ MOSIB/CTX1		
75		P22	D13/[A13/ D13]		RXD0/SMISO0/SSCL0/MISOA/ MISOB/CRX1		ADTRG#
76		P21	D14/[A14/ D14]	MTCLKA		IRQ6-DS	ADTRG1#
77		P20	D15/[A15/ D15]	MTCLKB		IRQ7-DS	ADTRG0#
78		P65	A0/BC0#				AN5
79		P64	A1				AN4
80	AVCC						
81	VREF						
82	AVSS						
83		P63	A2				AN3
84		P62	A3				AN2
85		P61	A4				AN1
86		P60	A5				AN0
87		P55					AN11/DA1
88		P54					AN10/DA0
89		P53	A6				AN9
90		P52	A7				AN8
91		P51					AN7
92		P50					AN6
93		P47					AN103/ CVREFH
94		P46					AN102
95		P45					AN101
96		P44					AN100
97		P43					AN003/ CVREFL
98		P42					AN002
99		P41					AN001
100		P40					AN000
101	AVCC0						
102	VREFH0						

表 1.7 機能別端子一覧 (112ピンLQFP) (4 / 4)

ピン 番号 112ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
103	VREFL0						
104	AVSS0						
105		P82	WAIT#	MTIC5U	SCK12	IRQ3	
106		P81	A8	MTIC5V	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
107		P80	A9	MTIC5W	RXD12/SMISO12/SSCL12/ RXDX12	IRQ5	
108		P12	CS3#				
109		P11	ALE	MTCLKC		IRQ1-DS	
110		P10		MTCLKD		IRQ0-DS	
111	TRST#	P05	WAIT#/ CS2#				
112	TMS	P04					

注1. ブートモード時のみ、SCI端子として使用できます。

表 1.8 機能別端子一覧 (100ピンLQFP) (1 / 3)

ピン 番号 100ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
1		PE5	BCLK			IRQ0	
2	EMLE						
3	VSS						
4		P01	RD#		CTS0#/RTS0#/SS0#		
5	VCL						
6		P00	CS1#	CACREF			
7	MD/FINED						
8		PE4	A10	POE10#/ MTCLKC		IRQ1	
9		PE3	A11	POE11#/ MTCLKD		IRQ2-DS	
10	RES#						
11	XTAL						
12	VSS						
13	EXTAL						
14	VCC						
15		PE2		POE10#		NMI	
16		PE1	WR0#/ WR#		CTS12#/RTS12#/SS12#/ SSLA3/SSLB3		
17		PE0	WR1#/ BC1#/ WAIT#		SSLA2/SSLB2/CRX1	IRQ7	
18	TRST#	PD7		GTIOC0A	CTS0#/RTS0#/SS0#/ SSLA1/SSLB1/CTX1		
19	TMS	PD6		GTIOC0B	SSLA0/SSLB0		
20	TDI	PD5		GTIOC1A	RXD1/SMISO1/SSCL1	IRQ6	
21	TCK/FINEC	PD4		GTIOC1B	SCK1		
22	TDO	PD3		GTIOC2A	TXD1/SMOSI1/SSDA1		
23		PD2	CS2#	GTIOC2B	MOSIA/MOSIB		
24		PD1	CS0#	GTIOC3A	MISOA/MISOB		
25		PD0	A12	GTIOC3B	RSPCKA/RSPCKB		
26		PB7	A19		SCK12		
27		PB6	A18		RXD12/SMISO12/SSCL12/ RXDX12/CRX1	IRQ2	
28		PB5	A17		TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX1		
29	PLLVCC						
30		PB4	A16	POE8#/ GTETRGO		IRQ3-DS	
31	PLLVSS						
32		PB3	A15	MTIOC0A/ CACREF	SCK0		
33		PB2		MTIOC0B	TXD0/SMOSI0/SSDA0/ SDA0		
34		PB1		MTIOC0C	RXD0/SMISO0/SSCL0/ SCL0	IRQ4	
35		PB0	A14	MTIOC0D	MOSIA/MOSIB		

表 1.8 機能別端子一覧 (100ピンLQFP) (2 / 3)

ピン 番号 100ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
36		PA5		MTIOC1A	RXD0/SMISO0/SSCL0/ MISOA/MISOB		ADTRG1#
37		PA4		MTIOC1B	TXD0/SMOSI0/SSDA0/ RSPCKA/RSPCKB		ADTRG0#
38		PA3		MTIOC2A	SCK0/SSLA0/SSLB0		
39		PA2		MTIOC2B	RXD2/SMISO2/SSCL2/ SSLA1/SSLB1		
40		PA1		MTIOC6A	TXD2/SMOSI2/SSDA2/ SSLA2/SSLB2		
41		PA0		MTIOC6C	SCK2/SSLA3/SSLB3		
42	VCC						
43		P96	A13	POE4#	RXD1/SMISO1/SSCL1	IRQ4-DS	
44	VSS						
45		P95		MTIOC6B/ GTIOC4A	TXD1/SMOSI1/SSDA1		
46		P94		MTIOC7A/ GTIOC5A	CTS1#/RTS1#/SS1#		
47		P93		MTIOC7B/ GTIOC6A	CTS2#/RTS2#/SS2#		
48		P92		MTIOC6D/ GTIOC4B			
49		P91		MTIOC7C/ GTIOC5B			
50		P90		MTIOC7D/ GTIOC6B			
51		P76	D0/[A0/D0]	MTIOC4D/ GTIOC2B			
52		P75	D1/[A1/D1]	MTIOC4C/ GTIOC1B			
53		P74	D2/[A2/D2]	MTIOC3D/ GTIOC0B			
54		P73	D3/[A3/D3]	MTIOC4B/ GTIOC2A			
55		P72	D4/[A4/D4]	MTIOC4A/ GTIOC1A			
56		P71	D5/[A5/D5]	MTIOC3B/ GTIOC0A			
57		P70	D6/[A6/D6]	POE0#	CTS1#/RTS1#/SS1#	IRQ5-DS	
58		P33	D7/[A7/D7]	MTIOC3A/ MTCLKA	SSLA3/SSLB3		
59		P32	D8/[A8/D8]	MTIOC3C/ MTCLKB	SSLA2/SSLB2		
60	VCC						
61		P31	D9/[A9/D9]	MTIOC0A/ MTCLKC	SSLA1/SSLB1		
62	VSS						
63		P30	D10/[A10/ D10]	MTIOC0B/ MTCLKD	SCK0/SSLA0/SSLB0		
64		P24	D11/[A11/ D11]		CTS0#/RTS0#/SS0#/ RSPCKA/RSPCKB	IRQ4	

表 1.8 機能別端子一覧 (100ピンLQFP) (3 / 3)

ピン 番号 100ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCLc、SCLd、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
65		P23	D12/[A12/ D12]	CACREF	TXD0/SMOSI0/SSDA0/ MOSIA/MOSIB/CTX1		
66		P22	D13/[A13/ D13]		RXD0/SMISO0/SSCL0/ MISOA/MISOB/CRX1		ADTRG#
67		P21	D14/[A14/ D14]	MTCLKA		IRQ6-DS	ADTRG1#
68		P20	D15/[A15/ D15]	MTCLKB		IRQ7-DS	ADTRG0#
69		P65	A0/BC0#				AN5
70		P64	A1				AN4
71	AVCC						
72	VREF						
73	AVSS						
74		P63	A2				AN3
75		P62	A3				AN2
76		P61	A4				AN1
77		P60	A5				AN0
78		P55					AN11/DA1
79		P54					AN10/DA0
80		P53	A6				AN9
81		P52	A7				AN8
82		P51					AN7
83		P50					AN6
84		P47					AN103/ CVREFH
85		P46					AN102
86		P45					AN101
87		P44					AN100
88		P43					AN003/ CVREFL
89		P42					AN002
90		P41					AN001
91		P40					AN000
92	AVCC0						
93	VREFH0						
94	VREFL0						
95	AVSS0						
96		P82	WAIT#	MTIC5U	SCK12	IRQ3	
97		P81	A8	MTIC5V	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
98		P80	A9	MTIC5W	RXD12/SMISO12/SSCL12/ RXDX12	IRQ5	
99		P11	ALE	MTCLKC		IRQ1-DS	
100		P10		MTCLKD		IRQ0-DS	

表 1.9 機能別端子一覧 (64ピンLQFP) (1 / 3)

ピン 番号 64ピン LQFP	電源 クロック システム 制御	I/Oポート	POE3	タイマ (MTU3、 GPT、CAC)	通信		割り込み	S12ADB
					(SCIc、SCId)	(RSPI、RIIC)		
1	EMLE							
2		P00		GTIOC3A	CTS0# RTS0# SS0#		IRQ2-DS	
3	VCL							
4		P01		GTIOC3B CACREF			IRQ4-DS	
5	MD FINED							
6	RES#							
7	XTAL							
8	VSS							
9	EXTAL							
10	VCC							
11		PE2	POE10#				NMI	
12	TRST#	PD7		GTIOC0A	CTS0# RTS0# SS0#			
13	TMS	PD6		GTIOC0B				
14	TDI	PD5		GTIOC1A	RXD1 SMISO1 SSCL1			
15	TCK FINEC	PD4		GTIOC1B	SCK1			
16	TDO	PD3		GTIOC2A	TXD1 SMOSI1 SSDA1			
17		PB7		GTIOC2B	SCK12			
18		PB6		GTIOC2B	RXD12 SMISO12 SSCL12 RXDX12			
19		PB5	POE11#		TXD12 SMOSI12 SSDA12 TXDX12 SIOX12		IRQ0	
20	VCC							
21		PB4	POE8#	GTETRQ	CTS12# RTS12# SS12#		IRQ3-DS	
22	VSS							
23		PB3		MTIOC0A MTCLKA CACREF	SCK0			
24		PB2		MTIOC0B MTCLKB	TXD0 SMOSI0 SSDA0	SDA		
25		PB1		MTIOC0C	RXD0 SMISO0 SSCL0	SCL		

表 1.9 機能別端子一覧 (64ピンLQFP) (2 / 3)

ピン 番号 64ピン LQFP	電源 クロック システム 制御	I/Oポート	POE3	タイマ (MTU3、 GPT、CAC)	通信		割り込み	S12ADB
					(SCLc、SCLd)	(RSPI、RIIC)		
26		PB0		MTIOC0D		MOSIA		
27		PA3		MTIOC2A		SSLA0		
28		PA2		MTIOC2B		SSLA1		
29		P94			TXD1 SMOSI1 SSDA1			
30		P93			RXD1 SMISO1 SSCL1		IRQ1	
31		P92			SCK1			
32		P91			CTS1# RTS1# SS1#			
33		P76		MTIOC4D GTIOC2B MTIOC7D				
34		P75		MTIOC4C GTIOC1B MTIOC7C				
35		P74		MTIOC3D GTIOC0B MTIOC6D				
36		P73		MTIOC4B GTIOC2A MTIOC7B				
37		P72		MTIOC4A GTIOC1A MTIOC7B				
38		P71		MTIOC3B GTIOC0A MTIOC6B				
39		P70	POE0#		CTS1# RTS1# SS1#		IRQ5-DS	
40		P33		MTIOC3A MTIOC6A		SSLA3		
41		P32		MTIOC3C MTIOC6C		SSLA2		
42	VCC							
43		P31		MTIOC0A		SSLA1		
44	VSS							
45		P30		MTIOC0B MTCLKD	TXD0 SMOSI0 SSDA0	SSLA0		
46		P24		MTIC5U MTCLKC	RXD0 SMISO0 SSCL0	RSPCKA		
47		P23		MTIC5V MTCLKB CACREF	SCK0	MOSIA		

表 1.9 機能別端子一覧 (64ピンLQFP) (3 / 3)

ピン 番号 64ピン LQFP	電源 クロック システム 制御	I/Oポート	POE3	タイマ (MTU3、 GPT、CAC)	通信		割り込み	S12ADB
					(SCIc、SCIId)	(RSPI、RIIC)		
48		P22		MTIC5W MTCLKA	CTS0# RTS0# SS0#	MISOA		
49		P47						AN007 CVREFH
50		P46						AN006
51		P45						AN005
52		P44						AN004
53		P43						AN003 CVREFL
54		P42						AN002
55		P41						AN001
56		P40						AN000
57	AVCC0							
58	VREFH0							
59	VREFL0							
60	AVSS0							
61		P11		MTCLKC			IRQ1-DS	
62		P10		MTCLKD			IRQ0-DS	
63		PA5		MTIOC1A		MISOA		
64		PA4		MTIOC1B		RSPCKA		ADTRG0#

表 1.10 機能別端子一覧 (48ピンLQFP) (1 / 2)

ピン 番号 48ピン LQFP	電源 クロック システム 制御	I/Oポート	POE3	タイマ (MTU3、 GPT、CAC)	通信		割り込み	S12ADB
					(SCIc、SCI _d)	(RSPI、RIIC)		
1	MD FINED							
2	RES#							
3	XTAL							
4	VSS							
5	EXTAL							
6	VCC							
7		PE2	POE10#				NMI	
8	TRST#	PD7		GTIOC0A	CTS0# RTS0# SS0#			
9	TMS	PD6		GTIOC0B				
10	TDI	PD5		GTIOC1A	RXD1 SMISO1 SSCL1			
11	TCK FINEC	PD4		GTIOC1B	SCK1			
12	TDO	PD3		GTIOC2A	TXD1 SMOSI1 SSDA1			
13		PB6		GTIOC2B	RXD12 SMISO12 SSCL12 RXDX12			
14		PB5	POE11#		TXD12 SMOSI12 SSDA12 TXDX12 SIOX12		IRQ0	
15	VCC							
16		PB4	POE8#	GTETR _G	CTS12# RTS12# SS12#		IRQ3-DS	
17	VSS							
18		PB3		MTIOC0A MTCLKA CACREF	SCK0			
19		PB2		MTIOC0B MTCLKB	TXD0 SMOSI0 SSDA0	SDA		
20		PB1		MTIOC0C	RXD0 SMISO0 SSCL0	SCL		
21		PB0		MTIOC0D		MOSIA		
22		PA3		MTIOC2A		SSLA0		
23		PA2		MTIOC2B		SSLA1		
24		P76		MTIOC4D GTIOC2B MTIOC7D				
25		P75		MTIOC4C GTIOC1B MTIOC7C				

表 1.10 機能別端子一覧 (48ピンLQFP) (2 / 2)

ピン 番号 48ピン LQFP	電源 クロック システム 制御	I/Oポート	POE3	タイマ (MTU3、 GPT、CAC)	通信		割り込み	S12ADB
					(SCIc、SCId)	(RSPI、RIIC)		
26		P74		MTIOC3D GTIOC0B MTIOC6D				
27		P73		MTIOC4B GTIOC2A MTIOC7B				
28		P72		MTIOC4A GTIOC1A MTIOC7A				
29		P71		MTIOC3B GTIOC0A MTIOC6B				
30		P70	POE0#		CTS1# RTS1# SS1#		IRQ5-DS	
31	VCC							
32		P30		MTIOC0B MTCLKD	TXD0 SMOSI0 SSDA0	SSLA0		
33	VSS							
34		P24		MTIC5U MTCLKC	RXD0 SMISO0 SSCL0	RSPCKA		
35		P23		MTIC5V MTCLKB CACREF	SCK0	MOSIA		
36		P22		MTIC5W MTCLKA	CTS0# RTS0# SS0#	MISOA		
37		P47						AN007 CVREFH
38		P44						AN004
39		P43						AN003 CVREFL
40		P42						AN002
41		P41						AN001
42		P40						AN000
43	AVCC0							
44	VREFH0							
45	VREFL0							
46	AVSS0							
47	VCL							
48	EMLE							

2. CPU

本 MCU は、RX CPU を搭載するプロセッサです。

RX CPU は、可変長命令形式を採用しています。使用頻度の高い命令をより短い命令長に割り付けており、少ないメモリ容量で効率の良いプログラムを開発できます。

73 種類の基本命令、8 種類の浮動小数点演算命令、9 種類の DSP 機能命令の合計 90 種類の命令と、10 種類のアドレッシングモードを持ち、レジスター-レジスタ間、レジスター-メモリ間、即値-レジスタ、即値-メモリの演算をはじめ、ビット操作、メモリー-メモリ間の転送を行います。レジスタ間演算命令だけでなく、いくつかの複合命令を 1 クロックで実行することで、高速な演算処理を実現しました。乗算器、除算器を内蔵していますので、高速な乗算処理、除算処理を行うことができます。

RX CPU は、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの 5 ステージのパイプライン処理により、命令を処理します。メモリアクセスによりパイプラインが延びた場合、後続の演算が先に実行される場合があります。RX CPU は、このような「Out-of-Order Completion」の採用により、クロックサイクル数を無駄にしない命令実行制御を行います。

2.1 特長

- 最小命令実行時間：1 命令 1 クロックで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
 - 汎用レジスタ：32 ビット×16 本
 - 制御レジスタ：32 ビット×9 本
 - アキュムレータ：64 ビット×1 本
- 基本命令：73 種類（算術／論理命令、転送命令、分岐命令、ビット操作命令、ストリング操作命令、システム操作命令）
 - 分岐距離に応じた相対分岐命令
 - 可変長命令形式（1 バイト長～8 バイト長）
 - 頻出命令に短縮フォーマットを用意
- 浮動小数点演算命令：8 種類
- DSP 機能命令：9 種類
 - 16 ビット×16 ビットの乗算、積和命令に対応
 - アキュムレータの丸め命令に対応
- アドレッシングモード：10 種類
- 5 段パイプライン
 - 「Out-of-Order Completion」の採用
- プロセッサモード
 - スーパーバイザモード、ユーザモード
- 浮動小数点演算ユニット
 - 単精度浮動小数点数（32 ビット）に対応
 - IEEE754 に準拠したデータタイプ、および例外に対応
- メモリプロテクションユニット
- データ配置
 - リトルエンディアン／ビッグエンディアン選択可能

2.2 CPU レジスタセット

RX CPU のレジスタには、汎用レジスタ（16本）と、制御レジスタ（9本）、および DSP 機能命令で使用するアキュムレータ（1本）があります。

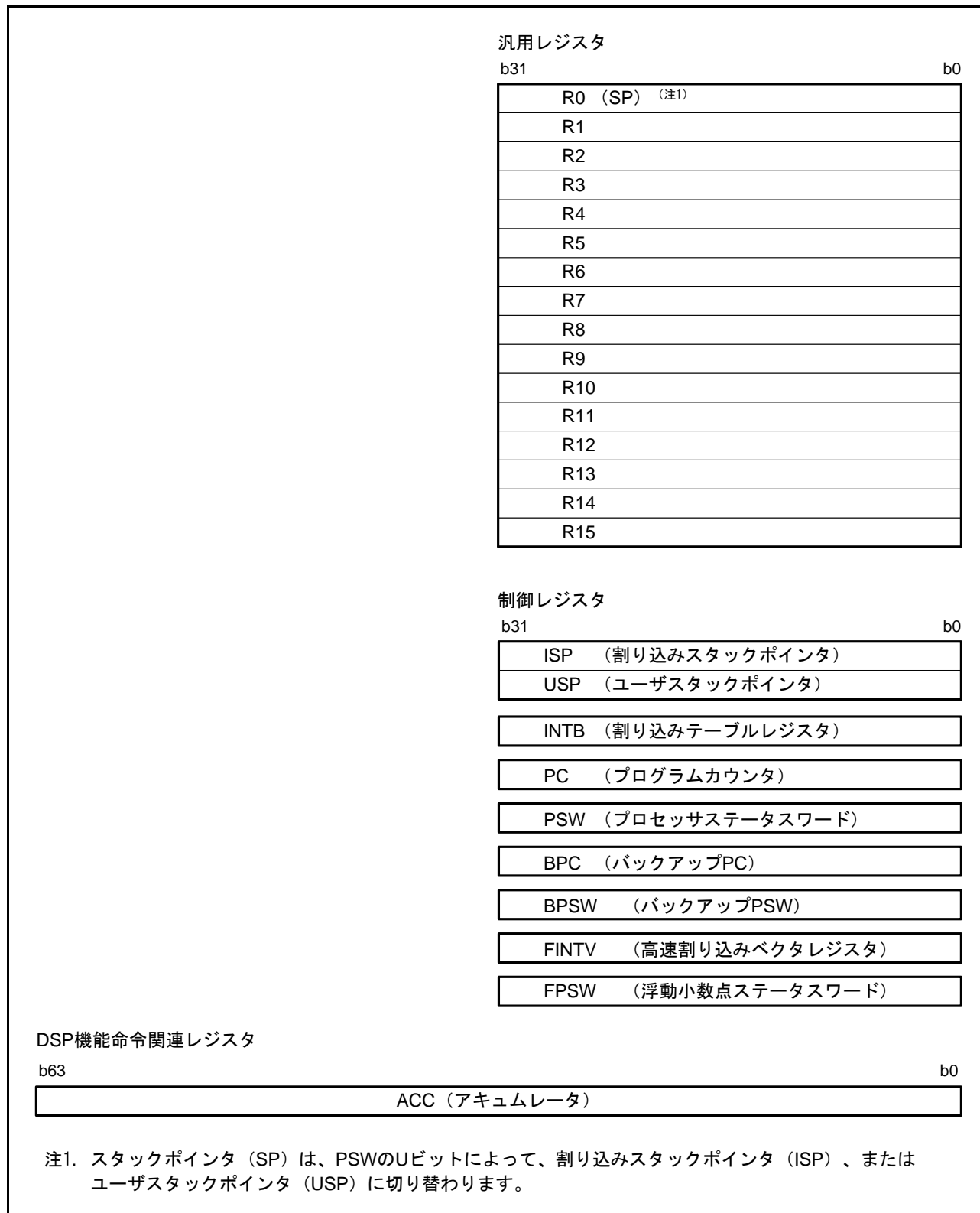


図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

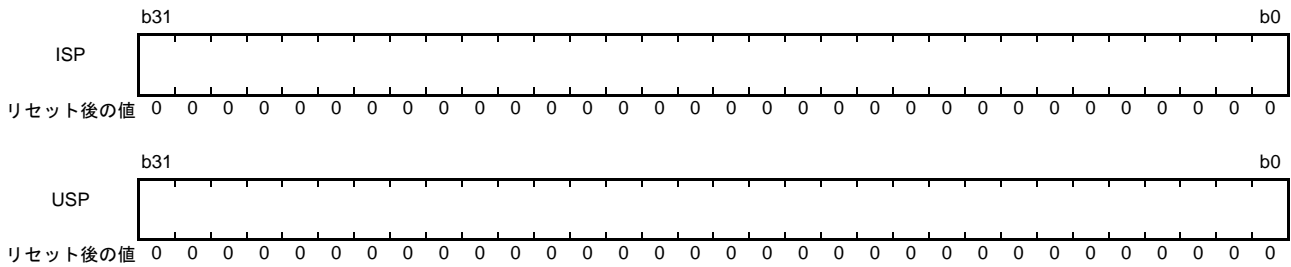
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の9本のレジスタがあります。

- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 浮動小数点ステータスワード (FPSW)

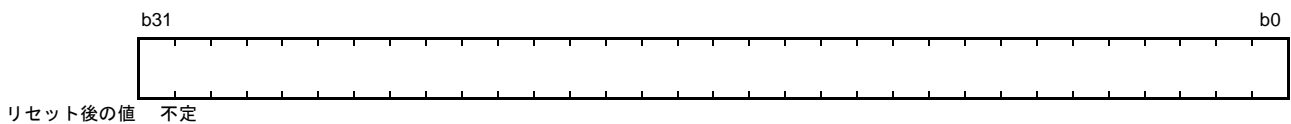
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

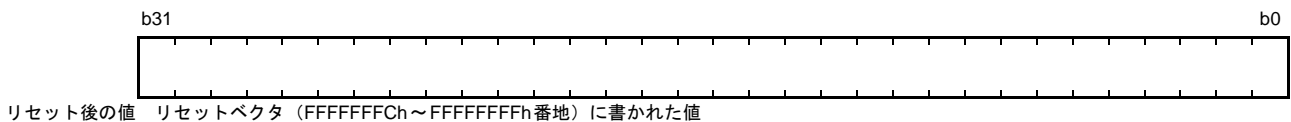
ISP、USPに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.2 割り込みテーブルレジスタ (INTB)



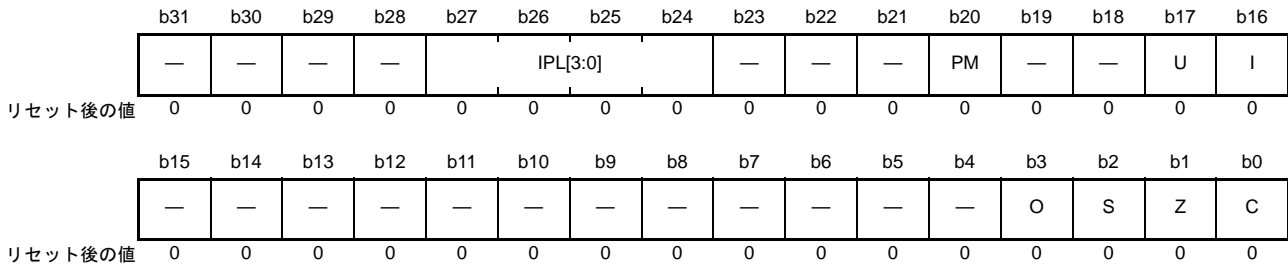
割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

2.2.2.3 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.4 プロセッサステータスワード (PSW)



ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0: キャリの発生なし 1: キャリの発生あり	R/W
b1	Z	ゼロフラグ	0: 演算結果は0でなかった 1: 演算結果は0であった	R/W
b2	S	サインフラグ	0: 演算結果は正または0であった 1: 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0: オーバフローの発生なし 1: オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I (注1)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b17	U (注1)	スタックポインタ指定ビット	0: 割り込みスタックポインタ (ISP) を指定 1: ユーザスタックポインタ (USP) を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0: スーパーバイザモードに設定 1: ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0] (注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0: 優先レベル0 (最低) 0 0 0 1: 優先レベル1 0 0 1 0: 優先レベル2 0 0 1 1: 優先レベル3 0 1 0 0: 優先レベル4 0 1 0 1: 優先レベル5 0 1 1 0: 優先レベル6 0 1 1 1: 優先レベル7 1 0 0 0: 優先レベル8 1 0 0 1: 優先レベル9 1 0 1 0: 優先レベル10 1 0 1 1: 優先レベル11 1 1 0 0: 優先レベル12 1 1 0 1: 優先レベル13 1 1 1 0: 優先レベル14 1 1 1 1: 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。
- 注2. スーパーバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできません。
- 注3. スーパーバイザモードからユーザーモードに切り替える場合は、スタックに退避されたPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリフラグ)

演算結果にキャリ、ボロー、シフトアウトが発生したことを示します。

Z フラグ (ゼロフラグ)

演算結果が 0 であったことを示します。

S フラグ (サインフラグ)

演算結果が負であったことを示します。

O フラグ (オーバフローフラグ)

演算中にオーバフローしたことを示します。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは“0”になります。

U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。

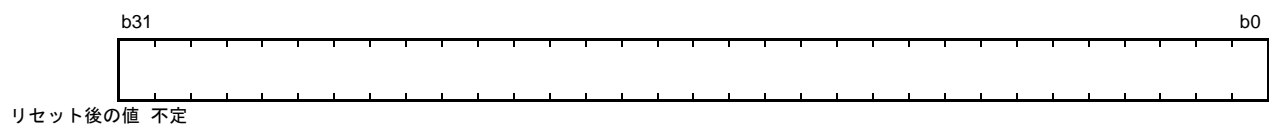
PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは“0”になります。

IPL[3:0] ビット (プロセッサ割り込み優先レベル)

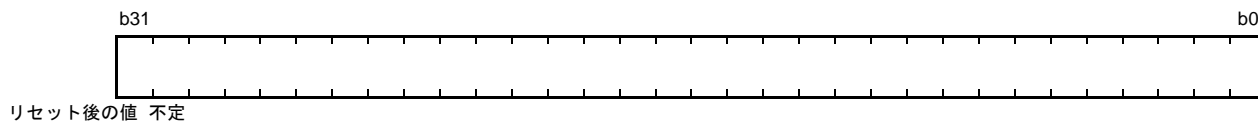
IPL[3:0] ビットは、優先レベル 0 (最低) ~ 優先レベル 15 (最高) までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスクابل割り込みが発生したとき、レベル 15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.5 バックアップ PC (BPC)



バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

2.2.2.6 バックアップ PSW (BPSW)

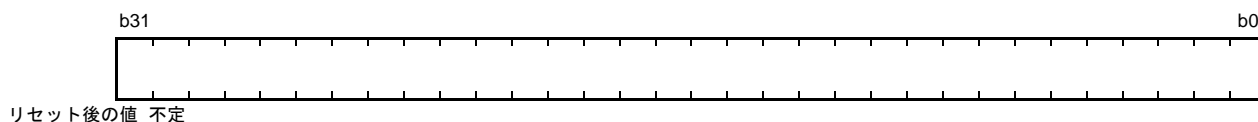


バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。

BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.7 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込み発生時の分岐先番地を設定してください。

2.2.2.8 浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	—
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : +∞方向への丸め 1 1 : -∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う (注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV (注3)	無効演算フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり (注8)	R/W
b27	FO (注4)	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり (注8)	R/W
b28	FZ (注5)	ゼロ除算フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり (注8)	R/W
b29	FU (注6)	アンダフローフラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり (注8)	R/W
b30	FX (注7)	精度異常フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり (注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b31	FS	浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
 注2. 正の非正規化数は+0、負の非正規化数は-0として扱います。
 注3. EVビットが“0”のときに、FVフラグは有効となります。
 注4. EOビットが“0”のときに、FOフラグは有効となります。
 注5. EZビットが“0”のときに、FZフラグは有効となります。
 注6. EUビットが“0”のときに、FUフラグは有効となります。
 注7. EXビットが“0”のときに、FXフラグは有効となります。
 注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット E_j で例外処理を許可 (E_j=“1”) した場合は、例外処理ルーチンで該当する C_j フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 (E_j=“0”) した場合は、一連の処理の最後に F_j フラグをチェックし、例外発生の有無を確認することができます。F_j フラグは蓄積フラグです。(j=X、U、Z、O、V)

RM[1:0] ビット (浮動小数点丸めモード設定ビット)

浮動小数点丸めモードを設定します。

【浮動小数点丸めモードの説明】

- 最近値への丸め (デフォルト) : 無限の有効桁を持つとして計算した場合の結果と近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める (単純な切り捨て)
- +∞方向への丸め : 結果の値が大きくなる方向へ丸める
- -∞方向への丸め : 結果の値が小さくなる方向へ丸める

(1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。

(2) 「0方向への丸め」、「+∞方向への丸め」、「-∞方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)

CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)

CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された5つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他、非実装処理が発生した場合に該当するフラグが“1”になります。

- “1”の場合、FPU 演算命令実行時に“0”になります。
- MVTC、POPC 命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DN ビット (非正規化数の0フラッシュビット)

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を0として扱います。

EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)

EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)

EX ビット (精度異常例外処理許可ビット)

浮動小数点演算命令実行により、IEEE754 規格で規定された5つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0”の場合、例外処理は禁止されます。“1”の場合、例外処理が許可されます。

FV フラグ（無効演算フラグ）、FO フラグ（オーバフローフラグ）、FZ フラグ（ゼロ除算フラグ） FU フラグ（アンダフローフラグ）、FX フラグ（精度異常フラグ）

例外処理許可ビット Ej が“0”（例外処理を禁止）の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが“1”になります。

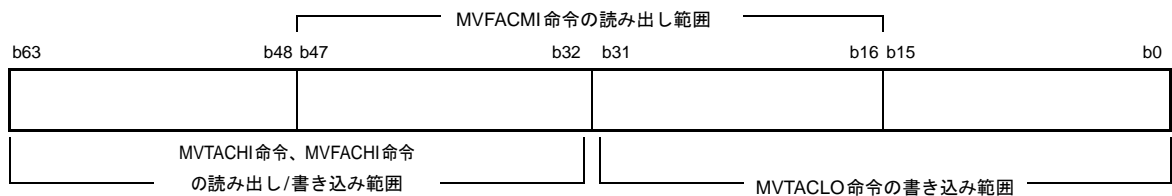
- Ej=“1”（例外処理を許可）のときは、このフラグは変化しません。
- 当該フラグが“1”になると、ソフトウェアで“0”にするまで“1”を保持します。（蓄積フラグ）

FS フラグ（浮動小数点エラーサマリフラグ）

FU、FZ、FO、FV フラグの論理和を反映します。

2.2.3 DSP 機能命令関連レジスタ

2.2.3.1 アキュムレータ（ACC）



リセット後の値 不定

アキュムレータ（ACC）は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令（EMUL、EMULU、FMUL、MUL）、積和演算命令（RMPA）でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット（b63 ～ b32）に、MVTACLO 命令は下位側 32 ビット（b31 ～ b0）にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32 ビット（b63 ～ b32）、MVFACMI 命令で中央の 32 ビット（b47 ～ b16）のデータをそれぞれ読みます。

2.3 プロセッサモード

RX CPUには、スーパーバイザモード、およびユーザモードの2つのプロセッサモードがあります。プロセッサモードを使用して、CPU リソースに対する階層的な保護機構を実現することができます。

各プロセッサモードには、実行可能な命令、アクセス可能な CPU リソースに対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。

リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.4 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0]、PM、U、I)
- 割り込みスタックポインタ (ISP)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生すると PSW.PM ビットが“0”になり、CPU はスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW.PM ビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避されている PSW.PM ビットを“1”にした後 RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避されている PSW.PM ビットを“1”にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

RX CPU は、整数、浮動小数点数、ビット、ストリングの4種類のデータを扱うことができます。詳細は「RX ファミリー ユーザーズマニュアル ソフトウェア編」を参照してください。

2.5 エンディアン

RX CPU の命令は、リトルエンディアン固定です。

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本 MCU では、バイトデータの並び方を、上位バイト (MSB) が 0 番地になるビッグエンディアン、下位バイト (LSB) が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード【144/120/112/100 ピン版】」、「4. 動作モード【64/48 ピン版】」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ~ 表 2.12 に示します。

表中の

LL は、汎用レジスタの D7 ~ D0

LH は、汎用レジスタの D15 ~ D8

HL は、汎用レジスタの D23 ~ D16

HH は、汎用レジスタの D31 ~ D24 を示します。

	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
汎用レジスタ Rm	HH	HL	LH	LL

表 2.1 リトルエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビット でリード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	LL に転送	—	—	—	—
1 番地	LH に転送	LL に転送	—	—	—
2 番地	HL に転送	LH に転送	LL に転送	—	—
3 番地	HH に転送	HL に転送	LH に転送	LL に転送	—
4 番地	—	HH に転送	HL に転送	LH に転送	LL に転送
5 番地	—	—	HH に転送	HL に転送	LH に転送
6 番地	—	—	—	HH に転送	HL に転送
7 番地	—	—	—	—	HH に転送

表2.2 ビッグエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットで リード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	HHに転送	—	—	—	—
1番地	HLに転送	HHに転送	—	—	—
2番地	LHに転送	HLに転送	HHに転送	—	—
3番地	LLに転送	LHに転送	HLに転送	HHに転送	—
4番地	—	LLに転送	LHに転送	HLに転送	HHに転送
5番地	—	—	LLに転送	LHに転送	HLに転送
6番地	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	LLに転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがってI/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章のレジスタの説明を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Bであるか、サイズ拡張指定子(.memex)が.Bまたは.UBである命令を使用してアクセスしてください。
- 16ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Wであるか、サイズ拡張指定子(.memex)が.Wまたは.UWである命令を使用してアクセスしてください。
- 32ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Lであるか、サイズ拡張指定子(.memex)が.Lである命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.2 に示します。

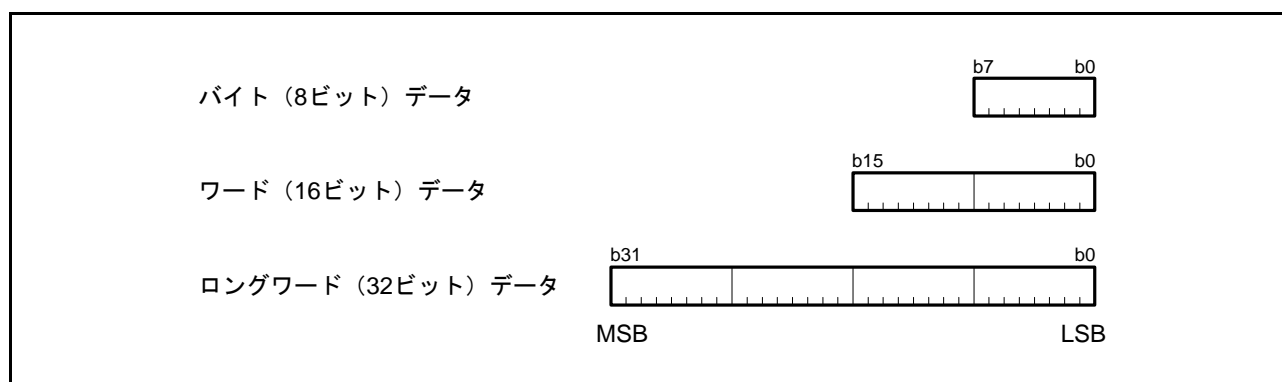


図 2.2 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト（8ビット）、ワード（16ビット）、ロングワード（32ビット）の3種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図2.3に示します。

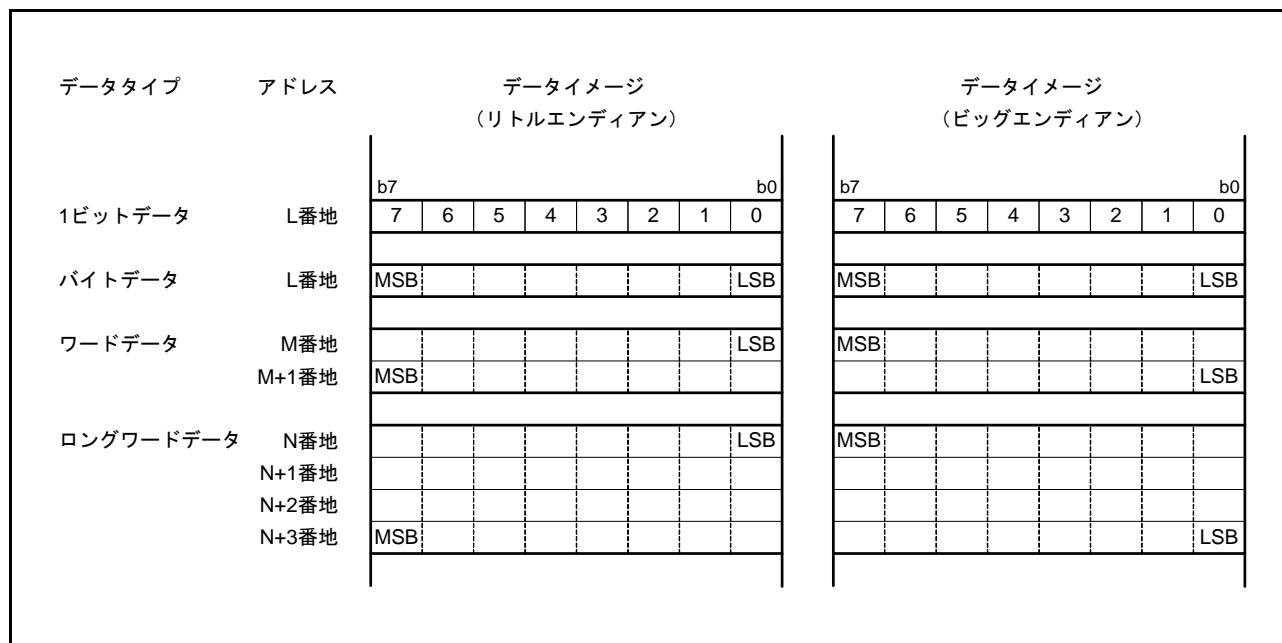


図 2.3 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、固定ベクタテーブルと可変ベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 固定ベクタテーブル

固定ベクタテーブルは、テーブルの配置アドレスが固定されたベクタテーブルです。FFFFFF80h～FFFFFFFFh番地に、特権命令例外、アクセス例外、未定義命令例外、浮動小数点例外、ノンマスクابل割り込み、リセットの各ベクタを配置しています。図2.4に固定ベクタテーブルを示します。

	MSB	LSB
FFFFFF80h	(予約領域)	
:	:	
FFFFFFCCh	(予約領域)	
FFFFFFD0h	特権命令例外	
FFFFFFD4h	アクセス例外	
FFFFFFD8h	(予約領域)	
FFFFFFDCh	未定義命令例外	
FFFFFFE0h	(予約領域)	
FFFFFFE4h	浮動小数点例外	
FFFFFFE8h	(予約領域)	
FFFFFFECh	(予約領域)	
FFFFFFF0h	(予約領域)	
FFFFFFF4h	(予約領域)	
FFFFFFF8h	ノンマスクابل割り込み	
FFFFFFFCh	リセット	

図 2.4 固定ベクタテーブル

2.6.2 可変ベクタテーブル

可変ベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.5 に可変ベクタテーブルを示します。

可変ベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「15.3.1 割り込みのベクタテーブル」を参照してください。

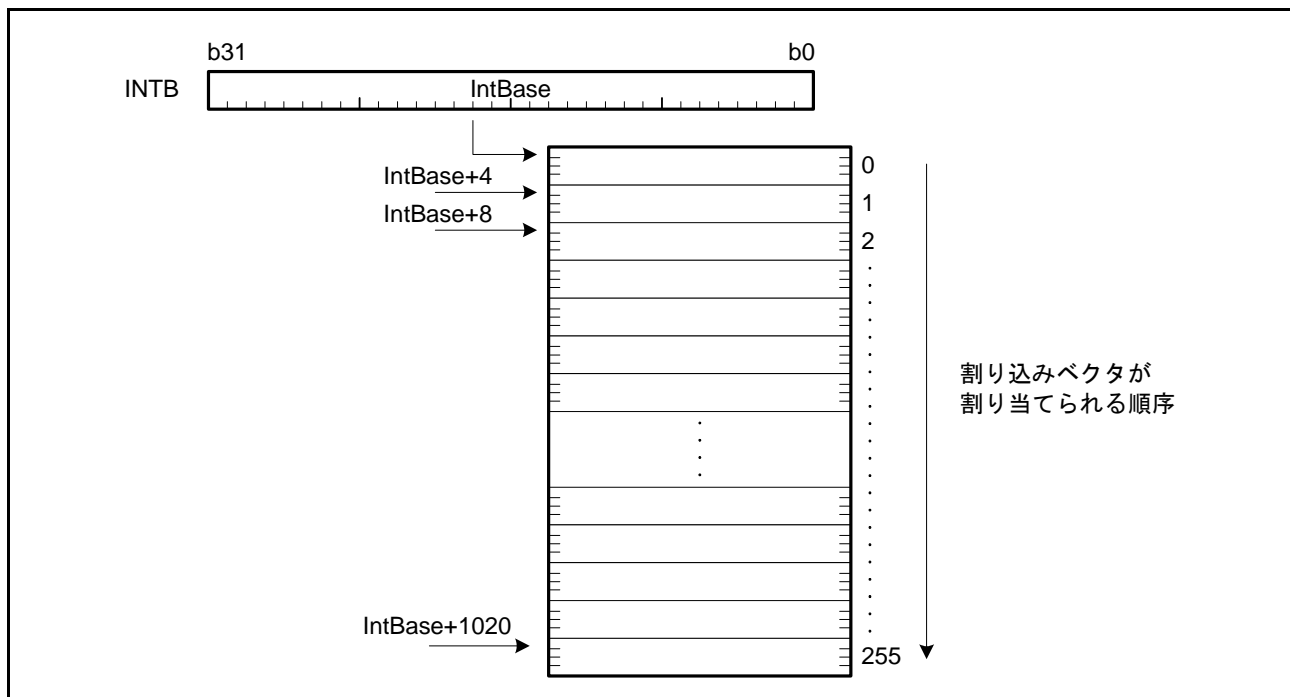


図 2.5 可変ベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ

RMPA 命令、および SSTR 命令を除くストリング操作命令 (SCMPU、SMOVB、SMOVF、SMOVU、SUNTIL、SWHILE) は、メモリからのデータ読み出し処理を高速化するため、データプリフェッチを行う場合があります。データ読み出し位置に対して、最大で 3 バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令 : R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令 : R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令 : R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令 : R2 で指定される転送元番地

2.8 パイプライン

2.8.1 概要

RX CPUは5段のパイプラインステージで構成されています。RX CPUの命令は、1つまたは、複数のマイクロオペレーションに変換され、RX CPUはマイクロオペレーションをパイプライン処理します。パイプラインステージは、IFステージは命令単位、Dステージ以降は、マイクロオペレーション単位で動作します。

以下にパイプラインの動作と各ステージの概要を示します。

(1) IFステージ（命令フェッチステージ）

命令フェッチを行うステージです。メモリから命令をフェッチします。RX CPUは8バイト×4本の命令キューを備えており、D（デコード）ステージのデコード処理完了とは無関係に、命令キューがいっぱいになるまでフェッチを続けます。

(2) Dステージ（デコードステージ）

Dステージは命令のデコード処理（DEC）を行い、命令をマイクロオペレーションに変換します。このステージでは、レジスタの読み出し（RF）を行い、先行する命令の演算結果を参照する処理の場合は、バイパス（BYP）を行います。バイパスにより、演算結果のレジスタへの書き込み（RW）と同時に、Dステージでのレジスタ参照が可能です。

(3) Eステージ（実行ステージ）

演算やアドレス計算など（OP）を行います。

(4) Mステージ（メモリアクセスステージ）

オペランドのメモリアクセス（OA1、OA2）を行います。メモリアクセス時のみ、このステージを使用します。このステージはさらにM1、M2の2段のサブステージに分かれます。RX CPUでは、M1、M2の各ステージに1個のメモリアクセスが存在することができます。

- M1ステージ（メモリアクセスステージ1）

オペランドのメモリアクセス（OA1）を行います。

ストア動作時：ライト要求がバスに受け付けられると、パイプライン処理は終了します。

ロード動作時：リード要求がバスに受け付けられると、M2ステージに進みます。要求受け付けとロードデータ到着が同時（ノーウェイトのメモリアクセス）の場合は、WBステージに進みます。

- M2ステージ（メモリアクセスステージ2）

オペランドのメモリアクセス（OA2）を行います。ロードデータの到着を待つステージです。ロードデータが到着すると、WBステージに進みます。

(5) WBステージ（ライトバックステージ）

演算結果やメモリから読み出したデータをレジスタに書きます（RW）。メモリからの読み出しデータとそれ以外の演算結果は同時（同じサイクル）にレジスタに書けます。

図 2.6 にパイプライン構成とその動作を示します。

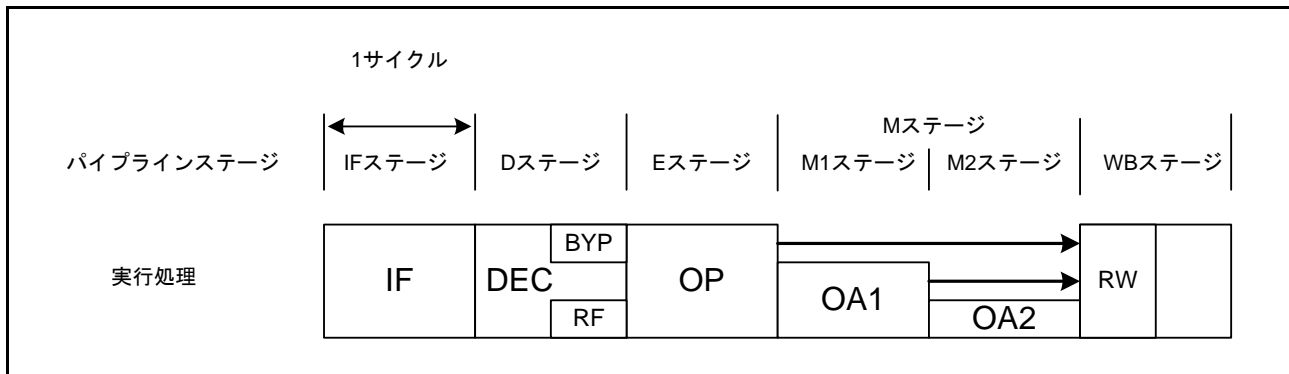


図 2.6 パイプライン構成と動作

2.8.2 命令とパイプライン処理

表中のオペランド表記は、以下に従います。

#IMM：即値

flag：ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb：汎用レジスタ

CR：制御レジスタ

dsp：ディスプレイースメント

pcdsp：ディスプレイースメント

2.8.2.1 単一のマイクロオペレーションに変換される命令とパイプライン処理

単一のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表2.13 単一マイクロオペレーションに変換される命令

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	参照図	サイクル数
算術／論理演算命令 （レジスタ間、即値-レジスタ） DIV、DIVU、EMUL、EMULU、 RMPA、SATRを除く	<ul style="list-style-type: none"> • {ABS, NEG, NOT} "Rd"/"Rs, Rd" • {ADC, MAX, MIN, ROTL, ROTR, XOR} "#IMM, Rd"/"Rs, Rd" • ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd" • {AND, MUL, OR, SUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd" • {CMP, TST} "#IMM, Rs"/"Rs, Rs2" • NOP • {ROL, ROR, RORC, SAT} "Rd" • SBB "Rs, Rd" • {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd" 	図2.7	1
算術／論理演算命令（除算）	<ul style="list-style-type: none"> • DIV "#IMM, Rd"/"Rs, Rd" • DIVU "#IMM, Rd"/"Rs, Rd" 	図2.7	3～20（注1）
転送命令 （レジスタ間、即値-レジスタ）	<ul style="list-style-type: none"> • MOV "#IMM, Rd"/"Rs, Rd" • {MOVU, REVL, REVW} "Rs, Rd" • SCCnd "Rd" • {STNZ, STZ} "#IMM, Rd" 	図2.7	1
転送命令（ロード動作）	<ul style="list-style-type: none"> • {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd"/"[Rs+], Rd"/ "/[-Rs], Rd"/"[Ri, Rb], Rd" • POP "Rd" 	図2.8	スループット：1 レイテンシ：2（注2）
転送命令（ストア動作）	<ul style="list-style-type: none"> • MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]"/ "/Rs, [-Rd]"/"Rs, [Ri, Rb]"/"#IMM, dsp[Rd]"/"#IMM, [Rd]" • PUSH "Rs" • PUSHC "CR" • SCCnd "[Rd]"/"dsp[Rd]" 	図2.9	1
ビット操作命令（レジスタ）	<ul style="list-style-type: none"> • {BCLR, BNOT, BSET} "#IMM, Rd"/"Rs, Rd" • BMCnd "#IMM, Rd" • BTST "#IMM, Rs"/"Rs, Rs2" 	図2.7	1
分岐命令	<ul style="list-style-type: none"> • BCnd "pcdsp" • {BRA, BSR} "pcdsp"/"Rs" • {JMP, JSR} "Rs" 	図2.18	分岐成立：3 分岐不成立：1
浮動小数点演算命令 （レジスタ間、即値-レジスタ）	<ul style="list-style-type: none"> • FCMP "#IMM, Rs"/"Rs, Rs2" 	図2.7	1
システム操作命令	<ul style="list-style-type: none"> • CLRPSW, SETPSW "flag" • MVTC "#IMM, CR"/"Rs, CR" • MVFC "CR, Rd" • MVTIPL "#IMM" 	—	1
DSP機能命令	<ul style="list-style-type: none"> • {MACHI, MACLO, MULHI, MULLO} "Rs, Rs2" • {MVFACHI, MVFACMI} "Rd" • {MVTACHI, MVTACLO} "Rs" • RACW "#IMM" 	図2.7	1

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. スループット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

基本的な単一のマイクロオペレーションに変換される命令動作を以下の図 2.7 ～図 2.9 に示します。

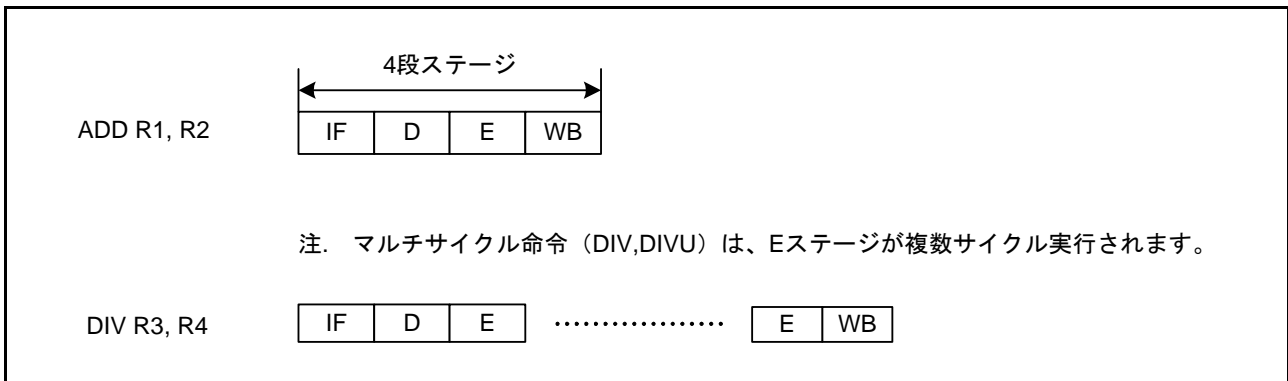


図 2.7 レジスタ間、即値－レジスタ演算

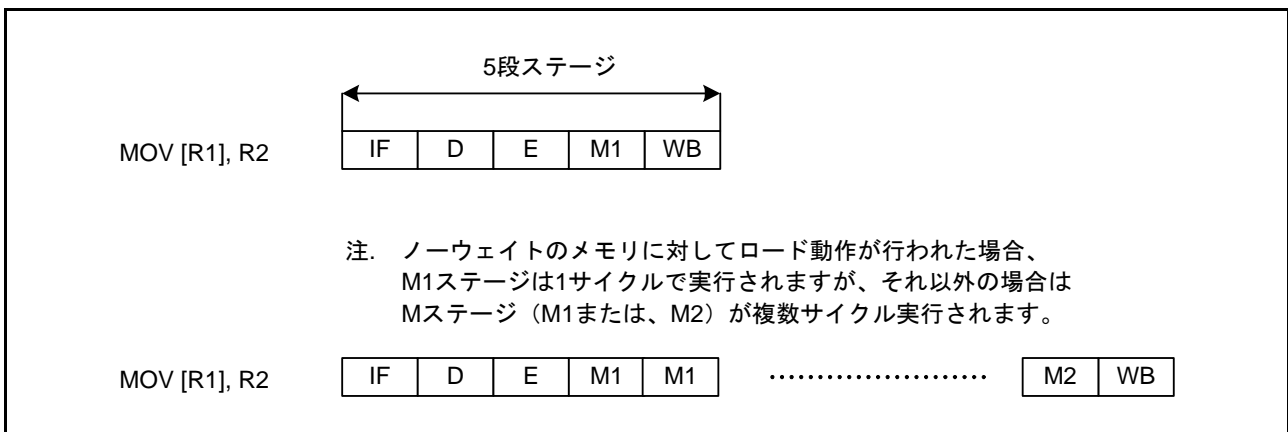


図 2.8 ロード動作

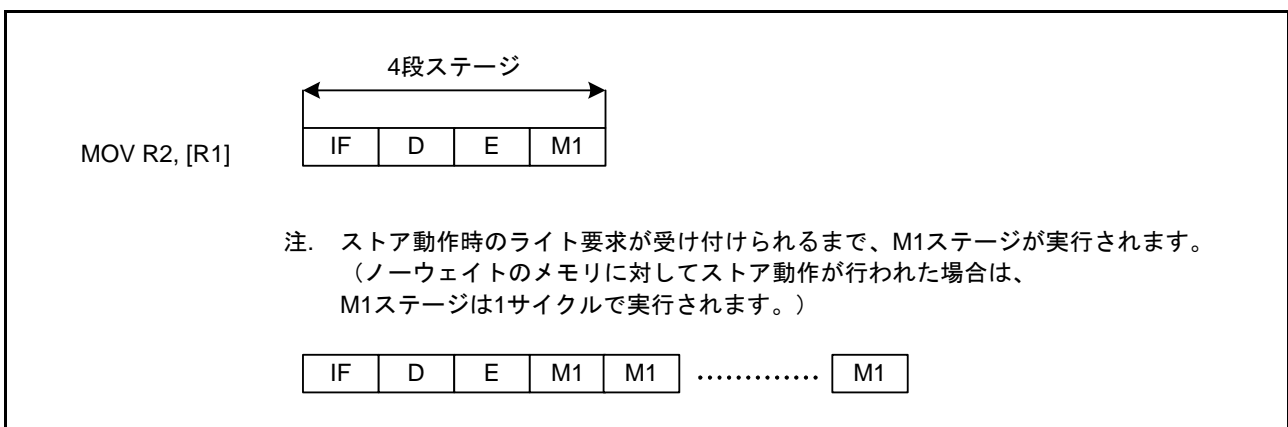


図 2.9 ストア動作

2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理

複数のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表 2.14 複数マイクロオペレーションに変換される命令 (1 / 2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
算術／論理演算命令 (メモリソースオペランド)	<ul style="list-style-type: none"> {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} “[Rs], Rd”/“dsp[Rs], Rd” {CMP, TST} “[Rs], Rs2”/“dsp[Rs], Rs2” 	図 2.10	3
算術／論理演算命令 (除算)	• DIV “[Rs], Rd / dsp[Rs], Rd”	—	5 ~ 22
	• DIVU “[Rs], Rd / dsp[Rs], Rd”	—	4 ~ 20
算術／論理演算命令 (乗算 32bit×32bit → 64bit) (レジスタ間、レジスター即値)	• {EMUL, EMULU} “#IMM, Rd”/“Rs, Rd”	図 2.12	2
算術／論理演算命令 (乗算 32bit×32bit → 64bit) (メモリソースオペランド)	• {EMUL, EMULU} “[Rs], Rd”/“dsp[Rs], Rd”	—	4
算術／論理演算命令 (積和演算)	• RMPA.B	—	6+7×floor(n/4)+4×(n%4) nは処理バイト数 (注1)
	• RMPA.W	—	6+5×floor(n/2)+4×(n%2) nは処理ワード数 (注1)
	• RMPA.L	—	6+4n nは処理ロングワード数 (注1)
算術／論理演算命令 (RMPA命令用64ビット符号付き飽和処理)	• SATR	—	3
転送命令 (メモリ間転送)	<ul style="list-style-type: none"> MOV “[Rs], [Rd]”/“dsp[Rs], [Rd]”/“[Rs], dsp[Rd]”/“dsp[Rs], dsp[Rd]” PUSH “[Rs]”/“dsp[Rs]” 	図 2.11	3
ビット操作命令 (メモリソースオペランド)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} “#IMM, [Rd]”/“#IMM, dsp[Rd]”/“Rs, [Rd]”/“Rs, dsp[Rd]” BMCnd “#IMM, [Rd]”/“#IMM, dsp[Rd]” BTST “#IMM, [Rs]”/“#IMM, dsp[Rs]”/“Rs, [Rs2]”/“Rs, dsp[Rs2]” 	図 2.11	3
転送命令 (ロード命令)	• POPC “CR”	—	スループット : 3 レイテンシ : 4 (注2)
転送命令 (複数レジスタの退避)	• PUSHM “Rs-Rs2”	—	n nはレジスタ数 (注3)
転送命令 (複数レジスタの復帰)	• POPM “Rs-Rs2”	—	スループット : n レイテンシ : n+1 nはレジスタ数 (注2、注4)
転送命令 (レジスタ間の交換)	• XCHG “Rs, Rd”	図 2.13	2
転送命令 (メモリーレジスタの交換)	• XCHG “[Rs], Rd”/“dsp[Rs], Rd”	図 2.14	2
分岐命令	• RTS	—	5
	• RTSD “#IMM”	—	5
	• RTSD “#IMM, Rd-Rd2”	—	スループット : n<5?5:1+n レイテンシ : n<4?5:2+n nはレジスタ数 (注2)

表2.14 複数マイクロオペレーションに変換される命令 (2 / 2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
ストリング操作命令 (注5)	• SCMPU	—	$2+4 \times \text{floor}(n/4)+4 \times (n\%4)$ nは比較バイト数 (注1)
	• SMOVB	—	n>3? $6+3 \times \text{floor}(n/4)+3 \times (n\%4)$: $2+3n$ nは転送バイト数 (注1)
	• SMOVF, SMOVU	—	$2+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは転送バイト数 (注1)
	• SSTR.B	—	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数 (注1)
	• SSTR.W	—	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数 (注1)
	• SSTR.L	—	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	—	$3+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは比較バイト数 (注1)
	• SUNTIL.W, SWHILE.W	—	$3+3 \times \text{floor}(n/2)+3 \times (n\%2)$ nは比較ワード数 (注1)
	• SUNTIL.L, SWHILE.L	—	$3+3 \times n$ nは比較ロングワード数
浮動小数点演算命令 (レジスタ間、即値-レジスタ)	• {FADD, FSUB} “#IMM, Rd”/“Rs, Rd”	図2.15	4
	• FMUL “#IMM, Rd”/“Rs, Rd”	—	3
	• FDIV “#IMM, Rd”/“Rs, Rd”	—	16
	• {FTOI, ROUND, ITOF} “Rs, Rd”	—	2
浮動小数点演算命令 (メモリスソースオペランド)	• {FADD, FSUB} “[Rs], Rd”/“dsp[Rs], Rd”	—	6
	• FCMP “[Rs], Rs2”/“dsp[Rs], Rs2”	—	3
	• FMUL “[Rs], Rd”/“dsp[Rs], Rd”	—	5
	• FDIV “[Rs], Rd”/“dsp[Rs], Rd”	—	18
	• {FTOI, ROUND, ITOF} “[Rs], Rd” /“dsp[Rs], Rd”	—	4
システム操作命令	• RTE	—	6
	• RTFI	—	3

?: 条件演算子

注1. floor(x) : x以下の最大の整数

注2. スルービット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注4. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注5. SCMPU, SMOVU, SWHILE, SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

基本的な複数のマイクロオペレーションに変換される命令動作を以下の図 2.10 ~ 図 2.17 に示します

注. mop : マイクロオペレーション、stall : パイプラインストール

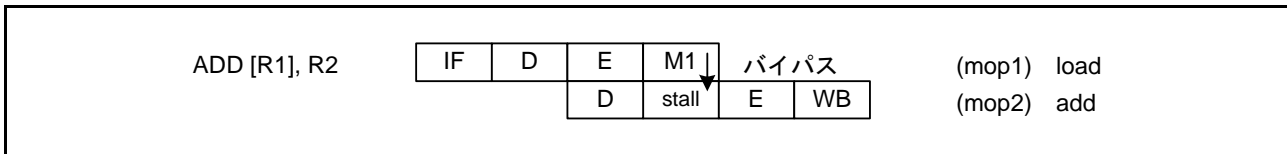


図 2.10 算術論理演算命令 (メモリスソースオペランド)

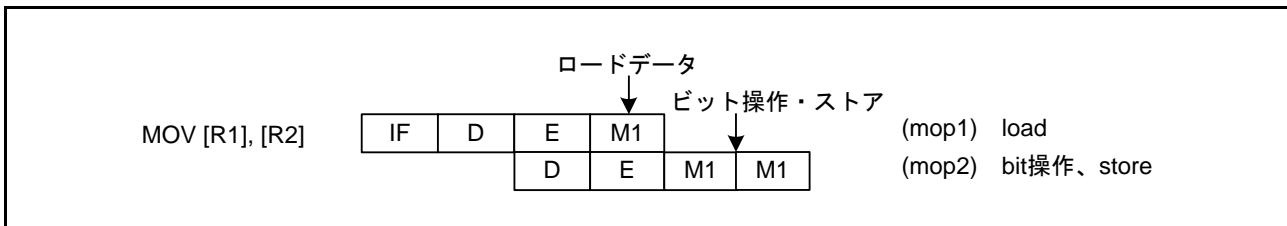


図 2.11 MOV 命令 (メモリ間転送)、ビット操作命令 (メモリスソースオペランド)

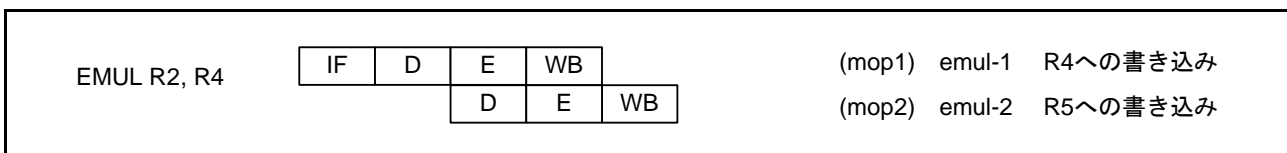


図 2.12 EMUL, EMULU 命令 (レジスタ間、レジスター即値)

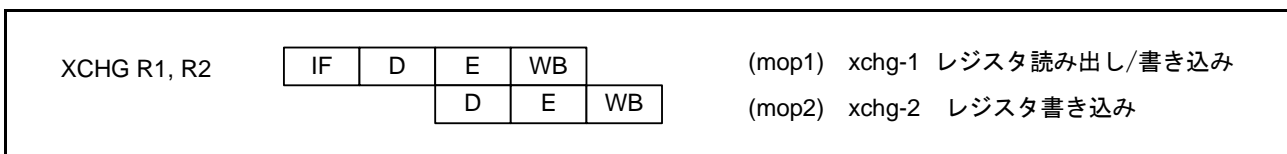


図 2.13 XCHG 命令 (レジスタ)

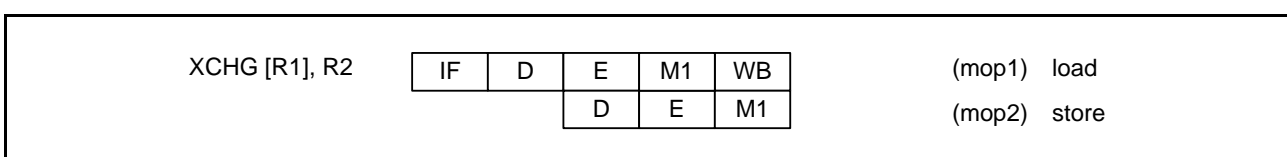


図 2.14 XCHG 命令 (メモリスソースオペランド)

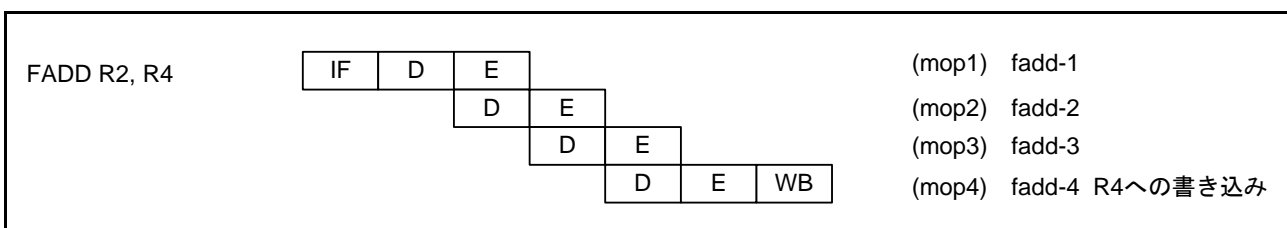


図 2.15 浮動小数点演算命令 (レジスタ間、即値-レジスタ)

2.8.2.3 パイプラインの基本動作

理想的なパイプライン処理では、各ステージの実行サイクル数は1ですが、各ステージでの処理や分岐実行などによりパイプライン処理が乱れることがあります。

CPUは、IFステージは命令単位、Dステージ以降は、マイクロオペレーション単位でパイプラインステージ制御を行います。

以下に代表的なケースについてパイプライン処理の状況を示します。

注. mop : マイクロオペレーション、stall : パイプラインストール

(1) パイプライン処理が乱れるケース

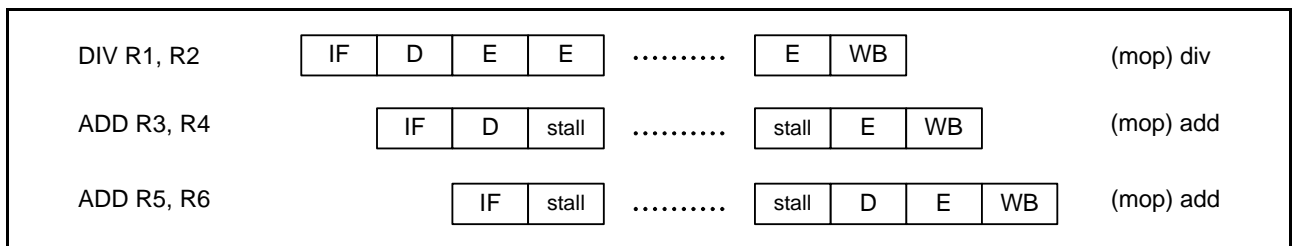


図 2.16 Eステージの実行に複数サイクルを要する命令の実行時

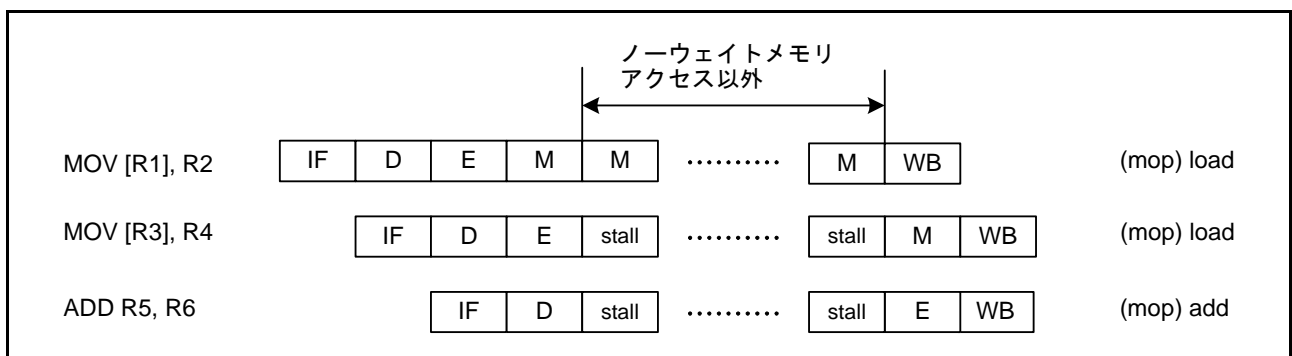


図 2.17 オペランドアクセスが1サイクルで終了しない場合

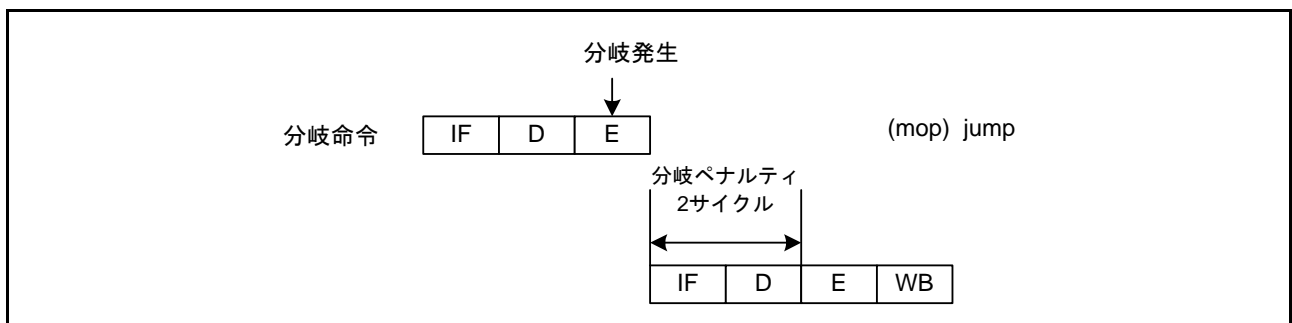


図 2.18 分岐（無条件分岐または、条件分岐で条件が成立した場合）

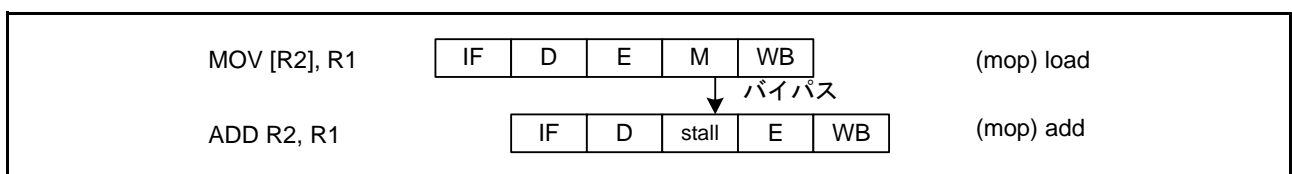


図 2.19 メモリから読み出したオペランドを後続命令が使用する場合

(2) パイプライン処理が乱れないケース

(a) バイパス

先行命令が書き込んだレジスタを後続命令が使用する場合であっても、レジスタ間演算の場合はバイパスにより、パイプライン処理は乱れません。

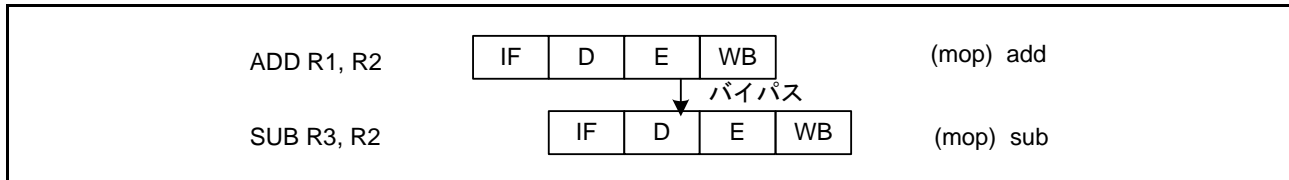


図 2.20 バイパス

(b) メモリロードと演算の WB ステージが重なっている場合

メモリロードと演算の WB ステージが重なっている場合であっても、ロードデータと演算結果はレジスタに同時に書けますので、パイプライン処理は乱れません。

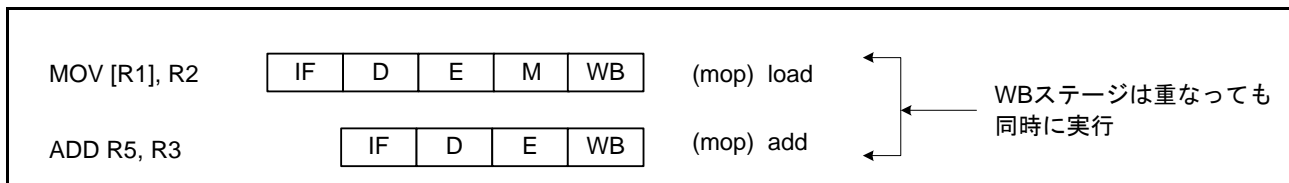


図 2.21 メモリロードと演算の WB ステージが重なっている場合

(c) メモリロードを終了する前に後続命令が同じレジスタへ書き込みを行った場合

メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合であっても、メモリロードの WB ステージはキャンセルされますので、パイプライン処理は乱れません。

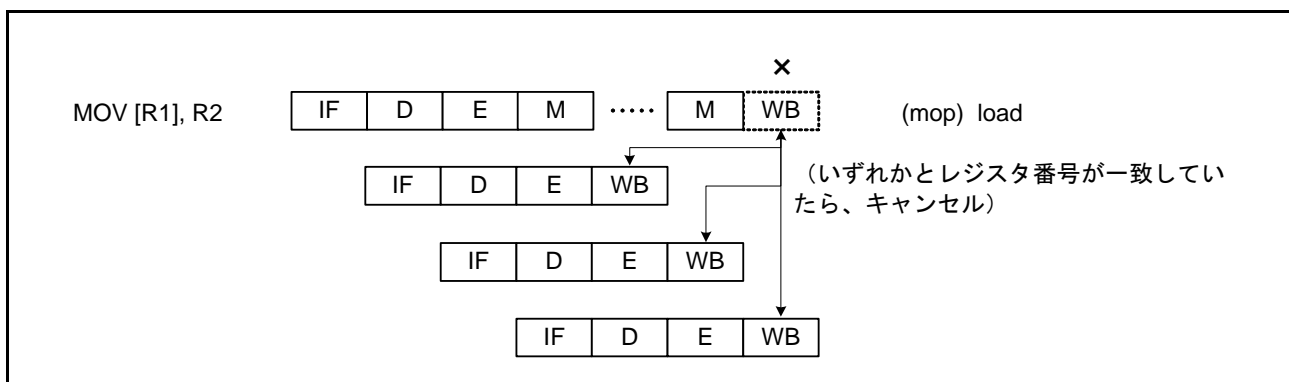


図 2.22 メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合

(d) メモリロードしたデータを後続命令が参照しない場合

メモリロードしたデータを後続命令が参照しない場合、後続の命令が先に実行されて完了します。
(Out-of-Order Completion)

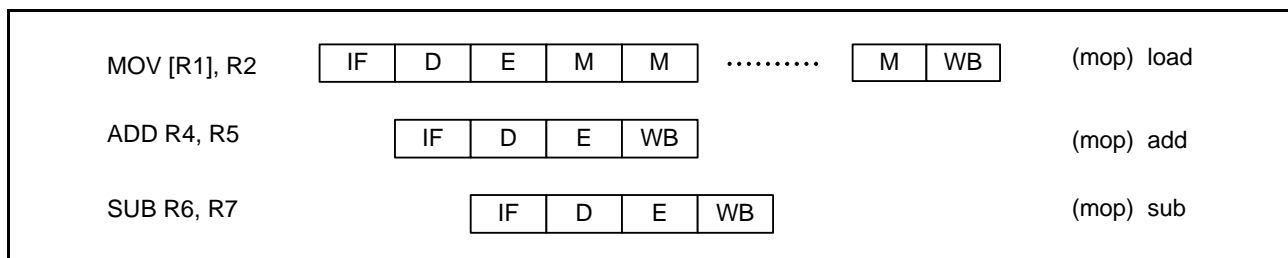


図 2.23 メモリロードしたデータを後続命令が参照しない場合

2.8.3 命令処理時間の計算方法

CPU の命令処理時間は、パイプライン処理によって変動しますが、次のような計算方法で命令処理時間を概算することができます。

- サイクル数をカウントします (表 2.13、表 2.14 を参照)。
- メモリロード結果を後続命令が参照する場合は、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数をカウントします。それ以外は“スルーポイント”として記載されているサイクル数をカウントします。
- 命令フェッチストールが起きた場合は、さらにサイクル数が追加されます。
- システム構成によっては、メモリアクセスに複数サイクルかかります。

2.8.4 割り込み応答サイクル数

表 2.15 に割り込み応答処理のサイクル数を示します。

表 2.15 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.15 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能な ROM、RAM を搭載しています。プログラム (含むベクタ) は ROM、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、「表 2.13 単一マイクロオペレーションに変換される命令」、「表 2.14 複数マイクロオペレーションに変換される命令」を参照してください。

割り込み受け付けタイミングはパイプラインの状態に依存します。割り込み受け付けタイミングについては、「14.3.1 受け付けタイミングと退避される PC 値」を参照してください。

3. 動作モード【144/120/112/100ピン版】

3.1 動作モードの種類と選択

動作モードには、リセット解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子（MD、P00）のレベルと、そのとき選択される動作モードの関係を表3.1に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。いずれのモードで起動した場合でも、内蔵ROM（ROM、E2データフラッシュ）有効、外部バス無効の状態で作動作を開始します。外部バスを有効にする場合はSYSCR0.EXBEビットを“1”（外部バス有効）にしてください。

表3.1 モード設定端子による動作モードの選択

モード設定端子		動作モード	SYSCR0レジスタ初期状態	
MD（注1）	P00（注2）		ROMEビット	EXBEビット
High	—	シングルチップモード	1（内蔵ROM有効）	0（外部バス無効）
Low	Low	ブートモード		
	High	USBブートモード ユーザブートモード		

注1. MCU動作中にMD端子を変化させないください。

注2. P00端子は汎用ポートとしても使用可能です。

システムコントロールレジスタ0（SYSCR0）で設定可能な動作モードの一覧を表3.2に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表3.2 レジスタによる動作モードの選択

SYSCR0レジスタ		動作モード
ROMEビット	EXBEビット	
0（内蔵ROM無効）（注1）	0（外部バス無効）	シングルチップモード、ユーザブートモード
1（内蔵ROM有効）	0（外部バス無効）	
0（内蔵ROM無効）（注1）	1（外部バス有効）	内蔵ROM無効拡張モード
1（内蔵ROM有効）	1（外部バス有効）	内蔵ROM有効拡張モード

注1. ROMEビットを“0”にすると、“1”に戻せません。

シングルチップモード、ユーザブートモードでは、エンディアンを選択することができます。動作モードごとのエンディアンの設定は、表3.3に示すレジスタのエンディアン選択ビット（MDE[2:0]）で行います。設定値は表3.4を参照してください。

表3.3 エンディアンの設定

動作モード	エンディアン設定
シングルチップモード	オプション設定メモリのエンディアン選択レジスタ（MDES）に設定
ユーザブートモード	オプション設定メモリのエンディアン選択レジスタ（MDEB）に設定

表3.4 エンディアンの選択

MDE[2:0]ビットの設定値	選択されるエンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	MD	MD端子ステータスフラグ	0: MD端子は“Low” 1: MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

注1. リセット解除時のMD端子のレベルが反映されます。

3.2.2 モードステータスレジスタ (MDSR)

アドレス 0008 0002h

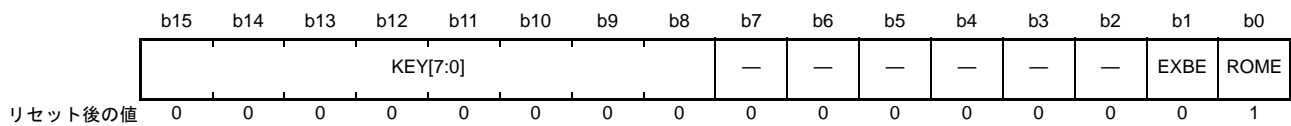
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	UBTS	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0/1 (注1)	0/1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます	R
b4-b1	—	予約ビット	読むと“0”が読めます	R
b5	UBTS	ユーザブートモード起動フラグ	0: シングルチップモードで起動した 1: ユーザブートモードで起動した	R
b15-b6	—	予約ビット	読むと“0”が読めます	R

注1. 起動時の動作モードによって異なります。

3.2.3 システムコントロールレジスタ 0 (SYSCR0)

アドレス 0008 0006h



ビット	シンボル	ビット名	機能	R/W
b0	ROME	内蔵ROM有効ビット	0: 内蔵ROM無効 1: 内蔵ROM有効	R/W
b1	EXBE	外部バス有効ビット	0: 外部バス無効 1: 外部バス有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	SYSCR0キーコード	SYSCR0レジスタの書き換えの可否を制御します。 SYSCR0レジスタを書き換える場合、上位8ビットに“5Ah”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 書き込みデータは保持されません。

ROME ビット (内蔵 ROM 有効ビット)

内蔵 ROM (ROM、E2 データフラッシュ) の有効 / 無効を選択するビットです。

一旦“0”にすると、“1”に戻すことはできません。

内蔵 ROM 上のプログラムを実行しているときは、“0”にしないでください。また、ROME ビットに“0”を書いた後は、ROME ビットが“0”になったことを確認してから次の処理を行ってください。

EXBE ビット (外部バス有効ビット)

外部バスの有効 / 無効を選択するビットです。

外部アドレス空間上のプログラムを実行しているときは、“0”にしないでください。また、外部バスへのアクセスが完了してから“0”を書いてください。また、DMAC の転送範囲に外部アドレス空間が含まれる場合は、DMA 転送を禁止してから実施してください。

EXBE ビットを書き換えた後は、EXBE ビットが書き換わったことを確認してから次の処理を行ってください。

なお、EXBE ビットを“1”にする場合、関連する I/O ポートの設定も必要となります。詳細は「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

KEY[7:0] ビット (SYSCR0 キーコード)

SYSCR0 レジスタへの書き込み許可 / 禁止を選択するビットです。

ROME、EXBE ビットの値を書き換えるときは、同時に KEY[7:0] ビットに“5Ah”を書いてください。

KEY[7:0] ビットを“5Ah”以外の値にして SYSCR0 レジスタに書いても、ROME、EXBE ビットの値は書き換わりません。

3.2.4 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RAME	RAM有効ビット	0 : RAM無効 1 : RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

RAME ビット (RAM 有効ビット)

内蔵 RAM の有効/無効を選択するビットです。

RAM をアクセスしているときは、“0”にしないでください。また、RAME ビットを“0”から“1”に書き換えた後は、RAME ビットが“1”になったことを確認してから RAM をアクセスするようにしてください。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、外部バスが無効（SYSCR0.EXBE ビット =0）で、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。起動時の内蔵 ROM は有効（SYSCR0.ROME ビット =1）です。ソフトウェアで内蔵 ROM 無効（SYSCR0.ROME ビット =0）にできますが、内蔵 ROM 有効（SYSCR0.ROME ビット =1）に戻すことはできません。

SYSCR0.EXBE ビットを“1”（外部バス有効）にし、内蔵 ROM 有効拡張モードまたは内蔵 ROM 無効拡張モードに移行することで、外部バスを使用することができます。

3.3.2 内蔵 ROM 有効拡張モード

内蔵 ROM が有効（SYSCR0.ROME ビット =1）で、外部バス拡張を有効（SYSCR0.EXBE ビット =1）にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は「21. マルチファンクションピンコントローラ（MPC）」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを“1”（外部バス有効）にすると、内蔵 ROM 有効拡張モードになります。

SYSCR0.EXBE ビットを“0”（外部バス無効）にすると、シングルチップモード（内蔵 ROM 有効）に移行します。

SYSCR0.ROME ビットを“0”（内蔵 ROM 無効）にすると、内蔵 ROM 無効拡張モードに移行します。

3.3.3 内蔵 ROM 無効拡張モード

内蔵 ROM が無効（SYSCR0.ROME ビット =0）で、外部バス拡張を有効（SYSCR0.EXBE ビット =1）にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は「21. マルチファンクションピンコントローラ（MPC）」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを“1”（外部バス有効）、SYSCR0.ROME ビットを“0”（内蔵 ROM 無効）にすると、内蔵 ROM 無効拡張モードになります。

内蔵 ROM を有効（SYSCR0.ROME ビット =1）にすることはできません。

SYSCR0.EXBE ビットを“0”（外部バス無効）にすると、シングルチップモード（内蔵 ROM 無効）に移行します。

3.3.4 ブートモード

MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム（ブートプログラム）動作するモードです。調歩同期式シリアルインタフェース（SCI1）を使用して、MCU 外部から内蔵フラッシュメモリ（ROM、E2 データフラッシュ）を書き換えることができます。詳細は、「41. フラッシュメモリ」を参照してください。

MD 端子を Low、P00 端子を Low にしてリセットを解除すると、ブートモードで起動します。

3.3.5 USB ブートモード

製品出荷時にユーザブート領域に格納された内蔵フラッシュメモリ書き換えプログラム（USB ブートプログラム）が動作するモードです。USB を使用して、MCU 外部から内蔵フラッシュメモリ（ROM、E2 データフラッシュ）を書き換えることができます。詳細は、「41. フラッシュメモリ」を参照してください。

MD 端子を Low、P00 端子を High にしてリセットを解除すると、USB ブートモードで起動します。

3.3.6 ユーザブートモード

お客様が作成された内蔵フラッシュメモリ書き換えプログラム（ユーザブートプログラム）が動作するモードです。リセット解除後は、シングルチップモードと同等の状態です。

UB コード A、UB コード B に規定の値をプログラムした後、MD 端子を Low、P00 端子を High にしてリセットを解除すると、ユーザブートモードで起動します。UB コード A、UB コード B については「8. オプション設定メモリ」を参照してください。

ユーザブートモードで起動後、SYSCR0.EXBE ビットを“1”（外部バス有効）にすると、内蔵 ROM 有効拡張モードになります。

製品出荷時、ユーザブート領域には USB ブートプログラムが格納されています。ユーザブートプログラムを格納する場合、USB ブートプログラムを消去してください。詳細は「41. フラッシュメモリ」を参照してください。

- 注1. ユーザブートモードでは、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行しないでください。
- 注2. OFS0/OFS1 レジスタの設定は無効となり、FFFF FFFFh となります。

3.4 動作モードの遷移

3.4.1 モード設定端子による動作モードの移行遷移

MD 端子、P00 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

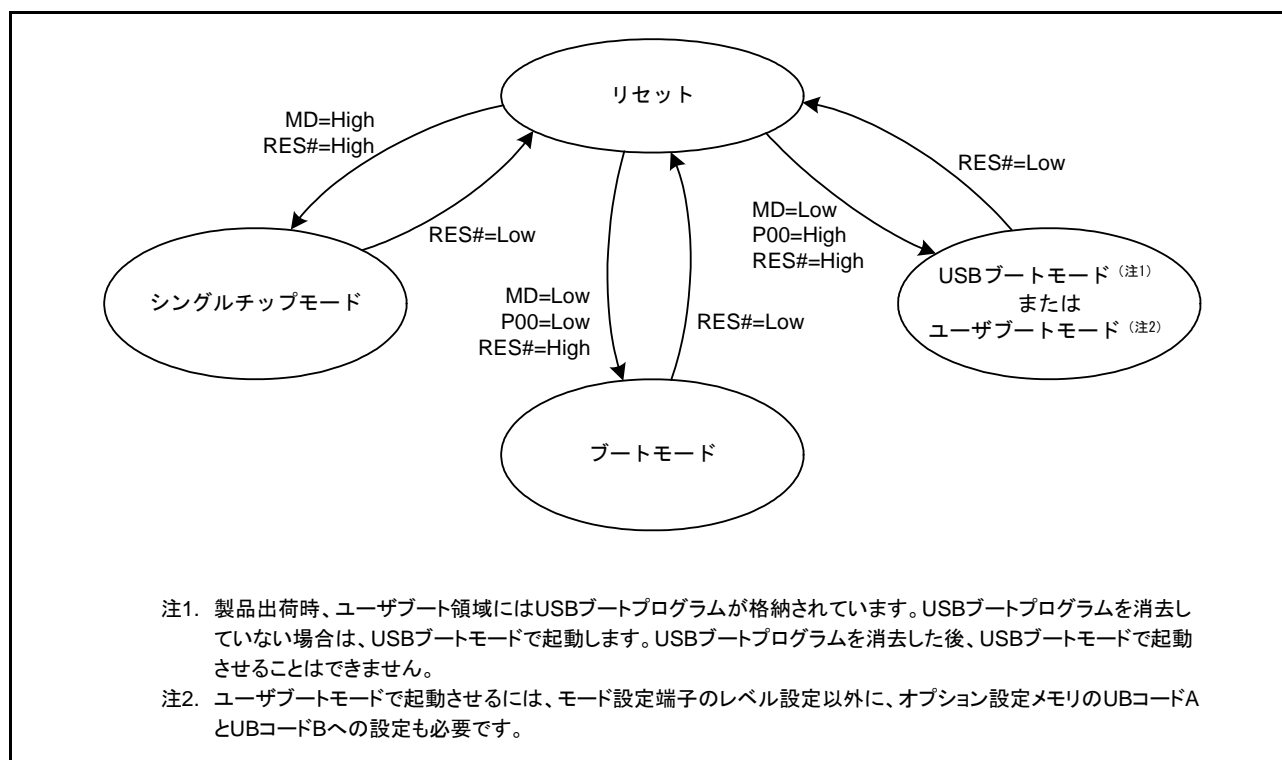


図 3.1 モード設定端子のレベルと動作モード

3.4.2 レジスタ設定による動作モード遷移

SYSCR0.ROME, EXBE ビットの設定による動作モード遷移について、図 3.2 に状態遷移図を示します。

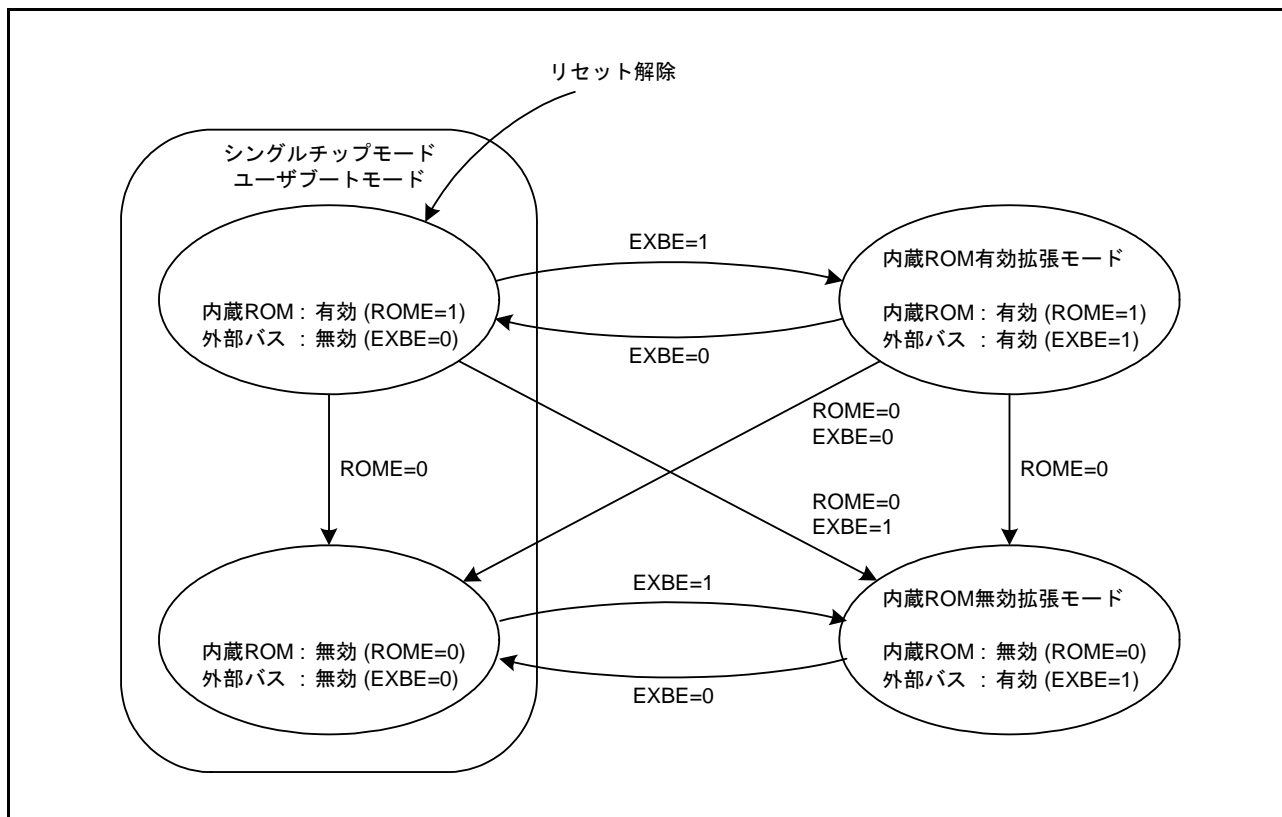


図 3.2 SYSCR0.ROME, EXBE ビットの設定と動作モード

4. 動作モード【64/48ピン版】

4.1 動作モードの種類と選択

動作モードには、リセット解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子（MD）のレベルと、そのとき選択される動作モードの関係を表 4.1 に示します。各動作モードの詳細は「4.3 動作モードの説明」を参照してください。いずれのモードで起動した場合でも、内蔵 ROM（ROM、E2 データフラッシュ）有効の状態で作動を開始します。

表 4.1 モード設定端子による動作モードの選択

モード設定端子	動作モード	SYSCR0レジスタ初期状態
MD (注1)		ROMEビット
High	シングルチップモード	1 (内蔵ROM有効)
Low	ブートモード	

注1. MCU動作中にMD端子を変化させないください。

システムコントロールレジスタ 0（SYSCR0）で設定可能な動作モードの一覧を表 4.2 に示します。各動作モードの詳細は「4.3 動作モードの説明」を参照してください。

表 4.2 レジスタによる動作モードの選択

SYSCR0レジスタ	動作モード
ROMEビット	
0 (内蔵ROM無効) (注1)	シングルチップモード
1 (内蔵ROM有効)	

注1. ROMEビットを“0”にすると、“1”に戻せません。

シングルチップモードでは、エンディアンを選択することができます。動作モードごとのエンディアンの設定は、表 4.3 に示すレジスタのエンディアン選択ビット（MDE[2:0]）で行います。設定値は表 4.4 を参照してください。

表 4.3 エンディアンの設定

動作モード	エンディアン設定
シングルチップモード	オプション設定メモリのエンディアン選択レジスタ（MDES）で選択

表 4.4 エンディアンの選択

MDE[2:0]ビットの設定値	選択されるエンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

4.2 レジスタの説明

4.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1 (注1)

注1. リセット解除時のMD端子のレベルが反映されます。

ビット	シンボル	ビット名	機能	R/W
b0	MD	MD端子ステータスフラグ	0: MD端子は“Low” 1: MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

4.2.2 システムコントロールレジスタ 0 (SYSCR0)

アドレス 0008 0006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	KEY[7:0]							—	—	—	—	—	—	—	—	ROME	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説明	R/W
b0	ROME	内蔵ROM有効ビット	0: 内蔵ROM無効 1: 内蔵ROM有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	SYSCR0キーコード	SYSCR0レジスタの書き換えの可否を制御します。 SYSCR0レジスタを書き換える場合、上位8ビットに“5Ah”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 書き込みデータは保持されません。

ROME ビット (内蔵 ROM 有効ビット)

内蔵 ROM (ROM、E2 データフラッシュ) の有効/無効を選択するビットです。

一旦“0”にすると、“1”に戻すことはできません。

内蔵 ROM 上のプログラムを実行しているときは、“0”を書かないでください。また、ROME ビットに“0”を書いた後は、ROME ビットが“0”になったことを確認してから次の処理を行ってください。

4.2.3 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RAME	RAM有効ビット	0 : RAM無効 1 : RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

RAME ビット (RAM 有効ビット)

内蔵 RAM の有効/無効を選択するビットです。

RAM をアクセスしているときは、“0”にしないでください。また、RAME ビットを“0”から“1”に書き換えた後は、RAME ビットが“1”になったことを確認してから RAM をアクセスするようにしてください。

4.3 動作モードの説明

4.3.1 シングルチップモード

シングルチップモードは、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。起動時の内蔵 ROM は有効 (SYSCR0.ROME ビット=1) です。ソフトウェアで内蔵 ROM 無効 (SYSCR0.ROME ビット=0) にできますが、内蔵 ROM 有効 (SYSCR0.ROME ビット=1) に戻すことはできません。

4.3.2 ブートモード

MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム (ブートプログラム) 動作するモードです。調歩同期式シリアルインタフェース (SC11) を使用して、MCU 外部から内蔵フラッシュメモリ (ROM、E2 データフラッシュ) を書き換えることができます。詳細は、「41. フラッシュメモリ」を参照してください。

MD 端子を Low にしてリセットを解除すると、ブートモードで起動します。

4.4 動作モードの遷移

4.4.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、図 4.1 に状態遷移図を示します。

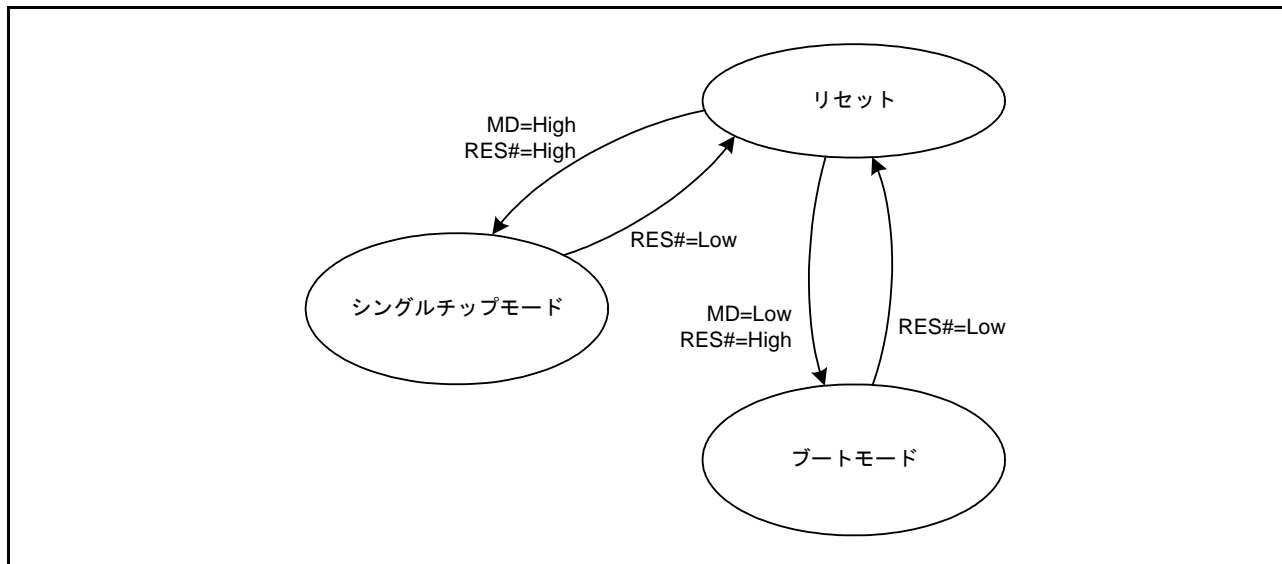


図 4.1 モード設定端子のレベルと動作モード

4.4.2 レジスタ設定による動作モード遷移

SYSCR0.ROME ビットの設定による動作モード遷移について、図 4.2 に状態遷移図を示します。

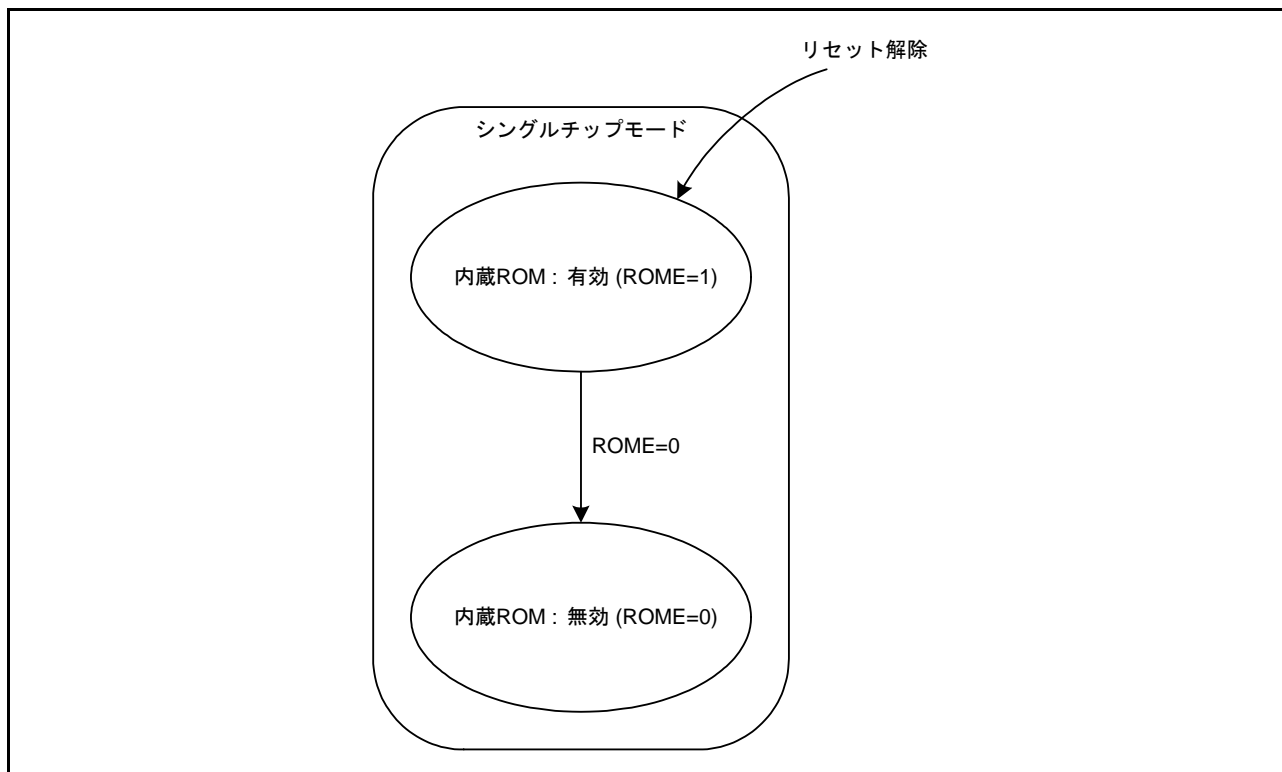


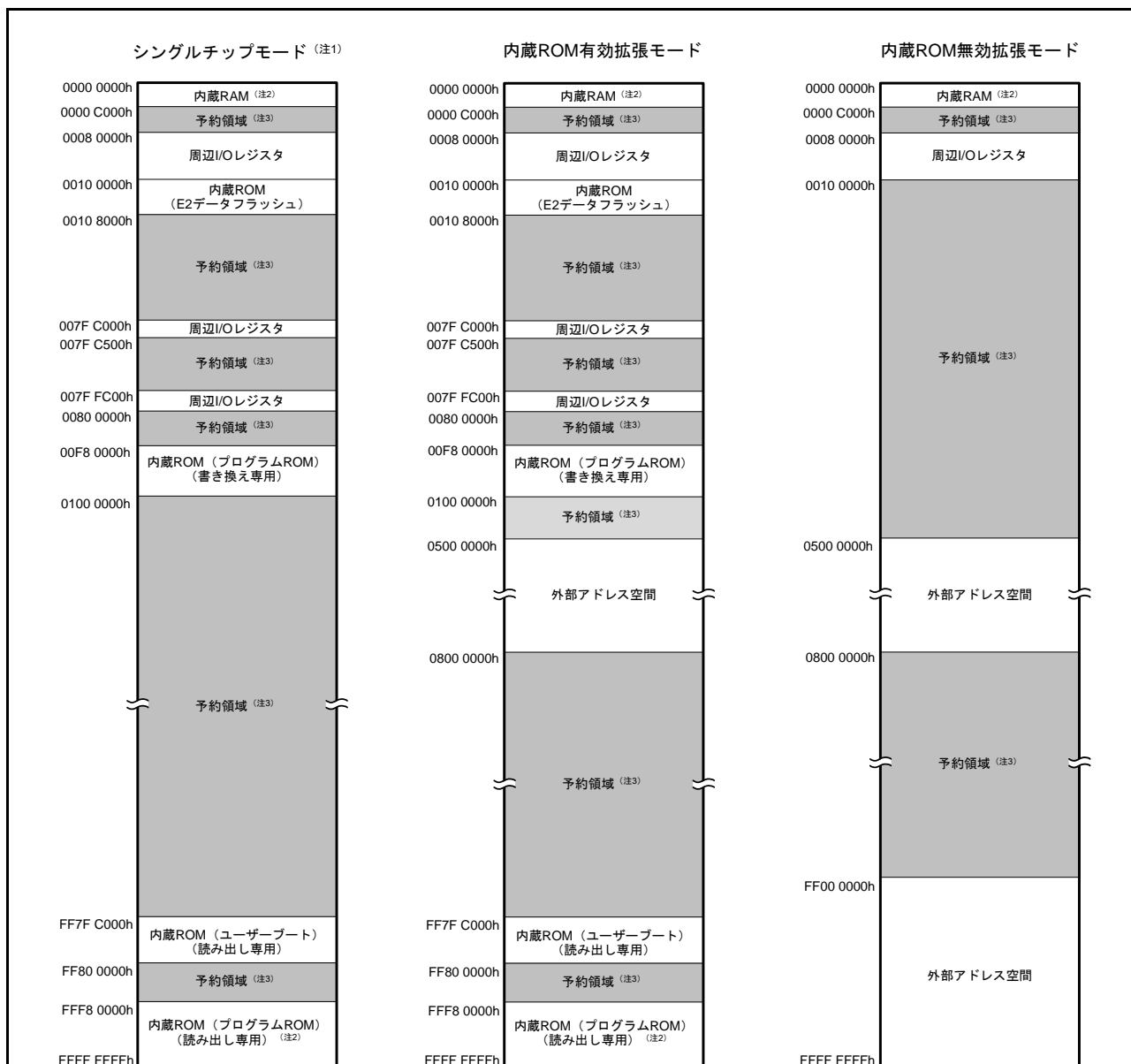
図 4.2 SYSCR0.ROME ビットの設定と動作モード

5. アドレス空間

5.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 5.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。



注1. ブートモード、ユーザーブートモードは、シングルチップモードと同じアドレス空間となります。
 注2. 製品によりROM/RAM容量が異なります。

ROM (バイト)		RAM (バイト)		E2データフラッシュ (バイト)	
容量	アドレス	容量	アドレス	容量	アドレス
512K	FFF8 0000h~FFFF FFFFh	48K	0000 0000h~0000 BFFFh	32K	0010 0000h~0010 8000h
384K	FFFA 0000h~FFFF FFFFh	32K	0000 0000h~0000 7FFFh		
256K	FFFC 0000h~FFFF FFFFh	24K	0000 0000h~0000 5FFFh		
64K	FFFF 0000h~FFFF FFFFh	8K	0000 0000h~0000 1FFFh	8K	0010 0000h~0010 2000h
48K	FFFF 4000h~FFFF FFFFh				
32K	FFFF 8000h~FFFF FFFFh				

注. 製品型名については「表1.3 製品一覧表」を参照してください。

注3. 予約領域は、アクセスしないでください。
 注4. FCUについての詳細は、「40. フラッシュメモリ」を参照してください。

図 5.1 各動作モードのメモリマップ

5.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n = 0 ~ 3) から出力される CSn# 信号によって最大 4 つの CS 領域 (CS0 ~ CS3) に分割できます。図 5.2 に内蔵 ROM 無効拡張モード時の CS 領域 (CS0 ~ CS3) とアドレスの対応を示します。

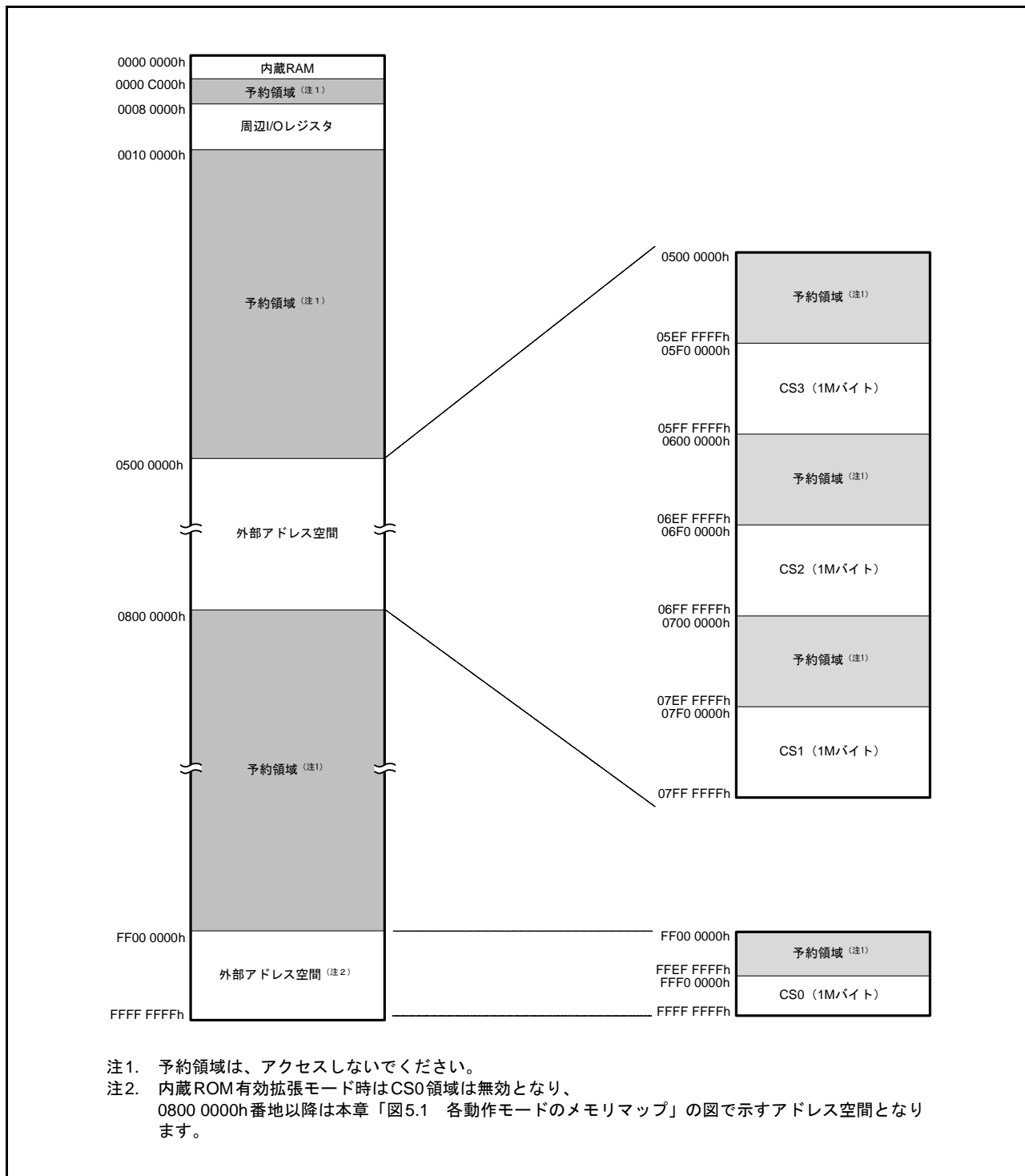


図 5.2 外部アドレス空間と CS 領域 (内蔵 ROM 無効拡張モードの場合)

6. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENj ビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/O レジスタの書き込み
- (b) 書き込んだ I/O レジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 6.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注 1)

$$\text{I/O レジスタアクセスサイクル数} = \text{内部メインバス 1 のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス 1 ～ 6 のバスサイクル数}$$

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能、および外部バス制御部のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK（または FCLK、BCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ （または FCLK）の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（または FCLK）で最大 1 サイクルとなるため、表 6.1 では 1PCLK（または FCLK）の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ （または FCLK）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

外部バス制御部では内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLK で最大 1 サイクルとなるため、表 6.1 では 1BCLK の幅を持たせて記載しています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ（DMAC、DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 6.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ）への書き込みは禁止です。

6.1 I/O レジスタアドレス一覧 (アドレス順)

表6.1 I/O レジスタアドレス一覧 (1 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考	
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合				
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		動作モード	121, 128		
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK			121	64/48ピン版にはありません。	
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK			122, 128		
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK			123, 129		
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		消費電力低減機能	255		
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK			256		
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK			257		
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK			258		
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		クロック発生回路	221		
0008 0024h	SYSTEM	システムクロックコントロールレジスタ2	SCKCR2	16	16	3ICLK			223	64/48ピン版にはありません。	
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK			224		
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK			225		
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK			226		
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK			227	64/48ピン版にはありません。	
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK			228		
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK			229		
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK			230		
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK			231		
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK			232		
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK			消費電力低減機能	259	
0008 00A6h	SYSTEM	PLLウェイトコントロールレジスタ	PLLWTCR	8	8	3ICLK				261	
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK			リセット	187	
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK				188	
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK			LVDA	205	
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK		205			
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK		206			
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK		206			
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		レジスタライトプロテクション機能	282		
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK			バス	358	
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK		358			
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK		359			
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK		359			
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK		360			
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACA		415	
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK			415		
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK			416		
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			417		
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK			418		
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK			419		
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK			420		
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK			423		
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK			423		
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			424		

表6.1 I/Oレジスタアドレス一覧(2/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK		DMACA	425	
0008 201Fh	DMAC0	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			426	
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK			415	
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK			415	
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK			416	
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			417	
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK			418	
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK			419	
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK			420	
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK			423	
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			424	
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK			425	
0008 205Fh	DMAC1	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			426	
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK			415	
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK			415	
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK			416	
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			417	
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK			418	
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK			419	
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK			420	
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK			423	
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			424	
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK			425	
0008 209Fh	DMAC2	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			426	
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK			415	
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK			415	
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK			416	
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			417	
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK			418	
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK			419	
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK			420	
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK			423	
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			424	
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK		425		
0008 20DFh	DMAC3	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		426		
0008 2200h	DMAC	DMAモジュール起動レジスタ	DMAST	8	8	2ICLK		427		
0008 2400h	DTC	DTCコントロールレジスタ	DTCOR	8	8	2ICLK		DTCa	455	
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK			456	
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK			456	
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK			457	
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK			458	
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1 ~ 2BCLK		バス	349	64/48ピン版にはありません。
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1 ~ 2BCLK			351	64/48ピン版にはありません。
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1 ~ 2BCLK			354	64/48ピン版にはありません。
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1 ~ 2BCLK			349	64/48ピン版にはありません。
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1 ~ 2BCLK			351	64/48ピン版にはありません。
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1 ~ 2BCLK			354	64/48ピン版にはありません。

表6.1 I/Oレジスタアドレス一覧(3 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1 ~ 2BCLK		バス	349	64/48ピン版にはありません。
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1 ~ 2BCLK			351	64/48ピン版にはありません。
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1 ~ 2BCLK			354	64/48ピン版にはありません。
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1 ~ 2BCLK			349	64/48ピン版にはありません。
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1 ~ 2BCLK			351	64/48ピン版にはありません。
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1 ~ 2BCLK			354	64/48ピン版にはありません。
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1 ~ 2BCLK			343	64/48ピン版にはありません。
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1 ~ 2BCLK			344	64/48ピン版にはありません。
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1 ~ 2BCLK			343	64/48ピン版にはありません。
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1 ~ 2BCLK			344	64/48ピン版にはありません。
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1 ~ 2BCLK			343	64/48ピン版にはありません。
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1 ~ 2BCLK			344	64/48ピン版にはありません。
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1 ~ 2BCLK			343	64/48ピン版にはありません。
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1 ~ 2BCLK			344	64/48ピン版にはありません。
0008 3880h	BSC	CSリカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1 ~ 2BCLK		346	64/48ピン版にはありません。	
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK		MPU	398	
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK			399	
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK			398	
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK			399	
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK			398	
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK			399	
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK			398	
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK			399	
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK			398	
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK			399	
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK			398	
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK			399	
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK			398	
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK			399	
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK			398	
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK			399	
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK			400	
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK			400	
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK			401	
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK			402	
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK		403		
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK		403		
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK		404		
0008 6526h	MPU	領域インバリデイトオペレーションレジスタ	MPOPI	16	16	1ICLK		404		
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK		405		
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK		406		

表6.1 I/Oレジスタアドレス一覧(4 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK \geq PCLK の場合	ICLK < PCLK の場合			
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK		ICUb	293	
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK			293	
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK			293	
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK			293	
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK			293	
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK			293	
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK			293	
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK			293	
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK			293	112/100/64/48 ビン版にはありません。
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK			293	112/100/64/48 ビン版にはありません。
0008 7023h	ICU	割り込み要求レジスタ 035	IR035	8	8	2ICLK			293	112/100/64/48 ビン版にはありません。
0008 7024h	ICU	割り込み要求レジスタ 036	IR036	8	8	2ICLK			293	
0008 7025h	ICU	割り込み要求レジスタ 037	IR037	8	8	2ICLK			293	
0008 7026h	ICU	割り込み要求レジスタ 038	IR038	8	8	2ICLK			293	
0008 7027h	ICU	割り込み要求レジスタ 039	IR039	8	8	2ICLK			293	
0008 7028h	ICU	割り込み要求レジスタ 040	IR040	8	8	2ICLK			293	
0008 7029h	ICU	割り込み要求レジスタ 041	IR041	8	8	2ICLK			293	
0008 702Ah	ICU	割り込み要求レジスタ 042	IR042	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 702Bh	ICU	割り込み要求レジスタ 043	IR043	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7030h	ICU	割り込み要求レジスタ 048	IR048	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7031h	ICU	割り込み要求レジスタ 049	IR049	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7032h	ICU	割り込み要求レジスタ 050	IR050	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7033h	ICU	割り込み要求レジスタ 051	IR051	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7034h	ICU	割り込み要求レジスタ 052	IR052	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7035h	ICU	割り込み要求レジスタ 053	IR053	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7036h	ICU	割り込み要求レジスタ 054	IR054	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7037h	ICU	割り込み要求レジスタ 055	IR055	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7038h	ICU	割り込み要求レジスタ 056	IR056	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK		293		
0008 703Ah	ICU	割り込み要求レジスタ 058	IR058	8	8	2ICLK		293	64/48 ビン版にはありません。	
0008 703Bh	ICU	割り込み要求レジスタ 059	IR059	8	8	2ICLK		293	64/48 ビン版にはありません。	
0008 703Ch	ICU	割り込み要求レジスタ 060	IR060	8	8	2ICLK		293	64/48 ビン版にはありません。	
0008 703Dh	ICU	割り込み要求レジスタ 061	IR061	8	8	2ICLK		293	64/48 ビン版にはありません。	
0008 703Eh	ICU	割り込み要求レジスタ 062	IR062	8	8	2ICLK		293	64/48 ビン版にはありません。	

表6.1 I/Oレジスタアドレス一覧(5 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK \geq PCLK の場合	ICLK $<$ PCLK の場合			
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK		ICUb	293	
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK			293	
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK			293	
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK			293	
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK			293	
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK			293	
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 705Ah	ICU	割り込み要求レジスタ 090	IR090	8	8	2ICLK			293	112/100/64/48 ビン版にはありません。
0008 7062h	ICU	割り込み要求レジスタ 098	IR098	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK			293	
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK			293	
0008 7068h	ICU	割り込み要求レジスタ 104	IR104	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7069h	ICU	割り込み要求レジスタ 105	IR105	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK			293	
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK			293	
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK			293	
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK			293	
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK			293	
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK			293	
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK			293	
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK			293	
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK			293	
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK			293	
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK			293	
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK			293	
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK			293	
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK			293	
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK			293	
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK			293	
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK			293	
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK		293		
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK		293		
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK		293		
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK		293		
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK		293		
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2ICLK		293		
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2ICLK		293		
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK		293		
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK		293		
0008 7093h	ICU	割り込み要求レジスタ 147	IR147	8	8	2ICLK		293		
0008 7094h	ICU	割り込み要求レジスタ 148	IR148	8	8	2ICLK		293		
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK		293		
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK		293		
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK		293		
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK		293		

表6.1 I/Oレジスタアドレス一覧(6 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK \geq PCLK の場合	ICLK < PCLK の場合			
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2ICLK		ICUb	293	
0008 709Ah	ICU	割り込み要求レジスタ 154	IR154	8	8	2ICLK			293	
0008 709Bh	ICU	割り込み要求レジスタ 155	IR155	8	8	2ICLK			293	
0008 709Ch	ICU	割り込み要求レジスタ 156	IR156	8	8	2ICLK			293	
0008 709Dh	ICU	割り込み要求レジスタ 157	IR157	8	8	2ICLK			293	
0008 709Eh	ICU	割り込み要求レジスタ 158	IR158	8	8	2ICLK			293	
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2ICLK			293	
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2ICLK			293	
0008 70A3h	ICU	割り込み要求レジスタ 163	IR163	8	8	2ICLK			293	
0008 70A4h	ICU	割り込み要求レジスタ 164	IR164	8	8	2ICLK			293	
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2ICLK			293	
0008 70A6h	ICU	割り込み要求レジスタ 166	IR166	8	8	2ICLK			293	
0008 70A7h	ICU	割り込み要求レジスタ 167	IR167	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70A8h	ICU	割り込み要求レジスタ 168	IR168	8	8	2ICLK			293	
0008 70A9h	ICU	割り込み要求レジスタ 169	IR169	8	8	2ICLK			293	
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK			293	
0008 70ACh	ICU	割り込み要求レジスタ 172	IR172	8	8	2ICLK			293	
0008 70ADh	ICU	割り込み要求レジスタ 173	IR173	8	8	2ICLK			293	
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70BAh	ICU	割り込み要求レジスタ 186	IR186	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70BBh	ICU	割り込み要求レジスタ 187	IR187	8	8	2ICLK			293	64/48 ビン版にはありません。
0008 70BCh	ICU	割り込み要求レジスタ 188	IR188	8	8	2ICLK		293	64/48 ビン版にはありません。	
0008 70BDh	ICU	割り込み要求レジスタ 189	IR189	8	8	2ICLK		293	64/48 ビン版にはありません。	
0008 70BEh	ICU	割り込み要求レジスタ 190	IR190	8	8	2ICLK		293	112/100/64/48 ビン版にはありません。	
0008 70BFh	ICU	割り込み要求レジスタ 191	IR191	8	8	2ICLK		293	112/100/64/48 ビン版にはありません。	
0008 70C0h	ICU	割り込み要求レジスタ 192	IR192	8	8	2ICLK		293	112/100/64/48 ビン版にはありません。	
0008 70C1h	ICU	割り込み要求レジスタ 193	IR193	8	8	2ICLK		293	112/100/64/48 ビン版にはありません。	

表6.1 I/Oレジスタアドレス一覧(7/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK \geq PCLK の場合	ICLK < PCLK の場合			
0008 70C2h	ICU	割り込み要求レジスタ 194	IR194	8	8	2	2	ICUb	293	
0008 70C3h	ICU	割り込み要求レジスタ 195	IR195	8	8	2	2		293	
0008 70C4h	ICU	割り込み要求レジスタ 196	IR196	8	8	2	2		293	
0008 70C5h	ICU	割り込み要求レジスタ 197	IR197	8	8	2	2		293	
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2	2		293	
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2	2		293	
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2	2		293	
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2	2		293	
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2	2		293	
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2	2		293	
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2	2		293	
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2	2		293	
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2	2		293	
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2	2		293	
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2	2		293	64/48ピン版にはありません。
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2	2		293	64/48ピン版にはありません。
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2	2		293	64/48ピン版にはありません。
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2	2		293	100/64/48ピン版にはありません。
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2	2		293	100/64/48ピン版にはありません。
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2	2		293	100/64/48ピン版にはありません。
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2	2		293	
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2	2		293	
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2	2		293	
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2	2		293	
0008 70E6h	ICU	割り込み要求レジスタ 230	IR230	8	8	2	2		293	
0008 70E7h	ICU	割り込み要求レジスタ 231	IR231	8	8	2	2		293	
0008 70E8h	ICU	割り込み要求レジスタ 232	IR232	8	8	2	2		293	
0008 70E9h	ICU	割り込み要求レジスタ 233	IR233	8	8	2	2		293	
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2	2		293	
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2	2		293	
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2	2		293	
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2	2		293	
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2	2		293	
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2	2		293	
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2	2		293	
0008 70F2h	ICU	割り込み要求レジスタ 242	IR242	8	8	2	2		293	
0008 70F4h	ICU	割り込み要求レジスタ 244	IR244	8	8	2	2		293	
0008 70F5h	ICU	割り込み要求レジスタ 245	IR245	8	8	2	2		293	
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2	2		293	
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2	2		293	
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2	2		293	
0008 70FAh	ICU	割り込み要求レジスタ 250	IR250	8	8	2	2		293	
0008 70FBh	ICU	割り込み要求レジスタ 251	IR251	8	8	2	2		293	
0008 70FCh	ICU	割り込み要求レジスタ 252	IR252	8	8	2	2		293	
0008 711Bh	ICU	DTC 起動許可レジスタ 027	DTCER027	8	8	2	2		297	
0008 711Ch	ICU	DTC 起動許可レジスタ 028	DTCER028	8	8	2	2		297	
0008 711Dh	ICU	DTC 起動許可レジスタ 029	DTCER029	8	8	2	2		297	
0008 711Eh	ICU	DTC 起動許可レジスタ 030	DTCER030	8	8	2	2		297	

表6.1 I/Oレジスタアドレス一覧(8/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK \geq PCLK の場合	ICLK < PCLK の場合			
0008 711Fh	ICU	DTC 起動許可レジスタ 031	DTCER031	8	8	2ICLK		ICUb	297	
0008 7121h	ICU	DTC 起動許可レジスタ 033	DTCER033	8	8	2ICLK			297	112/100/64/48 ビン版にはありません。
0008 7122h	ICU	DTC 起動許可レジスタ 034	DTCER034	8	8	2ICLK			297	112/100/64/48 ビン版にはありません。
0008 7127h	ICU	DTC 起動許可レジスタ 039	DTCER039	8	8	2ICLK			297	
0008 7128h	ICU	DTC 起動許可レジスタ 040	DTCER040	8	8	2ICLK			297	
0008 712Ah	ICU	DTC 起動許可レジスタ 042	DTCER042	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 712Bh	ICU	DTC 起動許可レジスタ 043	DTCER043	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7131h	ICU	DTC 起動許可レジスタ 049	DTCER049	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7132h	ICU	DTC 起動許可レジスタ 050	DTCER050	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7133h	ICU	DTC 起動許可レジスタ 051	DTCER051	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7134h	ICU	DTC 起動許可レジスタ 052	DTCER052	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7135h	ICU	DTC 起動許可レジスタ 053	DTCER053	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7136h	ICU	DTC 起動許可レジスタ 054	DTCER054	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7137h	ICU	DTC 起動許可レジスタ 055	DTCER055	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7138h	ICU	DTC 起動許可レジスタ 056	DTCER056	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 713Ah	ICU	DTC 起動許可レジスタ 058	DTCER058	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 713Bh	ICU	DTC 起動許可レジスタ 059	DTCER059	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 713Ch	ICU	DTC 起動許可レジスタ 060	DTCER060	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 713Dh	ICU	DTC 起動許可レジスタ 061	DTCER061	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 713Eh	ICU	DTC 起動許可レジスタ 062	DTCER062	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7140h	ICU	DTC 起動許可レジスタ 064	DTCER064	8	8	2ICLK			297	
0008 7141h	ICU	DTC 起動許可レジスタ 065	DTCER065	8	8	2ICLK			297	
0008 7142h	ICU	DTC 起動許可レジスタ 066	DTCER066	8	8	2ICLK			297	
0008 7143h	ICU	DTC 起動許可レジスタ 067	DTCER067	8	8	2ICLK			297	
0008 7144h	ICU	DTC 起動許可レジスタ 068	DTCER068	8	8	2ICLK			297	
0008 7145h	ICU	DTC 起動許可レジスタ 069	DTCER069	8	8	2ICLK			297	
0008 7146h	ICU	DTC 起動許可レジスタ 070	DTCER070	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7147h	ICU	DTC 起動許可レジスタ 071	DTCER071	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7162h	ICU	DTC 起動許可レジスタ 098	DTCER098	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7166h	ICU	DTC 起動許可レジスタ 102	DTCER102	8	8	2ICLK			297	
0008 7167h	ICU	DTC 起動許可レジスタ 103	DTCER103	8	8	2ICLK			297	
0008 7168h	ICU	DTC 起動許可レジスタ 104	DTCER104	8	8	2ICLK			297	64/48 ビン版にはありません。
0008 7169h	ICU	DTC 起動許可レジスタ 105	DTCER105	8	8	2ICLK		297	64/48 ビン版にはありません。	
0008 717Eh	ICU	DTC 起動許可レジスタ 126	DTCER126	8	8	2ICLK		297		
0008 717Fh	ICU	DTC 起動許可レジスタ 127	DTCER127	8	8	2ICLK		297		
0008 7180h	ICU	DTC 起動許可レジスタ 128	DTCER128	8	8	2ICLK		297		
0008 7181h	ICU	DTC 起動許可レジスタ 129	DTCER129	8	8	2ICLK		297		
0008 7185h	ICU	DTC 起動許可レジスタ 133	DTCER133	8	8	2ICLK		297		
0008 7186h	ICU	DTC 起動許可レジスタ 134	DTCER134	8	8	2ICLK		297		

表6.1 I/Oレジスタアドレス一覧(9 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK \geq PCLK の場合	ICLK < PCLK の場合			
0008 7189h	ICU	DTC 起動許可レジスタ 137	DTCER137	8	8	2	2	ICUb	297	
0008 718Ah	ICU	DTC 起動許可レジスタ 138	DTCER138	8	8	2	2		297	
0008 718Dh	ICU	DTC 起動許可レジスタ 141	DTCER141	8	8	2	2		297	
0008 718Eh	ICU	DTC 起動許可レジスタ 142	DTCER142	8	8	2	2		297	
0008 718Fh	ICU	DTC 起動許可レジスタ 143	DTCER143	8	8	2	2		297	
0008 7190h	ICU	DTC 起動許可レジスタ 144	DTCER144	8	8	2	2		297	
0008 7192h	ICU	DTC 起動許可レジスタ 146	DTCER146	8	8	2	2		297	
0008 7193h	ICU	DTC 起動許可レジスタ 147	DTCER147	8	8	2	2		297	
0008 7194h	ICU	DTC 起動許可レジスタ 148	DTCER148	8	8	2	2		297	
0008 7195h	ICU	DTC 起動許可レジスタ 149	DTCER149	8	8	2	2		297	
0008 7196h	ICU	DTC 起動許可レジスタ 150	DTCER150	8	8	2	2		297	
0008 7197h	ICU	DTC 起動許可レジスタ 151	DTCER151	8	8	2	2		297	
0008 7198h	ICU	DTC 起動許可レジスタ 152	DTCER152	8	8	2	2		297	
0008 7199h	ICU	DTC 起動許可レジスタ 153	DTCER153	8	8	2	2		297	
0008 719Ah	ICU	DTC 起動許可レジスタ 154	DTCER154	8	8	2	2		297	
0008 719Bh	ICU	DTC 起動許可レジスタ 155	DTCER155	8	8	2	2		297	
0008 719Ch	ICU	DTC 起動許可レジスタ 156	DTCER156	8	8	2	2		297	
0008 719Dh	ICU	DTC 起動許可レジスタ 157	DTCER157	8	8	2	2		297	
0008 71A1h	ICU	DTC 起動許可レジスタ 161	DTCER161	8	8	2	2		297	
0008 71A2h	ICU	DTC 起動許可レジスタ 162	DTCER162	8	8	2	2		297	
0008 71A3h	ICU	DTC 起動許可レジスタ 163	DTCER163	8	8	2	2		297	
0008 71A4h	ICU	DTC 起動許可レジスタ 164	DTCER164	8	8	2	2		297	
0008 71A5h	ICU	DTC 起動許可レジスタ 165	DTCER165	8	8	2	2		297	
0008 71ABh	ICU	DTC 起動許可レジスタ 171	DTCER171	8	8	2	2		297	
0008 71ACh	ICU	DTC 起動許可レジスタ 172	DTCER172	8	8	2	2		297	
0008 71ADh	ICU	DTC 起動許可レジスタ 173	DTCER173	8	8	2	2		297	
0008 71AEh	ICU	DTC 起動許可レジスタ 174	DTCER174	8	8	2	2		297	64/48 ビン版にはありません。
0008 71AFh	ICU	DTC 起動許可レジスタ 175	DTCER175	8	8	2	2		297	64/48 ビン版にはありません。
0008 71B0h	ICU	DTC 起動許可レジスタ 176	DTCER176	8	8	2	2		297	64/48 ビン版にはありません。
0008 71B1h	ICU	DTC 起動許可レジスタ 177	DTCER177	8	8	2	2		297	64/48 ビン版にはありません。
0008 71B2h	ICU	DTC 起動許可レジスタ 178	DTCER178	8	8	2	2		297	64/48 ビン版にはありません。
0008 71B3h	ICU	DTC 起動許可レジスタ 179	DTCER179	8	8	2	2		297	64/48 ビン版にはありません。
0008 71B4h	ICU	DTC 起動許可レジスタ 180	DTCER180	8	8	2	2		297	64/48 ビン版にはありません。
0008 71B5h	ICU	DTC 起動許可レジスタ 181	DTCER181	8	8	2	2		297	64/48 ビン版にはありません。
0008 71B6h	ICU	DTC 起動許可レジスタ 182	DTCER182	8	8	2	2		297	64/48 ビン版にはありません。
0008 71B7h	ICU	DTC 起動許可レジスタ 183	DTCER183	8	8	2	2		297	64/48 ビン版にはありません。
0008 71B8h	ICU	DTC 起動許可レジスタ 184	DTCER184	8	8	2	2		297	64/48 ビン版にはありません。
0008 71B9h	ICU	DTC 起動許可レジスタ 185	DTCER185	8	8	2	2		297	64/48 ビン版にはありません。
0008 71BAh	ICU	DTC 起動許可レジスタ 186	DTCER186	8	8	2	2		297	64/48 ビン版にはありません。
0008 71BBh	ICU	DTC 起動許可レジスタ 187	DTCER187	8	8	2	2		297	64/48 ビン版にはありません。
0008 71BCh	ICU	DTC 起動許可レジスタ 188	DTCER188	8	8	2	2		297	64/48 ビン版にはありません。
0008 71BDh	ICU	DTC 起動許可レジスタ 189	DTCER189	8	8	2	2		297	64/48 ビン版にはありません。

表6.1 I/Oレジスタアドレス一覧(10/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 71BFh	ICU	DTC 起動許可レジスタ 191	DTCER191	8	8	2	ICLK	ICUb	297	112/100/64/48 ピン版にはありません。
0008 71C0h	ICU	DTC 起動許可レジスタ 192	DTCER192	8	8	2	ICLK		297	112/100/64/48 ピン版にはありません。
0008 71C3h	ICU	DTC 起動許可レジスタ 195	DTCER195	8	8	2	ICLK		297	
0008 71C4h	ICU	DTC 起動許可レジスタ 196	DTCER196	8	8	2	ICLK		297	
0008 71C6h	ICU	DTC 起動許可レジスタ 198	DTCER198	8	8	2	ICLK		297	
0008 71C7h	ICU	DTC 起動許可レジスタ 199	DTCER199	8	8	2	ICLK		297	
0008 71C8h	ICU	DTC 起動許可レジスタ 200	DTCER200	8	8	2	ICLK		297	
0008 71C9h	ICU	DTC 起動許可レジスタ 201	DTCER201	8	8	2	ICLK		297	
0008 71D6h	ICU	DTC 起動許可レジスタ 214	DTCER214	8	8	2	ICLK		297	
0008 71D7h	ICU	DTC 起動許可レジスタ 215	DTCER215	8	8	2	ICLK		297	
0008 71D9h	ICU	DTC 起動許可レジスタ 217	DTCER217	8	8	2	ICLK		297	
0008 71DAh	ICU	DTC 起動許可レジスタ 218	DTCER218	8	8	2	ICLK		297	
0008 71DCh	ICU	DTC 起動許可レジスタ 220	DTCER220	8	8	2	ICLK		297	64/48 ピン版にはありません。
0008 71DDh	ICU	DTC 起動許可レジスタ 221	DTCER221	8	8	2	ICLK		297	64/48 ピン版にはありません。
0008 71DFh	ICU	DTC 起動許可レジスタ 223	DTCER223	8	8	2	ICLK		297	100/64/48 ピン版にはありません。
0008 71E0h	ICU	DTC 起動許可レジスタ 224	DTCER224	8	8	2	ICLK		297	100/64/48 ピン版にはありません。
0008 71E2h	ICU	DTC 起動許可レジスタ 226	DTCER226	8	8	2	ICLK		297	
0008 71E3h	ICU	DTC 起動許可レジスタ 227	DTCER227	8	8	2	ICLK		297	
0008 71E4h	ICU	DTC 起動許可レジスタ 228	DTCER228	8	8	2	ICLK		297	
0008 71E5h	ICU	DTC 起動許可レジスタ 229	DTCER229	8	8	2	ICLK		297	
0008 71E6h	ICU	DTC 起動許可レジスタ 230	DTCER230	8	8	2	ICLK		297	
0008 71E7h	ICU	DTC 起動許可レジスタ 231	DTCER231	8	8	2	ICLK		297	
0008 71E8h	ICU	DTC 起動許可レジスタ 232	DTCER232	8	8	2	ICLK		297	
0008 71E9h	ICU	DTC 起動許可レジスタ 233	DTCER233	8	8	2	ICLK		297	
0008 71EAh	ICU	DTC 起動許可レジスタ 234	DTCER234	8	8	2	ICLK		297	
0008 71EBh	ICU	DTC 起動許可レジスタ 235	DTCER235	8	8	2	ICLK		297	
0008 71ECh	ICU	DTC 起動許可レジスタ 236	DTCER236	8	8	2	ICLK		297	
0008 71EEh	ICU	DTC 起動許可レジスタ 238	DTCER238	8	8	2	ICLK		297	
0008 71EFh	ICU	DTC 起動許可レジスタ 239	DTCER239	8	8	2	ICLK		297	
0008 71F0h	ICU	DTC 起動許可レジスタ 240	DTCER240	8	8	2	ICLK		297	
0008 71F1h	ICU	DTC 起動許可レジスタ 241	DTCER241	8	8	2	ICLK		297	
0008 71F2h	ICU	DTC 起動許可レジスタ 242	DTCER242	8	8	2	ICLK		297	
0008 71F4h	ICU	DTC 起動許可レジスタ 244	DTCER244	8	8	2	ICLK		297	
0008 71F5h	ICU	DTC 起動許可レジスタ 245	DTCER245	8	8	2	ICLK		297	
0008 71F6h	ICU	DTC 起動許可レジスタ 246	DTCER246	8	8	2	ICLK		297	
0008 71F7h	ICU	DTC 起動許可レジスタ 247	DTCER247	8	8	2	ICLK		297	
0008 71F8h	ICU	DTC 起動許可レジスタ 248	DTCER248	8	8	2	ICLK		297	
0008 71FAh	ICU	DTC 起動許可レジスタ 250	DTCER250	8	8	2	ICLK		297	
0008 71FBh	ICU	DTC 起動許可レジスタ 251	DTCER251	8	8	2	ICLK		297	
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2	ICLK		294	
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2	ICLK		294	
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2	ICLK		294	
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2	ICLK		294	
0008 7206h	ICU	割り込み要求許可レジスタ 06	IER06	8	8	2	ICLK		294	64/48 ピン版にはありません。
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2	ICLK		294	
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2	ICLK		294	
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2	ICLK		294	112/100/64/48 ピン版にはありません。

表6.1 I/Oレジスタアドレス一覧(11/46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	参照 ページ	備考
						ICLK \geq PCLK の場合	ICLK $<$ PCLK の場合			
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK		ICUb	294	
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK			294	64/48ピン版にはありません。
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK			294	
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK			294	
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK			294	
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK			294	
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2ICLK			294	
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2ICLK			294	
0008 7214h	ICU	割り込み要求許可レジスタ 14	IER14	8	8	2ICLK			294	
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK			294	
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK			294	64/48ピン版にはありません。
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK			294	64/48ピン版にはありません。
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK			294	
0008 7219h	ICU	割り込み要求許可レジスタ 19	IER19	8	8	2ICLK			294	
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2ICLK			294	
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK			294	
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK			294	
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK			294	
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK			294	
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK			294	
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK			297	
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK			296	
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK			295	
0008 7301h	ICU	割り込み要因プライオリティレジスタ 001	IPR001	8	8	2ICLK			295	
0008 7302h	ICU	割り込み要因プライオリティレジスタ 002	IPR002	8	8	2ICLK			295	
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK			295	
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK			295	
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK		295		
0008 7306h	ICU	割り込み要因プライオリティレジスタ 006	IPR006	8	8	2ICLK		295		
0008 7307h	ICU	割り込み要因プライオリティレジスタ 007	IPR007	8	8	2ICLK		295		
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK		295	112/100/64/48ピン版にはありません。	
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK		295	112/100/64/48ピン版にはありません。	
0008 7323h	ICU	割り込み要因プライオリティレジスタ 035	IPR035	8	8	2ICLK		295	112/100/64/48ピン版にはありません。	
0008 7324h	ICU	割り込み要因プライオリティレジスタ 036	IPR036	8	8	2ICLK		295		
0008 7327h	ICU	割り込み要因プライオリティレジスタ 039	IPR039	8	8	2ICLK		295		
0008 7328h	ICU	割り込み要因プライオリティレジスタ 040	IPR040	8	8	2ICLK		295		
0008 7329h	ICU	割り込み要因プライオリティレジスタ 041	IPR041	8	8	2ICLK		295		
0008 732Ah	ICU	割り込み要因プライオリティレジスタ 042	IPR042	8	8	2ICLK		295	64/48ピン版にはありません。	
0008 732Bh	ICU	割り込み要因プライオリティレジスタ 043	IPR043	8	8	2ICLK		295	64/48ピン版にはありません。	
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2ICLK		295	64/48ピン版にはありません。	
0008 732Dh	ICU	割り込み要因プライオリティレジスタ 045	IPR045	8	8	2ICLK		295	64/48ピン版にはありません。	
0008 7331h	ICU	割り込み要因プライオリティレジスタ 049	IPR049	8	8	2ICLK		295	64/48ピン版にはありません。	
0008 7334h	ICU	割り込み要因プライオリティレジスタ 052	IPR052	8	8	2ICLK		295	64/48ピン版にはありません。	
0008 7336h	ICU	割り込み要因プライオリティレジスタ 054	IPR054	8	8	2ICLK		295	64/48ピン版にはありません。	

表6.1 I/Oレジスタアドレス一覧(12/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK \geq PCLK の場合	ICLK < PCLK の場合			
0008 7337h	ICU	割り込み要因プライオリティレジスタ 055	IPR055	8	8	2ICLK		ICUb	295	64/48 ビン版にはありません。
0008 7338h	ICU	割り込み要因プライオリティレジスタ 056	IPR056	8	8	2ICLK			295	64/48 ビン版にはありません。
0008 7339h	ICU	割り込み要因プライオリティレジスタ 057	IPR057	8	8	2ICLK			295	
0008 733Ah	ICU	割り込み要因プライオリティレジスタ 058	IPR058	8	8	2ICLK			295	64/48 ビン版にはありません。
0008 733Bh	ICU	割り込み要因プライオリティレジスタ 059	IPR059	8	8	2ICLK			295	64/48 ビン版にはありません。
0008 733Ch	ICU	割り込み要因プライオリティレジスタ 060	IPR060	8	8	2ICLK			295	64/48 ビン版にはありません。
0008 733Dh	ICU	割り込み要因プライオリティレジスタ 061	IPR061	8	8	2ICLK			295	64/48 ビン版にはありません。
0008 733Eh	ICU	割り込み要因プライオリティレジスタ 062	IPR062	8	8	2ICLK			295	64/48 ビン版にはありません。
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2ICLK			295	
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2ICLK			295	
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2ICLK			295	
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2ICLK			295	
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2ICLK			295	
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2ICLK			295	
0008 7346h	ICU	割り込み要因プライオリティレジスタ 070	IPR070	8	8	2ICLK			295	64/48 ビン版にはありません。
0008 7347h	ICU	割り込み要因プライオリティレジスタ 071	IPR071	8	8	2ICLK			295	64/48 ビン版にはありません。
0008 735Ah	ICU	割り込み要因プライオリティレジスタ 090	IPR090	8	8	2ICLK			295	112/100/64/48 ビン版にはありません。
0008 7362h	ICU	割り込み要因プライオリティレジスタ 098	IPR098	8	8	2ICLK			295	64/48 ビン版にはありません。
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2ICLK			295	
0008 7367h	ICU	割り込み要因プライオリティレジスタ 103	IPR103	8	8	2ICLK			295	
0008 7368h	ICU	割り込み要因プライオリティレジスタ 104	IPR104	8	8	2ICLK			295	64/48 ビン版にはありません。
0008 7369h	ICU	割り込み要因プライオリティレジスタ 105	IPR105	8	8	2ICLK			295	64/48 ビン版にはありません。
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 106	IPR106	8	8	2ICLK			295	64/48 ビン版にはありません。
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2ICLK			295	
0008 737Ah	ICU	割り込み要因プライオリティレジスタ 122	IPR122	8	8	2ICLK			295	
0008 737Eh	ICU	割り込み要因プライオリティレジスタ 126	IPR126	8	8	2ICLK			295	
0008 7382h	ICU	割り込み要因プライオリティレジスタ 130	IPR130	8	8	2ICLK			295	
0008 7385h	ICU	割り込み要因プライオリティレジスタ 133	IPR133	8	8	2ICLK			295	
0008 7387h	ICU	割り込み要因プライオリティレジスタ 135	IPR135	8	8	2ICLK			295	
0008 7389h	ICU	割り込み要因プライオリティレジスタ 137	IPR137	8	8	2ICLK			295	
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2ICLK			295	
0008 738Dh	ICU	割り込み要因プライオリティレジスタ 141	IPR141	8	8	2ICLK			295	
0008 7391h	ICU	割り込み要因プライオリティレジスタ 145	IPR145	8	8	2ICLK		295		
0008 7392h	ICU	割り込み要因プライオリティレジスタ 146	IPR146	8	8	2ICLK		295		
0008 7396h	ICU	割り込み要因プライオリティレジスタ 150	IPR150	8	8	2ICLK		295		
0008 7397h	ICU	割り込み要因プライオリティレジスタ 151	IPR151	8	8	2ICLK		295		
0008 739Ah	ICU	割り込み要因プライオリティレジスタ 154	IPR154	8	8	2ICLK		295		
0008 739Eh	ICU	割り込み要因プライオリティレジスタ 158	IPR158	8	8	2ICLK		295		
0008 73A1h	ICU	割り込み要因プライオリティレジスタ 161	IPR161	8	8	2ICLK		295		
0008 73A3h	ICU	割り込み要因プライオリティレジスタ 163	IPR163	8	8	2ICLK		295		
0008 73A5h	ICU	割り込み要因プライオリティレジスタ 165	IPR165	8	8	2ICLK		295		
0008 73A6h	ICU	割り込み要因プライオリティレジスタ 166	IPR166	8	8	2ICLK		295		
0008 73ABh	ICU	割り込み要因プライオリティレジスタ 171	IPR171	8	8	2ICLK		295		

表6.1 I/Oレジスタアドレス一覧(13/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK \geq PCLK の場合	ICLK < PCLK の場合			
0008 73ACh	ICU	割り込み要因プライオリティレジスタ 172	IPR172	8	8	2	2	ICUb	295	
0008 73ADh	ICU	割り込み要因プライオリティレジスタ 173	IPR173	8	8	2	2		295	
0008 73AEh	ICU	割り込み要因プライオリティレジスタ 174	IPR174	8	8	2	2		295	64/48 ビン版にはありません。
0008 73B1h	ICU	割り込み要因プライオリティレジスタ 177	IPR177	8	8	2	2		295	64/48 ビン版にはありません。
0008 73B4h	ICU	割り込み要因プライオリティレジスタ 180	IPR180	8	8	2	2		295	64/48 ビン版にはありません。
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2	2		295	64/48 ビン版にはありません。
0008 73B9h	ICU	割り込み要因プライオリティレジスタ 185	IPR185	8	8	2	2		295	64/48 ビン版にはありません。
0008 73BCh	ICU	割り込み要因プライオリティレジスタ 188	IPR188	8	8	2	2		295	64/48 ビン版にはありません。
0008 73BEh	ICU	割り込み要因プライオリティレジスタ 190	IPR190	8	8	2	2		295	112/100/64/48 ビン版にはありません。
0008 73C2h	ICU	割り込み要因プライオリティレジスタ 194	IPR194	8	8	2	2		295	
0008 73C6h	ICU	割り込み要因プライオリティレジスタ 198	IPR198	8	8	2	2		295	
0008 73C7h	ICU	割り込み要因プライオリティレジスタ 199	IPR199	8	8	2	2		295	
0008 73C8h	ICU	割り込み要因プライオリティレジスタ 200	IPR200	8	8	2	2		295	
0008 73C9h	ICU	割り込み要因プライオリティレジスタ 201	IPR201	8	8	2	2		295	
0008 73D6h	ICU	割り込み要因プライオリティレジスタ 214	IPR214	8	8	2	2		295	
0008 73D9h	ICU	割り込み要因プライオリティレジスタ 217	IPR217	8	8	2	2		295	
0008 73DCh	ICU	割り込み要因プライオリティレジスタ 220	IPR220	8	8	2	2		295	64/48 ビン版にはありません。
0008 73DFh	ICU	割り込み要因プライオリティレジスタ 223	IPR223	8	8	2	2		295	100/64/48 ビン版にはありません。
0008 73E2h	ICU	割り込み要因プライオリティレジスタ 226	IPR226	8	8	2	2		295	
0008 73E5h	ICU	割り込み要因プライオリティレジスタ 229	IPR229	8	8	2	2		295	
0008 73E8h	ICU	割り込み要因プライオリティレジスタ 232	IPR232	8	8	2	2		295	
0008 73EBh	ICU	割り込み要因プライオリティレジスタ 235	IPR235	8	8	2	2		295	
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238	IPR238	8	8	2	2		295	
0008 73F1h	ICU	割り込み要因プライオリティレジスタ 241	IPR241	8	8	2	2		295	
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244	IPR244	8	8	2	2		295	
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2	2		295	
0008 73FAh	ICU	割り込み要因プライオリティレジスタ 250	IPR250	8	8	2	2		295	
0008 7400h	ICU	DMAC 起動要求選択レジスタ 0	DMRSR0	8	8	2	2		298	
0008 7404h	ICU	DMAC 起動要求選択レジスタ 1	DMRSR1	8	8	2	2		298	
0008 7408h	ICU	DMAC 起動要求選択レジスタ 2	DMRSR2	8	8	2	2		298	
0008 740Ch	ICU	DMAC 起動要求選択レジスタ 3	DMRSR3	8	8	2	2		298	
0008 7500h	ICU	IRQ コントロールレジスタ 0	IRQCR0	8	8	2	2		298	
0008 7501h	ICU	IRQ コントロールレジスタ 1	IRQCR1	8	8	2	2		298	
0008 7502h	ICU	IRQ コントロールレジスタ 2	IRQCR2	8	8	2	2		298	
0008 7503h	ICU	IRQ コントロールレジスタ 3	IRQCR3	8	8	2	2		298	
0008 7504h	ICU	IRQ コントロールレジスタ 4	IRQCR4	8	8	2	2		298	
0008 7505h	ICU	IRQ コントロールレジスタ 5	IRQCR5	8	8	2	2		298	
0008 7506h	ICU	IRQ コントロールレジスタ 6	IRQCR6	8	8	2	2		298	64/48 ビン版にはありません。
0008 7507h	ICU	IRQ コントロールレジスタ 7	IRQCR7	8	8	2	2		298	64/48 ビン版にはありません。
0008 7510h	ICU	IRQ 端子デジタルフィルタ許可レジスタ 0	IRQFLT0	8	8	2	2		299	
0008 7514h	ICU	IRQ 端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2	2		299	
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2	2		300	
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2	2		302	
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2	2		303	
0008 7583h	ICU	NMI 端子割り込みコントロールレジスタ	NMICR	8	8	2	2		304	

表6.1 I/Oレジスタアドレス一覧(14/46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	参照 ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK		ICUb	304	
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK			305	
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2 ~ 3PCLKB	2ICLK	CMT	974	
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK		975	
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK		976	
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK		976	
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK		975	
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK		976	
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK		976	
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2 ~ 3PCLKB	2ICLK		974	
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK		975	
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK		976	
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK		976	
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK		975	
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK		976	
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK		976	
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2 ~ 3PCLKB	2ICLK	WDTA	982	
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2 ~ 3PCLKB	2ICLK		983	
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2 ~ 3PCLKB	2ICLK		986	
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2 ~ 3PCLKB	2ICLK		987	
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2 ~ 3PCLKB	2ICLK	IWDTa	997	
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2 ~ 3PCLKB	2ICLK		998	
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2 ~ 3PCLKB	2ICLK		1001	
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2 ~ 3PCLKB	2ICLK		1002	
0008 8038h	IWDT	IWDT カウント停止コントロールレジスタ	IWDTCSTPR	8	8	2 ~ 3PCLKB	2ICLK		1002	
0008 80C0h	DA	D/A データレジスタ0	DADR0	16	16	2 ~ 3PCLKB	2ICLK		DAa	1583
0008 80C2h	DA	D/A データレジスタ1	DADR1	16	16	2 ~ 3PCLKB	2ICLK	1583		64/48ピン版には ありません。
0008 80C4h	DA	D/Aコントロールレジスタ	DACR	8	8	2 ~ 3PCLKB	2ICLK	1584		64/48ピン版には ありません。
0008 80C5h	DA	DADRmフォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB	2ICLK	1585		64/48ピン版には ありません。
0008 80C6h	DA	D/A A/D同期スタート制御レジスタ	DAADSCR	8	8	2 ~ 3PCLKB	2ICLK	1586		64/48ピン版には ありません。
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB	2ICLK	CRC		1426
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB	2ICLK		1426	
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB	2ICLK		1427	
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK	RIIC	1233	
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK		1235	
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK		1238	
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK		1239	
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK		1240	
0008 8305h	RIIC0	I ² Cバスファンクションイネーブルレジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK		1242	
0008 8306h	RIIC0	I ² Cバスステータスイネーブルレジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK		1244	
0008 8307h	RIIC0	I ² Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK		1245	
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK		1246	
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK		1249	
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	2ICLK		1252	
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK		1257	
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	2ICLK		1253	
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOCNTU	8	8 (注2)	2 ~ 3PCLKB	2ICLK		1257	
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	2ICLK	1252		

表6.1 I/Oレジスタアドレス一覧(15/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	2ICLK	RIIC	1253	
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	2ICLK		1252	
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	2ICLK		1253	
0008 8310h	RIIC0	I ² Cバスビットレートローレベルレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK		1254	
0008 8311h	RIIC0	I ² Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK		1254	
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK		1256	
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK		1256	
0008 8320h	RIIC1	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK		1233	112/100/64/48 ビン版にはありません。
0008 8321h	RIIC1	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK		1235	112/100/64/48 ビン版にはありません。
0008 8322h	RIIC1	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK		1238	112/100/64/48 ビン版にはありません。
0008 8323h	RIIC1	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK		1239	112/100/64/48 ビン版にはありません。
0008 8324h	RIIC1	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK		1240	112/100/64/48 ビン版にはありません。
0008 8325h	RIIC1	I ² Cバスファンクションイネーブルレジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK		1242	112/100/64/48 ビン版にはありません。
0008 8326h	RIIC1	I ² Cバスステータスイネーブルレジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK		1244	112/100/64/48 ビン版にはありません。
0008 8327h	RIIC1	I ² Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK		1245	112/100/64/48 ビン版にはありません。
0008 8328h	RIIC1	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK		1246	112/100/64/48 ビン版にはありません。
0008 8329h	RIIC1	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK		1249	112/100/64/48 ビン版にはありません。
0008 832Ah	RIIC1	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	2ICLK		1252	112/100/64/48 ビン版にはありません。
0008 832Ah	RIIC1	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK		1257	112/100/64/48 ビン版にはありません。
0008 832Bh	RIIC1	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	2ICLK		1253	112/100/64/48 ビン版にはありません。
0008 832Bh	RIIC1	タイムアウト内部カウンタU	TMOCNTU	8	8 (注2)	2 ~ 3PCLKB	2ICLK		1257	112/100/64/48 ビン版にはありません。
0008 832Ch	RIIC1	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	2ICLK		1252	112/100/64/48 ビン版にはありません。
0008 832Dh	RIIC1	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	2ICLK		1253	112/100/64/48 ビン版にはありません。
0008 832Eh	RIIC1	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	2ICLK		1252	112/100/64/48 ビン版にはありません。
0008 832Fh	RIIC1	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	2ICLK	1253	112/100/64/48 ビン版にはありません。	
0008 8330h	RIIC1	I ² Cバスビットレートローレベルレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK	1254	112/100/64/48 ビン版にはありません。	
0008 8331h	RIIC1	I ² Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK	1254	112/100/64/48 ビン版にはありません。	
0008 8332h	RIIC1	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK	1256	112/100/64/48 ビン版にはありません。	
0008 8333h	RIIC1	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK	1256	112/100/64/48 ビン版にはありません。	
0008 8380h	RSPIO	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	2ICLK	RSPI	1354	
0008 8381h	RSPIO	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	2ICLK		1356	
0008 8382h	RSPIO	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	2ICLK		1357	
0008 8383h	RSPIO	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	2ICLK		1358	
0008 8384h	RSPIO	RSPIデータレジスタ	SPDR	32	16, 32	2 ~ 3PCLKB	2ICLK		1361	
0008 8388h	RSPIO	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	2ICLK		1364	
0008 8389h	RSPIO	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	2ICLK		1365	
0008 838Ah	RSPIO	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	2ICLK		1366	
0008 838Bh	RSPIO	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	2ICLK		1367	
0008 838Ch	RSPIO	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	2ICLK		1368	

表6.1 I/Oレジスタアドレス一覧(16/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 838Dh	RSPi0	RSPiスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	2ICLK	RSPi	1369	
0008 838Eh	RSPi0	RSPi次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	2ICLK		1369	
0008 838Fh	RSPi0	RSPi制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	2ICLK		1370	
0008 8390h	RSPi0	RSPiコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	2ICLK		1371	
0008 8392h	RSPi0	RSPiコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	2ICLK		1371	
0008 8394h	RSPi0	RSPiコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	2ICLK		1371	
0008 8396h	RSPi0	RSPiコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	2ICLK		1371	
0008 8398h	RSPi0	RSPiコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	2ICLK		1371	
0008 839Ah	RSPi0	RSPiコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	2ICLK		1371	
0008 839Ch	RSPi0	RSPiコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	2ICLK		1371	
0008 839Eh	RSPi0	RSPiコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	2ICLK		1371	
0008 83A0h	RSPi1	RSPi制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	2ICLK		1354	64/48ピン版にはありません。
0008 83A1h	RSPi1	RSPiスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	2ICLK		1356	64/48ピン版にはありません。
0008 83A2h	RSPi1	RSPi端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	2ICLK		1357	64/48ピン版にはありません。
0008 83A3h	RSPi1	RSPiステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	2ICLK		1358	64/48ピン版にはありません。
0008 83A4h	RSPi1	RSPiデータレジスタ	SPDR	32	16, 32	2 ~ 3PCLKB	2ICLK		1361	64/48ピン版にはありません。
0008 83A8h	RSPi1	RSPiシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	2ICLK		1364	64/48ピン版にはありません。
0008 83A9h	RSPi1	RSPiシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	2ICLK		1365	64/48ピン版にはありません。
0008 83AAh	RSPi1	RSPiビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	2ICLK		1366	64/48ピン版にはありません。
0008 83ABh	RSPi1	RSPiデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	2ICLK		1367	64/48ピン版にはありません。
0008 83ACh	RSPi1	RSPiクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	2ICLK		1368	64/48ピン版にはありません。
0008 83ADh	RSPi1	RSPiスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	2ICLK		1369	64/48ピン版にはありません。
0008 83AEh	RSPi1	RSPi次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	2ICLK	1369	64/48ピン版にはありません。	
0008 83AFh	RSPi1	RSPi制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	2ICLK	1370	64/48ピン版にはありません。	
0008 83B0h	RSPi1	RSPiコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	2ICLK	1371	64/48ピン版にはありません。	
0008 83B2h	RSPi1	RSPiコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	2ICLK	1371	64/48ピン版にはありません。	
0008 83B4h	RSPi1	RSPiコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	2ICLK	1371	64/48ピン版にはありません。	
0008 83B6h	RSPi1	RSPiコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	2ICLK	1371	64/48ピン版にはありません。	
0008 83B8h	RSPi1	RSPiコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	2ICLK	1371	64/48ピン版にはありません。	
0008 83BAh	RSPi1	RSPiコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	2ICLK	1371	64/48ピン版にはありません。	
0008 83BCh	RSPi1	RSPiコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	2ICLK	1371	64/48ピン版にはありません。	
0008 83BEh	RSPi1	RSPiコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	2ICLK	1371	64/48ピン版にはありません。	
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	2ICLK	S12ADB	1442	
0008 9004h	S12AD	A/Dチャンネル選択レジスタA	ADANSA	16	16	2 ~ 3PCLKB	2ICLK		1445	
0008 9008h	S12AD	A/D変換値加算モード選択レジスタ	ADADS	16	16	2 ~ 3PCLKB	2ICLK		1446	
0008 900Ch	S12AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB	2ICLK		1447	
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB	2ICLK		1448	
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB	2ICLK		1450	
0008 9014h	S12AD	A/Dチャンネル選択レジスタB	ADANSB	16	16	2 ~ 3PCLKB	2ICLK		1446	

表6.1 I/Oレジスタアドレス一覧(17/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 9018h	S12AD	A/Dデータ2重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK	S12ADB	1438	
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK		1441	
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2~3PCLKB	2ICLK		1438	
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLKB	2ICLK		1438	
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLKB	2ICLK		1438	
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLKB	2ICLK		1438	
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2~3PCLKB	2ICLK		1438	144/120/112/100ピン版にはありません。
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2~3PCLKB	2ICLK		1438	144/120/112/100/48ピン版にはありません。
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2~3PCLKB	2ICLK		1438	144/120/112/100/48ピン版にはありません。
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2~3PCLKB	2ICLK		1438	144/120/112/100ピン版にはありません。
0008 9060h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2~3PCLKB	2ICLK		1455	
0008 9066h	S12AD	サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2~3PCLKB	2ICLK		1456	
0008 9073h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2~3PCLKB	2ICLK		1455	
0008 9074h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2~3PCLKB	2ICLK		1455	
0008 9075h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2~3PCLKB	2ICLK		1455	
0008 9076h	S12AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2~3PCLKB	2ICLK		1455	144/120/112/100ピン版にはありません。
0008 9077h	S12AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2~3PCLKB	2ICLK		1455	144/120/112/100/48ピン版にはありません。
0008 9078h	S12AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2~3PCLKB	2ICLK		1455	144/120/112/100/48ピン版にはありません。
0008 9079h	S12AD	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2~3PCLKB	2ICLK		1455	144/120/112/100ピン版にはありません。
0008 9080h	S12AD	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2~3PCLKB	2ICLK		1457	
0008 9084h	S12AD	A/Dデータ2重化レジスタA	ADDBLDRA	16	16	2~3PCLKB	2ICLK		1438	
0008 9086h	S12AD	A/Dデータ2重化レジスタB	ADDBLDRB	16	16	2~3PCLKB	2ICLK		1438	
0008 908Ah	S12AD	A/Dプログラマブルゲインアンプレジスタ	ADPG	16	16	2~3PCLKB	2ICLK		1464	64/48ピン版にはありません。
0008 90E0h	S12AD	コンパレータ動作モード選択レジスタ0	ADCMPMD0	16	16	2~3PCLKB	2ICLK		1459	
0008 90E2h	S12AD	コンパレータ動作モード選択レジスタ1	ADCMPMD1	16	16	2~3PCLKB	2ICLK		1460	
0008 90E4h	S12AD	コンパレータフィルタモードレジスタ0	ADCMPNR0	16	16	2~3PCLKB	2ICLK		1461	
0008 90E8h	S12AD	コンパレータ検出フラグレジスタ	ADCMPFR	8	8	2~3PCLKB	2ICLK		1462	
0008 90EAh	S12AD	コンパレータ割り込み選択レジスタ	ADCMPSEL	16	16	2~3PCLKB	2ICLK		1463	
0008 90FCh	S12AD	A/Dグループスキャン優先モードレジスタ	ADGSPMR	16	16	2~3PCLKB	2ICLK		1465	64/48ピン版にはありません。
0008 9100h	S12AD1	A/Dコントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK		1442	64/48ピン版にはありません。
0008 9104h	S12AD1	A/Dチャンネル選択レジスタA	ADANSA	16	16	2~3PCLKB	2ICLK		1445	64/48ピン版にはありません。
0008 9108h	S12AD1	A/D変換値加算モード選択レジスタ	ADADS	16	16	2~3PCLKB	2ICLK		1446	64/48ピン版にはありません。
0008 910Ch	S12AD1	A/D変換値加算回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK		1447	64/48ピン版にはありません。
0008 910Eh	S12AD1	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK		1448	64/48ピン版にはありません。
0008 9110h	S12AD1	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK		1450	64/48ピン版にはありません。
0008 9114h	S12AD1	A/Dチャンネル選択レジスタB	ADANSB	16	16	2~3PCLKB	2ICLK		1446	64/48ピン版にはありません。
0008 9118h	S12AD1	A/Dデータ2重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK		1438	64/48ピン版にはありません。
0008 911Eh	S12AD1	A/D自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK		1441	64/48ピン版にはありません。
0008 9120h	S12AD1	A/Dデータレジスタ0	ADDR0	16	16	2~3PCLKB	2ICLK		1438	64/48ピン版にはありません。
0008 9122h	S12AD1	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLKB	2ICLK		1438	64/48ピン版にはありません。

表6.1 I/Oレジスタアドレス一覧(18/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 9124h	S12AD1	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLKB	2ICLK	S12ADB	1438	64/48ピン版にはありません。
0008 9126h	S12AD1	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLKB	2ICLK		1438	64/48ピン版にはありません。
0008 9160h	S12AD1	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2~3PCLKB	2ICLK		1455	64/48ピン版にはありません。
0008 9166h	S12AD1	サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2~3PCLKB	2ICLK		1456	64/48ピン版にはありません。
0008 9173h	S12AD1	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2~3PCLKB	2ICLK		1455	64/48ピン版にはありません。
0008 9174h	S12AD1	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2~3PCLKB	2ICLK		1455	64/48ピン版にはありません。
0008 9175h	S12AD1	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2~3PCLKB	2ICLK		1455	64/48ピン版にはありません。
0008 9180h	S12AD1	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2~3PCLKB	2ICLK		1457	64/48ピン版にはありません。
0008 9184h	S12AD1	A/Dデータ2重化レジスタA	ADDBLDRA	16	16	2~3PCLKB	2ICLK		1438	64/48ピン版にはありません。
0008 9186h	S12AD1	A/Dデータ2重化レジスタB	ADDBLDRB	16	16	2~3PCLKB	2ICLK		1438	64/48ピン版にはありません。
0008 918Ah	S12AD1	A/Dプログラマブルゲインアンプレジスタ	ADPG	16	16	2~3PCLKB	2ICLK		1464	64/48ピン版にはありません。
0008 91E0h	S12AD1	コンパレータ動作モード選択レジスタ0	ADCMPMD0	16	16	2~3PCLKB	2ICLK		1459	64/48ピン版にはありません。
0008 91E2h	S12AD1	コンパレータ動作モード選択レジスタ1	ADCMPMD1	16	16	2~3PCLKB	2ICLK		1460	64/48ピン版にはありません。
0008 91E4h	S12AD1	コンパレータフィルタモードレジスタ0	ADCMPNR0	16	16	2~3PCLKB	2ICLK		1461	64/48ピン版にはありません。
0008 91E8h	S12AD1	コンパレータ検出フラグレジスタ	ADCMPFR	8	8	2~3PCLKB	2ICLK		1462	64/48ピン版にはありません。
0008 91EAh	S12AD1	コンパレータ割り込み選択レジスタ	ADCMPSEL	16	16	2~3PCLKB	2ICLK		1463	64/48ピン版にはありません。
0008 9800h	AD	A/Dコントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK	AD	1556	64/48ピン版にはありません。
0008 9804h	AD	A/Dチャンネル選択レジスタ0	ADANSA0	16	16	2~3PCLKB	2ICLK		1558	64/48ピン版にはありません。
0008 9806h	AD	A/Dチャンネル選択レジスタ1	ADANSA1	16	16	2~3PCLKB	2ICLK		1558	120/112/100/64/48ピン版にはありません。
0008 9808h	AD	A/D変換値加算モード選択レジスタ0	ADADS0	16	16	2~3PCLKB	2ICLK		1559	64/48ピン版にはありません。
0008 980Ah	AD	A/D変換値加算モード選択レジスタ1	ADADS1	16	16	2~3PCLKB	2ICLK		1559	120/112/100/64/48ピン版にはありません。
0008 980Ch	AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK		1560	64/48ピン版にはありません。
0008 980Eh	AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK		1561	64/48ピン版にはありません。
0008 9810h	AD	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK		1563	64/48ピン版にはありません。
0008 981Eh	AD	A/D自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK		1554	64/48ピン版にはありません。
0008 9820h	AD	A/DデータレジスタA	ADDRA	16	16	2~3PCLKB	2ICLK		1552	64/48ピン版にはありません。
0008 9822h	AD	A/DデータレジスタB	ADDRB	16	16	2~3PCLKB	2ICLK		1552	64/48ピン版にはありません。
0008 9824h	AD	A/DデータレジスタC	ADDRC	16	16	2~3PCLKB	2ICLK		1552	64/48ピン版にはありません。
0008 9826h	AD	A/DデータレジスタD	ADDRD	16	16	2~3PCLKB	2ICLK		1552	64/48ピン版にはありません。
0008 9828h	AD	A/DデータレジスタE	ADDRE	16	16	2~3PCLKB	2ICLK		1552	64/48ピン版にはありません。
0008 982Ah	AD	A/DデータレジスタF	ADDRF	16	16	2~3PCLKB	2ICLK		1552	64/48ピン版にはありません。
0008 982Ch	AD	A/DデータレジスタG	ADDRG	16	16	2~3PCLKB	2ICLK		1552	64/48ピン版にはありません。
0008 982Eh	AD	A/DデータレジスタH	ADDRH	16	16	2~3PCLKB	2ICLK		1552	64/48ピン版にはありません。

表6.1 I/Oレジスタアドレス一覧(19/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 9830h	AD	A/DデータレジスタI	ADDRI	16	16	2~3PCLKB	2ICLK	AD	1552	64/48ピン版にはありません。
0008 9832h	AD	A/DデータレジスタJ	ADDRJ	16	16	2~3PCLKB	2ICLK		1552	64/48ピン版にはありません。
0008 9834h	AD	A/DデータレジスタK	ADDRK	16	16	2~3PCLKB	2ICLK		1552	64/48ピン版にはありません。
0008 9836h	AD	A/DデータレジスタL	ADDRL	16	16	2~3PCLKB	2ICLK		1552	64/48ピン版にはありません。
0008 9838h	AD	A/DデータレジスタM	ADDRM	16	16	2~3PCLKB	2ICLK		1552	120/112/100/64/48ピン版にはありません。
0008 983Ah	AD	A/DデータレジスタN	ADDRN	16	16	2~3PCLKB	2ICLK		1552	120/112/100/64/48ピン版にはありません。
0008 983Ch	AD	A/DデータレジスタO	ADDRO	16	16	2~3PCLKB	2ICLK		1552	120/112/100/64/48ピン版にはありません。
0008 983Eh	AD	A/DデータレジスタP	ADDRP	16	16	2~3PCLKB	2ICLK		1552	120/112/100/64/48ピン版にはありません。
0008 9840h	AD	A/DデータレジスタQ	ADDRQ	16	16	2~3PCLKB	2ICLK		1552	120/112/100/64/48ピン版にはありません。
0008 9842h	AD	A/DデータレジスタR	ADDRR	16	16	2~3PCLKB	2ICLK		1552	120/112/100/64/48ピン版にはありません。
0008 9844h	AD	A/DデータレジスタS	ADDRS	16	16	2~3PCLKB	2ICLK		1552	120/112/100/64/48ピン版にはありません。
0008 9846h	AD	A/DデータレジスタT	ADDRT	16	16	2~3PCLKB	2ICLK		1552	120/112/100/64/48ピン版にはありません。
0008 9860h	AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2~3PCLKB	2ICLK		1566	64/48ピン版にはありません。
0008 9861h	AD	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2~3PCLKB	2ICLK		1567	64/48ピン版にはありません。
0008 9873h	AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2~3PCLKB	2ICLK		1566	64/48ピン版にはありません。
0008 9874h	AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2~3PCLKB	2ICLK		1566	64/48ピン版にはありません。
0008 9875h	AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2~3PCLKB	2ICLK		1566	64/48ピン版にはありません。
0008 9876h	AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2~3PCLKB	2ICLK		1566	64/48ピン版にはありません。
0008 9877h	AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2~3PCLKB	2ICLK		1566	64/48ピン版にはありません。
0008 9878h	AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2~3PCLKB	2ICLK		1566	64/48ピン版にはありません。
0008 9879h	AD	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2~3PCLKB	2ICLK		1566	64/48ピン版にはありません。
0008 987Dh	AD	デジタル電源制御回路出力設定レジスタ	ADDPCONR	8	8	2~3PCLKB	2ICLK		1567	64/48ピン版にはありません。
0008 A000h	SCIO	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	SCIC、SCID	1118	
0008 A001h	SCIO	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		1131	
0008 A002h	SCIO	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		1121	
0008 A003h	SCIO	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		1117	
0008 A004h	SCIO	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		1125	
0008 A005h	SCIO	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		1117	
0008 A006h	SCIO	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		1130	
0008 A007h	SCIO	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		1139	
0008 A008h	SCIO	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		1141	
0008 A009h	SCIO	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		1142	
0008 A00Ah	SCIO	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		1143	
0008 A00Bh	SCIO	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		1144	
0008 A00Ch	SCIO	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		1146	
0008 A00Dh	SCIO	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		1147	
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		1118	
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		1131	
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		1121	

表6.1 I/Oレジスタアドレス一覧(20/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK \geq PCLKの場合	ICLK < PCLKの場合			
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	SCIC、SCID	1117	
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		1125	
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		1117	
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		1130	
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		1139	
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		1141	
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		1142	
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		1143	
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		1144	
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		1146	
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		1147	
0008 A040h	SCI2	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		1118	64/48ピン版にはありません。
0008 A041h	SCI2	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		1131	64/48ピン版にはありません。
0008 A042h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		1121	64/48ピン版にはありません。
0008 A043h	SCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		1117	64/48ピン版にはありません。
0008 A044h	SCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		1125	64/48ピン版にはありません。
0008 A045h	SCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		1117	64/48ピン版にはありません。
0008 A046h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		1130	64/48ピン版にはありません。
0008 A047h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		1139	64/48ピン版にはありません。
0008 A048h	SCI2	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		1141	64/48ピン版にはありません。
0008 A049h	SCI2	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	1142	64/48ピン版にはありません。	
0008 A04Ah	SCI2	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	1143	64/48ピン版にはありません。	
0008 A04Bh	SCI2	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	1144	64/48ピン版にはありません。	
0008 A04Ch	SCI2	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	1146	64/48ピン版にはありません。	
0008 A04Dh	SCI2	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	1147	64/48ピン版にはありません。	
0008 A060h	SCI3	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	1118	100/64/48ピン版にはありません。	
0008 A061h	SCI3	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	1131	100/64/48ピン版にはありません。	
0008 A062h	SCI3	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	1121	100/64/48ピン版にはありません。	
0008 A063h	SCI3	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	1117	100/64/48ピン版にはありません。	
0008 A064h	SCI3	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	1125	100/64/48ピン版にはありません。	
0008 A065h	SCI3	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	1117	100/64/48ピン版にはありません。	
0008 A066h	SCI3	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	1130	100/64/48ピン版にはありません。	
0008 A067h	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	1139	100/64/48ピン版にはありません。	
0008 A068h	SCI3	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	1141	100/64/48ピン版にはありません。	
0008 A069h	SCI3	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	1142	100/64/48ピン版にはありません。	
0008 A06Ah	SCI3	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	1143	100/64/48ピン版にはありません。	
0008 A06Bh	SCI3	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	1144	100/64/48ピン版にはありません。	

表6.1 I/Oレジスタアドレス一覧(21/46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		モジュール 名	参照 ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 A06Ch	SCI3	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	SCIC、SCID	1146	100/64/48ピン版には ありません。
0008 A06Dh	SCI3	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		1147	100/64/48ピン版には ありません。
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	2ICLK	CAC	241	
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	2ICLK		242	
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	2ICLK		243	
0008 B003h	CAC	CAC割り込みコントロールレジスタ	CAICR	8	8	2~3PCLKB	2ICLK		244	
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	2ICLK		245	
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	2ICLK		246	
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	2ICLK		246	
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	2ICLK		246	
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	2ICLK	DOC	1591	
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB	2ICLK		1592	
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB	2ICLK		1592	
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	SCIC、SCID	1118	
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		1131	
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		1121	
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		1117	
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		1125	
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		1117	
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		1130	
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		1139	
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		1141	
0008 B309h	SCI12	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		1142	
0008 B30Ah	SCI12	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		1143	
0008 B30Bh	SCI12	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		1144	
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		1146	
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		1147	
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB	2ICLK		1148	
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2~3PCLKB	2ICLK		1149	
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2~3PCLKB	2ICLK		1150	
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2~3PCLKB	2ICLK		1151	
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2~3PCLKB	2ICLK		1152	
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB	2ICLK		1152	
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB	2ICLK		1153	
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB	2ICLK		1154	
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB	2ICLK		1155	
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2~3PCLKB	2ICLK		1155	
0008 B32Ah	SCI12	Control Field 0コンペアイネーブルレジスタ	CF0CR	8	8	2~3PCLKB	2ICLK		1156	
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2~3PCLKB	2ICLK		1156	
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2~3PCLKB	2ICLK		1156	
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2~3PCLKB	2ICLK		1157	
0008 B32Eh	SCI12	Control Field 1コンペアイネーブルレジスタ	CF1CR	8	8	2~3PCLKB	2ICLK		1157	
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2~3PCLKB	2ICLK		1157	
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK		1158	
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2~3PCLKB	2ICLK		1158	
0008 B332h	SCI12	タイマプリスケラレジスタ	TPRE	8	8	2~3PCLKB	2ICLK		1159	
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2~3PCLKB	2ICLK	1159		
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	I/Oポート	488	48ピン版にはありま せん。
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		488	48ピン版にはありま せん。

表6.1 I/Oレジスタアドレス一覧(22/46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	参照 ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	I/Oポート	488	
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		488	
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		488	
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		488	64/48ピン版には ありません。
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		488	48ピン版にはありま せん。
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		488	
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		488	
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		488	
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		488	64/48ピン版には ありません。
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		488	100/64/48ピン版には ありません。
0008 C010h	PORTG	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		488	100/64/48ピン版には ありません。
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	48ピン版にはありま せん。
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	48ピン版にはありま せん。
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	
0008 C027h	PORT7	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	
0008 C028h	PORT8	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	64/48ピン版には ありません。
0008 C029h	PORT9	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	48ピン版にはありま せん。
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	64/48ピン版には ありません。
0008 C02Fh	PORTF	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	100/64/48ピン版に は ありません。
0008 C030h	PORTG	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		489	100/64/48ピン版に は ありません。
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		490	48ピン版にはありま せん。
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		490	48ピン版にはありま せん。
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		490	
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		490	
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		490	
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		490	64/48ピン版には ありません。
0008 C046h	PORT6	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		490	64/48ピン版には ありません。
0008 C047h	PORT7	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		490	
0008 C048h	PORT8	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	490	64/48ピン版には ありません。	
0008 C049h	PORT9	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	490	48ピン版にはありま せん。	
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	490		
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	490		
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	490	120/112/100/64/48ピ ン版にはありません。	
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	490		
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	490		
0008 C04Fh	PORTF	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	490	100/64/48ピン版には ありません。	

表6.1 I/Oレジスタアドレス一覧(23/46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	参照 ページ	備考
						ICLK \geq PCLKの場合	ICLK $<$ PCLKの場合			
0008 C050h	PORTG	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	I/Oポート	490	100/64/48ピン版にはありません。
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	48ピン版にはありません。
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	48ピン版にはありません。
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	64/48ピン版にはありません。
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	48ピン版にはありません。
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	100/64/48ピン版にはありません。
0008 C070h	PORTG	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		491	100/64/48ピン版にはありません。
0008 C080h	PORT0	オープンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK		492	120/112/100/64/48ピン版にはありません。
0008 C084h	PORT2	オープンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK		492	64/48ピン版にはありません。
0008 C085h	PORT2	オープンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK		492	112/100ピン版にはありません。
0008 C086h	PORT3	オープンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	492	144/120/112/100ピン版にはありません。	
0008 C087h	PORT3	オープンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	492	120/112/100/64/48ピン版にはありません。	
0008 C090h	PORT8	オープンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	492	64/48ピン版にはありません。	
0008 C092h	PORT9	オープンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	492	144/120/112/100/48ピン版にはありません。	
0008 C093h	PORT9	オープンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	492	48ピン版にはありません。	
0008 C094h	PORTA	オープンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	492	64/48ピン版にはありません。	
0008 C095h	PORTA	オープンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	492	64/48ピン版にはありません。	
0008 C096h	PORTB	オープンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	492		
0008 C097h	PORTB	オープンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	492		
0008 C09Ah	PORTD	オープンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	492		
0008 C09Bh	PORTD	オープンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	492		
0008 C09Eh	PORTF	オープンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	492	100/64/48ピン版にはありません。	
0008 C0A0h	PORTG	オープンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	492	100/64/48ピン版にはありません。	
0008 C0A1h	PORTG	オープンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	492	100/64/48ピン版にはありません。	
0008 C0F2h	PORT	駆動能力制御レジスタ1	DSCR1	8	8	2~3PCLKB	2ICLK	493	64/48ピン版にはありません。	
0008 C0F3h	PORT	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	494	64/48ピン版にはありません。	
0008 C100h	MPC	CS出力許可レジスタ	PFCSE	8	8	2~3PCLKB	2ICLK	MPC	525	64/48ピン版にはありません。
0008 C102h	MPC	CS出力端子選択レジスタ0	PFCSS0	8	8	2~3PCLKB	2ICLK		526	64/48ピン版にはありません。
0008 C104h	MPC	アドレス出力許可レジスタ0	PFAOE0	8	8	2~3PCLKB	2ICLK		527	64/48ピン版にはありません。

表6.1 I/Oレジスタアドレス一覧(24/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合			
0008 C105h	MPC	アドレス出力許可レジスタ1	PFAOE1	8	8	2~3PCLKB	2ICLK	MPC	527	64/48ピン版にはありません。
0008 C106h	MPC	外部バス制御レジスタ0	PFBCR0	8	8	2~3PCLKB	2ICLK		528	64/48ピン版にはありません。
0008 C107h	MPC	外部バス制御レジスタ1	PFBCR1	8	8	2~3PCLKB	2ICLK		528	64/48ピン版にはありません。
0008 C114h	MPC	USB0制御レジスタ	PFUSB0	8	8	2~3PCLKB	2ICLK		529	112/100/64/48ピン版にはありません。
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	2ICLK		504	
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2~3PCLKB	2ICLK		505	48ピン版にはありません。
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2~3PCLKB	2ICLK		505	48ピン版にはありません。
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2~3PCLKB	2ICLK		505	120/112/100/64/48ピン版にはありません。
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2~3PCLKB	2ICLK		505	120/112/100/64/48ピン版にはありません。
0008 C148h	MPC	P10端子機能制御レジスタ	P10PFS	8	8	2~3PCLKB	2ICLK		507	48ピン版にはありません。
0008 C149h	MPC	P11端子機能制御レジスタ	P11PFS	8	8	2~3PCLKB	2ICLK		507	48ピン版にはありません。
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2~3PCLKB	2ICLK		507	100/64/48ピン版にはありません。
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2~3PCLKB	2ICLK		507	112/100/64/48ピン版にはありません。
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	2ICLK		507	120/112/100/64/48ピン版にはありません。
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2~3PCLKB	2ICLK		508	64/48ピン版にはありません。
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2~3PCLKB	2ICLK		508	64/48ピン版にはありません。
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2~3PCLKB	2ICLK		508	
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2~3PCLKB	2ICLK		508	
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2~3PCLKB	2ICLK		508	
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2~3PCLKB	2ICLK		508	112/100/64/48ピン版にはありません。
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	2ICLK		508	112/100/64/48ピン版にはありません。
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	2ICLK		510	
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	2ICLK		510	48ピン版にはありません。
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	2ICLK		510	48ピン版にはありません。
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2~3PCLKB	2ICLK		510	48ピン版にはありません。
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2~3PCLKB	2ICLK		510	120/112/100/64/48ピン版にはありません。
0008 C15Dh	MPC	P35端子機能制御レジスタ	P35PFS	8	8	2~3PCLKB	2ICLK		510	120/112/100/64/48ピン版にはありません。
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	2ICLK		512	
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	2ICLK		512	
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	2ICLK		512	
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	2ICLK		512	
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	2ICLK		512	
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2~3PCLKB	2ICLK		512	48ピン版にはありません。
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	2ICLK		512	48ピン版にはありません。
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2~3PCLKB	2ICLK		512	
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2~3PCLKB	2ICLK		512	64/48ピン版にはありません。
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2~3PCLKB	2ICLK		512	64/48ピン版にはありません。

表6.1 I/Oレジスタアドレス一覧(25/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2~3PCLKB	2ICLK	MPC	512	64/48ピン版にはありません。
0008 C16Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8	2~3PCLKB	2ICLK		512	64/48ピン版にはありません。
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB	2ICLK		512	64/48ピン版にはありません。
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB	2ICLK		512	64/48ピン版にはありません。
0008 C16Eh	MPC	P56端子機能制御レジスタ	P56PFS	8	8	2~3PCLKB	2ICLK		512	120/112/100/64/48ピン版にはありません。
0008 C16Fh	MPC	P57端子機能制御レジスタ	P57PFS	8	8	2~3PCLKB	2ICLK		512	120/112/100/64/48ピン版にはありません。
0008 C170h	MPC	P60端子機能制御レジスタ	P60PFS	8	8	2~3PCLKB	2ICLK		512	64/48ピン版にはありません。
0008 C171h	MPC	P61端子機能制御レジスタ	P61PFS	8	8	2~3PCLKB	2ICLK		512	64/48ピン版にはありません。
0008 C172h	MPC	P62端子機能制御レジスタ	P62PFS	8	8	2~3PCLKB	2ICLK		512	64/48ピン版にはありません。
0008 C173h	MPC	P63端子機能制御レジスタ	P63PFS	8	8	2~3PCLKB	2ICLK		512	64/48ピン版にはありません。
0008 C174h	MPC	P64端子機能制御レジスタ	P64PFS	8	8	2~3PCLKB	2ICLK		512	64/48ピン版にはありません。
0008 C175h	MPC	P65端子機能制御レジスタ	P65PFS	8	8	2~3PCLKB	2ICLK		512	64/48ピン版にはありません。
0008 C178h	MPC	P70端子機能制御レジスタ	P70PFS	8	8	2~3PCLKB	2ICLK		513	
0008 C179h	MPC	P71端子機能制御レジスタ	P71PFS	8	8	2~3PCLKB	2ICLK		513	
0008 C17Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8	2~3PCLKB	2ICLK		513	
0008 C17Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8	2~3PCLKB	2ICLK		513	
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2~3PCLKB	2ICLK		513	
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2~3PCLKB	2ICLK		513	
0008 C17Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8	2~3PCLKB	2ICLK		513	
0008 C180h	MPC	P80端子機能制御レジスタ	P80PFS	8	8	2~3PCLKB	2ICLK		514	64/48ピン版にはありません。
0008 C181h	MPC	P81端子機能制御レジスタ	P81PFS	8	8	2~3PCLKB	2ICLK		514	64/48ピン版にはありません。
0008 C182h	MPC	P82端子機能制御レジスタ	P82PFS	8	8	2~3PCLKB	2ICLK		514	64/48ピン版にはありません。
0008 C188h	MPC	P90端子機能制御レジスタ	P90PFS	8	8	2~3PCLKB	2ICLK		515	64/48ピン版にはありません。
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2~3PCLKB	2ICLK		515	48ピン版にはありません。
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2~3PCLKB	2ICLK		515	48ピン版にはありません。
0008 C18Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8	2~3PCLKB	2ICLK		515	48ピン版にはありません。
0008 C18Ch	MPC	P94端子機能制御レジスタ	P94PFS	8	8	2~3PCLKB	2ICLK		515	48ピン版にはありません。
0008 C18Dh	MPC	P95端子機能制御レジスタ	P95PFS	8	8	2~3PCLKB	2ICLK		515	64/48ピン版にはありません。
0008 C18Eh	MPC	P96端子機能制御レジスタ	P96PFS	8	8	2~3PCLKB	2ICLK		515	64/48ピン版にはありません。
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	2ICLK		516	64/48ピン版にはありません。
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	2ICLK		516	64/48ピン版にはありません。
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	2ICLK		516	
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	2ICLK		516	
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	2ICLK		516	48ピン版にはありません。
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	2ICLK		516	48ピン版にはありません。
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	2ICLK		516	120/112/100/64/48ピン版にはありません。

表6.1 I/Oレジスタアドレス一覧(26/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	2ICLK	MPC	518	
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	2ICLK		518	
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2~3PCLKB	2ICLK		518	
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	2ICLK		518	
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2~3PCLKB	2ICLK		518	
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	2ICLK		518	
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	2ICLK		518	
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	2ICLK		518	48ピン版にはありません。
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2~3PCLKB	2ICLK		520	120/112/100/64/48ピン版にはありません。
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2~3PCLKB	2ICLK		520	120/112/100/64/48ピン版にはありません。
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB	2ICLK		520	120/112/100/64/48ピン版にはありません。
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB	2ICLK		520	120/112/100/64/48ピン版にはありません。
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB	2ICLK		520	120/112/100/64/48ピン版にはありません。
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB	2ICLK		520	120/112/100/64/48ピン版にはありません。
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2~3PCLKB	2ICLK		520	64/48ピン版にはありません。
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2~3PCLKB	2ICLK		520	64/48ピン版にはありません。
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2~3PCLKB	2ICLK		520	64/48ピン版にはありません。
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2~3PCLKB	2ICLK		520	
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2~3PCLKB	2ICLK		520	
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2~3PCLKB	2ICLK		520	
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2~3PCLKB	2ICLK		520	
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2~3PCLKB	2ICLK		520	
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB	2ICLK		522	64/48ピン版にはありません。
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB	2ICLK		522	64/48ピン版にはありません。
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	2ICLK		522	
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	2ICLK		522	64/48ピン版にはありません。
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	2ICLK		522	64/48ピン版にはありません。
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	2ICLK		522	64/48ピン版にはありません。
0008 C1BAh	MPC	PF2端子機能制御レジスタ	PF2PFS	8	8	2~3PCLKB	2ICLK		523	100/64/48ピン版にはありません。
0008 C1BBh	MPC	PF3端子機能制御レジスタ	PF3PFS	8	8	2~3PCLKB	2ICLK		523	100/64/48ピン版にはありません。
0008 C1C0h	MPC	PG0端子機能制御レジスタ	PG0PFS	8	8	2~3PCLKB	2ICLK		524	100/64/48ピン版にはありません。
0008 C1C1h	MPC	PG1端子機能制御レジスタ	PG1PFS	8	8	2~3PCLKB	2ICLK		524	100/64/48ピン版にはありません。
0008 C1C2h	MPC	PG2端子機能制御レジスタ	PG2PFS	8	8	2~3PCLKB	2ICLK		524	100/64/48ピン版にはありません。
0008 C1C3h	MPC	PG3端子機能制御レジスタ	PG3PFS	8	8	2~3PCLKB	2ICLK		524	100/64/48ピン版にはありません。
0008 C1C4h	MPC	PG4端子機能制御レジスタ	PG4PFS	8	8	2~3PCLKB	2ICLK		524	100/64/48ピン版にはありません。
0008 C1C5h	MPC	PG5端子機能制御レジスタ	PG5PFS	8	8	2~3PCLKB	2ICLK		524	100/64/48ピン版にはありません。
0008 C1C6h	MPC	PG6端子機能制御レジスタ	PG6PFS	8	8	2~3PCLKB	2ICLK		524	112/100/64/48ピン版にはありません。

表6.1 I/O レジスタアドレス一覧 (27 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 C1D0h	MPC	USB0_DPUPE 端子機能制御レジスタ	UDPUPEPFS	8	8	2~3PCLKB	2ICLK	MPC	525	112/100/64/48ピン版にはありません。
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能	263	
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ0	DPSIER0	8	8	4~5PCLKB	2~3ICLK		264	
0008 C284h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ2	DPSIER2	8	8	4~5PCLKB	2~3ICLK		265	
0008 C286h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ0	DPSIFR0	8	8	4~5PCLKB	2~3ICLK		266	
0008 C288h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ2	DPSIFR2	8	8	4~5PCLKB	2~3ICLK		267	
0008 C28Ah	SYSTEM	ディープスタンバイインタラプトエッジレジスタ0	DPSIEGR0	8	8	4~5PCLKB	2~3ICLK		268	
0008 C28Ch	SYSTEM	ディープスタンバイインタラプトエッジレジスタ2	DPSIEGR2	8	8	4~5PCLKB	2~3ICLK		269	
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	2~3ICLK	リセット	184	
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	2~3ICLK		186	
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB	2~3ICLK	クロック発生回路	228	
0008 C296h	FLASH	フラッシュ P/E プロテクトレジスタ	FWEPOR	8	8	4~5PCLKB	2~3ICLK	ROM	1628	
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	2~3ICLK	LVDA	207	
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLR	8	8	4~5PCLKB	2~3ICLK		208	
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	2~3ICLK		209	
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	2~3ICLK		210	
0008 C2A0h ~ 0008 C2BFh	SYSTEM	ディープスタンバイバックアップレジスタ0~31	DPSBKRO ~ 31	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能	269	
0008 C300h	ICU	グループ0割り込み要因レジスタ	GRP00	32	32	1~2PCLKB	2ICLK	ICUb	305	64/48ピン版にはありません。
0008 C330h	ICU	グループ12割り込み要因レジスタ	GRP12	32	32	1~2PCLKB	2ICLK		306	
0008 C340h	ICU	グループ0割り込み許可レジスタ	GEN00	32	32	1~2PCLKB	2ICLK		307	64/48ピン版にはありません。
0008 C370h	ICU	グループ12割り込み許可レジスタ	GEN12	32	32	1~2PCLKB	2ICLK		308	
0008 C380h	ICU	グループ0割り込みクリアレジスタ	GCR00	32	32	1~2PCLKB	2ICLK		309	64/48ピン版にはありません。
0008 C4C0h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8、16	2~3PCLKB	2ICLK		POE3	766
0008 C4C2h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8、16	2~3PCLKB	2ICLK	769		
0008 C4C4h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8、16	2~3PCLKB	2ICLK	768		64/48ピン版にはありません。
0008 C4C6h	POE	出力レベルコントロール/ステータスレジスタ2	OCSR2	16	8、16	2~3PCLKB	2ICLK	770		64/48ピン版にはありません。
0008 C4C8h	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8、16	2~3PCLKB	2ICLK	775		
0008 C4CAh	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2~3PCLKB	2ICLK	783		
0008 C4CBh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2~3PCLKB	2ICLK	786		
0008 C4CCh	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	16	16	2~3PCLKB	2ICLK	787		
0008 C4CEh	POE	ポートアウトブッティネーブルコントロールレジスタ3	POECR3	16	16	2~3PCLKB	2ICLK	790		
0008 C4D0h	POE	ポートアウトブッティネーブルコントロールレジスタ4	POECR4	16	16	2~3PCLKB	2ICLK	792		
0008 C4D2h	POE	ポートアウトブッティネーブルコントロールレジスタ5	POECR5	16	16	2~3PCLKB	2ICLK	795		
0008 C4D4h	POE	ポートアウトブッティネーブルコントロールレジスタ6	POECR6	16	16	2~3PCLKB	2ICLK	797		

表6.1 I/Oレジスタアドレス一覧(28/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 C4D6h	POE	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	8、16	2~3PCLKB	2ICLK	POE3	777	
0008 C4D8h	POE	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	8、16	2~3PCLKB	2ICLK		779	
0008 C4DAh	POE	アクティブレベルレジスタ1	ALR1	16	8、16	2~3PCLKB	2ICLK		771	
0008 C4DCh	POE	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16	2~3PCLKB	2ICLK		802	
0008 C4DEh	POE	アクティブレベルレジスタ2	ALR2	16	8、16	2~3PCLKB	2ICLK		773	64/48ピン版にはありません。
0008 C4E0h	POE	入力レベルコントロール/ステータスレジスタ7	ICSR7	16	8、16	2~3PCLKB	2ICLK		781	64/48ピン版にはありません。
0008 C4E2h	POE	ポートアウトプットイネーブルコントロールレジスタ7	POECR7	16	16	2~3PCLKB	2ICLK		800	64/48ピン版にはありません。
0008 C4E4h	POE	ポートアウトプットイネーブルコントロールレジスタ8	POECR8	16	16	2~3PCLKB	2ICLK		801	64/48ピン版にはありません。
0009 1200h ~ 0009 13FFh	CAN1	メールボックスレジスタ0~31	MB0~31	128	8、16、32	2~3PCLKB	2ICLK	CAN	1309	64/48ピン版にはありません。
0009 1400h ~ 0009 141Ch	CAN1	マスクレジスタ0~7	MKR0~7	32	8、16、32	2~3PCLKB	2ICLK		1306	64/48ピン版にはありません。
0009 1420h	CAN1	FIFO受信ID比較レジスタ0	FIDCR0	32	8、16、32	2~3PCLKB	2ICLK		1307	64/48ピン版にはありません。
0009 1424h	CAN1	FIFO受信ID比較レジスタ1	FIDCR1	32	8、16、32	2~3PCLKB	2ICLK		1307	64/48ピン版にはありません。
0009 1428h	CAN1	マスク無効レジスタ	MKIVLR	32	8、16、32	2~3PCLKB	2ICLK		1308	64/48ピン版にはありません。
0009 142Ch	CAN1	メールボックス割り込み許可レジスタ	MIER	32	8、16、32	2~3PCLKB	2ICLK		1312	64/48ピン版にはありません。
0009 1820h ~ 0009 183Fh	CAN1	メッセージ制御レジスタ0~31	MCTL0~31	8	8	2~3PCLKB	2ICLK		1314	64/48ピン版にはありません。
0009 1840h	CAN1	制御レジスタ	CTLR	16	8、16	2~3PCLKB	2ICLK		1300	64/48ピン版にはありません。
0009 1842h	CAN1	ステータスレジスタ	STR	16	8、16	2~3PCLKB	2ICLK		1322	64/48ピン版にはありません。
0009 1844h	CAN1	ビットコンフィグレーションレジスタ	BCR	32	8、16、32	2~3PCLKB	2ICLK		1304	64/48ピン版にはありません。
0009 1848h	CAN1	受信FIFO制御レジスタ	RFCR	8	8	2~3PCLKB	2ICLK		1317	64/48ピン版にはありません。
0009 1849h	CAN1	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2~3PCLKB	2ICLK		1319	64/48ピン版にはありません。
0009 184Ah	CAN1	送信FIFO制御レジスタ	TFCR	8	8	2~3PCLKB	2ICLK		1320	64/48ピン版にはありません。
0009 184Bh	CAN1	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2~3PCLKB	2ICLK		1321	64/48ピン版にはありません。
0009 184Ch	CAN1	エラー割り込み許可レジスタ	EIER	8	8	2~3PCLKB	2ICLK		1328	64/48ピン版にはありません。
0009 184Dh	CAN1	エラー割り込み要因判定レジスタ	EIFR	8	8	2~3PCLKB	2ICLK		1329	64/48ピン版にはありません。
0009 184Eh	CAN1	受信エラーカウントレジスタ	RECR	8	8	2~3PCLKB	2ICLK		1331	64/48ピン版にはありません。
0009 184Fh	CAN1	送信エラーカウントレジスタ	TECR	8	8	2~3PCLKB	2ICLK		1332	64/48ピン版にはありません。
0009 1850h	CAN1	エラーコード格納レジスタ	ECSR	8	8	2~3PCLKB	2ICLK		1332	64/48ピン版にはありません。
0009 1851h	CAN1	チャネルサーチサポートレジスタ	CSSR	8	8	2~3PCLKB	2ICLK		1326	64/48ピン版にはありません。
0009 1852h	CAN1	メールボックスサーチステータスレジスタ	MSSR	8	8	2~3PCLKB	2ICLK		1325	64/48ピン版にはありません。
0009 1853h	CAN1	メールボックスサーチモードレジスタ	MSMR	8	8	2~3PCLKB	2ICLK		1324	64/48ピン版にはありません。
0009 1854h	CAN1	タイムスタンプレジスタ	TSR	16	8、16	2~3PCLKB	2ICLK		1333	64/48ピン版にはありません。
0009 1856h	CAN1	アクセプタンスフィルタサポートレジスタ	AFSR	16	8、16	2~3PCLKB	2ICLK		1327	64/48ピン版にはありません。

表6.1 I/Oレジスタアドレス一覧(29/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK \geq PCLKの場合	ICLK < PCLKの場合			
0009 1858h	CAN1	テスト制御レジスタ	TCR	8	8	2~3PCLKB	2ICLK	CAN	1334	64/48ピン版にはありません。
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3~4PCLKB	2~3ICLK	USBa	1014	112/100/64/48ピン版にはありません。
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLKB以上			1016	112/100/64/48ピン版にはありません。
000A 0008h	USB0	デバイススタートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB以上			1017	112/100/64/48ピン版にはありません。
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	8、16	3~4PCLKB	2~3ICLK		1020	112/100/64/48ピン版にはありません。
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	8、16	3~4PCLKB	2~3ICLK		1020	112/100/64/48ピン版にはありません。
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	8、16	3~4PCLKB	2~3ICLK		1020	112/100/64/48ピン版にはありません。
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3~4PCLKB	2~3ICLK		1022	112/100/64/48ピン版にはありません。
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3~4PCLKB	2~3ICLK		1026	112/100/64/48ピン版にはありません。
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3~4PCLKB	2~3ICLK		1024	112/100/64/48ピン版にはありません。
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3~4PCLKB	2~3ICLK		1026	112/100/64/48ピン版にはありません。
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3~4PCLKB	2~3ICLK		1024	112/100/64/48ピン版にはありません。
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3~4PCLKB	2~3ICLK		1026	112/100/64/48ピン版にはありません。
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上(注1)		1028	112/100/64/48ピン版にはありません。
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上(注1)		1029	112/100/64/48ピン版にはありません。
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上(注1)		1030	112/100/64/48ピン版にはありません。
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上(注1)		1031	112/100/64/48ピン版にはありません。
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上(注1)		1032	112/100/64/48ピン版にはありません。
000A 003Ch	USB0	SOF出カコンフィギュレーションレジスタ	SOFCFG	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上(注1)		1033	112/100/64/48ピン版にはありません。
000A 0040h	USB0	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上(注1)		1034	112/100/64/48ピン版にはありません。
000A 0042h	USB0	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上(注1)		1029	112/100/64/48ピン版にはありません。
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上(注1)	1040	112/100/64/48ピン版にはありません。	
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上(注1)	1041	112/100/64/48ピン版にはありません。	
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上(注1)	1042	112/100/64/48ピン版にはありません。	

表6.1 I/Oレジスタアドレス一覧(30/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合			
000A 004Ch	USB0	フレームナンバーレジスタ	FRMNUM	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)	USBa	1043	112/100/64/48ピン版にはありません。
000A 004Eh	USB0	デバイスステート切り替えレジスタ	DVCHGR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1044	112/100/64/48ピン版にはありません。
000A 0050h	USB0	USBアドレスレジスタ	USBADDR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1045	112/100/64/48ピン版にはありません。
000A 0054h	USB0	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1046	112/100/64/48ピン版にはありません。
000A 0056h	USB0	USBリクエストバリューレジスタ	USBVAL	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1047	112/100/64/48ピン版にはありません。
000A 0058h	USB0	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1048	112/100/64/48ピン版にはありません。
000A 005Ah	USB0	USBリクエストレンクスレジスタ	USBLENG	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1049	112/100/64/48ピン版にはありません。
000A 005Ch	USB0	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1050	112/100/64/48ピン版にはありません。
000A 005Eh	USB0	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1051	112/100/64/48ピン版にはありません。
000A 0060h	USB0	DCPコントロールレジスタ	DCPCTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1052	112/100/64/48ピン版にはありません。
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1055	112/100/64/48ピン版にはありません。
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1056	112/100/64/48ピン版にはありません。
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PEMAXP	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1058	112/100/64/48ピン版にはありません。
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1059	112/100/64/48ピン版にはありません。
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1060	112/100/64/48ピン版にはありません。
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1060	112/100/64/48ピン版にはありません。
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1060	112/100/64/48ピン版にはありません。
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1060	112/100/64/48ピン版にはありません。
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数の整数切り上げ以上) ^(注1)		1060	112/100/64/48ピン版にはありません。

表6.1 I/Oレジスタアドレス一覧(31/46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	参照 ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)	USBa	1065	112/100/64/48ピン版 にはありません。
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1065	112/100/64/48ピン版 にはありません。
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1065	112/100/64/48ピン版 にはありません。
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1065	112/100/64/48ピン版 にはありません。
000A 0090h	USB0	パイプ1トランザクションカウンタ イネーブルレジスタ	PIPE1TRE	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1067	112/100/64/48ピン版 にはありません。
000A 0092h	USB0	パイプ1トランザクションカウンタ レジスタ	PIPE1TRN	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1068	112/100/64/48ピン版 にはありません。
000A 0094h	USB0	パイプ2トランザクションカウンタ イネーブルレジスタ	PIPE2TRE	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1067	112/100/64/48ピン版 にはありません。
000A 0096h	USB0	パイプ2トランザクションカウンタ レジスタ	PIPE2TRN	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1068	112/100/64/48ピン版 にはありません。
000A 0098h	USB0	パイプ3トランザクションカウンタ イネーブルレジスタ	PIPE3TRE	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1067	112/100/64/48ピン版 にはありません。
000A 009Ah	USB0	パイプ3トランザクションカウンタ レジスタ	PIPE3TRN	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1068	112/100/64/48ピン版 にはありません。
000A 009Ch	USB0	パイプ4トランザクションカウンタ イネーブルレジスタ	PIPE4TRE	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1067	112/100/64/48ピン版 にはありません。
000A 009Eh	USB0	パイプ4トランザクションカウンタ レジスタ	PIPE4TRN	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1068	112/100/64/48ピン版 にはありません。
000A 00A0h	USB0	パイプ5トランザクションカウンタ イネーブルレジスタ	PIPE5TRE	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1067	112/100/64/48ピン版 にはありません。
000A 00A2h	USB0	パイプ5トランザクションカウンタ レジスタ	PIPE5TRN	16	16	9PCLKB以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上(注1)		1068	112/100/64/48ピン版 にはありません。
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8、16、 32	4~5PCLKA	2~3ICLK	MTU3	539	
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	2~3ICLK		539	
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8、16	4~5PCLKA	2~3ICLK		543	
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	2~3ICLK		543	
000C 1204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8、16、 32	4~5PCLKA	2~3ICLK		546	
000C 1205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	2~3ICLK		547	
000C 1206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8、16	4~5PCLKA	2~3ICLK		546	
000C 1207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	2~3ICLK		547	
000C 1208h	MTU3	タイマインタラプトイネーブル レジスタ	TIER	8	8、16	4~5PCLKA	2~3ICLK		564	
000C 1209h	MTU4	タイマインタラプトイネーブル レジスタ	TIER	8	8	4~5PCLKA	2~3ICLK		564	
000C 120Ah	MTU	タイマアウトプットマスタイネー ブルレジスタA	TOERA	8	8	4~5PCLKA	2~3ICLK		583	
000C 120Dh	MTU	タイマゲートコントロールレジスタ A	TGCRA	8	8	4~5PCLKA	2~3ICLK		591	

表6.1 I/Oレジスタアドレス一覧(32/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 120Eh	MTU	タイマアウトプットコントロールレジスタ1A	TOCR1A	8	8、16	4~5PCLKA	2~3ICLK	MTU3	585	
000C 120Fh	MTU	タイマアウトプットコントロールレジスタ2A	TOCR2A	8	8	4~5PCLKA	2~3ICLK		587	
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16、32	4~5PCLKA	2~3ICLK	574		
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	4~5PCLKA	2~3ICLK	574		
000C 1214h	MTU	タイマ周期データレジスタA	TCORA	16	16、32	4~5PCLKA	2~3ICLK	592		
000C 1216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16	4~5PCLKA	2~3ICLK	593		
000C 1218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16、32	4~5PCLKA	2~3ICLK	575		
000C 121Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	2~3ICLK	575		
000C 121Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16、32	4~5PCLKA	2~3ICLK	575		
000C 121Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	2~3ICLK	575		
000C 1220h	MTU	タイマサブカウンタA	TCNTSA	16	16、32	4~5PCLKA	2~3ICLK	592		
000C 1222h	MTU	タイマ周期パッファレジスタA	TCBRA	16	16	4~5PCLKA	2~3ICLK	592		
000C 1224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16、32	4~5PCLKA	2~3ICLK	575		
000C 1226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	4~5PCLKA	2~3ICLK	575		
000C 1228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16、32	4~5PCLKA	2~3ICLK	575		
000C 122Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	4~5PCLKA	2~3ICLK	575		
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8、16	4~5PCLKA	2~3ICLK	567		
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	2~3ICLK	567		
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8、16	4~5PCLKA	2~3ICLK	604		
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	4~5PCLKA	2~3ICLK	607		
000C 1232h	MTU	タイマパッファ転送設定レジスタA	TBTERA	8	8	4~5PCLKA	2~3ICLK	595		
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	4~5PCLKA	2~3ICLK	594		
000C 1236h	MTU	タイマアウトプットレベルパッファレジスタA	TOLBRA	8	8	4~5PCLKA	2~3ICLK	590		
000C 1238h	MTU3	タイマパッファ動作転送モードレジスタ	TBTM	8	8、16	4~5PCLKA	2~3ICLK	572		
000C 1239h	MTU4	タイマパッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	2~3ICLK	572		
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	4~5PCLKA	2~3ICLK	603		
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8	4~5PCLKA	2~3ICLK	609		
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8	4~5PCLKA	2~3ICLK	611		
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4~5PCLKA	2~3ICLK	598		
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16、32	4~5PCLKA	2~3ICLK	602		
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4~5PCLKA	2~3ICLK	602		
000C 1248h	MTU4	タイマA/D変換開始要求周期設定パッファレジスタA	TADCOBRA	16	16、32	4~5PCLKA	2~3ICLK	602		
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定パッファレジスタB	TADCOBRB	16	16	4~5PCLKA	2~3ICLK	602		
000C 1260h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8	4~5PCLKA	2~3ICLK	596		
000C 1270h	MTU	タイマモードレジスタ2A	TMDR2A	8	8	4~5PCLKA	2~3ICLK	546		
000C 1272h	MTU3	タイマジェネラルレジスタE	TGRE	16	16	4~5PCLKA	2~3ICLK	575		
000C 1274h	MTU4	タイマジェネラルレジスタE	TGRE	16	16	4~5PCLKA	2~3ICLK	575		
000C 1276h	MTU4	タイマジェネラルレジスタF	TGRF	16	16	4~5PCLKA	2~3ICLK	575		
000C 1280h	MTU	タイマスタートレジスタA	TSTRA	8	8、16	4~5PCLKA	2~3ICLK	576		
000C 1281h	MTU	タイマシンクロレジスタA	TSYRA	8	8	4~5PCLKA	2~3ICLK	578		
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	4~5PCLKA	2~3ICLK	580		
000C 1284h	MTU	タイマリードライトイネーブルレジスタA	TRWERA	8	8	4~5PCLKA	2~3ICLK	582		
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8、16、32	4~5PCLKA	2~3ICLK	539		
000C 1301h	MTU0	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	2~3ICLK	543		
000C 1302h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8、16	4~5PCLKA	2~3ICLK	546		
000C 1303h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	2~3ICLK	547		
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8、16、32	4~5PCLKA	2~3ICLK	564		
000C 1305h	MTU0	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	2~3ICLK	567		

表6.1 I/Oレジスタアドレス一覧(33/46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	参照 ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	4~5PCLKA	2~3ICLK	MTU3	574	
000C 1308h	MTU0	タイマジェネラルレジスタA	TGRA	16	16、32	4~5PCLKA	2~3ICLK		575	
000C 130Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	2~3ICLK		575	
000C 130Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16、32	4~5PCLKA	2~3ICLK		575	
000C 130Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	4~5PCLKA	2~3ICLK		575	
000C 1320h	MTU0	タイマジェネラルレジスタE	TGRE	16	16、32	4~5PCLKA	2~3ICLK		575	
000C 1322h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	4~5PCLKA	2~3ICLK		575	
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ2	TIER2	8	8、16	4~5PCLKA	2~3ICLK		566	
000C 1325h	MTU0	タイマステータスレジスタ2	TSR2	8	8	4~5PCLKA	2~3ICLK		570	
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	2~3ICLK		572	
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8、16	4~5PCLKA	2~3ICLK		539	
000C 1381h	MTU1	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	2~3ICLK		543	
000C 1382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	4~5PCLKA	2~3ICLK		546	
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8、16、32	4~5PCLKA	2~3ICLK		564	
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	2~3ICLK		567	
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	4~5PCLKA	2~3ICLK		574	
000C 1388h	MTU1	タイマジェネラルレジスタA	TGRA	16	16、32	4~5PCLKA	2~3ICLK		575	
000C 138Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	2~3ICLK		575	
000C 1390h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	4~5PCLKA	2~3ICLK		573	
000C 1400h	MTU2	タイマコントロールレジスタ	TCR	8	8、16	4~5PCLKA	2~3ICLK		539	
000C 1401h	MTU2	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	2~3ICLK		543	
000C 1402h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	4~5PCLKA	2~3ICLK		546	
000C 1404h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8、16、32	4~5PCLKA	2~3ICLK		564	
000C 1405h	MTU2	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	2~3ICLK		567	
000C 1406h	MTU2	タイマカウンタ	TCNT	16	16	4~5PCLKA	2~3ICLK		574	
000C 1408h	MTU2	タイマジェネラルレジスタA	TGRA	16	16、32	4~5PCLKA	2~3ICLK		575	
000C 140Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	2~3ICLK		575	
000C 1A00h	MTU6	タイマコントロールレジスタ	TCR	8	8、16、32	4~5PCLKA	2~3ICLK	539		
000C 1A01h	MTU7	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	2~3ICLK	539		
000C 1A02h	MTU6	タイマモードレジスタ1	TMDR1	8	8、16	4~5PCLKA	2~3ICLK	543		
000C 1A03h	MTU7	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	2~3ICLK	543		
000C 1A04h	MTU6	タイマI/OコントロールレジスタH	TIORH	8	8、16、32	4~5PCLKA	2~3ICLK	546		
000C 1A05h	MTU6	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	2~3ICLK	547		
000C 1A06h	MTU7	タイマI/OコントロールレジスタH	TIORH	8	8、16	4~5PCLKA	2~3ICLK	546		
000C 1A07h	MTU7	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	2~3ICLK	547		
000C 1A08h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8、16	4~5PCLKA	2~3ICLK	564		
000C 1A09h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	2~3ICLK	564		
000C 1A0Ah	MTU	タイマアウトプットマスタイネーブルレジスタB	TOERB	8	8	4~5PCLKA	2~3ICLK	584		
000C 1A0Eh	MTU	タイマアウトプットコントロールレジスタ1B	TOCR1B	8	8、16	4~5PCLKA	2~3ICLK	585		
000C 1A0Fh	MTU	タイマアウトプットコントロールレジスタ2B	TOCR2B	8	8	4~5PCLKA	2~3ICLK	587		
000C 1A10h	MTU6	タイマカウンタ	TCNT	16	16、32	4~5PCLKA	2~3ICLK	574		
000C 1A12h	MTU7	タイマカウンタ	TCNT	16	16	4~5PCLKA	2~3ICLK	574		
000C 1A14h	MTU	タイマ周期データレジスタB	TCDRB	16	16、32	4~5PCLKA	2~3ICLK	592		
000C 1A16h	MTU	タイマデッドタイムデータレジスタB	TDDRb	16	16	4~5PCLKA	2~3ICLK	593		
000C 1A18h	MTU6	タイマジェネラルレジスタA	TGRA	16	16、32	4~5PCLKA	2~3ICLK	575		
000C 1A1Ah	MTU6	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	2~3ICLK	575		
000C 1A1Ch	MTU7	タイマジェネラルレジスタA	TGRA	16	16、32	4~5PCLKA	2~3ICLK	575		
000C 1A1Eh	MTU7	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	2~3ICLK	575		

表6.1 I/Oレジスタアドレス一覧(34/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 1A20h	MTU	タイマサブカウンタB	TCNTSB	16	16、32	4~5PCLKA	2~3ICLK	MTU3	592	
000C 1A22h	MTU	タイマ周期バッファレジスタB	TCBRB	16	16	4~5PCLKA	2~3ICLK		593	
000C 1A24h	MTU6	タイマジェネラルレジスタC	TGRC	16	16、32	4~5PCLKA	2~3ICLK		575	
000C 1A26h	MTU6	タイマジェネラルレジスタD	TGRD	16	16	4~5PCLKA	2~3ICLK		575	
000C 1A28h	MTU7	タイマジェネラルレジスタC	TGRC	16	16、32	4~5PCLKA	2~3ICLK		575	
000C 1A2Ah	MTU7	タイマジェネラルレジスタD	TGRD	16	16	4~5PCLKA	2~3ICLK		575	
000C 1A2Ch	MTU6	タイマステータスレジスタ	TSR	8	8、16	4~5PCLKA	2~3ICLK		567	
000C 1A2Dh	MTU7	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	2~3ICLK		567	
000C 1A30h	MTU	タイマ割り込み間引き設定レジスタ1B	TITCR1B	8	8、16	4~5PCLKA	2~3ICLK		605	
000C 1A31h	MTU	タイマ割り込み間引き回数カウンタ1B	TITCNT1B	8	8	4~5PCLKA	2~3ICLK		608	
000C 1A32h	MTU	タイマバッファ転送設定レジスタB	TBTERB	8	8	4~5PCLKA	2~3ICLK		595	
000C 1A34h	MTU	タイマデッドタイムイネーブルレジスタB	TDERB	8	8	4~5PCLKA	2~3ICLK		594	
000C 1A36h	MTU	タイマアウトブットレベルバッファレジスタB	TOLBRB	8	8	4~5PCLKA	2~3ICLK		590	
000C 1A38h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8、16	4~5PCLKA	2~3ICLK		572	
000C 1A39h	MTU7	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	2~3ICLK		572	
000C 1A3Ah	MTU	タイマ割り込み間引きモードレジスタB	TITMRB	8	8	4~5PCLKA	2~3ICLK		603	
000C 1A3Bh	MTU	タイマ割り込み間引き設定レジスタ2B	TITCR2B	8	8	4~5PCLKA	2~3ICLK		610	
000C 1A3Ch	MTU	タイマ割り込み間引き回数カウンタ2B	TITCNT2B	8	8	4~5PCLKA	2~3ICLK		612	
000C 1A40h	MTU7	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4~5PCLKA	2~3ICLK		600	
000C 1A44h	MTU7	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16、32	4~5PCLKA	2~3ICLK		602	
000C 1A46h	MTU7	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4~5PCLKA	2~3ICLK		602	
000C 1A48h	MTU7	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16、32	4~5PCLKA	2~3ICLK		602	
000C 1A4Ah	MTU7	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4~5PCLKA	2~3ICLK		602	
000C 1A50h	MTU	タイマシンクロリアレジスタ	TSYCR	8	8	4~5PCLKA	2~3ICLK		574	
000C 1A60h	MTU	タイマ波形コントロールレジスタB	TWCRB	8	8	4~5PCLKA	2~3ICLK		596	
000C 1A70h	MTU	タイマモードレジスタ2B	TMDR2B	8	8	4~5PCLKA	2~3ICLK		546	
000C 1A72h	MTU6	タイマジェネラルレジスタE	TGRE	16	16	4~5PCLKA	2~3ICLK		575	
000C 1A74h	MTU7	タイマジェネラルレジスタE	TGRE	16	16	4~5PCLKA	2~3ICLK		575	
000C 1A76h	MTU7	タイマジェネラルレジスタF	TGRF	16	16	4~5PCLKA	2~3ICLK		575	
000C 1A80h	MTU	タイマスタートレジスタB	TSTRB	8	8、16	4~5PCLKA	2~3ICLK		577	
000C 1A81h	MTU	タイマシンクロレジスタB	TSYRB	8	8	4~5PCLKA	2~3ICLK		579	
000C 1A84h	MTU	タイマリードライトイネーブルレジスタB	TRWERB	8	8	4~5PCLKA	2~3ICLK		582	
000C 1C80h	MTU5	タイマカウンタU	TCNTU	16	16、32	4~5PCLKA	2~3ICLK		574	
000C 1C82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	4~5PCLKA	2~3ICLK		575	
000C 1C84h	MTU5	タイマコントロールレジスタU	TCRU	8	8	4~5PCLKA	2~3ICLK	540		
000C 1C86h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	4~5PCLKA	2~3ICLK	547		
000C 1C90h	MTU5	タイマカウンタV	TCNTV	16	16、32	4~5PCLKA	2~3ICLK	574		
000C 1C92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	4~5PCLKA	2~3ICLK	575		
000C 1C94h	MTU5	タイマコントロールレジスタV	TCRV	8	8	4~5PCLKA	2~3ICLK	540		
000C 1C96h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	4~5PCLKA	2~3ICLK	547		
000C 1CA0h	MTU5	タイマカウンタW	TCNTW	16	16、32	4~5PCLKA	2~3ICLK	574		
000C 1CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	4~5PCLKA	2~3ICLK	575		
000C 1CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	4~5PCLKA	2~3ICLK	540		
000C 1CA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	4~5PCLKA	2~3ICLK	547		
000C 1CB0h	MTU5	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	2~3ICLK	571		
000C 1CB2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	2~3ICLK	566		
000C 1CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	4~5PCLKA	2~3ICLK	577		
000C 1CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	4~5PCLKA	2~3ICLK	563		

表6.1 I/Oレジスタアドレス一覧(35/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 2000h	GPT	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	16	8、16、32	2~5PCLKA	2~3ICLK	GPT	822	
000C 2004h	GPT	汎用PWMタイマハードウェア要因スタートコントロールレジスタ	GTHSCR	16	8、16、32	2~5PCLKA	2~3ICLK		824	
000C 2006h	GPT	汎用PWMタイマハードウェア要因クリアコントロールレジスタ	GTHCCR	16	8、16、32	2~5PCLKA	2~3ICLK		826	
000C 2008h	GPT	汎用PWMタイマハードウェアスタート要因セレクトレジスタ	GTHSSR	16	8、16、32	2~5PCLKA	2~3ICLK		828	
000C 200Ah	GPT	汎用PWMタイマハードウェアストップ・クリア要因セレクトレジスタ	GTHPSR	16	8、16、32	2~5PCLKA	2~3ICLK		832	
000C 200Ch	GPT	汎用PWMタイマ書き込み保護レジスタ	GTWP	16	8、16、32	2~5PCLKA	2~3ICLK		836	
000C 200Eh	GPT	汎用PWMタイマシンクロレジスタ	GTSYNC	16	8、16、32	2~5PCLKA	2~3ICLK		837	
000C 2010h	GPT	汎用PWMタイマ外部トリガ入力割り込みレジスタ	GTETINT	16	8、16、32	2~5PCLKA	2~3ICLK		839	
000C 2014h	GPT	汎用PWMタイマバッファ動作禁止レジスタ	GTBDR	16	8、16、32	2~5PCLKA	2~3ICLK		840	
000C 2018h	GPT	汎用PWMタイマスタート書き込み保護レジスタ	GTSWP	16	8、16、32	2~5PCLKA	2~3ICLK		842	
000C 2080h	GPT	LOCOカウントコントロールレジスタ	LCCR	16	8、16、32	2~5PCLKA	2~3ICLK		843	
000C 2082h	GPT	LOCOカウントステータスレジスタ	LCST	16	8、16、32	2~5PCLKA	2~3ICLK		845	
000C 2084h	GPT	LOCOカウント値レジスタ	LCNT	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 2086h	GPT	LOCOカウント結果平均レジスタ	LCNTA	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 2088h	GPT	LOCOカウント結果レジスタ0	LCNT00	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 208Ah	GPT	LOCOカウント結果レジスタ1	LCNT01	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 208Ch	GPT	LOCOカウント結果レジスタ2	LCNT02	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 208Eh	GPT	LOCOカウント結果レジスタ3	LCNT03	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 2090h	GPT	LOCOカウント結果レジスタ4	LCNT04	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 2092h	GPT	LOCOカウント結果レジスタ5	LCNT05	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 2094h	GPT	LOCOカウント結果レジスタ6	LCNT06	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 2096h	GPT	LOCOカウント結果レジスタ7	LCNT07	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 2098h	GPT	LOCOカウント結果レジスタ8	LCNT08	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 209Ah	GPT	LOCOカウント結果レジスタ9	LCNT09	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 209Ch	GPT	LOCOカウント結果レジスタ10	LCNT10	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 209Eh	GPT	LOCOカウント結果レジスタ11	LCNT11	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 20A0h	GPT	LOCOカウント結果レジスタ12	LCNT12	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 20A2h	GPT	LOCOカウント結果レジスタ13	LCNT13	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 20A4h	GPT	LOCOカウント結果レジスタ14	LCNT14	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 20A6h	GPT	LOCOカウント結果レジスタ15	LCNT15	16	8、16、32	2~5PCLKA	2~3ICLK		846	
000C 20A8h	GPT	LOCOカウント上限許容偏差値レジスタ	LCNTDU	16	8、16、32	2~5PCLKA	2~3ICLK		847	
000C 20AAh	GPT	LOCOカウント下限許容偏差値レジスタ	LCNTDL	16	8、16、32	2~5PCLKA	2~3ICLK		847	
000C 2100h	GPT0	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	2~5PCLKA	2~3ICLK		848	

表6.1 I/Oレジスタアドレス一覧(36/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 2102h	GPT0	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	2~5PCLKA	2~3ICLK	GPT	852	
000C 2104h	GPT0	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	2~5PCLKA	2~3ICLK		854	
000C 2106h	GPT0	汎用PWMタイマバッファインプットレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		856	
000C 2108h	GPT0	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK		858	
000C 210Ah	GPT0	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK		859	
000C 210Ch	GPT0	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	2~5PCLKA	2~3ICLK		861	
000C 210Eh	GPT0	汎用PWMタイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		864	
000C 2110h	GPT0	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 2112h	GPT0	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 2114h	GPT0	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 2116h	GPT0	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 2118h	GPT0	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 211Ah	GPT0	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 211Ch	GPT0	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 211Eh	GPT0	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	2~5PCLKA	2~3ICLK		866	
000C 2120h	GPT0	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	2~5PCLKA	2~3ICLK		866	
000C 2124h	GPT0	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	2~5PCLKA	2~3ICLK		866	
000C 2126h	GPT0	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	2~5PCLKA	2~3ICLK		867	
000C 2128h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16、32	2~5PCLKA	2~3ICLK		867	
000C 212Ch	GPT0	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		866	
000C 212Eh	GPT0	A/D変換開始要求タイミングバッファレジスタB	GTADTRBB	16	16、32	2~5PCLKA	2~3ICLK		867	
000C 2130h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16、32	2~5PCLKA	2~3ICLK		867	
000C 2134h	GPT0	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	2~5PCLKA	2~3ICLK		868	
000C 2136h	GPT0	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	2~5PCLKA	2~3ICLK		872	
000C 2138h	GPT0	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16、32	2~5PCLKA	2~3ICLK		874	
000C 213Ah	GPT0	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16、32	2~5PCLKA	2~3ICLK		874	
000C 213Ch	GPT0	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16、32	2~5PCLKA	2~3ICLK		874	
000C 213Eh	GPT0	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16、32	2~5PCLKA	2~3ICLK		874	
000C 2140h	GPT0	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	2~5PCLKA	2~3ICLK		875	
000C 2142h	GPT0	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	2~5PCLKA	2~3ICLK		876	
000C 2180h	GPT1	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	2~5PCLKA	2~3ICLK		848	
000C 2182h	GPT1	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	2~5PCLKA	2~3ICLK		852	
000C 2184h	GPT1	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	2~5PCLKA	2~3ICLK		854	
000C 2186h	GPT1	汎用PWMタイマバッファインプットレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		856	
000C 2188h	GPT1	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK		858	

表6.1 I/Oレジスタアドレス一覧(37/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 218Ah	GPT1	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK	GPT	859	
000C 218Ch	GPT1	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	2~5PCLKA	2~3ICLK		861	
000C 218Eh	GPT1	汎用PWMタイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		864	
000C 2190h	GPT1	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 2192h	GPT1	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 2194h	GPT1	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 2196h	GPT1	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 2198h	GPT1	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 219Ah	GPT1	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 219Ch	GPT1	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	2~5PCLKA	2~3ICLK		865	
000C 219Eh	GPT1	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	2~5PCLKA	2~3ICLK		866	
000C 21A0h	GPT1	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	2~5PCLKA	2~3ICLK		866	
000C 21A4h	GPT1	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	2~5PCLKA	2~3ICLK		866	
000C 21A6h	GPT1	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	2~5PCLKA	2~3ICLK		867	
000C 21A8h	GPT1	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16、32	2~5PCLKA	2~3ICLK		867	
000C 21ACh	GPT1	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		866	
000C 21AEh	GPT1	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	16	16、32	2~5PCLKA	2~3ICLK		867	
000C 21B0h	GPT1	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16、32	2~5PCLKA	2~3ICLK		867	
000C 21B4h	GPT1	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	2~5PCLKA	2~3ICLK		868	
000C 21B6h	GPT1	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	2~5PCLKA	2~3ICLK		872	
000C 21B8h	GPT1	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16、32	2~5PCLKA	2~3ICLK		874	
000C 21BAh	GPT1	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16、32	2~5PCLKA	2~3ICLK		874	
000C 21BCh	GPT1	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16、32	2~5PCLKA	2~3ICLK		874	
000C 21BEh	GPT1	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16、32	2~5PCLKA	2~3ICLK		874	
000C 21C0h	GPT1	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	2~5PCLKA	2~3ICLK		875	
000C 21C2h	GPT1	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	2~5PCLKA	2~3ICLK		876	
000C 2200h	GPT2	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	2~5PCLKA	2~3ICLK		848	
000C 2202h	GPT2	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	2~5PCLKA	2~3ICLK		852	
000C 2204h	GPT2	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	2~5PCLKA	2~3ICLK		854	
000C 2206h	GPT2	汎用PWMタイマバッファファイナブルレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		856	
000C 2208h	GPT2	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK	858		
000C 220Ah	GPT2	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK	859		
000C 220Ch	GPT2	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	2~5PCLKA	2~3ICLK	861		
000C 220Eh	GPT2	汎用PWMタイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK	864		
000C 2210h	GPT2	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK	865		

表6.1 I/Oレジスタアドレス一覧(38/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 2212h	GPT2	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16, 32	2~5PCLKA	2~3ICLK	GPT	865	
000C 2214h	GPT2	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16, 32	2~5PCLKA	2~3ICLK		865	
000C 2216h	GPT2	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16, 32	2~5PCLKA	2~3ICLK		865	
000C 2218h	GPT2	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16, 32	2~5PCLKA	2~3ICLK		865	
000C 221Ah	GPT2	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16, 32	2~5PCLKA	2~3ICLK		865	
000C 221Ch	GPT2	汎用PWMタイマ周期設定レジスタ	GTPR	16	16, 32	2~5PCLKA	2~3ICLK		865	
000C 221Eh	GPT2	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16, 32	2~5PCLKA	2~3ICLK		866	
000C 2220h	GPT2	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16, 32	2~5PCLKA	2~3ICLK		866	
000C 2224h	GPT2	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16, 32	2~5PCLKA	2~3ICLK		866	
000C 2226h	GPT2	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16, 32	2~5PCLKA	2~3ICLK		867	
000C 2228h	GPT2	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16, 32	2~5PCLKA	2~3ICLK		867	
000C 222Ch	GPT2	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16, 32	2~5PCLKA	2~3ICLK		866	
000C 222Eh	GPT2	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	16	16, 32	2~5PCLKA	2~3ICLK		867	
000C 2230h	GPT2	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16, 32	2~5PCLKA	2~3ICLK		867	
000C 2234h	GPT2	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16, 32	2~5PCLKA	2~3ICLK		868	
000C 2236h	GPT2	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16, 32	2~5PCLKA	2~3ICLK		872	
000C 2238h	GPT2	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16, 32	2~5PCLKA	2~3ICLK		874	
000C 223Ah	GPT2	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16, 32	2~5PCLKA	2~3ICLK		874	
000C 223Ch	GPT2	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16, 32	2~5PCLKA	2~3ICLK		874	
000C 223Eh	GPT2	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16, 32	2~5PCLKA	2~3ICLK		874	
000C 2240h	GPT2	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16, 32	2~5PCLKA	2~3ICLK		875	
000C 2242h	GPT2	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16, 32	2~5PCLKA	2~3ICLK		876	
000C 2280h	GPT3	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8, 16, 32	2~5PCLKA	2~3ICLK		848	
000C 2282h	GPT3	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8, 16, 32	2~5PCLKA	2~3ICLK		852	
000C 2284h	GPT3	汎用PWMタイマコントロールレジスタ	GTCR	16	8, 16, 32	2~5PCLKA	2~3ICLK		854	
000C 2286h	GPT3	汎用PWMタイマバッファイネーブルレジスタ	GTBER	16	8, 16, 32	2~5PCLKA	2~3ICLK		856	
000C 2288h	GPT3	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8, 16, 32	2~5PCLKA	2~3ICLK		858	
000C 228Ah	GPT3	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8, 16, 32	2~5PCLKA	2~3ICLK		859	
000C 228Ch	GPT3	汎用PWMタイマステータスレジスタ	GTST	16	8, 16, 32	2~5PCLKA	2~3ICLK		861	
000C 228Eh	GPT3	汎用PWMタイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		864	
000C 2290h	GPT3	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16, 32	2~5PCLKA	2~3ICLK		865	
000C 2292h	GPT3	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16, 32	2~5PCLKA	2~3ICLK		865	
000C 2294h	GPT3	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16, 32	2~5PCLKA	2~3ICLK		865	
000C 2296h	GPT3	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16, 32	2~5PCLKA	2~3ICLK		865	
000C 2298h	GPT3	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16, 32	2~5PCLKA	2~3ICLK		865	

表6.1 I/Oレジスタアドレス一覧(39/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 229Ah	GPT3	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRFB	16	16, 32	2~5PCLKA	2~3ICLK	GPT	865	
000C 229Ch	GPT3	汎用PWMタイマ周期設定レジスタ	GTTPR	16	16, 32	2~5PCLKA	2~3ICLK		865	
000C 229Eh	GPT3	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16, 32	2~5PCLKA	2~3ICLK		866	
000C 22A0h	GPT3	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16, 32	2~5PCLKA	2~3ICLK		866	
000C 22A4h	GPT3	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16, 32	2~5PCLKA	2~3ICLK		866	
000C 22A6h	GPT3	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16, 32	2~5PCLKA	2~3ICLK		867	
000C 22A8h	GPT3	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16, 32	2~5PCLKA	2~3ICLK		867	
000C 22ACh	GPT3	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16, 32	2~5PCLKA	2~3ICLK		866	
000C 22AEh	GPT3	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	16	16, 32	2~5PCLKA	2~3ICLK		867	
000C 22B0h	GPT3	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16, 32	2~5PCLKA	2~3ICLK		867	
000C 22B4h	GPT3	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16, 32	2~5PCLKA	2~3ICLK		868	
000C 22B6h	GPT3	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16, 32	2~5PCLKA	2~3ICLK		872	
000C 22B8h	GPT3	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16, 32	2~5PCLKA	2~3ICLK		874	
000C 22BAh	GPT3	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16, 32	2~5PCLKA	2~3ICLK		874	
000C 22BCh	GPT3	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16, 32	2~5PCLKA	2~3ICLK		874	
000C 22BEh	GPT3	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16, 32	2~5PCLKA	2~3ICLK		874	
000C 22C0h	GPT3	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16, 32	2~5PCLKA	2~3ICLK		875	
000C 22C2h	GPT3	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16, 32	2~5PCLKA	2~3ICLK		876	
000C 2318h	GPT0	GTIOCA 立ち上がり出力遅延レジスタ	GTDLYRA	16	16, 32	2~5PCLKA	2~3ICLK		878	64/48ピン版にはありません
000C 231Ah	GPT0	GTIOCB 立ち上がり出力遅延レジスタ	GTDLYRB	16	16, 32	2~5PCLKA	2~3ICLK		880	64/48ピン版にはありません
000C 231Ch	GPT1	GTIOCA 立ち上がり出力遅延レジスタ	GTDLYRA	16	16, 32	2~5PCLKA	2~3ICLK		878	64/48ピン版にはありません
000C 231Eh	GPT1	GTIOCB 立ち上がり出力遅延レジスタ	GTDLYRB	16	16, 32	2~5PCLKA	2~3ICLK		880	64/48ピン版にはありません
000C 2320h	GPT2	GTIOCA 立ち上がり出力遅延レジスタ	GTDLYRA	16	16, 32	2~5PCLKA	2~3ICLK		878	64/48ピン版にはありません
000C 2322h	GPT2	GTIOCB 立ち上がり出力遅延レジスタ	GTDLYRB	16	16, 32	2~5PCLKA	2~3ICLK		880	64/48ピン版にはありません
000C 2324h	GPT3	GTIOCA 立ち上がり出力遅延レジスタ	GTDLYRA	16	16, 32	2~5PCLKA	2~3ICLK		878	64/48ピン版にはありません
000C 2326h	GPT3	GTIOCB 立ち上がり出力遅延レジスタ	GTDLYRB	16	16, 32	2~5PCLKA	2~3ICLK		880	64/48ピン版にはありません
000C 2328h	GPT0	GTIOCA 立ち下がり出力遅延レジスタ	GTDLYFA	16	16, 32	2~5PCLKA	2~3ICLK		879	64/48ピン版にはありません
000C 232Ah	GPT0	GTIOCB 立ち下がり出力遅延レジスタ	GTDLYFB	16	16, 32	2~5PCLKA	2~3ICLK		881	64/48ピン版にはありません
000C 232Ch	GPT1	GTIOCA 立ち下がり出力遅延レジスタ	GTDLYFA	16	16, 32	2~5PCLKA	2~3ICLK		879	64/48ピン版にはありません
000C 232Eh	GPT1	GTIOCB 立ち下がり出力遅延レジスタ	GTDLYFB	16	16, 32	2~5PCLKA	2~3ICLK		881	64/48ピン版にはありません
000C 2330h	GPT2	GTIOCA 立ち下がり出力遅延レジスタ	GTDLYFA	16	16, 32	2~5PCLKA	2~3ICLK		879	64/48ピン版にはありません
000C 2332h	GPT2	GTIOCB 立ち下がり出力遅延レジスタ	GTDLYFB	16	16, 32	2~5PCLKA	2~3ICLK		881	64/48ピン版にはありません
000C 2334h	GPT3	GTIOCA 立ち下がり出力遅延レジスタ	GTDLYFA	16	16, 32	2~5PCLKA	2~3ICLK		879	64/48ピン版にはありません

表6.1 I/Oレジスタアドレス一覧(40/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 2336h	GPT3	GTIOCB 立ち下がり出力遅延レジスタ	GTDLYFB	16	16、32	2~5PCLKA	2~3ICLK	GPT	881	64/48ピン版にはありません
000C 2800h	GPTB	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	16	8、16、32	2~5PCLKA	2~3ICLK		822	64/48ピン版にはありません
000C 2804h	GPTB	汎用PWMタイマハードウェア要因スタートコントロールレジスタ	GTHSCR	16	8、16、32	2~5PCLKA	2~3ICLK		824	64/48ピン版にはありません
000C 2806h	GPTB	汎用PWMタイマハードウェア要因クリアコントロールレジスタ	GTHCCR	16	8、16、32	2~5PCLKA	2~3ICLK		826	64/48ピン版にはありません
000C 2808h	GPTB	汎用PWMタイマハードウェアスタート要因セレクトレジスタ	GTHSSR	16	8、16、32	2~5PCLKA	2~3ICLK		828	64/48ピン版にはありません
000C 280Ah	GPTB	汎用PWMタイマハードウェアストップ・クリア要因セレクトレジスタ	GTHPSR	16	8、16、32	2~5PCLKA	2~3ICLK		832	64/48ピン版にはありません
000C 280Ch	GPTB	汎用PWMタイマ書き込み保護レジスタ	GTWP	16	8、16、32	2~5PCLKA	2~3ICLK		836	64/48ピン版にはありません
000C 280Eh	GPTB	汎用PWMタイマシンクロレジスタ	GTSYNC	16	8、16、32	2~5PCLKA	2~3ICLK		837	64/48ピン版にはありません
000C 2810h	GPTB	汎用PWMタイマ外部トリガ入力割り込みレジスタ	GTETINT	16	8、16、32	2~5PCLKA	2~3ICLK		839	64/48ピン版にはありません
000C 2814h	GPTB	汎用PWMタイマバッファ動作禁止レジスタ	GTBDR	16	8、16、32	2~5PCLKA	2~3ICLK		840	64/48ピン版にはありません
000C 2818h	GPTB	汎用PWMタイマスタート書き込み保護レジスタ	GTSWP	16	8、16、32	2~5PCLKA	2~3ICLK		842	64/48ピン版にはありません
000C 2880h	GPTB	LOCOカウントコントロールレジスタ	LCCR	16	8、16、32	2~5PCLKA	2~3ICLK		843	64/48ピン版にはありません
000C 2882h	GPTB	LOCOカウンタステータスレジスタ	LCST	16	8、16、32	2~5PCLKA	2~3ICLK		845	64/48ピン版にはありません
000C 2884h	GPTB	LOCOカウント値レジスタ	LCNT	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 2886h	GPTB	LOCOカウント結果平均レジスタ	LCNTA	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 2888h	GPTB	LOCOカウント結果レジスタ0	LCNT00	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 288Ah	GPTB	LOCOカウント結果レジスタ1	LCNT01	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 288Ch	GPTB	LOCOカウント結果レジスタ2	LCNT02	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 288Eh	GPTB	LOCOカウント結果レジスタ3	LCNT03	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 2890h	GPTB	LOCOカウント結果レジスタ4	LCNT04	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 2892h	GPTB	LOCOカウント結果レジスタ5	LCNT05	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 2894h	GPTB	LOCOカウント結果レジスタ6	LCNT06	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 2896h	GPTB	LOCOカウント結果レジスタ7	LCNT07	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 2898h	GPTB	LOCOカウント結果レジスタ8	LCNT08	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 289Ah	GPTB	LOCOカウント結果レジスタ9	LCNT09	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 289Ch	GPTB	LOCOカウント結果レジスタ10	LCNT10	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 289Eh	GPTB	LOCOカウント結果レジスタ11	LCNT11	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 28A0h	GPTB	LOCOカウント結果レジスタ12	LCNT12	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 28A2h	GPTB	LOCOカウント結果レジスタ13	LCNT13	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 28A4h	GPTB	LOCOカウント結果レジスタ14	LCNT14	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 28A6h	GPTB	LOCOカウント結果レジスタ15	LCNT15	16	8、16、32	2~5PCLKA	2~3ICLK		846	64/48ピン版にはありません
000C 28A8h	GPTB	LOCOカウント上限許容偏差値レジスタ	LCNTDU	16	8、16、32	2~5PCLKA	2~3ICLK		847	64/48ピン版にはありません
000C 28AAh	GPTB	LOCOカウント下限許容偏差値レジスタ	LCNTDL	16	8、16、32	2~5PCLKA	2~3ICLK		847	64/48ピン版にはありません

表6.1 I/Oレジスタアドレス一覧(41/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 2900h	GPT4	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	2~5PCLKA	2~3ICLK	GPT	848	64/48ピン版にはありません。
000C 2902h	GPT4	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	2~5PCLKA	2~3ICLK		852	64/48ピン版にはありません。
000C 2904h	GPT4	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	2~5PCLKA	2~3ICLK		854	64/48ピン版にはありません。
000C 2906h	GPT4	汎用PWMタイマバッファインプットレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		856	64/48ピン版にはありません。
000C 2908h	GPT4	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK		858	64/48ピン版にはありません。
000C 290Ah	GPT4	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK		859	64/48ピン版にはありません。
000C 290Ch	GPT4	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	2~5PCLKA	2~3ICLK		861	64/48ピン版にはありません。
000C 290Eh	GPT4	汎用PWMタイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		864	64/48ピン版にはありません。
000C 2910h	GPT4	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2912h	GPT4	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2914h	GPT4	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2916h	GPT4	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2918h	GPT4	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 291Ah	GPT4	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 291Ch	GPT4	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 291Eh	GPT4	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C 2920h	GPT4	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C 2924h	GPT4	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C 2926h	GPT4	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C 2928h	GPT4	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C 292Ch	GPT4	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C 292Eh	GPT4	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C 2930h	GPT4	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C 2934h	GPT4	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	2~5PCLKA	2~3ICLK		868	64/48ピン版にはありません。
000C 2936h	GPT4	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	2~5PCLKA	2~3ICLK		872	64/48ピン版にはありません。
000C 2938h	GPT4	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C 293Ah	GPT4	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C 293Ch	GPT4	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C 293Eh	GPT4	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C 2940h	GPT4	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	2~5PCLKA	2~3ICLK		875	64/48ピン版にはありません。
000C 2942h	GPT4	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	2~5PCLKA	2~3ICLK		876	64/48ピン版にはありません。
000C 2980h	GPT5	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	2~5PCLKA	2~3ICLK		848	64/48ピン版にはありません。
000C 2982h	GPT5	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	2~5PCLKA	2~3ICLK		852	64/48ピン版にはありません。

表6.1 I/O レジスタアドレス一覧 (42 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 2984h	GPT5	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	2~5PCLKA	2~3ICLK	GPT	854	64/48ピン版にはありません。
000C 2986h	GPT5	汎用PWMタイマバッファイネーブルレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		856	64/48ピン版にはありません。
000C 2988h	GPT5	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK		858	64/48ピン版にはありません。
000C 298Ah	GPT5	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK		859	64/48ピン版にはありません。
000C 298Ch	GPT5	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	2~5PCLKA	2~3ICLK		861	64/48ピン版にはありません。
000C 298Eh	GPT5	汎用PWMタイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		864	64/48ピン版にはありません。
000C 2990h	GPT5	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2992h	GPT5	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2994h	GPT5	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2996h	GPT5	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2998h	GPT5	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 299Ah	GPT5	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 299Ch	GPT5	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 299Eh	GPT5	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C 29A0h	GPT5	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C 29A4h	GPT5	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C 29A6h	GPT5	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C 29A8h	GPT5	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C 29ACh	GPT5	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C 29AEh	GPT5	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C 29B0h	GPT5	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C 29B4h	GPT5	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	2~5PCLKA	2~3ICLK		868	64/48ピン版にはありません。
000C 29B6h	GPT5	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	2~5PCLKA	2~3ICLK		872	64/48ピン版にはありません。
000C 29B8h	GPT5	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C 29BAh	GPT5	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C 29BCh	GPT5	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C 29BEh	GPT5	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C 29C0h	GPT5	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	2~5PCLKA	2~3ICLK		875	64/48ピン版にはありません。
000C 29C2h	GPT5	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	2~5PCLKA	2~3ICLK		876	64/48ピン版にはありません。
000C 2A00h	GPT6	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	2~5PCLKA	2~3ICLK		848	64/48ピン版にはありません。
000C 2A02h	GPT6	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	2~5PCLKA	2~3ICLK		852	64/48ピン版にはありません。
000C 2A04h	GPT6	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	2~5PCLKA	2~3ICLK		854	64/48ピン版にはありません。
000C 2A06h	GPT6	汎用PWMタイマバッファイネーブルレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		856	64/48ピン版にはありません。

表6.1 I/Oレジスタアドレス一覧(43/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 2A08h	GPT6	汎用PWMタイムカウンタ方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK	GPT	858	64/48ピン版にはありません。
000C 2A0Ah	GPT6	汎用PWMタイム割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK		859	64/48ピン版にはありません。
000C 2A0Ch	GPT6	汎用PWMタイムステータスレジスタ	GTST	16	8、16、32	2~5PCLKA	2~3ICLK		861	64/48ピン版にはありません。
000C 2A0Eh	GPT6	汎用PWMタイムカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		864	64/48ピン版にはありません。
000C 2A10h	GPT6	汎用PWMタイムコンペアキャプチャレジスタA	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2A12h	GPT6	汎用PWMタイムコンペアキャプチャレジスタB	GTCCRB	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2A14h	GPT6	汎用PWMタイムコンペアキャプチャレジスタC	GTCCRC	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2A16h	GPT6	汎用PWMタイムコンペアキャプチャレジスタD	GTCCRD	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2A18h	GPT6	汎用PWMタイムコンペアキャプチャレジスタE	GTCCRE	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2A1Ah	GPT6	汎用PWMタイムコンペアキャプチャレジスタF	GTCCRF	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2A1Ch	GPT6	汎用PWMタイム周期設定レジスタ	GTPR	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C 2A1Eh	GPT6	汎用PWMタイム周期設定バッファレジスタ	GTPBR	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C 2A20h	GPT6	汎用PWMタイム周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C 2A24h	GPT6	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C 2A26h	GPT6	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C 2A28h	GPT6	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C 2A2Ch	GPT6	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C 2A2Eh	GPT6	A/D変換開始要求タイミングバッファレジスタB	GTADTB RB	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C 2A30h	GPT6	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBR B	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C 2A34h	GPT6	汎用PWMタイム出力ネゲートコントロールレジスタ	GTONCR	16	16、32	2~5PCLKA	2~3ICLK		868	64/48ピン版にはありません。
000C 2A36h	GPT6	汎用PWMタイムデッドタイムコントロールレジスタ	GTDTCR	16	16、32	2~5PCLKA	2~3ICLK		872	64/48ピン版にはありません。
000C 2A38h	GPT6	汎用PWMタイムデッドタイム値レジスタU	GTDVU	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C 2A3Ah	GPT6	汎用PWMタイムデッドタイム値レジスタD	GTDVD	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C 2A3Ch	GPT6	汎用PWMタイムデッドタイムバッファレジスタU	GTDBU	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C 2A3Eh	GPT6	汎用PWMタイムデッドタイムバッファレジスタD	GTDBD	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C 2A40h	GPT6	汎用PWMタイム出力保護機能ステータスレジスタ	GTSOS	16	16、32	2~5PCLKA	2~3ICLK		875	64/48ピン版にはありません。
000C 2A42h	GPT6	汎用PWMタイム出力保護機能一時解除レジスタ	GTSOTR	16	16、32	2~5PCLKA	2~3ICLK		876	64/48ピン版にはありません。
000C 2A80h	GPT7	汎用PWMタイムI/Oコントロールレジスタ	GTIOR	16	8、16、32	2~5PCLKA	2~3ICLK		848	64/48ピン版にはありません。
000C 2A82h	GPT7	汎用PWMタイム割り込み出力設定レジスタ	GTINTAD	16	8、16、32	2~5PCLKA	2~3ICLK		852	64/48ピン版にはありません。
000C 2A84h	GPT7	汎用PWMタイムコントロールレジスタ	GTCR	16	8、16、32	2~5PCLKA	2~3ICLK		854	64/48ピン版にはありません。
000C 2A86h	GPT7	汎用PWMタイムバッファインプットレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		856	64/48ピン版にはありません。
000C 2A88h	GPT7	汎用PWMタイムカウンタ方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK		858	64/48ピン版にはありません。
000C 2A8Ah	GPT7	汎用PWMタイム割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK		859	64/48ピン版にはありません。

表6.1 I/Oレジスタアドレス一覧(44/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C2A8Ch	GPT7	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	2~5PCLKA	2~3ICLK	GPT	861	64/48ピン版にはありません。
000C2A8Eh	GPT7	汎用PWMタイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		864	64/48ピン版にはありません。
000C2A90h	GPT7	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C2A92h	GPT7	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C2A94h	GPT7	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C2A96h	GPT7	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C2A98h	GPT7	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C2A9Ah	GPT7	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C2A9Ch	GPT7	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	2~5PCLKA	2~3ICLK		865	64/48ピン版にはありません。
000C2A9Eh	GPT7	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C2AA0h	GPT7	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C2AA4h	GPT7	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C2AA6h	GPT7	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C2AA8h	GPT7	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C2AACh	GPT7	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		866	64/48ピン版にはありません。
000C2AAEh	GPT7	A/D変換開始要求タイミングバッファレジスタB	GTADTB RB	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C2AB0h	GPT7	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBR B	16	16、32	2~5PCLKA	2~3ICLK		867	64/48ピン版にはありません。
000C2AB4h	GPT7	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	2~5PCLKA	2~3ICLK		868	64/48ピン版にはありません。
000C2AB6h	GPT7	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	2~5PCLKA	2~3ICLK		872	64/48ピン版にはありません。
000C2AB8h	GPT7	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C2ABAh	GPT7	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C2ABCh	GPT7	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C2ABEh	GPT7	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16、32	2~5PCLKA	2~3ICLK		874	64/48ピン版にはありません。
000C2AC0h	GPT7	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	2~5PCLKA	2~3ICLK		875	64/48ピン版にはありません。
000C2AC2h	GPT7	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	2~5PCLKA	2~3ICLK		876	64/48ピン版にはありません。
000C3002h	DPC	ソフトスタート設定レジスタ0	SOFTSTAR T0	16	16	3~5PCLKA	2~3ICLK	DPC	1598	64/48ピン版にはありません。
000C3006h	DPC	ソフトスタート設定レジスタ1	SOFTSTAR T1	16	16	3~5PCLKA	2~3ICLK		1598	64/48ピン版にはありません。
000C300Ah	DPC	ソフトスタート設定レジスタ2	SOFTSTAR T2	16	16	3~5PCLKA	2~3ICLK		1598	64/48ピン版にはありません。
000C300Eh	DPC	ソフトスタート設定レジスタ3	SOFTSTAR T3	16	16	3~5PCLKA	2~3ICLK		1598	64/48ピン版にはありません。
000C3012h	DPC	基準値設定レジスタ0	VOTARGET 0	16	16	3~5PCLKA	2~3ICLK		1600	64/48ピン版にはありません。
000C3016h	DPC	基準値設定レジスタ1	VOTARGET 1	16	16	3~5PCLKA	2~3ICLK		1600	64/48ピン版にはありません。
000C301Ah	DPC	基準値設定レジスタ2	VOTARGET 2	16	16	3~5PCLKA	2~3ICLK		1600	64/48ピン版にはありません。

表6.1 I/O レジスタアドレス一覧 (45 / 46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	参照 ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 301Eh	DPC	基準値設定レジスタ3	VOTARGET3	16	16	3~5PCLKA	2~3ICLK	DPC	1600	64/48ピン版にはありません。
000C 3022h	DPC	基準値参照設定レジスタ	REFSEL	16	16	3~5PCLKA	2~3ICLK		1600	64/48ピン版にはありません。
000C 3026h	DPC	制御チャネル設定レジスタ	CHLSEL	16	16	3~5PCLKA	2~3ICLK		1601	64/48ピン版にはありません。
000C 302Ah	DPC	制御イネーブル設定レジスタ	ENABLE	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 302Eh	DPC	制御演算パラメータ設定レジスタKP0	PARAMKP0	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 3032h	DPC	制御演算パラメータ設定レジスタKI0	PARAMKI0	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 3036h	DPC	制御演算パラメータ設定レジスタKQ0	PARAMKQ0	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 303Ah	DPC	制御演算パラメータ設定レジスタKF0	PARAMKF0	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 303Eh	DPC	制御演算パラメータ設定レジスタKP1	PARAMKP1	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 3042h	DPC	制御演算パラメータ設定レジスタKI1	PARAMKI1	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 3046h	DPC	制御演算パラメータ設定レジスタKQ1	PARAMKQ1	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 304Ah	DPC	制御演算パラメータ設定レジスタKF1	PARAMKF1	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 304Eh	DPC	制御演算パラメータ設定レジスタKP2	PARAMKP2	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 3052h	DPC	制御演算パラメータ設定レジスタKI2	PARAMKI2	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 3056h	DPC	制御演算パラメータ設定レジスタKQ2	PARAMKQ2	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 305Ah	DPC	制御演算パラメータ設定レジスタKF2	PARAMKF2	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 305Eh	DPC	制御演算パラメータ設定レジスタKP3	PARAMKP3	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 3062h	DPC	制御演算パラメータ設定レジスタKI3	PARAMKI3	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 3066h	DPC	制御演算パラメータ設定レジスタKQ3	PARAMKQ3	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 306Ah	DPC	制御演算パラメータ設定レジスタKF3	PARAMKF3	16	16	3~5PCLKA	2~3ICLK		1602	64/48ピン版にはありません。
000C 306Ch	DPC	制御演算結果上位ビット格納レジスタ0	RESULTU0	16	16	3~5PCLKA	2~3ICLK		1603	64/48ピン版にはありません。
000C 306Eh	DPC	制御演算結果下位ビット格納レジスタ0	RESULTL0	16	16	3~5PCLKA	2~3ICLK		1603	64/48ピン版にはありません。
000C 3070h	DPC	制御演算結果上位ビット格納レジスタ1	RESULTU1	16	16	3~5PCLKA	2~3ICLK		1603	64/48ピン版にはありません。
000C 3072h	DPC	制御演算結果下位ビット格納レジスタ1	RESULTL1	16	16	3~5PCLKA	2~3ICLK		1603	64/48ピン版にはありません。
000C 3074h	DPC	制御演算結果上位ビット格納レジスタ2	RESULTU2	16	16	3~5PCLKA	2~3ICLK		1603	64/48ピン版にはありません。
000C 3076h	DPC	制御演算結果下位ビット格納レジスタ2	RESULTL2	16	16	3~5PCLKA	2~3ICLK		1603	64/48ピン版にはありません。
000C 3078h	DPC	制御演算結果上位ビット格納レジスタ3	RESULTU3	16	16	3~5PCLKA	2~3ICLK		1603	64/48ピン版にはありません。
000C 307Ah	DPC	制御演算結果下位ビット格納レジスタ3	RESULTL3	16	16	3~5PCLKA	2~3ICLK		1603	64/48ピン版にはありません。
000C 307Eh	DPC	入力コードモニタイネーブル設定レジスタ	TMONEN	16	16	3~5PCLKA	2~3ICLK		1603	64/48ピン版にはありません。
000C 3082h	DPC	最大入力コードモニタレジスタ0	TMONMAX0	16	16	3~5PCLKA	2~3ICLK		1604	64/48ピン版にはありません。
000C 3086h	DPC	最小入力コードモニタレジスタ0	TMONMIN0	16	16	3~5PCLKA	2~3ICLK		1604	64/48ピン版にはありません。

表6.1 I/O レジスタアドレス一覧 (46 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	参照ページ	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
000C 308Ah	DPC	最大入力コードモニタレジスタ1	TMONMAX1	16	16	3~5PCLKA	2~3ICLK	DPC	1604	64/48ピン版にはありません。
000C 308Eh	DPC	最小入力コードモニタレジスタ1	TMONMIN1	16	16	3~5PCLKA	2~3ICLK		1604	64/48ピン版にはありません。
000C 3092h	DPC	最大入力コードモニタレジスタ2	TMONMAX2	16	16	3~5PCLKA	2~3ICLK		1604	64/48ピン版にはありません。
000C 3096h	DPC	最小入力コードモニタレジスタ2	TMONMIN2	16	16	3~5PCLKA	2~3ICLK		1604	64/48ピン版にはありません。
000C 309Ah	DPC	最大入力コードモニタレジスタ3	TMONMAX3	16	16	3~5PCLKA	2~3ICLK		1604	64/48ピン版にはありません。
000C 309Eh	DPC	最小入力コードモニタレジスタ3	TMONMIN3	16	16	3~5PCLKA	2~3ICLK		1604	64/48ピン版にはありません。
000C 30A2h	DPC	出力過電圧異常判定閾値設定レジスタ0	ERRVTH0	16	16	3~5PCLKA	2~3ICLK		1605	64/48ピン版にはありません。
000C 30A6h	DPC	出力過電圧異常判定閾値設定レジスタ1	ERRVTH1	16	16	3~5PCLKA	2~3ICLK		1605	64/48ピン版にはありません。
000C 30AAh	DPC	出力過電圧異常判定閾値設定レジスタ2	ERRVTH2	16	16	3~5PCLKA	2~3ICLK		1605	64/48ピン版にはありません。
000C 30AEh	DPC	出力過電圧異常判定閾値設定レジスタ3	ERRVTH3	16	16	3~5PCLKA	2~3ICLK		1605	64/48ピン版にはありません。
000C 30B2h	DPC	出力過電圧異常時PWMシャットダウン設定レジスタ	ERRDWN	16	16	3~5PCLKA	2~3ICLK		1606	64/48ピン版にはありません。
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2~3FCLK	2~3ICLK	ROM/E2データフラッシュ	1629	
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2~3FCLK	2~3ICLK		1630	
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2~3FCLK	2~3ICLK		1633	
007F C412h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2~3FCLK	2~3ICLK	ROM	1634	
007F C440h	FLASH	E2データフラッシュ読み出し許可レジスタ0	DFLRE0	16	16	2~3FCLK	2~3ICLK	E2データフラッシュ	1634	
007F C442h	FLASH	E2データフラッシュ読み出し許可レジスタ1	DFLRE1	16	16	2~3FCLK	2~3ICLK		1635	
007F C450h	FLASH	E2データフラッシュP/E許可レジスタ0	DFLWE0	16	16	2~3FCLK	2~3ICLK		1636	
007F C452h	FLASH	E2データフラッシュP/E許可レジスタ1	DFLWE1	16	16	2~3FCLK	2~3ICLK		1637	
007F FFB0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2~3FCLK	2~3ICLK	ROM	1638	
007F FFB1h	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2~3FCLK	2~3ICLK		1640	
007F FFB2h	FLASH	フラッシュP/Eモードエントリレジスタ	FENTRYR	16	16	2~3FCLK	2~3ICLK	ROM/E2データフラッシュ	1641	
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2~3FCLK	2~3ICLK	ROM	1643	
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2~3FCLK	2~3ICLK		1644	
007F FFBAh	FLASH	FCUコマンドレジスタ	FCMDR	16	16	2~3FCLK	2~3ICLK		1645	
007F FFC8h	FLASH	FCU処理切り替えレジスタ	FCPSR	16	16	2~3FCLK	2~3ICLK		1646	
007F FFCAh	FLASH	E2データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2~3FCLK	2~3ICLK	E2データフラッシュ	1646	
007F FFCh	FLASH	フラッシュP/Eステータスレジスタ	FPESTAT	16	16	2~3FCLK	2~3ICLK	ROM	1647	
007F FFCEh	FLASH	E2データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	16	16	2~3FCLK	2~3ICLK	E2データフラッシュ	1647	
007F FFE8h	FLASH	周辺ロック通知レジスタ	PCKAR	16	16	2~3FCLK	2~3ICLK	ROM	1648	

注. 本表は最大仕様のI/Oレジスタを示しています。各製品のI/Oレジスタは、表1.2に示した機能に対応します。詳細は「表1.2 パッケージ別機能比較一覧」を参照してください。

注1. USB動作中にレジスタアクセスを行った場合、アクセスが待たされることがあります。

注2. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMOCNTLのアドレスへアクセスしてください。

注3. 112ピン版には、USB0、RIIC1はありません。

注4. 100ピン版には、USB0、RIIC1、SCI3はありません。

注5. 64ピン、48ピン版には、GPT4~GPT7、USB0、RSP11、RIIC1、SCI2、SCI3、CAN1、AD、S12AD1はありません。

7. リセット

7.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、ディープソフトウェアスタンバイリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 7.1 にリセットの名称と要因を示します。

表7.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇（監視電圧：VPOR）（注1）
電圧監視0リセット	VCCの下降（監視電圧：Vdet0）（注1）
電圧監視1リセット	VCCの下降（監視電圧：Vdet1）（注1）
電圧監視2リセット	VCCの下降（監視電圧：Vdet2）（注1）
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧（VPOR、Vdet0、Vdet1、Vdet2）については、「9. 電圧検出回路（LVDA）」、「42. 電気的特性【144/120/112/100ピン版】」、「43. 電気的特性【64/48ピン版】」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 7.2 にリセット種別ごとの初期化対象を示します。

表 7.2 リセット種別ごとの初期化対象

リセット対象	リセット要因								
	RES#端子リセット	パワーオンリセット	電圧監視0リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視1リセット	電圧監視2リセット	ディープソフトウェアスタンバイリセット	ソフトウェアリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—	—	—
コールドスタート/ ウォームスタート 判別フラグ (RSTSR1.CWSF)	—	○	—	—	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—	○	—
独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTCR、 IWDTSR、IWDTRCR、 IWDTCSTPR、ILOCOCR)	○	○	○	—	—	—	—	○	—
ウォッチドッグタイマリセット検出フラグ (RSTSR2.WDTRF)	○	○	○	○	—	—	—	○	—
ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、 WDTRCR)	○	○	○	○	—	—	—	○	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	○	—	—	—	—
電圧監視機能1のレジスタ (LVD1CR0、 LVCMPPCR.LVD1E、 LVDLVLR.LVD1LVL)	○	○	○	○	○	—	—	—	—
(LVD1CR1、LVD1SR)	○	○	○	○	○	—	—	○	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	○	—	—	—
電圧監視機能2のレジスタ (RSTSR0.LVD2RF、 LVD2CR0、LVCMPPCR.LVD2E、 LVDLVLR.LVD2LVL)	○	○	○	○	○	○	—	—	—
(LVD2CR1、LVD2SR)	○	○	○	○	○	○	—	○	—
ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)	○	○	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	○	○	—
メインクロック発振器関連のレジスタ (MOFCR)	○	○	○	○	○	○	○	—	○
端子の状態	○	○	○	○	○	○	○	—	○
消費電力低減機能関連のレジスタ (DPSBYCR、DPSIER0,2、 DPSIFR0,2、DPSIEGR0,2)	○	○	○	○	○	○	○	—	○
上記以外のレジスタ、CPUおよび内部状態	○	○	○	○	○	○	○	○	○

○：初期化されます。 —：変化しない

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「14. 例外処理」を参照してください。

表 7.3 にリセットに関連する入出力端子を示します。

表 7.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

7.2 レジスタの説明

7.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

b7	b6	b5	b4	b3	b2	b1	b0
DPSRS TF	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF

リセット後の値 0(注1) 0 0 0 0(注1) 0(注1) 0(注1) 0(注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0: パワーオンリセット未検出 1: パワーオンリセット検出	R(W) (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0: 電圧監視0リセット未検出 1: 電圧監視0リセット検出	R(W) (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0: 電圧監視1リセット未検出 1: 電圧監視1リセット検出	R(W) (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0: 電圧監視2リセットの未検出 1: 電圧監視2リセットの検出	R(W) (注2)
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ	0: 割り込みによるディープソフトウェアスタンバイモード解除要求の発生なし 1: 割り込みによるディープソフトウェアスタンバイモード解除要求の発生あり	R(W) (注2)

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1"になる条件]

- パワーオンリセットが発生したとき

["0"になる条件]

- 表 7.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD0RF フラグ（電圧監視 0 リセット検出フラグ）

VCC 電圧が Vdet0 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet0 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 7.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

LVD1RF フラグ（電圧監視 1 リセット検出フラグ）

VCC 電圧が Vdet1 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet1 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 7.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

VCC 電圧が Vdet2 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet2 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 7.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

DPSRSTF フラグ（ディープソフトウェアスタンバイリセットフラグ）

割り込みによるディープソフトウェアスタンバイモードの解除にともなって、内部リセット（ディープソフトウェアスタンバイリセット）が発生したことを示します。

["1" になる条件]

- 割り込みによってディープソフトウェアスタンバイモードを解除したとき
詳細は、「12. 消費電力低減機能」を参照してください。

["0" になる条件]

- 表 7.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

7.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス 0008 C291h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CWSF

リセット後の値 0 0 0 0 0 0 0 0/1
(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0 : コールドスタート 1 : ウォームスタート	R/(W) (注2)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. リセット後の値は、リセット要因で異なります。
注2. フラグをセットするための“1”書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かを判定するレジスタです。

CWSF フラグ（コールドスタート / ウォームスタート判別フラグ）

コールドスタートかウォームスタートかを示します。

CWSF フラグは、パワーオンリセットで初期化されます。RES# 端子リセットでは初期化されません。

["1" になる条件]

- プログラムで“1”を書いたとき。“0”を書いても変化しません。

["0" になる条件]

- 表 7.2 に示すリセットを行ったとき

7.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SWRF	WDTR F	IWDTR F

リセット後の値 0 0 0 0 0 0(注1) 0(注1) 0(注1)

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R(W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R(W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R(W) (注2)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 7.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 7.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

["1"になる条件]

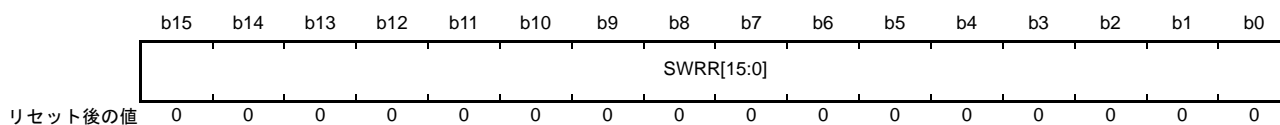
- ソフトウェアリセットを行なったとき

["0"になる条件]

- 表 7.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

7.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	SWRR[15:0]	ソフトウェアリセットビット	“A501h”を書くとLSIがリセットされます。読むと“0000h”が読めます	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

7.3 動作説明

7.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「42. 電气的特性【144/120/112/100 ピン版】」、「43. 電气的特性【64/48 ピン版】」を参照してください。

7.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源および LSI が安定するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが“1”になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 レベル選択ビット (LVDAS) が“0” (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVDORF フラグが“1”になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを“0”にしてください。VCC が Vdet0 を超えると、LVD0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

図 7.1 にパワーオンリセット、および電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、「9. 電圧検出回路 (LVDA)」を参照してください。

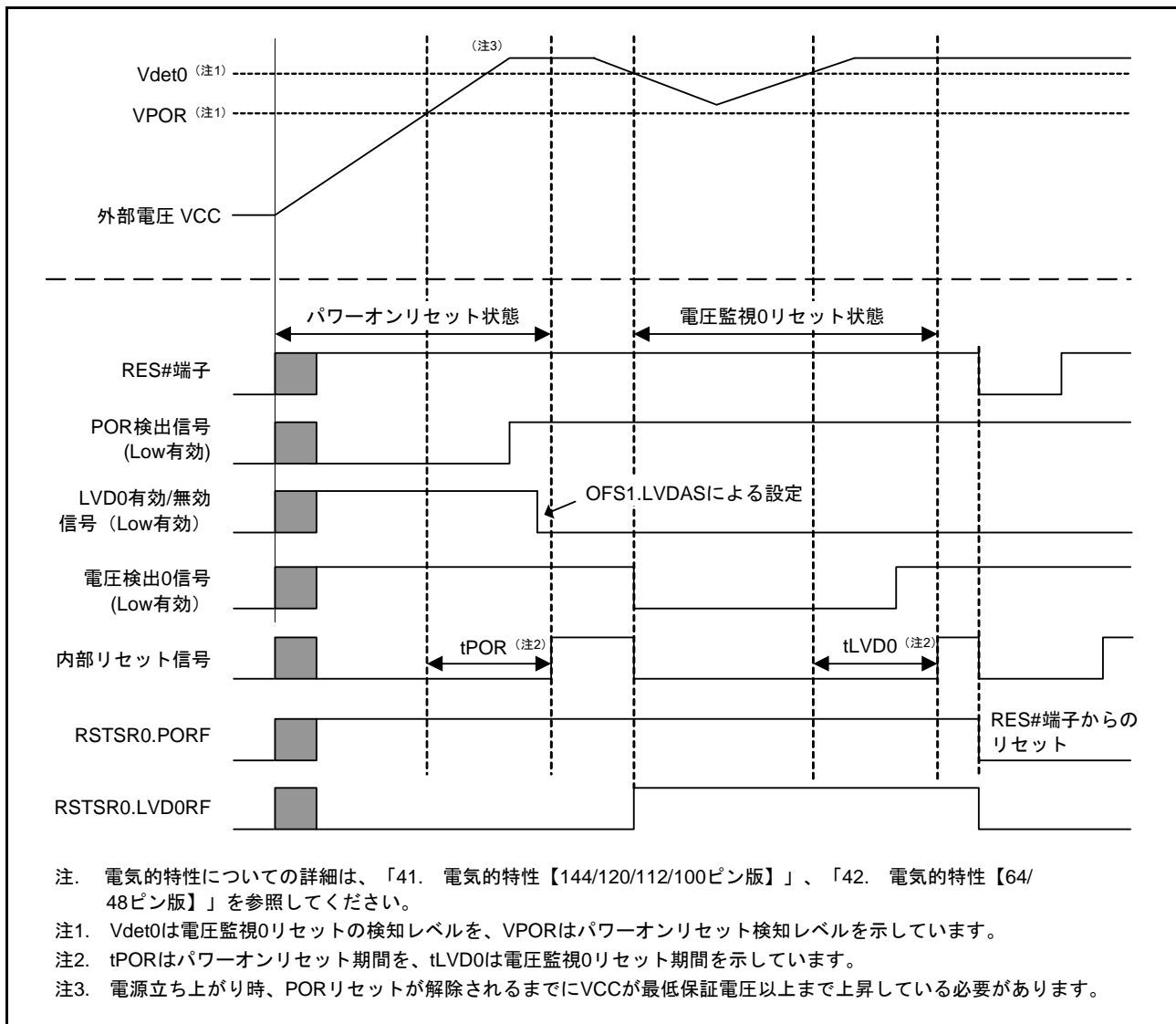


図 7.1 パワーオンリセット、電圧監視 0 リセット動作例

7.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (LVD1RIE) が “1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が Vdet1 以下になると、RSTSR0.LVD1RF フラグが “1” になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (LVD2RIE) が “1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が Vdet2 以下になると、RSTSR0.LVD2RF フラグが “1” になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが “0” のとき、VCC が Vdet1 以下になり、その後 Vdet1 を超えてから LVD1 リセット時間 (tLVD1) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが “1” のとき、VCC が Vdet1 以下になってから

LVD1 リセット時間 (t_{LVD1}) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

Vdet1、および Vdet2 の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 7.2 に電圧監視 1 リセット、および電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセット、および電圧監視 2 リセットの詳細は、「9. 電圧検出回路 (LVDA)」を参照してください。

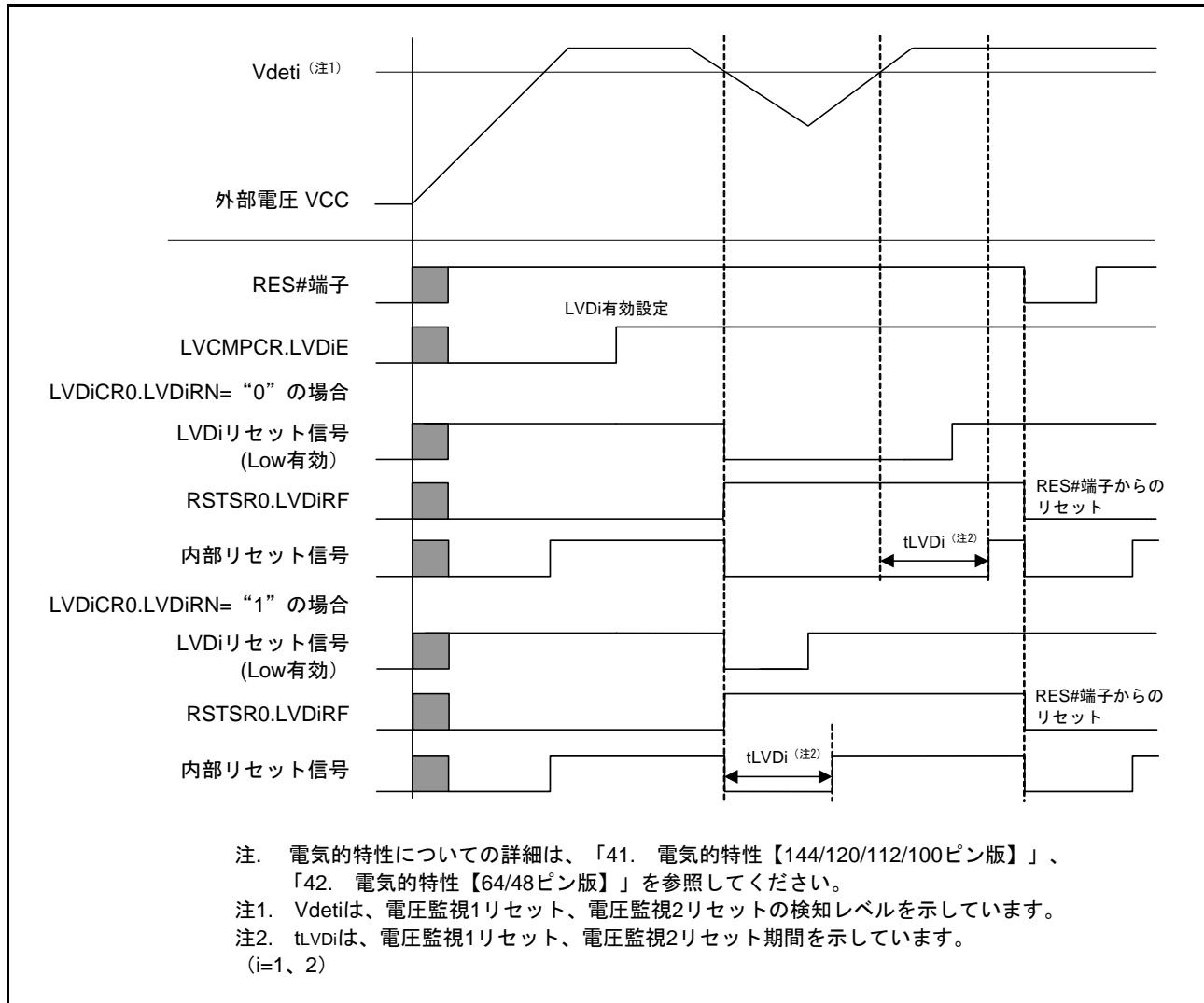


図 7.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

7.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードの解除要因が発生すると、ディープソフトウェアスタンバイリセットが発生します。その後、ディープソフトウェアスタンバイモード解除後復帰時間 (tDSBY) 経過後、ディープソフトウェアスタンバイリセットは解除され、ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイモードの解除後、ディープソフトウェアスタンバイモード解除後待機時間 (tDSBYWT) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、「12. 消費電力低減機能」を参照してください。

7.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

7.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「26. ウォッチドッグタイマ (WDTa)」を参照してください。

7.3.7 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

ソフトウェアリセットレジスタ (SWRR) に“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

7.3.8 コールドスタート/ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると“0”（コールドスタート）になります。その他のリセットを行っても“0”になりません。また、プログラムで“1”を書くと、“1”になります。“0”を書いても変化しません。

図 7.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

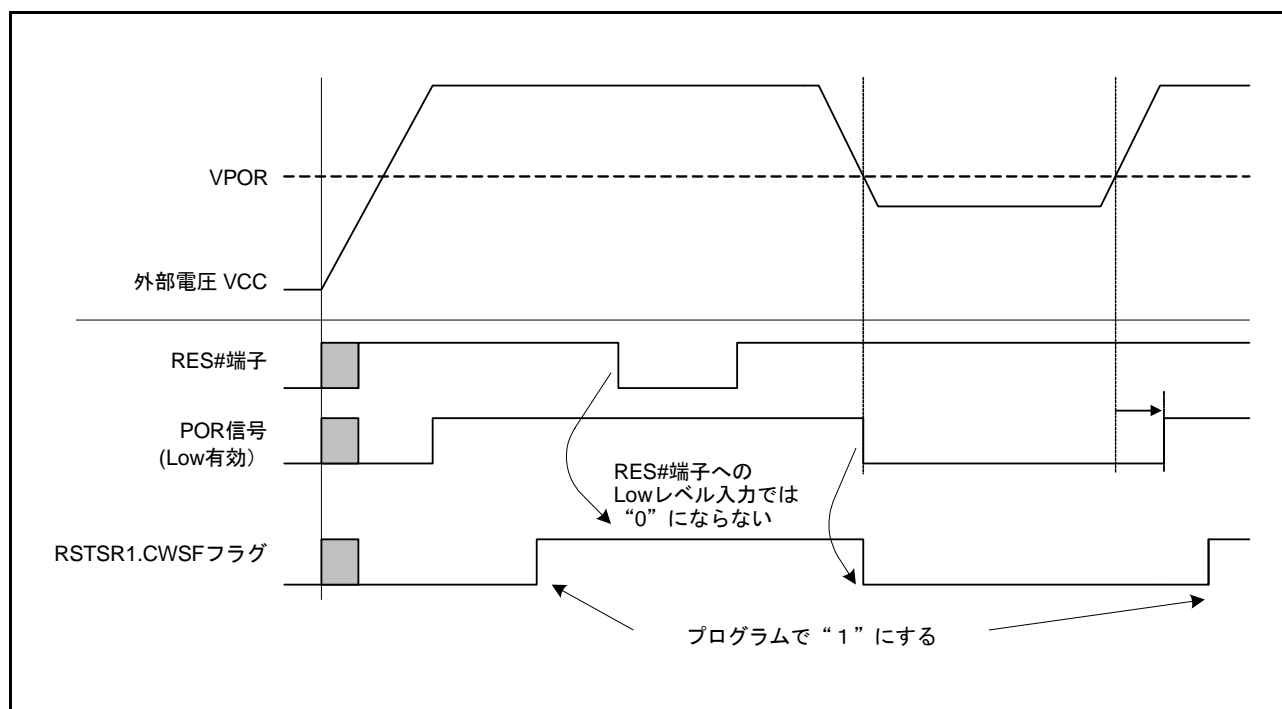


図 7.3 コールドスタート/ウォームスタート判定機能の動作例

7.3.9 リセット発生要因の判定

RSTSR0 レジスタと RSTSR2 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 7.4 にリセット発生要因判定フロー例を示します。

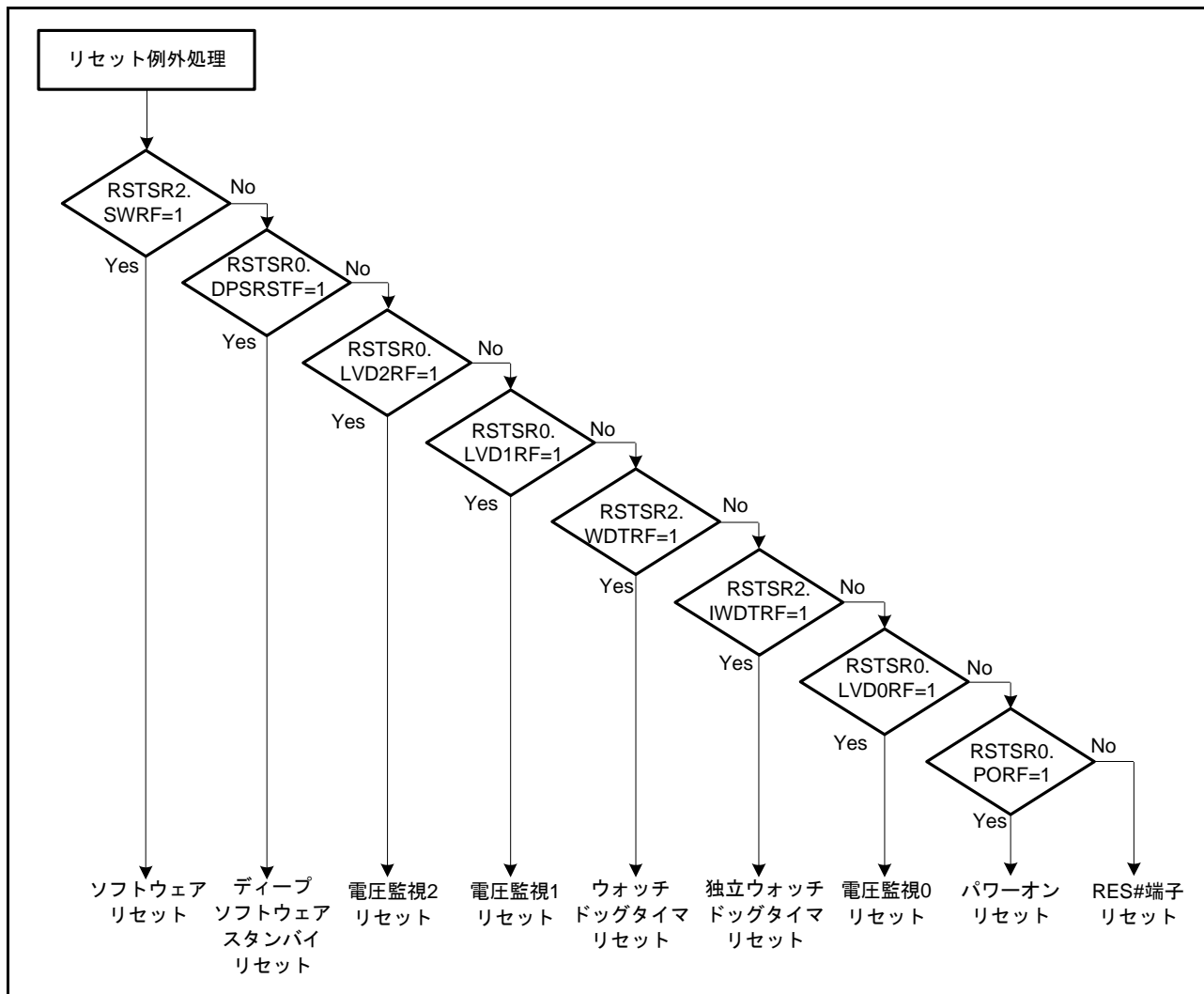


図 7.4 リセット発生要因判定フロー例

8. オプション設定メモリ

8.1 概要

オプション設定メモリは、リセット後のマイコンの状態を選択するレジスタを備えています。オプション設定メモリは、ROM上にあります。

図 8.1 にオプション設定メモリ領域を示します。

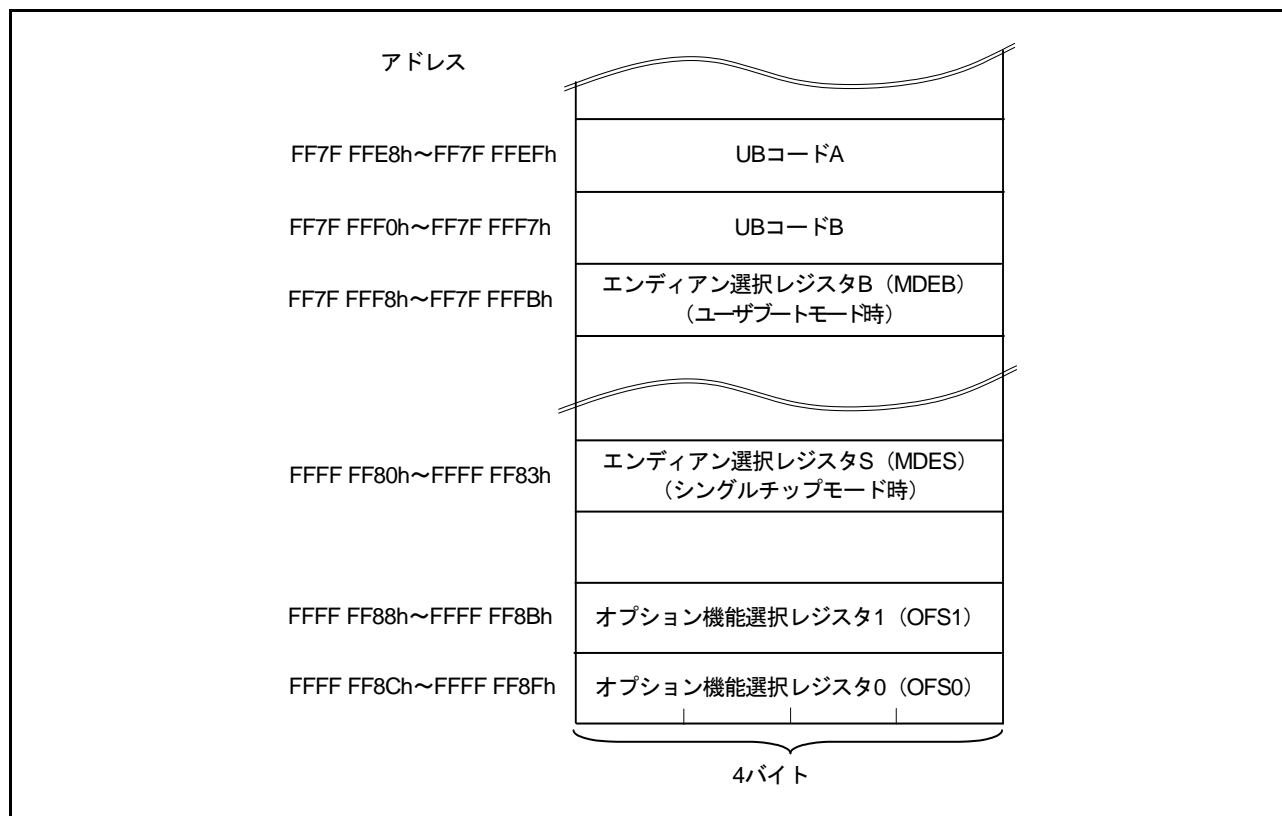


図 8.1 オプション設定メモリ領域

8.2 レジスタの説明

8.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス FFFF FF8Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	WDTSTRS TIRQS	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]	WDTSTRT	—				

リセット後の値

ユーザの設定値 (注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTSLCSTP	—	IWDTSTRS TIRQS	IWDTRPSS[1:0]	IWDTRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDTSTRT	—				

リセット後の値

ユーザの設定値 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0 : リセット後、IWDTはオートスタートモードにて自動的に起動 1 : リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R
b7-b4	IWDTCKS[3:0] (注1)	IWDTクロック分周比選択ビット	b7 b4 0 0 0 0 : 1分周 (周期 131ms) 0 0 1 0 : 16分周 (周期 2.10s) 0 0 1 1 : 32分周 (周期 4.19s) 0 1 0 0 : 64分周 (周期 8.39s) 1 1 1 1 : 128分周 (周期 16.8s) 0 1 0 1 : 256分周 (周期 33.6s) 上記以外は設定しないでください	R
b9-b8	IWDTRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDTRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b12	IWDTSTRS TIRQS	IWDTリセット割り込み要求選択ビット	0 : ノンマスク割り込み要求を許可 1 : リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止有効	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	WDTSTRT	WDTスタートモード選択ビット	0 : リセット後、WDTはオートスタートモードにて自動的に起動 1 : リセット後、WDTは停止状態	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDTタイムアウト期間選択ビット	b19 b18 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R
b23-b20	WDTCKS[3:0]	WDTクロック分周比選択ビット	b23 b20 0 0 0 1 : PCLK/4 0 1 0 0 : PCLK/64 1 1 1 1 : PCLK/128 0 1 1 0 : PCLK/512 0 1 1 1 : PCLK/2048 1 0 0 0 : PCLK/8192 上記以外は設定しないでください	R
b25-b24	WDRPES[1:0]	WDTウィンドウ終了位置選択ビット	b25 b24 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDRPSS[1:0]	WDTウィンドウ開始位置選択ビット	b27 b26 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b28	WDRSTIRQS	WDTリセット割り込み要求選択ビット	0 : ノンマスク割り込み要求を許可 1 : リセットを許可	R
b31-29	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

OFS0 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS0 レジスタに追加書き込みをしないでください。

OFS0 レジスタを含むブロックを消去すると、OFS0 レジスタは“FFFF FFFFh”になります。

ユーザブートモード時はOFS0 レジスタの設定は無効となり、FFFF FFFFh となります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後のIWDTの起動モード（停止状態、またはオートスタートモードでの起動）が選択できます。オートスタートモードでの起動の場合、IWDTの設定は、OFS0 レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間をIWDTCKS[3:0] ビットで設定した分周クロックを1サイクルとして、1024サイクル/4096サイクル/8192サイクル/16384サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間（IWDT用LOCOクロック数）は、IWDTCKS[3:0] ビットとIWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT クロック分周比選択ビット)

IWDT用LOCOクロックを分周するプリスケアラの分周比設定を1分周/16分周/32分周/64分周/128分周/256分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDTのカウント期間をIWDT用LOCOクロックの1024～4194304クロックの間で設定できます。

詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0] ビットで設定したウィンドウ開始/終了位置のカウント値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を100%、アンダフロー発生時を0%）の100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止を選択します。

詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択ビット)

リセット後のWDTの起動モード（停止状態、またはオートスタートモードでの起動）が選択できます。オートスタートモードでの起動の場合、WDTの設定は、OFS0レジスタの設定が有効となります。

WDTTOPS[1:0] ビット (WDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間をWDTCKS[3:0] ビットで設定した分周クロックを1サイクルとして、1024サイクル/4096サイクル/8192サイクル/16384サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間（PCLK）は、WDTCKS[3:0]、WDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「26. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTCKS[3:0] ビット (WDT クロック分周比選択ビット)

PCLKを分周するプリスケアラの分周比設定を4分周/64分周/128分周/512分周/2048分周/8192分周から選択します。WDTTOPS[1:0] ビット設定と組み合わせて、WDTのカウント期間をPCLKの4096～134217728クロックの間で設定できます。

詳細は「26. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPES[1:0] ビット (WDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDTRPSS[1:0] ビット、WDTRPES[1:0] ビットで設定したウィンドウ開始/終了位置のカウント値は、WDTTOPS[1:0] ビットの設定により変わります。

詳細は「26. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を100%、アンダフロー発生時を0%）の100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「26. ウォッチドッグタイマ (WDTA)」を参照してください。

WDRSTIRQS ビット (WDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「26. ウォッチドッグタイマ (WDTA)」を参照してください。

8.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス FFFF FF88h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	LVDAS	—	—
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b2	LVDAS	電圧検出0回路起動ビット	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

OFS1 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS1 レジスタに追加書き込みをしないでください。

OFS1 レジスタを含むブロックを消去すると、OFS1 レジスタは“FFFF FFFFh”となります。

ユーザブートモード時はOFS1 レジスタの設定は無効となり、“FFFF FFFFh”となります。

LVDAS ビット (電圧検出0回路起動ビット)

リセット後、電圧監視0リセットを有効にするか無効にするかを選択します。

8.2.3 エンディアン選択レジスタ B (MDEB)、 エンディアン選択レジスタ S (MDES)

アドレス MDEB (ユーザブートモード時) : FF7F FFF8h
MDES (シングルチップモード時) : FFFF FF80h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]	—
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0 : ビッグエンディアン 1 1 1 : リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

MDEn(n=B, S) レジスタは、CPU のエンディアンを選択するレジスタです。エンディアンの選択は、ユーザブートモード時は FF7F FFF8h 番地のエンディアン選択レジスタ B (MDEB) で、シングルチップモード時は FFFF FF80h 番地のエンディアン選択レジスタ S (MDES) で行います。

MDEn レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、MDEn レジスタに追加書き込みをしないでください。

MDEn レジスタを含むブロックを消去すると、MDEn レジスタは“FFFF FFFFh”になります。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン/ビッグエンディアンを選択します。

ユーザブートモードで動作する場合は、ユーザブート領域の FF7F FFF8h の値、シングルチップモードで動作する場合は、ユーザ領域の FFFF FF80h の値でエンディアンを決定します。

8.3 UB コード

UB コード A と UB コード B はユーザブートモードを使用するときに必要なコードです。USB ブートをそのまま使用される方は、書き換えないでください。以下の 4 条件が成立しているときに、リセットを解除するとユーザブートモードで MCU が起動します。

- UB コード A が “55736572h、426F6F74h” である
- UB コード B が “FFFF FF00h、0008 C040h” である
- MD 端子に Low が入力されている
- P00 端子に High が入力されている

8.3.1 UB コード A

UB コード A は、32 ビット長 2 ワードのデータです。UB コード A には、“55736572h、426F6F74h” を設定してください。これ以外の値は設定しないでください。

図 8.2 に UB コード A の構成を示します。UB コード A は 32 ビット単位で設定してください。

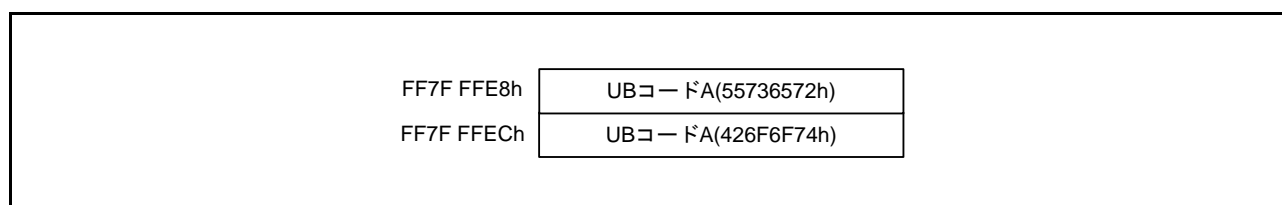


図 8.2 UB コード A の構成

8.3.2 UB コード B

UB コード B は、32 ビット長 2 ワードのデータです。UB コード B には、“FFFF FF00h、0008 C040h” を設定してください。これ以外の値は設定しないでください。

図 8.3 に UB コード B の構成を示します。UB コード B は 32 ビット単位で設定してください。

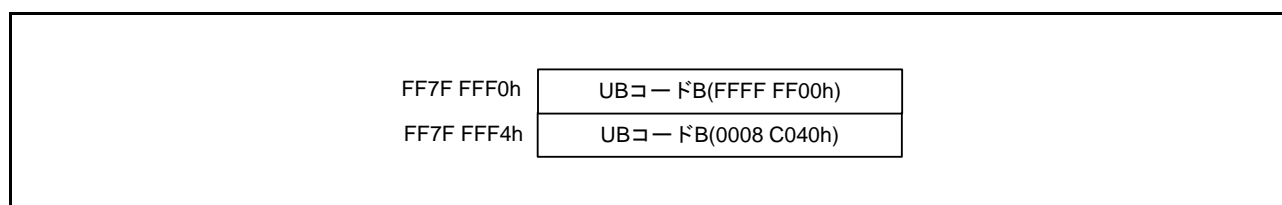


図 8.3 UB コード B の構成

8.4 使用上の注意事項

8.4.1 オプション設定メモリの設定例

オプション設定メモリは ROM 上にありますので、命令の実行では書き換えられません。プログラム作成時に適切な値を書いてください。以下に設定例を示します。

- OFS0 レジスタに “ffff fff8h” を設定する場合
 - .org 0ffff ff8ch
 - .lword 0ffffff8h

注． プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

9. 電圧検出回路 (LVDA)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

9.1 概要

電圧検出 0 は、オプション機能選択レジスタ 1 (OFS1) で、リセット後、電圧監視 0 リセットの有効/無効が選択できます。

電圧検出 1、電圧検出 2 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を設定します。

電圧監視 0 リセット、電圧監視 1 リセット/割り込み、電圧監視 2 リセット/割り込みを使用できます。

表 9.1 に電圧検出回路の仕様を示します。図 9.1 に電圧検出回路のブロック図を、図 9.2 に電圧監視 1 割り込み/リセット発生回路のブロック図を、図 9.3 に電圧監視 2 割り込み/リセット発生回路のブロック図を示します。

表 9.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降してVdet0を通過した場合	上昇または下降してVdet1を通過した場合	上昇または下降してVdet2を通過した場合
	検出電圧	1レベル固定	LVDLVLR.LVD1LVL[3:0]ビットで指定	LVDLVLR.LVD2LVL[3:0]ビットで指定
	モニタフラグ	なし	LVD1SR.LVD1MONフラグ： Vdet1より高いか低いかをモニタ	LVD2SR.LVD2MONフラグ： Vdet2より高いか低いかをモニタ
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		Vdet0 > VCCでリセット： VCC > Vdet0の一定時間後にCPU動作再開	Vdet1 > VCCでリセット： VCC > Vdet1の一定時間後にCPU動作再開、またはVdet1 > VCCの一定時間後にCPU動作再開を選択可能	Vdet2 > VCCでリセット： VCC > Vdet2の一定時間後にCPU動作再開、またはVdet2 > VCCの一定時間後にCPU動作再開を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスクابل割り込み	ノンマスクابل割り込み
		Vdet1 > VCC、VCC > Vdet1の両方、またはどちらかで割り込み要求	Vdet2 > VCC、VCC > Vdet2の両方、またはどちらかで割り込み要求	
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCOのn分周×2 (n: 1, 2, 4, 8)	LOCOのn分周×2 (n: 1, 2, 4, 8)

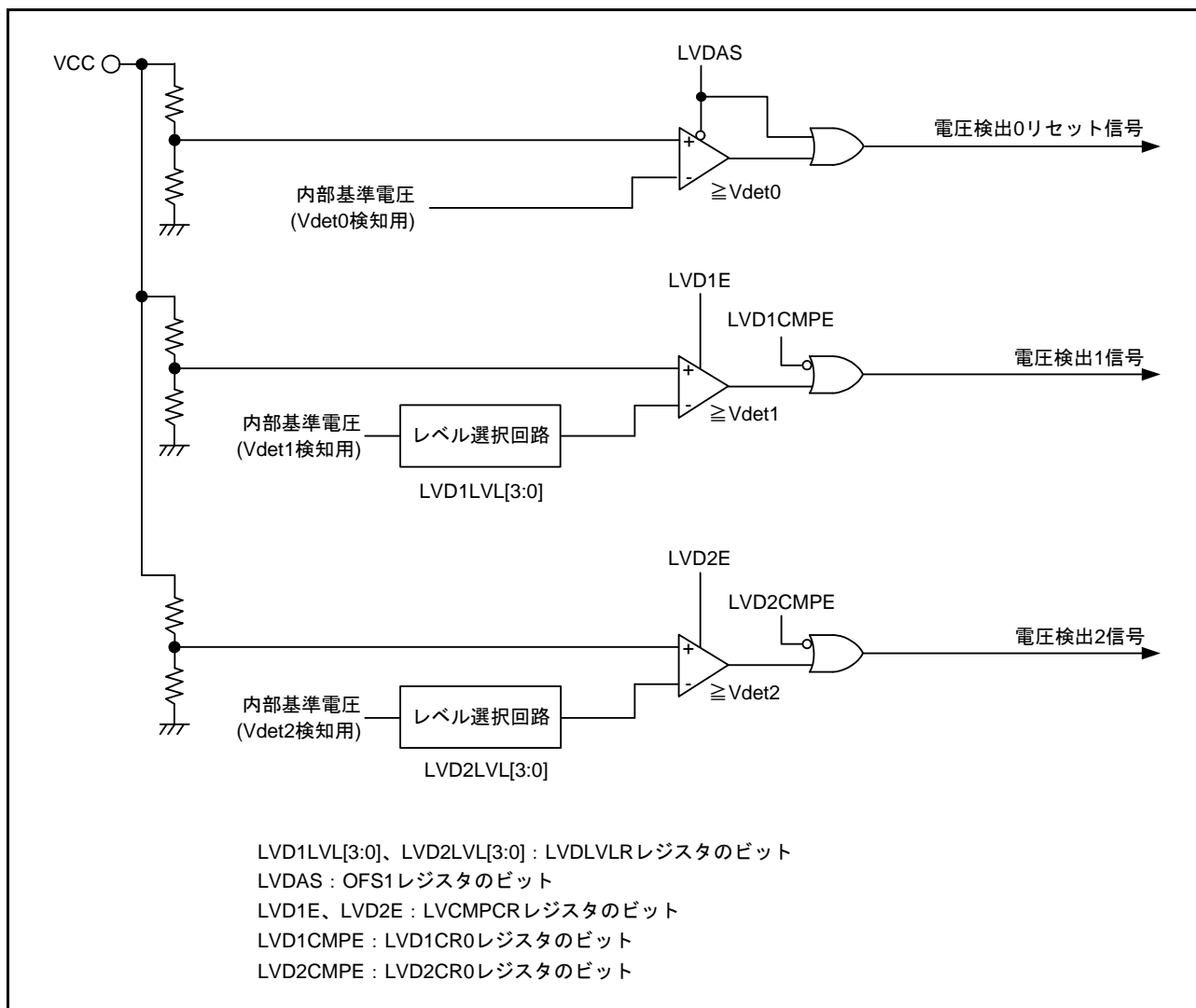


図 9.1 電圧検出回路ブロック図

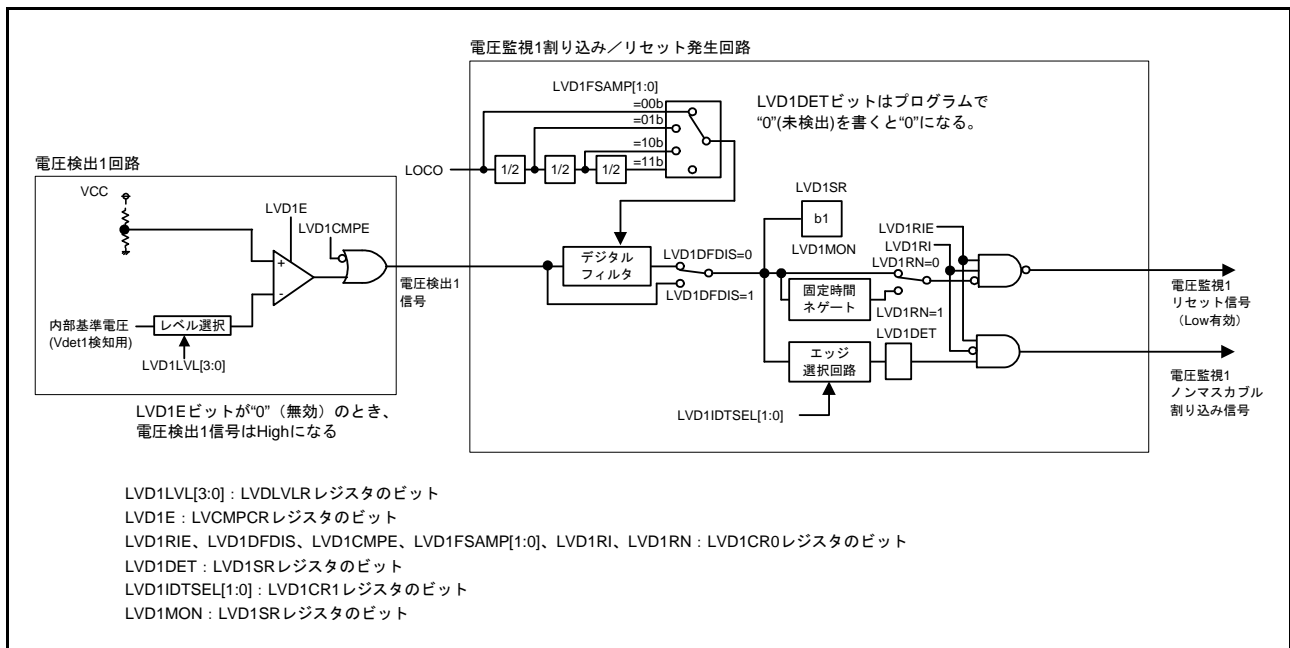


図 9.2 電圧監視 1 割り込み / リセット発生回路のブロック図

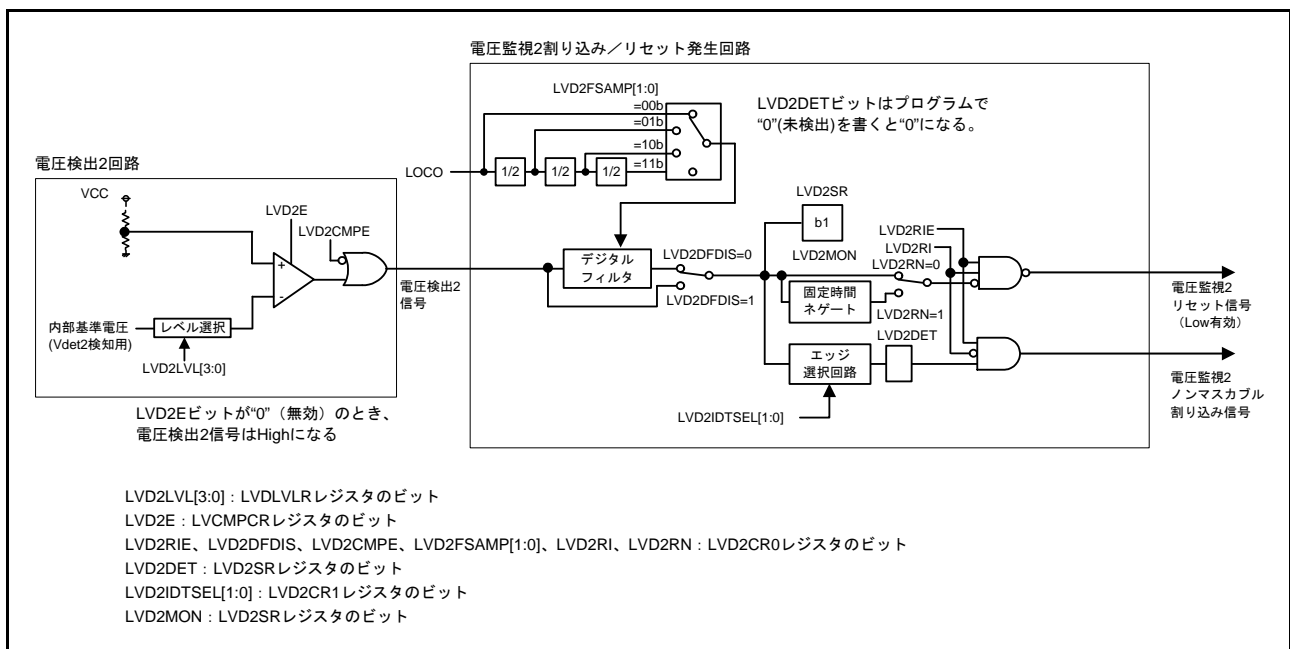


図 9.3 電圧監視 2 割り込み / リセット発生回路のブロック図

9.2 レジスタの説明

9.2.1 電圧監視 1 回路制御レジスタ 1 (LVD1CR1)

アドレス 0008 00E0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	LVD1IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL[1:0]	電圧監視1割り込み発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇) 検出時 0 1 : VCC < Vdet1 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

9.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス 0008 00E1h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	LVD1MON	LVD1DET
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視1電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R(W) (注1)
b1	LVD1MON	電圧監視1信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または LVD1MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでに周辺モジュールクロック2サイクルかかります。

LVD1DET フラグ (電圧監視 1 電圧変化検出フラグ)

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

LVD1CR0、LVD1CR1 レジスタを書き換えると、LVD1DET フラグが“1”になる場合があります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE を“0”（禁止）にしてから行ってください。LVD1RIE を“0”にした後、再度 LVD1CR0.LVD1RIE を“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ (電圧監視 1 信号モニタフラグ)

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

9.2.3 電圧監視 2 回路制御レジスタ 1 (LVD2CR1)

アドレス 0008 00E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	LVD2IDTSEL[1:0]	—
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL[1:0]	電圧監視2割り込み発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet2 (上昇) 検出時 0 1 : VCC < Vdet2 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

9.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	LVD2MON	LVD2DET
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0 : 未検出 1 : Vdet2通過検出	R(W) (注1)
b1	LVD2MON	電圧監視2信号モニタフラグ	0 : VCC < Vdet2 1 : VCC ≥ Vdet2またはLVD2MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでに周辺モジュールクロック2サイクルかかります。

LVD2DET フラグ (電圧監視 2 電圧変化検出フラグ)

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

LVD2CR0、LVD2CR1 レジスタを書き換えると、LVD2DET フラグが“1”になる場合があります。LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE を“0”（禁止）にしてから行ってください。LVD2RIE を“0”にした後、再度 LVD2CR0.LVD2RIE を“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ (電圧監視 2 信号モニタフラグ)

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

9.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス 0008 C297h

b7	b6	b5	b4	b3	b2	b1	b0
—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD1E ビット (電圧検出1許可ビット)

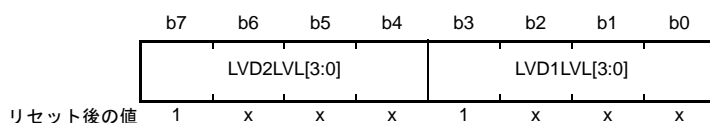
電圧検出1の割り込み/リセットを使用する場合、またはLVD1SR.LVD1MONビットを使用する場合、LVD1Eビットを“1”にしてください。LVD1Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

LVD2E ビット (電圧検出2許可ビット)

電圧検出2の割り込み/リセットを使用する場合、またはLVD2SR.LVD2MONビットを使用する場合、LVD2Eビットを“1”にしてください。LVD2Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

9.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス 0008 C298h



x: 不定

【144/120/112/100ピン版】

ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	[3V版の場合] b3 b2 b1 b0 1 0 0 0 :2.90V 1 0 0 1 :2.85V 1 0 1 0 :2.88V 書く場合、上記以外は設定しないでください [5V版の場合] b3 b2 b1 b0 1 0 0 0 :4.77V 1 0 0 1 :4.23V 1 0 1 0 :4.50V 書く場合、上記以外は設定しないでください	R/W
b7-b4	LVD2LVL[3:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	[3V版の場合] b3 b2 b1 b0 1 0 0 0 :2.90V 1 0 0 1 :2.85V 1 0 1 0 :2.88V 書く場合、上記以外は設定しないでください [5V版の場合] b3 b2 b1 b0 1 0 0 0 :4.77V 1 0 0 1 :4.23V 1 0 1 0 :4.50V 書く場合、上記以外は設定しないでください	R/W

【64/48ピン版】

ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b2 b1 b0 1 0 1 0 : 2.95V 書く場合、上記以外は設定しないでください	R/W
b7-b4	LVD2LVL[3:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	b7 b6 b5 b4 1 0 1 0 : 2.95V 書く場合、上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVDLVLR レジスタは、LVCMPCR.LVD1E ビット、LVCMPCR.LVD2E ビットが共に“0”（電圧検出 n 回路無効）(n=1, 2) の場合のみ変更可能です。

9.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	LVD1FSAMP[1:0]	—	LVD1CMPE	LVD1DFDIS	LVD1RIE	
リセット後の値	1	0	0	0	x	0	1	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視1割り込み/リセット許可ビット	0: 禁止 1: 許可	R/W
b1	LVD1DFDIS	電圧監視1デジタルフィルタ無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
b2	LVD1CMPE	電圧監視1回路比較結果出力許可ビット	0: 電圧監視1回路比較結果出力禁止 1: 電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD1FSAMP[1:0]	サンプリングクロック選択ビット	b5 b4 0 0: LOCOの1分周 0 1: LOCOの2分周 1 0: LOCOの4分周 1 1: LOCOの8分周	R/W
b6	LVD1RI	電圧監視1回路モード選択ビット	0: Vdet1 通過時に電圧監視1割り込み 1: 下降してVdet1 通過時に電圧監視1リセット	R/W
b7	LVD1RN	電圧監視1リセットネゲート選択ビット	0: VCC > Vdet1 検出から一定時間 (tLVD1) 経過後にネゲート 1: LVD1リセットアサートから一定時間 (tLVD1) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD1RIE ビット (電圧監視 1 割り込み/リセット許可ビット)

LVD1RIE ビットは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のときに有効になります。

フラッシュメモリのプログラム/イレーズ中は、電圧監視 1 リセットおよび電圧監視 1 割り込みを発生させないでください。

LVD1DFDIS ビット (電圧監視 1 デジタルフィルタ無効モード選択ビット)

LVD1DFDIS ビットを“0”（デジタルフィルタ回路有効）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。

電圧監視 1 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD1DFDIS ビットを“1”（デジタルフィルタ回路無効）にしてください。

LVD1FSAMP[1:0] ビット (サンプリングクロック選択ビット)

LVD1FSAMP[1:0] ビットは、LVD1DFDIS ビットが“1”（デジタルフィルタ回路無効）のときのみ書き換え可能です。LVD1DFDIS ビットが“0”（デジタルフィルタ回路有効）のときには、LVD1FSAMP[1:0] ビットを書き換えないでください。

LVD1RI ビット (電圧監視 1 回路モード選択ビット)

LVD1RI ビットが“1”（電圧監視 1 リセット選択）、または LVD2CR0.LVD2RI ビットが“1”（電圧監視 2 リセット選択）の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフト

ウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD1RI ビットを“0”（電圧監視1割り込み選択）、かつLVD2CR0.LVD2RI ビットを“0”（電圧監視2割り込み選択）にしてください。

LVD1RN ビット（電圧監視1リセットネゲート選択ビット）

LVD1RN ビットを“1”（LVD1リセットアサートから一定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO動作）にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0”（VCC > Vdet1 検出から一定時間経過後にネゲート）にすることのみ可能です。LVD1RN ビットを“1”（LVD1リセットアサートから一定時間経過後にネゲート）にしないでください。

9.2.8 電圧監視2回路制御レジスタ0 (LVD2CR0)

アドレス 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	LVD2FSAMP[1:0]		—	LVD2CMPE	LVD2DFDIS	LVD2RIE
リセット後の値	1	0	0	0	x	0	1	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0: 禁止 1: 許可	R/W
b1	LVD2DFDIS	電圧監視2デジタルフィルタ無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0: 電圧監視2回路比較結果出力禁止 1: 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD2FSAMP[1:0]	サンプリングクロック選択ビット	b5 b4 0 0: LOCOの1分周 0 1: LOCOの2分周 1 0: LOCOの4分周 1 1: LOCOの8分周	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0: Vdet2通過時に電圧監視2割り込み 1: 下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0: VCC > Vdet2検出から一定時間 (tLVD2) 経過後にネゲート 1: LVD2リセットアサートから一定時間 (tLVD2) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD2RIE ビット（電圧監視2割り込み/リセット許可ビット）

LVD2RIE ビットは、LVCMPCR.LVD2E ビットが“1”（電圧検出2回路有効）、かつLVD2CMPE ビットが“1”（電圧監視2回路比較結果出力許可）のときに有効になります。

フラッシュメモリのプログラム/イレーズ中は、電圧監視2リセットおよび電圧監視2割り込みを発生させないでください。

LVD2DFDIS ビット (電圧監視 2 デジタルフィルタ無効モード選択ビット)

LVD2DFDIS ビットを“0” (デジタルフィルタ回路有効) にする場合は、LOCOCR.LCSTP ビットは“0” (LOCO 動作) にしてください。

電圧監視 2 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD2DFDIS ビットを“1” (デジタルフィルタ回路無効) にしてください。

LVD2FSAMP[1:0] ビット (サンプリングクロック選択ビット)

LVD2FSAMP[1:0] ビットは、LVD2DFDIS ビットが“1” (デジタルフィルタ回路無効) のときのみ書き換え可能です。LVD2DFDIS ビットが“0” (デジタルフィルタ回路有効) のときには、LVD2FSAMP[1:0] ビットを書き換えしないでください。

LVD2RI ビット (電圧監視 2 回路モード選択ビット)

LVD2RI ビットが“1” (電圧監視 2 リセット選択)、または LVD1CR0.LVD1RI ビットが“1” (電圧監視 1 リセット選択) の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD2RI ビットを“0” (電圧監視 2 割り込み選択)、かつ LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み選択) にしてください。

LVD2RN ビット (電圧監視 2 リセットネゲート選択ビット)

LVD2RN ビットを“1” (LVD2 リセットアサートから一定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは“0” (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0” (VCC > Vdet2 検出から一定時間経過後にネゲート) にすることのみ可能です。LVD2RN ビットを“1” (LVD2 リセットアサートから一定時間経過後にネゲート) にしないでください。

9.3 VCC 入力電圧のモニタ

9.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

9.3.2 Vdet1 のモニタ

表 9.3 に Vdet1 のモニタの設定手順を示します。設定後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

表9.2 Vdet1のモニタの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	LVDLVLR.LVD1LVL[3:0]ビットで検出電圧を設定する	
2	LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	LVD1CR0.LVD1DFDIS ビットを“1”（デジタルフィルタ無効）にする
3	LVD1CR0.LVD1CMPE ビットを“1”（電圧監視1回路比較結果出力許可）にする	
4	LOCOの1サイクル以上待つ	—
5	LVD1CR0.LVD1DFDIS ビットを“0”（デジタルフィルタ有効）にする	—
6	LOCOの $2n+3$ サイクル以上待つ（ $n=1, 2, 4, 8$: デジタルフィルタのサンプリングクロック=LOCOの n 分周）	—（待ち時間なし）
7	LVCMPCR.LVD1E ビットを“1”（電圧検出1回路有効）にする	

9.3.3 Vdet2 のモニタ

表 9.3 に Vdet2 のモニタの設定手順を示します。設定後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

表9.3 Vdet2のモニタの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	LVDLVLR.LVD2LVL[3:0]ビットで検出電圧を設定する	
2	LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	LVD2CR0.LVD2DFDIS ビットを“1”（デジタルフィルタ無効）にする
3	LVD2CR0.LVD2CMPE ビットを“1”（電圧監視2回路比較結果出力許可）にする	
4	LOCOの1サイクル以上待つ	—
5	LVD2CR0.LVD2DFDIS ビットを“0”（デジタルフィルタ有効）にする	—
6	LOCOの $2n+3$ サイクル以上待つ（ $n=1, 2, 4, 8$: デジタルフィルタのサンプリングクロック=LOCOの n 分周）	—（待ち時間なし）
7	LVCMPCR.LVD2E ビットを“1”（電圧検出2回路有効）にする	

9.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、電圧検出0回路起動ビット (OFS1.LVDAS) を“0” (リセット後、電圧監視0リセット有効) にしてください。

図 9.4 に電圧監視0リセット動作例を示します。

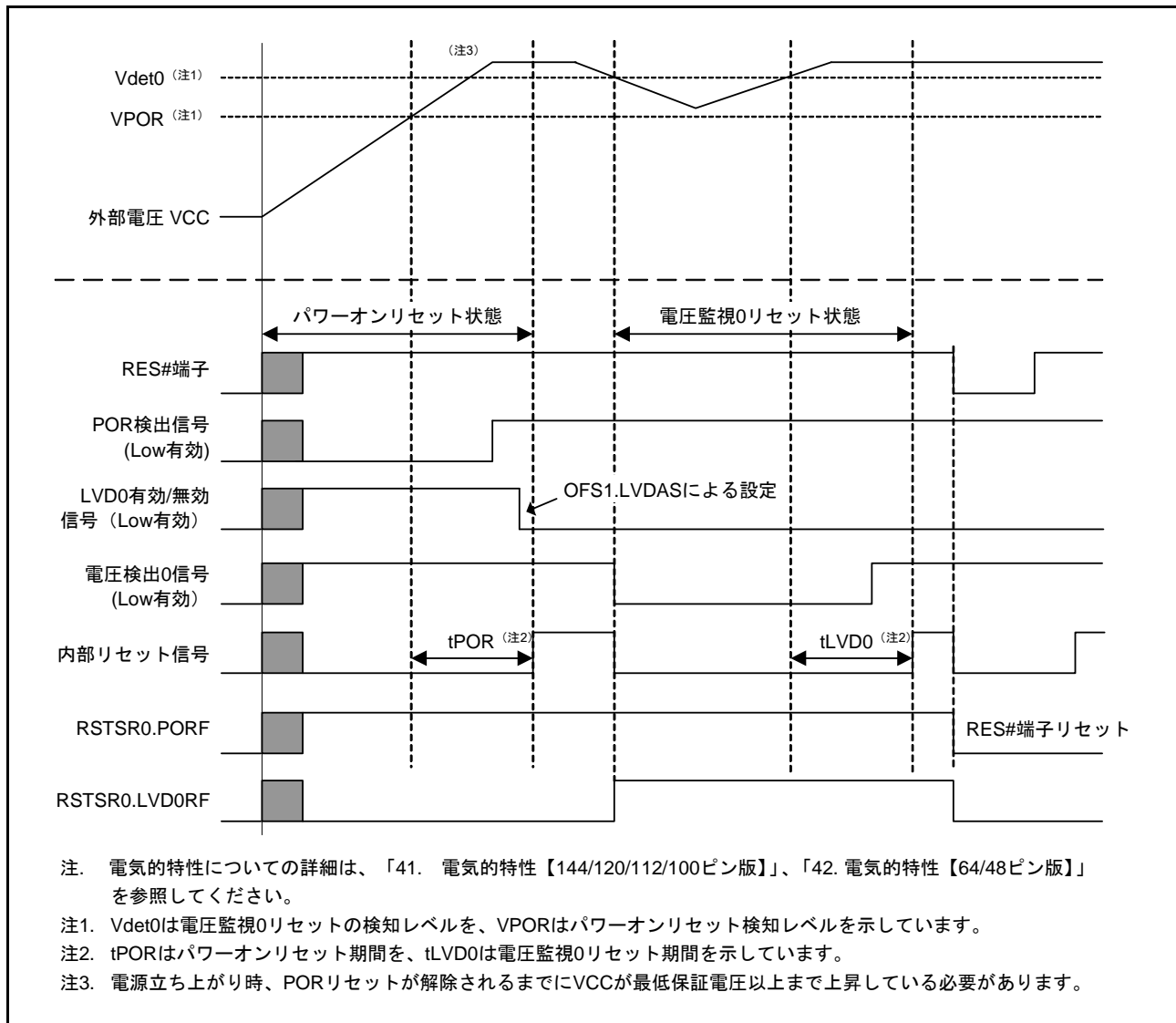


図 9.4 電圧監視0リセット動作例

9.5 電圧監視1割り込み、電圧監視1リセット

表 9.4 に電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順を、表 9.5 に電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定手順を、図 9.5 に電圧監視1割り込み動作例を示します。電圧監視1リセットの動作例については、「7. リセット」の図 7.2 を参照してください。

なお、電圧監視1回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に使用する場合は、LVD1CR0.LVD1DFDIS ビットを“1”（デジタルフィルタ無効）にしてください。

表9.4 電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視1割り込み	電圧監視1リセット	電圧監視1割り込み	電圧監視1リセット
1 (注1)	LVDLVL.R.LVD1LVL[3:0]ビットで検出電圧を設定する			
2 (注2)	LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する		LVD1CR0.LVD1DFDIS ビットを“1”（デジタルフィルタ無効）にする	
3 (注1、注2)	LVD1CR0.LVD1RI ビットを“0”（電圧監視1割り込み）にする	<ul style="list-style-type: none"> LVD1CR0.LVD1RI ビットを“1”（電圧監視1リセット）にする LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する 	LVD1CR0.LVD1RI ビットを“0”（電圧監視1割り込み）にする	<ul style="list-style-type: none"> LVD1CR0.LVD1RI ビットを“1”（電圧監視1リセット）にする LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する
4	LVD1CR1.LVD1IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する	—	LVD1CR1.LVD1IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する	—
5	LVD1CR0.LVD1CMPE ビットを“1”（電圧監視1回路比較結果出力許可）にする			
6 (注2)	LOCOの1サイクル以上待つ		—	
7	LVD1CR0.LVD1DFDIS ビットを“0”（デジタルフィルタ有効）にする		—	
8	LOCOの $2n+3$ サイクル以上待つ（ $n=1, 2, 4, 8$: デジタルフィルタのサンプリングクロック=LOCOの n 分周）		—（待ち時間なし）	
9	LVD1SR.LVD1DET フラグを“0”にする	—	LVD1SR.LVD1DET フラグを“0”にする	—
10	LVD1CR0.LVD1RIE ビットを“1”（電圧監視1割り込み/リセット許可）にする			
11 (注1)	LVCMP.R.LVD1E ビットを“1”（電圧検出1回路有効）にする			

注1. 電圧監視1割り込み設定（LVD1CR0.LVD1RI = 0）で動作させている場合で、停止後にLVD1CR0.LVD1FSAMP[1:0]、LVD1DFDIS ビットまたはLVD1CR1.LVD1IDTSEL[1:0]ビットの設定のみ変更して再動作させる場合、あるいは停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順1、3、11は不要です。電圧監視1リセット設定（LVD1CR0.LVD1RI = 1）で動作させている場合の変更は、手順1～11で設定してください。

注2. 手順2と3は同時に（1命令で）実行してもかまいません。

表9.5 電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定手順

手順	電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定
1 (注1)	LVCMP.R.LVD1E ビットを“0”（電圧検出1回路無効）にする
2 (注1)	LOCOの1サイクル以上待つ
3	LVD1CR0.LVD1RIE ビットを“0”（電圧監視1割り込み/リセット禁止）にする
4	LVD1CR0.LVD1CMPE ビットを“0”（電圧監視1回路比較結果出力禁止）にする
5	LVCMP.R.LVD1E ビット、LVD1CR0.LVD1CMPE、LVD1RIE ビットを除く電圧検出回路関連レジスタの設定を変更する

注1. 電圧監視1割り込み設定（LVD1CR0.LVD1RI = 0）で動作させている場合で、停止後にLVD1CR0.LVD1FSAMP[1:0]、LVD1DFDIS ビットまたはLVD1CR1.LVD1IDTSEL[1:0]ビットの設定のみ変更して再動作させる場合、あるいは停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順1と2は不要です。電圧監視1リセット設定（LVD1CR0.LVD1RI = 1）で動作させている場合の変更は、手順1～5で設定してください。

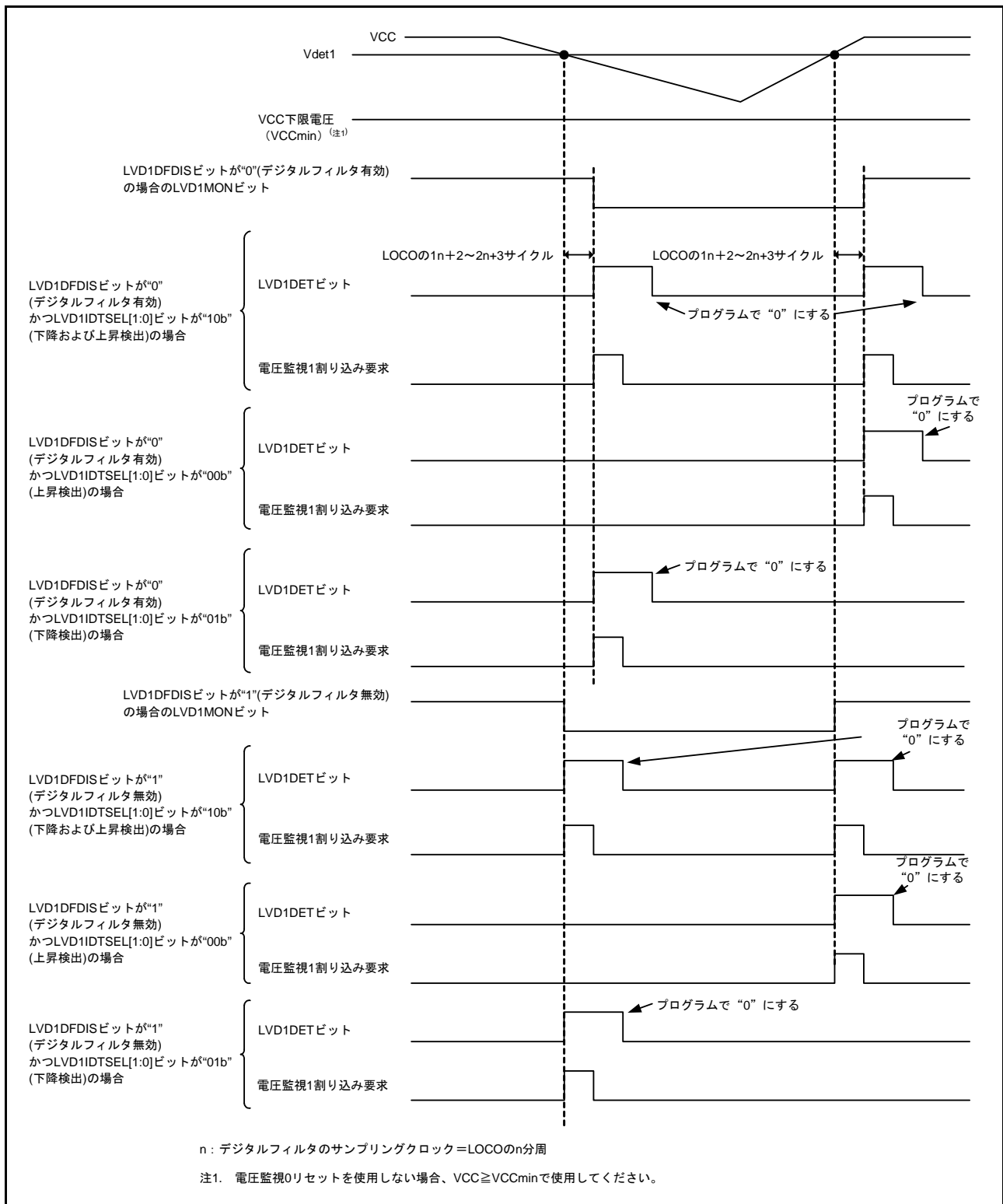


図 9.5 電圧監視 1 割り込み動作例

9.6 電圧監視 2 割り込み、電圧監視 2 リセット

表 9.6 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 9.7 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 9.6 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「7. リセット」の図 7.2 を参照してください。

なお、電圧監視 2 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に使用する場合は、LVD2CR0.LVD2DFDIS ビットを“1”（デジタルフィルタ無効）にしてください。

表9.6 電圧監視2割り込み、電圧監視2リセット関連ビットの動作設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み	電圧監視2リセット	電圧監視2割り込み	電圧監視2リセット
1 (注1)	LVDLVLRLVD2LVL[3:0]ビットで検出電圧を設定する			
2 (注2)	LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する		LVD2CR0.LVD2DFDIS ビットを“1”（デジタルフィルタ無効）にする	
3 (注1,注2)	LVD2CR0.LVD2RI ビットを“0”（電圧監視2割り込み）にする	<ul style="list-style-type: none"> LVD2CR0.LVD2RI ビットを“1”（電圧監視2リセット）にする LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する 	LVD2CR0.LVD2RI ビットを“0”（電圧監視2割り込み）にする	<ul style="list-style-type: none"> LVD2CR0.LVD2RI ビットを“1”（電圧監視2リセット）にする LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する
4	LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する	—	LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する	—
5	LVD2CR0.LVD2CMPE ビットを“1”（電圧監視2回路比較結果出力許可）にする			
6	LOCOの1サイクル以上待つ		—	
7	LVD2CR0.LVD2DFDIS ビットを“0”（デジタルフィルタ有効）にする		—	
8	LOCOの $2n+3$ サイクル以上待つ（ $n=1, 2, 4, 8$ ：デジタルフィルタのサンプリングクロック=LOCOの n 分周）			
9	LVD2SR.LVD2DET フラグを“0”にする	—	LVD2SR.LVD2DET フラグを“0”にする	—
10	LVD2CR0.LVD2RIE ビットを“1”（電圧監視2割り込み/リセット許可）にする			
11 (注1)	LVCMPCLR.LVD2E ビットを“1”（電圧検出2回路有効）にする			

注1. 電圧監視2割り込み設定（LVD2CR0.LVD2RI = 0）で動作させている場合で、停止後にLVD2CR0.LVD2FSAMP[1:0], LVD2DFDIS ビットまたはLVD2CR1.LVD2IDTSEL[1:0]ビットの設定のみ変更して再動作させる場合、あるいは停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順1、3、11は不要です。電圧監視2リセット設定（LVD2CR0.LVD2RI = 1）で動作させている場合の変更は、手順1～11で設定してください。

注2. 手順2と3は同時に（1命令で）実行してもかまいません。

表9.7 電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定手順

手順	電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定
1 (注1)	LVCMPCLR.LVD2E ビットを“0”（電圧検出2回路無効）にする
2 (注1)	LOCOの1サイクル以上待つ
3	LVD2CR0.LVD2RIE ビットを“0”（電圧監視2割り込み/リセット禁止）にする
4	LVD2CR0.LVD2CMPE ビットを“0”（電圧監視2回路比較結果出力禁止）にする
5	LVCMPCLR.LVD2E ビット、LVD2CR0.LVD2CMPE、LVD2RIE ビットを除く電圧検出回路関連レジスタの設定を変更する

注1. 電圧監視2割り込み設定（LVD2CR0.LVD2RI = 0）で動作させている場合で、停止後にLVD2CR0.LVD2FSAMP[1:0], LVD2DFDIS ビットまたはLVD2CR1.LVD2IDTSEL[1:0]ビットの設定のみ変更して再動作させる場合、あるいは停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順1と2は不要です。電圧監視2リセット設定（LVD2CR0.LVD2RI = 1）で動作させている場合の変更は、手順1～5で設定してください。

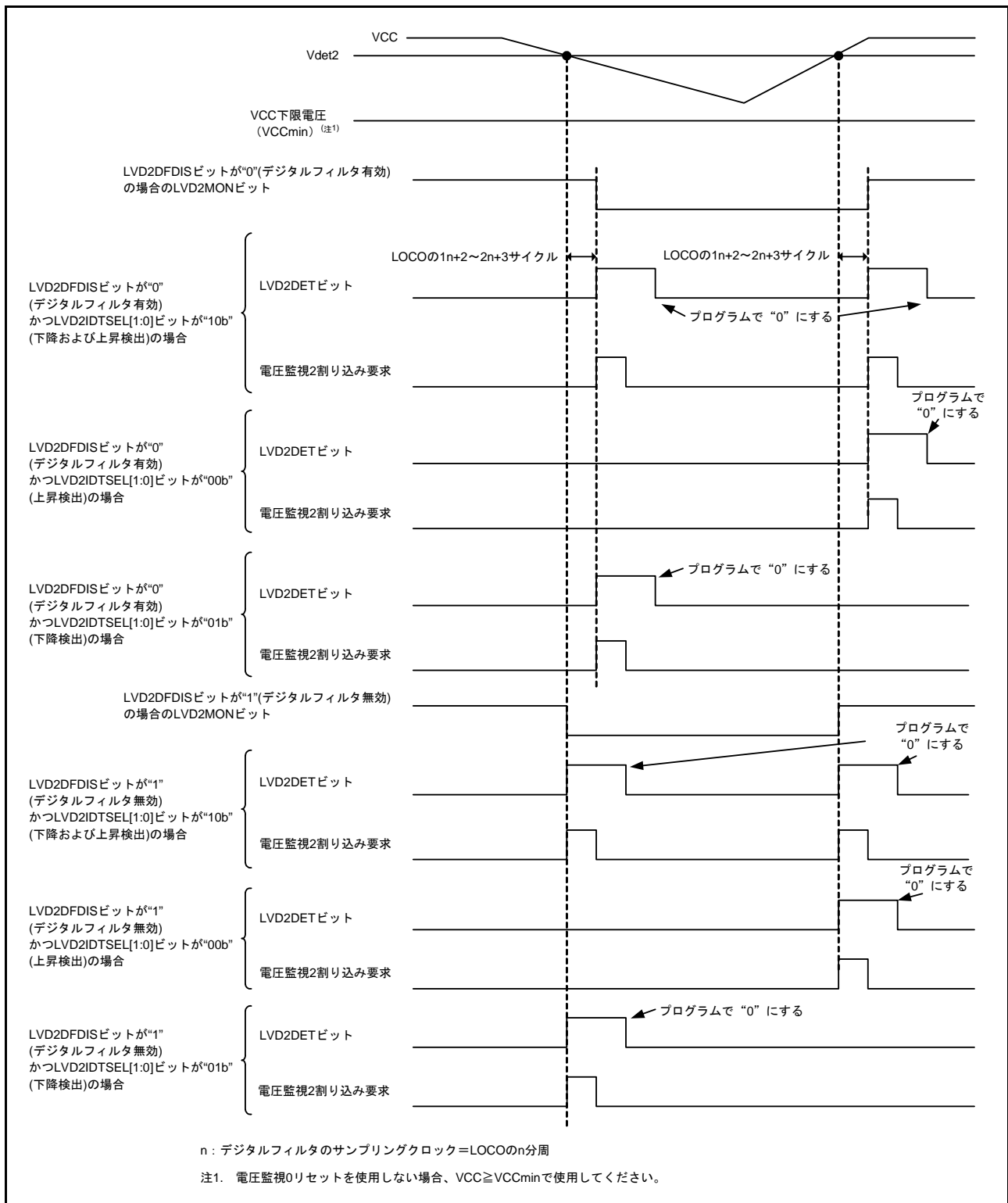


図 9.6 電圧監視 2 割り込み動作例

10. クロック発生回路

10.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 10.1 にクロック発生回路の仕様を、図 10.1 にクロック発生回路のブロック図を示します。

表 10.1 クロック発生回路の仕様

項目	仕様
用途	<ul style="list-style-type: none"> • CPU、DMAC、DTC、ROMおよびRAMに供給されるシステムクロック (ICLK) の生成 • MTU3、GPT、DPCに供給される周辺モジュールクロック (PCLKA) の生成^(注1) • 周辺モジュールに供給される周辺モジュールクロック (PCLKB) の生成 • ADに供給されるAD用クロック (PCLKC) の生成^(注1) • S12ADに供給されるS12AD用クロック (PCLKD) の生成^(注1) • FlashIFに供給されるFlashIFクロック (FCLK) の生成 • 外部バスに供給される外部バスクロック (BCLK) の生成 • USBに供給されるUSBクロック (UCLK) の生成 • CANに供給されるCANクロック (CANMCLK) の生成 • CACに供給されるCACクロック (CACMCLK) の生成 • IWDTに供給されるIWDT専用クロック (IWDTCCLK) の生成 • JTAGに供給されるJTAG用クロック (JTAGTCK) の生成
動作周波数	<ul style="list-style-type: none"> • ICLK : 100MHz (max) • PCLKA : 100MHz (max) • PCLKB : 50MHz (max) • PCLKC : 100MHz (max) • PCLKD : 50MHz (max) • FCLK : 4MHz ~ 50MHz (ROM、E2データフラッシュ P/E時) 50MHz (max) (E2データフラッシュ読み出し時) • BCLK : 50MHz (max) • BCLK端子出力 : 50MHz (max) • UCLK : 48MHz (max) • CANMCLK : 14MHz (max) • CACMCLK : 各発振器のクロックと同じ • IWDTCCLK : 125kHz • JTAGTCK : 10MHz (max)
メインクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 【144/120/112/100ピン版の場合】 8MHz ~ 12.5MHz 【64/48ピン版の場合】 4MHz ~ 16MHz • 外部クロック入力周波数 : 【144/120/112/100ピン版の場合】 14MHz (max) 【64/48ピン版の場合】 20MHz (max) • 接続できる発振器、または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL、XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCOに切り替える機能、MTU端子、およびGPTの端子をハイインピーダンスにする機能
PLL回路	<ul style="list-style-type: none"> • 入力クロック源 : メインクロック • 入力分周比 : 1、2、4分周から選択可能 • 入力周波数 : 【144/120/112/100ピン版の場合】 8MHz ~ 12.5MHz 【64/48ピン版の場合】 4MHz ~ 16MHz • 通倍比 : 8、10、12、16、20、24、25、50通倍から選択可能 • VCO発振周波数 : 104MHz ~ 200MHz
低速オンチップオシレータ (LOCO)	発振周波数 : 125kHz
IWDT専用オンチップオシレータ	発振周波数 : 125kHz
JTAG用外部クロック入力 (TCK)	入力クロック周波数 : 10MHz (max)
BCLK端子の出力制御機能	<ul style="list-style-type: none"> • BCLKクロック出力またはHighレベル出力の選択が可能 • 出力するクロックはBCLKまたはBCLKの2分周の選択が可能

注1. 本MCUでは、PCLKB = PCLKです。

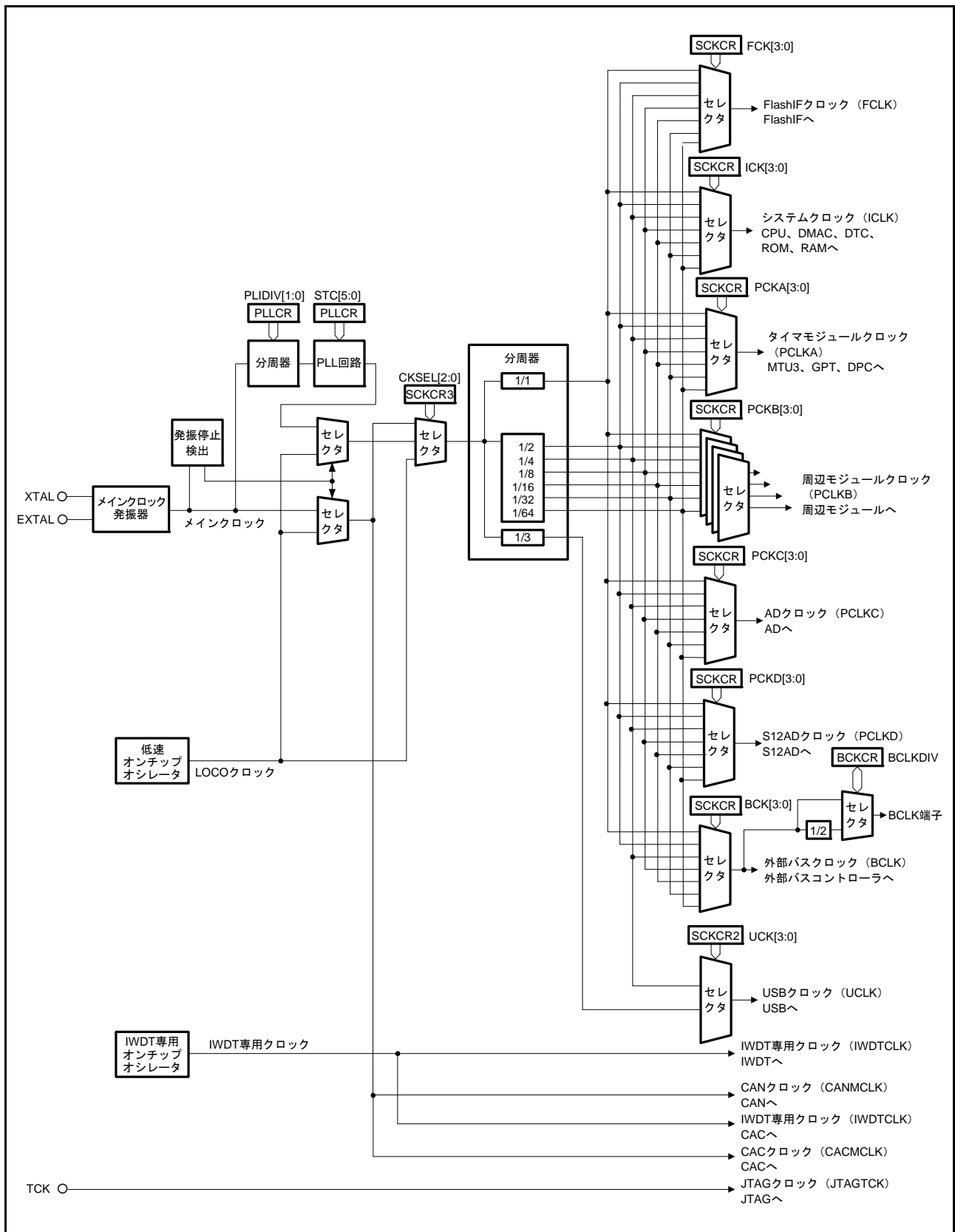


図 10.1 クロック発生回路のブロック図

表 10.2 にクロック発生回路の入出力端子を示します。

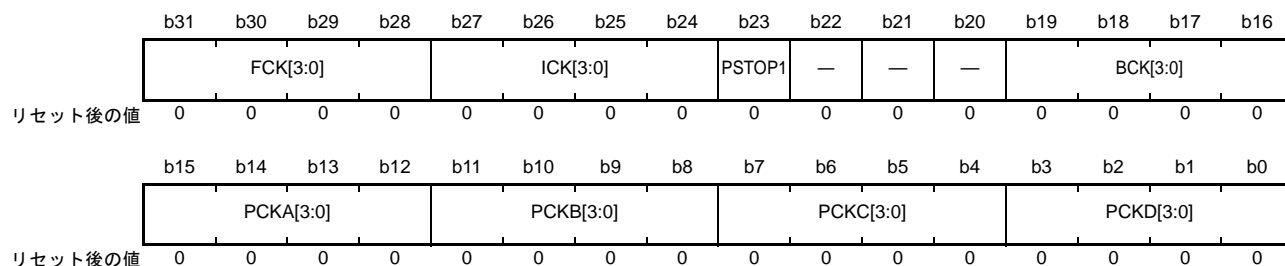
表 10.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。EXTAL端子は外部クロックの入力も可能。詳細は、「10.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
TCK	入力	JTAG用のクロック入力です
BCLK	出力	外部デバイスに外部バスクロック (BCLK) を供給します

10.2 レジスタの説明

10.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0]	S12AD用クロック (PCLKD) 選択ビット(注1、注6、注10)	b3 b0 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b7-b4	PCKC[3:0]	AD用クロック (PCLKC) 選択ビット(注2、注6、注10、注11)	b7 b4 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロック B (PCLKB) 選択ビット(注1~注3、注5、注6、注10)	b11 b8 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b15-b12	PCKA[3:0]	タイマモジュールクロック (PCLKA) 選択ビット(注4~注6、注10)	b15 b12 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b19-b16	BCK[3:0]	外部バスクロック (BCLK) 選択ビット (注6~注8、注10、注11)	b19 b16 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b22-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b23	PSTOP1	BCLK端子出力制御ビット (注8)	0 : BCLK端子出力動作 1 : BCLK端子出力停止 (Highレベル固定)	R/W
b27-b24	ICK[3:0]	システムクロック (ICLK) 選択ビット (注3、注4、注6、注7、注9、注10)	b27 b24 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b31-b28	FCK[3:0]	FlashIFクロック (FCLK) 選択ビット (注6、注9、注10)	b31 b28 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可) にした後で書き換えてください。

注1. $PCLKB : PCLKD = N : 1$ (Nは整数) の周波数関係になるように設定してください。

注2. $PCLKB : PCLKC = N : 1$ or $1 : N$ (Nは整数) の周波数関係になるように設定してください。

注3. $ICLK : PCLKB = N : 1$ or $1 : N$ (Nは整数) の周波数関係になるように設定してください。

注4. $ICLK : PCLKA = N : 1$ or $1 : N$ (Nは整数) の周波数関係になるように設定してください。

注5. $PCLKA : PCLKB = N : 1$ (Nは整数) の周波数関係になるように設定してください。

注6. PLL選択時は1分周は設定禁止です。

注7. ICLKは外部バスクロックより低い周波数を設定しないでください。

注8. 外部バス有効時、BCLK端子と兼用しているPE5は、I/Oポートとして使用できません。

注9. $ICLK : FCLK = N : 1$ or $1 : N$ (Nは整数) の周波数関係になるように設定してください。

注10. SCKCR3.CKSEL[2:0]ビットが“010b” (メインクロック発振器選択) のときは、1分周と2分周を設定しないでください。

注11. 64ピン版、及び48ピン版では、ICK[3:0]ビット、PCKB[3:0]ビットの設定値のうち、分周数の大きい値と同じ値を設定してください。

以下に該当する場合、SCKCR レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット 0 (FENTRYR.FENTRY0) が “1” (ROM P/E モード) のとき
- スリープモードへ移行するための WAIT 命令発行から、スリープモードから通常動作へ復帰するまでの期間

10.2.2 システムクロックコントロールレジスタ 2 (SCKCR2)

アドレス 0008 0024h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	UCK[3:0]			—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0001”が読めます。書く場合、“0001”としてください	R/W
b7-b4	UCK[3:0]	USBクロック (UCLK) 選択ビット	b7 b4 0 0 0 1 : 2分周 0 0 1 0 : 3分周 0 0 1 1 : 4分周 USBを使用する場合、上記以外は設定しないでください。USBを使用しない場合は、読むと“0001b”が読めます。書く場合、“0001b”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

以下に該当する場合、SCKCR2 レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット 0 (FENTRYR.FENTRY0) が “1” (ROM P/E モード) のとき
- スリープモードへ移行するための WAIT 命令発行から、スリープモードから通常動作へ復帰するまでの期間

UCK[3:0] ビット (USB クロック (UCLK) 選択ビット)

USB クロック (UCLK) の周波数を選択します。

3分周選択時はクロックのデューティは2:1になります。

10.2.3 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス 0008 0026h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CKSEL[2:0]	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	b10 b8 000 : LOCO 選択 010 : メインクロック発振器選択 100 : PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

以下に該当する場合、SCKCR3 レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット 0 (FENTRYR.FENTRY0) が “1” (ROM P/E モード) のとき
- スリープモードへ移行するための WAIT 命令発行から、スリープモードから通常動作へ復帰するまでの期間

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、タイマモジュールクロック (PCLKA)、周辺モジュールクロック (PCLKB)、AD 用クロック (PCLKC)、S12AD 用クロック (PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK)、USB クロック (UCLK) のクロックソースを低速オンチップオシレータ (LOCO)、メインクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

10.2.4 PLL コントロールレジスタ (PLLCR)

アドレス 0008 0028h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	STC[5:0]					—	—	—	—	—	—	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数逡倍率設定ビット	b13 b8 0 0 0 1 1 1 : x8 0 0 1 0 0 1 : x10 0 0 1 0 1 1 : x12 0 0 1 1 1 1 : x16 0 1 0 0 1 1 : x20 0 1 0 1 1 1 : x24 0 1 1 0 0 0 : x25 1 1 0 0 0 1 : x50 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

PLLCR2.PLLEN ビットが“0”（PLL 動作）のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット (PLL 入力分周比選択ビット)

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数（144/120/112/100 ピン版の場合は、8 ~ 12.5MHz、64/48 ピン版の場合は、4 ~ 16MHz）の範囲に入るように設定してください。

STC[5:0] ビット (周波数逡倍率設定ビット)

PLL の周波数逡倍率を設定します。

STC[5:0] ビットは、PLL の VCO 発振周波数（104 ~ 200MHz）の範囲に入るように設定してください。

10.2.5 PLL コントロールレジスタ 2 (PLLCR2)

アドレス 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL停止制御ビット	0 : PLL動作 1 : PLL停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

「12. 消費電力低減機能」のPLLウェイトコントロールレジスタを設定してから本レジスタを設定してください。

PLLEN ビット (PLL 停止制御ビット)

PLLの動作/停止を制御します。

PLLENビットでPLLを動作設定に変更後、PLLクロック発振安定待機時間（tPLLWT1またはtPLLWT2）が経過した後、PLLクロックの使用を開始してください。

PLLは、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- PLLを停止設定後、再度動作設定にする場合、停止期間はPLLクロックで5サイクル以上の時間となるようにしてください。
- PLLの停止設定は、PLLクロックの発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、PLLを動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、発振が安定した状態でWAIT命令を実行してください。
- PLLを停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、PLL停止設定後、PLLクロック2サイクル以上待ってからWAIT命令を実行してください。

システムクロックコントロールレジスタ3のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でPLLを選択しているときは、PLLENビットを“1”（PLL停止）にする書き込みは禁止です。

10.2.6 外部バスクロックコントロールレジスタ (BCKCR)

アドレス 0008 0030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCLKD IV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCLKDIV	BCLK端子出力選択ビット	0 : BCLK 1 : BCLKの2分周	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

以下に該当する場合、BCKCR レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット 0 (FENTRYR.FENTRY0) が “1” (ROM P/E モード) のとき
- スリープモードへ移行するための WAIT 命令発行から、スリープモードから通常動作へ復帰するまでの期間

BCLKDIV ビット (BCLK 端子出力選択ビット)

BCLK 端子から出力するクロックを選択します。

SCKCR.BCK[3:0] ビットで選択した周波数の BCLK、または BCLK の 2 分周を選択できます。

10.2.7 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0 : メインクロック発振器動作 1 : メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

「12. 消費電力低減機能」のメインクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作 / 停止を制御します。

メインクロック発振器の動作 / 停止は、MOSTP ビットおよびメインクロック発振器強制発振コントロールレジスタのメインクロック発振器強制発振ビット (MOFCR.MOFXIN) で制御されます。MOSTP ビットを発振器動作、あるいは MOFXIN ビットを強制発振に設定することで、メインクロック発振器を動作させることができます。また、MOFXIN ビットが強制発振に設定されている場合は、ディープソフトウェアスタンバイモード中でも発振動作を継続します。

MOSTP ビット、または MOFCR.MOFXIN ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください（「6. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください）。

水晶振動子を接続してメインクロックを供給する場合、MOSTP ビットまたは MOFCR.MOFXIN ビットでメインクロック発振器を動作設定に変更後、メインクロック発振安定待機時間（水晶）(tMAINOSCWT) が経過した後、メインクロックの使用を開始してください。

外部クロックを入力してメインクロックを供給する場合、MOSTP ビットまたは MOFCR.MOFXIN ビットでメインクロック発振器を動作設定に変更後、EXTAL 外部クロック入力待機時間 (tEXWT) が経過した後、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- メインクロック発振器を停止設定後、再度動作設定にする場合、停止期間はメインクロックで5サイクル以上の時間となるようにしてください。
- メインクロック発振器の停止設定は、メインクロック発振器の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、メインクロック発振器を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、メインクロック発振器の発振が安定した状態で WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、メインクロック停止設定後、メインクロック 2 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でメインクロック発振器を選択しているとき、あるいは SCKCR3.CKSEL[2:0] ビットで PLL を選択しているとき、MOSTP ビットを“1” (メインクロック発振器停止) にする書き込みは禁止です。

10.2.8 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可) にした後で書き換えてください。

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定待機時間 (tLOCOWT) が経過した後、使用開始してください。

LOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) で発振停止検出機能を有効にしているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

10.2.9 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0 : IWDT専用オンチップオシレータ動作 1 : IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

オプション機能選択レジスタ0のIWDTスタートモード選択ビット（OFS0.IWDTSTRT）が“0”（IWDT動作）のとき、ILOCOCRレジスタの設定は無効です。OFS0.IWDTSTRTビットが“1”（IWDT停止）のとき、ILOCOCRレジスタの設定は有効です。ILOCOCRレジスタが有効、かつILCSTPビットが“0”（IWDT専用オンチップオシレータ動作）の後、“1”（IWDT専用オンチップオシレータ停止）に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)

IWDT専用オンチップオシレータの動作/停止を制御します。

ILCSTPビットで、IWDT専用オンチップオシレータを停止設定から動作設定に変更した場合、LOCO発振安定待機時間（tLOCOWT）に相当する一定時間経過後、LSI内部にクロックが供給開始されます。IWDT専用クロックを使用する場合は、この待機時間が経過した後、使用開始してください。

IWDT専用オンチップオシレータを動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、発振が安定した状態でWAIT命令を実行してください。

10.2.10 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込みを禁止、POE3への発振停止検出通知なし 1 : 発振停止検出割り込みを許可、POE3への発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0 : 発振停止検出機能は無効 1 : 発振停止検出機能は有効	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

OSTDIE ビット（発振停止検出割り込み許可ビット）

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待ってから行ってください。アクセスサイクル数がPCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット（発振停止検出機能許可ビット）

発振停止検出機能の有効/無効を設定します。

OSTDE ビットを“1”（発振停止検出機能有効）にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1”（LOCO 停止）を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1”（メインクロック発振停止検出）のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

10.2.11 発振停止検出ステータスレジスタ (OSTDSR)

アドレス 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0 : メインクロックの発振停止を未検出 1 : メインクロックの発振停止を検出	R(/W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、OSTDFビットの読み出し値に反映されるまでにシステムクロック3サイクルかかります。

OSTDF フラグ（発振停止検出フラグ）

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF = 0 が読み出し値に反映されるまで ICLK 3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ3のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でメインクロック発振器（“010b”）またはPLL（“100b”）を選択している場合は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り換えてから OSTDF フラグを“0”にしてください。

[“1”になる条件]

- OSTDCR.OSTDE ビットが“1”（発振停止検出機能有効）の状態、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”、または“100b”以外の場合に、“1”を読んだ後、“0”を書いたとき

10.2.12 メインクロック発振器強制発振コントロールレジスタ (MOFCR)

アドレス 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOFXIN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MOFXIN	メインクロック発振器強制発振ビット	0: このビットによる制御なし 1: メインクロック発振器を強制発振	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

MOFXIN ビット (メインクロック発振器強制発振ビット)

メインクロック発振器の強制発振を制御します。

MOSCCR.MOSTP ビット、または MOFXIN ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください（「6. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください）。

10.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

10.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図 10.2 に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って EXTAL、XTAL 間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表 10.1 のメインクロック発振器の発振子周波数の範囲内としてください。

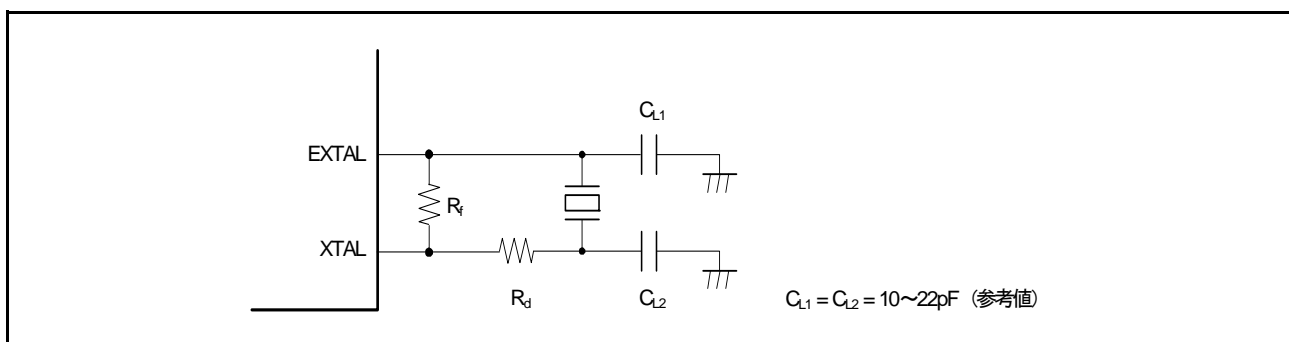


図 10.2 水晶振動子の接続例

表 10.3 ダンピング抵抗 (参考値)

周波数 (MHz)	8	10	12.5
R_d (Ω)	200	100	0

水晶振動子の等価回路を図 10.3 に示します。水晶振動子は表 10.4 に示す特性のものを使用してください。

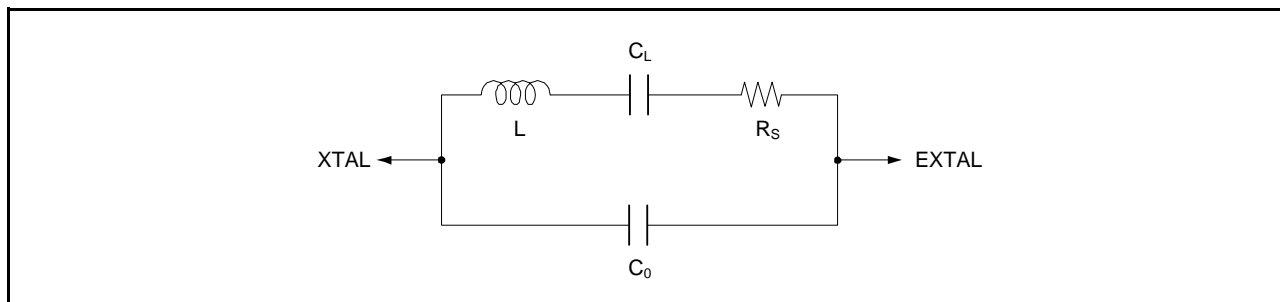


図 10.3 水晶振動子の等価回路

表 10.4 水晶振動子の特性（参考値）

周波数 (MHz)	8	10	12.5
R_S max (Ω)	80	70	60
C_0 max (pF)	7		

10.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 10.4 に示します。XTAL 端子をオープンにする場合、寄生容量は 5pF 以下にしてください。

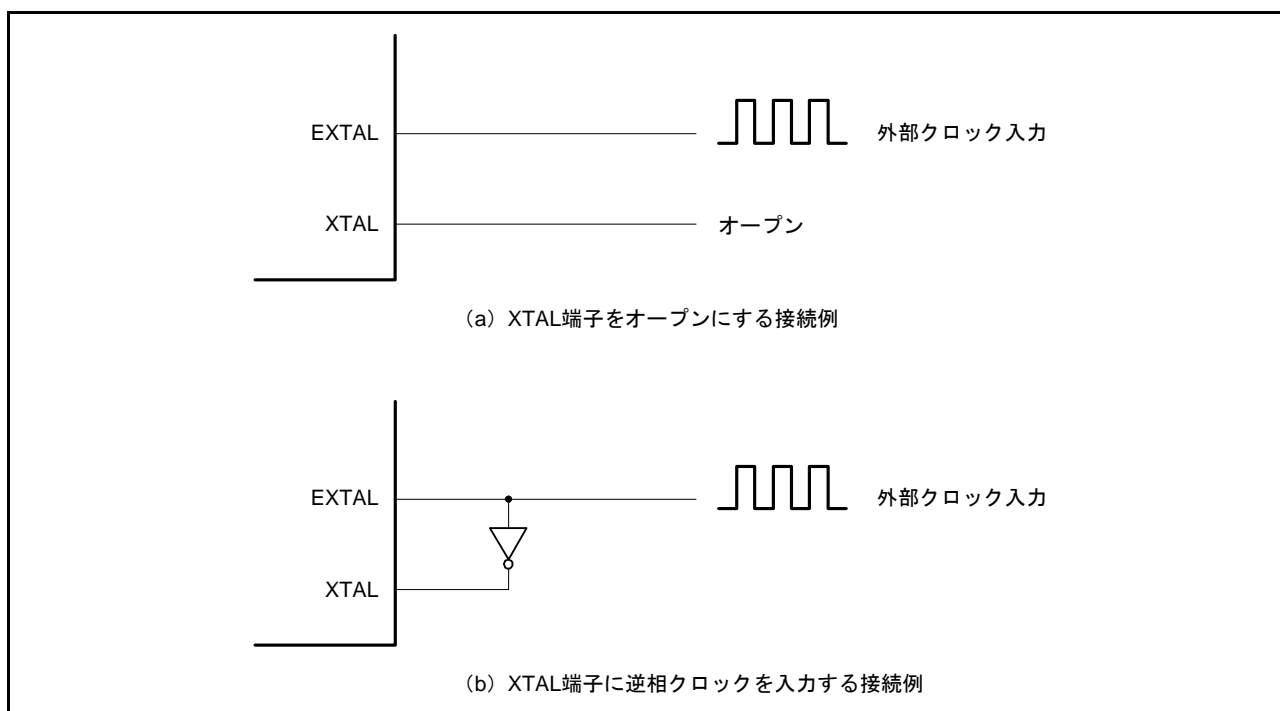


図 10.4 外部クロックの接続例

10.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に“0” (メインクロック発振器動作)、メインクロック発振器強制発振ビット (MOFCR.MOFXIN) に“1” (メインクロック発振器を強制発振) が設定されている間は、外部クロック入力周波数を変更しないでください。

10.4 発振停止検出機能

10.4.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよびPLLクロックの代わりに低速オンチップオシレータが出力するLOCOクロックを供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTUの出力を強制的にハイインピーダンスとすることも可能です。詳細は、「22. マルチファンクションタイマパルスユニット3 (MTU3)」、「23. ポートアウトプットイネーブル3 (POE3)」を参照してください。

本MCUは、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合に（「表 42.28 発振停止検出回路特性」、「表 43.19 発振停止検出回路特性」参照）、メインクロックの発振停止を検出します。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックとPLLクロックが、それぞれ前段のセレクタにてLOCOクロックに切り替わります。そのため、システムクロックのクロックソースにメインクロックまたはPLLクロックを選択した状態で発振停止を検出すると、CKSEL[2:0]ビットの設定値は変わらないまま、システムクロックのクロックソースがLOCOクロックへと切り替わります。

メインクロックとLOCOクロックの切り替え、およびPLLクロックとLOCOクロックの切り替えは、それぞれ発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDFフラグが“1”になるとLOCOクロックへ切り替わり、OSTDFフラグを“0”にするとメインクロックあるいはPLLクロックに戻ります。ただし、CKSEL[2:0]ビットでメインクロックあるいはPLLクロックを選択している場合は、OSTDFフラグを“0”にできません。発振停止検出後にクロックソースをメインクロックあるいはPLLクロックに戻りたい場合は、一度CKSEL[2:0]ビットの設定をメインクロックおよびPLLクロック以外に変更し、OSTDFフラグを“0”にしてください。その後、OSTDFフラグが“1”になっていないことを確認し、所定の発振安定時間経過後にCKSEL[2:0]ビットの設定をメインクロックまたはPLLクロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ、所定の発振安定時間経過後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能は無効にしてください。

発振停止検出によってLOCOクロックに切り替わるクロックは、システムクロックソースとしてのメインクロック、PLLクロック、およびCANクロック (CANMCLK)、CACメインクロック (CACMCLK) です。

LOCOクロック動作時のシステムクロック (ICLK) の周波数については、LOCO発振周波数とシステムクロック選択ビット (SCKCR3.ICK[3:0]) の分周比の設定で決まります。

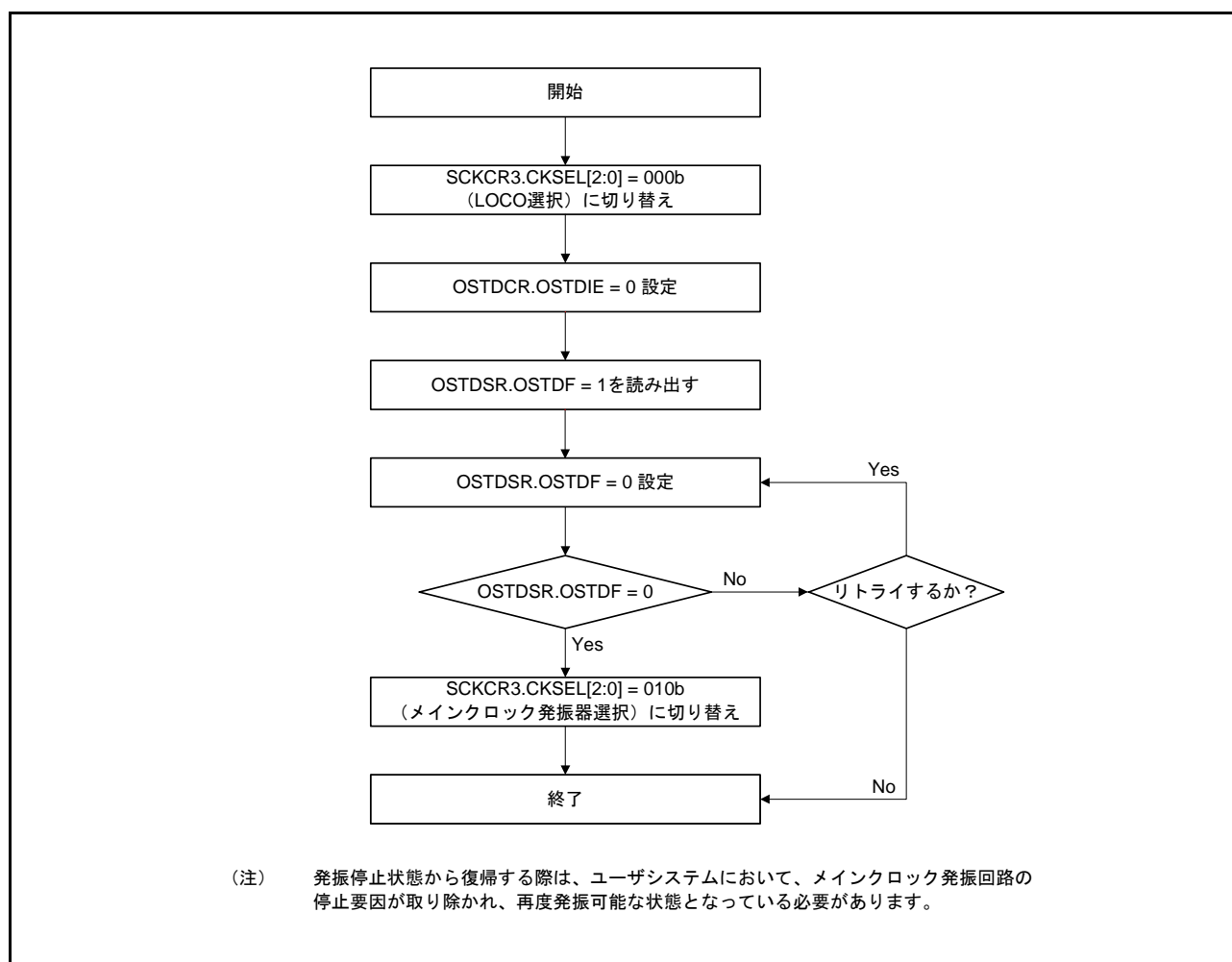


図 10.5 発振停止検出からの復帰のフローチャート例

10.4.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が“1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が“1”になると発振停止検出割り込み (OSTDI) 要求が発生します。また、このときポートアウトプットイネーブル3 (POE3) へメインクロック発振器の停止を通知します。POE3は、発振停止の通知を受けて入力レベルコントロール/ステータスレジスタ3のOSTSTハイインピーダンスフラグ (ICSR3.OSTSTF) を“1”にします。このICSR3.OSTSTFフラグは、発振停止を検出後、PCLKで10サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDFフラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を“0”にした後に行ってください。その後、OSTDCR.OSTDIEビットを再度“1”にする場合は、PCLKBで2サイクル以上待ってから行ってください。アクセスサイクル数がPCLKBで定義されているI/Oレジスタを読み出すことによって、PCLKB2サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みはノンマスクابل割り込みです。リセット解除後の初期状態では、「ノンマスクابل割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスクابل割り込みを有効にしてください。詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

10.5 PLL 回路

PLL 回路は、発振器からの周波数を通倍する機能を持っています。

10.6 内部クロック

内部クロックは、クロック源としてメインクロック、LOCO クロック、PLL クロック、IWDT 専用クロック、JTAG 用外部クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

- (1) CPU、DMAC、DTC、ROM および RAM の動作クロック：システムクロック (ICLK)
- (2) タイマモジュールの動作クロック：タイマモジュールクロック (PCLKA)
- (3) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKB)
- (4) AD 用の動作クロック：AD 用クロック (PCLKC)
- (5) S12AD 用の動作クロック：S12AD 用クロック (PCLKD)
- (6) FlashIF の動作クロック：FlashIF クロック (FCLK)
- (7) 外部バスコントローラ、外部端子出力クロック：外部バスクロック (BCLK)
- (8) USB モジュール用の動作クロック：USB クロック (UCLK)
- (9) CAN モジュール用の動作クロック：CAN クロック (CANMCLK)
- (10) CAC モジュール用の動作クロック：CAC クロック (CACMCLK)
- (11) IWDT モジュール用の動作クロック：IWDT 専用クロック (IWDTCCLK)
- (12) JTAG モジュール用の動作クロック：JTAG クロック (JTAGTCK)

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKA[3:0], PCKB[3:0], PCKC[3:0], PCKD[3:0] ビット、SCKCR2.UCK[3:0] ビット、クロック源を選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0], PLIDIV[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

10.6.1 システムクロック

システムクロック (ICLK) は、CPU、DMAC、DTC、ROM および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

10.6.2 タイマモジュールクロック

タイマモジュールクロック (PCLKA) は、タイマモジュールの動作クロックです。

PCLKA の周波数は、SCKCR.PCKA[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

10.6.3 周辺モジュールクロック

周辺モジュールクロック (PCLKB) は、周辺モジュール用の動作クロックです。

PCLKB の周波数は、SCKCR.PCKB[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

10.6.4 AD 用クロック

AD 用クロック (PCLKC) は、AD 用の動作クロックです。

PCLKC の周波数は、SCKCR.PCKC[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

10.6.5 S12AD 用クロック

S12AD 用クロック (PCLKD) は、S12AD 用の動作クロックです。

PCLKD の周波数は、SCKCR.PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します

10.6.6 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF 用の動作クロックであり、ROM、E2 データフラッシュの書き込み / 消去、および E2 データフラッシュ読み出しに使用するクロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

10.6.7 外部バスクロック

外部バスクロック (BCLK) は、外部バスコントローラの動作クロックです。また、BCLK は外部バス用に BCLK 端子から外部に出力できます。外部バス有効時、BCLK 端子と兼用している PE5 は、I/O ポートとして使用できません。

SCKCR.PSTOP1 ビットを“0”、システムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にすると、BCLK を BCLK 端子から出力することができます。SYSCR0.EXBE ビットを“1”に変更する場合は、SCKCR.PSTOP1 ビットが“1”の状態で行ってください。

また、BCKCR.BCLKDIV ビットを“1”にすると、BCLK 端子から BCLK の 2 分周クロックを出力することができます。

BCLK の周波数は、SCKCR.BCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

10.6.8 USB クロック

USB クロック (UCLK) は、USB モジュール用の動作クロックです。

UCLK の周波数は、SCKCR2.UCK[3:0]、SCKCR3.CKSEL[2:0]、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

USB モジュールへは 48MHz のクロックを供給する必要があります。USB モジュールを使用する場合は UCLK が 48MHz となるようにしてください。

10.6.9 CAN クロック

CAN クロック (CANMCLK) は、CAN モジュール用の動作クロックです。

CANMCLK は、メインクロック発振器で生成されたクロックです。

10.6.10 CAC クロック

CAC クロック (CACMCLK) は、CAC モジュール用の動作クロックです。

CACMCLK は、メインクロック発振器で生成されたクロックです。

10.6.11 IWDT 専用クロック

IWDT 専用クロック (IWDTCCLK) は、IWDT モジュールの動作クロックです。

IWDTCCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

10.6.12 JTAG 用クロック

JTAG 用クロック (JTAGTCK) は、JTAG 用の動作クロックです。

JTAGTCK は、JTAG 用外部クロック (TCK) から生成されたクロックです。

10.7 発振子を接続する場合の端子設定

(1) メインクロック

メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) にするか、メインクロック発振器強制発振ビット (MOFCR.MOFXIN) を“1” (強制発振) にしてください。

10.8 使用上の注意事項

10.8.1 クロック発生回路に関する注意事項

(1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、タイマモジュールクロック (PCLKA)、周辺モジュールクロック (PCLKB)、AD 用クロック (PCLKC)、S12AD 用クロック (PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK) の周波数を選択します。各周波数は、以下のようにしてください。

各周波数は電气的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。

周波数は表 10.1 の周波数範囲内に収まるように設定してください。

周辺モジュールは、基本的に PCLKB を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。

(2) システムクロック (ICLK) と外部バスクロック (BCLK) との間には以下の周波数関係が必要です。

$ICLK \geq BCLK$ の周波数関係

(3) 外部バスアクセス中は、クロック周波数の変更を実施しないでください。またクロック周波数の変更後に外部バスアクセスを開始する場合は、周波数変更が完了したことを確認してから外部バスアクセスを開始するようにしてください。

(4) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタの読み出しを行ってから次の処理を実行してください。

10.8.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

10.8.3 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 10.6 に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

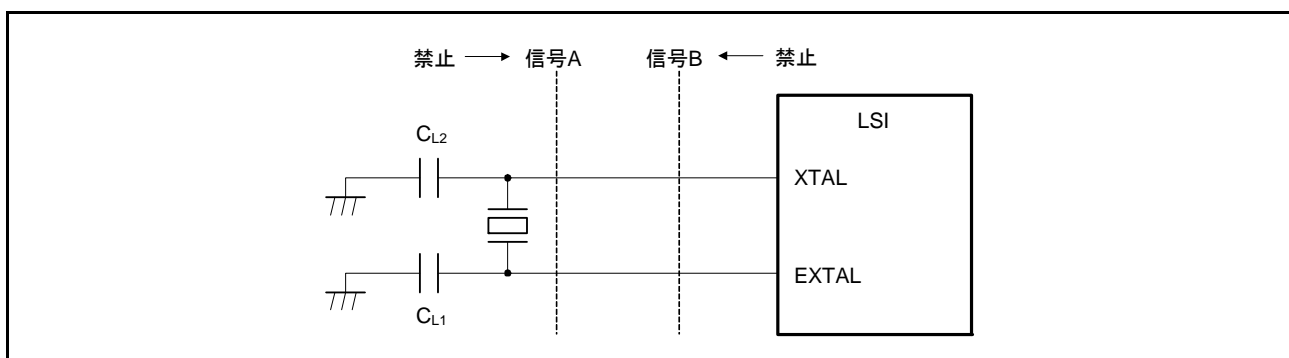


図 10.6 発振回路部のボード設計に関する注意事項 (メインクロック発振器の場合)

11. クロック周波数精度測定回路 (CAC)

クロック周波数精度測定回路 (CAC) は、LSI 外部から入力される基準信号や他のクロックソースをもとにクロックの周波数を監視し、設定した範囲を外れた場合に割り込みを発生する機能です。

11.1 概要

表 11.1 に CAC の仕様を、図 11.1 に CAC のブロック図を示します。

表 11.1 CACの仕様

項目	内容
クロック周波数測定	以下のクロックの周波数を測定可能 ・メインクロック発振器出カクロック (CACMCLK) ・IWDT専用クロック (IWDTCLK) ・周辺モジュールクロック (PCLK)
選択機能	デジタルフィルタ機能
割り込み要因	・測定終了割り込み ・周波数エラー割り込み ・オーバフロー
消費電力低減機能	モジュールストップ状態への設定が可能

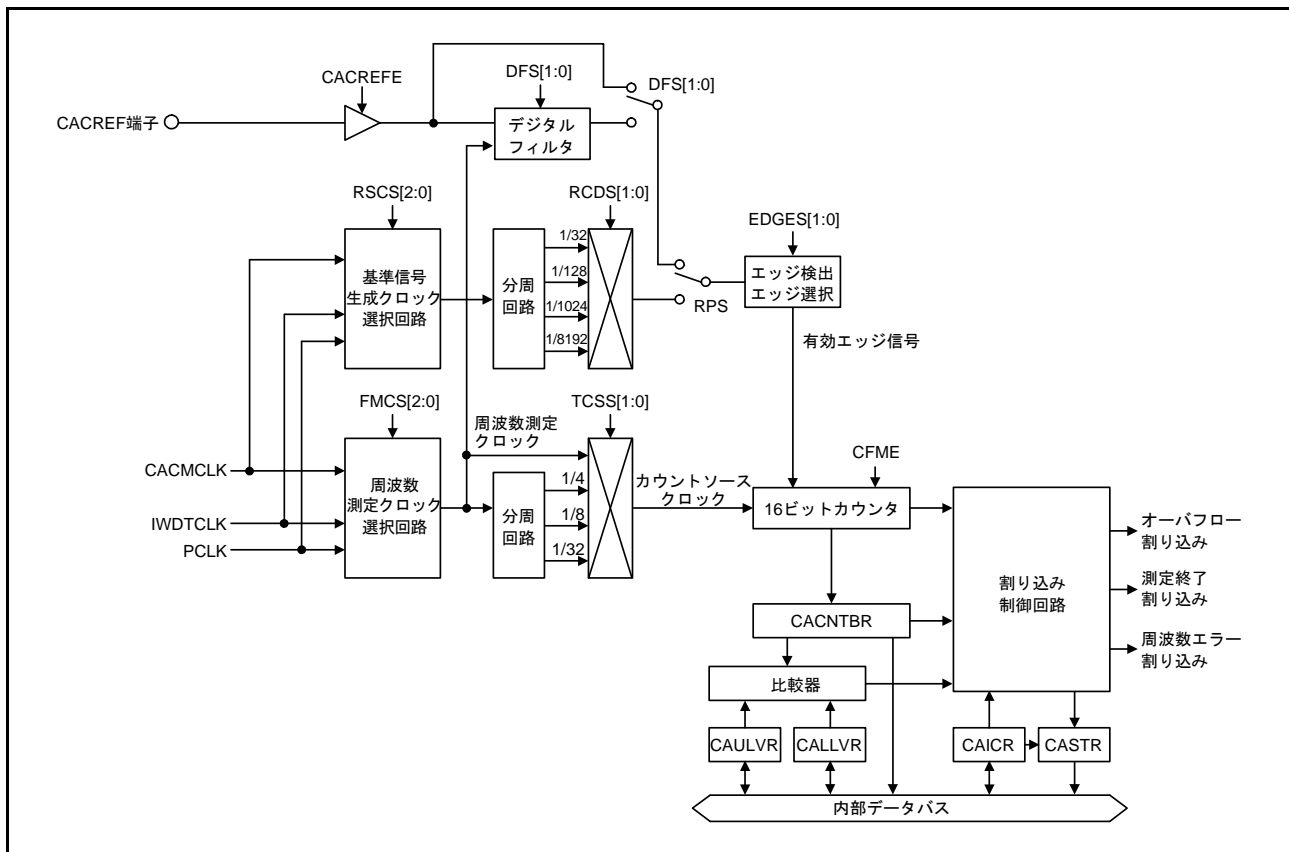


図 11.1 CAC のブロック図

表 11.2 に CAC の入出力端子を示します。

表 11.2 CACの入出力端子

端子名	入出力	機能
CACREF	入力	クロック周波数精度測定回路の入力端子

11.2 レジスタの説明

11.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス 0008 B000h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CFME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定イネーブルビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

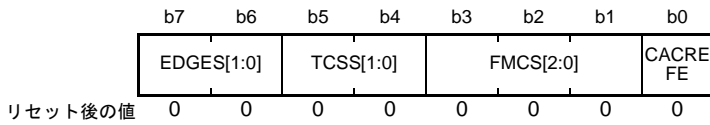
CFME ビット (クロック周波数イネーブルビット)

CFME ビットが“1”の場合、クロック周波数測定が有効になります。

CFME ビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態で CFME ビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

11.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス 0008 B001h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力イネーブルビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	周波数測定クロック選択ビット	b3 b1 0 0 0 : メインクロック発振器出力クロック (CACMCLK) 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : IWDT 専用クロック (IWDTCLK) 1 0 1 : 周辺モジュールクロック (PCLK) 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントクロックソース選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注1. CACR1レジスタは、CACR0.CFME ビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力イネーブルビット)

CACREFE ビットが“1”の場合、CACREF 端子の入力が有効になります。

FMCS[2:0] ビット (周波数測定クロック選択ビット)

FMCS[2:0] ビットの設定により周波数を測定するクロックを選択できます。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

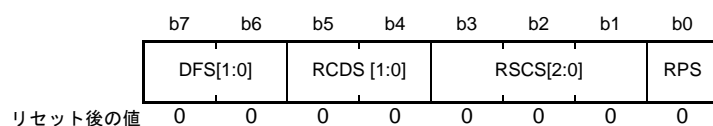
TCSS[1:0] ビットの設定によりクロック周波数精度測定回路のカウントクロックソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

EDGES[1:0] ビットの設定により基準信号の有効エッジを選択できます。

11.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス 0008 B002h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部生成信号	R/W
b3-b1	RSCS[2:0]	基準信号生成クロック選択ビット	b3 b1 0 0 0 : メインクロック発振器出力クロック (CACMCLK) 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : IWDT専用クロック (IWDTCCLK) 1 0 1 : 周辺モジュールクロック (PCLK) 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b5-b4	RCDS [1:0]	基準信号生成クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 周波数測定クロック 1 0 : 周波数測定クロックの4分周クロック 1 1 : 周波数測定クロックの16分周クロック	R/W

注1. CACR1レジスタは、CACR0.CFME ビットが“0”のときに設定してください。

RPS ビット (基準信号選択ビット)

RPS ビットの設定により基準信号として CACREF 端子入力か内部生成信号のどちらを使用するか選択できます。

RSCS[2:0] ビット (基準信号生成クロック選択ビット)

RSCS[2:0] ビットの設定により基準信号を生成するクロックソースを選択できます。

RCDS[1:0] ビット (基準信号生成クロック分周比選択ビット)

RCDS[1:0] ビットの設定により基準信号生成クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

DFS[1:0] ビットの設定により、デジタルフィルタの有効/無効、サンプリングクロックを選択します。

11.2.4 CAC 割り込みコントロールレジスタ (CAICR)

アドレス 0008 B003h

b7	b6	b5	b4	b3	b2	b1	b0
—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み許可ビット	0: 周波数エラー割り込み無効 1: 周波数エラー割り込み有効	R/W
b1	MENDIE	測定終了割り込み許可ビット	0: 測定終了割り込み無効 1: 測定終了割り込み有効	R/W
b2	OVFIE	オーバフロー割り込み許可ビット	0: オーバフロー割り込み無効 1: オーバフロー割り込み有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	0: 動作に影響を与えない 1: FERRF フラグをクリア 読むと“0”が読めます	R/W
b5	MENDFCL	MENDF フラグクリアビット	0: 動作に影響を与えない 1: MENDF フラグをクリア 読むと“0”が読めます	R/W
b6	OVFFCL	OVFF フラグクリアビット	0: 動作に影響を与えない 1: OVFF フラグをクリア 読むと“0”が読めます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み許可ビット)

FERRIE ビットが“1”の場合、周波数エラー割り込みを許可します。

MENDIE ビット (測定終了割り込み許可ビット)

MENDIE ビットが“1”の場合、測定終了割り込みを許可します。

OVFIE ビット (オーバフロー割り込み許可ビット)

OVFIE ビットが“1”の場合、オーバフロー割り込みを許可します。

FERRFCL ビット (FERRF フラグクリアビット)

FERRFCL ビットを“1”にすると FERRF フラグをクリアします。

MENDFCL ビット (MENDF フラグクリアビット)

MENDFCL ビットを“1”にすると MENDF フラグをクリアします。

OVFFCL ビット (OVFF フラグクリアビット)

OVFFCL ビットを“1”にすると OVFF フラグをクリアします。

11.2.5 CAC ステータスレジスタ (CASTR)

アドレス 0008 B004h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた (周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定が終了	R
b2	OVFF	オーバフローフラグ	0: カウンタがオーバフローしていない 1: カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた (周波数エラー) ことを示します。

[“1”になる条件]

- クロック周波数が設定値を外れたとき
- [“0”になる条件]
- FERRFCL ビットに“1”を書いたとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[“1”になる条件]

- 測定が終了したとき
- [“0”になる条件]
- MENDFCL ビットに“1”を書いたとき

OVFF フラグ (オーバフローフラグ)

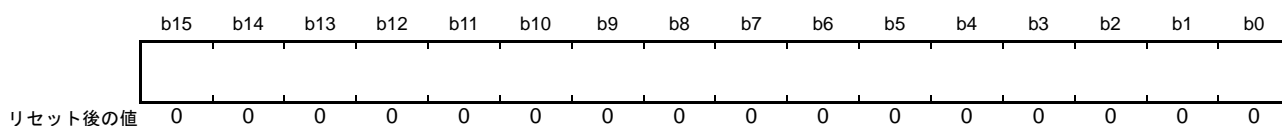
カウンタがオーバフローしたとき“1”になります。

[“1”になる条件]

- カウンタがオーバフローしたとき
- [“0”になる条件]
- OVFFCL ビットに“1”を書いたとき

11.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス 0008 B006h



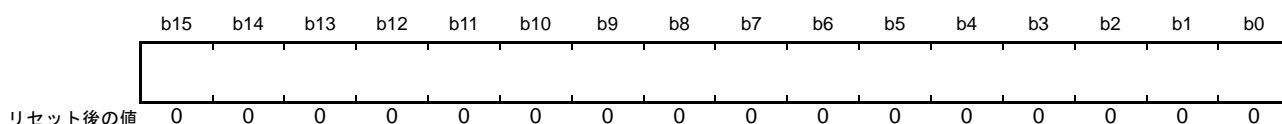
CAULVR レジスタは周波数の上限値を格納する 16 ビットの読み出し / 書き込み可能なレジスタです。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

11.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス 0008 B008h



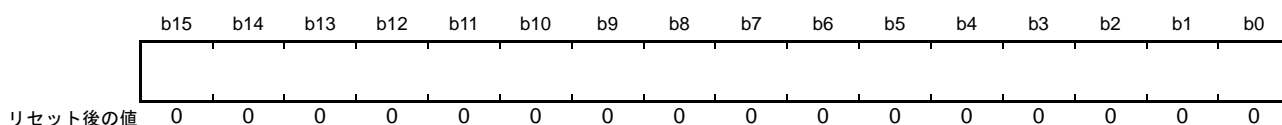
CALLVR レジスタは周波数の下限値を格納する 16 ビットの読み出し / 書き込み可能なレジスタです。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

11.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス 0008 B00Ah



基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

11.3 動作説明

11.3.1 CACREF 端子入力を基準にクロック周波数を測定

図 11.2 に CACREF 端子入力を基準としたクロック周波数精度測定回路の動作例を示します。
クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

- (1) CACR2.RPS ビットを“0”、CACR1.CACREFE ビットを“1”にした状態で CACR0.CFME ビットに“1”を書き込むと、CACREF 端子入力を基準としたクロック周波数測定が有効になります。
- (2) CFME ビットに“1”を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジが入力されるとタイマのカウントアップが開始します。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ \leq CAULVR レジスタかつ CACNTBR レジスタ \geq CALLVR レジスタのときはクロック周波数が正常なので CASTR.MENDF フラグだけが“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ $>$ CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ $<$ CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

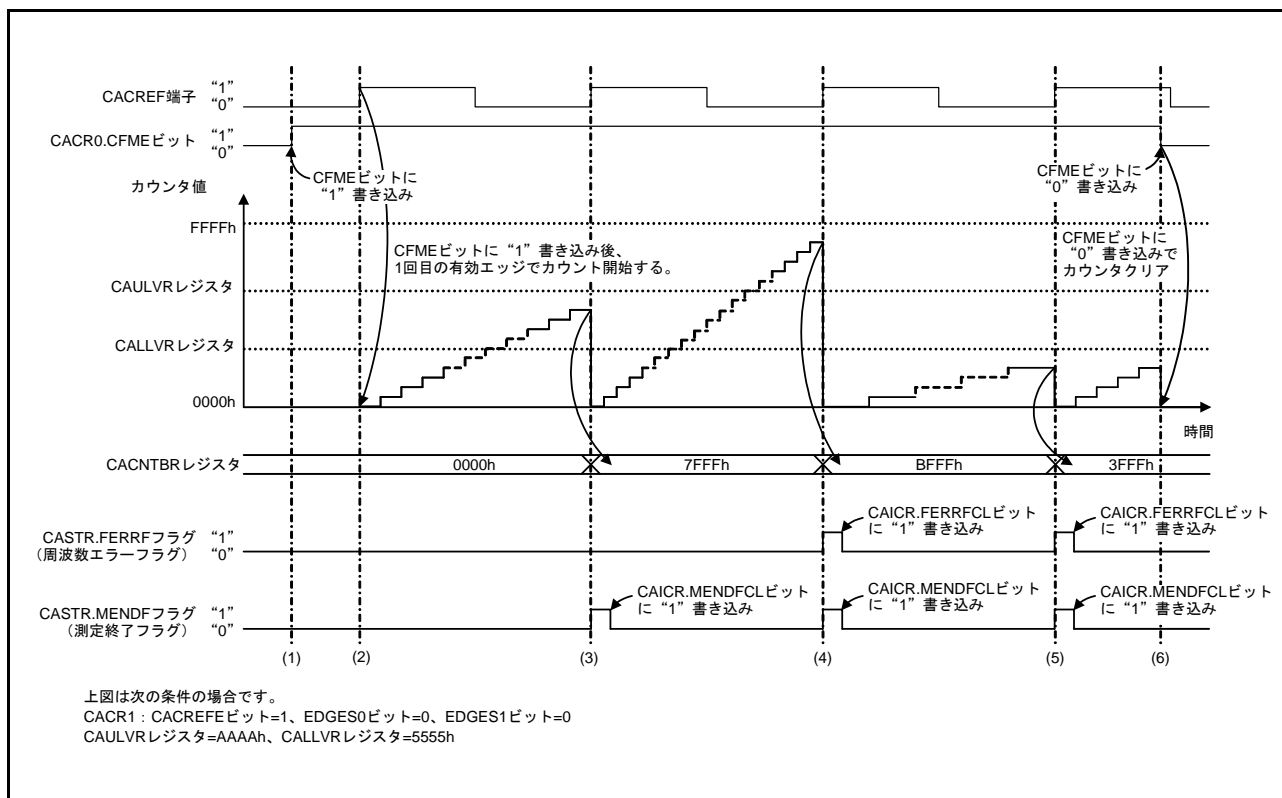


図 11.2 CACREF 端子入力を基準としたクロック周波数精度測定回路の動作例

11.3.2 他のクロックソースを基準にクロック周波数を測定

図 11.3 に他のクロックソースを基準としたクロック周波数精度測定回路の動作例を示します。
クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

- (1) CACR2.RPS ビットを“1”に設定した状態で CACR0.CFME ビットに“1”を書き込むと、他のクロックソースを基準としたクロック周波数測定が有効になります。
- (2) CFME ビットに“1”を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジが入力されるとタイマのカウンタアップが開始します。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ \leq CAULVR レジスタかつ CACNTBR レジスタ \geq CALLVR レジスタのときはクロック周波数が正常なので CASTR.MENDF フラグだけが“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ $>$ CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ $<$ CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウンタアップが停止します。

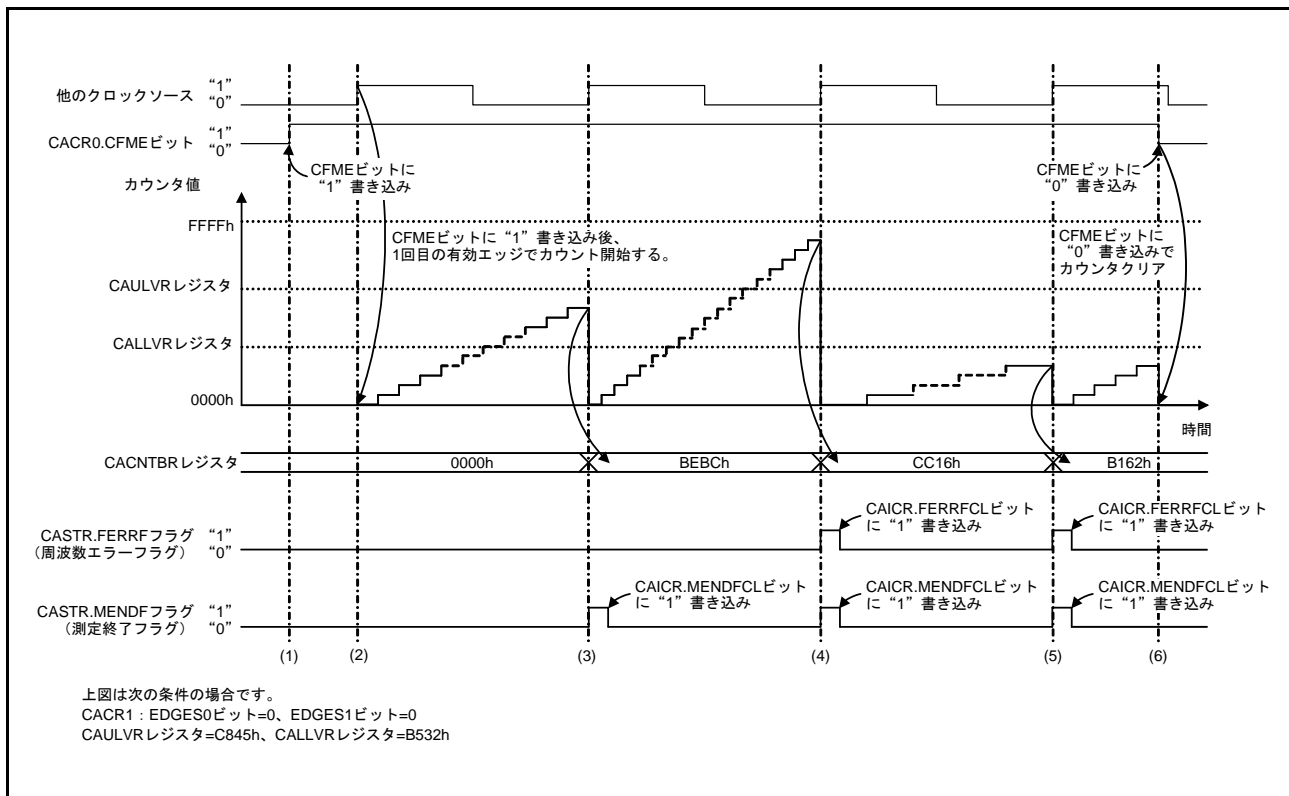


図 11.3 他のクロックソースを基準としたクロック周波数精度測定回路の動作例

11.3.3 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じて 3 回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度 3 回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウンタ値誤差を表すことができます。

$$\text{カウンタ値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

11.4 割り込み要求

クロック周波数精度測定回路が生成する割り込み要求には、周波数エラー割り込み、測定終了割り込みおよびオーバーフロー割り込みの3種類があります。各割り込み要因が発生すると各ステータスフラグが“1”にセットされます。表 11.3 にクロック周波数精度測定回路割り込み要求を示します。

表 11.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較した結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1回目の有効エッジでは測定終了割り込みは発生しない。
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

11.5 使用上の注意事項

11.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止/許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「12. 消費電力低減機能」を参照してください。

12. 消費電力低減機能

12.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、BCLK 出力制御機能、モジュールストップ機能、および低消費電力状態への遷移機能があります。

表 12.1 に消費電力低減機能の仕様を、表 12.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DMAC、DTC、内蔵 RAM 以外のモジュールは停止状態になります。

表 12.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、タイマモジュールクロック (PCLKA)、周辺モジュールクロック (PCLKB)、AD用クロック (PCLKC)、S12AD用クロック (PCLKD)、外部バスクロック (BCLK)、フラッシュインタフェースクロック (FCLK) に対し、個別に分周比を設定することが可能 (注1)
BCLK出力制御機能	BCLK出力またはHigh出力の選択が可能 (注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	<ul style="list-style-type: none"> • CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	<ul style="list-style-type: none"> • スリープモード • 全モジュールクロックストップモード • ソフトウェアスタンバイモード • ディープソフトウェアスタンバイモード

注1. 詳細は「10. クロック発生回路」を参照してください。

表 12.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み (注1)	割り込み (注2)	割り込み (注3)
解除後の状態 (注4)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (リセット処理)
メインクロック発振器	動作可能	動作可能	動作可能 (注5)	動作可能 (注5)
低速オンチップオシレータ	動作可能	動作可能	停止	停止
IWDT専用オンチップオシレータ	動作可能 (注6)	動作可能 (注6)	動作可能 (注6)	停止 (不定) (注6)
PLL	動作可能	動作可能	停止	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
内蔵RAM0 (0000 0000h~0000 BFFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)	停止 (保持)
USB2.0ファンクションモジュール (USB)	動作可能	停止 (注7)	停止 (注7)	停止 (不定)
ウォッチドッグタイマ (WDT)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
独立ウォッチドッグタイマ (IWDT)	動作可能 (注6)	動作可能 (注6)	動作可能 (注6)	停止 (不定) (注6)
ポートアウトプットイネーブル (POE)	動作可能	動作可能 (注8)	停止 (保持)	停止 (不定)
電圧検出回路 (LVD)	動作可能	動作可能	動作可能	動作可能 (注9)
パワーオンリセット回路	動作	動作	動作	動作
周辺モジュール	動作可能	停止 (保持)	停止 (保持)	停止 (不定)
I/Oポート	動作	保持 (注10)	保持 (注11)	保持 (注11)

動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。

停止 (保持) は、内部レジスタ値保持、内部状態は動作中断を示します。

停止 (不定) は、内部レジスタ値不定、内部状態は電源オフを示します。

- 注1. 外部端子割り込み (NMI、IRQ0~IRQ7)、周辺機能割り込み (IWDT、USBサスペンド/レジャー、電圧監視1、電圧監視2、発振器停止検出)。
- 注2. 外部端子割り込み (NMI、IRQ0~IRQ7)、周辺機能割り込み (IWDT、USBサスペンド/レジャー、電圧監視1、電圧監視2)。
- 注3. 外部端子割り込み発生元となる一部の端子 (NMI、IRQ0-DS~IRQ7-DS)、周辺機能割り込み (電圧監視1、電圧監視2)。ただし、ディープスタンバイインタラプトイネーブルレジスタi (DPSIERi) (i=0, 2)の当該ビットが“1”のときのみ有効。端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。
- 注4. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。
- 注5. メインクロック発振器強制発振コントロールレジスタのメインクロック発振器強制発振ビット (MOFCR.MOFXIN) の設定によって、動作/停止が選択できます。
- 注6. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット (OFS0.IWDTSLCSTP) の設定により、動作/停止を選択することができます。OFS0.IWDTSLCSTPビットが“0” (低消費電力モード移行時カウント継続) に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット (IWDTCTPR.SLCSTP) の設定により、動作/停止を選択することができます。IWDTCTPR.SLCSTPビットが“0” (低消費電力モード移行時カウント継続) に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。
- 注7. レジャー検出は可能です。
- 注8. POE割り込みを有効にした状態で全モジュールクロックストップモード中にPOE割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生フラグは保持されます。この状態で別要因にて全モジュールクロックストップモードからの復帰した場合、復帰後にPOE割り込みが発生します。
- 注9. 電圧監視1回路制御レジスタ0の電圧監視1回路モード選択ビット (LVD1CR0.LVD1RI) が“1”、もしくは電圧監視2回路制御レジスタ0の電圧監視2回路モード選択ビット (LVD2CR0.LVD2RI) が“1”に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。
- 注10. PE5をBCLKとして使用している場合は、BCLK出力のまま動作を継続します。POEを動作させた場合、制御条件成立時には該当端子をハイインピーダンス制御します。
- 注11. スタンバイコントロールレジスタの出力ポートイネーブルビット (SBYCR.OPE) の設定によって、アドレスバス、バス制御信号 (CS0#~CS3#、RD#、WR0#~WR1#、WR#、BC0#~BC1#、ALE) の保持/ハイインピーダンスを選択することができます。

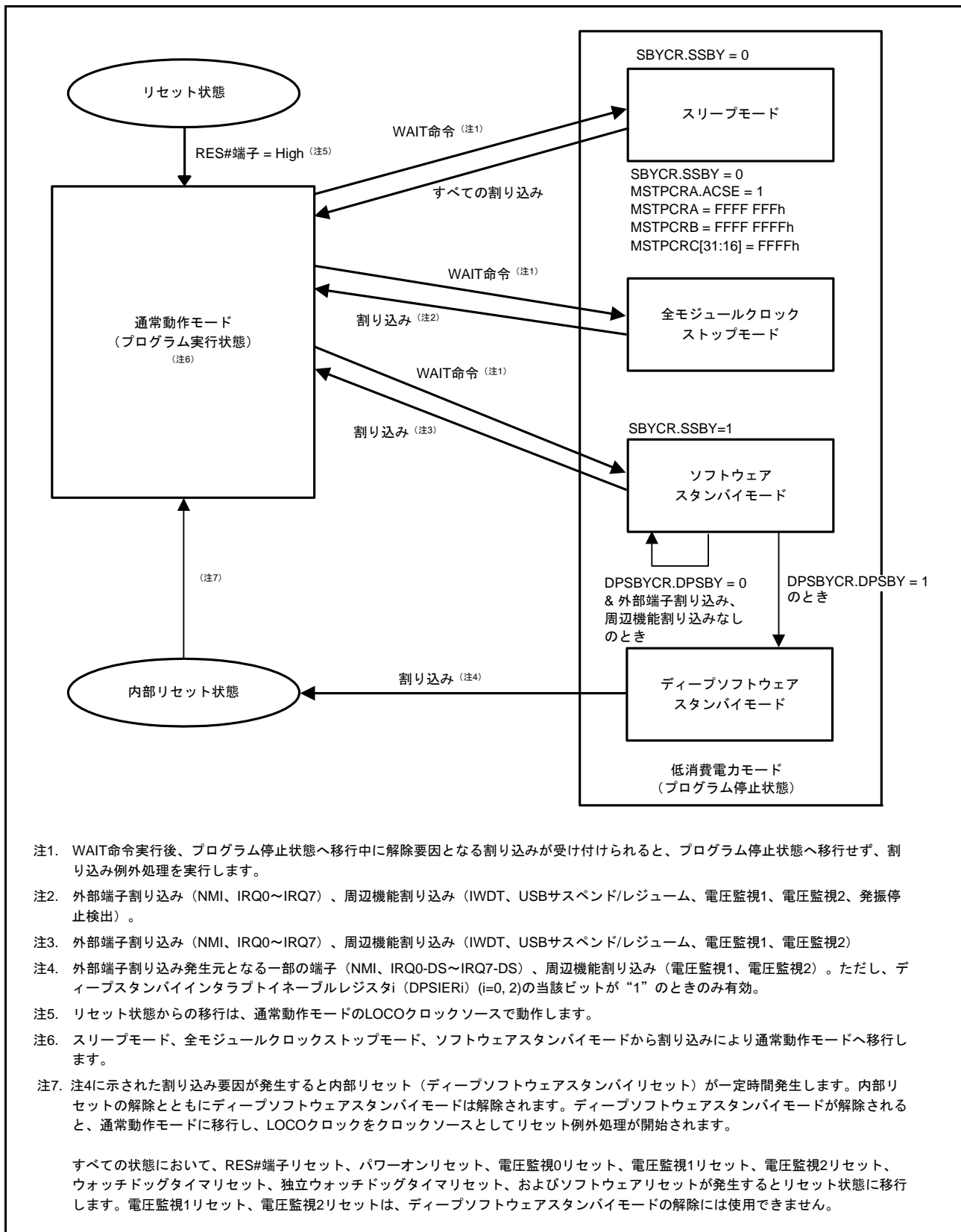


図 12.1 モード遷移

12.2 レジスタの説明

12.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OPE	出力ポート許可ビット	0: ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1: ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持	R/W
b15	SSBY	ソフトウェアスタンバイビット	0: WAIT 命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1: WAIT 命令実行後、ソフトウェアスタンバイモードに移行	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

OPE ビット（出力ポート許可ビット）

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に、アドレスバス、バス制御信号（CS0#～CS3#、RD#、WR0#～WR1#、WR#、BC0#～BC1#、ALE）の出力を保持するか、ハイインピーダンスにするかを選択します。

SSBY ビット（ソフトウェアスタンバイビット）

WAIT 命令実行後の移行先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ移行します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常モードに移行したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット（OSTDCR.OSTDE）が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたは全モジュールクロックストップモードに移行します。

12.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ACSE	—	MSTPA 29	MSTPA 28	MSTPA 27	—	—	MSTPA 24	MSTPA2 3	—	—	—	MSTPA1 9	—	MSTPA 17	MSTPA 16
リセット後の値	0	1	0	0	0	1	1	0	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA1 5	MSTPA1 4	—	—	—	—	MSTPA 9	—	MSTPA 7	MSTPA 6	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPA6	汎用PWMタイマ (ユニット1) モジュールストップ設定ビット	対象モジュール：GPTユニット1 (GPT4~GPT7) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7	MSTPA7	汎用PWMタイマ (ユニット0) モジュールストップ設定ビット	対象モジュール：GPTユニット0 (GPT0~GPT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルス ユニット3モジュール ストップ設定ビット	対象モジュール：MTU3 (MTU0~MTU7) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14	MSTPA14	コンペアマッチタイマ (ユニット1) モジュールストップ設定ビット	対象モジュール：CMTユニット1 (CMT2、CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ (ユニット0) モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0、CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	MSTPA16	12ビットA/Dコンバータ (ユニット1) モジュールストップ設定ビット	対象モジュール：S12AD1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPA17	12ビットA/Dコンバータ (ユニット0) モジュールストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPA19	D/Aコンバータモジュールストップ設定 ビット	対象モジュール：DA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPA23	10ビットA/Dコンバータモジュールス トップ設定ビット	対象モジュール：AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	MSTPA24	12ビットA/Dコンバータ制御部 モジュールストップ設定ビット	対象モジュール：S12AD1制御部、S12AD制御部 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26-b25	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b27	MSTPA27	モジュールストップA27設定ビット	読み出し、書き込みともに有効です。全モジュールス トップモードへ移行させる場合は、本ビットに“1”を書 き込んでおく必要があります	R/W
b28	MSTPA28	DMAコントローラ/データ転送ファ コントローラモジュールストップ設定 ビット	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPA29	モジュールストップA29設定ビット	読み出し、書き込みともに有効です。全モジュールス トップモードへ移行させる場合は、本ビットに“1”を書 き込んでおく必要があります	R/W

ビット	シンボル	ビット名	機能	R/W
b30	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	ACSE	全モジュールクロックストップモード許可ビット	0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

ACSE ビット（全モジュールクロックストップモード許可ビット）

ACSE ビットにて、全モジュールクロックストップモードへの移行の許可または禁止を設定します。ACSE ビットを“1”にして、SBYCR.SSBY ビット、MSTPCRA、MSTPCRB、MSTPCRC レジスタが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、全モジュールクロックストップモードに移行します。詳細は「12.5.2 全モジュールクロックストップモード」を参照してください。

SBYCR.SSBY=0 で、MSTPCRA.ACSE=0 の場合は WAIT 命令実行後、スリープモードに移行します。

12.2.3 モジュールストップコントロールレジスタ B（MSTPCRB）

アドレス 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB31	MSTPB30	MSTPB29	MSTPB28	—	—	—	—	MSTPB23	—	MSTPB21	MSTPB20	MSTPB19	—	MSTPB17	MSTPB16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	MSTPB6	—	MSTPB4	—	—	MSTPB1	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b1	MSTPB1	CANモジュール1モジュールストップ設定ビット（注1）	対象モジュール：CAN1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーションインタフェースSCIdモジュールストップ設定ビット	対象モジュール：SCId（SCI12） 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	データ演算回路モジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b16	MSTPB16	シリアルペリフェラルインタフェース1モジュールストップ設定ビット	対象モジュール：RSPI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPB19	ユニバーサルシリアルバスインタフェース（ポート0）モジュールストップ設定ビット（注2）	対象モジュール：USB0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b20	MSTPB20	I ² Cバスインタフェース1モジュール ストップ設定ビット	対象モジュール：RIIC1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21	MSTPB21	I ² Cバスインタフェース0モジュール ストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定 ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27-b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b28	MSTPB28	シリアルコミュニケーション インタフェース3モジュールストップ 設定ビット	対象モジュール：SCI3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPB29	シリアルコミュニケーション インタフェース2モジュールストップ 設定ビット	対象モジュール：SCI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPB30	シリアルコミュニケーション インタフェース1モジュールストップ 設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーション インタフェース0モジュールストップ 設定ビット	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. MSTPBiビットの書き換えは、MSTPBiビットによって制御するクロックの発振が安定しているときに行なってください。MSTPBiビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後CANクロック（CANCLK）で2サイクル経過した後、WAIT命令を実行してください。（i=0～2）

注2. MSTPB19ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後USBクロック（UCLK）で2サイクル経過した後、WAIT命令を実行してください。

12.2.4 モジュールストップコントロールレジスタ C（MSTPCRC）

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPC 31	—	—	—	—	—	—	—	—	—	—	—	MSTPC 19	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット（注1）	対象モジュール：RAM0（0000 0000h～0000 BFFFh） 0：RAM0動作 1：RAM0停止	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19	クロック周波数精度測定回路 モジュールストップ設定ビット	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

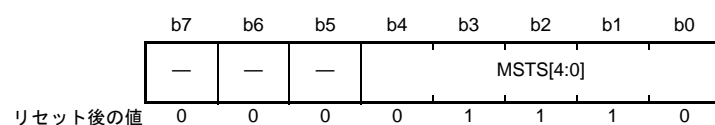
ビット	シンボル	ビット名	機能	R/W
b31	MSTPC31	デジタル電源制御回路 モジュールストップ設定ビット	対象モジュール：DPC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 内蔵RAMアクセス中に該当するMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態、該当するRAMにアクセスしないでください。

12.2.5 メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR）

アドレス 0008 00A2h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MSTS[4:0]	メインクロック発振器 ウェイト時間設定ビット	b4 b0 0 0 0 0 0 : 待機時間=2サイクル 0 0 0 0 1 : 待機時間=4サイクル 0 0 0 1 0 : 待機時間=8サイクル 0 0 0 1 1 : 待機時間=16サイクル 0 0 1 0 0 : 待機時間=32サイクル 0 0 1 0 1 : 待機時間=64サイクル 0 0 1 1 0 : 待機時間=512サイクル 0 0 1 1 1 : 待機時間=1024サイクル 0 1 0 0 0 : 待機時間=2048サイクル 0 1 0 0 1 : 待機時間=4096サイクル 0 1 0 1 0 : 待機時間=16384サイクル 0 1 0 1 1 : 待機時間=32768サイクル 0 1 1 0 0 : 待機時間=65536サイクル 0 1 1 0 1 : 待機時間=131072サイクル 0 1 1 1 0 : 待機時間=262144サイクル 0 1 1 1 1 : 待機時間=524288サイクル 上記以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

MOSCWTCR レジスタは、メインクロック発振器の発振安定待ち時間を選択するレジスタです。

MOSCWTCR レジスタで設定したサイクル+16384 サイクル分、メインクロックをカウントした後、MCU 内部へのメインクロック供給が開始されます。

MSTS[4:0] ビットは、待機時間がメインクロック発振安定時間 (t_{MAINOSC}) 以上になるように設定してください。

メインクロックの発振を開始させた後は、メインクロック発振安定待機時間 ($t_{\text{MAINOSCWTCR}}$) を経過するまで待ってから、メインクロックを使用してください。メインクロック発振安定待機時間は表 42.9、表 43.7 を参照してください。

メインクロックを外部入力で使用している場合は、待機時間は必要ありません。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”のときのみ書き換え可能です。それ以外では書き換えしないでください。

例：発振周波数が 12MHz で、発振安定時間が 10ms (=10000 μ s) の水晶振動子を使用する場合

$$\text{待機時間} \geq t_{\text{MAINOSC}} \times f_{\text{MAIN}} = 10000[\mu\text{s}] \times 12[\text{MHz}] = 120000[\text{サイクル}]$$

より、MSTS[4:0] ビットには“01101b”(131072 サイクル)を設定してください。

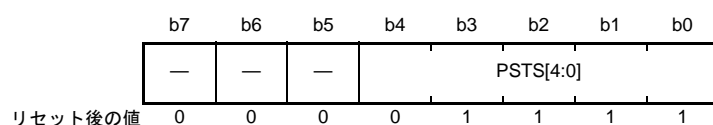
このときのメインクロック発振安定待機時間は、表 42.9、表 43.7 記載の式より、

$$\begin{aligned}t_{\text{MAINOSCWT}} &= t_{\text{MAINOSC}} + \frac{n+16384}{f_{\text{MAIN}}} \\ &= 10000[\mu\text{s}] + \frac{131072[\text{サイクル}] + 16384}{12[\text{MHz}]} \\ &= 22288[\mu\text{s}]\end{aligned}$$

と計算できますから、発振開始からメインクロックが使用できるまでに、22288 μs 以上待つ必要があることがわかります。

12.2.6 PLL ウェイトコントロールレジスタ (PLLWTCR)

アドレス 0008 00A6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSTS[4:0]	PLLウェイト時間設定ビット	b4 b0 0 0 0 0 0 : 待機時間=16サイクル 0 0 0 0 1 : 待機時間=32サイクル 0 0 0 1 0 : 待機時間=64サイクル 0 0 0 1 1 : 待機時間=512サイクル 0 0 1 0 0 : 待機時間=1024サイクル 0 0 1 0 1 : 待機時間=2048サイクル 0 0 1 1 0 : 待機時間= 4096サイクル 0 0 1 1 1 : 待機時間= 16384サイクル 0 1 0 0 0 : 待機時間= 32768サイクル 0 1 0 0 1 : 待機時間= 65536サイクル 0 1 0 1 0 : 待機時間= 131072サイクル 0 1 0 1 1 : 待機時間= 262144サイクル 0 1 1 0 0 : 待機時間= 524288サイクル 0 1 1 0 1 : 待機時間=1048576サイクル 0 1 1 1 0 : 待機時間=2097152サイクル 0 1 1 1 1 : 待機時間=4194304サイクル 上記以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

PLLWTCR レジスタは、PLL の発振安定待ち時間を選択するレジスタです。

PLLWTCR レジスタで設定したサイクル数+131072 サイクル分 PLL クロックをカウントした後、MCU 内部への PLL クロック供給が開始されます。

PSTS[4:0] ビットは、待機時間が PLL クロック発振安定時間 (t_{PLL1} , t_{PLL2}) 以上になるように設定してください。

PLL の発振を開始させた後は、PLL クロック発振安定待機時間 (t_{PLLWT1} , t_{PLLWT2}) を経過するまで待つてから、PLL クロックを使用してください。PLL クロック発振安定待機時間は表 42.9、表 43.7 を参照してください。

PLLWTCR レジスタは、PLLCR2.PLEN ビットが“1”（PLL 停止）のときのみ書き換え可能です。それ以外では書き換えしないでください。

例：発振周波数が 12MHz で、発振安定時間が 10ms (=10000 μ s) の水晶振動子を使用し、PLL の発振周波数を 200MHz にする場合

- メインクロックの発振が安定した後に PLL を動作させる場合

$$\text{待機時間} \geq t_{PLL1} \times f_{PLL} = 500[\mu\text{s}] \times 200[\text{MHz}] = 100000[\text{サイクル}]$$

から、PSTS[4:0] ビットには“01010b”(131072 サイクル) を設定してください。

このときの PLL クロック発振安定待機時間は、表 42.9、表 43.7 記載の式より、

$$\begin{aligned} t_{\text{PLLWT1}} &= t_{\text{PLL1}} + \frac{n+131072}{f_{\text{PLL}}} \\ &= 500[\mu\text{s}] + \frac{131072[\text{サイクル}] + 131072}{200[\text{MHz}]} \\ &= 1810.72[\mu\text{s}] \end{aligned}$$

と計算できますから、発振開始から PLL クロックが使用できるまでに、約 1811 μs 以上待つ必要があることがわかります。

- メインクロックの発振が安定する前に PLL を動作させる場合

$$\text{待機時間} \geq (t_{\text{MAINOSC}} + t_{\text{PLL1}}) \times t_{\text{PLL}} = (10000[\mu\text{s}] + 500[\mu\text{s}]) \times 200[\text{MHz}] = 2100000[\text{サイクル}]$$

から、PSTS[4:0] ビットには“01111b”(4194304 サイクル)を設定してください。

このときの PLL クロック発振安定待機時間は、表 42.9、表 43.7 記載の式より、

$$\begin{aligned} t_{\text{PLLWT2}} &= t_{\text{PLL2}} + \frac{n+131072}{f_{\text{PLL}}} \\ &= t_{\text{MAINOSC}} + t_{\text{PLL1}} + \frac{n+131072}{f_{\text{PLL}}} \\ &= 10000[\mu\text{s}] + 500[\mu\text{s}] + \frac{4194304[\text{サイクル}] + 131072}{200[\text{MHz}]} \\ &= 32126.88[\mu\text{s}] \end{aligned}$$

と計算できますから、発振開始から PLL クロックが使用できるまでに、約 32.13ms 以上待つ必要があることがわかります。

12.2.7 ディープスタンバイコントロールレジスタ (DPSBYCR)

アドレス 0008 C280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP P	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	IOKEEP	I/Oポート保持ビット	0: ディープソフトウェアスタンバイモードの解除と同時にI/Oポートの保持を解除 1: ディープソフトウェアスタンバイモード解除後もI/Oポートの状態を保持する。その後IOKEEPビットへの“0”を書くとI/Oポートの保持を解除	R/W
b7	DPSBY	ディープソフトウェアスタンバイビット	SSBY b7 0 0: WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 0 1: WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1 0: WAIT命令実行後、ソフトウェアスタンバイモードに移行 1 1: WAIT命令実行後、ディープソフトウェアスタンバイモードに移行	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 7.2 リセット種別ごとの初期化対象」を参照してください。

IOKEEP ビット (I/Oポート保持ビット)

ディープソフトウェアスタンバイモード時、I/Oポートはソフトウェアスタンバイモードと同じ状態を保持します。IOKEEP ビットは、ディープソフトウェアスタンバイモード時に保持したI/Oポートの状態をディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを選択します。

DPSBY ビット (ディープソフトウェアスタンバイビット)

ディープソフトウェアスタンバイモードへの移行を制御します。

SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”の状態では、WAIT 命令を実行するとソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ移行します。

外部端子割り込み発生元となる一部の端子 (NMI、IRQ0-DS ~ IRQ7-DS)、周辺機能割り込み (電圧監視 1、電圧監視 2) によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは“1”のままです。“0”にするときは、“0”を書いてください。

IWDT がオートスタートモードかつ OFS0.IWDTSLCSTP ビットが“0” (カウント継続)、またはレジスタスタートモードかつ IWDTCSLTPR.SLCSTP ビットが“0”のときは、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

また、電圧監視 1 回路モードに電圧監視 1 リセットを選択しているとき (LVD1CR0.LVD1RI=1)、あるいは電圧監視 2 回路モードに電圧監視 2 リセットを選択しているとき (LVD2CR0.LVD2RI=1) は、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

12.2.8 ディープスタンバイインタラプトイネーブルレジスタ 0 (DPSIER0)

アドレス 0008 C282h

b7	b6	b5	b4	b3	b2	b1	b0
DIRQ7 E	DIRQ6 E	DIRQ5 E	DIRQ4 E	DIRQ3 E	DIRQ2 E	DIRQ1 E	DIRQ0 E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0E	IRQ0-DS端子許可ビット	0: IRQ0-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ0-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DIRQ1E	IRQ1-DS端子許可ビット	0: IRQ1-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ1-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DIRQ2E	IRQ2-DS端子許可ビット	0: IRQ2-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ2-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DIRQ3E	IRQ3-DS端子許可ビット	0: IRQ3-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ3-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DIRQ4E	IRQ4-DS端子許可ビット	0: IRQ4-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ4-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b5	DIRQ5E	IRQ5-DS端子許可ビット	0: IRQ5-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ5-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DIRQ6E	IRQ6-DS端子許可ビット	0: IRQ6-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ6-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DIRQ7E	IRQ7-DS端子許可ビット	0: IRQ7-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ7-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 7.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER0 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR0 レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR0 レジスタを“0”にしてください。

また、DPSIER0 レジスタが“0”であっても、ディープソフトウェアスタンバイモードに移行する際、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR0 レジスタが“1”になる場合があります。ただし、DPSIEGR0 レジスタが“0”に設定されている場合は、立ち上がりエッジを検出しないため、DPSIFR0 レジスタは“1”になりません。

12.2.9 ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2)

アドレス 0008 C284h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIE	—	—	DLVD21E	DLVD11E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD11E	LVD1ディープスタンバイ解除信号許可ビット	0: 電圧監視1信号によるディープソフトウェアスタンバイモード解除を禁止 1: 電圧監視1信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DLVD21E	LVD2ディープスタンバイ解除信号許可ビット	0: 電圧監視2信号によるディープソフトウェアスタンバイモード解除を禁止 1: 電圧監視2信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIE	NMI端子許可ビット	0: NMI端子によるディープソフトウェアスタンバイモード解除を禁止 1: NMI端子によるディープソフトウェアスタンバイモード解除を許可	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 一度だけ“1”を書くことができます。以後のライトアクセスは無効です。

DPSIER2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については「表 7.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER2 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR2 レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR2 レジスタを“0”にしてください。

また、DPSIER2 レジスタが“0”であっても、ディープソフトウェアスタンバイモードに移行する際、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR2 レジスタが“1”になる場合があります。ただし、DPSIEGR2 レジスタが“0”に設定されている場合は、立ち上がりエッジを検出しないため、DPSIFR2 レジスタは“1”になりません。

12.2.10 ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0)

アドレス 0008 C286h

b7	b6	b5	b4	b3	b2	b1	b0
DIRQ7 F	DIRQ6 F	DIRQ5 F	DIRQ4 F	DIRQ3 F	DIRQ2 F	DIRQ1 F	DIRQ0 F

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0F	IRQ0-DS端子ディープスタンバイ解除フラグ	0: IRQ0-DS端子による解除要求の発生なし 1: IRQ0-DS端子による解除要求の発生あり	R/(W) (注1)
b1	DIRQ1F	IRQ1-DS端子ディープスタンバイ解除フラグ	0: IRQ1-DS端子による解除要求の発生なし 1: IRQ1-DS端子による解除要求の発生あり	R/(W) (注1)
b2	DIRQ2F	IRQ2-DS端子ディープスタンバイ解除フラグ	0: IRQ2-DS端子による解除要求の発生なし 1: IRQ2-DS端子による解除要求の発生あり	R/(W) (注1)
b3	DIRQ3F	IRQ3-DS端子ディープスタンバイ解除フラグ	0: IRQ3-DS端子による解除要求の発生なし 1: IRQ3-DS端子による解除要求の発生あり	R/(W) (注1)
b4	DIRQ4F	IRQ4-DS端子ディープスタンバイ解除フラグ	0: IRQ4-DS端子による解除要求の発生なし 1: IRQ4-DS端子による解除要求の発生あり	R/(W) (注1)
b5	DIRQ5F	IRQ5-DS端子ディープスタンバイ解除フラグ	0: IRQ5-DS端子による解除要求の発生なし 1: IRQ5-DS端子による解除要求の発生あり	R/(W) (注1)
b6	DIRQ6F	IRQ6-DS端子ディープスタンバイ解除フラグ	0: IRQ6-DS端子による解除要求の発生なし 1: IRQ6-DS端子による解除要求の発生あり	R/(W) (注1)
b7	DIRQ7F	IRQ7-DS端子ディープスタンバイ解除フラグ	0: IRQ7-DS端子による解除要求の発生なし 1: IRQ7-DS端子による解除要求の発生あり	R/(W) (注1)

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

DPSIEGR0 レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER0 レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR0 レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER0 レジスタの設定変更後にDPSIFR0 レジスタを“00h”にする場合は、PCLKBの6サイクル以上経過後、DPSIFR0 レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER0 レジスタを読むことでPCLKBの6サイクル以上を確保することができます。

DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 7.2 リセット種別ごとの初期化対象」を参照してください。

DIRQnF (IRQn ディープスタンバイ解除フラグ) (n=0 ~ 7)

IRQn-DS 端子による解除要求が発生したことを示します。

[“1”になる条件]

- DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

12.2.11 ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2)

アドレス 0008 C288h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIF	—	—	DLVD2IF	DLVD1IF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IF	LVD1 ディープスタンバイ解除フラグ	0: 電圧監視1信号による解除要求の発生なし 1: 電圧監視1信号による解除要求の発生あり	R/(W) (注1)
b1	DLVD2IF	LVD2 ディープスタンバイ解除フラグ	0: 電圧監視2信号による解除要求の発生なし 1: 電圧監視2信号による解除要求の発生あり	R/(W) (注1)
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIF	NMI ディープスタンバイ解除フラグ	0: NMI端子による解除要求の発生なし 1: NMI端子による解除要求の発生あり	R/(W) (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

DPSIEGR2 レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER2 レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR2 レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER2 レジスタの設定変更後に DPSIFR2 レジスタを“00h”にする場合は、PCLKB の6サイクル以上経過後、DPSIFR2 レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER2 レジスタを読むことでPCLKB の6サイクル以上を確保することができます。

DPSIFR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 7.2 リセット種別ごとの初期化対象」を参照してください。

DLVDmIF (LVDm ディープスタンバイ解除フラグ) (m = 1, 2)

電圧監視 m 信号による解除要求が発生したことを示します。

[“1”になる条件]

- DPSIEGR2 レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DNMIF (NMI ディープスタンバイ解除フラグ)

NMI 端子による解除要求が発生したことを示します。

[“1”になる条件]

- DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

12.2.12 ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0)

アドレス 0008 C28Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7 EG	DIRQ6 EG	DIRQ5 EG	DIRQ4 EG	DIRQ3 EG	DIRQ2 EG	DIRQ1 EG	DIRQ0 EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0EG	IRQ0-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b1	DIRQ1EG	IRQ1-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b2	DIRQ2EG	IRQ2-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b3	DIRQ3EG	IRQ3-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b4	DIRQ4EG	IRQ4-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b5	DIRQ5EG	IRQ5-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b6	DIRQ6EG	IRQ6-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b7	DIRQ7EG	IRQ7-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 7.2 リセット種別ごとの初期化対象」を参照してください。

12.2.13 ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2)

アドレス 0008 C28Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIE G	—	—	DLVD2 EG	DLVD1 EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1EG	LVD1エッジ選択ビット	0 : VCC < Vdet1 (下降) 検出時に解除要求を発生 1 : VCC ≥ Vdet1 (上昇) 検出時に解除要求を発生	R/W
b1	DLVD2EG	LVD2エッジ選択ビット	0 : VCC < Vdet2 (下降) 検出時に解除要求を発生 1 : VCC ≥ Vdet2 (上昇) 検出時に解除要求を発生	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIEG	NMIエッジ選択ビット	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がリエッジで解除要求を発生	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 7.2 リセット種別ごとの初期化対象」を参照してください。

12.2.14 ディープスタンバイバックアップレジスタ (DPSBKRY) (y=0 ~ 31)

アドレス 0008 C2A0h~0008 C2BFh

	b7	b6	b5	b4	b3	b2	b1	b0
	[不定]							
リセット後の値	x	x	x	x	x	x	x	x

x : 不定

DPSBKRY レジスタは、ディープソフトウェアスタンバイモード中、データを退避するための 32 バイトのレジスタで、読み出し、書き込みいずれも可能です。内蔵 RAM のデータが保持されないディープソフトウェアスタンバイモードにおいても、このレジスタは保持されます。

DPSBKRY レジスタは初期化されません。電源投入直後のレジスタ値は不定となります。

12.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKA[3:0], PCKB[3:0], PCKC[3:0], PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DMAC、DTC、ROM、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

MTU3 と GPT と DPC は、PCKA[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKB[3:0] ビットで設定した動作クロックで動作します。

AD は、PCKC[3:0] ビットで設定した動作クロックで動作します。

S12AD は、PCKD[3:0] ビットで設定した動作クロックで動作します。

フラッシュインタフェースは FCK[3:0] ビットで設定した動作クロックで動作します。

外部バスクロックは、BCK[3:0] ビットで設定した動作クロックで動作します。詳細は「10. クロック発生回路」を参照してください。

12.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRC レジスタに対応する MSTPmi ビット (m=A ~ C, i=31 ~ 0) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を続けます。対応する MSTPmi ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、内蔵 RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

12.5 低消費電力状態

12.5.1 スリープモード

12.5.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態 WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

WDT を使用しているとき、スリープモードへ移行すると WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPUのPSW.Iビット(注1)を“0”にする。
- (2) スリープモードからの復帰に使用する割込みの伝達先をCPUに設定する。
- (3) スリープモードからの復帰に使用する割込みの優先レベル(注2)を、CPUのPSW.IPL[3:0]ビット(注1)よりも高く設定する。
- (4) スリープモードからの復帰に使用する割込みのIERm.IENjビット(注2)を“1”にする。
- (5) 最後に書き込みを行ったI/Oレジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT命令の実行(WAIT命令の実行によりCPUのPSW.Iビット(注1)は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「15. 割り込みコントローラ(ICUb)」を参照してください。

12.5.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES#端子リセット、パワーオンリセット、電圧監視リセット、IWDTのアンダフローによるリセットによって行われます。

- 割り込みによる解除
割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスク割込みがCPUでマスクされている場合(割り込み優先レベルが(注1)CPUのPSW.IPL[3:0]ビット(注2)以下に設定されている場合)には、スリープモードは解除されません。
- RES#端子リセットによる解除
RES#端子をLowにすると、リセット状態になります。規定のリセット入力期間が経過した後、RES#端子をHighにすると、CPUはリセット例外処理を開始します。
- パワーオンリセットによる解除
パワーオンリセットによって、スリープモードが解除されます。
- 電圧監視リセットによる解除
電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。
- 独立ウォッチドッグタイマリセットによる解除
IWDTのアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時にIWDTがカウントを停止する条件(OFS0.IWDTSTRT=0かつOFS0.IWDTSLCSTP=1、またはOFS0.IWDTSTRT=1かつIWDTCSTPR.SLCSTP=1)では、IWDTが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注1. 詳細は「15. 割り込みコントローラ(ICUb)」を参照してください。

注2. 詳細は「2. CPU」を参照してください。

12.5.2 全モジュールクロックストップモード

12.5.2.1 全モジュールクロックストップモードへの移行

MSTPCRA.ACSEビットを“1”にして、かつMSTPCRA、MSTPCRB、MSTPCRCレジスタで制御されるモジュールをモジュールストップ状態(MSTPCRA = FFFF FFFFh、MSTPCRB = FFFF FFFFh、MSTPCRC[31:16] = FFFFh)にしたときに、SBYCR.SSBYビットを“0”にした状態でWAIT命令を実行すると、バスサイクルの終了時点でPOE(注4)、IWDT、パワーオンリセット回路、電圧検出回路を除く全モジュールと、バスコントローラおよびI/Oポートの動作が停止して、全モジュールクロックストップモードへ移行します(注1)。

WDT を使用しているとき、全モジュールクロックストップモードへ移行すると、WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。

全モジュールクロックストップモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット（注2）を“0”にする。
- (2) 全モジュールクロックストップモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
- (3) 全モジュールクロックストップモードからの復帰に使用する割り込みの優先レベル（注3）を CPU の PSW.IPL[3:0] ビット（注2）よりも高く設定する。
- (4) 全モジュールクロックストップモードからの復帰に使用する割り込みの IERm.IENj ビット（注3）を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する（WAIT 命令の実行によって CPU の PSW.I ビット（注2）は自動的に“1”になります）。

注 1. DTC、DMAC の動作状態によっては、全モジュールクロックストップモードに移行できない場合があります。MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DTC、DMAC が起動していない状態で行ってください。

注 2. 詳細は「2. CPU」を参照してください。

注 3. 詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

注 4. POE 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生フラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE 割り込みが発生します。

12.5.2.2 全モジュールクロックストップモードの解除

全モジュールクロックストップモードの解除は、外部端子割り込み（NMI、IRQ0～IRQ7）、周辺機能割り込み（IWDT（注1）、USB サスペンド/レジューム、電圧監視 1、電圧監視 2、発振停止検出）、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われ、例外処理を経て通常のプログラム実行状態へ遷移します。マスク割り込みが CPU でマスクされている場合（割り込みの優先レベル（注2）が CPU の PSW.IPL[3:0] ビット（注3）以下に設定されている場合）、または DTC、DMAC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

注 1. 全モジュールクロックストップ時に独立ウォッチドッグタイマがカウントを停止する条件（OFS0.IWDTSTRT=0 かつ OFS0.IWDTSLCSTP=1、または OFS0.IWDTSTRT=1 かつ IWDTCSLTPR.SLCSTP=1）では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除は出来ません。

注 2. 詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

注 3. 詳細は「2. CPU」を参照してください。

12.5.3 ソフトウェアスタンバイモード

12.5.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にし、DPSBYCR.DPSBY ビットを“0”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの値と内蔵 RAM のデータ、内蔵周辺機能と I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンスとするか、出力状態を保持するかを、SBYCR.OPE ビットで選択できます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。

WAIT 命令を実行する前に DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にしてください。

WDT を使用しているとき、ソフトウェアスタンバイモードへ移行すると、発振器が停止するため WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

また、発振停止検出機能有効（OSTDCR.OSTDE = 1）の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、発振停止検出機能無効（OSTDCR.OSTDE = 0）に設定後、WAIT 命令を発行してください。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット（注1）を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル（注2）を CPU の PSW.IPL[3:0] ビット（注1）よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット（注2）を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する（WAIT 命令の実行によって CPU の PSW.I ビット（注1）は自動的に“1”になります）。

注1. 詳細は、「2. CPU」を参照してください。

注2. 詳細は、「15. 割り込みコントローラ (ICUb)」を参照してください。

12.5.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み（NMI、IRQ0～IRQ7）、周辺機能割り込み（IWDT、USB サスペンド/レジューム、電圧監視 1、電圧監視 2）、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。割り込みによってソフトウェアスタンバイモードを解除した場合、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

- 割り込みによる解除

NMI、IRQ0～IRQ7、IWDT、USB サスペンド/レジューム、および電圧監視 1、電圧監視 2 の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビット、PLLWTCR.PSTS[4:0] ビットで設定した各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、LSI にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件（OFS0.IWDTSTRT=0 かつ OFS0.IWDTSLCSTP=1、または OFS0.IWDTSTRT=1 かつ IWDTCSTPR.SLCSTP=1）では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

12.5.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、IRQn 端子（n=0～7）の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 12.2 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビット（i=0～7）が“01b”（立ち下がりエッジ）の状態、IRQn 割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビット（i=0～7）を“10b”（立ち上がりエッジ）に設定し、SBYCR.SSBY ビットを“1”にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ（ICU）の設定も必要となります。詳細は、「15. 割り込みコントローラ（ICU）」を参照してください。

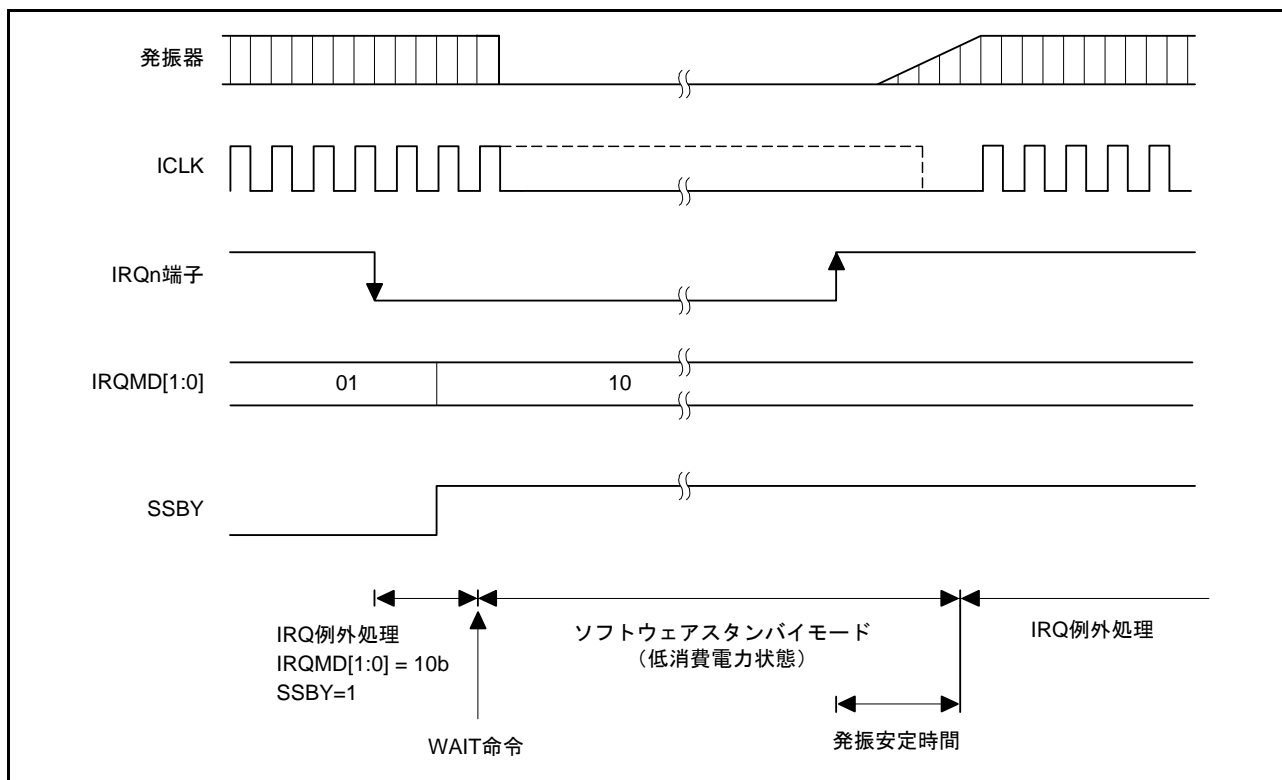


図 12.2 ソフトウェアスタンバイモードの応用例

12.5.4 ディープソフトウェアスタンバイモード

12.5.4.1 ディープソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します (注1)。このとき、DPSBYCR.DPSBY ビットが“1”なら、ディープソフトウェアスタンバイモードに移行します。

ディープソフトウェアスタンバイモードは、CPU、内蔵周辺機能、内蔵 RAM および発振器のすべての機能が停止し、さらにこれらの内部電源の供給を停止しますので、消費電力は著しく低減されます。このとき、CPU、内蔵周辺機能のレジスタ内容はすべて不定となります。内蔵 RAM のデータは不定となります。WDT を使用しているとき、ディープソフトウェアスタンバイモードへ移行すると発振器は停止し、また WDT への電源供給が停止され、カウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT とともに電源供給が停止され、カウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT とともに電源供給が停止され、カウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。

また、電圧検出回路において電圧監視 1 リセットの機能 (LVD1CR0.LVD1RI=1)、または電圧監視 2 リセットの機能 (LVD2CR0.LVD2RI=1) を選択している場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合はソフトウェアスタンバイモードへ移行します。

ポートの状態は、ソフトウェアスタンバイモード時の状態を保持します。

注1. WAIT 命令実行前に、ソフトウェアスタンバイモードへ移行する際の DTC、DMAC、IWDT に関する条件を満たしておく必要があります。詳細は、「12.5.3 ソフトウェアスタンバイモード」を参照してください。

12.5.4.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部端子割り込み発生元となる一部の端子 (NMI、IRQ0-DS ~ IRQ7-DS)、周辺機能割り込み (電圧監視 1、電圧監視 2)、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセットによって行われます。

(1) 外部割り込み端子および内部割り込み信号による解除

ディープソフトウェアスタンバイモードの解除は、DPSIERn(n=0, 2) レジスタと DPSIFRn(n=0, 2) レジスタで制御されます。ディープソフトウェアスタンバイモードを解除可能な割り込み要求が発生すると、DPSIFRn レジスタ (n=0, 2) の当該フラグが“1”になります。このとき、DPSIERn レジスタ (n=0, 2) で解除要因が許可されている場合にディープソフトウェアスタンバイモードは解除されます。また、立ち上がりエッジと立ち下がりエッジの選択は、DPSIEGRn(n=0, 2) にて設定可能です。エッジ選択可能な割り込みは、NMI、IRQ0-DS ~ IRQ7-DS、電圧監視 1、電圧監視 2 となります。

ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源の供給と LOCO クロックの発振を開始し、LSI 全体に対して内部リセット (ディープソフトウェアスタンバイリセット) を発生します。その後、安定した LOCO クロックが LSI 全体に供給され、ディープソフトウェアスタンバイリセットが解除されます。ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードは解除され、リセット例外処理が開始されます。

外部割り込み端子および内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが“1”になります。

(2) RES# 端子リセットによる解除

RES# 端子を Low にすると、ディープソフトウェアスタンバイモードは解除されます。このとき RES# 端子は「42. 電気的特性【144/120/112/100 ピン版】」、「43. 電気的特性【64/48 ピン版】」に従って Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

(4) 電圧監視 0 リセットによる解除

電源電圧の低下によって電圧監視 0 リセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

12.5.4.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/O ポートの状態はソフトウェアスタンバイモード時の状態を保持しています。ディープソフトウェアスタンバイモードに伴う内部リセットによって、LSI 内部は初期化され、ディープソフトウェアスタンバイモードが解除されるとリセット例外処理が開始されます。このときのポートの状態を、以下に示します。

DPSBYCR.IOKEEP ビットによって、I/O ポートを初期状態とするか、ソフトウェアスタンバイモード時の I/O ポートの状態を保持するかを選択することができます。

- DPSBYCR.IOKEEP ビットが“0”のとき

ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/O ポートの状態は初期状態になります。

- DPSBYCR.IOKEEP ビットが“1”のとき

ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、LSI 内部は初期化されていますが、I/O ポートは LSI 内部の状態にかかわらずソフトウェアスタンバイモード時の状態を保持します。このとき、I/O ポート、周辺モジュールの設定を行っても、ソフトウェアスタンバイモード時の I/O ポートの状態を保持します。その後、IOKEEP ビットを“0”にすることによって、I/O ポートの状態保持は解除され、内部状態に応じた動作となります。

DPSBYCR.IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

12.5.4.4 ディープソフトウェアスタンバイモードの応用例

IRQn-DS 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに移行し、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードの解除を行う例を図 12.3 に示します。

この例では、ICU の IRQCRI.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) に設定されている状態で、IRQn 割り込みを受け付けた後、DPSIEGRy.DIRQnEG ビット (y=0, n=0 ~ 7) を “1” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットと DPSBYCR.DPSBY ビットを “1” にした後、WAIT 命令を実行してディープソフトウェアスタンバイモードに移行しています。

その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

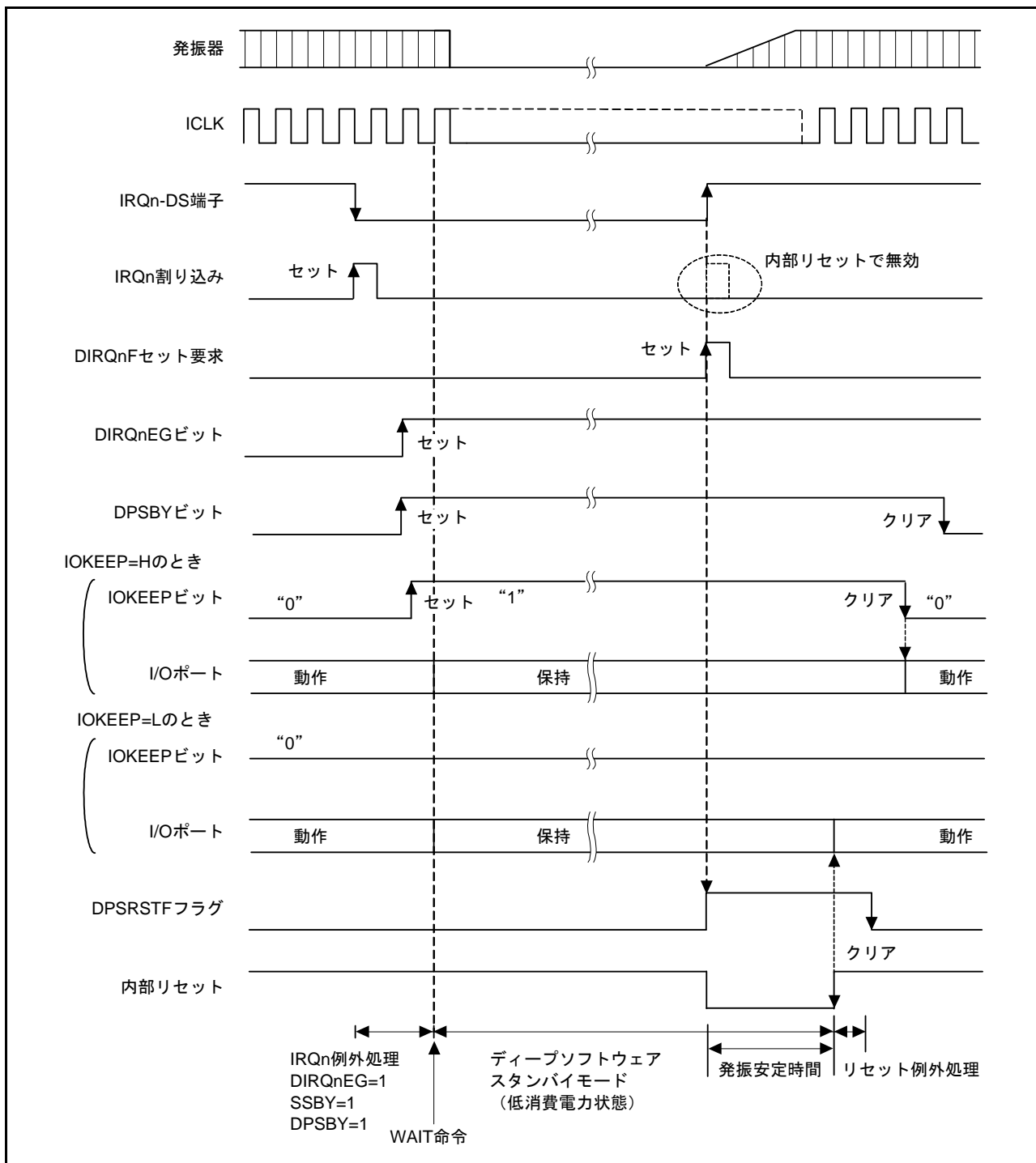


図 12.3 ディープソフトウェアスタンバイモードの応用例

12.5.4.5 ディープソフトウェアスタンバイモードのフローチャート

図 12.4 にディープソフトウェアスタンバイモードを使用する場合のフローチャートの例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグにて RES# 端子リセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES# 端子リセットの場合は、各種設定後、ディープソフトウェアスタンバイモードへ移行しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で DPSBYCR.IOKEEP ビットを“0”にしています。

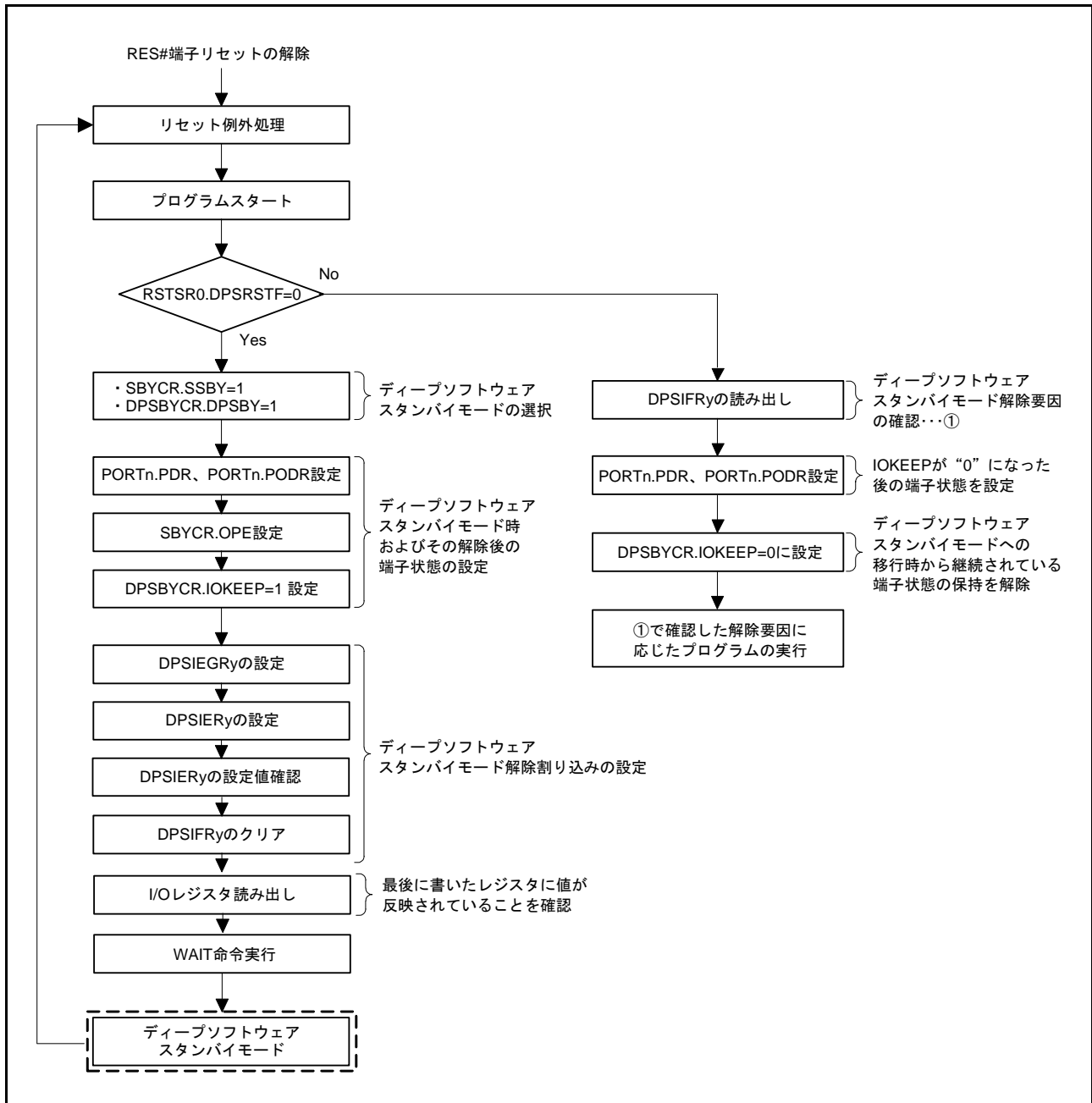


図 12.4 ディープソフトウェアスタンバイモードのフローチャート例

12.6 使用上の注意事項

12.6.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。したがって、High を出力している場合は出力電流分の消費電流は低減されません。

12.6.2 DMAC、DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DTC、DMAC が起動していない状態にしてください。

詳細は「18. DMA コントローラ (DMACA)」、「19. データトランスファコントローラ (DTCa)」を参照してください。

12.6.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

12.6.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み

MSTPCRA、MSTPCRB および MSTPCRC レジスタへの書き込みは、CPU のみで行ってください。

12.6.5 DIRQnE ビット (n=0 ~ 7) による入力バッファ制御

DPSIERy.DIRQnE (y=0, n=0 ~ 7) ビットを“1”にすることで、IRQ0-DS ~ IRQ7-DS 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFRy.DIRQnF (y=0, n=0 ~ 7) ビットに伝わりますが、割り込みコントローラや周辺モジュール、I/O ポートには伝わりませんので注意してください。

12.6.6 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

12.6.7 スリープモード中の DMAC、DTC によるレジスタの書き換えについて

スリープモード中は WDT が停止します。スリープモード中に DMAC、DTC によって WDT 関連のレジスタを書き変えないでください。

スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCTSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DMAC、DTC によって IWDT 関連のレジスタを書き変えないでください。

12.6.8 ソフトウェアスタンバイモードから復帰するときの注意事項

IRQ0 ~ IRQ7 割り込みをソフトウェアスタンバイモードの解除要因として設定しない場合、ソフトウェアスタンバイモードにおいて対応する端子の入力バッファが無効となるため、LSI 内部への入力信号が High に固定されます。そのため端子の状態によっては、ソフトウェアスタンバイモードへ移行することにより、割り込みステータスフラグ (ICU.IRi.IR) が“1”になる可能性があります。

ソフトウェアスタンバイモードへの移行時には、解除要因としない IRQ0 ~ IRQ7 割り込みを IERi.IENj ビットで割り込み禁止にした上で、WAIT 命令を実行してください。また、ソフトウェアスタンバイモードからの復帰後は、割り込みステータスフラグをクリアしてください。

13. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ（PRCR）で設定します。

表 13.1 に PRCR レジスタと保護されるレジスタの対応を示します。

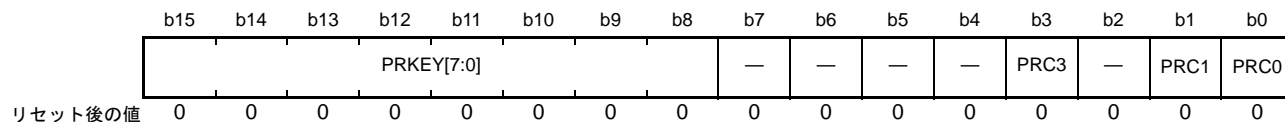
表 13.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKCR、SCKCR2、SCKCR3、PLLCR、PLLCR2、BCKCR、MOSCCR、LOCOCR、ILOOCR、OSTDCR、OSTDSR
PRC1 ビット	<ul style="list-style-type: none"> 動作モード関連レジスタ SYSCR0、SYSCR1 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、MSTPCRC、MOSCWTCR、PLLWTCR、DPSBYCR、DPSIER0、DPSIER2、DPSIFR0、DPSIFR2、DPSIEGR0、DPSIEGR2 クロック発生回路関連レジスタ MOFCR ソフトウェアリセットレジスタ SWRR
PRC3 ビット	<ul style="list-style-type: none"> LVD 関連レジスタ LVCMP CR、LVDL VLR、LVD1CR0、LVD1CR1、LVD1SR、LVD2CR0、LVD2CR1、LVD2SR

13.1 レジスタの説明

13.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能、ソフトウェアリセット関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

PRCi ビット (プロテクトビット i) (i=0、1、3)

保護するレジスタへの書き込み許可/禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

14. 例外処理

14.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RX CPU は、7 種類の例外に対応します。図 14.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードに移行します。

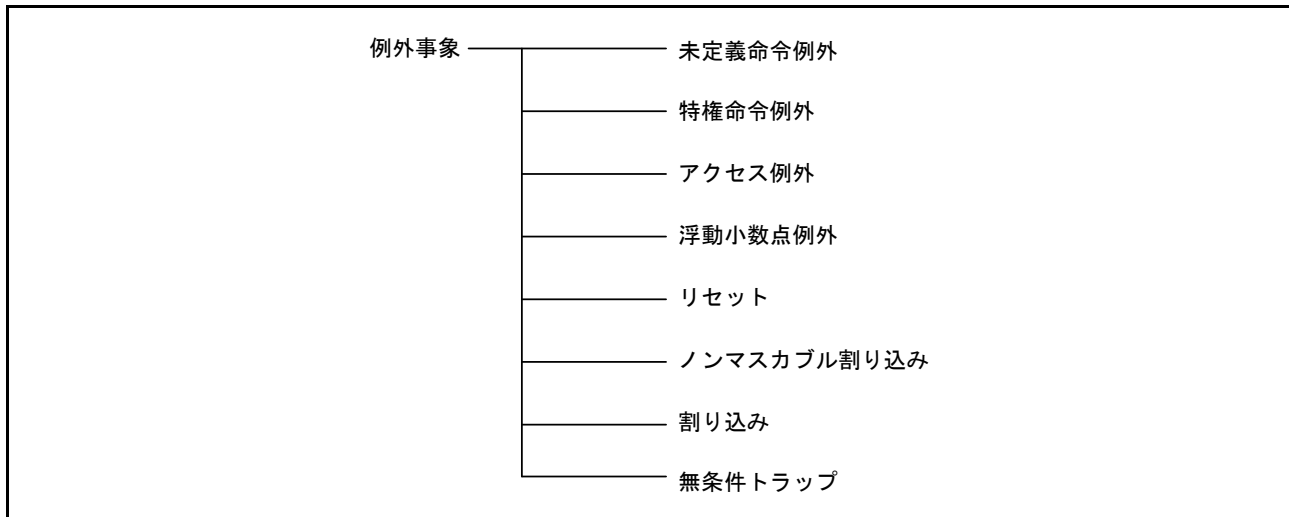


図 14.1 例外事象の種類

14.1.1 未定義命令例外

未定義命令例外は、未定義命令（実装されていない命令）の実行を検出した場合に発生します。

14.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

14.1.3 アクセス例外

アクセス例外は、CPU からのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

14.1.4 浮動小数点例外

浮動小数点例外は、IEEE754 規格で規定された 5 つの例外事象（オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算）の他、非実装処理を検出した場合に発生します。浮動小数点例外は、FPSW の EX、EU、EZ、EO、EV ビットが“0”のとき、例外処理が禁止されます。

14.1.5 リセット

CPU にリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

14.1.6 ノンマスカブル割り込み

CPUにノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

14.1.7 割り込み

CPUに割り込み信号を入力することによって発生します。割り込みのうち1つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは15（最高）です。

PSWのIビットが“0”のとき、割り込みの受け付けは禁止されます。

14.1.8 無条件トラップ

INT命令、およびBRK命令を実行すると無条件トラップが発生します。

14.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム（例外処理ルーチン）によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図14.2に示します。

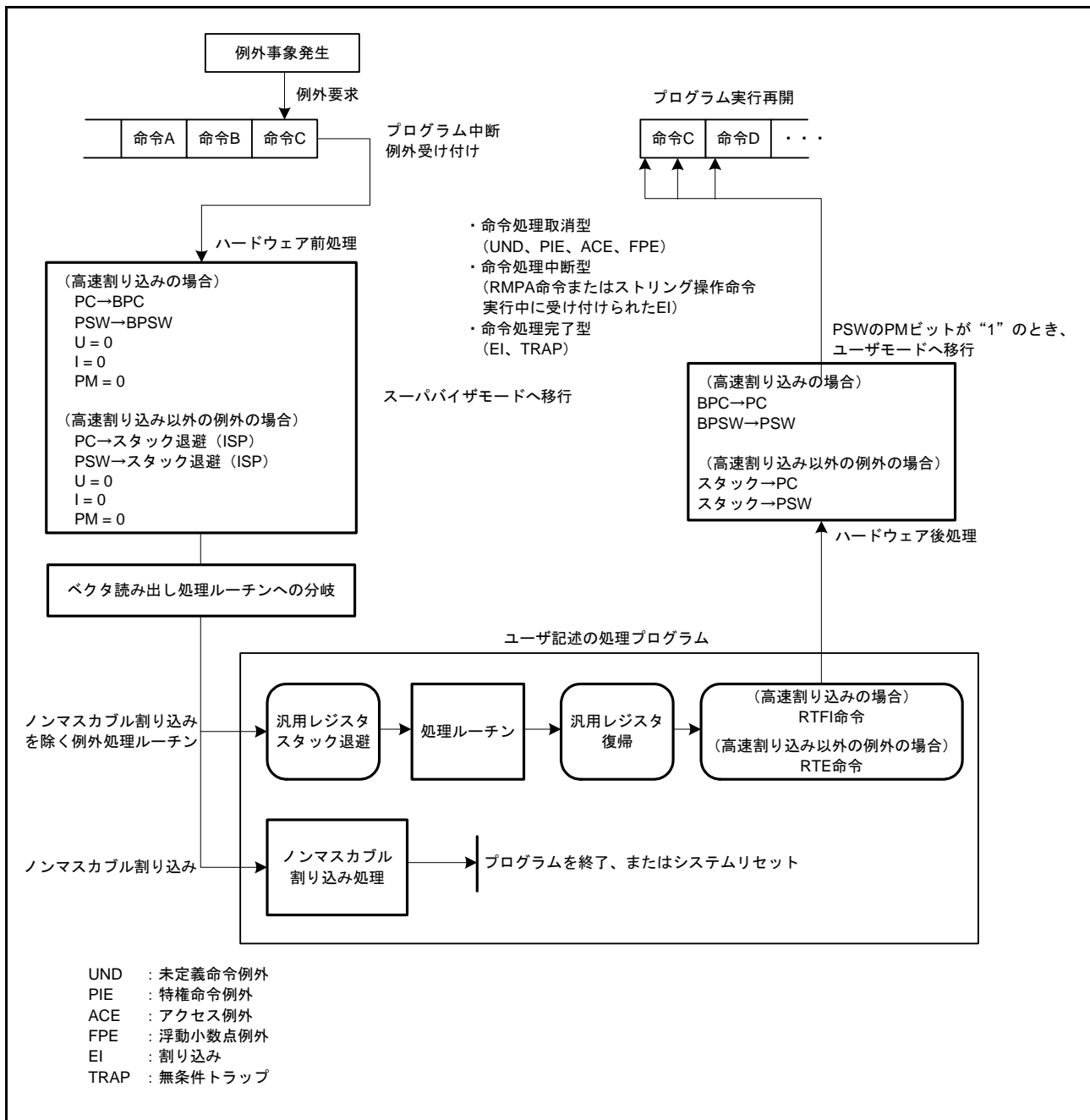


図 14.2 例外の処理手順の概要

例外が受け付けられると、RX CPU はハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには各例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RX CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアップ PC (BPC) に、プロセッサステータスワード (PSW) の内容をバックアップ PSW (BPSW) へ退避します。高速割り込み以外の例外では、PC、PSW をスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ハンドラ処理完了後、スタックに退避したレジスタを復帰して RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノ

ノンマスクブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RX CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰します。

14.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

14.3.1 受け付けタイミングと退避される PC 値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ (PC) の値を表 14.1 に示します。

表 14.1 受け付けタイミングと退避される PC 値

例外事象		処理型	受け付け タイミング	BPC / スタックに退避される PC 値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
アクセス例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
浮動小数点例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスクブル 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
無条件トラップ		命令処理完了型	命令の区切り	次の命令の PC 値

14.3.2 ベクタと PC、PSW の退避場所

各例外事象のベクタとプログラムカウンタ (PC)、プロセッサステータスワード (PSW) の退避場所を表 14.2 に示します。

表 14.2 ベクタと PC、PSW の退避場所

例外事象		ベクタ	PC、PSW の退避場所
未定義命令例外		固定ベクタテーブル	スタック
特権命令例外		固定ベクタテーブル	スタック
アクセス例外		固定ベクタテーブル	スタック
浮動小数点例外		固定ベクタテーブル	スタック
リセット		固定ベクタテーブル	なし
ノンマスクブル割り込み		固定ベクタテーブル	スタック
割り込み	高速割り込み	FINTV	BPC、BPSW
	高速割り込み以外	可変ベクタテーブル (INTB)	スタック
無条件トラップ		可変ベクタテーブル (INTB)	スタック

14.4 例外の受け付け／復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

注． FPSW は、ハードウェア前処理では退避されません。浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避してください。

(b) PSW の PM、U、I ビットの更新

I : 0 にする

U : 0 にする

PM : 0 にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

14.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

14.5.1 未定義命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFDCh 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.2 特権命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFD0h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.3 アクセス例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFD4h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.4 浮動小数点例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFE4h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.5 リセット

1. 制御を初期化します。
2. FFFFFFFFCh 番地からベクタを取得します。
3. 取得したベクタをプログラムカウンタ (PC) にセットします。

14.5.6 ノンマスカブル割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を“Fh”にします。
5. FFFFFFFF8h 番地からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.7 割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PSW (BPSW) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PC (BPC) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
5. 可変ベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.8 無条件トラップ

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. INT 命令の場合は、可変ベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、可変ベクタテーブルの先頭番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 14.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ（BPC、BPSW）に退避されていたプログラムカウンタ（PC）とプロセッサステータスワード（PSW）の内容が復帰されます。

表 14.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		復帰不可能
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

14.7 例外事象の優先順位

例外事象の優先順位を表 14.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 14.4 例外事象の優先順位

優先順位	例外事象
高い ↑ 低い	1 リセット
	2 ノンマスカブル割り込み
	3 割り込み
	4 命令アクセス例外
	5 未定義命令例外 特権命令例外
	6 無条件トラップ
	7 オペランドアクセス例外
	8 浮動小数点例外

15. 割り込みコントローラ (ICUb)

15.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよびDTC、DMACの起動を行います。

表 15.1 に割り込みコントローラの仕様を、図 15.1 に割り込みコントローラのブロック図を示します。

表 15.1 割り込みコントローラの仕様

項目	内容	
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定 グループ割り込み機能：複数の割り込みを1つの割り込みベクタに割り当て エッジ検出割り込みグループ数：1 (グループ0) レベル検出割り込みグループ数：1 (グループ12)
	外部端子割り込み	<ul style="list-style-type: none"> IRQ0～IRQ7端子からの割り込み 要因数：8 (最大) 割り込み検出：Lowレベル/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 デジタルフィルタ機能：あり
	ソフトウェア割り込み	<ul style="list-style-type: none"> レジスタ書き込みによる割り込み 要因数：1
	割り込み優先順位	レジスタにより優先順位を設定
	高速割り込み機能	CPUの割り込み処理を高速化可能。1要因にのみ設定
	DTC、DMAC制御	割り込み要因によりDTCやDMACを起動可能 (注1)
ノンマスクブル割り込み	NMI端子割り込み	<ul style="list-style-type: none"> NMI端子からの割り込み 割り込み検出：立ち下がりエッジ/立ち上がりエッジ デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み
	WDTアンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	IWDTアンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み	電圧検出回路1 (LVD1) の電圧監視割り込み
	電圧監視2割り込み	電圧検出回路2 (LVD2) の電圧監視割り込み
低消費電力状態からの復帰	<ul style="list-style-type: none"> スリープモード：ノンマスクブル割り込み、全割り込み要因で復帰 全モジュールクロックストップモード：ノンマスクブル割り込み、IRQ0～IRQ7割り込み、USBレジャーム割り込みで復帰 ソフトウェアスタンバイモード：ノンマスクブル割り込み、IRQ0～IRQ7割り込み、USBレジャーム割り込みで復帰 	

注1. DTCおよびDMACの起動要因については、「表 15.3 割り込みのベクタテーブル」を参照してください。

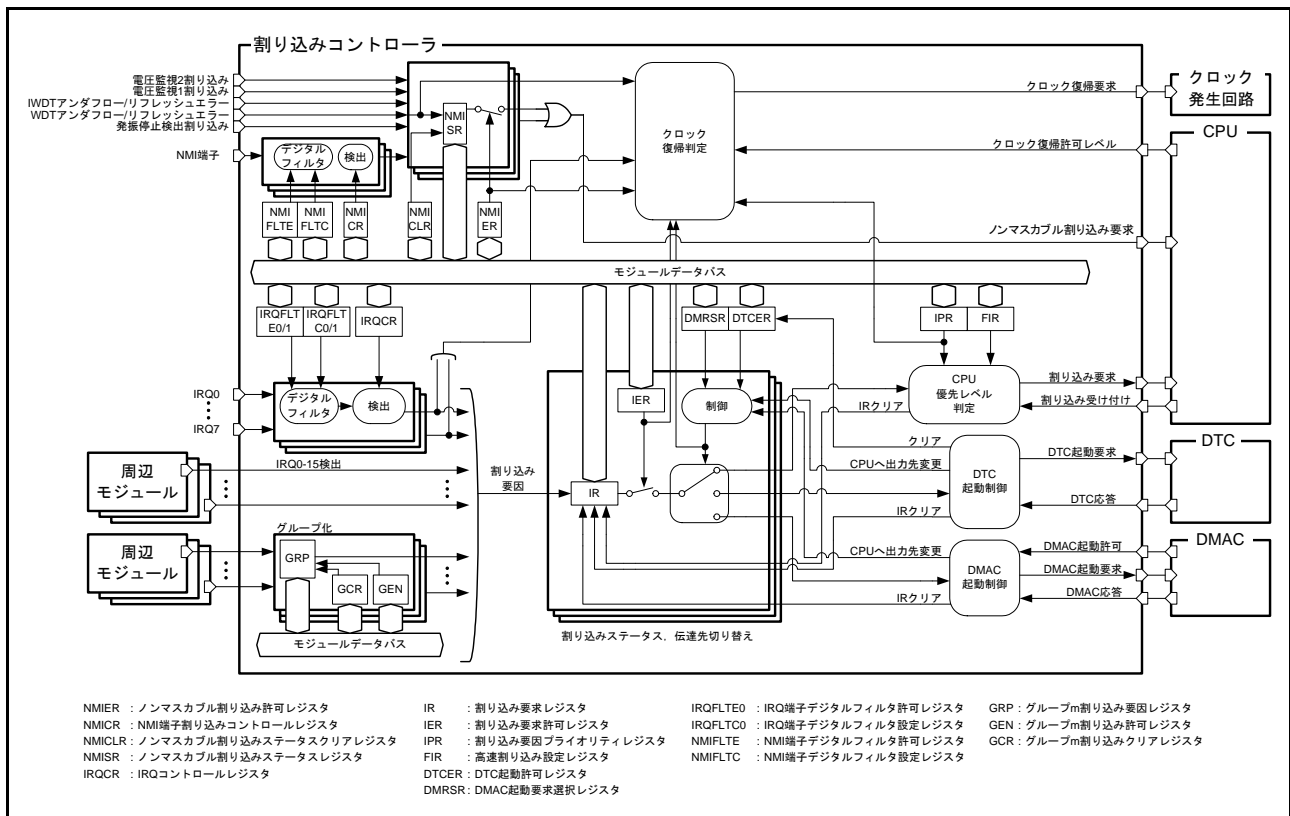


図 15.1 割り込みコントローラのブロック図

表 15.2 に割り込みコントローラで使用する入出力端子を示します。

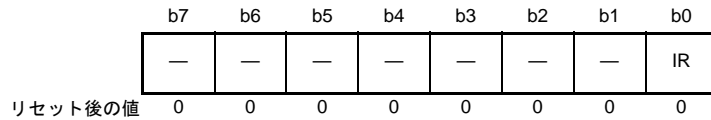
表 15.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0~IRQ7	入力	外部割り込み要求端子

15.2 レジスタの説明

15.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)

アドレス 0008 7010h ~ 0008 70FCh



ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。
レベル検出要因の場合、書き込みできません。

IRn レジスタは割り込み要因ごとに存在し、n は割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、「表 15.3 割り込みのベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込みイネーブルビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法は、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出/レベル検出が決まっています。IRQi 端子からの割り込みは、IRQCRi.IRQMD[1:0] ビット (i=0~7) の設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、「表 15.3 割り込みのベクタテーブル」を参照してください。

グループ化された割り込み要求は、グループ m 割り込み要因レジスタ (GRPm) (m=グループ番号) で検出します。GRPm レジスタで検出された割り込み要求は、レベル割り込み要求としてグループに対応する IR フラグで検出します。割り込みグループ化機能の詳細は「15.4 周辺モジュール割り込み要求のグループ機能」を参照してください。

グループ化された割り込み要求は「表 15.4 グループ m 割り込み要求」を参照してください。

(1) エッジ検出の場合

["1"になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生すると“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IR フラグに“0”を書くと“0”になります。ただし、割り込み要求先をDTCまたはDMACに設定している場合、IR フラグへの“0”書き込みは禁止です。

(2) レベル検出の場合

["1"になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生している間は“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

- グループ化された割り込み要求の場合、グループ m 割り込み許可レジスタの割り込み要求許可ビット j (GENm.ENj) (m =グループ番号、 j =ビット番号)が“1”で、グループ m 割り込み要因レジスタの割り込みステータスフラグ (GRPm.ISj)が“1”のときは“1”になります。

["0"になる条件]

- 割り込み要求の出力元をクリアすると“0”になります。(割り込み要求先が割り込み要求を受け付けても“0”になりません。) 周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。
- グループ化された割り込み要求の場合、GENm.ENj ビットが“0”、もしくは GRPm.ISj フラグが“0”になると、“0”になります。

IRQ_i 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQ_i 端子を High にしてください。レベル検出時は、IR フラグへの“0”、“1”ともに書き込みは禁止です。

15.2.2 割り込み要求許可レジスタ m (IER_m) ($m = 02h \sim 1Fh$)

アドレス 0008 7202h~0008 721Fh

b7	b6	b5	b4	b3	b2	b1	b0
IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0: 割り込み要求禁止 1: 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読み出されます。

IE_nj ビット (割り込み要求許可ビット j) ($j = 7 \sim 0$)

IE_nj ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。

IE_nj ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

IR_n.IR フラグは、IE_nj ビットの影響を受けません。IE_nj ビットが“0”であっても、「15.2.1 割り込み要求レジスタ n (IR_n) (n = 割り込みベクタ番号)」に示す条件で IR フラグは変化します。

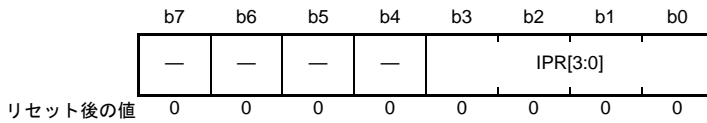
IER_m.IE_nj ビットは、割り込み要因 (ベクタ番号) ごとに存在します。

割り込み要因と IER_m.IE_nj ビットの対応は、「表 15.3 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IER_m.IE_nj ビットの設定手順は、「15.5.3 割り込み要求先の選択」を参照してください。

15.2.3 割り込み要因プライオリティレジスタ n (IPRn) (n = 000 ~ 250)

アドレス 0008 7300h~0008 73FAh



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0 : レベル0 (割り込み禁止) (注1) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに設定している場合は、レベル0であっても割り込みの発行が可能です。

割り込み要因と IPRn レジスタの対応は、「表 15.3 割り込みのベクタテーブル」を参照してください。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC や DMAC への起動要求には影響を与えません。

CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = “0”) した状態で行ってください。

15.2.4 高速割り込み設定レジスタ (FIR)

アドレス 0008 72F0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FIEN	—	—	—	—	—	—	—	FVCT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにするベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込みを禁止 1 : 高速割り込みを許可	R/W

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC や DMAC への起動要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = “0”) した状態で行ってください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

FIEN ビットを “1” にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが “1” のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRn レジスタの設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合には「15.7.3 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERm.IENj ビット (m=02h ~ 1Fh、j=7 ~ 0) で割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、「表 15.3 割り込みのベクタテーブル」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「14. 例外処理」および「15.5.6 高速割り込み」を参照してください。

15.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読み出されます。“1”書き込みでソフトウェア割り込み要求を発行します。“0”書き込みは無効です	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

SWINT ビット (ソフトウェア割り込み起動ビット)

SWINT ビットに“1”を書くと、割り込み要求レジスタ 027 (IR027) が“1”になります。

DTC 起動許可レジスタ 027 (DTCER027) を“0”にして、SWINT ビットに“1”を書くと CPU への割り込みが発生します。

DTC 起動許可レジスタ 027 (DTCER027) を“1”にして、SWINT ビットに“1”を書くと DTC 起動要求を発行します。

15.2.6 DTC 起動許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)

アドレス 0008 711Bh~0008 71FBh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC 起動許可ビット	0 : DTC 起動禁止 1 : DTC 起動許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMAC 起動要求に選択したものと同一の要因に DTC 起動許可を設定するのは禁止です。割り込み要因との対応は「表 15.3 割り込みのベクタテーブル」を参照してください。

DTCE ビット (DTC 起動許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1”になる条件]

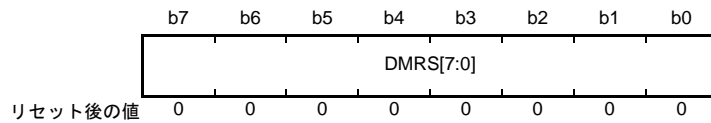
- DTCE ビットに“1”を書いたとき

[“0”になる条件]

- 指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

15.2.7 DMAC 起動要求選択レジスタ m (DMRSRm) (m = DMAC チャネル番号)

アドレス DMRSR0 0008 7400h, DMRSR1 0008 7404h
DMRSR2 0008 7408h, DMRSR3 0008 740Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	DMRS[7:0]	DMAC 起動要因選択ビット	DMAC 起動要求ベクタ番号を設定します	R/W

複数の DMRSRm レジスタに同一要因を設定するのは禁止です。DMRSRm レジスタに設定したものと同一要因に DTC 起動許可を設定するのは禁止です。これらの禁止事項に違反した場合の動作は保証されません。

DMRS[7:0] ビット (DMAC 起動要因選択ビット)

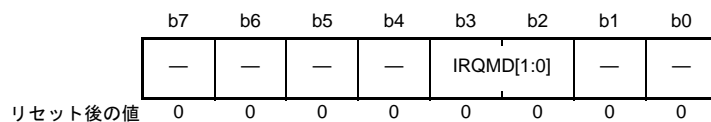
DMAC を起動する割り込み要因のベクタ番号を 8 ビットで指定します。DMAC の起動要因として割り当てられていないベクタ番号は、設定しないでください。

割り込み要因のベクタ番号は、「表 15.3 割り込みのベクタテーブル」を参照してください。

DMRSRm レジスタへの書き込みは、DMA 転送許可レジスタの DMA 転送許可ビット (DMACm.DMCNT.DTE) が“0”のときに状態で行ってください。

15.2.8 IRQ コントロールレジスタ i (IRQCRI) (i = 0 ~ 7)

アドレス 0008 7500h ~ 0008 7507h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ 検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がリエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビットが“0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Low に変更する場合は、IR フラグをクリアする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

外部端子割り込み要因 (IRQ0 ~ IRQ7) の検出方法を設定します。

外部端子割り込みの検出設定手順は、「15.5.8 外部端子割り込み」を参照してください。

15.2.9 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス 0008 7510h

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN7	FLTEN6	FLTEN5	FLTEN4	FLTEN3	FLTEN2	FLTEN1	FLTEN0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5 デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6 デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7 デジタルフィルタ許可ビット		R/W

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 0 ~ 7)

外部端子割り込み要因 (IRQ0 ~ IRQ7) のデジタルフィルタの使用を許可するビットです。

FLTEN_i ビットが“1”のとき、デジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、デジタルフィルタ機能は無効です。

IRQFLTC0.FCLKSEL_i[1:0] ビットで設定したサンプリングクロックごとに IRQ_i 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「15.5.7 デジタルフィルタ」を参照してください。

15.2.10 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス 0008 7514h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FCLKSEL7[1:0]		FCLKSEL6[1:0]		FCLKSEL5[1:0]		FCLKSEL4[1:0]		FCLKSEL3[1:0]		FCLKSEL2[1:0]		FCLKSEL1[1:0]		FCLKSEL0[1:0]	

リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 7)

外部端子割り込み要求端子 (IRQ0 ~ IRQ7) のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8クロックに1回)、PCLK/32 (32クロックに1回)、PCLK/64 (64クロックに1回) より選択します。

デジタルフィルタの詳細は、「15.5.7 デジタルフィルタ」を参照してください。

15.2.11 ノンマスカブル割り込みステータスレジスタ (NMISR)

アドレス 0008 7580h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LVD2S T	LVD1S T	IWDTS T	WDTST	OSTST	NMIST

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0: 発振停止検出割り込み要求なし 1: 発振停止検出割り込み要求あり	R
b2	WDTST	WDTアンダフロー/リフレッシュエラーステータスフラグ	0: WDTアンダフロー/リフレッシュエラー割り込み要求なし 1: WDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b3	IWDTS	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0: IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1: IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0: 電圧監視1割り込み要求なし 1: 電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0: 電圧監視2割り込み要求なし 1: 電圧監視2割り込み要求あり	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスカブル割り込み許可レジスタ (NMIER) の設定はこれらステータスフラグには影響しません。

ノンマスカブル割り込みハンドラが終了する前に NMISR レジスタを読み出し、他のノンマスカブル割り込みの発生状況を確認してください。NMISR レジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

["1" になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

["0" になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

["1" になる条件]

- 発振停止検出割り込みが発生したとき

["0" になる条件]

- NMICLR.OSTCLR ビットに "1" を書いたとき

WDTST フラグ (WDT アンダフロー/リフレッシュエラーステータスフラグ)

WDT アンダフロー/リフレッシュエラー割り込み要求を示します。

WDTST フラグは読み出しのみ可能で、クリアは NMICLR.WDTCLR ビットによって行います。

["1" になる条件]

- WDT アンダフロー/リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.WDTCLR ビットに "1" を書いたとき

IWDTST フラグ (IWDT アンダフロー/リフレッシュエラーステータスフラグ)

IWDT アンダフロー/リフレッシュエラー割り込み要求を示します。

IWDTST フラグは読み出しのみ可能で、クリアは NMICLR.IWDTCLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、IWDT アンダフロー/リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.IWDTCLR ビットに "1" を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

電圧監視 1 割り込み要求を示します。

LVD1ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD1CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 1 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD1CLR ビットに "1" を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

電圧監視 2 割り込み要求を示します。

LVD2ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD2CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 2 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD2CLR ビットに "1" を書いたとき

15.2.12 ノンマスクابل割り込み許可レジスタ (NMIER)

アドレス 0008 7581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2E N	LVD1E N	IWDTE N	WDTE N	OSTEN	NMIEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0: NMI端子割り込み禁止 1: NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0: 発振停止検出割り込み禁止 1: 発振停止検出割り込み許可	R/(W) (注1)
b2	WDTEN	WDTアンダフロー/リフレッシュエラー許可ビット	0: WDTアンダフロー/リフレッシュエラー割り込み禁止 1: WDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0: IWDTアンダフロー/リフレッシュエラー割り込み禁止 1: IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0: 電圧監視1割り込み禁止 1: 電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0: 電圧監視2割り込み禁止 1: 電圧監視2割り込み許可	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 1回だけ“1”を書くことができます。以後の書き込みは無効です。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

WDTEN ビット (WDT アンダフロー/リフレッシュエラー許可ビット)

WDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)

IWDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD1EN ビット (電圧監視1割り込み許可ビット)

電圧監視1割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD2EN ビット (電圧監視 2 割り込み許可ビット)

電圧監視 2 割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

15.2.13 ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)

アドレス 0008 7582h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LVD2C LR	LVD1C LR	IWDTC LR	WDTCL R	OSTCL R	NMICL R

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.NMISTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b1	OSTCLR	OSTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.OSTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b2	WDTCLR	WDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.WDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b3	IWDTCCLR	IWDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.IWDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD1STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD2STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

NMICLR ビット (NMI クリアビット)

“1”を書くと、NMISR.NMIST フラグは“0”になります。読むと“0”が読めます。

OSTCLR ビット (OST クリアビット)

“1”を書くと、NMISR.OSTST フラグは“0”になります。読むと“0”が読めます。

WDTCLR ビット (WDT クリアビット)

“1”を書くと、NMISR.WDTST フラグは“0”になります。読むと“0”が読めます。

IWDTCCLR ビット (IWDT クリアビット)

“1”を書くと、NMISR.IWDTST フラグは“0”になります。読むと“0”が読めます。

LVD1CLR ビット (LVD1 クリアビット)

“1”を書くと、NMISR.LVD1ST フラグは“0”になります。読むと“0”が読めます。

LVD2CLR ビット (LVD2 クリアビット)

“1”を書くと、NMISR.LVD2ST フラグは“0”になります。読むと“0”が読めます。

15.2.14 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0: 立ち下がリエッジ 1: 立ち上がリエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”にする) する前に行ってください。

15.2.15 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTE N
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NMI 端子割り込みのデジタルフィルタの使用を許可するビットです。

NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックごとに NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「15.5.7 デジタルフィルタ」を参照してください。

15.2.16 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス 0008 7594h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタ サンプリングクロック設定ビット	b1 b0 0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック設定ビット)

NMI 端子割り込みのデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「15.5.7 デジタルフィルタ」を参照してください。

15.2.17 グループ m 割り込み要因レジスタ (GRPm) (m= グループ番号)

- GRP00 レジスタ

アドレス GRP00 0008 C300h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	IS1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b1	IS1	割り込みステータスフラグ1	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b31-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

• GRP12 レジスタ

アドレス GRP12 0008 C330h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	IS6	IS5	IS4	IS3	IS2	IS1	IS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IS0	割り込みステータスフラグ0	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b1	IS1	割り込みステータスフラグ1		R
b2	IS2	割り込みステータスフラグ2		R
b3	IS3	割り込みステータスフラグ3		R
b4	IS4	割り込みステータスフラグ4		R
b5	IS5	割り込みステータスフラグ5		R
b6	IS6	割り込みステータスフラグ6		R
b31-b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

GRPm レジスタはグループごとに存在し、m はグループ番号 (m=00、12) を示します。

グループ化の詳細は「15.4.1 割り込み要求グループ」を参照してください。各グループに割り当てられた割り込み要求と GRPm レジスタ内のビット番号との対応は、「表 15.4 グループ m 割り込み要求」を参照してください。グループ化された割り込み要因と割り込みベクタ番号の対応は「表 15.3 割り込みのベクタテーブル」を参照してください。

ISj フラグ (割り込みステータスフラグ) (j= ビット番号)

グループ m の第 j ビットに割り当てられた周辺モジュールからの割り込み要求のステータスフラグです。割り込み要求が発生し、グループ m 割り込み許可レジスタの割り込要求許可ビット j (GENm.ENj) (m= グループ番号、j= ビット番号) で割り込みが許可されていると“1”になります。

グループ内のいずれかの要因が GENm.ENj ビットが“1”、かつ ISj フラグが“1”となる時、グループに対応する割り込み要求レジスタ n の割り込みステータスフラグ (IRn.IR) (n= 割り込みベクタ番号) が“1”になります。

グループ 0 はエッジ検出の割り込み要求が、グループ 12 はレベル検出の割り込み要求がグループ化されています。

(1) グループ 0 の場合

["1" になる条件]

- GENm.ENj ビットが“1”で、かつ周辺モジュールの割り込み要求が発生すると、割り込み要求に対応する ISj ビットが“1”になります。

["0" になる条件]

- グループ m 割り込みクリアレジスタの割り込み要因クリアビット j (GCRm.CLRj) に“1”を書くと“0”になります。

(2) グループ 12 の場合

["1" になる条件]

- GENm.ENj ビットが "1" で、かつ周辺モジュールの割り込み要求が発生している間、割り込み要求に対応する ISj フラグが "1" になります。

["0" になる条件]

- 割り込み要求の出力元をクリアすると "0" になります。
- GENm.ENj ビットが "0" のとき、ISj フラグは "0" になります。

ISj フラグへの書き込みはできません。

15.2.18 グループ m 割り込み許可レジスタ (GENm) (m= グループ番号)

- GEN00 レジスタ

アドレス GEN00 0008 C340h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EN1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b1	EN1	割り込み要求許可ビット1	0 : 割り込み要求禁止 1 : 割り込み要求許可	R/W
b31-b2	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

• GEN12 レジスタ

アドレス GEN12 0008 C370h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	EN6	EN5	EN4	EN3	EN2	EN1	EN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0	割り込み要求許可ビット0	0 : 割り込み要求禁止 1 : 割り込み要求許可	R/W
b1	EN1	割り込み要求許可ビット1		R/W
b2	EN2	割り込み要求許可ビット2		R/W
b3	EN3	割り込み要求許可ビット3		R/W
b4	EN4	割り込み要求許可ビット4		R/W
b5	EN5	割り込み要求許可ビット5		R/W
b6	EN6	割り込み要求許可ビット6		R/W
b31-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

グループ化の詳細は「15.4.1 割り込み要求グループ」を参照してください。

GENm レジスタはグループごとに存在し、m はグループ番号 (m=00、12) を示します。

ENj ビット (割り込み要求許可ビット j) (j= ビット番号)

- グループ 00 の場合

ENj ビットが“1”のとき、対応する GRPm.ISj フラグ (m= グループ番号、j= ビット番号) の割り込み要求の検出が可能です。割り込みを検出すると GRPm.ISj フラグが“1”になります。

ENj ビットが“0”のとき、割り込み要求の検出はできません

ENj ビットに“0”を書いても、対応する GRPm.ISj フラグは変化しません。

- グループ 12 の場合

ENj ビットが“1”のとき、対応する GRPm.ISj フラグ (m= グループ番号、j= ビット番号) の割り込み要求の検出が可能です。割り込みを検出すると GRPm12.ISj フラグが“1”になります。

ENj ビットが“0”のとき、割り込み要求の検出はできません

ENj ビットに“0”を書くと、対応する GRPm.ISj フラグは“0”になります。

15.2.19 グループ m 割り込みクリアレジスタ (GCRm) (m= グループ番号)

• GCR00 レジスタ

アドレス GCR00 0008 C380h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b1	CLR1	割り込み要因クリアビット1	読むと“0”が読めます。“1”を書くと、同一グループで同一ビットの割り込みステータスフラグ (GRPm.ISj) をクリアします。“0”を書いても無効です	R/(W) (注1)
b31-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. “1”のみ書けます。

グループ化の詳細は「15.4.1 割り込み要求グループ」を参照してください。

GCRm レジスタはグループごとに存在し、m はグループ番号 (m=00) を示します。

CLRj ビット (割り込み要求クリアビット) (j= ビット番号)

CLRj ビットを“1”にすると、対応する GRPm.ISj フラグ (m= グループ番号、j= ビット番号) を“0”にします。

15.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスクابل割り込みがあります。

CPU が割り込み、またはノンマスクابل割り込みを受け付けた場合は、ベクタテーブルから4バイトのベクタアドレスを取得します。

15.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPU の割り込みテーブルレジスタ (INTB) に設定した番地から、1024 バイト (4 バイト × 256 要因分) の領域に連続に配置されます。INTB レジスタは割り込みを許可する前に設定してください。INTB レジスタに4の倍数を設定してください。

なお、INT 命令、および BRK 命令を実行すると無条件トラップが発生します。

無条件トラップのベクタは、表 15.3 の割り込みのベクタテーブルと同じ領域を利用します。BRK 命令はベクタ番号0のみ、INT 命令は指定した番号 (0 ~ 255) のベクタとなります。

表 15.3 に割り込みのベクタテーブルを示します。表 15.3 の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称を示します
名称	割り込み名称を示します
ベクタ番号	ベクタ番号を示します。
ベクタアドレスオフセット	ベクタベースアドレスオフセット値を示します。
割り込みの検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPU割り込み要因を“○”で示します
DTC起動	DTC起動要因を“○”で示します
DMAC起動	DMAC起動要因を“○”で示します
ssstb復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
sacs復帰	全モジュールクロックストップモードからの復帰要因を“○”で示します
IER	ベクタ番号に対応するIERレジスタ、ビット名を示します。
IPR	割り込み要因に対応するIPRレジスタを示します
DTCER	DTC起動要因に対応するDTCERレジスタを示します

表 15.3 割り込みのベクタテーブル (1 / 7)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssib復帰	sacs復帰	IER	IPR	DTCER	備考
—	無条件トラップ専用	0	0000h	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	1	0004h	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	2	0008h	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	3	000Ch	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	4	0010h	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	5	0014h	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	6	0018h	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	7	001Ch	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	8	0020h	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	9	0024h	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	10	0028h	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	11	002Ch	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	12	0030h	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	13	0034h	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	14	0038h	—	x	x	x	x	x	—	—	—	
—	無条件トラップ専用	15	003Ch	—	x	x	x	x	x	—	—	—	
BSC	BUSERR	16	0040h	レベル	○	x	x	x	x	IER02.IEN0	IPR000	—	
—	予約	17	0044h	—	x	x	x	x	x	—	—	—	
—	予約	18	0048h	—	x	x	x	x	x	—	—	—	
—	予約	19	004Ch	—	x	x	x	x	x	—	—	—	
—	予約	20	0050h	—	x	x	x	x	x	—	—	—	
FCU	FIFERR	21	0054h	レベル	○	x	x	x	x	IER02.IEN5	IPR001	—	
—	予約	22	0058h	—	x	x	x	x	x	—	—	—	
FCU	FRDYI	23	005Ch	エッジ	○	x	x	x	x	IER02.IEN7	IPR002	—	
—	予約	24	0060h	—	x	x	x	x	x	—	—	—	
—	予約	25	0064h	—	x	x	x	x	x	—	—	—	
—	予約	26	0068h	—	x	x	x	x	x	—	—	—	
ICU	SWINT	27	006Ch	エッジ	○	○	x	x	x	IER03.IEN3	IPR003	DTCER027	
CMT0	CMIO	28	0070h	エッジ	○	○	○	x	x	IER03.IEN4	IPR004	DTCER028	
CMT1	CM1	29	0074h	エッジ	○	○	○	x	x	IER03.IEN5	IPR005	DTCER029	
CMT2	CM2	30	0078h	エッジ	○	○	○	x	x	IER03.IEN6	IPR006	DTCER030	
CMT3	CM3	31	007Ch	エッジ	○	○	○	x	x	IER03.IEN7	IPR007	DTCER031	
—	予約	32	0080h	—	x	x	x	x	x	—	—	—	
USB0	D0FIFO0	33	0084h	エッジ	○	○	○	x	x	IER04.IEN1	IPR033	DTCER033	112/100/64/48ピン版にはありません。
	D1FIFO0	34	0088h	エッジ	○	○	○	x	x	IER04.IEN2	IPR034	DTCER034	112/100/64/48ピン版にはありません。
	USBIO	35	008Ch	エッジ	○	x	x	x	x	IER04.IEN3	IPR035	—	112/100/64/48ピン版にはありません。
CAC	FERRF	36	0090h	レベル	○	x	x	x	x	IER04.IEN4	IPR036	—	
	MENDF	37	0094h	レベル	○	x	x	x	x	IER04.IEN5		—	
	OVFF	38	0098h	レベル	○	x	x	x	x	IER04.IEN6		—	
RSPIO	SPRIO	39	009Ch	エッジ	○	○	○	x	x	IER04.IEN7	IPR039	DTCER039	
	SPTIO	40	00A0h	エッジ	○	○	○	x	x	IER05.IEN0	IPR040	DTCER040	
	SPIIO	41	00A4h	レベル	○	x	x	x	x	IER05.IEN1	IPR041	—	

表 15.3 割り込みのベクタテーブル (2 / 7)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	DMAC 起動	ssib 復帰	sacs 復帰	IER	IPR	DT CER	備考
RSP11	SPRI1	42	00A8h	エッジ	○	○	○	×	×	IER05.IEN2	IPR042	DT CER042	64/48ピン版にはありません。
	SPTI1	43	00ACh	エッジ	○	○	○	×	×	IER05.IEN3	IPR043	DT CER043	64/48ピン版にはありません。
	SPII1	44	00B0h	レベル	○	×	×	×	×	IER05.IEN4	IPR044	—	64/48ピン版にはありません。
CAN1	RXF1	45	00B4h	エッジ	○	×	×	×	×	IER05.IEN5	IPR045	—	64/48ピン版にはありません。
	TXF1	46	00B8h	エッジ	○	×	×	×	×	IER05.IEN6		—	64/48ピン版にはありません。
	RXM1	47	00BCh	エッジ	○	×	×	×	×	IER05.IEN7		—	64/48ピン版にはありません。
	TXM1	48	00C0h	エッジ	○	×	×	×	×	IER06.IEN0		—	64/48ピン版にはありません。
GPT7	GTCIA7	49	00C4h	エッジ	○	○	○	×	×	IER06.IEN1	IPR049	DT CER049	64/48ピン版にはありません。
	GTCIB7	50	00C8h	エッジ	○	○	○	×	×	IER06.IEN2		DT CER050	64/48ピン版にはありません。
	GTCIC7	51	00CCh	エッジ	○	○	○	×	×	IER06.IEN3		DT CER051	64/48ピン版にはありません。
	GTCIE7	52	00D0h	エッジ	○	○	○	×	×	IER06.IEN4	IPR052	DT CER052	64/48ピン版にはありません。
	GTCIV7	53	00D4h	エッジ	○	○	○	×	×	IER06.IEN5		DT CER053	64/48ピン版にはありません。
コンパレータ	CMP4	54	00D8h	エッジ	○	○	○	×	×	IER06.IEN6	IPR054	DT CER054	64/48ピン版にはありません。
	CMP5	55	00DCh	エッジ	○	○	○	×	×	IER06.IEN7	IPR055	DT CER055	64/48ピン版にはありません。
	CMP6	56	00E0h	エッジ	○	○	○	×	×	IER07.IEN0	IPR056	DT CER056	64/48ピン版にはありません。
DOC	DOPCF	57	00E4h	レベル	○	×	×	×	×	IER07.IEN1	IPR057	—	
DPC	RBI0	58	00E8h	エッジ	○	○	○	×	×	IER07.IEN2	IPR058	DT CER058	64/48ピン版にはありません。
	RBI1	59	00ECh	エッジ	○	○	○	×	×	IER07.IEN3	IPR059	DT CER059	64/48ピン版にはありません。
	RBI2	60	00F0h	エッジ	○	○	○	×	×	IER07.IEN4	IPR060	DT CER060	64/48ピン版にはありません。
	RBI3	61	00F4h	エッジ	○	○	○	×	×	IER07.IEN5	IPR061	DT CER061	64/48ピン版にはありません。
	RBI4	62	00F8h	エッジ	○	○	○	×	×	IER07.IEN6	IPR062	DT CER062	64/48ピン版にはありません。
—	予約	63	00FCh	—	×	×	×	×	×	—	—	—	
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	○	○	IER08.IEN0	IPR064	DT CER064	
	IRQ1	65	0104h	エッジ/レベル	○	○	○	○	○	IER08.IEN1	IPR065	DT CER065	
	IRQ2	66	0108h	エッジ/レベル	○	○	○	○	○	IER08.IEN2	IPR066	DT CER066	
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	○	○	IER08.IEN3	IPR067	DT CER067	
	IRQ4	68	0110h	エッジ/レベル	○	○	○	○	○	IER08.IEN4	IPR068	DT CER068	
	IRQ5	69	0114h	エッジ/レベル	○	○	○	○	○	IER08.IEN5	IPR069	DT CER069	
	IRQ6	70	0118h	エッジ/レベル	○	○	○	○	○	IER08.IEN6	IPR070	DT CER070	64/48ピン版にはありません。
—	予約	71	011Ch	エッジ/レベル	○	○	○	○	○	IER08.IEN7	IPR071	DT CER071	64/48ピン版にはありません。
—	予約	72	0120h	—	×	×	×	×	×	—	—	—	
—	予約	73	0124h	—	×	×	×	×	×	—	—	—	
—	予約	74	0128h	—	×	×	×	×	×	—	—	—	
—	予約	75	012Ch	—	×	×	×	×	×	—	—	—	
—	予約	76	0130h	—	×	×	×	×	×	—	—	—	
—	予約	77	0134h	—	×	×	×	×	×	—	—	—	
—	予約	78	0138h	—	×	×	×	×	×	—	—	—	

表 15.3 割り込みのベクタテーブル (3 / 7)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	DMAC 起動	ssib 復帰	sacs 復帰	IER	IPR	DTCER	備考
—	予約	79	013Ch	—	x	x	x	x	x	—	—	—	
—	予約	80	0140h	—	x	x	x	x	x	—	—	—	
—	予約	81	0144h	—	x	x	x	x	x	—	—	—	
—	予約	82	0148h	—	x	x	x	x	x	—	—	—	
—	予約	83	014Ch	—	x	x	x	x	x	—	—	—	
—	予約	84	0150h	—	x	x	x	x	x	—	—	—	
—	予約	85	0154h	—	x	x	x	x	x	—	—	—	
—	予約	86	0158h	—	x	x	x	x	x	—	—	—	
—	予約	87	015Ch	—	x	x	x	x	x	—	—	—	
—	予約	88	0160h	—	x	x	x	x	x	—	—	—	
—	予約	89	0164h	—	x	x	x	x	x	—	—	—	
USB	USB0	90	0168h	レベル	○	x	x	○	○	IER0B.IEN2	IPR090	—	112/100/64/48ピン版にはありません。
—	予約	91	016Ch	—	x	x	x	x	x	—	—	—	
—	予約	92	0170h	—	x	x	x	x	x	—	—	—	
—	予約	93	0174h	—	x	x	x	x	x	—	—	—	
—	予約	94	0178h	—	x	x	x	x	x	—	—	—	
—	予約	95	017Ch	—	x	x	x	x	x	—	—	—	
—	予約	96	0180h	—	x	x	x	x	x	—	—	—	
—	予約	97	0184h	—	x	x	x	x	x	—	—	—	
AD	ADI0	98	0188h	エッジ	○	○	○	x	x	IER0C.IEN2	IPR098	DTCER098	64/48ピン版にはありません。
—	予約	99	018Ch	—	x	x	x	x	x	—	—	—	
—	予約	100	0190h	—	x	x	x	x	x	—	—	—	
—	予約	101	0194h	—	x	x	x	x	x	—	—	—	
S12AD	S12ADI	102	0198h	エッジ	○	○	○	x	x	IER0C.IEN6	IPR102	DTCER102	
	S12GBADI	103	019Ch	エッジ	○	○	○	x	x	IER0C.IEN7	IPR103	DTCER103	
S12AD1	S12ADI1	104	01A0h	エッジ	○	○	○	x	x	IER0D.IEN0	IPR104	DTCER104	64/48ピン版にはありません。
	S12GBADI1	105	01A4h	エッジ	○	○	○	x	x	IER0D.IEN1	IPR105	DTCER105	64/48ピン版にはありません。
ICU (注2)	GROUP0	106	01A8h	レベル	○	x	x	x	x	IER0D.IEN2	IPR106	—	64/48ピン版にはありません。
—	予約	107	01ACh	—	x	x	x	x	x	—	—	—	
—	予約	108	01B0h	—	x	x	x	x	x	—	—	—	
—	予約	109	01B4h	—	x	x	x	x	x	—	—	—	
—	予約	110	01B8h	—	x	x	x	x	x	—	—	—	
—	予約	111	01BCh	—	x	x	x	x	x	—	—	—	
—	予約	112	01C0h	—	x	x	x	x	x	—	—	—	
—	予約	113	01C4h	—	x	x	x	x	x	—	—	—	
ICU	GROUP12	114	01C8h	レベル	○	x	x	x	x	IER0E.IEN2	IPR114	—	
—	予約	115	01CCh	—	x	x	x	x	x	—	—	—	
—	予約	116	01D0h	—	x	x	x	x	x	—	—	—	
—	予約	117	01D4h	—	x	x	x	x	x	—	—	—	
—	予約	118	01D8h	—	x	x	x	x	x	—	—	—	
—	予約	119	01DCh	—	x	x	x	x	x	—	—	—	
—	予約	120	01E0h	—	x	x	x	x	x	—	—	—	
—	予約	121	01E4h	—	x	x	x	x	x	—	—	—	

表 15.3 割り込みのベクタテーブル (4 / 7)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssib復帰	sacs復帰	IER	IPR	DTCER	備考
SCI12	SCIX0	122	01E8h	レベル	○	×	×	×	×	IER0F.IEN2	IPR122	—	
	SCIX1	123	01ECh	レベル	○	×	×	×	×	IER0F.IEN3		—	
	SCIX2	124	01F0h	レベル	○	×	×	×	×	IER0F.IEN4		—	
	SCIX3	125	01F4h	レベル	○	×	×	×	×	IER0F.IEN5		—	
MTU0	TGIA0	126	01F8h	エッジ	○	○	○	×	×	IER0F.IEN6	IPR126	DTCER126	
	TGIB0	127	01FCh	エッジ	○	○	○	×	×	IER0F.IEN7		DTCER127	
	TGIC0	128	0200h	エッジ	○	○	○	×	×	IER10.IEN0		DTCER128	
	TGID0	129	0204h	エッジ	○	○	○	×	×	IER10.IEN1		DTCER129	
	TCIV0	130	0208h	エッジ	○	×	×	×	×	IER10.IEN2	IPR130	—	
	TGIE0	131	020Ch	エッジ	○	×	×	×	×	IER10.IEN3		—	
	TGIF0	132	0210h	エッジ	○	×	×	×	×	IER10.IEN4		—	
MTU1	TGIA1	133	0214h	エッジ	○	○	○	×	×	IER10.IEN5	IPR133	DTCER133	
	TGIB1	134	0218h	エッジ	○	○	○	×	×	IER10.IEN6		DTCER134	
	TCIV1	135	021Ch	エッジ	○	×	×	×	×	IER10.IEN7	IPR135	—	
	TCIU1	136	0220h	エッジ	○	×	×	×	×	IER11.IEN0		—	
MTU2	TGIA2	137	0224h	エッジ	○	○	○	×	×	IER11.IEN1	IPR137	DTCER137	
	TGIB2	138	0228h	エッジ	○	○	○	×	×	IER11.IEN2		DTCER138	
	TCIV2	139	022Ch	エッジ	○	×	×	×	×	IER11.IEN3	IPR139	—	
	TCIU2	140	0230h	エッジ	○	×	×	×	×	IER11.IEN4		—	
MTU3	TGIA3	141	0234h	エッジ	○	○	○	×	×	IER11.IEN5	IPR141	DTCER141	
	TGIB3	142	0238h	エッジ	○	○	○	×	×	IER11.IEN6		DTCER142	
	TGIC3	143	023Ch	エッジ	○	○	○	×	×	IER11.IEN7		DTCER143	
	TGID3	144	0240h	エッジ	○	○	○	×	×	IER12.IEN0		DTCER144	
	TCIV3	145	0244h	エッジ	○	×	×	×	×	IER12.IEN1	IPR145	—	
MTU4	TGIA4	146	0248h	エッジ	○	○	○	×	×	IER12.IEN2	IPR146	DTCER146	
	TGIB4	147	024Ch	エッジ	○	○	○	×	×	IER12.IEN3		DTCER147	
	TGIC4	148	0250h	エッジ	○	○	○	×	×	IER12.IEN4		DTCER148	
	TGID4	149	0254h	エッジ	○	○	○	×	×	IER12.IEN5		DTCER149	
	TCIV4	150	0258h	エッジ	○	○	○	×	×	IER12.IEN6	IPR150	DTCER150	
MTU5	TGIU5	151	025Ch	エッジ	○	○	○	×	×	IER12.IEN7	IPR151	DTCER151	
	TGIV5	152	0260h	エッジ	○	○	○	×	×	IER13.IEN0		DTCER152	
	TGIW5	153	0264h	エッジ	○	○	○	×	×	IER13.IEN1		DTCER153	
MTU6	TGIA6	154	0268h	エッジ	○	○	○	×	×	IER13.IEN2	IPR154	DTCER154	
	TGIB6	155	026Ch	エッジ	○	○	○	×	×	IER13.IEN3		DTCER155	
	TGIC6	156	0270h	エッジ	○	○	○	×	×	IER13.IEN4		DTCER156	
	TGID6	157	0274h	エッジ	○	○	○	×	×	IER13.IEN5		DTCER157	
	TCIV6	158	0278h	エッジ	○	×	×	×	×	IER13.IEN6	IPR158	—	
—	予約	159	027Ch	—	×	×	×	×	×	—	—	—	
—	予約	160	0280h	—	×	×	×	×	×	—	—	—	
MTU7	TGIA7	161	0284h	エッジ	○	○	○	×	×	IER14.IEN1	IPR161	DTCER161	
	TGIB7	162	0288h	エッジ	○	○	○	×	×	IER14.IEN2		DTCER162	
	TGIC7	163	028Ch	エッジ	○	○	○	×	×	IER14.IEN3	IPR163	DTCER163	
	TGID7	164	0290h	エッジ	○	○	○	×	×	IER14.IEN4		DTCER164	
	TCIV7	165	0294h	エッジ	○	○	○	×	×	IER14.IEN5		IPR165	DTCER165

表 15.3 割り込みのベクタテーブル (5 / 7)

割り込み要求 発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssib 復帰	sacs 復帰	IER	IPR	DTCER	備考
POE	OEI1	166	0298h	レベル	○	×	×	×	×	IER14.IEN6	IPR166	—	
	OEI2	167	029Ch	レベル	○	×	×	×	×	IER14.IEN7		—	64/48ピン版にはありません。
	OEI3	168	02A0h	レベル	○	×	×	×	×	IER15.IEN0		—	
	OEI4	169	02A4h	レベル	○	×	×	×	×	IER15.IEN1		—	
	OEI5	170	02A8h	レベル	○	×	×	×	×	IER15.IEN2		—	64/48ピン版にはありません。
コンパレータ	CMP0	171	02ACh	エッジ	○	○	○	×	×	IER15.IEN3	IPR171	DTCER171	
	CMP1	172	02B0h	エッジ	○	○	○	×	×	IER15.IEN4	IPR172	DTCER172	
	CMP2	173	02B4h	エッジ	○	○	○	×	×	IER15.IEN5	IPR173	DTCER173	
GPT4	GTCIA4	174	02B8h	エッジ	○	○	○	×	×	IER15.IEN6	IPR174	DTCER174	64/48ピン版にはありません。
	GTCIB4	175	02BCh	エッジ	○	○	○	×	×	IER15.IEN7		DTCER175	64/48ピン版にはありません。
	GTCIC4	176	02C0h	エッジ	○	○	○	×	×	IER16.IEN0		DTCER176	64/48ピン版にはありません。
	GTCIE4	177	02C4h	エッジ	○	○	○	×	×	IER16.IEN1	IPR177	DTCER177	64/48ピン版にはありません。
	GTCIV4	178	02C8h	エッジ	○	○	○	×	×	IER16.IEN2		DTCER178	64/48ピン版にはありません。
	LOCOI4	179	02CCh	エッジ	○	○	○	×	×	IER16.IEN3		DTCER179	64/48ピン版にはありません。
GPT5	GTCIA5	180	02D0h	エッジ	○	○	○	×	×	IER16.IEN4	IPR180	DTCER180	64/48ピン版にはありません。
	GTCIB5	181	02D4h	エッジ	○	○	○	×	×	IER16.IEN5		DTCER181	64/48ピン版にはありません。
	GTCIC5	182	02D8h	エッジ	○	○	○	×	×	IER16.IEN6		DTCER182	64/48ピン版にはありません。
	GTCIE5	183	02DCh	エッジ	○	○	○	×	×	IER16.IEN7	IPR183	DTCER183	64/48ピン版にはありません。
	GTCIV5	184	02E0h	エッジ	○	○	○	×	×	IER17.IEN0		DTCER184	64/48ピン版にはありません。
GPT6	GTCIA6	185	02E4h	エッジ	○	○	○	×	×	IER17.IEN1	IPR185	DTCER185	64/48ピン版にはありません。
	GTCIB6	186	02E8h	エッジ	○	○	○	×	×	IER17.IEN2		DTCER186	64/48ピン版にはありません。
	GTCIC6	187	02ECh	エッジ	○	○	○	×	×	IER17.IEN3		DTCER187	64/48ピン版にはありません。
	GTCIE6	188	02F0h	エッジ	○	○	○	×	×	IER17.IEN4	IPR188	DTCER188	64/48ピン版にはありません。
	GTCIV6	189	02F4h	エッジ	○	○	○	×	×	IER17.IEN5		DTCER189	64/48ピン版にはありません。
RIIC1	EEI1	190	02F8h	レベル	○	×	×	×	×	IER17.IEN6	IPR190	—	112/100/64/48ピン版にはありません。
	RXI1	191	02FCh	エッジ	○	○	○	×	×	IER17.IEN7		DTCER191	112/100/64/48ピン版にはありません。
	TXI1	192	0300h	エッジ	○	○	○	×	×	IER18.IEN0		DTCER192	112/100/64/48ピン版にはありません。
	TEI1	193	0304h	レベル	○	×	×	×	×	IER18.IEN1		—	112/100/64/48ピン版にはありません。
RIIC0	EEI0	194	0308h	レベル	○	×	×	×	×	IER18.IEN2	IPR194	—	
	RXI0	195	030Ch	エッジ	○	○	○	×	×	IER18.IEN3		DTCER195	
	TXI0	196	0310h	エッジ	○	○	○	×	×	IER18.IEN4		DTCER196	
	TEI0	197	0314h	レベル	○	×	×	×	×	IER18.IEN5		—	

表 15.3 割り込みのベクタテーブル (6 / 7)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssib 復帰	sacs 復帰	IER	IPR	DTCER	備考
DMAC	DMAC0I	198	0318h	エッジ	○	○	×	×	×	IER18.IEN6	IPR198	DTCER198	
	DMAC1I	199	031Ch	エッジ	○	○	×	×	×	IER18.IEN7	IPR199	DTCER199	
	DMAC2I	200	0320h	エッジ	○	○	×	×	×	IER19.IEN0	IPR200	DTCER200	
	DMAC3I	201	0324h	エッジ	○	○	×	×	×	IER19.IEN1	IPR201	DTCER201	
—	予約	202	0328h	—	×	×	×	×	×	—	—	—	
	予約	203	032Ch	—	×	×	×	×	×	—	—	—	
—	予約	204	0330h	—	×	×	×	×	×	—	—	—	
—	予約	205	0334h	—	×	×	×	×	×	—	—	—	
—	予約	206	0338h	—	×	×	×	×	×	—	—	—	
—	予約	207	033Ch	—	×	×	×	×	×	—	—	—	
—	予約	208	0340h	—	×	×	×	×	×	—	—	—	
—	予約	209	0344h	—	×	×	×	×	×	—	—	—	
—	予約	210	0348h	—	×	×	×	×	×	—	—	—	
—	予約	211	034Ch	—	×	×	×	×	×	—	—	—	
—	予約	212	0350h	—	×	×	×	×	×	—	—	—	
—	予約	213	0354h	—	×	×	×	×	×	—	—	—	
SCI0	RXI0	214	0358h	エッジ	○	○	○	×	×	IER1A.IEN6	IPR214	DTCER214	
	TXI0	215	035Ch	エッジ	○	○	○	×	×	IER1A.IEN7		DTCER215	
	TEI0	216	0360h	レベル	○	×	×	×	×	IER1B.IEN0		—	
SCI1	RXI1	217	0364h	エッジ	○	○	○	×	×	IER1B.IEN1	IPR217	DTCER217	
	TXI1	218	0368h	エッジ	○	○	○	×	×	IER1B.IEN2		DTCER218	
	TEI1	219	036Ch	レベル	○	×	×	×	×	IER1B.IEN3		—	
SCI2	RXI2	220	0370h	エッジ	○	○	○	×	×	IER1B.IEN4	IPR220	DTCER220	64/48ピン版にはありません。
	TXI2	221	0374h	エッジ	○	○	○	×	×	IER1B.IEN5		DTCER221	64/48ピン版にはありません。
	TEI2	222	0378h	レベル	○	×	×	×	×	IER1B.IEN6		—	64/48ピン版にはありません。
SCI3	RXI3	223	037Ch	エッジ	○	○	○	×	×	IER1B.IEN7	IPR223	DTCER223	100/64/48ピン版にはありません。
	TXI3	224	0380h	エッジ	○	○	○	×	×	IER1C.IEN0		DTCER224	100/64/48ピン版にはありません。
	TEI3	225	0384h	レベル	○	×	×	×	×	IER1C.IEN1		—	100/64/48ピン版にはありません。
GPT0	GTCIA0	226	0388h	エッジ	○	○	○	×	×	IER1C.IEN2	IPR226	DTCER226	
	GTCIB0	227	038Ch	エッジ	○	○	○	×	×	IER1C.IEN3		DTCER227	
	GTCIC0	228	0390h	エッジ	○	○	○	×	×	IER1C.IEN4		DTCER228	
	GTCIE0	229	0394h	エッジ	○	○	○	×	×	IER1C.IEN5	IPR229	DTCER229	
	GTCIV0	230	0398h	エッジ	○	○	○	×	×	IER1C.IEN6		DTCER230	
	LOCOI0	231	039Ch	エッジ	○	○	○	×	×	IER1C.IEN7		DTCER231	
GPT1	GTCIA1	232	03A0h	エッジ	○	○	○	×	×	IER1D.IEN0	IPR232	DTCER232	
	GTCIB1	233	03A4h	エッジ	○	○	○	×	×	IER1D.IEN1		DTCER233	
	GTCIC1	234	03A8h	エッジ	○	○	○	×	×	IER1D.IEN2		DTCER234	
	GTCIE1	235	03ACh	エッジ	○	○	○	×	×	IER1D.IEN3	IPR235	DTCER235	
	GTCIV1	236	03B0h	エッジ	○	○	○	×	×	IER1D.IEN4		DTCER236	
—	予約	237	03B4h	—	×	×	×	×	—	—	—		

表 15.3 割り込みのベクタテーブル (7 / 7)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	DMAC 起動	ssib 復帰	sacs 復帰	IER	IPR	DTCER	備考
GPT2	GTICIA2	238	03B8h	エッジ	○	○	○	×	×	IER1D.IEN6	IPR238	DTCER238	
	GTICIB2	239	03BCh	エッジ	○	○	○	×	×	IER1D.IEN7		DTCER239	
	GTICIC2	240	03C0h	エッジ	○	○	○	×	×	IER1E.IEN0		DTCER240	
	GTICIE2	241	03C4h	エッジ	○	○	○	×	×	IER1E.IEN1	IPR241	DTCER241	
	GTICIV2	242	03C8h	エッジ	○	○	○	×	×	IER1E.IEN2		DTCER242	
—	予約	243	03CCh	—	×	×	×	×	×	—	—	—	
GPT3	GTICIA3	244	03D0h	エッジ	○	○	○	×	×	IER1E.IEN4	IPR244	DTCER244	
	GTICIB3	245	03D4h	エッジ	○	○	○	×	×	IER1E.IEN5		DTCER245	
	GTICIC3	246	03D8h	エッジ	○	○	○	×	×	IER1E.IEN6		DTCER246	
	GTICIE3	247	03DCh	エッジ	○	○	○	×	×	IER1E.IEN7	IPR247	DTCER247	
	GTICIV3	248	03E0h	エッジ	○	○	○	×	×	IER1F.IEN0		DTCER248	
—	予約	249	03E4h	—	×	×	×	×	×	—	—	—	
SCI12	RXI12	250	03E8h	エッジ	○	○	○	×	×	IER1F.IEN2	IPR250	DTCER250	
	TXI12	251	03ECh	エッジ	○	○	○	×	×	IER1F.IEN3		DTCER251	
	TEI12	252	03F0h	レベル	○	×	×	×	×	IER1F.IEN4		—	
—	予約	253	03F4h	—	×	×	×	×	×	—	—	—	
—	予約	254	03F8h	—	×	×	×	×	×	—	—	—	
—	予約	255	03FCh	—	×	×	×	×	×	—	—	—	

注. 本表は最大仕様の割り込みベクタを示しています。各製品の割り込みベクタは、表 1.2 に示した機能に対応します。詳細は「表 1.2 パッケージ別機能比較一覧」を参照してください。

- 注1. ベクタ番号が小さいほど、優先順位は高くなります。
 注2. 各グループ割り込みに割り当てられた割り込み要求は「表 15.4 グループm割り込み要求」を参照してください。
 注3. 112ピン版には、USB0、RIIC1はありません。
 注4. 100ピン版には、USB0、RIIC1、SCI3はありません。
 注5. 64ピン、48ピン版には、GPT4～GPT7、USB0、RSPI1、RIIC1、SCI2、SCI3、CAN1、AD、S12AD1はありません。

15.3.2 高速割り込みのベクタテーブル

高速割り込みに設定された割り込みのベクタテーブルは、CPUの高速割り込みベクタレジスタ (FINTV) です。

15.3.3 ノンマスクブル割り込みのベクタテーブル

ノンマスクブル割り込みのベクタテーブルは“FFFF FFF8h”です。

15.4 周辺モジュール割り込み要求のグループ機能

15.4.1 割り込み要求グループ

最大7本の周辺モジュールからの割り込み信号をグルーピングし、1つの割り込み要求として扱います。グループ0はエッジ検出の割り込み要求が、グループ12はレベル検出の割り込み要求がグルーピングされています。

GENm.ENj ビット (m= グループ番号、j= ビット番号) が“1”のときに割り込み要求を検出すると、GRPm.ISj フラグが“1”となります。

グループm内のいずれかのGRPm.ISj フラグが“1”のとき、そのグループに対応するIRn.IR フラグ (n= 割り込みベクタ番号) が“1”になります。

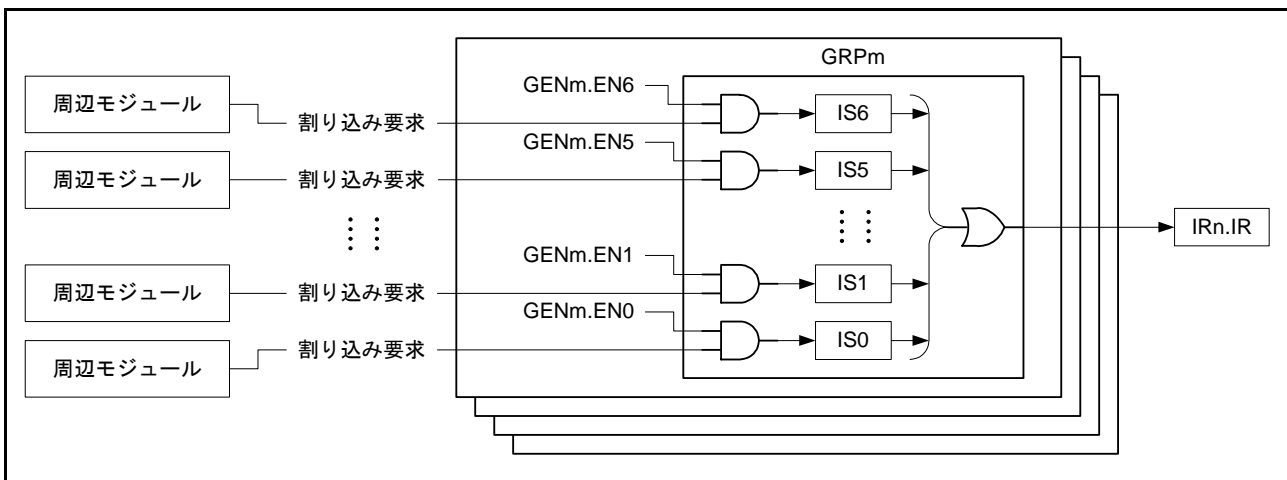


図 15.2 割り込み要求グループ機能

(1) エッジ検出の割り込み要求

グループ0は、エッジ検出の割り込み要求がグルーピングされています。

GENm.ENj ビット (m= グループ番号、j= ビット番号) が“1”のときに割り込み要求を検出すると、GRPm.ISj フラグが“1”となります。GENm.ENj ビットが“0”のときは、割り込み要求を検出しません。

GRPm.ISj フラグは、GCRm.CLRj ビットに“1”を書くと“0”になります。

GRPm.ISj フラグが“1”のときにGENm.ENj ビットを“0”にしても、GRPm.ISj フラグはその状態を保持します。

動作例は「15.5.1.3 エッジ検出グループ割り込みと割り込みステータスフラグ」を参照してください。

(2) レベル検出の割り込み要求

グループ12は、レベル検出の割り込み要求がグルーピングされています。

GENm.ENj ビット (m= グループ番号、j= ビット番号) が“1”のときに割り込み要求を検出すると、GRPm.ISj フラグが“1”となります。割り込み要求が“0”になると、GRPm.ISj フラグも“0”になります。

GENm.ENj ビットが“0”のときは、割り込み要求を検出せずGRPm.ISj フラグは“0”になります。

動作例は「15.5.1.4 レベル検出グループ割り込みと割り込みステータスフラグ」を参照してください。

(3) 各グループの割り込み要求一覧

グループ化された割り込み要求を「表 15.4 グループ m 割り込み要求」に示します。

表 15.4 グループ m 割り込み要求

グループ	割り込み要求発生元	名称	GENm.ENjビット	GRPm.ISjフラグ	GCRm.CLRjフラグ	ベクタ番号 (IRn.IR)
グループ0	CAN1	ERS1 (エラー割り込み)	GEN00.EN1	GRP00.IS1	GCR00.CLR1	106

表 15.4 グループ m 割り込み要求

グループ	割り込み要求発生元	名称	GENm.ENjビット	GRPm.ISjフラグ	ベクタ番号 (IRn.IR)
グループ12	SCI0	ERI0 (SCI0受信エラー)	GEN12.EN0	GRP12.IS0	114
	SCI1	ERI1 (SCI1受信エラー)	GEN12.EN1	GRP12.IS1	
	SCI2	ERI2 (SCI2受信エラー)	GEN12.EN2	GRP12.IS2	
	SCI3	ERI3 (SCI3受信エラー)	GEN12.EN3	GRP12.IS3	
	SCI12	ERI12 (SCI12受信エラー)	GEN12.EN4	GRP12.IS4	
	RSPI0	SPEI0 (エラー割り込み)	GEN12.EN5	GRP12.IS5	
	RSPI1	SPEI1 (エラー割り込み)	GEN12.EN6	GRP12.IS6	

15.5 割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可 / 禁止制御
- 割り込み要求先 (CPU 割り込み、DTC 起動、DMAC 起動) の選択
- 割り込み優先順位判定

15.5.1 割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の2種類があります。

IRQ_i 端子 (i=0 ~ 7) からの外部割り込み要求は、IRQCR_i.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出 / レベル検出が決まっています。

各要因に対応する検出方法は、「表 15.3 割り込みのベクタテーブル」を参照してください。

グループ化された割り込み要求は、エッジ検出グループ、レベル検出グループに分かれており、GRP_m レジスタ (m= グループ番号 0、12) で保持されます。エッジ検出グループ、レベル検出グループともに IR_n.IR フラグはレベル割り込みとして動作します。割り込みグループ化機能の詳細は「15.4 周辺モジュール割り込み要求のグループ機能」を参照してください。グループ化された割り込み要求は「表 15.4 グループ m 割り込み要求」を参照してください。

15.5.1.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IR_n.IR フラグの動作を図 15.3 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IR_n.IR フラグが“1”になります。割り込み要求先が CPU の場合、割り込みを受け付けると IR_n.IR フラグは自動的に“0”になります。割り込み要求先が DMAC、DTC の場合は、DMAC/DTC の転送設定、転送回数によって異なります。詳細は「表 15.5 DMAC/DTC 起動時の動作」を参照してください。ソフトウェアで IR_n.IR フラグをクリアする必要はありません。

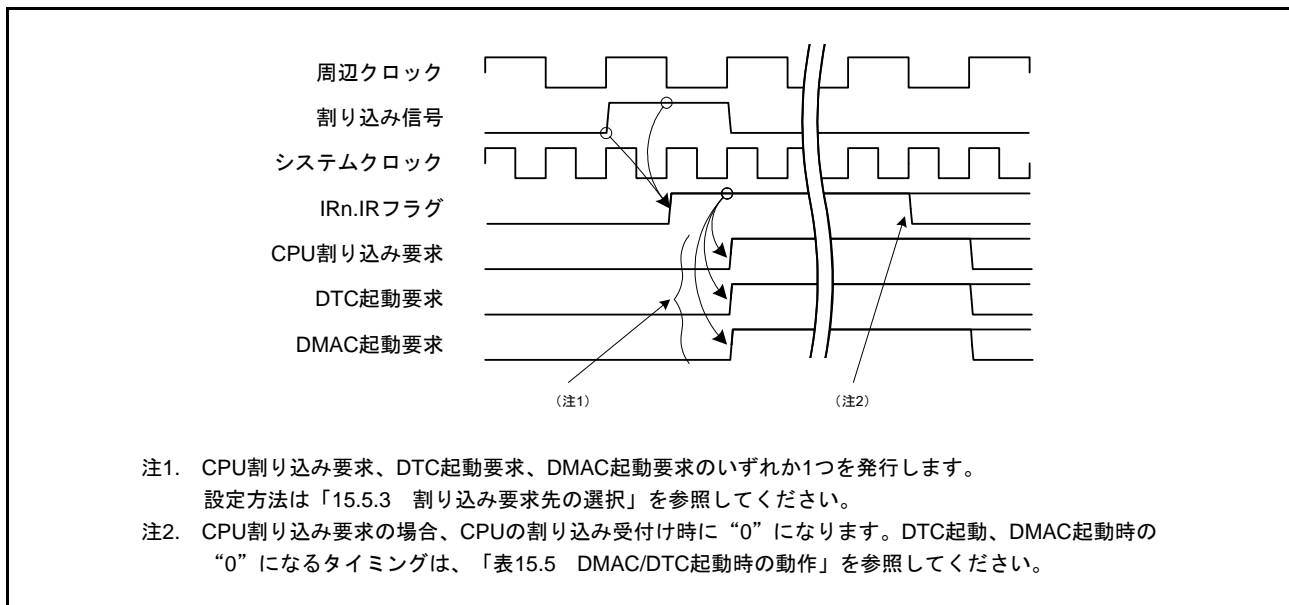


図 15.3 エッジ検出の IRn.IR フラグの動作

図 15.4 ~ 図 15.7 の割り込み信号は、割り込みコントローラの信号です。割り込みベクタ番号 64 ~ 95 の割り込みでは、タイミングが他の割り込みと異なります。割り込みベクタ番号 64 ~ 71 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延 + 2PCLK 分の遅延が増加します。割り込みベクタ番号 80 ~ 95 の割り込みの場合、2PCLK 分の遅延が増加します。

毎サイクル割り込み信号が発生した場合、後続する割り込みの検出はできません。連続する割り込み要求はシステムクロック、周辺クロックの周波数の遅い方のクロックで 2 サイクル以上間隔をあけてください。

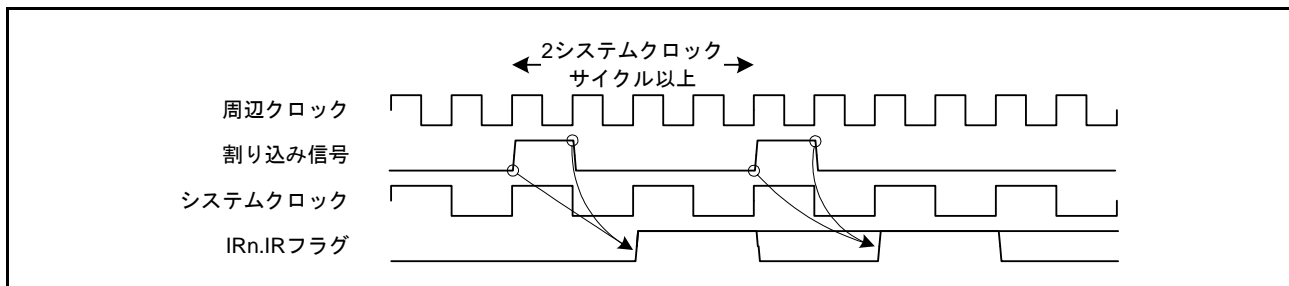


図 15.4 連続する割り込み要求発行の間隔 (システムクロック周波数 < 周辺クロック周波数の場合)

割り込み要求が発生し IRn.IR フラグが“1”の状態では、再度発生した割り込み要求は無視されます。(注1) IRn.IR フラグの再セットのタイミングを図 15.5 に示します。

注1. ただし、SCI、RSPI、RIIC の各送信割り込み / 受信割り込みの場合、IRn.IR フラグが“1”の状態が発生した割り込み要求は保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、「29. シリアルコミュニケーションインタフェース (SCIc、SCId)」、「30. I²C バスインタフェース (RIIC)」、「32. シリアルペリフェラルインタフェース (RSPI)」の各割り込みの説明を参照してください。

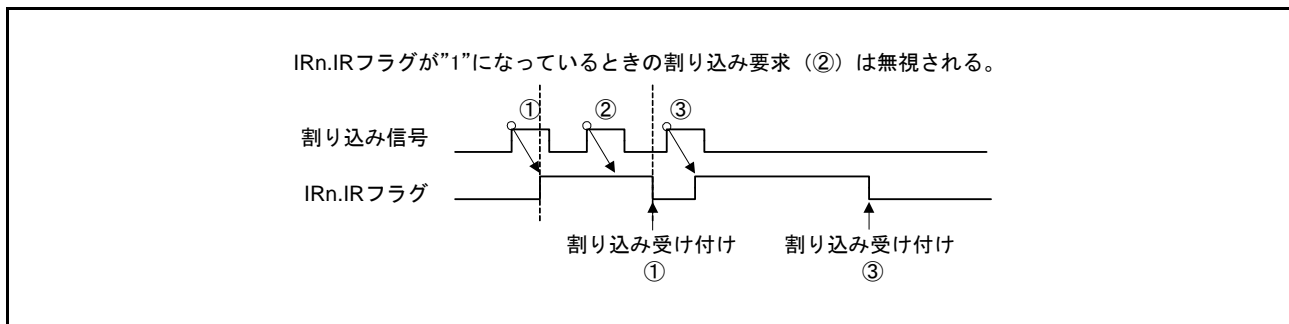


図 15.5 IRn.IR フラグの再セットのタイミング

IRn.IR フラグが“1”になった後、割り込みを禁止（周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止）としても、IRn.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 15.6 に示します。

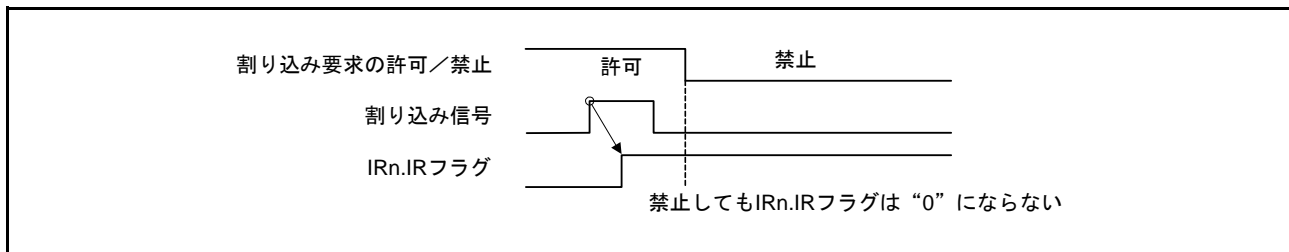


図 15.6 割り込み要求の禁止と IRn.IR フラグの関係

15.5.1.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の IRn.IR フラグの動作を図 15.7 に示します。

割り込み信号がアサートされている間、IRn.IR フラグを“1”にし続けます。IRn.IR フラグを“0”にするためには、割り込み発生元の割り込み要求を“0”にしてください。割り込み要求発生元の割り込み要求フラグが“0”になったことを確認、および IRn.IR フラグが“0”になったことを確認してから、割り込みハンドラを終了してください。

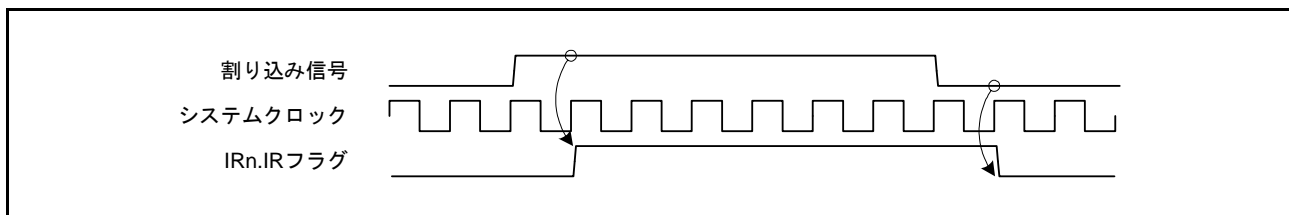


図 15.7 レベル検出時の IRn.IR フラグの動作

レベル検出割り込みの処理手順を図 15.8 に示します

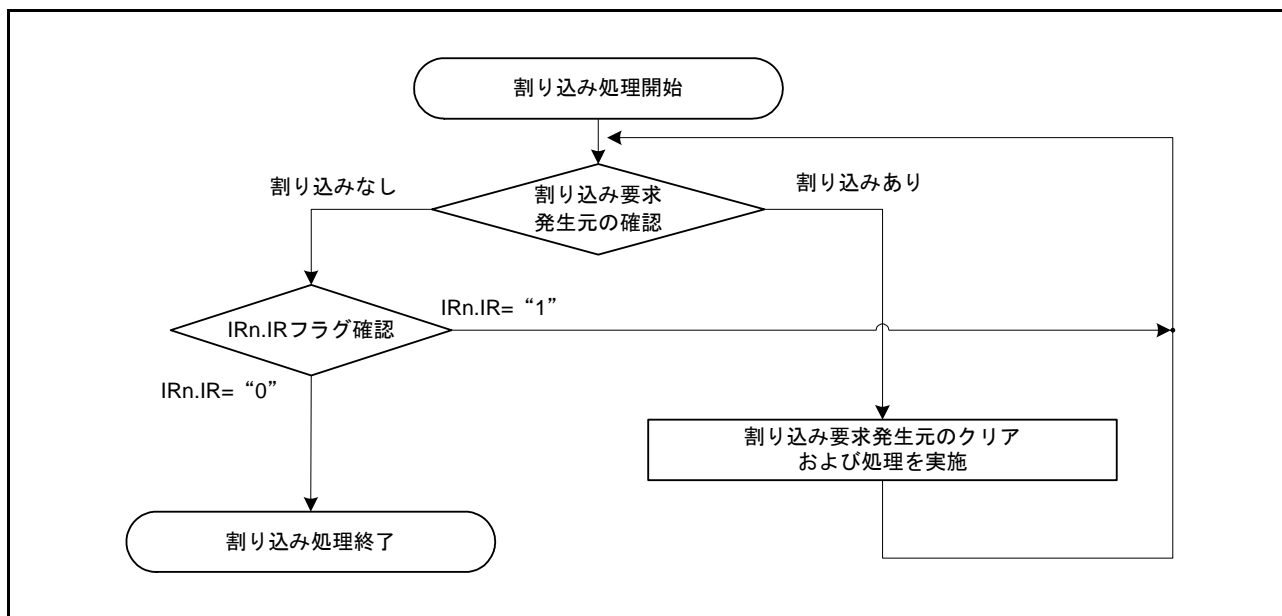


図 15.8 レベル検出割り込み処理手順

15.5.1.3 エッジ検出グループ割り込みと割り込みステータスフラグ

グループ 0 はエッジ検出の割り込み要求がグルーピング化されています。グループに対応する IRn.IR フラグはレベル検出割り込みとして動作します。

図 15.9 にエッジ検出割り込み要求の検出動作例を、図 15.10 に 1 グループに割り当てられた複数のエッジ検出割り込み要求が発生した場合の動作例を示します。

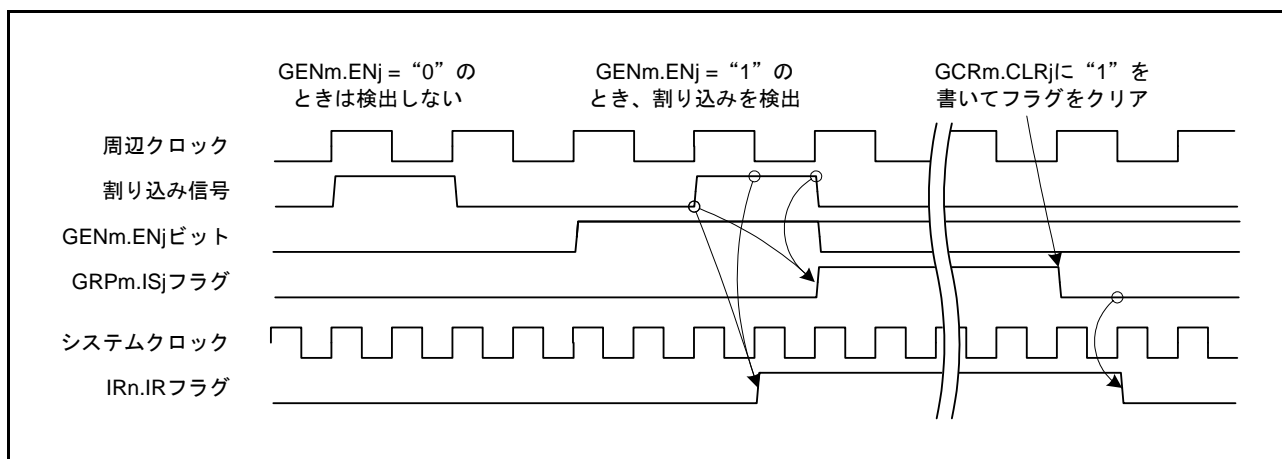


図 15.9 グループ割り込みのエッジ検出割り込み要求動作例

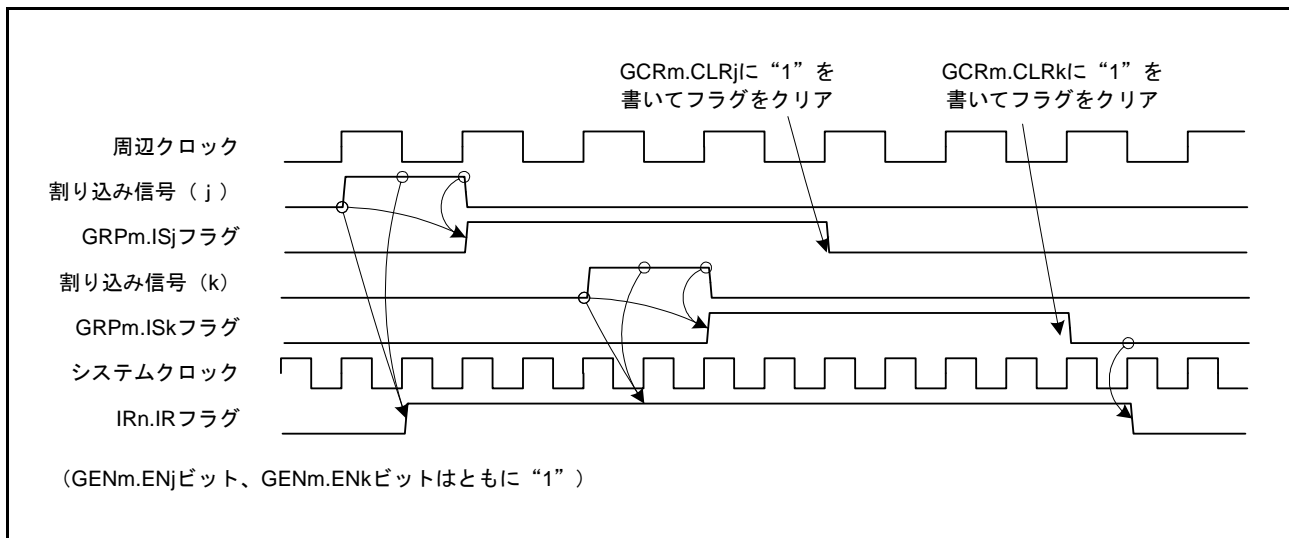


図 15.10 1グループに割り当てられた複数のエッジ検出割り込み要求が発生した場合の動作例

エッジ検出グループ0の割り込みの処理は、図 15.11 に示す手順で行ってください。

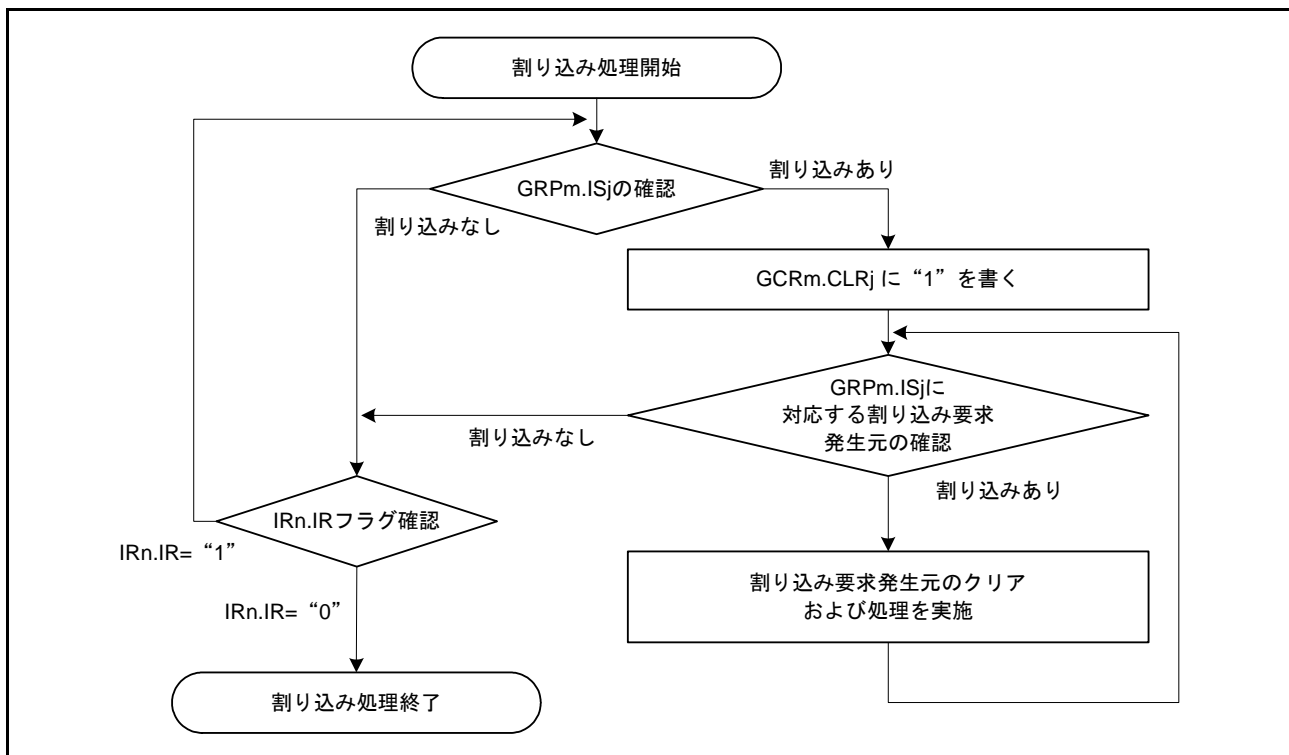


図 15.11 エッジ検出グループ0の割り込み処理手順

15.5.1.4 レベル検出グループ割り込みと割り込みステータスフラグ

グループ12は、レベル検出の割り込み要求がグルーピングされています。グループに対応するIRn.IRフラグはレベル検出割り込みとして動作します。

図 15.12 にレベル検出割り込み要求の検出動作例を、図 15.13 に1グループに割り当てられた複数のレベル検出割り込み要求が発生した場合の動作例を示します。

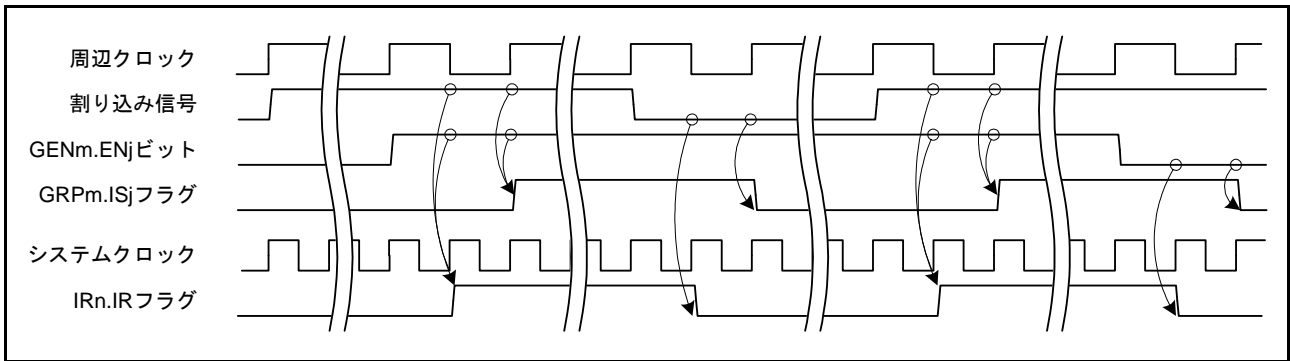


図 15.12 レベル検出グループ割り込みの割り込み要求動作例

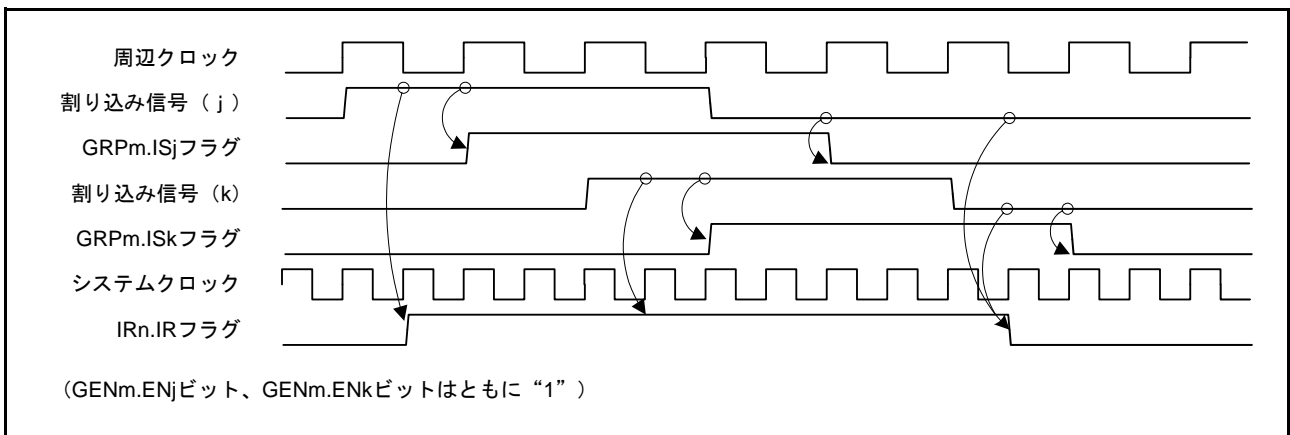


図 15.13 1グループに割り当てられた複数のレベル検出割り込み要求が発生した場合の動作例

レベル検出グループ割り込みの処理は、図 15.14 に示す手順で行ってください。

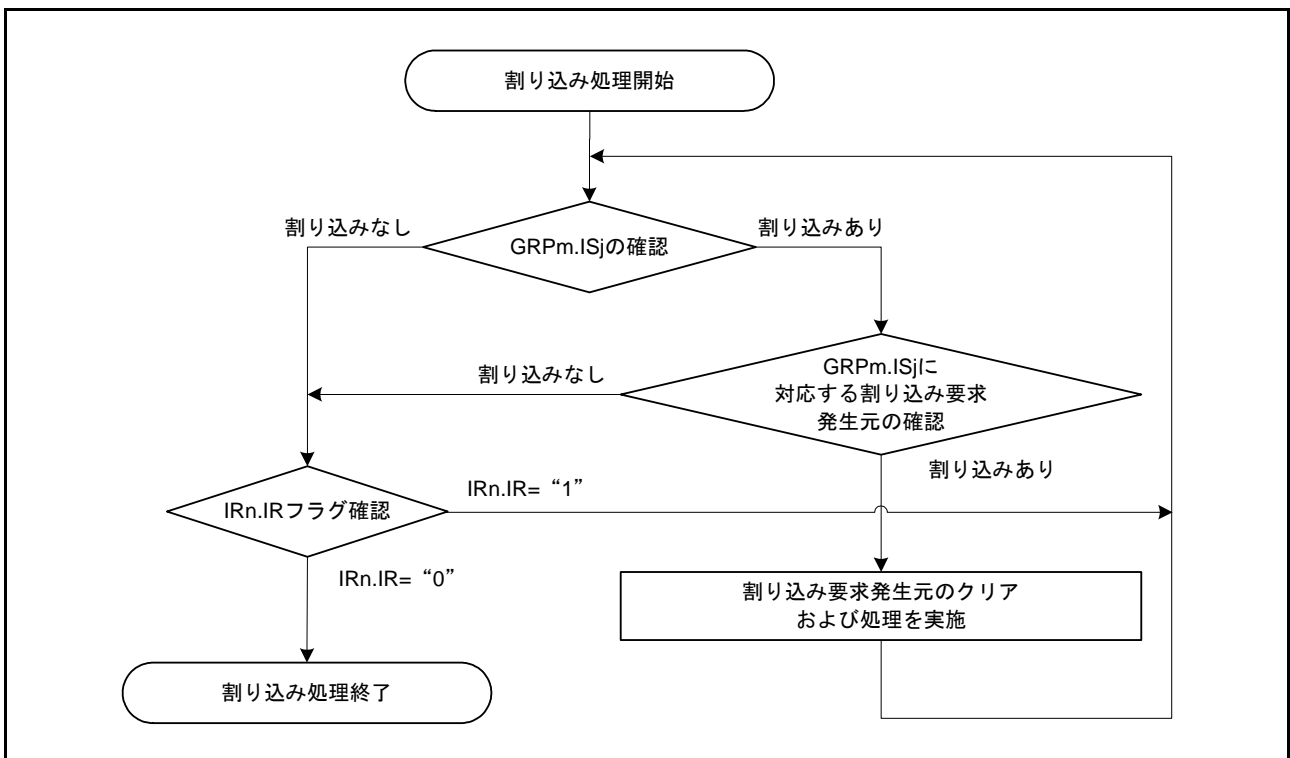


図 15.14 レベル検出グループ割り込みの処理手順

15.5.2 割り込み要求の許可 / 禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. グループ化された割り込み要求は、GENm.ENj ビットによって割り込み要求を許可
3. IERm.IENj ビットによって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRn.IR フラグが“1”になります。

グループ化された割り込み要求が発生すると、対応する GRPm.ISj フラグが“1”になるとともに、グループに対応する IRn.IR フラグが“1”になります。

IERm.IENj ビットで割り込み要求を許可することで、IRn.IR フラグが“1”である割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRn.IR フラグが“1”になった割り込み要求は保留されます。

IRn.IR フラグは、IERm.IENj ビットの影響を受けません。

割り込み要求を禁止にする手順は以下のとおりです。

1. IERm.IENj ビットを割り込み要求禁止に設定する。
2. グループ化された割り込み要求の場合、GENm.ENj ビットを禁止に設定する。
3. 周辺モジュールの割り込み出力許可ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
4. 必要に応じて、IRn.IR フラグを確認、もしくは IRn.IR フラグを“0”にする。(注1)
グループ化された割り込み要求の場合、GRPm.ISj フラグを確認、もしくは GRPm.ISj フラグを“0”にする。

注 1. SCI、RSPI、RIIC の各送信割り込み / 受信割り込みを許可状態から禁止状態に変更する場合、上記の手順で IRn.IR フラグを“0”にしてください。詳細は、「29. シリアルコミュニケーションインタフェース (SCIc、SCId)」、「30. I²C バスインタフェース (RIIC)」、「32. シリアルペリフェラルインタフェース (RSPI)」の各割り込みの説明を参照してください。

15.5.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 15.3 割り込みのベクタテーブル」に示された要求先が設定できます。表 15.3 に「○」の記載がない割り込み要求先を選択しないでください。

IRQ 端子で DTC/DMAC を割り込み要求先に設定する場合は、IRQCRI.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1) DMAC 起動

各要因ごとに、IERm.IENj ビットが“0”のときに以下の設定を行ってください。

1. DMAC のチャンネルごとに用意されている DMAC 起動要求選択レジスタ (DMRSRm) に該当割り込み要因ベクタ番号を指定 (注 1)
2. DMAC 該当チャンネルの起動要因 (DMACm.DMTMD.DCTG[1:0]) を“01b” (割り込みモジュール検出) に設定
3. DMAC の該当チャンネルの DMAC 起動許可 (DMACm.DMCNT.DTE) を“1”に設定する

上記の状態、IERm.IENj ビットを“1”にしてください。

また、DMAC 動作許可ビット (DMAST.DMST) を“1”にしてください。各要因ごとの設定と DMAC 動作許可ビットの設定はどちらを先に行っても構いません。

DMAC の設定手順は、「18. DMA コントローラ (DMACA)」の「18.3.7 DMAC の起動」を参照してください。

(2) DTC 起動

各要因ごとに、IERm.IENj ビットが“0”のときに以下の設定を行ってください。

1. 当該要因の DTC 起動許可レジスタの DTC 転送許可ビット (DTCERn.DTCE) を“1”に設定する (注 1)

上記の状態、IERm.IENj ビットを“1”にしてください。

また、DTC モジュール起動ビット (DTCST.DTCST) を“1”にしてください。各要因ごとの設定と DTC モジュール起動ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は、「19. データトランスファコントローラ (DTCa)」の「19.5 DTC の設定手順」を参照してください。

注 1. DTC 起動許可 (DTCERn.DTCE) と DMAC 起動要求選択 (DMRSRm) に同一の要因を設定しないでください。また、複数の DMRSRm に同一の要因を設定しないでください。

(3) CPU 割り込み要求

割り込み要求先が DMAC でも DTC でもない要因は、CPU 割り込み対象となります。

上記の DMAC 起動、DTC 起動の設定がされていない状態で、IERm.IENj ビットを“1”にしてください。

DMAC や DTC を割り込み要求先に設定した場合の動作は、表 15.5 に示すとおりになります。

表 15.5 DMAC/DTC起動時の動作

割り込み要求先	DISEL	残り転送回数	1要求ごとの動作	IR (注1)	転送後の割り込み要求先
DMAC	1	≠ 0	DMA 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DMAC
		= 0	DMA 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DMACm.DMCNT.DTE ビットがクリアされCPUに切り替え
	0	≠ 0	DMA 転送	DMAC 転送開始時にクリア	DMAC
		= 0	DMA 転送 (注2)	DMAC 転送開始時にクリア (注2)	DMACm.DMCNT.DTE ビットがクリアされCPUに切り替え
DTC (注3)	1	≠ 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCER.DTCE ビットがクリアされCPUに切り替え
	0	≠ 0	DTC 転送	DTC 転送情報読み出し後のDTCデータ転送開始時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み (注2)	CPU 割り込み受け付け時にクリア (注2)	DTCER.DTCE ビットがクリアされCPUに切り替え

DMAC の DISEL は DMACm.DMCSL.DISEL ビットで、DTC の DISEL は DTC.MRB.DISEL ビットで設定します。

注1. IRn.IR フラグが“1”のとき、再度発生した割り込み要求 (DTC/DMAC 起動要求) は無視されます。

注2. DISEL=“0”で、残り転送回数が“0”のときの動作はDTCとDMACで異なります。

注3. チェーン転送の場合は、チェーン最終転送までDTC転送を継続します。チェーン最終転送時のCPU割り込みの有無、IRn.IR フラグのクリア、転送後の割り込み要求先の各動作は、チェーン最終転送のDISEL、および残り転送回数によって決まります。チェーン転送については、「19. データトランスファコントローラ (DTCa)」の「表 19.3 チェーン転送の条件」を参照してください。

割り込み要求先を変更する場合は IERm.IENj ビットが“0”のときに行ってください。

「(1) DMAC 起動」を設定してから転送が完了していない状態 (DMACm.DMCNT.DTE ビットがクリアされていない状態) で、割り込み要求先を変更する場合、または DMA 起動要因を別要因に変更する場合は、次の手順で変更を行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DMAC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(1) DMAC 起動」の設定を行う。

「(2) DTC 起動」を設定してから転送が完了していない状態 (DTCERn.DTCE ビットがクリアされていない状態) で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(2) DTC 起動」の設定を行う。

15.5.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット (IPRn.IPR[3:0]) の値が大きい要因が優先されます。IPRn.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2) 割り込み要求先が DTC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

(3) 割り込み要求先が DMAC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。DMAC チャンネルの優先順位については「18. DMA コントローラ (DMACA)」を参照してください。

15.5.5 多重割り込み

多重割り込みを有効にするには、受け付けた割り込みの処理ルーチン内で PSW.I ビットを“1”(割り込み許可)にしてください。

PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け(多重割り込み)が行われます。

15.5.6 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうちの 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRn.IPR[3:0] ビットの設定にかかわらず、15 (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が“1111b” (優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てるには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを“1” (高速割り込みを許可) にしてください。

高速割り込みについての詳細は「14. 例外処理」を参照してください。

15.5.7 デジタルフィルタ

外部割り込み要求端子 IRQ_i(*i*=0 ~ 7) と NMI 端子割り込みには、デジタルフィルタ機能を持っています。

デジタルフィルタは入力信号をフィルタ用サンプリングクロック (PCLK) でサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

IRQ_i 端子のデジタルフィルタを使用する場合、IRQFLT0.FCLKSEL_i[1:0] ビット (*i*=0 ~ 7) でサンプリング周波数 (PCLK、PCLK/8、PCLK/32、PCLK/64) を設定し、IRQFLTE0.FLTEN_i ビットを“1” (デジタルフィルタ有効) にしてください。

NMI 端子割り込みのデジタルフィルタを使用する場合、NMIFLTC.NFCLKSEL[1:0] ビットでサンプリング周波数 (PCLK、PCLK/8、PCLK/32、PCLK/64) を設定し、NMIFLTE.NFLTEN ビットを“1” (デジタルフィルタ有効) にしてください。図 15.15 にデジタルフィルタの動作例を示します。

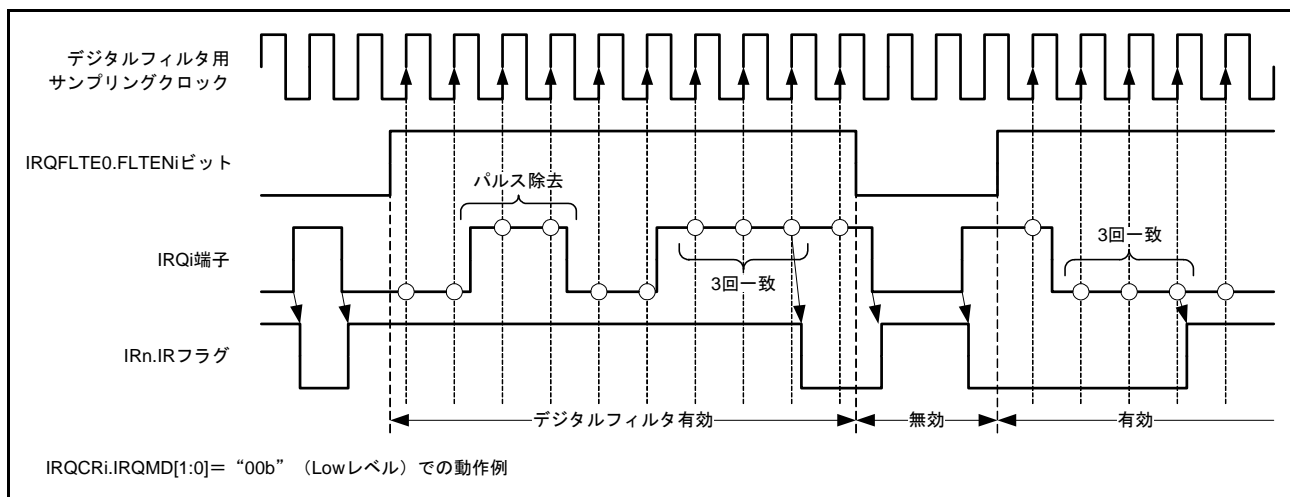


図 15.15 デジタルフィルタ動作例

ソフトウェアスタンバイモードに移行する際は、IRQFLTE0.FLTENi ビット、および NMIFLTE.NFLTEN ビットを“0”（デジタルフィルタ無効）にしてください。ソフトウェアスタンバイモードからの復帰後に再度デジタルフィルタを使用する場合は、IRQFLTE0.FLTENi ビット、もしくは NMIFLTE.NFLTEN ビットを“1”（デジタルフィルタ有効）にしてください。

15.5.8 外部端子割り込み

外部端子割り込みを使用する手順は以下のとおりです。

1. IERm.IENj ビットを“0”（割り込み要求禁止）にする。
2. IRQFLTE0.FLTENi ビット (i=0 ~ 7) を“0”（デジタルフィルタ無効）にする。
3. IRQFLTC0.FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。
4. I/O ポートの設定、および確認を行う。
5. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
6. IRn.IR フラグを“0”にする（エッジ検出の場合）。
7. IRQFLTE0.FLTENi ビットを“1”（デジタルフィルタ有効）にする。
8. DMAC 起動の場合 DMRSRm.DMRS[7:0] ビットを、DTC 起動の場合 DTCERn.DTCE ビットを設定する（どちらも設定しない場合は CPU 割り込み）。
9. IERm.IENj ビットを“1”（割り込み要求許可）にする。

15.6 ノンマスクابل割り込みの動作説明

ノンマスクابل割り込みには NMI 端子割り込み、発振停止検出割り込み、WDT アンダフロー/リフレッシュエラー、IWDT アンダフロー/リフレッシュエラー、電圧監視 1 割り込み、電圧監視 2 割り込みがあります。ノンマスクابل割り込みは CPU への割り込みのみであり、DTC や DMAC の起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスクابل割り込み要求は、CPU の PSW.I ビット（割り込み許可ビット）、PSW.IPL[3:0] ビット（プロセッサ割り込み優先レベル）の状態にかかわらず受け付けられます。ノンマスクابل割り込みの有無はノンマスクابل割り込みステータスレジスタ (NMISR) で確認できます。

ノンマスクابل割り込みハンドラでは、NMISR レジスタの全ビットが“0”であることを確認してください。

初期状態では「ノンマスクابل割り込み禁止」となっています。ノンマスクابل割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスクابل割り込み使用手順

1. スタックポインタ (SP) を設定する。
2. NMI 端子を使用する場合は、NMIFLTC.NFLTEN ビットを“0” (デジタルフィルタ無効) にする。
3. NMI 端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。
4. NMI 端子を使用する場合は、NMICR.NMIMD ビットで NMI 端子の検出センスを設定する。
5. NMI 端子を使用する場合は、NMICLR.NMICLR ビットに“1”を書いて、NMISR.NMIST フラグを“0”にする。
6. NMI 端子を使用する場合は、NMIFLTC.NFLTEN ビットを“1” (デジタルフィルタ有効) にする。
7. ノンマスクابل割り込み許可レジスタ (NMIER) の許可する割り込みに対応するビットを“1”にして、ノンマスクابل割り込みの使用を許可する。

NMIER レジスタの各割り込み許可ビットに“1”を書くと、以後、当該ビットへの書き込みは無視されます。一旦許可した割り込み要因を禁止にすることはできません。リセットでのみ禁止にすることができます。

ノンマスクابل割り込みの処理の流れは、「14. 例外処理」を参照してください。

NMI ステータスフラグ (NMISR.NMIST) は、NMICLR.NMICLR ビットに“1”を書くことで“0”になります。

発振停止検出割り込みステータスフラグ (NMISR.OSTST) は、NMICLR.OSTCLR ビットに“1”を書くことで“0”になります。

WDT アンダフロー/リフレッシュエラーステータスフラグ (NMISR.WDTST) は、NMICLR.WDTCLR ビットに“1”を書くことで“0”になります。

IWDT アンダフロー/リフレッシュエラーステータスフラグ (NMISR.IWDTST) は、NMICLR.IWDTCLR ビットに“1”を書くことで“0”になります。

電圧監視 1 割り込み ステータスフラグ (NMISR.LVD1ST) は、NMICLR.LVD1CLR ビットに“1”を書くことで“0”になります。

電圧監視 2 割り込み ステータスフラグ (NMISR.LVD2ST) は、NMICLR.LVD2CLR ビットに“1”を書くことで“0”になります。

15.7 低消費電力状態からの復帰

スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモードからの復帰割り込みとして使用可能な割り込み要因を「表 15.3 割り込みのベクタテーブル」に示します。

詳細は「12. 消費電力低減機能」を参照してください。各低消費電力モードにおける、復帰対象割り込みの設定方法は以下のとおりです。

15.7.1 スリープモードからの復帰

ノンマスカブル割り込み (WDT アンダフロー/リフレッシュエラー以外)、および全要因の割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) 割り込み要求先が CPU であること
 - (2) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (3) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
 - (4) グループ化された割り込み要求の場合、GENm.ENj ビットによって該当する割り込み要求が許可されていること
- ノンマスカブル割り込み
NMIER レジスタによって該当する割り込み要求が許可されていること

15.7.2 全モジュールクロックストップモードからの復帰

ノンマスカブル割り込み (WDT アンダフロー/リフレッシュエラー以外)、および全モジュールクロックストップモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) 全モジュールクロックストップモードから復帰可能な要因であること
 - (2) 割り込み要求先が CPU であること
 - (3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
- ノンマスカブル割り込み
NMIER レジスタによって該当する割り込み要求が許可されていること

15.7.3 ソフトウェアスタンバイモードからの復帰

ノンマスクابل割り込み (WDT アンダフロー / リフレッシュエラー以外)、およびソフトウェアスタンバイモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) ソフトウェアスタンバイモードから復帰可能な要因であること
 - (2) 割り込み要求先が CPU であること
 - (3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みに設定した要因には高速割り込み設定レジスタ (FIR) だけでなく、対応する割り込み優先レベル (IPRn) も CPU.PSW.IPL より高い設定にしてください。)

上記条件を満たさない IRQ 端子では、ソフトウェアスタンバイモードでクロック停止期間中に発生した割り込み要因は検出されません。

- ノンマスクابل割り込み
NMIER レジスタによって該当する割り込み要求が許可されていること
ソフトウェアスタンバイモードへの移行 / 復帰の際は、以下の手順に従ってください。
 - (1) ソフトウェアスタンバイモードに移行する前に、復帰対象の割り込み要因のデジタルフィルタを無効 (IRQFLTE0.FLTENi ビットを “0”、NMIFLTE.NFLTEN ビットを “0”) にしてください。
 - (2) ソフトウェアスタンバイモードから復帰後に再度デジタルフィルタを使用する場合は、デジタルフィルタを有効 (IRQFLTE0.FLTENi ビットを “1”、NMIFLTE.NFLTEN ビットを “1”) にしてください。

15.8 使用上の注意事項

15.8.1 ノンマスクابل割り込み使用時の WAIT 命令の注意事項

WAIT 命令を発行する場合は、NMISR レジスタのすべてのステータスフラグが “0” であることを確認した後で行ってください。

15.8.2 MTU3 割り込み使用時の注意事項

タイマステータスレジスタ (TSR) 内のステータスフラグにおいて、該当するフラグが “0” になる条件 (*1、*2、*3) に従いクリア処理を実施する際、“1” の状態の読み出しから “0” を書き込むまでの期間に同フラグが “1” になる条件 (*1、*2、*3) でのフラグセット要求が発生した場合、該当するフラグはクリアされず、“1” の状態を保持します。

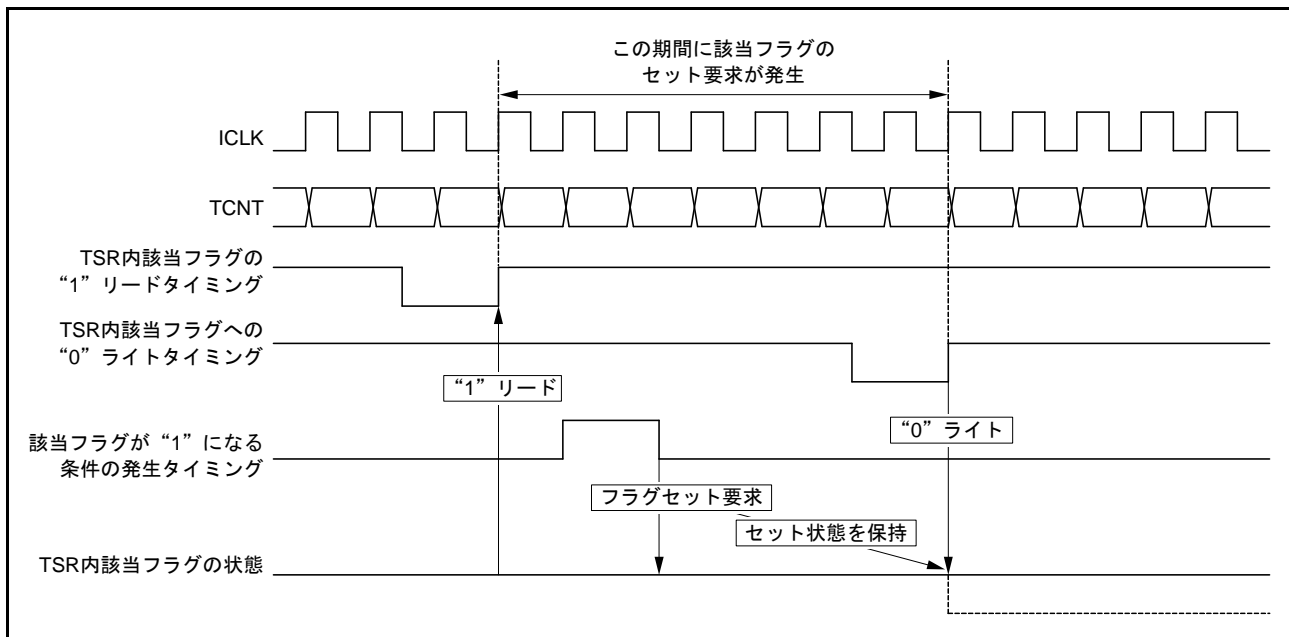


図 15.16 TSR レジスタ内ステータスフラグ状態

*1 : TGF_m フラグ (インプットキャプチャ/アウトプットコンペアフラグ m) (m=A ~ F)

[“1”になる条件]

- TGR_m レジスタがアウトプットコンペアレジスタ/コンペアレジスタとして機能している場合、TCNT = TGR_m になったとき
- TGR_m レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGR_m レジスタに転送されたとき

[“0”になる条件]

- TGF_m = 1 の状態で TGF_m フラグを読んだ後、TGF_m フラグに “0” を書いたとき

*2 : TCF_j フラグ (オーバーフロー/アンダーフローフラグ) (j=V, U)

[“1”になる条件]

- TCNT の値がオーバーフローしたとき (FFFFh → 0000h)
- TCNT の値がアンダーフローしたとき (0000h → FFFFh)

[“0”になる条件]

- TCF_j = 1 の状態で TCF_j フラグを読んだ後、TCF_j フラグに “0” を書いたとき

*3 : CMF_n5 コンペアマッチ/インプットキャプチャフラグ n (n=U, V, W)

[“1”になる条件]

- MTU5.TGR_n がコンペアマッチレジスタとして機能している場合、MTU5.TCNT_n = MTU5.TGR_n になったとき
- MTU5.TGR_n がインプットキャプチャとして機能している場合、インプットキャプチャ信号により MTU5.TCNT_n の値が MTU5.TGR_n に転送されたとき
- MTU5.TGR_n が外部入力信号のパルス幅測定として機能している場合、MTU5.TCNT_n の値が MTU5.TGR_n に転送されたとき

[“0”になる条件]

- CMF_n5 = 1 の状態で CMF_n5 フラグを読んだ後、CMF_n5 フラグに “0” を書いたとき

TSRレジスタの該当フラグが“1”の状態での割り込み要求は無視されますので、再度割り込みを可能にするには、該当フラグのクリア処理後、図 15.17 に示すフローチャートのソフトウェア回避策を実施してください。

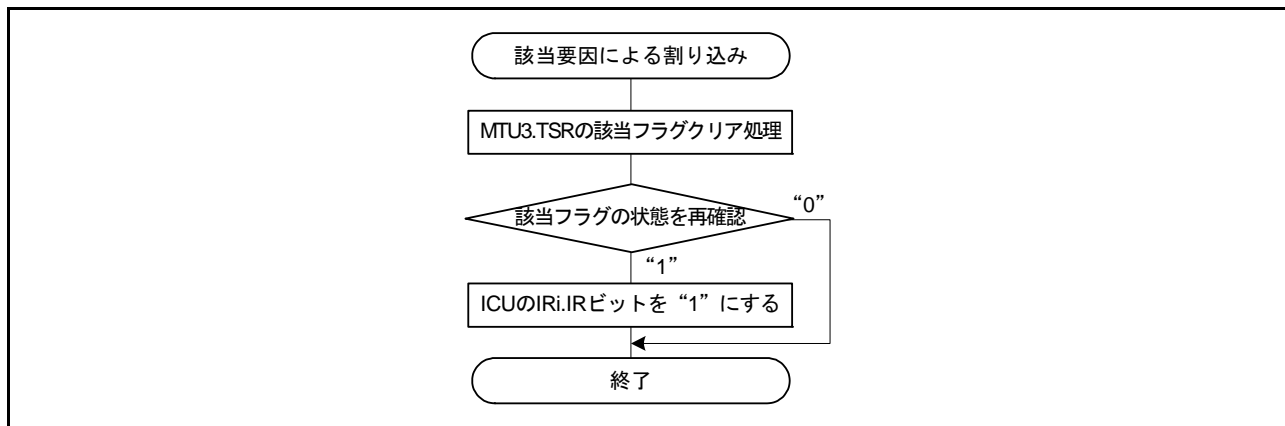


図 15.17 ソフトウェア回避策のフローチャート

16. バス

16.1 概要

表 16.1 にバスの仕様を、図 16.1 にバスの構成図を、表 16.2 にバス種類別アドレス対応表を示します。

表 16.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> • CPU (命令) を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU (オペランド) を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
メモリバス	メモリバス1	<ul style="list-style-type: none"> • RAMを接続
	メモリバス2	<ul style="list-style-type: none"> • ROMを接続
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> • CPUを接続 • システムクロック (ICLK) に同期して動作
	内部メインバス2	<ul style="list-style-type: none"> • DTC、DMACを接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> • 周辺機能 (DTC、DMAC、割り込みコントローラ、バスエラー監視部) を接続 • システムクロック (ICLK) に同期して動作
	内部周辺バス2	<ul style="list-style-type: none"> • 周辺機能 (内部周辺バス1、3、4、5以外の周辺機能) を接続 • 周辺モジュールクロック (PCLKB) に同期して動作
	内部周辺バス3	<ul style="list-style-type: none"> • 周辺機能 (USB) を接続 • 周辺モジュールクロック (PCLKB) に同期して動作
	内部周辺バス4	<ul style="list-style-type: none"> • 周辺機能 (MTU3、GPT、DPC) を接続 • 周辺モジュールクロック (PCLKA) に同期して動作
	内部周辺バス5	予約領域
	内部周辺バス6	<ul style="list-style-type: none"> • ROM (P/E時)、E2データフラッシュを接続 • FlashIFクロック (FCLK) に同期して動作
外部バス	CS領域	<ul style="list-style-type: none"> • 外部デバイスを接続 • 外部バスクロック (BCLK) に同期して動作

P/E : プログラム / イレース

BCLK (外部バスクロック) : 最大 50MHz のクロックです。CSC (CS 領域コントローラ) は、BCLK に同期して動作します。

BCLK 端子出力 : デフォルトでは、BCLK と同じ周波数です。外部バスクロックコントロールレジスタの BCLK 端子出力選択ビット (BCKCR.BCLKDIV) で、BCLK の 2 分周が可能です。詳細は、「10. クロック発生回路」を参照してください。

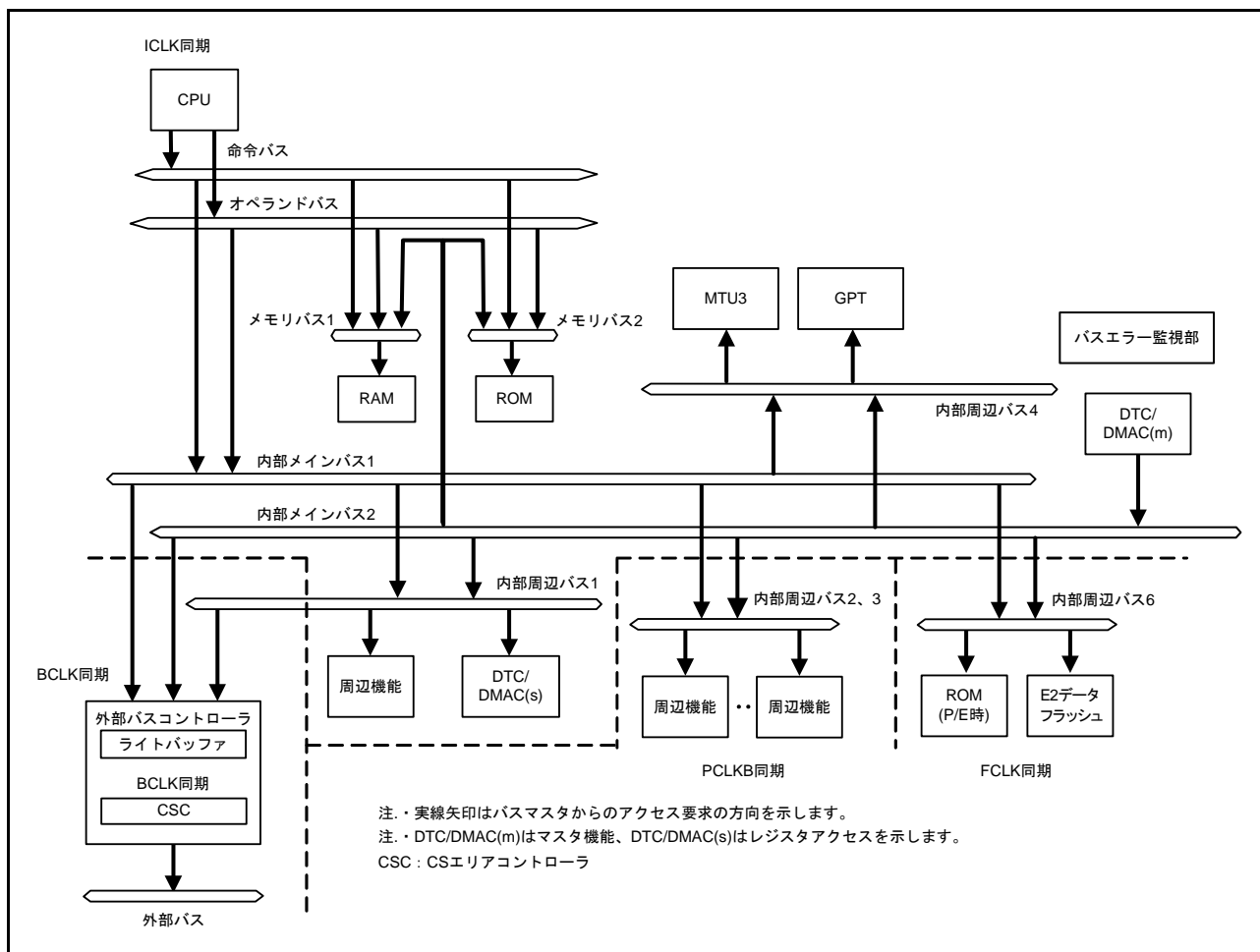


図 16.1 バスの構成図

表 16.2 バス種類別アドレス対応表

アドレス	バス		内容	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h ~ 0000 BFFFh	メモリバス 1		RAM	
0000 C000h ~ 0007 FFFFh			予約領域	
0008 0000h ~ 0008 7FFFh	内部周辺バス 1		周辺 I/O レジスタ	
0008 8000h ~ 0009 FFFFh	内部周辺バス 2			
000A 0000h ~ 000B FFFFh	内部周辺バス 3			
000C 0000h ~ 000D FFFFh	内部周辺バス 4			
000E 0000h ~ 000F FFFFh	予約領域			
0010 0000h ~ 00FF FFFFh	内部周辺バス6	予約領域	E2 データフラッシュ、ROM (P/E 時)	予約領域
0100 0000h ~ 04FF FFFFh	外部バス		予約領域	
0500 0000h ~ 07FF FFFFh			外部アドレス空間 (CS1 ~ CS3)	
0800 0000h ~ 0FFF FFFFh			予約領域	
1000 0000h ~ 7FFF FFFFh	予約領域		予約領域	
8000 0000h ~ FEFF FFFFh	メモリバス 2	予約領域	ROM	予約領域
FF00 0000h ~ FFFF FFFFh		外部バス		外部アドレス空間 (CS0)

16.2 バスの説明

16.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。

命令バスとオペランドバスは、内蔵 RAM、内蔵 ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、内蔵 ROM は読み出しのみ CPU からの直接アクセスが可能であり、プログラム/イレーズは内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス（メモリバス 1、メモリバス 2、内部メインバス 1）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、内蔵 ROM と内蔵 RAM、内蔵 ROM と外部アクセスなどの並列動作が可能となります。

16.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には内蔵 RAM、メモリバス 2 には内蔵 ROM が接続されています。メモリバス 1 とメモリバス 2 は、CPU バス（命令フェッチとオペランド）、内部メインバス 2 からのバス権要求を調停します。

2 本のバスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1（内蔵 RAM）プライオリティ制御ビット（BUSPRI.BPRA[1:0]）、メモリバス 2（内蔵 ROM）プライオリティ制御ビット（BUSPRI.BPRO[1:0]）により設定可能です。優先順位固定の場合は、2 本のバスの優先順位は、内部メインバス 2 > CPU バス（オペランド > 命令フェッチ）の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

16.2.3 内部メインバス

内部メインバスは、CPU が使用するバス（内部メインバス 1）と、CPU 以外のバスマスタ（DTC、DMAC）が使用するバス（内部メインバス 2）の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC、DMAC のバス権要求を調停します。優先順位は、表 16.3 に示すように、DMAC > DTC の順となります。

DTC と DMAC については、起動要求を受け付けたいずれかの一方のみがバス権要求を行います。DTC と DMAC の起動要求の優先順位は、BUSPRI レジスタの設定に関わらず、DMAC0 > DMAC1 > DMAC2 > DMAC3 > DTC の順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス（内蔵メモリ、内部周辺バス 1～内部周辺バス 6、外部バス）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ（BUSPRI）の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで、CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 16.3 バスマスタ優先順位

優先度	バスマスタ
高 ↑	DMAC
	DTC
低	CPU

16.2.4 内部周辺バス

表 16.4 に内部周辺バスに接続される周辺機能を示します。

表 16.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス 1	DTC、DMAC、割り込みコントローラ、バスエラー監視部
内部周辺バス 2	内部周辺バス 1、3、4、5 以外の周辺機能
内部周辺バス 3	USB
内部周辺バス 4	MTU3、GPT、DPC
内部周辺バス 5	予約領域
内部周辺バス 6	ROM(P/E 時) / E2 データフラッシュ

内部周辺バス 1～6 は、それぞれ、CPU（内部メインバス 1）と CPU 以外のバスマスタ（内部メインバス 2）からのバス権要求を調停します。

2 本のバスの優先順位は、バスプライオリティ制御レジスタ（BUSPRI）により設定可能です。優先順位は、内部周辺バス 1 プライオリティ制御ビット（BUSPRI.BPIB[1:0]）、内部周辺バス 2、3 プライオリティ制御ビット（BUSPRI.BPGB[1:0]）、内部周辺バス 4 プライオリティ制御ビット（BUSPRI.BPHB[1:0]）、内部周辺バス 6 プライオリティ制御ビット（BUSPRI.BPFB[1:0]）によりバスごとに設定できます。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BUSPRI レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください（図 16.2 参照）。

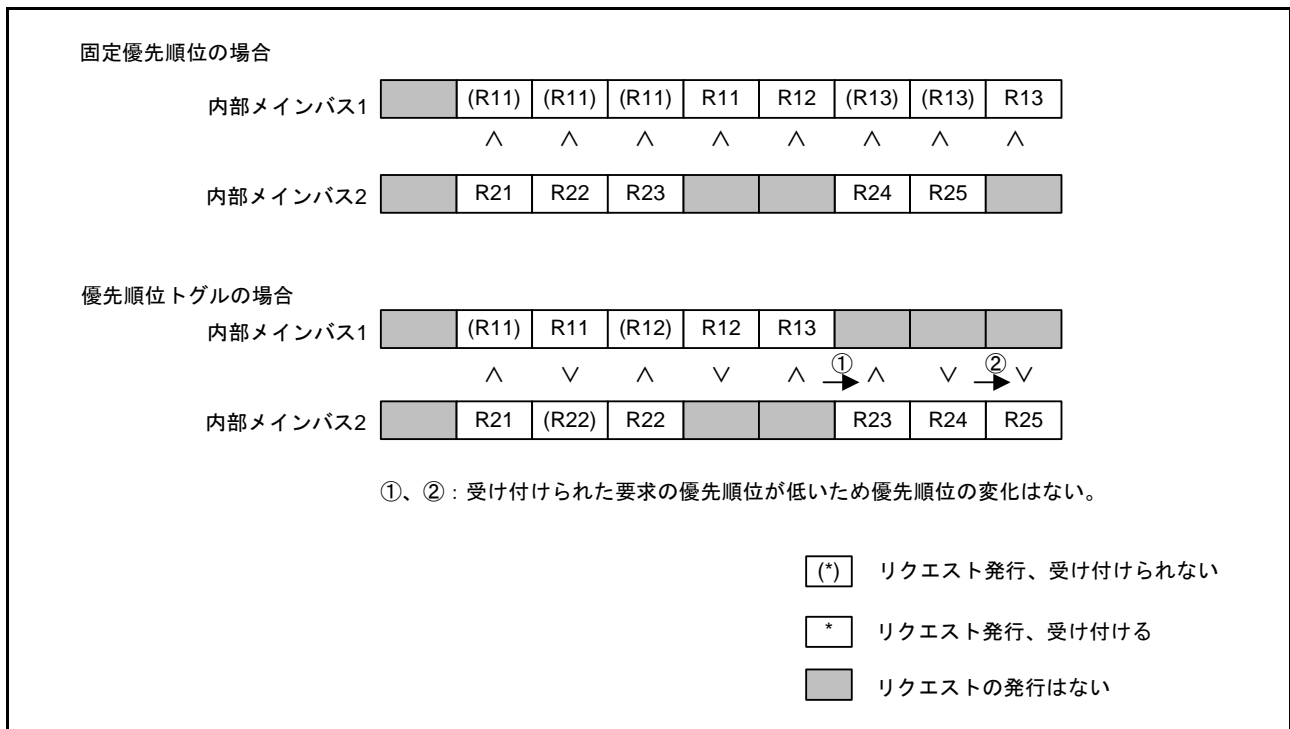


図 16.2 内部周辺バス優先順位

16.2.5 ライトバッファ機能（内部周辺バス）

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのリードアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。（図 16.3 参照）

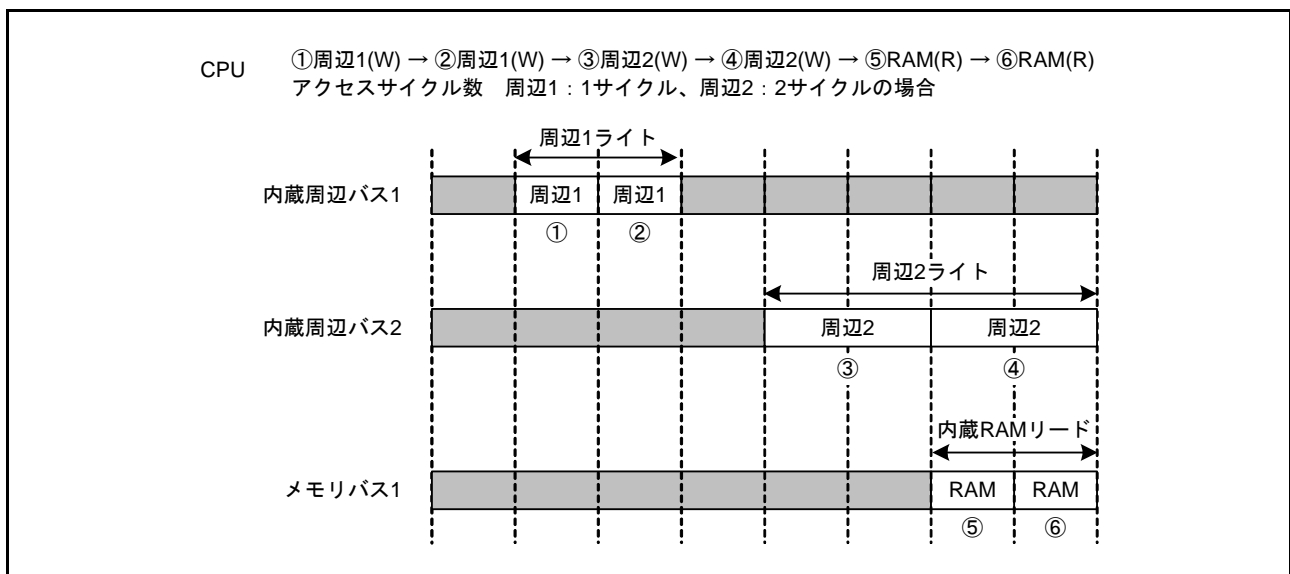


図 16.3 ライトバッファ機能

16.2.6 外部バス

表 16.5 に外部バスの仕様を示します。

外部バスコントローラは、内部メインバス 1、内部メインバス 2 からのバス権要求を調停します。

2 本のバスの優先順位は、バスプライオリティ制御レジスタの外部バスプライオリティ制御ビット (BUSPRI.BPEB[1:0]) により設定可能です。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2) とでバス要求を受け付けられた方の優先順位が低くなります。

バスプライオリティ制御レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください (図 16.4 参照)。

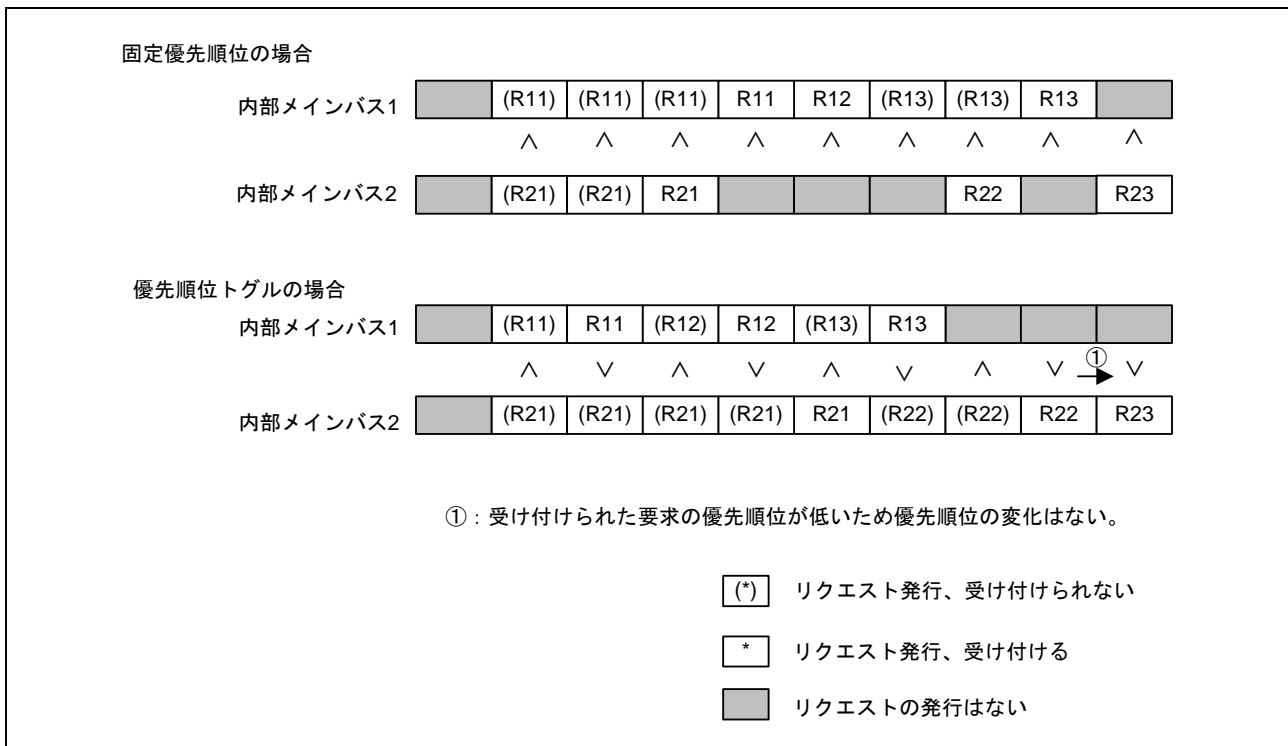


図 16.4 内部周辺バス優先順位

表 16.5 外部バスの仕様

項目	内容
外部アドレス空間	<ul style="list-style-type: none"> 外部アドレス空間を4つのCS領域 (CS0~CS3) に分割して管理 領域ごとにチップセレクトを出力可能 領域ごとにバス幅を選択可能 セパレートバス: 8ビットバス空間/16ビットバス空間を選択可能 アドレスデータマルチプレクスバス: 8ビットバス空間/16ビットバス空間を選択可能 領域ごとにエンディアンを設定可能
CS領域コントローラ	<ul style="list-style-type: none"> リカバリサイクル挿入可能 リードリカバリ最大15サイクル挿入 ライトリカバリ最大15サイクル挿入 サイクルウェイト機能: 最大31サイクルウェイト (ページアクセス最大7サイクルウェイト) ウェイト制御 チップセレクト信号 (CS0#~CS3#) のアサート/ネゲートタイミング設定可能 リード信号 (RD#)、ライト信号 (WR0#/WR#、WR1#) のアサートタイミング設定可能 データ出力の開始/終了タイミング設定可能 ライトアクセスモード: 1ライトストローブモード/バイトストローブモード セパレートバス/アドレスデータマルチプレクスバスを領域ごとに設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	CS領域コントローラ (CSC) は、BCLKに同期して動作

表 16.6 に外部バスの入出力端子を示します。

表 16.6 外部バスの入出力端子

端子名	入出力	機能
A19～A0 (注1)	出力	アドレス出力端子です
D15～D0	入出力	データ入出力端子です 16ビットバス空間を設定した場合、D15～D0が有効となります 8ビットバス空間を設定した場合、D7～D0が有効となります
BC0# (注1)	出力	1ライトストローブモード時、外部アドレス空間をアクセス中で (BC0#信号がLowの場合)、D7～D0が有効であることを示すストローブ信号です 8ビットバス空間を設定した場合、ライトアクセスモードに関係なく常にLow出力となります
BC1#	出力	1ライトストローブモード時、外部アドレス空間をアクセス中で (BC1#信号がLowの場合)、D15～D8が有効であることを示すストローブ信号です 8ビットバス空間を設定した場合、使用しません
CS0#	出力	領域0 (CS0) チップセレクト信号です
CS1#	出力	領域1 (CS1) チップセレクト信号です
CS2#	出力	領域2 (CS2) チップセレクト信号です
CS3#	出力	領域3 (CS3) チップセレクト信号です
RD#	出力	外部アドレス空間 (CS0～CS3) をリード中であることを示すストローブ信号です
WR0#/WR# (注2)	出力	WR0#信号は、バイトストローブモード時、外部アドレス空間をライト中で (WR0#信号がLowの場合)、D7～D0が有効であることを示すストローブ信号です WR#信号は、1ライトストローブモード時、外部アドレス空間をライト中であることを示すストローブ信号です。 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくライトアクセス時にLowが出力されます
WR1#	出力	バイトストローブモード時、外部アドレス空間をライト中で (WR1#信号がLowの場合)、D15～D8が有効であることを示すストローブ信号です 1ライトストローブモード時、無効となります 8ビットバス空間を設定した場合、使用しません
ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号です
WAIT#	入力	外部アドレス空間 (CS0～CS3) をアクセスするときのウェイト要求信号です。(Low : ウェイト要求)

注1. A0端子とBC0#端子は兼用しており、領域ごとにバイトストローブモード時はA0端子、1ライトストローブモード時はBC0#端子が有効になります。ただし、1ライトストローブモード時は、8ビット外部バス幅の設定は禁止です。その他の兼用端子については、「20. I/Oポート」を参照してください。

注2. WR0#端子とWR#端子は、同じ信号です。WR#端子は、1ライトストローブモード時のWR0#のことを示します。

16.2.7 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPUの命令フェッチが内蔵ROMを、オペランドが内蔵RAMをアクセス中に、DMACは周辺～外部バス間の転送を行うことができます。図 16.5 に並列動作の例を示します。この例の場合、CPUは命令バスとオペランドバスを使って、それぞれ内蔵ROMと内蔵RAMを同時にアクセスすることが可能です。また、CPUが内蔵ROMと内蔵RAMをアクセス中に、DMACは内部メインバス2を使って、周辺バスあるいは外部バスを同時にアクセスすることができます。

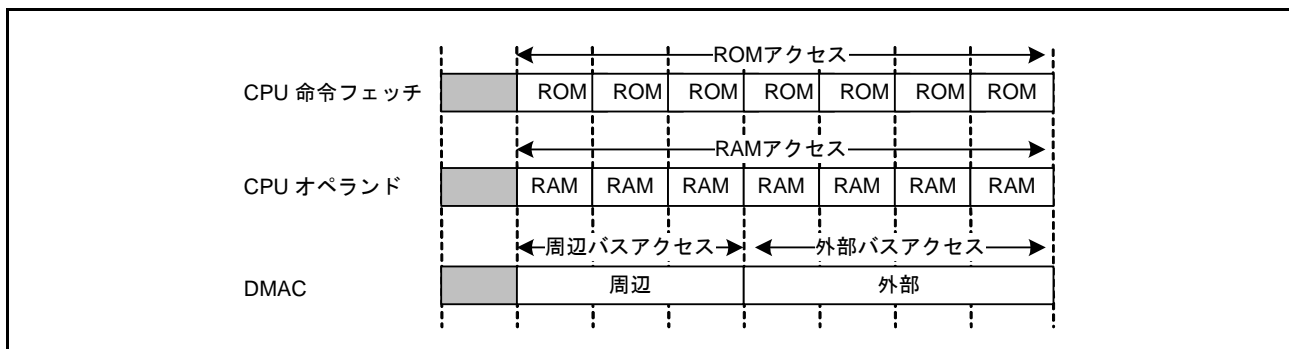


図 16.5 並列動作の例

16.2.8 バスの設定

- (1) 外部バスのモードを、CSn モードレジスタ (CSnMOD)、CSn ウェイト制御レジスタ 1 (CSnWCR1)、CSn ウェイト制御レジスタ 2 (CSnWCR2)、CSn 制御レジスタ (CSnCR)、CSn リカバリサイクル設定レジスタ (CSnREC)、CS リカバリサイクル挿入許可レジスタ (CSRECEN)、バスエラー監視許可レジスタ (BEREN)、バスプライオリティ制御レジスタ (BUSPRI) で設定します。
- (2) 端子の設定を、CS 出力許可レジスタ (PFCSE)、CS 出力端子選択レジスタ 0 (PFCSS0)、アドレス出力許可レジスタ 0 (PFAOE0)、アドレス出力許可レジスタ 1 (PFAOE1)、外部バス制御レジスタ 0 (PFBCR0)、外部バス制御レジスタ 1 (PFBCR1) で行います。
- (3) 使用する端子を入力ポートに設定します。
- (4) システムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE) を“1” (外部バス有効) に設定します。

16.2.9 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- (a) 外部空間には領域ごとのエンディアン切り替え機能 (データのみ) がありますが、チップのエンディアンと異なる設定を行った領域にRMPA命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- (b) RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(3) エンディアンに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.3 レジスタの説明

16.3.1 CSn 制御レジスタ (CSnCR) (n = 0 ~ 3)

アドレス CS0CR 0008 3802h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	MPXEN	—	—	—	EMOD E	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

アドレス CS1CR 0008 3812h, CS2CR 0008 3822h, CS3CR 0008 3832h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	MPXEN	—	—	—	EMOD E	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0: 動作禁止 1: 動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	外部バス幅選択ビット	b5 b4 0 0: 16ビットバス空間に設定 0 1: 設定しないでください 1 0: 8ビットバス空間に設定 1 1: 設定しないでください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EMODE	エンディアンモード指定ビット	0: 領域nのエンディアンは動作モードのエンディアンと同じ 1: 領域nのエンディアンは動作モードのエンディアンと異なる (n = 0~3)	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	MPXEN	アドレス/データマルチプレクス I/O インタフェース選択ビット	0: 領域nはセパレートバスインタフェース 1: 領域nはアドレス/データマルチプレクスI/O インタフェース (n = 0~3)	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnCR レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

EXENB ビット (動作許可ビット)

各領域の動作許可 / 禁止を設定します。

なお、リセット後は、領域 0 (CS0) のみ動作許可 (“1”) になり、それ以外の領域は動作禁止 (“0”) になります。

動作禁止に設定した領域をアクセスした場合は、外部バスアクセスは発生しません。このとき、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビット (BEREN.IGAEN = 1) が検出許可に設定されていれば、不正アドレスエラーとなります。

BSIZE[1:0] ビット (外部バス幅選択ビット)

各領域のデータバス幅を設定します。

なお、リセット後の領域0 (CS0) のデータバス幅は、動作モードのバス幅の設定に依存します。

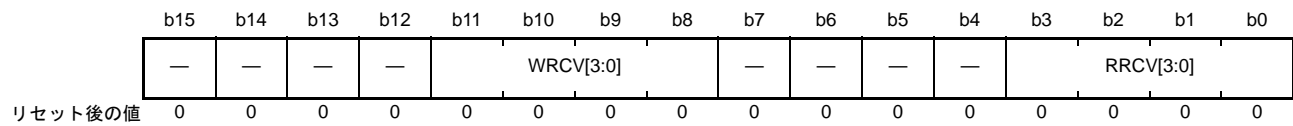
EMODE ビット (エンディアンモード指定ビット)

各領域のエンディアンを設定します。

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.3.2 CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 3)

アドレス CS0REC 0008 380Ah, CS1REC 0008 381Ah, CS2REC 0008 382Ah, CS3REC 0008 383Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	RRCV[3:0]	リードリカバリ設定ビット	b3 b0 0 0 0 0: リカバリサイクルを挿入しない 0 0 0 1: リカバリサイクルを1サイクル挿入 0 0 1 0: リカバリサイクルを2サイクル挿入 0 0 1 1: リカバリサイクルを3サイクル挿入 0 1 0 0: リカバリサイクルを4サイクル挿入 0 1 0 1: リカバリサイクルを5サイクル挿入 0 1 1 0: リカバリサイクルを6サイクル挿入 0 1 1 1: リカバリサイクルを7サイクル挿入 1 0 0 0: リカバリサイクルを8サイクル挿入 1 0 0 1: リカバリサイクルを9サイクル挿入 1 0 1 0: リカバリサイクルを10サイクル挿入 1 0 1 1: リカバリサイクルを11サイクル挿入 1 1 0 0: リカバリサイクルを12サイクル挿入 1 1 0 1: リカバリサイクルを13サイクル挿入 1 1 1 0: リカバリサイクルを14サイクル挿入 1 1 1 1: リカバリサイクルを15サイクル挿入	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	WRCV[3:0]	ライトリカバリ設定ビット	b11 b8 0 0 0 0: リカバリサイクルを挿入しない 0 0 0 1: リカバリサイクルを1サイクル挿入 0 0 1 0: リカバリサイクルを2サイクル挿入 0 0 1 1: リカバリサイクルを3サイクル挿入 0 1 0 0: リカバリサイクルを4サイクル挿入 0 1 0 1: リカバリサイクルを5サイクル挿入 0 1 1 0: リカバリサイクルを6サイクル挿入 0 1 1 1: リカバリサイクルを7サイクル挿入 1 0 0 0: リカバリサイクルを8サイクル挿入 1 0 0 1: リカバリサイクルを9サイクル挿入 1 0 1 0: リカバリサイクルを10サイクル挿入 1 0 1 1: リカバリサイクルを11サイクル挿入 1 1 0 0: リカバリサイクルを12サイクル挿入 1 1 0 1: リカバリサイクルを13サイクル挿入 1 1 1 0: リカバリサイクルを14サイクル挿入 1 1 1 1: リカバリサイクルを15サイクル挿入	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnREC レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j=0 ~ 7) により、アドレス/データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) により、リカバリサイクル挿入許可に設定されている場合に有効となります。

RRCV[3:0] ビット (リードリカバリ設定ビット)

外部バスに対するリードアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b” 以外を設定すると、以下の場合に 1 ~ 15 サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合

WRCV[3:0] ビット (ライトリカバリ設定ビット)

外部バスに対するライトアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b” 以外を設定すると、以下の場合に 1 ~ 15 サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

16.3.3 CS リカバリサイクル挿入許可レジスタ (CSRECEN)

アドレス 0008 3880h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVEN M7	RCVEN M6	RCVEN M5	RCVEN M4	RCVEN M3	RCVEN M2	RCVEN M1	RCVEN M0	RCVEN 7	RCVEN 6	RCVEN 5	RCVEN 4	RCVEN 3	RCVEN 2	RCVEN 1	RCVEN 0
リセット後の値	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	RCVEN0	セパレートバス用リカバリサイクル挿入許可0ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b1	RCVEN1	セパレートバス用リカバリサイクル挿入許可1ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b2	RCVEN2	セパレートバス用リカバリサイクル挿入許可2ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b3	RCVEN3	セパレートバス用リカバリサイクル挿入許可3ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b4	RCVEN4	セパレートバス用リカバリサイクル挿入許可4ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b5	RCVEN5	セパレートバス用リカバリサイクル挿入許可5ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b6	RCVEN6	セパレートバス用リカバリサイクル挿入許可6ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b7	RCVEN7	セパレートバス用リカバリサイクル挿入許可7ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b8	RCVENM0	マルチプレクスバス用リカバリサイクル挿入許可0ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b9	RCVENM1	マルチプレクスバス用リカバリサイクル挿入許可1ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b10	RCVENM2	マルチプレクスバス用リカバリサイクル挿入許可2ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b11	RCVENM3	マルチプレクスバス用リカバリサイクル挿入許可3ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b12	RCVENM4	マルチプレクスバス用リカバリサイクル挿入許可4ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b13	RCVENM5	マルチプレクスバス用リカバリサイクル挿入許可5ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b14	RCVENM6	マルチプレクスバス用リカバリサイクル挿入許可6ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W
b15	RCVENM7	マルチプレクスバス用リカバリサイクル挿入許可7ビット	0 : リカバリサイクルの挿入を禁止 1 : リカバリサイクルの挿入を許可	R/W

CSRECEN レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

RCVEN0 ビット (セパレートバス用リカバリサイクル挿入許可 0 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN1 ビット (セパレートバス用リカバリサイクル挿入許可 1 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN2 ビット (セパレートバス用リカバリサイクル挿入許可 2 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN3 ビット (セパレートバス用リカバリサイクル挿入許可 3 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN4 ビット (セパレートバス用リカバリサイクル挿入許可 4 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN5 ビット (セパレートバス用リカバリサイクル挿入許可 5 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN6 ビット (セパレートバス用リカバリサイクル挿入許可 6 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN7 ビット (セパレートバス用リカバリサイクル挿入許可 7 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM0 ビット (マルチプレクスバス用リカバリサイクル挿入許可 0 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM1 ビット (マルチプレクスバス用リカバリサイクル挿入許可 1 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM2 ビット (マルチプレクスバス用リカバリサイクル挿入許可 2 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM3 ビット (マルチプレクスバス用リカバリサイクル挿入許可 3 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM4 ビット (マルチプレクスパス用リカバリサイクル挿入許可 4 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM5 ビット (マルチプレクスパス用リカバリサイクル挿入許可 5 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM6 ビット (マルチプレクスパス用リカバリサイクル挿入許可 6 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM7 ビット (マルチプレクスパス用リカバリサイクル挿入許可 7 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

表 16.7 リカバリサイクルの挿入

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入	対応ビット (セパレート/マルチプレクス)
リードアクセス後のリードアクセス	同じ領域	RRCV[3:0]ビット設定サイクル数が挿入	RCVEN0/RCVENM0
	異なる領域	RRCV[3:0]ビット設定サイクル数が挿入	RCVEN1/RCVENM1
リードアクセス後のライトアクセス	同じ領域	RRCV[3:0]ビット設定サイクル数が挿入	RCVEN2/RCVENM2
	異なる領域	RRCV[3:0]ビット設定サイクル数が挿入	RCVEN3/RCVENM3
ライトアクセス後のリードアクセス	同じ領域	WRCV[3:0]ビット設定サイクル数が挿入	RCVEN4/RCVENM4
	異なる領域	WRCV[3:0]ビット設定サイクル数が挿入	RCVEN5/RCVENM5
ライトアクセス後のライトアクセス	同じ領域	WRCV[3:0]ビット設定サイクル数が挿入	RCVEN6/RCVENM6
	異なる領域	WRCV[3:0]ビット設定サイクル数が挿入	RCVEN7/RCVENM7

16.3.4 CSn モードレジスタ (CSnMOD) (n = 0 ~ 3)

アドレス CS0MOD 0008 3002h、CS1MOD 0008 3012h、CS2MOD 0008 3022h、CS3MOD 0008 3032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRMOD	ライトアクセスモード選択ビット	0 : バイトストローブモード 1 : 1ライトストローブモード	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EWENB	外部ウェイト許可ビット	0 : 外部ウェイト禁止 1 : 外部ウェイト許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRENB	ページリードアクセス許可ビット	0 : ページリードアクセス禁止 1 : ページリードアクセス許可	R/W
b9	PWENB	ページライトアクセス許可ビット	0 : ページライトアクセス禁止 1 : ページライトアクセス許可	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	PRMOD	ページリードアクセスモード選択ビット	0 : ノーマルアクセス互換モード 1 : 外部データリード連続アサートモード	R/W

CSnMOD レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

WRMOD ビット (ライトアクセスモード選択ビット)

ライトアクセス時の動作モードを選択します。

“0”を設定すると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WRn# 信号 (n=0、1) によりデータの書き込みの制御を行います。

“1”を設定すると、1ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn# 信号 (n=0、1) と WR# 信号によりデータの書き込みの制御を行います。ただし、1ライトストローブモード時は、8ビット外部バス幅の設定は禁止です。

表 16.8 ライトアクセスモードの制御信号

モード	端子名			
	WR1#	WR0#/WR#	BC1#	BC0#
ライトアクセスモード				
バイトストローブモード	○	○ (WR0#)	×	×
1ライトストローブモード	×	○ (WR#)	○	○

○ : 有効、× : 無効

EWENB ビット (外部ウェイト許可ビット)

外部ウェイトの許可/禁止を設定します。

“1”を設定すると、外部ウェイト許可となり、WAIT# 信号により各サイクルのウェイト数を任意に制御することが可能になります。この場合、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。

“0”を設定すると、WAIT# 信号は無効となります。

PRENB ビット (ページリードアクセス許可ビット)

ページリードアクセスの許可/禁止を設定します。

注. CSn 制御レジスタのアドレス/データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス/データマルチプレクス I/O インタフェースを選択している場合、ページリードアクセスを許可しないでください。アドレス/データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PWENB ビット (ページライトアクセス許可ビット)

ページライトアクセスの許可/禁止を設定します。

注. CSn 制御レジスタのアドレス/データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス/データマルチプレクス I/O インタフェースを選択している場合、ページライトアクセスを許可しないでください。アドレス/データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PRMOD ビット (ページリードアクセスモード選択ビット)

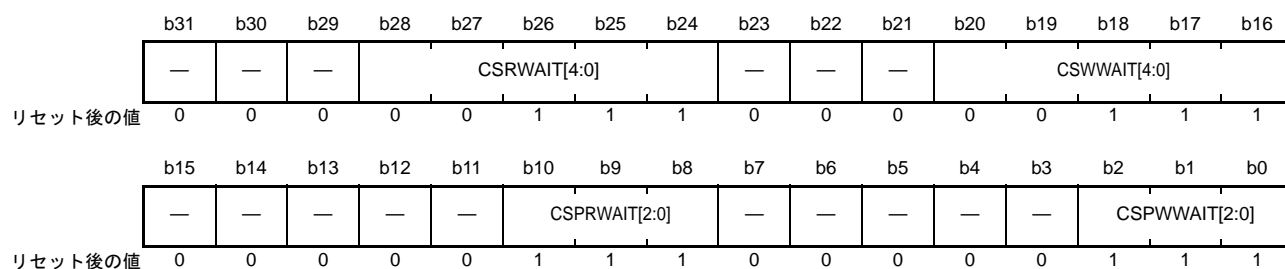
ページリードアクセス時の動作モードを選択します。

“0”を設定すると、ノーマルアクセス互換モードになります。このとき、1つのデータをリードするごとに RD# 信号がネゲートされ、RD アサートウェイトが挿入されます。ただし、RD アサートウェイトが 0 の場合は、外部バスアクセスの最後の転送以外 RD# 信号はネゲートされません。

“1”を設定すると、外部データリード連続アサートモードになります。このとき、RD アサートウェイトは挿入されますが、その間 RD# 信号がアサートされ続けます。

16.3.5 CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ~ 3)

アドレス CS0WCR1 0008 3004h, CS1WCR1 0008 3014h, CS2WCR1 0008 3024h, CS3WCR1 0008 3034h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CSPWWAIT[2:0]	ページライトサイクルウェイト選択ビット (注1)	b2 b0 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CSPRWAIT[2:0]	ページリードサイクルウェイト選択ビット (注2)	b10 b8 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b20-b16	CSWWAIT[4:0]	ノーマルライトサイクルウェイト 選択ビット	b20 b16 0 0 0 0 0 : ウェイトを挿入しない 0 0 0 0 1 : ウェイトを1サイクル挿入 0 0 0 1 0 : ウェイトを2サイクル挿入 0 0 0 1 1 : ウェイトを3サイクル挿入 0 0 1 0 0 : ウェイトを4サイクル挿入 0 0 1 0 1 : ウェイトを5サイクル挿入 0 0 1 1 0 : ウェイトを6サイクル挿入 0 0 1 1 1 : ウェイトを7サイクル挿入 0 1 0 0 0 : ウェイトを8サイクル挿入 0 1 0 0 1 : ウェイトを9サイクル挿入 0 1 0 1 0 : ウェイトを10サイクル挿入 0 1 0 1 1 : ウェイトを11サイクル挿入 0 1 1 0 0 : ウェイトを12サイクル挿入 0 1 1 0 1 : ウェイトを13サイクル挿入 0 1 1 1 0 : ウェイトを14サイクル挿入 0 1 1 1 1 : ウェイトを15サイクル挿入 1 0 0 0 0 : ウェイトを16サイクル挿入 1 0 0 0 1 : ウェイトを17サイクル挿入 1 0 0 1 0 : ウェイトを18サイクル挿入 1 0 0 1 1 : ウェイトを19サイクル挿入 1 0 1 0 0 : ウェイトを20サイクル挿入 1 0 1 0 1 : ウェイトを21サイクル挿入 1 0 1 1 0 : ウェイトを22サイクル挿入 1 0 1 1 1 : ウェイトを23サイクル挿入 1 1 0 0 0 : ウェイトを24サイクル挿入 1 1 0 0 1 : ウェイトを25サイクル挿入 1 1 0 1 0 : ウェイトを26サイクル挿入 1 1 0 1 1 : ウェイトを27サイクル挿入 1 1 1 0 0 : ウェイトを28サイクル挿入 1 1 1 0 1 : ウェイトを29サイクル挿入 1 1 1 1 0 : ウェイトを30サイクル挿入 1 1 1 1 1 : ウェイトを31サイクル挿入	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28-b24	CSRWAIT[4:0]	ノーマルリードサイクルウェイト 選択ビット	b28 b24 0 0 0 0 0 : ウェイトを挿入しない 0 0 0 0 1 : ウェイトを1サイクル挿入 0 0 0 1 0 : ウェイトを2サイクル挿入 0 0 0 1 1 : ウェイトを3サイクル挿入 0 0 1 0 0 : ウェイトを4サイクル挿入 0 0 1 0 1 : ウェイトを5サイクル挿入 0 0 1 1 0 : ウェイトを6サイクル挿入 0 0 1 1 1 : ウェイトを7サイクル挿入 0 1 0 0 0 : ウェイトを8サイクル挿入 0 1 0 0 1 : ウェイトを9サイクル挿入 0 1 0 1 0 : ウェイトを10サイクル挿入 0 1 0 1 1 : ウェイトを11サイクル挿入 0 1 1 0 0 : ウェイトを12サイクル挿入 0 1 1 0 1 : ウェイトを13サイクル挿入 0 1 1 1 0 : ウェイトを14サイクル挿入 0 1 1 1 1 : ウェイトを15サイクル挿入 1 0 0 0 0 : ウェイトを16サイクル挿入 1 0 0 0 1 : ウェイトを17サイクル挿入 1 0 0 1 0 : ウェイトを18サイクル挿入 1 0 0 1 1 : ウェイトを19サイクル挿入 1 0 1 0 0 : ウェイトを20サイクル挿入 1 0 1 0 1 : ウェイトを21サイクル挿入 1 0 1 1 0 : ウェイトを22サイクル挿入 1 0 1 1 1 : ウェイトを23サイクル挿入 1 1 0 0 0 : ウェイトを24サイクル挿入 1 1 0 0 1 : ウェイトを25サイクル挿入 1 1 0 1 0 : ウェイトを26サイクル挿入 1 1 0 1 1 : ウェイトを27サイクル挿入 1 1 1 0 0 : ウェイトを28サイクル挿入 1 1 1 0 1 : ウェイトを29サイクル挿入 1 1 1 1 0 : ウェイトを30サイクル挿入 1 1 1 1 1 : ウェイトを31サイクル挿入	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CSPWWAIT[2:0]ビットの設定値は、CSnMOD.PWENBビットが“1”の場合のみ有効となります。

注2. CSPRWAIT[2:0]ビットの設定値は、CSnMOD.PRENBビットが“1”の場合のみ有効となります。

CSnWCR1 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「16.5.7 制約事項 (1) セパレートバスインタフェースの場合の制約事項」あるいは、「16.5.7 制約事項 (2) アドレス/データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。

CSPWAIT[2:0] ビット (ページライトサイクルウェイト選択ビット)

ページライトサイクルの2サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPWAIT[2:0] ビットの設定は、CSnMOD.PWENB ビットが“1”のとき有効になります。

注. $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ 、
また $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ と
なるように設定してください。

CSPRWAIT[2:0] ビット (ページリードサイクルウェイト選択ビット)

ページリードサイクルの2サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPRWAIT[2:0] ビットの設定は、CSnMOD.PRENB ビットが“1”のとき有効になります。

注. $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPRWAIT}[2:0] \text{ ビット}$ となるよ
うに設定してください。

CSWWAIT[4:0] ビット (ノーマルライトサイクルウェイト選択ビット)

ノーマルライトサイクルおよびページライトサイクルの最初のアクセスに挿入するサイクル数を設定します。

注. $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[2:0] \text{ ビット}$ 、ま
た $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[2:0] \text{ ビット}$ となる
ように設定してください。

CSRWAIT[4:0] ビット (ノーマルリードサイクルウェイト選択ビット)

ノーマルリードサイクルおよびページリードサイクルの最初のアクセスに挿入するサイクル数を設定します。

注. $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSRWAIT}[4:0] \text{ ビット}$ となるよ
うに設定してください。

16.3.6 CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ~ 3)

アドレス CS0WCR2 0008 3008h、CS1WCR2 0008 3018h、CS2WCR2 0008 3028h、CS3WCR2 0008 3038h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	AWAIT[1:0]		—	WDOFF[2:0]			—	CSWOFF[2:0]			—	CSROFF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSROFF[2:0]	リード時CS延長サイクル選択ビット	b2 b0 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	CSWOFF[2:0]	ライト時CS延長サイクル選択ビット	b6 b4 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット	b10 b8 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	AWAIT[1:0]	アドレスサイクルウェイト選択ビット	b13 b12 0 0: ウェイトを挿入しない 0 1: ウェイトを1サイクル挿入 1 0: ウェイトを2サイクル挿入 1 1: ウェイトを3サイクル挿入	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RDON[2:0]	RDアサートウェイト選択ビット	b18 b16 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b20	WRON[2:0]	WRアサートウェイト選択ビット	b22 b20 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット	b26 b24 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	CSON[2:0]	CSアサートウェイト選択ビット	b30 b28 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnWCR2 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「16.5.7 制約事項 (1) セパレートバスインタフェースの場合の制約事項」あるいは、「16.5.7 制約事項 (2) アドレス / データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。

CSROFF[2:0] ビット (リード時 CS 延長サイクル選択ビット)

リードアクセス時のウェイトサイクル終了時 (RD# 信号のネゲート時) から CSn# 信号 (n=0~3) をネゲートするまでのサイクル数を設定します。

CSWOFF[2:0] ビット (ライト時 CS 延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n=0, 1) のネゲート時) から CSn# 信号 (n=0~3) をネゲートするまでのサイクル数を設定します。

注. WDOFF[2:0] ビット ≤ CSWOFF[2:0] ビットとなるように設定してください。

WDOFF[2:0] ビット (ライトデータ出力延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 n=0, 1) のネゲート時) からライトデータ出力を終了するまでのサイクル数を設定します。

注. WDOFF[2:0] ビット ≤ CSWOFF[2:0] ビットとなるように設定してください。

AWAIT[1:0] ビット (アドレスサイクルウェイト選択ビット)

アドレス/データマルチプレクス I/O インタフェースのアドレス出力サイクルにウェイトサイクルを挿入します。

- 注. CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.AWAIT[1:0] ビット
 リードアクセス時、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSRWAIT[4:0] ビット
 ライトアクセス時、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット
 また、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビット
 となるように設定してください。

RDON[2:0] ビット (RD アサートウェイト選択ビット)

RD# 信号のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット
 \leq CSnWCR1.CSRWAIT[4:0] ビット
 ページリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット
 \leq CSnWCR1.CSPRWAIT[4:0] ビット
 となるように設定してください。
- 注. アドレス/データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.RDON[2:0] ビット \leq CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。

WRON[2:0] ビット (WR アサートウェイト選択ビット)

WRn# 信号 (n = 0, 1) のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット
 \leq CSnWCR1.CSWWAIT[4:0] ビット、また、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット
 \leq CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWWAIT[2:0] ビット、また、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット
 \leq CSnWCR1.CSPWWAIT[2:0] ビット
 となるように設定してください。
- 注. アドレス/データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.WRON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

WDON[2:0] ビット (ライトデータ出力ウェイト選択ビット)

ライトデータ出力の前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット
 \leq CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWWAIT[2:0] ビット
 となるように設定してください。
- 注. アドレス/データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.WDON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

CSON[2:0] ビット (CS アサートウェイト選択ビット)

C_n# 信号 (n = 0 ~ 3) のアサート前に挿入するウェイトサイクル数を設定します。

- 注 . ノーマルリードアクセス時、C_nWCR2.CSON[2:0] ビット ≤ C_nWCR2.RDON[2:0] ビット
≤ C_nWCR1.CSRWAIT[4:0] ビット
ページリードアクセス時、C_nWCR2.CSON[2:0] ビット ≤ C_nWCR2.RDON[2:0] ビット
≤ C_nWCR1.CSPRWAIT[4:0] ビット
ノーマルライトアクセス時、C_nWCR2.CSON[2:0] ビット ≤ C_nWCR2.WRON[2:0] ビット
≤ C_nWCR1.CSWWAIT[4:0] ビット
ページライトアクセス時、C_nWCR2.CSON[2:0] ビット ≤ C_nWCR2.WRON[2:0] ビット
≤ C_nWCR1.CSPWAIT[2:0] ビット
となるように設定してください。
- 注 . アドレス / データマルチプレクス I/O インタフェースの場合、C_nWCR2.CSON[2:0] ビット
≤ C_nWCR2.AWAIT[1:0] ビットとなるように設定してください。

16.3.7 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	STSCLR

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0: 無効 1: バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

16.3.8 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TOEN	IGAEN

リセット後の値 0 0 0 0 0 0 0 0

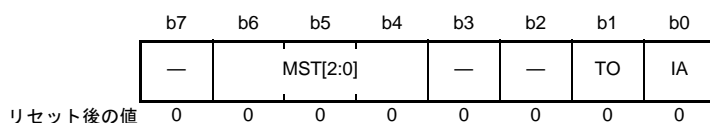
ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0: バスタイムアウト検出禁止 1: バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOENビット=0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中にTOENビットを“0” (検出禁止) にしないようにしてください。

16.3.9 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h



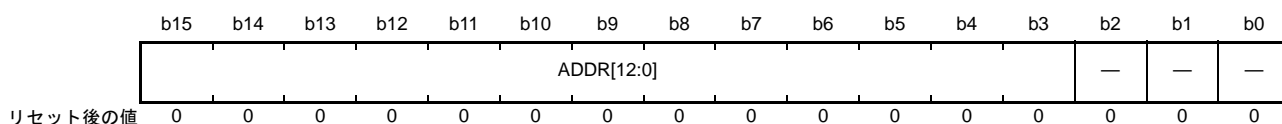
ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0 : 不正アドレスアクセスの発生なし 1 : 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0 : タイムアウトの発生なし 1 : タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC/DMAC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

16.3.10 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット (512Kバイト単位)	R

16.3.11 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	BPEB[1:0]	BPFB[1:0]	BPHB[1:0]	BPGb[1:0]	BPIB[1:0]	BPRO[1:0]	BPRA[1:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス1 (内蔵RAM) プライオリティ制御ビット	b1 b0 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/W (注1)
b3-b2	BPRO[1:0]	メモリバス2 (内蔵ROM) プライオリティ制御ビット	b3 b2 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/W (注1)
b5-b4	BPIB[1:0]	内部周辺バス1プライオリティ制御ビット	b5 b4 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/W (注1)
b7-b6	BPGb[1:0]	内部周辺バス2、3プライオリティ制御ビット	b7 b6 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/W (注1)
b9-b8	BPHB[1:0]	内部周辺バス4プライオリティ制御ビット	b9 b8 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/W (注1)
b11-b10	BPFB[1:0]	内部周辺バス6プライオリティ制御ビット	b11 b10 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/W (注1)
b13-b12	BPEB[1:0]	外部バスプライオリティ制御ビット	b13 b12 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTC、DMACが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス1 (内蔵RAM) プライオリティ制御ビット)

メモリバス1 (内蔵RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > CPUバスとなります。

優先順位トグルの場合は、内部メインバス2とCPUバスとでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス2 (内蔵ROM) プライオリティ制御ビット)

メモリバス2 (内蔵ROM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > CPUバスとなります。

優先順位トグルの場合は、内部メインバス1とCPUバスとでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGB[1:0] ビット (内部周辺バス 2、3 プライオリティ制御ビット)

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPHB[1:0] ビット (内部周辺バス 4 プライオリティ制御ビット)

内部周辺バス 4 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPEB[1:0] ビット (外部バスプライオリティ制御ビット)

外部バスに対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

16.4 エンディアンとデータアライメント

外部バスは、データアライメント機能を持っており、外部アドレス空間（CS領域）をアクセスするときデータバス D15～D8、D7～D0のどれを使用するかを、アクセスする領域のバス仕様（8ビットバス空間、16ビットバス空間）とデータサイズ、およびエンディアンモードによって制御します。

16.4.1 CS領域のデータアライメント制御

(1) 16ビットバス空間

CSnCR.BSIZE[1:0]ビットで16ビットバス空間を選択すると、アドレスバス（A19～A1）が16ビット単位のアドレス出力信号として有効になり、アドレスバス（A0）は無効（Low固定）になります。

バイトストロープモード（CSnMOD.WRMODビット＝“0”）を選択した場合、WR0#、WR1#端子が有効になります。BC0#、BC1#端子は使用しません。

1 ライトストロープモード（CSnMOD.WRMODビット＝“1”）を選択した場合、WR0#端子のみ有効となり、データサイズにかかわらずライトアクセス時にはWR0#端子よりLowが出力されます。このとき、WR1#端子は無効（High固定）になります。有効なバイト位置は、BC0#、BC1#端子により表します。

16ビットバス空間では、32ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが32ビット境界を越えず、かつBC0#、BC1#信号の変化しない転送がページアクセスの対象となります。ページアクセスが発生する場合は図16.6、図16.7に（p）で示します。

16ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#
						RD#	
						データバス	
						D15	D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	[7 0]	
	4n+1	1回	1回目	8bit	4n	[7 0]	
	4n+2	1回	1回目	8bit	4n+2	[7 0]	
	4n+3	1回	1回目	8bit	4n+2	[7 0]	
16bit	4n	1回	1回目	16bit	4n	[15 8 7 0]	
	4n+1	2回	1回目	8bit	4n	[7 0]	
			2回目	8bit	4n+2	[15 8]	
	4n+2	1回	1回目	16bit	4n+2	[15 8 7 0]	
	4n+3	2回	1回目	8bit	4n+2	[7 0]	
			2回目	8bit	4n+4	[15 8]	
32bit	4n	2回	1回目	16bit	4n	[15 8 7 0]	
			2回目	16bit	4n+2 (p)	[31 24 23 16]	
	4n+1	3回	1回目	8bit	4n	[7 0]	
			2回目	16bit	4n+2	[23 16 15 8]	
			3回目	8bit	4n+4	[31 24]	
	4n+2	2回	1回目	16bit	4n+2	[15 8 7 0]	
			2回目	16bit	4n+4	[31 24 23 16]	
	4n+3	3回	1回目	8bit	4n+2	[7 0]	
			2回目	16bit	4n+4	[23 16 15 8]	
			3回目	8bit	4n+6	[31 24]	

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.6 16ビットバス空間のデータアライメント（リトルエンディアン）

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#	
						RD#		データバス
						D15	D8 D7	D0
8bit	4n	1回	1回目	8bit	4n	[7	0]	
	4n+1	1回	1回目	8bit	4n		[7 0]	
	4n+2	1回	1回目	8bit	4n+2	[7	0]	
	4n+3	1回	1回目	8bit	4n+2		[7 0]	
16bit	4n	1回	1回目	16bit	4n	[15	8 7	0]
	4n+1	2回	1回目	8bit	4n		[15 8]	
			2回目	8bit	4n+2	[7	0]	
	4n+2	1回	1回目	16bit	4n+2	[15	8 7	0]
	4n+3	2回	1回目	8bit	4n+2		[15 8]	
			2回目	8bit	4n+4	[7	0]	
32bit	4n	2回	1回目	16bit	4n	[31	24 23	16]
			2回目	16bit	4n+2 (p)	[15	8 7	0]
	4n+1	3回	1回目	8bit	4n		[31 24]	
			2回目	16bit	4n+2	[23	16 15	8]
			3回目	8bit	4n+4	[7	0]	
	4n+2	2回	1回目	16bit	4n+2	[31	24 23	16]
			2回目	16bit	4n+4	[15	8 7	0]
	4n+3	3回	1回目	8bit	4n+2		[31 24]	
			2回目	16bit	4n+4	[23	16 15	8]
			3回目	8bit	4n+6	[7	0]	

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.7 16ビットバス空間のデータアライメント（ビッグエンディアン）

(2) 8ビットバス空間

CSnCR.BSIZE[1:0] ビットで8ビットバス空間を選択すると、アドレスバス (A19 ~ A0) がバイト単位のアドレス信号として有効になります。

8ビットバス空間ではライトアクセスモードの設定にかかわらず、WR0# 端子のみが有効になります。WR0# 端子にはライトアクセス時に Low が出力されます。WR1#、BC0#、BC1# 端子は使用しません。

8ビットバス空間では、16ビット、32ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが32ビット境界を越えない転送がページアクセスの対象となります。ページアクセスが発生する場合を図 16.8、図 16.9 に (p) で示します。

8ビットバス空間では、エンディアンにかかわらずチップの外部データは D7 ~ D0、制御信号は WR0# 信号を使用します。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0#	
						RD#	
						データバス	
						D15	D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	7	0
	4n+1	1回	1回目	8bit	4n+1	7	0
	4n+2	1回	1回目	8bit	4n+2	7	0
	4n+3	1回	1回目	8bit	4n+3	7	0
16bit	4n	2回	1回目	8bit	4n	7	0
			2回目	8bit	4n+1 (p)	15	8
	4n+1	2回	1回目	8bit	4n+1	7	0
			2回目	8bit	4n+2 (p)	15	8
	4n+2	2回	1回目	8bit	4n+2	7	0
			2回目	8bit	4n+3 (p)	15	8
	4n+3	2回	1回目	8bit	4n+3	7	0
			2回目	8bit	4n+4	15	8
32bit	4n	4回	1回目	8bit	4n	7	0
			2回目	8bit	4n+1 (p)	15	8
			3回目	8bit	4n+2 (p)	23	16
			4回目	8bit	4n+3 (p)	31	24
	4n+1	4回	1回目	8bit	4n+1	7	0
			2回目	8bit	4n+2 (p)	15	8
			3回目	8bit	4n+3 (p)	23	16
			4回目	8bit	4n+4	31	24
	4n+2	4回	1回目	8bit	4n+2	7	0
			2回目	8bit	4n+3 (p)	15	8
			3回目	8bit	4n+4	23	16
			4回目	8bit	4n+5 (p)	31	24
	4n+3	4回	1回目	8bit	4n+3	7	0
			2回目	8bit	4n+4	15	8
			3回目	8bit	4n+5 (p)	23	16
			4回目	8bit	4n+6 (p)	31	24

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.8 8ビットバス空間のデータアライメント (リトルエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#
						RD#	
						データバス	
						D15	D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	7	0
	4n+1	1回	1回目	8bit	4n+1	7	0
	4n+2	1回	1回目	8bit	4n+2	7	0
	4n+3	1回	1回目	8bit	4n+3	7	0
16bit	4n	2回	1回目	8bit	4n	15	8
			2回目	8bit	4n+1 (p)	7	0
	4n+1	2回	1回目	8bit	4n+1	15	8
			2回目	8bit	4n+2 (p)	7	0
	4n+2	2回	1回目	8bit	4n+2	15	8
			2回目	8bit	4n+3 (p)	7	0
	4n+3	2回	1回目	8bit	4n+3	15	8
			2回目	8bit	4n+4	7	0
32bit	4n	4回	1回目	8bit	4n	31	24
			2回目	8bit	4n+1 (p)	23	16
			3回目	8bit	4n+2 (p)	15	8
			4回目	8bit	4n+3 (p)	7	0
	4n+1	4回	1回目	8bit	4n+1	31	24
			2回目	8bit	4n+2 (p)	23	16
			3回目	8bit	4n+3 (p)	15	8
			4回目	8bit	4n+4	7	0
	4n+2	4回	1回目	8bit	4n+2	31	24
			2回目	8bit	4n+3 (p)	23	16
			3回目	8bit	4n+4	15	8
			4回目	8bit	4n+5 (p)	7	0
	4n+3	4回	1回目	8bit	4n+3	31	24
			2回目	8bit	4n+4	23	16
			3回目	8bit	4n+5 (p)	15	8
			4回目	8bit	4n+6 (p)	7	0

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.9 8ビットバス空間のデータアライメント（ビッグエンディアン）

16.5 CS 領域コントローラの動作説明

16.5.1 セパレートバス

タイミング図に記載する各サイクルの説明を以下に示します。

CSC (CS 領域コントローラ) は外部バスクロック (BCLK) に同期して動作します。したがって、CSC のレジスタで設定したウェイト数などは、BCLK でカウントされます。以下、特に断らない限り、外部バスクロック (BCLK) と BCLK 端子出力は、同一周波数であるものとします。

外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になります。ただし、外部バスクロック (BCLK) と BCLK 端子出力が異なる周波数の場合で、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合の 2 回目以降の外部バスアクセスの開始は、ウェイト設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります (図 16.15 ~ 図 16.19 参照)。また、直前の外部バスアクセスに対してリカバリサイクルが挿入されている場合にも、リカバリサイクル数の設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります (図 16.37、図 16.39 参照)。

① Tw1 ~ Twn (ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト)

外部バスアクセス開始からストロブ信号有効サイクルの 1 サイクル前までのサイクル期間です。0 ~ 31 サイクルを選択できます。この期間内に CSn#, RD#, WRn# 信号が、ウェイト設定に応じて“Low”アサートされます。アサートするタイミングは、CSn ウェイト制御レジスタ 2 (CSnWCR2) の CS アサートウェイト選択ビット (CSON)、RD アサートウェイト選択ビット (RDON)、WR アサートウェイト選択ビット (WRON)、ライトデータ出力ウェイト選択ビット (WDON) によって制御可能です。各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点に数え、0 ~ 7 サイクルを選択可能です。選択可能なサイクル数は、リード/ライトサイクルウェイトのサイクル数以内です。

② Tend (ストロブ信号有効サイクル)

Tend はノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト期間、あるいはページリードサイクルウェイト、ページライトサイクルウェイト期間が終了した次のサイクルです。ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト、あるいはページリードサイクルウェイト、ページライトサイクルウェイトの各選択ビットが“0”の場合、バスアクセス開始のサイクルがストロブ信号有効サイクルとなります。ストロブ信号有効サイクルの次のサイクルで RD#, WRn# 信号がネゲートされます。リードアクセスの場合は、リードデータのサンプルサイクルとなります。

外部ウェイト許可の場合、ストロブ信号有効サイクル時点でウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長し、ウェイト信号が High になると次のサイクルでバスサイクルを終了します。(Tend) は、ウェイト信号のサンプリングを開始するサイクルを示します。

ページアクセスで 1 回目のストロブ信号有効サイクルの場合、ライトアクセス時のライトデータ出力延長サイクルが設定されている (“0”以外の値) 場合 (④) を除いて、次のサイクル 2 回目以降のページアクセス (⑤) が開始されます。RD アサートウェイト、WR アサートウェイトの設定が“0”以外の場合、次のサイクルで RD#, WRn# 信号がネゲートされます。“0”の場合、アサートが継続されます。また、CSn# 信号はネゲートされず、アサートを継続します。

③ Tn1 ~ Tnm (CS 延長サイクル)

ノーマルアクセスの場合、ストロブ信号有効サイクル (Tend) の次のサイクルから CSn# 信号をネゲートするまでのサイクル期間です。ネゲートするタイミングは、リードアクセス時、CSn ウェイト制御レジスタ 2 (CSnWCR2) のリード時 CS 延長サイクル選択ビット (CSROFF)、ライトアクセス時、ライト時 CS 延長サイクル選択ビット (CSWOFF) により制御可能です。

サイクル数は、ストロブ信号有効サイクルの次のサイクルを起点に数えます。

ページアクセスの場合、最後のストロブ信号有効サイクルから CSn# 信号をネゲートするまでのサイクル期間です。

ライトアクセス時は、ライトデータ出力延長サイクル選択ビット (WDOFF) により、アドレス、出力データが延長されます。

④ Tdw1 ~ Tdwn (ライトデータ出力延長サイクル)

ライトアクセス時、ライトデータ出力延長ウェイトが“0”以外の設定の場合、ライトデータ出力延長サイクルがストロブ信号有効サイクル (Tend) の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル (③) の期間内に挿入されます。

ページアクセスの場合、ストロブ信号有効サイクル (Tend) と後続のページアクセスの間、および CS 延長サイクル (③) の期間内に挿入されます。この期間、アドレス、出力データが延長され、WRn# 信号はネゲートされます。

⑤ Tpw1 ~ TpwN (ページリードサイクルウェイト、ページライトサイクルウェイト)

ページアクセスの2回目以降のバスサイクルについては、ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイトの代わりに、ページリードサイクルウェイト、ページライトサイクルウェイトの値が使用されます。WR アサートウェイトの設定は、1回目のアクセスと同様に有効となります。RD アサートの設定は、ページリードアクセスモード (CSnMOD.PRMOD ビット) の設定により動作が異なります。

CDnMOD.PRMOD ビット = 0 の場合 : 1回目と同様に RD アサートウェイトが挿入され、RD# 信号がネゲートされます。

CDnMOD.PRMOD ビット = 1 の場合 : ノーマルアクセス互換モードと同様に、RD アサートウェイトが挿入されますが、その間、RD# 信号がアサートされ続けます。

⑥ Tr1 ~ Trn (リカバリサイクル)

バスサイクルの終了時点 (CSn# 信号のネゲート時点) からリカバリサイクルの挿入ができます。リカバリサイクル数は、CSn リカバリサイクル設定レジスタ (CSnREC) のリードリカバリ設定ビット (RRCV)、ライトリカバリ設定ビット (WRCV) により制御可能です。各リカバリサイクル数は、バスサイクルの終了時点 (CSn# 信号のネゲート時点) を起点に数え、0 ~ 15 サイクルを選択可能です。リカバリサイクルの詳細は、「16.5.4 リカバリサイクルの挿入」を参照してください。

(1) ノーマルアクセス

CSnMOD.PRENB ビットを“0” (ページリードアクセス禁止)、CSnMOD.PWENB ビットを“0” (ページライトアクセス禁止) に設定した場合、すべてのバスアクセスはノーマルアクセスを行います。

CSnMOD.PRENB ビットを“1” (ページリードアクセス許可)、CSnMOD.PWENB ビットを“1” (ページライトアクセス許可) に設定した場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。

図 16.10 ~ 図 16.12 にノーマルアクセスの動作例を示します。

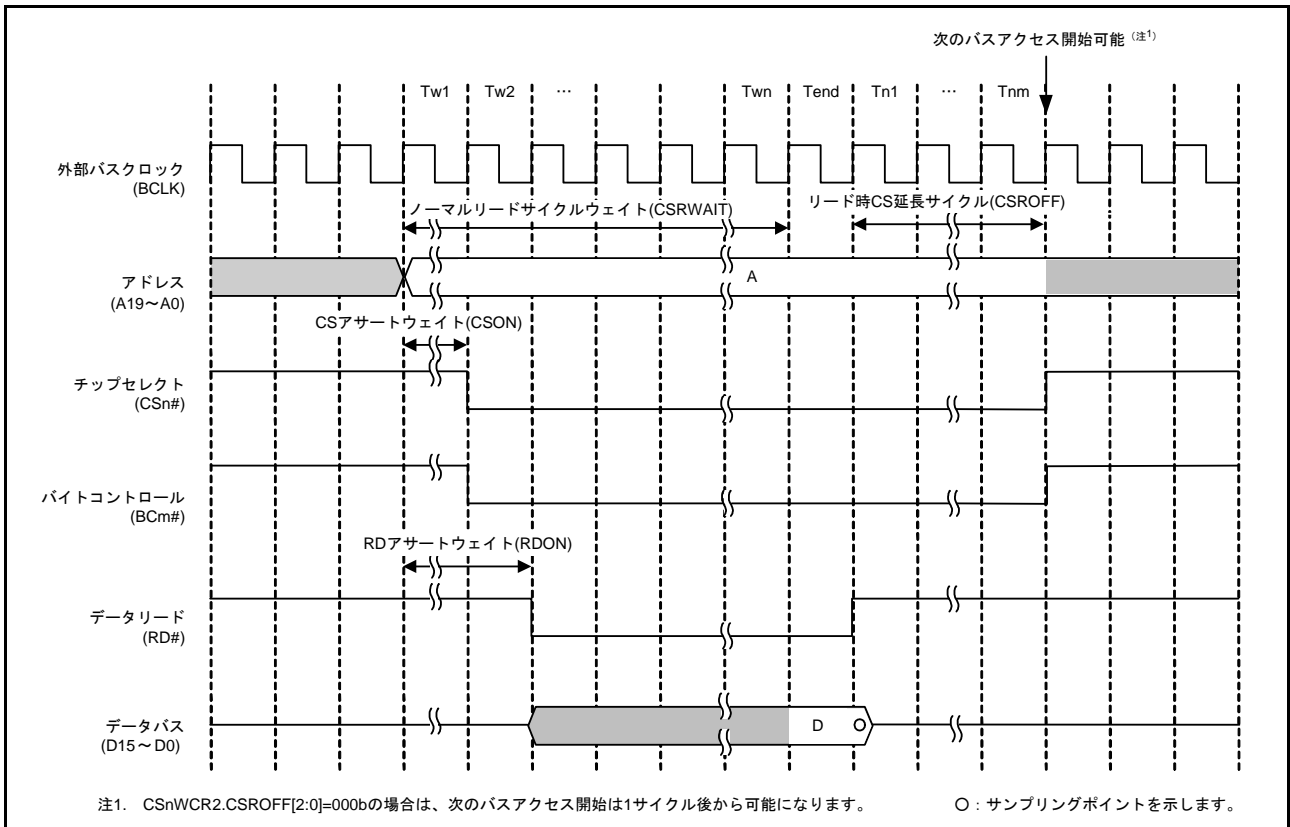


図 16.10 バスタイミング (ノーマルリード) (n=0 ~ 3, m=0、1)

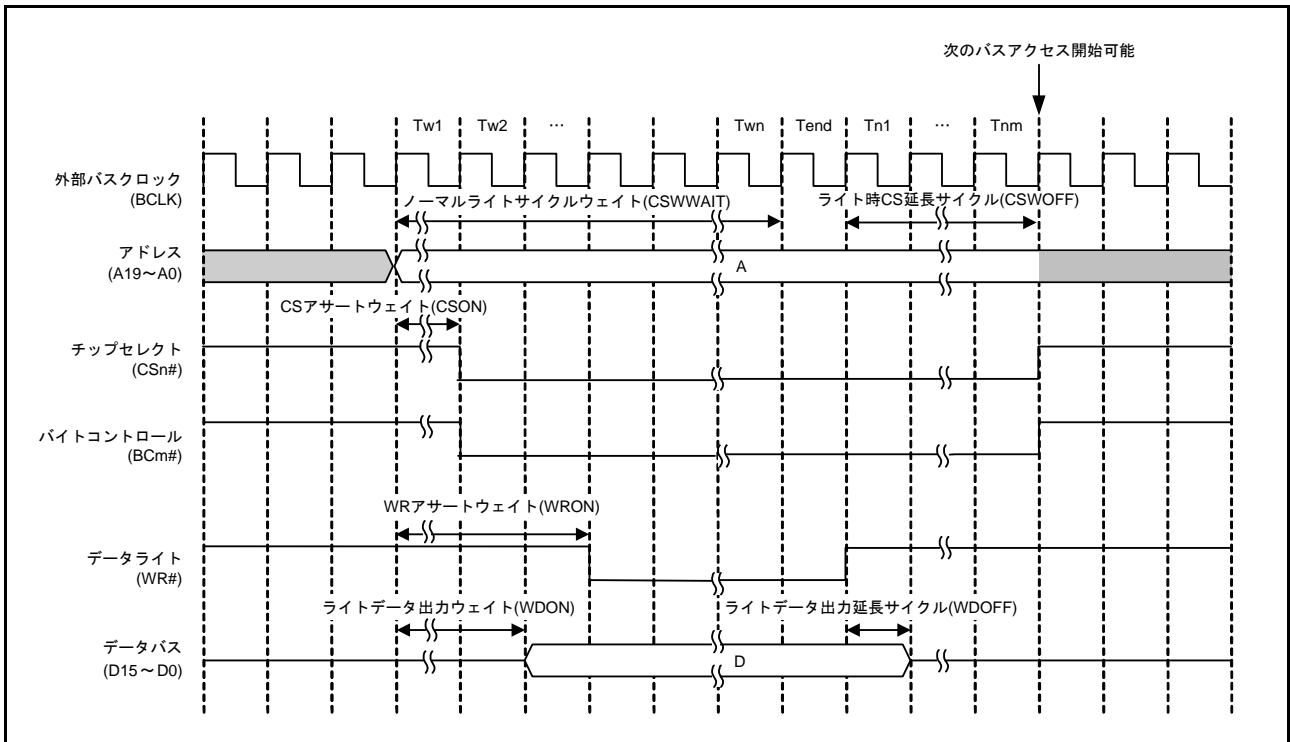


図 16.11 バスタイミング (ノーマルライト、1ライトストロブモード) (n=0 ~ 3, m=0、1)

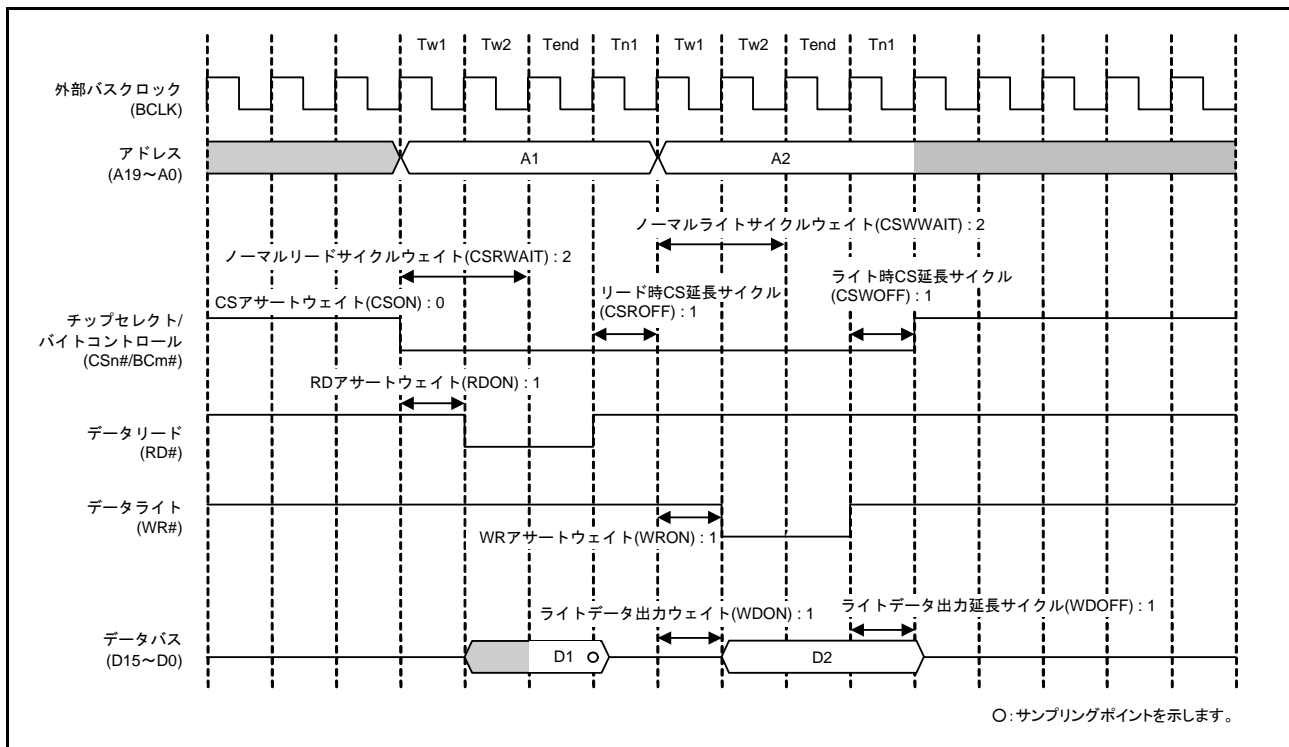


図 16.12 ノーマルアクセスの動作例（リード、ライト）（ $n=0 \sim 3$ 、 $m=0$ 、 1 ）

バスマスタからの1転送要求に対して2回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作（①から④）を繰り返します。図 16.13、図 16.14 に、1転送要求に対して2回バスアクセスが発生する場合の動作例を示します。ただし、リカバリサイクル挿入条件が成り立つ場合は、2回目以降の外部バスアクセスにもリカバリサイクル（⑥）の挿入が行われます（図 16.35 参照）。

各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

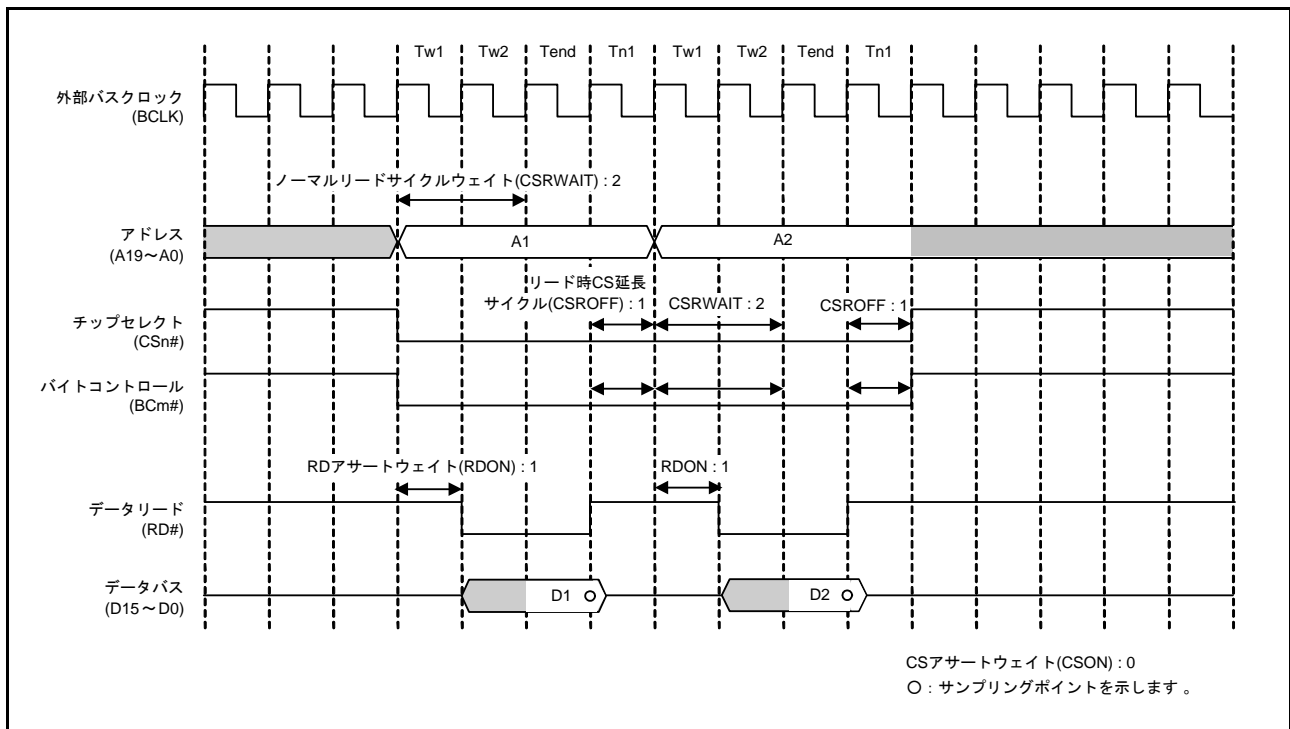


図 16.13 ノーマルリードアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合) (n=0 ~ 3、m=0、1)

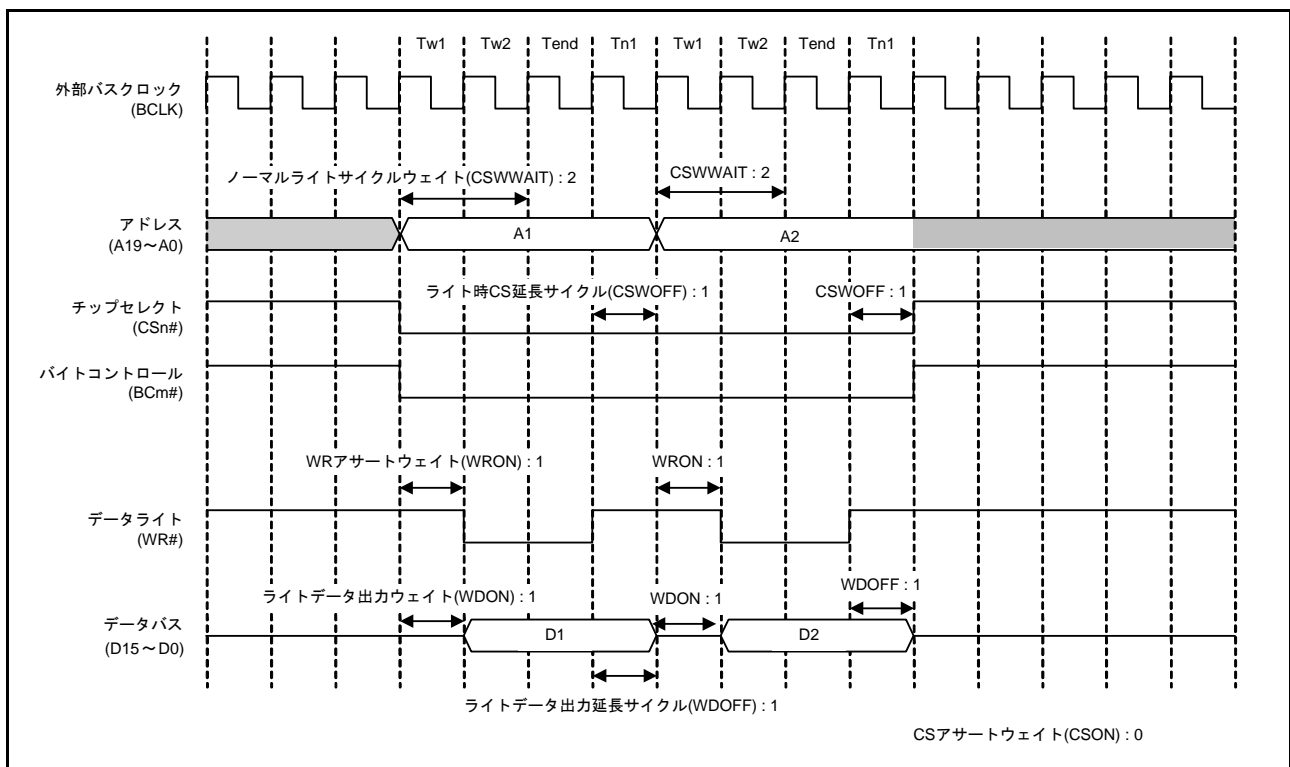


図 16.14 ノーマルライトアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合: 1 ライトストローブモード時) (n=0 ~ 3、m=0、1)

図 16.15 ~ 図 16.19 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

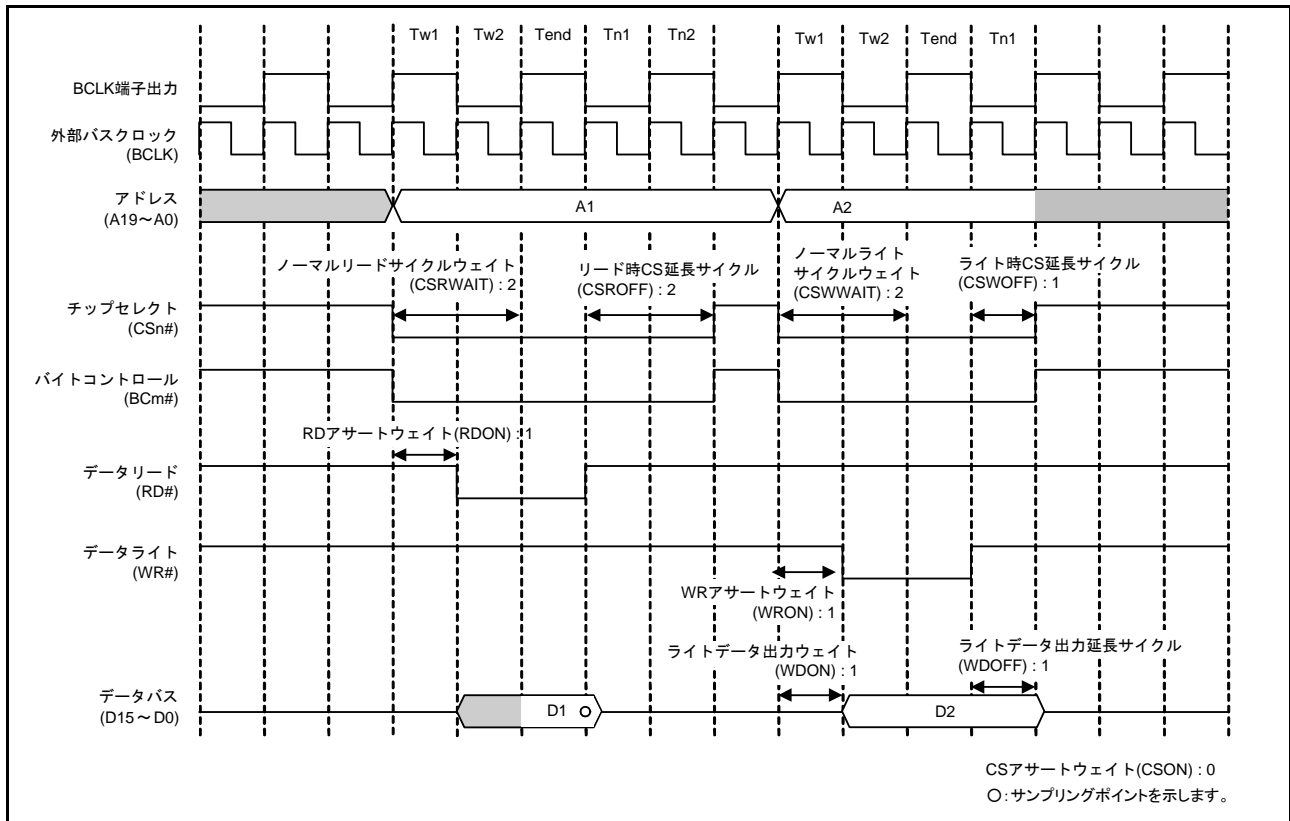


図 16.15 ノーマルアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n=0 ~ 3, m=0, 1)

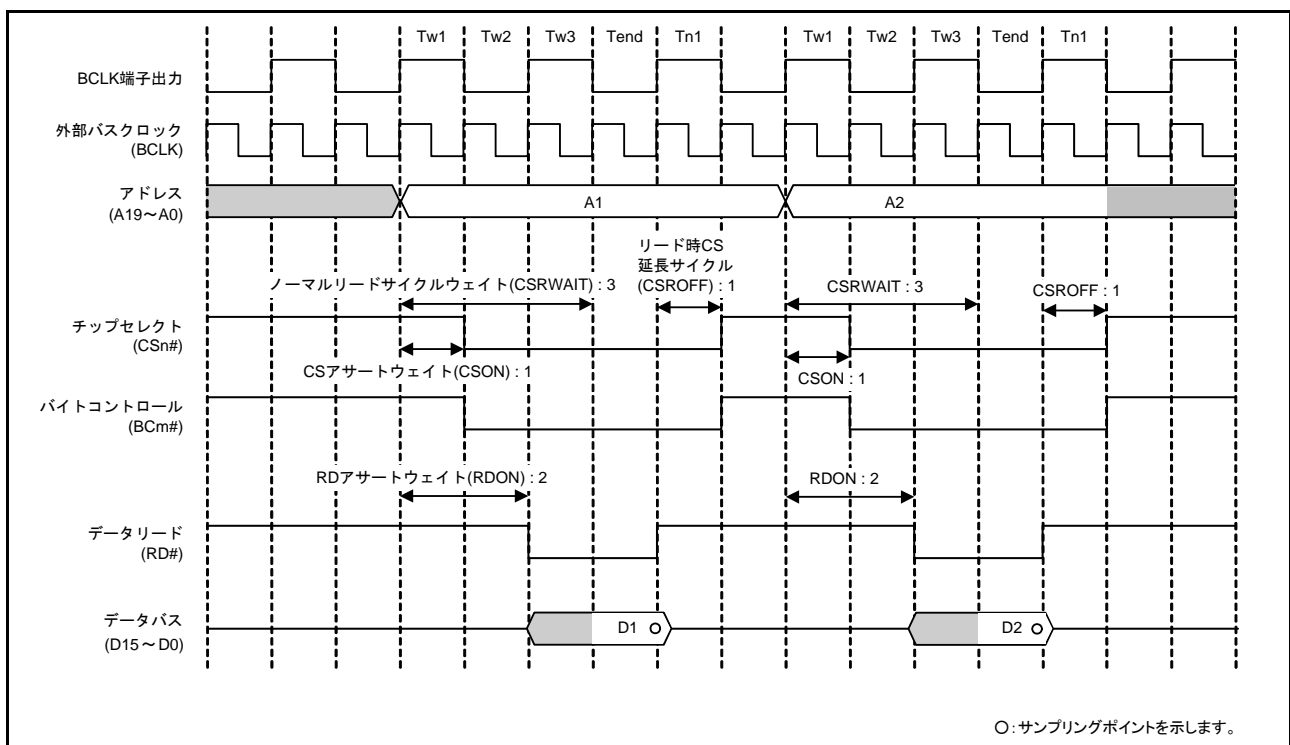


図 16.16 ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n=0 ~ 3, m=0, 1)

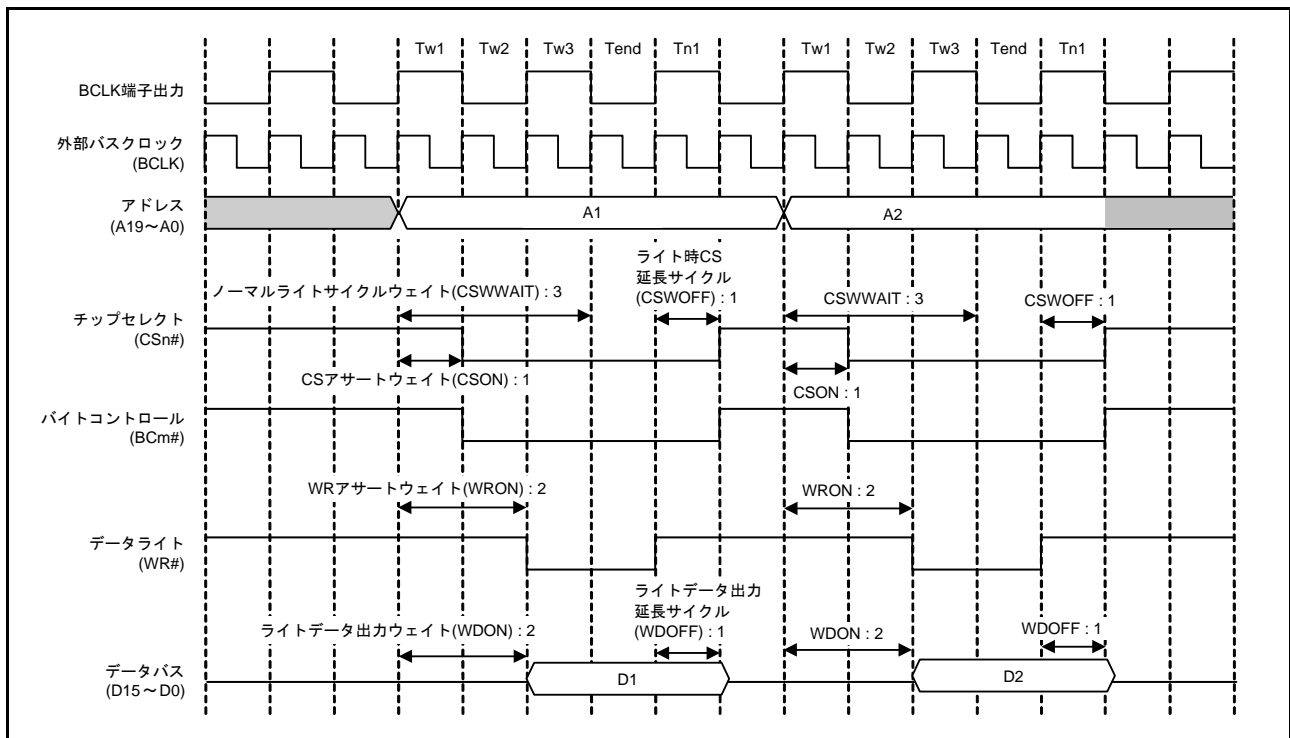


図 16.17 ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n=0 ~ 3、m=0、1)

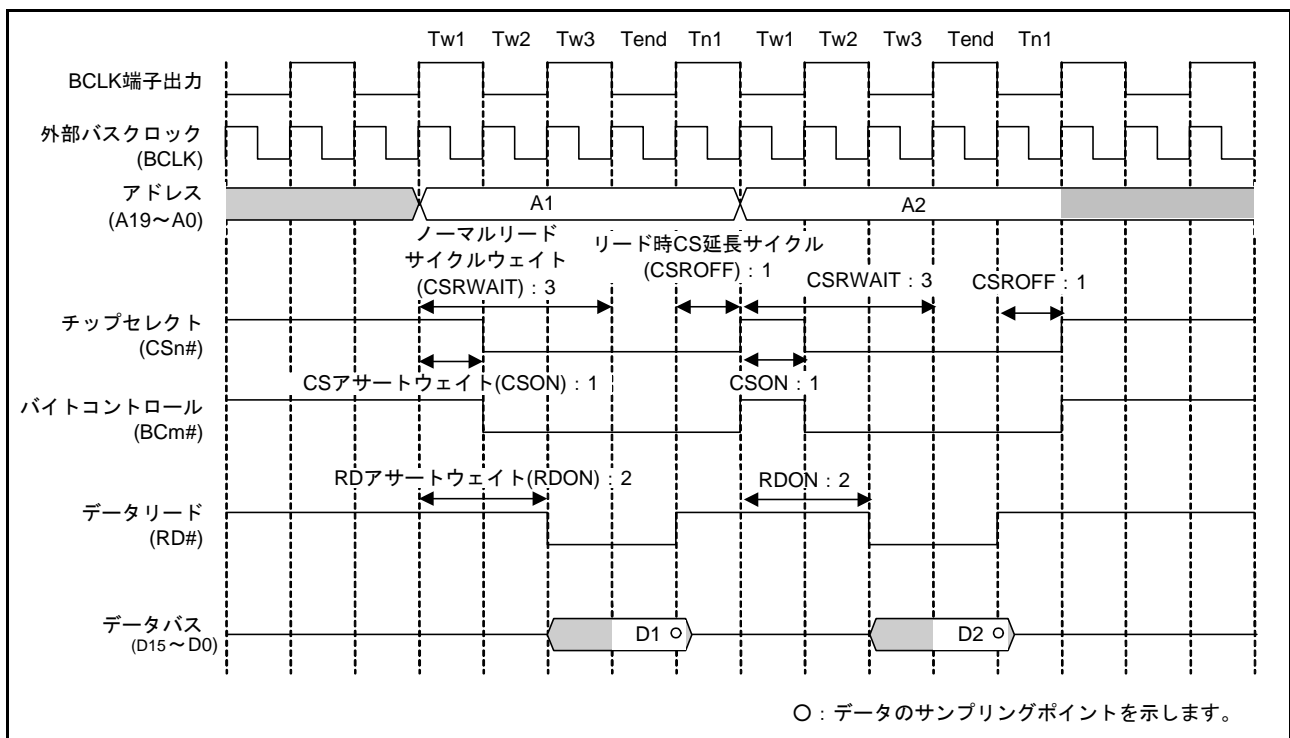


図 16.18 ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n=0 ~ 3、m=0、1)

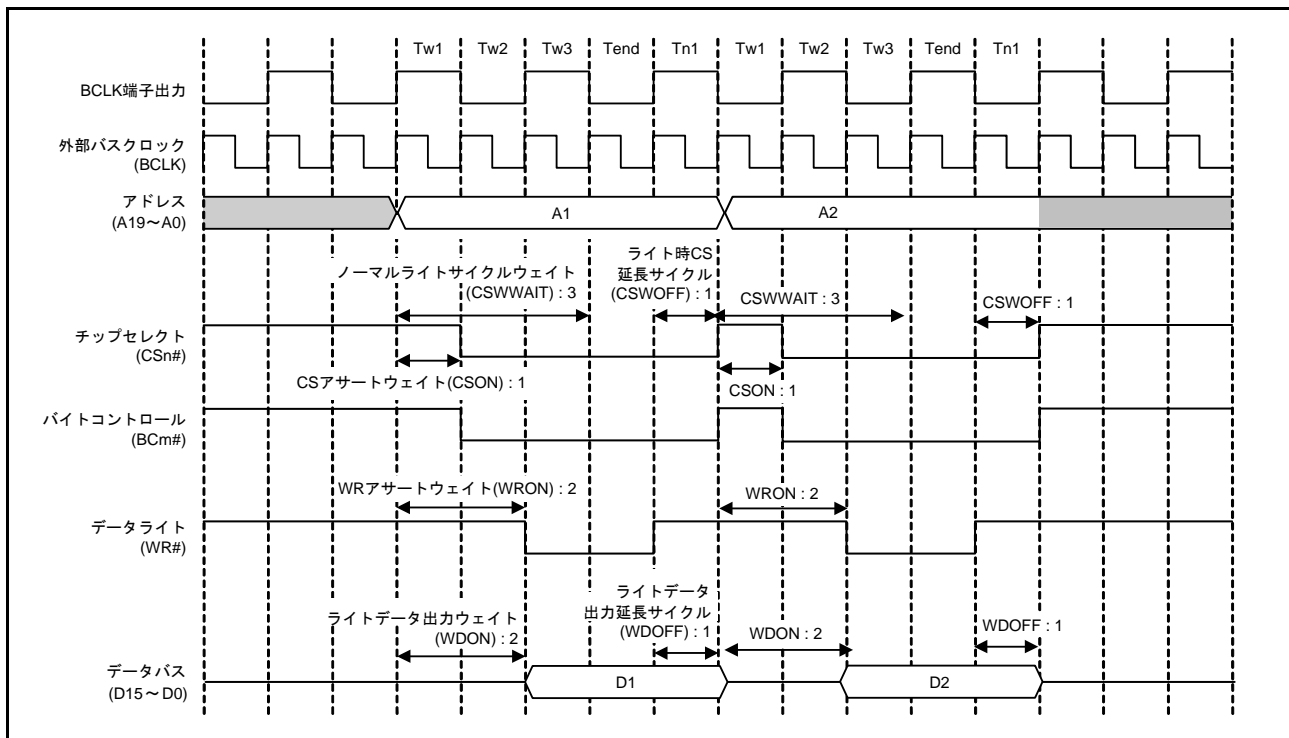


図 16.19 ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) ($n=0 \sim 3$ 、 $m=0$ 、1)

(2) ページアクセス

CsnMOD.PRENB ビットを“1” (ページリードアクセス許可)、CsnMOD.PWENB ビットを“1” (ページライトアクセス許可) に設定した場合、ページアクセスに該当するバスアクセスはページアクセスとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合がページアクセスの対象となります。ただし、分割されたアクセスが非ラインアクセスになる場合、および 32 ビット境界を越えるアクセスの場合、ページアクセスの対象とはならずノーマルアクセスとなります。ページアクセスが発生する条件の詳細は、図 16.6 ~ 図 16.9 を参照してください。

図 16.20、図 16.21 にページアクセスの動作例を示します。

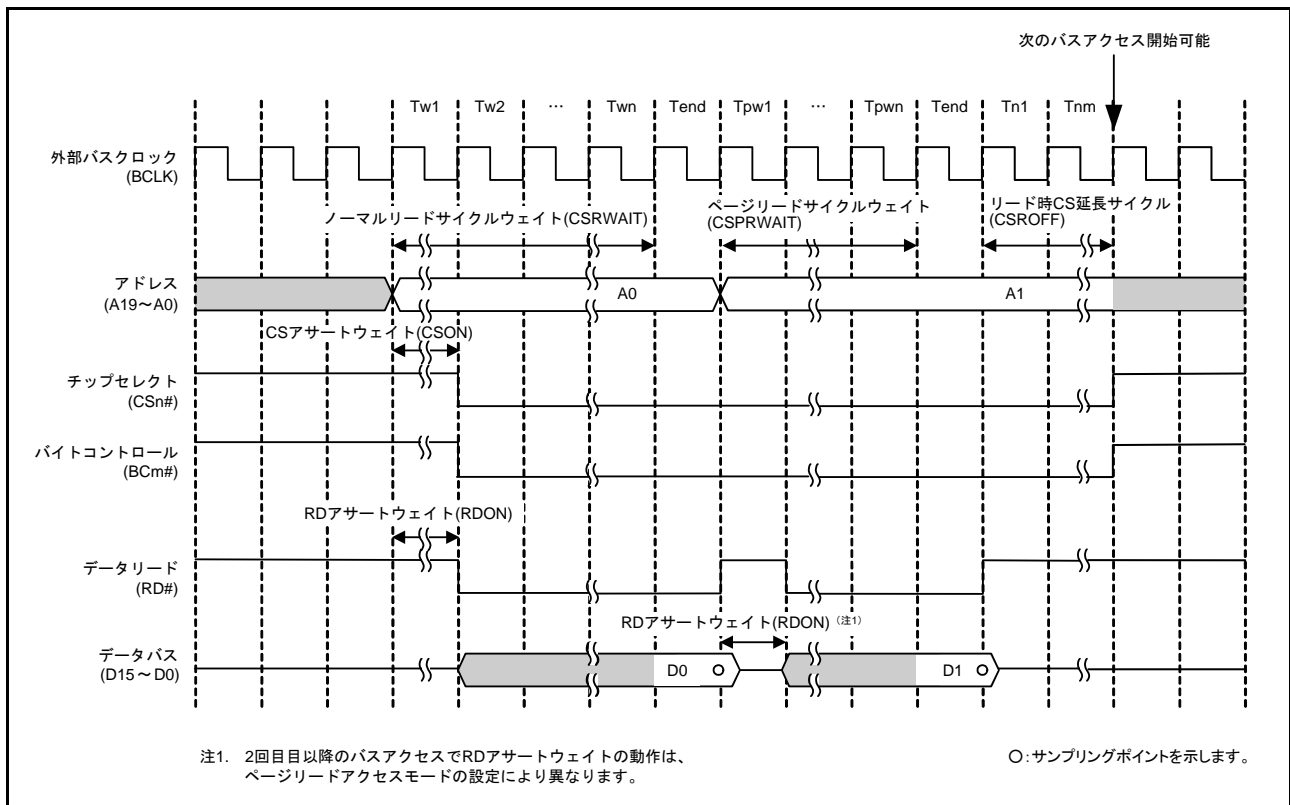


図 16.20 ページリードアクセスタイミング (n=0 ~ 3, m=0, 1)

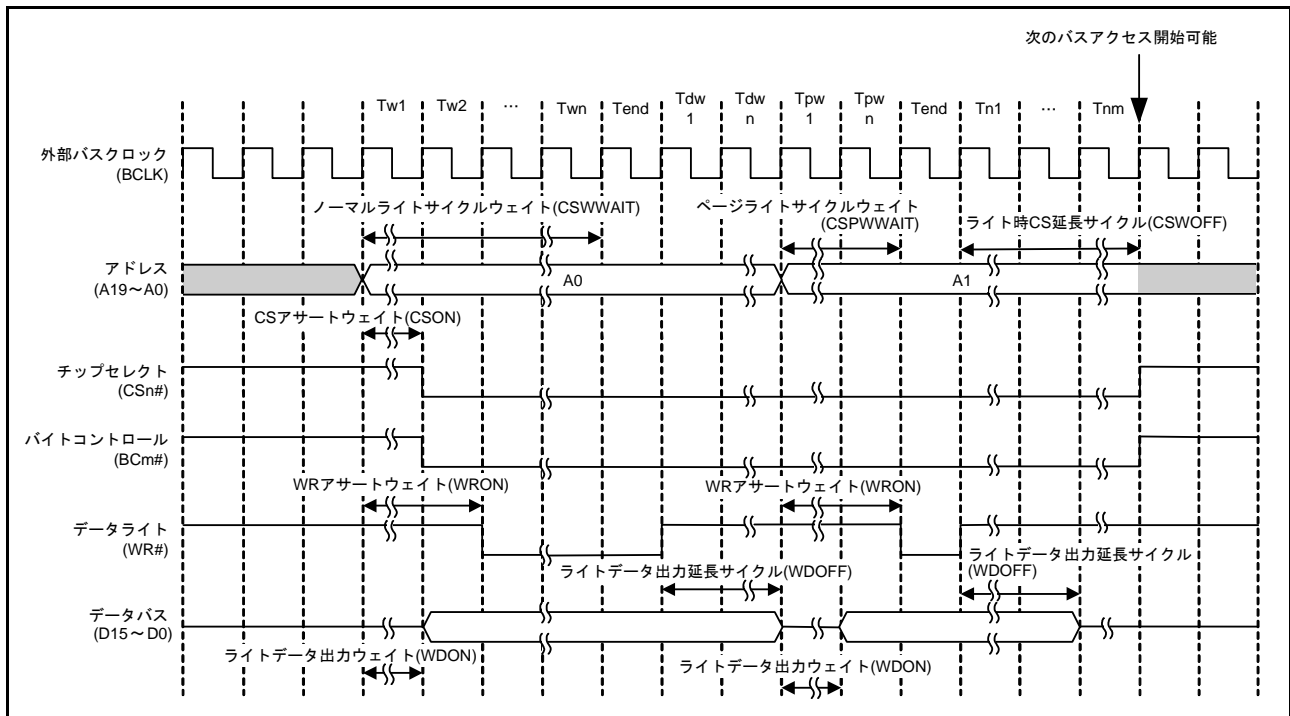


図 16.21 ページライトアクセスタイミング (n=0 ~ 3, m=0, 1)

図 16.22、図 16.23 に 16 ビットバス空間に対して 32 ビットバスアクセスした場合の動作例を示します。各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

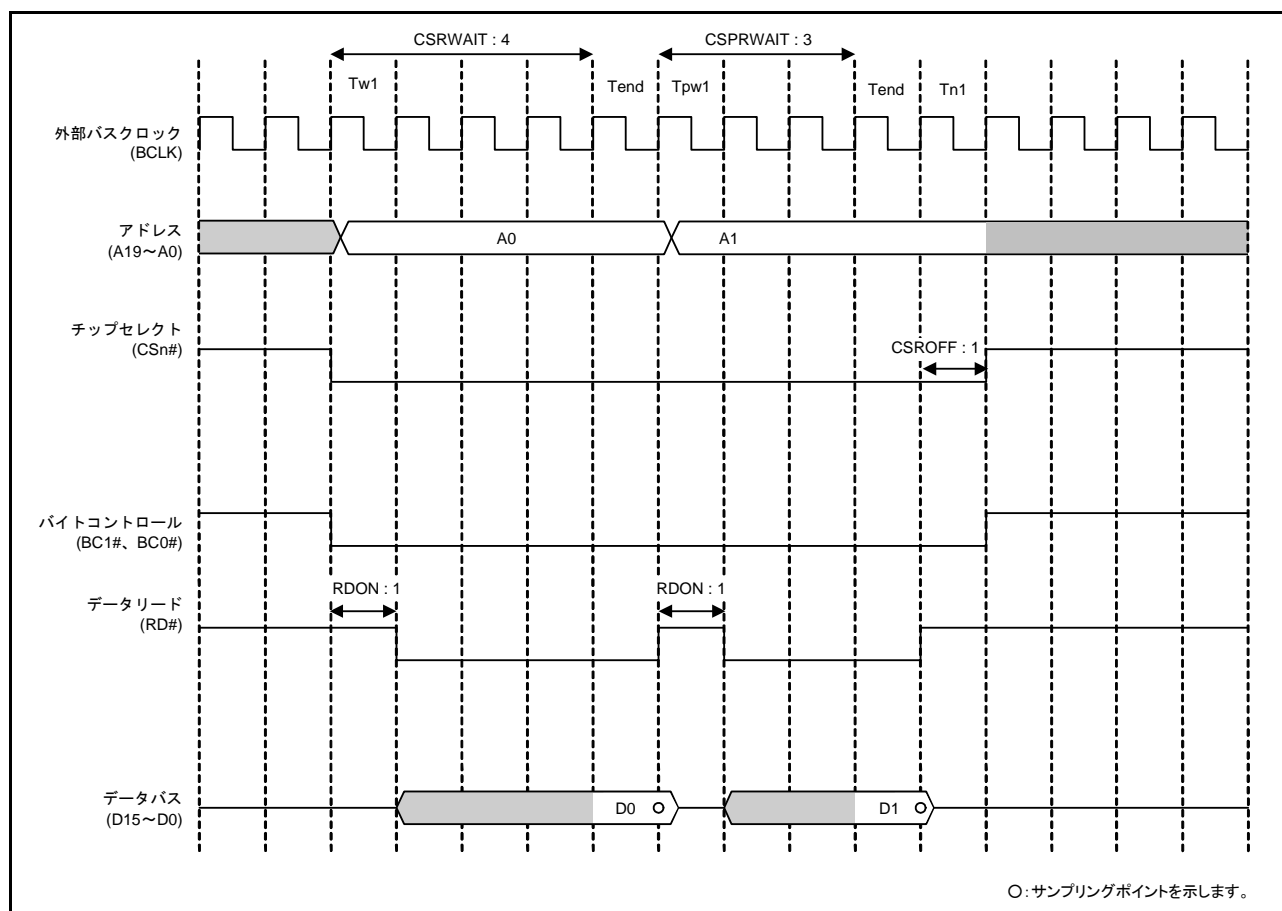


図 16.22 ページリードアクセスの動作例 (16 ビットバス空間に対して 32 ビットアクセスした場合)
($n=0 \sim 3$)

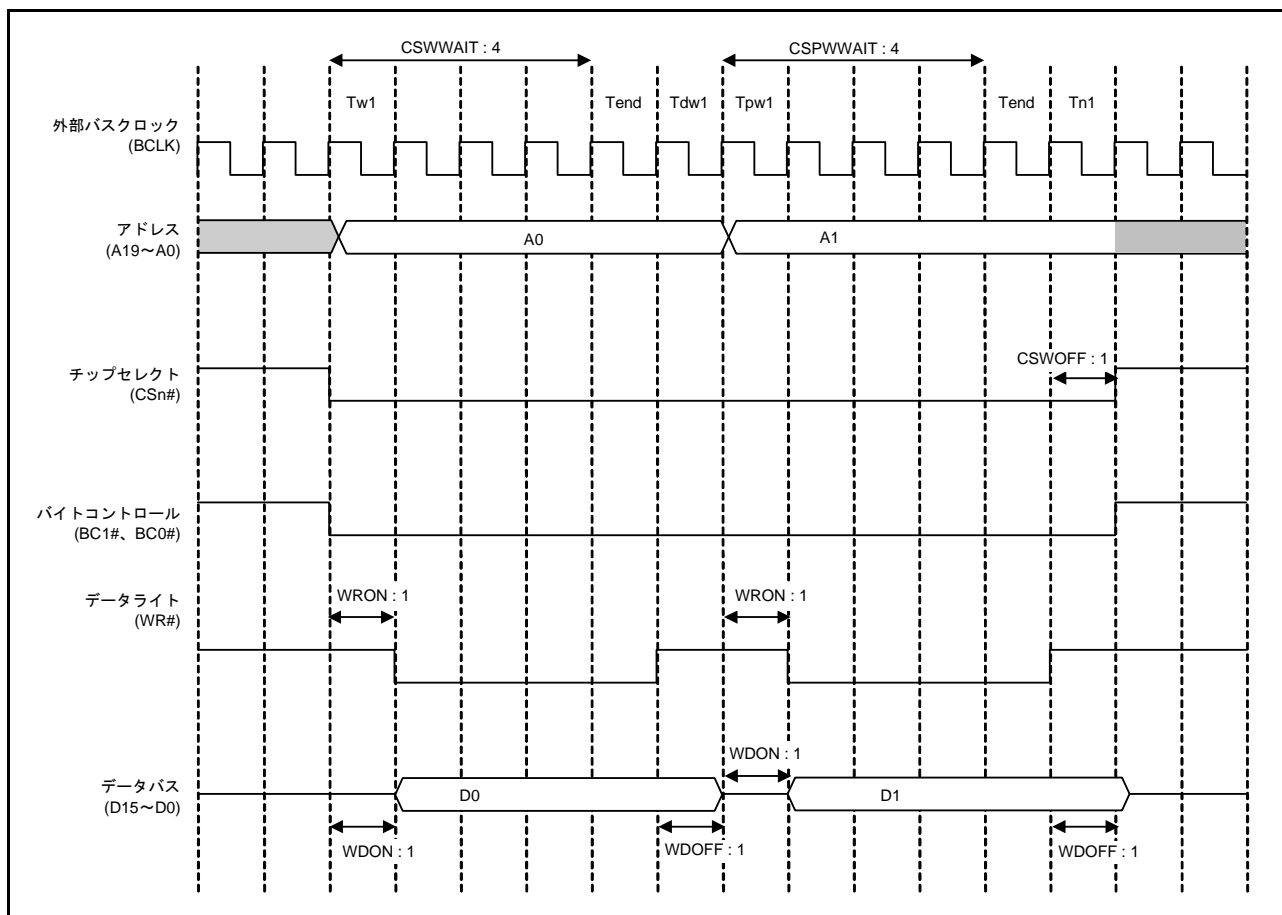


図 16.23 ページライトアクセスの動作例（16ビットバス空間に対して32ビットアクセスした場合：1ライトストロブモード時）（n=0～3）

図 16.24、図 16.25 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

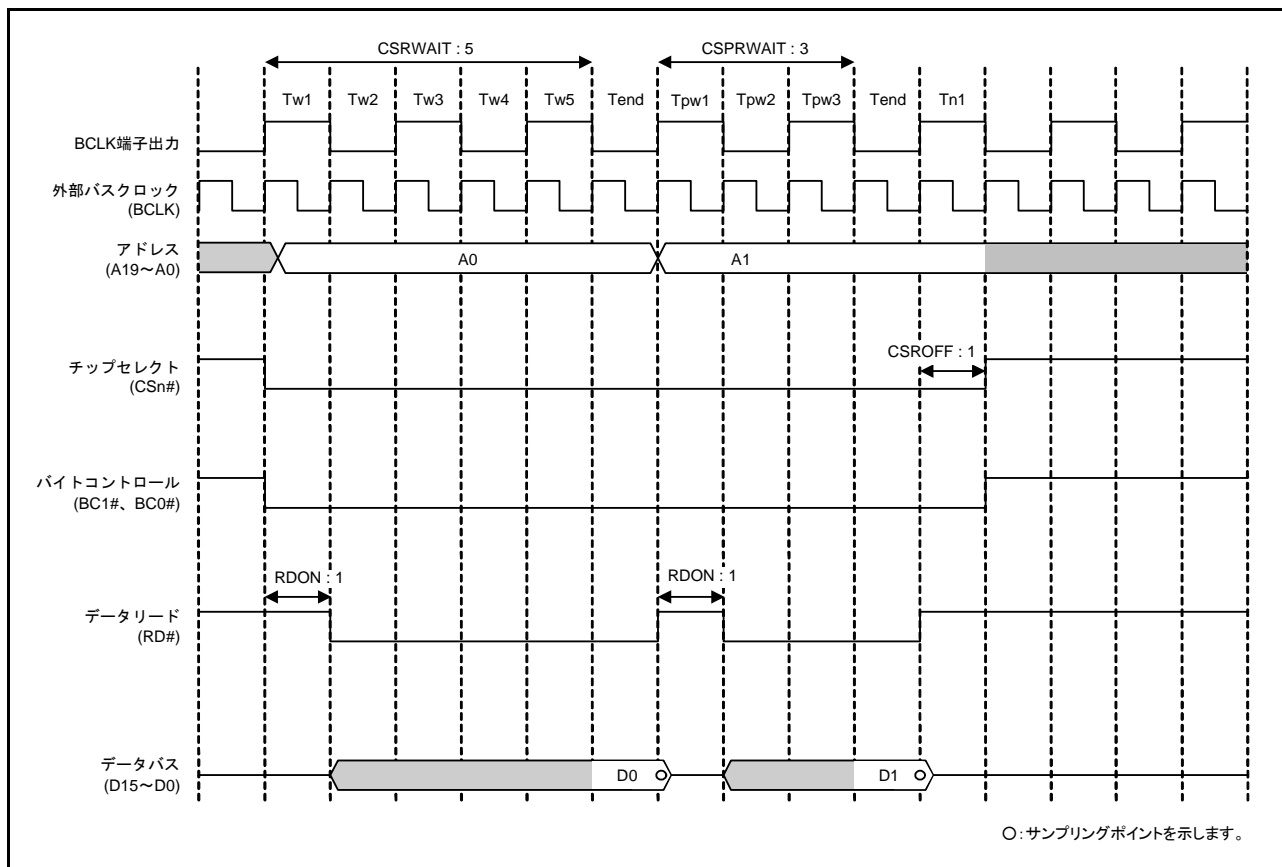


図 16.24 ページリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n=0 ~ 3)

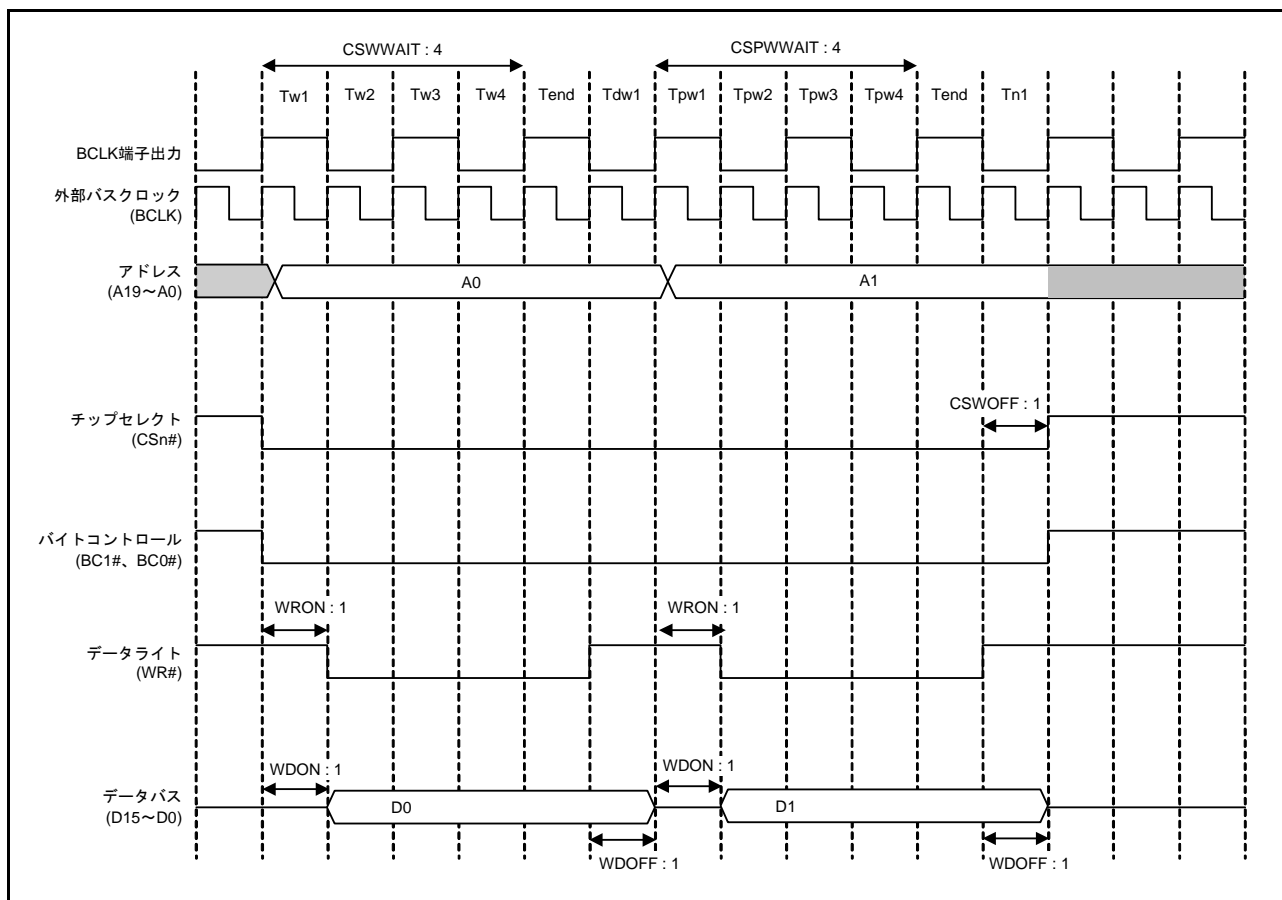


図 16.25 ページライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合: 1 ライトストローブモード時) (n=0 ~ 3)

16.5.2 アドレス / データマルチプレクスバス

CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) を“1”に設定することにより、対応する領域で D15 ~ D0 端子にアドレスとデータをマルチプレクスして入出力する機能を備えています。これにより、アドレス / データマルチプレクスが必要な周辺 LSI を本 LSI に直結できます。CSnCR.BSIZE[1:0] ビットで 8 ビットを選択した領域では、D7 ~ D0 が A7 ~ A0 とマルチプレクスされます。CSnCR.BSIZE[1:0] ビットで 16 ビットを選択した領域では、D15 ~ D0 が A15 ~ A0 とマルチプレクスされます。アドレス / データマルチプレクス I/O 空間では、ALE、RD#、WRn#、BCn# 信号でアクセスが制御されます。セパレートバスと同様、バイトストローブモードと 1 ライトストローブモードを選択可能です。ただし、アドレスサイクル中の BCn # 信号については、リードデータ、ライトデータに対するバイトコントロール信号が出力されます。

アドレス / データマルチプレクス I/O 空間のアクセスでは、アドレス出力が CSn ウェイト制御レジスタ 2 のアドレスサイクルウェイト選択ビット (CSnWCR2.AWAIT[1:0]) で設定されたサイクル挿入後、続けてデータのアクセスが行われます。

- Ta1 ~ Tan (アドレスサイクルウェイト)

アドレス / データマルチプレクス I/O 空間設定時のみ有効なサイクルで、外部バスアクセス開始からアドレスラッチ (ALE) 信号がネゲートされる 1 サイクル前までの期間です。0 ~ 3 サイクルを選択できます。ALE 信号がネゲートされた次のサイクルまでアドレスが出力されます (アドレスサイクル)。ALE 信号は、CS# 信号のアサートタイミングと同じになります。アドレスサイクル後はデータサイクルになります。アドレスサイクルとデータサイクルが重ならないように CSnWCR1、CSnWCR2 レジスタの値を設定する必要があります。

アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページリードアクセス許可 (CSnMOD.PRENB ビット = 1)、ページライトアクセス許可 (CSnMOD.PWENB ビット = 1) に設定した場合、設定は無視されノーマルアクセスを行います。

図 16.26 ~ 図 16.28 にアドレス / データマルチプレクス I/O インタフェース時の動作例を示します。

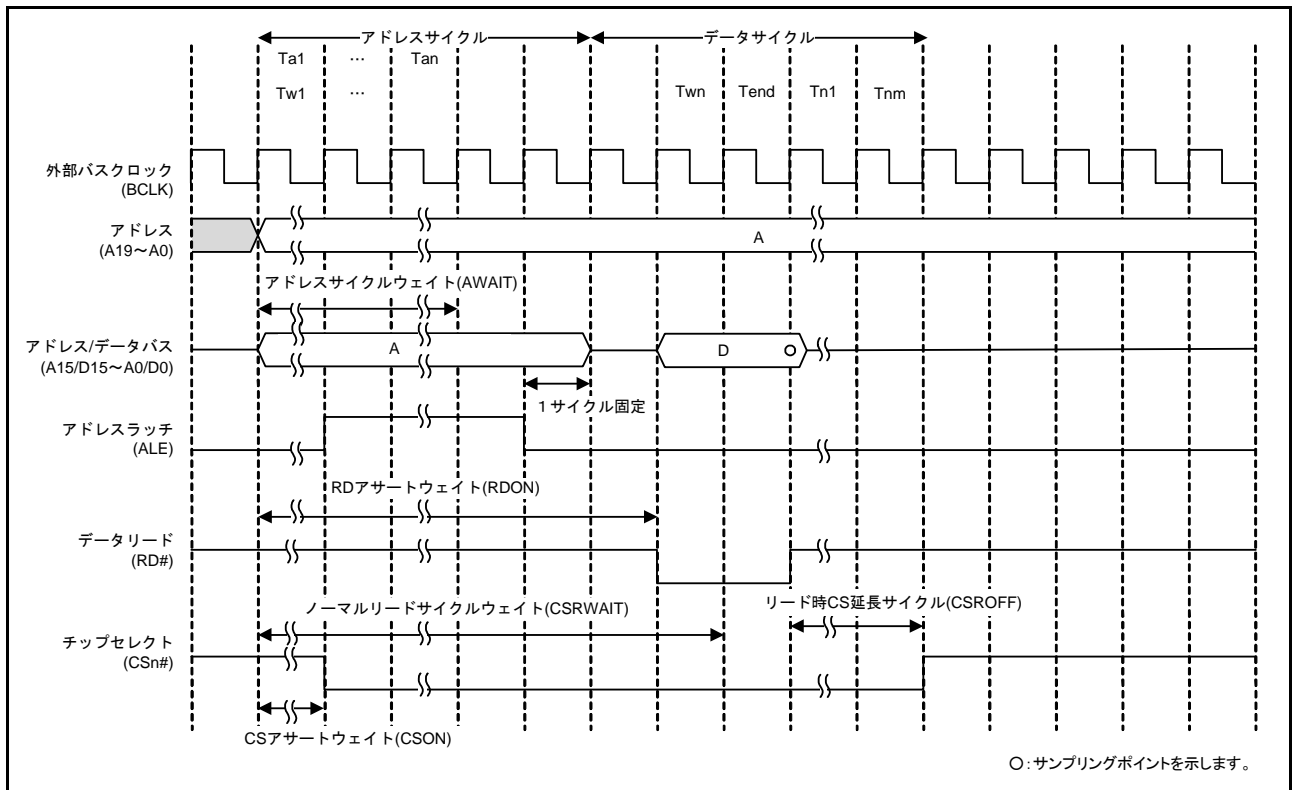


図 16.26 アドレス / データマルチプレクス I/O インタフェース時のリードアクセスの動作例

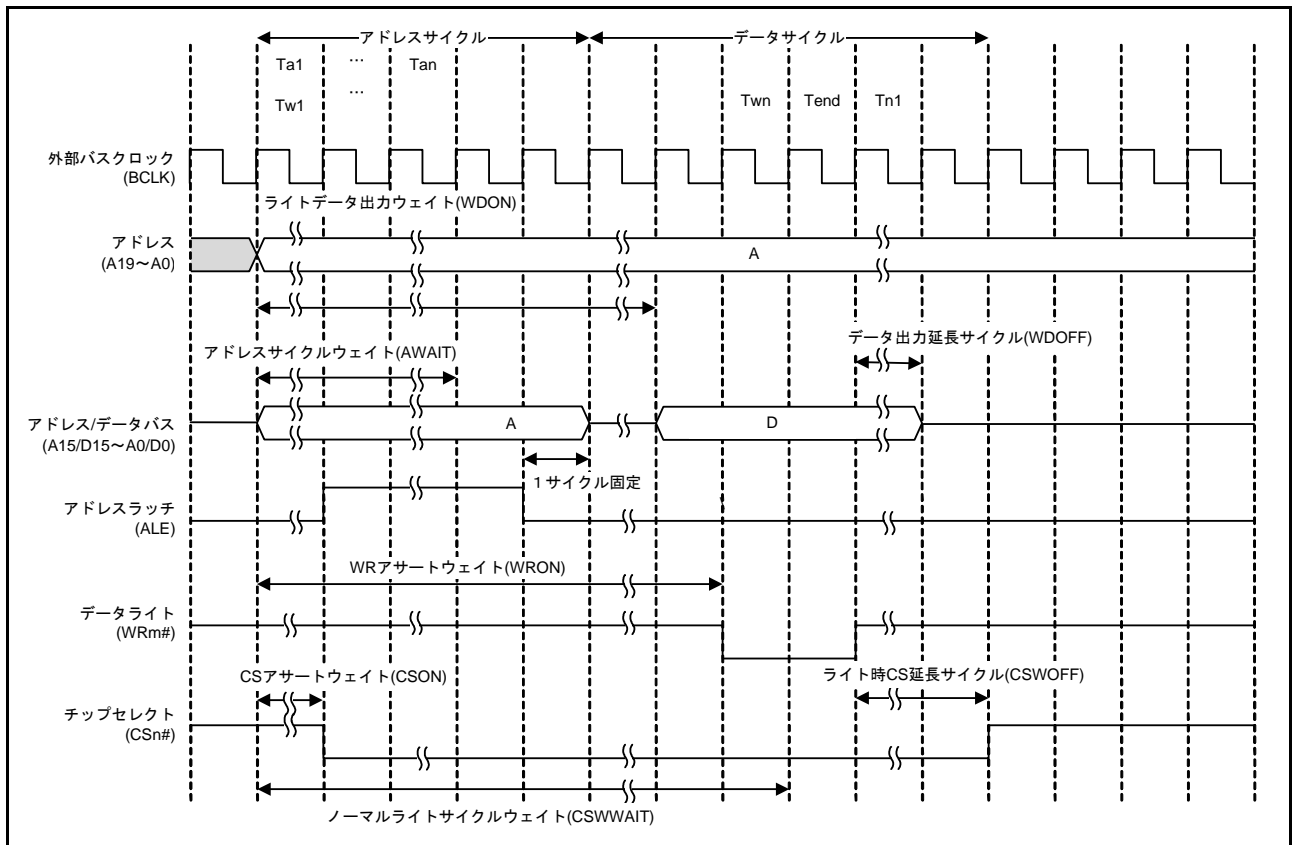


図 16.27 アドレス / データマルチプレクス I/O インタフェース時のライトアクセスの動作例 (m=0, 1)

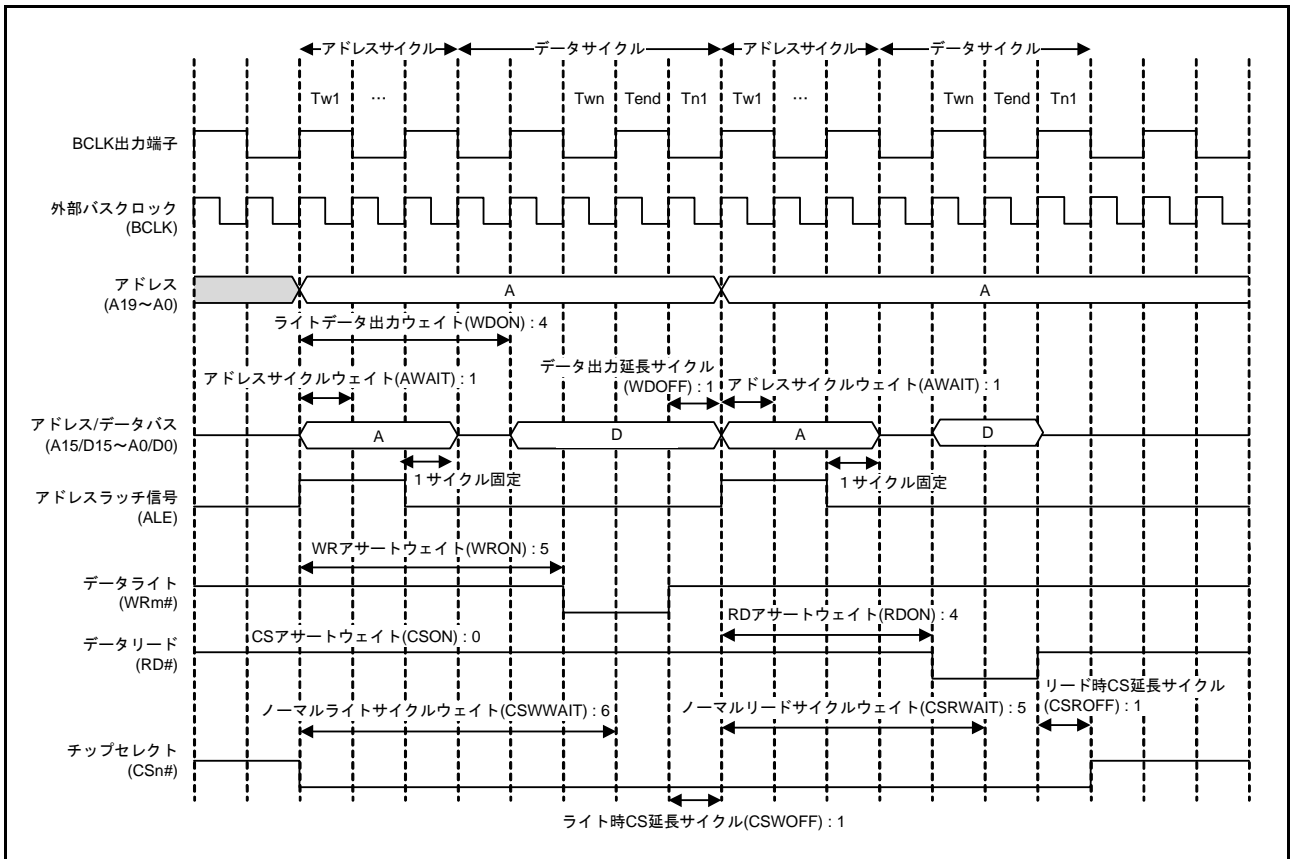


図 16.28 アドレス / データマルチプレクス I/O インタフェース時のバスタイミング例 (m=0、1)

1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合の 2 回目以降の外部バスアクセスは、1 回目と同様に、アドレスサイクルとデータサイクルが繰り返されます。図 16.29、図 16.30 を参照してください。

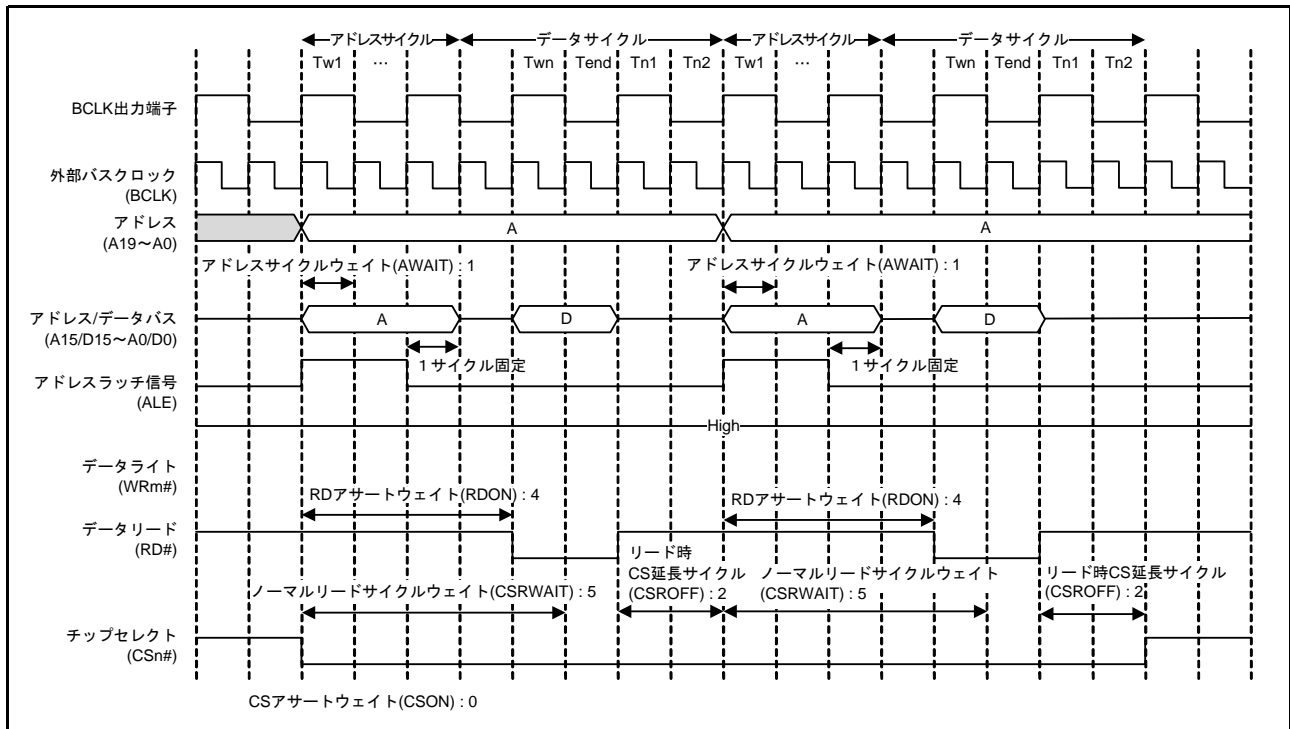


図 16.29 アドレス / データマルチプレクス I/O インタフェース時、リードアクセスが分割された場合の動作例 (m=0、1)

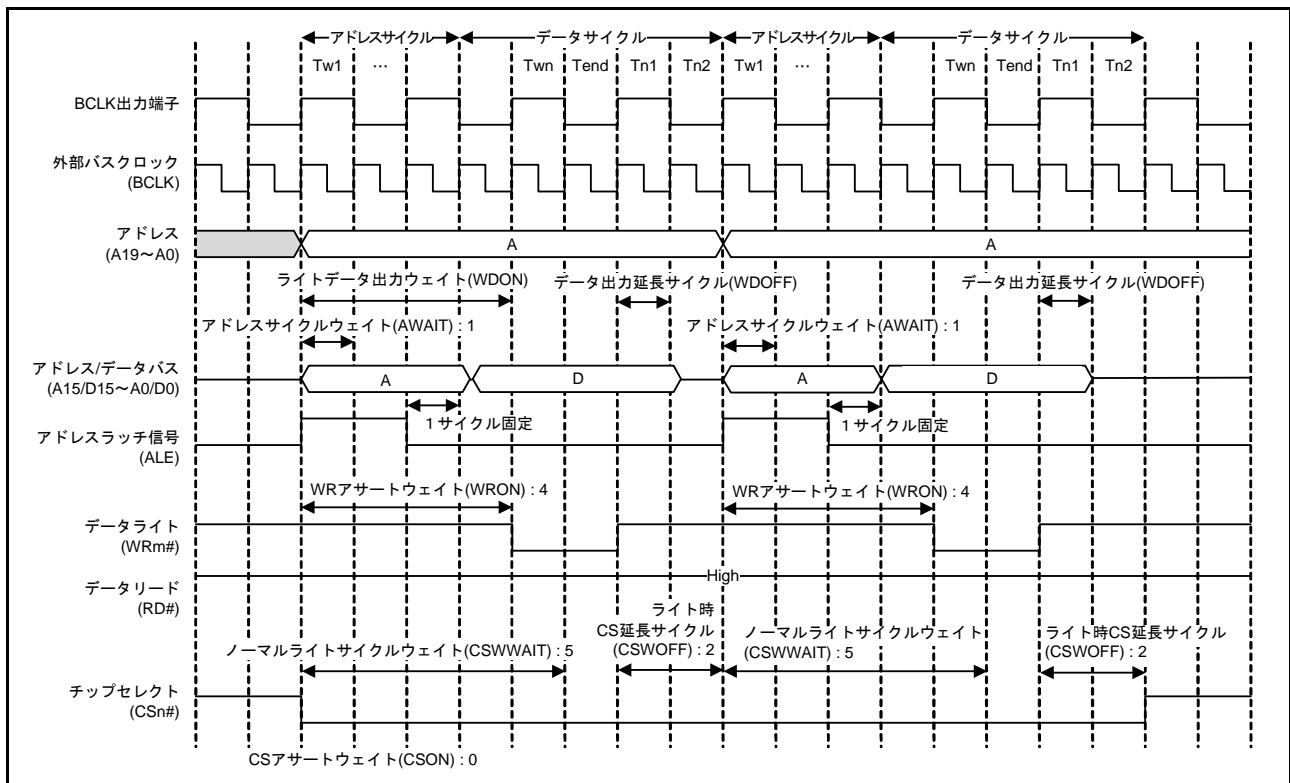


図 16.30 アドレス / データマルチプレクス I/O インタフェース時、ライトアクセスが分割された場合の動作例 (m=0、1)

16.5.3 外部ウェイト機能

WAIT# 信号により、CSn ウェイト制御レジスタ 1 (CSnWCR1) で設定したノーマルアクセスサイクルウェイト (CSRWAIT[4:0] ビット、CSWWAIT[4:0] ビット) や、ページアクセスサイクルウェイト (CSPRWAIT[2:0] ビット、CSPWWAIT[2:0] ビット) を超えて、ウェイトサイクルを延長することができます。

外部ウェイト許可 (CSnMOD.EWENB ビット = 1) にすると、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。外部ウェイト禁止 (CSnMOD.EWENB ビット = 0) であれば WAIT# 信号は無効です。

なお、CSnWCR1 レジスタで設定した各サイクルウェイトは、WAIT# 信号にかかわらず挿入されます。

(1) ノーマルアクセス

CSnWCR1 レジスタで設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

(2) ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。ウェイト制御レジスタに設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

2 番目以降のアクセスに関しては、ページアクセスのウェイトサイクルが完了した時点 (Tend) から WAIT# 信号がサンプリングされます。WAIT# 信号が Low の間、ページアクセスのウェイトサイクルを延長し、WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

図 16.31、図 16.32 にセパレートバスインタフェース時の外部ウェイトサイクルの動作例を示します。

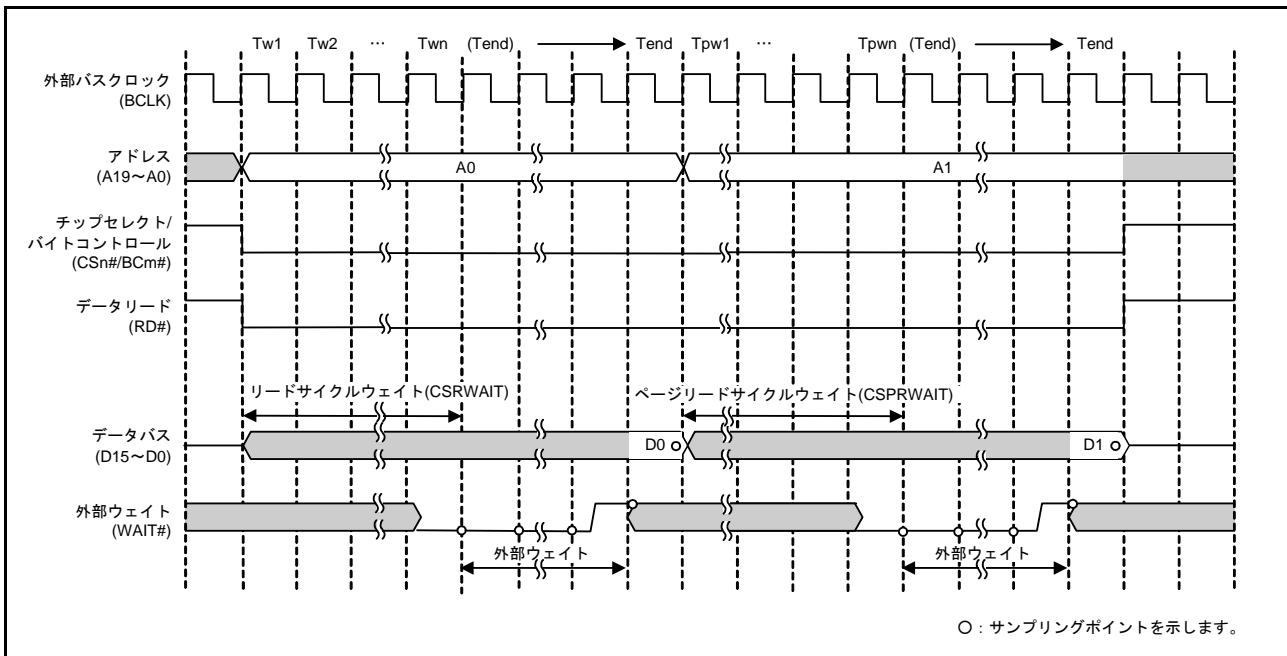


図 16.31 外部ウェイトタイミング例 (16 ビットバス空間へのページリードアクセス)
(n=0 ~ 3, m=0, 1)

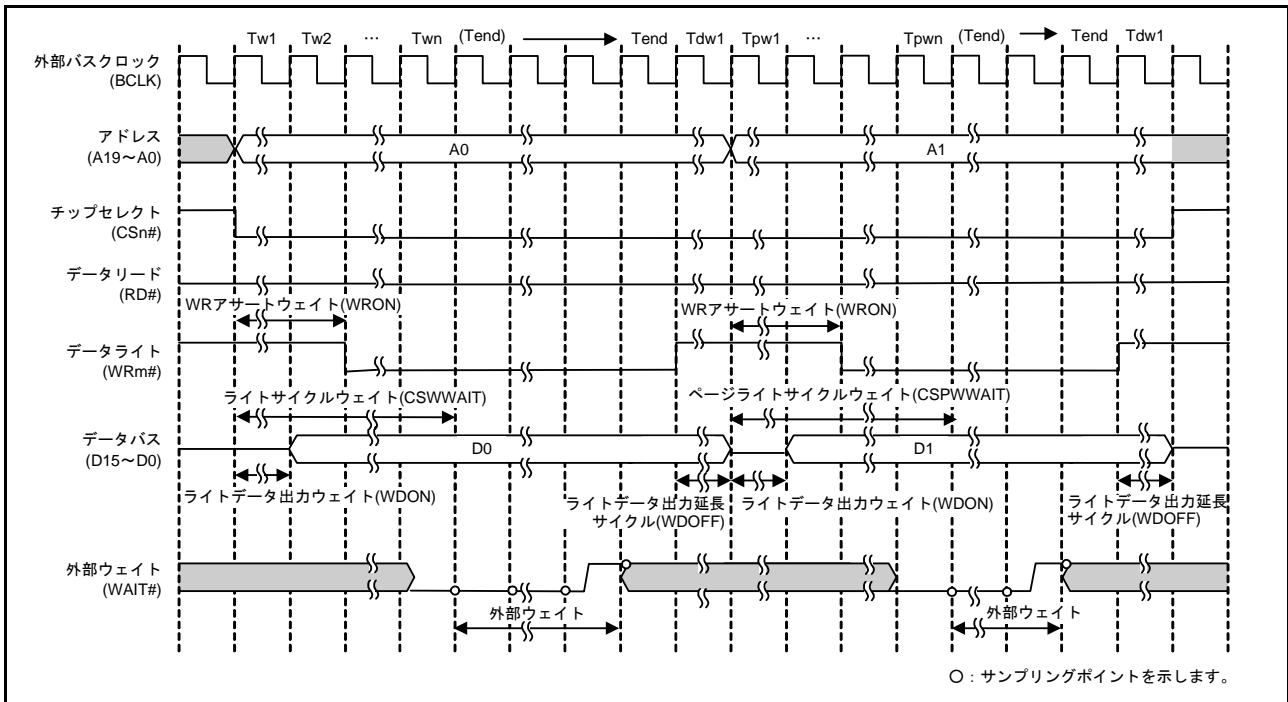


図 16.32 外部ウェイトタイミング例 (16 ビットバス空間へのページライトアクセス : バイトストローブモード時) (n=0 ~ 3, m=0, 1)

(3) アドレス / データマルチプレクス I/O インタフェース

アドレス / データマルチプレクス I/O インタフェースのデータサイクルには、セパレートバスインタフェースと同様にプログラムウェイトの挿入、WAIT 端子による端子ウェイトの挿入が可能です。

ウェイト制御の設定は、アドレスサイクルに影響を与えません。図 16.33 にアドレス / データマルチプレクス I/O インタフェース時の外部ウェイトサイクルの動作例を示します。

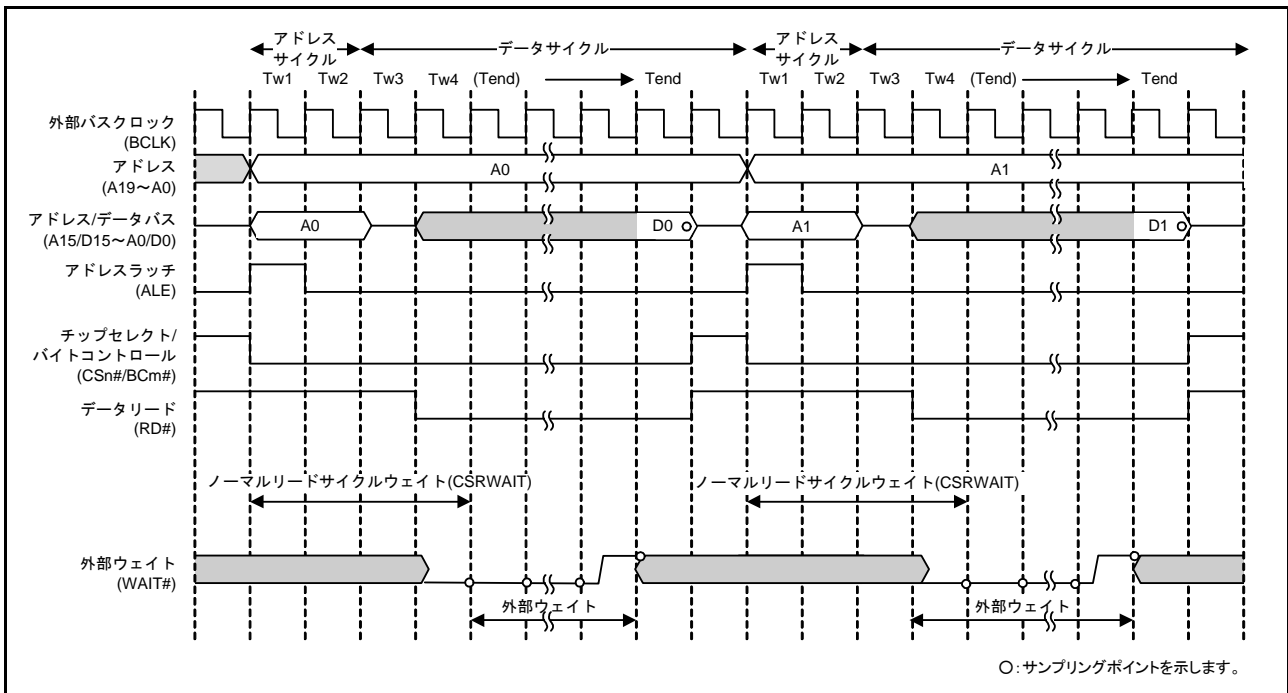


図 16.33 アドレス / データマルチプレクス I/O インタフェース時の外部ウェイト挿入の動作例 (m=0, 1)

16.5.4 リカバリサイクルの挿入

CS リカバリサイクル挿入許可レジスタ (CSRECEN) のリカバリサイクル挿入許可ビットを“1”に設定することにより、連続する外部バスアクセスの間にリカバリサイクルを挿入することができます。

挿入するリカバリサイクル数は、ライトサイクル後とリードサイクル後を領域ごとに設定でき、CSn リカバリサイクル設定レジスタ (CSnREC) で設定します。前バスサイクルがライトアクセスの場合、その領域のライトリカバリサイクル設定ビット (CSnREC.WRCV[3:0]) で設定し、前バスサイクルがリードアクセスの場合、その領域のリードリカバリサイクル設定ビット (CSnREC.RRCV[3:0]) で設定します。たとえば、CS0 リードアクセス後、CS1 リードアクセスがある場合、この間に入るリカバリサイクルは、CS0 の CS0REC.RRCV[3:0] ビットで設定されたサイクル数になります。

リカバリサイクル挿入可能な条件は、以下の 8 通りです。前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j=0 ~ 7) により、アドレス/データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) (j=0 ~ 7) により、リカバリサイクル挿入の許可、禁止を設定できます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

リカバリサイクルの起点は、前バスサイクルの終了時点 (CSn# 信号 (n=0 ~ 3) のネゲート時点) です。終了時点から設定したリカバリサイクル間は、CSn# 信号の High 期間が挿入されます。

最短でリカバリサイクルの終了直後に、次のバスアクセスのチップセレクト CSn# 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了直後に次の外部バスアクセスを開始します。

バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。ただし、ページリードアクセス許可 (CSnMOD.PRENB = 1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB = 1) に設定された場合、リカバリサイクル挿入条件が成り立つ場合でも途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます (図 16.36 参照)。

ページアクセス許可設定時でノーマルアクセスとなる場合についても、セパレートバス時は、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。アドレス/データマルチプレクス I/O インタフェース時は、ページアクセス許可設定に関わらず、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。

図 16.34 ~ 図 16.36 にセパレートバスインタフェース時のリカバリサイクルの動作例を示します。

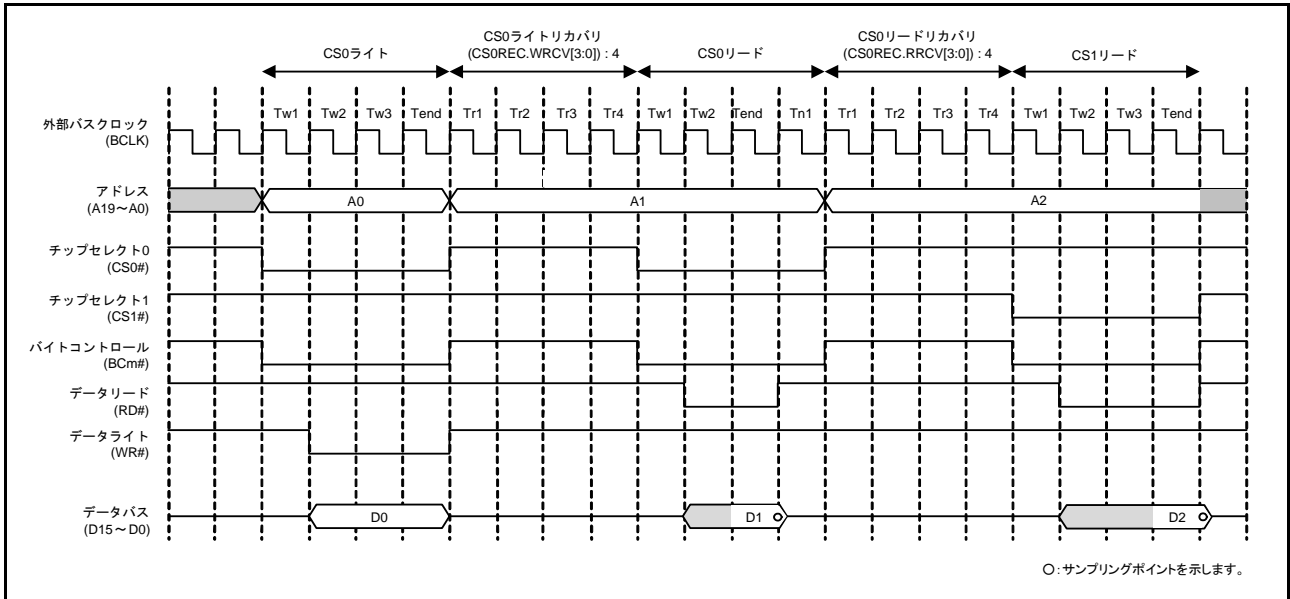


図 16.34 セパレートバスインタフェース時のリカバリサイクルの動作例 (m=0、1)

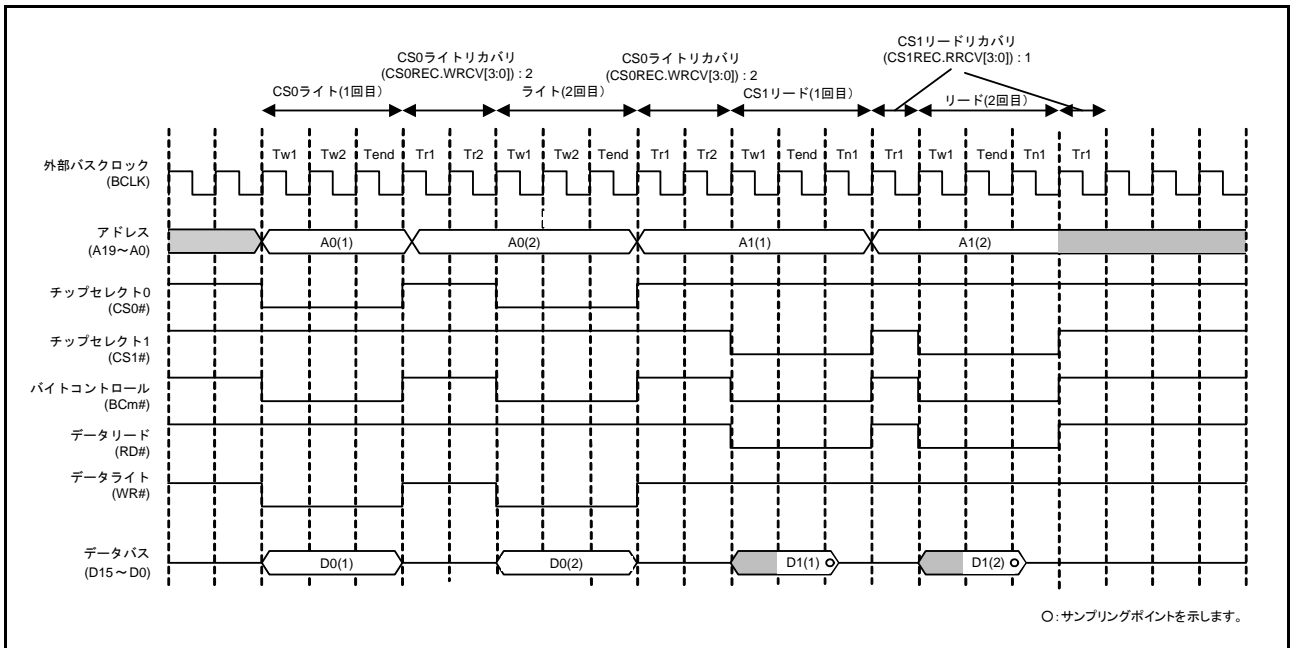


図 16.35 バスアクセスが分割された場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ノーマルアクセスの場合) (m=0、1)

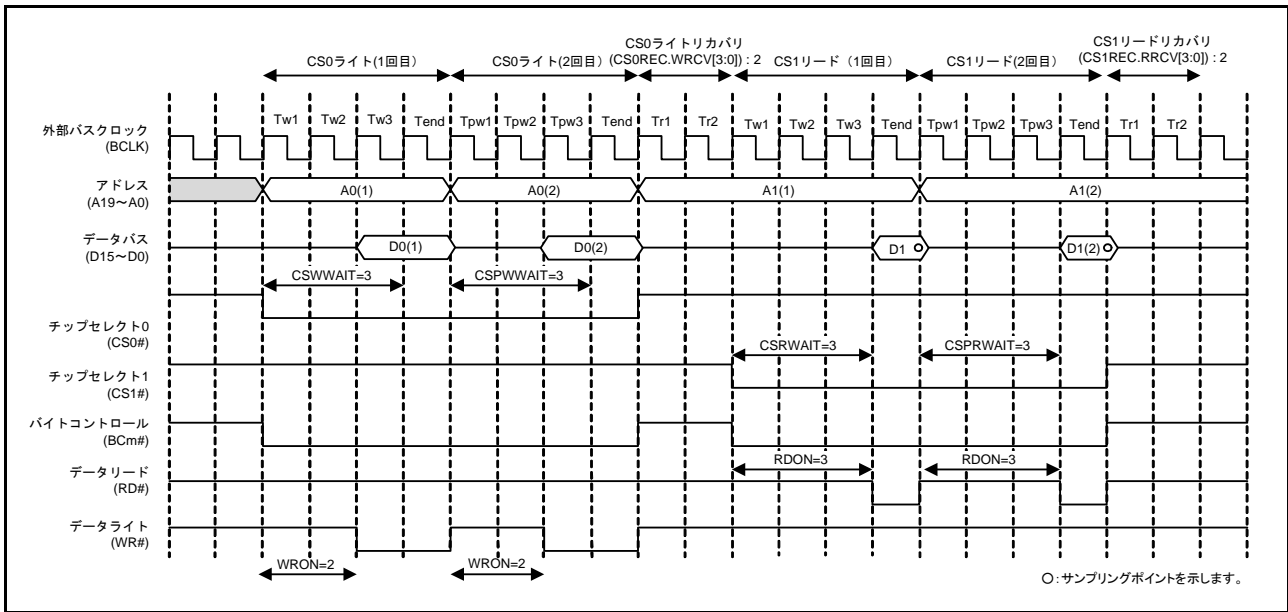


図 16.36 バスアクセスが分割された場合のリカバリサイクルの動作例（セパレートバスインタフェース、ページアクセスの場合）(m=0、1)

図 16.37、図 16.38 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

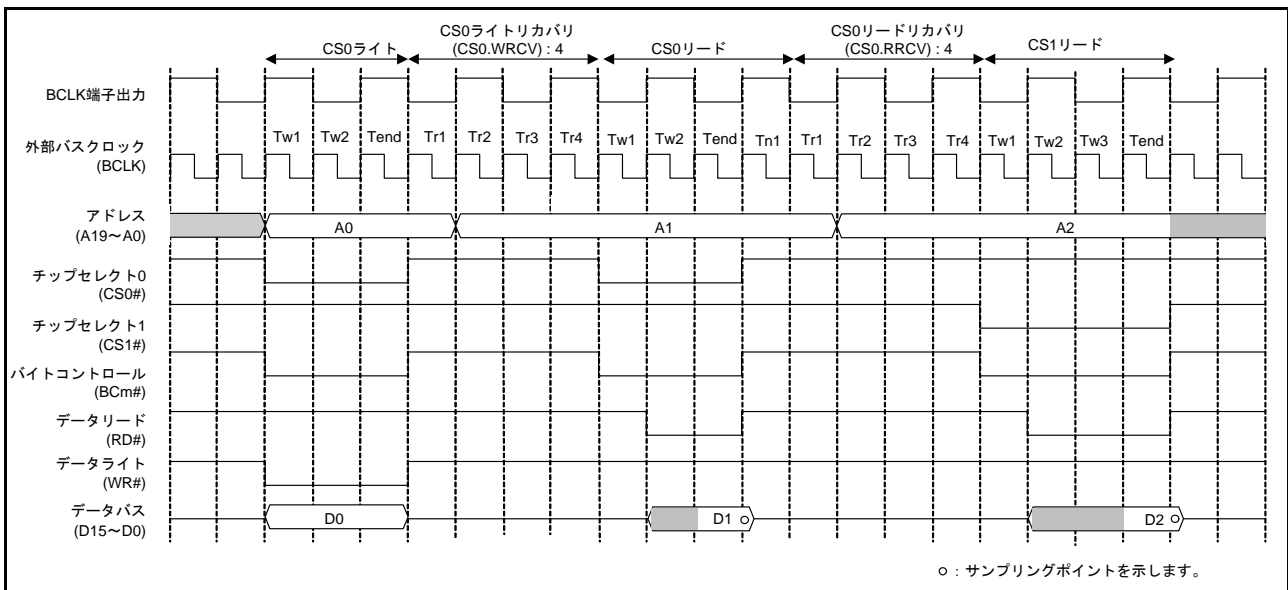


図 16.37 BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合のリカバリサイクルの動作例（セパレートバスインタフェース、ノーマルアクセスの場合）(m=0、1)

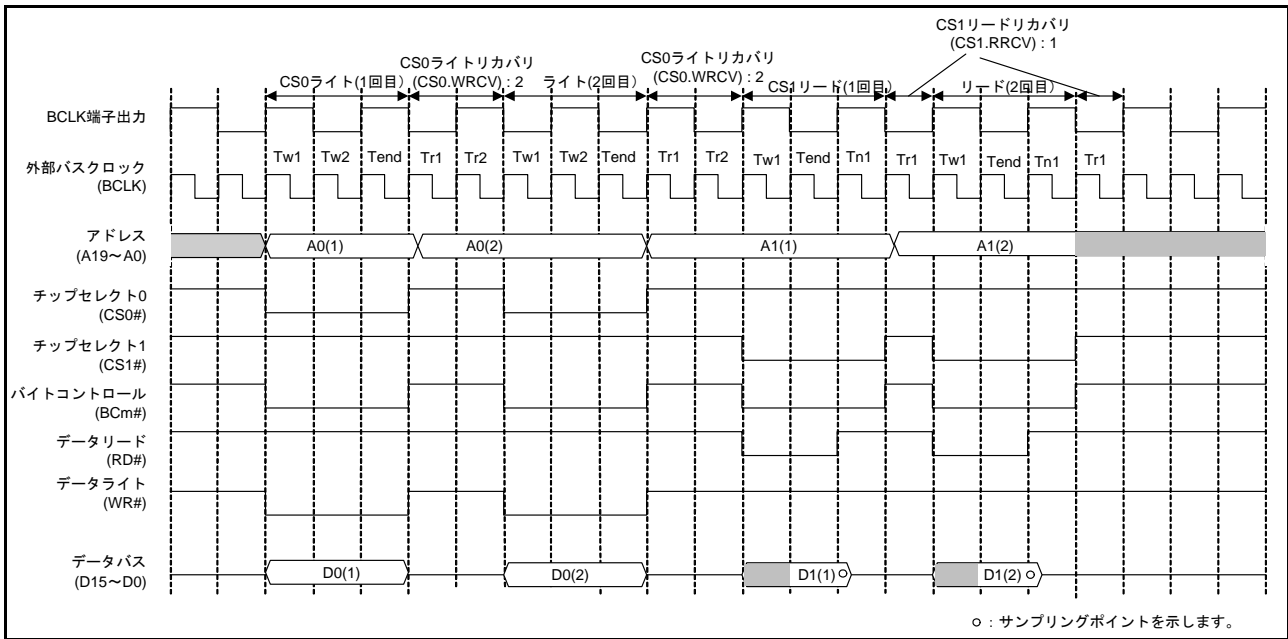


図 16.38 BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合のリカバリサイクルの動作例（バスアクセスが分割された場合）(m=0、1)

アドレス/データマルチプレクス I/O インタフェースのリカバリサイクルの挿入もセパレートバスインタフェースと同様に行われます。図 16.39、図 16.40 に、アドレス/データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例を示します。

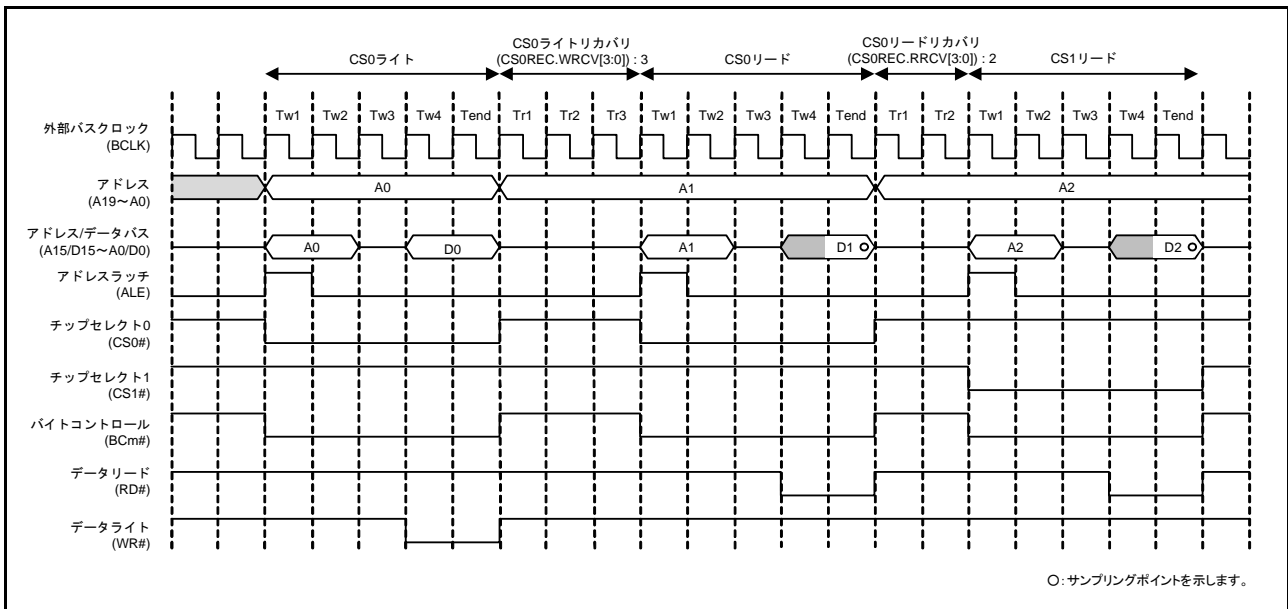


図 16.39 アドレス/データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例 (m=0、1)

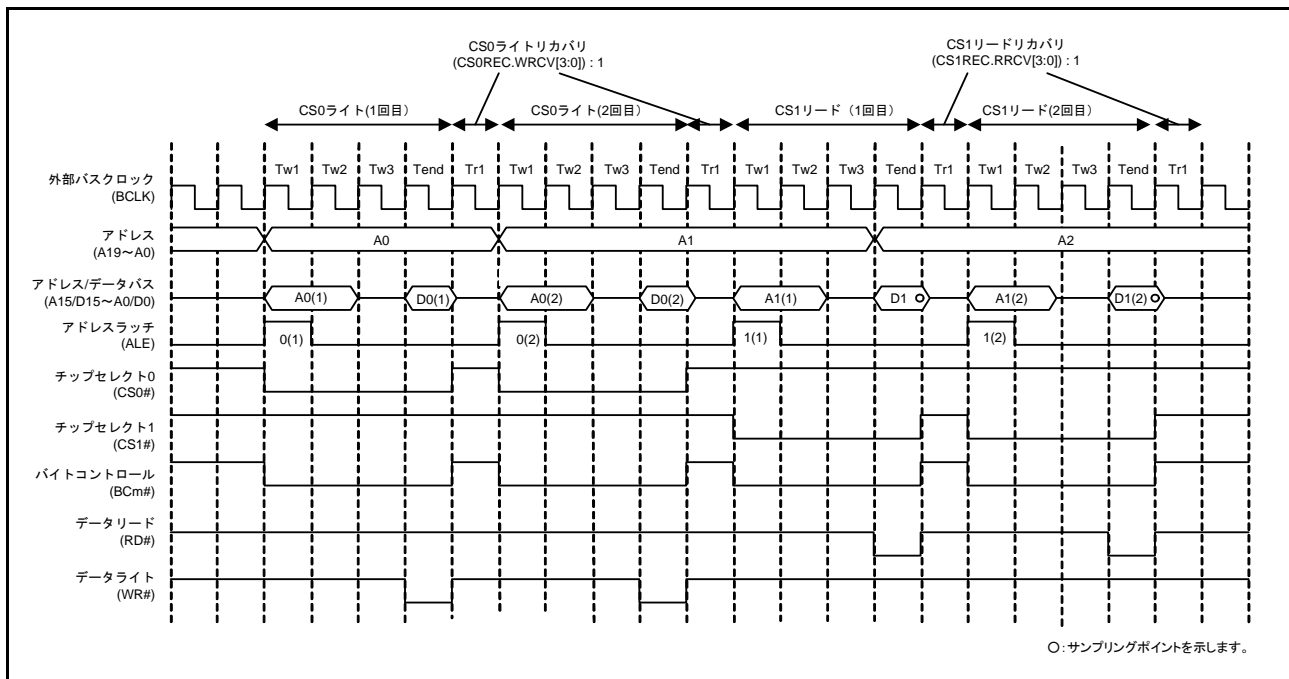


図 16.40 アドレス / データマルチプレクス I/O インタフェース時、バスアクセスが分割された場合のリカバリサイクルの動作例 (m=0、1)

16.5.5 非アクセス時の状態

外部アドレス空間に対して処理を行っていないときには CSn# 信号、BCn# 信号、WRn# 信号、RD# 信号は High に、ALE 信号は Low に、D15 ~ D0 はハイインピーダンスになります。

16.5.6 ライトバッファ機能（外部バス）

ライトアクセスの場合、データをライトバッファに書き込むことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

図 16.41 にライトバッファ機能を使用したときの動作例を示します。この機能を使用したとき、外部ライトの次に内部アクセスがある場合は、外部ライトの終了を待たずに内部アクセス（内蔵メモリ、周辺モジュールのアクセス）が並列して実行されます。

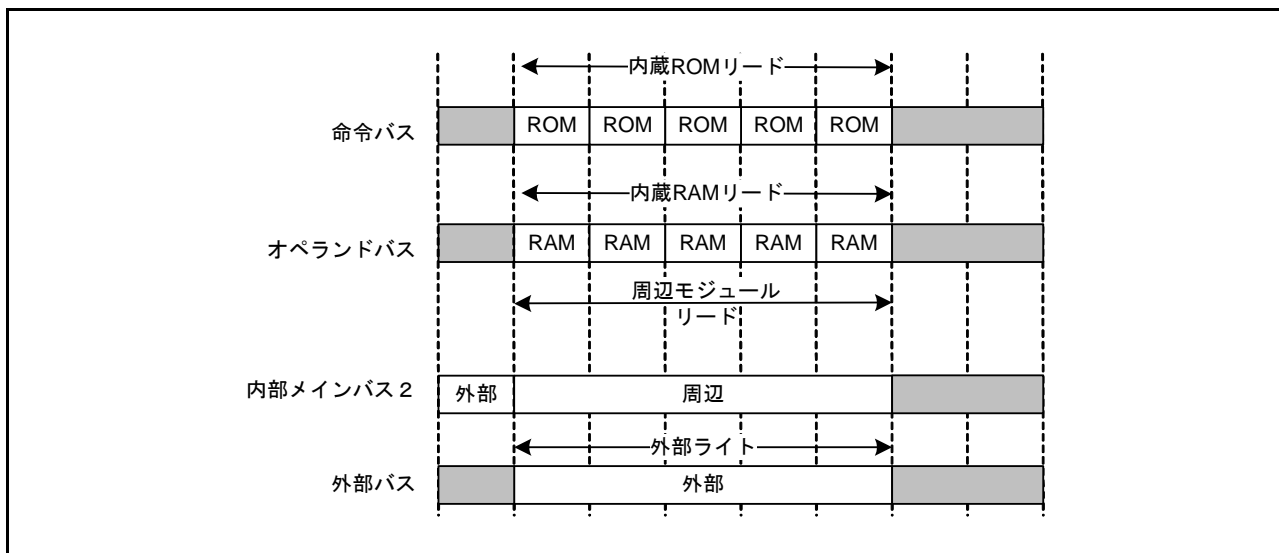


図 16.41 ライトバッファ機能使用時の動作例

16.5.7 制約事項

(1) セパレートバスインタフェースの場合の制約事項

- 表 16.9 にノーマルアクセス時とページアクセス時の CSn ウェイト制御レジスタ 1 (CSnWCR1) と、CSn ウェイト制御レジスタ 2 (CSnWCR2) の各ビットの設定値の制約事項を示します。CSn モードレジスタのページリードアクセス許可ビットが有効 (CSnMOD.PRENB="1")、あるいはページライトアクセス許可ビットが有効 (CSnMOD.PWENB="1") であっても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となり、ノーマルアクセスの制約条件を満たす必要があります。

表 16.9 ノーマル/ページアクセス時の制約事項

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSn[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON	CSn[2:0] ≤ CSPRWAIT RDON[2:0] ≤ CSPRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON

- バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、ページリードアクセス許可 (CSnMOD.PRENB = "1")、あるいは、ページ

ライトアクセス許可 (CSnMOD.PWENB = “1”) に設定された場合、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。

(2) アドレス / データマルチプレクスバスの場合の制約事項

- アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページアクセスの設定は、無視されノーマルアクセスを行います。

表 16.10 ノーマルアクセス時の制約事項

ノーマルアクセス時の制約条件	
リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON AWAIT[1:0]+2 ≤ RDON CSON[2:0] ≤ AWAIT	CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON AWAIT[1:0]+2 ≤ WRON AWAIT[1:0]+2 ≤ WDON CSON[2:0] ≤ AWAIT

(3) A0 端子と BC0# 端子を兼用する製品の場合の制約事項

A0 端子と BC0# 端子を兼用する製品の場合、8 ビットバス空間では 1 ライトストローブモードの設定は禁止しており、設定した場合の動作は保証していません。

(4) BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の制約事項

BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になりますが、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合、2 回目以降の外部バスアクセスの開始は、ウェイト数の設定によっては、BCLK 端子出力の立ち下がり時点になる可能性があります。接続するデバイスの仕様にあわせて、レジスタの値を設定してください。

(5) アドレス空間の各領域をまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで 2 つの領域にまたがらないようにしてください。

(6) RMPA 命令、ストリング操作命令に関する制約事項

- 外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(7) 命令コードに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.6 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

16.6.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの2種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが768サイクル以内に終了しない場合に検出します。

16.6.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、以下のアクセスが起こった場合に発生します。

- 外部領域については、動作禁止 (CSnCR.EXENB = 0) に設定した領域をアクセスした場合
- 上記以外の領域については、不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを表 16.11 に示します。

16.6.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが768サイクル以内に終了しない場合に発生します。

- CS領域 (CS0 ~ CS3) : バスアクセス開始後、外部バスクロック (BCLK) で768サイクル以内にバスアクセスが終了しない (WAIT# 信号がネゲートされない) 場合
タイムアウトが発生すると BCLK で256サイクル間、バスマスタからのアクセスは受け付けられません。バスマスタからの1回のリクエストで、複数の外部バスアクセスが発生する転送では、タイムアウトが発生しても、後続のバスアクセスを中断できません。この場合、連続してタイムアウトが発生する可能性があります。
- 内部周辺バス (2, 3) : バスアクセス開始後、周辺モジュールクロック (PCLKB) で768サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKB で256サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス4 : バスアクセス開始後、周辺モジュールクロック (PCLKA) で768サイクル以内にバスアクセスが終了しない場合、タイムアウトが発生すると PCLKA で256サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス6 : バスアクセス開始後、FlashIF クロック (FCLK) で768サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると FCLK で256サイクル間、バスマスタからのアクセスは受け付けられません。

16.6.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知 :
割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

16.6.3 バスエラーの発生条件

表 16.11 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態（バスエラーステータスレジスタ n (BERSR n) ($n=1, 2$) がクリアされている場合) で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSR n レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSR n がクリアされていない場合はその状態を記憶しません。

2つ以上のバスマスタについてバスエラーが同時に発生する場合は、1つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSR n レジスタがクリアされるまで状態を保持します。

表 16.11 発生するバスエラーの種類

アドレス	内容		種類			
			不正アドレスアクセス		タイムアウト	
	内蔵ROMモード		内蔵ROMモード		内蔵ROMモード	
有効	無効	有効	無効	有効	無効	
0000 0000h ~ 0007 FFFFh	メモリバス1		—		—	
0008 0000h ~ 0008 7FFFh	内部周辺バス1		—		—	
0008 8000h ~ 0009 FFFFh	内部周辺バス2		△		—	
000A 0000h ~ 000B FFFFh	内部周辺バス3		△		—	
000C 0000h ~ 000D FFFFh	内部周辺バス4		△		—	
000E 0000h ~ 000F FFFFh	予約領域		—		—	
0010 0000h ~ 00FF FFFFh	内部周辺バス6	予約領域	△	○	—	—
0100 0000h ~ 04FF FFFFh	予約領域		○		—	
0500 0000h ~ 07FF FFFFh	外部バス (CS1 ~ CS3)		[IA]		[TO]	
0800 0000h ~ 0FFF FFFFh	予約領域		—		—	—
1000 0000h ~ 7FFF FFFFh	予約領域		○		—	—
8000 0000h ~ FEFF FFFFh	メモリバス2	予約領域	—	○	—	—
FF00 0000h ~ FF7F FFFFh		外部バス (CS0)	—	[IA]	—	[TO]
FF80 0000h ~ FFFF FFFFh			—		—	

— : バスエラーは発生しません。

△ : バスエラーは不定です。

○ : バスエラーを発生します。

[IA] : これらの領域を動作禁止 (CSnCR.EXENB = 0 ($n=0 \sim 3$)) に設定している場合にバスエラーを検出します。

[TO] : 768 サイクル以内にバスアクセスが終了しない場合にバスエラーを検出します。

注. 実装される内蔵RAM、データフラッシュ、内蔵ROMの容量は製品により異なります。製品ごとの仕様については、「40. RAM」、「41. フラッシュメモリ」を参照してください。

17. メモリプロテクションユニット (MPU)

17.1 概要

RX CPUにはメモリプロテクションユニットが内蔵されており、全アドレス空間(0000 0000h～FFFF FFFFh)を対象にCPUによるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPUのプロセッサモードがユーザモードのときに有効です。スーパーバイザモードのときは、メモリ保護を行いません。

表 17.1 にメモリプロテクションユニットの仕様を、図 17.1 にブロック図を示します。

表 17.1 メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域とプロセッサモード	0000 0000h～FFFF FFFFh (ユーザモード時) スーパーバイザモード時はメモリ保護なし
領域数	8
ページサイズ (最小保護単位)	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) で各領域の有効/無効を設定 (n=0～7)
各領域のアクセス制御情報	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス：スタック領域にPCを退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ (MPESTS) に要因を格納
バックグラウンド領域設定	バックグラウンド領域 (全アドレス空間) に対して、アクセス制御情報を設定可能
領域オーバーラップの処理	あるアドレスに対して領域がオーバーラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

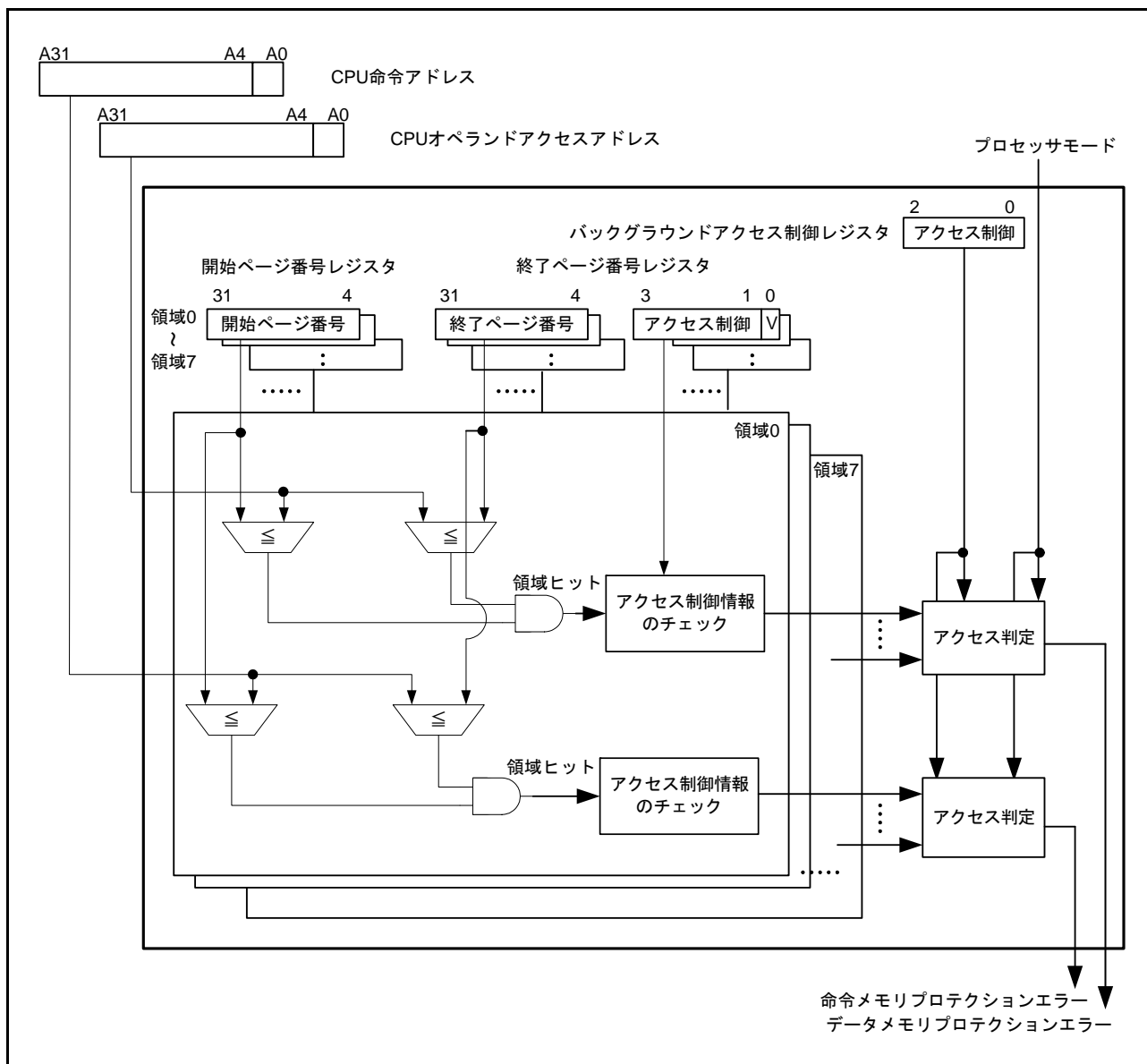


図 17.1 メモリプロテクションユニットブロック図

17.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の3種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパーバイザモードのプログラムに対しては違反を検出しません。

17.1.2 アクセス制御領域

アクセス制御領域は8つまで定義することができます。各アクセス制御領域の範囲は、領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います ($n=0 \sim 7$)。

ページは、アクセス制御の最小単位であり、アドレス空間を16バイト毎に区切ったものです。アドレス [31:0] の上位28ビット ([31:4]) がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

17.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間 (0000 0000h ~ FFFF FFFFh) です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ (MPBAC) で設定します。バックグラウンド領域のアクセス制御情報は、8つのアクセス制御領域と異なり、メモリプロテクション機能が有効 (MPEN.MPEN ビットが“1”) であれば有効となります。

17.1.4 領域のオーバーラップ

複数の領域がオーバーラップした場合のアクセス制御情報は、オーバーラップした領域 (バックグラウンド領域を含む) のアクセス制御ビットの論理和となり、許可が優先して設定されます。

17.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

17.2 レジスタの説明

17.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n=0 ~ 7)

アドレス RSPAGE0 0008 6400h、RSPAGE1 0008 6408h、RSPAGE2 0008 6410h、RSPAGE3 0008 6418h
RSPAGE4 0008 6420h、RSPAGE5 0008 6428h、RSPAGE6 0008 6430h、RSPAGE7 0008 6438h



x : 不定

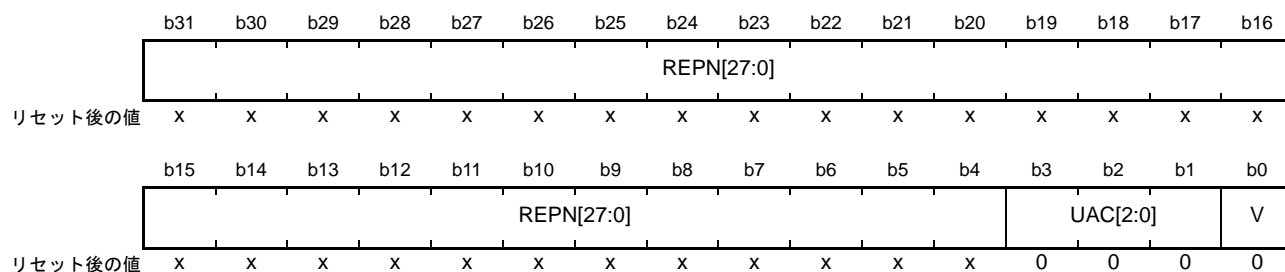
ビット	シンボル	ビット名	説明	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット (領域開始ページ番号ビット)

領域開始ページ番号を設定します。

17.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n=0 ~ 7)

アドレス REPAGE0 0008 6404h、REPAGE1 0008 640Ch、REPAGE2 0008 6414h、REPAGE3 0008 641Ch
REPAGE4 0008 6424h、REPAGE5 0008 642Ch、REPAGE6 0008 6434h、REPAGE7 0008 643Ch



x : 不定

ビット	シンボル	ビット名	説明	R/W
b0	V	有効ビット	0 : 領域設定無効 1 : 領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	REPn[27:0]	領域終了ページ番号	領域判定に使用する領域終了ページ番号情報	R/W

V ビット (有効ビット)

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ (MPOPI) により 全アクセス制御領域のインバリデート (無効化) を行った場合、V ビットは“0”になります。

UAC[2:0] ビット (ユーザモード時アクセス制御ビット)

ユーザモード時のアクセス制御を設定します。

REPn[27:0] ビット (領域終了ページ番号ビット)

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

17.2.3 メモリプロテクション機能有効化レジスタ (MPEN)

アドレス 0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1: メモリプロテクション機能有効 0: メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

MPEN ビット (メモリプロテクション機能有効化ビット)

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに“1”を書いた後、ユーザモードへ移行する分岐命令 (RTE、RTFI) の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

17.2.4 バックグラウンドアクセス制御レジスタ (MPBAC)

アドレス 0008 6504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UBAC[2:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UBAC[2:0] ビット (ユーザモード時バックグラウンドアクセス制御ビット)

ユーザモード時のバックグラウンドアクセス制御を設定します。

17.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR)

アドレス 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW, DA, IAビットを“0”にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CLR ビット (エラーステータスクリアビット)

メモリプロテクションエラーステータスレジスタ (MPESTS) のデータリード/ライトビット (DRW)、データメモリプロテクションエラー発生ビット (DA)、命令メモリプロテクションエラー発生ビット (IA) を“0”にします。

17.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS)

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DA	IA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	IA	命令メモリプロテクションエラー発生ビット	0: 命令メモリプロテクションエラー発生なし 1: 命令メモリプロテクションエラー発生	R
b1	DA	データメモリプロテクションエラー発生ビット	0: データメモリプロテクションエラー発生なし 1: データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0: データリード 1: データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IA ビット (命令メモリプロテクションエラー発生ビット)

命令実行によるメモリプロテクションエラー発生状態を示します。

IA ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DA ビット (データメモリプロテクションエラー発生ビット)

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DA ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

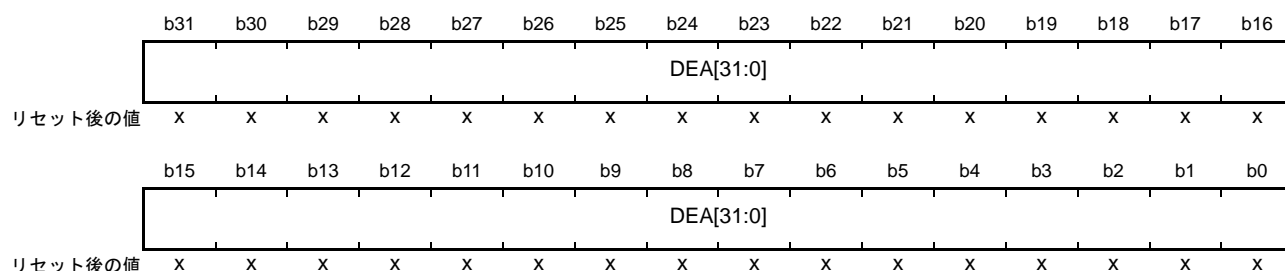
DRW ビット (データリード/ライトビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード / ライト属性を示します。DRW ビットは、DA ビットが“1”の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、“0”になります。

17.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA)

アドレス 0008 6514h



x : 不定

ビット	シンボル	ビット名	説明	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット (データメモリプロテクションエラーアドレスビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

17.2.8 領域サーチアドレスレジスタ (MPSA)

アドレス 0008 6520h



x : 不定

ビット	シンボル	ビット名	説明	R/W
b31-b0	SA[31:0]	領域サーチアドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット (領域サーチ用アドレスビット)

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ (RSPAGEn) の領域開始アドレス、領域 n 終了ページ番号レジスタ (REPAGEn) の領域終了アドレスと比較するアドレスを設定します。

17.2.9 領域サーチオペレーションレジスタ (MPOPS)

アドレス 0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	S	領域サーチオペレーションビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

S ビット (領域サーチオペレーション起動ビット)

S ビットを“1”にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ (MPSA) で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ (MHITD) のデータヒット領域ビット (HITD[7:0]) に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット (UHACD[2:0]) に格納されます。

17.2.10 領域インバリデートオペレーションレジスタ (MPOPI)

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

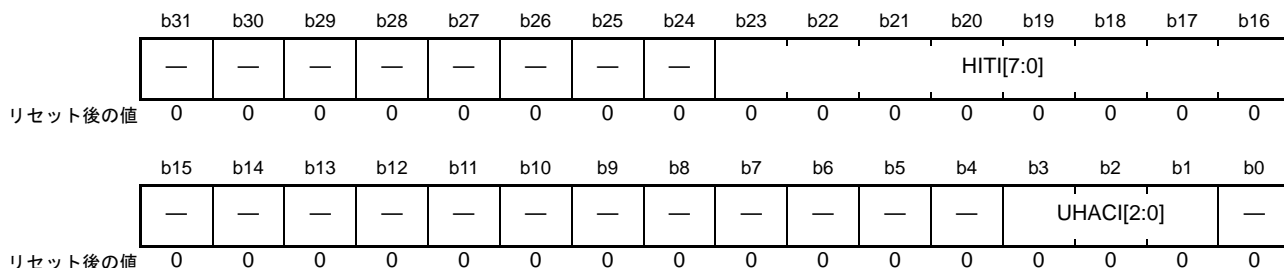
ビット	シンボル	ビット名	説明	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 全アクセス制御領域のインバリデート (無効化)	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

INV ビット (領域インバリデート起動ビット)

INV ビットを“1”にすることにより、すべての領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) を“0”にします。REPAGEn.V ビットを“0”にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

17.2.11 命令ヒット領域レジスタ (MHITI)

アドレス 0008 6528h



ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACI[2:0]	ユーザーモード時命令ヒット領域アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット (MPESTS.IA) = “1”のとき、 [b23:b16] = 0000 0000b: バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0: 領域7で命令メモリプロテクションエラーなし 1: 領域7で命令メモリプロテクションエラーあり b22 0: 領域6で命令メモリプロテクションエラーなし 1: 領域6で命令メモリプロテクションエラーあり b21 0: 領域5で命令メモリプロテクションエラーなし 1: 領域5で命令メモリプロテクションエラーあり b20 0: 領域4で命令メモリプロテクションエラーなし 1: 領域4で命令メモリプロテクションエラーあり b19 0: 領域3で命令メモリプロテクションエラーなし 1: 領域3で命令メモリプロテクションエラーあり b18 0: 領域2で命令メモリプロテクションエラーなし 1: 領域2で命令メモリプロテクションエラーあり b17 0: 領域1で命令メモリプロテクションエラーなし 1: 領域1で命令メモリプロテクションエラーあり b16 0: 領域0で命令メモリプロテクションエラーなし 1: 領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACI[2:0] ビット (ユーザモード時命令ヒット領域アクセス制御ビット)

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

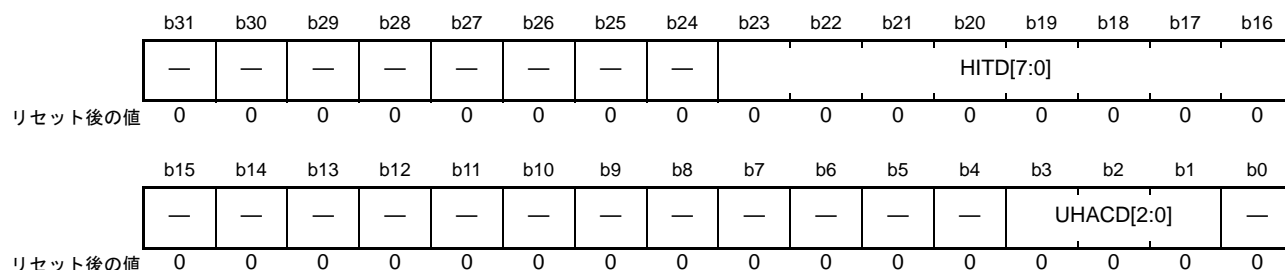
オーバーラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット (命令ヒット領域ビット)

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーが発生したときは、HITI[7:0] ビットは“0000 0000b”にセットされます。

17.2.12 データヒット領域レジスタ (MHITD)

アドレス 0008 652Ch



ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACD[2:0]	ユーザモード時 データヒット領域 アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ビット	シンボル	ビット名	説明	R/W
b23-b16	HITD[7:0]	データヒット領域ビット	<p>データメモリプロテクションエラー発生ビット(DA)=1のとき、 [b23:b16]=0000 0000b: バックグラウンド領域でデータメモリプロテクションエラー</p> <p>上記以外 b23 0: 領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0: 領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0: 領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0: 領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0: 領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0: 領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0: 領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0: 領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり</p>	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACD[2:0] ビット (ユーザモード時データヒット領域アクセス制御ビット)

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバーラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット (データヒット領域ビット)

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーが発生したとき、HITD[7:0] ビットは“0000 0000b”にセットされます。

注. ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

17.3 機能

17.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反（メモリプロテクションエラー）を検出した場合は、メモリプロテクションユニットはCPUへその情報を通知し、CPUはアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

17.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが8つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報（実行許可、読み出し許可、書き込み許可）がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ (MPOPS) の領域サーチオペレーションビット (S) を“1”にすることにより、領域サーチアドレスレジスタ (MPSA) で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ (MHITD) は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

17.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPUのオペランドアクセス以外の手段ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパーバイザモードでのみアクセスすることができます。ユーザモードでCPUのオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

17.3.4 メモリプロテクション機能のアクセス判定フロー

図 17.2 にデータアクセス判定フローを、図 17.3 に命令アクセス判定フローを示します。

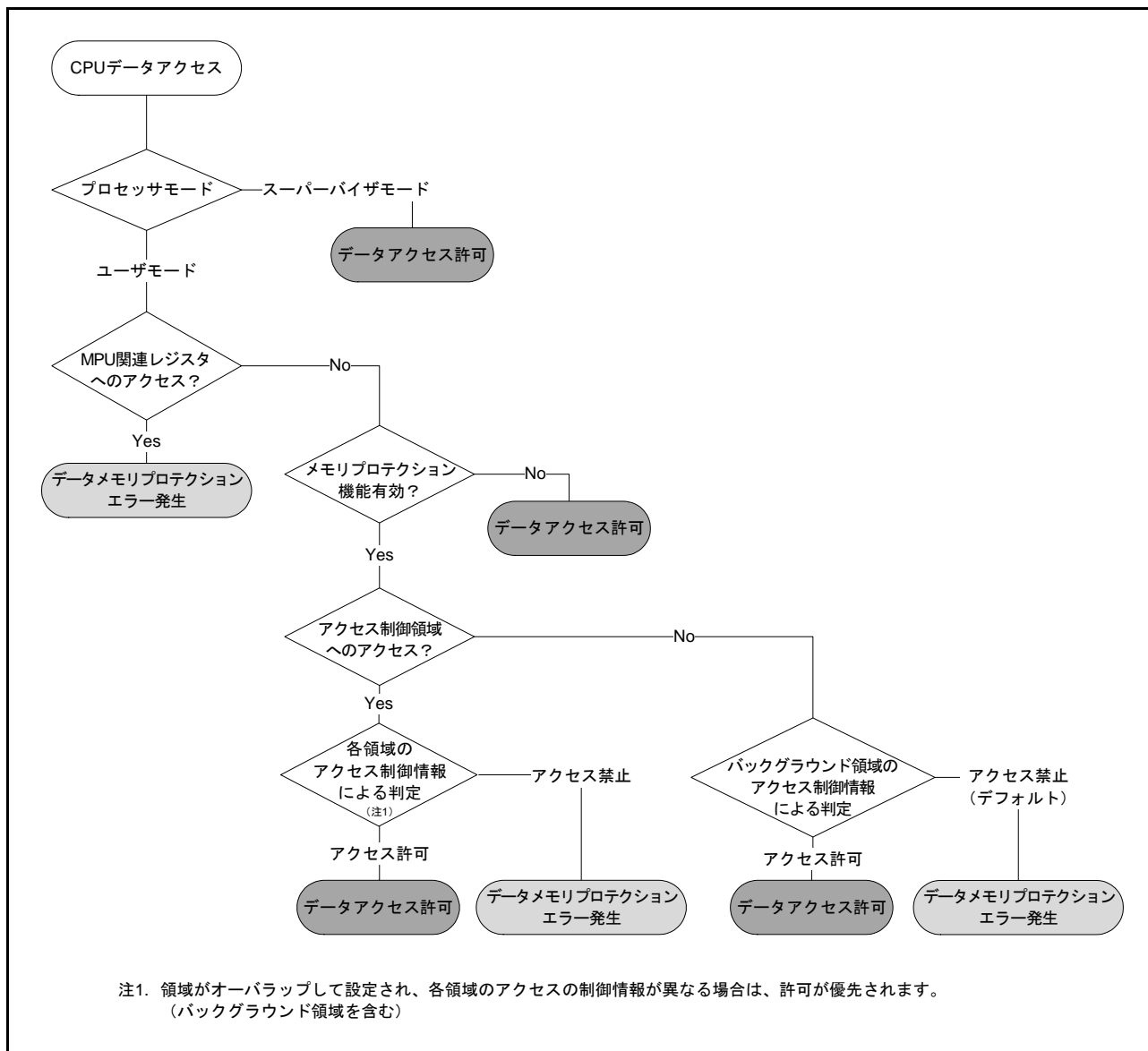


図 17.2 データアクセス判定フロー

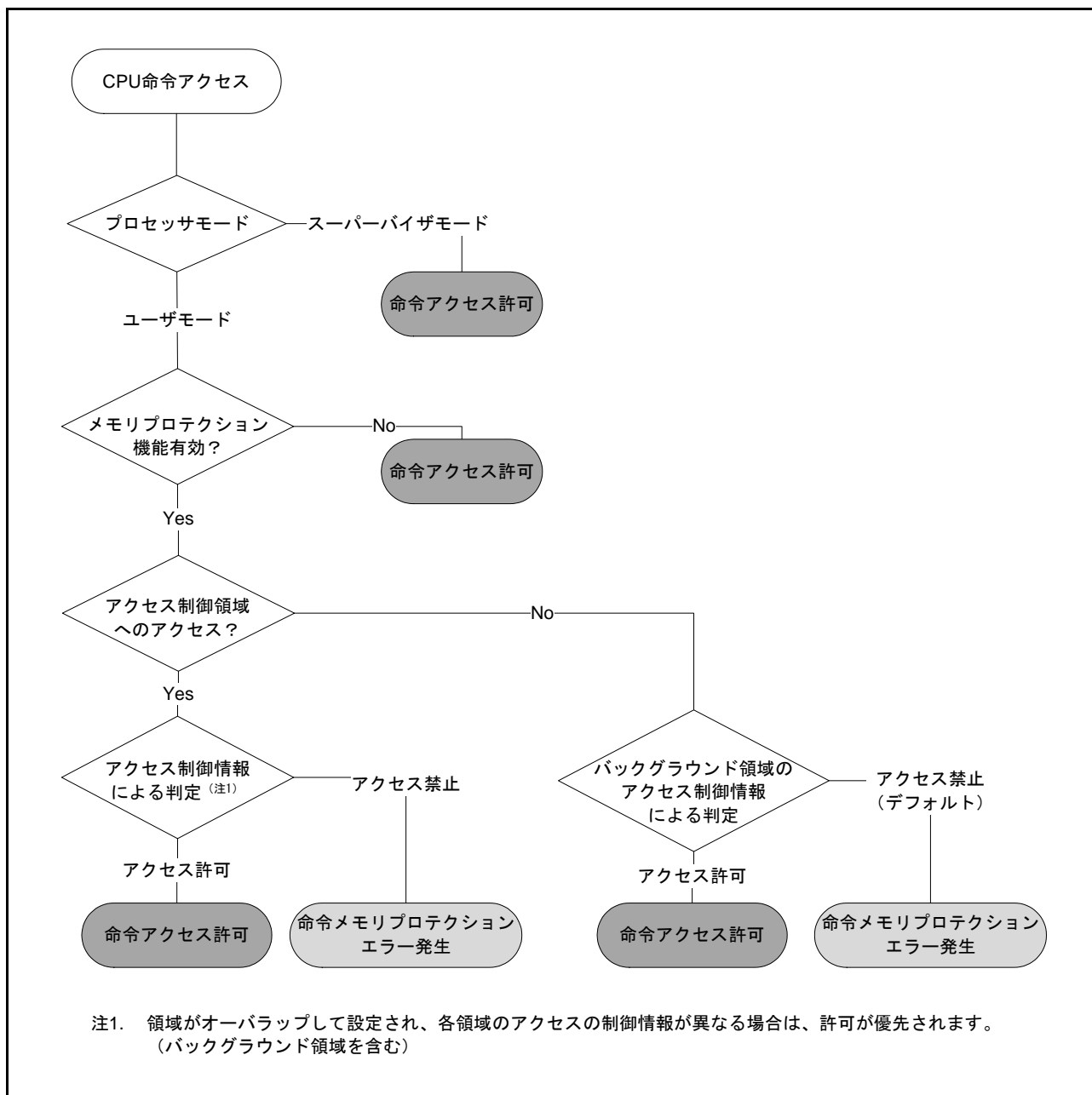


図 17.3 命令アクセス判定フロー

17.4 メモリプロテクション機能使用手順

17.4.1 アクセス制御情報の設定

スーパーバイザモードで、各領域のアクセス制御情報を設定します。

最大 8 つのアクセス制御領域の設定を領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います (n=0 ~ 7)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行います。

17.4.2 メモリプロテクション機能の有効化

スーパーバイザモードで、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にします。

17.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、必ず最後に書き込みを行ったメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。

スーパーバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) を“1” (ユーザモードに設定) にした後、RTE 命令を実行
- バックアップ PSW (BPSW) の PM ビットを“1”にした後、RTFI 命令を実行

注. MVTC、POPC 命令による PSW.PM ビットの書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

17.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反 (メモリプロテクションエラー) を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、「14. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ (MPESTS) の命令メモリプロテクションエラー発生ビット (IA) およびデータメモリプロテクションエラー発生ビット (DA) を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ (MHITD) に格納されます。

- 有効な領域 0 ~ 7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応したデータヒット領域ビット (MHITD.HITD[7:0]) が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

- 有効な領域 0 ~ 7 の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合

データヒット領域ビット (MHITD.HITD[7:0]) は、“0000 0000b”になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ (MHITI) に格納されます。

- 有効な領域 0 ~ 7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応した命令ヒット領域ビット (MHITL.HITI[7:0]) が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITL.UHACI[2:0]) にセットされます。

- 有効な領域 0 ~ 7 の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合

命令ヒット領域ビット (MHITL.HITI[7:0]) は、“0000 0000b”になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITL.UHACI[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

18. DMAコントローラ (DMACA)

本MCUは、4チャンネルのDMAC (Direct Memory Access Controller) を内蔵しています。

DMACは、CPUを介さずにデータ転送を行います。DMACは転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

18.1 概要

表 18.1 に DMAC の仕様を、図 18.1 に DMAC のブロック図を示します。

表 18.1 DMACの仕様

項目		内容
チャンネル数		4チャンネル (DMACm (m = 0~3))
転送空間		512Mバイト (00000000h~0FFFFFFFhとF0000000h~FFFFFFFhのうち予約領域を除く領域)
最大転送データ数		1Mデータ (ブロック転送モード最大総転送数: 1024データ x 1024ブロック)
DMA起動要因		<ul style="list-style-type: none"> チャンネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力 (注1)
チャンネル優先順位		チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 (チャンネル0が最優先)
転送データ	1データ	ビット長: 8ビット、16ビット、32ビット
	ブロックサイズ	データ数: 1~1024データ
転送モード	ノーマル転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 総データ転送数を指定しない設定 (フリーランニングモード) が可能
	リピート転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 リピートサイズは最大1024回設定可能
	ブロック転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1ブロックのデータを転送 ブロックサイズは最大1024データ設定可能
選択機能	拡張リピートエリア機能	<ul style="list-style-type: none"> 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
消費電力低減機能		モジュールストップ状態への設定が可能

注1. DMACの起動要因は、「15. 割り込みコントローラ (ICUb)」の表 15.3 割り込みのベクタテーブルを参照してください。

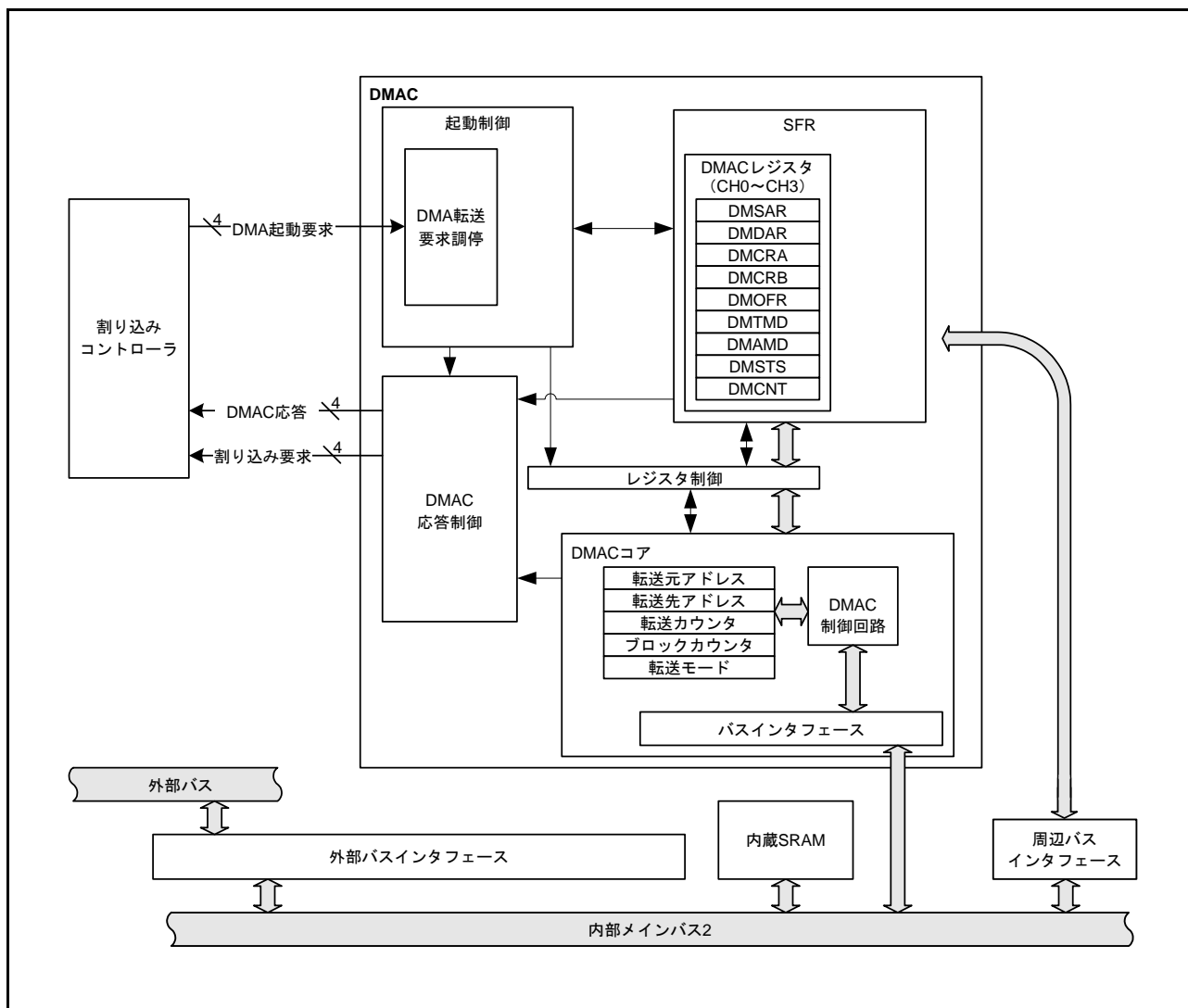
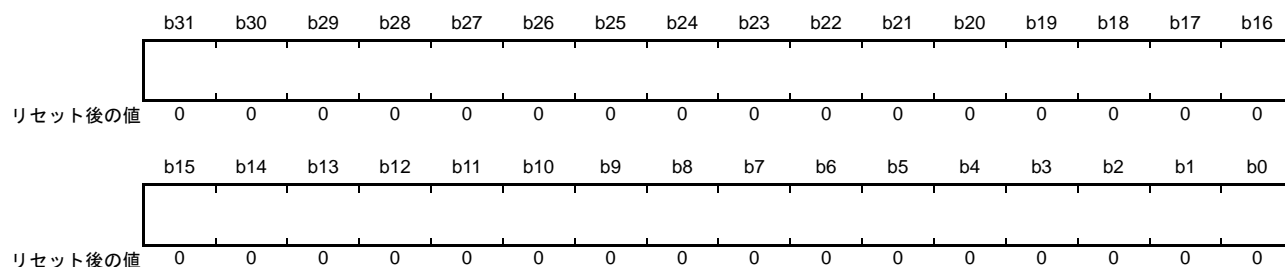


図 18.1 DMAC のブロック図

18.2 レジスタの説明

18.2.1 DMA 転送元アドレスレジスタ (DMSAR)

アドレス DMAC0.DMSAR 0008 2000h、DMAC1.DMSAR 0008 2040h
DMAC2.DMSAR 0008 2080h、DMAC3.DMSAR 0008 20C0h



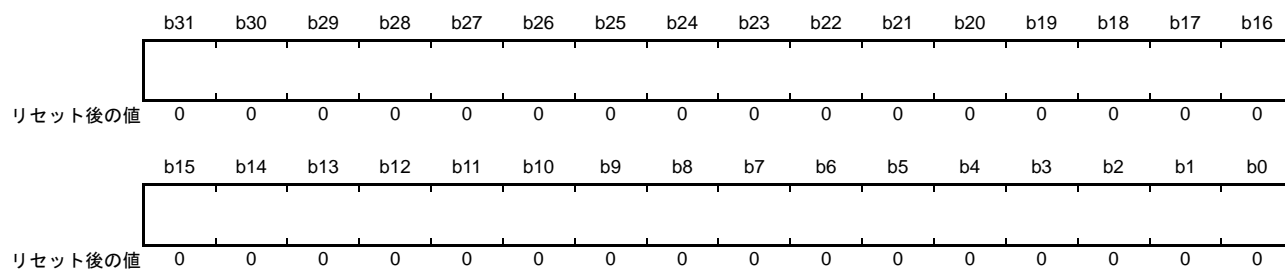
ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

DMSAR レジスタを設定する場合は、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。DMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

18.2.2 DMA 転送先アドレスレジスタ (DMDAR)

アドレス DMAC0.DMDAR 0008 2004h、DMAC1.DMDAR 0008 2044h
DMAC2.DMDAR 0008 2084h、DMAC3.DMDAR 0008 20C4h



ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

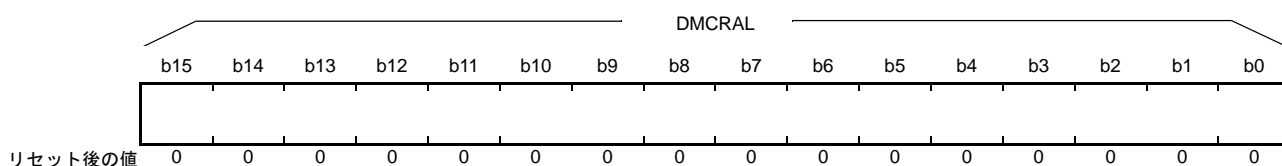
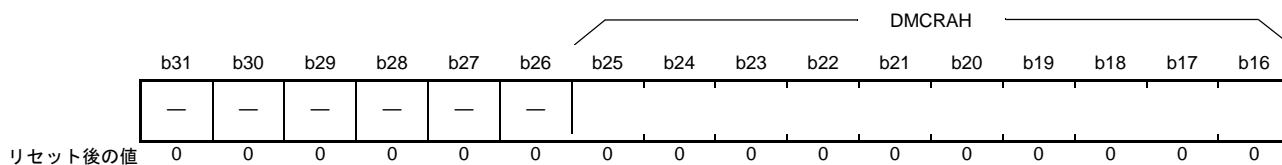
DMDAR レジスタを設定する場合は、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。DMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

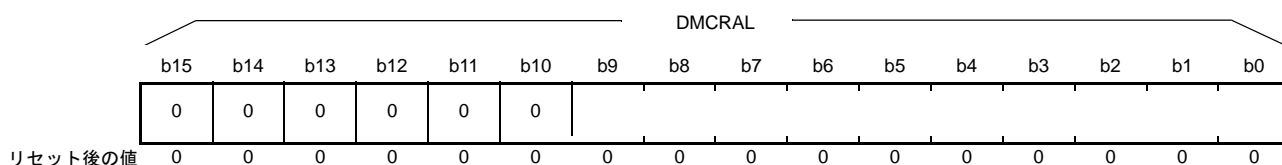
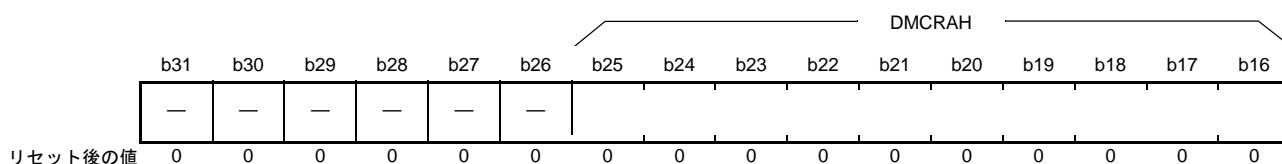
18.2.3 DMA 転送カウントレジスタ (DMCRA)

アドレス DMAC0.DMCRA 0008 2008h、DMAC1.DMCRA 0008 2048h
DMAC2.DMCRA 0008 2088h、DMAC3.DMCRA 0008 20C8h

・ノーマル転送モード



・リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAL	転送カウント下位ビット	転送回数を設定します	R/W
DMCRAH	転送カウント上位ビット		R/W

注. リピート転送モード時およびブロック転送モード時は、DMCRAH、DMCRALレジスタには同じ値を設定してください。

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは 1 回、“FFFFh”のときは 65535 回となります。1 回のデータ転送を行う度にデクリメント (-1) します。

設定値が“0000h”のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは DMCRAH レジスタを使用しません。DMCRAH レジスタへは“0000h”を書いてください。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] ビット = 01b) のとき

DMCRAHレジスタはリピートサイズを保持し、DMCRALレジスタは10ビットの転送カウンタとして機能します。

転送回数は、設定値が“001h”のときは1回、“3FFh”のときは1023回、“000h”のときは1024回となります。リピート転送モード時のDMCRAH、DMCRALレジスタの設定範囲はいずれも000h～3FFh(1回～1024回)です。

DMCRALレジスタのビット15～10の設定値は無効です。DMCRALレジスタのビット15～10へは“0”を書いてください。

DMCRALレジスタは1回のデータ転送を行う度にデクリメント(-1)され、“000h”になるとDMCRAHレジスタの値が転送されます。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき

DMCRAHレジスタはブロックサイズを保持し、DMCRALレジスタは10ビットのブロックサイズカウンタとして機能します。

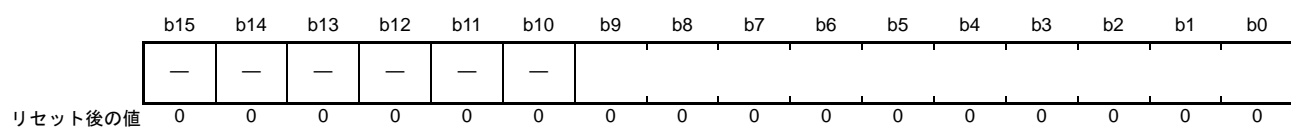
設定値が“001h”のときはブロックサイズ1、“3FFh”のときはブロックサイズ1023、“000h”のときはブロックサイズ1024となります。ブロック転送モード時のDMCRAH、DMCRALレジスタの設定範囲はいずれも000h～3FFhです。

DMCRALレジスタのビット15～10の設定値は無効です。DMCRALレジスタのビット15～10へは“0”を書いてください。

DMCRALレジスタは1回のデータ転送を行う度にデクリメント(-1)され、“000h”になるとDMCRAHレジスタの値が転送されます。

18.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス DMAC0.DMCRB 0008 200Ch, DMAC1.DMCRB 0008 204Ch
DMAC2.DMCRB 0008 208Ch, DMAC3.DMCRB 0008 20CCh



ビット	機能	設定範囲	R/W
b9-b0	ブロック転送回数、リピート転送回数を設定します	001h～3FFh (1～1023回) 000h (1024回)	R/W
b15-b10	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCRBレジスタは、ブロック転送モード時のブロック転送回数、またはリピート転送モード時のリピート転送回数を指定するレジスタです。

転送回数は、設定値が“001h”のときは1回、“3FFh”のときは1023回、“000h”のときは1024回となります。

リピート転送モードの場合、1リピートサイズの最終データ転送時にデクリメント(-1)されます。

ブロック転送モードの場合、1ブロックサイズの最終データ転送時にデクリメント(-1)されます。

ノーマル転送モード設定時は、DMCRBレジスタを使用しません。設定値は無効です。

18.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス DMAC0.DMTMD 0008 2010h、DMAC1.DMTMD 0008 2050h
DMAC2.DMTMD 0008 2090h、DMAC3.DMTMD 0008 20D0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値															
0		0		0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0 : ソフトウェア 0 1 : 周辺モジュールおよび外部割り込み入力端子からの割り込み (注1) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0 : 8ビット転送 0 1 : 16ビット転送 1 0 : 32ビット転送 1 1 : 設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0 : 転送先側がリピート領域またはブロック領域 0 1 : 転送元側がリピート領域またはブロック領域 1 0 : リピート領域、ブロック領域は設定しない 1 1 : 設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0 : ノーマル転送 0 1 : リピート転送 1 0 : ブロック転送 1 1 : 設定しないでください	R/W

注1. DMACの起動要因はICU.DMRSRmレジスタで設定します。詳細は、「15. 割り込みコントローラ (ICUb)」の表15.3 割り込みのベクタテーブルを参照してください。

DTS[1:0] ビット (リピート領域選択ビット)

リピート転送モードあるいはブロック転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

18.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス DMAC0.DMINT 0008 2013h、DMAC1.DMINT 0008 2053h
DMAC2.DMINT 0008 2093h、DMAC3.DMINT 0008 20D3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0: リピートサイズ終了割り込みを禁止 1: リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0: エスケープ割り込みを禁止 1: エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0: 転送終了割り込みを禁止 1: 転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DARIE ビット (転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

DARIE ビットを“1”に設定したとき、転送先アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送先アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合、DARIE ビットの設定値は無効です。

SARIE ビット (転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

SARIE ビットを“1”に設定したとき、転送元アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送元アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット (リピートサイズ終了割り込み許可ビット)

リピート転送モードにおいて、RPTIE ビットを“1”に設定したとき、1リピートサイズ分の転送終了後に DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b” (リピート領域、ブロック領域に指定しない) のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、DMINT.RPTIE ビットを“1”に設定したときも同様に1ブロックの転送終了後に DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイ

ズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b” (リピート領域、ブロック領域に指定しない) に設定したときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット (転送エスケープ終了割り込み許可ビット)

DMA 転送中に発生したエスケープ割り込み要求 (リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込み) を許可または禁止します。

ESIE ビットを“1”にセットすると、DMSTS.ESIF フラグに“1”がセットされたとき、転送エスケープ終了割り込みが発生します。転送エスケープ終了割り込みは、ESIE ビットを“0”にクリアするか、DMSTS.ESIF フラグを“0”にクリアすると解除されます。

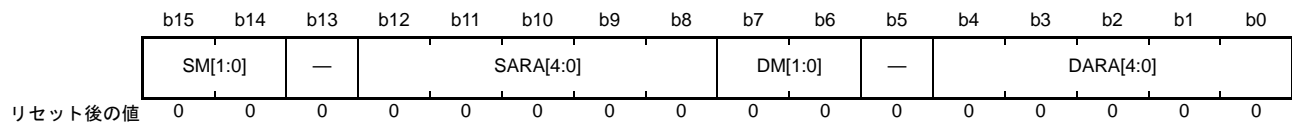
DTIE ビット (転送終了割り込み許可ビット)

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを“1”にセットすると、DMSTS.DTIF フラグに“1”がセットされたとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを“0”にクリアするか、DMSTS.DTIF フラグを“0”にクリアすると解除されます。

18.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 0008 2014h, DMAC1.DMAMD 0008 2054h
DMAC2.DMAMD 0008 2094h, DMAC3.DMAMD 0008 20D4h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表 18.2 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定	b7 b6 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表 18.2 を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定	b15 b14 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W

注1. オフセット加算設定はDMAC0のみ可能です。

DARA[4:0] ビット (転送先アドレス拡張リPEATエリア設定ビット)

転送先アドレスに拡張リPEATエリアを設定することができます。拡張リPEATエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるよう实现しています。拡張リPEATエリアのサイズは2バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスの増減により拡張リPEATエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リPEATエリアの先頭アドレスになり、アドレスが減少すると拡張リPEATエリアの最後のアドレスとなります。

転送先にリPEAT領域またはブロック領域を設定している場合、転送先アドレス拡張リPEATエリアを設定しないでください。リPEAT転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 00b (転送先側がリPEAT領域またはブロック領域) に設定している場合、DARA[4:0] ビットには“00000b”を書いてください。

DMINT.DARIE ビットが“1”のとき、拡張リPEATエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 18.2 に拡張リPEATエリアの設定と範囲を示します。

DM[1:0] ビット (転送先アドレス更新モード設定ビット)

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき -1、DMTMD.SZ[1:0] = 01b のとき -2、DMTMD.SZ[1:0] = 10b のとき -4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0のみ可能です。

SARA[4:0] ビット (転送元アドレス拡張リPEATエリア設定ビット)

転送元アドレスに拡張リPEATエリアを設定することができます。拡張リPEATエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるよう实现しています。拡張リPEATエリアのサイズは2バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスの増減により拡張リPEATエリアからオーバーフローした下位アドレスはアドレスが増加すると拡張リPEATエリアの先頭アドレスになり、アドレスが減少すると拡張リPEATエリアの最後のアドレスとなります。

転送元にリPEAT領域またはブロック領域を設定している場合、転送元アドレス拡張リPEATエリアを設定しないでください。リPEAT転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 01b (転送元側がリPEAT領域またはブロック領域) に設定している場合、SARA[4:0] ビットには“00000b”を書いてください。

DMINT.SARIE ビットが“1”のとき、拡張リPEATエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 18.2 に拡張リPEATエリアの設定と範囲を示します。

SM ビット (転送元アドレス更新モード設定ビット)

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき -1、DMTMD.SZ[1:0] = 01b のとき -2、DMTMD.SZ[1:0] = 10b のとき -4 されます。

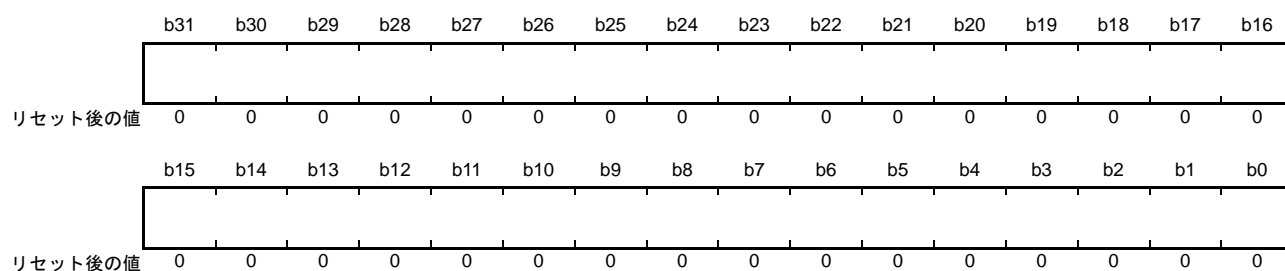
オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0のみ可能です。

表 18.2 拡張リピートエリアの設定と範囲

SARA[4:0] / DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット (2バイト) を拡張リピートエリアに設定する
00010b	当該アドレスの下位2ビット (4バイト) を拡張リピートエリアに設定する
00011b	当該アドレスの下位3ビット (8バイト) を拡張リピートエリアに設定する
00100b	当該アドレスの下位4ビット (16バイト) を拡張リピートエリアに設定する
00101b	当該アドレスの下位5ビット (32バイト) を拡張リピートエリアに設定する
00110b	当該アドレスの下位6ビット (64バイト) を拡張リピートエリアに設定する
00111b	当該アドレスの下位7ビット (128バイト) を拡張リピートエリアに設定する
01000b	当該アドレスの下位8ビット (256バイト) を拡張リピートエリアに設定する
01001b	当該アドレスの下位9ビット (512バイト) を拡張リピートエリアに設定する
01010b	当該アドレスの下位10ビット (1Kバイト) を拡張リピートエリアに設定する
01011b	当該アドレスの下位11ビット (2Kバイト) を拡張リピートエリアに設定する
01100b	当該アドレスの下位12ビット (4Kバイト) を拡張リピートエリアに設定する
01101b	当該アドレスの下位13ビット (8Kバイト) を拡張リピートエリアに設定する
01110b	当該アドレスの下位14ビット (16Kバイト) を拡張リピートエリアに設定する
01111b	当該アドレスの下位15ビット (32Kバイト) を拡張リピートエリアに設定する
10000b	当該アドレスの下位16ビット (64Kバイト) を拡張リピートエリアに設定する
10001b	当該アドレスの下位17ビット (128Kバイト) を拡張リピートエリアに設定する
10010b	当該アドレスの下位18ビット (256Kバイト) を拡張リピートエリアに設定する
10011b	当該アドレスの下位19ビット (512Kバイト) を拡張リピートエリアに設定する
10100b	当該アドレスの下位20ビット (1Mバイト) を拡張リピートエリアに設定する
10101b	当該アドレスの下位21ビット (2Mバイト) を拡張リピートエリアに設定する
10110b	当該アドレスの下位22ビット (4Mバイト) を拡張リピートエリアに設定する
10111b	当該アドレスの下位23ビット (8Mバイト) を拡張リピートエリアに設定する
11000b	当該アドレスの下位24ビット (16Mバイト) を拡張リピートエリアに設定する
11001b	当該アドレスの下位25ビット (32Mバイト) を拡張リピートエリアに設定する
11010b	当該アドレスの下位26ビット (64Mバイト) を拡張リピートエリアに設定する
11011b	当該アドレスの下位27ビット (128Mバイト) を拡張リピートエリアに設定する
11100b ~ 11111b	設定しないでください

18.2.8 DMA オフセットレジスタ (DMOFR)

アドレス DMAC0.DMOFR 0008 2018h



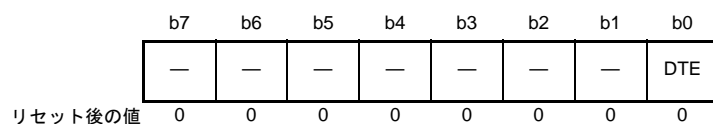
ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定する	00000000h~00FFFFFFh (0バイト~(16M-1)バイト) FF000000h~FFFFFFFh (-16Mバイト~-1バイト)	R/W

DMOFR レジスタを設定する場合は、データ転送中ではなく、DMAC 停止中、または DMA 転送が禁止されているときに書いてください。

ビット 31 ~ 25 への設定値は無効です、ビット 31 ~ 25 へはビット 24 の値がビット拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

18.2.9 DMA 転送許可レジスタ (DMCNT)

アドレス DMAC0.DMCNT 0008 201Ch, DMAC1.DMCNT 0008 205Ch
DMAC2.DMCNT 0008 209Ch, DMAC3.DMCNT 0008 20DCh



ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA 転送許可ビット	0 : DMA 転送を禁止 1 : DMA 転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTE ビット (DMA 転送許可ビット)

DMAST.DMST ビットが“1” (DMAC 起動を許可) で、DTE ビットが“1” (DMA 転送を許可) のとき、対応するチャンネルの DMA 転送を開始することができます。

[“1”になる条件]

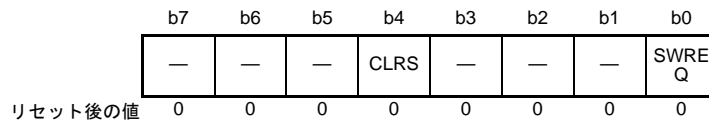
- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき
- 設定の総転送データ数の転送を終了したとき
- リピートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リピートエリアオーバフロー割り込みにより DMA 転送が停止したとき

18.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 0008 201Dh、DMAC1.DMREQ 0008 205Dh
DMAC2.DMREQ 0008 209Dh、DMAC3.DMREQ 0008 20DDh



ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動ビット	0: DMA転送要求なし 1: DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMAソフトウェア起動ビット 自動クリア選択	0: ソフトウェア起動後にSWREQビットをクリアする 1: ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWREQ ビット (DMA ソフトウェア起動ビット)

SWREQ ビットに“1”を書き込むと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが“0”に設定されている場合、SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合、SWREQ ビットは“0”にクリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、DMTMD.DCTG[1:0] ビットを“00b” (DMA 起動要因がソフトウェア) に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0] ビットが“00b”以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS ビットが“0”でソフトウェア起動を行う場合、SWREQ ビットが“0”であることを確認してから SWREQ ビットに“1”を書いてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- CLRS ビットが“0” (ソフトウェア起動後に SWREQ ビットをクリアする) に設定されているときに、ソフトウェアによる要求が受け付けられデータ転送が開始されたとき
- “0”を書き込んだとき

CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

SWREQ ビットへ“1”書き込みによる DMA 転送要求に対する転送を開始したときに、SWREQ ビットを“0”にクリアするかしないを設定します。CLRS ビットが“0”に設定されている場合、転送が開始されると SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合は、SWREQ ビットは“0”クリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

18.2.11 DMA ステータスレジスタ (DMSTS)

アドレス DMAC0.DMSTS 0008 201Eh、DMAC1.DMSTS 0008 205Eh
DMAC2.DMSTS 0008 209Eh、DMAC3.DMSTS 0008 20DEh

b7	b6	b5	b4	b3	b2	b1	b0
ACT	—	—	DTIF	—	—	—	ESIF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0: 転送エスケープ割り込み発生なし 1: 転送エスケープ割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0: 転送終了割り込みなし 1: 転送終了割り込みあり	R/W (注1)
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	DMA アクティブフラグ	0: DMACが停止中 1: DMACが動作中	R

注1. “0”のみ書けます。

ESIF フラグ (転送エスケープ割り込みフラグ)

転送エスケープ割り込みが発生したことを示すフラグです。

[“1”になる条件]

- DMINT.RPTIE ビットが“1”に設定されており、リピート転送モードにおいて1リピートサイズ分の転送終了後
- DMINT.RPTIE ビットが“1”に設定されており、ブロック転送モードにおいて1ブロックの転送終了後
- DMINT.SARIE ビットが“1”に設定され、DMAMD.SARA[4:0] ビットに“00000b”以外(転送元アドレスを拡張リピートエリアに指定)に設定されているときに、転送元アドレスの拡張リピートエリアオーバーフローが発生したとき
- DMINT.DARIE ビットが“1”に設定され、DMAMD.DARA[4:0] ビットに“00000b”以外(転送先アドレスを拡張リピートエリアに指定)に設定されているときに、転送先アドレスの拡張リピートエリアオーバーフローが発生したとき

[“0”になる条件]

- “0”を書いたとき
- DMCNT.DTE ビットに“1”を書いたとき

DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示すフラグです。

[“1”になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき (DMCRAL レジスタが“0”になり転送が終了したとき)
- リピート転送モードにおいて指定リピート回数の転送が終了したとき (DMCRB レジスタが“0”になり転送が終了したとき)
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき (DMCRB レジスタが“0”になり転送が終了したとき)

["0"になる条件]

- “0”を書いたとき
- DMCNT.DTE ビットに“1”を書いたとき

ACT フラグ (DMA アクティブフラグ)

DMAC が動作中か停止中であることを示すフラグです。

["1"になる条件]

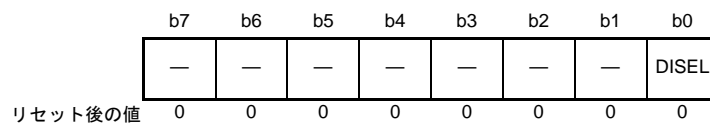
- DMAC が転送動作を開始したとき

["0"になる条件]

- 1 転送要求に対する転送がすべて終了したとき

18.2.12 DMA 起動要因フラグ制御レジスタ (DMCSL)

アドレス DMAC0.DMCSL 0008 201Fh、DMAC1.DMCSL 0008 205Fh
DMAC2.DMCSL 0008 209Fh、DMAC3.DMCSL 0008 20DFh



ビット	シンボル	ビット名	機能	R/W
b0	DISEL	インタラプト選択ビット	0: 転送開始時に起動要因となった割り込みフラグを“0”クリアする 1: 転送終了時に起動要因となった割り込みフラグによりCPUに割り込み要求が発生する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DISEL ビット (インタラプト選択ビット)

DMAC の転送開始時に起動要因となった割り込みフラグを“0”クリアするか、割り込みフラグによりCPUへ割り込みを発生するかを選択します。

なお、DMTMD.DCTG[1:0] = 00b (ソフトウェアによる起動) に設定している場合は、DISEL ビットの設定値は無効です。

18.2.13 DMA モジュール起動レジスタ (DMAST)

アドレス 0008 2200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC動作許可ビット	0 : DMAC起動を禁止 1 : DMAC起動を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMST ビット (DMAC 動作許可ビット)

DMST ビットが“1”のとき、DMAC 全チャンネルの起動が許可されます。

複数チャンネルの DMACm.DMCNT.DTE ビットに“1” (DMA 転送を許可) を書いた後に DMST ビットを“1” (DMAC 起動を許可) にすると、複数チャンネルを同時に転送要求受け付け可能状態にすることができます。

また、DMST ビットを DMAC 動作中に“0”にすると、実行中の 1 転送要求に対するデータ転送が終了した後に DMA 動作が一時停止します。この状態で、再度 DMST ビットを“1”にすることにより継続して DMA 転送を行うことが可能です。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき

18.3 動作説明

18.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは1回の転送要求について1データの転送を行います。DMACm.DMCRALレジスタの設定により、最大65535データの指定転送回数を設定できます。また、DMACm.DMCRALレジスタを“0000h”に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います(フリーランニングモード)。DMACm.DMCRBレジスタの設定はノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を表18.3に、ノーマル転送モードの動作を図18.2に示します。

表18.3 ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAL	転送カウンタ	1減算/更新なし (フリーランニングモード時)
DMACm.DMCRAH	—	更新されません。(ノーマル転送モードでは使用しません)
DMACm.DMCRB	—	更新されません。(ノーマル転送モードでは使用しません)

注1. オフセット加算はDMAC0のみ指定可能です。

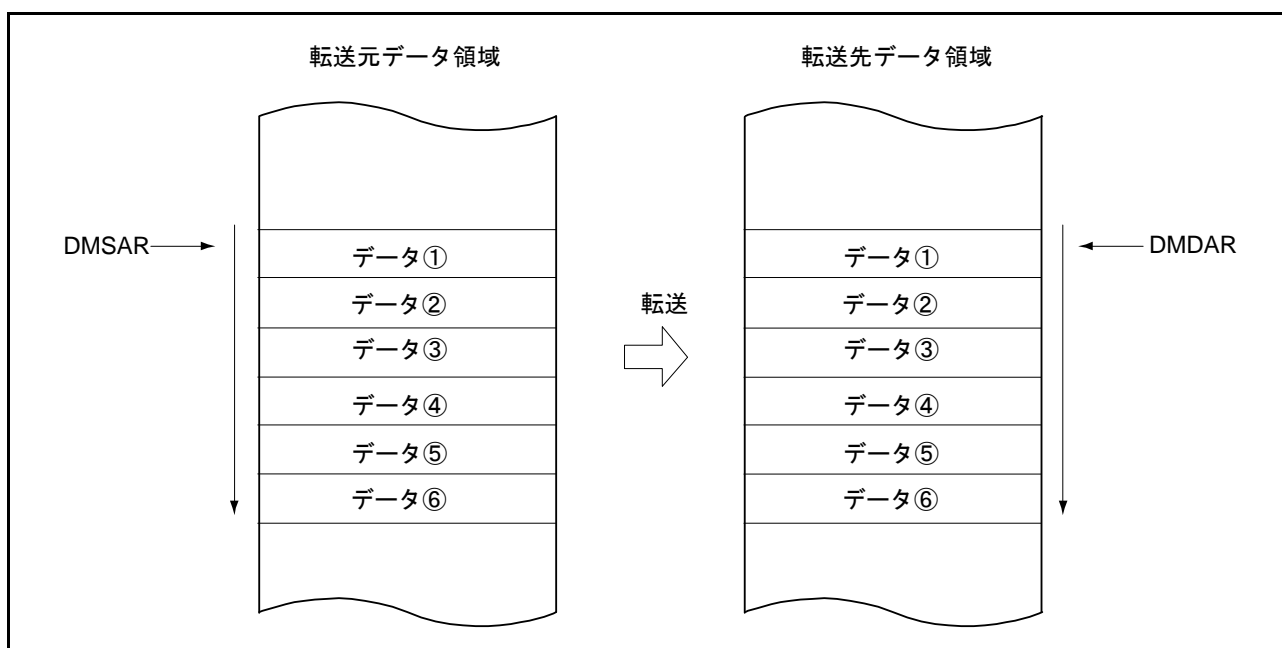


図18.2 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。

DMACm.DMCRA レジスタで最大1Kデータのリピートサイズを設定できます。

また、DMACm.DMCRB レジスタで最大1K回の指定リピート回数を設定できます。総データ転送数は最大1Kデータ×1Kリピート回数=1Mデータの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA転送を停止しリピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むとDMA転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を表18.4に、リピート転送モードの動作を図18.3に示します。

表18.4 リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		DMACm.DMCRALレジスタが1以外のとき	DMACm.DMCRALレジスタが1のとき (リピートサイズの最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/ オフセット加算 (注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/ オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/ オフセット加算 (注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/ オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算 (注1)
DMACm.DMCRAH	リピートサイズ	保持	保持
DMACm.DMCRAL	転送カウント	1減算	DMACm.DMCRAH
DMACm.DMCRB	リピート回数カウント	保持	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

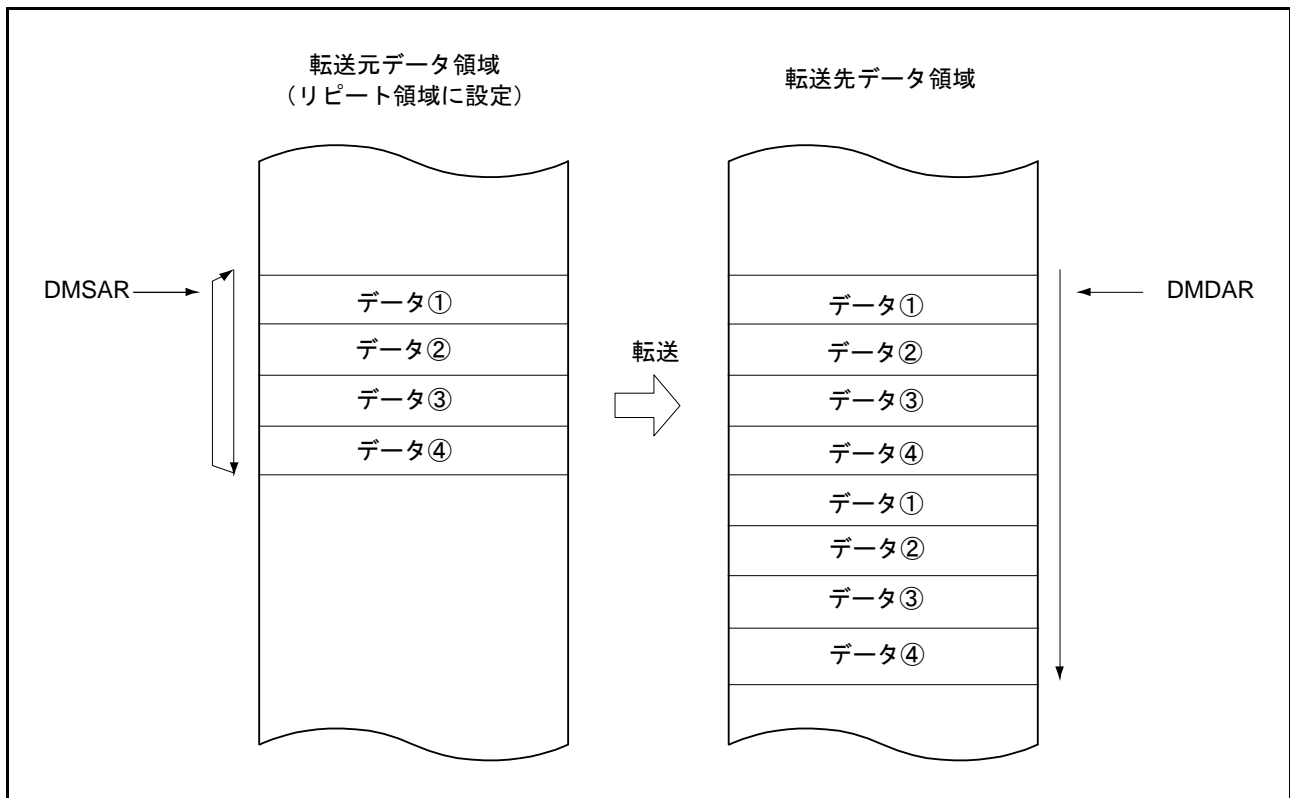


図 18.3 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックのデータ転送を行います。

DMACm.DMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 1K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ × 1K ブロック回数 = 1M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、1ブロックのデータ転送が終了すると初期アドレスに回復します。ブロック転送モードでは、1ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を表 18.5 に、ブロック転送モードの動作を図 18.4 に示します。

表 18.5 ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
DMACm.DMSAR	転送元アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00 b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01 b インクリメント/デクリメント/固定/オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 10 b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAH	ブロックサイズ	保持
DMACm.DMCRAL	転送カウント	DMACm.DMCRAH
DMACm.DMCRB	ブロック回数カウント	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

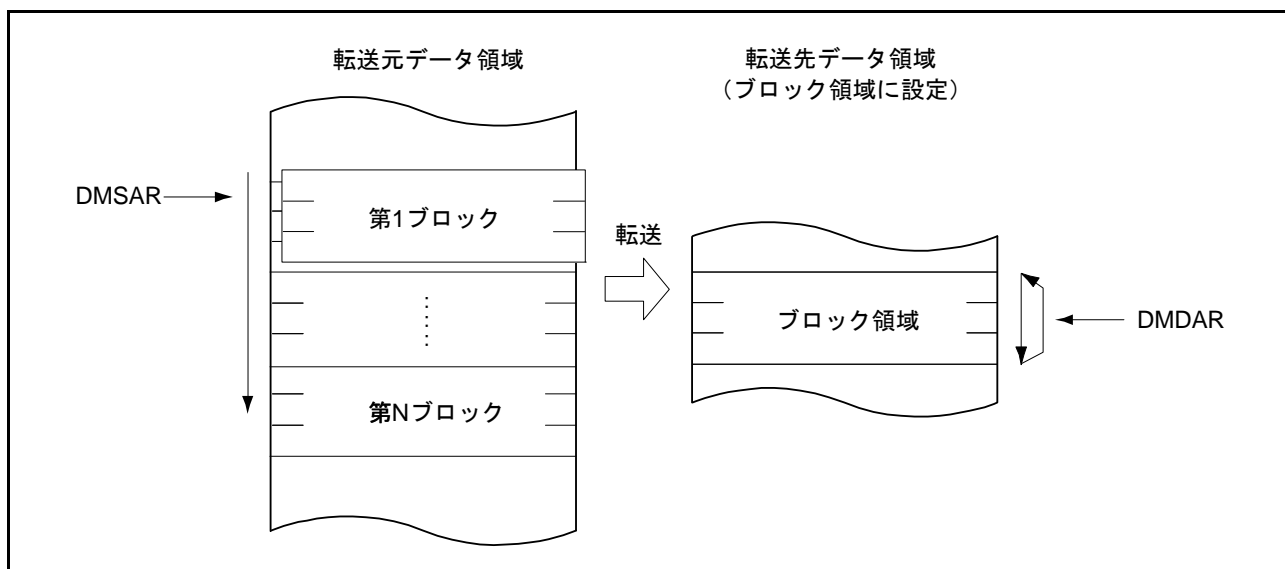


図 18.4 ブロック転送モードの動作

18.3.2 拡張リピートエリア機能

DMACには転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、DMACm.DMSARレジスタ（転送元アドレスレジスタ）、DMACm.DMDARレジスタ（転送先アドレスレジスタ）に独立して設定できます。

転送元アドレスの拡張リピートエリアはDMACm.DMAMD.SARA[4:0]ビットで設定します。転送先アドレスの拡張リピートエリアはDMACm.DMAMD.DARA[4:0]ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定したエリア（転送元または転送先）を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA転送を一時停止させて、拡張リピートエリアオーバーフロー割り込み要求を発生させることができます。DMACm.DMINT.SARIEビットを“1”にすると、転送元アドレスの拡張リピートエリアがオーバーフローしたときにDMACm.DMSTS.ESIFフラグが“1”になり、DMACm.DMCNT.DTEビットを“0”にしてDMA転送を終了します。このとき、DMACm.DMINT.ESIEビットが“1”になっていると、拡張リピートエリアオーバーフロー割り込み要求が発生します。

DMACm.DMINT.DARIEビットを“1”にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバーフロー割り込み処理で、DMACm.DMCNT.DTEビットを“1”にすると、DMA転送を再開することができます。

図18.5に拡張リピートエリア機能の例を示します。

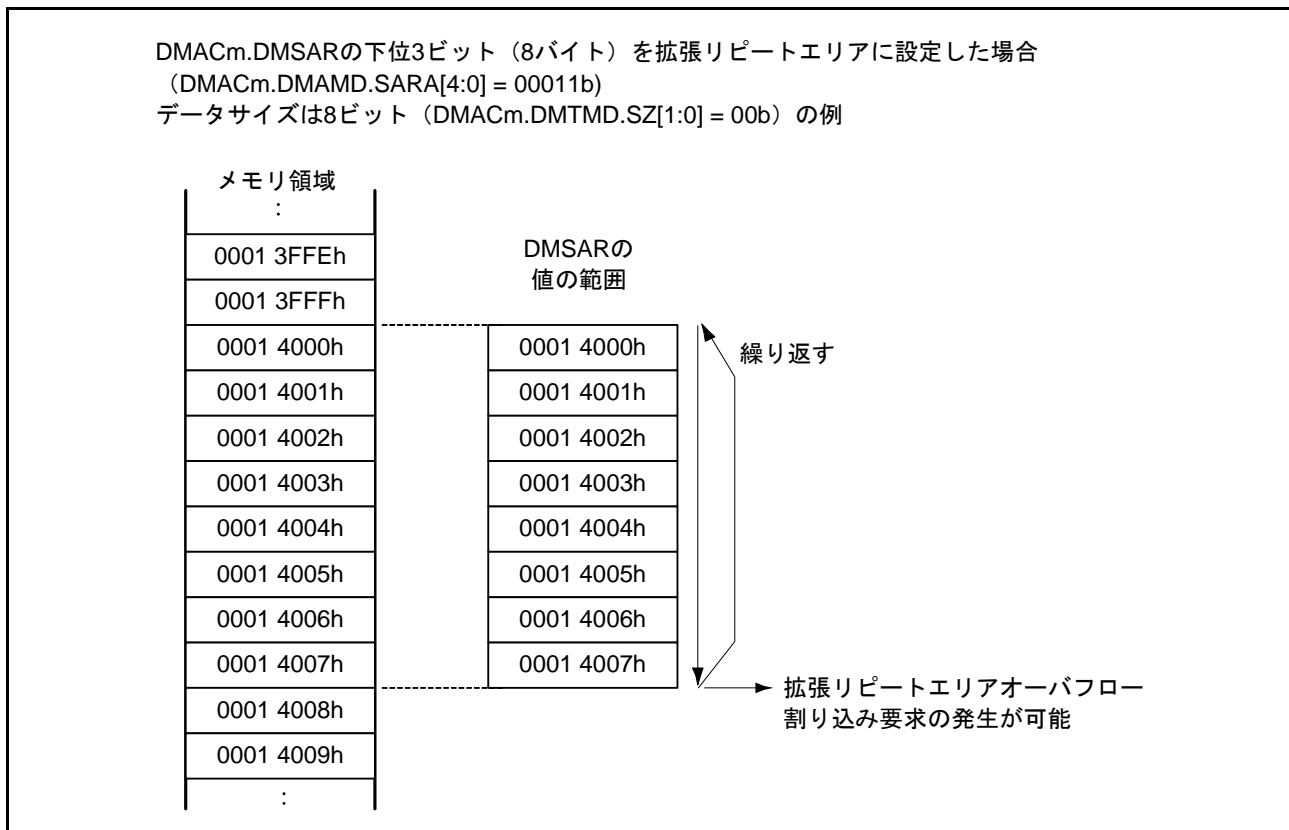


図 18.5 拡張リピートエリア機能の例

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、以下の注意が必要です。

拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックのデータを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックのデータ転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

図 18.6 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

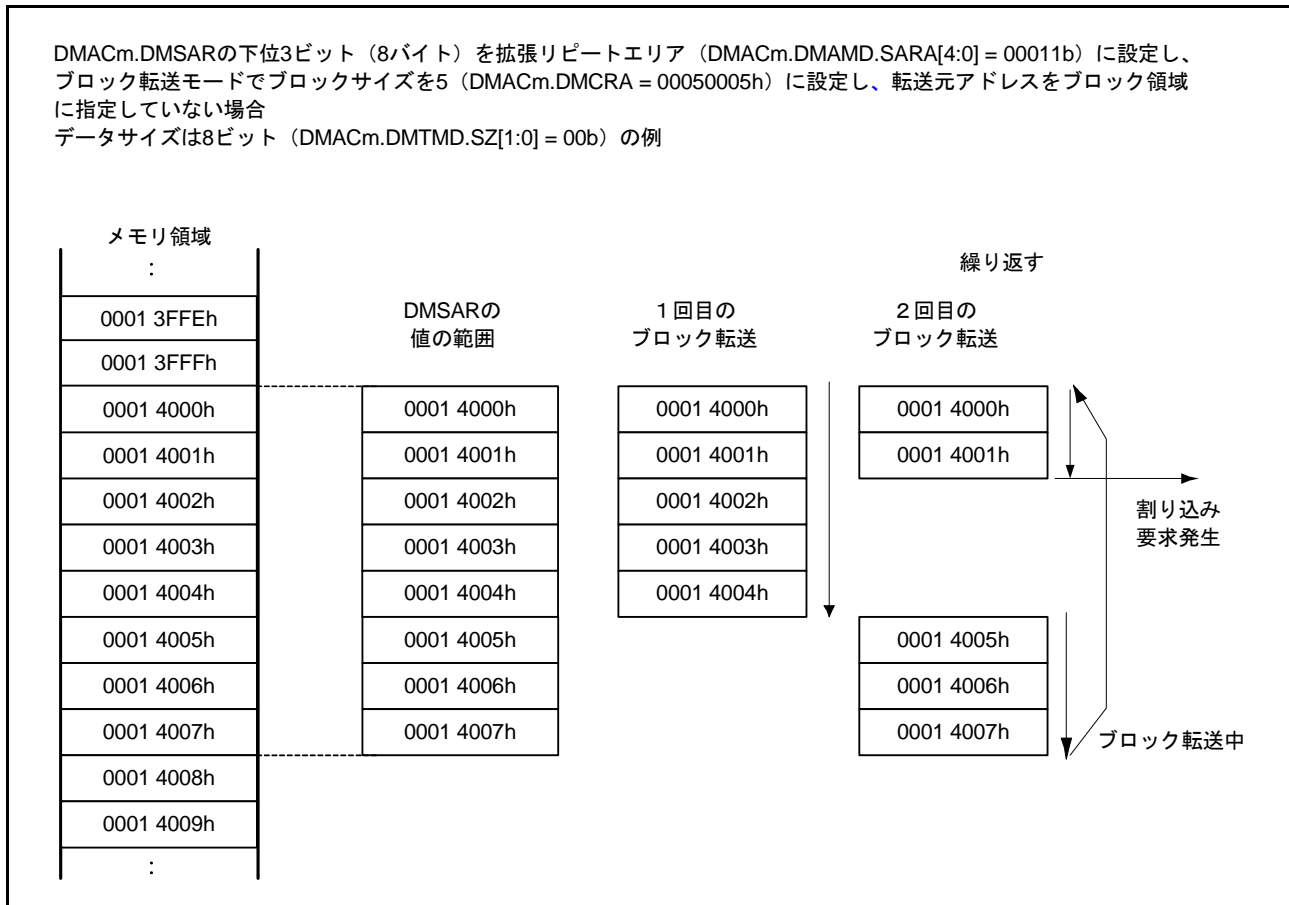


図 18.6 ブロック転送モードと拡張リピートエリア機能を併用した例

18.3.3 オフセットを使ったアドレス更新機能

転送元アドレス、転送先アドレスの更新方法の種類として、固定/インクリメント/デクリメントの他にオフセット加算があります。オフセット加算では、1データの転送を行うたびにDMA オフセットレジスタ (DMAC0.DMOFR) に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

また、DMAC0.DMOFR に2の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャンネルはDMAC0のみです。

各アドレス更新モードでのアドレス更新方法を表 18.6 に示します。

表 18.6 各アドレス更新モードでのアドレス更新方法

アドレス更新モード	DMACm.DMAMD.SM[1:0] DMACm.DMAMD.DM[1:0] アドレス更新モード設定値	更新方法 (DMACm.DMTMD.SZ[1:0] 設定値別更新方法)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR (注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注1. オフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現 = \sim (オフセット値) + 1 (\sim : ビット反転)

(1) オフセット加算を使用した基本的な転送

オフセットによるアドレス更新機能の動作例を図 18.7 に示します。

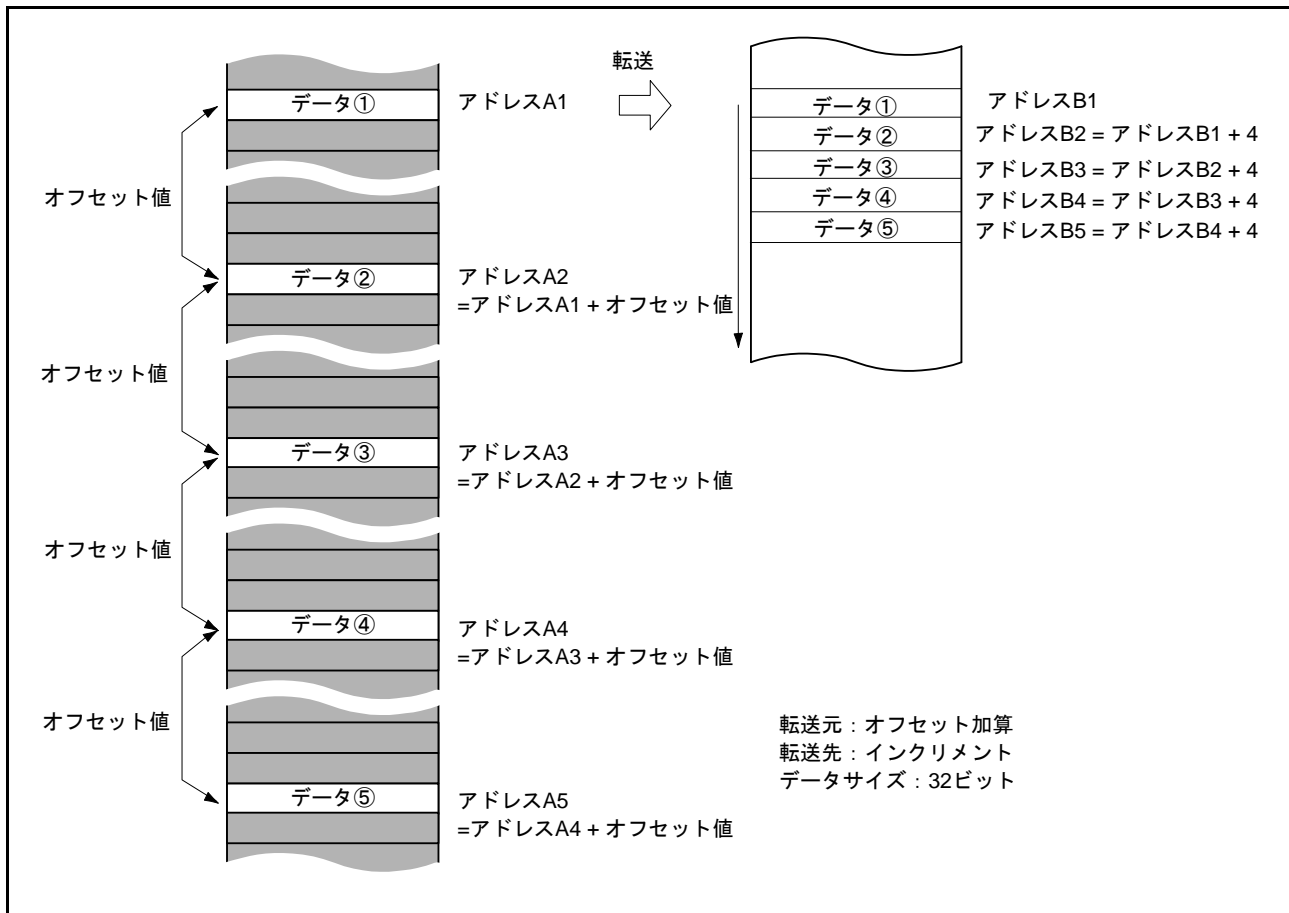


図 18.7 オフセットによるアドレス更新機能の動作例

図 18.7 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセット加算を使った XY 変換例

図 18.8 にリポート転送モードとオフセット加算を組み合わせるときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD レジスタ：転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD レジスタ：転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD レジスタ：転送データサイズビット：32 ビット転送
- DMAC0.DMTMD レジスタ：転送モード設定ビット：リポート転送
- DMAC0.DMTMD レジスタ：リポート領域選択ビット：転送元側がリポート領域
- DMAC0.DMOFR レジスタ：オフセットアドレス：10h
- DMAC0.DMCRA レジスタ：リポートサイズ：4h
- DMAC0.DMINT レジスタ：リポートサイズ終了割り込みを許可に設定

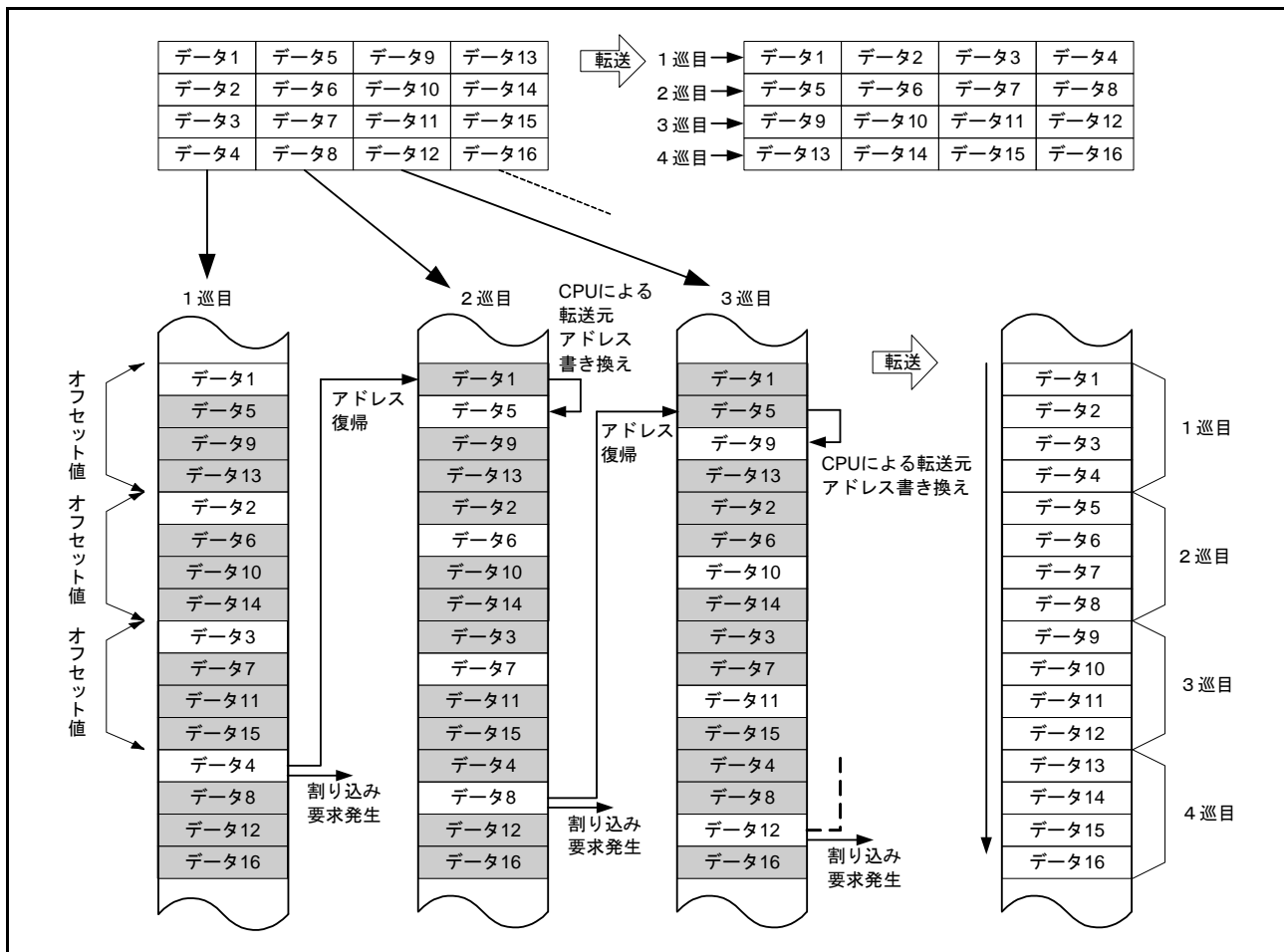


図 18.8 リピート転送モード+オフセット加算によるXY変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“データ4”までのデータが転送されると、リピートサイズ分のデータを転送したことになり、DMACは転送元のアドレスを転送開始時のアドレス（転送元“データ1”のアドレス）に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により、いったん転送が中断します。割り込みで以下の処理を行ってください。

- DMAC0.DMSAR レジスタ：DMA 転送元アドレスを“データ5”のアドレスに書き換え
(上記の例では“データ1”のアドレスに4を加算した値に書き換え)
- DMAC0.DMCNT レジスタ：DTE ビットに“1”書き込み

DMA 転送が中断した状態から引き続き DMA 転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 18.9 に XY 変換の処理フローを示します。

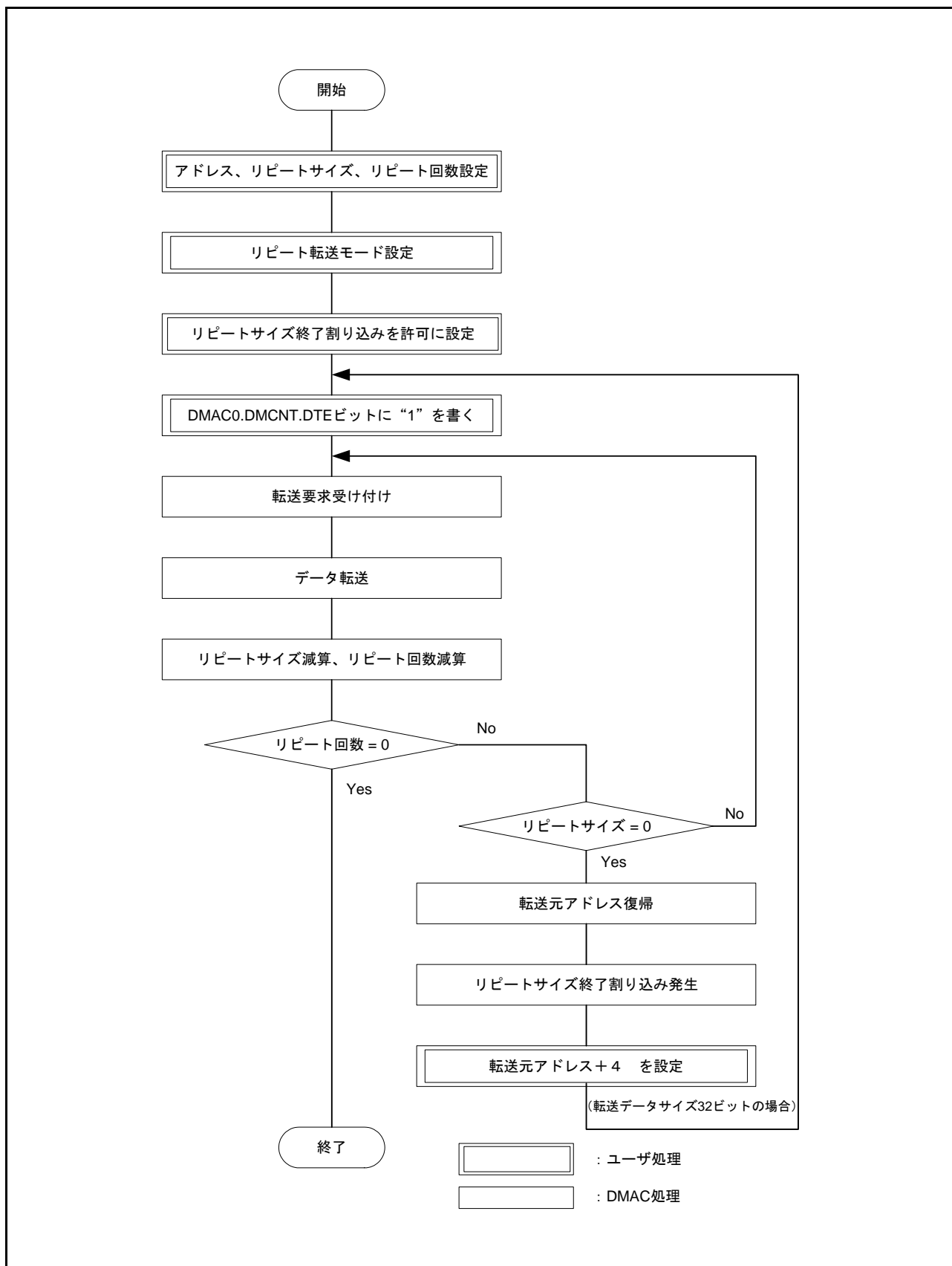


図 18.9 リピート転送モード+オフセット加算によるXY変換のフロー

18.3.4 起動要因

DMACの起動要因には、ソフトウェア、周辺モジュールからの割り込み要求、外部割り込み要求があります。これらの起動要因の選択はDMACm.DMTMD.DCTG[1:0]ビットで設定できます。

(1) ソフトウェアによる起動

DMACm.DMTMD.DCTG[1:0]ビットを“00b”にするとソフトウェアによる起動が可能となります。

ソフトウェアによる起動によりDMA転送を開始するには、DMACm.DMTMD.DCTG[1:0]ビットを“00b”にした後に、DMACm.DMCNT.DTEビットを“1”（DMA転送許可）にしてください。また、DMAST.DMSTビットを“1”（DMAC起動許可）にしてください。その後、DMACm.DMREQ.SWREQビットに“1”（DMA転送要求あり）を書くとDMA動作が開始します。

DMACm.DMREQ.CLRSビットが“0”でソフトウェア起動を行った場合、DMA転送要求に対する転送が開始されるとDMACm.DMREQ.SWREQビットが“0”になります。DMACm.DMREQ.CLRSビットが“1”でソフトウェア起動を行った場合は、転送を開始してもDMACm.DMREQ.SWREQビットは“0”になりません。要求に対する転送終了後、再びDMA転送要求が発生します。

(2) 周辺モジュール / 外部割り込み要求による起動

周辺モジュールからの割り込み要求、または外部割り込み要求をDMA転送起動要因に指定することができます。起動要因の選択は割り込みコントローラ (ICU) のICU.DMRSRmレジスタ (m=0~3) で選択します。チャンネルごとに独立して設定可能です。

周辺モジュールからの割り込み要求、外部割り込み要求によりDMAを起動するには、DMACm.DMTMD.DCTG[1:0]ビットを“01b”（周辺モジュールおよび外部割り込み端子からの割り込み）にした後に、DMACm.DMCNT.DTEビットを“1”（DMA転送を許可）にしてください。また、DMAST.DMSTビットを“1”（DMAC起動を許可）にしてください。その後に割り込み要求が発生すると、DMA動作を開始します。

DMACの起動要因となる割り込み要因一覧は、「15. 割り込みコントローラ (ICUb)」の表 15.3 割り込みのベクタテーブルを参照してください。

18.3.5 動作タイミング

図 18.10、図 18.11 に DMAC の動作タイミングの例を示します。

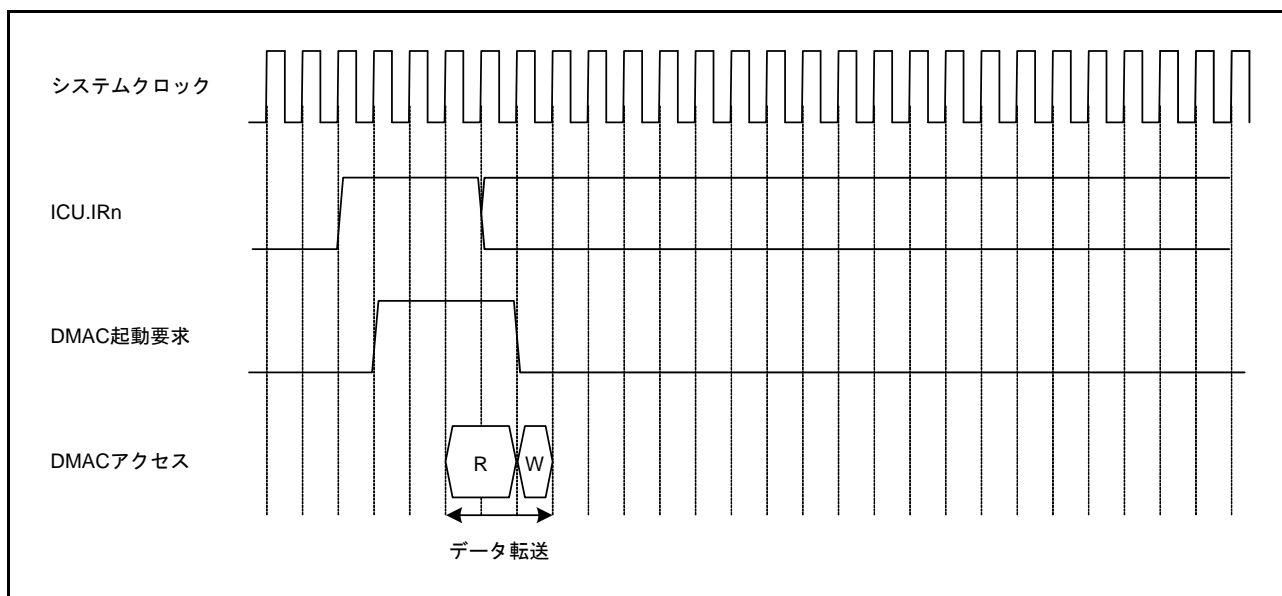


図 18.10 DMAC 動作タイミング例 (1) (周辺モジュール/外部割り込み入力端子からの割り込みによる DMA 起動、ノーマル転送モード、リピート転送モードの場合)

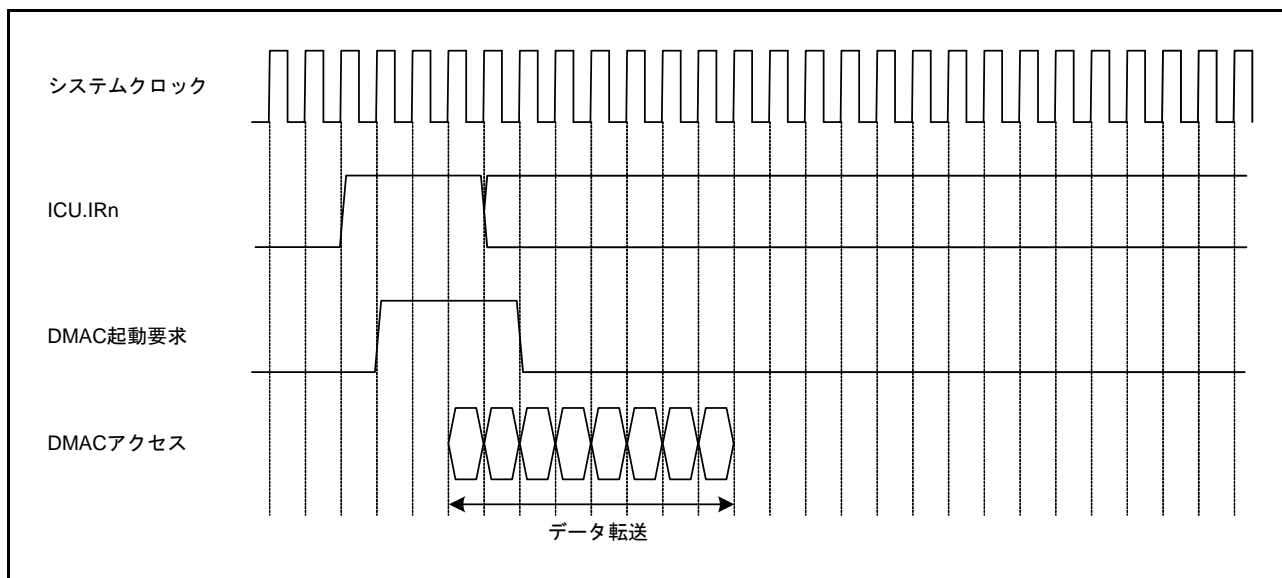


図 18.11 DMAC 動作タイミング例 (2) (周辺モジュール/外部割り込み入力端子からの割り込みによる DMA 起動、ブロック転送モード、ブロックサイズ=4 の場合)

18.3.6 DMACの実行サイクル

表 18.7 に DMAC の 1 回のデータ転送の実行状態を示します。

表 18.7 DMACの実行サイクル

転送モード	データ転送 (リード)	データ転送 (ライト)
ノーマル	Cr + 1	Cw
リピート	Cr + 1	Cw
ブロック (注1)	P × Cr	P × Cw

注1. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (DMCRAH レジスタの設定値)

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「40. RAM」、「41. フラッシュメモリ」、「6. I/O レジスタ」、「16.2.6 外部バス」を参照してください。

データ転送 (リード) の「+1」の単位はシステムクロック (ICLK) です。

動作例は「18.3.5 動作タイミング」を参照してください。

18.3.7 DMACの起動

図 18.12 にレジスタの設定手順を示します。

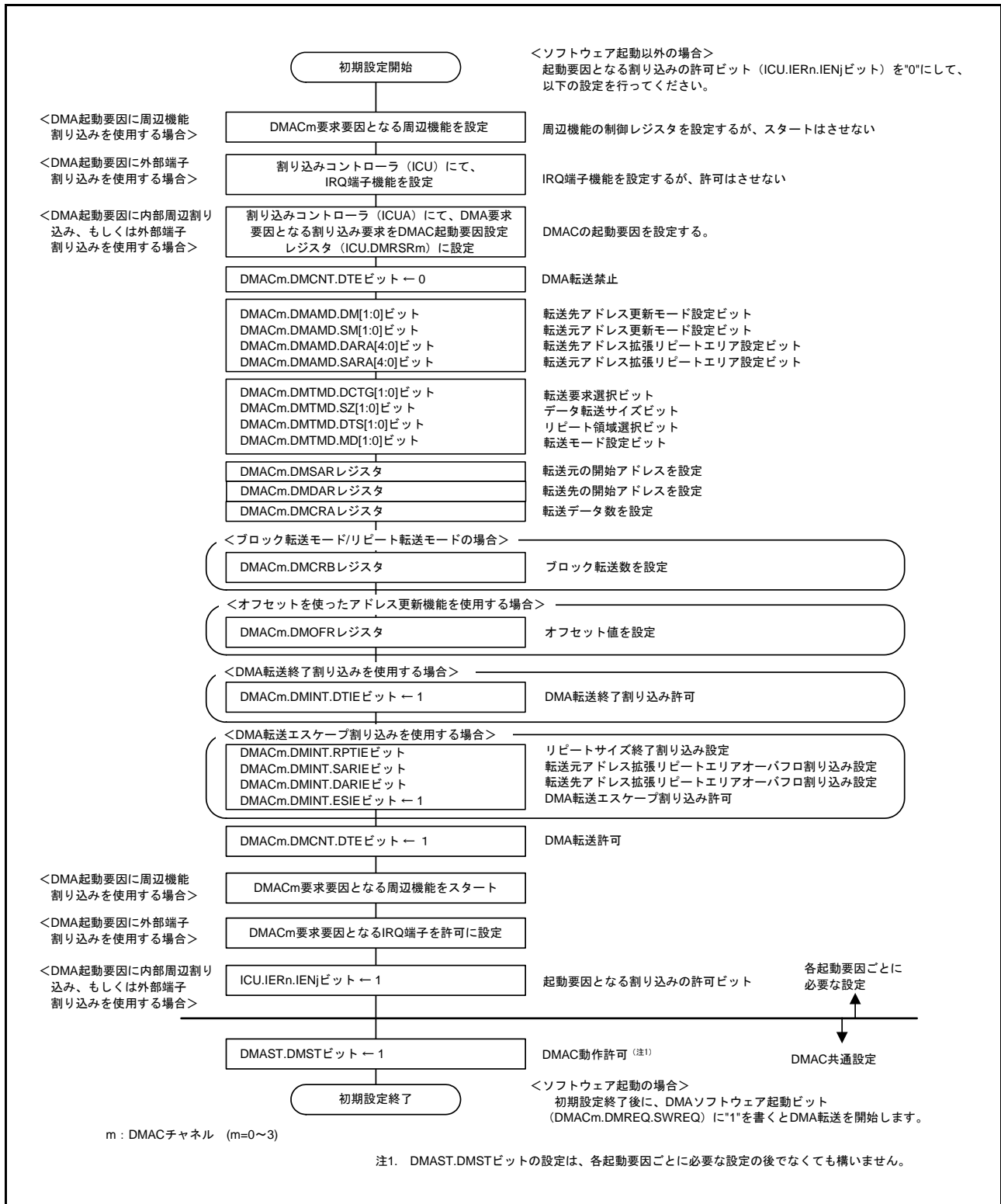


図 18.12 レジスタの設定手順

18.3.8 DMA 転送の開始

DMACm.DMCNT.DTE ビットを“1” (DMA 転送許可) にして、DMAST.DMST ビットを“1” (DMAC 起動許可) にすると、チャンネル m ($m=0\sim 3$) の DMA 転送が可能になります。

他の DMAC チャンネル、DTC の転送中は新たな起動要求は受け付けません。先行する転送が終了した時点で最も優先順位の高いチャンネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送が開始すると、DMACm.DMSTS.ACT ビットが“1” (DMAC 動作中) になります。

18.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、DMACm.DMSTS です。

(1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 18.3 ~ 表 18.5 を参照してください。

(2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 18.3 ~ 表 18.5 を参照してください。

(3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 18.3 ~ 表 18.5 を参照してください。

(4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 18.3 ~ 表 18.5 を参照してください。

(5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送状態によって以下のいずれかの条件が成立した場合は、自動的に DMACm.DMCNT.DTE ビットが“0”になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバーフロー割り込み要求が発生し、転送が終了したとき

DMACm.DMCNT.DTE ビットが“1”になっているチャンネルのレジスタの書き込みは禁止です (DMACm.DMCNT レジスタを除く)。DMACm.DMCNT.DTE ビットに“0”を設定した状態で、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ (DMACm.DMSTS.ACT ビット)

DMACm が停止中か動作中であることを示します。DMACm.DMSTS.ACT ビットは DMAC が転送動作を開始すると“1”にセットされ、1 転送要求に対するデータ転送を終了すると“0”になります。

DMA 転送中に DMACm.DMCNT.DTE ビットに“0”をライトし、DMA 転送を停止させた場合でも、DMA 転送が終了するまで“1”を保持します。

(7) 転送終了割り込みフラグ (DMACm.DMSTS.DTIF フラグ)

DMA 転送によって総転送サイズ分の転送を終了すると、DMACm.DMSTS.DTIF フラグは“1”にセットされます。

DMACm.DMSTS.DTIF フラグが“1”にセットされ、DMACm.DMINT.DTIE ビットが“1”にセットされていると転送終了割り込み要求が発生します。

DMACm.DMSTS.DTIF フラグが“1”にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT ビットが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.DTIF フラグが“0”クリアされます。

(8) 転送エスケープ割り込みフラグ (DMACm.DMSTS.ESIF)

リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは“1”にセットされます。DMACm.DMSTS.ESIF フラグが“1”にセットされ、DMACm.DMINT.ESIE ビットが“1”にセットされていると転送エスケープ割り込み要求が発生します。

DMACm.DMSTS.ESIF フラグに“1”がセットされるタイミングは、割り込み要求が発生させる要因になった DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT フラグが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.ESIF フラグが“0”にクリアされます。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

18.3.10 チャネルの優先順位

DMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行ない、優先順位の高いチャネルの転送が開始されます。

18.4 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが“1”から“0”になり、DMA 転送が終了したことを示します。

18.4.1 設定した総データ転送による転送終了

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) のとき

DMACm.DMCRAL レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

18.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが“1”にセットされているときに、1 リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。またこの状態から DMACm.DMCNT.DTE ビットを“1”にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求が発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に、同様にリピートサイズ終了割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

18.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが“1”にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1ブロック分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても、1ブロック分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

DMACからの割り込み要求をCPUまたはDTCに伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

18.5 割り込み

DMACはチャンネルごとに、1要求分の転送完了後にCPUまたはDTCに割り込み要求を出力させることができます。転送先が外部バス、または内部周辺バスの場合、実転送先への書き込み完了ではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求を発行します。

割り込みの要因、フラグ、許可ビットの関係を表18.8に、割り込み出力の概略論理図を図18.13に示します。また、DMAC割り込み処理で、DMA転送を再開/中止する手順を図18.14に示します。

表18.8 割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力許可
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピートエリアオーバフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピートエリアオーバフロー	DMACm.DMINT.DARIE		

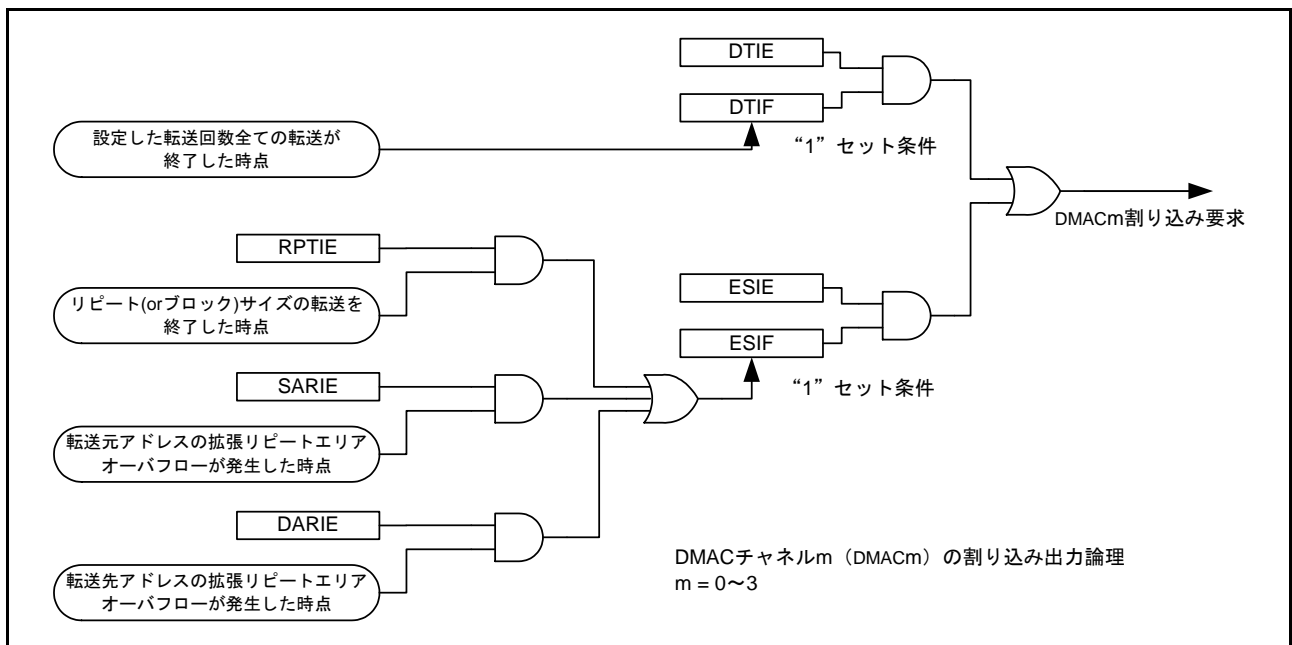


図 18.13 割り込み出力の概略論理図

割り込み処理ルーチンで、割り込みを解除して DMA 転送を再開する方法は、DMA 転送を終了または中止させるときの、転送を継続させる場合で異なります。

(1) DMA 転送を終了または中止させる場合

転送終了割り込みの場合は DMACm.DMSTS.DTIF フラグに、リピートサイズ割り込みおよび拡張リピートエリアオーバーフロー割り込みの場合は DMACm.DMSTS.ESIF フラグに“0”を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後新たな DMA 転送を行う場合は、必要なレジスタに設定値を書き込み、DMACm.DMCNT.DTE ビットに“1” (DMA 転送許可) を書き込んでください。

(2) DMA 転送を継続させる場合

DMACm.DMCNT.DTE ビットに“1”を書き込んでください。自動的に DMACm.DMSTS.ESIF フラグが“0”にクリア (割り込み要因がクリア) され、転送が再開します。

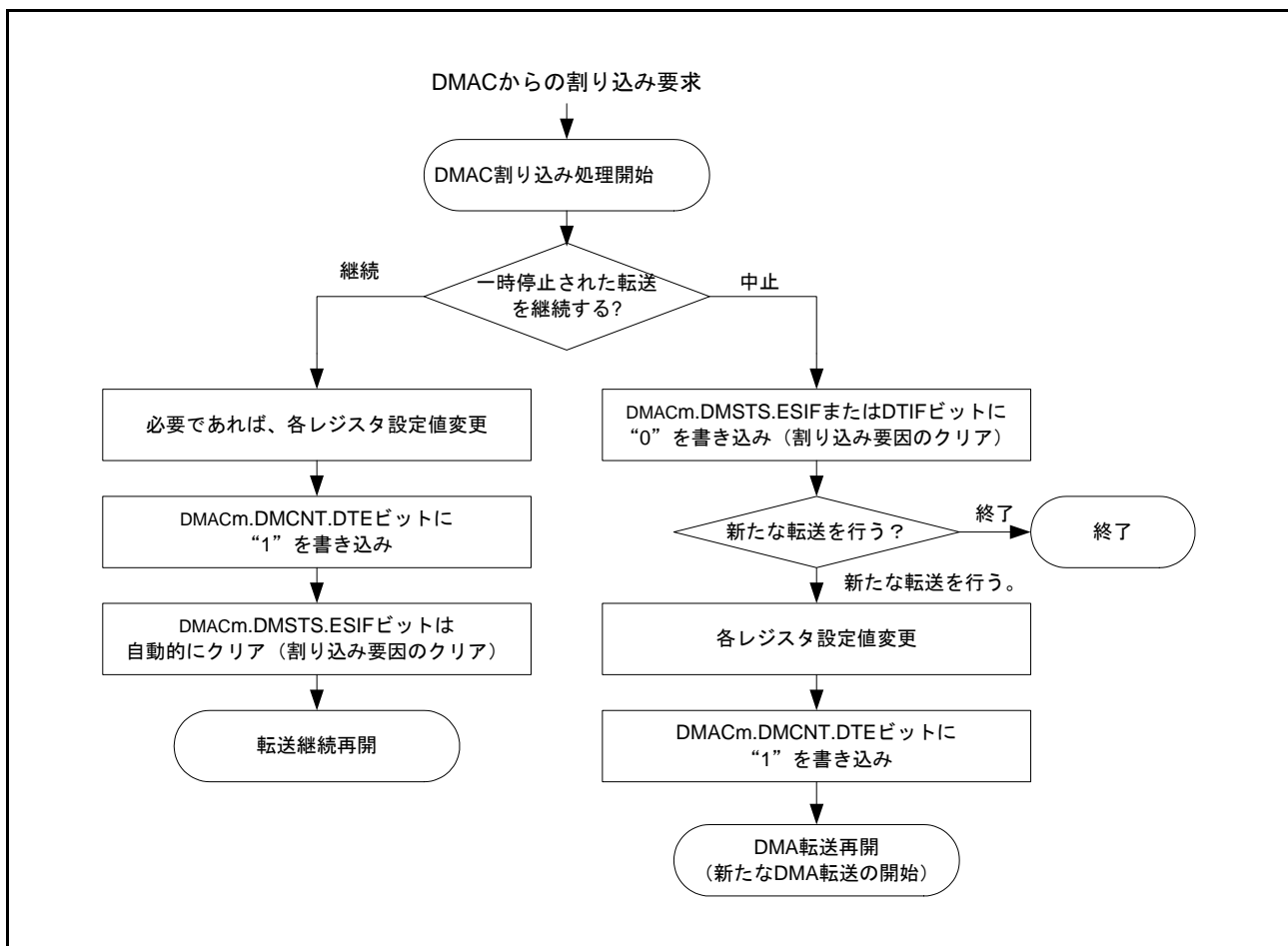


図 18.14 DMAC 割り込み処理で DMA 転送を再開/中止する手順

18.6 消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DMAST.DMST ビットに“0” (DMAC モジュール停止) を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1” を書いたときに DMA 転送動作中の場合、DMA 転送の終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1” のとき、DMAC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DMAC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「12. 消費電力低減機能」の「12.5.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合は、DMA 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに“0” を書くことにより、DMAC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「12. 消費電力低減機能」の「12.5.3.1 ソフトウェアスタンバイモードへの移行」、もしくは「12.5.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「12. 消費電力低減機能」の「12.6.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットに“1” を書いてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DMAC 起動でなく CPU 割り込みとする場合は、「15. 割り込みコントローラ (ICUb)」の「15.5.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

18.7 使用上の注意事項

18.7.1 外部デバイスを使用する場合

外部デバイスへのDMA転送では、最後のデータライトが開始されてから外部バスアクセスが終了する前に、DMACm.DMSTS.ACTフラグが“0” (DMAC停止中) になることがあります。

18.7.2 周辺モジュールへDMA転送する場合

周辺モジュールへのDMA転送では、最後のデータライトが開始されてから周辺バスアクセスが終了する前に、DMACm.DMSTS.ACTフラグが“0” (DMAC停止中) になることがあります。

18.7.3 DMA動作中のレジスタアクセスについて

DMACm.DMSTS.ACTフラグが“1” (DMAC動作中)、またはDMACm.DMCNT.DTEビットが“1” (DMA転送許可) の状態で、同じチャンネルの設定レジスタ (DMSAR、DMDAR、DMCRA、DMCRB、DMTMD、DMINT、DMAMD、DMOFR、DMCSL) へのアクセスは行わないでください。

18.7.4 予約領域へのDMA転送について

予約領域へのDMA転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域についての詳細は「5. アドレス空間」を参照してください。

18.7.5 DMA起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの割り込み要求について

DMACm.DMCSL.DISELビットを“1”に設定すると、1回のDMA起動要求に対する転送が終了する度にCPUへ割り込み要求を発生させることができます。このとき発生する割り込みは、DMACが出力する転送終了割り込み、エスケープ終了割り込みとは異なり、DMACの起動要因となった割り込みフラグをDMA転送終了時に“0”クリアせずに割り込み要求先をCPUに切り替えることにより、CPUへの割り込み要求が発生します。割り込みフラグは、CPU割り込み受け付け時にクリアされます。

割り込みフラグ、割り込み要求先変更については、「15. 割り込みコントローラ (ICUb)」を参照してください。また、DMACm.DMCSL.DISELビットの設定は、「18.2.12 DMA起動要因フラグ制御レジスタ (DMCSL)」を参照してください。

18.7.6 割り込みコントローラのDMAC起動要求レジスタ (ICU.DMRSRm) の設定

DMAC起動要求選択レジスタ (ICU.DMRSRm) の設定は、DMA転送許可ビット (DMACm.DMCNT.DTEビット) が“0” (DMA転送を禁止) のときに行なってください。また、ICU.DMRSRmレジスタで設定したベクタ番号と同じベクタ番号に対応するDTC起動許可レジスタ (ICU.DTCERn) を“1”にしないでください。ICU.DTCERn、ICU.DMRSRmレジスタの詳細は、「15. 割り込みコントローラ (ICUb)」を参照してください。

18.7.7 DMA起動の保留 / 再開方法

DMA起動要求を保留する場合は、起動要因の割り込み許可ビット (ICU.IERn.IENjビット) を“0”にしてください。DMA転送を再開する場合は「18.3.7 DMACの起動」を設定した状態で、ICU.IERn.IENjビットを“1”にしてください。

19. データトランスファコントローラ (DTCa)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。
DTC は、割り込み要求によって起動し、データ転送を行うことができます。

19.1 概要

表 19.1 に DTC の仕様を、図 19.1 に DTC のブロック図を示します。

表 19.1 DTCの仕様

項目	内容
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1データ転送する リピート転送モード 1回の起動で1データ転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピートサイズは最大256データ設定可能 ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは最大256データ設定可能
転送チャンネル	<ul style="list-style-type: none"> 割り込み要因に対応するチャンネルの転送が可能 (ICUからのDTC起動要求で転送) 1つの起動要因に対して複数のデータ転送が可能 (チェーン転送) チェーン転送は「カウンタ=0のとき実施」/「毎回実施」のいずれかを選択可能
転送空間	<ul style="list-style-type: none"> ショートアドレスモードのとき16Mバイト (0000 0000h~007F FFFFhとFF80 0000h~FFFF FFFFhのうち、予約領域以外の領域) フルアドレスモードのとき4Gバイト (0000 0000h~FFFF FFFFhのうち、予約領域以外の領域)
データ転送単位	<ul style="list-style-type: none"> 1データのビット長: 8ビット、16ビット、32ビット 1ブロックサイズのデータ数: 1~256データ
CPU割り込み要求	<ul style="list-style-type: none"> DTCを起動した割り込みでCPUへの割り込み要求を発生可能 1回のデータ転送終了後にCPUへの割り込み要求を発生可能 指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能
リードスキップ	転送情報のリードスキップを指定可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能
消費電力低減機能	モジュールストップ状態への設定が可能

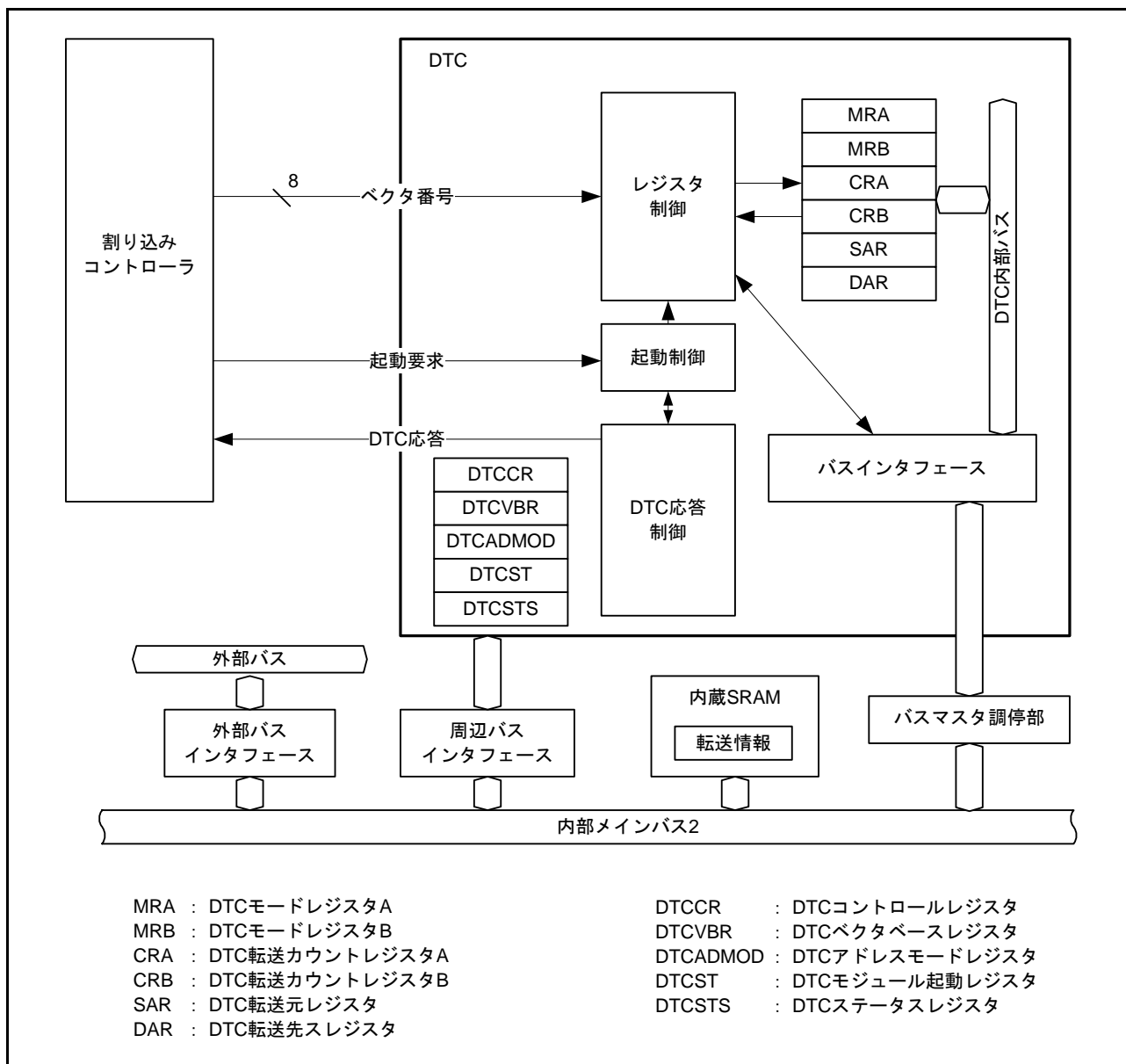


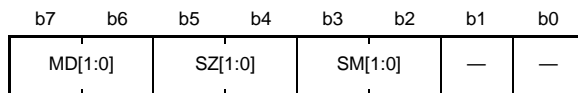
図 19.1 DTC のブロック図

19.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB レジスタはDTCの内部レジスタです。CPUから直接アクセスすることはできません。これら内部レジスタの設定値はRAM領域に転送情報として配置します。DTCは起動要求が発生すると、RAM領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、DTCの内部レジスタは転送情報としてRAM領域にライトバックされます。

19.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可)



リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0 : 転送後SARレジスタをインクリメント (SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1 : 転送後SARレジスタをデクリメント (SZ[1:0]ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0 : 8ビット (バイト) 転送 0 1 : 16ビット (ワード) 転送 1 0 : 32ビット (ロングワード) 転送 1 1 : 設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0 : ノーマル転送モード 0 1 : リピート転送モード 1 0 : ブロック転送モード 1 1 : 設定しないでください	—

MRA レジスタは、CPUから直接アクセスすることはできません。

19.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

b7	b6	b5	b4	b3	b2	b1	b0
CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	

リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0 : DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 0 1 : DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 1 0 : 転送後、DARレジスタをインクリメント (MRA.SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1 : 転送後DARレジスタをデクリメント (MRA.SZ[1:0]ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC転送モード選択ビット	0 : 転送先がリピート領域またはブロック領域 1 : 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC割り込み選択ビット	0 : 指定されたデータ転送終了時、CPUへの割り込みが発生 1 : DTCデータ転送のたびに、CPUへの割り込みが発生	—
b6	CHNS	DTCチェーン転送選択ビット	0 : 連続してチェーン転送を行う 1 : 転送カウンタが1→0、または1→CRAHとなったとき、 チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可ビット	0 : チェーン転送禁止 1 : チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域とするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが“0”のときはCHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 19.3 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可ビット)

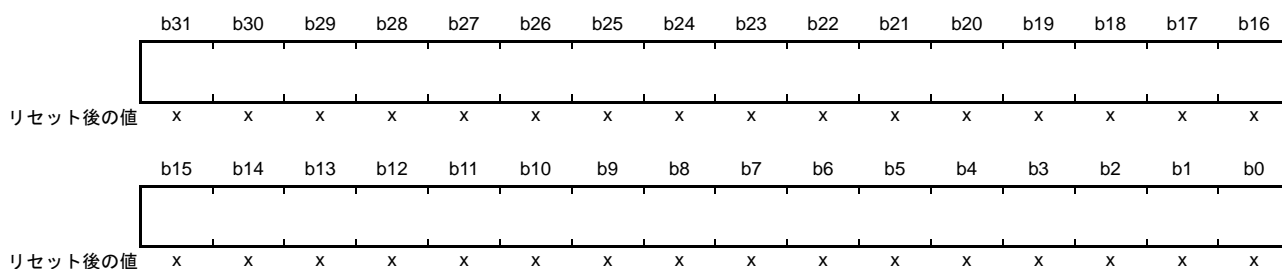
チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。

チェーン転送の詳細は、「19.4.6 チェーン転送」を参照してください。

19.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)



x : 不定

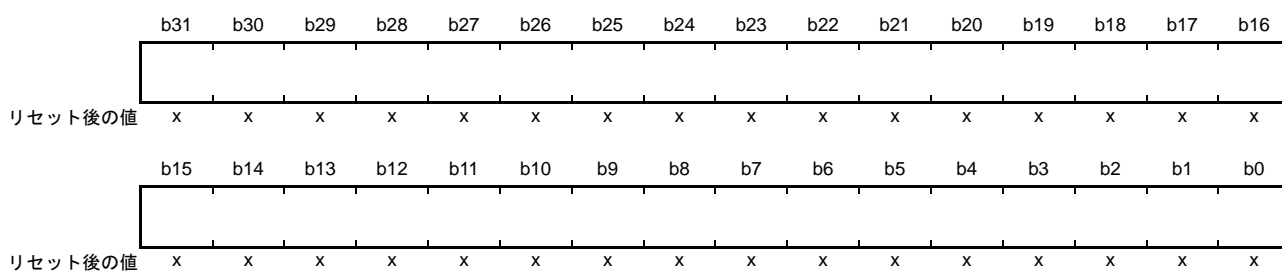
フルアドレスモードでは 32 ビット有効です。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

19.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)



x : 不定

フルアドレスモードでは 32 ビット有効です。

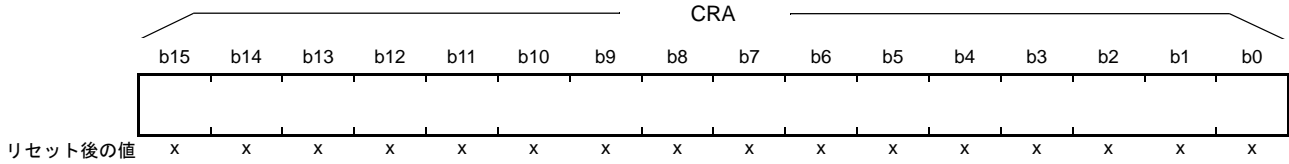
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

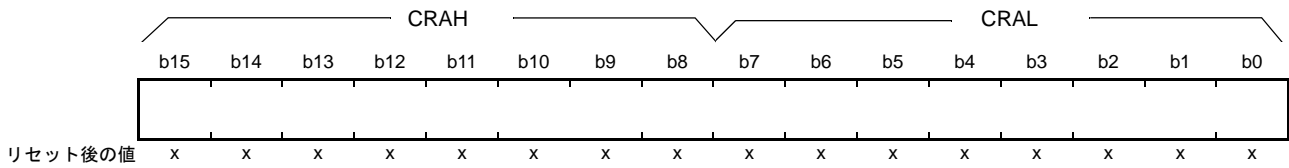
19.2.5 DTC 転送カウントレジスタ A (CRA)

アドレス (CPUから直接アクセス不可)

- ・ノーマル転送モード



- ・リピート転送モード、ブロック転送モード



x: 不定

注. 転送モードによって機能が異なります。

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定する	—
CRAH	転送カウンタA上位レジスタ		—

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタには同じ値を設定してください。

CRA レジスタは CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = “00b”)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

1 回のデータ転送を行うたびにデクリメント (−1) します。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = “01b”)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (−1) され、“00h” になると CRAH レジスタの値が転送されます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = “10b”)

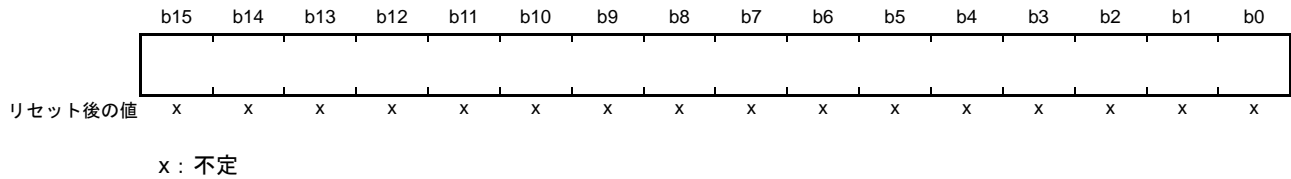
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (−1) され、“00h” になると CRAH レジスタの値が転送されます。

19.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。

転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

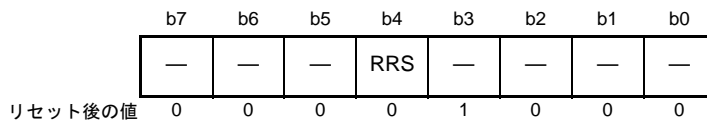
1ブロックサイズの最終データ転送時にデクリメント(−1)されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。

19.2.7 DTC コントロールレジスタ (DTCCR)

アドレス 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC転送情報リードスキップ許可ビット	0：転送情報リードスキップを行わない 1：ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RRS ビット (DTC 転送情報リードスキップ許可ビット)

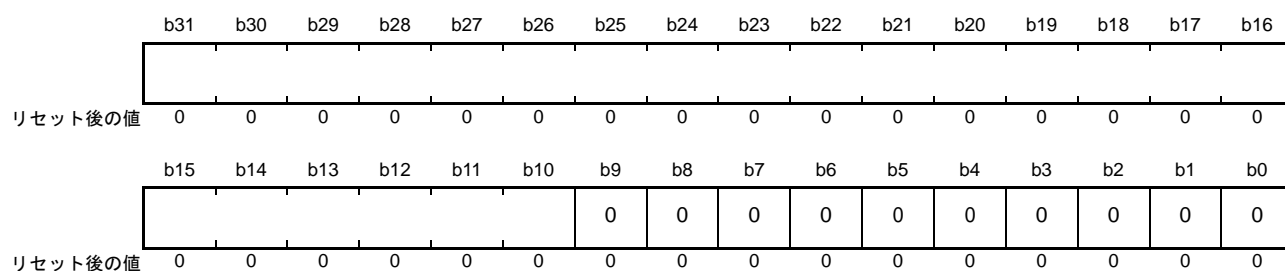
DTC ベクタ番号は、常に前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

19.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス 0008 2404h

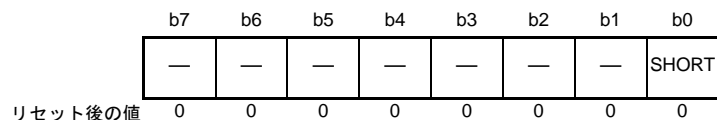


ビット	ビット名	機能	R/W
b9-b0	DTC ベクタベースアドレス (下位 10 ビット)	読むと“0”が読めます。書く場合、“0”としてください	R
b31-b10	DTC ベクタベースアドレス (上位 22 ビット)	上位 4 ビット (b31~b28) への書き込みは無視され、b27で指定した値で拡張されます	R/W

DTCVBR レジスタは、DTC ベクタテーブルアドレス算出時のベースアドレスを設定するレジスタです。0000 0000h ~ 07FF FC00h、および F800 0000h ~ FFFF FC00h の範囲で、1K バイト 単位で設定可能です。

19.2.9 DTC アドレスモードレジスタ (DTCADM0D)

アドレス 0008 2408h



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0: フルアドレスモード 1: ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCADM0D レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

フルアドレスモードでは、4G バイト空間 (00000000h ~ FFFFFFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (00000000h ~ 007FFFFFFFh と FF800000h ~ FFFFFFFFh) のアクセスが可能です。

19.2.10 DTC モジュール起動レジスタ (DTCST)

アドレス 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能とするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

モジュールストップ機能、および全モジュールクロックストップモード、またはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行については「19.8 消費電力低減機能」、および「12. 消費電力低減機能」を参照してください。

19.2.11 DTC ステータスレジスタ (DTCSTS)

アドレス 0008 240Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	—	—	—	—	—	VECN[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号 モニタビット	DTC転送動作中にその起動要因をベクタ番号で示します DTC転送動作中 (ACTフラグが“1”のとき) にのみ有効値を示し ます	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTCアクティブフラグ	0 : DTC転送動作なし 1 : DTC転送動作中	R

VECN[7:0] ビット (DTC アクティブベクタ番号モニタビット)

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1” (DTC 転送動作中) であれば、読み出された VECN[7:0] は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0” (DTC 転送動作なし) であれば、読み出された VECN[7:0] は無効値です。

DTC 起動要因とベクタアドレスの関係は、「15. 割り込みコントローラ (ICUb)」の「表 15.3 割り込みのベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

DTC の転送動作状態を示します。

[“1” になる条件]

- 転送要求に対して DTC が起動したとき

[“0” になる条件]

- 1 回の転送要求に対する DTC 動作が終了したとき

19.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込みに対応する割り込みコントローラ (ICU) の DTCERn.DTCE ビット (n = 割り込みベクタ番号) を“1”にすると DTC 起動要因となります。

DTC 起動要因とベクタアドレスの関係は、「15. 割り込みコントローラ (ICUb)」の「表 15.3 割り込みのベクタテーブル」を参照してください。また、ソフトウェア起動については、「15. 割り込みコントローラ (ICUb)」の「15.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」を参照してください。

DTC が一度、起動要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな起動要求を受け付けません。DMAC/DTC 転送中に複数の起動要因が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が“0”の状態に複数の起動要求が発生した場合、その後、DTCST.DTCST ビットを“1”にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に DTCERn.DTCE ビットを“0”にして CPU に割り込みを要求します。
- MRB.DISEL ビットが“1”のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを“0”にします。

19.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別にベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

ベクタテーブルのベースアドレス (先頭アドレス) は下位 10 ビットが“0”になるように配置してください。DTC ベクタベースレジスタ (DTCVBR) に DTC ベクタテーブルのベースアドレスを設定してください。

転送情報は、RAM 領域に配置します。ベクタ番号 n の転送情報 (n) の先頭アドレスは、ベクタテーブルのベースアドレスに対し、+4n 番地としてください。

転送情報は、ショートアドレスモード (3 ロングワード)、フルアドレスモード (4 ロングワード) のいずれかで配置できます。DTCADMOD.SHORT ビットで、ショートアドレスモード (SHORT ビット=1)、フルアドレスモード (SHORT ビット=0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 19.2 に示します。

RAM 領域上の転送情報の配置を図 19.3 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「19.9.2 転送情報の配置」を参照してください。

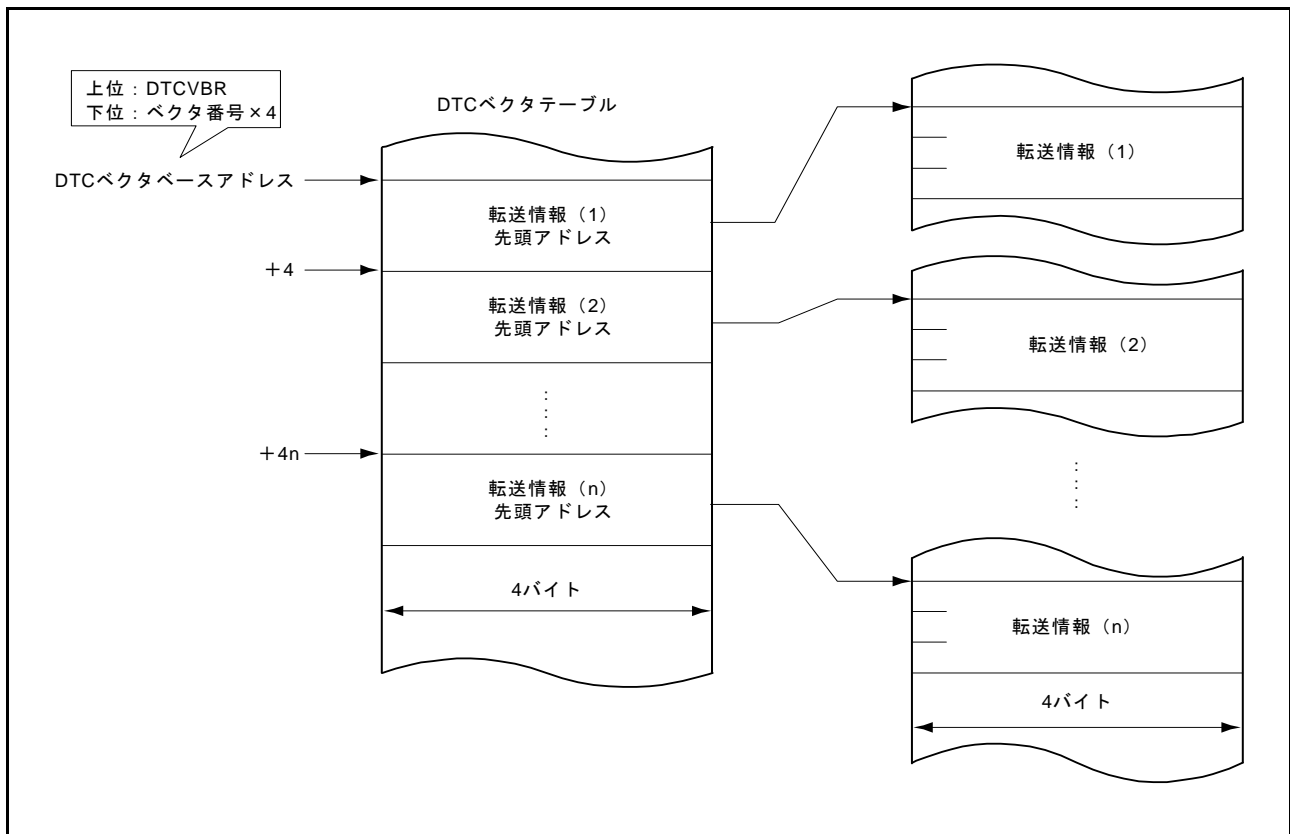


図 19.2 DTC ベクタテーブルと転送情報の対応

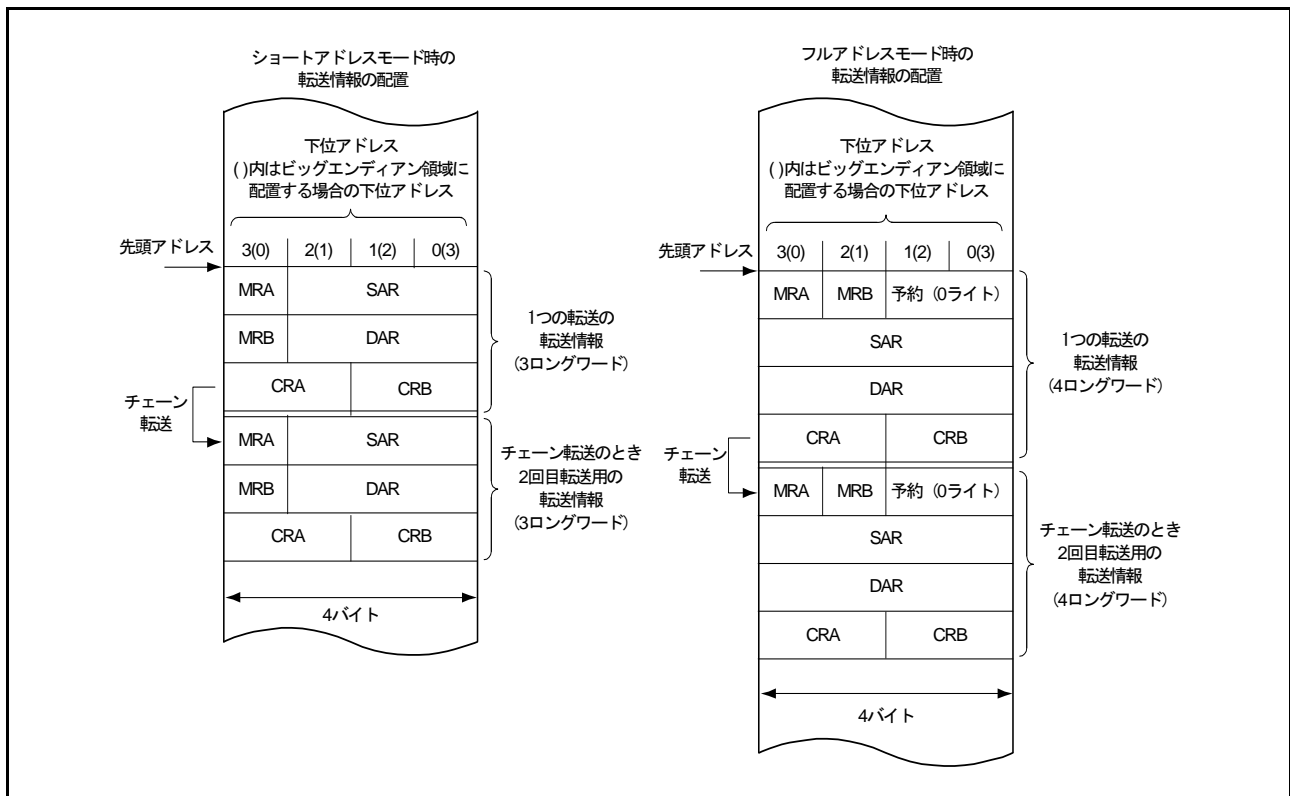


図 19.3 RAM 領域上の転送情報の配置

19.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読みます。次に DTC ベクタが示す転送情報格納アドレスから転送情報を読んでデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、転送後個々にインクリメント、デクリメント、あるいはアドレス固定になります。

DTC の転送モードを表 19.2 に示します。

表 19.2 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/ワード/ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード (注1)	1バイト/ワード/ロングワード	1、2または4増減あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ (1～256 バイト/ワード/ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続 (リピート) する。

また、MRB.CHNE ビットを“1”にしておくことにより、1つの起動要因で複数の転送を行うことができます (チェーン転送)。MRB.CHNS ビットの設定で、指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 19.4 に示します。チェーン転送の条件を表 19.3 に示します。

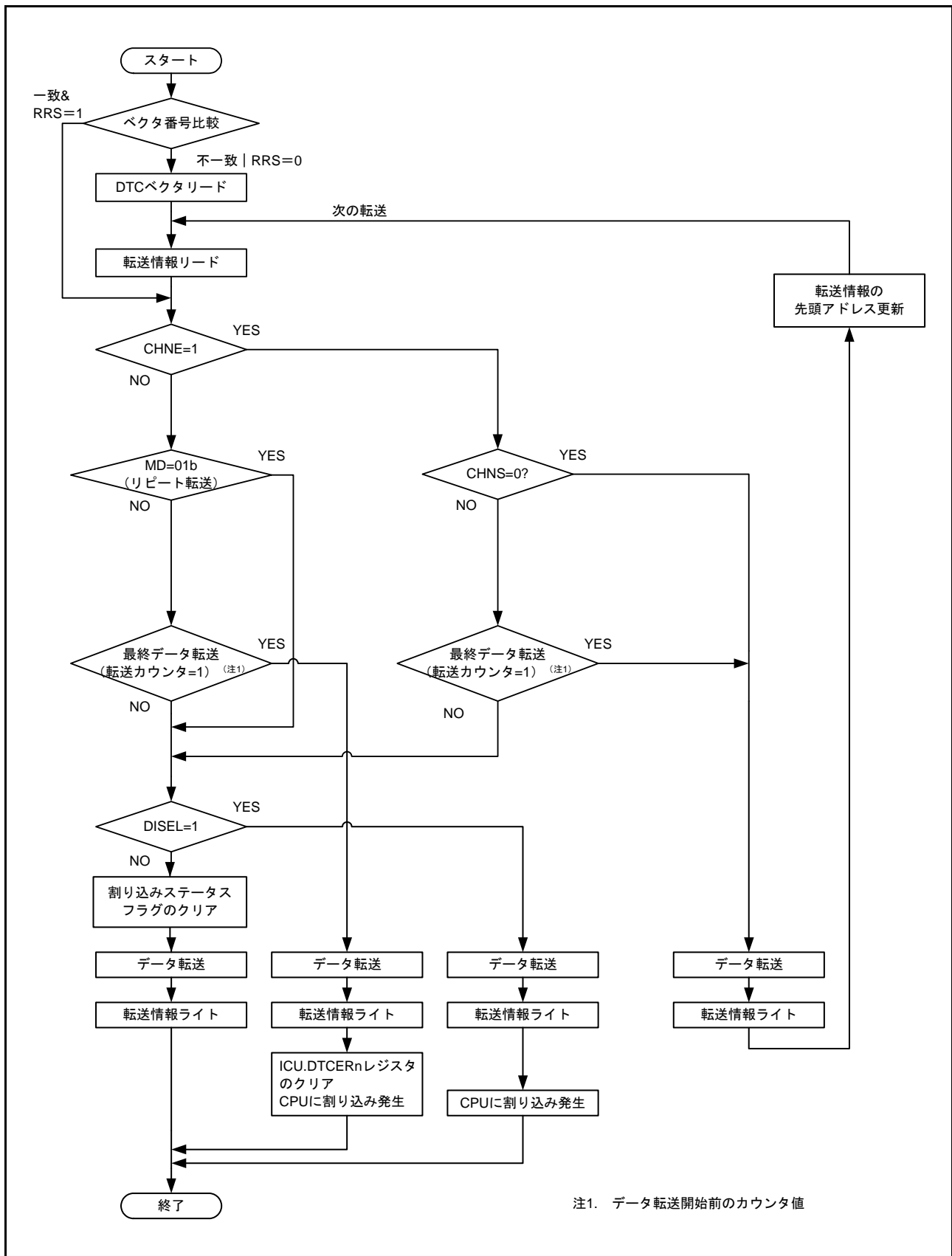


図 19.4 DTC 動作フローチャート

表 19.3 チェーン転送の条件

第1の転送				第2の転送 (注3)				DTC転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1→0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1→0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第1転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。

ノーマル転送モード：CRAレジスタ、リピータ転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1→0)、リピータ転送モードでは(1→CRAH)となります。表中の(1→*)はこの両方を指しています。

注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

19.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができません。

DTC 起動要求時、今回起動の DTC ベクタ番号と前回起動の DTC ベクタ番号は常に比較されます。比較結果が一致し、RRS ビットが“1”のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェーン転送のときは、ベクタアドレスのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が 0 になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 19.13 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、RRS ビットを設定してください。RRS ビットを“0”にすると、保持されていたベクタ番号は破棄され、次の起動時に更新された DTC ベクタテーブルおよび転送情報がリードされます。

19.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、またはMRB.DM[1:0] ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 19.4 に示します。

なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。また、フルアドレスモードでは、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 19.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

19.4.3 ノーマル転送モード

1つの起動要因で、1バイト、1ワード、1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表 19.5 に、ノーマル転送モードのメモリマップを図 19.5 に示します。

表 19.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新されない

注1. アドレス固定のときはライトバックはスキップされます。

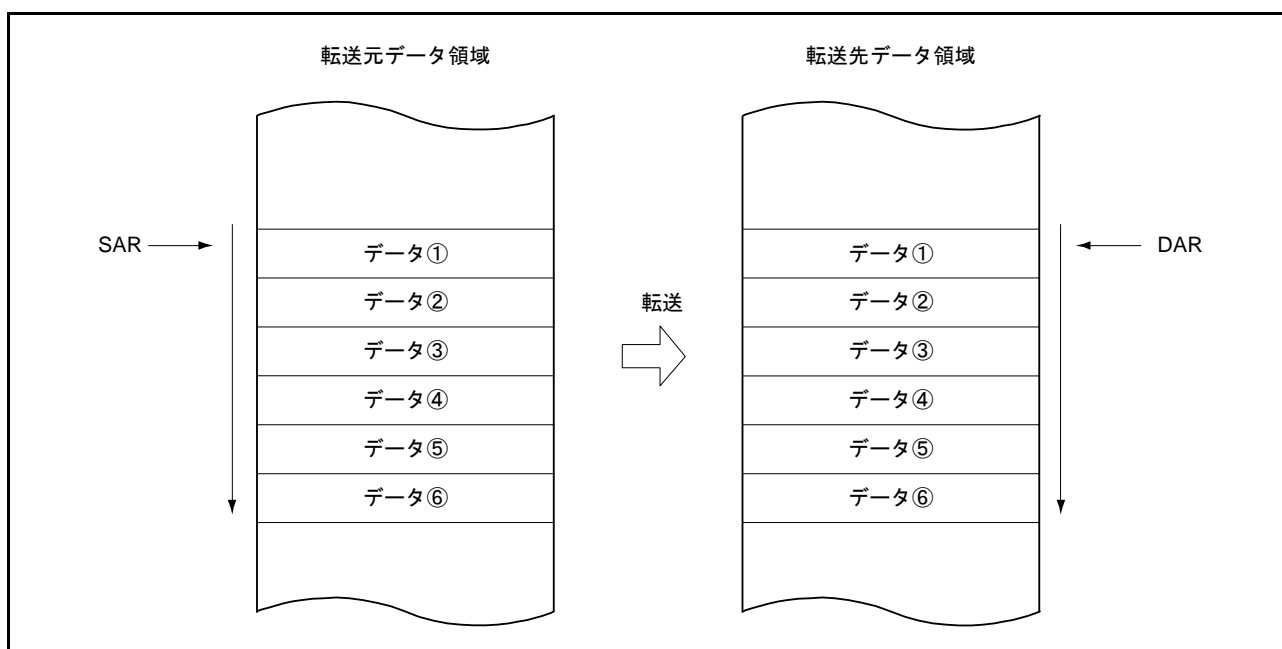


図 19.5 ノーマル転送モードのメモリマップ

19.4.4 リピート転送モード

1つの起動要因で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”（指定されたデータ転送終了時、CPU への割り込みが発生）のときに CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 19.6 に、リピート転送モードのメモリマップを図 19.6 に示します。

表 19.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値	
		CRALが1以外するとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=“0”のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTSビット=“1”のとき) SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=“0”のとき) DARレジスタの初期値 (MRB.DTSビット=“1”のとき) インクリメント/デクリメント/固定 (注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新されない	更新されない

注1. アドレス固定のときは、ライトバックはスキップされます。

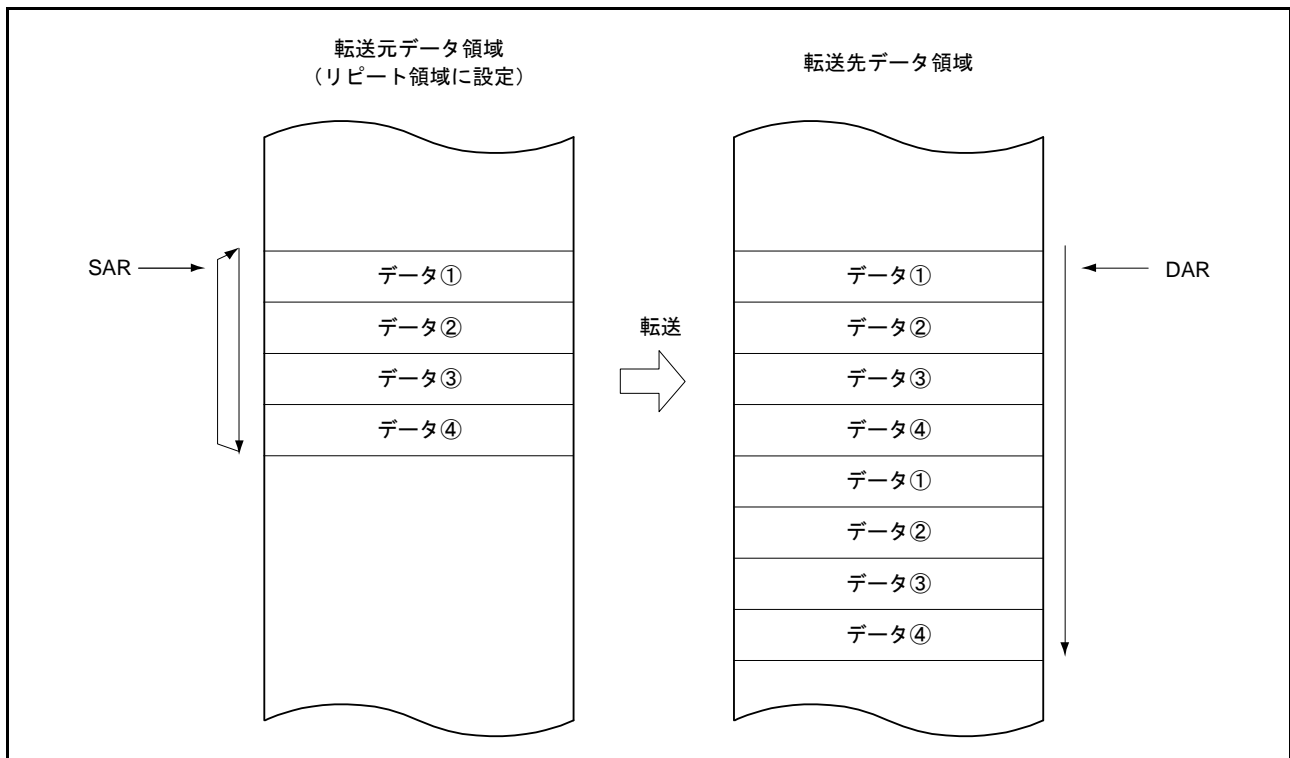


図 19.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

19.4.5 ブロック転送モード

1つの起動要因で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト（または1～256ワード、1～256ロングワード）の指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ（MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ）の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数（ブロック回数）は、1～65536まで指定可能です。指定回数のブロック転送が終了すると、CPUへの割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表19.7に、ブロック転送モードのメモリマップを図19.7に示します。

表19.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値
SAR	転送元アドレス	(MRB.DTS ビット = “0” のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTS ビット = “1” のとき) SAR レジスタの初期値
DAR	転送先アドレス	(MRB.DTS ビット = “0” のとき) DAR レジスタの初期値 (MRB.DTS ビット = “1” のとき) インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB-1

注1. アドレス固定のときは、ライトバックはスキップされます。

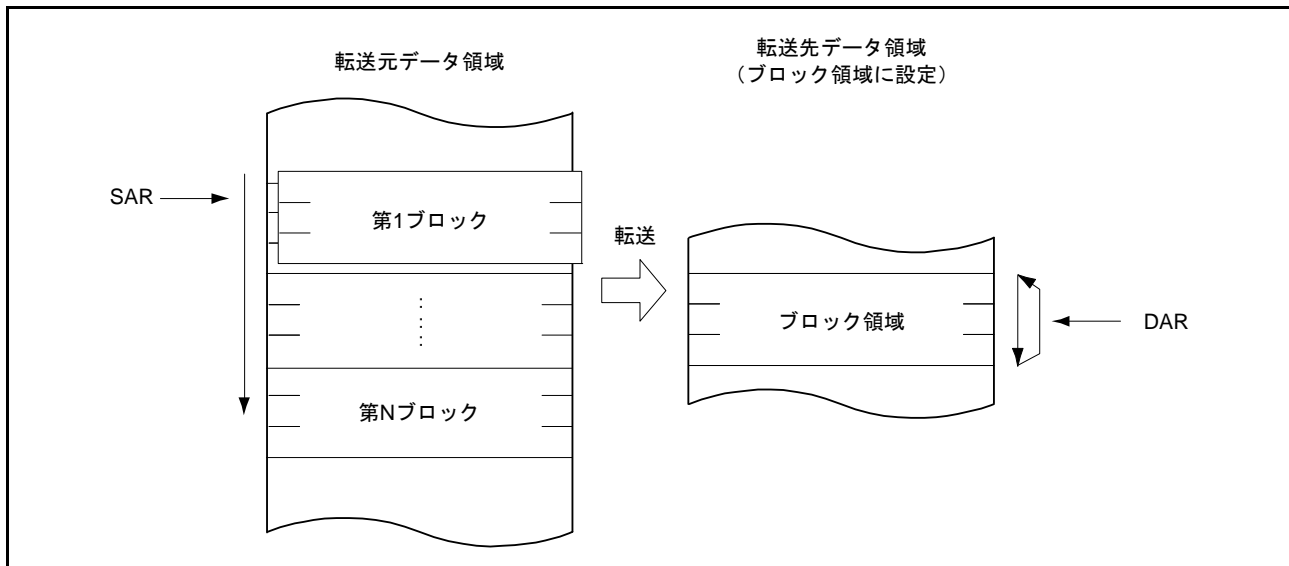


図19.7 ブロック転送モードのメモリマップ（転送先をブロック領域に指定した場合）

19.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1つの起動要因で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した転送回数の終了によるCPUへの割り込み要求や、MRB.DISEL ビット=“1” (DTC データ転送のたびに、CPU に割り込み要求を発生) によるCPUへの割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグに影響を与えません。

データ転送を定義するSAR、DAR、CRA、CRB、およびMRA、MRBレジスタはそれぞれ個別に設定できます。図19.8にチェーン転送の動作を示します。

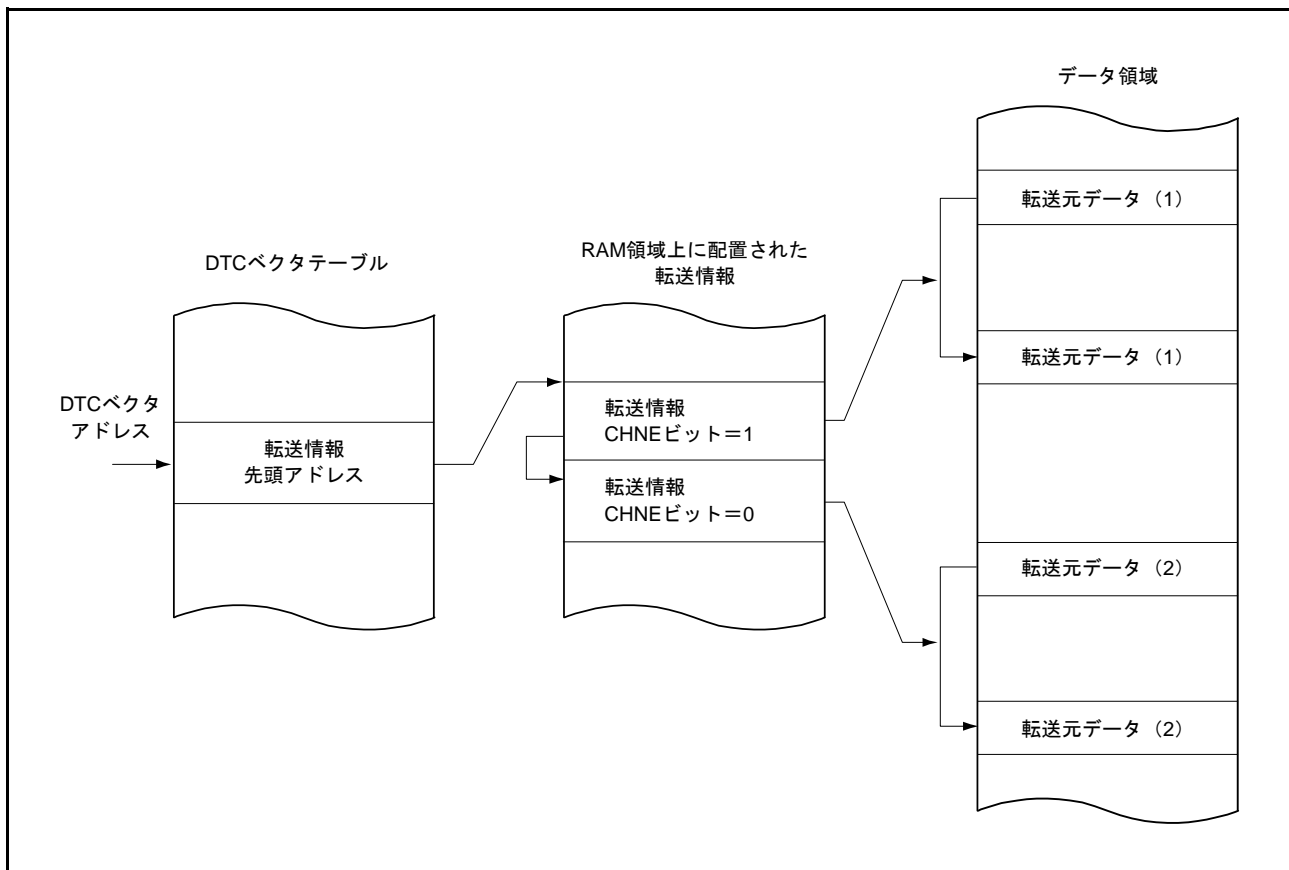


図 19.8 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定されたデータ転送終了時のみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送終了時にチェーン転送を行います。

チェーン転送の条件の詳細については、表 19.3 のチェーン転送の条件を参照してください。

19.4.7 動作タイミング

DTC の動作タイミングの例を図 19.9 ~ 図 19.13 に示します。

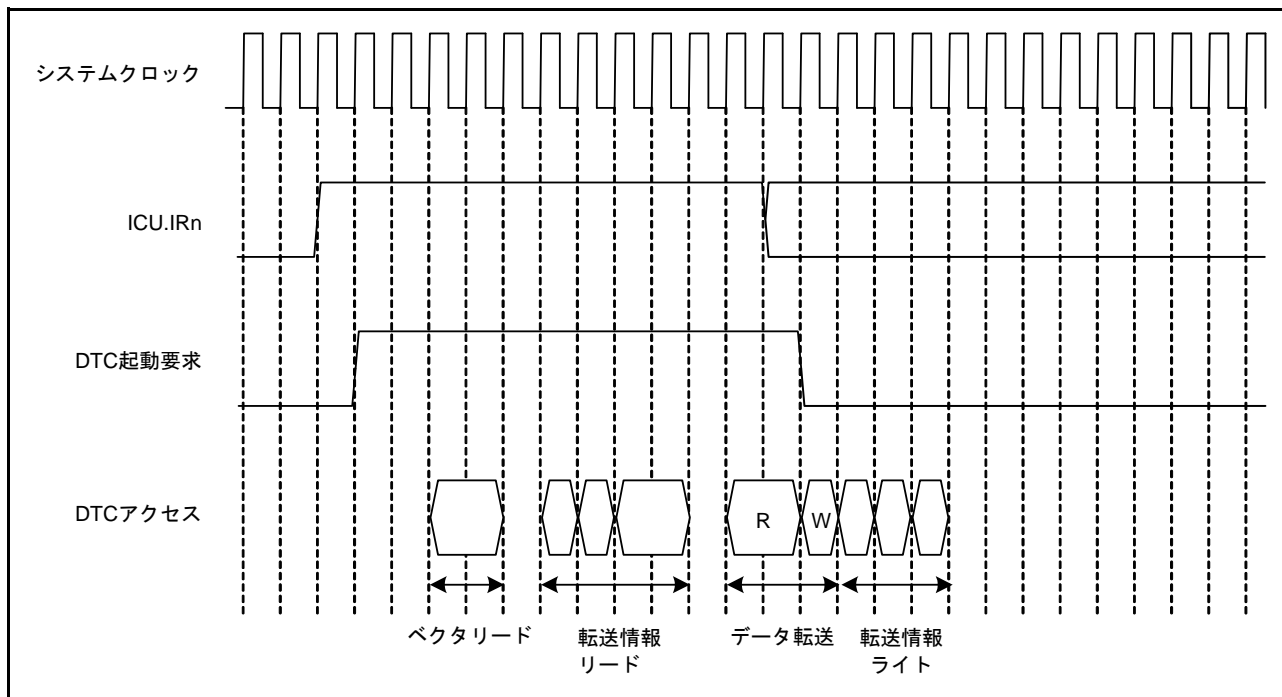


図 19.9 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

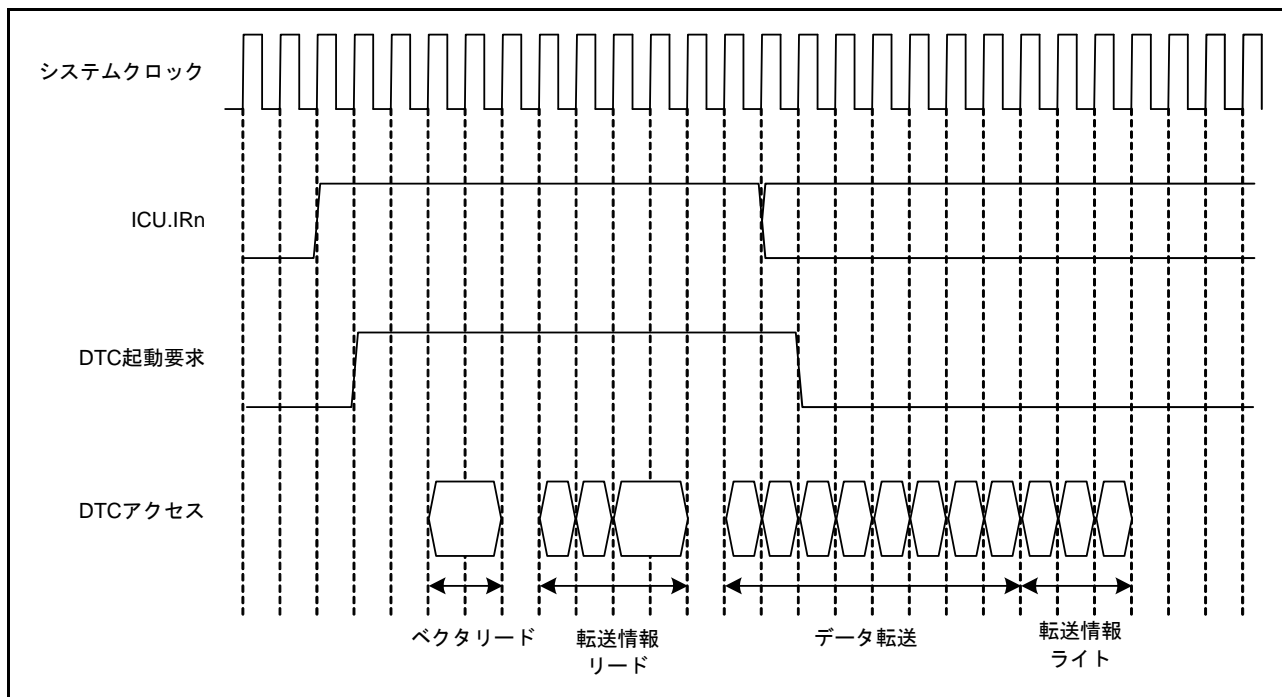


図 19.10 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

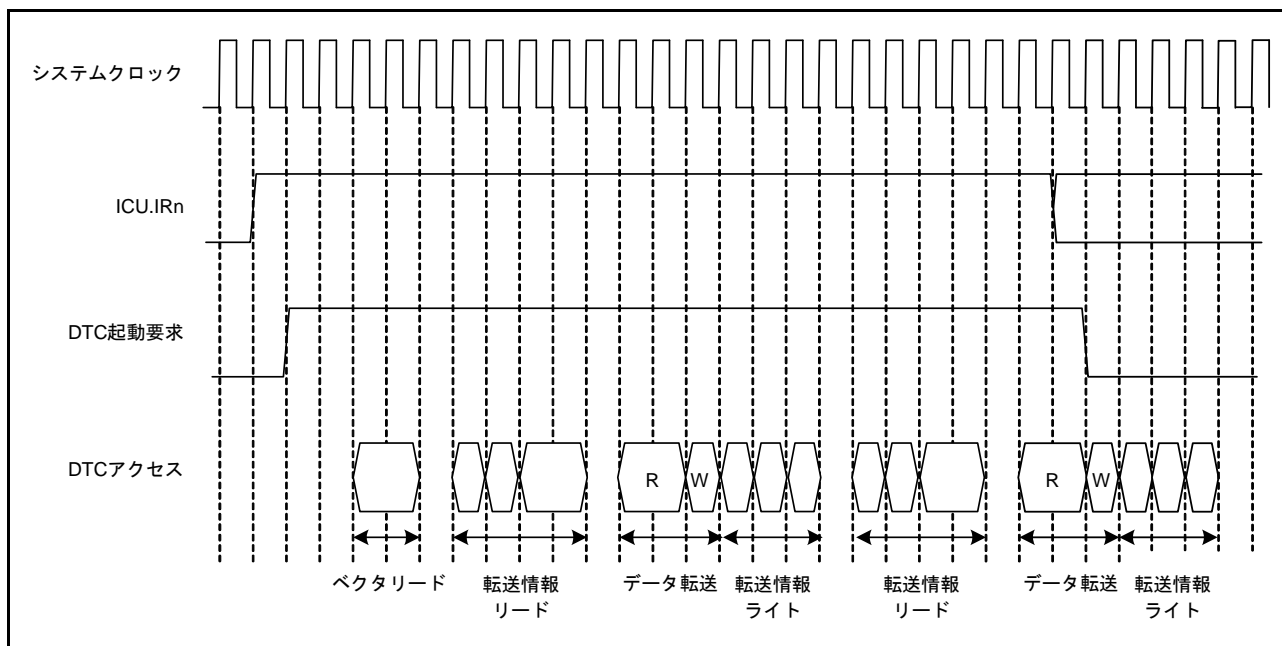


図 19.11 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

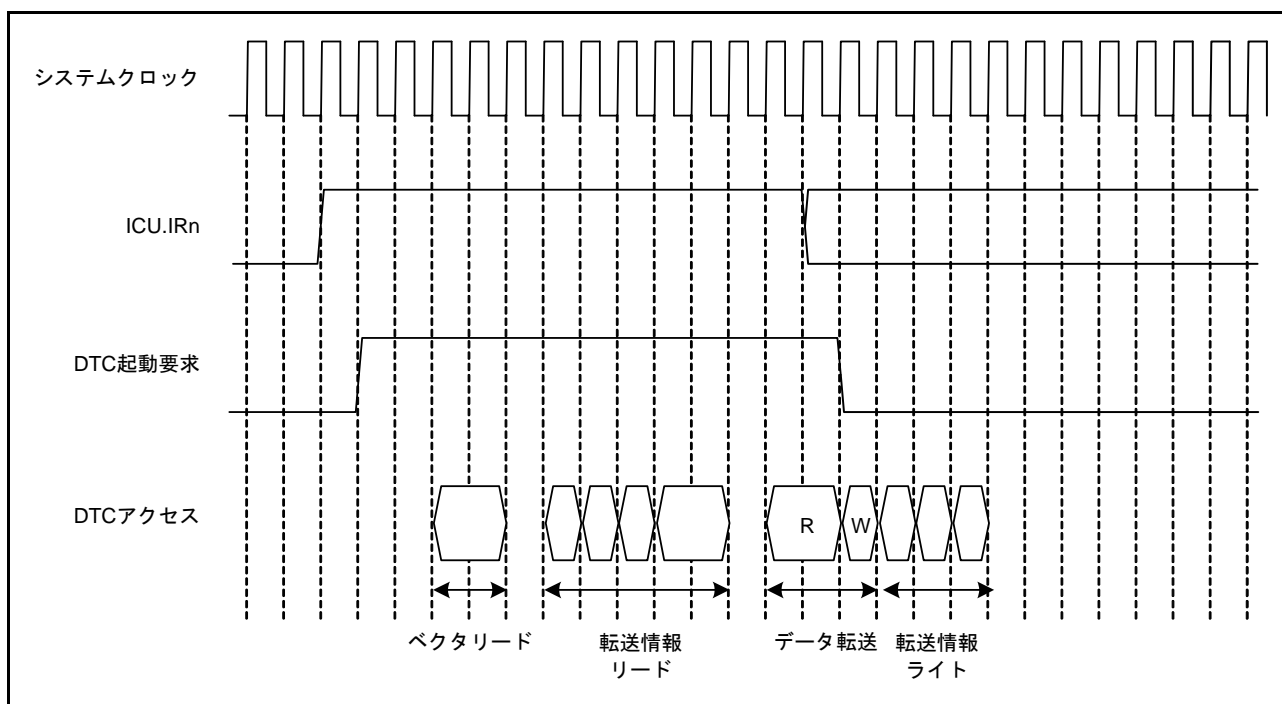


図 19.12 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

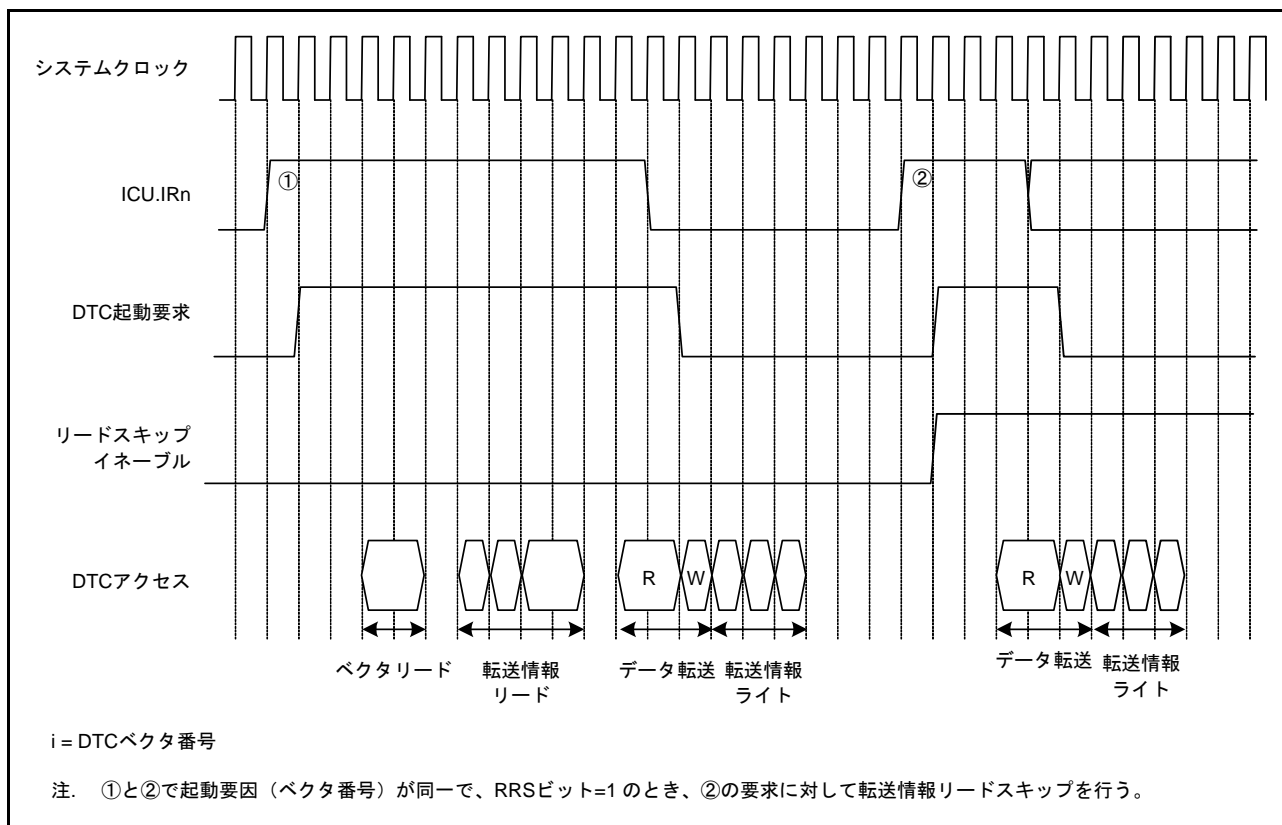


図 19.13 転送情報スキップ時の動作例
(ベクタ、転送情報、転送先が内蔵 RAM、転送元は周辺モジュールの場合)

19.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 19.8 に示します。

各処理状態の実施順序は、「19.4.7 動作タイミング」を参照してください。

表 19.8 DTC の実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	$Cv+1$	0 (注1)	$4 \times Ci+1$ (注2)	$3 \times Ci+1$ (注3)	0 (注1)	$3 \times Ci$ (注4)	$2 \times Ci$ (注5)	Ci (注6)	Cr+1	Cw	2	0 (注1)
リピート									Cr+1	Cw		
ブロック (注7)									PxCr	PxCw		

- 注1. 転送情報スキップのとき
 注2. フルアドレスモード動作のとき
 注3. ショートアドレスモード動作のとき
 注4. SARレジスタ、DARレジスタがともにアドレス固定でないとき
 注5. SARレジスタ、またはDARレジスタがアドレス固定のとき
 注6. SARレジスタとDARレジスタがともにアドレス固定のとき
 注7. ブロックサイズが2以上の場合は、ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv : ベクタ転送情報格納先アクセスサイクル

Ci : 転送情報格納先アドレスアクセスサイクル

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「40. RAM」、「41. フラッシュメモリ」、「6. I/O レジスタ」、「16.2.6 外部バス」を参照してください。)

19.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「16. バス」を参照してください。

19.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。

図 19.14 に DTC の起動に必要な設定手順を示します。

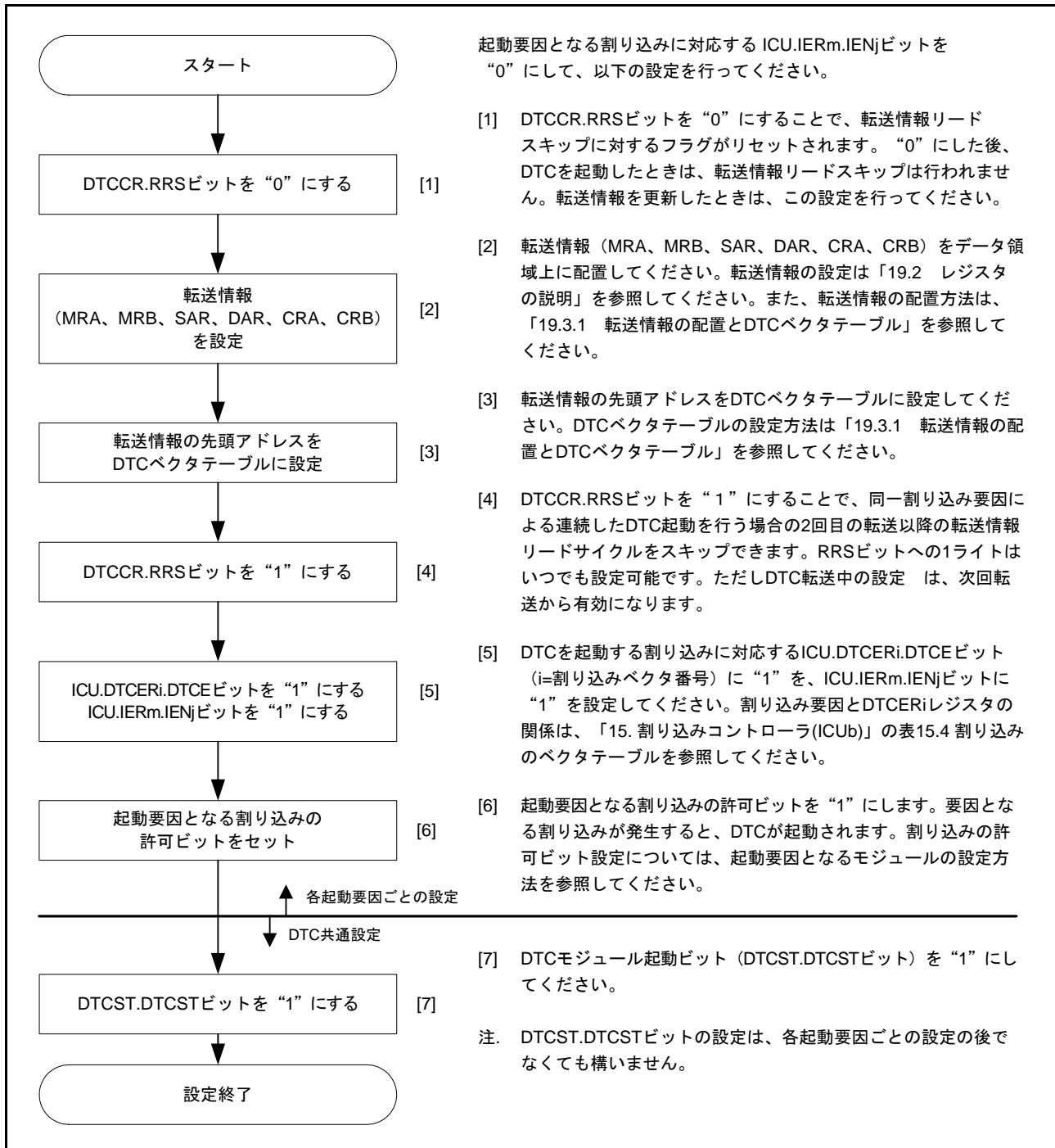


図 19.14 DTC の設定手順

19.6 DTC 使用例

19.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] ビット = “00b”)、ノーマル転送モード (MRA.MD[1:0] ビット = “00b”)、バイトサイズ (MRA.SZ[1:0] ビット = “00b”) を設定します。MRB レジスタは、転送先アドレスインクリメント (MRB.DM[1:0] ビット = “10b”)、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = “0”、MRB.DISEL ビット = “0”) を行います。MRB.DTS ビットは、任意の値とすることができます。SAR レジスタには SCIm.RDR レジスタ (m = 0 ~ 12) のアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値とすることができます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERi.DTCE ビットを “1” に、ICU.IERi.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCIm.SCR.RIE ビットを “1” にして、受信完了 (RXI) 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI の 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動されます。DTC によって、受信データが SCIm.RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送終了後、CRA レジスタが “0” になると、CPU に RXI 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

19.6.2 カウンタ = 0 のときのチェーン転送

カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって、転送回数が256回以上のリピート転送を行うことができます。

128Kバイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス“0000h”から始まるように設定するものとします。カウンタ=0のときのチェーン転送を図19.15に示します。

- (1) 第1のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRAレジスタ=“0000h”(65536回)、MRB.CHNEビット=“1”(チェーン転送許可)、MRB.CHNSビット=“1”(転送カウンタ=0のときのみチェーン転送を行う)、MRB.DISELビット=“0”(指定されたデータ転送終了時、CPUへの割り込みが発生)としてください。
- (2) 第1のデータ転送の転送先アドレスの65536回ごとの先頭アドレスの上位8ビットアドレスを別の領域(ROMなど)に用意してください。たとえば、入力バッファを“200000h”～“21FFFFh”とするときには、“21h”、“20h”を用意します。
- (3) 第2のデータ転送として、第1のデータ転送の転送先アドレス再設定用のリピート転送モード(転送元をリピート領域)とします。転送先は第1の転送情報領域のDARレジスタの上位8ビットとします。このときMRB.CHNEビット=“0”(チェーン転送禁止)、MRB.DISELビット=“0”(指定されたデータ転送終了時、CPUへの割り込みが発生)としてください。上記入力バッファを“200000h”～“21FFFFh”とする場合には、転送カウンタ=2としてください。
- (4) 割り込みによって第1のデータ転送を65536回実行します。第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が起動します。第1のデータ転送の転送元アドレス上位8ビットを“21h”にします。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは、“0000h”になっています。
- (5) 引き続き割り込みによって第1のデータ転送を、第1のデータ転送で指定した65536回実行します。第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が起動します。第1のデータ転送の転送元アドレス上位8ビットを“20h”にします。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは“0000h”になっています。
- (6) 上記(4)、(5)を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPUには割り込みを要求しません。

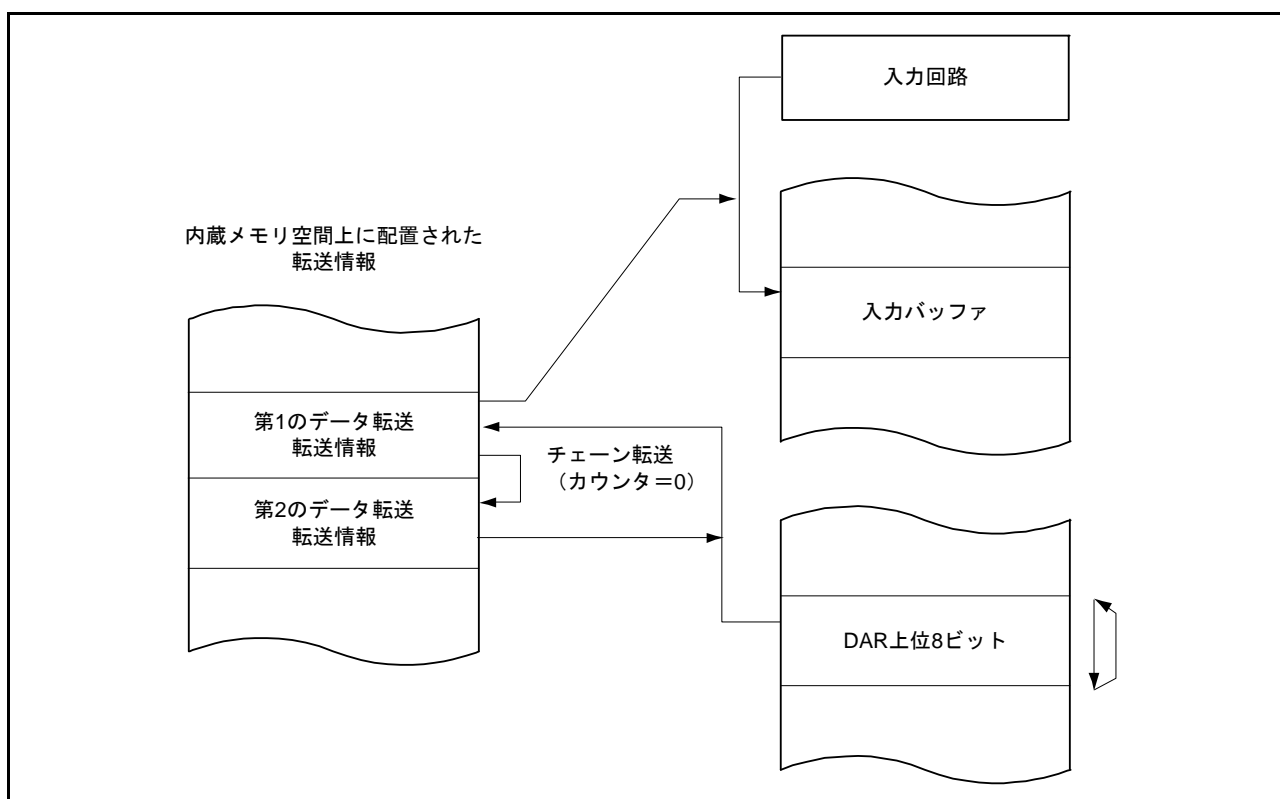


図 19.15 カウンタ = 0 のときのチェーン転送

19.7 割り込み要因

DTC が指定された回数 of データ転送を終了したとき、および MRB.DISEL ビットが “1” (DTC データ転送のたびに、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

19.8 消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを “0” (DTC モジュール停止) を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに “1” (モジュールストップ状態への遷移) を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに “1” を書いたときに DTC が転送動作中の場合、DTC 転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが “1” のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに “0” (モジュールストップ状態の解除) を書くことにより、DTC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「12. 消費電力低減機能」の「12.5.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DTC が転送動作中の場合は、DTC 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに“0”を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「12. 消費電力低減機能」の「12.5.3.1 ソフトウェアスタンバイモードへの移行」、もしくは「12.5.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「12. 消費電力低減機能」の「12.6.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DTC 転送を行うには、再度 DTCST.DTCST ビットに“1”を書いてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 起動でなく CPU 割り込みとする場合は、「15. 割り込みコントローラ (ICUb)」の「15.5.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

19.9 使用上の注意事項

19.9.1 転送情報先頭アドレス / 転送元アドレス / 転送先アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4n 番地を指定してください。4n 番地以外を指定すると、アドレスの最下位 2 ビットは“00b”としてアクセスします。

19.9.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 19.16 に示すとおり配置してください。

たとえば、CRA、CRB 設定データを 16 ビットで書く場合、ビッグエンディアンの場合は下位アドレス 0 に CRA 設定データ、下位アドレス 2 に CRB 設定データを書いてください。リトルエンディアンの場合は下位アドレス 0 に CRB 設定データ、下位アドレス 2 に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンにかかわらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して下位アドレス 0 に書いてください。

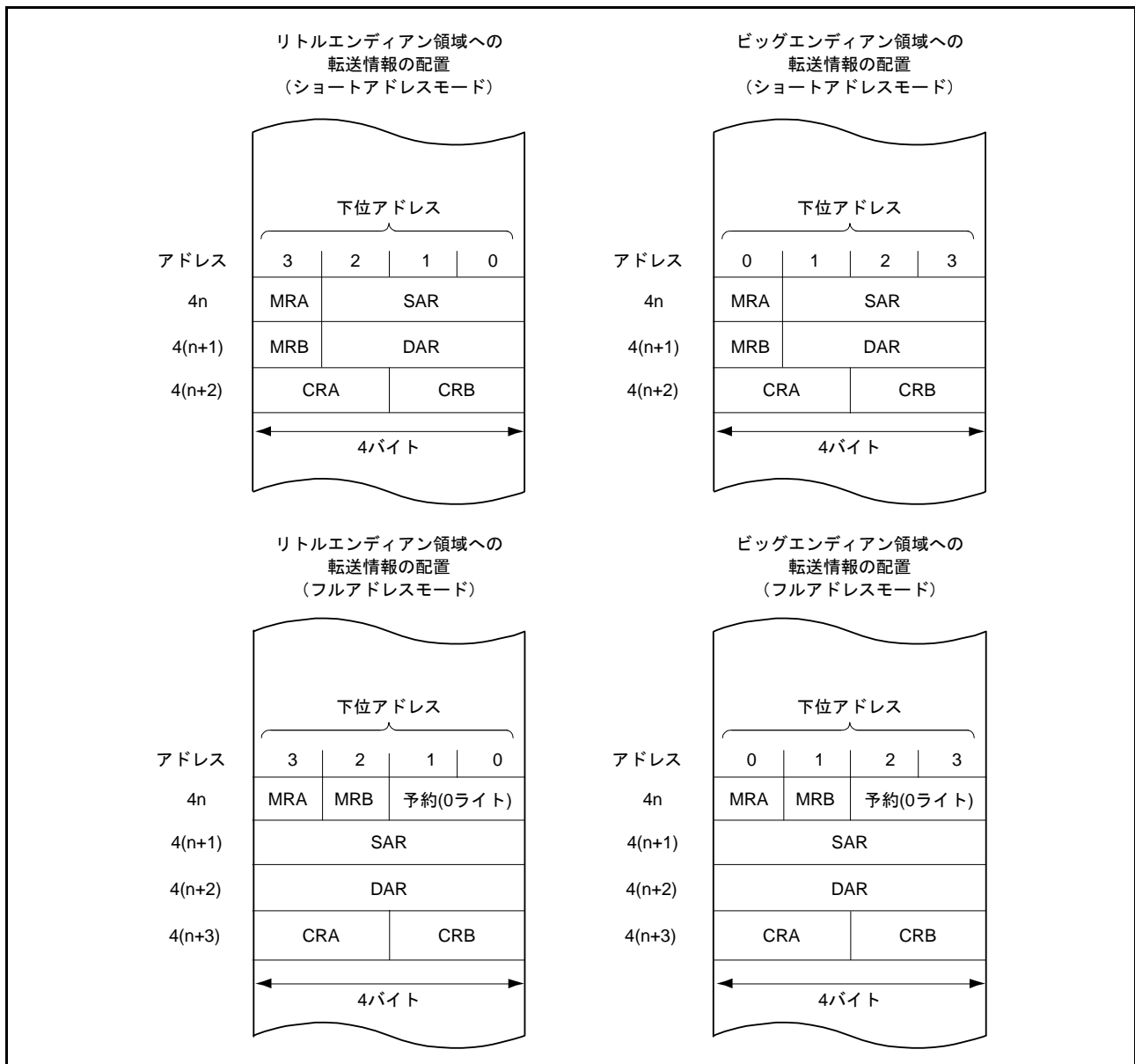


図 19.16 転送情報の配置

19.9.3 割り込みコントローラの DTC 起動許可レジスタ (ICU.DTCERn) の設定

ICU.DTCERn レジスタで“1” (DTC 転送許可) にした割り込みベクタ番号と同じベクタ番号を DMAC 起動要求選択レジスタ (ICU.DMRSRn(n = DMAC チャネル番号)) に設定して DMAC を起動しないでください。ICU.DTCERn レジスタ、ICU.DMRSRn レジスタの詳細は、「15. 割り込みコントローラ (ICUb)」を参照してください。

20. I/Oポート

20.1 概要

本 MCU の I/O ポートは、プログラマブル入出力ポートと周辺機能の入出力、割り込み入力端子、またはバス制御端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/O ポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODRy) (y=0,1)、駆動能力の切り替えを制御する駆動能力制御レジスタ (DSCRy (y=1,2))、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMR レジスタの詳細については、「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

パッケージによって、I/O ポートの構成が異なります。表 20.1 に I/O ポートの仕様を、表 20.2 に I/O ポートの機能を示します。

表 20.1 I/Oポートの仕様

ポート シンボル	パッケージ		パッケージ		パッケージ		パッケージ		パッケージ		パッケージ	
	144ピン	本数	120ピン	本数	112ピン	本数	100ピン	本数	64ピン	本数	48ピン	本数
PORT0	P00~P05	6	P00、P01	2	P00、P01、 P04、P05	4	P00、P01	2	P00、P01	2	なし	0
PORT1	P10~P14	5	P10~P13	4	P10~P12	3	P10、P11	2	P10、P11	2	なし	0
PORT2	P20~P26	7	P20~P26	7	P20~P24	5	P20~P24	5	P22~P24	3	P22~P24	3
PORT3	P30~P35	6	P30~P33	4	P30~P33	4	P30~P33	4	P30~P33	4	P30	1
PORT4	P40~P47	8	P40~P47	8	P40~P47	8	P40~P47	8	P40~P47	8	P40~P44、 P47	6
PORT5	P50~P57	8	P50~P55	6	P50~P55	6	P50~P55	6	なし	0	なし	0
PORT6	P60~P65	6	P60~P65	6	P60~P65	6	P60~P65	6	なし	0	なし	0
PORT7	P70~P76	7	P70~P76	7	P70~P76	7	P70~P76	7	P70~P76	7	P70~P76	7
PORT8	P80~P82	3	P80~P82	3	P80~P82	3	P80~P82	3	なし	0	なし	0
PORT9	P90~P96	7	P90~P96	7	P90~P96	7	P90~P96	7	P91~P94	4	なし	0
PORTA	PA0~PA6	7	PA0~PA5	6	PA0~PA5	6	PA0~PA5	6	PA2~PA5	4	PA2、PA3	2
PORTB	PB0~PB7	8	PB0~PB7	8	PB0~PB7	8	PB0~PB7	8	PB0~PB7	8	PB0~PB6	7
PORTC	PC0~PC5	6	なし	0	なし	0	なし	0	なし	0	なし	0
PORTD	PD0~PD7	8	PD0~PD7	8	PD0~PD7	8	PD0~PD7	8	PD3~PD7	5	PD3~PD7	5
PORTE	PE0~PE5	6	PE0~PE5	6	PE0~PE5	6	PE0~PE5	6	PE2	1	PE2	1
PORTF	PF0~PF4	5	PF0~PF3	4	PF2~PF4	3	なし	0	なし	0	なし	0
PORTG	PG0~PG6	7	PG0~PG6	7	PG0~PG5	6	なし	0	なし	0	なし	0
	ポートの合計数	110	ポートの合計数	93	ポートの合計数	90	ポートの合計数	78	ポートの合計数	48	ポートの合計数	32

表20.2 I/Oポートの機能（144/120/112/100ピン版の場合）（1/2）

ポートシンボル	ポート	オープンドレイン出力機能	駆動能力切り替え機能	大電流出力端子
PORT0	P00、P01	—	○	—
	P02、P03	○	—	—
	P04	—	—	—
	P05	—	○	—
PORT1	P10	—	—	—
	P11、P12	—	○	—
	P13、P14	—	—	—
PORT2	P20、P21	—	○	—
	P22、P23	○	○	—
	P24、P25	—	○	—
	P26	○	○	—
PORT3	P30～P33	—	○	—
	P34、P35	○	—	—
PORT4	P40～P47（入力）			
PORT5	P50、P51（入力）			
	P52、P53（入力）		○	
	P54～P57（入力）			
PORT6	P60～P65（入力）		○	
PORT7	P70	—	○	—
	P71～P76	—	高駆動出力固定	○
PORT8	P80、P81	○	○	—
	P82	—	—	—
PORT9	P90～P94	—	高駆動出力固定	○
	P95	○	高駆動出力固定	○
	P96	○	○	—
PORTA	PA0	—	○	—
	PA1、PA2	○	○	—
	PA3	—	○	—
	PA4、PA5	○	○	—
	PA6	—	○	—
PORTB	PB0	—	○	—
	PB1、PB2	○	—	—
	PB3、PB4	—	○	—
	PB5、PB6	○	○	—
	PB7	—	○	—
PORTC	PC0～PC5（入力）			
PORTD	PD0～PD2	—	○	—
	PD3	○	—	—
	PD4	—	—	—
	PD5	○	—	—
	PD6、PD7	—	○	—
PORTE	PE0、PE1	—	○	—
	PE2（入力）			
	PE3～PE5	—	○	—

表 20.2 I/Oポートの機能（144/120/112/100ピン版の場合）（2 / 2）

ポートシンボル	ポート	オープンドレイン出力機能	駆動能力切り替え機能	大電流出力端子
PORTF	PF0、PF1	—	—	—
	PF2	○	○	—
	PF3	○	—	—
	PF4	—	○	—
PORTG	PG0、PG1	○	—	—
	PG2	—	—	—
	PG3、PG4	○	—	—
	PG5	—	—	—
	PG6	—	○	—

オープンドレイン出力機能は SCI_n(n=0 ~ 3、12) 機能選択時のみ有効です。

駆動能力切り替え機能は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

表 20.3 I/Oポートの機能（64/48ピン版の場合）

ポートシンボル	ポート	オープンドレイン出力機能	5Vトレラント
PORT0	P00、P01	—	○
PORT1	P10、P11	—	○
PORT2	P22、P23	—	○
	P24	○	○
PORT3	P30	○	○
	P31 ~ P34	—	○
PORT4	P40 ~ P47	—	—
PORT7	P70 ~ P76	—	○
PORT9	P91、P92	—	○
	P93、P94	○	○
PORTA	PA2 ~ PA5	—	○
	PA4、PA5	—	○
PORTB	PB0、PB3、PB4、PB7	—	○
	PB1、PB2、PB5、PB6	○	○
PORTD	PD3、PD5	○	○
	PD4、PD6、PD7	—	○
PORTE	PE2	—	—

入力プルアップ機能、オープンドレイン出力機能、5Vトレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

20.2 入出力ポートの構成

20.2.1 144/120/112/100ピン版

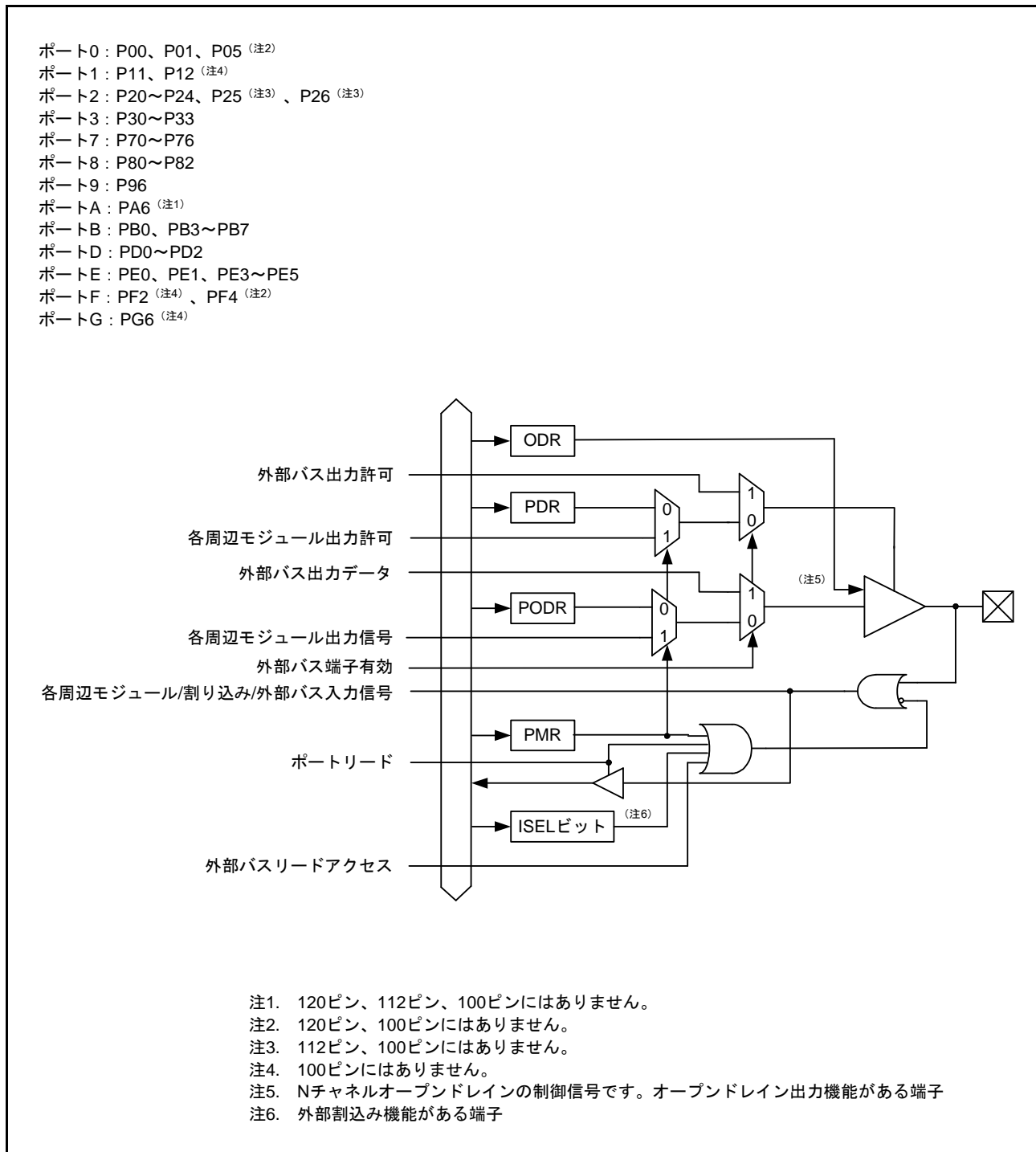


図 20.1 入出力ポートの構成 (1)

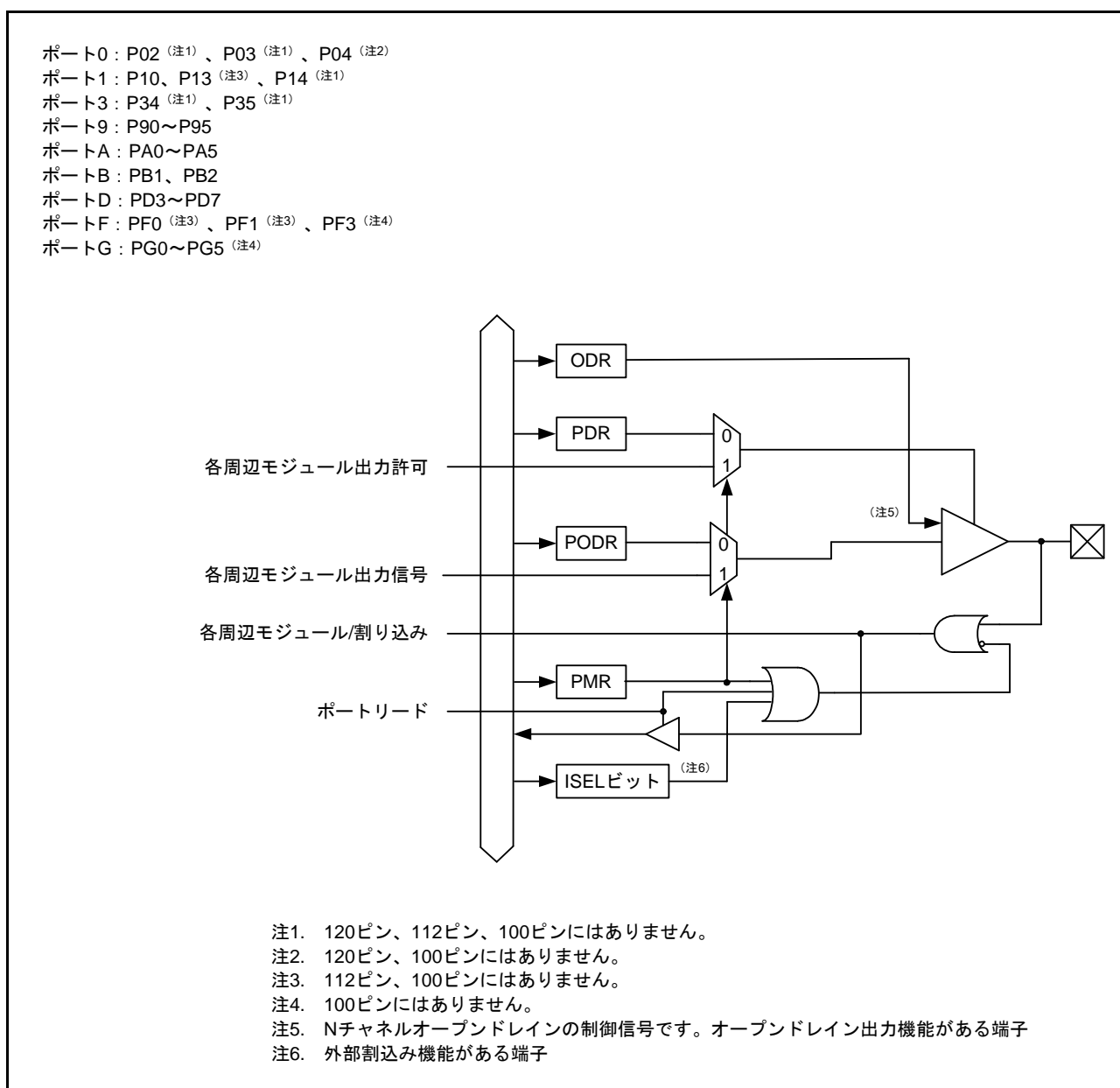


図 20.2 入出力ポートの構成 (2)

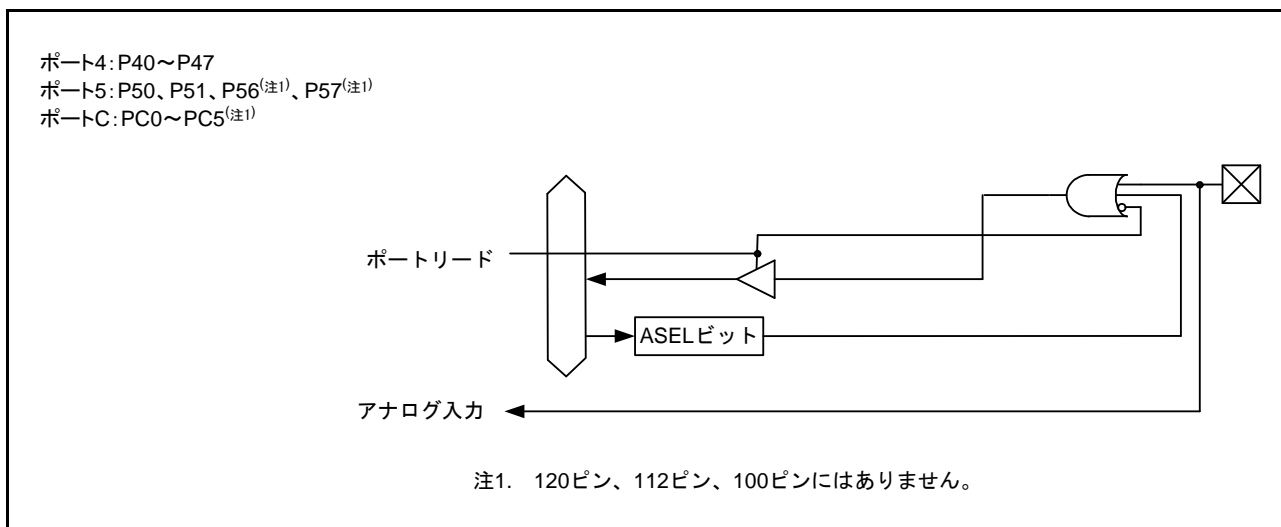


図 20.3 入出力ポートの構成 (3)

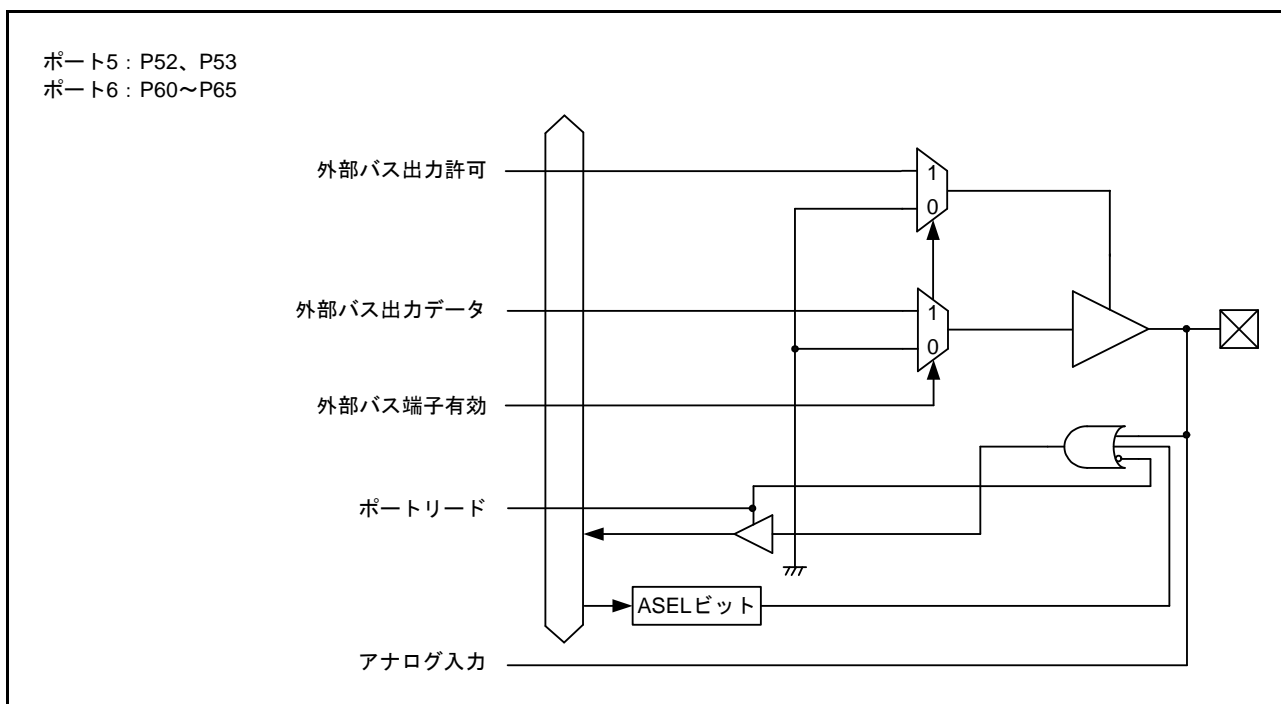


図 20.4 入出力ポートの構成 (4)

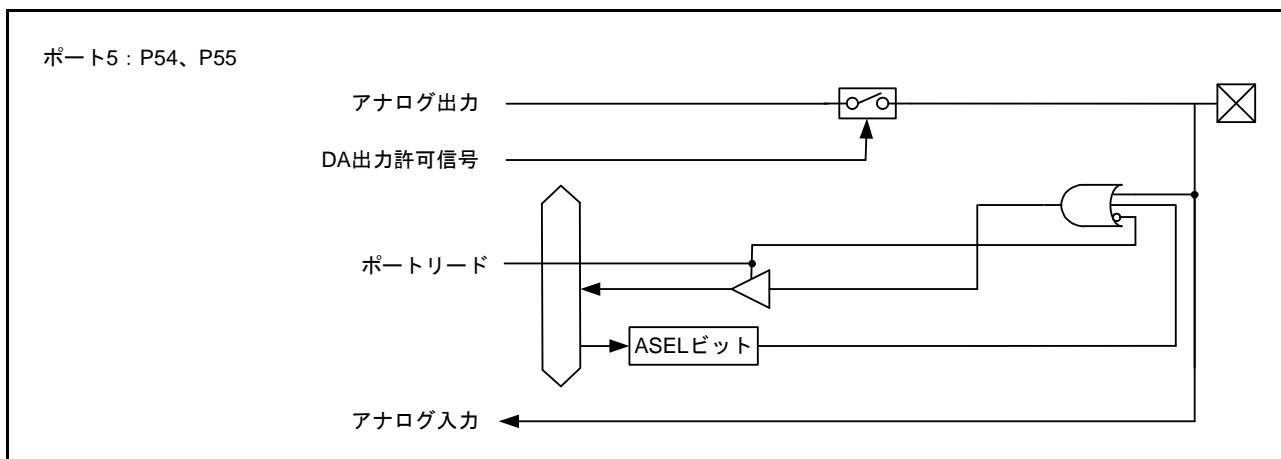


図 20.5 入出力ポートの構成 (5)

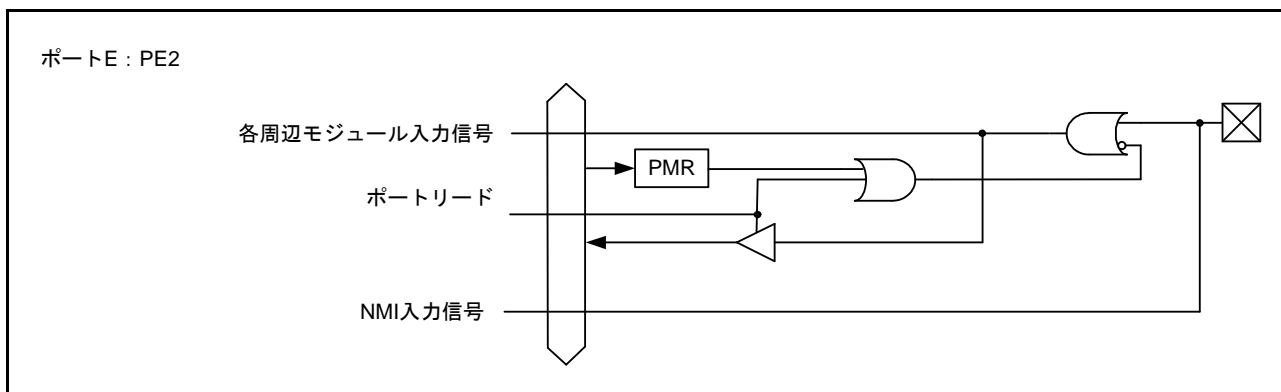
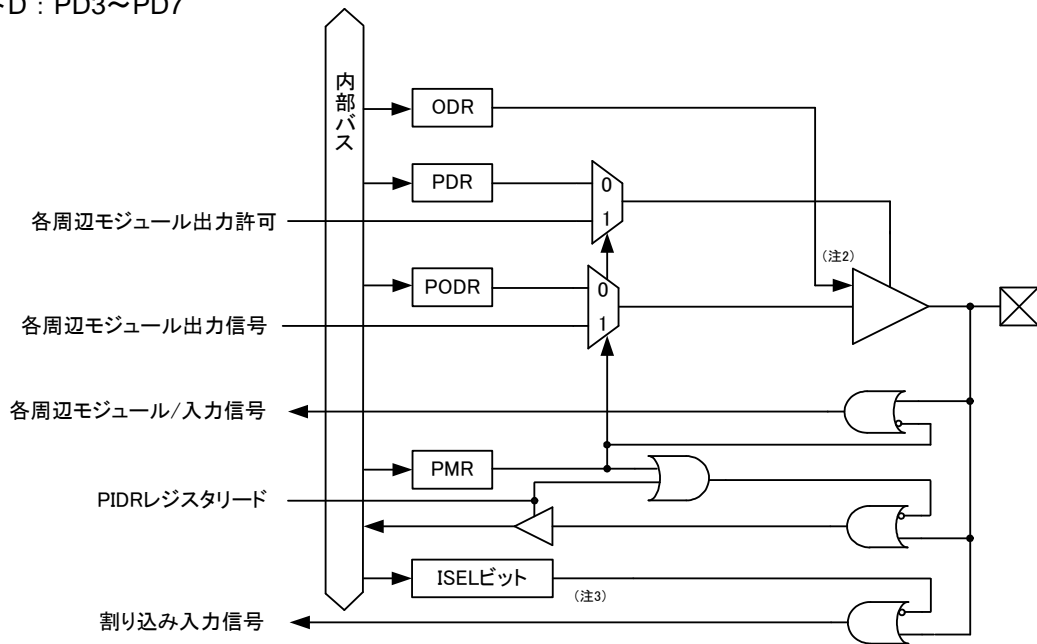


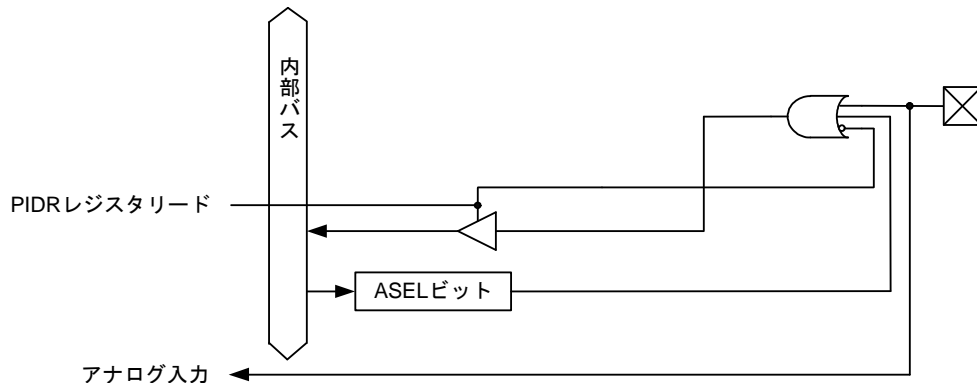
図 20.6 入出力ポートの構成 (6)

20.2.2 64/48ピン版

- ポート0 : P00 (注1)、P01 (注1)
- ポート1 : P10 (注1)、P11 (注1)
- ポート2 : P22~P24
- ポート3 : P30、P31~P33 (注1)
- ポート7 : P70~P76
- ポート9 : P91~P94 (注1)
- ポートA : PA2、PA3、PA4 (注1)、PA5 (注1)
- ポートB : PB0~PB6、PB7 (注1)
- ポートD : PD3~PD7



- ポート4 : P40~P44、P45 (注1)、P46 (注1)、P47



- 注1. 48ピンLQFPにはありません。
- 注2. Nチャンネルオープンドレインの制御信号（オープンドレイン機能がある端子）です。
- 注3. 外部割り込み機能がある端子

図 20.7 入出力ポートの構成 (1)

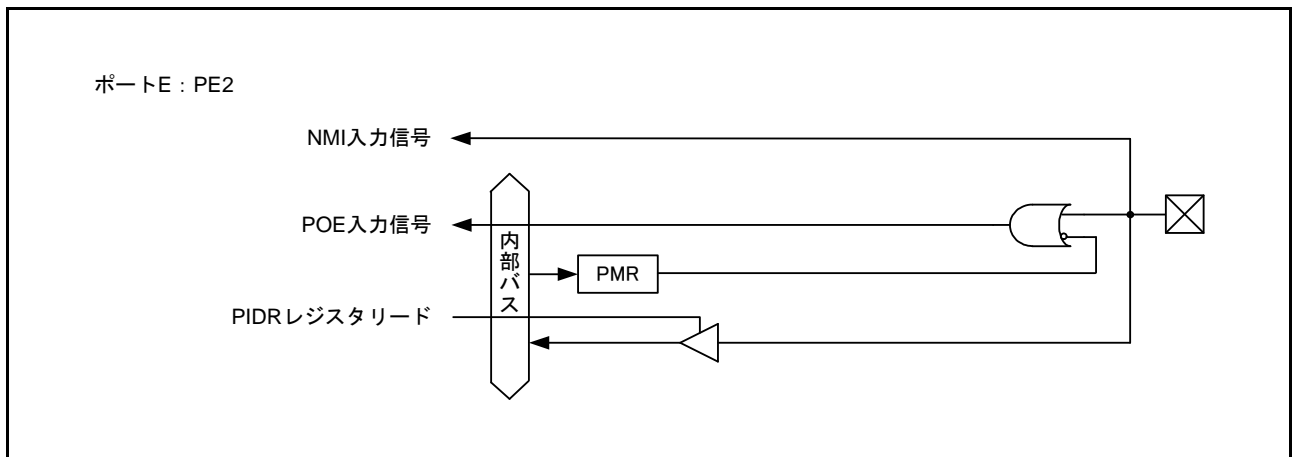


図 20.8 入出力ポートの構成 (2)

20.3 レジスタの説明

20.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h、PORT1.PDR 0008 C001h、PORT2.PDR 0008 C002h、PORT3.PDR 0008 C003h、PORT7.PDR 0008 C007h、PORT8.PDR 0008 C008h、PORT9.PDR 0008 C009h、PORTA.PDR 0008 C00Ah、PORTB.PDR 0008 C00Bh、PORTD.PDR 0008 C00Dh、PORTE.PDR 0008 C00Eh、PORTF.PDR 0008 C00Fh、PORTG.PDR 0008 C010h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m=0 ~ 3、7 ~ 9、A、B、D ~ G

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

PE2 端子は入力専用のため、PORTE.PDR.B2 ビットは予約ビットです。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h、PORT1.PODR 0008 C021h、PORT2.PODR 0008 C022h、PORT3.PODR 0008 C023h、PORT7.PODR 0008 C027h、PORT8.PODR 0008 C028h、PORT9.PODR 0008 C029h、PORTA.PODR 0008 C02Ah、PORTB.PODR 0008 C02Bh、PORTD.PODR 0008 C02Dh、PORTE.PODR 0008 C02Eh、PORTF.PODR 0008 C02Fh、PORTG.PODR 0008 C030h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	0 : Low出力 1 : High出力	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m=0 ~ 3、7 ~ 9、A、B、D ~ G

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

PE2 端子が入力専用のため、PORTE.PODR.B2 ビットは予約ビットです。値を書いても端子に影響しません。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h、PORT1.PIDR 0008 C041h、PORT2.PIDR 0008 C042h、PORT3.PIDR 0008 C043h、
PORT4.PIDR 0008 C044h、PORT5.PIDR 0008 C045h、PORT6.PIDR 0008 C046h、PORT7.PIDR 0008 C047h、
PORT8.PIDR 0008 C048h、PORT9.PIDR 0008 C049h、PORTA.PIDR 0008 C04Ah、PORTB.PIDR 0008 C04Bh、
PORTC.PIDR 0008 C04Ch、PORTD.PIDR 0008 C04Dh、PORTE.PIDR 0008 C04Eh、PORTF.PIDR 0008 C04Fh、
PORTG.PIDR 0008 C050h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0ビット	0 : Low入力 1 : High入力	R
b1	B1	Pm1ビット		R
b2	B2	Pm2ビット		R
b3	B3	Pm3ビット		R
b4	B4	Pm4ビット		R
b5	B5	Pm5ビット		R
b6	B6	Pm6ビット		R
b7	B7	Pm7ビット		R

m=0 ~ 9、A ~ G

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR の値に関係なく端子の状態が読めます。PORT4 ~ 6 と PORTC は ASEL ビットが“0”の場合のみ端子状態が読めます。

PE2 端子は NMI 端子の状態が読み出されます。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

20.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h、PORT1.PMR 0008 C061h、PORT2.PMR 0008 C062h、PORT3.PMR 0008 C063h、
PORT7.PMR 0008 C067h、PORT8.PMR 0008 C068h、PORT9.PMR 0008 C069h、PORTA.PMR 0008 C06Ah、
PORTB.PMR 0008 C06Bh、PORTD.PMR 0008 C06Dh、PORTE.PMR 0008 C06Eh、PORTF.PMR 0008 C06Fh、
PORTG.PMR 0008 C070h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	R/W
b1	B1	Pm1 端子モード制御ビット		R/W
b2	B2	Pm2 端子モード制御ビット		R/W
b3	B3	Pm3 端子モード制御ビット		R/W
b4	B4	Pm4 端子モード制御ビット		R/W
b5	B5	Pm5 端子モード制御ビット		R/W
b6	B6	Pm6 端子モード制御ビット		R/W
b7	B7	Pm7 端子モード制御ビット		R/W

m=0 ~ 3、7 ~ 9、A、B、D ~ G

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT0.ODR0 0008 C080h、PORT2.ODR0 0008 C084h、PORT3.ODR0 0008 C086h、PORT8.ODR0 0008 C090h、
PORT9.ODR0 0008 C092h、PORTA.ODR0 0008 C094h、PORTB.ODR0 0008 C096h、PORTD.ODR0 0008 C09Ah、
PORTF.ODR0 0008 C09Eh、PORTG.ODR0 0008 C0A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	B6	—	B4	—	B2	—	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット (m = 3, 8, G)	端子機能でSCIn(n=0~3,12)を選択したときに出力方式を選択します。 0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	—	予約ビット		R/W
b2	B2	Pm1出力形態指定ビット (m=8,A,B,G)		R/W
b3	—	予約ビット		R/W
b4	B4	Pm2出力形態指定ビット (m=0,2,A,B,F)		R/W
b5	—	予約ビット		R/W
b6	B6	Pm3出力形態指定ビット (m = 0, 2, 9, D, F, G)		R/W
b7	—	予約ビット		R/W

ODR0レジスタの奇数ビット (b1、b3、b5、b7) は予約ビットです。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT2.ODR1 0008 C085h、PORT3.ODR1 0008 C087h、PORT9.ODR1 0008 C093h、PORTA.ODR1 0008 C095h、
PORTB.ODR1 0008 C097h、PORTD.ODR1 0008 C09Bh、PORTG.ODR1 0008 C0A1h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	B4	—	B2	—	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット (m=2, 3, A, G)	端子機能でSCIn(n=0~3,12)を選択したときに出力方式を選択します。 0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	—	予約ビット		R/W
b2	B2	Pm5出力形態指定ビット (m=3, 9, A, B, D)		R/W
b3	—	予約ビット		R/W
b4	B4	Pm6出力形態指定ビット (m=2, 9, B)		R/W
b7-b5	—	予約ビット		R/W

ODR1レジスタのb1、b3、b5~7bは予約ビットです。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.7 駆動能力制御レジスタ 1 (DSCR1)

アドレス DSCR1 0008 C0F2h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0 : 通常出力 1 : 高駆動出力	R/W
b1	B1	BCLK (PE5) 端子駆動能力制御ビット		R/W
b2	B2	CS0 (PD1、P26)、CS1 (P25、PF2)、CS2 (PD2、PG6、P05)、CS3 (P12、PF4、PA6) WR1/BC1 (PE0)、ALE (P11) 端子駆動能力制御ビット		R/W
b3	B3	CS1 (P00)、RD (P01)、WR0/WR (PE1)、BC0 (P65 : A0と兼用) 端子駆動能力制御ビット		R/W
b4	B4	A7 (P52)、A6 (P53)、A5 (P60)、A4 (P61)、A3 (P62)、A2 (P63)、A1 (P64)、A0 (P65) 端子駆動能力制御ビット		R/W
b5	B5	A19 (PB7)、A18 (PB6)、A17 (PB5)、A16 (PB4) A15 (PB3)、A14 (PB0)、A13 (P96)、A12 (PD0)、A11 (PE3)、A10 (PE4)、A9 (P80)、A8 (P81) 端子駆動能力制御ビット		R/W
b6	B6	D7 (P33)、D6 (P70) 端子駆動能力制御ビット		R/W
b7	B7	D15 (P20)、D14 (P21)、D13 (P22)、D12 (P23)、D11 (P24)、D10 (P30)、D9 (P31)、D8 (P32) 端子駆動能力制御ビット		R/W

DSCR1 レジスタは、ポートの駆動能力の切り替えを制御するレジスタです。

外部拡張信号の使用有無に関わらず、該当端子の駆動能力が変更されます。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.8 駆動能力制御レジスタ 2 (DSCR2)

アドレス DSCR2 0008 C0F3h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット		R/W
b6	B6	RSPI端子 (MISO _n 、SSL _n 0~3) 駆動能力制御ビット MISO _n : P22、PA5、PD1 SSL _n 0 : P30、PA3、PD6 SSL _n 1 : P31、PA2、PD7 SSL _n 2 : P32、PA1、PE0 SSL _n 3 : P33、PA0、PE1	0 : 通常出力 1 : 高駆動出力	R/W
b7	B7	RSPI端子 (RSPCK _n 、MOS _{In}) 駆動能力制御ビット RSPCK _n : P24、PA4、PD0 MOS _{In} : P23、PB0、PD2	0 : 通常出力 1 : 高駆動出力	R/W

n=A, B

DSCR2 レジスタは、RSPI 兼用ポートの駆動能力の切り替えを制御するレジスタです。

RSPI の使用有無に関わらず、該当端子の駆動能力が変更されます。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.4 未使用端子の処理

表 20.4 に未使用端子の処理内容を示します。

表 20.4 未使用端子の処理内容

端子名	処理内容
EMLE	抵抗を介してVSSに接続（プルダウン）
MD	（モード端子として使用）
RES#	抵抗を介してVCCに接続（プルアップ）
USB0_DP	端子を開放
USB0_DM	
USB0_DPUPE	
PE2/NMI	抵抗を介してVCCに接続（プルアップ）
XTAL	端子を開放
EXTAL	抵抗を介してVSSに接続（プルダウン）
ポート0～3、7～9、A、B、C、D～G	PORTn.PMRを初期値（入力バッファ無効）、およびPmnPFS.ISELビットを初期値に設定 <ul style="list-style-type: none"> • 入力に設定（PORTn.PDRビット="0"）し、1端子ごと抵抗を介してVCCに接続（プルアップ）、または1端子ごと抵抗を介してVSSに接続（プルダウン）^{（注1）} • 出力に設定（PORTn.PDRビット="1"）し、端子を開放^{（注1）（注2）}
ポート4	端子ごとに抵抗を介してAVCC0に接続（プルアップ）、または抵抗を介してAVSS0に接続（プルダウン）
ポート5、6、C、	端子ごとに抵抗を介してAVCCに接続（プルアップ）、または抵抗を介してAVSSに接続（プルダウン）
VREFH0	AVCC0に接続
VREFL0	AVSS0に接続
VREF	AVCCに接続

注1. PORTn.PMRビットを"0"、およびPmnPFS.ISEL、ASELビットを"0"にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

20.5 使用上の注意事項

20.5.1 144ピン未満のピン数の製品について

144ピン未満のピン数の製品については、144ピンに対して存在しないポート m の端子をリードすると不定値がリードされますので注意してください。

21. マルチファンクションピンコントローラ (MPC)

21.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力、および割り込み入力信号を複数のポートから選択し割り付ける機能です。また、外部バス関連信号のポート割り付けも行います。

表 21.1 にマルチプル端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、×で示します。同一機能を複数端子で有効にすることは禁止です。

表21.1 マルチプル端子の割り当て端子一覧 (1 / 7)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				144ピン	120ピン	112ピン	100ピン	64ピン	48ピン
割り込み		NMI(入力)	PE2	○	○	○	○	○	○
割り込み	IRQ0	IRQ0-DS(入力)	P10	○	○	○	○	○	×
		IRQ0(入力)	PB5	×	×	×	×	○	○
			PE5	○	○	○	○	×	×
			PG0	○	○	○	×	×	×
	IRQ1	IRQ1-DS(入力)	P11	○	○	○	○	○	×
		IRQ1(入力)	P93	×	×	×	×	○	×
			PE4	○	○	○	○	×	×
			PG1	○	○	○	×	×	×
	IRQ2	IRQ2-DS(入力)	P00	×	×	×	×	○	×
		IRQ2(入力)	PE3	○	○	○	○	×	×
			PB6	○	○	○	○	×	×
			PG2	○	○	○	×	×	×
	IRQ3	IRQ3-DS(入力)	PB4	○	○	○	○	○	○
		IRQ3(入力)	P34	○	×	×	×	×	×
			P82	○	○	○	○	×	×
	IRQ4	IRQ4-DS(入力)	P01	×	×	×	×	○	×
			P96	○	○	○	○	×	×
		IRQ4(入力)	P24	○	○	○	○	×	×
			PB1	○	○	○	○	×	×
	IRQ5	IRQ5-DS(入力)	P70	○	○	○	○	○	○
		IRQ5(入力)	P80	○	○	○	○	×	×
			PF2	○	○	○	×	×	×
	IRQ6	IRQ6-DS(入力)	P21	○	○	○	○	×	×
IRQ6(入力)		PD5	○	○	○	○	×	×	
		PG4	○	○	○	×	×	×	
IRQ7	IRQ7-DS(入力)	P20	○	○	○	○	×	×	
	IRQ7(入力)	P03	○	×	×	×	×	×	
		PE0	○	○	○	○	×	×	
マルチファンクション タイマパルスユニット3	MTU0	MTIOC0A(入出力)	P31	○	○	○	○	○	×
			PB3	○	○	○	○	○	○
		MTIOC0B(入出力)	P30	○	○	○	○	○	○
			PB2	○	○	○	○	○	○
	MTIOC0C(入出力)	PB1	○	○	○	○	○	○	
	MTIOC0D(入出力)	PB0	○	○	○	○	○	○	
	MTU1	MTIOC1A(入出力)	PA5	○	○	○	○	○	×
		MTIOC1B(入出力)	PA4	○	○	○	○	○	×
	MTU2	MTIOC2A(入出力)	PA3	○	○	○	○	○	○
		MTIOC2B(入出力)	PA2	○	○	○	○	○	○
	MTU3	MTIOC3A(入出力)	P33	○	○	○	○	○	×
		MTIOC3B(入出力)	P71	○	○	○	○	○	○
MTIOC3C(入出力)		P32	○	○	○	○	○	×	
MTIOC3D(入出力)		P74	○	○	○	○	○	○	

表21.1 マルチプル端子の割り当て端子一覧 (2 / 7)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				144ピン	120ピン	112ピン	100ピン	64ピン	48ピン
マルチファンクションタイマパルスユニット3	MTU4	MTIOC4A(入出力)	P72	○	○	○	○	○	○
		MTIOC4B(入出力)	P73	○	○	○	○	○	○
		MTIOC4C(入出力)	P75	○	○	○	○	○	○
		MTIOC4D(入出力)	P76	○	○	○	○	○	○
	MTU5	MTIC5U(入力)	P24	×	×	×	×	○	○
			P82	○	○	○	○	×	×
		MTIC5V(入力)	P23	×	×	×	×	○	○
			P81	○	○	○	○	×	×
		MTIC5W(入力)	P22	×	×	×	×	○	○
			P80	○	○	○	○	×	×
	MTU6	MTIOC6A(入出力)	P33	×	×	×	×	○	×
			PA1	○	○	○	○	×	×
		MTIOC6B(入出力)	P71	×	×	×	×	○	○
			P95	○	○	○	○	×	×
		MTIOC6C(入出力)	P32	×	×	×	×	○	×
			PA0	○	○	○	○	×	×
	MTIOC6D(入出力)	P74	×	×	×	×	○	○	
		P92	○	○	○	○	×	×	
	MTU7	MTIOC7A(入出力)	P72	×	×	×	×	○	○
			P94	○	○	○	○	×	×
		MTIOC7B(入出力)	P73	×	×	×	×	○	○
			P93	○	○	○	○	×	×
		MTIOC7C(入出力)	P75	×	×	×	×	○	○
			P91	○	○	○	○	×	×
	MTIOC7D(入出力)	P76	×	×	×	×	○	○	
		P90	○	○	○	○	×	×	
	MTU	MTCLKA(入力)	P21	○	○	○	○	×	×
			P22	×	×	×	×	○	○
			P33	○	○	○	○	×	×
			PB3	×	×	×	×	○	○
		MTCLKB(入力)	P20	○	○	○	○	×	×
			P23	×	×	×	×	○	○
			P32	○	○	○	○	×	×
			PB2	×	×	×	×	○	○
		MTCLKC(入力)	P11	○	○	○	○	○	×
			P24	×	×	×	×	○	○
			P31	○	○	○	○	×	×
			PE4	○	○	○	○	×	×
	MTCLKD(入力)	P10	○	○	○	○	○	×	
		P30	○	○	○	○	○	○	
PE3		○	○	○	○	×	×		

表21.1 マルチプル端子の割り当て端子一覧 (3 / 7)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ						
				144ピン	120ピン	112ピン	100ピン	64ピン	48ピン	
ポートアウトプット イネーブル3	POE0	POE0#(入力)	P70	○	○	○	○	○	○	
	POE4	POE4#(入力)	P96	○	○	○	○	×	×	
	POE8	POE8#(入力)	PB4	○	○	○	○	○	○	
	POE10	POE10#(入力)	PE4	○	○	○	○	○	×	×
			PE2	○	○	○	○	○	○	
	POE11	POE11#(入力)	PE3	○	○	○	○	○	×	×
PB5			×	×	×	×	○	○		
POE12	POE12#(入力)	PG5	○	○	○	×	×	×		
汎用PWMタイマ	GPT0	GTIOC0A(入出力)	P71	○	○	○	○	○	○	
			PD7	○	○	○	○	○	○	
	GTIOC0B(入出力)	P74	○	○	○	○	○	○		
		PD6	○	○	○	○	○	○		
	GPT1	GTIOC1A(入出力)	P72	○	○	○	○	○	○	
			PD5	○	○	○	○	○	○	
	GTIOC1B(入出力)	P75	○	○	○	○	○	○		
		PD4	○	○	○	○	○	○		
	GPT2	GTIOC2A(入出力)	P73	○	○	○	○	○	○	
			PD3	○	○	○	○	○	○	
		GTIOC2B(入出力)	P76	○	○	○	○	○	○	
			PB6	×	×	×	×	○	○	
	PB7	×	×	×	×	○	×			
	PD2	○	○	○	○	×	×			
	GPT3	GTIOC3A(入出力)	P00	×	×	×	×	○	×	
			PD1	○	○	○	○	×	×	
		GTIOC3B(入出力)	P01	×	×	×	×	○	×	
	PD0		○	○	○	○	×	×		
	GPT4	GTIOC4A(入出力)	P95	○	○	○	○	×	×	
		GTIOC4B(入出力)	P92	○	○	○	○	×	×	
	GPT5	GTIOC5A(入出力)	P94	○	○	○	○	×	×	
		GTIOC5B(入出力)	P91	○	○	○	○	×	×	
	GPT6	GTIOC6A(入出力)	P93	○	○	○	○	×	×	
			PG3	○	○	○	×	×	×	
		GTIOC6B(入出力)	P90	○	○	○	○	×	×	
	PG4		○	○	○	×	×	×		
	GPT7	GTIOC7A(入出力)	PG0	○	○	○	×	×	×	
GTIOC7B(入出力)		PG1	○	○	○	×	×	×		
GPT	GTETRG/GTETRG0	PB4	○	○	○	○	○	○		
	GTETRG1	P34	○	×	×	×	×	×		

表21.1 マルチプル端子の割り当て端子一覧 (4 / 7)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				144ピン	120ピン	112ピン	100ピン	64ピン	48ピン
シリアル コミュニケーション インタフェース	SCI0	RXD0(入力)/ SMISO0(入出力)/ SSCL0(入出力)	P22	○	○	○	○	×	×
			P24	×	×	×	×	○	○
			PA5	○	○	○	○	×	×
			PB1	○	○	○	○	○	○
		TXD0(出力)/ SMOSI0(入出力)/ SSDA0(入出力)	P23	○	○	○	○	×	×
			P30	×	×	×	×	○	○
			PA4	○	○	○	○	×	×
			PB2	○	○	○	○	○	○
		SCK0(入出力)	P23	×	×	×	×	○	○
			P30	○	○	○	○	×	×
			PA3	○	○	○	○	×	×
			PB3	○	○	○	○	○	○
		CTS0#(入力)/ RTS0#(出力)/ SS0#(入力)	P00	×	×	×	×	○	×
			P01	○	○	○	○	×	×
			P22	×	×	×	×	○	○
			P24	○	○	○	○	×	×
	PD7		○	○	○	○	○	○	
	SCI1	RXD1(入力)/ SMISO1(入出力)/ SSCL1(入出力)	P93	×	×	×	×	○	×
			P96	○	○	○	○	×	×
			PD5	○	○	○	○	○	○
			PF2	○	○	○	×	×	×
		TXD1(出力)/ SMOSI1(入出力)/ SSDA1(入出力)	P26	○	○	×	×	×	×
			P94	×	×	×	×	○	×
			P95	○	○	○	○	×	×
			PD3	○	○	○	○	○	○
		SCK1(入出力)	PF3	○	○	○	×	×	×
			P25	○	○	×	×	×	×
			P92	×	×	×	×	○	×
			PD4	○	○	○	○	○	○
		CTS1#(入力)/ RTS1#(出力)/ SS1#(入力)	PG6	○	○	×	×	×	×
			P70	○	○	○	○	○	○
			P91	×	×	×	×	○	×
		SCI2	RXD2(入力)/ SMISO2(入出力)/ SSCL2(入出力)	P94	○	○	○	○	×
	P03			○	×	×	×	×	×
	PA2			○	○	○	○	×	×
	TXD2(出力)/ SMOSI2(入出力)/ SSDA2(入出力)		PG1	○	○	○	×	×	×
P02			○	×	×	×	×	×	
PA1			○	○	○	○	×	×	
SCK2(入出力)	PG0		○	○	○	×	×	×	
	P14		○	×	×	×	×	×	
	PA0		○	○	○	○	×	×	
CTS2#(入力)/ RTS2#(出力)/ SS2#(入力)	PG2		○	○	○	×	×	×	
	P13		○	○	×	×	×	×	
				P93	○	○	○	○	×

表21.1 マルチプル端子の割り当て端子一覧 (5 / 7)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				144ピン	120ピン	112ピン	100ピン	64ピン	48ピン
シリアル コミュニケーション インタフェース	SCI3	RXD3(入力)/ SMISO3(入出力)/ SSCL3(入出力)	P34	○	×	×	×	×	×
			PG4	○	○	○	×	×	×
		TXD3(出力)/ SMOSI3(入出力)/ SSDA3(入出力)	P35	○	×	×	×	×	×
			PG3	○	○	○	×	×	×
		SCK3(入出力)	PG5	○	○	○	×	×	×
	CTS3#(入力)/ RTS3#(出力)/ SS3#(入力)	PA6	○	×	×	×	×	×	
	SCI12	RXD12(入力)/ SMISO12(入出力)/ SSCL12(入出力)/ RXDX12(入力)	P80	○	○	○	○	×	×
			PB6	○	○	○	○	○	○
		TXD12(出力)/ SMOSI12(入出力)/ SSDA12(入出力)/ TXDX12(出力)/ SIOX12(入出力)	P81	○	○	○	○	×	×
			PB5	○	○	○	○	○	○
		SCK12(入出力)	P82	○	○	○	○	×	×
			PB7	○	○	○	○	○	×
		CTS12#(入力)/ RTS12#(出力)/ SS12#(入力)	PB4	×	×	×	×	○	○
	PE1		○	○	○	○	×	×	
I ² Cバスインタフェース	RIIC0	SCL0(入出力)	PB1	○	○	○	○	○	○
		SDA0(入出力)	PB2	○	○	○	○	○	○
	RIIC1	SCL1(入出力)	P25	○	○	×	×	×	×
		SDA1(入出力)	P26	○	○	×	×	×	×
USB2.0ホスト/ファンクション モジュール	USB0_DPUPE	-	○	○	×	×	×	×	
	USB0_VBUSEN(出力)	P13	○	○	×	×	×	×	
	USB0_OVRCURA(入力)	PE1	○	○	×	×	×	×	
	USB0_VBUS(入力)	PE5	○	○	×	×	×	×	
	USB0_EXIGEN(出力)	PD1	○	○	×	×	×	×	
	USB0_OVRCURB(入力)	PE0	○	○	×	×	×	×	
	USB0_ID(入力)	PD2	○	○	×	×	×	×	
	USB0_DRPDP(出力)	P01	○	○	×	×	×	×	
USB0_DPRPDP(出力)	P12	○	○	×	×	×	×		
CANモジュール	CRX1(入力)	PE0	○	○	○	○	×	×	
		P22	○	○	○	○	×	×	
	CTX1(出力)	PB6	○	○	○	○	×	×	
		P23	○	○	○	○	×	×	
		PB5	○	○	○	○	×	×	
		PD7	○	○	○	○	×	×	

表21.1 マルチプル端子の割り当て端子一覧 (6 / 7)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				144ピン	120ピン	112ピン	100ピン	64ピン	48ピン
シリアルペリフェラル インタフェース	RSPi0	RSPCKA(入出力)	P24	○	○	○	○	○	○
			PA4	○	○	○	○	○	×
			PD0	○	○	○	○	×	×
		MOSIA(入出力)	P23	○	○	○	○	○	○
			PB0	○	○	○	○	○	○
			PD2	○	○	○	○	×	×
		MISOA(入出力)	P22	○	○	○	○	○	○
			PA5	○	○	○	○	○	×
			PD1	○	○	○	○	×	×
		SSLA0(入出力)	P30	○	○	○	○	○	○
			PA3	○	○	○	○	○	○
			PD6	○	○	○	○	×	×
		SSLA1(出力)	P31	○	○	○	○	○	×
			PA2	○	○	○	○	○	○
			PD7	○	○	○	○	×	×
		SSLA2(出力)	P32	○	○	○	○	○	×
			PA1	○	○	○	○	×	×
			PE0	○	○	○	○	×	×
		SSLA3(出力)	P33	○	○	○	○	○	×
			PA0	○	○	○	○	×	×
			PE1	○	○	○	○	×	×
	RSPi1	RSPCKB(入出力)	P24	○	○	○	○	×	×
			PA4	○	○	○	○	×	×
			PD0	○	○	○	○	×	×
		MOSIB(入出力)	P23	○	○	○	○	×	×
			PB0	○	○	○	○	×	×
			PD2	○	○	○	○	×	×
		MISOB(入出力)	P22	○	○	○	○	×	×
			PA5	○	○	○	○	×	×
			PD1	○	○	○	○	×	×
		SSLB0(入出力)	P30	○	○	○	○	×	×
			PA3	○	○	○	○	×	×
			PD6	○	○	○	○	×	×
SSLB1(出力)		P31	○	○	○	○	×	×	
		PA2	○	○	○	○	×	×	
		PD7	○	○	○	○	×	×	
SSLB2(出力)		P32	○	○	○	○	×	×	
		PA1	○	○	○	○	×	×	
		PE0	○	○	○	○	×	×	
SSLB3(出力)		P33	○	○	○	○	×	×	
		PA0	○	○	○	○	×	×	
		PE1	○	○	○	○	×	×	

表21.1 マルチプル端子の割り当て端子一覧 (7 / 7)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				144ピン	120ピン	112ピン	100ピン	64ピン	48ピン
12ビットA/Dコンバータ		AN000(入力)	P40	○	○	○	○	○	○
		AN001(入力)	P41	○	○	○	○	○	○
		AN002(入力)	P42	○	○	○	○	○	○
		AN003(入力)	P43	○	○	○	○	○	○
		AN004(入力)	P44	×	×	×	×	○	○
		AN005(入力)	P45	×	×	×	×	○	×
		AN006(入力)	P46	×	×	×	×	○	×
		AN007(入力)	P47	×	×	×	×	○	○
		AN100(入力)	P44	○	○	○	○	×	×
		AN101(入力)	P45	○	○	○	○	×	×
		AN102(入力)	P46	○	○	○	○	×	×
		AN103(入力)	P47	○	○	○	○	×	×
		ADTRG0#(入力)	P20	○	○	○	○	×	×
			PA4	○	○	○	○	○	×
		ADTRG1#(入力)	P21	○	○	○	○	×	×
	PA5		○	○	○	○	×	×	
10ビットA/Dコンバータ		AN0(入力)	P60	○	○	○	○	×	×
		AN1(入力)	P61	○	○	○	○	×	×
		AN2(入力)	P62	○	○	○	○	×	×
		AN3(入力)	P63	○	○	○	○	×	×
		AN4(入力)	P64	○	○	○	○	×	×
		AN5(入力)	P65	○	○	○	○	×	×
		AN6(入力)	P50	○	○	○	○	×	×
		AN7(入力)	P51	○	○	○	○	×	×
		AN8(入力)	P52	○	○	○	○	×	×
		AN9(入力)	P53	○	○	○	○	×	×
		AN10(入力)	P54	○	○	○	○	×	×
		AN11(入力)	P55	○	○	○	○	×	×
		AN12(入力)	P56	○	×	×	×	×	×
		AN13(入力)	P57	○	×	×	×	×	×
		AN14(入力)	PC0	○	×	×	×	×	×
		AN15(入力)	PC1	○	×	×	×	×	×
		AN16(入力)	PC2	○	×	×	×	×	×
		AN17(入力)	PC3	○	×	×	×	×	×
		AN18(入力)	PC4	○	×	×	×	×	×
		AN19(入力)	PC5	○	×	×	×	×	×
	ADTRG#(入力)	P22	○	○	○	○	×	×	
		PG5	○	○	○	×	×	×	
D/Aコンバータ		DA0(出力)	P54	○	○	○	○	×	×
		DA1(出力)	P55	○	○	○	○	×	×
クロック周波数精度測定回路		CACREF(入力)	P00	○	○	○	○	×	×
			P01	×	×	×	×	○	×
			P23	○	○	○	○	○	○
			PB3	○	○	○	○	○	○

21.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

21.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス 0008 C11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	BOWI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可	R/W
b7	BOWI	PFSWEビット書き込み禁止ビット	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”にしたときのみ、PmnPFS および UDPUEPFS レジスタに対する書き込みが許可されます。

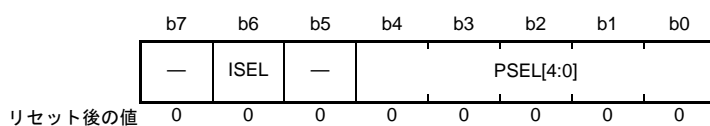
PFSWE ビットを“1”にする場合は、BOWI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

BOWI ビット (PFSWE ビット書き込み禁止ビット)

BOWI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

21.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n=0 ~ 3)

アドレス P00PFS 0008 C140h、P01PFS 0008 C141h、P02PFS 0008 C142h、P03PFS 0008 C143h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.2を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。PSEL[4:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を2つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

IRQn 機能のない端子の ISEL ビットは予約です。アナログ入出力機能のない端子の ASEL ビットは予約です。

表21.2 144ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子			
	P00	P01	P02	P03
00000b (初期値)	Hi-Z			
00101b	CACREF	—	—	—
01010b	—	CTS0# RTS0# SS0#	TXD2 SMOSI2 SSDA2	RXD2 SMISO2 SSCL2
10001b	—	USB0_DRPD	—	—

— : 設定しないでください。

表21.3 120ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子	
	P00	P01
00000b (初期値)	Hi-Z	
00101b	CACREF	—
01010b	—	CTS0# RTS0# SS0#
10001b	—	USB0_DRPD

— : 設定しないでください。

表21.4 112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子	
	P00	P01
00000b (初期値)	Hi-Z	
00101b	CACREF	—
01010b	—	CTS0# RTS0# SS0#

— : 設定しないでください。

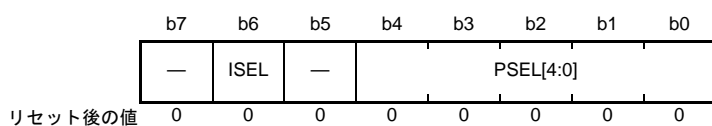
表21.5 64ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット設定値	端子	
	P00	P01
0000b (初期値)	Hi-Z	
0101b	—	CACREF
0110b	GTIOC3A	GTIOC3B
1010b	CTS0# RTS0# SS0#	—

— : 設定しないでください。

21.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n=0 ~ 4)

アドレス P10PFS 0008 C148h、P11PFS 0008 C149h、P12PFS 0008 C14Ah、P13PFS 0008 C14Bh、P14PFS 0008 C14Ch



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.6を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.6 144ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子				
	P10	P11	P12	P13	P14
00000b (初期値)	Hi-Z				
00010b	MTCLKD	MTCLKC	—	—	—
01010b	—	—	—	CTS2# RTS2# SS2#	SCK2
10001b	—	—	USB0_DPRPD	USB0_VBUSEN	—

— : 設定しないでください。

表21.7 120ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子			
	P10	P11	P12	P13
00000b (初期値)	Hi-Z			
00010b	MTCLKD	MTCLKC	—	—
01010b	—	—	—	CTS2# RTS2# SS2#
10001b	—	—	USB0_DPRPD	USB0_VBUSEN

— : 設定しないでください。

表21.8 112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子	
	P10	P11
00000b (初期値)	Hi-Z	
00010b	MTCLKD	MTCLKC

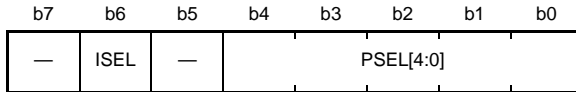
— : 設定しないでください。

表21.9 64ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット設定値	端子	
	P10	P11
0000b (初期値)	Hi-Z	
0010b	MTCLKD	MTCLKC

21.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n=0 ~ 6)

アドレス P20PFS 0008 C150h、P21PFS 0008 C151h、P22PFS 0008 C152h、P23PFS 0008 C153h、
P24PFS 0008 C154h、P25PFS 0008 C155h、P26PFS 0008 C156h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.10を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.10 144ピンLQFP、120ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子						
	P20	P21	P22	P23	P24	P25	P26
0000b (初期値)	Hi-Z						
00010b	MTCLKB	MTCLKA	—	—	—	—	—
00101b	—	—	—	CACREF	—	—	—
01001b	ADTRG0#	ADTRG1#	ADTRG#	—	—	—	—
01010b	—	—	RXD0 SMISO0 SSCL0	TXD0 SMOSI0 SSDA0	CTS0# RTS0# SS0#	SCK1	TXD1 SMOSI1 SSDA1
01101b	—	—	MISOA	MOSIA	RSPCKA	—	—
01110b	—	—	MISOB	MOSIB	RSPCKB	—	—
01111b	—	—	—	—	—	SCL1	SDA1
10000b	—	—	CRX1	CTX1	—	—	—

— : 設定しないでください。

表21.11 112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子				
	P20	P21	P22	P23	P24
0000b (初期値)	Hi-Z				
00010b	MTCLKB	MTCLKA	—	—	—
00101b	—	—	—	CACREF	—
01001b	ADTRG0#	ADTRG1#	ADTRG#	—	—
01010b	—	—	RXD0 SMISO0 SSCL0	TXD0 SMOSI0 SSDA0	CTS0# RTS0# SS0#
01101b	—	—	MISOA	MOSIA	RSPCKA
01110b	—	—	MISOB	MOSIB	RSPCKB
10000b	—	—	CRX1	CTX1	—

— : 設定しないでください。

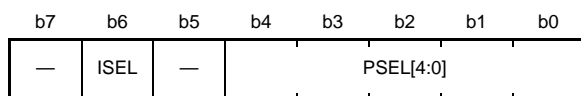
表21.12 64ピンLQFP、48ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子		
	P22	P23	P24
0000b (初期値)	Hi-Z		
0001b	MTIC5W	MTIC5V	MTIC5U
0010b	MTCLKA	MTCLKB	MTCLKC
0101b	—	CACREF	—
1010b	CTS0# RTS0# SS0#	SCK0	RXD0 SMISO SSCL0
1101b	MISOA	MOSIA	RSPCKA

— : 設定しないでください。

21.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n=0 ~ 5)

アドレス P30PFS 0008 C158h、P31PFS 0008 C159h、P32PFS 0008 C15Ah、P33PFS 0008 C15Bh
P34PFS 0008 C15Ch、P35PFS 0008 C15Dh



リセット後の値

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.13を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.13 144ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子					
	P30	P31	P32	P33	P34	P35
00000b (初期値)	Hi-Z					
00001b	MTIOC0B	MTIOC0A	MTIOC3C	MTIOC3A	—	—
00010b	MTCLKD	MTCLKC	MTCLKB	MTCLKA	—	—
00110b	—	—	—	—	GTETRGI	—
01010b	SCK0	—	—	—	RXD3 SMISO3 SSCL3	TXD3 SMOSI3 SSDA3
01101b	SSLA0	SSLA1	SSLA2	SSLA3	—	—
01110b	SSLB0	SSLB1	SSLB2	SSLB3	—	—

— : 設定しないでください。

表21.14 120ピンLQFP、112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子			
	P30	P31	P32	P33
00000b (初期値)	Hi-Z			
00001b	MTIOC0B	MTIOC0A	MTIOC3C	MTIOC3A
00010b	MTCLKD	MTCLKC	MTCLKB	MTCLKA
01010b	SCK0	—	—	—
01101b	SSLA0	SSLA1	SSLA2	SSLA3
01110b	SSLB0	SSLB1	SSLB2	SSLB3

— : 設定しないでください。

表21.15 64ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	P30	P31	P32	P33
0000b (初期値)	Hi-Z			
0001b	MTIOC0B	MTIOC0A	MTIOC3C	MTIOC3A
0010b	MTCLKD	—	MTIOC6C	MTIOC6A
1010b	TXD0 SMOSI0 SSDA0	—	—	—
1101b	SSLA0	SSLA1	SSLA2	SSLA3

— : 設定しないでください。

表21.16 48ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子
	P30
0000b (初期値)	Hi-Z
0001b	MTIOC0B
0010b	MTCLKD
1010b	TXD0 SMOSI0 SSDA0
1101b	SSLA0

— : 設定しないでください。

21.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n=0 ~ 7)

アドレス P40PFS 0008 C160h、P41PFS 0008 C161h、P42PFS 0008 C162h、P43PFS 0008 C163h
P44PFS 0008 C164h、P45PFS 0008 C165h、P46PFS 0008 C166h、P47PFS 0008 C167h

b7	b6	b5	b4	b3	b2	b1	b0
ASEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する	R/W

21.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n=0 ~ 7)

アドレス P50PFS 0008 C168h、P51PFS 0008 C169h、P52PFS 0008 C16Ah、P54PFS 0008 C16Bh、P54PFS 0008 C16Ch
P55PFS 0008 C16Dh、P56PFS 0008 C16Eh、P57PFS 0008 C16Fh

b7	b6	b5	b4	b3	b2	b1	b0
ASEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P54 : DA0 (144/120/112/100ピン) P55 : DA1 (144/120/112/100ピン)	R/W

21.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n=0 ~ 5)

アドレス P60PFS 0008 C170h、P61PFS 0008 C171h、P62PFS 0008 C172h、P63PFS 0008 C173h、
P64PFS 0008 C174h、P65PFS 0008 C175h

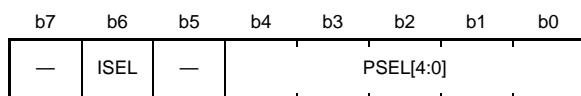
b7	b6	b5	b4	b3	b2	b1	b0
ASEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する	R/W

21.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n=0 ~ 6)

アドレス P70PFS 0008 C178h、P71PFS 0008 C179h、P72PFS 0008 C17Ah、P73PFS 0008 C17Bh
P74PFS 0008 C17Ch、P75PFS 0008 C17Dh、P76PFS 0008 C17Eh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 21.17 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 21.17 144ピンLQFP、120ピンLQFP、112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子						
	P70	P71	P72	P73	P74	P75	P76
0000b (初期値)	Hi-Z						
0001b	—	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
00110b	—	GTIOC0A	GTIOC1A	GTIOC2A	GTIOC0B	GTIOC1B	GTIOC2B
00111b	POE0#	—	—	—	—	—	—
01010b	CTS1# RTS1# SS1#	—	—	—	—	—	—

— : 設定しないでください。

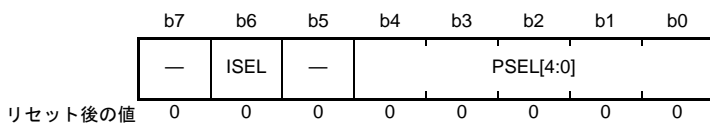
表 21.18 64ピンLQFP、48ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子						
	P70	P71	P72	P73	P74	P75	P76
0000b (初期値)	Hi-Z						
0001b	—	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
0010b	—	MTIOC6B	MTIOC7A	MTIOC7B	MTIOC6D	MTIOC7C	MTIOC7D
0110b	—	GTIOC0A	GTIOC1A	GTIOC2A	GTIOC0B	GTIOC1B	GTIOC2B
0111b	POE0#	—	—	—	—	—	—
1010b	CTS1# RTS1# SS1#	—	—	—	—	—	—

— : 設定しないでください。

21.2.10 P8n 端子機能制御レジスタ (P8nPFS) (n=0 ~ 2)

アドレス P80PFS 0008 C180h、P81PFS 0008 C181h、P82PFS 0008 C182h



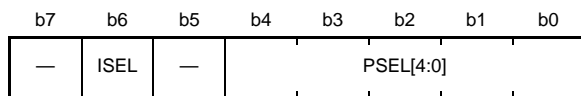
ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.19を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.19 144ピンLQFP、120ピンLQFP、112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子		
	P80	P81	P82
00000b (初期値)	Hi-Z		
00001b	MTIC5W	MTIC5V	MTIC5U
01100b	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	SCK12

21.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n=0 ~ 6)

アドレス P90PFS 0008 C188h、P91PFS 0008 C189h、P92PFS 0008 C18Ah、P93PFS 0008 C18Bh、
P94PFS 0008 C18Ch、P95PFS 0008 C18Dh、P96PFS 0008 C18Eh



リセット後の値

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.20を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.20 144ピンLQFP、120ピンLQFP、112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子						
	P90	P91	P92	P93	P94	P95	P96
00000b (初期値)	Hi-Z						
00001b	MTIOC7D	MTIOC7C	MTIOC6D	MTIOC7B	MTIOC7A	MTIOC6B	—
00110b	GTIOC6B	GTIOC5B	GTIOC4B	GTIOC6A	GTIOC5A	GTIOC4A	—
00111b	—	—	—	—	—	—	POE4#
01010b	—	—	—	CTS2# RTS2# SS2#	CTS1# RTS1# SS1#	TXD1 SMOS1 SSDA1	RXD1 SMISO1 SSCL1

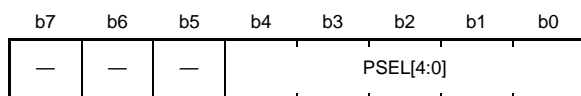
— : 設定しないでください。

表21.21 64ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	P91	P92	P93	P94
0000b (初期値)	Hi-Z			
1010b	CTS1# RTS1# SS1#	SCK1	RXD1 SMISO1 SSCL1	TXD1 SMOS1 SSDA1

21.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n=0 ~ 6)

アドレス PA0PFS 0008 C190h、PA1PFS 0008 C191h、PA2PFS 0008 C192h、PA3PFS 0008 C193h
PA4PFS 0008 C194h、PA5PFS 0008 C195h、PA6PFS 0008 C196h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.22を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.22 144ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子						
	PA0	PA1	PA2	PA3	PA4	PA5	PA6
00000b (初期値)	Hi-Z						
00001b	MTIOC6C	MTIOC6A	MTIOC2B	MTIOC2A	MTIOC1B	MTIOC1A	—
01010b	SCK2	TXD2 SMOSI2 SSDA2	RXD2 MISO2 SSCL2	SCK0	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	CTS3# RTS3# SS3#
01101b	SSLA3	SSLA2	SSLA1	SSLA0	RSPCKA	MISOA	—
01110b	SSLB3	SSLB2	SSLB1	SSLB0	RSPCKB	MISOB	—
01001b	—	—	—	—	ADTRG0#	ADTRG1#	—

— : 設定しないでください。

表21.23 120ピンLQFP、112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	PA0	PA1	PA2	PA3	PA4	PA5
00000b (初期値)	Hi-Z					
00001b	MTIOC6C	MTIOC6A	MTIOC2B	MTIOC2A	MTIOC1B	MTIOC1A
01010b	SCK2	TXD2 SMOSI2 SSDA2	RXD2 MISO2 SSCL2	SCK0	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0
01101b	SSLA3	SSLA2	SSLA1	SSLA0	RSPCKA	MISOA
01110b	SSLB3	SSLB2	SSLB1	SSLB0	RSPCKB	MISOB
01001b	—	—	—	—	ADTRG0#	ADTRG1#

— : 設定しないでください。

表21.24 64ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	PA2	PA3	PA4	PA5
0000b (初期値)	Hi-Z			
0001b	MTIOC2B	MTIOC2A	MTIOC1B	MTIOC1A
1001b	—	—	ADTRG0#	—
1101b	SSLA1	SSLA0	RSPCKA	MISOA

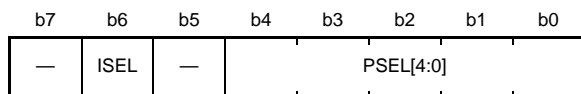
— : 設定しないでください。

表21.25 48ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子	
	PA2	PA3
0000b (初期値)	Hi-Z	
0001b	MTIOC2B	MTIOC2A
1101b	SSLA1	SSLA0

21.2.13 P_{Bn} 端子機能制御レジスタ (P_{Bn}PFS) (n=0 ~ 7)

アドレス PB0PFS 0008 C198h、PB1PFS 0008 C199h、PB2PFS 0008 C19Ah、PB3PFS 0008 C19Bh
PB4PFS 0008 C19Ch、PB5PFS 0008 C19Dh、PB6PFS 0008 C19Eh、PB7PFS 0008 C19Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 21.26 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 21.26 144ピンLQFP、120ピンLQFP、112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
00000b (初期値)	Hi-Z							
00001b	MTIOC0D	MTIOC0C	MTIOC0B	MTIOC0A	—	—	—	—
00101b	—	—	—	CACREF	—	—	—	—
00110b	—	—	—	—	GTETRG0	—	—	—
00111b	—	—	—	—	POE8#	—	—	—
01010b	—	RXD0 SMISO0 SSCL0	TXD0 SMOSI0 SSDA0	SCK0	—	—	—	—
01100b	—	—	—	—	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	SCK12
01101b	MOSIA	—	—	—	—	—	—	—
01110b	MOSIB	—	—	—	—	—	—	—
10000b	—	—	—	—	—	CTX1	CRX1	—
01111b	—	SCL0	SDA0	—	—	—	—	—

— : 設定しないでください。

表21.27 64ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
0000b (初期値)	Hi-Z							
0001b	MTIOC0D	MTIOC0C	MTIOC0B	MTIOC0A	—	—	—	—
0010b	—	—	MTCLKB	MTCLKA	—	—	—	—
0101b	—	—	—	CACREF	—	—	—	—
0110b	—	—	—	—	GTETRG	—	GTIOC2B	GTIOC2B
0111b	—	—	—	—	POE8#	POE11#	—	—
1010b	—	RXD0 SMISO0 SSCL0	TXD0 SMOSI0 SSDA0	SCK0	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	SCK12
1100b	—	—	—	—	CTS12# RTS12# SS12#	—	—	—
1101b	MOSIA	—	—	—	—	—	—	—
1111b	—	SCL	SDA	—	—	—	—	—

— : 設定しないでください。

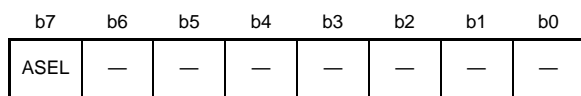
表21.28 48ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子						
	PB0	PB1	PB2	PB3	PB4	PB5	PB6
0000b (初期値)	Hi-Z						
0001b	MTIOC0D	MTIOC0C	MTIOC0B	MTIOC0A	—	—	—
0010b	—	—	MTCLKB	MTCLKA	—	—	—
0101b	—	—	—	CACREF	—	—	—
0110b	—	—	—	—	GTETRG	—	GTIOC2B
0111b	—	—	—	—	POE8#	POE11#	—
1010b	—	RXD0 SMISO0 SSCL0	TXD0 SMOSI0 SSDA0	SCK0	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12
1100b	—	—	—	—	CTS12# RTS12# SS12#	—	—
1101b	MOSIA	—	—	—	—	—	—
1111b	—	SCL	SDA	—	—	—	—

— : 設定しないでください。

21.2.14 PCn 端子機能制御レジスタ (PCnPFS) (n=0 ~ 5)

アドレス PC0PFS 0008 C1A0h、PC1PFS 0008 C1A1h、PC2PFS 0008 C1A2h、PC3PFS 0008 C1A3h
PC4PFS 0008 C1A4h、PC5PFS 0008 C1A5h

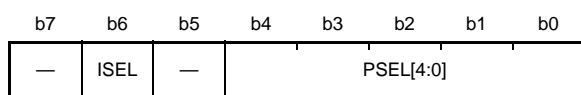


リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ入力機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する	R/W

21.2.15 PDn 端子機能制御レジスタ (PDnPFS) (n=0 ~ 7)

アドレス PD0PFS 0008 C1A8h、PD1PFS 0008 C1A9h、PD2PFS 0008 C1AAh、PD3PFS 0008 C1ABh
PD4PFS 0008 C1ACh、PD5PFS 0008 C1ADh、PD6PFS 0008 C1AEh、PD7PFS 0008 C1AFh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.29を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.29 144ピンLQFP、120ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PD0	PD1	PD2	PD3	PD4	PD5	PD6	PD7
00000b (初期値)	Hi-Z							
00110b	GTIOC3B	GTIOC3A	GTIOC2B	GTIOC2A	GTIOC1B	GTIOC1A	GTIOC0B	GTIOC0A
01010b	—	—	—	TXD1 SMOSI1 SSDA1	SCK1	RXD1 SMISO1 SSCL1	—	CTS0# RTS0# SS0#
01101b	RSPCKA	MISOA	MOSIA	—	—	—	SSLA0	SSLA1
01110b	RSPCKB	MISOB	MOSIB	—	—	—	SSLB0	SSLB1
10000b	—	—	—	—	—	—	—	CTX1
10001b	—	USB0_EXICE N	USB0_ID	—	—	—	—	—

— : 設定しないでください。

表21.30 112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PD0	PD1	PD2	PD3	PD4	PD5	PD6	PD7
00000b (初期値)	Hi-Z							
00110b	GTIOC3B	GTIOC3A	GTIOC2B	GTIOC2A	GTIOC1B	GTIOC1A	GTIOC0B	GTIOC0A
01010b	—	—	—	TXD1 SMOSI1 SSDA1	SCK1	RXD1 SMISO1 SSCL1	—	CTS0# RTS0# SS0#
01101b	RSPCKA	MISOA	MOSIA	—	—	—	SSLA0	SSLA1
01110b	RSPCKB	MISOB	MOSIB	—	—	—	SSLB0	SSLB1
10000b	—	—	—	—	—	—	—	CTX1

— : 設定しないでください。

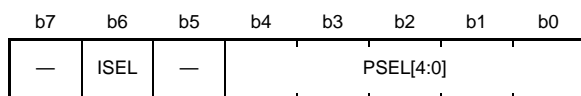
表21.31 64ピンLQFP、48ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子				
	PD3	PD4	PD5	PD6	PD7
0000b (初期値)	Hi-Z				
0110b	GTIOC2A	GTIOC1B	GTIOC1A	GTIOC0B	GTIOC0A
1010b	TXD1 SMOSI1 SSDA1	SCK1	RXD1 SMISO1 SSCL1	—	CTS0# RTS0# SS0#

— : 設定しないでください。

21.2.16 PEn 端子機能制御レジスタ (PEnPFS) (n=0 ~ 5)

アドレス PE0PFS 0008 C1B0h、PE1PFS 0008 C1B1h、PE2PFS 0008 C1B2h、PE3PFS 0008 C1B3h
PE4PFS 0008 C1B4h、PE5PFS 0008 C1B5h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.32を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.32 144ピンLQFP、120ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子					
	PE0	PE1	PE2	PE3	PE4	PE5
00000b (初期値)	Hi-Z					
00010b	—	—	—	MTICKLD	MTICKLC	—
00111b	—	—	POE10#	POE11#	POE10#	—
01100b	—	CTS12# RTS12# SS12#	—	—	—	—
01101b	SSLA2	SSLA3	—	—	—	—
01110b	SSLB2	SSLB3	—	—	—	—
10000b	CRX1	—	—	—	—	—
10001b	USB0_OVRCURB	USB0_OVRCURA	—	—	—	USB0_VBUS

— : 設定しないでください。

表21.33 112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子					
	PE0	PE1	PE2	PE3	PE4	PE5
00000b (初期値)	Hi-Z					
00010b	—	—	—	MTICKLD	MTICKLC	—
00111b	—	—	POE10#	POE11#	POE10#	—
01100b	—	CTS12# RTS12# SS12#	—	—	—	—
01101b	SSLA2	SSLA3	—	—	—	—
01110b	SSLB2	SSLB3	—	—	—	—
10000b	CRX1	—	—	—	—	—

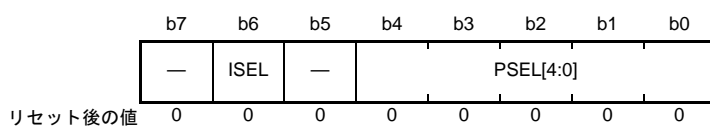
— : 設定しないでください。

表21.34 64ピンLQFP、48ピンLQFP 端子入出力機能レジスタ設定

PSEL[3:0]ビット設定値	端子
0000b (初期値)	Hi-Z
0111b	POE10#

21.2.17 PFn 端子機能制御レジスタ (PFnPFS) (n=2、3)

アドレス PF2PFS 0008 C1BAh、PF3PFS 0008 C1BBh



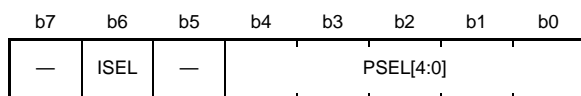
ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.35を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.35 144ピンLQFP、120ピンLQFP、112ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子	
	PF2	PF3
00000b (初期値)	Hi-Z	
01010b	RXD1 SMISO1 SSCL1	TXD1 SMOS11 SSDA1

21.2.18 P_G_n 端子機能制御レジスタ (P_G_nPFS) (n=0 ~ 6)

アドレス PG0PFS 0008 C1C0h、PG1PFS 0008 C1C1h、PG2PFS 0008 C1C2h、PG3PFS 0008 C1C3h、
PG4PFS 0008 C1C4h、PG5PFS 0008 C1C5h、PG6PFS 0008 C1C6h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 21.36 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQ _n 入力端子として使用しない 1 : IRQ _n 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 21.36 144ピンLQFP、120ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子						
	PG0	PG1	PG2	PG3	PG4	PG5	PG6
00000b (初期値)	Hi-Z						
00110b	GTIOC7A	GTIOC7B	—	GTIOC6A	GTIOC6B	—	—
00111b	—	—	—	—	—	POE12#	—
01010b	TXD2 SMOSI2 SSDA2	RXD2 SMISO2 SSCL2	SCK2	TXD3 SMOSI3 SSDA3	RXD3 SMISO3 SSCL3	SCK3	SCK1
01001b	—	—	—	—	—	ADTRG#	—

— : 設定しないでください。

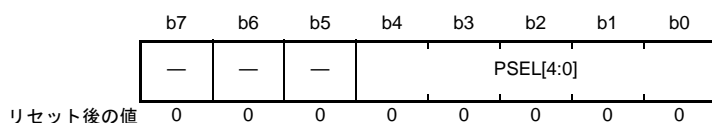
表 21.37 112ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子					
	PG0	PG1	PG2	PG3	PG4	PG5
00000b (初期値)	Hi-Z					
00110b	GTIOC7A	GTIOC7B	—	GTIOC6A	GTIOC6B	—
00111b	—	—	—	—	—	POE12#
01010b	TXD2 SMOSI2 SSDA2	RXD2 SMISO2 SSCL2	SCK2	TXD3 SMOSI3 SSDA3	RXD3 SMISO3 SSCL3	SCK3
01001b	—	—	—	—	—	ADTRG#

— : 設定しないでください。

21.2.19 USB0_DPUPE 端子機能制御レジスタ (UDPUPEPFS)

アドレス UDPUEPFS 0008 C1D0h



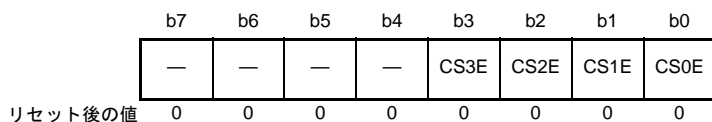
ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.38を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.38 144ピンLQFP、120ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子
00000b (初期値)	Hi-Z
10001b	USB0_DPUPE

21.2.20 CS 出力許可レジスタ (PFCSE)

アドレス 0008 C100h



ビット	シンボル	ビット名	機能	R/W
b0	CS0E	CS0許可ビット	0 : CSn#出力禁止 1 : CSn#出力許可 (n=0~3)	R/W
b1	CS1E	CS1許可ビット		R/W
b2	CS2E	CS2許可ビット		R/W
b3	CS3E	CS3許可ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnE ビット (CSn 許可ビット) (n=0 ~ 3)

対応する CSn# 出力の許可 / 禁止を選択します。

CSn# を出力する場合には、対応する PFCSE.CSnE ビットを“1”にしてください。

21.2.21 CS 出力端子選択レジスタ 0 (PFCSS0)

アドレス 0008 C102h

b7	b6	b5	b4	b3	b2	b1	b0
CS3S[1:0]	CS2S[1:0]	CS1S[1:0]	—	CS0S			
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0S	CS0#出力端子選択ビット	0 : P26をCS0#出力端子として設定 1 : PD1をCS0#出力端子として設定	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	CS1S[1:0]	CS1#出力端子選択ビット	b3 b2 0 0 : P00をCS1#出力端子として設定 0 1 : P25をCS1#出力端子として設定 1 x : PF2をCS1#出力端子として設定	R/W
b5-b4	CS2S[1:0]	CS2#出力端子選択ビット	b5 b4 0 0 : PD2をCS2#出力端子として設定 0 1 : PG6をCS2#出力端子として設定 1 x : P05をCS2#出力端子として設定	R/W
b7-b6	CS3S[1:0]	CS3#出力端子選択ビット	b7 b6 0 0 : P12をCS3#出力端子として設定 0 1 : PF4をCS3#出力端子として設定 1 x : PA6をCS3#出力端子として設定	R/W

x : Don't care

CS0S ビット (CS0# 出力端子選択ビット)**CSnS[1:0] ビット (CSn# 出力端子選択ビット) (n=1 ~ 3)**

CSn# 出力許可時 (PFCSE.CSnE ビット = “1”)、CSn# の出力端子を選択します。

21.2.22 アドレス出力許可レジスタ 0 (PFAOE0)

アドレス 0008 C104h

b7	b6	b5	b4	b3	b2	b1	b0
A15E	A14E	A13E	A12E	A11E	A10E	A9E	A8E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	A8E	アドレスA8出力許可ビット	0 : A8出力禁止 1 : A8出力許可	R/W
b1	A9E	アドレスA9出力許可ビット	0 : A9出力禁止 1 : A9出力許可	R/W
b2	A10E	アドレスA10出力許可ビット	0 : A10出力禁止 1 : A10出力許可	R/W
b3	A11E	アドレスA11出力許可ビット	0 : A11出力禁止 1 : A11出力許可	R/W
b4	A12E	アドレスA12出力許可ビット	0 : A12出力禁止 1 : A12出力許可	R/W
b5	A13E	アドレスA13出力許可ビット	0 : A13出力禁止 1 : A13出力許可	R/W
b6	A14E	アドレスA14出力許可ビット	0 : A14出力禁止 1 : A14出力許可	R/W
b7	A15E	アドレスA15出力許可ビット	0 : A15出力禁止 1 : A15出力許可	R/W

21.2.23 アドレス出力許可レジスタ 1 (PFAOE1)

アドレス 0008 C105h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	A19E	A18E	A17E	A16E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0 : A16出力禁止 1 : A16出力許可	R/W
b1	A17E	アドレスA17出力許可ビット	0 : A17出力禁止 1 : A17出力許可	R/W
b2	A18E	アドレスA18出力許可ビット	0 : A18出力禁止 1 : A18出力許可	R/W
b3	A19E	アドレスA19出力許可ビット	0 : A19出力禁止 1 : A19出力許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

21.2.24 外部バス制御レジスタ 0 (PFBCR0)

アドレス 0008 C106h

b7	b6	b5	b4	b3	b2	b1	b0
—	WR1B C1E	—	DHE	—	—	—	ADRLE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ADRLE	A0～A7出力許可ビット	0 : P65～P60、P53、P52をI/Oポートとして設定 1 : P65～P60、P53、P52を外部アドレスバスA0～A7として設定	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DHE	D8～D15出力許可ビット	0 : P32～P30、P24～P20をI/Oポートとして設定 1 : P32～P30、P24～P20を外部データバスD8～D15として設定	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0 : PE0をI/Oポートとして設定 1 : PE0をWR1#またはBC1#として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

21.2.25 外部バス制御レジスタ 1 (PFBCR1)

アドレス 0008 C107h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	ALEOE	WAITS[1:0]	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	WAITS[1:0]	WAIT選択ビット	b1 b0 0 0 : PE0をWAIT#入力端子として設定 0 1 : P82をWAIT#入力端子として設定 1 x : P05をWAIT#入力端子として設定	R/W
b2	ALEOE	ALE出力許可ビット	0 : P11をI/Oポートとして設定 1 : P11をALE端子として設定	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

WAITS[1:0] (WAIT 選択ビット)

外部バス有効時、WAITS[1:0]ビットで指定したポートはWAIT#端子になります。ただし、指定したポートをWAIT#端子として使用しない場合は、CS_nモードレジスタの外部ウェイト許可ビット(CS_nMOD.EWENB)を“0”(外部ウェイト禁止)に設定することで、汎用入力ポートとして使用することが可能です。

指定したWAIT#端子をWAIT入力、汎用入力ポートのいずれとしても使用しない場合は、同端子をプルアップ/プルダウンしてください。

21.2.26 USB0 制御レジスタ (PFUSB0)

アドレス 0008 C114h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	PDH _Z S	PUPH _Z S	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PUPH _Z S	PUPH _Z 選択ビット	0 : USB0_DPUPE 端子 = High 出力 / Low 出力 (外部プルアップ制御信号) 1 : USB0_DPUPE 端子 = High 出力 / Hi-Z 状態 (USB0_DP 端子プルアップ出力)	R/W
b3	PDH _Z S	PDH _Z 選択ビット	0 : USB0_DPRPD 端子 = High 出力 / Low 出力 USB0_DRPD 端子 = High 出力 / Low 出力 (外部プルダウン制御信号) 1 : USB0_DPRPD 端子 = Low 出力 / Hi-Z 状態 USB0_DRPD 端子 = Low 出力 / Hi-Z 状態 (USB0_DP、USB0_DM 端子プルダウン出力)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

USB0_DPUPE 端子機能制御レジスタ (UDPUPEPFS) の設定により、DPUPE 端子をアサインした状態で、PUPH_ZS ビットの機能が有効になります。

PUPH_ZS ビット (PUPH_Z 選択ビット)

USB0_DPUPE 端子の出力モード (外部プルアップ制御 / 端子プルアップ出力) を選択します。

PUPH_ZS ビットを“0”にすると、外部プルアップ IC 用の制御信号出力モードになり、USB0_DPUPE 端子からは High アクティブの制御信号が出力されます。USB0_DP 端子プルアップ時、USB0_DPUPE 端子は High 出力状態になります。USB0_DP 端子プルアップ解除時、USB0_DPUPE 端子は Low 出力状態になります。

PUPH_ZS ビットを“1”にすると、USB0_DP 端子を直接プルアップする出力モードになります。USB0_DP 端子プルアップ時、USB0_DPUPE 端子は High 出力状態になります。USB0_DP 端子プルアップ解除時、USB0_DPUPE 端子は Hi-Z 状態になります。

PDH_ZS ビット (PDH_Z セレクト)

USB の DPRPD 端子、DRPD 端子の出力モード (外部プルダウン制御 / 端子プルダウン出力) を選択します。

PDH_ZS ビットを“0”に設定すると、外部プルダウン IC 用の制御信号出力モードになり、DPRPD 端子、DRPD 端子からは High アクティブの制御信号が出力されます。

DP、DM 端子プルダウン時、DPRPD 端子、DRPD 端子は High 出力状態になります。DP、DM 端子プルダウン解除時、DPRPD 端子、DRPD 端子は Low レベル出力状態になります。

PDH_ZS ビットを“1”に設定すると、DP、DM 端子を直接プルダウンする出力モードになります。

DP、DM 端子プルダウン時、DPRPD 端子、DRPD 端子は Low 出力状態になります。

DP、DM 端子プルダウン解除時、DPRPD 端子、DRPD 端子は Hi-Z 状態になります。

21.3 外部バスインタフェース設定方法

外部バスインタフェースを使用する場合は、MPCのレジスタを表21.39のとおりを設定して、システムコントロールレジスタ0の外部バス有効ビット (SYSCR0.EXBE) を“1”にしてください。

表21.39に各ポートの外部バスインタフェース設定方法を示します。

該当するMPCのレジスタの詳細は、「21.2 レジスタの説明」を参照してください。

表21.39 外部バスインタフェース設定方法 (1 / 2)

144ピンポート	120ピンポート	112ピンポート	100ピンポート	出力信号名	MPCのレジスタの設定
PE1	PE1	PE1	PE1	WR0# / WR#	—
PE0	PE0	PE0	PE0	WR1# / BC1#	PFBCR0.WR1BC1E=1
				WAIT#	PFBCR1.WAITS[1:0]=00、PFBCR0.WR1BC1E=0
P01	P01	P01	P01	RD#	—
PE5	PE5	PE5	PE5	BCLK	—
P11	P11	P11	P11	ALE	PFBCR1.ALEOE=1
P82	P82	P82	P82	WAIT#	PFBCR1.WAITS[1:0]=01
PD2	PD2	PD2	PD2	CS2#	PFCSE.CS2E=1、PFCSS0.CS2S[1:0]=00
PG6	PG6	—	—	CS2#	PFCSE.CS2E=1、PFCSS0.CS2S[1:0]=01
P05	—	P05	—	CS2#	PFCSE.CS2E=1、PFCSS0.CS2S[1:0]=10/11
				WAIT#	PFBCR1.WAITS[1:0]=10/11、上の条件以外
P12	P12	P12	—	CS3#	PFCSE.CS3E=1、PFCSS0.CS3S[1:0]=00
PF4	—	PF4	—	CS3#	PFCSE.CS3E=1、PFCSS0.CS3S[1:0]=01
PA6	—	—	—	CS3#	PFCSE.CS3E=1、PFCSS0.CS3S[1:0]=10/11
P00	P00	P00	P00	CS1#	PFCSE.CS1E=1、PFCSS0.CS1S[1:0]=00
P25	P25	—	—	CS1#	PFCSE.CS1E=1、PFCSS0.CS1S[1:0]=01
PF2	PF2	PF2	—	CS1#	PFCSE.CS1E=1、PFCSS0.CS1S[1:0]=10/11
P26	P26	—	—	CS0#	PFCSE.CS0E=1、PFCSS0.CS0S=0
PD1	PD1	PD1	PD1	CS0#	PFCSE.CS0E=1、PFCSS0.CS0S=1
P65	P65	P65	P65	A0 / BC0#	PFBCR0.ADRLE=1
P64	P64	P64	P64	A1	PFBCR0.ADRLE=1
P63	P63	P63	P63	A2	PFBCR0.ADRLE=1
P62	P62	P62	P62	A3	PFBCR0.ADRLE=1
P61	P61	P61	P61	A4	PFBCR0.ADRLE=1
P60	P60	P60	P60	A5	PFBCR0.ADRLE=1
P53	P53	P53	P53	A6	PFBCR0.ADRLE=1
P52	P52	P52	P52	A7	PFBCR0.ADRLE=1
P81	P81	P81	P81	A8	PFAOE0.A8E=1
P80	P80	P80	P80	A9	PFAOE0.A9E=1
PE4	PE4	PE4	PE4	A10	PFAOE0.A10E=1
PE3	PE3	PE3	PE3	A11	PFAOE0.A11E=1
PD0	PD0	PD0	PD0	A12	PFAOE0.A12E=1
P96	P96	P96	P96	A13	PFAOE0.A13E=1
PB0	PB0	PB0	PB0	A14	PFAOE0.A14E=1
PB3	PB3	PB3	PB3	A15	PFAOE0.A15E=1
PB4	PB4	PB4	PB4	A16	PFAOE1.A16E=1
PB5	PB5	PB5	PB5	A17	PFAOE1.A17E=1
PB6	PB6	PB6	PB6	A18	PFAOE1.A18E=1
PB7	PB7	PB7	PB7	A19	PFAOE1.A19E=1
P76	P76	P76	P76	D0[A0/D0]	—

表21.39 外部バスインタフェース設定方法 (2 / 2)

144ピンポート	120ピンポート	112ピンポート	100ピンポート	出力信号名	MPCのレジスタの設定
P75	P75	P75	P75	D1[A1/D1]	—
P74	P74	P74	P74	D2[A2/D2]	—
P73	P73	P73	P73	D3[A3/D3]	—
P72	P72	P72	P72	D4[A4/D4]	—
P71	P71	P71	P71	D5[A5/D5]	—
P70	P70	P70	P70	D6[A6/D6]	—
P33	P33	P33	P33	D7[A7/D7]	—
P32	P32	P32	P32	D8[A8/D8]	PFBCR0.DHE=1
P31	P31	P31	P31	D9[A9/D9]	PFBCR0.DHE=1
P30	P30	P30	P30	D10[A10/D10]	PFBCR0.DHE=1
P24	P24	P24	P24	D11[A11/D11]	PFBCR0.DHE=1
P23	P23	P23	P23	D12[A12/D12]	PFBCR0.DHE=1
P22	P22	P22	P22	D13[A13/D13]	PFBCR0.DHE=1
P21	P21	P21	P21	D14[A14/D14]	PFBCR0.DHE=1
P20	P20	P20	P20	D15[A15/D15]	PFBCR0.DHE=1

21.4 使用上の注意事項

21.4.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

- (1) ポートモードレジスタ (PMR) を“0”にして汎用入力機能に設定します。
- (2) 周辺機能モジュールにおいて、当該端子にアサインする入出力信号を設定します。
- (3) 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします。(m=0～9、A～G、n=0～7)
- (4) PmnPFS.PSEL[4:0] ビットにより端子入出力機能を設定します。
- (5) PWPR.PFSWE ビットを“0”にして、PmnPFS レジスタへの書き込み禁止してください。
- (6) 必要に応じて PMR レジスタを“1”にして、選択された端子入出力機能に切り替えます。
- (7) WAIT 端子はいずれかの端子が常時選択されています。WAIT 入力を使用しない場合には必ず、CSnMOD.EWENB=0 として WAIT 入力を禁止してください。
- (8) WAIT 端子と兼用になっている端子で PFBCR1.WAITS[1:0] ビットで WAIT 入力端子に設定されている状態では、汎用ポートまたは周辺機能の端子として設定しても WAIT 入力は有効となっています。

21.4.2 MPC レジスタ設定する場合の注意事項

- (1) Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。当該端子の PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は意図しないパルスが出力されたりする可能性があります。
- (2) PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合動作は保証されません。
- (3) MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
- (4) ピンマルチされている端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 21.40 に示します。端子状態の読み出しは、ASEL ビットが“0”のとき可能です。PSEL[4:0] ビットの変更は、PMR.Bj ビットが“0”のときに行ってください。

表 21.40 レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[4:0]	
リセット解除後	0	0	0	0	00000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	x	割り込み入力と併用する場合は、PmnPFS.ISEL ビットを“1”にしてください
汎用出力ポート	0	1	0	0	x	
周辺機能	1	x	0	0/1	周辺機能 (表 21.2 ~ 表 21.37 参照)	割り込み入力と併用する場合は、PmnPFS.ISEL ビットを“1”にしてください
割り込み入力	0	0	0	1	x	
NMI	x	x	x	x (注1)	x	レジスタの設定は不要です
アナログ入力	x	x	1	x	x	
外部バス	0	x	0	0	x	PMR.Bn ビットを“0”にして、周辺機能を選択しないでください
JTAG インタフェース	0	x	x	0	x	PMR.Bn ビットを“0”に、PmnPFS.ISEL ビットを“0”にして入力バッファを OFF にしてください
FINE インタフェース	0	x	x	0	x	PMR.Bn ビットを“0”に、PmnPFS.ISEL ビットを“0”にして入力バッファを OFF にしてください

x : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がピンマルチされている場合)

注1. PmnPFS.ISEL ビットを“1”にしても、IRQn 入力端子として機能しません。

- 注.
- ・端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。
 - ・PmnPFS.PSEL[4:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。

21.4.3 アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、Pmn 端子機能制御レジスタの端子機能選択ビット (PmnPFS.ASEL) を“1”にしてください。

22. マルチファンクションタイマパルスユニット3 (MTU3)

22.1 概要

本 MCU は、8 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 3 (MTU3) を内蔵しています。

表 22.1 に MTU の仕様を、表 22.2 に MTU の機能一覧を示します。また、図 22.1、図 22.2 に MTU のブロック図を示します。

表 22.1 MTU の仕様

項目	内容
パルス入出力	【144/120/112/100 ピン版の場合】 最大 24 本 【64/48 ピン版の場合】 最大 24 本 (最大 16 本の同時使用が可能) (注1)
パルス入力	3 本
カウントクロック	チャンネルごとに 6~8 種類 (チャンネル 5 は 4 種類)
動作周波数	8~100MHz
設定可能動作	<p>【MTU0~MTU4, MTU6, MTU7】</p> <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能 カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 <p>【144/120/112/100 ピン版の場合】</p> <ul style="list-style-type: none"> 同期動作と組み合わせることによる最大 12 相の PWM 出力 <p>【64/48 ピン版の場合】</p> <ul style="list-style-type: none"> 同期動作と組み合わせることによる最大 8 相の PWM 出力 (注1) <p>【MTU0, MTU3, MTU4, MTU6, MTU7】</p> <ul style="list-style-type: none"> バッファ動作を設定可能 <p>【MTU3, MTU4, MTU6, MTU7】</p> <ul style="list-style-type: none"> MTU3/MTU4、および MTU6/MTU7 の連動動作による相補 PWM、リセット PWM 動作で、3 相のポジ/ネガ計 6 相の出力が可能 (注1) 相補 PWM モード時、タイマカウンタの山/谷もしくはバッファレジスタ (MTU4.TGRD、MTU7.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 相補 PWM モードでダブルバッファ機能を設定可能 <p>【MTU3, MTU4】</p> <ul style="list-style-type: none"> MTU0 と連動させて、相補 PWM、リセット PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能 <p>【MTU1, MTU2】</p> <ul style="list-style-type: none"> 個々に位相計数モードを設定可能 カスケード接続動作が可能 <p>【MTU5】</p> <ul style="list-style-type: none"> デッドタイム補償用カウンタとして使用することが可能
割り込み間引き機能	相補 PWM モード時に、カウンタの山/谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み要因	38 種類
バッファ動作	レジスタデータの自動転送 (バッファレジスタからタイマレジスタへの転送)
トリガ生成	A/D コンバータの変換開始トリガを生成可能 A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への設定が可能

注 1. 64/48 ピン版は、MTIOC3A と MTIOC6A、MTIOC3B と MTIOC6B、MTIOC3C と MTIOC6C、MTIOC3D と MTIOC6D はそれぞれ同一の端子に多重されており、MPC によりどちらか一方を選択して使用することが可能です。同様に MTIOC4A と MTIOC7A、MTIOC4B と MTIOC7B、MTIOC4C と MTIOC7C、MTIOC4D と MTIOC7D はそれぞれ同一の端子に多重されており、MPC によりどちらか一方を選択して使用することが可能です。

表22.2 MTUの機能一覧 (1/2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5	MTU6	MTU7	
カウントクロック	PCLKA/1 PCLKA/4 PCLKA/16 PCLKA/64 MTCLKA MTCLKB MTCLKC MTCLKD	PCLKA/1 PCLKA/4 PCLKA/16 PCLKA/64 PCLKA/256 MTCLKA MTCLKB	PCLKA/1 PCLKA/4 PCLKA/16 PCLKA/64 PCLKA/1024 MTCLKA MTCLKB MTCLKC	PCLKA/1 PCLKA/4 PCLKA/16 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/4 PCLKA/16 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/4 PCLKA/16 PCLKA/64	PCLKA/1 PCLKA/4 PCLKA/16 PCLKA/64 PCLKA/256 PCLKA/1024	PCLKA/1 PCLKA/4 PCLKA/16 PCLKA/64 PCLKA/256 PCLKA/1024	PCLKA/1 PCLKA/4 PCLKA/16 PCLKA/64 PCLKA/256 PCLKA/1024
位相計数モードの外部クロック	—	MTCLKA MTCLKB	MTCLKC MTCLKD	—	—	—	—	—	
ジェネラルレジスタ (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW	TGRA TGRB	TGRA TGRB	
ジェネラルレジスタ/ バッファレジスタ	TGRC TGRD TGRF	—	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	入力端子 MTIC5U MTIC5V MTIC5W	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	MTIOC7A MTIOC7B MTIOC7C MTIOC7D	
カウンタクリア機能	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	
コンペアマッチ出力	Low出力	○	○	○	○	○	—	○	
	High出力	○	○	○	○	○	—	○	
	トグル出力	○	○	○	○	○	—	○	
インプットキャプチャ機能	○	○	○	○	○	○	○	○	
同期動作	○	○	○	○	○	—	○	○	
PWMモード1	○	○	○	○	○	—	○	○	
PWMモード2	○	○	○	—	—	—	—	—	
相補PWMモード	—	—	—	○	○	—	○	○	
リセット同期PWM	—	—	—	○	○	—	○	○	
AC同期モータ駆動モード	○	—	—	○	○	—	—	—	
位相計数モード	—	○	○	—	—	—	—	—	
バッファ動作	○	—	—	○	○	—	○	○	
デッドタイム補償用カウンタ機能	—	—	—	—	—	○	—	—	

表 22.2 MTUの機能一覧 (2/2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5	MTU6	MTU7
割り込み要因	7要因 ●コンペアマッチ/インプットキャプチャA ●コンペアマッチ/インプットキャプチャB ●コンペアマッチ/インプットキャプチャC ●コンペアマッチ/インプットキャプチャD ●コンペアマッチE ●コンペアマッチF ●オーバフロー	4要因 ●コンペアマッチ/インプットキャプチャA ●コンペアマッチ/インプットキャプチャB ●オーバフロー ●アンダフロー	4要因 ●コンペアマッチ/インプットキャプチャA ●コンペアマッチ/インプットキャプチャB ●オーバフロー ●アンダフロー	5要因 ●コンペアマッチ/インプットキャプチャA ●コンペアマッチ/インプットキャプチャB ●コンペアマッチ/インプットキャプチャC ●コンペアマッチ/インプットキャプチャD ●オーバフロー	5要因 ●コンペアマッチ/インプットキャプチャA ●コンペアマッチ/インプットキャプチャB ●コンペアマッチ/インプットキャプチャC ●コンペアマッチ/インプットキャプチャD ●オーバフロー、アンダフロー (相補PWMモード時のみ)	3要因 ●コンペアマッチ/インプットキャプチャU ●コンペアマッチ/インプットキャプチャV ●コンペアマッチ/インプットキャプチャW	5要因 ●コンペアマッチ/インプットキャプチャA ●コンペアマッチ/インプットキャプチャB ●コンペアマッチ/インプットキャプチャC ●コンペアマッチ/インプットキャプチャD ●オーバフロー	5要因 ●コンペアマッチ/インプットキャプチャA ●コンペアマッチ/インプットキャプチャB ●コンペアマッチ/インプットキャプチャC ●コンペアマッチ/インプットキャプチャD ●オーバフロー、アンダフロー (相補PWMモード時のみ)
DTCの起動	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ、 オーバフロー、 アンダフロー (相補PWMモード時のみ)	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ、 オーバフロー、 アンダフロー (相補PWMモード時のみ)
A/D変換開始トリガ	TGRAのコンペアマッチ または インプットキャプチャ TGREのコンペアマッチ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ 相補PWMモード時 TCNTのアンダフロー (谷)	—	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ 相補PWMモード時 TCNTのアンダフロー (谷)
A/D変換開始要求ディレイド機能	—	—	—	—	●TADCORAとTCNTの一致で、A/D変換開始要求 ●TADCORBとTCNTの一致で、A/D変換開始要求	—	—	●TADCORAとTCNTの一致で、A/D変換開始要求 ●TADCORBとTCNTの一致で、A/D変換開始要求
割り込み間引き機能1	—	—	—	●TGRAのコンペアマッチ割り込みを間引き	●TCIV割り込みを間引き	—	●TGRAのコンペアマッチ割り込みを間引き	●TCIV割り込みを間引き
割り込み間引き機能2	—	—	—	—	●TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—	—	●TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き
モジュールストップ	MSTPCRA.MSTPA9 (注1)							

○ : 可能 — : 不可能

注1. モジュールストップの詳細については、「12. 消費電力低減機能」を参照してください。

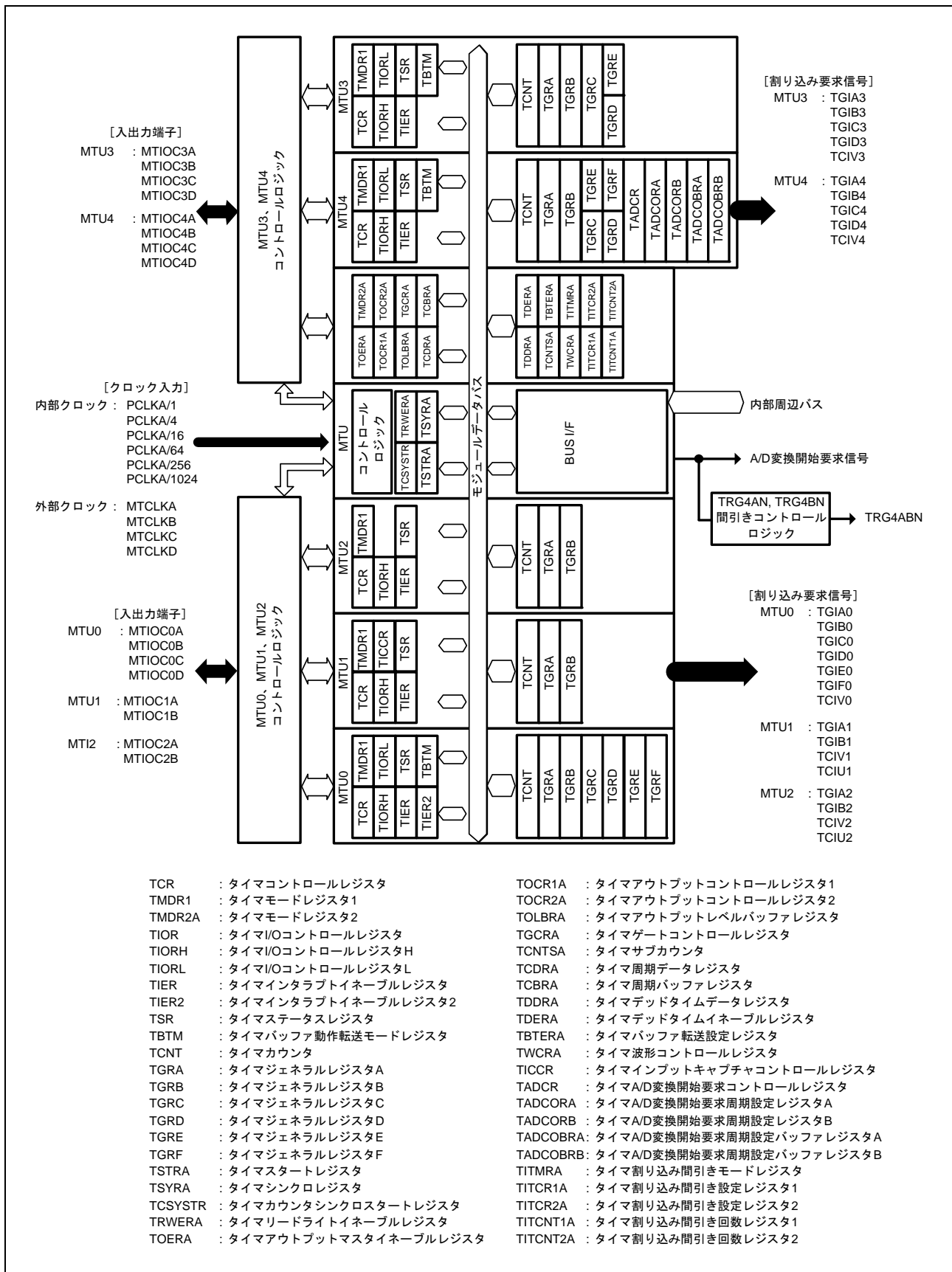


図 22.1 MTUのブロック図 (MTU0 ~ MTU4)

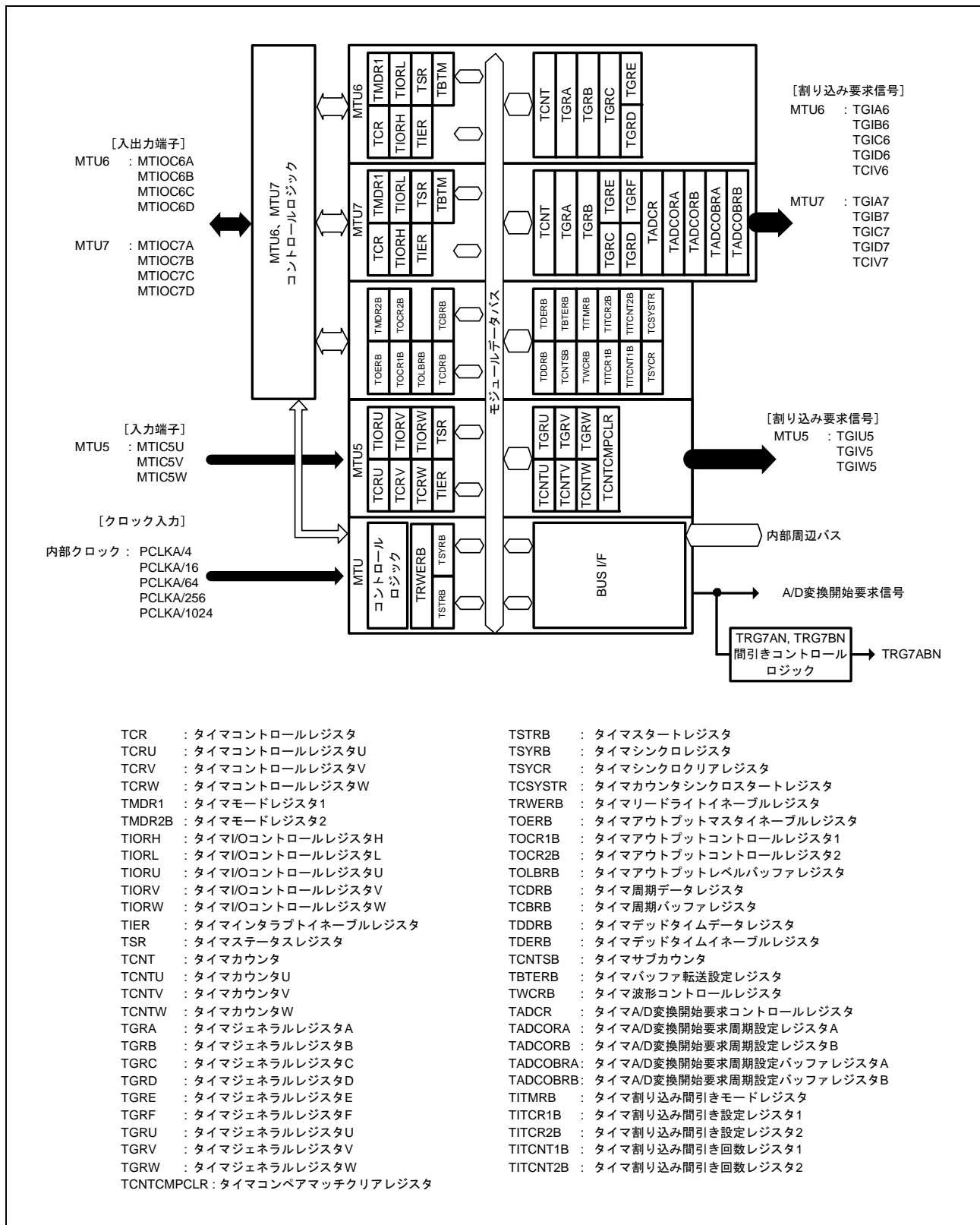


図 22.2 MTU のブロック図 (MTU5 ~ MTU7)

表 22.3 に MTU で使用する入出力端子を示します。

表 22.3 MTUの入出力端子

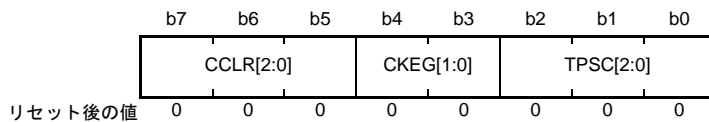
チャンネル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子 (MTU1の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子 (MTU1の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子 (MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子 (MTU2の位相計数モードB相入力)
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	MTU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	MTU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	MTU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	MTU4.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力/外部パルス入力端子
MTU6	MTIOC6A	入出力	MTU6.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6B	入出力	MTU6.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6C	入出力	MTU6.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6D	入出力	MTU6.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU7	MTIOC7A	入出力	MTU7.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7B	入出力	MTU7.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7C	入出力	MTU7.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7D	入出力	MTU7.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

22.2 レジスタの説明

22.2.1 タイマコントロールレジスタ (TCR)

- MTU0、MTU1、MTU2、MTU3、MTU4、MTU6、MTU7

アドレス MTU0.TCR 000C 1300h、MTU1.TCR 000C 1380h、MTU2.TCR 000C 1400h、
MTU3.TCR 000C 1200h、MTU4.TCR 000C 1201h、MTU6.TCR 000C 1A00h、
MTU7.TCR 000C 1A01h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表22.6～表22.9を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット	表22.4、表22.5を参照してください	R/W

x : Don't care

TCR レジスタは、各チャンネルの TCNT を制御します。MTU0～MTU4、MTU6、MTU7 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 10 本の TCR レジスタがあります。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 22.6～表 22.9 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

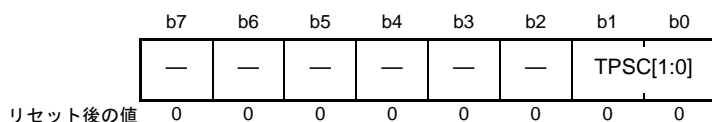
入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が $1/2$ になります (例: $PCLKA/4$ の両エッジ = $PCLKA/2$ の立ち上がりエッジ)。MTU1、MTU2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $PCLKA/4$ もしくはそれより遅い場合に有効です。入力クロックに $PCLKA/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット (カウンタクリア要因選択ビット)

TCNT のカウンタクリア要因を選択します。詳細は表 22.4、表 22.5 を参照してください。

• MTU5

アドレス MTU5.TCRU 000C 1C84h, MTU5.TCRV 000C 1C94h, MTU5.TCRW 000C 1CA4h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケラ選択ビット	表 22.10 を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPSC[1:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウンタクロックを選択します。詳細は表 22.10 を参照してください。

表 22.4 CCLR[2:0] (MTU0、MTU3、MTU4、MTU6、MTU7)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
MTU0	0	0	0	TCNT のクリア禁止
MTU3	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
MTU4	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
MTU6	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア (注1)
MTU7	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア (注2)
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア (注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア (注1)

注1. 同期動作の設定は、TSYRA.SYNC ビット、TSYRB.SYNC ビットを“1”にすることにより行います。

注2. TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

表 22.5 CCLR[2:0] (MTU1、MTU2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR1	CCLR0	
MTU1	0	0	0	TCNT のクリア禁止
MTU2	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア (注1)

注1. 同期動作の設定は、TSYRA.SYNC ビット、TSYRB.SYNC ビットを“1”にすることにより行います。

注2. MTU1、MTU2 ではビット7 は予約ビットです。読み出すと常に“0”が読めます。書き込みは無効となります。

表22.6 TPSC[2:0] (MTU0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU0	0	0	0	内部クロック : PCLKA / 1でカウント
	0	0	1	内部クロック : PCLKA / 4でカウント
	0	1	0	内部クロック : PCLKA / 16でカウント
	0	1	1	内部クロック : PCLKA / 64でカウント
	1	0	0	外部クロック : MTCLKA 端子入力でカウント
	1	0	1	外部クロック : MTCLKB 端子入力でカウント
	1	1	0	外部クロック : MTCLKC 端子入力でカウント
	1	1	1	外部クロック : MTCLKD 端子入力でカウント

表22.7 TPSC[2:0] (MTU1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU1	0	0	0	内部クロック : PCLKA / 1でカウント
	0	0	1	内部クロック : PCLKA / 4でカウント
	0	1	0	内部クロック : PCLKA / 16でカウント
	0	1	1	内部クロック : PCLKA / 64でカウント
	1	0	0	外部クロック : MTCLKA 端子入力でカウント
	1	0	1	外部クロック : MTCLKB 端子入力でカウント
	1	1	0	内部クロック : PCLKA / 256でカウント
	1	1	1	MTU2.TCNTのオーバフロー/アンダフローでカウント

注1. MTU1が位相計数モード時、この設定は無効になります。

表22.8 TPSC[2:0] (MTU2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU2	0	0	0	内部クロック : PCLKA / 1でカウント
	0	0	1	内部クロック : PCLKA / 4でカウント
	0	1	0	内部クロック : PCLKA / 16でカウント
	0	1	1	内部クロック : PCLKA / 64でカウント
	1	0	0	外部クロック : MTCLKA 端子入力でカウント
	1	0	1	外部クロック : MTCLKB 端子入力でカウント
	1	1	0	外部クロック : MTCLKC 端子入力でカウント
	1	1	1	内部クロック : PCLKA / 1024でカウント

注1. MTU2が位相計数モード時、この設定は無効になります。

表22.9 TPSC[2:0] (MTU3、MTU4、MTU6、MTU7)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU3	0	0	0	内部クロック : PCLKA / 1でカウント
MTU4	0	0	1	内部クロック : PCLKA / 4でカウント
MTU6	0	1	0	内部クロック : PCLKA / 16でカウント
MTU7	0	1	1	内部クロック : PCLKA / 64でカウント
	1	0	0	内部クロック : PCLKA / 256でカウント
	1	0	1	内部クロック : PCLKA / 1024でカウント
	1	1	0	外部クロック : MTCLKA端子入力でカウント (注1)
	1	1	1	外部クロック : MTCLKB端子入力でカウント (注1)

注1. MTU6、MTU7では設定できません。

表22.10 TPSC[1:0] (MTU5)

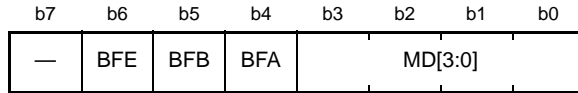
チャンネル	ビット1	ビット0	説明
	TPSC1	TPSC0	
MTU5	0	0	内部クロック : PCLKA / 1でカウント
	0	1	内部クロック : PCLKA / 4でカウント
	1	0	内部クロック : PCLKA / 16でカウント
	1	1	内部クロック : PCLKA / 64でカウント

注1. MTU5では、ビット7～2は予約ビットです。読むと常に“0”が読めます。書く場合、“0”としてください。

22.2.2 タイマモードレジスタ 1 (TMDR1)

- MTU0.TMDR1

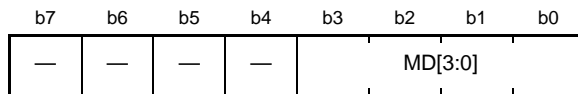
アドレス MTU0.TMDR1 000C 1301h



リセット後の値 0 0 0 0 0 0 0 0

- MTU1.TMDR1、MTU2.TMDR1

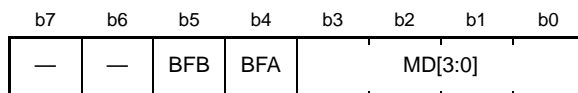
アドレス MTU1.TMDR1 000C 1381h、MTU2.TMDR1 000C 1401h



リセット後の値 0 0 0 0 0 0 0 0

- MTU3.TMDR1、MTU4.TMDR1、MTU6.TMDR1、MTU7.TMDR1

アドレス MTU3.TMDR1 000C 1202h、MTU4.TMDR1 000C 1203h、
MTU6.TMDR1 000C 1A02h、MTU7.TMDR1 000C 1A03h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表22.11を参照してください	R/W
b4	BFA	バッファ動作Aビット	0 : TGRAとTGRCレジスタは通常動作 1 : TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0 : TGRBとTGRDレジスタは通常動作 1 : TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0 : MTU0.TGREとMTU0.TGRFは通常動作 1 : MTU0.TGREとMTU0.TGRFはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR1 レジスタは、各チャンネルの動作モードの設定を行うレジスタです。MTU0～MTU4、MTU6、MTU7に各1本、計7本のTMDR1レジスタがあります。TMDR1レジスタの設定は、TCNTの動作が停止した状態で行ってください。

表22.11 MD[3:0]ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	ノーマルモード
0	0	0	1	設定しないでください
0	0	1	0	PWMモード1
0	0	1	1	PWMモード2 (注1)
0	1	0	0	位相計数モード1 (注2)
0	1	0	1	位相計数モード2 (注2)
0	1	1	0	位相計数モード3 (注2)
0	1	1	1	位相計数モード4 (注2)
1	0	0	0	リセット同期PWMモード (注3)
1	0	0	1	設定しないでください
1	0	1	x	設定しないでください
1	1	0	0	設定しないでください
1	1	0	1	相補PWMモード1 (山で転送) (注3)
1	1	1	0	相補PWMモード2 (谷で転送) (注3)
1	1	1	1	相補PWMモード3 (山・谷で転送) (注3)

x : Don't care

- 注1. MTU3、MTU4、MTU6、MTU7では、PWMモード2の設定はできません。
 注2. MTU0、MTU3、MTU4、MTU6、MTU7では、位相計数モードの設定はできません。
 注3. リセット同期PWMモード、相補PWMモードの設定は、MTU3、MTU6のみ可能です。
 MTU3、MTU6をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4、MTU7の設定は無効となり自動的にMTU3、MTU6の設定に従います。MTU4、MTU7には初期値 (通常動作) を設定してください。
 MTU0、MTU1、MTU2では、リセット同期PWMモード、相補PWMモードの設定はできません。

BFA ビット (バッファ動作 A ビット)

TGRA レジスタを通常動作させるか、TGRA と TGRC レジスタを組み合わせるバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIEC ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は、MTU3.TMDR1 (MTU6.TMDR1) の BFA ビットの設定に従い動作します。MTU4.TMDR1 (MTU7.TMDR1) の BFA ビットを“0”にしてください。

TGRC レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、図 22.41 を参照してください。

BFB ビット (バッファ動作 B ビット)

TGRB レジスタを通常動作させるか、TGRB と TGRD レジスタを組み合わせるバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIED ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は、MTU3.TMDR1 (MTU6.TMDR1) の BFB ビットの設定に従い動作します。MTU4.TMDR1 (MTU7.TMDR1) の BFB ビットを“0”にしてください。

TGRD レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと“0”が読めます。書

く場合、“0”としてください。相補PWMモードのTb区間については、図22.41を参照してください。

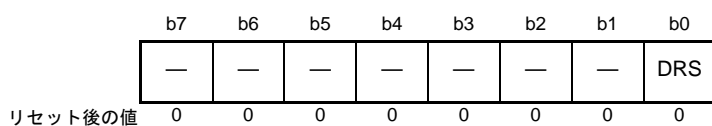
BFEビット (バッファ動作Eビット)

MTU0.TGREとMTU0.TGRFを通常動作またはバッファ動作させるかどうかを選択します。TGRFをバッファレジスタとして使用した場合も、TGRFのコンペアマッチは発生します。

MTU1～MTU4、MTU6、MTU7では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

22.2.3 タイマモードレジスタ 2 (TMDR2A、TMDR2B)

アドレス MTU.TMDR2A 000C 1270h、MTU.TMDR2B 000C 1A70h



ビット	シンボル	ビット名	機能	R/W
b0	DRS	ダブルバッファ選択ビット	0 : ダブルバッファ機能は無効 1 : ダブルバッファ機能は有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR2 レジスタは、相補 PWM モード 3 (山・谷で転送) 時、ダブルバッファ機能の設定を行うレジスタです。MTU3 (TMDR2A)、MTU6 (TMDR2B) に各 1 本、計 2 本の TMDR2 レジスタがあります。TMDR2A、TMDR2B レジスタの設定は、TCNT の動作が停止した状態で行ってください。

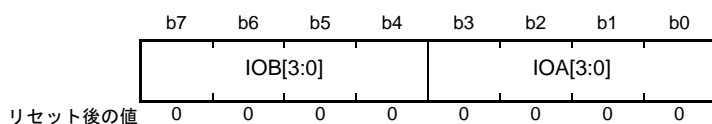
DRS ビット (ダブルバッファ選択ビット)

相補 PWM モード時、ダブルバッファ機能を有効/無効を選択します。

22.2.4 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH、MTU1.TIOR、MTU2.TIOR、MTU3.TIORH、MTU4.TIORH、MTU6.TIORH、MTU7.TIORH

アドレス MTU0.TIORH 000C 1302h、MTU1.TIOR 000C 1382h、MTU2.TIOR 000C 1402h、MTU3.TIORH 000C 1204h、MTU4.TIORH 000C 1206h、MTU6.TIORH 000C 1A04h、MTU7.TIORH 000C 1A06h

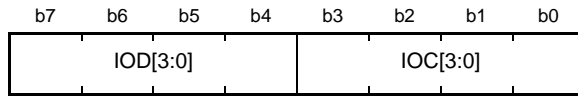


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/O コントロール A ビット	下記の表を参照してください (注1) MTU0.TIORH、: 表 22.24 MTU1.TIOR : 表 22.26 MTU2.TIOR : 表 22.27 MTU3.TIORH : 表 22.28 MTU4.TIORH : 表 22.30 MTU6.TIORH : 表 22.32 MTU7.TIORH : 表 22.34	R/W
b7-b4	IOB[3:0]	I/O コントロール B ビット	下記の表を参照してください (注1) MTU0.TIORH、: 表 22.12 MTU1.TIOR : 表 22.14 MTU2.TIOR : 表 22.15 MTU3.TIORH : 表 22.16 MTU4.TIORH : 表 22.18 MTU6.TIORH : 表 22.20 MTU7.TIORH : 表 22.22	R/W

注1. コンペアマッチで Low/High/トグル出力中に、IO_n[3:0] ビット (n=A、B) の値を出力禁止 (“0000b”または“0100b”) へ変更すると Hi-Z になります。

- MTU0.TIORL、MTU3.TIORL、MTU4.TIORL、MTU6.TIORL、MTU7.TIORL

アドレス MTU0.TIORL 000C 1303h、MTU3.TIORL 000C 1205h、MTU4.TIORL 000C 1207h、
MTU6.TIORL 000C 1A05h、MTU7.TIORL 000C 1A07h



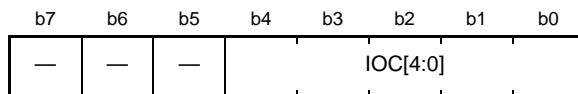
リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット	下記の表を参照してください(注1) MTU0.TIORL : 表 22.25 MTU3.TIORL : 表 22.29 MTU4.TIORL : 表 22.31 MTU6.TIORL : 表 22.33 MTU7.TIORL : 表 22.35	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット	下記の表を参照してください(注1) MTU0.TIORL : 表 22.13 MTU3.TIORL : 表 22.17 MTU4.TIORL : 表 22.19 MTU6.TIORL : 表 22.21 MTU7.TIORL : 表 22.23	R/W

注1. コンペアマッチでLow/High/トグル出力中に、ION[3:0]ビット(n=C、D)の値を出力禁止(“0000b”または“0100b”)へ変更するとHi-Zになります。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス MTU5.TIORU 000C 1C86h、MTU5.TIORV 000C 1C96h、MTU5.TIORW 000C 1CA6h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU、MTU5.TIORV、MTU5.TIORW : 表 22.36	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TIORレジスタは、TGRレジスタを制御します。MTU0、MTU3、MTU4、MTU6、MTU7に各2本、MTU1、MTU2に各1本、MTU5にはMTU5.TIORU/V/Wの3本、計15本のTIORがあります。TIORレジスタはTMDRレジスタの設定が、ノーマルモード、PWMモード、位相計数モードの場合に設定します。

TIORレジスタはTMDR1レジスタの設定により影響を受けますので注意してください。

TIORレジスタで指定した初期出力はカウンタ停止した(TSTRA.CSTおよびTSYRB.CSTビットを“0”にした)状態で有効になります。また、PWMモード2の場合にはカウンタが“0”になった時点での出力を指定します。

TGRCレジスタ、あるいはTGRDレジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表22.12 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU0.TGRBの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ	

x : Don't care

表22.13 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU0.TGRDの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ

x : Don't care

注1. MTU0.TMDR1.BFBビットを“1”にしてMTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.14 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	MTU1.TGRBの機能	MTIOC1B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

表22.15 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	MTU2.TGRBの機能	MTIOC2B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.16 TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU3.TGRBの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.17 TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU3.TGRDの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR1.BFBビットを“1”にしてMTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.18 TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	MTU4.TGRBの機能	MTIOC4B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.19 TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	MTU4.TGRDの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR1.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

表22.20 TIORH (MTU6)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU6.TGRBの機能	MTIOC6B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.21 TIORL (MTU6)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU6.TGRDの機能	MTIOC6Dの端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU6.TMDR1.BFBビットを“1”にしてMTU6.TGRDをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.22 TIORH (MTU7)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU7.TGRBの機能	MTIOC7B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表22.23 TIORL (MTU7)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU7.TGRDの機能	MTIOC7D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU7.TMDR1.BFBビットを“1”にしてMTU7.TGRDをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.24 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	MTU0.TGRAの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ	

x : Don't care

表22.25 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU0.TGRCの機能	MTIIOC0C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ

x : Don't care

注1. MTU0.TMDR1.BFAビットを“1”にしてMTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.26 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU1.TGRAの機能	MTIIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

表22.27 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU2.TGRAの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表22.28 TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU3.TGRAの機能	MTIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表22.29 TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU3.TGRCの端子	MTIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR1.BFAビットを“1”にしてMTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.30 TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU4.TGRAの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.31 TIORL (MTU4)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	MTU4.TGRCの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR1.BFAビットを“1”にして、MTU4.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.32 TIORH (MTU6)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	MTU6.TGRAの機能	MTIOC6A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.33 TIORL (MTU6)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU6.TGRCの機能	MTIOC6Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU6.TMDR1.BFAビットを“1”にしてMTU6.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.34 TIORH (MTU7)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU7.TGRAの機能	MTIOC7A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.35 TIORL (MTU7)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	MTU7.TGRCの機能	MTIOC7C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU7.TMDR1.BFAビットを“1”にしてMTU7.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表22.36 TIORU、TIO RV、TIO RW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説 明	
IOC4	IOC3	IOC2	IOC1	IOC0	MTU5.TGRU、 MTU5.TGRV、 MTU5.TGRWの機能	MTIC5U、MTIC5V、MTIC5W 端子の機能
0	0	0	0	0	コンペアマッチ レジスタ	コンペアマッチ
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャ レジスタ (注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x : Don't care

注1. IOC[4:0]に"19h"、"1Ah"、"1Bh"、"1Dh"、"1Eh"、"1Fh"の設定は、外部パルス幅測定機能使用時か、MTU6、MTU7と連動したデッドタイム補償機能使用時のみとしてください。詳細は「22.3.11 外部パルス幅測定機能」、「22.3.12 デッドタイム補償機能」を参照してください。

22.2.5 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 000C 1CB6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの0000hクリアを禁止 1 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの0000hクリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの0000hクリアを禁止 1 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの0000hクリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの0000hクリアを禁止 1 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの0000hクリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定するレジスタです。MTU5 に 1 本の TCNTCMPCLR レジスタがあります。

22.2.6 タイマインタラプトイネーブルレジスタ (TIER)

- TIER (MTU1、MTU2)

アドレス MTU1.TIER 000C 1384h、MTU2.TIER 000C 1404h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- TIER (MTU0、MTU3、MTU6)

アドレス MTU0.TIER 000C 1304h、MTU3.TIER 000C 1208h、MTU6.TIER 000C 1A08h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- TIER (MTU4、MTU7)

アドレス MTU4.TIER 000C 1209h、MTU7.TIER 000C 1A09h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR 割り込み許可Aビット	0: 割り込み要求 (TGIA) を禁止 1: 割り込み要求 (TGIA) を許可	R/W
b1	TGIEB	TGR 割り込み許可Bビット	0: 割り込み要求 (TGIB) を禁止 1: 割り込み要求 (TGIB) を許可	R/W
b2	TGIEC	TGR 割り込み許可Cビット	0: 割り込み要求 (TGIC) を禁止 1: 割り込み要求 (TGIC) を許可	R/W
b3	TGIED	TGR 割り込み許可Dビット	0: 割り込み要求 (TGID) を禁止 1: 割り込み要求 (TGID) を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み要求 (TCIV) を禁止 1: 割り込み要求 (TCIV) を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0: 割り込み要求 (TCIU) を禁止 1: 割り込み要求 (TCIU) を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0: MTUn.TCNTのアンダフロー (谷) によるA/D変換要求を禁止 1: MTUn.TCNTのアンダフロー (谷) によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W

n=4、7

TIER レジスタは、各チャンネルの割り込み要求の許可、禁止を制御するレジスタです。MTU0 に 2 本、MTU1 ~ MTU7 に各 1 本、計 9 本の TIER レジスタがあります。

TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)

割り込み要求 (TGIn) を許可または禁止します。(n = A、B)

TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)

MTU0、MTU3、MTU4、MTU6、MTU7 の割り込み要求 (TGIn) を許可または禁止します。(n = C、D)
MTU1、MTU2 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み要求 (TCIV) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

MTU1、MTU2 の割り込み要求 (TCIU) を許可または禁止します。

MTU0、MTU3、MTU4、MTU6、MTU7 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

相補 PWM モードで、MTUn.TCNT のアンダフロー (谷) による A/D 変換要求の発生を許可または禁止します。(n=4、7)

MTU0 ~ MTU3、MTU6 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TGRA レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータの開始要求の発生を許可または禁止します。

- TIER2 (MTU0)

アドレス MTU0.TIER2 000C 1324h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE2	—	—	—	—	—	TGIEF	TGIEE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可Eビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可Fビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTGE2	A/D変換開始要求許可2ビット	0 : MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を禁止 1 : MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を許可	R/W

TGIEE、TGIEF ビット (TGR 割り込み許可 E、F ビット)

MTU0.TCNT と MTU0.TGR_n のコンペアマッチによる割り込み要求の発生を許可または禁止します。
(n = E、F)

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

MTU0.TCNT と MTU0.TGRE のコンペアマッチによる割り込み要求の発生を許可または禁止します。

- TIER (MTU5)

アドレス MTU5.TIER 000C 1CB2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TGIE5 U	TGIE5 V	TGIE5 W

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可5Wビット	0 : TGIW5割り込み要求を禁止 1 : TGIW5割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可5Vビット	0 : TGIV5割り込み要求を禁止 1 : TGIV5割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可5Uビット	0 : TGIU5割り込み要求を禁止 1 : TGIU5割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5_n ビット (TGR 割り込み許可 5_n ビット)

割り込み要求 (TGIn₅) を許可または禁止します。(n = U、V、W)

22.2.7 タイマステータスレジスタ (TSR)

• TSR (MTU0)

アドレス MTU0.TSR 000C 1305h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA

リセット後の値 1 1 0 0 0 0 0 0

• TSR (MTU1、MTU2)

アドレス MTU1.TSR 000C 1385h、MTU2.TSR 000C 1405h

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA

リセット後の値 1 1 0 0 0 0 0 0

• TSR (MTU3、MTU4、MTU6、MTU7)

アドレス MTU3.TSR 000C 122Ch、MTU4.TSR 000C 122Dh、MTU6.TSR 000C 1A2Ch、
MTU7.TSR 000C 1A2Dh

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGFA	インพุットキャプチャ/アウト プットコンペアフラグA	0: TGRAレジスタのインพุットキャプチャまたはコンペア マッチが発生していない 1: TGRAレジスタのインพุットキャプチャまたはコンペア マッチが発生	R/(W) (注1)
b1	TGFB	インพุットキャプチャ/アウト プットコンペアフラグB	0: TGRBレジスタのインพุットキャプチャまたはコンペア マッチが発生していない 1: TGRBレジスタのインพุットキャプチャまたはコンペア マッチが発生	R/(W) (注1)
b2	TGFC	インพุットキャプチャ/アウト プットコンペアフラグC	0: TGRCレジスタのインพุットキャプチャまたはコンペア マッチが発生していない 1: TGRCレジスタのインพุットキャプチャまたはコンペア マッチが発生	R/(W) (注1)
b3	TGFD	インพุットキャプチャ/アウト プットコンペアフラグD	0: TGRDレジスタのインพุットキャプチャまたはコンペア マッチが発生していない 1: TGRDレジスタのインพุットキャプチャまたはコンペア マッチが発生	R/(W) (注1)
b4	TCFV	オーバフローフラグ	0: TCNTのオーバフローが発生していない 1: TCNTのオーバフローが発生	R/(W) (注1)
b5	TCFU	アンダフローフラグ	0: MTU1、MTU2が位相計数モードのとき、TCNTのアンダ フローが発生していない 1: MTU1、MTU2が位相計数モードのとき、TCNTのアンダ フローが発生	R/(W) (注1)
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0: TCNTはダウンカウント 1: TCNTはアップカウント	R

注1. フラグを“0”にするため、“1”を読んだ後に“0”を書くことのみ可能です。

TSRレジスタは、各チャンネルのステータスの表示を行うレジスタです。MTU0に2本、MTU1～MTU7に各1本、計9本のTSRレジスタがあります。

TGFA フラグ (インプットキャプチャ/アウトプットコンペアフラグ A)

TGRAレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。

["1"になる条件]

- TGRAレジスタがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき
- TGRAレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAレジスタに転送されたとき

["0"になる条件]

- TGFA = 1の状態ではTGFAフラグを読んだ後、TGFAフラグに“0”を書いたとき

TGFB フラグ (インプットキャプチャ/アウトプットコンペアフラグ B)

TGRBレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。

["1"になる条件]

- TGRBレジスタがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき
- TGRBレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBレジスタに転送されたとき

["0"になる条件]

- TGFB = 1の状態ではTGFBフラグを読んだ後、TGFBフラグに“0”を書いたとき

TGFC フラグ (インプットキャプチャ/アウトプットコンペアフラグ C)

MTU0、MTU3、MTU4、MTU6、MTU7のTGRCレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグを“0”にするための“0”書き込みのみ可能です。

["1"になる条件]

- TGRCレジスタがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRCになったとき
- TGRCレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCレジスタに転送されたとき

["0"になる条件]

- TGFC = 1の状態ではTGFCフラグを読んだ後、TGFCフラグに“0”を書いたとき

MTU1、MTU2では予約ビットです。読むと常に“0”が読めます。書く場合、常に“0”にしてください。

TGFD フラグ (インプットキャプチャ/アウトプットコンペアフラグ D)

MTU0、MTU3、MTU4、MTU6、MTU7のTGRDレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグを“0”にするための“0”書き込みのみ可能です。

["1"になる条件]

- TGRDレジスタがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRDになったとき
- TGRDレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDレジスタに転送されたとき

["0"になる条件]

- TGFD = 1の状態ではTGFDフラグを読んだ後、TGFDフラグに“0”を書いたとき

MTU1、MTU2では予約ビットです。読むと常に“0”が読めます。書く場合、常に“0”にしてください。

TCFV フラグ (オーバーフローフラグ)

TCNT のオーバーフローの発生を示すステータスフラグです。フラグを“0”にするための“0”書き込みのみ可能です。

[“1”になる条件]

- TCNT の値がオーバーフローしたとき (FFFFh → 0000h)
MTU4、MTU7 では相補 PWM モードで MTU4.TCNT、MTU7.TCNT の値がアンダフロー (0001h → 0000h) したときにも TCFV フラグが“1”になります。

[“0”になる条件]

- TCFV = 1 の状態で TCFV フラグを読んだ後、TCFV フラグに“0”を書いたとき

TCFU フラグ (アンダフローフラグ)

MTU1、MTU2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグを“0”にするための“0”書き込みのみ可能です。

[“1”になる条件]

- TCNT の値がアンダフロー (0000h → FFFFh) したとき

[“0”になる条件]

- TCFU = 1 の状態で TCFU フラグを読んだ後、TCFU フラグに“0”を書いたとき

MTU0、MTU3、MTU4、MTU6、MTU7 では予約ビットです。読むと常に“0”が読めます。書く場合、常に“0”にしてください。

TCFD フラグ (カウント方向フラグ)

MTU1 ~ MTU4、MTU6、MTU7 の TCNT のカウント方向を示すステータスフラグです。

MTU0 では予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。

- TSR2 (MTU0)

アドレス MTU0.TSR2 000C 1325h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TGFF	TGFE

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGFE	コンペアマッチフラグE	0 : MTU0.TCNTとMTU0.TGREのコンペアマッチが発生していない 1 : MTU0.TCNTとMTU0.TGREのコンペアマッチが発生	R/(W) (注1)
b1	TGFF	コンペアマッチフラグF	0 : MTU0.TCNTとMTU0.TGRFのコンペアマッチが発生していない 1 : MTU0.TCNTとMTU0.TGRFのコンペアマッチが発生	R/(W) (注1)
b5~b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. フラグを“0”にするため、“1”を読んだ後に“0”を書くことのみ可能です。

TGFE フラグ (コンペアマッチフラグE)

MTU0.TCNTとMTU0.TGREのコンペアマッチの発生を示すステータスフラグです。

[“1”になる条件]

- TGREレジスタをコンペアレジスタとして機能している場合、MTU0.TCNT = MTU0.TGREになったとき
- [“0”になる条件]
- TGFE = 1の状態ではTGFEフラグを読んだ後、TGFEフラグに“0”を書いたとき

TGFF フラグ (コンペアマッチフラグF)

MTU0.TCNTとMTU0.TGRFのコンペアマッチの発生を示すステータスフラグです。

[“1”になる条件]

- TGRFレジスタをコンペアレジスタとして機能している場合、MTU0.TCNT = MTU0.TGRFになったとき
- [“0”になる条件]
- TGFF = 1の状態ではTGFFフラグを読んだ後、TGFFフラグに“0”を書いたとき

- TSR (MTU5)

アドレス MTU5.TSR 000C 1CB0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMFU5	CMFV5	CMFW5
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMFW5	コンペアマッチ/インプットキャプチャフラグW5	0 : MTU5.TGRWのインプットキャプチャまたはコンペアマッチが発生していない 1 : MTU5.TGRWのインプットキャプチャまたはコンペアマッチが発生	R/(W) (注1)
b1	CMFV5	コンペアマッチ/インプットキャプチャフラグV5	0 : MTU5.TGRVのインプットキャプチャまたはコンペアマッチが発生していない 1 : MTU5.TGRVのインプットキャプチャまたはコンペアマッチが発生	R/(W) (注1)
b2	CMFU5	コンペアマッチ/インプットキャプチャフラグU5	0 : MTU5.TGRUのインプットキャプチャまたはコンペアマッチが発生していない 1 : MTU5.TGRUのインプットキャプチャまたはコンペアマッチが発生	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグを“0”にするため、“1”を読んだ後に“0”を書くことのみ可能です。

CMFn5 フラグ (コンペアマッチ/インプットキャプチャフラグ n5) (n = U、V、W)

MTU5.TGRn レジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグを“0”にするため、“0”書き込みのみ可能です。

["1"になる条件]

- MTU5.TGRn がコンペアマッチレジスタとして機能している場合、MTU5.TCNTn = MTU5.TGRn になったとき
- MTU5.TGRn がインプットキャプチャとして機能している場合、インプットキャプチャ信号により MTU5.TCNTn の値が MTU5.TGRn に転送されたとき
- MTU5.TGRn が外部入力信号のパルス幅測定として機能している場合、MTU5.TCNTn の値が MTU5.TGRn に転送されたとき (注1)

["0"になる条件]

- CMFn5 = 1 の状態で CMFn5 フラグを読んだ後、CMFn5 フラグに“0”を書いたとき

注1. 転送するタイミングは、MTU5.TIORU、MTU5.TIORV、MTU5.TIORW レジスタの IOC[4:0] ビットで設定します。

22.2.8 タイマバッファ動作転送モードレジスタ (TBTM)

- MTU0.TBTM

アドレス MTU0.TBTM 000C 1326h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TTSE	TTSB	TTSA

リセット後の値 0 0 0 0 0 0 0 0

- MTU3.TBTM、MTU4.TBTM、MTU6.TBTM、MTU7.TBTM

アドレス MTU3.TBTM 000C 1238h、MTU4.TBTM 000C 1239h
MTU6.TBTM 000C 1A38h、MTU7.TBTM 000C 1A39h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TTSB	TTSA

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0 : TGRCからTGRAへの転送タイミングは各チャンネルのコンペアマッチA発生時 1 : TGRCからTGRAへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0 : TGRDからTGRBへの転送タイミングは各チャンネルのコンペアマッチB発生時 1 : TGRDからTGRBへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0 : MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0のコンペアマッチE発生時 1 : MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0.TCNTクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTMレジスタは、PWMモード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7に各1本、計5本のTBTMレジスタがあります。

TTSAビット (タイミング選択Aビット)

各チャンネルのバッファ動作時のTGRCレジスタからTGRAレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSAビットを“1”にしないでください。

TTSBビット (タイミング選択Bビット)

各チャンネルのバッファ動作時のTGRDレジスタからTGRBレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSBビットを“1”にしないでください。

TTSEビット (タイミング選択Eビット)

バッファ動作時のMTU0.TGRFからMTU0.TGREへの転送タイミングを設定します。MTU3、MTU4、MTU6、MTU7では予約ビットです。読むと常に“0”が読めます。書く場合、常に“0”にしてください。なお、チャンネル0をPWMモード以外で使用する場合は、TTSEビットを“1”にしないでください。

22.2.9 タイムインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 000C 1390h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0: MTIOC1A 端子を MTU2.TGRA のインプットキャプチャ条件に追加しない 1: MTIOC1A 端子を MTU2.TGRA のインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0: MTIOC1B 端子を MTU2.TGRB のインプットキャプチャ条件に追加しない 1: MTIOC1B 端子を MTU2.TGRB のインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0: MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加しない 1: MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0: MTIOC2B 端子を MTU1.TGRB のインプットキャプチャ条件に追加しない 1: MTIOC2B 端子を MTU1.TGRB のインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御するレジスタです。MTU1 に 1 本の TICCR レジスタがあります。

22.2.10 タイマシンクロクリアレジスタ (TSYCR)

アドレス MTU6.TSYCR 000C 1A50h

	b7	b6	b5	b4	b3	b2	b1	b0
	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE2B	クリア許可2Bビット	0 : MTU2.TSRのTGFBフラグセットでのクリア禁止 1 : MTU2.TSRのTGFBフラグセットでのクリア許可	R/W
b1	CE2A	クリア許可2Aビット	0 : MTU2.TSRのTGFAフラグセットでのクリア禁止 1 : MTU2.TSRのTGFAフラグセットでのクリア許可	R/W
b2	CE1B	クリア許可1Bビット	0 : MTU1.TSRのTGFBフラグセットでのクリア禁止 1 : MTU1.TSRのTGFBフラグセットでのクリア許可	R/W
b3	CE1A	クリア許可1Aビット	0 : MTU1.TSRのTGFAフラグセットでのクリア禁止 1 : MTU1.TSRのTGFAフラグセットでのクリア許可	R/W
b4	CE0D	クリア許可0Dビット	0 : MTU0.TSRのTGFDフラグセットでのクリア禁止 1 : MTU0.TSRのTGFDフラグセットでのクリア許可	R/W
b5	CE0C	クリア許可0Cビット	0 : MTU0.TSRのTGFCフラグセットでのクリア禁止 1 : MTU0.TSRのTGFCフラグセットでのクリア許可	R/W
b6	CE0B	クリア許可0Bビット	0 : MTU0.TSRのTGFBフラグセットでのクリア禁止 1 : MTU0.TSRのTGFBフラグセットでのクリア許可	R/W
b7	CE0A	クリア許可0Aビット	0 : MTU0.TSRのTGFAフラグセットでのクリア禁止 1 : MTU0.TSRのTGFAフラグセットでのクリア許可	R/W

TSYCR レジスタは、MTU の MTU6.TCNT、MTU7.TCNT の同期クリア条件の設定を行うレジスタです。MTU6 に 1 本の TSYCR レジスタがあります。

CE_nm ビット (クリア許可 nm ビット) (n = 0、1、2、m = A、B、C、D)

MTU_n.TSR の TGF_m フラグセットでのクリア禁止/許可を設定します。

22.2.11 タイマカウンタ (TCNT)

アドレス MTU0.TCNT 000C 1306h、MTU1.TCNT 000C 1386h、MTU2.TCNT 000C 1406h、
MTU3.TCNT 000C 1210h、MTU4.TCNT 000C 1212h、MTU5.TCNTU 000C 1C80h、
MTU5.TCNTV 000C 1C90h、MTU5.TCNTW 000C 1CA0h、MTU6.TCNT 000C 1A10h、
MTU7.TCNT 000C 1A12h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注1. TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

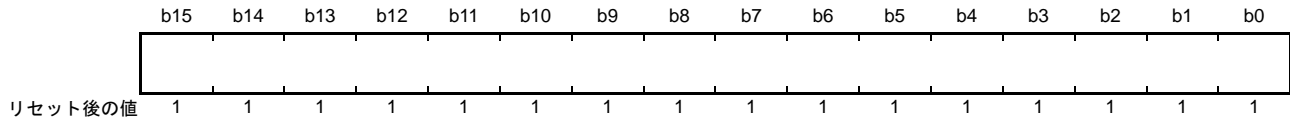
TCNT は、16 ビットの読み出し/書き込み可能なカウンタです。MTU0 ~ MTU4、MTU6、MTU7 に各 1 本、MTU5 に MTU5.TCNTU/V/W の 3 本、計 10 本の TCNT があります。

TCNT は、リセット時に 0000h に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

22.2.12 タイマジェネラルレジスタ (TGR)

アドレス MTU0.TGRA 000C 1308h、MTU0.TGRB 000C 130Ah、MTU0.TGRC 000C 130Ch、
 MTU0.TGRD 000C 130Eh、MTU0.TGRE 000C 1320h、MTU0.TGRF 000C 1322h、
 MTU1.TGRA 000C 1388h、MTU1.TGRB 000C 138Ah、MTU2.TGRA 000C 1408h、
 MTU2.TGRB 000C 140Ah、MTU3.TGRA 000C 1218h、MTU3.TGRB 000C 121Ah、
 MTU3.TGRC 000C 1224h、MTU3.TGRD 000C 1226h、MTU3.TGRE 000C 1272h
 MTU4.TGRA 000C 121Ch、MTU4.TGRB 000C 121Eh、MTU4.TGRC 000C 1228h、
 MTU4.TGRD 000C 122Ah、MTU4.TGRE 000C 1274h、MTU4.TGRF 000C 1276h、
 MTU5.TGRU 000C 1C82h、MTU5.TGRV 000C 1C92h、MTU5.TGRW 000C 1CA2h、
 MTU6.TGRA 000C 1A18h、MTU6.TGRB 000C 1A1Ah、MTU6.TGRC 000C 1A24h、
 MTU6.TGRD 000C 1A26h、MTU6.TGRE 000C 1A72h、MTU7.TGRA 000C 1A1Ch、
 MTU7.TGRB 000C 1A1Eh、MTU7.TGRC 000C 1A28h、MTU7.TGRD 000C 1A2Ah、
 MTU7.TGRE 000C 1A74h、MTU7.TGRF 000C 1A76h



注1. TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、FFFFhです。

TGRレジスタは、16ビットの読み出し／書き込み可能なレジスタです。MTU0に6本、MTU1、MTU2に各2本、MTU3、MTU6に各5本、MTU4、MTU7に各6本、MTU5に3本、計35本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRDレジスタはアウトプットコンペア／インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7のTGRCとTGRDレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRA－TGRC、TGRB－TGRDになります。

MTU0.TGRE、MTU0.TGRFはコンペアレジスタとして機能し、MTU0.TCNTとMTU0.TGREが一致したとき、A/D変換開始要求を発生することができます。TGRFレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRE－TGRFになります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRWはコンペアマッチ／インプットキャプチャ／外部パルス幅測定兼用のレジスタです。

22.2.13 タイマスタートレジスタ (TSTR)

- TSTRA (MTU0、MTU1、MTU2、MTU3、MTU4)

アドレス MTU.TSTRA 000C 1280h

b7	b6	b5	b4	b3	b2	b1	b0
CST4	CST3	—	—	—	CST2	CST1	CST0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTはカウント停止 1 : MTU0.TCNTはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTはカウント停止 1 : MTU1.TCNTはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTはカウント停止 1 : MTU2.TCNTはカウント動作	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0 : MTU3.TCNTはカウント停止 1 : MTU3.TCNTはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0 : MTU4.TCNTはカウント停止 1 : MTU4.TCNTはカウント動作	R/W

注1. TCSYSTRレジスタを“1”にしたときは、TSTRAレジスタの対応するビットが自動的に“1”になります。

TSTRA レジスタはMTU0～MTU4のTCNTの動作/停止を選択するレジスタです。

TSTRB レジスタはMTU6、MTU7のTCNTの動作/停止を選択するレジスタです。

TSTR レジスタはMTU5のTCNTの動作/停止を選択するレジスタです。

TMDR1 レジスタへ動作モードを設定する場合やTCR レジスタへTCNTのカウントクロックを設定する場合は、TCNTのカウンタ動作を停止してから行ってください。

CSTn ビット (カウンタスタートnビット) (n = 0、1、2、3、4)

各チャンネルのTCNTの動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態ではTIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- TSTRB (MTU6、MTU7)

アドレス MTU.TSTRB 000C 1A80h

b7	b6	b5	b4	b3	b2	b1	b0
CST7	CST6	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST6	カウンタスタート6ビット	0 : MTU6.TCNTはカウント停止 1 : MTU6.TCNTはカウント動作	R/W
b7	CST7	カウンタスタート7ビット	0 : MTU7.TCNTはカウント停止 1 : MTU7.TCNTはカウント動作	R/W

注. TCSYSTRレジスタを“1”にしたときは、TSTRBレジスタの対応するビットが自動的に“1”になります。

CSTn ビット (カウンタスタート n ビット) (n = 6、7)

各チャンネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- TSTR (MTU5)

アドレス MTU5.TSTR 000C 1CB4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CSTU5	CSTV5	CSTW5

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWはカウント停止 1 : MTU5.TCNTWはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVはカウント停止 1 : MTU5.TCNTVはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUはカウント停止 1 : MTU5.TCNTUはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

22.2.14 タイマシンクロレジスタ (TSYR)

- TSYRA (MTU0、MTU1、MTU2、MTU3、MTU4)

アドレス MTU.TSYRA 000C 1281h

b7	b6	b5	b4	b3	b2	b1	b0
SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0: MTU0.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1: MTU0.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット	0: MTU1.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1: MTU1.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W
b2	SYNC2	タイマ同期2ビット	0: MTU2.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1: MTU2.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0: MTU3.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1: MTU3.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W
b7	SYNC4	タイマ同期4ビット	0: MTU4.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1: MTU4.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W

TSYRA レジスタは MTU0 ~ MTU4 の TCNT の独立動作または同期動作を選択するレジスタです。
 TSYRB レジスタは MTU6、MTU7 の TCNT の独立動作または同期動作を選択するレジスタです。
 対応するビットを“1”にしたチャンネルが同期動作を行います。

SYNCn ビット (タイマ同期 n ビット) (n = 0、1、2、3、4)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャンネルの SYNC ビットを“1”にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

- TSYRB (MTU6、MTU7)

アドレス MTU.TSTRB 000C 1A81h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC7	SYNC6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC6	タイマ同期6ビット	0 : MTU6.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1 : MTU6.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W
b7	SYNC7	タイマ同期7ビット	0 : MTU7.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1 : MTU7.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W

SYNC_n ビット (タイマ同期 n ビット) (n = 6、7)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低2チャンネルの SYNC ビットを“1”にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

22.2.15 タイマカウンタシンクロスタートレジスタ (TCSYSTR)

アドレス MTU.TCSYSTR 000C 1282h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCH0	SCH1	SCH2	SCH3	SCH4	—	SCH6	SCH7
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SCH7	シンクロスタート7ビット	0 : MTU7.TCNTをシンクロスタートしない 1 : MTU7.TCNTをシンクロスタートする	R/(W) (注1)
b1	SCH6	シンクロスタート6ビット	0 : MTU6.TCNTをシンクロスタートしない 1 : MTU6.TCNTをシンクロスタートする	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b3	SCH4	シンクロスタート4ビット	0 : MTU4.TCNTをシンクロスタートしない 1 : MTU4.TCNTをシンクロスタートする	R/(W) (注1)
b4	SCH3	シンクロスタート3ビット	0 : MTU3.TCNTをシンクロスタートしない 1 : MTU3.TCNTをシンクロスタートする	R/(W) (注1)
b5	SCH2	シンクロスタート2ビット	0 : MTU2.TCNTをシンクロスタートしない 1 : MTU2.TCNTをシンクロスタートする	R/(W) (注1)
b6	SCH1	シンクロスタート1ビット	0 : MTU1.TCNTをシンクロスタートしない 1 : MTU1.TCNTをシンクロスタートする	R/(W) (注1)
b7	SCH0	シンクロスタート0ビット	0 : MTU0.TCNTをシンクロスタートしない 1 : MTU0.TCNTをシンクロスタートする	R/(W) (注1)

注1. フラグを“1”にするため、“1”を書くことのみ可能です。
TCSYSTRレジスタは、“1”を書き込み後、自動的に“0”になります。

TCSYSTRレジスタはカウンタの同期スタートを行うレジスタです。

SCH7 ビット (タイマスタート7ビット)

MTU7.TCNTのシンクロスタートを制御します。

[“0”になる条件]

SCH7ビットが“1”の状態ですべてのTSTRA.CST7ビットを“1”にしたとき

SCH6 ビット (タイマスタート6ビット)

MTU6.TCNTのシンクロスタートを制御します。

[“0”になる条件]

SCH6ビットが“1”の状態ですべてのTSTRA.CST6ビットを“1”にしたとき

SCH4 ビット (タイマスタート4ビット)

MTU4.TCNTのシンクロスタートを制御します。

[“0”になる条件]

SCH4ビットが“1”の状態ですべてのTSTRA.CST4ビットを“1”にしたとき

SCH3 ビット (タイマスタート3ビット)

MTU3.TCNTのシンクロスタートを制御します。

[“0”になる条件]

SCH3ビットが“1”の状態ですべてのTSTRA.CST3ビットを“1”にしたとき

SCH2 ビット (タイマスタート 2 ビット)

MTU2.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH2 ビットが“1”の状態 で TSTRA.CST2 ビットを“1”にしたとき

SCH1 ビット (タイマスタート 1 ビット)

MTU1.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH1 ビットが“1”の状態 で TSTRA.CST1 ビットを“1”にしたとき

SCH0 ビット (タイマスタート 0 ビット)

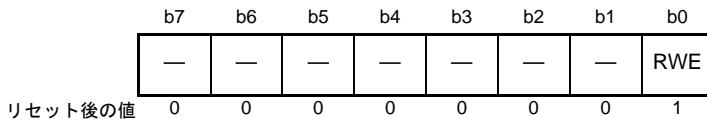
MTU0.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH0 ビットが“1”の状態 で TSTRA.CST0 ビットを“1”にしたとき

22.2.16 タイマリードライトイネーブルレジスタ (TRWERA、TRWERB)

アドレス MTU.TRWERA 000C 1284h、MTU.TRWERB 000C 1A84h



ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0: レジスタのリードライトを禁止する 1: レジスタのリードライトを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWERA レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ／カウンタのアクセス許可／禁止を指定するレジスタです。

TRWERB レジスタは、MTU6、MTU7 の誤書き込み防止の対象レジスタ／カウンタのアクセス許可／禁止を指定するレジスタです。

RWE ビット (リードライト許可ビット)

誤書き込み防止のレジスタへのリードライト許可／禁止を設定します。

[“0”になる条件]

- RWE = 1 の状態で RWE ビットを読んだ後、RWE ビットに“0”を書いたとき

誤書き込み防止の対象レジスタおよび対象カウンタ (TRWERA)

MTUn.TCR、MTUn.TMDR1、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、MTU.TOERA、MTU.TOCR1A、MTU.TOCR2A、MTU.TGCRA、MTU.TCDRA、MTU.TDDRA と MTUn.TCNT の計 22 レジスタです。

(n = 3、4)

誤書き込み防止の対象レジスタおよび対象カウンタ (TRWERB)

MTUn.TCR、MTUn.TMDR1、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、MTU.TOERB、MTU.TOCR1B、MTU.TOCR2B、MTU.TCDRB、MTU.TDDRB と MTUn.TCNT の計 21 レジスタです。

(n = 6、7)

22.2.17 タイマアウトプットマスタイネーブルレジスタ (TOER)

• TOERA

アドレス MTU.TOERA 000C 120Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、I/Oポートのデータ方向レジスタ (PDR)、ポート出力データレジスタ (PODR) にあらかじめ汎用入出力ポートに非アクティブレベルを出力する設定をした上で、ポートモードレジスタ (PMR) で汎用入出力ポート使用に切り替えてください。

TOERA レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可/禁止を行うレジスタです。

TOERB レジスタは、出力端子の MTIOC7D、MTIOC7C、MTIOC6D、MTIOC7B、MTIOC7A、MTIOC6B の出力設定の許可/禁止を行うレジスタです。

これらの端子は TOER レジスタの各ビットの設定をしないと正しく出力されません。MTU3、MTU4、MTU6、MTU7 において、TOER レジスタは MTU3、MTU4、MTU6、MTU7 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERA レジスタは、MTU.TSTRA レジスタの CST3、CST4 ビットを“0”にした後で設定してください。

MTU.TOERB レジスタは、MTU.TSTRB レジスタの CST0、CST1 ビットを“0”にした後で設定してください (図 22.36、図 22.39 参照)。

- TOERB

アドレス MTU.TOERB 000C 1A0Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE7D	OE7C	OE6D	OE7B	OE7A	OE6B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE6B	マスタ許可MTIOC6Bビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b1	OE7A	マスタ許可MTIOC7Aビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b2	OE7B	マスタ許可MTIOC7Bビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b3	OE6D	マスタ許可MTIOC6Dビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b4	OE7C	マスタ許可MTIOC7Cビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b5	OE7D	マスタ許可MTIOC7Dビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、I/Oポートのデータ方向レジスタ (PDR)、ポート出力データレジスタ (PODR) にあらかじめ汎用入出力ポートに非アクティブレベルを出力する設定をした上で、ポートモードレジスタ (PMR) で汎用入出力ポート使用に切り替えてください。

22.2.18 タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B)

アドレス MTU.TOCR1A 000C 120Eh、MTU.TOCR1B 000C 1A0Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
リセット後の値	0	0	0	0	0 (注4)	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット (注1) (注3)	表22.37を参照してください	R/W
b1	OLSN	出力レベル選択Nビット (注1) (注3)	表22.38を参照してください	R/W
b2	TOCS	TOC選択ビット	0: TOCR1jの設定を有効にする (j = A、B) 1: TOCR2jの設定を有効にする	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット (注2)	0: TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1: TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0: トグル出力を禁止 1: トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOCR1j.TOCSビットを“0”にすることにより、本設定が有効になります。

注2. TOCR1j.TOCLビットを“1”にすることにより、CPU暴走時の誤書き込みを防止することができます。

注3. デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。

注4. リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1A、TOCR1B レジスタは、相補 PWM モード／リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可／禁止、および PWM 出力の出力レベル反転の制御を行うレジスタです。

OLSP ビット (出力レベル選択 P ビット)

リセット同期 PWM モード／相補 PWM モード時に、正相の出力レベルを選択します。

OLSN ビット (出力レベル選択 N ビット)

リセット同期 PWM モード／相補 PWM モード時に、逆相の出力レベルを選択します。

TOCS ビット (TOC 選択ビット)

相補 PWM モード／リセット同期 PWM モードの出力レベルの設定を TOCR1j レジスタと TOCR2j レジスタ (j = A、B) のどちらの設定を有効にするか選択します。

TOCL ビット (TOC レジスタ書き込み禁止ビット)

TOCR1j レジスタ (j = A、B) の TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止／許可の設定をします。

PSYE ビット (PWM 同期出力許可ビット)

PWM 周期に同期したトグル出力の許可／禁止を設定します。

表 22.37 出力レベル選択機能

ビット0	機 能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 22.38 出力レベル選択機能

ビット1	機 能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注1. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 22.3 に示します。

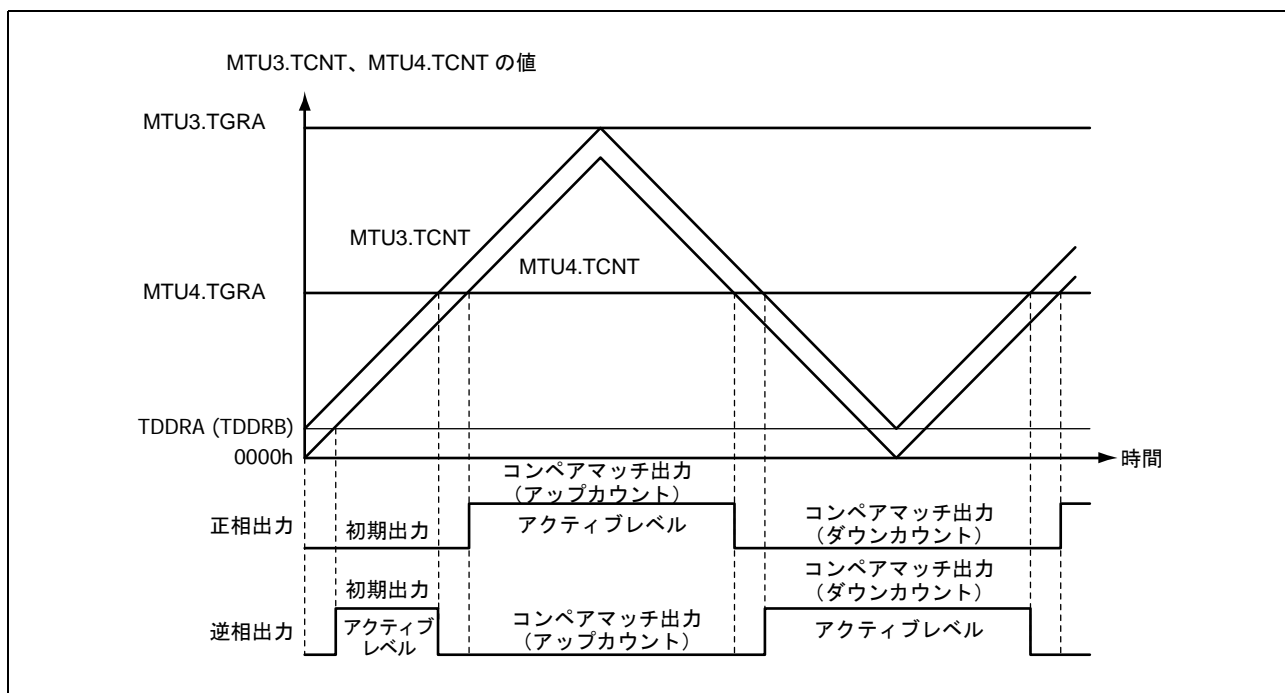
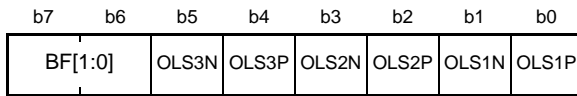


図 22.3 相補 PWM モードの出力レベルの例

22.2.19 タイマアウトプットコントロールレジスタ 2 (TOCR2A、TOCR2B)

アドレス MTU.TOCR2A 000C 120Fh、MTU.TOCR2B 000C 1A0Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3B/MTIOC6Bの出力レベルを選択します 表22.39を参照してください	R/W
b1	OLS1N	出力レベル選択1Nビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3D/MTIOC6Dの出力レベルを選択します 表22.40を参照してください	R/W
b2	OLS2P	出力レベル選択2Pビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4A/MTIOC7Aの出力レベルを選択します 表22.41を参照してください	R/W
b3	OLS2N	出力レベル選択2Nビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4C/MTIOC7Cの出力レベルを選択します 表22.42を参照してください	R/W
b4	OLS3P	出力レベル選択3Pビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4B/MTIOC7Bの出力レベルを選択します 表22.43を参照してください	R/W
b5	OLS3N	出力レベル選択3Nビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4D/MTIOC7Dの出力レベルを選択します 表22.44を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング 選択ビット	TOLBRjからTOCR2jへのバッファ転送タイミングを選択 します 詳細は表22.45を参照してください	R/W

j=A、B

- 注1. TOCR1j.TOCSビットを“1”にすることにより、本設定が有効になります。
- 注2. デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLSiPビットのみ有効となります。
(i=1,2,3)

TOCR2A、TOCR2B レジスタは、相補PWMモード/リセット同期PWMモードにおけるPWM出力の出力レベル反転の制御を行うレジスタです。

表22.39 MTIOCmB出力レベル選択機能

ビット0	機 能			
	初期出力	アクティブ レベル	コンペアマッチ出力	
アップカウント			ダウンカウント	
0	High	Low	Low	High
1	Low	High	High	Low

m = 3、6

表22.40 MTIOCmD出力レベル選択機能

ビット1	機 能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

m = 3、6

注1. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表22.41 MTIOCmA出力レベル選択機能

ビット2	機 能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

m = 4、7

表22.42 MTIOCmC出力レベル選択機能

ビット3	機 能			
OLS2N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

m = 4、7

注1. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表22.43 MTIOCmB出力レベル選択機能

ビット4	機 能			
OLS3P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

m = 4、7

表22.44 MTIOCmD出力レベル選択機能

ビット5	機 能			
OLS3N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

m = 4、7

注1. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表22.45 TOCR2j.BF[1:0]ビットの設定

ビット7 BF1	ビット6 BF0	説 明	
		相補PWMモード時	リセットPWMモード時
0	0	バッファレジスタ (TOLBRj) からTOCR2jへ転送しない	バッファレジスタ (TOLBRj) からTOCR2jへ転送しない
0	1	MTUn.TCNTの山でバッファレジスタ (TOLBRj) からTOCR2jへ転送する	MTUm.TCNT、MTUn.TCNTカウンタクリア時にバッファレジスタ (TOLBRj) からTOCR2jへ転送する
1	0	MTUn.TCNTの谷でバッファレジスタ (TOLBRj) からTOCR2jへ転送する	設定しないでください
1	1	MTUn.TCNTの山と谷でバッファレジスタ (TOLBRj) からTOCR2jへ転送する	設定しないでください

n = 4、7 m = 3、6 j = A、B

22.2.20 タイマアウトプットレベルバッファレジスタ (TOLBRA、TOLBRB)

アドレス MTU.TOLBRA 000C 1236h, MTU.TOLBRB 000C 1A36h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2jのOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2jのOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2jのOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2jのOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2jのOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2jのOLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

j = A, B

TOLBRA、TOLBRB レジスタは TOCR2A、TOCR2B レジスタのバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行うレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 22.4 に示します。



図 22.4 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

22.2.21 タイマゲートコントロールレジスタ A (TGCRA)

アドレス MTU.TGCRA 000C 120Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はTGCR.FBビットが1のときのみ有効です。このときは、b0～b2の設定が、外部入力に代わりになります。表22.46を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0: 出力の切り換えは、外部入力（入力元は、MTU0のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1: 出力の切り換えはソフトウェアで行う（TGCRAのUF、VF、WFの設定値）	R/W
b4	P	正相出力（P）制御ビット	0: レベル出力 1: リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力（N）制御ビット	0: レベル出力 1: リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0: 通常出力 1: 本レジスタの機能を有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCRA レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、TGCRA レジスタの設定は無効です。

UF、VF、WF ビット（出力切り替えビット）

これらのビットの設定はTGCR.FBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりになります。表22.46を参照してください。

FB ビット（外部フィードバック信号許可）

正相/逆相の出力の切り替えをMTU0のTGRA、TGRB、TGRCレジスタのインプットキャプチャ信号で自動的に行うか、TGCRAレジスタのビット2～0に“0”または“1”を書き込むことによって行うかを選択します。

P ビット（正相出力（P）制御ビット）

正相端子の出力（MTIOC3B端子、MTIOC4A端子、MTIOC4B端子）を出力時、レベル出力をするか、リセット同期PWM/相補PWM出力するかを選択します。

N ビット（逆相出力（N）制御ビット）

逆相端子（MTIOC3D端子、MTIOC4C端子、MTIOC4D端子）を出力時、レベル出力するか、リセット同期PWM/相補PWM出力するかを選択します。

BDC ビット (ブラシレス DC モータビット)

TGCRA レジスタの機能を有効にするか、無効にするかを選択します。

表22.46 出力レベル選択機能

ビット2 WF	ビット1 VF	ビット0 UF	機 能					
			MTIOC3B U相	MTIOC4A V相	MTIOC4B W相	MTIOC3D U相	MTIOC4C V相	MTIOC4D W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

22.2.22 タイマサブカウンタ (TCNTSA、TCNTSB)

アドレス MTU.TCNTSA 000C 1220h、MTU.TCNTSB 000C 1A20h



注1. TCNTSA、TCNTSBレジスタの8ビット単位でアクセスは禁止です。
常に16ビット単位でアクセスしてください。

TCNTSA、TCNTSB レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTSA、TCNTSB レジスタのリセット後の値は 0000h です。

22.2.23 タイマ周期データレジスタ (TCDRA、TCDRB)

アドレス MTU.TCDRA 000C 1214h、MTU.TCDRB 000C 1A14h



注1. TCDRA、TCDRBレジスタの8ビット単位でのアクセスは禁止です。
常に16ビット単位でアクセスしてください。

TCDRA、TCDRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し/書き込み可能なレジスタです。TCDRA、TCDRB レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。TCDRA、TCDRB レジスタは、相補 PWM モード時 TCNTSA、TCNTSB カウンタと常時比較され、一致すると TCNTSA、TCNTSB カウンタはカウント方向を切り換えます (ダウンカウント→アップカウント)。TCDRA、TCDRB レジスタのリセット後の値は FFFFh です。

22.2.24 タイマ周期バッファレジスタ (TCBRA、TCBRB)

アドレス MTU.TCBRA 000C 1222h、MTU.TCBRB 000C 1A22h



注1. TCBRA、TCBRBレジスタの8ビット単位でのアクセスは禁止です。
常に16ビット単位でアクセスしてください。

TCBRA、TCBRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し／書き込み可能なレジスタで、TCDRA、TCDRB レジスタのバッファレジスタとして機能します。TMDR1 レジスタで設定した転送タイミングで TCBRA、TCBRB レジスタの値が TCDRA、TCDRB レジスタに転送されます。TCBRA、TCBRB レジスタのリセット後の値は FFFFh です。

22.2.25 タイマデッドタイムデータレジスタ (TDDRA、TDDRБ)

アドレス MTU.TDDRA 000C 1216h、MTU.TDDRБ 000C 1A16h

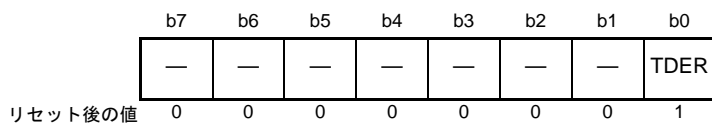


注1. TDDRA、TDDRБレジスタの8ビット単位でのアクセスは禁止です。
常に16ビット単位でアクセスしてください。

TDDRA、TDDRБ レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モード時 MTU3.TCNT (MTU6.TCNT) と MTU4.TCNT (MTU7.TCNT) カウンタのオフセット値を設定します。相補 PWM モード時に MTU3.TCNT (MTU6.TCNT)、MTU4.TCNT (MTU7.TCNT) カウンタをクリアして再スタートするときは、TDDRA (TDDRБ) レジスタの値が MTU3.TCNT (MTU6.TCNT) カウンタにロードされカウント動作を開始します。TDDRA、TDDRБ レジスタのリセット後の値は FFFFh です。

22.2.26 タイマデッドタイムイネーブルレジスタ (TDERA、TDERB)

アドレス MTU3.TDERA 000C 1234h、MTU6.TDERB 000C 1A34h



ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイムイネーブルビット	0: デッドタイムを生成しない 1: デッドタイムを生成する (注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDRA ≥ 1、TDDRБ ≥ 1に設定してください。

TDERA、TDERB レジスタは、TDERA は MTU3、TDERB は MTU6 に各 1 本あり、相補 PWM モードのデッドタイム生成を制御するレジスタです。TDERA、TDERB レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット (デッドタイムイネーブルビット)

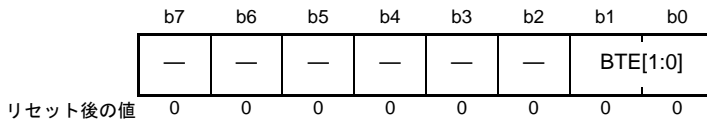
デッドタイムの生成をする／しないを設定します。

[“0”になる条件]

- TDER = 1 の状態で TDER を読んだ後、TDER に “0” を書いたとき

22.2.27 タイマバッファ転送設定レジスタ (TBTERA、TBTERB)

アドレス MTU.TBTERA 000C 1232h、MTU.TBTERB 000C 1A32h



ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタ(注1)からテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定します 詳細は表22.47を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 対象バッファレジスタ (TBTERA)
MTU3.TGRC、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD、MTU.TCBRA
対象バッファレジスタ (TBTERB)
MTU6.TGRC、MTU6.TGRD、MTU7.TGRC、MTU7.TGRD、MTU.TCBRB

TBTERA、TBTERB レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定するレジスタです。

表22.47 TBTERA (TBTERB) .BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない(注1) また、割り込み間引き機能1と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能1と連動する(注2)
1	1	設定しないでください

注1. TMDR1.MD[3:0]ビットの設定に従い転送します。詳細は「22.3.8 相補PWMモード」を参照してください。
注2. 割り込み間引きが禁止のとき(タイマ割り込み間引き設定レジスタ (TITCR1A (TITCR1B)) のT3AEN、T4VEN (T6AEN、T7VEN) ビットを“0”にしたとき、またはTITCR1A (TITCR1B) の間引き回数設定ビット (T3ACOR、T4VCOR (T6ACOR、T7VCOR)) を“0”にしたとき)は、必ずバッファ転送を割り込み間引きと連動しない設定(タイマバッファ転送レジスタ (TBTERA (TBTERB)) のBTE1ビットを“0”にする)にしてください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

22.2.28 タイマ波形コントロールレジスタ (TWCRA、TWCRB)

アドレス MTU.TWCRA 000C 1260h MTU.TWCRB 000C 1A60h

b7	b6	b5	b4	b3	b2	b1	b0
CCE	—	—	—	—	—	SCC	WRE

リセット後の値 0 (注2) 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	波形保持許可ビット	0 : TOCR1A, TOCR2A (TOCR1B, TOCR2B) レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する	R/(W) (注3)
b1	SCC (注1、注3)	同期クリアコントロールビット	(TWCRB レジスタのみ有効) 0 : MTU0、MTU1、MTU2—MTU6、MTU7同期クリア機能によるMTU6.TCNT、MTU7.TCNTのクリア有効 1 : MTU0、MTU1、MTU2—MTU6、MTU7同期クリア機能によるMTU6.TCNT、MTU7.TCNTのクリア無効	R/(W)
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE (注2)	コンペアマッチクリア許可ビット	0 : MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをしない 1 : MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする	R/(W)

注1. TWCRBレジスタのみ有効です、TWCRAレジスタでは予約ビットです。

注2. 相補PWMモード1のとき以外は、“1”を書かないでください。

注3. 相補PWMモードのとき以外は、“1”に設定しないでください。

TWCRA、TWCRB レジスタは、相補 PWM モードで MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする／しないを設定します。

TWCRA、TWCRB レジスタの CCE、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

WRE ビット (波形保持許可ビット)

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の T_b 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR1A、TOCR2A (TOCR1B、TOCR2B) レジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) スタート直後の谷の T_b 区間で同期クリアが発生した場合も、TOCR1A、TOCR2A (TOCR1B、TOCR2B) レジスタで設定した初期値を出力します。

相補 PWM モードの谷の T_b 区間については、図 22.41 を参照してください。

[“1”になる条件]

- WRE = “0”を読み出し後、WRE ビットに“1”を書いたとき

SCC ビット (同期クリアコントロールビット) (TWCRB レジスタのみ)

相補 PWM モードで MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアが発生したときに、MTU6.TCNT、MTU7.TCNT をクリアする／しないを設定します。

本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。また、カウンタ動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。

SCC ビットの設定により MTU からの同期クリアが無効になるのは、谷の T_b 区間以外で同期クリアが発生したときのみです。MTU6.TCNT、MTU7.TCNT スタート直後を含む谷の T_b 区間で同期クリアが発生した場合は、MTU6.TCNT、MTU7.TCNT がクリアされます。

相補 PWM モードの谷の T_b 区間については、[図 22.41](#) を参照してください。

[“1” になる条件]

- SCC = 0 で SCC ビットを読んだ後、SCC ビットに“1”を書いたとき

TWCRA レジスタでは予約ビットです。読むと常に“0”が読めます。書く場合、“0”としてください。

CCE ビット (コンペアマッチクリア許可ビット)

相補 PWM モードで、MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする／しないを設定します。

[“1” になる条件]

- CCE = 0 で CCE を読んだ後、CCE に“1”を書いたとき

22.2.29 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

• TADCR (MTU4)

アドレス MTU4.TADCR 000C 1240h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0 (注4)	0	0 (注4)	0 (注4)	0 (注4)	0 (注4)	0 (注4)

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE (注2) (注3) (注4)	TCIV4 割り込み間引き連動許可ビット	0: A/D 変換の開始要求 (TRG4BN) を TCIV4 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4BN) を TCIV4 割り込み間引き機能1と連動する	R/W
b1	ITB3AE (注2) (注3) (注4)	TGIA3 割り込み間引き連動許可ビット	0: A/D 変換の開始要求 (TRG4BN) を TGI3A 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4BN) を TGI3A 割り込み間引き機能1と連動する	R/W
b2	ITA4VE (注2) (注3) (注4)	TCIV4 割り込み間引き連動許可ビット	0: A/D 変換の開始要求 (TRG4AN) を TCIV4 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4AN) を TCIV4 割り込み間引き機能1と連動する	R/W
b3	ITA3AE (注2) (注3) (注4)	TGIA3 割り込み間引き連動許可ビット	0: A/D 変換の開始要求 (TRG4AN) を TGI3A 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4AN) を TGI3A 割り込み間引き機能1と連動する	R/W
b4	DT4BE (注4)	ダウンカウンタ TRG4BN 許可ビット	0: MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b5	UT4BE	アップカウンタ TRG4BN 許可ビット	0: MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b6	DT4AE (注4)	ダウンカウンタ TRG4AN 許可ビット	0: MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b7	UT4AE	アップカウンタ TRG4AN 許可ビット	0: MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/B 転送タイミング選択ビット	MTU4.TADCOBRA、MTU4.TADCOBRB から MTU4.TADCORA、MTU4.TADCORB への転送タイミングを選択します。詳細は表 22.48 を参照してください	R/W

注1. MTU4.TADCR レジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

注2. 割り込み間引きが禁止のとき TITCR1A.T3AEN、T4VEN ビットを“0”にしたとき、または TITCR1A.T3ACOR、T4VCOR ビットを“0”にしたときは、“0”を設定してください。

注3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

注4. 相補PWMモードのとき以外は、“0”を設定してください。

TADCR レジスタは、A/D 変換開始要求の許可/禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する/しないを設定します。MTU には、MTU4、MTU7 に各 1 本の TADCR レジスタがあります。

表22.48 TADCR.BF[1:0]ビットによる転送タイミングの設定 (MTU4)

ビット15	ビット14	説明			
		相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送する	MTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

- TADCR (MTU7)

アドレス 000C 1A40h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT7AE	DT7AE	UT7BE	DT7BE	ITA6AE	ITA7VE	ITB6AE	ITB7VE
リセット後の値	0	0	0	0	0	0	0	0	0 (注4)	0	0 (注4)	0 (注4)	0 (注4)	0 (注4)	0 (注4)

ビット	シンボル	ビット名	機能	R/W
b0	ITB7VE (注2) (注3) (注4)	TCIV7割り込み間引き連動許可ビット	0: A/D変換の開始要求 (TRG7BN) をTCIV7割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7BN) をTCIV7割り込み間引き機能1と連動する	R/W
b1	ITB6AE (注2) (注3) (注4)	TGIA6割り込み間引き連動許可ビット	0: A/D変換の開始要求 (TRG7BN) をTGI6A割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7BN) をTGI6A割り込み間引き機能1と連動する	R/W
b2	ITA7VE (注2) (注3) (注4)	TCIV7割り込み間引き連動許可ビット	0: A/D変換の開始要求 (TRG7AN) をTCIV7割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7AN) をTCIV7割り込み間引き機能1と連動する	R/W
b3	ITA6AE (注2) (注3) (注4)	TGIA6割り込み間引き連動許可ビット	0: A/D変換の開始要求 (TRG7AN) をTGI6A割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7AN) をTGI6A割り込み間引き機能1と連動する	R/W
b4	DT7BE (注4)	ダウンカウントTRG7BN許可ビット	0: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7BN) を禁止 1: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7BN) を許可	R/W
b5	UT7BE	アップカウントTRG7BN許可ビット	0: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7BN) を禁止 1: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7BN) を許可	R/W
b6	DT7AE (注4)	ダウンカウントTRG7AN許可ビット	0: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7AN) を禁止 1: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7AN) を許可	R/W
b7	UT7AE	アップカウントTRG7AN許可ビット	0: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7AN) を禁止 1: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU7.TADCOBRA/B転送タイミング選択ビット	MTU7.TADCOBRA、MTU7.TADCOBRBからMTU7.TADCORA、MTU7.TADCORBへの転送タイミングを選択します。詳細は表22.49を参照してください	R/W

注1. MTU7.TADCRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

注2. 割り込み間引きが禁止のときTITCR1B.T6AEN、T7VENビットを“0”に設定したとき、またはTITCR1B.T6ACOR、T7VCORビットを“0”にしたときは、“0”を設定してください。

注3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。

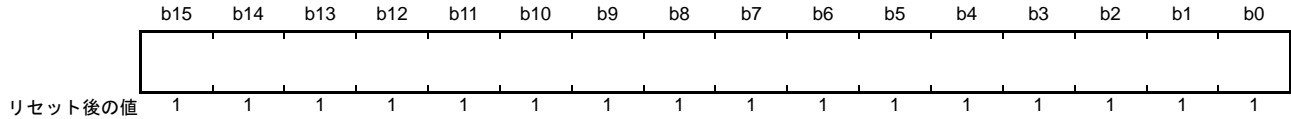
注4. 相補PWMモードのとき以外は、“0”を設定してください。

表22.49 TADCR.BF[1:0]ビットによる転送タイミングの設定 (MTU7)

ビット15	ビット14	説明			
BF1	BF0	相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU7.TADCOBRA、MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA、MTU7.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU7.TADCOBRA、MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA、MTU7.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU7.TADCOBRA、MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA、MTU7.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU7.TADCOBRA、MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA、MTU7.TADCORB) へ転送しない
0	1	MTU7.TCNTの山で周期設定バッファレジスタ (MTU7.TADCOBRA、MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA、MTU7.TADCORB) へ転送する	MTU6.TCNTがMTU6.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU7.TADCOBRA、MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA、MTU7.TADCORB) へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU7.TADCOBRA、MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA、MTU7.TADCORB) へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU7.TADCOBRA、MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA、MTU7.TADCORB) へ転送する
1	0	MTU7.TCNTの谷で周期設定バッファレジスタ (MTU7.TADCOBRA、MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA、MTU7.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU7.TCNTの山と谷で周期設定バッファレジスタ (MTU7.TADCOBRA、MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA、MTU7.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

22.2.30 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA、TADCORB)

アドレス MTU4.TADCORA 000C 1244h、MTU4.TADCORB 000C 1246h
MTU7.TADCORA 000C 1A44h、MTU7.TADCORB 000C 1A46h



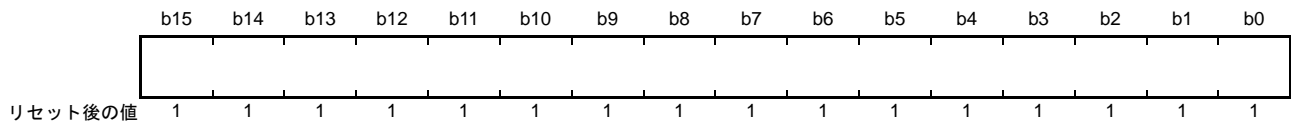
- 注1. MTUn.TADCORA、MTUn.TADCORB (n=4,7) は8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。
- 注2. 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能（詳細は「22.3.9 (5) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能」を参照）を使用する場合は、本レジスタの値は0002h～MTU4: TCDRAの設定値-2、MTU7: TCDRBの設定値-2の値を設定してください。
- 注3. 割り込み間引き機能2を使用し、かつMTUn.TADCORAレジスタ値とMTUn.TADCORBレジスタ値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでのA/D変換要求が発生しない場合があります。以下の設定条件で使用してください。
- (1)間引き機能2、間引き回数が0の場合
- ・MTUn.TADCORAレジスタ値とMTUn.TADCORBレジスタ値との間隔が「4」以上
 - ・MTUn.TADCORAのコンペア間隔が4 PCLKA以上（MTUn.TADCORAレジスタの更新値を「前値+4以上」、「前値-4以下」に設定）
 - ・MTUn.TADCORBのコンペア間隔が4 PCLKA以上（MTUn.TADCORBレジスタの更新値を「前値+4以上」、「前値-4以下」に設定）
- (2)間引き機能2、間引き回数が1以上の場合
- ・MTUn.TADCORAレジスタ値とMTUn.TADCORBレジスタ値との間隔が「2」以上
 - ・MTUn.TADCORBのコンペア間隔が2 PCLKA以上（MTUn.TADCORBレジスタの更新値を「前値+2以上」、「前値-2以下」に設定）

TADCORA、TADCORB レジスタは16ビットの読み出し/書き込み可能なレジスタで、MTUn.TCNT (n=4、7) と一致したとき、対応するA/D変換開始要求を発生します。

TADCORA、TADCORB レジスタのリセット後の値はFFFFhです。

22.2.31 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA、TADCOBRB)

アドレス MTU4.TADCORA 000C 1248h、MTU4.TADCORB 000C 124Ah
MTU7.TADCORA 000C 1A48h、MTU7.TADCORB 000C 1A4Ah



- 注1. TADCOBRA、TADCOBRBレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TADCOBRA、TADCOBRB レジスタは16ビットの読み出し/書き込み可能なレジスタで、TADCORA、TADCORB のバッファレジスタです。TADCOBRA、TADCOBRB から山か谷でTADCORA、TADCORB に転送します。

TADCOBRA、TADCOBRB レジスタのリセット後の値はFFFFhです。

22.2.32 タイマ割り込み間引きモードレジスタ (TITMRA、TITMRB)

アドレス MTU.TITMRA 000C 123Ah、MTU.TITMRB 000C 1A3Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TITM
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TITM	割り込み間引き機能選択ビット	2種類の割り込み間引き機能を選択します。 詳細は表22.50を参照してください	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TITMRA、TITMRB レジスタは、2種類の間引き機能を選択するレジスタです。

表22.50 TITMビットによる割り込み間引き機能の設定

ビット0	説明
TITM	
0	割り込み間引き機能1 (注1)
1	割り込み間引き機能2 (注2)

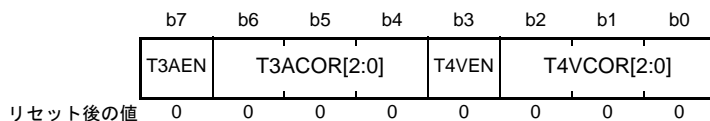
注1. TITCR1A、TITCR1Bレジスタを設定することにより割り込み間引き機能1が有効になります。

注2. TITCR2A、TITCR2Bレジスタを設定することにより割り込み間引き機能2が有効になります。

22.2.33 タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B)

• TITCR1A

アドレス MTU.TITCR1A 000C 1230h



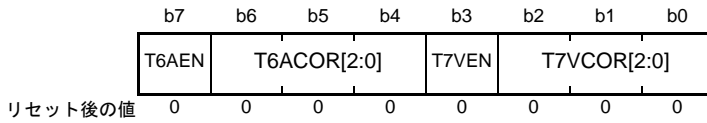
ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4割り込み間引き回数設定ビット	TCIV4割り込みの間引き回数を0~7回で設定します 詳細は表22.51を参照してください	R/W
b3	T4VEN	T4VENビット	0: TCIV4割り込みの間引きを禁止する 1: TCIV4割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3割り込み間引き回数設定ビット	TGIA3割り込みの間引き回数を0~7回で設定します(注1) 詳細は表22.52を参照してください	R/W
b7	T3AEN	T3AENビット	0: TGIA3割り込みの間引きを禁止する 1: TGIA3割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1A.T3AEN、TITCR1A.T4VENビットを“0”にして間引き回数カウンタ (TITCNT1A) をクリアしてください。

TITCR1A、TITCR1B レジスタは、割り込み間引きの禁止/許可、割り込み間引き回数の設定を制御します。この設定は TITMRA、TITMRB レジスタを“0”としたときのみ有効になります。また、TITMRA、TITMRB レジスタを“1”とした場合、このレジスタの値はクリアされます。

- TITCR1B

アドレス MTU.TITCR1B 000C 1A30h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCOR[2:0]	TCIV7割り込み間引き回数設定ビット	TCIV7割り込みの間引き回数を0～7回で設定します。 詳細は表22.53を参照してください	R/W
b3	T7VEN	T7VENビット	0 : TCIV7割り込みの間引きを禁止する 1 : TCIV7割り込みの間引きを許可する	R/W
b6-b4	T6ACOR[2:0]	TGIA6割り込み間引き回数設定ビット	TGIA6割り込みの間引き回数を0～7回で設定します。(注1) 詳細は表22.54を参照してください	R/W
b7	T6AEN	T6AENビット	0 : TGIA6割り込みの間引きを禁止する 1 : TGIA6割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1B.T6AEN、TITCR1B.T7VENビットを“0”にして間引き回数カウンタ (TITCNT1B) をクリアしてください。

表22.51 T4VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T4VCOR2	ビット1 T4VCOR1	ビット0 T4VCOR0	説明
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表22.52 T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T3ACOR2	ビット5 T3ACOR1	ビット4 T3ACOR0	説 明
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

表22.53 T7VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T7VCOR2	ビット1 T7VCOR1	ビット0 T7VCOR0	説 明
0	0	0	TCIV7の割り込み間引きを行わない
0	0	1	TCIV7の割り込み間引き回数を1回に設定
0	1	0	TCIV7の割り込み間引き回数を2回に設定
0	1	1	TCIV7の割り込み間引き回数を3回に設定
1	0	0	TCIV7の割り込み間引き回数を4回に設定
1	0	1	TCIV7の割り込み間引き回数を5回に設定
1	1	0	TCIV7の割り込み間引き回数を6回に設定
1	1	1	TCIV7の割り込み間引き回数を7回に設定

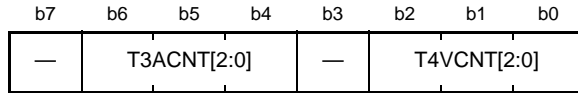
表22.54 T6ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T6ACOR2	ビット5 T6ACOR1	ビット4 T6ACOR0	説 明
0	0	0	TGIA6の割り込み間引きを行わない
0	0	1	TGIA6の割り込み間引き回数を1回に設定
0	1	0	TGIA6の割り込み間引き回数を2回に設定
0	1	1	TGIA6の割り込み間引き回数を3回に設定
1	0	0	TGIA6の割り込み間引き回数を4回に設定
1	0	1	TGIA6の割り込み間引き回数を5回に設定
1	1	0	TGIA6の割り込み間引き回数を6回に設定
1	1	1	TGIA6の割り込み間引き回数を7回に設定

22.2.34 タイマ割り込み間引き回数カウンタ 1 (TITCNT1A、TITCNT1B)

• TITCNT1A

アドレス MTU.TITCNT1A 000C 1231h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4 割り込みカウンタビット	TITCR1AのT4VENビットが“1”のとき、TCIV4 割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R
b6-b4	T3ACNT[2:0]	TGIA3 割り込みカウンタビット	TITCR1AのT3AENビットが“1”のとき、TGIA3 割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. TITCNT1Aレジスタの値をクリアするには、TITCR1A.T3AENビットとTITCR1A.T4VENビットを“0”にしてください。

TITCNT1A、TITCNT1B レジスタは、8ビットの読み出し可能なカウンタです。TITCNT1A、TITCNT1Bは、MTU3.TCNT および MTU4.TCNT (MTU6.TCNT および MTU7.TCNT) のカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット (TCIV4 割り込みカウンタビット)

[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T4VEN ビットが“0”のとき
- TITCR1A.T4VCOR[2:0] ビットが“000b”のとき
- TITCR1A.T4VCOR[2:0] ビットと TITCNT1A.T4VCNT[2:0] ビットが一致したとき

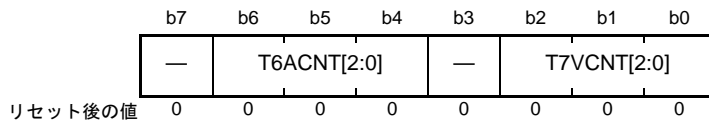
T3ACNT[2:0] ビット (TGIA3 割り込みカウンタビット)

[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T3AEN ビットが“0”のとき
- TITCR1A.T3ACOR[2:0] ビットが“000b”のとき
- TITCR1A.T3ACOR[2:0] ビットと TITCNT1A.T3ACNT[2:0] ビットが一致したとき

- TITCNT1B

アドレス MTU.TITCNT1B 000C 1A31h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCNT[2:0]	TCIV7 割り込みカウンタビット	TITCR1BのT7VENビットを“1”にしたとき、TCIV7 割り込み要因が発生したときに1カウントアップします 読むと“0”が読めます。書き込みは無効になります	R
b3	—	予約ビット		R
b6-b4	T6ACNT[2:0]	TGIA6 割り込みカウンタビット		R
b7	—	予約ビット		R

注1. TITCNT1Bの値をクリアするには、TITCR1B.T6AENビットとTITCR1B.T7VENビットを“0”にしてください。

T7VCNT[2:0] ビット (TCIV7 割り込みカウンタビット)

[“0”になる条件]

- TITMRB.TITM ビットが“1”のとき
- TITCR1B.T7VEN ビットが“0”のとき
- TITCR1B.T7VCOR[2:0] ビットが“000b”のとき
- TITCR1B.T7VCOR[2:0] ビットと TITCNT1B.T7VCNT[2:0] ビットが一致したとき

T6ACNT[2:0] ビット (TGIA6 割り込みカウンタビット)

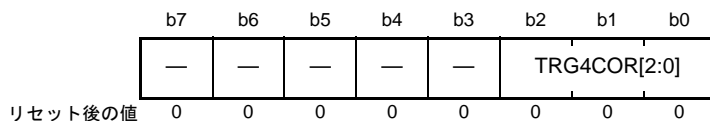
[“0”になる条件]

- TITMRB.TITM ビットが“1”のとき
- TITCR1B.T6AEN ビットが“0”のとき
- TITCR1B.T6ACOR[2:0] ビットが“000b”のとき
- TITCR1B.T6ACOR[2:0] ビットと TITCNT1B.T6ACNT[2:0] ビットが一致したとき

22.2.35 タイマ割り込み間引き設定レジスタ 2 (TITCR2A、TITCR2B)

• TITCR2A

アドレス MTU.TITCR2A 000C 123Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4COR[2:0]	TRG4AN/TRG4BN 割り込み 間引き回数設定ビット	TRG4AN/TRG4BN 割り込みの間引き回数を0~7回で 設定します。詳細は表22.55を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TITCR2A、TITCR2B レジスタは、TRG4AN と TRG4BN (TRG7AN と TRG7BN) の割り込み間引き回数を設定するレジスタです。

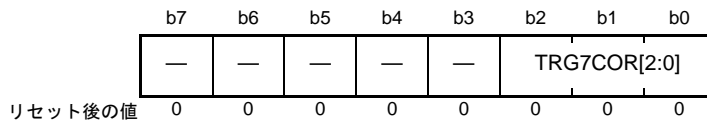
この設定は TITMRA、TITMRB レジスタを“1”にしたときのみ有効になります。

表22.55 TRG4COR[2:0]ビットによる割り込み間引き回数の設定

ビット2 TRG4COR2	ビット1 TRG4COR1	ビット0 TRG4COR0	説明
0	0	0	TRG4ANとTRG4BNの割り込み回数間引きを行わない
0	0	1	TRG4ANとTRG4BNの割り込み回数を1回に設定
0	1	0	TRG4ANとTRG4BNの割り込み回数を2回に設定
0	1	1	TRG4ANとTRG4BNの割り込み回数を3回に設定
1	0	0	TRG4ANとTRG4BNの割り込み回数を4回に設定
1	0	1	TRG4ANとTRG4BNの割り込み回数を5回に設定
1	1	0	TRG4ANとTRG4BNの割り込み回数を6回に設定
1	1	1	TRG4ANとTRG4BNの割り込み回数を7回に設定

- TITCR2B

アドレス MTU.TITCR2B 000C 1A3Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7COR[2:0]	TRG7AN/TRG7BN割り込み間引き回数設定ビット	TRG7AN/TRG7BN割り込みの間引き回数を0~7回で設定します。詳細は表22.56を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

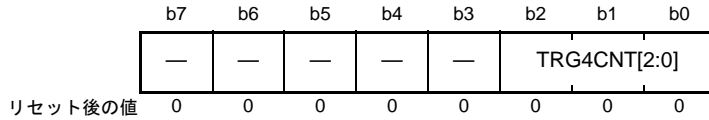
表22.56 TRG7COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG7COR2	TRG7COR1	TRG7COR0	
0	0	0	TRG7ANとTRG7BNの割り込み回数間引きを行わない
0	0	1	TRG7ANとTRG7BNの割り込み回数を1回に設定
0	1	0	TRG7ANとTRG7BNの割り込み回数を2回に設定
0	1	1	TRG7ANとTRG7BNの割り込み回数を3回に設定
1	0	0	TRG7ANとTRG7BNの割り込み回数を4回に設定
1	0	1	TRG7ANとTRG7BNの割り込み回数を5回に設定
1	1	0	TRG7ANとTRG7BNの割り込み回数を6回に設定
1	1	1	TRG7ANとTRG7BNの割り込み回数を7回に設定

22.2.36 タイマ割り込み間引き回数カウンタ 2 (TITCNT2A、TITCNT2B)

• TITCNT2A

アドレス MTU.TITCNT2A 000C 123Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4CNT[2:0]	TRG4AN/TRG4BN 割り込みカウンタビット	TRG4COR[2:0]ビットで設定した値から、TRG4AN、TRG4BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

TITCNT2A、TITCNT2B レジスタは、TRG4COR[2:0] ビット、TRG7COR[2:0] ビットで設定した値から、TRG4AN、TRG4BN (TITCNT2A) および TRG7AN、TRG7BN (TITCNT2B) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みおよび TRG7AN、TRG7BN の割り込みが有効になります。

TRG4CNT[2:0] ビット (TRG4AN/TRG4BN 割り込みカウンタビット)

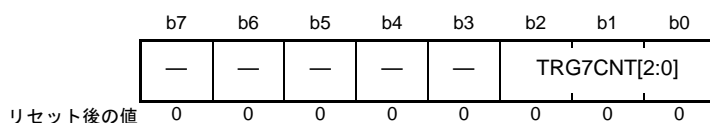
TRG4COR[2:0] ビットで設定した値から、TRG4AN および TRG4BN 割り込みが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

[“0”になる条件]

- TITMRA.TITM ビットが“0”のとき
- TITCR2A.TRG4COR[2:0] ビットが“000b”のとき
- TITCR2A.TRG4COR[2:0] ビットと TRG4AN および TRG4BN の発生回数が一致したとき

- TITCNT2B

アドレス MTU.TITCNT2B 000C 1A3Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7CNT[2:0]	TRG7AN/TRG7BN割り込みカウンタビット	TRG7COR[2:0]ビットで設定した値から、TRG7AN、TRG7BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG7AN、TRG7BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

TRG7CNT[2:0] ビット (TRG7AN/TRG7BN 割り込みカウンタビット)

TRG7COR[2:0] ビットで設定した値から、TRG7AN および TRG7BN 割り込みが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG7AN、TRG7BN 割り込みが有効になります。

[“0”になる条件]

- TITMRB.TITM ビットが“0”のとき
- TITCR2B.TRG7COR[2:0] ビットが“000b”のとき
- TITCR2B.TRG7COR[2:0] ビットと TRG7AN および TRG7BN の発生回数が一致したとき

22.2.37 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTSA、TCNTSB)、タイマ周期バッファレジスタ (TCBRA、TCBRB)、タイマデッドタイムデータレジスタ (TDDRA、TDDR B)、タイマ周期データレジスタ (TCDRA、TCDRB)、タイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR、MTU7.TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB、MTU7.TADCORA、MTU7.TADCORB)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB、MTU7.TADCOBRA、MTU7.TADCOBRB) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。8 ビット単位での読み出し/書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。8 ビット単位で読み出し/書き込みを行ってください。

22.3 動作説明

22.3.1 基本動作

各チャンネルには、TCNTとTGRレジスタがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGRレジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRAレジスタのCST0～CST4ビット、TSTRBレジスタのCST6,CST7ビット、MTU5.TSTRレジスタのCSTU5、CSTV5、CSTW5ビットを“1”にすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図22.5に示します。

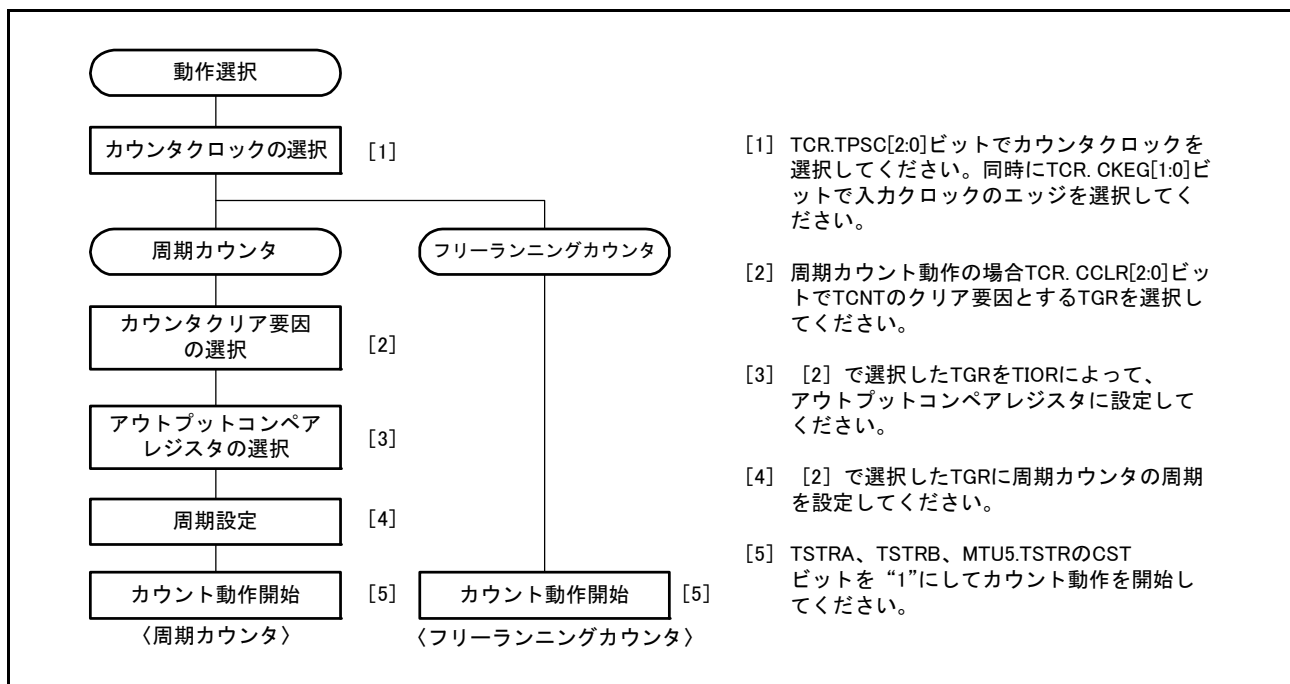


図 22.5 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTUのTCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRA、TSTRB、MTU5.TSTRレジスタの対応するビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー（FFFFh → 0000h）すると、TSR.TCFVフラグが“1”になります。このとき、対応するTIER.TCIEVビットが“1”ならば、MTUは割り込みを要求します。TCNTはオーバーフロー後、0000hからアップカウント動作を継続します。

フリーランニングカウンタの動作を図22.6に示します。

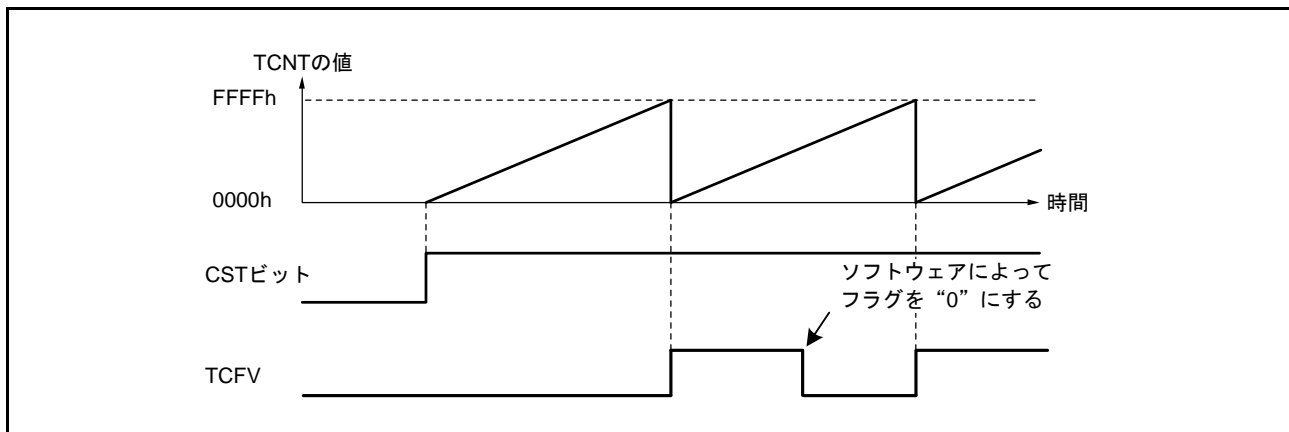


図 22.6 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0]ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA、TSTRB、MTU5.TSTRレジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TSR.TGFフラグが“1”になり、TCNTは0000hになります。

このとき対応するTIER.TGIEビットが“1”ならば、MTUは割り込みを要求します。TCNTはコンペアマッチ後、0000hからアップカウント動作を継続します。

周期カウンタの動作を図22.7に示します。

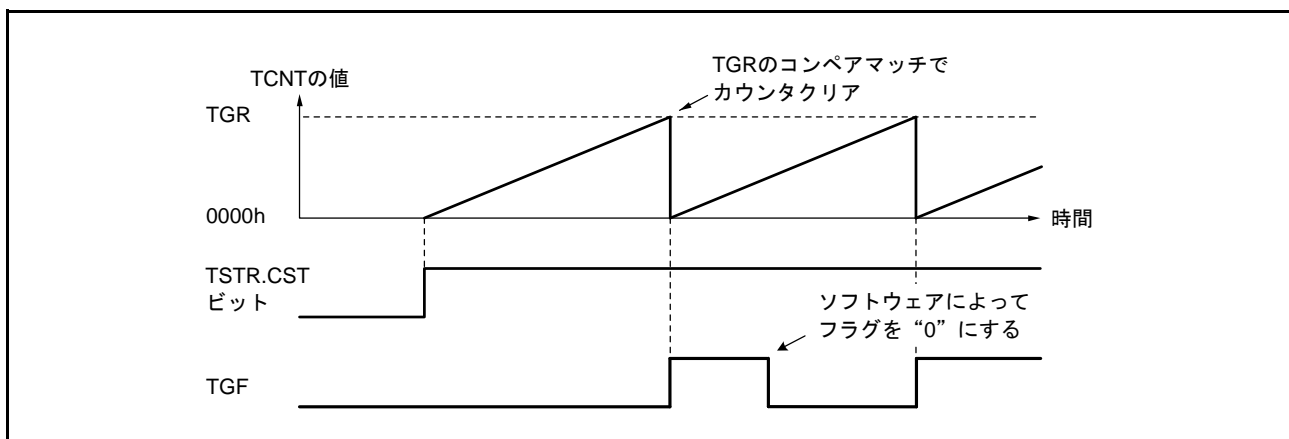


図 22.7 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTUは、コンペアマッチにより対応する出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 22.8 に示します。

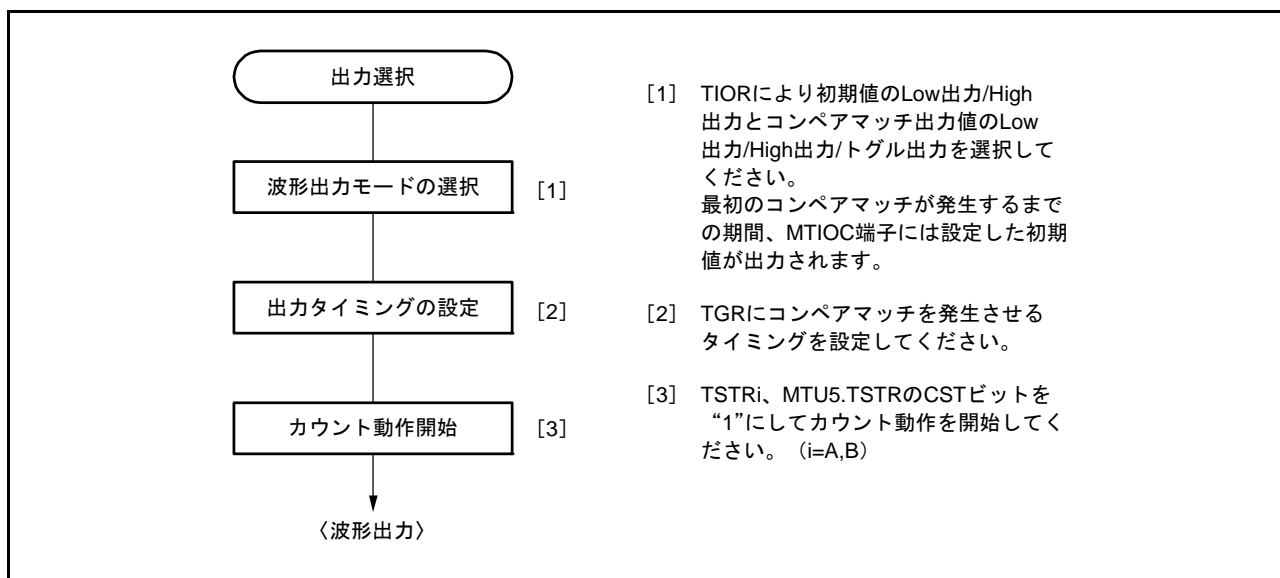


図 22.8 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low 出力 / High 出力例を図 22.9 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

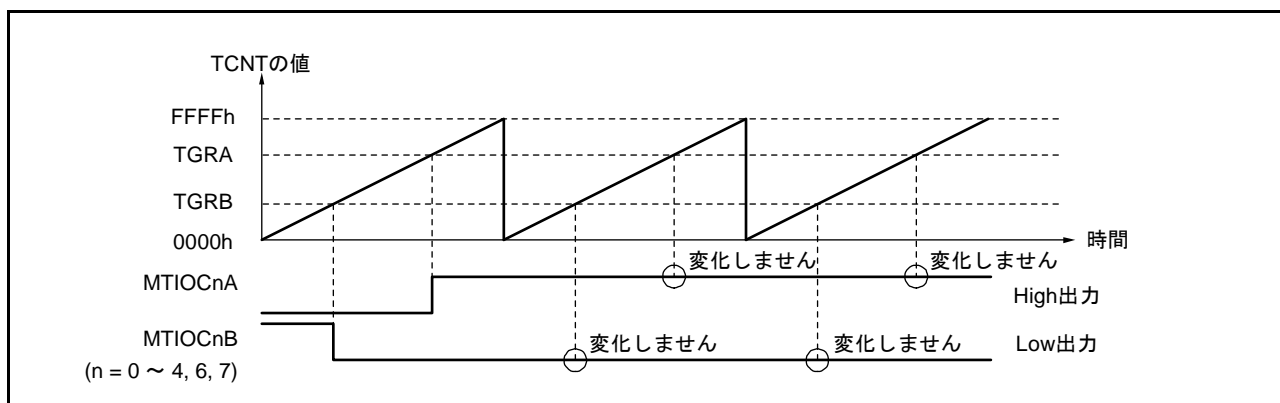


図 22.9 Low 出力 / High 出力の動作例

トグル出力の例を図 22.10 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

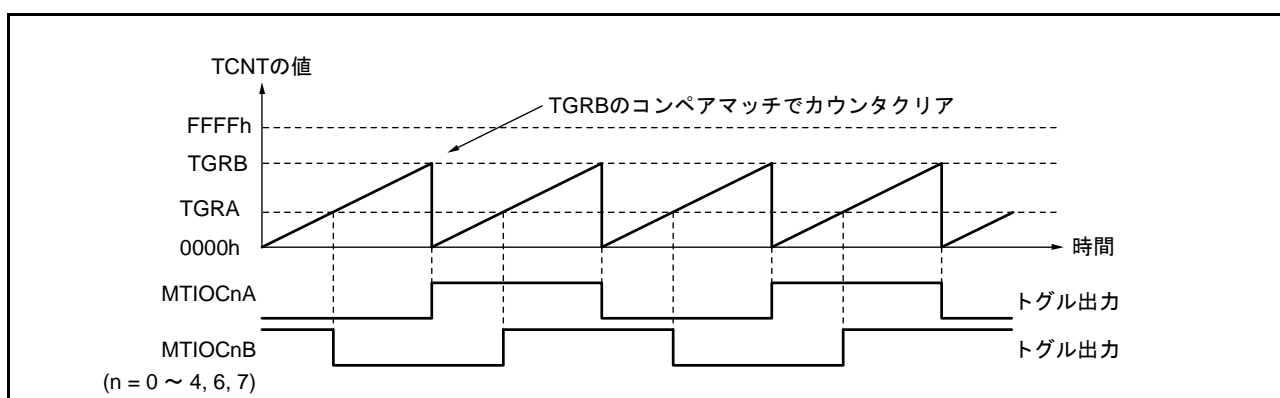


図 22.10 トグル出力の動作例

(3) インพุットキャプチャ機能

MTIOcnm 端子 (n=0~4, 6, 7, m=A~D) の入力エッジを検出して TCNT の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、MTU1 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注. MTU0、MTU1 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに PCLKA/1 を選択しないでください。PCLKA/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 22.11 に示します。

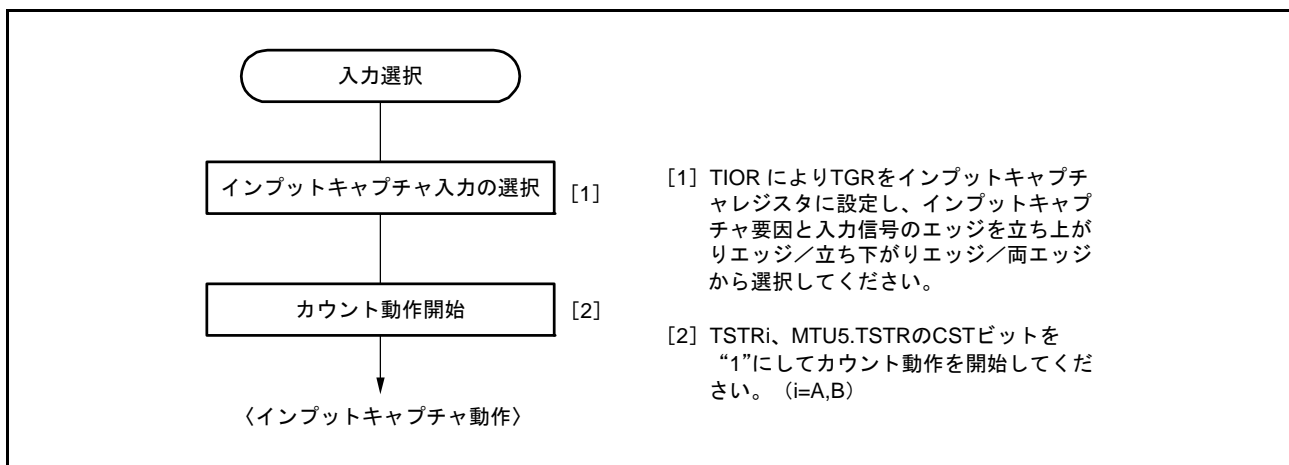


図 22.11 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 22.12 に示します。

MTIOcNA 端子のインพุットキャプチャ入力エッジは立ち上がり／立ち下がりの両エッジ、また MTIOcNB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。(n = 0 ~ 4, 6, 7)

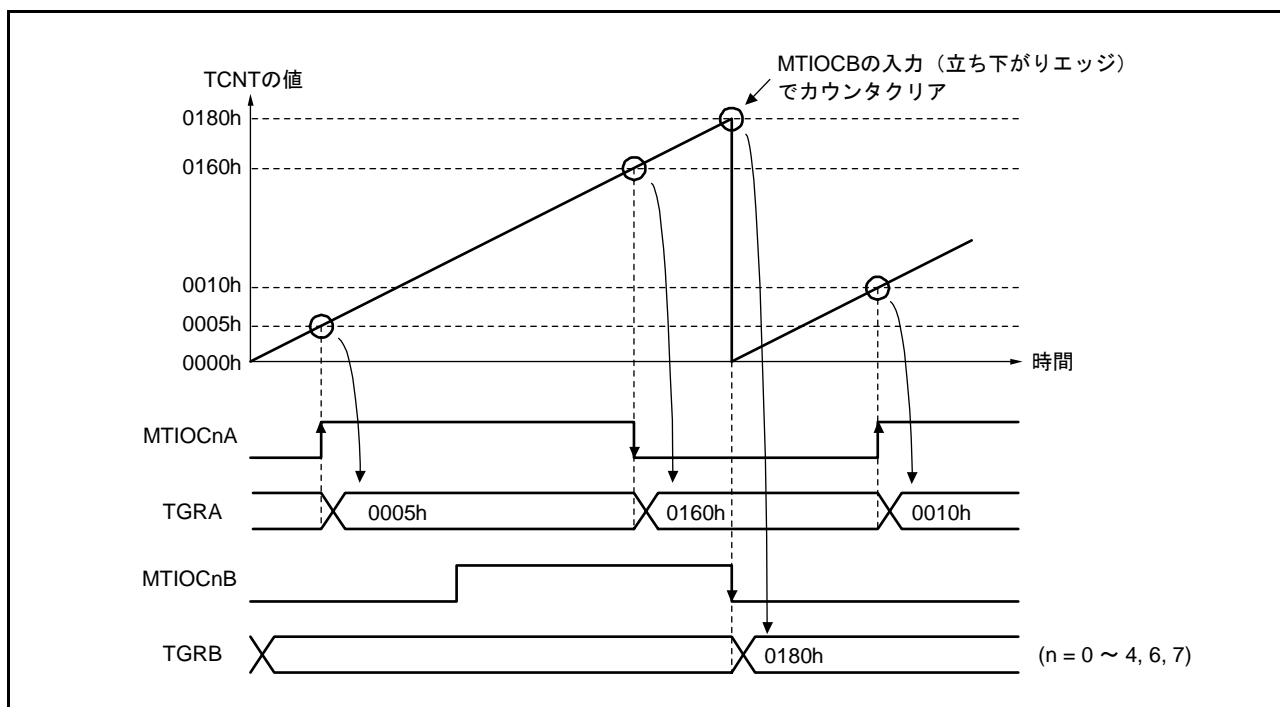


図 22.12 インพุットキャプチャ動作例

22.3.2 同期動作

同期動作を使って、複数の TCNT の値を同時に書き替えることができます (同期プリセット)。また、TCR レジスタの設定によって複数の TCNT を同時に“0”にすることができます (同期クリア)。

同期動作によって、1つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。

MTU0 ~ MTU4、MTU6、MTU7 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 22.13 に示します。

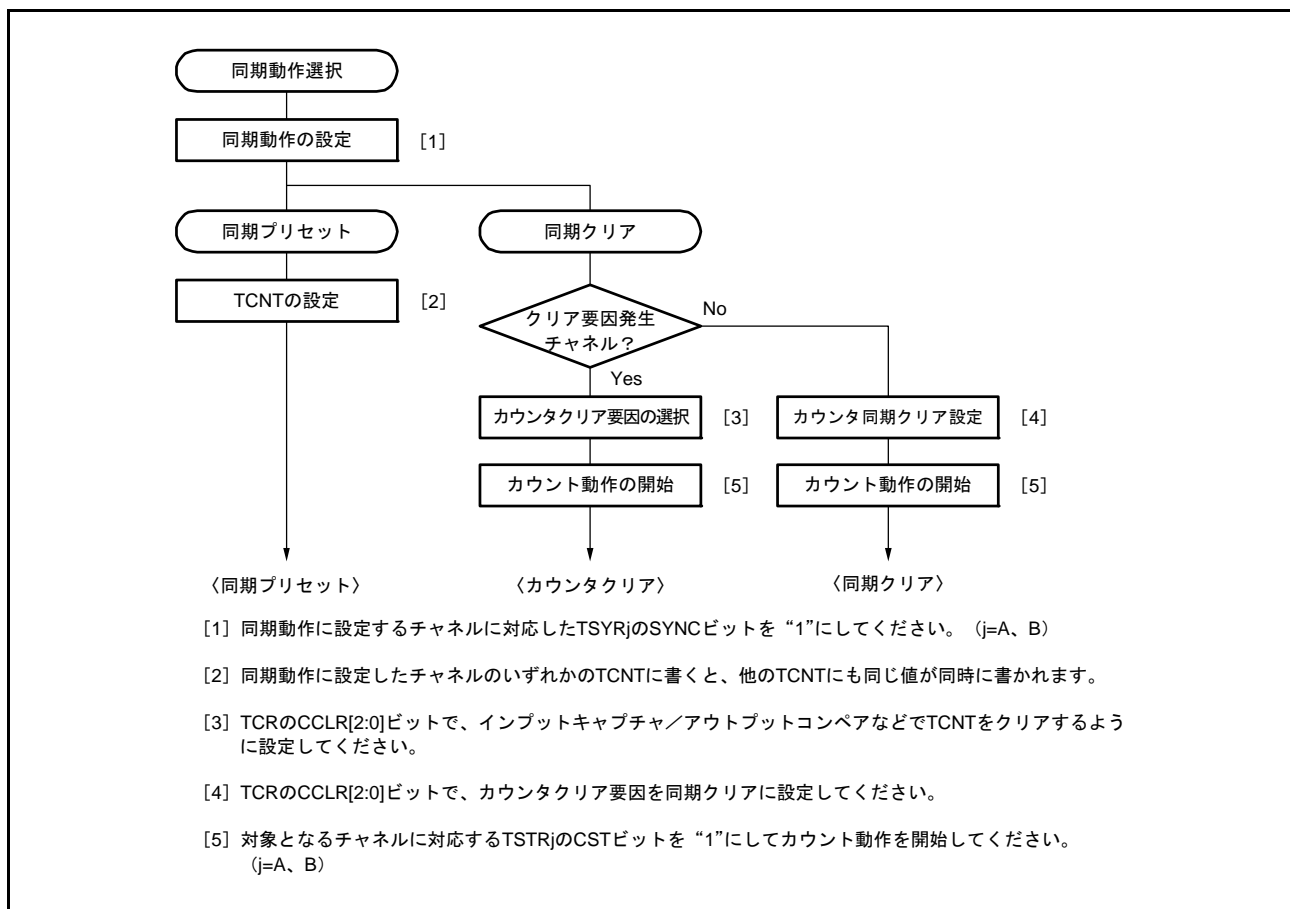


図 22.13 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 22.14 に示します。

MTU0 ~ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ MTU2 の TCNT は同期プリセット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、「22.3.5 PWM モード」を参照してください。

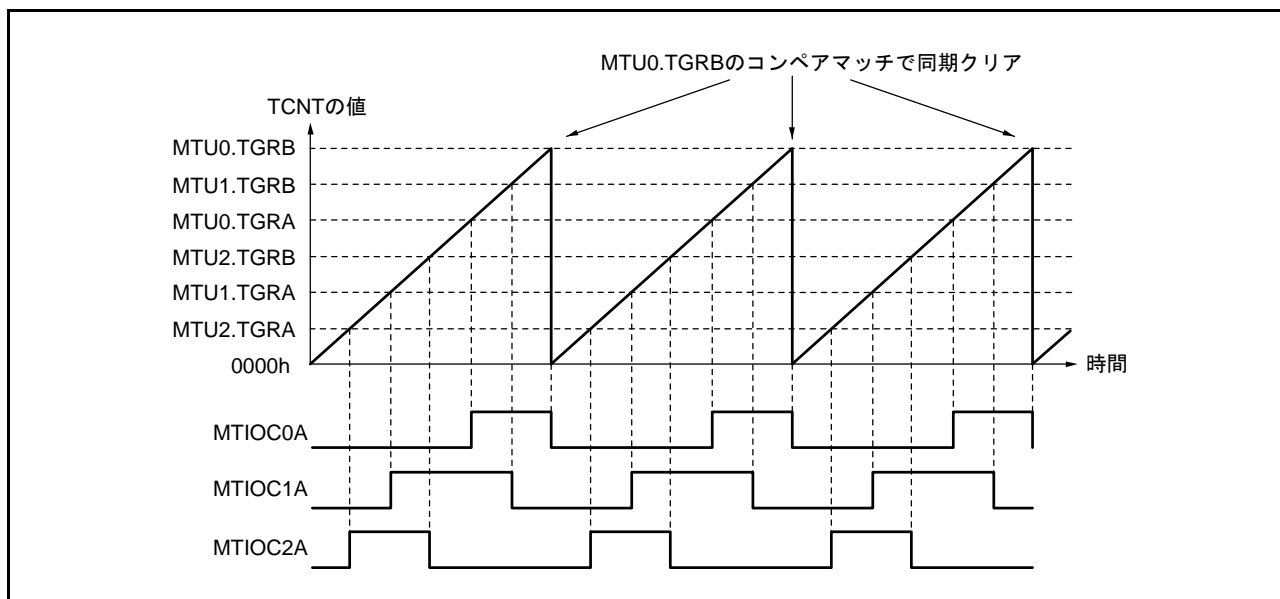


図 22.14 同期動作の動作例

22.3.3 バッファ動作

バッファ動作は、MTU0、MTU3、MTU4、MTU6、MTU7 が持つ機能です。TGRC と TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGRE はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 22.57 にバッファ動作時のレジスタの組み合わせを示します。

表22.57 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD
MTU6	TGRA	TGRC
	TGRB	TGRD
MTU7	TGRA	TGRC
	TGRB	TGRD

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 22.15 に示します。

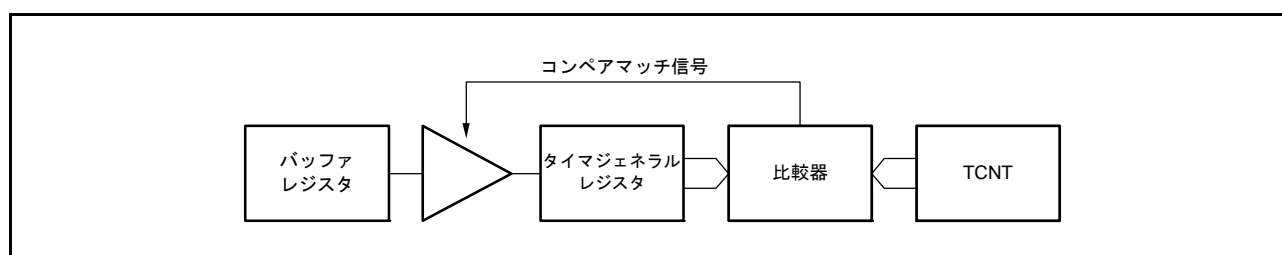


図 22.15 コンペアマッチバッファ動作

- TGR が入力キャプチャレジスタの場合

入力キャプチャが発生すると、TCNT の値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 22.16 に示します。

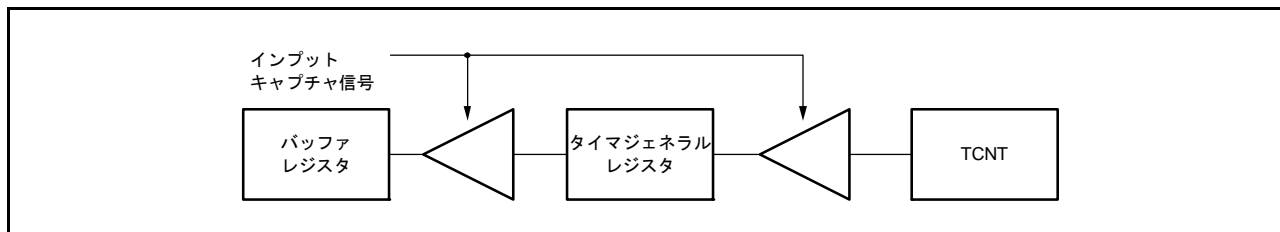


図 22.16 インพุットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 22.17 に示します。

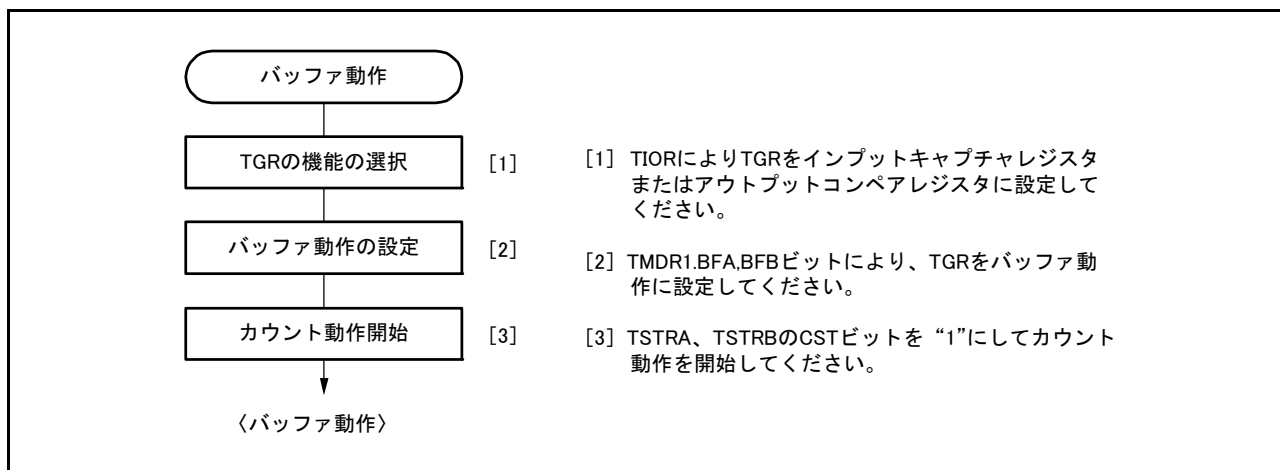


図 22.17 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGRがアウトプットコンペアレジスタの場合

MTU0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図22.18に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAでHigh出力、コンペアマッチBでLow出力に設定した例です。この例では、BTM.TTSAビットは“0”にしています。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「22.3.5 PWMモード」を参照してください。

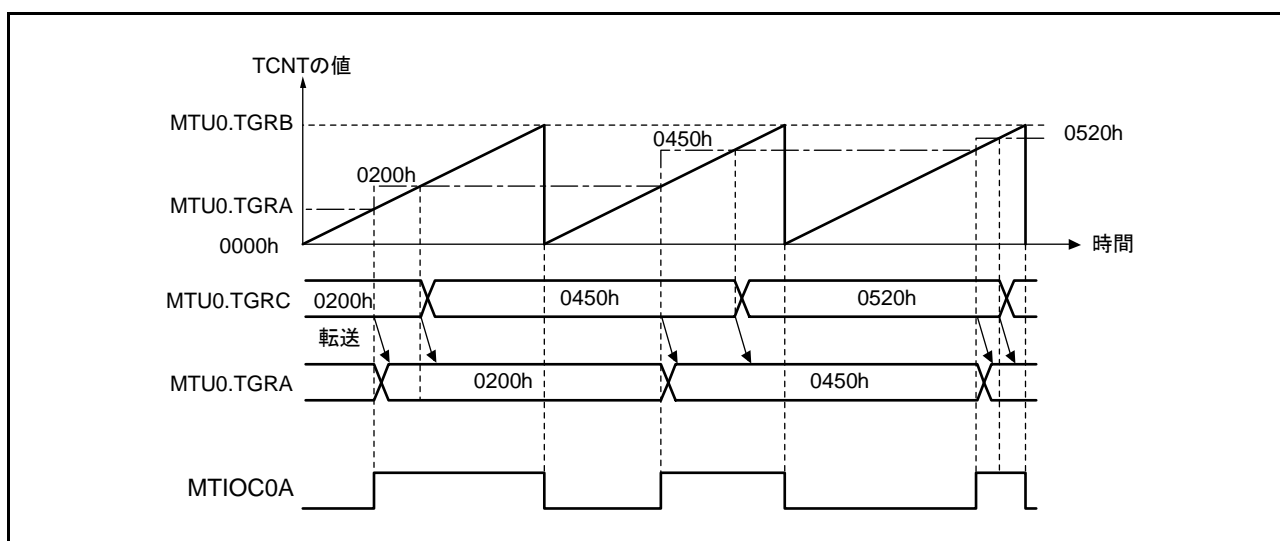


図 22.18 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 22.19 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、MTIOcnA 端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています (n = 0 ~ 4, 6, 7)。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

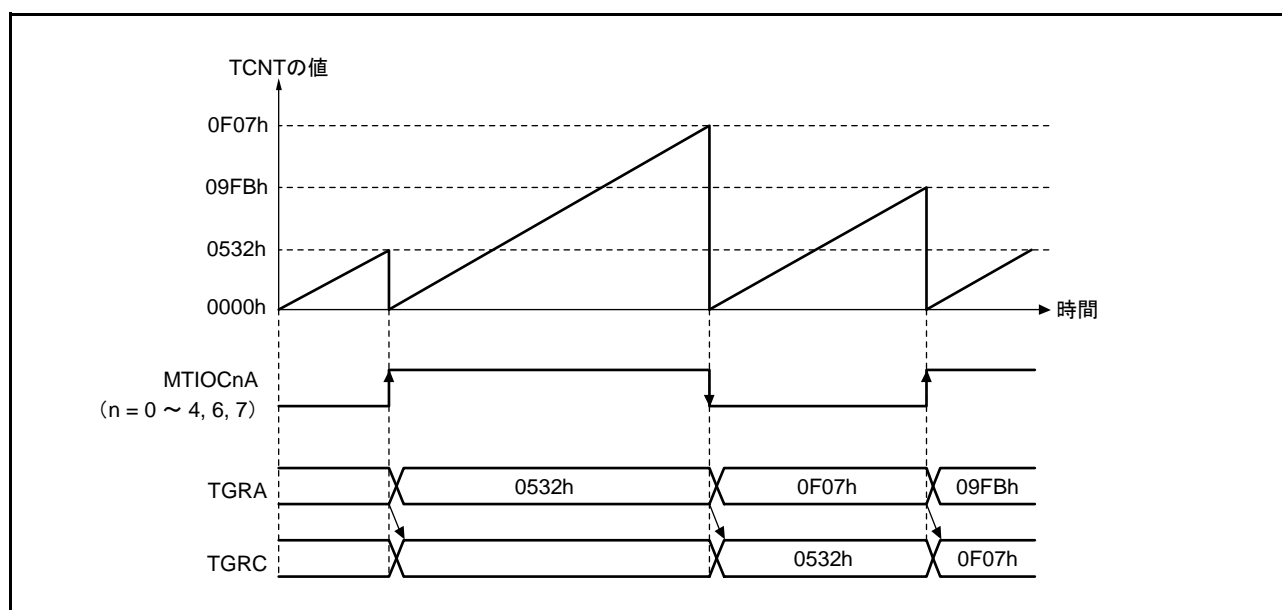


図 22.19 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (MTUn.TBTM) (n=0, 3, 4, 6, 7) を設定することで、MTU0 では PWM モード 1、2 時の、MTU3、MTU4、MTU6、MTU7 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (リセット後の値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバーフローしたとき (FFFFh → 0000h)
- カウンタ動作中、TCNT に 0000h が書かれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT が “0000h” になったとき

注. TBTM レジスタの設定は TCNT が停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 22.20 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは “1” にしています。

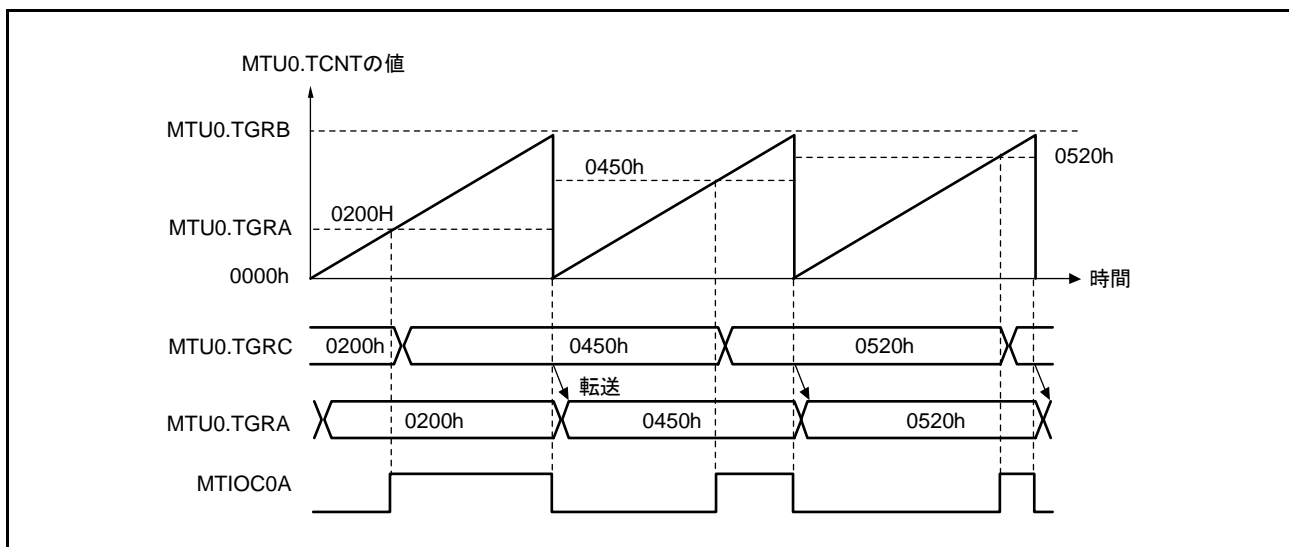


図 22.20 MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

22.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、MTU1のカウントクロックをTCR.TPSC[2:0]ビットでMTU2.TCNTのオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表22.58にカスケード接続の組み合わせを示します。

注. MTU1を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表22.58 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
MTU1とMTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNTとMTU2.TCNTの同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ(TICCR)で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方がHighレベルのとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4) カスケード接続動作例(c)」を参照してください。カスケード接続時のインプットキャプチャについては「22.6.21 カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ」を参照してください。

TICCRレジスタの設定値とインプットキャプチャ入力端子の対応を表22.59に示します。

表22.59 TICCRレジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット=0(初期値)	MTIOC1A
	I2AEビット=1	MTIOC1A、MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット=0(初期値)	MTIOC1B
	I2BEビット=1	MTIOC1B、MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット=0(初期値)	MTIOC2A
	I1AEビット=1	MTIOC2A、MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット=0(初期値)	MTIOC2B
	I1BEビット=1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 22.21 に示します。

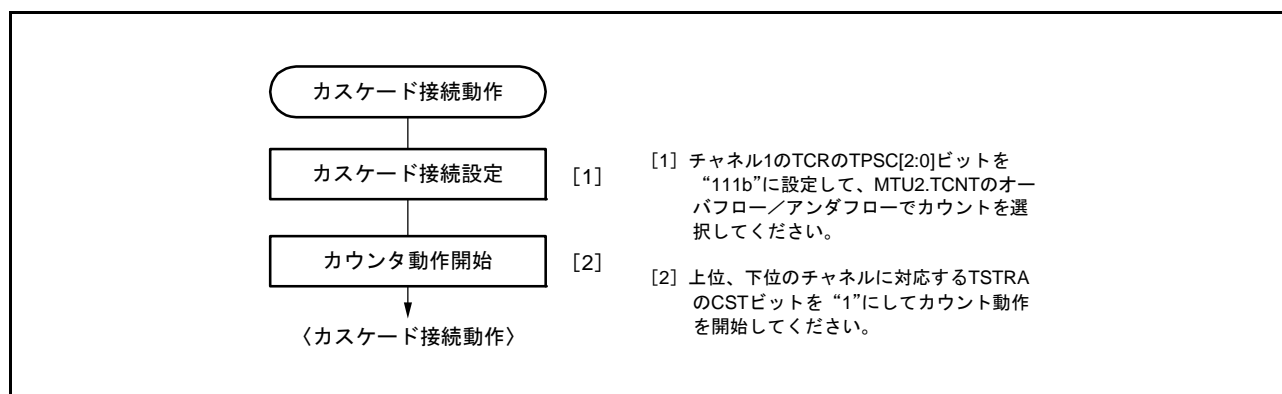


図 22.21 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT は MTU2.TCNT のオーバフロー／アンダフローでカウント、MTU2 を位相計数モードに設定したときの動作を図 22.22 に示します。

MTU1.TCNT は MTU2.TCNT のオーバフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

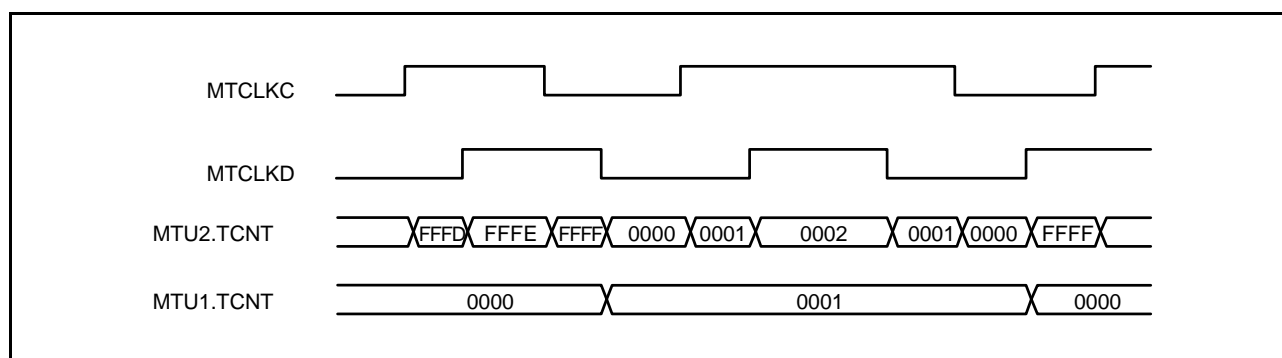


図 22.22 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 22.23 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、(MTIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA の入力キャプチャ条件に設定されます。また、MTU2.TGRA の入力キャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

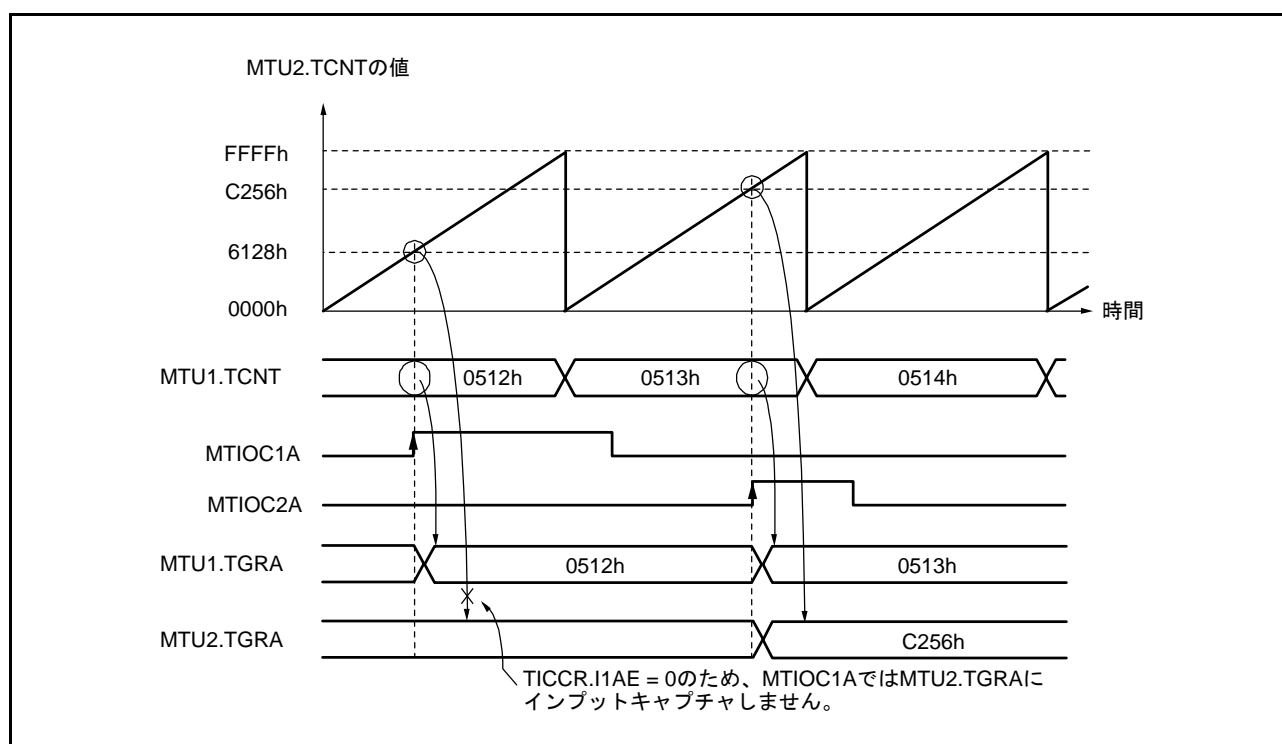


図 22.23 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE,I1AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA の入力キャプチャ条件に追加した場合の動作を図 22.24 に示します。この例では MTU1.TIOR、MTU2.TIOR の IOA[3:0] ビットの設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA および MTU2.TGRA の入力キャプチャ条件となります。

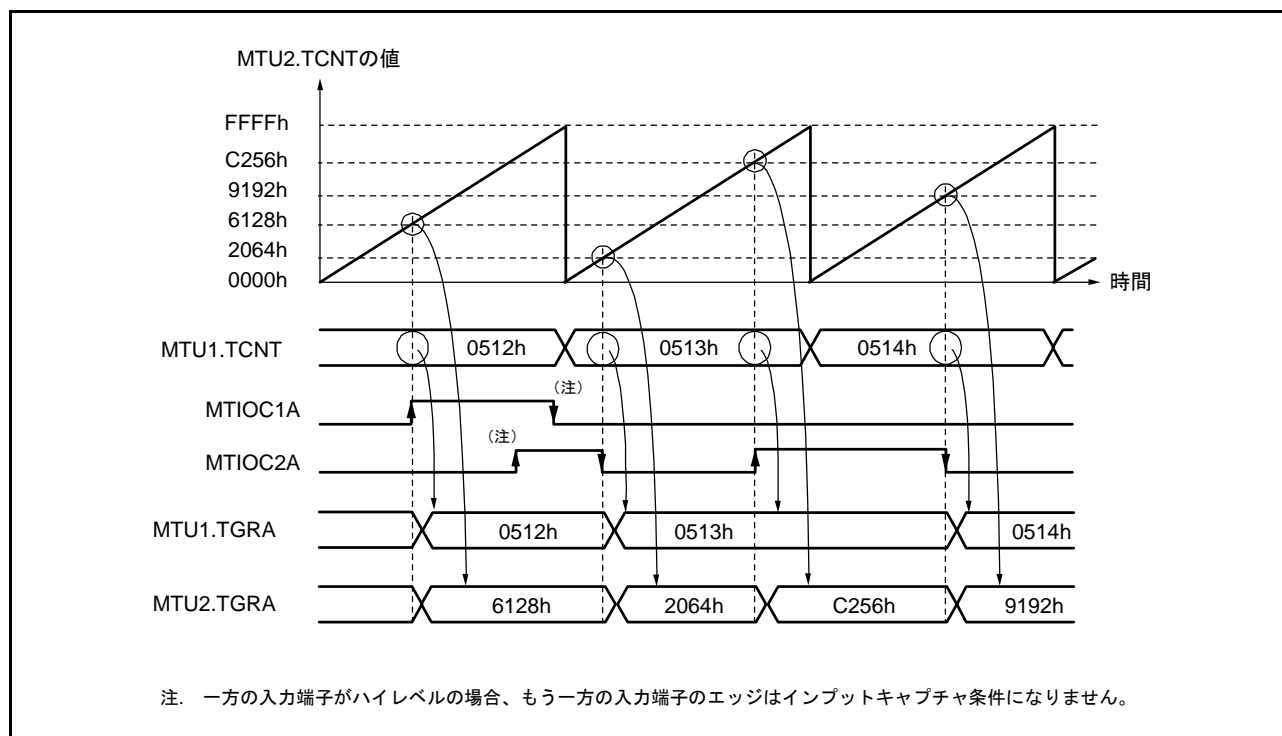


図 22.24 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 22.25 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャのため、TICCR.I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA の入力キャプチャ条件になることはありません。

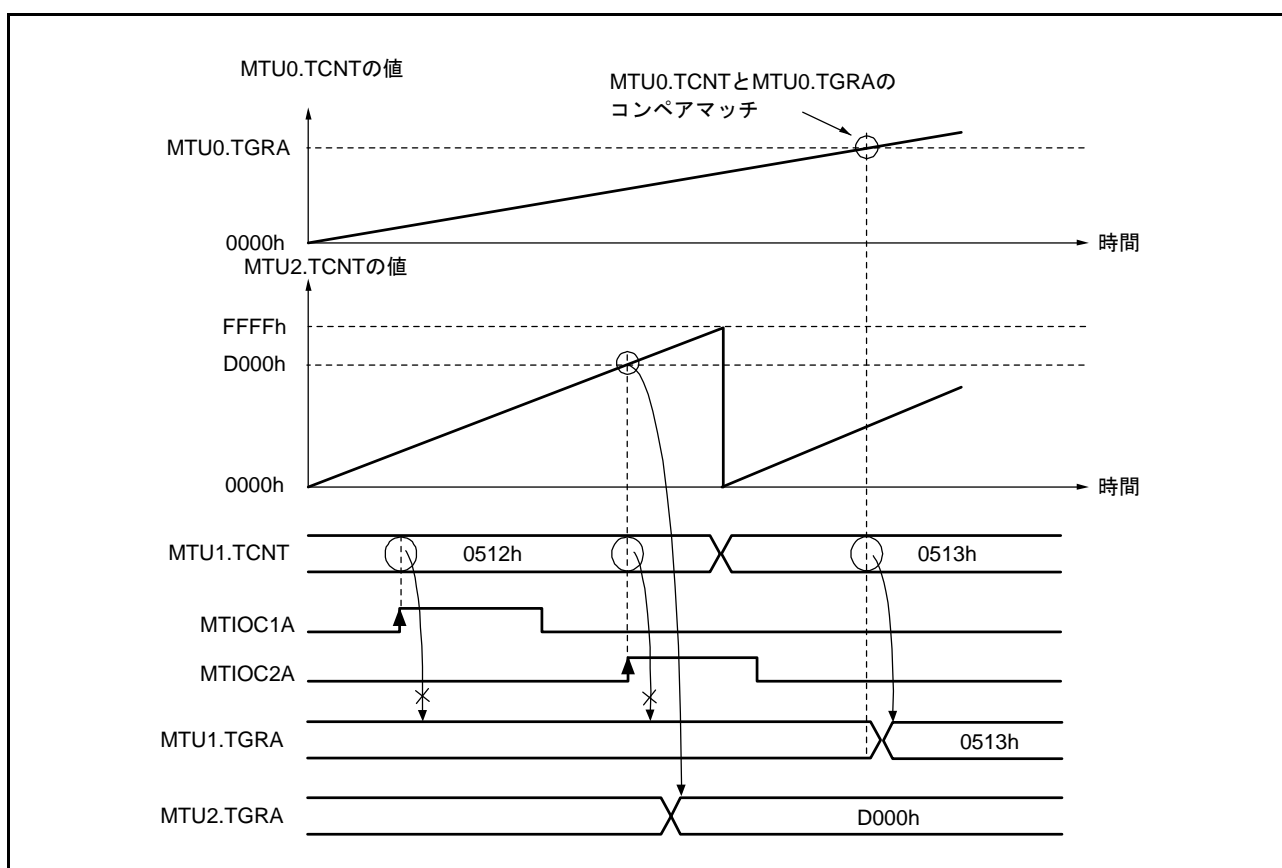


図 22.25 カスケード接続動作例 (d)

22.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ~ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。PWM モードに設定したチャンネルの同期動作、及び PWM モードに設定したチャンネルと他のモードに設定したチャンネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA レジスタと TGRB レジスタ、TGRC レジスタと TGRD レジスタをペアで使用して、MTIOCA、MTIOCC 端子から PWM 波形を出力します。MTIOCnA 端子、MTIOCnC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、TIOR.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、TIOR.IOD[3:0] ビットで指定した出力を行います (n=0 ~ 4, 6, 7)。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 12 相の PWM 波形出力が可能です。

注 . 64/48 ピン版では、MTIOC3A と MTIOC6A、MTIOC3C と MTIOC6C、MTIOC4A と MTIOC7A、MTIOC4C と MTIOC7C はそれぞれ同一の端子に多重されており、MPC によりどちらか一方を選択して使用することが可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 22.60 に示します。

表 22.60 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	TGRA	MTIOC0A	MTIOC0A
	TGRB		MTIOC0B
	TGRC	MTIOC0C	MTIOC0C
	TGRD		MTIOC0D
MTU1	TGRA	MTIOC1A	MTIOC1A
	TGRB		MTIOC1B
MTU2	TGRA	MTIOC2A	MTIOC2A
	TGRB		MTIOC2B
MTU3	TGRA	MTIOC3A	設定できません
	TGRB		
	TGRC	MTIOC3C	
	TGRD		
MTU4	TGRA	MTIOC4A	
	TGRB		
	TGRC	MTIOC4C	
	TGRD		
MTU6	TGRA	MTIOC6A	
	TGRB		
	TGRC	MTIOC6C	
	TGRD		
MTU7	TGRA	MTIOC7A	
	TGRB		
	TGRC	MTIOC7C	
	TGRD		

注. PWMモード2のとき、周期を設定したTGRのPWM波形は出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 22.26 に示します。

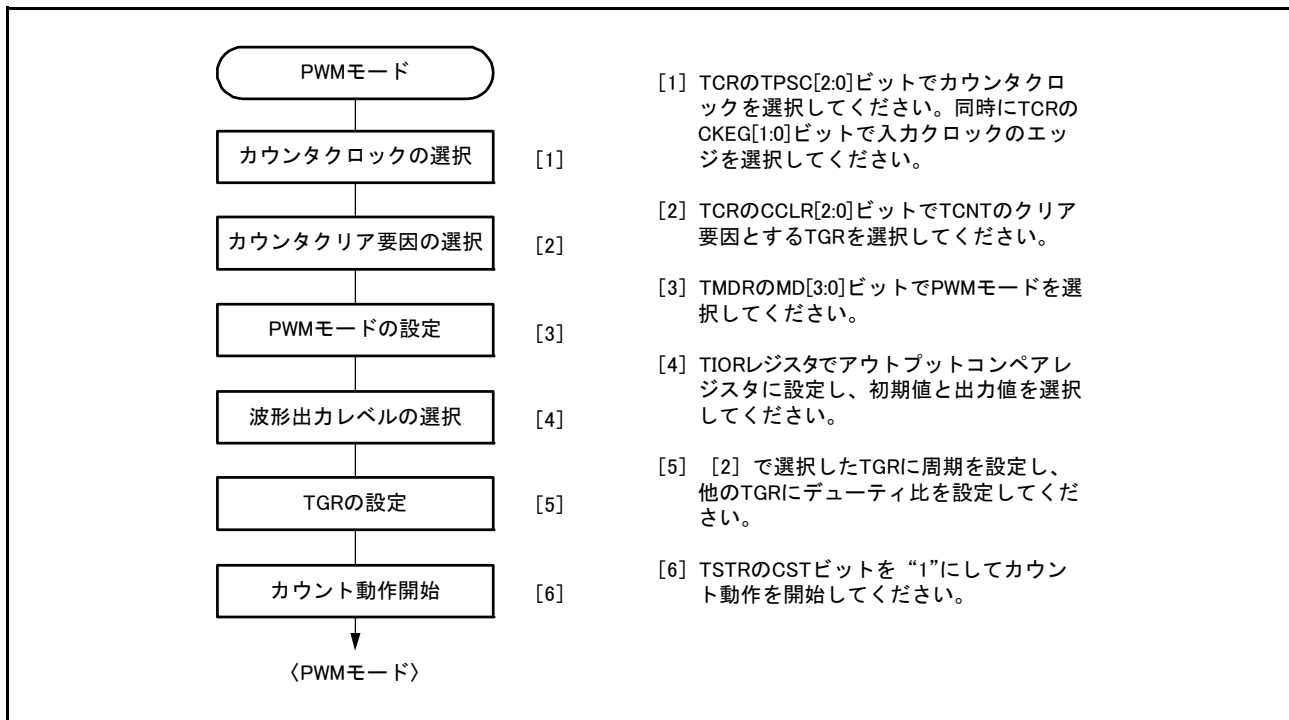


図 22.26 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 22.27 に示します。

この図は、TCNTのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値を“0”、TGRBレジスタの出力値を“1”にした場合の例です。

この場合、TGRAレジスタに設定した値が周期となり、TGRBレジスタに設定した値がデューティ比になります。

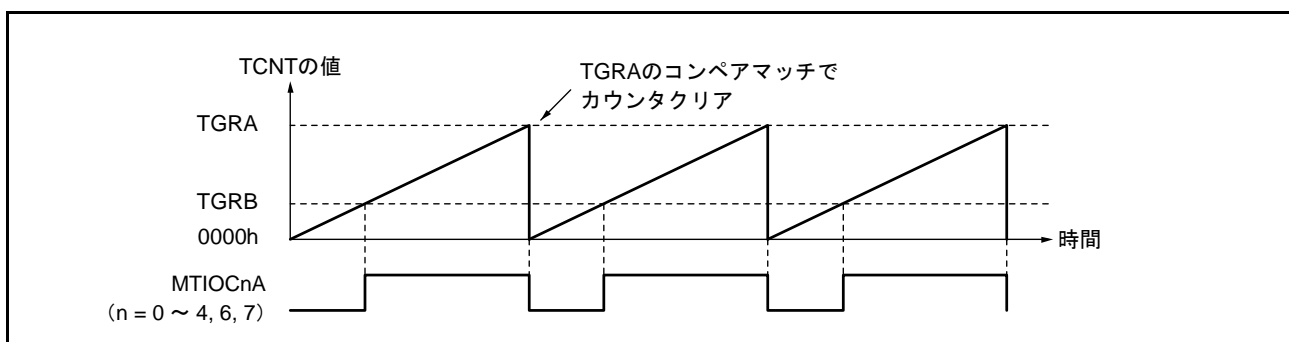


図 22.27 PWM モード1の動作例

PWM モード2の動作例を図 22.28 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) の初期出力値を“Low”、出力値を“High”にして5相のPWM波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) に設定した値がデューティ比になります。

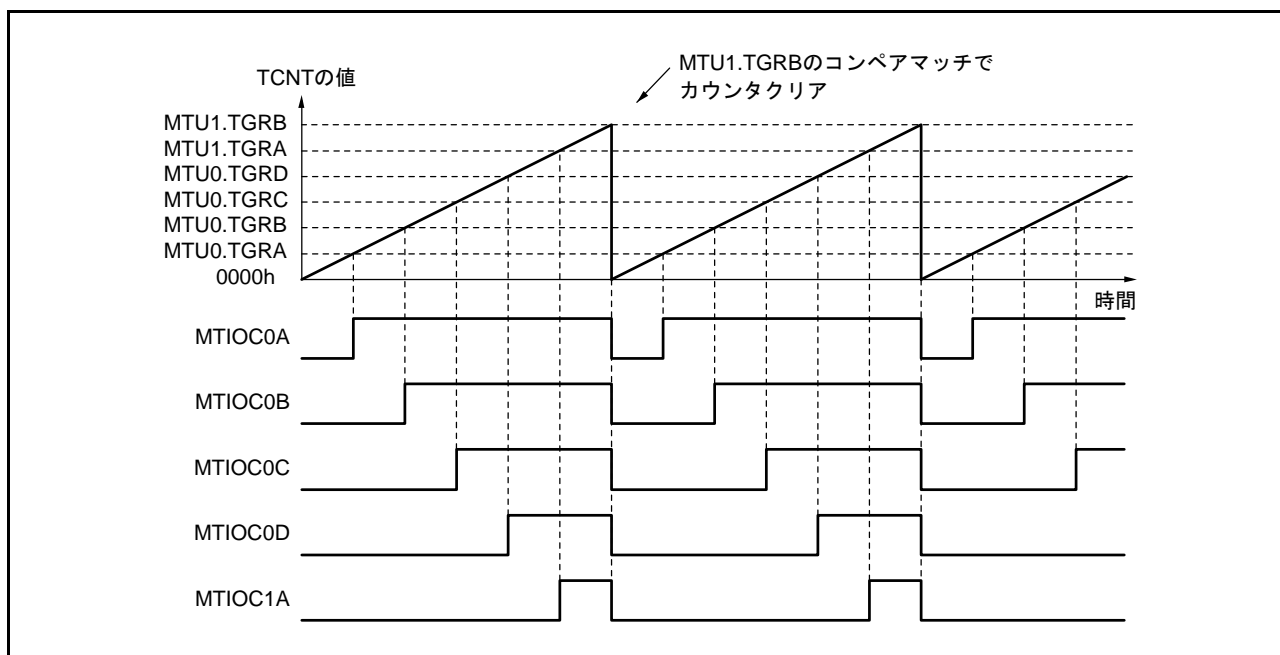


図 22.28 PWM モード2の動作例

PWM モードで、デューティ比 0%、デューティ比 100% の PWM 波形を出力する例を図 22.29 に示します。

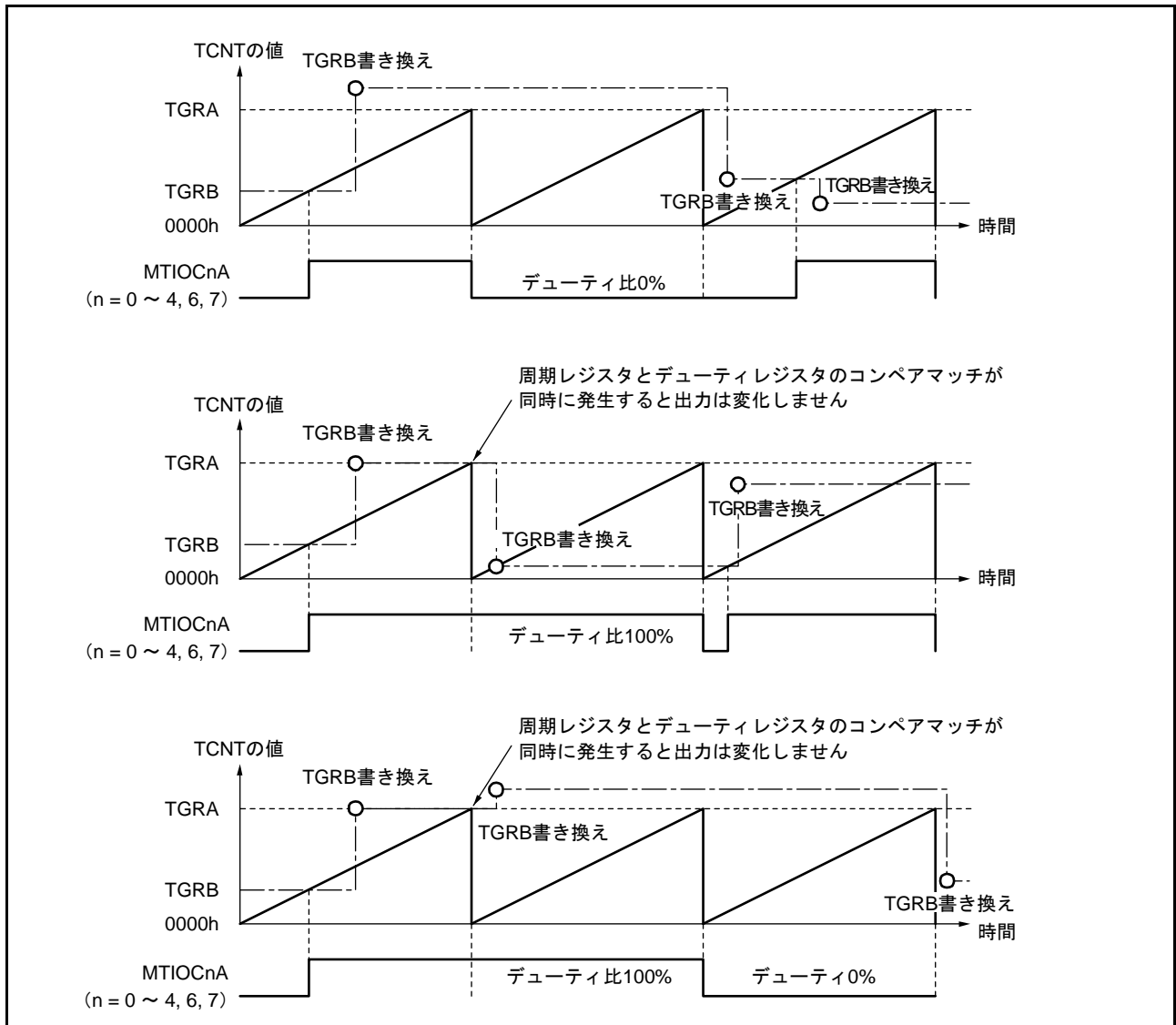


図 22.29 PWM モード動作例 (デューティ 0%、デューティ 100% の PWM 波形を出力する例)

22.3.6 位相計数モード

位相計数モードでは、MTU1、MTU2 の設定によって、2 本の外部クロック入力の位相差を検出し、TCNT をアップカウント/ダウンカウントします。

位相計数モードに設定すると、TCR.TPSC[2:0] ビット、TCR.CKEG[1:0] ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップカウンタ/ダウンカウンタとして動作します。ただし、TCR.CCLR[1:0] ビット、TIOR レジスタ、TIER レジスタ、TGR レジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると、TSR レジスタの TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TSR レジスタの TCFU フラグがセットされません。

TSR レジスタの TCFD フラグはカウント方向フラグです。TCFD フラグを読むことにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 22.61 に外部クロック端子とチャンネルの対応を示します。

表 22.61 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
MTU1 を位相計数モードとするとき	MTCLKA	MTCLKB
MTU2 を位相計数モードとするとき	MTCLKC	MTCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 22.30 に示します。

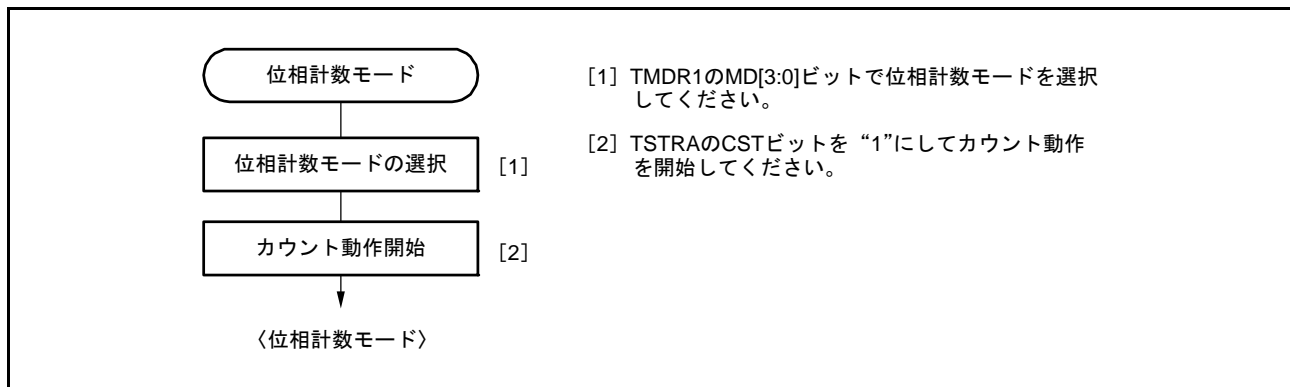


図 22.30 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップカウント/ダウンカウントします。なお、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図22.31に、TCNTのアップカウント/ダウンカウント条件を表22.62に示します。

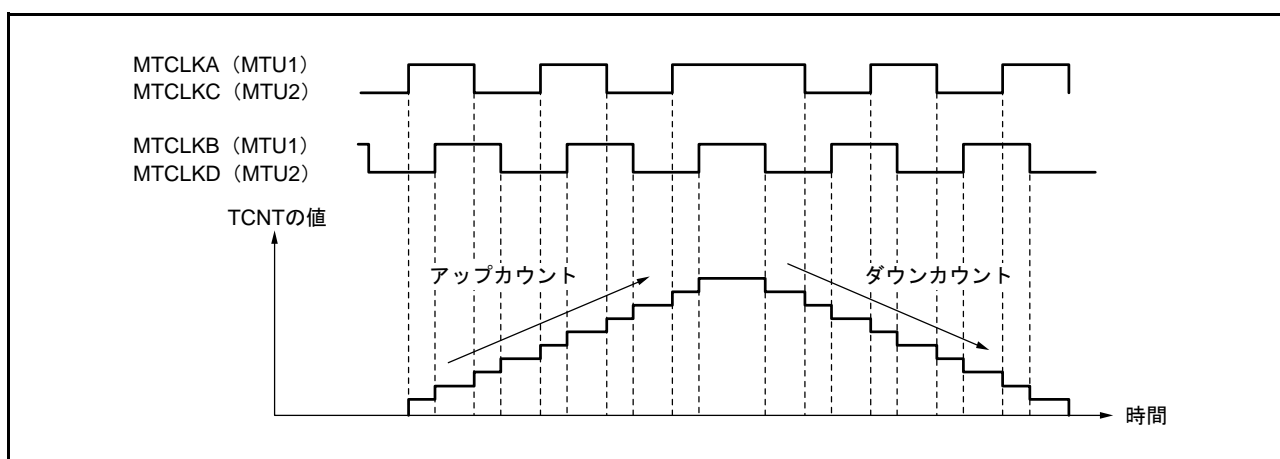


図 22.31 位相計数モード1の動作例

表 22.62 位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図22.32に、TCNTのアップカウント/ダウンカウント条件を表22.63に示します。

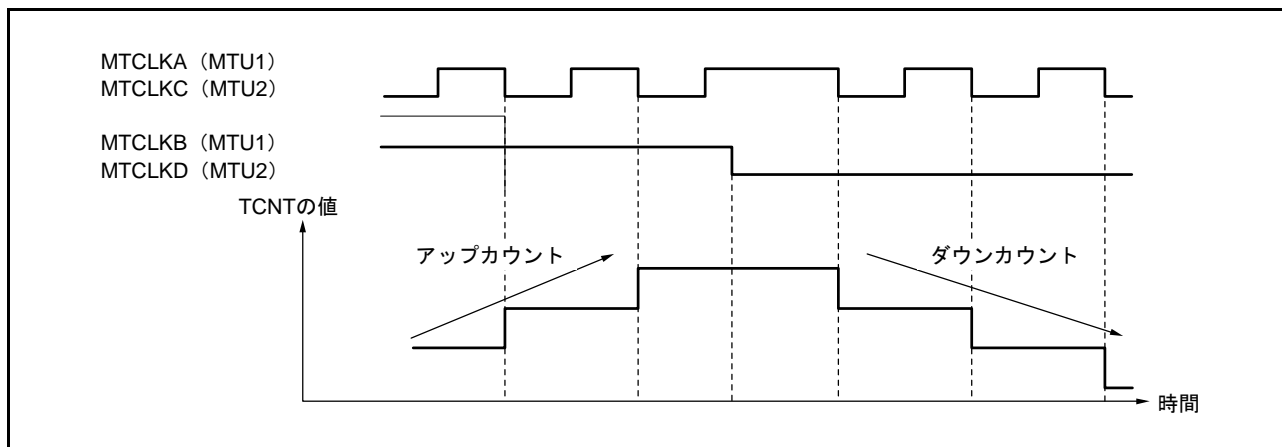


図 22.32 位相計数モード2の動作例

表22.63 位相計数モード2のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	カウントしない (Don't care)
Low	↓	
↑	Low	アップカウント
↓	High	
High	↑	カウントしない (Don't care)
Low	↓	
↑	High	ダウンカウント
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図22.33に、TCNTのアップカウント/ダウンカウント条件を表22.64に示します。

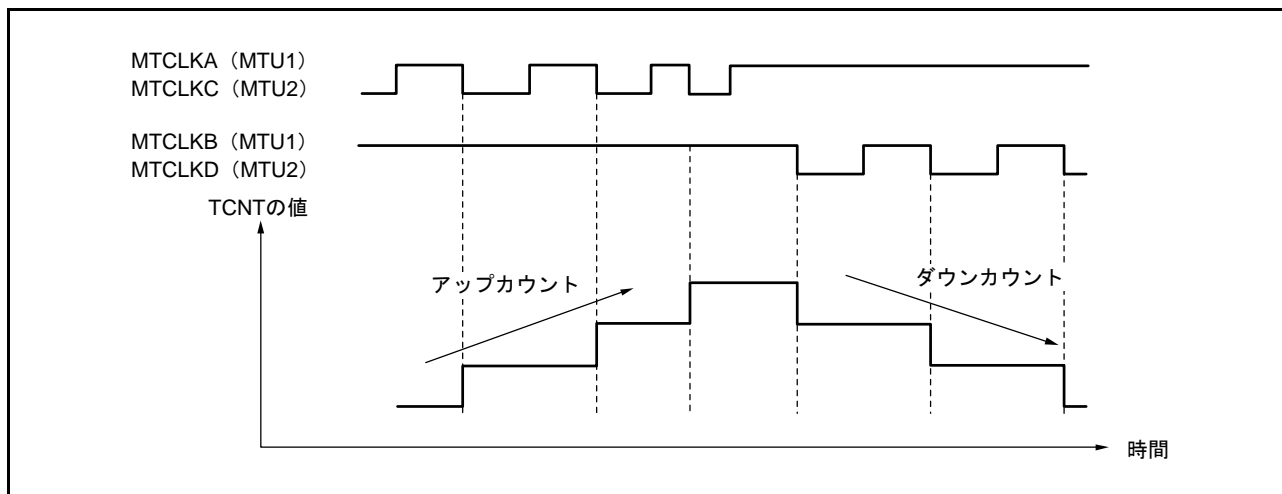


図 22.33 位相計数モード3の動作例

表22.64 位相計数モード3のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	カウントしない (Don't care)
Low	↓	
↑	Low	アップカウント
↓	High	
High	↓	ダウンカウント
Low	↑	カウントしない (Don't care)
↑	High	
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図22.34に、TCNTのアップカウント/ダウンカウント条件を表22.65に示します。

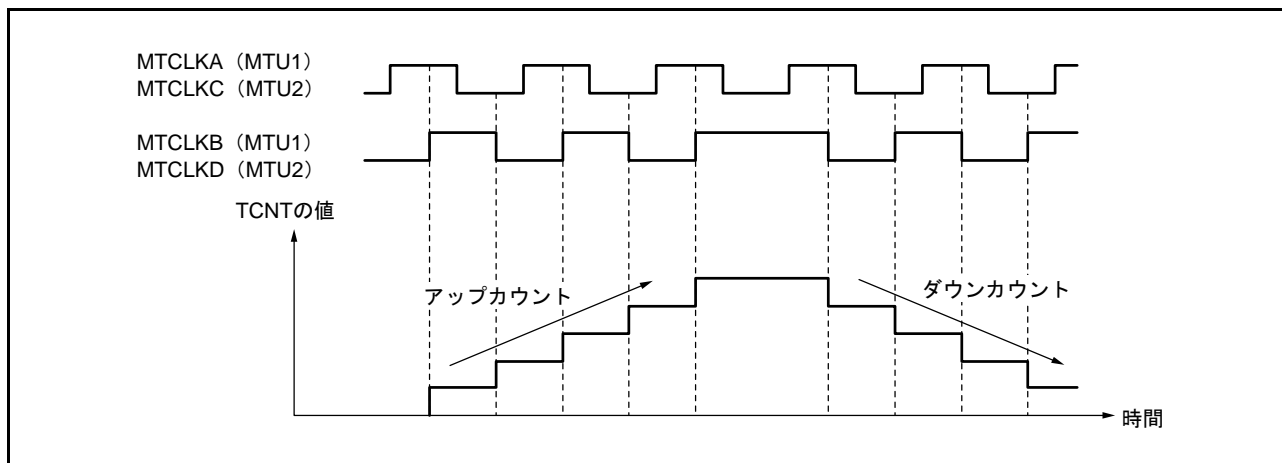


図 22.34 位相計モード4の動作例

表22.65 位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない (Don't care)
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない (Don't care)
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(3) 位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図 22.35 に示します。

MTU1 は位相計数モード1に設定し、MTCLKA と MTCLKB にエンコーダパルスのA相、B相を入力します。

MTU0 は TCNT を MTU0.TGRC のコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA と MTU0.TGRC はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRB は入力キャプチャ機能で使用し、MTU0.TGRB と MTU0.TGRD をバッファ動作させます。MTU0.TGRB の入力キャプチャ要因は、MTU1 のカウンタ入力クロックとし、2相エンコーダの4進倍パルスのパルス幅を検出します。

MTU1 の MTU1.TGRA と MTU1.TGRB は、入力キャプチャ機能に設定し、入力キャプチャ要因は MTU0 の MTU0.TGRA と MTU0.TGRC のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

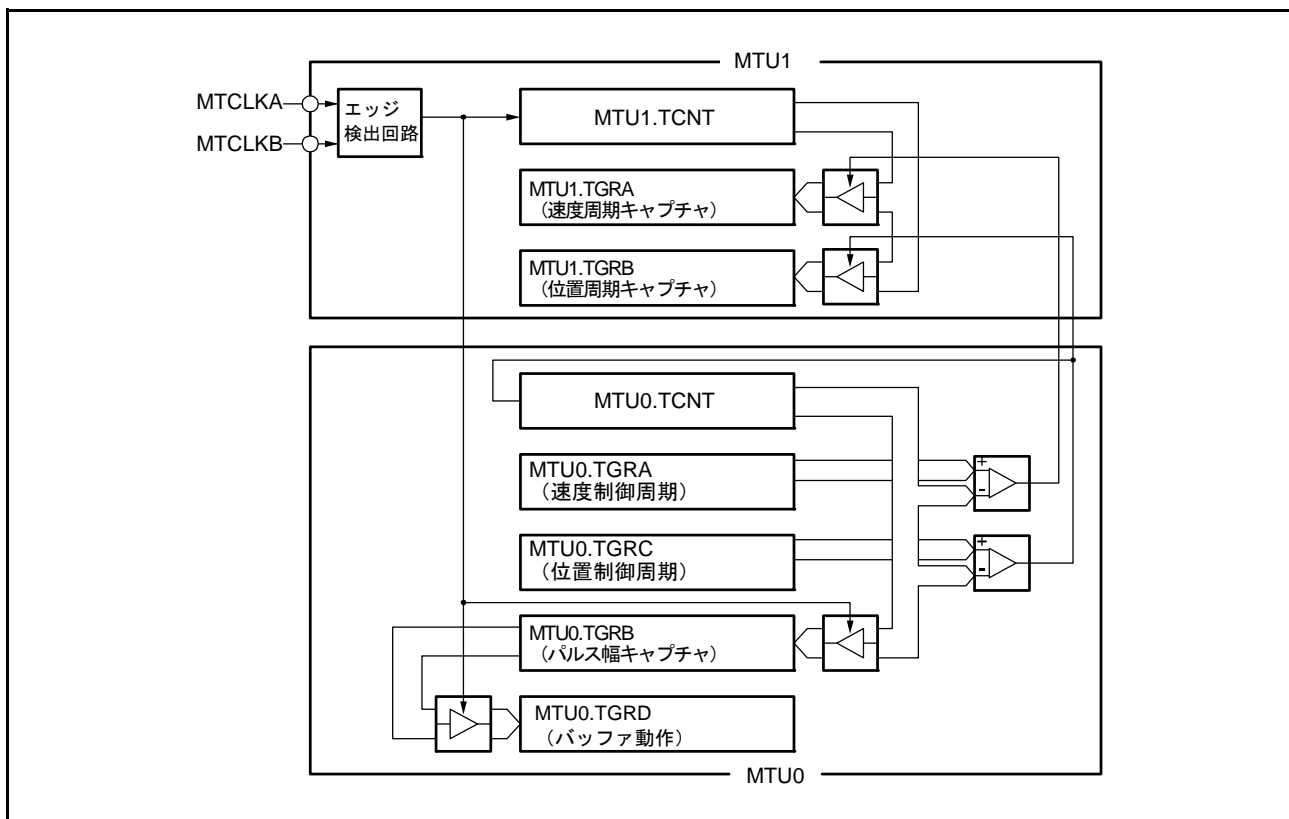


図 22.35 位相計数モードの応用例

22.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 および MTU6、MTU7 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を各 3 相、合計 6 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D 端子は PWM 出力端子となり、タイマカウンタ 3、6 (MTU3.TCNT、MTU6.TCNT) はアップカウンタとして機能します。

使用される PWM 出力端子を表 22.66 に、使用するレジスタの設定を表 22.67 に示します。

表22.66 リセット同期PWMモード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1' (PWM出力1の逆相波形)
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2' (PWM出力2の逆相波形)
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3' (PWM出力3の逆相波形)
MTU6	MTIOC6B	PWM出力端子4
	MTIOC6D	PWM出力端子4' (PWM出力4の逆相波形)
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5' (PWM出力5の逆相波形)
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6' (PWM出力6の逆相波形)

表22.67 リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	0000hを初期設定
MTU4.TCNT	0000hを初期設定
MTU3.TGRA	MTU3.TCNTのカウンタ周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定
MTU6.TCNT	0000hを初期設定
MTU7.TCNT	0000hを初期設定
MTU6.TGRA	MTU6.TCNTのカウンタ周期を設定
MTU6.TGRB	MTIOC6B、MTIOC6D端子より出力されるPWM波形の変化点を設定
MTU7.TGRA	MTIOC7A、MTIOC7C端子より出力されるPWM波形の変化点を設定
MTU7.TGRB	MTIOC7B、MTIOC7D端子より出力されるPWM波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 22.36 に示します。

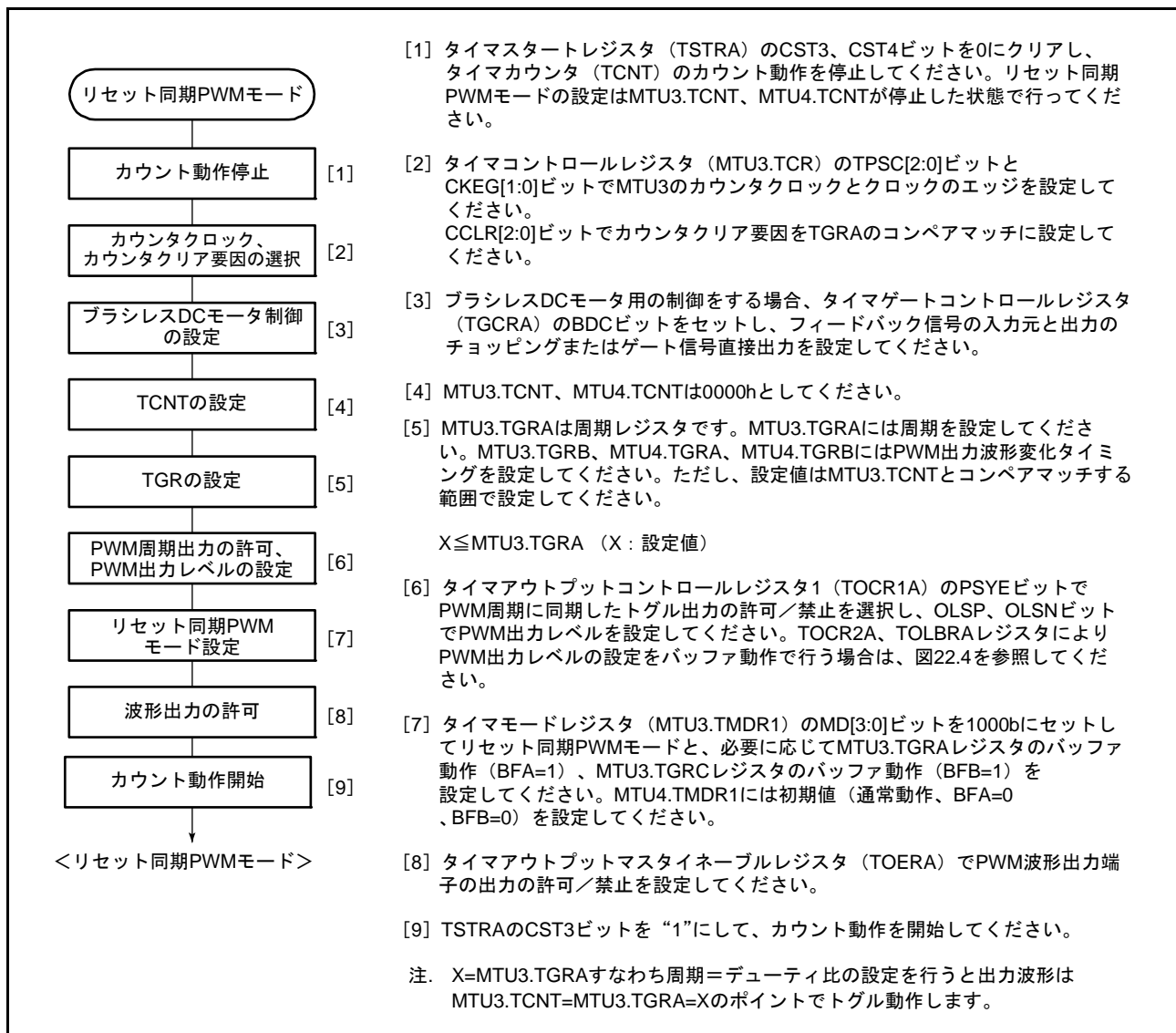


図 22.36 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 22.37 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT (MTU6.TCNT と MTU7.TCNT) はアップカウンタとして動作します。MTU3.TCNT (MTU6.TCNT) が MTU3.TGRA (MTU6.TGRA) とコンペアマッチするとカウンタはクリアされ 0000h からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB (MTU6.TGRB)、MTU4.TGRA (MTU7.TGRA)、MTU4.TGRB (MTU7.TGRB) のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

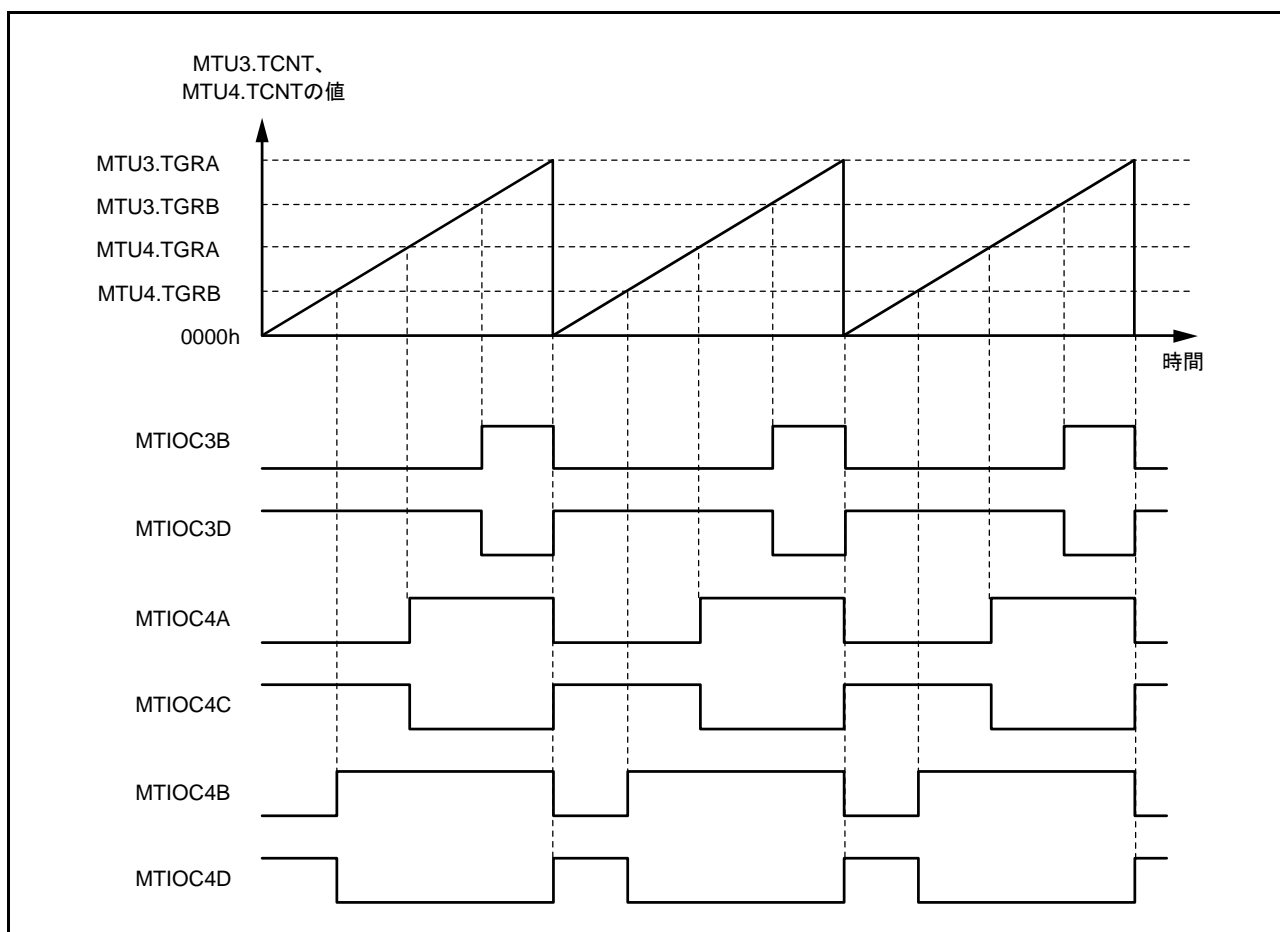


図 22.37 リセット同期 PWM モードの動作例 (MTU3、MTU4、TOCR1A の OLSN = 1、OLSP = 1 にした場合)

22.3.8 相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3 と MTU4 を用いて、3 相 (6 本) の PWM 波形を出力できます。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D 端子は PWM 出力端子となり、MTIOC3A、MTIOC6A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT、MTU4.TCNT、MTU6.TCNT、MTU7.TCNT はアップカウンタ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 22.68 に、使用するレジスタの設定を表 22.69 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 22.68 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM 周期に同期したトグル出力 (または入出力ポート)
	MTIOC3B	PWM 出力端子 1
	MTIOC3C	入出力ポート (注1)
	MTIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形出力)
MTU4	MTIOC4A	PWM 出力端子 2
	MTIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形出力)
	MTIOC4B	PWM 出力端子 3
	MTIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形出力)
MTU6	MTIOC6A	PWM 周期に同期したトグル出力 (または入出力ポート)
	MTIOC6B	PWM 出力端子 4
	MTIOC6C	入出力ポート (注1)
	MTIOC6D	PWM 出力端子 4' (PWM 出力 4 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
MTU7	MTIOC7A	PWM 出力端子 5
	MTIOC7C	PWM 出力端子 5' (PWM 出力 5 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	MTIOC7B	PWM 出力端子 6
	MTIOC7D	PWM 出力端子 6' (PWM 出力 6 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)

注1. MTIOC3C、MTIOC6C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表22.69 相補PWMモード時のレジスタ設定 (1/2)

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
MTU3	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRA	MTU3.TCNTの上限値を設定 (キャリア周期の1/2 + デッドタイム)	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRB	PWM出力1のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRC	MTU3.TGRAのバッファレジスタ	常に読み出し/書き込み可能
	TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	常に読み出し/書き込み可能
	TGRE	MTU3.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	常に読み出し/書き込み可能
MTU4	TCNT	0000hを初期設定しカウントアップスタート	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRA	PWM出力2のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRB	PWM出力3のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	常に読み出し/書き込み可能
	TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	常に読み出し/書き込み可能
	TGRE	MTU4.TGRAのバッファレジスタB (ダブルバッファ機能使用時)	常に読み出し/書き込み可能
MTU6	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRA	MTU6.TCNTの上限値を設定 (キャリア周期の1/2 + デッドタイム)	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRB	PWM出力4のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRC	MTU6.TGRAのバッファレジスタ	常に読み出し/書き込み可能
	TGRD	PWM出力4/MTU6.TGRBのバッファレジスタ	常に読み出し/書き込み可能
	TGRE	MTU6.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	常に読み出し/書き込み可能
MTU7	TCNT	0000hを初期設定しカウントアップスタート	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRA	PWM出力5のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRB	PWM出力6のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRC	PWM出力5/MTU7.TGRAのバッファレジスタ	常に読み出し/書き込み可能
	TGRD	PWM出力6/MTU7.TGRBのバッファレジスタ	常に読み出し/書き込み可能
	TGRE	MTU7.TGRAのバッファレジスタB (ダブルバッファ機能使用時)	常に読み出し/書き込み可能
	TGRF	MTU7.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	常に読み出し/書き込み可能

注1. TRWERAレジスタ (タイマリードライトイネーブルレジスタA) の設定によりアクセスの許可/禁止が可能です。

注2. TRWERBレジスタ (タイマリードライトイネーブルレジスタB) の設定によりアクセスの許可/禁止が可能です。

表22.70 相補PWMモード時のレジスタ設定 (2/2)

チャンネル	カウンタ／レジスタ	説明	CPUからの読み出し／書き込み
	タイマデッドタイムデータレジスタA (TDDRA)	MTU4.TCNTとMTU3.TCNTのオフセット値 (デッドタイムの値) を設定	TRWERAの設定によりマスク可能 (注1)
	タイマデッドタイムデータレジスタB (TDDRB)	MTU7.TCNTとMTU6.TCNTのオフセット値 (デッドタイムの値) を設定	TRWERBの設定によりマスク可能 (注2)
	タイマ周期データレジスタA (TCDRA)	MTU4.TCNTの上限値の値を設定 (キャリア周期の1/2)	TRWERAの設定によりマスク可能 (注1)
	タイマ周期データレジスタB (TCDRB)	MTU7.TCNTの上限値の値を設定 (キャリア周期の1/2)	TRWERBの設定によりマスク可能 (注2)
	タイマ周期バッファレジスタA (TCBRA)	TCDRAのバッファレジスタ	常に読み出し／書き込み可能
	タイマ周期バッファレジスタB (TCBRB)	TCDRBのバッファレジスタ	常に読み出し／書き込み可能
	サブカウンタA (TCNTSA)	デッドタイム生成のためのサブカウンタA	読み出しのみ可能
	サブカウンタB (TCNTSB)	デッドタイム生成のためのサブカウンタB	読み出しのみ可能
	テンポラリレジスタ1A (TEMP1A)	PWM出力1／MTU3.TGRBのテンポラリレジスタA	読み出し／書き込み不可
	テンポラリレジスタ1B (TEMP1B)	PWM出力1／MTU3.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し／書き込み不可
	テンポラリレジスタ2A (TEMP2A)	PWM出力2／MTU4.TGRAのテンポラリレジスタA	読み出し／書き込み不可
	テンポラリレジスタ2B (TEMP2B)	PWM出力2／MTU4.TGRAのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し／書き込み不可
	テンポラリレジスタ3A (TEMP3A)	PWM出力3／MTU4.TGRBのテンポラリレジスタA	読み出し／書き込み不可
	テンポラリレジスタ3B (TEMP3B)	PWM出力3／MTU4.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し／書き込み不可
	テンポラリレジスタ4A (TEMP4A)	PWM出力4／MTU6.TGRBのテンポラリレジスタA	読み出し／書き込み不可
	テンポラリレジスタ4B (TEMP4B)	PWM出力4／MTU6.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し／書き込み不可
	テンポラリレジスタ5A (TEMP5A)	PWM出力5／MTU7.TGRAのテンポラリレジスタA	読み出し／書き込み不可
	テンポラリレジスタ5B (TEMP5B)	PWM出力5／MTU7.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し／書き込み不可
	テンポラリレジスタ6A (TEMP6A)	PWM出力6／MTU7.TGRBのテンポラリレジスタA	読み出し／書き込み不可
	テンポラリレジスタ6B (TEMP6B)	PWM出力6／MTU7.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し／書き込み不可

注1. TRWERAレジスタ (タイマリードライトイネーブルレジスタA) の設定によりアクセスの許可／禁止が可能です。

注2. TRWERBレジスタ (タイマリードライトイネーブルレジスタB) の設定によりアクセスの許可／禁止が可能です。

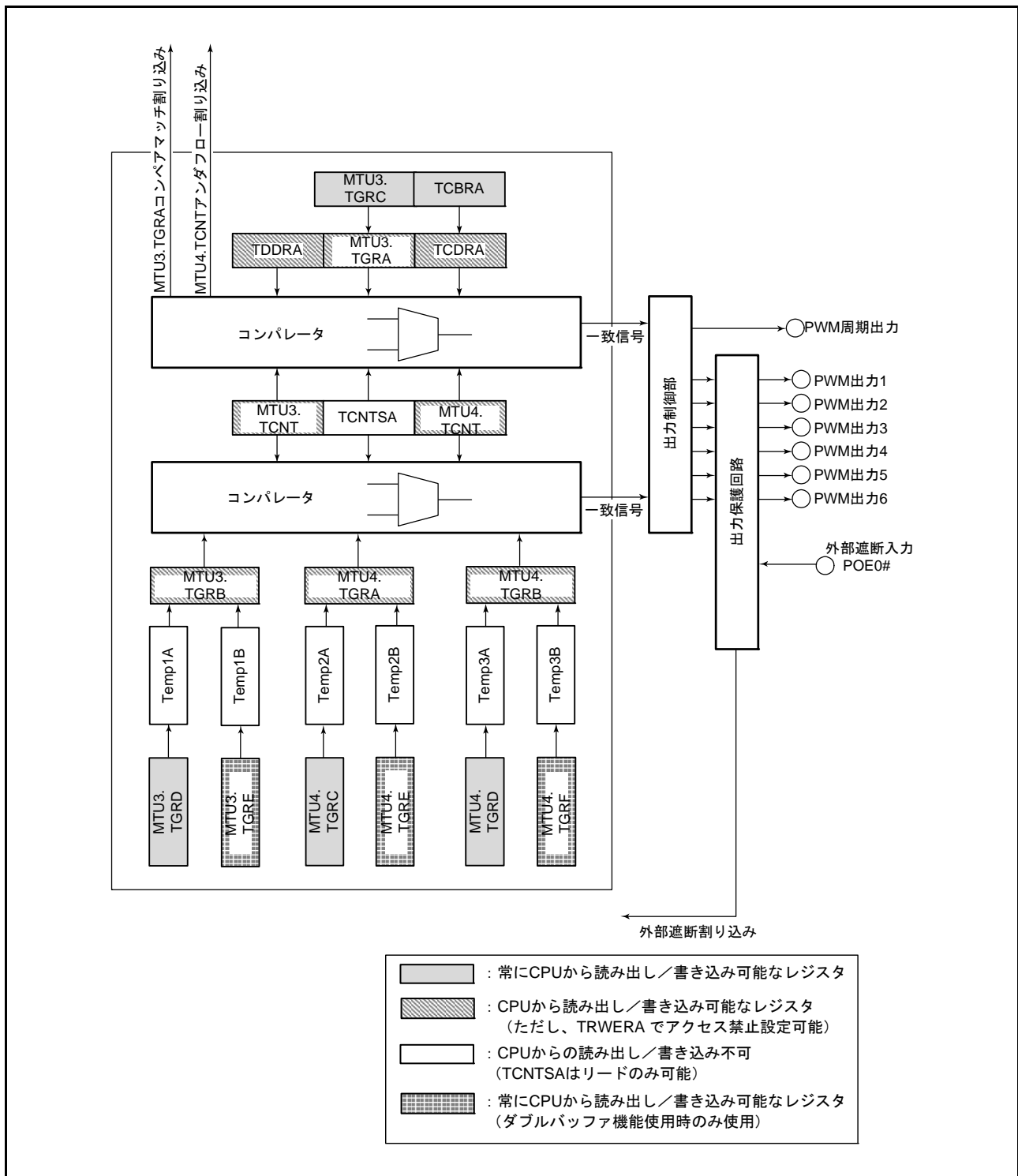


図 22.38 相補 PWM モード時の MTU3、MTU4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 22.39 に示します。



図 22.39 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、3相（6本）の PWM 出力が可能です。図 22.40 に相補 PWM モードのカウンタの動作（MTU3、MTU4）を示します。図 22.41 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）レジスタの 3 本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT（MTU6.TCNT）は、相補 PWM モードに設定され TSTRA（TSTRB）の CST ビットが“0”のとき、TDDRA（TDDR B）に設定された値が自動的に初期値として設定されます。CST ビットが“1”になると、MTU3.TGRA（MTU6.TGRA）に設定された値までアップカウント動作を行い、MTU3.TGRA（MTU6.TGRA）と一致するとダウンカウントに切り換わります。その後、MTU4.TCNT（MTU7.TCNT）が 0000h と一致するとアップカウントに切り換わり、この動作を繰り返します。

また、MTU4.TCNT（MTU7.TCNT）は、初期値として 0000h を設定します。CST ビットが“1”に設定されると、MTU3.TCNT（MTU6.TCNT）に同期して動作しアップカウントを行い、MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）と一致するとダウンカウントに切り換わります。この後、0000h と一致するとアップカウントに切り換わり、この動作を繰り返します。

TCNTSA（TCNTSB）は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）がアップカウント時、MTU3.TCNT（MTU6.TCNT）が TCDRA（TCDR B）と一致するとダウンカウントを開始し、MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）と一致するとアップカウントに切り替わります。

また、MTU4.TCNT（MTU7.TCNT）と TDDRA（TDDR B）が一致すると TCNTSA（TCNTSB）は MTU3.TGRA（MTU6.TGRA）の値が設定され、カウントを停止します。MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）がダウンカウント時、MTU4.TCNT（MTU7.TCNT）が TDDRA（TDDR B）と一致するとアップカウントを開始し、MTU4.TCNT（MTU7.TCNT）が 0000h と一致するとダウンカウントに切り替わります。また、MTU3.TCNT（MTU6.TCNT）と TCDRA（TCDR B）が一致すると TCNTSA（TCNTSB）は 0000h にクリアされ、カウントを停止します。

TCNTSA（TCNTSB）は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

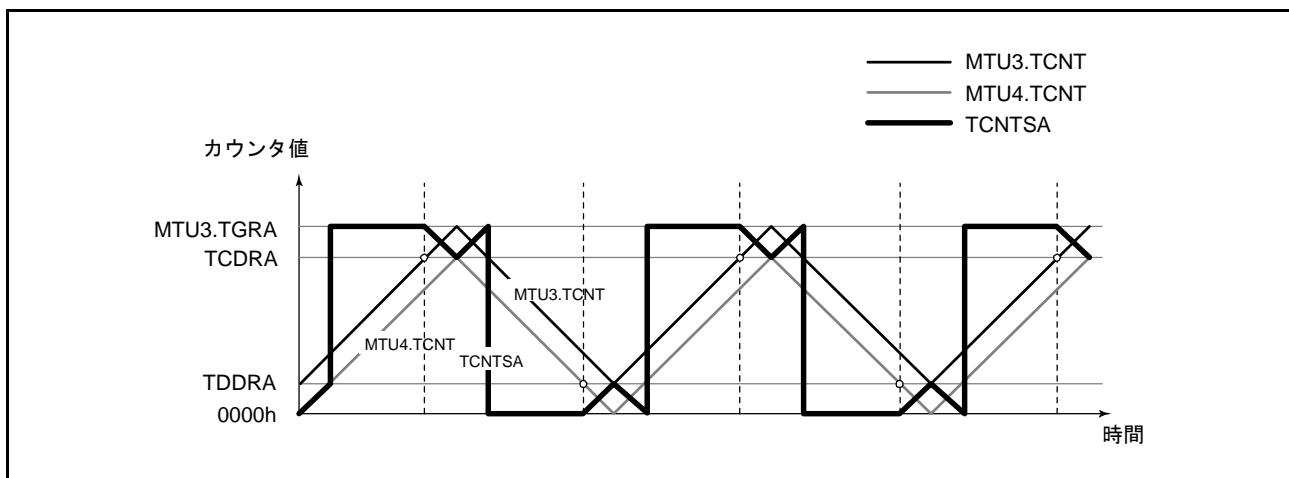


図 22.40 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの9本のレジスタを使用します。図 22.41 に相補 PWM モードの動作例 (MTU3、MTU4) を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB (MTU6.TGRB、MTU7.TGRA、MTU7.TGRB) です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR1A、TOCR1B) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD (MTU6.TGRD、MTU7.TGRC、MTU7.TGRD) です。

また、ダブルバッファ機能使用時は、バッファレジスタ B の MTU3.TGRE、MTU4.TGRE、MTU4.TGRF (MTU6.TGRE、MTU7.TGRE、MTU7.TGRF) も使用されます。動作の詳細は「22.3.8 (2) (s) 相補 PWM モードのダブルバッファ機能」を参照してください。

バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し/書き込みが可能です。

バッファレジスタのデータを書き換えする場合は、最後に必ず MTU4.TGRD (MTU7.TGRD) への書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBRA(TCBRB) レジスタ、MTU3.TGRC (MTU6.TGRC) レジスタからテンポラリレジスタへの転送も許可されます。転送は5本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後にテンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了した時 (TCNTSA (TCNTSB) がアップカウント時に MTU3.TGRA (MTU6.TGRA) と一致した時)、または Tb2 区間が終了した時 (TCNTSA (TCNTSB) がダウンカウント時に "0000h" と一致した時) にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ 1 (TMDR1) の MD[3:0] ビットで選択できます。図 22.41 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 22.41 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1相の出力に対して2本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT、MTU7.TCNT および TCNTSB) の3本のカウンタとコンペアレジスタ、テンポラリレジスタの2本のレジスタが比較され、PWM 出力を制御します。

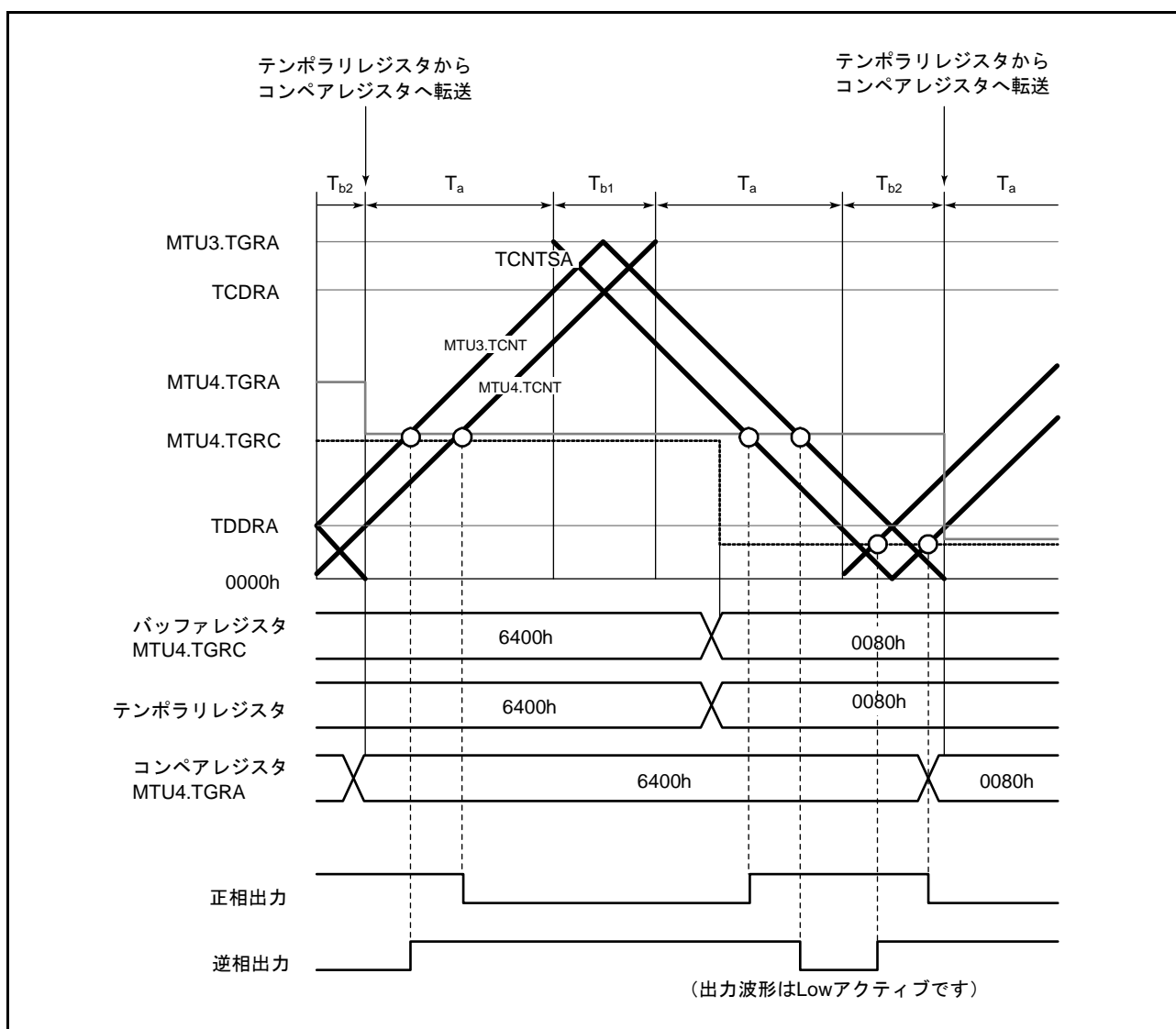


図 22.41 相補 PWM モード動作例 (MTU3、MTU4)

(c) 初期設定

相補 PWM モードでは、初期設定の必要なレジスタが6本あります。また、デッドタイム生成の有無を設定するレジスタが1本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ1 (TMDR1) の MD[3:0] ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBRA、TCBRB) は、タイマ周期データレジスタ (TCDRA、TCDRB) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDRA、TDDRB) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDERA、TDERB) の TDER ビットを“0”にし、MTU3.TGRC、MTU3.TGRA (MTU6.TGRC、MTU6.TGRA) には、PWM キャリア周期の $1/2+1$ を、TDDRA (TDDRB) を“1”にします。

バッファレジスタ A (MTU3.TGRD、MTU4.TGRC、MTU4.TGRD (MTU6.TGRD、MTU7.TGRC、MTU7.TGRD)) の3本には、それぞれ PWM デューティの初期値を設定します。

バッファレジスタ B (MTU3.TGRE、MTU4.TGRE、MTU4.TGRF (MTU6.TGRE、MTU7.TGRE、MTU7.TGRF)) の3本には、ダブルバッファ機能使用時のみ、それぞれ PWM デューティの初期値-1 を設定します。

TDDRA (TDDRB) を除く5本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT (MTU7.TCNT) は、相補 PWM モードに設定する前に 0000h にしてください。

表22.71 初期設定の必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
MTU3.TGRC MTU6.TGRC	PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ TDERA/B でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2+1$)
TDDRA、TDDRB	デッドタイム T_d (TDERA/B でデッドタイム生成をなしに設定した場合“1”)
TCBRA、TCBRB	PWM キャリア周期の $1/2$
MTU3.TGRD、MTU4.TGRC、 MTU4.TGRD MTU6.TGRD、MTU7.TGRC、 MTU7.TGRD	各相の PWM デューティ比の初期値
MTU3.TGRE、MTU4.TGRE、 MTU4.TGRF MTU6.TGRE、MTU7.TGRE、 MTU7.TGRF	各相の PWM デューティ比の初期値-1 (ダブルバッファ機能使用時のみ)
MTU4.TCNT MTU7.TCNT	0000h

注. MTU3.TGRC (MTU6.TGRC) の設定値は、TCBRA (TCBRB) に設定する PWM キャリア周期の $1/2$ の値と TDDRA (TDDRB) に設定するデッドタイム T_d の値の和としてください。ただし、TDERA (TDERB) レジスタでデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2+1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2A、TOCR2B) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定/変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。

デッドタイムは、TDDRA レジスタ、TDDR B レジスタに設定します。TDDRA レジスタに設定した値が、MTU3.TCNT のカウンタスタート値となり、MTU3.TCNT と MTU4.TCNT のデッドタイムを生成します。

TDDR B レジスタに設定した値が、MTU6.TCNT のカウンタスタート値となり、MTU6.TCNT と MTU7.TCNT のデッドタイムを生成します。TDDRA (TDDR B) の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDERA、TDERB) の TDER ビットを“0”にします。TDERA (TDERB) は、TDER ビット=1 の状態で TDER ビットを読んだ後、TDER ビットに“0”を書いたときのみ、“0”にできます。

MTU3.TGRA、MTU3.TGRC (MTU6.TGRA、MTU6.TGRC) には PWM キャリア周期の $1/2+1$ を設定し、タイマデッドタイムデータレジスタ (TDDRA、TDDRБ) を“1”にします。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 22.42 にデッドタイムを生成しない場合の動作例 (MTU3、MTU4) を示します。

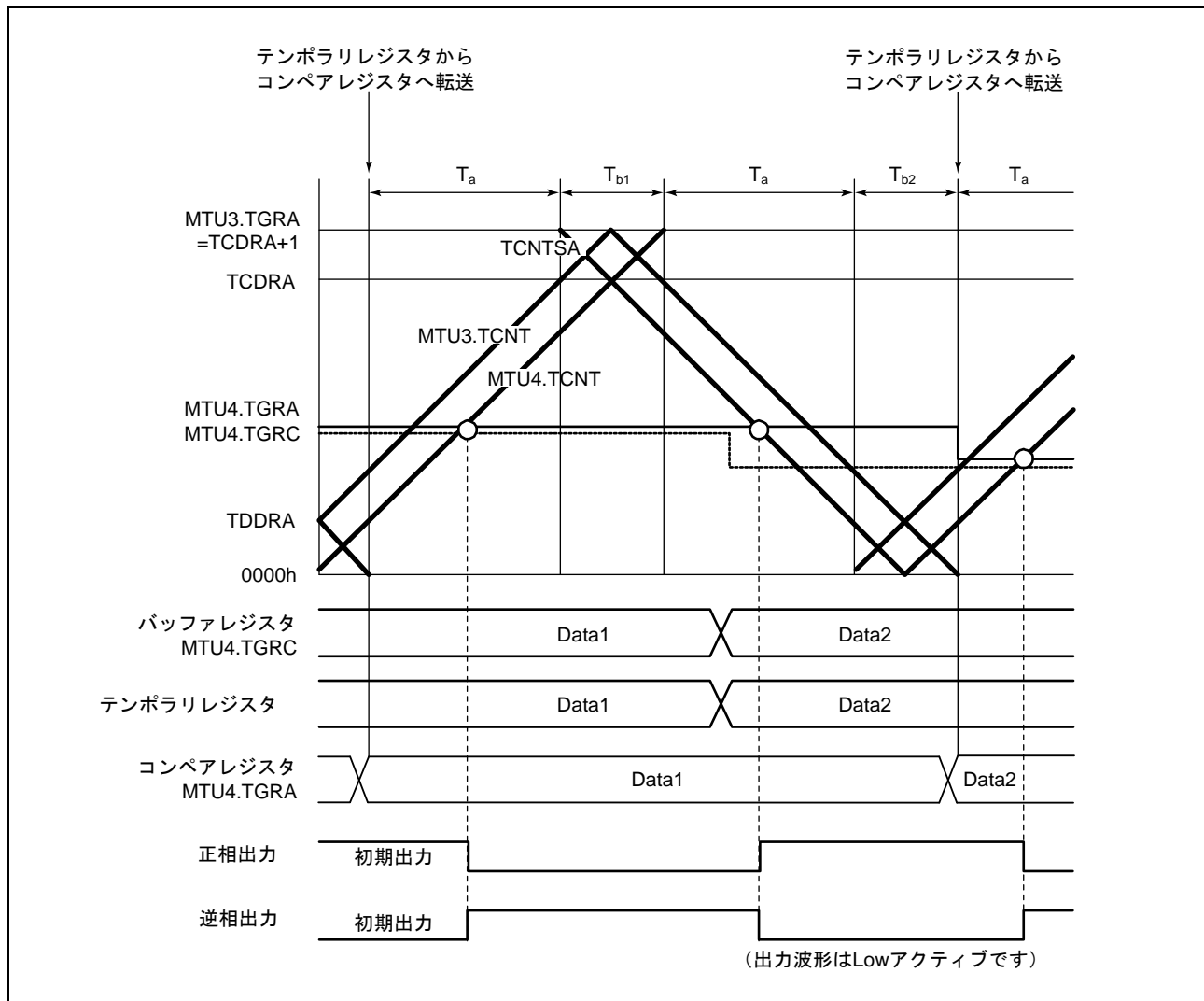


図 22.42 デッドタイムを生成しない場合の動作例 (MTU3、MTU4)

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を MTU3.TCNT (MTU6.TCNT) の上限値を設定する MTU3.TGRA (MTU6.TGRA) と MTU4.TCNT (MTU7.TCNT) の上限値を設定する TCDRA (TCDRB) の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : MTU3.TGRA (MTU6.TGRA) の設定値 = TCDRA (TCDRB) の設定値 + TDDRA (TDDRБ) の設定値

デッドタイム生成なし : MTU3.TGRA (MTU6.TGRA) の設定値 = TCDRA (TCDRB) の設定値 + 1

デッドタイム生成ありの場合は、TCDRA (TCDRB) レジスタと TDDRA (TDDRБ) レジスタの関係が、次の関係になるように設定してください。

$TCDRA (TCDRB) の設定値 > TDDRA (TDDRБ) の設定値 \times 2 + 2$

また、MTU3.TGRA、TCDRA (MTU6.TGRA、TCDRB) の設定は、バッファレジスタの MTU3.TGRC、TCBRA (MTU6.TGRC、TCBRB) に値を設定することで行ってください。MTU4.TGRD (MTU7.TGRD) への書き込みを行い転送を許可すると MTU3.TGRC、TCBRA (MTU6.TGRC、TCBRB) に設定した値は、MTU3.TMDR1.MD[3:0] (MTU6.TMDR1.MD[3:0]) ビットで選択した転送タイミングで MTU3.TGRA、TCDRA (MTU6.TGRA、TCDRB) に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 22.43 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次項の「(h) レジスタデータの更新」を参照してください。

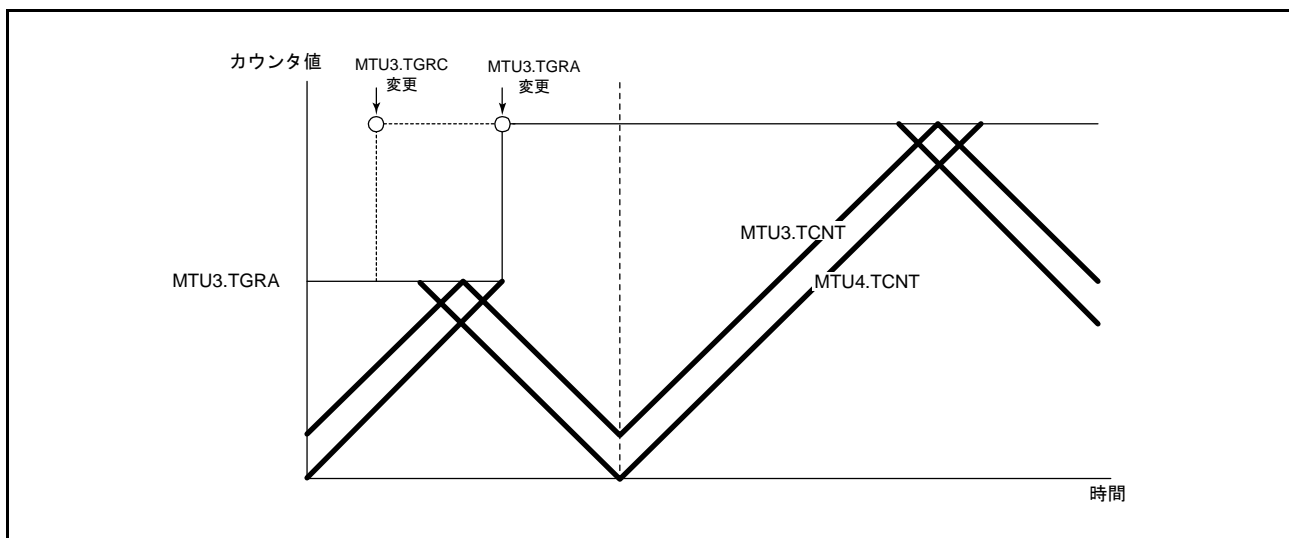


図 22.43 PWM 周期の変更例 (MTU3、MTU4)

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTSA (TCNTSB) がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き替わります。TCNTSA (TCNTSB) がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTSA (TCNTSB) が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ 1 (TMDR1) の MD[3:0] ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 22.44 に相補 PWM モード時のデータ更新例 (MTU3、MTU4) を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き替える場合は、最後に MTU4.TGRD (MTU7.TGRD) への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD (MTU7.TGRD) に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD (MTU7.TGRD) のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD (MTU7.TGRD) に書き込み動作を行ってください。またこのとき、MTU4.TGRD (MTU7.TGRD) に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

ダブルバッファ機能使用時のデータ更新については、「22.3.8 (2) (s) 相補 PWM モードのダブルバッファ機能」を参照してください。

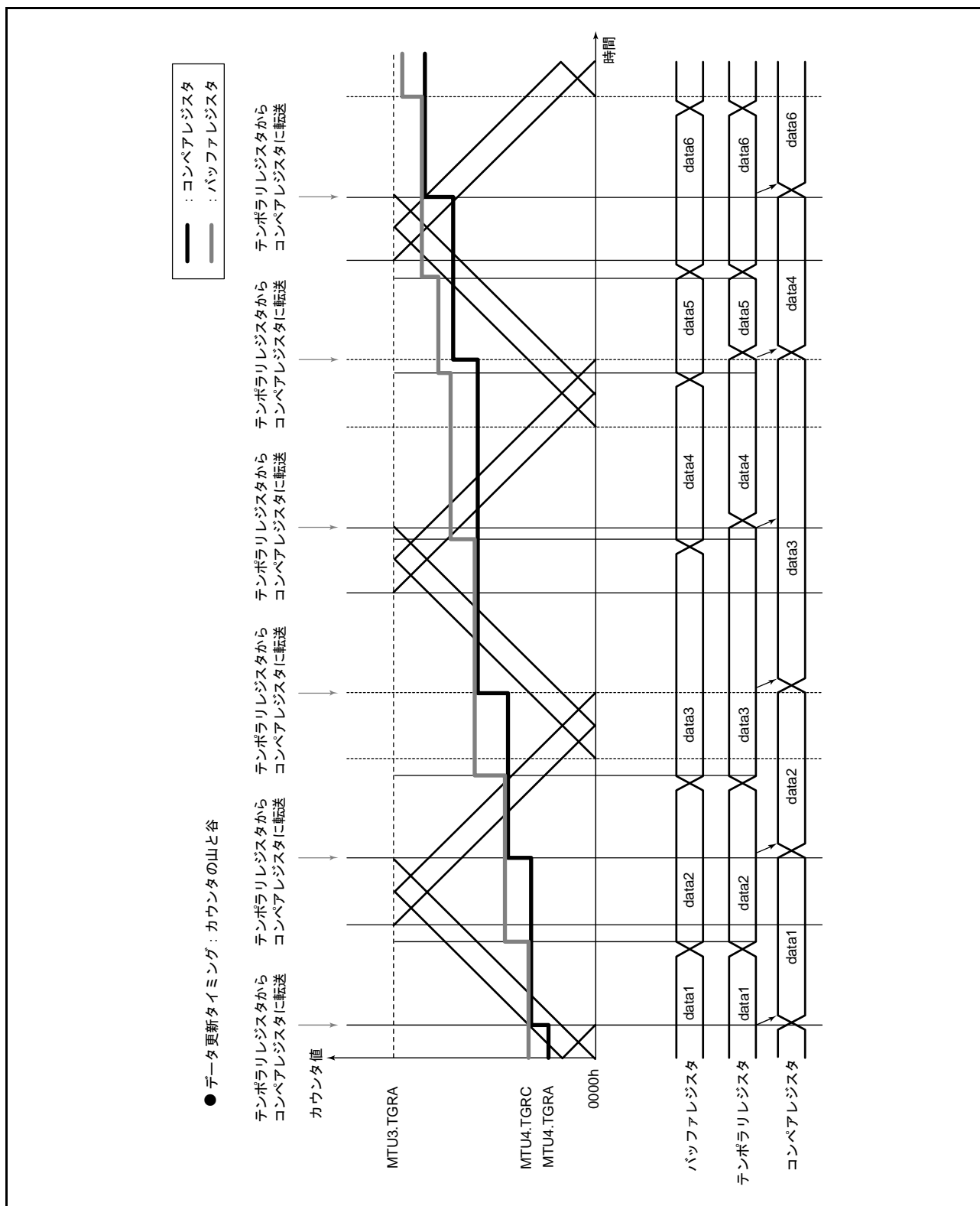


図 22.44 相補 PWM モードのデータ更新例 (MTU3、MTU4)

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2A、TOCR2B) の OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスの非アクティブレベルで、タイマモードレジスタ 1 (TMDR1) で相補 PWM モードを設定してから MTU4.TCNT (MTU7.TCNT) がデッドタイムレジスタ (TDDRA、TDDRБ) に設定された値より大きくなるまで出力されます。図 22.45 に相補 PWM モードの初期出力例を示します。

また、PWM デューティ比の初期値が TDDRA (TDDRБ) の値より小さい場合の波形例を図 22.46 に示します。

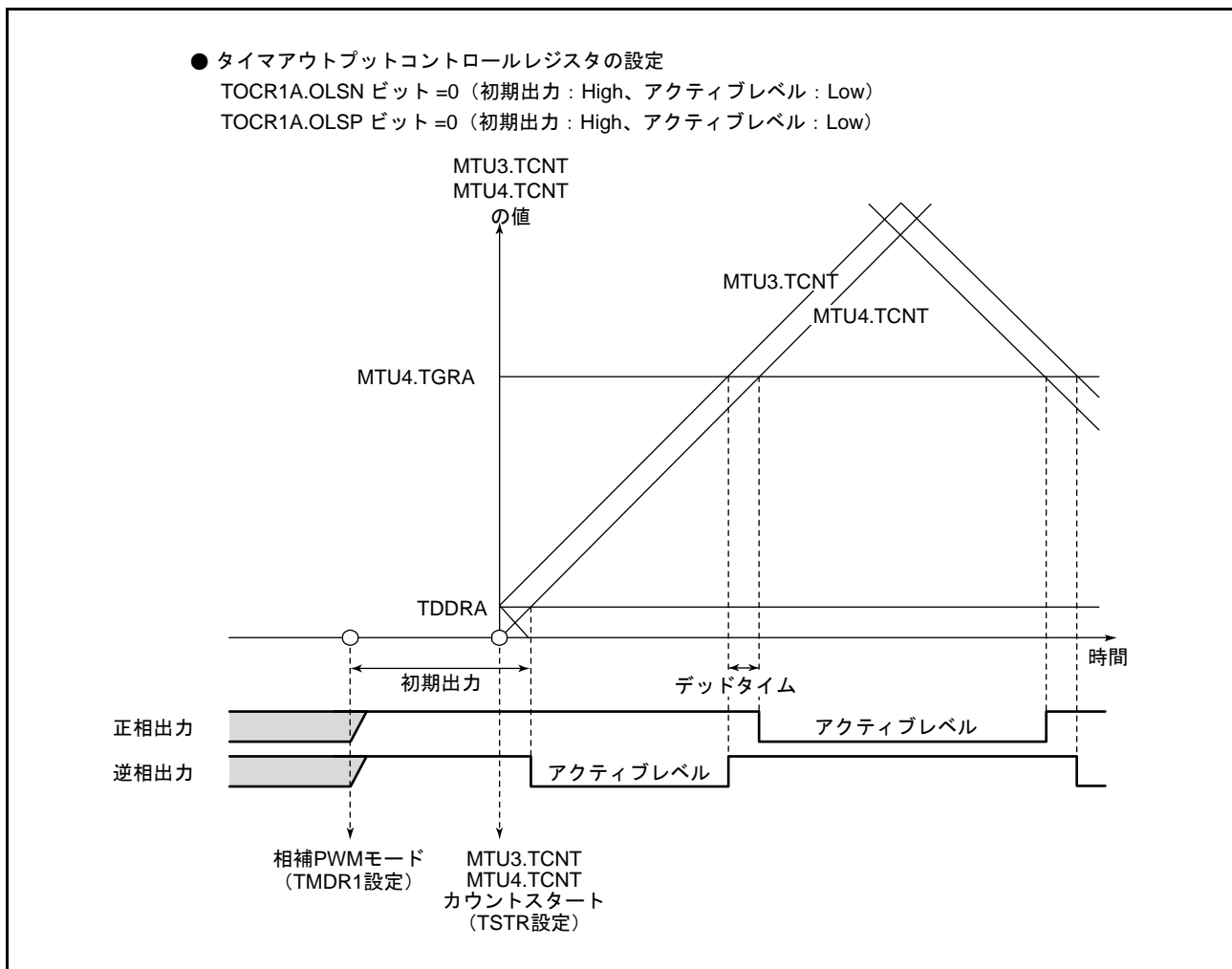


図 22.45 相補 PWM モードの初期出力例 (MTU3、MTU4) (1)

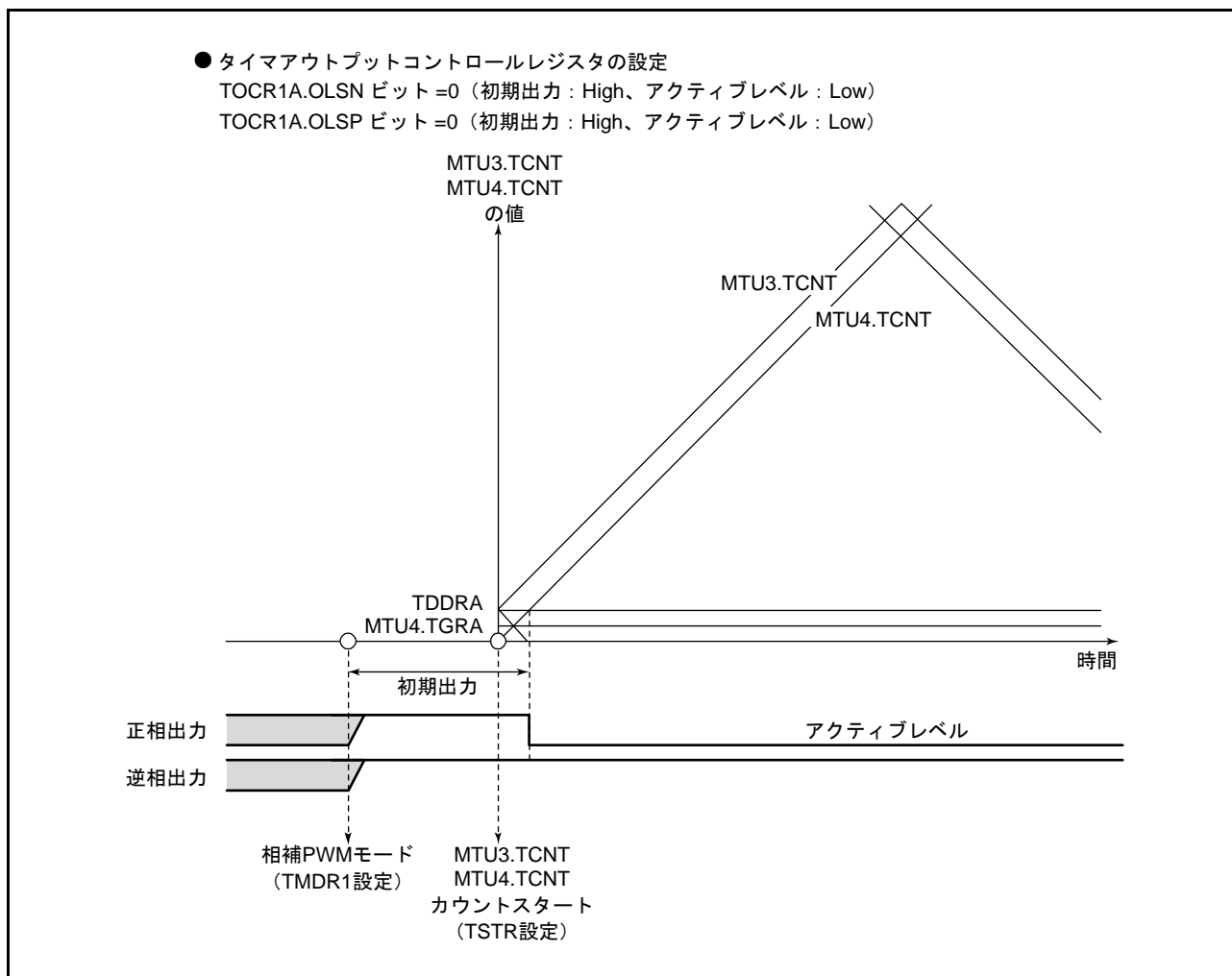


図 22.46 相補 PWM モードの初期出力例 (MTU3、MTU4) (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、相補 PWM モードでは、3 相（6 本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTSA (TCNTSB) がカウント動作する期間では、0% ~ 100% まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相/逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 22.47 ~ 図 22.49 に相補 PWM モードの波形生成例を示します。

正相/逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 22.47 に示すように通常の場合のコンペアマッチは、a → b → c → d（または c → d → a' → b'）の順番で発生します。

コンペアマッチが a → b → c → d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c → d → a' → b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 22.48 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 22.49 に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

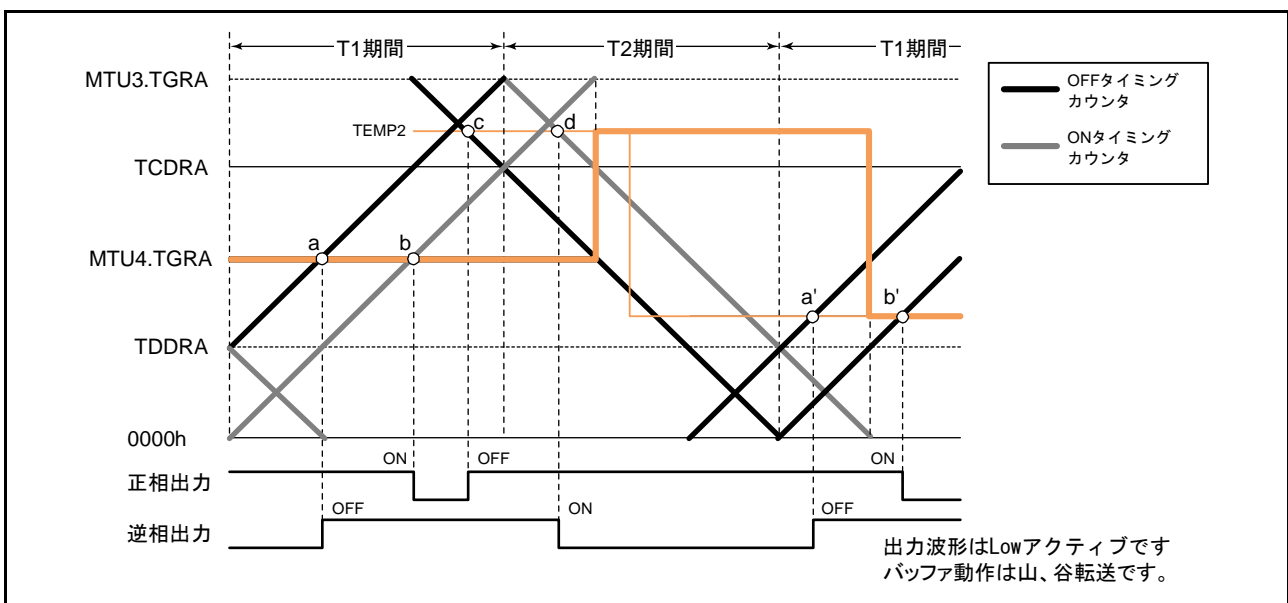


図 22.47 相補 PWM モード波形出力例 (MTU3、MTU4) (1)

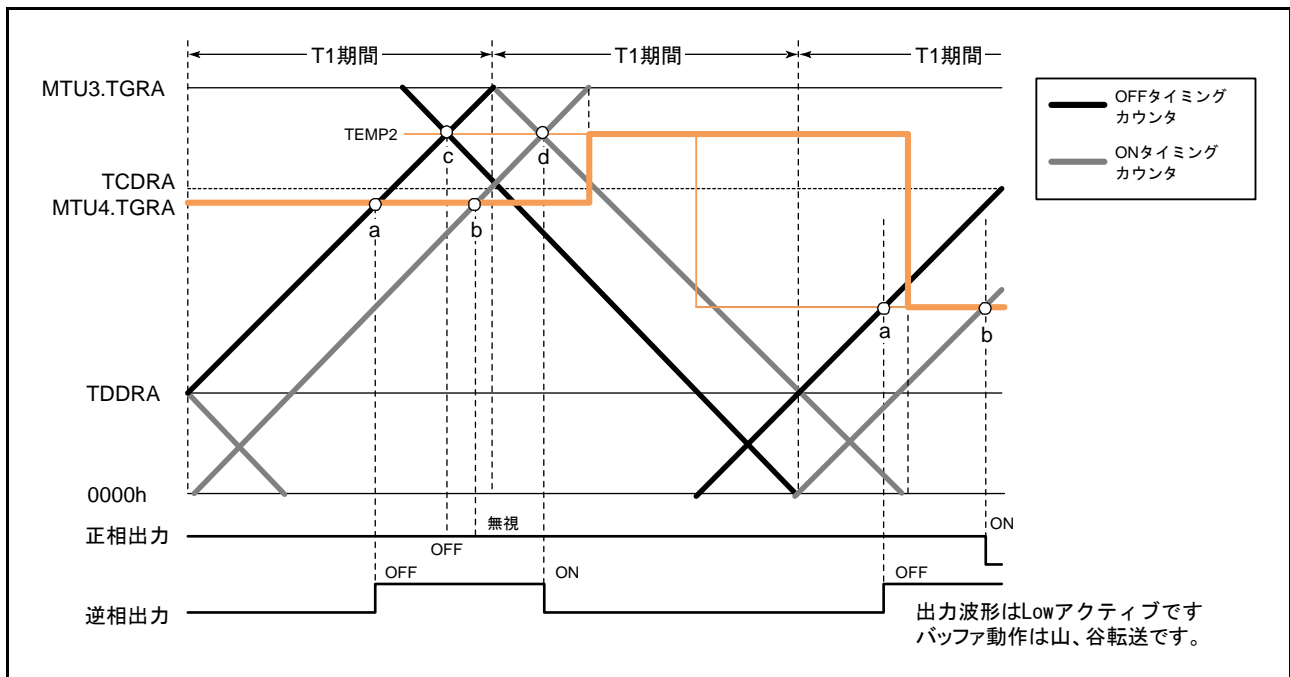


図 22.48 相補 PWM モード波形出力例 (MTU3、MTU4) (2)

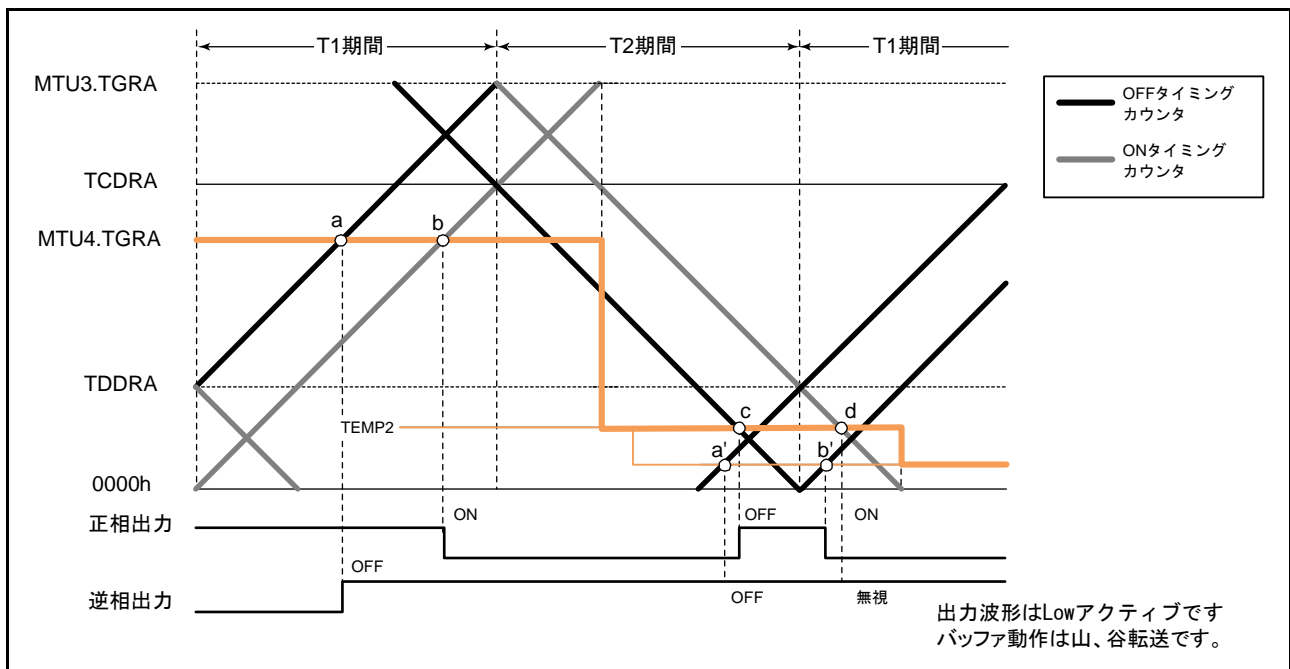


図 22.49 相補 PWM モード波形出力例 (MTU3、MTU4) (3)

(k) 相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% を任意に出力可能です。図 22.50 ~ 図 22.54 に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を 0000h にすると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA (MTU6.TGRA) の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

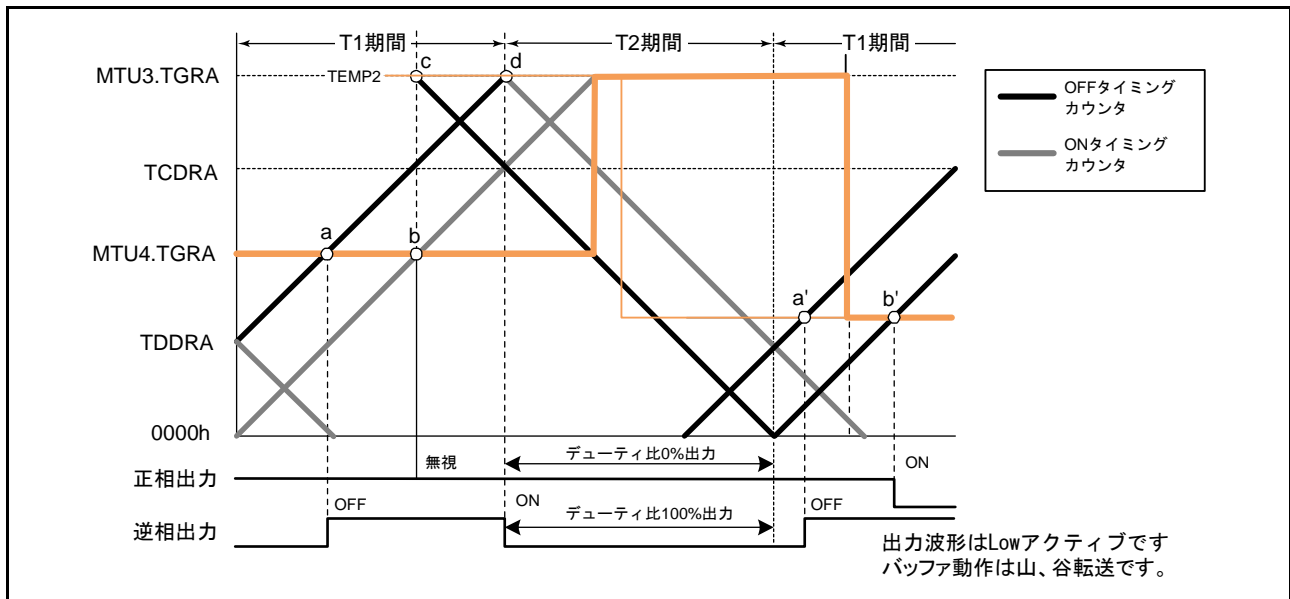


図 22.50 相補 PWM モード 0%、100% 波形出力例 (MTU3、MTU4) (1)

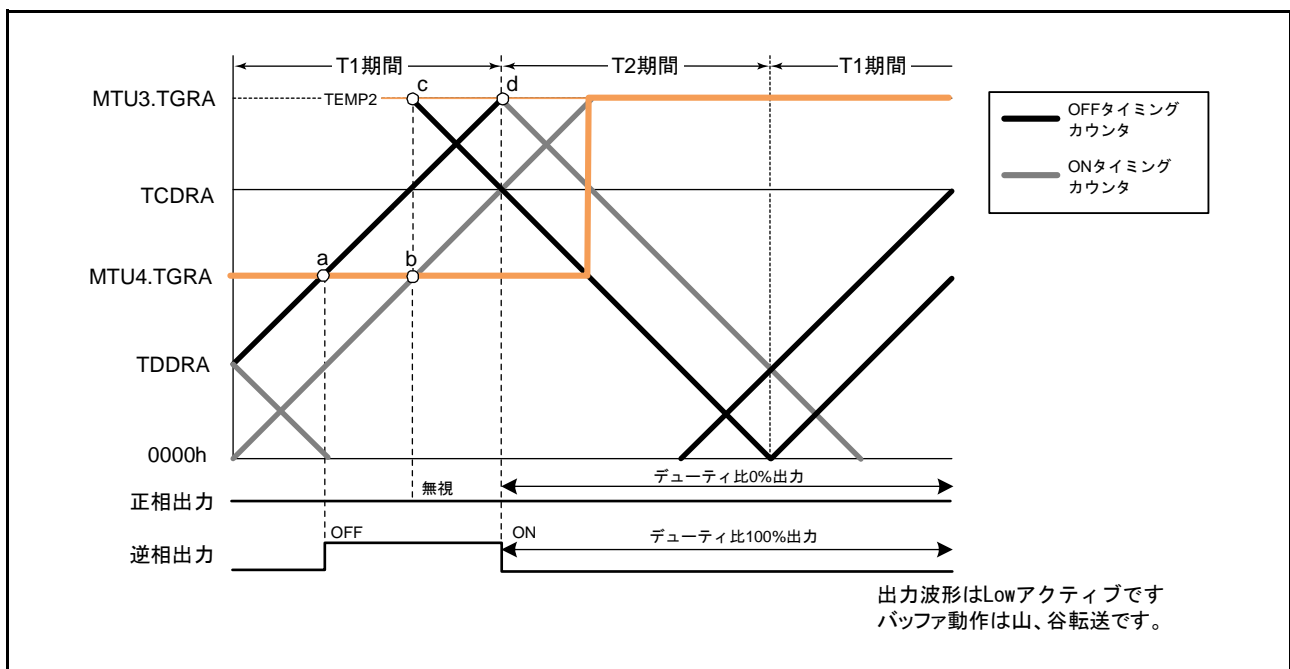


図 22.51 相補 PWM モード 0%、100% 波形出力例 (MTU3、MTU4) (2)

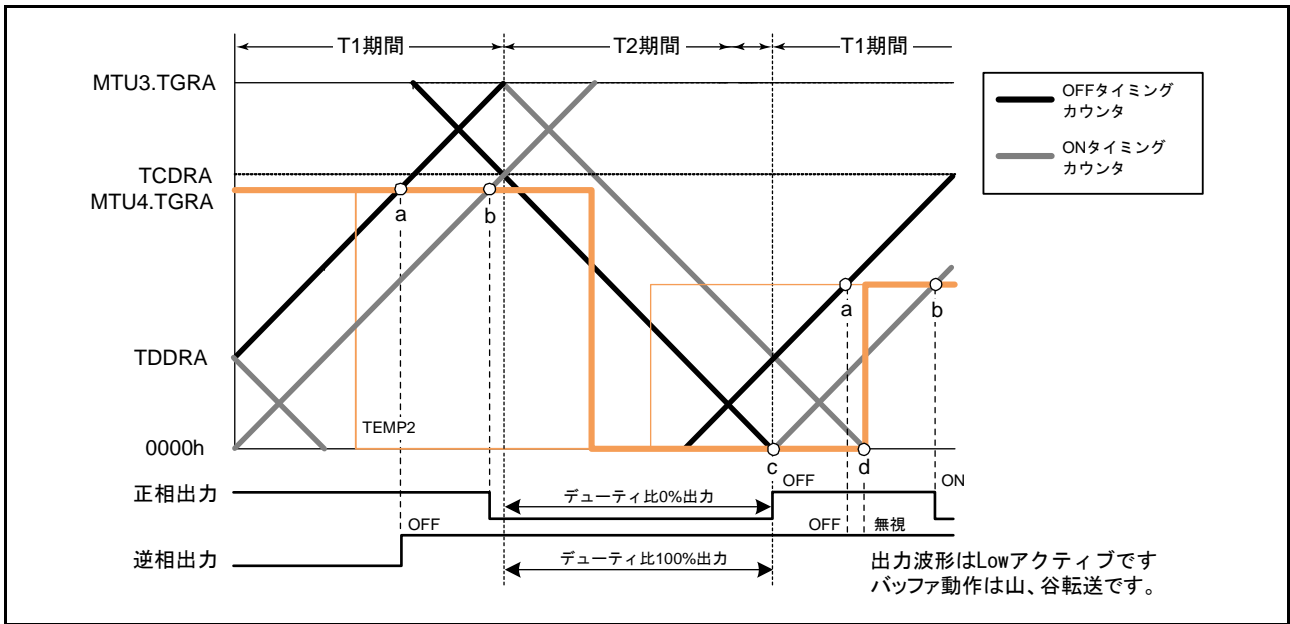


図 22.52 相補 PWM モード 0%、100% 波形出力例 (MTU3、MTU4) (3)

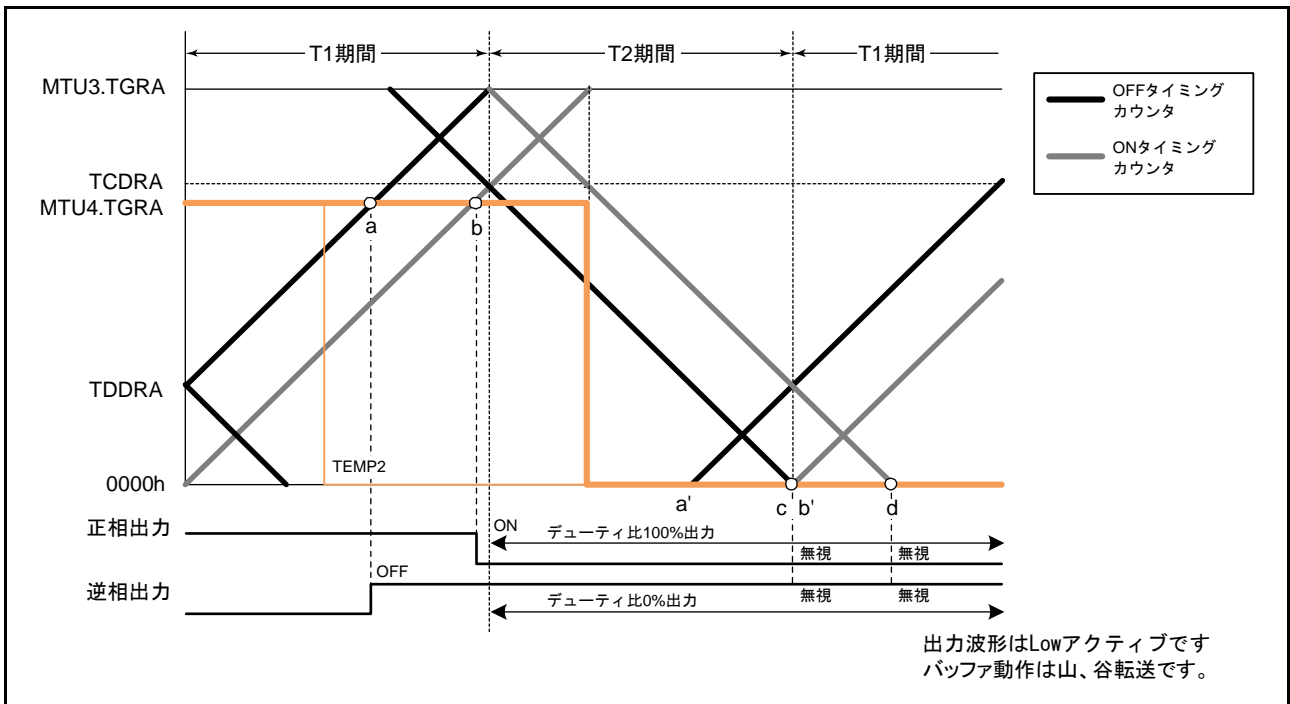


図 22.53 相補 PWM モード 0%、100% 波形出力例 (MTU3、MTU4) (4)

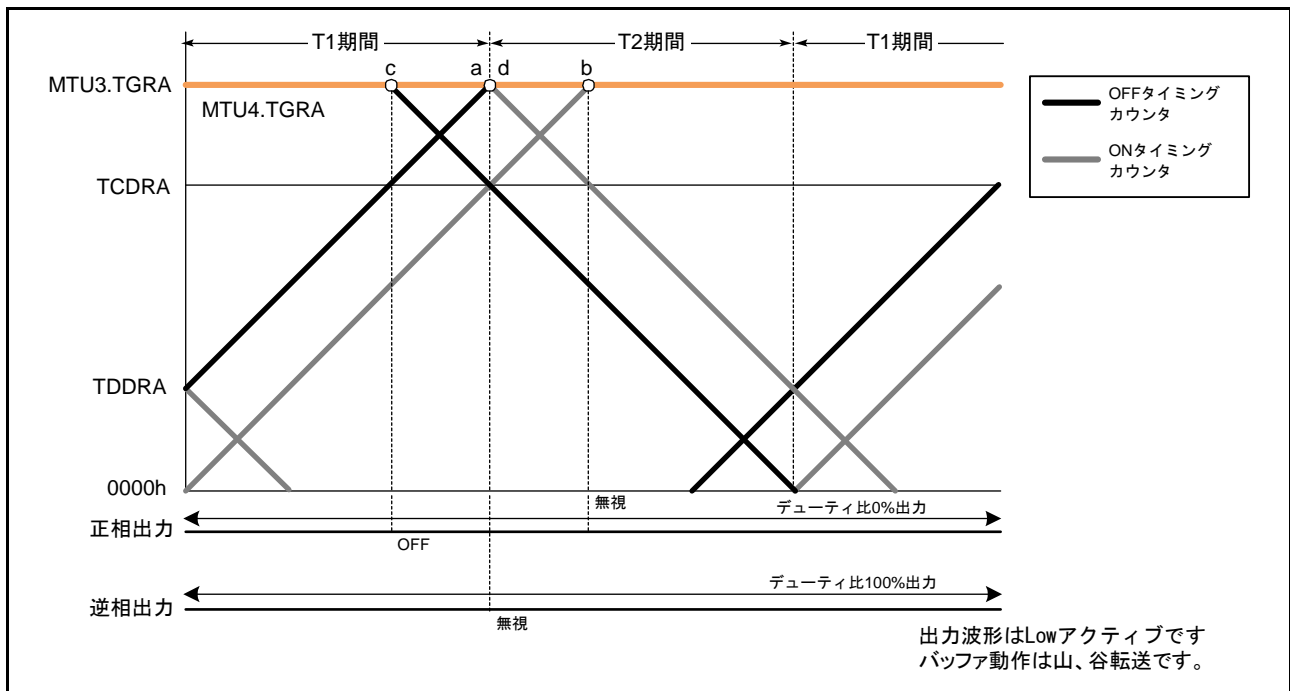


図 22.54 相補 PWM モード 0%、100% 波形出力例 (MTU3、MTU4) (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B) の PSYE ビットを“1”にすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 22.55 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA (MTU6.TCNT と MTU6.TGRA) のコンペアマッチと MTU4.TCNT (MTU7.TCNT) と 0000h のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A (MTIOC6A) 端子です。また、初期出力は“High”出力です。

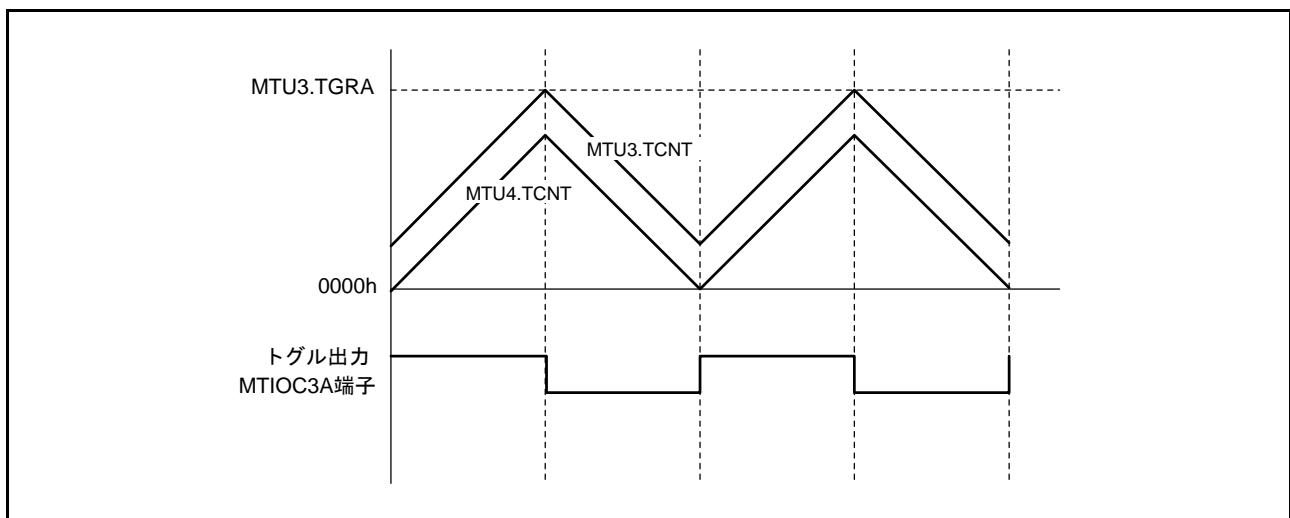


図 22.55 PWM 出力に同期したトグル出力波形例 (MTU3、MTU4)

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYRA、TSYRB) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR[2:0] ビットにより同期クリアを選択することにより他のチャネルによる MTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT、MTU7.TCNT および TCNTSB) のクリアをすることが可能です。

図 22.56 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

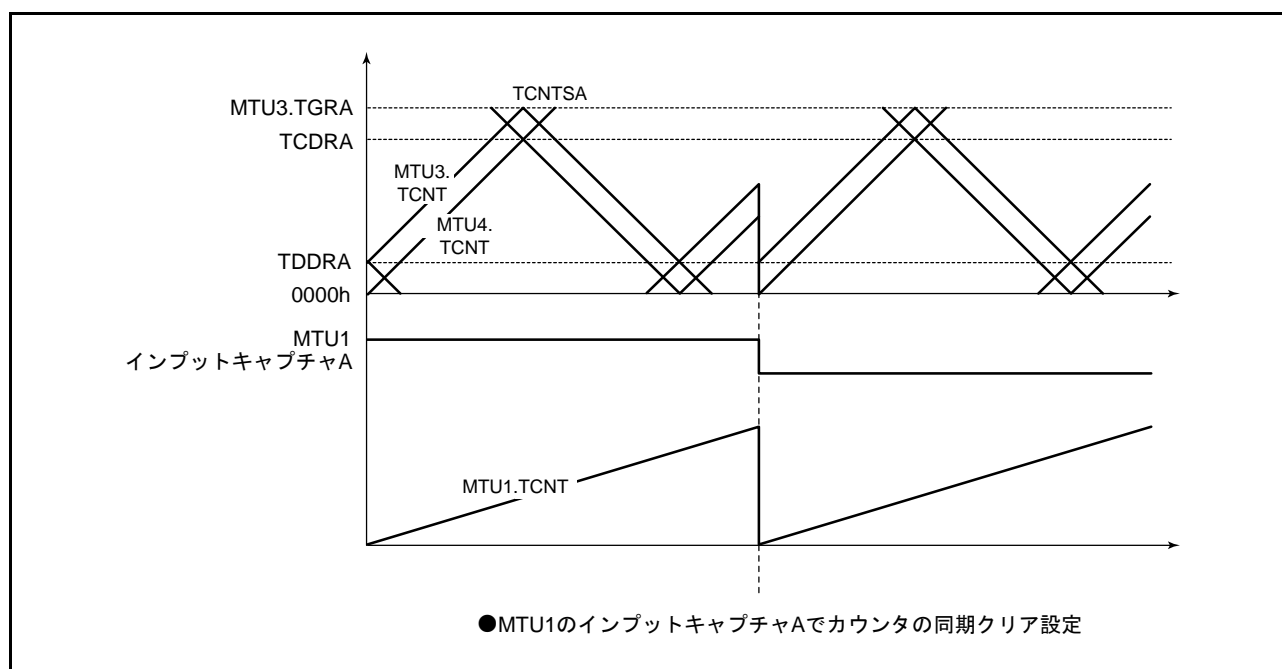


図 22.56 他のチャネルに同期したカウンタクリア (MTU3、MTU4)

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCRA (TWCRB) レジスタの WRE ビットを“1”にすることにより、相補 PWM モードの谷の T_b 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを“1”にすることで初期出力を抑止することができるのは、同期クリアが図 22.57 の⑩、⑪のような谷の T_b 区間に入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1A (TOCR1B) レジスタの OLS ビットで設定した初期値が出力されます。また、谷の T_b 区間であっても、図 22.57 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU3、MTU4 – MTU6、MTU7 のどちらでも使用することができます。MTU3、MTU4 – MTU6、MTU7 のカウンタクリア要因はそれぞれ、MTU3、MTU4 では MTU0 ~ MTU2 からの同期クリア、MTU6、MTU7 では MTU0 ~ MTU2 のフラグセット (コンペアマッチ/インプットキャプチャ) です。

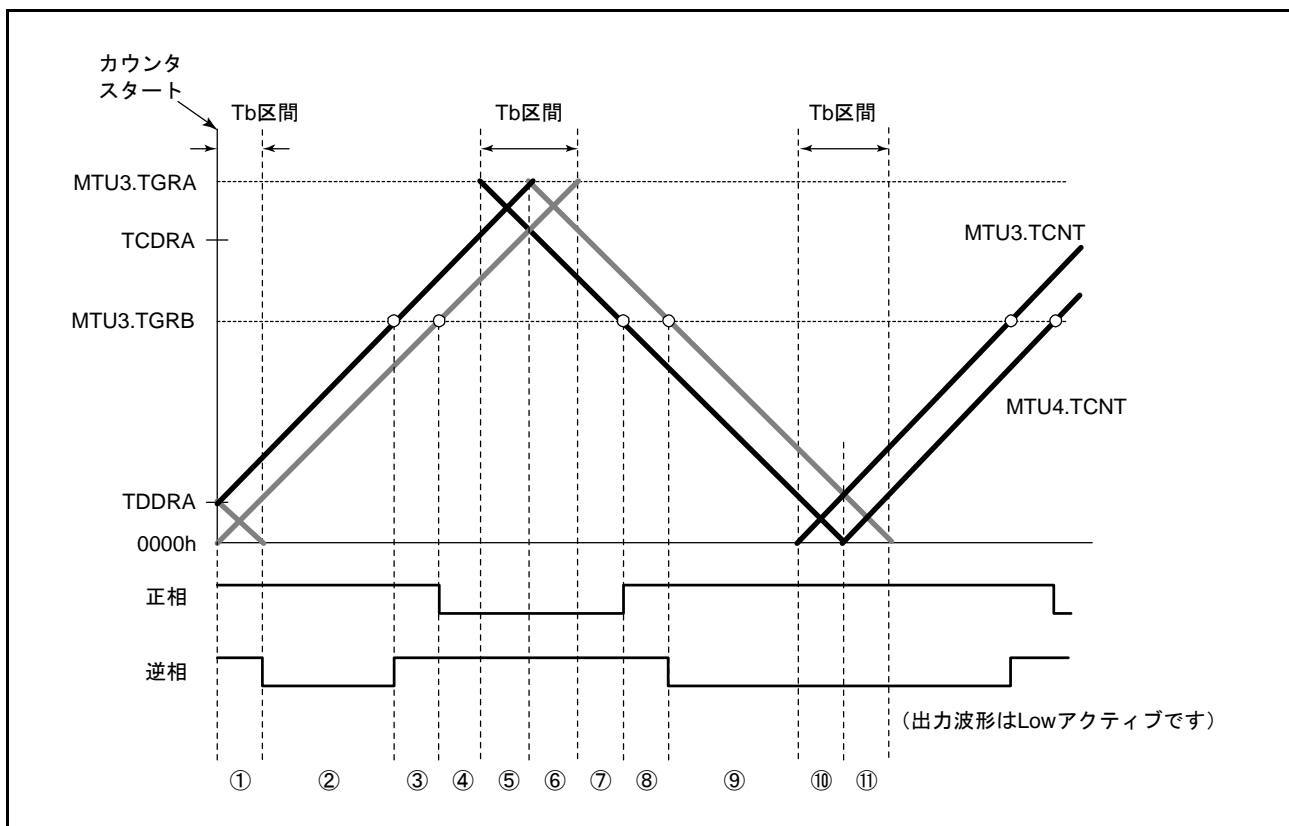


図 22.57 同期カウンタクリアタイミング (MTU3、MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例
相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 22.58 に示します。

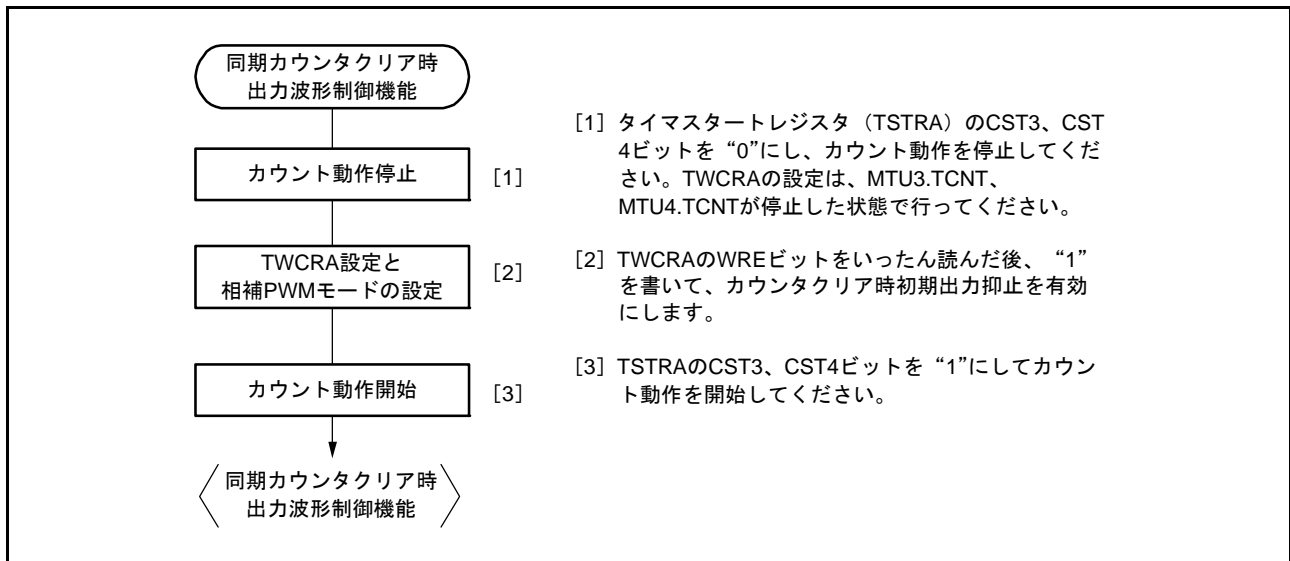


図 22.58 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例 (MTU3、MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 22.59 ~ 図 22.62 に、TWCRA.WRE ビットを“1”にした状態で MTU3、MTU4 を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 22.59 ~ 図 22.62 の同期カウンタクリアのタイミングは、それぞれ図 22.57 の③、⑥、⑧、⑪で示したタイミングです。

この例は、MTU6、MTU7 では TWCRA.SCC ビットを“0”、WRE ビットを“1”にした状態で MTU6、MTU7 を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

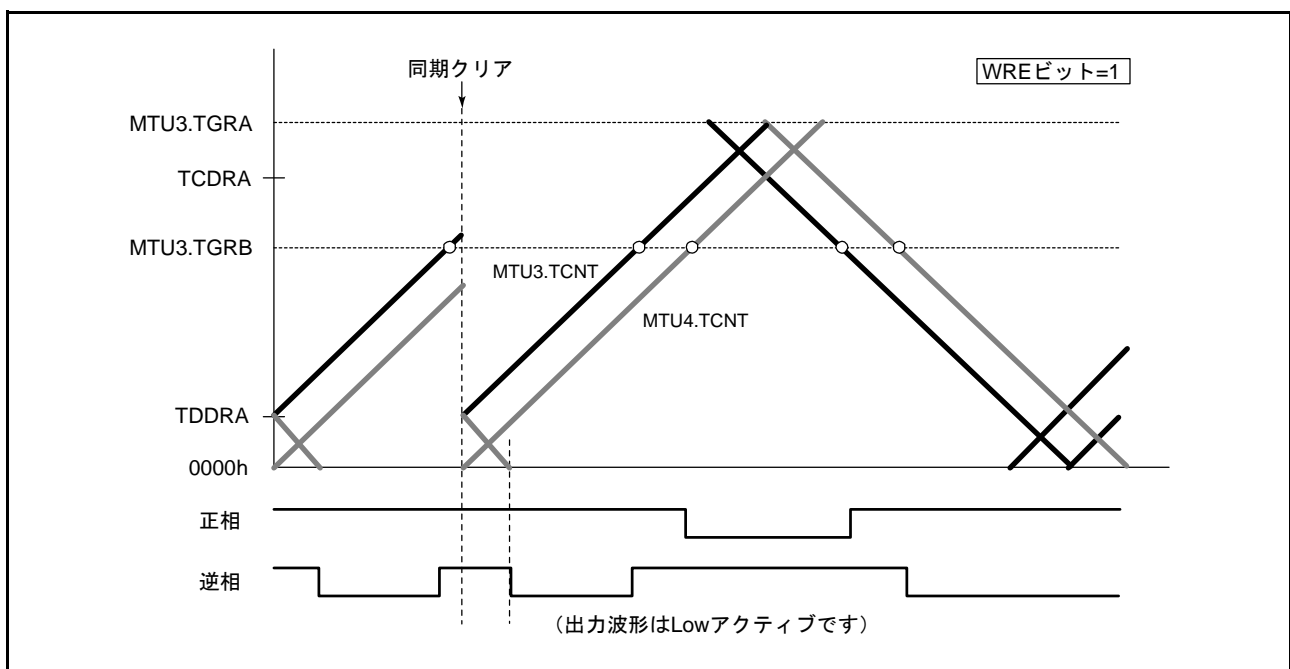


図 22.59 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.57 のタイミング③、TWCRA レジスタの WRE ビット = 1)

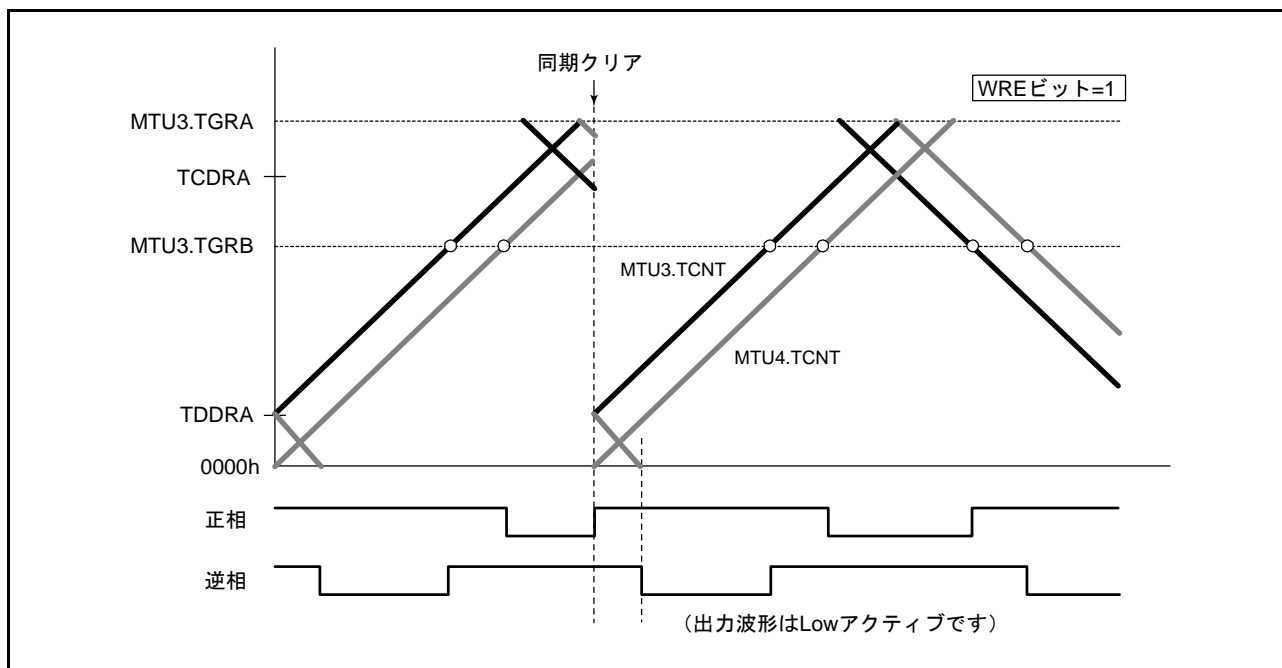


図 22.60 山の Tb 区間で同期クリアが発生した場合
 (図 22.57 のタイミング⑥、TWCRA レジスタの WRE ビット= 1)

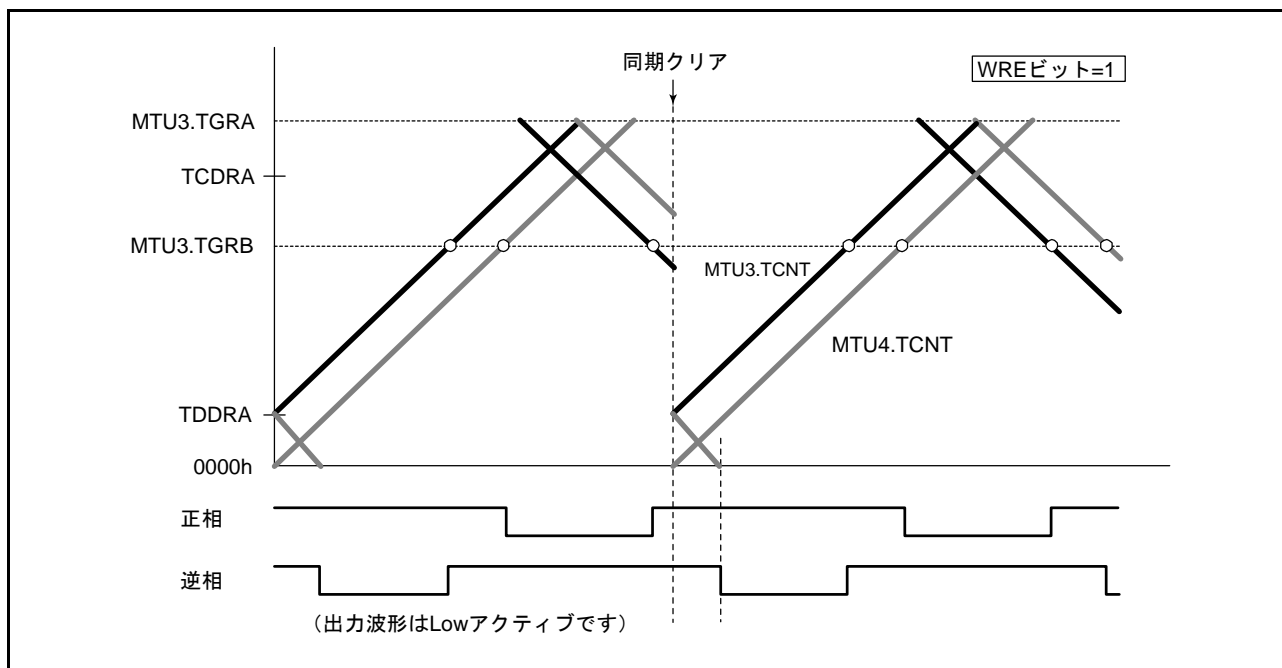


図 22.61 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
 (図 22.57 のタイミング⑧、TWCRA レジスタの WRE ビット= 1)

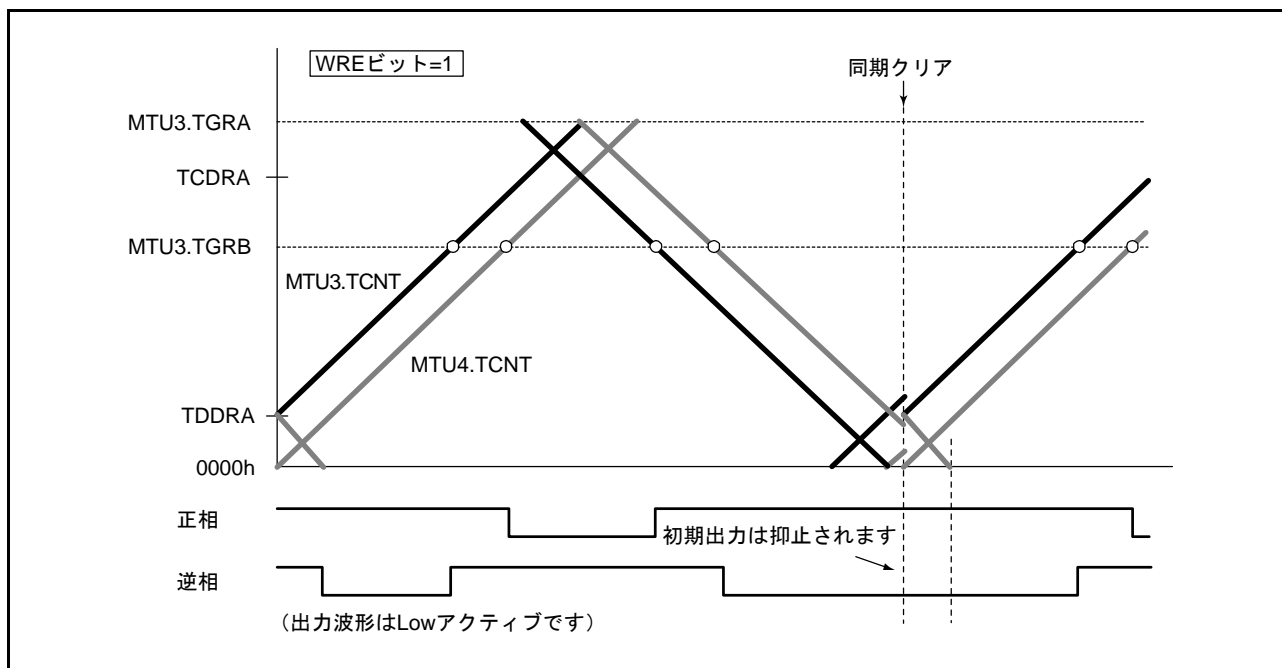


図 22.62 谷の Tb 区間で同期クリアが発生した場合
 (図 22.57 のタイミング①、TWCRA レジスタの WRE ビット= 1)

(o) MTU0、MTU1、MTU2 – MTU6、MTU7 カウンタ同期クリアの抑止機能

MTU6、MTU7 では、TWCRB.SCC ビットを“1”にすることにより、MTU0、MTU1、MTU2 からの同期クリアを抑止することができます。

SCC ビットの設定によって MTU0、MTU1、MTU2 からの同期クリアが抑止できるのは、図 22.63 で示す区間です。

また、本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。

MTU0、MTU1、MTU2 からの同期クリアについての詳細は、「22.3.10 (2) フラグセット要因を利用した MTU6、MTU7 カウンタクリア (MTU6、MTU7 カウンタ同期クリア)」を参照してください。

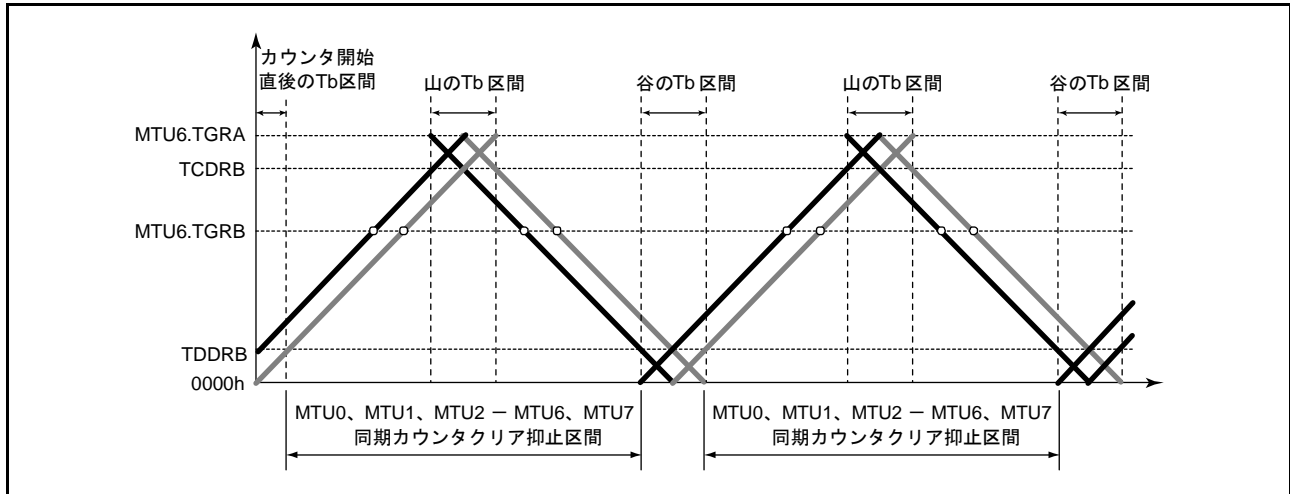


図 22.63 TWCRB.SCC ビットセットによる、MTU0、MTU1、MTU2 – MTU6、MTU7 同期クリア抑止区間

- MTU0、MTU1、MTU2 – MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

MTU0、MTU1、MTU2 – MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例を図 22.64 に示します。

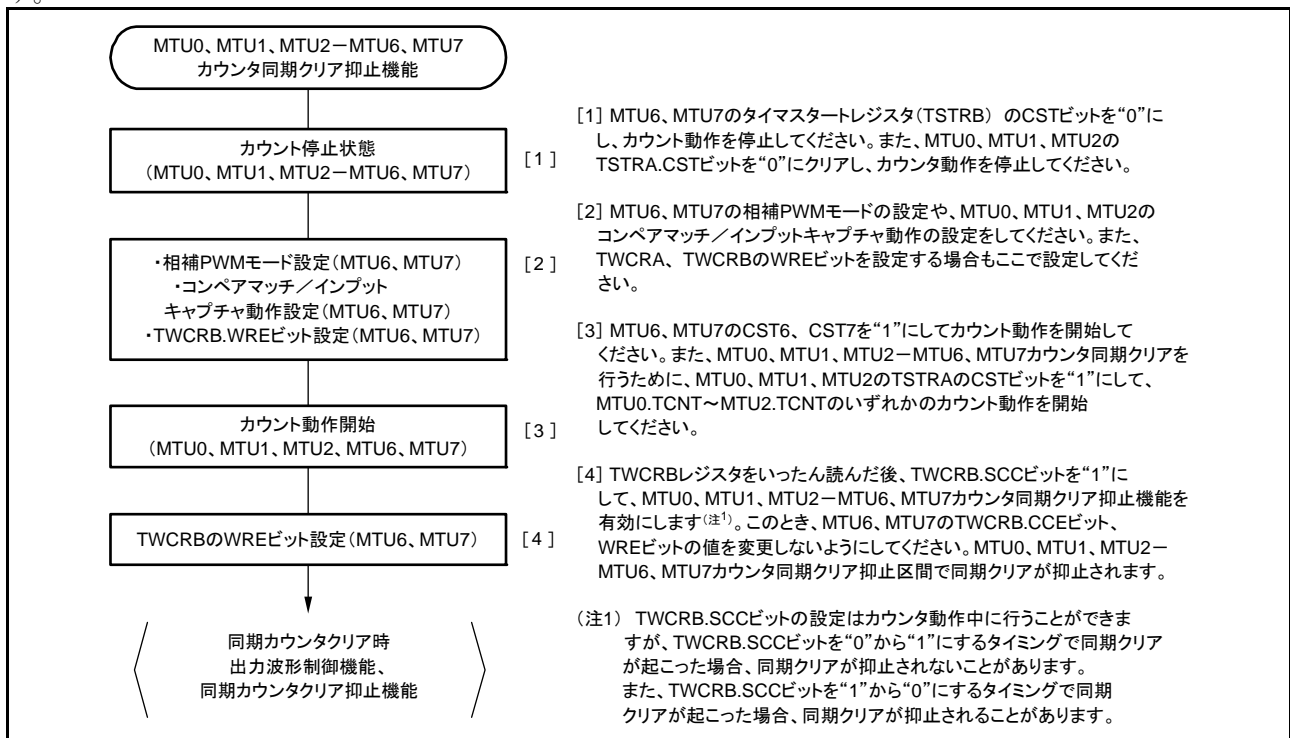


図 22.64 MTU0、MTU1、MTU2 – MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

• MTU0、MTU1、MTU2 – MTU6、MTU7 同期カウンタクリア抑止機能の動作例

図 22.65 ~ 図 22.68 に、MTU6、MTU7 の TWCRB の SCC ビットを “1” にして MTU6、MTU7 を相補 PWM 動作をさせ、MTU0、MTU1、MTU2 – MTU6、MTU7 カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 22.65 ~ 図 22.68 の同期カウンタクリアのタイミングは、それぞれ図 22.57 の③、⑥、⑧、⑪で示したタイミングです。また、この例では MTU6、MTU7 の TWCRB.WRE ビットは “1” にしています。

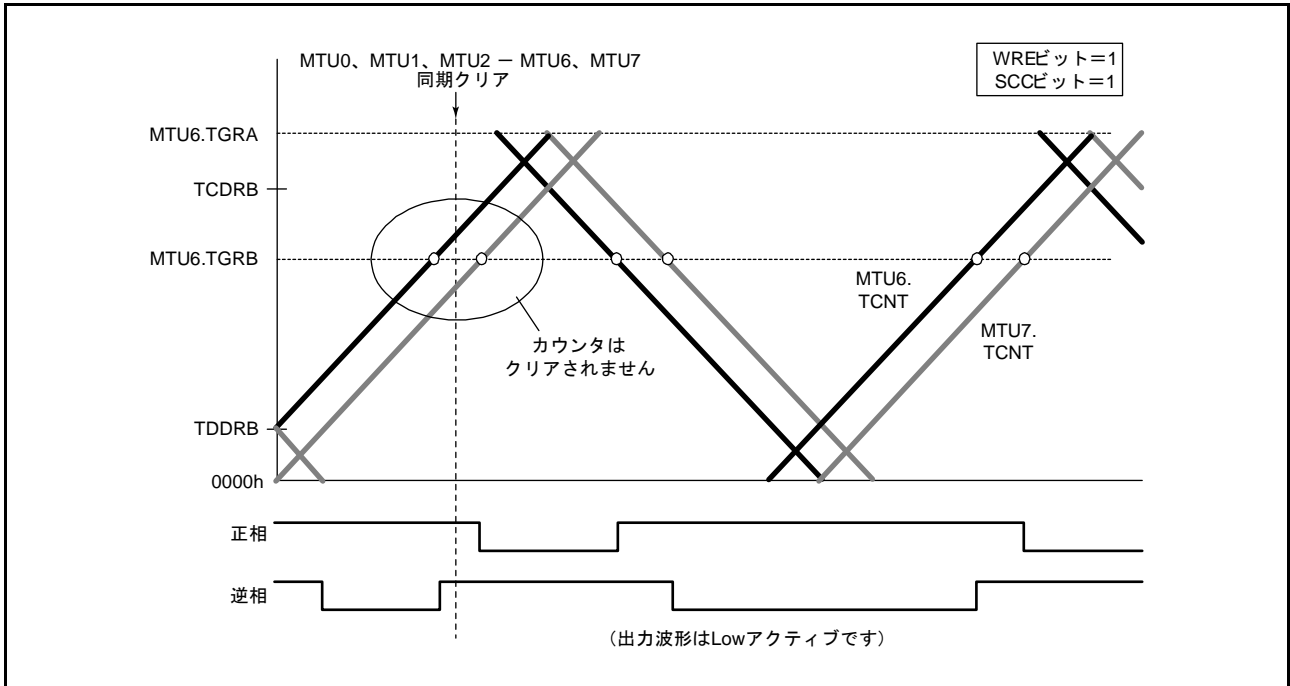


図 22.65 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.57 のタイミング③、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

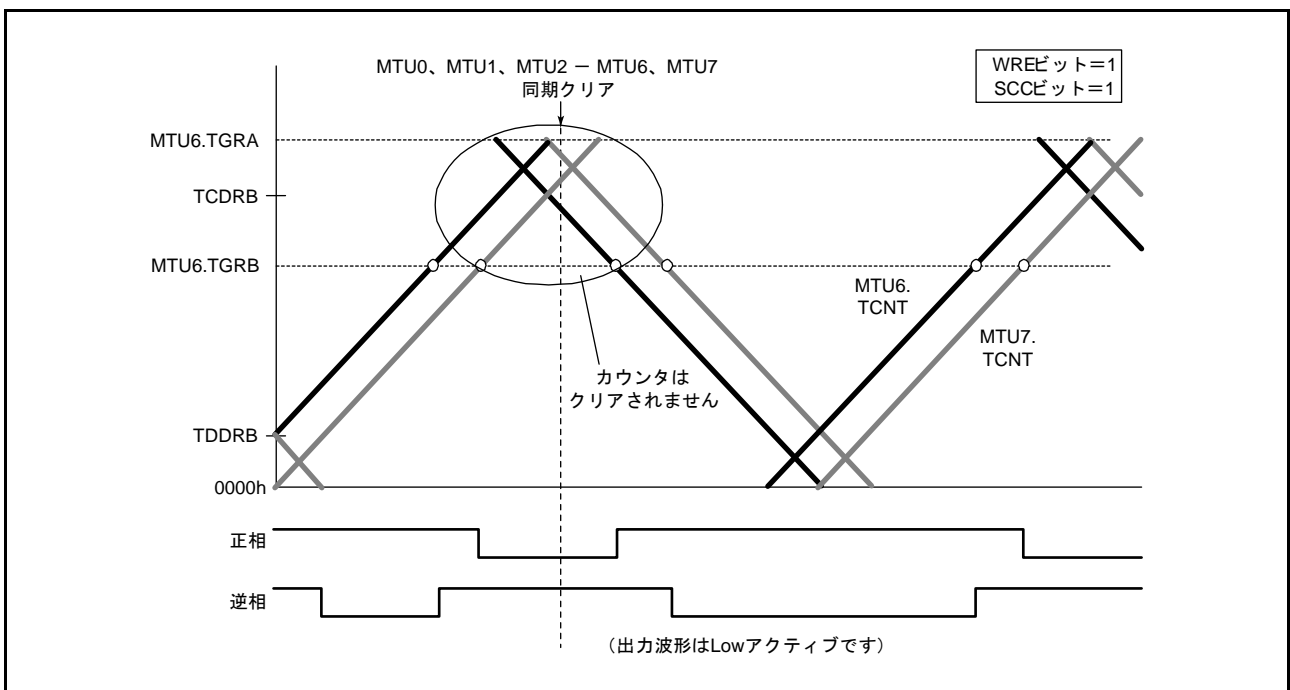


図 22.66 山の Tb 区間で同期クリアが発生した場合 (図 22.57 のタイミング⑥、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

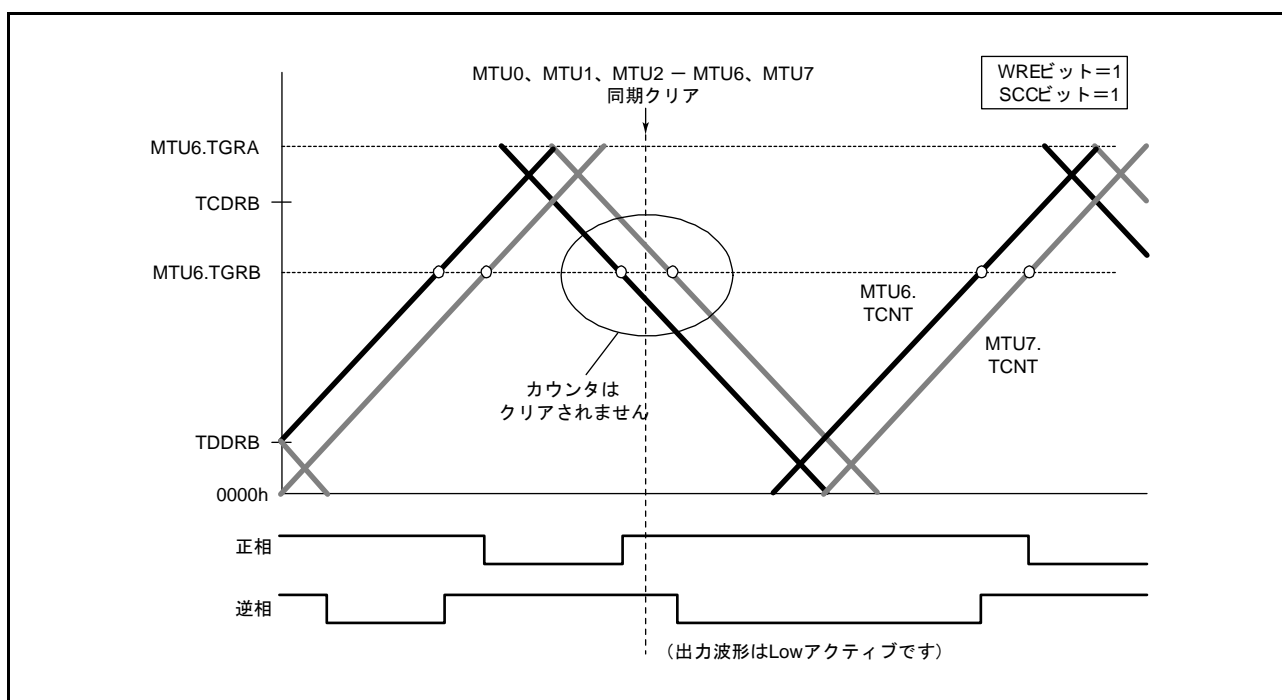


図 22.67 ダウンカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.57 のタイミング⑧、MTU6、MTU7 の TWCRCB レジスタの WRE ビット = 1、SCC ビット = 1)

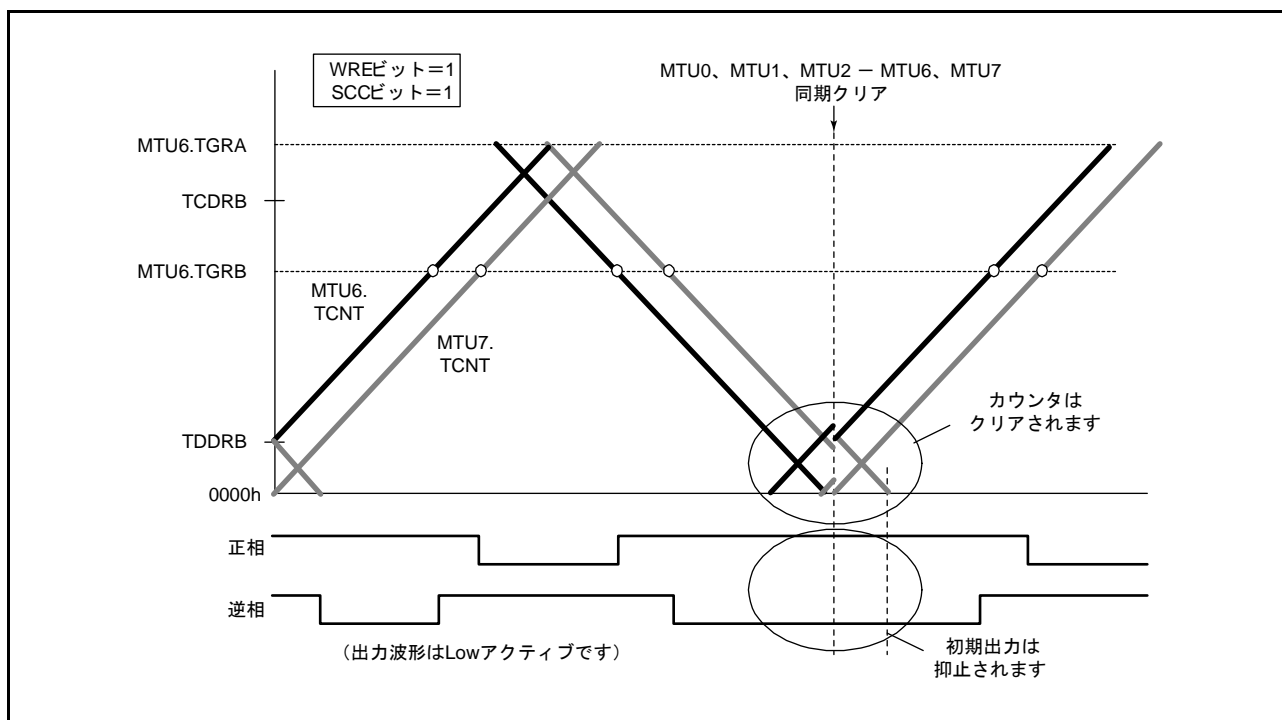


図 22.68 谷の Tb 区間で同期クリアが発生した場合 (図 22.57 のタイミング⑩、MTU6、MTU7 の TWCRCB レジスタの WRE ビット = 1、SCC ビット = 1)

(p) MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCRA、TWCRB) の CCE ビットを設定することにより、MTU3.TGRA (MTU6.TGRA) のコンペアマッチで MTU3.TCNT (MTU6.TCNT)、MTU4.TCNT (MTU7.TCNT) および TCNTSA (TCNTSB) をクリアすることが可能です。

図 22.69 に動作例を示します。

- 注 1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
- 注 2. 他のチャネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYRA、TSYRB) の SYNC0 ~ SYNC4 ビット、SYNC6 ~ SYNC7 ビットを“1”、タイマシンクロクリアレジスタ (TSYCR) の CE0A/B/C/D、CE1A/B/C/D ビットを“1”に設定しないでください)
- 注 3. PWM デューティは、0000h を設定しないでください。
- 注 4. タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B) の PSYE ビットを“1”に設定しないでください。

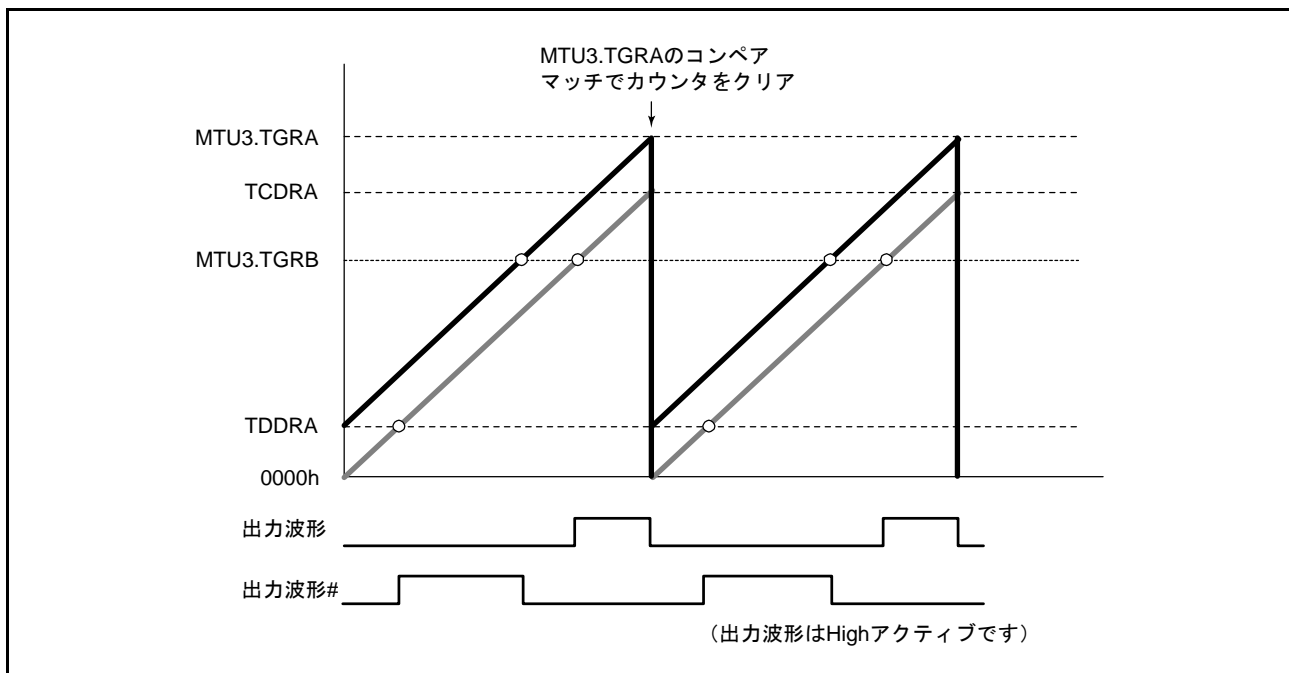


図 22.69 MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(q) AC同期モータ（ブラシレスDCモータ）の駆動波形出力例

相補PWMモードでは、タイマゲートコントロールレジスタ (TGCRA) を使ってブラシレスDCモータを簡単に制御することができます。図 22.70 ~ 図 22.73 に TGCRA レジスタを使用したブラシレスDCモータの駆動波形例を示します。

3相ブラシレスDCモータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCRA.FB ビットを“0”にします。この場合、磁極位置を示す外部信号を MTU0 のタイマ入力端子 MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します (MPC と I/O ポートのポートモードレジスタ (PMR) で設定してください)。MTIOC0A、MTIOC0B、MTIOC0C 端子の3つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

TGCRA.FB ビットが“1”の場合は、TGCRA の UF、VF、WF ビットの各ビットを“0”または“1”にすると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補PWMモードの6相出力端子から出力されます。

この6相出力は TGCRA レジスタの N ビットまたは P ビットを“1”にすることにより、ON出力時、相補PWMモードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが“0”の場合は、レベル出力になります。

また、6相出力のアクティブレベル (ON出力時レベル) は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ 1A (TOCR1A) の OLSN ビット、OLSP ビットで設定できます。

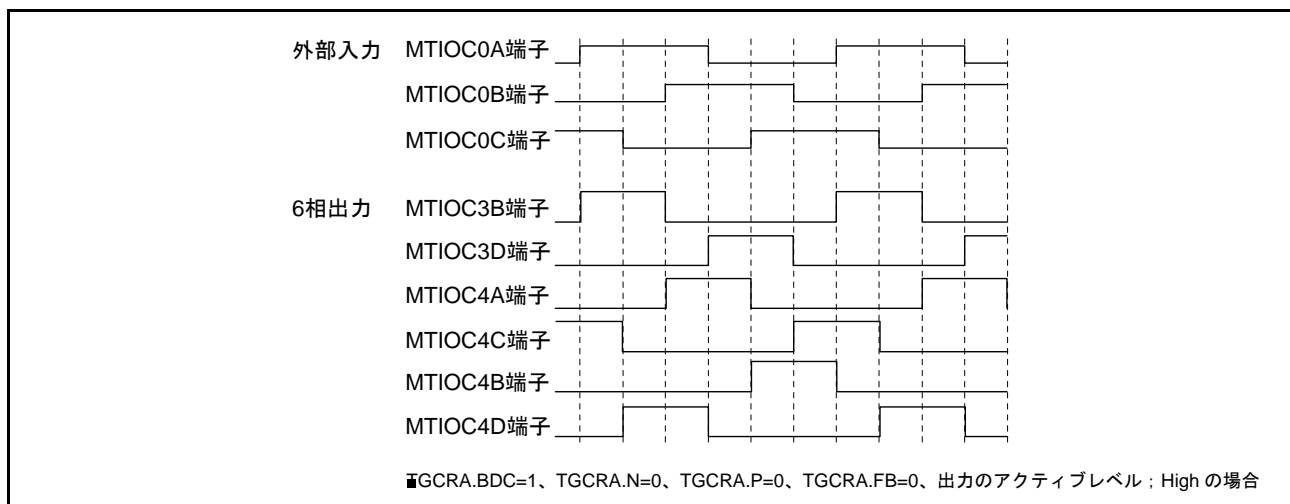


図 22.70 外部入力による出力相の切り替え動作例 (1)

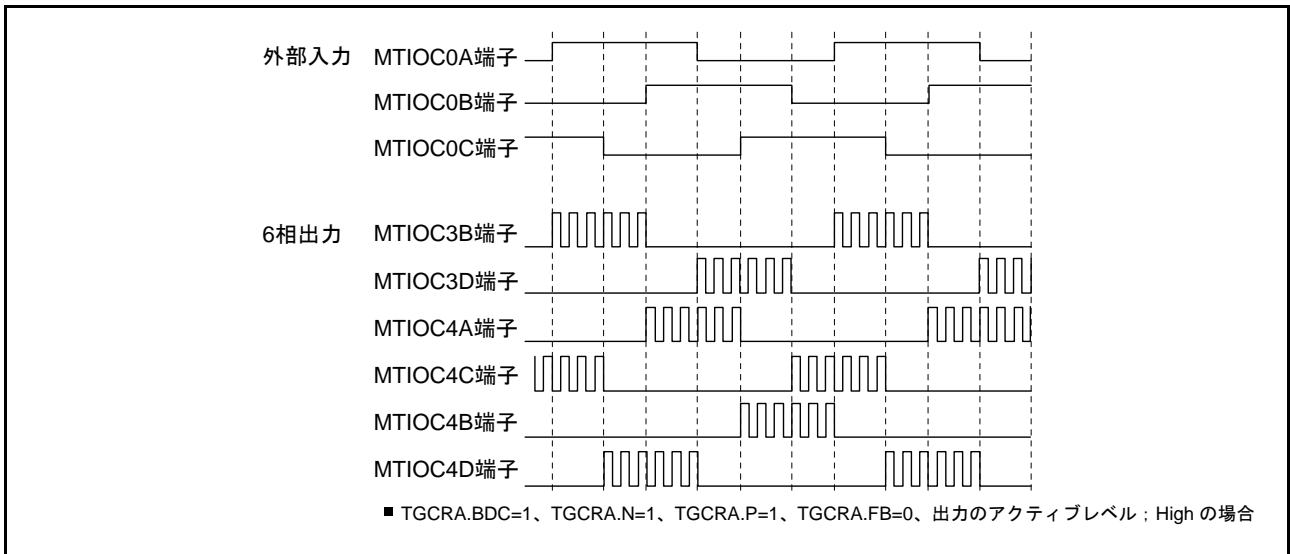


図 22.71 外部入力による出力相の切り替え動作例 (2)

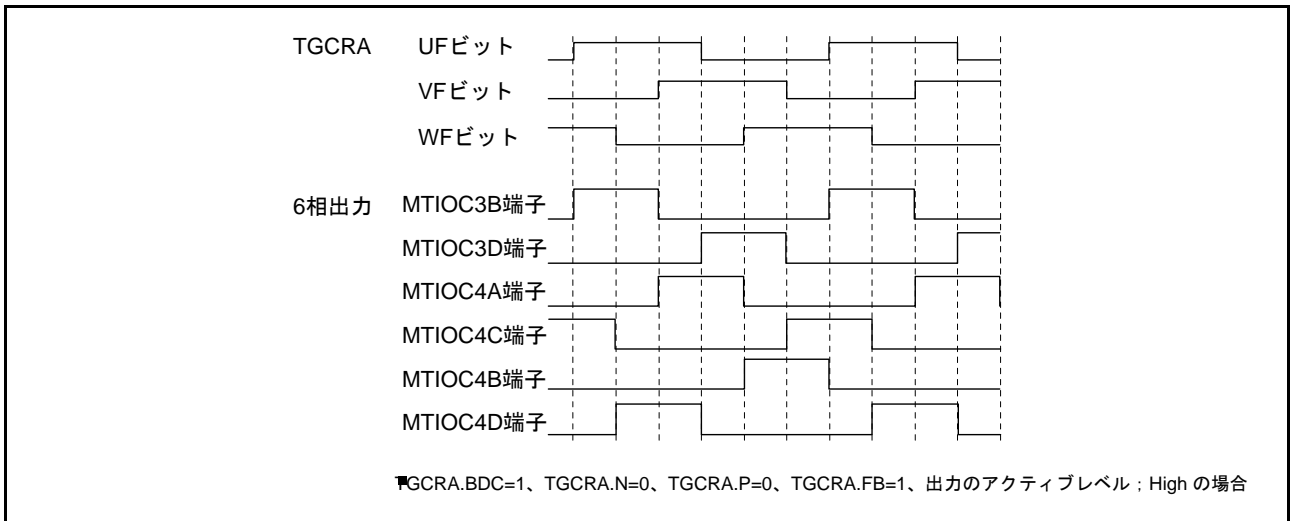


図 22.72 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

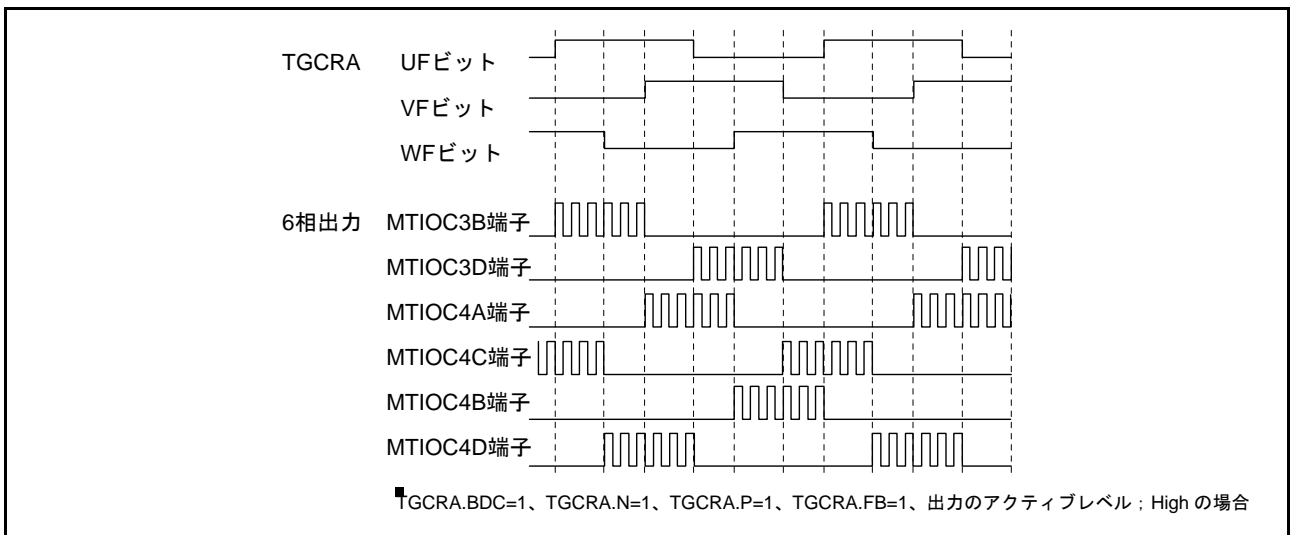


図 22.73 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(r) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA (MTU6.TGRA) のコンペアマッチ、MTU4.TCNT (MTU7.TCNT) のアンダフロー (谷)、MTU3、MTU4 (MTU6、MTU7) 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA (MTU6.TGRA) のコンペアッチを使用して開始要求を設定すると、MTU3.TCNT (MTU6.TCNT) の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、タイマインタラプトイネーブルレジスタ (TIER) の TTGE ビットを“1”にすることで設定できます。MTU4.TCNT (MTU7.TCNT) のアンダフロー (谷) の A/D 変換の開始要求は、MTU4.TIER (MTU7.TIER) の TTGE2 ビットを“1”にすることで設定できます。

(s) 相補 PWM モードのダブルバッファ機能

相補 PWM モード3 (山・谷で転送) 時、タイマモードレジスタ 2 (TMDR2A、TMDR2B) の DRS ビットを“1”にすることにより、PWM 変更時の PWM 出力の最小分解能を ± 2 から ± 1 にすることが可能です。

バッファレジスタ A (MTU3.TGRD、MTU4.TGRC、MTU4.TGRD) を設定する際は、バッファレジスタ B (MTU3.TGRE、MTU4.TGRE、MTU4.TGRF) も同時に設定してください。また、バッファレジスタ B の値はバッファレジスタ A の値、またはバッファレジスタ A の値 - 1 を設定してください。設定手順の詳細は「22.3.8 (1) 相補 PWM モードの設定手順例」を参照してください。

注. バッファレジスタ B の値にバッファレジスタ A の値を設定した場合、PWM 出力が左右対称になります。バッファレジスタ B の値にバッファレジスタ A の値 - 1 を設定した場合、PWM 出力が非対称になります。

図 22.74 にダブルバッファ機能の動作例を示します。

各レジスタのデータ転送方式は下記のとおりです。

- MTU4.TGRD (バッファ A) 書き込み時に MTU4.TGRD (バッファ A) → Temp3A (テンポラリ A)、および MTU4.TGRF (バッファ B) → Temp3B (テンポラリ B) へのデータ転送
 - ①のタイミングで Temp3A (テンポラリ A) → MTU4.TGRB (コンペア) へのデータ転送
 - ②のタイミングで Temp3B (テンポラリ B) → MTU4.TGRB (コンペア) へのデータ転送
- 山区間 (山の T_b 区間) ではコンペアレジスタとテンポラリレジスタ A、谷区間 (谷の T_b 区間) ではコンペアレジスタとテンポラリレジスタ B が有効

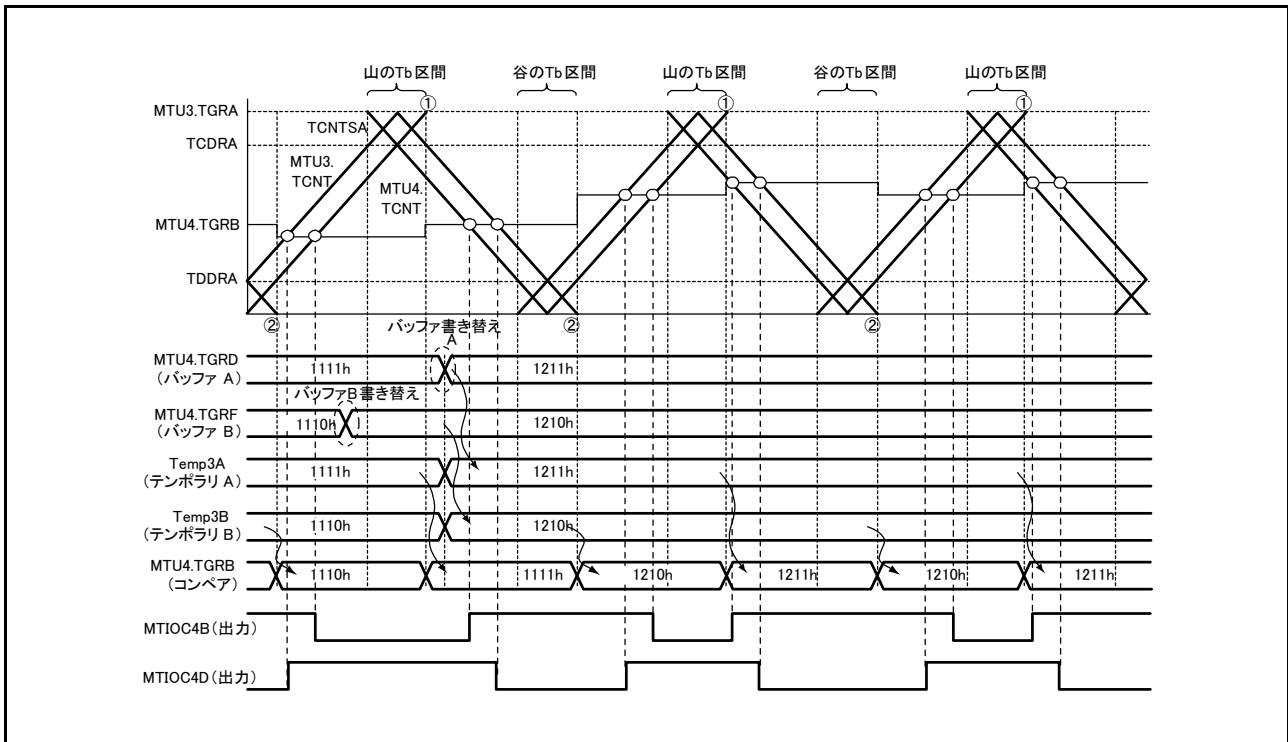


図 22.74 ダブルバッファ機能の動作例

バッファへの書き込み値が TDDRA レジスタより小さい場合を図 22.75 に、TCDRA レジスタより大きい場合を図 22.76 に示します。

山区間では、コンペアレジスタまたはテンポラリレジスタ A とのコンペアマッチで出力制御し、谷区間ではコンペアレジスタまたはテンポラリレジスタ B とのコンペアマッチで出力制御します。

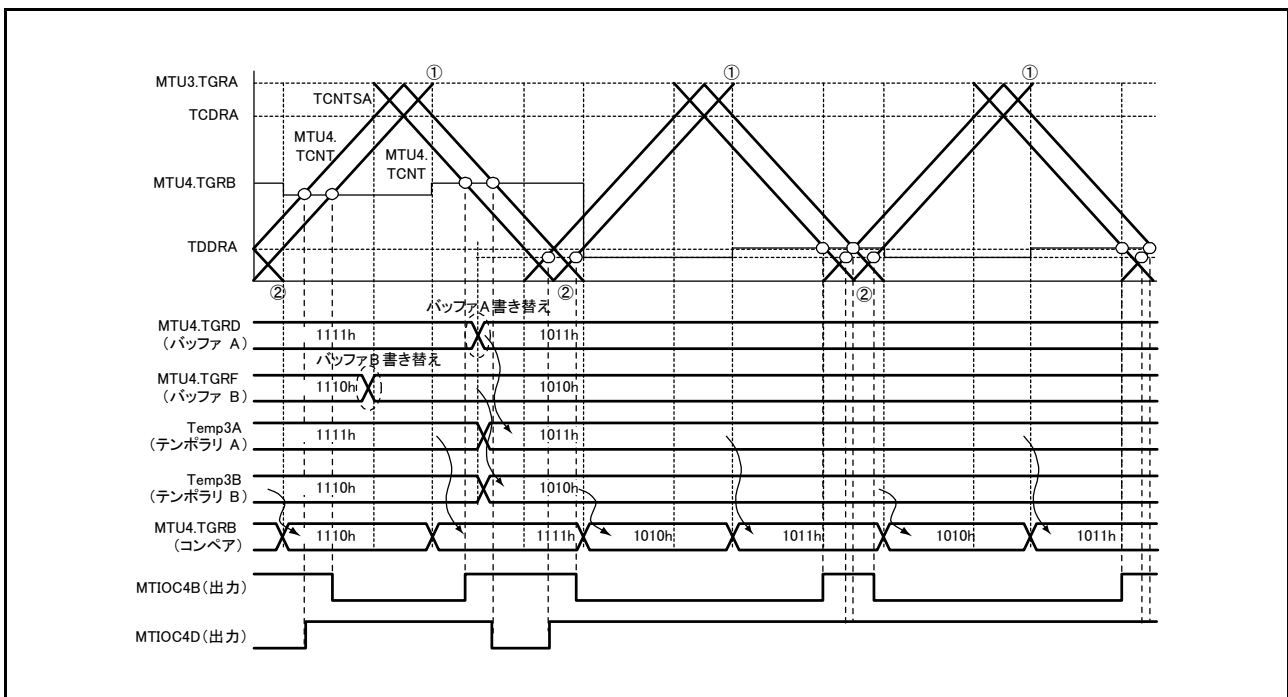


図 22.75 ダブルバッファ機能の動作例 (バッファへの書き込み値が TDDRA より小さい場合)

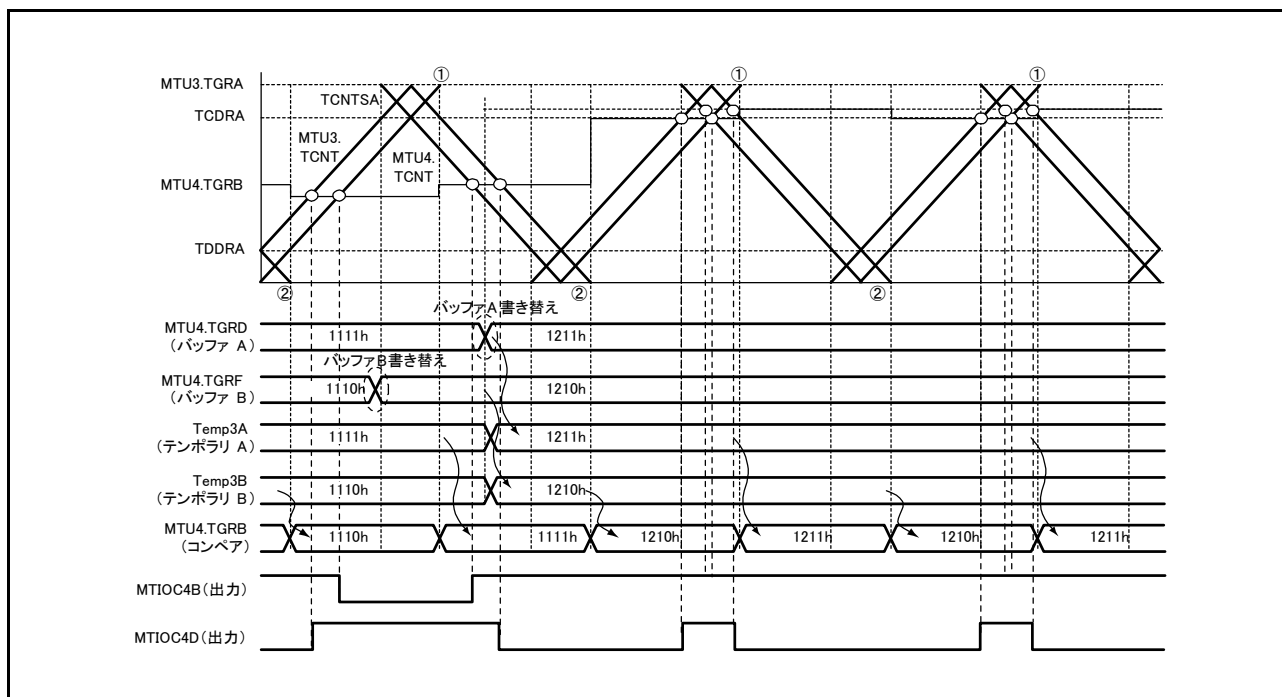


図 22.76 ダブルバッファ機能の動作例 (バッファへの書き込み値が TCDRA より大きい場合)

(3) 相補 PWM モードの割り込み間引き機能 1

MTU3、MTU4 (MTU6、MTU7) の TGIA3 (TGIA6) (山の割り込み)、および TCIV4 (TCIV7) (谷の割り込み) は、タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B) を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ (TBTERA、TBTERB) を設定することにより、バッファレジスタからテンポラリレジスタ/コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ (MTU4.TADCR、MTU7.TADCR) を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「22.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B) の設定は、タイマ割り込み間引きモードレジスタ (TITMRA、TITMRB) の TITM ビットを“0”にし、割り込み間引き機能 1 を選択し、かつ MTU3.TIER、MTU4.TIER (MTU6.TIER、MTU7.TIER) レジスタの設定で TGIA3 (TGIA6) と TCIV4 (TCIV7) 割り込み要求を禁止した状態、かつコンペアマッチによる TITCR1A (TITCR1B) レジスタの TGFA3 (TGFA6)、TCFV4 (TCFV7) フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、T3AEN (T6AEN)、T4VEN (T7VEN) ビットを“0”にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能 1 の設定手順例

割り込み間引き機能 1 の設定手順例を図 22.77 に示します。また、割り込み間引き回数の変更可能期間を図 22.78 に示します。

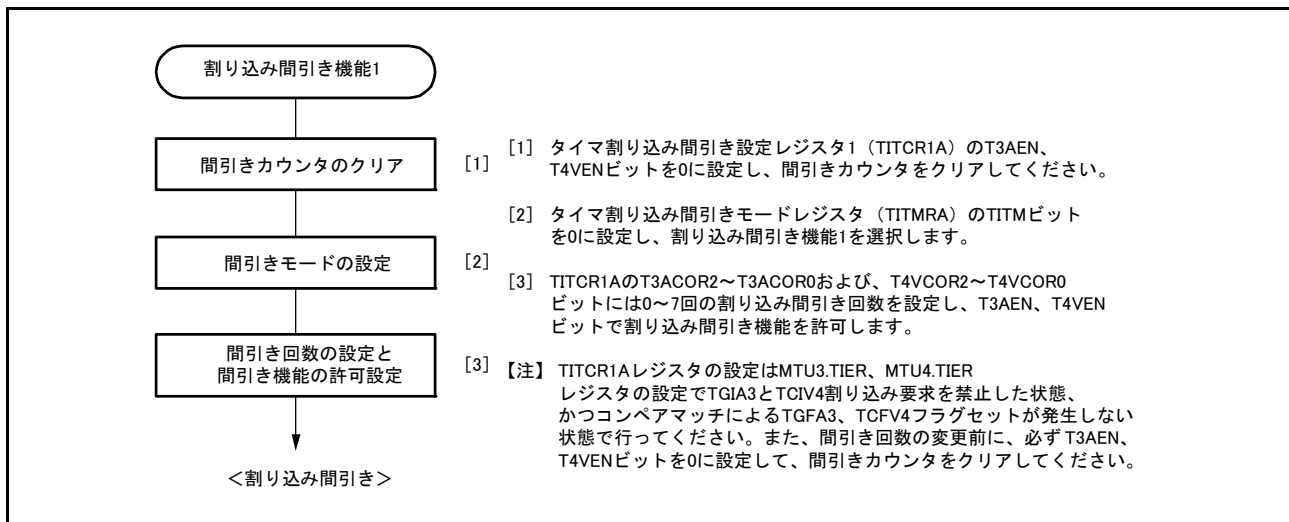


図 22.77 割り込み間引き機能 1 の設定手順例

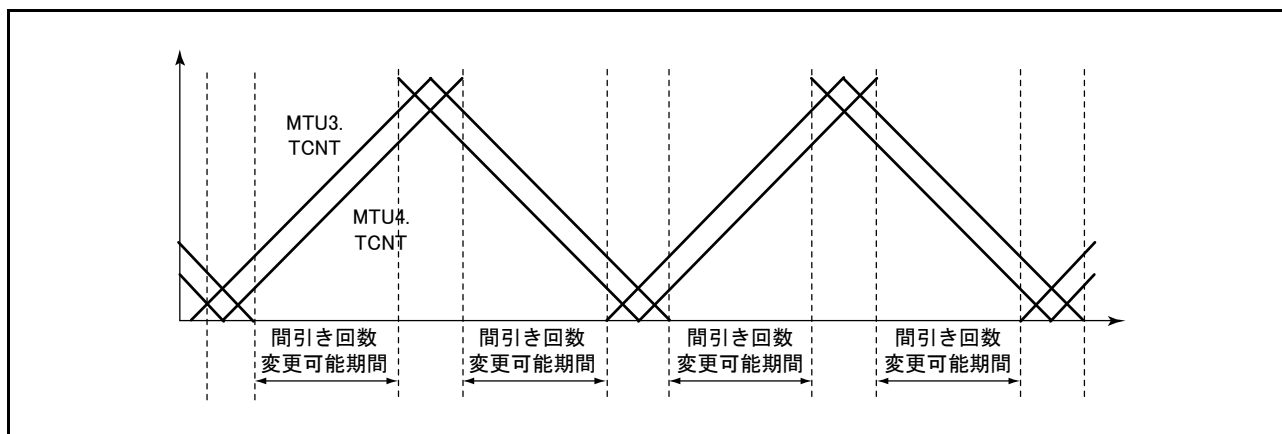


図 22.78 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能 1 の動作例

タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B) の T3ACOR (T6ACOR) ビットで割り込みの間引き回数を 3 回に設定し、T3AEN (T6AEN) ビットを “1” にした場合の、TGIA3 (TGIA6) 割り込み間引きの動作例を図 22.79 に示します。

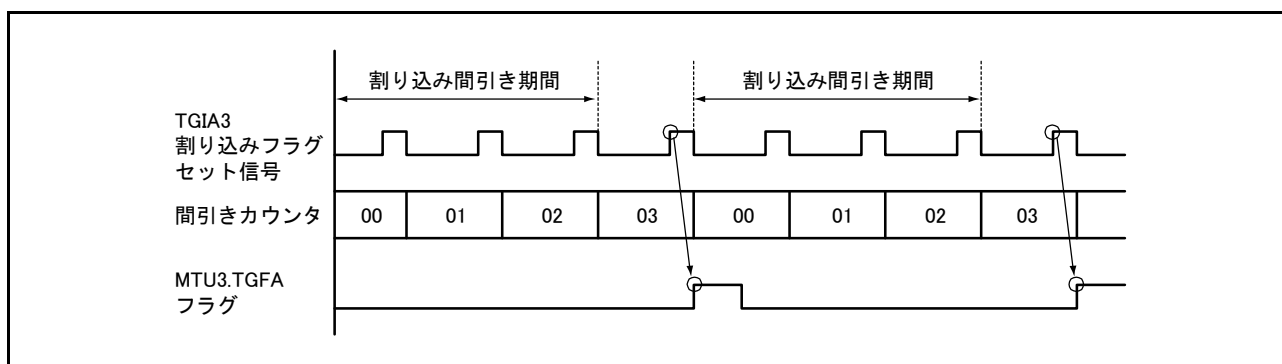


図 22.79 割り込み間引き機能 1 の動作例

(c) 割り込み間引きと連動したバッファ転送制御

タイマバッファ転送設定レジスタ (TBTERA、TBTERB) レジスタの BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする／しない、または割り込み間引きと連動する／しないを選択することが可能です。

バッファ転送を抑制する設定 (BTE[1:0] = 01b) にした場合の動作例を図 22.80 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例を図 22.81 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B) の T3AEN (T6AEN) ビットを“1”にした場合、T4VEN (T7VEN) ビットを“1”にした場合、TITCR1A (TITCR1B) レジスタの T3AEN、T4VEN (T6AEN、T7VEN) ビットを“1”にした場合で、それぞれバッファ転送許可期間が異なります。TITCR1A (TITCR1B) レジスタの T3AEN、T4VEN (T6AEN、T7VEN) ビットの設定とバッファ転送許可期間の関係を図 22.82 に示します。

注 . 本機能は、割り込み間引き機能 1 と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B) の T3AEN、T4VEN (T6AEN、T7VEN) ビットを“0”に設定したとき、または TITCR1A (TITCR1B) の間引き回数設定ビット (T3ACOR、T4ACOR (T6ACOR、T7VCOR)) を“0”に設定したとき) は、必ずバッファ転送を割り込み間引きと連動しない設定 (TBTERA、TBTERB の BTE1 ビットを“0”に設定) してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

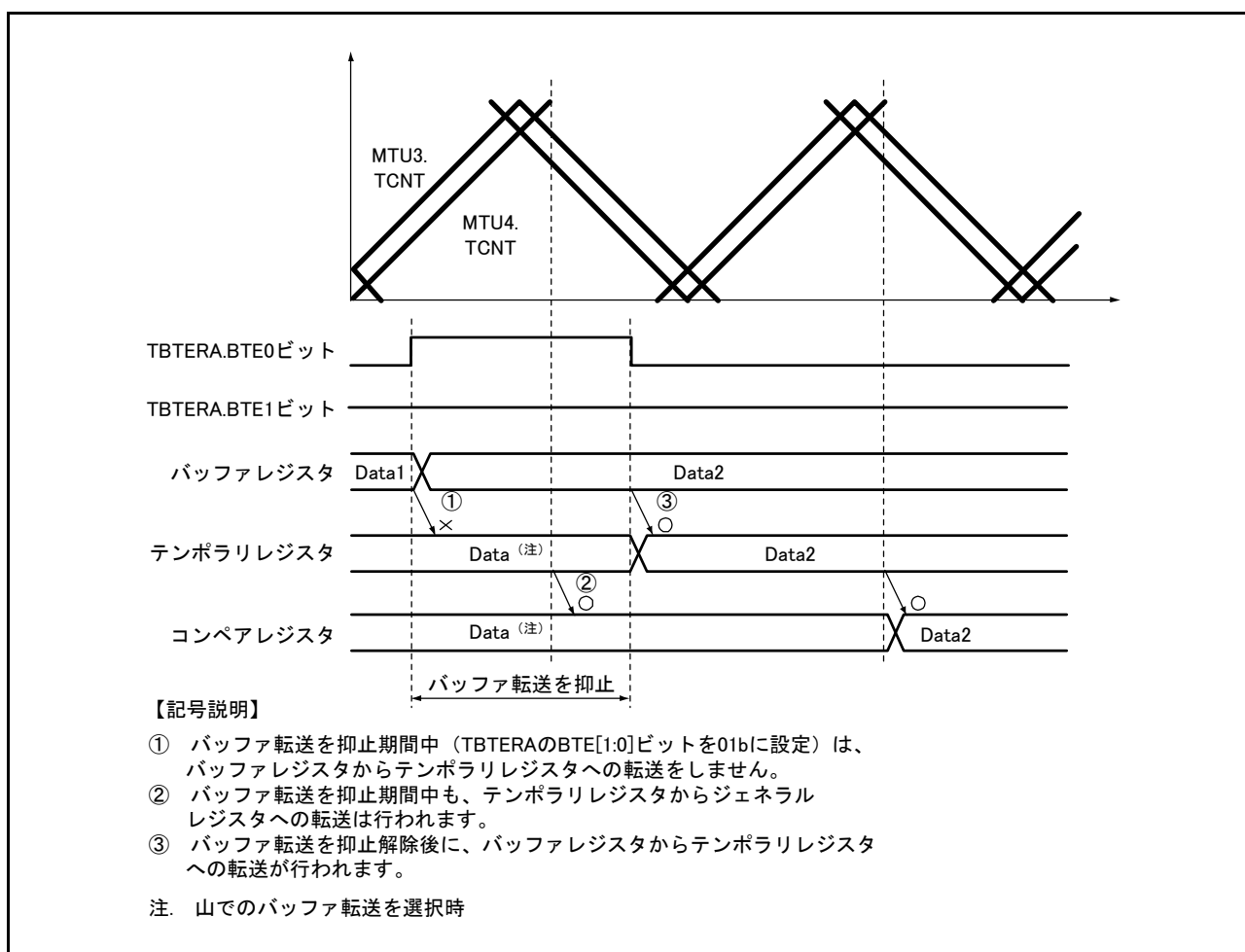


図 22.80 バッファ転送を抑制する設定 (BTE[1:0] = 01b) にした場合の動作例

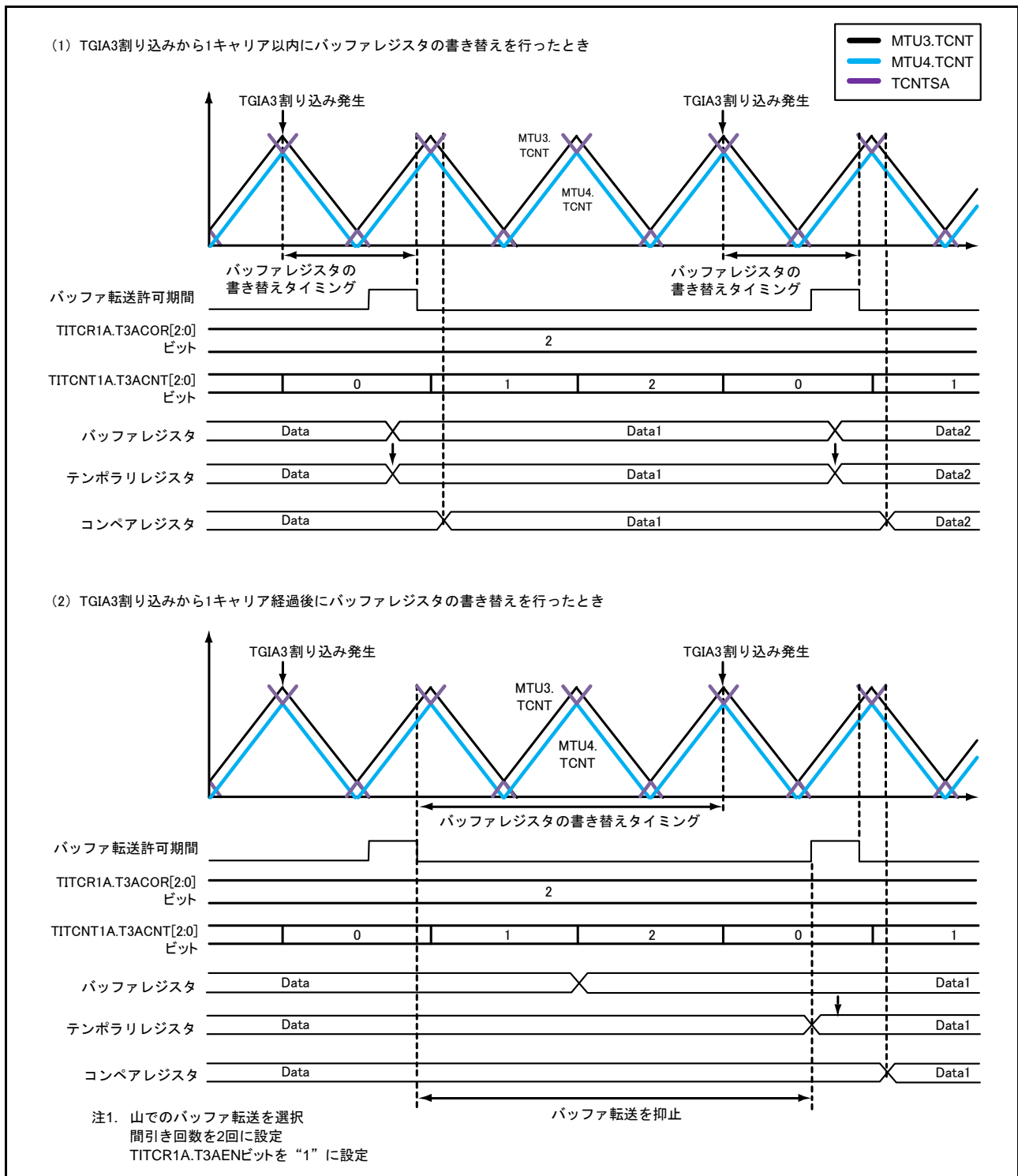


図 22.81 バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例

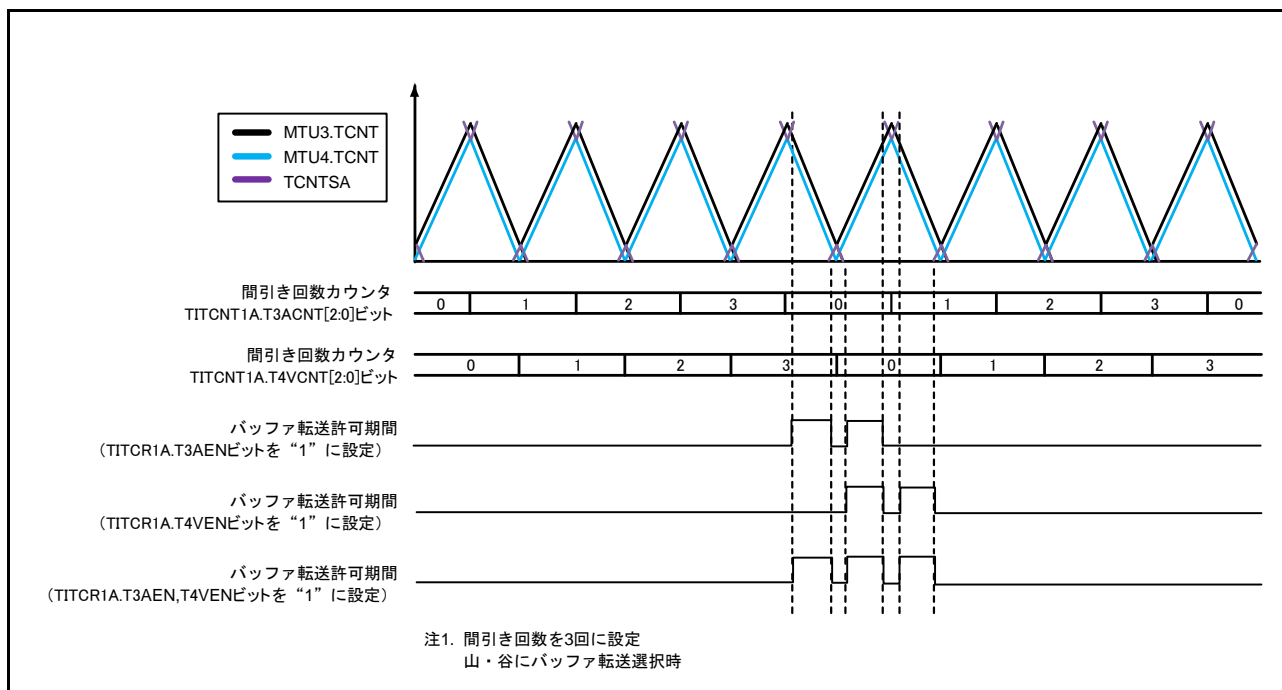


図 22.82 TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き替えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ (TRWERA、TRWERB) の RWE ビットの設定により CPU からのアクセスの許可/禁止を選択することが可能です。対象となるレジスタは MTU3、MTU4、MTU6、MTU7 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR、MTU4.TCR、MTU3.TMDR1、MTU4.TMDR1、MTU3.TIORH、
MTU4.TIORH、MTU3.TIORL、MTU4.TIORL、MTU3.TIER、MTU4.TIER、
MTU3.TCNT、MTU4.TCNT、MTU3.TGRA、MTU4.TGRA、MTU3.TGRB、MTU4.TGRB、
TOERA、TOCR1A、TOCR2A、TGCRA、TCDRA、TDDRA
MTU6.TCR、MTU7.TCR、MTU6.TMDR1、MTU7.TMDR1、MTU6.TIORH、MTU7.TIORH、
MTU6.TIORL、MTU7.TIORL、MTU6.TIER、MTU7.TIER、MTU6.TCNT、MTU7.TCNT、
MTU6.TGRA、MTU7.TGRA、MTU6.TGRB、MTU7.TGRB、
TOERB、TOCR1B、TOCR2B、TCDRB、TDDRB

計 43 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効になります。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。

詳細は、「23. ポートアウトプットイネーブル 3 (POE3)」を参照してください。

(c) 発振停止時の PWM 出力の停止機能

6 相 PWM 出力端子は、本 MCU に入力されているクロックが停止したことを検出して出力端子を自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

詳細は、「10.4 発振停止検出機能」を参照してください。

22.3.9 A/D 変換開始要求ディレイド機能

MTU4 または MTU7 のタイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR、MTU7.TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB、MTU7.TADCORA、MTU7.TADCORB)、タイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB、MTU7.TADCOBRA、MTU7.TADCOBRB) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB (MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB) を比較し、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB (MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB) が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN (TRG7AN、TRG7BN)) を行います。

また、MTU4.TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE (MTU7.TADCR の ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN (TRG7AN、TRG7BN)) を間引くことが可能です。

(1) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 22.83 に示します。

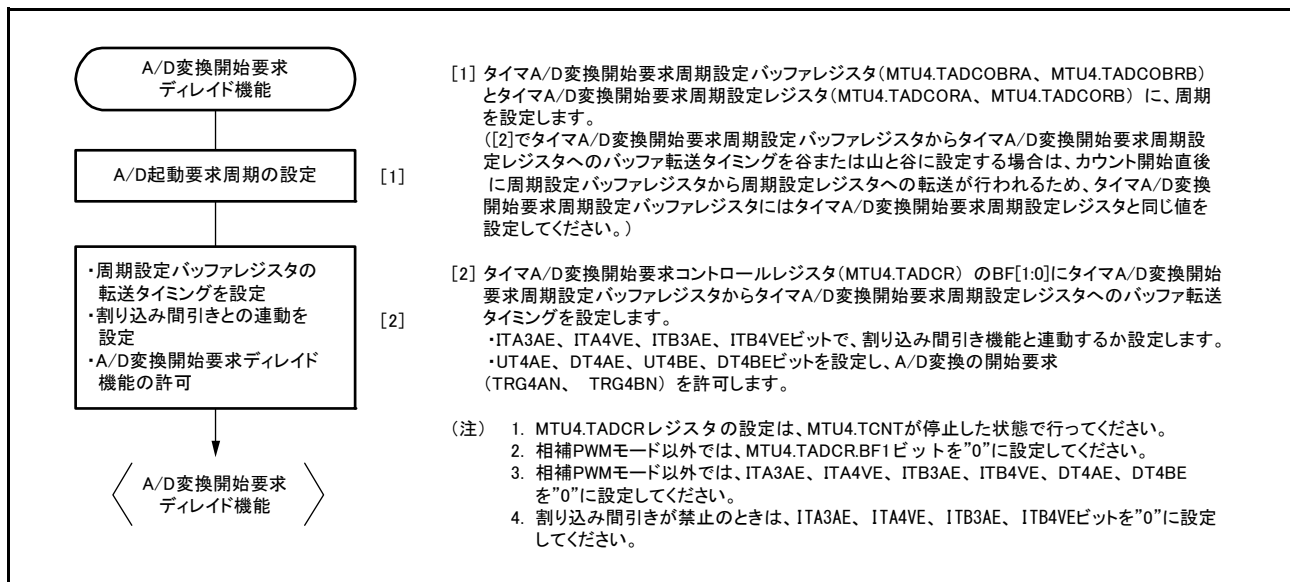


図 22.83 A/D 変換開始要求ディレイド機能の設定手順例

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT (MTU7.TCNT) の谷に設定し、MTU4.TCNT (MTU7.TCNT) のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) の基本動作例を図 22.84 に示します。

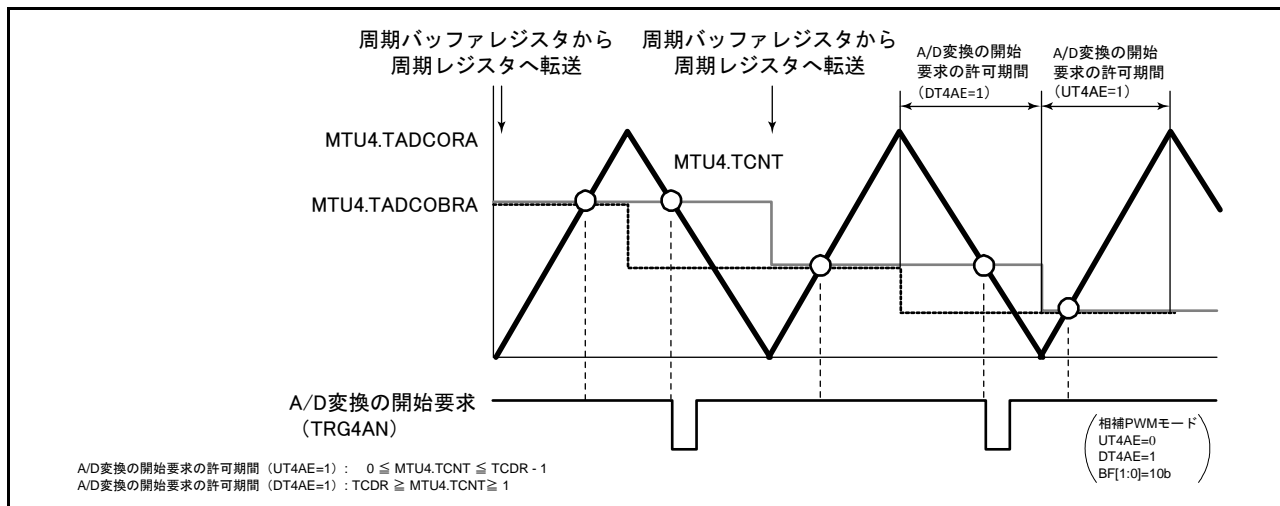


図 22.84 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) A/D 変換の開始要求の許可期間

MTU4.TADCR の UT4AE、UT4BE (MTU7.TADCR の UT7AE、UT7BE) ビットで許可した期間内に MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB (MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB) が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

相補 PWM モードで MTU4.TADCR の UT4AE、UT4BE (MTU7.TADCR の UT7AE、UT7BE) ビットを“1”に設定すると、MTU4.TCNT (MTU7.TCNT) のアップカウント期間 ($0 \leq \text{MTU4.TCNT} (\text{MTU7.TCNT}) \leq \text{TCDR} - 1$) に A/D 変換の開始要求を許可します。MTU4.TADCR の DT4AE、DT4BE (MTU7.TADCR の DT7AE、DT7BE) ビットを“1”に設定すると、MTU4.TCNT (MTU7.TCNT) のダウンカウント期間 ($\text{TCDR} \geq \text{MTU4.TCNT} (\text{MTU7.TCNT}) \geq 1$) に A/D 変換の開始要求を許可します (図 22.84)。

(4) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB、MTU7.TADCORA、MTU7.TADCORB) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB、MTU7.TADCOBRA、MTU7.TADCOBRB) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR、MTU7.TADCR) の BF[1:0] ビットを設定することにより選択することができます。

また、相補 PWM モード時はタイマジェネラルレジスタ D (MTU4.TGRD、MTU7.TGRD) の書き替えのタイミングでも、タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへ転送します。相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。

詳細は、「22.6.26 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」をご覧ください。

また、相補 PWM モード以外のときは、BF1 ビットを“0”に設定してください。

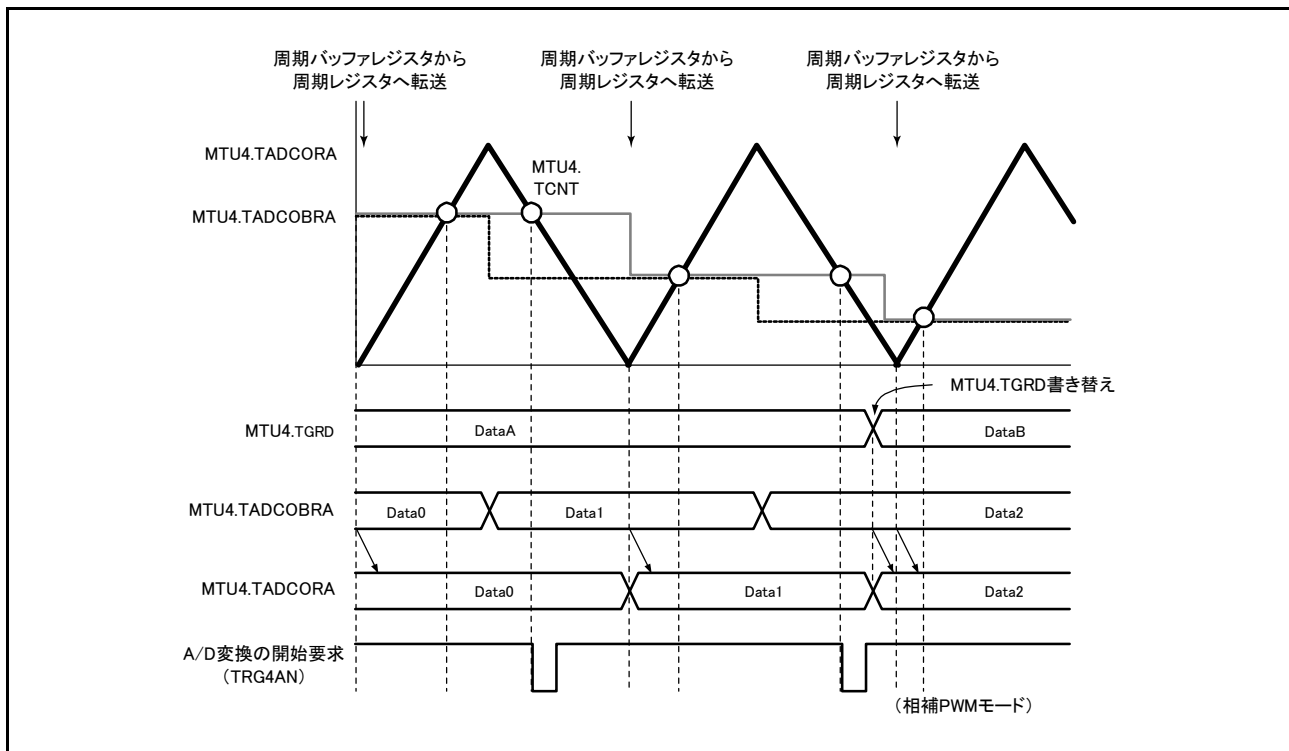


図 22.85 A/D 変換の開始要求信号 (TRG4AN) とバッファ転送動作例

(5) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能

相補PWMモードでは、タイマA/D変換開始要求コントロールレジスタ (MTU4.TADCR、MTU7.TADCR) のITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットの設定により、割り込み間引き機能1と連動してA/D変換の開始要求 (TRG4AN、TRG4BN (TRG7AN、TRG7BN)) を行うことが可能です。

相補PWMモード以外では、割り込み間引き機能と連動したA/D変換開始要求ディレイド機能は使用できません。MTU4.TADCR (MTU7.TADCR) のITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットを“0”に設定してください。

MTU4.TCNT (MTU7.TCNT) のアップカウント時、およびダウンカウント時にTRG4AN (TRG7AN) 出力を許可する設定にし、割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN (TRG7AN)) の動作例を図22.86に示します。

また、MTU4.TCNT (MTU7.TCNT) のアップカウント時にTRG4AN (TRG7AN) 出力を許可する設定にし、割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN (TRG7AN)) の動作例を図22.87に示します。相補PWMモード以外では、割り込み間引き機能と連動したA/D変換開始要求ディレイド機能は使用できません。

MTU4.TADCR (MTU7.TADCR) のITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットを“0”に設定してください。

注. 本機能は割り込み間引き機能1と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR1A (TITCR1B)) のT3AEN、T4VEN (T6AEN、T7VEN) ビットを“0”にしたとき、またはTITCR1A (TITCR1B) レジスタの間引き回数設定ビット (T3ACOR、T4VCOR (T6ACOR、T7VCOR)) を“0”にしたとき) は、割り込み間引き機能1と連動しない (MTU4.TADCR (MTU7.TADCR)) レジスタのITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットを“0”にする) 設定にしてください。

また、本機能使用時、MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA、MTU7.TADCORB) には0002h ~ TCDRAの設定値 - 2 (TCDRBの設定値 - 2) の値にしてください。

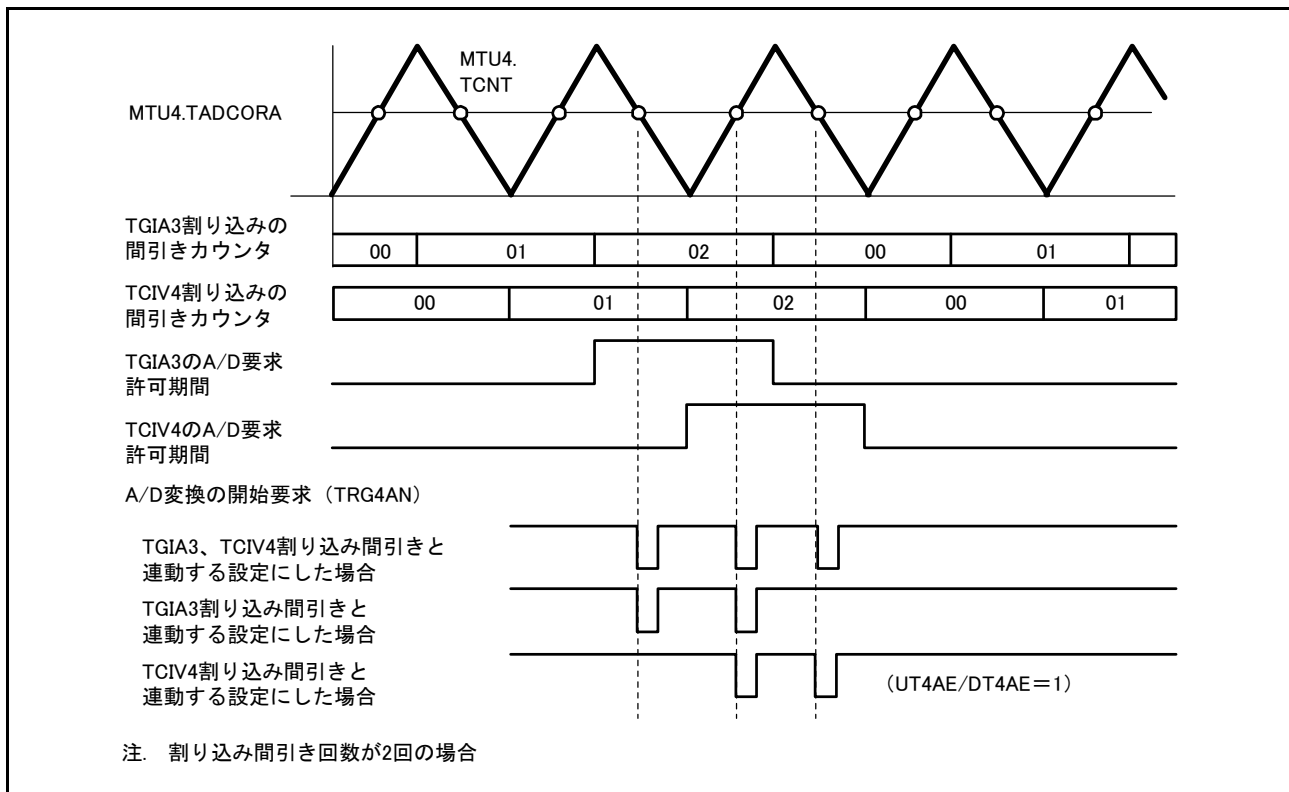


図 22.86 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE、DT4AE = 1)

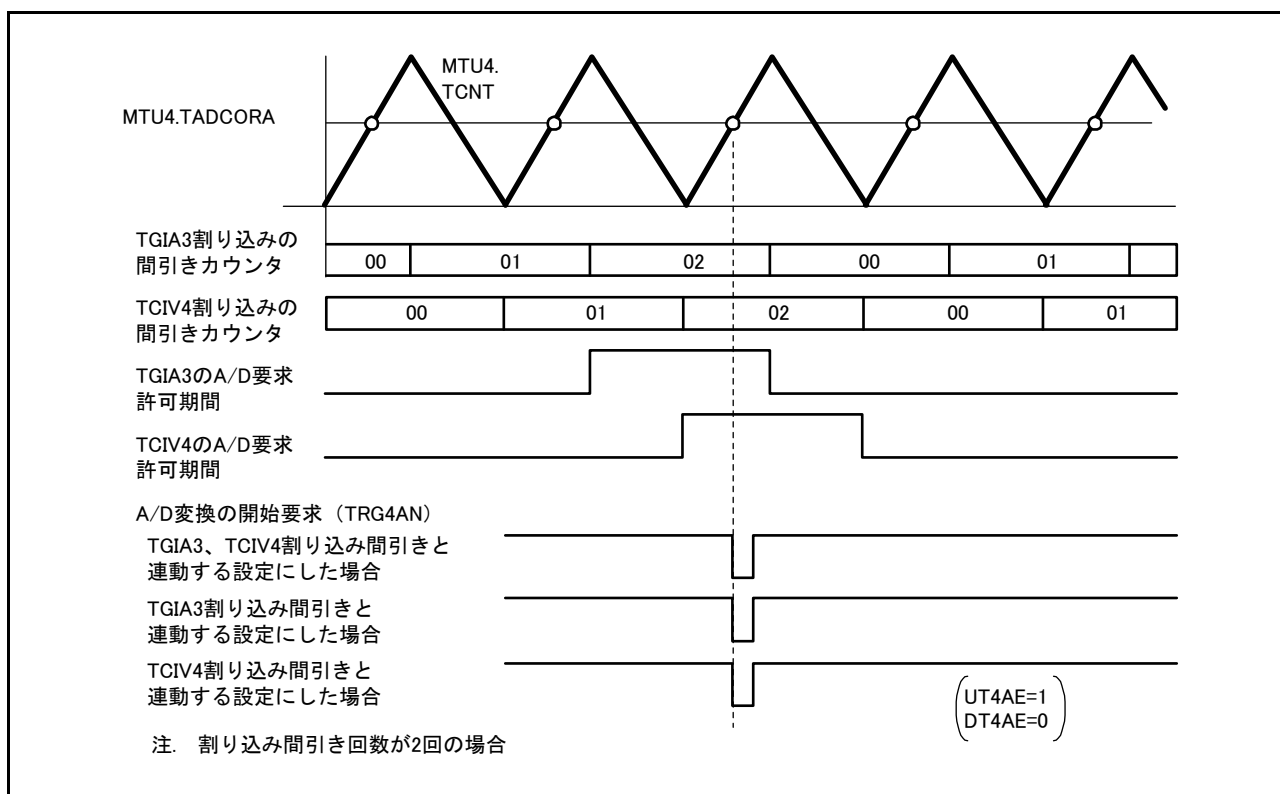


図 22.87 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE = 1、DT4AE = 0)

(6) 割り込み間引き機能2と連動したA/D変換開始要求ディレイド機能

タイマ割り込み間引きモードレジスタ (TITMRA、TITMRB) において TITM ビットを“1”にし、タイマ割り込み間引き設定レジスタ2 (TITCR2A (TITCR2B)) において TRG4COR[2:0] (TRG7COR[2:0]) ビットで設定した値 (0～7) から、既存のA/D変換開始トリガ (TGR4AN および TRG4BN (TGR7AN および TRG7BN)) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN および TRG4BN (TRG7AN および TRG7BN) の割り込みが有効になり、AD変換開始要求信号 (TRG4ABN (TRG7ABN)) が出力されます。

この機能はAD変換開始要求ディレイド機能の使用時のみ有効になります。

(a) 割り込み間引き機能2の設定手順例

図 22.88 に割り込み間引き機能2の設定手順例を示します。

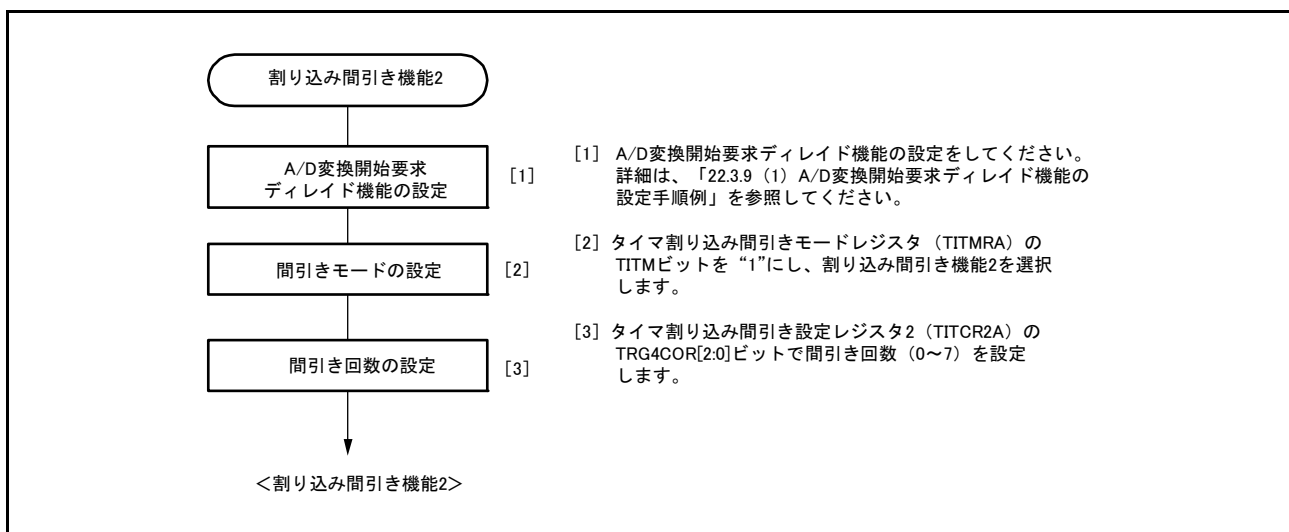


図 22.88 割り込み間引機能2の設定手順例

(b) 割り込み間引き機能2の動作例

図 22.89 に割り込み間引き機能2の動作例を示します。

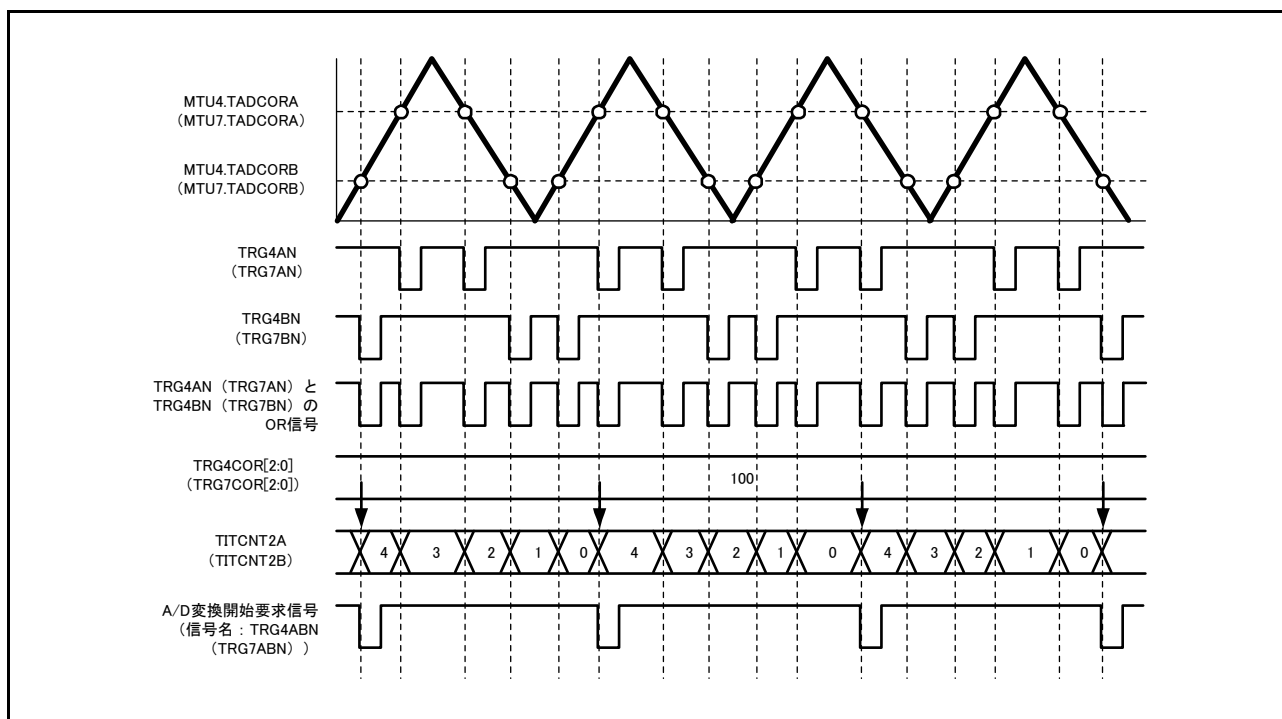


図 22.89 割り込み間引き機能2の動作例 (間引き回数を4回とした場合)

22.3.10 MTU0 ~ MTU4 - MTU6、MTU7 の同期動作

(1) MTU0 ~ MTU4 - MTU6、MTU7 カウンタ同期スタート

TCSYSTR レジスタを設定することにより、MTU0 ~ MTU4 と MTU6、MTU7 のカウンタを同期スタートすることができます。

(a) MTU0 ~ MTU4 - MTU6、MTU7 カウンタ同期スタートの設定手順例

カウンタ同期スタートの設定手順例を図 22.90 に示します。

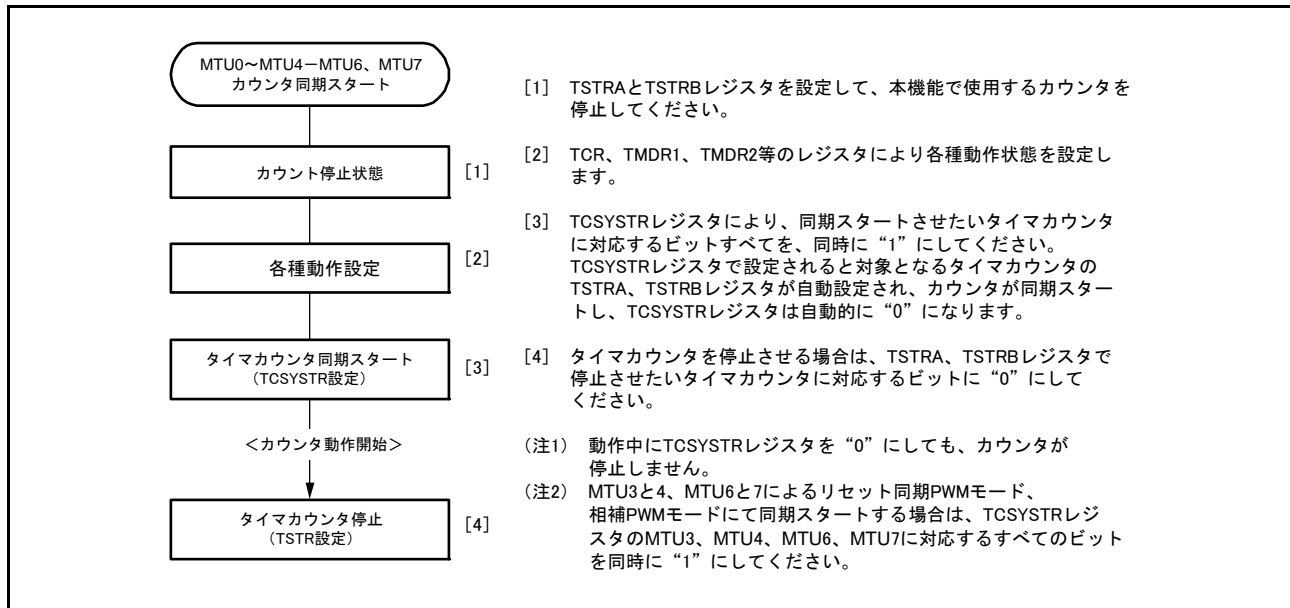


図 22.90 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 22.91 に、MTU0 ~ MTU4 と MTU6、MTU7 のカウンタ同期スタート動作例を示します。

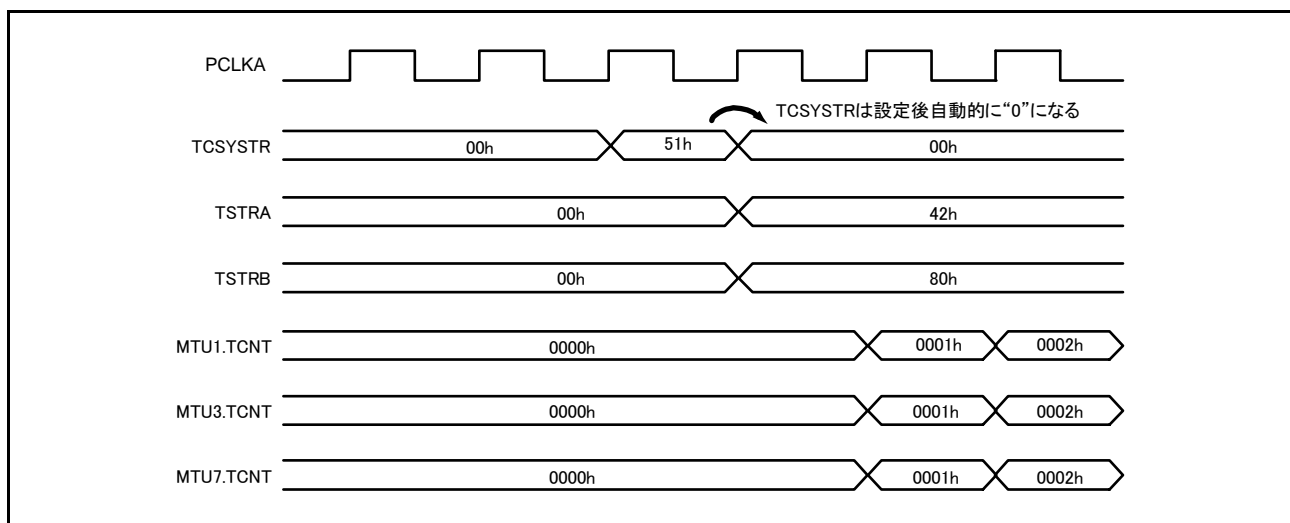


図 22.91 カウンタ同期スタート動作例

(2) フラグセット要因を利用した MTU6、MTU7 カウンタクリア (MTU6、MTU7 カウンタ同期クリア)

MTU6、MTU7 は TSYCR レジスタを設定することにより、MTU0.TSR ~ MTU2.TSR のフラグセット要因を利用して、カウンタクリアすることができます。

(a) フラグセット要因を利用した MTU6、MTU7 カウンタクリアの設定手順例

フラグセット要因を利用した MTU6、MTU7 カウンタクリアの設定手順例を図 22.92 に示します。

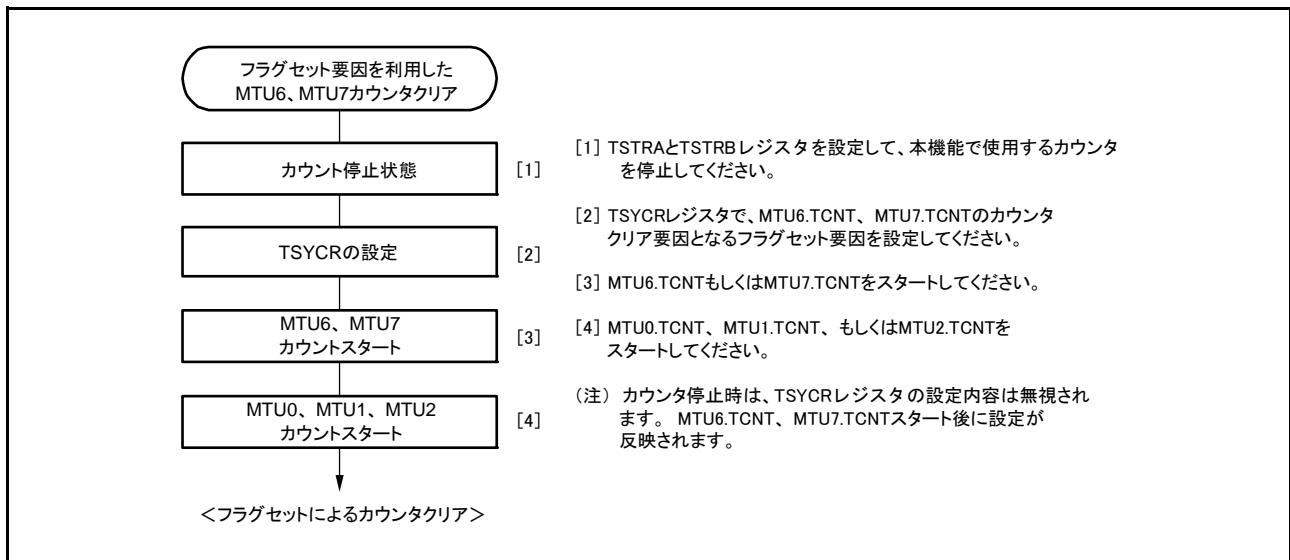


図 22.92 フラグセット要因を利用した MTU6、MTU7 カウンタクリアの設定手順例

(b) フラグセット要因を利用した MTU6、MTU7 カウンタクリアの動作例

フラグセット要因を利用した MTU6、MTU7 カウンタクリアの動作例を図 22.93、図 22.94 に示します。

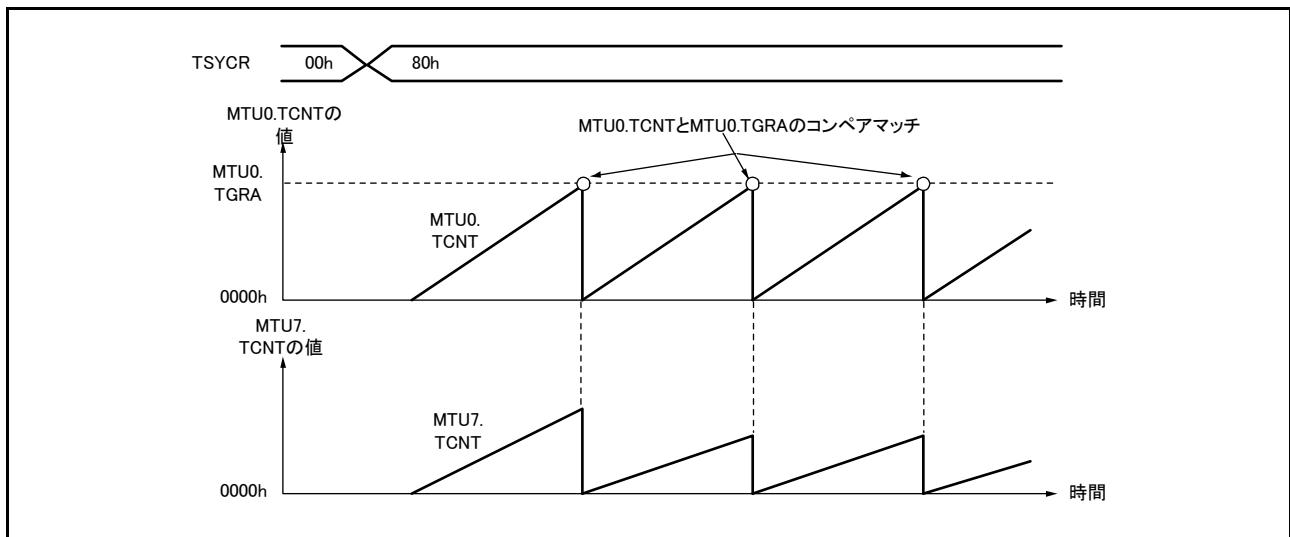


図 22.93 フラグセット要因を利用した MTU6、MTU7 カウンタクリアの動作例 (1)

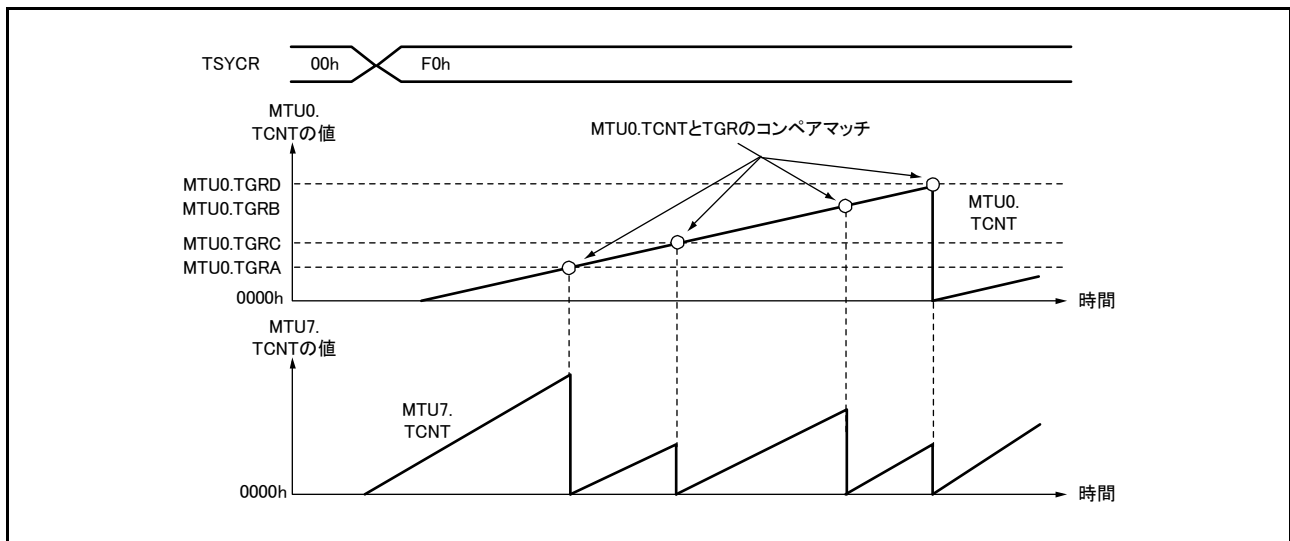


図 22.94 フラグセット要因を利用した MTU6、MTU7 カウンタクリアの動作例 (2)

22.3.11 外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

(1) 外部パルス幅測定の設定手順例

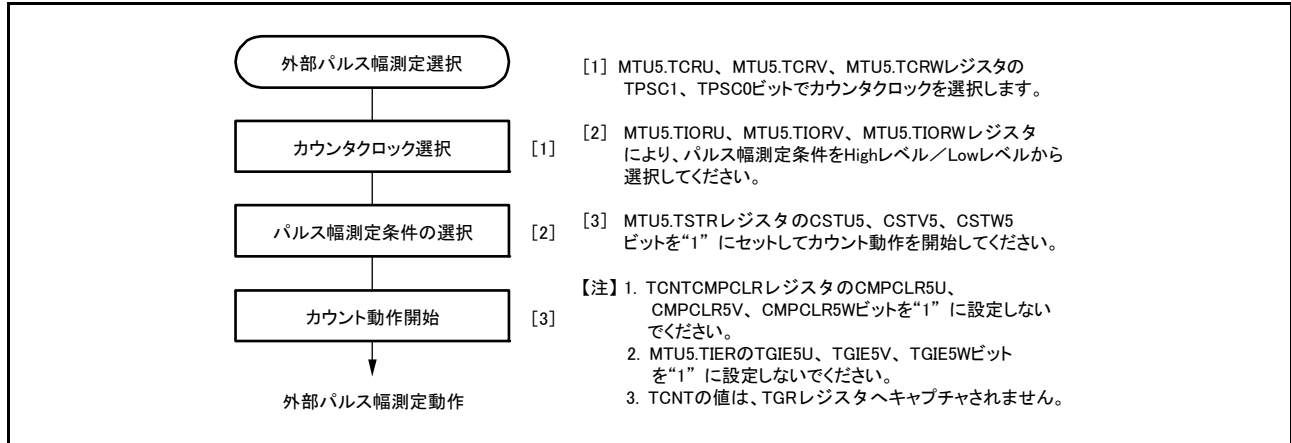


図 22.95 外部パルス幅測定の設定手順例

(2) 外部パルス幅測定動作例

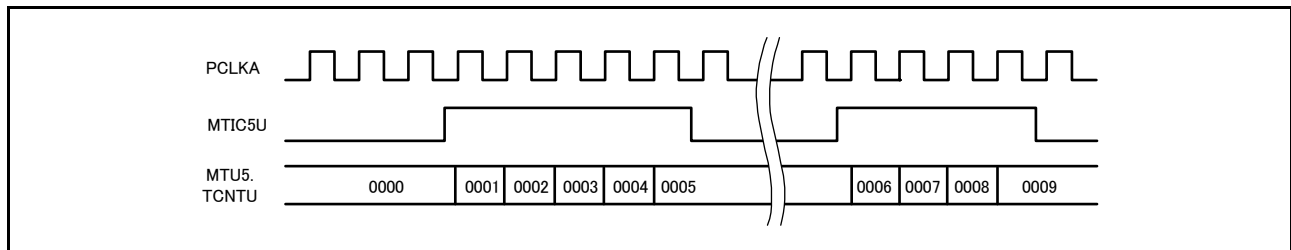


図 22.96 外部パルス幅測定動作例 (High パルス幅測定)

22.3.12 デッドタイム補償機能

出力波形の遅れを測定してデューティ比に反映することで、外部パルス幅測定機能を相補 PWM 動作時の PWM 出力波形に対するデッドタイム補償機能として使用することができます。

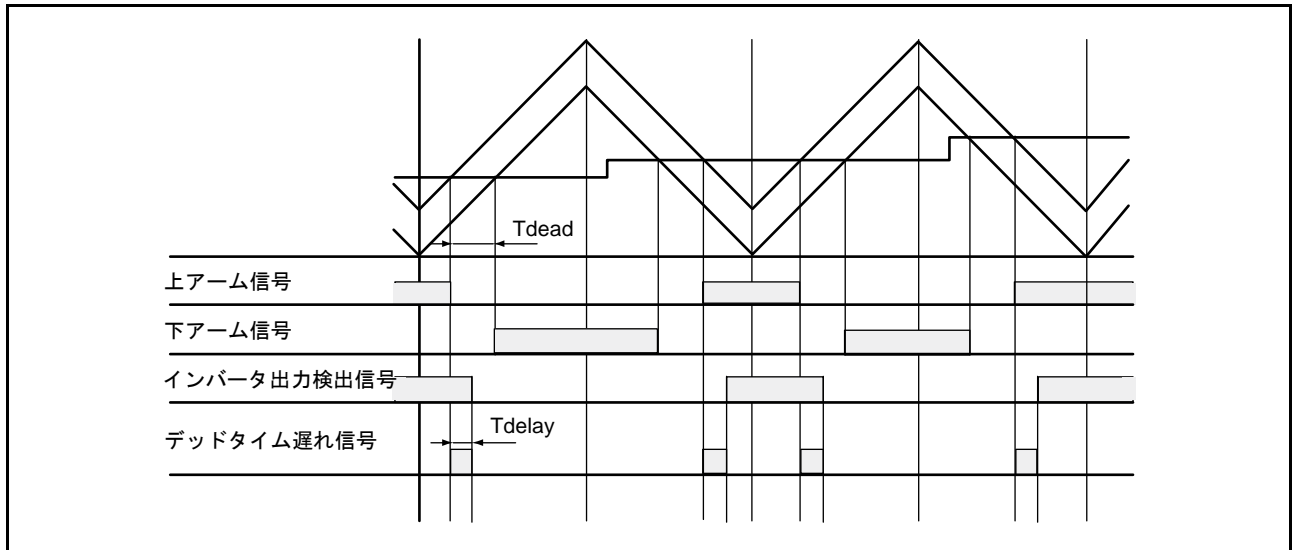


図 22.97 相補 PWM 動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

MTU5 の3本のカウンタを使用したデッドタイム補償機能の設定手順例を図 22.98 に示します。

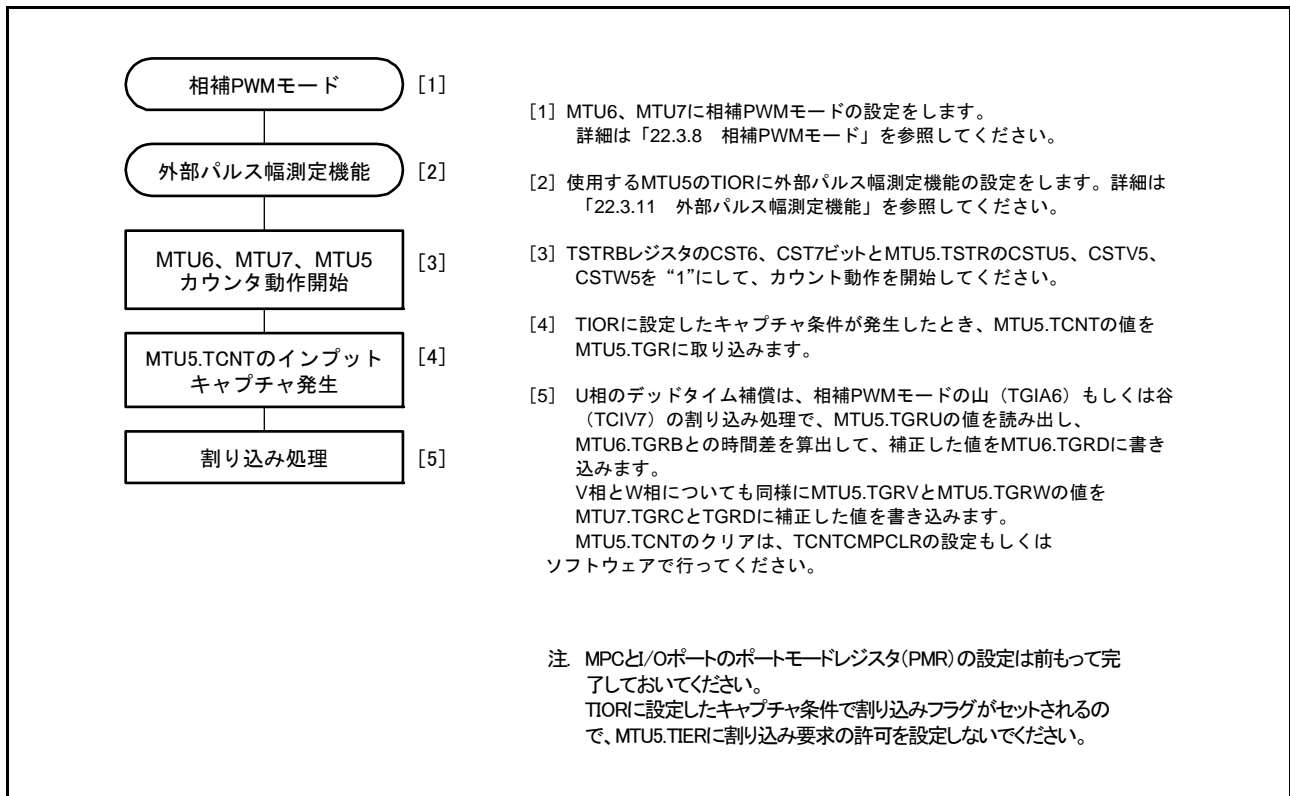


図 22.98 デッドタイム補償機能の設定手順例

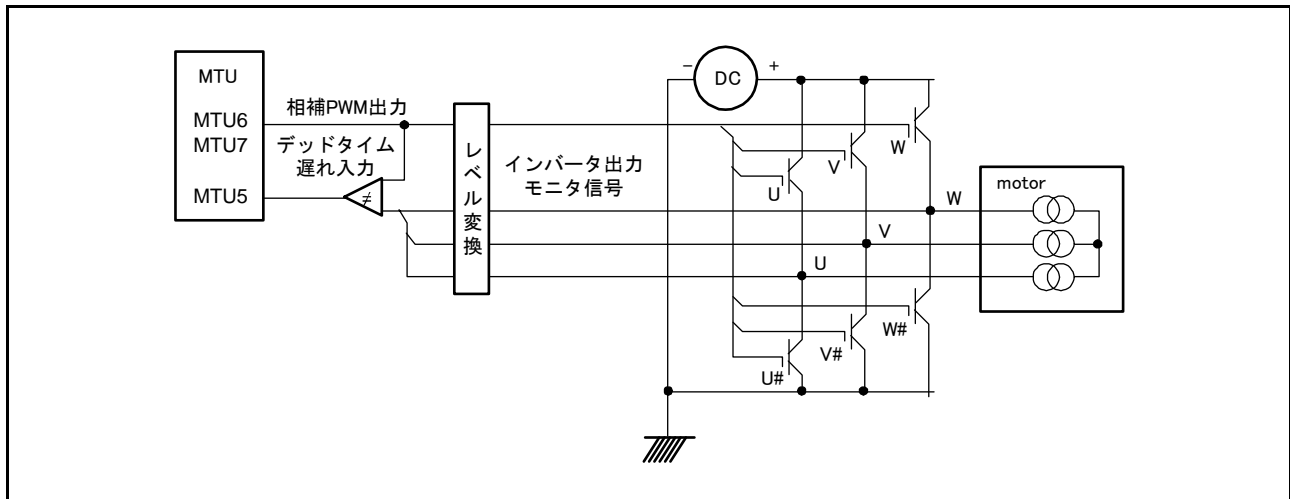


図 22.99 モータ制御回路構成例

22.3.13 相補 PWM モード時の「山／谷」での TCNT キャプチャ動作

相補 PWM モード時、TCNT の値を「山、谷、山谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

図 22.100 は TCNT がフリーランでクリアせずに使用し、設定した「山、谷」で TGR にキャプチャを行った動作例です。

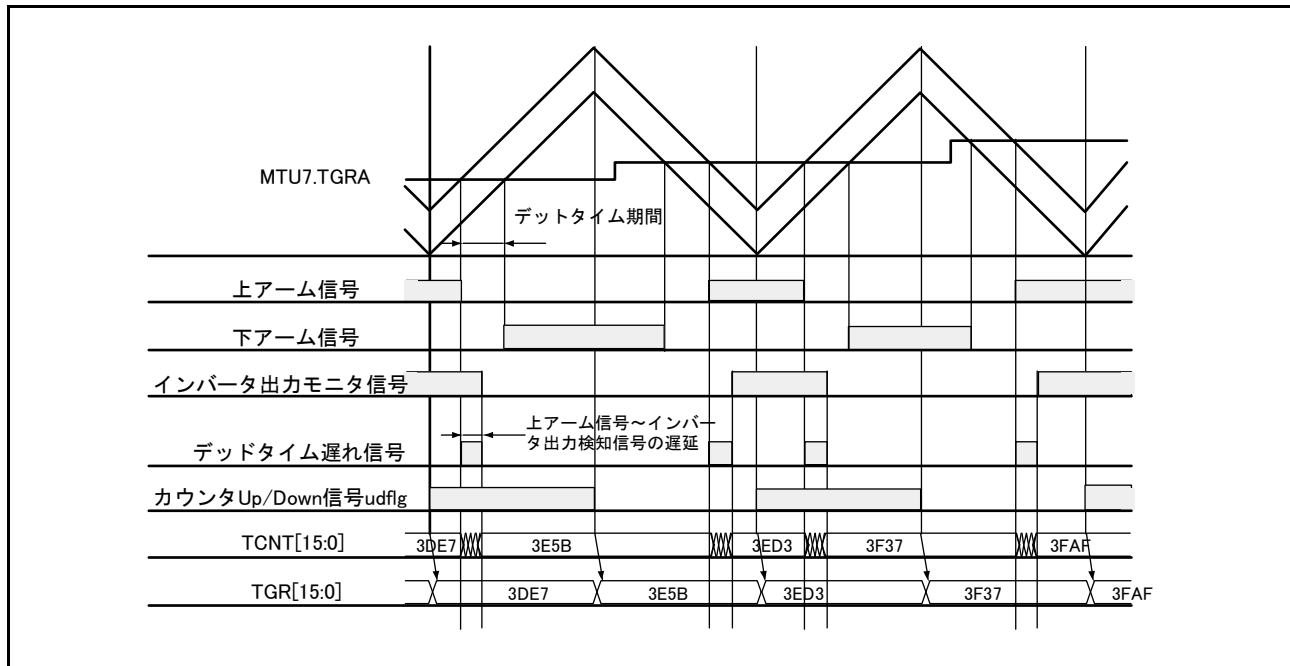


図 22.100 相補 PWM の「山／谷」での TCNT キャプチャ動作

22.4 割り込み要因

22.4.1 割り込み要因と優先順位

MTU の割り込み要因には、TGR のインプットキャプチャ／コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可／禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR レジスタの対応するステータスフラグが“1”になります。このとき TIER レジスタの対応する許可／禁止ビットが“1”ならば、割り込みを要求します。ただし、当該ステータスフラグが“1”の状態での、割り込み要求は無視されますので、再度割り込みを可能にするには、当該ステータスフラグを“0”にしてください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。表 22.72 に MTU の割り込み要因の一覧を示します。

表22.72 MTU割り込み要因

チャンネル	名称	割り込み要因	DTC/DMAC の起動	優先順位
MTU0	TGIA0	MTU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	↑ 高
	TGIB0	MTU0.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC0	MTU0.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID0	MTU0.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV0	MTU0.TCNTのオーバフロー	不可能	
	TGIE0	MTU0.TGREのコンペアマッチ	不可能	
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能	
MTU1	TGIA1	MTU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB1	MTU1.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TCIV1	MTU1.TCNTのオーバフロー	不可能	
	TCIU1	MTU1.TCNTのアンダフロー	不可能	
MTU2	TGIA2	MTU2.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB2	MTU2.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TCIV2	MTU2.TCNTのオーバフロー	不可能	
	TCIU2	MTU2.TCNTのアンダフロー	不可能	
MTU3	TGIA3	MTU3.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB3	MTU3.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC3	MTU3.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID3	MTU3.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV3	MTU3.TCNTのオーバフロー	不可能	
MTU4	TGIA4	MTU4.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB4	MTU4.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC4	MTU4.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID4	MTU4.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV4	MTU4.TCNTのオーバフロー/アンダフロー (相補PWMモード時のみ)	可能	
MTU5	TGIU5	MTU5.TGRUのインプットキャプチャ/コンペアマッチ	可能	
	TGIV5	MTU5.TGRVのインプットキャプチャ/コンペアマッチ	可能	
	TGIW5	MTU5.TGRWのインプットキャプチャ/コンペアマッチ	可能	
MTU6	TGIA6	MTU6.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB6	MTU6.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC6	MTU6.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID6	MTU6.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV6	MTU6.TCNTのオーバフロー	不可能	
MTU7	TGIA7	MTU7.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB7	MTU7.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC7	MTU7.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID7	MTU7.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV7	MTU7.TCNTのオーバフロー/アンダフロー (相補PWMモード時のみ)	可能	低

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TSR.TGR のインพุットキャプチャ/コンペアマッチの発生により、TSR.TGF フラグが“1”のとき、TIER.TGIE ビットが“1”であれば、割り込みを要求します。TGF フラグを“0”にすることで割り込み要求は解除されます。MTU には、MTU0 に 6 本、MTU3、MTU4、MTU6、MTU7 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に各 3 本、計 29 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。MTU0 の MTU0.TGFE、MTU0.TGFF フラグは、インพุットキャプチャでは“1”になりません。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR.TCFV フラグが“1”のとき、TIER.TCIEV ビットが“1”であれば、割り込みを要求します。TSR.TCFV フラグを“0”することで割り込み要求は解除されます。MTU には、各チャンネルに 1 本、計 7 本のオーバフロー割り込みがあります。

なお、相補 PWM モードで動作時は、MTU4.TCNT、MTU7.TCNT のアンダフロー発生時も TCFV フラグが“1”になります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR.TCFU フラグが“1”のとき、TIER.TCIEU ビットが“1”であれば、割り込みを要求します。TSR.TCFU フラグを“0”にすることで割り込み要求は解除されます。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

22.4.2 DMAC/DTC の起動

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチ割り込み、MTU4、MTU7 のオーバフロー割り込みによって、DTC または DMAC を起動することができます。詳細は「18. DMA コントローラ (DMACA)」、「19. データトランスファコントローラ (DTCa)」を参照してください。

MTU では、MTU0、MTU3、MTU6 が各 4 本、MTU1、MTU2 が各 2 本、MTU4、MTU7 が 5 本、MTU5 が 3 本、計 29 本のインพุットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DTC または DMAC の起動要因とすることができます。

ただし、割り込み処理同様に、当該ステータスフラグが“1”の状態での、DTC または DMAC 要求は無視されますので、再度 DTC または DMAC 起動を可能にするには、当該ステータスフラグを“0”にしてください。

22.4.3 A/D コンバータの起動

MTUでは、次の3種類の方法でA/Dコンバータを起動することができます。
各割り込み要因とA/D変換開始要求の対応を、表22.73に示します。

(1) TGRAのインプットキャプチャ/コンペアマッチと、相補PWMモード時のMTU4.TCNT (MTU7.TCNT)の谷でのA/D起動

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチによって、A/Dコンバータを起動することができます。また、MTU4.TIER (MTU7.TIER)のTTGE2ビットを“1”にした状態で、相補PWM動作をさせた場合は、MTU4.TCNT (MTU7.TCNT)が谷 (MTU4.TCNT (MTU7.TCNT) = 0000h) になったときもA/Dコンバータを起動することができます。

次に示す条件で、A/Dコンバータに対してA/D変換開始要求TRGAnN (n: MTU0 ~ MTU4, MTU6, MTU7)を発生します。

- 各チャンネルのTGRAのインプットキャプチャ/コンペアマッチの発生により、TSR.TGFAフラグが“1”になったとき、TIER.TTGEビットが“1”になっていた場合
- MTU4.TIER (MTU7.TIER)のTTGE2ビットが“1”の状態、相補PWM動作をさせ、MTU4.TCNT (MTU7.TCNT)が谷 (MTU4.TCNT (MTU7.TCNT) = 0000h) になった場合

これらのときA/Dコンバータ側でMTUの変換開始トリガTRGAnNが選択されていれば、A/D変換が開始されます。

(2) MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D起動

MTU0のMTU0.TCNTとMTU0.TGREのコンペアマッチによって、A/D変換開始要求TRG0ANを発生し、A/Dコンバータを起動することができます。

MTU0のMTU0.TCNTとMTU0.TGREのコンペアマッチの発生により、MTU0.TSR2のTGFEフラグが“1”になったとき、MTU0.TIER2のTTGE2ビットが“1”になっていれば、A/Dコンバータに対してA/D変換開始要求TRG0ANを発生します。このとき、A/Dコンバータ側でMTUの変換開始トリガTRG0ANが選択されていれば、A/D変換が開始されます。

(3) A/D変換開始要求ディレイド機能によるA/D起動

A/D変換開始要求コントロールレジスタ (MTU4.TADCR (MTU7.TADCR))のUT4AE、DT4AE、UT4BE、DT4BE (UT7AE、DT7AE、UT7BE、DT7BE)ビットを“1”にした場合、MTU4.TADCORA、MTU4.TADCORBとMTU4.TCNT (MTU7.TADCORA、MTU7.TADCORBとMTU7.TCNT)の一致によって、TRG4AN、TRG4BN (TRG7AN、TRG7BN)を発生し、A/Dコンバータを起動することができます。また、TRG4AN (TRG7AN)の発生またはTRG4BN (TRG7BN)の発生にてTRG4ABN (TRG7ABN)を出力し、A/Dコンバータを起動することができます。詳細は「22.3.9 A/D変換開始要求ディレイド機能」を参照してください。

TRG4AN (TRG7AN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4AN (TRG7AN)が選択されているとき、TRG4BN (TRG7BN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4BN (TRG7BN)が選択されているとき、TRG4ABN (TRG7ABN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4ABN (TRG7ABN)が選択されているとき、おのおのA/D変換が開始されます。

表22.73 各割り込み要因とA/D変換開始要求の対応

対象	割り込み要因	A/D変換開始要求
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGA0N
MTU1.TGRAとMTU1.TCNT		TRGA1N
MTU2.TGRAとMTU2.TCNT		TRGA2N
MTU3.TGRAとMTU3.TCNT		TRGA3N
MTU4.TGRAとMTU4.TCNT (注1)		TRGA4N
MTU4.TCNT	相補PWMモード時のMTU4.TCNTの谷	
MTU6.TGRAとMTU6.TCNT	インプットキャプチャ/コンペアマッチ	TRGA6N
MTU7.TGRAとMTU7.TCNT (注1)		TRGA7N
MTU7.TCNT	相補PWMモード時のMTU7.TCNTの谷	
MTU0.TGREとMTU0.TCNT	コンペアマッチ	TRG0AN
MTU4.TADCORAとMTU4.TCNT	コンペアマッチ	TRG4AN
MTU4.TADCORBとMTU4.TCNT		TRG4BN
MTU7.TADCORAとMTU7.TCNT		TRG7AN
MTU7.TADCORBとMTU7.TCNT		TRG7BN
MTU4.TADCORAとMTU4.TCNT、 MTU4.TADCORBとMTU4.TCNT	コンペアマッチ (割り込み間引き機能2)	TRG4ABN
MTU7.TADCORAとMTU7.TCNT、 MTU7.TADCORBとMTU7.TCNT		TRG7ABN

注1. 相補PWMモード時はPWM波形を生成するため、MTU4.TGRA (MTU7.TGRA) はMTU4.TCNT (MTU7.TCNT) だけではなく、MTU3.TCNT (MTU6.TCNT) やTCNTSA (TCNTSB) とコンペアマッチの検出を行っています。そのため、MTU3.TCNT (MTU6.TCNT) やTCNTSA (TCNTSB) とコンペアマッチが起こった際もTRGA4N (TRGA7N) を発生しません。

MTU3、MTU4 (MTU6、MTU7) を相補PWMモードで動作させて、A/D変換開始要求を発生させる場合はMTU4.TCNT (MTU7.TCNT) とMTU4.TADCORA/B (MTU7.TADCORA/B) とのコンペアマッチによるA/D変換開始要求を使用してください。

22.5 動作タイミング

22.5.1 入出力タイミング

(1) TCNTのカウントタイミング

内部クロック動作の場合のTCNTのカウントタイミングを図22.101、図22.102に示します。また、外部クロック動作（ノーマルモード）の場合のTCNTのカウントタイミングを図22.103に、外部クロック動作（位相計数モード）の場合のTCNTのカウントタイミングを図22.104に示します。

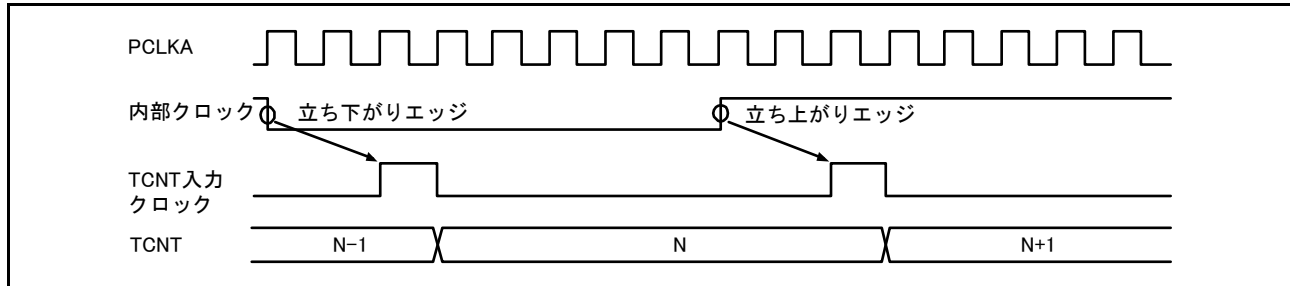


図 22.101 内部クロック動作時のカウントタイミング (MTU0 ~ MTU4、MTU6、MTU7)

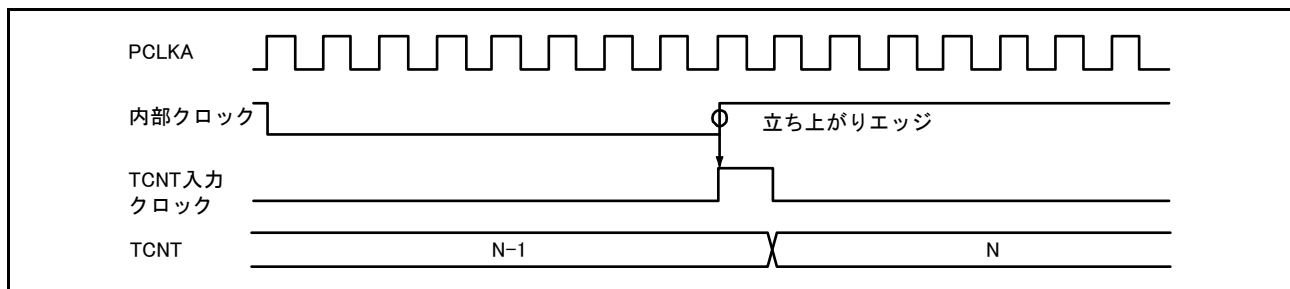


図 22.102 内部クロック動作時のカウントタイミング (MTU5)

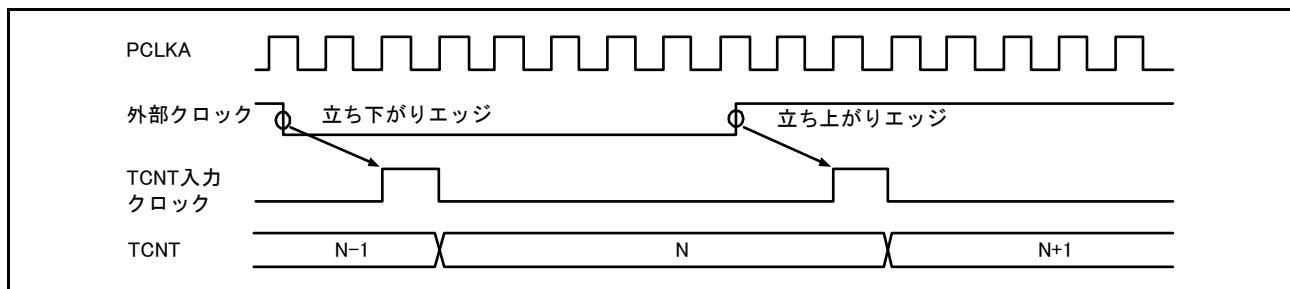


図 22.103 外部クロック動作時のカウントタイミング (MTU0 ~ MTU4)

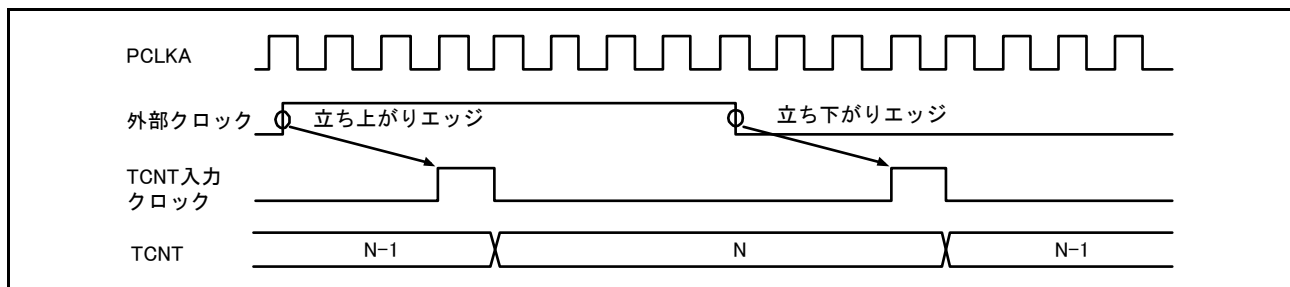


図 22.104 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR レジスタで設定した出力値がアウトプットコンペア出力端子（MTIOCnm 端子（ $n=0\sim 4, 6, 7, m=A\sim D$ ））に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 22.105 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 22.106 に示します。

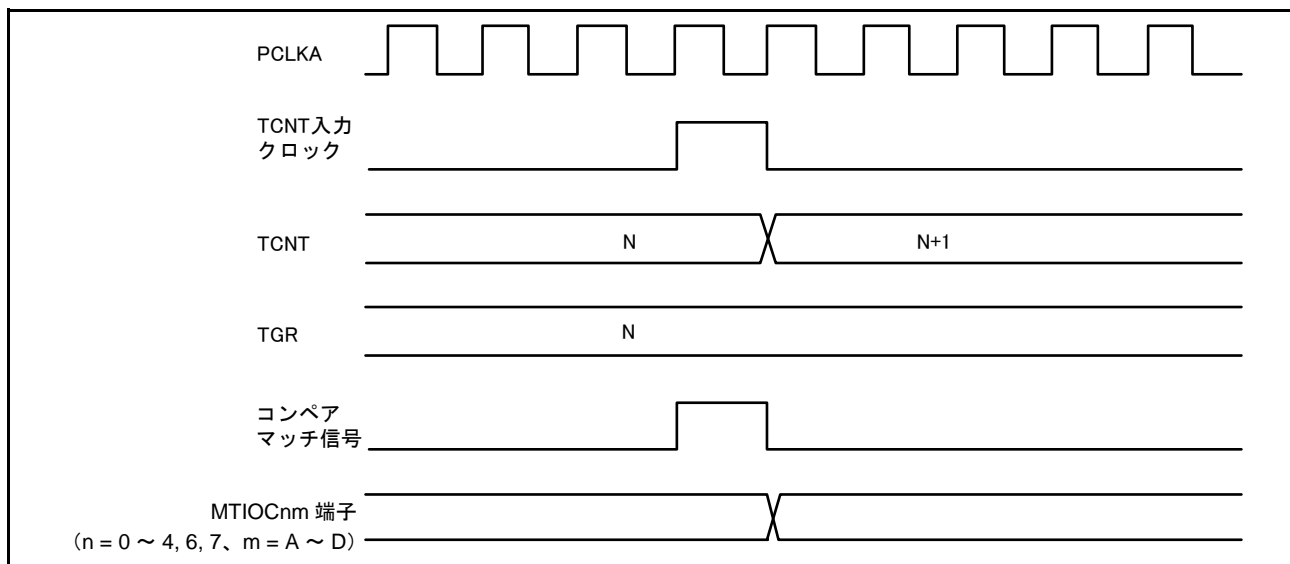


図 22.105 アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）

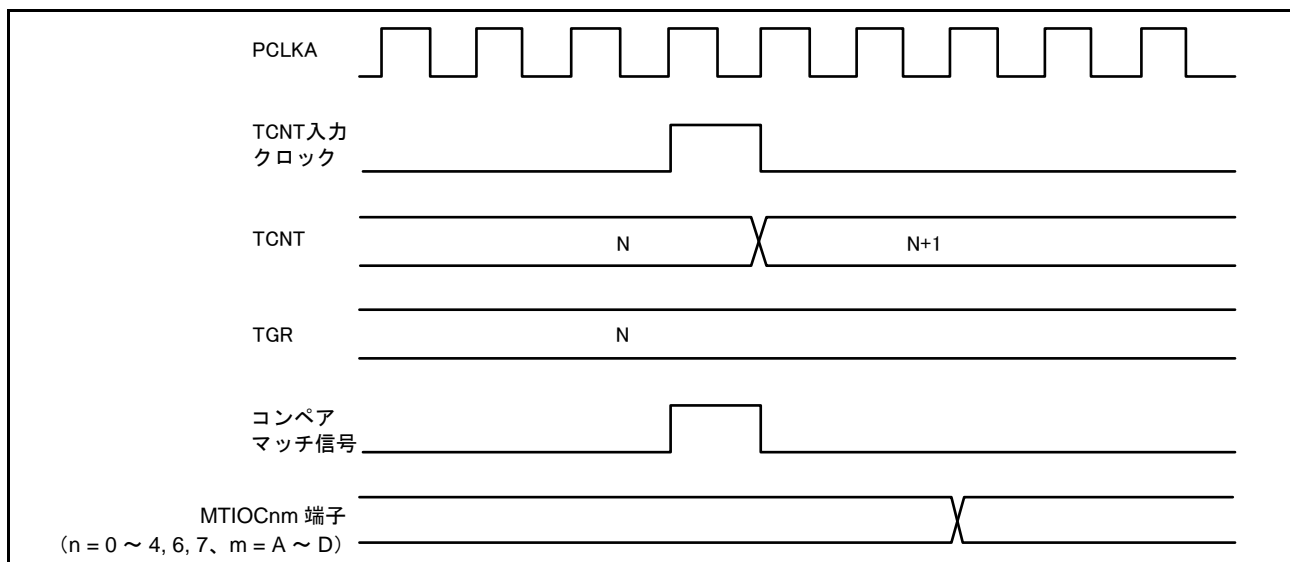


図 22.106 アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 22.107 に示します。

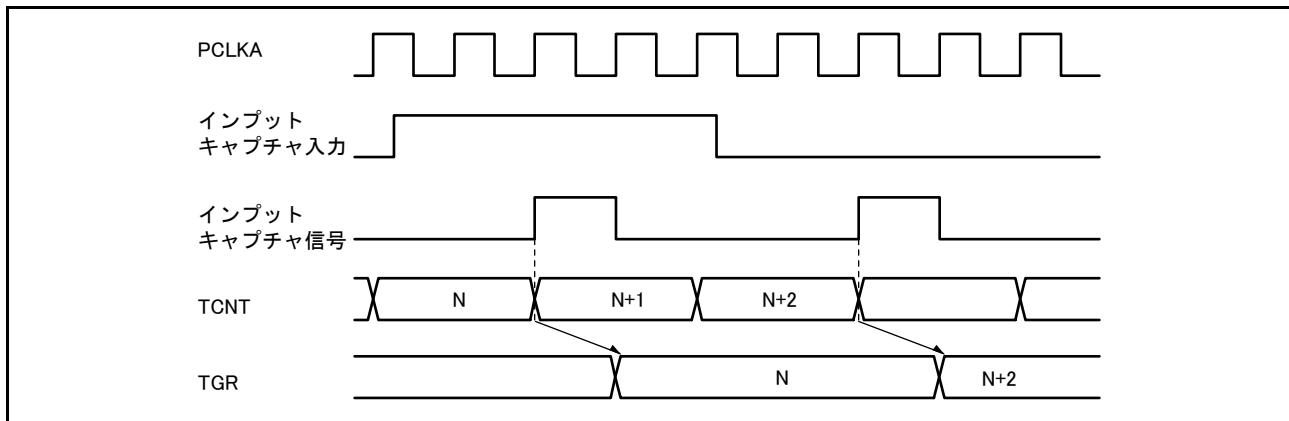


図 22.107 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 22.108、図 22.109 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 22.110 に示します。

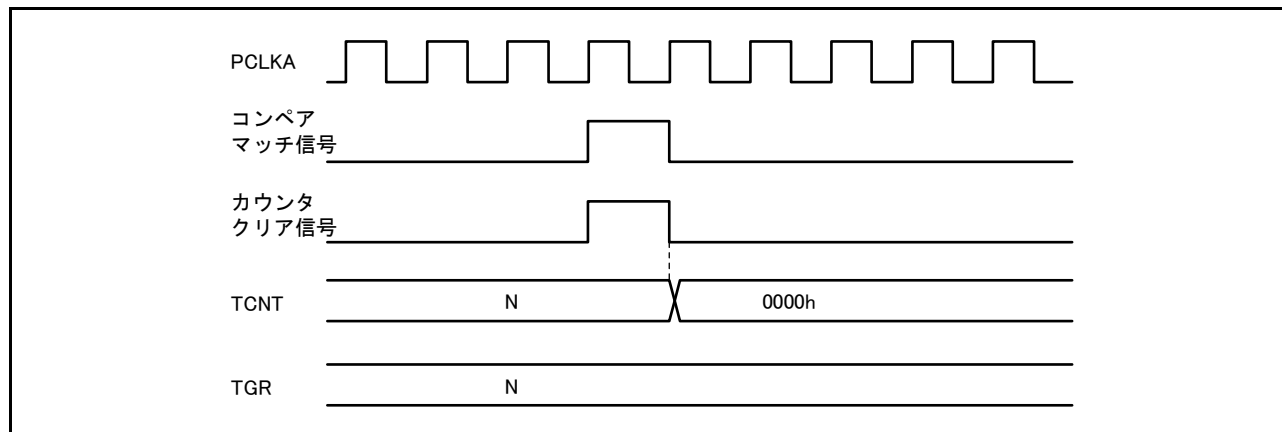


図 22.108 カウンタクリアタイミング (コンペアマッチ) (MTU0 ~ MTU4、MTU6、MTU7)

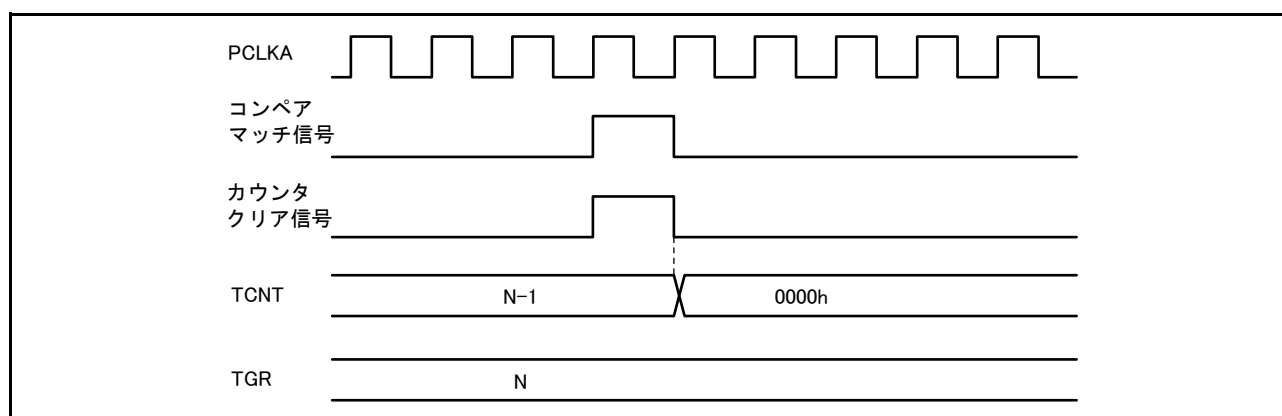


図 22.109 カウンタクリアタイミング (コンペアマッチ) (MTU5)

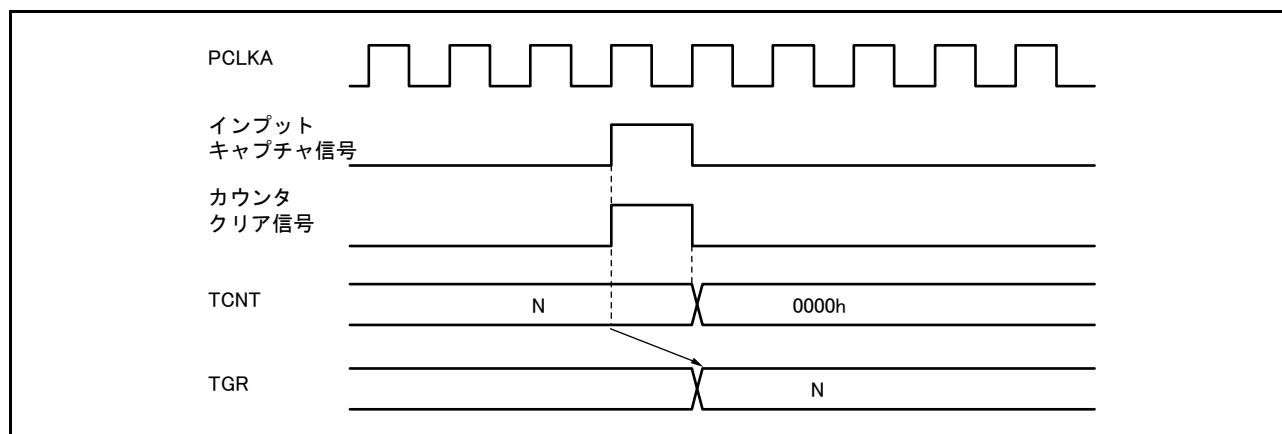


図 22.110 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ~ MTU7)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 22.111 ~ 図 22.113 に示します。

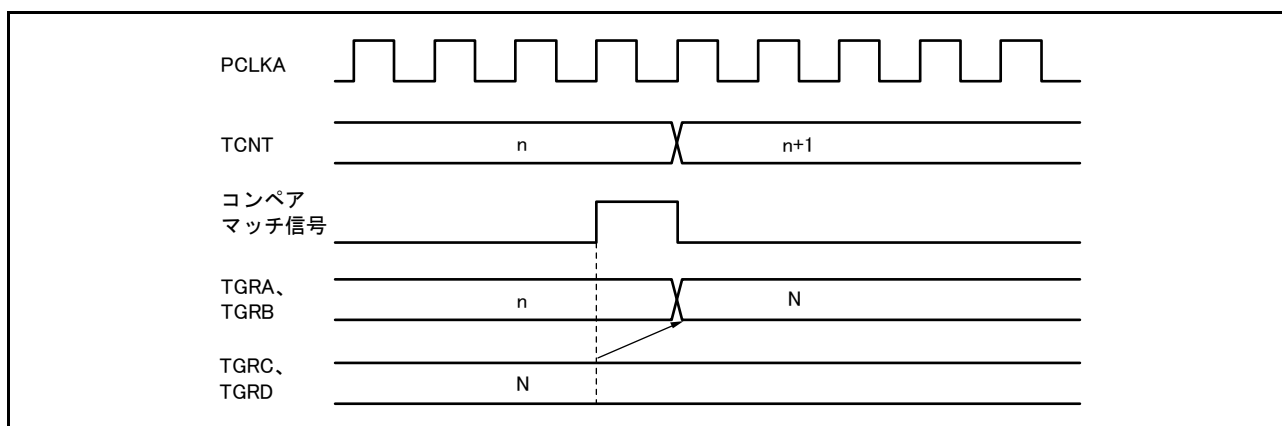


図 22.111 バッファ動作タイミング (コンペアマッチ)

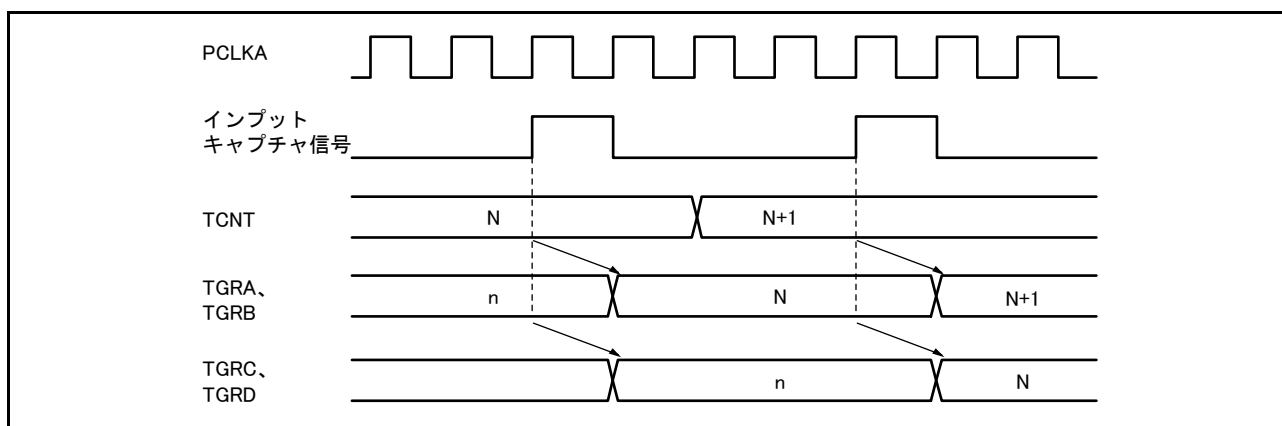


図 22.112 バッファ動作タイミング (インプットキャプチャ)

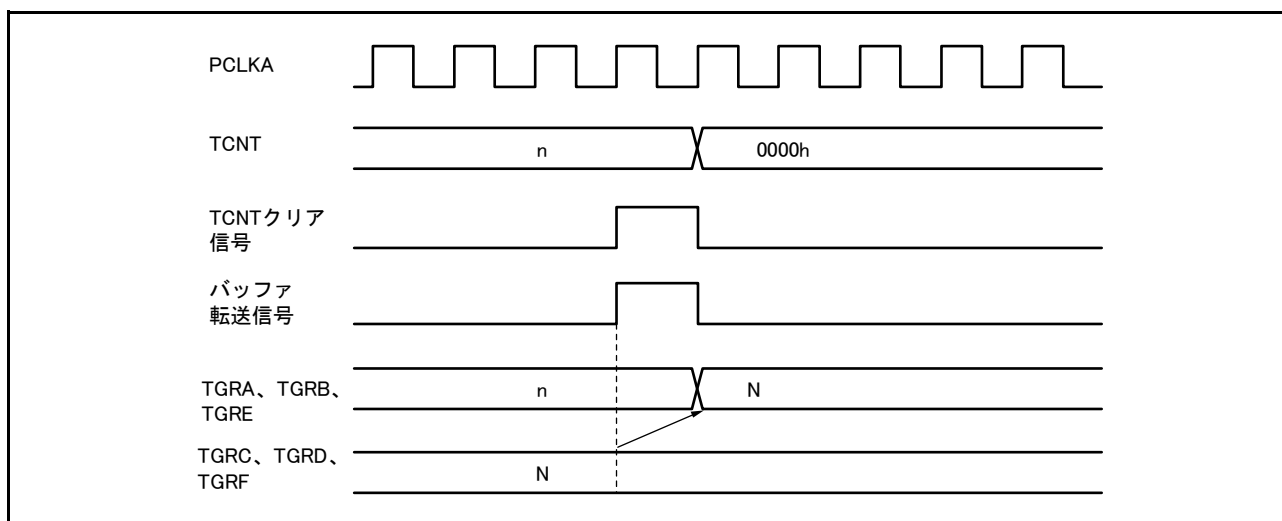


図 22.113 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 22.114 ~ 図 22.116 に示します。

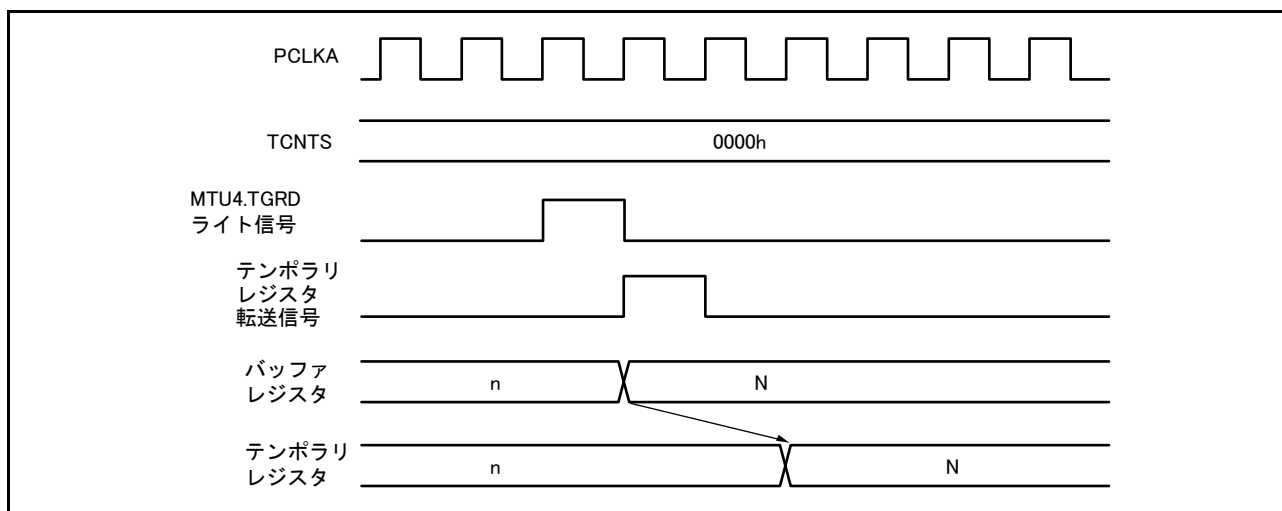


図 22.114 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 停止中)

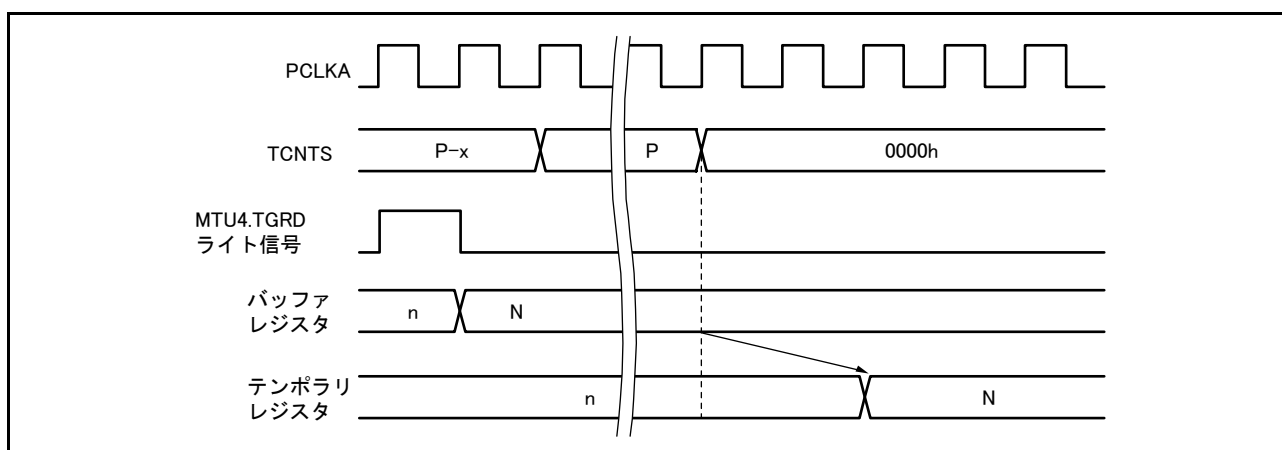


図 22.115 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 動作中)

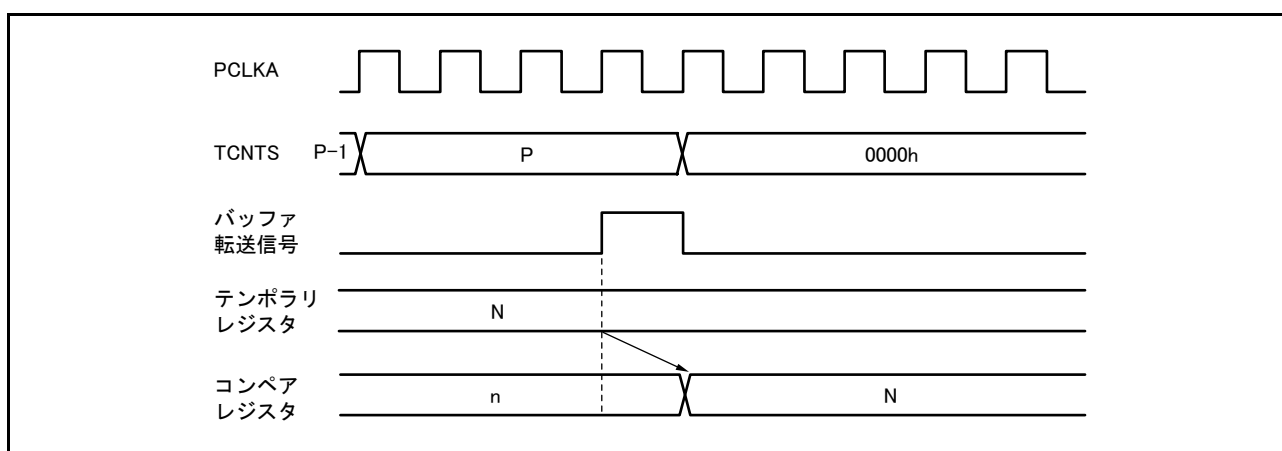


図 22.116 テンポラリレジスタからコンペアレジスタへの転送タイミング

22.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR レジスタの TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングをを図 22.117、図 22.118 に示します。

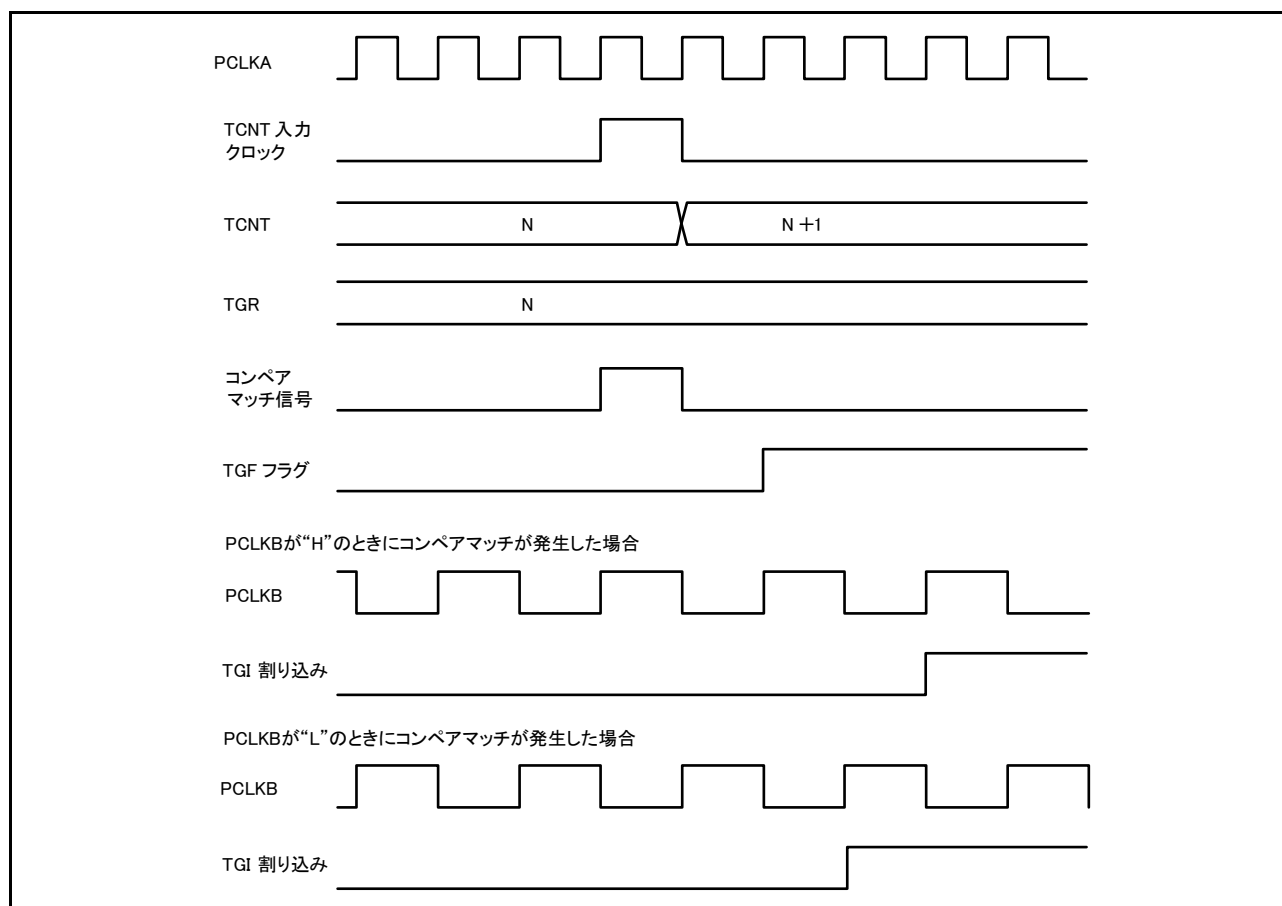


図 22.117 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ~ MTU4、MTU6、MTU7)

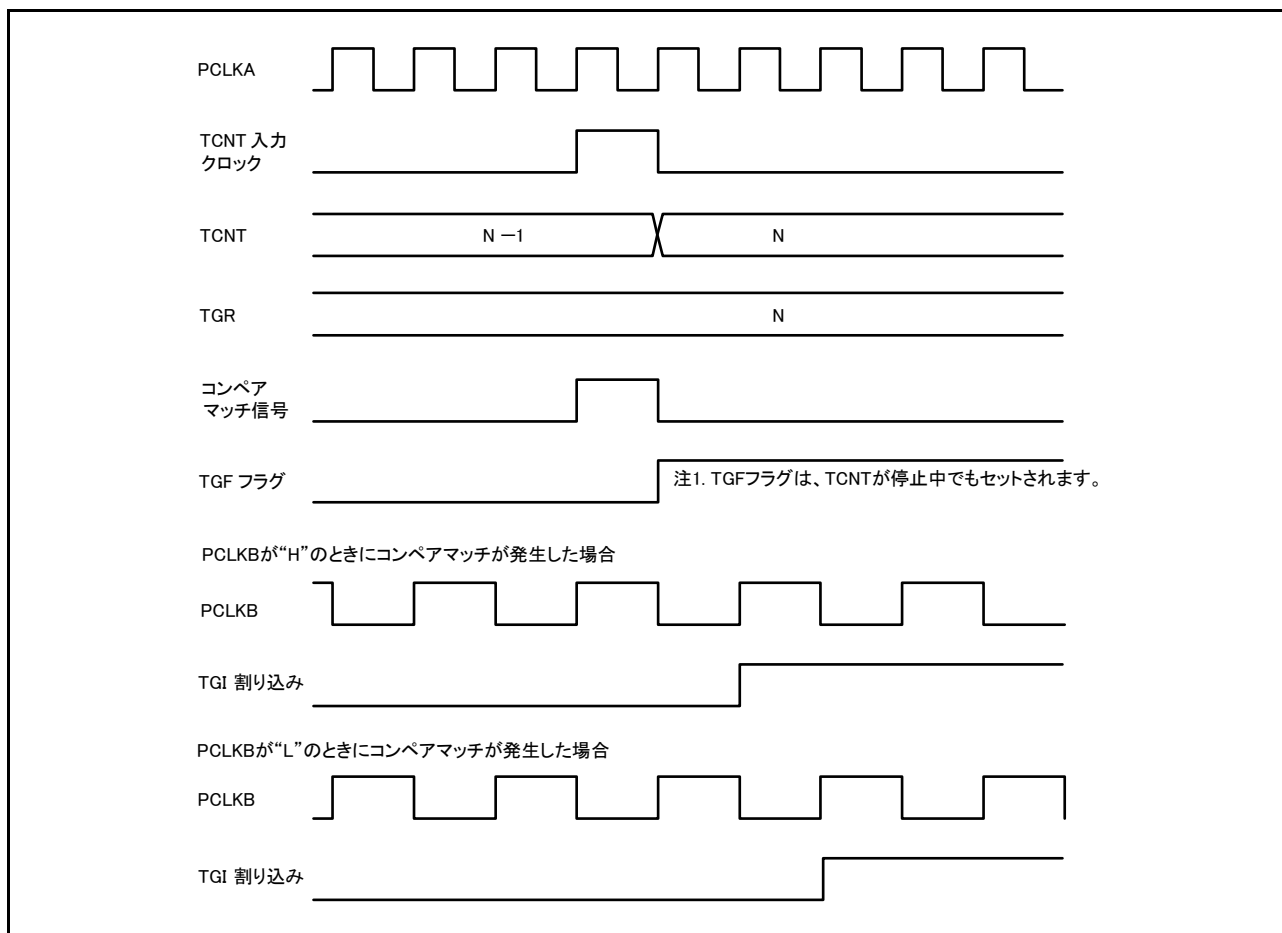


図 22.118 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR レジスタの TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 22.119、図 22.120 に示します。

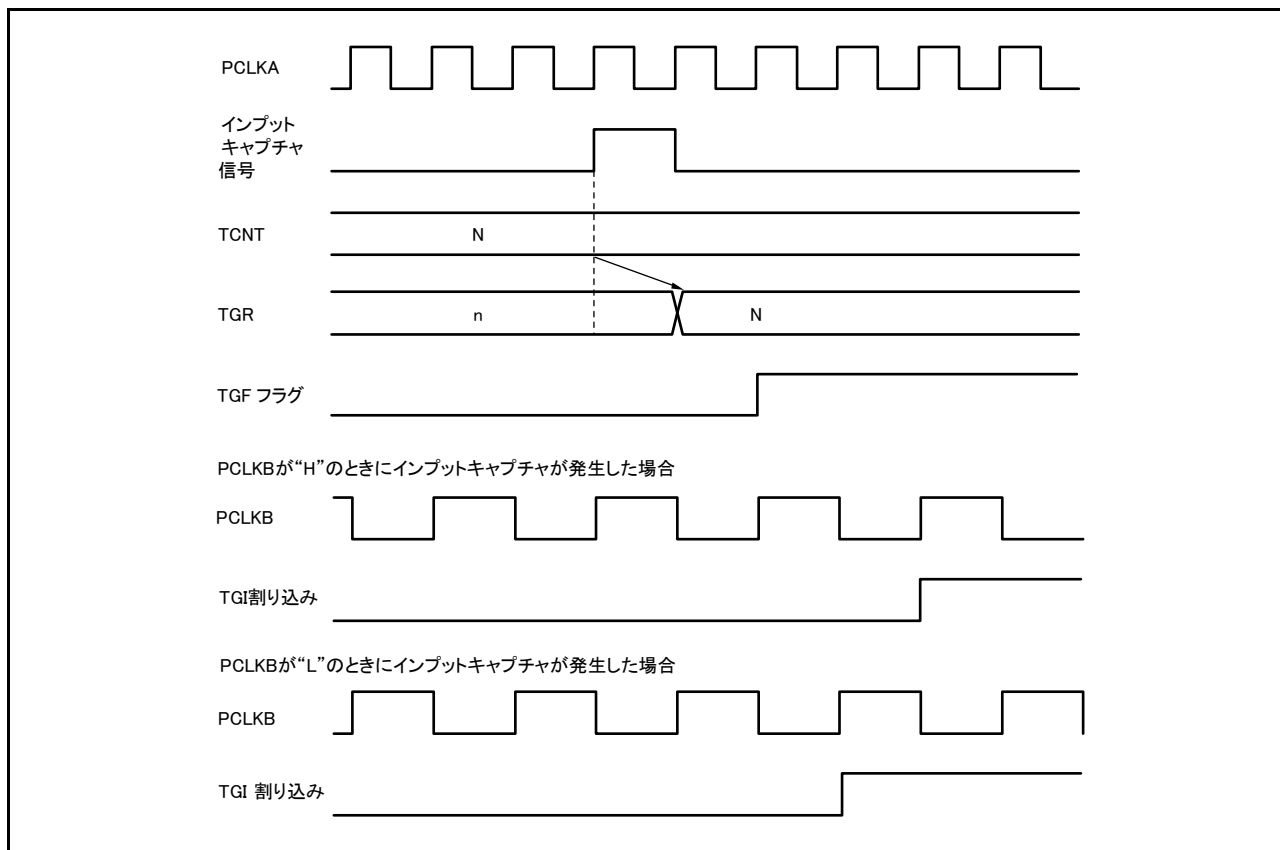


図 22.119 TGI 割り込みタイミング (インพุットキャプチャ) (MTU0 ~ MTU4、MTU6、MTU7)

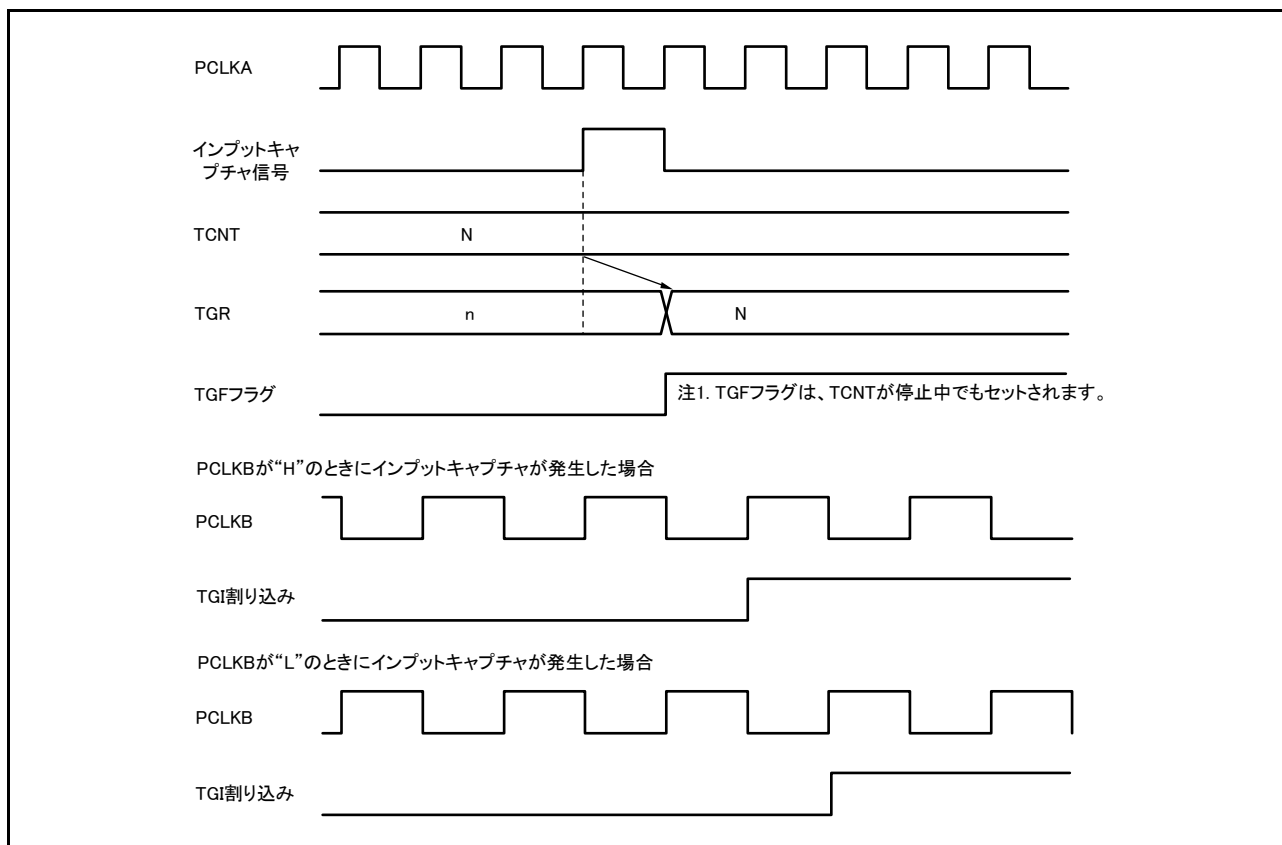


図 22.120 TGI 割り込みタイミング (インプットキャプチャ) (MTU5)

(3) TCFV / TCFU フラグのセットタイミング

オーバーフローの発生による TSR レジスタの TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 22.121 に示します。

アンダフローの発生による TSR レジスタの TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 22.122 に示します。

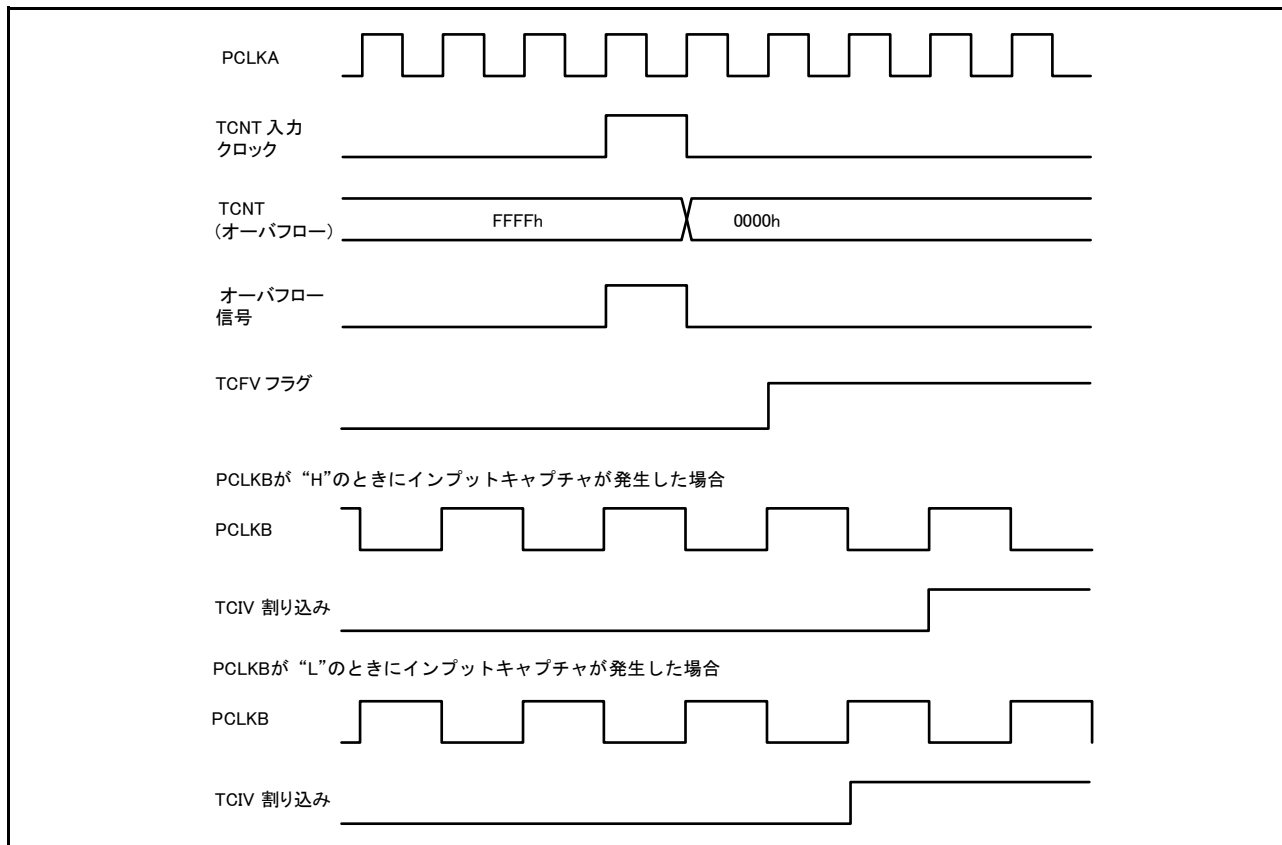


図 22.121 TCIV 割り込みのセットタイミング

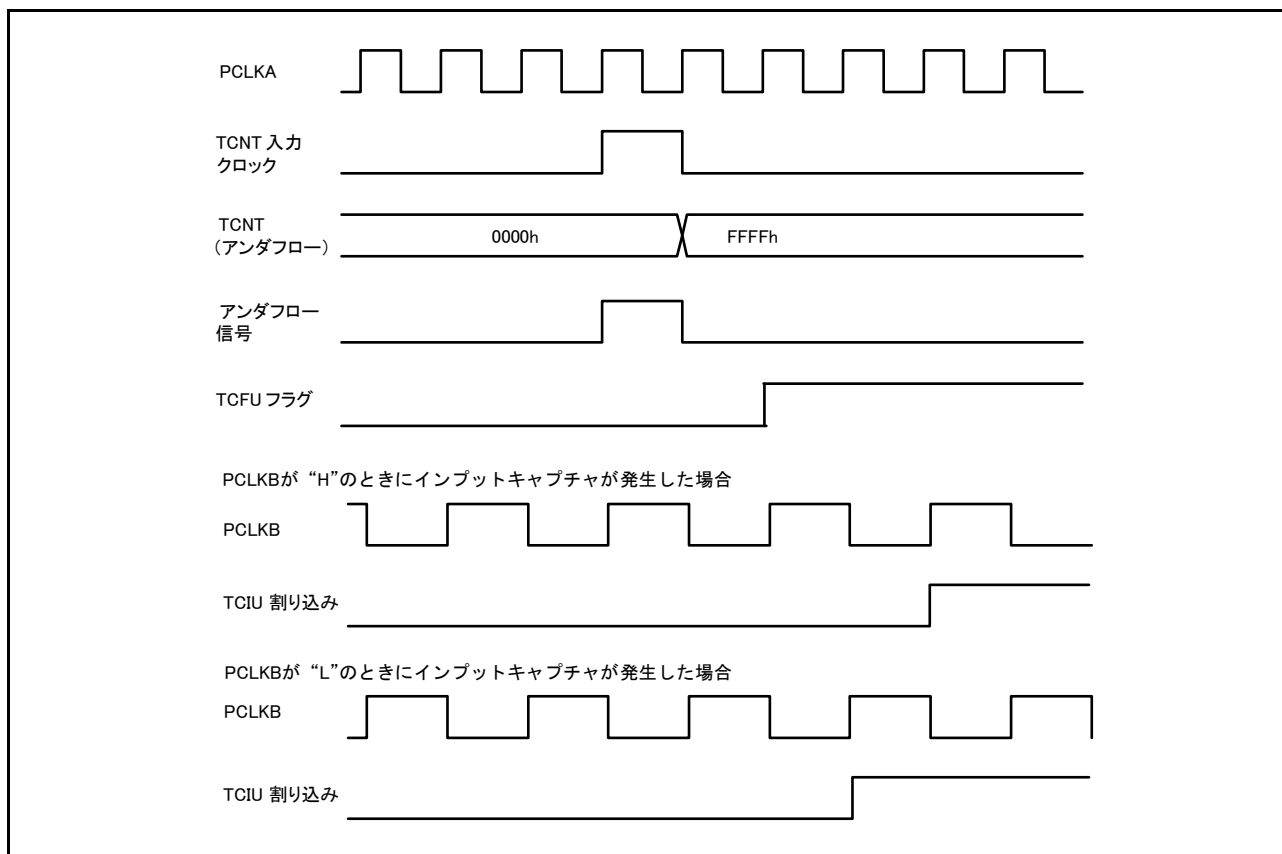


図 22.122 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグは CPU が“1”の状態を読んだ後、“0”を書くと“0”になります。CPU によるステータスフラグのクリアタイミングを図 22.123 に示します。

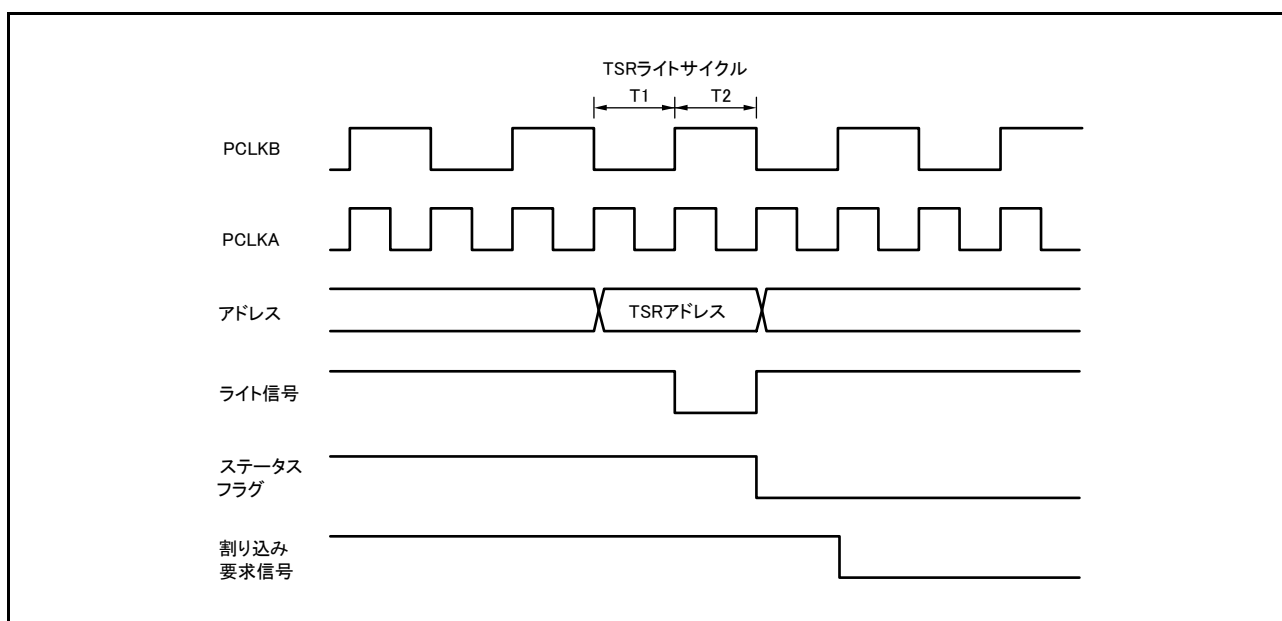


図 22.123 CPU によるステータスフラグのクリアタイミング (MTU0 ~ MTU7)

22.6 使用上の注意事項

22.6.1 モジュールストップ機能の設定

MTUは、モジュールストップコントロールレジスタにより、MTUの動作禁止/許可を設定することが可能です。初期値では、MTUの動作は停止しています。モジュールクロックストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「12. 消費電力低減機能」を参照してください。

22.6.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は3PCLKAクロック以上、両エッジの場合は5PCLKAクロック以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ3PCLKAクロック以上、パルス幅は5PCLKAクロック以上必要です。位相計数モードの入力クロックの条件を図22.124に示します。

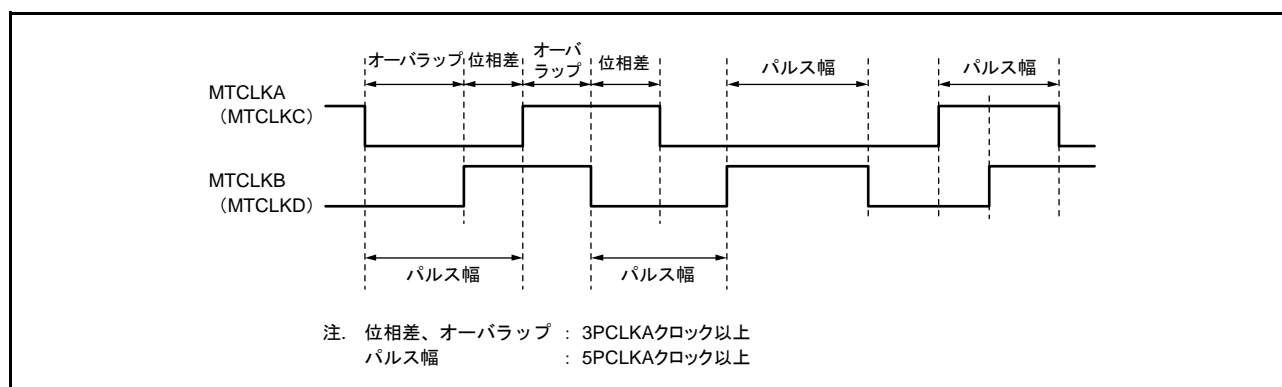


図 22.124 位相計数モード時の位相差、オーバーラップ、およびパルス幅

22.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRの値と一致した最後のステート (TCNTが一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

- MTU0 ~ MTU4、MTU6、MTU7の場合

$$f = \frac{\text{CNTCLK}}{(N+1)}$$

- MTU5の場合

$$f = \frac{\text{CNTCLK}}{N}$$

f : カウンタ周波数

CNTCLK : TCR.TPSC[2:0]ビットで設定したカウンタクロックの周波数

N : TGRの設定値

22.6.4 TCNT への書き込みとクリアの競合

TCNT の書き込みサイクル中で、カウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 22.125 に示します。

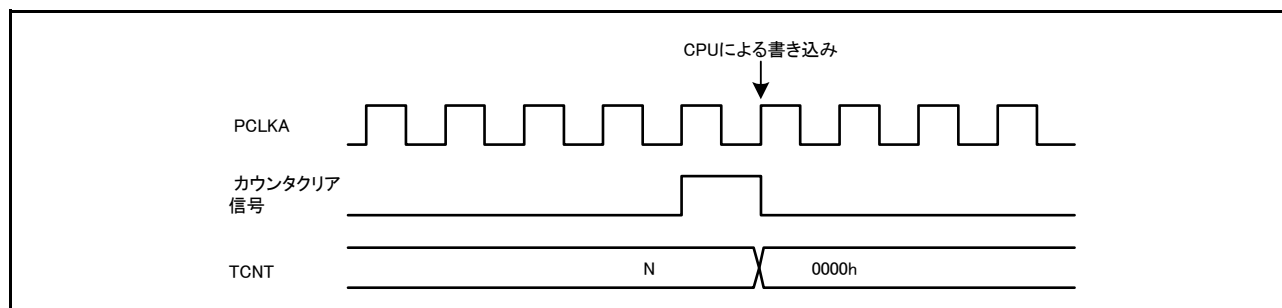


図 22.125 TCNT への書き込みとクリアの競合

22.6.5 TCNT への書き込みとカウントアップの競合

TCNT の書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 22.126 に示します。

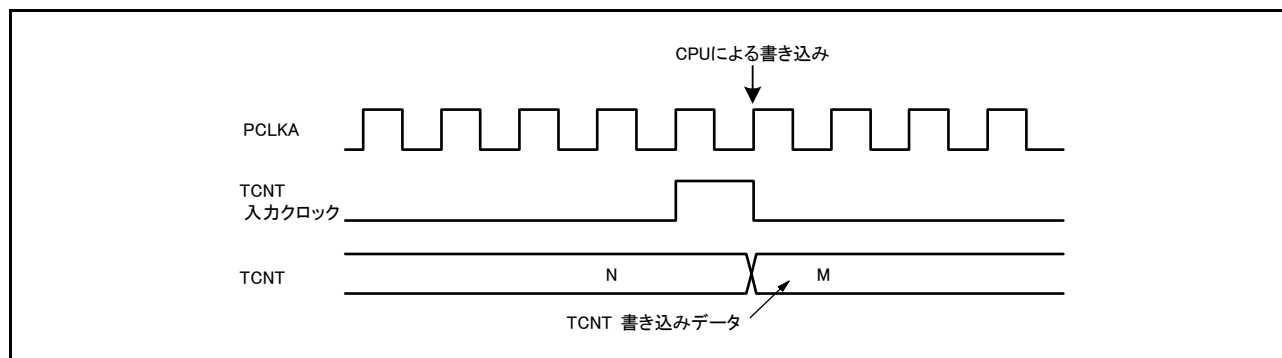


図 22.126 TCNT への書き込みとカウントアップの競合

22.6.6 TGR への書き込みとコンペアマッチの競合

TGR の書き込みサイクル中にコンペアマッチが発生した場合、TGR の書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 22.127 に示します。

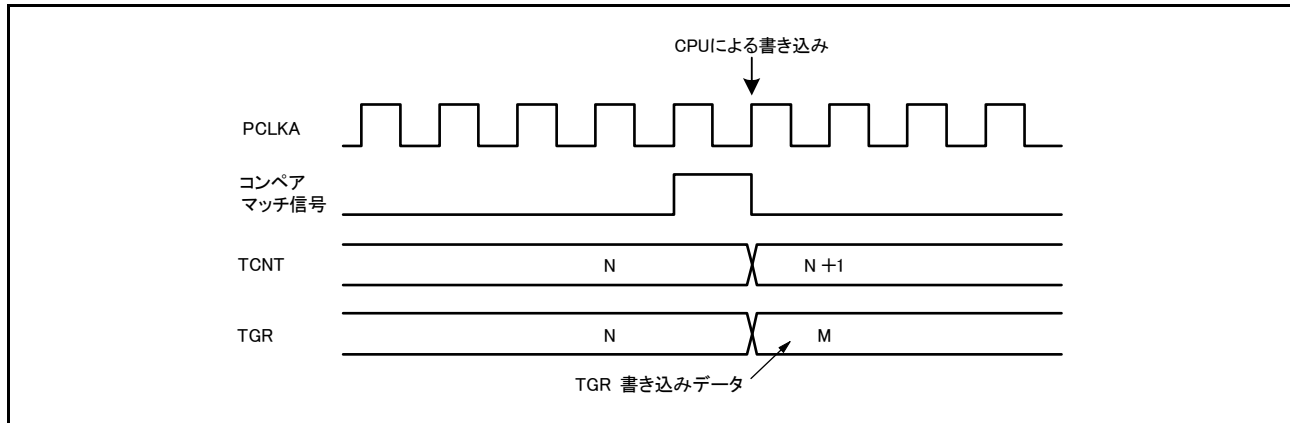


図 22.127 TGR のライトとコンペアマッチの競合

22.6.7 バッファレジスタへの書き込みとコンペアマッチの競合

TGR の書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 22.128 に示します。

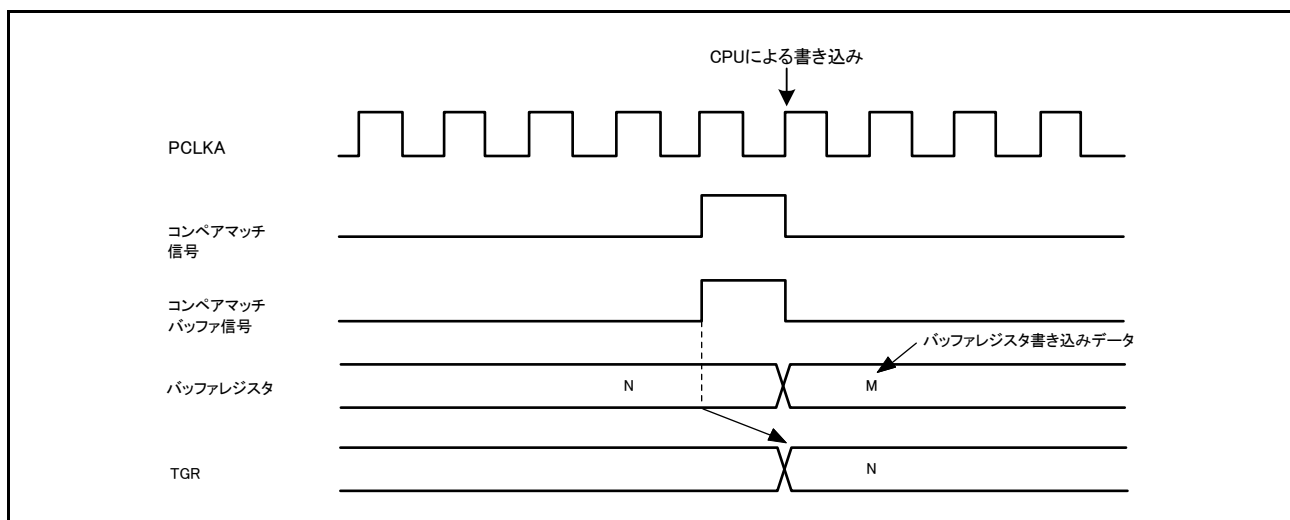


図 22.128 バッファレジスタへの書き込みとコンペアマッチの競合

22.6.8 バッファレジスタへの書き込みと TCNT クリアの競合

タイマバッファ動作転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR の書き込みサイクル中に TCNT クリアが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 22.129 に示します。

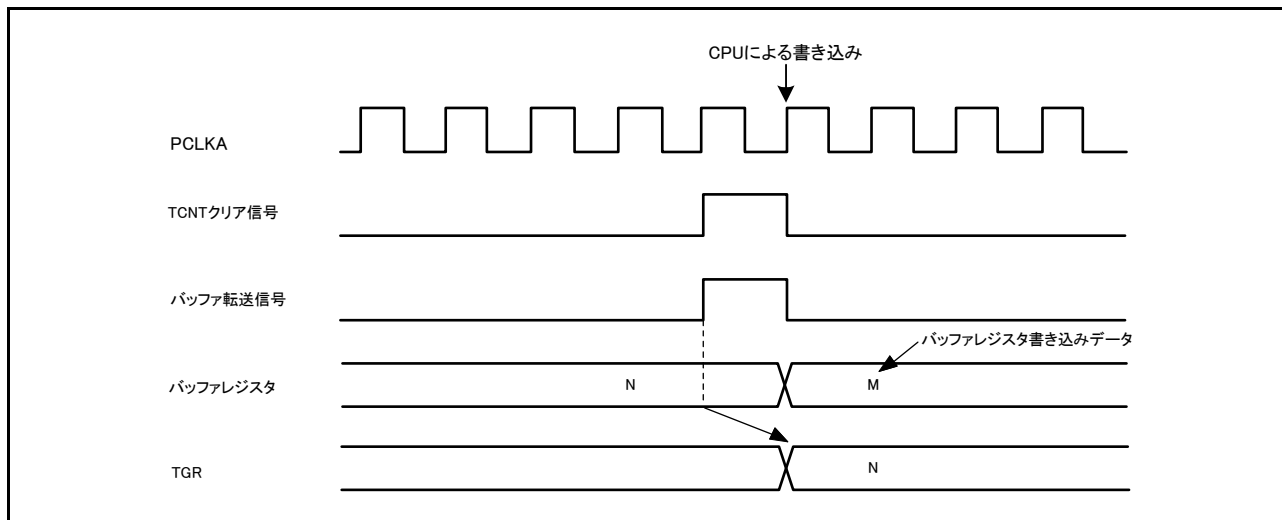


図 22.129 バッファレジスタへの書き込みと TCNT クリアの競合

22.6.9 TGR レジスタの読み出しとインプットキャプチャの競合

TGR の読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出しされるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 22.130 に示します。

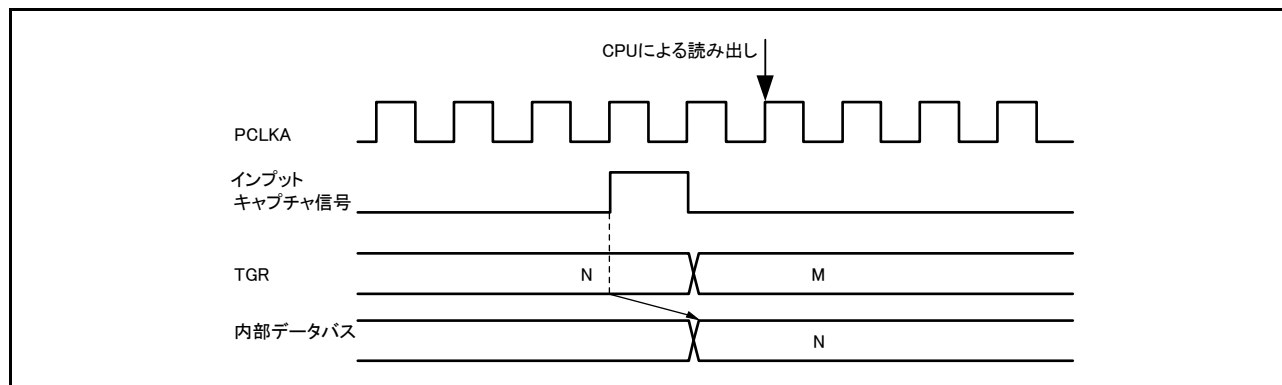


図 22.130 TGR レジスタの読み出しとインプットキャプチャの競合 (MTU0 ~ MTU7)

22.6.10 TGR レジスタへの書き込みと入力キャプチャの競合

TGR の書き込みサイクル中に入力キャプチャ信号が発生すると、MTU0 ~ MTU4、MTU6、MTU7 では TGR への書き込みは行われず、入力キャプチャが優先され、MTU5 では TGR への書き込みが実行され、入力キャプチャ信号も発生します。

このタイミングを図 22.131、図 22.132 に示します。

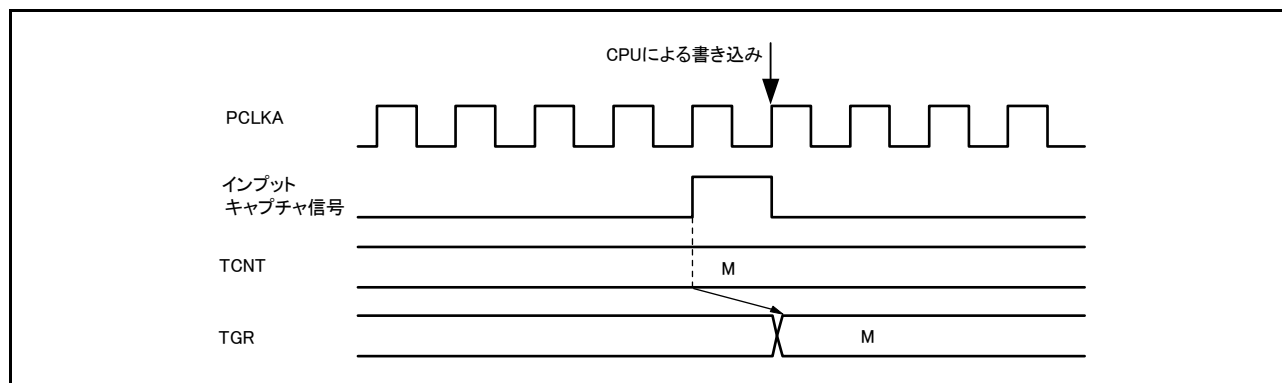


図 22.131 TGR レジスタへの書き込みと入力キャプチャの競合 (MTU0 ~ MTU4、MTU6、MTU7)

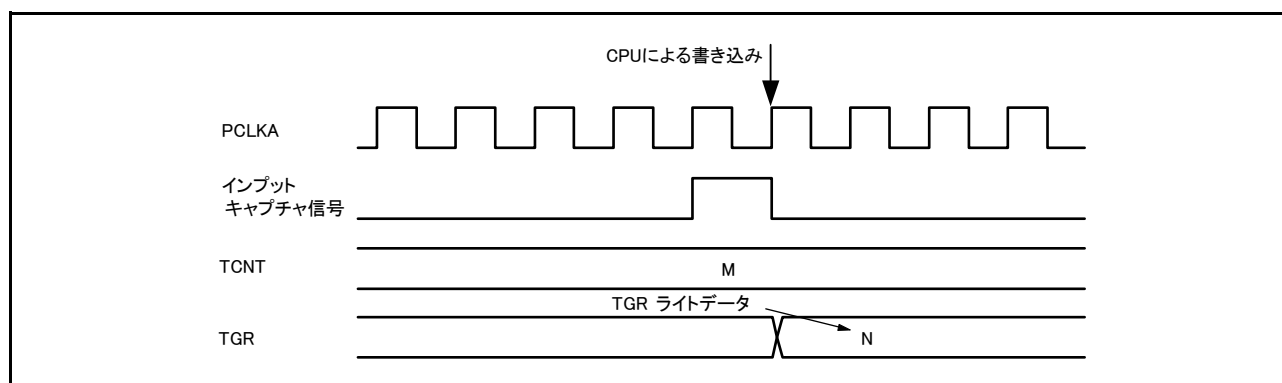


図 22.132 TGR レジスタの書き込みと入力キャプチャの競合 (MTU5)

22.6.11 バッファレジスタへの書き込みと入力キャプチャの競合

バッファの書き込みサイクル中に入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 22.133 に示します。

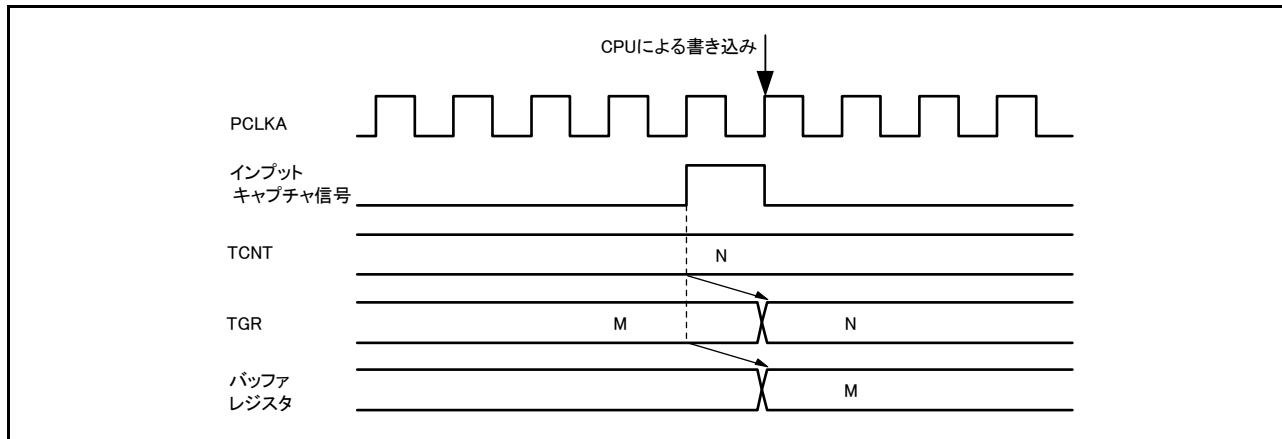


図 22.133 バッファレジスタへの書き込みと入力キャプチャ競合

22.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバフロー／アンダフローの競合

タイマカウンタ (MTU1.TCNT と MTU2.TCNT) をカスケード接続し、MTU1.TCNT がカウントする瞬間 (MTU2.TCNT がオーバフロー／アンダフローする瞬間) と MTU2.TCNT の書き込みサイクルが競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 のインプットキャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD はインプットキャプチャ動作します。さらに MTU1.TGRB のインプットキャプチャ要因に MTU0.TGRC のコンペアマッチ／インプットキャプチャを選択した場合には、MTU1.TGRB はインプットキャプチャ動作します。

このタイミングを図 22.134 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

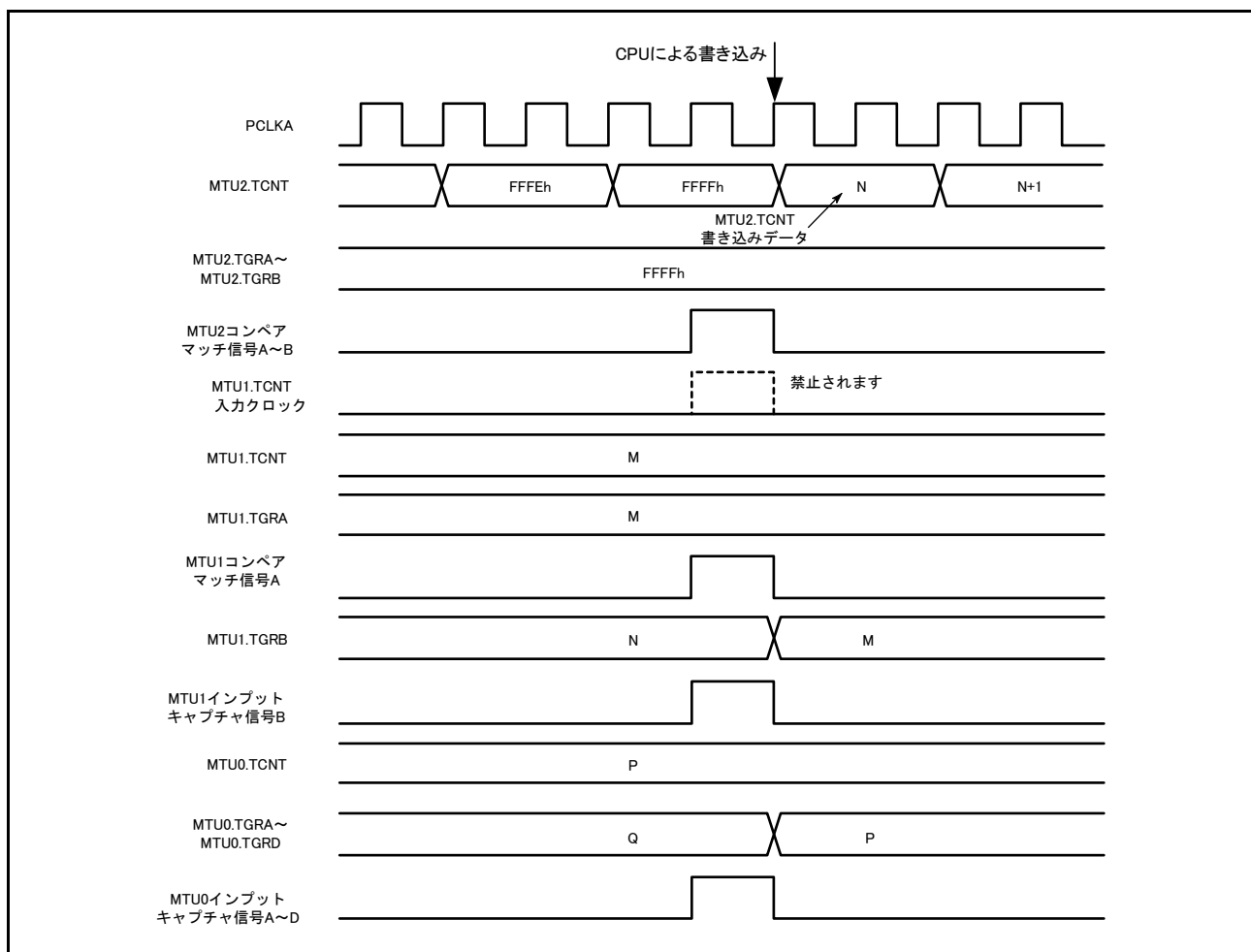


図 22.134 カスケード接続における MTU2.TCNT の書き込みとオーバフロー／アンダフローの競合

22.6.13 相補 PWM モード停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) が相補 PWM モードで動作しているときにカウンタ動作を停止すると、MTU3.TCNT (MTU6.TCNT) はタイマデッドタイムレジスタ (TDDRA (TDDR B)) の値、MTU4.TCNT (MTU7.TCNT) は 0000h になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 22.135 に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) にカウンタ初期値の設定を行ってください。

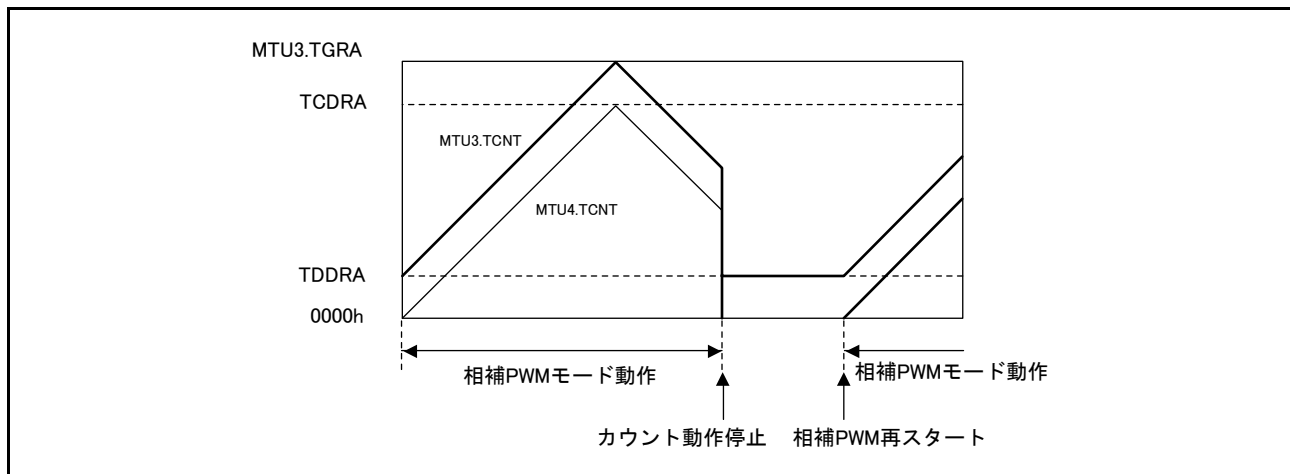


図 22.135 相補 PWM モード停止時のカウンタ値

22.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MTU3.TGRA、MTU6.TGRA)、タイマ周期データレジスタ (TCDRA、TCDRB)、デューティ設定レジスタ (MTU3.TGRB、MTU3.TGRA、MTU4.TGRB、MTU6.TGRB、MTU7.TGRA、MTU7.TGRB) の書き替えは、バッファ動作で行ってください。

また、MTU4.TMDR1.BFA (MTU7.TMDR1.BFA) ビット、MTU4.TMDR1.BFB (MTU7.TMDR1.BFB) ビットを“0”にしてください。MTU4.TMDR1.BFA (MTU7.TMDR1.BFA) ビットを“1”にすると、MTIOC4C (MTIOC7C) 端子の波形出力ができなくなります。同様に、MTU4.TMDR1.BFB (MTU7.TMDR1.BFB) ビットを“1”にすると、MTIOC4D (MTIOC7D) 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は、MTU3.TMDR1.BFA (MTU6.TMDR1.BFA) ビット、MTU3.TMDR1.BFB (MTU6.TMDR1.BFB) ビットの設定にしたがい動作します。MTU3.TMDR1.BFA (MTU6.TMDR1.BFA) ビットを“1”にした場合、MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして機能します。同時に MTU4.TGRC (MTU7.TGRC) は MTU4.TGRA (MTU7.TGRA) のバッファレジスタとして機能し、さらに TCBRA (TCBRB) は TCDRA (TCDRB) のバッファレジスタとして機能します。

22.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR1.BFA (MTU7.TMDR1.BFA) ビット、MTU4.TMDR1.BFB (MTU7.TMDR1.BFB) ビットを“0”にしてください。MTU4.TMDR1.BFA (MTU7.TMDR1.BFA) ビットを“1”にすると、MTIOC4C (MTIOC7C) 端子の波形出力ができなくなります。

同様に、MTU4.TMDR1.BFB (MTU7.TMDR1.BFB) ビットを“1”にすると、MTIOC4D (MTIOC7D) 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は MTU3.TMDR1.BFA (MTU6.TMDR1.BFA) ビット、MTU3.TMDR1.BFB (MTU6.TMDR1.BFB) ビットの設定にしたがい動作します。たとえば、MTU3.TMDR1.BFA (MTU6.TMDR1.BFA) ビットを“1”にした場合、MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして機能します。同時に MTU4.TGRC (MTU7.TGRC) は MTU4.TGRA (MTU7.TGRA) のバッファレジスタとして機能します。

MTU3.TSR.TGFC ビットと MTU3.TSR.TGFD ビット および MTU4.TSR.TGFC ビットと MTU4.TSR.TGFD ビット (MTU6.TSR.TGFC ビットと MTU6.TSR.TGFD ビット および MTU7.TSR.TGFC ビットと MTU7.TSR.TGFD ビット) は MTU3.TGRC (MTU6.TGRC)、MTU3.TGRD (MTU6.TGRD) がバッファレジスタとして動作している場合、セットされることはありません。

MTU3.TMDR1.BFA (MTU6.TMDR1.BFA) ビット、MTU3.TMDR1.BFB (MTU6.TMDR1.BFB) ビットを“1”にし、MTU4.TMDR1.BFA (MTU7.TMDR1.BFA) ビット、MTU4.TMDR1.BFB (MTU7.TMDR1.BFB) ビットを“0”にした場合の MTU3.TGR (MTU6.TGR)、MTU4.TGR (MTU7.TGR)、MTIOC3A (MTIOC6A)、MTIOC3B (MTIOC6B)、MTIOC3D (MTIOC6D)、MTIOC4m (MTIOC7m) (m = A ~ D) の動作例を図 22.136 に示します。

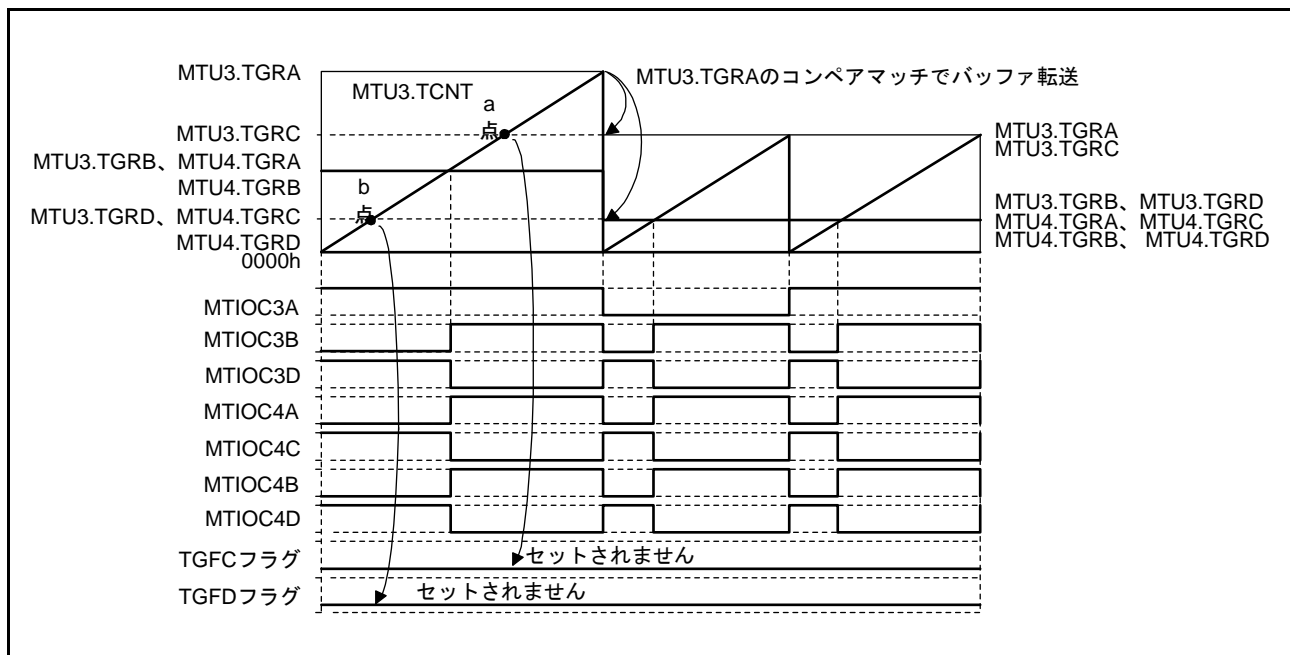


図 22.136 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

22.6.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTRA.CST3 (TSTRB.CST6) ビットを“1”にすると、MTU3.TCNT と MTU4.TCNT (MTU6.TCNT と MTU7.TCNT) のカウント動作が開始します。このとき、MTU4.TCNT (MTU7.TCNT) のカウントクロックソースとカウントエッジは MTU3.TCR (MTU6.TCR) の設定にしたがいます。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA (MTU6.TGRA) の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA (MTU6.TGRA) のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) がアップカウントし FFFFh になると、MTU3.TGRA (MTU6.TGRA) とのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) ともにカウントクリアされます。このとき、TSR レジスタのオーバーフローフラグ TCFV フラグは“1”になりません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA (MTU6.TGRA) の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA (MTU6.TGRA) のコンペアマッチを指定した場合の TCFV フラグの動作例を図 22.137 に示します。

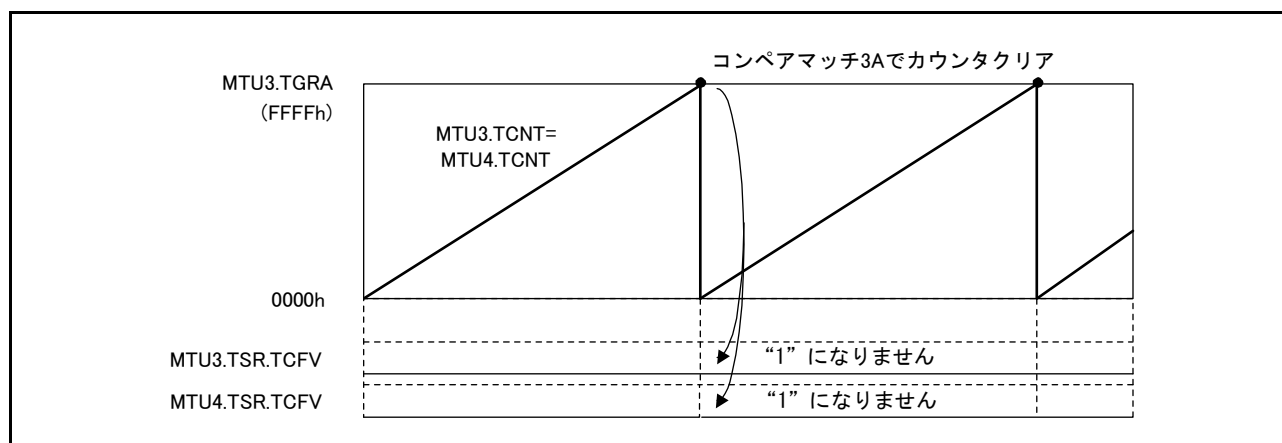


図 22.137 リセット同期 PWM モードのオーバーフローフラグ

22.6.17 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSRレジスタのTCFV/TCFUフラグは“1”にならず、TCNTのクリアが優先されます。

TGRレジスタのコンペアマッチをクリア要因とし、TGRレジスタをFFFFhにした場合の動作タイミングを図22.138に示します。

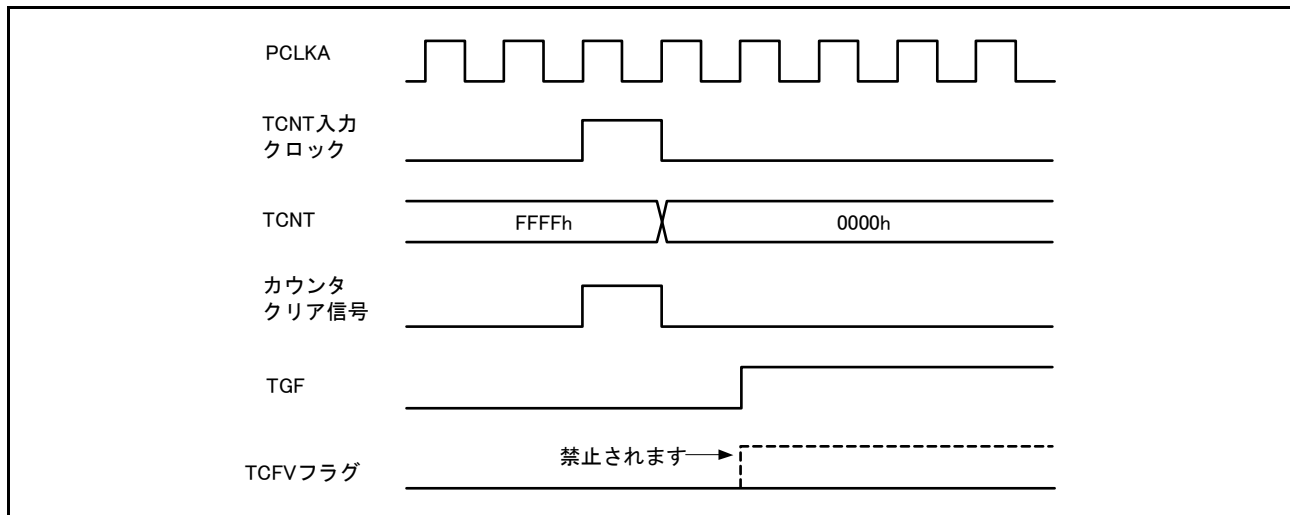


図 22.138 オーバフローとカウンタクリアの競合

22.6.18 TCNT への書き込みとオーバフロー／アンダフローの競合

TCNTの書き込みサイクルで、アップカウント／ダウンカウントが発生し、オーバフロー／アンダフローが発生しても、TCNTへの書き込みが優先されます。TSRレジスタのTCFV/TCFUフラグは“1”になりません。

TCNTへの書き込みとオーバフロー競合時の動作タイミングを図22.139に示します。

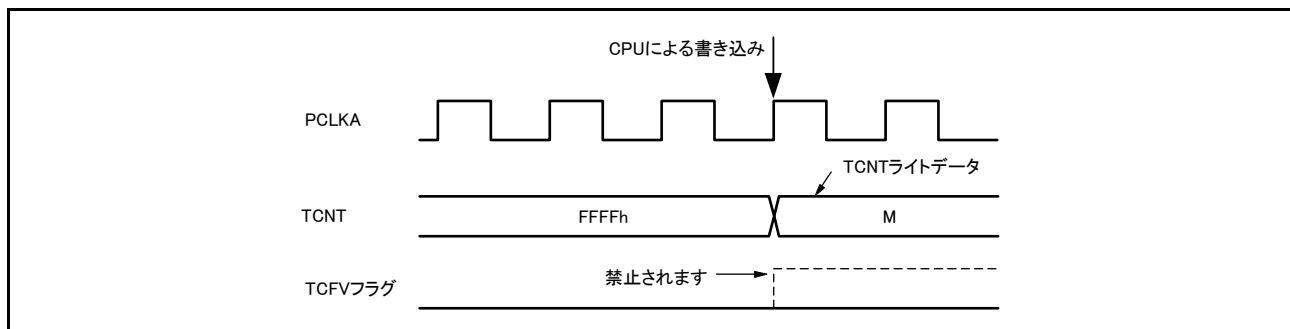


図 22.139 TCNT への書き込みとオーバフローの競合

22.6.19 ノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移する場合の注意事項

MTU3、MTU4 (MTU6、MTU7) のノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移する場合、出力端子 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D) を High の状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんので注意してください。

ノーマルモードからリセット同期PWMモードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL (MTU6.TIORH、MTU6.TIORL、MTU7.TIORH、MTU7.TIORL) レジスタに“11h”を書いて出力端子をLowに初期化した後、レジスタの初期値“00h”を書いてからモードへの遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったんノーマルモードに遷移してから出力端子をLowへ初期化した後、レジスタの初期値“00h”を書いてからリセット同期PWMモードに遷移してください。

22.6.20 相補PWMモード、リセット同期PWMモードの出力レベル

MTU3、MTU4 (MTU6、MTU7) が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはTOCR1A.OLSPビット、TOCR1A.OLSNビット、TOCR1B.OLSPビット、TOCR1B.OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIOレジスタは“00h”としてください。

相補PWMモードでTDER.TDERビットを“0” (デッドタイムを生成しない) に設定した場合の逆相の出力レベルは、TOCR1.OLSNビットの設定によらず、TOCR1.OLSPビットの設定による正相出力の反転レベルとなります。

22.6.21 カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ

タイマカウンタ1、2 (MTU1.TCNTとMTU2.TCNT) をカスケード接続して、32ビットカウンタとして動作させている場合、MTIOC1AとMTIOC2A、またはMTIOC1BとMTIOC2Bに同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNTに入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、またはMTIOC1BとMTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT (上位16ビットのカウンタ) がMTU2.TCNT (下位16ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはMTU1.TCNT=FFF1h、MTU2.TCNT=0000hの値をMTU1.TGRAとMTU2.TGRA、もしくはMTU1.TGRBとMTU2.TGRBに転送すべきところを誤ってMTU1.TCNT=FFF0h、MTU2.TCNT=0000hの値を転送します。

MTUでは1本のインプットキャプチャ入力でMTU1.TCNTとMTU2.TCNTを同時にキャプチャできる機能を追加しており、本機能を使用すれば、MTU1.TCNTとMTU2.TCNTのキャプチャタイミングのずれなく、32ビットカウンタの取り込みを行うことができます。詳細は「22.2.9 タイムインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

22.6.22 割り込み間引き機能 2

割り込み間引き機能 2 を使用し、かつ MTU4.TADCORA 値と MTU4.TADCORB 値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。以下の設定条件で使用してください。

MTU6、MTU7 の場合は、MTU7.TADCORA、MTU7.TADCORB も同様の設定が必要となります。

(1) 間引き機能 2、間引き回数が“0”の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「4」以上
- MTU4.TADCORA のコンペア間隔が 4PCLKA クロック以上 (MTU4.TADCORA レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)
- MTU4.TADCORB のコンペア間隔が 4PCLKA クロック以上 (MTU4.TADCORB レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)

(2) 間引き機能 2、間引き回数が“1”以上の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「2」以上
- MTU4.TADCORB のコンペア間隔が 2PCLKA クロック以上 (MTU4.TADCORB レジスタの更新値を「前値+2 以上」、「前値-2 以下」に設定)

22.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態では有効になっています。本機能を使用しない場合、POE.POECR2 レジスタに“00h”を書いてください。

22.6.24 相補 PWM モード同期クリアするときの異常動作防止について

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効 (TWCR.WRE ビット = 1) である状態で、条件 1、条件 2 のいずれかを満たすと、以下の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる (もしくは消失する)
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1 : 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に同期クリアした場合 (図 22.140 参照)。

条件 2 : 初期出力の抑止期間⑩、⑪にて、 $MTU3.TGRB (MTU6.TGRB) \leq TDDRA (TDDRB)$ 、 $MTU4.TGRA (MTU7.TGRA) \leq TDDRA (TDDRB)$ 、 $MTU4.TGRB (MTU7.TGRB) \leq TDDRA (TDDRB)$ のいずれかが成立する状態で、同期クリアした場合 (図 22.141 参照)。

本現象は以下の方法により、回避することができます。

- コンペアレジスタ $MTU3.TGRB (MTU6.TGRB)$ 、 $MTU4.TGRA (MTU7.TGRA)$ 、 $MTU4.TGRB (MTU7.TGRB) \leq TDDRA (TDDRB)$ のすべてが、 $TDDRA (TDDRB)$ の 2 倍以上になるように設定した状態で、同期クリアする

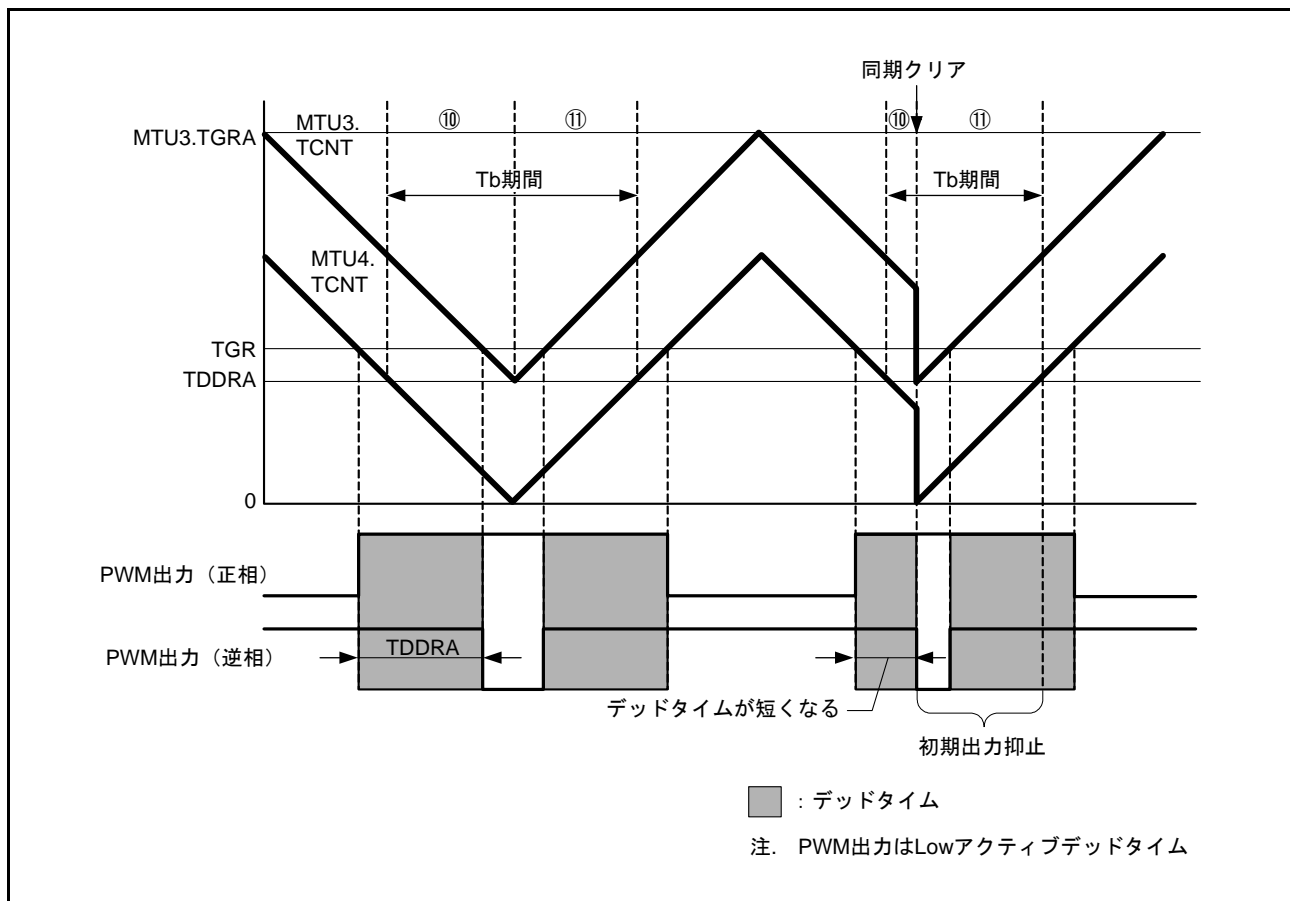


図 22.140 同期クリア例 (条件 1 の場合)

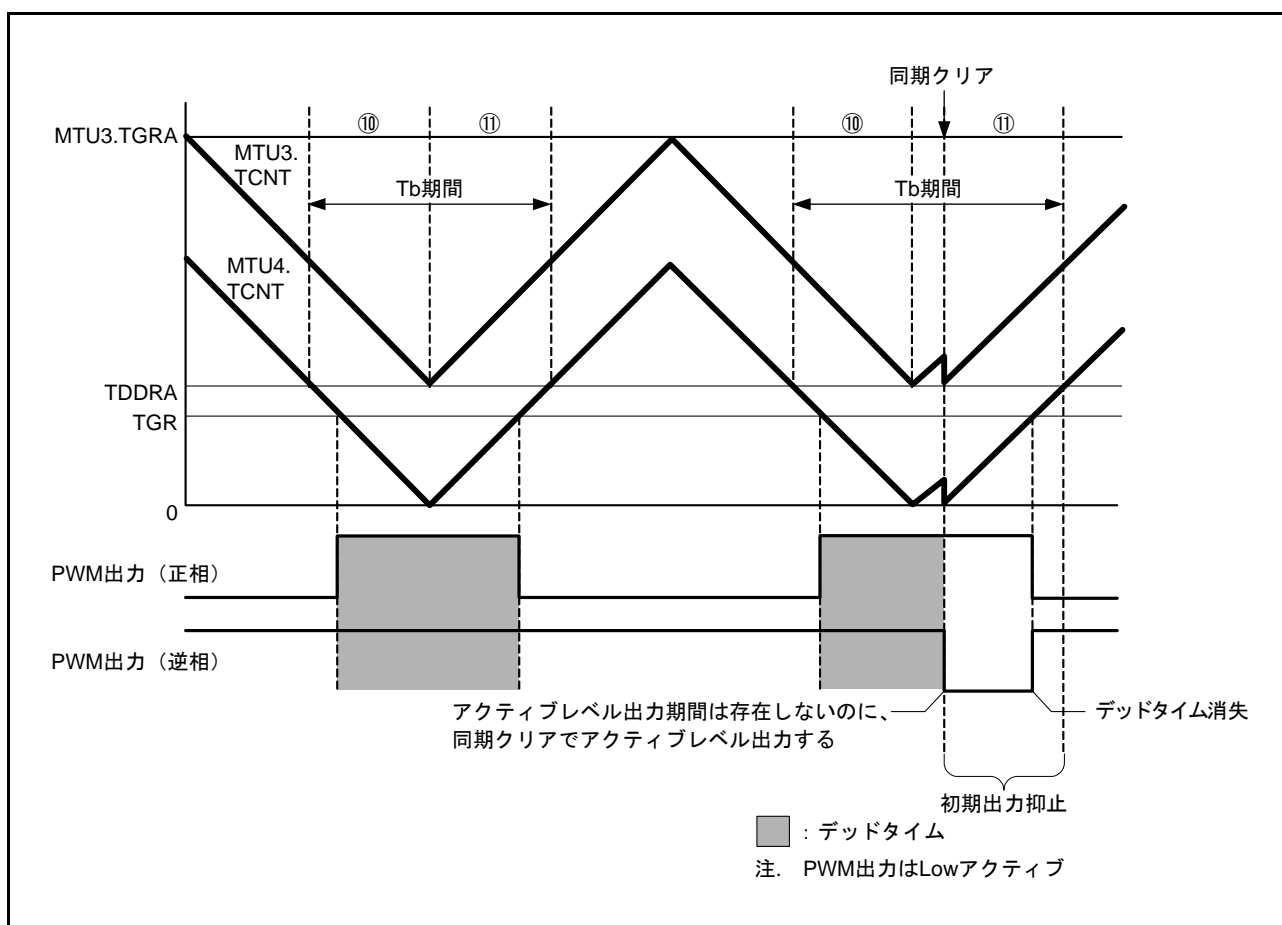


図 22.141 同期クリア例 (条件 2 の場合)

22.6.25 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウンタクロックを PCLKA/1 クロック、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

図 22.142 にコンペアマッチによる割り込み信号の連続出力タイミングを示します。

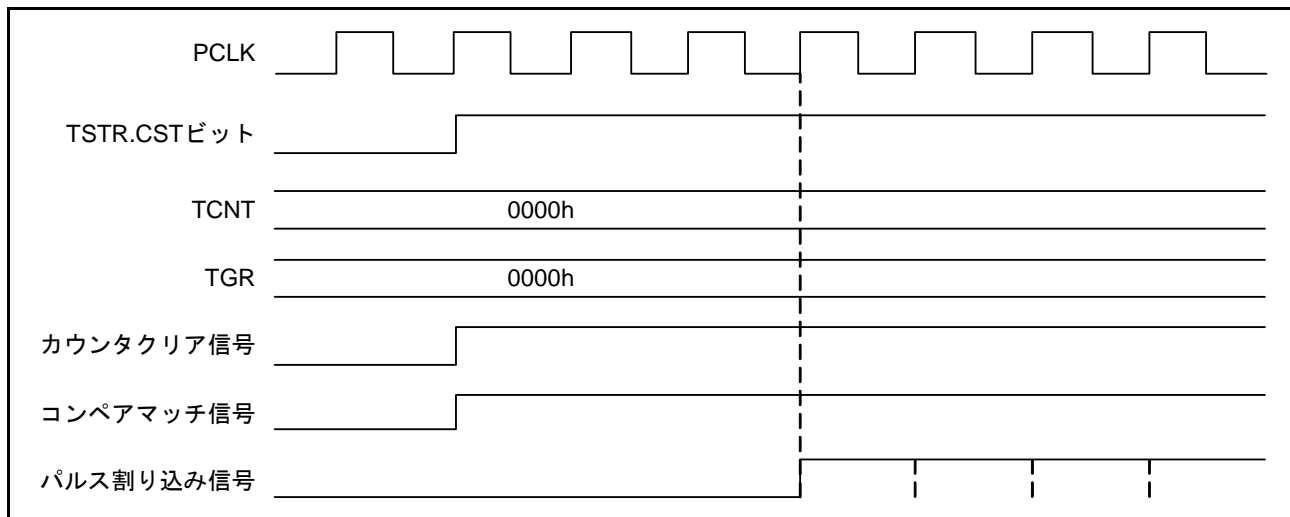


図 22.142 コンペアマッチによる割り込み信号の連続出力

22.6.26 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- MTU4.TADCOBRA、MTU4.TADCOBRB (MTU7.TADCOBRA、MTU7.TADCOBRB) に“0”、かつ、MTU4.TADCR の UT4AE、UT4BE (MTU7.TADCR の UT7AE、UT7BE) ビットに“1”を設定して、MTU4.TCNT(MTU7.TCNT) の谷でバッファ転送した時、転送直後のアップカウント期間については A/D 変換の開始要求を行いません (図 22.143 参照)。
- MTU4.TADCOBRA、MTU4.TADCOBRB (MTU7.TADCOBRA、MTU7.TADCOBRB) に TCDR と同じ値かつ、MTU4.TADCR の DT4AE、DT4BE (MTU7.TADCR の DT7AE、DT7BE) ビットに“1”を設定して、MTU4.TCNT(MTU7.TCNT) の山でバッファ転送した時、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません (図 22.144 参照)。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \leq \text{MTUn.TADCORA/B} \leq \text{TCDR} - 2$ を満たすように MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA、MTU7.TADCORB) を設定してください。(n=4, 7)

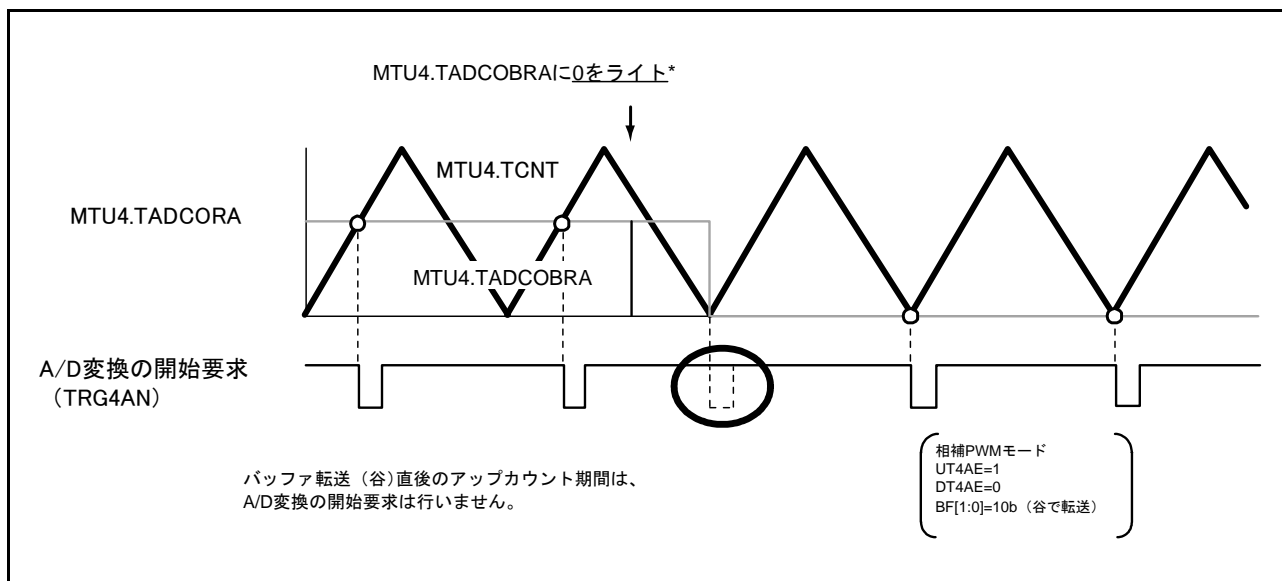


図 22.143 MTU4.TADCOBRA に“0” をライトした時の A/D 変換の開始要求 (MTU4)

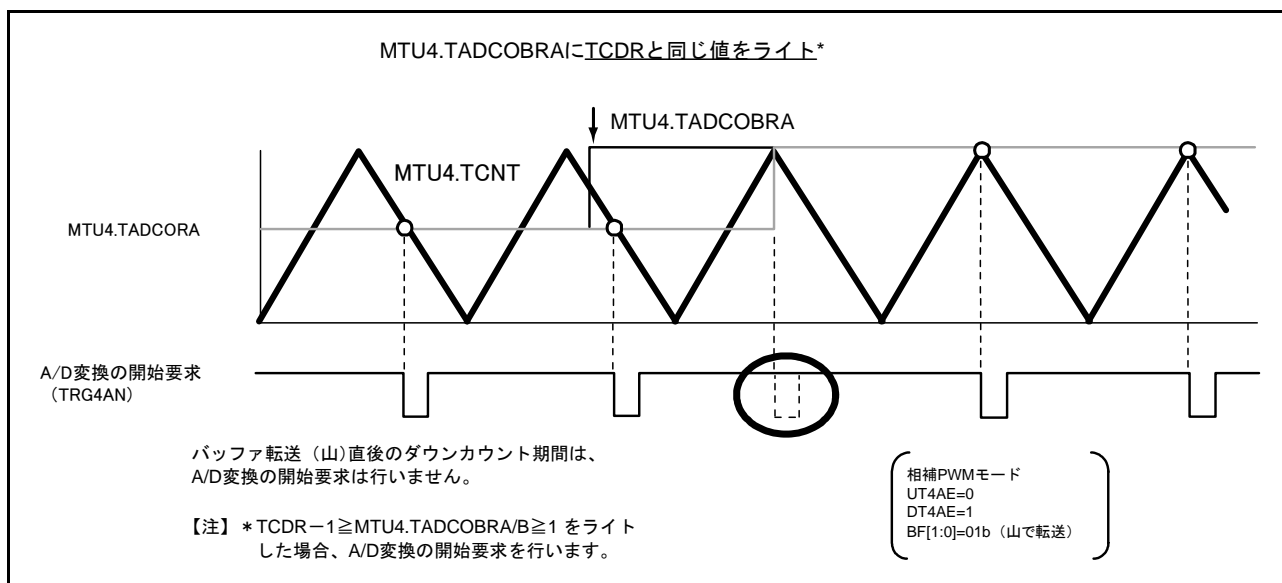


図 22.144 MTU4.TADCOBRA に TCDR と同じ値をライトした時の A/D 変換の開始要求 (MTU4)

22.7 MTU 出力端子の初期化方法

22.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ~ MTU4、MTU6、MTU7)
- PWM モード 1 (MTU0 ~ MTU4、MTU6、MTU7)
- PWM モード 2 (MTU0 ~ MTU2)
- 位相計数モード 1 ~ 4 (MTU1、MTU2)
- 相補 PWM モード (MTU3、MTU4、MTU6、MTU7)
- リセット同期 PWM モード (MTU3、MTU4、MTU6、MTU7)

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

22.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D) は、TOERA、TOERB レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 3 (POE3) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 22.74 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1 ~ 4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 22.74 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

22.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOCnB/MTIOCnD (n=3、4、6、7) 端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。
- PWM モード 2 では周期レジスタの端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。
- タイマアウトプットコントロールレジスタ (TOCR1A、TOCR2A、TOCR1B、TOCR2B) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、タイマアウトプットマスタイネーブルレジスタ (TOERA、TOERB) で MTU3、MTU4 (MTU6、MTU7) を 1 度出力禁止にしてください。このとき、該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。ノーマルモードに遷移し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順 (TOCR1A 設定、TOCR2A 設定、TMDR1 設定、TOERA 設定 (TOCR1B 設定、TOCR2B 設定、TMDR1 設定、TOERB 設定)) に従い動作させてください。

注. 特に断りがない場合、本項記述中の n にはチャンネル番号が入ります。

以下、表 22.74 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.145 に示します。

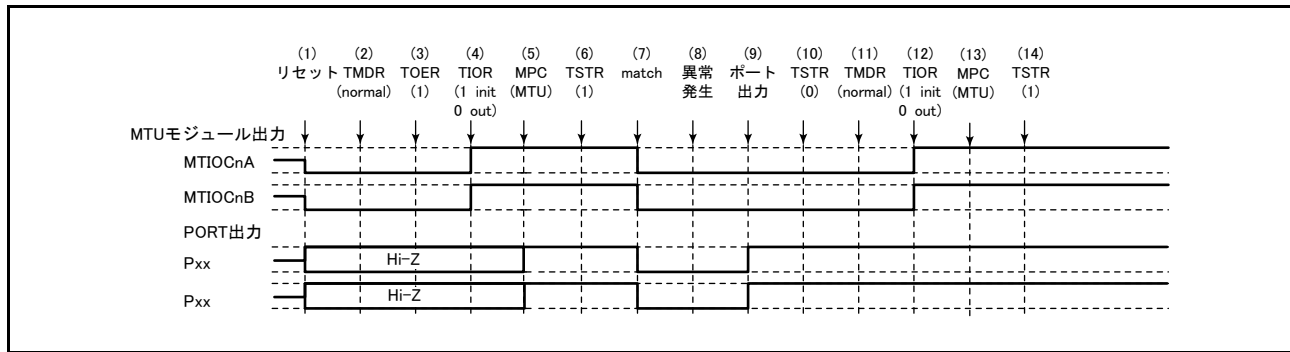


図 22.145 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR1 レジスタはノーマルモード設定になります。
- (3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOERA レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA レジスタでカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.146 に示します。

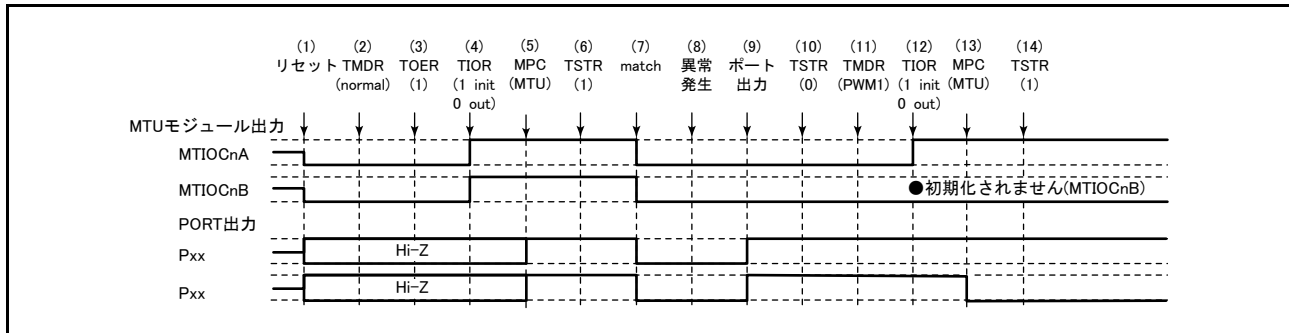


図 22.146 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 22.145 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.147 に示します。

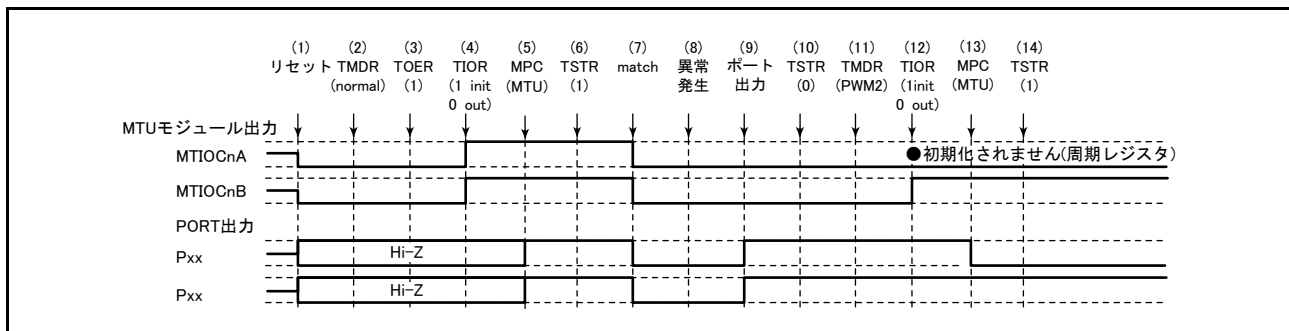


図 22.147 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 22.145 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注. PWM モード 2 は MTU0 ~ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.148 に示します。

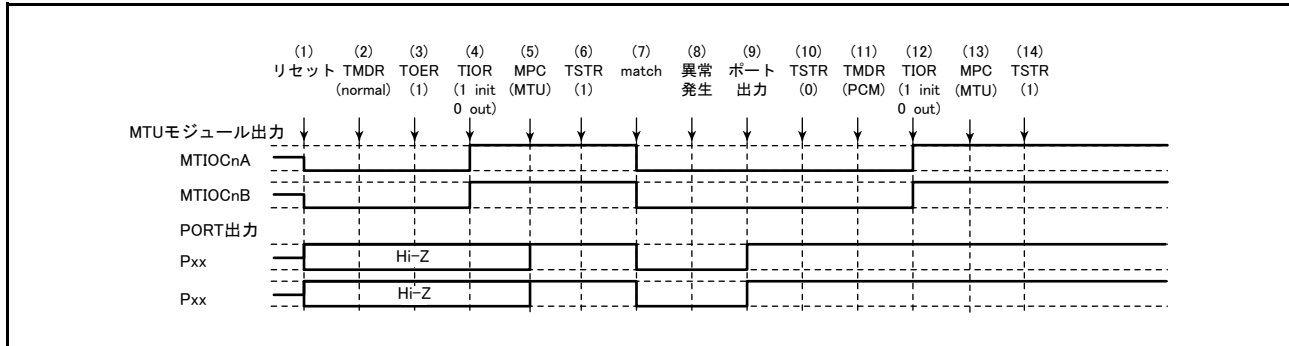


図 22.148 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 22.145 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注． 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.149 に示します。

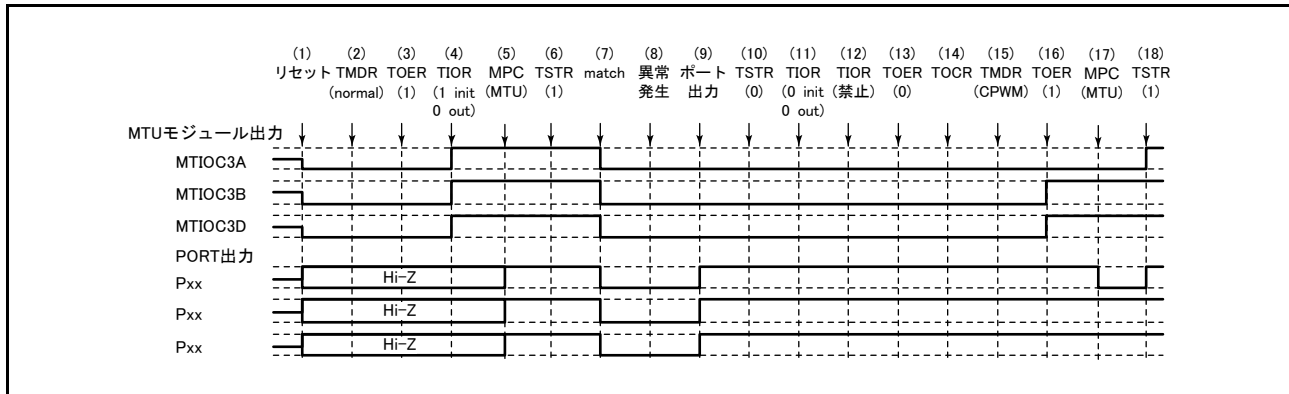


図 22.149 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 22.145 と共通です。

- (11) TIOR レジスタでノーマルモードの波形生成部を初期化してください。
- (12) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。
- (13) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。
- (14) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) 相補 PWM を設定します。
- (16) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (18) TSTRA レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.150 に示します。

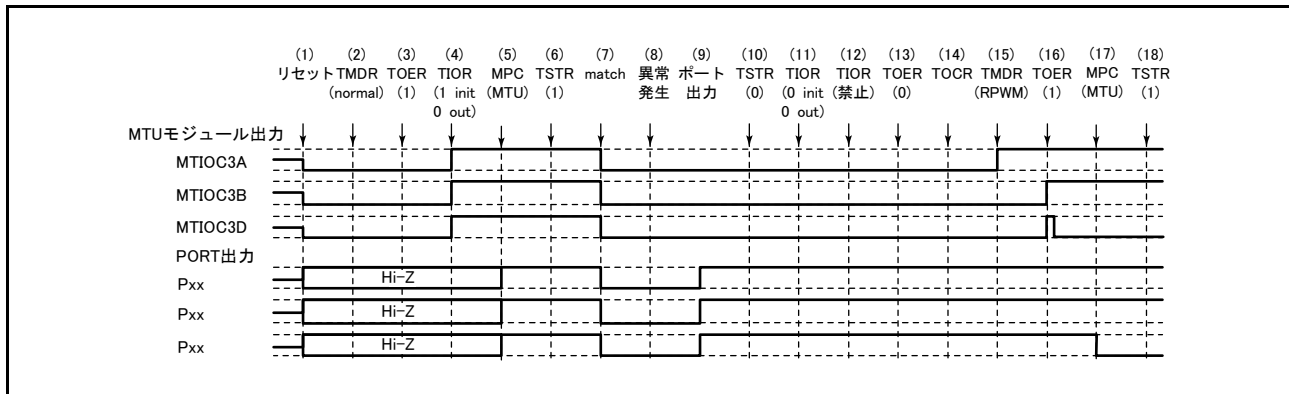


図 22.150 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (13) は図 22.145 と共通です。

(14) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(18) TSTRA レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.151 に示します。

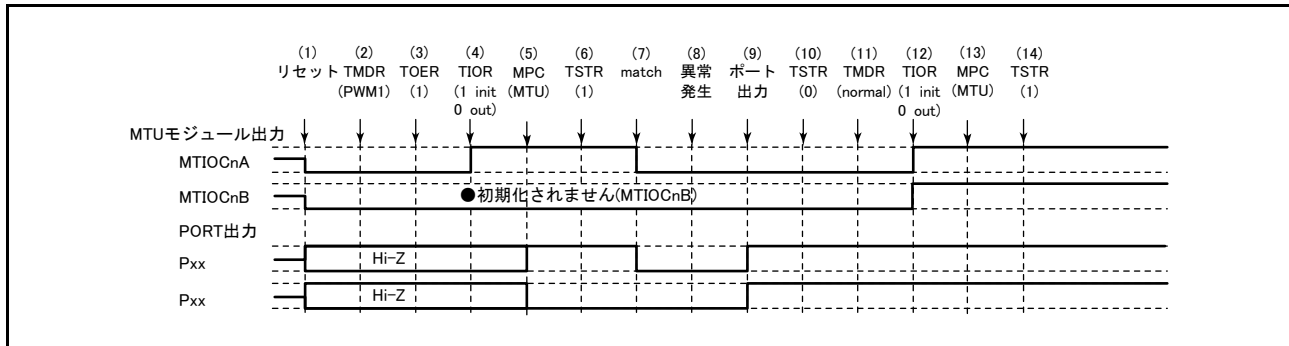


図 22.151 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOERA レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOcxB 側は初期化されません)。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA レジスタでカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA レジスタで再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.152 に示します。

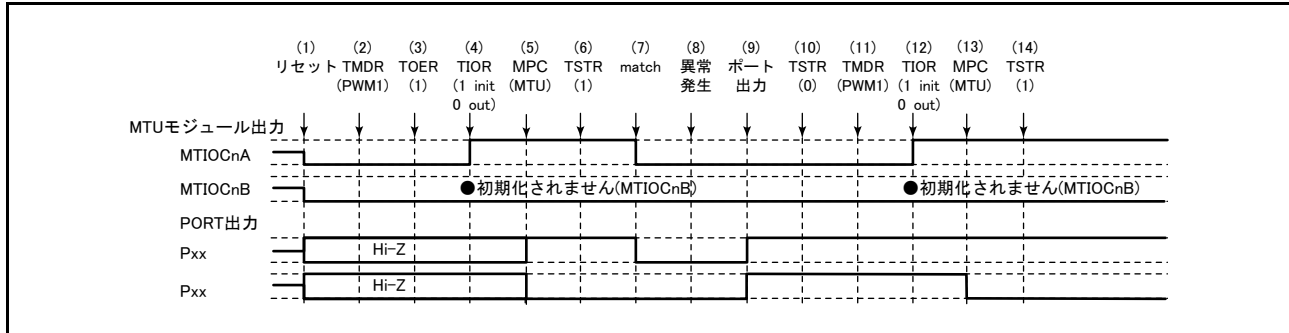


図 22.152 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 22.151 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.153 に示します。

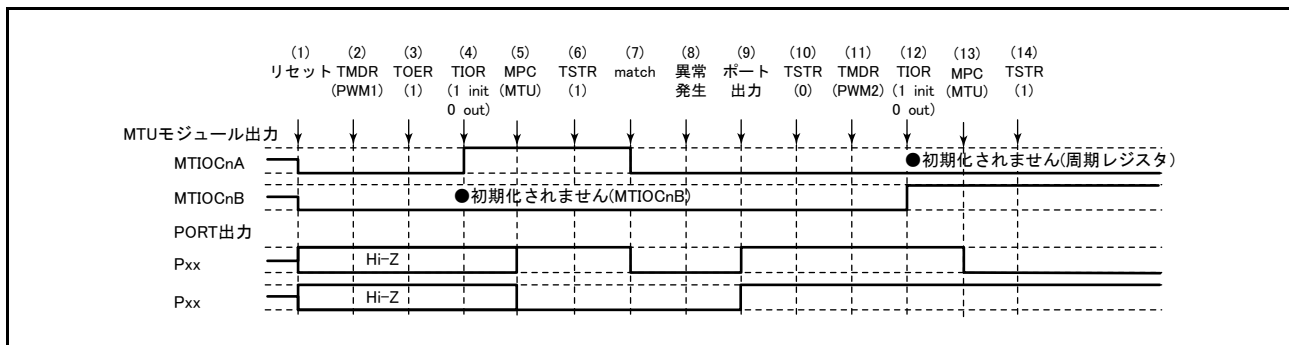


図 22.153 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 22.151 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注. PWM モード 2 は MTU0 ~ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.154 に示します。

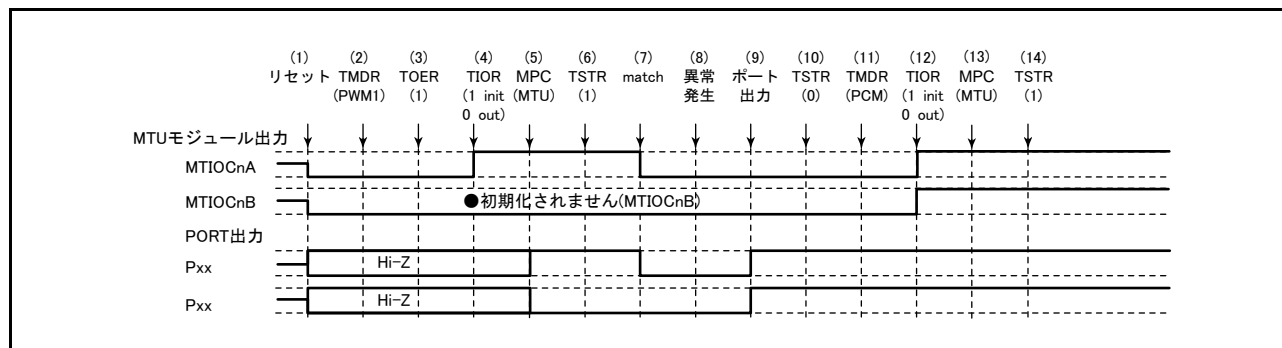


図 22.154 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 22.151 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

注． 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.155 に示します。

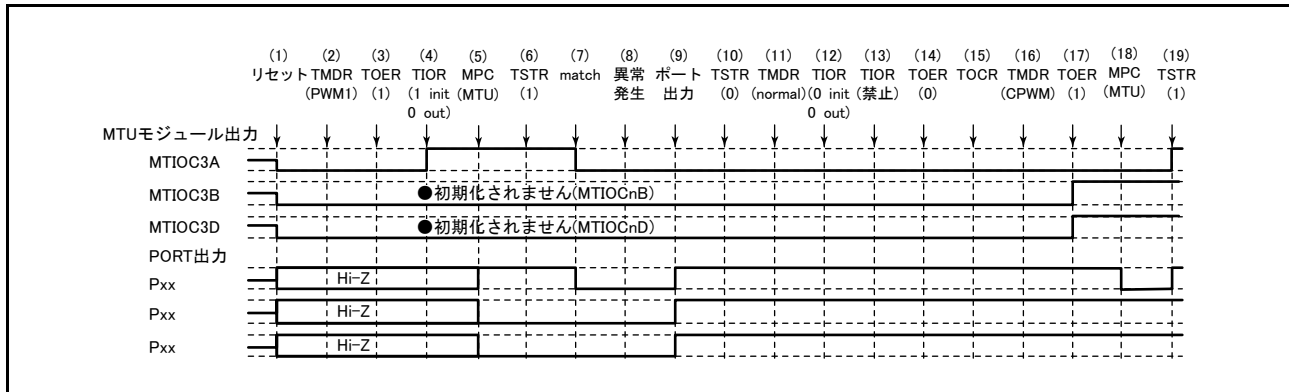


図 22.155 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 22.151 と共通です。

- (11) 波形生成部の初期化のためノーマルモードを設定してください。
- (12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください。
- (14) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。
- (15) TOCR1A、TOCR2 レジスタ A で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (16) 相補 PWM を設定します。
- (17) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (19) TSTRA レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.156 に示します。

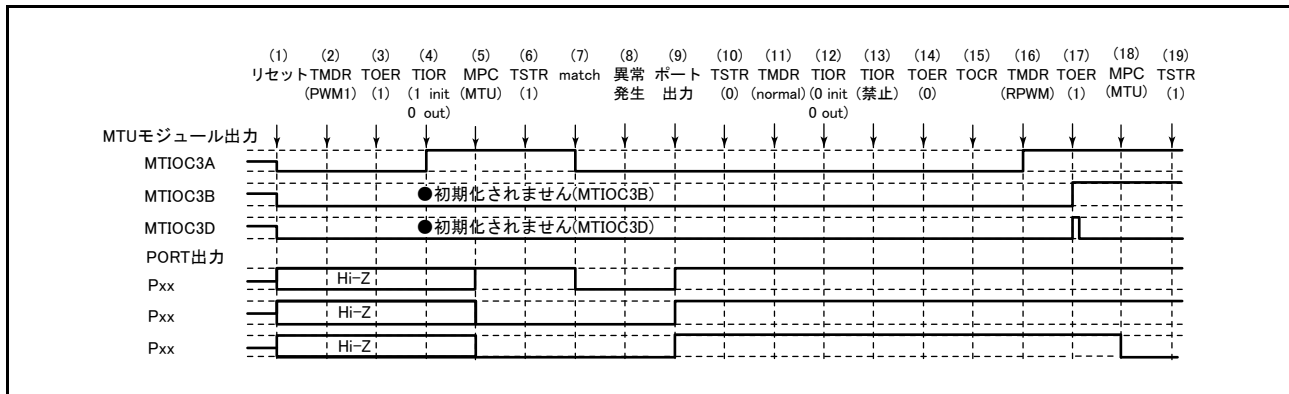


図 22.156 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 22.155 と共通です。

(15) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(19) TSTRA レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.157 に示します。

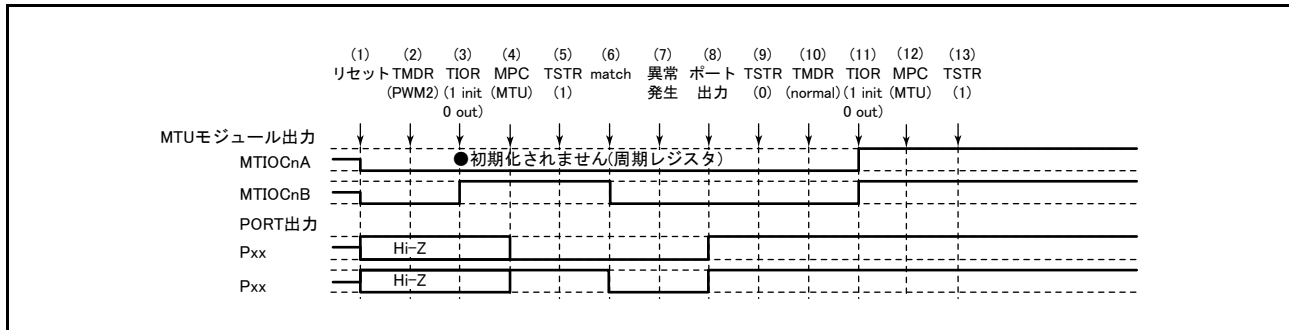


図 22.157 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は MTIOcNA が周期レジスタの場合です）。
- (4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.158 に示します。

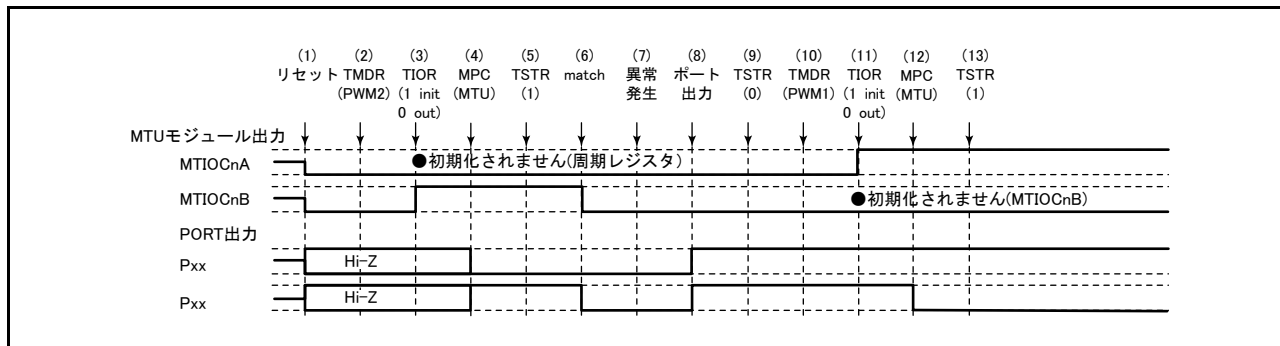


図 22.158 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 22.157 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOcxB (MTIOcxD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.159 に示します。

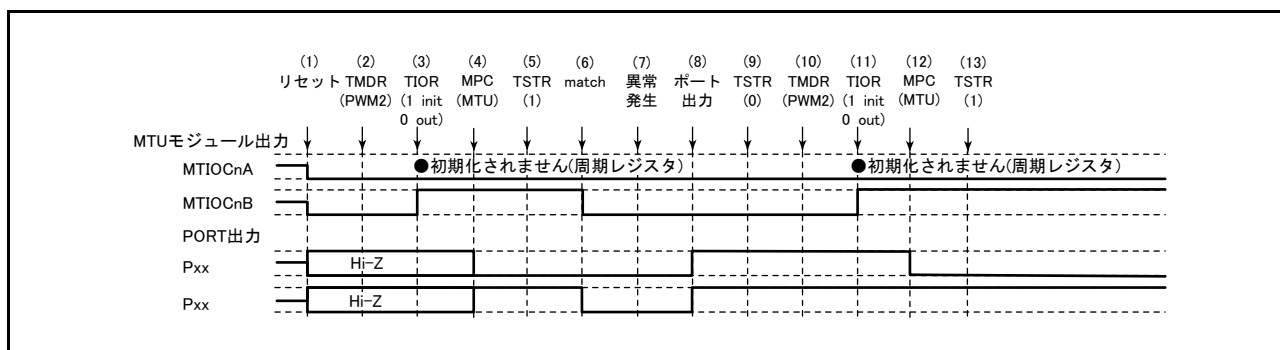


図 22.159 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 22.157 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.160 に示します。

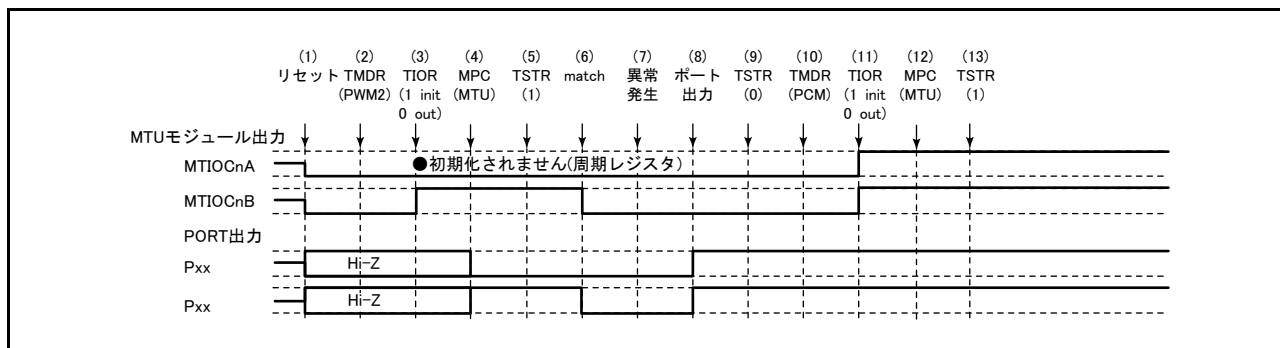


図 22.160 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 22.157 と共通です。

(10)位相計数モードを設定します。

(11)TIOR レジスタで端子を初期化してください。

(12)MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13)TSTRA レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.161 に示します。

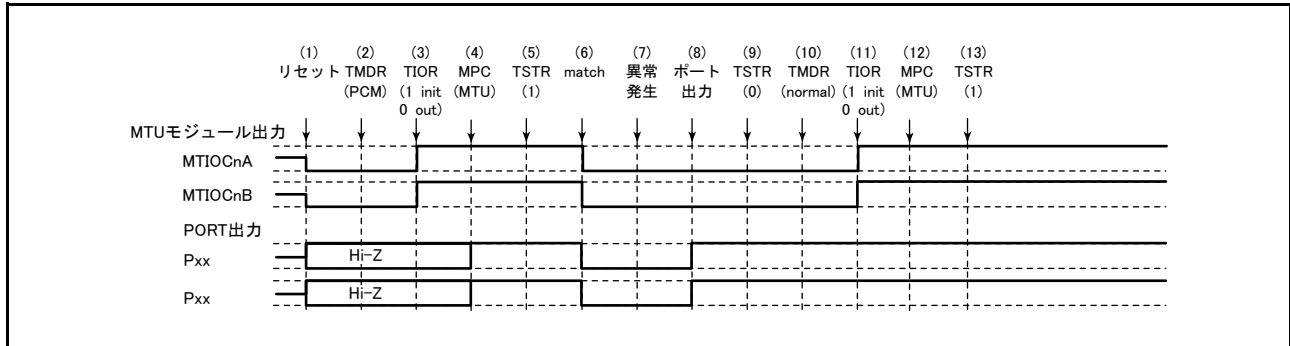


図 22.161 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (4) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 22.162 に示します。

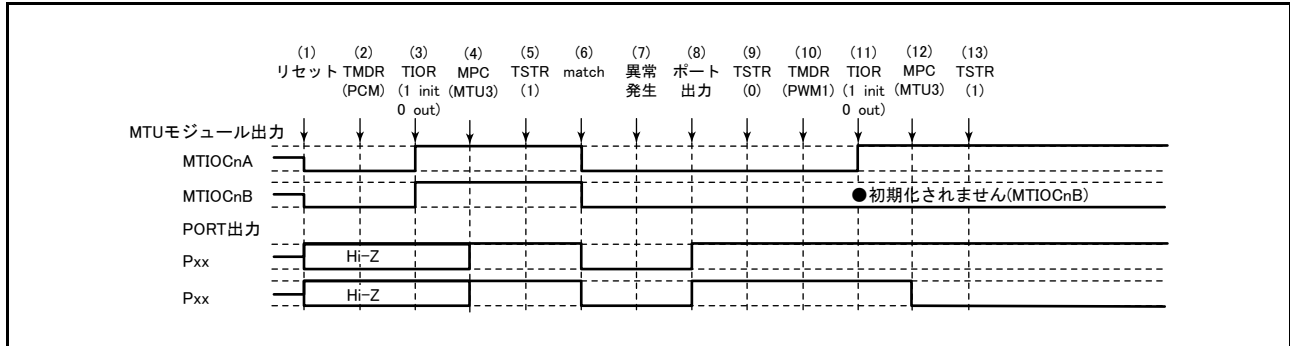


図 22.162 位相計数モードで異常が発生し、PWM モード1で復帰する場合

(1) ~ (9) は図 22.161 と共通です。

(10) PWM モード1を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 22.163 に示します。

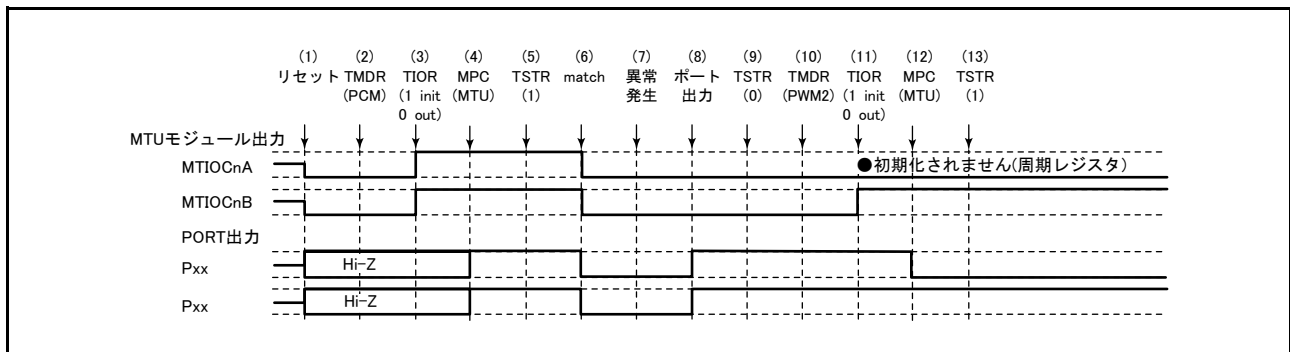


図 22.163 位相計数モードで異常が発生し、PWM モード2で復帰する場合

(1) ~ (9) は図 22.161 と共通です。

(10) PWM モード2を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード2では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.164 に示します。

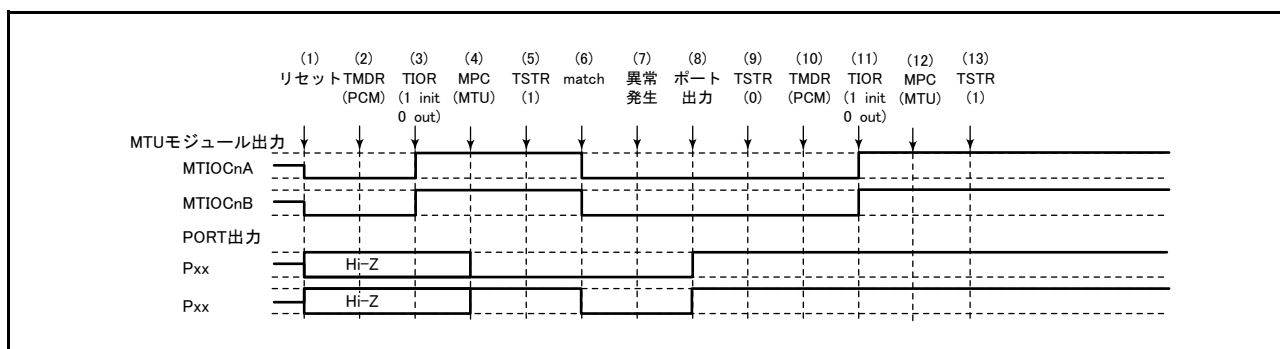


図 22.164 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 22.161 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.165 に示します。

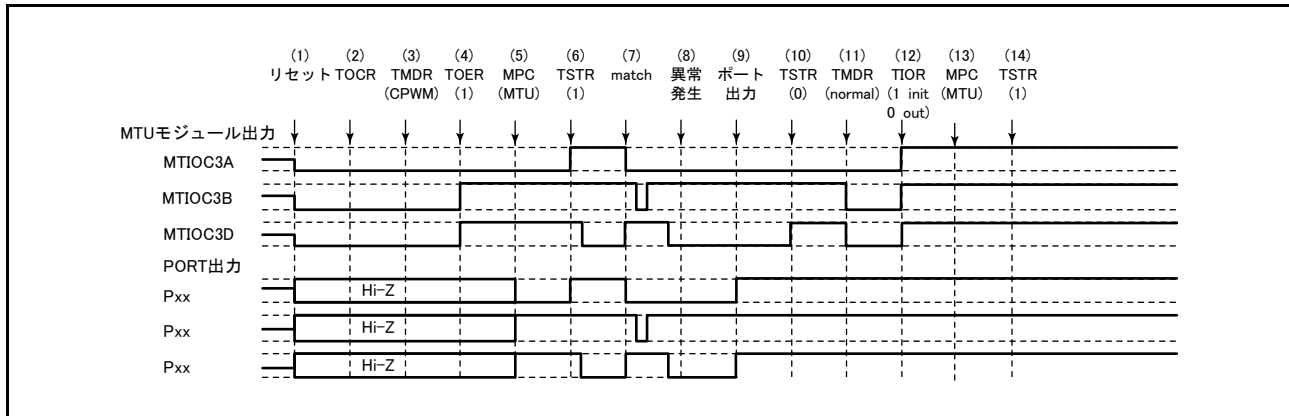


図 22.165 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は Low となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.166 に示します。

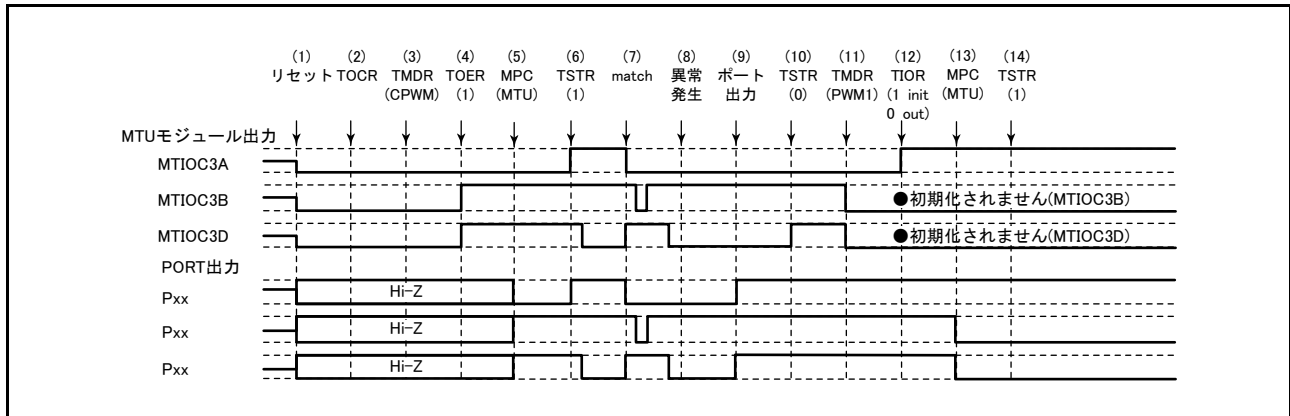


図 22.166 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 22.165 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は Low となります)。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.167 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

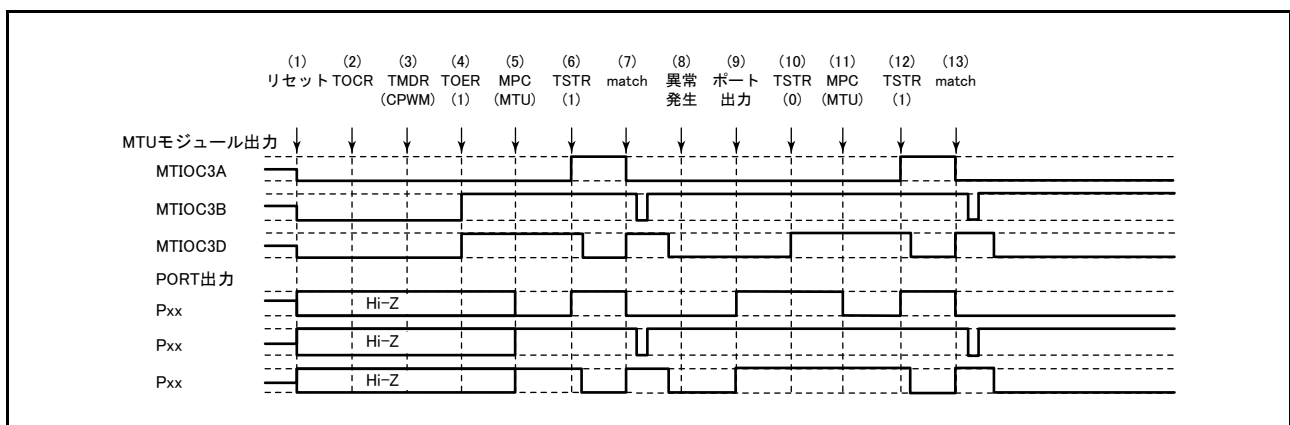


図 22.167 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (1)

(1) ~ (10) は図 22.165 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTRA レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.168 に示します (周期、デューティ比設定を全く新しい設定値で再スタートする場合)。

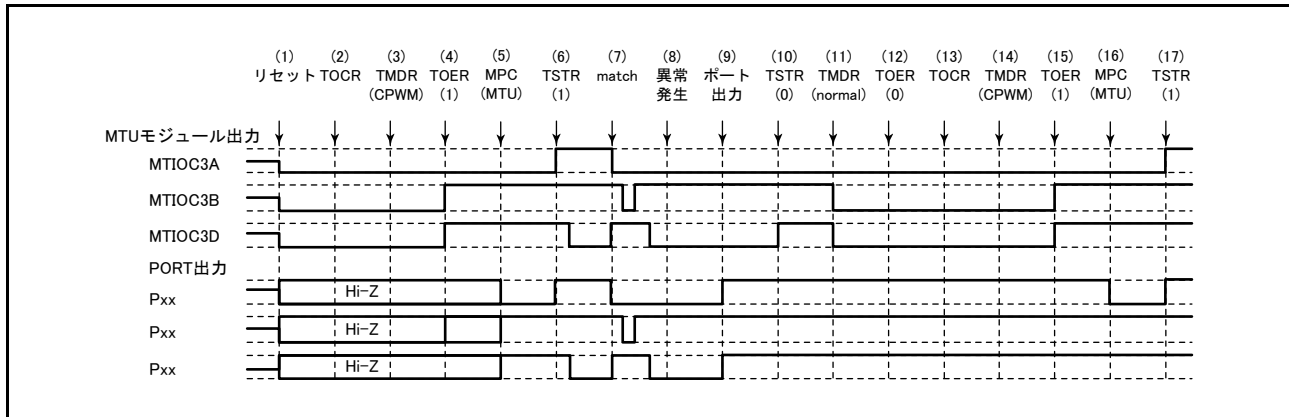


図 22.168 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (2)

(1) ~ (10) は図 22.165 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください (MTU 出力は Low となります)。

(12) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。

(13) TOCR1A、TOCR2A レジスタで相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(17) TSTRA レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.169 に示します。

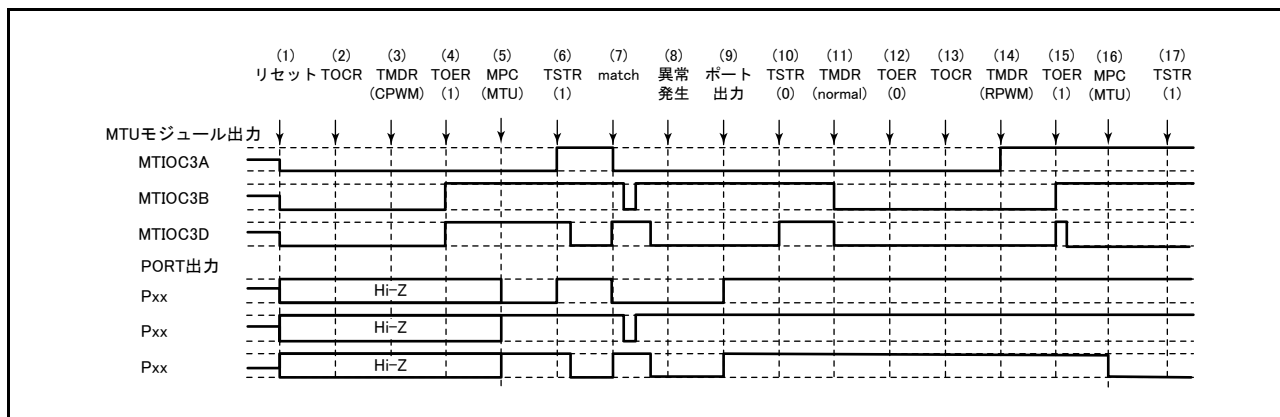


図 22.169 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 22.165 と共通です。

(11) ノーマルモードを設定してください (MTU 出力は Low となります)。

(12) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。

(13) TOCR1A、TOCR2A レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(14) リセット同期 PWM を設定します。

(15) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(17) TSTRA レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.170 に示します。

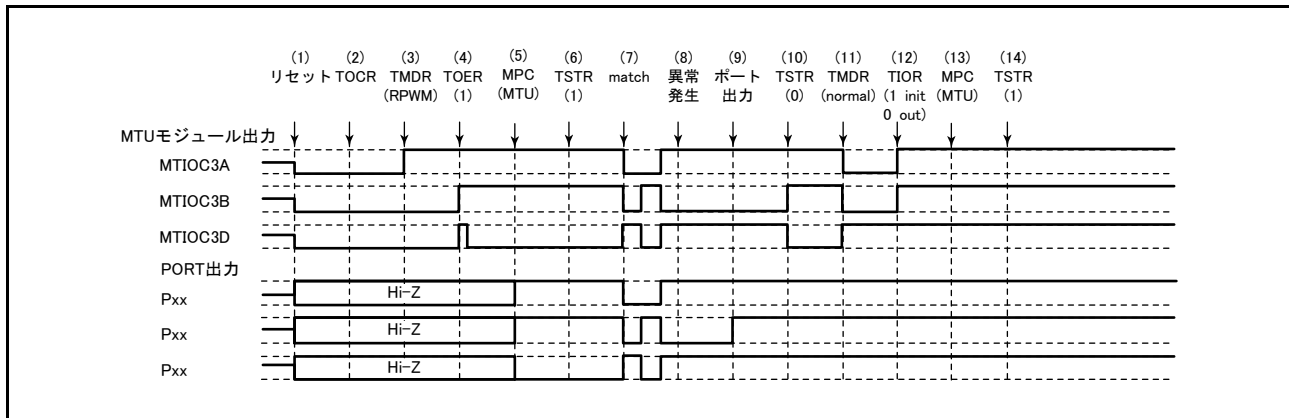


図 22.170 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA レジスタでカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側が Low、逆相側が High となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.171 に示します。

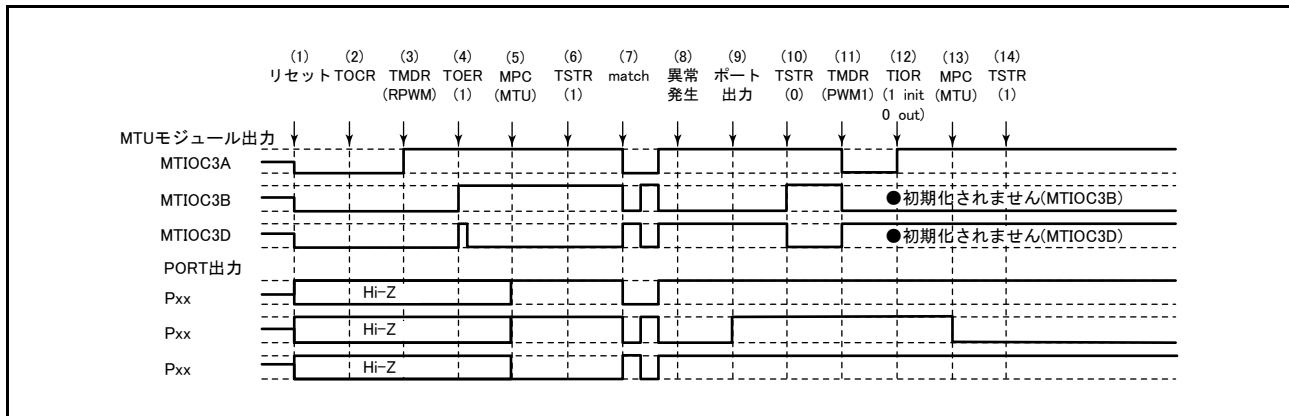


図 22.171 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 22.170 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は正相側が Low、逆相側が High となります)。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.172 に示します。

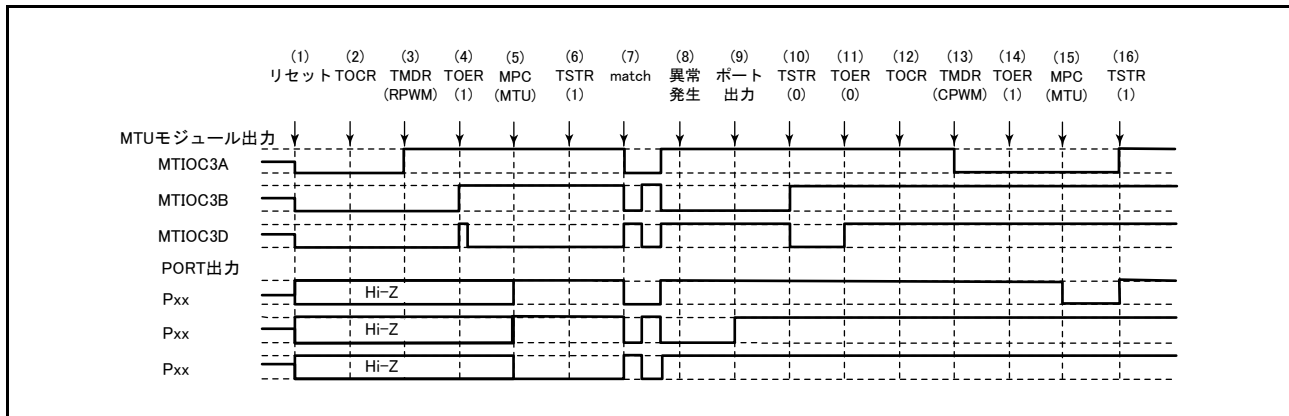


図 22.172 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 22.170 と共通です。

- (11) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。
- (12) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (MTU の周期出力端子は Low になります)。
- (14) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (15) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (16) TSTRA レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.173 に示します。

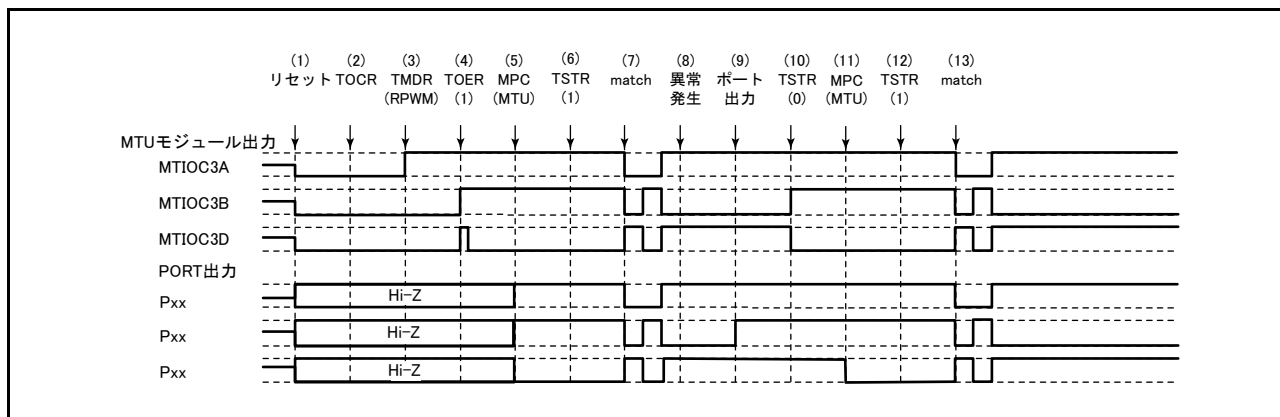


図 22.173 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 22.170 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTRA レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

23. ポートアウトプットイネーブル3 (POE3)

ポートアウトプットイネーブル3 (POE3) は、POE0#、POE4#、POE8#、POE10#、POE11#、POE12# 端子の入力変化、MTU 相補 PWM 出力端子 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D) の出力状態、GPT 出力端子 (GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B、GTIOC2A、GTIOC2B、GTIOC4A、GTIOC4B、GTIOC5A、GTIOC5B、GTIOC6A、GTIOC6B) の出力状態またはレジスタ設定によって MTU 相補 PWM 出力端子および MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D)、GPT 端子 (GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B、GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B、GTIOC4A、GTIOC4B、GTIOC5A、GTIOC5B、GTIOC6A、GTIOC6B、GTIOC7A、GTIOC7B) がマルチプレクスされている端子をハイインピーダンス状態にすることができ、同時に割り込み要求を発行することができます。また、クロック発生回路の発振停止を検出したとき、および 12 ビット A/D コンバータ (S12ADB) のコンパレータ検出したときも、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子がマルチプレクスされている端子をハイインピーダンス状態にすることができます。

23.1 概要

表 23.1 に POE3 の仕様を、図 23.1 に POE3 のブロック図を示します。

表 23.1 POE3 の仕様

項目	内容
機能	<ul style="list-style-type: none"> POE0#、POE4#、POE8#、POE10#、POE11#、POE12# の各入力端子に立ち下がりエッジ、PCLK/8x16回、PCLK/16x16回、PCLK/128x16回の Low サンプリングの設定が可能です。 POE0#、POE4#、POE8#、POE10#、POE11#、POE12# 端子の立ち下がりエッジ、または Low サンプリングによって、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 クロック発生回路の発振停止を検出した場合、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 MTU 相補 PWM 出力端子または GPT 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子または GPT 出力端子をハイインピーダンス状態にできます。 12 ビット A/D コンバータ (S12ADB) のコンパレータ検出によって、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 POE3 のレジスタの設定により、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 入力レベルのサンプリング、または出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

POE3 は図 23.1 のブロック図に示すように、入力レベル検出回路、出力レベル比較回路、およびハイインピーダンス要求/割り込み要求生成回路から構成されます。

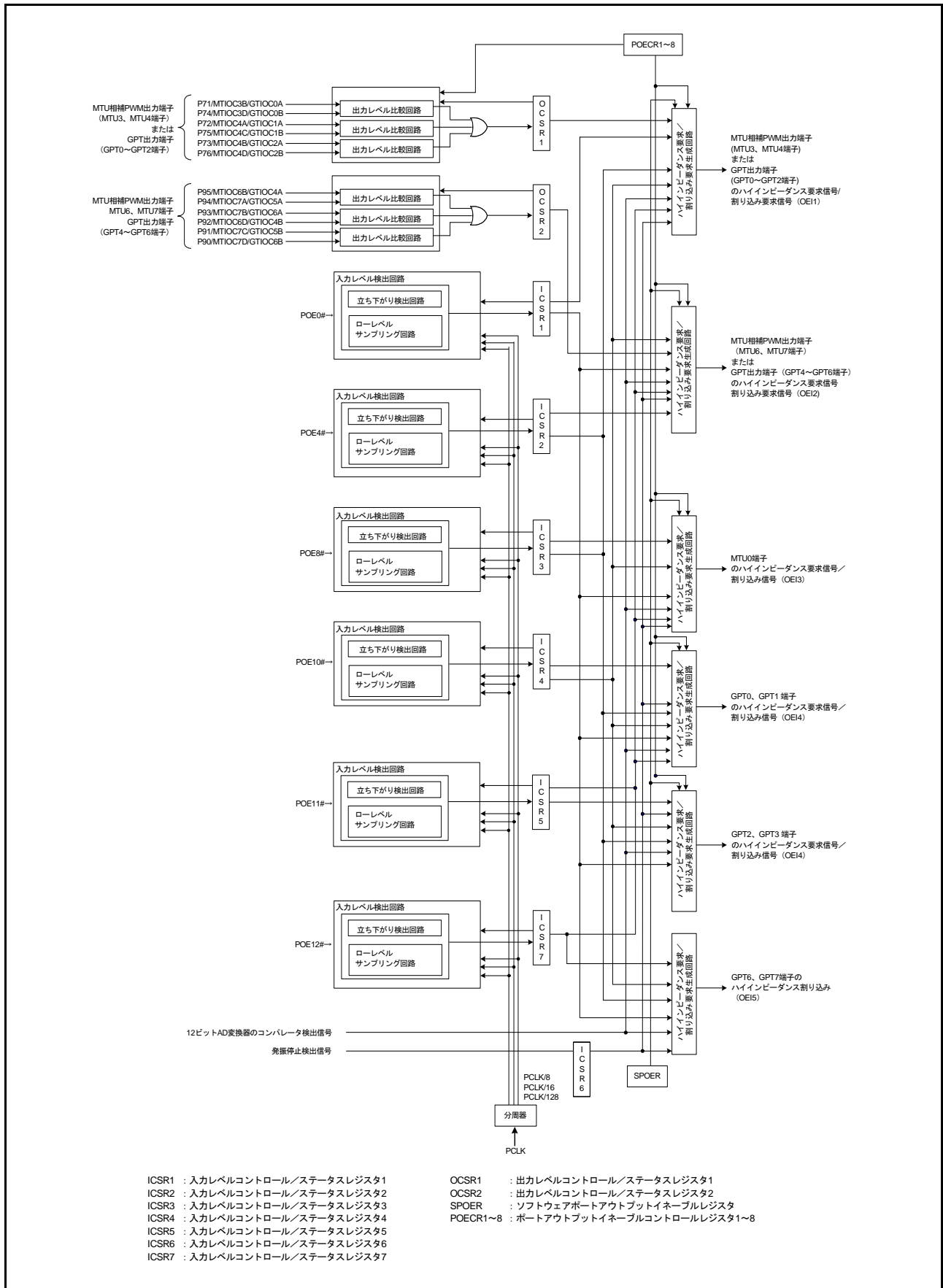


図 23.1 POE3 のブロック図

表 23.2 に POE3 で使用する入出力端子を示します。

表 23.2 POE3の入出力端子

端子名	入出力	機能
POE0#	入力	<p>【144/120/112/100ピン版の場合】 MTU相補PWM出力端子 (MTU3、MTU4端子) をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU0端子、MTU6端子、MTU7端子、GPT端子もハイインピーダンス状態にできます</p> <p>【64/48ピン版の場合】 MTU相補PWM出力端子 (MTU3、MTU4端子またはMTU6、MTU7端子) をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU0端子、GPT端子もハイインピーダンス状態にできます</p>
POE4#	入力	<p>MTU相補PWM出力端子 (MTU6、MTU7端子) をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU0端子、MTU3端子、MTU4端子、GPT端子もハイインピーダンス状態にできます</p>
POE8#	入力	<p>【144/120/112/100ピン版の場合】 MTU0の端子をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU3、MTU4端子、MTU6、MTU7端子)、GPT端子もハイインピーダンス状態にできます</p> <p>【64/48ピン版の場合】 MTU0の端子をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU3、MTU4端子またはMTU6、MTU7端子)、GPT端子もハイインピーダンス状態にできます</p>
POE10#	入力	<p>【144/120/112/100ピン版の場合】 GPT0、GPT1の端子をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU3、MTU4端子、MTU6、MTU7端子)、MTU0端子、GPT2端子、GPT3端子、GPT6端子、GPT7端子もハイインピーダンス状態にできます</p> <p>【64/48ピン版の場合】 GPT0、GPT1の端子をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU3、MTU4端子またはMTU6、MTU7端子)、MTU0端子、GPT2端子、GPT3端子もハイインピーダンス状態にできます</p>
POE11#	入力	<p>【144/120/112/100ピン版の場合】 GPT2、GPT3の端子をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU3、MTU4端子、MTU6、MTU7端子)、MTU0端子、GPT0端子、GPT1端子、GPT6端子、GPT7端子もハイインピーダンス状態にできます</p> <p>【64/48ピン版の場合】 GPT2、GPT3の端子をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU3、MTU4端子またはMTU6、MTU7端子)、MTU0端子、GPT0端子、GPT1端子もハイインピーダンス状態にできます</p>
POE12#	入力	<p>GPT6、GPT7の端子をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU3、MTU4端子、MTU6、MTU7端子)、MTU0端子、GPT0端子、GPT1端子、GPT2端子、GPT3端子もハイインピーダンス状態にできます</p>

表 23.3 に示す端子の組み合わせで出力レベルの比較を行います。

表 23.3 端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	周辺クロック (PCLK) 1サイクル以上同時にアクティブレベル出力 (MTUn.TOCR1A.TOCSビットが“0”のときに、MTUn.TOCR1A.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTUn.TOCR1A.TOCSビットが“1”のときに、MTUn.TOCR2A.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力) が続いた場合、MTU相補PWM出力端子 (MTU3、MTU4端子) をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE3のレジスタで設定できます
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	
MTIOC6BとMTIOC6D	出力	周辺クロック (PCLK) 1サイクル以上同時にアクティブレベル出力 (MTUn.TOCR1B.TOCSビットが“0”のときに、MTUn.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTUn.TOCR1B.TOCSビットが“1”のときに、MTUn.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力) が続いた場合、MTU相補PWM出力端子 (MTU6、MTU7端子) をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE3のレジスタで設定できます
MTIOC7AとMTIOC7C	出力	
MTIOC7BとMTIOC7D	出力	
GTIOC0AとGTIOC0B	出力	周辺クロック (PCLK) 1サイクル以上同時にアクティブレベル出力 (ALR1.OLSG2B,OLSG2A,OLSG1B,OLSG1A,OLSG0B,OLSG0Aビットが“0”の場合はLow出力、“1”の場合はHigh出力) が続いた場合、GPT出力端子 (GPT0～GPT2端子) をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE3のレジスタで設定できます
GTIOC1AとGTIOC1B	出力	
GTIOC2AとGTIOC2B	出力	
GTIOC4AとGTIOC4B	出力	周辺クロック (PCLK) 1サイクル以上同時にアクティブレベル出力 (ALR2.OLSG2B,OLSG2A,OLSG1B,OLSG1A,OLSG0B,OLSG0Aビットが“0”の場合はLow出力、“1”の場合はHigh出力) が続いた場合、GPT出力端子 (GPT4～GPT6端子) をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE3のレジスタで設定できます
GTIOC5AとGTIOC5B	出力	
GTIOC6AとGTIOC6B	出力	

23.2 レジスタの説明

POE3 のレジスタは、リセットで初期化されます。

23.2.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

アドレス 0008 C4C0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE0F	—	—	—	PIE1	—	—	—	—	—	—	POE0M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 00: POE0#端子入力の立ち下がりがエッジでハイインピーダンス制御要求を受け付け 01: POE0#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け 10: POE0#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け 11: POE0#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE1	ポート割り込み許可1ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0: POE0#端子入力にハイインピーダンス制御要求なし 1: POE0#端子入力にハイインピーダンス制御要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

ICSR1 レジスタは、POE0# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE0M[1:0] ビット (POE0 モード選択ビット)

POE0# 端子の入力モードを選択します。

PIE1 ビット (ポート割り込み許可1ビット)

POE0F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

["0"になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE0M[1:0] ビットでLow サンプリングを設定している場合、“0”を書くには、POE0# 端子にHigh を入力する必要があります。

詳細は「23.3.7 ハイインピーダンス状態からの解除」を参照してください。

["1"になる条件]

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

23.2.2 入力レベルコントロール/ステータスレジスタ 2 (ICSR2)

アドレス 0008 C4C4h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE4 F	—	—	—	PIE2	—	—	—	—	—	—	—	POE4M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE4M[1:0]	POE4モード選択ビット	b1 b0 00: POE4#端子入力の立ち下がりエッジでハイインピーダンス制御要求を受け付け 01: POE4#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け 10: POE4#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け 11: POE4#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE2	ポート割り込み許可1ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE4F	POE4フラグ	0: POE4#端子入力にハイインピーダンス制御要求なし 1: POE4#端子入力にハイインピーダンス制御要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

ICSR2 レジスタは、POE4# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE4M[1:0] ビット (POE4 モード選択ビット)

POE4# 端子の入力モードを選択します。

PIE2 ビット (ポート割り込み許可1ビット)

POE4F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE4F フラグ (POE4 フラグ)

POE4# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE4M[1:0] ビットでLow サンプリングを設定している場合、“0”を書くには、POE4# 端子に High を入力する必要があります。

詳細は「23.3.7 ハイインピーダンス状態からの解除」を参照してください。

[“1”になる条件]

- POE4# 端子に POE4M[1:0] ビットで設定した入力が発生したとき

23.2.3 出力レベルコントロール/ステータスレジスタ 1 (OCSR1)

アドレス 0008 C4C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	OCE1	出力短絡ハイインピーダンス許可1ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0: 同時にアクティブレベルになっていない 1: 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

OCSR1 レジスタは、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

OIE1 ビット (出力短絡割り込み許可 1 ビット)

OSF1 フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡ハイインピーダンス許可 1 ビット)

OSF1 フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ (出力短絡フラグ 1)

【144/120/112/100 ピン版の場合】

P71 ~ P76 の MTU 相補 PWM 出力端子 (MTU3、MTU4 端子) または GPT 出力端子 (GPT0 ~ GPT2 端子) の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

【64/48 ピン版の場合】

P71 ~ P76 の MTU 相補 PWM 出力端子 (MTU3、MTU4 端子または MTU6、MTU7 端子) または GPT 出力端子 (GPT0 ~ GPT2 端子) の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき
“0”を書くには、MTU 相補 PWM 出力端子または GPT 出力端子から非アクティブを出力する必要があります。
詳細は「23.3.7 ハイインピーダンス状態からの解除」を参照してください。

[“1”になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

23.2.4 出力レベルコントロール/ステータスレジスタ 2 (OCSR2)

アドレス 0008 C4C6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF2	—	—	—	—	—	OCE2	OIE2	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE2	出力短絡割り込み許可2ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	OCE2	出力短絡ハイインピーダンス許可2ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF2	出力短絡フラグ2	0: 同時にアクティブレベルになっていない 1: 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

OCSR2 レジスタは、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

OIE2 ビット (出力短絡割り込み許可 2 ビット)

OSF2 フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

OCE2 ビット (出力短絡ハイインピーダンス許可 2 ビット)

OSF2 フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

OSF2 フラグ (出力短絡フラグ 2)

MTU 相補 PWM 出力端子 (MTU6、MTU7 端子) または GPT 出力端子 (GPT4 ~ GPT6 端子) の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき
“0”を書くには、MTU 相補 PWM 出力端子または GPT 出力端子から非アクティブを出力する必要があります。
詳細は「23.3.7 ハイインピーダンス状態からの解除」を参照してください。

[“1”になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

23.2.5 アクティブレベルレジスタ 1 (ALR1)

アドレス 0008 C4DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MTUC HSEL	OLSE N	—	OLSG 2B	OLSG 2A	OLSG 1B	OLSG 1A	OLSG 0B	OLSG 0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	MTIOC3B/GTIOC0A アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b1	OLSG0B	MTIOC3D/GTIOC0B アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b2	OLSG1A	MTIOC4A/GTIOC1A アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b3	OLSG1B	MTIOC4C/GTIOC1B アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b4	OLSG2A	MTIOC4B/GTIOC2A アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b5	OLSG2B	MTIOC4D/GTIOC2B アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0 : 無効 1 : 有効	R/W (注1)
b8	MTUCHSEL	MTU出力アクティブレベルチャネル設定ビット	【144/120/112/100ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください 【64/48ピン版の場合】 0 : MTU3、MTU4を選択 (TOCR1A、TOCR2A) 1 : MTU6、MTU7を選択 (TOCR1B、TOCR2B)	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR1 レジスタは、OCSR1 レジスタにて MTU 出力および GPT 出力の出力短絡を検出する場合の、MTU 出力および GPT 出力のアクティブレベルを設定するレジスタです。

OLSG0A ビット (MTIOC3B/GTIOC0A アクティブレベル設定ビット)

【144/120/112/100 ピン版の場合】

P71 の MTIOC3B 出力および GTIOC0A 出力のアクティブレベルを設定します。OLSG0A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

【64/48 ピン版の場合】

P71 の MTIOC3B 出力、MTIOC6B 出力および GTIOC0A 出力のアクティブレベルを設定します。OLSG0A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSG0B ビット (MTIOC3D/GTIOC0B アクティブレベル設定ビット)

【144/120/112/100 ピン版の場合】

P74 の MTIOC3D 出力および GTIOC0B 出力のアクティブレベルを設定します。OLSG0B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行ないます。

【64/48 ピン版の場合】

P74 の MTIOC3D 出力、MTIOC6D 出力および GTIOC0B 出力のアクティブレベルを設定します。OLSG0B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行ないます。

OLSG1A ビット (MTIOC4A/GTIOC1A アクティブレベル設定ビット)

【144/120/112/100 ピン版の場合】

P72 の MTIOC4A 出力および GTIOC1A 出力のアクティブレベルを設定します。OLSG1A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行ないます。

【64/48 ピン版の場合】

P72 の MTIOC4A 出力、MTIOC7A 出力および GTIOC1A 出力のアクティブレベルを設定します。OLSG1A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行ないます。

OLSG1B ビット (MTIOC4C/GTIOC1B アクティブレベル設定ビット)

【144/120/112/100 ピン版の場合】

P75 の MTIOC4C 出力および GTIOC1B 出力のアクティブレベルを設定します。OLSG1B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行ないます。

【64/48 ピン版の場合】

P75 の MTIOC4C 出力、MTIOC7C 出力および GTIOC1B 出力のアクティブレベルを設定します。OLSG1B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行ないます。

OLSG2A ビット (MTIOC4B/GTIOC2A アクティブレベル設定ビット)

【144/120/112/100 ピン版の場合】

P73 の MTIOC4B 出力および GTIOC2A 出力のアクティブレベルを設定します。OLSG2A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行ないます。

【64/48 ピン版の場合】

P73 の MTIOC4B 出力、MTIOC7B 出力および GTIOC2A 出力のアクティブレベルを設定します。OLSG2A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行ないます。

OLSG2B ビット (MTIOC4D/GTIOC2B アクティブレベル設定ビット)

【144/120/112/100 ピン版の場合】

P76 の MTIOC4D 出力および GTIOC2B 出力のアクティブレベルを設定します。OLSG2B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行ないます。

【64/48 ピン版の場合】

P76 の MTIOC4D 出力、MTIOC7D 出力および GTIOC2B 出力のアクティブレベルを設定します。OLSG2B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行ないます。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n=0 ~ 2, m=A, B) によるアクティブレベル設定の有効/無効を設定します。OLSEN ビットが“0”の場合はOLSGnmビットの設定は無効となり、MTU出力のアクティブレベルはMTUCHSELビットで設定されたMTU.TOCR1レジスタおよびMTU.TOCR2レジスタの設定となります。OLSENビットが“1”の場合は、MTU出力のアクティブレベルはOLSGnmビットの設定となります。

GPT出力のアクティブレベルは、OLSENビットが“1”のときのみ設定可能です。GPT出力の出力短絡検出を行なう場合はOLSENビットを“1”にし、OLSGnmビットでGPT出力のアクティブレベルを設定してください。

MTUCHSEL ビット (MTU出力アクティブレベルチャンネル設定ビット)

MTU相補PWM出力端子として、MTU3、MTU4 (MTUn.TOCR1A、MTUn.TOCR2A) を選択するか、MTU6、MTU7 (MTUm.TOCR1B、MTUm.TOCR2B) を選択するかを設定します。(n=3, 4, m=6, 7)

MTU相補PWM出力を使用する場合は、リセット後、端子を出力設定する前にMTUCHSELビットを設定してください。

本ビットは、64/48ピン版の時、有効です。144/120/112/100ピン版の時は予約ビットとなります。予約ビットの場合は、読むと“0”が読めます。書く場合、“0”としてください。

23.2.6 アクティブレベルレジスタ 2 (ALR2)

アドレス 0008 C4DEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OLSE N	—	OLSG 6B	OLSG 6A	OLSG 5B	OLSG 5A	OLSG 4B	OLSG 4A	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG4A	MTIOC6B/GTIOC4Aアクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b1	OLSG4B	MTIOC6D/GTIOC4Bアクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b2	OLSG5A	MTIOC7A/GTIOC5Aアクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b3	OLSG5B	MTIOC7C/GTIOC5Bアクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b4	OLSG6A	MTIOC7B/GTIOC6Aアクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b5	OLSG6B	MTIOC7D/GTIOC6Bアクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0 : 無効 1 : 有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR2レジスタは、OCSR2レジスタにてMTU出力およびGPT出力の出力短絡を検出する場合の、MTU出力およびGPT出力のアクティブレベルを設定するレジスタです。

OLSG4A ビット (MTIOC6B/GTIOC0A アクティブレベル設定ビット)

MTIOC6B 出力および GTIOC0A 出力のアクティブレベルを設定します。OLSG4A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSG4B ビット (MTIOC6D/GTIOC0B アクティブレベル設定ビット)

MTIOC6D 出力および GTIOC0B 出力のアクティブレベルを設定します。OLSG4B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSG5A ビット (MTIOC7A/GTIOC1A アクティブレベル設定ビット)

MTIOC7A 出力および GTIOC1A 出力のアクティブレベルを設定します。OLSG5A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSG5B ビット (MTIOC7C/GTIOC1B アクティブレベル設定ビット)

MTIOC7C 出力および GTIOC1B 出力のアクティブレベルを設定します。OLSG5B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSG6A ビット (MTIOC7B/GTIOC2A アクティブレベル設定ビット)

MTIOC7B 出力および GTIOC2A 出力のアクティブレベルを設定します。OLSG6A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSG6B ビット (MTIOC7D/GTIOC2B アクティブレベル設定ビット)

MTIOC7D 出力および GTIOC2B 出力のアクティブレベルを設定します。OLSG6B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n=4 ~ 6、m=A、B) によるアクティブレベル設定の有効/無効を設定します。OLSEN ビットが“0”の場合は OLSGnm ビットの設定は無効となり、MTU 出力のアクティブレベルは MTUCHSEL ビットで設定された MTU.TOCR1 レジスタおよび MTU.TOCR2 レジスタの設定となります。OLSEN ビットが“1”の場合は、MTU 出力のアクティブレベルは OLSGnm ビットの設定となります。

GPT 出力のアクティブレベルは、OLSEN ビットが“1”のときのみ設定可能です。GPT 出力の出力短絡検出を行なう場合は OLSSEN ビットを“1”にし、OLSGnm ビットで GPT 出力のアクティブレベルを設定してください。

23.2.7 入力レベルコントロール/ステータスレジスタ 3 (ICSR3)

アドレス 0008 C4C8h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE8 F	—	—	POE8 E	PIE3	—	—	—	—	—	—	—	POE8M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 00: POE8#端子入力の立ち下がりエッジでハイインピーダンス制御要求を受け付け 01: POE8#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け 10: POE8#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け 11: POE8#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE3	ポート割り込み許可3ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0: POE8#端子入力のハイインピーダンス制御要求なし 1: POE8#端子入力のハイインピーダンス制御要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

ICSR3 レジスタは、POE8# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE8M[1:0] ビット (POE8 モード選択ビット)

POE8# 端子の入力モードを選択します。

PIE3 ビット (ポート割り込み許可3ビット)

POE8F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 ハイインピーダンスイネーブルビット)

POE8F フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE8M[1:0] ビットでLow サンプリングを設定している場合、“0”を書くには、POE8# 端子にHigh を入力する必要があります。

詳細は「23.3.7 ハイインピーダンス状態からの解除」を参照してください。

[“1”になる条件]

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

23.2.8 入力レベルコントロール/ステータスレジスタ 4 (ICSR4)

アドレス 0008 C4D6h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE10F	—	—	POE10E	PIE4	—	—	—	—	—	—	—	POE10M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE10M[1:0]	POE10モード選択ビット	b1 b0 00: POE10#端子入力の立ち下がリエッジでハイインピーダンス制御要求を受け付け 01: POE10#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け 10: POE10#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け 11: POE10#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE4	ポート割り込み許可4ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	POE10E	POE10ハイインピーダンス許可ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE10F	POE10フラグ	0: POE10#端子入力にハイインピーダンス制御要求なし 1: POE10#端子入力にハイインピーダンス制御要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

ICSR4 レジスタは、POE10# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE10M[1:0] ビット (POE10 モード選択ビット)

POE10# 端子の入力モードを選択します。

PIE4 ビット (ポート割り込み許可 4 ビット)

POE10F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE10E ビット (POE10 ハイインピーダンス許可ビット)

POE10F フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE10F フラグ (POE10 フラグ)

POE10# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE10M[1:0] ビットで Low サンプリングを設定している場合、“0”を書くには、POE10# 端子に High を入力する必要があります。

詳細は「23.3.7 ハイインピーダンス状態からの解除」を参照してください。

[“1”になる条件]

- POE10# 端子に POE10M[1:0] ビットで設定した入力が発生したとき

23.2.9 入力レベルコントロール/ステータスレジスタ 5 (ICSR5)

アドレス 0008 C4D8h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE11F	—	—	POE11E	PIE5	—	—	—	—	—	—	—	POE11M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE11M[1:0]	POE11モード選択ビット	b1 b0 00: POE11#端子入力の立ち下がリエッジでハイインピーダンス制御要求を受け付け 01: POE11#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け 10: POE11#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け 11: POE11#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE5	ポート割り込み許可5ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	POE11E	POE11ハイインピーダンス許可ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE11F	POE11フラグ	0: POE11#端子入力にハイインピーダンス制御要求なし 1: POE11#端子入力にハイインピーダンス制御要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

ICSR5 レジスタは、POE11# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

POE11M[1:0] ビット (POE11 モード選択ビット)

POE11# 端子の入力モードを選択します。

PIE5 ビット (ポート割り込み許可 5 ビット)

POE11F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE11E ビット (POE11 ハイインピーダンス許可ビット)

POE11F フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE11F フラグ (POE11 フラグ)

POE11# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE11M[1:0] ビットで Low サンプリングを設定している場合、“0”を書くには、POE11# 端子に High を入力する必要があります。

詳細は「23.3.7 ハイインピーダンス状態からの解除」を参照してください。

[“1”になる条件]

- POE11# 端子に POE11M[1:0] ビットで設定した入力が発生したとき

23.2.10 入力レベルコントロール/ステータスレジスタ 7 (ICSR7)

アドレス 0008 C4E0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE12F	—	—	POE12E	PIE7	—	—	—	—	—	—	—	POE12M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE12M[1:0]	POE12モード選択ビット	b1 b0 00: POE12#端子入力の立ち下がリエッジでハイインピーダンス制御要求を受け付け 01: POE12#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け 10: POE12#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け 11: POE12#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス制御要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE7	ポート割り込み許可7ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	POE12E	POE12ハイインピーダンス許可ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE12F	POE12フラグ	0: POE12#端子入力にハイインピーダンス制御要求なし 1: POE12#端子入力にハイインピーダンス制御要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

ICSR7 レジスタは、POE12# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE12M[1:0] ビット (POE12 モード選択ビット)

POE12# 端子の入力モードを選択します。

PIE7 ビット (ポート割り込み許可7ビット)

POE7F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE12E ビット (POE12 ハイインピーダンス許可ビット)

POE12F フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE12F フラグ (POE12 フラグ)

POE12# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE12M[1:0] ビットで Low サンプリングを設定している場合、“0”を書くには、POE12# 端子に High を入力する必要があります。

詳細は「23.3.7 ハイインピーダンス状態からの解除」を参照してください。

[“1”になる条件]

- POE12# 端子に POE12M[1:0] ビットで設定した入力が発生したとき

23.2.11 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス 0008 C4CAh

b7	b6	b5	b4	b3	b2	b1	b0
—	GPT6 7HIZ	—	GPT2 3HIZ	GPT0 1HIZ	MTUC H0HIZ	MTUC H67HIZ	MTUC H34HIZ
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTUCH34HIZ	MTU3、MTU4出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b1	MTUCH67HIZ	MTU6、MTU7出力ハイインピーダンス許可ビット	【144/120/112/100ピン版の場合】 0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	MTUCH0HIZ	MTU0出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b3	GPT01HIZ	GPT0、GPT1出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b4	GPT23HIZ	GPT2、GPT3出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GPT67HIZ	GPT6、GPT7出力ハイインピーダンス許可ビット	【144/120/112/100ピン版の場合】 0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPOER レジスタは、端子のハイインピーダンスを制御するレジスタです。

MTUCH34HIZ ビット (MTU3、MTU4 出力ハイインピーダンス許可ビット)

【144/120/112/100ピン版の場合】

MTU 相補 PWM 出力端子 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D) または GPT 出力端子 (GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B、GTIOC2A、GTIOC2B) が割り当てられている P71 ~ P76 をハイインピーダンス状態にする制御を行うかどうかを選択します。

【64/48ピン版の場合】

MTU 相補 PWM 出力端子 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D または MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D) または GPT 出力端子 (GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B、GTIOC2A、GTIOC2B) が割り当てられている P71 ~ P76 をハイインピーダンス状態にする制御を行うかどうかを選択します。

["0"になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

["1"になる条件]

- “1”を書いたとき

MTUCH67HIZ ビット (MTU6、MTU7 出力ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子 (MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D) または GPT 出力端子 (GTIOC4A、GTIOC4B、GTIOC5A、GTIOC5B、GTIOC6A、GTIOC6B) が割り当てられている P90 ~ P95 をハイインピーダンス状態にする制御を行うかどうかを選択します。

["0" になる条件]

- リセット
- "1" の状態を読んだ後、"0" を書いたとき

["1" になる条件]

- "1" を書いたとき

MTUCH0HIZ ビット (MTU0 出力ハイインピーダンス許可ビット)

MTU0 端子が割り当てられている P30、P31、PB0 ~ PB3 をハイインピーダンス状態にする制御を行うかどうかを選択します。

["0" になる条件]

- リセット
- "1" の状態を読んだ後、"0" を書いたとき

["1" になる条件]

- "1" を書いたとき

GPT01HIZ ビット (GPT0、GPT1 出力ハイインピーダンス許可ビット)

GPT0、GPT1 端子 (GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B) が割り当てられている PD4 ~ PD7 をハイインピーダンス状態にする制御を行うかどうかを選択します。

["0" になる条件]

- リセット
- "1" の状態を読んだ後、"0" を書いたとき

["1" になる条件]

- "1" を書いたとき

GPT23HIZ ビット (GPT2、GPT3 出力ハイインピーダンス許可ビット)

【144/120/112/100 ピン版の場合】

GPT2、GPT3 端子 (GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) が割り当てられている PD0 ~ PD3 をハイインピーダンス状態にする制御を行うかどうかを選択します。

【64/48 ピン版の場合】

GPT2、GPT3 端子 (GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) が割り当てられている P00、P01、PD3、PB6、PB7 をハイインピーダンス状態にする制御を行うかどうかを選択します。

["0" になる条件]

- リセット
- "1" の状態を読んだ後、"0" を書いたとき

["1" になる条件]

- "1" を書いたとき

GPT67HIZ (GPT6、GPT7 出力ハイインピーダンス許可ビット)

GPT6、GPT7 端子 (GTIOC6A、GTIOC6B、GTIOC7A、GTIOC7B) が割り当てられている PG0、PG1、PG3、PG4 をハイインピーダンス状態にする制御を行うかどうかを選択します。

["0" になる条件]

- リセット
- "1" の状態を読んだ後、"0" を書いたとき

["1" になる条件]

- "1" を書いたとき

23.2.12 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス 0008 C4CBh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MTU0 DZE	MTU0 CZE	MTU0 BZE	MTU0 AZE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AZE	MTU CH0Aハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b1	MTU0BZE	MTU CH0Bハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b2	MTU0CZE	MTU CH0Cハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b3	MTU0DZE	MTU CH0Dハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR1 レジスタは、MTU0 端子のハイインピーダンスを制御するレジスタです。

MTU0AZE ビット (MTU CH0A ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTE ビット、POECR5 レジスタで追加選択した ICSRn.POEmF (n=1,2,4,5,7, m=0,4,10,11,12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグのうち、どれか1つでも“1”になったときに、MTU0 端子の MTIOC0A 出力が割り当てられている P31、PB3 をハイインピーダンス状態にする制御を行うかどうかを選択します。

MTU0BZE ビット (MTU CH0B ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTE ビット、POECR5 レジスタで追加選択した ICSRn.POEmF (n=1,2,4,5,7, m=0,4,10,11,12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグのうち、どれか1つでも“1”になったときに、MTU0 端子の MTIOC0B 出力が割り当てられている P30、PB2 をハイインピーダンス状態にする制御を行うかどうかを選択します。

MTU0CZE ビット (MTU CH0C ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTE ビット、POECR5 レジスタで追加選択した ICSRn.POEmF (n=1,2,4,5,7, m=0,4,10,11,12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグのうち、どれか1つでも“1”になったときに、MTU0 端子の MTIOC0C 出力が割り当てられている PB1 をハイインピーダンス状態にする制御を行うかどうかを選択します。

MTU0DZE ビット (MTU CH0D ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTE ビット、POECR5 レジスタで追加選択した ICSRn.POEmF (n=1,2,4,5,7, m=0,4,10,11,12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグのうち、どれか1つでも“1”になったときに、MTU0 端子の MTIOC0D 出力が割り当てられている PB0 をハイインピーダンス状態にする制御を行うかどうかを選択します。

23.2.13 ポートアウトプットイネーブルコントロールレジスタ 2 (POE2R2)

アドレス 0008 C4CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTU3 BDZE	MTU4 ACZE	MTU4 BDZE	—	—	—	—	—	MTU6 BDZE	MTU7 ACZE	MTU7 BDZE
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MTU7BDZE	MTU CH7BDハイインピーダンス許可ビット	【144/120/112/100ピン版の場合】 0：ハイインピーダンスにしない 1：ハイインピーダンスにする 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b1	MTU7ACZE	MTU CH7ACハイインピーダンス許可ビット	【144/120/112/100ピン版の場合】 0：ハイインピーダンスにしない 1：ハイインピーダンスにする 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b2	MTU6BDZE	MTU CH6BDハイインピーダンス許可ビット	【144/120/112/100ピン版の場合】 0：ハイインピーダンスにしない 1：ハイインピーダンスにする 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BDZE	MTU CH4BDハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b9	MTU4ACZE	MTU CH4ACハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b10	MTU3BDZE	MTU CH3BDハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POE2R2 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4、MTU6、MTU7 端子) および GPT 出力端子 (GPT0 ~ GPT2 端子) のハイインピーダンスを制御するレジスタです。

MTU7BDZE ビット (MTU CH7BD ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTE ビット、POE2R4 レジスタで追加選択した ICSRn.POEmF (n=3 ~ 5、7、m=8、10 ~ 12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1、j=000 ~ 002) のうち、どれか1つでも“1”になったときに、MTU7/GPT6 端子の MTIOC7B 出力/GTIOC6A 出力と MTIOC7D 出力/GTIOC6B 出力が割り当てられている P93 と P90 をハイインピーダンス状態にする制御を行うかどうかを選択します。

MTU7ACZE ビット (MTU CH7AC ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTE ビット、POE2R4 レジスタで追加選択した ICSRn.POEmF (n=3 ~ 5、7、m=8、10 ~ 12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1、j=000 ~ 002) のうち、どれか1つでも“1”になったときに、MTU7/GPT5 端子の MTIOC7A 出力/GTIOC5A 出力と MTIOC7C 出力/GTIOC5B 出力が割り当てられている P94 と P91 をハイインピーダンス状態にする制御を行うかどうかを選択します。

MTU6BDZE ビット (MTU CH6BD ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTE ビット、POECR4 レジスタで追加選択した ICSRn.POE_mF (n=3 ~ 5, m=8, 10 ~ 12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) のうち、どれか1つでも“1”になったときに、MTU6/GPT4 端子の MTIOC6B 出力/GTIOC4A 出力と MTIOC6D 出力/GTIOC4B 出力が割り当てられている P95 と P92 をハイインピーダンス状態にする制御を行うかどうかを選択します。

MTU4BDZE ビット (MTU CH4BD ハイインピーダンス許可ビット)

【144/120/112/100 ピン版の場合】

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTE ビット、POECR4 レジスタで追加選択した ICSRn.POE_mF (n=3 ~ 5, m=8, 10 ~ 12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) のうち、どれか1つでも“1”になったときに、MTU4/GPT2 端子の MTIOC4B 出力/GTIOC2A 出力と MTIOC4D 出力/GTIOC2B 出力が割り当てられている P73 と P76 をハイインピーダンス状態にする制御を行うかどうかを選択します。

【64/48 ピン版の場合】

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTE ビット、POECR4 レジスタで追加選択した ICSRn.POE_mF (n=3 ~ 5, m=8, 10 ~ 12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) のうち、どれか1つでも“1”になったときに、MTU4/MTU7/GPT2 端子の MTIOC4B 出力/MTIOC7B 出力/GTIOC2A 出力と MTIOC4D 出力/MTIOC7D 出力/GTIOC2B 出力が割り当てられている P73 と P76 をハイインピーダンス状態にする制御を行うかどうかを選択します。

MTU4ACZE ビット (MTU CH4AC ハイインピーダンス許可ビット)

【144/120/112/100 ピン版の場合】

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTE ビット、POECR4 レジスタで追加選択した ICSRn.POE_mF (n=3 ~ 5, m=8, 10 ~ 12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) のうち、どれか1つでも“1”になったときに、MTU4/GPT1 端子の MTIOC4A 出力/GTIOC1A 出力と MTIOC4C 出力/GTIOC1B 出力が割り当てられている P72 と P75 をハイインピーダンス状態にする制御を行うかどうかを選択します。

【64/48 ピン版の場合】

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTE ビット、POECR4 レジスタで追加選択した ICSRn.POE_mF (n=3 ~ 5, m=8, 10 ~ 12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) のうち、どれか1つでも“1”になったときに、MTU4/MTU7/GPT1 端子の MTIOC4A 出力/MTIOC7A 出力/GTIOC1A 出力と MTIOC4C 出力/MTIOC7C 出力/GTIOC1B 出力が割り当てられている P72 と P75 をハイインピーダンス状態にする制御を行うかどうかを選択します。

MTU3BDZE ビット (MTU CH3BD ハイインピーダンス許可ビット)

【144/120/112/100 ピン版の場合】

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTE ビット、POECR4 レジスタで追加選択した ICSRn.POE_mF (n=3 ~ 5, m=8, 10 ~ 12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグのうち、どれか1つでも“1”になったときに、MTU3/GPT0 端子の MTIOC3B 出力/GTIOC0A 出力と MTIOC3D 出力/GTIOC0B 出力が割り当てられている P71 と P74 をハイインピーダンス状態にする制御を行うかどうかを選択します。

【64/48 ピン版の場合】

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTE ビット、

POECR4 レジスタで追加選択した ICSRn.POEmF (n=3 ~ 5、m=8, 10 ~ 12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1、j=000 ~ 002) フラグのうち、どれか1つでも“1”になったときに、MTU3/MTU6/GPT0 端子の MTIOC3B 出力 /MTIOC6B 出力 /GTIOC0A 出力と MTIOC3D 出力 /MTIOC6D 出力 /GTIOC0B 出力が割り当てられている P71 と P74 をハイインピーダンス状態にする制御を行うかどうかを選択します。

23.2.14 ポートアウトプットイネーブルコントロールレジスタ 3 (POE3)

アドレス 0008 C4CEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	GPT3 ABZE	GPT2 ABZE	—	—	—	—	—	—	GPT1 ABZE	GPT0 ABZE
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	GPT0ABZE	GPT CH0ABハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b1	GPT1ABZE	GPT CH1ABハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	GPT2ABZE	GPT CH2ABハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b9	GPT3ABZE	GPT CH3ABハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POE3レジスタは、GPT端子のハイインピーダンスを制御するレジスタです。

GPT0ABZE ビット (GPT CH0AB ハイインピーダンス許可ビット)

ICSR4.POE10F フラグ、SPOER.GPT01HIZ ビット、ICSR6.OSTSTE ビット、POE3レジスタで追加選択した ICSRn.POEmF (n=1 ~ 3,5,7, m=0,4,8,11,12) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグのうち、どれか1つでも“1”になったときに、GPT0端子の GTIOC0A 出力と GTIOC0B 出力が割り当てられている PD7 と PD6 をハイインピーダンス状態にする制御を行うかどうかを選択します。

GPT1ABZE ビット (GPT CH1AB ハイインピーダンス許可ビット)

ICSR4.POE10F フラグ、SPOER.GPT01HIZ ビットと、ICSR6.OSTSTE ビット、POE3レジスタで追加選択した ICSRn.POEmF (n=1, 3, 5, m=0, 8, 11) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグのうち、どれか1つでも“1”になったときに、GPT1端子の GTIOC1A 出力と GTIOC1B 出力が割り当てられている PD5 と PD4 をハイインピーダンス状態にする制御を行うかどうかを選択します。

GPT2ABZE ビット (GPT CH2AB ハイインピーダンス許可ビット)

【144/120/112/100 ピン版の場合】

ICSR5.POE11F フラグ、SPOER.GPT23HIZ ビット、ICSR6.OSTSTE ビット、POE3レジスタで追加選択した ICSRn.POEmF (n=1, 3, 4, m=0, 8, 10) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグのうち、どれか1つでも“1”になったときに、GPT2端子の GTIOC2A 出力と GTIOC2B 出力と GTIOC2B-C 出力が割り当てられている PD3 と PD2 をハイインピーダンス状態にする制御を行うかどうかを選択します。

【64/48 ピン版の場合】

ICSR5.POE11F フラグ、SPOER.GPT23HIZ ビット、ICSR6.OSTSTE ビット、POE3レジスタで追加選択した ICSRn.POEmF (n=1, 3, 4, m=0, 8, 10) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグのうち、どれか1つでも“1”になったときに、GPT2端子の GTIOC2A 出力と GTIOC2B 出力が割り当てられている PD3、PB6、PB7 をハイインピーダンス状態にする制御を行うかどうかを選択します。

GPT3ABZE ビット (GPT CH3AB ハイインピーダンス許可ビット)

【144/120/112/100 ピン版の場合】

ICSR5.POE11F フラグ、SPOER.GPT23HIZ ビット、ICSR6.OSTSTE ビット、POECR6 レジスタで追加選択した ICSRn.POEmF (n=1, 3, 4, m=0, 8, 10) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグのうち、どれか1つでも“1”になったときに、GPT3 端子の GTIOC3A 出力と GTIOC3B 出力が割り当てられている PD1 と PD0 をハイインピーダンス状態にする制御を行うかどうかを選択します。

【64/48 ピン版の場合】

ICSR5.POE11F フラグ、SPOER.GPT23HIZ ビット、ICSR6.OSTSTE ビット、POECR6 レジスタで追加選択した ICSRn.POEmF (n=1, 3, 4, m=0, 8, 10) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグのうち、どれか1つでも“1”になったときに、GPT3 端子の GTIOC3A 出力と GTIOC3B 出力が割り当てられている P00 と P01 をハイインピーダンス状態にする制御を行うかどうかを選択します。

23.2.15 ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)

アドレス 0008 C4D0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IC6ADD MT67ZE	IC5ADD MT67ZE	IC4ADD MT67ZE	IC3ADD MT67ZE	—	IC1ADD MT67ZE	CMADO MT67ZE	—	IC6ADD MT34ZE	IC5ADD MT34ZE	IC4ADD MT34ZE	IC3ADD MT34ZE	IC2ADD MT34ZE	—	CMADD MT34ZE
リセット後の値	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT34ZE	MTU CH34ハイインピーダンス CFLAG追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	IC2ADDMT34ZE	MTU CH34ハイインピーダンス POE4F追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b3	IC3ADDMT34ZE	MTU CH34ハイインピーダンス POE8F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b4	IC4ADDMT34ZE	MTU CH34ハイインピーダンス POE10F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b5	IC5ADDMT34ZE	MTU CH34ハイインピーダンス POE11F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b6	IC6ADDMT34ZE	MTU CH34ハイインピーダンス POE12F追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CMADOMT67ZE	MTU CH67ハイインピーダンス CFLAG追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b9	IC1ADDMT67ZE	MTU CH67ハイインピーダンス POE0F追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b11	IC3ADDMT67ZE	MTU CH67ハイインピーダンス POE8F追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b12	IC4ADDMT67ZE	MTU CH67ハイインピーダンス POE10F追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b13	IC5ADDMT67ZE	MTU CH67ハイインピーダンス POE11F追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b14	IC6ADDMT67ZE	MTU CH67ハイインピーダンス POE12F追加ビット	【144/120/112/100ピン版の場合】 0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR4 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4、MTU6、MTU7 端子) および GPT 出力端子 (GPT0 ~ GPT2、GPT4 ~ GPT6 端子) のハイインピーダンス制御条件を拡張するレジスタです。

CMADDMT34ZE ビット (MTU CH34 ハイインピーダンス CFLAG 追加ビット)

S12ADn.ADCMPFR.CjFLAG (n=0,1、j=000 ~ 002) フラグを、P71~P76 の MTU3、MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/MTIOC3D/GTIOC0A/GTIOC0B/MTIOC4A/MTIOC4C/GTIOC1A/GTIOC1B/MTIOC4B/MTIOC4D/GTIOC2A/GTIOC2B) のハイインピーダンス制御条件に追加します。ただし、S12ADn.ADCMPFR.CjFLAG フラグにより端子がハイインピーダンスとなった場合、OEIn (n=1 ~ 5) 割り込みは発生しません。

IC2ADDMT34ZE ビット (MTU CH34 ハイインピーダンス POE4F 追加ビット)

ICSR2.POE4F フラグを、P71 ~ P76 の MTU3、MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/MTIOC3D/GTIOC0A/GTIOC0B/MTIOC4A/MTIOC4C/GTIOC1A/GTIOC1B/MTIOC4B/MTIOC4D/GTIOC2A/GTIOC2B) のハイインピーダンス制御条件に追加します。

IC3ADDMT34ZE ビット (MTU CH34 ハイインピーダンス POE8F 追加ビット)

ICSR3.POE8F フラグを P71 ~ P76 の MTU3、MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/MTIOC3D/GTIOC0A/GTIOC0B/MTIOC4A/MTIOC4C/GTIOC1A/GTIOC1B/MTIOC4B/MTIOC4D/GTIOC2A/GTIOC2B) のハイインピーダンス制御条件に追加します。

IC4ADDMT34ZE ビット (MTU CH34 ハイインピーダンス POE10F 追加ビット)

ICSR4.POE10F フラグを P71 ~ P76 の MTU3、MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/MTIOC3D/GTIOC0A/GTIOC0B/MTIOC4A/MTIOC4C/GTIOC1A/GTIOC1B/MTIOC4B/MTIOC4D/GTIOC2A/GTIOC2B) のハイインピーダンス制御条件に追加します。

IC5ADDMT34ZE ビット (MTU CH34 ハイインピーダンス POE11F 追加ビット)

ICSR5.POE11F フラグを P71 ~ P76 の MTU3、MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/MTIOC3D/GTIOC0A/GTIOC0B/MTIOC4A/MTIOC4C/GTIOC1A/GTIOC1B/MTIOC4B/MTIOC4D/GTIOC2A/GTIOC2B) のハイインピーダンス制御条件に追加します。

IC6ADDMT34ZE ビット (MTU CH34 ハイインピーダンス POE12F 追加ビット)

ICSR7.POE12F フラグを P71 ~ P76 の MTU3、MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/MTIOC3D/GTIOC0A/GTIOC0B/MTIOC4A/MTIOC4C/GTIOC1A/GTIOC1B/MTIOC4B/MTIOC4D/GTIOC2A/GTIOC2B) のハイインピーダンス制御条件に追加します。

CMADOMT67ZE ビット (MTU CH67 ハイインピーダンス CFLAG 追加ビット)

S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグを、P90 ~ P95 の MTU6、MTU7、GPT4 ~ GPT6 端子 (MTIOC6B/MTIOC6D/GTIOC4A/GTIOC4B/MTIOC7A/MTIOC7C/GTIOC5A/GTIOC5B/MTIOC7B/MTIOC7D/GTIOC6A/GTIOC6B) のハイインピーダンス制御条件に追加します。ただし、S12ADn.ADCMPFR.CjFLAG フラグにより端子がハイインピーダンスとなった場合、OEIn (n=1 ~ 5) 割り込みは発生しません。

IC1ADDMT67ZE ビット (MTU CH67 ハイインピーダンス POE0F 追加ビット)

ICSR1.POE0F フラグを P90 ~ P95 の MTU6、MTU7、GPT4 ~ GPT6 端子 (MTIOC6B/MTIOC6D/GTIOC4A/GTIOC4B/MTIOC7A/MTIOC7C/GTIOC5A/GTIOC5B/MTIOC7B/MTIOC7D/GTIOC6A/GTIOC6B) のハイインピーダンス制御条件に追加します。

IC3ADDMT67ZE ビット (MTU CH67 ハイインピーダンス POE8F 追加ビット)

ICSR3.POE8F フラグを P90 ~ P95 の MTU6、MTU7、GPT4 ~ GPT6 端子 (MTIOC6B/MTIOC6D/GTIOC4A/GTIOC4B/MTIOC7A/MTIOC7C/GTIOC5A/GTIOC5B/MTIOC7B/MTIOC7D/GTIOC6A/GTIOC6B) のハイインピーダンス制御条件に追加します。

IC4ADDMT67ZE ビット (MTU CH67 ハイインピーダンス POE10F 追加ビット)

ICSR4.POE10F フラグを P90 ~ P95 の MTU6、MTU7、GPT4 ~ GPT6 端子 (MTIOC6B/MTIOC6D/GTIOC4A/GTIOC4B/MTIOC7A/MTIOC7C/GTIOC5A/GTIOC5B/MTIOC7B/MTIOC7D/GTIOC6A/GTIOC6B) のハイインピーダンス制御条件に追加します。

IC5ADDMT67ZE ビット (MTU CH67 ハイインピーダンス POE11F 追加ビット)

ICSR5.POE11F フラグを P90 ~ P95 の MTU3、MTU4、MTU6、MTU7、GPT4 ~ GPT6 端子 (MTIOC6B/MTIOC6D/GTIOC4A/GTIOC4B/MTIOC7A/MTIOC7C/GTIOC5A/GTIOC5B/MTIOC7B/MTIOC7D/GTIOC6A/GTIOC6B) のハイインピーダンス制御条件に追加します。

IC6ADDMT67ZE ビット (MTU CH67 ハイインピーダンス POE12F 追加ビット)

ICSR7.POE12F フラグを P90 ~ P95 の MTU6、MTU7、GPT4 ~ GPT6 端子 (MTIOC6B/MTIOC6D/GTIOC4A/GTIOC4B/MTIOC7A/MTIOC7C/GTIOC5A/GTIOC5B/MTIOC7B/MTIOC7D/GTIOC6A/GTIOC6B) のハイインピーダンス制御条件に追加します。

23.2.16 ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)

アドレス 0008 C4D2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	IC6ADD MTOZE	IC5ADD MTOZE	IC4ADD MTOZE	—	IC2ADD MTOZE	IC1ADD MTOZE	CMADD MTOZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT0ZE	MTU CH0ハイインピーダンス CFLAG追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b1	IC1ADDMT0ZE	MTU CH0ハイインピーダンス POE0F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b2	IC2ADDMT0ZE	MTU CH0ハイインピーダンス POE4F追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	IC4ADDMT0ZE	MTU CH0ハイインピーダンス POE10F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b5	IC5ADDMT0ZE	MTU CH0ハイインピーダンス POE11F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b6	IC6ADDMT0ZE	MTU CH0ハイインピーダンス POE12F追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR5 レジスタは、MTU0 端子のハイインピーダンス制御条件を拡張するレジスタです。

CMADDMT0ZE ビット (MTU CH0 ハイインピーダンス CFLAG 追加ビット)

S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグを、P30、P31、PB0 ~ PB3 の MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) のハイインピーダンス制御条件に追加します。ただし、S12ADn.ADCMPFR.CjFLAG フラグにより端子がハイインピーダンスとなった場合、OEIn (n=1 ~ 5) 割り込みは発生しません。

IC1ADDMT0ZE ビット (MTU CH0 ハイインピーダンス POE0F 追加ビット)

ICSR1.POE0F フラグを P30、P31、PB0 ~ PB3 の MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) のハイインピーダンス制御条件に追加します。

IC2ADDMT0ZE ビット (MTU CH0 ハイインピーダンス POE4F 追加ビット)

ICSR2.POE4F フラグを P30、P31、PB0 ~ PB3 の MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) のハイインピーダンス制御条件に追加します。

IC4ADDMT0ZE ビット (MTU CH0 ハイインピーダンス POE10F 追加ビット)

ICSR4.POE10F フラグを P30、P31、PB0 ~ PB3 の MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) のハイインピーダンス制御条件に追加します。

IC5ADDMT0ZE ビット (MTU CH0 ハイインピーダンス POE11F 追加ビット)

ICSR5.POE11F フラグを P30、P31、PB0 ~ PB3 の MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) のハイインピーダンス制御条件に追加します。

IC6ADDMT0ZE ビット (MTU CH0 ハイインピーダンス POE12F 追加ビット)

ICSR7.POE12F フラグを P30、P31、PB0 ~ PB3 の MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) のハイインピーダンス制御条件に追加します。

23.2.17 ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6)

アドレス 0008 C4D4h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IC6ADDG PT23ZE	—	IC4ADDG PT23ZE	IC3ADDG PT23ZE	IC2ADDG PT23ZE	IC1ADDG PT23ZE	CMADDG PT23ZE	—	IC6ADDG PT01ZE	IC5ADDG PT01ZE	—	IC3ADDG PT01ZE	IC2ADDG PT01ZE	IC1ADDG PT01ZE	CMADDG PT01ZE
リセット後の値	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT01ZE	GPT CH01ハイインピーダンス CFLAG追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b1	IC1ADDGPT01ZE	GPT CH01ハイインピーダンス POE0F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b2	IC2ADDGPT01ZE	GPT CH01ハイインピーダンス POE4F追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b3	IC3ADDGPT01ZE	GPT CH01ハイインピーダンス POE8F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	IC5ADDGPT01ZE	GPT CH01ハイインピーダンス POE11F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b6	IC6ADDGPT01ZE	GPT CH01ハイインピーダンス POE12F追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CMADDGPT23ZE	GPT CH23ハイインピーダンス CFLAG追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b9	IC1ADDGPT23ZE	GPT CH23ハイインピーダンス POE0F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b10	IC2ADDGPT23ZE	GPT CH23ハイインピーダンス POE4F追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b11	IC3ADDGPT23ZE	GPT CH23ハイインピーダンス POE8F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b12	IC4ADDGPT23ZE	GPT CH23ハイインピーダンス POE10F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b13	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14	IC6ADDGPT23ZE	GPT CH23ハイインピーダンス POE12F追加ビット	【144/120/112/100ピン版の場合】 0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b15	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR6 レジスタは、GPT0 ~ GPT3 端子のハイインピーダンス制御条件を拡張するレジスタです。

CMADDGPT01ZE ビット (GPT CH01 ハイインピーダンス CFLAG 追加ビット)

S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグを、PD4 ~ PD7 の GPT0、GPT1 端子 (GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B) のハイインピーダンス制御条件に追加します。ただし、S12ADn.ADCMPFR.CjFLAG フラグにより端子がハイインピーダンスとなった場合、OEIn (n=1 ~ 5) 割り込みは発生しません。

IC1ADDGPT01ZE ビット (GPT CH01 ハイインピーダンス POE0F 追加ビット)

ICSR1.POE0F フラグを PD4 ~ PD7 の GPT0、GPT1 端子 (GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B) のハイインピーダンス制御条件に追加します。

IC2ADDGPT01ZE ビット (GPT CH01 ハイインピーダンス POE4F 追加ビット)

ICSR2.POE4F フラグを PD4 ~ PD7 の GPT0、GPT1 端子 (GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B) のハイインピーダンス制御条件に追加します。

IC3ADDGPT01ZE ビット (GPT CH01 ハイインピーダンス POE8F 追加ビット)

ICSR3.POE8F フラグを PD4 ~ PD7 の GPT0、GPT1 端子 (GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B) のハイインピーダンス制御条件に追加します。

IC5ADDGPT01ZE ビット (GPT CH01 ハイインピーダンス POE11F 追加ビット)

ICSR5.POE11F フラグを PD4 ~ PD7 の GPT0、GPT1 端子 (GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B) のハイインピーダンス制御条件に追加します。

IC6ADDGPT01ZE ビット (GPT CH01 ハイインピーダンス POE12F 追加ビット)

ICSR7.POE12F フラグを PD4 ~ PD7 の GPT0、GPT1 端子 (GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B) のハイインピーダンス制御条件に追加します。

CMADDGPT23ZE ビット (GPT CH23 ハイインピーダンス CFLAG 追加ビット)

【144/120/112/100 ピン版の場合】

S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグを、PD0 ~ PD3 の GPT2、GPT3 端子 (GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) のハイインピーダンス制御条件に追加します。ただし、S12ADn.ADCMPFR.CjFLAG フラグにより端子がハイインピーダンスとなった場合、OEIn (n=1 ~ 5) 割り込みは発生しません。

【64/48 ピン版の場合】

S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグを、PD3、PB6、PB7、P00、P01 の GPT2、GPT3 端子 (GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) のハイインピーダンス制御条件に追加します。ただし、S12ADn.ADCMPFR.CjFLAG フラグにより端子がハイインピーダンスとなった場合、OEIn (n=1 ~ 5) 割り込みは発生しません。

IC1ADDGPT23ZE ビット (GPT CH23 ハイインピーダンス POE0F 追加ビット)

【144/120/112/100 ピン版の場合】

ICSR1.POE0F フラグを PD0 ~ PD3 の GPT2、GPT3 端子 (GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) のハイインピーダンス制御条件に追加します。

【64/48 ピン版の場合】

ICSR1.POE0F フラグを PD3、PB6、PB7、P00、P01 の GPT2、GPT3 端子 (GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) のハイインピーダンス制御条件に追加します。

IC2ADDGPT23ZE ビット (GPT CH23 ハイインピーダンス POE4F 追加ビット)

ICSR2.POE4F フラグを PD0 ~ PD3 の GPT2、GPT3 端子 (GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) のハイインピーダンス制御条件に追加します。

IC3ADDGPT23ZE ビット (GPT CH23 ハイインピーダンス POE8F 追加ビット)

【144/120/112/100 ピン版の場合】

ICSR1.POE8F フラグを PD0 ~ PD3 の GPT2、GPT3 端子 (GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) のハイインピーダンス制御条件に追加します。

【64/48 ピン版の場合】

ICSR1.POE8F フラグを PD3、PB6、PB7、P00、P01 の GPT2、GPT3 端子 (GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) のハイインピーダンス制御条件に追加します。

IC4ADDGPT23ZE ビット (GPT CH23 ハイインピーダンス POE10F 追加ビット)

【144/120/112/100 ピン版の場合】

ICSR1.POE10F フラグを PD0 ~ PD3 の GPT2、GPT3 端子 (GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) のハイインピーダンス制御条件に追加します。

【64/48 ピン版の場合】

ICSR1.POE10F フラグを PD3、PB6、PB7、P00、P01 の GPT2、GPT3 端子 (GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) のハイインピーダンス制御条件に追加します。

IC6ADDGPT23ZE ビット (GPT CH23 ハイインピーダンス POE12F 追加ビット)

ICSR7.POE12F フラグを PD0 ~ PD3 の GPT2、GPT3 端子 (GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) のハイインピーダンス制御条件に追加します。

23.2.18 ポートアウトプットイネーブルコントロールレジスタ 7 (POECR7)

アドレス 0008 C4E2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	GPT7 ABZE	GPT6 ABZE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	GPT6ABZE	GPT6ABZEハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b9	GPT7ABZE	GPT7ABZEハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR7 レジスタは、GPT6、GPT7 端子のハイインピーダンスを制御するレジスタです。

GPT6ABZE ビット (GPT6ABZE ハイインピーダンス許可ビット)

ICSR7.POE12F フラグ、SPOER.GPT67HIZ ビット、ICSR6.OSTSTE ビット、POECR8 レジスタで追加選択した ICSRn.POEmF (n=1,2,3,4,5、m=0,4,8,10,11) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1、j=000～002) フラグのうち、どれか1つでも“1”になったときに、GPT6 端子の GTIOC6A 出力と GTIOC6B 出力が割り当てられている PG3 と PG4 をハイインピーダンス状態にする制御を行うかどうかを選択します。

GPT7ABZE ビット (GPT7ABZE ハイインピーダンス許可ビット)

ICSR7.POE12F フラグ、SPOER.GPT67HIZ ビット、ICSR6.OSTSTE ビット、POECR8 レジスタで追加選択した ICSRn.POEmF (n=1,2,3,4,5、m=0,4,8,10,11) フラグおよび S12ADn.ADCMPFR.CjFLAG (n=0,1、j=000～002) フラグのうち、のうち、どれか1つでも“1”になったときに、GPT7 端子の GTIOC7A 出力と GTIOC7B 出力が割り当てられている PG0、PG1 をハイインピーダンス状態にする制御を行うかどうかを選択します。

23.2.19 ポートアウトプットイネーブルコントロールレジスタ 8 (POE CR8)

アドレス 0008 C4E4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	IC5ADD GPT67ZE	IC4ADD GPT67ZE	IC3ADD GPT67ZE	IC2ADD GPT67ZE	IC1ADD GPT67ZE	CMADD GPT67ZE
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT67ZE	GPT CH67ハイインピーダンス CFLAG追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b1	IC1ADDGPT67ZE	GPT CH67ハイインピーダンス POE0F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b2	IC2ADDGPT67ZE	GPT CH67ハイインピーダンス POE4F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b3	IC3ADDGPT67ZE	GPT CH67ハイインピーダンス POE8F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b4	IC4ADDGPT67ZE	GPT CH67ハイインピーダンス POE10F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b5	IC5ADDGPT67ZE	GPT CH67ハイインピーダンス POE11F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POE CR8 レジスタは、GPT6、GPT7 端子のハイインピーダンス制御条件を拡張するレジスタです。

CMADDGPT67ZE ビット (GPT CH67 ハイインピーダンス CFLAG 追加ビット)

S12ADn.ADCMPFR.CjFLAG (n=0,1, j=000 ~ 002) フラグを、PG0,1,3,4 の GPT6、GPT7 端子 (GTIOC6A、GTIOC6B、GTIOC7A、GTIOC7B) のハイインピーダンス制御条件に追加します。ただし、S12ADn.ADCMPFR.CjFLAG フラグにより端子がハイインピーダンスとなった場合、OEIn (n=1 ~ 5) 割り込みは発生しません。

IC1ADDGPT67ZE ビット (GPT CH67 ハイインピーダンス POE0F 追加ビット)

ICSR1.POE0F フラグを PG0,1,3,4 の GPT6、GPT7 端子 (GTIOC6A、GTIOC6B、GTIOC7A、GTIOC7B) のハイインピーダンス制御条件に追加します。

IC2ADDGPT67ZE ビット (GPT CH67 ハイインピーダンス POE4F 追加ビット)

ICSR2.POE4F フラグを PG0,1,3,4 の GPT6、GPT7 端子 (GTIOC6A、GTIOC6B、GTIOC7A、GTIOC7B) のハイインピーダンス制御条件に追加します。

IC3ADDGPT67ZE ビット (GPT CH67 ハイインピーダンス POE8F 追加ビット)

ICSR3.POE7F フラグを PG0,1,3,4 の GPT6、GPT7 端子 (GTIOC6A、GTIOC6B、GTIOC7A、GTIOC7B) のハイインピーダンス制御条件に追加します。

IC4ADDGPT67ZE ビット (GPT CH67 ハイインピーダンス POE10F 追加ビット)

ICSR4.POE10F フラグを PG0,1,3,4 の GPT6、GPT7 端子 (GTIOC6A、GTIOC6B、GTIOC7A、GTIOC7B) のハイインピーダンス制御条件に追加します。

IC5ADDGPT67ZE ビット (GPT CH67 ハイインピーダンス POE11F 追加ビット)

ICSR5.POE11F フラグを PG0,1,3,4 の GPT6、GPT7 端子 (GTIOC6A、GTIOC6B、GTIOC7A、GTIOC7B) のハイインピーダンス制御条件に追加します。

23.2.20 入力レベルコントロール/ステータスレジスタ 6 (ICSR6)

アドレス 0008 C4DCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTST F	—	—	OSTST E	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	OSTSTハイインピーダンス許可ビット	0 : MTU相補PWM出力端子、MTU0端子およびGPT端子をハイインピーダンスにしない 1 : MTU相補PWM出力端子、MTU0端子およびGPT端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	OSTSTハイインピーダンスフラグ	0 : 発振停止ハイインピーダンス要求なし 1 : 発振停止ハイインピーダンス要求あり	R/W (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグをクリアするため、“1”を読んだ後、“0”を書くことのみ可能です。

ICSR6 レジスタは、発振停止時の制御、およびステータスを示すレジスタです。

OSTSTE ビット (OSTST ハイインピーダンス許可ビット)

発振停止検出時に MTU 相補 PWM 出力端子、MTU0 端子および GPT 端子をハイインピーダンスにするかしないかを設定します。

OSTSTF フラグ (OSTST ハイインピーダンスフラグ)

OSTSTF フラグは、発振停止ハイインピーダンス要求を示すステータスフラグです。

発振停止状態になると“1”になります。OSTSTF フラグを“0”にするときは、発振停止検出信号がネゲート状態のときに“0”を書いてください。発振停止検出信号がアサート中に OSTSTF フラグに“0”を書いても“0”になりません。OSTSTF フラグをクリアした後は“0”になったことを確認してください。

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

[“1”になる条件]

- 発振停止状態を検出したとき

23.3 動作説明

表 23.4 にハイインピーダンス制御の対象となる端子と、ハイインピーダンスになる条件を示します。

表23.4 ハイインピーダンス制御の対象と条件 (144/120/112/100ピン版) (1 / 6)

端子	条件	条件詳細
MTU3B/MTU3D端子 (MTIOC3B (P71)、 MTIOC3D (P74))	<ul style="list-style-type: none"> POE0#端子の入カレベル検出 MTIOC3B出力とMTIOC3D出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE4#端子、POE8#端子、POE10#端子、POE11#端子、POE12#端子の入カレベル検出 	MTU3BDZE・ ((POE0F) + (OSF1・OCE1) + (MTUCH34HIZ) + (ICSR6.OSTSTE) + (CMADDMT34ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC2ADDMT34ZE・POE4F) + (IC3ADDMT34ZE・POE8E・POE8F) + (IC4ADDMT34ZE・POE10E・POE10F) + (IC5ADDMT34ZE・POE11E・POE11F) + (IC6ADDMT34ZE・POE12E・POE12F)) (n=0,1, j=000 ~ 002)
MTU4A/MTU4C端子 (MTIOC4A (P72)、 MTIOC4C (P75))	<ul style="list-style-type: none"> POE0#端子の入カレベル検出 MTIOC4A出力とMTIOC4C出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE4#端子、POE8#端子、POE10#端子、POE11#端子、POE12#端子の入カレベル検出 	MTU4ACZE・ ((POE0F) + (OSF1・OCE1) + (MTUCH34HIZ) + (ICSR6.OSTSTE) + (CMADDMT34ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC2ADDMT34ZE・POE4F) + (IC3ADDMT34ZE・POE8E・POE8F) + (IC4ADDMT34ZE・POE10E・POE10F) + (IC5ADDMT34ZE・POE11E・POE11F) + (IC6ADDMT34ZE・POE12E・POE12F)) (n=0,1, j=000 ~ 002)
MTU4B/MTU4D端子 (MTIOC4B (P73)、 MTIOC4D (P76))	<ul style="list-style-type: none"> POE0#端子の入カレベル検出 MTIOC4B出力とMTIOC4D出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE4#端子、POE8#端子、POE10#端子、POE11#端子、POE12#端子の入カレベル検出 	MTU4BDZE・ ((POE0F) + (OSF1・OCE1) + (MTUCH34HIZ) + (ICSR6.OSTSTE) + (CMADDMT34ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC2ADDMT34ZE・POE4F) + (IC3ADDMT34ZE・POE8E・POE8F) + (IC4ADDMT34ZE・POE10E・POE10F) + (IC5ADDMT34ZE・POE11E・POE11F) + (IC6ADDMT34ZE・POE12E・POE12F)) (n=0,1, j=000 ~ 002)
MTU6B/MTU6D端子 (MTIOC6B (P95)、 MTIOC6D (P92))	<ul style="list-style-type: none"> POE4#端子の入カレベル検出 MTIOC6B出力とMTIOC6D出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE0#端子、POE8#端子、POE10#端子、POE11#端子、POE12#端子の入カレベル検出 	MTU6BDZE・ ((POE4F) + (OSF2・OCE2) + (MTUCH67HIZ) + (ICSR6.OSTSTE) + (CMADDMT67ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDMT67ZE・POE0F) + (IC3ADDMT67ZE・POE8E・POE8F) + (IC4ADDMT67ZE・POE10E・POE10F) + (IC5ADDMT67ZE・POE11E・POE11F) + (IC6ADDMT67ZE・POE12E・POE12F)) (n=0,1, j=000 ~ 002)

表23.4 ハイインピーダンス制御の対象と条件 (144/120/112/100ピン版) (2 / 6)

端子	条件	条件詳細
MTU7A/MTU7C 端子 (MTIOC7A (P94)、 MTIOC7C (P91))	<ul style="list-style-type: none"> POE4# 端子の入カレベル検出 MTIOC7A 出力と MTIOC7C 出力の出力レベル比較 SPOER レジスタ設定 発振停止検出 POECR4 レジスタで追加された条件 <ul style="list-style-type: none"> 12ビット A/D 変換器のコンパレータ検出 POE0# 端子、POE8# 端子、POE10# 端子、POE11# 端子、POE12# 端子の入カレベル検出 	MTU7ACZE・ ((POE4F) + (OSF2•OCE2) + (MTUCH67HIZ) + (ICSR6.OSTSTE) + (CMADDMT67ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDMT67ZE•POE0F) + (IC3ADDMT67ZE•POE8E•POE8F) + (IC4ADDMT67ZE•POE10E•POE10F) + (IC5ADDMT67ZE•POE11E•POE11F) + (IC6ADDMT67ZE•POE12E•POE12F)) (n=0,1, j=000 ~ 002)
MTU7B/MTU7D 端子 (MTIOC7B (P93)、 MTIOC7D (P90))	<ul style="list-style-type: none"> POE4# 端子の入カレベル検出 MTIOC7B 出力と MTIOC7D 出力の出力レベル比較 SPOER レジスタ設定 発振停止検出 POECR4 レジスタで追加された条件 <ul style="list-style-type: none"> 12ビット A/D 変換器のコンパレータ検出 POE0# 端子、POE8# 端子、POE10# 端子、POE11# 端子、POE12# 端子の入カレベル検出 	MTU7BDZE・ ((POE4F) + (OSF2•OCE2) + (MTUCH67HIZ) + (ICSR6.OSTSTE) + (CMADDMT67ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDMT67ZE•POE0F) + (IC3ADDMT67ZE•POE8E•POE8F) + (IC4ADDMT67ZE•POE10E•POE10F) + (IC5ADDMT67ZE•POE11E•POE11F) + (IC6ADDMT67ZE•POE12E•POE12F)) (n=0,1, j=000 ~ 002)
GPT0 端子 (GTIOC0A (P71)、 GTIOC0B (P74))	<ul style="list-style-type: none"> POE0# 端子の入カレベル検出 GTIOC0A-A 出力と GTIOC0B-A 出力の出力レベル比較 SPOER レジスタ設定 発振停止検出 POECR4 レジスタで追加された条件 <ul style="list-style-type: none"> 12ビット A/D 変換器のコンパレータ検出 POE4# 端子、POE8# 端子、POE10# 端子、POE11# 端子、POE12# 端子の入カレベル検出 	MTU3BDZE・ ((POE0F) + (OSF1•OCE1) + (MTUCH34HIZ) + (ICSR6.OSTSTE) + (CMADDMT34ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC2ADDMT34ZE•POE4F) + (IC3ADDMT34ZE•POE8E•POE8F) + (IC4ADDMT34ZE•POE10E•POE10F) + (IC5ADDMT34ZE•POE11E•POE11F) + (IC6ADDMT34ZE•POE12E•POE12F)) (n=0,1, j=000 ~ 002)
GPT1 端子 (GTIOC1A (P72)、 GTIOC1B (P75))	<ul style="list-style-type: none"> POE0# 端子の入カレベル検出 GTIOC1A-A 出力と GTIOC1B-A 出力の出力レベル比較 SPOER レジスタ設定 発振停止検出 POECR4 レジスタで追加された条件 <ul style="list-style-type: none"> 12ビット A/D 変換器のコンパレータ検出 POE4# 端子、POE8# 端子、POE10# 端子、POE11# 端子、POE12# 端子の入カレベル検出 	MTU4ACZE・ ((POE0F) + (OSF1•OCE1) + (MTUCH34HIZ) + (ICSR6.OSTSTE) + (CMADDMT34ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC2ADDMT34ZE•POE4F) + (IC3ADDMT34ZE•POE8E•POE8F) + (IC4ADDMT34ZE•POE10E•POE10F) + (IC5ADDMT34ZE•POE11E•POE11F) + (IC6ADDMT34ZE•POE12E•POE12F)) (n=0,1, j=000 ~ 002)

表23.4 ハイインピーダンス制御の対象と条件 (144/120/112/100ピン版) (3 / 6)

端子	条件	条件詳細
GPT2端子 (GTIOC2A (P73)、 GTIOC2B (P76))	<ul style="list-style-type: none"> POE0#端子の入力レベル検出 GTIOC2A-A出力とGTIOC2B-A出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE4#端子、POE8#端子、POE10#端子、POE11#端子、POE12#端子の入力レベル検出 	MTU4BDZE・ ((POE0F) + (OSF1•OCE1) + (MTUCH34HIZ) + (ICSR6.OSTSTE) + (CMADDMT34ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC2ADDMT34ZE•POE4F) + (IC3ADDMT34ZE•POE8E•POE8F) + (IC4ADDMT34ZE•POE10E•POE10F) + (IC5ADDMT34ZE•POE11E•POE11F) + (IC6ADDMT34ZE•POE12E•POE12F)) (n=0,1、j=000 ~ 002)
GPT4端子 (GTIOC4A (P95)、 GTIOC4B (P92))	<ul style="list-style-type: none"> POE4#端子の入力レベル検出 GTIOC4A出力とGTIOC4B出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE0#端子、POE8#端子、POE10#端子、POE11#端子、POE12#端子の入力レベル検出 	MTU6BDZE・ ((POE4F) + (OSF2•OCE2) + (MTUCH67HIZ) + (ICSR6.OSTSTE) + (CMADDMT67ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDMT67ZE•POE0F) + (IC3ADDMT67ZE•POE8E•POE8F) + (IC4ADDMT67ZE•POE10E•POE10F) + (IC5ADDMT67ZE•POE11E•POE11F) + (IC6ADDMT67ZE•POE12E•POE12F)) (n=0,1、j=000 ~ 002)
GPT5端子 (GTIOC5A (P94)、 GTIOC5B (P91))	<ul style="list-style-type: none"> POE4#端子の入力レベル検出 GTIOC5A出力とGTIOC5B出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE0#端子、POE8#端子、POE10#端子、POE11#端子、POE12#端子の入力レベル検出 	MTU7ACZE・ ((POE4F) + (OSF2•OCE2) + (MTUCH67HIZ) + (ICSR6.OSTSTE) + (CMADDMT67ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDMT67ZE•POE0F) + (IC3ADDMT67ZE•POE8E•POE8F) + (IC4ADDMT67ZE•POE10E•POE10F) + (IC5ADDMT67ZE•POE11E•POE11F) + (IC6ADDMT67ZE•POE12E•POE12F)) (n=0,1、j=000 ~ 002)
GPT6端子 (GTIOC6A (P93)、 GTIOC6B (P90))	<ul style="list-style-type: none"> POE4#端子の入力レベル検出 GTIOC6A-A出力とGTIOC6B-A出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE0#端子、POE8#端子、POE10#端子、POE11#端子、POE12#端子の入力レベル検出 	MTU7BDZE・ ((POE4F) + (OSF2•OCE2) + (MTUCH67HIZ) + (ICSR6.OSTSTE) + (CMADDMT67ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDMT67ZE•POE0F) + (IC3ADDMT67ZE•POE8E•POE8F) + (IC4ADDMT67ZE•POE10E•POE10F) + (IC5ADDMT67ZE•POE11E•POE11F) + (IC6ADDMT67ZE•POE12E•POE12F)) (n=0,1、j=000 ~ 002)

表23.4 ハイインピーダンス制御の対象と条件 (144/120/112/100ピン版) (4 / 6)

端子	条件	条件詳細
MTU0A 端子 (MTIOC0A (P31、PB3))	<ul style="list-style-type: none"> POE8#端子の入力レベル検出 SPOERレジスタ設定 発振停止検出 POECR5レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE0#端子、POE4#端子、POE10#端子、POE11#端子、POE12#端子の入力レベル検出 	MTU0AZE・ ((POE8F•POE8E) + (MTUCH0HIZ) + (ICSR6.OSTSTE) + (CMADDMT0ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDMT0ZE•POE0F) + (IC2ADDMT0ZE•POE4F) + (IC4ADDMT0ZE•POE10E•POE10F) + (IC5ADDMT0ZE•POE11E•POE11F) + (IC6ADDMT0ZE•POE12E•POE12F)) (n=0,1、j=000 ~ 002)
MTU0B 端子 (MTIOC0B (P30、PB2))	<ul style="list-style-type: none"> POE8#端子の入力レベル検出 SPOERレジスタ設定 発振停止検出 POECR5レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE0#端子、POE4#端子、POE10#端子、POE11#端子、POE12#端子の入力レベル検出 	MTU0BZE・ ((POE8F•POE8E) + (MTUCH0HIZ) + (ICSR6.OSTSTE) + (CMADDMT0ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDMT0ZE•POE0F) + (IC2ADDMT0ZE•POE4F) + (IC4ADDMT0ZE•POE10E•POE10F) + (IC5ADDMT0ZE•POE11E•POE11F) + (IC6ADDMT0ZE•POE12E•POE12F)) (n=0,1、j=000 ~ 002)
MTU0C 端子 (MTIOC0C (PB1))	<ul style="list-style-type: none"> POE8#端子の入力レベル検出 SPOERレジスタ設定 発振停止検出 POECR5レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE0#端子、POE4#端子、POE10#端子、POE11#端子、POE12#端子の入力レベル検出 	MTU0CZE・ ((POE8F•POE8E) + (MTUCH0HIZ) + (ICSR6.OSTSTE) + (CMADDMT0ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDMT0ZE•POE0F) + (IC2ADDMT0ZE•POE4F) + (IC4ADDMT0ZE•POE10E•POE10F) + (IC5ADDMT0ZE•POE11E•POE11F) + (IC6ADDMT0ZE•POE12E•POE12F)) (n=0,1、j=000 ~ 002)
MTU0D 端子 (MTIOC0D (PB0))	<ul style="list-style-type: none"> POE8#端子の入力レベル検出 SPOERレジスタ設定 発振停止検出 POECR5レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE0#端子、POE4#端子、POE10#端子、POE11#端子、POE12#端子の入力レベル検出 	MTU0DZE・ ((POE8F•POE8E) + (MTUCH0HIZ) + (ICSR6.OSTSTE) + (CMADDMT0ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDMT0ZE•POE0F) + (IC2ADDMT0ZE•POE4F) + (IC4ADDMT0ZE•POE10E•POE10F) + (IC5ADDMT0ZE•POE11E•POE11F) + (IC6ADDMT0ZE•POE12E•POE12F)) (n=0,1、j=000 ~ 002)

表23.4 ハイインピーダンス制御の対象と条件 (144/120/112/100ピン版) (5 / 6)

端子	条件	条件詳細
GPT0端子 (GTIOC0A (PD7)、 GTIOC0B (PD6))	<ul style="list-style-type: none"> POE10#端子の入力レベル検出 SPOERレジスタ設定 発振停止検出 POECR6レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE0#端子、POE4#端子、POE8#端子、 POE11#端子、POE12#端子の入力レベル検出 	GPT0ABZE・ ((POE10F・POE10E) + (GPT01HIZ) + (ICSR6.OSTSTE) + (CMADDGPT01ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDGPT01ZE・POE0F) + (IC2ADDGPT01ZE・POE4F) + (IC3ADDGPT01ZE・POE8E・POE8F) + (IC5ADDGPT01ZE・POE11E・POE11F) + (IC6ADDGPT01ZE・POE12E・POE12F)) (n=0,1、j=000 ~ 002)
GPT1端子 (GTIOC1A (PD5)、 GTIOC1B (PD4))	<ul style="list-style-type: none"> POE10#端子の入力レベル検出 SPOERレジスタ設定 発振停止検出 POECR6レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE0#端子、POE4#端子、POE8#端子、 POE11#端子、POE12#端子の入力レベル検出 	GPT1ABZE・ ((POE10F・POE10E) + (GPT01HIZ) + (ICSR6.OSTSTE) + (CMADDGPT01ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDGPT01ZE・POE0F) + (IC2ADDGPT01ZE・POE4F) + (IC3ADDGPT01ZE・POE8E・POE8F) + (IC5ADDGPT01ZE・POE11E・POE11F) + (IC6ADDGPT01ZE・POE12E・POE12F)) (n=0,1、j=000 ~ 002)
GPT2端子 (GTIOC2A (PD3)、 GTIOC2B (PD2))	<ul style="list-style-type: none"> POE11#端子の入力レベル検出 SPOERレジスタ設定 発振停止検出 POECR6レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE0#端子、POE4#端子、POE8#端子、 POE10#端子、POE12#端子の入力レベル検出 	GPT2ABZE・ ((POE11F・POE11E) + (GPT23HIZ) + (ICSR6.OSTSTE) + (CMADDGPT23ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDGPT23ZE・POE0F) + (IC2ADDGPT23ZE・POE4F) + (IC3ADDGPT23ZE・POE8E・POE8F) + (IC4ADDGPT23ZE・POE10E・POE10F) + (IC6ADDGPT23ZE・POE12E・POE12F)) (n=0,1、j=000 ~ 002)
GPT3端子 (GTIOC3A (PD1)、 GTIOC3B (PD0))	<ul style="list-style-type: none"> POE11#端子の入力レベル検出 SPOERレジスタ設定 発振停止検出 POECR6レジスタで追加された条件 <ul style="list-style-type: none"> 12ビットA/D変換器のコンパレータ検出 POE0#端子、POE4#端子、POE8#端子、 POE10#端子、POE12#端子の入力レベル検出 	GPT3ABZE・ ((POE11F・POE11E) + (GPT23HIZ) + (ICSR6.OSTSTE) + (CMADDGPT23ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDGPT23ZE・POE0F) + (IC2ADDGPT23ZE・POE4F) + (IC3ADDGPT23ZE・POE8E・POE8F) + (IC4ADDGPT23ZE・POE10E・POE10F) + (IC6ADDGPT23ZE・POE12E・POE12F)) (n=0,1、j=000 ~ 002)

表23.4 ハイインピーダンス制御の対象と条件 (144/120/112/100ピン版) (6 / 6)

端子	条件	条件詳細
GPT6端子 (GTIOC6A (PG3)、 GTIOC6B (PG4))	<ul style="list-style-type: none"> • POE12#端子の入力レベル検出 • SPOERレジスタ設定 • 発振停止検出 • POECR8レジスタで追加された条件 <ul style="list-style-type: none"> – 12ビットA/D変換器のコンパレータ検出 – POE0#端子、POE4#端子、POE8#端子、 POE10#端子、POE11#端子の入力レベル検出 	GPT6ABZE・ ((POE12F・POE12E) + (GPT67HIZ) + (ICSR6.OSTSTE) + (CMADDGPT67ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDGPT67ZE・POE0F) + (IC2ADDGPT67ZE・POE4F) + (IC3ADDGPT67ZE・POE8E・POE8F) + (IC4DDGPT67ZE・POE10E・POE10F) + (IC5DDGPT67ZE・POE11E・POE11F)) (n=0,1、j=000 ~ 002)
GPT7端子 (GTIOC7A (PG0)、 GTIOC7B (PG1))	<ul style="list-style-type: none"> • POE12#端子の入力レベル検出 • SPOERレジスタ設定 • 発振停止検出 • POECR8レジスタで追加された条件 <ul style="list-style-type: none"> – 12ビットA/D変換器のコンパレータ検出 – POE0#端子、POE4#端子、POE8#端子、 POE10#端子、POE11#端子の入力レベル検出 	GPT7ABZE・ ((POE12F・POE12E) + (GPT67HIZ) + (ICSR6.OSTSTE) + (CMADDGPT67ZE・ S12ADn.ADCMPSEL.POERQj・ S12ADn.ADCMPFR.CjFLAG) + (IC1ADDGPT67ZE・POE0F) + (IC2ADDGPT67ZE・POE4F) + (IC3ADDGPT67ZE・POE8E・POE8F) + (IC4DDGPT67ZE・POE10E・POE10F) + (IC5DDGPT67ZE・POE11E・POE11F)) (n=0,1、j=000 ~ 002)

表 23.5 ハイインピーダンス制御の対象と条件 (64/48ピン版) (1/3)

端子	条件	条件詳細
MTU3B/MTU3D 端子または MTU6B/MTU6D 端子 (MTIOC3B、MTIOC3D、 MTIOC6B、MTIOC6D)	<ul style="list-style-type: none"> POE0#端子の入力レベル検出 MTIOC3B出力とMTIOC3D出力またはMTIOC6B出力とMTIOC6D出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE8#端子、POE10#端子、 POE11#端子の入力レベル検出 	MTU3BDZE・ ((POE0F) + (OSF1・OCE1) + (MTUCH34HIZ) + (ICSR6.OSTSTE) + (CMADDMT34ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC3ADDMT34ZE・POE8E・POE8F) + (IC4ADDMT34ZE・POE10E・POE10F) + (IC5ADDMT34ZE・POE11E・POE11F)) (n=000～002)
MTU4A/MTU4C 端子または MTU7A/MTU7C 端子 (MTIOC4A、MTIOC4C、 MTIOC7A、MTIOC7C)	<ul style="list-style-type: none"> POE0#端子の入力レベル検出 MTIOC4A出力とMTIOC4C出力またはMTIOC7A出力とMTIOC7C出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE8#端子、POE10#端子、 POE11#端子の入力レベル検出 	MTU4ACZE・ ((POE0F) + (OSF1・OCE1) + (MTUCH34HIZ) + (ICSR6.OSTSTE) + (CMADDMT34ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC3ADDMT34ZE・POE8E・POE8F) + (IC4ADDMT34ZE・POE10E・POE10F) + (IC5ADDMT34ZE・POE11E・POE11F)) (n=000～002)
MTU4B/MTU4D 端子または MTU7B/MTU7D 端子 (MTIOC4B、MTIOC4D、 MTIOC7B、MTIOC7D)	<ul style="list-style-type: none"> POE0#端子の入力レベル検出 MTIOC4B出力とMTIOC4D出力またはMTIOC7B出力とMTIOC7D出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE8#端子、POE10#端子、 POE11#端子の入力レベル検出 	MTU4BDZE・ ((POE0F) + (OSF1・OCE1) + (MTUCH34HIZ) + (ICSR6.OSTSTE) + (CMADDMT34ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC3ADDMT34ZE・POE8E・POE8F) + (IC4ADDMT34ZE・POE10E・POE10F) + (IC5ADDMT34ZE・POE11E・POE11F)) (n=000～002)
GPT0 端子 (GTIOC0A (PD7)、 GTIOC0B (PD6))	<ul style="list-style-type: none"> POE0#端子の入力レベル検出 GTIOC0A出力とGTIOC0B出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE8#端子、POE10#端子、 POE11#端子の入力レベル検出 	MTU3BDZE・ ((POE0F) + (OSF1・OCE1) + (MTUCH34HIZ) + (ICSR6.OSTSTE) + (CMADDMT34ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC3ADDMT34ZE・POE8E・POE8F) + (IC4ADDMT34ZE・POE10E・POE10F) + (IC5ADDMT34ZE・POE11E・POE11F)) (n=000～002)
GPT1 端子 (GTIOC1A (PD5)、 GTIOC1B (PD4))	<ul style="list-style-type: none"> POE0#端子の入力レベル検出 GTIOC1A出力とGTIOC1B出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE8#端子、POE10#端子、 POE11#端子の入力レベル検出 	MTU4ACZE・ ((POE0F) + (OSF1・OCE1) + (MTUCH34HIZ) + (ICSR6.OSTSTE) + (CMADDMT34ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC3ADDMT34ZE・POE8E・POE8F) + (IC4ADDMT34ZE・POE10E・POE10F) + (IC5ADDMT34ZE・POE11E・POE11F)) (n=000～002)

表23.5 ハイインピーダンス制御の対象と条件 (64/48ピン版) (2 / 3)

端子	条件	条件詳細
GPT2 端子 (GTIOC2A (PD3)、 GTIOC2B (PB6、PB7))	<ul style="list-style-type: none"> POE0# 端子の入カレベル検出 GTIOC2A 出力と GTIOC2B 出力の出力レベル比較 SPOER レジスタ設定 発振停止検出 POECR4 レジスタで追加された条件 - 12ビット A/D 変換器のコンパレータ検出 - POE8# 端子、POE10# 端子、 POE11# 端子の入カレベル検出 	MTU4BDZE ・ ((POE0F) + (OSF1•OCE1) + (MTUCH34HIZ) + (ICSR6.OSTSTE) + (CMADDMT34ZE ・ S12AD.ADCMPSEL.POE ・ (S12AD.ADCMPFR.CnFLAG)) + (IC3ADDMT34ZE•POE8E•POE8F) + (IC4ADDMT34ZE•POE10E•POE10F) + (IC5ADDMT34ZE•POE11E•POE11F)) (n=000 ~ 002)
MTU0A 端子 (MTIOC0A (P31、PB3))	<ul style="list-style-type: none"> POE8# 端子の入カレベル検出 SPOER レジスタ設定 発振停止検出 POECR5 レジスタで追加された条件 - 12ビット A/D 変換器のコンパレータ検出 - POE0# 端子、POE10# 端子、 POE11# 端子の入カレベル検出 	MTU0AZE ・ ((POE8F•POE8E) + (MTUCH0HIZ) + (ICSR6.OSTSTE) + (CMADDMT0ZE ・ S12AD.ADCMPSEL.POE ・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDMT0ZE•POE0F) + (IC4ADDMT0ZE•POE10E•POE10F) + (IC5ADDMT0ZE•POE11E•POE11F)) (n=000 ~ 002)
MTU0B 端子 (MTIOC0B (P30、PB2))	<ul style="list-style-type: none"> POE8# 端子の入カレベル検出 SPOER レジスタ設定 発振停止検出 POECR5 レジスタで追加された条件 - 12ビット A/D 変換器のコンパレータ検出 - POE0# 端子、POE10# 端子、 POE11# 端子の入カレベル検出 	MTU0BZE ・ ((POE8F•POE8E) + (MTUCH0HIZ) + (ICSR6.OSTSTE) + (CMADDMT0ZE ・ S12AD.ADCMPSEL.POE ・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDMT0ZE•POE0F) + (IC4ADDMT0ZE•POE10E•POE10F) + (IC5ADDMT0ZE•POE11E•POE11F)) (n=000 ~ 002)
MTU0C 端子 (MTIOC0C)	<ul style="list-style-type: none"> POE8# 端子の入カレベル検出 SPOER レジスタ設定 発振停止検出 POECR5 レジスタで追加された条件 - 12ビット A/D 変換器のコンパレータ検出 - POE0# 端子、POE10# 端子、 POE11# 端子の入カレベル検出 	MTU0CZE ・ ((POE8F•POE8E) + (MTUCH0HIZ) + (ICSR6.OSTSTE) + (CMADDMT0ZE ・ S12AD.ADCMPSEL.POE ・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDMT0ZE•POE0F) + (IC4ADDMT0ZE•POE10E•POE10F) + (IC5ADDMT0ZE•POE11E•POE11F)) (n=000 ~ 002)
MTU0D 端子 (MTIOC0D)	<ul style="list-style-type: none"> POE8# 端子の入カレベル検出 SPOER レジスタ設定 発振停止検出 POECR5 レジスタで追加された条件 - 12ビット A/D 変換器のコンパレータ検出 - POE0# 端子、POE10# 端子、 POE11# 端子の入カレベル検出 	MTU0DZE ・ ((POE8F•POE8E) + (MTUCH0HIZ) + (ICSR6.OSTSTE) + (CMADDMT0ZE ・ S12AD.ADCMPSEL.POE ・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDMT0ZE•POE0F) + (IC4ADDMT0ZE•POE10E•POE10F) + (IC5ADDMT0ZE•POE11E•POE11F)) (n=000 ~ 002)

表23.5 ハイインピーダンス制御の対象と条件 (64/48ピン版) (3 / 3)

端子	条件	条件詳細
GPT0 端子 (GTIOC0A (PD7)、 GTIOC0B (PD6))	<ul style="list-style-type: none"> POE10#端子の入カレベル検出 SPOERレジスタ設定 発振停止検出 POECR6レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE0#端子、POE8#端子、 POE11#端子の入カレベル検出 	GPT0ABZE・ ((POE10F・POE10E) + (GPT01HIZ) + (ICSR6.OSTSTE) + (CMADDGPT01ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDGPT01ZE・POE0F) + (IC3ADDGPT01ZE・POE8E・POE8F) + (IC5ADDGPT01ZE・POE11E・POE11F)) (n=000～002)
GPT1 端子 (GTIOC1A (PD5)、 GTIOC1B (PD4))	<ul style="list-style-type: none"> POE10#端子の入カレベル検出 SPOERレジスタ設定 発振停止検出 POECR6レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE0#端子、POE8#端子、 POE11#端子の入カレベル検出 	GPT1ABZE・ ((POE10F・POE10E) + (GPT01HIZ) + (ICSR6.OSTSTE) + (CMADDGPT01ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDGPT01ZE・POE0F) + (IC3ADDGPT01ZE・POE8E・POE8F) + (IC5ADDGPT01ZE・POE11E・POE11F)) (n=000～002)
GPT2 端子 (GTIOC2A (PD3)、 GTIOC2B (PB6、PB7))	<ul style="list-style-type: none"> POE11#端子の入カレベル検出 SPOERレジスタ設定 発振停止検出 POECR6レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE0#端子、POE8#端子、 POE10#端子の入カレベル検出 	GPT2ABZE・ ((POE11F・POE11E) + (GPT23HIZ) + (ICSR6.OSTSTE) + (CMADDGPT23ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDGPT23ZE・POE0F) + (IC3ADDGPT23ZE・POE8E・POE8F) + (IC4ADDGPT23ZE・POE10E・POE10F)) (n=000～002)
GPT3 端子 (GTIOC3A、GTIOC3B)	<ul style="list-style-type: none"> POE11#端子の入カレベル検出 SPOERレジスタ設定 発振停止検出 POECR6レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE0#端子、POE8#端子、 POE10#端子の入カレベル検出 	GPT3ABZE・ ((POE11F・POE11E) + (GPT23HIZ) + (ICSR6.OSTSTE) + (CMADDGPT23ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDGPT23ZE・POE0F) + (IC3ADDGPT23ZE・POE8E・POE8F) + (IC4ADDGPT23ZE・POE10E・POE10F)) (n=000～002)

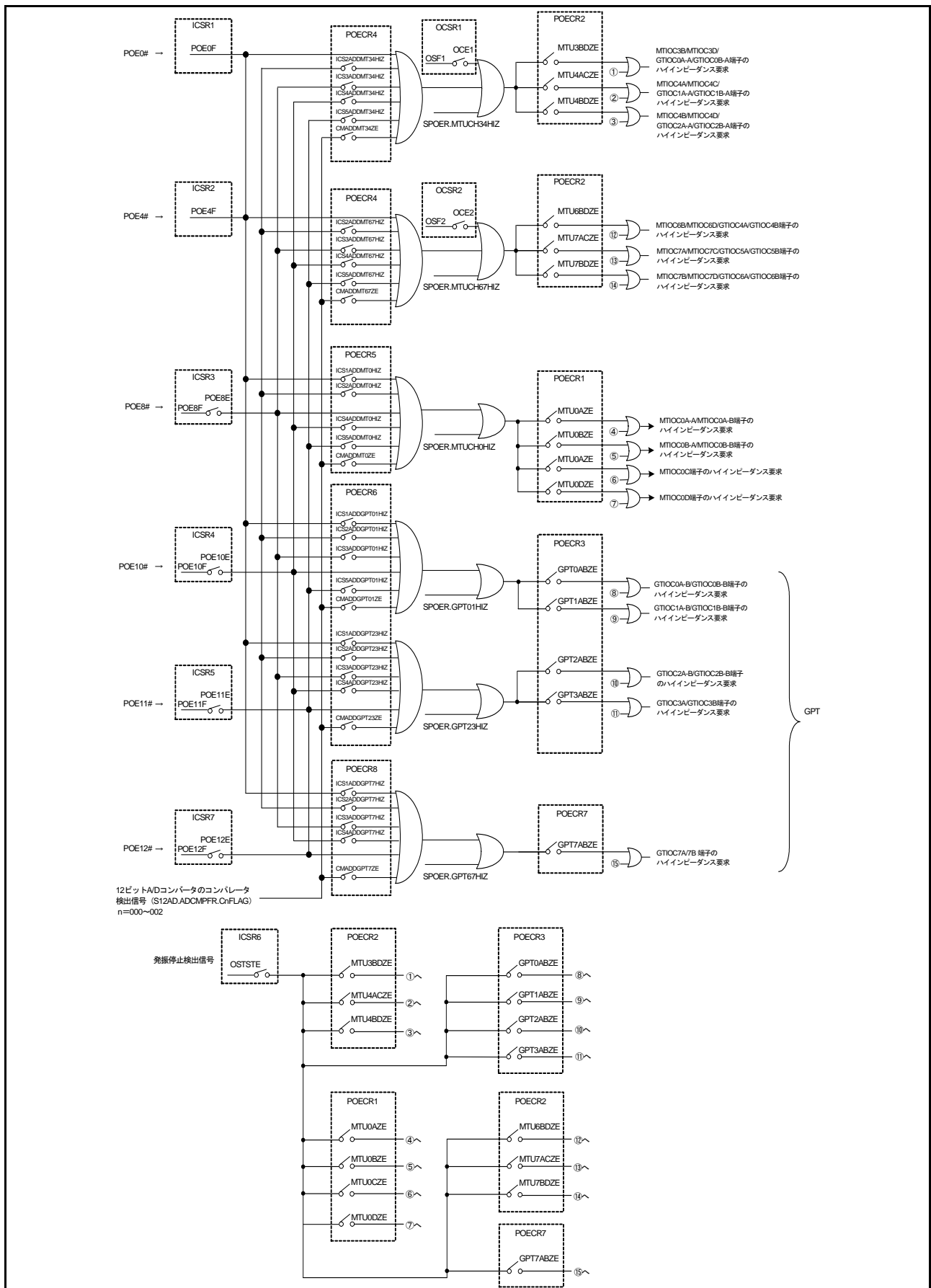


図 23.2 ハイインピーダンス制御の対象と条件

23.3.1 入力レベル検出動作

ICSR1 ~ 5、ICSR7 レジスタで設定した入力条件が POE0#、POE4#、POE8#、POE10#、POE11#、POE12# 端子に発生した場合、MTU 相補 PWM 出力端子 (MTU3、MTU4、MTU6、MTU7 端子) および MTU0 端子、GPT 端子をハイインピーダンス状態にします。ただし、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をマルチプレクスしている端子が、MTU、GPT 機能を選択していない場合でもハイインピーダンスになります。

(1) 立ち下がリエッジ検出

POE0#、POE4#、POE8#、POE10#、POE11#、POE12# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子がマルチプレクスされている端子をハイインピーダンス状態にします。

POE0#、POE4#、POE8#、POE10#、POE11#、POE12# 端子入力から端子のハイインピーダンスまでのタイミング例を図 23.3 に示します。

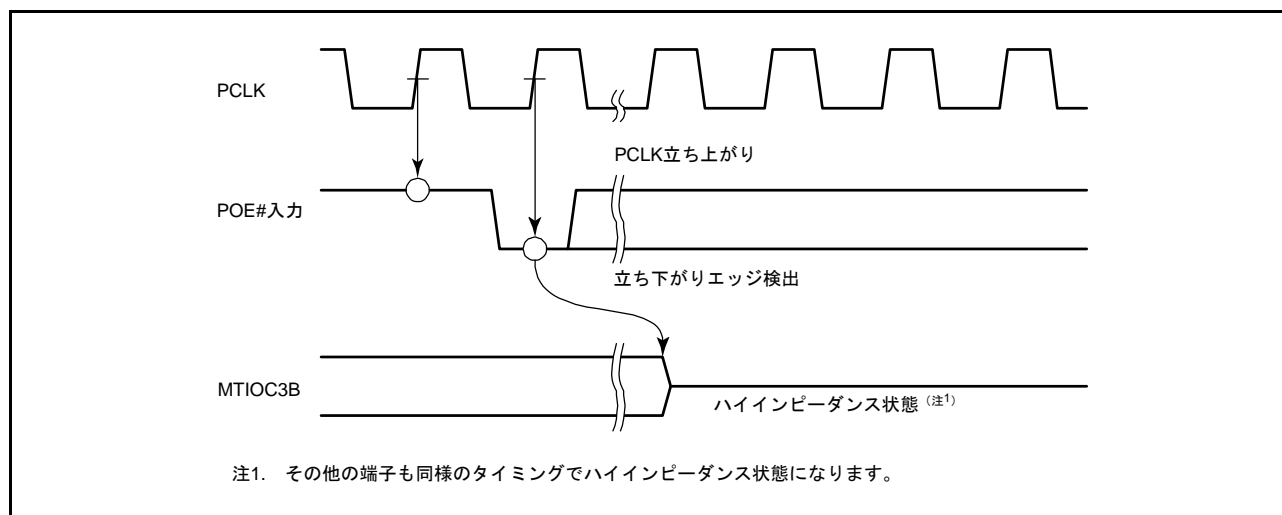


図 23.3 立ち下がリエッジ検出動作

(2) Low 検出

図 23.4 に Low 検出動作を示します。ICSR1 ~ ICSR5、ICSR7 レジスタで設定したサンプリングクロックで、16 回連続した Low をサンプリングすると Low 検出とみなし MTU2 相補 PWM 出力端子および MTU0 用端子をハイインピーダンス状態にします。このとき、一度でも High を検出した場合は Low 検出とみなしません。

また、サンプリングクロックから MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子がハイインピーダンス状態になるタイミングは、立ち下がりエッジ検出、Low 検出ともに同じです。

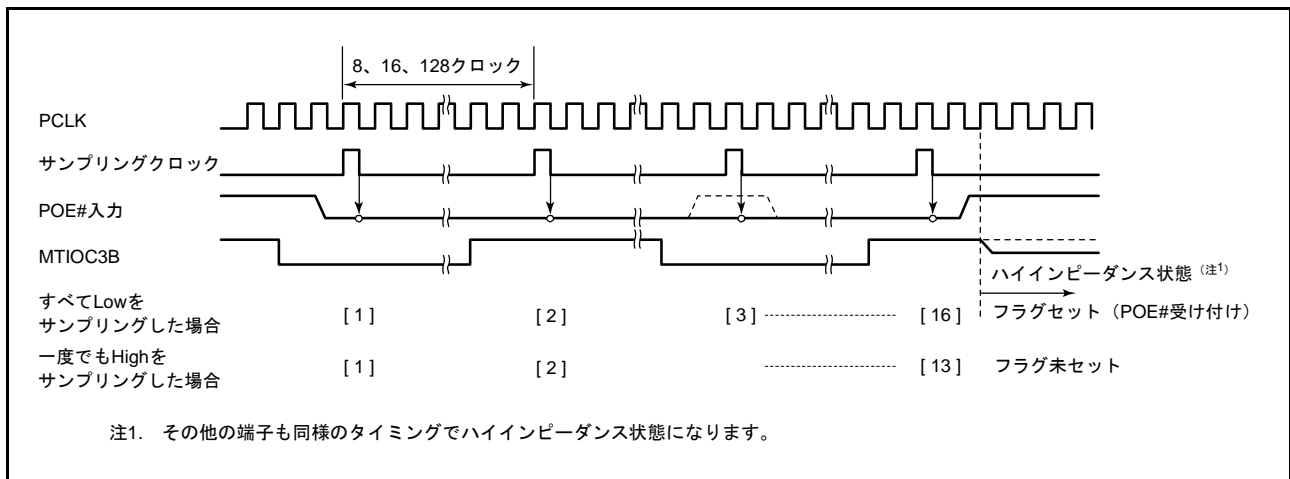


図 23.4 Low 検出動作

23.3.2 出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、出力レベル比較動作を図 23.5 に示します。他の端子の組み合わせについても同様です。

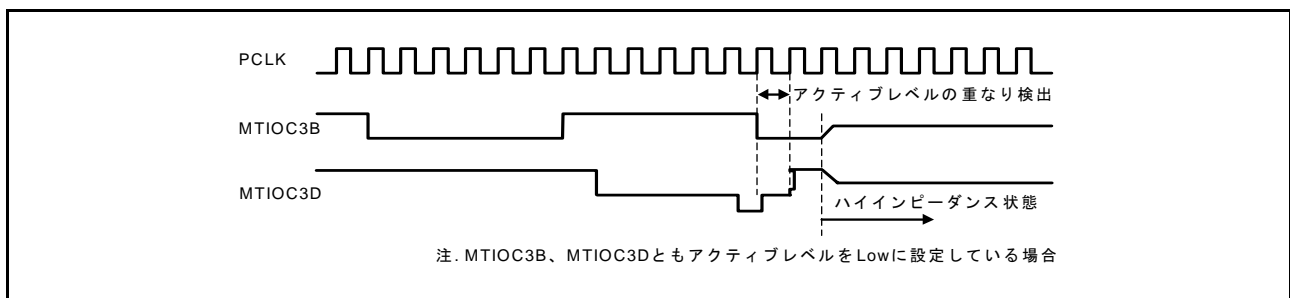


図 23.5 出力レベル検出動作

23.3.3 レジスタによるハイインピーダンス制御

SPOERレジスタへの書き込みによってMTU相補PWM出力端子、MTU0出力端子、GPT出力端子が割り当てられている端子をハイインピーダンス状態にすることができます。たとえばSPOER.CH34HIZビットを“1”にすることで、POECR2レジスタで設定したMTU相補PWM出力端子をハイインピーダンス状態にします。他の端子についても、SPOERレジスタ内のビット設定により同様にハイインピーダンス状態にします。

23.3.4 発振停止検出検知によるハイインピーダンス制御

ICSR6.OSTSTEビットが“1”のとき、クロック発生回路の発振停止検出機能により発振停止が検出されると、POECR2レジスタで設定したMTU相補PWM出力端子、POECR1レジスタで設定したMTU0出力端子、およびPOECR3レジスタで設定したGPT出力端子が割り当てられている端子をハイインピーダンス状態にします。

23.3.5 コンパレータ検出によるハイインピーダンス制御

12ビットA/D変換器に内蔵しているコンパレータの検出により、MTU相補PWM出力端子、MTU0出力端子、およびGPT出力端子が割り当てられている端子をハイインピーダンス状態にすることができます。

たとえば、POECR4.CMADDMT34ZEビットを“1”にしてMTU3、MTU4の端子のハイインピーダンス制御条件にS12AD.ADCMPFR.CjFLAG (j=000～002)フラグを追加することで、コンパレータ検出時にPOECR2レジスタで設定したMTU相補PWM出力端子をハイインピーダンス状態にします。

他の端子についても、POECR1～POECR8レジスタの設定により同様にハイインピーダンス状態にします。

23.3.6 ハイインピーダンス制御条件の追加機能

POECR4～POECR6レジスタ、POECR8レジスタの設定により、MTU相補PWM出力端子、MTU0出力端子、およびGPT出力端子のハイインピーダンス制御条件を追加することができます。

たとえば、MTU3、MTU4の端子のハイインピーダンス制御条件に、下記を追加することができます。

- POECR4.CMADDMT34ZEビットを“1”にして、コンパレータ検出を追加
- POECR4.IC2ADDMT34ZEビットを“1”にして、POE4#端子による入力レベル検出を追加
- POECR4.IC3ADDMT34ZEビットを“1”にして、POE8#端子による入力レベル検出を追加
- POECR4.IC4ADDMT34ZEビットを“1”にして、POE10#端子による入力レベル検出を追加
- POECR4.IC5ADDMT34ZEビットを“1”にして、POE11#端子による入力レベル検出を追加
- POECR4.IC6ADDMT34ZEビットを“1”にして、POE12#端子による入力レベル検出を追加

他の端子についても、POECR4～POECR6、POECR8レジスタの設定により同様にハイインピーダンス制御条件の追加が行えます。

23.3.7 ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、ICSR1.POE0F フラグ、ICSR2.POE4F フラグ、ICSR3.POE8F フラグ、ICSR4.POE10F フラグ、ICSR5.POE11F フラグ、ICSR7.POE12F フラグをクリアすることによって解除されます。ただし、ICSR1.POE0M[1:0] ビット、ICSR2.POE4M[1:0] ビット、ICSR3.POE8M[1:0] ビット、ICSR4.POE10M[1:0] ビット、ICSR5.POE11M[1:0] ビット、ICSR7.POE12M[1:0] ビットで Low サンプルングに設定している場合には、POE0#、POE4#、POE8#、POE10#、POE11#、POE12# 端子から High を入力して High を検出した後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。

出力レベル検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグを“0”にすることによって解除されます。OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグを“0”にする場合は、端子から非アクティブレベルを出力するようにした後に行ってください。非アクティブレベル出力は、MTU 内のレジスタ、GPT 内のレジスタ、および ALR1 レジスタを設定することで行うことができます。

コンパレータ検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、S12AD.ADCMPFR.CnFLAG (n=000 ~ 002) フラグを“0”にすることによって解除されます。コンパレータ検出フラグ S12AD.ADCMPFR.CnFLAG (n=0 ~ 2, 4 ~ 6) に“0”にする際にはコンパレータ検出を行ったアナログ入力信号が適正值に戻ったことを AD 変換実施等で確認した後に実施してください。アナログ入力信号が適正值に戻ったことを確認しないで当該ビットをクリアした時で、かつアナログ入力信号が Low 側基準電圧よりも低い、または High 側基準電圧よりも高いままだった場合、前述のコンパレータ検出フラグ S12AD.ADCMPFR.CnFLAG は再び“1”にはなりませんのでご注意ください。

23.4 割り込み

POE3 は入力レベル検出動作または出力レベル比較動作において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 23.6 に割り込みの種類と割り込み要求を出す条件を示します。

表 23.6 割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OE11	アウトプットイネーブル割り込み1	POE0F、OSF1	PIE1•POE0F + OIE1•OSF1
OE12	アウトプットイネーブル割り込み2	POE4F、OSF2	PIE2F•POE4 + OIE2•OSF2
OE13	アウトプットイネーブル割り込み3	POE8F	PIE3•POE8F
OE14	アウトプットイネーブル割り込み4	POE10F、POE11F	PIE4•POE10F + PIE5•POE11F
OE15	アウトプットイネーブル割り込み5	POE4F、POE12F	PIE2F•POE4 + PIE7•POE12F

23.5 使用上の注意事項

POE3 を使用する場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、POE3 の動作が停止するため、端子のハイインピーダンス制御はできません。

24. 汎用 PWM タイマ (GPT)

本 MCU グループは、8 チャンネルの 16 ビットタイマにより構成される汎用 PWM タイマ (GPT) を内蔵しています。GPT は、100MHz まで動作可能です。

24.1 概要

表 24.1 に GPT の仕様を、表 24.2 に GPT の機能一覧を示します。図 24.1 に GPT のブロック図を示します。

表 24.1 GPT の仕様

項目	内容
機能	<ul style="list-style-type: none"> • 16 ビット×8 チャンネル • 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、アップダウンカウント (三角波) • チャンネルごとに独立したクロックソースを選択可能 • チャンネルごとに2本の入出力端子 • チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャンネルごとにフレーム周期用レジスタを搭載 (オーバフロー/アンダフローで割り込み可能) • それぞれのカウンタを同期動作可能 • 同期動作のモード (同時または任意のタイミングでずらす位相シフトに対応) • PWM動作の際にデッドタイム生成が可能 • 3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を生成可能 • 外部/内部トリガ (ハードウェア要因) によりカウントスタート/クリア/ストップ可能 • 内部トリガ要因として、コンパレータ検出、ソフトウェア、コンペアマッチ • 分周されたIWDTC専用クロック (IWDTCCLK) のエッジを、タイマモジュールクロック (PCLKA) を分周したカウントクロックで計測することが可能 (発振異常検出) • チャンネル0~チャンネル3の2本のPWM出力端子に対し、システムクロック (ICLK) の1/32の分解能で立ち上がり/立ち下がりタイミングの制御が可能 (PWM遅延生成機能)

表24.2 GPTの機能一覧 (GPT0~GPT3)

項目	GPT0	GPT1	GPT2	GPT3	
カウントクロック	PCLKA PCLKA/2 PCLKA/4 PCLKA/8	PCLKA PCLKA/2 PCLKA/4 PCLKA/8	PCLKA PCLKA/2 PCLKA/4 PCLKA/8	PCLKA PCLKA/2 PCLKA/4 PCLKA/8	
アウトプットコンペア/ インプットキャプチャ レジスタ (GTCCR)	GTCCRA GTCCRB	GTCCRA GTCCRB	GTCCRA GTCCRB	GTCCRA GTCCRB	
コンペア/ バッファレジスタ	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	
周期設定レジスタ	GTPR	GTPR	GTPR	GTPR	
周期設定バッファレジスタ	GTPBR GTPDBR	GTPBR GTPDBR	GTPBR GTPDBR	GTPBR GTPDBR	
入出力端子	GTIOC0A GTIOC0B	GTIOC1A GTIOC1B	GTIOC2A GTIOC2B	GTIOC3A GTIOC3B	
外部トリガ入力端子	GTETRG0				
カウンタクリア要因	GTPRのコンペアマッチ、インプットキャプチャ、コンパレータ検出、GTETRG端子入力、GTIOC3A/B端子入力、GTIOC3A/Bの内部出力 (アウトプットコンペア)				
コンペア マッチ出力	Low出力	○	○	○	○
	High出力	○	○	○	○
	トグル出力	○	○	○	○
インプットキャプチャ機能	○	○	○	○	
同期動作	○	○	○	○	
位相シフトスタート	○	○	○	○	
デッドタイム自動付加機能	○	○	○	○	
PWMモード	○	○	○	○	
バッファ動作	○	○	○	○	
ワンショット動作	○	○	○	○	
DTCの起動	すべての割り込み要因				
A/D変換開始トリガ	GTADTRA、GTADTRBの コンペアマッチ	GTADTRA、GTADTRBの コンペアマッチ	GTADTRA、GTADTRBの コンペアマッチ	GTADTRA、GTADTRBの コンペアマッチ	
割り込み要因	5要因 <ul style="list-style-type: none"> GTCCRAコンペアマッチ / インプットキャプチャ (GTCIA0) GTCCRBコンペアマッチ / インプットキャプチャ (GTCIB0) GTCCRCコンペアマッチ / GTCCRDコンペアマッチ / デッドタイムエラー (GTCIC0) GTCCREコンペアマッチ / GTCCRFコンペアマッチ (GTCIE0) GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV0) 	5要因 <ul style="list-style-type: none"> GTCCRAコンペアマッチ / インプットキャプチャ (GTCIA1) GTCCRBコンペアマッチ / インプットキャプチャ (GTCIB1) GTCCRCコンペアマッチ / GTCCRDコンペアマッチ / デッドタイムエラー (GTCIC1) GTCCREコンペアマッチ / GTCCRFコンペアマッチ (GTCIE1) GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV1) 	5要因 <ul style="list-style-type: none"> GTCCRAコンペアマッチ / インプットキャプチャ (GTCIA2) GTCCRBコンペアマッチ / インプットキャプチャ (GTCIB2) GTCCRCコンペアマッチ / GTCCRDコンペアマッチ / デッドタイムエラー (GTCIC2) GTCCREコンペアマッチ / GTCCRFコンペアマッチ (GTCIE2) GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV2) 	5要因 <ul style="list-style-type: none"> GTCCRAコンペアマッチ / インプットキャプチャ (GTCIA3) GTCCRBコンペアマッチ / インプットキャプチャ (GTCIB3) GTCCRCコンペアマッチ / GTCCRDコンペアマッチ / デッドタイムエラー (GTCIC3) GTCCREコンペアマッチ / GTCCRFコンペアマッチ (GTCIE3) GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV3) 	
共通割り込み要因	外部トリガ/IWDTCLKカウント機能割り込み (LOCOI)				
割り込み間引き機能	GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV0) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV1) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV2) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV3) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	

○ : 可能、— : 不可能

表24.3 GPTの機能一覧 (GPT4~GPT7)

項目	GPT4	GPT5	GPT6	GPT7
カウントクロック	PCLKA PCLKA/2 PCLKA/4 PCLKA/8	PCLKA PCLKA/2 PCLKA/4 PCLKA/8	PCLKA PCLKA/2 PCLKA/4 PCLKA/8	PCLKA PCLKA/2 PCLKA/4 PCLKA/8
アウトプットコンペア/ インプットキャプチャ レジスタ (GTCCR)	GTCCRA GTCCRB	GTCCRA GTCCRB	GTCCRA GTCCRB	GTCCRA GTCCRB
コンペア/ バッファレジスタ	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ	GTPR	GTPR	GTPR	GTPR
周期設定バッファレジスタ	GTPBR GTPDBR	GTPBR GTPDBR	GTPBR GTPDBR	GTPBR GTPDBR
入出力端子	GTIOC4A GTIOC4B	GTIOC5A GTIOC5B	GTIOC6A GTIOC6B	GTIOC7A GTIOC7B
外部トリガ入力端子	GTETRG1			
カウンタクリア要因	GTPRのコンペアマッチ、インプットキャプチャ、コンパレータ検出、GTETRG端子入力、GTIOC7A/B端子入力、GTIOC7A/Bの内部出力 (アウトプットコンペア)			
コンペア マッチ出力	Low出力	○	○	○
	High出力	○	○	○
	トグル出力	○	○	○
インプットキャプチャ機能	○	○	○	○
同期動作	○	○	○	○
位相シフトスタート	○	○	○	○
デッドタイム自動付加機能	○	○	○	○
PWMモード	○	○	○	○
バッファ動作	○	○	○	○
ワンショット動作	○	○	○	○
DTCの起動	すべての割り込み要因			
A/D変換開始トリガ	GTADTRA、GTADTRBの コンペアマッチ	GTADTRA、GTADTRBの コンペアマッチ	GTADTRA、GTADTRBの コンペアマッチ	GTADTRA、GTADTRBの コンペアマッチ
割り込み要因	5要因 <ul style="list-style-type: none"> GTCCRAコンペアマッチ / インプットキャプチャ (GTCIA4) GTCCRBコンペアマッチ / インプットキャプチャ (GTCIB4) GTCCRCコンペアマッチ / GTCCRDコンペアマッチ / デッドタイムエラー (GTCIC4) GTCCREコンペアマッチ / GTCCRFコンペアマッチ (GTCIE4) GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV4) 	5要因 <ul style="list-style-type: none"> GTCCRAコンペアマッチ / インプットキャプチャ (GTCIA5) GTCCRBコンペアマッチ / インプットキャプチャ (GTCIB5) GTCCRCコンペアマッチ / GTCCRDコンペアマッチ / デッドタイムエラー (GTCIC5) GTCCREコンペアマッチ / GTCCRFコンペアマッチ (GTCIE5) GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV5) 	5要因 <ul style="list-style-type: none"> GTCCRAコンペアマッチ / インプットキャプチャ (GTCIA6) GTCCRBコンペアマッチ / インプットキャプチャ (GTCIB6) GTCCRCコンペアマッチ / GTCCRDコンペアマッチ / デッドタイムエラー (GTCIC6) GTCCREコンペアマッチ / GTCCRFコンペアマッチ (GTCIE6) GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV6) 	5要因 <ul style="list-style-type: none"> GTCCRAコンペアマッチ / インプットキャプチャ (GTCIA7) GTCCRBコンペアマッチ / インプットキャプチャ (GTCIB7) GTCCRCコンペアマッチ / GTCCRDコンペアマッチ / デッドタイムエラー (GTCIC7) GTCCREコンペアマッチ / GTCCRFコンペアマッチ (GTCIE7) GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV7)
共通割り込み要因	外部トリガ/IWDTCLKカウント機能割り込み (LOCOI)			
割り込み間引き機能	GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV4) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV5) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV6) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV7) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)

○ : 可能、— : 不可能

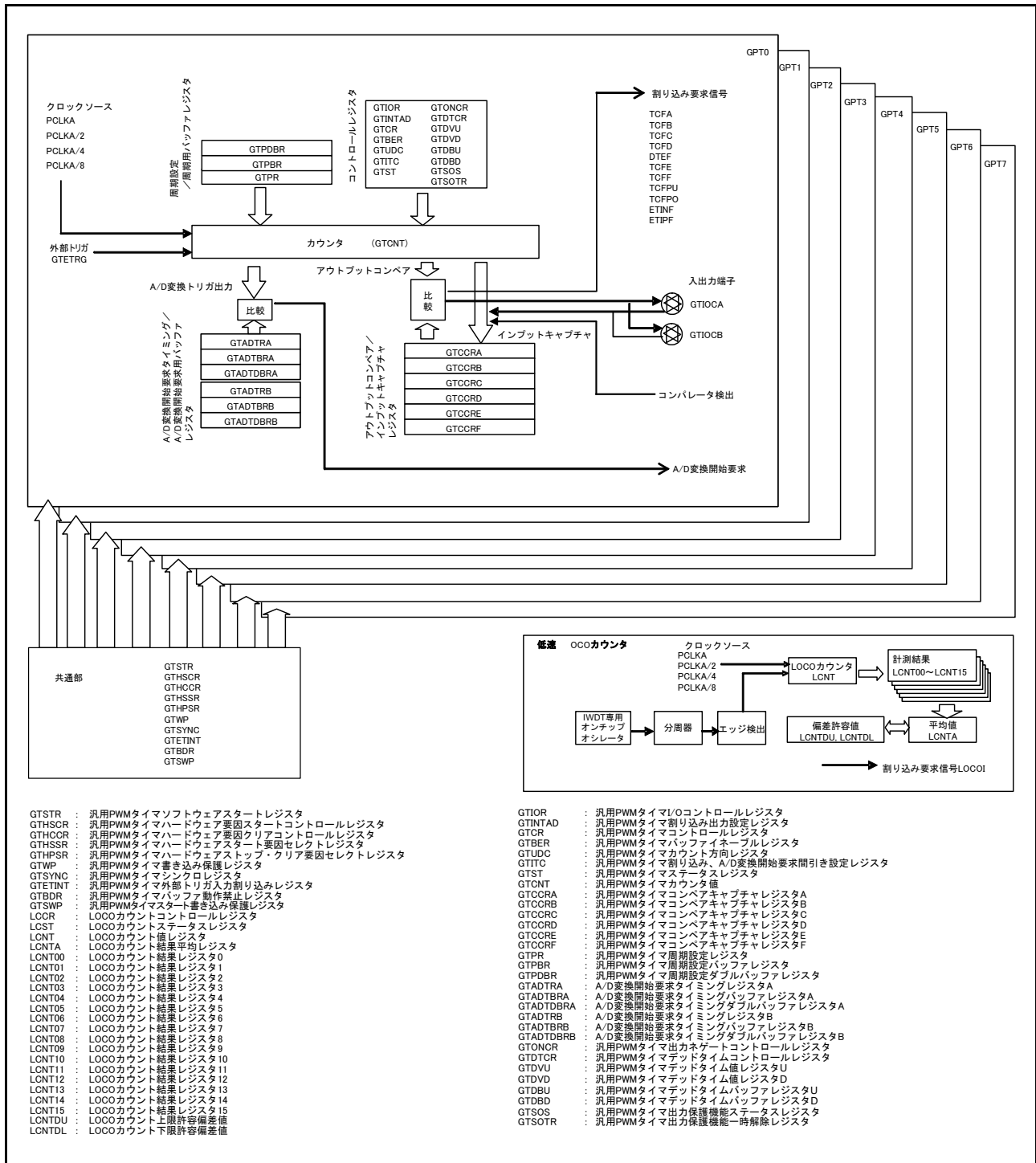


図 24.1 GPTのブロック図

表 24.4 に GPT で使用する入出力端子を示します。

表 24.4 GPTの入出力端子

チャンネル	端子名	入出力	機能
共通	GTETRG0	入力	外部トリガ入力端子
GPT0	GTIOC0A	入出力	GTCCRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0B	入出力	GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT1	GTIOC1A	入出力	GTCCRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC1B	入出力	GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT2	GTIOC2A	入出力	GTCCRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC2B	入出力	GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT3	GTIOC3A	入出力	GTCCRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC3B	入出力	GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
共通	GTETRG1	入力	外部トリガ入力端子
GPT4	GTIOC4A	入出力	GTCCRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC4B	入出力	GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT5	GTIOC5A	入出力	GTCCRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC5B	入出力	GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT6	GTIOC6A	入出力	GTCCRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC6B	入出力	GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT7	GTIOC7A	入出力	GTCCRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC7B	入出力	GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

24.2 レジスタの説明

24.2.1 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)

アドレス GPT.GTSTR 000C 2000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CST3	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	GPT0.GTCNT カウントスタートビット	0 : カウント停止 1 : カウント動作	R/W
b1	CST1	GPT1.GTCNT カウントスタートビット		R/W
b2	CST2	GPT2.GTCNT カウントスタートビット		R/W
b3	CST3	GPT3.GTCNT カウントスタートビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTR レジスタは、GPTn.GTCNT カウンタの動作/停止を設定するレジスタです。(n=0 ~ 3)

CSTn ビット (GPTn.GTCNT カウントスタートビット) (n=0 ~ 3)

GPTn.GTCNT カウンタの動作/停止を選択します。

汎用 PWM タイマスタート書き込み保護レジスタ (GTSWP) の SWPn ビットにより、CSTn ビットへの書き込みが禁止されたビットへの書き込みは無視されます。

GTHSCR レジスタで、ハードウェア要因によるカウンタの動作/停止に設定することもできます。ハードウェア要因によるスタートが実行された場合は自動的に“1”に、ハードウェア要因によるストップが実行された場合は自動的に“0”になります。

アドレス GPTB.GTSTR 000C 2800h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CST7	CST6	CST5	CST4
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST4	GPT4.GTCNTカウントスタートビット	0 : カウント停止 1 : カウント動作	R/W
b1	CST5	GPT5.GTCNTカウントスタートビット		R/W
b2	CST6	GPT6.GTCNTカウントスタートビット		R/W
b3	CST7	GPT7.GTCNTカウントスタートビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTR レジスタは、GPTn.GTCNT カウンタの動作/停止を設定するレジスタです。(n=4 ~ 7)

CSTn ビット (GPTn.GTCNT カウントスタートビット) (n=4 ~ 7)

GPTn.GTCNT カウンタの動作/停止を選択します。

汎用 PWM タイマスタート書き込み保護レジスタ (GTSWP) の SWPn ビットにより、CSTn ビットへの書き込みが禁止されたビットへの書き込みは無視されます。

GTHSCR レジスタで、ハードウェア要因によるカウンタの動作/停止に設定することもできます。ハードウェア要因によるスタートが実行された場合は自動的に“1”に、ハードウェア要因によるストップが実行された場合は自動的に“0”になります。

24.2.2 汎用 PWM タイマハードウェア要因スタートコントロールレジスタ (GTHSCR)

アドレス GPT.GTHSCR 000C 2004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CPHW3[1:0]		CPHW2[1:0]		CPHW1[1:0]		CPHW0[1:0]		CSHW3[1:0]		CSHW2[1:0]		CSHW1[1:0]		CSHW0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CSHW0[1:0]	GPT0.GTCNTハードウェア要因カウントスタートビット	00: ハードウェア要因でカウントスタートしない 01: ハードウェア要因の立ち上がりエッジでカウントスタートする	R/W
b3-b2	CSHW1[1:0]	GPT1.GTCNTハードウェア要因カウントスタートビット	10: ハードウェア要因の立ち下がりエッジでカウントスタートする	R/W
b5-b4	CSHW2[1:0]	GPT2.GTCNTハードウェア要因カウントスタートビット	11: ハードウェア要因の両エッジでカウントスタートする	R/W
b7-b6	CSHW3[1:0]	GPT3.GTCNTハードウェア要因カウントスタートビット		R/W
b9-b8	CPHW0[1:0]	GPT0.GTCNTハードウェア要因カウントストップビット	00: ハードウェア要因でカウントストップしない 01: ハードウェア要因の立ち上がりエッジでカウントストップする	R/W
b11-b10	CPHW1[1:0]	GPT1.GTCNTハードウェア要因カウントストップビット	10: ハードウェア要因の立ち下がりエッジでカウントストップする	R/W
b13-b12	CPHW2[1:0]	GPT2.GTCNTハードウェア要因カウントストップビット	11: ハードウェア要因の両エッジでカウントストップする	R/W
b15-b14	CPHW3[1:0]	GPT3.GTCNTハードウェア要因カウントストップビット		R/W

GTHSCR レジスタは、ハードウェア要因による GPTn.GTCNT カウントの動作/停止を設定するレジスタです。(n=0 ~ 3)

ハードウェア要因による GPTn.GTCNT カウントのスタートとストップが同時に起きた場合、スタートが優先されます。

CSHWn[1:0] ビット (GPTn.GTCNT ハードウェア要因カウントスタートビット) (n=0 ~ 3)

ハードウェア要因で GPTn.GTCNT カウントをカウントスタートします。

ハードウェア要因でスタートした場合、GTSTR レジスタの対応するビットが自動的に“1”になります。

ハードウェア要因は、GTHSSR レジスタで選択します。

CPHWn[1:0] ビット (GPTn.GTCNT ハードウェア要因カウントストップビット) (n=0 ~ 3)

ハードウェア要因で GPTn.GTCNT カウントをカウントストップします。

ハードウェア要因でストップした場合、GTSTR レジスタの対応するビットが自動的に“0”になります。

ハードウェア要因は、GTHPSR レジスタで選択します。

アドレス GPTB.GTHSCR 000C 2804h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CPHW7[1:0]		CPHW6[1:0]		CPHW5[1:0]		CPHW4[1:0]		CSHW7[1:0]		CSHW6[1:0]		CSHW5[1:0]		CSHW4[1:0]	
リセット後の値															
0		0		0		0		0		0		0		0	

ビット	シンボル	ビット名	機能	R/W
b1-b0	CSHW4[1:0]	GPT4.GTCNTハードウェア要因カウントスタートビット	00: ハードウェア要因でカウントスタートしない 01: ハードウェア要因の立ち上がりエッジでカウントスタートする 10: ハードウェア要因の立ち下がりエッジでカウントスタートする 11: ハードウェア要因の両エッジでカウントスタートする	R/W
b3-b2	CSHW5[1:0]	GPT5.GTCNTハードウェア要因カウントスタートビット		R/W
b5-b4	CSHW6[1:0]	GPT6.GTCNTハードウェア要因カウントスタートビット		R/W
b7-b6	CSHW7[1:0]	GPT7.GTCNTハードウェア要因カウントスタートビット		R/W
b9-b8	CPHW4[1:0]	GPT4.GTCNTハードウェア要因カウントストップビット	00: ハードウェア要因でカウントストップしない 01: ハードウェア要因の立ち上がりエッジでカウントストップする 10: ハードウェア要因の立ち下がりエッジでカウントストップする 11: ハードウェア要因の両エッジでカウントストップする	R/W
b11-b10	CPHW5[1:0]	GPT5.GTCNTハードウェア要因カウントストップビット		R/W
b13-b12	CPHW6[1:0]	GPT6.GTCNTハードウェア要因カウントストップビット		R/W
b15-b14	CPHW7[1:0]	GPT7.GTCNTハードウェア要因カウントストップビット		R/W

GTHSCR レジスタは、ハードウェア要因による GPTn.GTCNT カウントの動作/停止を設定するレジスタです。(n=4 ~ 7)

ハードウェア要因による GPTn.GTCNT カウントのスタートとストップが同時に起きた場合、スタートが優先されます。

CSHWn[1:0] ビット (GPTn.GTCNT ハードウェア要因カウントスタートビット) (n=4 ~ 7)

ハードウェア要因で GPTn.GTCNT カウントをカウントスタートします。

ハードウェア要因でスタートした場合、GTSTR レジスタの対応するビットが自動的に“1”になります。

ハードウェア要因は、GTHSSR レジスタで選択します。

CPHWn[1:0] ビット (GPTn.GTCNT ハードウェア要因カウントストップビット) (n=4 ~ 7)

ハードウェア要因で GPTn.GTCNT カウントをカウントストップします。

ハードウェア要因でストップした場合、GTSTR レジスタの対応するビットが自動的に“0”になります。

ハードウェア要因は、GTHPSR レジスタで選択します。

24.2.3 汎用 PWM タイマハードウェア要因クリアコントロールレジスタ (GTHCCR)

アドレス GPT.GTHCCR 000C 2006h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CCSW ₃	CCSW ₂	CCSW ₁	CCSW ₀	CCHW3[1:0]	CCHW2[1:0]	CCHW1[1:0]	CCHW0[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CCHW0[1:0]	GPT0.GTCNTハードウェア要因カウンタクリアビット	00: ハードウェア要因でカウンタクリアしない 01: ハードウェア要因の立ち上がりエッジでカウンタクリアする 10: ハードウェア要因の立ち下がりエッジでカウンタクリアする 11: ハードウェア要因の両エッジでカウンタクリアする	R/W
b3-b2	CCHW1[1:0]	GPT1.GTCNTハードウェア要因カウンタクリアビット		R/W
b5-b4	CCHW2[1:0]	GPT2.GTCNTハードウェア要因カウンタクリアビット		R/W
b7-b6	CCHW3[1:0]	GPT3.GTCNTハードウェア要因カウンタクリアビット		R/W
b8	CCSW0	GPT0.GTCNTカウンタクリアビット	"1"を書くとカウンタをクリアします。"1"を書き込み後、自動的に"0"に戻ります。読むと"0"が読めます。	R/W
b9	CCSW1	GPT1.GTCNTカウンタクリアビット		R/W
b10	CCSW2	GPT2.GTCNTカウンタクリアビット		R/W
b11	CCSW3	GPT3.GTCNTカウンタクリアビット		R/W
b15-b12	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

GTHCCR レジスタは、ハードウェア要因による GPT_n.GTCNT カウンタのクリアを設定するレジスタです。(n=0 ~ 3)

ハードウェア要因による GPT_n.GTCNT カウンタのクリアを設定した場合、GPT_n.GTCNT カウンタが動作中 (GTSTR.CST_n=1) の場合でも、停止中 (GTSTR.CST_n=0) の場合でも、ハードウェア要因によるカウンタクリアは実行されます。(n=0 ~ 3)

CCHW_n[1:0] ビット (GPT_n.GTCNT ハードウェア要因カウンタクリアビット) (n=0 ~ 3)

ハードウェア要因で GPT_n.GTCNT カウンタをカウンタクリアします。

ハードウェア要因は GTHPSR レジスタで選択します。

CCHW_n[1:0] ビットを "01b"、"10b"、"11b" にしている間は、繰り返しハードウェア要因を受け付けます。

CCSW_n ビット (GPT_n.GTCNT カウンタクリアビット) (n=0 ~ 3)

"1" を書くと、GPT_n.GTCNT カウンタが "0" になります。"1" を書いた後、自動的に "0" に戻ります。読むと "0" が読めます。

アドレス GPTB.GTHCCR 000C 2806h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CCSW	CCSW	CCSW	CCSW	CCHW7[1:0]	CCHW6[1:0]	CCHW5[1:0]	CCHW4[1:0]				
リセット後の値	0	0	0	0	7	6	5	4	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CCHW4[1:0]	GPT4.GTCNTハードウェア要因カウンタクリアビット	00: ハードウェア要因でカウンタクリアしない 01: ハードウェア要因の立ち上がりエッジでカウンタクリアする 10: ハードウェア要因の立ち下がりエッジでカウンタクリアする 11: ハードウェア要因の両エッジでカウンタクリアする	R/W
b3-b2	CCHW5[1:0]	GPT5.GTCNTハードウェア要因カウンタクリアビット		R/W
b5-b4	CCHW6[1:0]	GPT6.GTCNTハードウェア要因カウンタクリアビット		R/W
b7-b6	CCHW7[1:0]	GPT7.GTCNTハードウェア要因カウンタクリアビット		R/W
b8	CCSW4	GPT4.GTCNTカウンタクリアビット	"1"を書くとカウンタをクリアします。"1"を書き込み後、自動的に"0"に戻ります。読むと"0"が読めます。	R/W
b9	CCSW5	GPT5.GTCNTカウンタクリアビット		R/W
b10	CCSW6	GPT6.GTCNTカウンタクリアビット		R/W
b11	CCSW7	GPT7.GTCNTカウンタクリアビット		R/W
b15-b12	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

GTHCCR レジスタは、ハードウェア要因による GPTn.GTCNT カウンタのクリアを設定するレジスタです。(n=4 ~ 7)

ハードウェア要因による GPTn.GTCNT カウンタのクリアを設定した場合、GPTn.GTCNT カウントが動作中 (GTSTR.CSTn=1) の場合でも、停止中 (GTSTR.CSTn=0) の場合でも、ハードウェア要因によるカウンタクリアは実行されます。(n=4 ~ 7)

CCHWn[1:0] ビット (GPTn.GTCNT ハードウェア要因カウンタクリアビット) (n=4 ~ 7)

ハードウェア要因で GPTn.GTCNT カウンタをカウンタクリアします。

ハードウェア要因は GTHPSR レジスタで選択します。

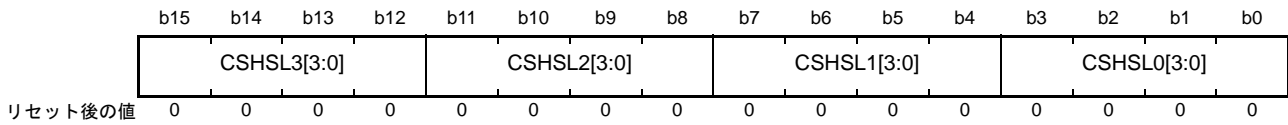
CCHWn[1:0] ビットを "01b"、"10b"、"11b" にしている間は、繰り返しハードウェア要因を受け付けます。

CCSWn ビット (GPTn.GTCNT カウンタクリアビット) (n=4 ~ 7)

"1" を書くと、GPTn.GTCNT カウンタが "0" になります。"1" を書いた後、自動的に "0" に戻ります。読むと "0" が読めます。

24.2.4 汎用 PWM タイマハードウェアスタート要因セレクトレジスタ (GTHSSR)

アドレス GPT.GTHSSR 000C 2008h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CSHSL0[3:0]	GPT0.GTCNTハードウェアカウンタスタート要因選択ビット	b3 b0 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 (注1) 0101: AN101用コンパレータ検出 (注1) 0110: AN102用コンパレータ検出 (注1) 0111: 設定しないでください 1000: GTIOC3A 端子入力 1001: GTIOC3B 端子入力 1010: GTIOC3A 内部出力 (注2) (アウトプットコンペア) 1011: GTIOC3B 内部出力 (注2) (アウトプットコンペア) 1100: GTETR0 端子入力 上記以外は設定しないでください	R/W
b7-b4	CSHSL1[3:0]	GPT1.GTCNTハードウェアカウンタスタート要因選択ビット	b7 b4 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 (注1) 0101: AN101用コンパレータ検出 (注1) 0110: AN102用コンパレータ検出 (注1) 0111: 設定しないでください 1000: GTIOC3A 端子入力 1001: GTIOC3B 端子入力 1010: GTIOC3A 内部出力 (注2) (アウトプットコンペア) 1011: GTIOC3B 内部出力 (注2) (アウトプットコンペア) 1100: GTETR0 端子入力 上記以外は設定しないでください	R/W
b11-b8	CSHSL2[3:0]	GPT2.GTCNTハードウェアカウンタスタート要因選択ビット	b11 b8 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 (注1) 0101: AN101用コンパレータ検出 (注1) 0110: AN102用コンパレータ検出 (注1) 0111: 設定しないでください 1000: GTIOC3A 端子入力 1001: GTIOC3B 端子入力 1010: GTIOC3A 内部出力 (注2) (アウトプットコンペア) 1011: GTIOC3B 内部出力 (注2) (アウトプットコンペア) 1100: GTETR0 端子入力 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b15-b12	CSHSL3[3:0]	GPT3.GTCNTハードウェアカウンタスタート要因選択ビット	b15 b12 0000 : AN000用コンパレータ検出 0001 : AN001用コンパレータ検出 0010 : AN002用コンパレータ検出 0011 : 設定しないでください 0100 : AN100用コンパレータ検出 (注1) 0101 : AN101用コンパレータ検出 (注1) 0110 : AN102用コンパレータ検出 (注1) 0111 : 設定しないでください 1000 : GTIOC3A端子入力 1001 : GTIOC3B端子入力 1010 : 設定しないでください 1011 : 設定しないでください 1100 : GTETRG0端子入力 上記以外は設定しないでください	R/W

注1. 64/48ピン版では設定しないでください。

注2. 48ピン版の場合、出力端子はありませんが、要因として使用することが可能です。

GTSSRレジスタは、GPTn.GTCNTカウンタのカウンタスタートのハードウェア要因を設定するレジスタです。(n=0～3)

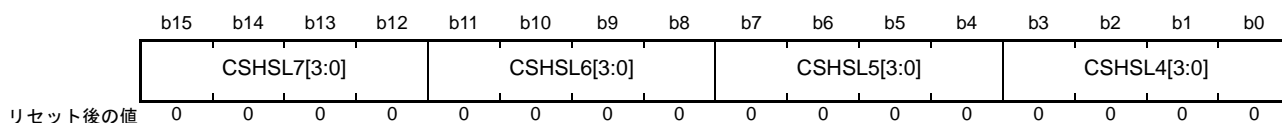
要因の変更はGTHSCR.CSHWn[1:0]ビットを“0”にしてから行ってください。

CSHSLn[3:0]ビット (GPTn.GTCNTハードウェアカウンタスタート要因選択ビット) (n=0～3)

GPTn.GTCNTカウンタのカウンタスタートのハードウェア要因を選択します。

ハードウェア要因として“1000b”を選択した場合、GPT3.GTIOR.GTIOA[5:0]ビットのb5 = “0”、GPT3.GTONCR.OAE = “0”と設定してください。ハードウェア要因として“1001b”を選択した場合、GPT3.GTIOR.GTIOB[5:0]ビットのb5 = “0”、GPT3.GTONCR.OBE = “0”と設定してください。

アドレス GPTB.GTHSSR 000C 2808h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CSHSL4[3:0]	GPT4.GTCNTハードウェアカウンタスタート要因選択ビット	b3 b0 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC7A端子入力 1001: GTIOC7B端子入力 1010: GTIOC7A内部出力 (注1) (アウトプットコンペア) 1011: GTIOC7B内部出力 (注1) (アウトプットコンペア) 1100: GTETRG1端子入力 上記以外は設定しないでください	R/W
b7-b4	CSHSL5[3:0]	GPT5.GTCNTハードウェアカウンタスタート要因選択ビット	b7 b4 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC7A端子入力 1001: GTIOC7B端子入力 1010: GTIOC7A内部出力 (注1) (アウトプットコンペア) 1011: GTIOC7B内部出力 (注1) (アウトプットコンペア) 1100: GTETRG1端子入力 上記以外は設定しないでください	R/W
b11-b8	CSHSL6[3:0]	GPT6.GTCNTハードウェアカウンタスタート要因選択ビット	b11 b8 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC7A端子入力 1001: GTIOC7B端子入力 1010: GTIOC7A内部出力 (注1) (アウトプットコンペア) 1011: GTIOC7B内部出力 (注1) (アウトプットコンペア) 1100: GTETRG1端子入力 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b15-b12	CSHSL7[3:0]	GPT7.GTCNTハードウェアカウンタスタート要因選択ビット	b15 b12 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC7A端子入力 1001: GTIOC7B端子入力 1010: 設定しないでください 1011: 設定しないでください 1100: GTETRG1端子入力 上記以外は設定しないでください	R/W

注1. 100ピン版の場合、出力端子はありませんが、要因として使用することが可能です。

GTHSSRレジスタは、GPTn.GTCNTカウンタのカウンタスタートのハードウェア要因を設定するレジスタです。(n=4～7)

要因の変更はGTHSCR.CSHWn[1:0]ビットを“0”にしてから行ってください。

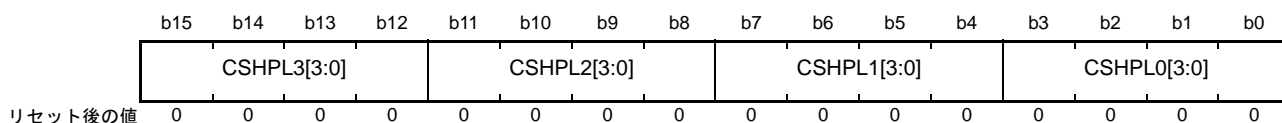
CSHSLn[3:0]ビット (GPTn.GTCNTハードウェアカウンタスタート要因選択ビット) (n=4～7)

GPTn.GTCNTカウンタのカウンタスタートのハードウェア要因を選択します。

ハードウェア要因として“1000b”を選択した場合、GPT7.GTIOR.GTIOA[5:0]ビットのb5 = “0”、GPT7.GTONCR.OAE = “0”と設定してください。ハードウェア要因として“1001b”を選択した場合、GPT7.GTIOR.GTIOB[5:0]ビットのb5 = “0”、GPT7.GTONCR.OBE = “0”と設定してください。

24.2.5 汎用PWMタイマハードウェアストップ・クリア要因セレクトレジスタ (GTHPSR)

アドレス GPT.GTHPSR 000C 200Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	CSHPL0[3:0]	GPT0.GTCNTハードウェアカウンタ ストップ・クリア要因選択ビット	b3 b0 0 0 0 0 : AN000用コンパレータ検出 0 0 0 1 : AN001用コンパレータ検出 0 0 1 0 : AN002用コンパレータ検出 0 0 1 1 : 設定しないでください 0 1 0 0 : AN100用コンパレータ検出 (注1) 0 1 0 1 : AN101用コンパレータ検出 (注1) 0 1 1 0 : AN102用コンパレータ検出 (注1) 0 1 1 1 : 設定しないでください 1 0 0 0 : GTIOC3A端子入力 1 0 0 1 : GTIOC3B端子入力 1 0 1 0 : GTIOC3A内部出力 (アウトプットコンペア) (注2) 1 0 1 1 : GTIOC3B内部出力 (アウトプットコンペア) (注2) 1 1 0 0 : GTETRGO端子入力 上記以外は設定しないでください	R/W
b7-b4	CSHPL1[3:0]	GPT1.GTCNTハードウェアカウンタ ストップ・クリア要因選択ビット	b7 b4 0 0 0 0 : AN000用コンパレータ検出 0 0 0 1 : AN001用コンパレータ検出 0 0 1 0 : AN002用コンパレータ検出 0 0 1 1 : 設定しないでください 0 1 0 0 : AN100用コンパレータ検出 (注1) 0 1 0 1 : AN101用コンパレータ検出 (注1) 0 1 1 0 : AN102用コンパレータ検出 (注1) 0 1 1 1 : 設定しないでください 1 0 0 0 : GTIOC3A端子入力 1 0 0 1 : GTIOC3B端子入力 1 0 1 0 : GTIOC3A内部出力 (アウトプットコンペア) (注2) 1 0 1 1 : GTIOC3B内部出力 (アウトプットコンペア) (注2) 1 1 0 0 : GTETRGO端子入力 上記以外は設定しないでください	R/W
b11-b8	CSHPL2[3:0]	GPT2.GTCNTハードウェアカウンタ ストップ・クリア要因選択ビット	b11 b8 0 0 0 0 : AN000用コンパレータ検出 0 0 0 1 : AN001用コンパレータ検出 0 0 1 0 : AN002用コンパレータ検出 0 0 1 1 : 設定しないでください 0 1 0 0 : AN100用コンパレータ検出 (注1) 0 1 0 1 : AN101用コンパレータ検出 (注1) 0 1 1 0 : AN102用コンパレータ検出 (注1) 0 1 1 1 : 設定しないでください 1 0 0 0 : GTIOC3A端子入力 1 0 0 1 : GTIOC3B端子入力 1 0 1 0 : GTIOC3A内部出力 (アウトプットコンペア) (注2) 1 0 1 1 : GTIOC3B内部出力 (アウトプットコンペア) (注2) 1 1 0 0 : GTETRGO端子入力 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b15-b12	CSHPL3[3:0]	GPT3.GTCNTハードウェアカウンタ ストップ・クリア要因選択ビット	b15 b12 0 0 0 0 : AN000用コンパレータ検出 0 0 0 1 : AN001用コンパレータ検出 0 0 1 0 : AN002用コンパレータ検出 0 0 1 1 : 設定しないでください 0 1 0 0 : AN100用コンパレータ検出 (注1) 0 1 0 1 : AN101用コンパレータ検出 (注1) 0 1 1 0 : AN102用コンパレータ検出 (注1) 0 1 1 1 : 設定しないでください 1 0 0 0 : GTIOC3A端子入力 1 0 0 1 : GTIOC3B端子入力 1 1 0 0 : GTETRG0端子入力 上記以外は設定しないでください	R/W

注1. 64/48ピン版では設定しないでください。

注2. 48ピン版の場合、出力端子はありませんが、要因として使用することが可能です。

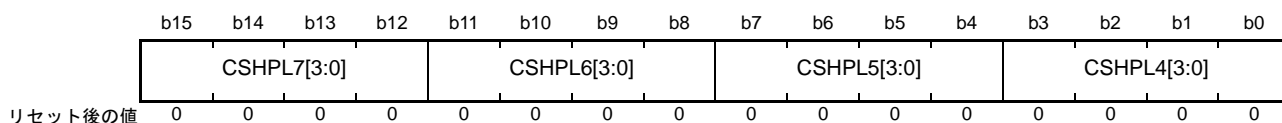
GTHPSRレジスタは、GPTn.GTCNTカウンタのカウンタストップ・クリアのハードウェア要因を設定するレジスタです。(n=0～3)

要因の変更はGTHSCR.CPHWn[1:0]ビット、GTHCCR.CCHWn[1:0]ビットを“0”にしてから行ってください。

CSHPLn[3:0]ビット (GPTn.GTCNTハードウェアカウンタストップ・クリア要因選択ビット) (n=0～3)

GPTn.GTCNTカウンタのカウンタストップ・クリアのハードウェア要因を選択します。

アドレス GPTB.GTHPSR 000C 280Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	CSHPL4[3:0]	GPT4.GTCNTハードウェアカウンタ ストップ・クリア要因選択ビット	b3 b0 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC7A端子入力 1001: GTIOC7B端子入力 1010: GTIOC7A内部出力 (アウトプットコンペア) (注1) 1011: GTIOC7B内部出力 (アウトプットコンペア) (注1) 1100: GTETRG1端子入力 上記以外は設定しないでください	R/W
b7-b4	CSHPL5[3:0]	GPT5.GTCNTハードウェアカウンタ ストップ・クリア要因選択ビット	b7 b4 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC7A端子入力 1001: GTIOC7B端子入力 1010: GTIOC7A内部出力 (アウトプットコンペア) (注1) 1011: GTIOC7B内部出力 (アウトプットコンペア) (注1) 1100: GTETRG1端子入力 上記以外は設定しないでください	R/W
b11-b8	CSHPL6[3:0]	GPT6.GTCNTハードウェアカウンタ ストップ・クリア要因選択ビット	b11 b8 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC7A端子入力 1001: GTIOC7B端子入力 1010: GTIOC7A内部出力 (アウトプットコンペア) (注1) 1011: GTIOC7B内部出力 (アウトプットコンペア) (注1) 1100: GTETRG1端子入力 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b15-b12	CSHPL7[3:0]	GPT7.GTCNTハードウェアカウンタ ストップ・クリア要因選択ビット	b15 b12 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC7A端子入力 1001: GTIOC7B端子入力 1100: GTETRG1端子入力 上記以外は設定しないでください	R/W

注1. 100ピン版の場合、出力端子はありませんが、要因として使用することが可能です。

GTHPSRレジスタは、GPTn.GTCNTカウンタのカウンタストップ・クリアのハードウェア要因を設定するレジスタです。(n=4~7)

要因の変更はGTHSCR.CPHWn[1:0]ビット、GTHCCR.CCHWn[1:0]ビットを“0”にしてから行ってください。

CSHPLn[3:0]ビット (GPTn.GTCNTハードウェアカウンタストップ・クリア要因選択ビット) (n=4~7)

GPTn.GTCNTカウンタのカウンタストップ・クリアのハードウェア要因を選択します。

24.2.6 汎用 PWM タイマ書き込み保護レジスタ (GTWP)

アドレス GPT.GTWP 000C 200Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	WP3	WP2	WP1	WP0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP0	GPT0レジスタ書き込み禁止ビット	0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
b1	WP1	GPT1レジスタ書き込み禁止ビット		R/W
b2	WP2	GPT2レジスタ書き込み禁止ビット		R/W
b3	WP3	GPT3レジスタ書き込み禁止ビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可/禁止するレジスタです。

GTWP レジスタの設定で、書き込み許可/禁止が反映されるレジスタは、「24.7.1 レジスタの書き込み保護」を参照してください。

WPn ビット (GPTn レジスタ書き込み禁止ビット) (n=0 ~ 3)

GPTn のレジスタへの書き込みの許可/禁止を選択します。

アドレス GPTB.GTWP 000C 280Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	WP7	WP6	WP5	WP4
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP4	GPT4レジスタ書き込み禁止ビット	0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
b1	WP5	GPT5レジスタ書き込み禁止ビット		R/W
b2	WP6	GPT6レジスタ書き込み禁止ビット		R/W
b3	WP7	GPT7レジスタ書き込み禁止ビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

WPn ビット (GPTn レジスタ書き込み禁止ビット) (n=4 ~ 7)

GPTn のレジスタへの書き込みの許可/禁止を選択します。

24.2.7 汎用PWMタイマシンクロレジスタ (GTSYNC)

アドレス GPT.GTSYNC 000C 200Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	SYNC3[1:0]	—	—	—	SYNC2[1:0]	—	—	—	—	SYNC1[1:0]	—	—	—	SYNC0[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SYNC0[1:0]	GPT0.GTCNTカウンタ同期クリア要因選択ビット	b1 b0 0 0 : GPT0のクリア要因でGPT0.GTCNTをクリア (同期クリアしない) 0 1 : GPT1のクリア要因でGPT0.GTCNTを同期クリア 1 0 : GPT2のクリア要因でGPT0.GTCNTを同期クリア 1 1 : GPT3のクリア要因でGPT0.GTCNTを同期クリア	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	SYNC1[1:0]	GPT1.GTCNTカウンタ同期クリア要因選択ビット	b5 b4 0 0 : GPT0のクリア要因でGPT1.GTCNTを同期クリア 0 1 : GPT1のクリア要因でGPT1.GTCNTをクリア (同期クリアしない) 1 0 : GPT2のクリア要因でGPT1.GTCNTを同期クリア 1 1 : GPT3のクリア要因でGPT1.GTCNTを同期クリア	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SYNC2[1:0]	GPT2.GTCNTカウンタ同期クリア要因選択ビット	b9 b8 0 0 : GPT0のクリア要因でGPT2.GTCNTを同期クリア 0 1 : GPT1のクリア要因でGPT2.GTCNTを同期クリア 1 0 : GPT2のクリア要因でGPT2.GTCNTをクリア (同期クリアしない) 1 1 : GPT3のクリア要因でGPT2.GTCNTを同期クリア	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	SYNC3[1:0]	GPT3.GTCNTカウンタ同期クリア要因選択ビット	b13 b12 0 0 : GPT0のクリア要因でGPT3.GTCNTを同期クリア 0 1 : GPT1のクリア要因でGPT3.GTCNTを同期クリア 1 0 : GPT2のクリア要因でGPT3.GTCNTを同期クリア 1 1 : GPT3のクリア要因でGPT3.GTCNTをクリア (同期クリアしない)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSYNC レジスタは、同期クリア/同期動作による GPTn.GTCNT カウンタのクリア要因を設定するレジスタです。書き込みはGPTn.GTCNT カウンタのカウンタ動作が停止した状態で行ってください。(n=0～3)

SYNCn[1:0] ビット (GPTn.GTCNT カウンタ同期クリア要因選択ビット) (n=0～3)

GPTn.GTCNT カウンタをどのチャンネルのカウンタのクリア要因でクリアするかを選択します。SYNCn[1:0] ビットを設定する場合は、先に GPTn.GTCR.CCLR[1:0] ビットを“11b” (同期クリア/同期動作をしている他のカウンタのクリア要因でクリア) にしてください。

アドレス GPTB.GTSYNC 000C 280Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	SYNC7[1:0]	—	—	—	SYNC6[1:0]	—	—	—	SYNC5[1:0]	—	—	—	SYNC4[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SYNC4[1:0]	GPT4.GTCNTカウンタ同期クリア要因選択ビット	b1 b0 0 0 : GPT4のクリア要因でGPT4.GTCNTをクリア (同期クリアしない) 0 1 : GPT5のクリア要因でGPT4.GTCNTを同期クリア 1 0 : GPT6のクリア要因でGPT4.GTCNTを同期クリア 1 1 : GPT7のクリア要因でGPT4.GTCNTを同期クリア	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	SYNC5[1:0]	GPT5.GTCNTカウンタ同期クリア要因選択ビット	b5 b4 0 0 : GPT4のクリア要因でGPT5.GTCNTを同期クリア 0 1 : GPT5のクリア要因でGPT5.GTCNTをクリア (同期クリアしない) 1 0 : GPT6のクリア要因でGPT5.GTCNTを同期クリア 1 1 : GPT7のクリア要因でGPT5.GTCNTを同期クリア	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SYNC6[1:0]	GPT6.GTCNTカウンタ同期クリア要因選択ビット	b9 b8 0 0 : GPT4のクリア要因でGPT6.GTCNTを同期クリア 0 1 : GPT5のクリア要因でGPT6.GTCNTを同期クリア 1 0 : GPT6のクリア要因でGPT6.GTCNTをクリア (同期クリアしない) 1 1 : GPT7のクリア要因でGPT6.GTCNTを同期クリア	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	SYNC7[1:0]	GPT7.GTCNTカウンタ同期クリア要因選択ビット	b13 b12 0 0 : GPT4のクリア要因でGPT7.GTCNTを同期クリア 0 1 : GPT5のクリア要因でGPT7.GTCNTを同期クリア 1 0 : GPT6のクリア要因でGPT7.GTCNTを同期クリア 1 1 : GPT7のクリア要因でGPT7.GTCNTをクリア (同期クリアしない)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSYNC レジスタは、同期クリア/同期動作による GPTn.GTCNT カウンタのクリア要因を設定するレジスタです。書き込みは GPTn.GTCNT カウンタのカウンタ動作が停止した状態で行ってください。(n=4 ~ 7)

SYNCn[1:0] ビット (GPTn.GTCNT カウンタ同期クリア要因選択ビット) (n=4 ~ 7)

GPTn.GTCNT カウンタをどのチャンネルのカウンタのクリア要因でクリアするかを選択します。SYNCn[1:0] ビットを設定する場合は、先に GPTn.GTCR.CCLR[1:0] ビットを“11b” (同期クリア/同期動作をしている他のカウンタのクリア要因でクリア) にしてください。

24.2.8 汎用 PWM タイマ外部トリガ入力割り込みレジスタ (GTETINT)

アドレス GPT.GTETINT 000C 2010h、GPTB.GTETINT 000C 2810h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ETINF	ETIPF	—	—	—	—	—	—	ETINEN	ETIPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ETIPEN	外部トリガ立ち上がり入力 割り込み要求許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b1	ETINEN	外部トリガ立ち下がり入力 割り込み要求許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ETIPF	外部トリガ立ち上がり入力 割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b9	ETINF	外部トリガ立ち下がり入力 割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグを“0”にするための“0”書き込みのみ可能です。ETIPFビットまたはETINFビットをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書き込んでください。

GPT.GTETINT レジスタは、外部トリガ入力端子 (GTETR0) による割り込みの許可/禁止を、GPTB.GTETINT レジスタは、外部トリガ入力端子 (GTETR1) による割り込みの許可/禁止を設定するレジスタです。また、割り込み要求は、LOCOI 割り込み要求として発生します。

ETIPEN ビット (外部トリガ立ち上がり入力割り込み要求許可ビット)

外部トリガ入力の立ち上がりエッジによる割り込み要求の許可/禁止を選択します。

ETINEN ビット (外部トリガ立ち下がり入力割り込み要求許可ビット)

外部トリガ入力の立ち下がりエッジによる割り込み要求の許可/禁止を選択します。

ETIPF フラグ (外部トリガ立ち上がり入力割り込み要求フラグ)

外部トリガ入力の立ち上がりエッジによる割り込み要求のフラグです。

["1"になる条件]

- 外部トリガ入力の立ち上がりエッジを検出したとき

["0"になる条件]

- ETIPF フラグに“0”を書いたとき

ETINF フラグ (外部トリガ立ち下がり入力割り込み要求フラグ)

外部トリガ入力の立ち下がりエッジによる割り込み要求のフラグです。

["1"になる条件]

- 外部トリガ入力の立ち下がりエッジを検出したとき

["0"になる条件]

- ETINF フラグに“0”を書いたとき

24.2.9 汎用 PWM タイマバッファ動作禁止レジスタ (GTBDR)

アドレス GPT.GTBDR 000C 2014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BD3[3]	BD3[2]	BD3[1]	BD3[0]	BD2[3]	BD2[2]	BD2[1]	BD2[0]	BD1[3]	BD1[2]	BD1[1]	BD1[0]	BD0[3]	BD0[2]	BD0[1]	BD0[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD0[0]	GPT0.GTCCR バッファ動作禁止ビット	0 : バッファ動作許可 1 : バッファ動作禁止	R/W
b1	BD0[1]	GPT0.GTPR バッファ動作禁止ビット		R/W
b2	BD0[2]	GPT0.GTADTR バッファ動作禁止ビット		R/W
b3	BD0[3]	GPT0.GTDV バッファ動作禁止ビット		R/W
b4	BD1[0]	GPT1.GTCCR バッファ動作禁止ビット		R/W
b5	BD1[1]	GPT1.GTPR バッファ動作禁止ビット		R/W
b6	BD1[2]	GPT1.GTADTR バッファ動作禁止ビット		R/W
b7	BD1[3]	GPT1.GTDV バッファ動作禁止ビット		R/W
b8	BD2[0]	GPT2.GTCCR バッファ動作禁止ビット		R/W
b9	BD2[1]	GPT2.GTPR バッファ動作禁止ビット		R/W
b10	BD2[2]	GPT2.GTADTR バッファ動作禁止ビット		R/W
b11	BD2[3]	GPT2.GTDV バッファ動作禁止ビット		R/W
b12	BD3[0]	GPT3.GTCCR バッファ動作禁止ビット		R/W
b13	BD3[1]	GPT3.GTPR バッファ動作禁止ビット		R/W
b14	BD3[2]	GPT3.GTADTR バッファ動作禁止ビット		R/W
b15	BD3[3]	GPT3.GTDV バッファ動作禁止ビット		R/W

GTBDR レジスタは、各チャネルのバッファ動作の許可/禁止を一括して設定するレジスタです。GTBDR レジスタの各ビットを“0”（バッファ動作許可）にしても、GTBER レジスタでバッファ動作を有効にしなければバッファ動作は行いません。

BDn[0] ビット (GPTn.GTCCR バッファ動作禁止ビット) (n=0 ~ 3)

GPTn の GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GPTn の GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

BDn[1] ビット (GPTn.GTPR バッファ動作禁止ビット) (n=0 ~ 3)

GPTn の GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

BDn[2] ビット (GPTn.GTADTR バッファ動作禁止ビット) (n=0 ~ 3)

GPTn の GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GPTn の GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。

BDn[3] ビット (GPTn.GTDV バッファ動作禁止ビット) (n=0 ~ 3)

GPTn の GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作、および GPTn の GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を禁止します。

アドレス GPTB.GTBDR 000C 2814h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BD7[3]	BD7[2]	BD7[1]	BD7[0]	BD6[3]	BD6[2]	BD6[1]	BD6[0]	BD5[3]	BD5[2]	BD5[1]	BD5[0]	BD4[3]	BD4[2]	BD4[1]	BD4[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD4[0]	GPT4.GTCCRバッファ動作禁止ビット	0 : バッファ動作許可 1 : バッファ動作禁止	R/W
b1	BD4[1]	GPT4.GTPRバッファ動作禁止ビット		R/W
b2	BD4[2]	GPT4.GTADTRバッファ動作禁止ビット		R/W
b3	BD4[3]	GPT4.GTDVバッファ動作禁止ビット		R/W
b4	BD5[0]	GPT5.GTCCRバッファ動作禁止ビット		R/W
b5	BD5[1]	GPT5.GTPRバッファ動作禁止ビット		R/W
b6	BD5[2]	GPT5.GTADTRバッファ動作禁止ビット		R/W
b7	BD5[3]	GPT5.GTDVバッファ動作禁止ビット		R/W
b8	BD6[0]	GPT6.GTCCRバッファ動作禁止ビット		R/W
b9	BD6[1]	GPT6.GTPRバッファ動作禁止ビット		R/W
b10	BD6[2]	GPT6.GTADTRバッファ動作禁止ビット		R/W
b11	BD6[3]	GPT6.GTDVバッファ動作禁止ビット		R/W
b12	BD7[0]	GPT7.GTCCRバッファ動作禁止ビット		R/W
b13	BD7[1]	GPT7.GTPRバッファ動作禁止ビット		R/W
b14	BD7[2]	GPT7.GTADTRバッファ動作禁止ビット		R/W
b15	BD7[3]	GPT7.GTDVバッファ動作禁止ビット		R/W

GTBDR レジスタは、各チャネルのバッファ動作の許可/禁止を一括して設定するレジスタです。GTBDR レジスタの各ビットを“0”（バッファ動作許可）にしても、GTBER レジスタでバッファ動作を有効にしなければバッファ動作は行いません。

BDn[0] ビット (GPTn.GTCCR バッファ動作禁止ビット) (n=4 ~ 7)

GPTn の GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GPTn の GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

BDn[1] ビット (GPTn.GTPR バッファ動作禁止ビット) (n=4 ~ 7)

GPTn の GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

BDn[2] ビット (GPTn.GTADTR バッファ動作禁止ビット) (n=4 ~ 7)

GPTn の GTADTRA レジスタと GTADTBRA レジスタと GTADTDTRA レジスタを組み合わせたバッファ動作、および GPTn の GTADTRB レジスタと GTADTBRB レジスタと GTADTDTRB レジスタを組み合わせたバッファ動作を禁止します。

BDn[3] ビット (GPTn.GTDV バッファ動作禁止ビット) (n=4 ~ 7)

GPTn の GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作、および GPTn の GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を禁止します。

24.2.10 汎用 PWM タイマスタート書き込み保護レジスタ (GTSWP)

アドレス GPT.GTSWP 000C 2018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SWP3	SWP2	SWP1	SWP0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWP0	GTSTR.CST0ビット書き込み禁止ビット	0: レジスタへの書き込み許可 1: レジスタへの書き込み禁止	R/W
b1	SWP1	GTSTR.CST1ビット書き込み禁止ビット		R/W
b2	SWP2	GTSTR.CST2ビット書き込み禁止ビット		R/W
b3	SWP3	GTSTR.CST3ビット書き込み禁止ビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSWP レジスタは、誤書き込みを防ぐため GTSTR レジスタへの書き込み許可 / 禁止するレジスタです。

SWPn ビット (GTSTR.CSTn ビット書き込み禁止ビット) (n=0 ~ 3)

GTSTR.CSTn ビットへの書き込みを許可 / 禁止します。

禁止に設定した場合、GTSTR.CSTn ビットへの書き込みは無視されます。

ただし、GTHSCR レジスタでハードウェア要因によるカウンタの動作 / 停止を設定している場合、SWPn ビットの設定により GTSTR.CSTn ビットへの書き込みが禁止されていても、ハードウェア要因によるカウンタの動作 / 停止の状態は GTSTR.CSTn ビットに書き込まれます。

アドレス GPTB.GTSWP 000C 2818h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SWP7	SWP6	SWP5	SWP4
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWP4	GTSTR.CST4ビット書き込み禁止ビット	0: レジスタへの書き込み許可 1: レジスタへの書き込み禁止	R/W
b1	SWP5	GTSTR.CST5ビット書き込み禁止ビット		R/W
b2	SWP6	GTSTR.CST6ビット書き込み禁止ビット		R/W
b3	SWP7	GTSTR.CST7ビット書き込み禁止ビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSWP レジスタは、誤書き込みを防ぐため GTSTR レジスタへの書き込み許可 / 禁止するレジスタです。

SWPn ビット (GTSTR.CSTn ビット書き込み禁止ビット) (n=4 ~ 7)

GTSTR.CSTn ビットへの書き込みを許可 / 禁止します。

禁止に設定した場合、GTSTR.CSTn ビットへの書き込みは無視されます。

ただし、GTHSCR レジスタでハードウェア要因によるカウンタの動作 / 停止を設定している場合、SWPn ビットの設定により GTSTR.CSTn ビットへの書き込みが禁止されていても、ハードウェア要因によるカウンタの動作 / 停止の状態は GTSTR.CSTn ビットに書き込まれます。

24.2.11 LOCO カウントコントロールレジスタ (LCCR)

アドレス GPT.LCCR 000C 2080h、GPTB.LCCR 000C 2880h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
LPSC[1:0]	TPSC[1:0]	LCNTA T	LCTO[2:0]	—	LCINT O	LCINT D	LCINT C	—	LCNTS	LCNTC R	LCNTE				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCNTE	カウント機能許可ビット	0 : カウント機能停止 1 : カウント機能動作	R/W
b1	LCNTCR	カウント値クリアビット	“1”を書くとLCNTレジスタを“0”にします。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます	R/W
b2	LCNTS	カウント値セットビット	“1”を書くとLCNT01～LCNT15レジスタにLCNT00レジスタの値をセットします。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます。	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	LCINTC	IWDTCLK分周クロック立ち上がり 割り込み許可ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b5	LCINTD	カウント値偏差越え割り込み 許可ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b6	LCINTO	LCNTオーバフロー割り込み許可 ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	LCTO[2:0]	IWDTCLK分周クロック立ち上がり 割り込み間引き回数設定ビット	b10 b8 0 0 0 : 間引かない 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : 間引き回数 7 (8回に1回カウント) 1 0 1 : 間引き回数 15 (16回に1回カウント) 1 1 0 : 間引き回数 127 (128回に1回カウント) 1 1 1 : 間引き回数 255 (256回に1回カウント)	R/W
b11	LCNTAT	カウント結果間引き設定ビット	0 : 間引かない 1 : 間引く	R/W
b13-b12	TPSC[1:0]	カウントクロック選択ビット	b13 b12 0 0 : PCLKA (タイマモジュールクロック) 0 1 : PCLKA/2 (タイマモジュールクロック/2) 1 0 : PCLKA/4 (タイマモジュールクロック/4) 1 1 : PCLKA/8 (タイマモジュールクロック/8)	R/W
b15-b14	LPSC[1:0]	IWDTCLK分周クロック選択ビット	b15 b14 0 0 : 1 0 1 : 1/16 1 0 : 1/128 1 1 : 1/256	R/W

LCCR レジスタは、IWDT 専用オンチップオシレータのカウント機能を設定するレジスタです。カウント機能を使用する場合は、独立ウォッチドッグタイマ (IWDT) も動作させてください。

LCNTE ビット (カウント機能許可ビット)

カウント機能を動作/停止します。

LCNTCR ビット (カウント値クリアビット)

LCNT レジスタを“0”にします。

“1”を書くとカウント値を“0”にします。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます。

LCNTS ビット (カウント値セットビット)

LCNT01 ~ LCNT15 レジスタに LCNT00 レジスタの値をセットします。“1”を書くと LCNT01 ~ LCNT15 レジスタに LCNT00 レジスタの値をセットします。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます。

LCINTC ビット (IWDTCCLK 分周クロック立ち上がり割り込み許可ビット)

IWDTCCLK 分周クロックの立ち上がりによる割り込みを許可/禁止します。割り込み要求は、LOCOI 割り込み要求として発生します。

LCINTD ビット (カウント値偏差越え割り込み許可ビット)

カウント値の偏差超えによる割り込みを許可/禁止します。割り込み要求は、LOCOI 割り込み要求として発生します。

LCINTO ビット (LCNT オーバフロー割り込み許可ビット)

LCNT カウンタのオーバフローによる割り込みを許可/禁止します。割り込み要求は、LOCOI 割り込み要求として発生します。

LCTO[2:0] ビット (IWDTCCLK 分周クロック立ち上がり割り込み間引き回数設定ビット)

IWDTCCLK 分周クロック立ち上がり割り込みの間引き回数を設定します。

LCNTAT ビット (カウント結果間引き設定ビット)

カウント結果の LCNT_n (n=00 ~ 15) への転送タイミングを、LCTO[2:0] ビットで設定された回数分、間引くかどうかを設定します。

TPSC[1:0] ビット (カウントクロック選択ビット)

IWDTCCLK 分周クロックをカウントするクロック (LCNT 動作クロック) を選択します。

LPSC[1:0] ビット (IWDTCCLK 分周クロック選択ビット)

IWDTCCLK 分周クロックの分周率を選択します。

LCCR.LPSC[1:0] ビットで選択する IWDTCCLK 分周クロックの分周比と、独立ウォッチドッグタイマ (IWDTC) の IWDTCR レジスタの CKS[3:0] ビットで選択する IWDTCCLK の分周比の関係が以下となるようにしてください。

LCCR.LPSC.LPSC[1:0] ビットで選択した分周比 ≤ IWDTCR.CKS[3:0] ビットで選択した分周比

24.2.12 LOCO カウントステータスレジスタ (LCST)

アドレス GPT.LCST 000C 2082h, GPTB.LCST 000C 2882h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	LISO	LISD	LISC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LISC	IWDTCLK分周クロック立ち上がり割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b1	LISD	IWDTCLKカウント値偏差超え割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b2	LISO	LCNTオーバフロー割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b15-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。LISCビット、LISDビットまたはLISOビットをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書き込んでください。

IWDTCLK 分周クロックのカウント状態を示すレジスタです。

LISC フラグ (IWDTCLK 分周クロック立ち上がり割り込み要求フラグ)

IWDTCLK 分周クロックの立ち上がりによる割り込み要求のフラグです。フラグをクリアするまではIWDTCLK 分周クロックの立ち上がりによる次の割り込み要求は発生しません。

["1"になる条件]

- LCCR.LCINTC=1 の状態で、IWDTCLK 分周クロックが立ち上がったとき

["0"になる条件]

- LISC フラグに“0”を書いたとき

LISD フラグ (IWDTCLK カウント値偏差超え割り込み要求フラグ)

IWDTCLK カウント値の偏差超えによる割り込み要求のフラグです。フラグを“0”にするまではIWDTCLK カウント値の偏差超えによる次の割り込み要求は発生しません。

["1"になる条件]

- LCCR.LCINTD=1 の状態で、IWDTCLK カウント値に偏差超えが発生したとき

["0"になる条件]

- LISD フラグに“0”を書いたとき

LISO フラグ (LCNT オーバフロー割り込み要求フラグ)

LCNT カウンタのオーバフローによる割り込み要求のフラグです。フラグを“0”にするまではLCNT カウンタのオーバフローによる次の割り込み要求は発生しません。

["1"になる条件]

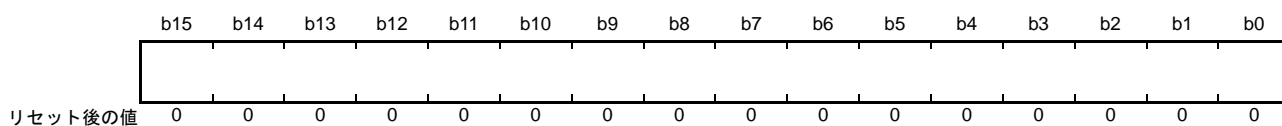
- LCCR.LCINTO=1 の状態で、LCNT カウンタがオーバフローしたとき

["0"になる条件]

- LISO フラグに“0”を書いたとき

24.2.13 LOCO カウント値レジスタ (LCNT)

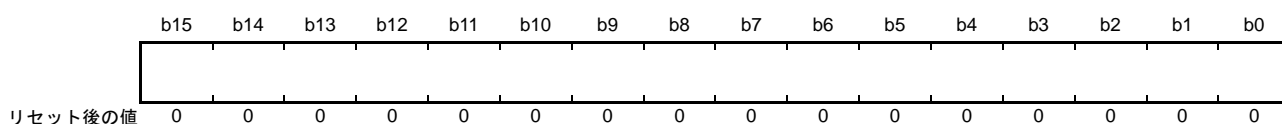
アドレス GPT.LCNT 000C 2084h、GPTB.LCNT 000C 2884h



LCNT カウンタは、IWDTCLK 分周クロックをカウントするカウンタです。LCNT カウンタは、読み出しのみ可能です。

24.2.14 LOCO カウント結果平均レジスタ (LCNTA)

アドレス GPT.LCNTA 000C 2086h、GPTB.LCNTA 000C 2886h

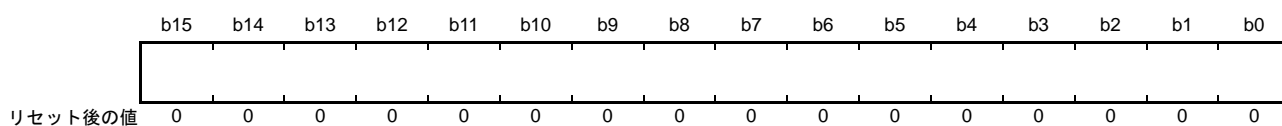


LCNTA レジスタは、IWDTCLK 分周クロックをカウントした結果 (LCNT00 ~ LCNT15) の平均値を示します。LCNTA レジスタは、読み出しのみ可能です。

24.2.15 LOCO カウント結果レジスタ n (LCNTn) (n=00 ~ 15)

- LCNTn (n=00 ~ 15)

アドレス
 GPT.LCNT00 000C 2088h、GPT.LCNT01 000C 208Ah、GPT.LCNT02 000C 208Ch、GPT.LCNT03 000C 208Eh
 GPT.LCNT04 000C 2090h、GPT.LCNT05 000C 2092h、GPT.LCNT06 000C 2094h、GPT.LCNT07 000C 2096h
 GPT.LCNT08 000C 2098h、GPT.LCNT09 000C 209Ah、GPT.LCNT10 000C 209Ch、GPT.LCNT11 000C 209Eh
 GPT.LCNT12 000C 20A0h、GPT.LCNT13 000C 20A2h、GPT.LCNT14 000C 20A4h、GPT.LCNT15 000C 20A6h
 GPTB.LCNT00 000C 2888h、GPTB.LCNT01 000C 288Ah、GPTB.LCNT02 000C 288Ch、GPTB.LCNT03 000C 288Eh
 GPTB.LCNT04 000C 2890h、GPTB.LCNT05 000C 2892h、GPTB.LCNT06 000C 2894h、GPTB.LCNT07 000C 2896h
 GPTB.LCNT08 000C 2898h、GPTB.LCNT09 000C 289Ah、GPTB.LCNT10 000C 289Ch、GPTB.LCNT11 000C 289Eh
 GPTB.LCNT12 000C 28A0h、GPTB.LCNT13 000C 28A2h、GPTB.LCNT14 000C 28A4h、GPTB.LCNT15 000C 28A6h

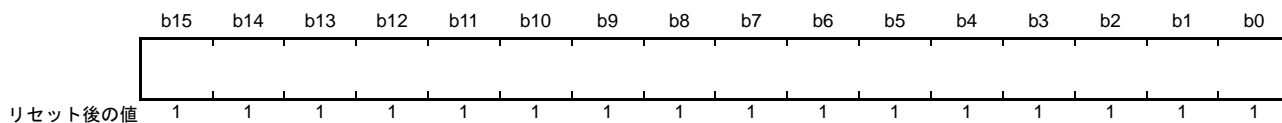


LCNTn レジスタは、IWDTCLK 分周クロックをカウントした結果を示すレジスタです。カウント停止 (LCCR.LCNTE ビット="0") のときのみ書き込み可能です。

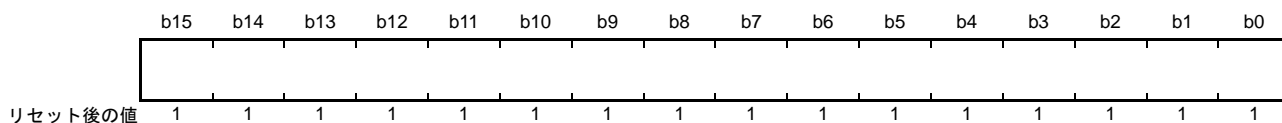
LCNT00 レジスタのカウント値が最新結果です。

24.2.16 LOCO カウント上限/下限許容偏差値レジスタ (LCNTDU、LCNTDL)

アドレス GPT.LCNTDU 000C 20A8h、GPTB.LCNTDU 000C 28A8h



アドレス GPT.LCNTDL 000C 20AAh、GPTB.LCNTDL 000C 28AAh

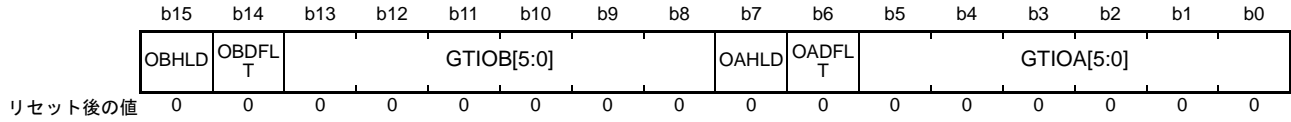


LCNTDU レジスタ、LCNTDL レジスタは、IWDTCLK 分周クロックをカウントした値の許容偏差を設定するレジスタです。

LCNT00 レジスタの値が、許容値の上限 (LCNTA + LCNTDU) を上回った場合、または許容値の下限 (LCNTA - LCNTDL) を下回った場合に、IWDTCLK カウント値偏差超え割り込み要求が発生します。

24.2.17 汎用PWMタイマ I/O コントロールレジスタ (GTIOR)

アドレス GPT0.GTIOR 000C 2100h、GPT1.GTIOR 000C 2180h、GPT2.GTIOR 000C 2200h、GPT3.GTIOR 000C 2280h
GPT4.GTIOR 000C 2900h、GPT5.GTIOR 000C 2980h、GPT6.GTIOR 000C 2A00h、GPT7.GTIOR 000C 2A80h



ビット	シンボル	ビット名	機能	R/W
b5-b0	GTIOA[5:0]	GTIOCnA 端子機能選択ビット	表 24.5 を参照してください。	R/W
b6	OADFLT	GTIOCnA 端子カウント停止時の出力値ビット	0 : カウント停止時に GTIOCnA 端子から Low を出力 1 : カウント停止時に GTIOCnA 端子から High を出力	R/W
b7	OAHL	GTIOCnA 端子カウント開始停止時の出力保持ビット	0 : カウント開始/停止時の GTIOCnA 端子の出力レベルは、レジスタ設定値に従う 1 : カウント開始/停止時に GTIOCnA 端子の出力レベルを保持する	R/W
b13-b8	GTIOB[5:0]	GTIOCnB 端子機能選択ビット	表 24.5 を参照してください。	R/W
b14	OBDFLT	GTIOCnB 端子カウント停止時の出力値ビット	0 : カウント停止時に GTIOCnB 端子から Low を出力 1 : カウント停止時に GTIOCnB 端子から High を出力	R/W
b15	OBHLD	GTIOCnB 端子カウント開始停止時の出力保持ビット	0 : カウント開始/停止時の GTIOCnB 端子の出力レベルは、レジスタ設定値に従う 1 : カウント開始/停止時に GTIOCnB 端子の出力レベルを保持する	R/W

注1. (n=0~7)

GPTn.GTIOR レジスタは、GTIOCnA、GTIOCnB 端子の機能を設定するレジスタです (n=0~7)。
GPTn.GTIOR レジスタは、各チャンネルに 1 本あります。GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTIOR レジスタへの書き込みは無視されます (n=0~7)。

GTIOA[5:0] ビット (GTIOCnA 端子機能選択ビット)

GTIOCnA 端子の機能を選択します。詳細は、表 24.5 を参照してください。

OADFLT ビット (GTIOCnA 端子カウント停止時の出力値ビット)

カウント停止時に、GTIOCnA 端子から Low を出力するか、High を出力するかを設定します。

OAHL ビット (GTIOCnA 端子カウント開始停止時の出力保持ビット)

カウント開始/停止時に、GTIOCnA 端子の出力レベルを保持するか、レジスタ設定値に従うかを設定します。

[OAHL ビットを“0”にした場合]

- カウント開始時に、GTIOR レジスタのビット 4 で指定した値を出力します
- カウント停止時に、OADFLT ビットで指定した値を出力します
- カウント停止中に OADFLT ビットの値を変更した場合は、ただちに出力に反映されます

[OAHL ビットを“1”にした場合]

- カウント開始/停止時に出力を保持します

GTIOB[5:0] ビット (GTIOCnB 端子機能選択ビット)

GTIOCnB 端子の機能を選択します。詳細は、表 24.5 を参照してください。

OBDFLT ビット (GTIOCNB 端子カウント停止時の出力値ビット)

カウント停止時に、GTIOCNB 端子から Low を出力するか、High を出力するかを設定します。

OBHLD ビット (GTIOCNB 端子カウント開始停止時の出力保持ビット)

カウント開始/停止時に、GTIOCNB 端子の出力レベルを保持するか、レジスタ設定値に従うかを設定します。

[OBHLD ビットを“0”にした場合]

- カウント開始時に、GTIOR レジスタのビット 4 で指定した値を出力します
- カウント停止時に、OBDFLT ビットで指定した値を出力します
- カウント停止中に OBDFLT ビットの値を変更した場合は、ただちに出力に反映されます

[OBHLD ビットを“1”にした場合]

- カウント開始/停止時に出力を保持します

表24.5 GTIOA[5:0]ビット (GTIOB[5:0]ビット) の設定 (1 / 2)

GTIOA/B[5:0]ビット						機能				
b5	b4	b3	b2	b1	b0	b5	b4	b3-b2	b1-b0	
0	0	0	0	0	0	コンペアマッチ	初期出力"Low"	周期の終わりで出力保持	GPTn.GTCCRA/Bのコンペアマッチで出力保持	
0	0	0	0	0	1				GPTn.GTCCRA/Bのコンペアマッチで"Low"出力	
0	0	0	0	1	0				GPTn.GTCCRA/Bのコンペアマッチで"High"出力	
0	0	0	0	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力	
0	0	0	1	0	0			周期の終わりで"Low"出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持	
0	0	0	1	0	1				GPTn.GTCCRA/Bのコンペアマッチで"Low"出力	
0	0	0	1	1	0				GPTn.GTCCRA/Bのコンペアマッチで"High"出力	
0	0	0	1	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力	
0	0	1	0	0	0			周期の終わりで"High"出力	周期の終わりで"High"出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	0	1	0	0	1					GPTn.GTCCRA/Bのコンペアマッチで"Low"出力
0	0	1	0	1	0		GPTn.GTCCRA/Bのコンペアマッチで"High"出力			
0	0	1	0	1	1		GPTn.GTCCRA/Bのコンペアマッチでトグル出力			
0	0	1	1	0	0		周期の終わりでトグル出力		GPTn.GTCCRA/Bのコンペアマッチで出力保持	
0	0	1	1	0	1				GPTn.GTCCRA/Bのコンペアマッチで"Low"出力	
0	0	1	1	1	0				GPTn.GTCCRA/Bのコンペアマッチで"High"出力	
0	0	1	1	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力	
0	1	0	0	0	0		初期出力"High"	周期の終わりで出力保持	GPTn.GTCCRA/Bのコンペアマッチで出力保持	
0	1	0	0	0	1				GPTn.GTCCRA/Bのコンペアマッチで"Low"出力	
0	1	0	0	1	0				GPTn.GTCCRA/Bのコンペアマッチで"High"出力	
0	1	0	0	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力	
0	1	0	1	0	0	周期の終わりで"Low"出力		GPTn.GTCCRA/Bのコンペアマッチで出力保持		
0	1	0	1	0	1			GPTn.GTCCRA/Bのコンペアマッチで"Low"出力		

表24.5 GTIOA[5:0]ビット (GTIOB[5:0]ビット) の設定 (2 / 2)

GTIOA/B[5:0]ビット						機能			
b5	b4	b3	b2	b1	b0	b5	b4	b3-b2	b1-b0
0	1	0	1	1	0	コンペアマッチ	初期出力"High"	周期の終わりで"Low"出力	GPTn.GTCCRA/Bのコンペアマッチで"High"出力
0	1	0	1	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	1	1	0	0	0			周期の終わりで"High"出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	1	1	0	0	1				GPTn.GTCCRA/Bのコンペアマッチで"Low"出力
0	1	1	0	1	0				GPTn.GTCCRA/Bのコンペアマッチで"High"出力
0	1	1	0	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	1	1	1	0	0			周期の終わりでトグル出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	1	1	1	0	1				GPTn.GTCCRA/Bのコンペアマッチで"Low"出力
0	1	1	1	1	0				GPTn.GTCCRA/Bのコンペアマッチで"High"出力
0	1	1	1	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
1	x	x	x	0	0	インプットキャプチャ	don't care		立ち上がりエッジでインプットキャプチャ
1	x	x	x	0	1				立ち下がりエッジでインプットキャプチャ
1	x	x	x	1	0				両エッジでインプットキャプチャ
1	x	x	x	1	1				

注. x : don't care

注1. 周期の終わりとは、のこぎり波のときはオーバフロー（アップカウント動作時のGTCNT=GTPR）またはアンダフロー（ダウンカウント動作時のGTCNT=0）、三角波のときは谷（GTCNT=0）を示します。

注2. コンペアマッチ動作時、周期の終わりとGTCCRA/Bレジスタのコンペアマッチのタイミングが一致する場合、のこぎり波PWMモードではb3-b2の設定が優先され、それ以外のモードではb1-b0の設定が優先されます。

注3. GTIORレジスタでコンペアマッチに設定しただけでは、端子には出力されません。別途、GTONCRレジスタの設定が必要です。

24.2.18 汎用PWM タイマ割り込み出力設定レジスタ (GTINTAD)

アドレス GPT0.GTINTAD 000C 2102h、GPT1.GTINTAD 000C 2182h、GPT2.GTINTAD 000C 2202h、GPT3.GTINTAD 000C 2282h
GPT4.GTINTAD 000C 2902h、GPT5.GTINTAD 000C 2982h、GPT6.GTINTAD 000C 2A02h、GPT7.GTINTAD 000C 2A82h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADTRB DEN	ADTRB UEN	ADTRA DEN	ADTRA UEN	EINT	—	—	—	GTINTPR[1:0]	GTINT F	GTINT E	GTINT D	GTINT C	GTINT B	GTINT A	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GTINTA	GTCCRAコンペアマッチ/インプットキャプチャ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b1	GTINTB	GTCCRBコンペアマッチ/インプットキャプチャ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b2	GTINTC	GTCCRCコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b3	GTINTD	GTCCRDコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b4	GTINTE	GTCCREコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b5	GTINTF	GTCCRFコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b7-b6	GTINTPR[1:0]	GTTPRコンペアマッチ割り込み許可ビット	b7 b6 0 0: 割り込み要求を禁止 0 1: のこぎり波のときにオーバフロー、三角波のときに(山)で割り込み要求を許可 1 0: のこぎり波のときにアンダフロー、三角波のときに(谷)で割り込み要求を許可 1 1: のこぎり波のときにオーバフロー/アンダフロー両方、三角波のときに(山/谷)両方で割り込み要求を許可	R/W
b10-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	EINT	デッドタイムエラー割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b12	ADTRAUEN	GTADTRAコンペアマッチ (アップカウント) A/D変換開始要求許可ビット	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b13	ADTRA DEN	GTADTRAコンペアマッチ (ダウンカウント) A/D変換開始要求許可ビット	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b14	ADTRBUEN	GTADTRBコンペアマッチ (アップカウント) A/D変換開始要求許可ビット	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b15	ADTRBDEN	GTADTRBコンペアマッチ (ダウンカウント) A/D変換開始要求許可ビット	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W

GTINTAD レジスタは、割り込み要求、および A/D 変換開始要求の許可/禁止を設定するレジスタです。GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTINTAD レジスタへの書き込みは無視されません (n=0~7)。

GTINTA ビット (GTCCRA コンペアマッチ/インプットキャプチャ割り込み許可ビット)

GTCCRA レジスタのコンペアマッチ/インプットキャプチャによる割り込み要求 (GTCIA) を許可/禁止します。

GTINTB ビット (GTCCRB コンペアマッチ/インプットキャプチャ割り込み許可ビット)

GTCCRB レジスタのコンペアマッチ/インプットキャプチャによる割り込み要求 (GTCIB) を許可/禁

止します。

GTINTC ビット (GTCCRC コンペアマッチ割り込み許可ビット)

GTCCRC レジスタのコンペアマッチによる割り込み要求 (GTCIC) を許可/禁止します。

GTINTD ビット (GTCCRD コンペアマッチ割り込み許可ビット)

GTCCRD レジスタのコンペアマッチによる割り込み要求 (GTCID) を許可/禁止します。割り込み要求は GTCIC 割り込みとして発生します。

GTINTE ビット (GTCCRE コンペアマッチ割り込み許可ビット)

GTCCRE レジスタのコンペアマッチによる割り込み要求 (GTCIE) を許可/禁止します。

GTINTF ビット (GTCCRF コンペアマッチ割り込み許可ビット)

GTCCRF レジスタのコンペアマッチによる割り込み要求 (GTCIF) を許可/禁止します。割り込み要求は GTCIE 割り込みとして発生します。

GTINTPR[1:0] ビット (GTPR コンペアマッチ割り込み許可ビット)

GTPR レジスタのコンペアマッチ (GTCNT カウンタのオーバフロー) / GTCNT カウンタのアンダフローによる割り込み要求 (GTCIV) を許可/禁止します。

EINT ビット (デッドタイムエラー割り込み許可ビット)

デッドタイムエラー発生による割り込み要求 (GTCIC) を許可/禁止します。割り込み要求は GTCIC 割り込みとして発生します。

ADTRAUEN (GTADTRA コンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがアップカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可/禁止します。

ADTRADEN (GTADTRA コンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがダウンカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可/禁止します。

ADTRBUEN (GTADTRB コンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

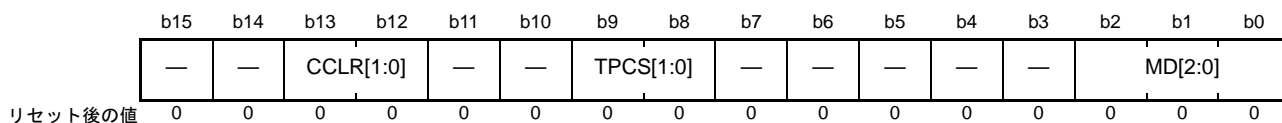
GTCNT カウンタがアップカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可/禁止します。

ADTRBDEN (GTADTRB コンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがダウンカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可/禁止します。

24.2.19 汎用 PWM タイマコントロールレジスタ (GTCR)

アドレス GPT0.GTCR 000C 2104h、GPT1.GTCR 000C 2184h、GPT2.GTCR 000C 2204h、GPT3.GTCR 000C 2284h
GPT4.GTCR 000C 2904h、GPT5.GTCR 000C 2984h、GPT6.GTCR 000C 2A04h、GPT7.GTCR 000C 2A84h



ビット	シンボル	ビット名	機能	R/W
b2-b0	MD[2:0]	モード選択ビット	b2 b0 000: のこぎり波PWMモード (シングル/ダブルバッファ可) 001: のこぎり波ワンショットパルスモード (バッファ動作固定) 010: 設定しないでください 011: 設定しないでください 100: 三角波PWM モード1 (谷 16ビット転送) (シングル/ダブルバッファ可) 101: 三角波PWM モード2 (山/谷 16ビット転送) (シングル/ダブルバッファ可) 110: 三角波PWM モード3 (谷 32ビット転送) (バッファ動作固定) 111: 設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	TPCS[1:0]	タイマプリスケーラ選択ビット	b9 b8 00: PCLKA (タイマモジュールクロック) 01: PCLKA/2 (タイマモジュールクロック/2) 10: PCLKA/4 (タイマモジュールクロック/4) 11: PCLKA/8 (タイマモジュールクロック/8)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	CCLR[1:0]	カウンタクリア要因選択ビット	b13 b12 00: 下記要因を設定しない 01: GTCRAレジスタのインプットキャプチャでクリア 10: GTCRBレジスタのインプットキャプチャでクリア 11: 同期クリア/同期動作をしている他のカウンタクリア要因でクリア	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

GTCR レジスタの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTCR レジスタへの書き込みは無視されま
す (n=0 ~ 7)

MD[2:0] ビット (モード選択ビット)

GPT の動作モードを選択します。

TPCS[1:0] ビット (タイマプリスケーラ選択ビット)

GTCNT カウンタのクロックを選択します。各チャンネル独立にクロックソースを選択することができます。

CCLR[1:0] ビット (カウンタクリア要因選択ビット)

GTCNT カウンタのクリア要因を選択します。

同期クリアを選択すると、のこぎり波の場合は、同期クリアを自身のオーバフロー／アンダフローによるクリアと同等として扱い、端子出力／バッファ転送を行います。オーバーフローフラグ／アンダフローフラグはセットされません。三角波の場合は、カウンタのクリアのみ行い、カウンタ値は“0”となりますが、“谷”として扱いません。

カウンタクリア要因で“01b”または“10b”または“11b”を選択した場合、GPTn.GTCNT カウントが動作中 (GTSTR.CSTn=1) の場合でも、停止中 (GTSTR.CSTn=0) の場合でも、要因によるカウンタクリアは実行されます。(n=0～3)

同期クリア動作時、動作するチャンネルの CCLR[1:0] を“01b”、“10b” に設定しないでください。

24.2.20 汎用PWMタイマバッファイネーブルレジスタ (GTBER)

アドレス GPT0.GTBER 000C 2106h、GPT1.GTBER 000C 2186h、GPT2.GTBER 000C 2206h、GPT3.GTBER 000C 2286h
GPT4.GTBER 000C 2906h、GPT5.GTBER 000C 2986h、GPT6.GTBER 000C 2A06h、GPT7.GTBER 000C 2A86h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	ADTDB	ADTTB[1:0]	—	ADTDA	ADTTA[1:0]	—	CCRS WT	PR[1:0]	CCRB[1:0]	CCRA[1:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CCRA[1:0]	GTCCRAバッファ動作ビット	b1 b0 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRA ⇔ GTCCRC) 1 x : ダブルバッファとして動作する (GTCCRA ⇔ GTCCRC ⇔ GTCCRD)	R/W
b3-b2	CCRB[1:0]	GTCCRBバッファ動作ビット	b3 b2 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRB ⇔ GTCCRE) 1 x : ダブルバッファとして動作する (GTCCRB ⇔ GTCCRE ⇔ GTCCRF)	R/W
b5-b4	PR[1:0]	GTPRバッファ動作ビット	b5 b4 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTPBR ⇔ GTPR) 1 x : ダブルバッファとして動作する (GTPDBR ⇔ GTPBR ⇔ GTPR)	R/W
b6	CCRSWT	GTCCRA・GTCCRB強制バッファ動作ビット	“1”を書くとGTCCRA、GTCCRBのバッファ転送を強制的に行います。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	ADTTA[1:0]	GTADTRAバッファ転送タイミング選択ビット	<ul style="list-style-type: none"> 三角波の場合 b9 b8 0 0 : 転送しない 0 1 : (山) で転送 1 0 : (谷) で転送 1 1 : (谷/山) 両方で転送 <ul style="list-style-type: none"> のこぎり波の場合 b9 b8 0 0 : 転送しない 0 0以外 : アンダフロー (ダウンカウント時)、オーバフロー (アップカウント時) で転送	R/W
b10	ADTDA	GTADTRAダブルバッファ動作ビット	0 : シングルバッファとして動作する (GTADTBRA ⇔ GTADTRA) 1 : ダブルバッファとして動作する (GTADTDBRA ⇔ GTADTBRA ⇔ GTADTRA)	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	ADTTB[1:0]	GTADTRBバッファ転送タイミング選択ビット	<ul style="list-style-type: none"> 三角波の場合 b13 b12 0 0 : 転送しない 0 1 : (山) で転送 1 0 : (谷) で転送 1 1 : (谷/山) 両方で転送 <ul style="list-style-type: none"> のこぎり波の場合 b13 b12 0 0 : 転送しない 0 0以外 : アンダフロー (ダウンカウント時)、オーバフロー (アップカウント時) で転送	R/W
b14	ADTDB	GTADTRBダブルバッファ動作ビット	0 : シングルバッファとして動作する (GTADTBRB ⇔ GTADTRB) 1 : ダブルバッファとして動作する (GTADTDBRB ⇔ GTADTBRB ⇔ GTADTRB)	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTBER レジスタは、バッファ動作の設定を行うレジスタです。

GTBER レジスタの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTBER レジスタへの書き込みは無視されません (n=0 ~ 7)。

CCRA[1:0] ビット (GTCCRA バッファ動作ビット)

GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCCRA レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCCRA レジスタの設定が優先されます。(注1)

CCRB[1:0] ビット (GTCCRB バッファ動作ビット)

GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCCRB レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCCRB レジスタの設定が優先されます。(注1)

PR[1:0] ビット (GTPR バッファ動作ビット)

GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を設定します。のこぎり波でダウンカウントのときは PR[1:0] を “00b” に設定してください。

CCRSWT ビット (GTCCRA・GTCCRB 強制バッファ動作ビット)

CCRSWT ビットに “1” を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。“1” を書いた後、自動的に “0” に戻ります。読むと “0” が読めます。

カウント停止中かつコンペマッチ動作設定時のみ有効です。

ADTTA[1:0] ビット (GTADTRA バッファ転送タイミング選択ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。

ADTDA ビット (GTADTRA ダブルバッファ動作ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

ADTTB[1:0] ビット (GTADTRB バッファ転送タイミング選択ビット)

GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。

ADTDB ビット (GTADTRB ダブルバッファ動作ビット)

GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を設定します。

注1. のこぎり波ワンショットパルスモード、または三角波 PWM モード 3 (谷 32 ビット転送) の場合、バッファ動作は固定となります。

24.2.21 汎用 PWM タイマカウンタ方向レジスタ (GTUDC)

アドレス GPT0.GTUDC 000C 2108h、GPT1.GTUDC 000C 2188h、GPT2.GTUDC 000C 2208h、GPT3.GTUDC 000C 2288h
GPT4.GTUDC 000C 2908h、GPT5.GTUDC 000C 2988h、GPT6.GTUDC 000C 2A08h、GPT7.GTUDC 000C 2A88h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウンタ方向設定ビット	0: GTCNTカウンタはダウンカウント 1: GTCNTカウンタはアップカウント	R/W
b1	UDF	カウンタ方向強制設定ビット	0: 強制設定しない 1: 強制設定する	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTUDC レジスタは、GTCNT カウンタのカウンタ方向（アップ／ダウン）を設定するレジスタです。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTUDC レジスタへの書き込みは無視されま
す (n=0 ~ 7)。

- のこぎり波の場合

アップカウント動作中に UD ビットを“0”にした場合、オーバフロー (GTCNT=GTPR) 時にカウンタ方
向が切り替わります。

ダウンカウント動作中に UD ビットを“1”にした場合、アンダフロー (GTCNT=0) 時にカウンタ方向が
切り替わります。

カウンタ動作停止中に UDF ビットが“0”の状態に UD ビットを“1”から“0”に変更した場合、最初のカウ
ント動作はアップカウントとなり、オーバフロー (GTCNT=GTPR) 時にカウンタ方向が切り替わります。

カウンタ動作停止中に UDF ビットが“0”の状態に UD ビットを“0”から“1”に変更した場合、最初のカウ
ント動作はダウンカウントとなり、アンダフロー (GTCNT=0) 時にカウンタ方向が切り替わります。

カウンタ動作停止中に UDF ビットを“1”にすると、そのときの UD ビットの値がカウンタ開始時のカウ
ント方向に反映されます。

- 三角波の場合

カウンタ動作中に UD ビット値を変化させてもカウンタ方向には反映されません。

カウンタ動作停止中に UDF ビットが“0”の状態に UD 値を変化させても、カウンタ開始後のカウンタ方
向には反映されません。

カウンタ動作停止中に UDF ビットを“1”にすると、そのときの UD ビットの値がカウンタ開始時のカウ
ント方向に反映されます。

UD ビット (カウンタ方向設定ビット)

GTCNT カウンタのカウンタ方向 (アップ／ダウン) を設定します。

UDF ビット (カウンタ方向強制設定ビット)

GTCNT カウンタ動作開始時のカウンタ方向を強制的に UD の値に設定します。

カウンタ動作中の書き込みは常に“0”としてください。

カウンタ動作停止中に“1”を書いた場合、カウンタ動作開始までに“0”に戻してください。

24.2.22 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)

アドレス GPT0.GTITC 000C 210Ah、GPT1.GTITC 000C 218Ah、GPT2.GTITC 000C 220Ah、GPT3.GTITC 000C 228Ah
GPT4.GTITC 000C 290Ah、GPT5.GTITC 000C 298Ah、GPT6.GTITC 000C 2A0Ah、GPT7.GTITC 000C 2A8Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	ADTBL	—	ADTAL	—	IVTT[2:0]	—	—	IVTC[1:0]	—	ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITLA	GTCCRA コンペアマッチ / インプットキャプチャ割り込み連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b1	ITLB	GTCCRB コンペアマッチ / インプットキャプチャ割り込み連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b2	ITLC	GTCCRC コンペアマッチ 割り込み連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b3	ITLD	GTCCRD コンペアマッチ 割り込み連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b4	ITLE	GTCCRE コンペアマッチ 割り込み連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b5	ITLF	GTCCRF コンペアマッチ 割り込み連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b7-b6	IVTC[1:0]	GTCIV 割り込み間引き機能選択ビット	b7 b6 0 0 : 間引きしない 0 1 : のこぎり波のときにオーバフロー / アンダフロー両方を、三角波のときに (山) をカウントして間引く 1 0 : のこぎり波のときにオーバフロー / アンダフロー両方を、三角波のときに (谷) をカウントして間引く 1 1 : のこぎり波のときにオーバフロー / アンダフロー両方を、三角波のときに (谷 / 山) 両方をカウントして間引く	R/W
b10-b8	IVTT[2:0]	GTCIV 割り込み間引き回数選択ビット	b10 b8 0 0 0 : 間引きしない 0 0 1 : 間引き回数 : 1回 0 1 0 : 間引き回数 : 2回 0 1 1 : 間引き回数 : 3回 1 0 0 : 間引き回数 : 4回 1 0 1 : 間引き回数 : 5回 1 1 0 : 間引き回数 : 6回 1 1 1 : 間引き回数 : 7回	R/W
b11	—	予約ビット	読むと "0" が読めます。書く場合、"0" としてください	R/W
b12	ADTAL	GTADTRA A/D 変換開始要求連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b13	—	予約ビット	読むと "0" が読めます。書く場合、"0" としてください	R/W
b14	ADTBL	GTADTRB A/D 変換開始要求連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b15	—	予約ビット	読むと "0" が読めます。書く場合、"0" としてください	R/W

GTITC レジスタは、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ) / アンダフロー割り込み (GTCIV) の間引き機能の設定と他の割り込み、および A/D 変換開始要求を GTCIV 割り込み間引き機能と連動するかどうかを設定するレジスタです。ただし、デッドタイムエラー割り込みは GTCIV 割り込み間引き機能と連動することはできません。なお、割り込み間引き機能を設定した場合、ステータスフラグの変化も間引かれます。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTITC レジスタへの書き込みは無視されま

す (n=0 ~ 7)。

ITLA ビット (GTCCRA コンペアマッチ/インプットキャプチャ割り込み連動ビット)

GTCCRA レジスタのコンペアマッチ/インプットキャプチャ割り込み (GTCIA) を、GTCIV 割り込み間引き機能と連動する/しないを設定します。

ITLB ビット (GTCCRB コンペアマッチ/インプットキャプチャ割り込み連動ビット)

GTCCRB レジスタのコンペアマッチ/インプットキャプチャ割り込み (GTCIB) を、GTCIV 割り込み間引き機能と連動する/しないを設定します。

ITLC ビット (GTCCRC コンペアマッチ割り込み連動ビット)

GTCCRC レジスタのコンペアマッチ割り込み (GTCIC) を、GTCIV 割り込み間引き機能と連動する/しないを設定します。

ITLD ビット (GTCCRD コンペアマッチ割り込み連動ビット)

GTCCRD レジスタのコンペアマッチ割り込み (GTCID) を、GTCIV 割り込み間引き機能と連動する/しないを設定します。

ITLE ビット (GTCCRE コンペアマッチ割り込み連動ビット)

GTCCRE レジスタのコンペアマッチ割り込みを (GTCIE) を、GTCIV 割り込み間引き機能と連動/しないを設定します。

ITLF ビット (GTCCRF コンペアマッチ割り込み連動ビット)

GTCCRF レジスタのコンペアマッチ割り込みを (GTCIF) を、GTCIV 割り込み間引き機能と連動/しないを設定します。

IVTC[1:0] ビット (GTCIV 割り込み間引き機能選択ビット)

GTPR レジスタのコンペアマッチ (GTCNT オーバフロー) / GTCNT アンダフロー割り込み (GTCIV) の間引き機能を選択します。

IVTT[2:0] ビット (GTCIV 割り込み間引き回数選択ビット)

GTPR レジスタのコンペアマッチ (GTCNT オーバフロー) / GTCNT アンダフロー割り込み (GTCIV) の間引き回数を選択します。

IVTT[2:0] ビットを変更する場合は、IVTC[1:0] ビットを“00b”にしてから行ってください。

ADTAL ビット (GTADTRA A/D 変換開始要求連動ビット)

GTADTRA レジスタのコンペアマッチでの A/D 変換開始要求を、GTCIV_n 割り込み間引き機能と連動する/しないを設定します。

ADTBL ビット (GTADTRB A/D 変換開始要求連動ビット)

GTADTRB レジスタのコンペアマッチでの A/D 変換開始要求を、GTCIV_n 割り込み間引き機能と連動する/しないを設定します。

24.2.23 汎用 PWM タイマステータスレジスタ (GTST)

アドレス GPT0.GTST 000C 210Ch, GPT1.GTST 000C 218Ch, GPT2.GTST 000C 220Ch, GPT3.GTST 000C 228Ch
GPT4.GTST 000C 290Ch, GPT5.GTST 000C 298Ch, GPT6.GTST 000C 2A0Ch, GPT7.GTST 000C 2A8Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TUCF	—	—	—	DTEF	ITCNT[2:0]		TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA	
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	インพุットキャプチャ/ コンペアマッチフラグA	0: GTCCRA レジスタ のインพุットキャプチャ/コンペアマッチの 発生なし 1: GTCCRA レジスタ のインพุットキャプチャ/コンペアマッチの 発生あり	R/(W) (注1)
b1	TCFB	インพุットキャプチャ/ コンペアマッチフラグB	0: GTCCRB レジスタ のインพุットキャプチャ/コンペアマッチの 発生なし 1: GTCCRB レジスタ のインพุットキャプチャ/コンペアマッチの 発生あり	R/(W) (注1)
b2	TCFC	コンペアマッチフラグC	0: GTCCRC レジスタ のコンペアマッチの発生なし 1: GTCCRC レジスタ のコンペアマッチの発生あり	R/(W) (注1)
b3	TCFD	コンペアマッチフラグD	0: GTCCRD レジスタ のコンペアマッチの発生なし 1: GTCCRD レジスタ のコンペアマッチの発生あり	R/(W) (注1)
b4	TCFE	コンペアマッチフラグE	0: GTCCRE レジスタ のコンペアマッチの発生なし 1: GTCCRE レジスタ のコンペアマッチの発生あり	R/(W) (注1)
b5	TCFF	コンペアマッチフラグF	0: GTCCRF レジスタ のコンペアマッチの発生なし 1: GTCCRF レジスタ のコンペアマッチの発生あり	R/(W) (注1)
b6	TCFPO	オーバフローフラグ	0: オーバフロー、または (山) の発生なし 1: オーバフロー、または (山) の発生あり	R/(W) (注1)
b7	TCFPU	アンダフローフラグ	0: アンダフロー、または (谷) の発生なし 1: アンダフロー、または (谷) の発生あり	R/(W) (注1)
b10-b8	ITCNT[2:0]	GTCIV 割り込み間引き回 数カウンタ	タイマ割り込み間引き回数カウンタ	R
b11	DTEF	デッドタイムエラーフラグ	0: デッドタイムエラーの発生なし 1: デッドタイムエラーの発生あり	R
b14-b12	—	予約ビット	読むと“0”が読めます。書き込みは“0”としてください	R/W
b15	TUCF	カウント方向フラグ	0: GPTn.GTCNT カウンタはダウンカウント 1: GPTn.GTCNT カウンタはアップカウント	R

注1. フラグをクリアするための“0”書き込みのみ可能です。TCFAビット、TCFBビット、TCFCビット、TCFDビット、TCFEビット、TCFFビット、TCFPOビットまたはTCFPUビットをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書き込んでください。

GTST レジスタは、GPT の状態を示します。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTST レジスタへの書き込みは無視されます (n=0 ~ 7)。

TCFA フラグ (インพุットキャプチャ/コンペアマッチフラグ A)

GTCCRA レジスタのインพุットキャプチャ/コンペアマッチの発生を示すステータスフラグです。

[“1”になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT=GTCCRA になったとき
- GTCCRA レジスタがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により GTCNT カウンタの値が GTCCRA レジスタに転送されたとき

["0"になる条件]

- TCFA フラグに "0" を書いたとき

TCFB フラグ (インプットキャプチャ/コンペアマッチフラグ B)

GTCCRB レジスタのインプットキャプチャ/コンペアマッチの発生を示すステータスフラグです。

["1"になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT=GTCCRB になったとき
- GTCCRB レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

["0"になる条件]

- TCFB フラグに "0" を書いたとき

TCFC フラグ (コンペアマッチフラグ C)

GTCCRC レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRC レジスタがバッファ動作のときは、コンペアマッチを行いません。

["1"になる条件]

- GTCNT=GTCCRC になったとき

["0"になる条件]

- TCFC フラグに "0" を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0]="001b" (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0]="110b" (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = "01b"、"10b"、"11b" (GTCCRC レジスタがバッファ動作)

TCFD フラグ (コンペアマッチフラグ D)

GTCCRD レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRD レジスタがバッファ動作のときは、コンペアマッチを行いません。

["1"になる条件]

- GTCNT=GTCCRD になったとき

["0"になる条件]

- TCFD フラグに "0" を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = "001b" (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = "110b" (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = "10b"、"11b" (GTCCRD レジスタがバッファ動作)

TCFE フラグ (コンペアマッチフラグ E)

GTCCRE レジスタのコンペアマッチの発生を示すステータスフラグです。
GTCCRE レジスタがバッファ動作のときは、コンペアマッチを行いません。

["1" になる条件]

- GTCNT=GTCCRE になったとき

["0" になる条件]

- TCFE フラグに "0" を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0]="001b" (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0]="110b" (三角波 PWM モード 3)
- GTBER.CCRB[1:0]="01b"、"10b"、"11b" (GTCCRE レジスタがバッファ動作)

TCFF フラグ (コンペアマッチフラグ F)

GTCCRF レジスタのコンペアマッチの発生を示すステータスフラグです。
GTCCRF レジスタがバッファ動作のときは、コンペアマッチを行いません。

["1" になる条件]

- GTCNT=GTCCRF になったとき

["0" になる条件]

- TCFF フラグに "0" を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0]="001b" (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0]="110b" (三角波 PWM モード 3)
- GTBER.CCRB[1:0]="10b"、"11b" (GTCCRF レジスタがバッファ動作)

TCFPO フラグ (オーバフローフラグ)

オーバフロー、または山の発生を示すフラグです。

["1" になる条件]

- のこぎり波の場合、オーバフロー (アップカウント動作中に GTCNT=GTPR) が発生)
- 三角波の場合、山 (GTCNT=GTPR) が発生

["0" になる条件]

- TCFPO フラグに "0" を書いたとき

TCFPU フラグ (アンダフローフラグ)

アンダフロー、または谷の発生を示すフラグです。

["1" になる条件]

- のこぎり波の場合、アンダフロー (ダウンカウント動作中に GTCNT=0) が発生)
- 三角波の場合、谷 (GTCNT=0) が発生

["0" になる条件]

- TCFPU フラグに "0" を書いたとき

ITCNT[2:0] ビット (GTCIV 割り込み間引き回数カウンタ)

GTCIV 割り込み間引き機能を使用時 (GTITC.IVTC[1:0] ビットを “00b” 以外に設定時)、GTCIV 割り込み要因が発生するごとに1カウントアップします。

[“0” になる条件]

- GTCIV 割り込み間引き機能を未使用時 (GTITC.IVTC[1:0] ビットが “00b” のとき、GTITC.IVTT[2:0] ビットが “000b” のとき)
- GTCIV 割り込み間引き回数が一致したとき (GTITC.IVTT[2:0] ビットで設定した間引き回数とITCNT[2:0] ビット値が一致したとき)

DTEF フラグ (デッドタイムエラーフラグ)

デッドタイム自動付加後のタイマ出力グルポイントが、タイマ周期を超えたことを示すフラグです。

デッドタイム自動付加後のタイマ出力グルポイントが、タイマ周期内に戻ると “0” に戻ります。DTEF フラグは読み出しのみ可能です。(“0” 書き込みよって “0” にすることはできません)

DTEF フラグによる割り込みを許可している (GTINTAD.EINT = 1) 場合、DTEF フラグが 0 → 1 に変化するたびに GTCIC 割り込みが発生します。

[“1” になる条件]

- デッドタイム自動付加後のタイマ出力グルポイントが、タイマ周期を超えたとき

[“0” になる条件]

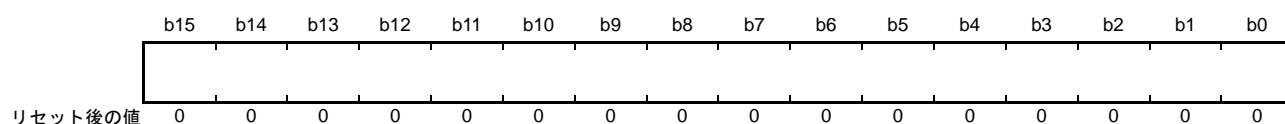
- デッドタイム自動付加後のタイマ出力グルポイントが、タイマ周期内にあるとき

TUCF フラグ (カウント方向フラグ)

GTCNT カウンタのカウント方向を示すフラグです。

24.2.24 汎用 PWM タイマカウンタ (GTCNT)

アドレス GPT0.GTCNT 000C 210Eh, GPT1.GTCNT 000C 218Eh, GPT2.GTCNT 000C 220Eh, GPT3.GTCNT 000C 228Eh
GPT4.GTCNT 000C 290Eh, GPT5.GTCNT 000C 298Eh, GPT6.GTCNT 000C 2A0Eh, GPT7.GTCNT 000C 2A8Eh



GTCNT カウンタは、16 ビットの読み出し/書き込み可能なカウンタで、各チャンネルに1本ずつのGTCNT カウンタがあります。カウント停止時のみ書き込み可能で、カウント動作中は書き込むことはできません。GTCNT カウンタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。GTWP.WPn ビットにより、書き込みが禁止されたチャンネルのGTCNT カウンタへの書き込みは無視されます (n=0 ~ 7)。

24.2.25 汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m=A ~ F)

アドレス GPT0.GTCCRA 000C 2110h, GPT1.GTCCRA 000C 2190h, GPT2.GTCCRA 000C 2210h, GPT3.GTCCRA 000C 2290h
 GPT0.GTCCRB 000C 2112h, GPT1.GTCCRB 000C 2192h, GPT2.GTCCRB 000C 2212h, GPT3.GTCCRB 000C 2292h
 GPT0.GTCCRC 000C 2114h, GPT1.GTCCRC 000C 2194h, GPT2.GTCCRC 000C 2214h, GPT3.GTCCRC 000C 2294h
 GPT0.GTCCRD 000C 2116h, GPT1.GTCCRD 000C 2196h, GPT2.GTCCRD 000C 2216h, GPT3.GTCCRD 000C 2296h
 GPT0.GTCCRE 000C 2118h, GPT1.GTCCRE 000C 2198h, GPT2.GTCCRE 000C 2218h, GPT3.GTCCRE 000C 2298h
 GPT0.GTCCRF 000C 211Ah, GPT1.GTCCRF 000C 219Ah, GPT2.GTCCRF 000C 221Ah, GPT3.GTCCRF 000C 229Ah
 GPT4.GTCCRA 000C 2910h, GPT5.GTCCRA 000C 2990h, GPT6.GTCCRA 000C 2A10h, GPT7.GTCCRA 000C 2A90h
 GPT4.GTCCRB 000C 2912h, GPT5.GTCCRB 000C 2992h, GPT6.GTCCRB 000C 2A12h, GPT7.GTCCRB 000C 2A92h
 GPT4.GTCCRC 000C 2914h, GPT5.GTCCRC 000C 2994h, GPT6.GTCCRC 000C 2A14h, GPT7.GTCCRC 000C 2A94h
 GPT4.GTCCRD 000C 2916h, GPT5.GTCCRD 000C 2996h, GPT6.GTCCRD 000C 2A16h, GPT7.GTCCRD 000C 2A96h
 GPT4.GTCCRE 000C 2918h, GPT5.GTCCRE 000C 2998h, GPT6.GTCCRE 000C 2A18h, GPT7.GTCCRE 000C 2A98h
 GPT4.GTCCRF 000C 291Ah, GPT5.GTCCRF 000C 299Ah, GPT6.GTCCRF 000C 2A1Ah, GPT7.GTCCRF 000C 2A9Ah



GTCCRm レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、各チャンネルに 6 本ずつの GTCCRm レジスタがあります。

GTCCRA レジスタ、GTCCRB レジスタはアウトプットコンペア／インプットキャプチャ兼用のレジスタです。

GTCCRC レジスタ、GTCCRE レジスタはコンペアマッチレジスタですが、GTCCRA レジスタ、GTCCRB レジスタのバッファレジスタとして動作することもできます。

GTCCRD レジスタ、GTCCRF レジスタはコンペアマッチレジスタですが、GTCCRC レジスタ、GTCCRE レジスタのバッファレジスタ (GTCCRA レジスタ、GTCCRB レジスタのダブルバッファレジスタ) として動作することもできます。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTCCRm レジスタへの書き込みは無視されます (n=0 ~ 7) (m=A ~ F)。

24.2.26 汎用 PWM タイマ周期設定レジスタ (GTPR)

アドレス GPT0.GTPR 000C 211Ch, GPT1.GTPR 000C 219Ch, GPT2.GTPR 000C 221Ch, GPT3.GTPR 000C 229Ch
 GPT4.GTPR 000C 291Ch, GPT5.GTPR 000C 299Ch, GPT6.GTPR 000C 2A1Ch, GPT7.GTPR 000C 2A9Ch



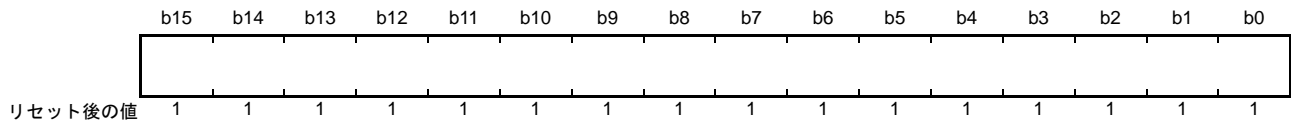
GTPR レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、GTCNT カウンタのカウンタ最大値を設定するレジスタです。各チャンネルに 1 本ずつ計 4 本の GTPR レジスタがあります。

のこぎり波の場合は、GTPR 値 +1 がカウンタ周期になります。三角波の場合は、GTPR 値 × 2 がカウンタ周期になります。GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTPR レジスタへの書き込みは無視されます (n=0 ~ 7)。

のこぎり波でダウンカウント動作中は GTPR レジスタを変更しないでください。

24.2.27 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)

アドレス GPT0.GTPBR 000C 211Eh, GPT1.GTPBR 000C 219Eh, GPT2.GTPBR 000C 221Eh, GPT3.GTPBR 000C 229Eh
GPT4.GTPBR 000C 291Eh, GPT5.GTPBR 000C 299Eh, GPT6.GTPBR 000C 2A1Eh, GPT7.GTPBR 000C 2A9Eh

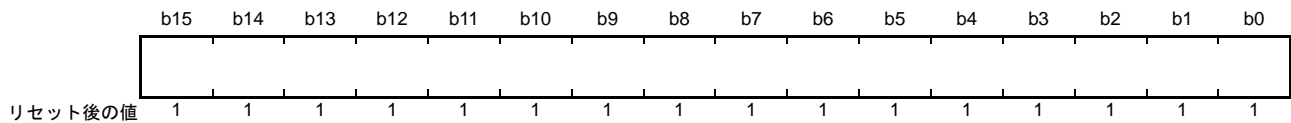


GTPBR レジスタは、16 ビットの読み出し/書き込み可能なレジスタで、GTPR レジスタのバッファレジスタとして動作します。各チャンネルに 1 本ずつの GTPBR レジスタがあります。のこぎり波でダウンカウンタのときは、バッファ動作の設定は禁止です。バッファ転送のタイミングは、のこぎり波の場合はオーバーフローまたはカウンタクリア時、三角波の場合は谷となります。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTPBR レジスタへの書き込みは無視されます (n=0 ~ 7)。

24.2.28 汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)

アドレス GPT0.GTPDBR 000C 2120h, GPT1.GTPDBR 000C 21A0h, GPT2.GTPDBR 000C 2220h, GPT3.GTPDBR 000C 22A0h
GPT4.GTPDBR 000C 2920h, GPT5.GTPDBR 000C 29A0h, GPT6.GTPDBR 000C 2A20h, GPT7.GTPDBR 000C 2AA0h

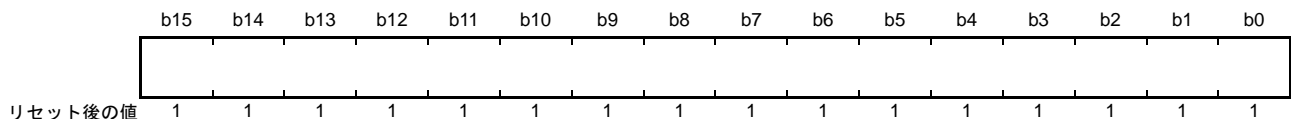


GTPDBR レジスタは、16 ビットの読み出し/書き込み可能なレジスタで、GTPBR レジスタのバッファレジスタ (GTPR のダブルバッファレジスタ) として動作します。各チャンネルに 1 本ずつの GTPDBR レジスタがあります。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTPDBR レジスタへの書き込みは無視されます (n=0 ~ 7)。

24.2.29 A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m=A、B)

アドレス GPT0.GTADTRA 000C 2124h, GPT1.GTADTRA 000C 21A4h, GPT2.GTADTRA 000C 2224h, GPT3.GTADTRA 000C 22A4h
GPT0.GTADTRB 000C 212Ch, GPT1.GTADTRB 000C 21ACh, GPT2.GTADTRB 000C 222Ch, GPT3.GTADTRB 000C 22ACh
GPT4.GTADTRA 000C 2924h, GPT5.GTADTRA 000C 29A4h, GPT6.GTADTRA 000C 2A24h, GPT7.GTADTRA 000C 2AA4h
GPT4.GTADTRB 000C 292Ch, GPT5.GTADTRB 000C 29ACh, GPT6.GTADTRB 000C 2A2Ch, GPT7.GTADTRB 000C 2AACH

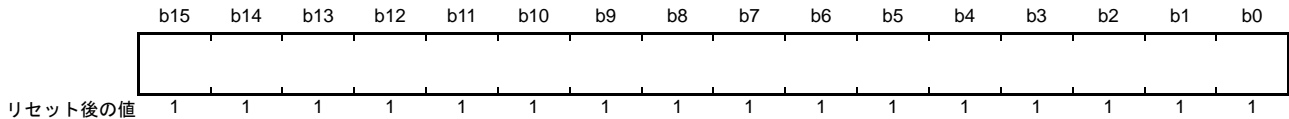


GTADTRm レジスタは、16 ビットの読み出し/書き込み可能なレジスタで、A/D 変換開始要求のタイミングを設定します。GTADTRm レジスタの値が GTCNT カウンタと一致したとき、A/D 変換開始要求を発生します。各チャンネルに 2 本ずつの GTADTRm レジスタがあります。GTADTRm レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTADTRm レジスタへの書き込みは無視されます (n=0 ~ 7) (m=A、B)。

24.2.30 A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A,B)

アドレス
 GPT0.GTADTBRA 000C 2126h, GPT1.GTADTBRA 000C 21A6h, GPT2.GTADTBRA 000C 2226h, GPT3.GTADTBRA 000C 22A6h
 GPT0.GTADTBRB 000C 212Eh, GPT1.GTADTBRB 000C 21AEh, GPT2.GTADTBRB 000C 222Eh, GPT3.GTADTBRB 000C 22AEh
 GPT4.GTADTBRA 000C 2926h, GPT5.GTADTBRA 000C 29A6h, GPT6.GTADTBRA 000C 2A26h, GPT7.GTADTBRA 000C 2AA6h
 GPT4.GTADTBRB 000C 292Eh, GPT5.GTADTBRB 000C 29AEh, GPT6.GTADTBRB 000C 2A2Eh, GPT7.GTADTBRB 000C 2AAEh



GTADTBRm レジスタは、16 ビットの読み出し/書き込み可能なレジスタで、GTADTRm レジスタのバッファレジスタとして動作します。各チャンネルに 2 本ずつの GTADTBRm レジスタがあります。GTADTBRm レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTADTBRm レジスタへの書き込みは無視されます (n=0 ~ 7) (m=A、B)。

24.2.31 A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A,B)

アドレス
 GPT0.GTADTDBRA 000C 2128h, GPT1.GTADTDBRA 000C 21A8h, GPT2.GTADTDBRA 000C 2228h, GPT3.GTADTDBRA 000C 22A8h
 GPT0.GTADTDBRB 000C 2130h, GPT1.GTADTDBRB 000C 21B0h, GPT2.GTADTDBRB 000C 2230h, GPT3.GTADTDBRB 000C 22B0h
 GPT4.GTADTDBRA 000C 2928h, GPT5.GTADTDBRA 000C 29A8h, GPT6.GTADTDBRA 000C 2A28h, GPT7.GTADTDBRA 000C 2AA8h
 GPT4.GTADTDBRB 000C 2930h, GPT5.GTADTDBRB 000C 29B0h, GPT6.GTADTDBRB 000C 2A30h, GPT7.GTADTDBRB 000C 2AB0h



GTADTDBRm レジスタは、16 ビットの読み出し/書き込み可能なレジスタで、GTADTBR レジスタのバッファレジスタ (GTADTR のダブルバッファレジスタ) として動作します。各チャンネルに 2 本ずつの GTADTDBRm レジスタがあります。GTADTDBRm レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTADTDBRm レジスタへの書き込みは無視されます (n=0 ~ 7) (m=A、B)。

24.2.32 汎用 PWM タイマ出力ネゲートコントロールレジスタ (GTONCR)

アドレス GPT0.GTONCR 000C 2134h、GPT1.GTONCR 000C 21B4h、GPT2.GTONCR 000C 2234h、GPT3.GTONCR 000C 22B4h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OBE	OAE	—	SWN	—	—	—	NFV		NFS[3:0]			NVB	NVA	NEB	NEA
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEA	GTIOcNA 端子ネゲート制御許可ビット	0: 許可しない 1: 許可する	R/W
b1	NEB	GTIOcNB 端子ネゲート制御許可ビット	0: 許可しない 1: 許可する	R/W
b2	NVA	GTIOcNA 端子ネゲート値設定ビット	0: ネゲート制御時にGTIOcNA端子を“0”にする 1: ネゲート制御時にGTIOcNA端子を“1”にする	R/W
b3	NVB	GTIOcNB 端子ネゲート値設定ビット	0: ネゲート制御時にGTIOcNB端子を“0”にする 1: ネゲート制御時にGTIOcNB端子を“1”にする	R/W
b7-b4	NFS[3:0]	GTIOC出力ネゲート要因選択ビット	b7 b4 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 (注2) 0101: AN101用コンパレータ検出 (注2) 0110: AN102用コンパレータ検出 (注2) 0111: GTETRG0端子入力 1xxx: ソフトウェア制御 (SWNビットによる制御)	R/W
b8	NFV	ネゲート要因極性選択ビット	0: ネゲート要因が“0”になったときにネゲート制御する 1: ネゲート要因が“1”になったときにネゲート制御する	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	SWN	ソフトウェアネゲート制御ビット	<ul style="list-style-type: none"> NFVビットが“0”の場合 0: ネゲート制御する 1: ネゲート制御しない NFVビットが“1”の場合 0: ネゲート制御しない 1: ネゲート制御する 	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OAE	GTIOcNA 端子出力カインェブルビット	0: 端子出力しない 1: 端子出力する	R/W
b15	OBE	GTIOcNB 端子出力カインェブルビット	0: 端子出力しない 1: 端子出力する	R/W

注1. n=0~3

注2. 64/48ピン版では設定しないでください。

GTONCR レジスタは、GTIOcNA 端子出力、および GTIOcNB 端子出力のネゲート制御を設定するレジスタです。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTONCR レジスタへの書き込みは無視されます (n=0~3)。

NEA ビット (GTIOcNA 端子ネゲート制御許可ビット)

GTIOcNA 端子出力のネゲート制御を許可します。

NEB ビット (GTIOcNB 端子ネゲート制御許可ビット)

GTIOcNB 端子出力のネゲート制御を許可します。

NVA ビット (GTIOcNA 端子ネゲート値設定ビット)

GTIOcNA 端子出力のネゲート制御時の出力値を設定します。

NVB ビット (GTIOcNB 端子ネゲート値設定ビット)

GTIOcNB 端子出力のネゲート制御時の出力値を設定します。

NFS[3:0] ビット (GTIOC 出力ネゲート要因選択ビット)

GTIOcNA 端子出力、および GTIOcNB 端子出力のネゲート要因を選択します。

NFV ビット (ネゲート要因極性選択ビット)

GTIOcNA 端子出力、および GTIOcNB 端子出力のネゲート要因の極性を選択します。

SWN ビット (ソフトウェアネゲート制御ビット)

GTIOcNA 端子出力、および GTIOcNB 端子出力をネゲート制御する／しないを設定します。
ネゲート要因としてソフトウェア制御を選択 (NFS[3] ビットが“1”) した場合に有効になります。

OAE ビット (GTIOcNA 端子出力イネーブルビット)

GTIOcNA 端子出力をする／しないを選択します。コンペアマッチ設定時 (GTIOR レジスタのビット 5 = “0”) のときのみ設定が有効になります。

OBE ビット (GTIOcNB 端子出力イネーブルビット)

GTIOcNB 端子出力をする／しないを選択します。コンペアマッチ設定時 (GTIOR レジスタのビット 13 = “0”) のときのみ設定が有効になります。

アドレス GPT4.GTONCR 000C 2934h、GPT5.GTONCR 000C 29B4h、GPT6.GTONCR 000C 2A34h、GPT7.GTONCR 000C 2AB4h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OBE	OAE	—	SWN	—	—	—	NFV		NFS[3:0]			NVB	NVA	NEB	NEA
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEA	GTIOCnA 端子ネゲート制御許可ビット	0: 許可しない 1: 許可する	R/W
b1	NEB	GTIOCnB 端子ネゲート制御許可ビット	0: 許可しない 1: 許可する	R/W
b2	NVA	GTIOCnA 端子ネゲート値設定ビット	0: ネゲート制御時にGTIOCnA端子を“0”にする 1: ネゲート制御時にGTIOCnA端子を“1”にする	R/W
b3	NVB	GTIOCnB 端子ネゲート値設定ビット	0: ネゲート制御時にGTIOCnB端子を“0”にする 1: ネゲート制御時にGTIOCnB端子を“1”にする	R/W
b7-b4	NFS[3:0]	GTIOC出力ネゲート要因選択ビット	b7 b4 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: GTETRG1端子入力 1xxx: ソフトウェア制御 (SWNビットによる制御)	R/W
b8	NFV	ネゲート要因極性選択ビット	0: ネゲート要因が“0”になったときにネゲート制御する 1: ネゲート要因が“1”になったときにネゲート制御する	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	SWN	ソフトウェアネゲート制御ビット	<ul style="list-style-type: none"> NFVビットが“0”の場合 0: ネゲート制御する 1: ネゲート制御しない NFVビットが“1”の場合 0: ネゲート制御しない 1: ネゲート制御する 	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OAE	GTIOCnA 端子出力カインェブルビット	0: 端子出力しない 1: 端子出力する	R/W
b15	OBE	GTIOCnB 端子出力カインェブルビット	0: 端子出力しない 1: 端子出力する	R/W

注1. n=4~7

GTONCR レジスタは、GTIOCnA 端子出力、および GTIOCnB 端子出力のネゲート制御を設定するレジスタです。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTONCR レジスタへの書き込みは無視されます (n=4~7)。

NEA ビット (GTIOCnA 端子ネゲート制御許可ビット)

GTIOCnA 端子出力のネゲート制御を許可します。

NEB ビット (GTIOCnB 端子ネゲート制御許可ビット)

GTIOCnB 端子出力のネゲート制御を許可します。

NVA ビット (GTIOcNA 端子ネゲート値設定ビット)

GTIOcNA 端子出力のネゲート制御時の出力値を設定します。

NVB ビット (GTIOcNB 端子ネゲート値設定ビット)

GTIOcNB 端子出力のネゲート制御時の出力値を設定します。

NFS[3:0] ビット (GTIOC 出力ネゲート要因選択ビット)

GTIOcNA 端子出力、および GTIOcNB 端子出力のネゲート要因を選択します。

NFV ビット (ネゲート要因極性選択ビット)

GTIOcNA 端子出力、および GTIOcNB 端子出力のネゲート要因の極性を選択します。

SWN ビット (ソフトウェアネゲート制御ビット)

GTIOcNA 端子出力、および GTIOcNB 端子出力をネゲート制御する／しないを設定します。
ネゲート要因としてソフトウェア制御を選択 (NFS[3] ビットが“1”) した場合に有効になります。

OAE ビット (GTIOcNA 端子出力イネーブルビット)

GTIOcNA 端子出力をする／しないを選択します。コンペアマッチ設定時 (GTIOR レジスタのビット 5 = “0”) のときのみ設定が有効になります。

OBE ビット (GTIOcNB 端子出力イネーブルビット)

GTIOcNB 端子出力をする／しないを選択します。コンペアマッチ設定時 (GTIOR レジスタのビット 13 = “0”) のときのみ設定が有効になります。

24.2.33 汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCCR)

アドレス GPT0.GTDTCCR 000C 2136h、GPT1.GTDTCCR 000C 21B6h、GPT2.GTDTCCR 000C 2236h、GPT3.GTDTCCR 000C 22B6h
GPT4.GTDTCCR 000C 2936h、GPT5.GTDTCCR 000C 29B6h、GPT6.GTDTCCR 000C 2A36h、GPT7.GTDTCCR 000C 2AB6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定ビット	0 : GTDVUレジスタ、GTDVDレジスタを使用しないで、GTCCRBレジスタを個別に設定する 1 : GTDVUレジスタ、GTDVDレジスタを使用して、デッドタイム付き逆相波形用のコンペアマッチ値をGTCCRBレジスタに自動設定する	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	TDBUE	GTDVUバッファ動作許可ビット	0 : GTDVUレジスタのバッファ動作を禁止 1 : GTDVUレジスタのバッファ動作を許可	R/W
b5	TDBDE	GTDVDバッファ動作許可ビット	0 : GTDVDレジスタのバッファ動作を禁止 1 : GTDVDレジスタのバッファ動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TDFER	GTDVD設定ビット	0 : GTDVUレジスタ、GTDVDレジスタを個別に設定する 1 : GTDVUレジスタに書き込んだ値を、GTDVDレジスタにも自動設定する	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDTCCRレジスタは、デッドタイム付き逆相波形用のコンペアマッチ値の自動設定の許可を設定するレジスタです。

GTWP.WPnビットにより、書き込みが禁止されたチャンネルのGTDTCCRレジスタへの書き込みは無視されます (n=0~7)。

TDE ビット (逆相波形設定ビット)

GTDVUレジスタ、GTDVDレジスタを使用する/しないを設定します。GTDVUレジスタ、GTDVDレジスタを使用する場合、正相波形用のコンペアマッチ値 (GTCCRAレジスタ) とデッドタイム値 (GTDVUレジスタ、GTDVDレジスタ) から算出したデッドタイム付き逆相波形用のコンペアマッチ値が、GTCCRBレジスタに自動設定されます。

のこぎり波PWMモードの場合はTDEビットの設定は無視され、自動設定されません。

自動設定されるGTCCRBレジスタの上限値/下限値は以下となります。算出されたGTCCRBレジスタ値が上限値/下限値の範囲外となる場合は、GTCCRBレジスタには上限値/下限値が設定され、GPTn.GTST.DTEFフラグが“1”になります。

- 三角波の場合
上限値：“GTPR—1”
下限値：アップカウント時“1”、ダウンカウント時“0”
- のこぎり波ワンショットパルスモードの場合
上限値：“GTPR”
下限値：“0”

TDBUE ビット (GTDVU バッファ動作許可ビット)

GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。
バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。

TDBDE ビット (GTDVD バッファ動作許可ビット)

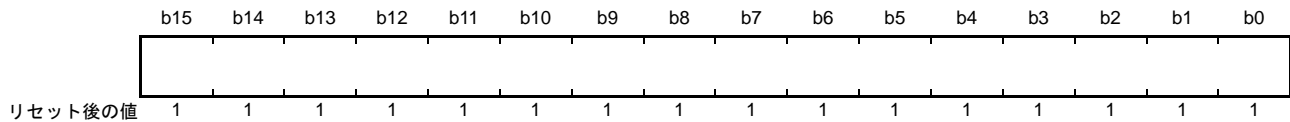
GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。
バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。
TDFER ビットを同時に“1”にした場合、TDFER ビットの設定が優先されます。

TDFER ビット (GTDVD 設定ビット)

GTDVU レジスタに書き込んだ値を GTDVD レジスタにも自動設定するかどうかを設定します。

24.2.34 汎用 PWM タイマデッドタイム値レジスタ m (GTDV_m) (m = U、D)

アドレス GPT0.GTDVU 000C 2138h、GPT1.GTDVU 000C 21B8h、GPT2.GTDVU 000C 2238h、GPT3.GTDVU 000C 22B8h
 GPT0.GTDVD 000C 213Ah、GPT1.GTDVD 000C 21BAh、GPT2.GTDVD 000C 223Ah、GPT3.GTDVD 000C 22BAh
 GPT4.GTDVU 000C 2938h、GPT5.GTDVU 000C 29B8h、GPT6.GTDVU 000C 2A38h、GPT7.GTDVU 000C 2AB8h
 GPT4.GTDVD 000C 293Ah、GPT5.GTDVD 000C 29BAh、GPT6.GTDVD 000C 2A3Ah、GPT7.GTDVD 000C 2ABAh



GTDV_m レジスタは、16 ビットの読み出し/書き込み可能なレジスタで、デッドタイム付きの PWM 波形を生成するためのデッドタイムを設定するレジスタです。各チャンネルにアップカウント時用の GTDVU レジスタと、ダウンカウント時用の GTDVD レジスタの 2 本ずつの GTDV_m レジスタがあります。

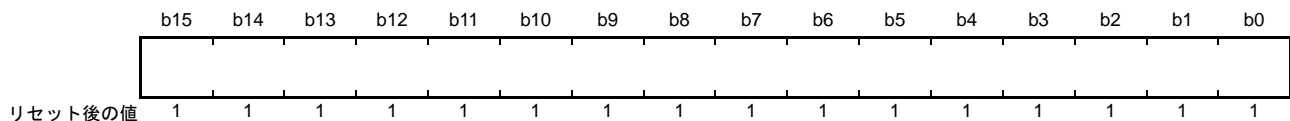
周期を超えるデッドタイム値の設定は禁止です。GTCCRB レジスタを読むことで設定された値を読めます。GTDV_m レジスタを使用する場合は GTCCRB レジスタへの書き込みは禁止です。値を“0”にすれば、デッドタイムなしの波形が出力されます。

GTDV_m レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

GTWP.WP_n ビットにより、書き込みが禁止されたチャンネルの GTDV_m レジスタへの書き込みは無視されます (n=0 ~ 7)。

24.2.35 汎用 PWM タイマデッドタイムバッファレジスタ m (GTDB_m) (m =U、D)

アドレス GPT0.GTDBU 000C 213Ch、GPT1.GTDBU 000C 21BCh、GPT2.GTDBU 000C 223Ch、GPT3.GTDBU 000C 22BCh
 GPT0.GTDBD 000C 213Eh、GPT1.GTDBD 000C 21BEh、GPT2.GTDBD 000C 223Eh、GPT3.GTDBD 000C 22BEh
 GPT4.GTDBU 000C 293Ch、GPT5.GTDBU 000C 29BCh、GPT6.GTDBU 000C 2A3Ch、GPT7.GTDBU 000C 2ABCh
 GPT4.GTDBD 000C 293Eh、GPT5.GTDBD 000C 29BEh、GPT6.GTDBD 000C 2A3Eh、GPT7.GTDBD 000C 2ABEh



GTDB_m レジスタは、16 ビットの読み出し/書き込み可能なレジスタで、GTDV_m レジスタのバッファレジスタとして動作します。各チャンネルに 2 本ずつの GTDB_m レジスタがあります。GTDB_m レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

GTWP.WP_n ビットにより、書き込みが禁止されたチャンネルの GTDB_m レジスタへの書き込みは無視されます (n=0 ~ 7)。

24.2.36 汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS)

アドレス GPT0.GTSOS 000C 2140h、GPT1.GTSOS 000C 21C0h、GPT2.GTSOS 000C 2240h、GPT3.GTSOS 000C 22C0h
GPT4.GTSOS 000C 2940h、GPT5.GTSOS 000C 29C0h、GPT6.GTSOS 000C 2A40h、GPT7.GTSOS 000C 2AC0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOS [1:0]	
リセット後の値	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	SOS [1:0]	出力保護機能ステータスビット	b1 b0 0 0: 通常動作 0 1: 保護状態 (谷もしくは山の転送でGTCCRA=0が設定された) 1 0: 保護状態 (谷の転送でGTCCRA ≥ GTPRが設定された) 1 1: 保護状態 (山の転送でGTCCRA ≥ GTPRが設定された)	R
b7-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b8-b9	—	予約ビット	読む場合、その値は不定です。書き込みは無効になります	R
b15-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイム自動設定されている (GTDTCR.TDE ビット = 1) 場合のみ有効になります。

SOS ビット (出力保護機能ステータスビット)

三角波 PWM モードでの出力保護機能のステータスを示します。出力保護機能の詳細については、「24.7.4 GTIOC 端子出力の出力保護機能」を参照してください。

24.2.37 汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR)

アドレス GPT0.GTSOTR 000C 2142h、GPT1.GTSOTR 000C 21C2h、GPT2.GTSOTR 000C 2242h、GPT3.GTSOTR 000C 22C2h
GPT4.GTSOTR 000C 2942h、GPT5.GTSOTR 000C 29C2h、GPT6.GTSOTR 000C 2A42h、GPT7.GTSOTR 000C 2AC2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOTR	出力保護機能一時解除ビット	0: 保護状態を解除しない 1: 保護状態を解除する	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSOTR レジスタは、出力保護状態時に GTIOCNB 端子出力の保護状態を一時的に解除します。

GTSOS.SOS[1:0] ビット=“10b” (谷の転送で GTCCRA \geq GTPR となったことを示す保護状態) の場合のみ、解除することができます。他の保護状態の場合には解除されません。

GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTSOTR レジスタへの書き込みは無視されます (n=0 ~ 7)。

SOTR ビット (出力保護機能一時解除ビット)

出力保護状態時に GTIOCNB 端子出力の保護状態を一時的に解除するか/しないかを設定します。

SOTR ビットを“1”にすると、最初に現れる“谷”以降の出力保護機能を解除します。また、SOTR ビットを“0”にすると、最初に現れる“谷”以降の出力保護を再開します。

24.2.38 PWM 出力遅延制御レジスタ (GTDLYCR)

アドレス GPT0.GTDLYCR 000C 2300h、GPT1.GTDLYCR 000C 2302h、GPT2.GTDLYCR 000C 2304h、
GPT3.GTDLYCR 000C 2306h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DLYE N	DLYR ST	DLLE N
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLLEN	DLL動作イネーブルビット	0 : DLL動作停止 1 : DLL動作許可	R/W
b1	DLYRST	PWM遅延生成回路リセットビット	0 : 通常動作 1 : リセット	R/W
b2	DLYEN	PWM遅延生成回路イネーブルビット	0 : 遅延生成回路動作禁止(バイパス動作) 1 : 遅延生成回路動作許可	R/W
b15-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDLYCR レジスタは、PWM 出力に遅延を付加する PWM 遅延生成回路の制御を行います。

DLLEN ビット (DLL 動作イネーブルビット)

PWM 遅延生成回路に内蔵の DLL を起動するかしないかを選択します。

DLYRST ビット (PWM 遅延生成回路リセットビット)

PWM 遅延生成回路の内部状態をリセットします。

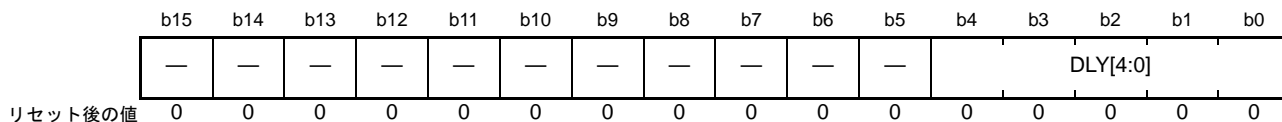
DLYEN ビット (PWM 遅延生成回路イネーブルビット)

GTIOChA、GTIOChB 端子から出力する PWM 出力が、PWM 遅延生成回路で遅延させた信号か、PWM 遅延生成回路をバイパスした信号かを選択します。(n = 0 ~ 3)。

PWM 遅延生成回路で遅延させた信号は、PWM 遅延生成回路をバイパスした信号に対して PCLKA 3 クロックの遅延後に出力されます。

24.2.39 GTIOCA 立ち上がり出力遅延レジスタ (GTDLYRA)

アドレス GPT0.GTDLYRA 000C 2318h、GPT1.GTDLYRA 000C 231Ch、GPT2.GTDLYRA 000C 2320h、GPT3.GTDLYRA 000C 2324h

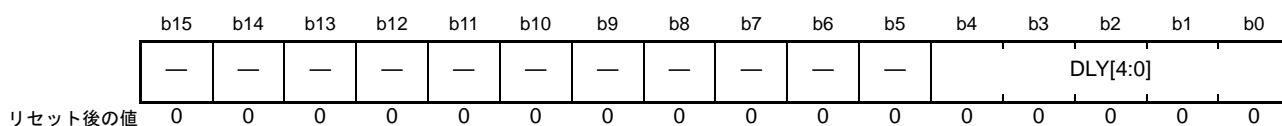


ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCA出力立ち上がり遅延値設定ビット	b4 b0 00000: 立ち上がり遅延無し 00001: PCLKA 1/ 32 の遅延付加 00010: PCLKA 2/ 32 の遅延付加 00011: PCLKA 3/ 32 の遅延付加 00100: PCLKA 4/ 32 の遅延付加 00101: PCLKA 5/ 32 の遅延付加 00110: PCLKA 6/ 32 の遅延付加 00111: PCLKA 7/ 32 の遅延付加 01000: PCLKA 8/ 32 の遅延付加 01001: PCLKA 9/ 32 の遅延付加 01010: PCLKA 10/ 32 の遅延付加 01011: PCLKA 11/ 32 の遅延付加 01100: PCLKA 12/ 32 の遅延付加 01101: PCLKA 13/ 32 の遅延付加 01110: PCLKA 14/ 32 の遅延付加 01111: PCLKA 15/ 32 の遅延付加 10000: PCLKA 16/ 32 の遅延付加 10001: PCLKA 17/ 32 の遅延付加 10010: PCLKA 18/ 32 の遅延付加 10011: PCLKA 19/ 32 の遅延付加 10100: PCLKA 20/ 32 の遅延付加 10101: PCLKA 21/ 32 の遅延付加 10110: PCLKA 22/ 32 の遅延付加 10111: PCLKA 23/ 32 の遅延付加 11000: PCLKA 24/ 32 の遅延付加 11001: PCLKA 25/ 32 の遅延付加 11010: PCLKA 26/ 32 の遅延付加 11011: PCLKA 27/ 32 の遅延付加 11100: PCLKA 28/ 32 の遅延付加 11101: PCLKA 29/ 32 の遅延付加 11110: PCLKA 30/ 32 の遅延付加 11111: PCLKA 31/ 32 の遅延付加	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDLRYA レジスタは、GTIOCA 出力立ち上がりに付加する遅延値を設定するレジスタです。設定値の転送タイミングは「24.2.39 GTIOCA 立ち上がり出力遅延レジスタ (GTDLYRA)」、「24.2.40 GTIOCA 立ち下がり出力遅延レジスタ (GTDLYFA)」、「24.2.41 GTIOCB 立ち上がり出力遅延レジスタ (GTDLYRB)」、「24.2.42 GTIOCB 立ち下がり出力遅延レジスタ (GTDLYFB)」を参照ください。

24.2.40 GTIOCA 立ち下がり出力遅延レジスタ (GTDLYFA)

アドレス GPT0.GTDLYFA 000C 2328h、GPT1.GTDLYFA 000C 232Ch、GPT2.GTDLYFA 000C 2330h、GPT3.GTDLYFA 000C 2334h

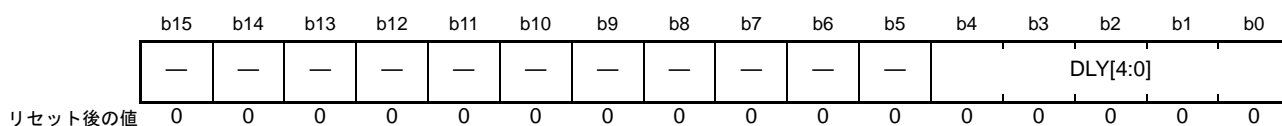


ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCA出力立ち下がり遅延値設定ビット	b4 b0 00000: 立ち下がり遅延無し 00001: PCLKA 1/ 32 の遅延付加 00010: PCLKA 2/ 32 の遅延付加 00011: PCLKA 3/ 32 の遅延付加 00100: PCLKA 4/ 32 の遅延付加 00101: PCLKA 5/ 32 の遅延付加 00110: PCLKA 6/ 32 の遅延付加 00111: PCLKA 7/ 32 の遅延付加 01000: PCLKA 8/ 32 の遅延付加 01001: PCLKA 9/ 32 の遅延付加 01010: PCLKA 10/ 32 の遅延付加 01011: PCLKA 11/ 32 の遅延付加 01100: PCLKA 12/ 32 の遅延付加 01101: PCLKA 13/ 32 の遅延付加 01110: PCLKA 14/ 32 の遅延付加 01111: PCLKA 15/ 32 の遅延付加 10000: PCLKA 16/ 32 の遅延付加 10001: PCLKA 17/ 32 の遅延付加 10010: PCLKA 18/ 32 の遅延付加 10011: PCLKA 19/ 32 の遅延付加 10100: PCLKA 20/ 32 の遅延付加 10101: PCLKA 21/ 32 の遅延付加 10110: PCLKA 22/ 32 の遅延付加 10111: PCLKA 23/ 32 の遅延付加 11000: PCLKA 24/ 32 の遅延付加 11001: PCLKA 25/ 32 の遅延付加 11010: PCLKA 26/ 32 の遅延付加 11011: PCLKA 27/ 32 の遅延付加 11100: PCLKA 28/ 32 の遅延付加 11101: PCLKA 29/ 32 の遅延付加 11110: PCLKA 30/ 32 の遅延付加 11111: PCLKA 31/ 32 の遅延付加	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDLFYFA レジスタは、GTIOCA 出力立ち下がり に付加する遅延値を設定するレジスタです。設定値の転送タイミングは「24.2.39 GTIOCA 立ち上がり出力遅延レジスタ (GTDLYRA)」、「24.2.40 GTIOCA 立ち下がり出力遅延レジスタ (GTDLYFA)」、「24.2.41 GTIOCB 立ち上がり出力遅延レジスタ (GTDLYRB)」、「24.2.42 GTIOCB 立ち下がり出力遅延レジスタ (GTDLYFB)」を参照ください。

24.2.41 GTIOCB 立ち上がり出力遅延レジスタ (GTDLYRB)

アドレス GPT0.GTDLYRB 000C 231Ah、GPT1.GTDLYRB 000C 231Eh、GPT2.GTDLYRB 000C 2322h、
GPT3.GTDLYRB 000C 2326h

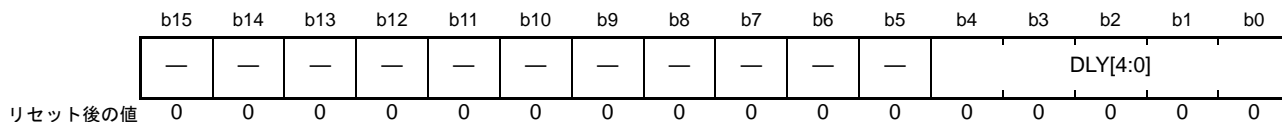


ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCB出力立ち上がり遅延値設定ビット	b4 b0 00000: 立ち上がり遅延無し 00001: PCLKA 1/ 32 の遅延付加 00010: PCLKA 2/ 32 の遅延付加 00011: PCLKA 3/ 32 の遅延付加 00100: PCLKA 4/ 32 の遅延付加 00101: PCLKA 5/ 32 の遅延付加 00110: PCLKA 6/ 32 の遅延付加 00111: PCLKA 7/ 32 の遅延付加 01000: PCLKA 8/ 32 の遅延付加 01001: PCLKA 9/ 32 の遅延付加 01010: PCLKA 10/ 32 の遅延付加 01011: PCLKA 11/ 32 の遅延付加 01100: PCLKA 12/ 32 の遅延付加 01101: PCLKA 13/ 32 の遅延付加 01110: PCLKA 14/ 32 の遅延付加 01111: PCLKA 15/ 32 の遅延付加 10000: PCLKA 16/ 32 の遅延付加 10001: PCLKA 17/ 32 の遅延付加 10010: PCLKA 18/ 32 の遅延付加 10011: PCLKA 19/ 32 の遅延付加 10100: PCLKA 20/ 32 の遅延付加 10101: PCLKA 21/ 32 の遅延付加 10110: PCLKA 22/ 32 の遅延付加 10111: PCLKA 23/ 32 の遅延付加 11000: PCLKA 24/ 32 の遅延付加 11001: PCLKA 25/ 32 の遅延付加 11010: PCLKA 26/ 32 の遅延付加 11011: PCLKA 27/ 32 の遅延付加 11100: PCLKA 28/ 32 の遅延付加 11101: PCLKA 29/ 32 の遅延付加 11110: PCLKA 30/ 32 の遅延付加 11111: PCLKA 31/ 32 の遅延付加	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDLRYB レジスタは、GTIOCB 出力立ち上がりに付加する遅延値を設定するレジスタです。設定値の転送タイミングは「24.2.39 GTIOCA 立ち上がり出力遅延レジスタ (GTDLYRA)」、「24.2.40 GTIOCA 立ち下がり出力遅延レジスタ (GTDLYFA)」、「24.2.41 GTIOCB 立ち上がり出力遅延レジスタ (GTDLYRB)」、「24.2.42 GTIOCB 立ち下がり出力遅延レジスタ (GTDLYFB)」を参照ください。

24.2.42 GTIOCB 立ち下がり出力遅延レジスタ (GTDLYFB)

アドレス GPT0.GTDLYFB 000C 232Ah、GPT1.GTDLYFB 000C 232Eh、GPT2.GTDLYFB 000C 2332h、GPT3.GTDLYFB 000C 2336h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCB出力立ち下がり遅延値設定ビット	b4 b0 00000: 立ち下がり遅延無し 00001: PCLKA 1/ 32 の遅延付加 00010: PCLKA 2/ 32 の遅延付加 00011: PCLKA 3/ 32 の遅延付加 00100: PCLKA 4/ 32 の遅延付加 00101: PCLKA 5/ 32 の遅延付加 00110: PCLKA 6/ 32 の遅延付加 00111: PCLKA 7/ 32 の遅延付加 01000: PCLKA 8/ 32 の遅延付加 01001: PCLKA 9/ 32 の遅延付加 01010: PCLKA 10/ 32 の遅延付加 01011: PCLKA 11/ 32 の遅延付加 01100: PCLKA 12/ 32 の遅延付加 01101: PCLKA 13/ 32 の遅延付加 01110: PCLKA 14/ 32 の遅延付加 01111: PCLKA 15/ 32 の遅延付加 10000: PCLKA 16/ 32 の遅延付加 10001: PCLKA 17/ 32 の遅延付加 10010: PCLKA 18/ 32 の遅延付加 10011: PCLKA 19/ 32 の遅延付加 10100: PCLKA 20/ 32 の遅延付加 10101: PCLKA 21/ 32 の遅延付加 10110: PCLKA 22/ 32 の遅延付加 10111: PCLKA 23/ 32 の遅延付加 11000: PCLKA 24/ 32 の遅延付加 11001: PCLKA 25/ 32 の遅延付加 11010: PCLKA 26/ 32 の遅延付加 11011: PCLKA 27/ 32 の遅延付加 11100: PCLKA 28/ 32 の遅延付加 11101: PCLKA 29/ 32 の遅延付加 11110: PCLKA 30/ 32 の遅延付加 11111: PCLKA 31/ 32 の遅延付加	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDLFYB レジスタは、GTIOCB 出力立ち下がり付加する遅延値を設定するレジスタです。設定値の転送タイミングは「24.2.39 GTIOCA 立ち上がり出力遅延レジスタ (GTDLYRA)」、「24.2.40 GTIOCA 立ち下がり出力遅延レジスタ (GTDLYFA)」、「24.2.41 GTIOCB 立ち上がり出力遅延レジスタ (GTDLYRB)」、「24.2.42 GTIOCB 立ち下がり出力遅延レジスタ (GTDLYFB)」を参照ください。

24.3 動作説明

24.3.1 基本動作

各チャンネルの16ビットタイマは、アップカウント動作、ダウンカウント動作、またはアップ/ダウンカウント動作を行います。タイマ周期はGTPRレジスタによって制御されます。

GTCNTカウンタ値がGTCCRAレジスタ、GTCCRBレジスタの値と一致すると、それぞれGTIOCnA出力端子、GTIOCnB出力端子を変化させることができますn= (0～7)。また、GTIOCnA端子、GTIOCnB端子を入力としてGTCCRAレジスタ、GTCCRBレジスタをインプットキャプチャレジスタとして使用することができます。

GTCCRCレジスタ、GTCCRDレジスタはGTCCRAレジスタのバッファレジスタ、GTCCREレジスタ、GTCCRFレジスタはGTCCRBレジスタのバッファレジスタとして動作させることができます。

24.3.1.1 カウンタの動作

(1) 周期カウント動作（アップカウント時）

各チャンネルのカウンタは、GTSTRレジスタの対応するCSTビットを“1”にするとアップカウント動作を開始します。GTCNTカウンタ値がGTPRレジスタ値と一致（オーバフロー）すると、GTST.TCFPOフラグを“1”にします。このとき、GTINTAD.GTINTPR[0]ビットが“1”ならば、GTCIV割り込みを要求します。GTCNTカウンタはオーバフロー後、“0000h”からアップカウント動作を継続します。

アップカウント時の周期カウント動作例を図24.2に示します。

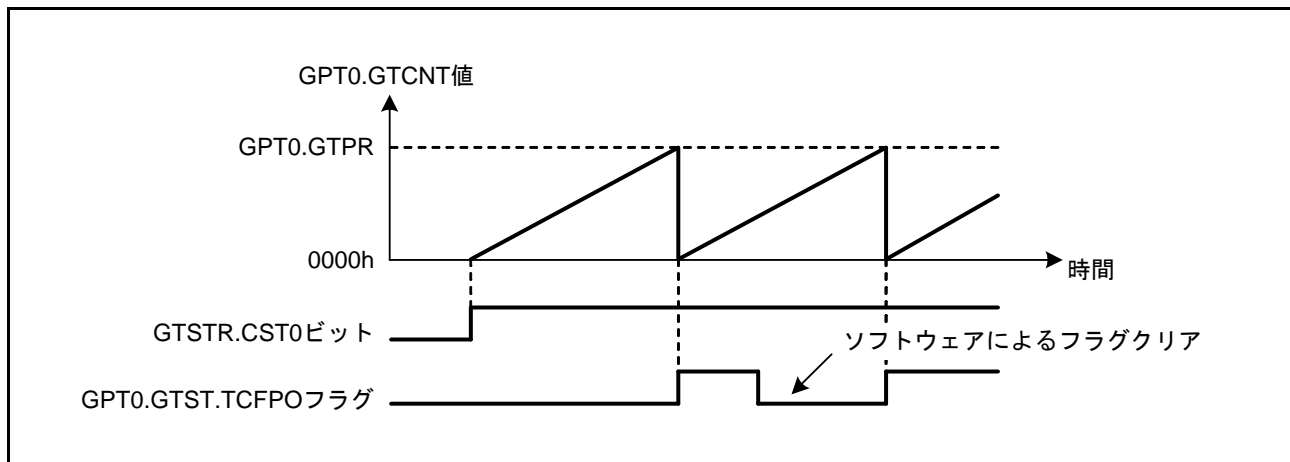


図 24.2 周期カウント動作例（アップカウント時）

アップカウント時の周期カウント動作設定例（アップカウント時）を図 24.3 に示します。

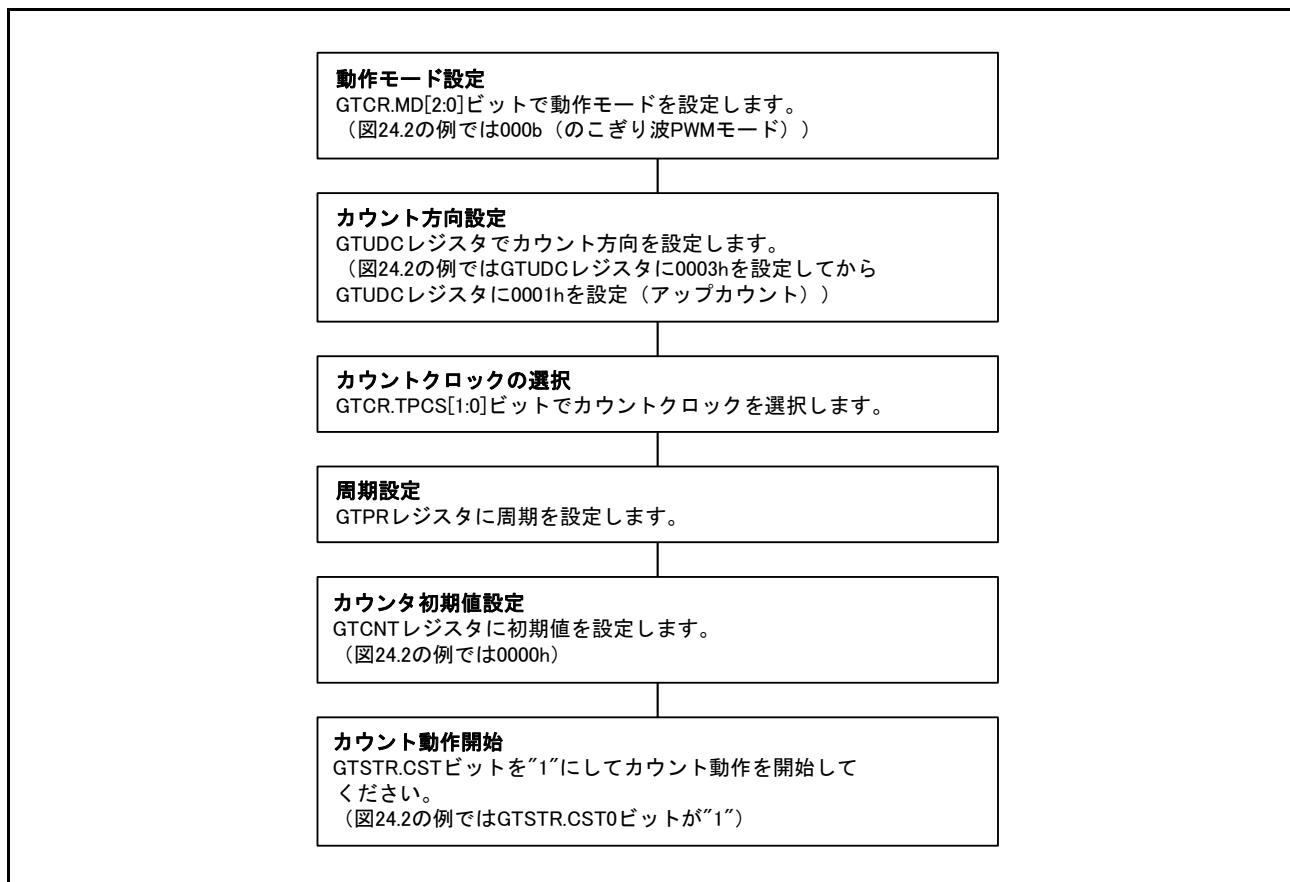


図 24.3 周期カウント動作設定例（アップカウント時）

(2) 周期カウント動作 (ダウンカウント時)

各チャンネルのカウンタは、GTUDCレジスタを設定することで、ダウンカウント動作を行うことが可能です。GTCNTカウンタ値が“0” (アンダフロー) になると、GTST.TCFPUフラグが“1”になります。このとき、GTINTAD.GTINTPR[1]ビットが“1”ならば、GTCIV割り込みを要求します。GTCNTカウンタはアンダフロー後、GTPRレジスタ値からダウンカウント動作を継続します。

ダウンカウント時の周期カウント動作例を図24.4に示します。

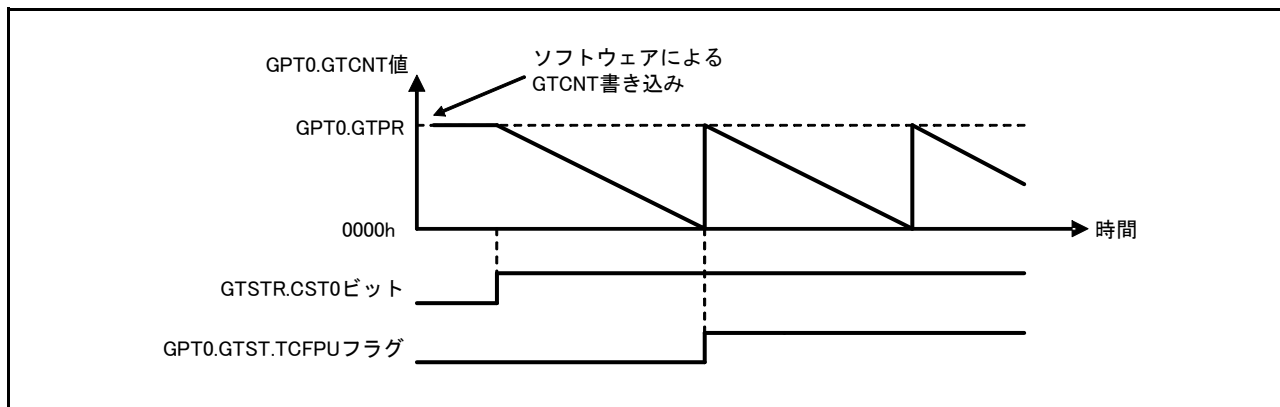


図 24.4 周期カウント動作例 (ダウンカウント時)

ダウンカウント時の周期カウント動作設定例を図 24.5 に示します。

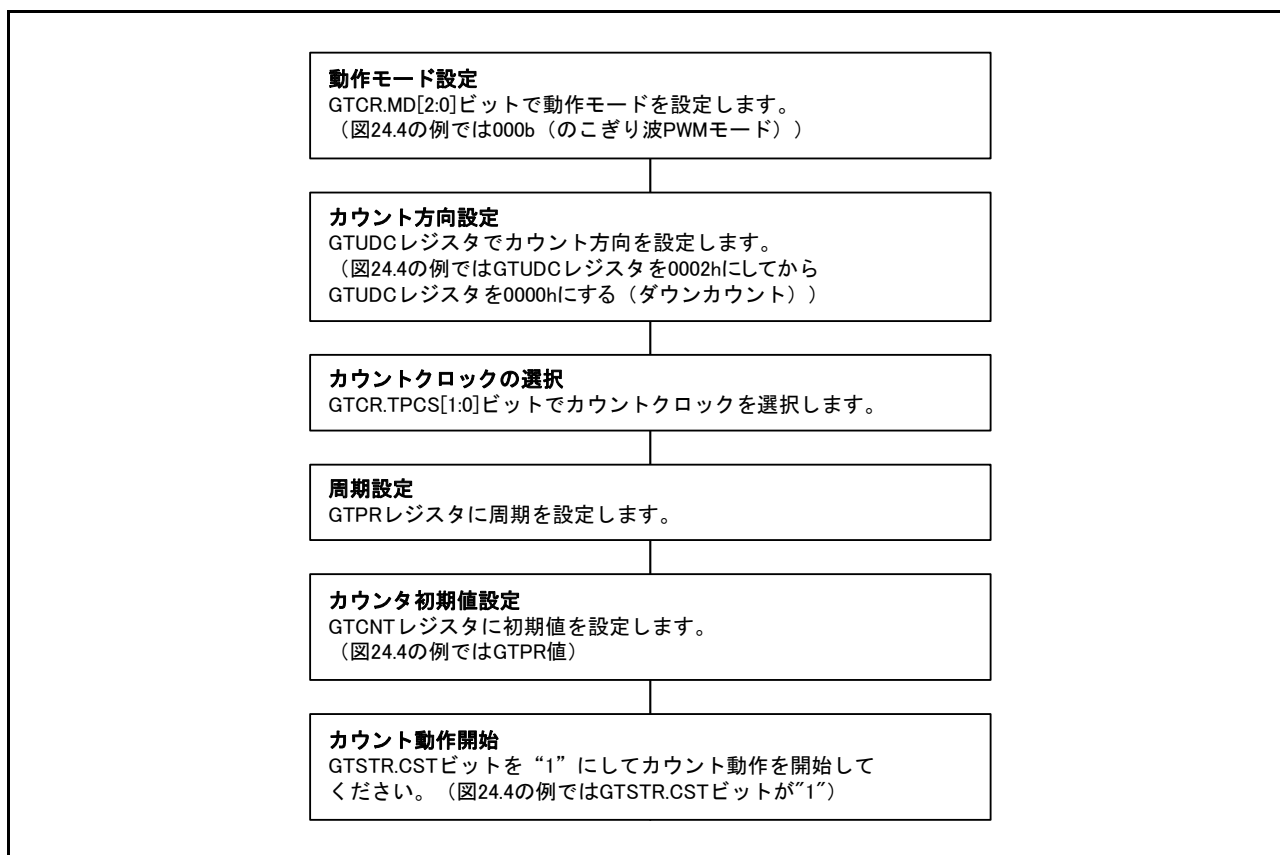


図 24.5 周期カウント動作設定例 (ダウンカウント時)

24.3.1.2 コンペアマッチによる波形出力機能

GPTn.GTCNT カウンタ値が GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタの値と一致すると、それぞれ GTIOCnA 出力端子、GTIOCnB 出力端子を Low 出力 / High 出力 / トグル出力することができます (n : チャネル番号)。

また、GPTn.GTPR により決まる “周期の終わり” でも、GTIOCnA 出力端子、GTIOCnB 出力端子を Low 出力 / High 出力 / トグル出力することができます。“周期の終わり” とは、以下を示します。

- のこぎり波でアップカウントの場合 : GPTn.GTCNT=GPTn.GTPR となったとき (オーバフロー)
- のこぎり波でダウンカウントの場合 : GPTn.GTCNT=0 となったとき (アンダフロー)
- 三角波の場合 : GPTn.GTCNT = 0 となったとき (谷)

(1) Low 出力 / High 出力

GTCCRA レジスタ、GTCCRB レジスタとのコンペアマッチによる Low 出力 / High 出力動作例を図 24.6 に示します。

チャンネル 0 をアップカウント動作し、GPT0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子を High 出力、GPT0.GTCCRB レジスタとのコンペアマッチにより GTIOC0B 端子を Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

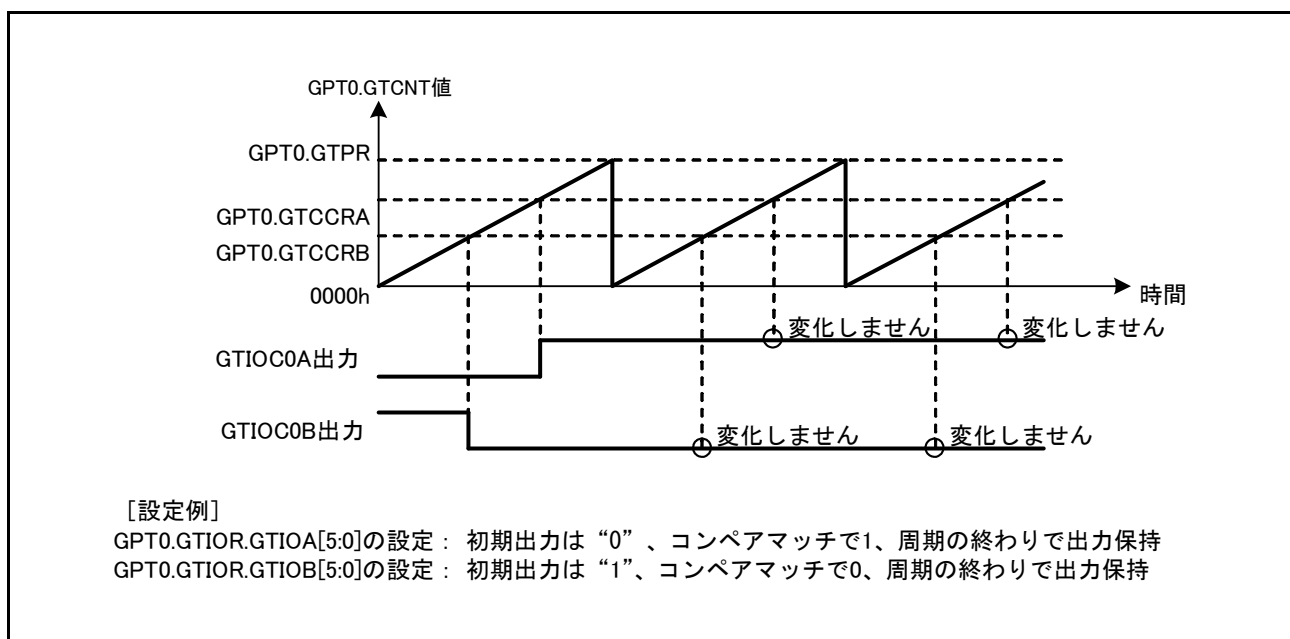


図 24.6 Low 出力 / High 出力動作例

Low 出力 / High 出力動作設定例を図 24.7 に示します。

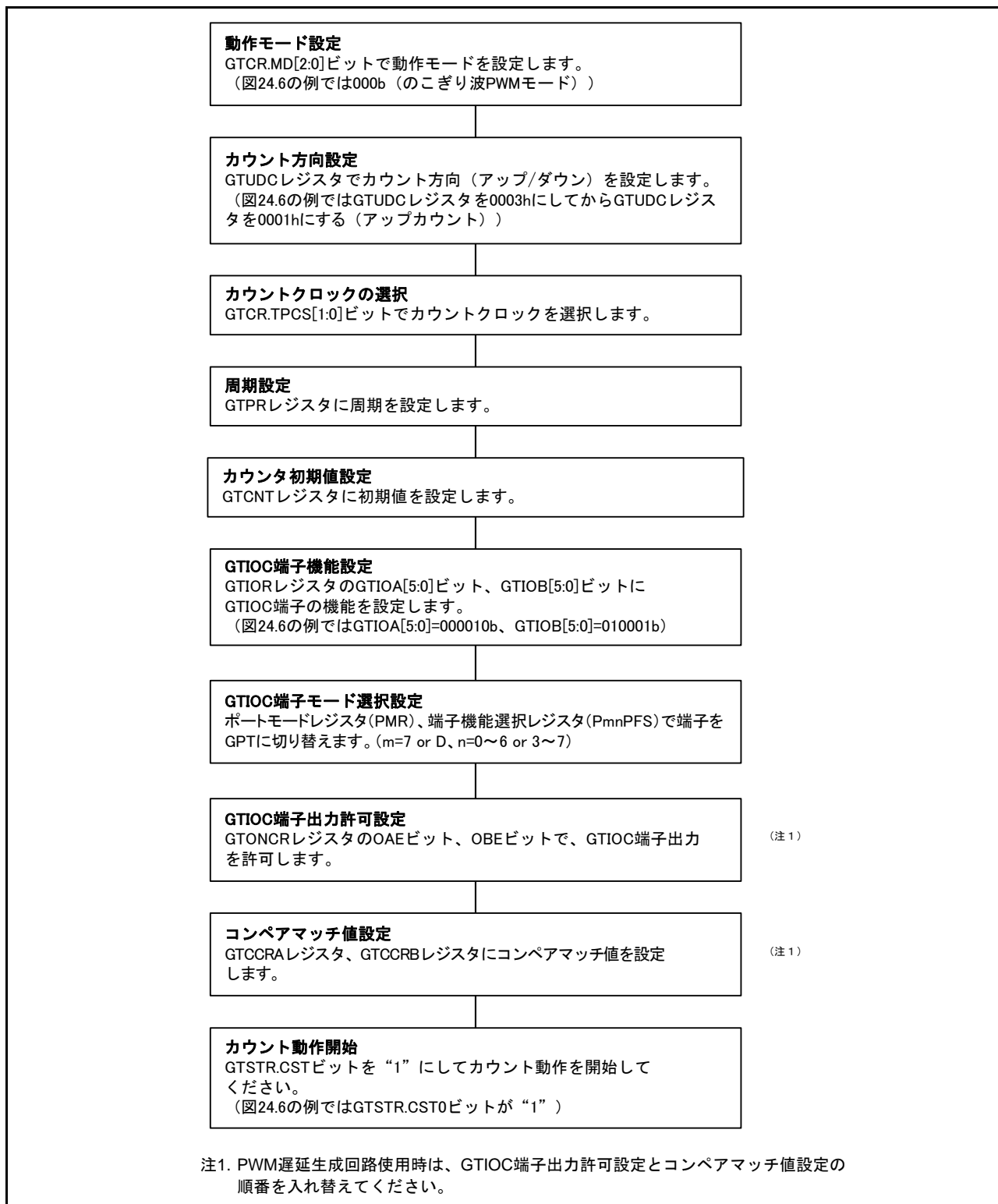


図 24.7 Low 出力 / High 出力動作設定例

(2) トグル出力

GTCRA レジスタ、GTCCRB レジスタとのコンペアマッチによるトグル出力動作例を図 24.8、図 24.9 に示します。

図 24.8 は、チャンネル 0 をアップカウント動作し、GPT0.GTCCRA レジスタ、GPT0.GTCCRB レジスタとのコンペアマッチによりそれぞれ GTIOC0A 端子、GTIOC0B 端子をトグル出力となるように設定した場合の例です。

図 24.9 は、チャンネル 0 をアップカウント動作し、GPT0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子をトグル出力、周期の終わりで GTIOC0B 端子をトグル出力となるように設定した場合の例です。

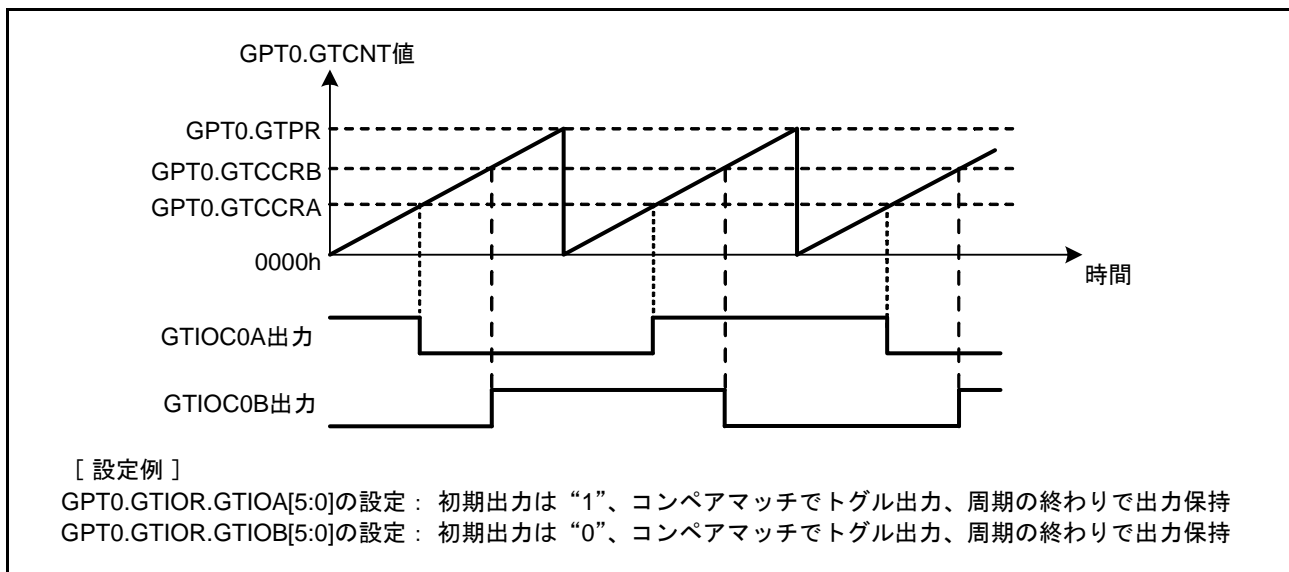


図 24.8 トグル出力動作例 (1)

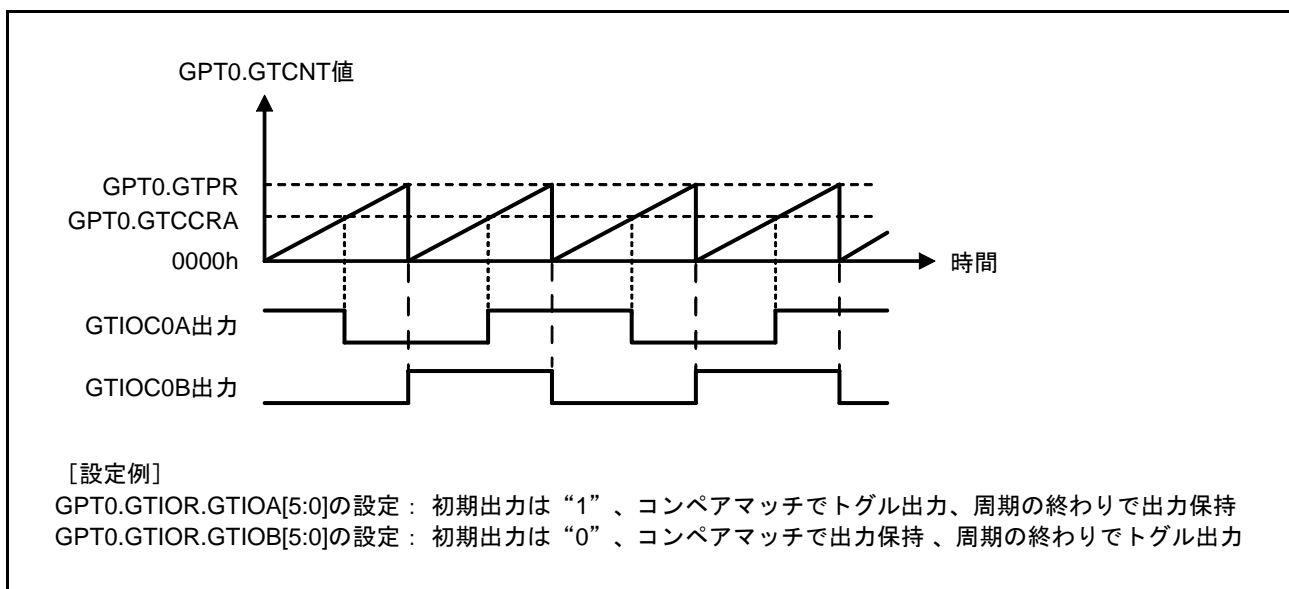


図 24.9 トグル出力動作例 (2)

トグル出力動作設定例を図 24.10 に示します。

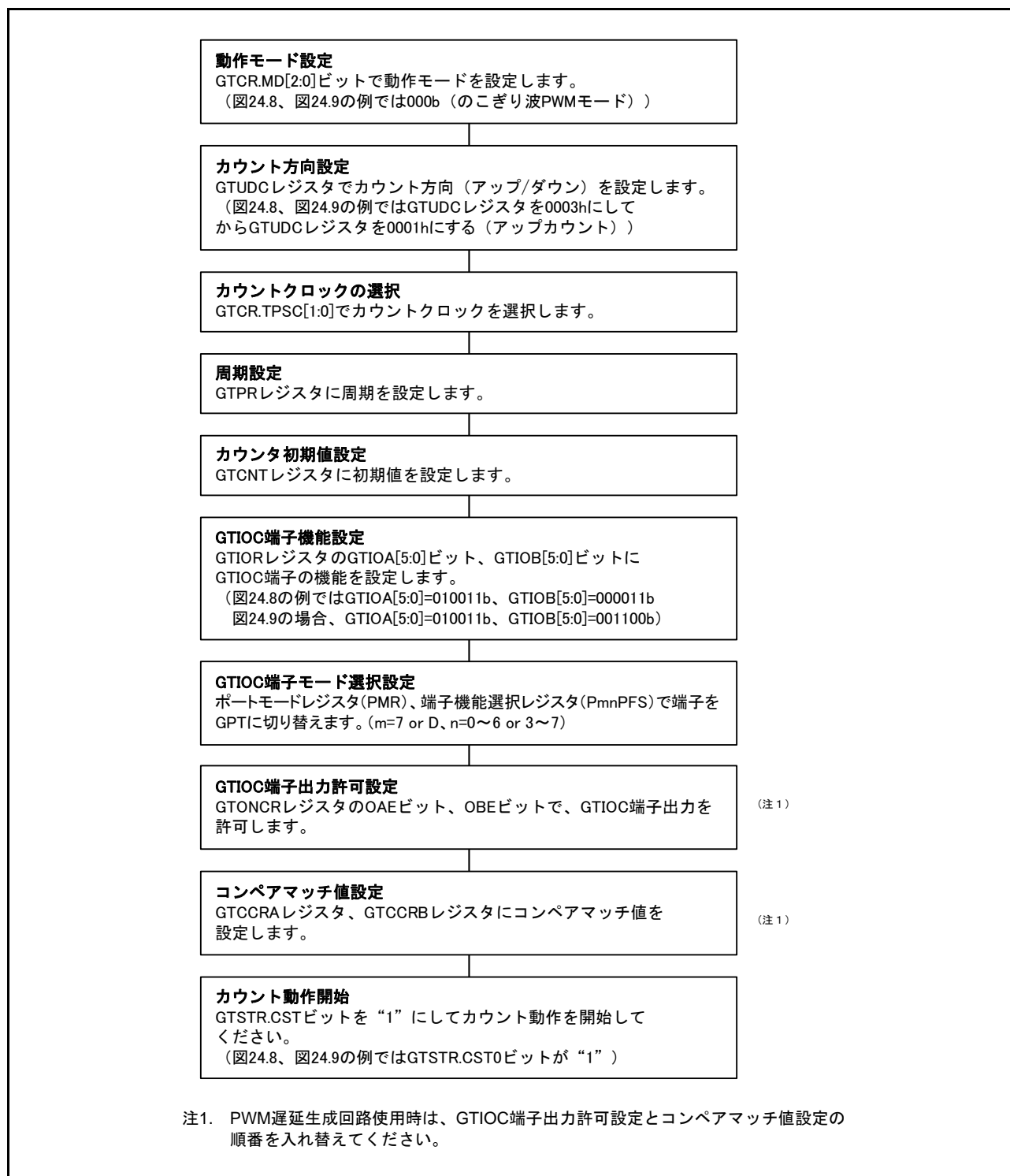


図 24.10 トグル出力動作設定例

24.3.1.3 インพุットキャプチャ機能

GTIOChA 入力端子、GTIOChB 入力端子のエッジを検出して、GPTn.GTCNT カウンタの値をそれぞれ GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタに転送することができます (n: チャンネル番号)。検出エッジは、立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インพุットキャプチャ機能の動作例を図 24.11 に示します。

チャンネル 0 をアップカウント動作し、GTIOC0A 入力端子の両エッジでインพุットキャプチャ、GTIOC0B 入力端子の立ち上がりエッジでインพุットキャプチャとなるように設定した場合の例です。

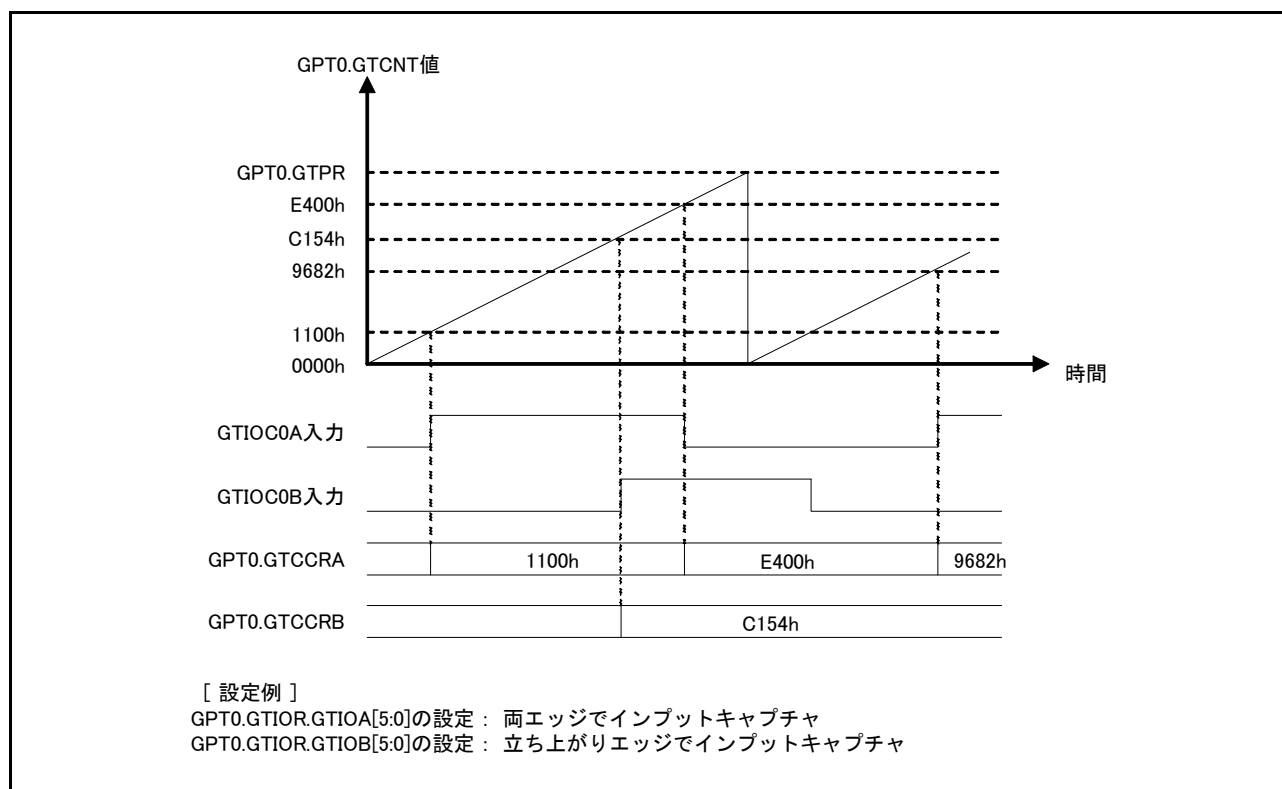


図 24.11 インพุットキャプチャ動作例

インプットキャプチャ動作設定例を図 24.12 に示します。

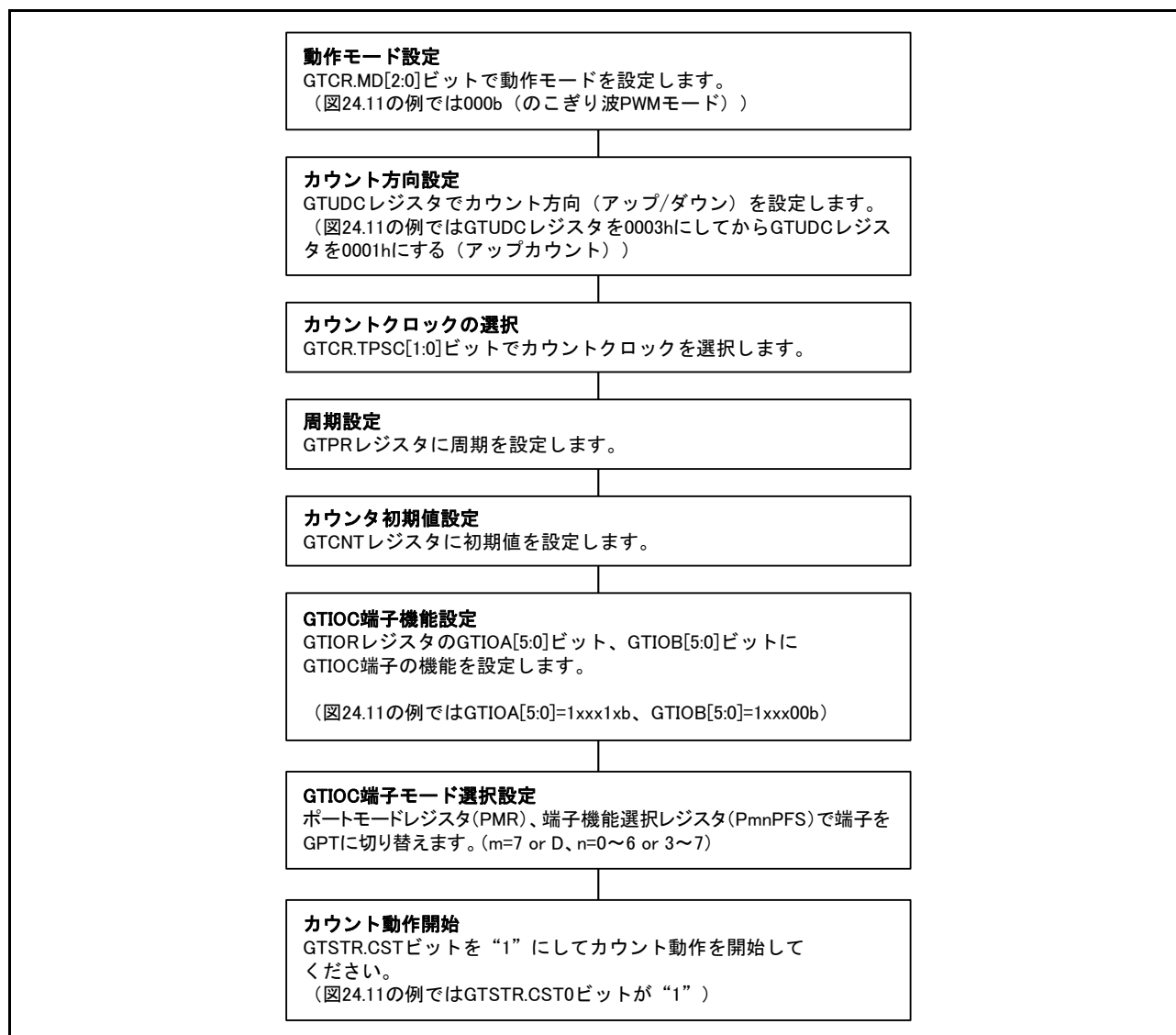


図 24.12 インプットキャプチャ動作設定例

24.3.2 バッファ動作

GTBER レジスタを設定することにより、以下のバッファ動作が可能です。

- GTCCRA レジスタと GTCCRC レジスタ、GTCCRD レジスタを組み合わせたバッファ動作
 - GTCCRB レジスタと GTCCRE レジスタ、GTCCRF レジスタを組み合わせたバッファ動作
 - GTPR レジスタと GTPBR レジスタ、GTPDBR レジスタを組み合わせたバッファ動作
 - GTADTRA レジスタと GTADTBRA レジスタ、GTADTDBRA レジスタを組み合わせたバッファ動作
 - GTADTRB レジスタと GTADTBRB レジスタ、GTADTDBRB レジスタを組み合わせたバッファ動作
- また、GTDTCR レジスタを設定することにより、以下のバッファ動作が可能です。
- GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作
 - GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作

24.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは GTPR レジスタのバッファレジスタ、GTPDBR レジスタは GTPBR レジスタのバッファレジスタ (GTPR レジスタのダブルバッファレジスタ) として動作します。

のこぎり波でダウンカウントのときは、バッファ動作の設定は禁止です。

バッファ転送のタイミングは、のこぎり波の場合はオーバフローまたはカウントクリア時、三角波の場合は谷となります。

GTPR レジスタをダブルバッファ動作させる場合には GTBER.PR[1:0] ビットに “10b” または “11b”、シングルバッファ動作させる場合には “01b”、バッファ動作させない場合には “00b” にします。

GTPR レジスタのバッファ動作例を図 24.13 ~ 図 24.14 に、GTPR レジスタのバッファ動作設定例を図 24.15 に示します。

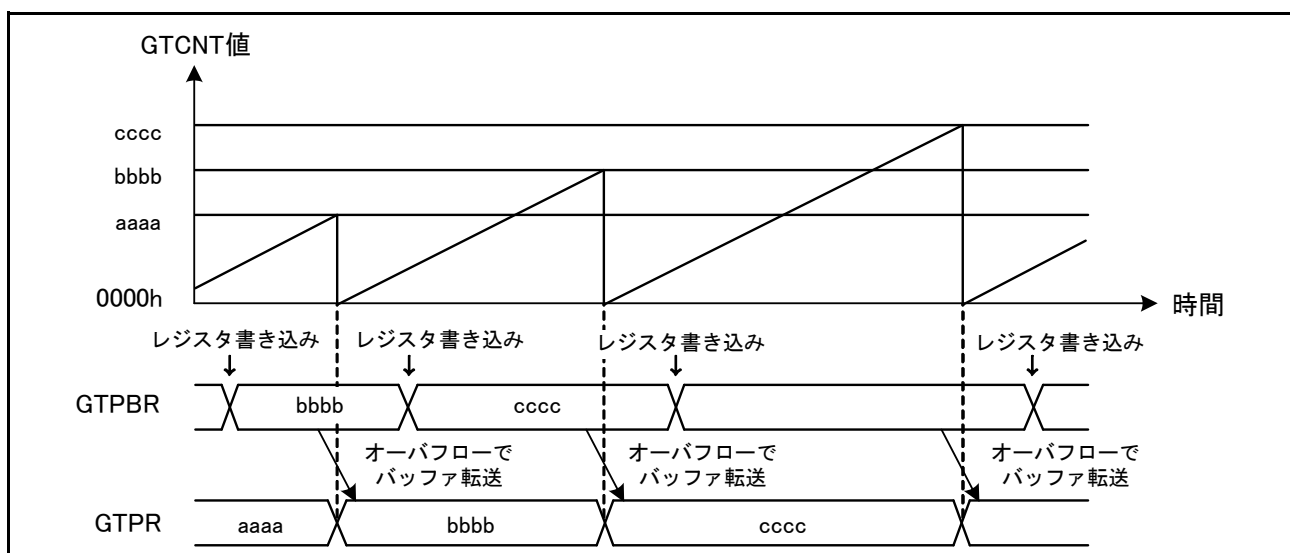


図 24.13 GTPR レジスタのバッファ動作例 (のこぎり波でアップカウントの場合)

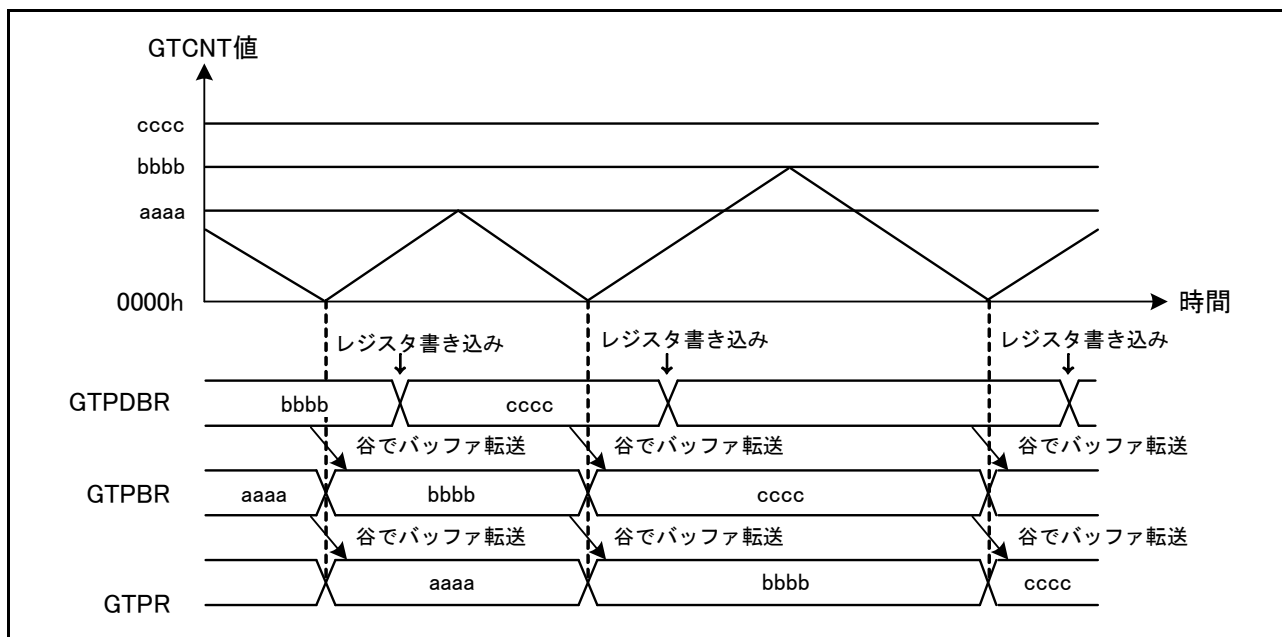


図 24.14 GTPR レジスタのダブルバッファ動作例 (三角波の場合)

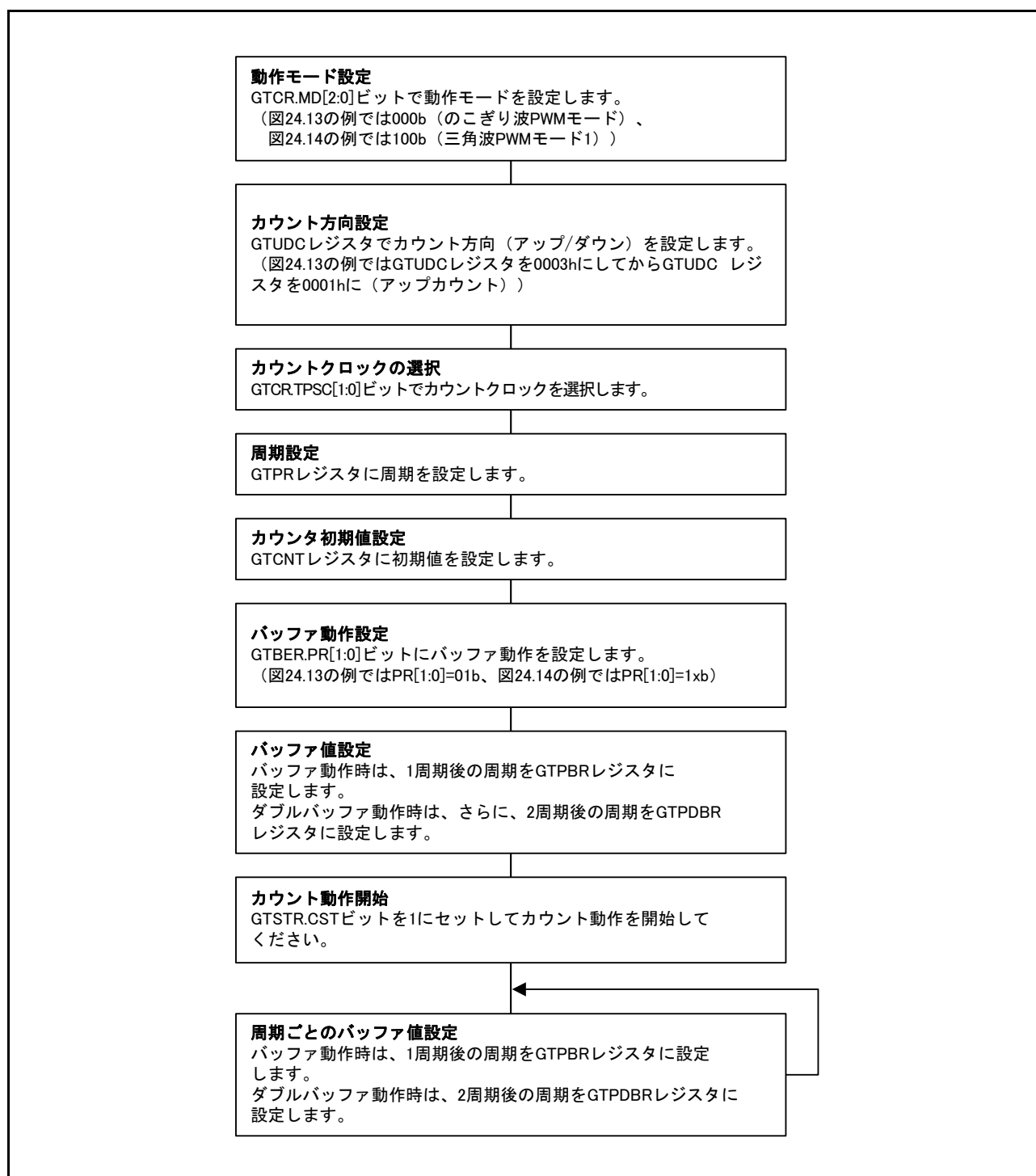


図 24.15 GTPR レジスタのバッファ動作設定例

24.3.2.2 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRD レジスタは GTCCRC レジスタのバッファレジスタ (GTCCRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTCCRE レジスタは GTCCRB レジスタのバッファレジスタ、GTCCRF レジスタは GTCCRE レジスタのバッファレジスタ (GTCCRB レジスタのダブルバッファレジスタ) として動作します。

GTCCRA レジスタ、GTCCRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.CCRA[1:0] ビット、GTBER.CCRB[1:0] ビットに“10b”または“11b”、シングルバッファ動作させる場合には“01b”、バッファ動作させない場合には“00b”にします。

(1) GTCCRA レジスタ、GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

バッファ転送のタイミングは、のこぎり波の場合はオーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時)、三角波の場合は山/谷となります。

GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例を図 24.16 ~ 図 24.18 に、GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例を図 24.19 に示します。

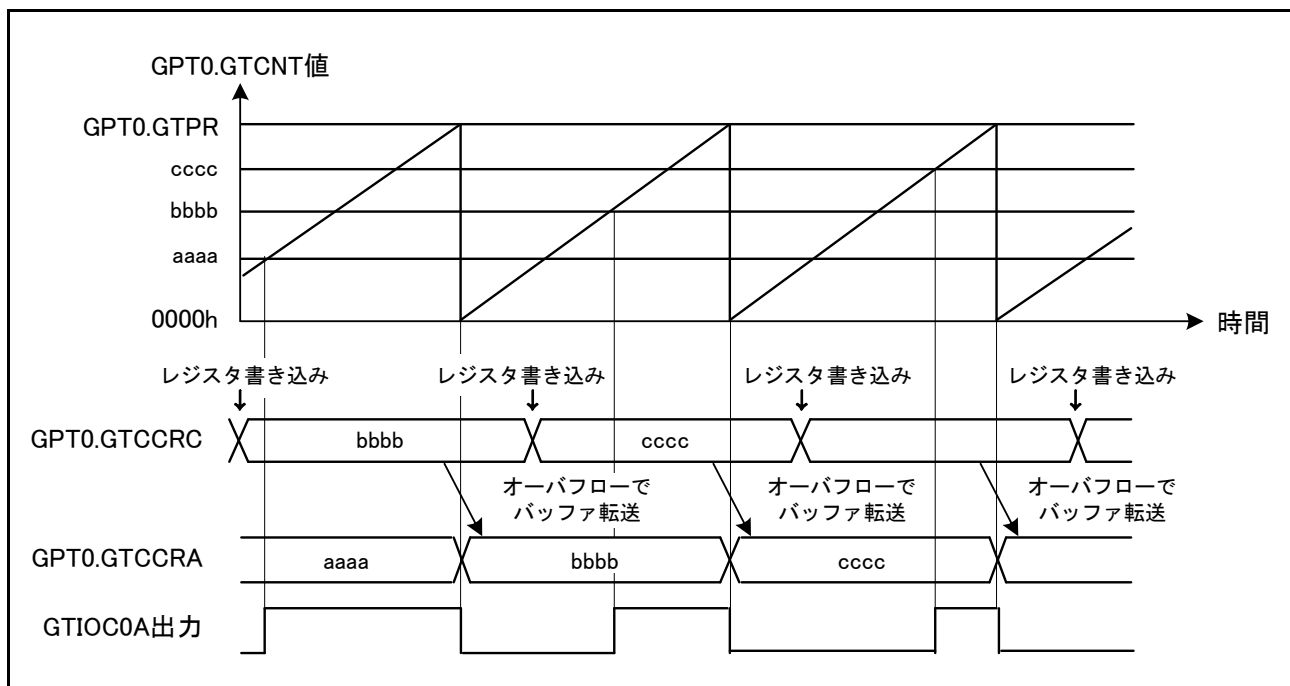


図 24.16 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例
(アウトプットコンペア、のこぎり波でアップカウント、GTCCRA コンペアマッチで High 出力、
周期の終わりで Low 出力の場合)

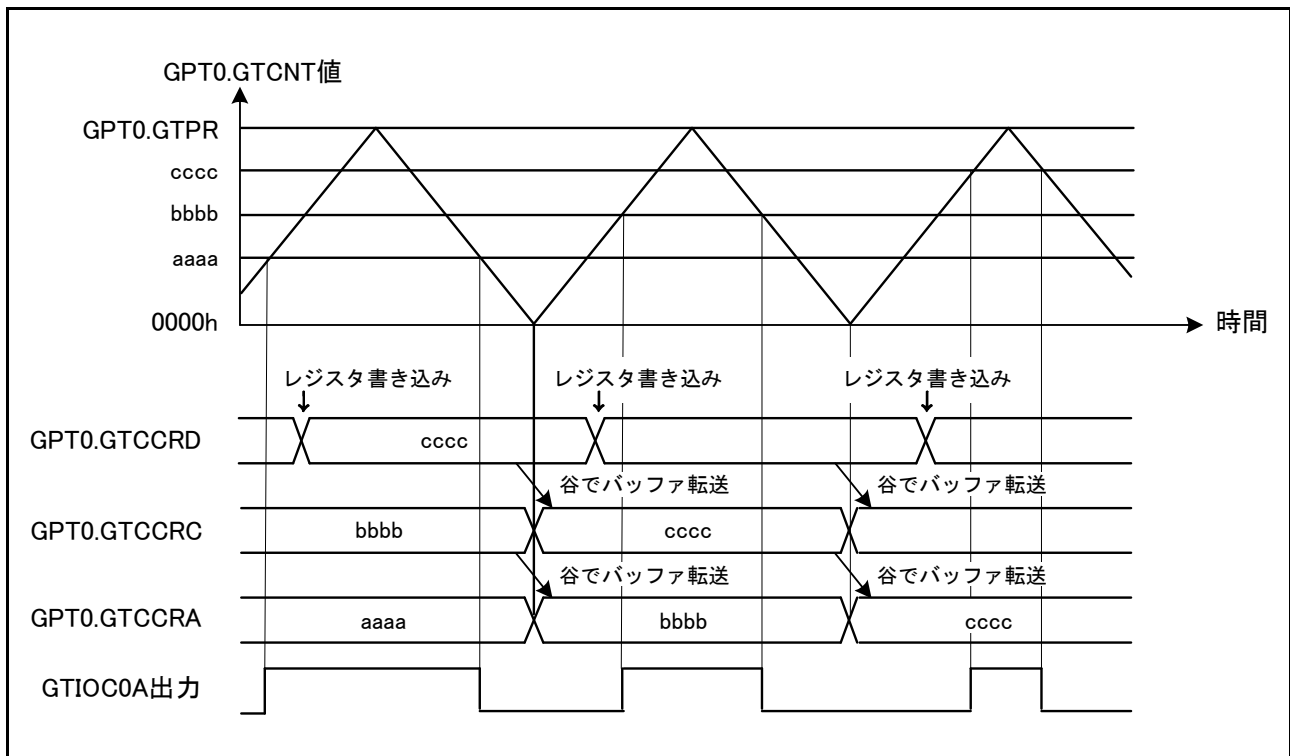


図 24.17 GTCCRA レジスタ、GTCCRB レジスタのダブルバッファ動作例
 (アウトプットコンペア、三角波、谷でバッファ転送、GTCCRA コンペアマッチでトグル出力、
 周期の終わりで出力保持の場合)

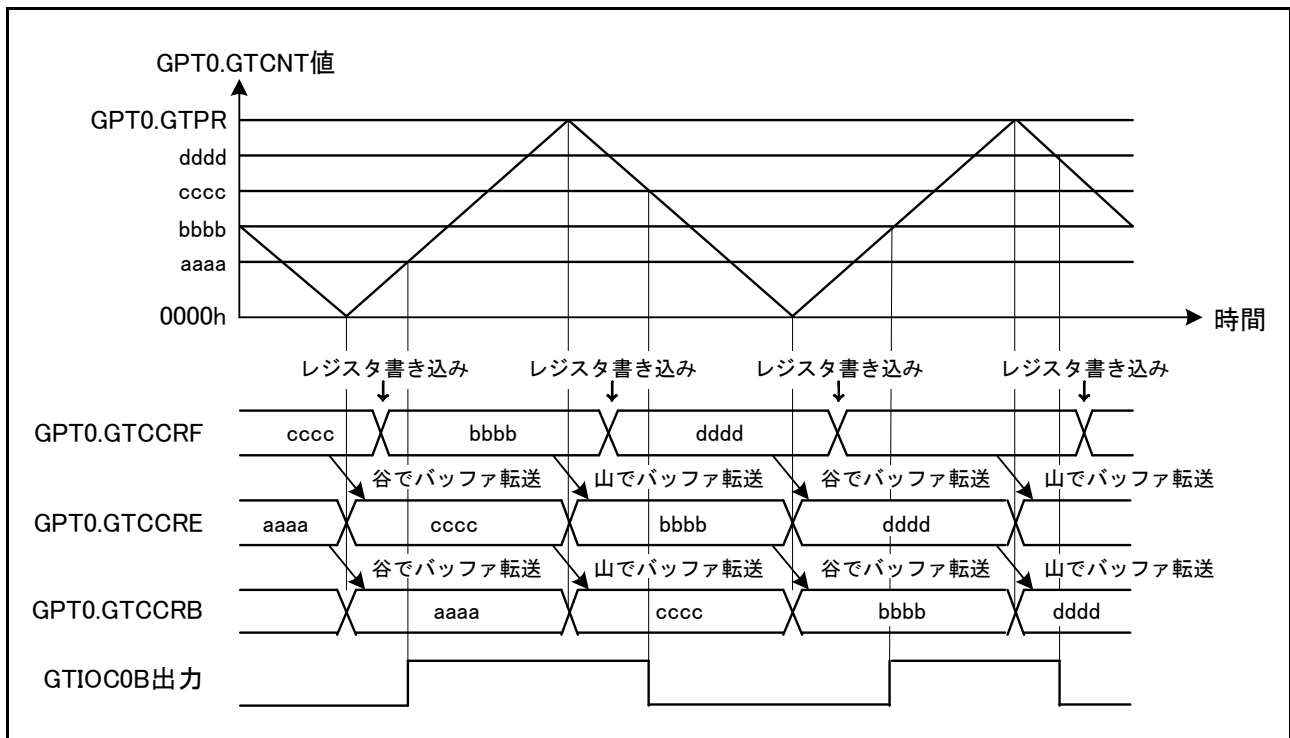


図 24.18 GTCCRA レジスタ、GTCCRB レジスタのダブルバッファ動作例
 (アウトプットコンペア、三角波、谷/山両方でバッファ転送、GTCCRB コンペアマッチでトグル出力、
 周期の終わりで出力保持の場合)

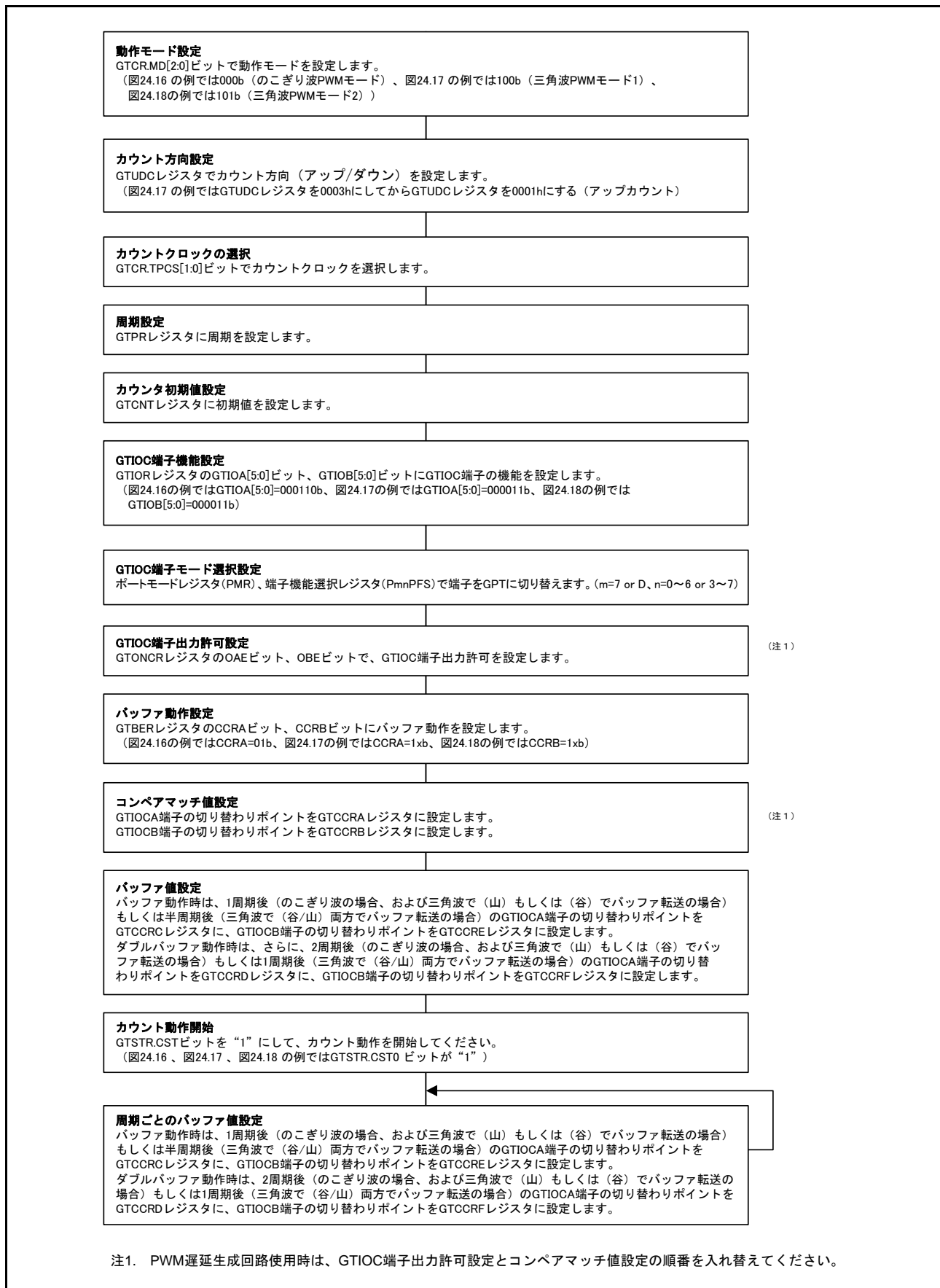


図 24.19 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時)

(2) GTCCRA レジスタ、GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

バッファ転送のタイミングは、インプットキャプチャが発生したポイントとなります。インプットキャプチャが発生すると、GTCNT カウンタの値を GTCCRA レジスタ、GTCCRB レジスタに転送すると同時に、それまで格納されていた GTCCRA レジスタ、GTCCRB レジスタの値をバッファレジスタに転送します。

GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例を図 24.20、図 24.21 に、GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例を図 24.22 に示します。

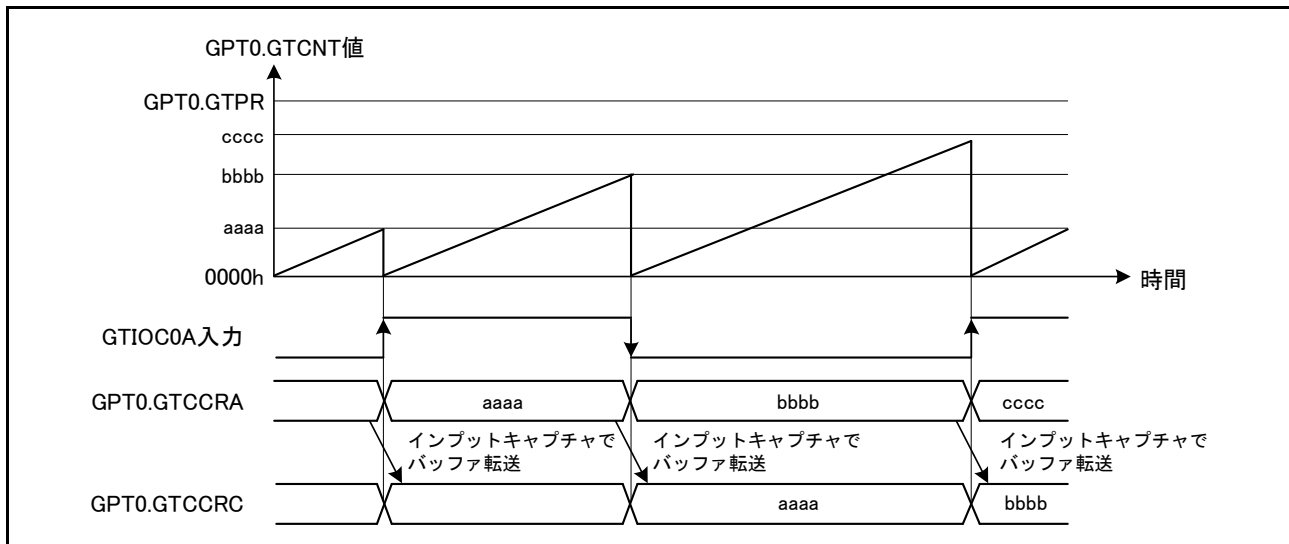


図 24.20 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例
(GTIIOC0A 入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTCCRA レジスタのインプットキャプチャで GTCNT カウンタクリアの場合)

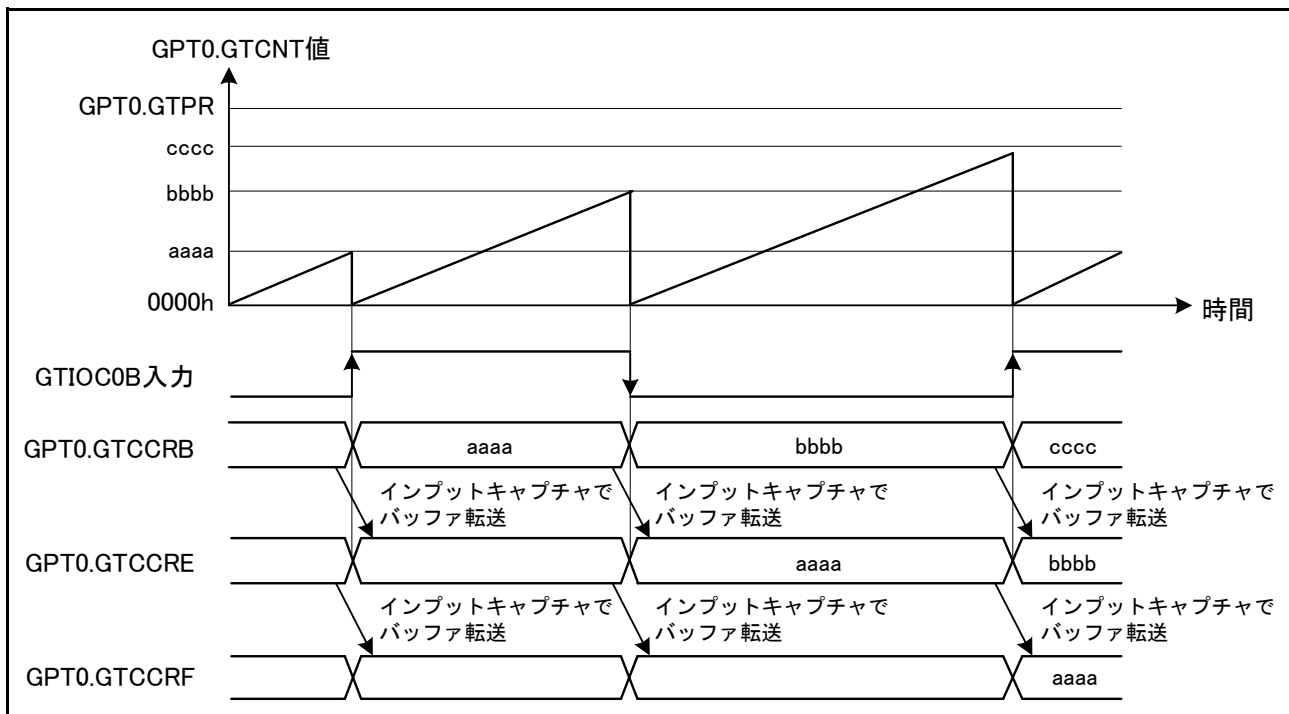


図 24.21 GTCCRA レジスタ、GTCCRB レジスタのダブルバッファ動作例
(GTIIOC0B 入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTCCRB レジスタのインプットキャプチャで GTCNT カウンタクリアの場合)

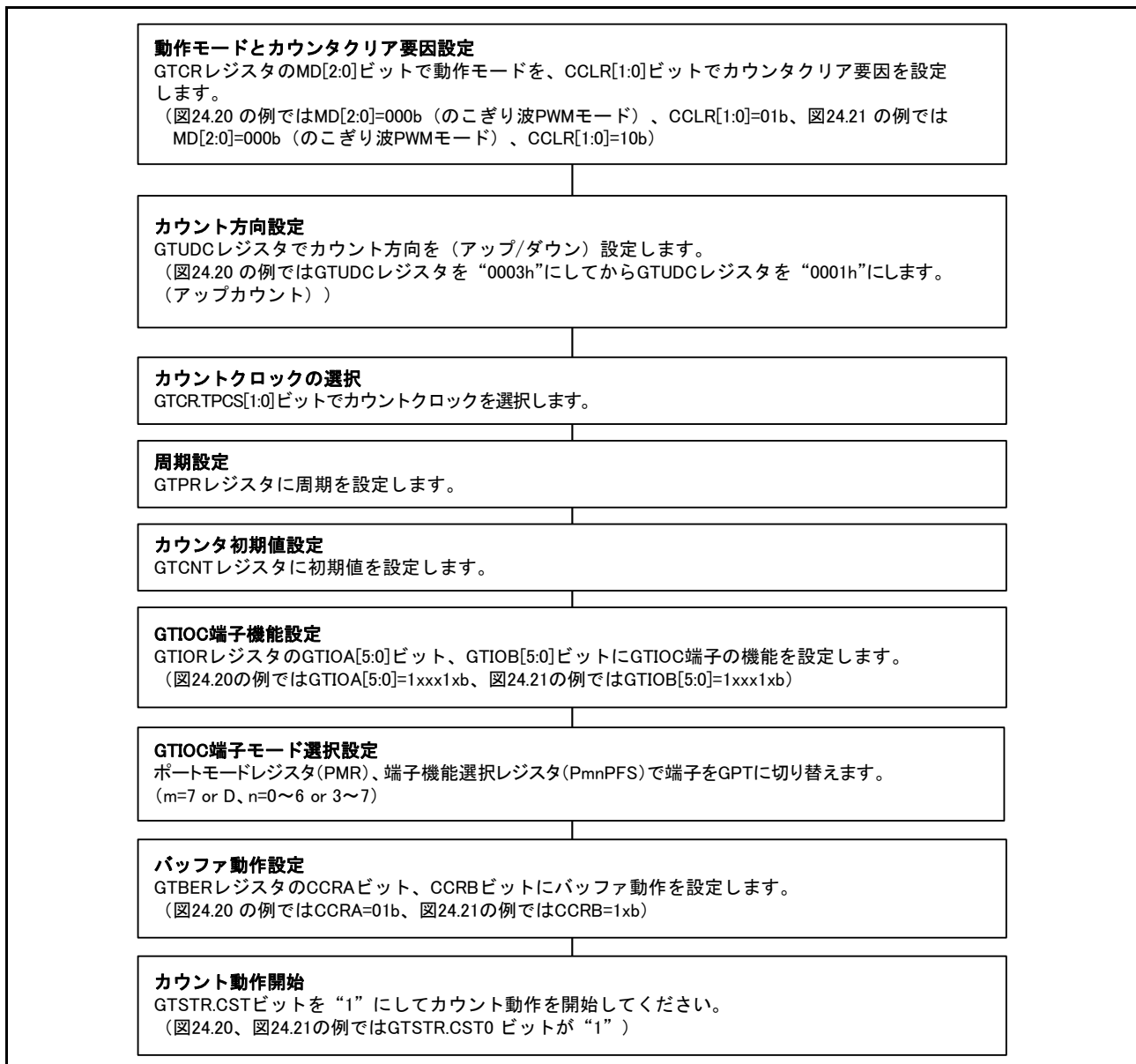


図 24.22 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例 (インプットキャプチャ時)

24.3.2.3 GTADTRA レジスタ、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ (GTADTRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ (GTADTRB レジスタのダブルバッファレジスタ) として動作します。

GTADTRA レジスタ、GTADTRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.ADTDA ビット、GTBER.ADTDB ビットを“1”に、シングルバッファ動作させる場合には“0”にします。GTADTRA レジスタ、GTADTRB レジスタをバッファ動作させない場合には、それぞれ GTBER.ADTTA[1:0] ビット、GTBER.ADTTB[1:0] ビットを“00b”にします。

バッファ転送のタイミングは GTBER.ADTTA[1:0] ビットで設定でき、のこぎり波の場合はオーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時)、三角波の場合は GTBER.ADTTA[1:0] ビットが“01b”のときは山、“10b”のときは谷、“11b”のときは谷/山の両方となります。

GTADTRA レジスタ、GTADTRB レジスタのバッファ動作例を図 24.23 ~ 図 24.25 に、GTADTRA レジスタ、GTADTRB レジスタのバッファ動作設定例をに図 24.26 示します。

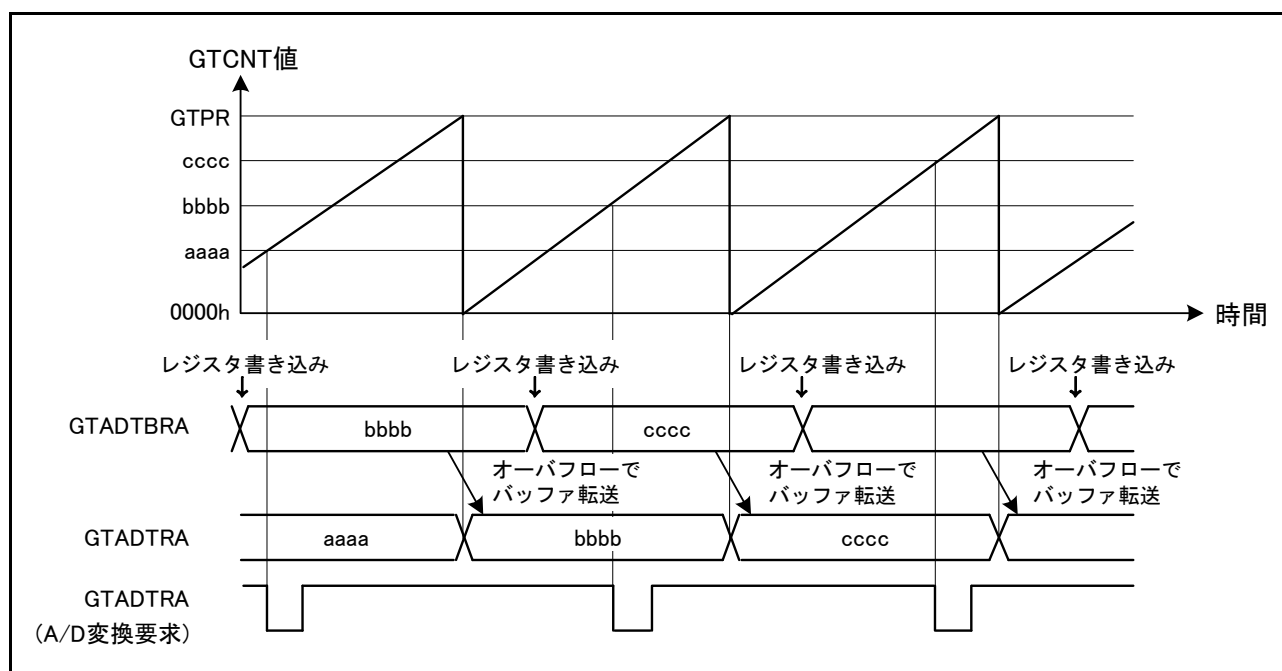


図 24.23 GTADTRA レジスタ、GTADTRB レジスタのバッファ動作例
(のこぎり波でアップカウント、アップカウントで A/D 変換要求発生の場合)

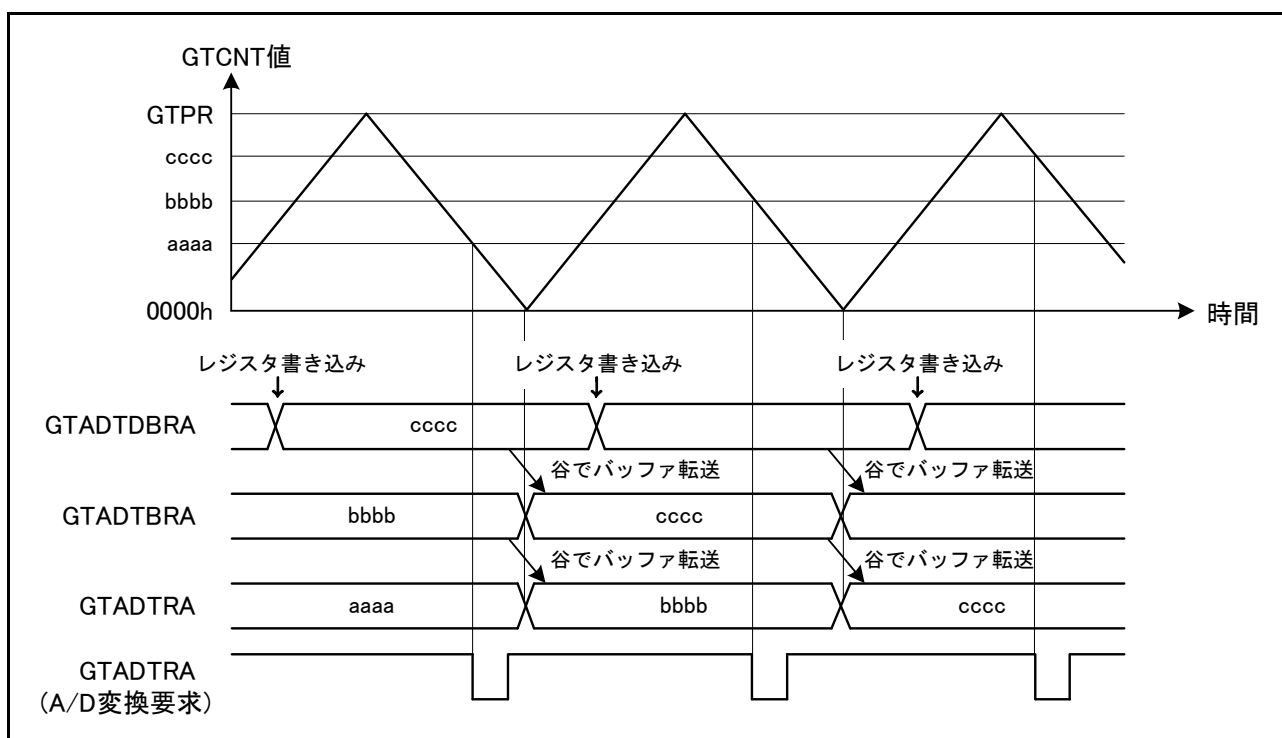


図 24.24 GTADTRA レジスタ、GTADTRB レジスタのダブルバッファ動作例
 (三角波、谷でバッファ転送、ダウンカウントで A/D 変換要求発生の場合)

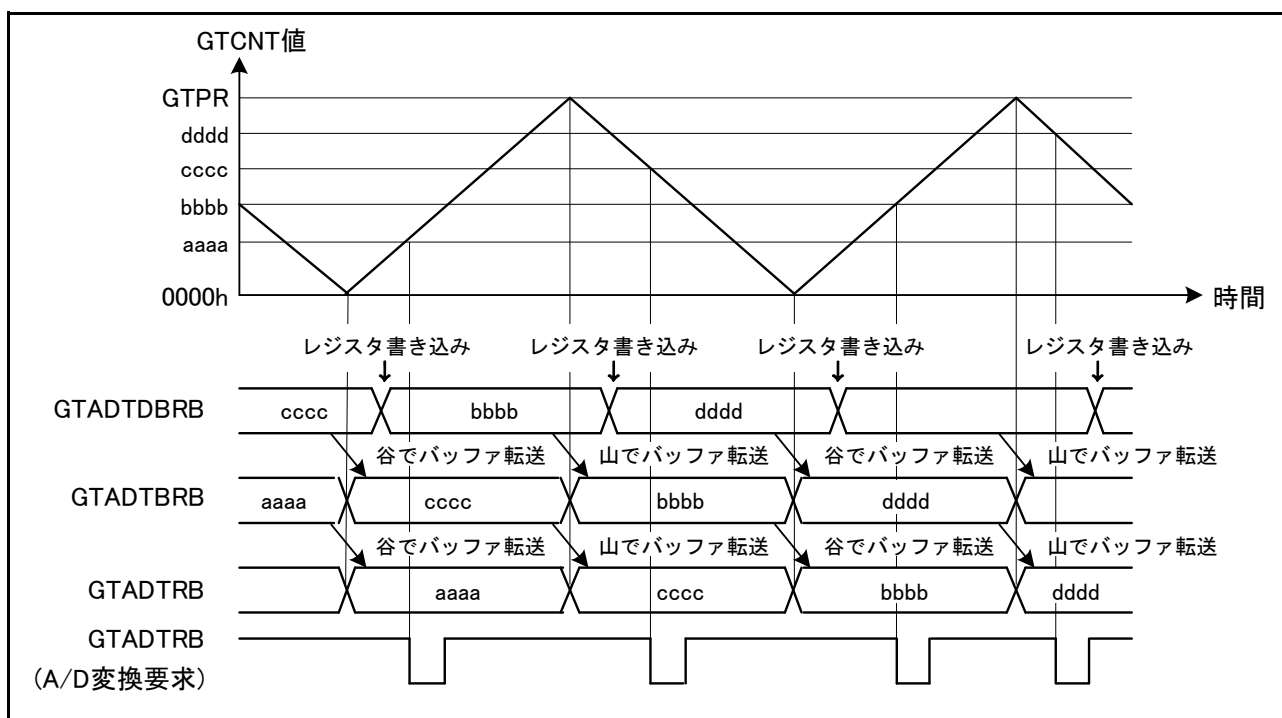


図 24.25 GTADTRA レジスタ、GTADTRB レジスタのダブルバッファ動作例
 (三角波、谷/山両方でバッファ転送、アップカウント/ダウンカウント両方で A/D 変換開始要求発生の場合)

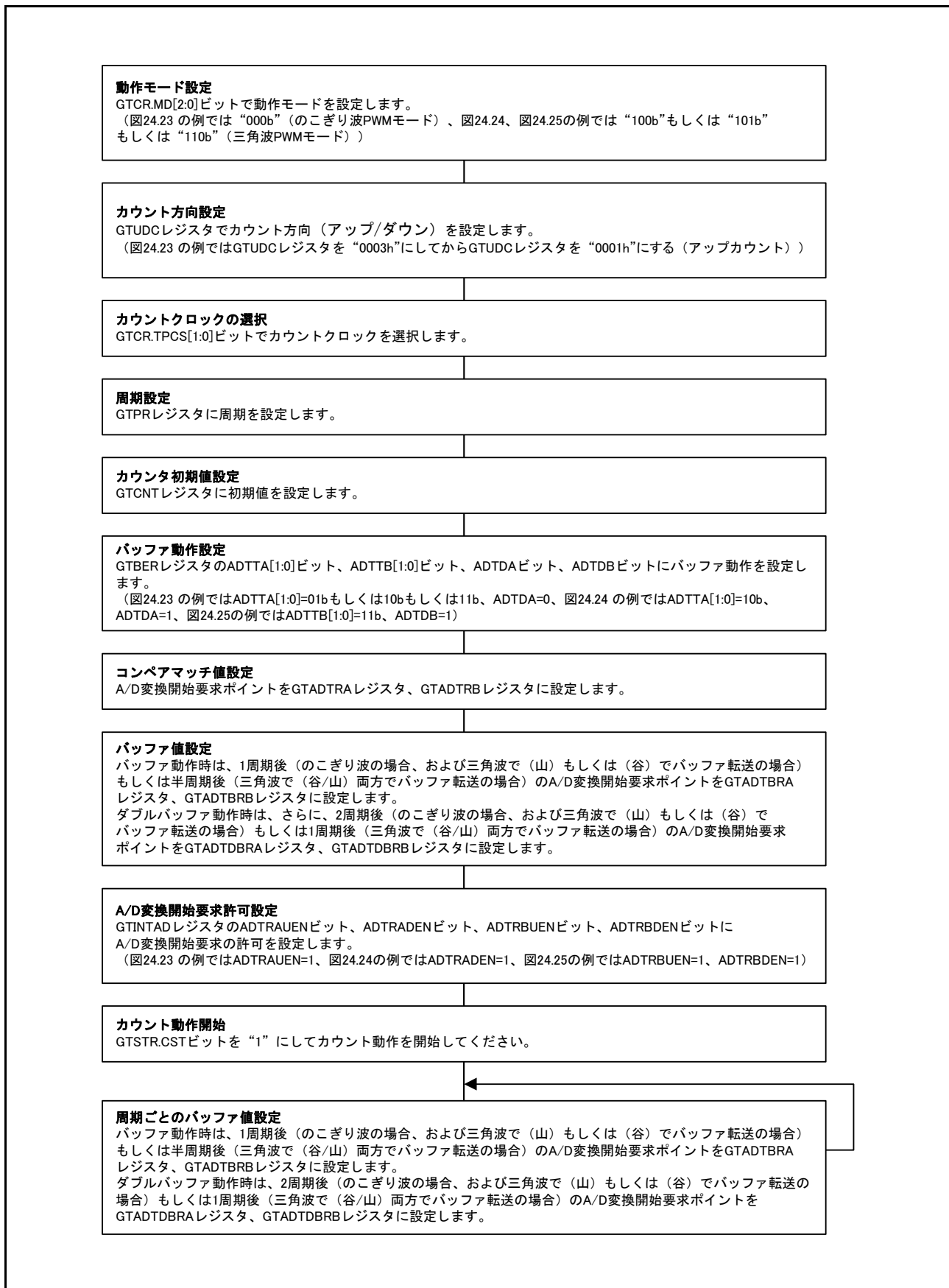


図 24.26 GTADTRA レジスタ、GTADTRB レジスタのバッファ動作設定例

24.3.3 PWM 出力動作モード

GPTn.GTCNT カウンタと GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力することができます (n : チャンネル番号)。全チャンネル独立に動作モードが設定でき、チャンネル間の同期動作も可能です。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

(1) のこぎり波 PWM モード

のこぎり波 PWM モードは、GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタをのこぎり波 (半波) 動作させ、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードです (n : チャンネル番号)。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

図 24.27 にのこぎり波 PWM モードの動作例を、図 24.28 にのこぎり波 PWM モードの設定例を示します。

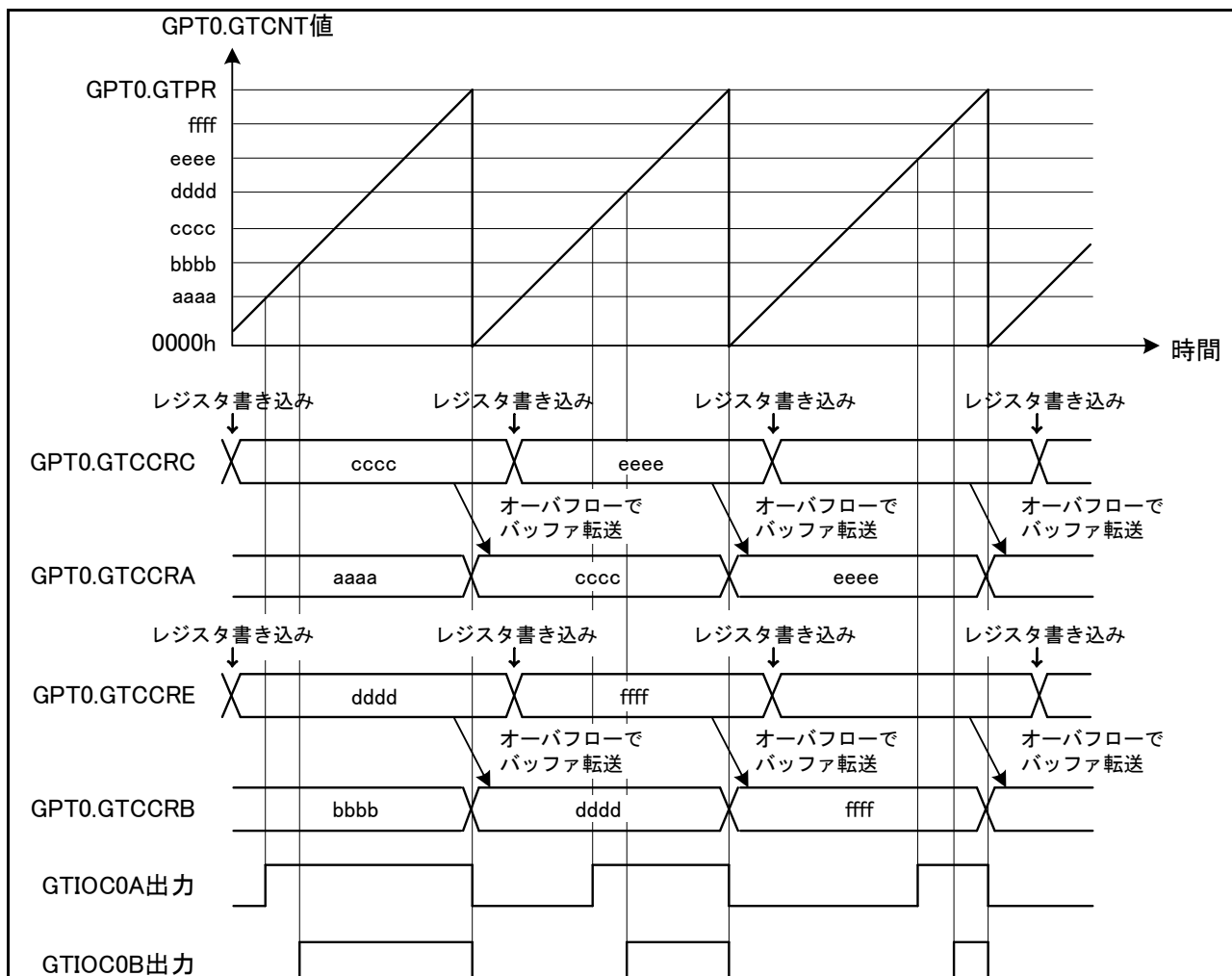


図 24.27 のこぎり波 PWM モード動作例
(アップカウント、バッファ動作、GTCCRA/B コンペアマッチで High 出力、周期の終わりで Low 出力の場合)

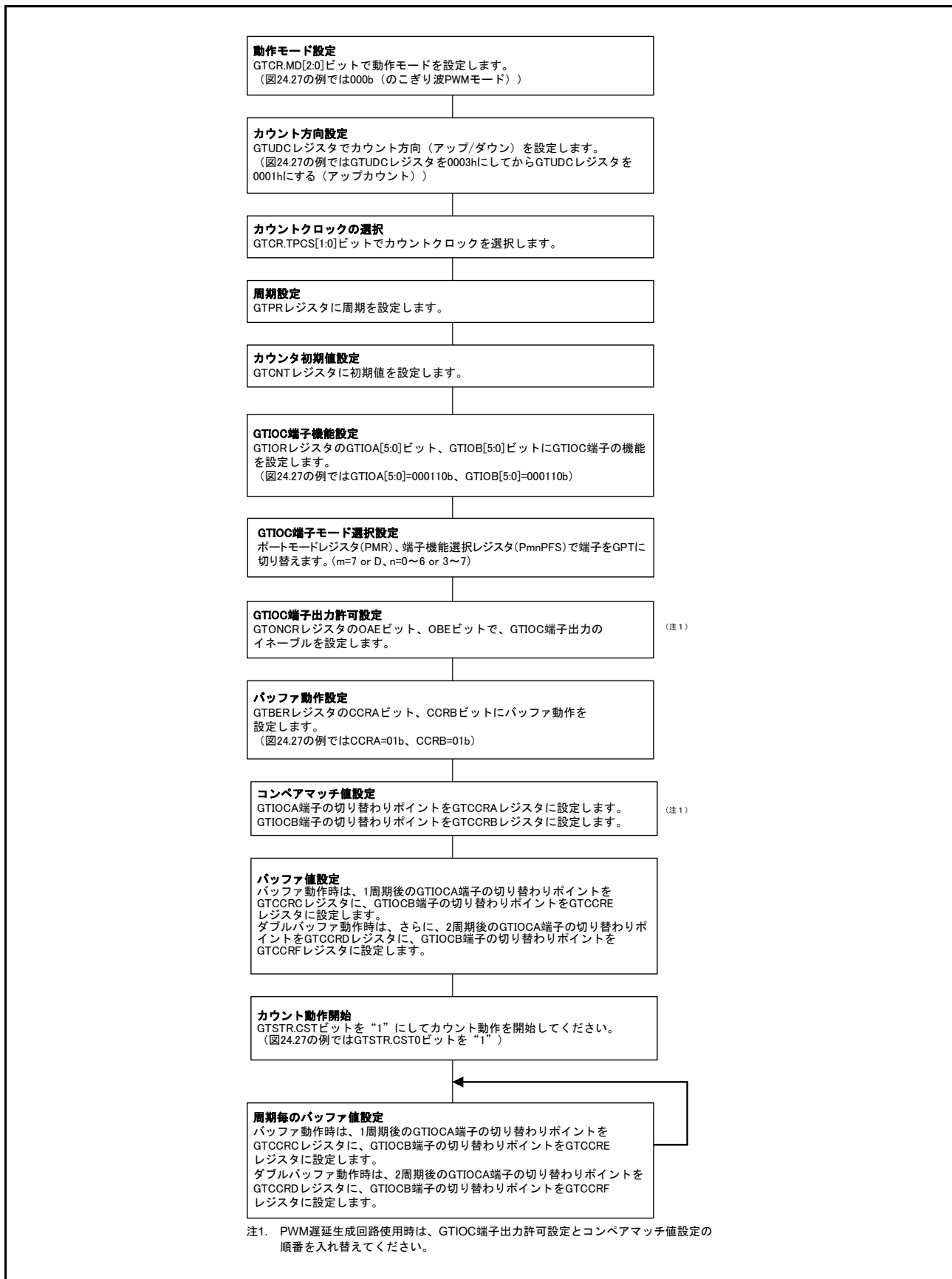


図 24.28 のこぎり波 PWM モード設定例

(2) のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタをのこぎり波 (半波) 動作させ、バッファ動作固定で、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードです (n : チャネル番号)。のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なり、周期の終わりで、GTCCRC レジスタから GTCCRA レジスタ、GTCCRE レジスタから GTCCRB レジスタ、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B、にバッファ転送され、さらに、GTCCRA レジスタのコンペアマッチでテンポラリレジスタ A から GTCCRA レジスタ、GTCCRB レジスタのコンペアマッチでテンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 24.29 にのこぎり波ワンショットパルスモードの動作例を、図 24.30 にのこぎり波ワンショットパルスモードの設定例を示します。

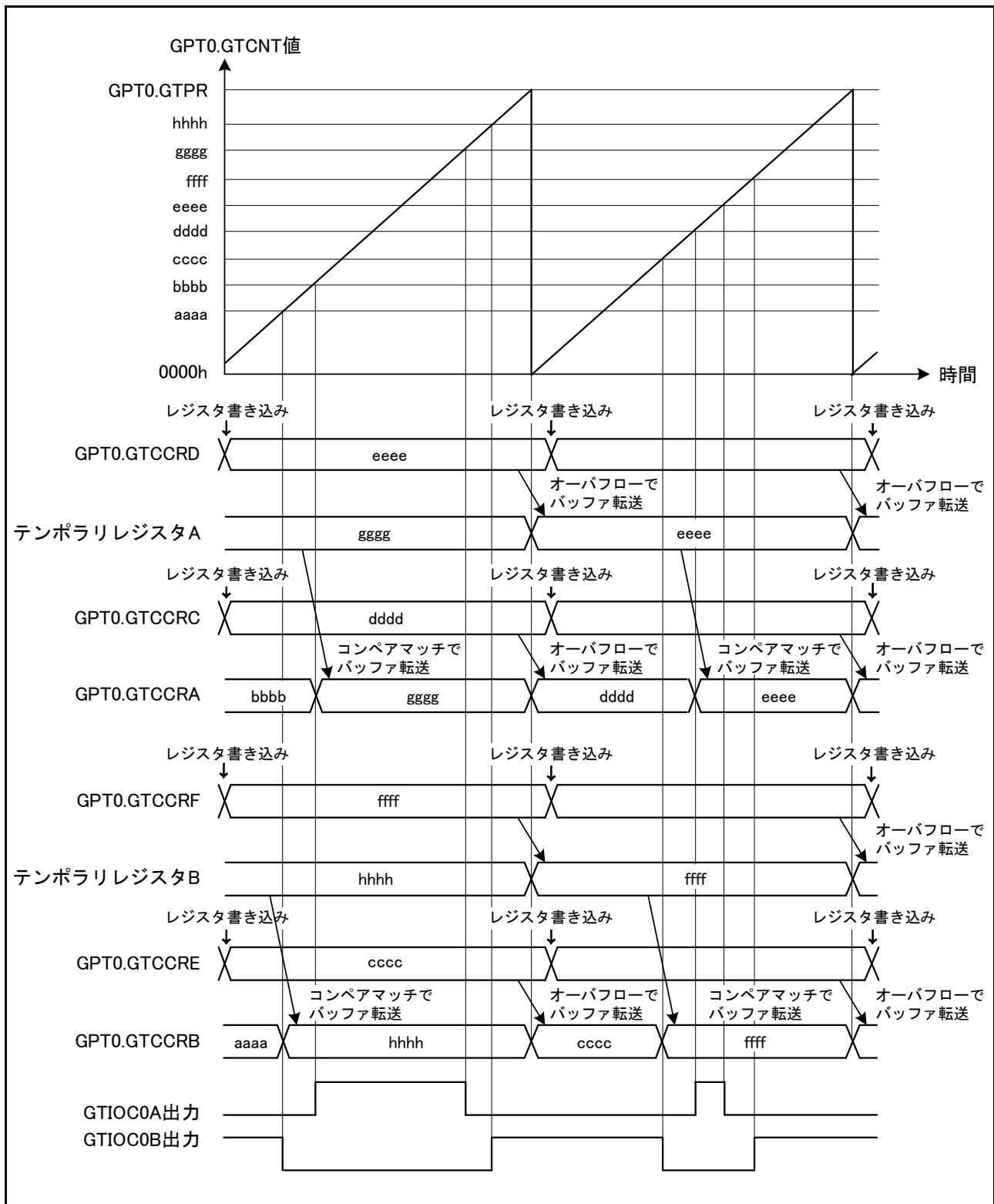


図 24.29 のこぎり波ワンショットパルスモード動作例
 (アップカウント、カウント開始時に GTIOC0A=Low 出力 /GTIOC0B=High 出力、
 GTCCRA/B コンペアマッチでトグル出力、周期の終わりで出力保持の場合)

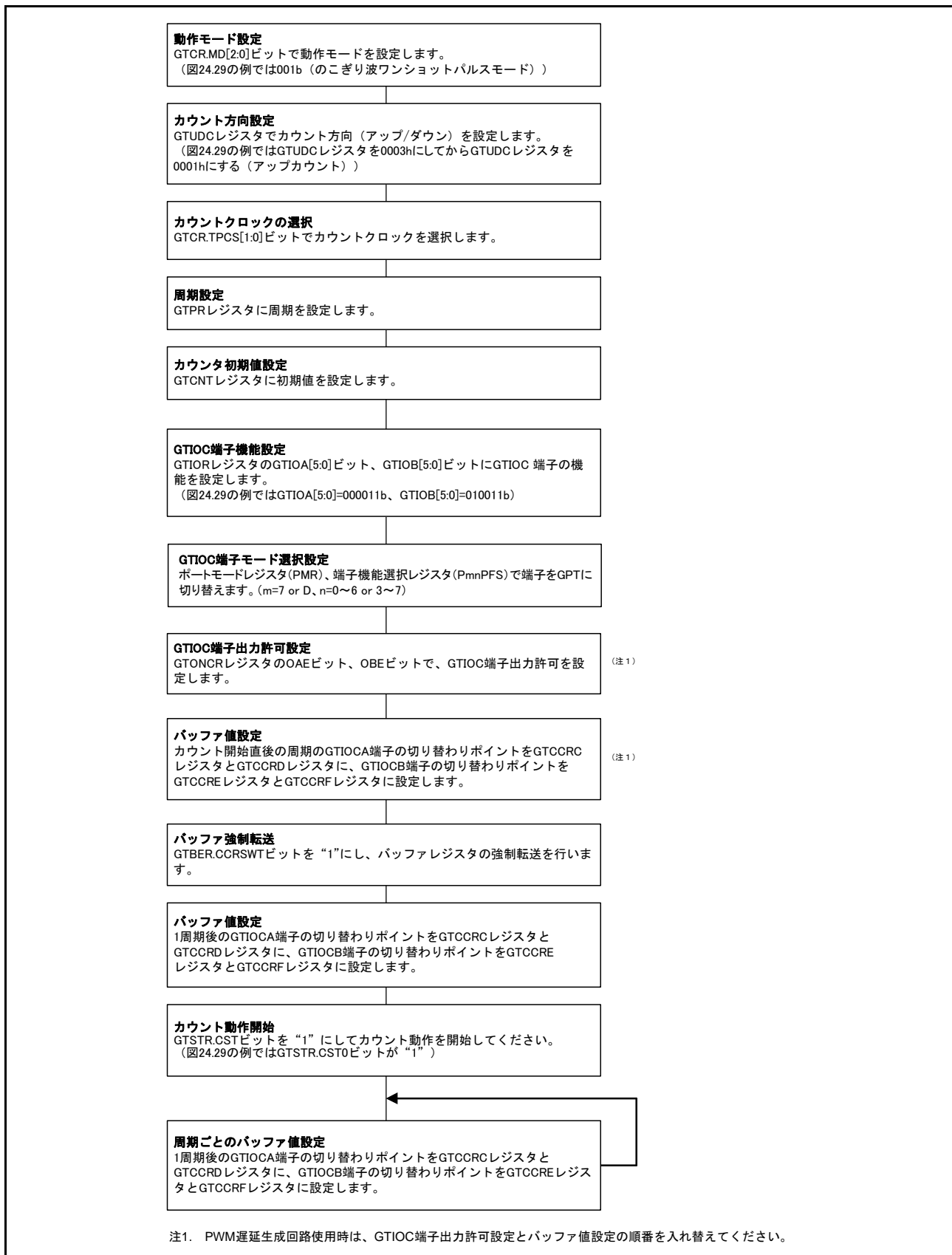


図 24.30 のこぎり波ワンショットパルスモード設定例

(3) 三角波 PWM モード 1 (谷 16 ビット転送)

三角波 PWM モード 1 は、GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタを三角波 (全波) 動作させ、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードです (n : チャネル番号)。バッファ動作のタイミングは、谷となります。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することによって、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 24.31 に三角波 PWM モード 1 の動作例を、図 24.32 に三角波 PWM モード 1 の設定例を示します。

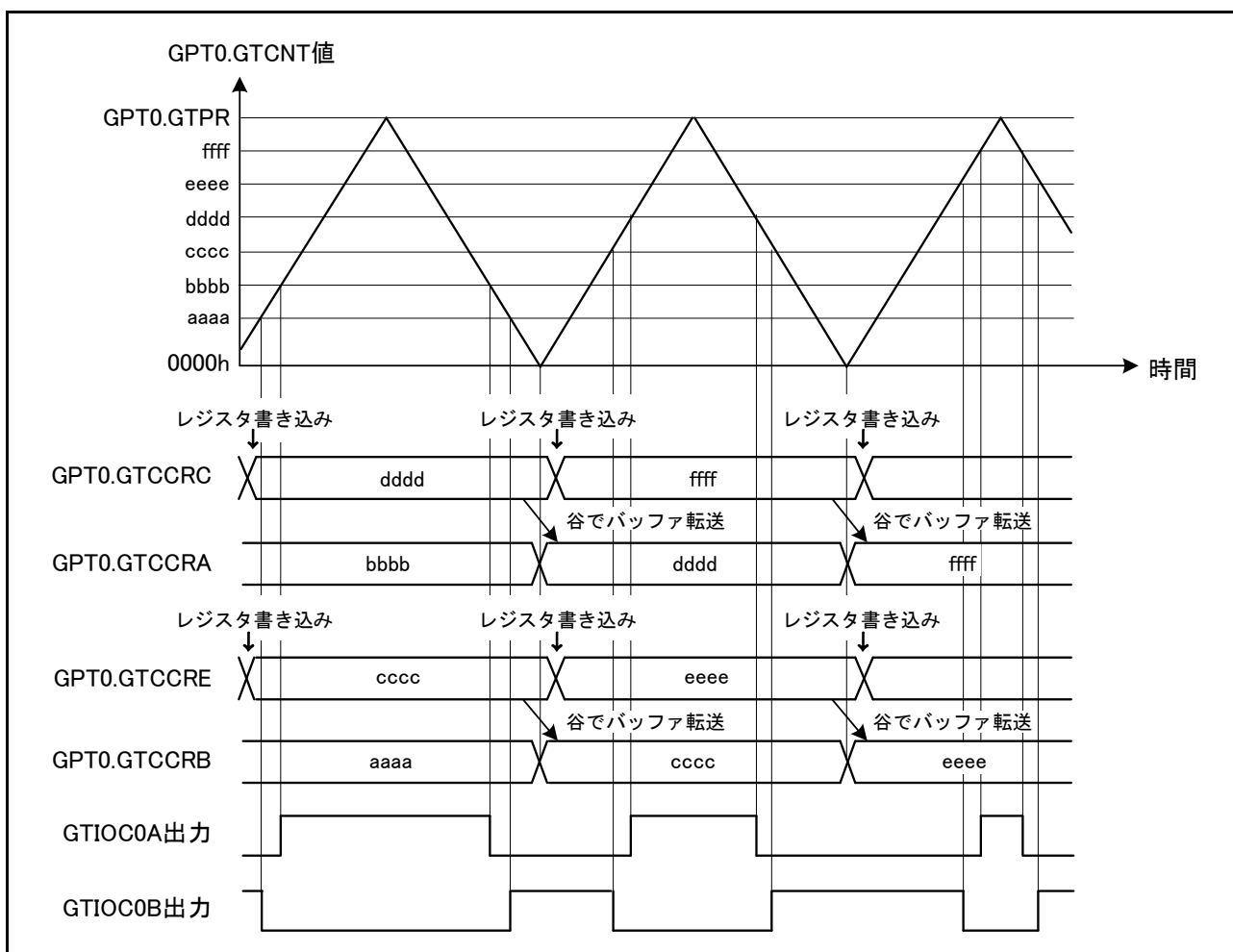


図 24.31 三角波 PWM モード 1 動作例
 (バッファ動作、カウント開始時に GTIOC0A=Low 出力 / GTIOC0B=High 出力、
 GTCCRA/B コンペアマッチでトグル出力、周期の終わりで出力保持の場合)

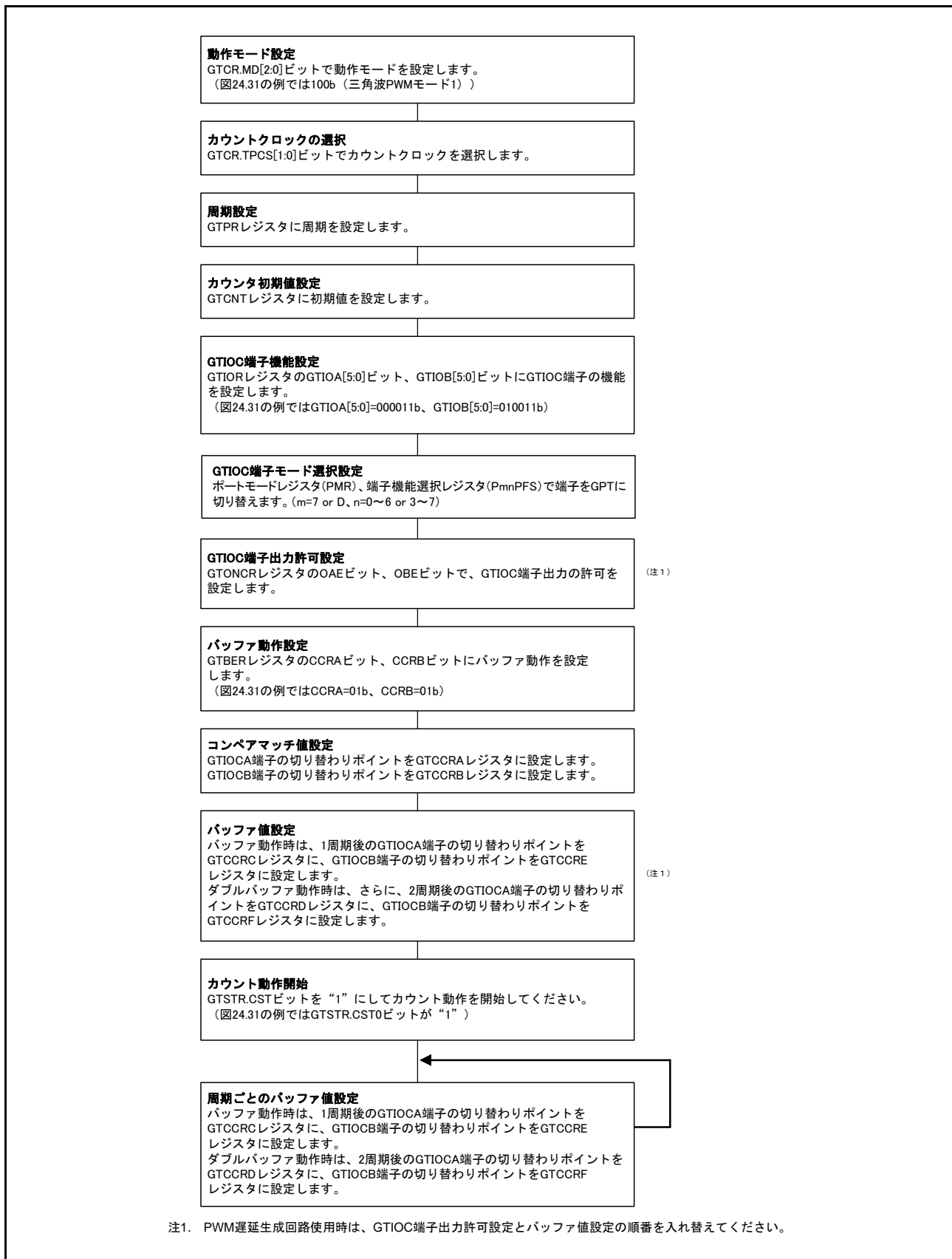


図 24.32 三角波 PWM モード 1 設定例

(4) 三角波 PWM モード 2 (山/谷 16 ビット転送)

三角波 PWM モード 2 は、三角波 PWM モード 1 と同様に GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタを三角波 (全波) 動作させ、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOcnA 端子、GTIOcnB 端子に PWM 波形を出力するモードですが、バッファ動作のタイミングは山/谷の両方となります (n: チャンネル番号)。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力/ High 出力/ トグル出力、周期の終わりで Low 出力/ High 出力/ トグル出力、を設定することができます。

また、GDTDCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 24.33 に三角波 PWM モード 2 の動作例を、図 24.34 に三角波 PWM モード 2 の設定例を示します。

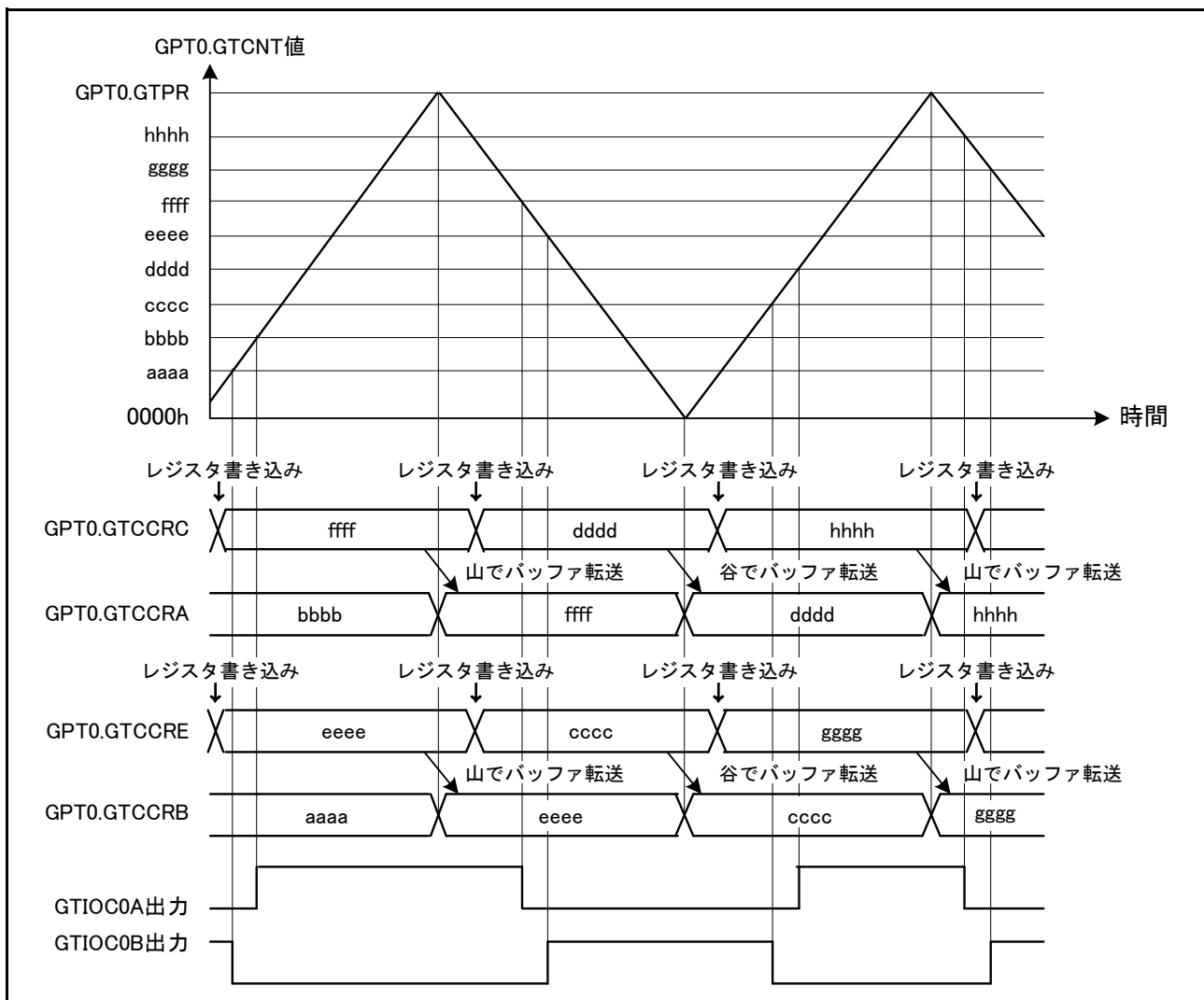


図 24.33 三角波 PWM モード 2 動作例

(バッファ動作、カウント開始時に GTIOC0A=Low 出力 /GTIOC0B=High 出力、GTCCRA/B コンペアマッチでトグル出力、周期の終わりで出力保持の場合)

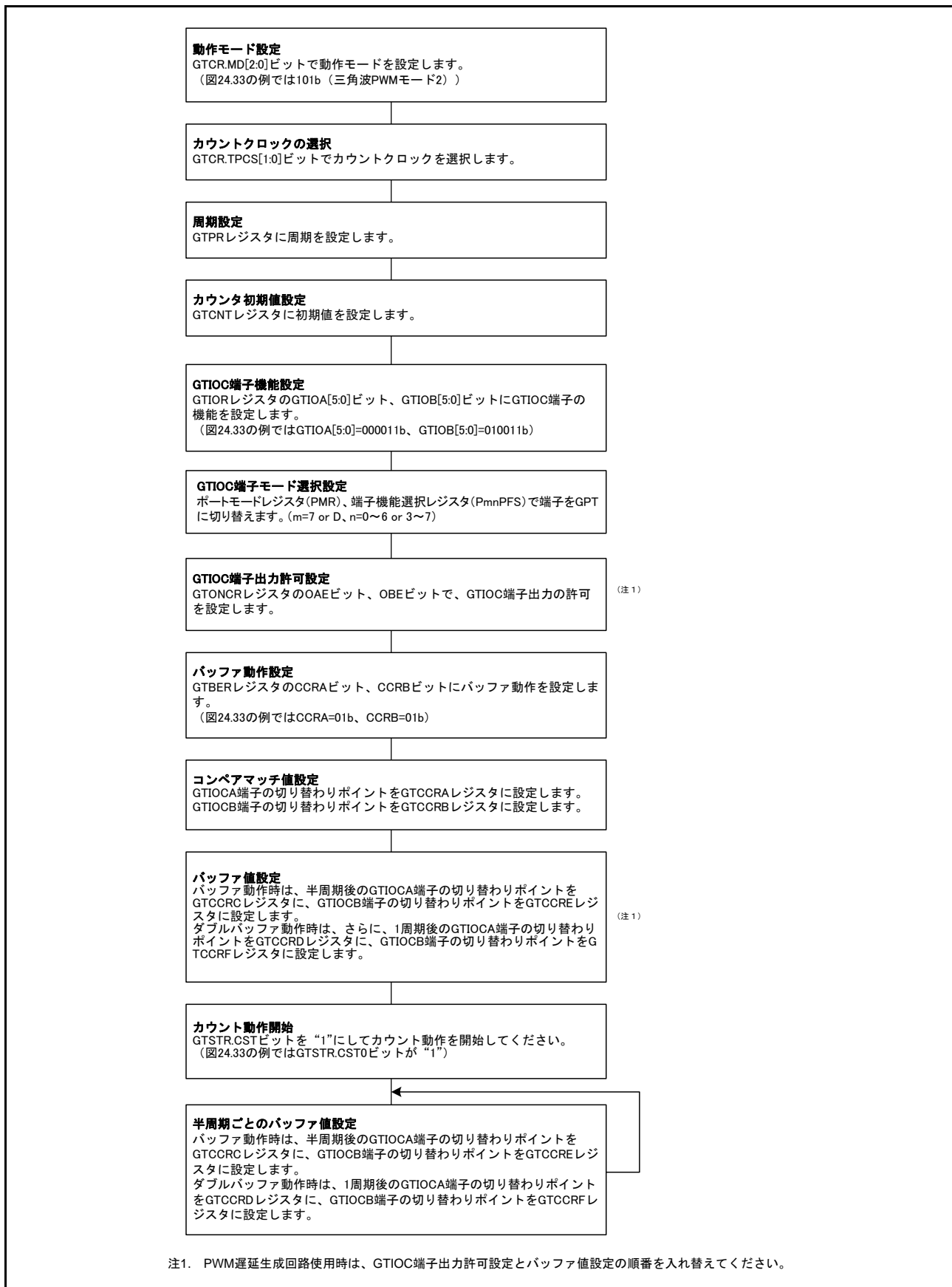


図 24.34 三角波 PWM モード 2 設定例

(5) 三角波 PWM モード 3 (谷 32 ビット転送)

三角波 PWM モード 3 は、GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタを三角波 (全波) 動作させ、バッファ動作固定で、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOChA 端子、GTIOChB 端子に PWM 波形を出力するモードです (n : チャネル番号)。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なり、谷で、GTCCRC レジスタから GTCCRA レジスタ、GTCCRE レジスタから GTCCRB レジスタ、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B、にバッファ転送され、さらに、山で、テンポラリレジスタ A から GTCCRA レジスタ、テンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 24.35 に三角波 PWM モード 3 の動作例を、図 24.36 に三角波 PWM モード 3 の設定例を示します。

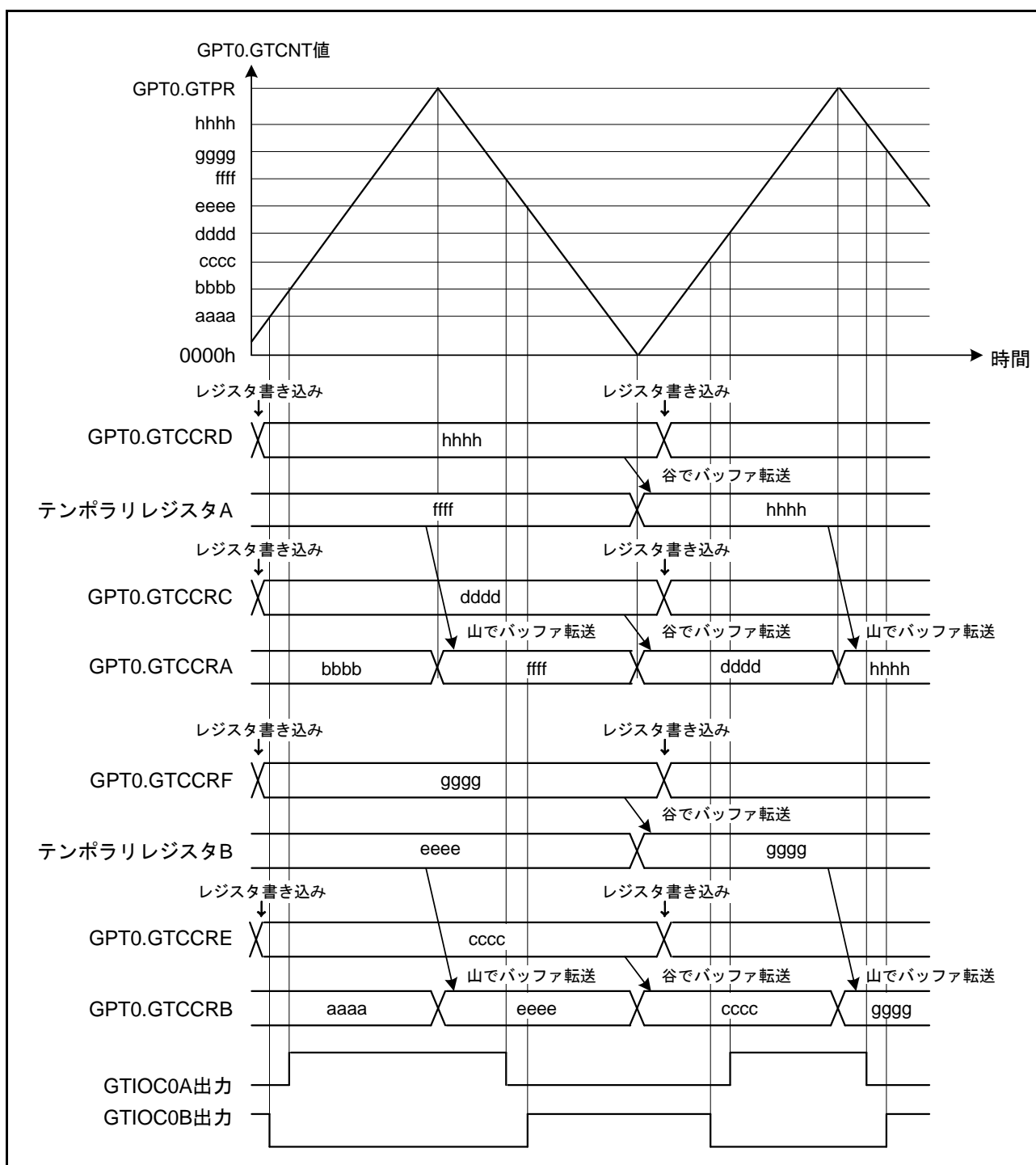


図 24.35 三角波 PWM モード 3 動作例 (カウント開始時に GTIOC0A=Low 出力 / GTIOC0B=High 出力、GTCCRA/B コンペアマッチでトグル出力、周期の終わりで出力保持の場合)

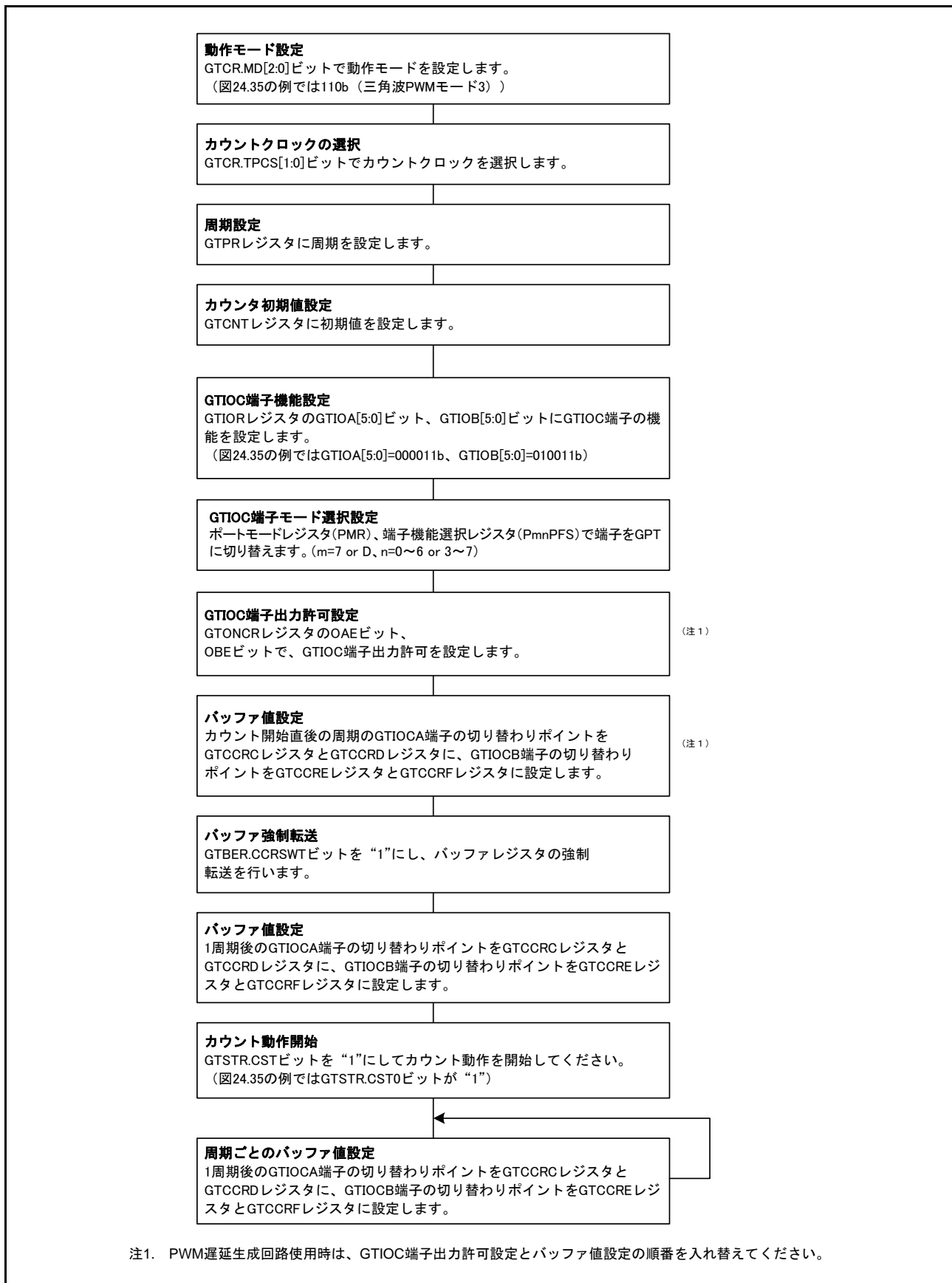


図 24.36 三角波 PWM モード 3 設定例

24.3.4 デッドタイム自動設定機能

GTDTCCRレジスタの設定により、正相波形用のコンペアマッチ値 (GTCCRAレジスタ値) とデッドタイム値 (GTDVUレジスタ値、GTDVDレジスタ値) からデッドタイム付き逆相波形用のコンペアマッチ値を生成し、GTCCRBレジスタに自動設定することができます。

デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、全ての三角波PWMモードで使用できます。

デッドタイムは前側/後側で独立に設定でき、逆相波形の前側の切り替わりポイントに対するデッドタイムをGTDVUレジスタで設定し、後側の切り替わりポイントに対するデッドタイムをGTDVDレジスタで設定します。デッドタイムは前側/後側で共通にすることもできます。

また、GTDBUレジスタをGTDVUレジスタのバッファレジスタとして使用することができ、同様に、GTDBDレジスタをGTDVDレジスタのバッファレジスタとして使用することができます。バッファ転送タイミングは周期の終わり (のこぎり波の場合はGTCNTのオーバフロー (アップカウント時) もしくはアンダフロー (ダウンカウント時)、三角波の場合は谷) です。

なお、デッドタイム自動設定機能を使用時は、GTCCRBレジスタへの書き込みは禁止です。また、周期を超えるデッドタイム設定も禁止です。デッドタイム自動設定値は、GTCCRBレジスタ値を読むことで確認できます。

図 24.37 ~ 図 24.39 にデッドタイム自動設定機能の動作例を、図 24.40、図 24.41 に設定例を示します。

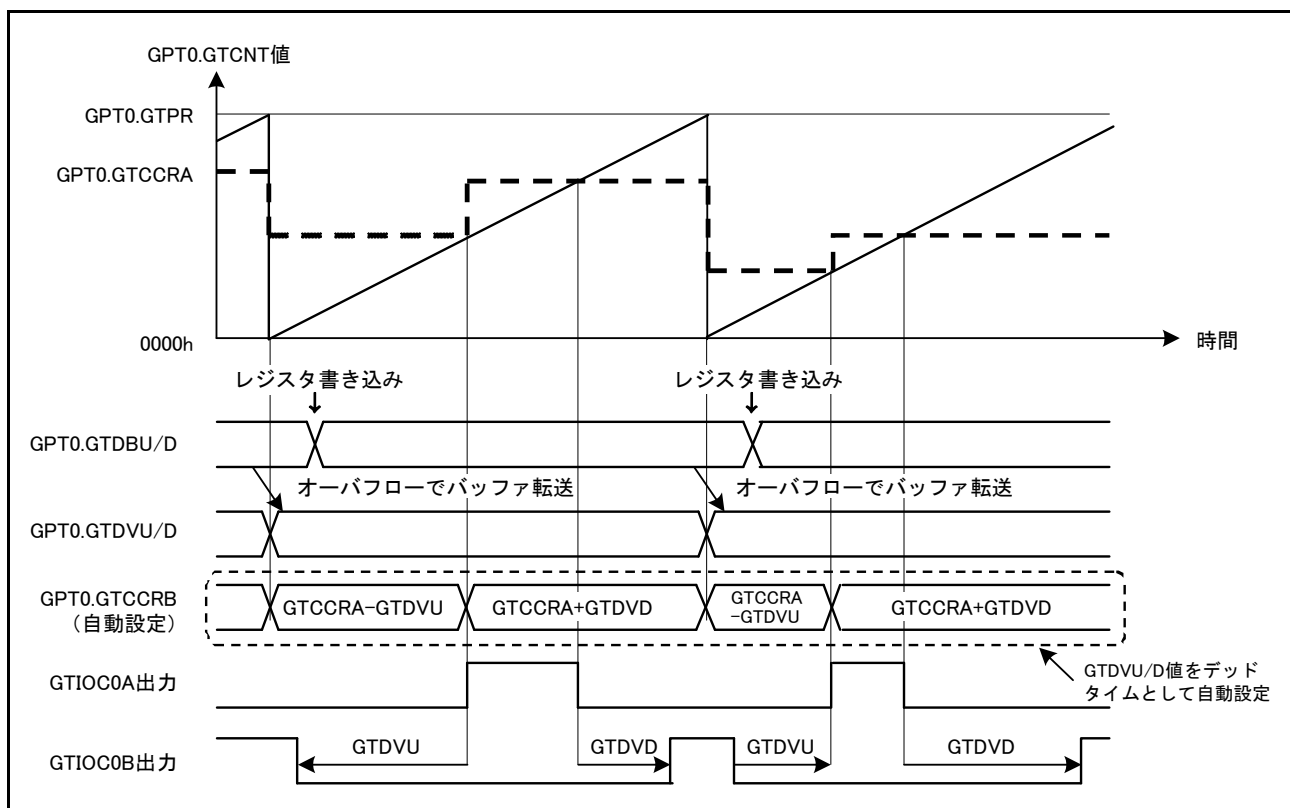


図 24.37 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、GTDVU/Dレジスタはバッファ動作、アクティブレベルは“High”の場合)

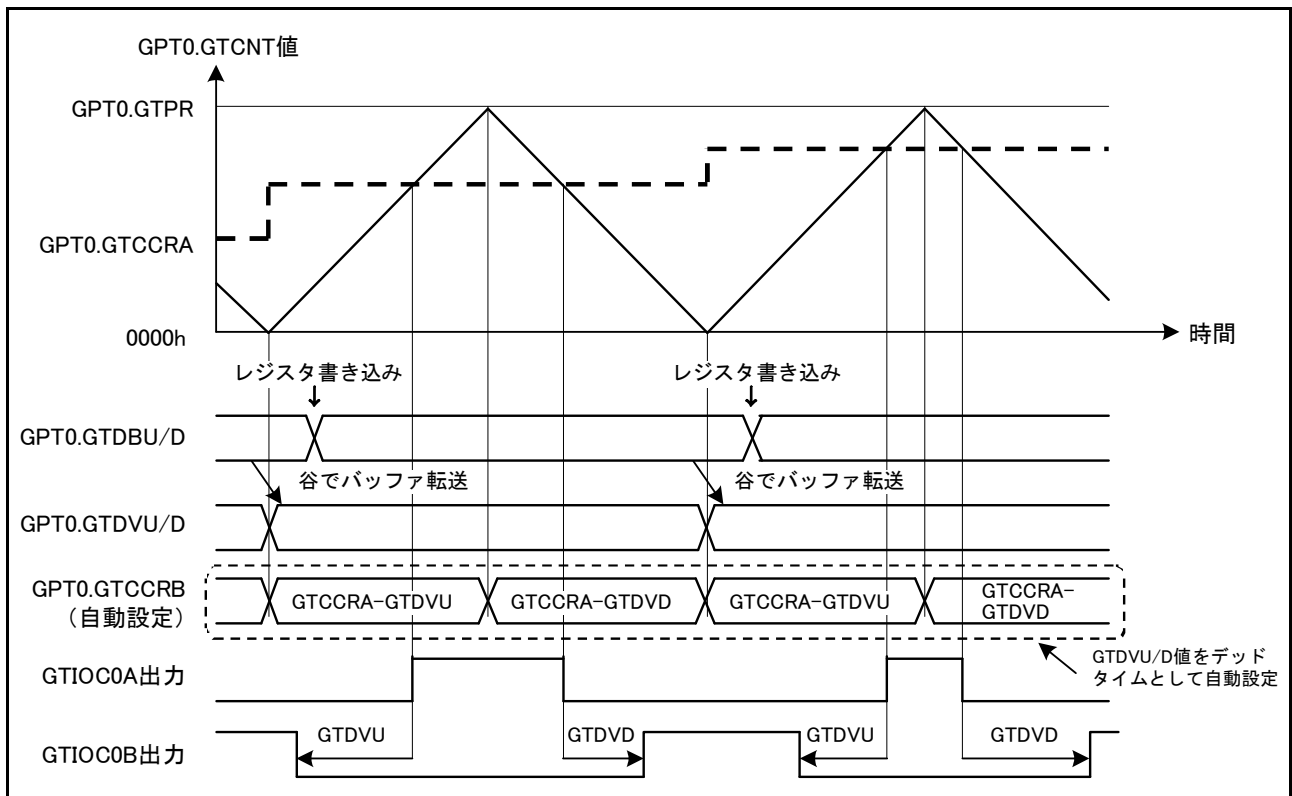


図 24.38 デッドタイム付きコンペアマッチ値の自動設定機能の動作例
 (三角波 PWM モード 1、GTDVU/D レジスタはバッファ動作、アクティブレベルは “High” の場合)

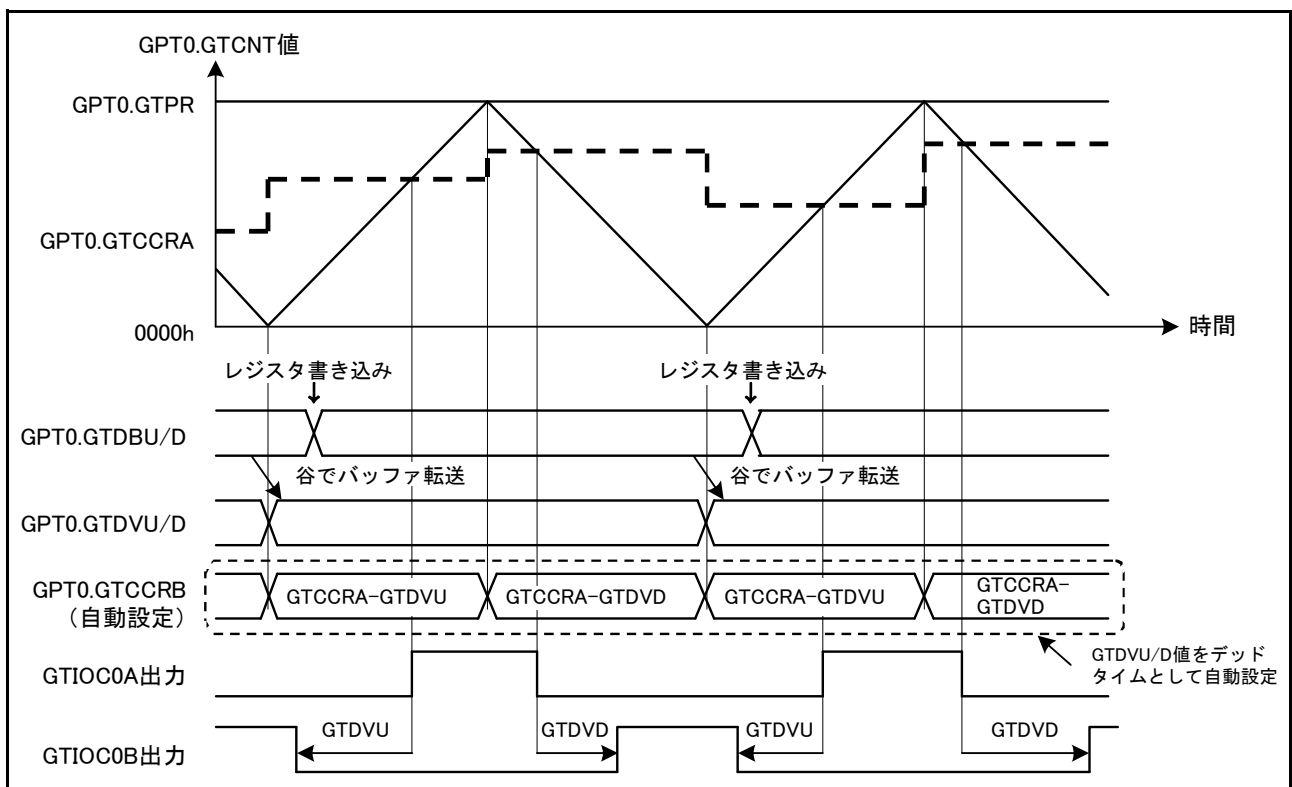


図 24.39 デッドタイム付きコンペアマッチ値の自動設定機能の動作例
 (三角波 PWM モード 2/3、GTDVU/D レジスタはバッファ動作、アクティブレベルは “High” の場合)

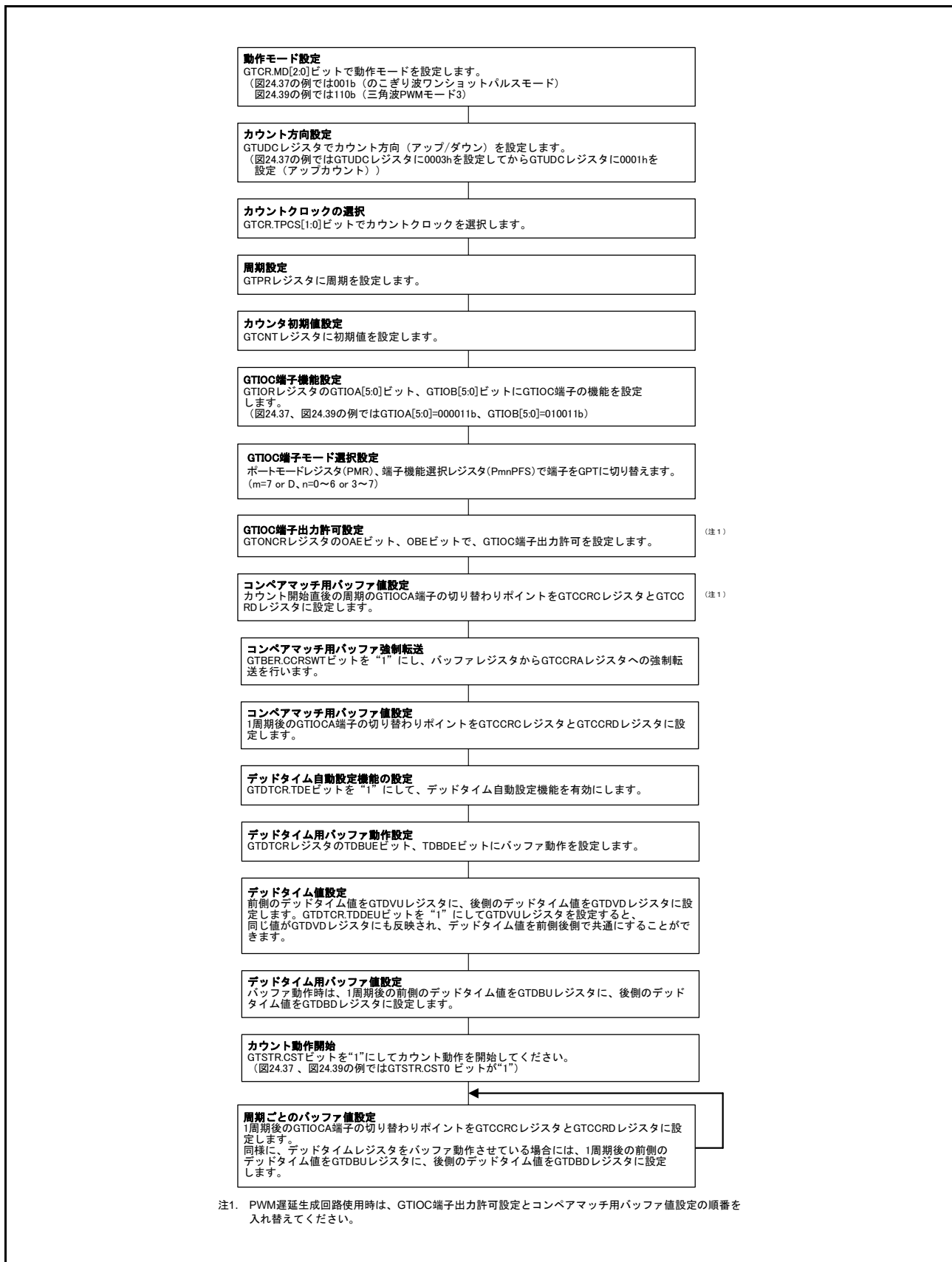


図 24.40 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波 PWM モード 3 時)

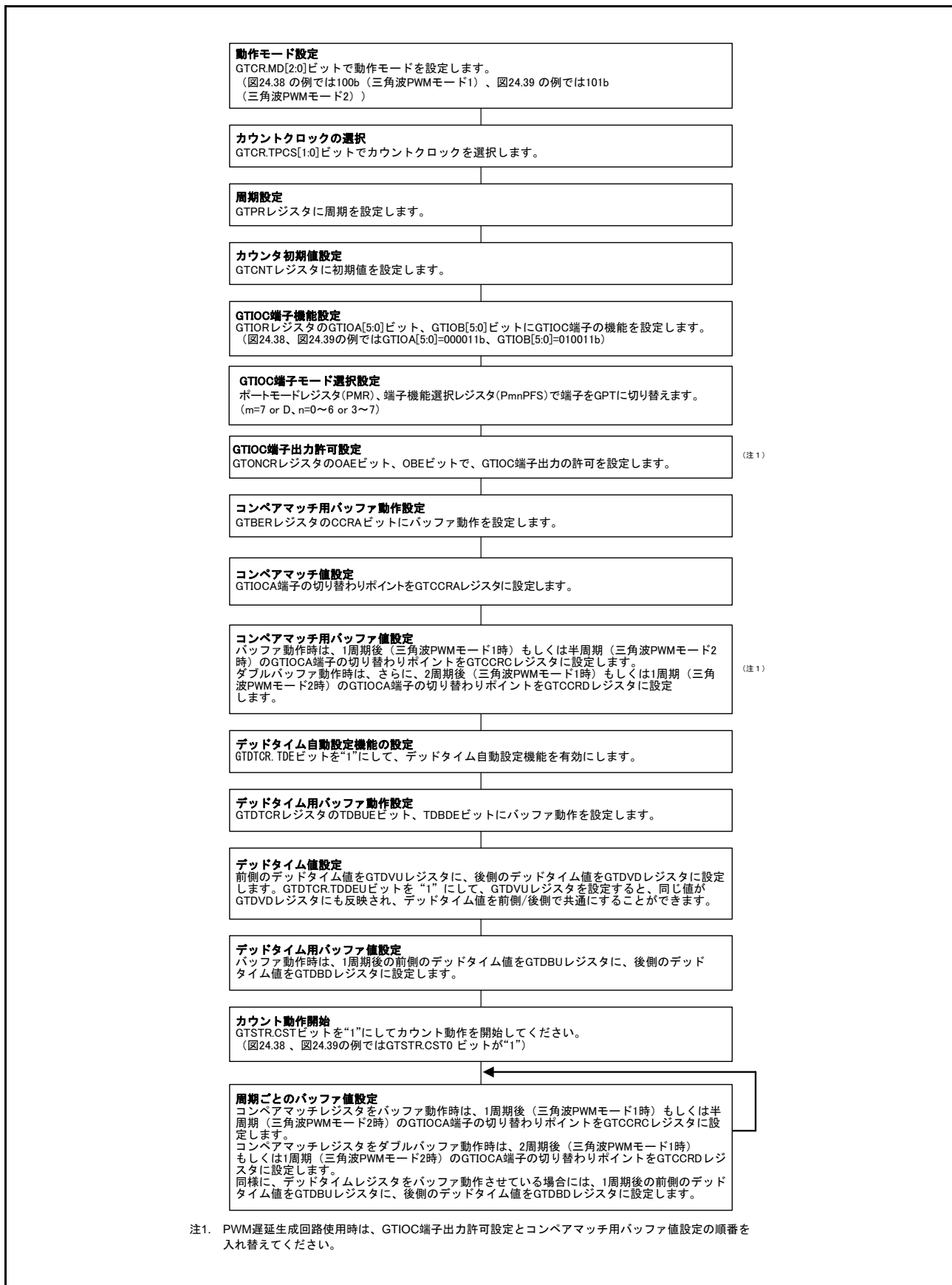


図 24.41 デッドタイム自動設定機能の設定例 (三角波 PWM モード 1/2 時)

24.3.5 カウント方向切り替え機能

GTUDC.UD ビットの値を変更することにより、GTCNT カウンタのカウント方向を切り替えることができます。

のこぎり波の場合、カウント動作中に GTUDC.UD ビット値を変更すると、オーバフロー（アップカウント動作中に変更した場合）もしくはアンダフロー（ダウンカウント動作中に変更した場合）発生時にカウント方向が切り替わります。カウント停止中に GTUDC.UDF ビットが“0”の状態では GTUDC.UD ビット値を変更すると、カウント開始時には反映されず、オーバフローもしくはアンダフロー発生時にカウント方向が切り替わります。カウント停止中に GTUDC.UDF ビットを“1”にすると、そのときの GTUDC.UD ビット値がカウント開始時から反映されます。

三角波の場合、カウント動作中に GTUDC.UD ビット値を変更してもカウント方向は切り替わりません。同様に、カウント停止中に GTUDC.UDF ビットが“0”の状態では GTUDC.UD ビット値を変更しても反映されません。カウント停止中に GTUDC.UDF ビットを“1”にすると、そのときの GTUDC.UD ビット値がカウント開始時から反映されます。

のこぎり波でカウンタ動作中にカウント方向を切り替えた場合、アップカウント時はアップカウント開始後の GTPR レジスタ値がカウント周期に反映され、ダウンカウント時はダウンカウント開始前の GTPR レジスタ値がカウント周期に反映されます。

図 24.42 にカウント方向切り替え機能の動作例を示します。

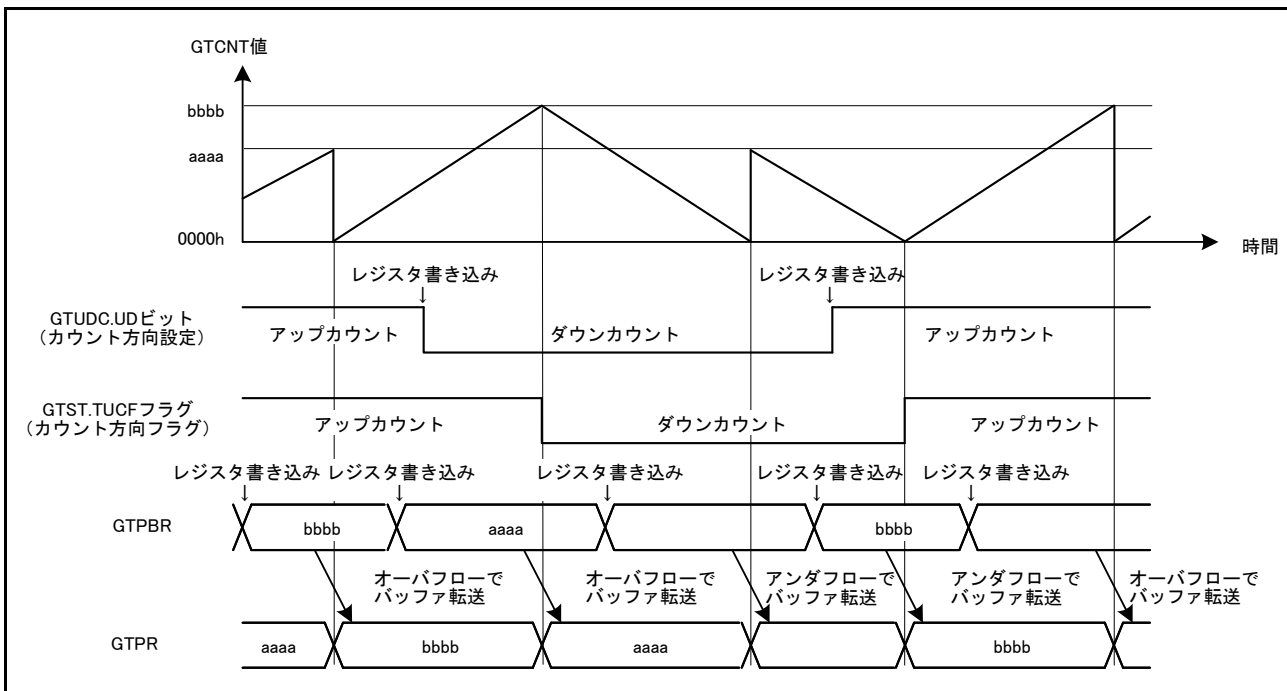


図 24.42 カウント方向切り替え機能の動作例（バッファ動作時）

24.3.6 ハードウェア スタート/ストップ、クリア動作

本 MCU 内蔵のハードウェア要因により、GTCNT カウンタのスタート、ストップ、クリア制御が可能です。

ハードウェア要因には、GTETRG0/GTETRG1 端子入力、コンパレータ検出、GTIOC3A/GTIOC7A および GTIOC3B/GTIOC7B 端子入力、GTIOC3A/GTIOC7A および GTIOC3B/GTIOC7B 内部出力（アウトプットコンペア）の 4 種類の要因があります。

また、GTCCRA レジスタおよび GTCCRB レジスタのインプットキャプチャによるカウンタクリアも可能です。

24.3.6.1 ハードウェア スタート動作

ハードウェア要因により、GTCNT カウンタのスタート制御が可能です。GTHSSR.CSHSL ビットでカウンタをスタートさせるハードウェア要因を選択し、GTHSCR.CSHW ビットでハードウェア要因の切り替わりエッジを指定してカウンタスタートを許可します。

図 24.43 にハードウェア要因によるカウンタスタートの動作例を、図 24.44 に設定例を示します。

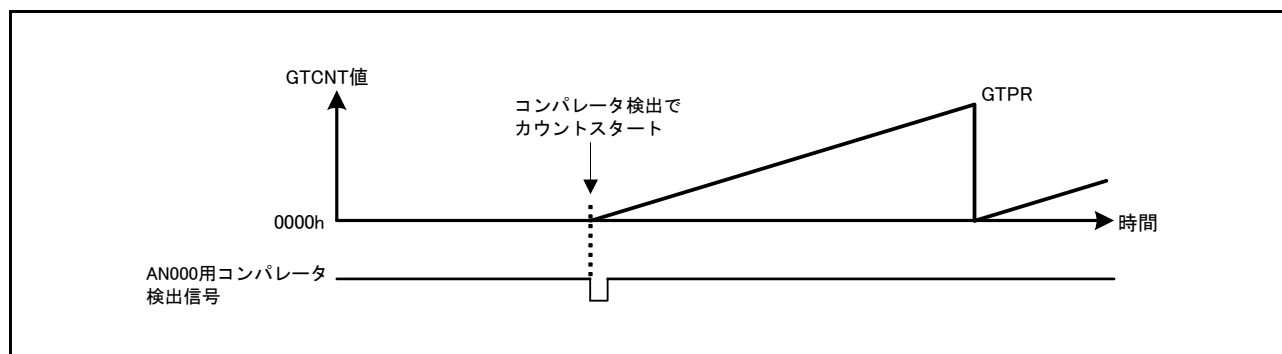


図 24.43 ハードウェア要因によるカウンタスタート動作例（AN000 用コンパレータ検出によるスタート時）

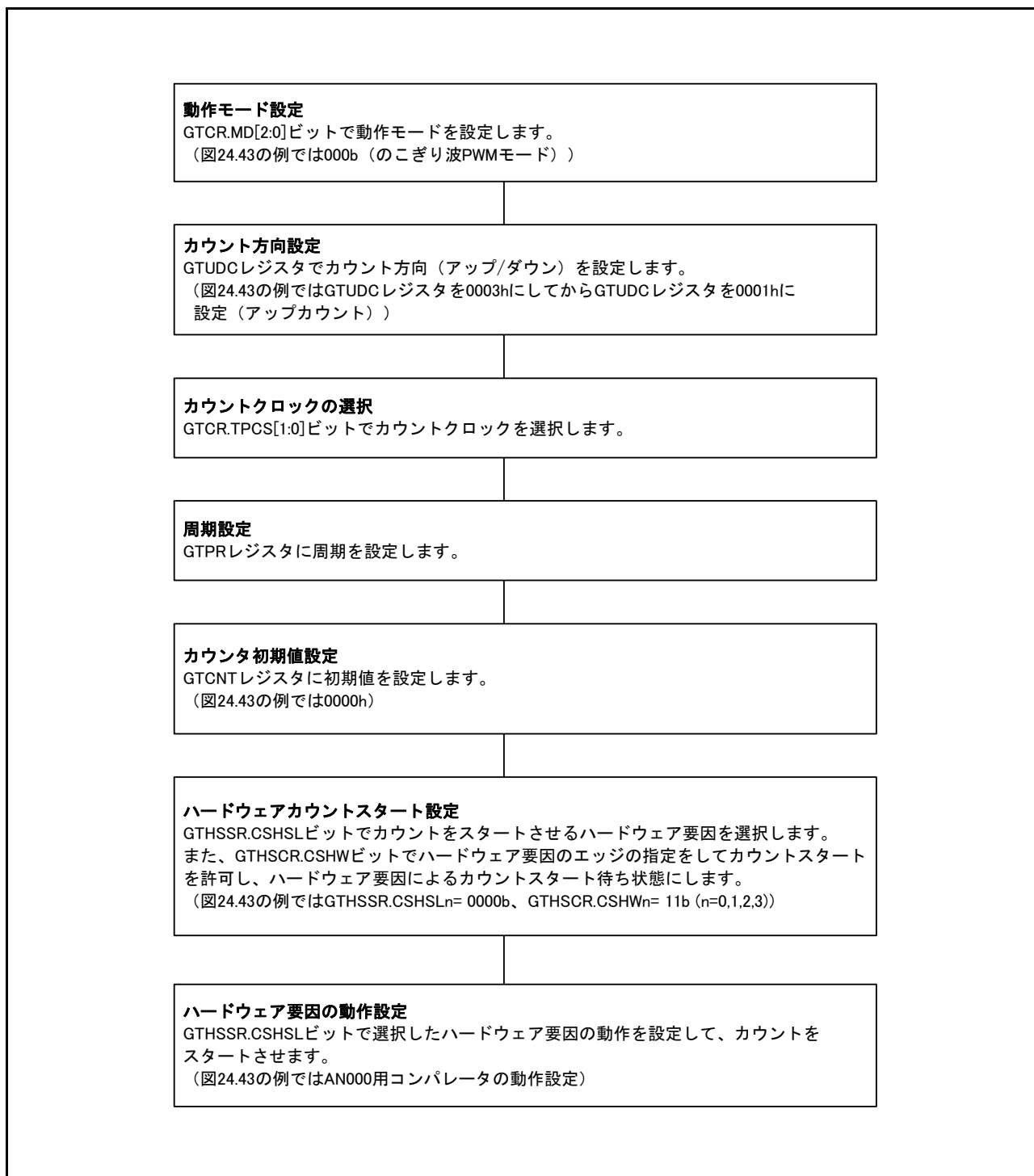


図 24.44 ハードウェア要因によるカウントスタート動作設定例

24.3.6.2 ハードウェアストップ動作

ハードウェア要因により、GTCNTカウンタのストップ制御が可能です。GTHPSR.CSHPLビットでカウンタをストップさせるハードウェア要因を選択し、GTHSCR.CPHWビットでハードウェア要因の切り替わりエッジを指定してカウンタストップを許可します。

図 24.45 にハードウェア要因によるカウンタストップの動作例を、図 24.46 に設定例を示します。

GTIOC3A 内部出力 (アウトプットコンペア) の両エッジによりストップ、GTIOC3B 内部出力 (アウトプットコンペア) の両エッジにより再スタートする例です。

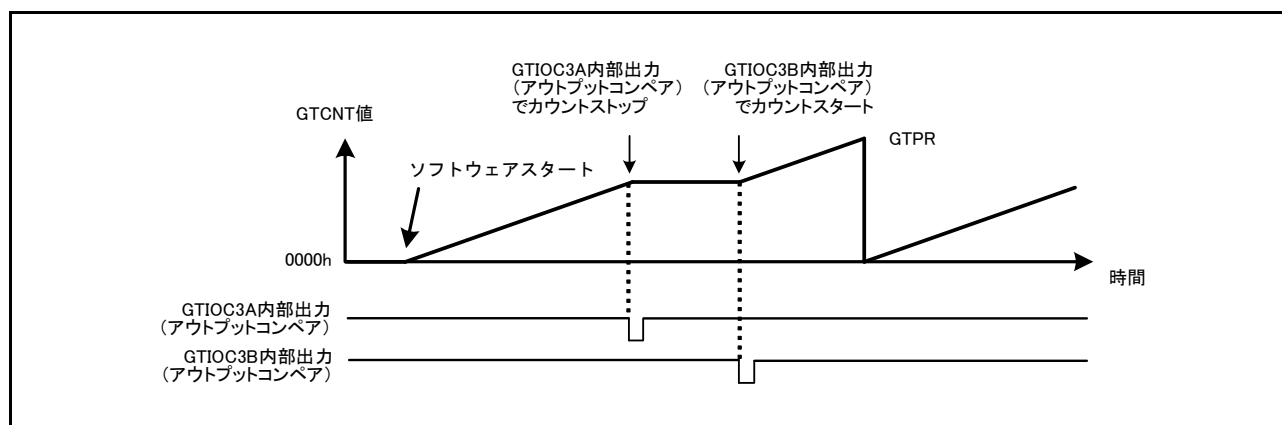


図 24.45 ハードウェア要因によるカウンタストップ動作例
(ソフトウェアでスタート、GTIOC3A 内部出力 (アウトプットコンペア) でストップ、
GTIOC3B 内部出力 (アウトプットコンペア) で再スタート時)

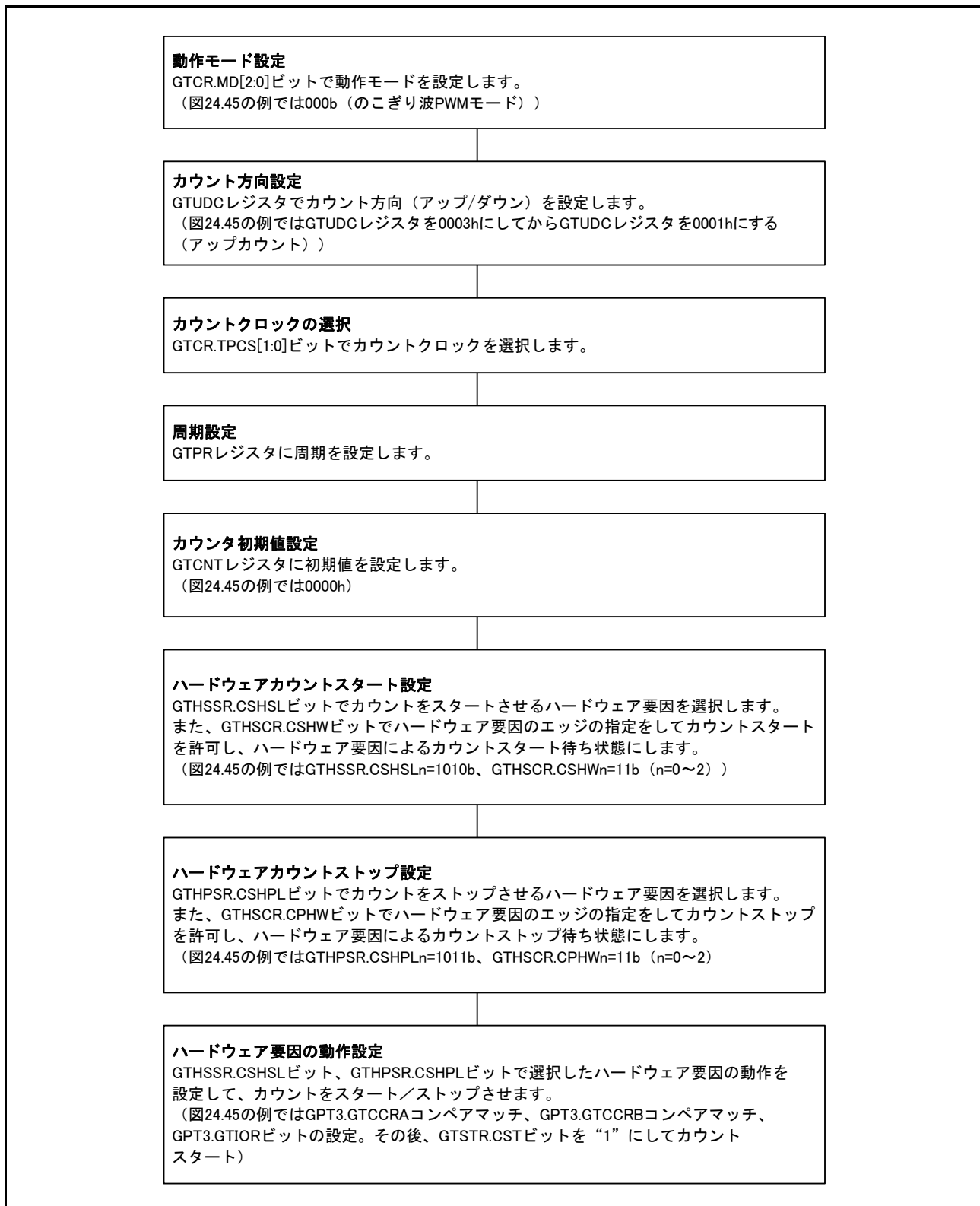


図 24.46 ハードウェア要因によるカウントストップ動作設定例

図 24.47 にハードウェア要因によるカウンタスタート/ストップの動作例を、図 24.48 に設定例を示します。外部入力トリガ GTETR Gn (n=0,1) が High の区間でカウント動作する例です。

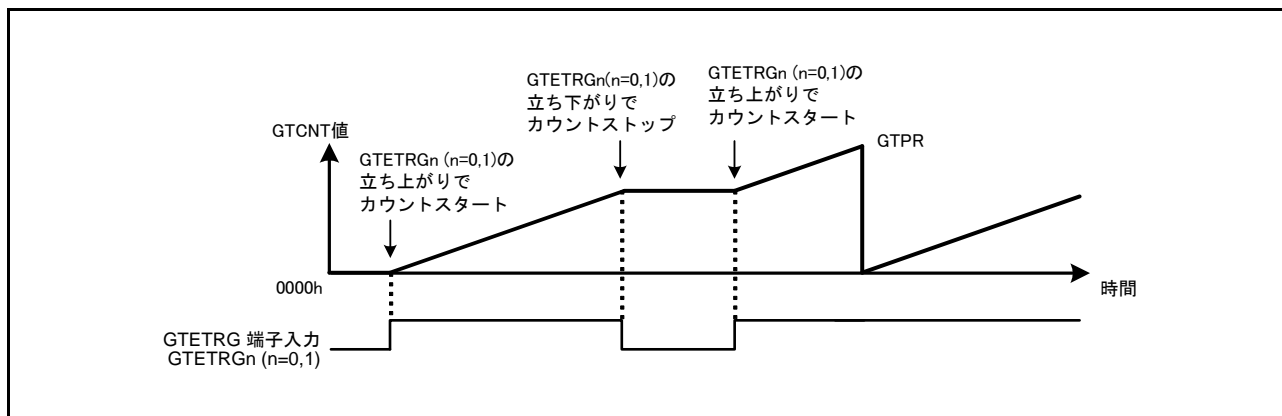


図 24.47 ハードウェア要因によるカウンタスタート/ストップ動作例 (GTETR Gn (n=0,1) 端子入力の立ち上がりでスタート、GTETR Gn (n=0,1) 端子入力の立ち下がりでストップ時)

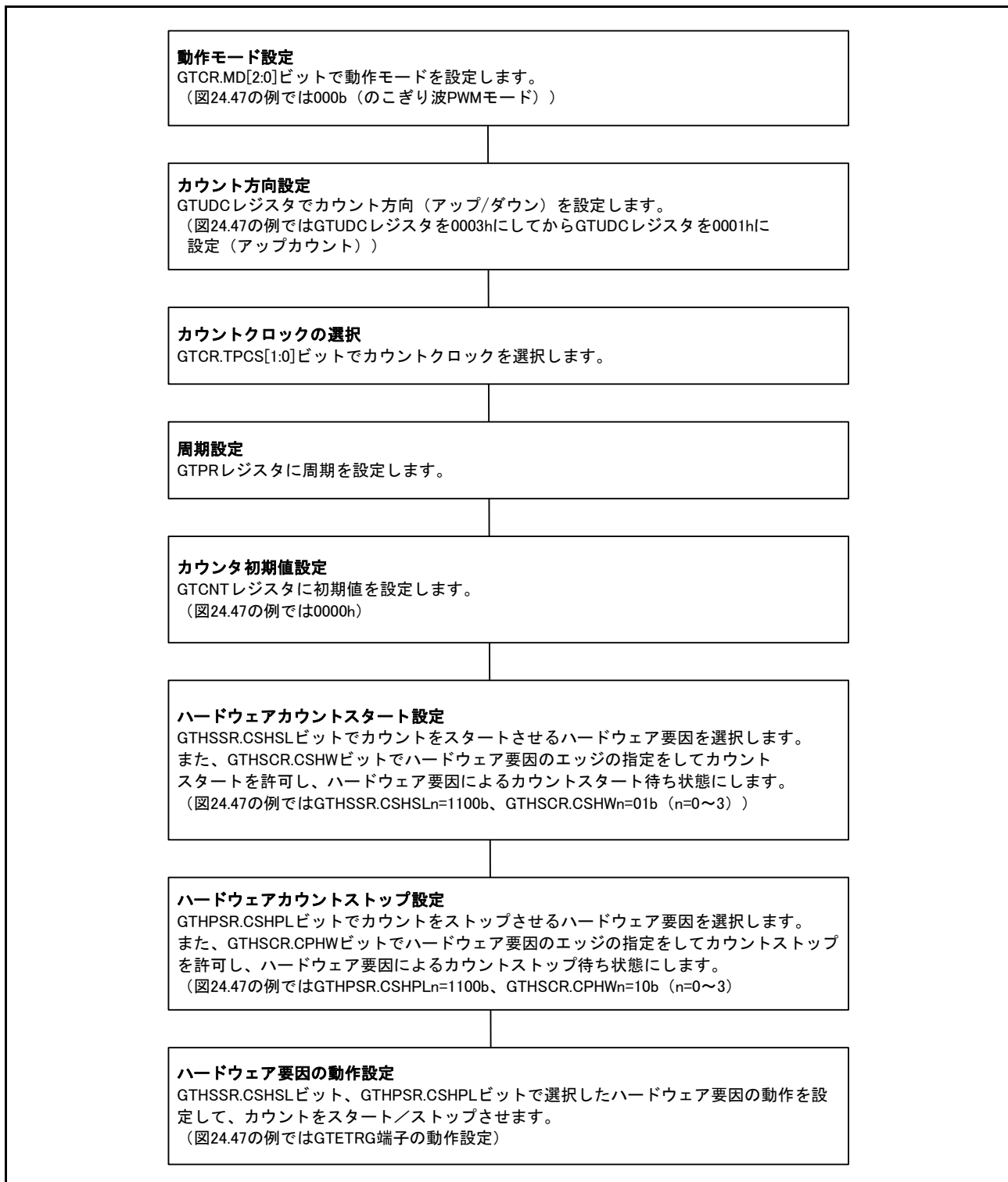


図 24.48 ハードウェア要因によるカウントスタート/ストップ動作設定例

24.3.6.3 ハードウェア クリア動作

ハードウェア要因によって、GTCNTカウンタのクリア制御が可能です。GTHPSR.CSHPLビットでカウンタをクリアさせるハードウェア要因を選択し、GTHCCR.CCHWビットでハードウェア要因の切り替わりエッジを指定してカウンタクリアを許可します。

また、GTCR.CCLR[1:0]ビットの設定によって、GTCCRAレジスタおよびGTCCRBレジスタのインプットキャプチャによるカウンタクリアも可能です。

なお、ハードウェア要因によるカウンタクリアおよびソフトウェアによるカウンタクリアが発生しても、GTCIV割り込み（オーバフロー／アンダフロー割り込み）は発生しません。

図 24.49、図 24.50 にハードウェア要因によるカウンタクリアの動作例を、図 24.51 に設定例を示します。GTIOC3A端子入力の両エッジによりスタート、GTIOC3B端子入力の両エッジによりストップ／クリアする例です。

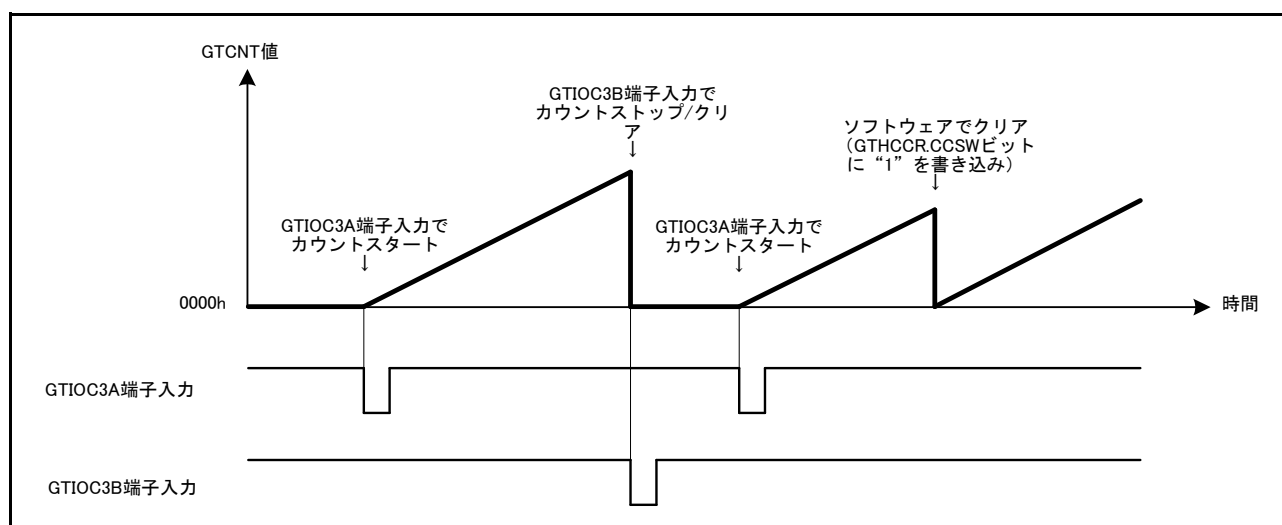


図 24.49 ハードウェア要因によるカウンタクリア動作例（のこぎり波でアップカウント、GTIOC3A端子入力でスタート、GTIOC3B端子入力でストップ／クリア時）

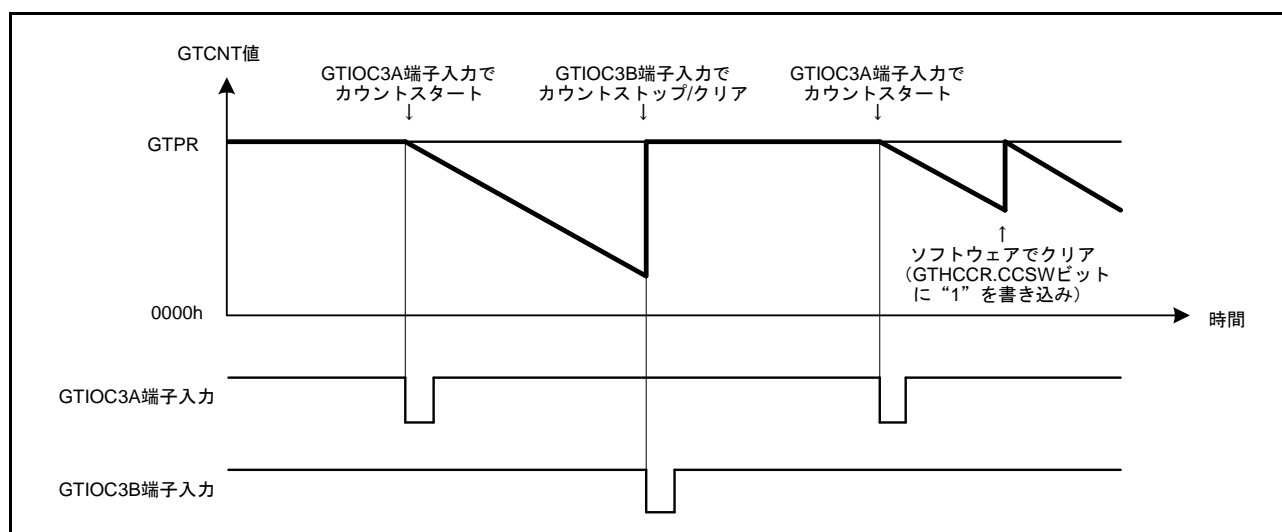


図 24.50 ハードウェア要因によるカウンタクリア動作例（のこぎり波でダウンカウント、GTIOC3A端子入力でスタート、GTIOC3B端子入力でストップ／クリア時）

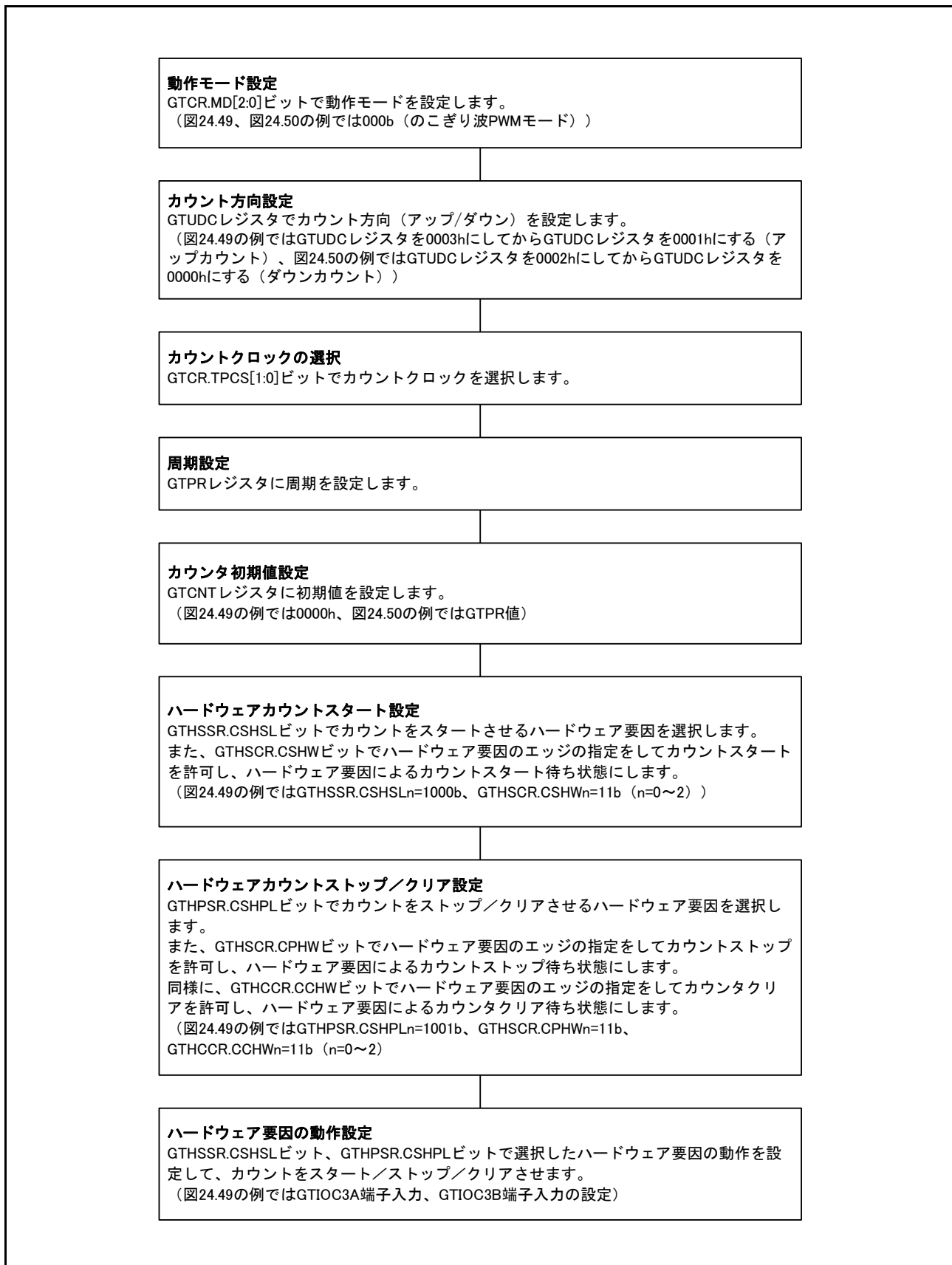


図 24.51 ハードウェア要因によるカウントクリア動作設定例

ハードウェア要因によるカウンタクリアを行っても、GTCIV 割り込み（オーバフロー／アンダフロー割り込み）は発生しません。同様に、ソフトウェアでのカウンタクリアを行った場合も、GTCIV 割り込みは発生しません。

図 24.52 にハードウェア要因によるカウンタクリアと GTCIV 割り込みの関係を示します。

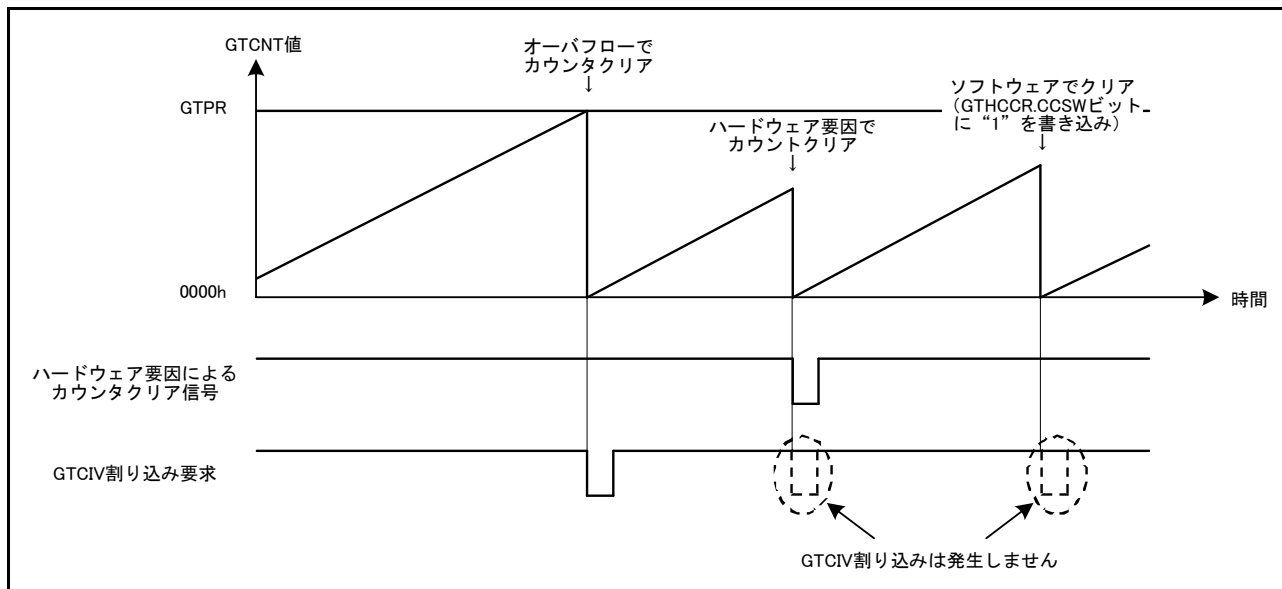


図 24.52 ハードウェア 要因によるカウンタクリアと GTCIV 割り込みの関係

24.3.7 同期動作

チャンネル間の同期動作（同期クリア、同期スタート）が可能です。

24.3.7.1 同期クリア動作

GPT0～GPT3間の同期クリア制御、GPT4～GPT7間の同期クリア制御が可能です。同期クリアさせるチャンネルのGTCR.CCLR[1:0]ビットを“11b”にし、GTSYNC.SYNCn[1:0]ビットでどのチャンネルのクリア要因で同期クリアするかを設定します

n = (0～7)。

図 24.53 に同期クリアの動作例を、図 24.55 に設定例を示します。GPT0.GTCNTのクリア要因（オーバーフロー）によりGPT1.GTCNTとGPT2.GTCNTを同期クリアする例です。

なお、同期クリアされたチャンネルからの同期クリアは発生しません（同期クリアは伝播しません）。

図 24.54 に同期クリアされたチャンネルからの同期クリアの動作例を、図 24.55 に設定例を示します。GPT0.GTCNTのクリア要因（オーバーフロー）によりGPT1.GTCNTを同期クリア、GPT1.GTCNTのクリア要因（オーバーフロー）によりGPT2.GTCNTを同期クリアする例です。GPT0.GTCNTのクリア要因（オーバーフロー）により同期クリアされたGPT1.GTCNTからの同期クリアは、GPT2.GTCNTには伝播しません。

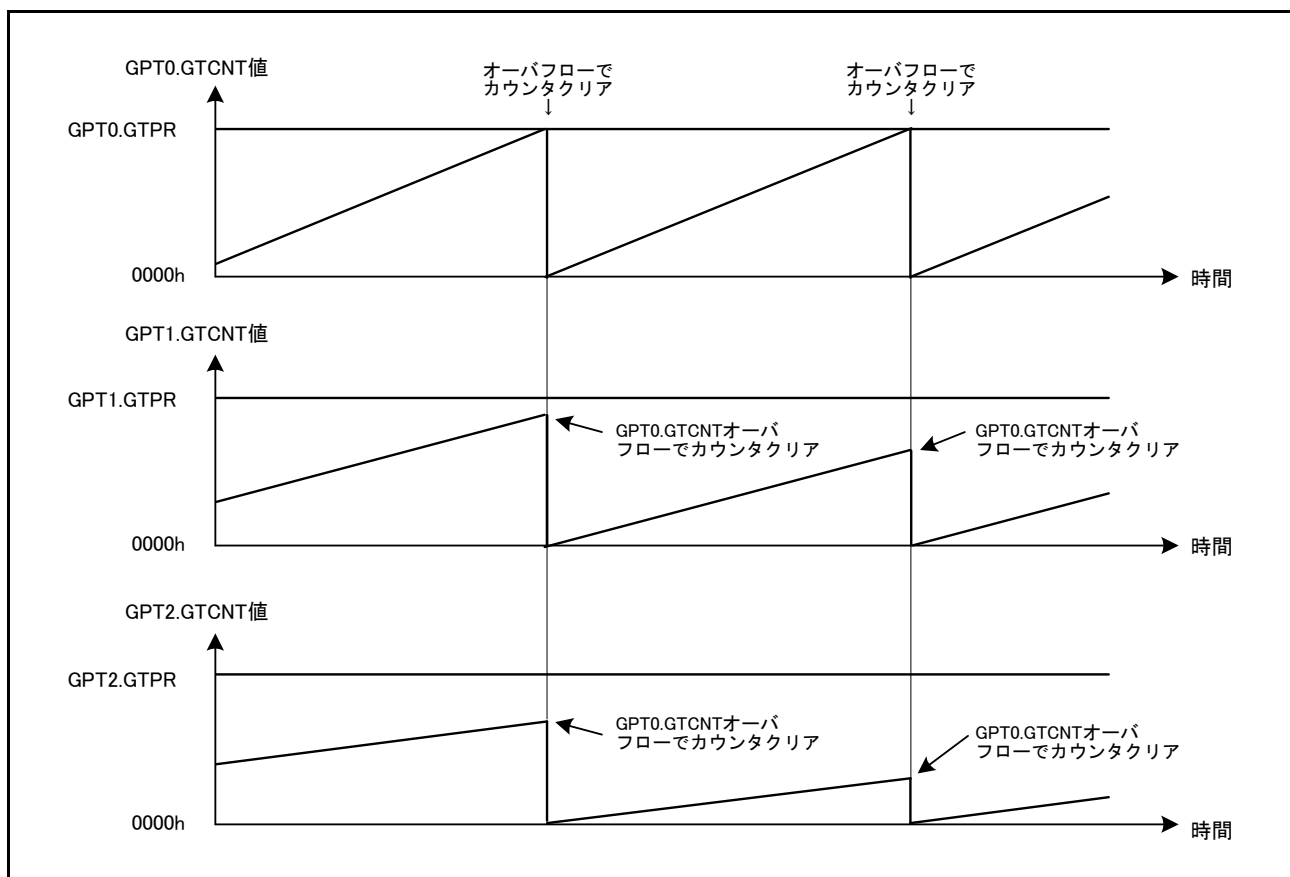


図 24.53 同期クリア動作例
(GPT0.GTCNTのクリア要因でGPT1.GTCNTとGPT2.GTCNTを同期クリア時)

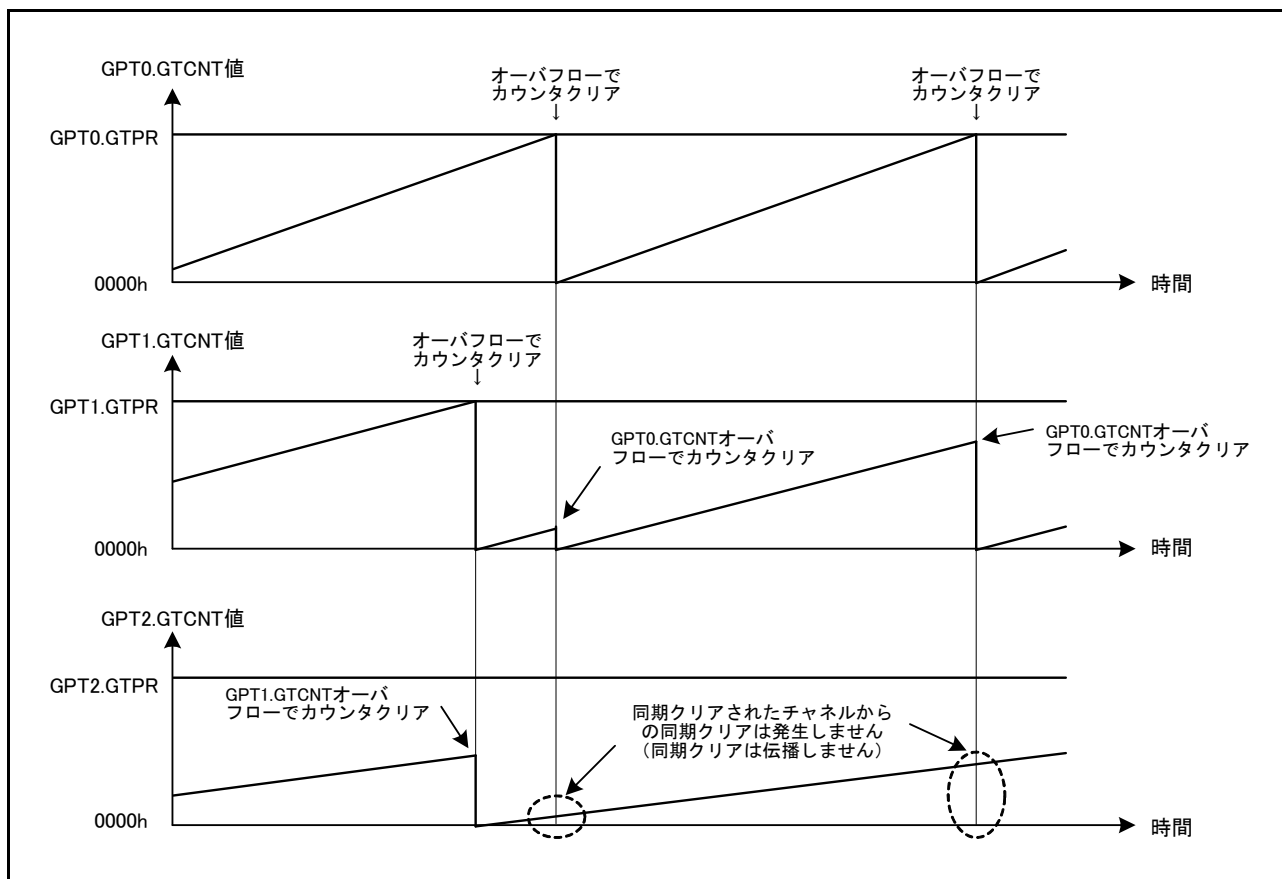


図 24.54 同期クリア動作例 (GPT0.GTCNT のクリア要因で GPT1.GTCNT を同期クリア、GPT1.GTCNT のクリア要因で GPT2.GTCNT を同期クリア時)

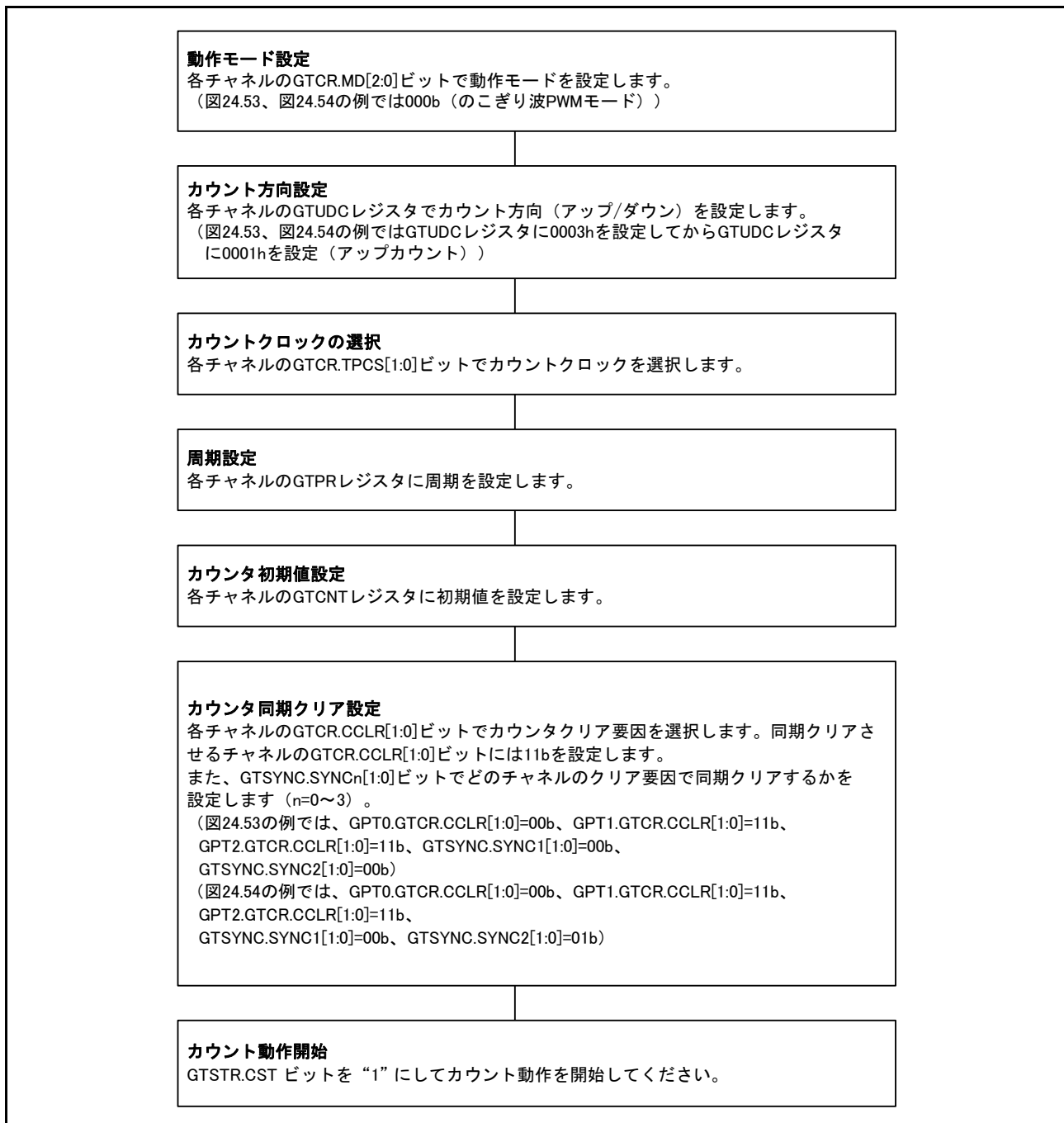


図 24.55 同期クリア動作設定例

24.3.7.2 同期スタート動作

(1) ソフトウェアによる同時スタート

GTSTR.CSTn ビットを同時に“1”にすることによって、GPT0～GPT3のカウント動作を同時に開始すること、GPT4～GPT7のカウント動作を同時に開始することができます n = (0～7)。

図 24.56 にソフトウェアによる同時スタート動作例を示します。

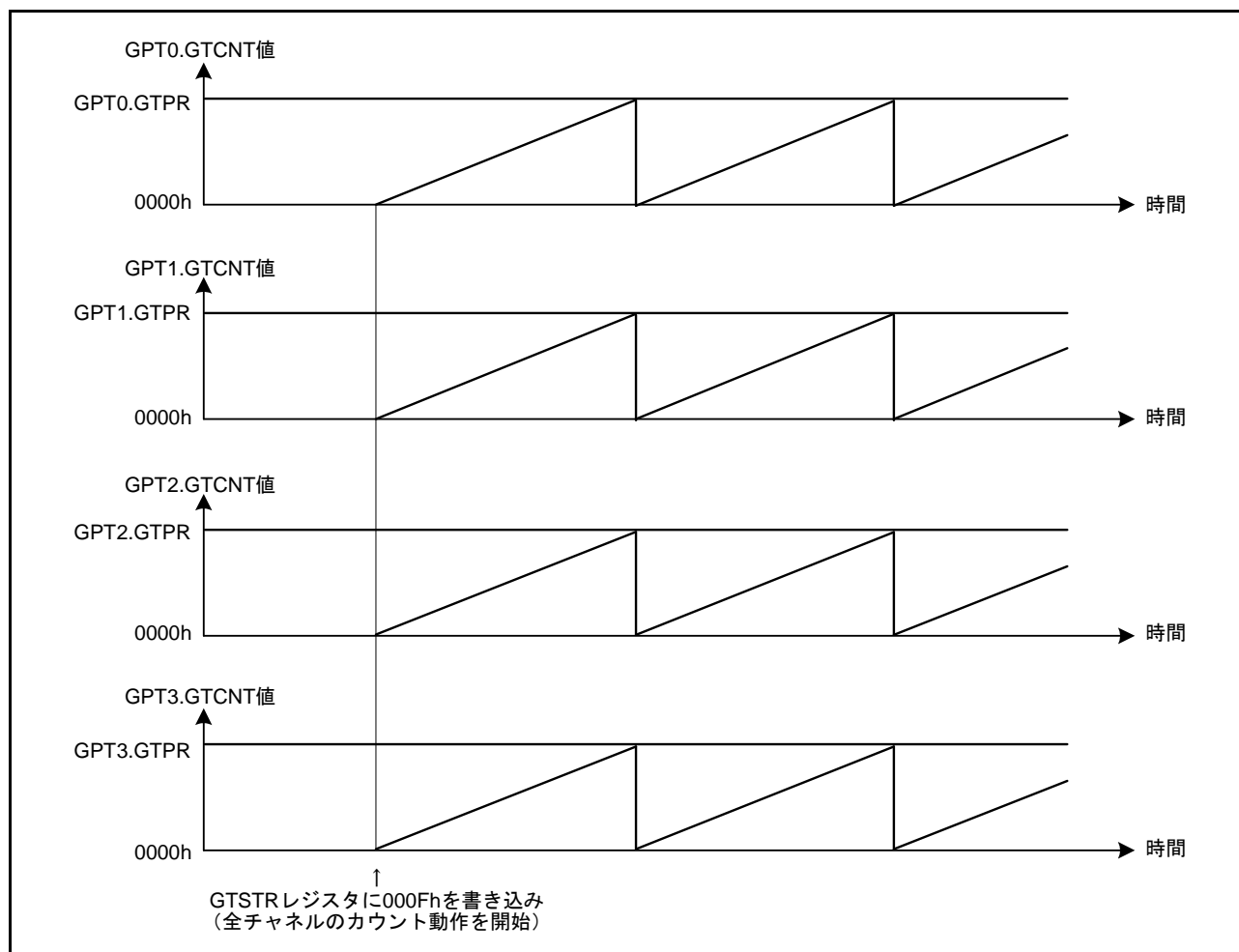


図 24.56 ソフトウェアによる同時スタート動作例 (カウント周期 (GTPR 値) が同一のとき)

(2) ソフトウェアによる位相スタート

カウント動作開始前に各チャンネルの GTCNT 値を設定しておき、GTSTR.CSTn ビットを同時に“1”にすることにより、GPT0～GPT3間に位相差をつけたカウント動作、GPT4～GPT7間に位相差をつけたカウント動作を開始することができます n = (0～7)。

図 24.57 にソフトウェアによる位相スタート動作例を示します。

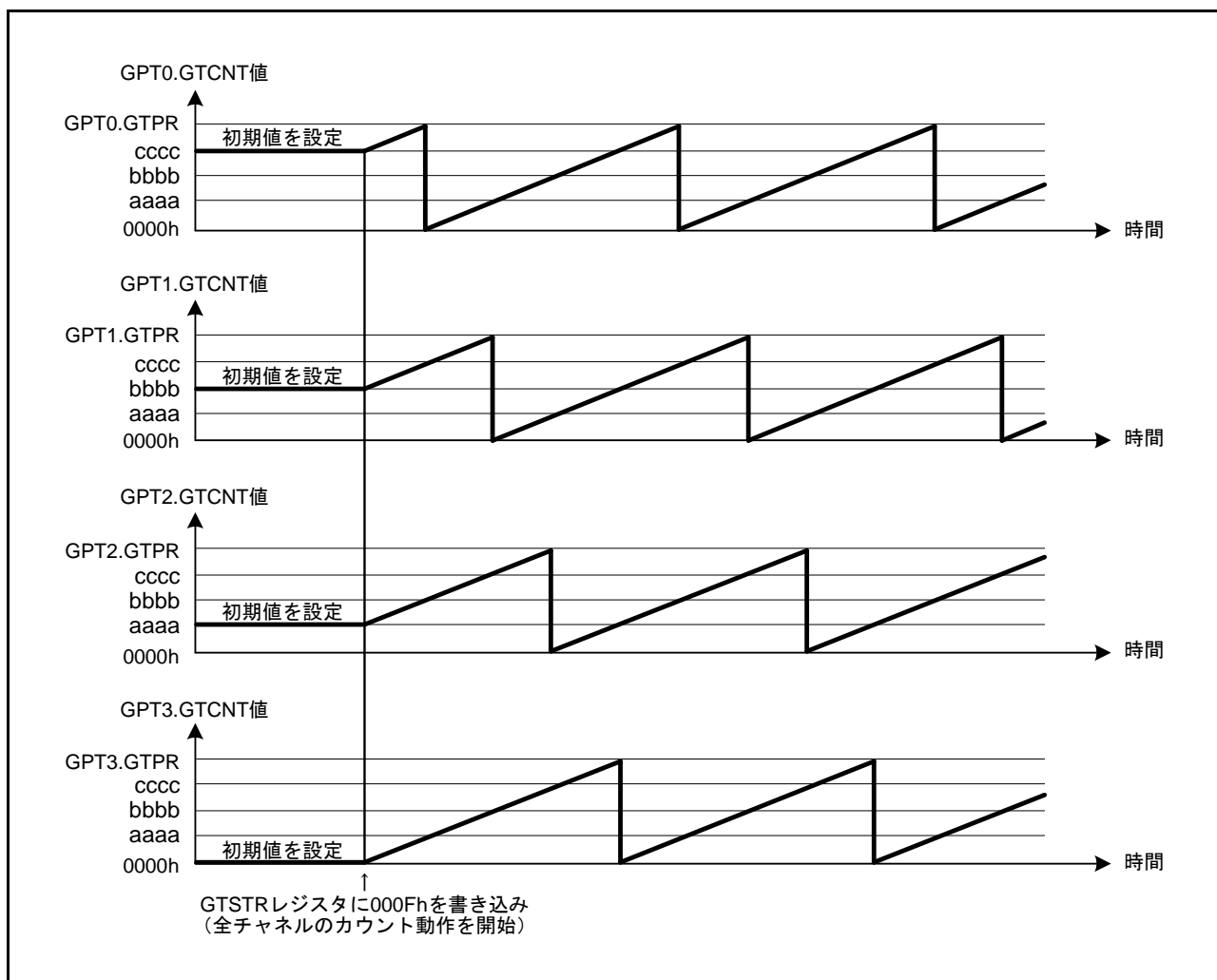


図 24.57 ソフトウェアによる位相スタート動作例 (カウント周期 (GTPR 値) が同一のとき)

(3) ハードウェア要因による同時スタート

本 MCU 内蔵のハードウェア要因により、GPT0～GPT3 のカウント動作を同時に開始すること、GPT4～GPT7 のカウント動作を同時に開始することができます。

ハードウェア要因には、GTETRG0/GTETRG1 端子入力、コンパレータ検出、GTIOC3A/GTIOC7A および GTIOC3B/GTIOC7B 端子入力、GTIOC3A/GTIOC7A および GTIOC3B/GTIOC7B 内部出力 (アウトプットコンペア) の 4 種類の要因があります。

図 24.58 にハードウェア要因による同時スタート動作例を、図 24.59 に設定例を示します。AN000 用コンパレータ検出により全チャンネルのカウント動作を開始する例です。

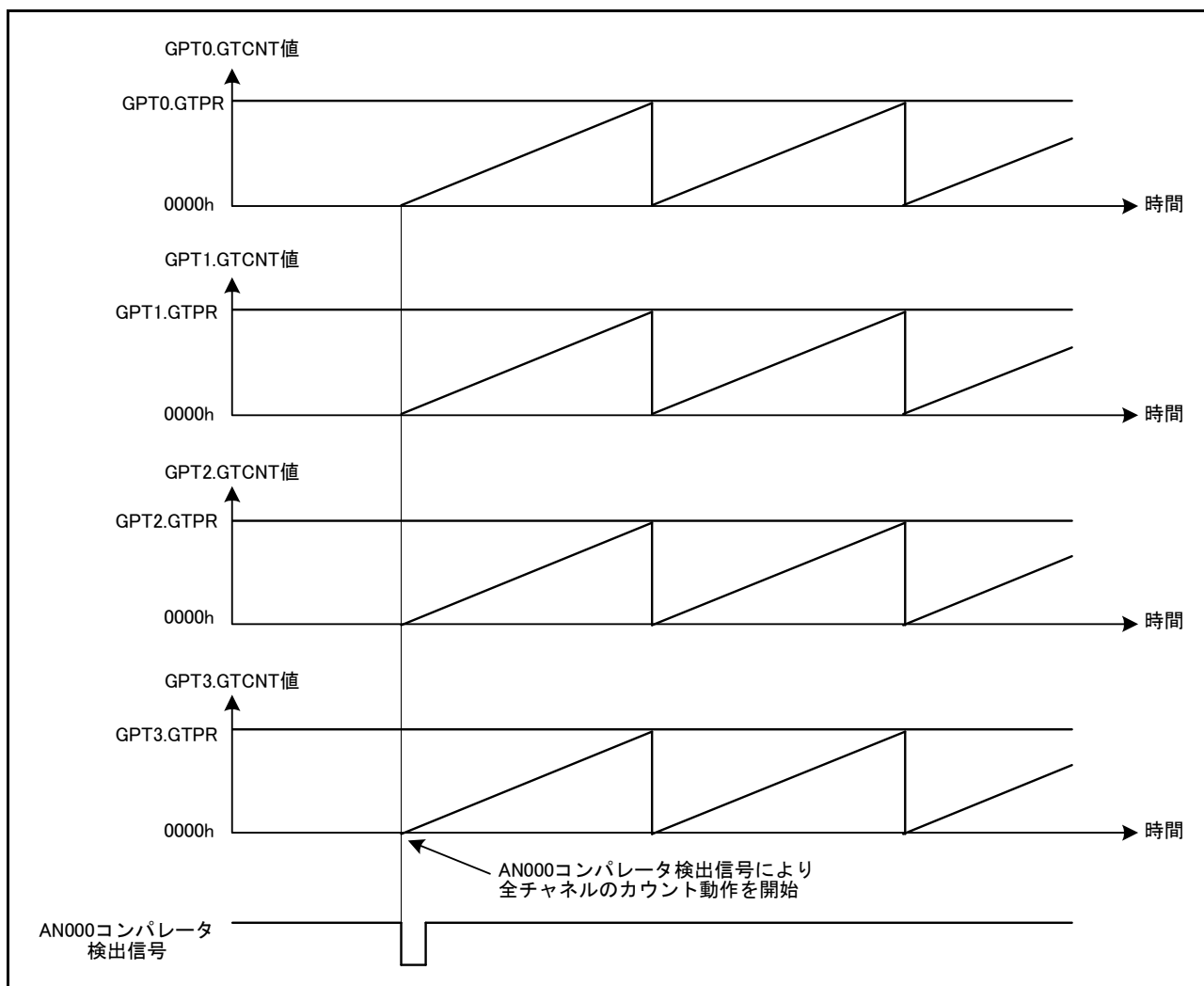


図 24.58 ハードウェア要因による同時スタート動作例 (カウント周期 (GTPR 値) が同一のとき)

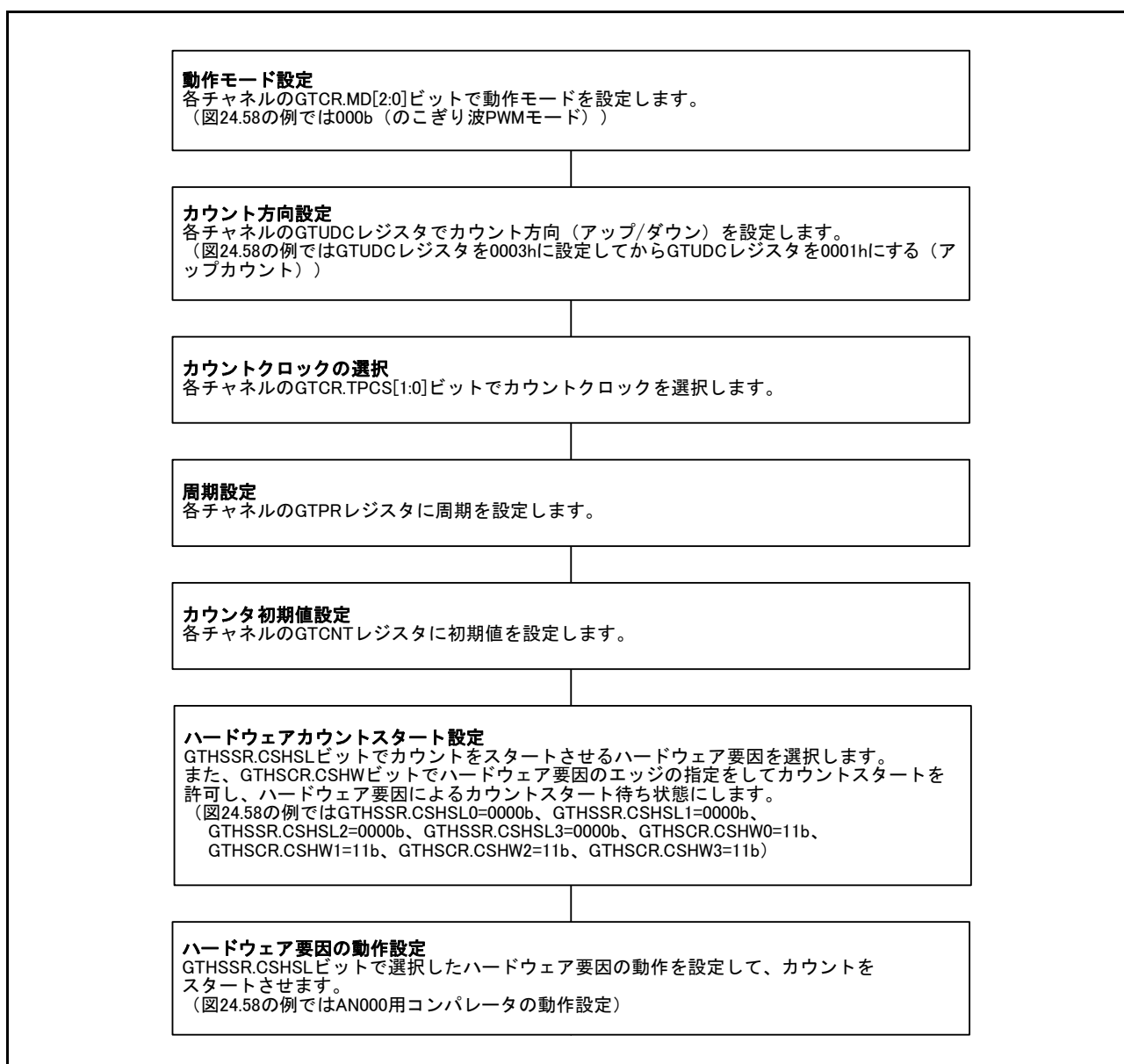


図 24.59 ハードウェア要因による同時スタート設定例

(4) ハードウェア要因による位相スタート

本MCU内蔵のハードウェア要因により、GPT0～GPT3間に位相差をつけたカウント動作、GPT4～GPT7間に位相差をつけたカウント動作を開始することができます。

ハードウェア要因には、GTETRG0/GTETRG1端子入力、コンパレータ検出、GTIOC3A/GTIOC7AおよびGTIOC3B/GTIOC7B端子入力、GTIOC3A/GTIOC7AおよびGTIOC3B/GTIOC7B内部出力(アウトプットコンペア)の4種類の要因があります。

図24.60にハードウェア要因による位相スタート動作例を、図24.61に設定例を示します。GPT3.GTCNTとGPT0.GTCNTはソフトウェアにより同時にカウント動作を開始、GPT1.GTCNTとGPT2.GTCNTはGTIOC3AおよびGTIOC3B内部出力(アウトプットコンペア)によりカウント動作を開始する例です。

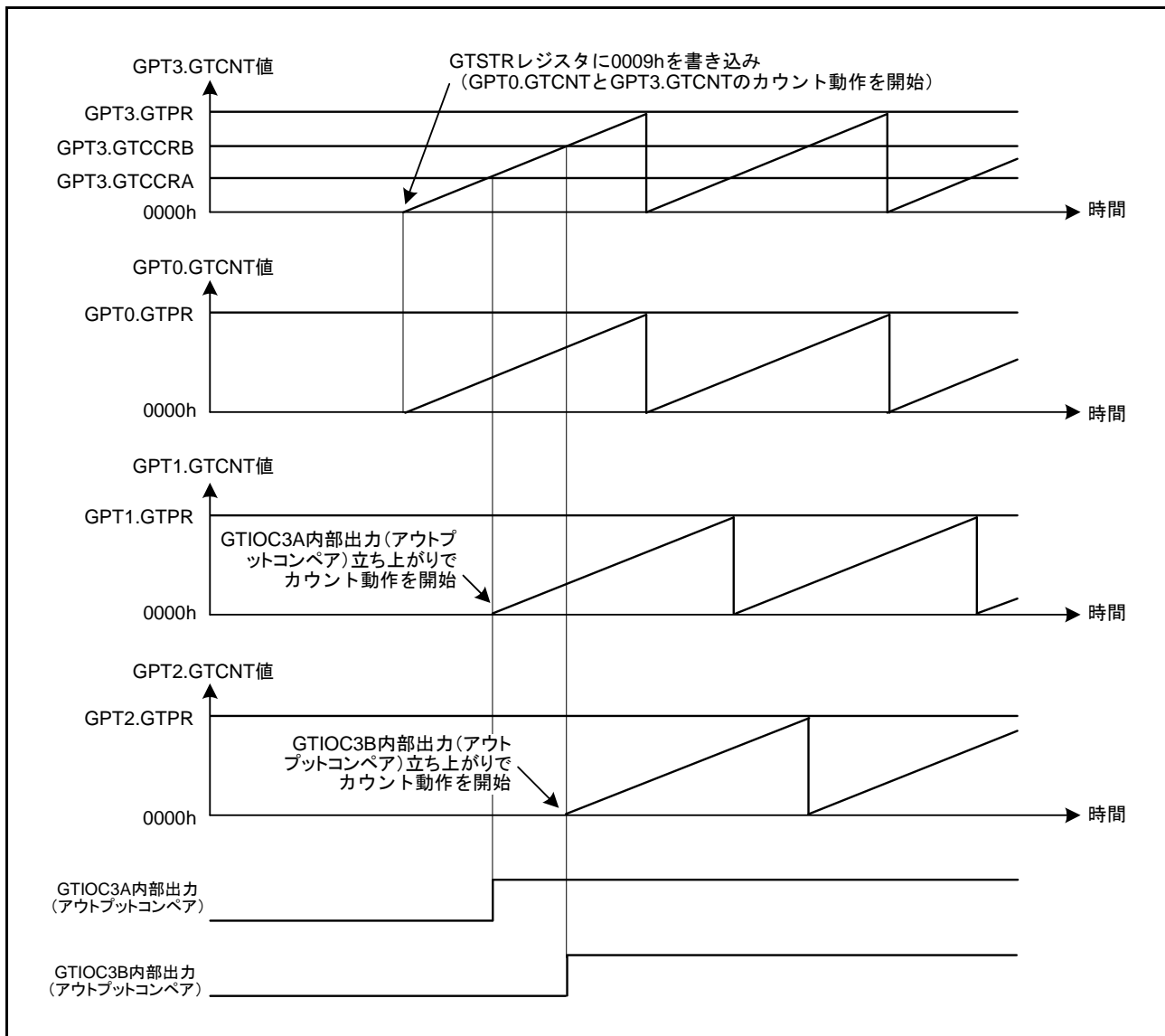


図24.60 ハードウェア要因による位相スタート動作例(カウント周期(GTPR値)が同一のとき)

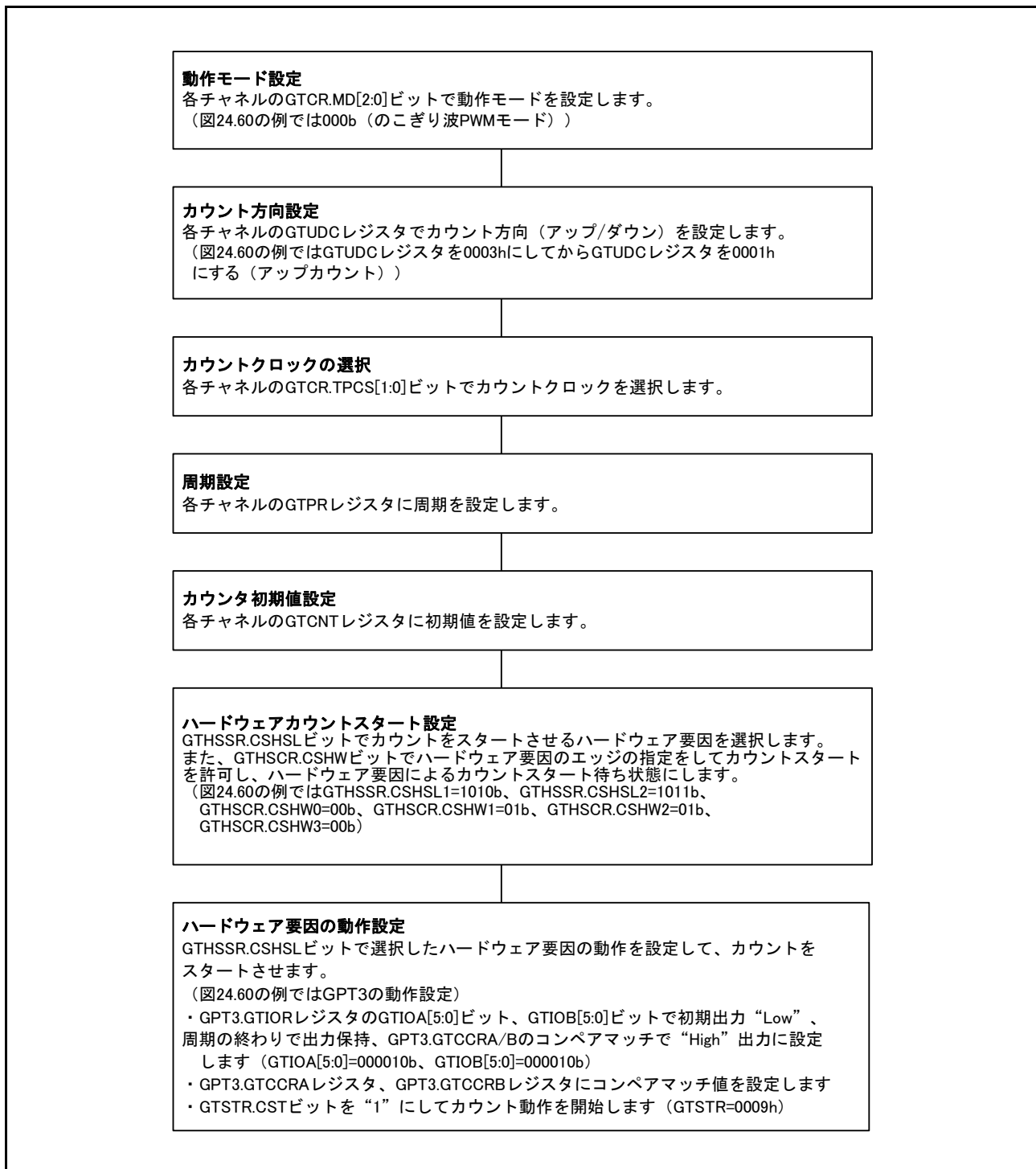


図 24.61 ハードウェア要因による位相スタート設定例

24.3.8 PWM 出力動作例

(1) 同期 PWM 出力

チャンネル間の同期動作をすることにより、最大4チャンネル8相の連動したPWM波形を出力できます。

図 24.62 は、すべてのチャンネルを、のこぎり波 PWM モードで同期動作させ、8相のPWM波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 出力の設定は、初期出力は Low、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とした例です。

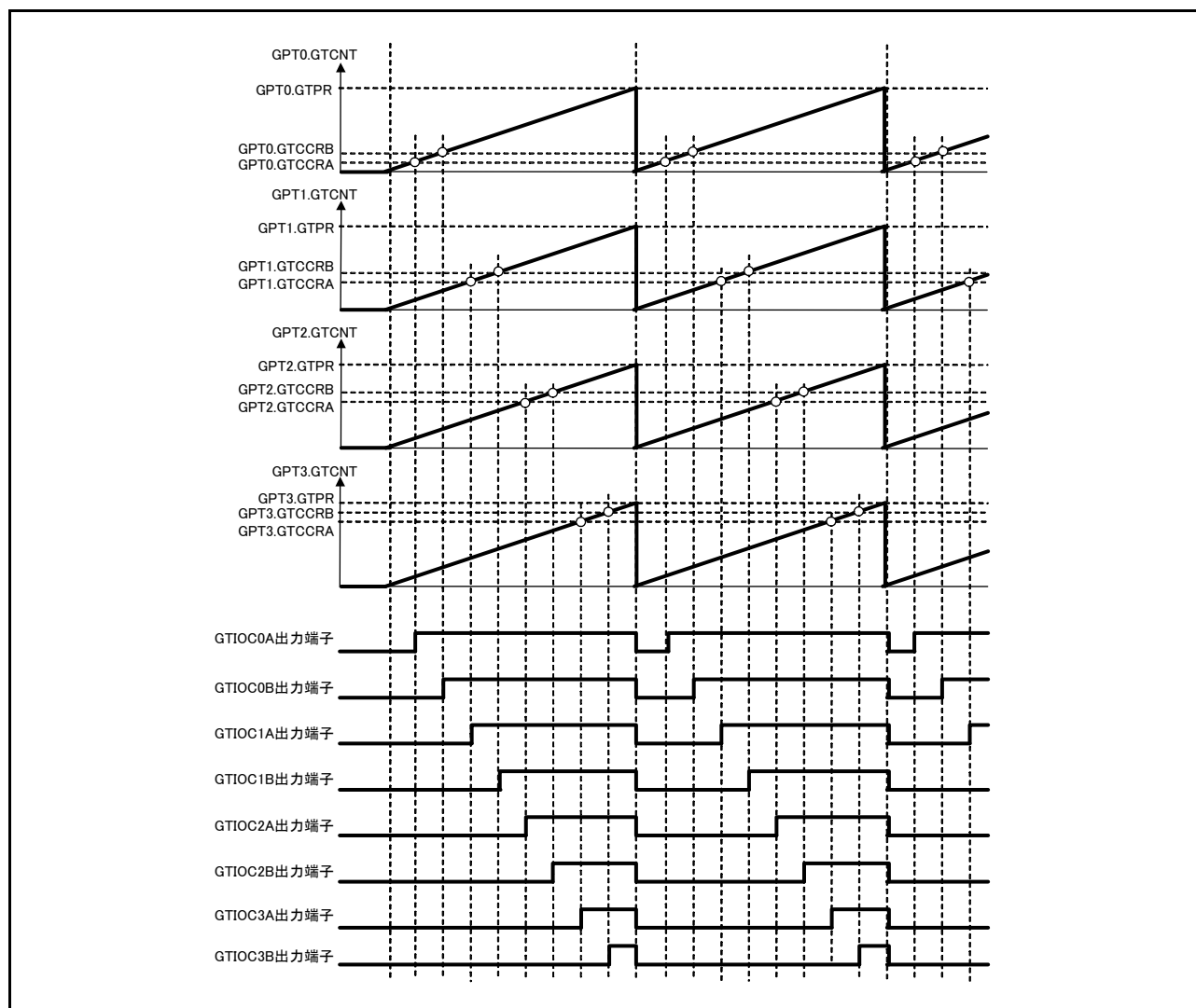


図 24.62 同期 PWM 出力例

(2) のこぎり波 3 相相補 PWM 出力

図 24.63 は、3つのチャンネルをのこぎり波 PWM モードで同期動作させ、3相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力とした例です。

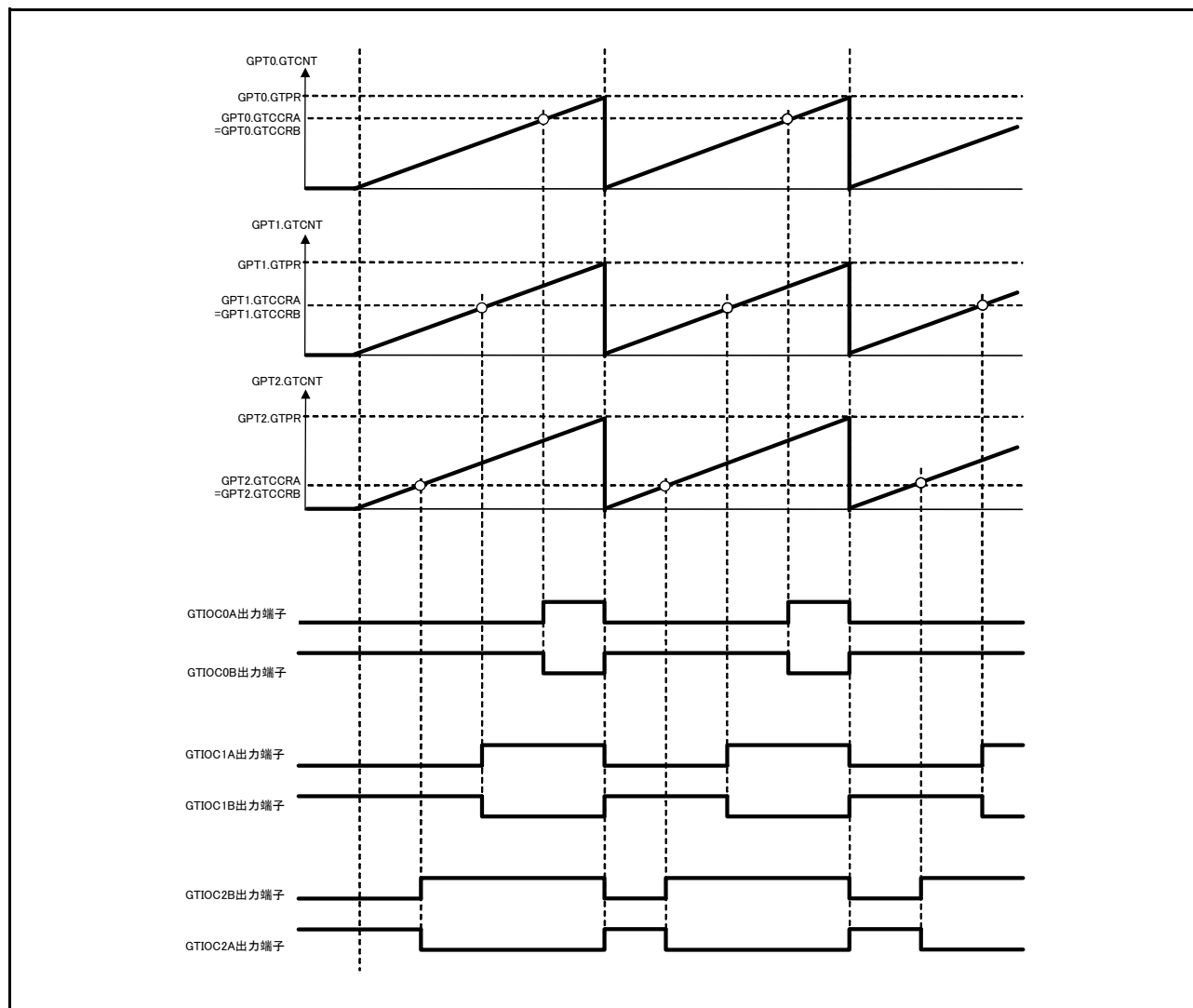


図 24.63 のこぎり波 3 相相補 PWM 出力

(3) のこぎり波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 24.64 は、3つのチャネルを、デッドタイムを自動設定したのこぎり波ワンショットパルスモードで同期動作させ、3相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

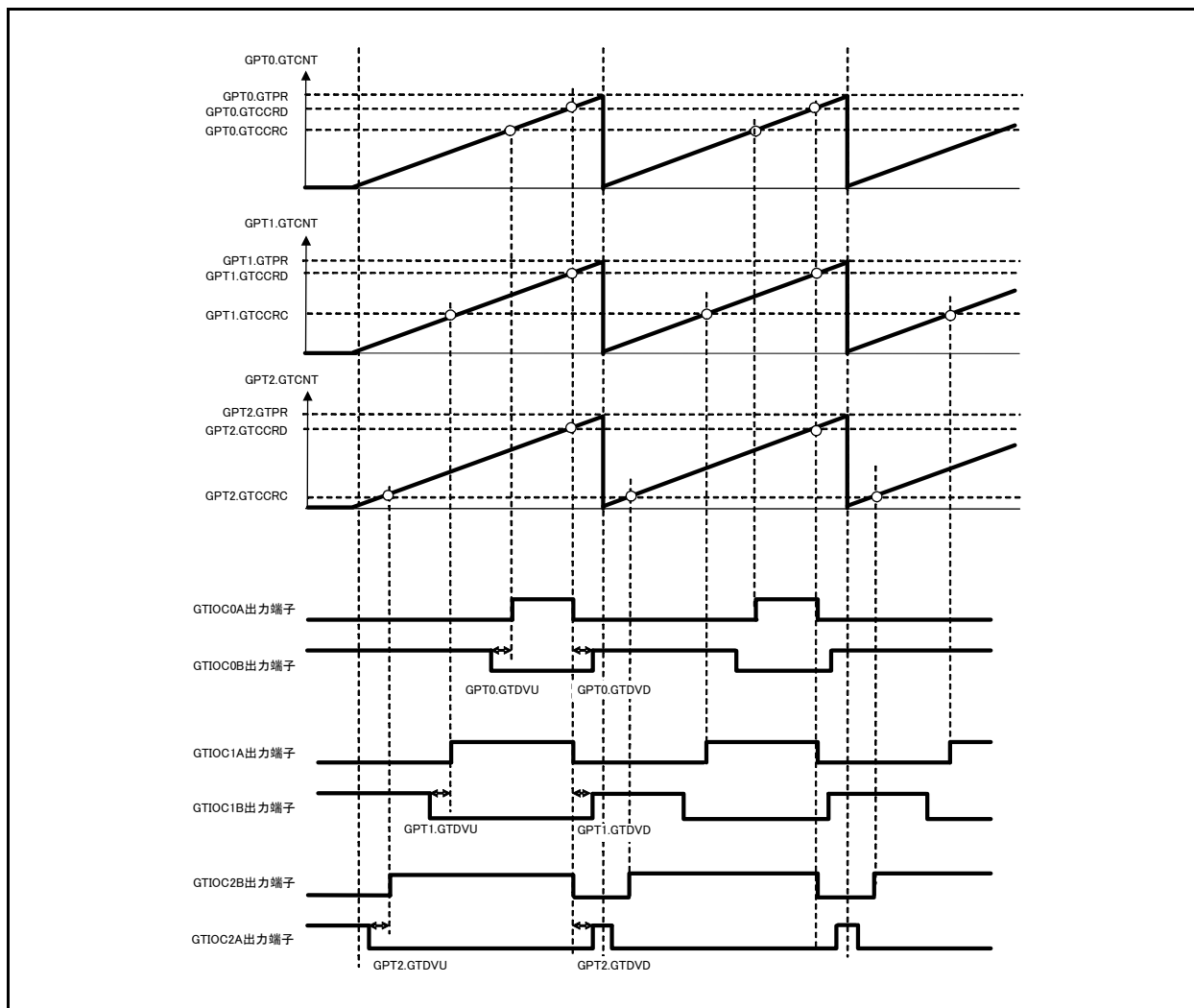


図 24.64 のこぎり波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(4) 三角波 3 相相補 PWM 出力

図 24.65 は、3つのチャンネルを三角波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

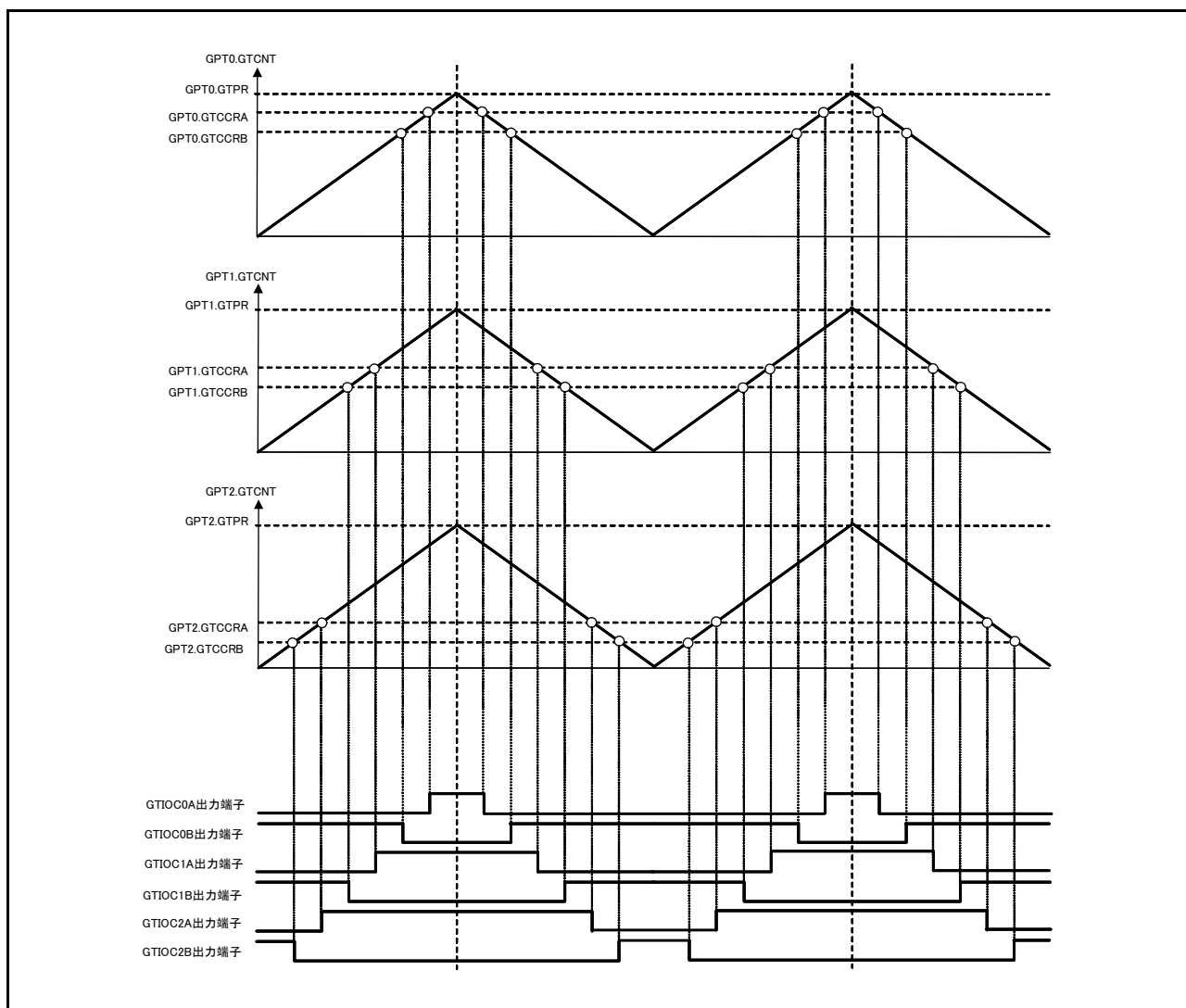


図 24.65 三角波 3 相相補 PWM 出力

(5) 三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 24.66 は、3つのチャンネルを、デッドタイムを自動設定した三角波 PWM モード 1 で同期動作させ、3相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

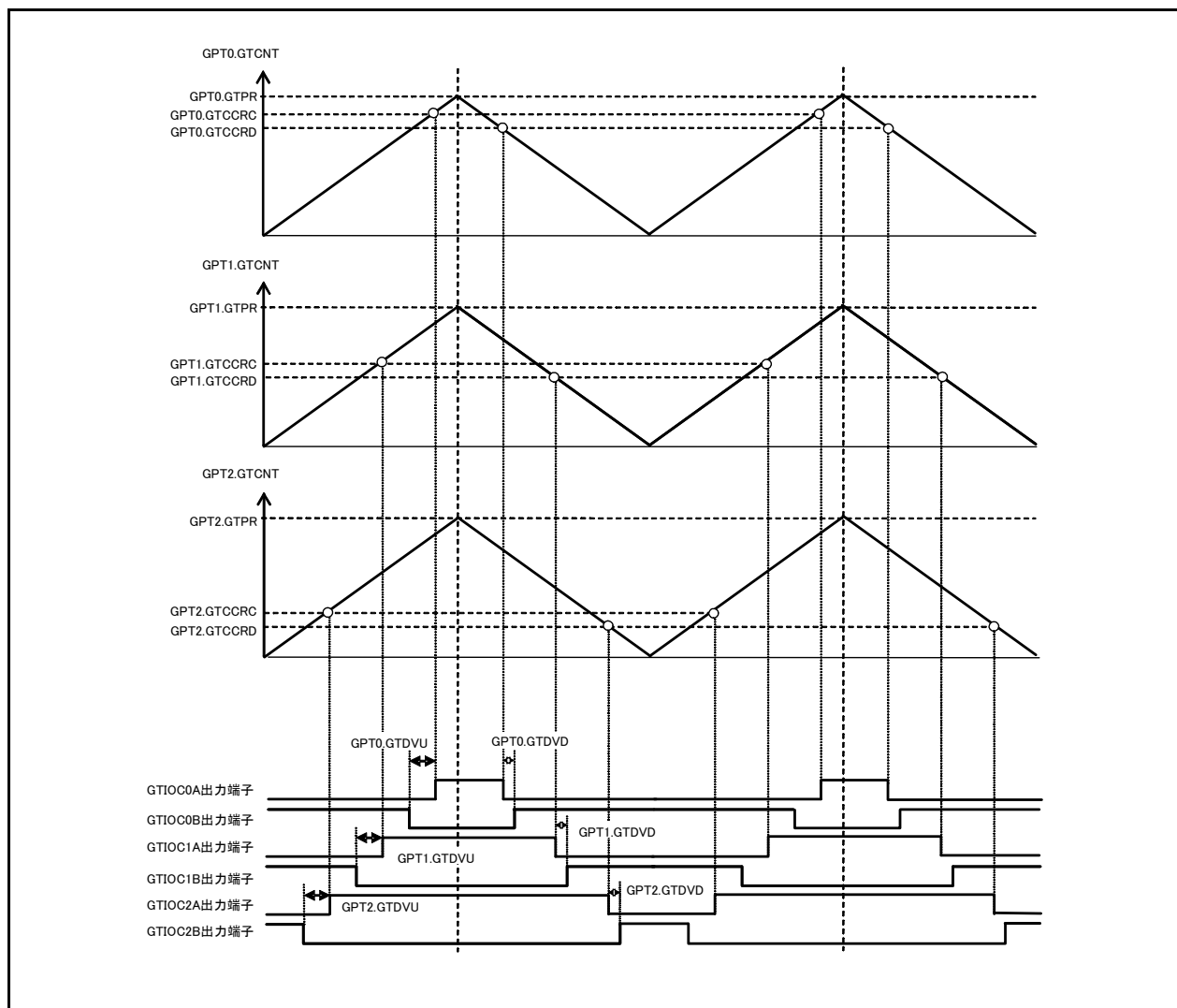


図 24.66 三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 24.67 は、3つのチャンネルを、デッドタイムを自動設定した三角波 PWM モード3で同期動作させ、3相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

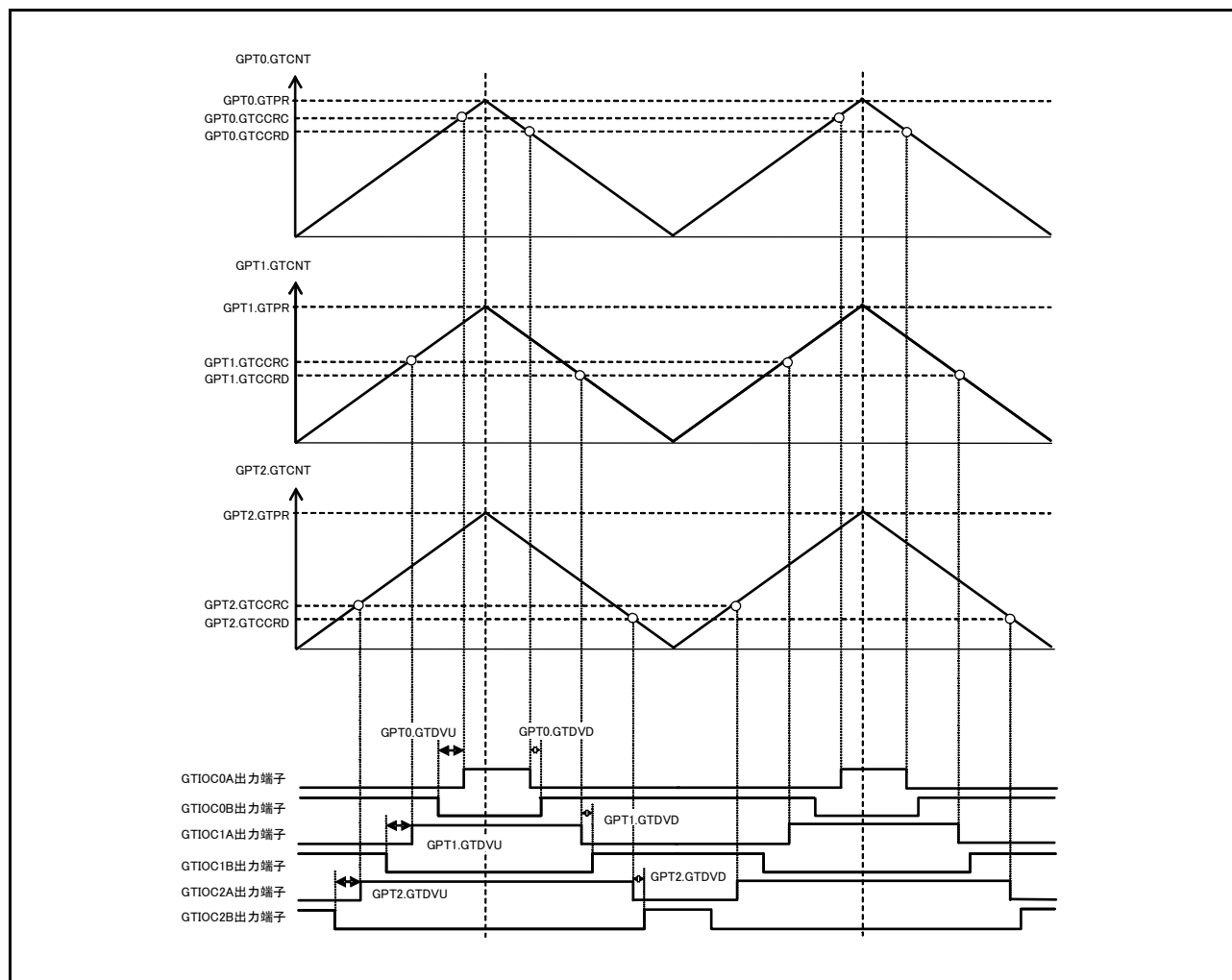


図 24.67 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

24.3.9 PWM 立ち上がり / 立ち下がりタイミング調整動作

GTIOc_nA 端子、GTIOc_nB 端子から出力する PWM 波形の立ち上がり / 立ち下がりタイミングを PCLKA クロックの 32 分割の解像度で遅延させることができます ($n = 0 \sim 3$)。このとき PCLKA クロックは、80MHz 以上の設定としてください。

GTIOc_nA 端子、GTIOc_nB 端子から出力する PWM 波形の立ち上がり / 立ち下がりタイミングを変更する場合、図 24.68 に示す手順に従って PWM 遅延生成回路を初期化してください。

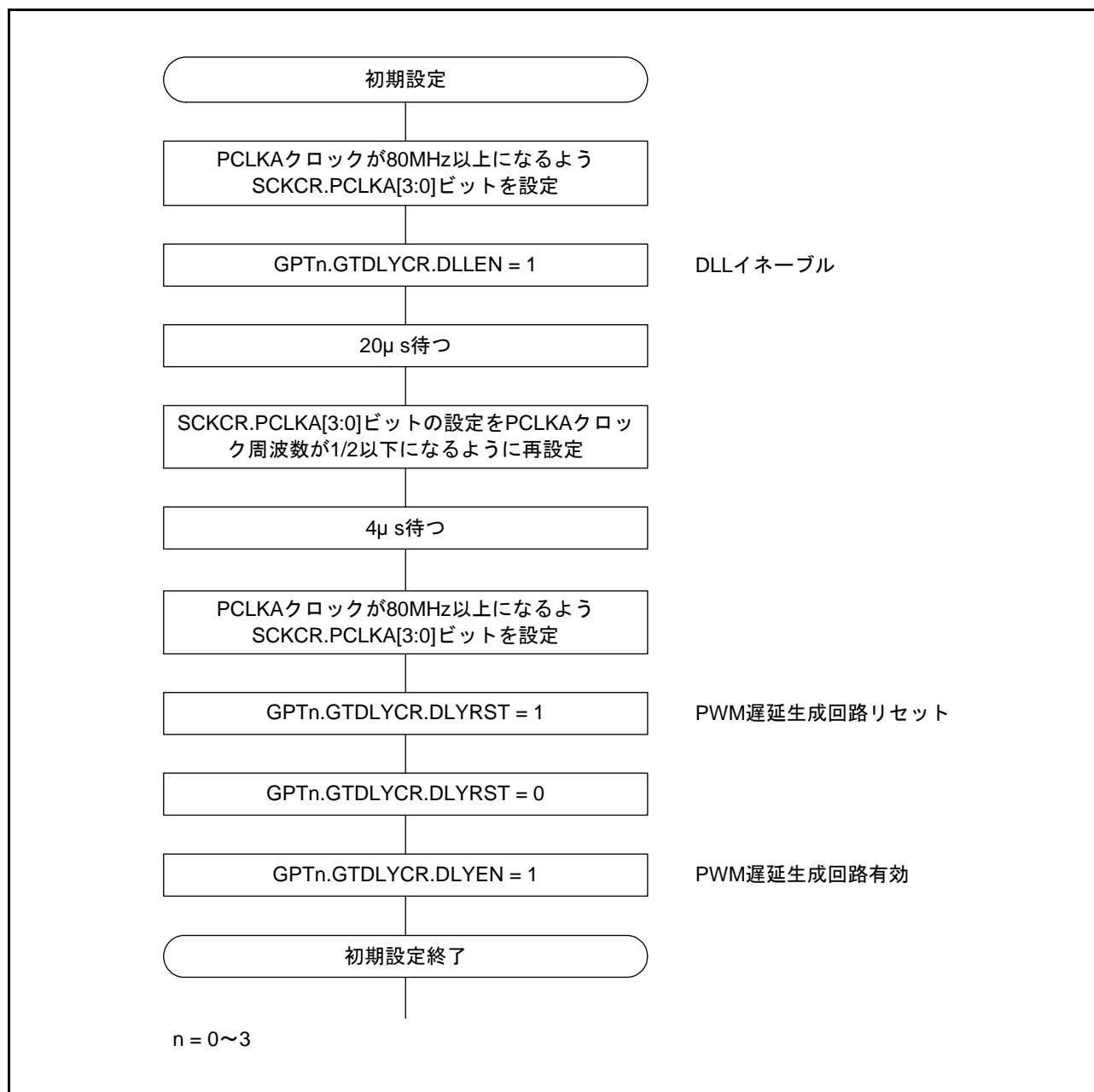


図 24.68 PWM 遅延生成回路の初期化フローチャート例

PWM 遅延生成回路は「24.3.3 PWM 出力動作モード」記載の PWM 出力に対して立ち上がり / 立ち下がりタイミングに PCLKA クロックの 32 分割の解像度で遅延を付加することができます。GTDLYRA レジスタ、GTL DYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタに遅延値を設定します。設定した遅延値は「24.3.10 GTDLYRA レジスタ、GTL DYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタの設定値転送タイミング」記載のタイミングで PWM 出力に反映されます。GTDLYRA レジスタ、GTL DYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタと対応する PWM 出力関係を表 24.6 に示します。

表 24.6 PWM出力端子と遅延設定対象レジスタ一覧

PWM出力端子名	立ち上がり遅延設定レジスタ名	立ち下がり遅延設定レジスタ名
GTIOC0A	GPT0.GTDLYRA	GPT0.GTDLYFA
GTIOC0B	GPT0.GTDLYRB	GPT0.GTDLYFB
GTIOC1A	GPT1.GTDLYRA	GPT1.GTDLYFA
GTIOC1B	GPT1.GTDLYRB	GPT1.GTDLYFB
GTIOC2A	GPT2.GTDLYRA	GPT2.GTDLYFA
GTIOC2B	GPT2.GTDLYRB	GPT2.GTDLYFB
GTIOC3A	GPT3.GTDLYRA	GPT3.GTDLYFA
GTIOC3B	GPT3.GTDLYRB	GPT3.GTDLYFB

PWM 遅延生成回路を使用することで PWM 出力の立ち上がり / 立ち下がりタイミングを PCLKA クロックの 32 分割の解像度で制御することができます。PWM 遅延生成回路を使用しない場合、PWM 出力波形周期はタイマカウンタの解像度 (PCLKA クロック) での制御ですが、PWM 遅延生成回路を使用することで 32 倍の解像度で制御することができます。また PWM 波形の High/Low 出力期間も PCLKA クロックの 32 倍の解像度で制御することができます。

PWM 遅延生成回路は、4 チャンネルすべてに搭載しており、チャンネル毎に有効 / 無効の設定が可能です。

24.3.10 GTDLYRA レジスタ、GTL DYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタの設定値転送タイミング

GTDLYRA レジスタ、GTL DYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタの設定値はテンポラリレジスタに転送されてから GTIOCnA、GTIOCnB 出力の遅延量に反映されます ($n=0 \sim 3$)。設定値の転送タイミングはのこぎり波の場合はオーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時)、三角波の場合は谷となります。

GTDLYRA レジスタの動作例を図 24.69 に、GTDLYFA レジスタの動作例を図 24.70 に示します。

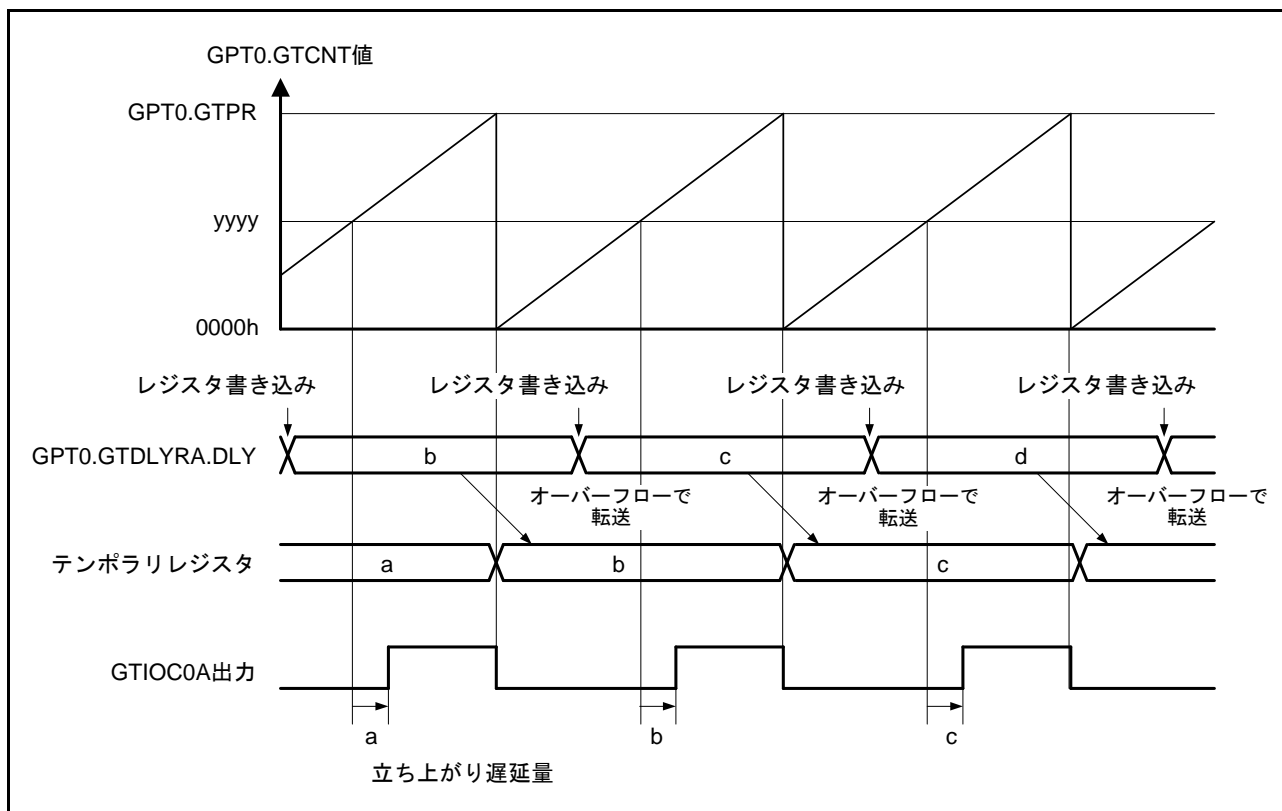


図 24.69 GTDLYRA レジスタの動作例 (のこぎり波 PWM の場合)

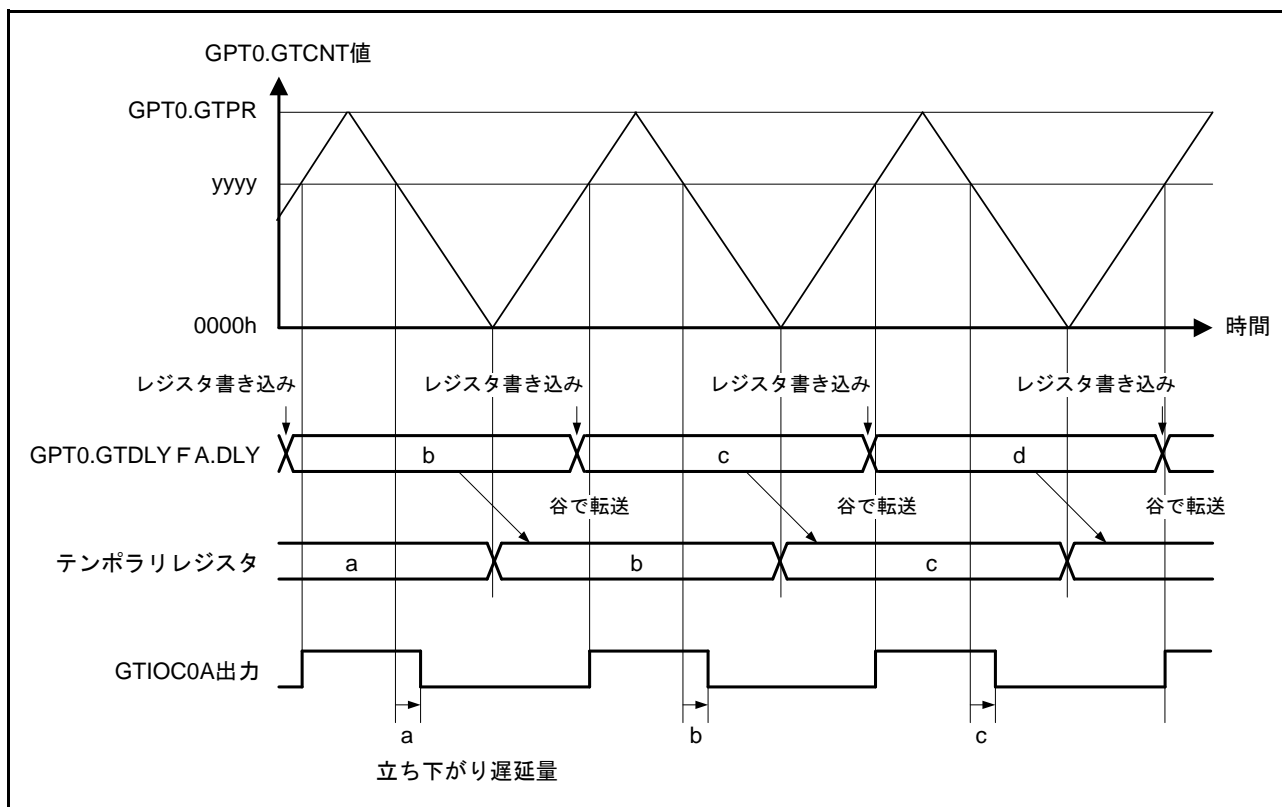


図 24.70 GTDLYFA レジスタの動作例 (三角波 PWM の場合)

24.4 割り込み要因

24.4.1 割り込み要因と優先順位

GPTの割り込み要因には、GTCCRレジスタのインプットキャプチャ/コンペアマッチ、GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ) /アンダフロー、デッドタイムエラー、IWDTCCLKカウンタ機能割り込みの4種類があります。各割り込み要因は、それぞれ専用のステータスフラグと割り込み要求発生の制御ビットがあり、割り込み要求の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、GTSTレジスタの対応するステータスフラグが“1”になります。このときGTINTADレジスタの対応する割り込み要求許可/禁止ビットが“1”であれば、割り込みを要求します。

ただし、当該ステータスフラグが“1”の状態での割り込み要求は無視されますので、再度割り込みを可能にするには該当するステータスフラグを“0”にしてください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。表 24.7 に GPT の割り込み要因の一覧を示します。

表24.7 GPTの割り込み要因 (1 / 2)

チャンネル	名称	割り込み要因		割り込みフラグ	DMAC/DTC起動	優先順位
0	GTCIA0	GPT0.GTCCRAのインプットキャプチャ/コンペアマッチ		TCFA	可能	↑ 高
	GTCIB0	GPT0.GTCCRBのインプットキャプチャ/コンペアマッチ		TCFB	可能	
	GTCIC0	GPT0.GTCCRCのコンペアマッチ		TCFC	可能	
		GPT0.GTCCRDのコンペアマッチ		TCFD		
		デッドタイムエラー		DTEF		
	GTCIE0	GPT0.GTCCREのコンペアマッチ		TCFE	可能	
		GPT0.GTCCRFのコンペアマッチ		TCFF		
	GTCIV0	GPT0.GTCNTのオーバフロー (GPT0.GTPRのコンペアマッチ)		TCFPO	可能	
		GPT0.GTCNTのアンダフロー		TCFPU		
	LOCOI	IWDTCCLKカウント機能割り込み	LCNTのオーバフロー	LISO	可能	
			IWDTCCLKカウント値偏差超え	LISD		
			IWDTCCLK分周クロック立ち上がり	LISC		
		外部入力トリガ	外部トリガ立ち下がり入力	ETINF		
外部トリガ立ち上がり入力			ETIPF			
1	GTCIA1	GPT1.GTCCRAのインプットキャプチャ/コンペアマッチ		TCFA	可能	
	GTCIB1	GPT1.GTCCRBのインプットキャプチャ/コンペアマッチ		TCFB	可能	
	GTCIC1	GPT1.GTCCRCのコンペアマッチ		TCFC	可能	
		GPT1.GTCCRDのコンペアマッチ		TCFD		
		デッドタイムエラー		DTEF		
	GTCIE1	GPT1.GTCCREのコンペアマッチ		TCFE	可能	
		GPT1.GTCCRFのコンペアマッチ		TCFF		
	GTCIV1	GPT1.GTCNTのオーバフロー (GPT1.GTPRのコンペアマッチ)		TCFPO	可能	
		GPT1.GTCNTのアンダフロー		TCFPU		
	2	GTCIA2	GPT2.GTCCRAのインプットキャプチャ/コンペアマッチ		TCFA	可能
GTCIB2		GPT2.GTCCRBのインプットキャプチャ/コンペアマッチ		TCFB	可能	
GTCIC2		GPT2.GTCCRCのコンペアマッチ		TCFC	可能	
		GPT2.GTCCRDのコンペアマッチ		TCFD		
		デッドタイムエラー		DTEF		
GTCIE2		GPT2.GTCCREのコンペアマッチ		TCFE	可能	
		GPT2.GTCCRFのコンペアマッチ		TCFF		
GTCIV2		GPT2.GTCNTのオーバフロー (GPT2.GTPRのコンペアマッチ)		TCFPO	可能	
		GPT2.GTCNTのアンダフロー		TCFPU		
3		GTCIA3	GPT3.GTCCRAのインプットキャプチャ/コンペアマッチ		TCFA	可能
	GTCIB3	GPT3.GTCCRBのインプットキャプチャ/コンペアマッチ		TCFB	可能	
	GTCIC3	GPT3.GTCCRCのコンペアマッチ		TCFC	可能	
		GPT3.GTCCRDのコンペアマッチ		TCFD		
		デッドタイムエラー		DTEF		
	GTCIE3	GPT3.GTCCREのコンペアマッチ		TCFE	可能	
		GPT3.GTCCRFのコンペアマッチ		TCFF		
	GTCIV3	GPT3.GTCNTのオーバフロー (GPT3.GTPRのコンペアマッチ)		TCFPO	可能	
		GPT3.GTCNTのアンダフロー		TCFPU		

表24.7 GPTの割り込み要因 (2 / 2)

チャンネル	名称	割り込み要因		割り込みフラグ	DMAC/DTC起動	優先順位	
4	GTCIA4	GPT4.GTCCRAのインプットキャプチャ/コンペアマッチ		TCFA	可能	高 ↑ 低	
	GTCIB4	GPT4.GTCCRBのインプットキャプチャ/コンペアマッチ		TCFB	可能		
	GTCIC4	GPT4.GTCCRCのコンペアマッチ		TCFC	可能		
		GPT4.GTCCRDのコンペアマッチ		TCFD			
		デッドタイムエラー		DTEF			
	GTCIE4	GPT4.GTCCREのコンペアマッチ		TCFE	可能		
		GPT4.GTCCRFのコンペアマッチ		TCFF			
	GTCIV4	GPT4.GTCNTのオーバフロー (GPT4.GTPRのコンペアマッチ)		TCFPO	可能		
		GPT4.GTCNTのアンダフロー		TCFPU			
	LOCOI	IWDTCLKカウンタ機能割り込み	LCNTのオーバフロー		LISO		可能
			IWDTCLKカウンタ値偏差超え		LISD		
IWDTCLK分周クロック立ち上がり			LISC				
外部入力トリガ		外部トリガ立ち下がり入力		ETINF			
		外部トリガ立ち上がり入力		ETIPF			
5	GTCIA5	GPT5.GTCCRAのインプットキャプチャ/コンペアマッチ		TCFA	可能		
	GTCIB5	GPT5.GTCCRBのインプットキャプチャ/コンペアマッチ		TCFB	可能		
	GTCIC5	GPT5.GTCCRCのコンペアマッチ		TCFC	可能		
		GPT5.GTCCRDのコンペアマッチ		TCFD			
		デッドタイムエラー		DTEF			
	GTCIE5	GPT5.GTCCREのコンペアマッチ		TCFE	可能		
		GPT5.GTCCRFのコンペアマッチ		TCFF			
	GTCIV5	GPT5.GTCNTのオーバフロー (GPT1.GTPRのコンペアマッチ)		TCFPO	可能		
		GPT5.GTCNTのアンダフロー		TCFPU			
	6	GTCIA6	GPT6.GTCCRAのインプットキャプチャ/コンペアマッチ		TCFA	可能	
		GTCIB6	GPT6.GTCCRBのインプットキャプチャ/コンペアマッチ		TCFB	可能	
GTCIC6		GPT6.GTCCRCのコンペアマッチ		TCFC	可能		
		GPT6.GTCCRDのコンペアマッチ		TCFD			
		デッドタイムエラー		DTEF			
GTCIE6		GPT6.GTCCREのコンペアマッチ		TCFE	可能		
		GPT6.GTCCRFのコンペアマッチ		TCFF			
GTCIV6		GPT6.GTCNTのオーバフロー (GPT2.GTPRのコンペアマッチ)		TCFPO	可能		
		GPT6.GTCNTのアンダフロー		TCFPU			
7		GTCIA7	GPT7.GTCCRAのインプットキャプチャ/コンペアマッチ		TCFA	可能	
		GTCIB7	GPT7.GTCCRBのインプットキャプチャ/コンペアマッチ		TCFB	可能	
	GTCIC7	GPT7.GTCCRCのコンペアマッチ		TCFC	可能		
		GPT7.GTCCRDのコンペアマッチ		TCFD			
		デッドタイムエラー		DTEF			
	GTCIE7	GPT7.GTCCREのコンペアマッチ		TCFE	可能		
		GPT7.GTCCRFのコンペアマッチ		TCFF			
	GTCIV7	GPT7.GTCNTのオーバフロー (GPT3.GTPRのコンペアマッチ)		TCFPO	可能		
		GPT7.GTCNTのアンダフロー		TCFPU			

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの GTCCR レジスタのインพุットキャプチャ/コンペアマッチの発生により GTST レジスタの対応するステータスフラグが“1”になります。このとき、GTINTAD レジスタの対応する割り込み許可ビットが“1”であれば、割り込みを要求します。

(2) オーバフロー/アンダフロー (周期) 割り込み

各チャンネルの GTPR レジスタの設定によって割り込みの間隔が決まる周期割り込みを発生させることができます。

のこぎり波でアップカウント動作の場合は、GTCNT カウンタ値が GTPR レジスタと一致したとき (オーバフロー) に GTST.TCFPO フラグが“1”の状態、のこぎり波でダウンカウント動作の場合は、GTCNT カウンタ値が“0”となったとき (アンダフロー) に GTST.TCFPU フラグが“1”になります。このとき、GTINTAD.GTINTPR[1:0] ビットの対応するビットが“01b”か“10b”か“11b”に設定されていれば、GTCIV 割り込みを要求します。

三角波の場合、GTCNT カウンタ値が GTPR レジスタと一致したとき (山) に GTST.TCFPO フラグが“1”になり、GTCNT カウンタ値が“0”となったとき (谷) に GTST.TCFPU フラグが“1”になります。このとき、GTINTAD.GTINTPR[1:0] ビットの対応するビットが“01b”か“10b”か“11b”に設定されていれば、GTCIV 割り込みを要求します。

(3) IWDTCCLK カウント機能割り込み

LCCR レジスタの対応する割り込み許可ビットが“1”であれば、IWDTCCLK 分周クロックの立ち上がり検出、IWDTCCLK カウンタ値偏差超え、LCNT カウンタのオーバフローの発生により、LCST レジスタの対応するステータスフラグが“1”になり、LOCOI 割り込みを要求します。

同様に、GTETRIG 外部トリガ入力の立ち上がり検出、立ち下がり検出の発生により、GTETINT レジスタの対応するステータスフラグが“1”になります。このとき、GTETINT レジスタの対応する割り込み許可ビットが“1”であれば、LOCOI 割り込みを要求します。

(4) デッドタイムエラー割り込み

デッドタイムの自動設定がなされているとき、自動付加後のタイマ出力トグルポイントがタイマ周期を超えるとGTST.DTEFフラグが“1”になります。このとき、GTINTAD.EINTビットが“1”であれば、LOCOI割り込みを要求します。

表24.8 割り込み信号、割り込み許可ビット、ステータスフラグ

割り込み信号	割り込み許可	ステータス
GTCIV	GTINTAD[7:6](GTINTPR[1:0])	GTST[7] (TCFPU)
		GTST[6] (TCFPO)
GTCIE	GTINTAD[5] (GTINTF)	GTST[5] (TCFF)
	GTINTAD[4] (GTINTE)	GTST[4] (TCFE)
GTCIC	GTINTAD[11](EINT)	GTST[11] (DTEF)
	GTINTAD[3] (GTINTD)	GTST[3] (TCFD)
	GTINTAD[2] (GTINTC)	GTST[2] (TCFC)
GTCIB	GTINTAD[1] (GTINTB)	GTST[1] (TCFB)
GTCIA	GTINTAD[0] (GTINTA)	GTST[0] (TCFA)
LOCOI	LCCR[6] (LCINTO)	LCST[2] (LISO)
	LCCR[5] (LCINTD)	LCST[1] (LISD)
	LCCR[4] (LCINTC)	LCST[0] (LISC)
	GTETINT[1] (ETINEN)	GTETINT[9] (ETINF)
	GTETINT[0] (ETIPEN)	GTETINT[8] (ETIPF)

(5) 割り込み要因を同時使用する場合の注意事項

複数の割り込み要因を多重している割り込みGTCIC_n、GTCIE_n、GTCIV_n、LOCOI、n= (0～7)において、ある要因（例えば、GTCIC_nのTCFCフラグ）により、ICUAの割り込み要求フラグ（IRフラグ）が“1”になっている間に、ある要因（GTCIC_nのTCFCフラグ）と多重している別の要因（GTCIC_nのTCFDフラグ）の割り込み要求が発生しても、別の要因（GTCIC_n.TCFDフラグ）の割り込み要求は無視されます。

そのため、多重している複数の割り込み要因を同時に使用する場合は、割り込み処理ルーチンにおいて、使用する割り込み要因のフラグをすべて確認し、アサートされている要因のフラグそれぞれに応じた処理を行ってください。

24.4.2 DMAC/DTC の起動

各チャンネルの割り込みによって、DTC または DMAC を起動することができます。詳細は「15. 割り込みコントローラ (ICUb)」、「18. DMA コントローラ (DMACA)」、「19. データトランスファコントローラ (DTCa)」を参照してください。

ただし、割り込み処理同様に、該当するステータスフラグが“1”の状態での DTC または DMAC 起動要求は無視されますので、再度 DTC または DMAC 起動要求を可能にするには、該当するステータスフラグを“0”にしてください。

24.4.3 割り込み、A/D 変換要求の間引き機能

GTITC レジスタの設定により、GTCNT カウンタのオーバーフロー (GTPR レジスタのコンペアマッチ) / アンダフロー割り込み (GTCIV) を間引くことができます。また、他の割り込み、および A/D 変換要求を GTCIV 割り込み間引き機能と連動して間引くことができます。ただし、デッドタイムエラー割り込みは GTCIV 割り込み間引き機能と連動することはできません。なお、割り込みを間引いた場合は対応するステータスフラグの変化も間引かれ、ステータスフラグが“1”になっている間も間引き機能は動作を続けます。

また、三角波で谷/山両方をカウントして間引く場合、間引き回数を奇数回に設定すると、間引きカウンタの開始タイミングにより、谷のみ、もしくは山のみでの GTCIV 割り込み要求が発生しません。三角波で谷/山両方をカウントして間引き、かつ、谷のみ、もしくは山のみでの GTCIV 割り込みを使用する場合は、間引き回数を偶数に設定してください。

同様に、のこぎり波でカウント方向を変えながらオーバーフロー/アンダフロー両方をカウントして間引く場合、オーバーフローのみ、もしくはアンダフローのみでの GTCIV 割り込み要求が発生しない場合があります。のこぎり波でカウント方向を変えながらオーバーフロー/アンダフロー両方をカウントして間引き、かつ、オーバーフローのみ、もしくはアンダフローのみでの GTCIV 割り込みを使用する場合は、間引き状態を十分検討の上、使用してください。

なお、間引き回数を変更する場合は、間引き機能を一旦解除 (GTITC.IVTC[1:0]=00b) してから行ってください。

間引き機能の動作例を図 24.71 ~ 図 24.76 に示します。

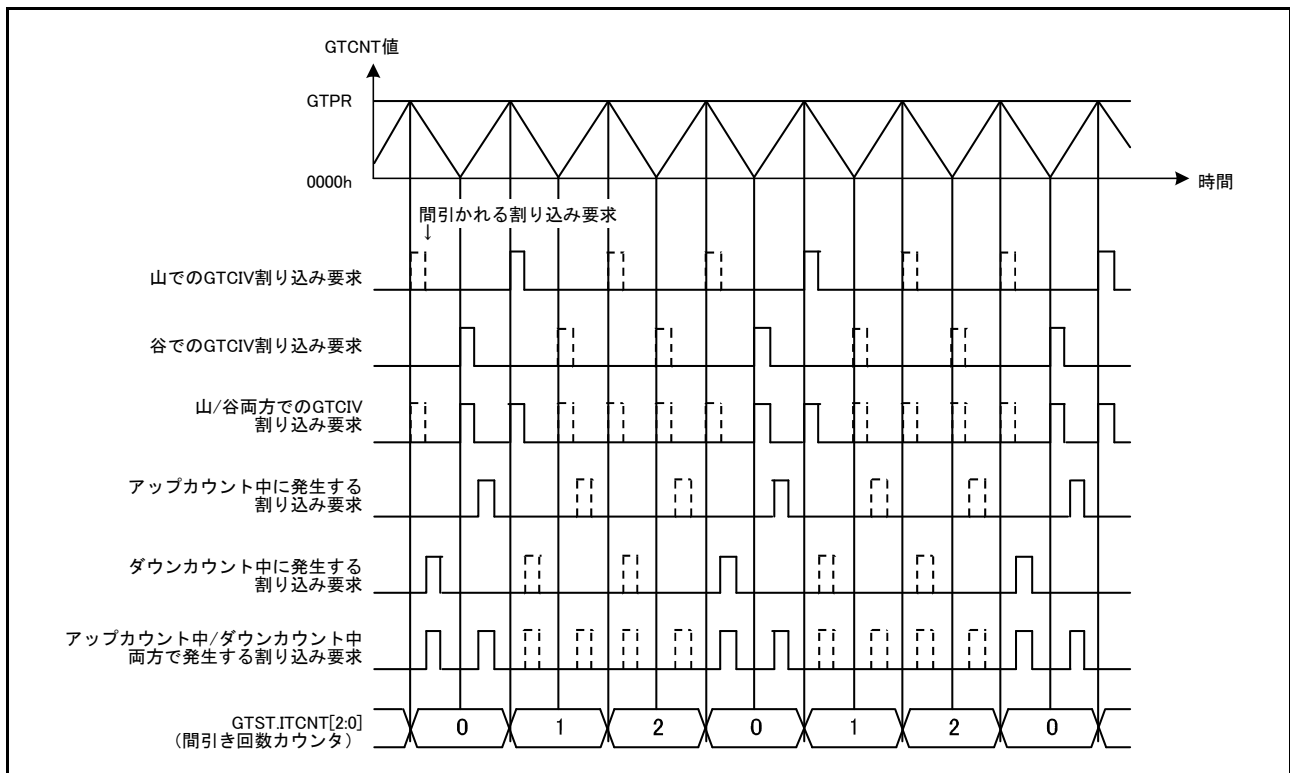


図 24.71 割り込み間引き機能の動作例 (三角波、山をカウントして間引き、間引き回数 2 の場合)

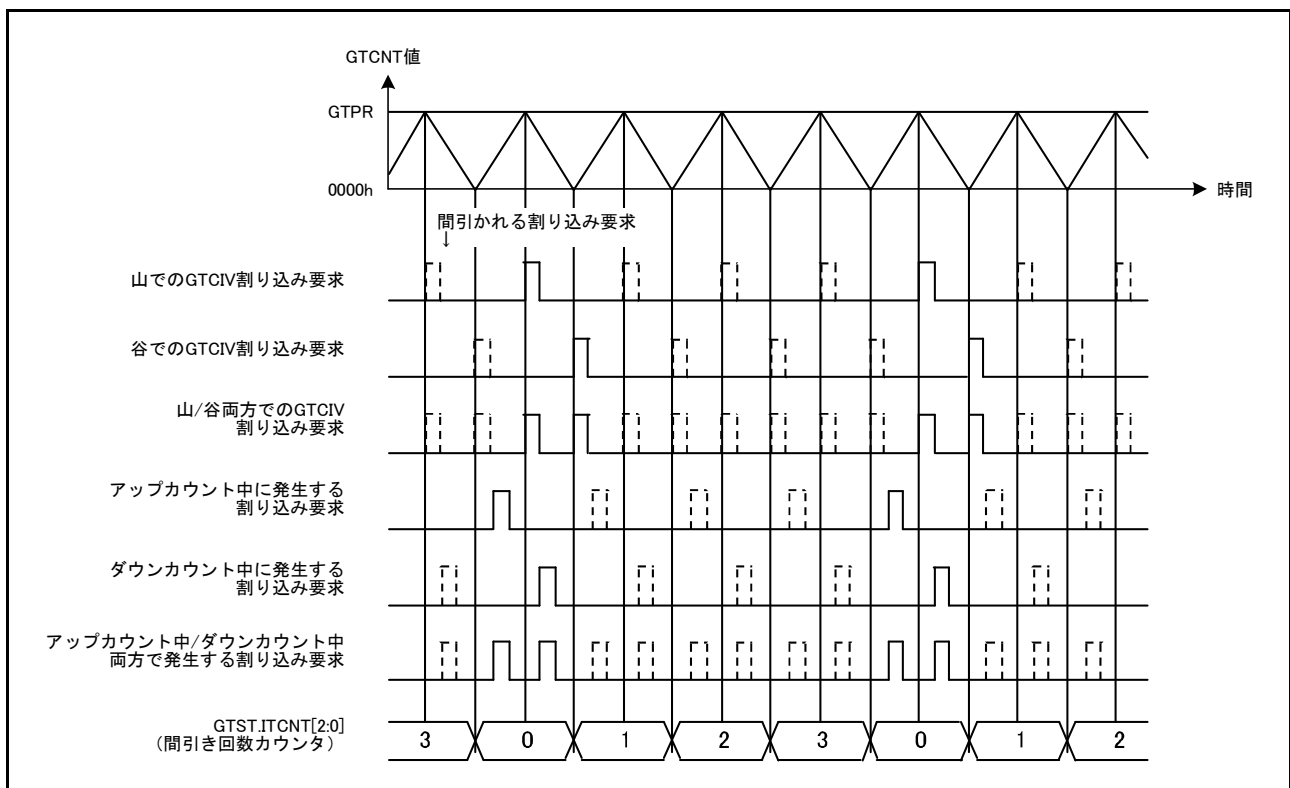


図 24.72 割り込み間引き機能の動作例 (三角波、谷をカウントして間引き、間引き回数 3 の場合)

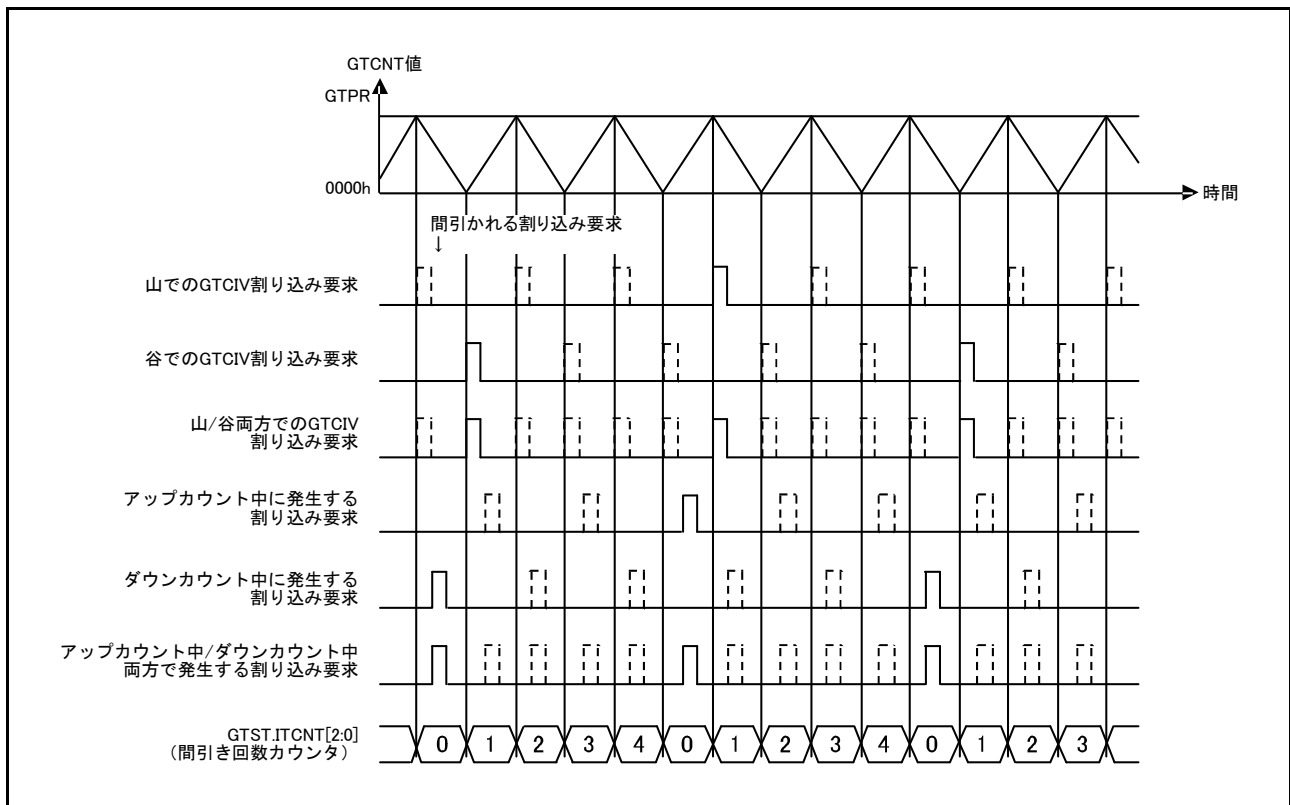


図 24.73 割り込み間引き機能の動作例 (三角波、谷 / 山両方をカウントして間引き、間引き回数 4 の場合)

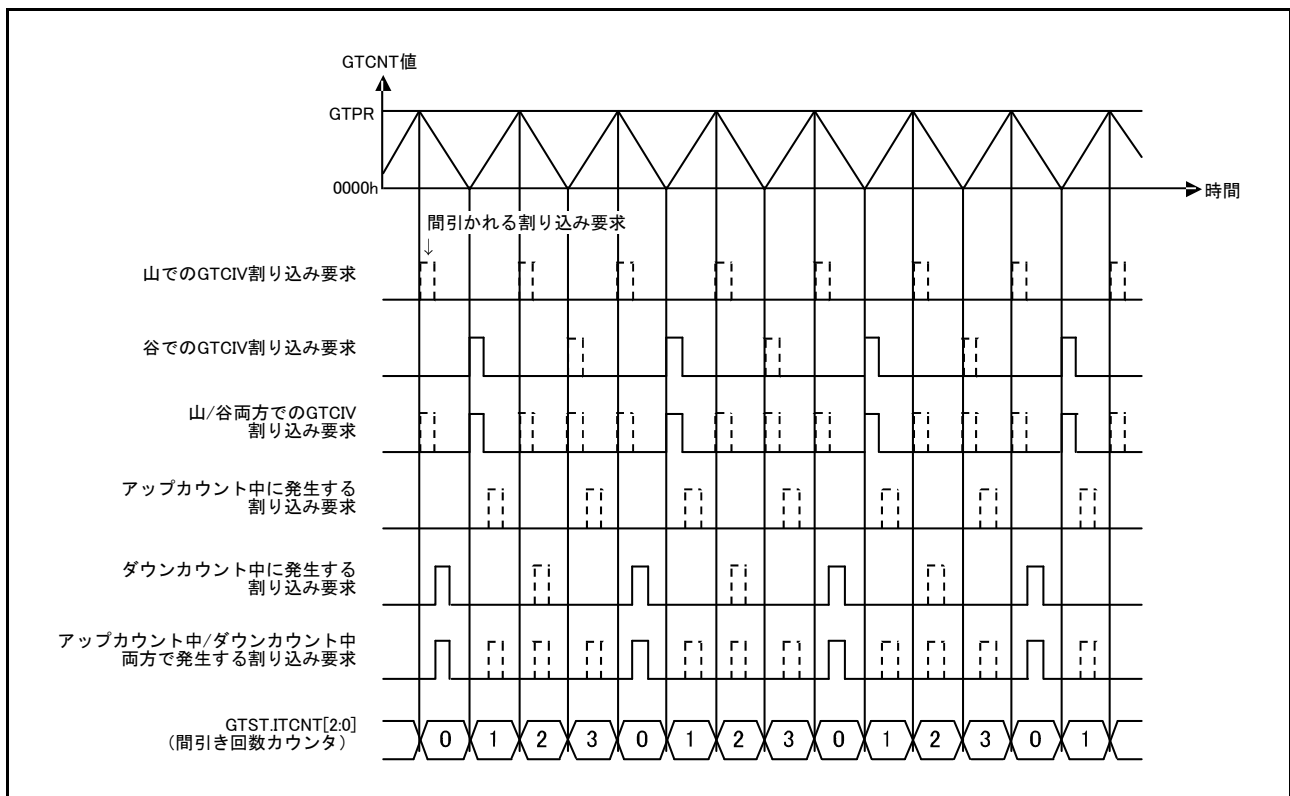


図 24.74 割り込み間引き機能の動作例 (三角波、谷 / 山両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合)

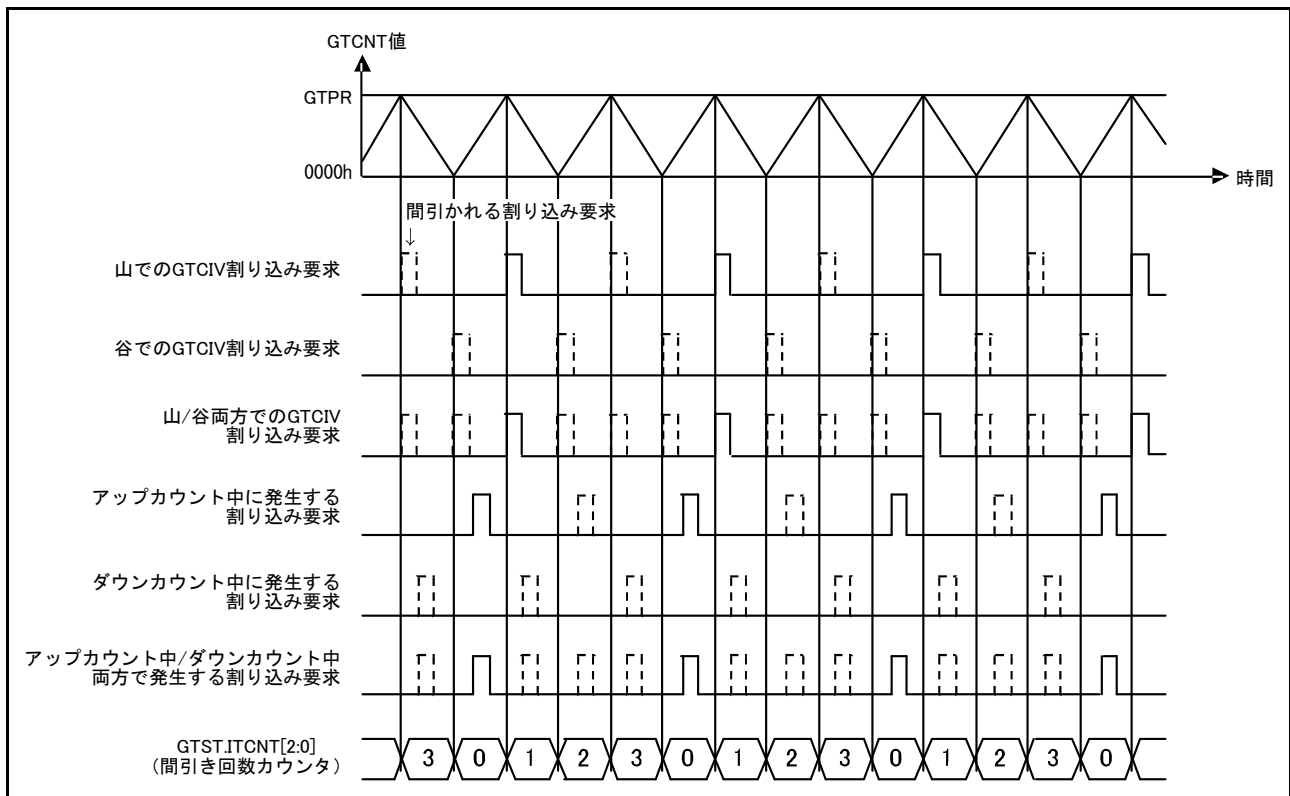


図 24.75 割り込み間引き機能の動作例
(三角波、谷 / 山両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合)

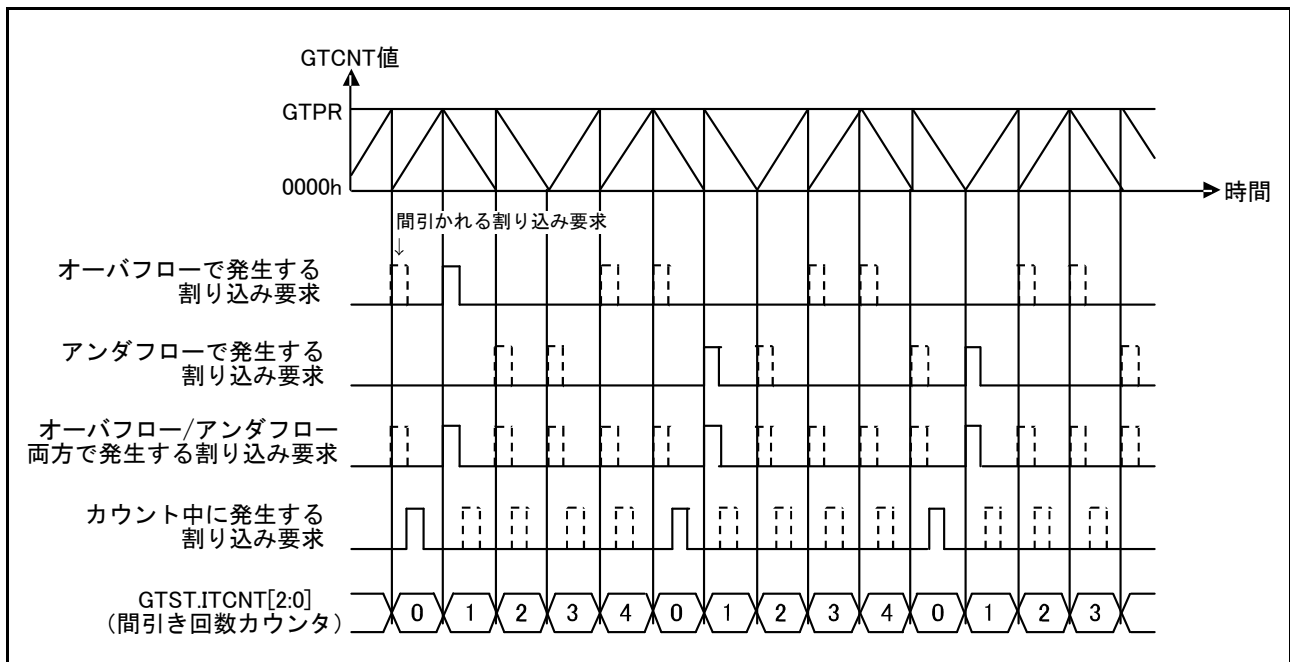


図 24.76 割り込み間引き機能の動作例
(のこぎり波でカウント方向を切替えながら動作、オーバフロー/アンダフロー両方をカウントして間引き、間引き回数 4 の場合)

24.5 A/D 変換開始要求

GTCNT カウンタと GTADTRA レジスタ、GTADTRB レジスタのコンペアマッチで、A/D 変換開始要求を発生させることができます。それぞれアップカウント時のみ、ダウンカウント時のみ、またはアップカウント/ダウンカウント両方で A/D 変換開始要求を発生させることができます。

GTADTRA レジスタ、GTADTRB レジスタにはバッファレジスタがそれぞれ 2 本ずつあり、GTADTRA レジスタと GTADTBRA レジスタ、GTADTDBRA レジスタを組み合わせたバッファ動作、GTADTRB レジスタと GTADTBRB レジスタ、GTADTDBRB レジスタを組み合わせたバッファ動作が可能です。

図 24.77 に A/D 変換開始要求の動作例を、図 24.78 に A/D 変換開始要求の動作設定例を示します。

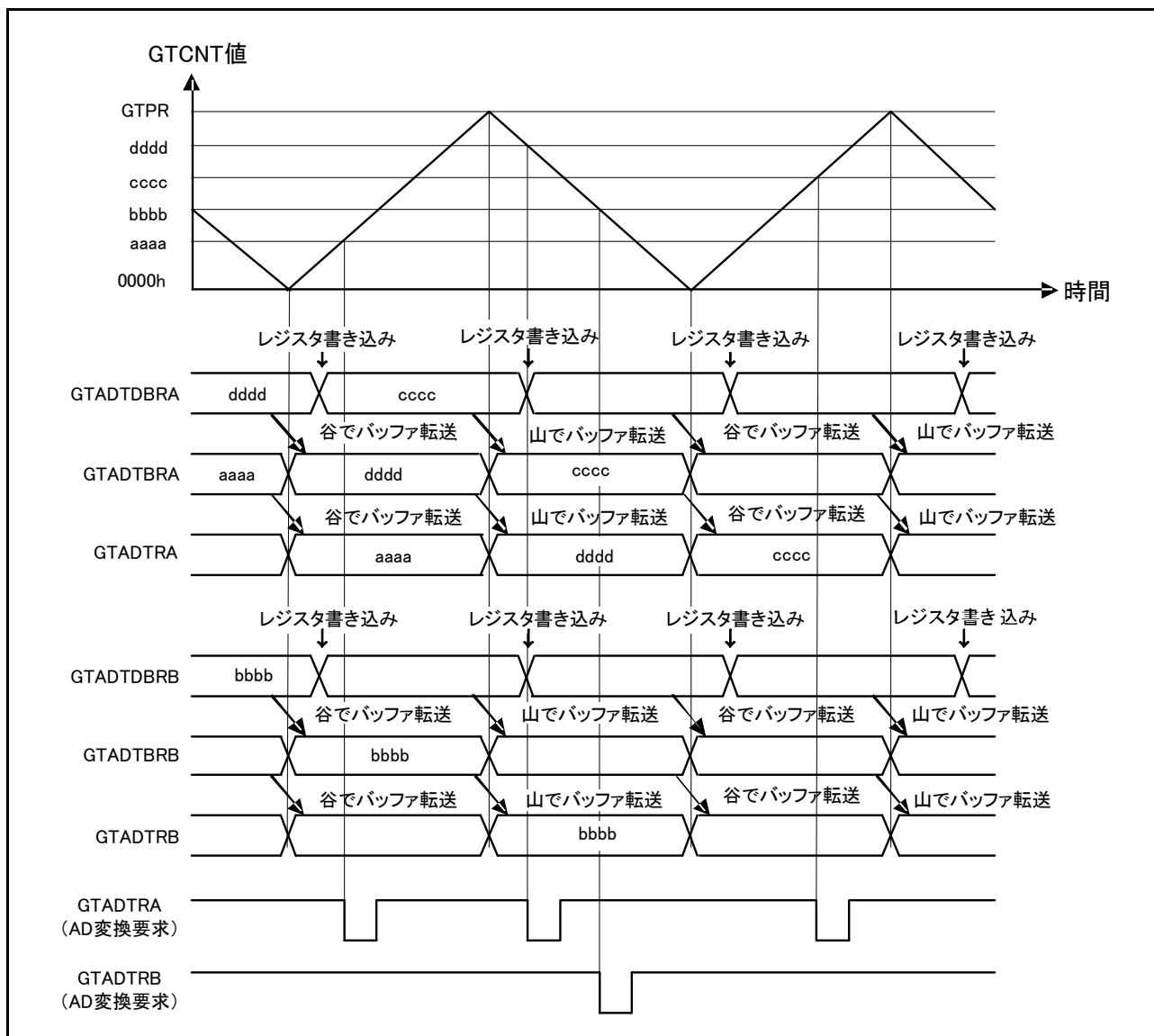


図 24.77 A/D 変換開始要求の動作例
 (三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送、GTADTRA0 はアップカウント /
 ダウンカウント両方で A/D 変換開始要求、GTADTRB0 はダウンカウントで A/D 変換開始要求
 を発生の場合)

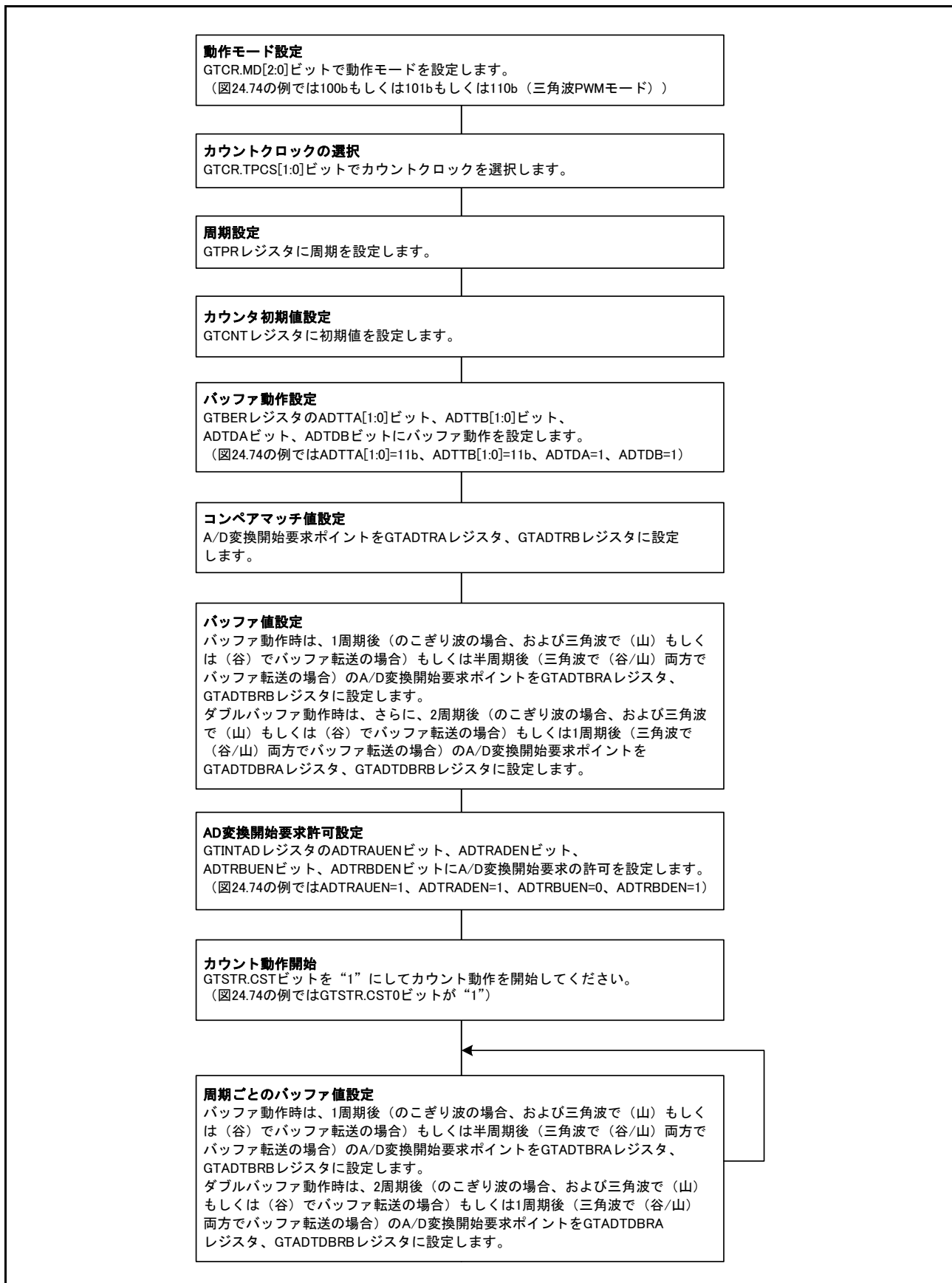


図 24.78 A/D 変換開始要求タイミング動作設定例

24.6 IWDTCCLK カウント機能

IWDTCCLK の周期を計測することができます。この機能により、メインクロック発振周波数の異常検出が可能です。

計測対象とする IWDTCCLK 分周クロックは、IWDTCCLK クロックを 1 分周、16 分周、128 分周、256 分周したクロックから選択でき、IWDTCCLK 分周クロックを計測するカウントクロックは、PCLKA クロックを 1 分周、2 分周、4 分周、8 分周したクロックから選択できます。

IWDTCCLK 分周クロックの周期をカウントクロックでカウントします。過去 16 回のカウント結果が LCNT00 ~ LCNT15 レジスタに格納（最新のカウント結果は LCNT00 に格納）されます。過去 16 回のカウント結果の平均値を自動計算して LCNTA レジスタに格納します。

IWDTCCLK 分周クロックの立ち上がりを検出した場合、IWDTCCLK 分周クロック立ち上がり割り込み要求を発生することができます。IWDTCCLK 分周クロック立ち上がり割り込み要求は間引くことができ、このとき、カウント結果も間引くことができます。カウント結果（LCNT00 レジスタ値）が上限値/下限値を超えた場合、IWDTCCLK 偏差超え割り込み要求を発生することができます。上限値/下限値は LCNTDU レジスタ/LCNTDL レジスタで設定でき、上限値は（LCNTA レジスタ値 + LCNTDU レジスタ値）、下限値は（LCNTA レジスタ値 - LCNTDL レジスタ値）となります。IWDTCCLK 分周クロックが遅くて LCNT カウンタがオーバーフローした場合、LCNT オーバフロー割り込み要求を発生することができます。なお、割り込みはすべて LOCOI 割り込みとして出力されますので、割り込み発生後に各ステータスフラグを読み出して割り込み要因を判定してください。

IWDTCCLK カウント機能を使用する場合は、必ず独立ウォッチドッグタイマ (IWDT) を動作させてください。

表 24.9 に IWDTCCLK カウント機能の周期設定例を示します。

図 24.79 に IWDTCCLK カウント機能の動作例を、図 24.80 に設定例を示します。

表 24.9 IWDTCCLK カウント機能の周期設定例

IWDTCCLK分周クロック		カウントクロック		カウント結果の理想値
LCCR.LPSC[1:0] ビットの設定	周波数	LCCR.TPSC[1:0] ビットの設定	周波数 (PCLKA=100MHz時)	
00 (1 分周)	125kHz	00 (1 分周)	100MHz	320h
01 (16 分周)	7.81kHz	00 (1 分周)	100MHz	3200h
10 (128 分周)	976Hz	10 (4 分周)	25MHz	6400h
11 (256 分周)	488Hz	11 (8 分周)	12.5MHz	6400h

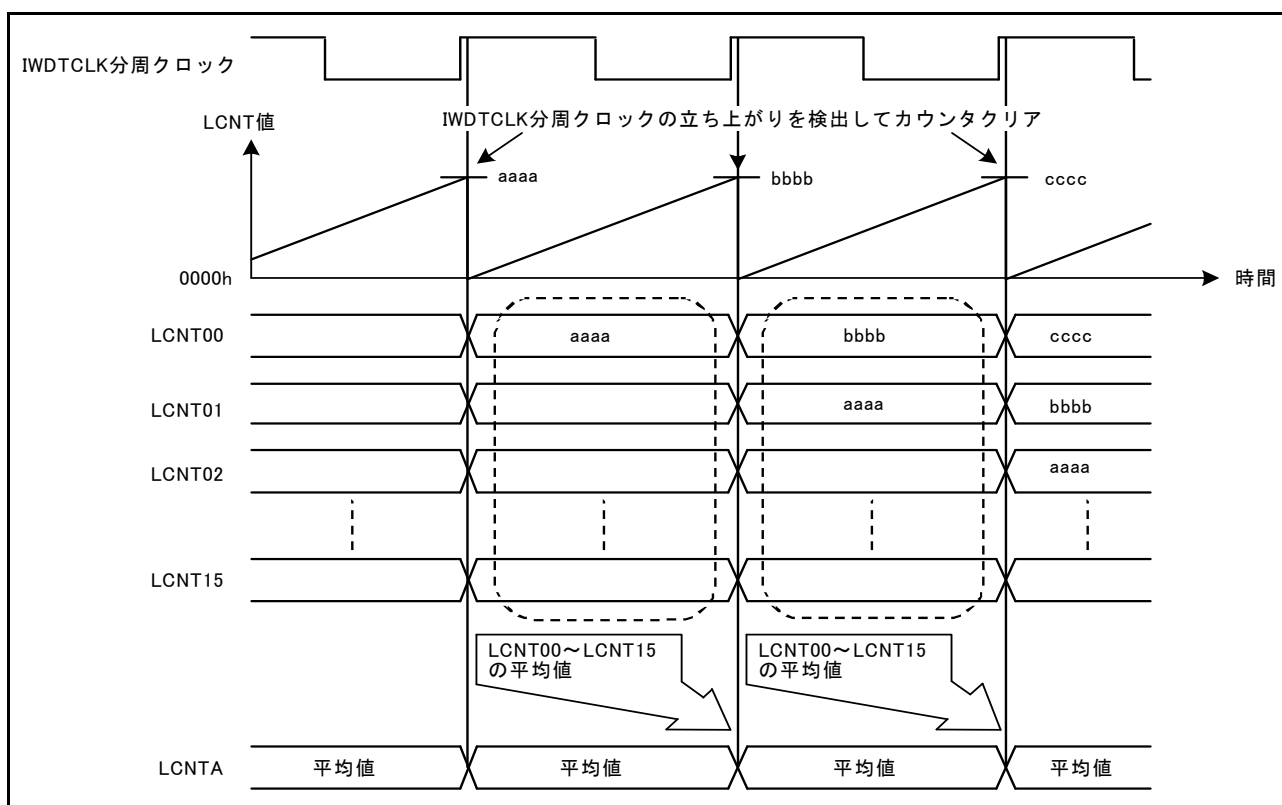


図 24.79 IWDTCCLK カウント機能の動作例

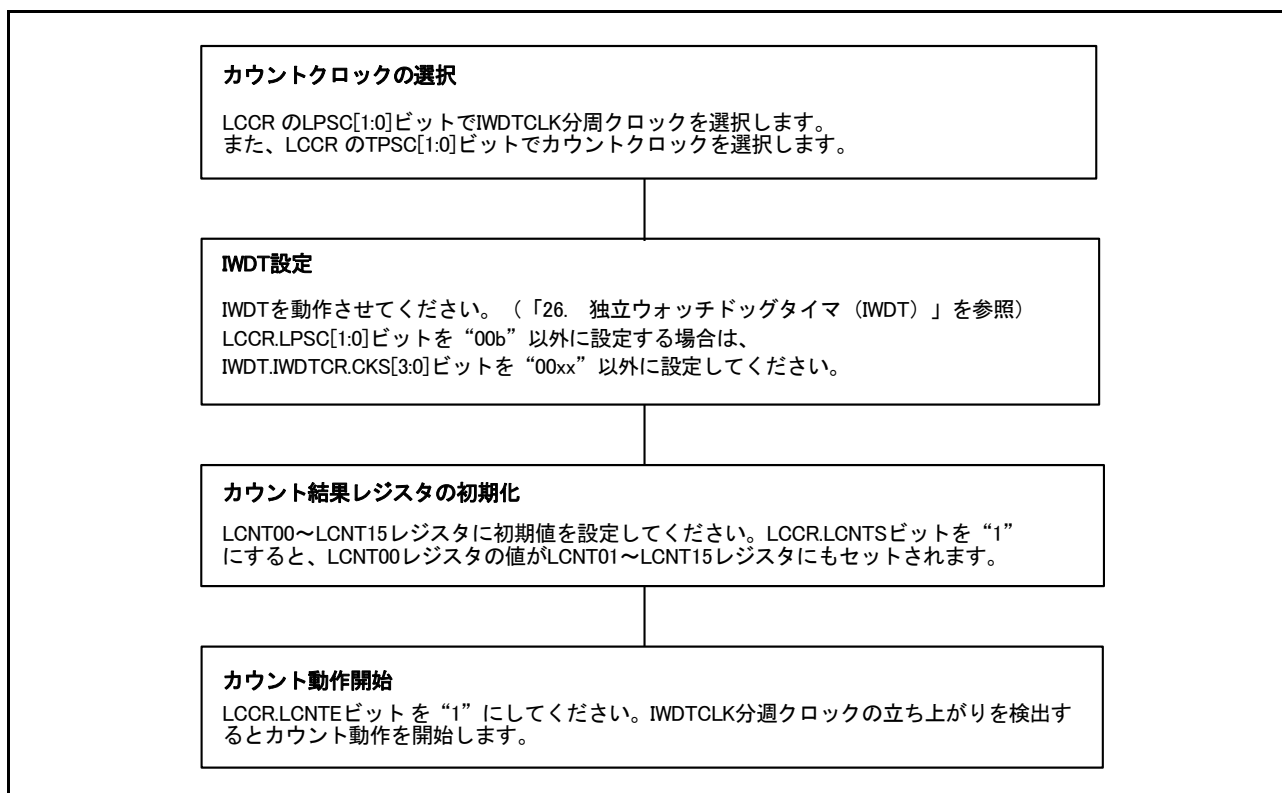


図 24.80 IWDTCCLK カウント機能の設定例

IWDTCLK 分周クロックは立ち上がり割り込み要求は間引くことができ、このときカウント結果も間引くことができます。間引き回数は LCCR.LCCTO[2:0] ビットで 7 回、15 回、127 回、255 回から選択できます。また、カウント結果を間引くかどうかは LCCR.LCNTAT ビットで選択します。

図 24.81 にカウント結果は間引かない場合の動作例を、図 24.82 にカウント結果も間引く場合の動作例を示します。

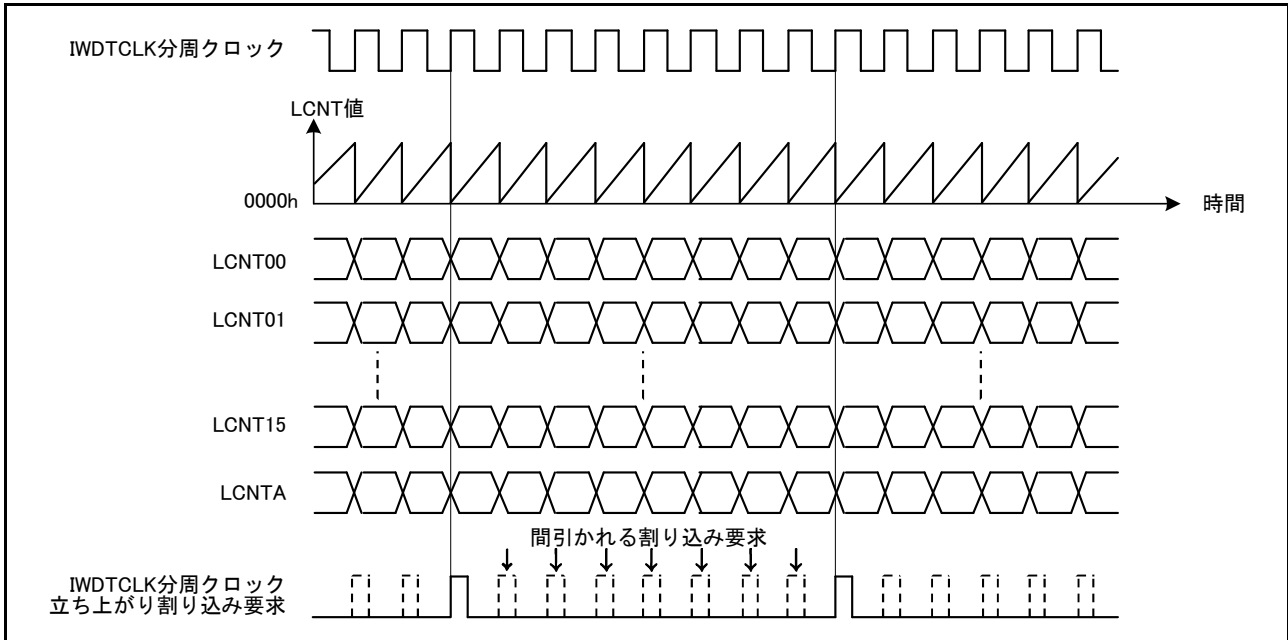


図 24.81 IWDTCLK カウント間引き機能の動作例 (間引き回数 7、カウント結果は間引かない場合)

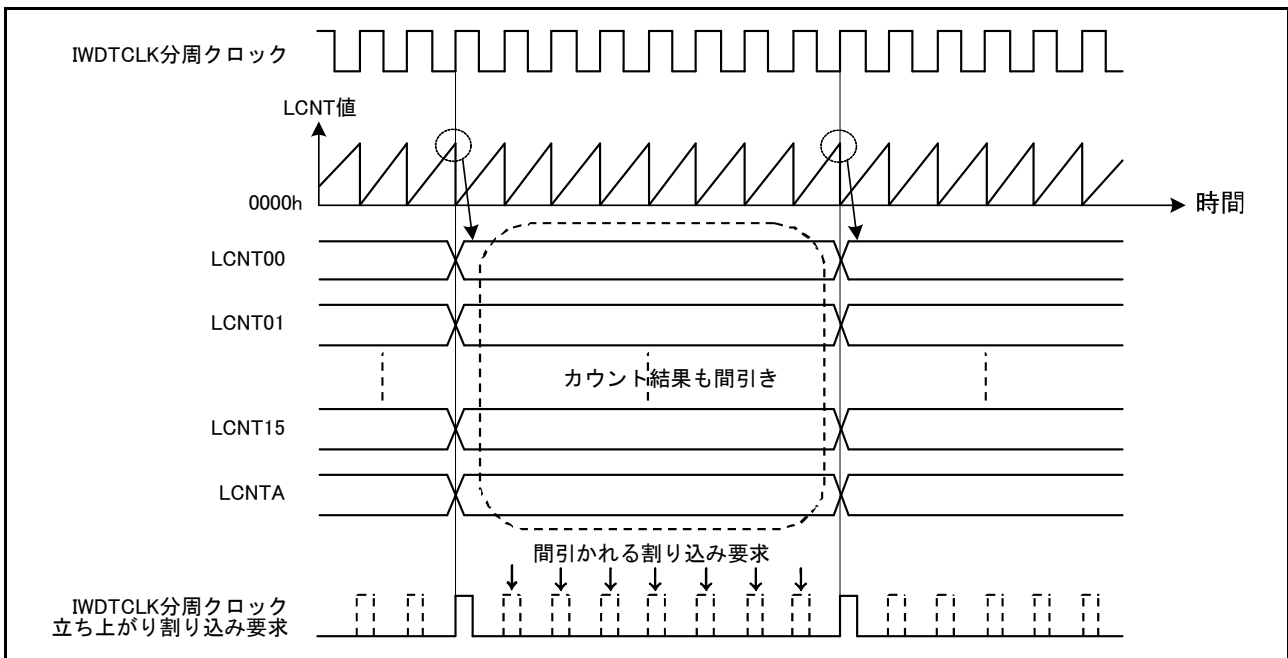


図 24.82 IWDTCLK カウント間引き機能の動作例 (間引き回数 7、カウント結果も間引く場合)

24.7 保護機能

24.7.1 レジスタの書き込み保護

レジスタへの誤書き込みを防ぐために、GTWP.WPn ビットの設定でレジスタへの書き込みをチャンネルごとに禁止することができます。n= (0 ~ 7)

書き込み禁止が可能なレジスタは、下記のとおりです。

表 24.10 書き込み保護対象レジスタ

レジスタシンボル	レジスタ名
GTIOR	汎用PWM タイマI/O コントロールレジスタ
GTINTAD	汎用PWM タイマ割り込み出力設定レジスタ
GTCR	汎用PWM タイマコントロールレジスタ
GTBER	汎用PWM タイマバッファイネーブルレジスタ
GTUDC	汎用PWM タイマカウント方向レジスタ
GTITC	汎用PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ
GTST	汎用PWM タイマステータスレジスタ
GTCNT	汎用PWM タイマカウンタ
GTCCRA ~ GTCCRF	汎用PWM タイマコンペアキャプチャレジスタA ~ F
GTPR	汎用PWM タイマ周期設定レジスタ
GTPBR	汎用PWM タイマ周期設定バッファレジスタ
GTPDBR	汎用PWM タイマ周期設定ダブルバッファレジスタ
GTADTRA, GTADTRB	A/D 変換開始要求タイミングレジスタA, B
GTADTBRA, GTADTBRB	A/D 変換開始要求タイミングバッファレジスタA, B
GTADTDBRA, GTADTDDBRB	A/D 変換開始要求タイミングダブルバッファレジスタA, B
GTONCR	汎用PWM タイマ出力ネゲートコントロールレジスタ
GTDTCR	汎用PWM タイマデッドタイムコントロールレジスタ
GTDVU, GTDVD	汎用PWM タイマデッドタイム値レジスタU, D
GTDBU, GTDBD	汎用PWM タイマデッドタイムバッファレジスタU, D
GTSOTR	汎用PWM タイマ出力保護機能一時解除レジスタ

24.7.2 バッファ動作の抑止

バッファレジスタの書き込みがバッファ転送タイミングに間に合わない場合、GTBDR レジスタの設定でバッファ動作を禁止することができます。バッファレジスタの書き込み前に GTBDR レジスタの対応するビットを“1”（バッファ動作禁止）にしておき、すべてのバッファレジスタの書き込み終了後に“0”（バッファ動作許可）にすることで、バッファレジスタ書き込み中にバッファ転送条件が発生してもバッファ転送を一時的に禁止することができます。

図 24.83 にバッファ動作の抑止動作例を示します。

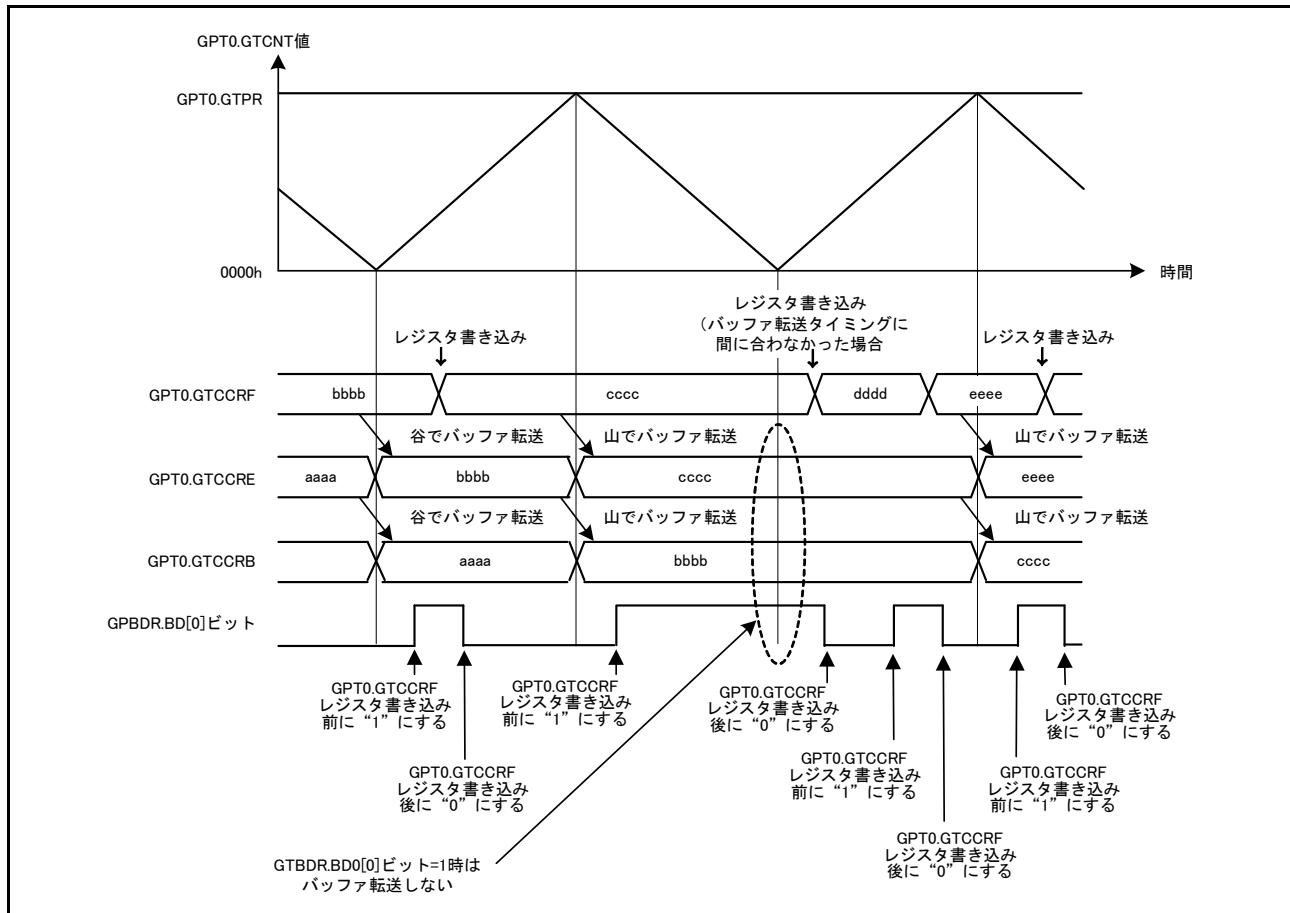


図 24.83 バッファ動作の抑止動作例（三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送の場合）

24.7.3 GTIOC 端子出力のネゲート制御

システム異常時の保護のため、GTONCR レジスタの設定で GTIOC 端子出力をネゲート制御（非アクティブレベル化）することができます。ネゲート制御要因としては、コンパレータ検出、GTETRГ 端子入力、GTONCR.SWN ビットへの書き込みの3種類があります。

図 24.84 に GTIOC 端子出力のネゲート制御動作例を示します。

なお、ネゲート制御が行われた場合、ネゲート制御要因が消滅しても同一周期内ではネゲート制御は解除されず、次の周期で解除されます。

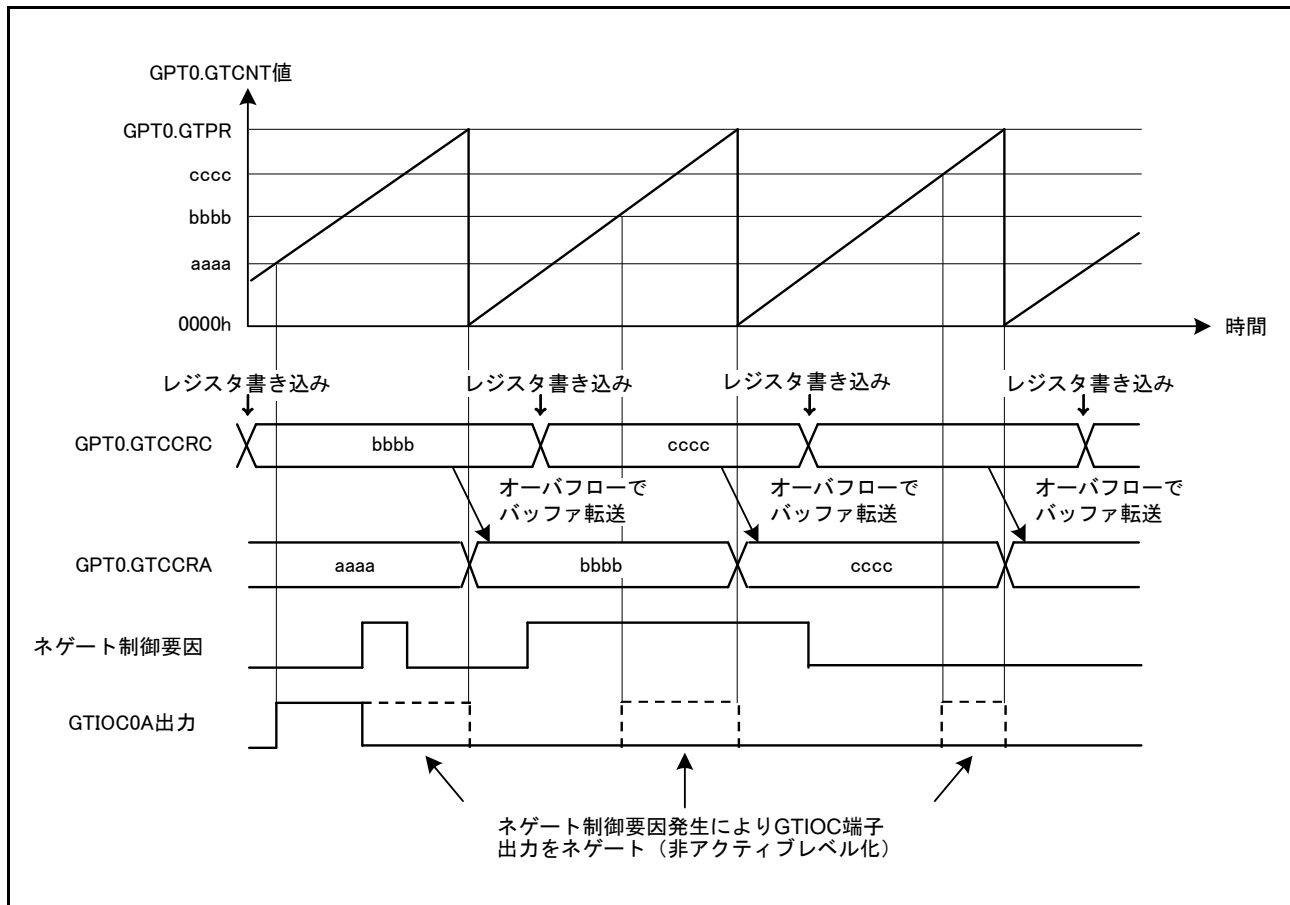


図 24.84 GTIOC 端子出力のネゲート制御動作例（のこぎり波でアップカウント、バッファ動作、アクティブレベルは“High”（GTCCRА コンペアマッチで High 出力、周期の終わりで Low 出力）

24.7.4 GTIOC 端子出力の出力保護機能

GTCCRA レジスタに異常値が設定 ($0 < GTCCRA < GTPR$ の範囲外に設定) された場合に備え、三角波 PWM モードでデッドタイム自動設定 (GTDTCR.TDE ビットが“1”) をしている場合、GTIOC 端子出力の出力保護機能 (抑止機能) が動作します。

出力保護機能の動作状態は、GTSOS.SOS[1:0] ビットを読むことにより確認することができます。

図 24.85 に出力保護機能の状態遷移を示します。

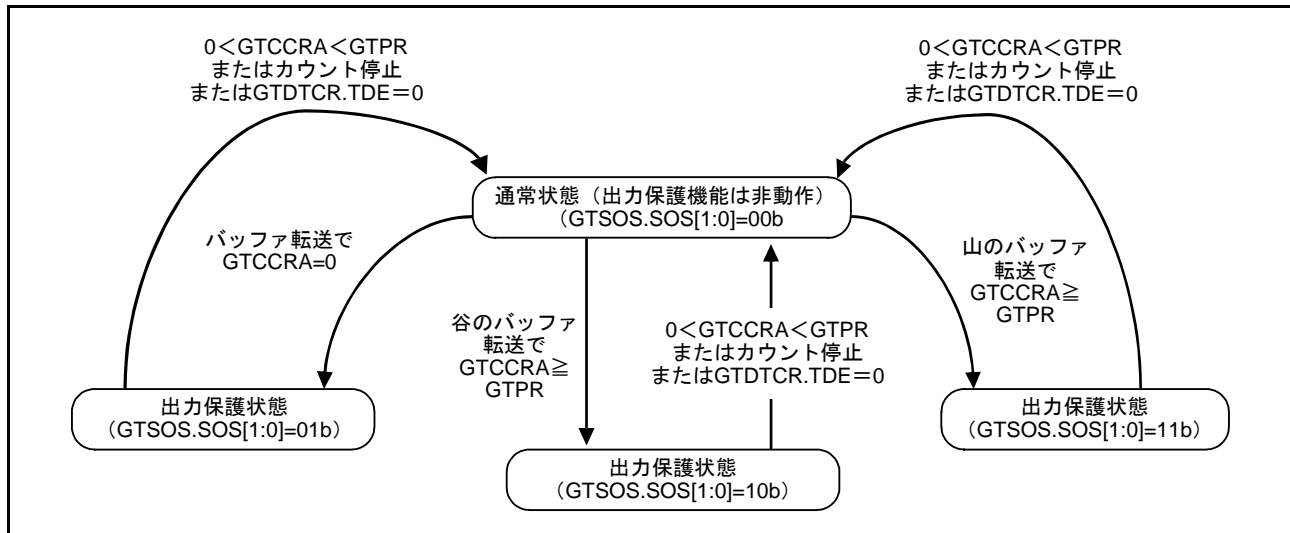


図 24.85 出力保護機能

(1) バッファ転送で GTCCRA が“0”である場合の出力保護機能

図 24.86、図 24.87 に谷のバッファ転送で GTCCRA が“0”である場合、図 24.88、図 24.89 に山のバッファ転送で GTCCRA が“0”である場合の出力保護機能の動作例を示します。

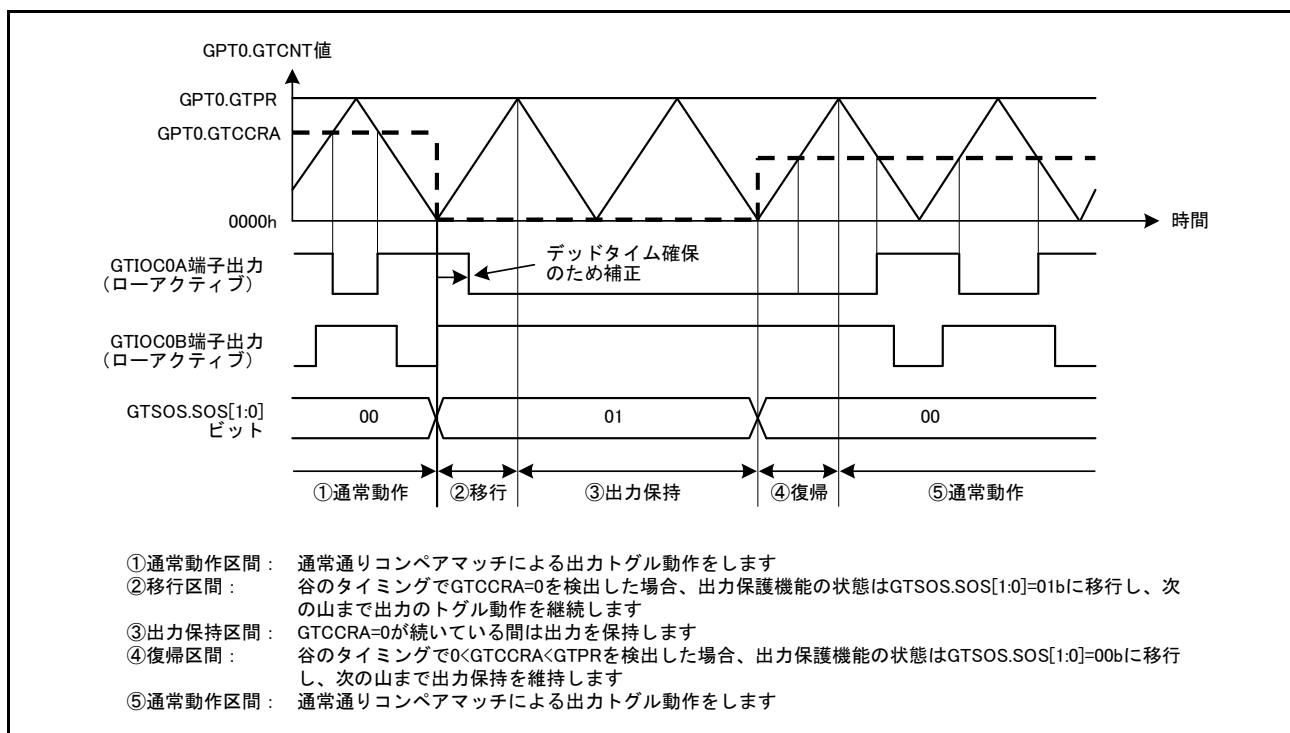


図 24.86 谷のバッファ転送で GTCCRA が“0”である場合の出力保護機能の動作例 (谷のバッファ転送で $0 < GTCCRA < GTPR$ に復帰、アクティブレベルは“Low”の場合)

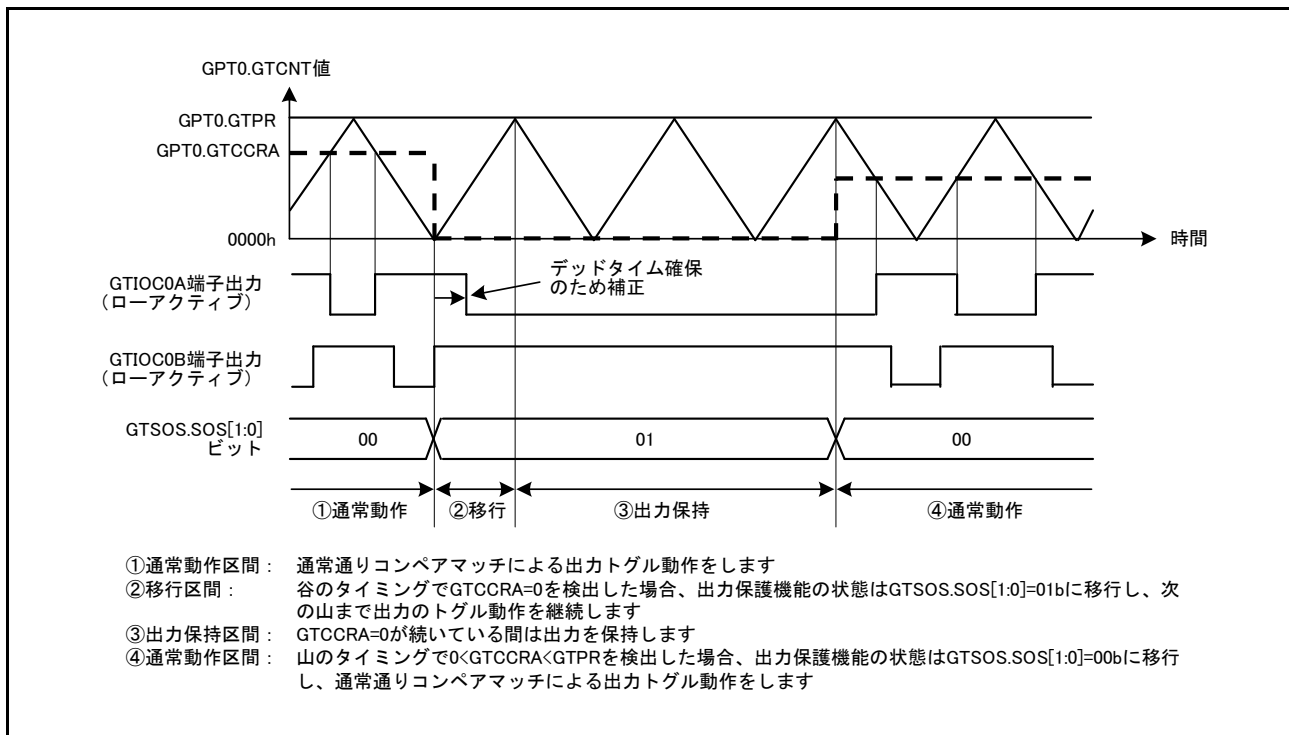


図 24.87 谷のバッファ転送で GTCCRA が “0” である場合の出力保護機能の動作例
 (山のバッファ転送で $0 < GTCCRA < GTPR$ に復帰、アクティブレベルは “Low” の場合)

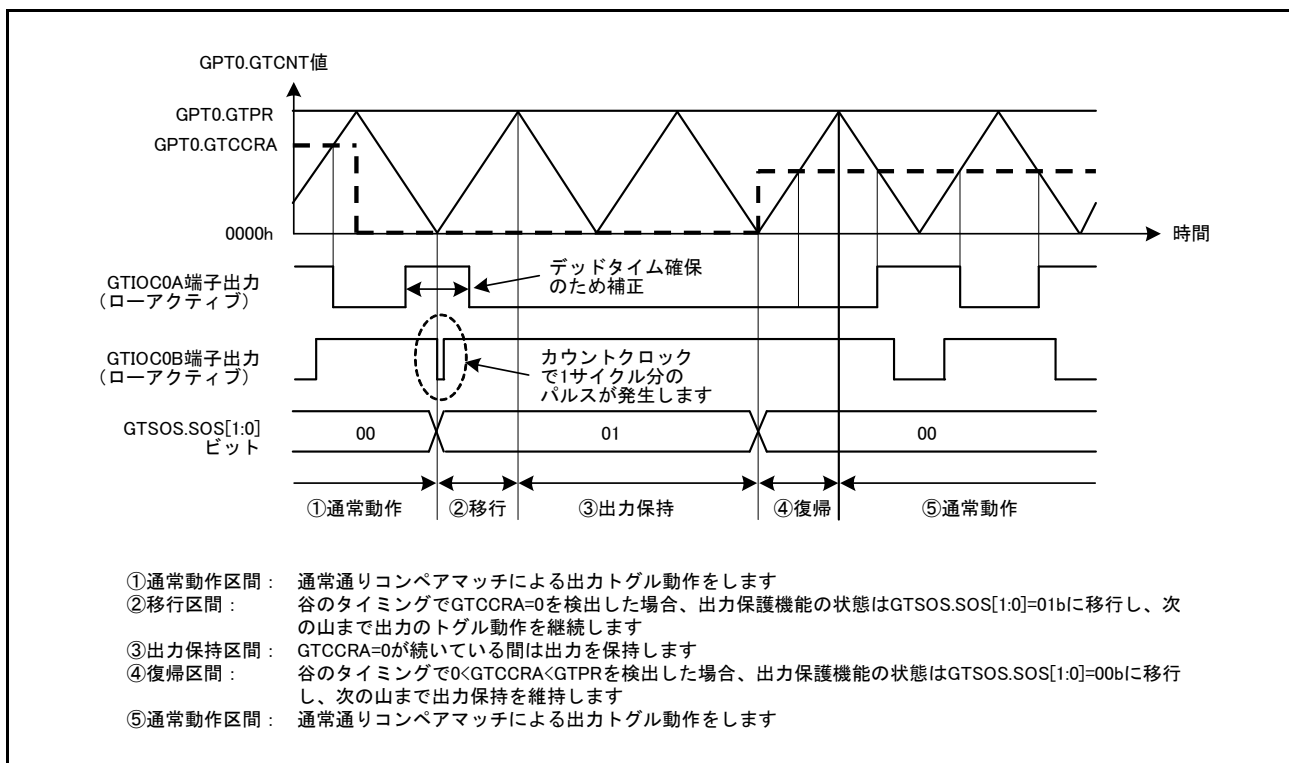


図 24.88 山のバッファ転送で GTCCRA が “0” である場合の出力保護機能の動作例
 (谷のバッファ転送で $0 < GTCCRA < GTPR$ に復帰、アクティブレベルは “Low” の場合)

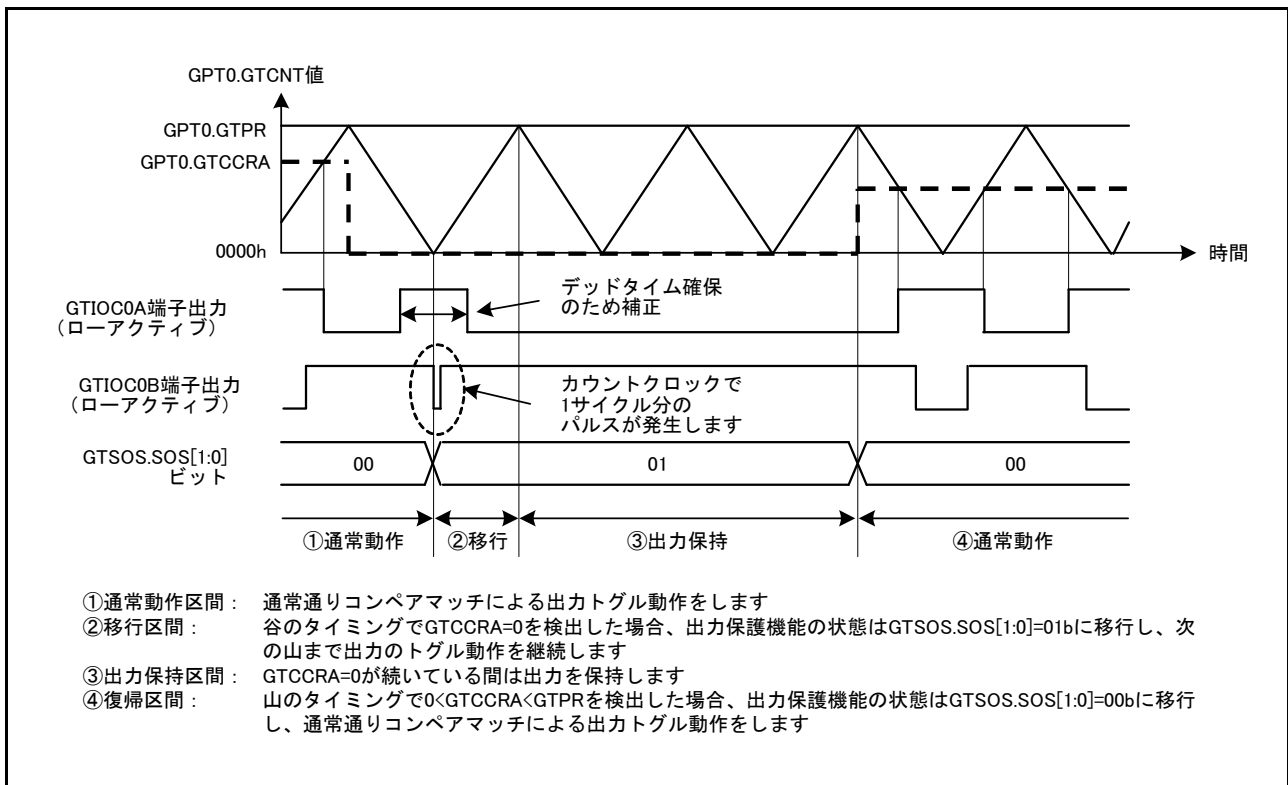


図 24.89 山のバッファ転送で GTCCRA が “0” である場合の出力保護機能の動作例
 (山のバッファ転送で 0<GTCCRA<GTPR に復帰、アクティブレベルは “Low” の場合)

(2) 谷のバッファ転送で GTCCRA ≥ GTPR が設定された場合の出力保護機能

図 24.90、図 24.91 に谷のバッファ転送で GTCCRA ≥ GTPR が設定された場合の出力保護機能の動作例を示します。

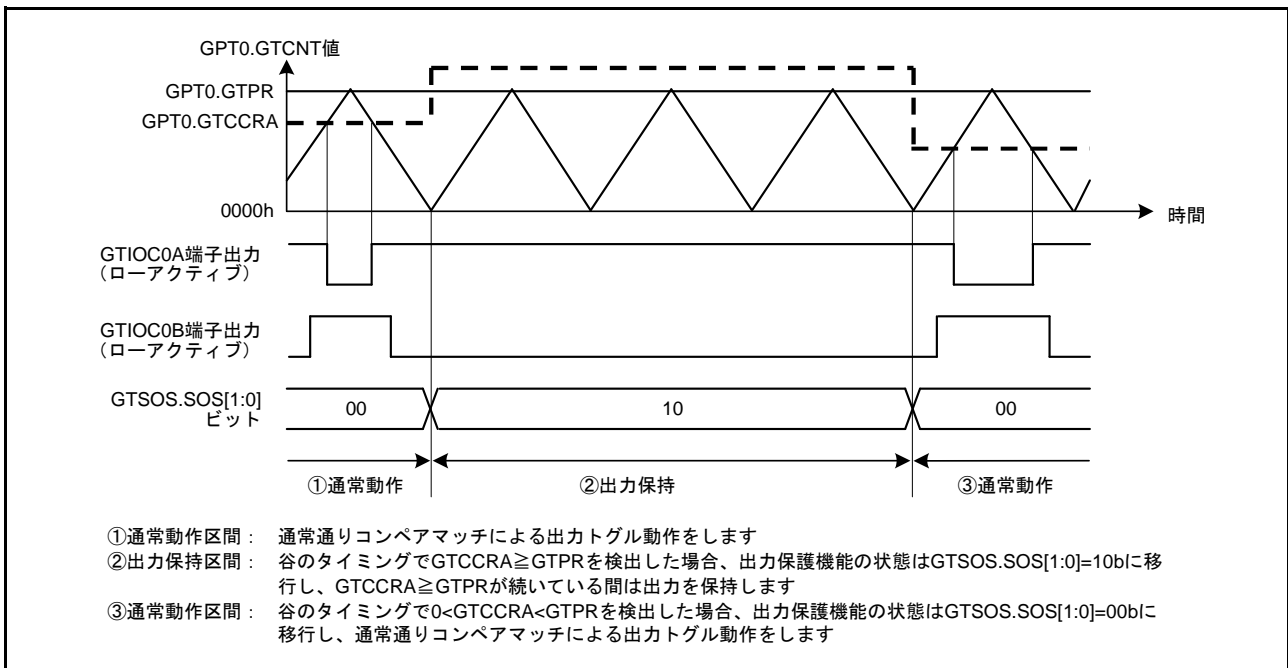


図 24.90 谷のバッファ転送で GTCCRA ≥ GTPR が設定された場合の出力保護機能の動作例
 (谷のバッファ転送で 0<GTCCRA<GTPR に復帰、アクティブレベルは “Low” の場合)

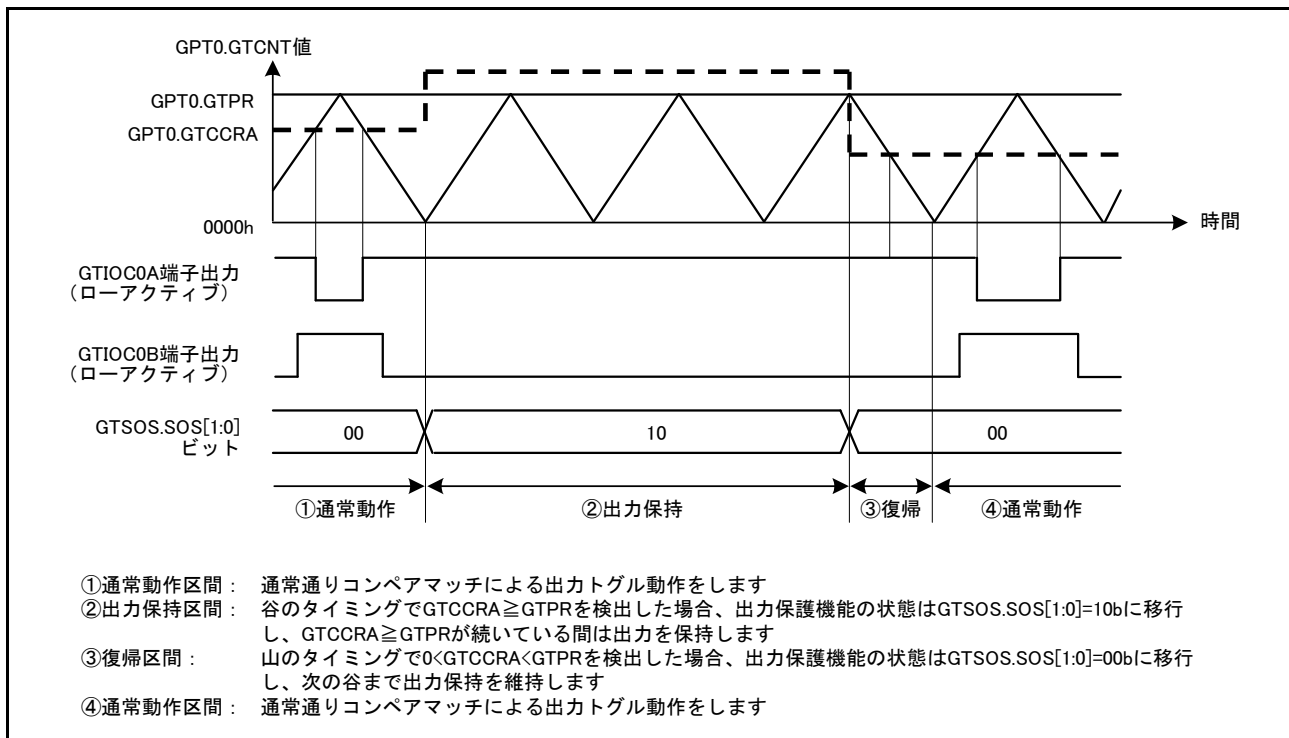


図 24.91 谷のバッファ転送で $GTCCRA \geq GTPR$ が設定された場合の出力保護機能の動作例 (山のバッファ転送で $0 < GTCCRA < GTPR$ に復帰、アクティブレベルは“Low”の場合)

(3) 山のバッファ転送で $GTCCRA \geq GTPR$ が設定された場合の出力保護機能

図 24.92、図 24.93 に山のバッファ転送で $GTCCRA \geq GTPR$ が設定された場合の出力保護機能の動作例を示します。

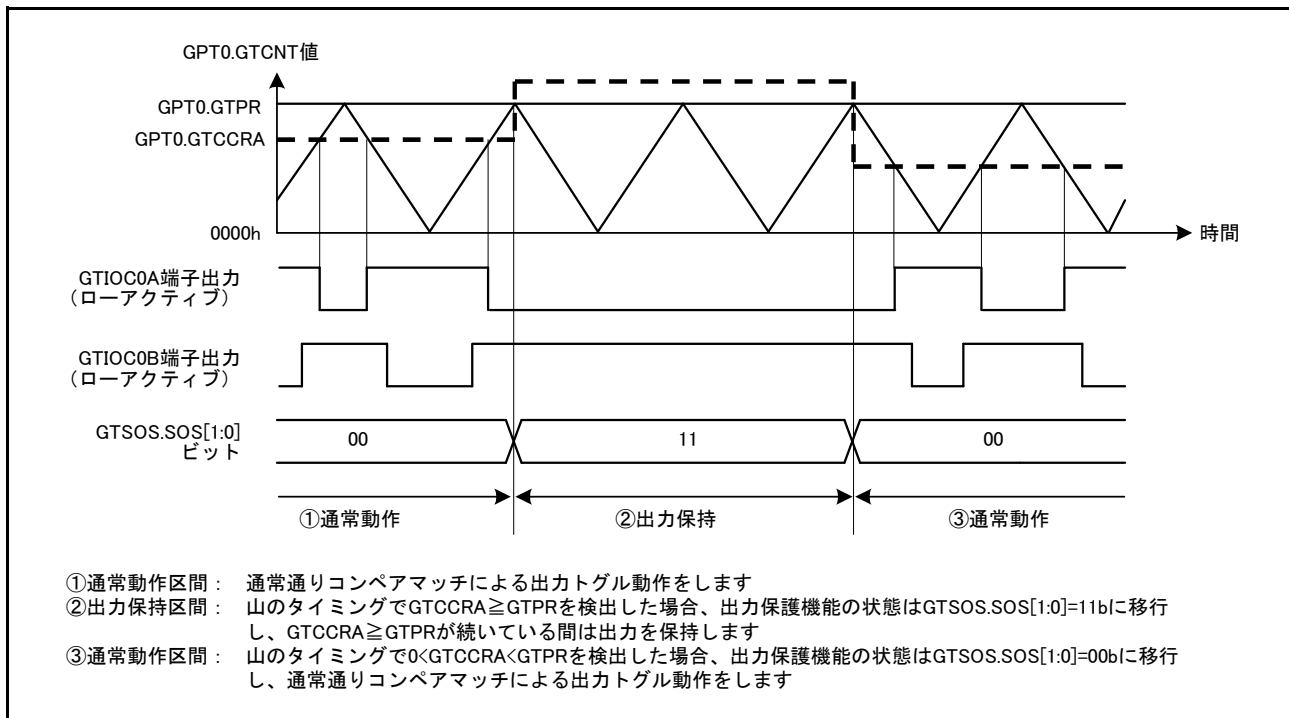


図 24.92 山のバッファ転送で $GTCCRA \geq GTPR$ が設定された場合の出力保護機能の動作例 (山のバッファ転送で $0 < GTCCRA < GTPR$ に復帰、アクティブレベルは“Low”の場合)

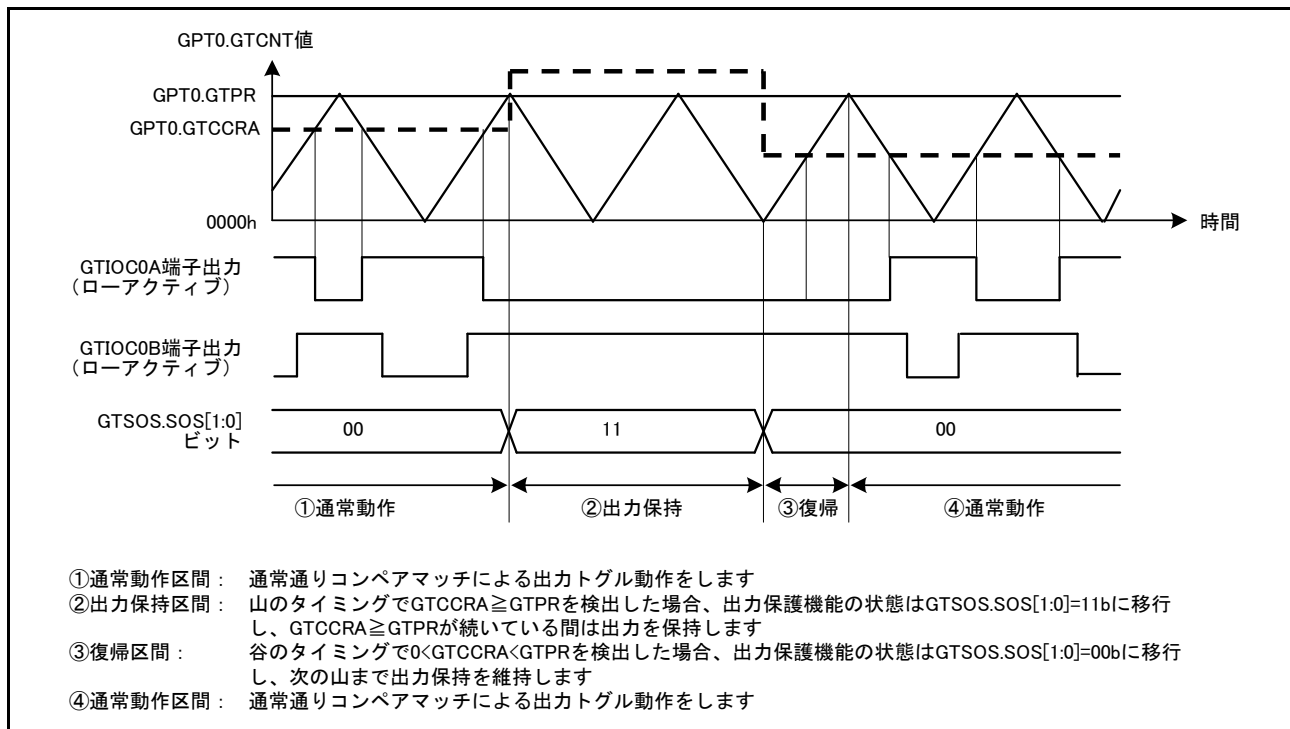


図 24.93 山のバッファ転送で $GTCCRA \geq GTPR$ が設定された場合の出力保護機能の動作例
 (谷のバッファ転送で $0 < GTCCRA < GTPR$ に復帰、アクティブレベルは "Low" の場合)

(4) 出力保護機能の注意事項

GTCCRA レジスタは $0 < GTCCRA < GTPR$ の範囲内に設定された状態で、カウント動作を開始してください。

出力保護機能は、カウント動作中に GTCCRA レジスタに異常値が設定 ($0 < GTCCRA < GTPR$ の範囲外に設定)された場合にも正相/逆相出力のうちどちらかが非アクティブ出力となるように機能しますが、GTCCRA レジスタに異常値が設定された状態でカウント動作が開始された場合には正常に機能しません。

24.7.5 POE 機能による GTIOC 端子出力のハイインピーダンス制御

システム異常時の保護のため、ポートアウトプットイネーブル (POE) 機能により、GTIOC_nm 端子出力のハイインピーダンス制御が可能です。(n=0~7、m=A、B)

詳細は、「23. ポートアウトプットイネーブル 3 (POE3)」を参照してください。

24.8 出力端子の初期化方法

24.8.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートのモード選択設定 (PMR レジスタ、PmnPFS レジスタ)、GTIOR レジスタと GTONCR.OAE, OBE ビットの設定を行い、GPT 機能を外部端子に出力した後、カウント動作を開始してください。

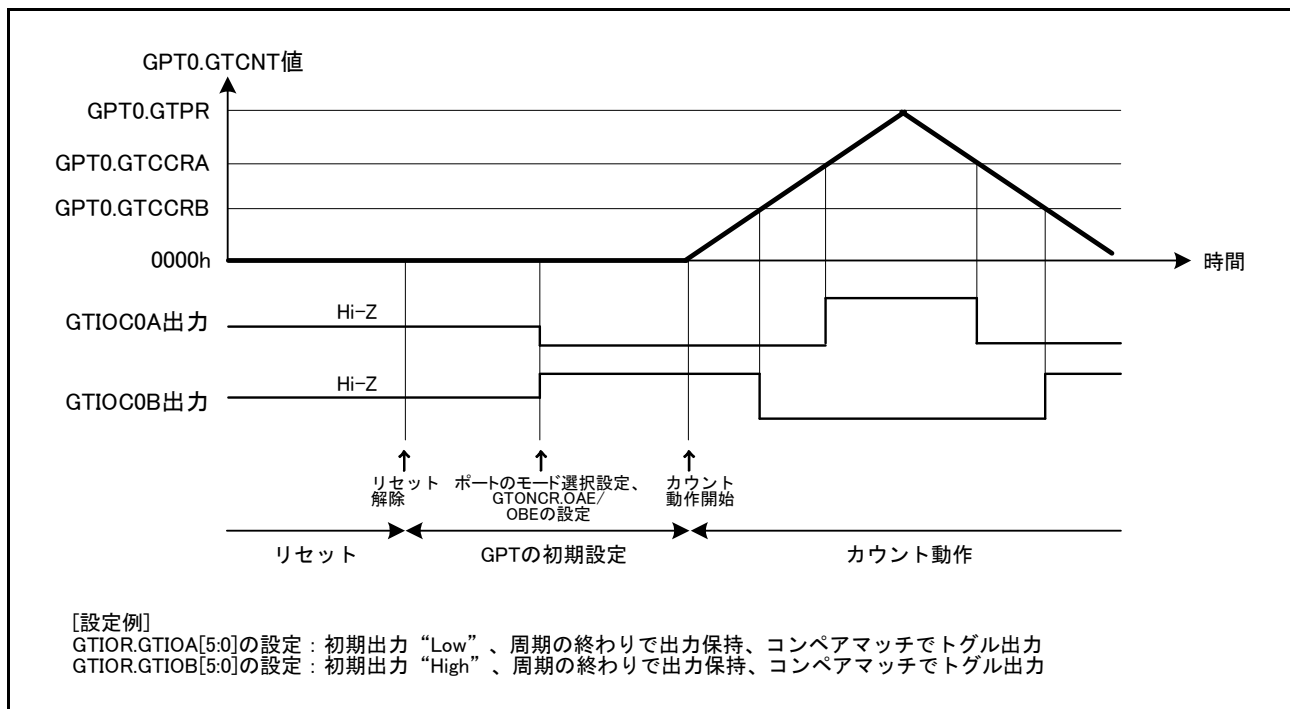


図 24.94 リセット後の端子設定例

24.8.2 動作中の異常などによる端子の初期化

GPT の動作中に異常などが発生して端子を初期化するまでの端子処理として、下記の方法があります。

- (1) GTIOR レジスタの OAHLD ビット、OBHLD ビットを “1” にしておき、カウント動作停止時に出力を保持
- (2) GTIOR レジスタの OAHLD ビット、OBHLD ビットを “0” にし、GTIOR レジスタの OADFLT ビット、OBDFLT ビットに任意の出力値を設定しておき、カウント動作停止時に任意の値を出力
- (3) あらかじめ I/O ポートの PDR レジスタ、PODR レジスタと PMR レジスタで汎用出力ポート時に任意の値を出力する設定をしておき、異常発生時に GTONCR レジスタの OAE ビット、OBE ビットを “0” に、PMR レジスタの当該端子の制御ビットを “0” にして、端子を汎用出力ポートとして任意の値を出力
- (4) ポートアウトプットイネーブル 3 (POE3) の POE 機能を使用し、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行っている場合は、カウント停止後に GTDTCR.TDE ビットをいったん “0” にしてください。

カウント動作停止時、GPT 以外の外部要因によって変化するレジスタ以外は変化しません。カウント動作を再開すれば継続して動作します。

カウント動作を停止した場合は、各レジスタを初期化してからカウント動作を再開してください。

24.9 使用上の注意事項

24.9.1 モジュールストップ機能の設定

GPTは、モジュールストップコントロールレジスタにより、GPTの動作禁止/許可を設定することが可能です。初期値では、GPTは停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「12. 消費電力低減機能」を参照してください。

24.9.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行っている場合

GTCCRA レジスタは、 $GTDVU < GTCCRA$ 、 $GTDVD < GTCCRA$ 、 $GTCCRA < GTPR$ の範囲内に設定してください。

カウント動作中に $GTCCRA = 0$ もしくは $GTCCRA \geq GTPR$ が設定されると出力保護機能が動作します。

カウント動作開始時は、GTCCRA レジスタを $0 < GTCCRA < GTPR$ の範囲内に設定した状態でカウント動作を開始してください。 $0 < GTCCRA < GTPR$ の範囲外に設定された状態でカウント動作が開始された場合には出力保護機能は正常に機能しません。

詳細は、「24.7.4 GTIOC 端子出力の出力保護機能」を参照してください。

(2) 三角波 PWM モードでデッドタイムの自動設定を行っていない場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$ の範囲内に設定してください。 $GTCCRA = 0$ もしくは $GTCCRA = GTPR$ が設定されると、周期内で発生するコンペアマッチは、 $GTCCRA = 0$ もしくは $GTCCRA = GTPR$ が成立したときのみとなります。また、 $GTCCRA > GTPR$ が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < GTCCRB < GTPR$ の範囲内に設定してください。 $GTCCRB = 0$ もしくは $GTCCRB = GTPR$ が設定されると、周期内で発生するコンペアマッチは、 $GTCCRB = 0$ もしくは $GTCCRB = GTPR$ が成立したときのみとなります。また、 $GTCCRB > GTPR$ が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っている場合

GTCCRC レジスタ、GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はデッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時 : $GTCCRC < GTCCRD$ 、 $GTCCRC > GTDVU$ 、 $GTCCRD < GTPR - GTDVD$
- ダウンカウント時 : $GTCCRC > GTCCRD$ 、 $GTCCRC < GTPR - GTDVU$ 、 $GTCCRD > GTDVD$

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っていない場合

GTCCRC レジスタ、GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合は、コンペアマッチが2回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRC < GTCCRD < GTPR$
- ダウンカウント時： $GTPR > GTCCRC > GTCCRD > 0$

同様に、GTCCRE レジスタ、GTCCRF レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はコンペアマッチが2回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRE < GTCCRF < GTPR$
- ダウンカウント時： $GTPR > GTCCRE > GTCCRF > 0$

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$ の範囲内に設定してください。GTCCRA = 0 もしくは GTCCRA = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRA = 0 もしくは GTCCRA = GTPR が成立したときのみとなります。また、GTCCRA > GTPR が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < GTCCRB < GTPR$ の範囲内に設定してください。GTCCRB = 0 もしくは GTCCRB = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRB = 0 もしくは GTCCRB = GTPR が成立したときのみとなります。また、GTCCRB > GTPR が設定されると、コンペアマッチは発生しません。

24.9.3 タイマの安全な停止方法

GTSTR レジスタの書き込みによるタイマの停止と GPT のコンペアマッチ割り込みのタイミングが競合した場合、GTSTR レジスタの書き込み後に割り込みが発生する場合があります。

以下の手順でタイマの停止を行うと、停止後にコンペアマッチ割り込みが発生することがなく、安全にタイマを停止させることができます。

- (1) ICU の割り込み要求許可レジスタ (IER15 ~ IER18) で割り込み要求を禁止にする
- (2) GPT の割り込み出力設定レジスタ (GTINTAD) で割り込み要求を禁止にする
- (3) GTSTR レジスタの CSTn ビットを“0”にする

24.9.4 IWDTCCLK カウント機能使用時の消費電力低減機能の設定

IWDTCCLK カウント動作中に、モジュールストップコントロールレジスタまたはスタンバイコントロールレジスタにより GPT の動作を停止してから再開する場合、GPT の動作を停止する前に LCCR.LCNTE=0 を設定して IWDTCCLK カウントを停止し、GPT の動作を再開した後で LCCR.LCNTE=1 を設定して IWDTCCLK カウントを再開してください。モジュールストップコントロールレジスタとスタンバイコントロールレジスタの詳細は、「12. 消費電力低減機能」を参照してください。

24.9.5 同期動作の対象チャネルについて

「24.3.7 同期動作」にて説明している同期動作は、チャネル 0 ~ 3、またはチャネル 4 ~ 7 の同期動作が対象です。チャネル 0 ~ 7 の同期動作には対応していませんのでご注意ください。

24.9.6 PWM 遅延生成回路の遅延値設定に関する注意事項

コンペアマッチにより PWM 出力波形をトグルさせて PWM 遅延生成回路で PWM 出力波形を遅延させる場合、コンペアマッチ値が下表に示す範囲にあるときは遅延設定値を変更しないでください。設定値変更のタイミング制約は生じる対象レジスタは GTDLYFA レジスタ、GTDLYRA レジスタ、GTDLYFB レジスタ、GTDLYRB レジスタです。

モード	カウント方向	コンペアマッチ値
のこぎり波	アップカウント	"GTPR-2" 以上
	ダウンカウント	"2" 以下
三角波	ダウンカウント	"2" 以下

例として、図 24.93 にのこぎり波ワンショットパルスモード (アップカウント) 時の GTDLYFA レジスタ設定タイミング制約を示します。GTCRRD \geq GTPR-2 の場合は、GTDLYFA レジスタの設定値変更をしないでください。

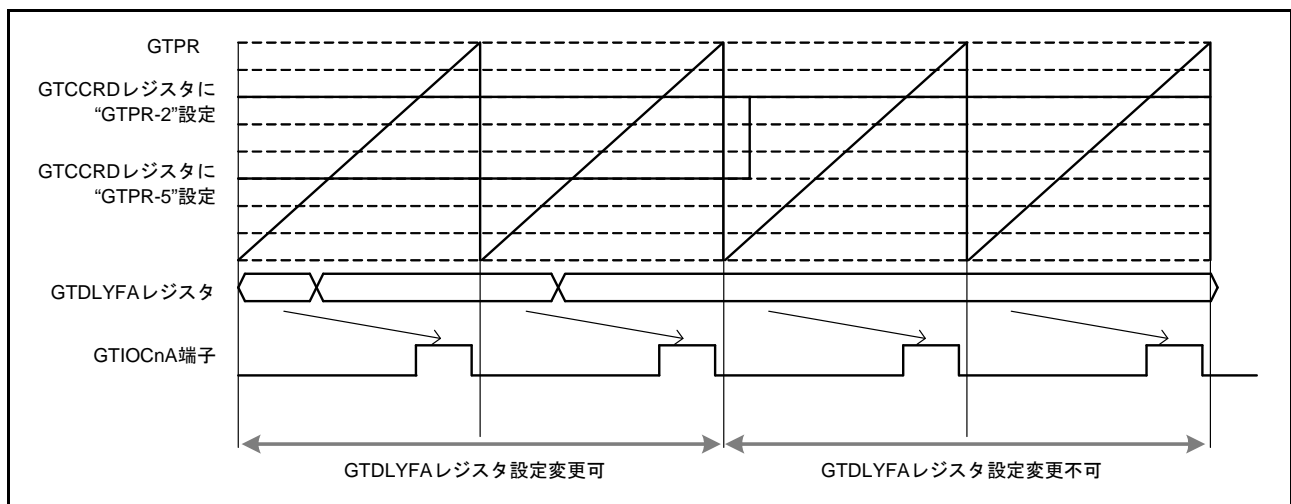


図 24.95 GTDLYFA レジスタ設定タイミング制約

レジスタ設定変更不可のタイミングで GTDLYFA レジスタ、GTDLYRA レジスタ、GTDLYFB レジスタ、GTDLYRB レジスタの設定値を変更した場合は、出力波形の変化タイミングが所定のタイミングからずれる等、出力波形異常となる可能性があるので、設定変更しないでください。

25. コンペアマッチタイマ (CMT)

本MCUは、2チャンネルの16ビットタイマにより構成されるコンペアマッチタイマ (CMT) を2ユニット (ユニット0、ユニット1)、合計4チャンネル内蔵しています。CMTは、16ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

25.1 概要

表 25.1 に CMT の仕様を示します。

図 25.1 に CMT (ユニット0) のブロック図を示します。2チャンネルのCMTで1ユニットを構成し、ユニット0とユニット1は同じ仕様です。

表 25.1 CMTの仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> 4種類の分周クロック PCLK/8クロック、PCLK/32クロック、PCLK/128クロック、PCLK/512クロックの中から各チャンネル独立に選択可能
割り込み	コンペアマッチ割り込みを各チャンネル独立に要求することが可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

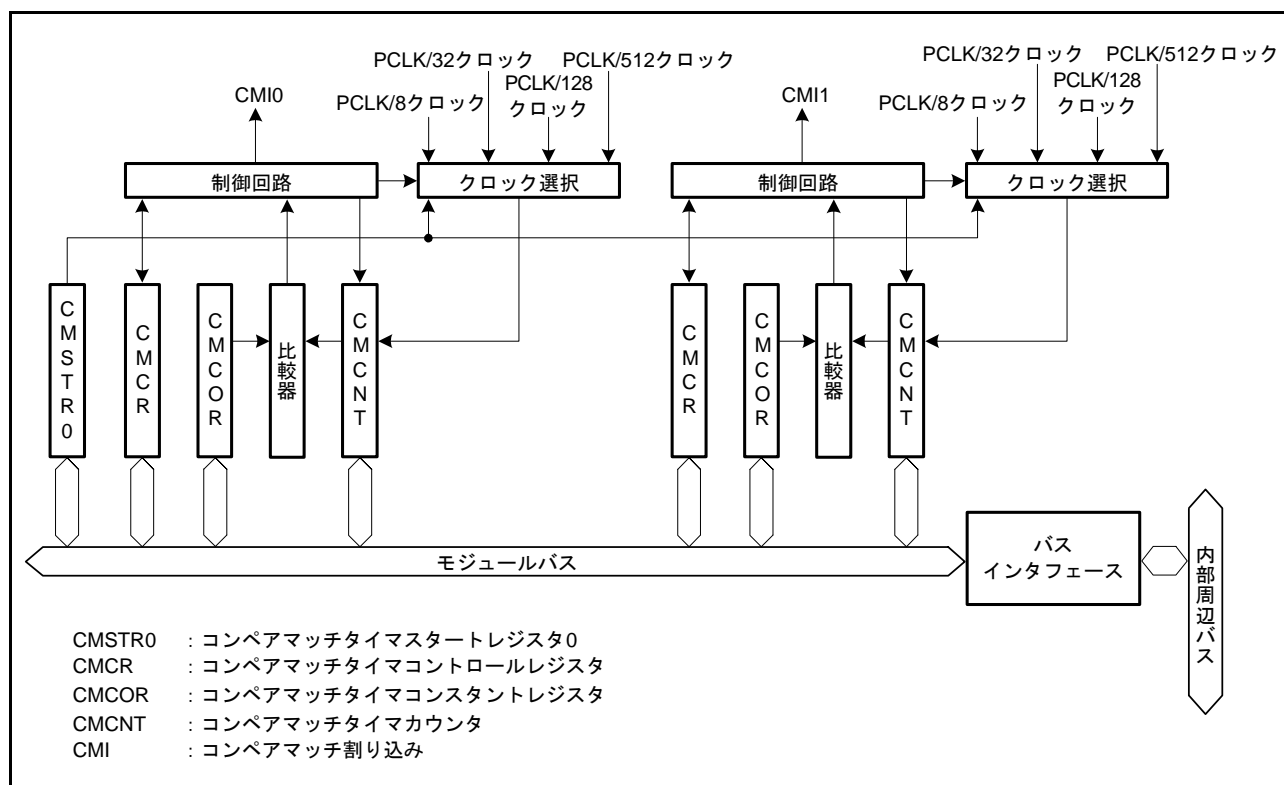


図 25.1 CMT (ユニット0) のブロック図

25.2 レジスタの説明

25.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTはカウント停止 1 : CMT0.CMCNTはカウント動作	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTはカウント停止 1 : CMT1.CMCNTはカウント動作	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

25.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0 : CMT2.CMCNTはカウント停止 1 : CMT2.CMCNTはカウント動作	R/W
b1	STR3	カウントスタート3ビット	0 : CMT3.CMCNTはカウント停止 1 : CMT3.CMCNTはカウント動作	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

25.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h,
CMT2.CMCR 0008 8012h, CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8クロック 0 1 : PCLK/32クロック 1 0 : PCLK/128クロック 1 1 : PCLK/512クロック	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み (CMIn) を禁止 1 : コンペアマッチ割り込み (CMIn) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックから CMCNT カウンタに入力するカウントクロックを選択します。

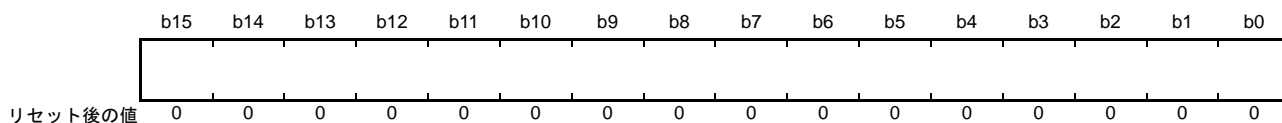
CMSTRm.STRn ビット (m = 0, 1, n = 0 ~ 3) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n = 0 ~ 3) の発生を許可するか禁止するかを選択します。

25.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah,
CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah



CMCNT カウンタは、割り込み要求を発生させるための読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット (m = 0, 1, n = 0 ~ 3) を “1” にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは “0000h” になります。このとき、コンペアマッチ割り込み (CMI_n) (n = 0 ~ 3) が発生します。

25.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch,
CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチ周期を設定する読み出し / 書き込み可能なレジスタです。

25.3 動作説明

25.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット ($m=0, 1$, $n=0\sim 3$) を“1”にすると、選択したクロックによってCMCNTカウンタはカウントアップを開始します。

CMCNTカウンタの値がCMCORレジスタの値と一致すると、CMCNTカウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMI_n) ($n=0\sim 3$) が発生します。CMCNTカウンタは“0000h”から再びカウントアップを再開します。CMCNTカウンタの動作を図25.2に示します。

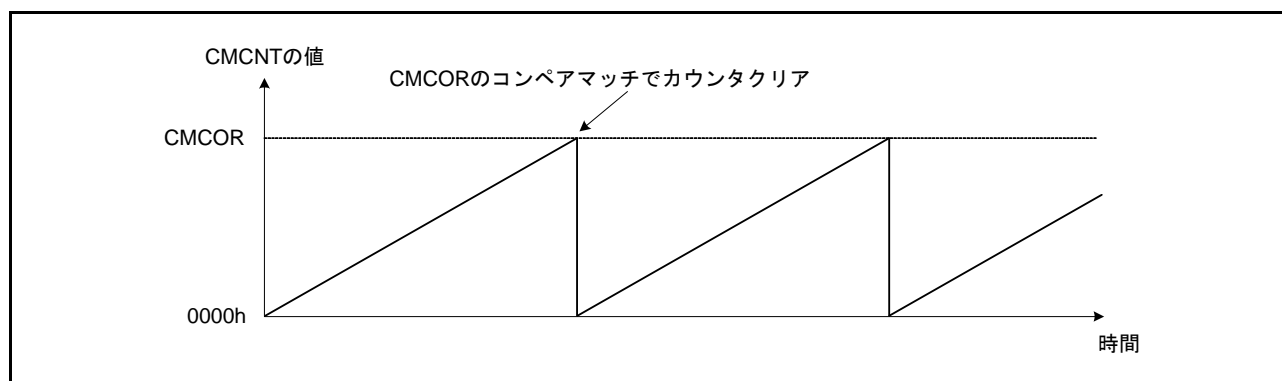


図 25.2 CMCNT カウンタの動作

25.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した4種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) からCMCNTカウンタに入力するカウントクロックを選択できます。このときのCMCNTカウンタのカウントタイミングを図25.3に示します。

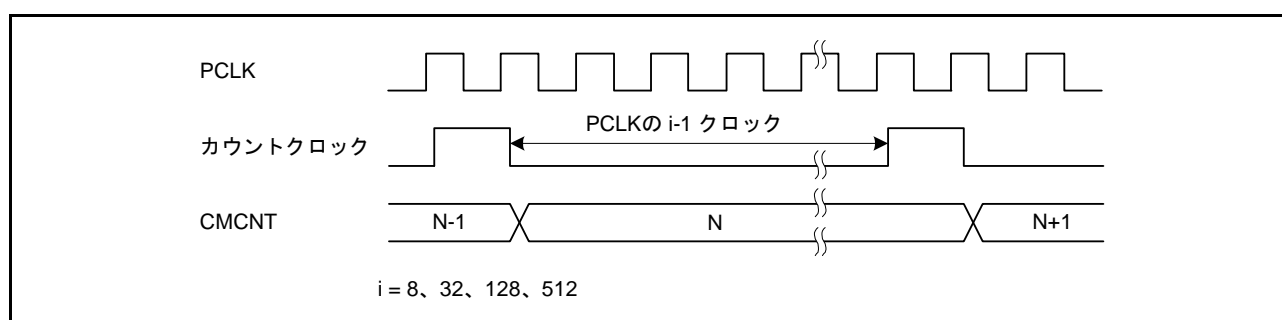


図 25.3 CMCNT カウンタのカウントタイミング

25.4 割り込み

25.4.1 割り込み要因

CMTは、チャンネルごとにコンペアマッチ割り込み (CMI_n) ($n = 0 \sim 3$) を持ち、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「15. 割り込みコントローラ (ICUb)」を参照してください。

表 25.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
CMI0	CMT0.CMCNTとCMT0.CMCORのコンペアマッチ	可能	可能
CMI1	CMT1.CMCNTとCMT1.CMCORのコンペアマッチ	可能	可能
CMI2	CMT2.CMCNTとCMT2.CMCORのコンペアマッチ	可能	可能
CMI3	CMT3.CMCNTとCMT3.CMCORのコンペアマッチ	可能	可能

25.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMI_n) ($n = 0 \sim 3$) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのセットタイミングを図 25.4 に示します。

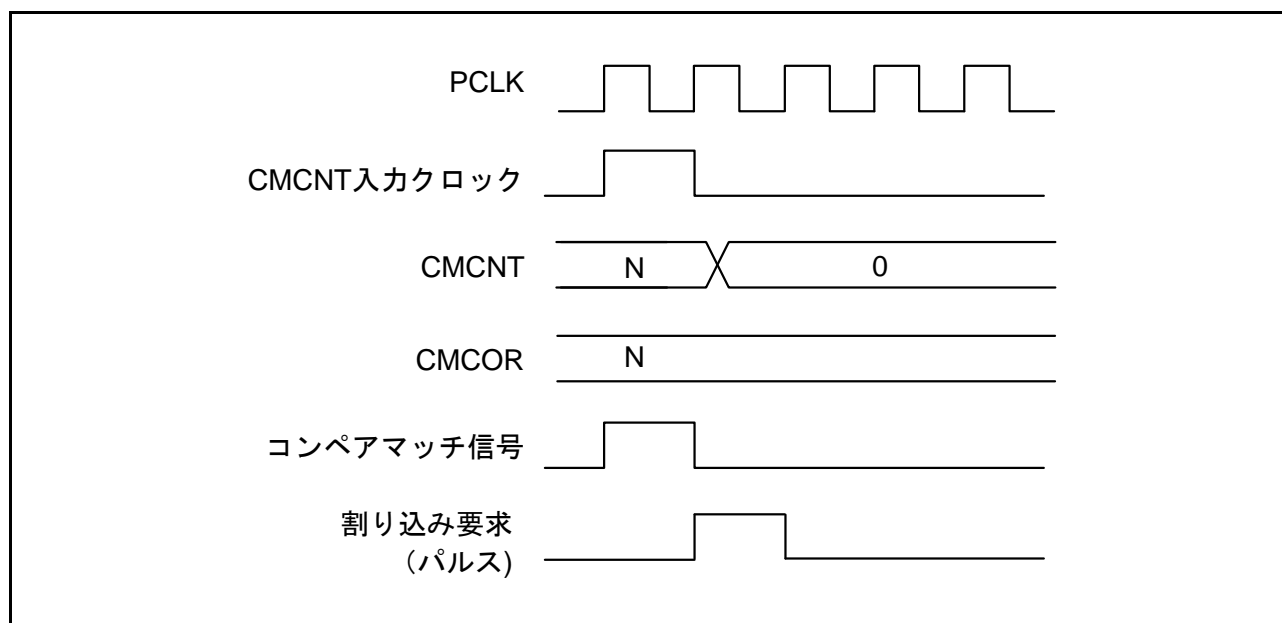


図 25.4 コンペアマッチ割り込みのセットタイミング

25.5 使用上の注意事項

25.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作禁止/許可を設定することが可能です。初期値では、CMTは停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「12. 消費電力低減機能」を参照してください。

25.5.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図25.5に示します。

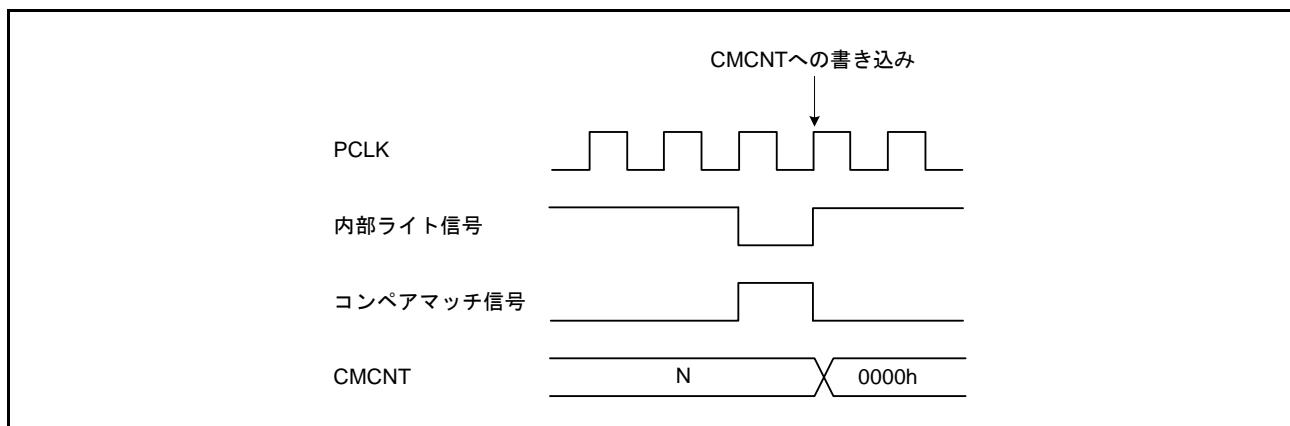


図 25.5 CMCNTカウンタへの書き込みとコンペアマッチの競合

25.5.3 CMCNTカウンタへの書き込みとカウントアップの競合

CMCNTカウンタへの書き込み中にカウントアップが発生しても、CMCNTカウンタはカウントアップされずにCMCNTカウンタへの書き込みが優先されます。このタイミングを図25.6に示します。

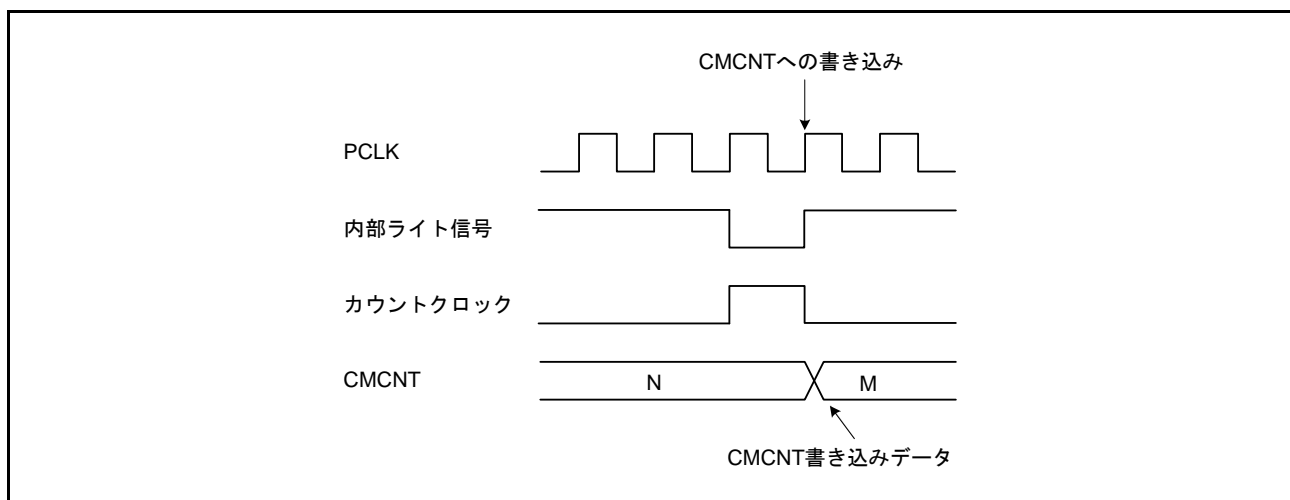


図 25.6 CMCNTカウンタへの書き込みとカウントアップの競合

26. ウォッチドッグタイマ (WDTA)

ウォッチドッグタイマ (WDT) は、プログラムの暴走を検知します。

WDTは14ビットのダウンカウンタを内蔵しており、ダウンカウントしたカウント値がアンダフローに到達すると、リセット出力によって本LSIをリセットすることができます。または、カウント値がアンダフローに到達することによって、割り込み要求の発生を選択することもできます。ダウンカウンタのカウント値をリフレッシュすることによってカウント値を初期値に戻し再びカウントすることができます。また、リフレッシュ可能な期間を設定することができます。リフレッシュ可能な期間にリフレッシュを行うとカウンタを初期化し再度カウントすることができますが、リフレッシュ可能期間外にリフレッシュを行うとリセットまたは割り込み要求を出力します。これによってリフレッシュ間隔を加味したプログラムの暴走を検知できます。なお、アンダフローもしくはリフレッシュ可能期間外のリフレッシュ後は、WDTはカウントを停止します。カウントの再開は、レジスタスタートモードの場合にはリフレッシュ実施後に、オートスタートモードの場合にはリセット出力/割り込み要求出力後に自動的に行います。

26.1 概要

WDTはリセット解除後、自動的にカウント開始を行うオートスタートモードと、リフレッシュ (レジスタ書き込み) によるカウント開始を行うレジスタスタートモードの2種類のモードがあります。

オートスタートモードでは、リセット解除前にオプション機能選択レジスタ0 (OFS0) に対して、クロック分周比、リフレッシュのウィンドウ開始/終了位置、タイムアウト期間、アンダフロー時のリセット出力/ノンマスカブル割り込み要求出力の設定を行います。

レジスタスタートモードでは、リセット解除後にリフレッシュによるカウント開始前にレジスタに対して、クロック分周比、リフレッシュのウィンドウ開始/終了位置、タイムアウト期間、アンダフロー時のリセット出力/ノンマスカブル割り込み要求出力の設定を行います。

オートスタートモード、もしくはレジスタスタートモードの選択はWDTスタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモード選択時 (OFS0.WDTSTRT = 0)、WDTコントロールレジスタ (WDTCR)、WDTリセットコントロールレジスタ (WDTRCR) の設定は無効となり、OFS0レジスタの設定が有効となります。

レジスタスタートモード選択時 (OFS0.WDTSTRT = 1)、OFS0レジスタの設定は無効となり、WDTCR、WDTRCRレジスタの設定が有効となります。

表 26.1 に WDT の仕様を示します。図 26.1 に WDT のブロック図を示します。

表 26.1 WDT の仕様 (1 / 2)

項目	内容
カウントソース	周辺クロック (PCLK)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> リセット後、自動的にカウント開始 (オートスタートモード) リフレッシュ (WDTRRレジスタに00hを書き込み後、FFhを書き込む) により、カウント開始 (レジスタスタートモード)
カウント停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタ、レジスタは初期値に戻る) アンダフロー、リフレッシュエラー発生時 カウント再開 (オートスタートモード: 自動、レジスタスタートモード: リフレッシュ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローした場合 リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
割り込み要求出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローした場合、ノンマスカブル割り込み (WUNI) を発生 リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウンタ値の読み出し	WDTSRレジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能

表 26.1 WDTの仕様 (2 / 2)

項目	内容
出力信号 (内部信号)	<ul style="list-style-type: none"> リセット出力 割り込み要求出力
オートスタートモード (オプション機能選択レジスタ0 (OFS0) 制御)	<ul style="list-style-type: none"> リセット後のクロック分周比の選択 (OFS0.WDTCKS[3:0]ビット) ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.WDTPS[1:0]ビット) ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.WDTRPSS[1:0]ビット) ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.WDTRPES[1:0]ビット) リセット出力、または割り込み要求出力の選択 (OFS0.WDTRSTIRQSビット)
レジスタスタートモード (WDTレジスタ制御)	<ul style="list-style-type: none"> リフレッシュ動作後のクロック分周比の選択 (WDTCR.CKS[3:0]ビット) ウォッチドッグタイマのタイムアウト期間の選択 (WDTCR.TOPS[1:0]ビット) ウォッチドッグタイマのウィンドウ開始位置の選択 (WDTCR.RPSS[1:0]ビット) ウォッチドッグタイマのウィンドウ終了位置の選択 (WDTCR.RPES[1:0]ビット) リセット出力、または割り込み要求出力の選択 (WDTCR.RSTIRQSビット)

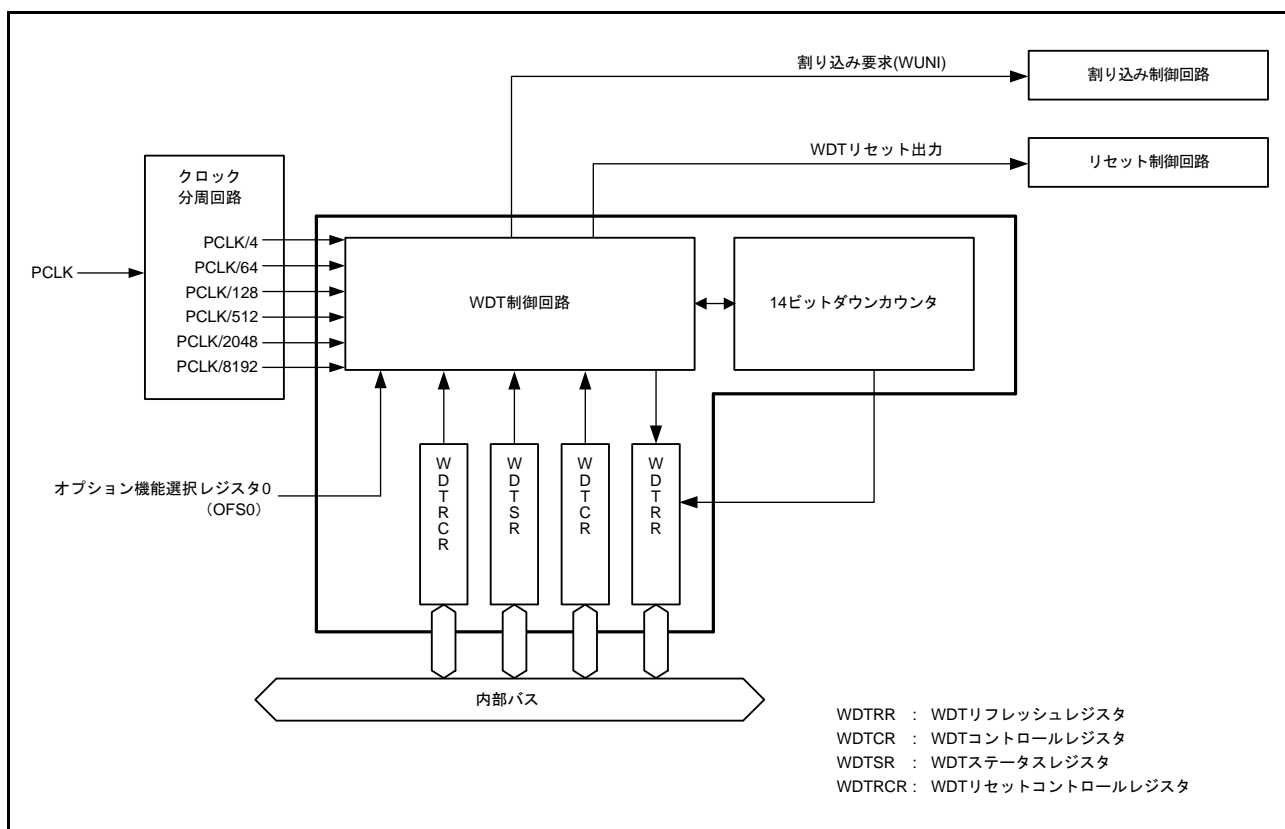
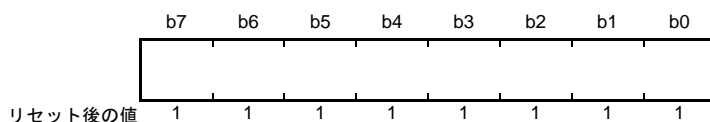


図 26.1 WDTのブロック図

26.2 レジスタの説明

26.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス 0008 8020h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに “00h” を書き込み後、“FFh” を書き込む (リフレッシュ動作) ことにより WDT のダウンカウンタをリフレッシュします。

ダウンカウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 の WDT タイムアウト期間選択ビット (OFS0.WDTPS[1:0]) で設定した値からダウンカウントを行います。レジスタスタートモードの場合、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、WDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h” を書き込んだ場合は “00h” が、“00h” 以外の値を書き込んだ場合は “FFh” となります。

リフレッシュ動作の詳細については、「26.3.3 リフレッシュ動作」を参照してください。

26.2.2 WDT コントロールレジスタ (WDTCR)

アドレス 0008 8022h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]				
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 1 : PCLK/4 0 1 0 0 : PCLK/64 1 1 1 1 : PCLK/128 0 1 1 0 : PCLK/512 0 1 1 1 : PCLK/2048 1 0 0 0 : PCLK/8192 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

WDTCR レジスタへの書き込みには制限があります。詳細については、「26.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、WDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「26.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 26.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および PCLK 数の関係を示します。

表 26.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLK数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	PCLK/4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	PCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	PCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	PCLK/512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	PCLK/2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	PCLK/8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット (クロック分周比選択ビット)

WDT は、周辺クロック (PCLK) を分周する分周比設定を 4 分周 /64 分周 /128 分周 /512 分周 /2048 分周 /8192 分周から選択します。TOPS[1:0] ビット設定と合わせて、WDT のカウント期間を PCLK の 4096 ~ 134217728 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 26.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウンタ値を示します。

表26.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 26.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可/禁止期間の関係を示します。

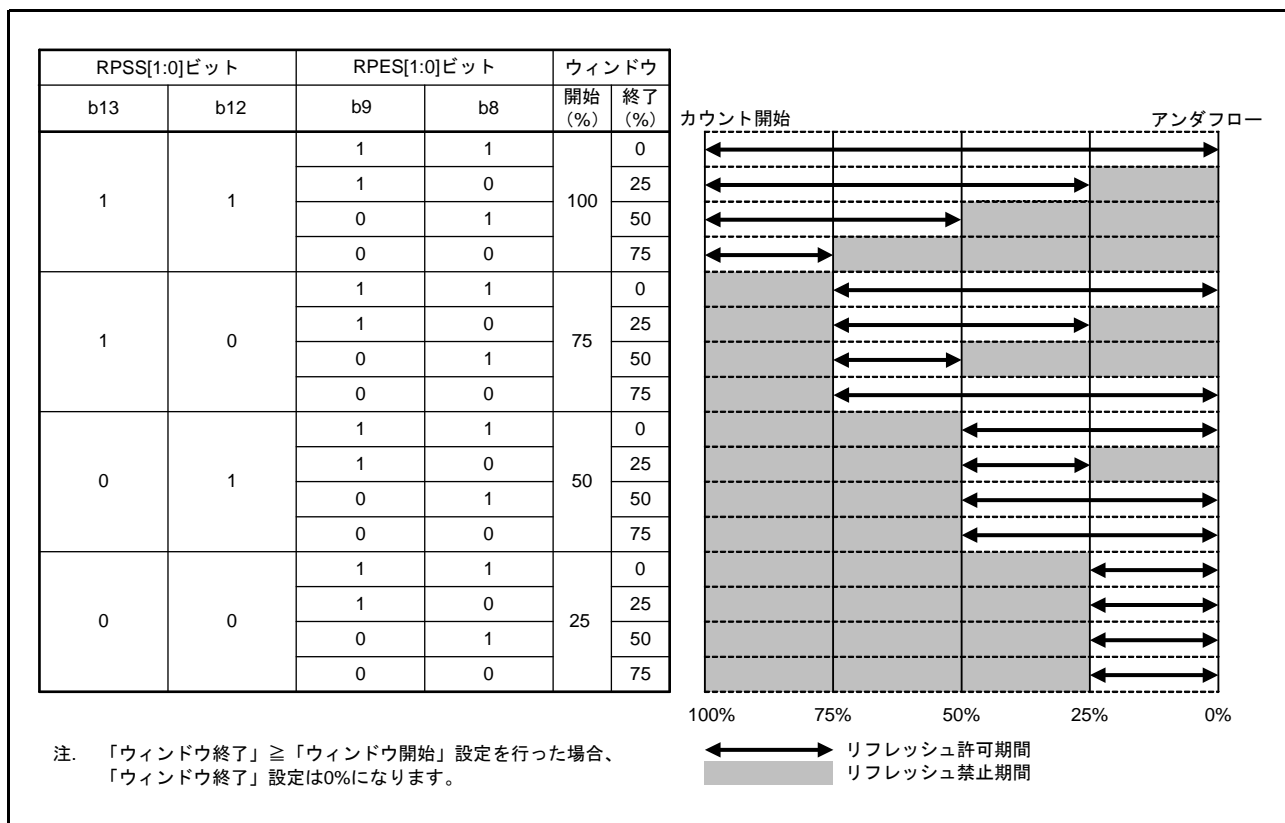
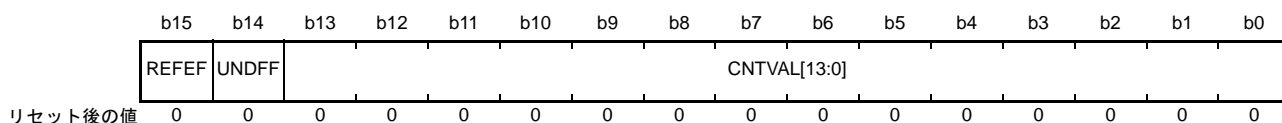


図 26.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

26.2.3 WDT ステータスレジスタ (WDTSR)

アドレス 0008 8024h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

WDTSR レジスタは、WDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

CNTVAL[13:0] ビット (ダウンカウンタ値ビット)

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

ダウンカウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

26.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス 0008 8026h

	b7	b6	b5	b4	b3	b2	b1	b0
RSTIR QS	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0 : ノンマスクابل割り込み要求出力を許可 1 : リセット出力を許可	R/W

WDTRCR レジスタへの書き込みには制限があります。詳細については、「26.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、WDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「26.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

26.2.5 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタについては、「26.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

26.3 動作説明

26.3.1 カウント開始条件別の各動作

WDT のスタートモードの選択は、オプション機能選択レジスタ 0 の WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。

OFS0.WDTSTRT ビットが“1” (レジスタスタートモード) の場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) の設定が有効となり、WDT リフレッシュレジスタ (WDTRR) へのリフレッシュ動作でカウントが開始されます。OFS0.WDTSTRT ビットが“0” (オートスタートモード) の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

26.3.1.1 レジスタスタートモード

オプション機能選択レジスタ 0 の WDT スタートモード選択ビット (OFS0.WDTSTRT) が“1” の場合、レジスタスタートモードとなり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) が有効となります。

リセット解除後、WDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、また WDTRCR レジスタにリセット出力/割り込み要求出力の設定を行います。その後、リフレッシュ動作でダウンカウンタにタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセット出力、または割り込み要求出力の選択は、リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) の設定により行います。

図 26.3 に以下の条件での動作例を示します。

- WDT スタートモード選択ビット (OFS0.WDTSTRT) : “1” (レジスタスタートモード)
- リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) : “1” (リセット出力許可)
- ウィンドウ開始位置選択ビット (WDTCR.RPSS[1:0]) : “10b” (75%)
- ウィンドウ終了位置選択ビット (WDTCR.RPES[1:0]) : “10b” (25%)

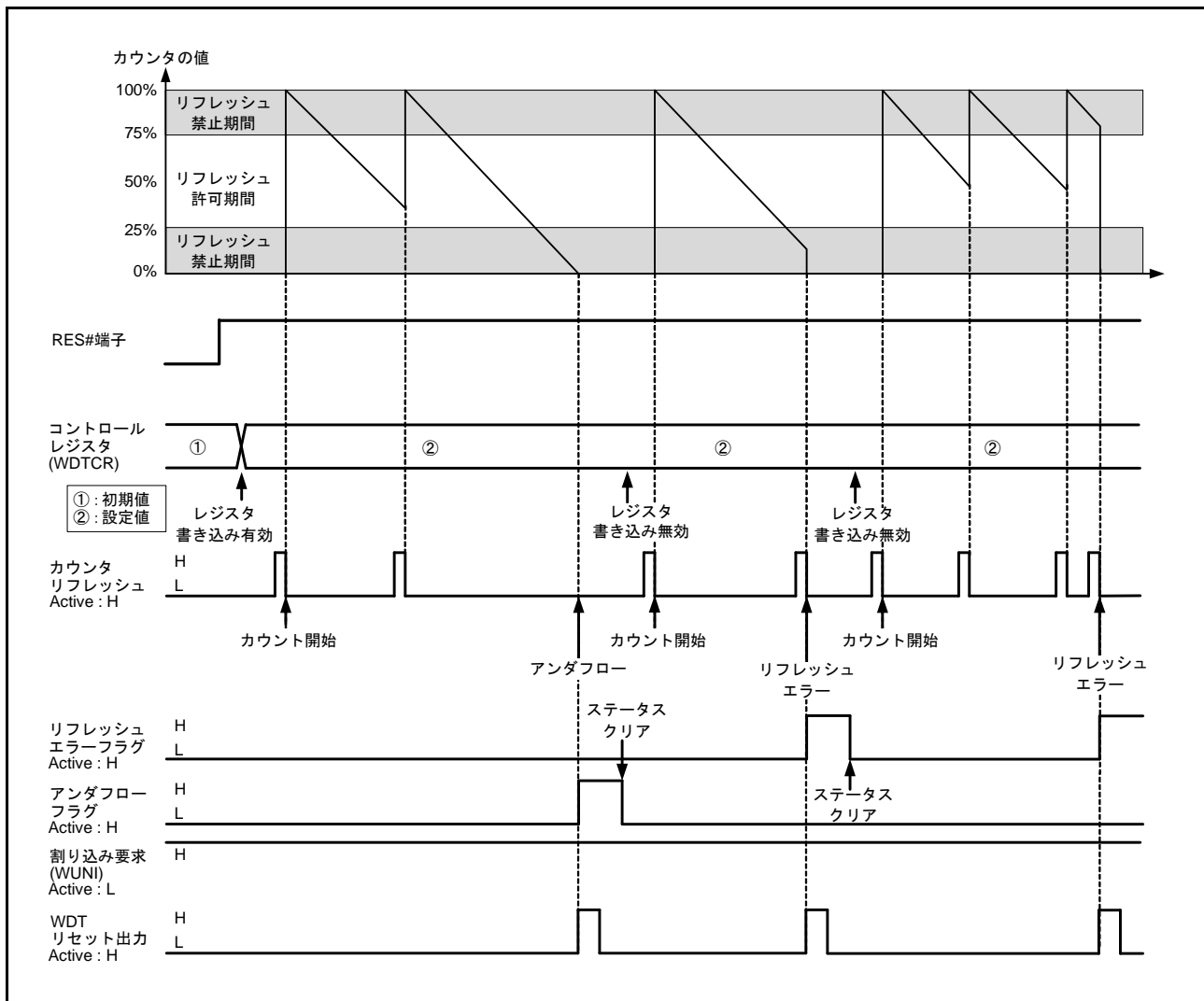


図 26.3 レジスタスタートモード動作例

26.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 の WDT スタートモード選択ビット (OFS0.WDTSTRT) が “0” の場合、オートスタートモードとなり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) が無効となります。

また、リセット期間中にオプション機能選択レジスタ 0 (OFS0) によって、クロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力が設定されます。その後、リセット解除でダウンカウンタに WDT タイムアウト期間選択ビット (OFS0.WDTPPS[1:0]) で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセットを出力するか、もしくはノンマスクابل割り込み要求 (WUNI) を出力します。リセットまたはノンマスクابل割り込み要求を 1 カウントサイクル出力後、ダウンカウンタはタイムアウト期間をリロードし、カウント動作を再開します。リセット出力、または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) の設定により行います。

図 26.4 に以下の条件での動作例を示します。

- WDT スタートモード選択ビット (OFS0.WDTSTRT) : “0” (オートスタートモード)
- リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) : “0” (ノンマスカブル割り込み要求出力許可)
- ウィンドウ開始位置選択ビット (OFS0.WDTRPSS[1:0]) : “10b” (75%)
- ウィンドウ終了位置選択ビット (OFS0.WDTRPES[1:0]) : “10b” (25%)

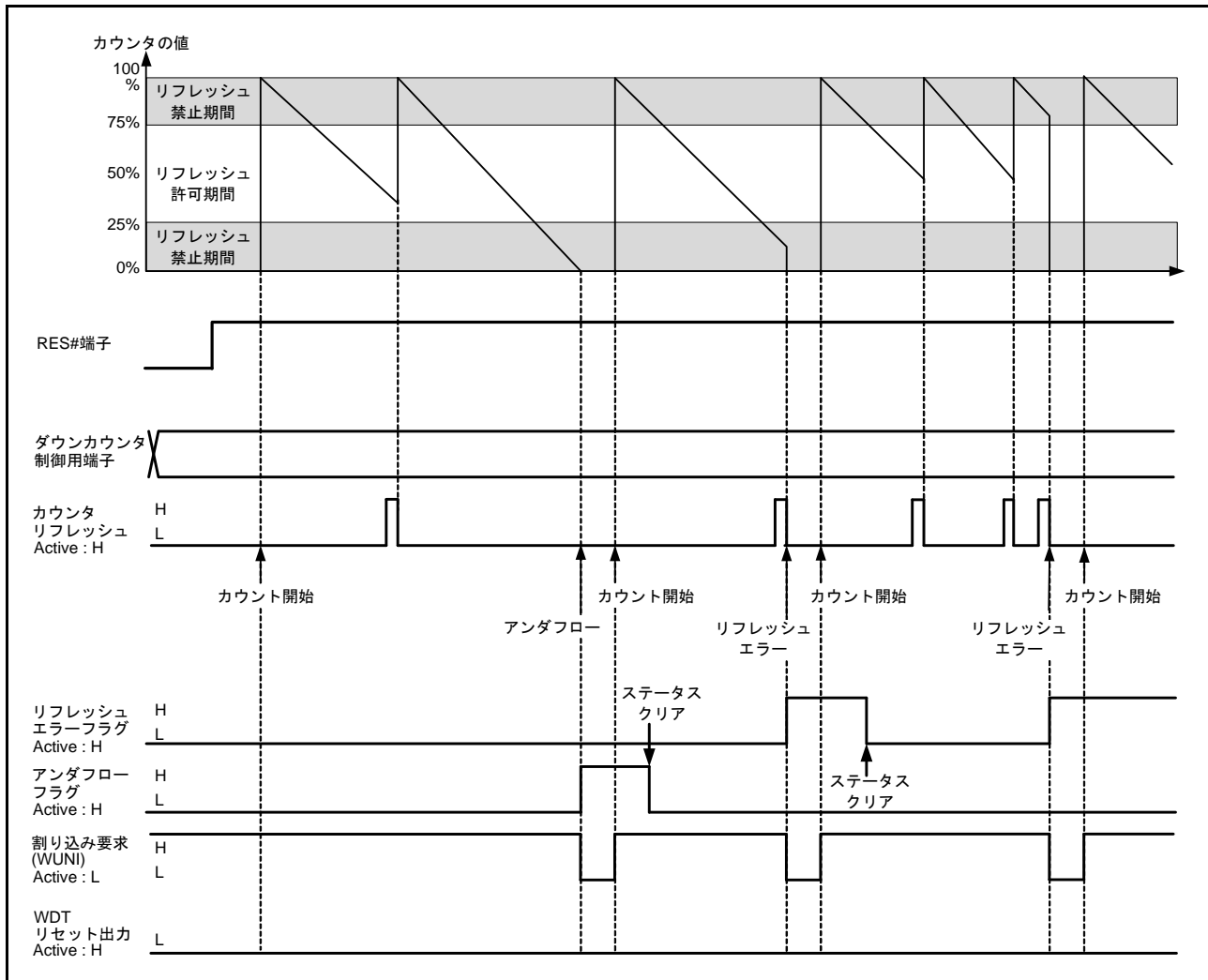


図 26.4 オートスタートモード動作例

26.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは WDTCR、WDTRCR レジスタへ書き込みを行うと、WDT 内部のプロテクト信号が “1” となり、以後 WDTCR、WDTRCR レジスタへの書き込みをプロテクトします。

WDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 26.5 に WDTCR レジスタ書き込み制御波形を示します。

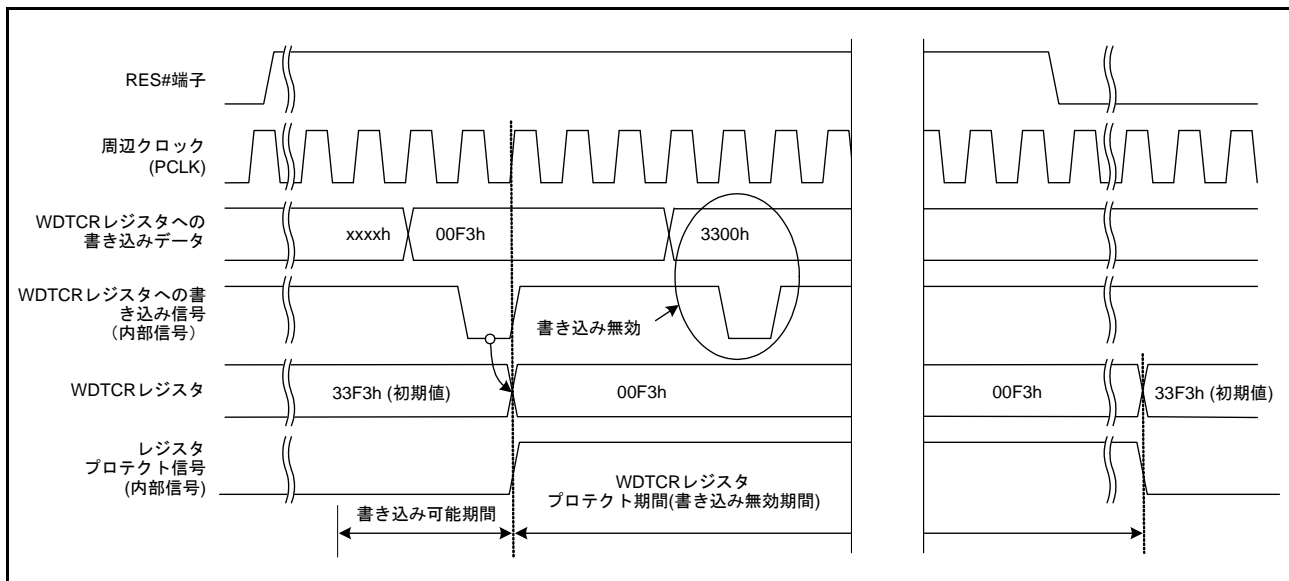


図 26.5 WDTCR レジスタ書き込み制御波形

26.3.3 リフレッシュ動作

ダウンカウンタのリフレッシュ、およびダウンカウンタ動作開始（リフレッシュによるカウント開始）を行うには、WDT リフレッシュレジスタ（WDTRR）へ“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、WDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h”（1回目）→“00h”（2回目）の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h”→“FFh”順の書き込み動作が成立するため、“00h”（n-1回目）→“00h”（n回目）→“FFh”のような書き込み動作も有効となり、リフレッシュを行います。“00h”以前の書き込みが“00h”以外でも同様に、“00h”→“FFh”順の書き込み動作が成立すると、リフレッシュを行います。また、WDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、WDTRR レジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h”（n-1回目） → “00h”（n回目） → “FFh”
- “00h” → 別レジスタアクセスまたは WDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h”（“00h”以外） → “FFh”
- “00h” → “54h”（“FFh”以外）
- “00h” → “AAh”（“00h” および “FFh” 以外） → “FFh”

リフレッシュ動作として、WDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、WDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、ダウンカウンタがリフレッシュされるタイミングは、WDTRRレジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります（1サイクル間の周辺クロック（PCLK）数は、クロック分周比選択ビット（WDTCR.CKS[3:0]）の設定値により異なります）。そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはダウンカウンタがアンダフローする4カウント前までに、WDTRRレジスタへの“FFh”書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット（WDTSR.CNTVAL[13:0]）で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が“1FFFh”とした場合、WDTRRレジスタへの“00h”の書き込みが“1FFFh”より前（たとえば“2002h”）であっても、WDTSR.CNTVAL[13:0]ビットの値が“1FFFh”になってから、WDTRRレジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が“1FFFh”とした場合、WDTRRレジスタへ“00h”→“FFh”を書き込み直後にWDTSR.CNTVAL[13:0]ビットの値を読み出して“2003h”（“1FFFh”の4カウント前）以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合WDTRRレジスタへ“00h”→“FFh”を書き込み直後にWDTSR.CNTVAL[13:0]ビットの値を読み出して“0003h”（アンダフローの4カウント前）以上であればアンダフローは発生せず、リフレッシュを行います。

図 26.6 にクロック分周比が PCLK /64 の場合の WDT リフレッシュ動作波形を示します。

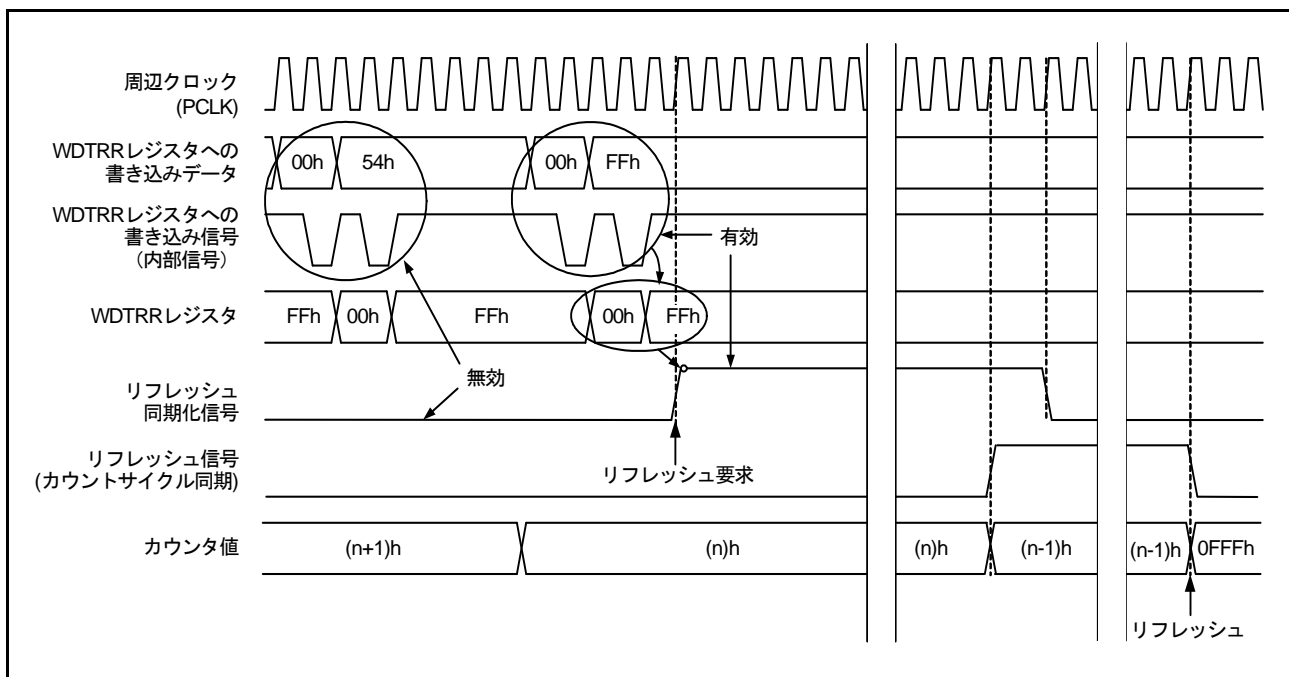


図 26.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

26.3.4 ステータスフラグ

リフレッシュエラーフラグ (WDTSR.REFEF)、アンダフローフラグ (WDTSR.UNDF) は、WDT がリセットを出力した場合のリセット要因、または WDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に WDTSR.REFEF フラグ、または WDTSR.UNDF フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に WDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に WDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、“0”書き込みによるフラグクリア反映後の値を読み出すためには、PCLK で数クロック (最小 5 クロック) 必要となります。

26.3.5 リセット出力

レジスタスタートモード時、リセット割り込み選択ビット (WDTRCR.RSTIRQS) を“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を“1”にした場合、ダウンカウンタのアンダフロー、またはリフレッシュエラーにより、1 カウントサイクル間リセットを出力します。

レジスタスタートモードでは、リセット出力後、ダウンカウンタは初期状態 (ALL“0”) で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

26.3.6 割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット (WDTRCR.RSTIRQS) を“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を“0”にした場合、ダウンカウンタのアンダフローまたはリフレッシュエラーが発生したとき、ノンマスクابل割り込み (WUNI) が発生します。

表 26.4 WDT の割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	ダウンカウンタのアンダフロー リフレッシュエラー	不可能	不可能

26.3.7 ダウンカウンタ値の読み出し

WDTはカウンタ値をWDTステータスレジスタのダウンカウンタ値 (WDTSR.CNTVAL[13:0] ビット) へ格納します。WDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、カウンタ値を確認することができます。

図 26.7 にクロック分周比が PCLK /64 の場合のダウンカウンタ値の読み出し処理を示します。

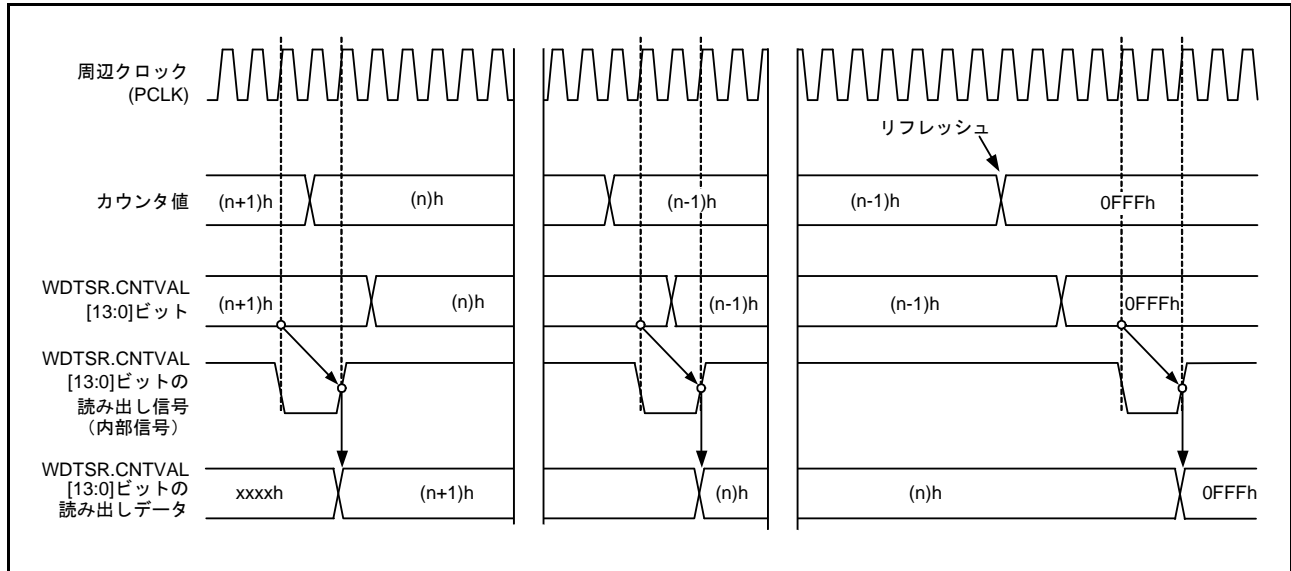


図 26.7 WDT ダウンカウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

26.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

表 26.5 にオプション機能選択レジスタ 0 (OFS0) によるダウンカウンタ制御、リセット出力または割り込み要求出力制御と WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) の対応を示します。OFS0 レジスタと WDTCR、WDTRCR レジスタ制御の有効/無効切り替えは、WDT スタートモード選択ビット (OFS0.WDTSTRT) にて行います。

なお、OFS0 レジスタの設定は、WDT 動作中は固定してください。

OFS0 レジスタについては、「8.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 26.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモード時有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTPOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS

27. 独立ウォッチドッグタイマ (IWDTa)

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために従来のウォッチドッグタイマとは独立して使用するウォッチドッグタイマです。

IWDT は 14 ビットのダウンカウンタを内蔵しており、ダウンカウントしたカウント値がアンダフローに到達すると、リセット出力によって本 LSI をリセットすることができます。または、カウント値がアンダフローに到達することによって、割り込み要求の発生を選択することもできます。ダウンカウンタのカウント値をリフレッシュすることによってカウント値を初期値に戻し再びカウントすることができます。また、リフレッシュ可能な期間を設定することができます。リフレッシュ可能な期間にリフレッシュを行うとカウンタを初期化し再度カウントすることができますが、リフレッシュ可能期間外にリフレッシュを行うとリセットまたは割り込み要求を出力します。これによってリフレッシュ間隔を加味したプログラムの暴走を検知できます。なお、アンダフローもしくはリフレッシュ可能期間外のリフレッシュ後は、IWDT はカウントを停止します。カウントの再開は、レジスタスタートモードの場合にはリフレッシュ実施後に、オートスタートモードの場合にはリセット出力 / 割り込み要求出力後に自動的に行います。

27.1 概要

IWDT はリセット解除後、自動的にカウント開始を行うオートスタートモードと、リフレッシュ (レジスタ書き込み) によるカウント開始を行うレジスタスタートモードの 2 種類のモードがあります。

オートスタートモードでは、リセット解除前にオプション機能選択レジスタ 0 (OFS0) に対して、クロック分周比、リフレッシュのウィンドウ開始 / 終了位置、タイムアウト期間、アンダフロー時のリセット出力 / ノンマスカブル割り込み要求出力、およびスリープモードカウント停止制御の設定を行います。

レジスタスタートモードでは、リセット解除後にリフレッシュによるカウント開始前にレジスタに対して、クロック分周比、リフレッシュのウィンドウ開始 / 終了位置、タイムアウト期間、アンダフロー時のリセット出力 / ノンマスカブル割り込み要求出力、およびスリープモードカウント停止制御の設定を行います。

オートスタートモード、もしくはレジスタスタートモードの選択は、IWDT スタートモード選択ビット (OFS0.IWDTSTRT) で行います。

オートスタートモード選択時 (OFS0.IWDTSTRT = 0)、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSTPR) の設定は無効となり、OFS0 レジスタの設定が有効となります。

レジスタスタートモード選択時 (OFS0.IWDTSTRT = 1)、OFS0 レジスタの設定は無効となり、IWDTCR、IWDTRCR、および IWDTCSTPR レジスタの設定が有効となります。

表 27.1 に IWDT の仕様を示します。

表 27.1 IWDT の仕様 (1 / 2)

項目	内容
カウントソース (注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> リセット後、自動的にカウント開始 (オートスタートモード) リフレッシュ (IWDTRR レジスタに 00h を書き込み後、FFh を書き込む) により、カウント開始 (レジスタスタートモード)
カウント停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタ、レジスタは初期値に戻る) アンダフロー、リフレッシュエラー発生時 カウント再開 (オートスタートモード: 自動、レジスタスタートモード: リフレッシュ)
ウィンドウ機能	ウィンドウ開始 / 終了位置を設定可能 (リフレッシュ許可 / 禁止期間)
リセット出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
割り込み要求出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたときノンマスカブル割り込み (WUNI) を発生 リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)

表27.1 IWDTの仕様 (2 / 2)

項目	内容
カウンタ値の読み出し	IWDTSRレジスタを読み出すことで、ダウンカウンタのカウンタ値の読み出しが可能
出力信号 (内部信号)	<ul style="list-style-type: none"> リセット出力 割り込み要求出力 スリープモードカウンタ停止制御出力
オートスタートモード (オプション機能選択レジスタ (OFS0) 制御)	<ul style="list-style-type: none"> リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDRPSS[1:0]ビット) ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット) リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQSビット) スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウンタ停止の選択 (OFS0.IWDTSLCSTPビット)
レジスタスタートモード (IWDTレジスタ制御)	<ul style="list-style-type: none"> リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0]ビット) ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0]ビット) ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0]ビット) ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0]ビット) リセット出力、または割り込み要求出力の選択 (IWDTCR.RSTIRQSビット) スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウンタ停止の選択 (IWDTCSR.SLCSTPビット)

注1. 『周辺モジュールクロック周波数 $\geq 4 \times$ (カウンタソースの分周後周波数)』となるようにしてください。

IWDT 使用時は、周辺クロック (PCLK) が停止した場合でも動作するように、周辺クロック (PCLK) と IWDT 専用クロック (IWDTCLK) の2つのクロックが必要です。バスインタフェース部とレジスタ部は PCLK で動作し、14ビットのダウンカウンタと制御回路は IWDTCLK で動作します。

周辺クロック動作ブロック、IWDT 専用クロック動作ブロック間の信号は、同期化回路を介して接続されます。

図 27.1 に IWDT のブロック図を示します。

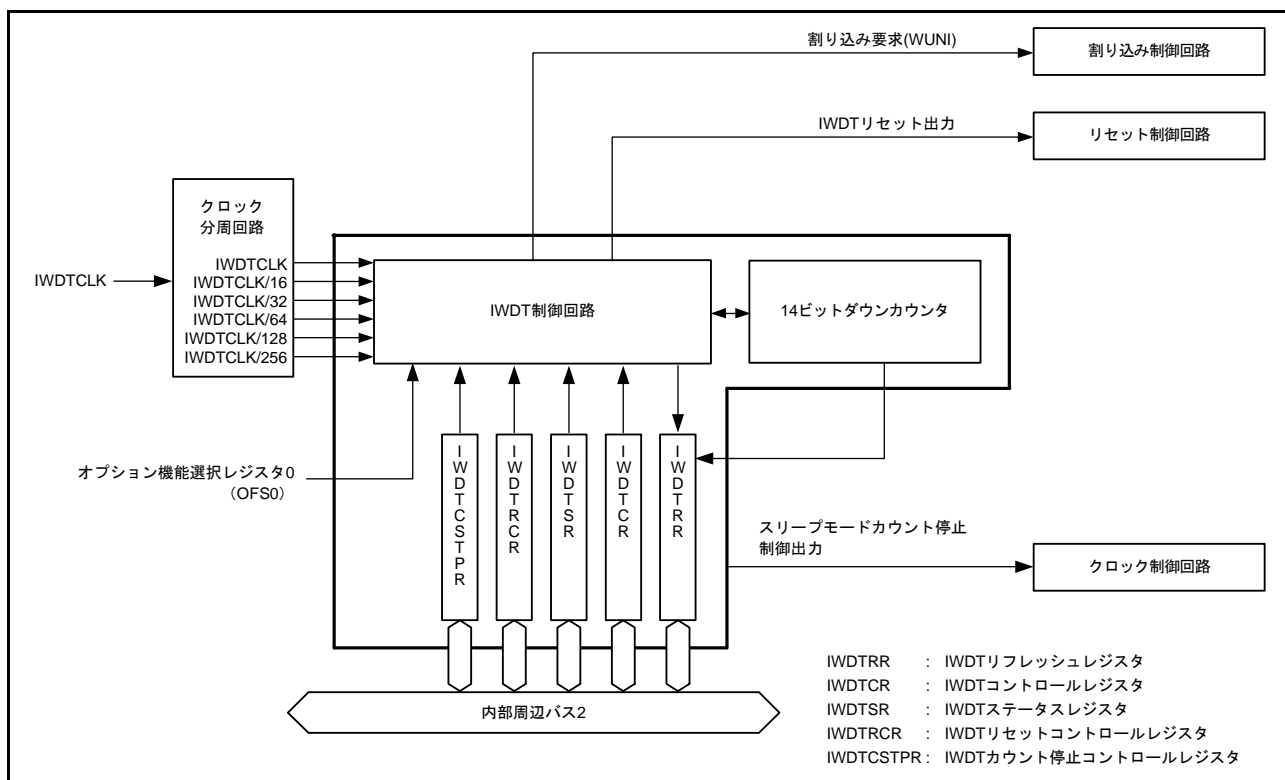
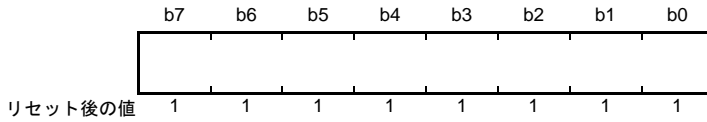


図 27.1 IWDT のブロック図

27.2 レジスタの説明

27.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む（リフレッシュ動作）ことにより IWDT のダウンカウンタをリフレッシュします。

ダウンカウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDT コントロールレジスタのタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「27.3.3 リフレッシュ動作」を参照してください。

27.2.2 IWDT コントロールレジスタ (IWDTCR)

アドレス 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : IWDTCLK 0 0 1 0 : IWDTCLK/16 0 0 1 1 : IWDTCLK/32 0 1 0 0 : IWDTCLK/64 1 1 1 1 : IWDTCLK/128 0 1 0 1 : IWDTCLK/256 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

IWDTCR レジスタへの書き込みには制限があります。詳細については、「27.3.2 IWDTCR レジスタ、IWDTCCR レジスタ、IWDTCSR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「27.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを1サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 27.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表 27.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	0	1	0	0	0	IWDTCLK/16	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	0	1	1	0	0	IWDTCLK/32	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	0	0	0	0	IWDTCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	IWDTCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	0	1	0	0	IWDTCLK/256	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

CKS[3:0] ビット (クロック分周比選択ビット)

IWDT は、IWDTCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 1024 ~ 4194304 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始/終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 27.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始/終了位置のカウンタ値を示します。

表27.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 27.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可/禁止期間の関係を示します。

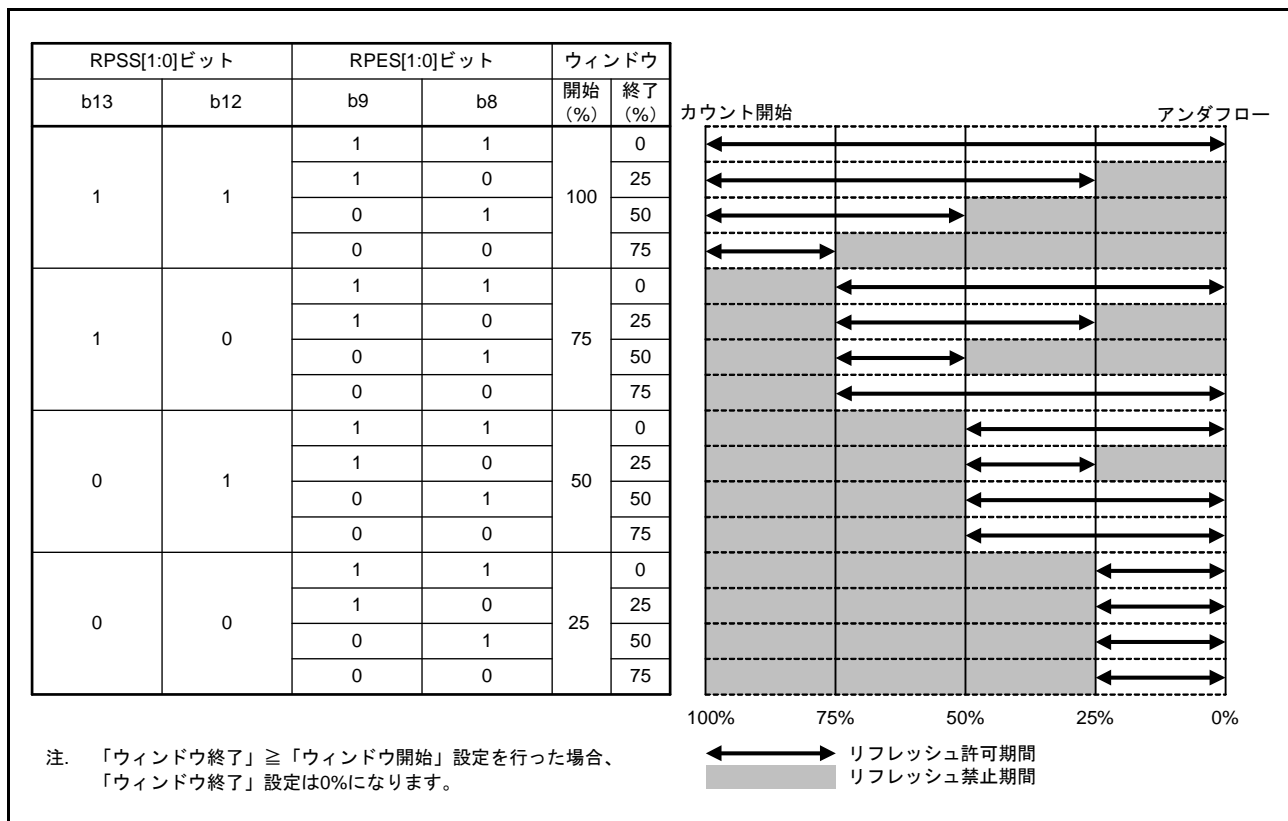


図 27.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

27.2.3 IWDT ステータスレジスタ (IWDTSR)

アドレス 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

IWDTSR レジスタは、IWDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

CNTVAL[13:0] ビット (ダウンカウンタ値ビット)

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

ダウンカウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

27.2.4 IWDT リセットコントロールレジスタ (IWDTRCR)

アドレス 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
RSTIR QS	—	—	—	—	—	—	—	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0: ノンマスクابل割り込み要求出力を許可 1: リセット出力を許可	R/W

IWDTRCR レジスタへの書き込みには制限があります。詳細については、「27.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「27.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

27.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSSTPR)

アドレス 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
SLCST P	—	—	—	—	—	—	—	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0: カウント停止無効 1: スリープモード、ソフトウェアスタンバイモード、 ディープソフトウェアスタンバイモード、および全モ ジュールクロックストップモード遷移時のカウント停 止有効	R/W

IWDTCSSTPR レジスタへの書き込みには制限があります。詳細については、「27.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCSSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCSSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「27.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード遷移時のカウント停止を選択します。

27.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタについては、「27.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

27.3 動作説明

27.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) で行います。

OFS0.IWDTSTRT ビットが“1” (レジスタスタートモード) の場合、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSSTPR) の設定が有効となり、IWDT リフレッシュレジスタ (IWDTRR) へのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが“0” (オートスタートモード) の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

27.3.1.1 レジスタスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が“1”の場合、レジスタスタートモードとなり、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSSTPR) が有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力/割り込み要求出力、また IWDTCSSTPR レジスタに低消費電力モードへの遷移時での IWDT のダウンカウンタのカウント停止制御の設定を行います。その後、リフレッシュ動作でダウンカウンタにタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で選択した値がセットされダウンカウンタを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウンタを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセット出力、または割り込み要求出力の選択は、リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) の設定により行います。

図 27.3 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) : “1” (レジスタスタートモード)
- リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) : “1” (リセット出力許可)
- ウィンドウ開始位置選択ビット (IWDTCR.RPSS[1:0]) : “10b” (75%)
- ウィンドウ終了位置選択ビット (IWDTCR.RPES[1:0]) : “10b” (25%)

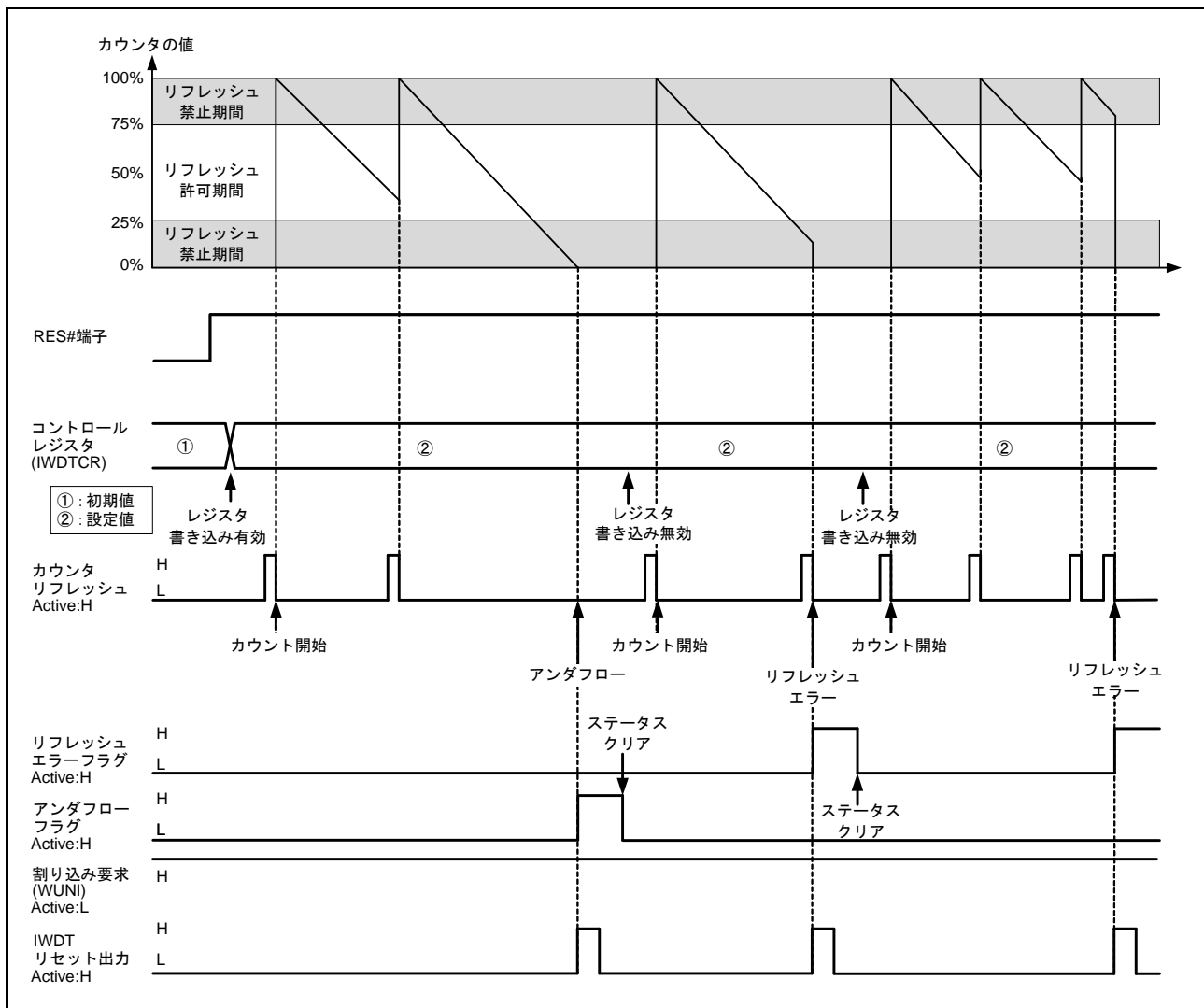


図 27.3 レジスタスタートモード動作例

27.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が “0” の場合、オートスタートモードとなり、IWDT コントロールレジスタ 0 (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSTPR) が無効となります。

また、リセット期間中に OFS0 レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力モードへの遷移時での IWDT のダウンカウンタのカウント停止制御の設定を行います。その後、リセット解除でダウンカウンタに IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスクブル割り込み要求 (WUNI)

を出力します。リセットまたはノンマスカブル割り込み要求を1カウントサイクル出力後、ダウンカウンタはタイムアウト期間をリロードし、カウント動作を再開します。リセット出力、または割り込み要求出力の選択は、IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTRQS) の設定により行います。

図 27.4 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) : “0” (オートスタートモード)
- リセット割り込み要求選択ビット (OFS0.IWDRSTRQS) : “0” (ノンマスカブル割り込み要求出力許可)
- ウィンドウ開始位置選択ビット (OFS0.IWDRPSS[1:0]) : “10b” (75%)
- ウィンドウ終了位置選択ビット (OFS0.IWDRPES[1:0]) : “10b” (25%)

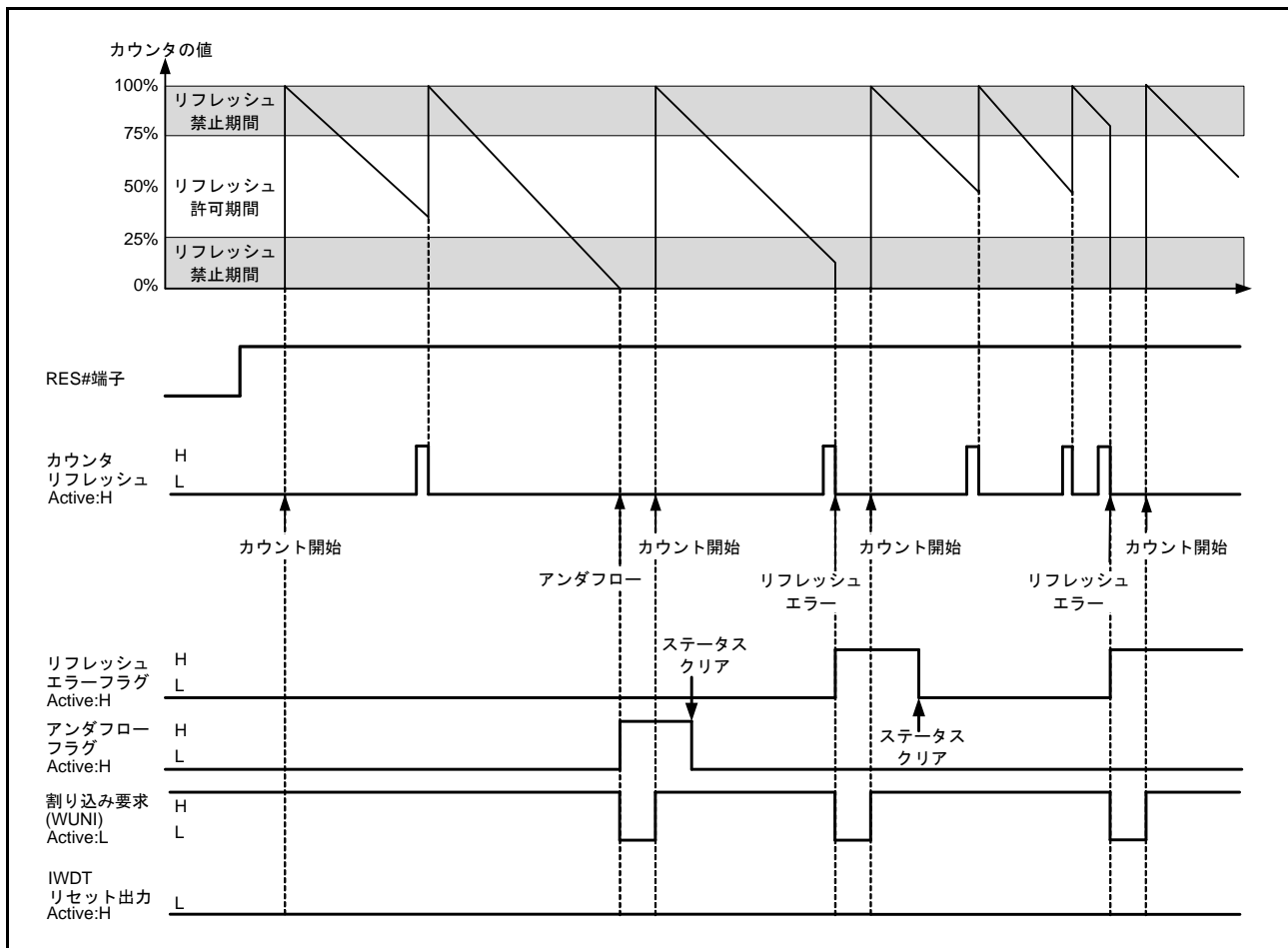


図 27.4 オートスタートモード動作例

27.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSPTPR レジスタ書き込み制御

IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSPTPR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に1回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは IWDTCR、IWDTRCR、または IWDTCSPTPR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が“1”となり、以後 IWDTCR、IWDTRCR、および IWDTCSPTPR レジスタへの書き込みをプロテクトします。

IWDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 27.5 に IWDTCR レジスタ書き込み制御波形を示します。

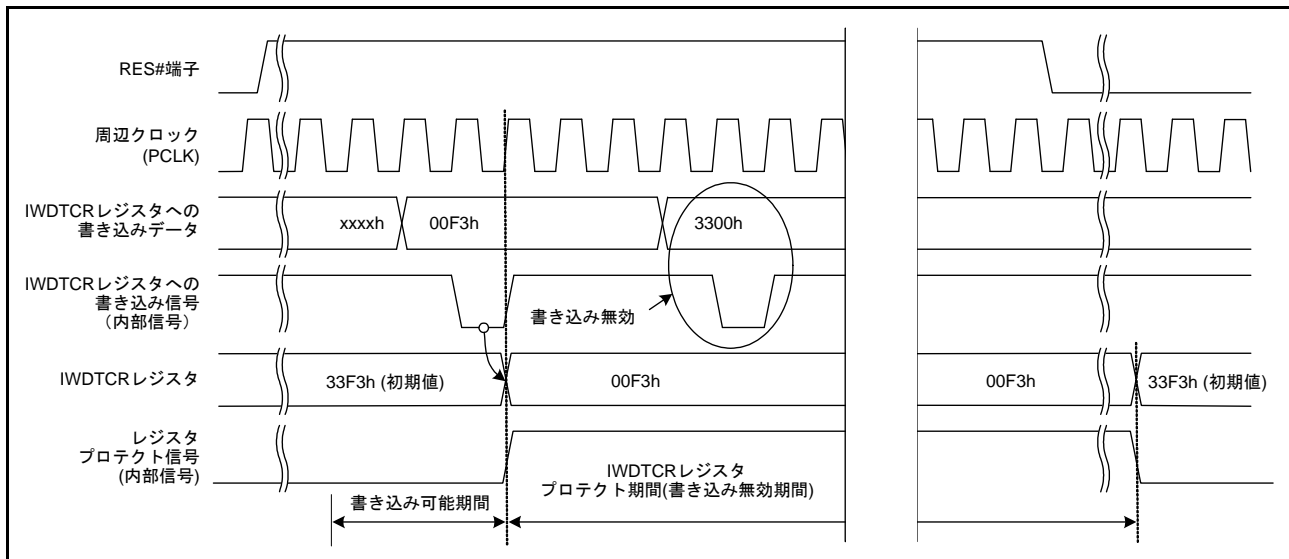


図 27.5 IWDTCR レジスタ書き込み制御波形

27.3.3 リフレッシュ動作

ダウンカウンタのリフレッシュ、およびダウンカウンタ動作開始（リフレッシュによるカウント開始）を行うには、IWDT リフレッシュレジスタ (IWDTRR) へ“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h”（1回目）→“00h”（2回目）の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h”→“FFh”順の書き込み動作が成立するため、“00h”（n-1回目）→“00h”（n回目）→“FFh”のような書き込み動作も有効となり、リフレッシュを行います。“00h”以前の書き込みが“00h”以外でも同様に、“00h”→“FFh”順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h”（n-1回目） → “00h”（n回目） → “FFh”
- “00h” → 別レジスタアクセスまたは IWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h”（“00h”以外） → “FFh”
- “00h” → “54h”（“FFh”以外）
- “00h” → “AAh”（“00h”および“FFh”以外） → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、ダウンカウンタがリフレッシュされるタイミングは、IWDTRRレジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります（1サイクル間のIWDTC専用クロック (IWDTCCLK) 数は、クロック分周比選択ビット (IWDTCR.CKS[3:0]) の設定値により異なります）。そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはダウンカウンタがアンダフローする4カウント前までに、IWDTRRレジスタへの“FFh”書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が“1FFFh”とした場合、IWDTRRレジスタへの“00h”の書き込みが“1FFFh”より前（たとえば“2002h”）であっても、IWDTSR.CNTVAL[13:0]ビットの値が“1FFFh”になってから、IWDTRRレジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が“1FFFh”とした場合、IWDTRRレジスタへ“00h”→“FFh”を書き込み直後にIWDTSR.CNTVAL[13:0]ビットの値を読み出して“2003h”（“1FFFh”の4カウント前）以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合IWDTRRレジスタへ“00h”→“FFh”を書き込み直後にIWDTSR.CNTVAL[13:0]ビットの値を読み出して“0003h”（アンダフローの4カウント前）以上であればアンダフローは発生せず、リフレッシュを行います。

図 27.6 に PCLK > IWDTCCLK、クロック分周比が IWDTCCLK の場合の IWDTC リフレッシュ動作波形を、図 27.7 に PCLK < IWDTCCLK、クロック分周比が IWDTCCLK /16 の場合の IWDTC リフレッシュ動作波形を示します。

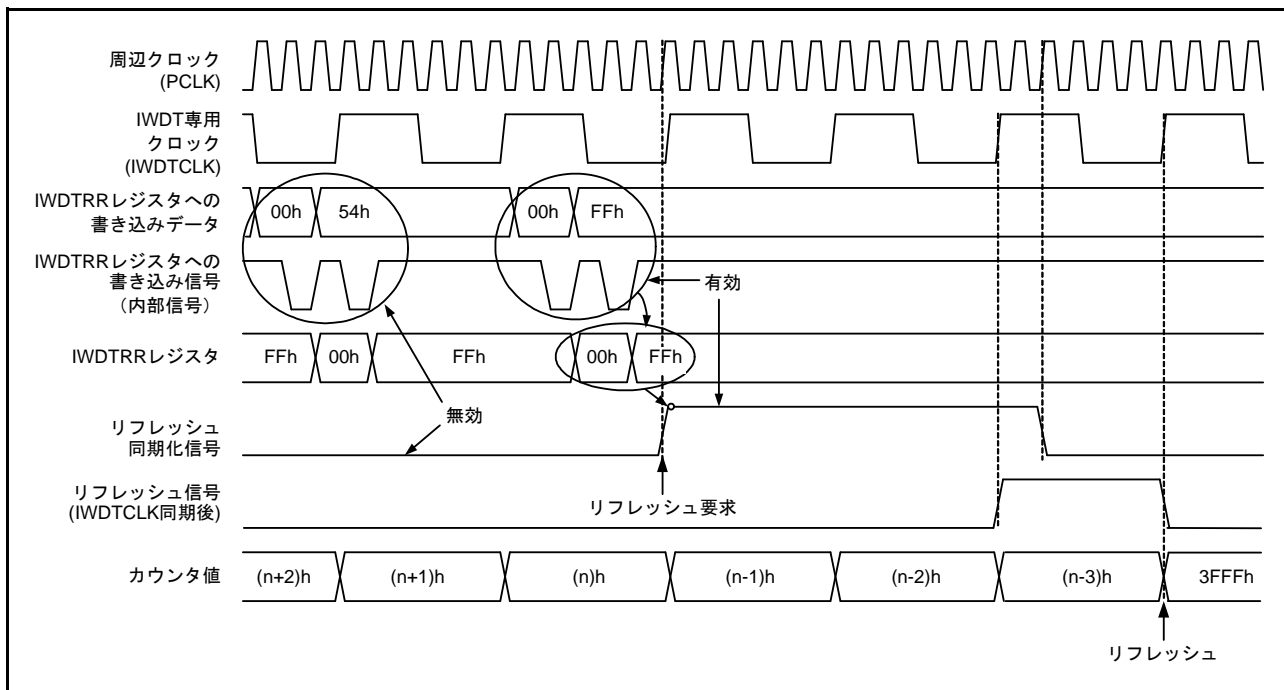


図 27.6 IWDTC リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

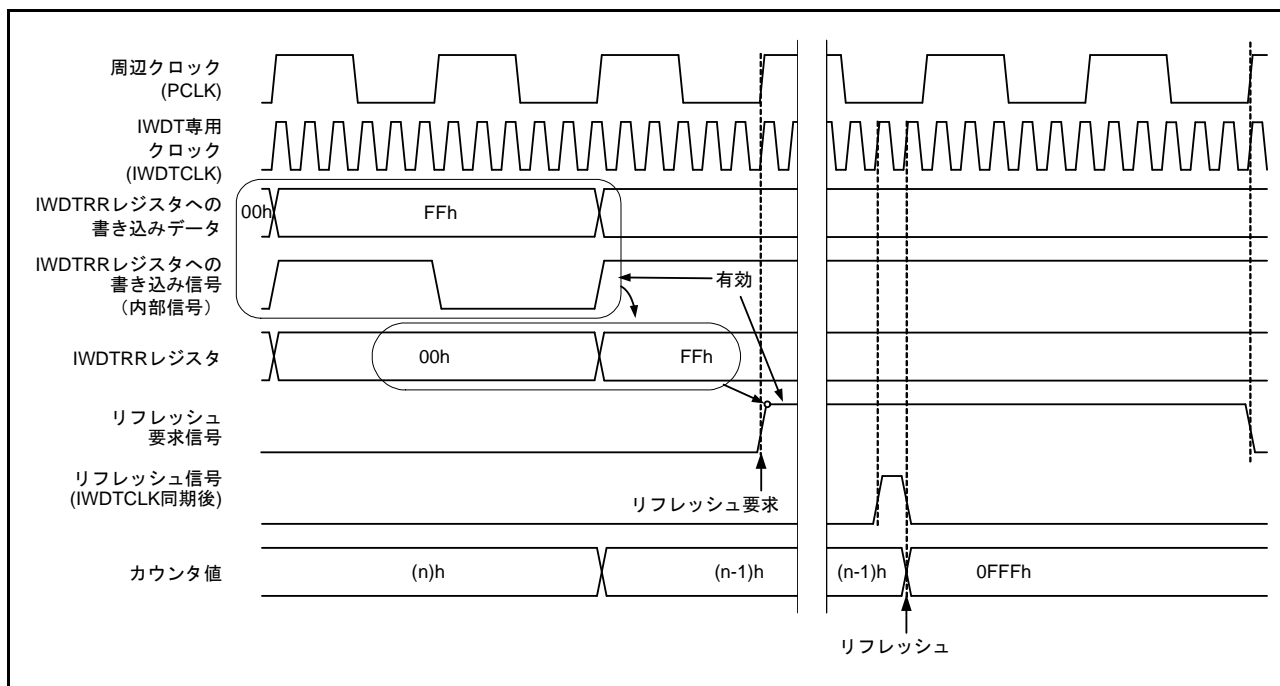


図 27.7 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 01 b)

27.3.4 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF)、アンダフローフラグ (IWDTSR.UNDF) は、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEF フラグ、または IWDTSR.UNDF フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、“0”書き込みによるフラグクリア反映後の値を読み出すためには、IWDTCLK で数クロック（最小 3 クロック）と PCLK で数クロック（最小 2 クロック）必要となります。

27.3.5 リセット出力

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を“1”にした場合、ダウンカウンタのアンダフロー、またはリフレッシュエラーにより、1 カウントサイクル間リセットを出力します。

レジスタスタートモードでは、リセット出力後、ダウンカウンタは初期状態 (ALL“0”) で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

27.3.6 割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ0のIWDTリセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を“0”にした場合、ダウンカウンタのアンダフローまたはリフレッシュエラーが発生したとき、ノンマスクابل割り込み (WUNI) が発生します。

表 27.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	ダウンカウンタのアンダフロー リフレッシュエラー	不可能	不可能

27.3.7 ダウンカウンタ値の読み出し

IWDTのダウンカウンタはIWDT専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDTはカウンタ値を周辺クロック (PCLK) で同期化し、IWDTステータスレジスタのダウンカウンタ値 (IWDTSR.CNTVAL[13:0] ビット) へ格納します。

IWDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しにはPCLKで数クロック (最大4クロック) 必要となるため、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し1カウントずれることがあります。

図 27.8 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT ダウンカウンタ値の読み出し処理を、図 27.9 に PCLK < IWDTCLK、クロック分周比が IWDTCLK /16 の場合の IWDT ダウンカウンタ値の読み出し処理を示します。

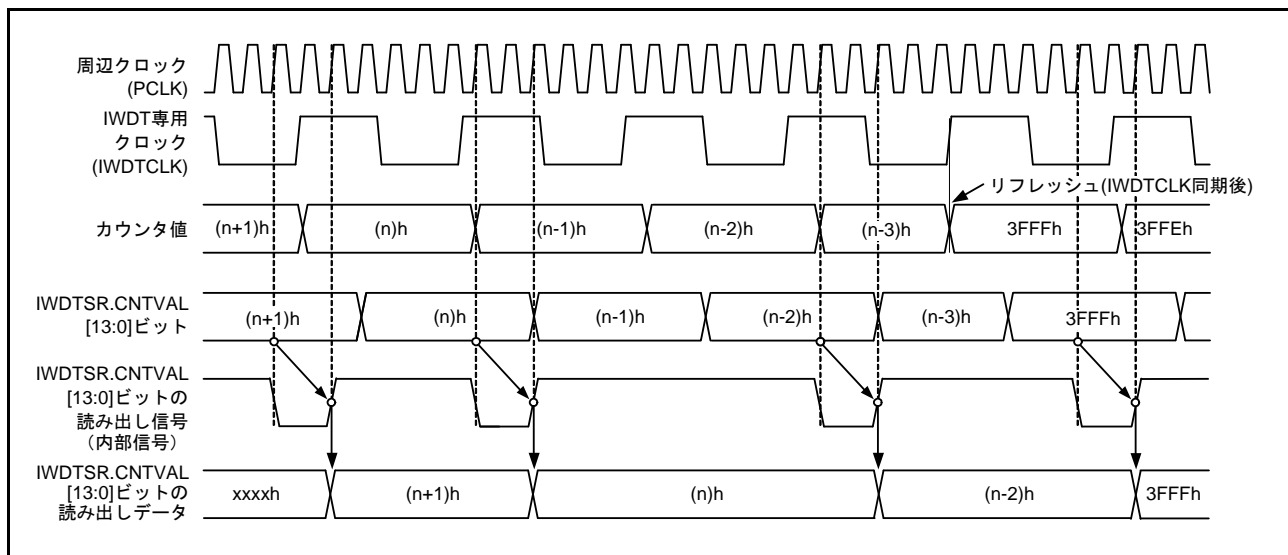


図 27.8 IWDT ダウンカウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

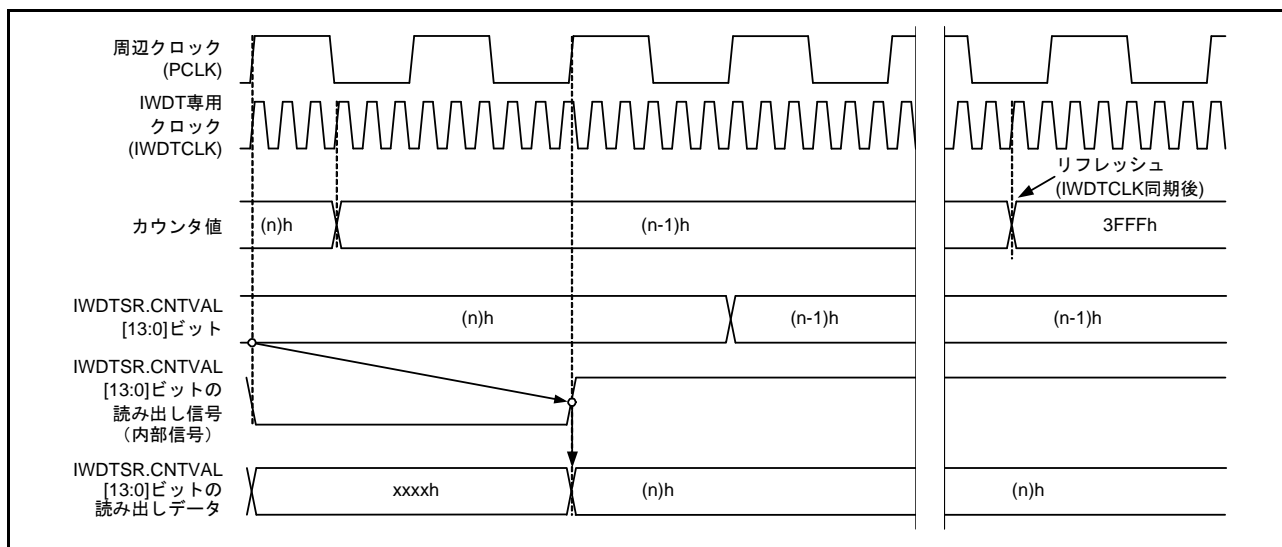


図 27.9 IWDT ダウンカウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 11b)

27.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 27.5 にオプション機能選択レジスタ 0 (OFS0) によるダウンカウンタ制御、リセット出力または割り込み要求出力制御、カウント停止制御と IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSSTPR) の対応を示します。OFS0 レジスタと IWDTCR、IWDTRCR、IWDTCSSTPR レジスタ制御の有効/無効切り替えは、IWDT スタートモード選択ビット (OFS0.IWDTSTRT) にて行います。

なお、OFS0 レジスタの設定は、IWDT 動作中は固定してください。

OFS0 レジスタについては、「8.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 27.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDTRCR.RSTIRQS
カウント停止	スリープモードカウント停止選択	OFS0.IWDTSLCSTP	IWDTCSSTPR.SLCSTP

27.4 使用上の注意事項

27.4.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLK と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定ください。

28. USB2.0ホスト/ファンクションモジュール (USBa)

28.1 概要

本 MCU は、USB2.0ホスト/ファンクションモジュール (USB0) の1ポートを内蔵しています。

USBは、ホストコントローラとファンクションコントローラを備えたUSBコントローラです。

ホストコントローラと、ファンクションコントローラは、USB (Universal Serial Bus) 規格 2.0 のフルスピード転送に対応します。また、USBはUSBトランシーバを内蔵し、USB規格で定義されている全転送タイプに対応しています。

データ転送用にバッファメモリを内蔵し、最大10本のパイプを使用できます。また、パイプ1～9に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

表 28.1 に USB の仕様を示します。

表28.1 USBの仕様

項目	内容
特長	<ul style="list-style-type: none"> • USB2.0に対応したUDC (USB Device Controller) およびトランシーバを内蔵 1ポート内蔵 • USB0: ホストコントローラ機能/ファンクションコントローラ機能/OTGに対応 • ホストコントローラとファンクションコントローラを内蔵 (ソフトウェアで切り替え可能) • セルフパワーモードおよびバスパワーモードを選択可能 • OTG (ON-The-Go) に対応
	ホストコントローラ機能選択時 <ul style="list-style-type: none"> • フルスピード転送 (12Mbps) に対応 (注1) • ハブを1段経由し、複数の周辺デバイスと接続し通信が可能 • SOF、パケット送信のスケジュールを自動化 • アイソクロナス転送、インタラプト転送の転送インターバル設定機能
	ファンクションコントローラ機能選択時 <ul style="list-style-type: none"> • フルスピード転送 (12Mbps) に対応 (注1) • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESSリクエストに対する自動応答機能 • SOF補完機能
通信データ転送タイプ	<ul style="list-style-type: none"> • コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
内部バスインタフェース	内部周辺バス3に接続
パイプコンフィギュレーション	<ul style="list-style-type: none"> • USB通信用バッファメモリを内蔵 • 最大10本のパイプを選択可能 (デフォルトコントロールパイプを含む) • パイプ1～9は任意のエンドポイント番号を割り付け可能 各パイプの設定可能な転送条件 <ul style="list-style-type: none"> • パイプ0: コントロール転送専用のパイプ (デフォルトコントロールパイプ: DCP)、バッファサイズは8/16/32/64バイト (シングルバッファ) • パイプ1, 2: バルク転送またはアイソクロナス転送を選択可能なパイプ、バッファサイズはバルク転送時バッファサイズは8/16/32/64バイト (ダブルバッファ指定可能)、アイソクロナス転送時 1～256バイト (ダブルバッファ指定可能) • パイプ3～5: バルク転送専用のパイプ、バッファサイズは8/16/32/64バイト (ダブルバッファ指定可能) • パイプ6～9: インタラプト転送専用のパイプ、1～64バイト (シングルバッファ)
その他の機能	<ul style="list-style-type: none"> • トランザクションカウントによる受信トランスファ終了機能 • BRDY割り込みイベント通知タイミング変更機能 (BFRE) • DnFIFO (n = 0, 1) ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能 (DCLRM) • トランスファ終了による応答PIDのNAK設定機能 (SHTNAK)
消費電力低減機能	モジュールストップ状態への設定が可能

注1. ロースピード転送 (1.5Mbps) には対応していません。

図 28.1 に USB のブロック図を示します。

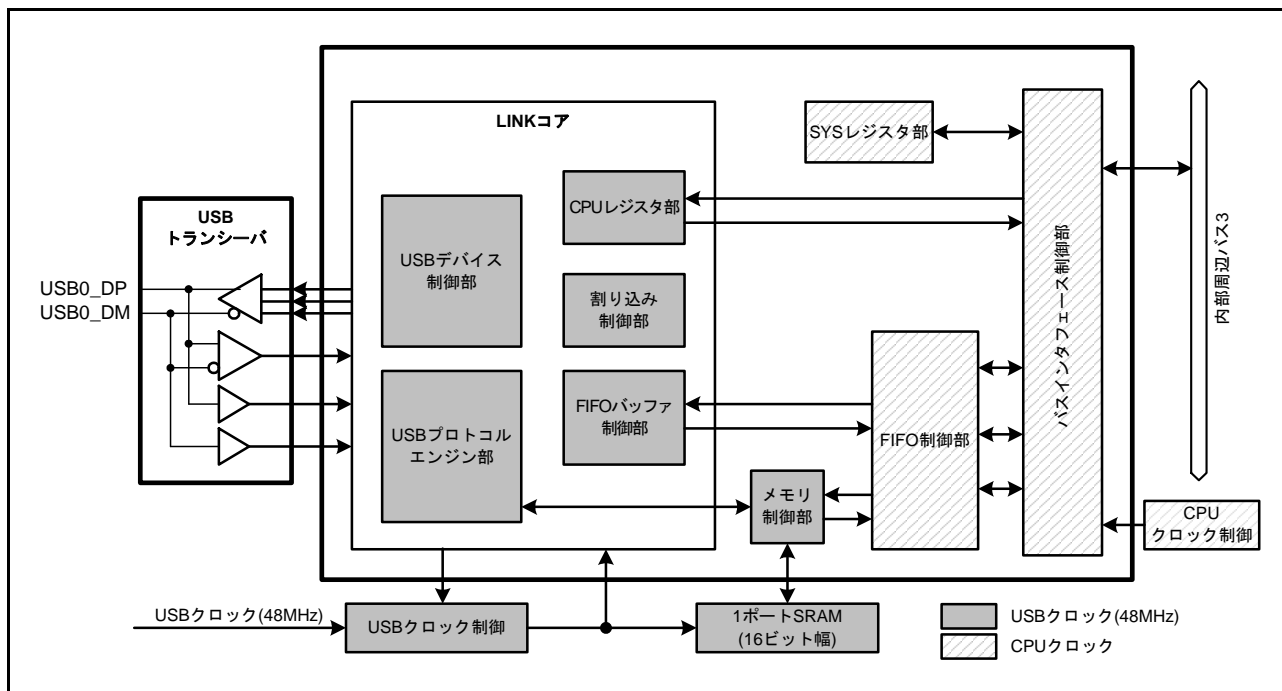


図 28.1 USB のブロック図

表 28.2 に USB の入出力端子を示します。

表 28.2 USBの入出力端子

ポート	端子名	入出力	機能
USB0	USB0_DP	入出力	ポート0 USB内蔵トランシーバD+入出力端子。USBバスのD+端子に接続してください
	USB0_DM	入出力	ポート0 USB内蔵トランシーバD-入出力端子。USBバスのD-端子に接続してください
	USB0_VBUS	入力	ポート0 USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。ファンクション動作時のVBUSの接続/切断を検出することができます
	USB0_EXICEN	出力	ポート0 外部電源 (OTG) チップのローパワー制御信号
	USB0_VBUSEN	出力	ポート0 外部電源チップへのVBUS (5V) の供給許可信号
	USB0_OVRCURA USB0_OVRCURB	入力	ポート0 外部オーバカレント検出信号を接続します。また、OTG電源チップとの接続時にはVBUSコンパレータ信号を接続します
	USB0_ID	入力	ポート0 OTG動作時miniABコネクタのID入力信号を接続します
	USB0_DPUPE	出力	ポート0 ファンクション動作時のUSB D+信号の1.5kΩプルアップ抵抗の制御信号
	USB0_DPRPD USB0_DRPD	出力	ポート0 ホスト動作時のUSB D+およびD-信号の15kΩプルダウン抵抗の制御信号
共通	VCC_USB	入力	USB用電源端子
	VSS_USB	入力	USB用グランド端子

28.2 レジスタの説明

28.2.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

アドレス USB0.SYSCFG 000A 0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SCKE	—	—	—	DCFM	DRPD	DPRPU	—	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USB動作許可ビット	0 : USBの動作禁止 1 : USBの動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DPRPU	D+ライン抵抗制御ビット	0 : プルアップ禁止 1 : プルアップ許可	R/W
b5	DRPD	D+/D-ライン抵抗制御ビット	0 : プルダウン禁止 1 : プルダウン許可	R/W
b6	DCFM	コントローラ機能選択ビット	0 : ファンクションコントローラ機能を選択 1 : ホストコントローラ機能を選択	R/W
b9-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	SCKE	USBクロック許可ビット	0 : USBへのクロック供給停止 1 : USBへのクロック供給許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

USBE ビット (USB 動作許可ビット)

USB の動作禁止 / 許可を指定します。

USBE ビットを“1”から“0”に変更したときに初期化されるレジスタとビットを表 28.3 に示します。

USBE ビットの変更は、SCKE ビットが“1”のときに行ってください。

ホストコントローラ機能選択時は、DRPD ビットを“1”にした後、SYSSTS0.LNST[1:0] ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、USBE ビットを“1”にしてください。

表 28.3 USBE ビットへの“0”書き込みにより初期化されるレジスタ

選択機能	レジスタ	ビット	備考
ファンクションコントローラ機能	SYSSTS0	LNST[1:0]	ホストコントローラ機能選択時は値保持
	DVSTCTR0	RHST[2:0]	
	INTSTS0	DVSQ[2:0]	ホストコントローラ機能選択時は値保持
	USBADDR	USBADDR[6:0]	ホストコントローラ機能選択時は値保持
	USBREQ	BREQUEST[7:0]、 BMREQUESTTYPE[7:0]	ホストコントローラ機能選択時は値保持
	USBVAL	WVALUE[15:0]	ホストコントローラ機能選択時は値保持
	USBINDX	WINDEX[15:0]	ホストコントローラ機能選択時は値保持
	USBLENG	WLENGTH[15:0]	ホストコントローラ機能選択時は値保持
ホストコントローラ機能	DVSTCTR0	RHST[2:0]	
	FRMNUM	FRNM[10:0]	ファンクションコントローラ機能選択時は値保持

DPRPU ビット (D+ ライン抵抗制御ビット)

ファンクションコントローラ機能選択時、D+ ラインのプルアップの禁止 / 許可を指定します。

ファンクションコントローラ機能選択時に DPRPU ビットを“1”にすると、USB は USBm_DPUPE 端子をアサートし、USB ホストに対してアタッチを通知することができます。また、DPRPU ビットを“1”から“0”に変更することにより、USB は USBm_DPUPE 端子をネゲートしますので、USB ホストに対してデタッチしたと見せることができます。

DPRPU ビットへの“1”書き込みは、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、“0”にしてください。

DRPD ビット (D+/D- ライン抵抗制御ビット)

ホストコントローラ機能選択時、USB0_DPRPD 端子および USB0_DRPD 端子により D+/D- ラインのプルダウンの禁止 / 許可を指定します。

DRPD ビットへの“1”書き込みは、ホストコントローラ機能選択時に行ってください。

ファンクションコントローラ機能選択時は、DRPD ビットを“0”にしてください。

DCFM ビット (コントローラ機能選択ビット)

USB0 の機能を選択します。

DCFM ビットの変更は、DPRPU ビットが“0”かつ DRPD ビットが“0”のときに行ってください。

SCKE ビット (USB クロック許可ビット)

USB への 48MHz クロック供給の停止 / 許可を指定します。

SCKE ビットが“0”の場合、SYSCFG レジスタのみ、読み出し / 書き込みができます。

USB 内の他のレジスタは、SCKE ビットが“0”の場合には、読み出し / 書き込みはできません。

28.2.2 システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)

アドレス USB0.SYSSTS0 000A 0004h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OVCMON[1:0]	—	—	—	—	—	—	—	HTACT	—	—	—	IDMON	LNST[1:0]		
リセット後の値 0 (注1)	0 (注1)	0	0	0	0	0	0	0	0	0	0	0	0 (注1)	0	0

注1. USB0_OVRCURA/USB0_OVRCURB端子およびUSB0_ID端子の状態に依存します。

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USBデータラインステータスマニタビット	b1 b0 0 0 : SE0 0 1 : J-State 1 0 : K-State 1 1 : SE1	R
b2	IDMON	USB0_ID入力端子モニタビット	USB0_ID端子のステータスが表示されます	R
b5-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6	HTACT	USBホストシーケンサステータスマニタビット	0 : USB0のホストシーケンサが完全に停止している 1 : USB0のホストシーケンサが完全に停止していない	R
b13-b7	—	予約ビット	読むと“0”が読み出されます。書き込みは無効になります	R
b15-b14	OVCMON[1:0]	外部USB0_OVRCURA/USB0_OVRCURB入力端子モニタビット	OVCMON[1]ビットにUSB0_OVRCURA端子の状態が表示されます OVCMON[0]ビットにUSB0_OVRCURB端子の状態が表示されます	R

LNST[1:0] ビット (USB データラインステータスマニタビット)

USB データバスライン (D+ ライン、D- ライン) のステータスが表示されます。

LNST[1:0] ビットの参照は、ファンクションコントローラ機能選択時にはアタッチ処理 (SYSCFG.DPRPU ビットを“1”にする) 以後、ホストコントローラ機能選択時には、プルダウン許可 (SYSCFG.DRPD ビットを“1”にする) 以後に行ってください。

HTACT ビット (USB ホストシーケンサステータスマニタビット)

USB0 のホストシーケンサが完全に停止しているときに、HTACT ビットに“0”を示します。

USB0 のクロックを停止させるときには、HTACT ビットが“0”であることを確認してください。

OVCMON[1:0] ビット (外部 USB0_OVRCURA/USB0_OVRCURB 入力端子モニタビット)

外部電源チップからのオーバカレントのステータスが表示されます。

28.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTR0)

アドレス USB0.DVSTCTR0 000A 0008h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	HNPBTO A	EXICEN	VBUSEN	WKUP	RWUPE	USBRST	RESUM E	UACT	—	RHST[2:0]		
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータスビット	<ul style="list-style-type: none"> ホストコントローラ機能選択時 b2 b0 0 0 0 : 通信速度不定 (パワード時あるいは非接続時) 1 x x : USBバスリセット処理中 0 0 1 : ロースピード接続時 (注1) 0 1 0 : フルスピード接続時 x : Don't care ファンクションコントローラ機能選択時 b2 b0 0 0 0 : 通信速度不定 0 1 0 : USBバスリセット処理中または、フルスピード接続時 	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	UACT	USBバス許可ビット	0 : ダウンポート動作禁止 (SOF送出禁止) 1 : ダウンポート動作許可 (SOF送出許可)	R/W
b5	RESUME	レジューム出力ビット	0 : レジューム信号非出力 1 : レジューム信号出力	R/W
b6	USBRST	USBバスリセット出力ビット	0 : USBバスリセット信号非出力 1 : USBバスリセット信号出力	R/W
b7	RWUPE	ウェイクアップ検出許可ビット	0 : ダウンポートリモートウェイクアップ出力禁止 1 : ダウンポートリモートウェイクアップ許可	R/W
b8	WKUP	ウェイクアップ出力ビット	0 : リモートウェイクアップ信号非出力 1 : リモートウェイクアップ信号出力	R/W
b9	VBUSEN	USB0_VBUSEN出力端子制御ビット	VBUSENビット値がそのまま外部USB0_VBUSEN端子の状態として出力されます	R/W
b10	EXICEN	USB0_EXICEN出力端子制御ビット	EXICENビット値がそのまま外部USB0_EXICEN端子の状態として出力されます	R/W
b11	HNPBTOA	ホストネゴシエーションプロトコル (HNP) 制御ビット	OTGにて使用時に、BデバイスからAデバイスに切り替える時に使用します。HNPBTOAビットが“1”であれば、内部ファンクション制御はSYSCFG.DPRPU=“0”またはSYSCFG.DCFM=“1”にしてもHNP処理が終了するまでサスペンド状態を維持します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. USBコントローラはロースピードデバイスとの通信はサポートしていません。本値が読み出されたときには上位アプリにて異常接続処理をしてください。

RHST[2:0] ビット (USB バスリセットステータスビット)

USB バスリセットの状態を表示します。

ホストコントローラ機能選択時に、ソフトウェアで USBRST ビットに“1”を書いた後、RHST[2:0] ビットは“100b”を示します。

ソフトウェアが USBRST ビットに“0”を書き、USB が SE0 ドライブを終了した時点で、USB は RHST[2:0] ビットの値を確定します。

ファンクションコントローラ機能選択時に、USB が USB バスリセットを検出すると、RHST[2:0] ビットは“010b”を示し、DVST 割り込みが発生します。

UACT ビット (USB バス許可ビット)

ホストコントローラ機能選択時に、USB バス動作許可 (USB バス上への SOF パケットの送出制御) を行います。

UACT ビットを“1”にすると、USB0 は USB ポートを USB バス許可状態にし、SOF パケット出力およびデータ送受信を行います。

ソフトウェアが UACT ビットに“1”を書いた後、1 フレーム時間以内に SOF パケット出力を開始します。

UACT ビットを“0”にした場合、USB0 は SOF パケット出力後アイドル状態に遷移します。

以下の場合に、USB0 は UACT ビットを“0”にします。

- 通信中 (UACT ビットが“1”のとき) に DTCH 割り込みを検出した場合
- 通信中 (UACT ビットが“1”のとき) に EOFERR 割り込みを検出した場合

UACT ビットに“1”を書くときは、USB バスリセット処理終了時 (USBRST ビットへの“0”書き込み)、または、サスペンドからのレジューム処理終了時 (RESUME ビットへの“0”書き込み) のいずれかのタイミングで行ってください。

ファンクションコントローラ機能選択時は、“0”にしてください。

RESUME ビット (レジューム出力ビット)

ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。

RESUME ビットを“1”にすると、USB0 はポートを K-State ドライブし、レジューム出力を行います。また、RWUPE ビットが“1”かつサスペンド中にリモートウェイクアップ信号を検出すると、USB0 は RESUME ビットを“1”にし、同様の動作を行います。

USB0 は、RESUME ビットが“1”の期間 (ソフトウェアが RESUME ビットに“0”を書き込むまで) K-State 出力を継続します。RESUME ビットが“1”の期間 (レジューム期間) は USB Specification2.0 に準拠した時間を確保してください。

RESUME ビットへの“1”書き込みは、サスペンド中にのみ行ってください。

レジューム終了 (RESUME ビットへの“0”書き込み) と同時に UACT ビットに“1”を書いてください。

ファンクションコントローラ機能選択時は、“0”にしてください。

USBRST ビット (USB バスリセット出力ビット)

ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。

ホストコントローラ機能選択時、USBRST ビットを“1”にすると、USB0 は USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。

USB0 は、USBRST ビットが“1”の期間 (ソフトウェアが USBRST ビットに“0”を書くまで) SE0 出力を継続します。USBRST ビットが“1”の期間 (USB バスリセット期間) は USB Specification2.0 に準拠した時間を確保してください。

通信中 (UACT ビットが“1”) またはレジューム中 (RESUME ビットが“1”) に USBRST ビットに“1”を書いた場合、USB0 は UACT ビットが“0”かつ RESUME ビットが“0”の状態になるまで USB バスリセットを開始しません。

USB バスリセット終了 (USBRST ビットへの“0”書き込み) と同時に UACT ビットに“1”を書いてください。
ファンクションコントローラ機能選択時は、“0”にしてください。

RWUPE ビット (ウェイクアップ検出許可ビット)

ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ (レジェーム信号出力) の禁止 / 許可を指定します。

RWUPE ビットを“1”にすると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジェーム信号 (2.5 μ s 間の K-State) を検出し、レジェーム処理 (K-State のドライブ) を行います。

RWUPE ビットを“0”にした場合、USB0 が USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を検出しても無視します。

RWUPE ビットを“1”にしたときには、サスペンド中であっても内部クロックを停止しないでください (SYSCFG.SCKE ビットを“1”にしてください)。

ファンクションコントローラ機能選択時は、“0”にしてください。

WKUP ビット (ウェイクアップ出力ビット)

ファンクションコントローラ機能選択時に、USB バス上へのリモートウェイクアップ (レジェーム信号出力) 禁止 / 許可を指定します。

USB は、リモートウェイクアップ信号の出力時間を管理しています。WKUP ビットを“1”にすると、USB は 10ms の K-State を出力した後、WKUP ビットを“0”にします。

USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、USB は、サスペンド状態を検出した直後に WKUP ビットに“1”を書いて、2ms 待ってから K-State を出力します。

WKUP ビットへの“1”書き込みは、デバイスステートがサスペンド (INTSTS0.DVSSQ[2:0] ビットが“1xxb”) であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。WKUP ビットを“1”にする場合は、サスペンド中であっても内部クロックを停止しないでください。(SYSCFG.SCKE ビットが“1”の状態 WKUP ビットに“1”を書いてください)。

ホストコントローラ機能選択時は、“0”を書いてください。

HNPBTOA ビット (ホストネゴシエーションプロトコル (HNP) 制御ビット)

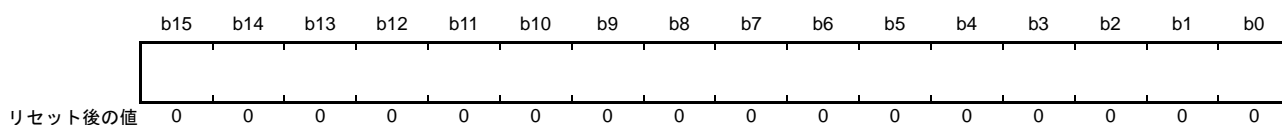
OTG にて使用時に、B デバイスから A デバイスに切り替えるときに使用します。HNPBTOA ビットが“1”であれば、内部ファンクション制御は SYSCFG.DPRPU ビットを“0”または SYSCFG.DCFM ビットを“1”にしても HNP 処理が終了するまでサスペンド状態を維持します。このとき、D+ の立ち下がりを検出しても、レジェーム (RESM) 割り込みは発生しません。

“1”にした後、ホストアタッチ (相手のプルアップ) 検出または HNP 処理タイムアウト時に FW にて“0”を書き、HNP 処理を終了させます。

28.2.4 CFIFO ポートレジスタ (CFIFO) D0FIFO ポートレジスタ (D0FIFO) D1FIFO ポートレジスタ (D1FIFO)

(1) MBW ビットが“1”の場合

アドレス USB0.CFIFO 000A 0014h、USB0.D0FIFO 000A 0018h、USB0.D1FIFO 000A 001Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

(2) MBW ビットが“0”の場合

アドレス USB0.CFIFO 000A 0014h、USB0.D0FIFO 000A 0018h、USB0.D1FIFO 000A 001Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	L[7:0]	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の3つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータの読み出し/書き込みを行うポートレジスタ (CFIFO、D0FIFO、D1FIFO) 以外に、FIFO ポートに割り当てるパイプを選択するポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)、ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR) で構成されています。

各 FIFO ポートには、下記に示す特長があります。

- DCP (コントロール転送) 用 FIFO バッファへのアクセスは、CFIFO ポートを通して行ってください。
- DMA転送/DTC転送によるFIFOバッファアクセスはD0FIFOあるいはD1FIFOポートを通して行ってください。
- CPUによるD1FIFOあるいはD0FIFOポートアクセスも可能です。
- FIFO ポート固有の機能を使用する場合は、ポート選択レジスタの CURPIPE[3:0] ビットに設定するパイプ番号 (選択パイプ) を変更できません (DMA 転送/DTC 転送機能使用時など)。
- FIFO ポートを構成するレジスタ群は、他の FIFO ポートに影響を与えることはありません。
- 同一パイプを別々の FIFO ポートに割り当てないでください。
- FIFO バッファの状況には、アクセス権が CPU 側にある場合と SIE 側にある場合の2種類があります。FIFO バッファのアクセス権が SIE 側にある場合は、CPU からアクセスができません。

FIFOPORT[15:0] ビット (FIFO ポートビット)

FIFO ポートビットにアクセスすることにより、FIFO バッファからの受信データの読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。

FIFO ポートレジスタへのアクセスは、FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR) の FRDY ビットが“1”を示しているときのみ可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL) の MBW ビットの設定値により異なります。

MBW ビットが“1” (16 ビット幅) の場合は、MDE 端子の状態と、BIGEND ビット (CFIFOSEL.BIGEND、D0FIFOSEL.BIGEND、D1FIFOSEL.BIGEND) の設定値との関係により、RAM 上とデータ配置が変わる場合があります。16 ビットアクセス時のエンディアン動作を表 28.4 に示します。なお、送信データ総数が奇数バイトの場合、最後のデータを書くときは L[7:0] ビットにバイトアクセスしてください。

MBW ビットが“0” (8 ビット幅) の場合は、L[7:0] ビットにバイトアクセスしてください。

表 28.4 16 ビットアクセス時のエンディアン動作表

MDMONR.MDE フラグ	CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット 15~8	ビット 7~0	備考
0 (リトルエンディアン)	0 (リトルエンディアン)	N+1 番地のデータ	N 番地のデータ	
	1 (ビッグエンディアン)	N 番地のデータ	N+1 番地のデータ	バイト逆転あり
1 (ビッグエンディアン)	0 (リトルエンディアン)	N+1 番地のデータ	N 番地のデータ	バイト逆転あり
	1 (ビッグエンディアン)	N 番地のデータ	N+1 番地のデータ	

28.2.5 CFIFO ポート選択レジスタ (CFIFOSEL) D0FIFO ポート選択レジスタ (D0FIFOSEL) D1FIFO ポート選択レジスタ (D1FIFOSEL)

- CFIFOSEL

アドレス USB0.CFIFOSEL 000A 0020h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE [3:0]	CFIFOポートアクセスパイプ指定ビット	b3 b0 0000: DCP (デフォルトコントロールパイプ) 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外: 設定しないでください	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ISEL	DCP選択時のCFIFOポートアクセス方向ビット	0: バッファメモリ読み出し選択 1: バッファメモリ書き込み選択	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	CFIFOポートエンディアン制御ビット	0: リトルエンディアン 1: ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	CFIFOポートアクセスビット幅ビット	0: 8ビット幅 1: 16ビット幅	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	REW	バッファポインタリワインドビット	0: バッファポインタリワインドしない 1: バッファポインタリワインドする	R/W (注1)
b15	RCNT	リードカウントモードビット	0: CFIFOの全受信データ読み出し終了時にDTLN[8:0]ビットを“0”クリア (ダブルバッファの場合は一面のみ読み出し終了時) 1: CFIFO受信データ読み出しごとにDTLN[8:0]ビットをカウントダウン	R/W

注1. 読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットの設定が“0000b”の場合には、パイプ指定なしとなります。

なお、DMA 転送 /DTC 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット (CFIFO ポートアクセスパイプ指定ビット)

CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットを書き戻した後、続けてアクセスすることができます。

ISEL ビット (DCP 選択時の CFIFO ポートアクセス方向ビット)

選択パイプが DCP のときに、ISEL ビットを変更するときは、ISEL ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

ISEL ビットの設定は、CURPIPE[3:0] ビットの設定と同時に行ってください。

MBW ビット (CFIFO ポートアクセスビット幅ビット)

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、選択パイプが受信方向の場合、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

REW ビット (バッファポインタリワインドビット)

バッファポインタのリワインドをする/しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを“1”にすると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW ビットを“1”にすることと CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを“1”にするときは、FRDY ビットが“1”であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

- D0FIFOSEL、D1FIFOSEL

アドレス USB0.D0FIFOSEL 000A 0028h、USB0.D1FIFOSEL 000A 002Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE [3:0]	FIFOポートアクセスパイプ指定ビット	b3 b0 0000: DCP (デフォルトコントロールパイプ) 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外: 設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	FIFOポートエンディアン制御ビット	0: リトルエンディアン 1: ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	FIFOポートアクセスビット幅ビット	0: 8ビット幅 1: 16ビット幅	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	DREQE	DMA転送/DTC転送要求許可ビット	0: DMA転送/DTC転送要求禁止 1: DMA転送/DTC転送要求許可	R/W
b13	DCLRM	選択パイプのデータ読み出し後の自動バッファメモリクリアモード	0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可	R/W
b14	REW	バッファポインタリワインドビット	0: バッファポインタリワインドしない 1: バッファポインタリワインドする	R/W (注1)
b15	RCNT	リードカウントモードビット	0: DnFIFOの全受信データ読み出し終了時にDTLN[8:0]ビットを“0”クリア (ダブルバッファの場合は一面のみ読み出し終了時) 1: DnFIFO受信データ読み出しごとにDTLN[8:0]ビットをカウントダウン (n = 0, 1)	R/W

注1. 読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットを“0000b”にした場合には、パイプ指定なしとなります。

なお、DMA 転送 /DTC 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット (FIFO ポートアクセスパイプ指定ビット)

D0FIFO/D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

MBW ビット (FIFO ポートアクセスビット幅ビット)

D0FIFO ポート、D1FIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また選択パイプが受信方向の場合、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

DREQE ビット (DMA 転送 /DTC 転送要求許可ビット)

DMA 転送 /DTC 転送要求発行の禁止 / 許可を指定します。

DMA 転送 /DTC 転送要求発行を許可する場合、CURPIPE[3:0] ビット設定後に DREQE ビットを“1”にしてください。

CURPIPE[3:0] ビットの設定を変更するときには、CURPIPE[3:0] ビットを“0”にした後で変更を行ってください。

DCLRM ビット (選択パイプのデータ読み出し後の自動バッファメモリクリアモード)

選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止 / 許可を指定します。

DCLRM ビットを“1”にした場合、選択パイプに割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または PIPECFG.BFRE ビットを“1”にしたときにショートパケットを受信しデータ読み出しを完了時に、FIFO バッファへの BCLR ビットへの“1”書き込みを USB が行います。

SOFCFG.BRDYM ビットを“1”にして USB を使用するときには、DCLRM ビットを“0”にしてください。

REW ビット (バッファポインタリワインドビット)

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを“1”にすると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW ビットを“1”にすることと“1”の設定と CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを“1”にするときは、FRDY ビットが“1”であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

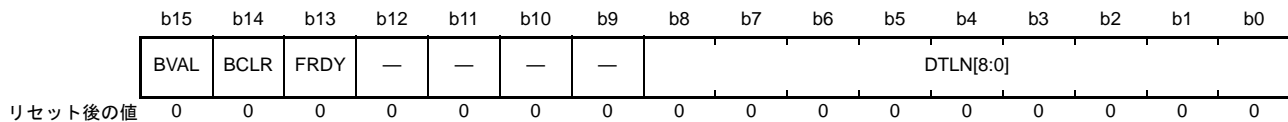
RCNT ビット (リードカウントモードビット)

CFIFOCTR.DTLN ビットの読み出しモードを指定します。

PIPECFG.BFRE ビットを“1”にして DnFIFO にアクセスを行う場合は、RCNT ビットを“0”にしてください。

28.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR) D0FIFO ポートコントロールレジスタ (D0FIFOCTR) D1FIFO ポートコントロールレジスタ (D1FIFOCTR)

アドレス USB0.CFIFOCTR 000A 0022h、USB0.D0FIFOCTR 000A 002Ah、USB0.D1FIFOCTR 000A 002Eh



ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長表示ビット	受信データ長が表示されます。ポート選択レジスタのRCNTビットの設定により、表示が異なります。詳細は下記DTLN[8:0]ビットの説明を参照してください	R
b12-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	FRDY	FIFOポートレディビット	0: FIFOポートアクセス不可能 1: FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリアビット	0: 無効 1: CPU側バッファメモリクリア	R/W (注1)
b15	BVAL	バッファメモリ有効フラグ	0: 無効 1: 書き込み終了	R/W

注1. 読むと“0”が読めます。

CFIFOCTR、D0FIFOCTR、D1FIFOCTR レジスタは、各 FIFO ポートに対応しています。

DTLN[8:0] ビット (受信データ長表示ビット)

受信データ長が表示されます。

FIFO バッファ読み出し中の DTLN[8:0] ビットの値は、DnFIFOSEL.RCNT ビットの設定値により以下のよう異なります。(n = 0, 1)

- RCNT = “0” のとき

CPU 読み出し、または DMA 転送 /DTC 転送で FIFO バッファ 1 面分の受信データを読み出し完了するまで、USB は受信データ長を DTLN[8:0] ビットに表示します。

PIPECFG.BFRE ビットが“1”のときには、読み出しが完了しても BCLR = “1” を行うまでは USB は受信データ長を保持します。

- RCNT ビットが“1”のとき

読み出しごとに USB は DTLN[8:0] ビットを表示をダウンカウントします。(MBW ビットが“0”のときは -1、MBW ビットが“1”のときは -2 ずつダウンカウント)

1 面分の FIFO バッファ読み出し完了時に、USB は DTLN[8:0] ビットは“0”を表示します。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を FIFO ポートコントロールレジスタの DTLN[8:0] ビットに表示します。

FRDY ビット (FIFO ポートレディビット)

CPU または DMA 転送 /DTC 転送で FIFO ポートにアクセス可能かどうかが表示されます。

以下の場合には、USB は FRDY ビットに“1”を表示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR ビットを“1”にして FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- 選択パイプにアサインされている FIFO バッファが空の状態でも Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが“1”のときに、ショートパケットを受信し、データ読み出しを完了した場合

BCLR ビット (CPU バッファクリアビット)

選択パイプの CPU 側の FIFO バッファをクリアする場合に“1”にします。

選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面ともに読み出し可能な状態である場合でも、USB は片面の FIFO バッファのみをクリアします。

選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR ビットを“1”にすると、USB は FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の DCPCTR.PID[1:0] ビットを NAK に設定した後で BCLR ビットを“1”にしてください。

選択パイプが送信方向の場合、BVAL フラグと BCLR ビットへ同時に“1”を書いた場合には、USB はそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

選択パイプが DCP 以外の場合、BCLR ビットへの“1”書き込みは、USB が FIFO ポートコントロールの FRDY ビットが“1”を示しているときに実施してください。

BVAL フラグ (バッファメモリ有効フラグ)

CURPIPE[3:0] ビットに指定したパイプ (選択パイプ) の CPU 側の FIFO バッファの書き込み終了時に“1”にします。

選択パイプが送信方向のとき、以下の場合に BVAL フラグを“1”にしてください。USB は CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

- ショートパケットの送信を行いたいとき、データ書き込み終了時に BVAL フラグを“1”にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に BVAL フラグを“1”にする

MaxPacketSize 分のデータを書くと、USB が BVAL フラグを“1”にし、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。

BVAL フラグへの“1”書き込みは、USB が FRDY ビットに“1”を示しているときに実施してください。

選択パイプが受信方向のときには、BVAL フラグへの“1”書き込みを行わないでください。

28.2.7 割り込み許可レジスタ 0 (INTENB0)

アドレス USB0.INTENB0 000A 0030h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BRDYE	バッファレディ割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可ビット (注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可ビット (注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b13	SOFE	フレーム番号更新割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b14	RSME	レジューム割り込み許可ビット (注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15	VBSE	VBUS割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W

注1. RSMEビット、DVSEビットおよびCTREビットは、ファンクションコントローラ機能選択時のみ設定できます。ホストコントローラ機能選択時は、“1”にしないでください。

ソフトウェアが INTENB0 レジスタを“1”にしたビットに対応する割り込みを USB が検出した場合に、USB は USB 割り込みを発生させます。

USB は、INTENB0 レジスタの設定値（割り込み通知の禁止 / 許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットに“1”を表示します。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが“1”の状態、ソフトウェアが INTENB0 レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は USB 割り込み発生させます。

28.2.8 割り込み許可レジスタ 1 (INTENB1)

アドレス USB0.INTENB1 000A 0032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	—	DTCHE	ATTCH E	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACKE	セットアップトランザクション正常応答割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	SIGNE	セットアップトランザクションエラー割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	EOFERRE	EOFエラー検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCH E	接続検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b12	DTCHE	切断検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHGE	USBバス変化割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15	OVRCRE	オーバカレント入力変化割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W

注. INTENB1 レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ設定できます。ファンクションコントローラ機能選択時は、“1”にしないでください。

INTENB1 レジスタは、ホストコントローラ機能選択時の割り込みマスクの設定、および SETUP トランザクションの割り込みマスクレジスタの設定を行うレジスタです。

ソフトウェアが INTENB1 レジスタを“1”にしたビットに対応する割り込みを USB0 が検出した場合に、USB0 は USB 割り込みを発生します。

USB0 は、INTENB1 レジスタの設定値（割り込み通知の禁止 / 許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS1 レジスタの対応するステータスビットに“1”を表示します。

各割り込み要因に対応する INTSTS1 レジスタのステータスビットが“1”の状態、ソフトウェアが INTENB1 レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB0 は USB 割り込み発生させます。

ファンクションコントローラ機能選択時は、割り込み許可を行わないでください。

28.2.9 BRDY 割り込み許可レジスタ (BRDYENB)

アドレス USB0.BRDYENB 000A 0036h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9B RDYE	PIPE8B RDYE	PIPE7B RDYE	PIPE6B RDYE	PIPE5B RDYE	PIPE4B RDYE	PIPE3B RDYE	PIPE2B RDYE	PIPE1B RDYE	PIPE0B RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1BRDYE	パイプ1のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2BRDYE	パイプ2のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3BRDYE	パイプ3のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4BRDYE	パイプ4のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5BRDYE	パイプ5のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6BRDYE	パイプ6のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7BRDYE	パイプ7のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8BRDYE	パイプ8のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9BRDYE	パイプ9のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットを“1”にすることを禁止するか、許可するかを指定します。

ソフトウェアが BRDYENB レジスタを“1”にしたパイプに対して、USB が BRDY 割り込みを検出した場合に、USB は BRDYSTS.PIPE n BRDY ビット ($n=0 \sim 9$) の対応するビットに“1”を表示し、INTSTS0.BRDY ビットに“1”を表示し、BRDY 割り込みを発生します。

BRDYSTS.PIPE n BRDY ビットのうち、少なくともひとつのビットが“1”の状態、ソフトウェアが BRDYENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は BRDY 割り込みを発生します。

28.2.10 NRDY 割り込み許可レジスタ (NRDYENB)

アドレス USB0.NRDYENB 000A 0038h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1NRDYE	パイプ1のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2NRDYE	パイプ2のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3NRDYE	パイプ3のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4NRDYE	パイプ4のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5NRDYE	パイプ5のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6NRDYE	パイプ6のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7NRDYE	パイプ7のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8NRDYE	パイプ8のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9NRDYE	パイプ9のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NRDYENB レジスタは、各パイプのNRDY割り込み検出時にINTSTS0.NRDYビットを“1”にすることを禁止するか、許可するかを指定します。

ソフトウェアがNRDYENBレジスタを“1”にしたパイプに対して、USBがNRDY割り込み要因を検出した場合に、USBはNRDYSTS.PIPE_nNRDYビット(n=0～9)の対応するビットに“1”を表示し、INTSTS0.NRDYビットに“1”を表示し、NRDY割り込みを発生します。

NRDYSTS.PIPE_nNRDYビットの少なくともひとつのビットが“1”の状態、ソフトウェアがNRDYENBレジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USBはNRDY割り込みを発生します。

28.2.11 BEMP 割り込み許可レジスタ (BEMPENB)

アドレス USB0.BEMPENB 000A 003Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9B EMPE	PIPE8B EMPE	PIPE7B EMPE	PIPE6B EMPE	PIPE5B EMPE	PIPE4B EMPE	PIPE3B EMPE	PIPE2B EMPE	PIPE1B EMPE	PIPE0B EMPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1BEMPE	パイプ1のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2BEMPE	パイプ2のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3BEMPE	パイプ3のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4BEMPE	パイプ4のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5BEMPE	パイプ5のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6BEMPE	パイプ6のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7BEMPE	パイプ7のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8BEMPE	パイプ8のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9BEMPE	パイプ9のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に INTSTS0.BEMP ビットを“1”にすることを禁止するか、許可するかを指定するレジスタです。

ソフトウェアが BEMPENB レジスタを“1”にしたパイプに対して、USB が BEMP 割り込み要因を検出した場合に、USB は BEMPSTS.PIPE n BEMP ビット ($n=0 \sim 9$) の対応するビットに“1”を表示し、INTSTS0.BEMP ビットに“1”を表示し、BEMP 割り込みを発生します。

BEMPSTS.PIPE n BEMP ビットのうち、少なくともひとつのビットが“1”の状態、ソフトウェアが BEMPENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は BEMP 割り込みを発生します。

28.2.12 SOF 出力コンフィグレーションレジスタ (SOFCFG)

アドレス USB0.SOFCFG 000A 003Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	BRDY M	—	EDGES TS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	EDGESTS (注1)	エッジ割り込み出力ステータスマニタ ビット	エッジ割り込み出力信号がエッジ処理中であるとき“1” を示します。	R
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	BRDYM	BRDY 割り込みステータス クリアタイミング設定ビット	0 : ソフトウェアがステータスをクリア 1 : FIFOバッファの読み出しまたはFIFOバッファへの 書き込み動作によりUSBがステータスをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. USBモジュールのクロックを停止するときには、本ビットが“0”であることを確認してください。

EDGESTS ビット (エッジ割り込み出力ステータスマニタビット)

エッジ割り込み出力信号がエッジ処理中であるとき、“1”を示します。

USBのクロックを停止するときは、EDGESTS ビットが“0”であることを確認してください。

BRDYM ビット (BRDY 割り込みステータスクリアタイミング設定ビット)

各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。

28.2.13 割り込みステータスレジスタ 0 (INTSTS0)

アドレス USB0.INTSTS0 000A 0040h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
VBINT	RESM	SOFR	DVST	CTRTR	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]		VALID	CTSQ[2:0]			
0	0	0	0/1 (注1)	0	0	0	0	0	0	0	0/1 (注3)	0	0	0	0

リセット後の値

- 注1. MCUがリセットされると“0”、USBバスリセットが起こると“1”になります。
 注2. USBm_VBUS端子がHighのとき“1”、Lowのとき“0”になります。
 注3. MCUがリセットされると“000b”、USBバスリセットが起こると“001b”になります。

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージビット	b2 b0 0 0 0: アイドルまたはセットアップステージ 0 0 1: コントロールリードデータステージ 0 1 0: コントロールリードステータスステージ 0 1 1: コントロールライトデータステージ 1 0 0: コントロールライトステータスステージ 1 0 1: コントロールライト (NoData) ステータスステージ 1 1 0: コントロール転送シーケンスエラー 1 1 1: 設定しないでください	R
b3	VALID	USBリクエストビット	0: 未検出 1: セットアップパケット受信	R/W (注1)
b6-b4	DVSQ[2:0]	デバイスステートビット	b6 b4 0 0 0: Powered ステート 0 0 1: Default ステート 0 1 0: Address ステート 0 1 1: Configured ステート 1 x x: Suspended ステート (x: Don't care)	R
b7	VBSTS	VBUS入カステータスビット	0: USBm_VBUS端子がLow 1: USBm_VBUS端子がHigh	R
b8	BRDY	バッファレディ割り込みステータスビット	0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータスビット	0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータスビット	0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R
b11	CTRTR	コントロール転送ステージ遷移割り込みステータスビット (注2)	0: コントロール転送ステージ遷移割り込み発生なし 1: コントロール転送ステージ遷移割り込み発生あり	R/W (注1)
b12	DVST	デバイスステート遷移割り込みステータスビット (注2)	0: デバイスステート遷移割り込み発生なし 1: デバイスステート遷移割り込み発生あり	R/W (注1)
b13	SOFR	フレーム番号更新割り込みステータスビット	0: SOF 割り込み発生なし 1: SOF 割り込み発生あり (1) ホストコントローラ機能設定時 ソフトウェアがUACTビットを“1”に設定しているとき、フレームナンバの更新タイミングでSOFRビットに“1”を表示します。(SOFR 割り込みは、1msごとに検出します。) (2) ファンクションコントローラ機能設定時 フレームナンバの更新時にUSBはSOFRビットに“1”を表示します。(SOFR 割り込みは、1msごとに検出します。) USBホストからのSOFパケットが破損したときでも、内部補完により、USBはSOFR 割り込みを検出します。	R/W (注1)
b14	RESM	レジューム割り込みステータスビット (注2、注3)	0: レジューム割り込み発生なし 1: レジューム割り込み発生あり	R/W (注1)
b15	VBINT	VBUS割り込みステータスビット (注3)	0: VBUS 割り込み発生なし 1: VBUS 割り込み発生あり	R/W (注1)

- 注1. VBINTビット、RESMビット、SOFRビット、DVSTビット、CTRTRビットまたはVALIDビットをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書き込んでください。“0”を示しているステータスビットへの“0”書き込みを行わないでください。
- 注2. RESMビット、DVSTビット、CTRTRビットのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを“0”（禁止）にしてください。
- 注3. VBINTビット、RESMビットが示すステータス変化をクロック停止中（SCKEビットが“0”）でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

CTSQ[2:0] ビット (コントロール転送ステージビット)

ホストコントローラ機能選択時、読み出しは無効です。

VALID ビット (USB リクエストビット)

ホストコントローラ機能選択時、読み出しは無効です。

DVSQ[2:0] ビット (デバイスステートビット)

USB バスリセットで DVSQ[2:0] ビットは初期化されます。

ホストコントローラ機能選択時、読み出しは無効です。

BRDY ビット (バッファレディ割り込みステータスビット)

BRDY 割り込みステータスが表示されます。

BRDYENB.PIPEnBRDYE ビット (n=0 ~ 9) を“1”にしたパイプに対応する BRDYSTS.PIPEnBRDY ビット (n=0 ~ 9) のうち、少なくともひとつが“1”になったとき（ソフトウェアが BRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BRDY 割り込み状態を検出したとき）に、USB は BRDY ビットに“1”を表示します。

PIPEnBRDY ステータスのアサート条件は、「28.3.3.1 BRDY 割り込み」を参照ください。

ソフトウェアが、PIPEnBRDYE ビットで許可しているパイプに対応する PIPEnBRDY ビットのすべてに“0”を書くと、USB は BRDY ビットを“0”にします。

ソフトウェアが BRDY ビットに対して“0”を書いても、BRDY ビットを“0”にすることはできません。

NRDY ビット (バッファノットレディ割り込みステータスビット)

NRDYENB.PIPEnNRDYE ビット (n=0 ~ 9) を“1”にしたパイプに対応する NRDYSTS.PIPEnNRDY ビット (n=0 ~ 9) のうち、少なくともひとつが“1”になったとき（ソフトウェアが NRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が NRDY 割り込み状態を検出したとき）に、USB は NRDY ビットに“1”を表示します。

PIPEnNRDY ステータスのアサート条件は、「28.3.3.2 NRDY 割り込み」を参照ください。

ソフトウェアが、PIPEnNRDYE ビットで許可しているパイプに対応する PIPEnNRDY ビットのすべてに“0”を書くと、USB は NRDY ビットを“0”にします。

ソフトウェアが NRDY ビットに対して“0”を書いても、NRDY ビットを“0”にすることはできません。

BEMP ビット (バッファEMPTY割り込みステータスビット)

BEMPENB.PIPEnBEMPE ビット (n=0 ~ 9) を“1”にしたパイプに対応する BEMPSTS.PIPEnBEMP ビット (n=0 ~ 9) のうち、少なくともひとつが“1”になったとき（ソフトウェアが BEMP 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BEMP 割り込み状態を検出したとき）に、USB は BEMP ビットに“1”を表示します。

PIPEnBEMP ステータスのアサート条件は、「28.3.3.3 BEMP 割り込み」を参照ください。

ソフトウェアが、PIPEnBEMPE ビットで許可しているパイプに対応する PIPEnBEMP ビットすべてに“0”を書くと、USB は BEMP ビットを“0”にします。

ソフトウェアが BEMP ビットに対して“0”を書いても、BEMP ビットを“0”にすることはできません。

CTRRT ビット (コントロール転送ステージ遷移割り込みステータスビット)

ファンクションコントローラ機能設定時、USB がコントロール転送のステージ遷移を検出したときに、USB は CTSQ[2:0] ビットの値を更新し、CTRRT ビットに“1”を表示します。

コントロール転送ステージ遷移割り込みが発生したときには、USB がコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

DVST ビット (デバイスステート遷移割り込みステータスビット)

ファンクションコントローラ機能設定時、USB がデバイスステートの变化を検出したときに、USB は DVSQ[2:0] ビットの値を更新し、DVST ビットに“1”を表示します。

デバイスステート遷移割り込みが発生したときには、USB が次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

SOFR ビット (フレーム番号更新割り込みステータスビット)

(1) ホストコントローラ機能設定時

ソフトウェアが DVSTCTR0.UACT ビットを“1”にしているとき、フレームナンバの更新タイミングで SOFR ビットに“1”を表示します。(フレーム番号更新割り込みは、1ms ごとに検出します。)

(2) ファンクションコントローラ機能設定時

フレームナンバの更新時に USB は SOFR ビットに“1”を表示します。(フレーム番号更新割り込みは、1ms ごとに検出します。)

USB ホストからの SOF パケットが破損したときでも、内部補完により、USB は SOFR 割り込みを検出します。

RESM ビット (レジューム割り込みステータスビット)

ファンクションコントローラ機能設定時、USB がサスペンド状態 (DVSQ[2:0] ビットが“1xxb”) であり、かつ、USBm_DP 端子の立ち下りを検出したときに、RESM ビットに“1”を表示します。

ホストコントローラ機能選択時、読み出し値は無効です。

VBINT ビット (VBUS 割り込みステータスビット)

USB が USBm_VBUS 端子入力値の変化 (High から Low への変化あるいは Low から High への変化) を検出したときに、VBINT ビットに“1”を表示します。USB は USBm_VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS ビット読み出しの回数一致を行い、チャタリング除去を実施してください。

28.2.14 割り込みステータスレジスタ 1 (INTSTS1)

アドレス USB0.INTSTS1 000A 0042h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—	—	EOFERR	SIGN	SACK	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACK	セットアップトランザクション正常応答割り込みステータスビット	0 : SACK 割り込み発生なし 1 : SACK 割り込み発生あり	R/W (注1)
b5	SIGN	セットアップトランザクションエラー割り込みステータスビット	0 : SIGN 割り込み発生なし 1 : SIGN 割り込み発生あり	R/W (注1)
b6	EOFERR	EOFエラー検出割り込みステータスビット	0 : EOFERR 割り込み発生なし 1 : EOFERR 割り込み発生あり	R/W (注1)
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCH	ATTCH 割り込みステータスビット	0 : ATTCH 割り込み発生なし 1 : ATTCH 割り込み発生あり	R/W (注1)
b12	DTCH	USB切断検出割り込みステータスビット	0 : DTCH 割り込み発生なし 1 : DTCH 割り込み発生あり	R/W (注1)
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHG	USBバス変化割り込みステータスビット (注2)	0 : BCHG 割り込み発生なし 1 : BCHG 割り込み発生あり	R/W (注1)
b15	OVRRCR	オーバカレント入力変化割り込みステータスビット (注2)	0 : OVRRCR 割り込み発生なし 1 : OVRRCR 割り込み発生あり	R/W (注1)

- 注1. INTSTS1レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書き込んでください。
- 注2. OVRRCRビットおよびBCHGビットが示すステータス変化をクロック停止中 (SYSCFG.SCKEビットが“0”)でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。OVRRCRビットおよびBCHGビット以外の割り込みは、クロック停止中 (SYSCFG.SCKEビットが“0”)は検出しません。

INTSTS1レジスタは、ホストコントローラ機能選択時の各割り込みのステータスを確認するレジスタです。

INTSTS1レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

SACK ビット (セットアップトランザクション正常応答割り込みステータスビット)

ホストコントローラ機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。

USB0が発行したSETUPトランザクションにおいて、周辺デバイスからのACK応答を受信したときに、USB0はSACK割り込みを検出し、SACKビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USB0はSACK割り込みを発生します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

SIGN ビット (セットアップトランザクションエラー割り込みステータスビット)

ホストコントローラ機能選択時、セットアップトランザクションエラー割り込みステータスが表示されません。

USB0が発行したSETUPトランザクションにおいて、周辺デバイスがACK応答を行わない状態が連続3回発生したときに、USB0はSIGN割り込みを検出し、SIGNビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USB0はSIGN割り込み発生をします。

USB0のSIGN割り込み検出条件は、具体的には3回の連続したSETUPトランザクションに対して、以下のいずれかの応答が発生したときです。

- 周辺デバイスが何も応答しない状態でUSB0がタイムアウトを検出したとき
- ACKパケットが破損したとき
- ACK以外のハンドシェイク (NAK、NYET、またはSTALL)を受信したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

EOFERR ビット (EOFエラー検出割り込みステータスビット)

ホストコントローラ機能選択時、EOFERR割り込みステータスが表示されます。

USB2.0仕様に定められているEOF2タイミング時点で通信が終了しないことをUSB0が検出したときに、EOFERR割り込みを検出し、EOFERRビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USB0はEOFERR割り込みを発生します。

USB0は、EOFERR割り込みを検出後（該当する割り込み許可ビットの設定に関わらず）以下のハードウェア制御を行います。ソフトウェアは、USBポートに対して通信を行っているパイプをすべて通信終了させ、USBポートへの再Enumerationを行ってください。

- EOFERR割り込みを検出したポートのDVSTCTR0.UACTビットを“0”に変更し表示
- EOFERR割り込みが発生したポートをアイドル状態に遷移させる

ファンクションコントローラ機能選択時、読み出し値は無効です。

ATTCH ビット (ATTCH割り込みステータスビット)

ホストコントローラ機能選択時、ATTCH割り込みステータスが表示されます。

USB0がポートにフルスピード信号レベルのJ-StateまたはK-Stateを2.5μs間検出したとき、USB0はATTCH割り込みを検出し、ATTCHビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USB0は割り込み発生をします。

USB0のATTCH割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0またはSE1からJ-Stateに変化しJ-Stateのまま2.5μs間継続したとき
- J-State、SE0またはSE1からK-Stateに変化しK-Stateのまま2.5μs間継続したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

DTCH ビット (USB 切断検出割り込みステータスビット)

ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。

USB バスディスコネクタ検出時に、USB0 は DTCH 割り込みを検出し、DTCH ビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USB0 は割り込み発生します。

USB0 は、USB 2.0 仕様に準じた基準でバスディスコネクタを検出します。

USB0 は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ (ATTCH 割り込み発生) 待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示
- DTCH 割り込みが発生したポートをアイドル状態に遷移

ファンクションコントローラ機能選択時、読み出し値は無効です。

BCHG ビット (USB バス変化割り込みステータスビット)

USB バス変化割り込みステータスが表示されます。

USB ポートでフルスピード信号レベルでの状態変化が発生した (J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した) ときに、USB0 は BCHG 割り込みを検出し、BCHG ビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USB0 は割り込み発生を発生させます。

USB ポートの現在の入力状態を、SYSSTS0.LNST[1:0] ビットに表示します。BCHG 端子割り込み発生時は、ソフトウェアで LNST[1:0] ビット読み出しの数度一致を行い、チャタリング除去を実施してください。

USB バス変化は、内部クロック停止状態でも検出します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

OVRCCR ビット (オーバカレント入力変化割り込みステータスビット)

USB0_OVRCURA および USB0_OVRCURB 入力端子の変化割り込みステータスが表示されます。

USB0_OVRCURA または USB0_OVRCURB 端子入力値の少なくともどちらか一方が変化 (High から Low への変化あるいは Low から High への変化) したときに、USB0 は OVRCCR 割り込みを検出し、OVRCCR ビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USB0 は割り込みを発生させます。

28.2.15 BRDY 割り込みステータスレジスタ (BRDYSTS)

アドレス USB0.BRDYSTS 000A 0046h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9B RDY	PIPE8B RDY	PIPE7B RDY	PIPE6B RDY	PIPE5B RDY	PIPE4B RDY	PIPE3B RDY	PIPE2B RDY	PIPE1B RDY	PIPE0B RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0のBRDY割り込みステータスビット (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1BRDY	パイプ1のBRDY割り込みステータスビット (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2BRDY	パイプ2のBRDY割り込みステータスビット (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3BRDY	パイプ3のBRDY割り込みステータスビット (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4BRDY	パイプ4のBRDY割り込みステータスビット (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BRDY	パイプ5のBRDY割り込みステータスビット (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BRDY	パイプ6のBRDY割り込みステータスビット (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BRDY	パイプ7のBRDY割り込みステータスビット (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8BRDY	パイプ8のBRDY割り込みステータスビット (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9BRDY	パイプ9のBRDY割り込みステータスビット (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. SOFCFG.BRDYMビットが“0”の場合、BRDYSTSレジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書いてください。
- 注2. SOFCFG.BRDYMビットが“0”の場合、BRDY割り込みのクリアは、FIFOアクセスを行う前に実施してください。

28.2.16 NRDY 割り込みステータスレジスタ (NRDYSTS)

アドレス USB0.NRDYSTS 000A 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDY	PIPE8NRDY	PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0のNRDY割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1NRDY	パイプ1のNRDY割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2NRDY	パイプ2のNRDY割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3NRDY	パイプ3のNRDY割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4NRDY	パイプ4のNRDY割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5NRDY	パイプ5のNRDY割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6NRDY	パイプ6のNRDY割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7NRDY	パイプ7のNRDY割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8NRDY	パイプ8のNRDY割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9NRDY	パイプ9のNRDY割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. NRDYSTSレジスタの各ビットが示すステータスを“0”にする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書いてください。

28.2.17 BEMP 割り込みステータスレジスタ (BEMPSTS)

アドレス USB0.BEMPSTS 000A 004Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B EMP	PIPE8B EMP	PIPE7B EMP	PIPE6B EMP	PIPE5B EMP	PIPE4B EMP	PIPE3B EMP	PIPE2B EMP	PIPE1B EMP	PIPE0B EMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0のBEMP割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1BEMP	パイプ1のBEMP割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2BEMP	パイプ2のBEMP割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3BEMP	パイプ3のBEMP割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4BEMP	パイプ4のBEMP割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BEMP	パイプ5のBEMP割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BEMP	パイプ6のBEMP割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BEMP	パイプ7のBEMP割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8BEMP	パイプ8のBEMP割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9BEMP	パイプ9のBEMP割り込みステータスビット	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. BEMPSTSレジスタの各ビットが示すステータスを“0”にする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書いてください。

28.2.18 フレームナンバーレジスタ (FRMNUM)

アドレス USB0.FRMNUM 000A 004Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号ビット	フレーム番号表示	R
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	CRCE	受信データエラービット	0: エラーなし 1: エラー発生	R/W (注1)
b15	OVRN	オーバラン/アンダーラン検出ステータスビット	0: エラーなし 1: エラー発生	R/W (注1)

注1. 各ステータスを“0”にする場合は、クリアしたいビットに“0”を、その他のビットには“1”を書いてください。

FRNM[10:0] ビット (フレーム番号ビット)

USB は、1ms に 1 回の SOF 発行タイミングまたは SOF 受信時に FRNM[10:0] ビットを書き替え、最新のフレーム番号を表示します。

FRNM[10:0] ビットを読み出すときは、2 度一致で読み出してください。

CRCE ビット (受信データエラービット)

アイソクロナス転送中のパイプに対する CRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。

ソフトウェアは、CRCE ビットに“0”を書くことにより CRCE ビットを“0”にすることができます。

このとき FRMNUM レジスタの他のビットには“1”を書いてください。

CRC エラーの検出時には、USB は内部 NRDY 割り込み要求を発生させます。

OVRN ビット (オーバラン/アンダーラン検出ステータスビット)

アイソクロナス転送を行っているパイプに対するオーバラン/アンダーランエラー検出の有無が表示されます。

ソフトウェアは、OVRN ビットに“0”を書くことにより、OVRN ビットを“0”にすることができます。このとき、FRMNUM レジスタの他のビットには“1”を書いてください。

(1) ホストコントローラ機能選択時

以下のいずれかの場合に、USB が OVRN ビットに“1”を表示します。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき

(2) ファンクションコントローラ機能選択時

以下のいずれかの場合に、USB が OVRN ビットに“1”を表示します。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN トークンを受信したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき

28.2.19 デバイスステート切り替えレジスタ (DVCHGR)

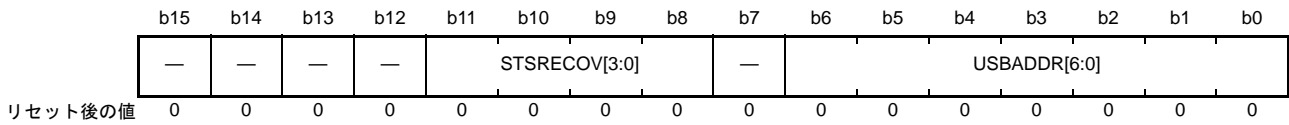
アドレス USB0.DVCHGR 000A 004Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DVCHG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	DVCHG	デバイスステート切り替えビット	0 : USBADDR.STSRECOV[3:0]ビットおよび USBADDR.USBADDR[6:0]ビットへの書き込み無効 1 : USBADDR.STSRECOV[3:0]ビットおよび USBADDR.USBADDR[6:0]ビットへの書き込み許可	R/W

28.2.20 USB アドレスレジスタ (USBADDR)

アドレス USB0.USBADDR 000A 0050h



ビット	シンボル	ビット名	機能	R/W
b6-b0	USBADDR[6:0]	USBアドレスビット	ファンクションコントローラ機能選択時、SET_ADDRESS リクエストを正常に処理したときに、ホストから割り付けられたUSBアドレスを表示します	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	STSRECOV[3:0]	ステータスリカバリービット	<ul style="list-style-type: none"> ファンクションコントローラ機能選択時の復帰 <ul style="list-style-type: none"> b11 b8 1 0 0 1: フルスピード状態に復帰 (DVSTCTR0.RHST[2:0]ビットが“010b”)、INTSTS0.DVSQ[2:0]ビットが“001b” (Defaultステート) 1 0 1 0: フルスピード状態に復帰 (DVSTCTR0.RHST[2:0]ビットが“010b”)、INTSTS0.DVSQ[2:0]ビットが“010b” (Addressステート) 1 0 1 1: フルスピード状態に復帰 (DVSTCTR0.RHST[2:0]ビットが“010b”)、INTSTS0.DVSQ[2:0]ビットが“011b” (Configuredステート) 上記以外: 設定しないでください ホストコントローラ機能選択時の復帰 <ul style="list-style-type: none"> b11 b8 1 0 0 0: フルスピード状態に復帰 (DVSTCTR0.RHST[2:0]ビットが“010b”) <ul style="list-style-type: none"> 上記以外: 設定しないでください 	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

USBADDR[6:0] ビット (USB アドレスビット)

USB が USB バスリセットを検出したとき、USBADDR[6:0] ビットに 00h を表示します。

DVCHGR.DVCHG ビットを“1”にしているときに書き込み可能となり、USB 電源遮断から復帰時に、ソフトウェアにて遮断前の USB アドレスへ設定することができます。

ホストコントローラ機能選択時、USBADDR[6:0] ビットは無効です。

USBADDR[6:0] ビットは、USB バスリセット検出で初期化されます。

STSRECOV[3:0] ビット (ステータスリカバリービット)

USB 電源遮断から復帰するときの USB の内部シーケンサの状態を遮断前の状態に復帰させるときに使用します。

STSRECOV[3:0] ビットは、DVCHGR.DVCHG ビットを“1”にしているときのみ書き込みが可能です。

28.2.21 USB リクエストタイプレジスタ (USBREQ)

アドレス USB0.USBREQ 000A 0054h



ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプビット	USB リクエスト bmRequestType の値	R/W (注1)
b15-b8	BREQUEST[7:0]	リクエストビット	USB リクエスト bRequest の値	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ レジスタは、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

BMREQUESTTYPE[7:0] ビット (リクエストタイプビット)

USB リクエスト bmRequestType の値を格納します。

- ホストコントローラ機能選択時
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが“1”の状態では BMREQUESTTYPE[7:0] ビットの書き替えは行わないでください
- ファンクションコントローラ機能選択時
SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です

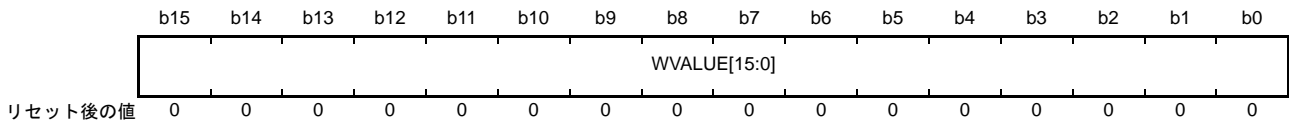
BREQUEST[7:0] ビット (リクエストビット)

USB リクエスト bRequest の値を格納します。

- ホストコントローラ機能選択時
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが“1”の状態では BREQUEST[7:0] ビットの書き替えは行わないでください。
- ファンクションコントローラ機能選択時
SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

28.2.22 USB リクエストバリュeregスタ (USBVAL)

アドレス USB0.USBVAL 000A 0056h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WVALUE[15:0]	バリュeregビット	USBリクエストwValueの値	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBVALレジスタは、ファンクションコントローラ機能選択時、受信したwValueの値が格納されます。ホストコントローラ機能選択時、送信するwValueの値を設定します。

USBVALレジスタは、USBバスリセットで初期化されます。

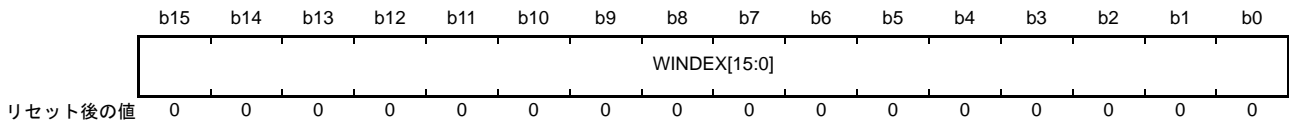
WVALUE[15:0] ビット (バリュeregビット)

USBリクエストwValueの値を格納します。

- ホストコントローラ機能を選択時
送信するSETUPトランザクションのUSBリクエストwValueの値を設定してください。
DCPCTR.SUREQビットが“1”の状態ではWVALUE[15:0]ビットの書き替えは行わないでください。
- ファンクションコントローラ選択時
SETUPトランザクションで受信したUSBリクエストwValueの値を表示します。WVALUE[15:0]ビットへの書き込みは無効です。

28.2.23 USB リクエストインデックスレジスタ (USBINDX)

アドレス USB0.USBINDX 000A 0058h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WINDEX[15:0]	インデックスビット	USBリクエスト wIndex の値	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBINDX レジスタは、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

USBINDX レジスタは、USB バスリセットで初期化されます。

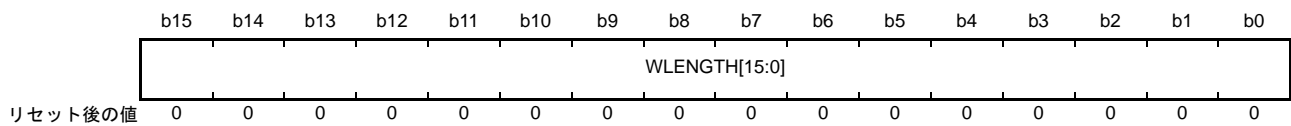
WINDEX[15:0] ビット (インデックスビット)

USB リクエスト wIndex の値を格納します。

- ホストコントローラ機能を選択時
送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。
DCPCTR.SUREQ ビットが“1”の状態では WINDEX[15:0] ビットの書き替えは行わないでください
- ファンクションコントローラ選択時
SETUP トランザクションで受信した USB リクエスト wIndex の値を表示します
WINDEX[15:0] ビットへの書き込みは無効です。

28.2.24 USB リクエストレングスレジスタ (USBLENG)

アドレス USB0.USBLENG 000A 005Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	WLENGTH[15:0]	レングスビット	USBリクエスト wLength の値	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBLENG レジスタはコントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG レジスタは、ファンクションコントローラ機能選択時、受信した wLength の値が格納されます。ホストコントローラ機能選択時、送信する wLength の値を設定します。

USBLENG レジスタは、バスリセットで初期化されます。

WLENGTH[15:0] ビット (レングスビット)

USB リクエスト wLength の値を格納します。

- ホストコントローラ機能を選択時
送信する SETUP トランザクションの USB リクエスト wLength の値を設定してください。
DCPCTR.SUREQ ビットが“1”の状態ではビットの書き換えは行わないでください。
- ファンクションコントローラ選択時
SETUP トランザクションで受信した USB リクエスト wLength の値を表示します。WLENGTH [15:0] ビットへの書き込みは無効です。

28.2.25 DCP コンフィギュレーションレジスタ (DCPCFG)

アドレス USB0.DCPCFG 000A 005Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SHTNA K	—	—	DIR	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DIR	転送方向設定ビット (注1)	0 : データ受信方向 1 : データ送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット (注1)	0 : トランスファ終了時にパイプ継続 1 : トランスファ終了時にパイプ禁止	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 設定の変更は、PID = NAKの状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、DCPCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

DIR ビット (転送方向設定ビット)

ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。

ファンクションコントローラ機能選択時には、DIR ビットを“0”にしてください。

SHTNAK ビット (トランスファ終了時のパイプ禁止ビット)

コントロール転送が受信方向の場合に、トランスファ終了時にPIDをNAKに変更するかどうかを指定します。

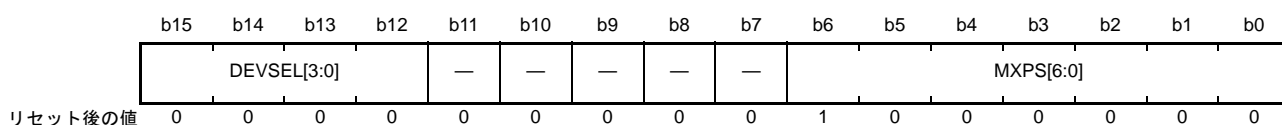
SHTNAK ビットは、受信方向である場合に有効なビットです。

SHTNAK ビットを“1”にしている場合、USBは、トランスファの終了を判定したときにDCPのDCPCTR.PID[1:0]ビットをNAKに変更します。USBは、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき

28.2.26 DCP マックスパケットサイズレジスタ (DCPMAXP)

アドレス USB0.DCPMAXP 000A 005Eh



ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	マックスパケットサイズビット (注1)	DCPの最大データペイロード (マックスパケットサイズ) 設定	R/W
b11-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット (注2)	b15 b12 0 0 0 0 : アドレス 0000 0 0 0 1 : アドレス 0001 0 0 1 0 : アドレス 0010 0 0 1 1 : アドレス 0011 0 1 0 0 : アドレス 0100 0 1 0 1 : アドレス 0101 上記以外 : 設定しないでください	R/W

注1. MXPS[6:0] ビットの設定の変更は、PID=NAKの状態のときに実施してください。DCPのDCPCTR.PID[1:0] ビットをBUFからNAKへ変更してから設定変更する場合には、DCPCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0] ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。またMXPS[6:0] ビットの設定変更後には、ポート選択レジスタのCURPIPE[3:0] ビットへDCPを設定後、ポートコントロールレジスタのBCLRビットを“1”にしてバッファクリア処理を実施してください。

注2. DEVSEL[3:0] ビットの設定の変更は、PID=NAKの状態およびDCPCTR.SUREQビットが“0”の期間に実施してください。DCPのDCPCTR.PID[1:0] ビットをBUFからNAKへ変更してから設定変更する場合には、DCPCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSB0がPID[1:0] ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

MXPS[6:0] ビット (マックスパケットサイズビット)

DCPの最大データペイロード (マックスパケットサイズ) をMXPS[6:0] ビットに設定してください。初期値は、40h (64 バイト) です。

MXPS[6:0] ビットの設定は、USB規格に準拠した値を設定してください。

MXPS[6:0] ビットが“0”の状態ではFIFOバッファへの書き込み、またはPID=BUFの設定は行わないでください。

DEVSEL[3:0] ビット (デバイス選択ビット)

ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応するDEVADDn (n=0~5) レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] ビットを“0010b”にする場合、DEVADD2 レジスタにアドレスの設定を行ってください。

ファンクションコントローラ機能選択時は、DEVSEL[3:0] ビットの値を“0000b”にしてください。

28.2.27 DCP コントロールレジスタ (DCPCTR)

アドレス USB0.DCPCTR 000A 0060h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	SUREQ	—	—	SUREQCLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK応答 0 1 : BUF応答 (バッファ状態に従う) 1 0 : STALL応答 1 1 : STALL応答	R/W
b2	CCPL	コントロール転送終了許可ビット	0 : 無効 1 : コントロール転送終了許可	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジービット	0 : DCPはトランザクションで未使用 1 : DCPはトランザクションで使用	R
b6	SQMON	シーケンストグルビットモニタビット	0 : DATA0 1 : DATA1	R
b7	SQSET	トグルビットセットビット (注2)	0 : 無効 1 : DATA1指定	R/W (注1)
b8	SQCLR	トグルビットクリアビット (注2)	0 : 無効 1 : DATA0指定	R/W (注1)
b10-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	SUREQCLR	SUREQビットクリアビット	0 : 無効 1 : SUREQビットの0クリア実行	R/W
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	SUREQ	SETUPトークン送出ビット	0 : 無効 1 : セットアップパケット送出	R/W
b15	BSTS	バッファステータスビット	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

注1. 読むと“0”が読めます。

注2. SQSETビットおよびSQCLRビットへの“1”書き込みは、PID = NAKの状態のときに実施してください。DCPのPID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PID[1:0] ビット (応答PIDビット)

PID[1:0] ビットでコントロール転送における USB の応答を制御します。

(1) ホストコントローラ機能選択時

以下の手順でPID[1:0] ビットをNAKからBUFに変更してください。

• 送信方向設定時

DVSTCTR0.UACT ビットが“1”かつPID = NAKの状態ではFIFOバッファに送信データを書き込み完了し、PID = BUFを書き込んでください。PID = BUFの書き込み後、USBはOUTトランザクションを実行します。

• 受信方向設定時

DVSTCTR0.UACT ビットが“1”かつPID = NAKの状態ではFIFOバッファが空の状態であることを確認し(空の状態にし)、PID = BUFを書き込んでください。PID = BUFの書き込み後、USBはINトランザクションを実行します。

以下の場合に、USB が PID[1:0] ビットの値を変更します。

- ソフトウェアが PID[1:0] ビットに BUF を設定しているときに、USB が MaxPacketSize を超えるデータを受信した場合、USB は PID = STALL (11b) を表示します。
- CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB は PID = NAK を表示します。
- STALL ハンドシェイクを受信した場合、USB は PID = STALL (11b) を表示します。

(2) ファンクションコントローラ機能選択時

以下の場合に、USB が PID[1:0] ビットの値を変更します。

- USB が SETUP パケットを受信したときに、USB は PID[1:0] ビットを PID = NAK に変更します。このとき、USB は INTSTS0.VALID ビットに“1”を表示し、ソフトウェアで VALID ビットを“0”にするまでは、ソフトウェアは PID[1:0] ビットを変更できません。
- ソフトウェアが PID[1:0] ビットに BUF を設定しているときに、USB が MaxPacketSize を超えるデータを受信した場合、USB は PID = STALL (11b) を表示します。
- USB がコントロール転送シーケンスエラーを検出した場合、PID = STALL (1xb) を表示します。
- USB が USB バスリセットを検出した場合、PID = NAK を表示します。

SET_ADDRESS リクエスト処理 (自動処理) 時には、USB は PID[1:0] ビットの設定値を参照しません。PID[1:0] ビットは USB バスリセットで初期化されます。

CCPL ビット (コントロール転送終了許可ビット)

ファンクションコントローラ機能選択時に、CCPL ビットを“1”にすることによりコントロール転送のステータスステージの終了許可を設定します。

対応する PID[1:0] ビットが BUF のとき、ソフトウェアが CCPL ビットを“1”にすると、USB はコントロール転送のステージを完了させます。

コントロールリード転送時では USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時では USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値に関係なく USB は SETUP ステージからステータスステージ完了まで自動応答を行います。

新たな SETUP パケットを受信したときに、USB は CCPL ビットを“1”から“0”に変更します。

INTSTS0.VALID ビットが“1”のとき、ソフトウェアは CCPL ビットへの“1”書き込みを行うことができません。

CCPL ビットは USB バスリセットで初期化されます。

ホストコントローラ機能選択時には、CCPL ビットへは“0”を書き込んでください。

PBUSY ビット (パイプビジービット)

DCP が PID[1:0] ビットを BUF から NAK に変更した場合に、DCP のトランザクションで使用されなくなったかを表示します。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY ビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときに PBUSY ビットを“1”から“0”に変更します。

ソフトウェアが PID = NAK を設定した後、PBUSY ビットを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「28.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON ビット (シーケンストグルビットモニタビット)

DCP の転送において、次のトランザクションのシーケンストグルビット値が表示されます。

トランザクションが正常処理すると USB は SQMON ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、SQMON ビットをトグルさせません。

ファンクションコントローラ機能選択時、SETUP パケット正常受信時に、USB は SQMON ビットを“1” (期待値を DATA1 に設定) にします。

また、ファンクションコントローラ機能選択時、USB はステータスステージの IN/OUT トランザクションでは SQMON ビットを参照しません。また正常終了してもトグルさせません。

SQSET ビット (トグルビットセットビット)

DCP の転送において、次のトランザクションのシーケンストグルビット値を DATA1 に設定することができます。

SQCLR ビットと SQSET ビットを同時に“1”にしないでください。

SQCLR ビット (トグルビットクリアビット)

DCP の転送において、次のトランザクションのシーケンストグルビット値を DATA0 に設定することができます。SQCLR ビットは“0”を表示します。

SQCLR ビットと SQSET ビットを同時に“1”にしないでください。

SUREQCLR ビット (SUREQ ビットクリアビット)

ホストコントローラ機能選択時に、SUREQCLR ビットを“1”にすることによって SUREQ ビットをクリアすることができます。SUREQCLR ビットは“0”を表示します。

SETUP トランザクションにおいて、SUREQ ビットが“1”のまま通信が停止したときに、ソフトウェアで SUREQCLR ビットを“1”にしてください。正常な SETUP トランザクションでは、トランザクション終了時に USB0 が自動的に SUREQ ビットを“0”にしますので、ソフトウェアによるクリア処理は不要です。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットの“0”による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。

ファンクションコントローラ機能選択時、SUREQCLR ビットへは“0”を書いてください。

SUREQ ビット (SETUP トークン送出ビット)

ホストコントローラ機能選択時、SUREQ ビットを“1”にすることにより、セットアップパケットを送信します。

SETUP トランザクション処理終了後、USB0 は SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、SUREQ ビットを“0”にします。

また、SUREQCLR ビットをソフトウェアで“1”にすることにより、USB0 は SUREQ ビットを“0”にします。

DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、SUREQ ビットを“1”にしてください。SUREQ ビットを“1”にする前に、DCP の PID[1:0] ビットを NAK に設定していることを確認してください。また、SUREQ ビットを“1”にした後、SETUP トランザクションが終了するまで (SUREQ ビットが“1”) の期間は DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。

SETUP トークンを出すときのみ SUREQ ビットを“1”にしてください。その他のときには、“0”を書いてください。

ファンクションコントローラ機能選択時、SUREQ ビットへは“0”を書いてください。

BSTS ビット (バッファステータスビット)

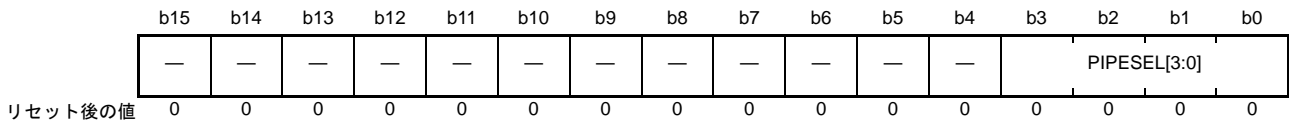
DCP FIFO バッファへのアクセス可否ステータスが表示されます。

BSTS ビットの意味は、ポート選択レジスタの ISEL ビットの設定値により以下のように異なります。

- ISEL ビットが“0”のとき、受信データの読み出しが可能かどうかを表示
- ISEL ビットが“1”のとき、送信データの書き込みが可能かどうかを表示

28.2.28 パイプウィンドウ選択レジスタ (PIPESEL)

アドレス USB0.PIPESEL 000A 0064h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択ビット	b3 b0 0 0 0 0: 未選択 0 0 0 1: パイプ1 0 0 1 0: パイプ2 0 0 1 1: パイプ3 0 1 0 0: パイプ4 0 1 0 1: パイプ5 0 1 1 0: パイプ6 0 1 1 1: パイプ7 1 0 0 0: パイプ8 1 0 0 1: パイプ9 上記以外: 設定しないでください	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

パイプ1～9の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE、およびPIPEnTRNレジスタで行ってください。

PIPESELレジスタにて使用するパイプを設定した後、PIPECFG、PIPEMAXP、およびPIPEPERIレジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPEnTRE、およびPIPEnTRNレジスタは、PIPESELレジスタによるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0] ビット (パイプウィンドウ選択ビット)

書き込み/読み出しを対象とするPIPECFG、PIPEMAXP、PIPEPERIレジスタに対応するパイプ番号を指定します。

PIPESEL[3:0]ビットで指定したパイプ番号に対応するPIPECFG、PIPEMAXP、PIPEPERIレジスタの読み出し/書き込みができます。

PIPESEL[3:0]ビットを“0000b”にしたときは、PIPECFG、PIPEMAXP、PIPEPERI、およびPIPEnCTRレジスタの各ビットは、すべて“0”が読めます。書き込みは無効です。

28.2.29 パイプコンフィギュレーションレジスタ (PIPECFG)

アドレス USB0.PIPECFG 000A 0068h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TYPE[1:0]	—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号ビット (注1)	選択パイプのエンドポイント番号を指定します。0000bの設定は、未使用パイプを意味します	R/W
b4	DIR	転送方向指定ビット (注2、注3)	0: 受信方向 1: 送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット (注1)	0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	DBLB	ダブルバッファモードビット (注2、注3)	0: シングルバッファ 1: ダブルバッファ	R/W
b10	BFRE	BRDY 割り込み動作指定ビット (注2、注3)	0: データ送受信でBRDY 割り込み 1: データ読み出し完了時にBRDY 割り込み	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	TYPE[1:0]	転送タイプビット (注1)	<ul style="list-style-type: none"> パイプ1、2の場合 b15 b14 0 0: パイプを不使用 0 1: バルク転送 1 0: 設定しないでください 1 1: アイソクロナス転送 パイプ3~5の場合 b15 b14 0 0: パイプを不使用 0 1: バルク転送 1 0: 設定しないでください 1 1: 設定しないでください パイプ6~9の場合 b15 b14 0 0: パイプ不使用 0 1: 設定しないでください 1 0: インタラプト転送 1 1: 設定しないでください 	R/W

- 注1. TYPE[1:0]ビット、SHTNAKビットおよびEPNUM[3:0]ビットの設定の変更は、PID=NAKの状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PIPEnCTR.PBUSY = “0”を確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。
- 注2. BFREビット、DBLBビットおよびDIRビットの設定の変更は、PID = NAKおよびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PIPEnCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。
- 注3. 選択パイプを使用したUSB通信を行った後、BFREビット、DBLBビットおよびDIRビットの設定を変更する場合には、注2.の注意事項の状態に加え、ソフトウェアでPIPEnCTR.ACLRmビットに“1”、“0”を連続して書き込み、選択パイプに割り付けられたFIFOバッファのクリアを実行してください。

PIPECFG レジスタは、パイプ 1 ~ 9 に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、またシングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をするレジスタです。

EPNUM[3:0] ビット (エンドポイント番号ビット)

選択パイプのエンドポイント番号を指定します。

“0000b” の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0] ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください。(EPNUM[3:0] ビットが “0000b” の設定は重複可能です。)

DIR ビット (転送方向指定ビット)

選択パイプの転送方向を指定します。

ソフトウェアが DIR ビットを “0” にしている場合、USB は選択パイプを受信方向に、DIR ビットを “1” にしている場合、USB は選択パイプを送信方向に使用します。

SHTNAK ビット (トランスファ終了時のパイプ禁止ビット)

選択パイプが受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。

SHTNAK ビットは、選択パイプがパイプ 1～パイプ 5 であり、かつ、受信方向である場合に有効なビットです。

受信方向パイプに対してソフトウェアが SHTNAK ビットを “1” にしている場合、USB は、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PIPEnCTR.PID[1:0] ビットを NAK に変更します。USB は、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

DBLB ビット (ダブルバッファモードビット)

選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。

DBLB ビットはパイプ 1～5 選択時に有効です。

BFRE ビット (BRDY 割り込み動作指定ビット)

USB から CPU への選択パイプに関する BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを “1” にし、かつ選択パイプを受信方向で使用している場合、USB は、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生したときには、ソフトウェアはポートコントロールレジスタの BCLR ビットに “1” を書く必要があります。BCLR ビットに “1” を書くまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアが BFRE ビットを “1” にし、かつ、選択パイプを送信方向で使用している場合、USB は BRDY 割り込みを発生させません。

詳細は、「28.3.3.1 BRDY 割り込み」を参照してください。

TYPE[1:0] ビット (転送タイプビット)

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ (選択パイプ) の転送タイプを指定します。

選択パイプを PID = BUF に設定する (選択したパイプを使用した USB 通信を開始する) 前に、TYPE[1:0] ビットを 00b 以外の値に設定してください。

28.2.30 パイプマックスパケットサイズレジスタ (PIPEMAXP)

アドレス USB0.PIPEMAXP 000A 006Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DEVSEL[3:0]				—	—	—	MXPS[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	0

注1. PIPESEL.PIPESEL[3:0]ビットでパイプを選択していないとき“0000h”、選択しているとき“0040h”です。

ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS[8:0]	MAXパケットサイズビット (注1)	<ul style="list-style-type: none"> パイプ1、2 : 1バイト (001h) ~ 256バイト (100h) パイプ3~5 : 8バイト (008h)、16バイト (010h)、 32バイト (020h)、64バイト (040h) ([8:7]ビットおよび[2:0]のビットはありません) パイプ6~9 : 1バイト (001h) ~ 64バイト (040h) ([8:7]ビットのビットはありません) 	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット (注2)	b3 b0 0 0 0 0 : アドレス0000 0 0 0 1 : アドレス0001 0 0 1 0 : アドレス0010 0 0 1 1 : アドレス0011 0 1 0 0 : アドレス0100 0 1 0 1 : アドレス0101 上記以外 : 設定しないでください	R/W

注1. MXPS[8:0]ビットの設定の変更は、PID = NAKおよびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PIPEnCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注2. DEVSEL[3:0]ビットの設定の変更は、PID=NAKの状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PIPEnCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSB0がPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PIPEMAXP レジスタは、パイプ1~9に対して、マックスパケットサイズを指定するレジスタです。

MXPS[8:0] ビット (MAX パケットサイズビット)

選択パイプの最大データペイロード (マックスパケットサイズ) を指定します。

MXPS[8:0] ビットの設定は、転送タイプごとに USB 規格に準拠した値を設定してください。ただし、パイプ1、2の最大値は“256”です。MXPS[8:0] ビットが“000h”のとき、FIFO バッファにデータを書いたり、PID[1:0] ビットを“01b” (BUF) にしないでください。

DEVSEL[3:0] ビット (デバイス選択ビット)

ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB デバイスアドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADDn (n=0~5) レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] ビットを“0010b”にする場合、DEVADD2 アドレスの設定を行ってください。

ファンクションコントローラ機能を選択したときは、DEVSEL[3:0] ビットの値を“0000b”にしてください。

28.2.31 パイプ周期制御レジスタ (PIPEPERI)

アドレス USB0.PIPEPERI 000A 006Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0] (注1)	インターバルエラー検出間隔ビット	選択パイプのインターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。	R/W
b11-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	IFIS	アイソクロナスINバッファフラッシュビット	0 : バッファフラッシュしない 1 : バッファフラッシュする	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. IITV[2:0]ビットの設定の変更は、PID=NAKの状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PIPEnCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PIPEPERI レジスタはパイプ1～9に対して、アイソクロナスIN転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をするレジスタです。

IITV[2:0] ビット (インターバルエラー検出間隔ビット)

IITV[2:0] ビットを設定し、USB通信を行った後で別の値に変更する場合には、PID=NAK設定後PIPEnCTR.ACLRMビットを“1”にして、インターバルタイマの初期化を行ってください。

パイプ3～5に対しては、IITV[2:0]ビットは存在しません。パイプ3～5に対応するIITV[2:0]ビットの位置には“000b”を設定してください。

IFIS ビット (アイソクロナスINバッファフラッシュビット)

PIPESEL.PIPESEL[3:0]ビットに指定したパイプ(選択パイプ)がアイソクロナスIN転送の場合に、バッファフラッシュ有無を指定します。

ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向がIN転送の場合において、IITV[2:0]ビットに設定したインターバルごとのフレーム中にUSBホストからINトークンをUSBが受信しなかった場合に、USBが自動的にFIFOバッファをクリアする機能です。

ダブルバッファ設定時(PIPECFG.DBLLBビットを“1”にしたとき)は、USBがクリアするのは古い方の1面分データのみです。

FIFOバッファクリアのタイミングは、INトークンを受信するはずのフレーム直後のSOFパケット受信時です。またSOFパケットが破損した場合でも内部補完機能によりSOFを受信すべきタイミングにクリアを行います。

ホストコントローラ機能選択時には、IITV[2:0]ビットを“000b”にしてください。

選択パイプの転送タイプがアイソクロナス以外の場合は、IITV[2:0]ビットを“000b”にしてください。

28.2.32 パイプ n コントロールレジスタ (PIPEnCTR) (n = 1 ~ 9)

- PIPEnCTR (n = 1 ~ 5)

アドレス USB0.PIPE1CTR 000A 0070h、USB0.PIPE2CTR 000A 0072h、USB0.PIPE3CTR 000A 0074h、USB0.PIPE4CTR 000A 0076h、
USB0.PIPE5CTR 000A 0078h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答 (バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジービット	0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用	R
b6	SQMON	トグルビット確認ビット	0 : DATA0 1 : DATA1	R
b7	SQSET	トグルビットセットビット (注2)	0 : 無効 1 : DATA1 指定	R/W (注1)
b8	SQCLR	トグルビットクリアビット (注2)	0 : 無効 1 : DATA0 指定	R/W (注1)
b9	ACLRM	自動バッファクリアモード (注3)	0 : 禁止 1 : 許可 (全バッファ初期化)	R/W
b10	ATREPM	自動応答モードビット (注2)	0 : 自動応答禁止 1 : 自動応答許可	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	INBUFM	送信バッファモニタビット	0 : バッファメモリに送信可能データなし 1 : バッファメモリに送信可能データあり	R
b15	BSTS	バッファステータスビット	0 : CPUからのバッファアクセス不可能 1 : CPUからのバッファアクセス可能	R

注1. 読むと“0”が読めます。

注2. ATREPMビットの設定の変更およびSQCLRビットまたはSQSETビットへの“1”書き込みは、PID=NAKの状態のときに実施してください。選択パイプのPID[1:0]ビットをBUFからNAKへ変更してから設定する場合には、PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注3. ACLRMビットの設定の変更は、PID = NAKおよびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PIPEnCTR レジスタの設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PID[1:0] ビット (応答 PID ビット)

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は NAK です。当該パイプで USB 転送を行う場合には PID[1:0] ビットを BUF に変更してください。PID[1:0] ビット設定値ごとの基本動作 (通信パケットにエラーがない場合の動作) は表 28.5 および表 28.6 のとおりです。

当該パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットを BUF から NAK に変更する場合、NAK を書いた後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY ビットが“1”であることを確認してください。

以下の場合には USB が PID[1:0] ビットの値を変更します。

- 当該パイプが受信方向の場合、かつソフトウェアが選択パイプの PIPECFG.SHTNAK ビットを“1”にしている場合、USB がトランスファ終了を認識したときに、PID = NAK を表示します。
- 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、USB は PID = STALL (11b) を表示します。
- ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、USB は PID = NAK を表示します。
- ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB は PID = NAK を表示します。
- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USB は PID = STALL (11b) を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、“10b”を書いてください。
- BUF (01b) 状態から STALL 状態にする場合には、“11b”を書いてください。
- STALL (11b) から NAK 状態にする場合には、一度“10b”を書いてから“00b”を書いてください。
STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

PBUSY ビット (パイプビジービット)

当該パイプを現在トランザクションで使用しているかが表示されます。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY ビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときに PBUSY ビットを“1”から“0”に変更します。

ソフトウェアが PID = NAK を設定した後、PBUSY ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「28.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON ビット (トグルビット確認ビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値が表示されます。

当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると USB は SQMON ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、SQMON ビットをトグルさせません。

SQSET ビット (トグルビットセットビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA1 にセットするときに“1”を指定します。

ソフトウェアが SQSET ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットに“0”を表示します。

SQCLR ビット (トグルビットクリアビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA0 にクリアするときに“1”を指定します。

ソフトウェアが SQCLR ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットに“0”を表示します。

ACLRM ビット (自動バッファクリアモードビット)

当該パイプの自動バッファクリアモードの禁止/許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに“1”、“0”を連続して書いてください。

ACLRM ビットに“1”、“0”を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて表 28.7 に示します。

ATREPM ビット (自動応答モードビット)

当該パイプの自動応答禁止/許可を指定します。

ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、ATREPM ビットを“1”にすることが可能です。

ATREPM ビットを“1”にした場合、USB ホストからのトークンに対し USB は以下のように応答します。

(1) 当該パイプが Bulk-IN 転送 (PIPECFG.TYPE[1:0] ビットに“01b”かつ PIPECFG.DIR ビットに“1”を設定) の場合

ATREPM ビットが“1”かつ PID = BUF にしている場合、IN トークンに対して USB は Zero-Length パケットを送信します。

USB ホストからの ACK 受信のたびに (1 トランザクションは IN トークン受信→ Zero Length パケット送信→ ACK 受信)、USB はシーケンストグルビット (DATA-PID) の更新 (トグル) を行います。

BRDY 割り込み、BEMP 割り込みは発生させません。

(2) 当該パイプが Bulk-OUT 転送 (PIPECFG.TYPE[1:0] ビットに“01b”かつ PIPECFG.DIR ビットに“0”を設定) の場合

ATREPM ビットが“1”かつ PID = BUF にしている場合、OUT トークンに対して USB は NAK 応答を行い、NRDY 割り込みを発生させます。

ATREPM ビットを“1”にして USB 通信を行う場合、FIFO バッファは空の状態を設定を行ってください。ATREPM ビットを“1”にして USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。

当該パイプの転送タイプがアイソクロナス転送の場合、ATREPM ビットは“0”にしてください。

ホストコントローラ機能選択時には、ATREPM ビットは“0”を書いてください。

INBUFM ビット (送信バッファモニタビット)

当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。

当該パイプを送信方向 (PIPECFG.DIR ビットが“1”) に設定している場合に、CPU または DMA 転送 / DTC 転送で少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、USB は INBUFM ビットに“1”を表示します。

書き込みが完了している面の FIFO バッファ上のデータを USB がすべて送信完了したときに、USB は INBUFM ビットに“0”を表示します。ダブルバッファ使用時 (PIPECFG.DBLB ビットが“1”) には、USB が 2 面分のデータを送信完了しかつ CPU または DMA 転送 / DTC 転送で 1 面分のデータ書き込みを完了していないときに、INBUFM ビットに“0”を表示します。

当該パイプを受信方向 (PIPECFG.DIR ビットが“0”) に設定している場合には、INBUFM ビットは BSTS ビットと同じ値を示します。

BSTS ビット (バッファステータスビット)

当該パイプのFIFOバッファステータスが表示されます。

BSTS ビットの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 28.8 に示すように異なります。

表 28.5 PID[1:0]ビットによるUSBの動作一覧 (ホストコントローラ機能選択時)

PID[1:0]ビット	転送タイプ	転送方向 (DIRビット)	USBの動作
"00b" (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
"01b" (BUF)	バルク または インタラプト	設定値に依存しない	DVSTCTR0.UACTビットが"1"で、かつ当該パイプに対応するFIFOバッファが送受信可能な状態ならばトークンを発行する DVSTCTR0.UACTビットが"0"である、または送受信可能でなければトークンを発行しない
	アイソクロナス	設定値に依存しない	当該パイプに対応するFIFOバッファの状態にかかわらずトークンを発行する
"10b" (STALL) または "11b" (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表 28.6 PID[1:0]ビットによるUSBの動作一覧 (ファンクションコントローラ機能選択時)

PID[1:0]ビット	転送タイプ	転送方向 (DIRビット)	USBの動作
"00b" (NAK)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにNAK応答を行う ただし、ATREPMビットが"1"のときの動作はATREPMビットの説明を参照してください
	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う
"01b" (BUF)	バルク	受信方向 (DIRビットが"0")	USBホストからのOUTトークンに対し、当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	インタラプト	受信方向 (DIRビットが"0")	USBホストからのOUTトークンに対し、当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	バルク、または インタラプト	送信方向 (DIRビットが"1")	対応するFIFOバッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければNAK応答を行う
	アイソクロナス	受信方向 (DIRビットが"0")	USBホストからのOUTトークンに対し、当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する
送信方向 (DIRビットが"1")		対応するFIFOバッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければZero-Lengthパケットを送信する	
"10b" (STALL) または	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにSTALL応答を行う
"11b" (STALL)	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う

表28.7 ACLRM = “1”設定時にUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けたFIFOバッファのすべての内容（ダブルバッファ設定時はFIFOバッファを2面ともクリア）	パイプの初期化をしたい場合
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFREビットに関する内部フラグ	PIPECFG.BFREビットの設定値変更時
4	FIFOバッファトグル制御	PIPECFG.DBLBビットの設定値変更時
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表28.8 BSTSビットの動作

DIRビット	BFREビット	DCLRMBIT	BSTSビットの機能
0	0	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了したときに“0”を表示します
		1	この組み合わせは設定しないでください
	1	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了した後でソフトウェアでポートコントロールレジスタのBCLRビットに“1”を書いたときに“0”を表示します
		1	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了したときに“0”を表示します
1	0	0	FIFOバッファへの送信データの書き込みが可能になったときに“1”を表示し、データの書き込みが完了したときに“0”を表示します
		1	この組み合わせは設定しないでください
	1	0	この組み合わせは設定しないでください
		1	この組み合わせは設定しないでください

- PIPEnCTR (n = 6 ~ 9)

アドレス USB0.PIPE6CTR 000A 007Ah、USB0.PIPE7CTR 000A 007Ch、USB0.PIPE8CTR 000A 007Eh、USB0.PIPE9CTR 000A 0080h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	—	PID[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK応答 0 1 : BUF応答 (バッファ状態に従う) 1 0 : STALL応答 1 1 : STALL応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジービット	0 : 当該パイプをUSBバスにて未使用 1 : 当該パイプはUSBバスにて使用	R
b6	SQMON	トグルビット確認ビット	0 : DATA0 1 : DATA1	R
b7	SQSET	トグルビットセットビット (注2)	0 : 無効 1 : DATA1 指定	R/W (注1)
b8	SQCLR	トグルビットクリアビット (注2)	0 : 無効 1 : DATA0 指定	R/W (注1)
b9	ACLRM	自動バッファクリアモードビット (注2、注3)	0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可 (全バッファ初期化)	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	BSTS	バッファステータスビット	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

注1. 読むと“0”が読めます。“1”のみ書けます。

注2. SQCLRビットまたはSQSETビットへの“1”書き込みは、PID=NAKの状態のときに実施してください。選択パイプのPID[1:0]ビットをBUFからNAKへ変更してから設定する場合には、PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注3. ACLRMビットの設定の変更は、PID = NAKおよびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PID[1:0] ビット (応答PIDビット)

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値はNAKです。当該パイプでUSB転送を行う場合にはPID[1:0] ビットをBUFに変更してください。PID[1:0] ビットの設定値ごとの基本動作 (通信パケットにエラーがない場合の動作) は表 28.5 および表 28.6 のとおりです。

当該パイプがUSB通信中であるときに、ソフトウェアでPID[1:0] ビットをBUFからNAKに変更する場合、NAKを書き込んだ後、実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにPBUSYビットが“1”であることを確認してください。

以下の場合にはUSBがPID[1:0] ビットの値を変更します。

- 当該パイプに対し、MaxPacketSizeを超えるペイロードのデータパケットを受信した場合、USBはPID = STALL (11b) を表示します。
- ファンクションコントローラ機能選択時に、USBバスリセットを検出した場合、USBはPID = NAKを表示します。
- ホストコントローラ機能選択時に、CRCエラーなどの受信エラーを3回連続で検出した場合には、USBはPID = NAKを表示します。

- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USB は PID = STALL (11b) を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、“10b” を書いてください。
- BUF (01b) 状態から STALL 状態にする場合には、“11b” を書いてください。
- STALL (11b) から NAK 状態にする場合には、一度“10b” を書いてから“00b” を書いてください。
- STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

PBUSY ビット (パイプビジービット)

当該パイプを現在 USB バスで使用しているかどうかが表示されます。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY ビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときに PBUSY ビットを“1”から“0”に変更します。

ソフトウェアが PID = NAK を設定した後、PBUSY ビットを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

SQMON ビット (トグルビット確認ビット)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。

トランザクションが正常処理すると USB は SQMON ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、SQMON ビットをトグルさせません。

SQSET ビット (トグルビットセットビット)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに“1”を指定します。

ソフトウェアが SQSET ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットに“0”を表示します。

SQCLR ビット (トグルビットクリアビット)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに“1”を指定します。

ソフトウェアが SQCLR ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットに“0”を表示します。

ACLRM ビット (自動バッファクリアモードビット)

当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに“1”、“0”を連続して書いてください。

ACLRM ビットに“1”、“0”を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて表 28.9 に示します。

BSTS ビット (バッファステータスビット)

当該パイプの FIFO バッファステータスが表示されます。

BSTS ビットの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 28.8 に示すように異なります。

表28.9 ACLRMビットを“1”にしたときにUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けたFIFOバッファのすべての内容	パイプの初期化をしたい場合
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

28.2.33 パイプnトランザクションカウンタインーブルレジスタ (PIPEnTRE) (n = 1 ~ 5)

アドレス USB0.PIPE1TRE 000A 0090h、USB0.PIPE2TRE 000A 0094h、USB0.PIPE3TRE 000A 0098h、USB0.PIPE4TRE 000A 009Ch、
USB0.PIPE5TRE 000A 00A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRCLR	トランザクションカウンタクリアビット	0：無効 1：カレントカウンタクリア	R/W
b9	TRENB	トランザクションカウンタ許可ビット	0：トランザクションカウンタ機能無効 1：トランザクションカウンタ機能有効	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. PIPEnTREレジスタの各ビットの変更は、PID = NAK時に実施してください。
対応するパイプのPIPEnCTR.PID[1:0]ビットをBUFからNAKへ変更したあとで各ビットの設定値を変更する場合には、PIPEnCTR.PBUSYビットが“0”であることを確認してから各ビットを変更してください。ただし、USBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

TRCLR ビット (トランザクションカウンタクリアビット)

当該パイプに対応するトランザクションカウンタの現在のカウンタ値をクリアし、TRCLR ビットに“0”を表示します。

TRENB ビット (トランザクションカウンタ許可ビット)

トランザクションカウンタ無効/有効を指定します。

受信パイプに対して、ソフトウェアでPIPEnTRN.TRNCNT[15:0]ビットに総パケット数を設定した後でTRENB ビットを“1”にすると、USBはTRNCNT[15:0]ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。

- PIPECFG.SHTNAKビットが“1”のとき、TRNCNT[15:0]ビットの設定値と同数のパケット受信を終了時点で対応するパイプのPIPEnCTR.PID[1:0]ビットをNAKに変更します。
- PIPECFG.BFREビットが“1”のとき、TRNCNT[15:0]ビットの設定値と同数のパケット受信し最後のデータを読み出し終えたときに、BRDY割り込みをアサートします

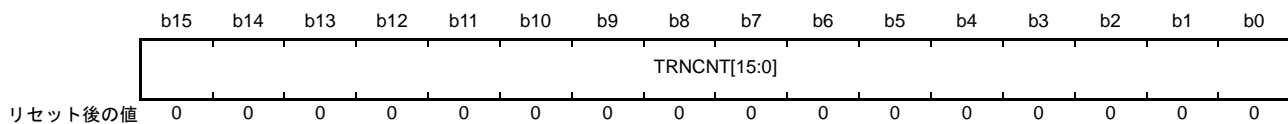
送信パイプについては、TRENBビットを“0”にしてください。

トランザクションカウンタ機能を使用しない場合は、TRENBビットを“0”にしてください。

トランザクションカウント機能を使用する場合、TRENB ビットを“1”にする前に TRNCNT[15:0] ビットの設定を行ってください。また、トランザクションカウントの対象となる最初の packets を受信する前に TRENB ビットを“1”にしてください。

28.2.34 パイプ n トランザクションカウンタレジスタ (PIPE_nTRN) (n = 1 ~ 5)

アドレス USB0.PIPE1TRN 000A 0092h、USB0.PIPE2TRN 000A 0096h、USB0.PIPE3TRN 000A 009Ah、USB0.PIPE4TRN 000A 009Eh、USB0.PIPE5TRN 000A 00A2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	TRNCNT[15:0]	トランザクションカウンタビット	<ul style="list-style-type: none"> レジスタ書き込み時： DMA転送のトランザクション回数を設定します レジスタ読み出し時： PIPE_nTRE.TRENBビットが“0”の場合は、設定したトランザクション回数が表示されます。 PIPE_nTRE.TRENBビットが“1”の場合は、カウント中のトランザクション回数が表示されます 	R/W

PIPE_nTRN レジスタは、USB バスリセットで設定値が保持されます。

TRNCNT[15:0] ビット (トランザクションカウンタビット)

USB は、受信時の状態が以下のすべてを満たしたときに TRNCNT[15:0] ビットを 1 インクリメントします。

- PIPE_nTRE.TRENB ビットが“1”である
- パケット受信時に (TRNCNT[15:0] 設定値 ≠ 現在のカウンタ値 +1) である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した

USB は、以下のいずれかの条件が満たされたときに TRNCNT[15:0] ビットの表示を“0”にします。

(1) 以下の条件がすべて満たされたとき

- PIPE_nTRE.TRENB ビットが“1”である
- パケット受信時に (TRNCNT[15:0] 設定値 = 現在のカウンタ値 +1) である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した

(2) 以下条件がすべて満たされたとき

- PIPE_nTRE.TRENB ビットが“1”である
- ショートパケットを受信した

(3) 以下の条件がすべて満たされたとき

- PIPE_nTRE.TRENB ビットが“1”である
- ソフトウェアが PIPE_nTRE.TRCLR ビットを“1”にした

送信パイプについては、TRNCNT[15:0] ビットを“0”にしてください。

トランザクションカウント機能を使用しない場合は、TRNCNT[15:0] ビットを“0”にしてください。

TRNCNT[15:0] ビットのトランザクション回数の設定は、PIPE_nTRE.TRENB ビットが“0”のときのみ可能です。また、トランザクション回数設定値を変更する場合には、開始 (PIPE_nTRE.TRENB ビットが“1”) 前に PIPE_nTRE.TRCLR ビットに“1”を書いてください (カレントカウンタ値のクリア)。

28.2.35 デバイスアドレス n コンフィグレーションレジスタ (DEVADDn) (n = 0 ~ 5)

アドレス USB0.DEVADD0 000A 00D0h、USB0.DEVADD1 000A 00D2h、USB0.DEVADD2 000A 00D4h、USB0.DEVADD3 000A 00D6h、
USB0.DEVADD4 000A 00D8h、USB0.DEVADD5 000A 00DAh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	USBSPD[1:0]	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	USBSPD[1:0]	通信対象デバイスの転送速度ビット	b7 b6 0 0 : DEVADDnレジスタ未使用 0 1 : 設定しないでください 1 0 : フルスピード 1 1 : 設定しないでください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DEVADDn レジスタは、パイプ 0 ~ 9 に対して、通信対象の周辺デバイスが接続されている通信速度を指定するレジスタです。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、DEVADDn レジスタの各ビットを設定してください。

DEVADDn レジスタの各ビットの変更は、各ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下両方の条件を満たしているパイプです。

- DEVSEL[3:0] ビットの設定が、DEVADDn レジスタを指定している
- 選択パイプのPID[1:0] ビットに BUF を設定しているとき、または選択パイプが DCP であり DCPCTR.SUREQ ビットが“1”になっている

USBSPD[1:0] ビット (通信対象デバイスの転送速度ビット)

通信対象の周辺デバイスの USB 転送速度を設定します。

HUB 経由でフルスピードデバイスが接続されたときには、“10b”にしてください。

ホストコントローラ機能選択時、USB は、USBSPD[1:0] ビットの設定値を参照してパケットを生成します。

ファンクションコントローラ機能選択時、“00b”にしてください。

28.3 動作説明

28.3.1 システム制御

USB の初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

28.3.1.1 動作開始

USB へのクロック供給が開始された (SYSCFG.SCKE ビットが “1”) 状態で、SYSCFG.USBE ビットを “1” にすることにより、動作が許可され、USB は動作を開始します。

28.3.1.2 コントローラ機能の選択設定

USB0 は、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFM ビットで行います。ただし、DCFM ビットの設定は、リセット解除直後の初期設定時、または D+ のプルアップと D+/D- のプルダウンがともに禁止 (SYSCFG.DPRPU = 0 かつ DRPD = 0) のときに行ってください。

28.3.1.3 USB 外部接続回路例

図 28.2 にセルフパワー時の USB コネクタの OTG 接続例 (USB0) を示します。

USB0 は、D+ 信号のプルアップ抵抗と D+, D- 信号のプルダウン抵抗の許可信号を制御します。SYSCFG.DPRPU ビット、SYSCFG.DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に DPRPU ビットに “0” を設定した場合は、USB データラインのプルアップ抵抗をディスエーブルにしますので、USB ホストにデバイスの切断を通知することができます。

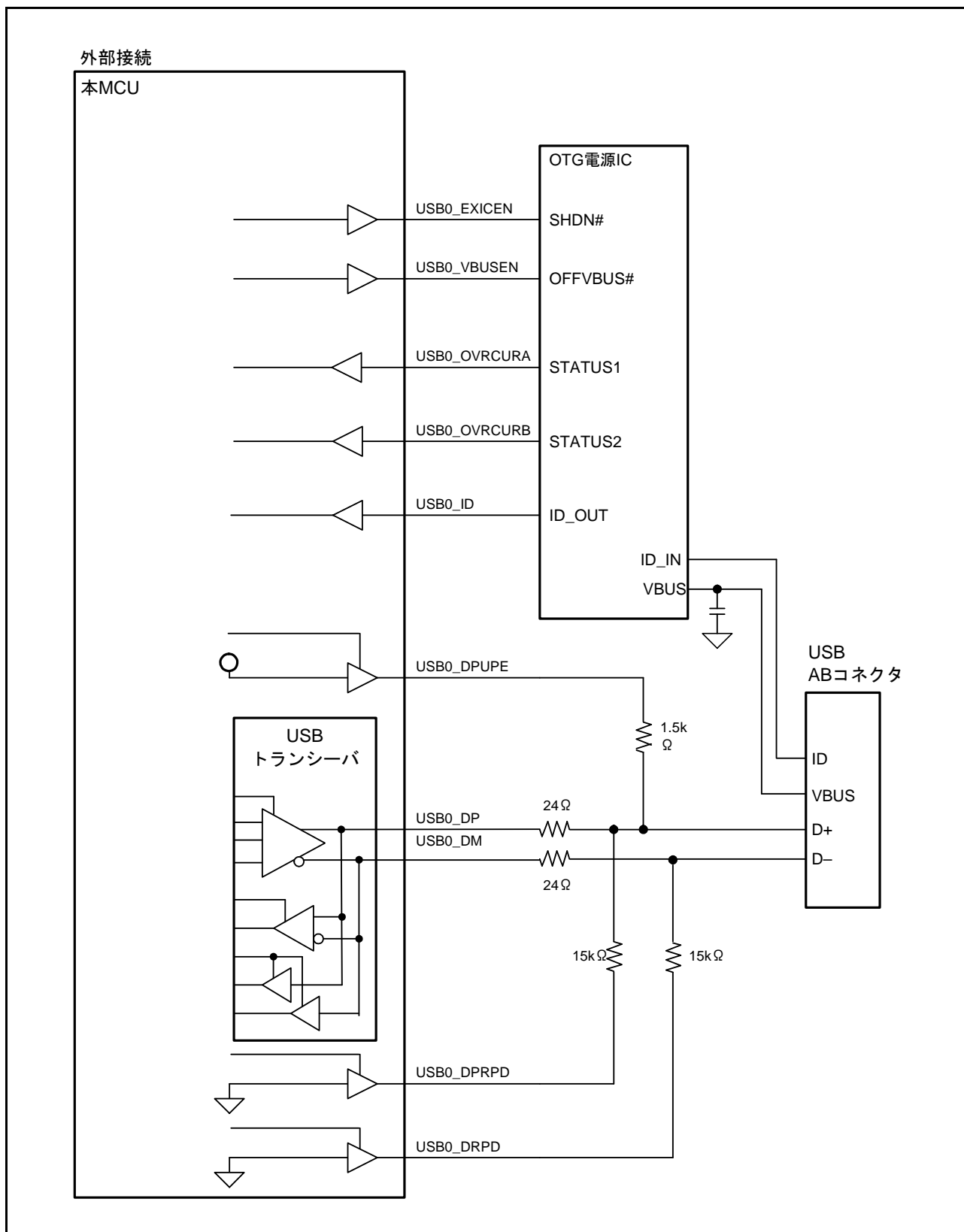


図 28.2 セルフパワー時の USB コネクタの OTG 接続例 (USB0)

図 28.3 にセルフパワー時の USB コネクタのファンクション接続例を示します。

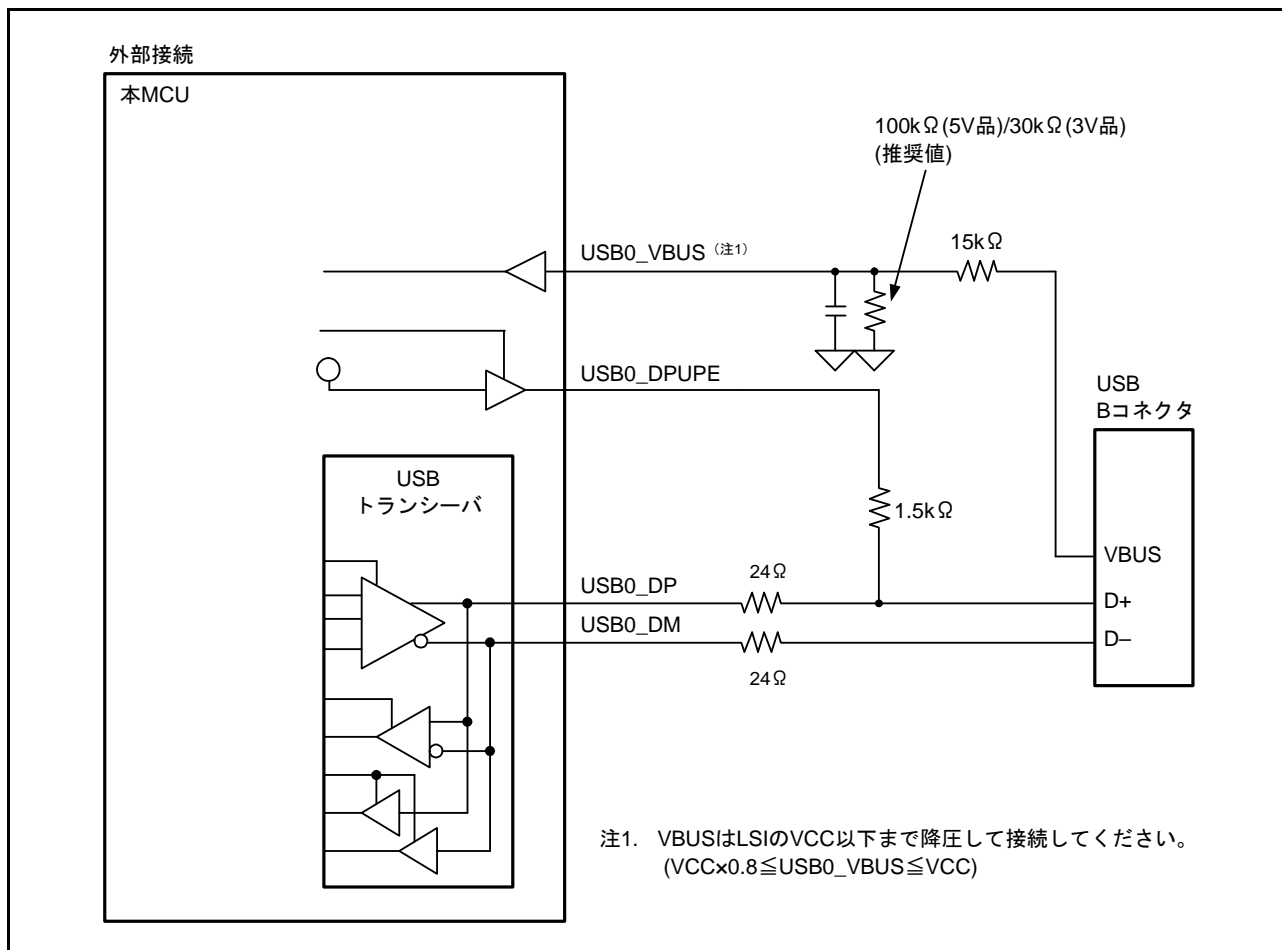


図 28.3 セルフパワー時の USB コネクタのファンクション接続例

図 28.4 に USB コネクタのホスト接続例 (USB0) を示します。

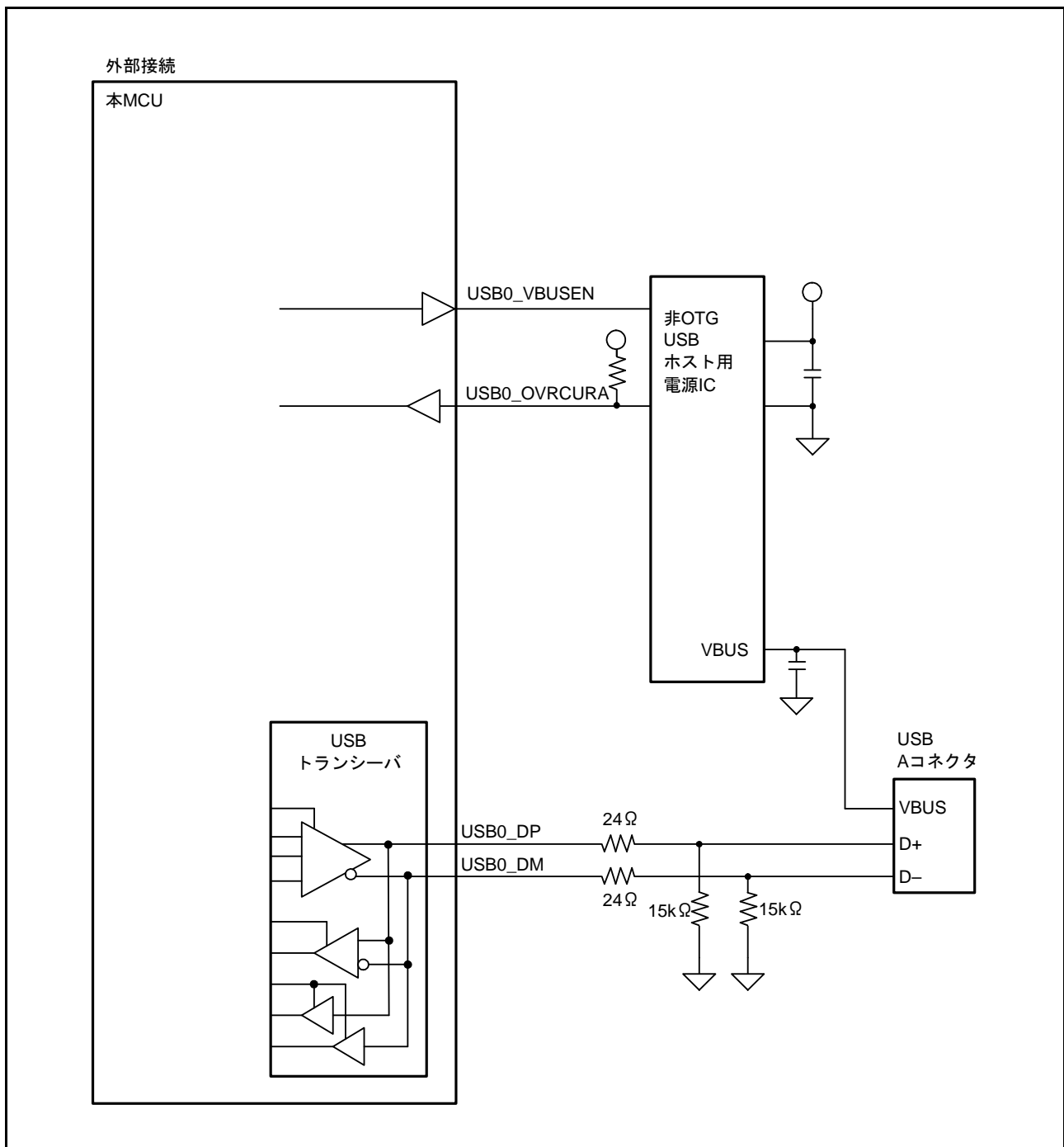


図 28.4 USB コネクタのホスト接続例 (USB0)

図 28.5 にバスパワー時の USB コネクタのファンクション接続例を示します。

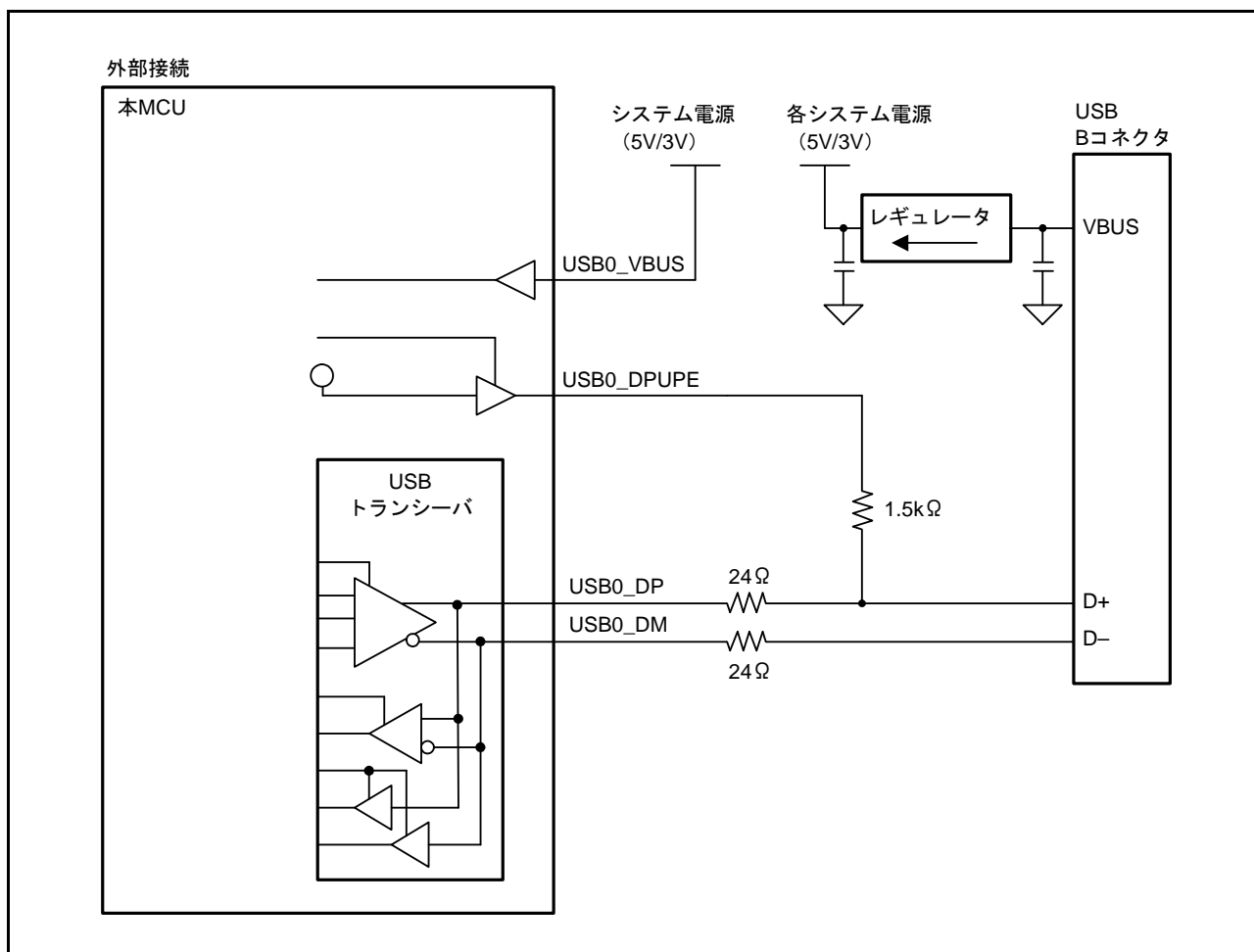


図 28.5 バスパワー時の USB コネクタのファンクション接続例

本章に記載した各外部回路例は、概略回路であり、すべてのシステムにおいて動作保証するものではありません。

28.3.2 割り込み要因

表 28.10 に USB の割り込み要因一覧を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USB は割り込みコントローラ (ICU) に対して USB 割り込み要求を発行し、USB 割り込みが発生します。

表 28.10 割り込み要因一覧

設定するビット	名称	割り込み要因	発生する機能	ステータスフラグ
VBINT	VBUS割り込み	<ul style="list-style-type: none"> USBm_VBUS入力端子の状態変化を検出したとき (Low→High、High→Lowの両方の変化) 	ホスト/ ファンクション (注1)	INTSTS0. VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> サスペンド状態においてUSBバスの状態変化を検出したとき (J-State→K-StateまたはJ-State→SE0) 	ファンクション	—
SOFR	フレーム番号更新 割り込み	[ホストコントローラ機能選択時] <ul style="list-style-type: none"> フレーム番号の異なるSOFパケットを送信したとき [ファンクションコントローラ機能選択時] <ul style="list-style-type: none"> フレーム番号の異なるSOFパケットを受信したとき 	ホスト/ ファンクション	—
DVST	デバイスステート遷移 割り込み	<ul style="list-style-type: none"> デバイスステートの遷移を検出したとき (以下) USBバスリセット検出 サスペンド状態検出 SET_ADDRESSリクエストの受信 SET_CONFIGURATIONリクエストの受信 	ファンクション	INTSTS0. DVSQ[2:0]
CTRT	コントロール転送 ステージ遷移割り込み	<ul style="list-style-type: none"> コントロール転送のステージ遷移を検出したとき (以下) セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生 	ファンクション	INTSTS0. CTSQ[2:0]
BEMP	バッファEMPTY 割り込み	<ul style="list-style-type: none"> バッファメモリ中の全データを送信してバッファが空になったとき マックスパケットサイズを超えたパケットを受信したとき 	ホスト/ ファンクション	BEMPSTS. PIPEnBEMP
NRDY	バッファノットレディ 割り込み	[ホストコントローラ機能選択時] <ul style="list-style-type: none"> 発行したトークンに対して周辺デバイス側からのSTALLを受信したとき 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき (無応答が3回連続、またはパケット受信エラーが3回連続) アイソクロナス転送時にオーバーラン/アンダーランが発生したとき [ファンクションコントローラ機能選択時] <ul style="list-style-type: none"> PIDビット=BUFを設定しているときに、INトークン/OUTトークンに対してNAKを応答したとき アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフエラーが発生したとき アイソクロナス転送でデータ受信時にオーバーラン/アンダーランが発生したとき 	ホスト/ ファンクション	NRDYSTS. PIPEnNRDY
BRDY	バッファレディ 割り込み	<ul style="list-style-type: none"> バッファがレディ (リードまたはライト可能状態) になったとき 	ホスト/ ファンクション	BRDYSTS. PIPEnBRDY
OVRRCR	オーバカレント変化 割り込み	<ul style="list-style-type: none"> USB0_OVRCURAおよびUSB0_OVRCURB入力端子の状態変化を検出したとき (Low→High、High→Lowの両方の変化) 	ホスト	INTSTS1. OVRRCR
BCHG	バス変化割り込み	<ul style="list-style-type: none"> USBバスステートの変化を検出したとき 	ホスト/ ファンクション	SYSSTS0. LNST[1:0]
DTCH	フルスピード動作時 切断検出	<ul style="list-style-type: none"> フルスピード動作時周辺デバイスの切断を検出したとき 	ホスト	DVSTCTR0. RHST[2:0]
ATTCH	デバイス接続検出	<ul style="list-style-type: none"> USBバスステートが2.5μs連続したJ-State、または2.5μs連続したK-Stateを検出したとき。周辺デバイスの接続検出に使用可能。 	ホスト	—
EOFERR	EOFエラー検出	<ul style="list-style-type: none"> 周辺デバイスのEOFエラーを検出 	ホスト	—
SACK	SETUP正常	<ul style="list-style-type: none"> セットアップトランザクションの正常応答 (ACK) を受信したとき 	ホスト	—
SIGN	SETUPエラー	<ul style="list-style-type: none"> セットアップトランザクションのエラー (無応答またはACKパケット破損) を3回連続で検出したとき 	ホスト	—

注1. 本割り込みは、ホスト機能時も発生しますが、通常ホスト機能時には使用しません。

図 28.6 に USB0 の割り込み関連図を示します。

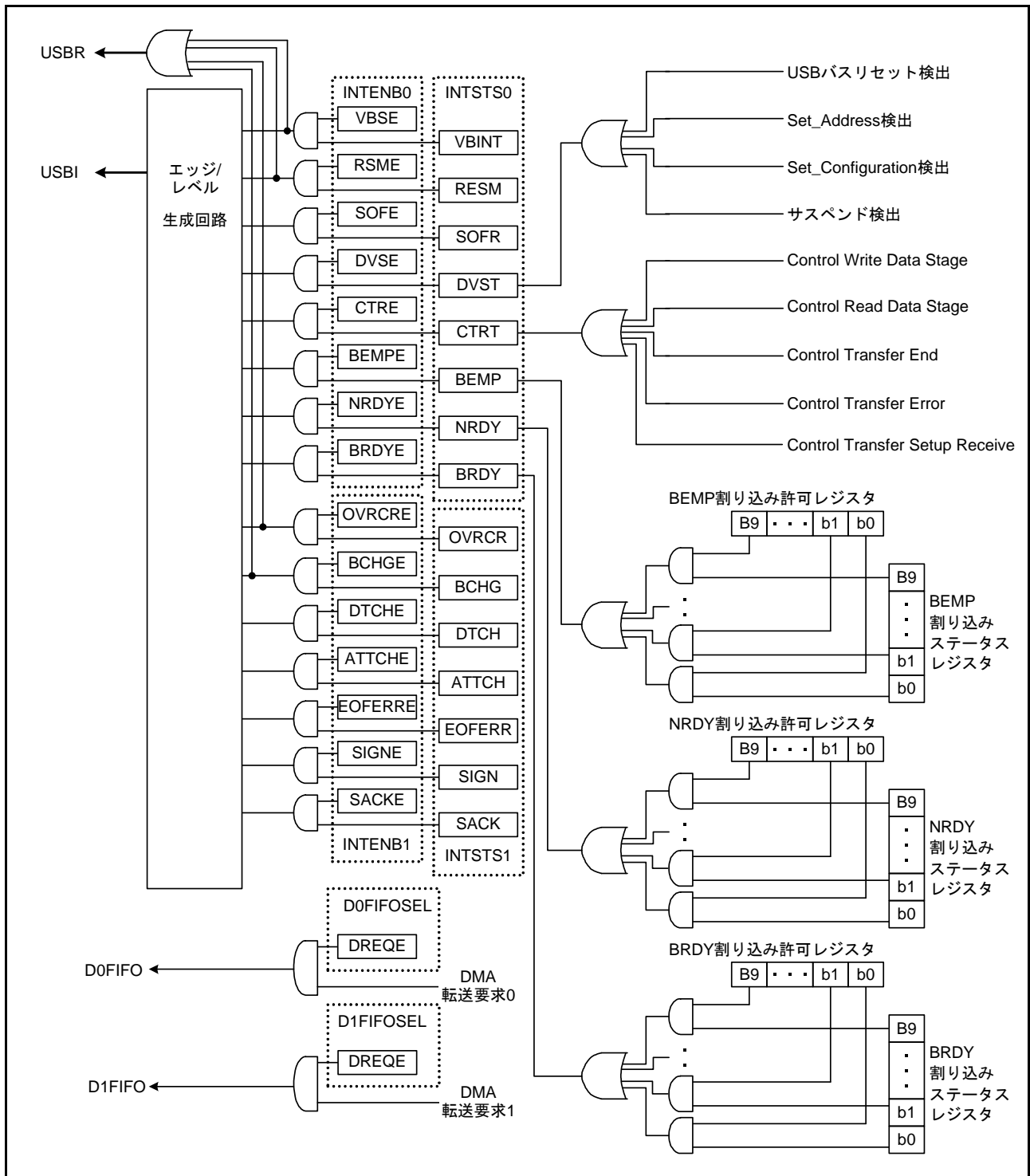


図 28.6 USB0 割り込みの関連図

表 28.11 に USB0 の割り込み一覧を示します。

表 28.11 USB0の割り込み一覧

割り込み名称	割り込みフラグ	DTCの 起動	DMACの 起動	優先順位
D0FIFO	DMA転送要求0	可能	可能	高 ↑
D1FIFO	DMA転送要求1	可能	可能	
USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバカレント変化割り込み ^(注1) 、バス変化割り込み ^(注1) 、フルスピード動作時切断検出 ^(注1) 、デバイス接続検出 ^(注1) 、EOFエラー検出 ^(注1) 、SETUP正常 ^(注1) 、SETUPエラー ^(注1)	不可能	不可能	低
USBR	VBUS割り込み、レジューム割り込み、オーバカレント変化割り込み、バス変化割り込み	不可能	不可能	—

28.3.3 割り込みの説明

28.3.3.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラ、ファンクションコントローラのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、USB は BRDYSTS レジスタの当該ビットを“1”にします。このとき、ソフトウェアが当該パイプに対応する BRDYENB.PIPEnBRDYE ビットを“1”にし、かつ、INTENB0.BRDYE ビットを“1”にしていれば、USB は BRDY 割り込みを発生させます。

BRDY 割り込みは、SOFCFG.BRDYM ビットおよび各パイプの PIPECFG.BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(1) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“0”のとき

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

USB は、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する BRDYSTS.PIPEnBRDY ビットに“1”を表示します。

(a) 送信方向に設定したパイプの場合

- ソフトウェアが DIR ビットを“0”から“1”に変更したとき
- 当該パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可能な状態のとき (BSTS ビット読み出し値が“0”のとき) に、USB が当該パイプの packets 送信を完了したとき
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
- FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに“1”を書くことより、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては (すなわち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

(b) 受信方向に設定したパイプの場合

- 当該パイプに割り付けた FIFO バッファへの CPU からの読み出しが不可能な状態のとき (BSTS ビット読み出し値が“0”のとき) に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき
データ PID ミスマッチのトランザクションに対し、要求トリガは発生しません。
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ読み出し完了時にもう一方の FIFO バッファも読み出し可能状態であったとき
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信では BRDY 割り込みは発生しません。

ソフトウェアは、当該パイプに対応する PIPEnBRDY ビットに“0”を書くことにより、当該パイプの PIPEnBRDY 割り込みステータスを“0”にすることができます。このとき、他のパイプに対応するビットには“1”を書いてください。

この割り込みステータスのクリアは、FIFO バッファへのアクセスを行う前に実施してください。

(2) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“1”のとき

この設定の場合、USB は、受信パイプにおいて 1 トランスファ分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、BRDYSTS レジスタの当該パイプに対応するビットに“1”を表示します。

USB は、以下のいずれかのときに 1 トランスファにおける最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- トランザクションカウンタ (PIPEnTRN) を使用し、PIPEnTRN.TRNCNT[15:0] ビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USB は 1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態 Zero-Length パケット受信した場合は、Zero-Length パケットデータが CPU 側へトグルされた時点で、USB は 1 トランスファ分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応するポートコントロールレジスタの BCLR ビットにソフトウェアで“1”を書いてください。

この設定の場合には、USB は送信パイプに対して BRDY 割り込みを検出しません。

ソフトウェアは、当該パイプに対応する BRDYSTS.PIPEnBRDY ビットに“0”を書くことにより、当該パイプの PIPEnBRDY 割り込みステータスを“0”にすることができます。このとき他のパイプに対応するビットには“1”を書いてください。

このモードを使用するときには、トランスファ分の処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、PIPEnCTR.ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(3) SOFCFG.BRDYM ビットが“1”かつ PIPECFG.BFRE ビットが“0”のとき

この設定の場合、BRDYSTS.PIPEnBRDY ビットの値は各パイプの BSTS ビットに連動します。即ち、BRDY 割り込みステータスは FIFO バッファの状態によって USB が“1”、“0”を表示します。

(a) 送信方向に設定したパイプの場合

FIFO ポートにデータが書き込み可能な状態であれば“1”を表示し、書き込み不可能な状態になれば“0”を表示します。ただし、DCP の送信パイプが書き込み可能であっても、BRDY 割り込みは発生しません。

(b) 受信方向に設定したパイプの場合

FIFO ポートにデータが読み出し可能な状態であれば“1”を表示し、すべてのデータを読み出したら（読み出しが不可能の状態になったら）“0”を表示します。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアが BCLR = “1” を書くまで該当ビットには“1”が表示され BRDY 割り込みは発生し続けます。

受信方向に設定したパイプ設定時、ソフトウェアは、PIPEnBRDY ビットを“0”にすることはできません。

SOFCFG.BRDYM ビットが“1”のときは、PIPECFG.BFRE ビットはすべて（全パイプ）“0”にしてください。

図 28.7 に、BRDY 割り込み発生タイミング図を示します。

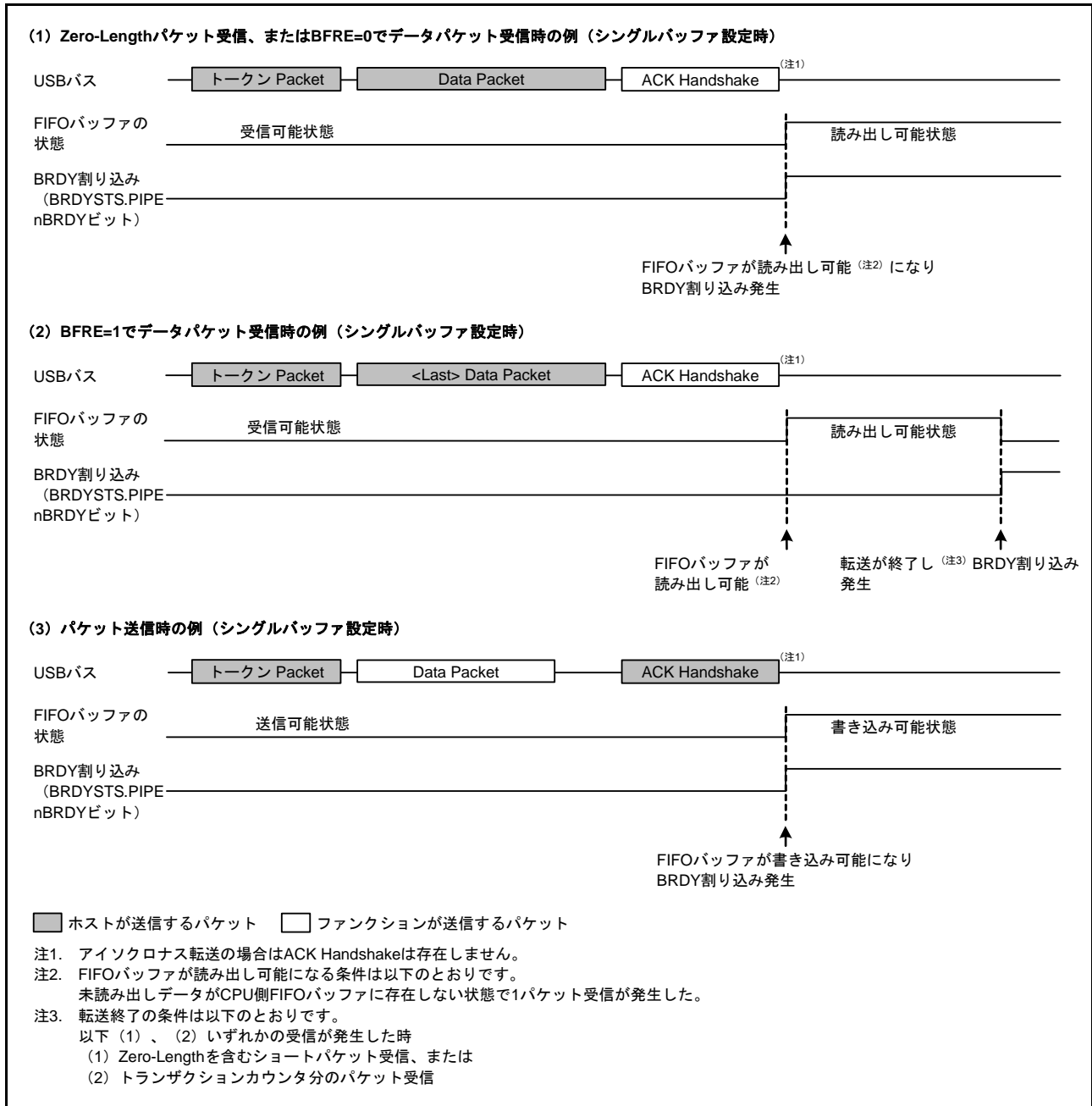


図 28.7 BRDY 割り込み発生タイミング図

USB が INTSTS0.BRDY ビットをクリアする条件は、SOFCFG.BRDYM ビットの設定値によって異なります。表 28.12 に BRDY ビットクリア条件表を示します。

表 28.12 BRDYビットクリア条件表

BRDYMビット	BRDYビットのクリア条件
0	ソフトウェアがBRDYSTSレジスタの全ビットを“0”にすると、USBはBRDYビットを“0”にします
1	全パイプのBSTSビットが“0”になったときに、USBはBRDYビットを“0”にします

28.3.3.2 NRDY 割り込み

ソフトウェアが PID = BUF に設定したパイプに対して、USB が内部 NRDY 割り込み要求を発生させた場合に、USB は NRDYSTS.PIPEnNRDY ビットの対応するビットに“1”を表示します。このとき、ソフトウェアによって NRDYENB レジスタの対応するビットを“1”にしている場合、USB は INTSTS0.NRDY ビットに“1”を表示し、USB 割り込みを発生させます。

USB が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時の SETUP トランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントローラ機能選択時の SETUP トランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(1) ホストコントローラ機能選択時

(a) 送信方向パイプの場合

USB は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき
このとき、USB は OUT トークンに続けて Zero-Length パケットを送信し、NRDYSTS.PIPEnNRDY ビットの対応するビットに“1”を表示し、FRMNUM.OVRN ビットにも“1”を表示します。
- 転送タイプがアイソクロナス以外のパイプ、かつ SETUP トランザクション以外の通信において、周辺デバイスが無応答（周辺デバイスからの Handshake パケットを検出しないままタイムアウトを検出）した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき
このとき、USB は、PIPEnNRDY ビットの対応するビットに“1”を表示し、対応するパイプの PID[1:0] ビットを NAK に変更します。
- SETUP トランザクション以外の通信において、周辺デバイスから STALL Handshake を受信したとき
このとき USB は、PIPEnNRDY ビットの対応するビットに“1”を表示し、対応するパイプの PID[1:0] ビットを STALL (11b) に変更します。

(b) 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに空きがない状態で IN トークン発行タイミングに達したとき
このとき USB は、IN トークンに対する受信データを破棄し、当該パイプに対応する PIPEnNRDY ビットに“1”を表示し、OVRN ビットにも“1”を表示します。
更に、IN トークンに対する受信データにパケットエラーを検出した場合には、FRMNUM.CRCE ビットにも“1”を表示します。
- 転送タイプがアイソクロナス転送以外のパイプで、USB が発行した IN トークンに対して周辺デバイスが無応答（周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき
このとき USB は、当該パイプに対応する PIPEnNRDY ビットに“1”を表示し、対応するパイプの PID[1:0] ビットを NAK に変更します。
- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスが無応答（周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したとき

このとき USB は、当該パイプに対応する PIPE_nNRDY ビットに“1”を表示します（対応するパイプの PID[1:0] ビットの変更は行いません）。

- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッピングエラーを検出したとき
このとき USB は、当該パイプに対応する PIPE_nNRDY ビットに“1”を表示し、CRCE ビットに“1”を表示します。
- STALL Handshake を受信したとき
このとき USB は、当該パイプに対応する PIPE_nNRDY ビットに“1”を表示し、対応するパイプの PID[1:0] ビットを STALL に変更します。

(2) ファンクションコントローラ機能選択時

(a) 送信方向パイプの場合

- FIFO バッファに送信データがない状態で IN トークンを受信したとき
IN トークン受信時に USB は NRDY 割り込み要求を発生させ NRDYSTS.PIPE_nNRDY ビットに“1”を表示します。
割り込み発生パイプの転送タイプがアイソクロナスの場合、USB は Zero-Length パケットを送信し、FRMNUM.OVRN ビットに“1”を表示します。

(b) 受信方向パイプの場合

- FIFO バッファに空きがない状態で OUT トークンを受信したとき
割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に USB は NRDY 割り込み要求を発生させ、PIPE_nNRDY ビットに“1”を表示し、OVRN ビットに“1”を表示します。
割り込み発生パイプの転送タイプがアイソクロナス以外の場合、USB は、OUT トークンに続くデータ受信後 NAK Handshake を送信するときに NRDY 割り込み要求を発生させ、PIPE_nNRDY ビットに“1”を表示します。
ただし、再送時（DATA-PID ミスマッチ発生時）には、NRDY 割り込み要求を発生させません。また、DATA パケットにエラーがある場合にも、発生させません。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき
SOF 受信のタイミングで USB は、NRDY 割り込み要求を発生させ、PIPE_nNRDY ビットに“1”を表示します。

図 28.8 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

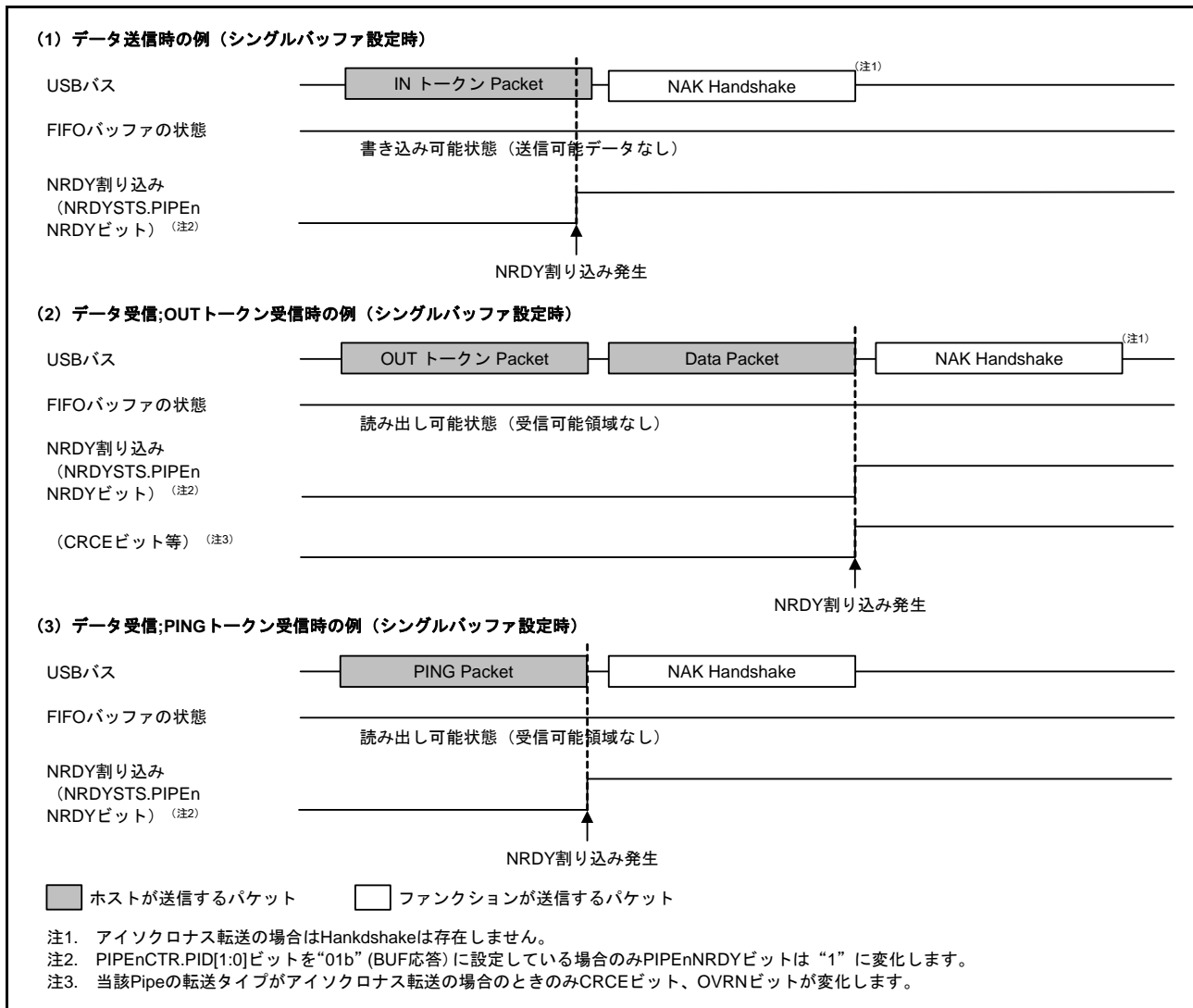


図 28.8 NRDY 割り込み発生タイミング図 (ファンクションコントローラ機能選択時)

28.3.3.3 BEMP 割り込み

ソフトウェアが PID = BUF に設定したパイプに対して、USB が、BEMP 割り込みを検出した場合に、USB は BEMPSTS.PIPEnBEMP ビットの対応するビットに“1”を表示します。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットを“1”にしている場合、USB は INTSTS0.BEMP ビットに“1”を表示し、USB 割り込みが発生します。

以下の場合に、USB は内部 BEMP 割り込み要求を発生させます。

(1) 送信方向パイプの場合

送信完了時 (Zero-Length パケットの送信時を含む) に、対応するパイプの FIFO バッファが空のとき、シングルバッファ設定時は、DCP 以外のパイプに対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- ダブルバッファ設定時に、1 面分のデータ送信完了時に CPU または DMA 転送/DTC 転送で CPU 側の FIFO バッファに対する書き込みを開始している場合
- また、PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタの BCLR ビットに“1”を書くことに

よるバッファクリア (エンプティ)。

- ファンクションコントローラ機能設定時、コントロール転送 Status ステージの IN 転送 (Zero-Length パケット送信) 時

(2) 受信方向パイプの場合

MaxPacketSize の設定値より大きなデータサイズを正常受信したとき、USB は、BEMP 割り込み要求を発生させ、BEMPSTS.PIPEnBEMP ビットの対応するビットに“1”を表示し、受信データを破棄し、対応するパイプの PID[1:0] ビットを STALL (11b) に変更します。このとき USB は、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時には STALL 応答を行います。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- 受信データに CRC エラー、またはビットスタッフィングエラー等を検出したとき
- SETUP トランザクション実行時
BEMPSTS.PIPEnBEMP ビットに“0”を書くことにより、ステータスをクリアすることができます。
BEMPSTS.PIPEnBEMP ビットに“1”を書いても、動作に影響ありません。

図 28.9 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

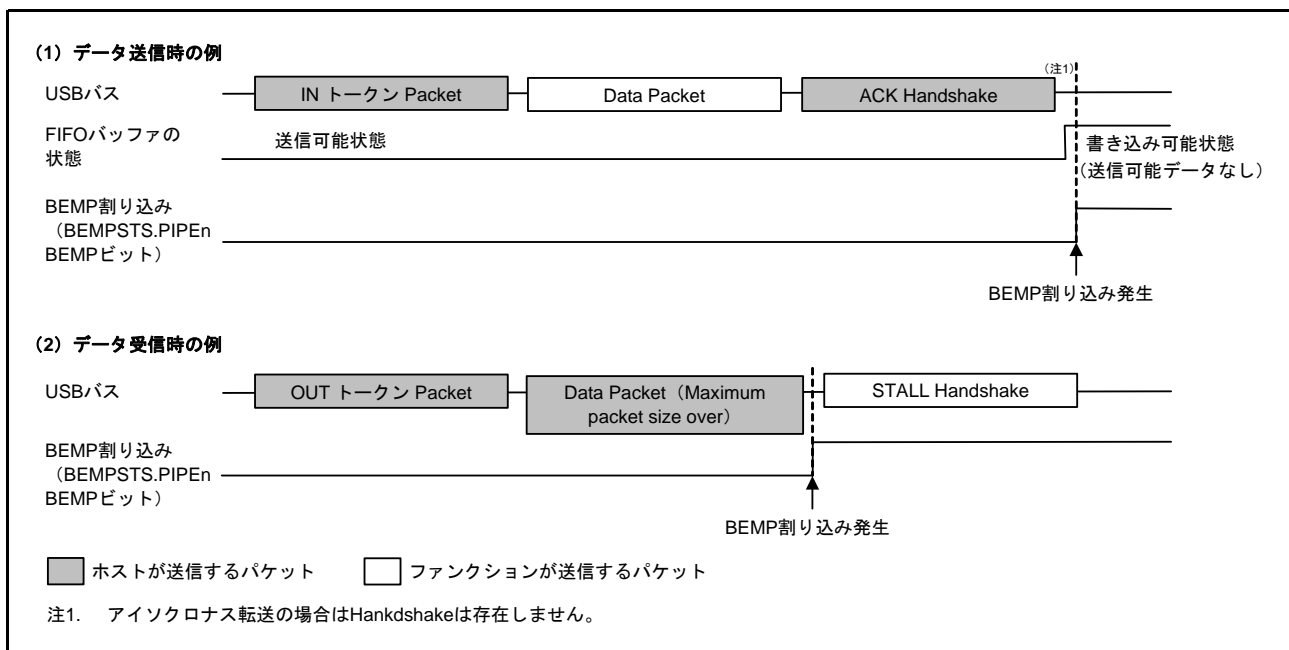


図 28.9 ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

28.3.3.4 デバイスステート遷移割り込み

図 28.10 に USB のデバイスステート遷移図を示します。USB は、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0.DVSQ[2:0] ビットにて確認できます。

デフォルトステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

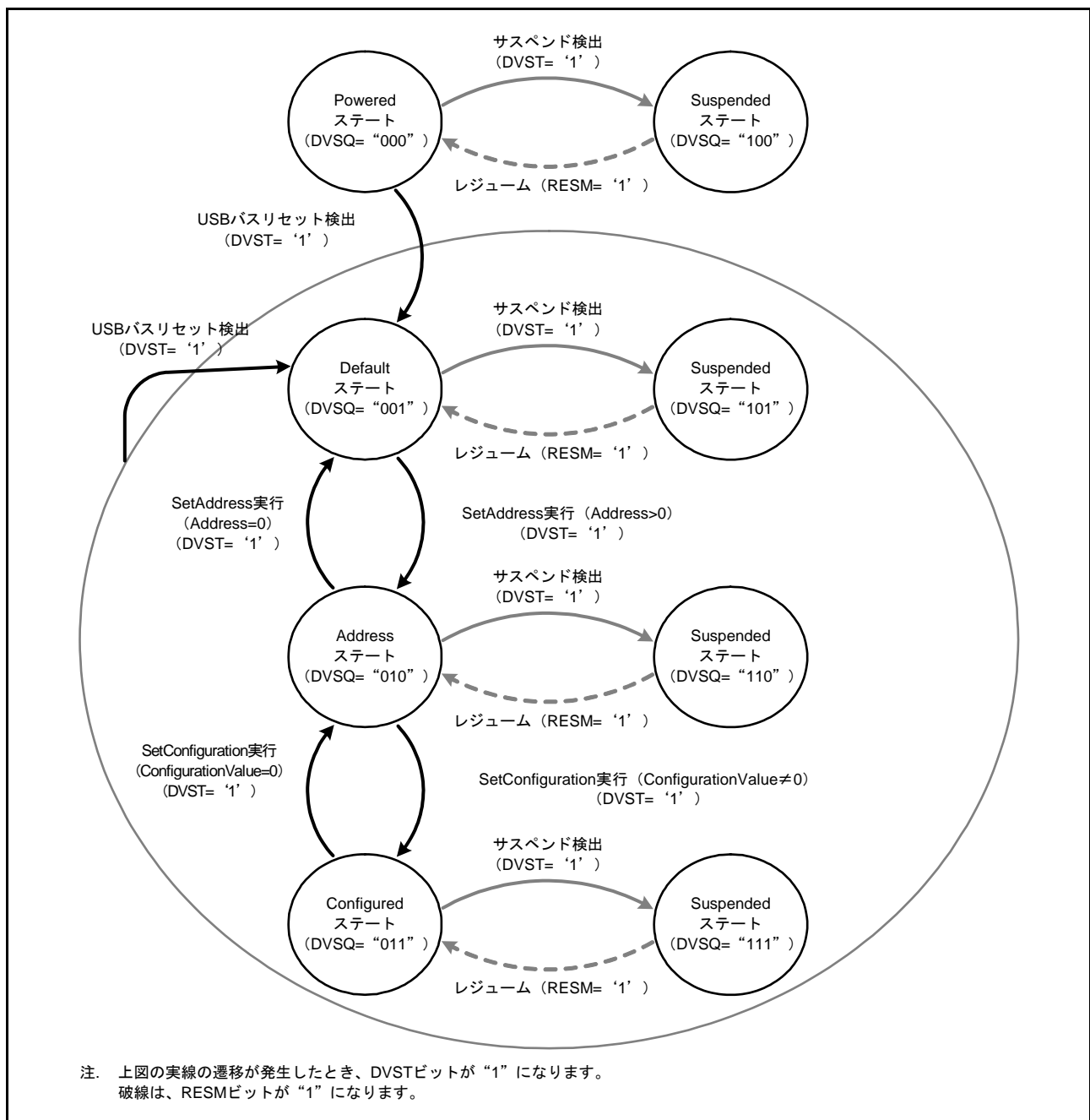


図 28.10 デバイスステート遷移図

28.3.3.5 コントロール転送ステージ遷移割り込み

図 28.11 に USB のコントロール転送ステージ遷移図を示します。USB は、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0.CTSQ[2:0] ビットにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントローラ機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが“1xb” (STALL 応答) になります。

コントロールリード転送時

- データステージの IN トークンに対して、1度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークン受信
- ステータスステージでデータパケットが DATAPID = DATA0 のパケットを受信

コントロールライト転送時

- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットが DATAPID = DATA0 のパケットを受信
- ステータスステージで OUT トークン受信

コントロールライトノーデータコントロール転送時

- ステータスステージで OUT トークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (INTSTS0.CTRT = “1”) は、CTSQ[2:0] = “110b” の値がシステムから CTRT ビットに “0” を書く (割り込みステータスクリア) まで保持されます。このため、CTSQ[2:0] = “110b” が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません (セットアップステージ完了は、USB で保持されており、ソフトウェアによる割り込みステータスクリア後に、セットアップステージ完了割り込みが発生します)。

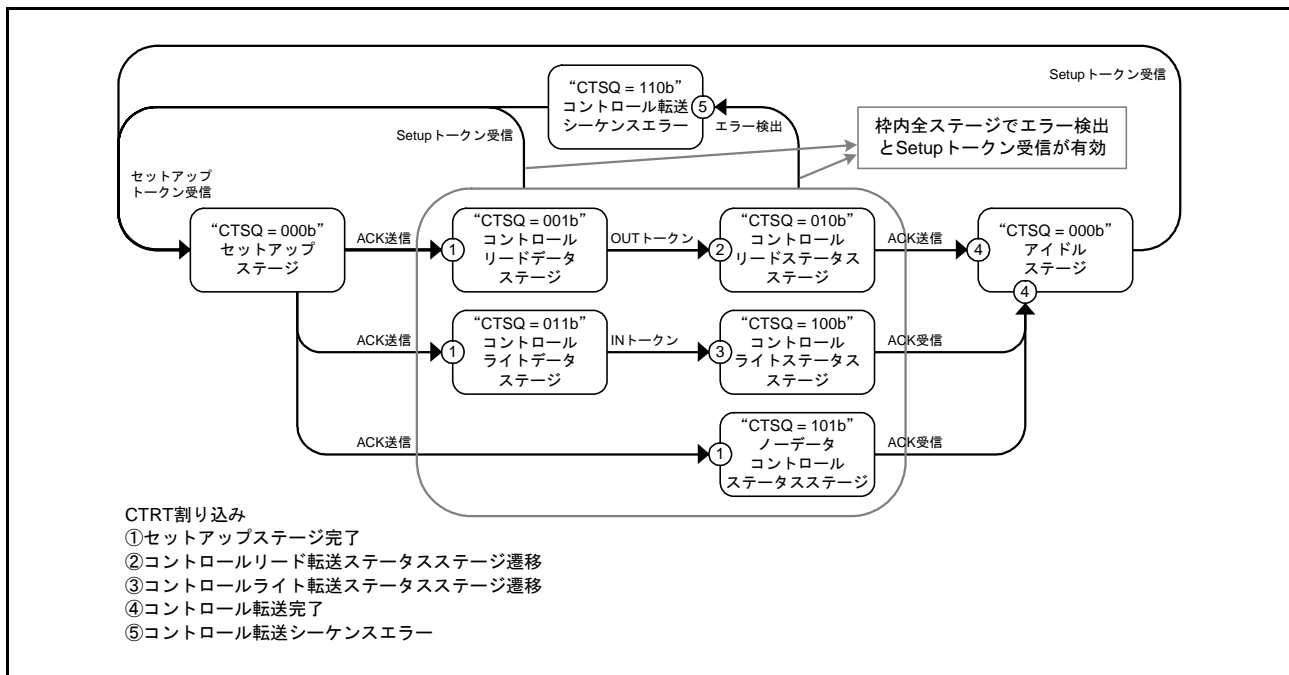


図 28.11 コントロール転送ステージ遷移図

28.3.3.6 フレーム番号更新割り込み

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたときに SOFR 割り込みが発生します。

ファンクションコントローラ機能を選択した場合、USB は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みが発生します。

28.3.3.7 VBUS 割り込み

USB0_VBUS 端子に変化があった場合に VBUS 割り込みが発生します。INTSTS0.VBSTS ビットにて USB0_VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、USB0_VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

28.3.3.8 レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態で USB バス状態が変化 (J-State → K-State または J-State → SE0) したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。

28.3.3.9 OVRCCR 割り込み

USB0_OVRCURA 端子または USB0_OVRCURB 端子に変化があった場合に OVRCCR 割り込みが発生します。SYSSTS0.OVCMON[1:0] ビットにて USB0_OVRCURA 端子および USB0_OVRCURB 端子のレベルを確認できます。OVRCCR 割り込みによって外部電源 IC からオーバカレント検出の確認ができます。また On-The-Go 接続時には VBUS コンパレータ変化検出の確認ができます。

28.3.3.10 BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

28.3.3.11 DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。USB は、USB Specification2.0 に準じた基準でバスディスコネクトを検出します。

USB は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示する
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

28.3.3.12 SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

28.3.3.13 SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を3回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合（無応答）や、ACK パケットの破損を検出することができます。

28.3.3.14 ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード信号レベルの J-State または K-State を 2.5 μ s 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μ s 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μ s 間継続したとき

28.3.3.15 EOFERR 割り込み

USB 2.0 仕様書に定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り込みを発生します。

USB は、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示する
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

28.3.4 パイプコントロール

表 28.13 に USB のパイプ設定項目一覧を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。USB にはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表 28.13 パイプ設定項目一覧

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE	転送タイプを指定	パイプ1~9：設定可能
	BFRE	BRDY 割り込みモードを選択	パイプ1~5：設定可能
	DBLB	ダブルバッファを選択	パイプ1~5：設定可能
	DIR	転送方向を選択	INまたはOUT設定可能
	EPNUM	エンドポイント番号	パイプ1~9：設定可能 パイプ使用時は“0000b”以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ1、2：設定可能（バルク転送選択時のみ設定可能） パイプ3~5：設定可能
DCPMAXP PIPEMAXP	DEVSEL	デバイス選択	ホストコントローラ機能選択時のみ参照
	MXPS	マックスパケットサイズ	USB規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ1、2：設定可能（アイソクロナス転送選択時のみ） パイプ3~9：設定不可能
	IITV[2:0]	インターバルカウンタ	パイプ1、2：設定可能（アイソクロナス転送選択時のみ） パイプ3~5：設定不可能 パイプ6~9：ホストコントローラ機能選択時のみ設定可能
DCPCTR PIPECTR	BSTS	バッファステータス	DCPはISELビットにより、受信/送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	パイプ1~5のみ内蔵
	SUREQ	SETUPリクエスト	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	SUREQCLR	SUREQクリア	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	ATREPM	自動応答モード	パイプ1~5：設定可能 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1~9：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	パイプビジー確認	
	PID	応答PID	「28.3.4.6 応答PID」を参照してください。
PIPEnTRE	TRENb	トランザクションカウンタ許可	パイプ1~5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1~5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ1~5：設定可能

28.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB通信が不許可 (PID = NAK) であるときのみ書き替えが可能になります。

USB通信許可 (PID = BUF) 状態では設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR, SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR.ATREPM, ACLRM, SQCLR, SQSET ビット
- PIPEnTRE レジスタ、PIPEnTRN レジスタの各ビット

USB通信許可 (PID = BUF) 状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. 当該パイプのPID[1:0] ビットをNAKに変更します。
3. 当該パイプのPBUSY ビットが“0”になるまで待ちます。
4. パイプコントロールレジスタのビット変更が開始されます。

また、パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのいずれのCURPIPE[3:0] ビットにも設定されていないパイプ情報のみ書き替えが可能です。

CURPIPE[3:0] に設定中に設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタのCURPIPE[3:0] ビットの設定を変更パイプ以外に指定してください。なお、DCPについてはパイプ情報修正後、ポートコントロールレジスタのBCLR ビットにてバッファのクリア処理をしてください。

28.3.4.2 転送タイプ

PIPECFG.TYPE[1:0] ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP : 設定不要 (コントロール転送固定) です。
- パイプ 1、2 : バルク転送またはアイソクロナス転送を設定してください。
- パイプ 3～5 : バルク転送を設定してください。
- パイプ 6～9 : インタラプト転送を設定してください。

28.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント“0”に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- DCP：設定不要（エンドポイント“0”固定）です。
- パイプ1～9：1から15までを選択して設定してください。
ただし、PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないように設定してください。

28.3.4.4 マックスパケットサイズ設定

DCPMAXP.MXPS[6:0] ビットおよび PIPEMAXP.MXPS[8:0] ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ1～5はUSB規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ6～9は最大64バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前（PID = BUF）に設定してください。

- DCP：8、16、32、64から選択して設定してください。
- パイプ1～5：バルク転送時は、8、16、32、64から選択して設定してください。
- パイプ1、2：アイソクロナス転送時は、1から256の値を設定してください。
- パイプ6～9：1から64の値を設定してください。

28.3.4.5 トランザクションカウンタ（パイプ1～5読み出し方向）

USBは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタには、トランザクション回数を指定する PIPE_nTRN レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、PIPECFG.SHTNAK ビット設定が“1”との組み合わせによりカレントカウンタが指定回数に一致すると、当該 PIPE_nCTR.PID[1:0] ビットを NAK 状態とし、次の転送を不許可状態にします。PIPE_nTRE.TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。PIPE_nTRE.TRENB ビットの設定により、PIPE_nTRN レジスタ読み出し時の情報が異なります。

- TRENB ビットが“0”：設定したトランザクションカウンタ値が読めます。
- TRENB ビットが“1”：内部でカウントしたカレントカウンタ値が読めます。

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID = BUF の場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

28.3.4.6 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID[1:0] ビットにて各パイプの応答 PID を設定します。各設定における USB の動作は下記のとおりです。

(1) ホストコントローラ機能選択時の応答 PID 設定

応答 PID は、トランザクションの実施を指定します。

- NAK 設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF 設定：バッファメモリの状況に応じてトランザクションが実施されます。
OUT 方向の場合、バッファメモリに送信データがある場合、OUT トークンを発行します。
IN 方向の場合、バッファメモリに空きがあり受信可能な場合、IN トークンを発行します。
- STALL 設定：パイプ禁止状態です。トランザクションは実施されません。

注． DCP のセットアップトランザクションは、DCPCTR.SUREQ ビットで設定します。

(2) ファンクションコントローラ機能選択時の応答 PID 設定

応答 PID は、ホストからのトランザクションに対する応答を指定します。

- NAK 設定：発生したトランザクションに対して NAK 応答します。
- BUF 設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL 設定：発生したトランザクションに対して STALL 応答します。

注． セットアップトランザクションに対しては、PID[1:0] ビットの設定にかかわらず、ACK 応答し、レジスタに USB リクエストを格納します。

PID[1:0] ビットは、トランザクション結果により USB による書き込みが発生する場合があります。USB により PID[1:0] ビットへの書き込みが発生するのは以下の場合です。

(3) ホストコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID = NAK となり、トークンの発行を自動的に停止します。
アイソクロナス以外の転送で、NRDY 割り込みが発生したとき
(詳細は、「28.3.3.2 NRDY 割り込み」を参照してください。)
ーバルク転送時に PIPECFG.SHTNAK ビットを“1”にした場合でショートパケットを受信したとき
ーバルク転送時に SHTNAK ビットを“1”にし、トランザクションカウンタが終了したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID = STALL となり、トークンの発行を自動的に停止します。
ー送信したトークンに対して STALL を受信したとき
ー受信したデータパッケージがマックスパッケージサイズを超えたとき

(4) ファンクションコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID = NAK となり、トランザクションに対して NAK 応答します。
SETUP トークンを正常に受信したとき (DCP のみ)
バルク転送時に PIPECFG.SHTNAK ビットを“1”にし、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID = STALL となり、トランザクションに対して STALL 応答します。
ー受信データパッケージでマックスパッケージサイズオーバーエラーを検出したとき
ーコントロール転送シーケンスエラーを検出したとき (DCP のみ)

28.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USBによりデータPIDのシーケンスビットが自動的にトグル動作します。次に送出されるデータPIDのシーケンスビットは、DCPCTRレジスタおよびPIPEnCTRレジスタのSQMONビットにて確認できます。データ送信時はACKハンドシェイク受信タイミングで、データ受信時はACKハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTRレジスタおよびPIPEnCTRレジスタのSQCLRビット、SQSETビットにてデータPIDシーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時にUSBが自動的にシーケンスビットを設定します。セットアップステージ終了時はDATA1になります。ステータスステージではシーケンスビットは参照せず、PID=DATA1で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeatureリクエストの送信または受信時などは、ソフトウェアでデータPIDシーケンスビットを設定する必要がありますので注意してください。

28.3.4.8 応答PID = NAK 機能

USBには、PIPECFG.SHTNAKビットを“1”にすることで、トランスファの最後（ショートパケット受信またはトランザクションカウンタでモジュールが自動識別）のデータパケット受信タイミングで、パイプ動作を禁止（応答PID=NAK）する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可（応答PID=BUF）設定を行う必要があります。

なお、応答PID=NAK機能はバルク転送時のみ動作することが可能です。

28.3.4.9 自動応答モード

バルク転送のパイプ（パイプ1～5）において、PIPEnCTR.ATREPMビットを“1”にすると、自動応答モードとなります。OUT転送時（PIPECFG.DIRビットが“0”）にはOUT-NAKモードとなり、IN転送時（DIRビットが“1”）にはNull自動応答モードとなります。

28.3.4.10 OUT-NAKモード

バルクOUT転送のパイプにおいて、PIPEnCTR.ATREPMビットを“1”にすると、OUTトークンに対してNAK応答し、NRDY割り込みを出力します。通常モードからOUT-NAKモードへ設定するためには、パイプ動作禁止状態（応答PID=NAK）でOUT-NAKモードに設定して、パイプ動作許可（応答PID=BUF）を行ってください。パイプ動作許可後に、OUT-NAKモードが有効になります。ただし、パイプ動作禁止にする直前でOUTトークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへACK応答されます。

OUT-NAKモードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答PID=NAK）でOUT-NAKモードを解除して、パイプ動作許可（応答PID=BUF）を行ってください。通常モードでは、OUTデータ受信が可能となります。

28.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを“1”にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態（応答 PID = NAK）で、Null 自動応答モードに設定して、パイプ動作許可（応答 PID = BUF）を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。PIPEnCTR.INBUFM ビットが“0”であることで確認してください。INBUFM ビットが“1”の場合には、バッファ内にデータが存在しているため、PIPEnCTR.ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）を Zero-Length パケット送信分ウェイト（約 10 μ s）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID = BUF）を行うことにより、ホストへのパケット送信が可能となります。

28.3.5 FIFO バッファメモリ

28.3.5.1 FIFO バッファメモリ

USB はデータ転送用の FIFO バッファメモリを内蔵します。各 PIPE の使用領域は、USB にて管理しています。FIFO バッファメモリの状況には、アクセス権がシステム（CPU 側）にある場合と USB（SIE 側）にある場合があります。

(1) バッファステータス

表 28.14 および表 28.15 に USB のバッファステータス表を示します。バッファメモリステータスを DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットにて確認できます。バッファメモリのアクセス方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット（DCP 選択時）で、バッファメモリのアクセス方向を指定します。

なお、INBUFM ビットは送信方向のパイプ 1～5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS ビットは CPU 側のバッファの状態を、INBUFM ビットは SIE 側のバッファの状態を判断するために使用します。CPU または DMA 転送 /DTC 転送による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM ビットで送信完了を確認できます。

表 28.14 BSTS ビットによるバッファステータス

ISEL または DIR	BSTS	バッファメモリの状態
0 (受信方向)	0	受信データなし、または受信中 FIFO ポートからの読み出し不可能
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可能のためバッファクリアが必要
1 (送信方向)	0	送信を完了していない FIFO ポートへの書き込み不可能
1 (送信方向)	1	送信完了 CPU は書き込み可能

表28.15 INBUFMビットによるバッファステータス

DIR	INBUFM	バッファメモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データがFIFOポートから書き込まれた 送信可能データあり

28.3.5.2 FIFO バッファクリア

表 28.16 に USB による FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、PIPEnCTR.ACLRM ビットでクリアすることができます。

表28.16 各バッファクリア一覧

FIFO バッファクリアの種類	CPU側バッファメモリをクリアします。	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
当該レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
当該ビット	BCLR ビット	DCLRM ビット	ACLARM ビット
"0"になる条件	"1"書き込みで"0"になる	1: モード有効 0: モード無効	1: モード有効 0: モード無効

(1) 自動バッファクリアモード機能

USB には、PIPEnCTR.ACLRM ビットを“1”にすることで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、自動バッファクリアモード機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLARM ビットを“1”にし、続けて“0”にすることで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLARM ビットへの“1”書き込みと“0”書き込みの間隔を 100ns 以上とってください。

(2) バッファメモリ仕様 (シングル/ダブル設定)

パイプ 1～5 は、PIPECFG.DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

28.3.5.3 FIFO ポートの機能

表 28.17 に USB の FIFO ポート機能設定表を示します。データ書き込みアクセス時は、マックスパケットサイズ数まで書き込みを行うと、自動的に送信可能状態となります。マックスパケットサイズ数未満のデータを送信可能状態にするには、ポートコントロールレジスタの BVAL フラグによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL フラグによる書き込み終了設定が必要です。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時 (DTLN[8:0] ビットが“0”) は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0] ビットにて確認します。

表 28.17 FIFOポート機能設定

レジスタ名	ビット名	機能
CFIFOSEL、 DnFIFOSEL (n = 0, 1)	RCNT	DTLN読み出しモード選択
	REW	バッファメモリリwind (再読み出し、再書き込み)
	DCLRM	指定パイプの受信データ読み出し後自動クリア (DnFIFO専用)
	DREQE	DMA転送/DTC転送許可 (DnFIFO専用)
	MBW	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアン選択
	ISEL	FIFOポートアクセス方向 (DCP専用)
	CURPIPE	カレントパイプ選択
CFIFOCTR、 DnFIFOCTR (n = 0, 1)	BVAL	バッファメモリ書き込み終了
	BCLR	CPU側バッファメモリクリア
	DTLN	受信データ長確認

(1) FIFO ポート選択

表 28.18 に各 FIFO ポートで選択可能なパイプ表を示します。ポート選択レジスタの CURPIPE[3:0] ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE[3:0] ビット値が正しく読み出せたのを確認してから (前回のパイプ番号が読み出された場合には、USB コントローラがパイプ変更処理中である事を示します)、ポートコントロールレジスタの FRDY ビットが“1”であることを確認し、FIFO ポートへアクセスしてください。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPECFG.DIR ビットに従います。ただし、DCP のみポート選択レジスタの ISEL ビットにより決定します。

表 28.18 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
パイプ1~9	CPUアクセス	CFIFOポートレジスタ D0FIFO/D1FIFOポートレジスタ
	DMA/DTCアクセス	D0FIFO/D1FIFOポートレジスタ

(2) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、ポート選択レジスタの REW ビットを使用します。

ポート選択レジスタの CURPIPE[3:0] ビット設定と同時に REW ビットを“1”にしてパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、“0”にしパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、ポートコントロールレジスタの FRDY ビットが“1”であることを確認する必要があります。

28.3.5.4 DMA 転送 /DTC 転送 (D0FIFO/D1FIFO ポート)

(1) DMA/DTC 転送概要

パイプ 1～9 に対して、DMA 転送 /DTC 転送による FIFO ポートアクセスが可能です。DMA 転送 /DTC 転送に設定したパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL.MBW ビットにて FIFO ポートへの転送単位を、DnFIFOSEL.CURPIPE[3:0] ビットにて DMA 転送 /DTC 転送するパイプを選択してください。なお、DMA 転送 /DTC 転送中は選択しているパイプを変更しないでください。

(2) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

USB は、DnFIFOSEL.DCLRM ビットを“1”にすることで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

表 28.19 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。表 28.19 に示すように、PIPECFG.BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DnFIFOSEL.DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送 /DTC 転送が可能となります。

なお、DnFIFO 自動クリアモードはバッファメモリ読み出し方向のみ設定できます。

表 28.19 パケット受信とソフトウェアによるバッファメモリクリア処理の関連

パケット受信時の バッファ状態	レジスタの設定			
	DCLRM = “0”		DCLRM = “1”	
	BFRE = “0”	BFRE = “1”	BFRE = “0”	BFRE = “1”
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

28.3.6 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

28.3.6.1 ホストコントローラ機能選択時のコントロール転送

(1) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR.SUREQ ビットに“1”を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、“0”になります。SUREQ = “1” 中は上記 USB リクエストレジスタを操作しないでください。

接続されたファンクションデバイスのアタッチ検出後、そのデバイスに対する最初のセットアップトランザクションは、DCPMAXP.DEVSEL[3:0] ビットを“0”にし、DEVADD0.USBSPPD[1:0] ビットを設定し上記シーケンスでセットアップトランザクションを発行してください。

接続されたファンクションデバイスが Address ステートに遷移した以降は、DEVSEL[3:0] ビットに割り付けた USB Address 値を設定し、USB Address に対応する DEVADDn レジスタの各ビットを設定後に上記シーケンスでセットアップトランザクションを発行してください。例えば、PIPEMAXP.DEVSEL[3:0] = “2h” のときは DEVADD2 レジスタを、PIPEMAXP.DEVSEL[3:0] = “5h” のときは DEVADD5 レジスタを設定してください。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN ビットおよび SACK ビット)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR.SQMON ビットの内容にかかわらず、DATA0 のデータパケット (USB リクエスト) が送信されます。

(2) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL.ISEL ビットでアクセス方向を指定してください。また、DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。

DCPCTR.SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

(3) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。

DCPCTR.SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR.DTLN[8:0] ビットで受信データ長を確認のうえ、CFIFOCTR.BCLR ビットでバッファメモリクリアを行ってください。

28.3.6.2 ファンクションコントローラ機能選択時のコントロール転送

(1) セットアップステージ

USBは、USBに対する正常なセットアップパケットに対してACK応答します。セットアップステージのUSBの動作を以下に示します。

新しいセットアップパケットを受信すると、USBは以下のビットをセットします。

- INTSTS0.VALID ビットを“1”にする
- DCPCTR.PID[1:0] ビットをNAKにセット
- DCPCTR.CCPL ビットを“0”にする

セットアップパケットに引き続きデータパケット受信すると、USBは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、VALIDビットを“0”にした後にしてください。VALIDビットが“1”の状態ではPID=BUF設定が行えず、データステージを終了することができません。

VALIDビットの機能により、USBは、コントロール転送中に新しいUSBリクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USBは、受信したUSBリクエストの方向ビット (bmRequestTypeのビット8) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。USBのステージ管理については図28.11を参照してください。

(2) データステージ

受信したUSBリクエストに対応したデータ転送をDCPにて行ってください。DCPバッファメモリへアクセスする前に、CFIFOSEL.ISELビットにてアクセス方向指定を行ってください。

転送データがDCPバッファメモリのサイズより大きい場合には、コントロールライト転送ではBRDY割り込みを、コントロールリード転送ではBEMP割り込みを使用してデータ転送を行ってください。

(3) ステータスステージ

DCPCTR.PID[1:0]ビットがPID=BUFの状態、DCPCTR.CCPLビットを“1”にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USBが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合
USBからのZero-Lengthパケットを受信し、ACK応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合
USBはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。

(4) コントロール転送自動応答機能

USBは、正常なSET_ADDRESSリクエストに自動応答します。SET_ADDRESSリクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- bmRequestTypeが“00h”でない場合：コントロールライト転送以外
- wIndexが“00h”でない場合：リクエストエラー
- wLengthが“00h”でない場合：ノーデータコントロール転送以外
- wValueが“7Fh”より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0]ビットが“011b” (Configuredステート) の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

28.3.7 バルク転送 (パイプ1～5)

バルク転送は、バッファメモリ使用方法 (シングル/ダブルバッファ設定) の選択ができます。

USBは、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み選択機能 (PIPECFG.BFRE ビット：「28.3.3.1 (2) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“1”のとき」参照)
- トランザクションカウント機能 (PIPEnTRE.TRENB, TRCLR ビット、PIPEnTRN.TRNCNT[15:0] ビット：「28.3.4.5 トランザクションカウンタ (パイプ1～5読み出し方向)」参照)
- 応答PID=NAK機能 (PIPECFG.SHTNAK ビット：「28.3.4.8 応答PID=NAK機能」参照)
- 自動応答モード (PIPEnCTR.ATREPM ビット：「28.3.4.9 自動応答モード」参照)

28.3.8 インタラプト転送 (パイプ6～9)

ファンクションコントローラ機能選択時、USBは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。

28.3.8.1 ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI.IITV[2:0]ビットに、トランザクションのインターバルを設定します。USBコントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

(1) カウンタの初期化

インターバルカウンタは、MCUがリセットされたとき、またはPIPEnCTR.ACLRMビットを“1”にしたときに初期化されます。なお、ACLRMビットによる初期化時は、PIPEPERI.IITV[2:0]ビットは初期化されません。

なお、以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USBバスリセット、USBサスペンド
IITV[2:0]ビットは初期化されません。DVSTCTR0.UACTビットを“1”にすることにより、USBバスリセット、USBサスペンド状態とする前の値からカウントを開始します。

(2) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PIDをNAKまたはSTALLに設定した場合

- IN 方向（受信）の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT 方向（送信）の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

28.3.9 アイソクロナス転送（パイプ 1、2）

USB は、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ（PIPEPERL.IITV[2:0] ビット指定）
- アイソクロナス IN 転送データセットアップコントロール（「28.3.9.3 インターバルカウンタ (4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ」参照）
- アイソクロナス IN 転送バッファフラッシュ機能（PIPEPERL.IFIS ビット指定）

28.3.9.1 アイソクロナス転送のエラー検出

USB は、アイソクロナス転送のエラー発生を、ソフトウェアが管理可能なように、下記のエラー情報の検出機能を持っています。表 28.20 および表 28.20 に USB がエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

(a) PID エラー

- 受信パケットの PID が不正な場合

(b) CRC エラー、ビットスタッフィングエラー

- 受信パケットの CRC にエラーがあった場合またはビットスタッフィングが不正な場合

(c) マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた場合

(d) オーバラン、アンダーランエラー

- ホストコントローラ機能選択時
IN 方向（受信）の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合
OUT 方向（送信）の転送時にトークンの送信タイミングにバッファメモリにデータがない場合
- ファンクションコントローラ機能選択時
IN 方向（送信）の転送時に IN トークン受信時にバッファメモリにデータがない場合
OUT 方向（受信）の転送時に OUT トークン受信したがバッファメモリに空き領域がない場合

(e) インターバルエラー

ファンクションコントローラ機能選択時に、以下のときにインターバルエラーとします。

- アイソクロナス IN 転送でインターバルフレームに IN トークンを受信できなかった場合
- アイソクロナス OUT 転送でインターバルフレームに OUT トークンを受信できなかった場合

表28.20 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）
3	オーバラン、アンダーランエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY割り込みを発生させ、FRMNUM.OVRNビットを“1”にします。ファンクションコントローラ機能選択時は、INトークンに対してZero-Lengthパケットを送信します。OUTトークンに対してはデータパケットを受信しません
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY割り込みを発生させます。ホストコントローラ機能選択時は発生しません

表28.21 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY割り込みを発生させて、FRMNUM.CRCEビットを“1”にします
3	マックスパケットサイズオーバーエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、BEMP割り込みを発生させて、PID[1:0]ビットをSTALLにセットします

28.3.9.2 DATA-PID

ファンクションコントローラ機能選択時に、受信したPIDに対する対応を以下に示します。

IN 方向

- DATA0：データパケットのPIDとして送信します
- DATA1：送信しません
- DATA2：送信しません
- mData：送信しません

OUT 方向

- DATA0：データパケットのPIDとして正常受信します
- DATA1：データパケットのPIDとして正常受信します
- DATA2：パケットを無視します
- mData：パケットを無視します

28.3.9.3 インターバルカウンタ

PIPEPERI.IITV[2:0] ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 28.22 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表 28.22 ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナスIN転送でインターバルフレームにINトークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレームにOUTトークンを正常受信できない

インターバルのカウンタは、SOFの受信または補完されたSOFで行いますので、SOFが破損しても等時性を保つことができます。設定できるフレーム間隔は2IITV[2:0] フレームです。

(1) ファンクションコントローラ機能選択時でのカウンタの初期化

インターバルカウンタは、MCUがリセットされたとき、またはPIPEnCTR.ACLRM ビットを“1”にしたときに初期化されます。なお、ACLRM ビットによる初期化時は、PIPEPERI.IITV[2:0] ビットは初期化されません。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウンタを開始します。

1. PID = BUF 状態で IN トークンに対して、データを送信後の SOF 受信
2. PID = BUF 状態で OUT トークンのデータを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0] ビットを NAK または STALL に設定した場合
インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
- USB バスリセットおよび USB サスペンド
IITV[2:0] ビットは初期化されません。SOFを受信すると、受信前の値からカウンタを開始します。

(2) ホストコントローラ機能選択時のインターバルカウントと転送制御

PIPEPERI.IITV[2:0] ビットの設定値に従って USB はトークン発行間隔を制御します。USB は $2^{IITV[2:0]}$ 回のフレームに 1 回の間隔で選択パイプに対するトークンを発行します。

USB は、ソフトウェアが PID ビットを BUF に設定した次のフレームからトークン発行間隔のカウンタを開始します。

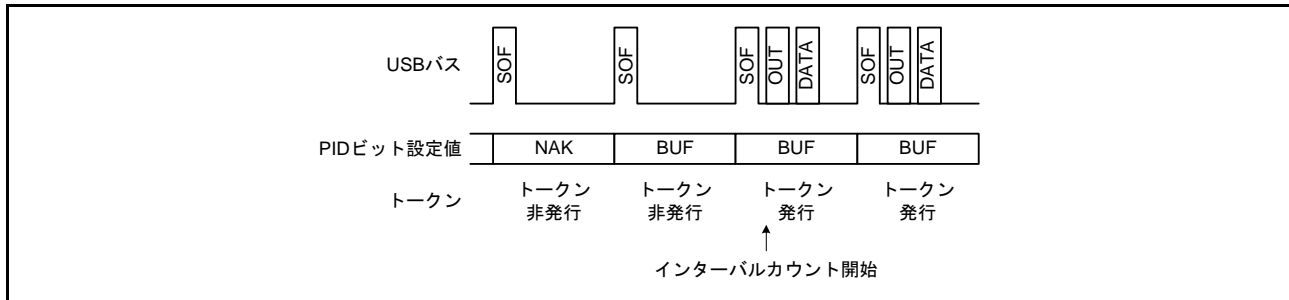


図 28.12 IITV[2:0] = 0 の場合のトークン発行有無

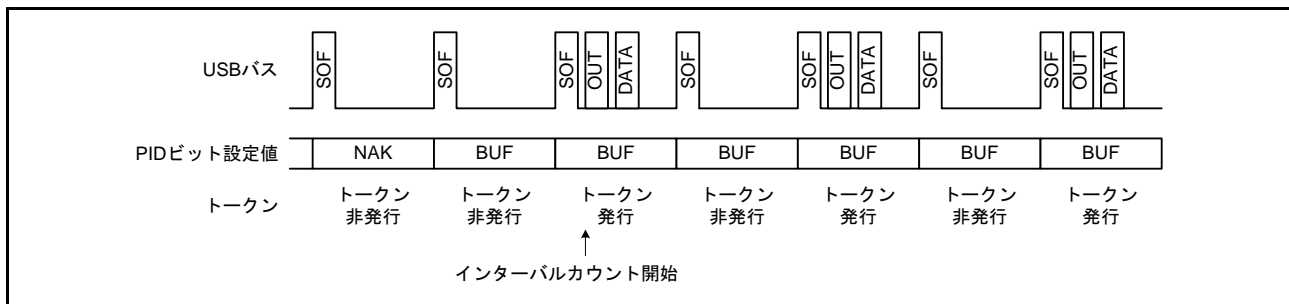


図 28.13 IITV[2:0] = 1 の場合のトークン発行有無

選択パイプの転送タイプがアイソクロナスの場合には、USB はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも USB はトークンを発行します。

(a) 選択パイプがアイソクロナス IN 転送パイプの場合

IN トークンを発行し、周辺デバイスから正常にパケットを受信しなかった場合（無応答やパケットエラー等の場合）に、NRDY 割り込みを発生させます。

（CPU または DMA 転送 / DTC 転送が FIFO バッファからデータを読み出すのが遅いなどの原因で）FIFO バッファがフルのために、USB がデータを受信できない状態で、IN トークン発行タイミングに至った場合、USB は FRMNUM.OVRN ビットに“1”を表示し、NRDY 割り込みを発生させます。

(b) 選択パイプがアイソクロナス OUT 転送パイプの場合

（CPU または DMA 転送 / DTC 転送が FIFO バッファにデータを書き込むのが遅いなどの原因で）送信可能なデータが FIFO バッファに無い状態で OUT トークン発行タイミングに至った場合、USB は OVRN ビットに“1”を表示し、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

トークン発行間隔のリセット条件は以下の場合です。

- USB が RES# 端子リセットされた場合
（このとき、IITV[2:0] ビットへの設定値も“0”になります。）
- ソフトウェアで PIPEnCTR.ACLRM ビットを“1”にした場合

(3) ファンクションコントローラ機能選択時のインターバルカウントと転送制御

(a) 選択パイプがアイソクロナス OUT 転送パイプの場合

PIPEPERI.IITV[2:0] ビットに設定したインターバルごとのフレーム中に DATA パケットを受信しなかったとき、USB は NRDY 割り込みを発生させます。

DATA パケットに CRC エラー等のエラーが発生したために受信できなかったとき、または FIFO バッファがフルのために USB がデータを受信できなかったときにも NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに割り込みを発生させます。

ただし IITV[2:0]=0 以外のときには、インターバルカウント開始後のインターバルごとの SOF パケット受信時に NRDY 割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアで PID[1:0] ビットに NAK を設定した場合、USB は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始条件は、IITV[2:0] ビットの設定値により異なります。

- IITV[2:0]=0 のとき: 選択パイプの PID[1:0] ビットを BUF に変更した時点でインターバルのカウントを開始します。

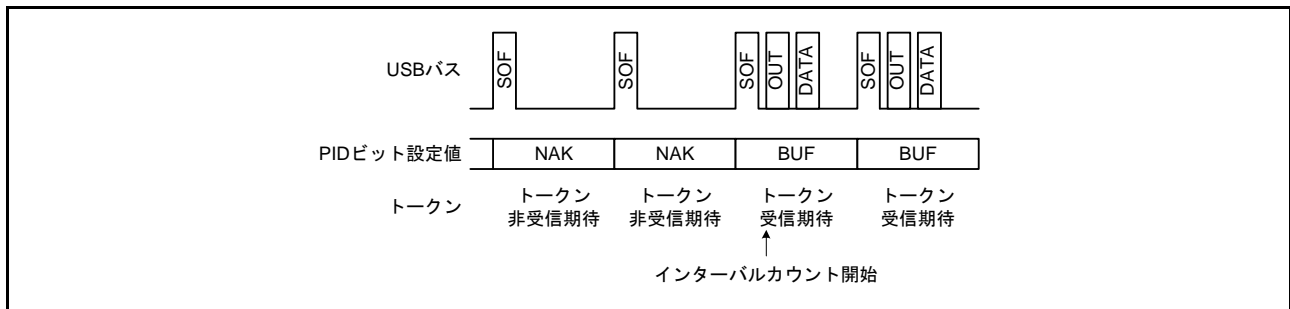


図 28.14 IITV[2:0] = 0 の場合のフレームとトークン受信期待有無の関係

- IITV[2:0]=0 以外のとき: 選択パイプの PID[1:0] ビットを BUF に変更した後最初の DATA パケット正常受信完了時点からインターバルのカウントを開始します。

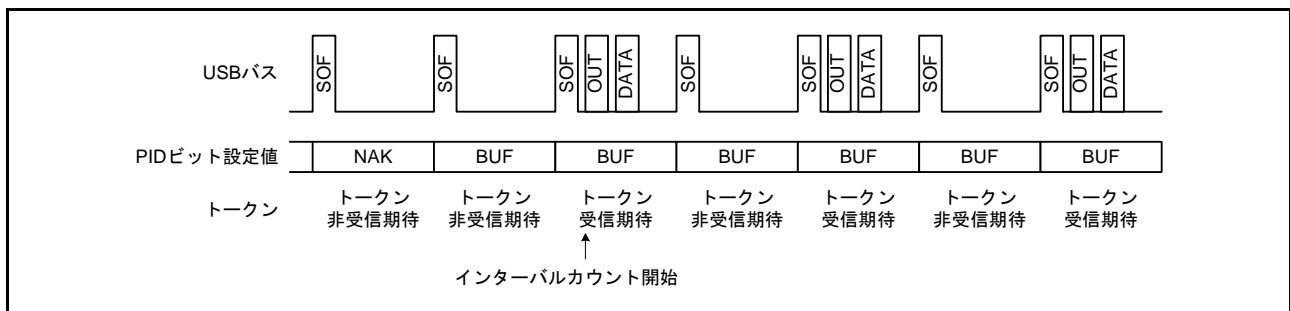


図 28.15 IITV[2:0] = 0 以外の場合のフレームとトークン受信期待有無の関係

(b) 選択パイプがアイソクロナス IN 転送パイプの場合

PIPEPERL.IFIS ビットを“1”にして使用します。

IFIS ビットが“0”の場合には PIPEPERL.IITV[2:0] ビットへの設定値とは関係なく、受信したトークンに応答してデータパケットを送信します。

IFIS ビットが“1”のときは、FIFO バッファに送信可能なデータが存在している状態で、IITV[2:0] ビットに設定したインターバルごとのフレーム中に IN トークンを受信しなかったとき、USB は FIFO バッファをクリアします。

IN トークンに CRC エラー等のバスエラーが発生したために USB が正常受信できなかった場合にもクリアを行います。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います。

インターバルのカウンタ開始条件は、IITV[2:0] ビットの設定値により異なります。(OUT 時と同様です) ファンクションコントローラ機能選択時のインターバルカウンタ条件は以下のいずれかの場合です。

- USB がハードウェアリセットされた場合 (このとき、IITV[2:0] ビットへの設定値も“000b”になります。)
- ソフトウェアで PIPEnCTR.ACLRM ビットを“1”にした場合
- USB が USB バスリセットを検出した場合

(4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、USB のアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出手続きが可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリはただ 1 パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダーランエラーとなります。

図 28.16 に USB で、IITV[2:0]=000b (毎フレーム) にした場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

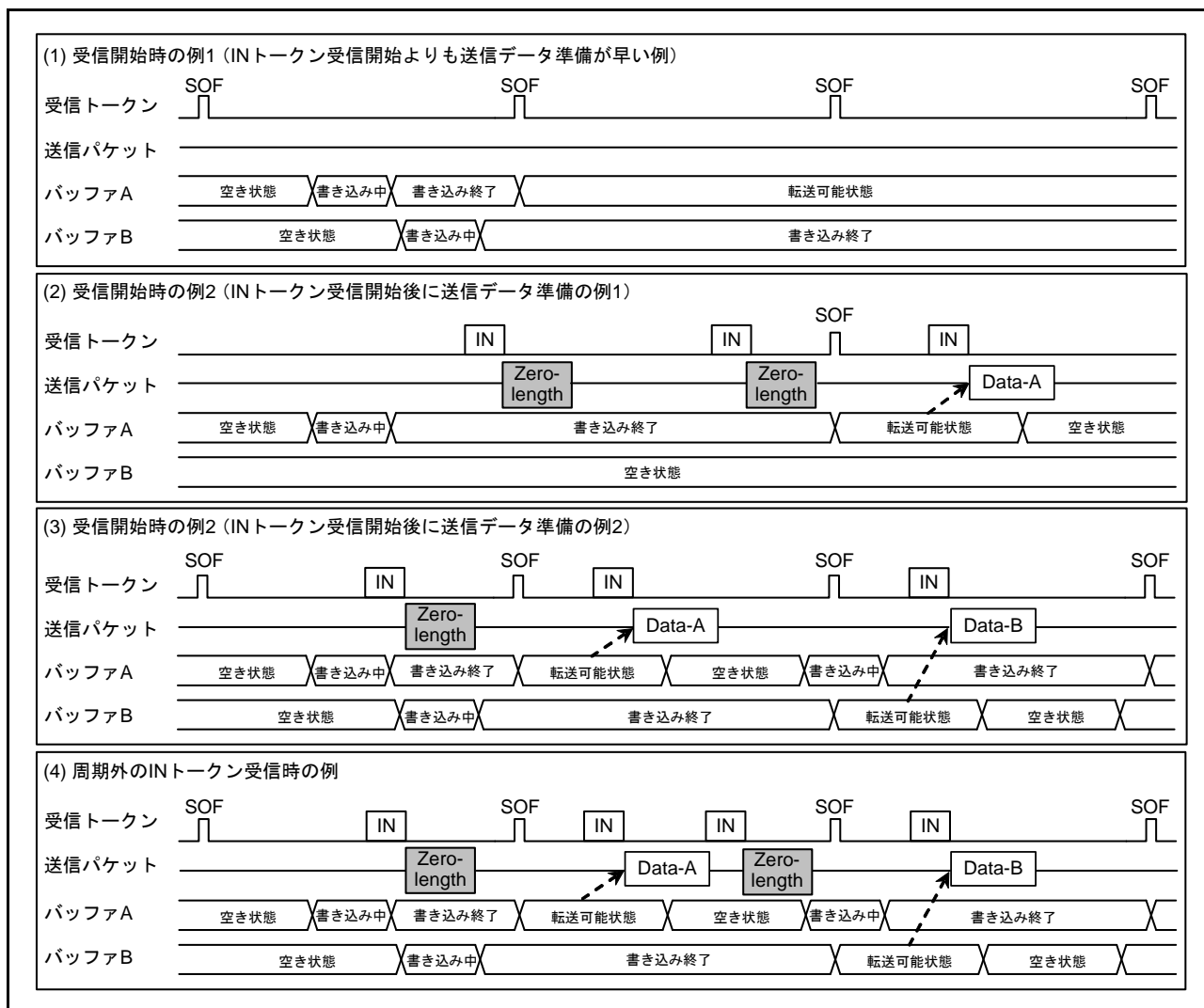


図 28.16 データセットアップ機能動作例

(5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、USBは、アイソクロナスデータ送信でインターバルフレームにINトークンを受信せず、次フレームのSOFパケットを受信した場合は、INトークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOFパケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能はPIPEPERI.IITV[2:0]ビットの設定値により動作開始タイミングが異なります。

- IITV[2:0]=0の場合
パイプが有効となった次のフレームからバッファフラッシュ動作します。
- IITV[2:0]=0以外の場合
最初の正常なトランザクション以降バッファフラッシュ動作します。

図 28.17 に USB のバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダーランエラーとして Zero-Length パケットを送出します。

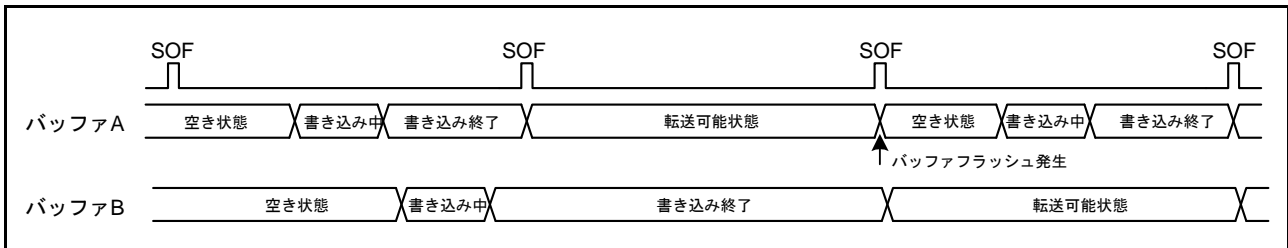


図 28.17 バッファフラッシュ機能動作例

図 28.18 に USB のインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は FRMNUM.OVRN ビットで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

【IN 方向】

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であれば Zero-Length パケット送信しアンダーランエラー

【OUT 方向】

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバランエラー

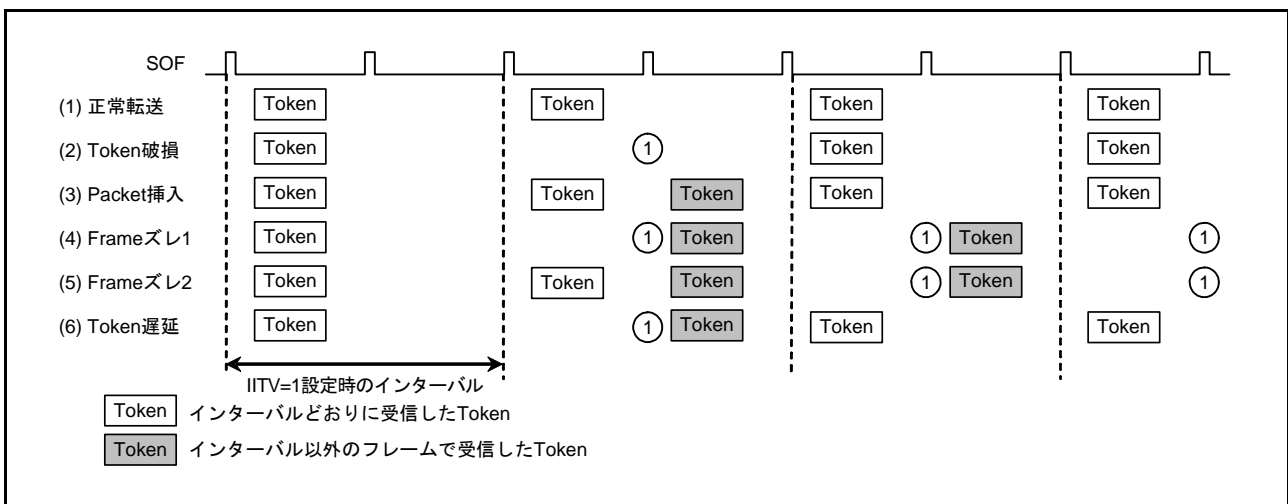


図 28.18 IITV[2:0]=1 のときのインターバルエラー発生例

28.3.10 SOF 補完機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1ms 間隔で SOF パケットを受信できなかった場合に、USB は SOF を補完します。SOF 補完動作の開始は SYSCFG.USBE ビットが“1”、SYSCFG.SCKE ビットが“1”かつ SOF パケット受信となります。また、下記の条件で補完機能が初期化されます。

- MCU のリセット
- USB バスリセット
- サスペンド検出

また、SOF 補完は次の仕様で動作します。

- SOF パケット受信までは補完機能は動作しない。
- 最初の SOF パケット受信後は内部クロック 48MHz で 1ms をカウントし補完する
- 2 回目以降の SOF パケットを受信後は前回の受信間隔を用いて補完する
- サスペンド時および USB バスリセット受信中は補完しない

USB は、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補完を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM.FRNM[10:0] ビットは更新されません。

28.3.11 パイプスケジュール

28.3.11.1 トランザクション発行条件

USB は、ホストコントローラ機能選択時、DVSTCTR0.UACT ビットを“1”にしたあと、表 28.23 に示す条件でトランザクションを発行します。

表28.23 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV[2:0]	バッファの状態	SUREQ
セットアップ	— (注1)	— (注1)	— (注1)	— (注1)	“1”設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	— (注1)
	OUT	BUF	無効	送信データあり	— (注1)
インタラプト転送	IN	BUF	有効	受信領域あり	— (注1)
	OUT	BUF	有効	送信データあり	— (注1)
アイソクロナス転送	IN	BUF	有効	(注2)	— (注1)
	OUT	BUF	有効	(注3)	— (注1)

注1. 表中の「—」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタに関わらず発行されることを示します。

注2. 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。

注3. 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

28.3.11.2 転送スケジュール

USB のフレーム内の転送スケジューリング方法について説明します。USB は、SOF を送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行
パイプ 1 →パイプ 2 →パイプ 6 →パイプ 7 →パイプ 8 →パイプ 9 の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
2. コントロール転送のセットアップトランザクション
DCP を確認してセットアップトランザクションが可能であれば送信します。
3. バルク、コントロール転送データステージ、ステータスステージの実行
DCP →パイプ 1 →パイプ 2 →パイプ 3 →パイプ 4 →パイプ 5 の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。
トランザクションを発行したとき、周辺デバイスからの応答が ACK であっても NAK であっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3. を繰り返します。

28.3.11.3 USB 通信許可

DVSTCTR0.UACT ビットを“1”にすることにより、SOF の送信を開始し、トランザクションの発行が可能となります。

UACT ビットを“0”にすると、SOF の送信を停止しサスペンドとなります。UACT ビットを“1”から“0”にする場合、次の SOF を送信してから停止します。

28.4 使用上の注意事項

28.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、USB の動作禁止 / 許可することができます。初期値では、USB は停止しています。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「12. 消費電力低減機能」を参照してください。

29. シリアルコミュニケーションインタフェース (SCIc、SCId)

本 MCU は、独立した 5 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、SCIc モジュール (SCI0 ~ SCI3) と、SCId モジュール (SCI12) から構成されています。

SCIc (SCI0 ~ SCI3) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCId (SCI12) は、SCIc の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

29.1 概要

表 29.1 に SCIc の仕様を、表 29.2 に SCId の仕様を、表 29.3 に SCI チャンネル別機能一覧を示します。

図 29.1 に SCI0 ~ SCI3 のブロック図を、図 29.2 に SCI12 (SCId) のブロック図を示します。

表 29.1 SCIc の仕様 (1/2)

項目		内容
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス
転送速度		ポーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 29.4 ~ 表 29.6 参照
データ転送		LSB ファースト/MSB ファースト選択可能 (注1)
割り込み要因		送信終了、送信データエンpty、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS _n 端子、RTS _n 端子を用いた送受信制御が可能
	ブレイク検出	フレーミングエラー発生時、RXD _n 端子のレベルを直接リードすることでブレイクを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 MTU3からの転送レートクロック入力が可能 (注2)
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXD _n 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTS _n 端子、RTS _n 端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート

表29.1 SCIcの仕様 (2 / 2)

項目		内容
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	ファストモード対応 (転送速度は「29.2.9 ビットレートレジスタ (BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

注2. 64/48ピン版は非対応です。

表29.2 SCIdの仕様 (1 / 2)

項目		内容
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易I²Cバス 簡易SPIバス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表29.4～表29.7参照
データ転送		LSBファースト/MSBファースト選択可能 (注1)
割り込み要因		送信終了、送信データエンpty、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了 (簡易I ² Cモード用)
消費電力低減機能		モジュールストップ状態への設定が可能
調歩同期式モード	データ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn端子、RTSn端子を用いた送受信制御が可能
	ブレイク検出	フレーミングエラー発生時、RXDn端子のレベルを直接リードすることでブレイクを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 MTU3からの転送レートクロック入力が可能 (注2)
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
ノイズ除去		RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn端子、RTSn端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	最大384 kbps
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能

表 29.2 SCIdの仕様 (2 / 2)

項目	内容	
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
拡張シリアルモード	Start Frame 送信	<ul style="list-style-type: none"> Break Field Low widthの出力が可能/出力完了割り込み機能あり バス衝突検出機能あり/検出割り込み機能あり
	Start Frame 受信	<ul style="list-style-type: none"> Break Field Low widthの検出が可能/検出完了割り込み機能あり Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 Break FieldがないStart Frameにも対応可能 Control Field 0がないStart Frameにも対応可能 ビットレート測定機能あり
	入出力制御機能	<ul style="list-style-type: none"> TXDX12/RXDX12信号の極性選択が可能 RXDX12信号にデジタルフィルタ機能を設定可能 RXDX12端子とTXDX12端子を兼用した半二重通信が可能 RXDX12端子受信データサンプリングタイミング選択可能 拡張シリアルモード制御部 OFF時、RXDX12受信信号をSCIcへスルー出力可能
	タイマ機能	<ul style="list-style-type: none"> リロードタイマ機能として使用可能

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

注2. 64/48ピン版は非対応です。

表 29.3 SCIチャネル別機能一覧

項目	SCI0～SCI3	SCI12
調歩同期式モード	○	○
クロック同期式モード	○	○
スマートカードインタフェースモード	○	○
簡易I ² Cモード	○	○
簡易SPIモード	○	○
拡張シリアルモード	—	○
MTU3クロック入力 (注1)	○	○

注1. 64/48ピン版は非対応です。

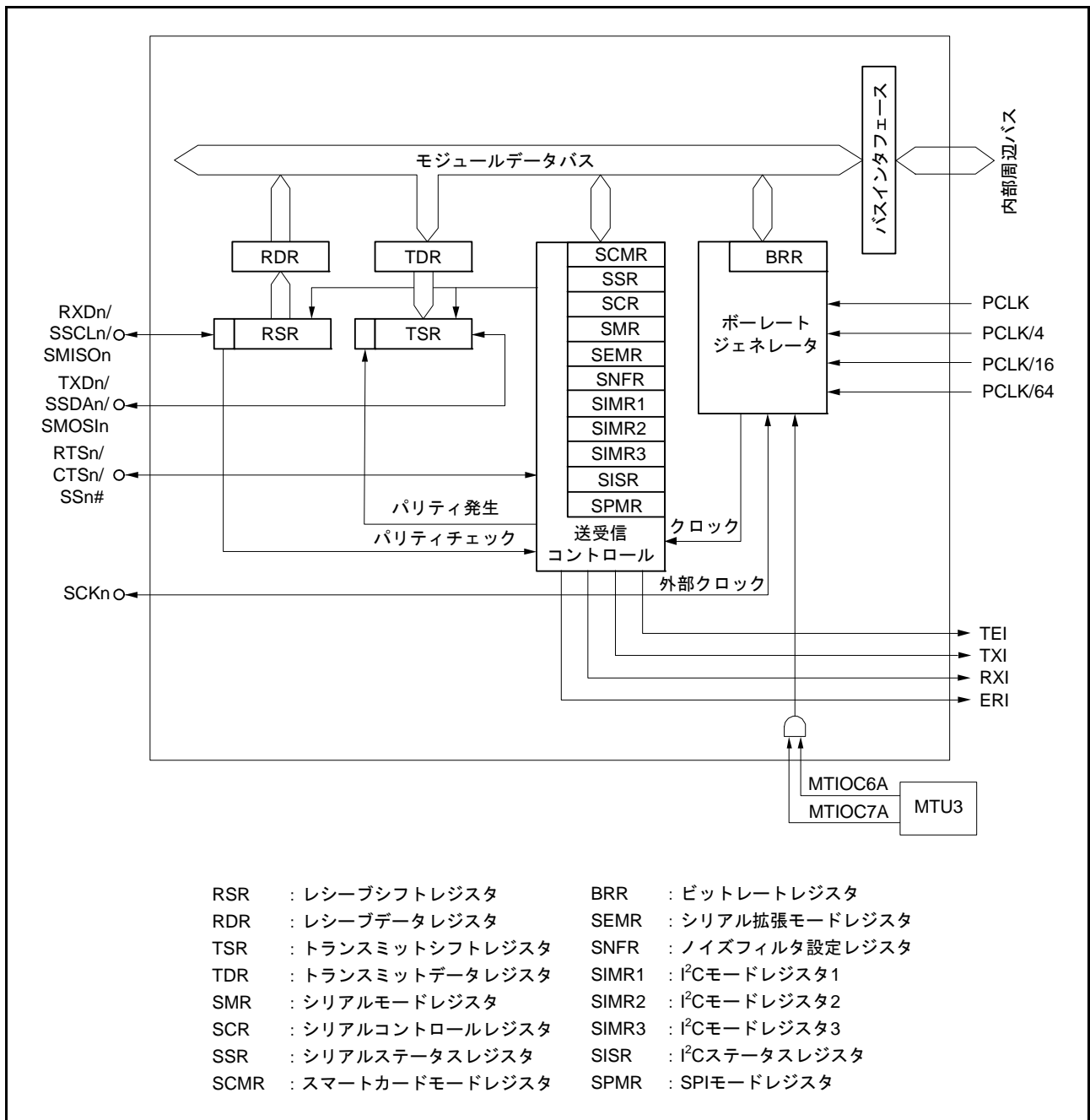


図 29.1 SCI0 ~ SCI3 のブロック図

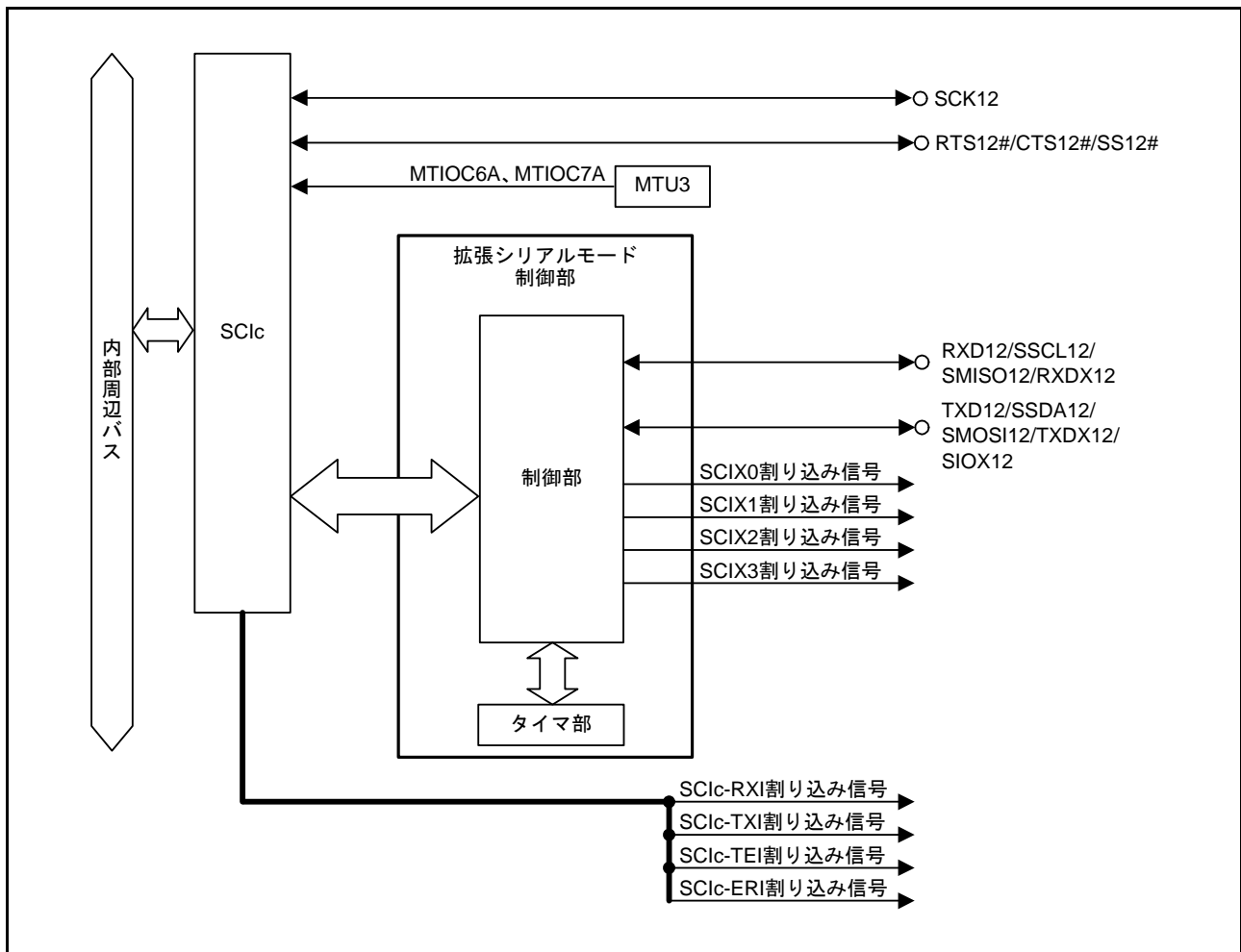


図 29.2 SCl12 (SCId) のブロック図

表 29.4 ~ 表 29.7 に SCI の入出力端子をモード別に示します。

表 29.4 SCI の入出力端子 (調歩同期式/クロック同期式モード) (1 / 2)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0	入力	SCI0の受信データ入力端子
	TXD0	出力	SCI0の送信データ出力端子
	CTS0#/RTS0#	入出力	SCI0送受信開始制御用入出力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	RXD2	入力	SCI2の受信データ入力端子
	TXD2	出力	SCI2の送信データ出力端子
	CTS2#/RTS2#	入出力	SCI2送受信開始制御用入出力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	RXD3	入力	SCI3の受信データ入力端子
	TXD3	出力	SCI3の送信データ出力端子
	CTS3#/RTS3#	入出力	SCI3送受信開始制御用入出力端子

表 29.4 SCIの入出力端子 (調歩同期式/クロック同期式モード) (2 / 2)

チャネル	端子名	入出力	機能
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表 29.5 SCIの入出力端子 (簡易I²Cモード)

チャネル	端子名	入出力	機能
SCI0	SSCL0	入出力	SCI0のI ² Cクロック入出力端子
	SSDA0	入出力	SCI0のI ² Cデータ入出力端子
SCI1	SSCL1	入出力	SCI1のI ² Cクロック入出力端子
	SSDA1	入出力	SCI1のI ² Cデータ入出力端子
SCI2	SSCL2	入出力	SCI2のI ² Cクロック入出力端子
	SSDA2	入出力	SCI2のI ² Cデータ入出力端子
SCI3	SSCL3	入出力	SCI3のI ² Cクロック入出力端子
	SSDA3	入出力	SCI3のI ² Cデータ入出力端子
SCI12	SSCL12	入出力	SCI12のI ² Cクロック入出力端子
	SSDA12	入出力	SCI12のI ² Cデータ入出力端子

表 29.6 SCIの入出力端子 (簡易SPIモード)

チャネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	SMISO0	入出力	SCI0のスレーブ送出データ入出力端子
	SMOSI0	入出力	SCI0のマスタ送出データ入出力端子
	SS0#	入力	SCI0チップセレクト入力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	SMISO2	入出力	SCI2のスレーブ送出データ入出力端子
	SMOSI2	入出力	SCI2のマスタ送出データ入出力端子
	SS2#	入力	SCI2チップセレクト入力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	SMISO3	入出力	SCI3のスレーブ送出データ入出力端子
	SMOSI3	入出力	SCI3のマスタ送出データ入出力端子
	SS3#	入力	SCI3チップセレクト入力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表 29.7 SCIの入出力端子 (拡張シリアルモード)

チャネル	端子名	入出力	機能
SCI12	RDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

29.2 レジスタの説明

29.2.1 レシーブシフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

29.2.2 レシーブデータレジスタ (RDR)

アドレス SCI0.RDR 0008 A005h、SCI1.RDR 0008 A025h、SCI2.RDR 0008 A045h、SCI3.RDR 0008 A065h、SCI12.RDR 0008 B305h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

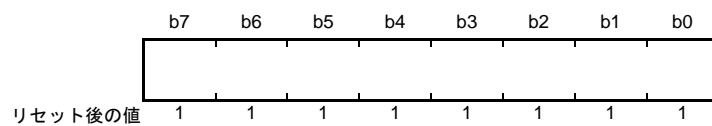
RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

29.2.3 トランスミットデータレジスタ (TDR)

アドレス SCI0.TDR 0008 A003h、SCI1.TDR 0008 A023h、SCI2.TDR 0008 A043h、SCI3.TDR 0008 A063h、SCI12.TDR 0008 B303h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

TDR レジスタは CPU から常にリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

29.2.4 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

29.2.5 シリアルモードレジスタ (SMR)

注. SMR レジスタは、シリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

(1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SMR 0008 A000h、SCI1.SMR 0008 A020h、SCI2.SMR 0008 A040h、SCI3.SMR 0008 A060h、SCI12.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLKクロック (n=0) (注1) 0 1 : PCLK/4クロック (n=1) (注1) 1 0 : PCLK/16クロック (n=2) (注1) 1 1 : PCLK/64クロック (n=3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(調歩同期式モードで、PEビット=1の時のみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) ● 送信時 0 : パリティビットなし 1 : パリティビットを付加 ● 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効) 0 : データ長8ビットで送受信 (注2) 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モードで動作 1 : クロック同期式モードで動作	R/W (注4)

注1. nは設定値の10進表示で、「29.2.9 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. クロック同期式モードでは、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS[1:0] ビットの設定値とポーレートの関係については、「29.2.9 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の禁止/許可を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット (ストップビットレングスビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティイネーブルビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット (キャラクタレングスビット)

送受信データのデータ長を選択します。

クロック同期式モードでは、データ長は8ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット =1)

アドレス SC10.SMR 0008 A000h、SC11.SMR 0008 A020h、SC12.SMR 0008 A040h、SC13.SMR 0008 A060h、SC112.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLKクロック (n=0) (注1) 0 1 : PCLK/4クロック (n=1) (注1) 1 0 : PCLK/16クロック (n=2) (注1) 1 1 : PCLK/64クロック (n=3) (注1)	R/W (注3)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 b3 b2 0 0 0 : 93クロック (S=93) (注2) 0 0 1 : 128クロック (S=128) (注2) 0 1 0 : 186クロック (S=186) (注2) 0 1 1 : 512クロック (S=512) (注2) 1 0 0 : 32クロック (S=32) (注2) (初期値) 1 0 1 : 64クロック (S=64) (注2) 1 1 0 : 372クロック (S=372) (注2) 1 1 1 : 256クロック (S=256) (注2)	R/W (注3)
b4	PM	パリティモードビット	(調歩同期式モードで、PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注3)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注3)

ビット	シンボル	ビット名	機能	R/W
b6	BLK	ブロック転送モードビット	0: 通常モードで動作します 1: ブロック転送モードで動作します	R/W (注3)
b7	GM	GSMモードビット	0: 通常モードで動作します 1: GSMモードで動作します	R/W (注3)

注1. nは設定値の10進表示で、「29.2.9 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. Sは「29.2.9 ビットレートレジスタ (BRR)」中のSの値を表します。

注3. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「29.2.9 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2 ビットと組み合わせて選択します。

詳細は、「29.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「29.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティイネーブルビット)

PE ビットは“1”に設定してください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モードビット)

BLK ビットを“1”に設定すると、ブロック転送モードで動作します。

ブロック転送モードについては、「29.6.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”に設定すると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0etu (etu : Elementary Time Unit、1ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「29.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「29.6.8 クロック出力制御」を参照してください。

29.2.6 シリアルコントロールレジスタ (SCR)

注. SCRレジスタは、シリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

(1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SC10.SCR 0008 A002h、SC11.SCR 0008 A022h、SC12.SCR 0008 A042h、SC13.SCR 0008 A062h、SC112.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<p>(調歩同期式の場合)</p> <p>b1 b0</p> <p>0 0 : 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できません</p> <p>0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します</p> <p>1 x : 外部クロックまたはMTU3クロック (注3)</p> <ul style="list-style-type: none"> 外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください MTU3クロックを使用可能 <p>MTU3から入力するベースクロックは、PCLKの1/4の周波数以下となるように設定してください。MTU3クロック使用時は、I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。</p> <p>(クロック同期式の場合)</p> <p>b1 b0</p> <p>0 x : 内部クロック : SCKn端子はクロック出力端子となります</p> <p>1 x : 外部クロック SCKn端子はクロック入力端子となります</p>	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	<p>0 : TEI割り込み要求を禁止</p> <p>1 : TEI割り込み要求を許可</p>	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	<p>(調歩同期式モードで、SMR.MPビット=“1”のとき有効)</p> <p>0 : 通常の受信動作</p> <p>1 : マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.ORER,FERの各ステータスフラグのセット (“1”)を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的にクリア (“0”)され、通常の受信動作に戻ります</p>	R/W
b4	RE	レシーブイネーブルビット	<p>0 : シリアル受信動作を禁止</p> <p>1 : シリアル受信動作を許可</p>	R/W (注2)
b5	TE	トランスミットイネーブルビット	<p>0 : シリアル送信動作を禁止</p> <p>1 : シリアル送信動作を許可</p>	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	<p>0 : RXIおよびERI割り込み要求を禁止</p> <p>1 : RXIおよびERI割り込み要求を許可</p>	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	<p>0 : TXI割り込み要求を禁止</p> <p>1 : TXI割り込み要求を許可</p>	R/W

x : Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。一度、TE、REビットのいずれかを“1”に設定した後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが“0”かつSIMR1.IICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

注3. 64/48ピン版は外部クロックのみです。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCKn 端子の機能を選択します。

内蔵 MTU3 クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にすることで行うことができます。

簡易 I²C モード (SIMR1.IICM = “1”) では、開始 / 再開 / 停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

MPIE ビットを“1”に設定すると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.ORER、FER の各ステータスフラグは“1”にされません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「29.4 マルチプロセッサ通信機能」を参照してください。

SSR.MPB ビット = 0 を含む受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、FER の各フラグのセット (“1”) は行いません。

MPB ビット = 1 を含む受信データを受信すると、MPB ビットを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが“1”に設定されている場合) と、ORER、FER フラグのセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”を書き込んでください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”に設定すると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”に設定する前に SMR レジスタの設定を行い、受信フォーマットを決定してください。RE ビットを“0”にして受信動作を停止しても、SSR.ORER、FER、PER の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”に設定すると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”に設定する前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER、FER、PER の各フラグから“1”を読み出した後、“0”にするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求の通知を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット =1)

アドレス SCI0.SCR 0008 A002h、SCI1.SCR 0008 A022h、SCI2.SCR 0008 A042h、SCI3.SCR 0008 A062h、SCI12.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> SMR.GM ビット=0の場合 b1 b0 0 0 : 出力ディスエーブル (I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます) 0 1 : クロック出力 1 x : (設定しないでください) SMR.GM ビット=1の場合 b1 b0 0 0 : Low出力固定 x 1 : クロック出力 1 0 : High出力固定 	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x : Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”に設定した後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが“0”のときは、任意のタイミングで書き込みが可能です。

各割り込み要求については、「29.11 割り込み要因」を参照してください。

CKE[1:0] ビット (クロックイネーブルビット)

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「29.6.8 クロック出力制御」を参照してください。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”に設定すると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”に設定する前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”に設定すると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”に設定する前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから“1”を読み出した後、“0”にするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求の通知を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

29.2.7 シリアルステータスレジスタ (SSR)

注. SSRレジスタは、シリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

(1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SC10.SSR 0008 A004h、SC11.SSR 0008 A024h、SC12.SSR 0008 A044h、SC13.SSR 0008 A064h、SC112.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに有効なデータなし 1: RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに未送信のデータあり 1: TDRレジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための“0”書き込みのみ可能です。

注2. 書く場合、“1”としてください。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1"になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TDR レジスタへの送信データの書き込みにより TEND フラグをクリアしたときは、TEND フラグをリードして“0”であることを確認してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" にされた状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1"の状態を読み出した後、"0"を書き込んだとき("0"を書き込んだ後に PER フラグがクリアされたことを確認してください)
SCR.RE ビットを "0" (シリアル受信動作を禁止) にクリアしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1"になる条件]

- ストップビットが "0" のとき
2 ストップモードのときは、1 ビット目のストップビットが "1" であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが "1" にされた状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1"の状態を読み出した後、"0"を書き込んだとき("0"を書き込んだ後に FER フラグがクリアされたことを確認してください)
SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1"になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに "1" がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- "1"の状態を読み出した後、"0"を書き込んだとき("0"を書き込んだ後に ORER フラグがクリアされたことを確認してください)
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

["1"になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0"になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへ送信データを書いたとき

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット =1)

アドレス SCI0.SSR 0008 A004h、SCI1.SSR 0008 A024h、SCI2.SSR 0008 A044h、SCI3.SSR 0008 A064h、SCI12.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	ORER	ERS	PER	TEND	MPB	MPBT

リセット後の値 x x 0 0 0 1 0 0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは“0”としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。“0”としてください	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b7-b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

MPBT ビット (マルチプロセッサビットトランスファビット)

スマートカードインタフェースモードでは“0”としてください。

MPB ビット (マルチプロセッサビット)

スマートカードインタフェースモードでは使用しません。“0”としてください。

TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”にされます。

["1"になる条件]

- SCR.TE ビット =0 (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ =0 かつ TDR レジスタが更新されていないとき
セットされるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット =0、SMR.BLK ビット =0 のとき、送信開始から 12.5etu 後
SMR.GM ビット =0、SMR.BLK ビット =1 のとき、送信開始から 11.5etu 後
SMR.GM ビット =1、SMR.BLK ビット =0 のとき、送信開始から 11.0etu 後
SMR.GM ビット =1、SMR.BLK ビット =1 のとき、送信開始から 11.0etu 後

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1" になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" にされた状態では、以降の受信データは RDR レジスタに転送されません。

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき ("0" を書き込んだ後に PER フラグがクリアされたことを確認してください)。
SCR.RE ビットを "0" (シリアル受信動作を禁止) にクリアしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

["1" になる条件]

- エラーシグナル Low をサンプリングしたとき

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1" になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに "1" がセットされた状態では、以降のシリアル受信を続けることはできません。

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき ("0" を書き込んだ後に ORER フラグがクリアされたことを確認してください)。
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

29.2.8 スマートカードモードレジスタ (SCMR)

アドレス SC10.SCMR 0008 A006h、SC11.SCMR 0008 A026h、SC12.SCMR 0008 A046h、SC13.SCMR 0008 A066h、SC112.SCMR 0008 B306h

b7	b6	b5	b4	b3	b2	b1	b0
BCP2	—	—	—	SDIR	SINV	—	SMIF

リセット後の値 1 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0: シリアルコミュニケーションインタフェースモード 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインバートビット	0: TDRレジスタの内容をそのまま送信、受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信、受信データを反転してRDRレジスタに格納	R/W (注1)
b3	SDIR	送受信データトランスファディレクションビット (注2)	0: LSBファーストで送受信 1: MSBファーストで送受信	R/W (注1)
b6-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します。 SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 BCP1 BCP0 0 0 0: 93クロック (S=93) (注3) 0 0 1: 128クロック (S=128) (注3) 0 1 0: 186クロック (S=186) (注3) 0 1 1: 512クロック (S=512) (注3) 1 0 0: 32クロック (S=32) (注3) (初期値) 1 0 1: 64クロック (S=64) (注3) 1 1 0: 372クロック (S=372) (注3) 1 1 1: 256クロック (S=256) (注3)	R/W (注1)

- 注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。
 注2. 簡易I²Cモード選択時、SDIRビットを“1” (MSBファースト) に設定してください。
 注3. Sは「29.2.9 ビットレートレジスタ (BRR)」中のSの値を表します。

SMIF ビット (スマートカードインタフェースモードセレクトビット)

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

調歩同期式モード、クロック同期式モード、簡易SPIモード、および簡易I²Cモードで動作させるときは、“0”を設定します。

SINV ビット (送受信データインバートビット)

スマートカードインタフェースモードにおいて送受信データのロジックレベルを反転します。SINVビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PMビットを反転してください。

SDIR ビット (送受信データトランスファディレクションビット)

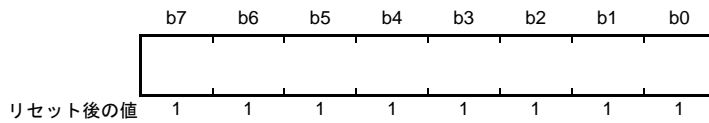
シリアル/パラレル変換の方向を選択します。

BCP2 ビット (基本クロックパルスビット2)

スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を、SMR.BCP[1:0]ビットと組み合わせて選択します。

29.2.9 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 0008 A001h、SCI1.BRR 0008 A021h、SCI2.BRR 0008 A041h、SCI3.BRR 0008 A061h、SCI12.BRR 0008 B301h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 29.8 に示します。

BRR レジスタの初期値は FFh です。

BRR レジスタは、CPU から読み出しは常に可能ですが、書き込みは SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 29.8 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR.ABCSビット	BRRレジスタの設定値	誤差
調歩同期式、 マルチプロ セッサ通信	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易 SPI		$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカード インタフェース		$N = \frac{PCLK \times 10^6}{S \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注2)		$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

注1. B : ビットレート (bps)
N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)
PCLK : 動作周波数 (MHz)
n と S : 下表のとおり SMR の設定値によって決まります。

注2. 簡易 I²C モードでの SCL 出力の High/Low 幅が I²C 規格を満たすようビットレートを調整してください。

表 29.9 SCL High/Low 幅算出式

モード	SCL	算出式 (秒 (s))
I ² C	High 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表29.10 クロックソースの設定

SMRレジスタの設定値 CKS[1:0]ビット	クロックソース	n
00	PCLKクロック	0
01	PCLK/4クロック	1
10	PCLK/16クロック	2
11	PCLK/64クロック	3

表29.11 スマートカードインタフェースモード時の基本クロックの設定

SCMRレジスタの設定値 BCP2ビット	SMRレジスタの設定値 BCP[1:0]ビット	1ビット期間中の 基本クロックパルス数	S
0	00	93クロック	93
0	01	128クロック	128
0	10	186クロック	186
0	11	512クロック	512
1	00	32クロック	32
1	01	64クロック	64
1	10	372クロック	372
1	11	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 29.12、表 29.13 に、各動作周波数における設定可能な最大ビットレートを表 29.13 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 29.15 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 29.15 に、簡易 I²C モードにおける BRR レジスタの値 N の設定例を表 29.19 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「29.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 29.14、表 29.16 に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードでシリアル拡張モードレジスタ (SEMR) の調歩同期基本クロックセレクトビット (ABCS) を“1”に設定したときのビットレートは表 29.12 の 2 倍になります。

表29.12 ビットレートに対するBRRの設定例 (調歩同期式モード) (1)

ビットレート (bps)	動作周波数PCLK (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34

表29.12 ビットレートに対するBRRの設定例 (調歩同期式モード) (2)

ビットレート (bps)	動作周波数PCLK (MHz)											
	12.288			14			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	2	248	-0.17	3	70	0.03	3	75	0.48
150	2	159	0.00	2	181	0.16	2	207	0.16	2	223	0.00
300	2	79	0.00	2	90	0.16	2	103	0.16	2	111	0.00
600	1	159	0.00	1	181	0.16	1	207	0.16	1	223	0.00
1200	1	79	0.00	1	90	0.16	1	103	0.16	1	111	0.00
2400	0	159	0.00	0	181	0.16	0	207	0.16	0	223	0.00
4800	0	79	0.00	0	90	0.16	0	103	0.16	0	111	0.00
9600	0	39	0.00	0	45	-0.93	0	51	0.16	0	55	0.00
19200	0	19	0.00	0	22	-0.93	0	25	0.16	0	27	0.00
31250	0	11	2.40	0	13	0.00	0	15	0.00	0	16	1.20
38400	0	9	0.00	—	—	—	0	12	0.16	0	13	0.00

注. SEMR.ABCSビット=0のときの例です。
 ABCSビット=1に設定したときは、ビットレートが2倍になります。

表29.12 ビットレートに対するBRRの設定例 (調歩同期式モード) (3)

ビットレート (bps)	動作周波数PCLK (MHz)											
	17.2032			18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	13	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

表29.12 ビットレートに対するBRRの設定例 (調歩同期式モード) (4)

ビットレート (bps)	動作周波数PCLK (MHz)											
	25			30			33			50		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	110	-0.02	3	132	0.13	3	145	0.33	3	221	-0.02
150	3	80	0.47	3	97	-0.35	3	106	0.39	3	162	-0.15
300	2	162	-0.15	2	194	0.16	2	214	-0.07	3	80	0.47
600	2	80	0.47	2	97	-0.35	2	106	0.39	2	162	-0.15
1200	1	162	-0.15	1	194	0.16	1	214	-0.07	2	80	0.47
2400	1	80	0.47	1	97	-0.35	1	106	0.39	1	162	-0.15
4800	0	162	-0.15	0	194	0.16	0	214	-0.07	1	80	0.47
9600	0	80	0.47	0	97	-0.35	0	106	0.39	1	40	-0.76
19200	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	80	0.47
31250	0	24	0.00	0	29	0	0	32	0	0	49	0.00
38400	0	19	1.73	0	23	1.73	0	26	-0.54	0	40	-0.76

注. SEMR.ABCSビット=0のときの例です。
 ABCSビット=1に設定したときは、ビットレートが2倍になります。

表29.13 各動作周波数における最大ビットレート (調歩同期式モード)

PCLK (MHz)	最大ビットレート (bps)	n	N
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0
25	781250	0	0
30	937500	0	0
33	1031250	0	0
50	1562500	0	0

注. SEMR.ABCSビット=1に設定したときは、ビットレートが2倍になります。

表29.14 外部クロック入力時の最大ビットレート (調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
50	12.5000	781250	1562500

表29.15 ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)															
	8		10		16		20		25		30		33		50	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	194
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	3	77
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	155
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	2	77
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	124
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	61
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	124
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	49
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	24
1M	0	1	—	—	0	3	0	4	—	—	—	—	—	—	—	—
2M	0	0(注1)	—	—	0	1	—	—	—	—	—	—	—	—	—	—
2.5M			0	0(注1)			0	1	—	—	0	2	—	—	0	4
4M					0	0(注1)	—	—	—	—	—	—	—	—	—	—
5M							0	0(注1)	—	—	—	—	—	—	—	—
6.25M									0	0(注1)	—	—	—	—	0	1
7.5M											0	0(注1)	—	—	—	—
8.25M													0	0(注1)	—	—

空欄：設定できません。

—：設定可能ですが誤差がです。

注1. シリアル転送クロック出力時にのみ設定できますが、連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます (シリアル転送クロックの出力が1ビット期間停止します)。そのため、1フレーム (8ビット) のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表29.16 外部クロック入力時の最大ビットレート (クロック同期式モード、簡易SPIバスモード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
25	4.1667	4166666.7
30	5.0000	5000000.0
33	5.5000	5500000.0
50	8.3333	8333333.3

表29.17 ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	30
	10.7136	0	1	25
	13.00	0	1	8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	15.99
	20.00	0	2	6.66
	25.00	0	3	12.49
	30.00	0	3	5.01
	33.00	0	4	7.59
	50.00	0	6	0.01

表29.18 各動作周波数における最大ビットレート
(スマートカードインタフェースモードでS=372のとき)

PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0
25.00	33602	0	0
30.00	40323	0	0
33.00	44355	0	0
50.00	67204	0	0

表29.19 ビットレートに対するBRRの設定例 (簡易I²Cモード) (1)

ビットレート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7
50k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9
100k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7
250k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7
350k										0	1	-10.7

表29.19 ビットレートに対するBRRの設定例 (簡易I²Cモード) (2)

ビットレート (bps)	動作周波数PCLK (MHz)											
	25			30			33			50		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	19	-2.3	1	23	-2.3	1	25	-0.8	2	9	-2.3
25k	1	7	-2.3	1	9	-6.3	1	10	-6.3	2	3	-2.3
50k	1	3	-2.3	1	4	-6.3	1	5	-14.1	2	1	-2.3
100k	1	1	-2.3	1	2	-21.9	1	2	-14.1	1	3	-2.3
250k	0	3	-21.9	0	3	-6.3	0	4	-17.5	0	6	-10.7
350k	0	2	-25.6	0	2	-10.7	0	2	-1.8	0	4	-10.7

表29.20 各ビットレート設定でのSCL High/Low幅最小値 (簡易I²Cモード) (1)

SCL High/Low幅 min値 (μs)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	High/Low幅	n	N	High/Low幅	n	N	High/Low幅	n	N	High/Low幅
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.5/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

表29.20 各ビットレート設定でのSCL High/Low幅最小値 (簡易I²Cモード) (2)

SCL High/Low幅 min値 (μs)	動作周波数PCLK (MHz)											
	25			30			33			50		
	n	N	High/Low幅	n	N	High/Low幅	n	N	High/Low幅	n	N	High/Low幅
10k	1	19	44.80/51.20	1	23	44.80/51.20	1	25	44.12/50.42	2	9	44.80/51.20
25k	1	7	17.92/20.48	1	9	18.66/21.33	1	10	18.66/21.33	2	3	17.92/20.48
50k	1	3	8.96/10.24	1	4	9.33/10.66	1	5	10.18/11.63	2	1	8.96/10.24
100k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.81	1	3	4.48/5.12
250k	0	3	2.24/2.56	0	3	1.86/2.13	0	4	2.12/2.42	0	6	1.96/2.24
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	0	4	1.40/1.60

29.2.10 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 0008 A007h、SCI1.SEMR 0008 A027h、SCI2.SEMR 0008 A047h、SCI3.SEMR 0008 A067h、SCI12.SEMR 0008 B307h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFEN	ABCS	—	—	—	ACS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	【144/120/112/100ピン版の場合】 (調歩同期式モードのみ有効) 0: 外部クロック入力 1: MTU3クロック入力 (MTIOC6A、MTIOC7A) 【64/48ピン版の場合】 読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードのみ有効) 0: 基本クロック16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn、SSDAn入力信号のノイズ除去機能無効 1: SSCLn、SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択するためのレジスタです。

MTU3のMTIOC6A、MTIOC7A出力をシリアル転送ベースクロックに設定することができます。MTU3のMTIOC6A、MTIOC7A出力を選択したときの設定例を図29.3に示します。

ACS0ビット (調歩同期クロックソースセレクトビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0ビットは、調歩同期式モード (SMR.CMビット=0) で、外部クロック入力 (SCR.CKE[1:0]ビット=10b、11b) のときに有効です。外部クロック入力または、内蔵MTU3クロック入力を選択できます。

調歩同期式モード以外では、“0”としてください。

NFENビット (デジタルノイズフィルタ機能イネーブルビット)

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn入力信号のノイズを除去し、簡易I²Cモードの場合はSSDAn、SSCLnの入力信号のノイズを除去します。

上記以外のモードではNFENビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

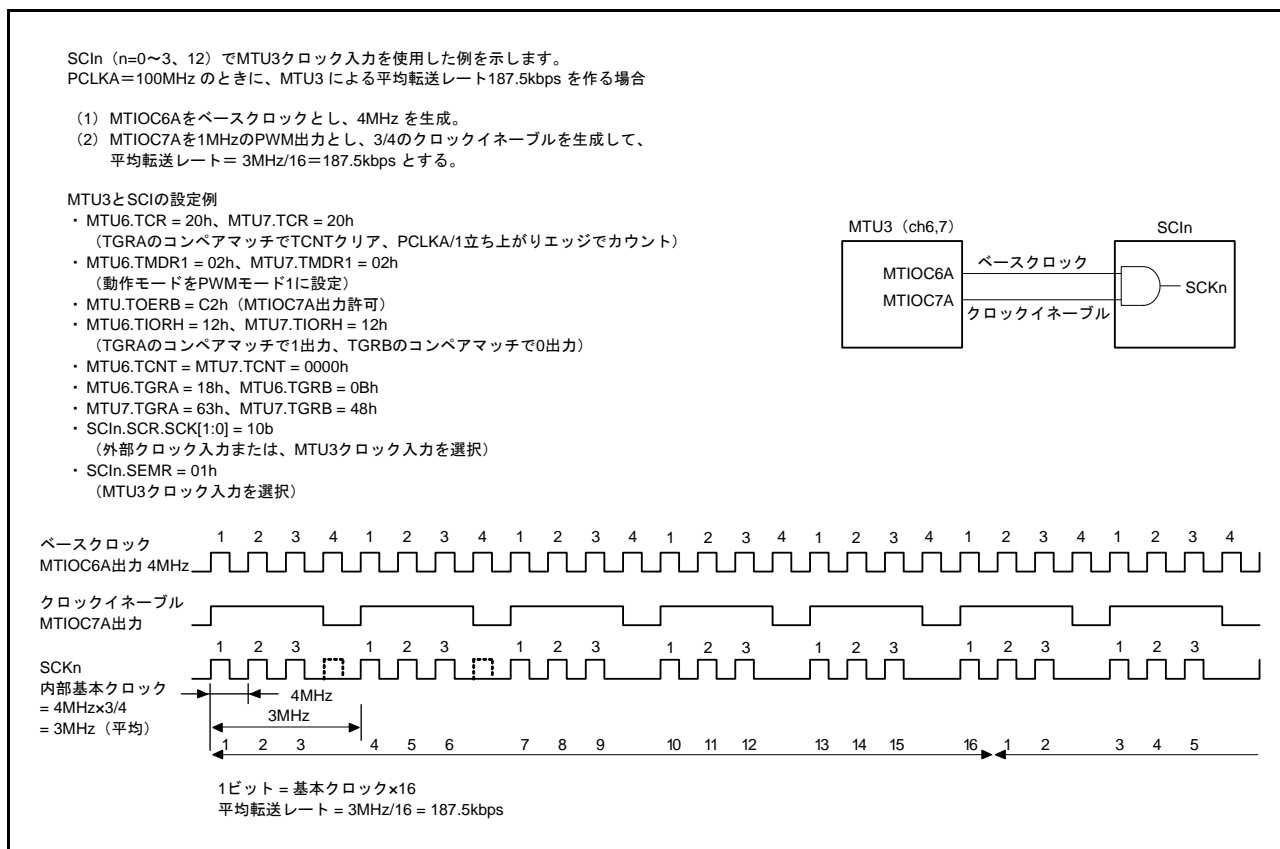
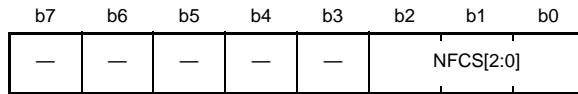


図 29.3 MTU3 クロック入力時の平均転送レート設定例

29.2.11 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 0008 A008h、SCI1.SNFR 0008 A028h、SCI2.SNFR 0008 A048h、SCI3.SNFR 0008 A068h、SCI12.SNFR 0008 B308h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2 b0 0 0 0 : 1分周のクロックをノイズフィルタに使用 簡易I ² Cモード時、SMR.CKS[1:0]ビットで選択した内蔵ポーレートジェネレータのクロックソース基準で b2 b0 0 0 1 : 1分周のクロックをノイズフィルタに使用 0 1 0 : 2分周のクロックをノイズフィルタに使用 0 1 1 : 4分周のクロックをノイズフィルタに使用 1 0 0 : 8分周のクロックをノイズフィルタに使用 上記以外 : 設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TEビット=0、SCR.REビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

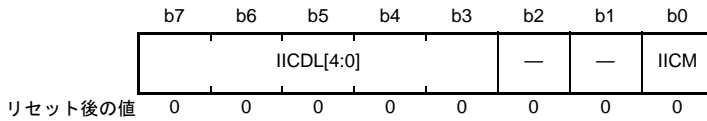
NFCS[2:0] ビット (ノイズフィルタクロックセレクトビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b”を設定してください。簡易I²Cモード時は“001b”～“100b”の中で設定してください。

29.2.12 I²C モードレジスタ 1 (SIMR1)

アドレス SCI0.SIMR1 0008 A009h、SCI1.SIMR1 0008 A029h、SCI2.SIMR1 0008 A049h、SCI3.SIMR1 0008 A069h、SCI12.SIMR1 0008 B309h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I ² Cモードセレクトビット	SMIF IICM 0 0: シリアルインタフェースモード (調歩同期式、クロック同期式モードまたは簡易SPIモード) 0 1: 簡易I ² Cモード 1 0: スマートカードインタフェースモード 1 1: 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 0 0 0 0 0: 出力遅延なし 0 0 0 0 1: 0~1サイクル 0 0 0 1 0: 1~2サイクル 0 0 0 1 1: 2~3サイクル 0 0 1 0 0: 3~4サイクル 0 0 1 0 1: 4~5サイクル : 1 1 1 1 0: 29~30サイクル 1 1 1 1 1: 30~31サイクル	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易I²Cモード、およびSSDA出力遅延段数を選択するためのレジスタです。

IICM ビット (簡易I²Cモードセレクトビット)

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット (SSDA出力遅延セレクトビット)

SSCLn 端子出力の立ち上がりに対するSSDAn 端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを1サイクルとし、遅延なし~31サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLKをSMR.CKS[1:0] ビットの設定により分周されたクロックを指します。簡易I²Cモード以外では“00000b”を設定してください。簡易I²Cモード時は、“00001b”~“11111b”のいずれかを設定してください。

29.2.13 I²C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 0008 A00Ah、SCI1.SIMR2 0008 A02Ah、SCI2.SIMR2 0008 A04Ah、SCI3.SIMR2 0008 A06Ah、SCI12.SIMR2 0008 B30Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	IICACK T	—	—	—	IICCS C	IICINT M
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCS	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモードセレクトビット)

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCS ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCS ビットに“1”を設定します。

IICCS ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

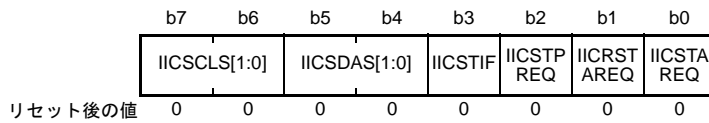
デバッグ時を除いて IICCS ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

29.2.14 I²C モードレジスタ 3 (SIMR3)

アドレス SCI0.SIMR3 0008 A00Bh、SCI1.SIMR3 0008 A02Bh、SCI2.SIMR3 0008 A04Bh、SCI3.SIMR3 0008 A06Bh、SCI12.SIMR3 0008 B30Bh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4)	R/W
b1	IICRSTAREQ	再開条件生成ビット	0 : 再開条件を生成しない 1 : 再開条件を生成 (注2、注3、注4)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSDAn端子はLowを出力 1 1 : SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

- 注1. バスの状態を確認し、バスフリー状態のときに開始条件生成を行ってください。
 注2. バスの状態を確認し、バスビジー状態のときに再開条件生成または停止条件生成を行ってください。
 注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。
 注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット (開始条件生成ビット)

開始条件の生成を行うときは、IICSTAREQ ビットを“1”に設定するとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”に設定してください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 開始条件の生成が完了したとき

IICSTAREQ ビット (再開条件生成ビット)

再開条件の生成を行うときは、IICSTAREQ ビットを“1”に設定するとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”に設定してください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成ビット)

停止条件の生成を行うときは、IICSTPREQ ビットを“1”に設定するとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”に設定してください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始 / 再開 / 停止条件生成完了フラグ)

各条件生成実行後、生成完了した状態を示します。IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開 / 停止条件生成完了割り込み (STI) 要求が出力されます。

[“1”になる条件]

- 開始 / 再開 / 停止の各条件の生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。)

[“0”になる条件]

- “0”を書き込んだとき (IICSTIF フラグが“0”になったことを確認してください。)
- SIMR1.IICM ビットが“0”のとき (簡易 I²C モード以外の場合)
- SCR.TE ビットが“0”のとき

IICSDAS ビット (SSDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS ビットと IICSCLS ビットは同じ値に設定してください。

IICSCLS ビット (SSCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS ビットと IICSDAS ビットは同じ値に設定してください。

29.2.15 I²C ステータスレジスタ (SISR)

アドレス SCI0.SISR 0008 A00Ch、SCI1.SISR 0008 A02Ch、SCI2.SISR 0008 A04Ch、SCI3.SISR 0008 A06Ch、SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACK R
リセット後の値	0	0	x	x	0	x	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。

IICACKR フラグ (ACK 受信データフラグ)

受信された ACK/NACK ビットを読み出すことができます。

IICACK フラグは、ACK/NACK を受信するビットの SSCLn クロックの立ち上がりのタイミングで更新されます。

29.2.16 SPI モードレジスタ (SPMR)

アドレス SCI0.SPMR 0008 A00Dh、SCI1.SPMR 0008 A02Dh、SCI2.SPMR 0008 A04Dh、SCI3.SPMR 0008 A06Dh、SCI12.SPMR 0008 B30Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SS端子機能イネーブルビット	0: SS端子機能禁止 1: SS端子機能許可	R/W (注1)
b1	CTSE	CTSイネーブルビット	0: CTS機能禁止 (RTS出力機能有効) 1: CTS機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0: TXDn端子: 送信, RXDn端子: 受信 (マスタモード) 1: TXDn端子: 受信, RXDn端子: 送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0: モードフォルトエラーなし 1: モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0: クロック極性反転なし 1: クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0: クロック遅れなし 1: クロック遅れあり	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SS 端子機能イネーブルビット)

SSn# 端子を用いて送受信制御を行う場合 (簡易 SPI モード) は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易 SPI モードでも、マスタモード (SCR.CKE[1:0] ビット=“00b” かつ MSS ビット=“0”) かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは“0”を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください (設定した場合、両ビット共に無効になります)。

CTSE ビット (CTS イネーブルビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTS 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モード時は“0”を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください (設定しても無効になります)。

MSS ビット (マスタスレーブセレクトビット)

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを“1”に設定すると、TXDn 端子、RXDn 端子の機能が逆になり、TXDn 端子から受信データを入力し、RXDn 端子から送信データを出力します。

簡易 SPI モード以外のモード時は“0”を設定してください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

["1" になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット="1"かつ MSS ビット="0")に、SSn# 端子入力が Low になったとき

["0" になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

CKPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。詳細は、図 29.51 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

CKPH ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、図 29.51 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

29.2.17 拡張シリアルモード有効レジスタ (ESMER)

アドレス SCI12.ESMER 0008 B320h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ESME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0: 拡張シリアルモード無効 1: 拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ESME ビット (拡張シリアルモード有効ビット)

ESME ビットが“1”の場合、拡張シリアルモード制御部が有効となります。

ESME ビットを“0”にすると、以下の状態になります。

- 拡張シリアルモード制御部は初期化された状態になる

表29.21 ESMEビットの設定とタイマ動作モードの動作保証

ESMEビット	タイマモード	Break Field Low width判定モード	Break Field Low width出力モード
0	○ (注1)	×	×
1	○	○	○

○ : 動作保証必要、× : 動作保証不要

注1. PCLK選択時のみ動作します。

29.2.18 コントロールレジスタ 0 (CR0)

アドレス SCI12.CR0 0008 B321h

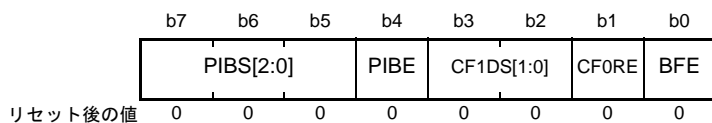
b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BRME	RXDSF	SFSF	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frameステータスフラグ	0 : Start Frame検出機能無効状態 1 : Start Frame検出機能有効状態	R
b2	RXDSF	RXDX12入力ステータスフラグ	0 : RXDX12入力許可状態 1 : RXDX12入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0 : ビットレート測定無効 1 : ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

29.2.19 コントロールレジスタ 1 (CR1)

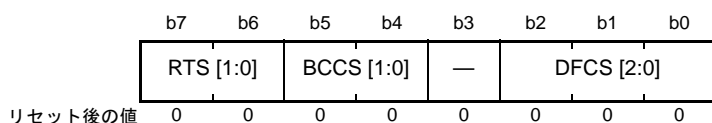
アドレス SCI12.CR1 0008 B322h



ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Fieldイネーブルビット	0 : Break Field の検出が無効 1 : Break Field の検出が有効	R/W
b1	CF0RE	Control Field 0受信イネーブルビット	0 : Control Field 0受信無効 1 : Control Field 0受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1データレジスタ 選択ビット	b3 b2 00 : PCF1DRを比較データに選択 01 : SCF1DRを比較データに選択 10 : PCF1DRおよびSCF1DRを比較データに選択 11 : 設定しないでください	R/W
b4	PIBE	プラリオリティインタラプト ビットイネーブルビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プラリオリティインタラプト ビットセレクトビット	b7 b5 000 : Control Field 1 0ビット目 001 : Control Field 1 1ビット目 010 : Control Field 1 2ビット目 011 : Control Field 1 3ビット目 100 : Control Field 1 4ビット目 101 : Control Field 1 5ビット目 110 : Control Field 1 6ビット目 111 : Control Field 1 7ビット目	R/W

29.2.20 コントロールレジスタ 2 (CR2)

アドレス SCI12.CR2 0008 B323h



ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS [2:0]	RXDX12信号デジタルフィルタクロック選択ビット	b2 b0 0 0 0 : フィルタ無効 0 0 1 : フィルタ有効 (SCI基本クロック) 0 1 0 : フィルタ有効 (PCLK/8) 0 1 1 : フィルタ有効 (PCLK/16) 1 0 0 : フィルタ有効 (PCLK/32) 1 0 1 : フィルタ有効 (PCLK/64) 1 1 0 : フィルタ有効 (PCLK/128) 1 1 1 : 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS [1:0]	バス衝突検出クロック選択ビット	b5 b4 0 0 : SCI基本クロック 0 1 : SCI基本クロックの2分周 1 0 : SCI基本クロックの4分周 1 1 : 設定しないでください	R/W
b7-b6	RTS [1:0]	RXDX12受信サンプリングタイミング選択ビット	<ul style="list-style-type: none"> • SCI12.SEMR.ABCSビット=0の場合 b7 b6 0 0 : SCI基本クロックの8クロック目の立ち上がり 0 1 : SCI基本クロックの10クロック目の立ち上がり 1 0 : SCI基本クロックの12クロック目の立ち上がり 1 1 : SCI基本クロックの14クロック目の立ち上がり <ul style="list-style-type: none"> • SCI12.SEMR.ABCSビット=1の場合 b7 b6 0 0 : SCI基本クロックの4クロック目の立ち上がり 0 1 : SCI基本クロックの5クロック目の立ち上がり 1 0 : SCI基本クロックの6クロック目の立ち上がり 1 1 : SCI基本クロックの7クロック目の立ち上がり	R/W

注. SCI基本クロックとは、SCI12.SEMR.ABCS=0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS=1のとき、1データ期間の1/8の周期です。また、SCI基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。

29.2.21 コントロールレジスタ 3 (CR3)

アドレス SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0 : Start Frameの検出を行わない 1 : Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット (Start Frame 検出開始ビット)

SDST ビットを“1”にすると Start Frame の検出を開始します。読むと“0”が読み出されます。

29.2.22 ポートコントロールレジスタ (PCR)

アドレス SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RXDXP S	TXDXP S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0 : TXDX12信号極性を反転せずに出力 1 : TXDX12信号極性を反転して出力	R/W
b1	RXDXP S	RXDX12信号極性選択ビット	0 : RXDX12極性を反転せずに入力 1 : RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXDX12端子兼用選択ビット	0 : TXDX12端子、RXDX12端子独立 1 : TXDX12/RXDX12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット (TXDX12/RXDX12 端子兼用選択ビット)

SHARPS ビットが“1”の場合、TXDX12/RXDX12 端子を兼用した半二重通信が可能となります。

29.2.23 割り込みコントロールレジスタ (ICR)

アドレス SCI12.ICR 0008 B326h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width検出割り込み許可ビット	0 : Break Field Low width検出割り込み禁止 1 : Break Field Low width検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0 : Control Field 0一致割り込み禁止 1 : Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0 : Control Field 1一致割り込み禁止 1 : Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0 : プライオリティインタラプトビット検出割り込み禁止 1 : プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

29.2.24 ステータスレジスタ (STR)

アドレス SCI12.STR 0008 B327h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width 検出フラグ	["1"になる条件] • Break Field Low width 検出したとき • Break Field Low width 出力完了したとき • タイマがアンダフローしたとき ["0"になる条件] • STCR.BFDCL ビットに"1"を書いたとき	R
b1	CF0MF	Control Field 0 一致フラグ	["1"になる条件] • Control Field 0 受信データが設定データと一致したとき ["0"になる条件] • STCR.CF0MCL ビットに"1"を書いたとき	R
b2	CF1MF	Control Field 1 一致フラグ	["1"になる条件] • Control Field 1 受信データが設定データと一致したとき ["0"になる条件] • STCR.CF1MCL ビットに"1"を書いたとき	R
b3	PIBDF	プライオリティインタラプト ビット検出フラグ	["1"になる条件] • プライオリティインタラプトビットを検出したとき ["0"になる条件] • STCR.PIBDCL ビットに"1"を書いたとき	R
b4	BCDF	バス衝突検出フラグ	["1"になる条件] • バス衝突を検出したとき ["0"になる条件] • STCR.BCDCL ビットに"1"を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	["1"になる条件] • 有効エッジを検出したとき ["0"になる条件] • STCR.AEDCL ビットに"1"を書いたとき	R
b7-b6	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R

29.2.25 ステータスクリアレジスタ (STCR)

アドレス SCI12.STCR 0008 B328h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDCL	BCDCL	PIBDC L	CF1MC L	CF0MC L	BFDCCL

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDCCL	BFDFクリアビット	BFDCCLビットを“1”にするとSTR.BFDFフラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MFクリアビット	CF0MCLビットを“1”にするとSTR.CF0MFフラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MFクリアビット	CF1MCLビットを“1”にするとSTR.CF1MFフラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCCL	PIBDFクリアビット	PIBDCCLビットを“1”にするとSTR.PIBDFフラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDFクリアビット	BCDCLビットを“1”にするとSTR.BCDFフラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDFクリアビット	AEDCLビットを“1”にするとSTR.AEDFフラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

29.2.26 Control Field 0 データレジスタ (CF0DR)

アドレス SCI12.CF0DR 0008 B329h

b7	b6	b5	b4	b3	b2	b1	b0
[Empty Register]							

リセット後の値 0 0 0 0 0 0 0 0

CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

29.2.27 Control Field 0 コンペアイネーブルレジスタ (CF0CR)

アドレス SCI12.CF0CR 0008 B32Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0ビットコンペアイネーブルビット	0 : Control Field 0 ビット0コンペア無効 1 : Control Field 0 ビット0コンペア有効	R/W
b1	CF0CE1	Control Field 0 1ビットコンペアイネーブルビット	0 : Control Field 0 ビット1コンペア無効 1 : Control Field 0 ビット1コンペア有効	R/W
b2	CF0CE2	Control Field 0 2ビットコンペアイネーブルビット	0 : Control Field 0 ビット2コンペア無効 1 : Control Field 0 ビット2コンペア有効	R/W
b3	CF0CE3	Control Field 0 3ビットコンペアイネーブルビット	0 : Control Field 0 ビット3コンペア無効 1 : Control Field 0 ビット3コンペア有効	R/W
b4	CF0CE4	Control Field 0 4ビットコンペアイネーブルビット	0 : Control Field 0 ビット4コンペア無効 1 : Control Field 0 ビット4コンペア有効	R/W
b5	CF0CE5	Control Field 0 5ビットコンペアイネーブルビット	0 : Control Field 0 ビット5コンペア無効 1 : Control Field 0 ビット5コンペア有効	R/W
b6	CF0CE6	Control Field 0 6ビットコンペアイネーブルビット	0 : Control Field 0 ビット6コンペア無効 1 : Control Field 0 ビット6コンペア有効	R/W
b7	CF0CE7	Control Field 0 7ビットコンペアイネーブルビット	0 : Control Field 0 ビット7コンペア無効 1 : Control Field 0 ビット7コンペア有効	R/W

29.2.28 Control Field 0 受信データレジスタ (CF0RR)

アドレス SCI12.CF0RR 0008 B32Bh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。CF0RR レジスタは CPU または、DMA 転送 /DTC 転送でライトできません。

29.2.29 プライマリ Control Field 1 データレジスタ (PCF1DR)

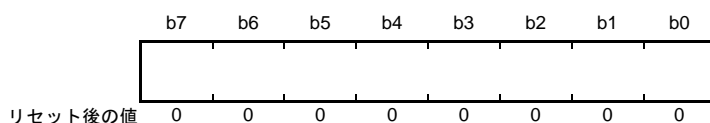
アドレス SCI12.PCF1DR 0008 B32Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

29.2.30 セカンダリ Control Field 1 データレジスタ (SCF1DR)

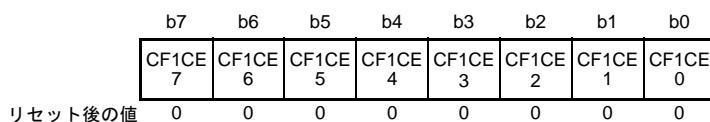
アドレス SCI12.SCF1DR 0008 B32Dh



SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

29.2.31 Control Field 1 コンペアイネーブルレジスタ (CF1CR)

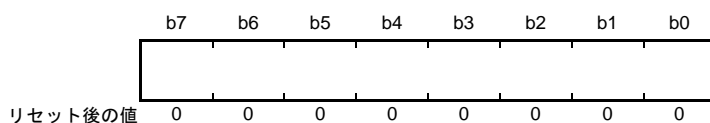
アドレス SCI12.CF1CR 0008 B32Eh



ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0ビットコンペアイネーブル	0 : Control Field 1 ビット0コンペア無効 1 : Control Field 1 ビット0コンペア有効	R/W
b1	CF1CE1	Control Field 1 1ビットコンペアイネーブル	0 : Control Field 1 ビット1コンペア無効 1 : Control Field 1 ビット1コンペア有効	R/W
b2	CF1CE2	Control Field 1 2ビットコンペアイネーブル	0 : Control Field 1 ビット2コンペア無効 1 : Control Field 1 ビット2コンペア有効	R/W
b3	CF1CE3	Control Field 1 3ビットコンペアイネーブル	0 : Control Field 1 ビット3コンペア無効 1 : Control Field 1 ビット3コンペア有効	R/W
b4	CF1CE4	Control Field 1 4ビットコンペアイネーブル	0 : Control Field 1 ビット4コンペア無効 1 : Control Field 1 ビット4コンペア有効	R/W
b5	CF1CE5	Control Field 1 5ビットコンペアイネーブル	0 : Control Field 1 ビット5コンペア無効 1 : Control Field 1 ビット5コンペア有効	R/W
b6	CF1CE6	Control Field 1 6ビットコンペアイネーブル	0 : Control Field 1 ビット6コンペア無効 1 : Control Field 1 ビット6コンペア有効	R/W
b6	CF1CE7	Control Field 1 7ビットコンペアイネーブル	0 : Control Field 1 ビット7コンペア無効 1 : Control Field 1 ビット7コンペア有効	R/W

29.2.32 Control Field 1 受信データレジスタ (CF1RR)

アドレス SCI12.CF1RR 0008 B32Fh



CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。CF1RR レジスタは CPU または、DMA 転送/DTC 転送でライトできません。

29.2.33 タイマコントロールレジスタ (TCR)

アドレス SCI12.TCR 0008 B330h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0 : タイマカウント停止 1 : タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

29.2.34 タイマモードレジスタ (TMR)

アドレス SCI12.TMR 0008 B331h

b7	b6	b5	b4	b3	b2	b1	b0
—	TCSS[2:0]		TWRC	—	TOMS[1:0]		—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット (注1)	b1 b0 0 0 : タイマモード 0 1 : Break Field Low width 判定モード 1 0 : Break Field Low width 出力モード 1 1 : 設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット (注1)	b6 b4 0 0 0 : PCLK 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

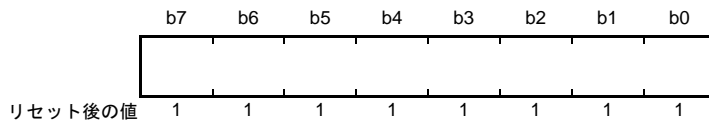
注1. TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時 (TCST=0) に行ってください。

TWRC ビット (カウンタ書き込み制御ビット)

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

29.2.35 タイムプリスケアラレジスタ (TPRE)

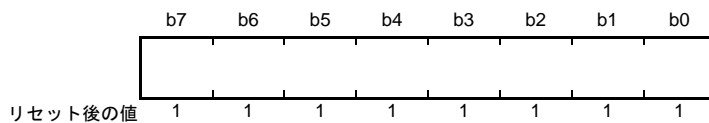
アドレス SCI12.TPRE 0008 B332h



TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウンタクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、システム動作クロックの 1 クロックが必要です。

29.2.36 タイマカウントレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h



TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、システム動作クロックの 1 クロックが必要です。

29.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 29.4 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

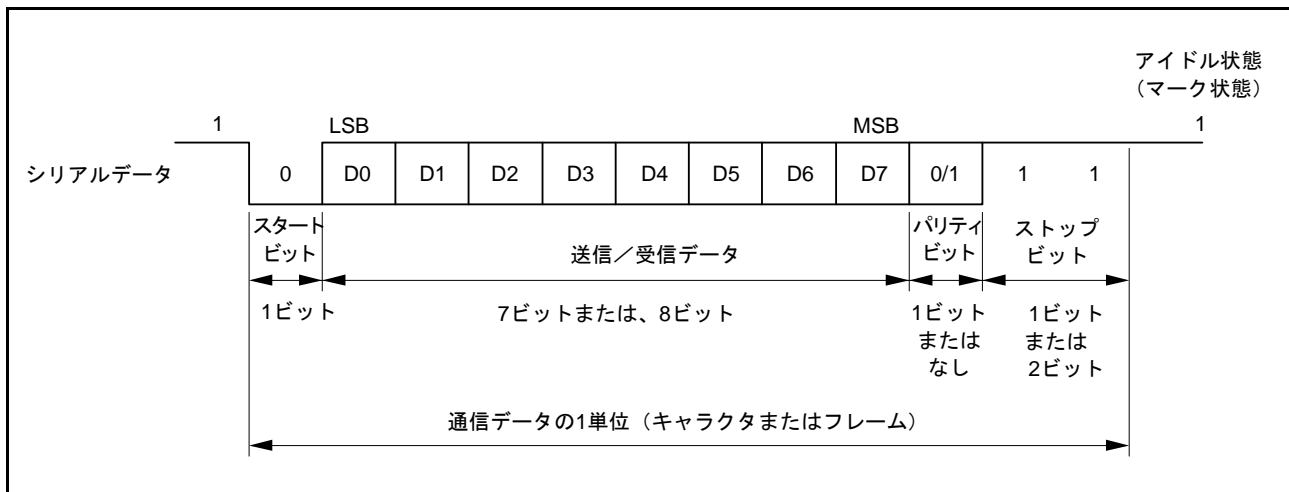


図 29.4 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

29.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 29.22 に示します。

フォーマットは 12 種類あり、SMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「29.4 マルチプロセッサ通信機能」を参照してください。

表29.22 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	—	1	0	S	8ビットデータ								MPB	STOP		
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	—	1	0	S	7ビットデータ							MPB	STOP			
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

29.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図29.5に示すように受信データを基本クロックの8サイクル目(注1)の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5)F - \frac{|D-0.5|}{N} (1+F) \right| \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比

(SEMR.ABCSビット=0のときN=16、ABCSビット=1のときN=8)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値) = 0、D(クロックのデューティ) = 0.5とすると、

$$M = \left\{ 0.5 - \frac{1}{2 \times 16} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

注1. SEMR.ABCSビット=0のときの例です。ABCSビット=1のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。

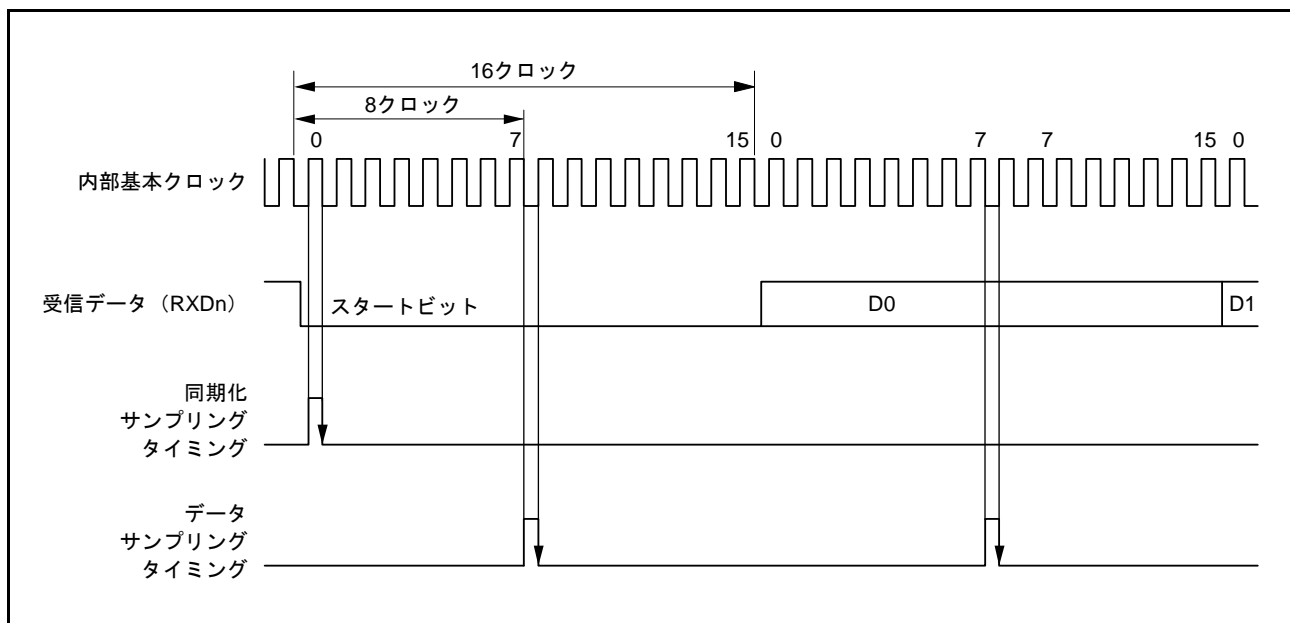


図 29.5 調歩同期式モードの受信データサンプリングタイミング

29.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0ビット（n=0～3、12）の設定により、MTU3からの基本クロックを選択することが可能です。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図29.6に示すように送信データの中央でクロックが立ち上がります。

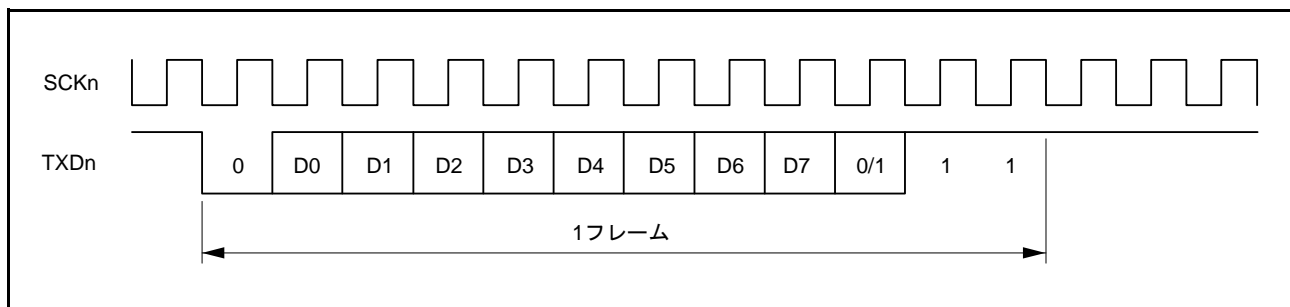


図 29.6 出カクロックと送信データの位相関係（調歩同期式モード：SMR.CHR=0,PE=1,MP=0,STOP=1）

29.3.4 CTS、RTS 機能

CTS機能は、CTS#端子入力を使用して送信制御を行う機能です。

SPMR.CTSEビットを“1”にするとCTS機能が有効になります。CTS機能が有効のとき、CTS#端子入力がLowのときのみ送信動作を開始します。

送信動作中にCTS#端子をLowにした場合、送信中のフレームは影響を受けず送信を続けます。

RTS機能は、RTS#端子出力を使用して受信要求を行う機能で、受信可能状態になるとLowを出力します。Low、Highを出力する条件は以下の通りです。

[Lowになる条件]

以下の条件をすべて満たす場合

- SCR.REビットが“1”
- 受信動作中でない
- 読み出し前の受信データがない
- SSR.ORER, FER, PERフラグがすべて“0”

[Highになる条件]

Lowになる条件を満たさない場合

29.3.5 SCIの初期化（調歩同期式モード）

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 29.7 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを“0”に設定しても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを“1”から“0”、または“0”から“1”に設定すると、SCR.TIE ビットが“1”の場合、TXI 割り込み（送信データエンプティ割り込み）要求が発生しますので注意してください。

初期化処理において、SCR レジスタの TE ビット、TIE ビット、TEIE ビットを同時に“1”に設定すると TXI 割り込み（送信データエンプティ割り込み）発生前に TEI 割り込み（送信終了割り込み）が発生しますので注意してください。

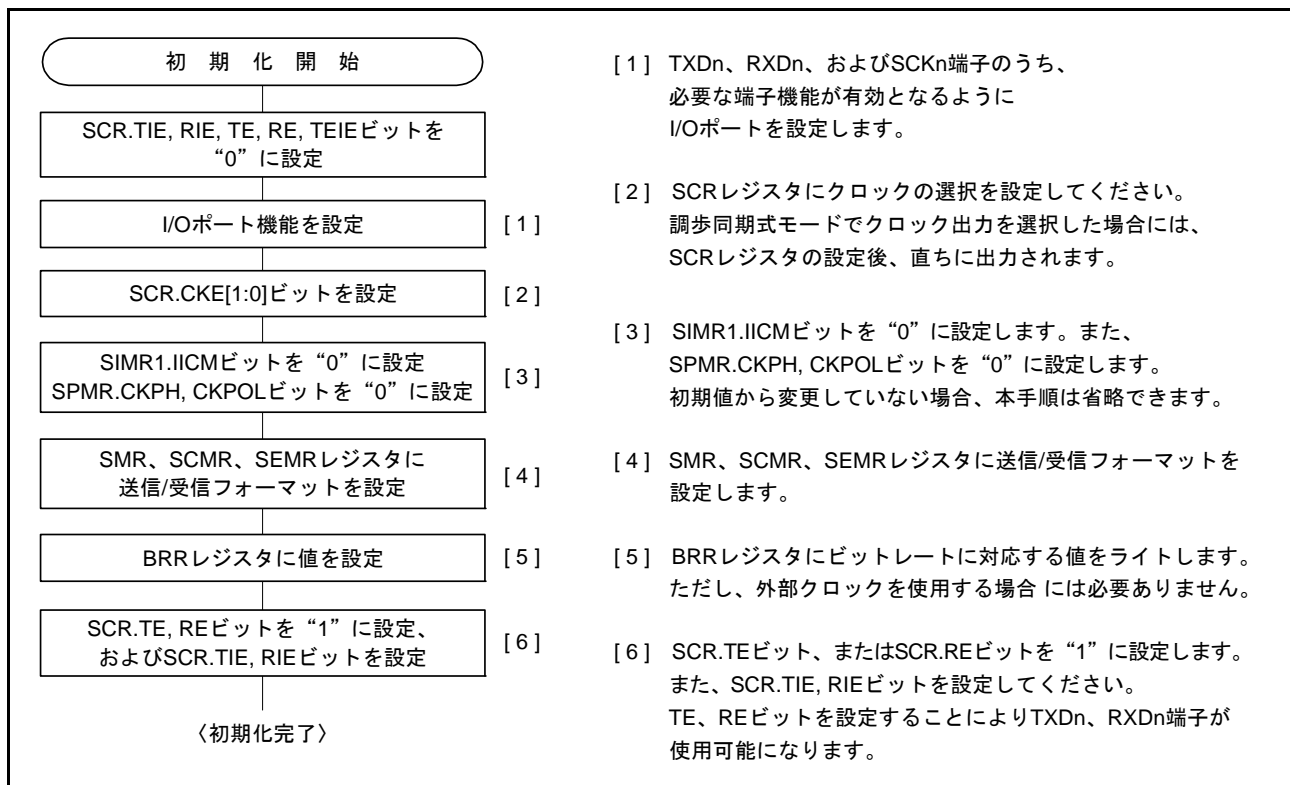


図 29.7 SCIの初期化フローチャートの例（調歩同期式モード）

29.3.6 シリアルデータの送信（調歩同期式モード）

図 29.8 に調歩同期式モードのシリアル送信時の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”に設定した後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”に設定することで発生します。
2. SPMR.CTSE ビットが“0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”に設定されていると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを“1”（TEI 割り込み要求を許可）にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが“0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタから TSR レジスタにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、ストップビット送出後、“1”を出力してマーク状態になります。このとき、SCR.TEIE ビットが“1”にされていると、SSR.TEND フラグが“1”にされ TEI 割り込み要求が発生します。

図 29.9 にシリアル送信のフローチャートの例を示します。

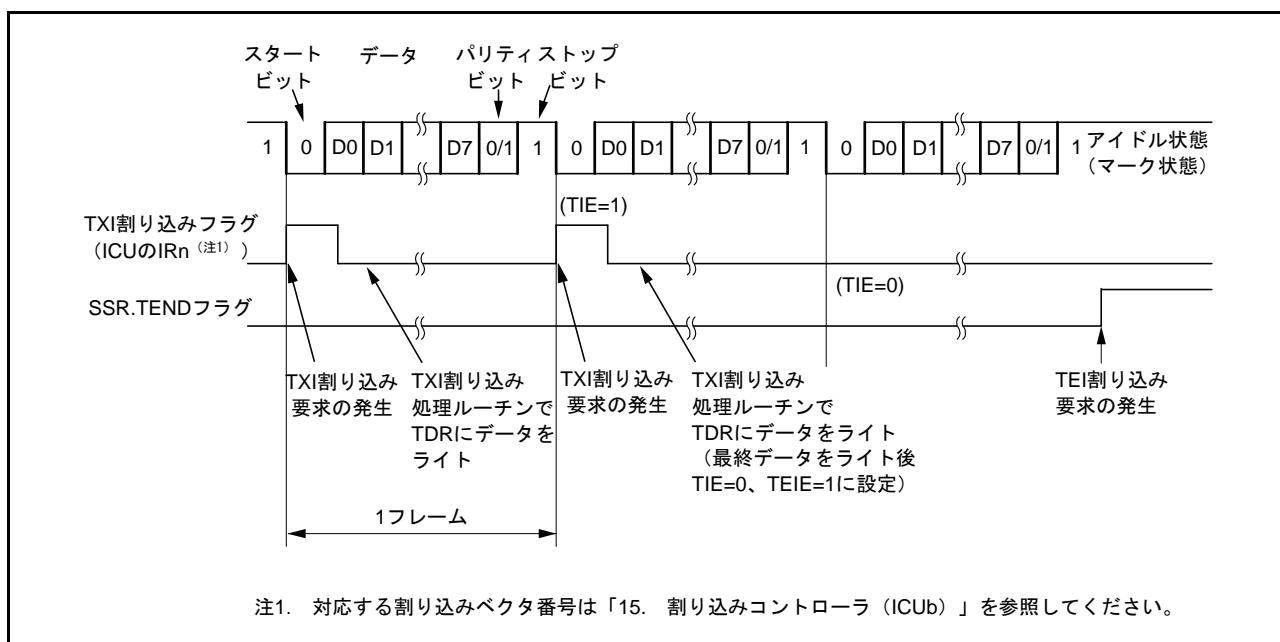


図 29.8 調歩同期式モードのシリアル送信（送信中～送信終了時）の動作例（8 ビットデータ / パリティあり / 1 ストップビットの例）

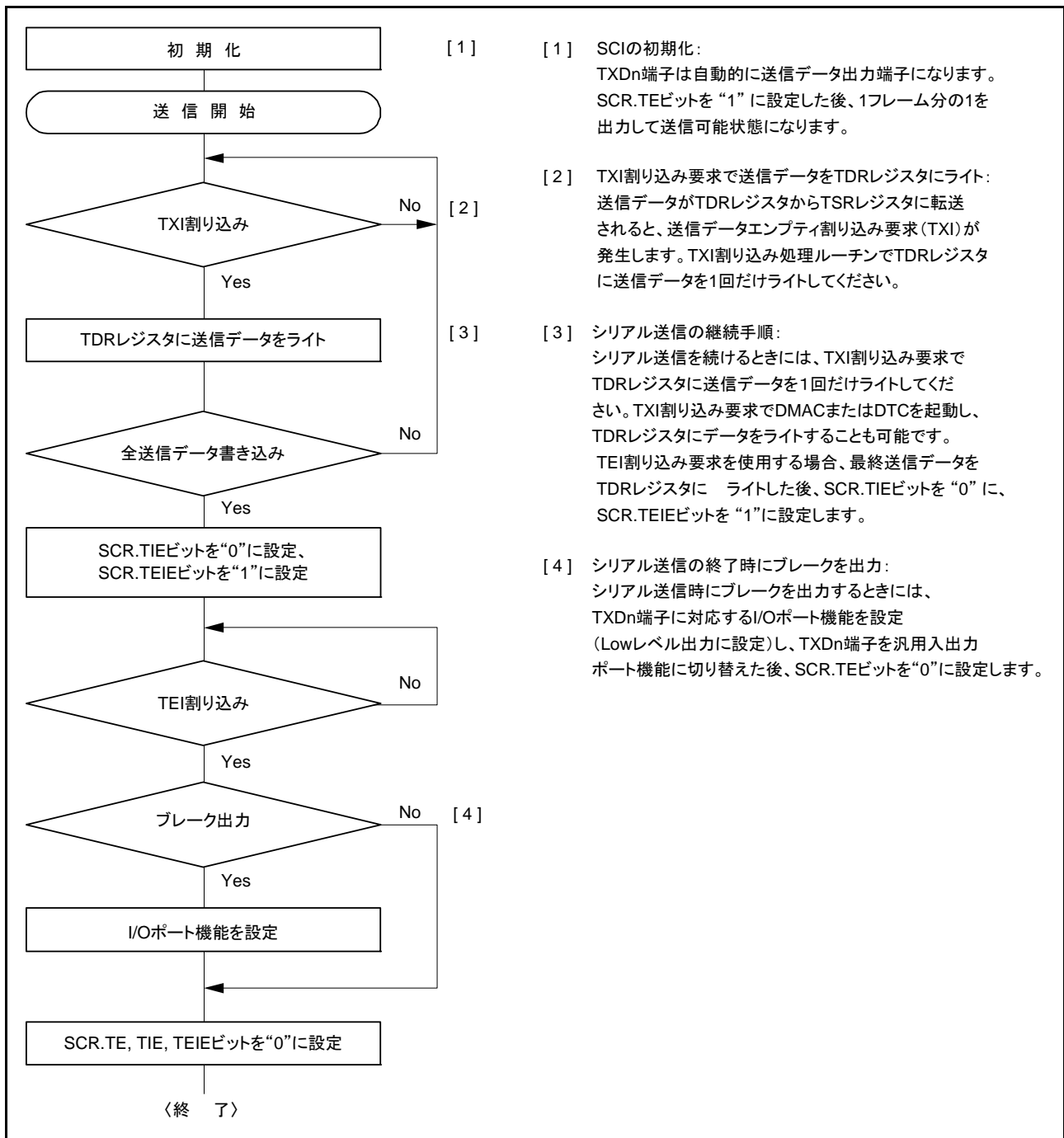


図 29.9 調歩同期式モードのシリアル送信のフローチャート例

29.3.7 シリアルデータの受信（調歩同期式モード）

図 29.10、図 29.11 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットを“1”にして、RTSn# 端子出力を Low にします。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.OPER フラグをセットします。このとき、SCR.RIE ビットが“1”にされていると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”にされていると、ERI 割り込み要求が発生します。
5. フレーミングエラー（ストップビットが 0 のとき）を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”にされていると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”にされていると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

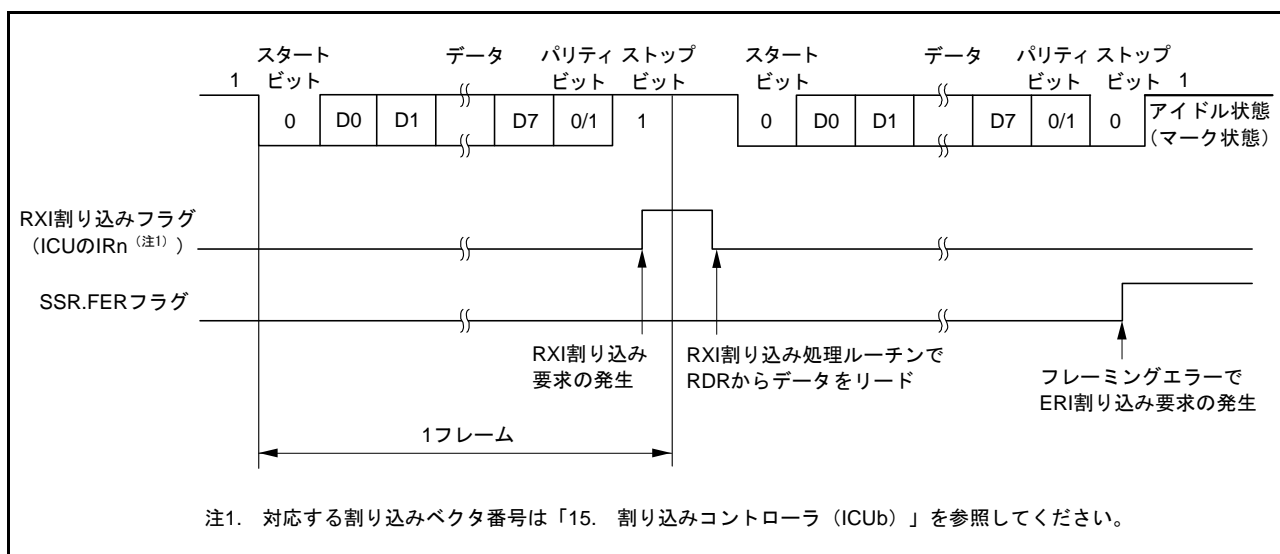


図 29.10 調歩同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）
（8 ビットデータ / パリティあり / 1 ストップビットの例）

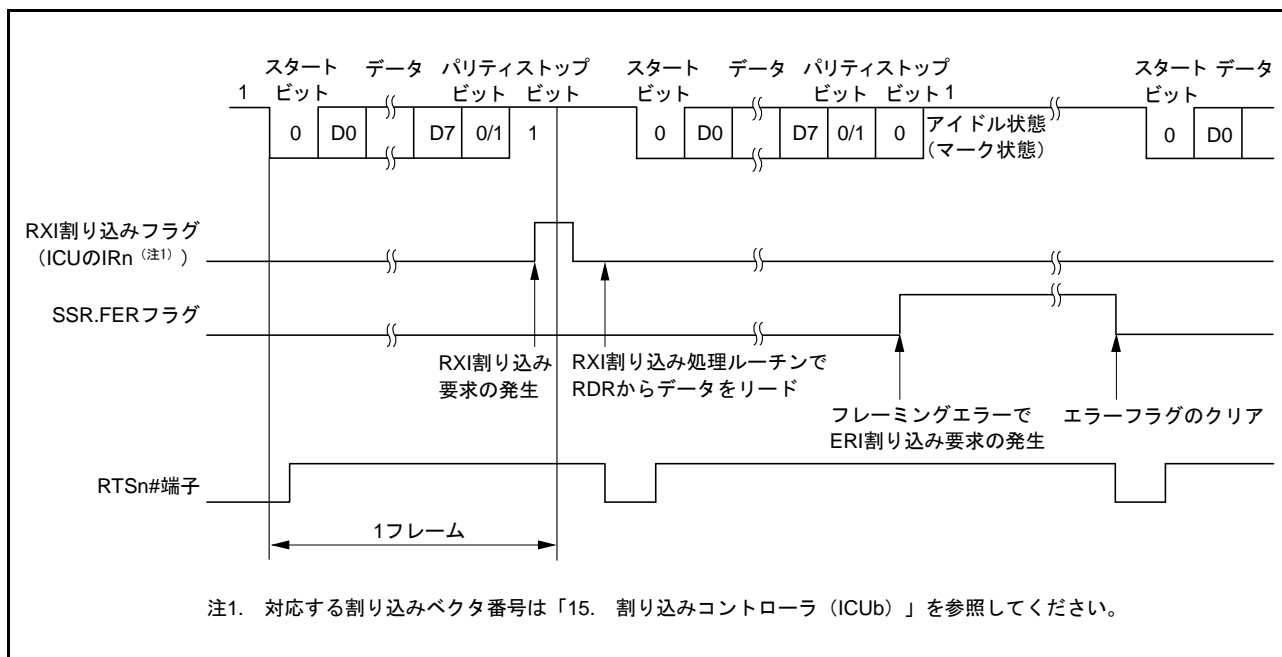


図 29.11 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)
(8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 29.23 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”に設定してください。また、オーバランエラー処理では RDR レジスタをリードしてください。

図 29.12、図 29.13 にシリアル受信のフローチャートの例を示します。

表 29.23 SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバランエラー + フレーミングエラー
1	0	1	消失	オーバランエラー + パリティエラー
0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

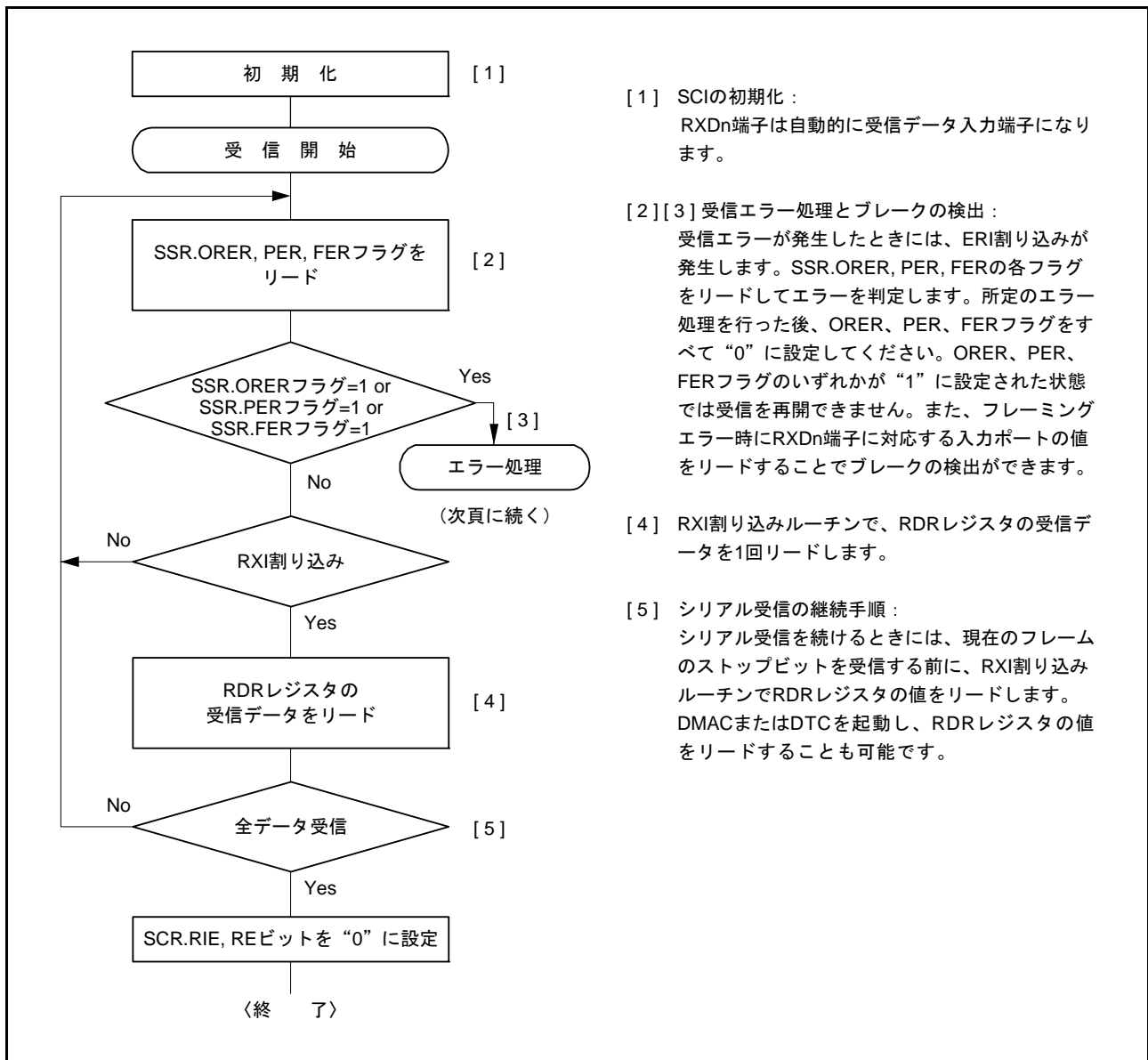


図 29.12 調歩同期式モードのシリアル受信のフローチャート例 (1)

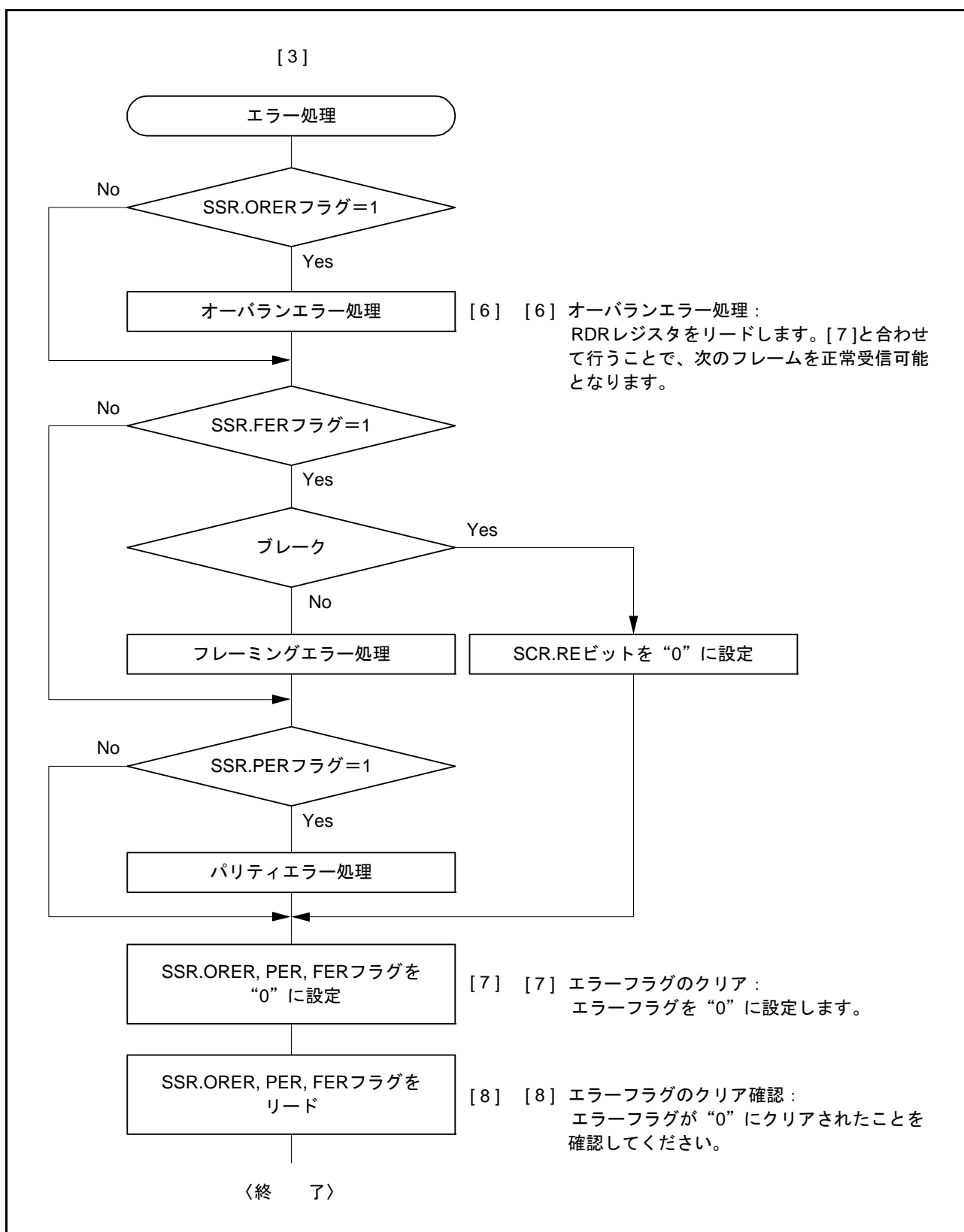


図 29.13 調歩同期式モードのシリアル受信のフローチャート例 (2)

29.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 29.14 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを“1”に設定すると、マルチプロセッサビットが 1 のデータを受け取るまで RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と SSR.ORER、FER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR.MPBT ビットが“1”にされるとともに SCR.MPIE ビットが自動的にクリアされて通常の受信動作に戻ります。このとき SCR.RIE ビットがセットされていると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

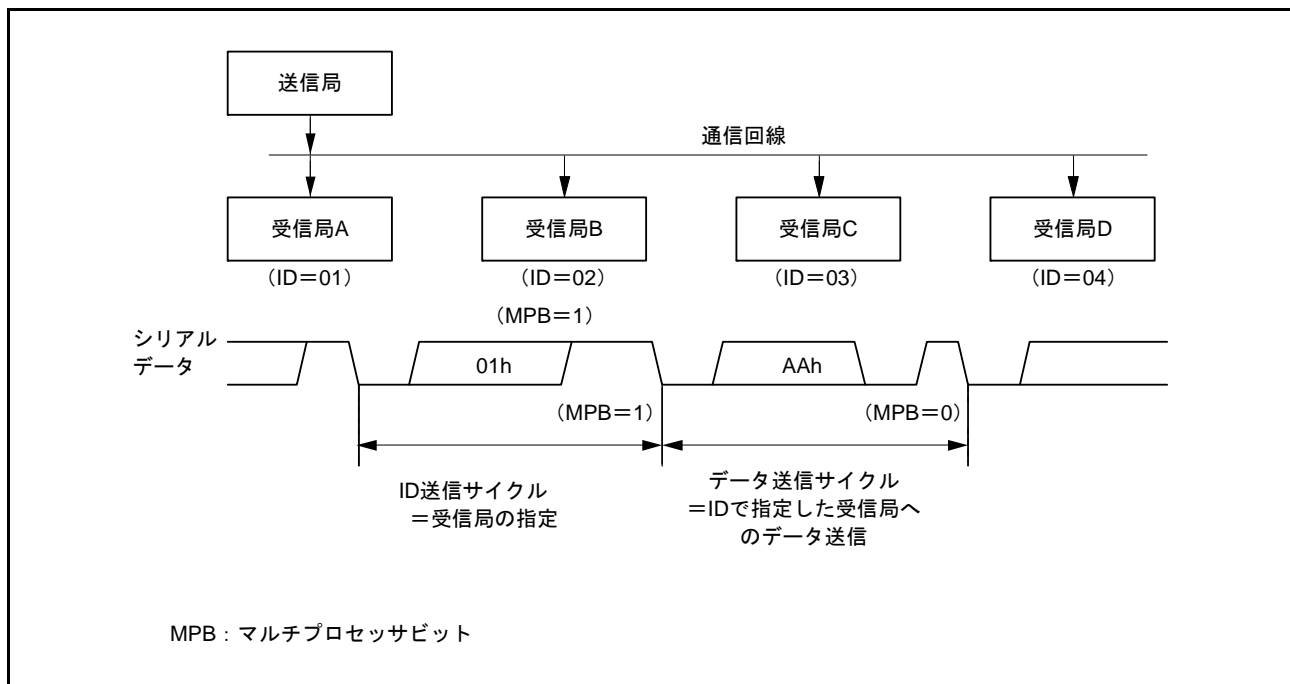


図 29.14 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ AAh の送信の例）

29.4.1 マルチプロセッサシリアルデータ送信

図 29.15 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”に設定して送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”に設定して送信してください。その他の動作は調歩同期式モードの動作と同じです。

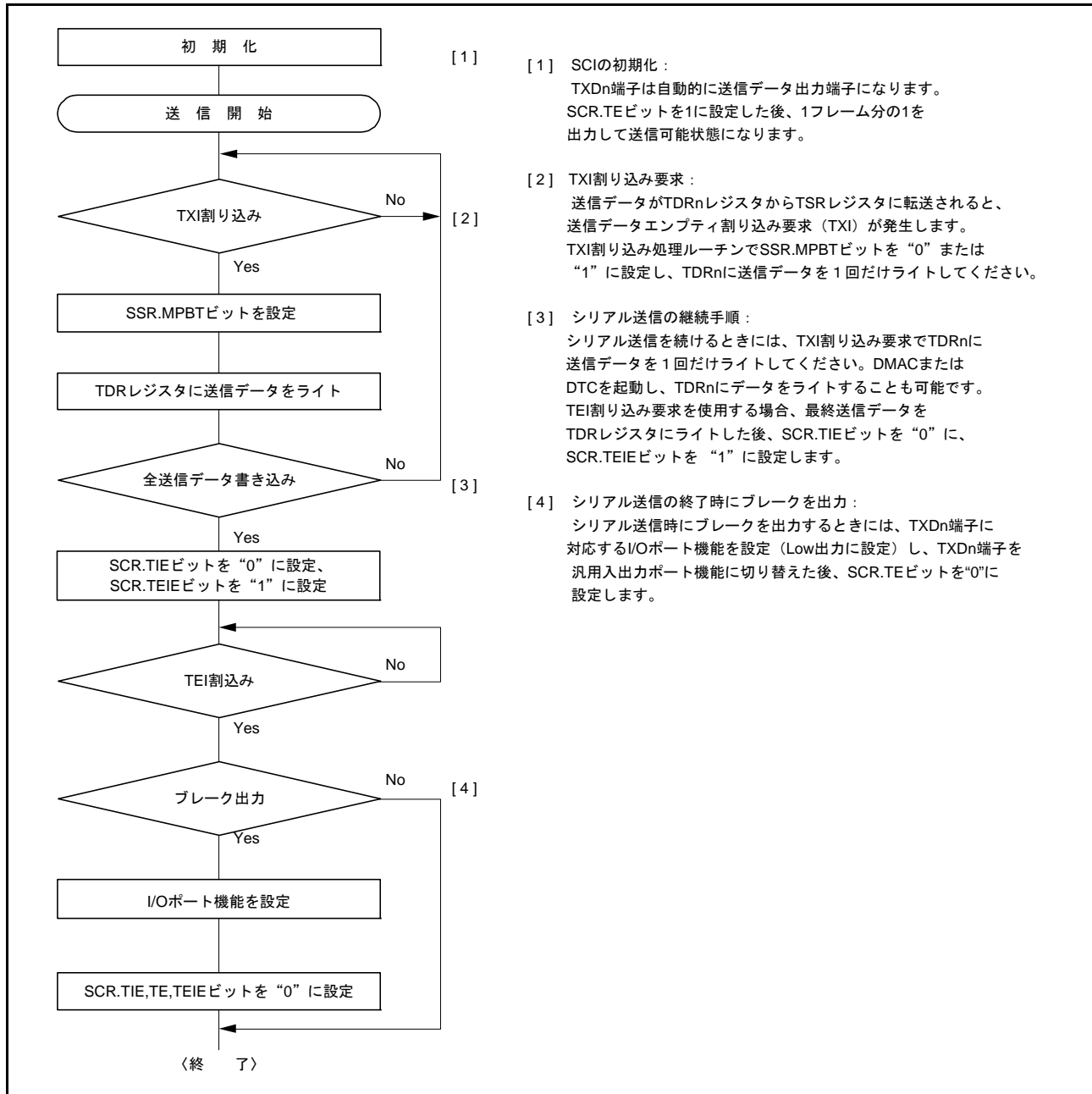


図 29.15 マルチプロセッサシリアル送信のフローチャートの例

29.4.2 マルチプロセッサシリアルデータ受信

図 29.17、図 29.18 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”に設定するとマルチプロセッサビットが1の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが1の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。

図 29.16 に受信時の動作例を示します。

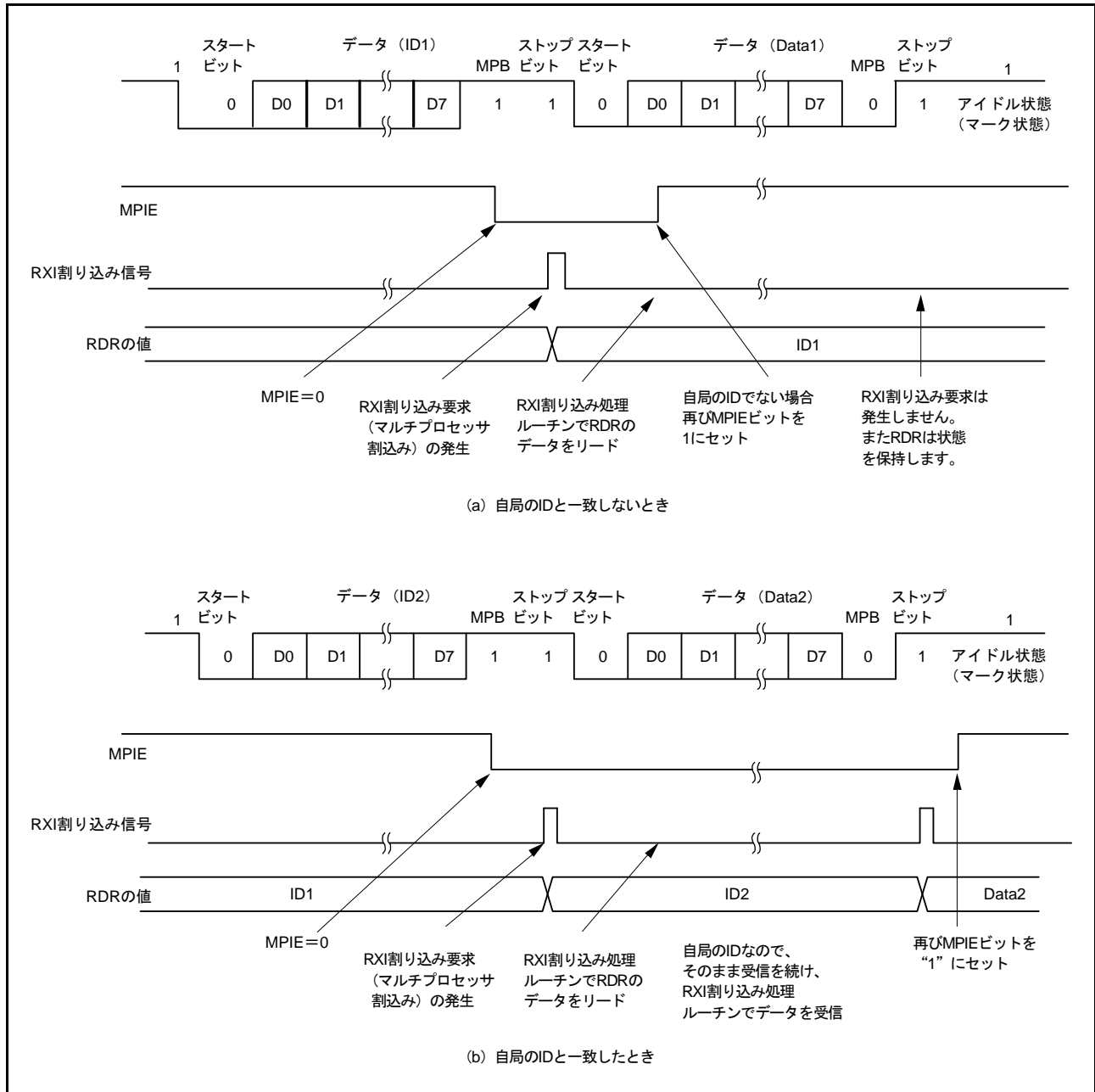


図 29.16 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

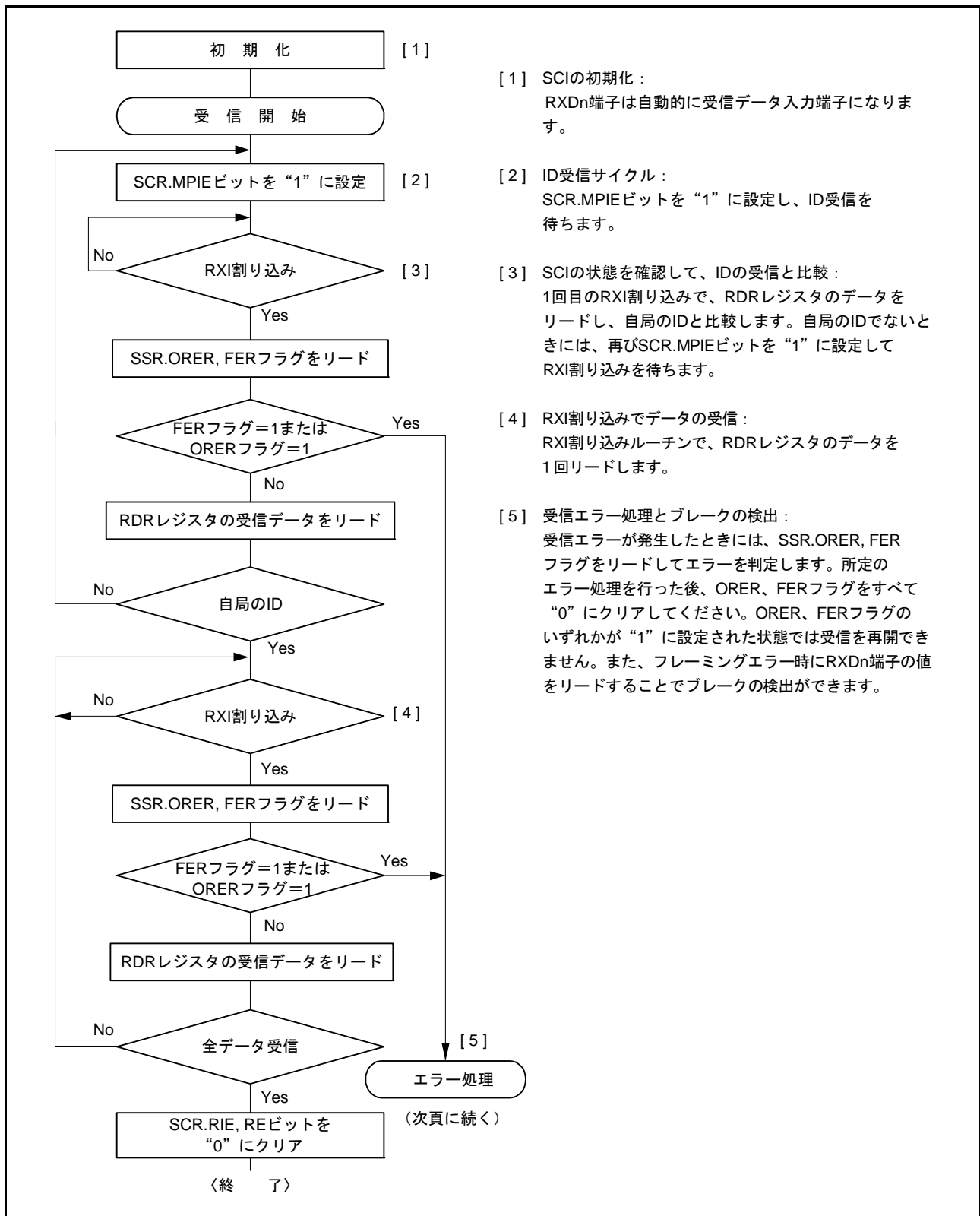


図 29.17 マルチプロセッサシリアル受信のフローチャートの例 (1)

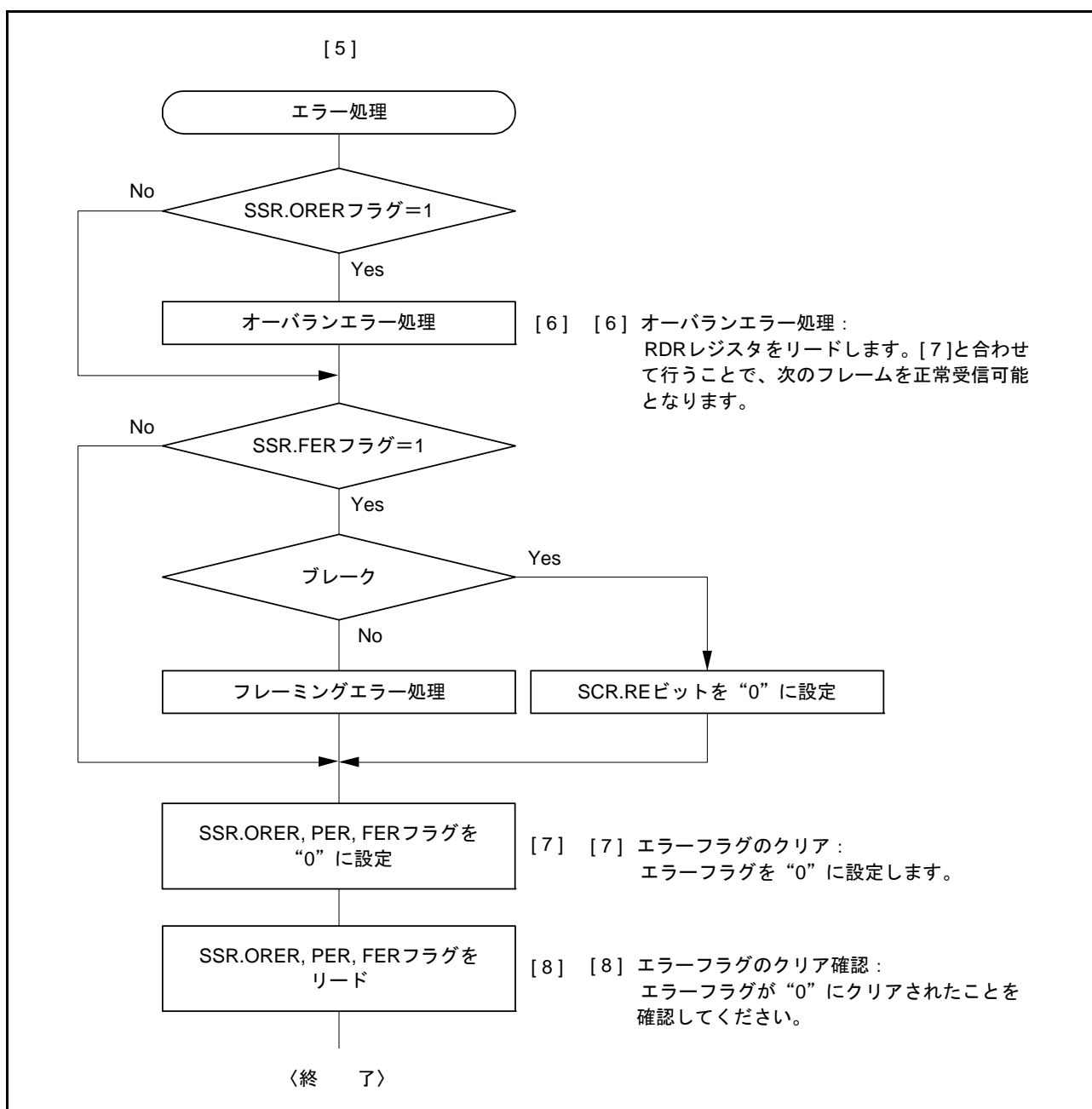


図 29.18 マルチプロセッサシリアル受信のフローチャートの例 (2)

29.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 29.19 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

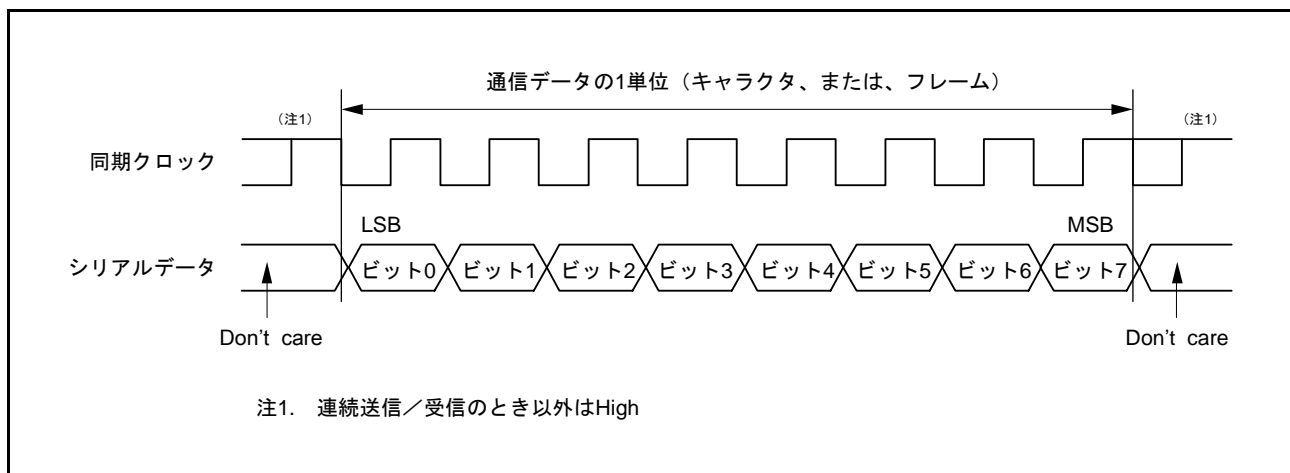


図 29.19 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

29.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを“1”にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High で停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが“0”のときに CTSn# 端子入力が High であれば、SCR.RE ビットを“1”にしてもクロック出力を開始しません。SCR.RE ビットを“1”にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High で停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High で停止します。

29.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビット“1”に設定すると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通

信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが “1”
- 送受信動作中でない
- 読み出し前の受信データがない (SCR.RE ビットが “1” のとき)
- 送信データを書き込み済 (SCR.TE ビットが “1” のとき)
- SSR.ORER フラグが “0”

[High になる条件]

Low になる条件を満たさない場合

29.5.3 SCI の初期化 (クロック同期式モード)

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 29.20 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” に設定しても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” に設定すると、SCR.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。

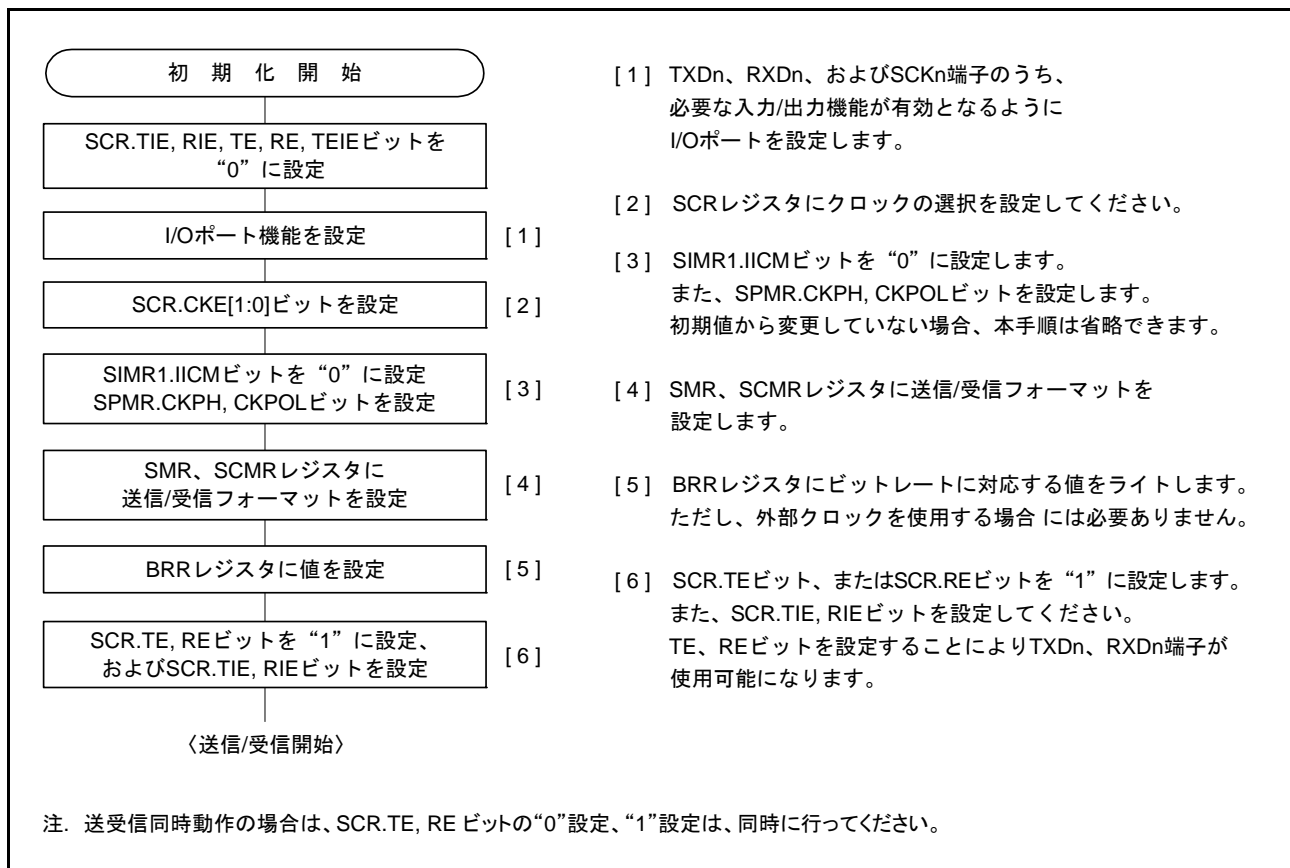


図 29.20 SCI の初期化フローチャートの例 (クロック同期式モード)

29.5.4 シリアルデータの送信（クロック同期式モード）

図 29.21 にクロック同期式モードのシリアル送信時の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”に設定した後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”に設定することで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”に設定されていると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを“1”（TEI 割り込み要求を許可）にします。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1”（CTS 機能許可）のとき、CTS 信号入力 Low になるまで待つてから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”にされていると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 29.22 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ（SSR.ORER, FER, PER）が“1”にされた状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”に設定してください。また、受信エラーフラグは SCR.RE ビットを“0”にしただけではクリアされませんので注意してください。

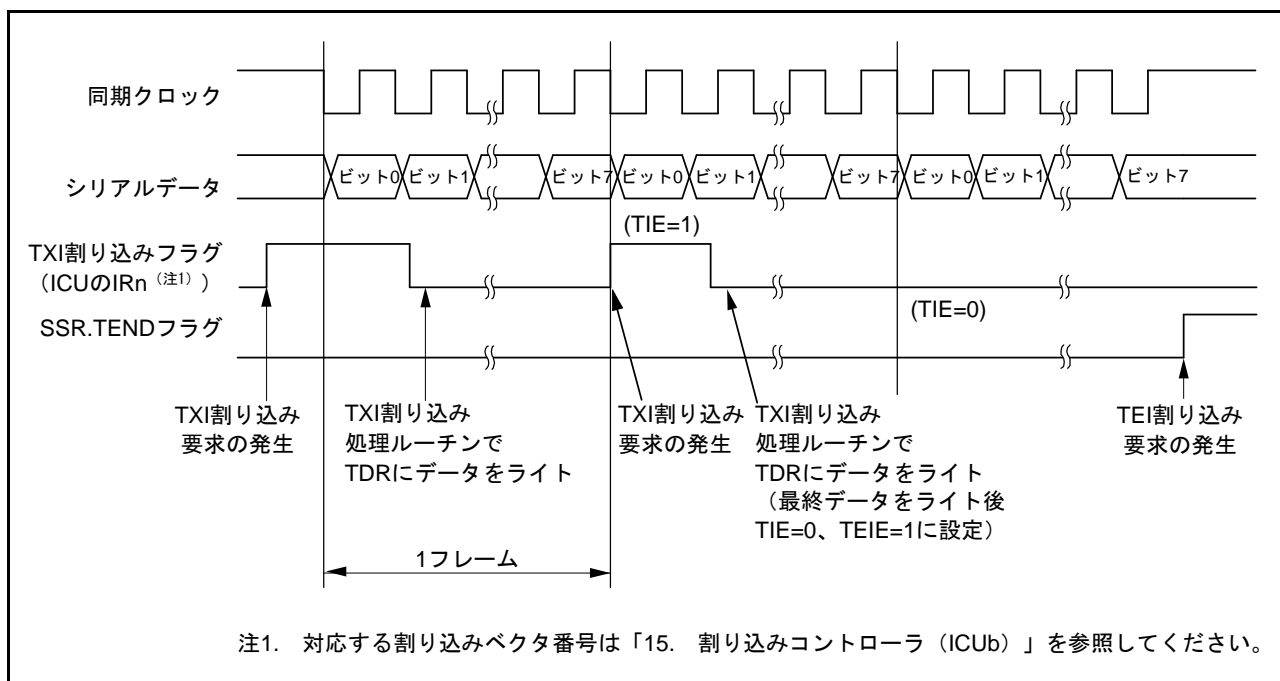


図 29.21 クロック同期式モードのシリアル送信（送信中～送信終了時）の動作例

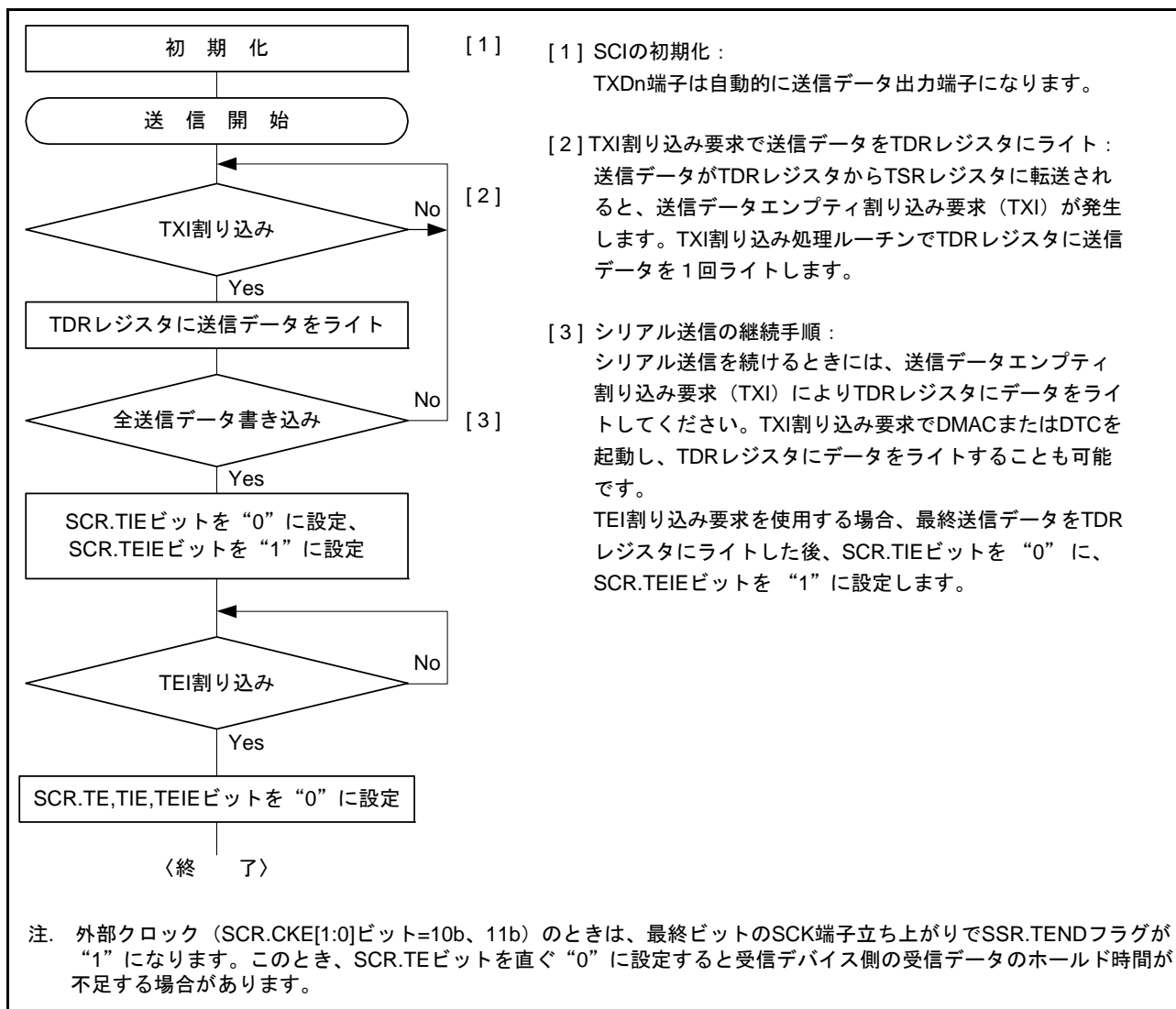


図 29.22 クロック同期式モードのシリアル送信のフローチャート例

29.5.5 シリアルデータの受信 (クロック同期式モード)

図 29.23、図 29.24 にクロック同期式モードのシリアル受信時の動作例を示します。

シリアルデータの受信時、SCIは以下のように動作します。

1. SCR.RE ビットが“1”になると、RTS 信号出力を Low にします (RTS 機能使用時)。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが“1”にされていると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”にされていると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTS 信号出力を Low にします (RTS 機能使用時)。

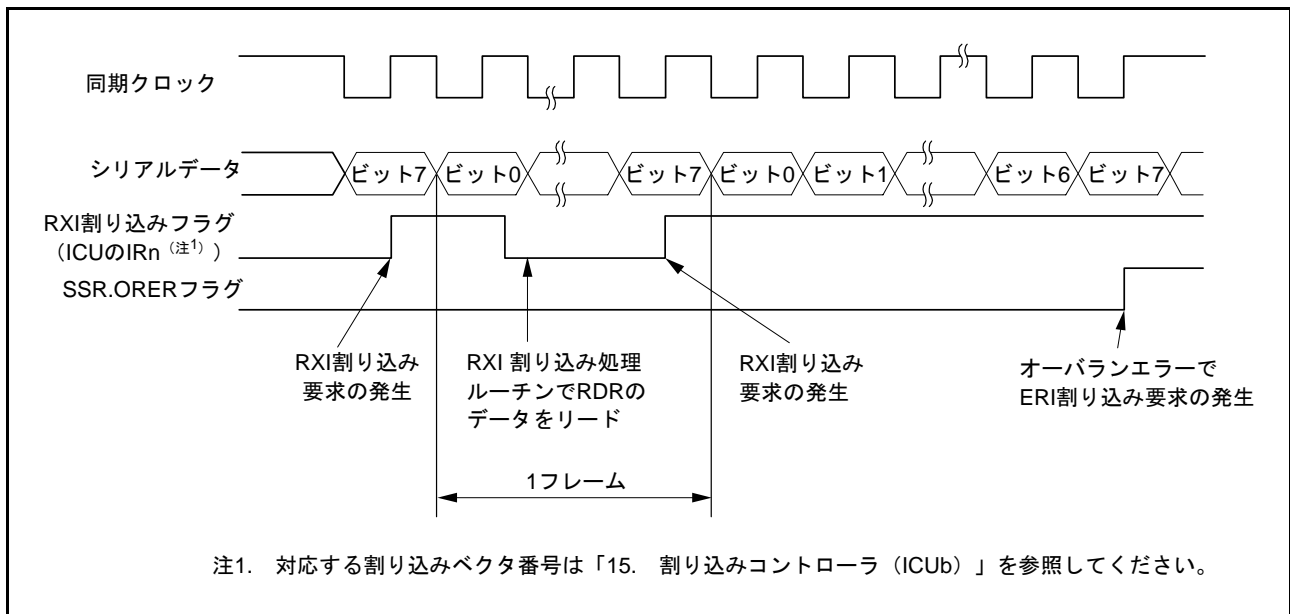


図 29.23 クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)

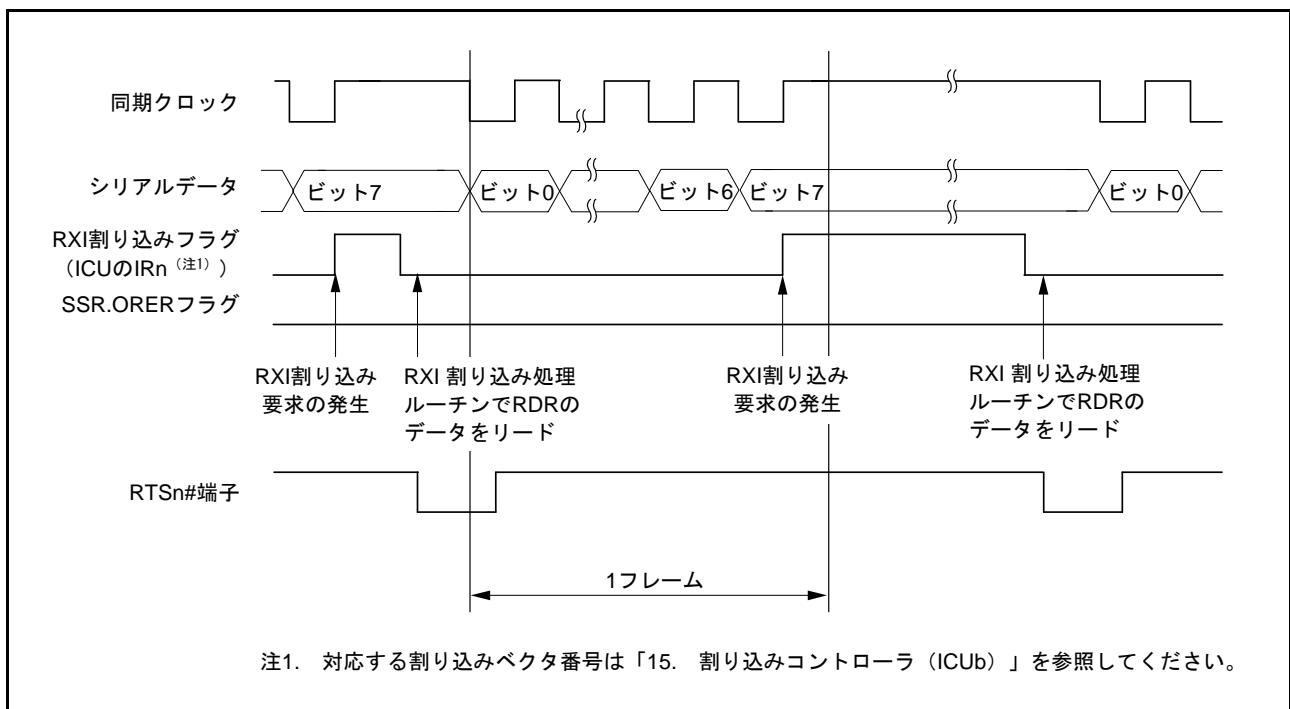


図 29.24 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR.ORER, FER, PER フラグを“0”に設定してください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 29.25 にシリアル受信のフローチャートの例を示します。

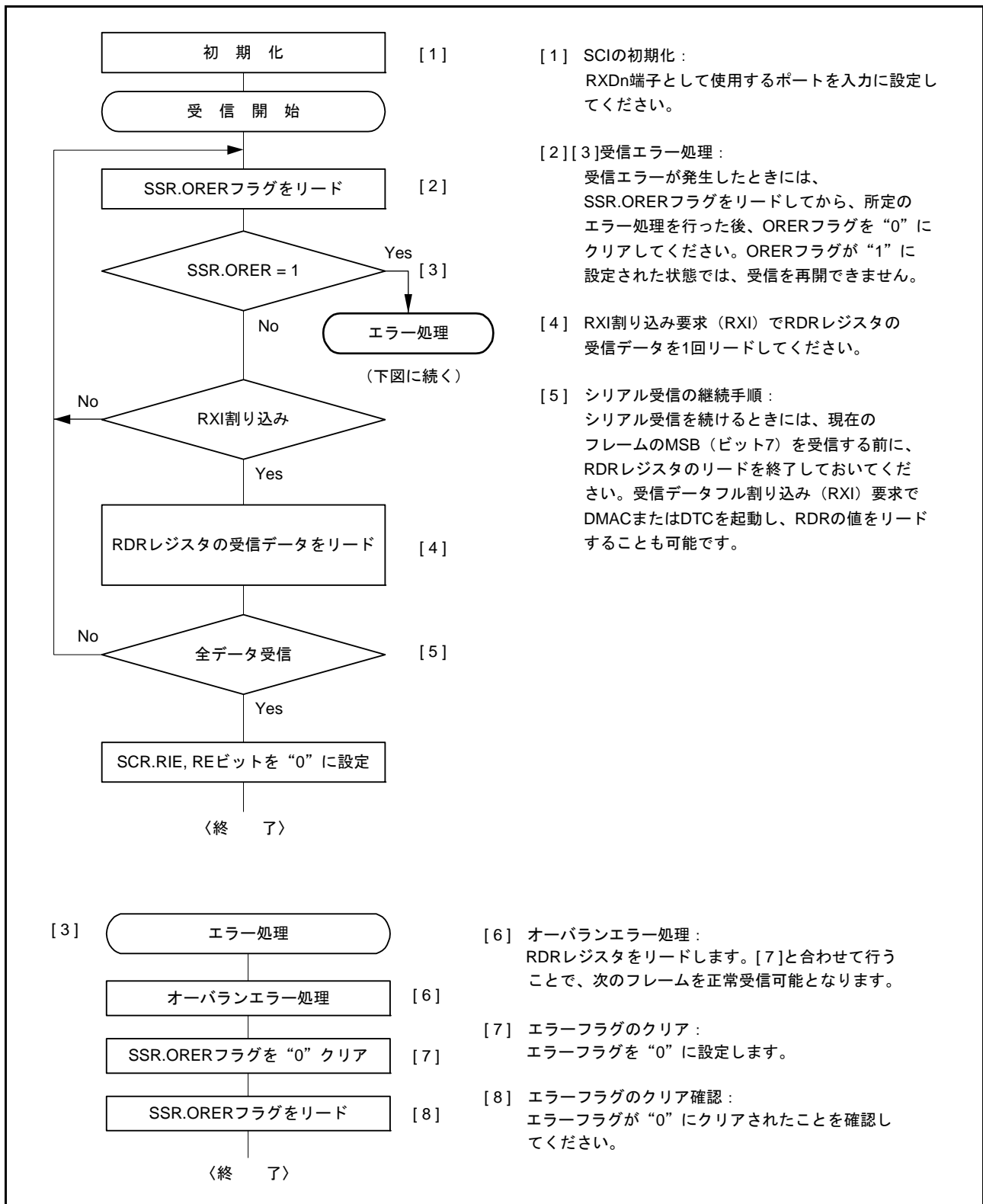


図 29.25 クロック同期式モードのシリアル受信のフローチャート例

29.5.6 シリアルデータの送受信同時動作（クロック同期式モード）

図 29.26 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが“1”に設定されていることで確認してください。その後、SCR レジスタを初期化してから SCR.TIE, RIE, TE, RE ビットを 1 命令で同時に“1”に設定してください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR.RIE, RE ビットを“0”に設定してから、エラーフラグ (SSR.ORER, FER, PER) が“0”に設定されていることを確認した後、SCR.TIE, RIE, TE, RE ビットを 1 命令で同時に“1”に設定してください。

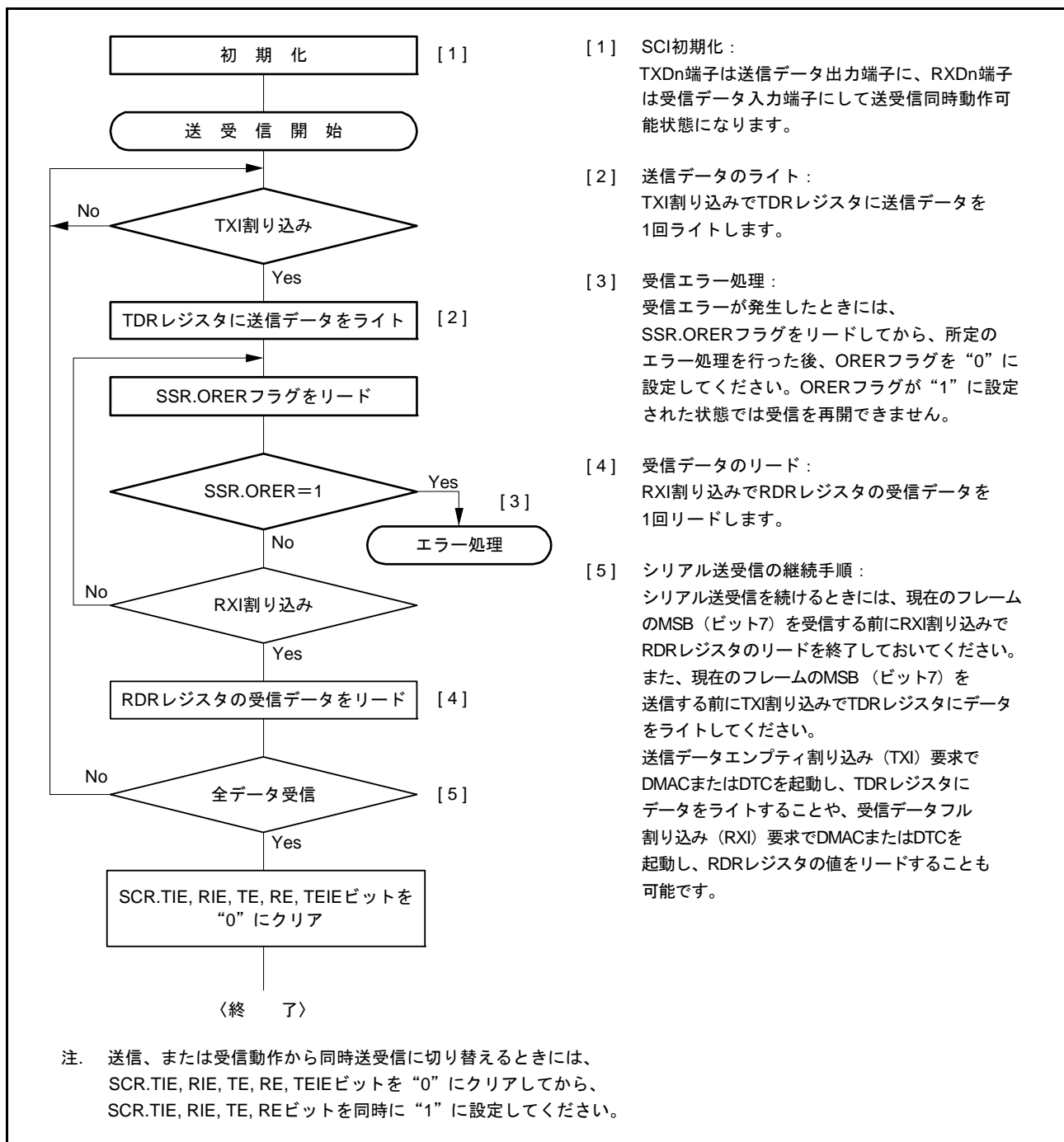


図 29.26 クロック同期式モードのシリアル送受信同時動作のフローチャート例

29.6 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (ICカード) とのインタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

29.6.1 接続例

図 29.27 にスマートカード (ICカード) との接続例を示します。

ICカードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

ICカードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCIで生成するクロックを ICカードに供給する場合は、SCKn 端子出力を ICカードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

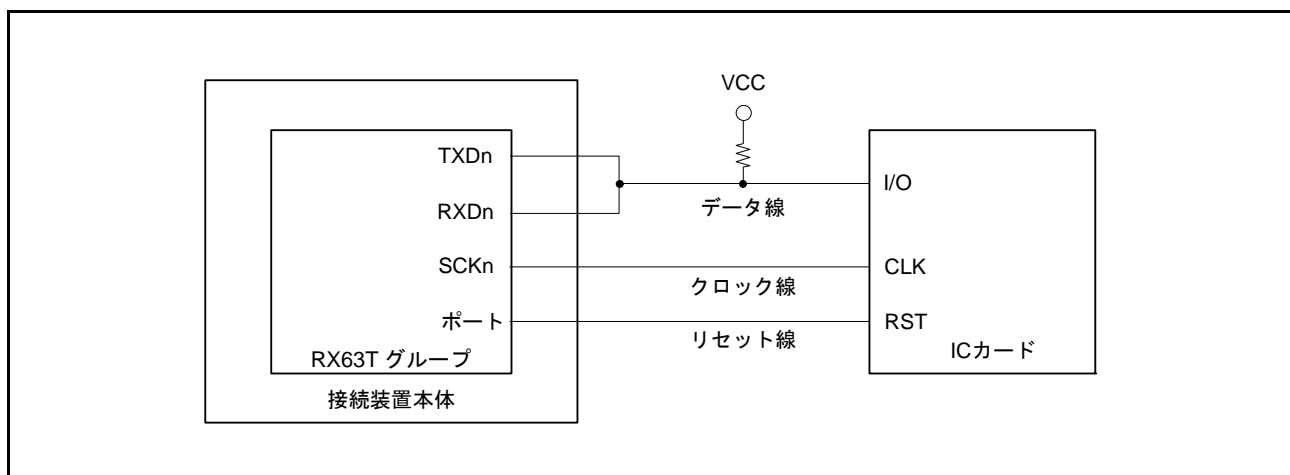


図 29.27 スマートカード (ICカード) との接続例

29.6.2 データフォーマット (ブロック転送モード時を除く)

図 29.28 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナル (Low) を 1etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを再送信します。

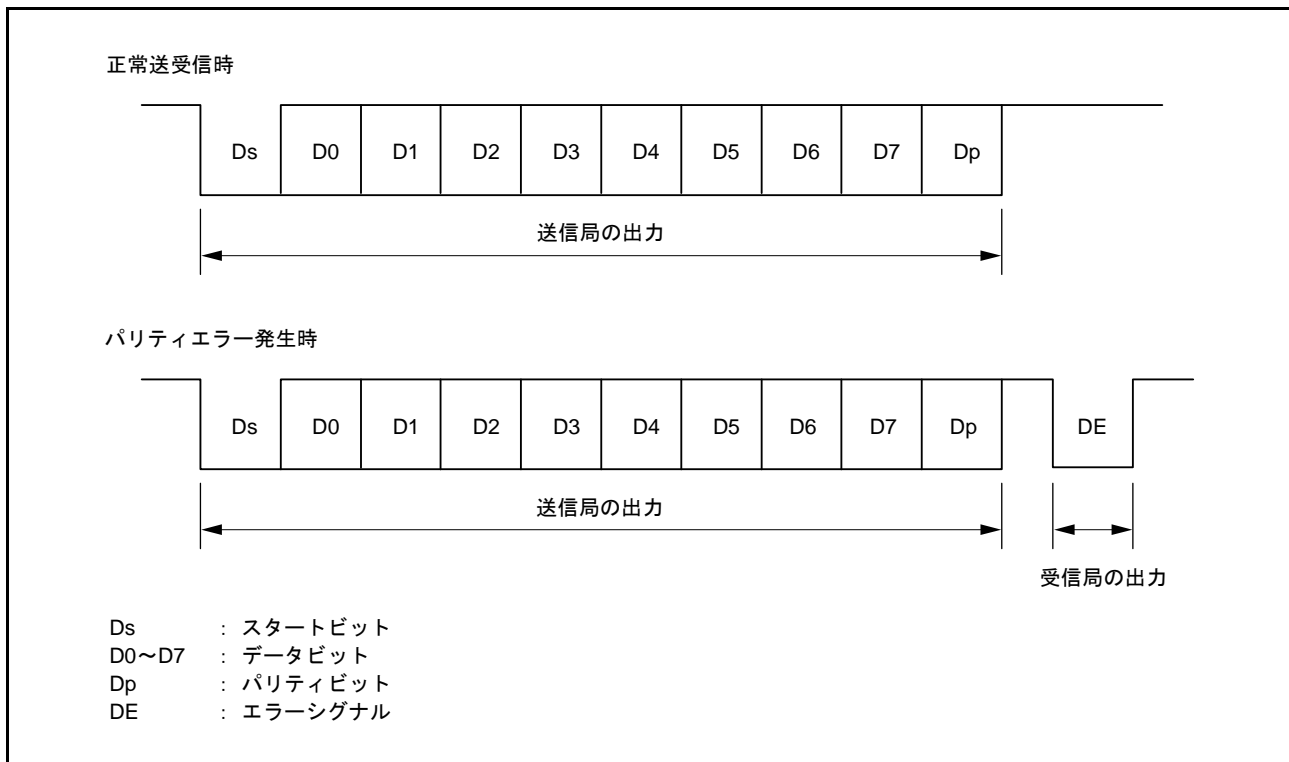


図 29.28 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、図 29.29 に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。図 29.29 の開始キャラクタでは、データは 3Bh となります。

ダイレクトコンベンションタイプでは、SCMR.SDIR、SINV ビットをともに“0”に設定してください。また、スマートカードの規格により偶数パリティとなるよう SMR.PM ビットには“0”を設定してください。

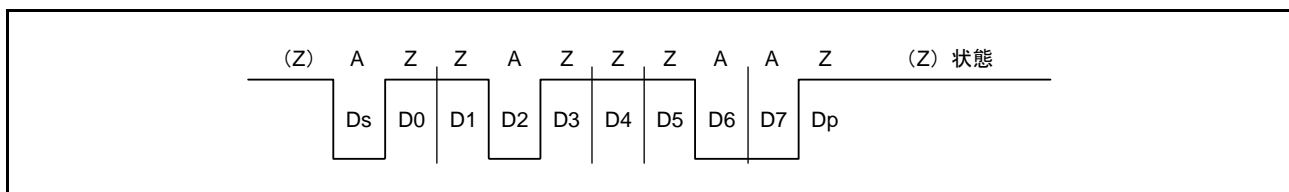


図 29.29 ダイレクトコンベンション (SCMR.SDIR ビット =0、SCMR.SINV ビット =0、SMR.PM ビット =0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。図 29.30 の開始キャラクタでは、データは 3Fh となります。

インバースコンベンションタイプでは、SCMR.SDIR、SINV ビットをともに“1”に設定してください。パリティビットはスマートカードの規格により偶数パリティで論理 0 となり、状態 Z が対応します。RX63T グループでは、SINV ビットはデータビット D7～D0 のみ反転させます。このため、送受信とも SMR.PM ビットに“1”を設定してパリティビットを反転させてください。

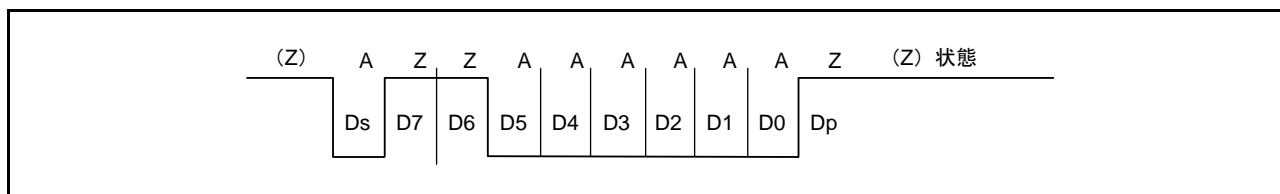


図 29.30 インバースコンベンション (SCMR.SDIR ビット= 1、SCMR.SINV ビット= 1、SMR.PM ビット= 1)

29.6.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。
SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5etu 後にセットされます。
- SSR.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に“0”となります。

29.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみです。

スマートカードインタフェースモードでは、SCI は SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍（通常の調歩同期式モードでは 16 倍に固定されています）の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図 29.31 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 サイクルの立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%]$$

- M : 受信マージン (%)
 N : クロックに対するビットレートの比 (N=32, 64, 372, 256)
 D : クロックデューティ (D=0~1.0)
 L : フレーム長 (L=10)
 F : クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 [\%] = 49.866\%$$

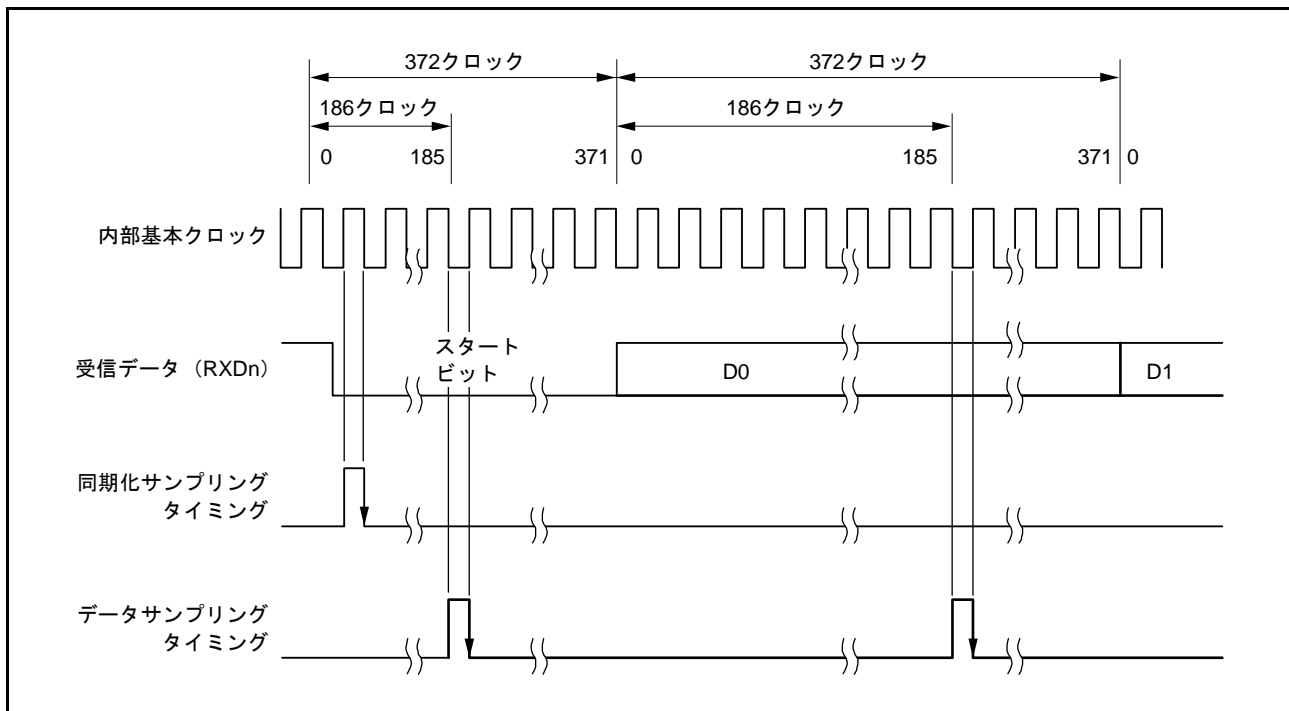


図 29.31 スマートカードインタフェースモード時の受信データサンプリングタイミング
(372 倍のクロック使用時)

29.6.5 SCI の初期化 (スマートカードインタフェースモード)

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCR.TIE、RIE、TE、RE、TEIE ビットを“0”に設定してください。
2. TXDn、RXDn、および SCKn 端子のうち、必要な入力/出力機能が有効となるように I/O ポートを設定してください。
3. SSR レジスタのエラーフラグ (ORER、ERS、PER) を“0”に設定してください。
4. SIMR1.IICM ビットを“0”に、SPMR.CKPH、CKPOL ビットを“0”に設定してください。
(初期値から値を変更していない場合、本手順は省略可能です。)
5. SMR.GM、BLK、PM、BCP[1:0]、CKS[1:0] ビット、および SCMR.BCP2 ビットを設定してください。このとき、SMR.PE ビットは“1”に設定してください。
6. SCMR.SDIR、SINV、SMIF ビットを設定してください。TXDn 端子および RXDn 端子は、ハイインピーダンス状態となります。
7. ビットレートに対応する値を BRR レジスタに設定します。
8. SCR.CKE[1:0] ビットを設定してください。このとき、SCR.TIE、RIE、TE、RE、TEIE ビットは“0”に設定してください。
CKE[0] ビットを“1”に設定した場合は、SCKn 端子からクロックを出力します。
9. SCR.TIE、RIE、TE、RE ビットを設定してください。自己診断以外は TE ビットと RE ビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TE ビット=1、RE ビット=0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、あるいは SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE ビット=0、RE ビット=1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

29.6.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 29.32 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが“1”に設定されます。このとき SCR.RIE ビットが“1”にされていると、ERI 割り込み要求を発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
- 4 再転送を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR.TIE ビットが“1”にされていると、TXI 割り込み要求を発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 29.34 に示します。これらの一連の処理は、TXI 割り込み要因によって DTC または DMAC を起動することで自動的に行うことができます。

送信動作では、SSR.TEND フラグが“1”にされると、SCR.TIE ビットを“1”にしておくと、TXI 割り込み要求を発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”にされます。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法は「18. DMA コントローラ (DMACA)」、「19. データトランスファコントローラ (DTCa)」を参照してください。

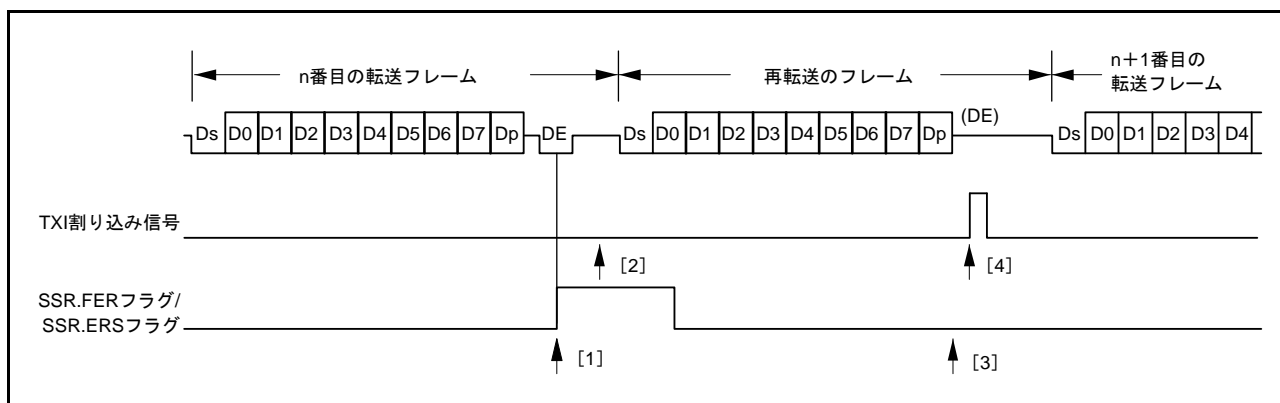


図 29.32 SCI 送信モードの場合の再転送動作（送信時の再転送動作）

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 29.33 に TEND フラグ発生タイミングを示します。

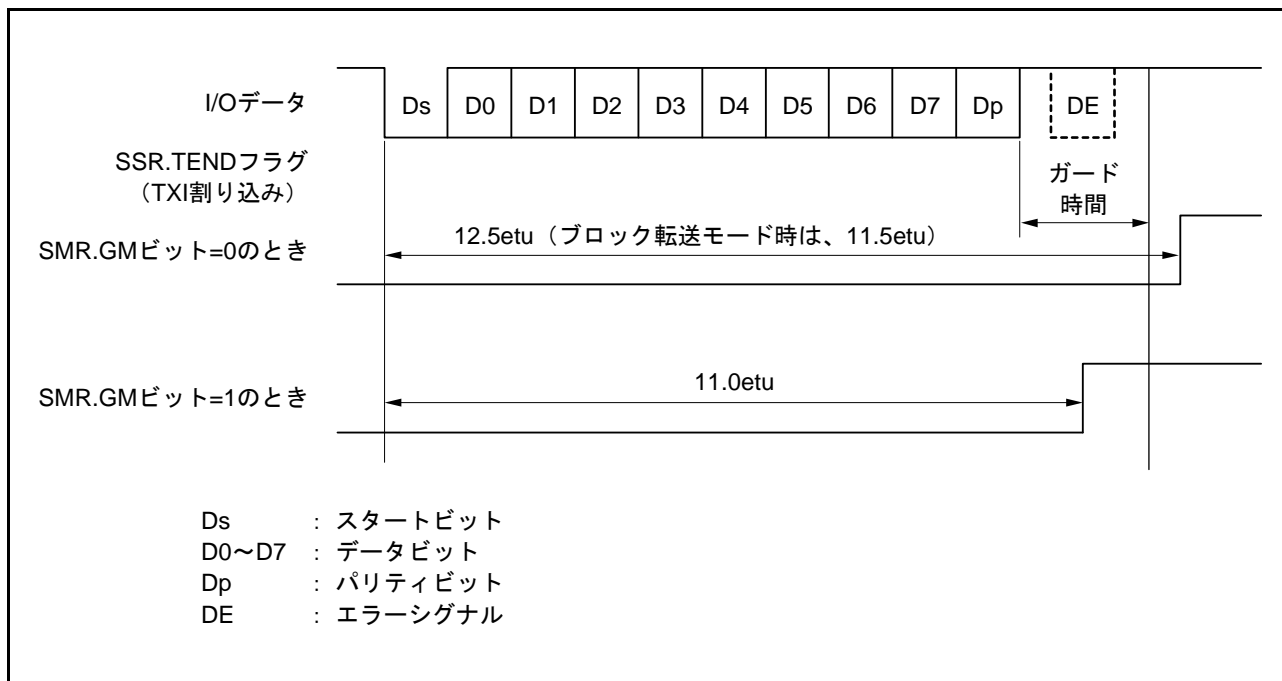


図 29.33 送信時の SSR.TEND フラグの発生タイミング

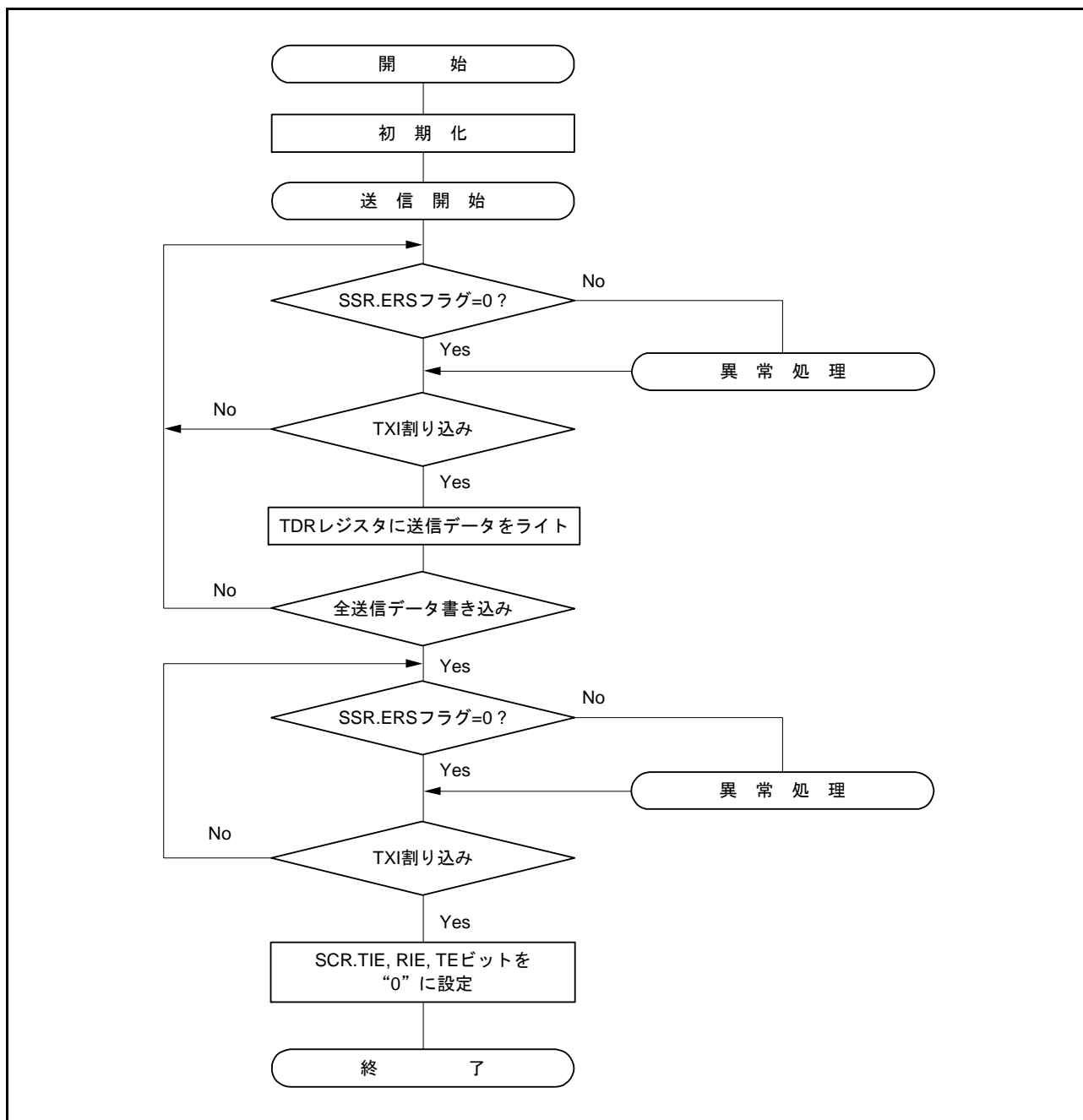


図 29.34 スマートカードインタフェース送信のフローチャート例

29.6.7 シリアル受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、シリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 29.35 に示します。

1. 受信データにパリティエラーを検出すると **SSR.PER** フラグが“1”に設定されます。このとき、**SCR.RIE** ビットが“1”にされていると、**ERI** 割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでに **PER** フラグをクリアしてください。
2. パリティエラーを検出したフレームでは **RXI** 割り込みは発生しません。
3. パリティエラーが検出されない場合は、**SSR.PER** フラグはセットされません。
4. 正常に受信を完了したと判断して、**RIE** ビットが“1”にされていると、**RXI** 割り込み要求を発生します。

シリアル受信のフローチャートの例を図 29.36 に示します。これらの一連の処理は、**RXI** 割り込み要求によって **DTC** または **DMAC** を起動することで自動的に行うことができます。

受信動作では、**RIE** ビットを“1”にしておくと、**RXI** 割り込み要求を発生します。あらかじめ **DTC** または **DMAC** の起動要因に **RXI** 割り込み要求を設定しておけば、**RXI** 割り込み要求により **DTC** または **DMAC** が起動されて受信データの転送を行います。

また、受信時にエラーが発生し **SSR.ORER**, **PER** フラグのいずれかが“1”に設定されると、受信エラー割り込み（**ERI**）要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は **DTC** または **DMAC** は起動されず、受信データはスキップされるため **DTC** または **DMAC** に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し **PER** フラグが“1”に設定された場合でも、受信したデータは **RDR** レジスタに転送されるのでこのデータをリードすることは可能です。

注． ブロック転送モードの場合は、「29.3 調歩同期式モードの動作」を参照してください。

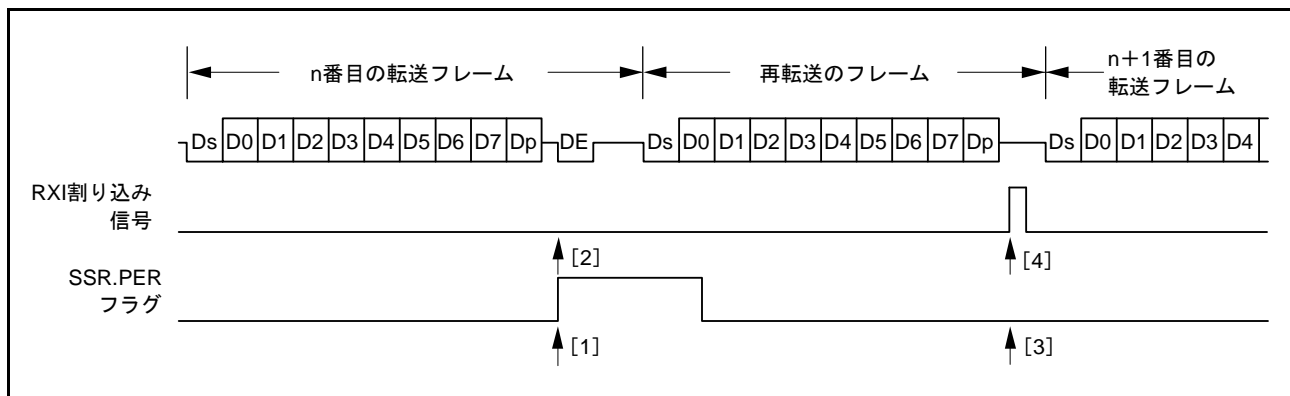


図 29.35 SCI 受信モードの場合の再転送動作（受信時の再転送動作）

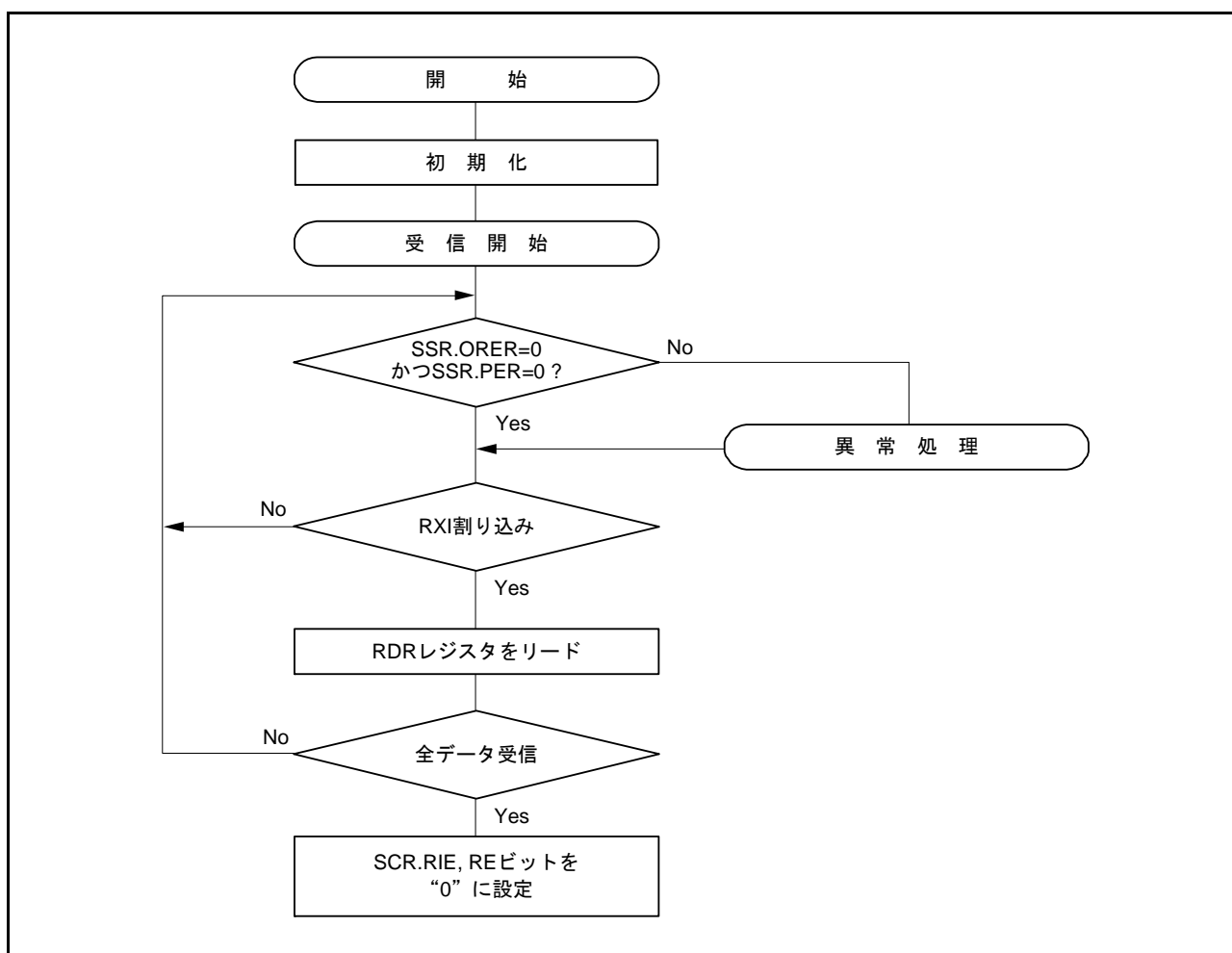


図 29.36 スマートカードインタフェース受信のフローチャート例

29.6.8 クロック出力制御

SMR.GM ビットが“1”に設定されているとき、SCR.CKE[1:0] ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 29.37 にクロック出力の固定タイミングを示します。GM ビット=1、CKE1 ビット=0 とし、CKE0 ビットを制御した場合の例です。

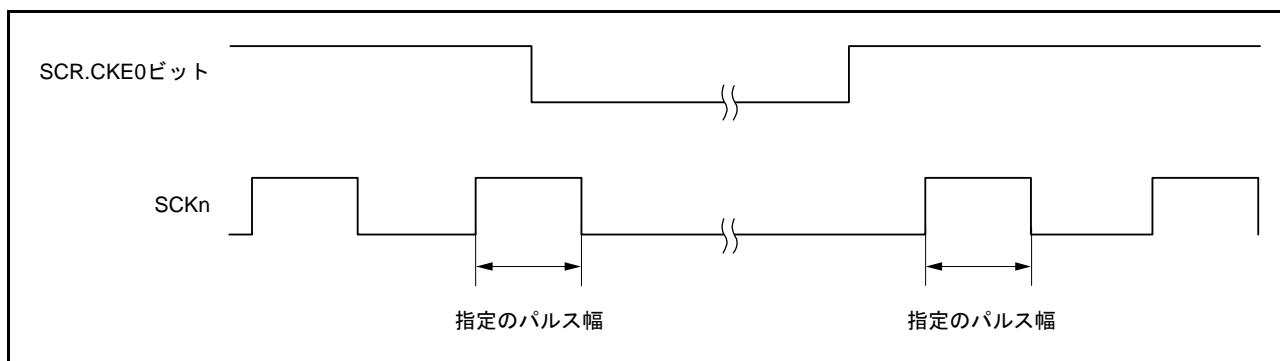


図 29.37 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移、またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

(1) 電源投入時

電源投入時からクロックデューティを確保するため、以下の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCR.CKE[1] ビットおよび I/O ポート機能を設定し、SCKn 端子を指定の出力に固定してください。
3. SMR レジスタと SCMR レジスタを設定し、スマートカードインタフェースモードの動作に切り替えてください。
4. SCR.CKE[0] ビットを“1”に設定して、クロック出力を開始させてください。

(2) モード切り替え時

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. I/O ポート機能を設定し、SCKn 端子がソフトウェアスタンバイモード時に所望の出力固定状態の値になるようにしてください。
2. SCR.TE, RE ビットに“0”をライトし、送信/受信動作を停止させてください。
同時に、SCR.CKE[1] ビットをソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
3. SCR.CKE[0] ビットに“0”をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. SCKn 端子を汎用入出力ポート機能に切り替えた後、ソフトウェアスタンバイモードの状態に遷移させてください。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

6. ソフトウェアスタンバイモードの状態を解除してください。
7. SCR.CKE[0] ビットに“1”を設定し、クロックを出力させてください。正常なデューティにて信号発生を開始します

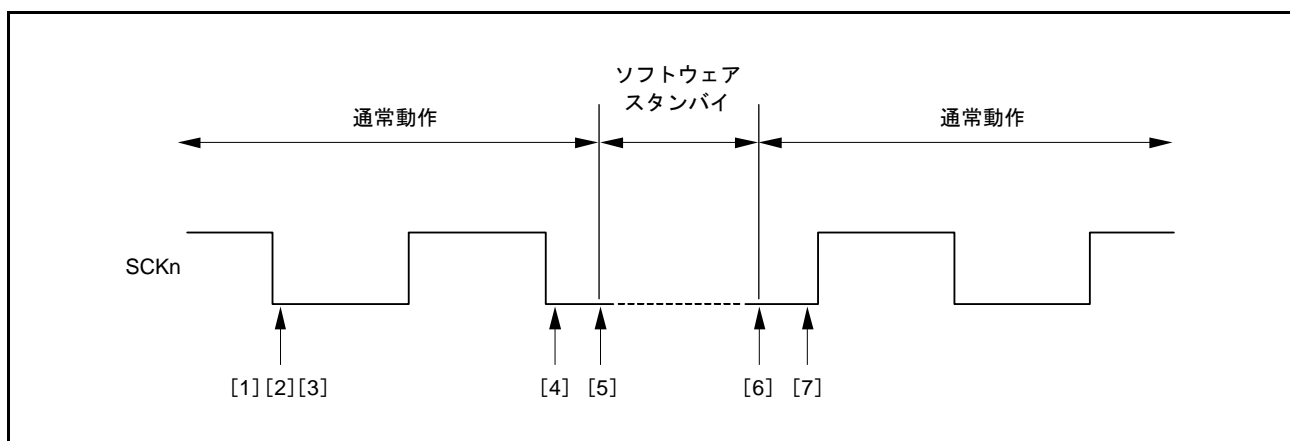


図 29.38 クロック停止・再起動手順

29.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、**MSB** から順に送信されます。

図 29.39 に I²C バスフォーマットを、図 29.40 に I²C バスタイミングを示します。

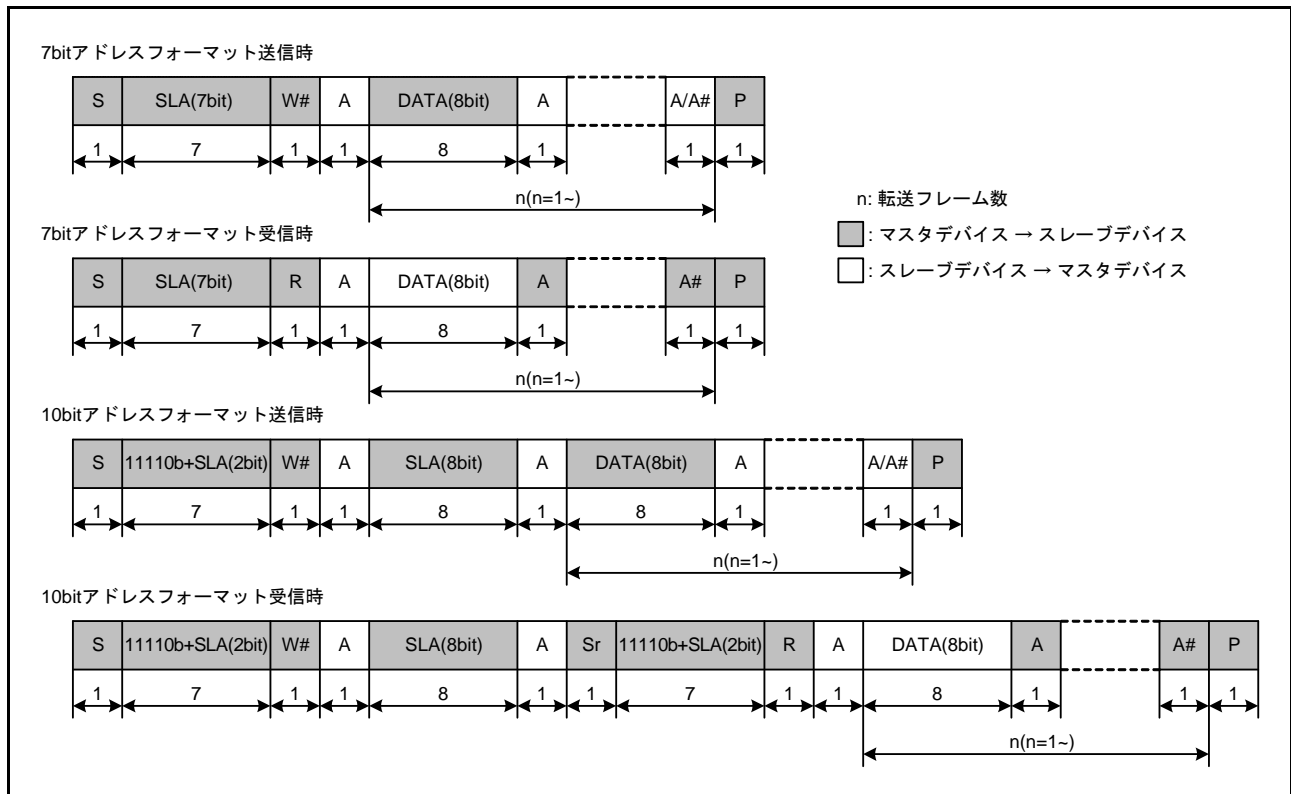


図 29.39 I²C バスフォーマット

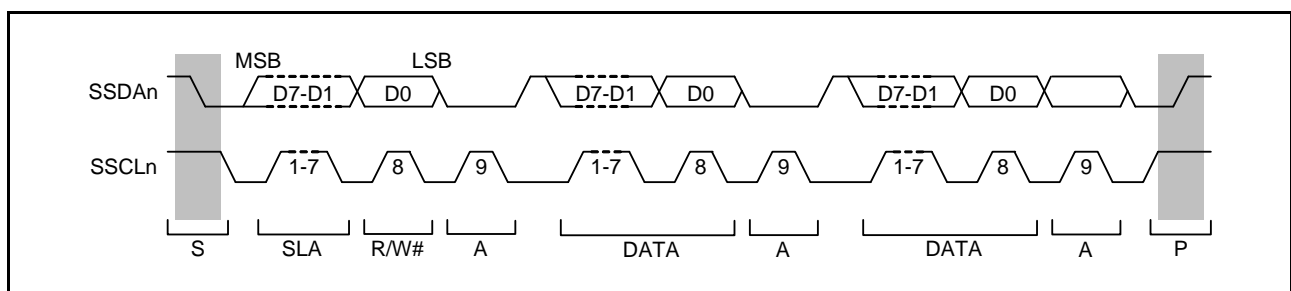


図 29.40 I²C バスタイミング (SLA=7 ビットの場合)

S	: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではSSDAnラインがHighからLowに変化します。
SLA	: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W#	: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
A/A#	: アクノリッジを示します。(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。
Sr	: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではセットアップ時間経過後にSSDAnラインがHighからLowに遷移します。
DATA	: 送受信データを示します。
P	: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではSSDAnラインがLowからHighに変化します。

29.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”にクリア、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”にクリア、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”にクリア、停止条件生成割り込み要求を出力

図 29.41 に開始条件、再開条件、停止条件生成の動作タイミングを示します。

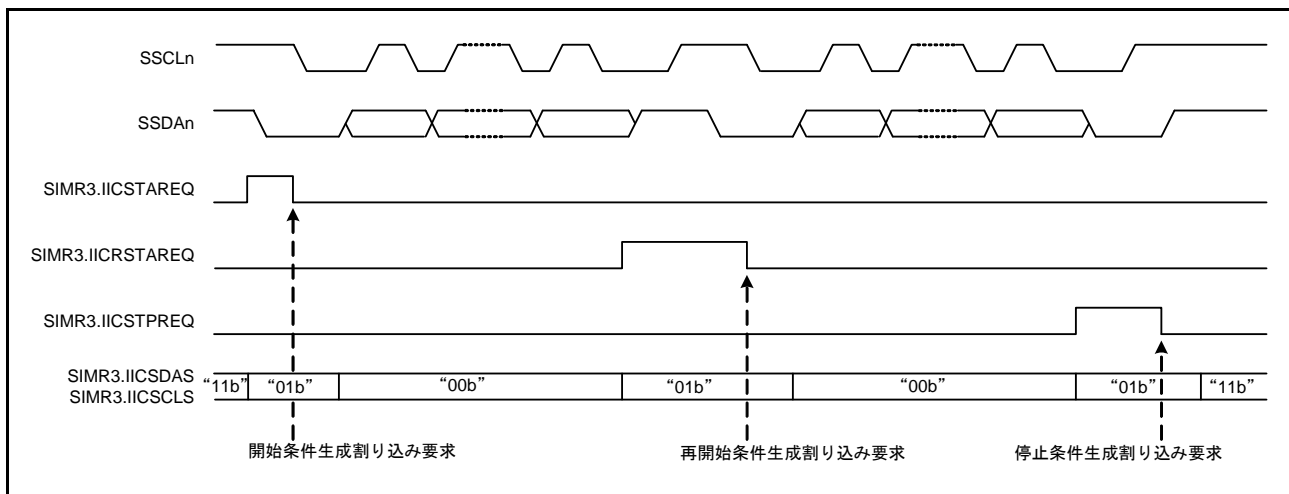


図 29.41 開始条件、再開条件、停止条件生成の動作タイミング

29.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、内部処理遅延（PCLK で 1～2 サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High レベルに遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 29.42 にクロック同期化の動作例を示します。

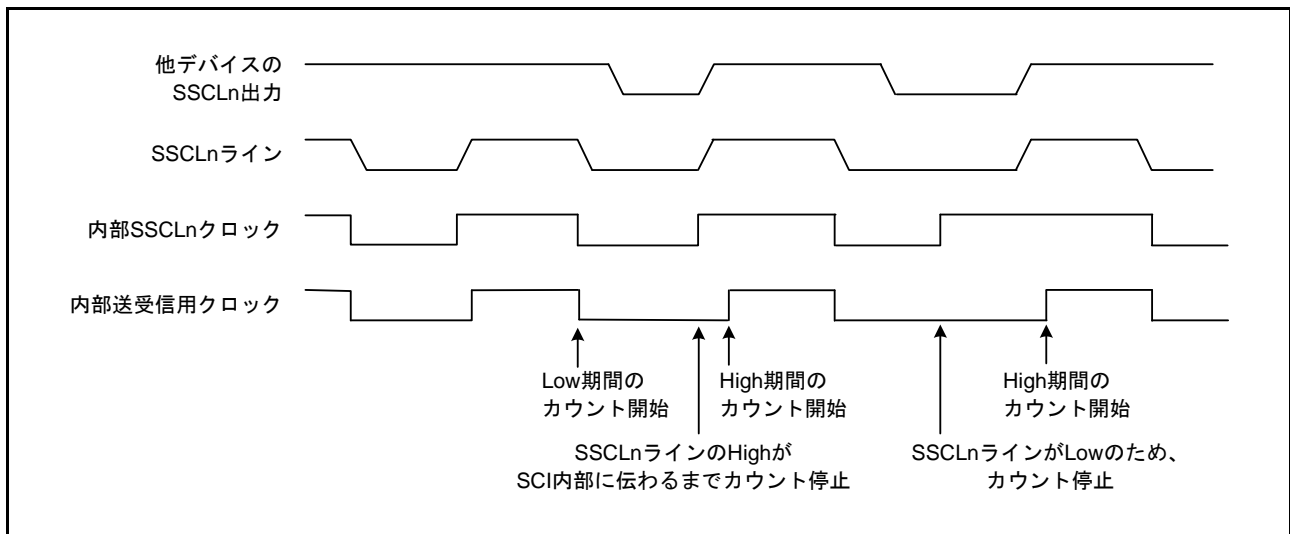


図 29.42 クロック同期化の動作例

29.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準 (PCLK ベースに SMR.CKS[1:0] で選択された分周クロック) で 0 ~ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開始条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値 (I²C の標準モード、ファストモードでは 300ns) より大きくなるように設定してください。

図 29.43 に SSDA 出力遅延のタイミングを示します。

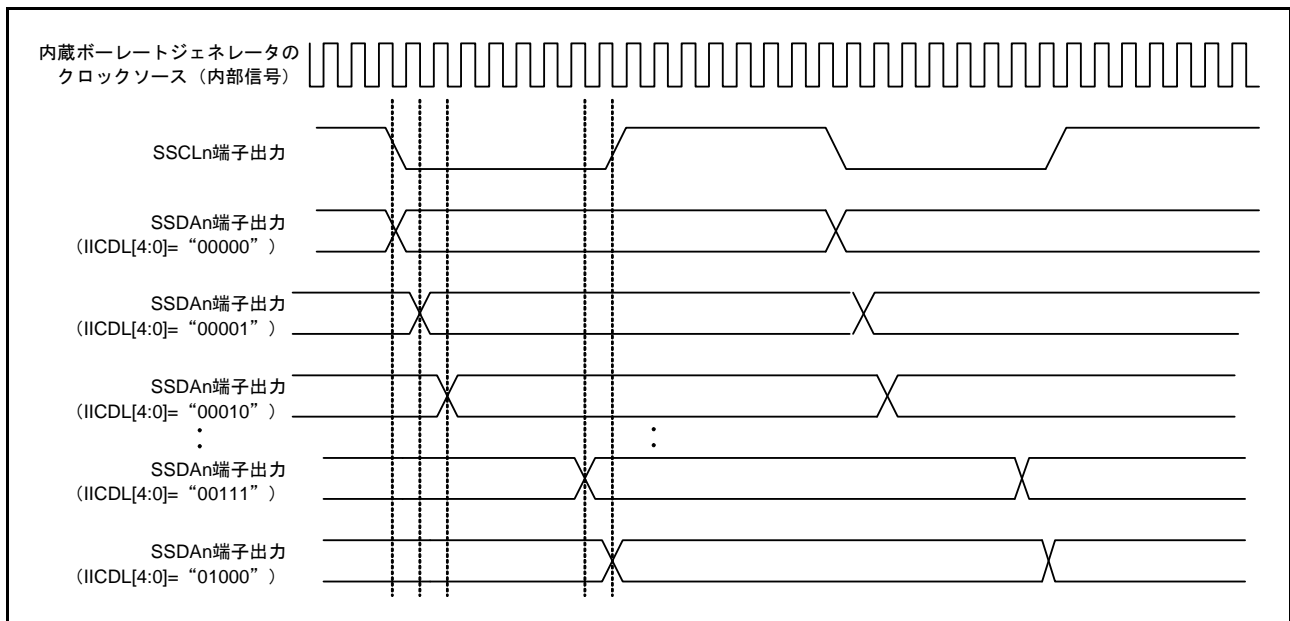


図 29.43 SSDA 出力遅延のタイミング

29.7.4 SCIの初期化（簡易I²Cモード）

データの送受信前に、SCRレジスタに初期値“00h”を書き込み、図29.44のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCRレジスタを初期値にしてから変更してください。また、簡易I²Cモード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

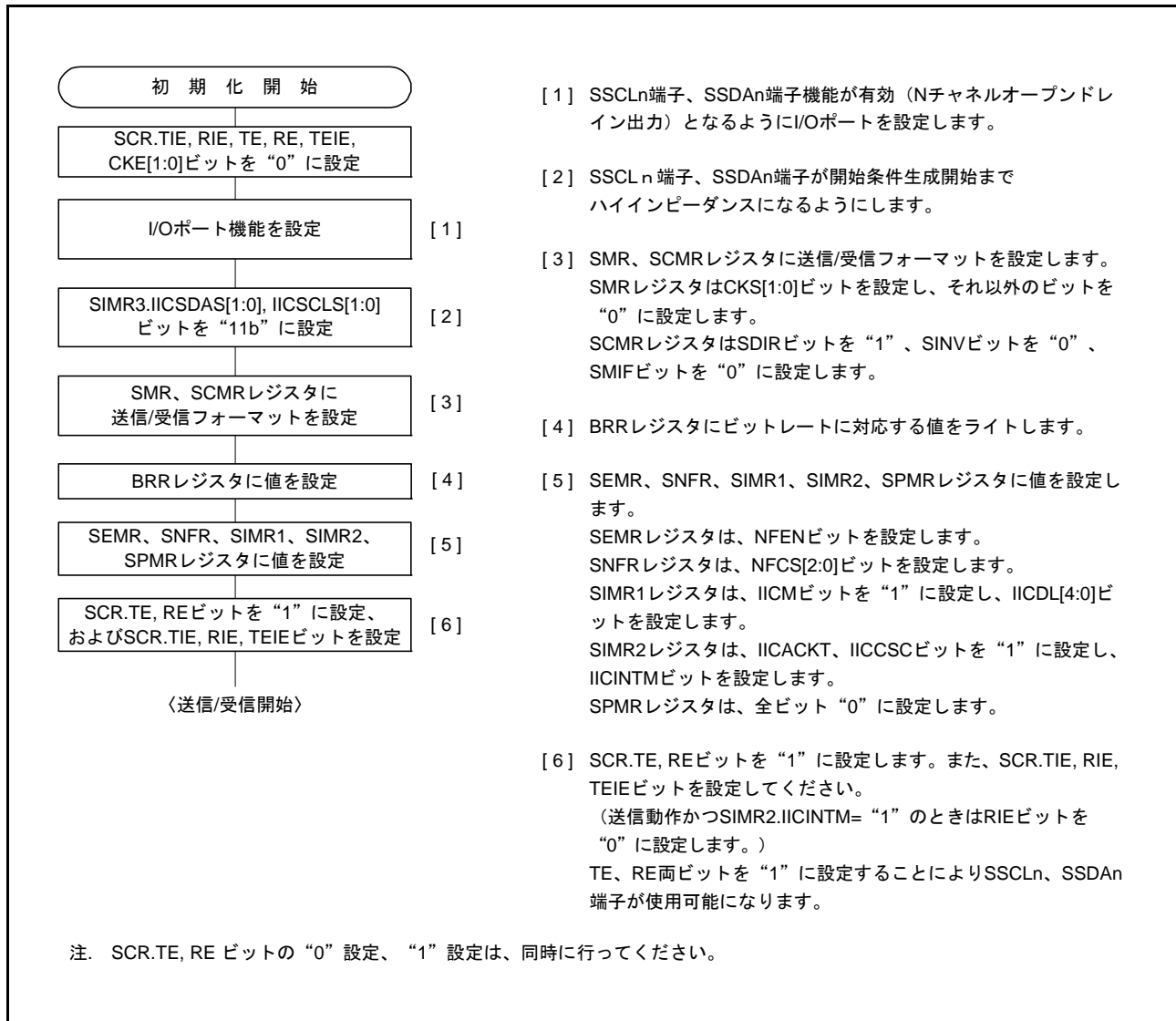


図29.44 SCIの初期化フローチャート例（簡易I²Cモード）

29.7.5 マスタ送信動作 (簡易 I²C モード)

図 29.45、図 29.46 に簡易 I²C モードのマスタ送信の動作例を、図 29.47 にデータ送信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用)、SCR.RIE ビットを“0” (受信割り込み要求を禁止) を想定しています。STI 割り込みについては、表 29.28 を参照してください。

10 ビットスレーブアドレス時は、図 29.47 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信完了割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

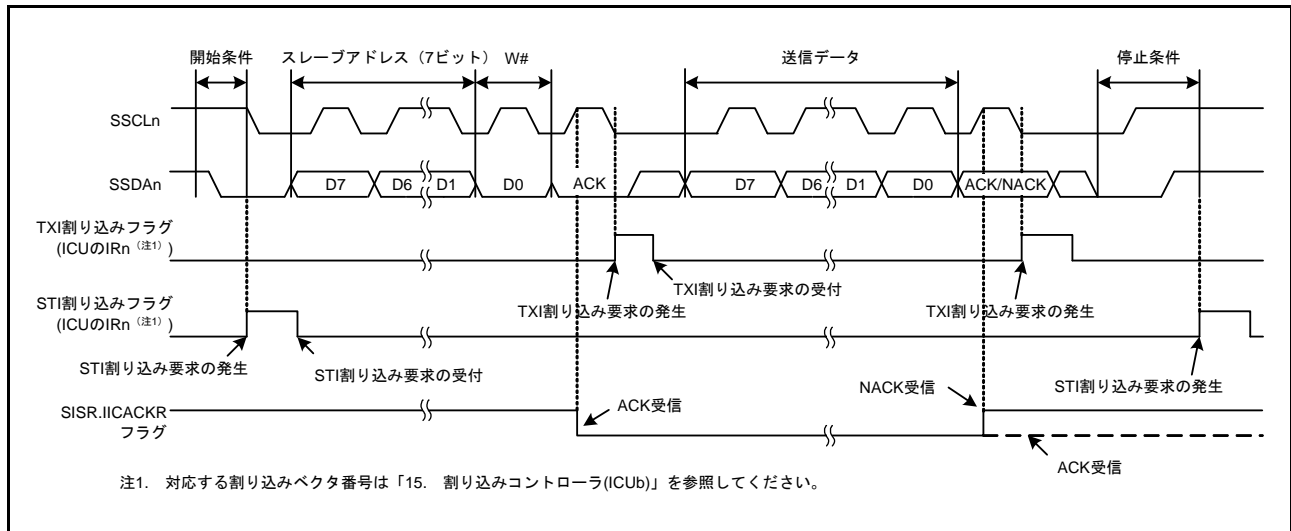


図 29.45 簡易 I²C バスモードのマスタ送信の動作例 1 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0” (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

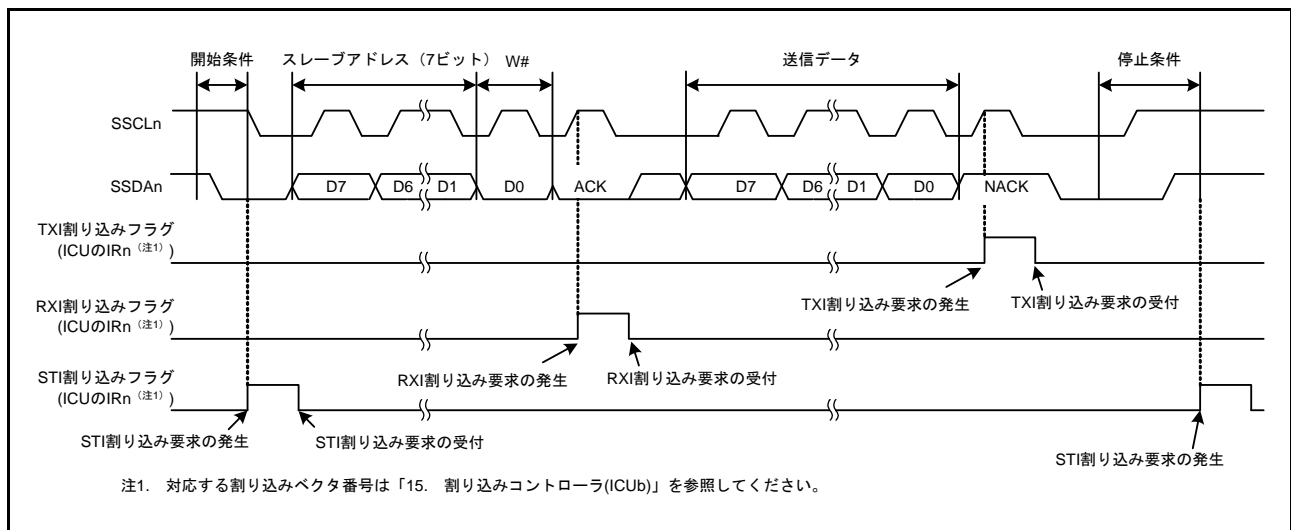


図 29.46 簡易 I²C バスモードのマスタ送信の動作例 2 (7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

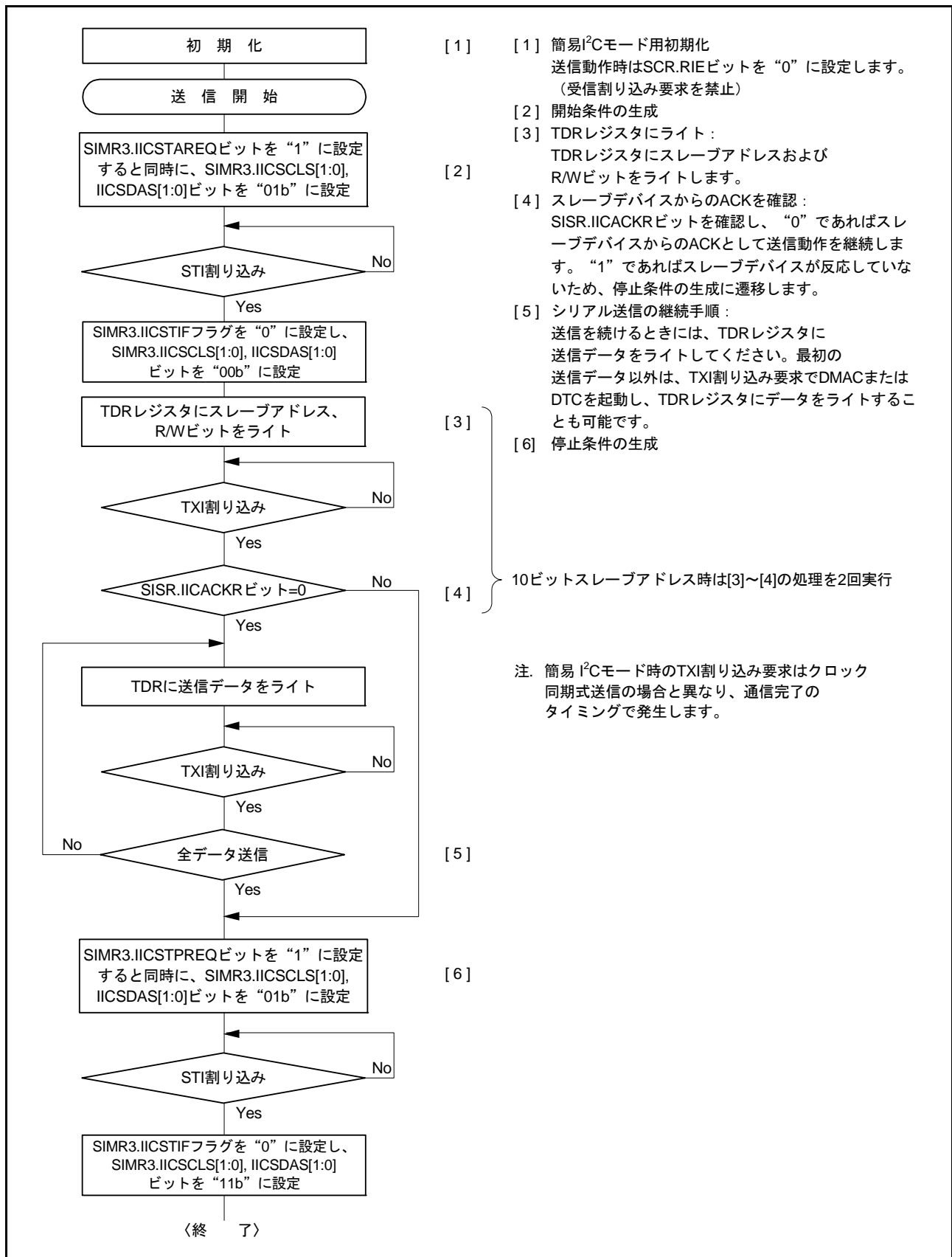


図 29.47 簡易 I²C モードのマスタ送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

29.7.6 マスタ受信動作 (簡易 I²C モード)

図 29.48 に簡易 I²C モードのマスタ受信の動作例を、図 29.49 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I²C モードでの送信完了割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

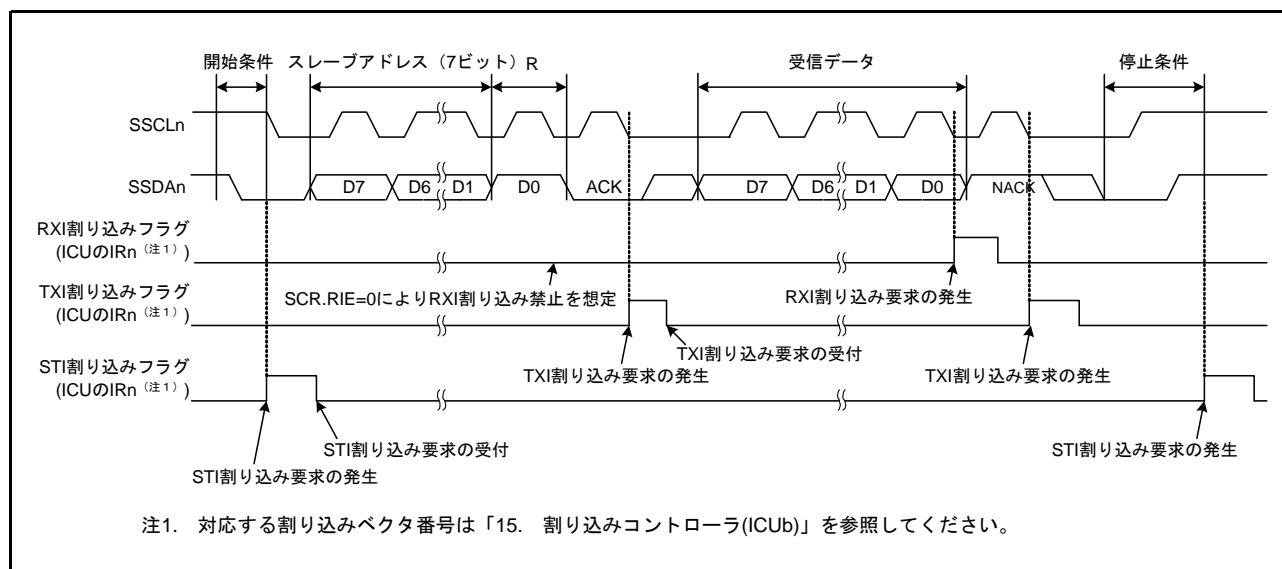


図 29.48 簡易 I²C バスモードのマスタ受信の動作例 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

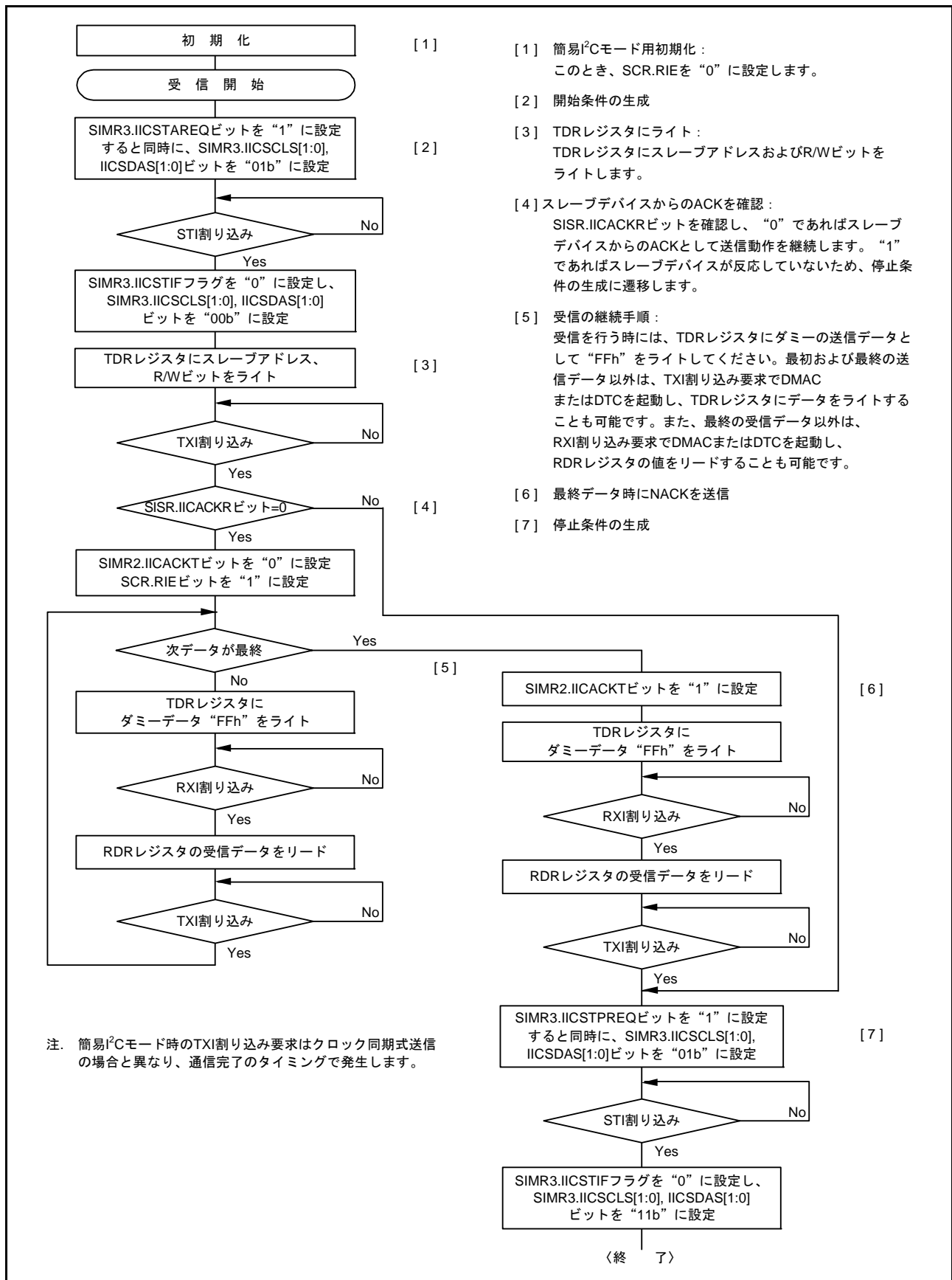


図 29.49 簡易 I²C モードのマスタ受信動作のフローチャート例（送信割り込み、受信割り込み使用時）

29.8 簡易 SPI モードの動作

SCIの拡張機能として、1つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF ビット="0"、SIMR1.IICM ビット="0"、SMR.CM ビット="1")、かつ、SPMR.SSE ビットを"1"に設定することにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを"0"にします。

図 29.50 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを"1"にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部/受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

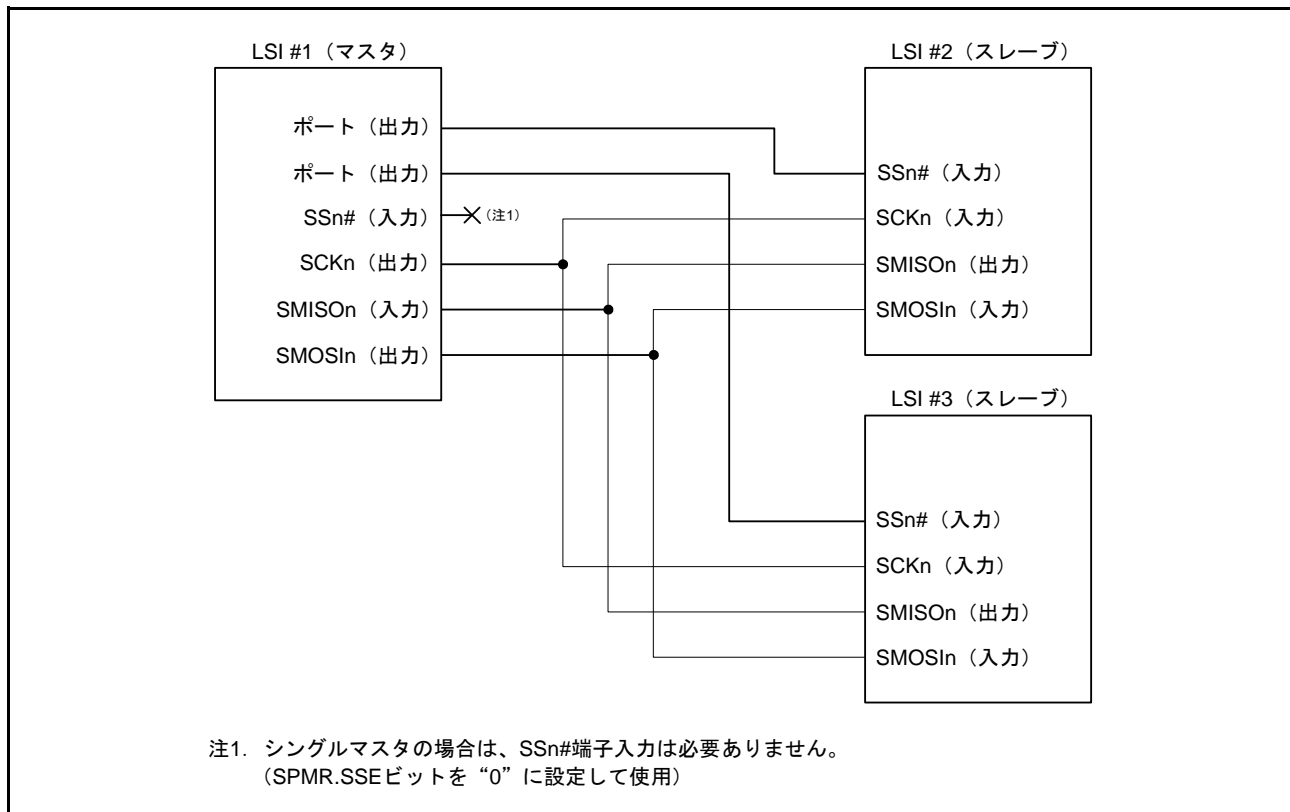


図 29.50 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

29.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00” または “01”、かつ SPMR.MSS ビット = “0”) とスレーブモード (SCR.CKE[1:0] ビット = “10” または “11”、かつ SPMR.MSS ビット = “1”) で各端子の入出力方向が変わります。

表 29.24 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 29.24 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn# 端子入力	SMOSIn 端子状態	SMISOIn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = “0”) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = “0”) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = “1”) かつ送受信禁止時 (SCR.TE, RE ビット = “00”) はハイインピーダンスです。

29.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = “00” かつ SPMR.MSS = “0” を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = “0”) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = “1”)、かつ、SSn# 端子入力が High レベルのとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = “1”)、かつ、SSn# 端子入力が Low レベルのとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

29.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = “10” かつ SPMR.MSS = “1” を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、RxDn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能です。送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOIn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力にしたがって 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

29.8.4 クロックと送受信データの関係

SPMR.CKPOL, CKPH ビットにより、送受信に用いるクロックを 4 種類から選択可能です。クロックと送受信データの間を 図 29.51 に示します。マスタモード、スレーブモードともクロックと送受信データの間は同じです。(SSn# 端子入力が High のときと等価) です。SSn# 端子は別用途で使用可能です。詳細は「29.8.2 マスタモード時の SS 機能」を参照してください。

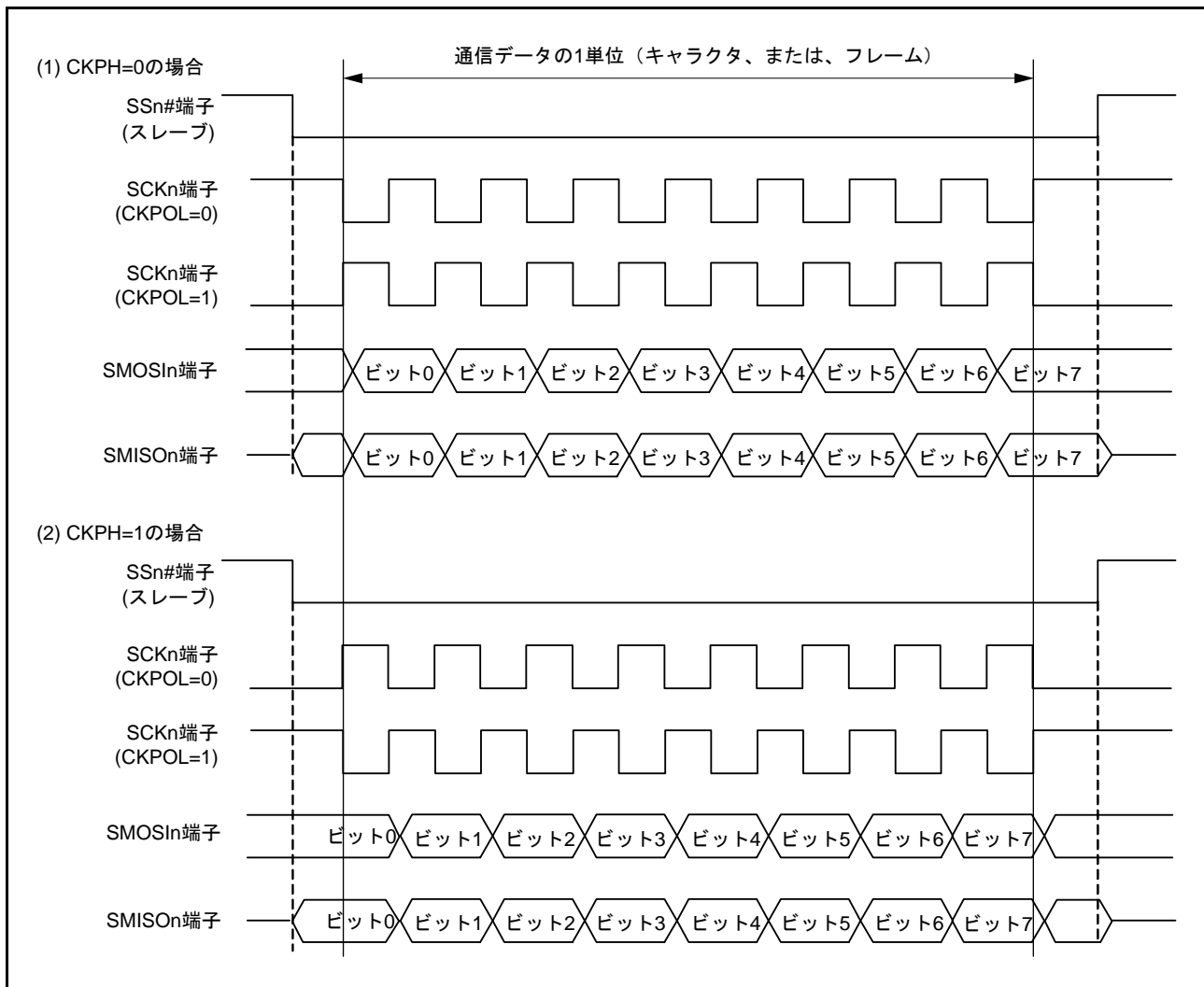


図 29.51 簡易 SPI モードのクロックと送受信データの関係

29.8.5 SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 29.20 の SCI の初期化フローチャート例) と同様です。

SPMR.CKPOL,CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”に設定しても、SSR.ORER, FER, PER の各フラグ、および RDR レジスタは初期化されませんので注意してください。

TE ビットを“1”から“0”または“0”から“1”に設定すると、SCR.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

29.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

29.9 拡張シリアルモード制御部の動作説明

29.9.1 シリアル通信プロトコル

SCId の拡張シリアルモード制御部は、SCIc と連携し、図 29.52 に示すような Start Frame、Information Frame から構成されるシリアル通信プロトコルを実現します。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

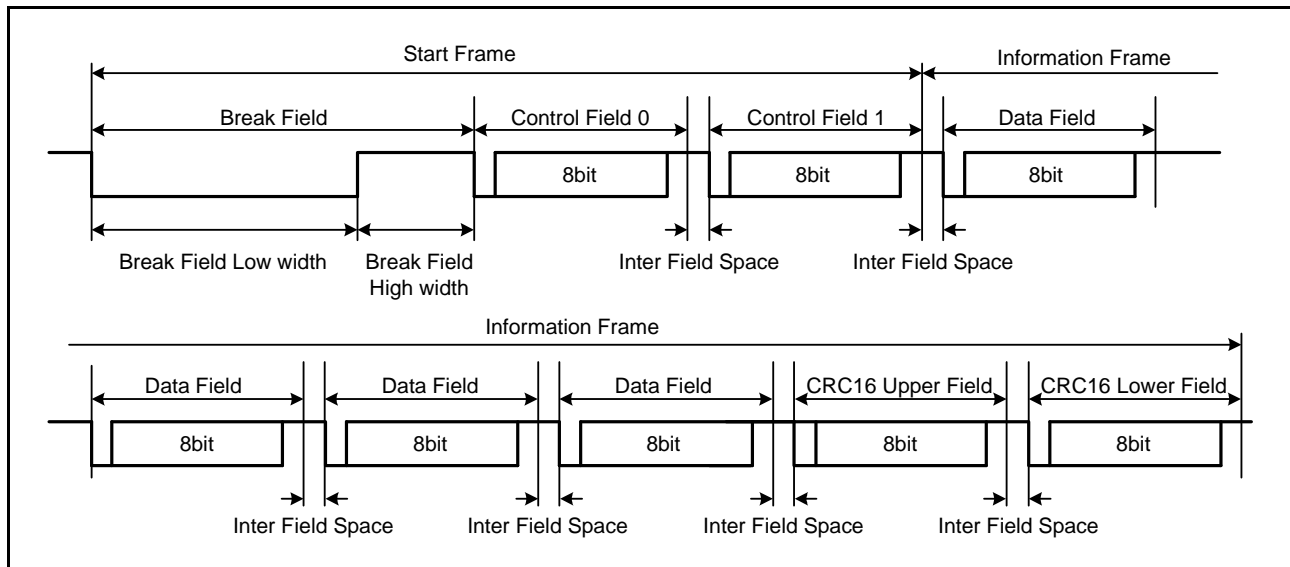


図 29.52 拡張シリアルモード制御部シリアル通信プロトコル

29.9.2 Start Frame 送信

図 29.53 に Break Field Low width、Control Field0 および Control Filed1 で構成される Start Frame の送信時の動作例を示します。また、図 29.54、図 29.55 に Start Frame の送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame 送信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR の TCST に“1”を書き込むと、タイマがカウントを開始し、TCNT、TPRE に設定した期間、TXDX12 端子から Low を出力します。
- (2) タイマがアンダフローすると TXDX12 端子の出力を反転し、STR の BDFD が“1”にセットされます。また、ICR の BFDIE を“1”に設定している場合は、SCIX0 割り込みが発生します。
- (3) TCR の TCST に 0 を書き込みタイマのカウントを停止し、SCI12 を使用して Control Field 0 のデータを送信します。Break Field Low width 出力後、次にアンダーフローするまでにカウントを停止してください。
- (4) Control Field 0 のデータの送信が完了後、SCI12 を使用して Control Field 1 のデータを送信します。
- (5) Control Field 1 のデータの送信が完了後、SCI12 を使用して Information Frame の通信を行います。

Start Frame の構成にあわせて Break Field および Control Field0 を省略してください。

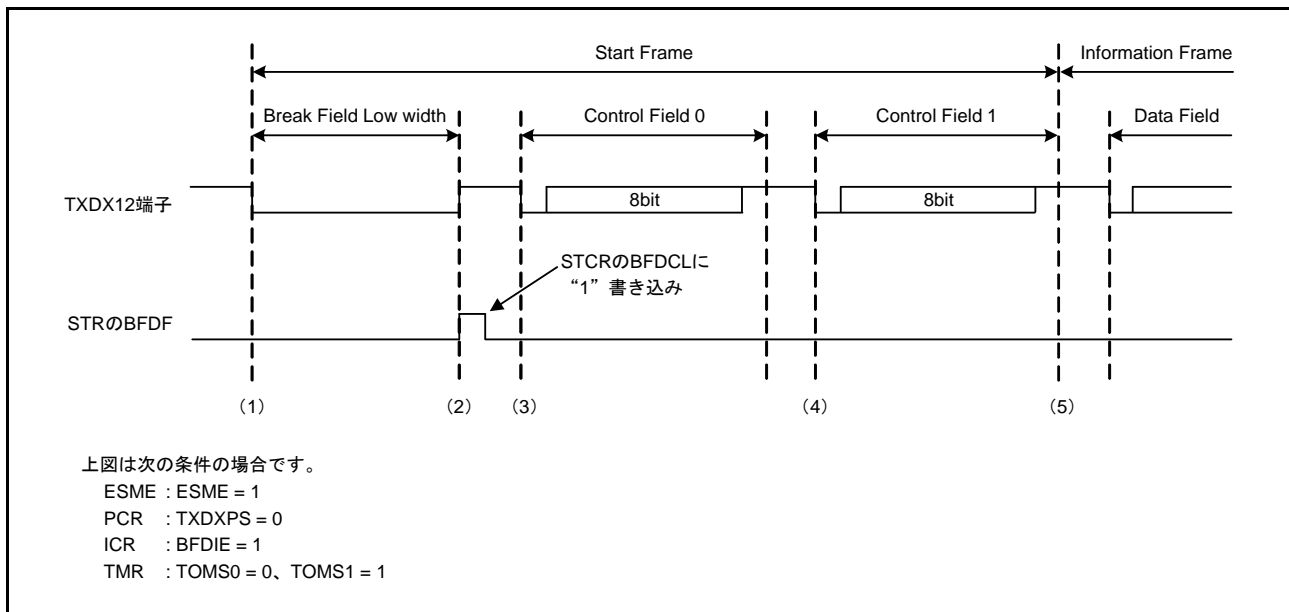


図 29.53 Start Frame 送信時の動作例

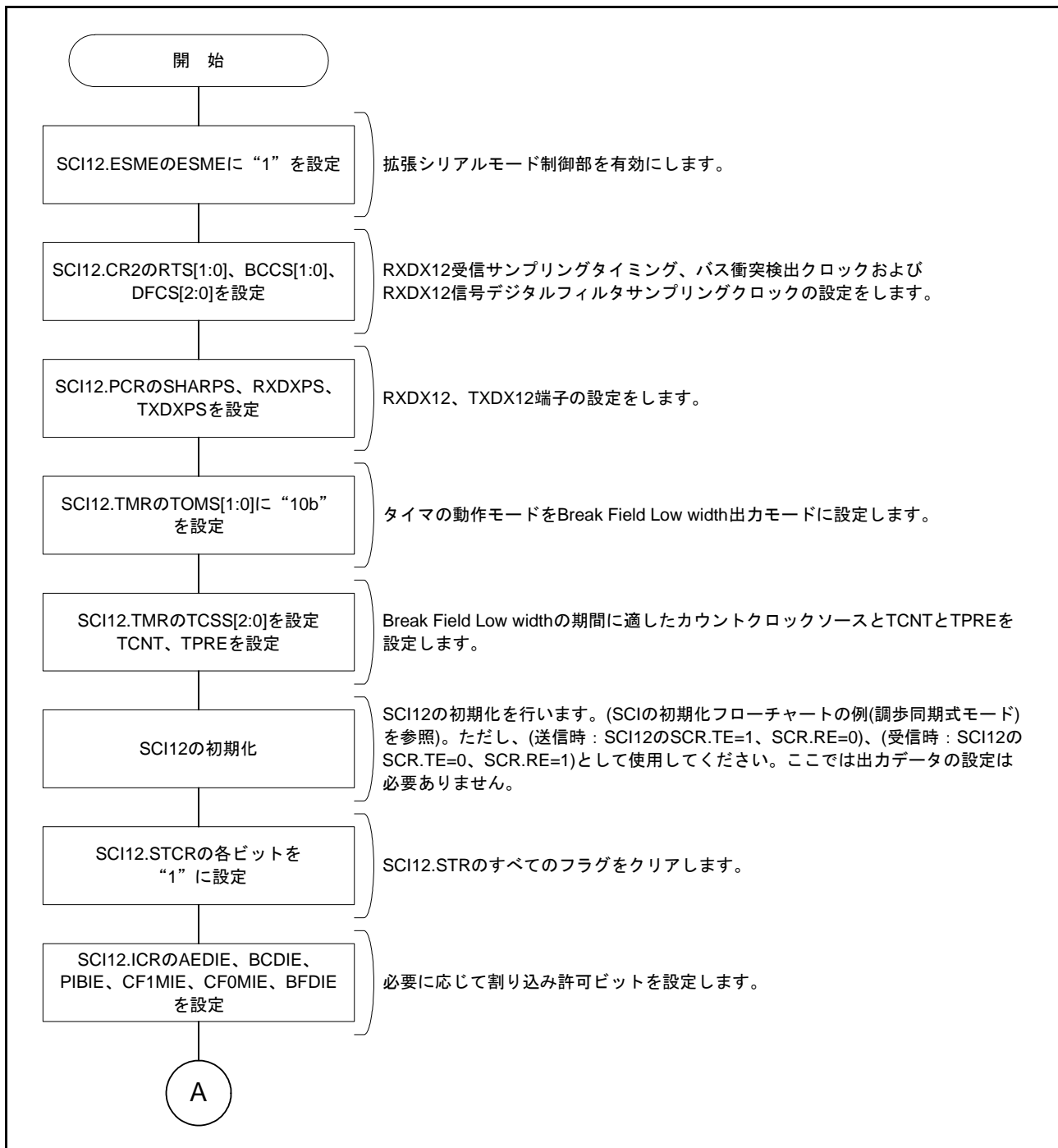


図 29.54 Start Frame 送信フローチャート例 (1)

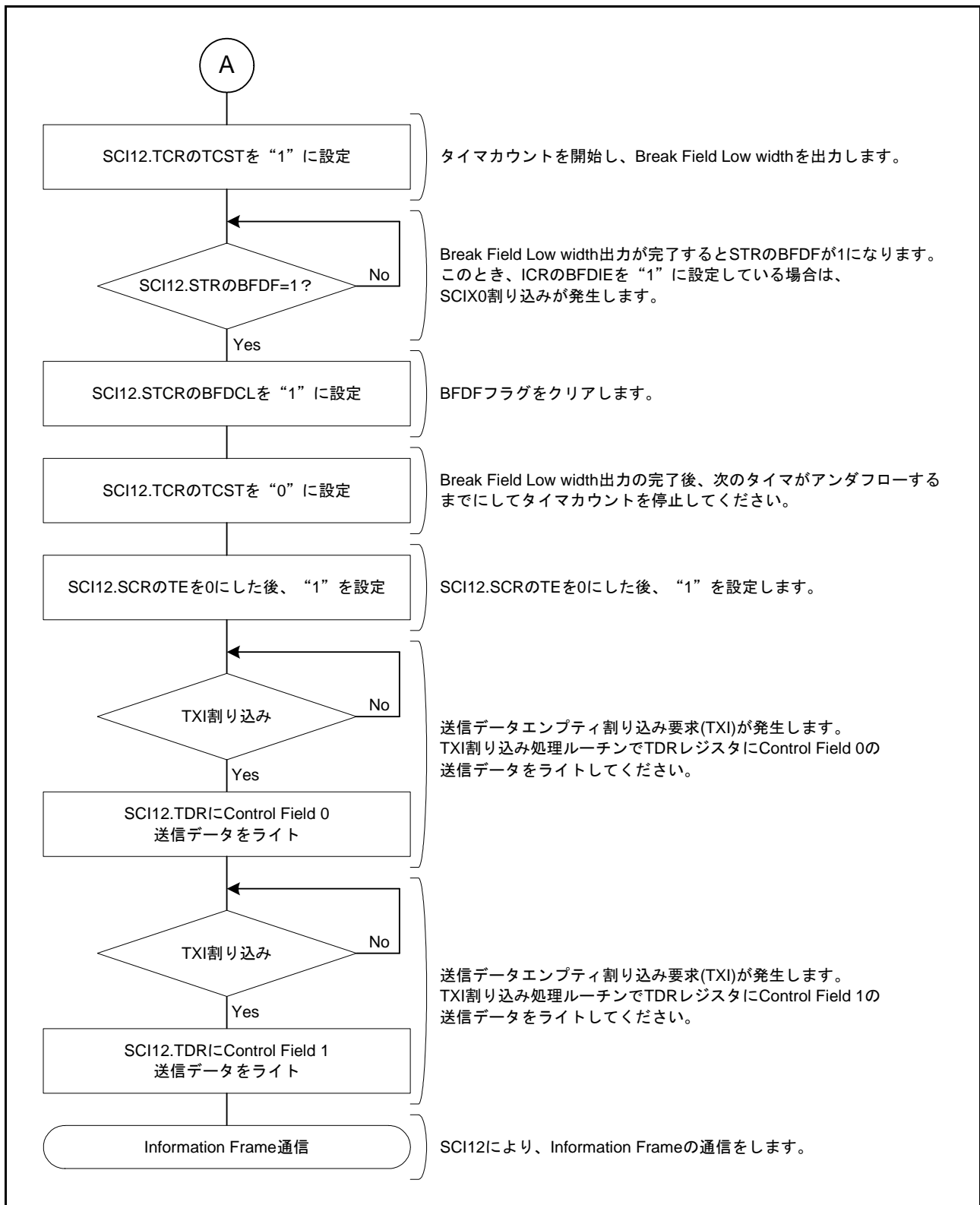


図 29.55 Start Frame 送信フローチャート例 (2)

29.9.3 Start Frame 受信

拡張シリアルモード制御部では、表 29.25 のような構成の Start Frame を検出することができます。

表 29.25 Start Frameの構成

ビットの設定		Start Frameの構成
BFE	CF0RE	
0	0	
0	1	
1	0	
1	1	

図 29.56 に Break Field Low width、Control Field0 および Control Field1 で構成される Start Frame の受信時の動作例を示します。また、図 29.57、図 29.58 に Start Frame の受信を行うためのフローチャート、図 29.59 に拡張シリアルモード制御部の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3 の SDST に“1”を書き込むと、Break Field Low width 検出が可能になります。このとき、SCI12 への RXDX12 入力は禁止となります。
- (2) タイマの TCNT、TPRE に設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR の BFDL 、“1”にセットされます。また、ICR の BFDIE を“1”に設定している場合は、SCIX0 割り込みが発生します。
- (3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0 の RXDSF が“0”になり、SCI12 により、Control Field 0 の受信を開始します。
- (4) Control Field 0 で受信したデータが CF0DR に設定したデータと一致した場合、STR の CF0MF が“1”にセットされます。また、ICR の CF0MIE を“1”に設定している場合は、SCIX1 割り込みが発生します。そして、SCI12 により Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR に設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。
- (5) Control Field 1 で受信したデータが PCF1DR または SCF1DR に設定したデータと一致した場合、STR の CF1MF が“1”にセットされます。また、ICR の CF1MIE を“1”に設定している場合は、SCIX1 割り込みが発生します。そして、SCI12 を使用して Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR または SCF1DR に設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field0 の処理を省略してください。

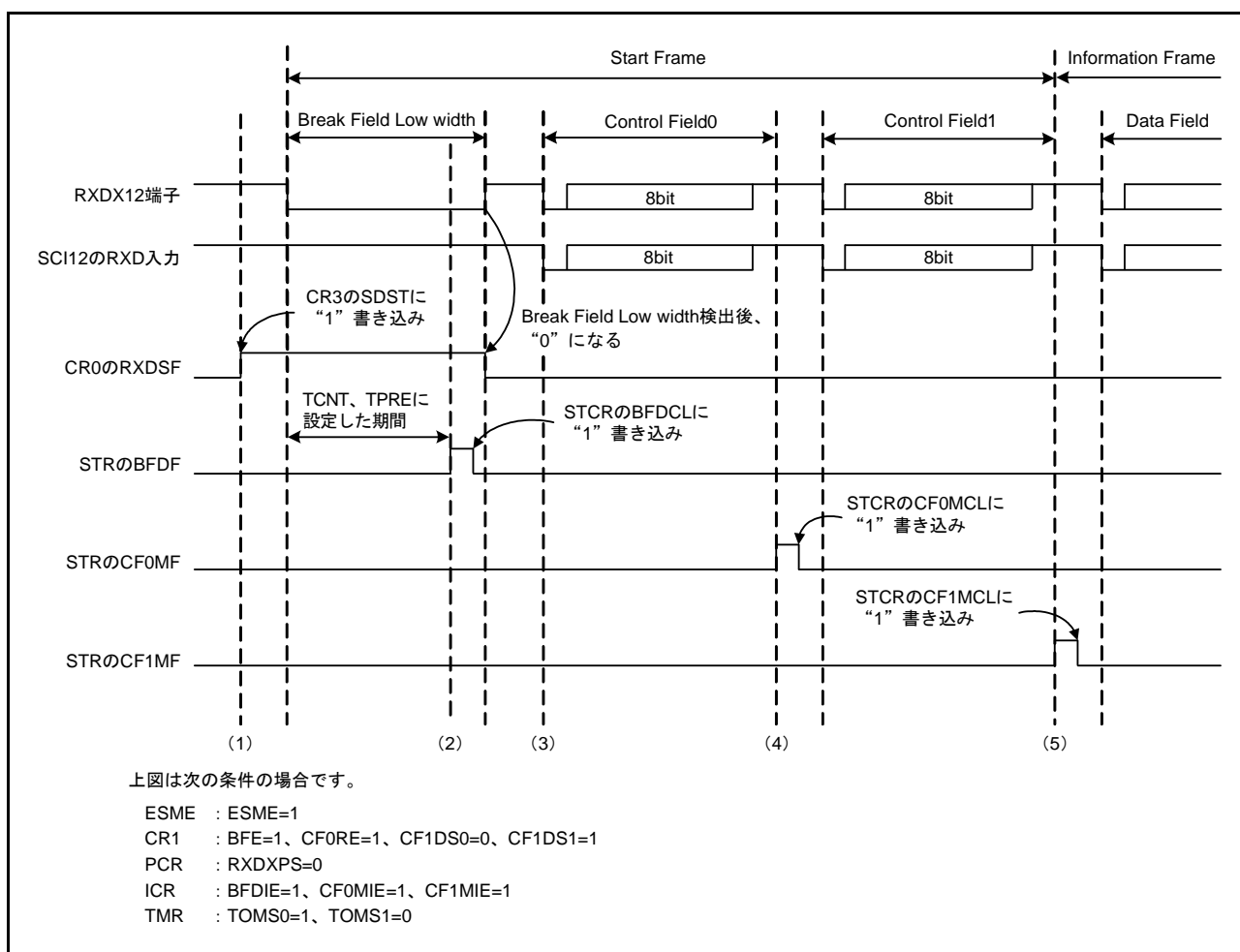


図 29.56 Start Frame 受信時の動作例

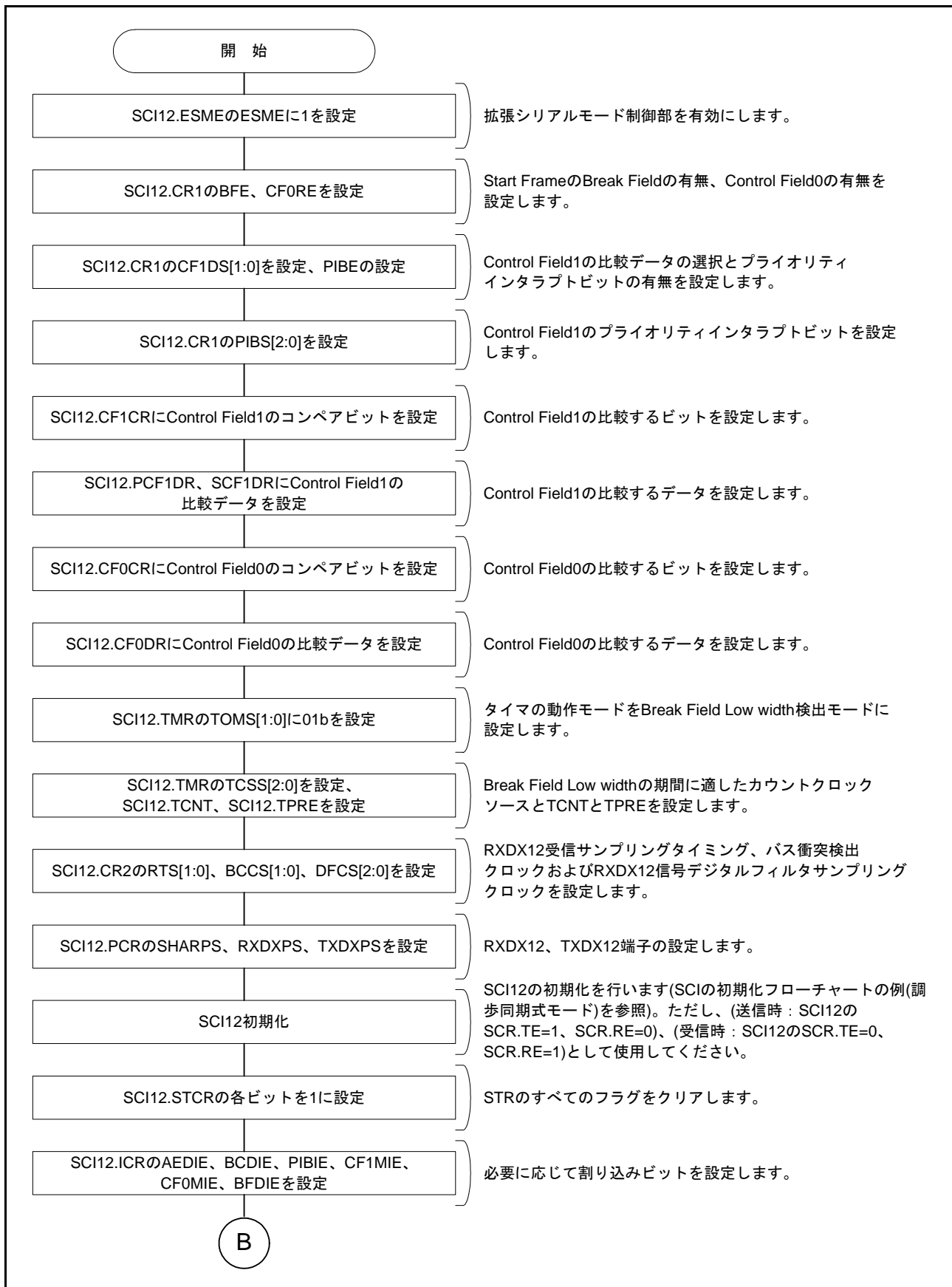


図 29.57 Start Frame 受信フローチャート例 (1)

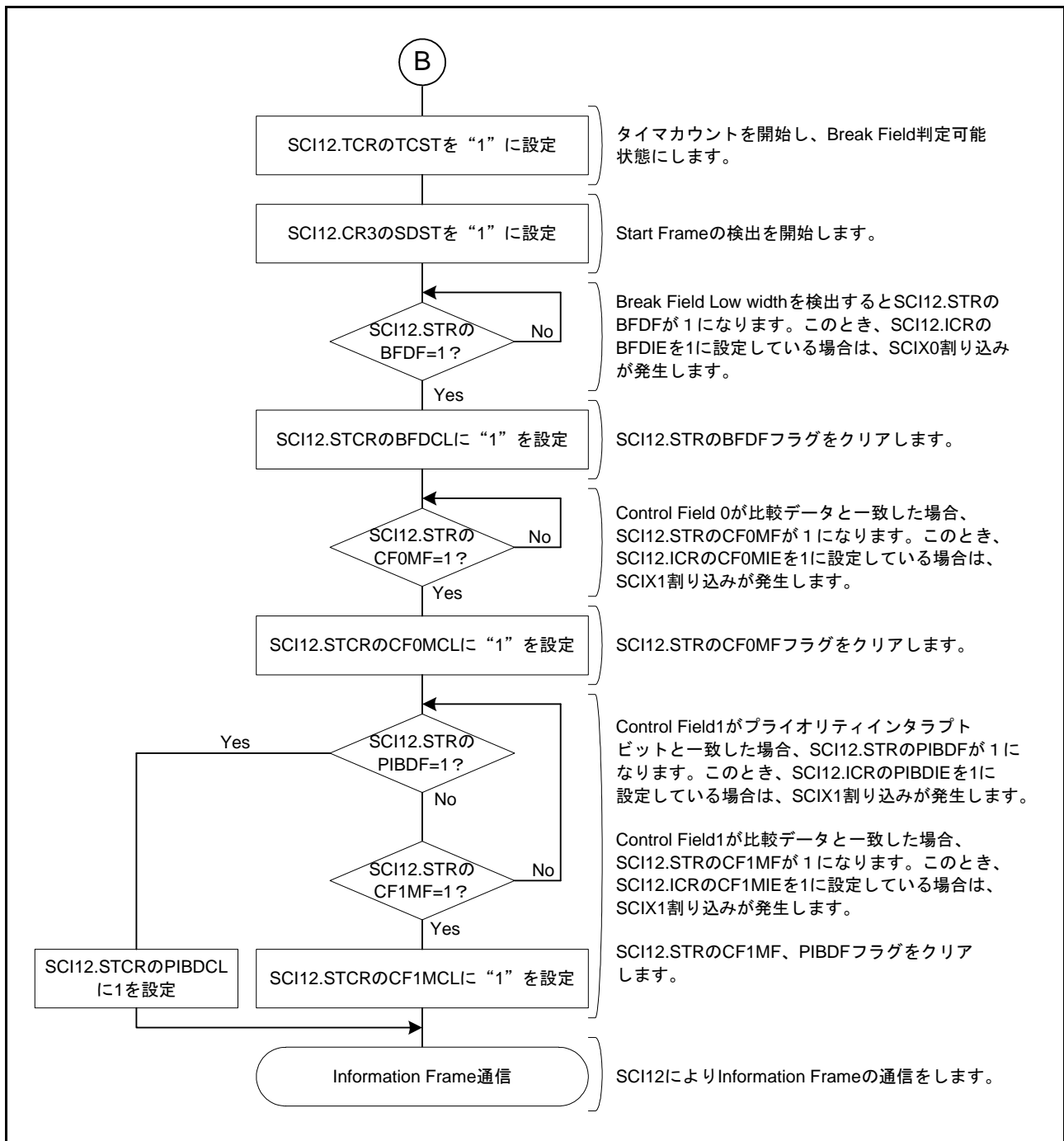


図 29.58 Start Frame 受信フローチャート例 (2)

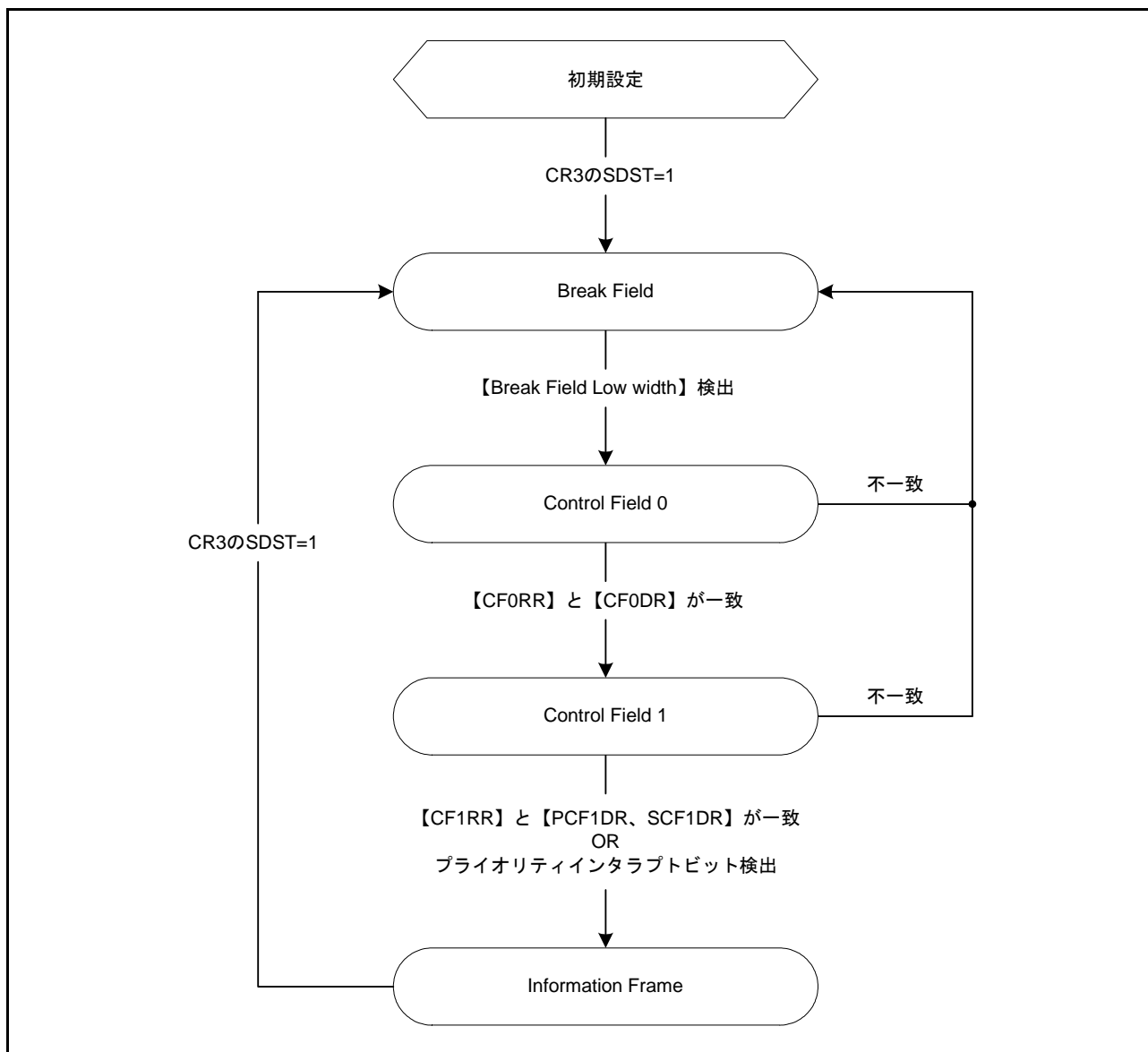


図 29.59 Start Frame 受信時の状態遷移図

29.9.3.1 プライオリティインタラプトビット

図 29.60 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1 の PIBE を 1 にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のよう動作します。

(1) ~ (4) は図 29.56 の Start Frame 受信時の動作例 (1) ~ (4) と同様になります。

(5) CR1 の PIBS[2:0] で指定したビットのデータが PCF1DR に設定したデータと一致した場合、STR の PIBDF が 1 にされます。また、ICR の PIBDIE を 1 に設定している場合は、SCIX1 割り込みが発生します。そして、SCI12 により、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR または SCF1DR に設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

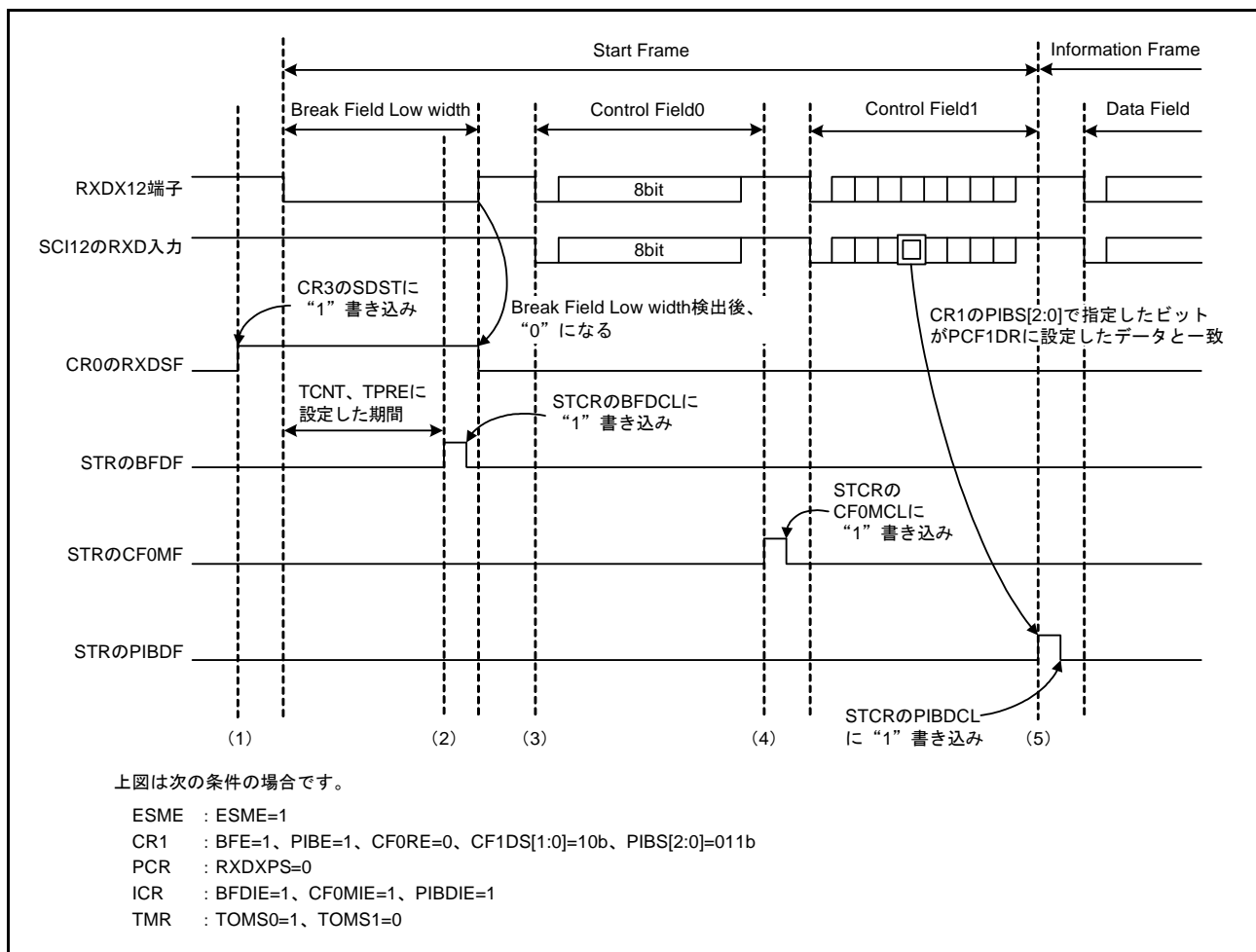


図 29.60 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

29.9.4 バス衝突検出機能

ESMER の ESME=1、かつ SCI12.SCR の TE=1 の状態で、Break Field Low width 出力中および SCI12 によりデータを送信中にバス衝突検出機能が働きます。

図 29.61 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2 の BCCS[1:0] で設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR の BCDNF が“1”になります。また、ICR の BCDIE を“1”に設定している場合は、SCIX2 割り込みが発生します。

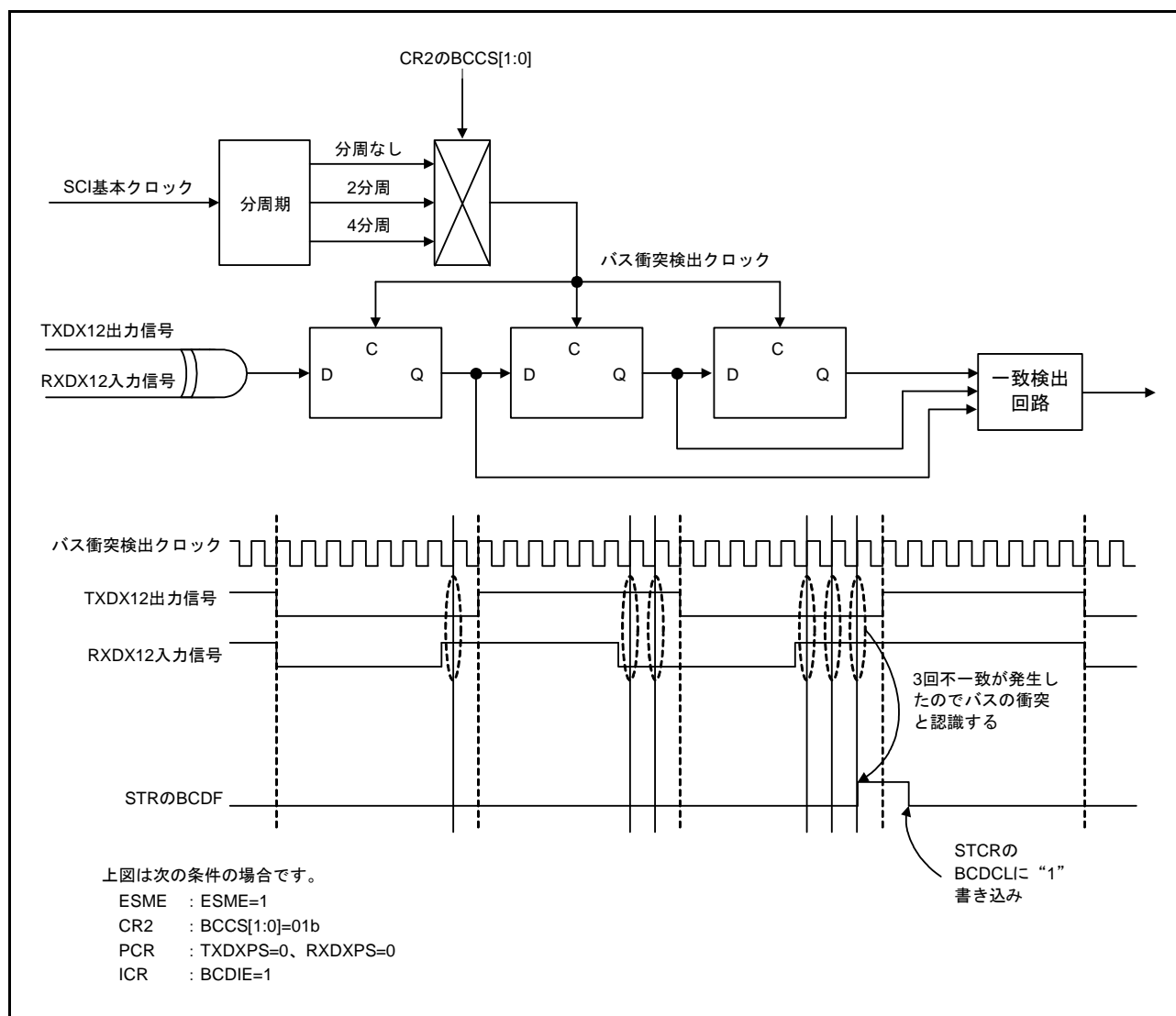


図 29.61 バス衝突検出機能の動作例

29.9.5 RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号はCR2のDFCS[2:0]によって選択されたクロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3サンプリングクロック以上同一のレベルを保持した場合は信号として認識しますが、3サンプリングクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 29.62 にデジタルフィルタ機能の動作例を示します。

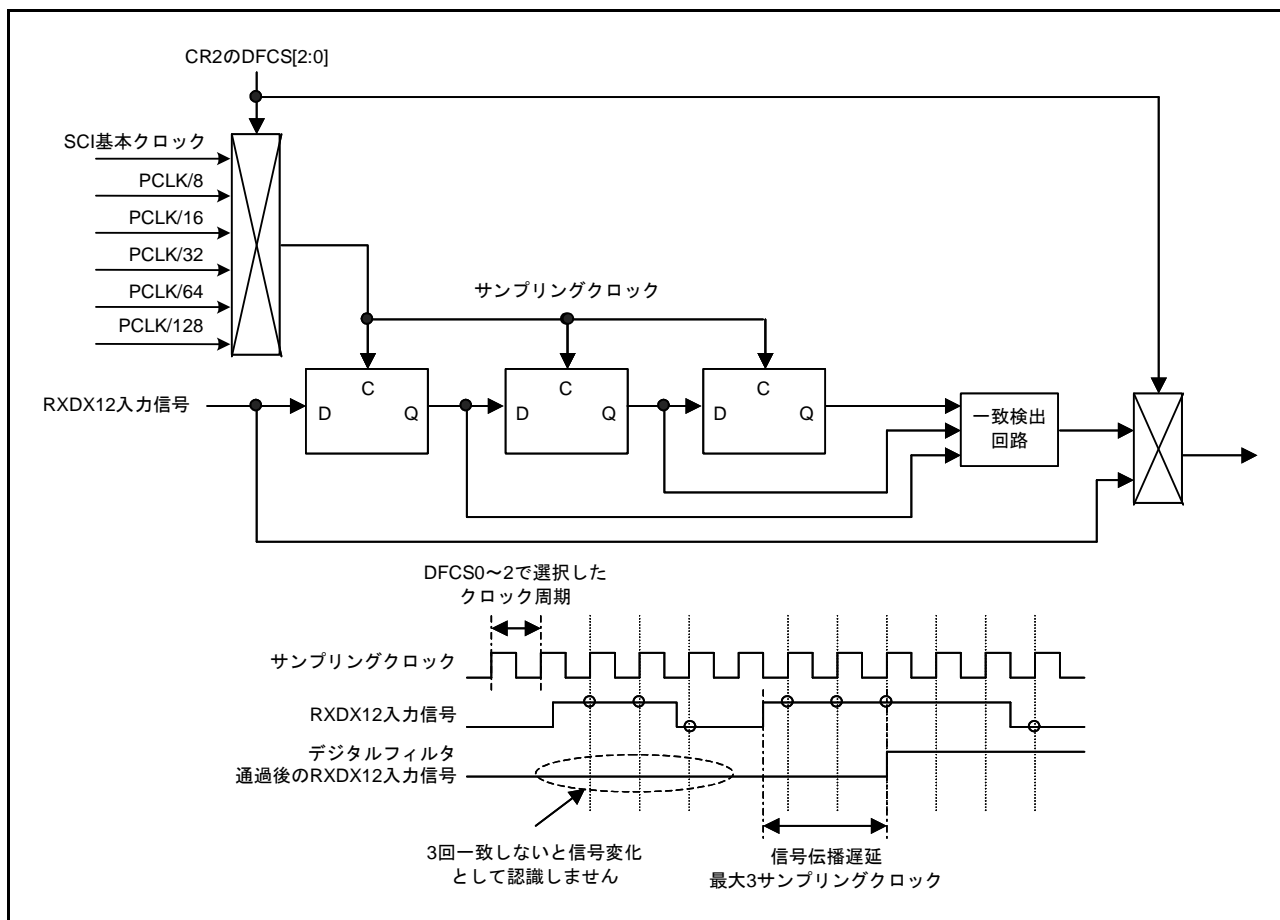


図 29.62 デジタルフィルタ機能の動作例

29.9.6 ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がりー立ち下がり間または、立ち下がりー立ち上がり間を測定する機能です。図 29.63 にビットレート測定機能の動作例を示します。

- (1) CR0 の BRME に“1”を書き込むとビットレート測定が有効となります。BRME は、測定を行いたいときのみ 1 を設定してください。また、BRME を 1 に設定しても Break Field 中は、ビットレートの測定動作を行いません。
- (2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
- (3) ビットレート測定開始後、RXDX12 端子から有効エッジ (立ち上がりエッジおよび立ち下がりエッジ) が入力されるとタイマはそのときのカウンタ値をリードバッファに保持し、カウンタをリロードします。ICR の AEDIE を“1”に設定している場合は、SCIX3 割り込みが発生します。TCNT、TPRE をリードすることで保持は解除されます。
- (4) 有効エッジ間のカウンタ値からビットレートを算出し、SCI12 の設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0 の BRME に“0”を書き込んでください。

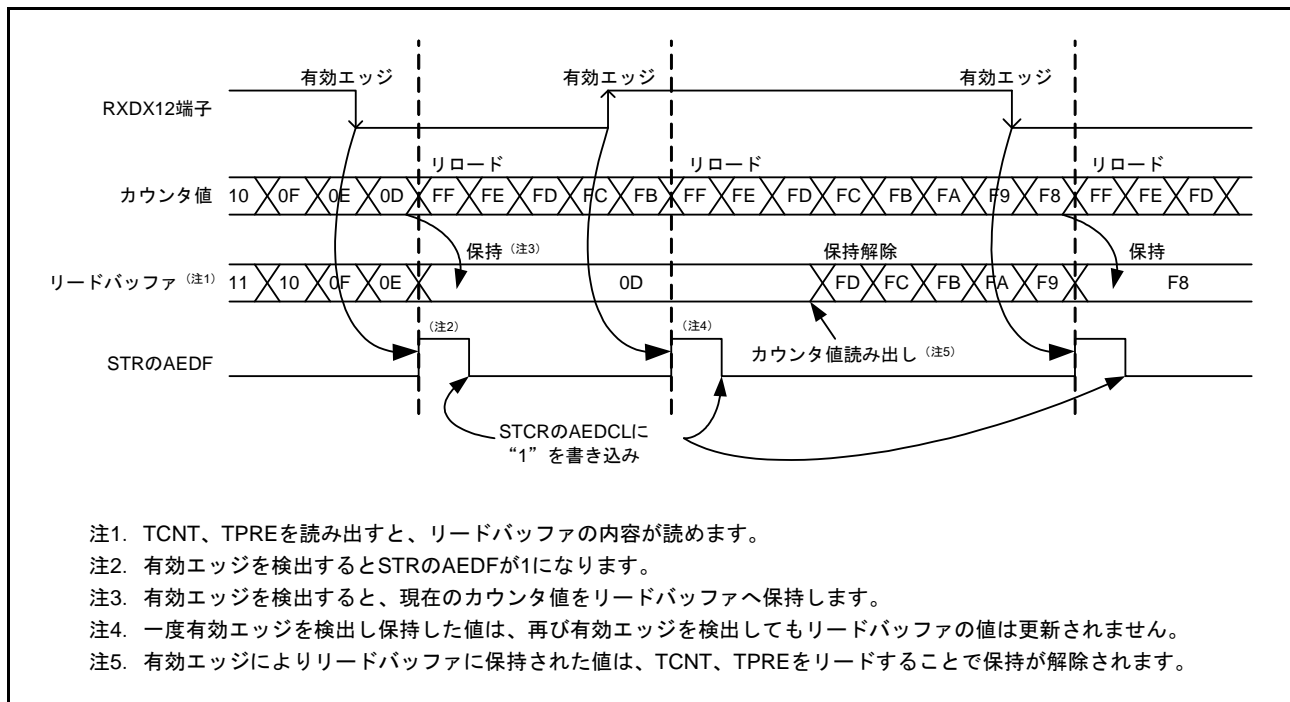


図 29.63 ビットレート測定機能動作例

29.9.7 RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、SCI12 の RXDX12 受信データのサンプリングタイミングを CR2 の RTS0 および RTS1 により、SCI 基本クロックの 8 クロックの立ち上がり、10 クロックの立ち上がり、12 クロックの立ち上がりおよび 14 クロックの立ち上がりから選択することができます。SCI12 の SEMR の ABCS が “1” の場合は PCLK の 4 クロックの立ち上がり、5 クロックの立ち上がり、6 クロックの立ち上がりおよび 7 クロックの立ち上がりから選択することができます。図 29.64 に RXDX12 受信データサンプリングタイミングを示します。

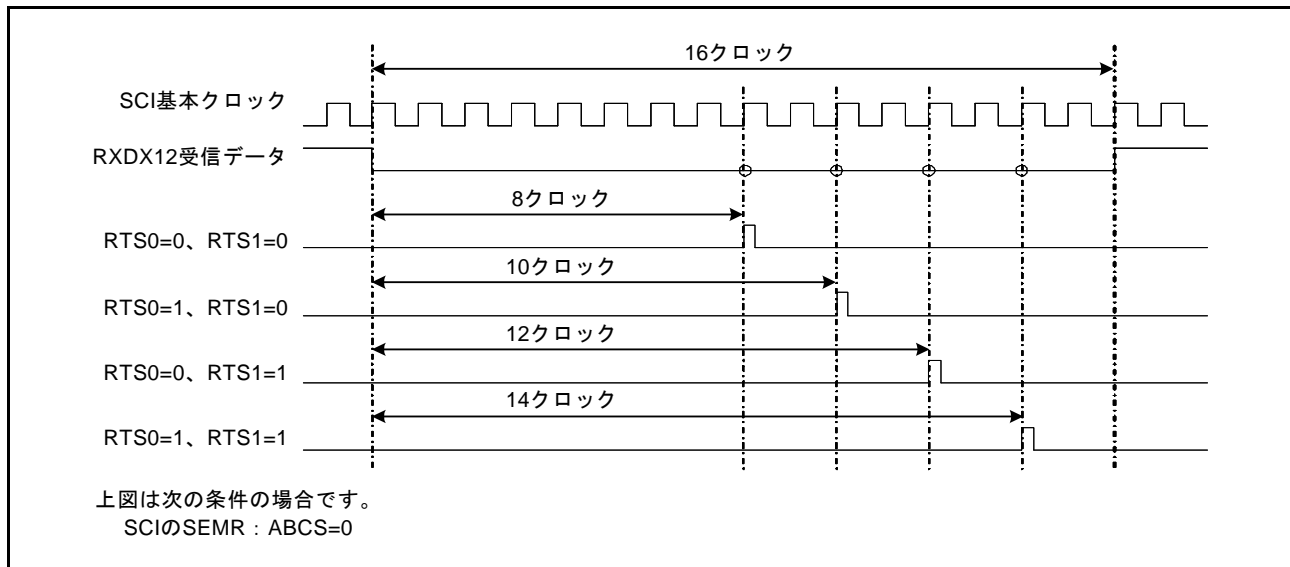


図 29.64 RXDX12 受信データサンプリングタイミング

29.9.8 タイマ

タイマには次の動作モードがあります。

(1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR の TOMS0=0、TOMS1=1 に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR の TCSS[2:0] で選択します。TCR の TCST に “1” を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR の BFDL が “1” になります。また、ICR の BFDIE を “1” に設定している場合は、SCIX0 割り込みが発生します。TCR の TCST に “0” を書き込むと、TPRE および TCNT はリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 29.65 に Break Field Low width 出力モードの動作例を示します。

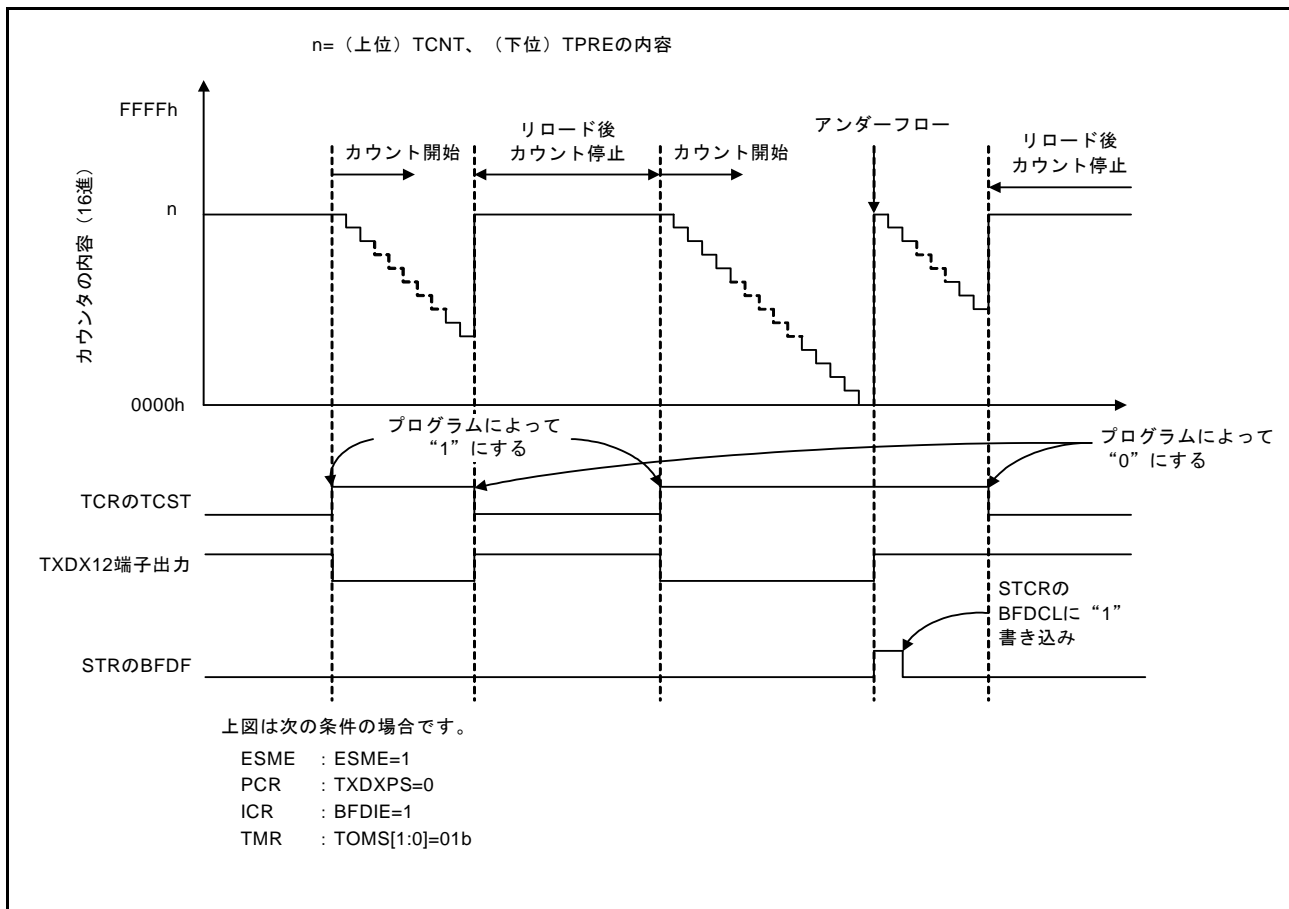


図 29.65 Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR の TOMS0=1、TOMS1=0 に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR の TCSS[2:0] で選択します。TCR の TCST に "1" を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRES および TCNT はリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR の BFDCL が "1" にされます。また、ICR の BFDIE を "1" に設定している場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 29.66 に Break Field Low width 判定モードの動作例を示します。

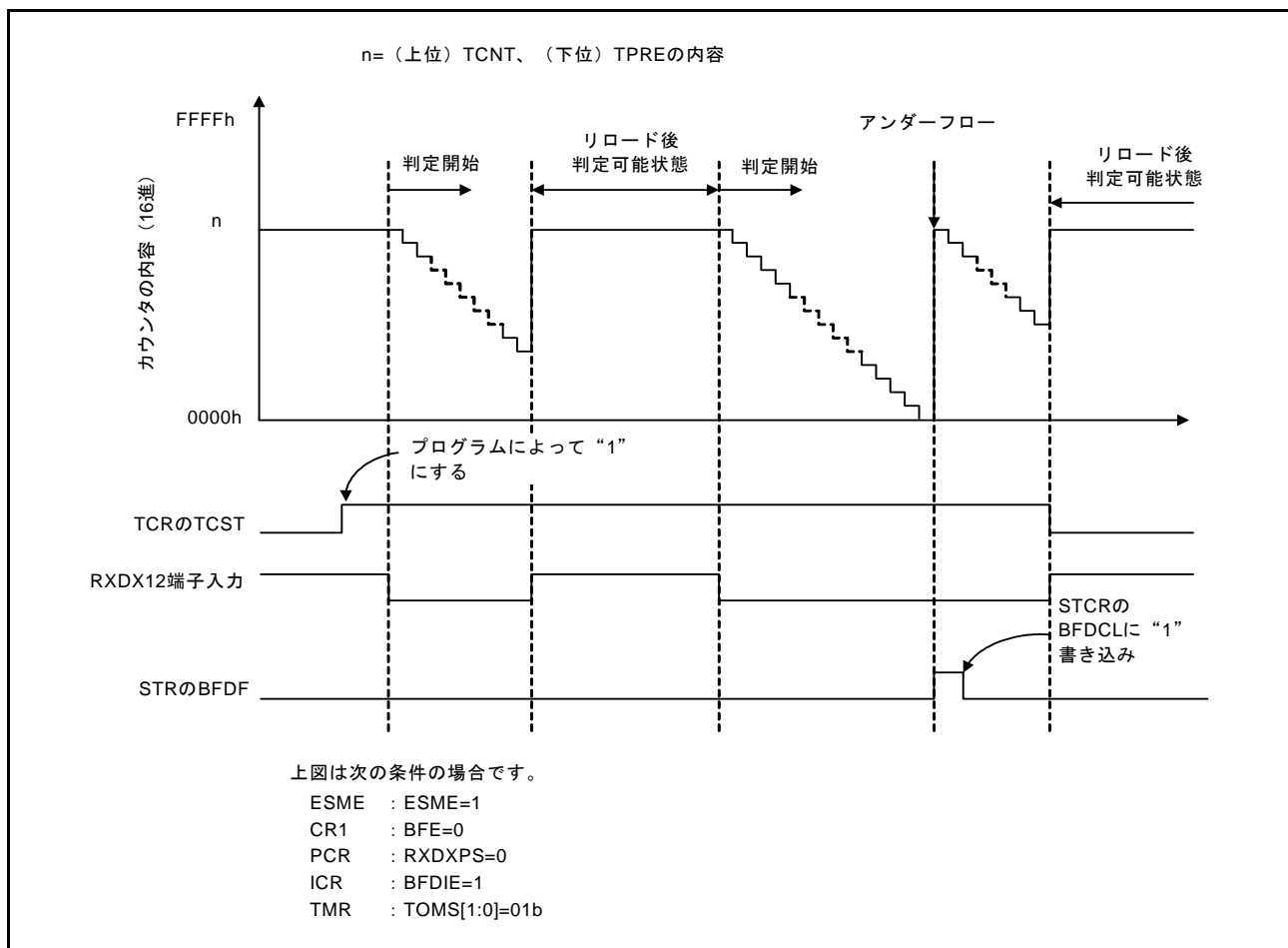


図 29.66 Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR の TOMS0=0、TOMS1=0 に設定すると、タイマモード動作になります。カウントクロックソースは TMR の TCSS[2:0] で選択します。TCR の TCST に“1”を書き込むと、カウントを開始し、TCST に 0 を書き込むとカウントを停止します。TPRE に入力するカウントクロックソースの周期で TPRE がダウンカウントします。TPRE のアンダーフローをカウントクロックソースにして、TCNT がダウンカウントします。タイマがアンダーフローすると STR の BFDF が“1”になります。また、ICR の BFDIE を“1”に設定している場合は、SCIX0 割り込みが発生します。

29.10 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 29.67 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて 3 回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度 3 回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDn の入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCS=0 のとき 1 ビット期間の 1/16、SEMR.ABCS=1 のとき 1 ビット期間の 1/8) となります。

簡易 I²C モード時は SSDAn、SSCLn の入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ボーレートジェネレータのクロックソースの 1/2/4/8 分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット = 0、SCR.RE = 0 ビットにした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

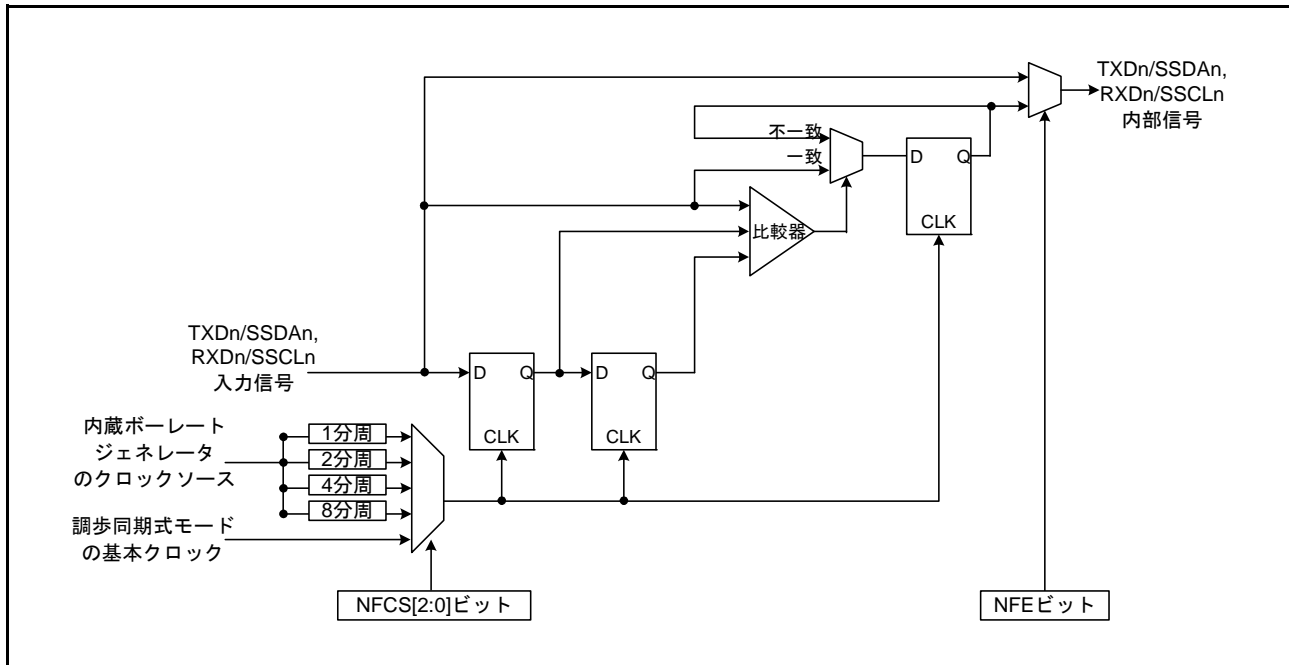


図 29.67 デジタルノイズフィルタ回路のブロック図

29.11 割り込み要因

29.11.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件となっても、割り込みコントローラに対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが“0”になると、割り込みコントローラに対して保持していた割り込み要求を出力します。保持していた割り込み要求を出力すると、その割り込みの内部の保持は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を“0”にすることでクリアが可能です。

29.11.2 シリアルコミュニケーションインタフェースモードおよび簡易 SPI モードにおける割り込み

表 29.26 にシリアルコミュニケーションインタフェースモードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR レジスタのイネーブルビットにより独立にイネーブルにすることができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタから TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”に設定した後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”に設定することでも発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態では SCR.TE ビットを“1”に設定した場合、および SCR.TE ビットが“1”の状態では SCR.TIE ビットを“1”に設定した場合には発生しません。(注1)

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタに次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”に設定してから TDR レジスタに送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタに格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR.ORER、FER、PER フラグのいずれかが“1”にセットされると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR.ORER、FER、PER のすべてのビットをクリアすることにより ERI 割り込み要求を取り下げることができます。

- 注 1. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止/許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 29.26 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可能	不可能	高 ↑ 低
RXI	受信データフル	—	可能	可能	
TXI	送信データエンプティ	—	可能	可能	
TEI	送信終了	TEND	不可能	不可能	

29.11.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 29.27 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 29.27 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可能	不可能	高 ↑ 低
RXI	受信データフル	—	可能	可能	
TXI	送信データエンプティ	TEND	可能	可能	

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”にされると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”にされます。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にセットしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「18. DMA コントローラ (DMACA)」、「19. データトランスファコントローラ (DTCa)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI 割り込み要求が発生しますのでエラーフラグをクリアしてください。

29.11.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 29.28 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がり、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がり、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がりで、SSDAn 端子入力 Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力 High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 29.28 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
RXI	受信、ACK検出	—	可能	可能	高 ↑ 低
TXI	送信、NACK検出	—	可能 (注1)	可能 (注1)	
STI	開始条件、再開条件、 停止条件生成終了	IICSTIF	不可能	不可能	

注1. SIMR2.IICINTM ビット=“1” (受信割り込み、送信割り込みを選択) の場合のみ DTC、DMAC の起動が可能です。

29.11.5 拡張シリアルモード制御部の割り込み要求

SCId の拡張シリアルモード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出) および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。各割り込み要因が発生するとステータスフラグが 1 にされます。表 29.29 に各割り込み要求の内容を示します。

表 29.29 拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0割り込み (Break Field Low width 検出)	BFDF	<ul style="list-style-type: none"> • タイマに設定した期間より長いBreak Field Low widthを検出したとき • タイマに設定した期間、Break Field Low width出力が完了したとき • タイマがアンダフローしたとき
SCIX1割り込み (Control Field 0一致)	CF0MF	Control Field 0の受信データがCF0DRに設定したデータと一致したとき
SCIX1割り込み (Control Field 1一致)	CF1MF	Control Field 1の受信データがPCF1DRまたはSCF1DRに設定したデータと一致したとき
SCIX1割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータがPCF1DRに設定したデータと一致したとき
SCIX2割り込み (バス衝突検出)	BCDF	TXDX12端子の出力とRXDX12端子の入力をバス衝突検出クロックでサンプリングし、3回連続不一致が発生とき
SCIX3割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

29.12 使用上の注意事項

29.12.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) とモジュールストップコントロールレジスタ C (MSTPCRC) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「12. 消費電力低減機能」を参照してください。

29.12.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて 0 になりますので、SSR.FER フラグが“1” (フレーミングエラーの発生あり) に設定され、また SSR.PER フラグも“1” (パリティエラーの発生あり) に設定される可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER フラグを“0” (フレーミングエラーの発生なし) に設定しても、再び FER フラグが“1” に設定されますので注意してください。

29.12.3 マーク状態とブレークの送出

SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき、I/O ポート機能を設定することにより、TXDn 端子を入出力方向とレベルを選択できる I/O ポートとして使用できます。これを利用して TXDn 端子をマーク状態にしたりデータ送信時にブレークを送出することができます。SCR.TE ビットを“1” (シリアル送信動作を許可) に設定するまで、通信回線をマーク状態 (1 の状態) にするためには、I/O ポート機能により TXDn 端子を“1”出力に設定し、端子モードを汎用入出力ポートに設定します。

一方、データ送信時にブレークを送出したいときは、I/O ポート機能設定により TXDn 端子を“0”出力に設定し、端子モードを汎用入出力ポートに設定します。

SCR.TE ビットを“0”に設定すると現在の送信状態とは無関係に送信部は初期化されます。

29.12.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (SSR.ORER) が“1”に設定された状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを“0”に設定しておいてください。また、SCR.RE ビットを“0” (シリアル受信動作を禁止) に設定しても受信エラーフラグは“0”に設定できませんので注意してください。

29.12.5 TDR レジスタへのライトについて

TDR レジスタへのデータのライトは、常に行うことができます。しかし、TDR レジスタに送信データが残っている状態で新しいデータを TDR レジスタにライトすると、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって TDR レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

29.12.6 クロック同期送信時の制約事項

同期クロックに外部クロックソースを使用する場合、DMAC または DTC による TDR レジスタの更新後、PCLK クロックで 5 クロック以上経過した後に送信クロックを入力してください。TDR レジスタの更新後、4 クロック以内に送信クロックを入力すると誤動作することがあります。

29.12.7 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR レジスタのリードを行うときは起動要因を当該 SCI の受信完了割り込み (RXI) に設定してください。

29.12.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグが“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、または SCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。

- 通信が停止していること (SCR.TE ビットまたは SCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグに“0”を設定

29.12.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への設定、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。

TE ビットを“0”にクリアすることによって、TSR レジスタおよび SSR.TEND フラグはリセットされます。

モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態からの解除の後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 29.68 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 29.69、図 29.71 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、送信からモジュールストップ状態への設定、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後に送信をする場合は、TE ビット=1 に設定すると TXI 割り込みが発生します。

(2) 受信

モジュールストップ状態への設定または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信

を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 29.71 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

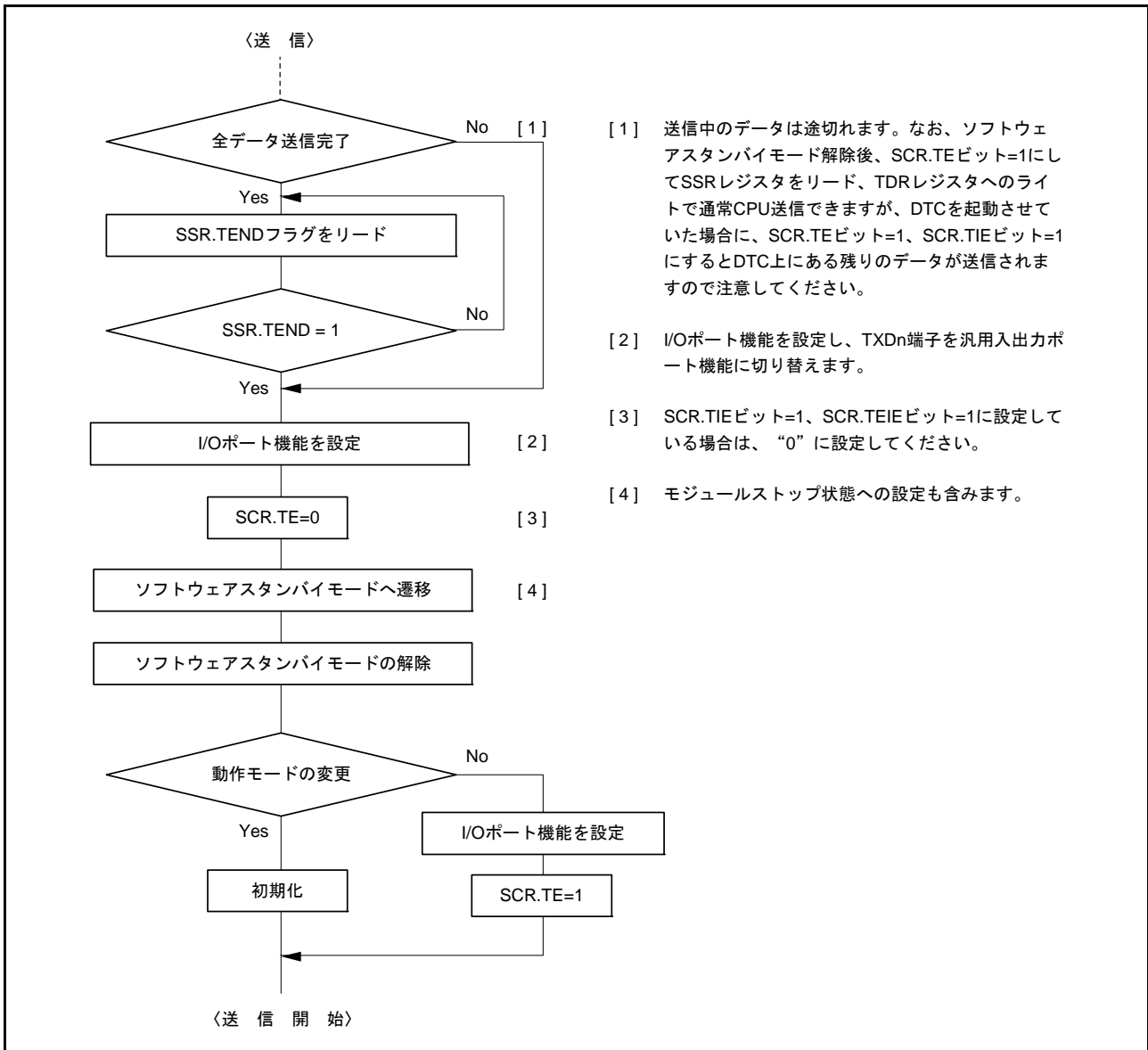


図 29.68 送信時のソフトウェアスタンバイモード遷移フローチャートの例

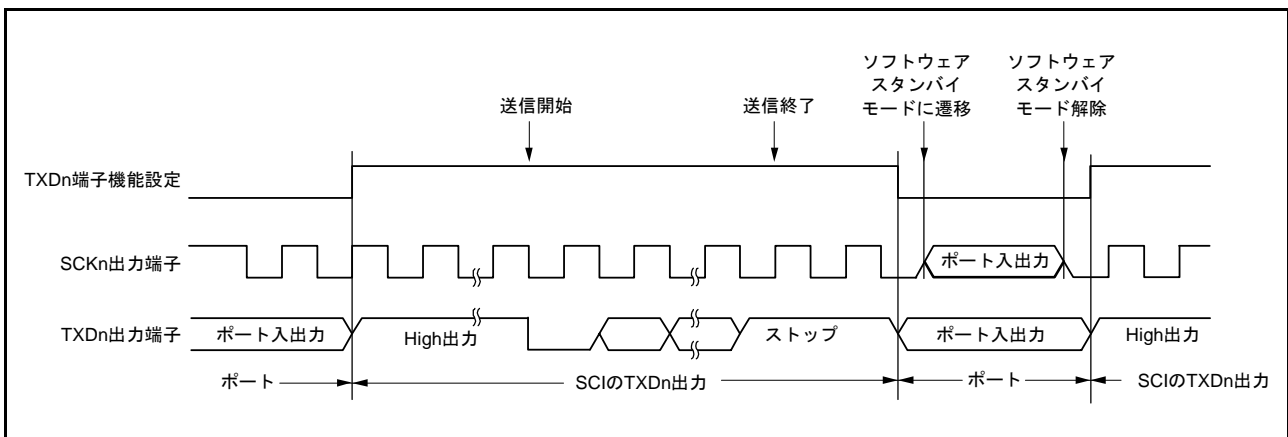


図 29.69 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

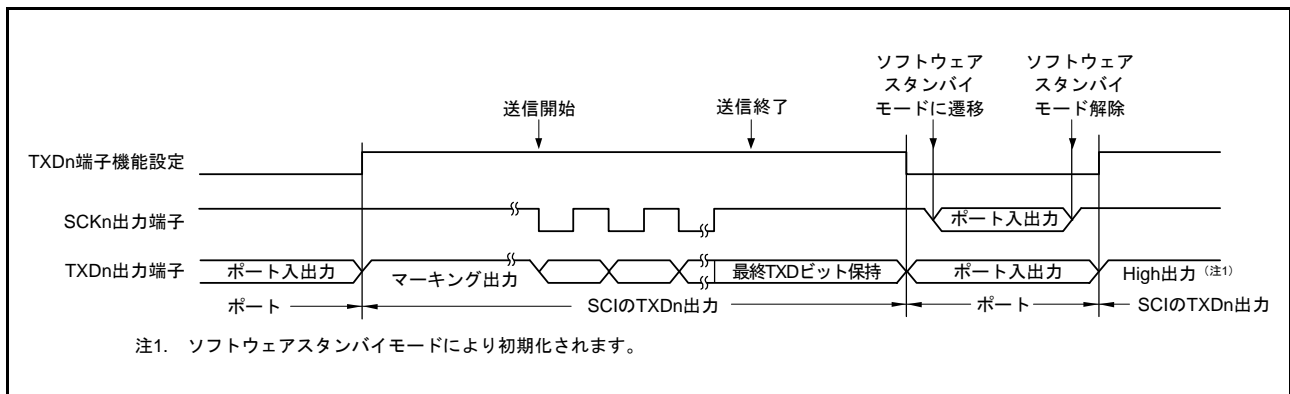


図 29.70 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

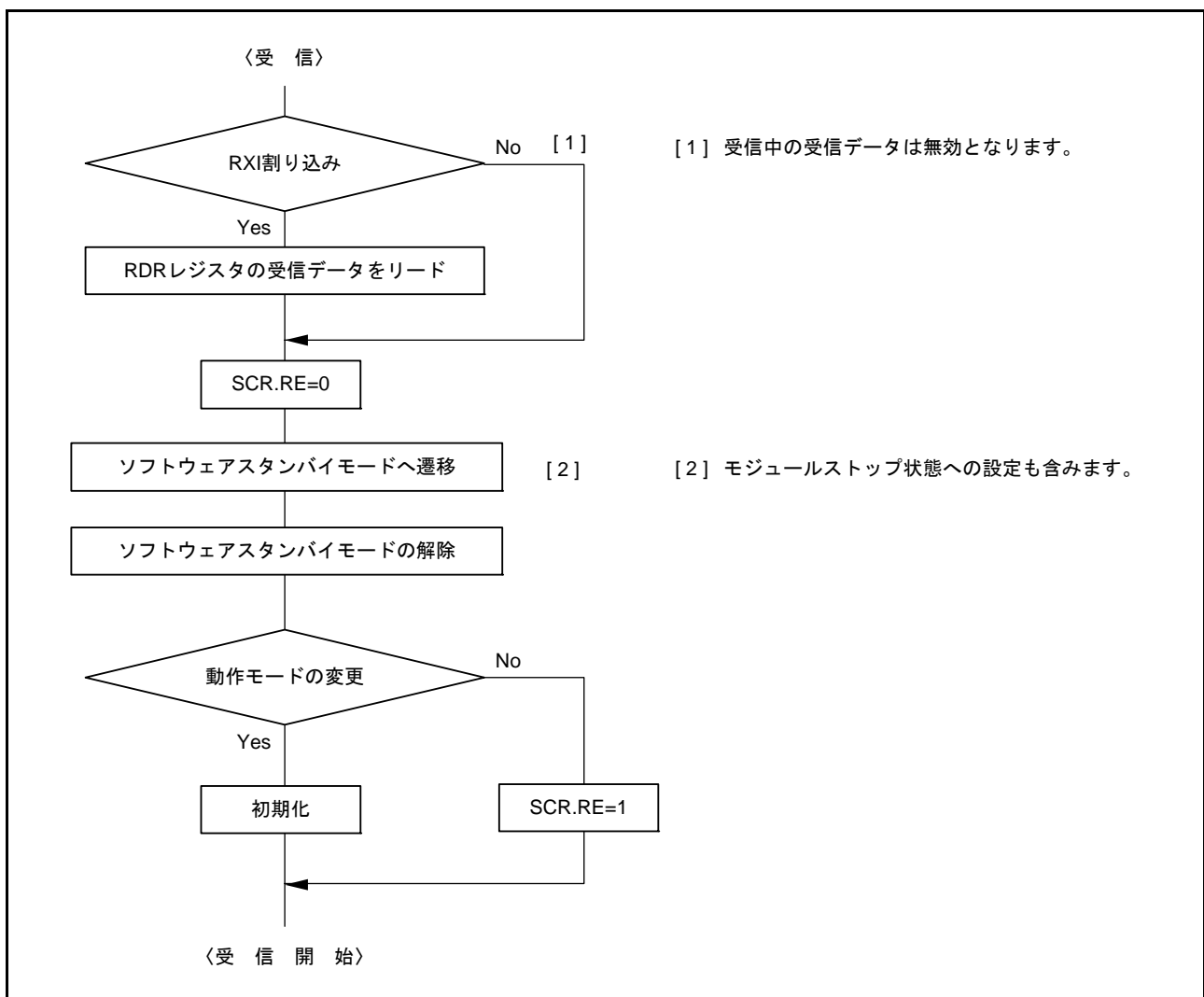


図 29.71 受信時のソフトウェアスタンバイモード遷移フローチャートの例

29.12.10 クロック同期式モード外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn 入力は、High パルス期間および Low パルス期間を 2PCLK 以上、周期を 6PCLK 以上としてください。

29.12.11 簡易 SPI モードの制約事項

(1) マスタモード

- SPMR.SSE ビットが“1”のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
SCR.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが“0”のときは、SCR.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定（SPMR.CKPH ビット＝“1”）の場合、図 29.72 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み（RXI 割り込み）が発生します。このとき、SCR.TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタモード時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SS# 端子入力が Low レベルの間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

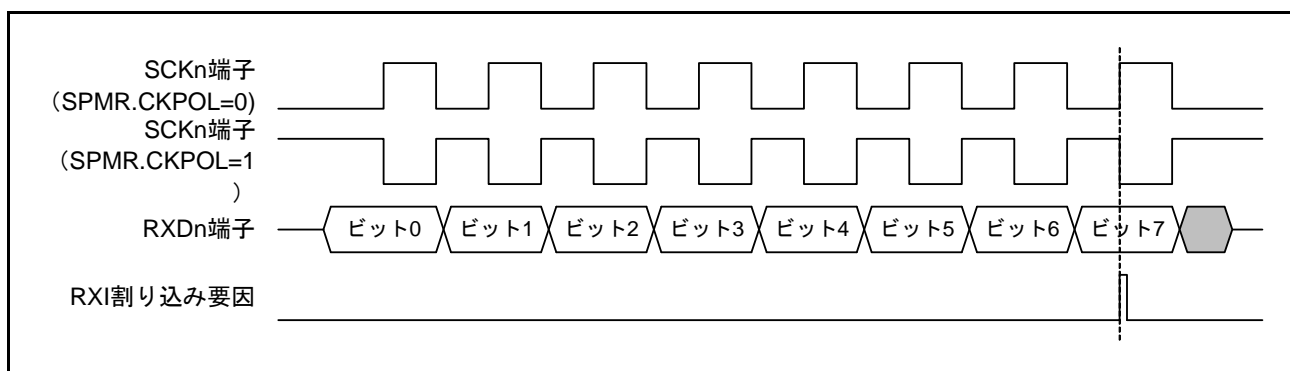


図 29.72 簡易 SPI モード（クロック遅れあり）RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みと、SSn# 端子への Low 入力から外部クロック入力開始まで、5 PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR.TE、RE ビットを“0”に設定し、再設定後、1 バイト目から転送をやり直してください。

29.12.12 拡張シリアルモード制御部の使用上の制約事項 1

PCR の SHARPS を“1”に設定した場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- SCId タイマを Break Field Low width 出力モードで TCR の TCST を“1”にしたとき
(TCR の TCST を“1”にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。)
- SCI12.SCR の TE が“1”のとき

29.12.13 拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、SCIc の割り込み要求は生成されます。スタートフレーム受信中は SCId が SCIc の割り込み要求イベントを使用するため、SCIc の割り込み要求は使用しないでください。この対応として下記 2 つがあります。なお、受信エラーを検出したときは、図 29.73 のフローチャートの例に従って SCIc のエラーフラグのクリアおよび SCId 制御部を初期化してください。

- (1) SCIc の SCR.RIE ビットを“0”にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、スタートフレームの受信終了タイミングで、SCIc の SSR レジスタのエラーフラグをチェックしてください。スタートフレーム受信完了後インフォメーションフレームの第 1 バイト受信完了するまでの間に、SCIc の SCR.RIE ビットを“1”に切り換えてください。
- (2) SCIc の SCR.RIE ビットを“1”にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。スタートフレーム受信完了後インフォメーションフレームの第 1 バイト受信完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り換えてください。

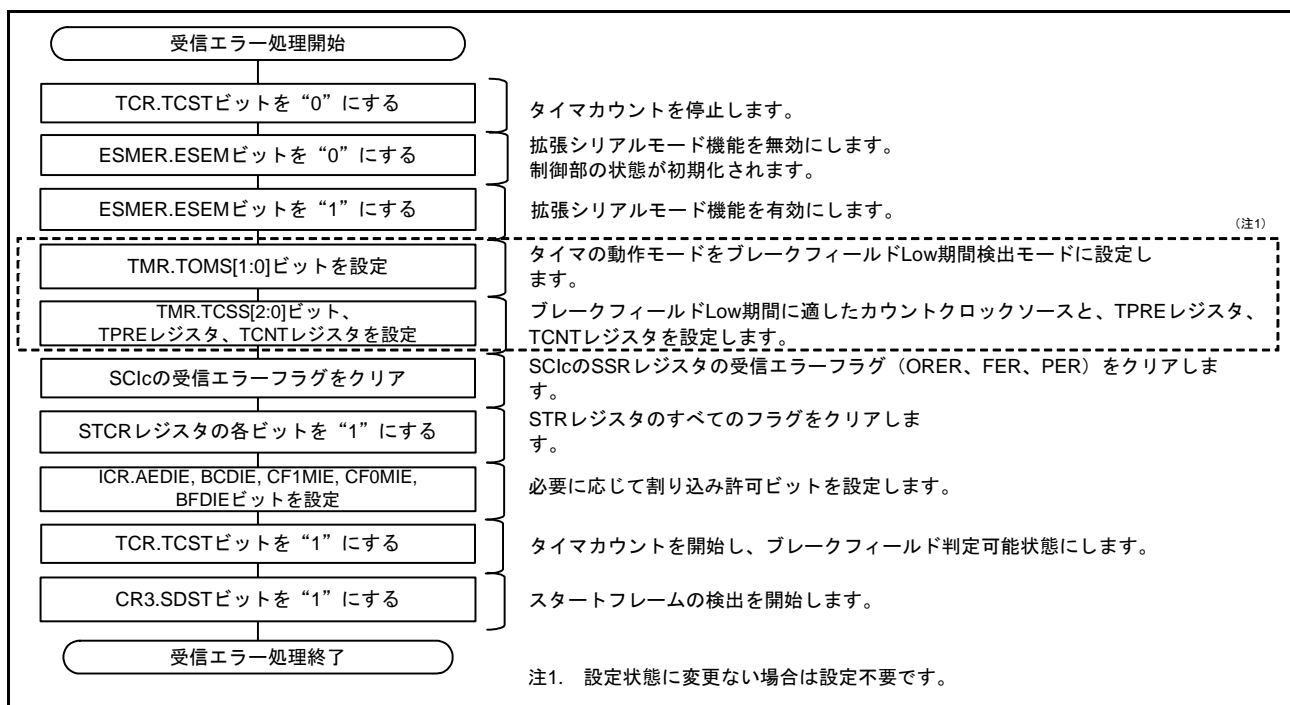


図 29.73 受信エラー処理のフローチャートの例 (スタートフレーム受信時)

29.12.14 トランスミットイネーブルビット (TE ビット) に関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR.TE ビットを“0” (シリアル送信動作を禁止) にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) SCR.TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。
また、SCR.TE ビットを“1”にしてから、端子の機能を「TXDn」に変更する。

30. I²Cバスインタフェース (RIIC)

本MCUは、2チャンネルのI²Cバスインタフェース (RIIC) を内蔵しています。

RIICは、NXP社が提唱するI²Cバス (Inter-IC-Bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

30.1 概要

表 30.1 に RIIC の仕様を、図 30.1 に RIIC のブロック図を、図 30.2 に入出力端子の外部回路接続例 (I²Cバス構成例) を示します。表 30.2 に RIIC で使用する入出力端子を示します。

表 30.1 RIICの仕様

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	~400kbps
SCLクロック	マスタ時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション (リスタートコンディション含む) /ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> スレーブアドレスを3セット設定可能 7ビット/10ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクノリッジ応答	<ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送付 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト (WAIT機能)
SDA出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能 (スタートコンディションの二重発行防止) ノットアクノリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能
割り込み要因	<ul style="list-style-type: none"> 4種類 通信エラー/イベント発生 (AL検出、NACK検出、タイムアウト検出、スタートコンディション検出 (リスタートコンディション含む)、ストップコンディション検出) 受信データフル (スレーブアドレス一致時含む) 送信データエンpty (スレーブアドレス一致時含む) 送信終了
消費電力低減機能	モジュールストップ状態への設定が可能

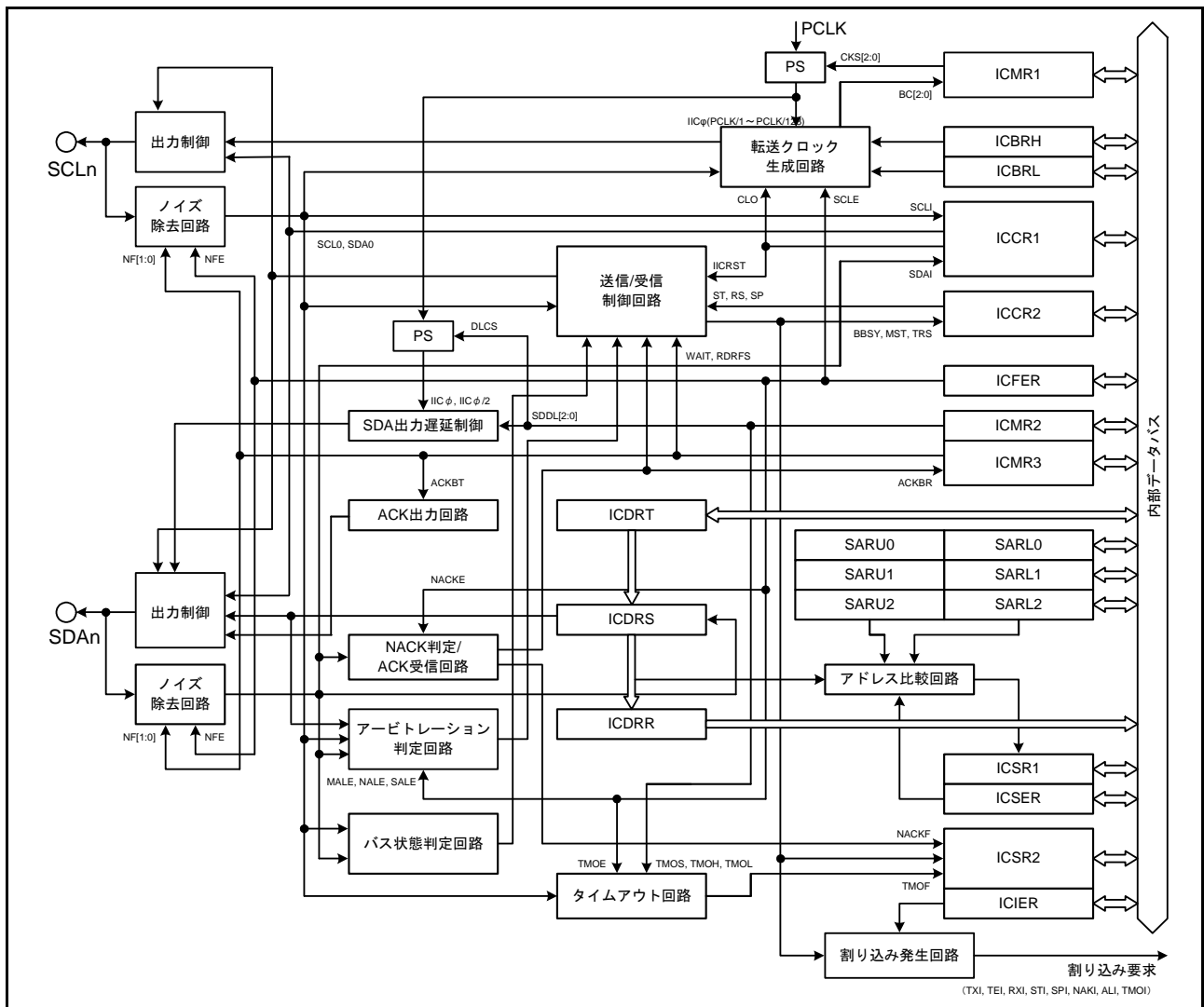


図 30.1 RIIC のブロック図

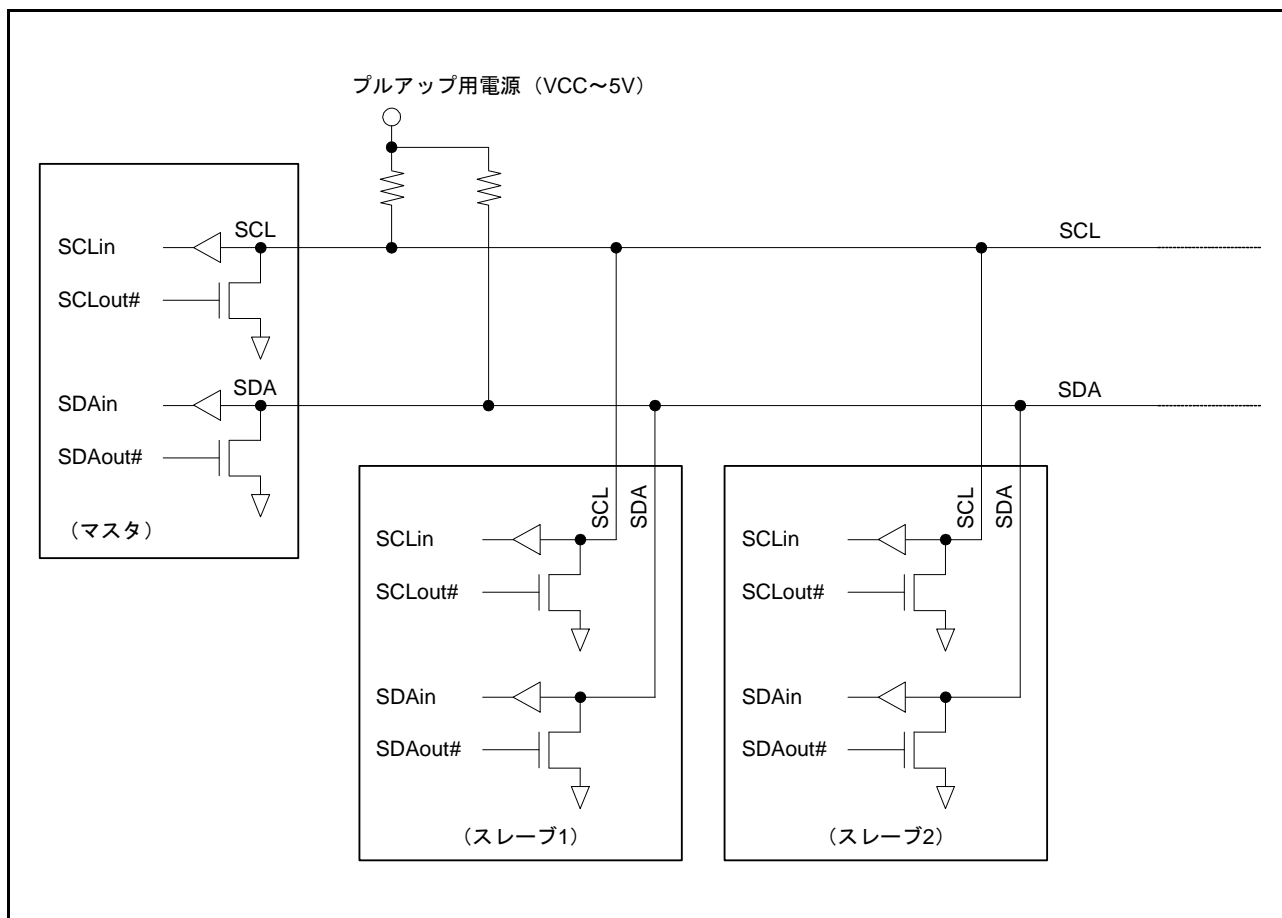


図 30.2 入出力端子の外部回路接続例 (I²C バス構成例)

RIIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS ビット =0)、CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット =1)、TTL レベルです。

表 30.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子
RIIC1	SCL1	入出力	RIIC1シリアルクロック入出力端子
	SDA1	入出力	RIIC1シリアルデータ入出力端子

30.2 レジスタの説明

30.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h、RIIC1.ICCR1 0008 8320h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0 : SDA _n ラインはLow 1 : SDA _n ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0 : SCL _n ラインはLow 1 : SCL _n ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SDA_n端子をLowにしている 1 : SDA_n端子を解放している ライト時 0 : SDA_n端子をLowにする 1 : SDA_n端子を解放する (外部ブルアップ抵抗によりHigh出力) 	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SCL_n端子をLowにしている 1 : SCL_n端子を解放している ライト時 0 : SCL_n端子をLowにする 1 : SCL_n端子を解放する (外部ブルアップ抵抗によりHigh出力) 	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換え許可 1 : SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCLクロック追加出力ビット	0 : SCLクロックを追加で出力しない (通常状態) 1 : SCLクロックを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0 : RIIC/内部リセット解除 1 : RIIC/内部リセット状態 (ビットカウンタのクリア、SCL _n /SDA _n 出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0 : 禁止 (SCL、SDA端子非駆動状態) 1 : 許可 (SCL、SDA端子駆動状態) (IICRSTビットとの組合せで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIICが出力するSDA_n信号、SCL_n信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時にSOWPビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介してRIICに入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのときRIICが出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力ビット)

SCL クロックを1クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。本機能の詳細については、「30.11.2 SCL クロック追加出力機能」を参照してください。

IICRST ビット (I²C バス内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットはICE ビットとの組み合わせによって決定します。表 30.3 に RIIC のリセットの種類を示します。

RIIC リセットでは ICCR2.BBSY フラグを含めた全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1、ICSR2) および内部状態をリセットします。各レジスタのリセット状況については、「30.14 リセット状況」を参照してください。

動作中 (ICE ビット =1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCLn 端子 / SDA n 端子をハイインピーダンスにしてバスを解放することができます。

注． スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCLn ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 30.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCLn、SDAn 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 30.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときは、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCLn、SDAn 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCLn、SDAn 端子非駆動状態になります。

また、マルチファンクションピンコントローラ (MPC) の設定で SCLn、SDAn 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

30.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h、RIIC1.ICCR2 0008 8321h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態 (バスフリー状態) 1: I ² Cバスが占有状態 (バスビジー状態またはバスフリーの期間中)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

ST ビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0” (バスフリー) のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「30.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき
- ICSR2.ALフラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注. STビットは、BBSYフラグが“0” (バスフリー) のとき、“1” (スタートコンディション発行要求) にしてください。

BBSYフラグが“1” (バスビジー) のとき、STビットを“1” (スタートコンディション発行要求) にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RSビットが“1”になるとリスタートコンディションの発行を要求し、BBSYフラグが“1” (バスビジー) でかつMSTビットが“1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「30.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき、またはスタートコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき（アービトレーションロスト）
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ・ストップコンディション発行中に RS ビットを“1”にしないでください。
 ・スレーブモードでは RS ビットに“1”（リスタートコンディション発行要求）を書いた場合、リスタートコンディションは発行されずに RS ビットは“1”のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット（ストップコンディション発行要求ビット）

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1”（バスビジー）でかつ MST ビットが“1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「30.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき、またはストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき（アービトレーションロスト）
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ・BBSY フラグ=0（バスフリー）のとき書き込みはできません。
 ・リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット（送信/受信モードビット）

送信/受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行/検出および R/W# ビットなどで“1”/“0”になり、動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき（ST ビットが“1”の状態、スタートコンディションを検出したとき）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき

- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “1” を受信したとき
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

["0" になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “1” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “0” を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY=1、ICCR2.MST=0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが “0” のときスレーブモード、MST ビットが “1” のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで “1”/“0” になり、動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

["1" になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが “1” の状態で、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

["0" になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) / 解放状態 (バスフリー) を示します。

SCLn ラインが High の状態で SDAn ラインが High から Low に変化すると、スタートコンディションが発行されると認識して “1” になります。

SCLn ラインが High の状態で SDAn ラインが Low から High に変化すると、ストップコンディションが発行されると認識し、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき “0” になります。

["1" になる条件]

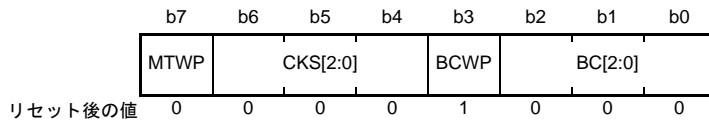
- スタートコンディションを検出したとき

["0" になる条件]

- ストップコンディションを検出後、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき (RIIC リセット)

30.2.3 I²Cバスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h、RIIC1.ICMR1 0008 8322h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	b6 b4 0 0 0 : PCLK/1クロック 0 0 1 : PCLK/2クロック 0 1 0 : PCLK/4クロック 0 1 1 : PCLK/8クロック 1 0 0 : PCLK/16クロック 1 0 1 : PCLK/32クロック 1 1 0 : PCLK/64クロック 1 1 1 : PCLK/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRSビットへの書き込み禁止 1 : ICCR2.MST, TRSビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にして、BC[2:0]ビットを書き換えてください。ビットの書き換えは、MOV命令で行います。

BC[2:0] ビット (ビットカウンタ)

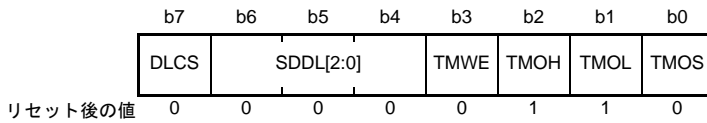
SCL_n ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し (データにアクノリッジ1ビットが付加されて転送される)、転送フレーム間でかつ SCL_n ラインが Low の状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出 (リスタートコンディション含む) で自動的に“000b”に戻ります。

30.2.4 I²Cバスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h、RIIC1.ICMR2 0008 8323h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0: ロングモードを選択 1: ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0: SCLnラインがLowでカウント禁止 1: SCLnラインがLowでカウント有効	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0: SCLnラインがHighでカウント禁止 1: SCLnラインがHighでカウント有効	R/W
b3	TMWE	タイムアウト内部カウンタ書き込み許可ビット	0: タイムアウト機能の内部カウンタへの書き込み禁止 1: タイムアウト機能の内部カウンタへの書き込み許可	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> ICMR2.DLCS = 0 (IICφ) のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IICφの1サイクル 0 1 0: IICφの2サイクル 0 1 1: IICφの3サイクル 1 0 0: IICφの4サイクル 1 0 1: IICφの5サイクル 1 1 0: IICφの6サイクル 1 1 1: IICφの7サイクル ICMR2.DLCS = 1 (IICφ/2) のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IICφの1~2サイクル 0 1 0: IICφの3~4サイクル 0 1 1: IICφの5~6サイクル 1 0 0: IICφの7~8サイクル 1 0 1: IICφの9~10サイクル 1 1 0: IICφの11~12サイクル 1 1 1: IICφの13~14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0: SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注1. SCL=LowのときのみDLCS=1 (IICφ/2) の設定が有効になります。SCL=HighのときDLCS=1の設定は無効となり内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能が有効時 (ICFER.TMOE ビット=1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16ビットカウンタとして、またショートモードでは14ビットカウンタとして動作し、SCLnラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IICφ) をカウンタソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「30.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能が有効時 (ICFER.TMOE ビット=1) に SCLn ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット (タイムアウトHカウント制御ビット)

タイムアウト検出機能が有効時 (ICFER.TMOE ビット=1) に SCLn ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMWE ビット (タイムアウト内部カウンタ書き込み許可ビット)

スレーブアドレスレジスタ (SARL0/SARU0) のアドレスにタイムアウト内部カウンタ (TMOCNTL/TMOCNTU) を割り当てるかどうかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

本機能の詳細については、「30.5 SDA 出力遅延機能」を参照してください。

注. SDA 出力遅延の設定は、I²C バス規格 (データ有効時間 / アクノリッジ有効時間 (注¹) 内) または SMBus 規格 (データホールド時間 : 300ns 以上、かつ SCL クロックの Low 幅 - データセットアップ時間 : 250ns の範囲内) に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

注 1. データ有効時間 / アクノリッジ有効時間
3,450ns (~ 100kbps : スタンダードモード [Sm])
900ns (~ 400kbps : ファストモード [fm])

30.2.5 I²C バスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h、RIIC1.ICMR3 0008 8324h

	b7	b6	b5	b4	b3	b2	b1	b0
	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1IICφ以下のノイズを除去 (フィルタは1段) 0 1 : 2IICφ以下のノイズを除去 (フィルタは2段) 1 0 : 3IICφ以下のノイズを除去 (フィルタは3段) 1 1 : 4IICφ以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信 (ACK受信) 1 : アクノリッジビットに“1”を受信 (NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出 (ACK送信) 1 : アクノリッジビットに“1”を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	W (注1)
b5	RDRFS	RDRFフラグセットタイミング選択ビット	0 : SCLクロックの9クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでもSCLnラインをLowにホールドしない) 1 : SCLクロックの8クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでもSCLnラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)

ビット	シンボル	ビット名	機能	R/W
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択 ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKWPビットは、ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「30.6 デジタルノイズフィルタ回路」を参照してください。

- 注. ノイズフィルタで除去するノイズ幅の設定は、SCLn ラインの High/Low 幅よりも狭くしてください。
(SCL クロックの幅 : High 幅または Low 幅のいずれか短い方) - {1.5 内部基準クロック同期 (IICφ) + アナログノイズフィルタ : 120 ns (参考値)} と同じか、それ以上に設定した場合は、RIIC のノイズフィルタ機能により SCL クロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1" になる条件]

- ICCR2.TRS ビットが“1”の状態でも ACKBR ビットに“1”を受信したとき

["0" になる条件]

- ICCR2.TRS ビットが“1”の状態でも ACKBR ビットに“0”を受信したとき
- ICCR1.ICE ビットが“0”の状態でも ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アクノリッジビット)

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

["1" になる条件]

- ACKWP ビットが“1”の状態でも ACKBT ビットに“1”を書いたとき

["0" になる条件]

- ACKWP ビットが“1”の状態でも ACKBT ビットに“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態でも ストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態でも ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

注. ACKBT ビットに書く場合には、ACKWP ビットが“1”の状態で行ってください。ACKWP ビットが“0”の状態でも書いた場合には、ACKBT ビットへの書き込みは無効となります。

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセットタイミグ選択ビット)

受信モードにおいて RDRF フラグのセットタイミグおよび SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりで SCLn ラインの Low ホールドは行わず、9 ク

ロック目の立ち上がりで RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは8クロック目の立ち上がりで“1”にし、8クロック目の立ち下がり SCLn ラインを Low にホールドします。この SCLn ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクリッジビット送出前に SCLn ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて1バイト受信ごとに受信データバッファ (ICDRR レジスタ) の読み出しが完了するまで、SCL クロックの9クロック目と1クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL クロックの9クロック目と1クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1バイト受信ごとに9クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCLn ラインを Low にホールドします。これにより1バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR を先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され IC SER.HOAE ビットが有効になります。

30.2.6 I²C バスファンクションイネーブルレジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h, RIIC1.ICFER 0008 8325h

b7	b6	b5	b4	b3	b2	b1	b0
—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE

リセット後の値 0 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0: マスタのアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生による ICCR2.MST, TRS ビットの自動クリアを行わない) 1: マスタアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生による ICCR2.MST, TRS ビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W

ビット	シンボル	ビット名	機能	R/W
b6	SCLE	SCL同期回路有効ビット	0 : SCL同期回路無効 1 : SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「30.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスタアービトレーションロスト検出許可ビット)

マスタモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「30.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCLn ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

30.2.7 I²Cバスステータスイネーブルレジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h、RIIC1.ICSER 0008 8326h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0[W] : All“0”)を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y=0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第1フレームにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第1フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0”[W] のとき第2フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第1フレームがデバイス ID アドレスと一致しても無視され、第1フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「30.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつHOAEビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIICはSARLy、SARUyレジスタ (y=0~2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”またはHOAEビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

30.2.8 I²Cバスインタラプトイネーブルレジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h、RIIC1.ICIER 0008 8327h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み許可ビット	0: タイムアウト割り込み (TMOI) の禁止 1: タイムアウト割り込み (TMOI) の許可	R/W
b1	ALIE	アービトレーションロスト割り込み許可ビット	0: アービトレーションロスト割り込み (ALI) の禁止 1: アービトレーションロスト割り込み (ALI) の許可	R/W
b2	STIE	スタートコンディション検出割り込み許可ビット	0: スタートコンディション検出割り込み (STI) の禁止 1: スタートコンディション検出割り込み (STI) の許可	R/W
b3	SPIE	ストップコンディション検出割り込み許可ビット	0: ストップコンディション検出割り込み (SPI) の禁止 1: ストップコンディション検出割り込み (SPI) の許可	R/W
b4	NAKIE	NACK受信割り込み許可ビット	0: NACK受信割り込み (NAKI) の禁止 1: NACK受信割り込み (NAKI) の許可	R/W
b5	RIE	受信データフル割り込み許可ビット	0: 受信データフル割り込み (ICRXI) の禁止 1: 受信データフル割り込み (ICRXI) の許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み (ICTEI) の禁止 1: 送信終了割り込み (ICTEI) の許可	R/W
b7	TIE	送信データエンプティ割り込み許可ビット	0: 送信データエンプティ割り込み (ICTXI) の禁止 1: 送信データエンプティ割り込み (ICTXI) の許可	R/W

TMOIE ビット (タイムアウト割り込み許可ビット)

ICSR2.TMOF フラグが“1”のとき、タイムアウト割り込み (TMOI) の許可/禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、またはTMOIEビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み許可ビット)

ICSR2.AL フラグが“1”のとき、アービトレーションロスト割り込み (ALI) の許可/禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、またはALIEビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み許可ビット)

ICSR2.START フラグが“1”のとき、スタートコンディション検出割り込み (STI) の許可/禁止を選択します。STI 割り込みは、START フラグを“0”にするか、またはSTIEビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み許可ビット)

ICSR2.STOP フラグが“1”のとき、ストップコンディション検出割り込み (SPI) の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み許可ビット)

ICSR2.NACKF フラグが“1”のとき、NACK 受信割り込み (NAKI) の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み許可ビット)

ICSR2.RDRF フラグが“1”のとき、受信データフル割り込み (ICRXI) の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み許可ビット)

ICSR2.TEND フラグが“1”のとき、送信終了割り込み (ICTEI) の許可 / 禁止を選択します。ICTEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンpty割り込み許可ビット)

ICSR2.TDRE フラグが“1”のとき、送信データエンpty割り込み (ICTXI) の許可 / 禁止を選択します。

30.2.9 I²C バスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h、RIIC1.ICSR1 0008 8328h

b7	b6	b5	b4	b3	b2	b1	b0
HOA	—	DID	—	GCA	AAS2	AAS1	AAS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出 <ul style="list-style-type: none"> • SARU0.FSビット=0 (7ビットアドレスフォーマット選択) の場合、受信したスレーブアドレスがSARL0.SVA[6:0]と一致したとき • SARU0.FSビット=1 (10ビットアドレスフォーマット選択) の場合、受信したスレーブアドレスが1111 0b + SARU0.SVA[1:0]に一致し、それに続くアドレスがSARL0レジスタと一致したとき (“1”になるタイミングは、SARL0一致判定フレームのSCLクロックの9クロック目の立ち上がり時)	R(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出 <ul style="list-style-type: none"> • SARU1.FSビット=0 (7ビットアドレスフォーマット選択) の場合、受信したスレーブアドレスがSARL1.SVA[6:0]と一致したとき • SARU1.FSビット=1 (10ビットアドレスフォーマット選択) の場合、受信したスレーブアドレスが1111 0b + SARU1.SVA[1:0]に一致し、それに続くアドレスがSARL1レジスタと一致したとき (“1”になるタイミングは、SARL1一致判定フレームのSCLクロックの9クロック目の立ち上がり時)	R(W) (注1)

ビット	シンボル	ビット名	機能	R/W
b2	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出 • SARU2.FSビット=0 (7ビットアドレスフォーマット選択) の場合、受信したスレーブアドレスがSARL2.SVA[6:0]と一致したとき • SARU2.FSビット=1 (10ビットアドレスフォーマット選択) の場合、受信したスレーブアドレスが1111 0b + SARU2.SVA[1:0]に一致し、それに続くアドレスがSARL2レジスタと一致したとき (“1”になるタイミングは、SARL2一致判定フレームのSCLクロックの9クロック目の立ち上がり時)	R(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出 • 受信したスレーブアドレスがジェネラルコールアドレス (All“0”) と一致した場合	R(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスID アドレス検出フラグ	0: デバイスID アドレス未検出 1: デバイスID アドレス検出 • スタートコンディション直後の第1フレームがデバイスID アドレス (1111 100b) + 0[W]と一致した場合	R(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0: ホストアドレス未検出 1: ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス (0001 000b) と一致した場合	R(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y= 0 ~ 2)

["1"になる条件]

[7ビットアドレスフォーマット選択時: SARUy.FS ビット = 0]

- ICSE.R.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] と一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット = 1]

- ICSE.R.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] と一致し、それに続くアドレスが SARLy レジスタと一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

[7ビットアドレスフォーマット選択時: SARUy.FS ビット = 0]

- ICSE.R.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] と不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット = 1]

- ICSE.R.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] と不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり
- ICSE.R.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] と一致し、それに続くアドレスが SARLy レジスタと不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1"になる条件]

- ICSEI.GCAE ビットが“1” (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSEI.GCAE ビットが“1” (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

["1"になる条件]

- ICSEI.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第1フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSEI.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第1フレームがデバイス ID アドレス (1111 100b) と不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり
- ICSEI.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第1フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致し、続く第2フレームがスレーブアドレス 0~2 のすべてと不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

["1"になる条件]

- ICSEI.HOAE ビットが“1” (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSEI.HOAE ビットが“1” (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

30.2.10 I²Cバスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h、RIIC1.ICSR2 0008 8329h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)SCL_n ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOE ビットが“1” (タイムアウト検出機能有効) で、かつマスタモードまたはスレーブ指定された状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL_n ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失 (アービトレーションロスト) したことを示します。RIIC は送信中に SDA_n ラインのレベルを監視し、出力データと SDA_n ラインのレベルが一致しない場合 AL フラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定によりマスタモード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

["1"になる条件]

【マスタアービトレイションロスト検出有効時：ICFER.MALE ビット= 1】

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA_n ライン上の信号の状態が不一致（内部 SDA 出力が High 出力（= SDA_n 端子はハイインピーダンス）で、SDA_n ラインに Low を検出）したとき
- ICCR2.ST ビットが“1”（スタートコンディション発行要求）の状態ですタートコンディションを検出したとき、自分が出した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求に設定したとき

【NACK アービトレイションロスト検出有効時：ICFER.NALE ビット= 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで自分が出した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき

【スレーブアービトレイションロスト検出有効時：ICFER.SALE ビット= 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表30.4 アービトレイションロスト発生要因と各アービトレイションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレイションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST=1の状態ですタートコンディション検出時に自分が出した SDA 信号と SDA _n ライン上の信号の状態が不一致のとき ICCR2.BBSY=1の状態ですタートコンディションに設定したとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ（スタートコンディション検出フラグ）

["1"になる条件]

- スタートコンディション（リスタートコンディション含む）を検出したとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ（ストップコンディション検出フラグ）

["1"になる条件]

- ストップコンディションを検出したとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき

- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

["1"になる条件]

- ICFER.NACKF ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注 1. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の状態でも送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

["1"になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで“1”になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

["1"になる条件]

- TDRE フラグが“1”の状態、SCL クロックの 9 クロック目の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

["1"になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

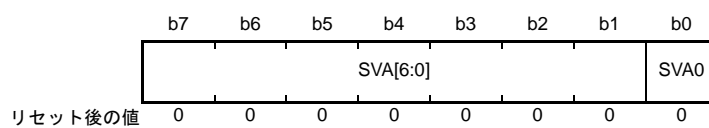
["0" になる条件]

- ICDRT レジスタヘデータを書いたとき
- ICCR2.TRS ビットが "0" になったとき
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKE ビットが "1" の状態で NACKF フラグが "1" になると RIIC は通信動作を中断します。このとき、TDRE フラグが "0" の状態（次の送信データが既に書き込まれている状態）の場合、9 クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空状態になりますが、TDRE フラグは "1" になりません。

30.2.11 スレーブアドレスレジスタ Ly (SARLy) (y= 0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC1.SARL0 0008 832Ah,
RIIC0.SARL1 0008 830Ch, RIIC1.SARL1 0008 832Ch,
RIIC0.SARL2 0008 830Eh, RIIC1.SARL2 0008 832Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。 <ul style="list-style-type: none"> • SARUy.FS ビット=0 (7ビットアドレスフォーマット選択) のとき、SVA0 ビットは無効になる • SARUy.FS ビット=1 (10ビットアドレスフォーマット選択) のとき、SVA0 ビットが有効になり、SVA[6:0] ビットと合わせて10ビットスレーブアドレスの下位8ビットアドレスになる 	R/W
b7-b1	SVA[6:0]	7ビットアドレス/10ビットアドレス下位ビット	スレーブアドレスを設定してください。 <ul style="list-style-type: none"> • SARUy.FS ビット=0 (7ビットアドレスフォーマット選択) のとき、SVA[6:0] ビットは7ビットスレーブアドレスになる • SARUy.FS ビット=1 (10ビットアドレスフォーマット選択) のとき、SVA[6:0] ビットはSVA0 ビットと合わせて10ビットスレーブアドレスの下位8ビットアドレスになる 	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10 ビットアドレスフォーマット選択時 (SARUy.FS ビット =1)、10 ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて 10 ビットアドレス下位 8 ビットを設定します。

ICSER.SARyE ビットが "1" (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが "1" のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが "0" のとき設定値は無視されます。

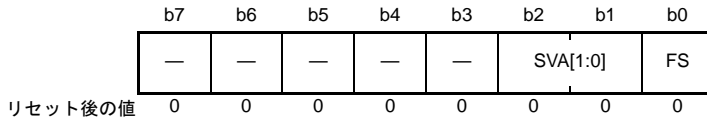
SVA[6:0] ビット (7 ビットアドレス /10 ビットアドレス下位ビット)

7 ビットアドレスフォーマット選択時 (SARUy.FS ビット =0)、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時 (SARUy.FS ビット =1)、SVA0 ビットと合わせて 10 ビットアドレス下位 8 ビットとして機能します。

ICSER.SARyE ビットが "0" のとき設定値は無視されます。

30.2.12 スレーブアドレスレジスタ Uy (SARUy) (y= 0 ~ 2)

RIIC0.SARU0 0008 830Bh、RIIC1.SARU0 0008 832Bh、
 アドレス RIIC0.SARU1 0008 830Dh、RIIC1.SARU1 0008 832Dh、
 RIIC0.SARU2 0008 830Fh、RIIC1.SARU2 0008 832Fh



ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください <ul style="list-style-type: none"> SARUy.FSビット=0 (7ビットアドレスフォーマット選択) のとき、SVA[1:0]ビットは無効になる SARUy.FSビット=1 (10ビットアドレスフォーマット選択) のとき、SVA[1:0]ビットが有効になり、10ビットスレーブアドレスの上位2ビットアドレスになる 	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7ビット/10ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy、SARUy レジスタ) を7ビットアドレスにするか、10ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“0”のとき、スレーブアドレス y は7ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1”のとき、スレーブアドレス y は10ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy、SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

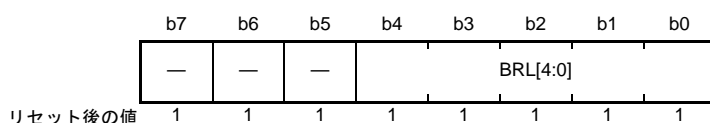
SVA[1:0] ビット (10ビットアドレス上位ビット)

10ビットアドレスフォーマット選択時 (FS ビット=1)、10ビットアドレスの上位2ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1”のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0”のとき設定値は無視されます。

30.2.13 I²Cバスビットレートローレベルレジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h、RIIC1.ICBRL 0008 8330h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRLレジスタはSCLクロックのLow幅を設定するための5ビットのレジスタです。

またICBRLレジスタは、SCL自動Lowホールド発生時（「30.8 SCLの自動Lowホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのためRIICを常にスレーブモードで使用する場合には、データセットアップ時間（注1）以上の値を設定してください。

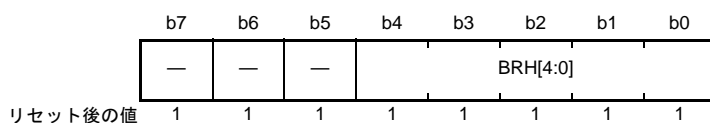
ICBRLレジスタはICMR1.CKS[2:0]ビットで選択した内部基準クロックソース（IICφ）でLow幅をカウントします。

デジタルノイズフィルタ回路の使用を許可（ICFER.NFEビット=1）した場合、ICBRLレジスタは、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0]ビットを参照してください。

- 注1. データセットアップ時間 (t_{SU:DATA})
 250ns (~ 100kbps: スタンダードモード [Sm])
 100ns (~ 400kbps: ファストモード [fm])

30.2.14 I²Cバスビットレートハイレベルレジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h、RIIC1.ICBRH 0008 8331h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLクロックのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

ICBRHレジスタはSCLクロックのHigh幅を設定するための5ビットのレジスタで、マスタモード時に有効です。RIICを常にスレーブモードで使用する場合には、High幅を設定する必要はありません。

ICBRHレジスタはICMR1.CKS[2:0]ビットで選択された内部基準クロックソース（IICφ）でHigh幅をカウントします。

デジタルノイズフィルタ回路の使用を許可（ICFER.NFEビット=1）した場合、ICBRHレジスタは、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0]ビットを参照してください。

I²C 転送速度および SCLn クロックのデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ [(ICBRH+1) + (ICBRL+1)] / IIC\phi \text{ (注1)} + \text{SCLn ライン立ち上がり時間 [tr]} + \text{SCLn ライン立ち下がり時間 [tf]} \}$$

$$\text{デューティ比} = \{ \text{SCLn ライン立ち上がり時間 [tr]} \text{ (注2)} + (ICBRH+1) / IIC\phi \} / \{ \text{SCLn ライン立ち下がり時間 [tf]} \text{ (注2)} + (ICBRL+1) / IIC\phi \}$$

注 1. $IIC\phi = PCLK \times \text{分周比}$

注 2. SCLn ライン立ち上がり時間 [tr]、SCLn ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については NXP 社の I²C バス規格書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 30.5 に示します。

表 30.5 転送速度に対する ICBRH、ICBRL レジスタの設定例 (1)

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

表 30.5 転送速度に対する ICBRH、ICBRL レジスタの設定例 (2)

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

表 30.5 転送速度に対する ICBRH、ICBRL レジスタの設定例 (3)

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	30			33			50		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	26 (FAh)	111b	16 (F0h)	20 (F4h)
50	100b	15 (EFh)	18 (F2h)	100b	17 (F1h)	20 (F4h)	100b	26 (FAh)	31 (FFh)
100	010b	2 (E2h)	3 (E3h)	011b	16 (F0h)	19 (F3h)	011b	24 (F8h)	29 (FDh)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	21 (F5h)	010b	7 (E7h)	16 (F0h)

注. SCLn ラインの立ち上がり時間 (tr) を ~100kbps 以下 [Sm] は 1000ns、~400kbps [Fm] は 300ns、SCLn ラインの立ち下がり時間 (tf) を ~400kbps 以下 [Sm/Fm] は 300ns として計算した場合の設定例です。
SCLn ライン立ち上がり時間 (tr)、SCLn ライン立ち下がり時間 (tf) の規格値については NXP 社の I²C バス規格書を参照してください。

30.2.15 I²C バス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h、RIIC1.ICDRT 0008 8332h



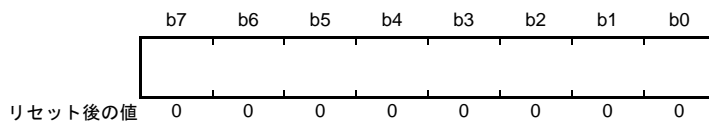
I²C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し / 書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (ICTXI) 要求が発生したときに 1 回だけ行ってください。

30.2.16 I²C バス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h、RIIC1.ICDRR 0008 8333h



1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (ICRXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出ししないまま (ICSR2.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグを次に“1”になるタイミングの 1 つ手前の SCL_n クロックで自動的に Low ホールドを行います。

30.2.17 I²C バスシフトレジスタ (ICDRS)



ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

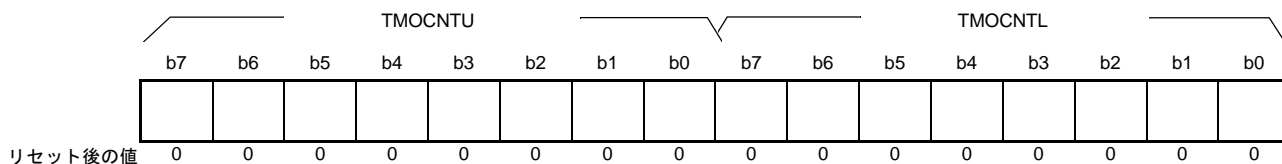
送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDA_n 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

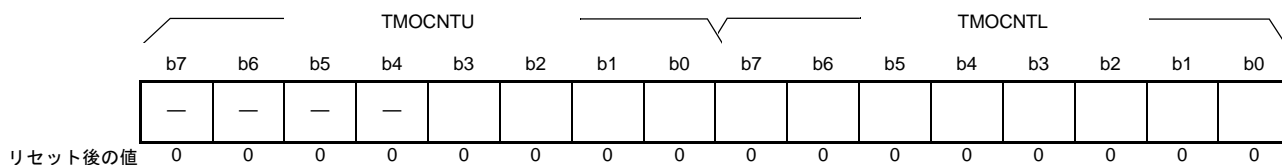
30.2.18 タイムアウト内部カウンタ (TMOCNT)

アドレス RIIC0.TMOCNTL 0008 830Ah、RIIC1.TMOCNTL 0008 832Ah (注1)
RIIC0.TMOCNTU 0008 830Bh、RIIC1.TMOCNTU 0008 832Bh (注1)

・ ICMR2.TMOS=0 (ロングモード) 時



・ ICMR2.TMOS=1 (ショートモード) 時



注1. 本レジスタはSARLn、SARUnレジスタと同一です。ご注意ください。。

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMOCNTL	タイムアウト内部カウンタ L	タイムアウト内部カウンタ下位	W (注1)

注1. タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFhが読み出されます。

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMOCNTU	タイムアウト内部カウンタ U	タイムアウト内部カウンタ上位 (注1)	W (注2)

注1. TMOS=1 (ショートモード) 時、b7-b4は予約ビットになります。書き込み可能ですが、書き込み値は無効です。

注2. タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFhが読み出されます。

タイムアウト内部カウンタ (TMOCNTL/TMOCNTU) は、リセット時、ICCR1.IICRST=1 にしたとき、もしくは ICFER.TMOE=1 でかつ、ICMR1.CKS[2:0]=000b の PCLK/1 で使用し、ICMR2 の TMOH/TMOL ビットで設定したカウンタクリア条件 (SCL 立ち上がり / 立ち下がりエッジ検出) が成立したとき、初期化 (00h) されます。ICMR1.CKS[2:0] ビットが "000b"(PCLK/1) 以外は、自動で初期化されませんので、必要に応じて TMOCNTL カウンタと TMOCNTU カウンタに 00h を書いて初期化してください。

TMOCNTL レジスタと TMOCNTU レジスタは、16 ビットレジスタとして 16 ビットアクセスすることも可能です。

「表 30.6 16 ビットアクセスのレジスタ配置」に、16 ビットアクセス時のレジスタ配置を示します。

表 30.6 16 ビットアクセスのレジスタ配置

アドレス	上位8ビット	下位8ビット
0008 830Ah	RIIC0.TMOCNTU	RIIC0.TMOCNTL
0008 832Ah	RIIC1.TMOCNTU	RIIC1.TMOCNTL

30.3 動作説明

30.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 30.3 に I²C バスフォーマットを、図 30.4 に I²C バスタイミングを示します。

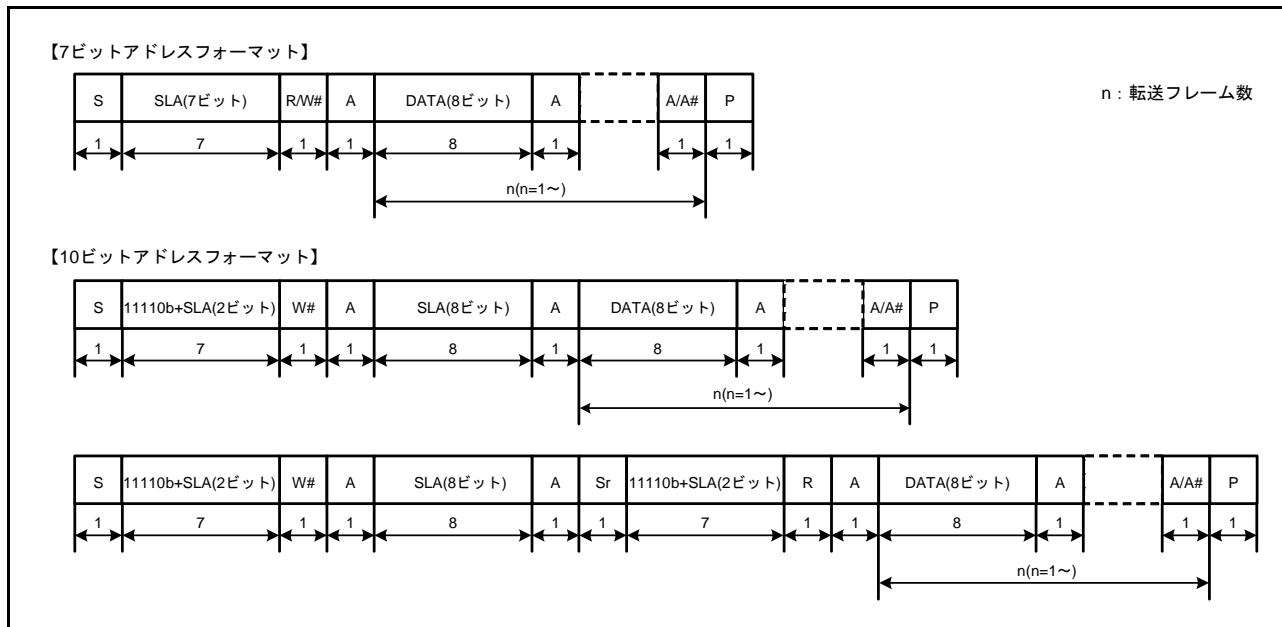


図 30.3 I²C バスフォーマット

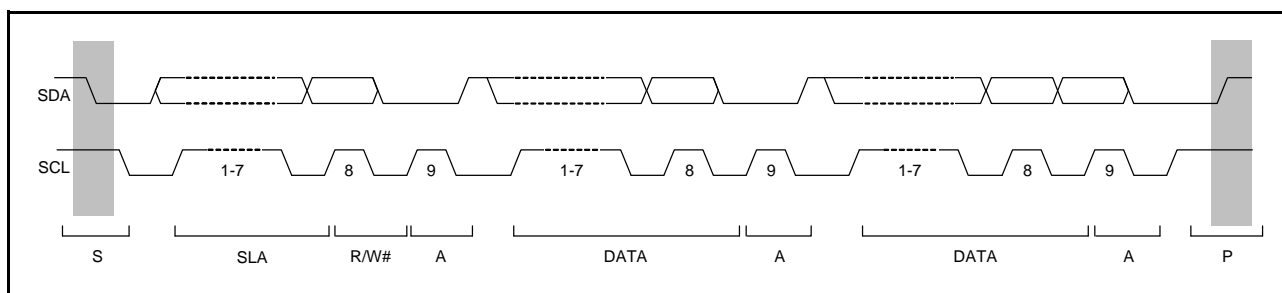


図 30.4 I²C バスタイミング (SLA=7 ビットの場合)

- S : スタートコンディションを示します。マスタデバイスが、SCLnラインがHighの状態ではSDAnラインがHighからLowに変化します。
- SLA : スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- RW# : 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジを示します。受信デバイスがSDAnラインをLowにします (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- Sr : リスタートコンディションを示します。マスタデバイスが、SCLnラインがHighの状態ではセットアップ時間経過後にSDAnラインがHighからLowに変化します。
- DATA : 送受信データを示します。
- P : ストップコンディションを示します。マスタデバイスが、SCLnラインがHighの状態ではSDAnラインがLowからHighに変化します。

30.3.2 初期設定

データの送信/受信を開始する場合、図 30.5 に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを“0” (SCLn、SDAn 端子非駆動状態 (n=0、1)) にしたまま ICCR1.IICRST ビットを“1” (RIIC リセット) にした後、ICCR1.ICE ビットを“1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 30.5 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0” (リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

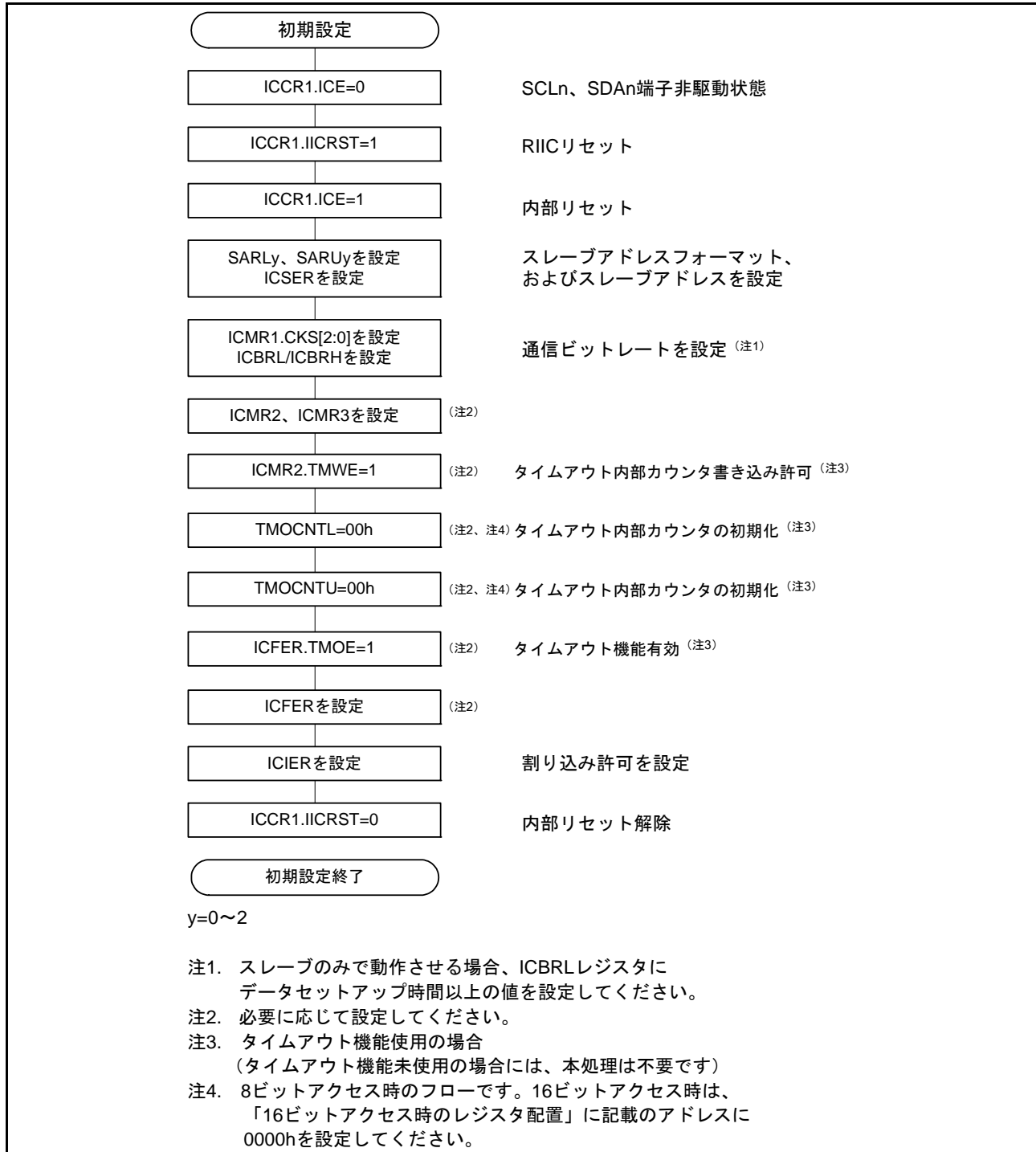


図 30.5 RIIC の初期化フローチャート例

30.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 30.6 にマスタ送信の使用例を、図 30.7 ~ 図 30.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「30.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で自分が出した SDA 信号と SDA_n ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビット=1 により自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット=0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b+ スレーブアドレスの上位 2 ビット+ W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL_n ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待つてから ICCR2.SP ビットに“1”を書いてください (ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

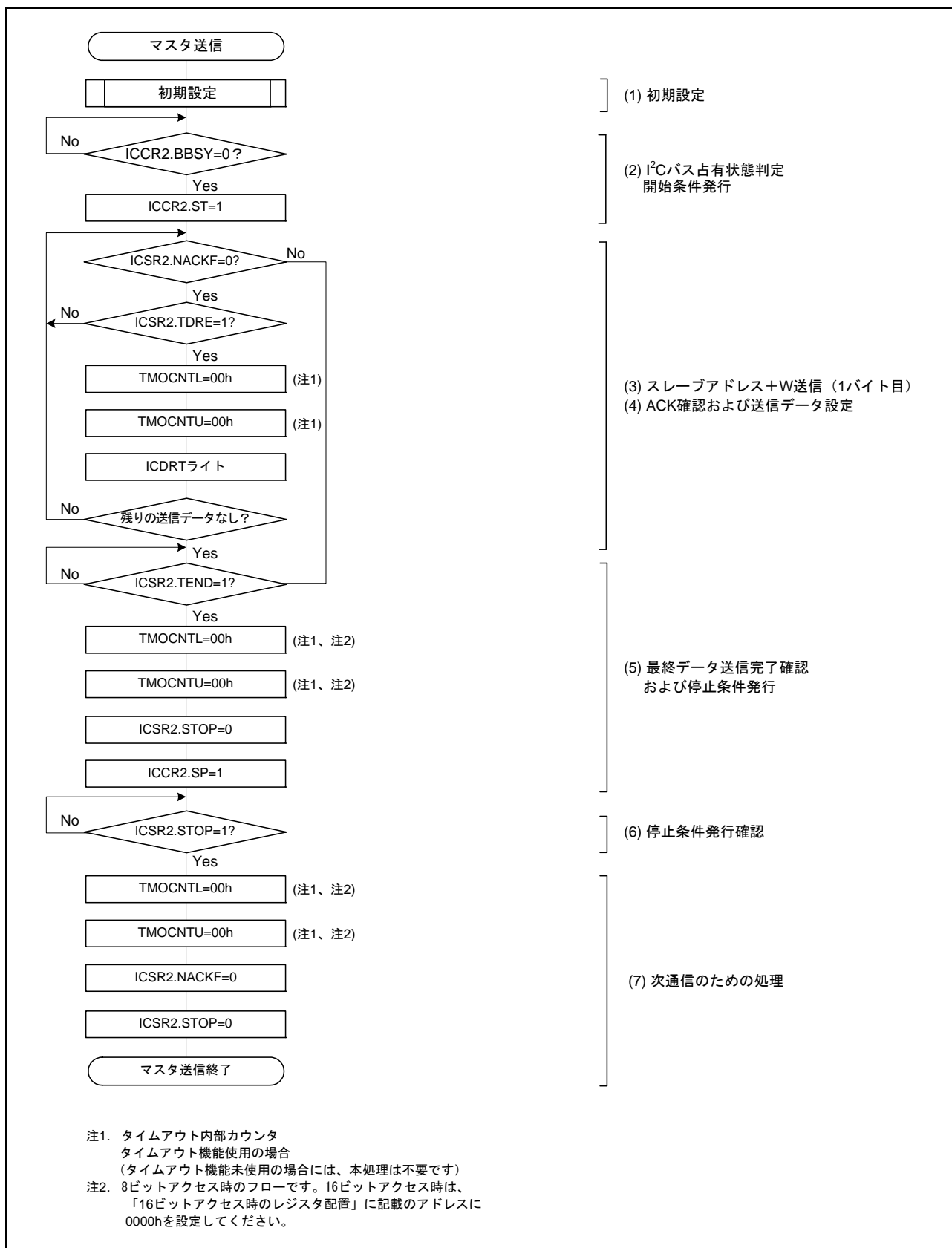


図 30.6 マスタ送信のフローチャート例

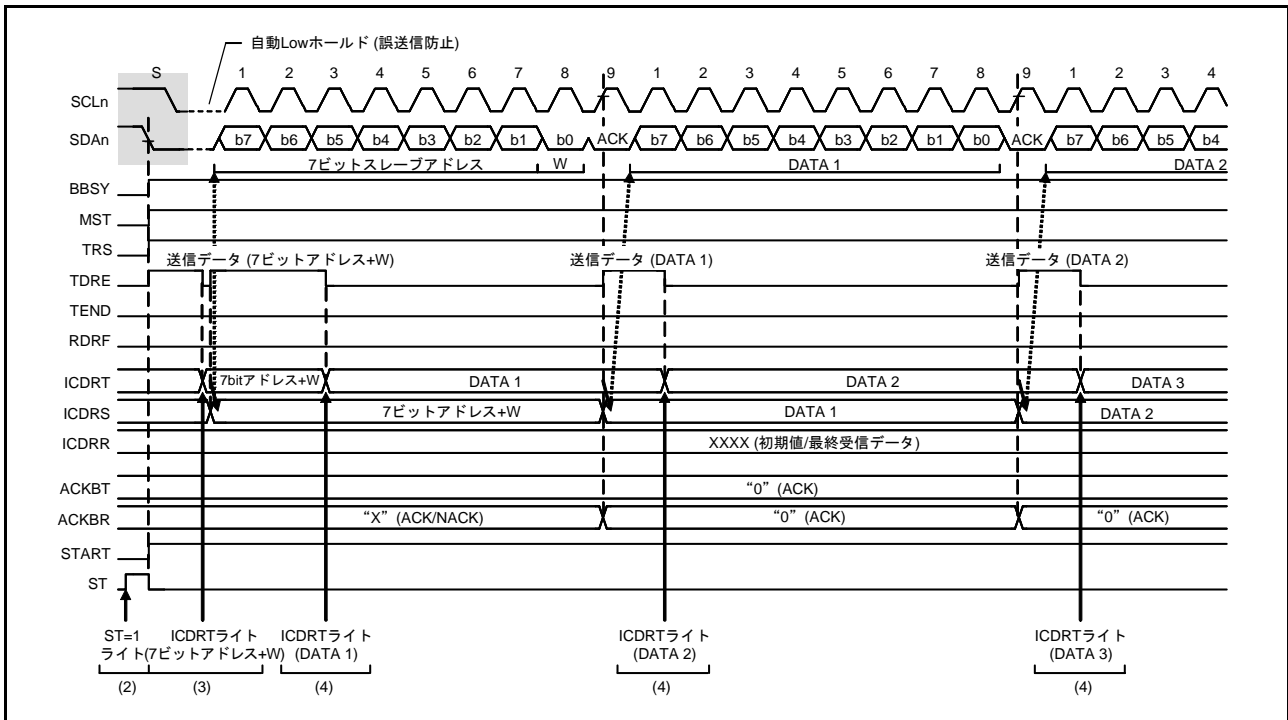


図 30.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

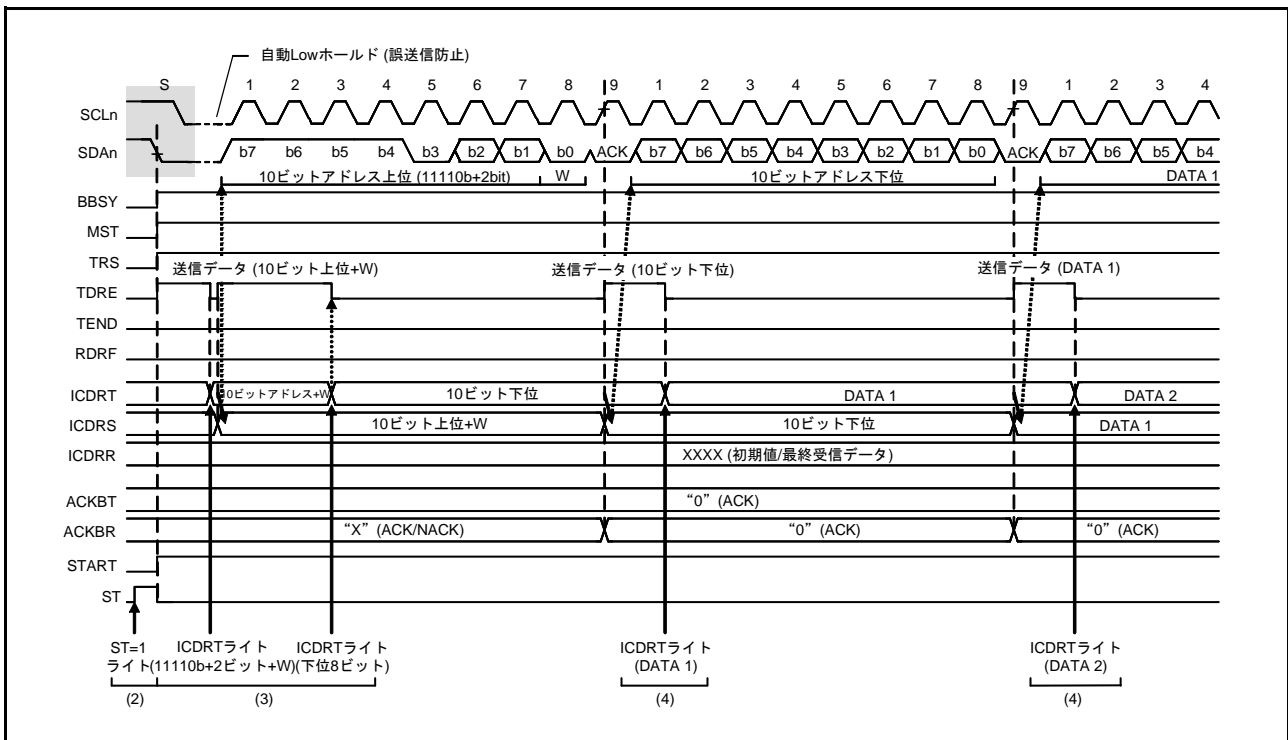


図 30.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットの時)

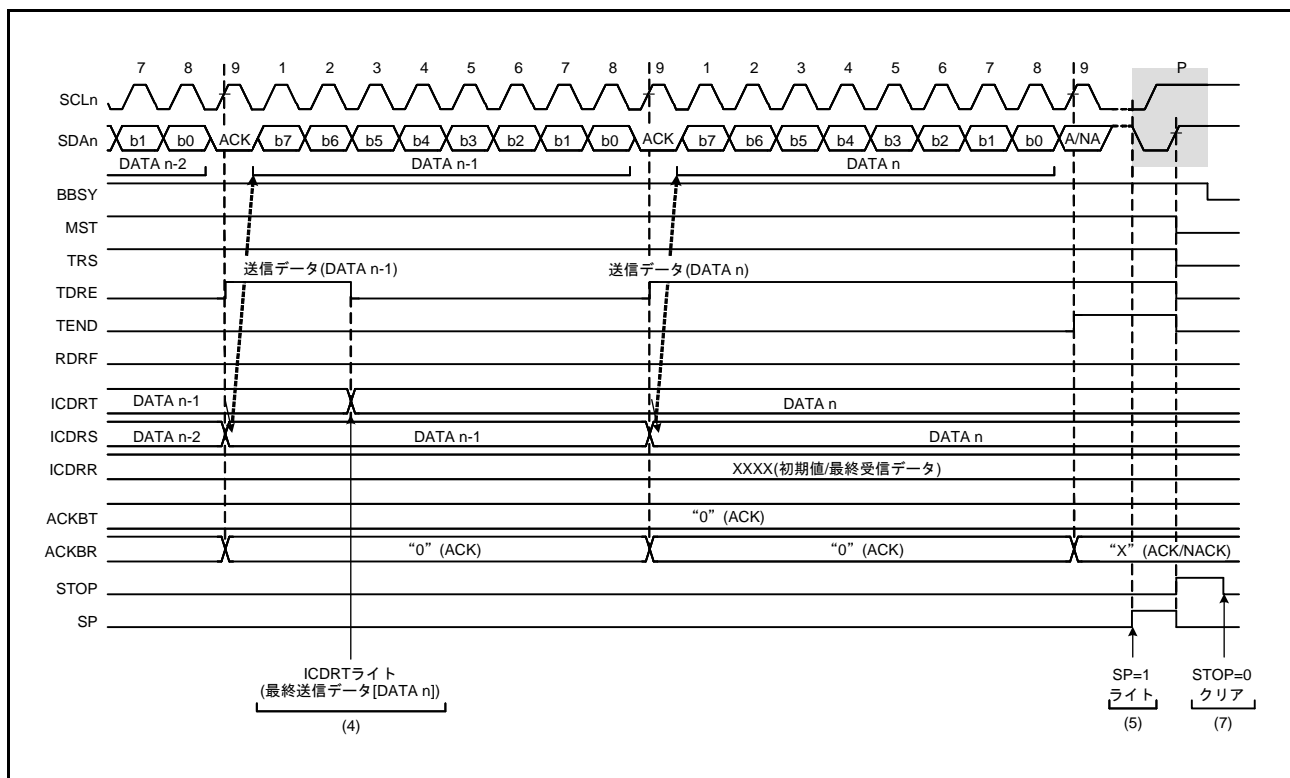


図 30.9 マスタ送信の動作タイミング (3)

30.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 30.11 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 30.12 ~ 図 30.14 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「30.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で自分が出した SDA 信号と SDA_n ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビット = 1 により自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット = 1 を受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信モードに移行しま

す。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。

このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b+ スレーブアドレスの上位 2 ビット+R を送信することで、マスタ受信モードに移行します。

- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト-1 の場合、ICDRR レジスタ（最終バイト-2 バイト目）を読む前に ICMR3.WAIT ビットを“1”（WAIT あり）にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1”（NACK）にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするるとともに、最終バイトの受信時に 9 クロック目の立ち下がり SCL_n ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1”（NACK）にしてください。
- (7) ICDRR レジスタ（最終バイト-1 バイト目）読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて（ストップコンディション発行要求）、ICDRR レジスタ（最終バイト）を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

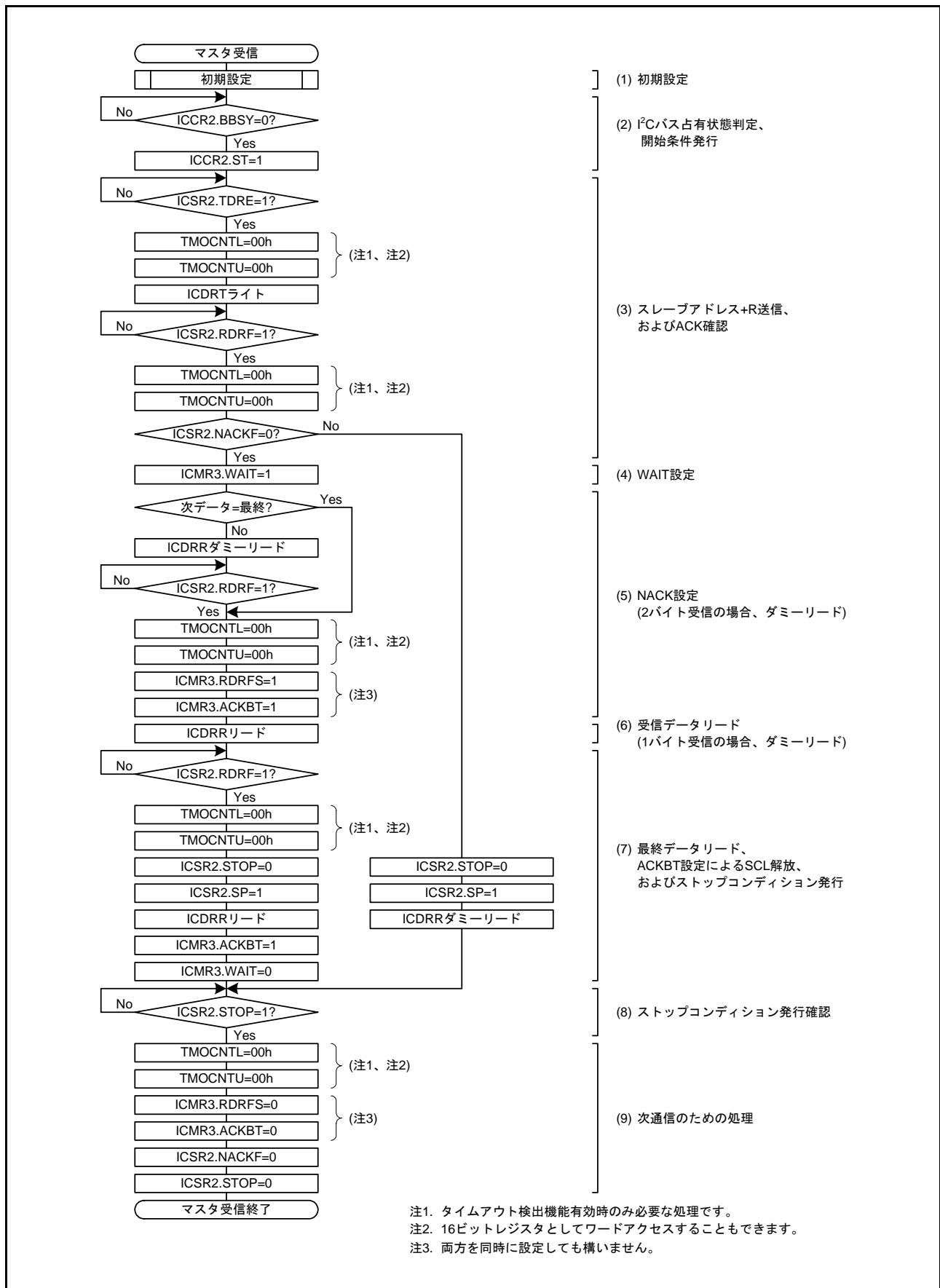


図 30.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、2バイト以下の場合)

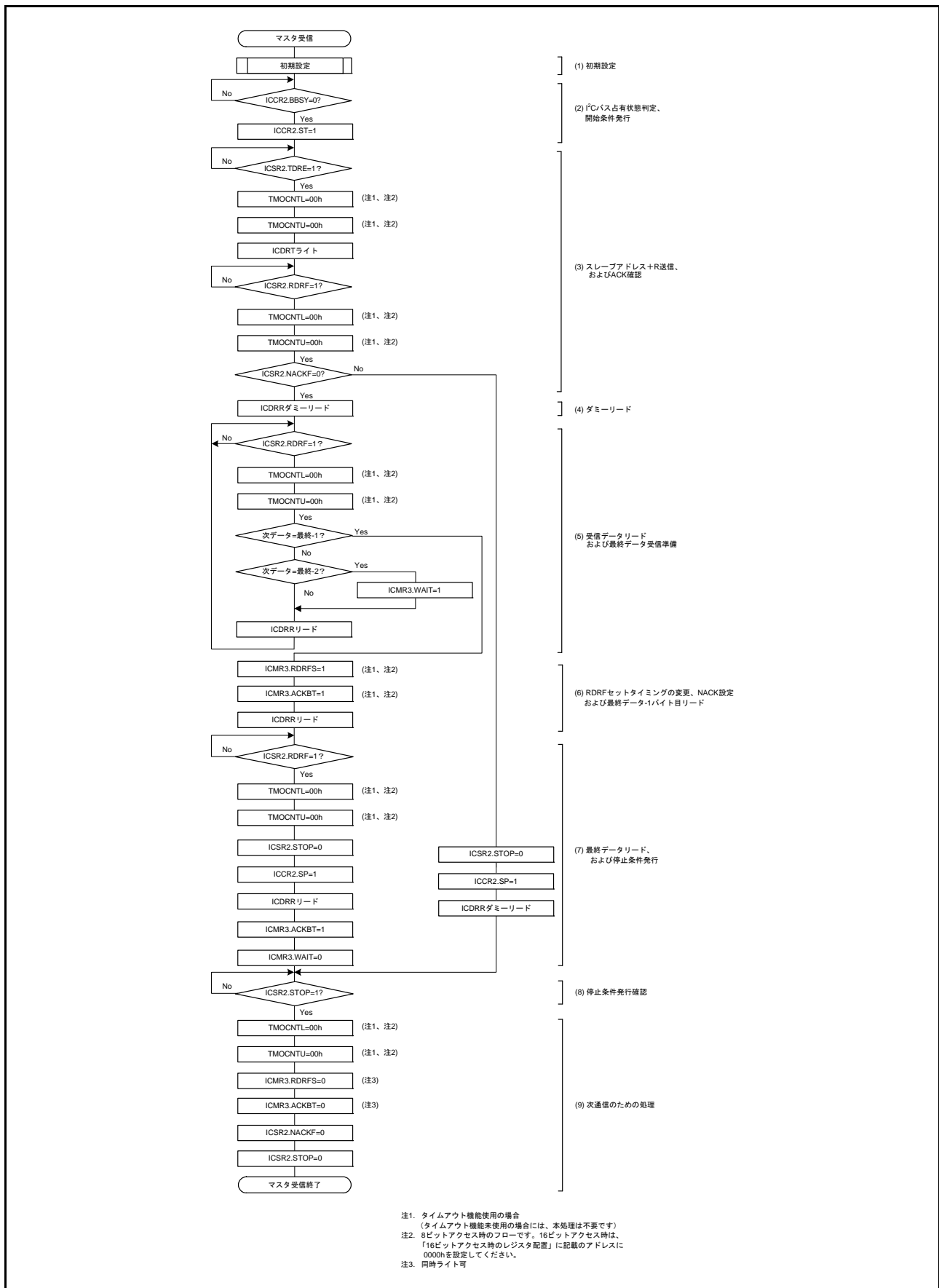


図 30.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

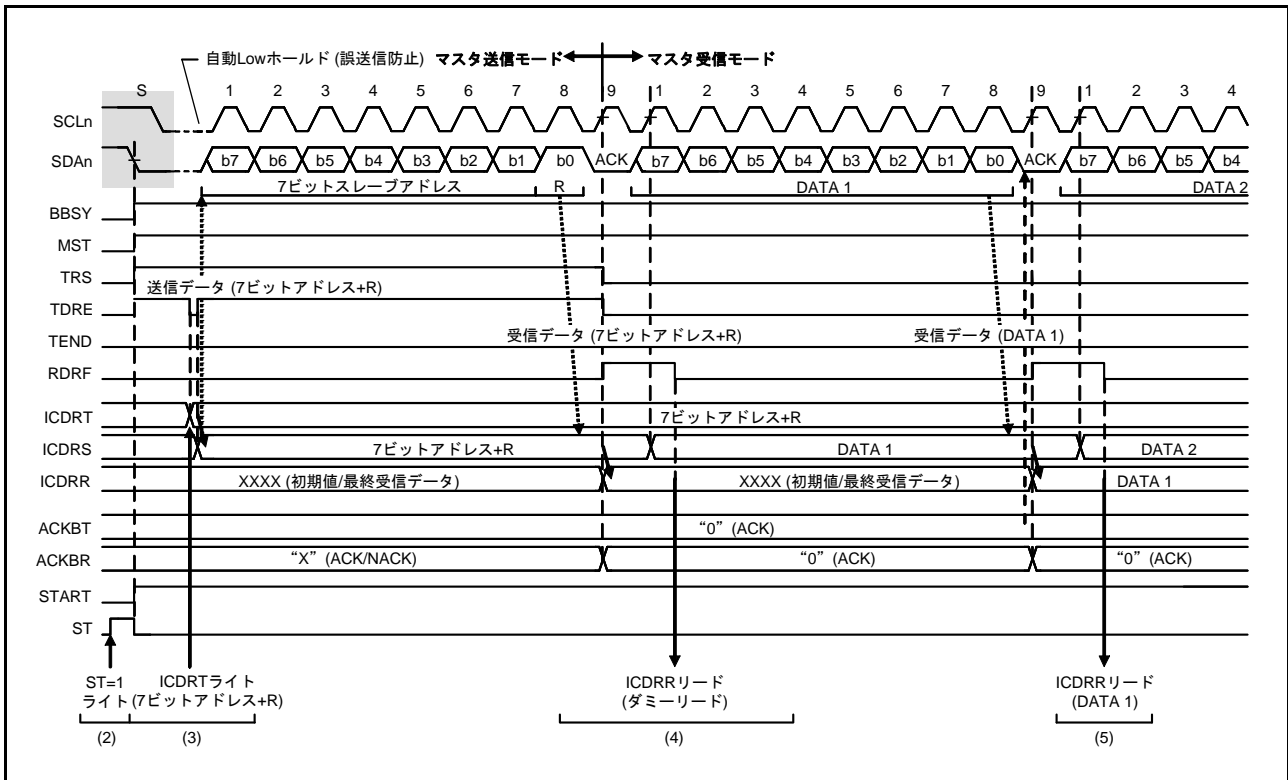


図 30.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS=0 のとき)

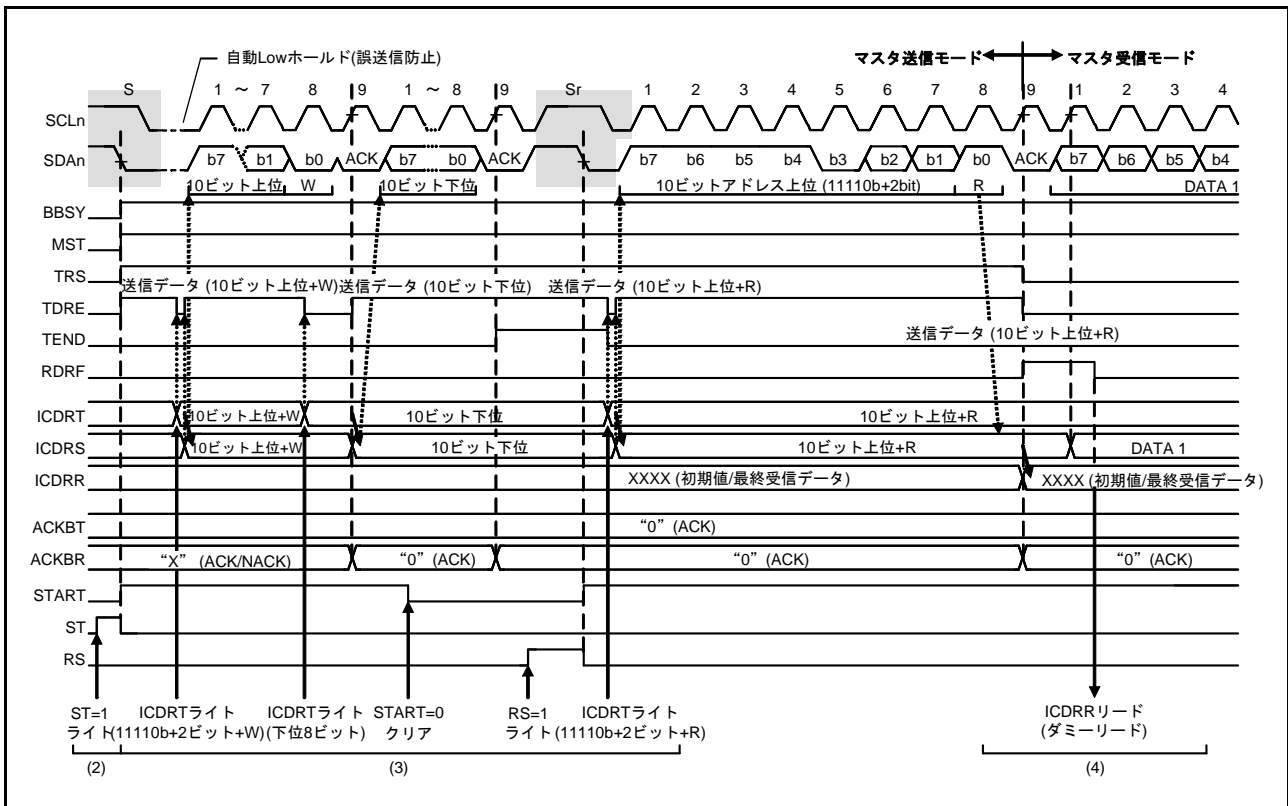


図 30.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS=0 のとき)

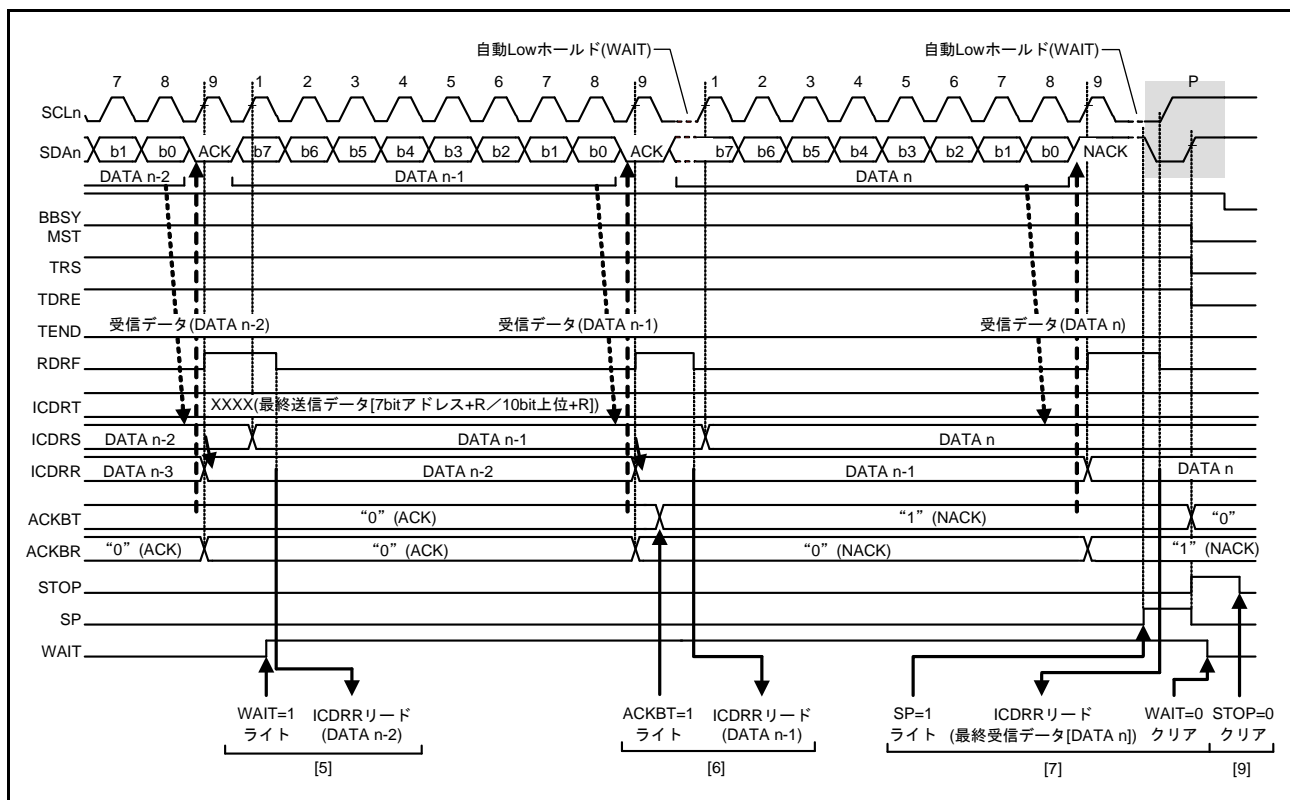


図 30.14 マスタ受信の動作タイミング (3) (RDRFS=0 のとき)

30.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアックノリッジを返します。

図 30.15 にスレーブ送信の使用例を示します。図 30.16、図 30.17 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「30.3.2 初期設定」を参照してください。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0~2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアックノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“1”のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データを書き込んでください。このとき、ICFER.NACKF ビットが“1”の状態でもマスタデバイスからアックノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが“1”になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが“1”の状態、ICSR2.TEND フラグが“1”になるまで待ってください。ICSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIIC は 9 クロック目の立ち下がり以降 SCLn ラインを Low にホールドします。

- (5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCLn ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

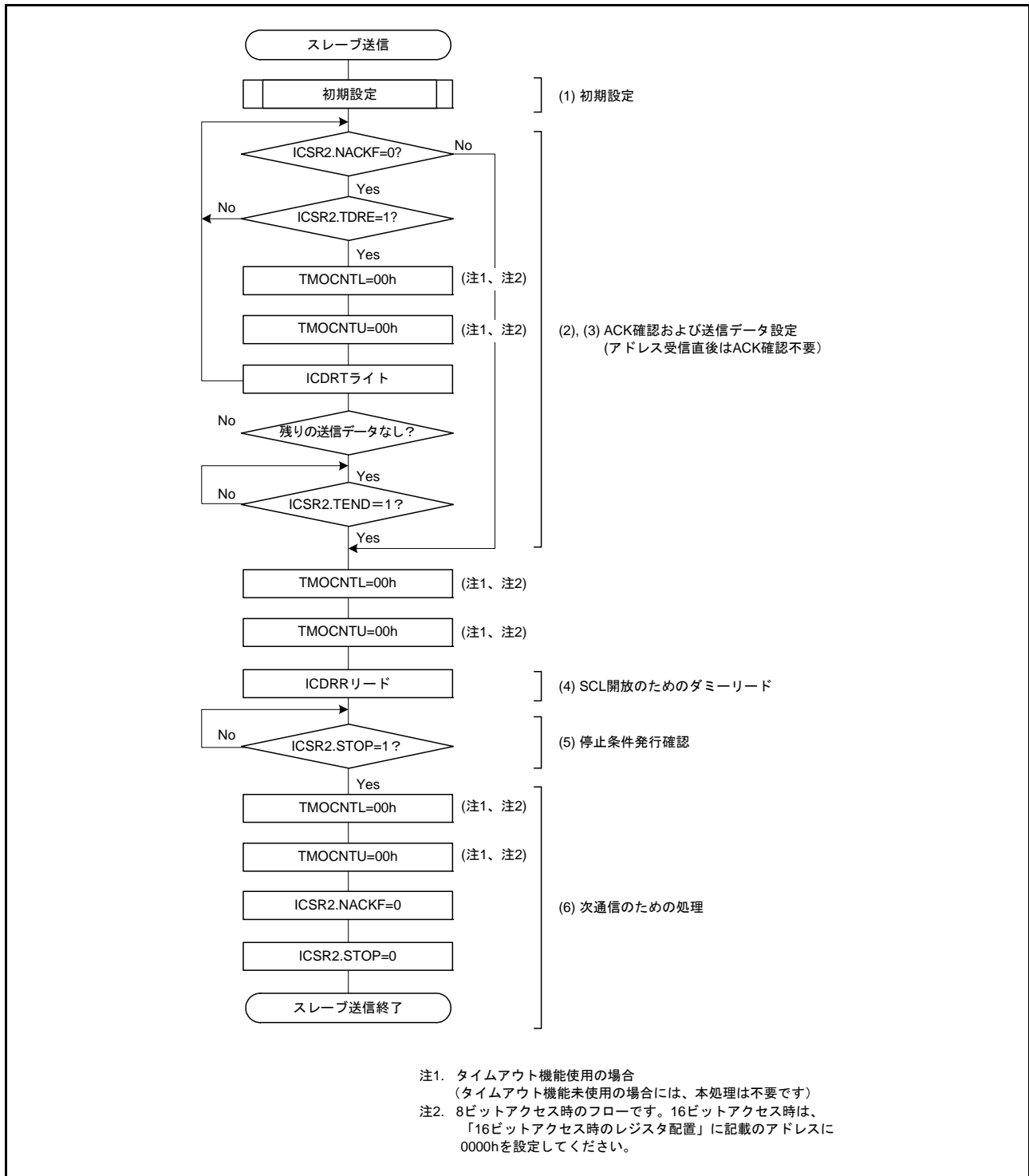


図 30.15 スレーブ送信のフローチャート例

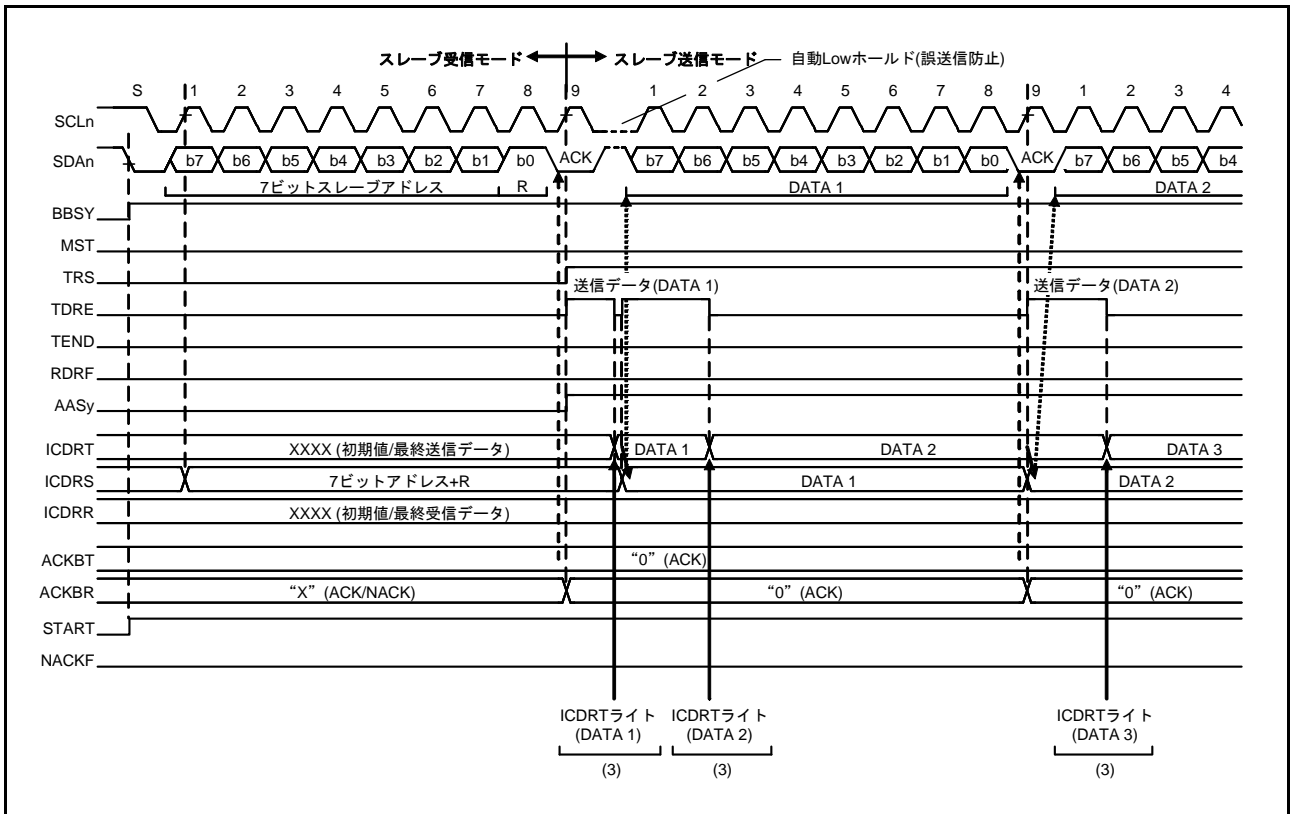


図 30.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

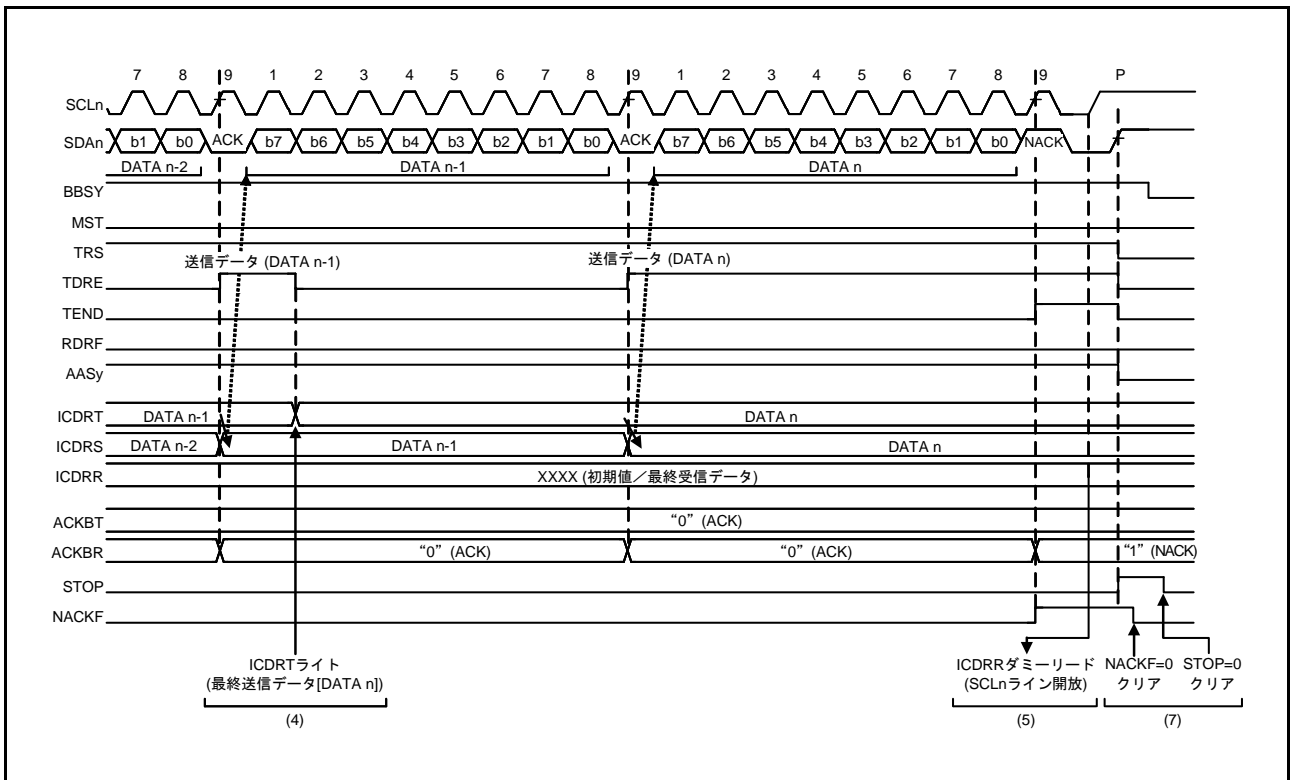


図 30.17 スレーブ送信の動作タイミング (2)

30.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 30.18 にスレーブ受信の使用例を図 30.19、図 30.20 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「30.3.2 初期設定」を参照してください。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に“0”にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL クロック立ち下がり で SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCLn ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

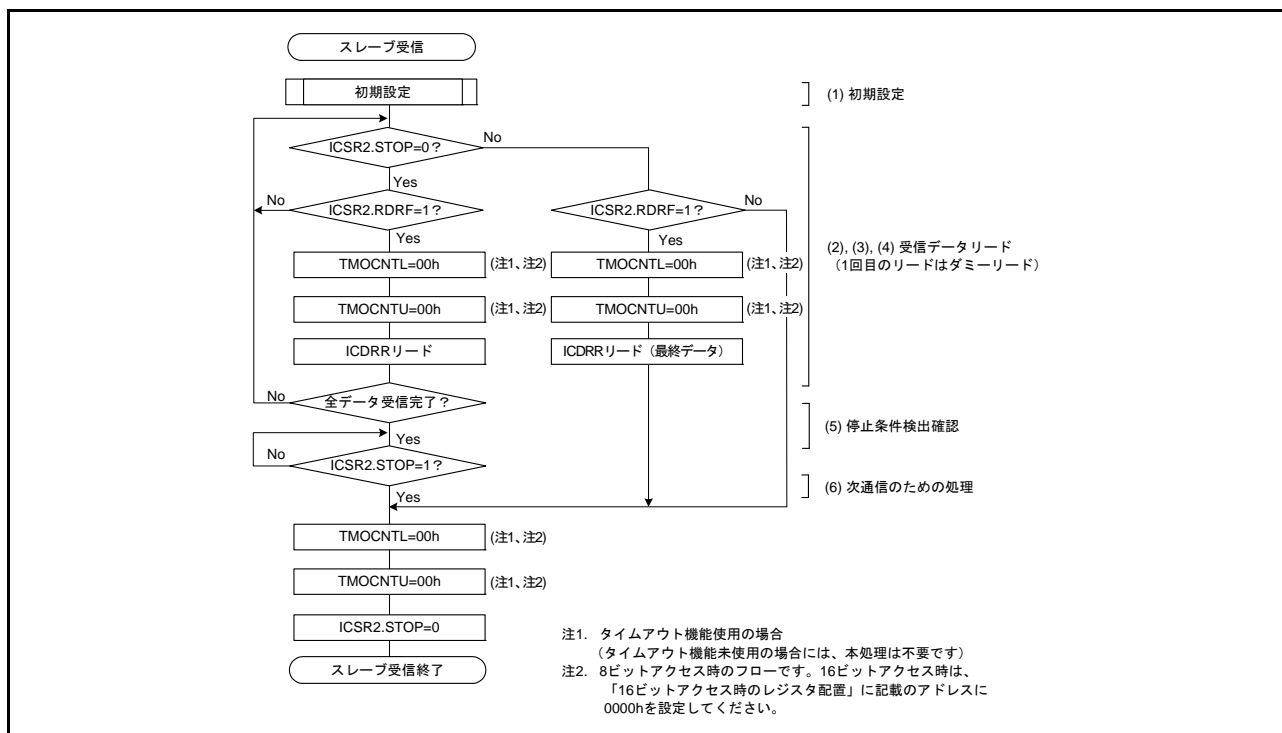


図 30.18 スレーブ受信のフローチャート例

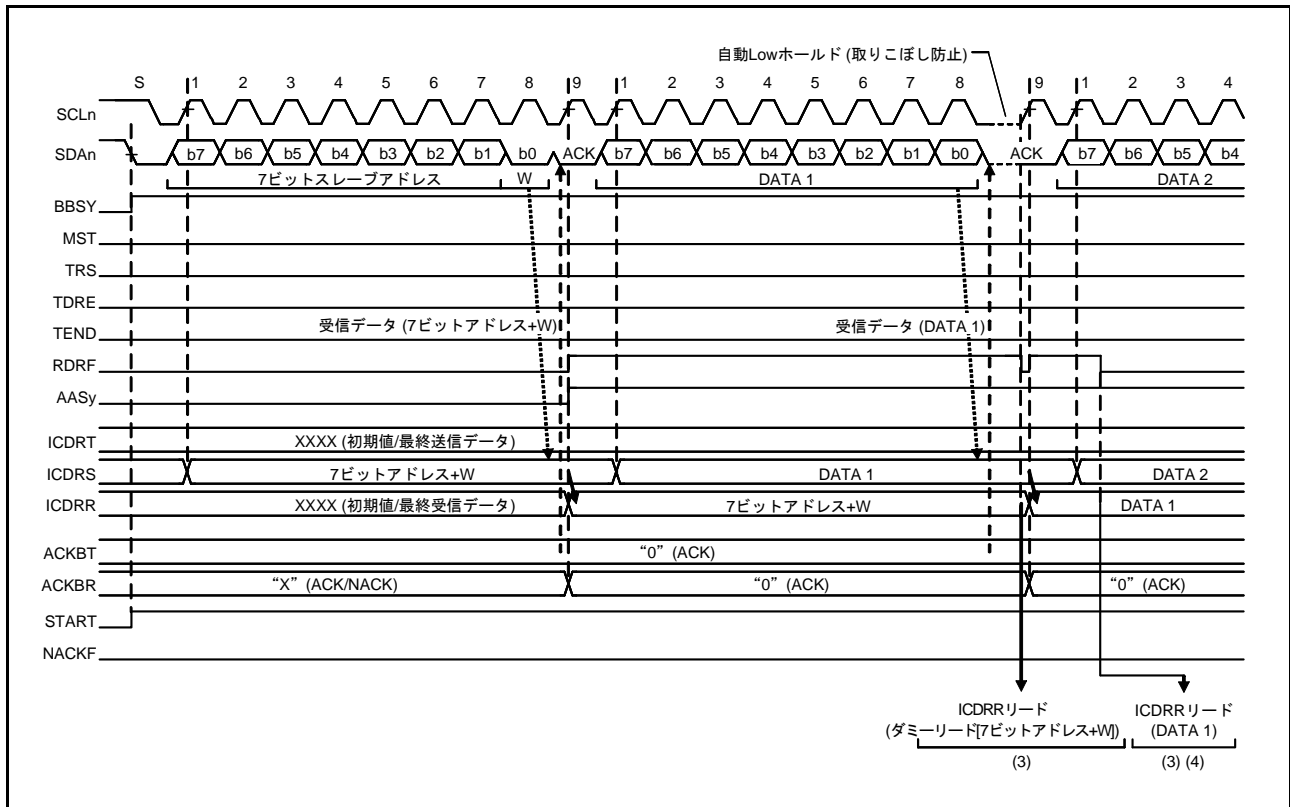


図 30.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS=0 のとき)

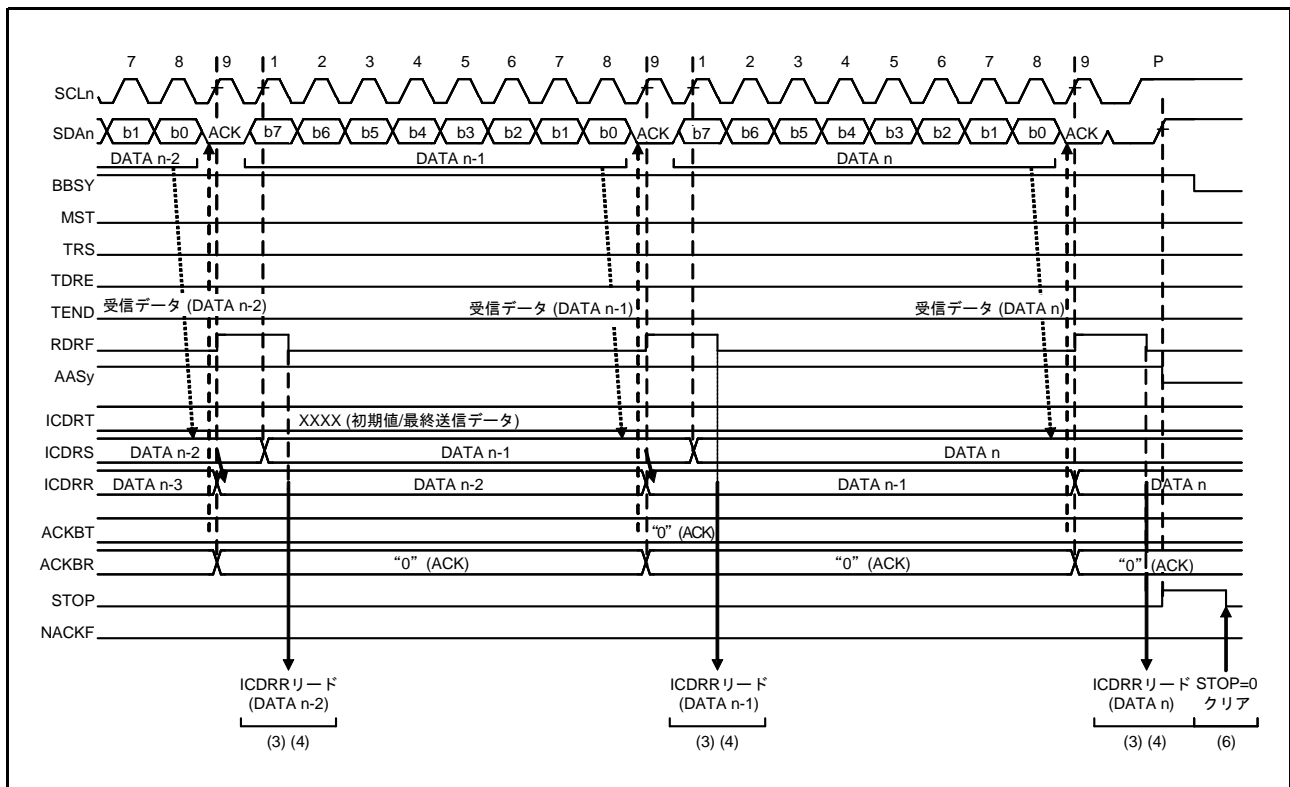


図 30.20 スレーブ受信の動作タイミング (2) (RDRFS=0 のとき)

30.4 SCL 同期回路

RIIC の SCL クロック生成は SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCLn ラインを Low にドライブして立ち下げます。また SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があります。RIIC はマスタモード時に SCLn ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能 (SCL 同期回路) を備えています。

RIIC が SCLn ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL クロック出力により SCLn ラインが立ち下げられた場合、RIIC は SCLn ラインの立ち下がりを検出すると High 幅のカウンタアップ動作を中断し、SCLn ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

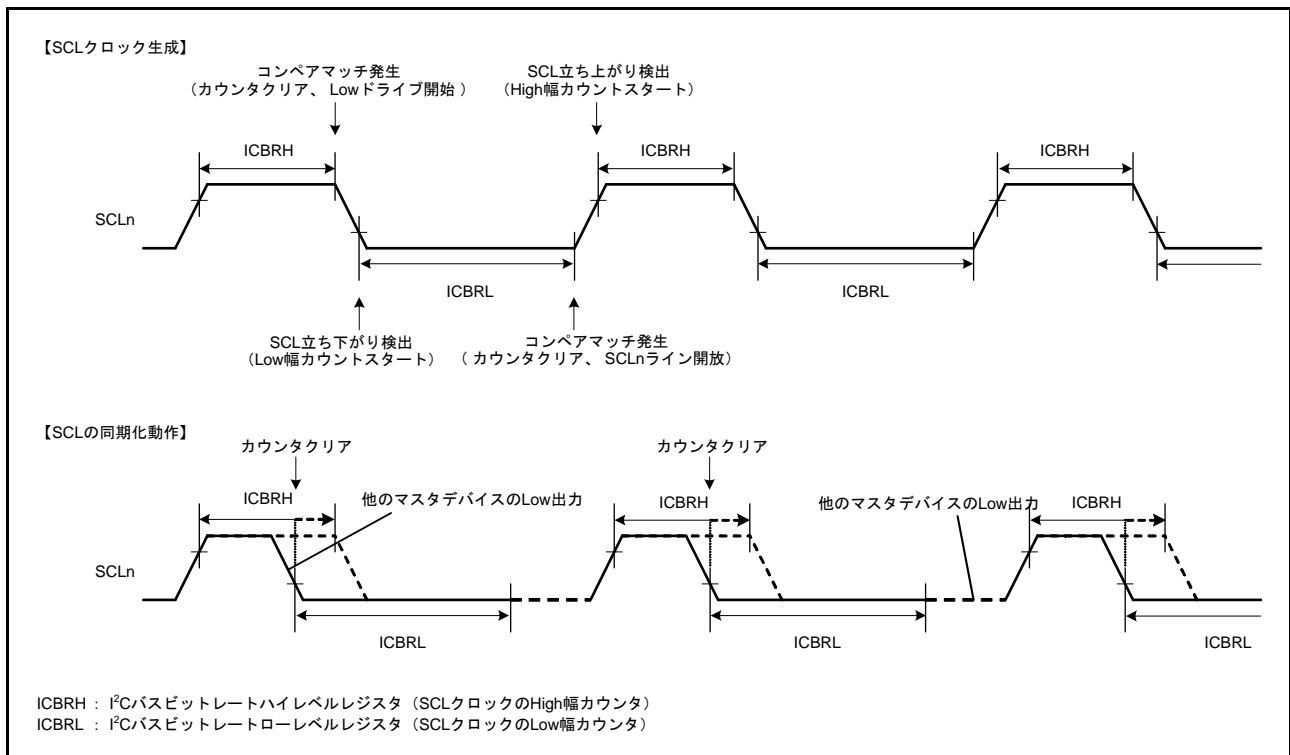


図 30.21 RIIC の SCL クロック生成および SCL 同期化動作

30.5 SDA出力遅延機能

RIICにはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング（発行動作（開始/再開/停止）、データ出力、ACK/NACK出力）を遅延させることができます。

SDA出力遅延機能は、SCLクロックの立ち上がり検出からSDA出力を遅延させ、確実にSCLクロックのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBusのデータホールド時間:300ns (min)の規格を満たす目的でも使用することができます。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効（SDDL[2:0]ビットが“000b”以外）のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック（IICφ）またはその2分周クロック（IICφ/2）をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点でRIICはSDA出力（発行動作（開始/再開/停止）、データ出力、ACK/NACK出力）を行います。

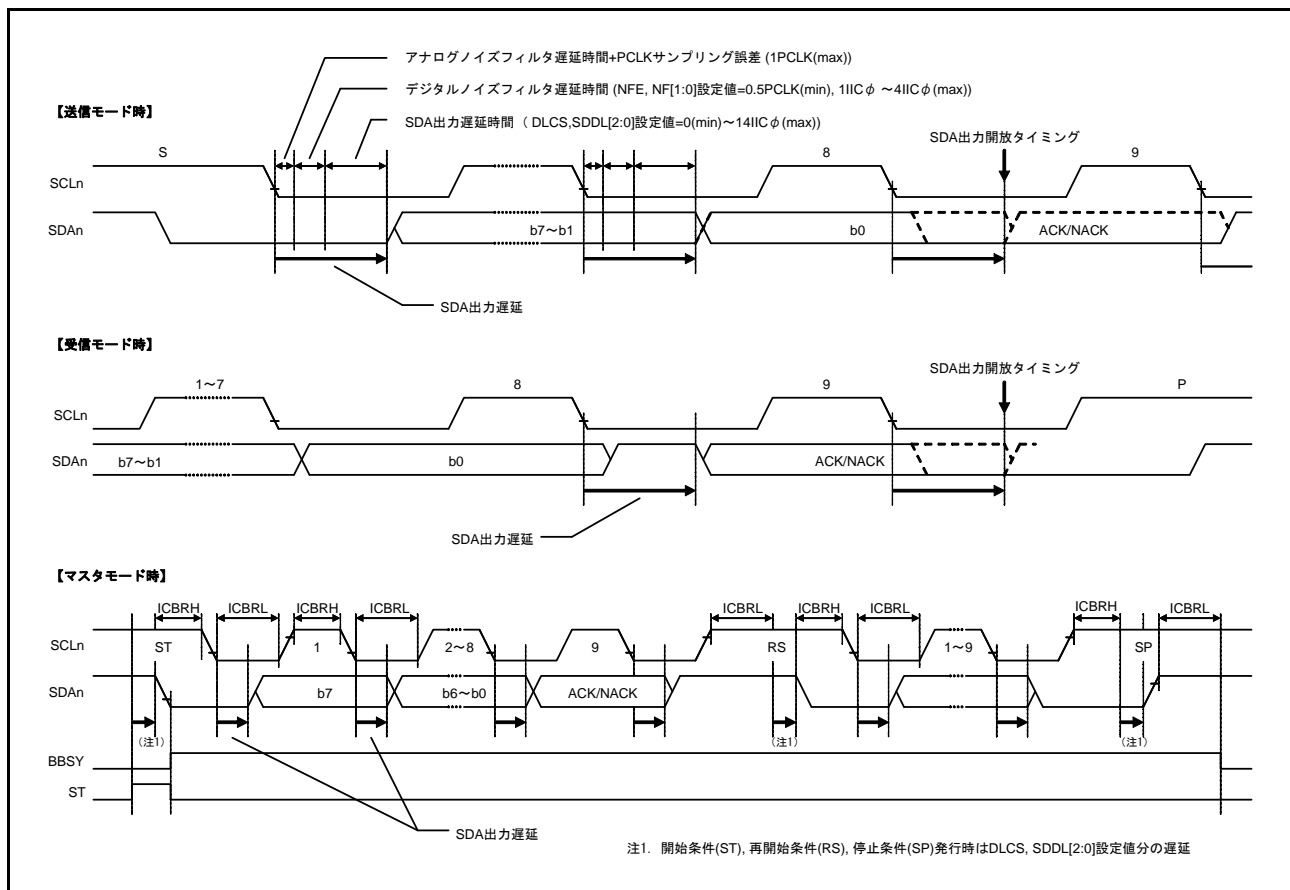


図 30.22 SDA出力遅延タイミング

30.6 デジタルノイズフィルタ回路

SCLn端子およびSDAn端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 30.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIICに内蔵されているデジタルノイズフィルタ回路は、4段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて $1IIC\phi \sim 4IIC\phi$ サイクル分となります。

SCLn 端子入力信号 (または SDA_n 端子入力信号) は $IIC\phi$ の立ち下がりでサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK = 4MHz 時の 400kbps 通信のような内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (ICFER.NFE ビット = 0) し、アナログノイズフィルタ回路のみを使用することが可能です。

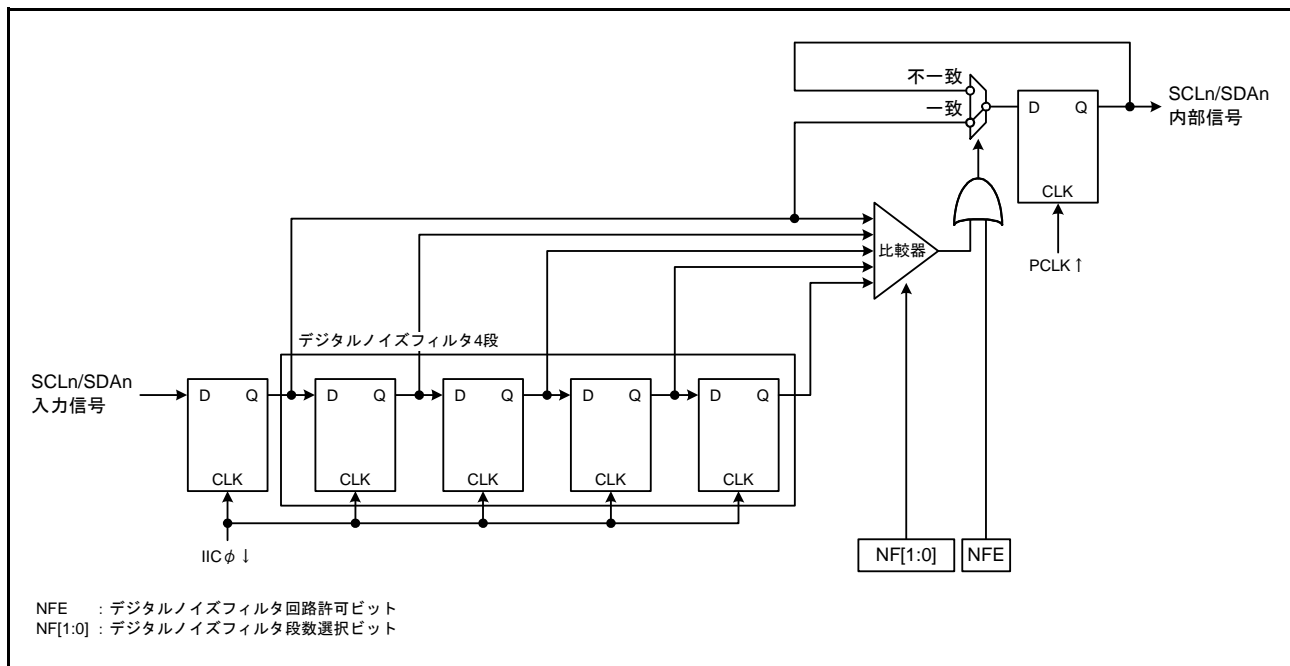


図 30.23 デジタルノイズフィルタ回路のブロック図

30.7 アドレス一致検出機能

RIIC はジェネラルコールアドレス、ホストアドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

30.7.1 スレーブアドレス一致検出機能

RIIC は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyE ビット ($y=0 \sim 2$) が “1” のとき、SARU_y/SARL_y レジスタ ($y=0 \sim 2$) に設定されたスレーブアドレスを検出することができます。

RIIC は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち下がりで該当する ICSR1.AAS_y フラグ ($y=0 \sim 2$) を “1” にし、続く R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグを “1” にします。これにより受信データフル割り込み (ICRXI) または送信データエンブレ割り込み (ICTXI) を発生させることができ、AAS_y フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 30.24 ~ 図 30.26 に AAS_y フラグが “1” になるタイミングを示します。

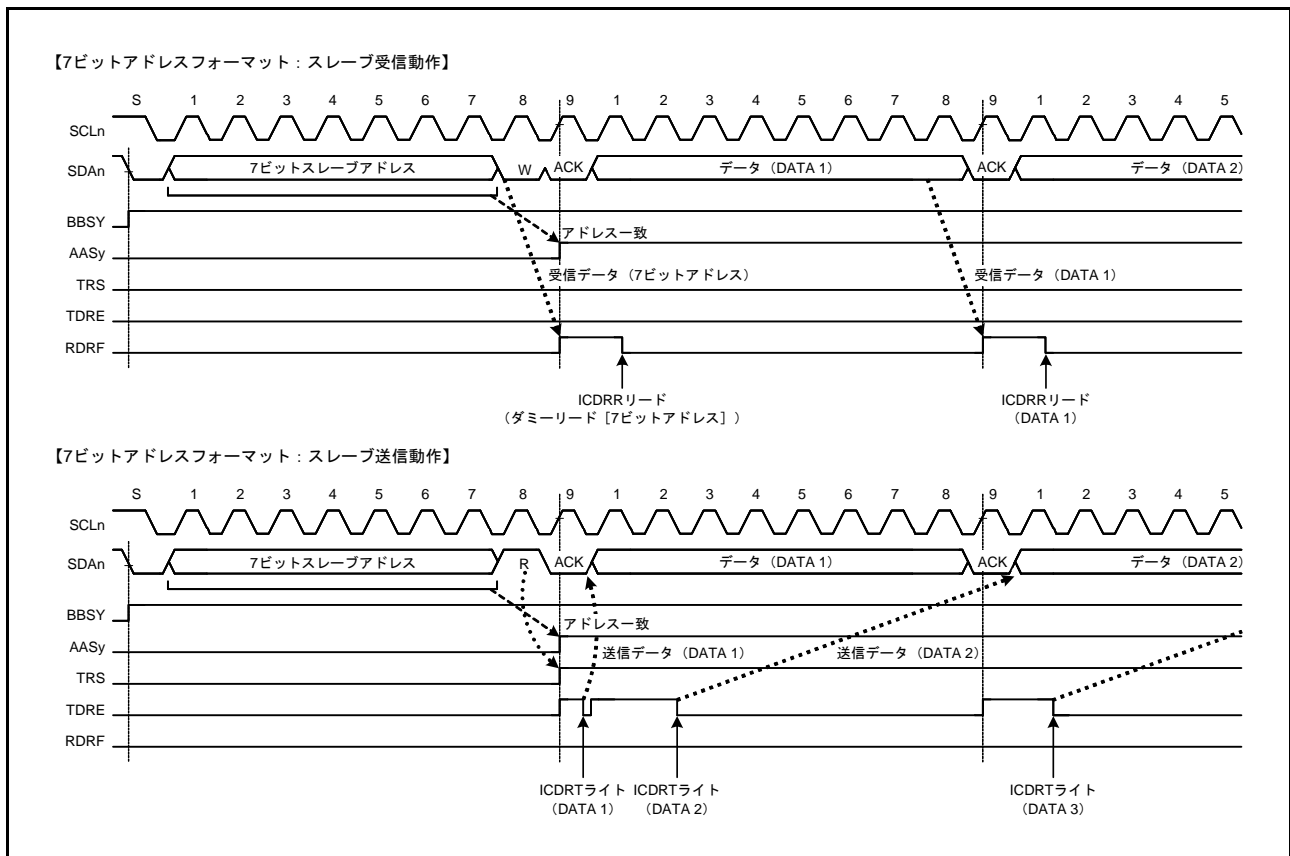


図 30.24 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

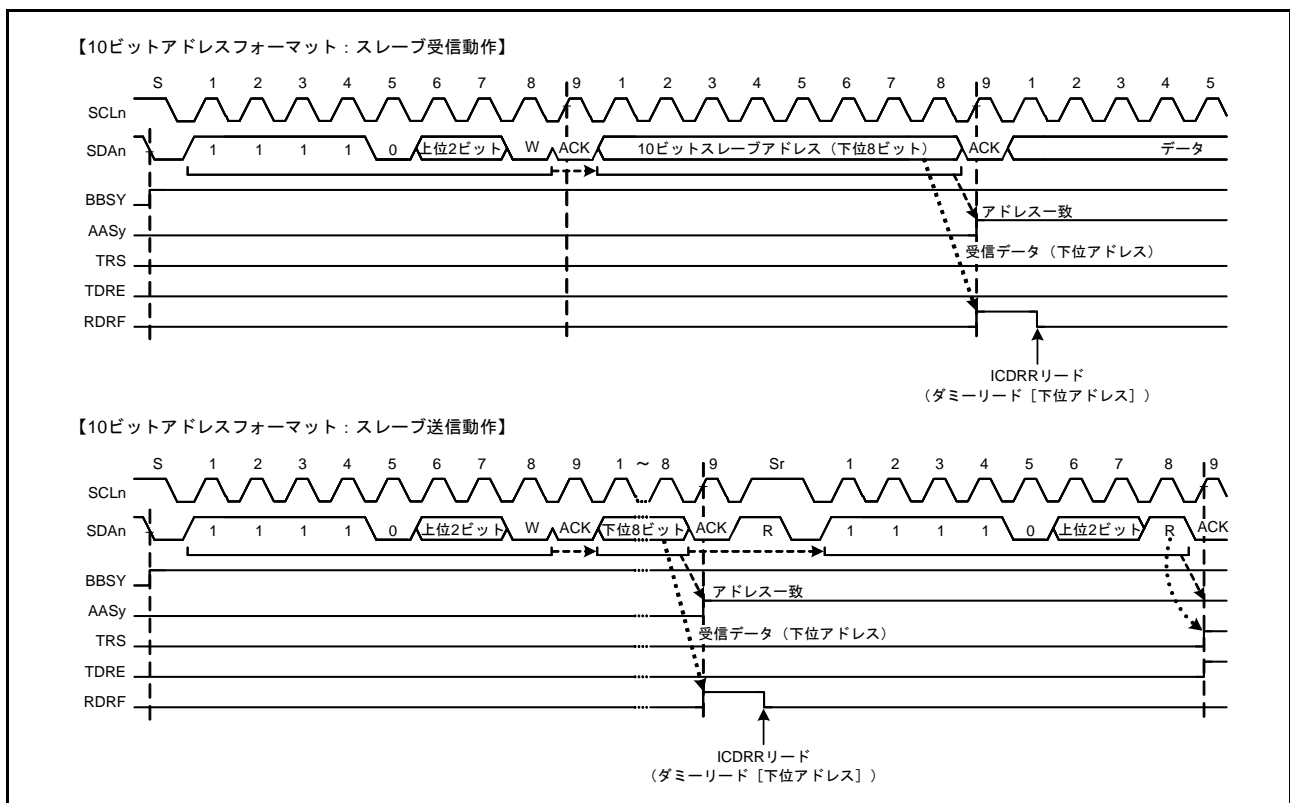


図 30.25 10ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

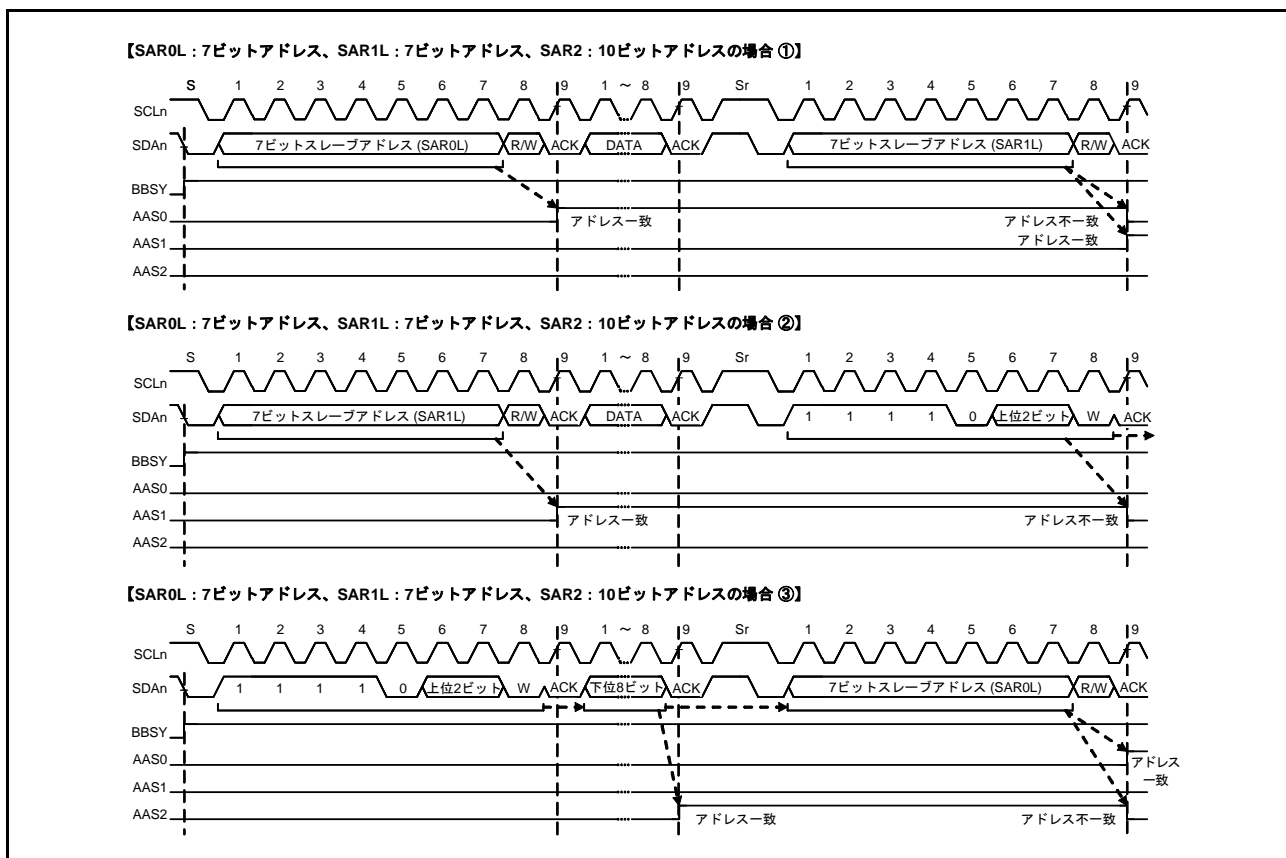


図 30.26 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”/“0”になるタイミング

30.7.2 ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。ICSER.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1[R] (スタートバイト) だった場合、RIICはこのアドレスを All“0”のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、SCL クロックの9クロック目の立ち上がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (ICRXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

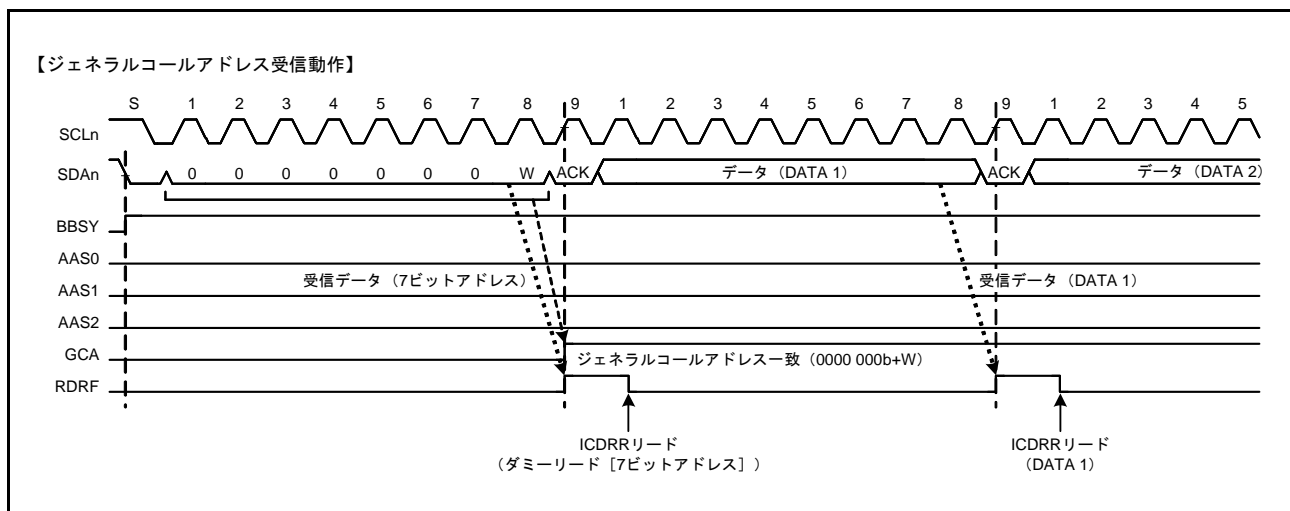


図 30.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

30.7.3 デバイス ID アドレス検出機能

RIIC は I²C バス (Rev.03) に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100b を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが“0”のとき SCL クロックの 8 クロック目の立ち上がりで ICSR1.DID フラグを“1”にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AASy フラグ (y=0 ~ 2) が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが“1”のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、ICSR2.TDRE フラグを“1”にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを“0”にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが“0”のとき DID フラグを“1”にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが“1”の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE=1 確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3 バイト分: メーカー [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) は、通常の送信データと同様あらかじめ準備してください。また、デバイス ID フィールドに必要な情報の詳細については NXP 社にお問い合わせください。

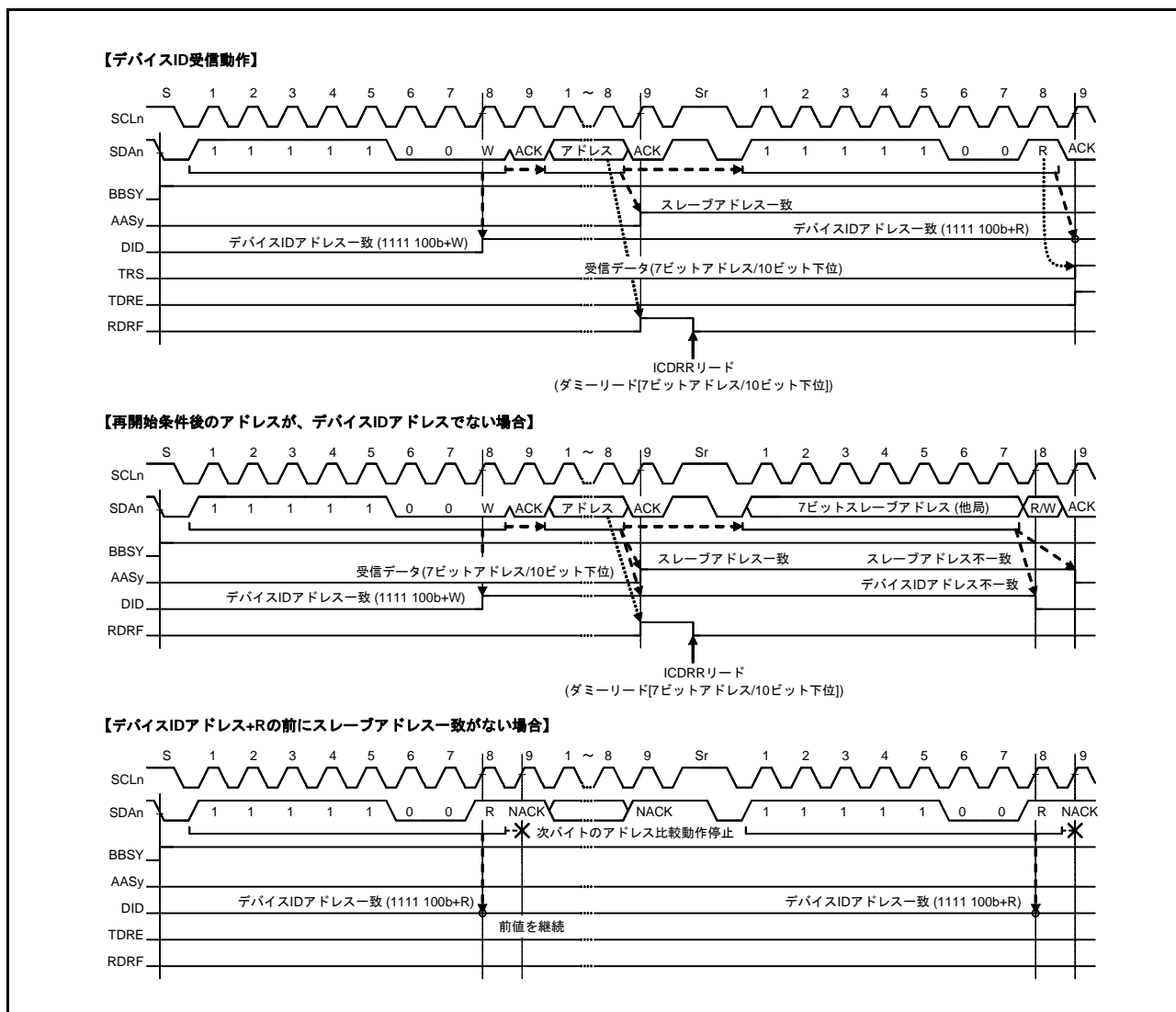


図 30.28 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

30.7.4 ホストアドレス検出機能

RIIC には SMBus 動作時にホストアドレス検出機能を備えています。ICMR3.SMBS ビットが“1”のとき ICSEH.HOAE ビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRS ビット =00b) にホストアドレス (0001 000b) を検出することが可能です。

RIIC はホストアドレスを検出すると、SCL クロックの9クロック目の立ち上がりで ICSR1.HOA フラグを“1”にし、Wr ビット (R/W# ビットに“0”を受信) のとき ICSR2.RDRF フラグを“1”にします。これにより送信データエンpty割り込み (ICTXI) を発生させることができ、HOA フラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

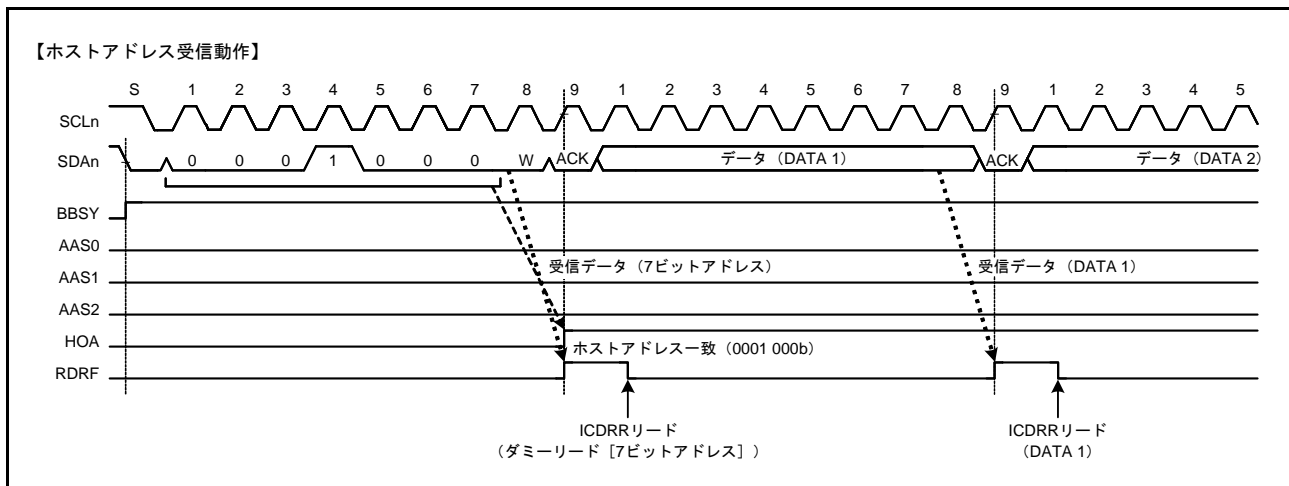


図 30.29 ホストアドレス受信時に HOA フラグが“1”になるタイミング

30.8 SCL の自動 Low ホールド機能

30.8.1 送信データ誤送信防止機能

RIIC は送信モード時 (ICCR2.TRS ビット=1)、シフトレジスタ (ICDRS レジスタ) が空の状態かつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の Low 区間

《スレーブ送信モード》

- 9クロック目と1クロック目の Low 区間

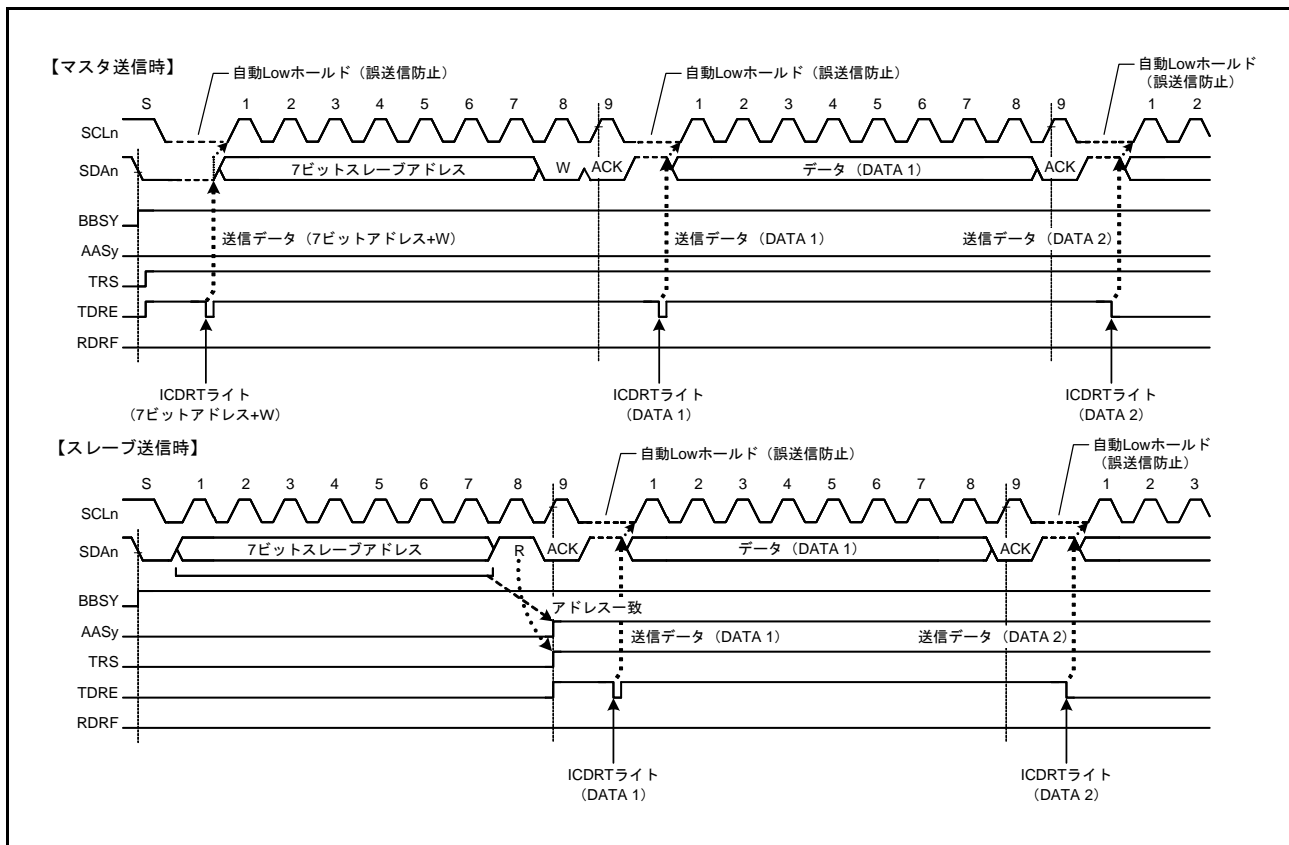


図 30.30 送信モードの自動 Low ホールド動作

30.8.2 NACK 受信転送中断機能

RIIC は送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKC ビットが "1" (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が "0" のときの SDAn ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを "0" にしてください。またマスタ送信モードの場合には NACKF フラグを "0" にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

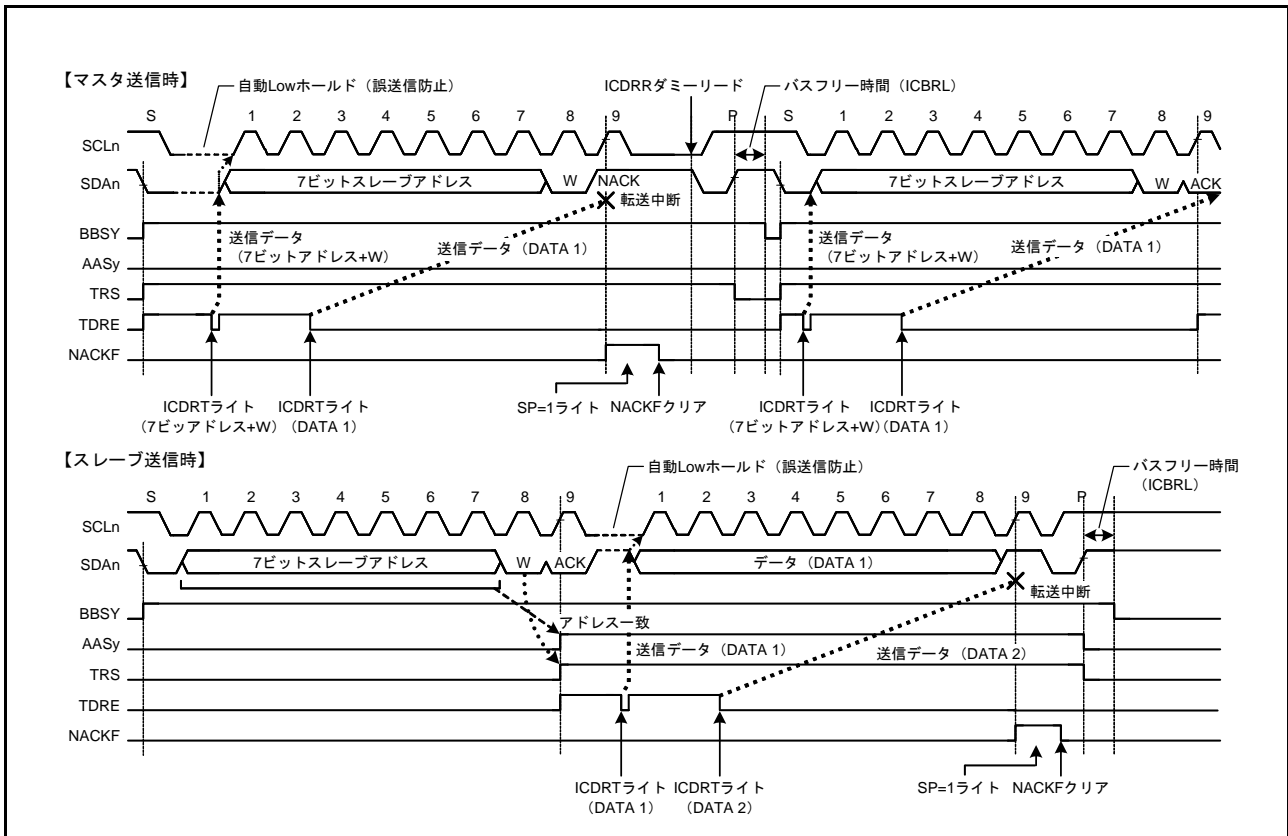


図 30.31 NACK 受信時の転送中断動作 (NACK=1 のとき)

30.8.3 受信データ取りこぼし防止機能

RIIC は受信モード時 (ICCR2.TRS ビット =0)、受信データフル (ICSR2.RDRF フラグ =1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では ICMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIIC は SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9 クロック目立ち下がりを検出すると WAIT ビット機能により自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIICはRDRFS ビット機能による1バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングがSCLn クロックの8クロック目の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的にSCLn ラインをLowにホールドします。このLowホールドはICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じたACK/NACK 送出の受信動作が可能となります。

なおRDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信フレームから有効になります。

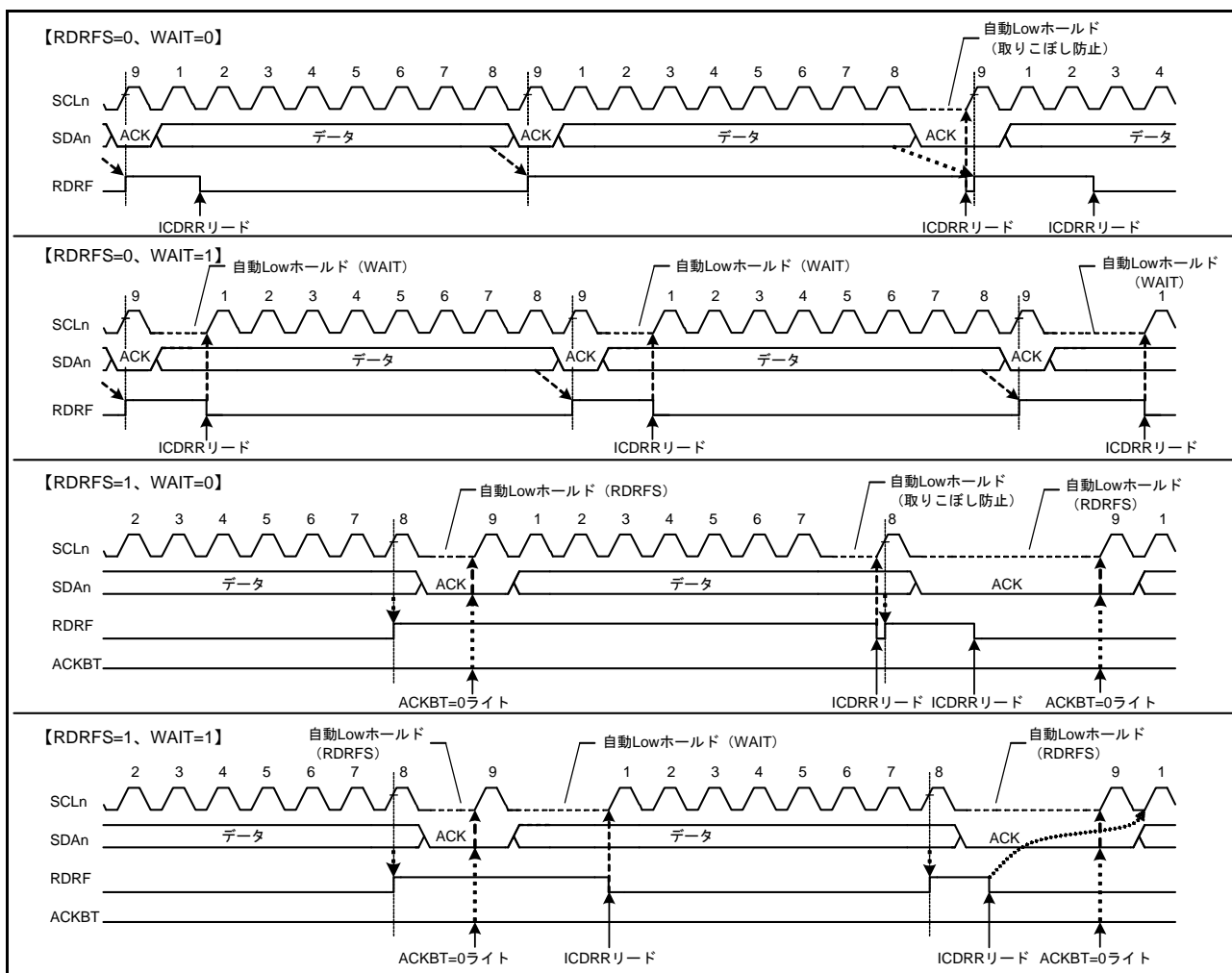


図 30.32 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

30.9 アービトレーションロスト検出機能

RIICにはI²Cバス規格で定めている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

30.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDAnラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAnラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1” (バスビジー中)のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ (SDA信号)とSDAnラインに不一致が生じた場合 (自分が出したSDA出力がHigh出力 (=SDAn端子はハイインピーダンス)で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、ICFER.MALEビットが“1” (マスタアービトレーションロスト検出許可)の状態以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグ=0の状態(ICCR2.STビット=1によるスタートコンディション発行時にSDA信号とSDAnライン上の信号の状態が不一致のとき (スタートコンディション発行エラー))
- ICCR2.BBSYフラグ=1でICCR2.STビットを“1”にしたとき (スタートコンディション二重発行エラー)
- マスタ送信モード時 (ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ (SDA信号)とSDAnライン上の信号の状態が不一致のとき

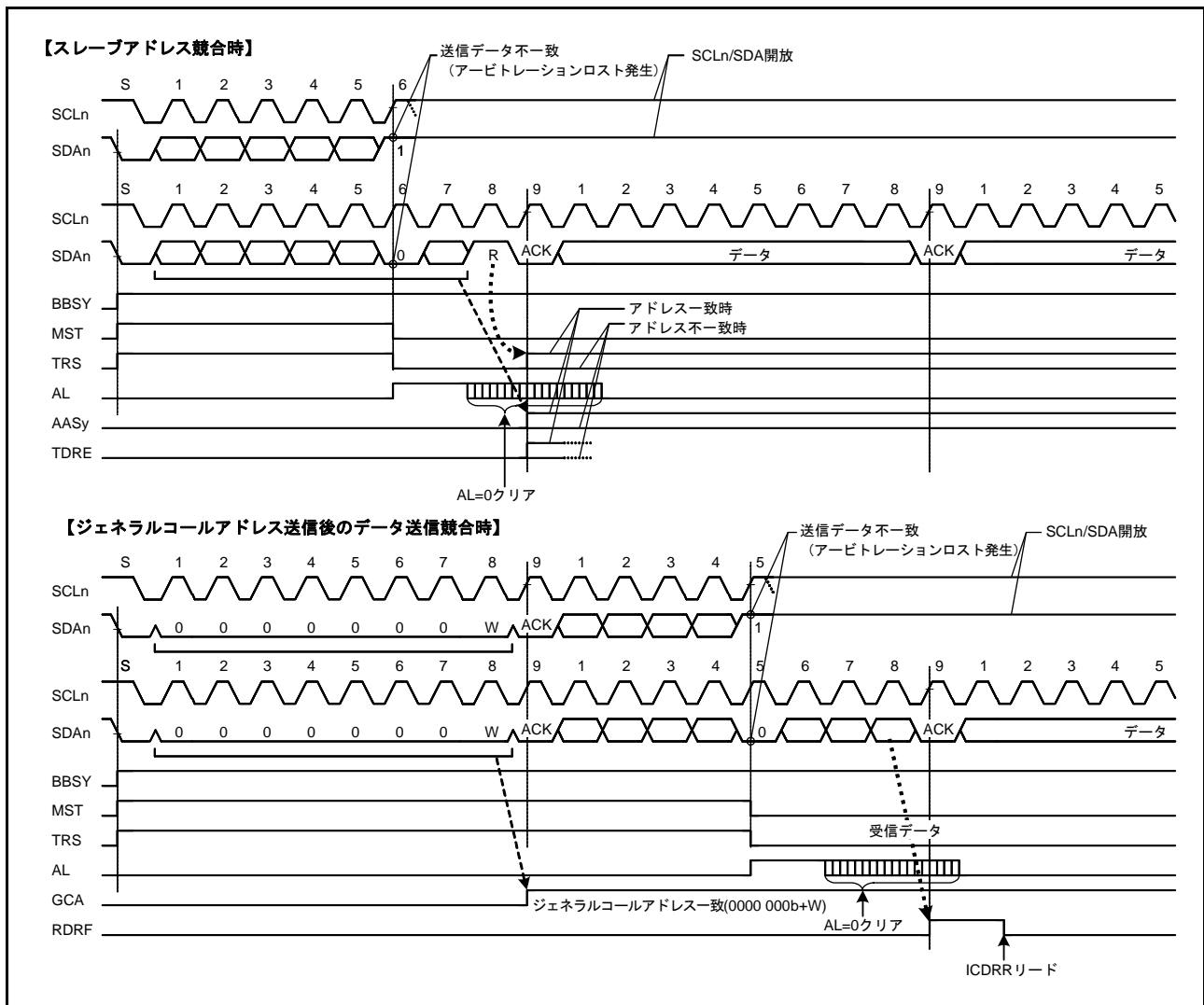


図 30.33 マスタアービトレーションロスト検出動作例 (MALE=1 のとき)

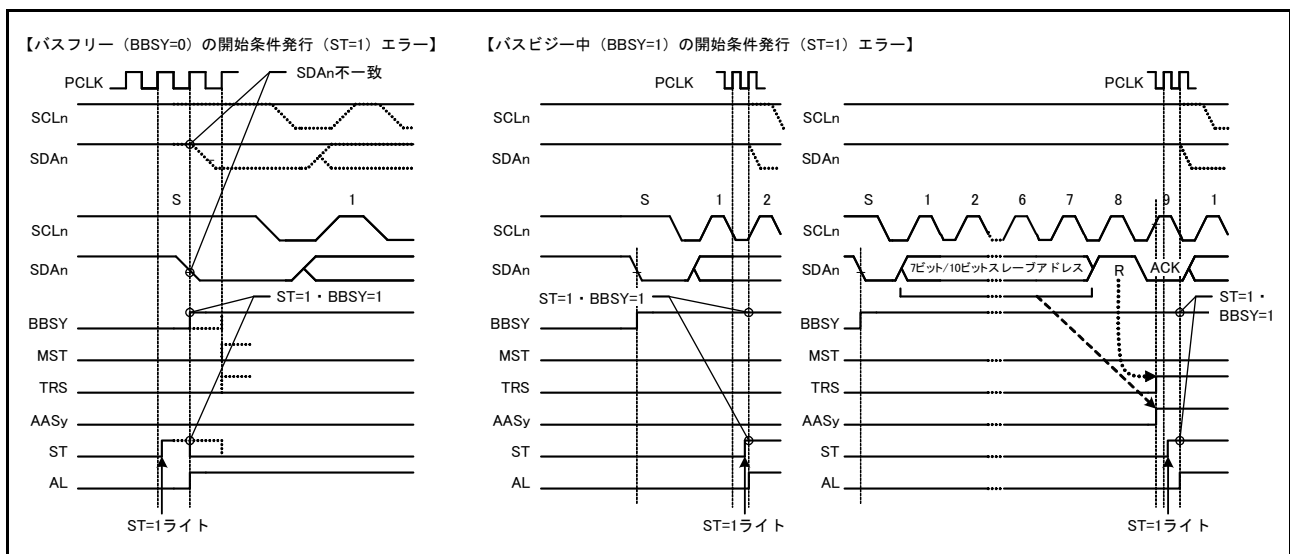


図 30.34 スタートコンディション発行時のアービトレーションロスト (MALE=1 のとき)

30.9.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIIC は受信モード時で NACK 送信時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致の場合 (自分が出した SDA 出力が High 出力 (= SDA_n 端子はハイインピーダンス) で、SDA ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図 30.35 に NACK 送信アービトレーションロスト検出動作例を示します。

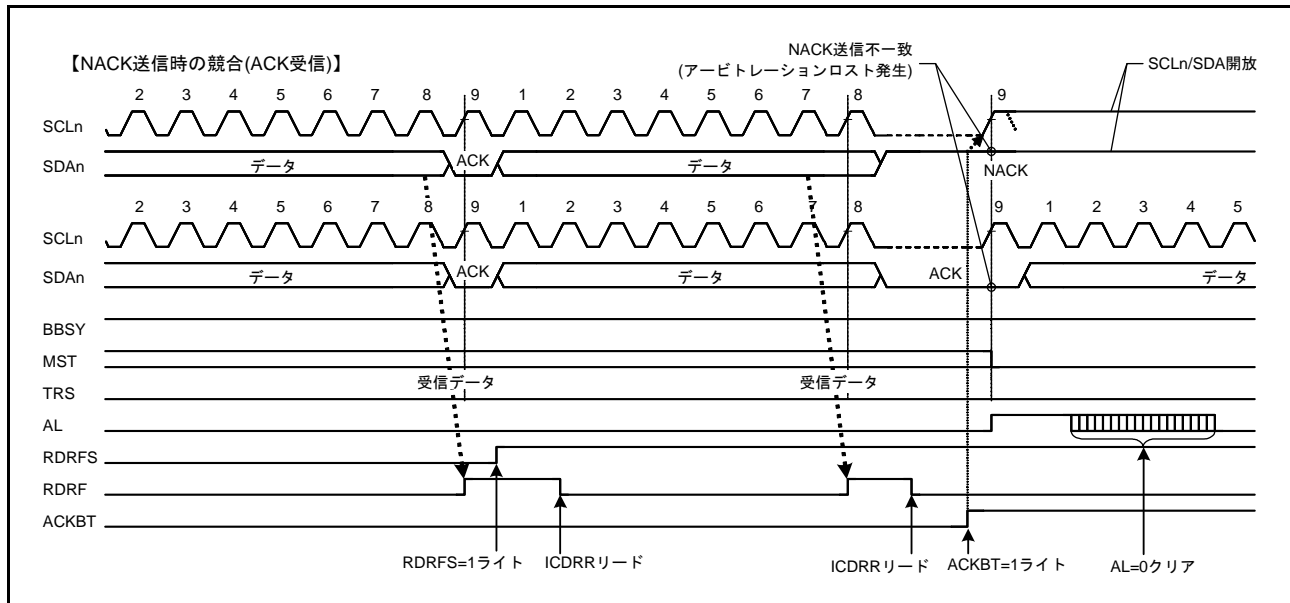


図 30.35 NACK 送信アービトレーションロスト検出動作例 (NALE=1 のとき)

2つのマスタデバイス（マスタ A、マスタ B）と1つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B ともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B ともどちらにもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL クロック出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストが発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

また SMBus の ARP コマンド処理において、アサインアドレスの UDID（ユニークデバイスアイデンティファイ）不一致時の NACK 送信以降、およびアサインアドレス確定後の Get UDID（汎用）の NACK 送信以降の余剰処理（FFh 送信処理）を省くことができます。

なお NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが“1”（NACK 送信アービトレーションロスト検出許可）の状態以下に示す条件が成立したとき、アービトレーションロストを検出します。

[NACK 送信アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT ビット=1)、自分が出した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき (ACK を受信したとき)

30.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ（自分が出した SDA 信号）と SDA ライン上の信号の状態に不一致が生じた場合（自分が出した SDA 出力が High 出力（= SDA_n 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID（ユニークデバイスアイデンティファイ）送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理（FFh 送信処理）を省くことができます。

なおスレーブアービトレーションロスト検出は、ICFER.SALE ビットが“1”（スレーブアービトレーションロスト検出許可）の状態以下に示す条件が成立したとき、アービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST, TRS ビット=01b)、アクリッジを除く送信データ（自分が出した SDA 信号）と SDA_n ライン上の信号の状態が不一致のとき

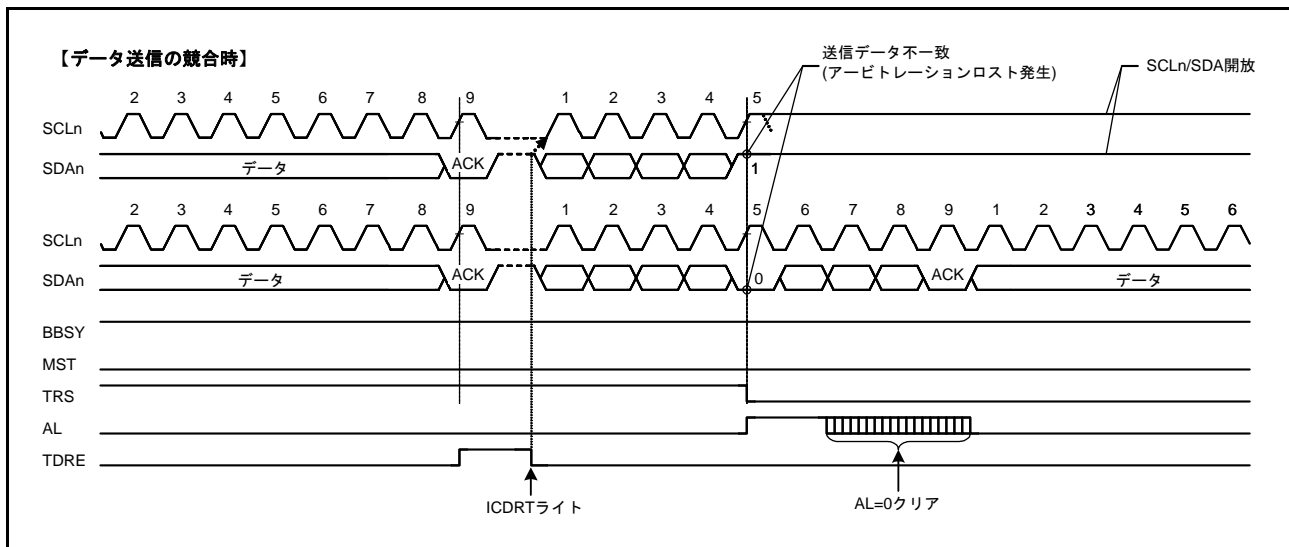


図 30.36 スレーブアービトレーションロスト検出動作例 (SALE=1 のとき)

30.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

30.10.1 スタートコンディション発行動作

RIIC は、ICCR2.ST ビットによりスタートコンディションの発行を行います。

ST ビットを“1”にすると、スタートコンディション発行の要求が行われ IC CR2.BBSY フラグが“0” (バスフリー) の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIIC は自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

- (1) SDA_n ラインを立ち下げ (High から Low に遷移)
- (2) ICBRH レジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL_n ラインを立ち下げ (High から Low に遷移)
- (4) SCL_n ラインの Low を検出後、ICBRL レジスタで設定した時間 SCL_n ラインの Low 幅を確保

30.10.2 リスタートコンディション発行動作

RIIC は IC CR2.RS ビットによりリスタートコンディションの発行を行います。

RS ビットを“1”にするとリスタートコンディション発行の要求が行われ、RIIC は IC CR2.BBSY フラグが“1” (バスビジー) の状態かつ IC CR2.MST ビットが“1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

[リスタートコンディション発行動作]

- (1) SDA_n ラインを開放
- (2) ICBRL レジスタで設定した時間 SCL_n ラインの Low 幅を確保
- (3) SCL_n ラインを開放 (Low から High に遷移)
- (4) SCL_n ラインの High 検出後、ICBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA_n ラインを立ち下げ (High から Low に遷移)
- (6) ICBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL_n ラインを立ち下げ (High から Low に遷移)
- (8) SCL ラインの Low を検出後、ICBRL レジスタで設定した時間 SCL_n ラインの Low 幅を確保

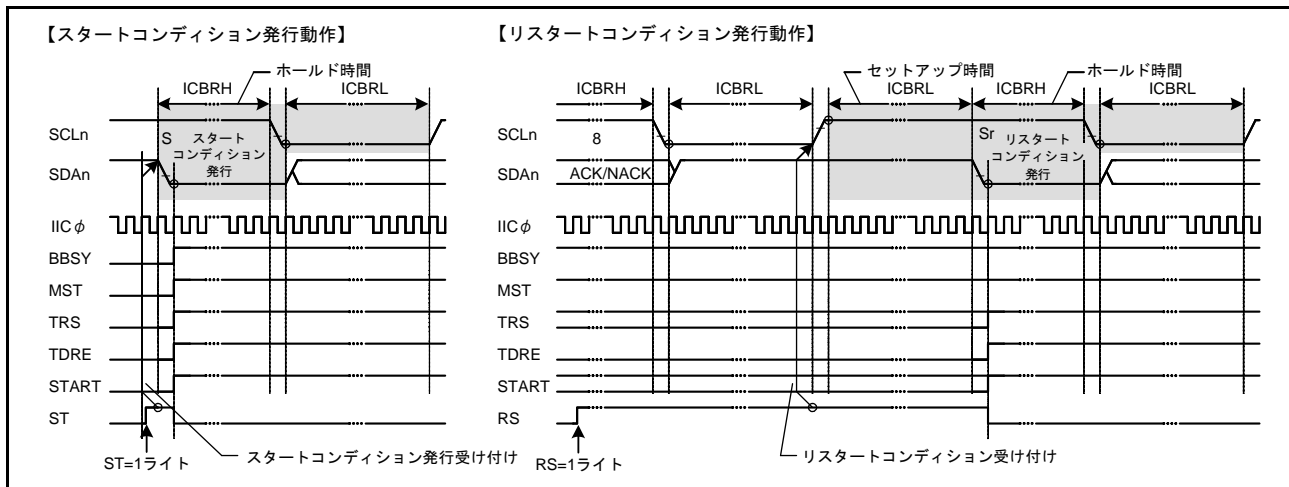


図 30.37 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

30.10.3 ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを“1”にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが“1” (バスビジー) の状態であつ ICCR2.MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

- SDA_n ラインを立ち下げ (High から Low に遷移)
- ICBRL レジスタで設定した時間 SCL_n ラインの Low 幅を確保
- SCL_n ラインを開放 (Low から High に遷移)
- SCL_n ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDA_n ラインを開放 (Low から High に遷移)
- ICBRL レジスタで設定した時間バスフリー時間を確保
- BBSY フラグクリア (バス権解放)

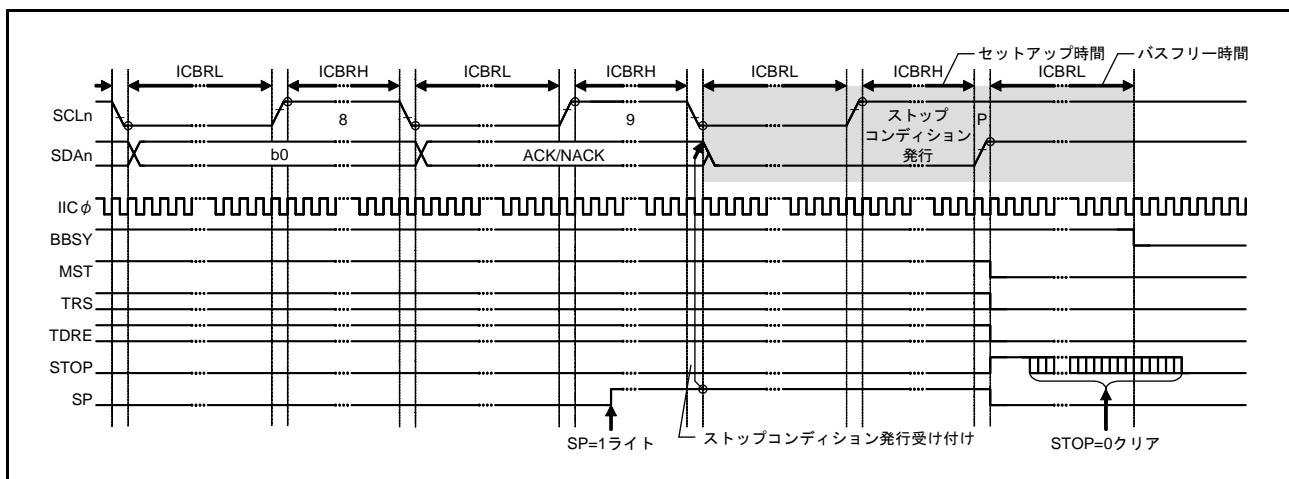


図 30.38 ストップコンディション発行動作タイミング (SP ビット)

30.11 バスハングアップ

I²C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLn ラインや SDA_n ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対し SCLn ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するための SCL クロック追加出力機能および RIIC/内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAI ビットを確認することで、RIIC 自身が SCLn ライン /SDAn ラインに Low 出力しているか、あるいは通信デバイス側が Low 出力しているかどうかを確認することが可能です。

30.11.1 タイムアウト検出機能

RIIC には SCLn ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC は SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能は SCLn ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCLn ラインに変化（立ち上がり / 立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないまま内部カウンタがオーバーフローすると、RIIC はタイムアウトを検出しバス異常状態を知らせることができます。

このタイムアウト検出機能は ICFER.TMOE ビットが“1”のとき有効で、以下の期間に SCL_{0n} ラインの Low 固定または High 固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット=1) で、バスビジー (ICCR2.BBSY フラグ=1)
- スレーブモード (ICCR2.MST ビット=0) で、自スレーブアドレス一致 (ICSR1 レジスタ≠00h) かつバスビジー (ICCR2.BBSY フラグ=1)
- スタートコンディション発行要求中 (ICCR2.ST ビット=1) で、バスフリー (ICCR2.BBSY フラグ=0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット=0) 16 ビットカウンタ、ショートモード選択時 (TMOS ビット=1) 14 ビットカウンタとなります。

また内部カウンタのカウント動作は、SCLn ラインが Low 状態のときカウントさせるか、High 状態のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH, TMOL ビットの設定により選択

することが可能です。なお TMOH, TMOL ビットの両方を“0”にした場合は、内部カウンタ動作を行いません。

注. タイムアウト検出機能を使用するときは、「30.2.4 I²C バスモードレジスタ 2 (ICMR2)」、「30.2.18 タイムアウト内部カウンタ (TMOCNT)」、「30.3.2 初期設定」を参照してください。

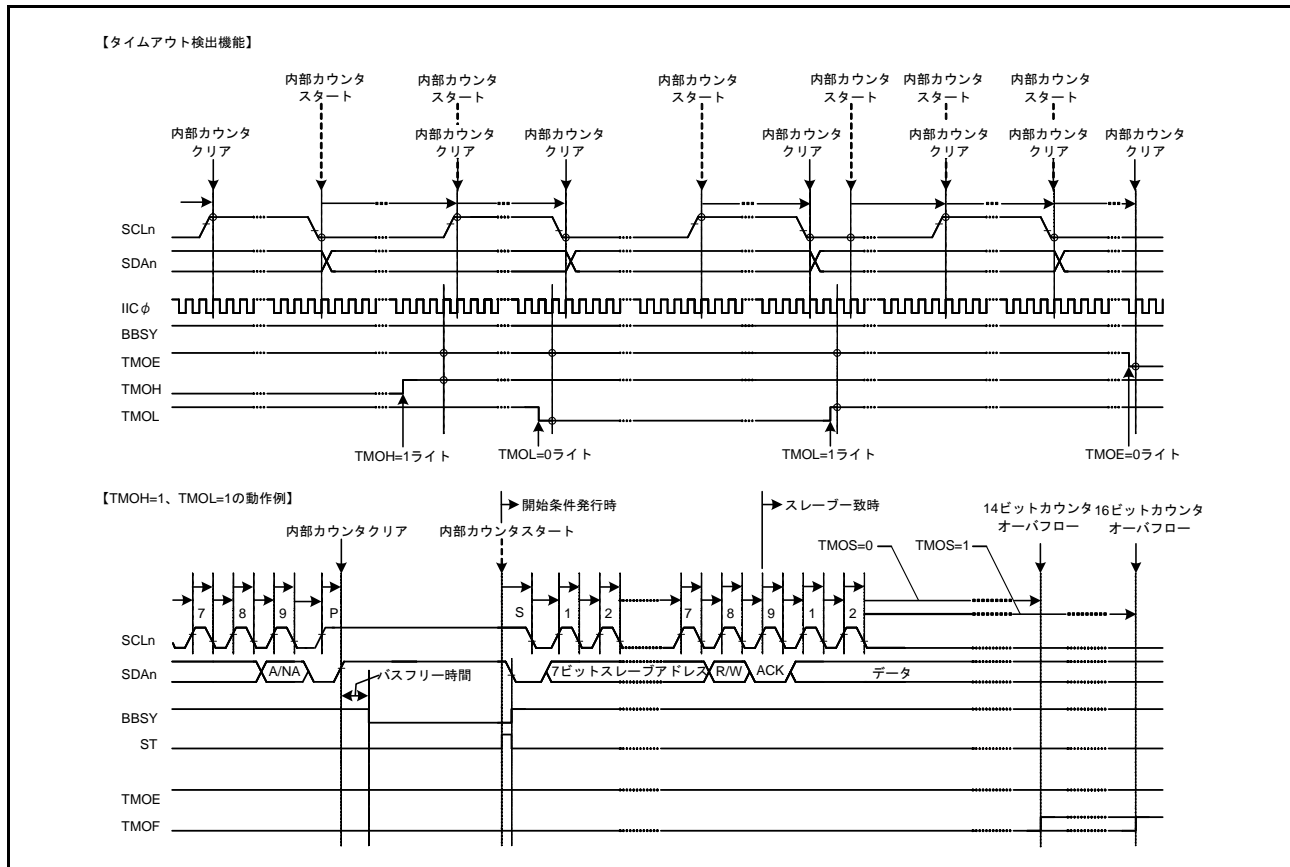


図 30.39 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビット)

30.11.2 SCL クロック追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDA_n ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスが SDA_n ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA_n ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力は、ICCR1.CLO ビットを“1”にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。そのためソフトウェアで CLO ビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスが SDA_n ラインを Low 固定状態のままストップコンディションを発行できないバス異常状態のとき、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA_n ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA_n

ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA_n ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを“0”（マスタアービトレイションロスト検出禁止）にして使用してください。MALE ビットが“1”（マスタアービトレイションロスト検出許可）の場合、ICCR1.SDAO ビットの値と SDA_n ラインが不一致のときアービトレイションロストが発生しますので注意してください。

[ICCR1.CLO ビットの出力条件]

- バスフリー状態 (ICCR2.BBSY フラグ =0) またはマスタモード (ICCR2.MST ビット =1、BBSY フラグ =1 の状態) のとき
- 通信デバイスが SCL_n ラインを Low ホールドにしていない状態のとき

図 30.40 に SCL クロック追加出力機能 (CLO ビット) を示します。

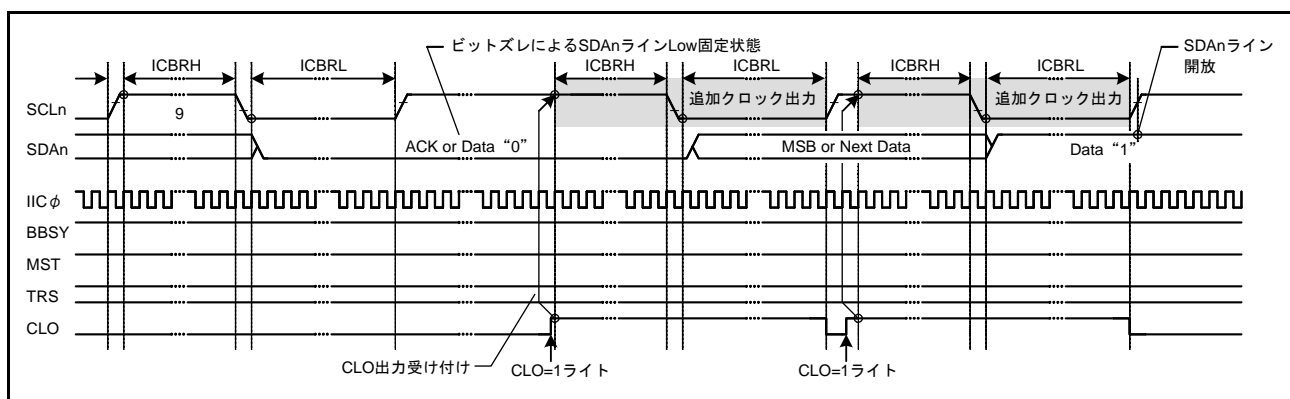


図 30.40 SCL クロック追加出力機能 (CLO ビット)

30.11.3 RIIC/ 内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを“0”にしてください。

いずれのリセットも SCL_n 端子 /SDA_n 端子の出力状態を解除しハイインピーダンスに戻すため、バスハンダグアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット =01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC/ 内部リセットの詳細については、「30.14 リセット状況」を参照してください。

30.12 SMBus 動作

RIIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを“1”にしてください。転送速度は SMBus 規格の 10kbps ~ 100kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間 :300ns (min) の規格を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250ns)

以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか1本を使用し、該当する SARUy.FS ビット (y=0 ~ 2) (7ビット/10ビットアドレスフォーマット選択ビット) を“0” (7ビットアドレスフォーマット) を選択してください。

また、UDID (ユニークデバイスアイデンティファイ) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトレーションロスト検出機能を有効にしてください。

30.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔: $T_{LOW : SEXT}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間をタイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間 [スレーブデバイス] $T_{LOW : SEXT} : 25ms$ (max) 以内である必要があります。

タイマで計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT} : 25ms$ (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに“1”を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCLn 端子 /SDAn 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔: $T_{LOW : MEXT}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (ICTEI) または受信データフル割り込み (ICRXI) を利用して、それぞれの区間をタイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間 [マスタデバイス] $T_{LOW : MEXT} : 10ms$ (max) 以内である必要があります、スタートコンディションからストップコンディションまでのすべての $T_{LOW : MEXT}$ を加算した結果が $T_{LOW : SEXT} : 25ms$ (max) 以内である必要があります。

ACK 受信タイミング (SMBCLK の9クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見る必要があります。そのためマスタ送信時は1バイト送信動作を行い、マスタ受信時は最終バイト受信の1つ手前までは ICMR3.RDRFS ビットを“0”で使用してください。RDRFS ビットが“0”のとき、RDRF フラグは SMBCLK の9クロック目の立ち上がりで“1”になります。

タイマで計測した時間が、SMBus 規格のクロック Low の累積時間 [マスタデバイス] $T_{LOW : MEXT} : 10ms$ (max) または各計測時間の加算した結果が、SMBus 規格のクロック Low 検出のタイムアウト

T_{TIMEOUT} : 25ms (min) を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

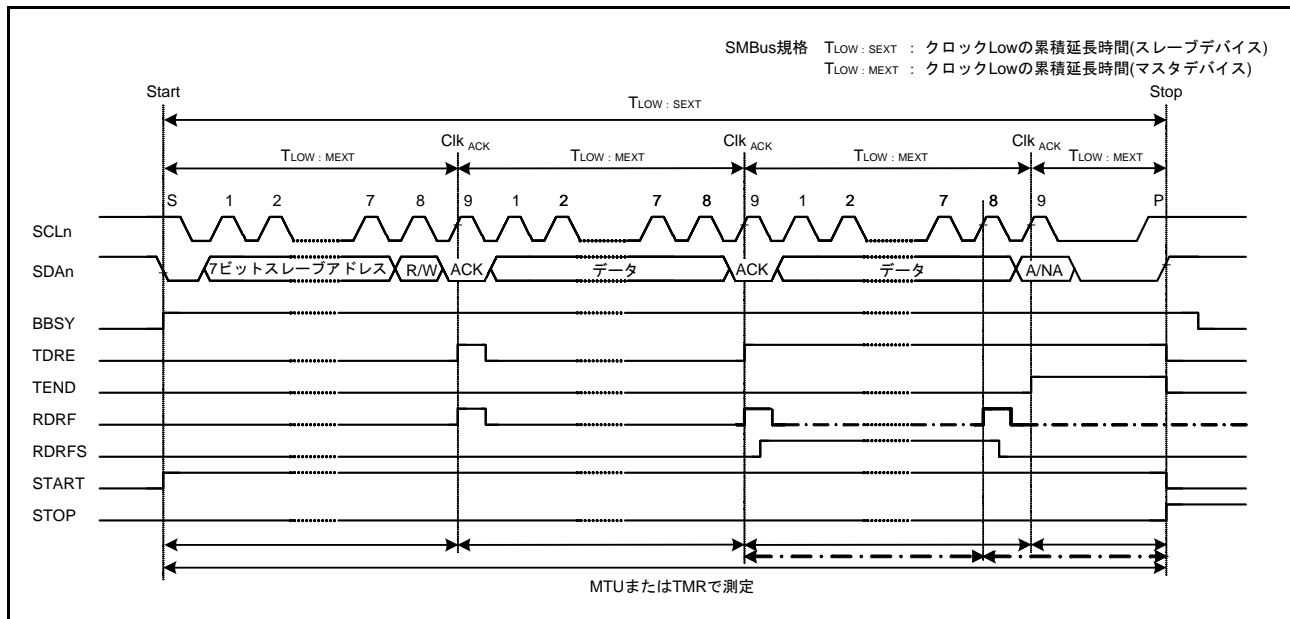


図 30.41 SMBus タイムアウト測定

30.12.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「33. CRC 演算器 (CRC)」を参照してください。

マスタ送信 (マスタトランスミッタ) の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信 (マスタレシーブ) の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致/不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SMBCLK の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを“1”にし、8 クロック目の立ち下がり SCLn ラインを Low にホールドしてください。

30.12.3 SMBus ホスト通知プロトコル /Notify ARP master

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があります。RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを“1”、ICSER.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

30.13 割り込み要因

RIICの割り込み要因には、通信エラー/イベント発生（アービトラージロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信終了、送信データエンプティ、送信終了の4種類があります。

表 30.7 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

表 30.7 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位	割り込み条件
EEI	通信エラー/ イベント発生	AL	不可能	不可能	↑ 高	AL=1 かつ ALIE=1
		NACKF				NACKF=1 かつ NAKIE=1
		TMOF				TMOF=1 かつ TMOIE=1
		START				START=1 かつ STIE=1
		STOP				STOP=1 かつ SPIE=1
RXI	受信終了	—	可能	可能	↑	RDRF=1 かつ RIE=1
TXI	送信データ エンプティ	—	可能	可能		TDRE=1 かつ TIE=1
TEI	送信終了	TEND	不可能	不可能		低

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

【割り込み処理上の注意】

- CPU から周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、レイテンシがあります。割り込みフラグをクリアまたはマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。
- ICTXI 割り込みはエッジ割り込みのためクリアの必要はありません。また ICTXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ =1) で自動的に“0”になります。
- ICRXI 割り込みはエッジ割り込みのためクリアの必要はありません。また ICRXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に“0”になります。
- ICTEI 割り込みを使用する場合、ICTEI 割り込み処理の中で ICSR2.TEND フラグをクリアしてください。
なお ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ =1) で自動的に“0”になります。

30.13.1 ICTXI 割り込みおよび ICRXI 割り込みバッファ動作

ICTXI 割り込みおよび ICRXI 割り込みは、ICU.IRn.IR フラグが“1”のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

ICU.IRn.IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアします。

また、内部で保持している割り込み要求は、対応する周辺側の割り込みイネーブルビットを“0”にすることでクリアが可能です。

30.14 リセット状況

RIICはチップリセット、RIICリセットおよび内部リセットのリセット機能を持っています。表30.8に各リセットのリセット範囲およびリセット状況を示します。

表30.8 リセット状況

		チップリセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出	
ICCR1	ICE、 IICRST	リセット	保持	保持	動作 (保持)	動作 (保持)	
	SCLO、 SDAO		リセット	リセット			
	それ以外			保持			
ICCR2	BBSY	リセット	リセット	動作	動作	動作	
	ST			リセット	リセット	動作 (保持)	
	それ以外					リセット	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	動作 (保持)	
	それ以外			保持	動作 (保持)		
ICMR2		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICMR3		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICFER		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICSER		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICIER		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICSR1		リセット	リセット	リセット	動作 (保持)	リセット	
ICSR2	TDRE、 TEND	リセット	リセット	リセット	動作 (保持)	リセット	
	START				動作		
	STOP				動作 (保持)		動作
	それ以外						動作 (保持)
SARL0、1、2 SARU0、1、2		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICBRH、ICBRL		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICDRT		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICDRR		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICDRS		リセット	リセット	リセット	動作 (保持)	動作 (保持)	
タイムアウト検出機能		リセット	リセット	動作	動作	動作	
バスフリー時間計測		リセット	リセット	動作	動作	動作	

30.15 使用上の注意事項

30.15.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RIIC の動作禁止 / 許可を設定することが可能です。初期値では RIIC は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「12. 消費電力低減機能」を参照してください。

30.15.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = "1") 時点で ICU.IRn.IR フラグが "1" のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。ICU.IRn.IR フラグが "1" で通信を開始 (ICCR1.ICE ビット = "1") すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが "0" であることを確認
- (2) 対応する周辺側の割り込みイネーブルビット (ICIER.TIE など) を "0" にする
- (3) 対応する周辺側の割り込みイネーブルビット (ICIER.TIE など) を読み出し、"0" を確認
- (4) ICU.IRn.IR フラグを "0" にする

31. CANモジュール (CAN)

31.1 概要

ISO11898-1仕様に準拠したCAN (Controller Area Network) モジュールを3チャンネル内蔵しています。CANモジュールは標準 (11ビット) Identifier (以下、IDと略す) と拡張 (29ビット) IDの両フォーマットのメッセージを送受信できます。

表31.1にCANモジュールの仕様、図31.1にCANモジュールブロック図 (i=1)を示します。
なお、CANバスターンシーバは外付けしてください。

表31.1 CANモジュールの仕様

項目	概要
プロトコル	<ul style="list-style-type: none"> ISO11898-1仕様準拠 (標準フレーム/拡張フレーム)
ビットレート	<ul style="list-style-type: none"> 1Mbps以下のビットレートをプログラム可能 (fCAN ≥ 8MHz) fCAN: CANクロックソース
メッセージボックス	<ul style="list-style-type: none"> 32メールボックス: 2種類のメールボックスモードを選択可能 通常メールボックスモード: 32メールボックスを送信または受信用に設定可能 FIFOメールボックスモード: 24メールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に4段、受信用に4段のFIFOを設定可能
受信	<ul style="list-style-type: none"> データフレームとリモートフレームを受信可能 受信するIDフォーマット (標準IDのみ、拡張IDのみ、標準と拡張両方のID)を選択可能 ワンショット受信機能を選択可能 オーバーライトモード (メッセージ上書き) かオーバーランモード (メッセージ破棄) を選択可能 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
アクセプタンスフィルタ	<ul style="list-style-type: none"> 8つのアクセプタンスマスク (4メールボックスごとに個別のマスク) メールボックスはマスクの有効/無効を個別に設定可能
送信	<ul style="list-style-type: none"> データフレームとリモートフレームを送信可能 送信するIDフォーマット (標準IDのみ、拡張IDのみ、標準と拡張両方のID)を選択可能 ワンショット送信機能を選択可能 ID優先送信モードかメールボックス番号優先送信モードを選択可能 送信要求をアボート可能 (フラグでアボート完了を確認可能) 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
バスオフ復帰方法	<ul style="list-style-type: none"> バスオフ状態からの復帰方法を選択可能 ISO11898-1仕様準拠 バスオフ開始で自動的にCAN Haltモードへ移行 バスオフ終了で自動的にCAN Haltモードへ移行 プログラムによりCAN Haltモードへ移行 プログラムによりエラーアクティブ状態へ遷移
エラー状態の監視	<ul style="list-style-type: none"> CANバスエラー (スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー)を監視可能 エラー状態の遷移を検出可能 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) エラーカウンタを読み出し可能
タイムスタンプ機能	<ul style="list-style-type: none"> 16ビットカウンタによるタイムスタンプ機能 基準クロックは、1、2、4、8ビットタイムから選択可能
割り込み機能	<ul style="list-style-type: none"> 5種類の割り込み要因 (受信完了割り込み、送信完了割り込み、受信FIFO割り込み、送信FIFO割り込み、エラー割り込み)
CANスリープモード	<ul style="list-style-type: none"> CANクロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	<ul style="list-style-type: none"> 3つのソフトウェアサポートユニット アクセプタンスフィルタサポート メールボックス検索サポート (受信メールボックス検索、送信メールボックス検索、メッセージロス検索) チャンネル検索サポート
CANクロックソース	周辺モジュールクロック (PCLK)、CANMCLK
テストモード	<ul style="list-style-type: none"> ユーザ評価用に3つのテストモードを用意 リスンオンリモード セルフテストモード0 (外部ループバック) セルフテストモード1 (内部ループバック)
消費電力低減機能	モジュールストップ状態への設定が可能

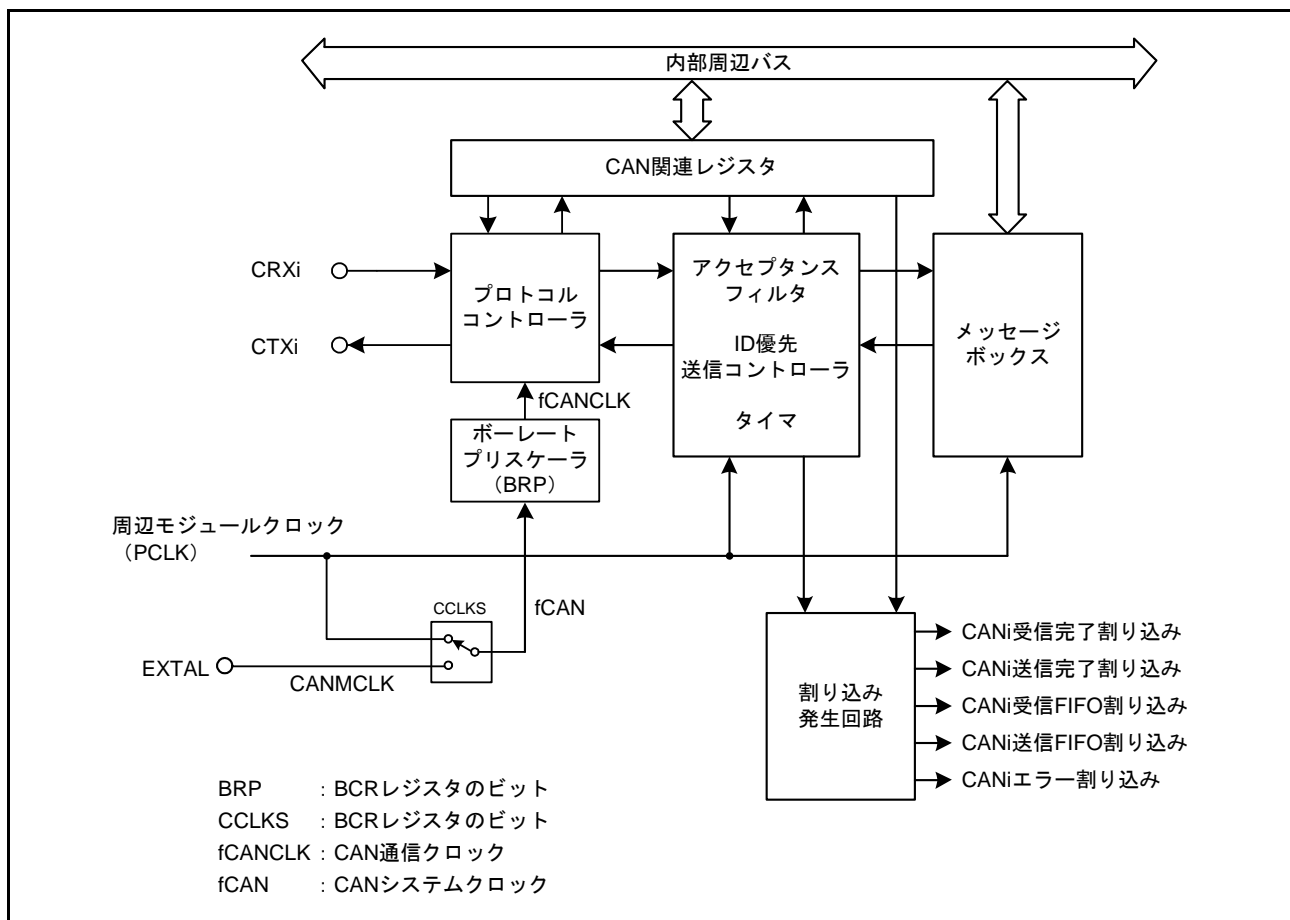


図 31.1 CAN モジュールブロック図 (i=1)

- CRXi、CTXi (i=1)
CAN の入出力端子です。
- プロトコルコントローラ
バスアービトラージや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。
- メッセージボックス
送信または受信メールボックスとして使用可能な 32 個のメールボックスで構成されています。固有の ID、データ長コード、8 バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ
受信メッセージのフィルタ処理を行います。このフィルタ処理には、MKR0 ~ MKR7 レジスタを使用します。
- タイマ
タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。
- 割り込み発生回路
次の 5 種類の割り込み要求を発生させることができます。
 - CANi 受信完了割り込み
 - CANi 送信完了割り込み
 - CANi 受信 FIFO 割り込み

CANi 送信 FIFO 割り込み

CANi エラー割り込み

表 31.2 に CAN モジュールで使用する端子を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「20. I/O ポート」を参照してください。

表 31.2 CANモジュールの端子構成

端子名	入出力	機能
CRX1	入力	データ受信用端子です
CTX1	出力	データ送信用端子です

31.2 レジスタの説明

31.2.1 制御レジスタ (CTRL)

アドレス CAN1.CTRL 0009 1840h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RBOC	BOM[1:0]	SLPM	CANM[1:0]	TSPS[1:0]	TSRC	TPM	MLM	IDFM[1:0]	MBM				
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBM	送受信メールボックスモード選択ビット (注1)	0 : 通常メールボックスモード 1 : FIFOメールボックスモード	R/W
b2-b1	IDFM[1:0]	IDフォーマットモードビット (注1)	b2 b1 0 0 : 標準IDモード すべてのメールボックス (FIFOメールボックスを含む) は標準IDのみに対応します 0 1 : 拡張IDモード すべてのメールボックス (FIFOメールボックスを含む) は拡張IDのみに対応します 1 0 : ミックスIDモード すべてのメールボックス (FIFOメールボックスを含む) は、標準IDと拡張IDの両方に対応します。標準IDと拡張IDの選択は、通常メールボックスモードの場合、対応するメールボックスのIDEビットで指定します。FIFOメールボックスモードの場合、メールボックス[0]~[23]は対応するメールボックスのIDEビット、受信FIFOはFIDCR0、FIDCR1レジスタのIDEビット、送信FIFOはメールボックス[24]のIDEビットで指定します 1 1 : 設定しないでください	R/W
b3	MLM	メッセージロストモード選択ビット (注2)	0 : オーバライトモード 1 : オーバランモード	R/W
b4	TPM	送信優先順位モード選択ビット (注2)	0 : ID優先送信モード 1 : メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリセットビット (注4)	0 : リセットしない 1 : リセットする (注3)	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケアラ選択ビット (注1)	b7 b6 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	R/W

ビット	シンボル	ビット名	機能	R/W
b9-b8	CANM[1:0]	CAN動作モード選択ビット (注5)	b9 b8 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CAN Haltモード 1 1 : CANリセットモード (強制移行)	R/W
b10	SLPM	CANスリープモードビット (注5、注6)	0 : CANスリープモードではない 1 : CANスリープモード	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード選択 ビット (注1)	b12 b11 0 0 : ノーマルモード (ISO11898-1仕様準拠) 0 1 : バスオフ開始で自動的にCAN Haltモードへ移行) 1 0 : バスオフ終了で自動的にCAN Haltモードへ移行) 1 1 : プログラムによる要求でCAN Haltモードへ移行) (バスオフ復帰期間中)	R/W
b13	RBOC	バスオフ強制復帰ビット (注2)	0 : 何もしない 1 : バスオフからの強制復帰 (注3)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、MBMビットは、CANリセットモード時に変更してください。

注2. RBOCビットはバスオフ状態時に“1”にしてください。

注3. “1”にした後自動的に“0”になります。読んだ場合“0”が読めます。

注4. TSRCビットはCANオペレーションモード時に“1”にしてください。

注5. CANM[1:0]、SLPMビットを変更した場合は、STRレジスタでモードが切り替わることを確認してください。モードが切り替わるまで、CANM[1:0]、SLPMビットは変更しないでください。

注6. SLPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。SLPMビットを書き替える場合は、本ビットのみ“0”または“1”にしてください。

MBM ビット (送受信メールボックスモード選択ビット)

MBM ビットが“0” (通常メールボックスモード) の場合、メールボックス [0] ~ [31] は送信または受信メールボックスに設定されます。

MBM ビットが“1” (FIFO メールボックスモード) の場合、メールボックス [0] ~ [23] は送信または受信メールボックスに設定され、メールボックス [24] ~ [27] は送信 FIFO に、メールボックス [28] ~ [31] は受信 FIFO に設定されます。

送信データはメールボックス [24] に書き込み (メールボックス [24] は送信 FIFO のウィンドウメールボックスです)、受信データはメールボックス [28] から読み出します (メールボックス [28] は受信 FIFO のウィンドウメールボックスです)。

表 31.3 にメールボックスの設定を示します。

IDFM[1:0] ビット (ID フォーマットモードビット)

IDFM[1:0] ビットは、ID フォーマットを決定します。

MLM ビット (メッセージロストモード選択ビット)

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。すべてのメールボックス (受信 FIFO を含む) は、オーバーライトモードかオーバーランモードのどちらかになります。

MLM ビットが“0”の場合、すべてのメールボックスはオーバーライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

MLM ビットが“1”の場合、すべてのメールボックスはオーバーランモードになり、新しいメッセージは破棄されます。

TPM ビット (送信優先順位モード選択ビット)

メッセージを送信する場合の優先順のモードを指定します。

TPM ビットは、ID 優先モードまたはメールボックス番号優先モードを選択します。すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信どちらかになります。

TPM ビットが“0”の場合、ID 優先送信モードとなり、送信優先順位は CAN バスアービトラクションルー

ル (ISO11898-1 仕様) に準拠します。ID 優先送信モードは、通常メールボックスモードのときメールボックス [0] ~ [31]、FIFO メールボックスモードのときメールボックス [0] ~ [23] と送信 FIFO の送信に設定されたメールボックスの ID を比較します。2 つ以上のメールボックスの ID が同じ場合、小さい番号のメールボックスが優先されます。

次に送信 FIFO から送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信 FIFO のメッセージを送信中の場合、送信 FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

TPM ビットが“1”の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス (メールボックス [0]~[23]) よりも優先順位が低くなります。

TSRC ビット (タイムスタンプカウンタリセットビット)

TSRC ビットを“1”にすると TSR レジスタは 0000h になります。このビットは自動的に“0”になります。

TSPS[1:0] ビット (タイムスタンププリスケアラ選択ビット)

タイムスタンプ用のプリスケアラを選択します。タイムスタンプの基準クロックは、1、2、4、または 8 ビットタイムから選択できます。

CANM[1:0] ビット (CAN 動作モード選択ビット)

CANM[1:0] ビットは、CAN モジュールのモード (CAN オペレーションモード、CAN リセットモード、CAN Halt モード) を選択するビットです。CAN スリープモードは SLPM ビットで設定します。詳細は「31.3 動作モード」を参照してください。

BOM[1:0] ビットの設定によって CAN Halt モードへ移行した場合は、CANM[1:0] ビットは自動的に“10b”になります。

SLPM ビット (CAN スリープモードビット)

SLPM ビットを“1”にすると CAN モジュールは CAN スリープモードになります。SLPM ビットを“0”にすると、CAN スリープモードは解除されます。詳細は、「31.3 動作モード」を参照してください。

BOM[1:0] ビット (バスオフ復帰モード選択ビット)

BOM[1:0] ビットは CAN モジュールのバスオフ復帰モードの選択に使用します。

BOM[1:0] ビットが“00b”の場合、バスオフからの復帰は ISO11898-1 仕様に準拠します。すなわち、CAN モジュールは、11 の連続するレセシブビットを 128 回検出後、再び CAN 通信 (エラーアクティブ状態) に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが“01b”の場合、CAN モジュールがバスオフ状態に達すると、CTRL レジスタの CANM[1:0] ビットが“10b” (CAN Halt モード) になってから、CAN Halt モードに移行します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは“00h”になります。

BOM[1:0] ビットが“10b”の場合、CAN モジュールがバスオフ状態に達すると、CANM[1:0] ビットが“10b”になり、バスオフ状態から復帰した (11 の連続するレセシブビットを 128 回検出) 後に、CAN Halt モードに移行します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタと RECR レジスタは“00h”になります。

BOM[1:0] ビットが“11b”の場合、CAN モジュールがまだバスオフ状態のときに CANM[1:0] ビットを“10b”にすると、CAN Halt モードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは“00h”になります。しかし、CANM[1:0] ビットを“10b”にする前に 11 の連続するレセシブビットを 128 回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CANモジュールがCAN Haltモードに移行すると同時に（BOM[1:0]ビット = “01b”のとき：バスオフ開始、またはBOM[1:0]ビット = “10b”のとき：バスオフ終了）に、CPUがCANリセットモードへの移行を要求した場合は、CPUの要求が優先されます。

RBOCビット（バスオフ強制復帰ビット）

バスオフ状態時にRBOCビットを“1”（バスオフからの強制復帰）にするとバスオフ状態から強制的に復帰します。このビットは自動的に“0”になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。RBOCビットを“1”にすると、RECR、TECRレジスタは“00h”になり、STRレジスタのBOSTビットは“0”（CANモジュールはバスオフ状態ではない）になります。他のレジスタはRBOCビットを“1”にしても変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RBOCビットは、BOM[1:0]ビットが“00B”（ノーマルモード）のときのみ使用してください。

表31.3 メールボックスの設定

メールボックス	MBMビット = “0” (通常メールボックスモード)	MBMビット = “1” (FIFOメールボックスモード)
メールボックス[0]～[23]	通常メールボックス	通常メールボックス
メールボックス[24]～[27]		送信FIFO
メールボックス[28]～[31]		受信FIFO

CTLR.MBMビットが“1”のときは以下の1.～5.の点に注意してください。

- 注1. 送信FIFOはTFCRレジスタで制御します。メールボックス[24]～[27]のMCTLjレジスタは無効です。MCTL24～MCTL27レジスタは送信FIFOでは使用できません。
- 注2. 受信FIFOはRFCRレジスタで制御します。メールボックス[28]～[31]のMCTLjレジスタは無効です。MCTL28～MCTL31レジスタは受信FIFOでは使用できません。
- 注3. FIFO割り込みについてはMIERレジスタを参照してください。
- 注4. MKIVLRレジスタのメールボックス[24]～[31]に対応するビットは無効です。これらのビットは“0”にしてください。
- 注5. 送信/受信FIFOはデータフレーム/リモートフレームを使用可能です。

31.2.2 ビットコンフィグレーションレジスタ (BCR)

アドレス CAN1.BCR 0009 1844h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
TSEG1[3:0]				—	—	BRP[9:0]									
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	SJW[1:0]		—	TSEG2[2:0]			—	—	—	—	—	—	—	CCLKS
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CANクロックソース選択ビット	0: PCLK (PLLクロックから生成) 1: CANMCLK (メインクロックから生成)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御ビット	b10 b8 0 0 0: (設定しないでください) 0 0 1: 2Tq 0 1 0: 3Tq 0 1 1: 4Tq 1 0 0: 5Tq 1 0 1: 6Tq 1 1 0: 7Tq 1 1 1: 8Tq	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	SJW[1:0]	再同期ジャンプ幅制御ビット	b13 b12 0 0: 1Tq 0 1: 2Tq 1 0: 3Tq 1 1: 4Tq	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b16	BRP[9:0]	プリスケアラ分周比選択ビット (注1)	CAN通信クロック (fCANCLK) の周波数を設定します	R/W
b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-28	TSEG1[3:0]	タイムセグメント1制御ビット	b31 b28 0 0 0 0: (設定しないでください) 0 0 0 1: (設定しないでください) 0 0 1 0: (設定しないでください) 0 0 1 1: 4Tq 0 1 0 0: 5Tq 0 1 0 1: 6Tq 0 1 1 0: 7Tq 0 1 1 1: 8Tq 1 0 0 0: 9Tq 1 0 0 1: 10Tq 1 0 1 0: 11Tq 1 0 1 1: 12Tq 1 1 0 0: 13Tq 1 1 0 1: 14Tq 1 1 1 0: 15Tq 1 1 1 1: 16Tq	R/W

Tq : Time Quantum

注1. SCKCR3.CKSEL[2:0]ビットが“010b” (メインクロック発振器選択) のときは、“1”以下を設定しないでください。

ビットタイミングの設定については、「31.4 CAN 通信速度の設定」を参照してください。

BCR レジスタは、CAN リセットモードから CAN Halt モードまたは CAN リセットモードから CAN オペレーションモードへ移行する前に設定してください。一度設定すると CAN リセットモードまたは CAN Halt モードで変更できません。

BCR レジスタは 24 ビットです。32 ビットでアクセスする場合は、b0 ~ b7 を書き換えないように注意してください。

CCLKS ビット (CAN クロックソース選択ビット)

CCLKS ビットを“0”にすると、CAN クロックソース (fCAN) は PLL 周波数シンセサイザから生成された周辺クロック (PCLK) が使用されます。

CCLKS ビットを“1”にすると、CAN クロックソース (fCAN) は PLL 周波数シンセサイザを使用せず、外部の EXTAL 端子から生成された CANMCLK が使用されます。

TSEG2[2:0] ビット (タイムセグメント 2 制御ビット)

フェーズバッファセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。2 ~ 8Tq の値が設定可能です。TSEG1[3:0] ビットより小さな値を設定してください。

SJW[1:0] ビット (再同期ジャンプ幅制御ビット)

再同期ジャンプ幅 (Resynchronization Jump Width) を Tq 値で指定します。1 ~ 4Tq の値が設定可能です。TSEG2[2:0] ビット以下の値を設定してください。

BRP[9:0] ビット (プリスケアラ分周比選択ビット)

CAN 通信クロック (fCANCLK) の周波数設定に使用します。fCANCLK の周期が 1Tq となります。設定値 P (0 ~ 1023) とすると、ポーレートプリスケアラは fCAN を P+1 で分周します。

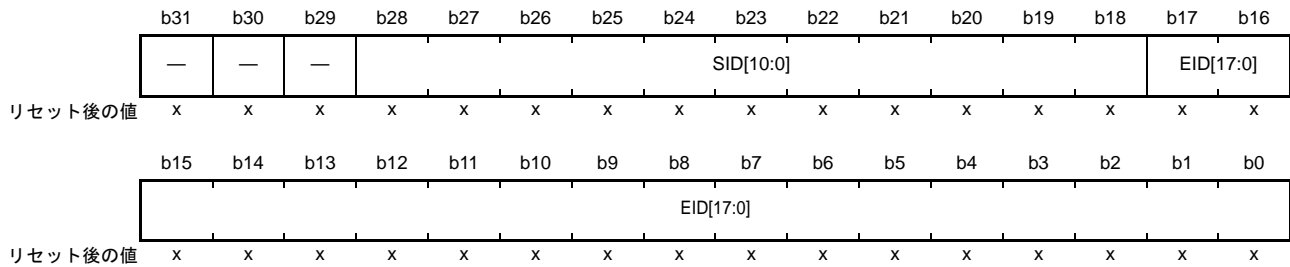
TSEG1[3:0] ビット (タイムセグメント 1 制御ビット)

プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を Time Quantum (Tq) 値で指定します。

4 ~ 16Tq の値が設定可能です。

31.2.3 マスクレジスタ k (MKRk) (k = 0 ~ 7)

アドレス CAN1.MKR0 0009 1400h、CAN1.MKR1 0009 1404h、CAN1.MKR2 0009 1408h、CAN1.MKR3 0009 140Ch、
CAN1.MKR4 0009 1410h、CAN1.MKR5 0009 1414h、CAN1.MKR6 0009 1418h、CAN1.MKR7 0009 141Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット	0 : 対応するEID[17:0]ビットは比較されない 1 : 対応するEID[17:0]ビットは比較される	R/W
b28-b18	SID[10:0]	標準IDビット	0 : 対応するSID[10:0]ビットは比較されない 1 : 対応するSID[10:0]ビットは比較される	R/W
b31-b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

FIFO メールボックスモードでのマスク機能については、「31.6 アクセプタンスフィルタ機能とマスク機能」を参照してください。

なお、MKR0 ~ MKR7 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

EID[17:0] ビット (拡張 ID ビット)

EID[17:0] ビットは、CAN 拡張 ID ビットに対応するフィルタマスクビットです。

拡張 ID のメッセージを受信する場合に使用します。

EID[17:0] ビットが“0”の場合、対応する EID[17:0] ビットは、受信した ID とメールボックスの ID を比較しません。

EID[17:0] ビットが“1”の場合、対応する EID[17:0] ビットは、受信した ID とメールボックスの ID を比較します。

SID[10:0] ビット (標準 ID ビット)

SID[10:0] ビットは、CAN 標準 ID ビットに対応するフィルタマスクビットです。

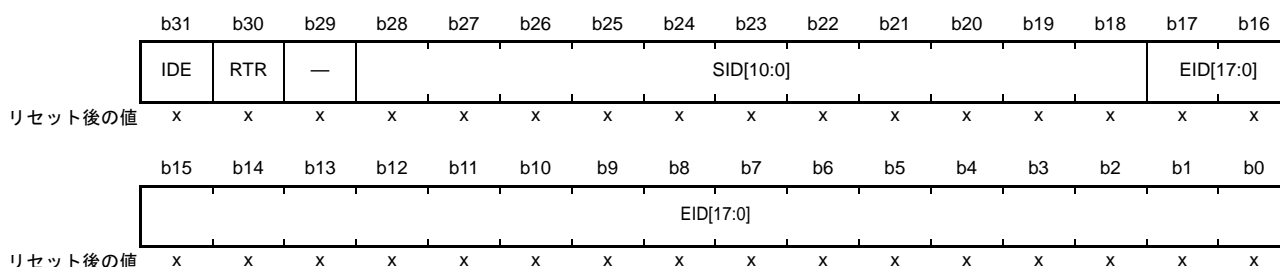
標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

SID[10:0] ビットが“0”の場合、対応する SID[10:0] ビットは、受信した ID とメールボックスの ID を比較しません。

SID[10:0] ビットが“1”の場合、対応する SID[10:0] ビットは、受信した ID とメールボックスの ID を比較します。

31.2.4 FIFO 受信 ID 比較レジスタ 0、1 (FIDCR0、FIDCR1)

アドレス CAN1.FIDCR0 0009 1420h、CAN1.FIDCR1 0009 1424h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット	0 : 対応するEID[17:0]ビットは“0” 1 : 対応するEID[17:0]ビットは“1”	R/W
b28-b18	SID[10:0]	標準IDビット	0 : 対応するSID[10:0]ビットは“0” 1 : 対応するSID[10:0]ビットは“1”	R/W
b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b30	RTR	リモート送信要求ビット	0 : データフレーム 1 : リモートフレーム	R/W
b31	IDE	ID拡張ビット (注1)	0 : 標準ID 1 : 拡張ID	R/W

注1. IDFM[1:0]ビットが“10b”以外の場合はIDEビットには“0”を書いてください。また、読んだ場合、その値は“0”です。

FIDCR0、FIDCR1 レジスタは、CTLR レジスタの MBM ビットが“1” (FIFO メールボックスモード) のとき有効です。MB28 ~ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効です。

FIDCR0、FIDCR1 レジスタの使用方法については、「31.6 アクセプタンスフィルタ機能とマスク機能」を参照してください。

FIDCR0、FIDCR1 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

EID[17:0] ビット (拡張 ID ビット)

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。

拡張 ID のメッセージを受信する場合に使用します。

SID[10:0] ビット (標準 ID ビット)

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。

標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

RTR ビット (リモート送信要求ビット)

RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。

- FIDCR0、FIDCR1 レジスタの両方の RTR ビットが“0”の場合、データフレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの両方の RTR ビットが“1”の場合、リモートフレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの RTR ビットが“0”と“1”のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます。

IDE ビット (ID 拡張ビット)

IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CTRL レジスタの IDFM[1:0] ビットが“10b” (ミックス ID モード) のとき有効です。

- FIDCR0、FIDCR1 レジスタの両方の IDE ビットが“0”の場合、標準 ID フレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの両方の IDE ビットが“1”の場合、拡張 ID フレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの IDE ビットが“0”と“1”のそれぞれ異なる設定の場合、標準 ID と拡張 ID のフレームの両方を受信できます。

31.2.5 マスク無効レジスタ (MKIVLR)

アドレス CAN1.MKIVLR 0009 1428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31~MB0	マスク無効ビット	0: マスク有効 1: マスク無効	R/W

MKIVLR レジスタには、各メールボックスに対応するビットが含まれます。

各ビットの対応を以下に示します。

MKIVLR レジスタのビット 0 はメールボックス 0 (MB0) に対応し、ビット 31 はメールボックス 31 (MB31) にそれぞれ対応しています。(注1)

該当するビットが“1”になると、該当するアクセプタンスマスクレジスタが対応するメールボックスに対して無効になります。マスク無効ビットを“1”にすると、受信メッセージの ID がメールボックスの ID に完全に一致する場合のみ対応するメールボックスが受信します。

なお、MKIVLR レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

注1. FIFO メールボックスモード時はビット 31 ~ 24 を“0”にしてください。

31.2.6 メールボックスレジスタ j (MBj) (j = 0 ~ 31)

表 31.4 に CAN1 メールボックスのメモリ配置、表 31.5 に CAN データフレームの構成を示します。

CAN1 メールボックスのリセット後の値は不定です。

MBj レジスタは、関連する MCTLj レジスタ (j = 0 ~ 31) が “00h” で、かつアボート処理中でないときのみ MBj レジスタの設定を変更してください。

レジスタアドレスの詳細については表 31.4 を参照してください。

表31.4 CAN1 メールボックスのメモリ配置

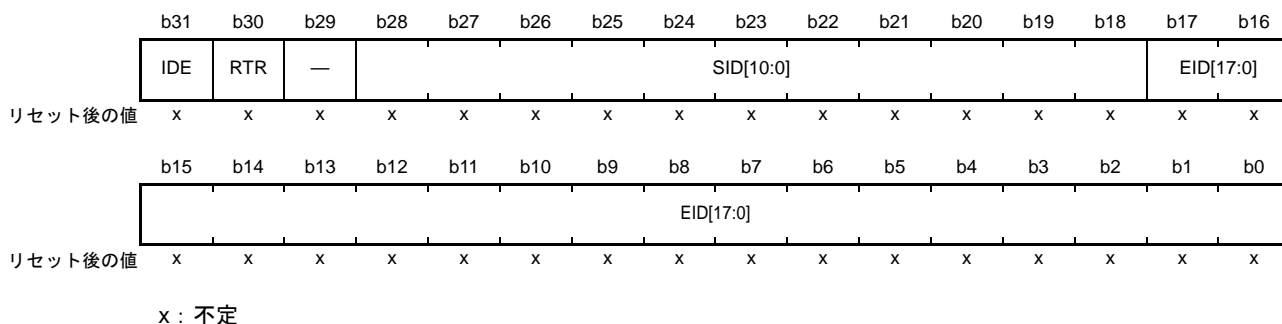
アドレス	メッセージ内容
CAN1	メモリ配置
0009 1200h + 16xj + 0	IDE、RTR、SID10~SID6
0009 1200h + 16xj + 1	SID5~SID0、EID17、EID16
0009 1200h + 16xj + 2	EID15~EID8
0009 1200h + 16xj + 3	EID7~EID0
0009 1200h + 16xj + 4	—
0009 1200h + 16xj + 5	データ長コード (DLC[3:0])
0009 1200h + 16xj + 6	データバイト0
0009 1200h + 16xj + 7	データバイト1
0009 1200h + 16xj + 8	データバイト2
0009 1200h + 16xj + 9	データバイト3
0009 1200h + 16xj + 10	データバイト4
0009 1200h + 16xj + 11	データバイト5
0009 1200h + 16xj + 12	データバイト6
0009 1200h + 16xj + 13	データバイト7
0009 1200h + 16xj + 14	タイムスタンプ上位バイト
0009 1200h + 16xj + 15	タイムスタンプ下位バイト

表 31.5 CAN データフレームの構成

SID10~SID6	SID5~SID0	EID17~EID16	EID15~EID8	EID7~EID0	DLC3~DLC0	DATA0	DATA1	...	DATA7
------------	-----------	-------------	------------	-----------	-----------	-------	-------	-----	-------

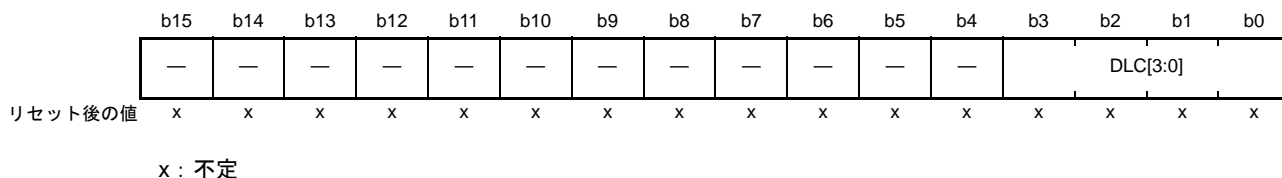
各メールボックスの内容は、新しいメッセージを受信しないかぎり、以前の値を保持します。

アドレス CAN1.MB0~CAN1.MB63 0009 1200h~ 0009 13FFh



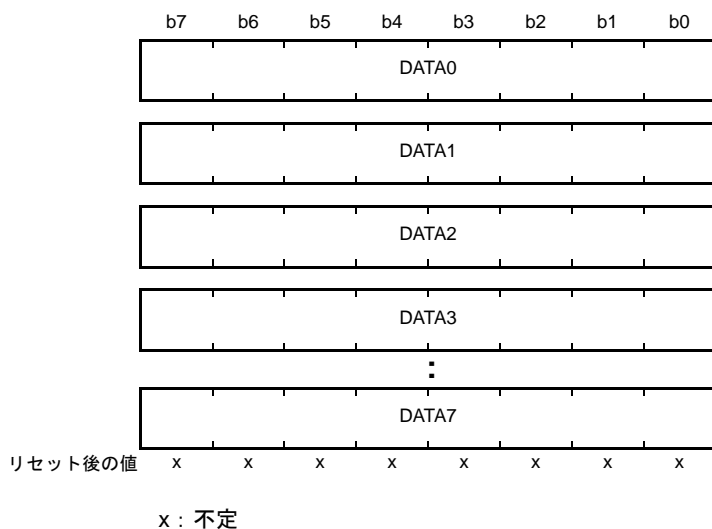
ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット (注1)	0 : 対応するEID[17:0]ビットは“0” 1 : 対応するEID[17:0]ビットは“1”	R/W
b28-b18	SID[10:0]	標準IDビット	0 : 対応するSID[10:0]ビットは“0” 1 : 対応するSID[10:0]ビットは“1”	R/W
b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b30	RTR	リモート送信要求ビット	0 : データフレーム 1 : リモートフレーム	R/W
b31	IDE	ID拡張ビット (注2)	0 : 標準ID 1 : 拡張ID	R/W

注1. メールボックスが標準IDのメッセージを受信すると、メールボックスのEID[17:0]ビットの値は不定になります。
 注2. IDEビットは、CTRLレジスタのIDFM[1:0]ビットが“10b” (ミックスIDモード) のときに有効です。IDFM[1:0]ビットが“10b”以外のときにはIDEビットに“0”を書いてください。また、読んだ場合、その値は“0”です。



ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	データ長コードビット (注1)	b3 b0 0 0 0 0 : データ長0バイト 0 0 0 1 : データ長1バイト 0 0 1 0 : データ長2バイト 0 0 1 1 : データ長3バイト 0 1 0 0 : データ長4バイト 0 1 0 1 : データ長5バイト 0 1 1 0 : データ長6バイト 0 1 1 1 : データ長7バイト 1 x x x : データ長8バイト 注1. x : 任意の値です	R/W
b15-b4	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

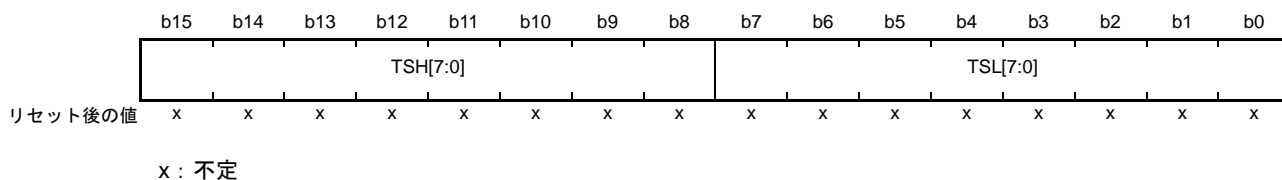
注1. メールボックスが8より小さいDLC[3:0]のメッセージを受信すると、メールボックスのDLC[3:0]より大きいDATAは不定になります。



ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0- DATA7	データ長コードビット (注1、注2)	DATA0～7は送信または受信したCANメッセージデータを格納します。DATA0から、送信または受信されます。CANバス上のビットオーダーは、MSBファーストでビット7から送信または受信されます	R/W

注1. メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATA_n～DATA7の値は不定になります。

注2. メールボックスがリモートフレームを受信した場合、メールボックスのDATA0～DATA7は以前の値が保持されます。



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]とTSL[7:0]は受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

EID[17:0] ビット (拡張 ID ビット)

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。
拡張 ID のメッセージを受信する場合に使用します。

SID[10:0] ビット (標準 ID ビット)

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。
標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

RTR ビット (リモート送信要求ビット)

RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。

- 受信メールボックスは、RTR ビットが指定するフォーマットのフレームのみ受信する

- 送信メールボックスは、RTR ビットが指定するフレームフォーマットに応じて送信を行う
- 受信 FIFO メールボックスは、FIDCR0、FIDCR1 レジスタの RTR ビットが指定するデータフレームとリモートフレームを受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの RTR ビットで選択したデータフレームまたはリモートフレームを送信する

IDE ビット (ID 拡張ビット)

IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CTRL レジスタの IDFM[1:0] ビットが“10b” (ミックス ID モード) のとき有効です。

- 受信メールボックスは、IDE ビットが指定する ID フォーマットのみ受信する
- 送信メールボックスは、IDE ビットが指定する ID フォーマットに応じて送信を行う
- 受信 FIFO メールボックスは、FIDCR0、FIDCR1 レジスタの IDE ビットが指定する標準 ID と拡張 ID を受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの IDE ビットで選択した標準 ID または拡張 ID のメッセージを送信する

DLC[3:0] ビット (データ長コードビット)

DLC[3:0] ビットはデータフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。

データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

31.2.7 メールボックス割り込み許可レジスタ (MIER)

アドレス CAN1.MIER 0009 142Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

• 通常メールボックスモード

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31~MB0	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可 ビット31はメールボックス31 (MB31)、ビット0はメールボックス0 (MB0) にそれぞれ対応しています	R/W

• FIFO メールボックスモード

ビット	シンボル	ビット名	機能	R/W
b23-b0	MB23~MB0	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可 ビット23はメールボックス23 (MB23)、ビット0はメールボックス0 (MB0) にそれぞれ対応しています	R/W
b24	MB24	送信FIFO割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W

ビット	シンボル	ビット名	機能	R/W
b25	MB25	送信FIFO割り込み発生タイミング制御ビット	0: 送信FIFO割り込み要求は、毎回の送信完了後発生 1: 送信FIFO割り込み要求は、送信完了により送信FIFOが空き状態になったとき発生	R/W
b27-b26	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b28	MB28	受信FIFO割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b29	MB29	受信FIFO割り込み発生タイミング制御ビット ^(注1)	0: 受信FIFO割り込み要求は、毎回の受信完了後発生 1: 受信FIFO割り込み要求は、受信完了により受信FIFOがバッファワーニングになったとき発生	R/W
b31-b30	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注1. 受信FIFOがフルからバッファワーニングとなった場合、割り込み要求は発生しません。なお、バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

MIERレジスタは、メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード（すべてのビット）とFIFOメールボックスモード（MIERレジスタのビット24～0）では、それぞれのビットは各メールボックスに対応します。これらのビットは、対応するメールボックスの送信完了/受信完了割り込みを許可/禁止します。

- MIERレジスタのビット0はメールボックス0（MB0）に対応
- MIERレジスタのビット31はメールボックス31（MB31）に対応

FIFOメールボックスモードのMIERレジスタのビット29、28、25、24は送信/受信FIFO割り込みの許可/禁止と割り込み要求が発生するタイミングを指定します。

MIERレジスタは、関連するMCTLjレジスタ（j=0～31）が“00h”で、対応するメールボックスが送受信アボートの処理をしていないときのみ変更してください。また、FIFO動作モード時は、TFCR.TFEビットが“0”でTFESTビットが“1”、RFCR.RFEビットが“0”でRFCR.RFESTビットが“1”のときのみ、関連するFIFOのMIERレジスタのビットを変更してください。

31.2.8 メッセージ制御レジスタ j (MCTLj) (j = 0 ~ 31)

アドレス CAN1.MCTL0~CAN1.MCTL310009 1820h~0009 183F

・送信モード (TRMREQビットが"1"、RECREQビットが"0"の場合)

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

・受信モード (TRMREQビットが"0"、RECREQビットが"1"の場合)

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALIDATA	NEWDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ (注1、注2)	0: 送信が終了していない 1: 送信完了	R/W
	NEWDATA	受信完了フラグ (注1、注2)	0: データが受信されていない、またはNEWDATAビットに"0"を書いた場合 1: 新しいメッセージをメールボックスに格納中または格納された場合	R/W
b1	TRMACTIVE	送信中ステータスビット	(送信メールボックス設定時有効) 0: 送信待機中または送信要求なし 1: 送信要求の取り込みから、送信完了、エラー発生、またはアービトレーションロスト発生まで	R
	INVALIDATA	受信中ステータスビット	(受信メールボックス設定時有効) 0: メッセージは有効 1: メッセージを更新中	R
b2	TRMABT	送信アポート完了フラグ (注1、注2)	(送信メールボックス設定時有効) 0: 送信が開始された、または送信アポートが送信完了により失敗、または送信アポートが要求されていない 1: 送信アポート完了	R/W
	MSGLOST	メッセージロストフラグ (注1、注2)	(受信メールボックス設定時有効) 0: メッセージはオーバライトまたはオーバランされていない 1: メッセージはオーバライトまたはオーバランされた	R/W
b3	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b4	ONESHOT	ワンショット許可ビット (注3)	0: ワンショット受信またはワンショット送信禁止 1: ワンショット受信またはワンショット送信許可	R/W
b5	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b6	RECREQ	受信メールボックス設定ビット (注2、注3、注4、注5)	0: 受信メールボックスに設定しない 1: 受信メールボックスに設定する	R/W
b7	TRMREQ	送信メールボックス設定ビット (注2、注4)	0: 送信メールボックスに設定しない 1: 送信メールボックスに設定する	R/W

注1. "0"のみ書けます。(1を書いても変化しません)

注2. NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ、およびTRMREQビットにプログラムで"0"を書く場合は、論理演算 (AND) 命令は使用しないでください。"0"にしたいビットを"0"、そうでないビットを"1"にして、転送 (MOV) 命令を使用してください。

注3. ワンショット受信モードに移行するときは、RECREQビットを"1"にするのと同時に、ONESHOTビットに"1"を書いてください。ワンショット受信モードを解除するときは、RECREQビットに"0"を書いた後、RECREQビットが"0"になったのを確認してからONESHOTビットに"0"を書いてください。ワンショット送信モードに移行するときは、TRMREQビットを"1"にするのと同時に、ONESHOTビットに"1"を書いてください。ワンショット送信モードを解除するときは、メッセージが送信されたか中止された後にONESHOTビットに"0"を書いてください。

注4. RECREQビットとTRMREQビットの両方を"1"にしないでください。

注5. RECREQビットを"0"にするときには、NEWDATA、MSGLOSTフラグとRECREQビットは同時に"0"にしてください。

MCTLjレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。
FIFOメールボックスモードでは、MCTL24～MCTL31レジスタは使用しないでください。

SENTDATA フラグ (送信完了フラグ)

SENTDATAフラグは、対応するメールボックスからのデータ送信が完了すると“1”になります。
SENTDATAフラグは、プログラムで“0”を書くと“0”になります。

SENTDATAフラグを“0”にする場合は、TRMREQビットを“0”にしてからSENTDATAフラグを“0”にしてください。SENTDATAフラグとTRMREQビットは同時に“0”になりません。メールボックスから新しいメッセージを転送するには、SENTDATAフラグを“0”にしてください。

NEWDATA フラグ (受信完了フラグ)

NEWDATAフラグは、メールボックスに新しいメッセージを格納中または格納が完了したときに“1”になります。“1”になるタイミングは、INVALIDDATAビットと同時です。NEWDATAフラグは、プログラムで“0”を書くと“0”になります。関連するINVALIDDATAビットが“1”の間は、NEWDATAフラグはプログラムで“0”を書いても“0”にできません。

TRMACTIVE ビット (送信中ステータスビット)

TRMACTIVEビットは、CANモジュールから対応するメールボックスのメッセージ送信を開始すると“1”になります。TRMACTIVEビットは、CANモジュールがCANバスアービトラーションに負けるか、CANバスエラーが起こるか、あるいはデータ送信が完了すると“0”になります。

INVALIDDATA ビット (受信中ステータスビット)

INVALIDDATAビットは、メッセージの受信完了後、受信したメッセージをメールボックスに更新中に“1”になります。INVALIDDATAビットは、メッセージの格納完了時点で“0”になります。INVALIDDATAビットが“1”の間にメールボックスを読んだ場合、データは不定値になります。

TRMABT フラグ (送信アボート完了フラグ)

TRMABTフラグは、次の場合、“1” (送信アボート完了) になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
- 送信アボート要求に続いて、CANモジュールがCANバスアービトラーションロストまたはCANバスエラーを検出した場合
- ワンショット送信モード (RECREQビットが“0”、TRMREQビットが“1”、ONESHOTビットが“1”) で、CANモジュールがCANバスアービトラーションロストまたはCANバスエラーを検出した場合

TRMABTフラグは、データ送信が完了しても“1”にはなりません。データ送信が完了した場合はSENTDATAフラグが“1”になります。TRMABTフラグは、プログラムで“0”を書くと“0”になります。

MSGLOST フラグ (メッセージロストフラグ)

MSGLOSTフラグは、NEWDATAフラグが“1”の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり、破棄されたりした場合、“1”になります。EOFの6番目のビットの終わりで“1”になります。MSGLOSTフラグは、プログラムで“0”を書くと“0”になります。

オーバーライトモードとオーバーランモードの両方において、EOFの6番目のビットに続く周辺モジュールクロック (PCLK) の5サイクルの間は、MSGLOSTフラグはプログラムで“0”を書いても“0”にできません。

ONESHOT ビット (ワンショット許可ビット)

ONESHOTビットは受信モードと送信モードの2つの使い方があります。

- ワンショット受信モード

受信モード (RECREQ ビットが“1”、TRMREQ ビットが“0”) のとき ONESHOT ビットを“1”にすると、メールボックスはメッセージを1回のみ受信します (メッセージを1回受信完了した後は受信メールボックスとして動作しません)。NEWDATA フラグおよび INVALIDDATA ビットの動作は、通常の実受信モードと同じです。このモードでは、MSGLOST フラグは“1”にはなりません。ONESHOT ビットを“0”にする場合、RECREQ ビットへ“0”を書いた後、RECREQ ビットが“0”になることを確認してから行ってください。

- ワンショット送信モード

送信モード (RECREQ ビットが“0”、TRMREQ ビットが“1”) のとき ONESHOT ビットを“1”にすると、CAN モジュールはメッセージを1回のみ送信しようとします (CAN バスエラーまたは CAN バスアービトレーションロストの場合でも、メッセージの再送信を行いません)。送信が完了した場合、SENTDATA フラグが“1”になります。CAN バスエラーまたは CAN バスアービトレーションロストによって送信が完了しない場合は、TRMABT フラグが“1”になります。ONESHOT ビットを“0”にする場合は、SENTDATA フラグが“1”または TRMABT フラグが“1”になった後に行ってください。

RECREQ ビット (受信メールボックス設定ビット)

RECREQ ビットは表 31.10 に示す受信モードを選択します。

RECREQ ビットを“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。

RECREQ ビットを“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、RECREQ ビットはプログラムで“0”を書いても“0”にはなりません。

- ハードウェアプロテクトの開始

アクセプタンスフィルタ処理の開始 (CRC フィールドの始まり)

- ハードウェアプロテクトの解除

—メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、または CAN バスエラーが発生した後 (すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで)

—その他のメールボックスは、アクセプタンスフィルタ処理後

—受信するメールボックスがない場合は、アクセプタンスフィルタ処理後

RECREQ ビットを“1”にする場合は、TRMREQ ビットを“1”にしないでください。メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアボートし、そして SENTDATA フラグと TRMABT フラグを“0”にしてください。

TRMREQ ビット (送信メールボックス設定ビット)

TRMREQ ビットは表 31.10 に示す送信モードを選択します。

TRMREQ ビットを“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

TRMREQ ビットを“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

送信要求をキャンセルするために、TRMREQ ビットを“1”から“0”に変更すると、TRMABT フラグまたは SENTDATA フラグが“1”になります。TRMREQ ビットを“1”にする場合は、RECREQ ビットを“1”にしないでください。メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアボートし、そして NEWDATA フラグと MSGLOST フラグを“0”にしてください。

31.2.9 受信 FIFO 制御レジスタ (RFCR)

アドレス CAN1.RFCR 0009 1848h

b7	b6	b5	b4	b3	b2	b1	b0
RFEST	RFWST	RFFST	RFMLF	RFUST[2:0]		RFE	
リセット後の値	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO 許可ビット	0: 受信 FIFO 禁止 1: 受信 FIFO 許可	R/W
b3-b1	RFUST[2:0]	受信 FIFO 未読メッセージ数ステータスビット	b3 b1 0 0 0: 未読メッセージなし 0 0 1: 未読メッセージ1件あり 0 1 0: 未読メッセージ2件あり 0 1 1: 未読メッセージ3件あり 1 0 0: 未読メッセージ4件あり 1 0 1: 予約 1 1 0: 予約 1 1 1: 予約	R
b4	RFMLF	受信 FIFO メッセージロストフラグ	0: 受信 FIFO メッセージロスト未発生 1: 受信 FIFO メッセージロスト発生	R/W
b5	RFFST	受信 FIFO フルステータスビット	0: 受信 FIFO はフルではない 1: 受信 FIFO はフル (未読メッセージ4件)	R
b6	RFWST	受信 FIFO バッファワーニングステータスフラグ	0: 受信 FIFO はバッファワーニングではない 1: 受信 FIFO はバッファワーニング (未読メッセージ3件)	R
b7	RFEST	受信 FIFO 空ステータスフラグ	0: 受信 FIFO に未読メッセージあり 1: 受信 FIFO に未読メッセージなし	R

RFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

RFE ビット (受信 FIFO 許可ビット)

RFE ビットを“1”にすると、受信 FIFO が受信許可になります。

RFE ビットを“0”にすると、受信 FIFO は受信禁止になり、空状態 (RFEST ビットが“1”) になります。RFMLF ビットと同時に RFE ビットに“0”を書いてください。

通常メールボックスモード (CTRL レジスタの MBM ビットが“0”) では RFE ビットを“1”にしないでください。以下の期間はハードウェアプロテクトがかかり、RFE ビットはプログラムで“0”を書いても“0”にできません。

- ハードウェアプロテクトの開始
 - －アクセプタンスフィルタ処理の開始 (CRC フィールドの始まり)
- ハードウェアプロテクトの解除
 - －メッセージの受信に受信 FIFO が指定された場合は、受信メッセージが受信 FIFO に格納された後、または CAN バスエラーが発生した後 (すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで)
 - －受信 FIFO が指定されない場合は、アクセプタンスフィルタ処理後

RFUST[2:0] ビット (受信 FIFO 未読メッセージ数ステータスビット)

RFUST[2:0] ビットは、受信 FIFO 内の未読メッセージの数を示します。

RFE ビットを“0”にすると、RFUST[2:0] ビットの値は“000b”になります。

RFMLF フラグ (受信 FIFO メッセージロストフラグ)

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF ビットは“1” (受信 FIFO メッセージロスト発生) になります。“1”になるタイミングは、EOF の 6 番目のビットの終わりです。

RFMLF ビットはプログラムで“0”を書くと“0”になります。“1”を書いても変化しません。オーバランモードとオーバーライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアのプロテクトにより EOF の 6 番目のビットに続く周辺モジュールクロック (PCLK) の 5 サイクルの間は、RFMLF ビットは“0” (受信 FIFO メッセージロスト未発生) になりません。

RFFST ビット (受信 FIFO フルステータスビット)

受信 FIFO 内の未読メッセージが 4 件になると、RFFST ビットは“1” (受信 FIFO はフル) になります。受信 FIFO 内の未読メッセージが 4 件未満になると、RFFST ビットは“0” (受信 FIFO はフルではない) になります。RFE ビットを“0”にすると、RFFST ビットは“0”になります。

RFWST フラグ (受信 FIFO バッファワーニングステータスフラグ)

受信 FIFO 内の未読メッセージが 3 件になると、RFWST ビットは“1” (受信 FIFO はバッファワーニング) になります。受信 FIFO 内の未読メッセージの数が 3 未満または 4 件になると、RFWST ビットは“0” (受信 FIFO はバッファワーニングではない) になります。RFE ビットを“0”にすると、RFWST ビットは“0”になります。

RFEST フラグ (受信 FIFO 空ステータスフラグ)

受信 FIFO 内の未読メッセージがなくなると、RFEST ビットは“1” (受信 FIFO に未読メッセージなし) になります。RFE ビットを“0”にすると、RFEST ビットは“1”になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、RFEST ビットは“0” (受信 FIFO に未読メッセージあり) になります。

図 31.2 に受信 FIFO メールボックスの動作を示します。

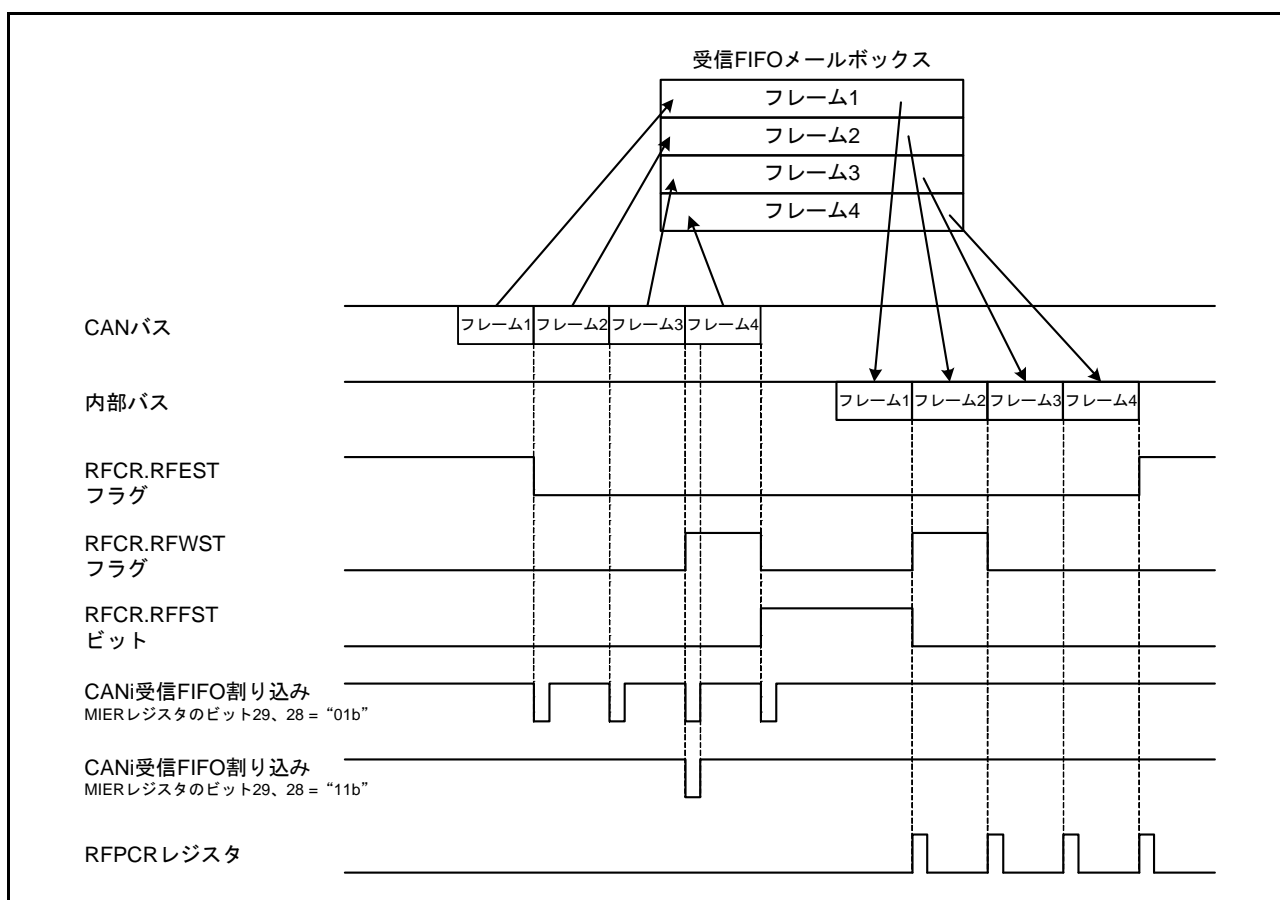
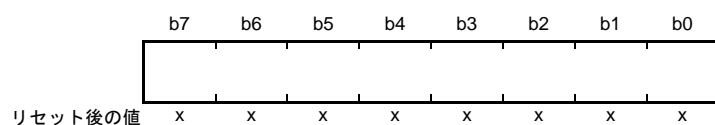


図 31.2 受信 FIFO メールボックスの動作 (MIER レジスタのビット 29、28 が“01b” または“11b”)

31.2.10 受信 FIFO ポインタ制御レジスタ (RFPCR)

アドレス CAN1.RFPCR 009 1849h



x : 不定

ビット	機能	R/W
b7-b0	RFPCR レジスタに“FFh”を書き込むと、受信 FIFO の CPU 側ポインタが移動	W

受信 FIFO が空状態でないとき、受信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、RFPCR レジスタにプログラムで“FFh”を書いてください。

RFPCR レジスタの RFE ビットが“0” (受信 FIFO 禁止) のときは、RFPCR レジスタに書かないでください。受信オーバーライトモードで RFFST ビットが“1” (受信 FIFO はフル) のときに新しいメッセージが受信されると、CAN 側ポインタと CPU 側ポインタの両方が移動します。この状態で、RFMLF ビットが“1” のとき、プログラムで RFPCR レジスタに書き込んでも CPU 側ポインタは移動しません。

31.2.11 送信 FIFO 制御レジスタ (TFCR)

アドレス CAN1.TFCR 0009 184Ah

b7	b6	b5	b4	b3	b2	b1	b0
TFEST	TFFST	—	—	TFUST[2:0]		TFE	
リセット後の値	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信 FIFO 許可ビット	0: 送信 FIFO 禁止 1: 送信 FIFO 許可	R/W
b3-b1	TFUST[2:0]	送信 FIFO 未送信メッセージ数ステータスビット	b3 b2 b1 0 0 0: 未送信メッセージなし 0 0 1: 未送信メッセージ1件 0 1 0: 未送信メッセージ2件 0 1 1: 未送信メッセージ3件 1 0 0: 未送信メッセージ4件 1 0 1: 予約 1 1 0: 予約 1 1 1: 予約	R
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	TFFST	送信 FIFO フルステータスビット	0: 送信 FIFO はフルではない 1: 送信 FIFO はフル (未送信4件)	R
b7	TFEST	受信 FIFO 空ステータスビット	0: 送信 FIFO に未送信メッセージあり 1: 送信 FIFO に未送信メッセージなし	R

TFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

TFE ビット (送信 FIFO 許可ビット)

TFE ビットを“1”にすると、送信 FIFO が送信許可になります。

TFE ビットを“0”にすると、送信 FIFO は空状態 (TFEST ビットが“1”) になり、次のように送信 FIFO からの未送信メッセージが失われます。

- 送信 FIFO からの次の送信予定がなく、また送信中でもないとき、空状態になります。
- 送信 FIFO からの次の送信予定があるかまたはすでに送信中の場合、送信完了、CAN バスエラー、アービトラージロスト、または CAN Halt モードへの移行に続いて空状態になります。

TFE ビットを再度“1”にする前に、TFEST ビットが“1”になっているか確認してください。TFE ビットを“1”にした後、送信データを MB24 レジスタに書いてください。

通常メールボックスモード (CTRL レジスタの MBM ビットが“0”) では、TFE ビットを“1”にしないでください。

TFUST[2:0] ビット (送信 FIFO 未送信メッセージ数ステータスビット)

TFUST[2:0] ビットは、送信 FIFO 内の未送信メッセージの数を表示します。

TFE ビットを“0”にした後、送信アボート完了または送信完了すると、TFUST[2:0] ビットの値は“000b”になります。

TFFST ビット (送信 FIFO フルステータスビット)

送信 FIFO 内の未送信メッセージの数が4件になると、TFFST ビットは“1” (送信 FIFO はフル) になります。送信 FIFO 内の未送信メッセージの数が4未満になると、TFFST ビットは“0” (送信 FIFO はフルではない) になります。送信 FIFO の送信アボートが完了すると、TFFST ビットは“0”になります。

TFEST ビット (受信 FIFO 空ステータスビット)

送信 FIFO 内の未送信メッセージがなくなると、TFEST ビットは“1” (送信 FIFO にメッセージなし) になります。送信 FIFO の送信アボートが完了すると、TFEST ビットは“1”になります。送信 FIFO 内の未送信メッセージの数が1件以上になると、TFEST ビットは“0” (送信 FIFO にメッセージあり) になります。

図 31.3 に送信 FIFO メールボックスの動作を示します。

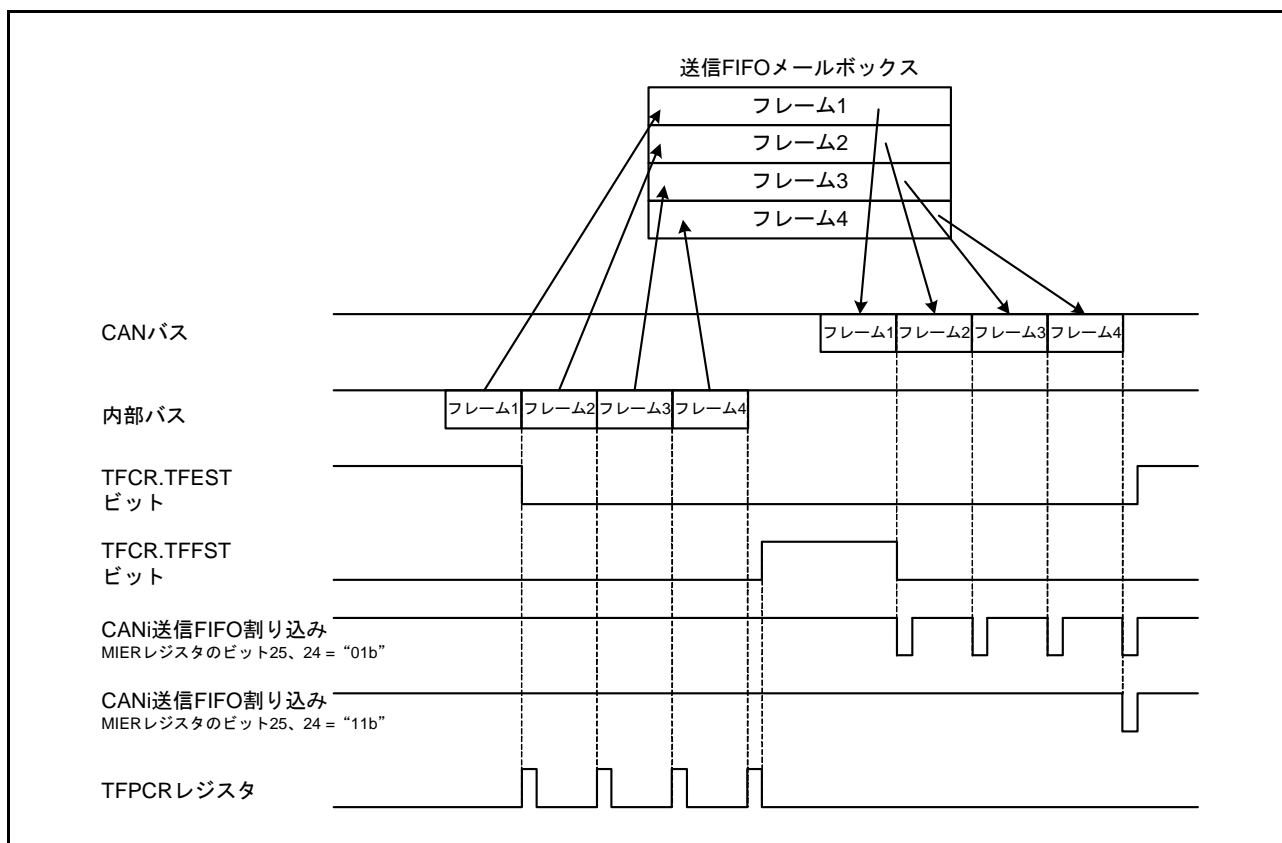
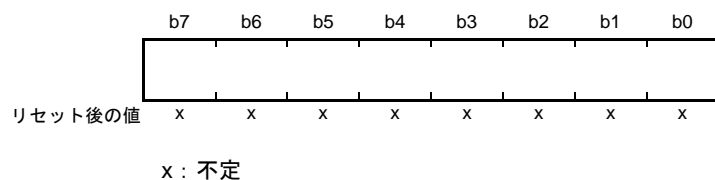


図 31.3 送信 FIFO メールボックスの動作 (MIER レジスタのビット 25、24 が“01b” または“11b”)

31.2.12 送信 FIFO ポインタ制御レジスタ (TFPCR)

アドレス CAN1.TFPCR 0009 184Bh



ビット	機能	R/W
b7-b0	TFPCR レジスタに“FFh”を書き込むと、CPU側の送信 FIFO ポインタが移動	W

送信 FIFO がフルでないとき、送信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、TFPCR レジスタにプログラムで“FFh”を書いてください。

TFCR.TFE ビットが“0” (送信 FIFO 禁止) のときは、TFPCR レジスタに書かないでください。

31.2.13 ステータスレジスタ (STR)

アドレス CAN1.STR 0009 1842h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATAステータスフラグ	0 : NEWDATA フラグが“1”のメールボックスなし 1 : NEWDATA フラグが“1”のメールボックスあり	R
b1	SDST	SENTDATAステータスフラグ	0 : SENTDATA フラグが“1”のメールボックスなし 1 : SENTDATA フラグが“1”のメールボックスあり	R
b2	RFST	受信FIFOステータスフラグ	0 : 受信FIFOにメッセージなし (空) 1 : 受信FIFOにメッセージあり	R
b3	TFST	送信FIFOステータスフラグ	0 : 送信FIFOはフル 1 : 送信FIFOはフルではない	R
b4	NMLST	通常メッセージロストステータスフラグ	0 : MSGLOST フラグが“1”のメールボックスなし 1 : MSGLOST フラグが“1”のメールボックスあり	R
b5	FMLST	FIFOメッセージロストステータスフラグ	0 : RFMLF ビットが“0” 1 : RFMLF ビットが“1”	R
b6	TABST	送信アボートステータスフラグ	0 : TRMABT ビットが“1”のメールボックスなし 1 : TRMABT ビットが“1”のメールボックスあり	R
b7	EST	エラーステータスフラグ	0 : エラーなし 1 : エラー発生	R
b8	RSTST	CANリセットステータスフラグ	0 : CANリセットモードではない 1 : CANリセットモード	R
b9	HLTST	CAN Haltステータスフラグ	0 : CAN Haltモードではない 1 : CAN Haltモード	R
b10	SLPST	CANスリープステータスフラグ	0 : CANスリープモードではない 1 : CANスリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0 : エラーパッシブ状態ではない 1 : エラーパッシブ状態	R
b12	BOST	バスオフステータスフラグ	0 : バスオフ状態ではない 1 : バスオフ状態	R
b13	TRMST	送信ステータスフラグ (transmitter)	0 : バスアイドルまたは受信中 1 : 送信中またはバスオフ状態	R
b14	RECST	受信ステータスフラグ (receiver)	0 : バスアイドルまたは送信中 1 : 受信中	R
b15	—	予約ビット	読むと“0”が読めます。	R

NDST フラグ (NEWDATA ステータスフラグ)

MCTLj.NEWDATA フラグ (j=0~31) が1つでも“1”になると、MIER レジスタの値とは無関係に NDST フラグは“1”になります。NEWDATA フラグがすべて“0”になると、NDST フラグは“0”になります。

SDST フラグ (SENTDATA ステータスフラグ)

MCTLj.SENTDATA フラグ (j=0~31) が1つでも“1”になると、MIER レジスタの値とは無関係に SDST フラグは“1”になります。SENTDATA フラグがすべて“0”になると、SDST フラグは“0”になります。

RFST フラグ (受信 FIFO ステータスフラグ)

RFST フラグは、受信 FIFO が空状態以外になると“1”になります。受信 FIFO が空状態か通常メールボックスモードになると“0”になります。

TFST フラグ (送信 FIFO ステータスビット)

TFST フラグは、送信 FIFO がフル以外になると“1”になります。送信 FIFO がフルか通常メールボックスモードになると“0”になります。

NMLST フラグ (通常メッセージロストステータスフラグ)

MCTLj レジスタの MSGLOST フラグが一つでも“1”になると、MIER レジスタの値とは無関係に NMLST フラグは“1”になります。MSGLOST フラグがすべて“0”になると、NMLST フラグは“0”になります。

FMLST フラグ (FIFO メッセージロストステータスフラグ)

RFMR レジスタの RFMLF ビットが“1”になると、MIER レジスタの値とは無関係に FMLST フラグは“1”になります。RFMLF フラグが“0”のとき、FMLST フラグは“0”になります。

TABST フラグ (送信アポートステータスフラグ)

MCTLj レジスタの TRMABT フラグが一つでも“1”になると、MIER レジスタの値とは無関係に TABST ビットは“1”になります。TRMABT フラグがすべて“1”でないとき、TABST フラグは“0”になります。

EST フラグ (エラーステータスフラグ)

EIFR レジスタで一つでもエラーが検出されると、EIER レジスタの値とは無関係に EST フラグは“1”になります。EIFR レジスタで一つもエラーが検出されない場合は、EST フラグは“0”になります。

RSTST フラグ (CAN リセットステータスフラグ)

RSTST フラグは、CAN リセットモードになると“1”になります。CAN リセットモード以外になると“0”になります。CAN リセットモードから CAN スリープモードに移行しても、RSTST フラグは“1”のままです。

HLTST フラグ (CAN Halt ステータスフラグ)

HLTST フラグは、CAN Halt モードになると“1”になります。CAN Halt モード以外になると“0”になります。CAN Halt モードから CAN スリープモードに移行しても、HLTST フラグは“1”のままです。

SLPST フラグ (CAN スリープステータスフラグ)

SLPST フラグは、CAN スリープモードになると“1”になります。CAN スリープモード以外になると“0”になります。

EPST フラグ (エラーパッシブステータスフラグ)

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態 ($128 \leq TEC < 256$ または $128 \leq REC < 256$) になると、EPST フラグは“1”になります。エラーパッシブ状態以外になると、EPST フラグは“0”になります。

BOST フラグ (バスオフステータスフラグ)

TECR レジスタの値が 255 を超えて CAN モジュールがバスオフ状態 ($TEC \geq 256$) になると、BOST フラグは“1”になります。バスオフ状態以外になると、BOST フラグは“0”になります。

TRMST フラグ (送信ステータスフラグ) (transmitter)

CAN モジュールが送信ノードかバスオフ状態になると TRMST フラグは“1”になります。受信ノードかバスアイドル状態になると TRMST フラグは“0”になります。

RECST フラグ (受信ステータスフラグ) (receiver)

CAN モジュールが受信ノードになると RECST フラグは“1”になります。送信ノードかバスアイドル状態になると RECST フラグは“0”になります。

31.2.14 メールボックスサーチモードレジスタ (MSMR)

アドレス CAN1.MSMR 0009 1853h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	MBSM[1:0]	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択ビット	b1 b0 0 0 : 受信メールボックス検索モード 0 1 : 送信メールボックス検索モード 1 0 : メッセージロスト検索モード 1 1 : チャンネル検索モード	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MSMR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

MBSM[1:0] ビット (メールボックス検索モード選択ビット)

MBSM[1:0] ビットはメールボックス検索機能のための検索モードを選択します。

MBSM[1:0] ビットが“00b”の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタ (j=0 ~ 31) の通常メールボックスでの NEWDATA フラグと RFCR レジスタの RFEST ビットです。

MBSM[1:0] ビットが“01b”の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタの SENTDATA フラグです。

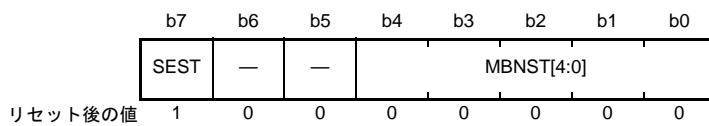
MBSM[1:0] ビットが“10b”の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタの通常メールボックスでの MSGLOST フラグと RFCR レジスタの RFMLF フラグです。

MBSM[1:0] ビットが“11b”の場合、チャンネル検索モードになります。

このモードで検索対象となるレジスタは CSSR レジスタです。「31.2.16 チャンネルサーチサポートレジスタ (CSSR)」を参照してください。

31.2.15 メールボックスサーチステータスレジスタ (MSSR)

アドレス CAN1.MSSR 0009 1852h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータスビット	MSMRレジスタの各モードで検索された、最小のメールボックス番号を表示	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SEST	検索結果空ステータスビット	0：検索結果あり 1：検索結果なし	R

MBNST[4:0] ビット (検索結果メールボックス番号ステータスビット)

MBNST[4:0] ビットは、MSMR レジスタの各モードで検索された、最小のメールボックス番号が表示されます。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、次の場合に更新されます。

- 出力されたメールボックスの NEWDATA、SENTDATA、または MSGLOST フラグが“0”になる
- より優先順位の高いメールボックスの NEWDATA、SENTDATA、または MSGLOST フラグが“1”になる

MBSM[1:0] ビットが“00b” (受信メールボックス検索モード) および“10b” (メッセージロスト検索モード) のとき、受信 FIFO が空状態でなく、すべての通常メールボックス (メールボックス [0] ~ [23]) に未読の受信メッセージもロストメッセージもない場合、受信 FIFO (メールボックス [28]) が出力されます。MBSM[1:0] ビットが“01b” (送信メールボックス検索モード) のとき、送信 FIFO (メールボックス [24]) は出力されません。表 31.6 に FIFO メールボックスモードでの MBNST[4:0] ビットの動作を示します。

チャンネル検索モードでは、MBNST[4:0] ビットはチャンネル番号が出力されます。MBNST[4:0] ビットは MSSR レジスタがプログラムで読み出された後に、次のターゲットチャンネル番号が出力されます。

SEST ビット (検索結果空ステータスビット)

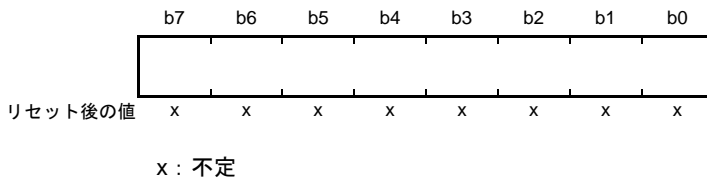
すべてのメールボックスの検索で該当するメールボックスがない場合、SEST ビットは“1” (検索結果なし) になります。たとえば、送信メールボックス検索モードで、SENTDATA フラグが“1”のメールボックスがひとつもない場合、SEST ビットは“1”になり、ひとつでもある場合、“0”になります。SEST ビットが“1”の場合、MBNST[4:0] ビットの値は不定です。

表 31.6 FIFO メールボックスモードでの MBNST[4:0] ビットの動作

MBSM[1:0] ビット	メールボックス [24] (送信 FIFO)	メールボックス [28] (受信 FIFO)
“00b”	メールボックス [24] は表示されない	通常メールボックスのどの MCTLj.NEWDATA フラグも“1” (新しいメッセージがメールボックスに格納中または格納された) にならず、また受信 FIFO が空でない場合はメールボックス [28] が表示される
“01b”		メールボックス [28] は表示されない
“10b”		通常メールボックスのどの MCTLj.MSGLOST フラグも“1” (メッセージはオーバーライトまたはオーバーランされた) にならず、受信 FIFO 内の RFCR.RFMLF ビットが“1” (受信 FIFO メッセージロスト発生) になるとメールボックス [28] が表示される
“11b”		メールボックス [28] は表示されない

31.2.16 チャンネルサーチサポートレジスタ (CSSR)

アドレス CAN1.CSSR 0009 1851h



ビット	機能	R/W
b7-b0	チャンネル検索の値が入力された場合、チャンネル番号をMSSRレジスタに出力	R/W

“1”になった CSSR レジスタのビットは、8/3 エンコーダ（最小ビット位置がより高い優先順位）によってエンコードされ、MSSR レジスタの MBNST[4:0] ビットに出力されます。

MSSR レジスタは、MSSR レジスタをプログラムで読み出すたびに更新された値が表示されます。

なお、CSSR レジスタは、MSMR レジスタの MBSM[1:0] ビットが “11b”（チャンネル検索モード）のときのみ変更してください。CSSR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

図 31.4 に CSSR、MSSR レジスタの書き込みと読み出しを示します。

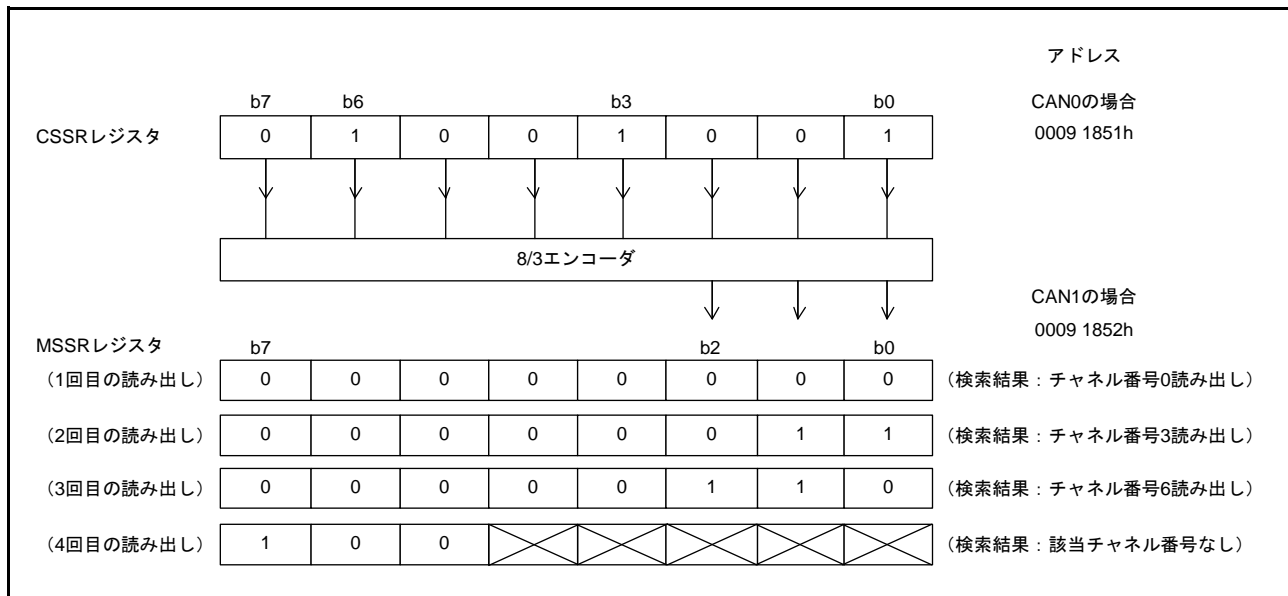
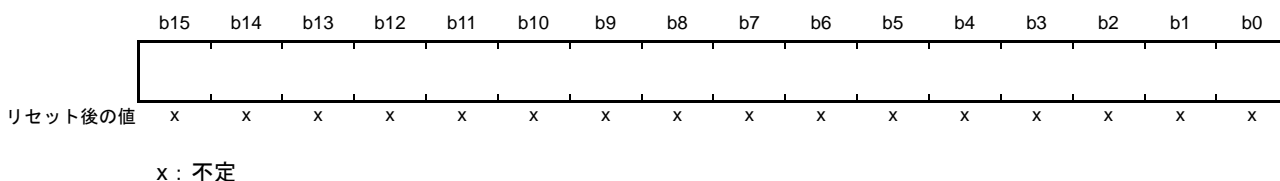


図 31.4 CSSR、MSSR レジスタの書き込みと読み出し

SSR レジスタの値も MSSR レジスタを読み出すたびに更新されます。読んだ場合、8/3 エンコーダ変換前の値が読めます。

31.2.17 アクセプタンスフィルタサポートレジスタ (AFSR)

アドレス CAN1.AFSR 0009 1856h



ビット	機能	R/W
b15-b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値を読めます	R/W

注. AFSRレジスタはCANオペレーションモードまたはCAN Haltモード時に変更してください。

アクセプタンスフィルタサポートユニット (ASU) は、あらかじめユーザにより作成された全標準 ID が有効か無効かを 1 ビット単位で設定したデータテーブル (8 ビット×256) の検索に使用できます。受信した標準 ID が格納された MB_j レジスタ (j=0~31) の SID[10:0] ビットを含む 16 ビット単位のデータを AFSR レジスタへ書くと、デコードされたデータテーブル検索用の行 (バイトオフセット) 位置と列 (ビット) 位置が読み出せます。ASU は、標準 (11 ビット) ID のみに使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合
(例) 受信する ID : 078h、087h、111h
- 受信する ID が多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合
なお、AFSR レジスタは、CAN リセットモードでは設定できません。

図 31.5 に AFSR レジスタの書き込み、読み出しを示します。

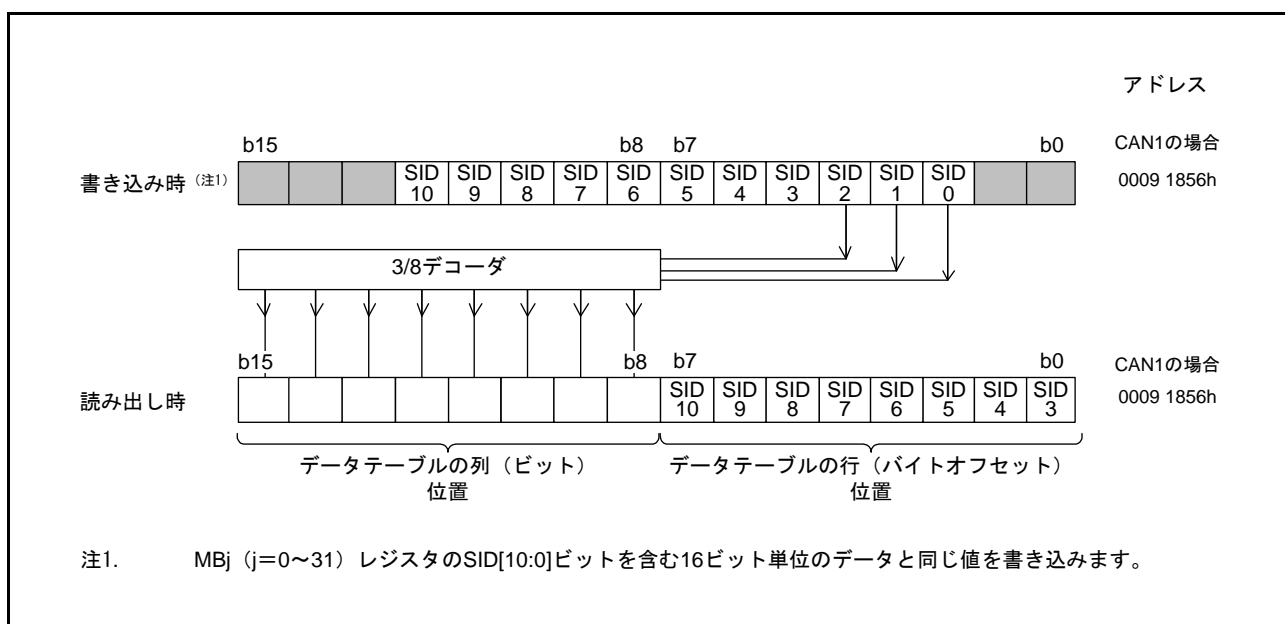


図 31.5 AFSR レジスタの書き込み、読み出し

31.2.18 エラー割り込み許可レジスタ (EIER)

アドレス CAN1.EIER 0009 184Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可ビット	0: バスエラー割り込み禁止 1: バスエラー割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可ビット	0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可	R/W
b2	EPIE	エラーパッシブエントリ割り込み許可ビット	0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可ビット	0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可ビット	0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可	R/W
b5	ORIE	オーバラン割り込み許可ビット	0: 受信オーバラン割り込み禁止 1: 受信オーバラン割り込み許可	R/W
b6	OLIE	オーバーロードフレーム送信割り込み許可ビット	0: オーバーロードフレーム送信割り込み禁止 1: オーバーロードフレーム送信割り込み許可	R/W
b7	BLIE	バスロック割り込み許可ビット	0: バスロック割り込み禁止 1: バスロック割り込み許可	R/W

EIER レジスタは、EIFR レジスタの個々のエラー割り込み要因に対して個別にエラー割り込みを許可 / 禁止します。

EIER レジスタは、CAN リセットモード時のみ変更してください。

BEIE ビット (バスエラー割り込み許可ビット)

BEIE ビットを“0”にすると、EIFR.BEIF フラグが“1”になっても、エラー割り込み要求は発生しません。BEIE ビットを“1”にすると、BEIF フラグが“1”になった場合、エラー割り込み要求が発生します。

EWIE ビット (エラーワーニング割り込み許可ビット)

EWIE ビットを“0”にすると、EIFR.EWIF フラグが“1”になっても、エラー割り込み要求は発生しません。EWIE ビットを“1”にすると、EWIF フラグが“1”になった場合、エラー割り込み要求が発生します。

EPIE ビット (エラーパッシブエントリ割り込み許可ビット)

EPIE ビットを“0”にすると、EIFR.EPIF フラグが“1”になっても、エラー割り込み要求は発生しません。EPIE ビットを“1”にすると、EPIF フラグが“1”になった場合、エラー割り込み要求が発生します。

BOEIE ビット (バスオフ開始割り込み許可ビット)

BOEIE ビットを“0”にすると、EIFR.BOEIF フラグが“1”になっても、エラー割り込み要求は発生しません。BOEIE ビットを“1”にすると、BOEIF フラグが“1”になった場合、エラー割り込み要求が発生します。

BORIE ビット (バスオフ復帰割り込み許可ビット)

BORIE ビットを“0”にすると、EIFR.BORIF フラグが“1”になっても、エラー割り込み要求は発生しませ

ん。BORIE ビットを“1”にすると、BORIF フラグが“1”になった場合、エラー割り込み要求が発生します。

ORIE ビット (オーバラン割り込み許可ビット)

ORIE ビットを“0”にすると、EIFR.ORIF フラグが“1”になっても、エラー割り込み要求は発生しません。ORIE ビットを“1”にすると、ORIF フラグが“1”になった場合、エラー割り込み要求が発生します。

OLIE ビット (オーバロードフレーム送信割り込み許可ビット)

OLIE ビットを“0”にすると、EIFR.OLIF フラグが“1”になっても、エラー割り込み要求は発生しません。OLIE ビットを“1”にすると、OLIF フラグの設定条件が“1”になった場合、エラー割り込み要求が発生します。

BLIE ビット (バスロック割り込み許可ビット)

BLIE ビットを“0”にすると、EIFR.BLIF フラグが“1”になっても、エラー割り込み要求は発生しません。BLIE ビットを“1”にすると、BLIF フラグが“1”になった場合、エラー割り込み要求が発生します。

31.2.19 エラー割り込み要因判定レジスタ (EIFR)

アドレス CAN1.EIFR 0009 184Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0: バスエラー未検出 1: バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/W
b5	ORIF	受信オーバラン検出フラグ	0: 受信オーバラン未検出 1: 受信オーバラン検出	R/W
b6	OLIF	オーバロードフレーム送信検出フラグ	0: オーバロードフレーム送信未検出 1: オーバロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0: バスロック未検出 1: バスロック検出	R/W

EIFR レジスタは、各フラグに対応する現象が発生すると、EIER レジスタの設定にかかわらず対応するフラグが“1”になります。

各フラグを“0”にする場合は、プログラムで“0”を書いてください。“1”になるタイミングとプログラムで“0”にするタイミングが同時の場合、そのビットは“1”になります。

また、各フラグを“0”にする場合、論理演算 (AND) 命令は使用しないでください。フラグを“0”にする場合は転送 (MOV) 命令を使用し、該当するビットに“0”、その他のビットに“1”を書いてください。“1”を書いてもこれらのフラグの値は変化しません。

BEIF フラグ (バスエラー検出フラグ)

バスエラーが検出されると、BEIF フラグは“1”になります。

EWIF フラグ (エラーワーニング検出フラグ)

REC または TEC の値が 95 を超えると、EWIF フラグは“1”になります。

EWIF フラグは、REC または TEC が最初に 95 を超えたときのみ“1”になります。したがって、REC または TEC が 95 を超えたままで、EWIF フラグにプログラムで“0”を書いた場合、一度 REC と TEC が 95 以下になり、再び REC または TEC が 95 を超えるまでは“1”にはなりません。

EPIF フラグ (エラーパッシブ検出フラグ)

CAN エラーステートがエラーパッシブ状態 (REC (受信エラーカウンタ) または TEC の値が 127 を超える) になると、EPIF フラグは“1”になります。

EPIF フラグは、REC または TEC が最初に 127 を超えたときのみ“1”になります。したがって、REC または TEC が 127 を超えたままで、EPIF フラグにプログラムで“0”を書いた場合、一度 REC と TEC が 127 以下になり、再び REC または TEC が 127 を超えるまでは“1”にはなりません。

BOEIF フラグ (バスオフ開始検出フラグ)

CAN エラーステートがバスオフ状態 (TEC (送信エラーカウンタ) の値が 255 を超える) になると、BOEIF フラグは“1”になります。CTRL レジスタの BOM[1:0] ビットが“01b” (バスオフ開始で自動的に CAN Halt モードへ移行) で、CAN モジュールがバスオフ状態になった場合も、BOEIF フラグは“1”になります。

BORIF フラグ (バスオフ復帰検出フラグ)

CAN モジュールが次の条件でバスオフ状態から通常復帰 (11 の連続するレセプティブビットを 128 回検出した場合、BORIF フラグは“1”になります。

- CTRL.BOM[1:0] ビットが“00b”
- CTRL.BOM[1:0] ビットが“10b”
- CTRL.BOM[1:0] ビットが“11b”

なお、CAN モジュールが次の条件でバスオフ状態から復帰した場合、BORIF フラグは“1”にはなりません。

- CTRL.CANM[1:0] ビットを“01b”または“11b” (CAN リセットモード) にしたとき
- CTRL.RBOC ビットを“1” (バスオフからの強制復帰) にしたとき
- CTRL.BOM[1:0] ビットが“01b”のとき
- CTRL.BOM[1:0] ビットが“11b”で、通常復帰が発生する前に、CTRL.CANM[1:0] ビットを“10b” (CAN Halt モード) にしたとき

ORIF フラグ (受信オーバーラン検出フラグ)

受信オーバーランが発生すると、ORIF フラグは“1”になります。ORIF フラグはオーバーライトモードでは“1”にはなりません。

オーバーライトモードの場合、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、ORIF フラグは“1”にはなりません。

通常メールボックスモードの場合、オーバーランモードで、メールボックス [0] ~ [31] のいずれかでオーバーランが発生すると、ORIF フラグは“1”になります。FIFO メールボックスモードでは、オーバーランモードで、メールボックス [0] ~ [23] のいずれかまたは受信 FIFO でオーバーランが発生すると、ORIF フラグは“1”になります。

OLIF フラグ (オーバロードフレーム送信検出フラグ)

CAN モジュールが受信または送信を行う場合にオーバロードフレームの送信条件が検出されると、OLIF フラグは“1”になります。

BLIF フラグ (バスロック検出フラグ)

CAN モジュールが CAN オペレーションモードの間、CAN バス上に 32 の連続するドミナントビットを検出すると、BLIF フラグは“1”になります。

“1”になった後、次の条件が成立するとバスロックを再検出できるようになります。

- このフラグを“1”から“0”にした後、レセシブビットを検出 (バスロック解消)
- このフラグを“1”から“0”にした後、CAN リセットモードに移行し、再度 CAN オペレーションモードに移行 (内部リセット)

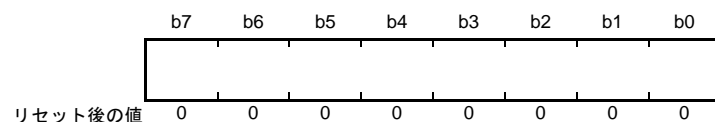
表 31.7 に CTRL.BOM[1:0] ビットの設定による BOEIF、BORIF フラグの動作を示します。

表31.7 CTRL.BOM[1:0]ビットの設定によるBOEIF、BORIFフラグの動作

BOM[1:0]ビット	BOEIFフラグ	BORIFフラグ
00	バスオフ状態への遷移時“1”になる	バスオフ状態からの復帰時“1”になる
01		“1”にはならない
10		バスオフ状態からの復帰時“1”になる
11		CANM[1:0]ビットが“10b” (CAN Haltモード) になる前に、通常のバスオフ状態からの復帰が発生した場合“1”になる

31.2.20 受信エラーカウントレジスタ (RECR)

アドレス CAN1.RECR 0009 184Eh



ビット	機能	R/W
b7-b0	受信エラーカウン機能 受信中のCANモジュールのエラー状態によってカウンタ値を増減させます	R

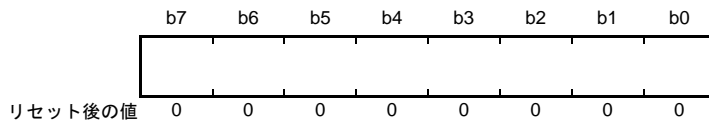
RECR レジスタは、受信エラーカウンタの値を示します。

受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

RECR レジスタは、バスオフ状態時の値は不定になります。

31.2.21 送信エラーカウントレジスタ (TECR)

アドレス CAN1.TECR 0009 184Fh



ビット	機能	R/W
b7-b0	送信エラーカウント機能 送信中のCANモジュールのエラー状態によってカウンタ値を増減させます	R

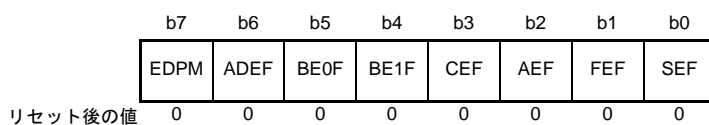
TECR レジスタは、送信エラーカウンタの値を示します。

送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

TECR レジスタは、バスオフ状態時の値は不定になります。

31.2.22 エラーコード格納レジスタ (ECSR)

アドレス CAN1.ECSR 0000 1850h



ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ (注1、注2)	0: スタッフエラー未検出 1: スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ (注1、注2)	0: フォームエラー未検出 1: フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ (注1、注2)	0: ACKエラー未検出 1: ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ (注1、注2)	0: CRCエラー未検出 1: CRCエラー検出	R/W
b4	BE1F	ビットエラー (レセシブ) フラグ (注1、注2)	0: ビットエラー未検出 1: ビットエラー (レセシブ) 検出	R/W
b5	BE0F	ビットエラー (ドミナント) フラグ (注1、注2)	0: ビットエラー未検出 1: ビットエラー (ドミナント) 検出	R/W
b6	ADEF	ACKデリミタエラーフラグ (注1、注2)	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択ビット (注3、注4)	0: 最初に検出されたエラーコードを出力 1: 蓄積したエラーコードを出力	R/W

注1. “1”を書いてもこれらのビットの値は変化しません。

注2. SEF、FEF、AEF、CEF、BE1F、BE0F、ADEFビットに対して“0”を書く場合は、論理演算 (AND) 命令は使用しないでください。ビットを“0”にする場合は転送 (MOV) 命令を使用し、該当するビットに“0”、その他のビットに“1”を書いてください。

注3. EDPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。

注4. 同時に1つ以上のエラー条件が検出された場合は、関係するすべてのビットが“1”になります。

ECSR レジスタは、CANバス上のエラーの発生をモニタリングする場合に使用できます。

各エラーの発生条件を確認するには、CAN仕様 (ISO11898-1) を参照してください。

EDPM ビット以外の各ビットを“0”にする場合は、プログラムで“0”を書いてください。各ビットが“1”

になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのビットは“1”になります。

SEF フラグ (スタッフエラーフラグ)

スタッフエラーを検出すると、SEF フラグは“1”になります。

FEF フラグ (フォームエラーフラグ)

フォームエラーを検出すると、FEF フラグは“1”になります。

AEF フラグ (ACK エラーフラグ)

ACK エラーを検出すると、AEF フラグは“1”になります。

CEF フラグ (CRC エラーフラグ)

CRC エラーを検出すると、CEF フラグは“1”になります。

BE1F フラグ (ビットエラー (レセシブ) フラグ)

レセシブビットエラーを検出すると、BE1F フラグは“1”になります。

BE0F フラグ (ビットエラー (ドミナント) フラグ)

ドミナントビットエラーを検出すると、BE0F フラグは“1”になります。

ADEF フラグ (ACK デリミタエラーフラグ)

送信中の ACK デリミタでフォームエラーを検出すると、ADEF フラグは“1”になります。

EDPM ビット (エラー表示モード選択ビット)

EDPM ビットは、ECSR レジスタの出力モードを設定します。EDPM ビットを“0”にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットを“1”にすると、ECSR レジスタは蓄積したエラーコードを出力します。

31.2.23 タイムスタンプレジスタ (TSR)

アドレス CAN1.TSR 0009 1854h



ビット	機能	R/W
b15-b0	タイムスタンプ機能のためのフリーランカウンタ値です	R

注. TSRレジスタの読み出しは16ビット単位で実行してください。

TSR レジスタを読むと、その時点のタイムスタンプカウンタ (16 ビットフリーランカウンタ) の値が読み出せます。

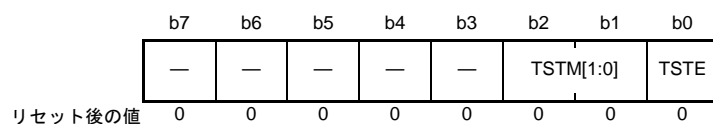
タイムスタンプカウンタの基準クロックの値は1ビットタイムを逡倍したもので、CTLR レジスタの TSPS[1:0] ビットで設定します。

タイムスタンプカウンタは、CAN スリープモードおよび CAN Halt モードで停止し、CAN リセットモードで初期化されます。

受信メッセージが受信メールボックスに格納される際のタイムスタンプカウンタの値が MBj レジスタの TSL[7:0]、TSH[7:0] へ格納されます。

31.2.24 テスト制御レジスタ (TCR)

アドレス CAN1.TCR 0009 1858h



ビット	シンボル	ビット名	機能	R/W
b0	TSTE	テストモード許可ビット予約ビット	0 : CANテストモード禁止 1 : CANテストモード許可	R/W
b2-b1	TSTM[1:0]	CANテストモード選択ビット	b2 b1 0 0 : CANテストモードではない 0 1 : リッスンオンリモード 1 0 : セルフテストモード0 (外部ループバック) 1 1 : セルフテストモード1 (内部ループバック)	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR レジスタは、CAN テストモードの制御を行います。TCR レジスタは、CAN Halt モード時のみ変更してください。

(1) リッスンオンリモード

CAN 仕様 (ISO11898-1) では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できますが、CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 31.6 にリッスンオンリモード選択時の接続 (i = 1) を示します。

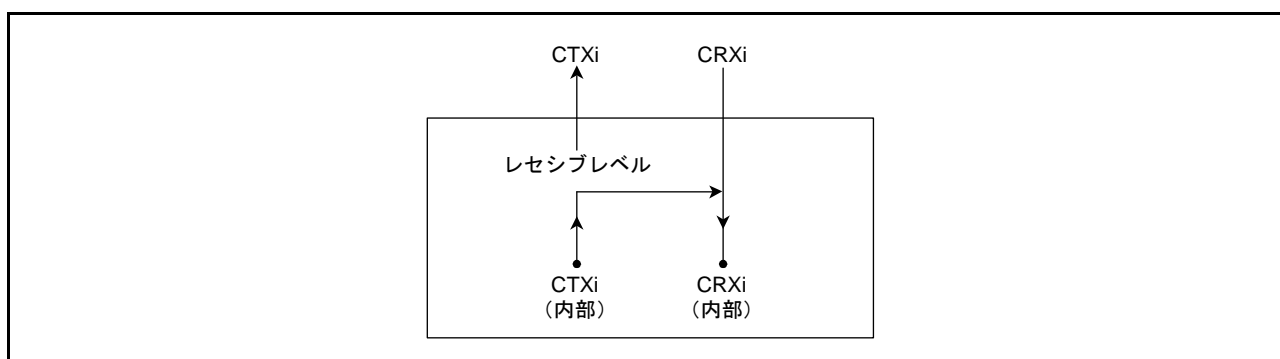


図 31.6 リッスンオンリモード選択時の接続 (i = 1)

(2) セルフテストモード0 (外部ループバック)

セルフテストモード0はCANトランシーバテスト用です。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、

ACK ビットを生成します。

CTXi/CRXi 端子は CAN トランシーバに接続してください。

図 31.7 にセルフテストモード 0 選択時の接続 ($i = 1$) を示します。

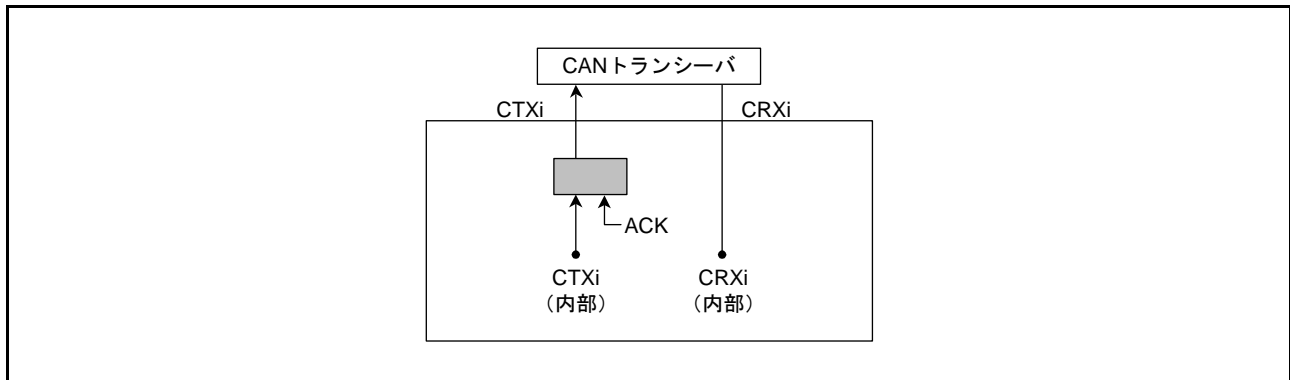


図 31.7 セルフテストモード 0 選択時の接続 ($i = 1$)

(3) セルフテストモード 1 (内部ループバック)

セルフテストモード 1 は、セルフテスト機能用です。

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACK ビットを生成します。

セルフテストモード 1 では内部 CTXi 端子から内部 CRXi 端子への内部フィードバックを行います。外部 CRXi 端子の入力の値は無視されます。外部 CTXi 端子はレセプビットのみ出力します。CTXi/CRXi 端子は CAN バスや他のどの外部デバイスにも接続する必要がありません。

図 31.8 にセルフテストモード 1 選択時の接続 ($i = 1$) を示します。

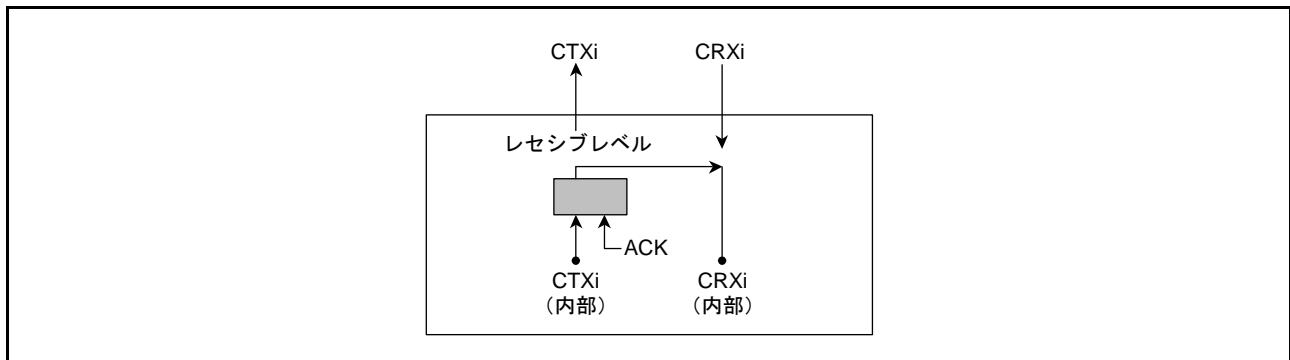


図 31.8 セルフテストモード 1 選択時の接続 ($i = 1$)

31.3 動作モード

CAN モジュールには、以下 4 つの動作モードがあります。

- CAN リセットモード
- CAN Halt モード
- CAN オペレーションモード
- CAN スリープモード

図 31.9 に CAN 動作モード間の移行を示します。

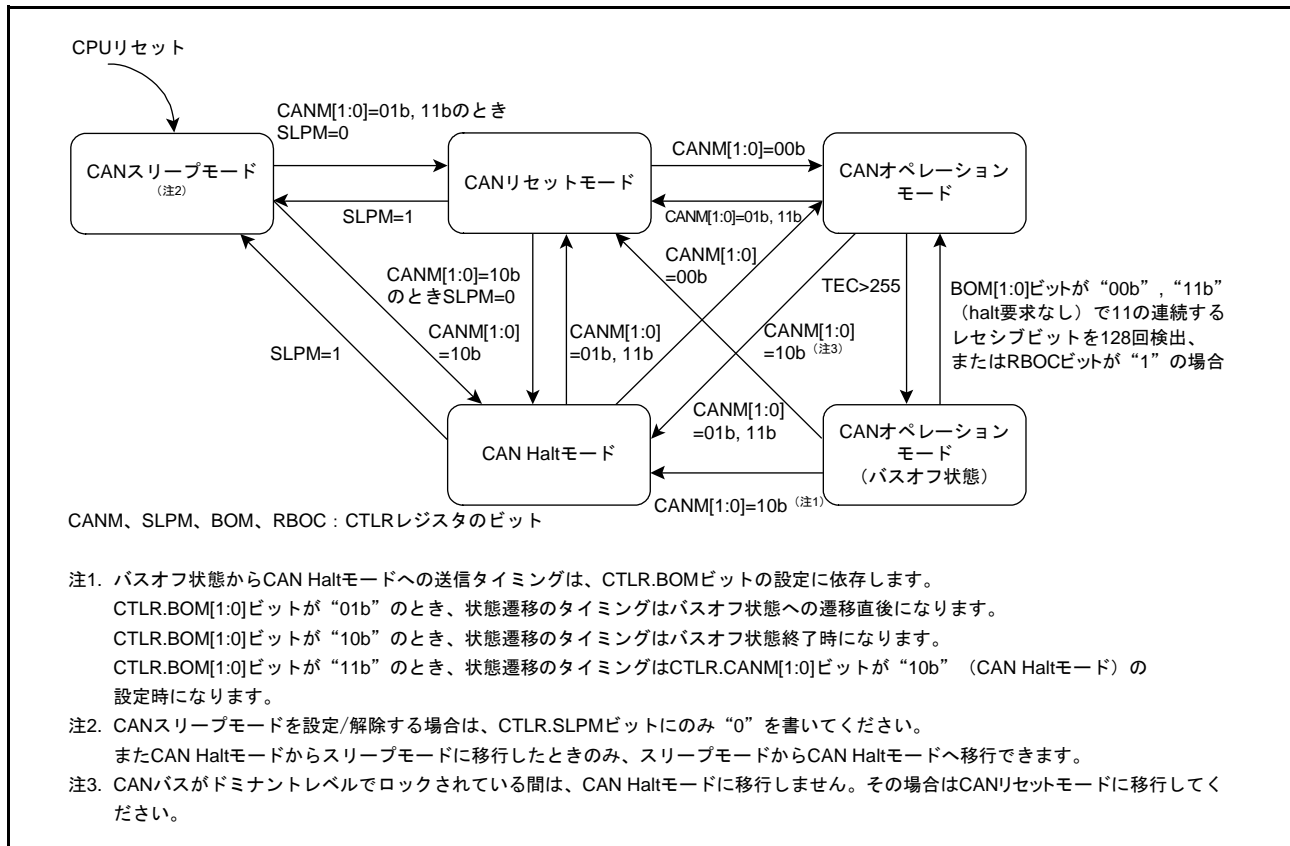


図 31.9 CAN 動作モード間の移行

31.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するモードです。

CTLR.CANM[1:0] ビットを“01b”または“11b”にすると、CAN モジュールはCAN リセットモードになります。そのとき、STR.RSTST ビットが“1”になります。RSTST ビットが“1”になるまで、CTLR.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ移行する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードに移行した後、それぞれのリセット後の値に初期化され、CAN リセットモード中は初期値を維持します。

- MCTLj レジスタ
- STR レジスタ (SLPST ビットと TFST ビットを除く)
- EIFR レジスタ

- RECR レジスタ
- TECR レジスタ
- TSR レジスタ
- MSSR レジスタ
- MSMR レジスタ
- RFCR レジスタ
- TFCR レジスタ
- TCR レジスタ
- ECSR レジスタ (EDPM ビットを除く)

以下のレジスタは、CAN リセットモードに移行した後も以前の値を保持します。

- CTLR レジスタ
- STR レジスタ (SLPST ビットと TFST ビット)
- MIER レジスタ
- EIER レジスタ
- BCR レジスタ
- CSSR レジスタ
- ECSR レジスタ (EDPM ビットのみ)
- MBj レジスタ
- MKR0 ~ MKR7 レジスタ
- FIDCR0、FIDCR1 レジスタ
- MKIVLR レジスタ
- AFSR レジスタ
- RFPCR レジスタ
- TFPCR レジスタ

31.3.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードを設定するモードです。

CTLR.CANM[1:0] ビットを“10b”にすると、CAN Halt モードになります。そのとき、STR.HLTST ビットが“1”になります。HLTST ビットが“1”になるまで CANM[1:0] ビットを変更しないでください。

送信または受信時の状態移行の条件は、表 31.8 を参照してください。

CAN Halt モードへの移行では、STR レジスタの RSTST ビット、HLTST ビットおよび SLPST ビット以外のビットと他のすべてのレジスタは変化しません。

CAN Halt モードでは、CTLR レジスタ (CANM[1:0] ビットおよび SLPM ビットを除く) および EIER レジスタは変更しないでください。CAN テストモードで、自動ボーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN Halt モードで BCR レジスタを変更できます。

表31.8 CANリセットモードとCAN Haltモードでの動作

モード	受信	送信	バスオフ
CANリセットモード (強制移行) CANM[1:0] = "11b"	CANモジュールは受信メッセージの終了を待たずにCANリセットモードに移行	CANモジュールはメッセージ送信の終了を待たずにCANリセットモードに移行	CANモジュールはバスオフ復帰の終了を待たずにCANリセットモードに移行
CANリセットモード CANM[1:0] = "01b"	CANモジュールは受信メッセージの終了を待たずにCANリセットモードに移行	CANモジュールはメッセージ送信の終了を待ってCANリセットモードに移行 (注1、注4)	CANモジュールはバスオフ復帰の終了を待たずにCANリセットモードに移行
CAN Haltモード	CANモジュールは受信メッセージの終了を待ってCAN Haltモードに移行 (注2、注3)	CANモジュールはメッセージ送信の終了を待ってCAN Haltモードに移行 (注1、注2、注4)	[BOM[1:0] ビットが"00b"の場合] CANモジュールはバスオフ復帰後のみ、プログラムのHalt要求を受け付ける [BOM[1:0] ビットが"01b"の場合] CANモジュールはバスオフ復帰の終了を待たずに自動的にCAN Haltモードに移行 (プログラムのHalt要求とは無関係に) [BOM[1:0] ビットが"10b"の場合] CANモジュールはバスオフ復帰の終了を待って自動的にCAN Haltモードに移行 (プログラムのHalt要求とは無関係に) [BOM[1:0] ビットが"11b"の場合] CANモジュールはバスオフ中にプログラムによるHalt要求があると、CAN Haltモードに移行 (バスオフ復帰の終了を待たずに)

CANM[1:0] ビット、BOM[1:0] ビット : CTRLレジスタのビット

- 注1. いくつかのメッセージ送信が要求されている場合、最初のメッセージ送信が完了した後にモードを移行します。サスペンドトランスミッション中にCANリセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを移行します。
- 注2. CANバスがドミナントレベルでロックされた場合、EIFR.BLIFフラグをモニタすると、プログラムはバスロック状態を検出できます。CANバスがドミナントレベルでロックされている間は、CAN Haltモードに移行しません。この場合は、CANリセットモードに移行してください。
- 注3. CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、CAN Haltモードに移行します (ただし、CANバスがドミナントレベルでロックされている場合は、CAN Haltモードに移行しません)。
- 注4. CANリセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCANアービトレーションロストが発生すると、要求された動作モードに移行します (ただし、CANバスがドミナントレベルでロックされている場合は、CAN Haltモードに移行しません)。

31.3.3 CANスリープモード

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。RES#端子リセットまたはソフトウェアリセット後、CANモジュールは、CANスリープモードから動作を開始します。

CTRLレジスタのSLPMビットを"1"にすると、CANスリープモードになります。そのとき、STRレジスタのSLPSTビットが"1"になります。SLPSTビットが"1"になるまで、SLPMビットの値を変更しないでください。CANスリープモードへの移行時は、他のレジスタは変化しません。

SLPMビットは、CANリセットモードとCAN Haltモードで変更してください。SLPMビットを除く他のレジスタは、CANスリープモード中は変更しないでください。読み出し動作は許可されます。

SLPMビットを"0"にすると、CANスリープモードから解除されます。CANスリープモードからの復帰時、他のレジスタは変化しません。

31.3.4 CANオペレーションモード (バスオフ状態以外)

CANオペレーションモードはCAN通信をするモードです。

CTRLレジスタのCANM[1:0]ビットを"00b"にすると、CANモジュールはCANオペレーションモードになります。

そのとき、STRレジスタのRSTSTビットとHLTSTビットが"0"になります。RSTSTビットとHLTSTビットが"0"になるまで、CANM[1:0]ビットの値を変更しないでください。

CAN オペレーションモードに移行した後、11の連続するレセシブビットを検出すると、CAN モジュールは次の状態になります。

- CAN モジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN モジュールは、CAN バスの状態によって、CAN オペレーションモード中に、次の3つのいずれかのサブモードになっています。

- アイドルモード：CAN モジュールは、送受信を行っていない状態です。
- 受信モード： CAN モジュールは、他のノードが送信した CAN メッセージを受信しています。
- 送信モード： CAN モジュールは、CAN メッセージを送信しています。セルフテストモード0 (TCR レジスタの TSTM[1:0] ビットが“10b”) またはセルフテストモード1 (TSTM[1:0] ビットが“11b”) が選択されている場合、同時に自ノードが送信したメッセージを受信します。

図 31.10 に CAN オペレーションモードのサブモードを示します。

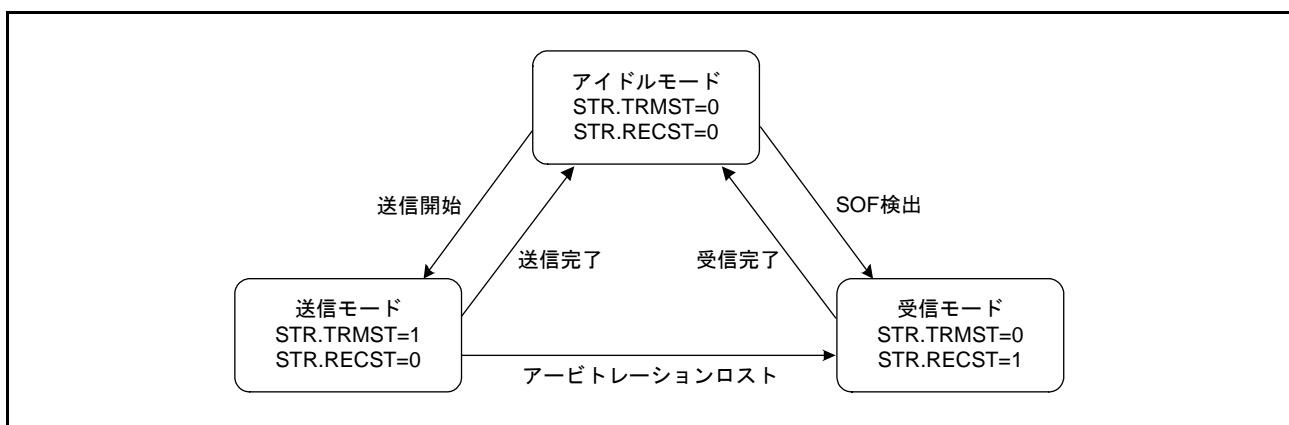


図 31.10 CAN オペレーションモードのサブモード

31.3.5 CAN オペレーションモード (バスオフ状態)

CAN 仕様の送信、受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態に移行します。

CAN モジュールがバスオフ状態から復帰するには次の場合があります。なお、バスオフ状態のとき、STR、EIFR、RECR、TECR および TSR レジスタを除く CAN モジュール関連レジスタの値は変化しません。

(1) CTLR レジスタの BOM[1:0] ビットが“00b”の場合 (ノーマルモード)

バスオフ状態からの復帰完了後、エラーアクティブ状態に移行し、CAN 通信ができるようになります。このとき、EIFR レジスタの BORIF フラグが“1” (バスオフ復帰検出) になります。

(2) CTLR レジスタの RBOC ビットを“1”にしたとき (バスオフからの強制復帰)

バスオフ状態になり、RBOC ビットが“1”になると、CAN モジュールはエラーアクティブ状態に移行し、11の連続するレセシブビットを検出した後、再び CAN 通信ができるようになります。このとき、BORIF フラグは“1”になりません。

(3) BOM[1:0] ビットが“01b”の場合 (バスオフ開始で自動的に CAN Halt モードへ移行)

バスオフ状態に達すると CAN Halt モードになります。このとき BORIF フラグは“1”になりません。

(4) BOM[1:0] ビットが“10b”の場合 (バスオフ終了で自動的に CAN Halt モードへ移行)

バスオフからの復帰が完了すると、CAN Halt モードになります。このとき BORIF フラグは“1”になります。

(5) BOM[1:0] ビットが“11b”の場合 (プログラムにより CAN Halt モードへ移行) に

バスオフ状態で CTRL レジスタの CANM[1:0] ビットを“10b”にしたとき (CAN Halt モード)

バスオフ状態時に CANM[1:0] ビットが“10b” (CAN Halt モード) に設定されると、CAN Halt モードになります。このとき、BORIF フラグは“1”になりません。

バスオフ中に CANM[1:0] ビットが“10b”に設定されないときは、(1) と同じ動作になります。

31.4 CAN 通信速度の設定

CAN 通信速度の設定について以下に説明します。

31.4.1 CAN クロックの設定

CAN モジュールは CAN クロック選択回路を内蔵しています。

CAN クロックは、BCR レジスタの CCLKS ビットと BRP[9:0] ビットで設定できます。

図 31.11 に CAN クロック発生回路のブロック図を示します。

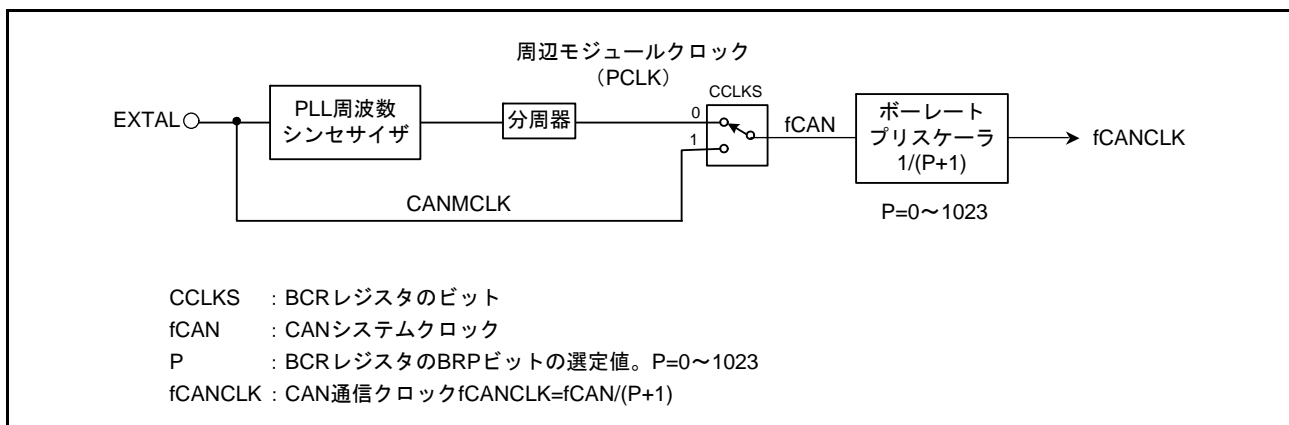


図 31.11 CAN クロック発生回路のブロック図

31.4.2 ビットタイミングの設定

ビットタイムは、次の3つのセグメントからなります。

図 31.12 にビットタイミング図を示します。

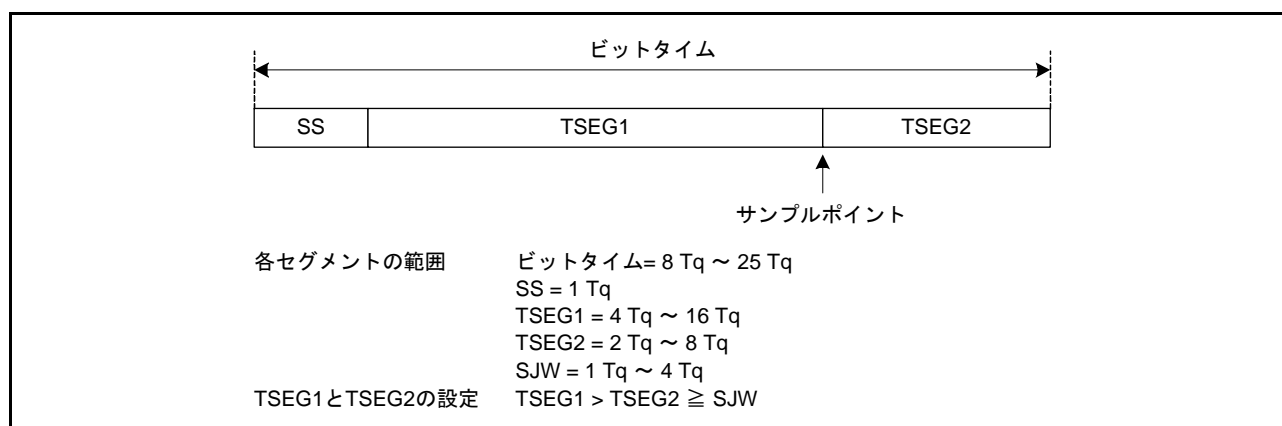


図 31.12 ビットタイミング図

31.4.3 ビットレート

ビットレートは、fCAN (CAN クロック)、ボーレートプリスケアラ分周値、および1ビットのTqの数に依存します。

$$\text{ビットレート [bps]} = \frac{f_{\text{CAN}}}{\text{ボーレートプリスケアラ分周値 (注1)} \times 1 \text{ ビットタイムの Tq 数}} = \frac{f_{\text{CANCLK}}}{1 \text{ ビットタイムの Tq 数}}$$

注1. ボーレートプリスケアラ分周値 = P + 1 (P = 0 ~ 1023)
P : BCRレジスタのBRP[9:0]ビットの設定値

表 31.9 にビットレートの例を示します。

表31.9 ビットレートの例

fCAN	50MHz		48MHz		40MHz		32MHz	
	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1
1 Mbps	10Tq	5	8Tq	6	10Tq	4	8Tq	4
	25Tq	2	12Tq	4	20Tq	2	16Tq	2
			16Tq	3				
500 kbps	10Tq	10	8Tq	12	10Tq	8	8Tq	8
	25Tq	4	12Tq	8	20Tq	4	16Tq	4
			16Tq	6				
250 kbps	10Tq	20	8Tq	24	10Tq	16	8Tq	16
	25Tq	8	12Tq	16	20Tq	8	16Tq	8
			16Tq	12				
125 kbps	10Tq	40	8Tq	48	10Tq	32	8Tq	32
	25Tq	16	12Tq	32	20Tq	16	16Tq	16
			16Tq	24				
83.3 kbps	10Tq	60	8Tq	72	8Tq	60	8Tq	48
	25Tq	24	12Tq	48	10Tq	48	16Tq	24
			16Tq	36	16Tq	30		
					20Tq	24		
33.3 kbps	10Tq	150	8Tq	180	8Tq	150	8Tq	120
	25Tq	60	12Tq	120	10Tq	120	10Tq	96
			16Tq	90	20Tq	60	16Tq	60
							20Tq	48

31.5 メールボックスとマスクレジスタの構成

図 31.13 に MBj レジスタの構成を示します。
 同じ構成の 32 のメールボックスがあります。

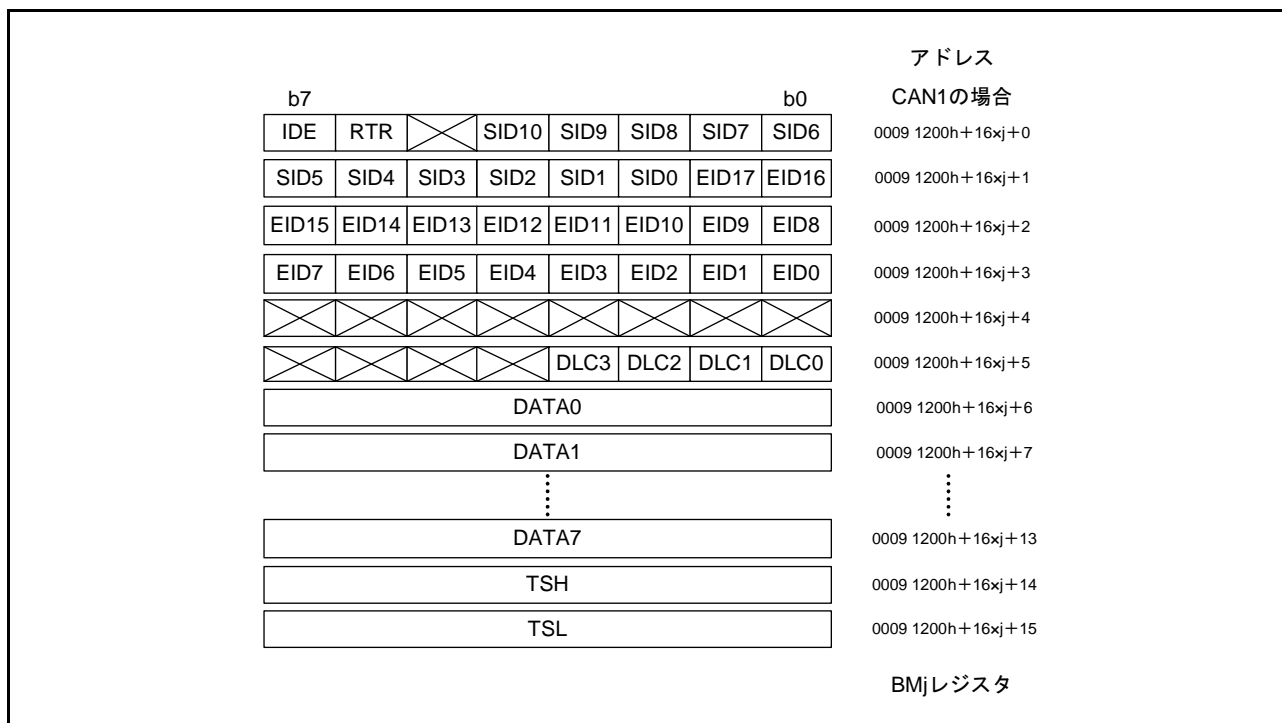


図 31.13 MBj レジスタの構成 (j = 0 ~ 31)

図 31.14 に MKRk レジスタの構成を示します。
 同じ構成の 8 つのマスクレジスタがあります。

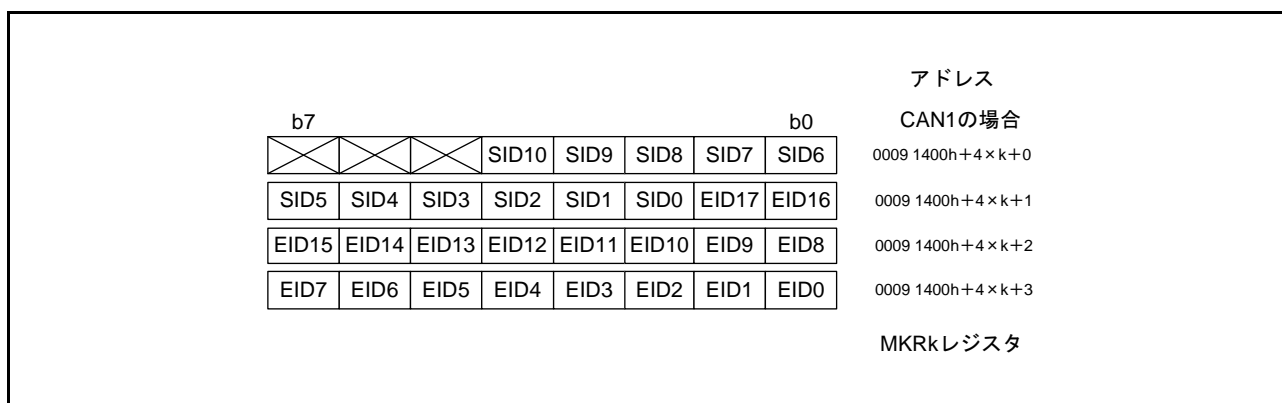


図 31.14 MKRk レジスタの構成 (k = 0 ~ 7)

図 31.15 に FIDCR0、FIDCR1 レジスタの構成を示します。
同じ構成の 2 つの FIFO 受信 ID 比較レジスタがあります。

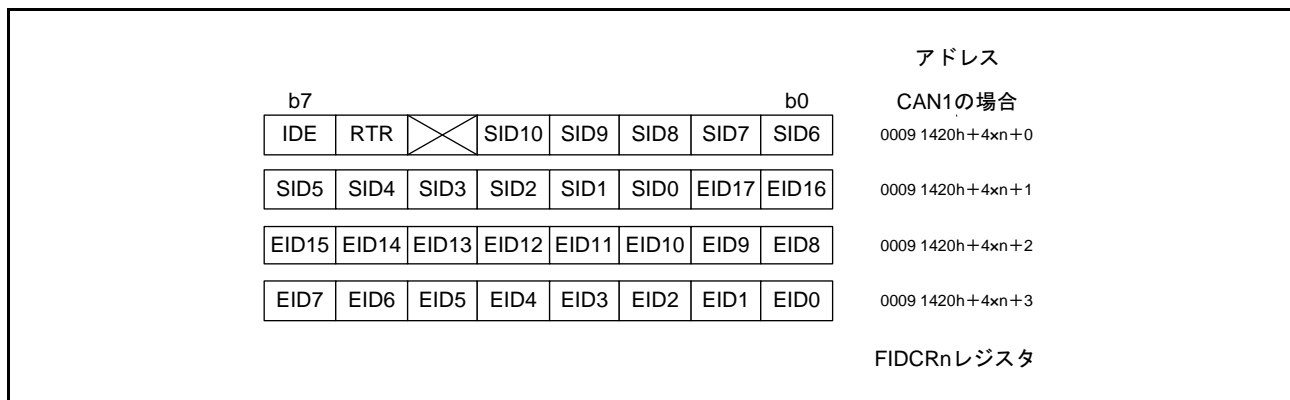


図 31.15 FIDCRn レジスタの構成 (n = 0, 1)

31.6 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能は、一定範囲の ID の選択と受信を許可します。

MKR0 ~ MKR7 レジスタは標準 ID と 29 ビットの拡張 ID のマスクができます。

- MKR0 レジスタは、メールボックス [0] ~ [3] に対応
- MKR1 レジスタは、メールボックス [4] ~ [7] に対応
- MKR2 レジスタは、メールボックス [8] ~ [11] に対応
- MKR3 レジスタは、メールボックス [12] ~ [15] に対応
- MKR4 レジスタは、メールボックス [16] ~ [19] に対応
- MKR5 レジスタは、メールボックス [20] ~ [23] に対応
- MKR6 レジスタは、通常メールボックスモードの場合はメールボックス [24] ~ [27]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [28] ~ [31] に対応
- MKR7 レジスタは、通常メールボックスモードの場合はメールボックス [28] ~ [31]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [28] ~ [31] に対応

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ機能を禁止します。

MBj レジスタの IDE ビットは、CTRL レジスタの IDFM[1:0] ビットが“10b” (ミックス ID モード) のとき有効です。

MBj レジスタの RTR ビットはデータフレームとリモートフレームを選択します。

FIFO メールボックスモードでは、通常メールボックス (メールボックス [0] ~ [23]) は、MKR0 ~ MKR5 レジスタの中から対応する 1 つを使用してアクセプタンスフィルタ処理しますが、受信 FIFO メールボックス (メールボックス [28] ~ [31]) は、MKR6、MKR7 レジスタの 2 つを使用してアクセプタンスフィルタ処理を行います。

また、受信 FIFO は FIDCR0、FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO の MB28 ~ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効になります。それぞれ 2 つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO では 2 つの範囲の ID を受信することができます。

MKIVLR レジスタは、受信 FIFO に対しては無効です。

標準 ID と拡張 ID の両方がそれぞれ FIDCR0、FIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれ FIDCR0、FIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 31.16 にマスクレジスタとメールボックスの対応、図 31.17 にアクセプタンスフィルタ処理を示します。

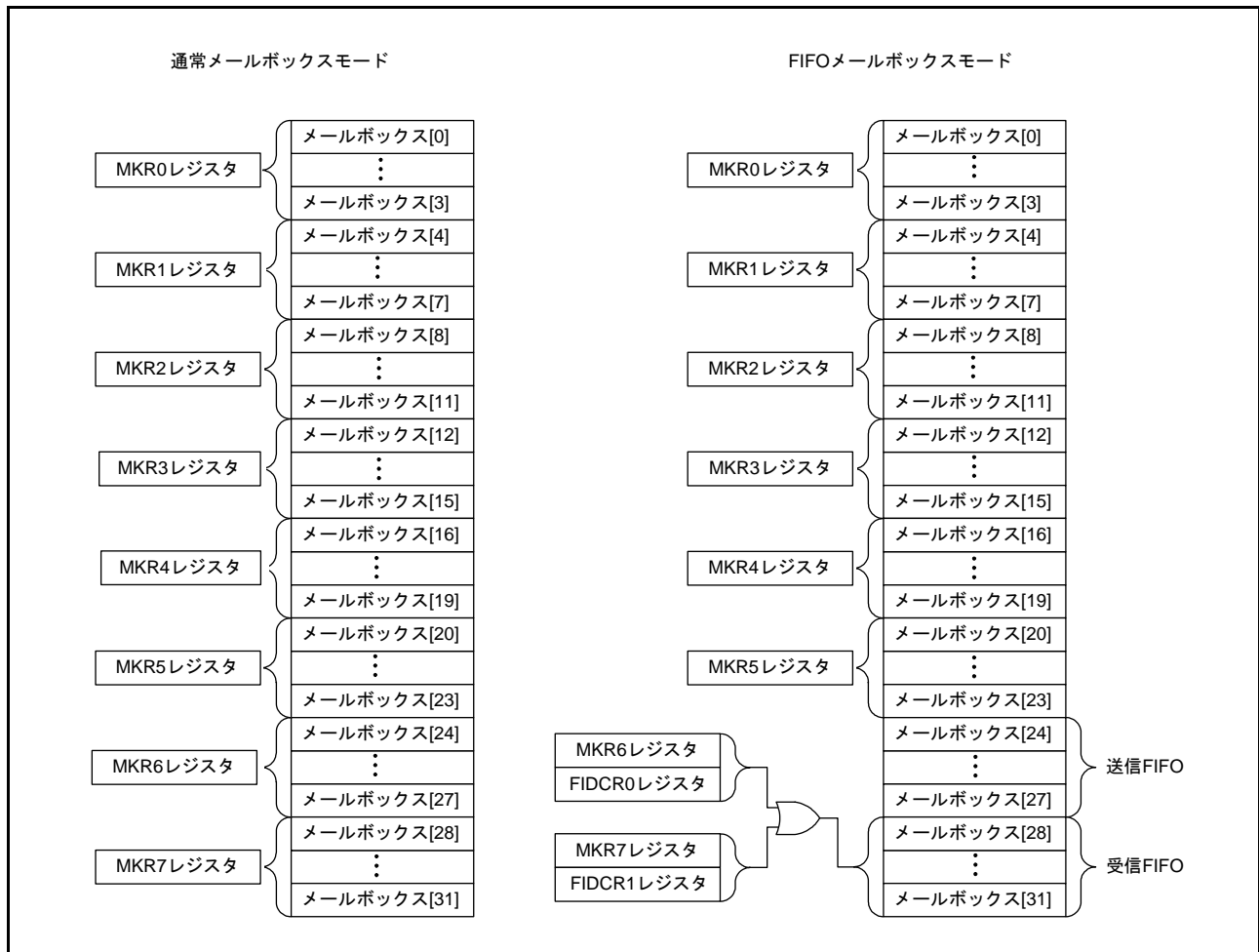


図 31.16 マスクレジスタとメールボックスの対応

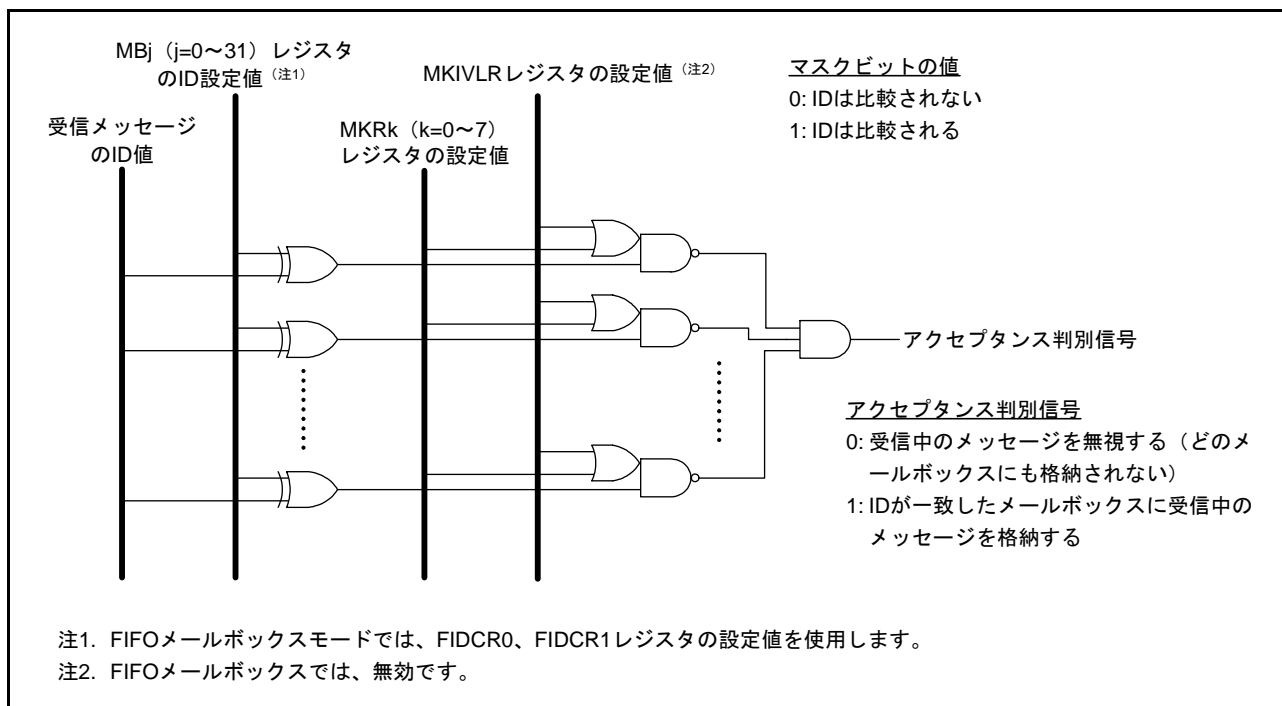


図 31.17 アクセプタンスフィルタ処理

31.7 受信 / 送信

表 31.10 に CAN 通信モードの設定方法を示します。

表 31.10 CAN受信モードとCAN送信モードの設定方法

MCTLj. TRMREQ	MCTLj. RECREQ	MCTLj. ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アポート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信が受信がアポートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

j = 0 ~ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

1. メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、MCTLj レジスタを“00h” にしてください。
2. 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうの優先順位がより高くなります。
3. CAN オペレーションモードで、受信メッセージに設定したメールボックスの ID/ マスクセットに一致するメッセージを送信した場合、CAN モジュールは送信データを受信しません。しかしセルフテスト

モードでは、CANモジュールは送信データを受信します。この場合、CANモジュールはACKを返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

4. メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、MCTLjレジスタを確実に“00h”にして、さらに、アボート処理中でないことを確認してください。

31.7.1 受信

図 31.18 にデータフレーム受信時の動作例（オーバーライトモードの場合）を示します。

この例は、示された MCTLj レジスタ ($j=0\sim 31$) のメールボックスの条件に一致する2つの連続したCANメッセージを受信したときに、最初のメッセージを上書きする場合の動作です。

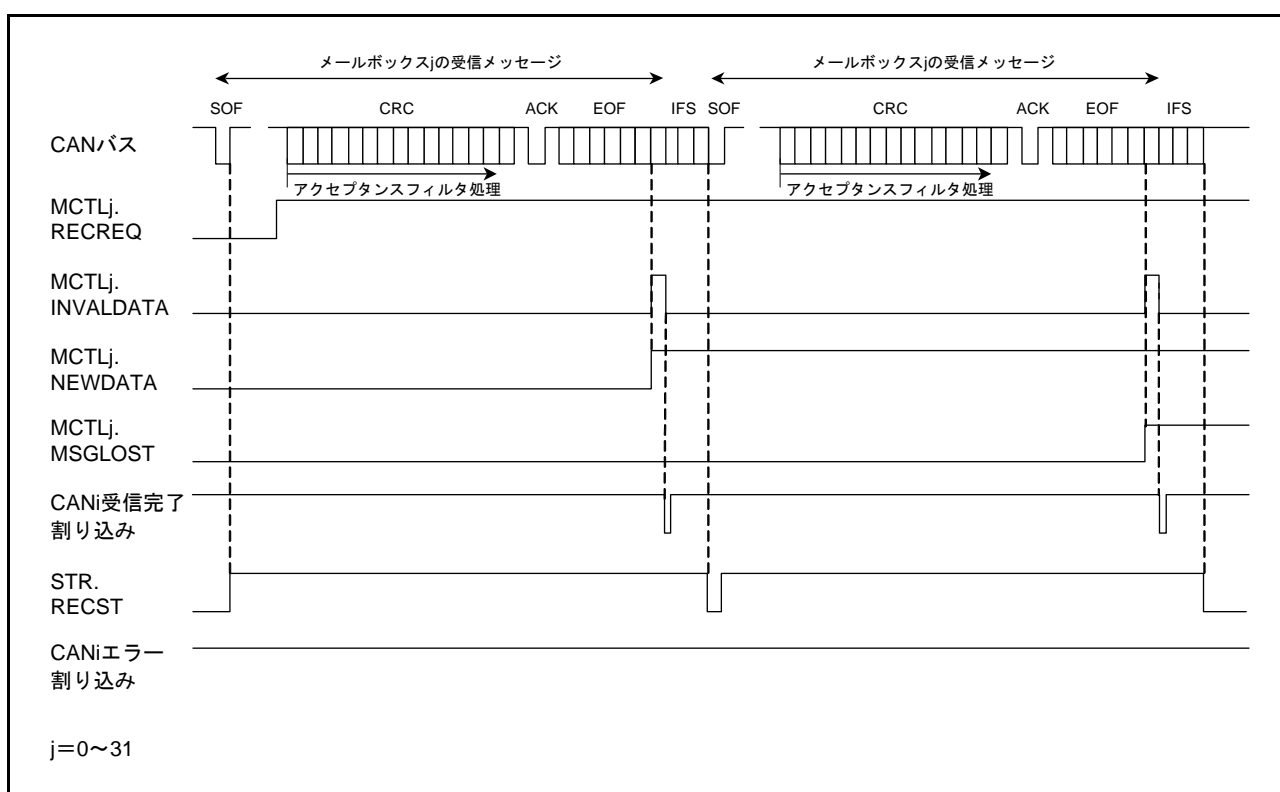


図 31.18 データフレーム受信時の動作例（オーバーライトモードの場合）

1. CANバス上でSOFを検知すると、CANモジュールに送信開始するメッセージがない場合、STR.RECSTビットが“1”（受信中）になります。
2. 受信メールボックスを選択するために、CRCフィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスのMCTLj.NEWDATAビットが“1”（新しいメッセージを更新中、またはメールボックスに格納された）になります。同時にMCTLj.INVALIDDATAビットが“1”（メッセージを更新中）になり、そのメールボックスにメッセージ全体が転送された後、INVALIDDATAビットは“0”（メッセージは有効）に戻ります。
4. 受信メールボックスのMIERレジスタの割り込み許可ビットが“1”（割り込み許可）の場合、CANi受信完了割り込み要求が発生します。INVALIDDATAビットが“0”になると、この割り込み（CANi受信完了割り込み）が発生します。

5. メールボックスからメッセージを読み出した後、NEWDATA フラグをプログラムで“0”にする必要があります。
6. オーバライトモードでは、NEWDATA フラグがまだ“1”になっているメールボックスに次の CAN メッセージの受信が完了すると、MCTLj.MSGLOST フラグが“1”（メッセージはオーバライトされた）になります。新しく受信したメッセージはメールボックスに転送されます。CAN_i 受信完了割り込み要求は、4. と同様に発生します。

図 31.19 にデータフレーム受信時の動作例（オーバランモードの場合）を示します。

この例は、示された MCTLj レジスタ ($j=0\sim 31$) のメールボックスの条件に一致する 2 つの連続した CAN メッセージを受信したときに、2 つ目のメッセージを破棄する場合の動作です。

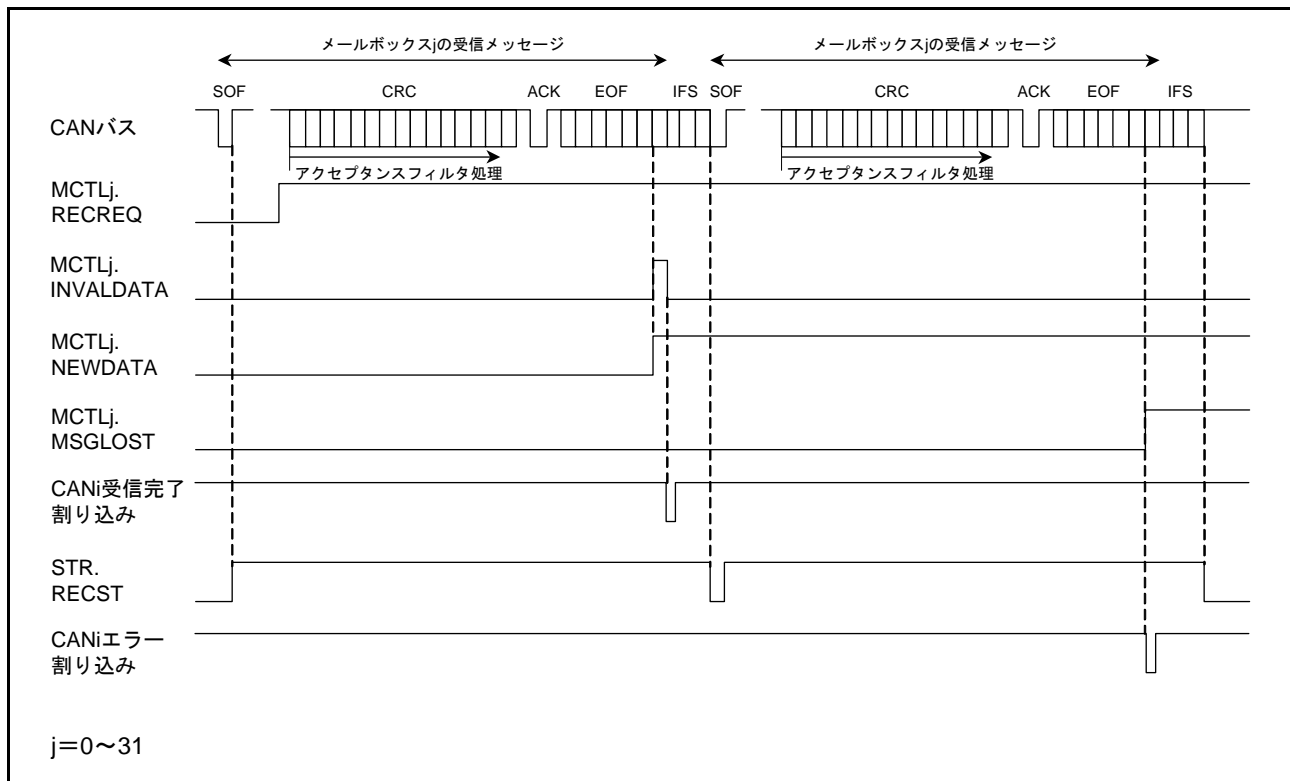


図 31.19 データフレーム受信時の動作例（オーバランモードの場合）

1. ~ 5. はオーバライトモードと同じです。
6. オーバランモードでは、MCTLj.NEWDATA フラグが“0”になる前に、次の CAN メッセージの受信が完了すると、MCTLj.MSGLOST フラグが“1”（メッセージはオーバランされた）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが“1”（割り込み許可）の場合、CAN_i エラー割り込み要求が発生します。

31.7.2 送信

図 31.20 にデータフレーム送信時の動作例を示します。

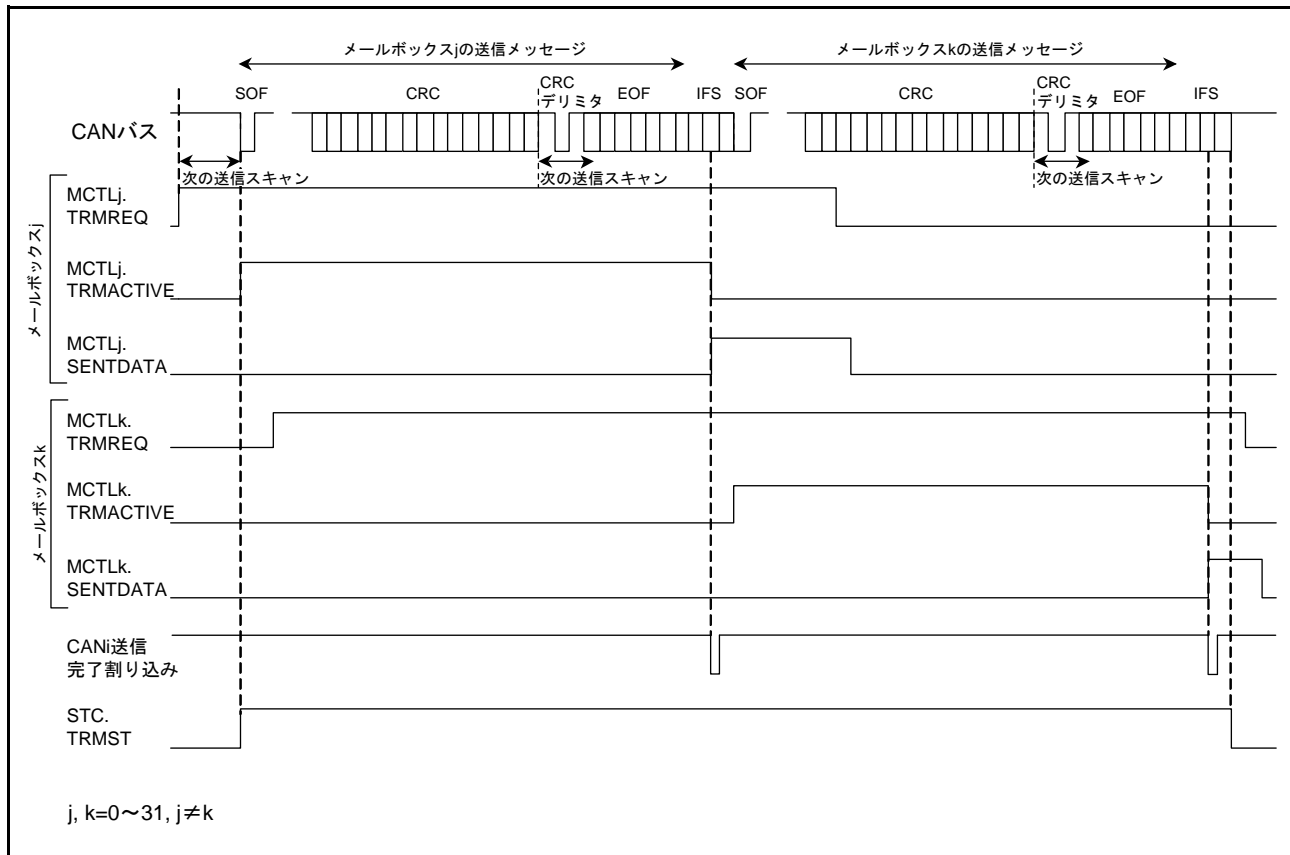


図 31.20 データフレーム送信時の動作例

1. バスアイドル状態で、MCTLj.TRMREQ ビット ($j=0 \sim 31$) を“1” (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、MCTLj レジスタの TRMACTIVE ビットが“1” (送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで)、STR レジスタの TRMST ビットが“1” (送信中) になり、CAN モジュールは送信を開始します (注 1)。
2. 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャン処理を開始します。
3. アービトレーションロストが発生せずに送信が完了すると、MCTLj レジスタの SENTDATA フラグが“1” (送信完了) に、TRMACTIVE ビットが“0” (送信待機中または送信要求なし) になります。そして、MIER レジスタの割り込み許可ビットが“1” (割り込み許可) の場合は CANi 送信完了割り込み要求が発生します。
4. 同一のメールボックスから次の送信を要求する場合は、SENTDATA フラグと TRMREQ ビットを“0”にして、SENTDATA フラグと TRMREQ ビットが“0”になるのを確認した後、TRMREQ ビットを“1”にしてください。

注 1. CAN モジュールが送信開始した後でアービトレーションロストをした場合、TRMACTIVE ビットは“0”になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

31.8 CAN 割り込み

CAN モジュールには、チャンネルごとに以下の CAN 割り込みがあります。表 31.11 に CAN 割り込み一覧表を示します。

- CANi 受信完了割り込み (メールボックス 0 ~ 31) [RXMi]
- CANi 送信完了割り込み (メールボックス 0 ~ 31) [TXMi]
- CANi 受信 FIFO 割り込み [RXFi]
- CANi 送信 FIFO 割り込み [TXFi]
- CANi エラー割り込み [ERSi]

CANi エラー割り込みには、8 つの要因があります。これらの要因は、EIFR レジスタをチェックすることで確認できます。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバラン
- オーバロードフレーム送信
- バスロック

表31.11 CAN割り込み一覧表

モジュール	割り込みシンボル	割り込み要因	要因フラグ
CANi	ERSi	バスロック検出	EIFR.BLIF
		オーバロードフレーム送信検出	EIFR.OLIF
		オーバラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	RXFi	受信FIFOメッセージ受信 (MIER[29] = 0)	RFCR.RFUST[2:0]
		受信FIFOワーニング (MIER[29] = 1)	
	TXFi	送信FIFOメッセージ送信完了 (MIER[25] = 0)	TFCR.TFUST[2:0]
		FIFOラストメッセージ送信完了 (MIER[25] = 1)	
	RXMi	メールボックス0~31メッセージ受信	MCTL0.NEWDATA ~ MCTL31.NEWDATA
	TXMi	メールボックス0~31メッセージ送信完了	MCTL0.SENTDATA ~ MCTL31.SENTDATA

i=1

31.9 使用上の注意事項

31.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CAN モジュールの動作禁止/許可を設定できます。初期値では、CAN は停止しています。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「12. 消費電力低減機能」を参照してください。

32. シリアルペリフェラルインタフェース (RSPI)

32.1 概要

本 MCU は、独立した 2 チャンネルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 32.1 に RSPI の仕様を、図 32.1 に RSPI のブロック図を示します。

なお、本章では、端子名および信号名で使用している n は、A、B と規定し、 i は 0 ~ 3 と規定しています。また、RSPI コマンドレジスタ m (SPCMD m) で使用している m は、0 ~ 7 と規定しています。

表 32.1 RSPI の仕様

項目	内容
チャンネル数	2チャンネル
RSPI 転送機能	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4線式) / クロック同期式動作 (3線式) でシリアル通信が可能 • 送信のみの動作が可能 • マスタ/スレーブモードでのシリアル通信が可能 • シリアル転送クロックの極性を変更可能 • シリアル転送クロックの位相を変更可能
データフォーマット	<ul style="list-style-type: none"> • MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットに変更可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)
ビットレート	<ul style="list-style-type: none"> • マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2 ~ 4096 分周) • スレーブモード時、外部入力クロックをシリアルクロックとして使用 (最大周波数は PCLK の 8 分周) High 幅: PCLK の 4 サイクル、Low 幅: PCLK の 4 サイクル
バッファ構成	送信/受信バッファ構成はダブルバッファ
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出
SSL 制御機能	<ul style="list-style-type: none"> • 1 チャンネルあたり 4 本の SSL 信号 (SSLn0 ~ SSLn3) • シングルマスタ設定時には、SSLn0 ~ SSLn3 信号を出力 • マルチマスタ設定時: SSLn0 信号は入力、SSLn1 ~ SSLn3 信号は出力または未使用 • スレーブ設定時: SSLn0 信号は入力、SSLn1 ~ SSLn3 信号は未使用 • SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲: 1 ~ 8 RSPCK 設定単位: 1 RSPCK • RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲: 1 ~ 8 RSPCK 設定単位: 1 RSPCK • 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲: 1 ~ 8 RSPCK 設定単位: 1 RSPCK • SSL 極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> • 最大 8 コマンドで構成された転送をシーケンシャルにループ実行可能 • 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、パースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSL ネゲート時の MOSI 信号値を設定可能
割り込み要因	<ul style="list-style-type: none"> • マスカブルな割り込み要因 RSPI 受信割り込み (受信バッファフル) RSPI 送信割り込み (送信バッファエンプティ) RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) RSPI アイドル割り込み (RSPI アイドル)
その他の機能	<ul style="list-style-type: none"> • RSPI 初期化機能 • ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

表 32.2 に RSPI で使用する入出力端子を示します。

SSLn0 端子 (n=A、B) の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKn、MOSIn、MISO_n 端子 (n=A、B) の入出力方向は、マスタ/スレーブ設定と SSLn0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「32.3.2 RSPI 端子の制御」を参照してください。

表 32.2 RSPI の入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力端子
	MOSIA	入出力	マスタ送出データ入出力端子
	MISOA	入出力	スレーブ送出データ入出力端子
	SSLA0	入出力	スレーブセレクト入出力端子
	SSLA1	出力	スレーブセレクト出力端子
	SSLA2	出力	スレーブセレクト出力端子
	SSLA3	出力	スレーブセレクト出力端子
RSPI1	RSPCKB	入出力	クロック入出力端子
	MOSIB	入出力	マスタ送出データ入出力端子
	MISOB	入出力	スレーブ送出データ入出力端子
	SSLB0	入出力	スレーブセレクト入出力端子
	SSLB1	出力	スレーブセレクト出力端子
	SSLB2	出力	スレーブセレクト出力端子
	SSLB3	出力	スレーブセレクト出力端子

32.2 レジスタの説明

32.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPI0.SPCR 0008 8380h、RSPI1.SPCR 0008 83A0h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0: SPI動作 (4線式) 1: クロック同期式動作 (3線式)	R/W
b1	TXMD	通信動作モード選択ビット	0: 全二重同期式シリアル通信 1: 送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	RSPIエラー割り込み許可ビット	0: RSPIエラー割り込み要求の発生を禁止 1: RSPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	RSPI送信バッファエンプティ割り込み許可ビット	0: RSPI送信割り込み要求の発生を禁止 1: RSPI送信割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能が有効	R/W
b7	SPRIE	RSPI受信バッファフル割り込み許可ビット	0: RSPI受信割り込み要求の発生を禁止 1: RSPI受信割り込み要求の発生を許可	R/W

SPCR.SPE ビットが“1”の状態において、SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの設定値を変更した場合は、以降の動作は保証されません。

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSLn0 ~ 3 端子を使用せず、RSPCKn 端子、MOSIn 端子、MISOOn 端子の 3 端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR=1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを“0”、“1”どちらにも設定できます。スレーブモード時 (SPCR.MSTR=0) でクロック同期式動作を行う場合は CPHA ビットを“1”に設定してください。スレーブモード時 (SPCR.MSTR=0) でクロック同期式動作を行う場合に、CPHA ビットを“0”に設定した場合の動作は保証されません。

TXMD ビット (送信動作モード選択ビット)

全二重同期式のシリアル通信、送信のみの動作を選択するためのビットです。

TXMD ビットを“1”にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません (「32.3.6 通信動作モード」参照)。

また、TXMD ビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです (「32.3.8 エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLn0 ~ 3 端子の入出力方向を決定します (「32.3.2 RSPI 端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPI のマスタ/スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISO_n、SSLn0 ~ 3 端子の方向を決定します。

SPEIE ビット (RSPI エラー割り込み許可ビット)

RSPI がモードフォルトエラーを検出して SPSR.MODF フラグを“1”にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを“1”にした場合、またはパリティエラーを検出して SPSR.PERF フラグを“1”にした場合の RSPI エラー割り込み要求の発生を許可/禁止します。詳細については、「32.3.8 エラー検出」を参照してください。

SPTIE ビット (RSPI 送信バッファエンプティ割り込み許可ビット)

RSPI が送信バッファエンプティを検出した際の、RSPI 送信バッファエンプティ割り込み要求の発生を許可/禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIE ビットと同時または後に、SPE ビットを“1”にすることで発生します。

RSPI 機能は無効 (SPE ビットが“0”) に遷移しても、SPTIE ビットを“1”に設定していると、RSPI 送信バッファエンプティ割り込みが発生することに注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI 機能の有効/無効を選択します。

SPSR.MODF ビットが“1”の場合には、SPE ビットを“1”にすることはできません。詳細は「32.3.8 エラー検出」を参照してください。

SPE ビットを“0”にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「32.3.9 RSPI の初期化」を参照してください。また、SPE ビットを“0”の状態から“1”または“1”の状態から“0”になることで RSPI 送信割り込み要求が発生します。

SPRIE ビット (RSPI 受信バッファフル割り込み許可ビット)

RSPI がシリアル転送完了後の受信バッファフル書き込みを検出した際の、RSPI 受信バッファフル割り込み要求の発生を許可/禁止します。

32.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 0008 8381h、RSPI1.SSLP 0008 83A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SSLP レジスタを書き換えた場合には、以降の動作はしないでください。

32.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 0008 8382h、RSPI1.SPPCR 0008 83A2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MOIFE	MOIFV	—	SPOM	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0: 通常モード 1: ループバックモード (送信データの反転=受信データ)	R/W
b1	SPLP2	RSPIループバック2ビット	0: 通常モード 1: ループバックモード (送信データ=受信データ)	R/W
b2	SPOM	RSPI 出力端子モードビット	【144/120/112/100 ピン版の場合】 0: CMOS 出力 1: オープンドレイン出力 【64/48 ピン版の場合】 0: CMOS 出力 1: 設定禁止	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0: MOSIアイドル時のMOSIn端子の出力値はLow 1: MOSIアイドル時のMOSIn端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0: MOSI出力値は前回転送の最終データ 1: MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SPPCR レジスタを書き換えた場合には、以降の動作はしないでください。

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISO_n 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、スレーブ動作の場合、MOSIn 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISO_n 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、スレーブ動作の場合、MOSIn 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

SPOM ビット (RSPI 出力端子モードビット)

144/120/112/100 ピン版の場合、RSPI の出力端子を CMOS 出力端子あるいはオープンドレイン出力端子にするかを選択します。64/48 ピン版の場合、初期値から変更しないでください。

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSIn 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードのRSPIが、SSLネゲート期間（バースト転送におけるSSL保持期間を含む）にMOSIn出力値を固定するために使用するビットです。MOIFEが“0”の場合には、RSPIはSSLネゲート期間中に前回のシリアル転送の最終データをMOSInに出力します。MOIFEが“1”の場合には、RSPIはMOIFVビットに設定された固定値をMOSInに出力します。

32.2.4 RSPI ステータスレジスタ (SPSR)

アドレス RSPI0.SPSR 0008 8383h、RSPI1.SPSR 0008 83A3h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPIアイドルフラグ	0: RSPIがアイドル状態 1: RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーなし 1: モードフォルトエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	SPTEF	送信バッファエンプティフラグ	0: 送信バッファに有効なデータあり 1: 送信バッファに有効なデータなし	R/W (注2)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SPRF	受信バッファフルフラグ	0: 受信バッファに有効なデータなし 1: 受信バッファに有効なデータあり	R/W (注2)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. 書く場合、“1”としてください。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。

["1"になる条件]

- SPCR.TXMD ビットが“0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき

["0"になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (RSPI アイドルフラグ)

RSPI の転送状況を示します。

["1"になる条件]

【マスタモード】

- 下記["0"になる条件]のマスタモード時の条件の1.が満たされず、かつ(条件2)が満たされないとき

【スレーブモード】

- SPCR.SPE ビットが“1” (RSPI機能が有効) のとき

["0"になる条件]

【マスタモード】

- 下記 1. が満たされたとき (条件 1)、または下記 2. ~ 4. がすべて満たされたとき (条件 2)
 1. SPCR.SPE ビットが "0" (RSPI 初期化) のとき
 2. 送信用バッファ (SPTX) が空 (次転送データがセットされていない) のとき
 3. SPSSR.SPCP[2:0] ビットが "000b" (シーケンス制御の先頭) であるとき
 4. RSPI 内部シーケンサがアイドル状態へ遷移したとき (次アクセス遅延までが動作完了された状態) 【スレーブモード】
- SPCR.SPE ビットが "0" (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーの発生を示します。

["1"になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが "1" (マスタモード)、SPCR.MODFEN ビットが "1" (モードフォルトエラー検出を許可) の状態で、SSLni 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが "0" (スレーブモード)、SPCR.MODFEN ビットが "1" (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット (SSL 信号極性設定ビット) によって決定されます。スレーブモード時、送信データを書込みしない状態でマスタ通信を開始しないでください。開始した場合、モードフォルトエラーフラグが "1" にセットされる場合があります。

["0"になる条件]

- MODF フラグが "1" の状態の SPSR レジスタを読んだ後、MODF フラグに "0" を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

["1"になる条件]

- SPCR.TXMD ビットが "0"、SPCR2.SPPE ビットが "1" の状態でシリアル転送が終了し、パリティエラーが検出されたとき

["0"になる条件]

- PERF フラグが "1" の状態の SPSR レジスタを読んだ後、PERF フラグに "0" を書いたとき

SPTEF フラグ (送信バッファエンプティフラグ)

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

["1"になる条件]

- SPCR.SPE ビットが "0" (RSPI 初期化) のとき
- 送信バッファからシフトレジスタに送信データが転送されたとき

["0"になる条件]

- SPDR レジスタに SPDR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき

なお、SPDR レジスタは SPTEF フラグが“1”のときのみデータを設定できます。SPTEF フラグが“0”のときにデータを設定しても、送信バッファのデータは更新されません。

SPRF フラグ (受信バッファフルフラグ)

RSPI データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.TMXD ビットが“0”(全二重)、SPRF フラグが“0”のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
ただし、OVRF フラグが“1”のときは、“1”に変化しません。

[“0”になる条件]

- SPDR レジスタから受信データをすべて読み出したとき

32.2.5 RSPI データレジスタ (SPDR)

アドレス RSPI0.SPDR 0008 8384h, RSPI1.SPDR 0008 83A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SPDR レジスタは、RSPI 送受信のデータを格納するバッファです。送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 32.2 に示します。

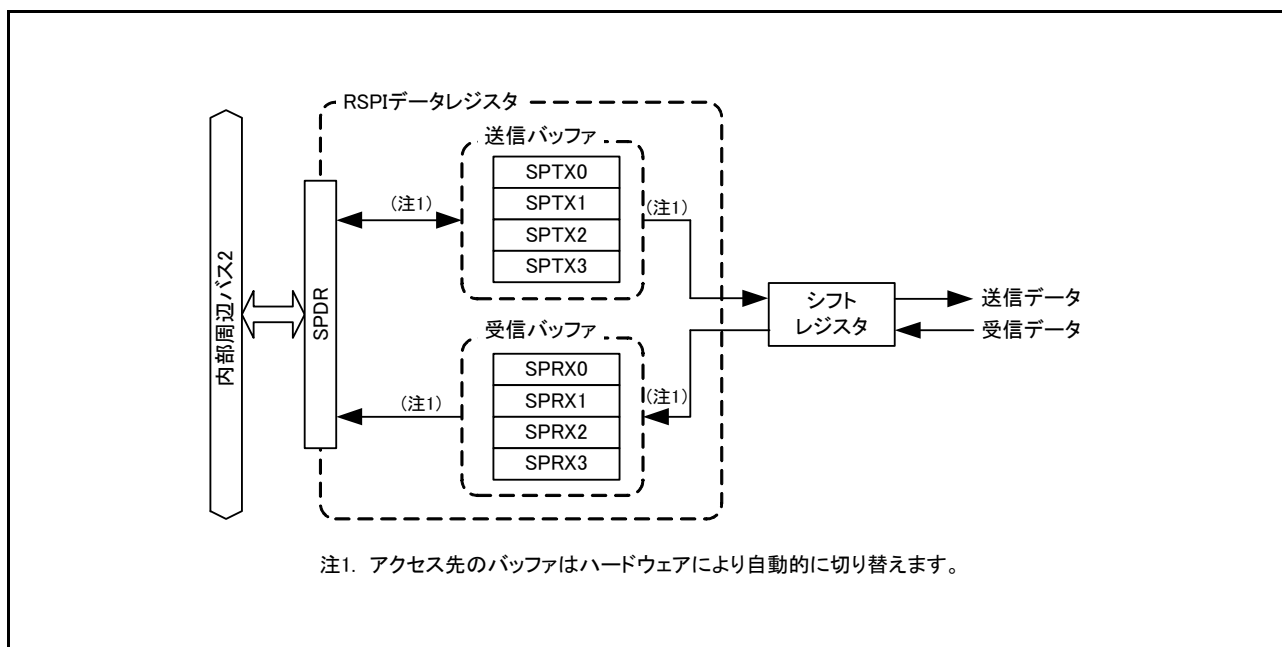


図 32.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ (SPTX0 ~ 3) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバーラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRXn(n=0 ~ 3) の非参照ビットには、SPTXn(n=0 ~ 3) の非参照ビットが格納されます。たとえば、データ長が 9 ビットの場合、SPRXn[31 : 9] に SPTXn[31 : 9] が格納されます (SPTXn[8 : 0] には受信データが格納されます)。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファをそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスサイズは、RSPI データコントロールレジスタの RSPI ロングワードアクセス/ワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 32.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

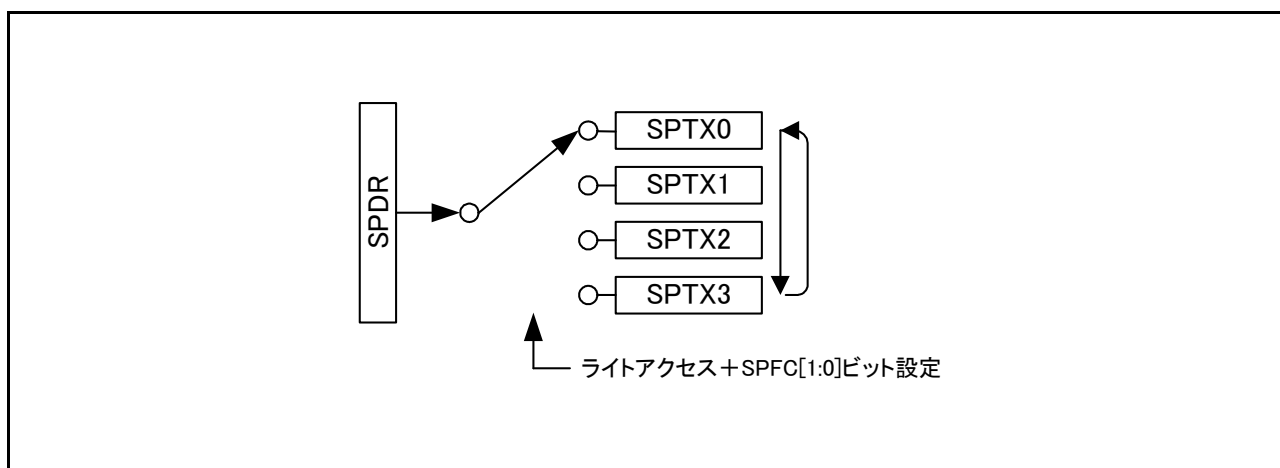


図 32.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ 3 の切り替え順序
 - SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .
 - SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRX0 ~ 3)、または送信バッファ (SPTX0 ~ 3) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタへの読み出し構造には、2つの独立したポインタ (受信バッファリードポインタ、送信バッファリードポインタ) があります。SPDR レジスタの読み出しによって、ポインタが次のバッファに自動的に切り替わります。

図 32.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

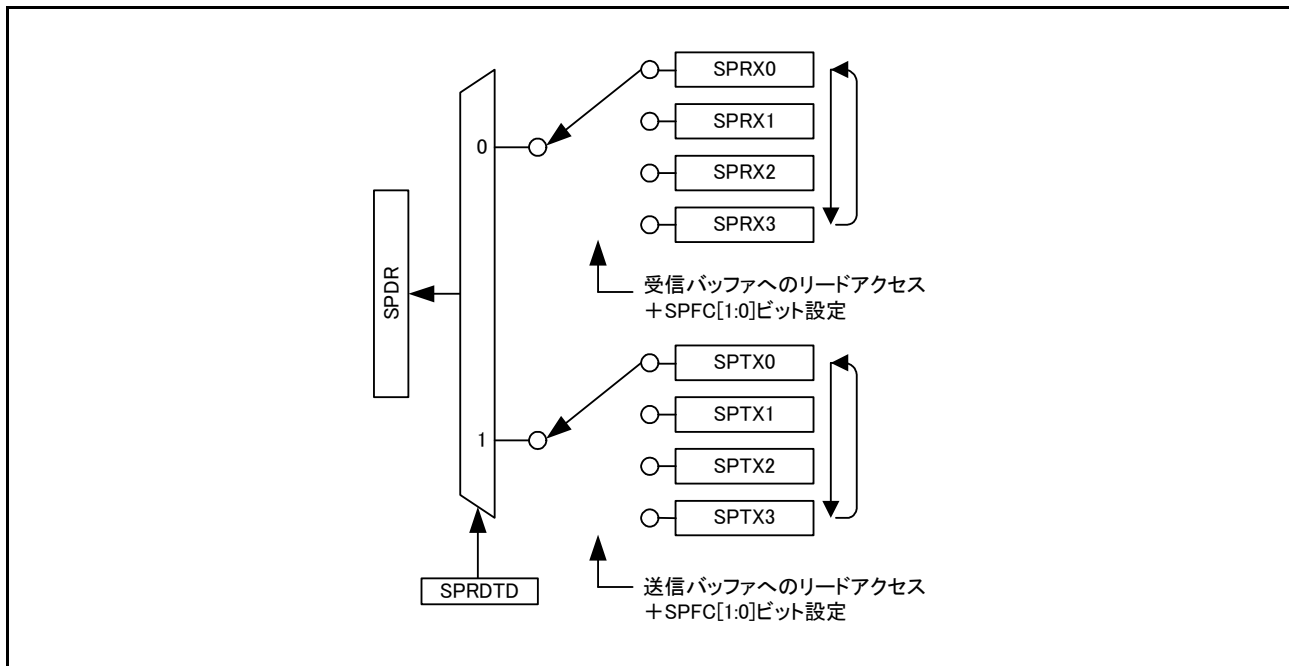


図 32.4 SPDR レジスタの構成図 (リード時)

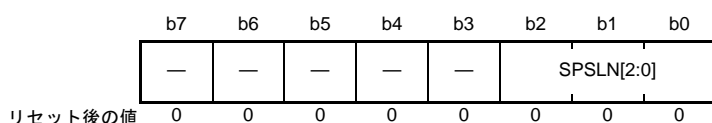
受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。

受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が“0”の状態では“1”を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間は、送信バッファの読み出し値は、すべて“0”となります。

32.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 0008 8388h、RSPI1.SPSCR 0008 83A8h



ビット	シンボル	ビット名	機能	R/W																																				
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	<table style="font-size: small; border-collapse: collapse;"> <tr> <td style="padding-right: 5px;">b2</td> <td style="padding-right: 5px;">b0</td> <td style="padding-right: 5px;">シーケンス長</td> <td style="padding-right: 5px;">参照するSPCMD0~7レジスタ (番号)</td> </tr> <tr> <td>0 0 0 :</td> <td>1</td> <td>0→0→...</td> <td>0→0→...</td> </tr> <tr> <td>0 0 1 :</td> <td>2</td> <td>0→1→0→...</td> <td>0→1→0→...</td> </tr> <tr> <td>0 1 0 :</td> <td>3</td> <td>0→1→2→0→...</td> <td>0→1→2→0→...</td> </tr> <tr> <td>0 1 1 :</td> <td>4</td> <td>0→1→2→3→0→...</td> <td>0→1→2→3→0→...</td> </tr> <tr> <td>1 0 0 :</td> <td>5</td> <td>0→1→2→3→4→0→...</td> <td>0→1→2→3→4→0→...</td> </tr> <tr> <td>1 0 1 :</td> <td>6</td> <td>0→1→2→3→4→5→0→...</td> <td>0→1→2→3→4→5→0→...</td> </tr> <tr> <td>1 1 0 :</td> <td>7</td> <td>0→1→2→3→4→5→6→0→...</td> <td>0→1→2→3→4→5→6→0→...</td> </tr> <tr> <td>1 1 1 :</td> <td>8</td> <td>0→1→2→3→4→5→6→7→0→...</td> <td>0→1→2→3→4→5→6→7→0→...</td> </tr> </table> <p>設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0~7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、常にSPCMD0レジスタが参照されます。</p>	b2	b0	シーケンス長	参照するSPCMD0~7レジスタ (番号)	0 0 0 :	1	0→0→...	0→0→...	0 0 1 :	2	0→1→0→...	0→1→0→...	0 1 0 :	3	0→1→2→0→...	0→1→2→0→...	0 1 1 :	4	0→1→2→3→0→...	0→1→2→3→0→...	1 0 0 :	5	0→1→2→3→4→0→...	0→1→2→3→4→0→...	1 0 1 :	6	0→1→2→3→4→5→0→...	0→1→2→3→4→5→0→...	1 1 0 :	7	0→1→2→3→4→5→6→0→...	0→1→2→3→4→5→6→0→...	1 1 1 :	8	0→1→2→3→4→5→6→7→0→...	0→1→2→3→4→5→6→7→0→...	R/W
b2	b0	シーケンス長	参照するSPCMD0~7レジスタ (番号)																																					
0 0 0 :	1	0→0→...	0→0→...																																					
0 0 1 :	2	0→1→0→...	0→1→0→...																																					
0 1 0 :	3	0→1→2→0→...	0→1→2→0→...																																					
0 1 1 :	4	0→1→2→3→0→...	0→1→2→3→0→...																																					
1 0 0 :	5	0→1→2→3→4→0→...	0→1→2→3→4→0→...																																					
1 0 1 :	6	0→1→2→3→4→5→0→...	0→1→2→3→4→5→0→...																																					
1 1 0 :	7	0→1→2→3→4→5→6→0→...	0→1→2→3→4→5→6→0→...																																					
1 1 1 :	8	0→1→2→3→4→5→6→7→0→...	0→1→2→3→4→5→6→7→0→...																																					
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																				

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き替える場合、SPSR.IDLNF フラグが“0”の状態書き替えてください。

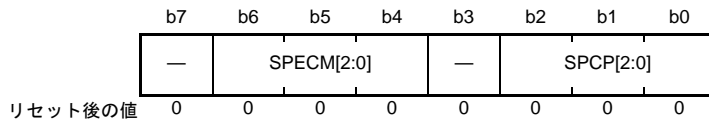
SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードのRSPIがシーケンス動作する場合のシーケンス長を設定します。マスタモードのRSPIはSPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。

スレーブモードでは、常にSPCMD0レジスタが参照されます。

32.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPI0.SPSSR 0008 8389h, RSPI1.SPSSR 0008 83A9h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。
 SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
 なお、RSPI のシーケンス制御については、「32.3.10.1 マスタモード動作」を参照してください。

SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPI は、エラー検出時のみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「32.3.8 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「32.3.10.1 マスタモード動作」を参照してください。

32.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 0008 838Ah、RSPI1.SPBR 0008 83AAh

	b7	b6	b5	b4	b3	b2	b1	b0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
リセット後の値	1	1	1	1	1	1	1	1

SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPBR レジスタを書き換えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット（ビットレート分周設定ビット）の設定に関係なく、入力クロックのビットレートに依存します。（電気的特性を満足するビットレートを使用してください）

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値（0、1、2、……、255）、N は BRDV[1:0] ビットの設定値（0、1、2、3）です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2^{n+1} \cdot 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 32.3 に示します。

表32.3 SPBRレジスタ、BRDV[1:0]ビットの設定値とビットレート

SPBRレジスタ の設定値 (n)	BRDV[1:0]ビット の設定値 (N)	分周比	ビットレート			
			PCLK = 32MHz	PCLK = 36MHz	PCLK = 40MHz	PCLK = 50MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps	25.0 Mbps
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps
5	2	48	667 kbps	750 kbps	833 kbps	1.04 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps

32.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 0008 838Bh、RSPI1.SPDCR 0008 83ABh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ ワードアクセス設定ビット	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCMDm.SPB[3:0] ビット、SPSCR.SPSSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き替える場合、SPSR.IDLNF フラグが“0”のときに書き替えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1回の転送起動) フレーム数を設定します。SPSCR.SPSSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI 受信割り込みが発生と RSPI 送信割り込みが発生または送信開始するためのフレーム数も変更します。表 32.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作はしないでください。

表 32.4 SPSSLN[2:0] ビットと SPFC[1:0] ビットの設定可能な組み合わせ

設定	SPSSLN[2:0]	SPFC[1:0]	1シーケンスで 転送する フレーム数	受信バッファフル割り込み発生、 送信バッファにデータあり になるフレーム数
1-1	000	00	1	1
1-2	000	01	2	2
1-3	000	10	3	3
1-4	000	11	4	4
2-1	001	01	2	2
2-2	001	11	4	4
3	010	10	3	3
4	011	11	4	4
5	100	00	5	1
6	101	00	6	1
7	110	00	7	1

表32.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで転送するフレーム数	受信バッファフル割り込み発生、送信バッファにデータありになるフレーム数
8	111	00	8	1

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、RSPI 送信割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前に行ってください。

詳細は、「32.2.5 RSPI データレジスタ (SPDR)」を参照してください。

SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ~ 16 ビットに設定してください。20、24、32 ビットに設定した場合の動作はしないでください。

32.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPI0.SPCKD 0008 838Ch、RSPI1.SPCKD 0008 83ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b2-b0	SCKDL[2:0]	RSPCK 遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLni 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPCKD レジスタを書き換えた場合には、以降の動作はしないでください。

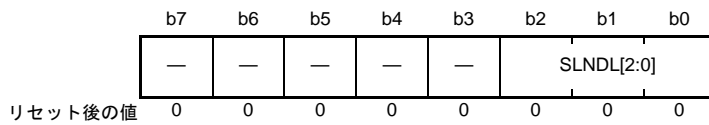
SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

32.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPI0.SSLND 0008 838Dh、RSPI1.SSLND 0008 83ADh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLNDレジスタは、マスタモードのRSPIがシリアル転送の最終RSPCKエッジを送出してからSSLni信号をネゲートするまでの期間（SSLネゲート遅延）を設定するためのレジスタです。SPCR.MSTRビットと、SPCR.SPEビットが“1”の状態において、SSLNDレジスタを書き換えた場合には、以降の動作はしないでください。

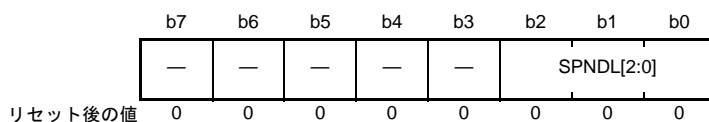
SLNDL[2:0] ビット (SSLネゲート遅延設定ビット)

マスタモードのRSPIのSSLネゲート遅延値を設定します。

RSPIをスレーブモードで使用する場合には、SLNDL[2:0]ビットを“000b”にしてください。

32.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 0008 838Eh、RSPI1.SPND 0008 83AEh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1RSPCK + 2PCLK 0 0 1 : 2RSPCK + 2PCLK 0 1 0 : 3RSPCK + 2PCLK 0 1 1 : 4RSPCK + 2PCLK 1 0 0 : 5RSPCK + 2PCLK 1 0 1 : 6RSPCK + 2PCLK 1 1 0 : 7RSPCK + 2PCLK 1 1 1 : 8RSPCK + 2PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPNDレジスタは、SPCMDm.SPNDENビットが“1”の状態、シリアル転送終了後のSSLni信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTRビットと、SPCR.SPEビット

トが“1”の状態において、SPND レジスタを書き換えた場合には、以降の動作はしないでください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

32.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 0008 838Fh、RSPI1.SPCR2 0008 83AFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット	0: 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加し、受信データのパリティチェックを行う (SPCR.TXMD=0のとき) 送信データにパリティビットを付加するが、受信データのパリティチェックを行わない (SPCR.TXMD=1のとき)	R/W
b1	SPOE	パリティモードビット	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可ビット	0: アイドル割り込み要求の発生を禁止 1: アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己診断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SPCR2 レジスタの SPPE、SPOE ビットの設定値を変更した場合には、以降の動作はしないでください。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが“1”、SPCR2.SPPE ビットが“1”の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (RSPI アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、RSPI アイドル割り込み要求の発生を許可 / 禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

32.2.14 RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)

アドレス
RSPI0.SPCMD0 0008 8390h、RSPI0.SPCMD1 0008 8392h、RSPI0.SPCMD2 0008 8394h、
RSPI0.SPCMD3 0008 8396h、RSPI0.SPCMD4 0008 8398h、RSPI0.SPCMD5 0008 839Ah、
RSPI0.SPCMD6 0008 839Ch、RSPI0.SPCMD7 0008 839Eh、
RSPI1.SPCMD0 0008 83B0h、RSPI1.SPCMD1 0008 83B2h、RSPI1.SPCMD2 0008 83B4h、
RSPI1.SPCMD3 0008 83B6h、RSPI1.SPCMD4 0008 83B8h、RSPI1.SPCMD5 0008 83BAh、
RSPI1.SPCMD6 0008 83BCh、RSPI1.SPCMD7 0008 83BEh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA		
0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0: アイドル時のRSPCKがLow 1: アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0: ベースのビットレートを選択 0 1: ベースのビットレートの2分周を選択 1 0: ベースのビットレートの4分周を選択 1 1: ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定しないでください x: Don't care	R/W
b7	SSLKP	SSL信号レベル保持ビット	0: 転送終了時に全SSL信号をネゲート 1: 転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100~0111: 8ビット 1 0 0 0: 9ビット 1 0 0 1: 10ビット 1 0 1 0: 11ビット 1 0 1 1: 12ビット 1 1 0 0: 13ビット 1 1 0 1: 14ビット 1 1 1 0: 15ビット 1 1 1 1: 16ビット 0 0 0 0: 20ビット 0 0 0 1: 24ビット 0010、0011: 32ビット	R/W
b12	LSBF	RSPI LSBファーストビット	0: MSBファースト 1: LSBファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0: 次アクセス遅延は1RSPCK+2PCLK 1: 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0: SSLネゲート遅延は1RSPCK 1: SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0: RSPCK遅延は1RSPCK 1: RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

SPCMDm レジスタは、マスタモードのRSPIの転送フォーマットを設定します。1チャンネルのRSPIには、RSPIコマンドレジスタが8本あります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードのRSPIの転送フォーマットを設定するためにも使用されます。マスタモード

のRSPIはSPSCR.SPSSLN[2:0]ビットの設定に従ってシーケンシャルにSPCMDmレジスタを参照し、参照したSPCMDmレジスタに設定されたシリアル転送を実行します。

SPCMDmレジスタの設定は、送信バッファが空の（次転送のデータがセットされていない）状態でそのSPCMDmレジスタを参照して送信するデータを設定する前に実施してください。

マスタモードのRSPIが参照しているSPCMDmレジスタは、SPSSR.SPSCP[2:0]ビットにより確認できます。また、SPCR.MSTRビットが“0”、SPCR.SPEビットが“1”の状態において、SPCMDmレジスタを書き換えた場合、以降の動作はしないでください。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードのRSPIのRSPCK位相を設定します。RSPIモジュール間のデータ通信を行う場合、モジュール間で同一のRSPCK位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードのRSPIのRSPCK極性を設定します。RSPIモジュール間のデータ通信を行う場合、モジュール間で同一のRSPCK極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0]ビットとSPBRレジスタの設定値の組み合わせでビットレートを決定します（「32.2.8 RSPI ビットレートレジスタ (SPBR)」を参照）。SPBRレジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0]ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMDmレジスタにはそれぞれ異なるBRDV[1:0]ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードのRSPIがシリアル転送する場合のSSLni信号のアサートを制御するためのビットです。SSLA[2:0]ビットの設定値が、SSLni信号のアサートを制御します。SSLni信号アサート時の信号極性は、SSLPレジスタの設定値に依存します。マルチマスタモードでSSLA[2:0]ビットを“000b”にした場合には、全SSL信号がネゲート状態でシリアル転送が実行されます（SSLn0端子は入力になるため）。

なお、RSPIをスレーブモードで使用する場合には、SSLA[2:0]ビットを“000b”にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードのRSPIがシリアル転送する場合に、現コマンドに対応するSSLネゲートタイミングから次コマンドに対応するSSLアサートタイミングの間、現コマンドのSSLni信号レベルを保持するか、ネゲートするかを設定するビットです。

RSPIをスレーブモードで使用する場合には、SSLKPビットを“0”にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードのRSPIの転送データ長を設定します。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードのRSPIのデータフォーマットを、MSBファーストにするかLSBファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードのRSPIがシリアル転送を終了してSSLni信号を非アクティブにしてから、次アクセスの

SSLni 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが“0”のとき、RSPI は次アクセス遅延を $1RSPCK+2PCLK$ にします。SPNDEN ビットが“1”のとき、RSPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

RSPI をスレーブモードで使用する場合には、SPNDEN ビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードの RSPI が、RSPCK を発振停止してから SSLni 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが“0”のとき、RSPI は SSL ネゲート遅延を $1RSPCK$ にします。SLNDEN ビットが“1”のとき、RSPI は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合には、SLNDEN ビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードの RSPI が、SSLni 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定します。SCKDEN ビットが“0”のとき、RSPI は RSPCK 遅延を $1RSPCK$ にします。SCKDEN ビットが“1”のとき、RSPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合には、SCKDEN ビットを“0”にしてください。

32.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

32.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR, MODFEN, SPMS ビットによって設定できます。表 32.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 32.5 RSPI のモードと SPCR レジスタの設定の関係および各モードの概要

モード	スレーブ (SPI動作)	シングルマスタ (SPI動作)	マルチマスタ (SPI動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCKn信号	入力	出力	出力/Hi-Z	入力	出力
MOSIn信号	入力	出力	出力/Hi-Z	入力	出力
MISO _n 信号	出力/Hi-Z	入力	入力	出力	入力
SSL _{n0} 信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSL _{n1} ~ SSL _{n3} 信号	Hi-Z (注1)	出力	出力/Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL 極性変更機能	あり	あり	あり	-	-
転送レート	~PCLK/8	~PCLK/2	~PCLK/2	~PCLK/8	~PCLK/2
クロックソース	RSPCK入力	内蔵ポーレート ジェネレータ	内蔵ポーレート ジェネレータ	RSPCK入力	内蔵ポーレート ジェネレータ
クロック極性	2種	2種	2種	2種	2種
クロック位相	2種	2種	2種	1種 (CPHA=1)	2種
先頭転送ビット	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB
転送データ長	8~32ビット	8~32ビット	8~32ビット	8~32ビット	8~32ビット
バースト転送	可能 (CPHA=1)	可能 (CPHA=0,1)	可能 (CPHA=0,1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力 アクティブ または RSPCK発振	送信バッファ エンプティ 割り込み要求で 送信バッファ書き込み	送信バッファ エンプティ 割り込み要求で 送信バッファ書き込み	RSPCK発振	送信バッファ エンプティ 割り込み要求で 送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ 検出	あり	あり	あり	あり	あり
受信バッファフル検出	あり (注2)	あり (注2)	あり (注2)	あり (注2)	あり (注2)
オーバランエラー検出	あり (注2)	あり (注2)	あり (注2)	あり (注2)	あり (注2)
パリティエラー検出	あり (注2) (注3)	あり (注2) (注3)	あり (注2) (注3)	あり (注2) (注3)	あり (注2) (注3)
モードフォルトエラー 検出	あり (MODFEN=1)	なし	あり	なし	なし

注1. 本モードでは使用しません。

注2. SPCR.TXMD ビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注3. SPCR2.SPPE ビットが“0”のときは、パリティエラー検出を行いません。

32.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR, MODFEN, SPMS ビットと SPPCR.SPOM ビットの設定により、端子の状態を切り替えます。SPPCR.SPOM ビット設定値を“0”にすると CMOS 出力に、“1”にするとオープンドレイン出力となります。端子状態と各ビットの設定値の関係を表 32.6 に示します。なお、64/48 ピン版は CMOS 出力モードのみ対応します。64/48 ピン版では SPPCR.SPOM ビットを“1”に設定しないでください。

表 32.6 RSPI端子の状態と制御ビット設定値の関係

モード	端子	端子状態 (注2)	
		SPPCR.SPOM = 0	SPPCR.SPOM = 1 (注6)
シングルマスタ (SPI動作) (MSTR=1, MODFEN=0, SPMS=0)	RSPCKn	CMOS出力	オープンドレイン出力
	SSLn0~3	CMOS出力	オープンドレイン出力
	MOSIn	CMOS出力	オープンドレイン出力
	MISO _n	入力	入力
マルチマスタ (SPI動作) (MSTR=1, MODFEN=1, SPMS=0)	RSPCKn (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSLn0	入力	入力
	SSLn1~3 (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSIn (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MISO _n	入力	入力
スレーブ (SPI動作) (MSTR=0, SPMS=0)	RSPCKn	入力	入力
	SSLn0	入力	入力
	SSLn1~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	入力	入力
	MISO _n (注4)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
マスタ (クロック同期式動作) (MSTR=1, MODFEN=0, SPMS=1)	RSPCKn	CMOS出力	オープンドレイン出力
	SSLn0~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	CMOS出力	オープンドレイン出力
	MISO _n	入力	入力
スレーブ (クロック同期式動作) (MSTR=0, SPMS=1)	RSPCKn	入力	入力
	SSLn0~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	入力	入力
	MISO _n	CMOS出力	オープンドレイン出力

注1. 本モードでは使用しません。

注2. RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。

注3. SSLn0がアクティブレベルの場合、端子状態がHi-Zになります。

注4. SSLn0が非アクティブレベルまたはSPCR.SPEビットが“0”の場合、端子状態がHi-Zになります。

注5. I/Oポートとして使用できます。

注6. 144/120/112/100ピン版のみオープンドレイン出力モードを選択可能です。64/48ピン版ではSPPCR.SPOMビットを“1”に設定しないでください。

シングルマスタモード (SPI動作)、マルチマスタモード (SPI動作) のRSPIは、SPPCR.MOIFE, MOIFVビットの設定に従って、SSLネゲート期間 (バースト転送におけるSSL保持期間を含む) のMOSI信号値を表 32.7 のように決定します。

表 32.7 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSIn信号値
0	0, 1	前回転送の最終データ
1	0	常にLow
1	1	常にHigh

32.3.3 RSPI システム構成例

32.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 32.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLn0 ~ SSLn3 出力は使用しません。RSPI スレーブの SSL 入力は Low に固定して、RSPI スレーブを常に選択できる状態にします。(注 1)

本 MCU (マスタ) は、RSPCKn と MOSIn を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

- 注 1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

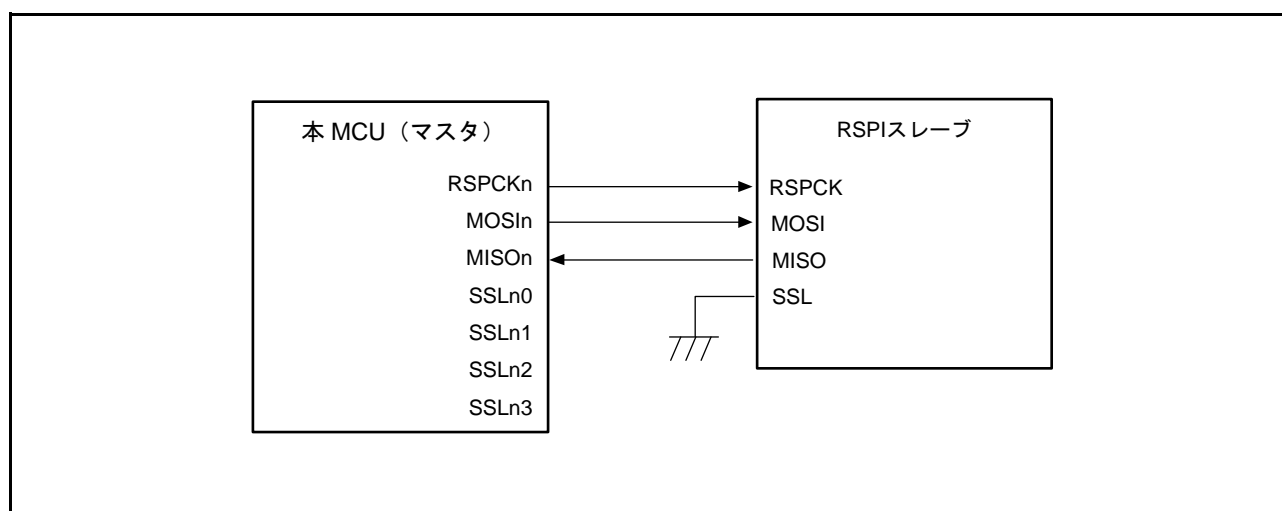


図 32.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

32.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 32.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLn0 端子を SSL 入力として使用します。RSPI マスタは、RSPCK と MOSI を常にドライブします。本 MCU (スレーブ) は、MISO_n を常にドライブします。(注 1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLn0 入力を Low に固定して本 MCU (スレーブ) を常に選択できる状態とし、シリアル転送を実行することも可能です (図 32.7)。

注 1. SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

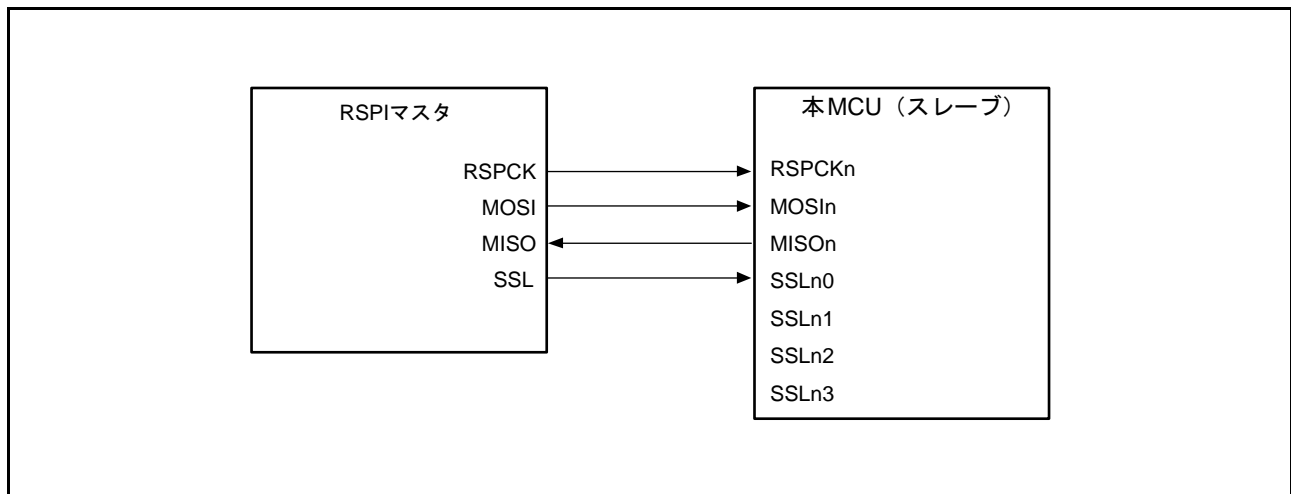


図 32.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

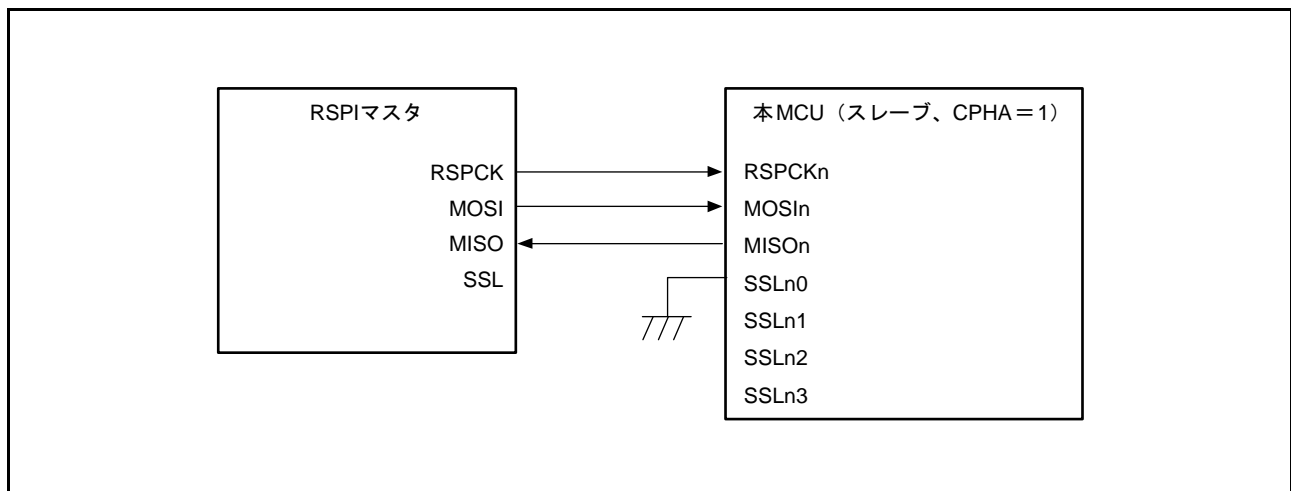


図 32.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

32.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 32.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 32.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (RSPI スレーブ 0 ~ RSPI スレーブ 3) から RSPI システムを構成しています。

本 MCU (マスタ) の RSPCKn 出力と MOSIn 出力は、RSPI スレーブ 0 ~ RSPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 0 ~ RSPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISO_n 入力に接続します。本 MCU (マスタ) の SSL_{n0} ~ SSL_{n3} 出力は、それぞれ RSPI スレーブ 0 ~ RSPI スレーブ 3 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCK、MOSI、SSL_{n0} ~ SSL_{n3} を常にドライブします。RSPI スレーブ 0 ~ RSPI スレーブ 3 のうち、SSL 入りに Low を入力されているスレーブが、MISO をドライブします。

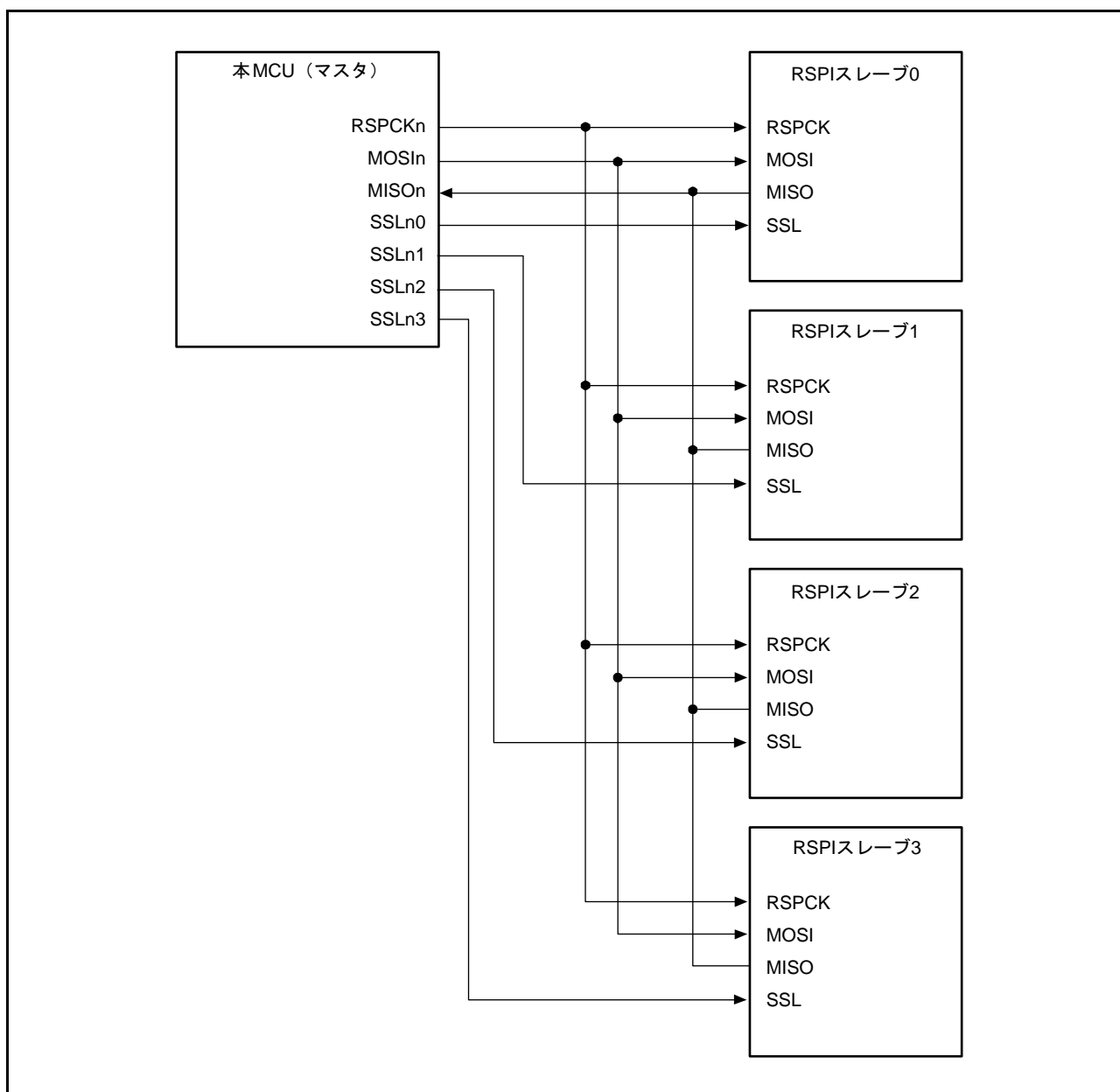


図 32.8 シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

32.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 32.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 32.9 の例では、RSPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

RSPI マスタの RSPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCKn 入力と MOSIn 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISO_n 出力は、RSPI マスタの MISO 入力に接続します。RSPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSLn0 入力に接続します。

RSPI マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSLn0 入口に Low を入力されているスレーブが、MISO_n をドライブします。

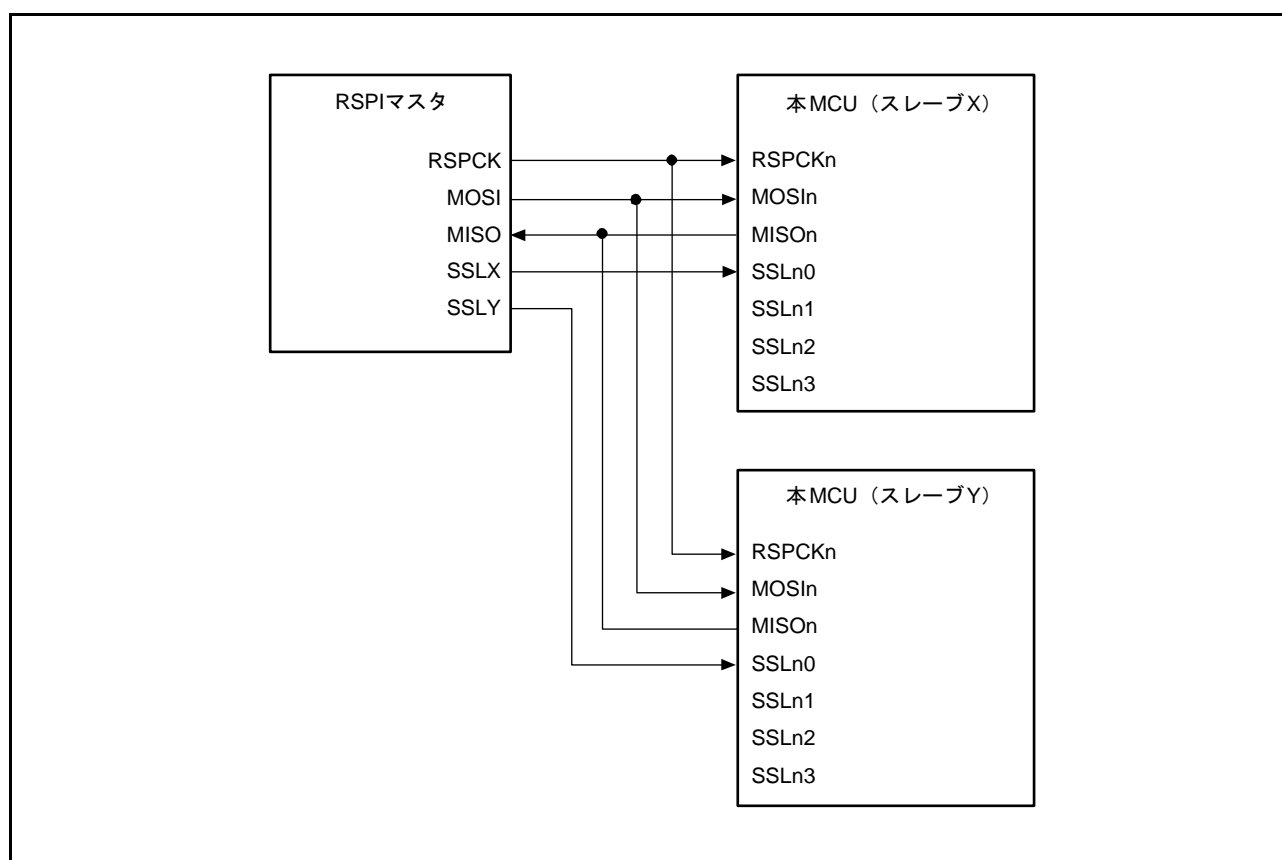


図 32.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

32.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 32.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 32.10 の例では、2つの本 MCU (マスタ X、マスタ Y) と2つの RSPI スレーブ (RSPI スレーブ 1、RSPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCKn 出力と MOSIn 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 1、RSPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISO_n 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSL_n0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSL_n0 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSL_n1 出力と SSL_n2 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL_n0 入力、スレーブ接続用の SSL_n1 出力、SSL_n2 出力のみでシステムを構成できるので、本 MCU の SSL_n3 出力を使用していません。

本 MCU は、SSL_n0 入力レベルが High の場合には、RSPCK_n、MOSIn、SSL_n1、SSL_n2 をドライブします。SSL_n0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCK_n、MOSIn、SSL_n1、SSL_n2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。RSPI スレーブ 1、RSPI スレーブ 2 のうち、SSL 入力が Low を入力されているスレーブが、MISO をドライブします。

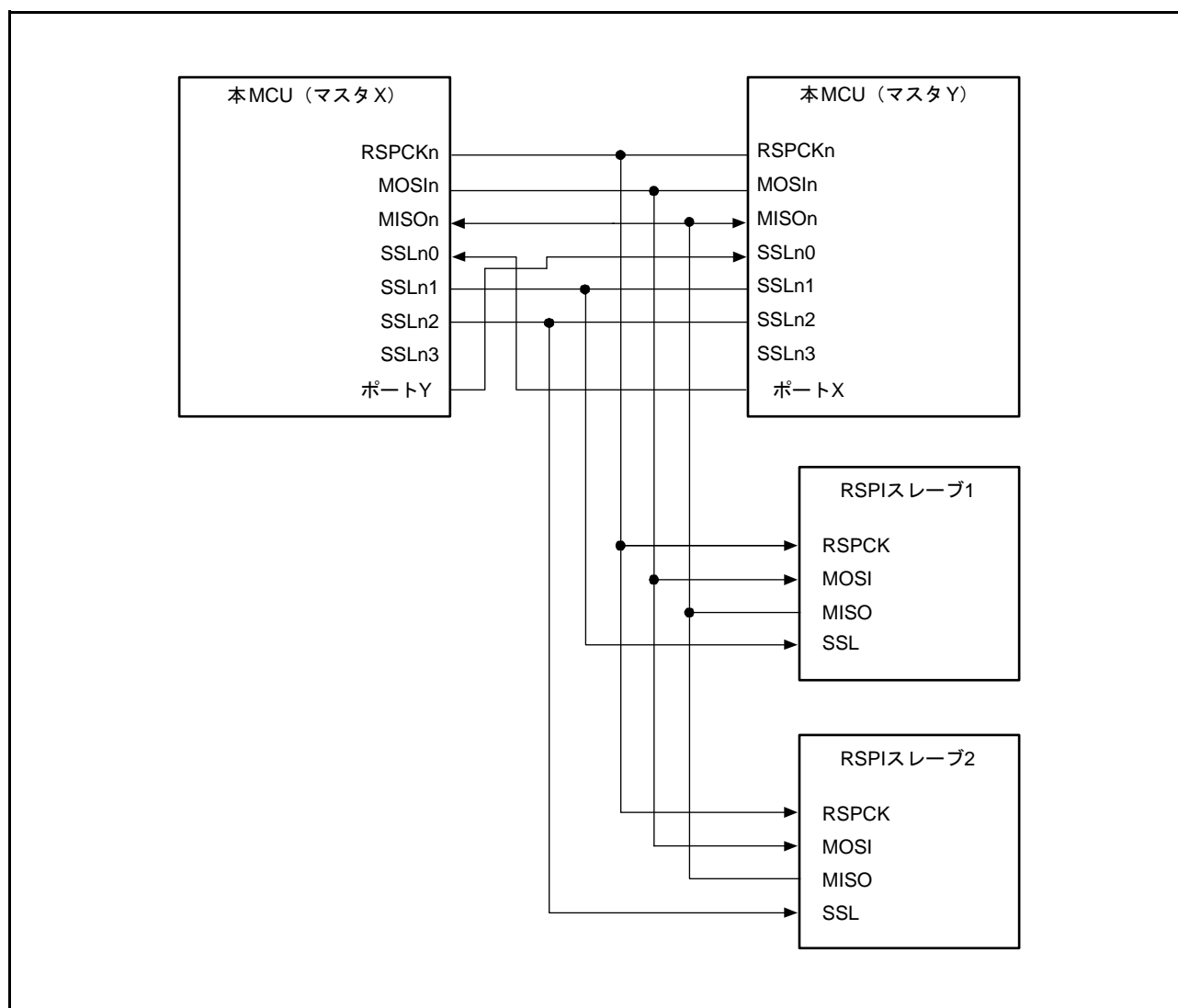


図 32.10 マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

32.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 32.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLn0 ~ SSLn3 は使用しません。

本 MCU (マスタ) は、RSPCKn と MOSIn を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

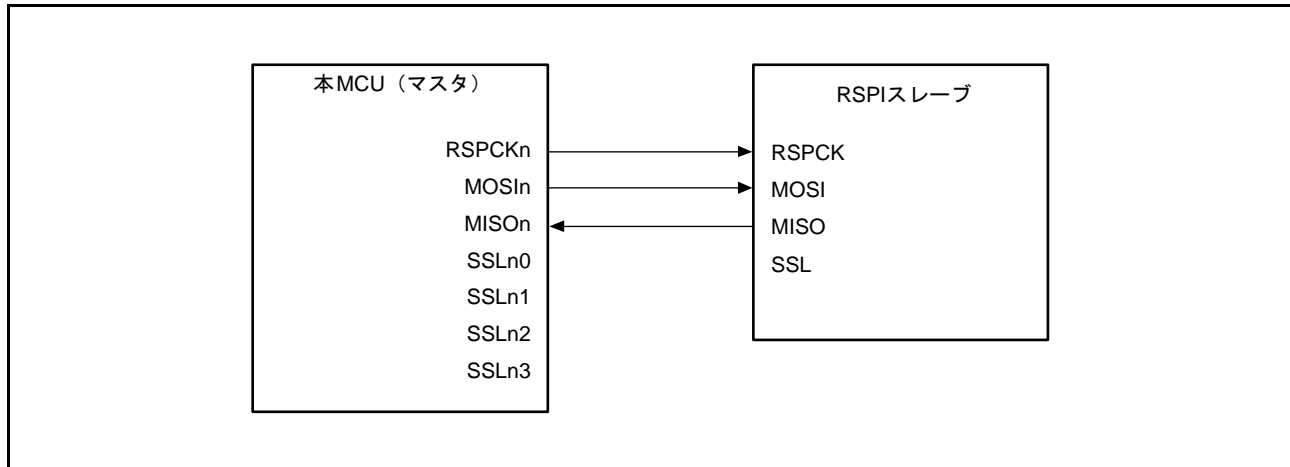


図 32.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

32.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 32.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISO_n を常にドライブし、RSPI マスタは、RSPCK と MOSI を常にドライブします。また、本 MCU (スレーブ) の SSLn0 ~ SSLn3 は使用しません。

SPCMD_m.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

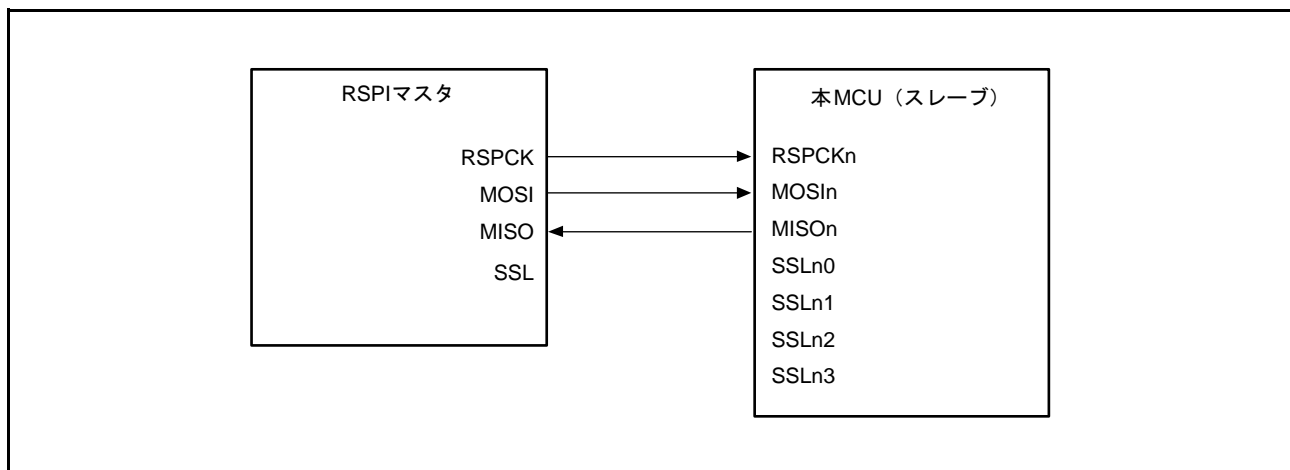


図 32.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例
(本 MCU = スレーブ、CPHA = 1)

32.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m) ($m=0 \sim 7$)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

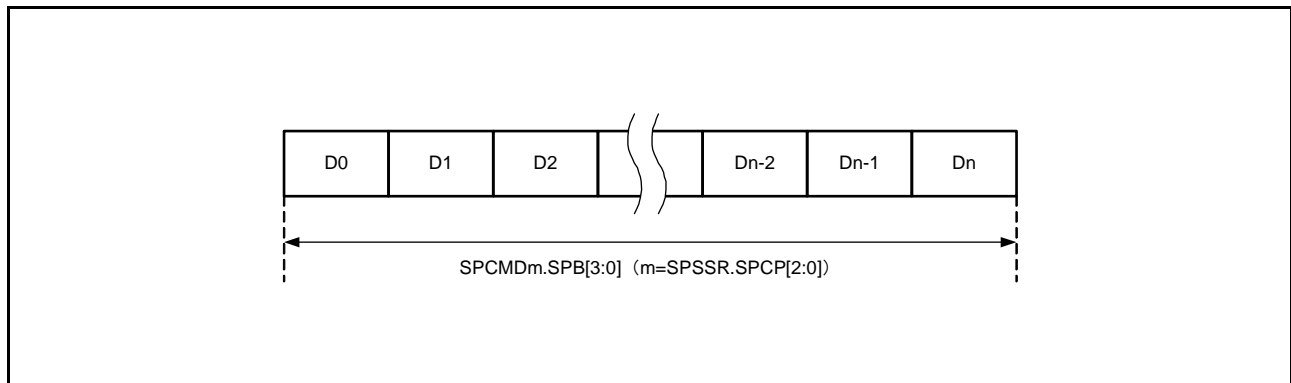


図 32.13 データフォーマット概要 (パリティ機能無効時)

(b) パリティ機能有効時

パリティ機能有効時は、SPCMD m .SPB[3:0] ビットで設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

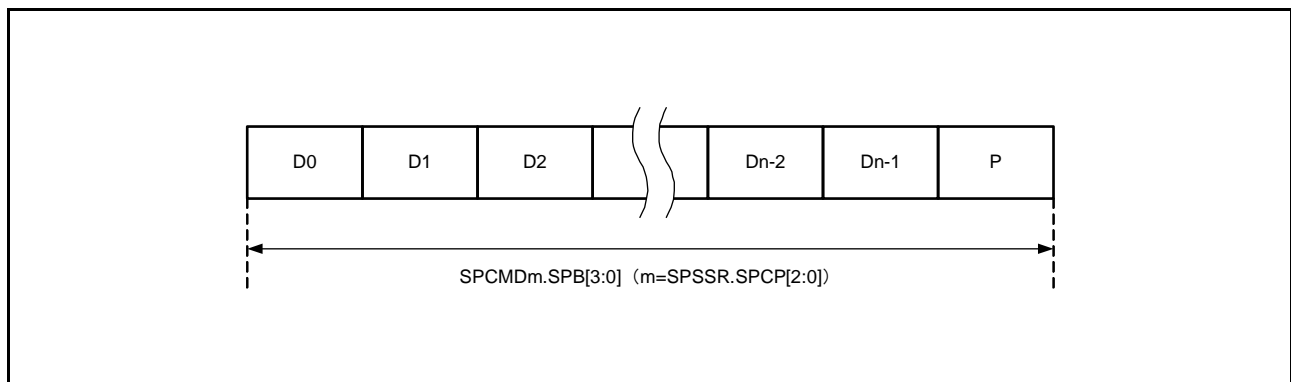


図 32.14 データフォーマット概要 (パリティ機能有効時)

32.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下にRSPI データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送 (32 ビットデータ)

図 32.15 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまと、シフトレジスタの値を受信バッファにコピーします。

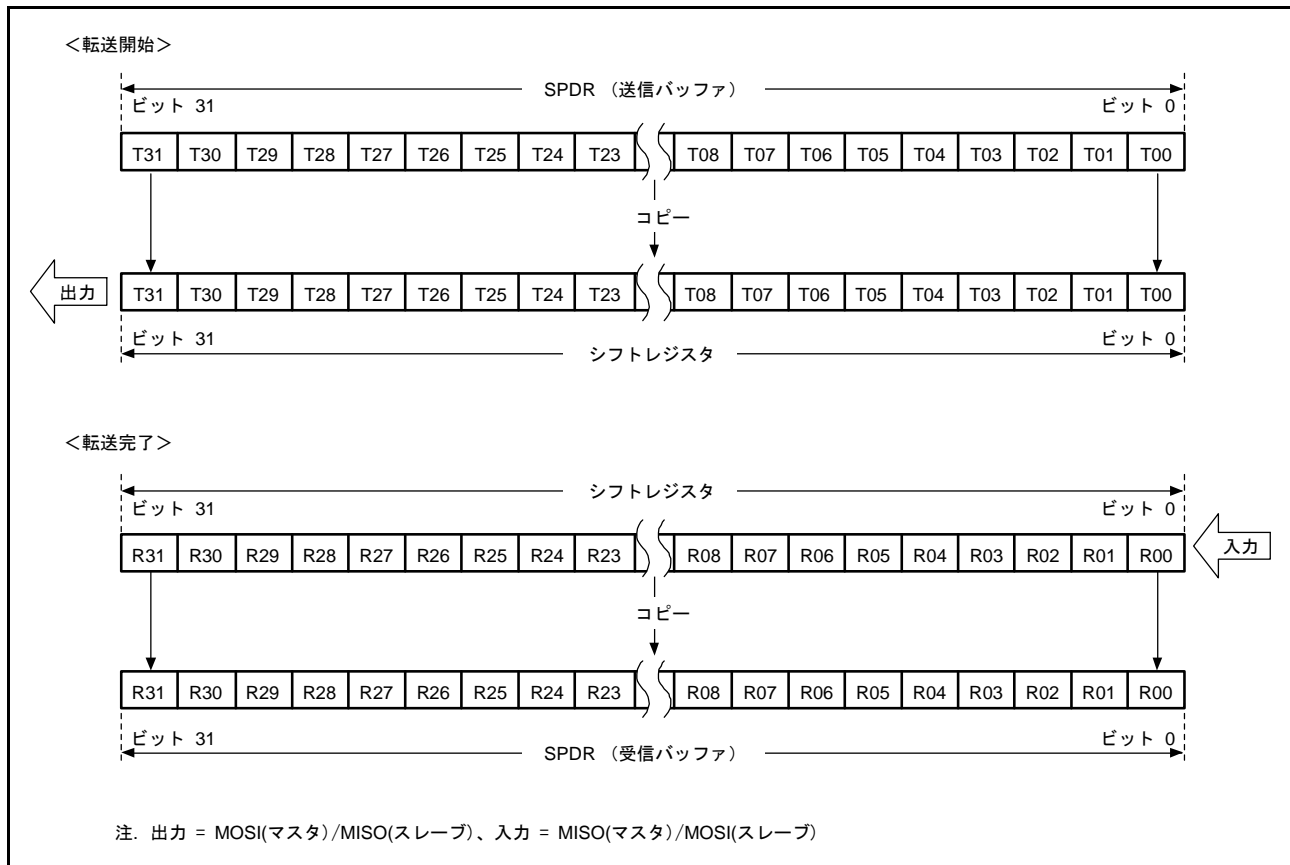


図 32.15 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 32.16 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

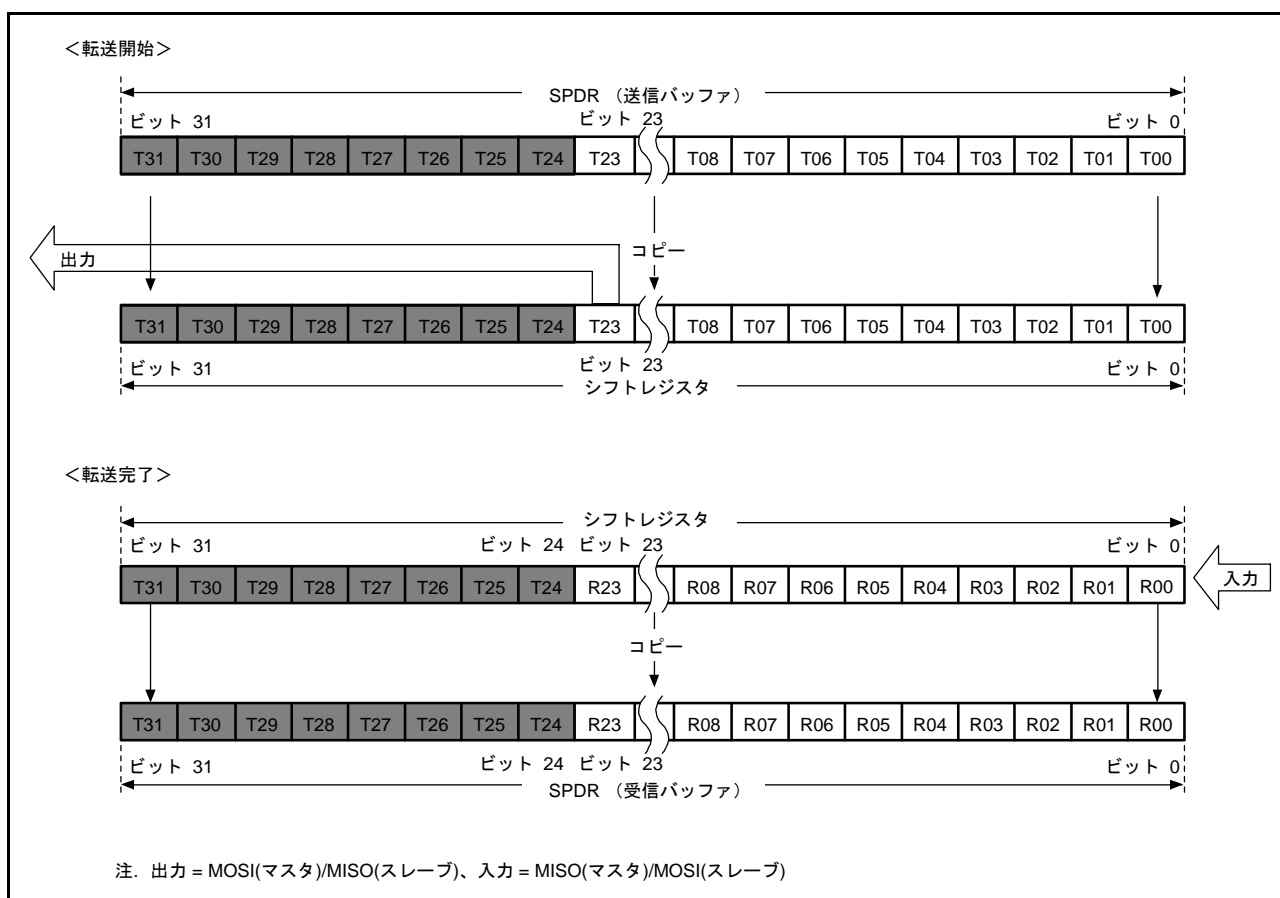


図 32.16 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 32.17 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

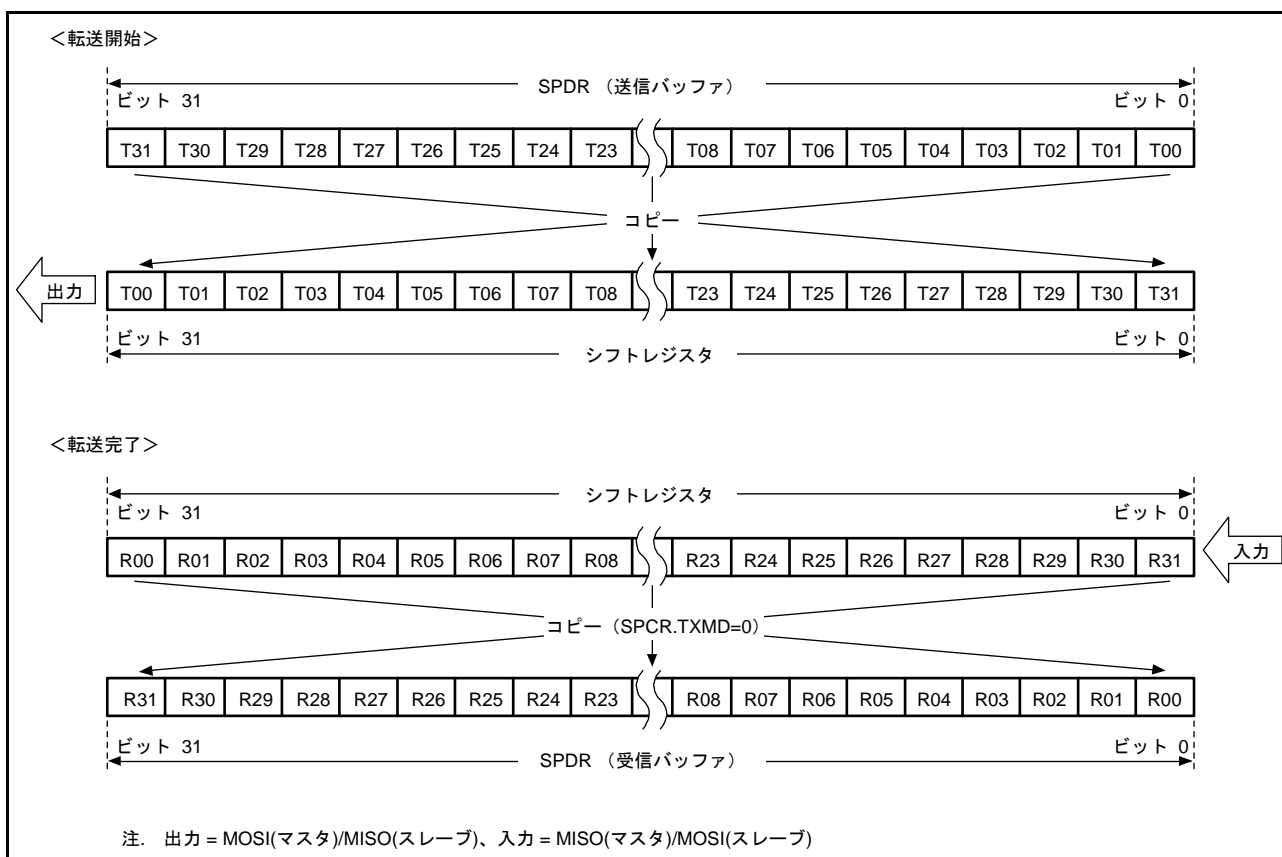


図 32.17 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 32.18 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

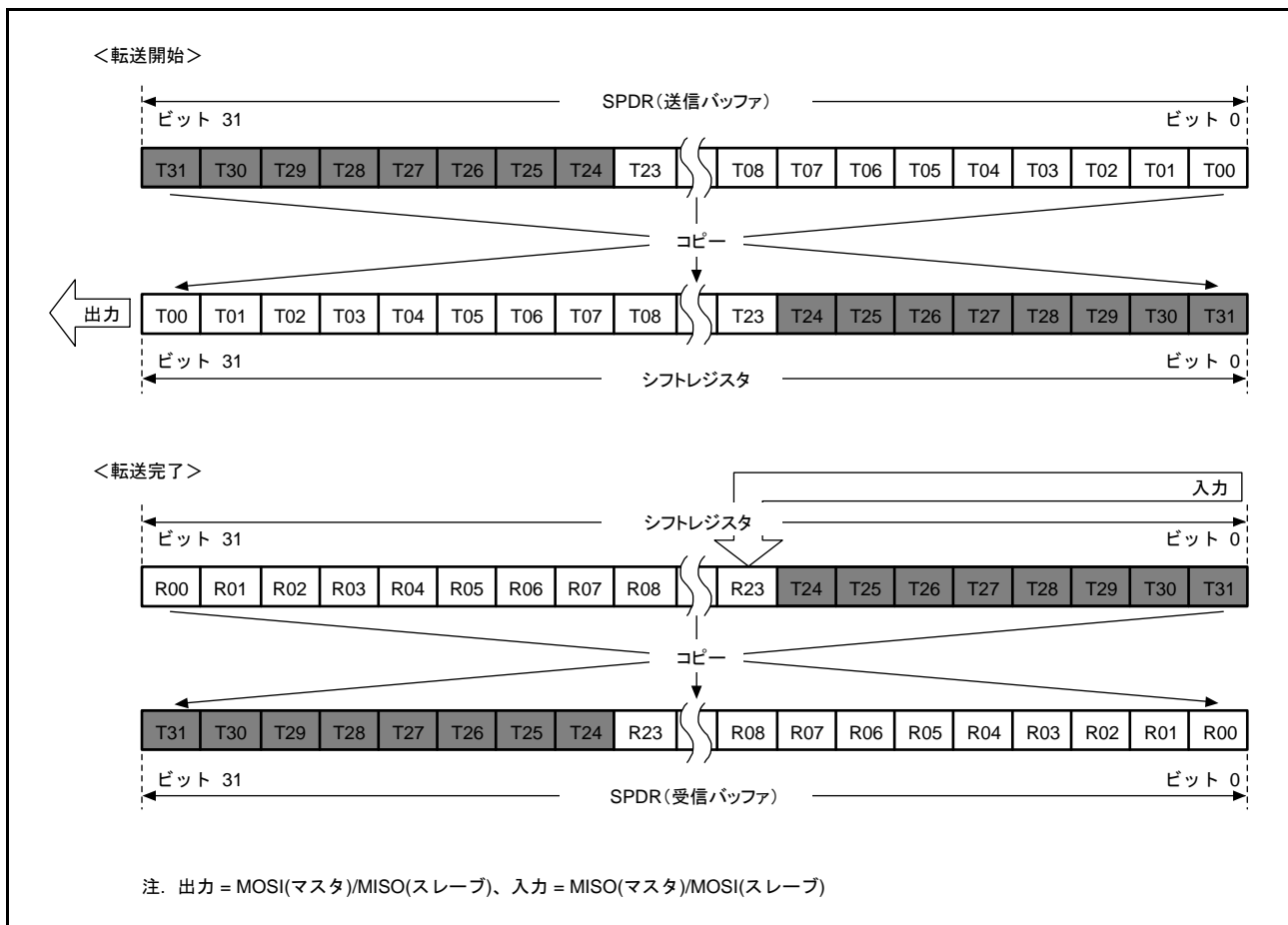


図 32.18 LSB ファースト (24 ビットデータ / パリティ機能無効)

32.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 32.19 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

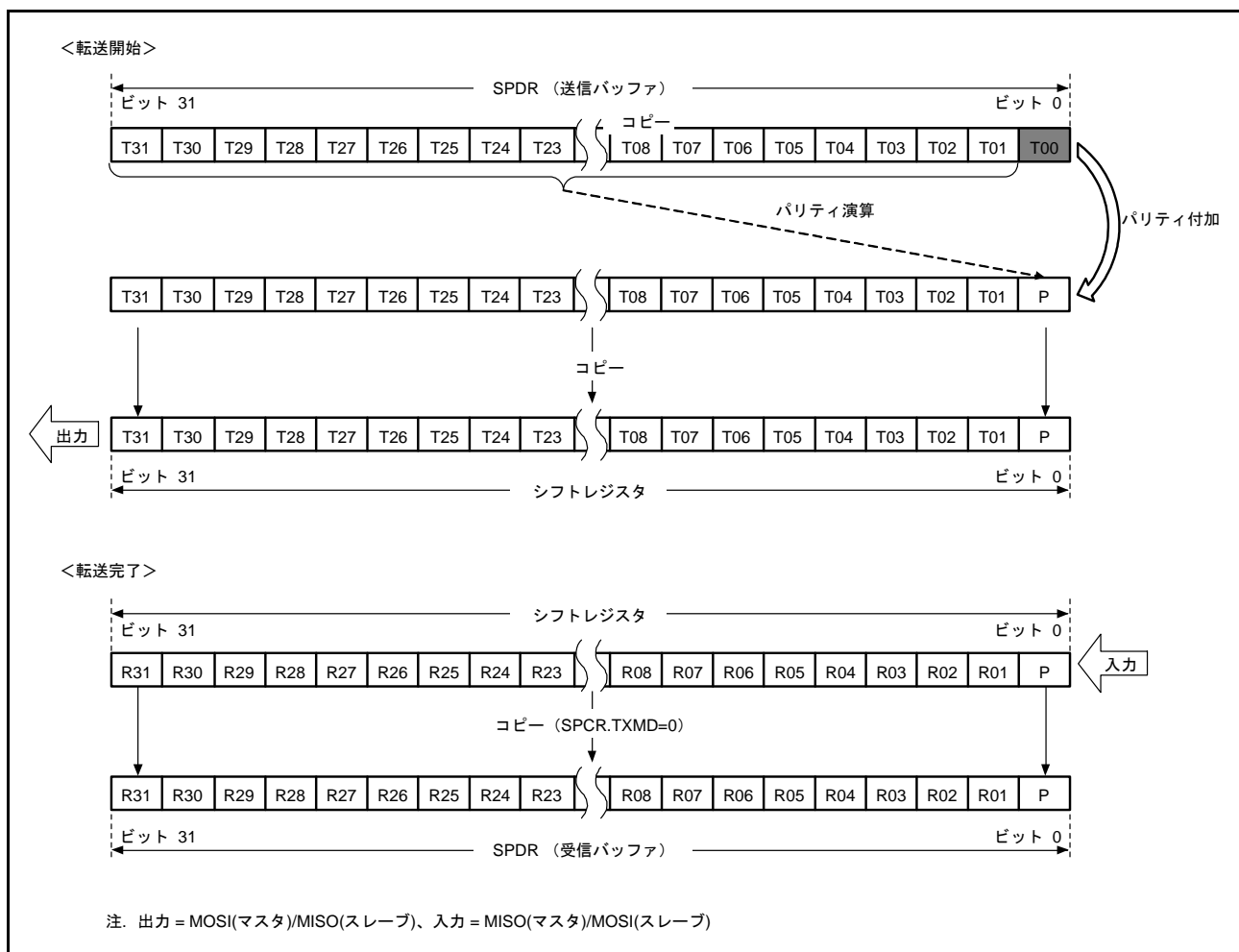


図 32.19 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 32.20 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

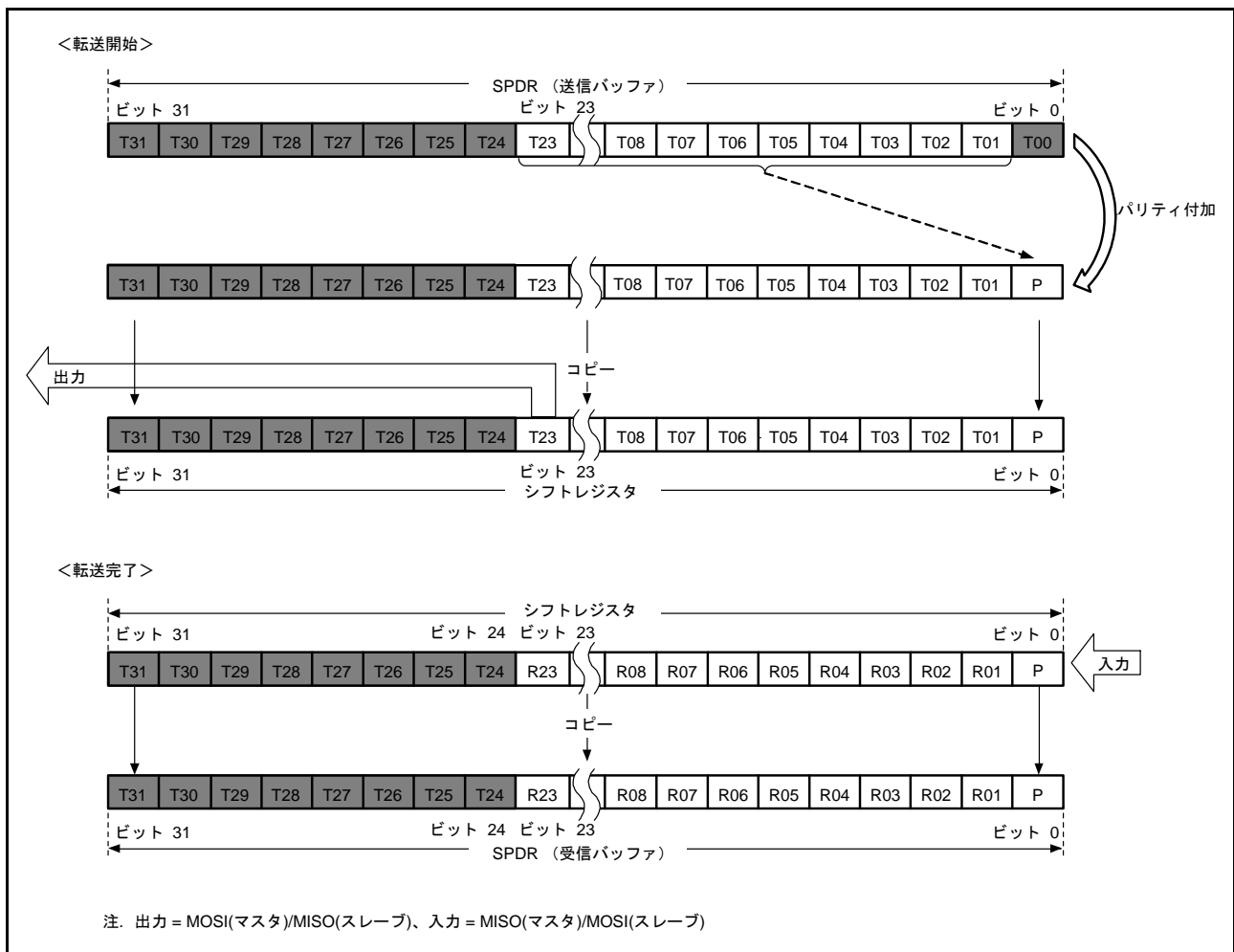


図 32.20 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 32.21 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまり、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

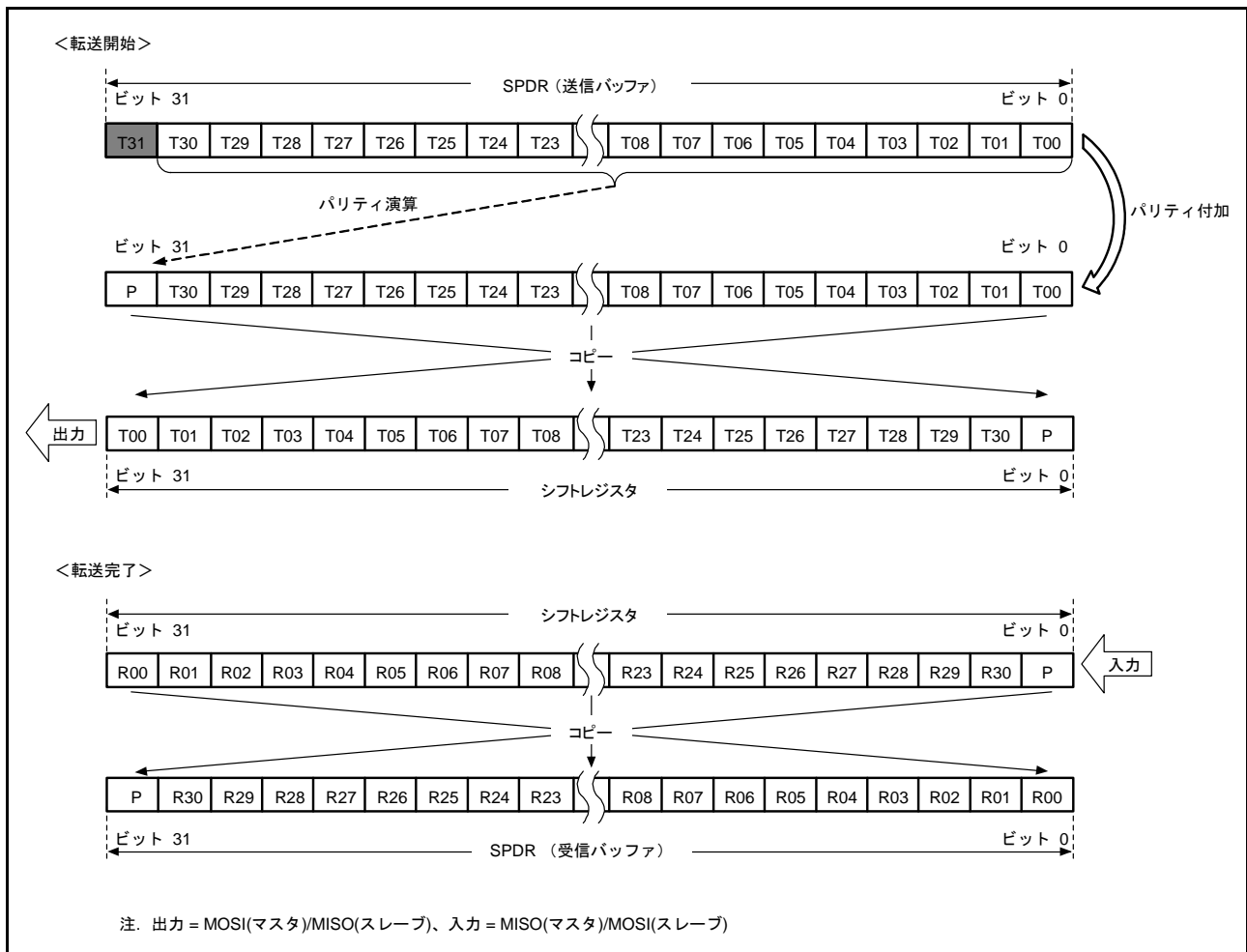


図 32.21 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 32.22 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

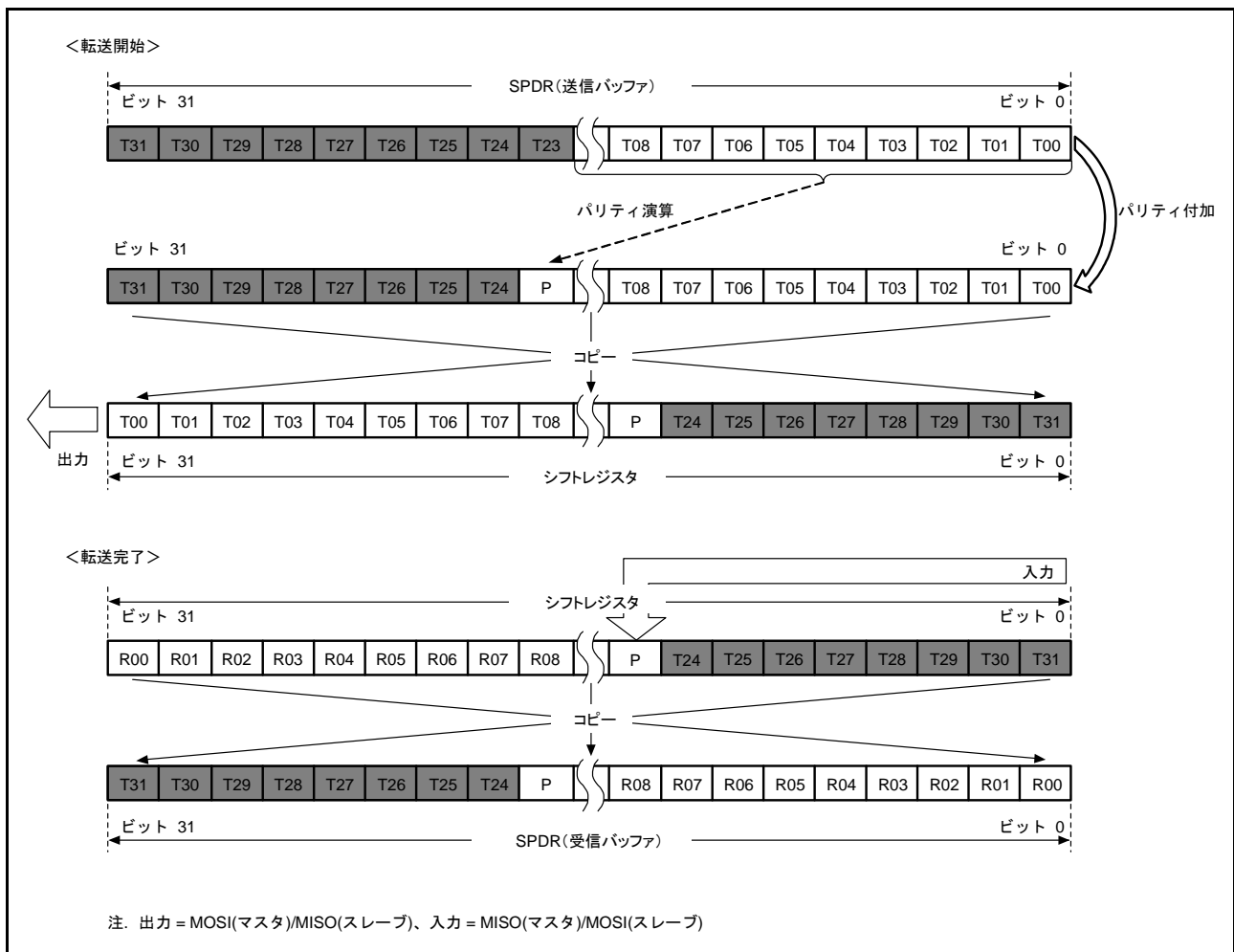


図 32.22 LSB ファースト (24 ビットデータ / パリティ機能有効)

32.3.5 転送フォーマット

32.3.5.1 CPHA ビット = 0 の場合

図 32.23 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR=0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) は保証しません。図 32.23 において、RSPCKn (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKn (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKn 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「32.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOOn 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOOn 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「32.3.10.1 マスタモード動作」を参照してください

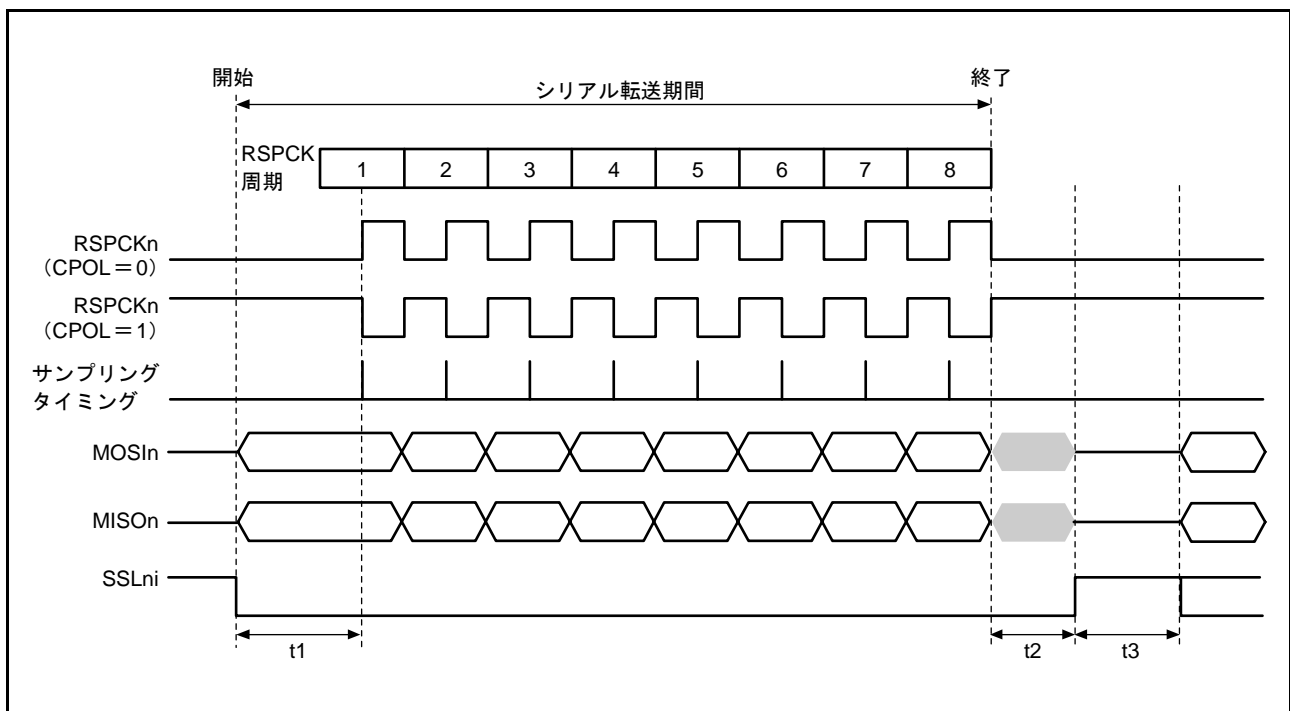


図 32.23 RSPI 転送フォーマット (CPHA ビット = 0)

32.3.5.2 CPHA ビット = 1 の場合

図 32.24 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOOn 信号のみで通信を行います。図 32.24 において、RSPCK (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCK (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKn 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ/スレーブ) に依存します。詳細は「32.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSLni 信号のアサートタイミングで、MISOOn 信号に無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化タイミングで、MOSIn 信号と MISOOn 信号への有効データへの出力が開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「32.3.10.1 マスタモード動作」を参照してください。

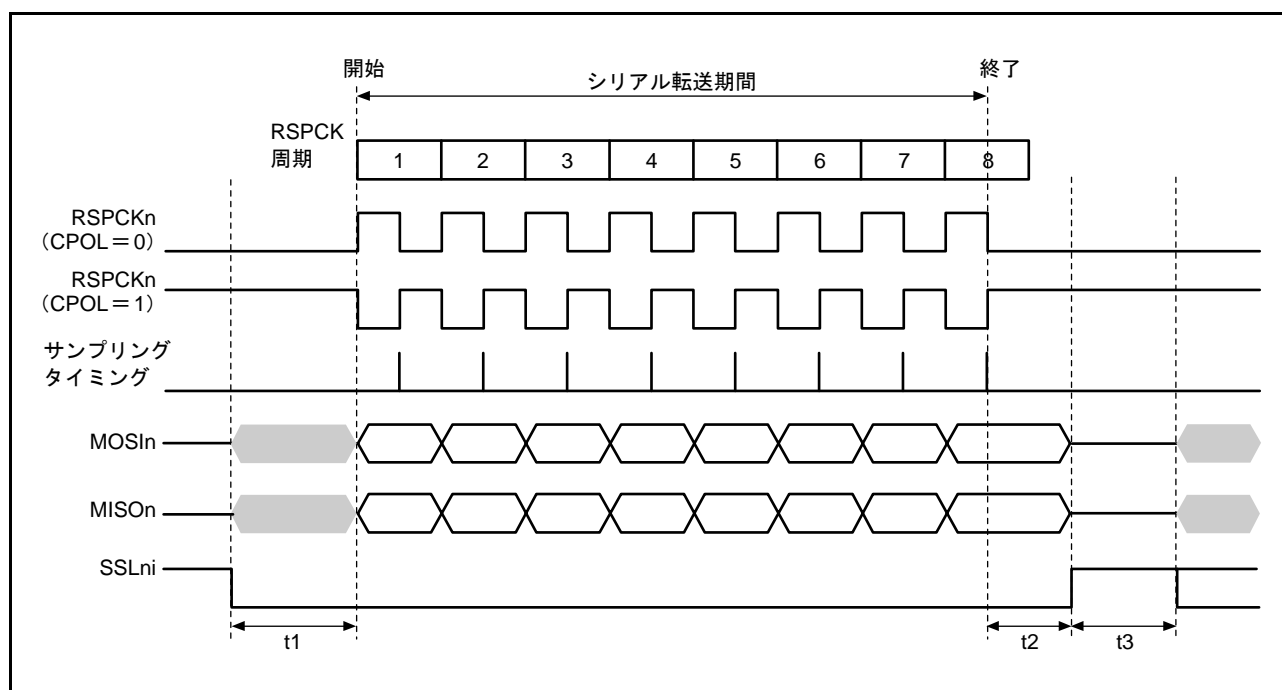


図 32.24 RSPI 転送フォーマット (CPHA ビット = 1)

32.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 32.25、図 32.26 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

32.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD=0)

図 32.25 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 32.25 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。

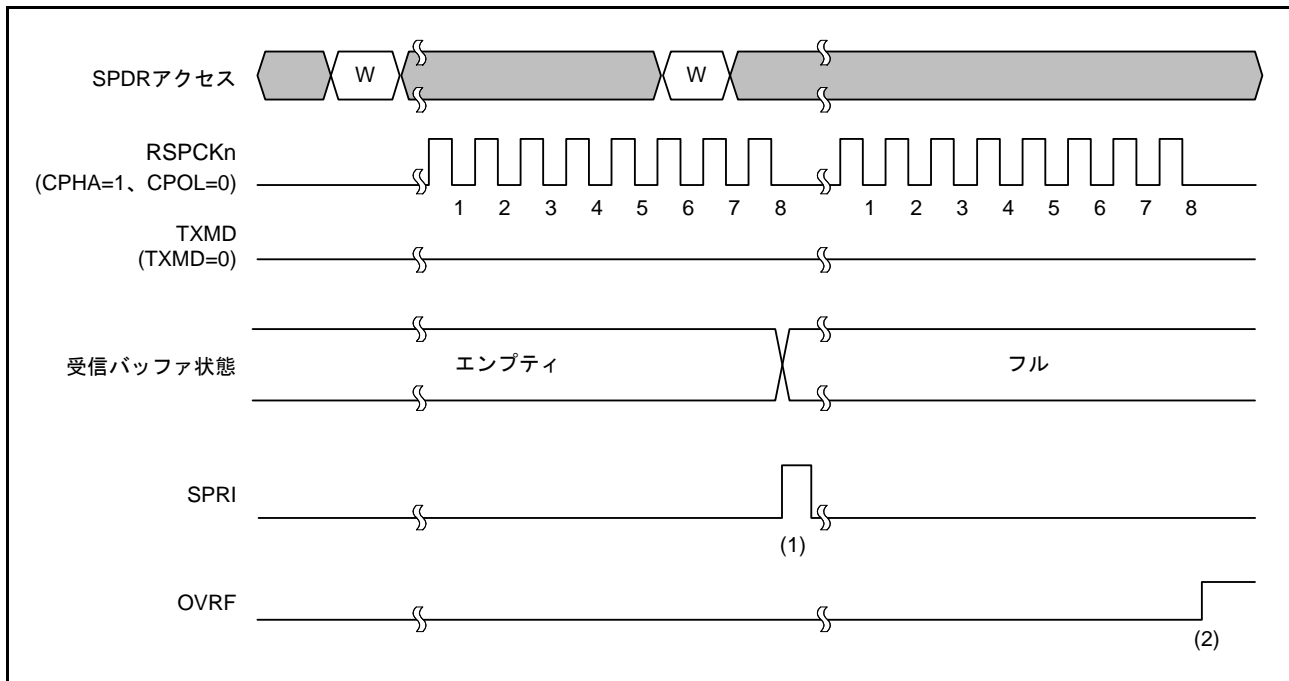


図 32.25 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を発生してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPCR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

32.3.6.2 送信のみ動作 (SPCR.TXMD=1)

図 32.26 に、SPCR.TXMD ビットを“1”に設定した場合の動作例を示します。図 32.26 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。

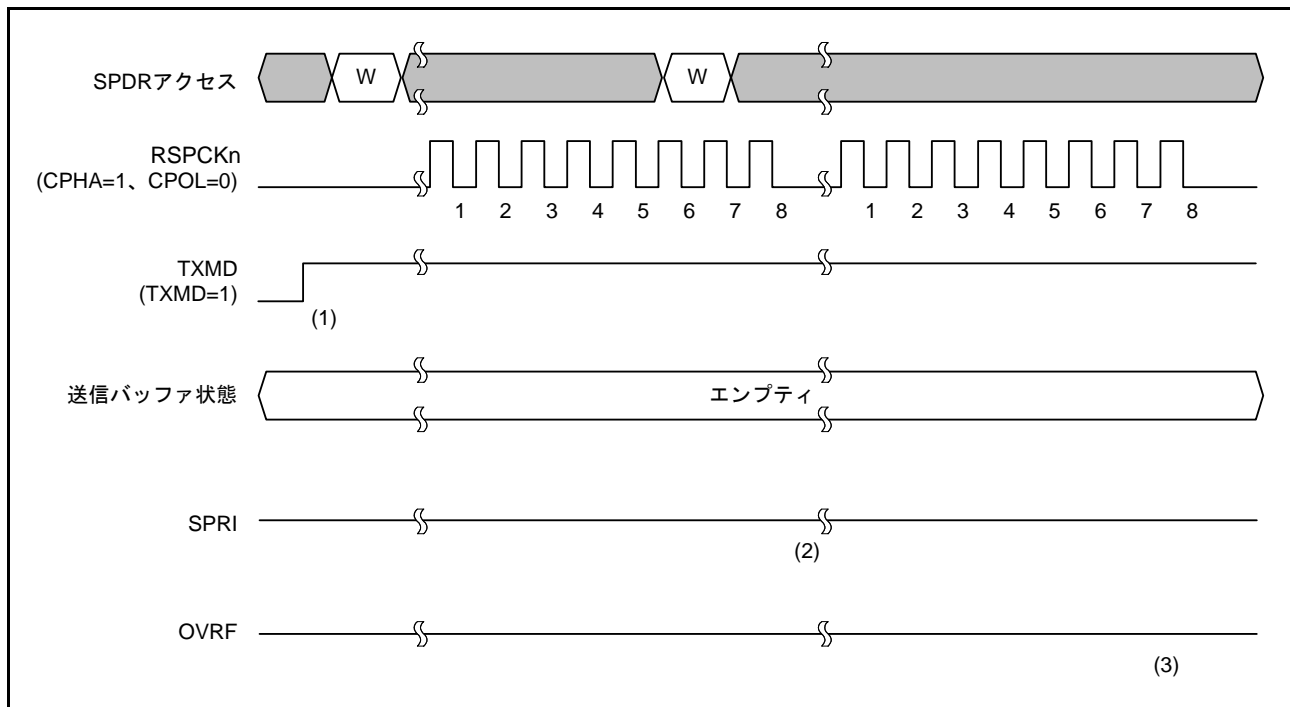


図 32.26 SPCR.TXMD = 1 の動作例

以下に、図中の (1) (2) (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作 (SPCR.TXMD=1) への遷移は、受信バッファにデータが残っていないこと、SPSR.OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみ動作 (SPCR.TXMD=1) のときは、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時 (SPCR.TXMD=1) は、送信データを送信し、受信データを受信しません。そのため、SPSR.OVRF フラグは (1) (2) (3) それぞれのタイミングで“0”を保持します。

32.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 32.27 に RSPI 送信バッファエンプティ割り込み (SPTI) と RSPI 受信バッファフル割り込み (SPRI) の動作例を示します。図 32.27 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 32.27 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。

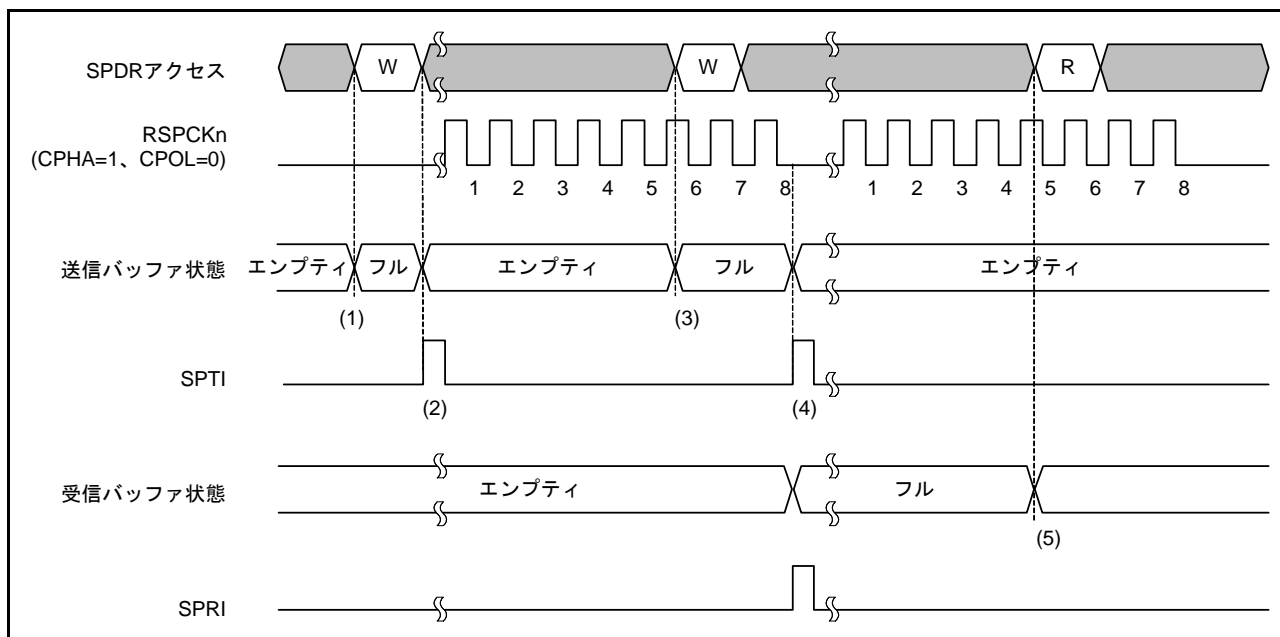


図 32.27 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

1. SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込みます。
2. シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み (SPTI) を発生します。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「32.3.10 SPI 動作」, 「32.3.11 クロック同期式動作」参照)
3. 送信バッファエンプティ割り込みルーチンで、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送されます。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を発生します。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフル割り込みルーチンで、SPDR レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態で、SPDR レジスタを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタを書き込む場合には、送信バッファエンピティ割り込みルーチンで行ってください。また、RSPI 送信割り込みを利用する場合には、SPCR の SPTIE ビットを“1”にしてください。

RSPI 機能は無効 (SPCR の SPE ビットが“0”) の場合には、SPTIE ビットを“0”にしてください。

受信バッファフルの状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「32.3.8 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信 / 受信バッファの状態は、送信 / 受信割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。割り込みベクタ番号については、「15. 割り込みコントロール (ICUb)」を参照してください。

32.3.8 エラー検出

通常の RSPI のシリアル転送では、SPDR レジスタの送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを SPDR レジスタの受信バッファから読み出すことができます。SPDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始 / 終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表 32.8 に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表 32.8 通常以外の転送の発生条件と RSPI のエラー検出機能

	発生条件	RSPI動作	エラー検出
A	送信バッファフルの状態で SPDR レジスタを書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データをシリアル送信	なし
C	受信バッファエンピティの状態で SPDR レジスタを読み出し	前回シリアル受信データを出力	なし
D	受信バッファフルの状態で、シリアル転送が終了	受信バッファ内容を保持 シリアル受信データ欠落	オーバランエラー検出
E	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
F	マルチマスタモードでシリアル転送アイドル時に SSLn0 入力信号アサート	<ul style="list-style-type: none"> RSPCKn、MOSIn、SSLn1～3 出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
G	マルチマスタモードでシリアル転送中に SSLn0 入力信号アサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKn、MOSIn、SSLn1～3 出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
H	スレーブモードでシリアル転送中に SSLn0 入力信号がネゲート	<ul style="list-style-type: none"> シリアル転送中断 送受信データ欠落 MISO 出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出

表 32.8 の A に示した動作に対しては、RSPI はエラーを検出しません。SPDR レジスタへの書き込み時にデータを欠落させないために、送信割り込み要求で SPDR レジスタへの書き込みを実施してください。

B に示した動作に対しても、RSPI はエラーを検出しません。RSPI では、シフトレジスタの更新前に起動

されたシリアル転送において、前回シリアル転送時の受信データを送信し、Bに示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データはSPDRレジスタの受信バッファに保持されているので、正しく読み出されます（シリアル転送が終了する前にSPDRレジスタを読み出さないと、オーバランエラーが発生します）。

Cに示した動作に対しても、RSPIはエラーを検出しません。不要なデータを読み出さないようにするためには、受信割り込みでSPDRレジスタの読み出しを実行するようにしてください。

Dに示したオーバランエラーについては「32.3.8.1 オーバランエラー」で、Eに示したパリティエラーについては「32.3.8.2 パリティエラー」で説明します。また、F～Hに示したモードフォルトエラーについては「32.3.8.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「32.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

32.3.8.1 オーバランエラー

SPDRレジスタの受信バッファフル状態でシリアル転送が終了すると、RSPIはオーバランエラーを検出してSPSR.OVRFフラグを“1”にします。OVRFフラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRFフラグを“0”にするためには、OVRFフラグが“1”にセットされた状態のSPSRレジスタを読み出した後に、OVRFフラグに“0”を書く必要があります。

図32.28に、OVRFフラグの動作を示します。図32.28に記載したSPSRアクセスとSPDRアクセスは、それぞれSPSR、SPDRレジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図32.28の例では、SPCMDm.CPHAビットが“1”、SPCMDm.CPOLビットが“0”の設定で、RSPIが8ビットのシリアル転送を実行しています。RSPCKn波形の下に記載した数字はRSPCKサイクル数（＝転送ビット数）を示しています。

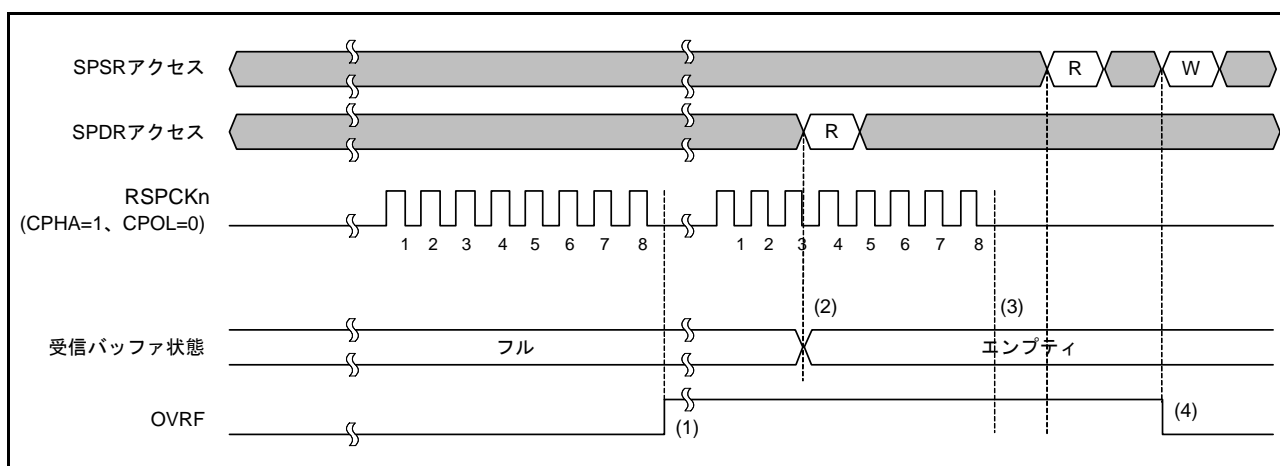


図 32.28 OVRF フラグの動作例

以下に、図中の (1) ～ (4) に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファフル状態でシリアル転送が終了すると、RSPIがオーバランエラーを検出し、OVRFフラグを“1”にします。RSPIはシフトレジスタのデータを受信バッファにコピーしません。また、SPPEビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。
2. SPDRレジスタを読み出すと、RSPIは受信バッファのデータを読み出せます。受信バッファが空になっても、OVRFフラグは“0”になりません。

3. OVRF フラグが“1”の状態（オーバランエラー）でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードのRSPIの場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF フラグが“1”の状態では SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバランの発生は、SPSR レジスタの読み出しあるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが“1”になると、OVRF フラグが“0”になるまで正常な受信動作ができなくなります。

32.3.8.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態では全二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 32.29 に、OVRF フラグと PERF フラグの動作を示します。図 32.29 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 32.29 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態では全二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

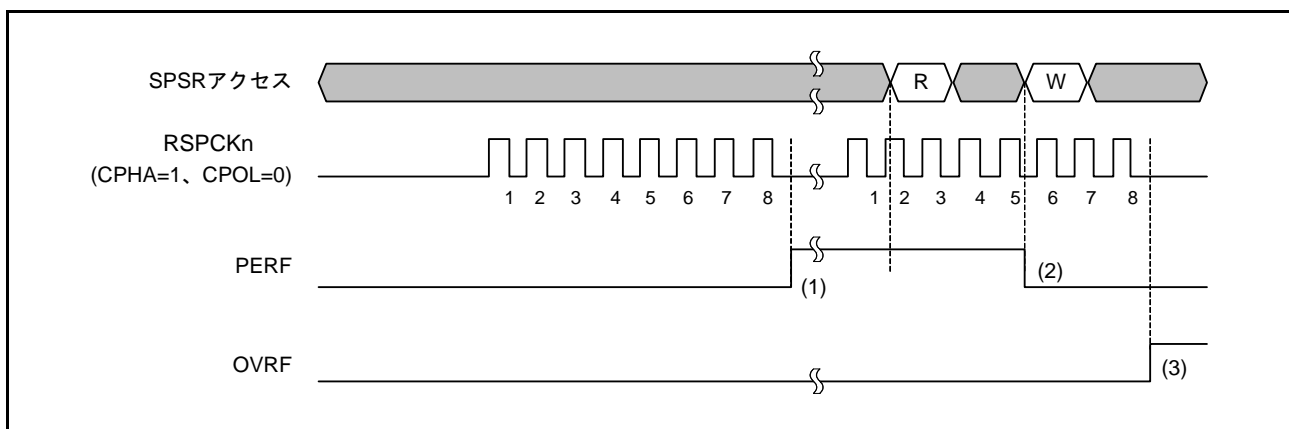


図 32.29 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

1. RSPI がオーバーランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
2. PERF フラグが“1”の状態では、SPSR レジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
3. RSPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

32.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPI はマルチマスタモードで動作します。マルチマスタモードの RSPI の SSLn0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPI はモードフォルトエラーを検出して SPSR.MODF フラグを“1”にします。モードフォルトエラーを検出すると、RSPI は SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。なお、SSLn0 信号のアクティブレベルは、SSLP.SSLOP ビットによって決定されます。

MSTR ビットが“0”の場合には、RSPI はスレーブモードで動作します。スレーブモードの RSPI の MODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLn0 入力信号がネゲートされると、RSPI はモードフォルトエラーを検出します。

RSPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットのクリアを実施します（「32.3.9 RSPI の初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと RSPI 機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。RSPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが“1”の状態では、RSPI は SPE ビットへの“1”の書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、MODF フラグを“0”にしてください。

32.3.9 RSPI の初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラー検出により RSPI が SPE ビットを“0”にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

32.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステータスの初期化
- RSPI 送信バッファを空にする

SPE ビットを“0”にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを“1”にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.OVRF, MODF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認ができません。

送信バッファは空の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを“1”にしていると、RSPI 送信割り込みが発生します。CPU で RSPI を初期化する場合に、RSPI 送信割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書いてください。モードフォルトエラー検出後の RSPI 送信割り込みを禁止するためには、エラー処理ルーチンで SPTIE ビットに“0”を書いてください。

32.3.9.2 システムリセット

システムリセットによる初期化では、「32.3.9.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

32.3.10 SPI 動作

32.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「32.3.8 エラー検出」を参照）のみです。シングルマスタモードの RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI 送信バッファが空き（次転送のデータがセットされていない）の状態では、SPDR レジスタヘデータを書き込むと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については「32.3.5 転送フォーマット」を参照してください。SSLni 出力端子の極性は、SSLP レジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。SSLni 出力端子の極性は、SSLP レジスタの設定値に依存します。RSPI の転送フォーマットの詳細については「32.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLni 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPI 次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にして RSPI 機能を許可すると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

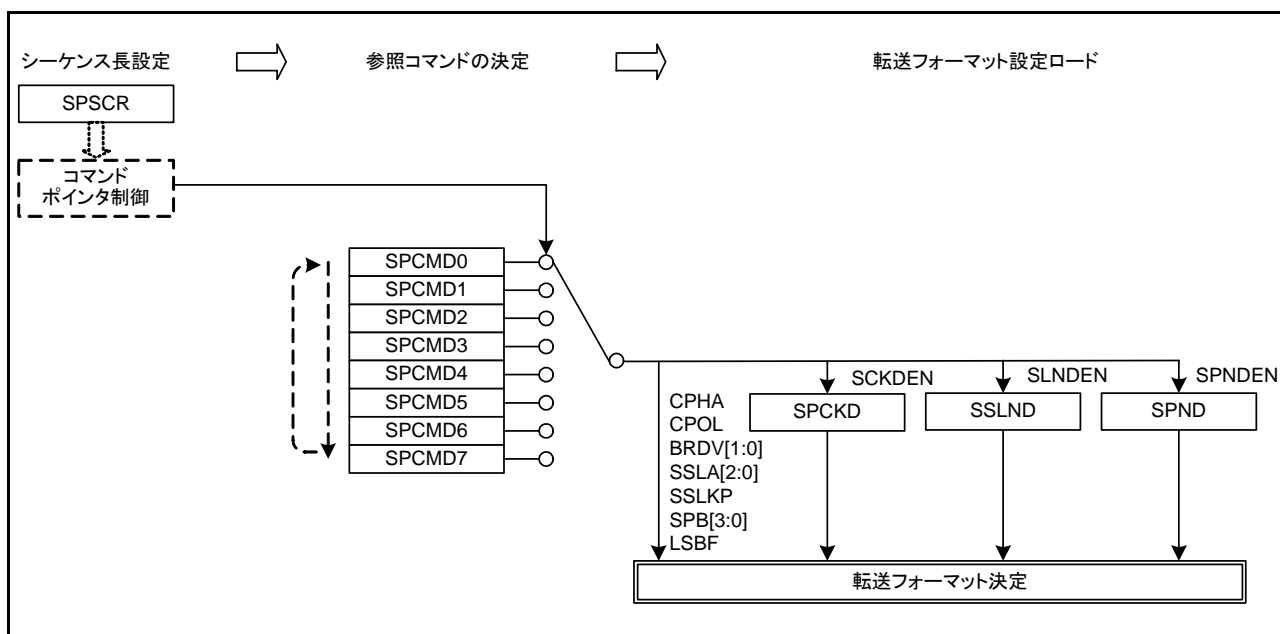


図 32.30 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

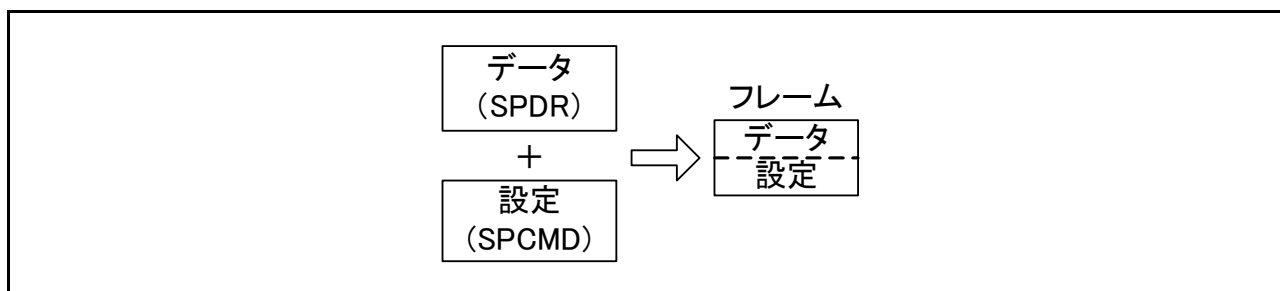


図 32.31 フレームの概念図

表 32.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 32.32 に示します。

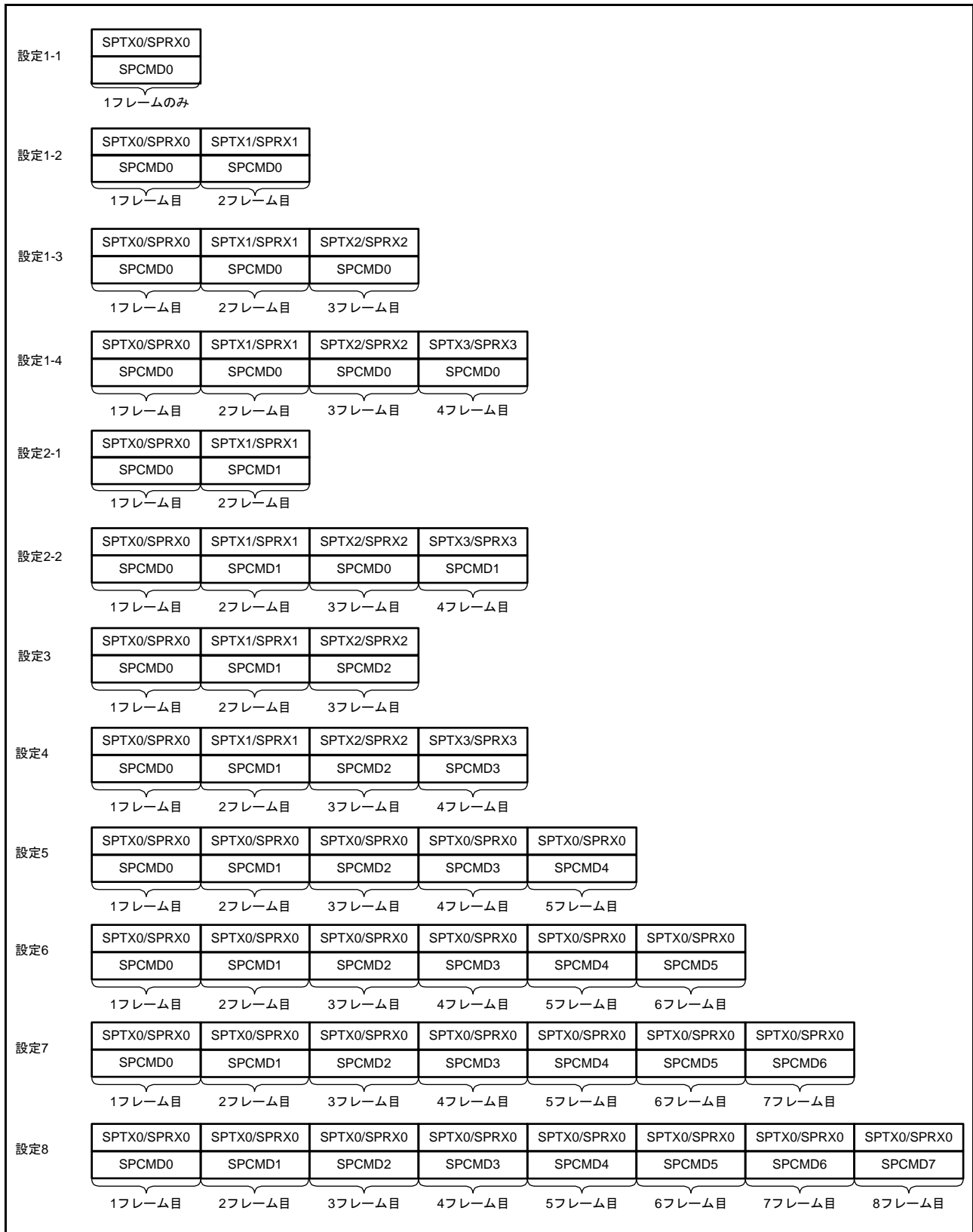


図 32.32 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが“1”の場合には、RSPI はシリアル転送中の SSLni 信号レベルを次のシリアル転送の SSLni 信号アサート開始まで保持します。次のシリアル転送での SSLni 信号レベルが、現在のシリアル転送での SSLni 信号レベルと同じであれば、RSPI は SSLni 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

図 32.33 に、SPCMD0、1 レジスタの設定を使用してバースト転送を実現した場合の SSLni 信号動作例を示します。図 32.33 に記載した (1) ~ (7) の RSPI 動作内容について、以下に説明します。なお、SSLni 出力信号の極性は、SSLP レジスタの設定値に依存します。

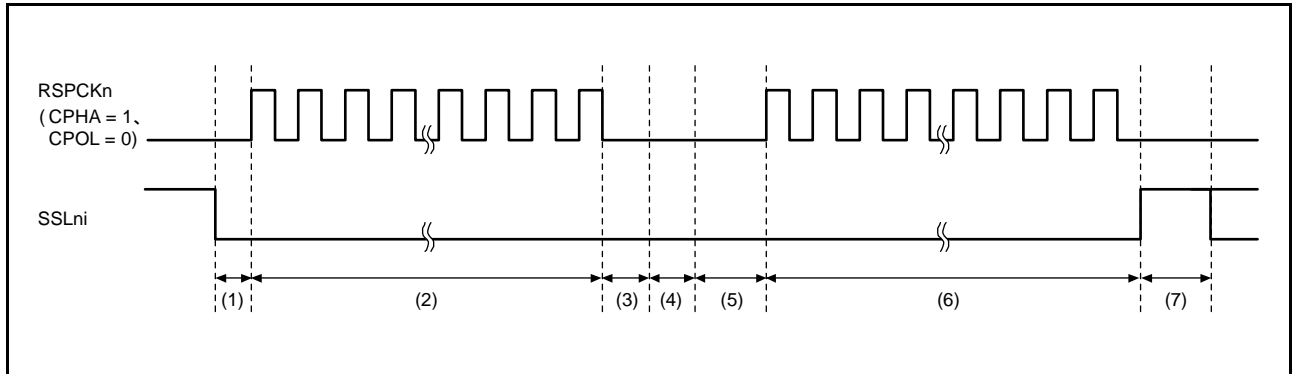


図 32.33 SSLKP ビットを利用したバースト転送動作の例

- (1) SPCMD0 レジスタに従った SSLni 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタに従ったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) SPCMD0.SSLKP ビットが“1”であるため、SPCMD0 レジスタでの SSLni 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1 レジスタに従った SSLni 信号のアサートと RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタに従ったシリアル転送を実行します。
- (7) SPCMD1.SSLKP ビットが“0”であるため、SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを“1”にした SPCMDm レジスタでの SSLni 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLni 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLni 信号のアサート時 (図 32.33 の (5)) に SSLni 信号状態を切り替えます。このような SSLni 信号の切り替えが発生した場合、MISO_n をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLni 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0”の場合でも、RSPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます (「32.3.10 SPI 動作」を参照)。

(5) RSPCK 遅延 (t1)

マスタモードのRSPIのRSPCK遅延値は、SPCMDm.SCKDENビットの設定とSPCKDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SCKDENビットとSPCKDレジスタを使用して、表32.9のようにシリアル転送時のRSPCK遅延値を決定します。なお、RSPCK遅延の定義については、「32.3.5 転送フォーマット」を参照してください。

表32.9 SCKDENビット、SPCKDレジスタとRSPCK遅延値の関係

SPCMDm.SCKDENビット	SPCKD.SCKDL[2:0]ビット	RSPCK遅延値
0	000 ~ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモードのRSPIのSSLネゲート遅延値は、SPCMDm.SLNDENビットの設定とSSLNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SLNDENビットとSSLNDレジスタを使用して、表32.10のようにシリアル転送時のSSLネゲート遅延値を決定します。なお、SSLネゲート遅延の定義については、「32.3.5 転送フォーマット」を参照してください。

表32.10 SLNDENビット、SSLNDレジスタとSSLネゲート遅延値の関係

SPCMDm.SLNDENビット	SSLND.SLNDL[2:0]ビット	SSLネゲート遅延値
0	000 ~ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(7) 次アクセス遅延 (t3)

マスタモードのRSPIの次アクセス遅延は、SPCMDm.SPNDENビットの設定とSPNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SPNDENビットとSPNDレジスタを使用して、表32.11のようにシリアル転送時のRSPCK遅延を決定します。なお、次アクセス遅延の定義については、「32.3.5 転送フォーマット」を参照してください。

表32.11 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000 ~ 111	1RSPCK + 2PCLK
1	000	1RSPCK + 2PCLK
	001	2RSPCK + 2PCLK
	010	3RSPCK + 2PCLK
	011	4RSPCK + 2PCLK
	100	5RSPCK + 2PCLK
	101	6RSPCK + 2PCLK
	110	7RSPCK + 2PCLK
	111	8RSPCK + 2PCLK

(8) 初期化フロー

図 32.34 に、SPI 動作時、RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

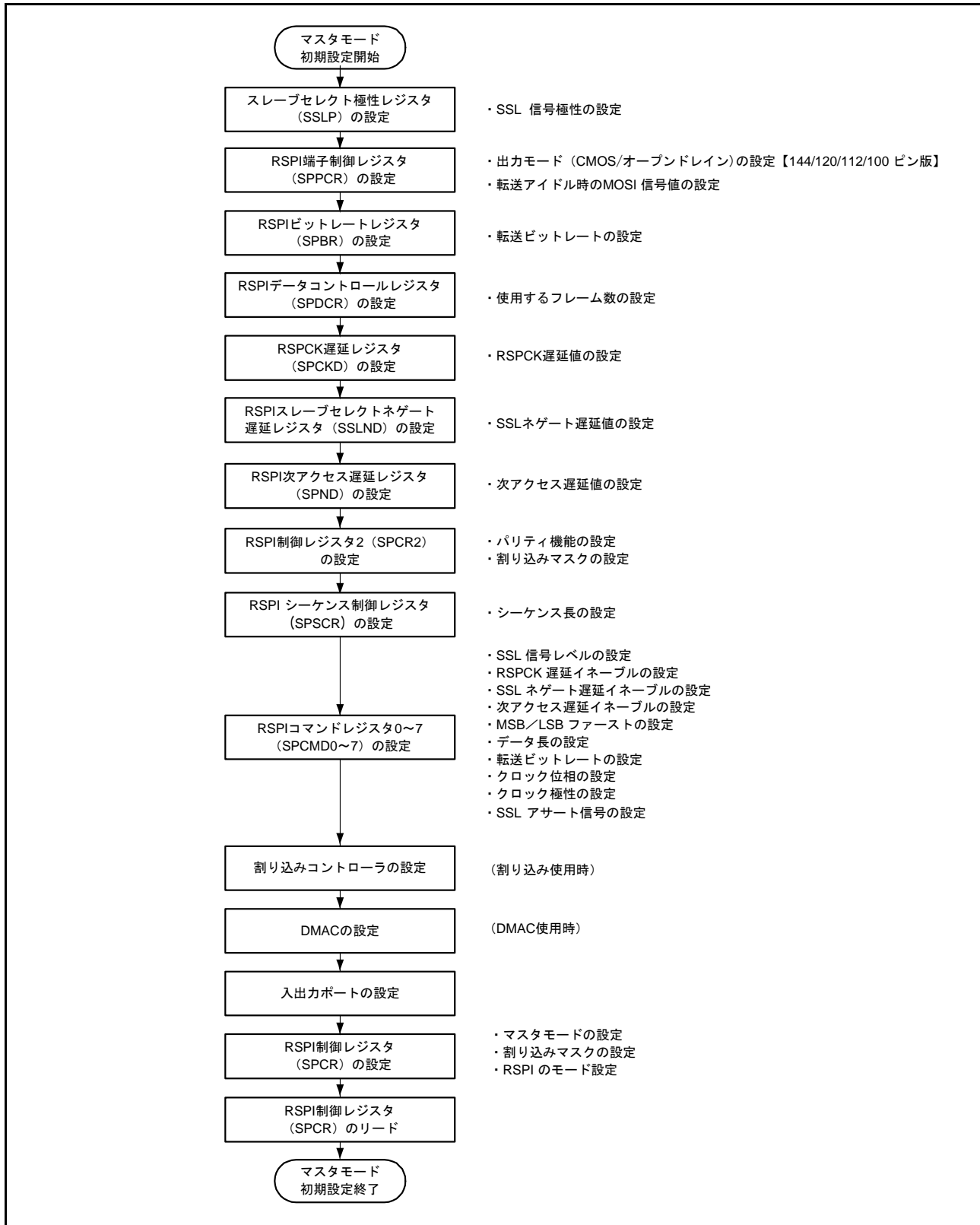


図 32.34 マスターモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 32.35 ～図 32.37 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データ送信完了を CPU に通知することが可能です。

SPII 割り込みの代わりに、SPSR.IDLNF フラグが“0”になったかどうかをポーリングすることでも全データ送信完了を確認できます。ただし、SPDR レジスタに送信データを書き込んでから IDLNF フラグが“1”になるまでは、PCLK で 1 サイクル必要です。SPDR レジスタに最終データを書いた後は、“1”になる前の IDLNF フラグで判定しないように、一度 SPSR レジスタの値を読み捨てて、次に読み出した SPSR.IDLNF フラグの値から全データ送信完了の確認に使用してください。

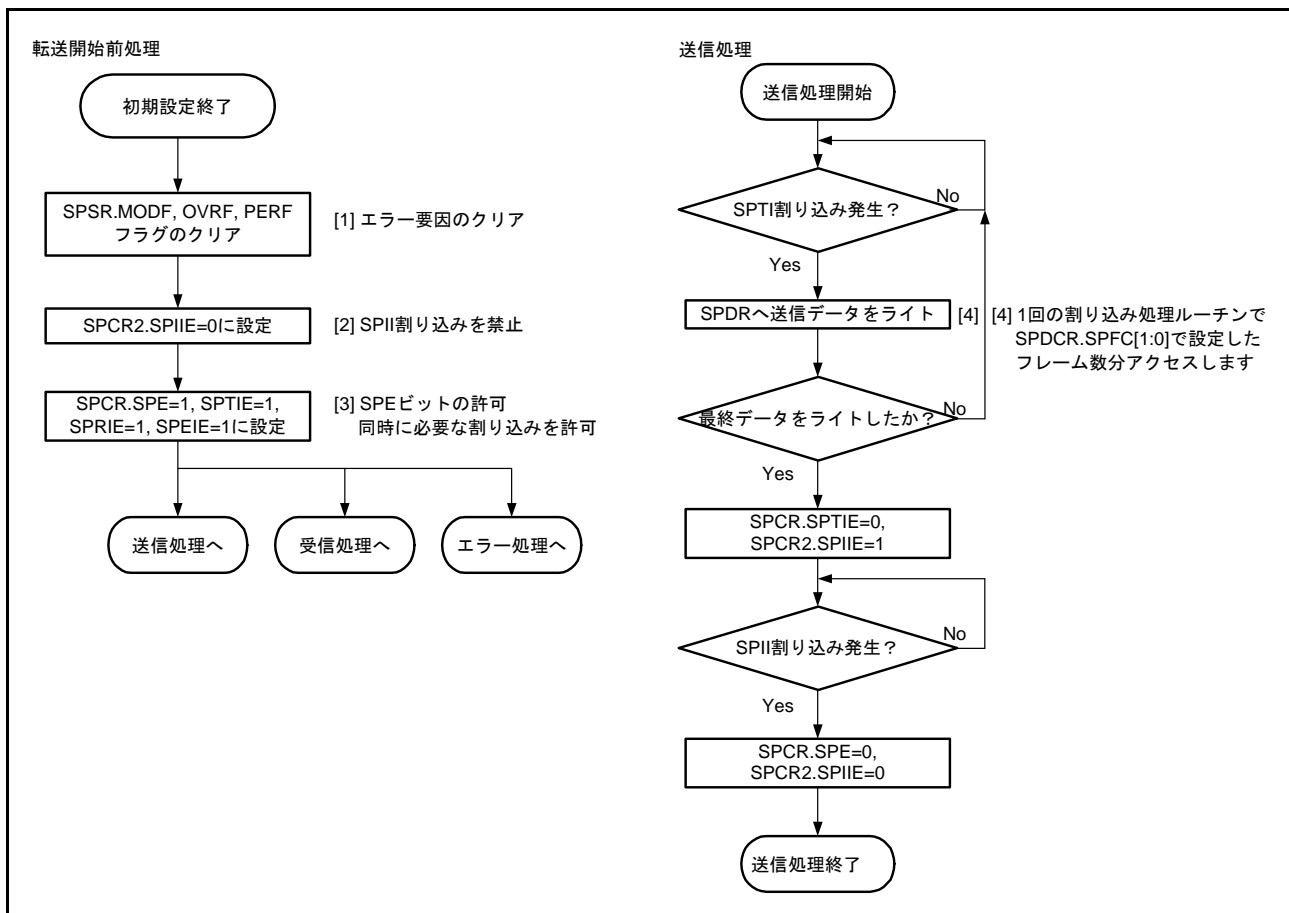


図 32.35 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、常に送信を必要とします。

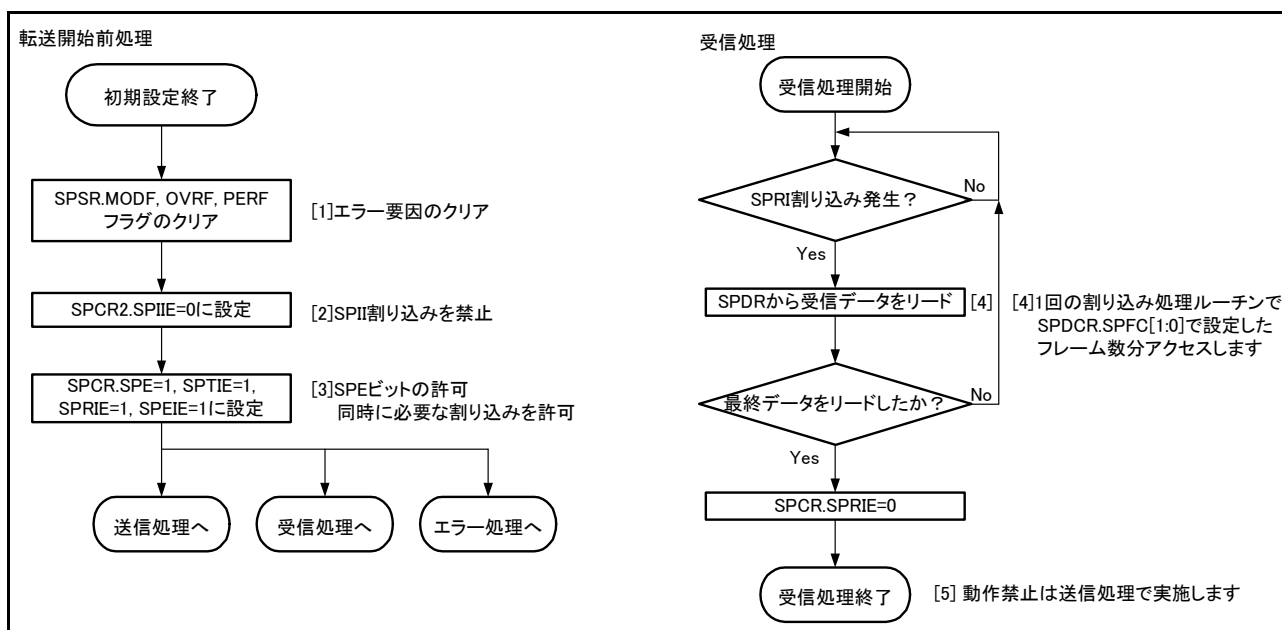


図 32.36 マスタモード時のフローチャート (受信)

(c) エラー処理フロー

RSPIは3種類のエラーを持ちます。モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。しかし、その他のエラー要因ではSPCR.SPEビットはクリアされず送信/受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0]ビットが更新されてしまうため、SPCR.SPEビットをクリアし動作を停止することを推奨します。

エラー発生時は、ICU.IRn.IRフラグにSPTI割り込みまたはSPRI割り込み要求が保持されている可能性がありますので、エラー処理にてICU.IRn.IRフラグをクリアしてください。また、SPRI割り込み要求が保持されている場合、受信バッファを読み出してRSPIの内部シーケンサを初期化してください。

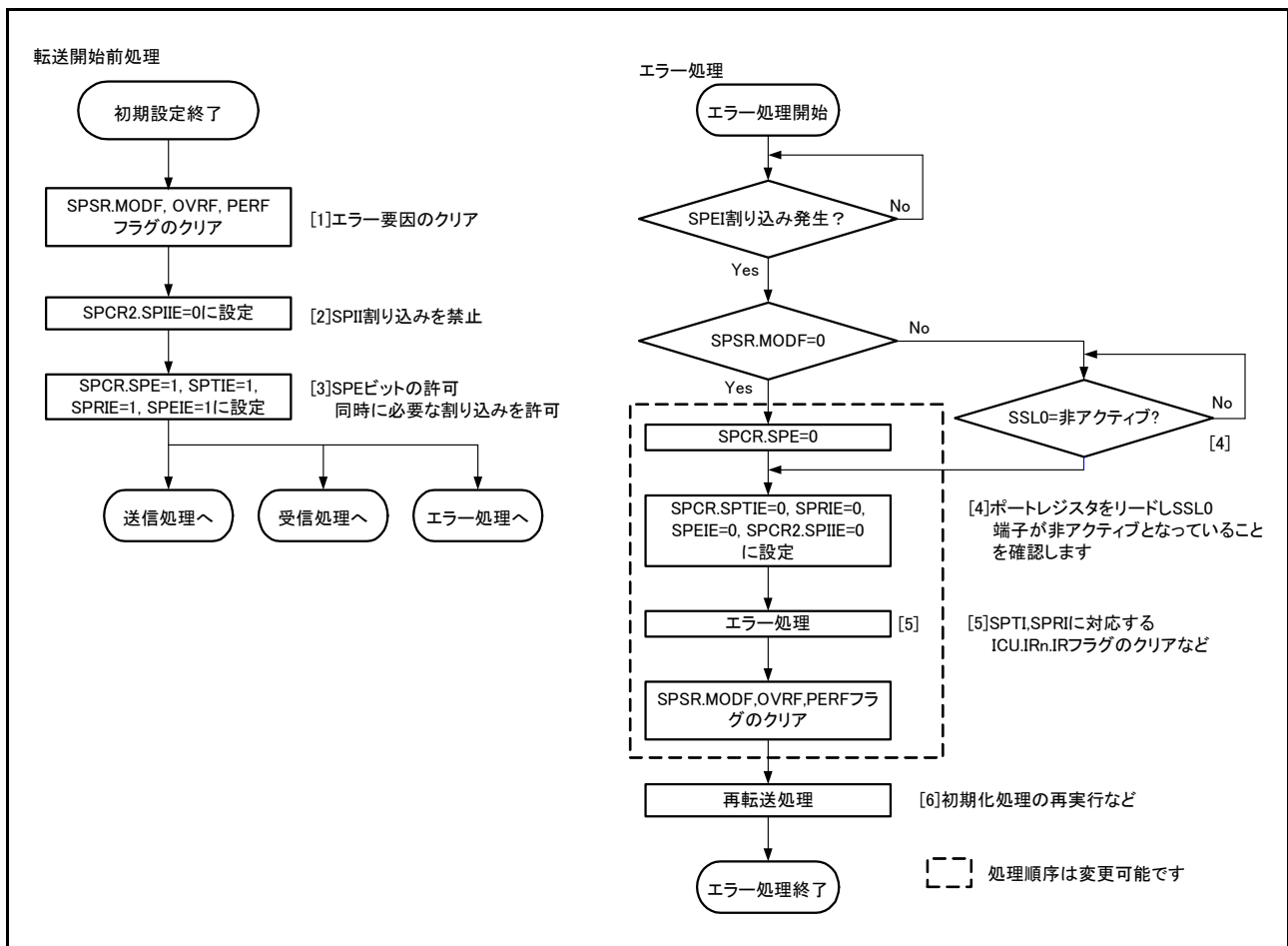


図 32.37 マスタモード時のフローチャート (エラー)

32.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSLn0入力信号のアサートを検出すると、MISO_n出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“0”の場合には、SSLn0入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが“1”の場合には、RSPIはSSLn0入力信号のアサート状態で最初のRSPCK_nエッジを検出すると、MISO_n出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“1”の場合には、SSLn0信号アサート状態における最初のRSPCK_nエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPIがMISO_n出力信号のドライブを開始するタイミングは、SSLn0信号アサートタイミングです。CPHA ビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「32.3.5 転送フォーマット」を参照してください。SSLn0入力信号の極性は、SSLP.SSLOP ビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCK_nエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信バッファの状態に関わらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSLn0入力信号のネゲートを検出するとモードフォルトエラーが発生します（「32.3.8 エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。SSLn0入力信号の極性は、SSLP.SSLOPビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「32.3.5 転送フォーマット」を参照してください。

(3) シングルスレーブ時の注意点

SPCMD0.CPHA ビットが“0”の場合には、RSPIはSSLn0入力信号のアサートエッジを検出するとシリアル転送を開始します。図32.7の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSLn0入力信号が常にアクティブ状態に固定されるため、CPHA ビットを“0”に設定したRSPIではシリアル転送を正しく開始できません。SSLn0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、CPHA ビットを“1”にしてください。CPHA ビットを“0”にする必要がある場合には、SSLn0入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLn0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。CPHA ビットが“1”の場合には、SSLn0 入力信号アクティブ状態における最初の RSPCKn エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLn0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 32.38 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

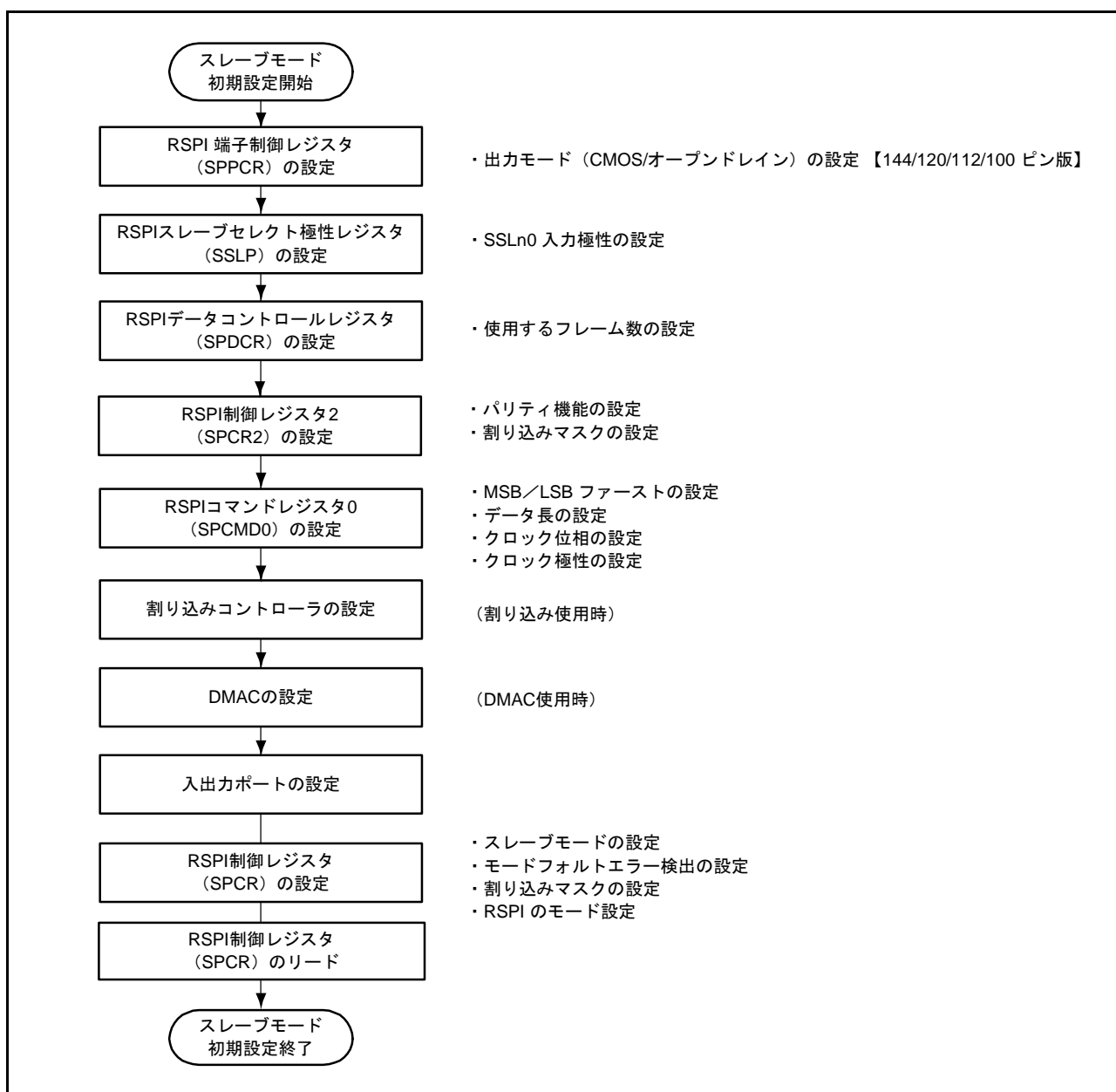


図 32.38 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 32.39 ~ 図 32.41 に示します。

(a) 送信処理フロー

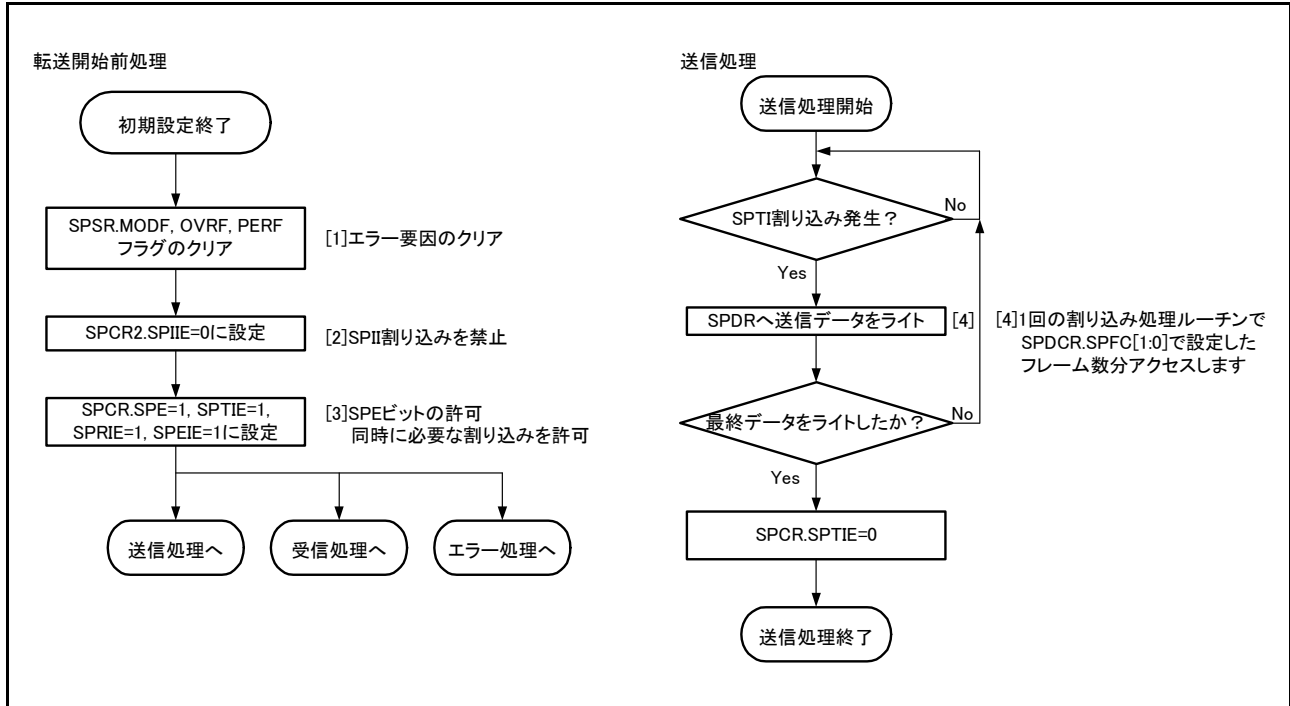


図 32.39 スレーブモード時のフローチャート (送信)

(b) 受信処理フロー

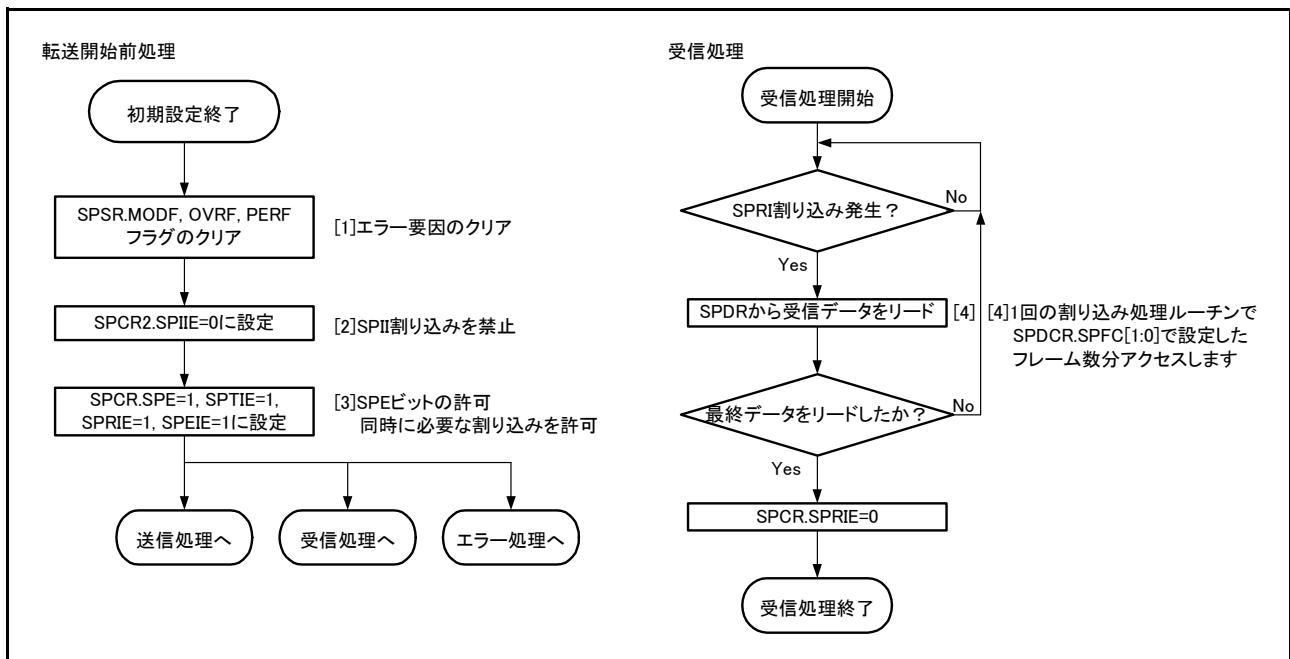


図 32.40 スレーブモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても端子を非アサートにせず、SPSR.MODFフラグをクリアすることができます。エラー発生時は、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

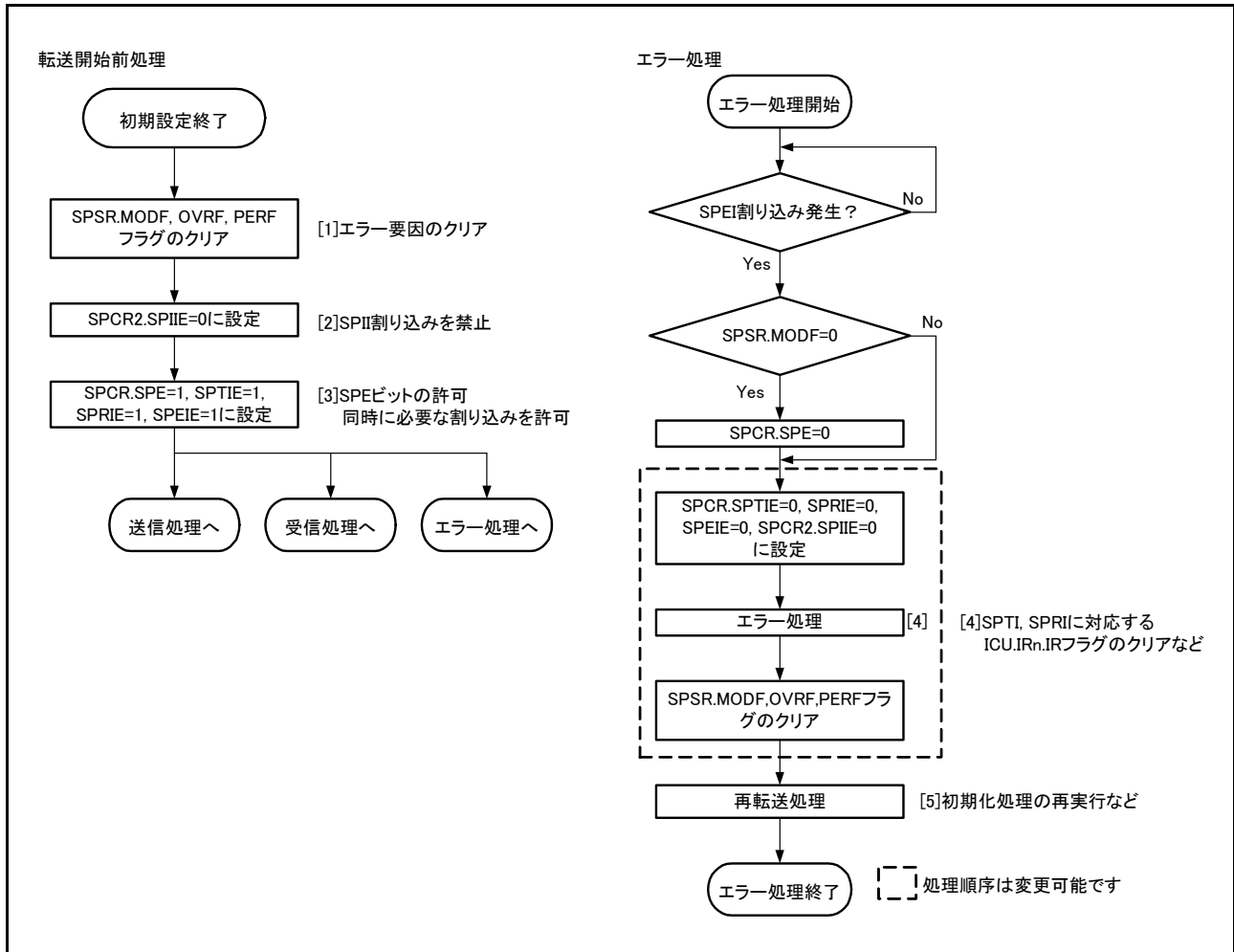


図 32.41 スレーブモード時のフローチャート (エラー処理)

32.3.11 クロック同期式動作

RSPIは、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLni 端子を使用せず、RSPCKn、MOSIn、MISONの3本の端子を用いて通信を行い、SSLni 端子はI/Oポートとして使用することができます。

クロック同期式動作は、SSLni 端子を使用せず通信を行います。モジュール内部の動作はSPI動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI動作時と同様のフローで通信を行うことができますが、SSLni 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR=0) に SPCMDm.CPHA ビットを“0”にした場合の動作はしないでください。

32.3.12 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPIはSPDRレジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへSPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については、「32.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLn0 出力信号を用いずに通信を行います。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに対応するRSPCKnエッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「32.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLn0 出力信号を用いずに通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLni 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLni 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKn 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタにはRSPIクロック遅延値、SSLND レジスタにはSSLネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPIは、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが“1”でRSPI動作が許可された状態にすると、RSPIはコマンドに対するポインタをSPCMD0 レジスタにセットし、シリアル転送の開始時にSPCMD0 レジスタの設定内容を転送フォーマットに反映します。

RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタをSPCMD0レジスタにセットするので、シーケンスは繰り返し実行されます。

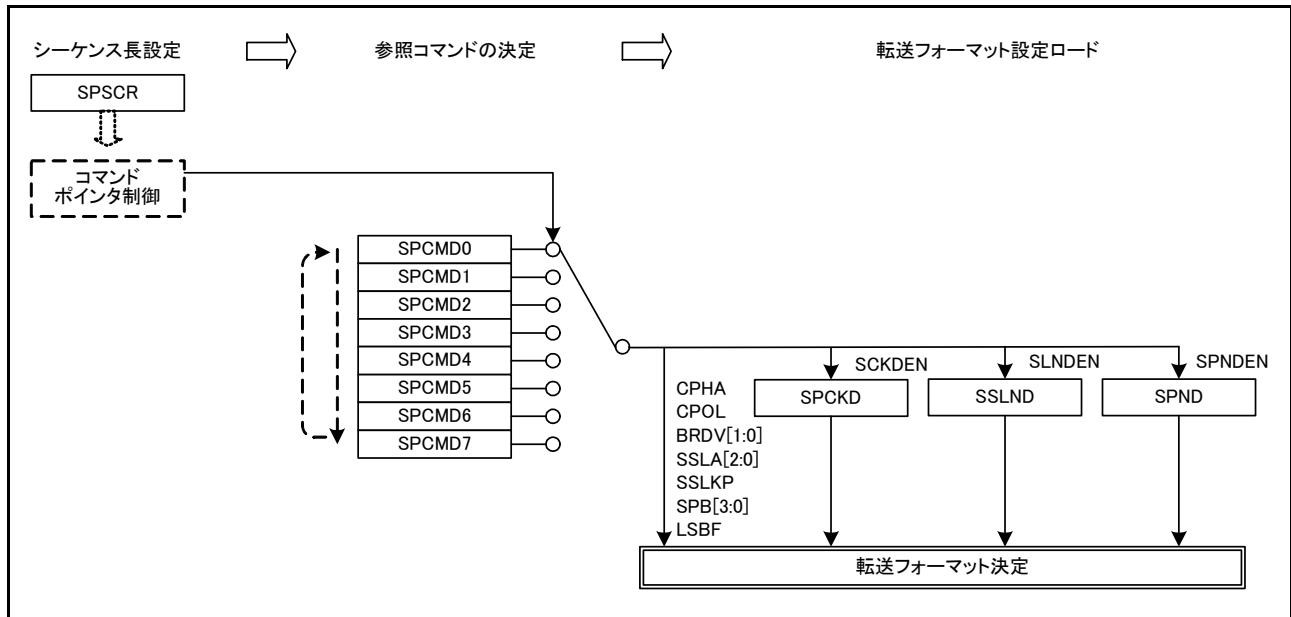


図 32.42 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

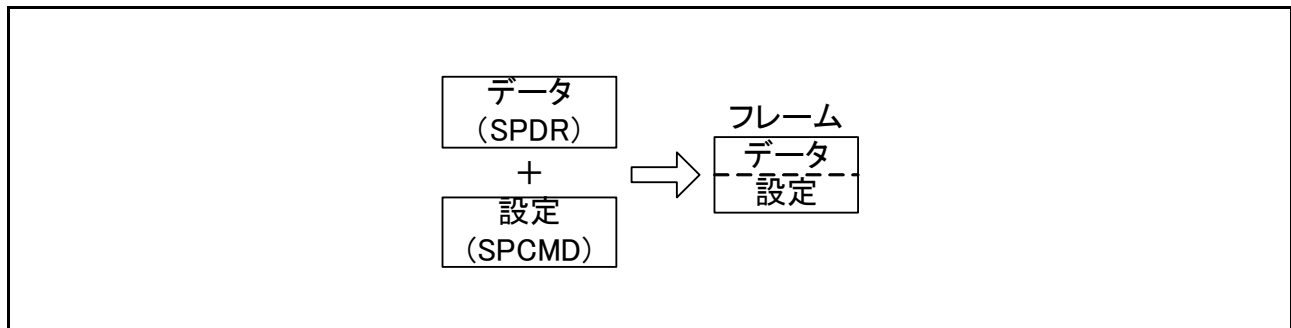


図 32.43 フレーム概念図

表 32.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 32.45 に示します。

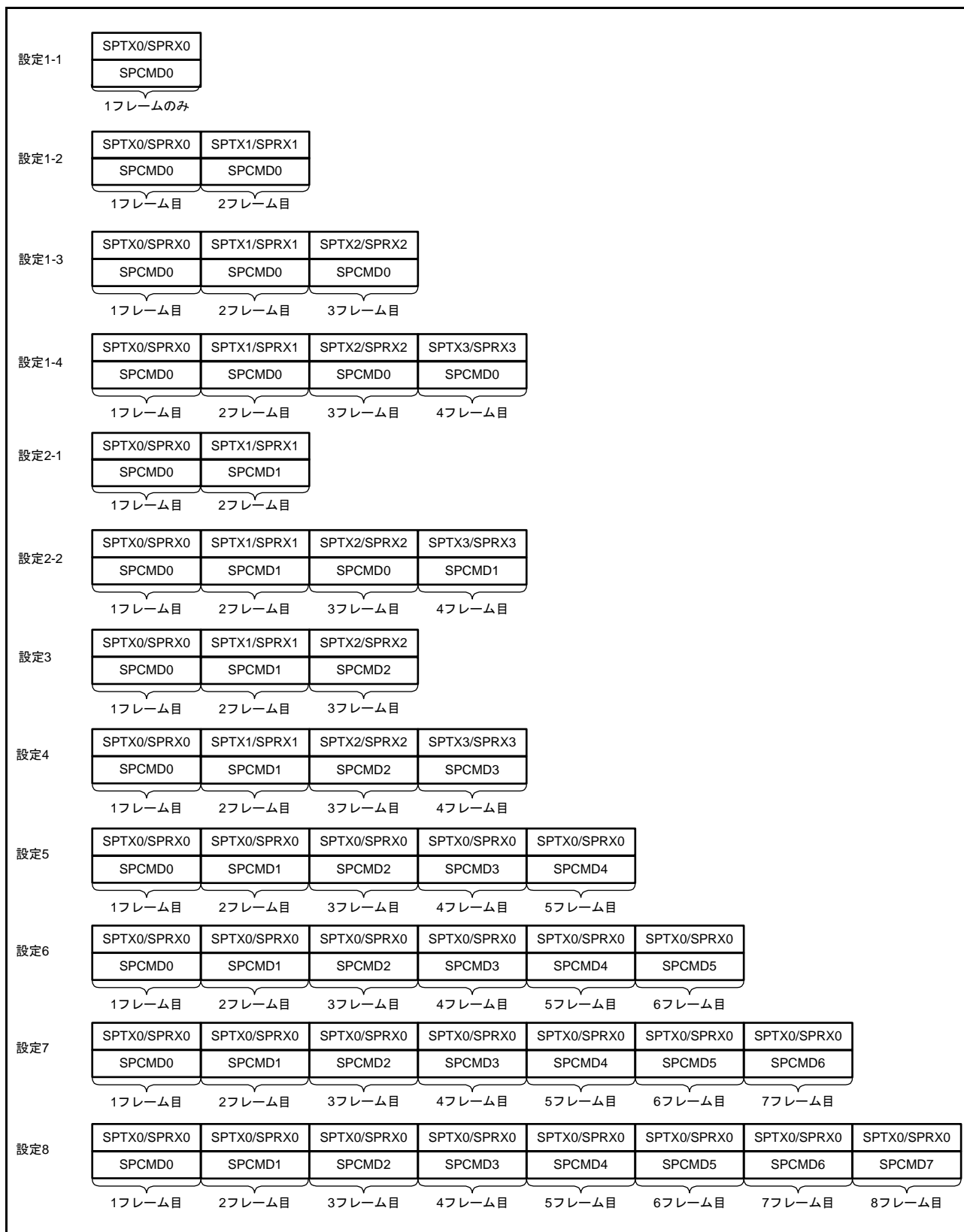


図 32.44 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 32.45 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

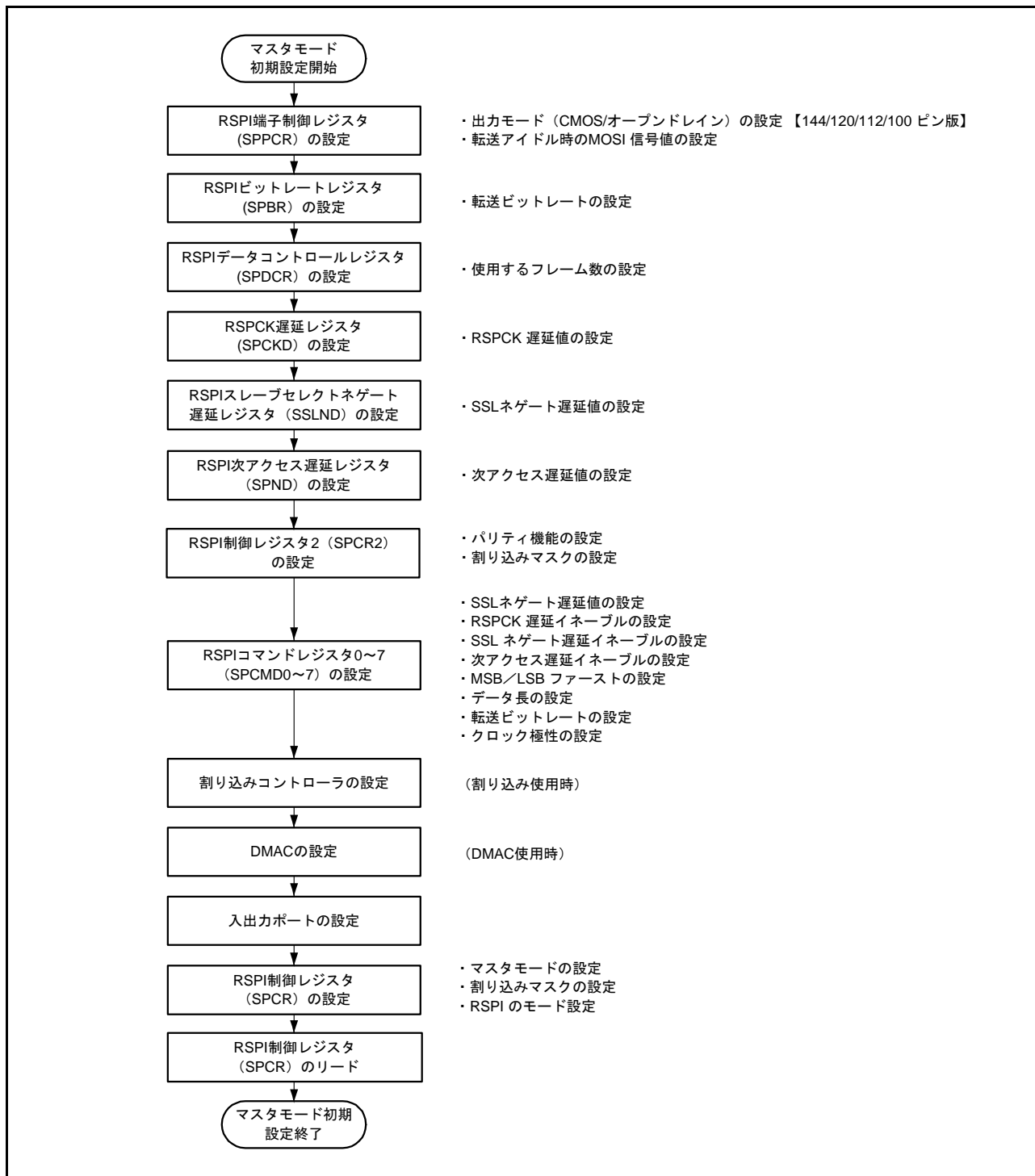


図 32.45 マスタモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「32.3.10.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

32.3.13 スレーブモード動作

(1) シリアル転送の開始

RSPIは、SPCR.SPMSビットが“1”であるとき、最初のRSPCK_nエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

SPMSビットが“1”であるときは、RSPIはMISO_n出力信号を常にドライブします。

なお、RSPIの転送フォーマットの詳細については、「32.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSL0入力信号を使用しません。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCK_nエッジを検出するとシリアル転送を終了します。受信バッファが空の場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SP[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「32.3.5 転送フォーマット」を参照してください。

(3) 初期化フロー

図 32.46 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

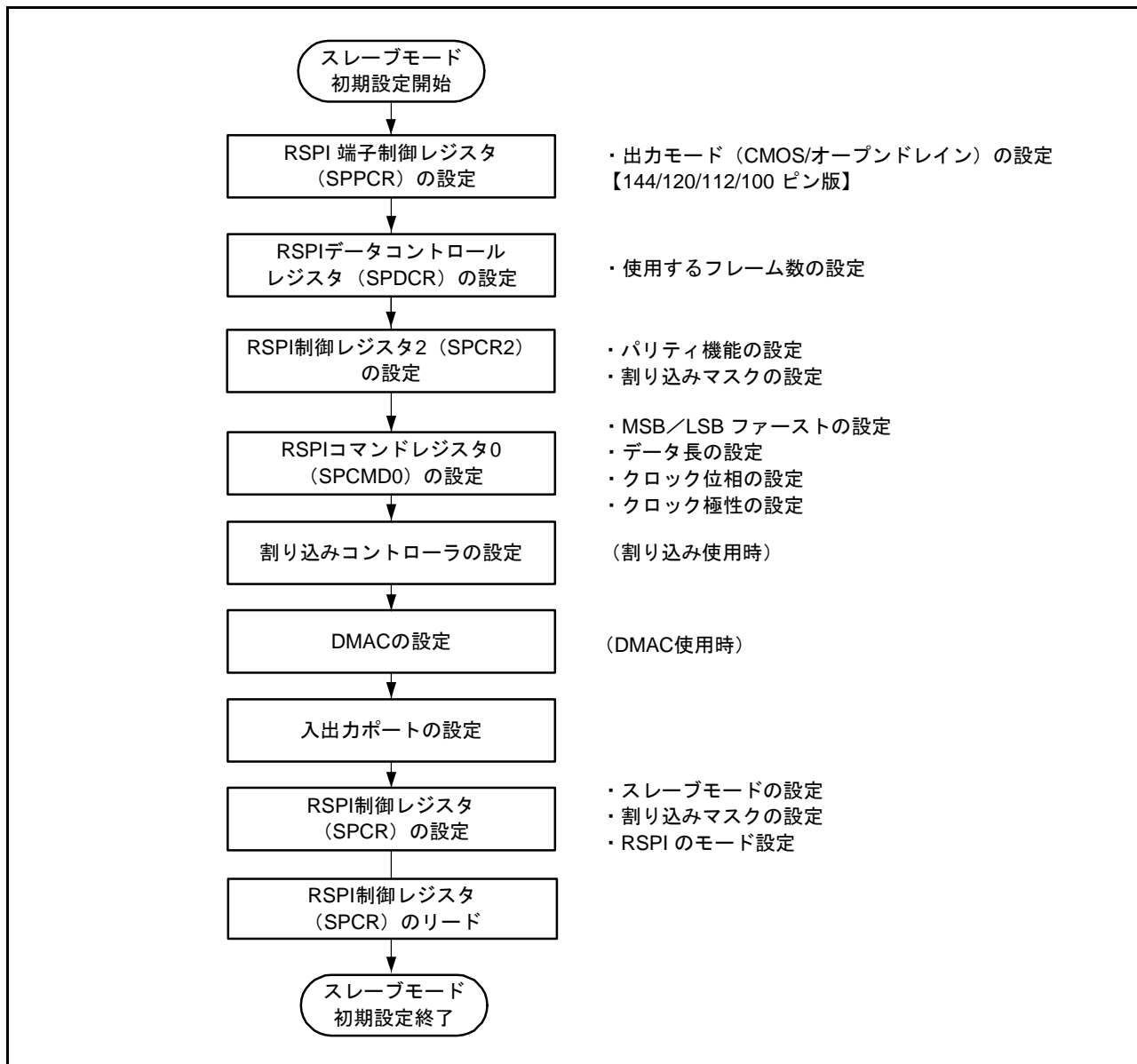


図 32.46 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「32.3.10.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

32.3.14 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPIはSPCR.MSTR ビットが“1”ならば、MISO_n 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIn 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSIn 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISO_n 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 32.12 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 32.47 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0、SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 32.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIn 端子または MISO _n 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

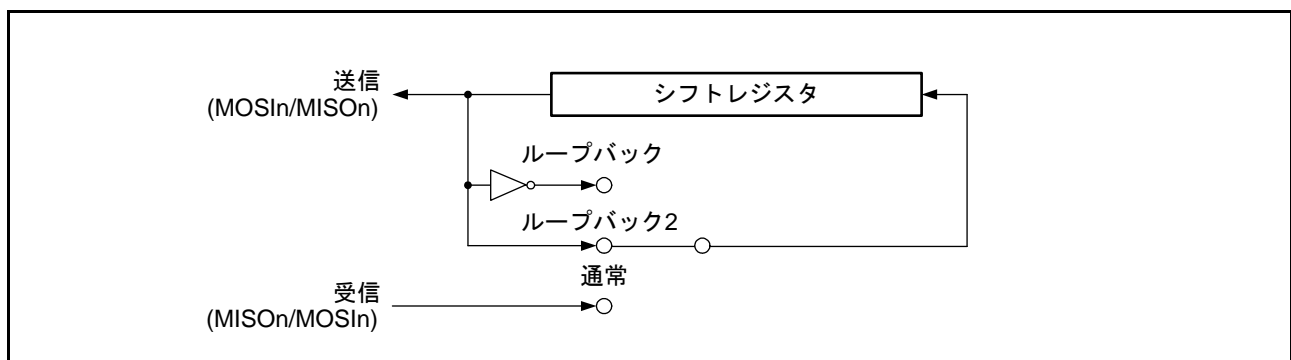


図 32.47 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

32.3.15 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 32.48 に示すのフローに従い、パリティ回路の自己診断を行います。

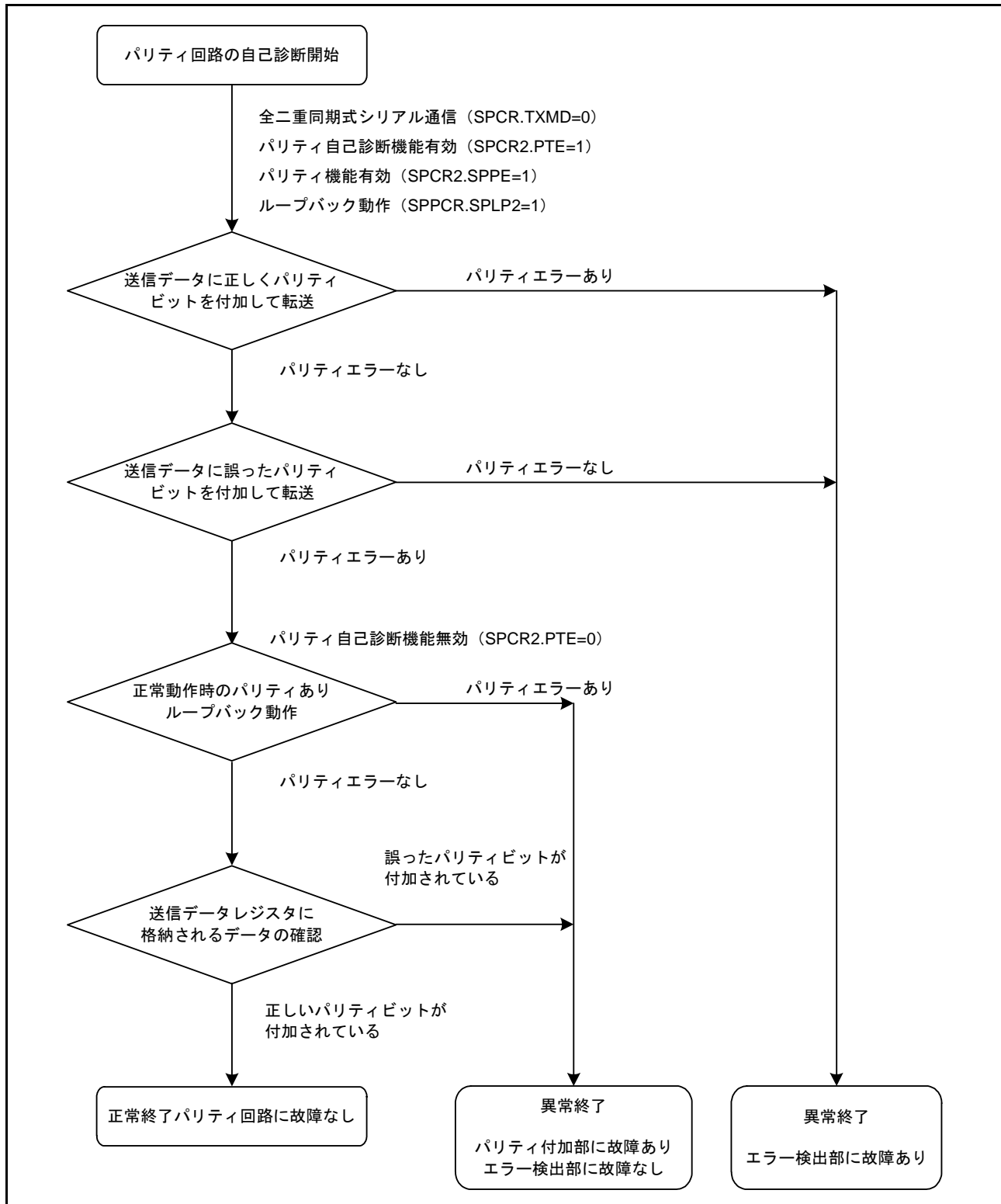


図 32.48 パリティ回路の自己判断フロー

32.3.16 割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバラン、パリティエラー、RSPI アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC、DMAC を起動し、データ転送を行うことができます。

モードフォルト、オーバラン、パリティエラーの割り込み要求が SPEI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表 32.13 に RSPI の割り込み要因を示します。表 32.13 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSPI の設定を行ってください。DTC または DMAC の設定方法は「18. DMA コントローラ (DMACA)」、「19. データトランスファコントローラ (DTCa)」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IR フラグが“1”のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IRn.IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にすることでクリアが可能です。

表 32.13 RSPI の割り込み要因

割り込み要因	略称	割り込み条件	DMAC/DTC 起動
受信バッファフル	SPRI	SPCR.SPRIE ビットが“1”の状態を受信バッファフルになったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIE ビットが“1”の状態を送信バッファエンプティになったとき	可能
RSPI エラー (モードフォルト、オーバラン、パリティエラー)	SPEI	SPCR.SPEIE ビットが“1”の状態で SPSR.MODF、OVRF、または PERF フラグが“1”になったとき	不可能
RSPI アイドル	SPII	SPCR2.SPIIE ビットが“1”の状態 IDLNF フラグが“0”になったとき	不可能

32.4 使用上の注意事項

32.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) およびモジュールストップコントロールレジスタ C (MSTPCRC) により、RSPI の動作禁止/許可を設定できます。初期値では、RSPI は停止しています。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「12. 消費電力低減機能」を参照してください。

32.4.2 消費電力低減機能の注意事項

消費電力低減機能を使用し、RSPI の消費電力を低減する場合、SPCR.SPE ビットを“0”に設定し通信を終了させた後、消費電力低減機能を使用してください。

32.4.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグを“0”にする

33. CRC演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、CRCコード生成を行います。

33.1 概要

表 33.1 に CRC 演算器の仕様を示します。図 33.1 に CRC 演算器のブロック図を示します。

表 33.1 CRC演算器の仕様

項目	内容
CRC演算対象データ (注1)	8nビットのデータに対してCRCコード生成 (n=自然数)
データブロックサイズ	8ビット
CRC演算処理方式	8ビット並列実行
CRC生成多項式	3つの多項式から選択可能 <ul style="list-style-type: none"> 8ビットCRC $X^8 + X^2 + X + 1$ 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC演算切り替え	LSBファースト/MSBファースト通信用CRCコード生成から選択可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 演算対象データをデータブロックに分割する機能はありません。8ビット単位で書いてください。

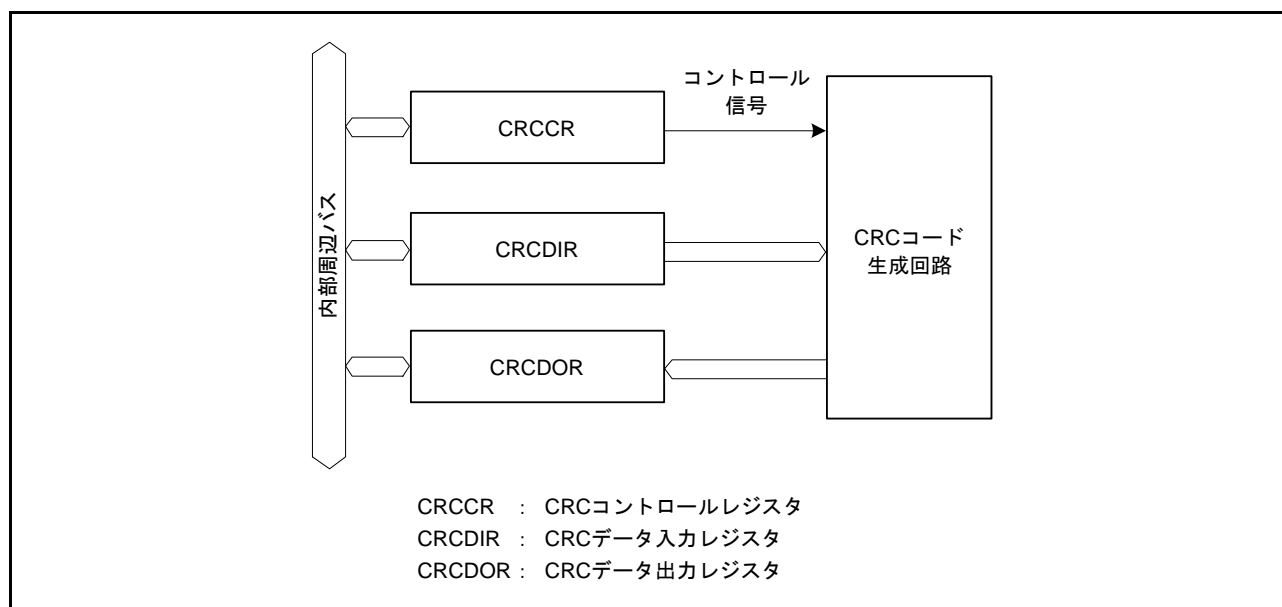
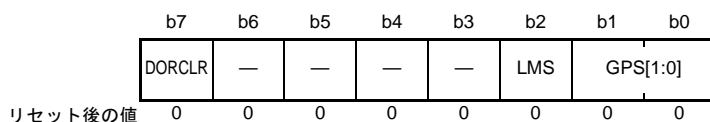


図 33.1 CRC演算器のブロック図

33.2 レジスタの説明

33.2.1 CRC コントロールレジスタ (CRCCR)

アドレス 0008 8280h



ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC生成多項式切り替えビット	b1 b0 00 : 演算しません 01 : $X^8 + X^2 + X + 1$ 10 : $X^{16} + X^{15} + X^2 + 1$ 11 : $X^{16} + X^{12} + X^5 + 1$	R/W
b2	LMS	CRC演算切り替えビット	0 : LSBファースト通信用にCRCを生成 1 : MSBファースト通信用にCRCを生成	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1 : CRCDORレジスタをクリア (注1) 読むと“0”が読めます	W

注1. “1”のみ書けます。

DORCLR ビット (CRCDOR レジスタクリアビット)

DORCLR ビットを“1”にすると、CRCDOR レジスタが“0000h”になります。

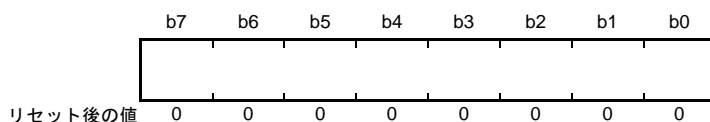
読むと“0”が読めます。“1”のみ書けます。

LMS ビット (CRC 演算切り替えビット)

生成した16ビットのCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイト (b7～b0) から先に、MSBファーストで通信を行う場合はCRCコードの上位バイト (b15～b8) から先に送信してください。CRCコードの送信および受信については、「33.3 CRC演算器の動作説明」を参照してください。

33.2.2 CRC データ入力レジスタ (CRCDIR)

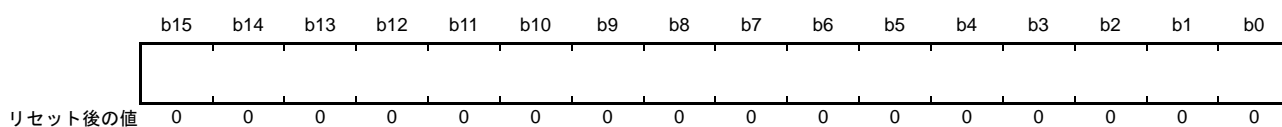
アドレス 0008 8281h



CRCDIR レジスタは、読み出し／書き込み可能なレジスタです。CRC演算対象となるデータを書いてください。

33.2.3 CRC データ出力レジスタ (CRCDOR)

アドレス 0008 8282h



CRCDOR レジスタは、読み出し／書き込み可能なレジスタです。

初期値は "0000h" ですので、初期値以外を用いて演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRC 演算し、結果が "0000h" の場合、誤りがないと判断できます。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、下位バイト (b7 ~ b0) に有効な CRC コードが得られます。上位バイト (b15 ~ b8) は、更新されません。

33.3 CRC演算器の動作説明

CRC演算器は、LSBファースト/MSBファースト通信CRCコードを生成します。

以下にCRCCR.GPS[1:0]ビットを“11b”として、16ビットCRC ($X^{16} + X^{12} + X^5 + 1$ の多項式)を使用し、データ“F0h”についてCRCコードを生成する場合の使用例を示します。

8ビットCRC ($X^8 + X^2 + X + 1$ の多項式)を使用した場合は、CRCDORレジスタの下位バイトに有効なCRCコードが得られます。

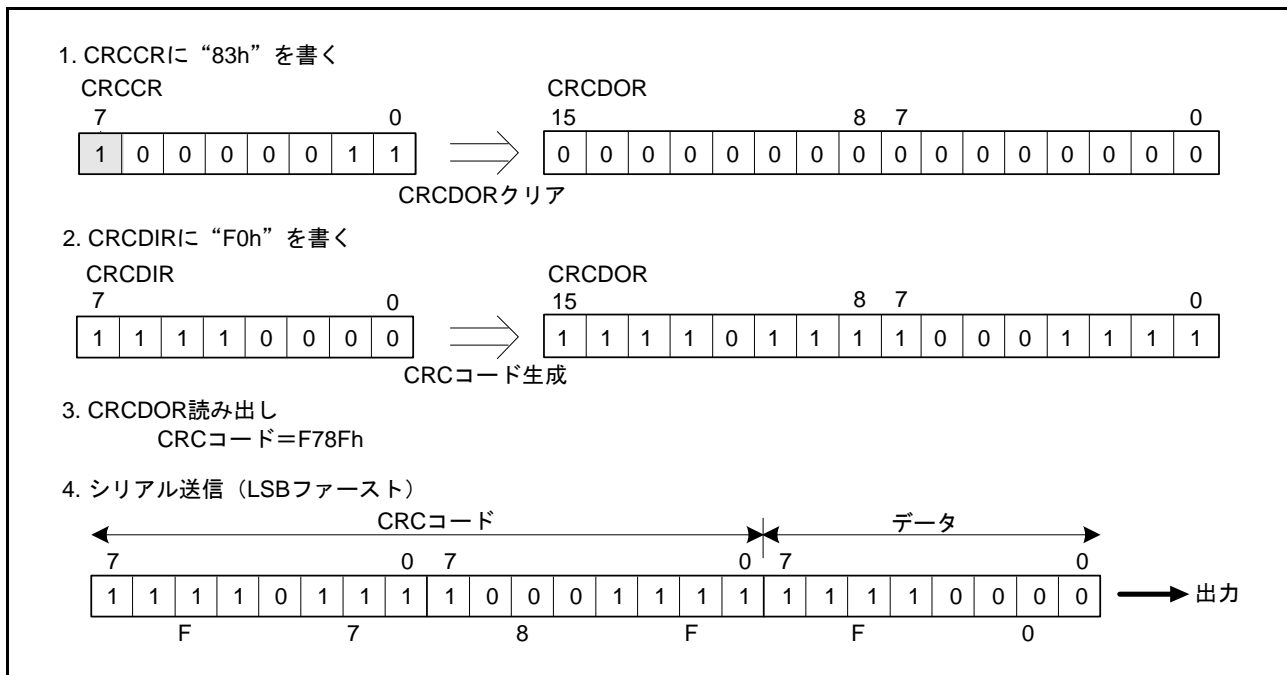


図 33.2 LSBファーストでのデータ送信

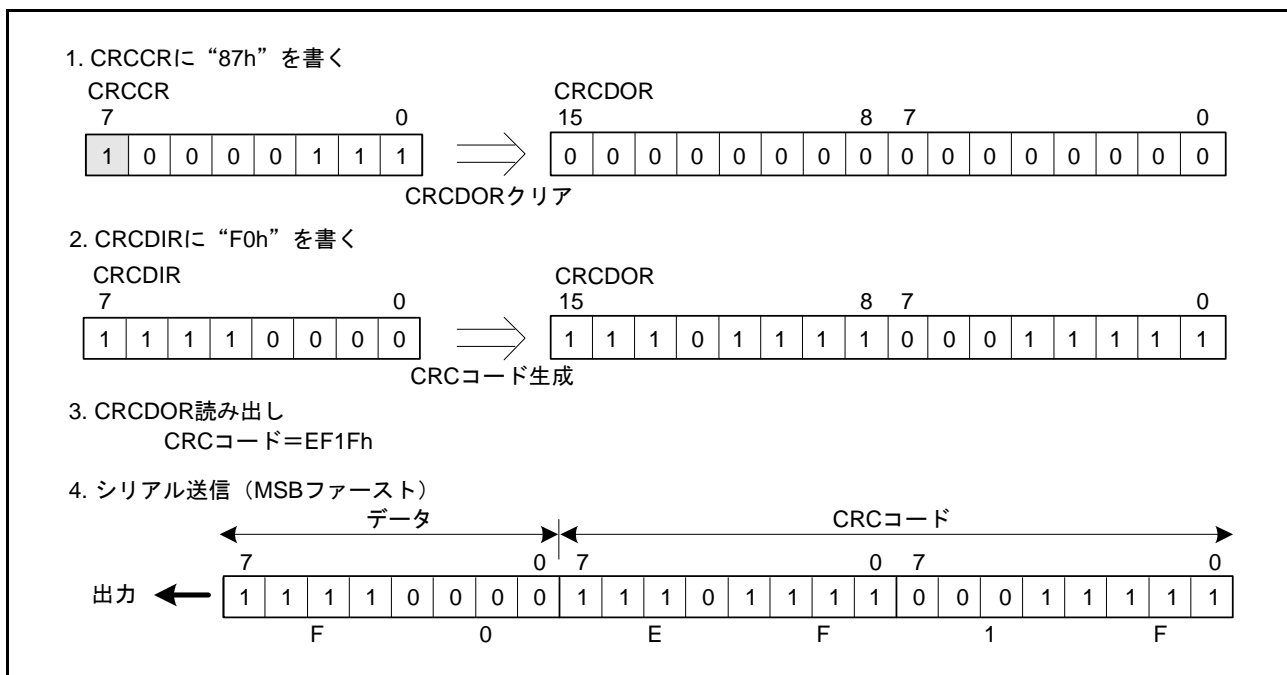


図 33.3 MSBファーストでのデータ送信

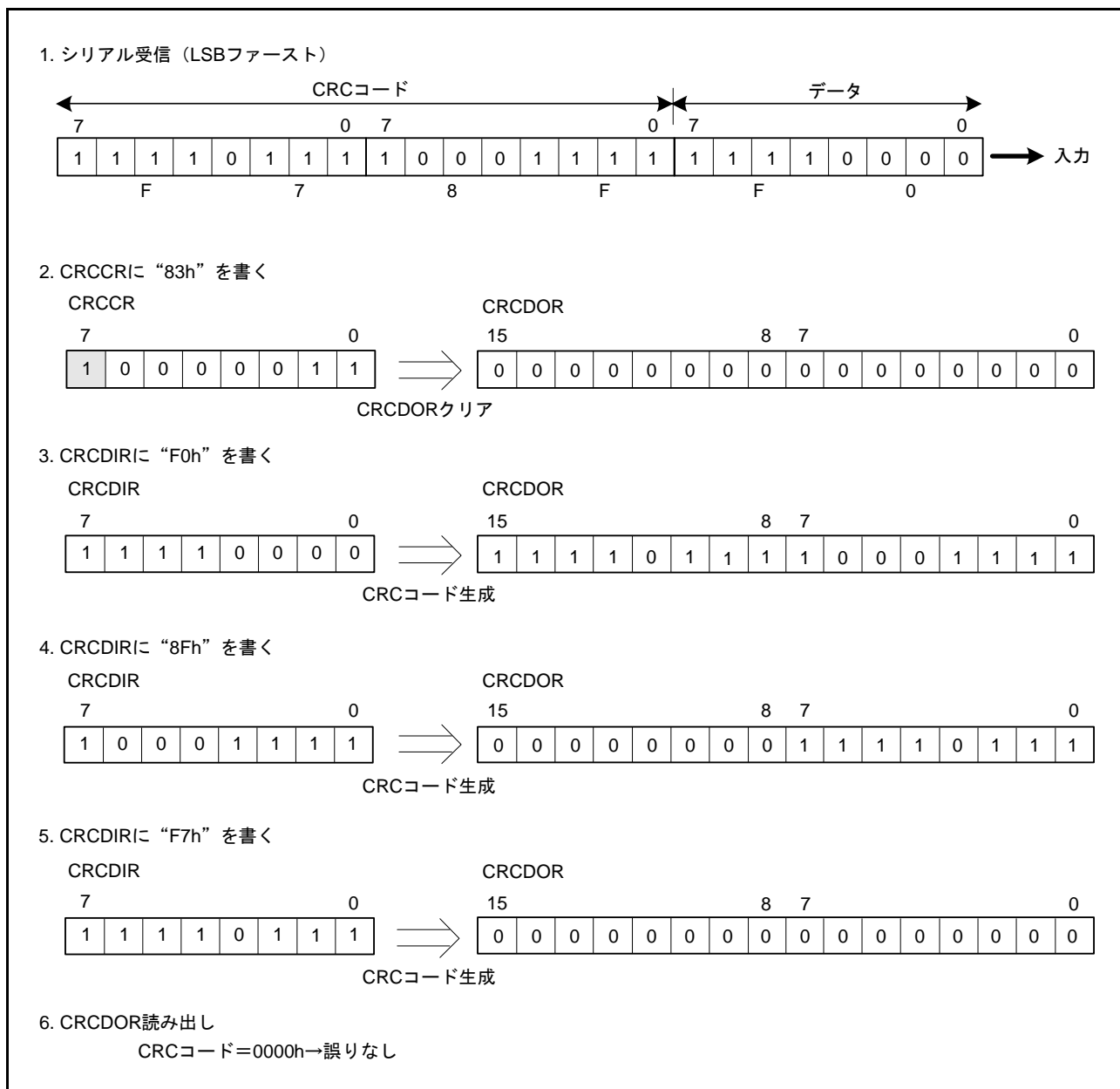


図 33.4 LSBファーストでのデータ受信

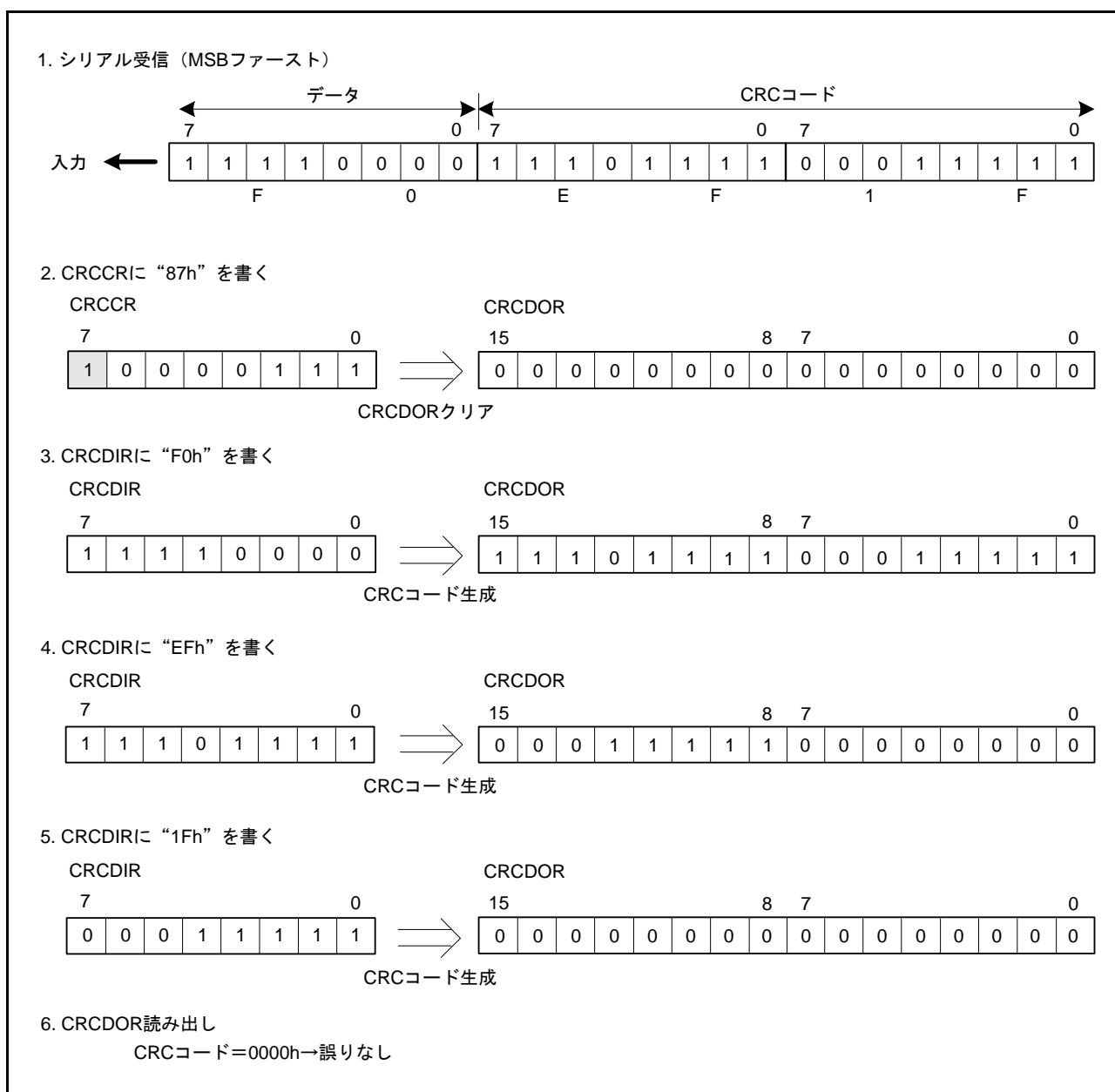


図 33.5 MSB ファーストでのデータ受信

33.4 使用上の注意事項

33.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作禁止/許可を設定することが可能です。初期値では、CRC 演算器の動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「12. 消費電力低減機能」を参照してください。

33.5 転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので注意してください。

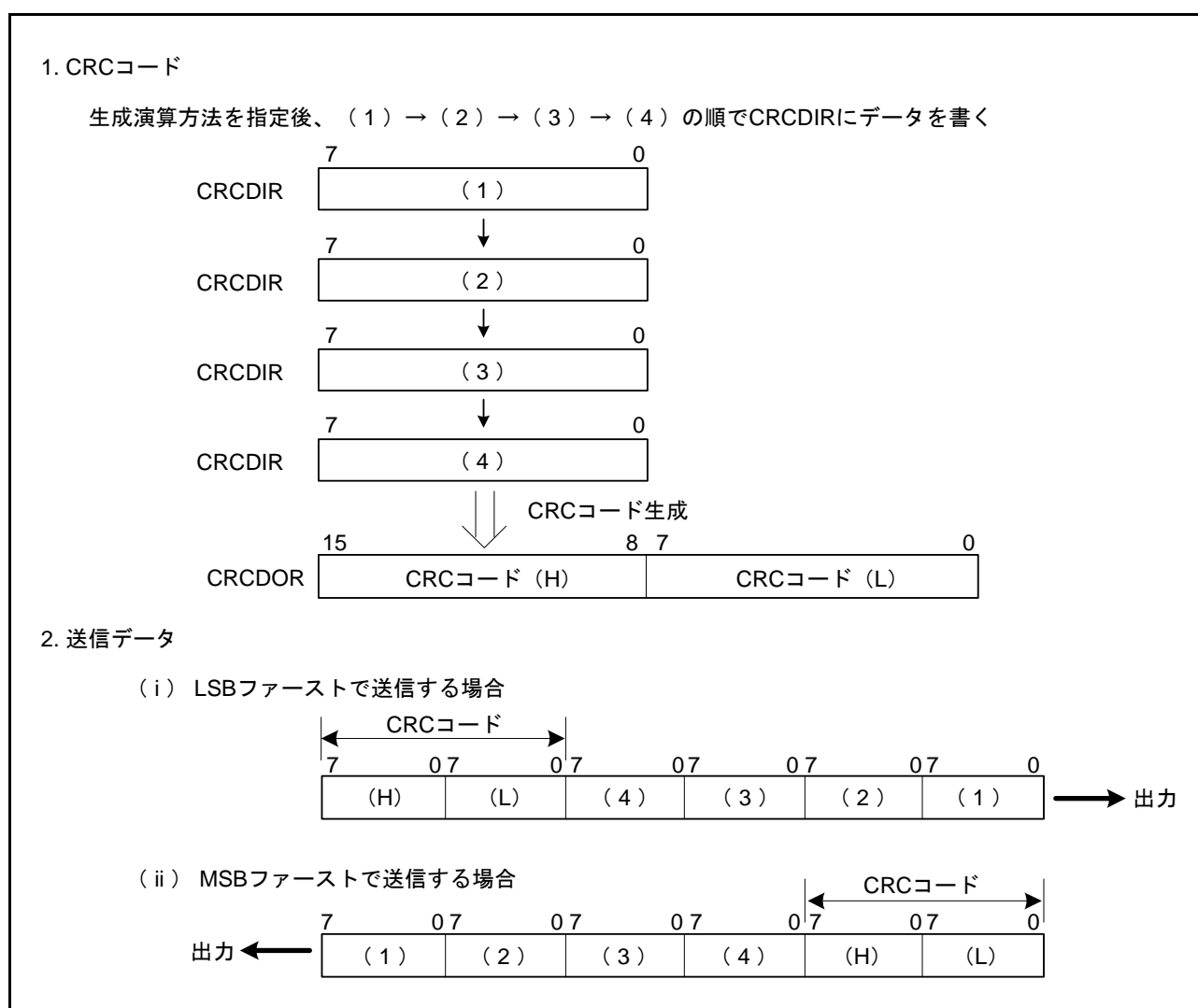


図 33.6 LSB ファーストと MSB ファーストの送信データ

34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】

34.1 概要

本MCUは、逐次比較方式の12ビットのA/Dコンバータを2ユニット内蔵しています。各ユニットは、最大4チャンネルのアナログ入力を選択できます。

12ビットA/Dコンバータは、選択した最大4チャンネルのアナログ入力を逐次比較方式で12ビットのデジタル値に変換します。動作モードは、任意に選択した最大4チャンネルのアナログ入力を若いチャンネル番号順に1回のみ変換する1サイクルスキャンモードと、任意に選択した最大4チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードと、最大4チャンネルのアナログ入力を任意に選択して2つのグループ（グループAとグループB）に分け、グループ単位で選択したチャンネルのアナログ入力を若いチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することができます。グループAの優先制御動作を設定すると、前述の動作に加えてグループBのA/D変換動作中にグループAのスキャン開始を受け付けて、グループBのA/D変換動作を中断して、グループAのA/D変換動作を優先的に開始します。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力を1サイクルスキャンモードかグループスキャンモード（グループA）で変換し、1回目のA/D変換開始トリガで変換したデータと2回目のA/D変換開始トリガで変換したデータを別々のレジスタに格納（A/D変換データの2重化）します。

自己診断は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

表34.1に12ビットA/Dコンバータの仕様を、表34.2に12ビットA/Dコンバータの機能概要を示します。図34.1に12ビットA/Dコンバータのブロック図を示します。

表34.1 12ビットA/Dコンバータの仕様 (1 / 2)

項目	内容
ユニット数	2ユニット (S12ADB0/S12ADB1)
入力チャンネル	8チャンネル (4チャンネル×2ユニット)
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり1.0μs (A/D変換クロック ADCLK=50MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLKB (注1) とA/D変換クロックADCLK (注1) を以下の分周比で設定可能 PCLKB : ADCLK分周比 = 1 : 1、1 : 2、1 : 4、1 : 8 ADCLKの設定はクロック発生回路 (CPG) で行います
データレジスタ	<ul style="list-style-type: none"> アナログ入力用8本、ダブルトリガモードでのA/D変換データ2重化用1本、ダブルトリガモード拡張動作時のA/D変換データ2重化用2本 A/D変換結果を12ビットA/Dデータレジスタに保持 A/D変換結果の8、10、12ビット精度出力対応 (変換結果出力の2ビット、または4ビット右シフト選択対応) 加算モード時はA/D変換結果の加算値を14ビットでA/Dデータレジスタに保持 ダブルトリガモード (1サイクルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは2重化レジスタに保持 ダブルトリガモード拡張動作 (特定トリガ種別で有効) 選択した1つのチャンネルのアナログ入力のA/D変換データをトリガ種別毎に準備した2重化レジスタに保持

表34.1 12ビットA/Dコンバータの仕様 (2 / 2)

項目	内容
動作モード	<ul style="list-style-type: none"> 1サイクルスキャンモード： 任意に選択した最大4チャンネルのアナログ入力を1回のみA/D変換 連続スキャンモード：任意に選択した最大4チャンネルのアナログ入力を繰り返しA/D変換 グループスキャンモード： 最大4チャンネルのアナログ入力をグループAとグループBに分け、グループ単位で選択した全チャンネルのアナログ入力を1回のみ変換 グループAとグループBは、各々の変換開始条件を選択することで異なるタイミングで変換開始可能 グループスキャンモード（グループA優先制御選択時） グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実施 グループAのA/D変換動作終了後、グループBのA/D変換動作を再実行（再スキャン）
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ マルチファンクションタイマパルスユニット (MTU3)、汎用PWMタイマ (GPT) からのトリガ 非同期トリガ 外部トリガADTRGn#端子によるA/D変換動作の開始が可能
機能	<ul style="list-style-type: none"> サンプル&ホールド機能 チャンネル専用サンプル&ホールド機能 (3ch/ユニット) サンプリングステート数可変機能 12ビットA/Dコンバータの自己診断機能 A/D変換値加算モード ディスチャージ機能 ダブルトリガモード (A/D変換データ2重化機能) ウィンドウコンパレータ機能 (3ch/ユニット) プログラマブルゲインアンプによる入力信号増幅機能 (3チャンネル/1ユニット)
割り込み要因	<ul style="list-style-type: none"> ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生 ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求 (S12ADI、S12ADI1) を発生 グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求 (S12ADI、S12ADI1) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (S12GBADI、S12GBADI1) を発生 グループスキャンモードでダブルトリガモードの設定では、グループAの2回のスキャン終了でスキャン終了割り込み要求 (S12ADI、S12ADI1) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (S12GBADI、S12GBADI1) を発生。 コンパレータ検出で割り込み要求 (CMP0～CMP2、CMP4～CMP6) を発生 (POE要因としても使用可能) S12ADI、S12GBADI、S12ADI1、S12GBADI1割り込みまたはCMP0～CMP2、CMP4～CMP6割り込みでDMAコントローラ (DMAC)、データトランスファコントローラ (DTC) を起動可能
消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ状態への設定が可能^(注2)

注1. 周辺モジュールクロックPCLKBはSCKCR.PCKB[3:0]ビットで設定した周変数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周変数になります。

注2. 詳細は、「12. 消費電力低減機能」を参照してください。

表34.2 12ビットA/Dコンバータの機能概要 (1 / 2)

項目			機能		
			ユニット0 (S12AD)	ユニット1 (S12AD1)	
アナログ入力チャネル			AN000 ~ AN003	AN100 ~ AN103	
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能	可能	
	外部トリガ	トリガ入力端子	ADTRG0#	ADTRG1#	
	MTU3からのトリガ		MTU0.TGRAのコンペアマッチ/インプットキャプチャ	TRGA0N	TRGA0N
			MTU1.TGRAのコンペアマッチ/インプットキャプチャ	TRGA1N	TRGA1N
			MTU2.TGRAのコンペアマッチ/インプットキャプチャ	TRGA2N	TRGA2N
			MTU3.TGRAのコンペアマッチ/インプットキャプチャ	TRGA3N	TRGA3N
			MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	TRGA4N	TRGA4N
			MTU6.TGRAのコンペアマッチ/インプットキャプチャ	TRGA6N	TRGA6N
			MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー (谷)	TRGA7N	TRGA7N
			MTU0.TGREのコンペアマッチ	TRG0AN	TRG0AN
			MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	TRG4AN	TRG4AN
			MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4BN	TRG4BN
			MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、または、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4AN または TRG4BN	TRG4AN または TRG4BN
			MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	TRG4ABN	TRG4ABN
			MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	TRG7AN	TRG7AN
			MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7BN	TRG7BN
	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、または、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7AN または TRG7BN	TRG7AN または TRG7BN		
	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	TRG7ABN	TRG7ABN		
	GPTからのトリガ		GPT0.GTADTRAのコンペアマッチ	GTADTRA0N	GTADTRA0N
			GPT0.GTADTRBのコンペアマッチ	GTADTRB0N	GTADTRB0N
			GPT1.GTADTRAのコンペアマッチ	GTADTRA1N	GTADTRA1N
			GPT1.GTADTRBのコンペアマッチ	GTADTRB1N	GTADTRB1N
			GPT2.GTADTRAのコンペアマッチ	GTADTRA2N	GTADTRA2N
			GPT2.GTADTRBのコンペアマッチ	GTADTRB2N	GTADTRB2N
			GPT3.GTADTRAのコンペアマッチ	GTADTRA3N	GTADTRA3N
			GPT3.GTADTRBのコンペアマッチ	GTADTRB3N	GTADTRB3N
			GPT0.GTADTRAのコンペアマッチ、または、GPT0.GTADTRBのコンペアマッチ	GTADTRA0N または GTADTRB0N	GTADTRA0N または GTADTRB0N
GPT1.GTADTRAのコンペアマッチ、または、GPT1.GTADTRBのコンペアマッチ			GTADTRA1N または GTADTRB1N	GTADTRA1N または GTADTRB1N	
GPT2.GTADTRAのコンペアマッチ、または、GPT2.GTADTRBのコンペアマッチ			GTADTRA2N または GTADTRB2N	GTADTRA2N または GTADTRB2N	

表34.2 12ビットA/Dコンバータの機能概要 (2 / 2)

項目			機能	
			ユニット0 (S12AD)	ユニット1 (S12AD1)
A/D変換開始条件	GPTからのトリガ	GPT3.GTADTRAのコンペアマッチ、 または、 GPT3.GTADTRBのコンペアマッチ	GTADTRA3N または GTADTRB3N	GTADTRA3N または GTADTRB3N
		GPT4.GTADTRAのコンペアマッチ	GTADTRA4N	GTADTRA4N
		GPT4.GTADTRBのコンペアマッチ	GTADTRB4N	GTADTRB4N
		GPT5.GTADTRAのコンペアマッチ	GTADTRA5N	GTADTRA5N
		GPT5.GTADTRBのコンペアマッチ	GTADTRB5N	GTADTRB5N
		GPT6.GTADTRAのコンペアマッチ	GTADTRA6N	GTADTRA6N
		GPT6.GTADTRBのコンペアマッチ	GTADTRB6N	GTADTRB6N
		GPT7.GTADTRAのコンペアマッチ	GTADTRA7N	GTADTRA7N
		GPT7.GTADTRBのコンペアマッチ	GTADTRB7N	GTADTRB7N
		GPT4.GTADTRAのコンペアマッチ、 または、 GPT4.GTADTRBのコンペアマッチ	GTADTRA4N または GTADTRB4N	GTADTRA4N または GTADTRB4N
		GPT5.GTADTRAのコンペアマッチ、 または、 GPT5.GTADTRBのコンペアマッチ	GTADTRA5N または GTADTRB5N	GTADTRA5N または GTADTRB5N
		GPT6.GTADTRAのコンペアマッチ、 または、 GPT6.GTADTRBのコンペアマッチ	GTADTRA6N または GTADTRB6N	GTADTRA6N または GTADTRB6N
		GPT7.GTADTRAのコンペアマッチ、 または、 GPT7.GTADTRBのコンペアマッチ	GTADTRA7N または GTADTRB7N	GTADTRA7N または GTADTRB7N
チャンネル専用独立 サンプル& ホールド機能	対象チャンネル	AN000～ AN002	AN100～ AN102	
プログラマブル ゲインアップ	対象チャンネル	AN000～ AN002	AN100～ AN102	
	ゲイン設定	2.0倍、2.5倍、3.077倍、3.636 倍、4.0倍、4.444倍、5.0倍、 5.714倍、6.667倍、10.0倍、 13.333倍 (計11ステップ)		
ウィンドウ コンパレータ	対象チャンネル		AN000～ AN002	AN100～ AN102
	基準電圧設定 基準	外部端子から指定	CVREFL : AN003	CVREFH : AN103
		内部生成	1/8AVCC0、2/8AVCC0、 3/8AVCC0、4/8AVCC0、 5/8AVCC0、6/8AVCC0、 7/8AVCC0	
	ノイズキャンセル機能		コンパレータ検出結果を PCLK、PCLK/2、PCLK/4、 PCLK/8、PCLK/16、PCLK/128 で16回サンプリング	
割り込み			S12ADI S12GBADI CMP0～CMP2	S12ADI1 S12GBADI1 CMP4～CMP6
モジュールストップ機能の設定 (注1)			MSTPCRA. MSTPA17 ビット	MSTPCRA. MSTPA16 ビット

注1. 詳細は「12. 消費電力低減機能」を参照してください。

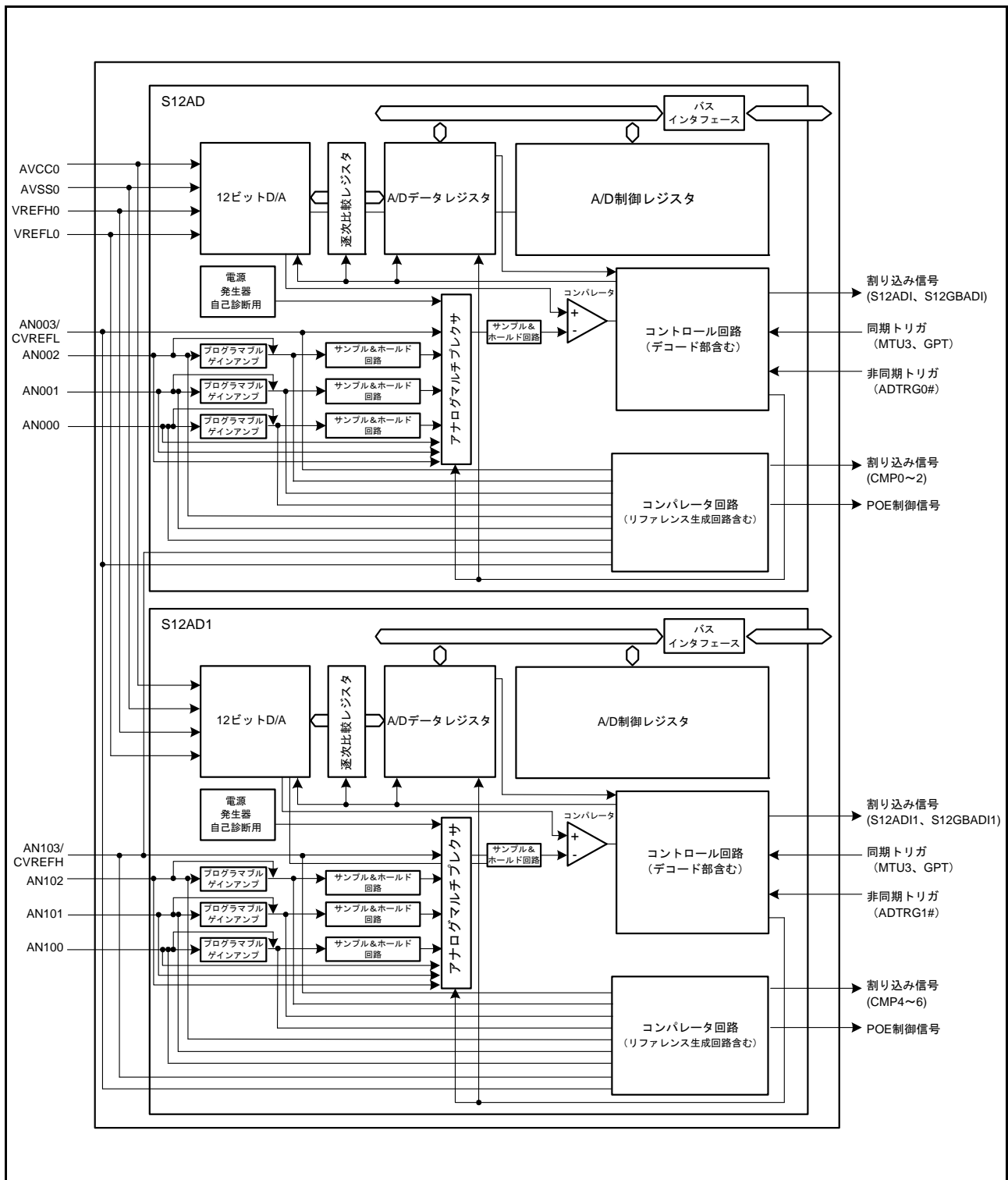


図 34.1 12ビットA/Dコンバータのブロック図

表 34.3 に 12 ビット A/D コンバータで使用する入力端子を示します。

表34.3 12ビットA/Dコンバータの入力端子

ユニット	端子名	入出力	機能	内蔵PGA	内蔵 コンパレータ
ユニット0 (S12AD)	AN000	入力	アナログ入力端子 0	内蔵	内蔵
	AN001	入力	アナログ入力端子 1	内蔵	内蔵
	AN002	入力	アナログ入力端子 2	内蔵	内蔵
	AN003/ CVREFL	入力	アナログ入力端子 3/コンパレータ Low 側基準電圧端子 (コンパレータ動作時、かつ外部端子での基準電圧印加を選択した場合は、コンパレータ Low 側基準電圧端子となります。)	—	—
	ADTRG0#	入力	A/D 変換開始のための外部トリガ入力端子	—	—
ユニット1 (S12AD1)	AN100	入力	アナログ入力端子 4	内蔵	内蔵
	AN101	入力	アナログ入力端子 5	内蔵	内蔵
	AN102	入力	アナログ入力端子 6	内蔵	内蔵
	AN103/ CVREFH	入力	アナログ入力端子 7/コンパレータ High 側基準電圧端子 (コンパレータ動作時、かつ外部端子での基準電圧印加を選択した場合は、コンパレータ High 側基準電圧端子となります。)	—	—
	ADTRG1#	入力	A/D 変換開始のための外部トリガ入力端子	—	—
共通	AVCC0	入力	アナログ部の電源端子	—	—
	AVSS0	入力	アナログ部のグランド端子	—	—
	VREFH0	入力	基準電源端子	—	—
	VREFL0	入力	基準電源グランド端子	—	—

34.2 レジスタの説明

34.2.1 A/D データレジスタ y (ADDRy) (y = 0 ~ 3)、A/D データ 2 重化レジスタ (ADDBLDR)、A/D データ 2 重化レジスタ A (ADDBLDRA)、A/D データ 2 重化レジスタ B (ADDBLDRB)

ADDRy レジスタは、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDRA レジスタと ADDBLDRB レジスタは、ダブルトリガモード選択時の拡張動作であるトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

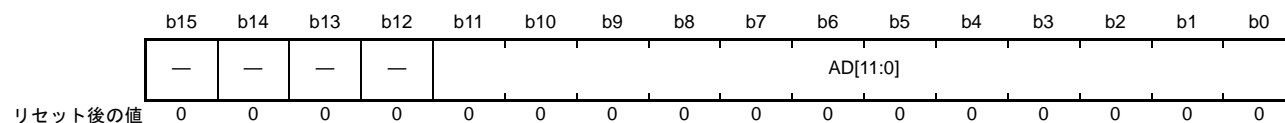
ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰または左詰)
- A/D データレジスタビット精度指定ビットの設定値 (12 ビット、10 ビット、または 8 ビット)
- A/D 変換値加算モード選択レジスタの設定値 (A/D 変換値加算モード選択または非選択)

以下、条件ごとのフォーマットを示します。

- 右詰めフォーマット、12 ビット精度に設定した場合

アドレス S12AD: ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
ADDBLDR 0008 9018h, ADDBLDRA 0008 9084h, ADDBLDRB 0008 9086h
S12AD1: ADDR0 0008 9120h, ADDR1 0008 9122h, ADDR2 0008 9124h, ADDR3 0008 9126h,
ADDBLDR 0008 9118h, ADDBLDRA 0008 9184h, ADDBLDRB 0008 9186h



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値 11~0	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 右詰めフォーマット、10 ビット精度に設定した場合

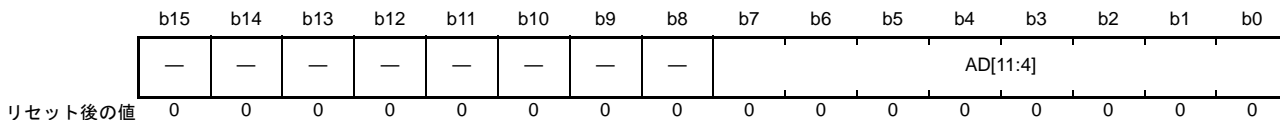
アドレス S12AD: ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
ADDBLDR 0008 9018h, ADDBLDRA 0008 9084h, ADDBLDRB 0008 9086h
S12AD1: ADDR0 0008 9120h, ADDR1 0008 9122h, ADDR2 0008 9124h, ADDR3 0008 9126h,
ADDBLDR 0008 9118h, ADDBLDRA 0008 9184h, ADDBLDRB 0008 9186h



ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[11:2]	変換値 11~2	12ビットA/D変換値の上位10ビット	R
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

● 右詰めフォーマット、8ビット精度に設定した場合

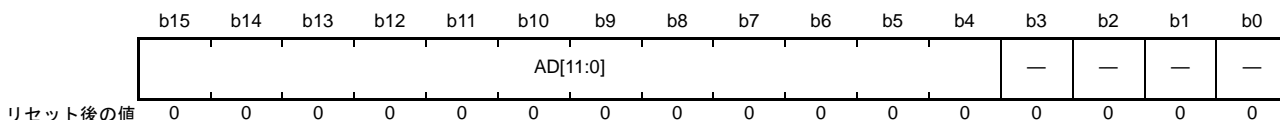
アドレス S12AD: ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
 ADDBLDR 0008 9018h, ADDBLDRA 0008 9084h, ADDBLDRB 0008 9086h
 S12AD1: ADDR0 0008 9120h, ADDR1 0008 9122h, ADDR2 0008 9124h, ADDR3 0008 9126h,
 ADDBLDR 0008 9118h, ADDBLDRA 0008 9184h, ADDBLDRB 0008 9186h



ビット	シンボル	ビット名	機能	R/W
b7-b0	AD[11:4]	変換値 11~4	12ビットA/D変換値の上位8ビット	R
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

● 左詰めフォーマット、12ビット精度に設定した場合

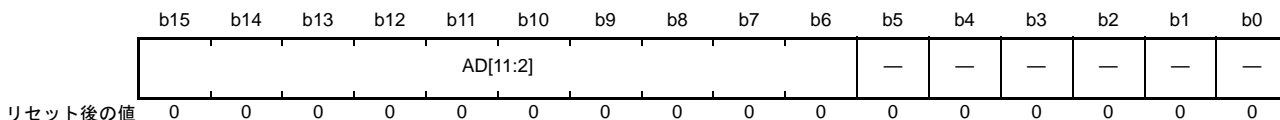
アドレス S12AD: ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
 ADDBLDR 0008 9018h, ADDBLDRA 0008 9084h, ADDBLDRB 0008 9086h
 S12AD1: ADDR0 0008 9120h, ADDR1 0008 9122h, ADDR2 0008 9124h, ADDR3 0008 9126h,
 ADDBLDR 0008 9118h, ADDBLDRA 0008 9184h, ADDBLDRB 0008 9186h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください	R
b15-b4	AD[11:0]	変換値 11~0	12ビットA/D変換値	R/W

● 左詰めフォーマット、10ビット精度に設定した場合

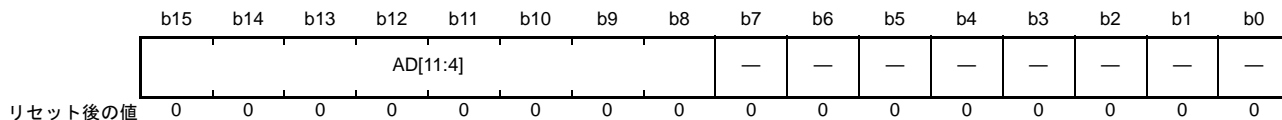
アドレス S12AD: ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
 ADDBLDR 0008 9018h, ADDBLDRA 0008 9084h, ADDBLDRB 0008 9086h
 S12AD1: ADDR0 0008 9120h, ADDR1 0008 9122h, ADDR2 0008 9124h, ADDR3 0008 9126h,
 ADDBLDR 0008 9118h, ADDBLDRA 0008 9184h, ADDBLDRB 0008 9186h



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください	R
b15-b6	AD[11:2]	変換値 11~2	12ビットA/D変換値の上位10ビット	R/W

• 左詰めフォーマット、8ビット精度に設定した場合

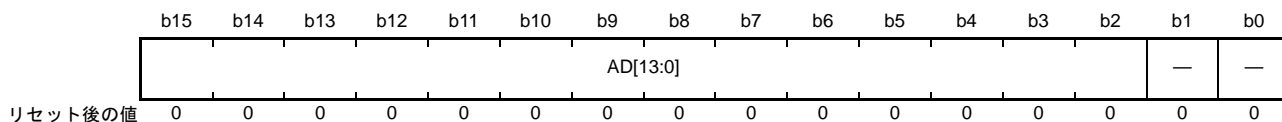
アドレス S12AD: ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
 ADDBLDR 0008 9018h, ADDBLDRA 0008 9084h, ADDBLDRB 0008 9086h
 S12AD1: ADDR0 0008 9120h, ADDR1 0008 9122h, ADDR2 0008 9124h, ADDR3 0008 9126h,
 ADDBLDR 0008 9118h, ADDBLDRA 0008 9184h, ADDBLDRB 0008 9186h



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください	R
b15-b8	AD[11:4]	変換値11~4	12ビットA/D変換値の上位8ビット	R/W

• A/D変換値加算モードを選択した場合

アドレス S12AD: ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
 ADDBLDR 0008 9018h, ADDBLDRA 0008 9084h, ADDBLDRB 0008 9086h
 S12AD1: ADDR0 0008 9120h, ADDR1 0008 9122h, ADDR2 0008 9124h, ADDR3 0008 9126h,
 ADDBLDR 0008 9118h, ADDBLDRA 0008 9184h, ADDBLDRB 0008 9186h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください	R
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R/W

A/D変換値加算モードに設定した場合、AD[13:0]ビットは同一チャンネルのA/D変換値を加算した値を示します。A/D変換値加算モードに設定すると、AD変換結果の加算値を、14ビットで左詰めにA/Dデータレジスタに保持し、ADCER.ADPRC[1:0]ビット、ADCER.ADRFMTビットの設定は無効となります。

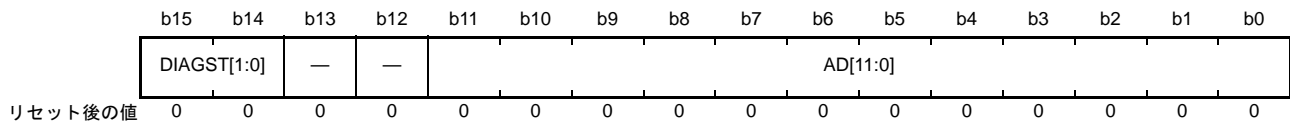
34.2.2 A/D 自己診断データレジスタ (ADRD)

ADRD レジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定によって、以下に示すフォーマットになります。ADRDレジスタは、A/D変換加算モードには設定できません。

- ADCER.ADRFMT=0 (右詰めフォーマットに設定)

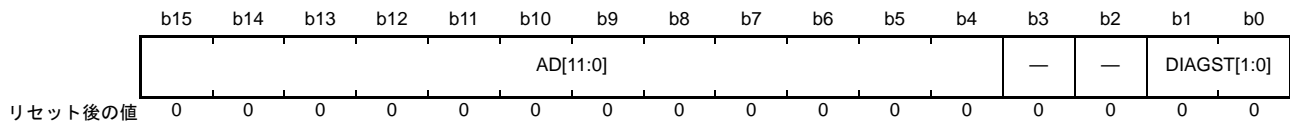
アドレス S12AD: ADRD 0008 901Eh
S12AD1: ADRD 0008 911Eh



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : VREFH0×1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFH0の電圧値の自己診断を実施したことを示す 自己診断の詳細については「34.2.8 A/Dコントロール拡張レジスタ (ADCER)」を参照してください	R

- ADCER.ADRFMT=1 (左詰めフォーマットに設定)

アドレス S12AD: ADRD 0008 901Eh
S12AD1: ADRD 0008 911Eh



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータスビット	b1 b0 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : VREFH0×1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFH0の電圧値の自己診断を実施したことを示す 自己診断の詳細については「34.2.8 A/Dコントロール拡張レジスタ (ADCER)」を参照してください	R
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

34.2.3 A/D コントロールレジスタ (ADCSR)

アドレス S12AD: ADCSR 0008 9000h
S12AD1: ADCSR 0008 9100h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択ビット	ダブルトリガ対象のアナログ入力を4チャンネルから1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了後にS12GBADIE割り込み発生を禁止 1: グループBのスキャン終了後にS12GBADIE割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガ (MTU3、GPT) によるA/D変換の開始を選択 1: 非同期トリガ (ADTRGn#) によるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b10-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後のS12ADI割り込み発生を禁止 1: スキャン終了後のS12ADI割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: 1サイクルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子 (非同期トリガ) でA/D変換を起動する方法
外部端子 (ADTRGn#) にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRGn#の信号をLowに変化させると、ADTRGn#の立ち下がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上必要です。

ADCSRレジスタは、ダブルトリガモードの設定、A/D変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D変換の開始/停止を行うレジスタです。

DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択ビット)

ダブルトリガモードでA/D変換データを2重化する1チャンネルを選択します。DBLANS[4:0]ビットで選択したチャンネルのアナログ入力を、ダブルトリガモードの1回目のA/D変換開始トリガで変換した結果がA/Dデータレジスタyに格納され、2回目のA/D変換開始トリガで変換した結果がA/Dデータ2重化レジスタに格納されます。表34.4にダブルトリガ対象チャンネルの選択表を示します。ダブルトリガモードでの加算モードは、DBLANS[4:0]ビットで選択したチャンネルをADADSレジスタで選択することで可能です。ダブルトリガモードを選択した場合は、ADANSAレジスタで選択したチャンネルは無効になり、DBLANS[4:0]ビットで選択した1チャンネルがA/D変換を行うチャンネルとなります。DBLANS[4:0]ビットは、ADSTビットが“0”のときに設定してください (ADSTビットへの“1”書き込みと同時に設定もしないでください)。

表34.4 DBLANSビット設定値とダブルトリガ対象チャンネルの関係

DBLANS[4:0]	2重化チャンネル	
	S12AD	S12AD1
00000	AN000	AN100
00001	AN001	AN101
00010	AN002	AN102
00011	AN003	AN103

GBADIE ビット (グループ B スキャン終了割り込みイネーブルビット)

グループスキャンモードでのグループ B のスキャン終了割り込み (S12GBADI) の発生を許可/禁止します。

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、ADSTRGR.TRSA[5:0] ビットで選択した MTU3、GPT からのトリガでスキャンを開始したことを条件に以下 1 と 2 の動作となります。

1. ADIE ビットが“1”に設定されている場合に、1 回目のスキャン終了時はスキャン終了割り込みを発生せず、2 回目のスキャン終了時にスキャン終了割り込みを発生します。
2. DBLANS[4:0] ビットで選択したアナログ入力の A/D 変換データを、1 回目は A/D データレジスタ y に格納し、2 回目は A/D データ 2 重化レジスタに格納します。

DBLE ビットを“1”にすると ADANSA レジスタで選択したチャンネルは無効になります。連続スキャンモードではダブルトリガモードを選択しないでください。ダブルトリガモード選択中はソフトウェアトリガは使用しないでください。DBLE ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時設定もしないでください)。

EXTRG ビット (トリガ選択ビット)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

TRGE ビット (トリガ起動許可ビット)

同期トリガ、非同期トリガによる A/D 変換の起動を許可/禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B を除く、A/D スキャン変換終了割り込み (S12ADI) の発生を許可/禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回目のスキャンが終了したときに、ADIE ビットが“1”に設定されていれば、S12ADI 割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] ビットで選択した MTU3、GPT からのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”に設定されていれば S12ADI 割り込みが発生します。

ADCS ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

1 サイクルスキャンモードは、ADANSA レジスタで選択した最大 4 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA レジスタで選択した最大 4 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。ADCSR.ADST ビットを“0”にすると A/D 変換を停止します。

グループスキャンモードはADSTRGR.TRSA[5:0]ビットで選択したMTU3、GPTからのトリガを開始条件として、ADANSAレジスタで選択した最大4チャンネルのアナログ入力（グループA）を若いチャンネル番号順にA/D変換を実施し、選択したすべてのチャンネルのA/D変換が終了すると停止します。また同様にADSTRGR.TRSB[5:0]ビットで選択したMTU3、GPTからのトリガをA/D変換開始条件として、ADANSBレジスタで選択した最大4チャンネルのアナログ入力（グループB）を若いチャンネル番号順にA/D変換を実施し、選択したすべてのチャンネルのA/D変換が終了すると停止します。グループスキャンモードを選択する場合は、グループAとグループBで異なるチャンネルと異なるトリガを選択してください。

ADCSビットは、ADSTビットが“0”のときに設定してください（ADSTビットへの“1”書き込みと同時に設定もしないでください）。

ADSTビット（A/D変換スタートビット）

A/D変換の開始/停止を制御します。

ADSTビットを“1”に設定する前に、A/D変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[“1”になる条件]

- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRGに“0”、ADCSR.TRGEビットに“1”を設定し、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ（MTU3、GPT）を検出したとき
- グループスキャンモードでADCSR.TRGEビットに“1”を設定しADSTRGR.TRSB[5:0]ビットで選択した同期トリガ（MTU3、GPT）を検出したとき
- ADCSR.TRGEビットとADCSR.EXTRGビットを“1”、ADSTRGR.TRSA[5:0]ビットを“000000b”に設定し、非同期トリガを検出したとき
- グループA優先制御動作モード有効時（ADCSR.ADCS[1:0]ビット＝“01b”かつADGSPCR.PGS＝“1”）に、グループBのトリガを検出し、グループBのA/D変換を開始したとき
- グループA優先制御動作モード有効時（ADCSR.ADCS[1:0]ビット＝“01b”かつADGSPCR.PGS＝“1”）に、ADGSPCR.GBRSCNビットを“1”に設定し、グループBのA/D変換を再開したとき
- グループA優先制御動作モード有効時（ADCSR.ADCS[1:0]ビット＝“01b”かつADGSPCR.PGS＝“1”）に、ADGSPCR.GBRPビットを“1”に設定し、グループBのA/D変換を開始したとき

[“0”になる条件]

- ソフトウェアで“0”を書き込んだとき
- 1サイクルスキャンモードで、選択したすべてのチャンネルのA/D変換が終了したとき
- グループスキャンモードでグループAのスキャンが終了したとき
- グループスキャンモードでグループBのスキャンが終了したとき
- グループA優先制御動作モード有効時（ADCSR.ADCS[1:0]ビット＝“01b”かつADGSPCR.PGS＝“1”）に、グループBのA/D変換実行中に、グループAのトリガを検出し、グループBのスキャンが中断されたとき
- グループA優先制御動作モード有効時（ADCSR.ADCS[1:0]ビット＝“01b”かつADGSPCR.PGS＝“1”）に、ADGSPCR.GBRPビットを“1”に設定し、グループBの再起動トリガによるスキャンが終了したとき
- グループA優先制御動作モード有効時（ADCSR.ADCS[1:0]ビット＝“01b”かつADGSPCR.PGS＝“1”）に、ADGSPCR.GBRSCNビットを“1”に設定し、グループBのトリガによるスキャンが終了したとき

注1. グループA優先制御動作モード有効時（ADCSR.ADCS[1:0]ビット＝“01b”かつADGSPCR.PGS＝“1”）、ADSTビットを“1”にしないでください。

注2. グループA優先制御動作モード有効時（ADCSR.ADCS[1:0]ビット＝“01b”かつADGSPCR.PGS＝“1”）、か

つ ADGSPCR.GBRP = “1” のとき、ADST ビットを “0” にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

34.2.4 A/D チャネル選択レジスタ A (ADANSA)

アドレス S12AD: ADANSA 0008 9004h
S12AD1: ADANSA 0008 9104h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	PG002 SEL	PG001 SEL	PG000 SEL	—	PG002 EN	PG001 EN	PG000 EN	—	—	—	—	ANSA[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ANSA[3:0]	A/D変換チャネル選択ビット	0: AN000～AN003、AN100～AN103を変換対象から外す 1: AN000～AN003、AN100～AN103を変換対象とする	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PG000EN	AN000用プログラマブルゲインアンプ許可ビット	0: プログラマブルゲインアンプの動作を禁止 1: プログラマブルゲインアンプの動作を許可	R/W
b9	PG001EN	AN001用プログラマブルゲインアンプ許可ビット	0: プログラマブルゲインアンプの動作を禁止 1: プログラマブルゲインアンプの動作を許可	R/W
b10	PG002EN	AN002用プログラマブルゲインアンプ許可ビット	0: プログラマブルゲインアンプの動作を禁止 1: プログラマブルゲインアンプの動作を許可	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	PG000SEL	AN000用プログラマブルゲインアンプ選択ビット	0: プログラマブルゲインアンプを使用しない (バイパス) 1: プログラマブルゲインアンプを使用する	R/W
b13	PG001SEL	AN001用プログラマブルゲインアンプ選択ビット	0: プログラマブルゲインアンプを使用しない (バイパス) 1: プログラマブルゲインアンプを使用する	R/W
b14	PG002SEL	AN002用プログラマブルゲインアンプ選択ビット	0: プログラマブルゲインアンプを使用しない (バイパス) 1: プログラマブルゲインアンプを使用する	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSA レジスタは、A/D 変換を行うチャネルのアナログ入力 AN000～AN003、AN100～AN103 の選択と、AN000～AN002、AN100～AN102 用プログラマブルゲインアンプの使用 / 未使用および動作の禁止 / 許可を設定するレジスタです。

ANSA[3:0] ビット (A/D 変換チャネル選択ビット)

A/D 変換を行うチャネルのアナログ入力 AN000～AN003、AN100～AN103 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA[0] ビットが AN000、AN100 に対応します。

グループスキャンモードでは、グループ A のチャネルを選択します。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA[3:0] ビットの設定は無効になります。

ANSA[3:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

PGnEN ビット (ANn 用プログラマブルゲインアンプ許可ビット) (n=000～002、100～102)

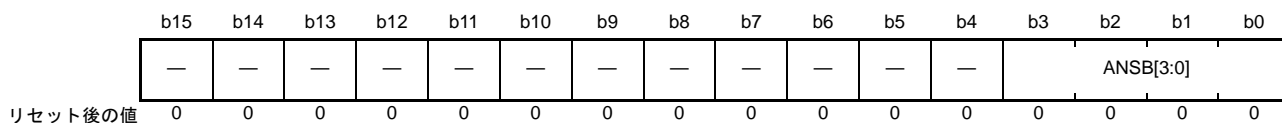
プログラマブルゲインアンプの動作の禁止 / 許可を設定します。

PGnSEL ビット (ANn 用プログラマブルゲインアンプ選択ビット) (n=000～002、100～102)

プログラマブルゲインアンプの使用 / 未使用を設定します。

34.2.5 A/D チャネル選択レジスタ B (ADANSB)

アドレス S12AD: ADANSB 0008 9014h
S12AD1: ADANSB 0008 9114h



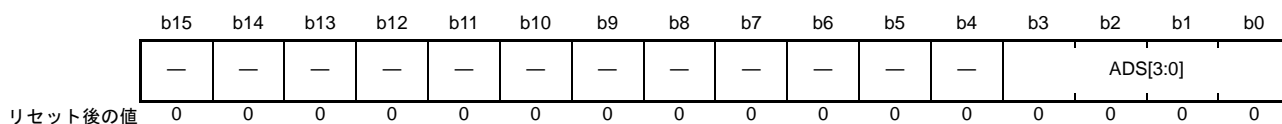
ビット	シンボル	ビット名	機能	R/W
b3-b0	ANSB[3:0]	A/D変換チャンネル選択ビット	0 : AN000 ~ AN003、AN100 ~ AN103 を変換対象から外す 1 : AN000 ~ AN003、AN100 ~ AN103 を変換対象とする	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSB レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネル AN000 ~ AN003、AN100 ~ AN103 の選択を行います。ADANSB レジスタは他のスキャンモードでは使用しません。選択するチャンネル及びチャンネル数は、ADANSA レジスタまたはダブルトリガモードでの ADCSR.DBLANS[4:0] ビットで選択したグループ A のチャンネル以外から設定します。ANSB[0] ビットが AN000、AN100 に対応します。

ANSB[3:0] ビットは、ADST ビットが“0”のときに設定してください。

34.2.6 A/D 変換値加算モード選択レジスタ (ADADS)

アドレス S12AD: ADADS 0008 9008h
S12AD1: ADADS 0008 9108h



ビット	シンボル	ビット名	機能	R/W
b3-b0	ADS[3:0]	A/D変換チャンネル選択ビット	0 : AN000 ~ AN003、AN100 ~ AN103 の A/D 変換値加算モード 非選択 1 : AN000 ~ AN003、AN100 ~ AN103 の A/D 変換値加算モード 選択	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADS レジスタは、A/D 変換を連続 2 ~ 4 回実施して加算（積算）する A/D 変換チャンネル AN000 ~ AN003、AN100 ~ AN103 を選択します。

ADS[3:0] ビット (A/D 変換値加算チャンネル 0 ~ 3 選択ビット)

ADANSA.ANSA[n] ビット (n=0 ~ 3) または ADCSR.DBLANS[4:0] ビットと ADANSB.ANSB[n] ビット (n=0 ~ 3) で選択した A/D 変換チャンネルと同一番号の ADS[n] ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数 (2 ~ 4 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、加算（積算）した値を A/D データレジスタに返します。加算モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を返します。

ADS[3:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

図 34.2 にビット ADS[2] と ADS[6] を “1” にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算回数は 4 回に設定 (ADADC.ADC[1:0] = 11b)、AN000 ~ AN003 が選択 (ADANSA.ANSA[7:0] = FFh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 2 に返します。AN003 の変換後、再度 AN000 から同じシーケンスで動作します。

加算モードを選択しないチャンネルの A/D データレジスタのフォーマットは、ADCER.ADRFMT ビット (右詰め / 左詰め) の設定により決定されます。

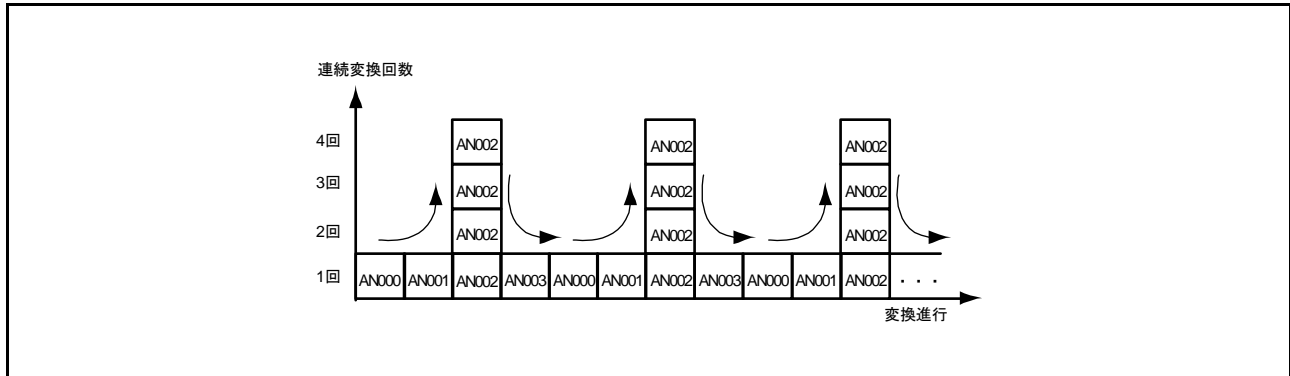
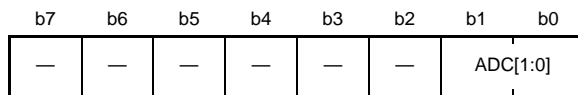


図 34.2 ADADC.ADC[1:0] = 11b、ADS[2] = 1、ADS[6] = 1 選択時のスキャン変換シーケンス

34.2.7 A/D 変換値加算回数選択レジスタ (ADADC)

アドレス S12AD: ADADC 0008 900Ch
S12AD1: ADADC 0008 910Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADC[1:0]	加算回数選択ビット	b1 b0 0 0 : 1回変換 (加算なし。通常変換と同じ) 0 1 : 2回変換 (1回加算を行う) 1 0 : 3回変換 (2回加算を行う) 1 1 : 4回変換 (3回加算を行う)	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADC レジスタは、A/D 変換値加算モードが選択されたチャンネルの A/D 変換に対して加算回数の設定を行います。

ADC[1:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算モードが選択されたチャンネルの A/D 変換に対して共通の加算回数を設定します。ADC[1:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

34.2.8 A/D コントロール拡張レジスタ (ADCER)

アドレス S12AD: ADCER 0008 900Eh
S12AD1: ADCER 0008 910Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	DCE	—	ADPRC[1:0]	—		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2-b1	ADPRC[1:0]	A/Dデータレジスタビット精度指定ビット	00 : A/Dデータレジスタに12ビット精度で格納する 01 : A/Dデータレジスタに10ビット精度で格納する 10 : A/Dデータレジスタに8ビット精度で格納する 11 : 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DCE	ディスチャージイネーブルビット	0 : A/D変換終了後のディスチャージ動作を実施しない 1 : A/D変換終了後のディスチャージ動作を実施する	R/W
b5	ACE	自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 自己診断有効時は設定禁止 0 1 : 0Vの電圧を使って自己診断を行う 1 0 : VREFH0x1/2の電圧を使って自己診断を行う 1 1 : VREFH0の電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0 : 12ビットA/Dコンバータの自己診断を実施しない 1 : 12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択ビット	0 : A/Dデータレジスタのフォーマットを右詰めにする 1 : A/Dデータレジスタのフォーマットを左詰めにする	R/W

ADCER レジスタは、自己診断モード、A/Dデータレジスタ y (ADDRy) のフォーマット、自動クリアの設定を行うレジスタです。

ADPRC ビット (A/D データレジスタビット精度指定ビット)

A/D変換結果を、ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRBに8ビット精度で格納するか、10ビット精度で格納するか、12ビット精度で格納するかを選択します。

DCE ビット (ディスチャージイネーブルビット)

A/D変換終了後、対象アナログ端子のディスチャージを行うか行わないかを選択します。故障によりA/Dコンバータの入力端子がオープンとなった場合、数回に分けてディスチャージを行うことで変換結果が“0000h”に近い値となり、端子オープンを検出することができます。

ACE ビット (自動クリアイネーブルビット)

CPU、DTCおよびDMACAによってADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRBレジスタを読み出した後、当該レジスタの自動クリア (All“0”)を行うか行わないかを選択します。自動クリアによりADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRBレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

詳細は ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが“00b”の状態では ADCER.DIAGLD ビットを“1”に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。

ADCER.DIAGLD ビットを“0”にすると $0V \rightarrow VREFH0 \times 1/2 \rightarrow VREFH0$ の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は $0V$ から自己診断を行います。自己診断電圧固定モードを選択した場合は ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても $0V$ に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADST が“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する $0V$ 、 $VREFH0 \times 1/2$ 、 $VREFH0$ の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで ADRD レジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。自己診断の実行時間は、1チャンネルのA/D変換時間と同じです。グループスキャンモードで自己診断を選択した場合は、グループAとグループBのそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADST ビットが“0”のときに行ってください。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

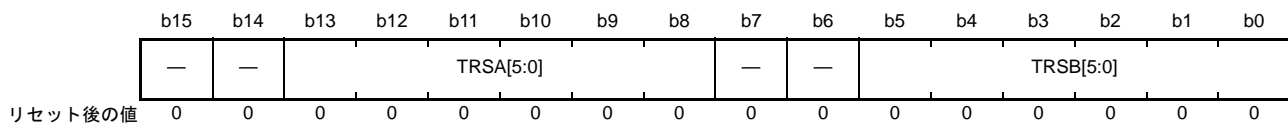
ADDR_y、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタに格納するデータの右詰め/左詰めを選択します。

A/D変換値加算モードが選択されている場合、各データレジスタのフォーマットは、ADCER.ADRFMT ビットの設定によらず左詰め固定です。

データレジスタのフォーマットの詳細は、「34.2.1 A/D データレジスタ y (ADDR_y) (y = 0 ~ 3)、A/D データ2重化レジスタ (ADDBLDR)、A/D データ2重化レジスタ A (ADDBLDRA)、A/D データ2重化レジスタ B (ADDBLDRB)」、「34.2.2 A/D 自己診断データレジスタ (ADRD)」を参照してください。

34.2.9 A/D 開始トリガ選択レジスタ (ADSTRGR)

アドレス S12AD: ADSTRGR 0008 9010h
S12AD1: ADSTRGR 0008 9110h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	1サイクルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

TRSB[5:0] ビット (グループ B 専用 A/D 変換開始トリガ選択ビット)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[5:0] ビットを“000000”以外に設定し、ADCSR.TRGE ビットを“1”に設定してください。グループスキャンモードのグループ A 優先制御時に、ADGSPCR.GBRP ビットを“1”にすることで、グループ B を 1 サイクルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを“1”に設定する場合は、TRSB[5:0] ビットを“3Fh”に設定してください。なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上となるように設定してください。発行間隔が tSCAN 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

表 34.5 に TRSB[5:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[5:0] ビット (A/D 変換開始トリガ選択ビット)

1 サイクルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガ (MTU3、GPT) の A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガ (ADTRGn#) を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上となるように設定してください。発行間隔が tSCAN 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

表 34.6 に TRSA[5:0] ビットでの A/D 起動要因選択一覧を示します。

表 34.5 TRSB[5:0]ビットでのA/D起動要因選択一覧 (1 / 2)

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/ インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/ インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/ インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/ インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/ インプットキャプチャ、または相補PWMモード時 MTU4.TCNTのアンダフロー (谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/ インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/ インプットキャプチャ、または相補PWMモード時 MTU7.TCNTのアンダフロー (谷)	0	0	0	1	1	1
	TRG0AN	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、 または、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、 または、MTU7.TADCORBとMTU7.TCNTの コンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、 MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	1	0	0	0	0
GPT0~ GPT3	GTADTRA0N	GPT0.GTADTRAのコンペアマッチ	0	1	0	0	0	1
	GTADTRB0N	GPT0.GTADTRBのコンペアマッチ	0	1	0	0	1	0
	GTADTRA1N	GPT1.GTADTRAのコンペアマッチ	0	1	0	0	1	1
	GTADTRB1N	GPT1.GTADTRBのコンペアマッチ	0	1	0	1	0	0
	GTADTRA2N	GPT2.GTADTRAのコンペアマッチ	0	1	0	1	0	1
	GTADTRB2N	GPT2.GTADTRBのコンペアマッチ	0	1	0	1	1	0
	GTADTRA3N	GPT3.GTADTRAのコンペアマッチ	0	1	0	1	1	1
	GTADTRB3N	GPT3.GTADTRBのコンペアマッチ	0	1	1	0	0	0
	GTADTRA0N または GTADTRB0N	GPT0.GTADTRAのコンペアマッチ、 または、 GPT0.GTADTRBのコンペアマッチ	0	1	1	0	0	1
	GTADTRA1N または GTADTRB1N	GPT1.GTADTRAのコンペアマッチ、 または、 GPT1.GTADTRBのコンペアマッチ	0	1	1	0	1	0
	GTADTRA2N または GTADTRB2N	GPT2.GTADTRAのコンペアマッチ、 または、 GPT2.GTADTRBのコンペアマッチ	0	1	1	0	1	1
	GTADTRA3N または GTADTRB3N	GPT3.GTADTRAのコンペアマッチ、 または、 GPT3.GTADTRBのコンペアマッチ	0	1	1	1	0	0

表34.5 TRSB[5:0]ビットでのA/D起動要因選択一覧 (2 / 2)

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
GPT4~ GPT7	GTADTRA4N	GPT4.GTADTRAのコンペアマッチ	0	1	1	1	0	1
	GTADTRB4N	GPT4.GTADTRBのコンペアマッチ	0	1	1	1	1	0
	GTADTRA5N	GPT5.GTADTRAのコンペアマッチ	0	1	1	1	1	1
	GTADTRB5N	GPT5.GTADTRBのコンペアマッチ	1	0	0	0	0	0
	GTADTRA6N	GPT6.GTADTRAのコンペアマッチ	1	0	0	0	0	1
	GTADTRB6N	GPT6.GTADTRBのコンペアマッチ	1	0	0	0	1	0
	GTADTRA7N	GPT7.GTADTRAのコンペアマッチ	1	0	0	0	1	1
	GTADTRB7N	GPT7.GTADTRBのコンペアマッチ	1	0	0	1	0	0
	GTADTRA4N または GTADTRB4N	GPT4.GTADTRAのコンペアマッチ、 または、 GPT4.GTADTRBのコンペアマッチ	1	0	0	1	0	1
	GTADTRA5N または GTADTRB5N	GPT5.GTADTRAのコンペアマッチ、 または、 GPT5.GTADTRBのコンペアマッチ	1	0	0	1	1	0
	GTADTRA6N または GTADTRB6N	GPT6.GTADTRAのコンペアマッチ、 または、 GPT6.GTADTRBのコンペアマッチ	1	0	0	1	1	1
	GTADTRA7N または GTADTRB7N	GPT7.GTADTRAのコンペアマッチ、 または、 GPT7.GTADTRBのコンペアマッチ	1	0	1	0	0	0

表 34.6 TRSA[5:0]ビットでのA/D起動要因選択一覧 (1 / 2)

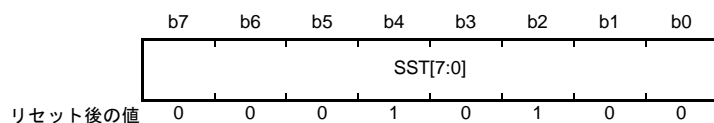
モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態			1	1	1	1	1	1
外部端子	ADTRG0#	トリガ入力端子	0	0	0	0	0	0
	ADTRG1#	トリガ入力端子	0	0	0	0	0	0
MTU3	TRGA0N	MTU0.TGRA のコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRA のコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRA のコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRA のコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRA のコンペアマッチ/インプットキャプチャ、 または 相補 PWM モード時 MTU4.TCNT のアンダフロー (谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRA のコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRA のコンペアマッチ/インプットキャプチャ、 または 相補 PWM モード時 MTU7.TCNT のアンダフロー (谷)	0	0	0	1	1	1
	TRG0AN	MTU0.TGRE のコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORA と MTU4.TCNT のコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORB と MTU4.TCNT のコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORA と MTU4.TCNT のコンペアマッチ、 または、 MTU4.TADCORB と MTU4.TCNT のコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORA と MTU4.TCNT のコンペアマッチと、 MTU4.TADCORB と MTU4.TCNT のコンペアマッチ (割り込み間引き機能 2 を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORA と MTU7.TCNT のコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORB と MTU7.TCNT のコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORA と MTU7.TCNT のコンペアマッチ、 または、 MTU7.TADCORB と MTU7.TCNT のコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORA と MTU7.TCNT のコンペアマッチと、 MTU7.TADCORB と MTU7.TCNT のコンペアマッチ (割り込み間引き機能 2 を使用時)	0	1	0	0	0	0
GPT0~ GPT3	GTADTRA0N	GPT0.GTADTRA のコンペアマッチ	0	1	0	0	0	1
	GTADTRB0N	GPT0.GTADTRB のコンペアマッチ	0	1	0	0	1	0
	GTADTRA1N	GPT1.GTADTRA のコンペアマッチ	0	1	0	0	1	1
	GTADTRB1N	GPT1.GTADTRB のコンペアマッチ	0	1	0	1	0	0
	GTADTRA2N	GPT2.GTADTRA のコンペアマッチ	0	1	0	1	0	1
	GTADTRB2N	GPT2.GTADTRB のコンペアマッチ	0	1	0	1	1	0
	GTADTRA3N	GPT3.GTADTRA のコンペアマッチ	0	1	0	1	1	1
	GTADTRB3N	GPT3.GTADTRB のコンペアマッチ	0	1	1	0	0	0
	GTADTRA0N または GTADTRB0N	GPT0.GTADTRA のコンペアマッチ、 または、 GPT0.GTADTRB のコンペアマッチ	0	1	1	0	0	1
	GTADTRA1N または GTADTRB1N	GPT1.GTADTRA のコンペアマッチ、 または、 GPT1.GTADTRB のコンペアマッチ	0	1	1	0	1	0
	GTADTRA2N または GTADTRB2N	GPT2.GTADTRA のコンペアマッチ、 または、 GPT2.GTADTRB のコンペアマッチ	0	1	1	0	1	1
	GTADTRA3N または GTADTRB3N	GPT3.GTADTRA のコンペアマッチ、 または、 GPT3.GTADTRB のコンペアマッチ	0	1	1	1	0	0

表34.6 TRSA[5:0]ビットでのA/D起動要因選択一覧 (2 / 2)

モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
GPT4~ GPT7	GTADTRA4N	GPT4.GTADTRA のコンペアマッチ	0	1	1	1	0	1
	GTADTRB4N	GPT4.GTADTRB のコンペアマッチ	0	1	1	1	1	0
	GTADTRA5N	GPT5.GTADTRA のコンペアマッチ	0	1	1	1	1	1
	GTADTRB5N	GPT5.GTADTRB のコンペアマッチ	1	0	0	0	0	0
	GTADTRA6N	GPT6.GTADTRA のコンペアマッチ	1	0	0	0	0	1
	GTADTRB6N	GPT6.GTADTRB のコンペアマッチ	1	0	0	0	1	0
	GTADTRA7N	GPT7.GTADTRA のコンペアマッチ	1	0	0	0	1	1
	GTADTRB7N	GPT7.GTADTRB のコンペアマッチ	1	0	0	1	0	0
	GTADTRA4N または GTADTRB4N	GPT4.GTADTRA のコンペアマッチ、 または、 GPT4.GTADTRB のコンペアマッチ	1	0	0	1	0	1
	GTADTRA5N または GTADTRB5N	GPT5.GTADTRA のコンペアマッチ、 または、 GPT5.GTADTRB のコンペアマッチ	1	0	0	1	1	0
	GTADTRA6N または GTADTRB6N	GPT6.GTADTRA のコンペアマッチ、 または、 GPT6.GTADTRB のコンペアマッチ	1	0	0	1	1	1
	GTADTRA7N または GTADTRB7N	GPT7.GTADTRA のコンペアマッチ、 または、 GPT7.GTADTRB のコンペアマッチ	1	0	1	0	0	0

34.2.10 A/D サンプリングステートレジスタ n (ADSSTRn) (n=0 ~ 3)

アドレス S12AD: ADSSTR0 0008 9060h、ADSSTR1 0008 9073h、ADSSTR2 0008 9074h、ADSSTR3 0008 9075h
 S12AD1: ADSSTR0 0008 9160h、ADSSTR1 0008 9173h、ADSSTR2 0008 9174h、ADSSTR3 0008 9175h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定ビット	13~255ステートの間でサンプリング時間を設定します	R/W

ADSSTRn レジスタは、アナログ入力のスAMPLING時間の設定を行います。

1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 50MHz であれば 1 ステート = 20ns になります。初期値は 20 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。本ビットの設定は ADCSR.ADST が “0” のときに行ってください。サンプリング時間の設定値は、13 ステート以上 255 ステート以下の値を設定してください。また、サンプリング時間が 0.4μs 以上となるように設定してください。表 34.7 に A/D サンプリングステートレジスタと対象チャンネルの関係を示します。

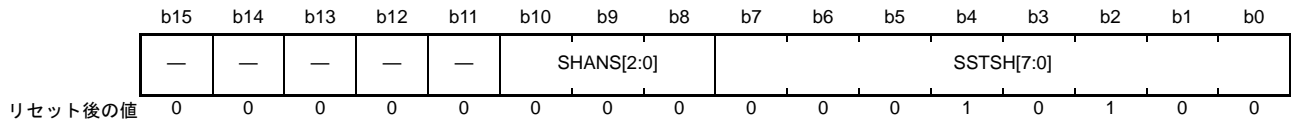
詳細は、「34.3.5 アナログ入力のスAMPLINGとスキャン変換時間」を参照してください。

表 34.7 A/D サンプリングステートレジスタと対象チャンネルの関係

ビット名	対象チャンネル	
	S12ADB0	S12ADB1
ADSSTR0.SST[7:0]ビット	AN000/自己診断	AN100/自己診断
ADSSTR1.SST[7:0]ビット	AN001	AN101
ADSSTR2.SST[7:0]ビット	AN002	AN102
ADSSTR3.SST[7:0]ビット	AN003	AN103

34.2.11 サンプル & ホールド回路コントロールレジスタ (ADSHCR)

アドレス S12AD: ADSHCR 0008 9066h
S12AD1: ADSHCR 0008 9166h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTSH[7:0]	サンプリング時間サンプル&ホールド回路設定ビット	4～255ステートの間でサンプリング時間を設定します	R/W
b10-b8	SHANS[2:0]	チャンネル専用サンプル&ホールド回路バイパス選択ビット	AN000～AN002、AN100～AN102のチャンネル専用サンプル&ホールド回路を使用するか、使用せずバイパスするかを選択します。 0：チャンネル専用サンプル&ホールド回路をバイパス 1：チャンネル専用サンプル&ホールド回路を使用	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSHCR レジスタは、チャンネル専用サンプル & ホールド回路を設定するレジスタです。

SSTSH[7:0] ビット (サンプリング時間サンプル & ホールド回路設定ビット)

チャンネル専用サンプル&ホールド回路のサンプリング時間設定をします。1ステート＝1ADCLKクロック(A/D変換クロック)幅でADCLKクロックが50MHzであれば1ステート＝20nsになります。初期値は20ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLKクロックが低速な場合に、サンプリング時間を調整することができます。SSTSH[7:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。サンプリング時間の設定値は、4ステート以上255ステート以下の値を設定してください。また、サンプリング時間が0.4μs以上となるように設定してください。例えば、ADCLKが25MHzであれば、サンプリングステート設定値の下限は10ステートとなります。

SHANS[2:0] ビット (チャンネル専用サンプル&ホールド回路バイパス選択ビット)

アナログ入力AN000～AN002、AN100～AN102のチャンネル専用サンプル&ホールド回路を使用するか、使用しないでバイパスするかを選択します。SHANS[0]ビットがAN000、SHANS[1]ビットがAN001、SHANS[2]ビットがAN002、AN102のチャンネル専用サンプル&ホールド回路の選択ビットになります。SHANS[2:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

グループスキャンモードのグループA優先制御時に、グループBにAN000～AN002、AN100～AN102のいずれかを選択した場合は、チャンネル専用サンプル&ホールド回路をバイパスする設定をしてください。

34.2.12 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス S12AD: ADGSPCR 0008 9080h
S12AD1: ADGSPCR 0008 9180h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定ビット (注1)	0: グループAの優先制御動作を行わない 1: グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定ビット	(PGS=1のときのみ有効。PGS=0のときは予約ビット) 0: グループAの優先制御でグループBのA/D変換動作中断後の再起動をしない 1: グループAの優先制御でグループBのA/D変換動作中断後の再起動をする	R/W
b14-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	GBRP	グループB用1サイクルスキャン連続起動設定ビット (注2)	(PGS=1のときのみ有効。PGS=0のときは予約ビット) 0: グループBは1サイクルスキャン連続動作しない 1: グループBの1サイクルスキャン連続動作開始	R/W

注1. PGSビットを“1”にするときは、ADCSR.ADCS[1:0]ビットを“01b” (グループスキャンモード) に設定してください。それ以外の設定をした場合、動作は保証されません。

注2. GBRPビットを“1”にした場合は、GBRSCNビットの設定によらず、グループBの1サイクルスキャン連続動作を実行します。

ADGSPCR レジスタは、グループスキャンモードでグループAを優先的にA/D変換する優先制御を設定するレジスタです。

PGS ビット (グループA 優先制御設定ビット)

グループAの優先動作を制御します。グループA優先制御動作を行うときに“1”を設定してください。

PGSビットを“1”に設定するときは、ADCSR.ADCS[1:0]ビットを“01b” (グループスキャンモード) に設定してください。それ以外の設定をした場合、動作は保証されません。

PGSビットを“0”にした場合は、「34.6.2 A/D変換停止時の注意事項」に従い、ソフトウェアでのクリアを行ってください。PGSビットを“1”にした場合は、「34.3.4.4 グループA優先制御動作」の手順に従い設定を行ってください。

グループA優先制御動作時は、ADGSPMR.PGSCビットに“1”を設定するか、周辺モジュールクロック (PCLKB) とA/D変換クロックADCLK (= PCLKD) の周波数比を以下の関係としてください。

(a) $PCLKB = PCLKD$ (SCKCR.PCKB[3:0]とSCKCR.PCKD[3:0]に同じ値を設定)

(b) $PCLKB/2 = PCLKD$ (SCKCR.PCKB[3:0]設定値の+1をSCKCR.PCKD[3:0]に設定)

GBRSCN ビット (グループB 再起動設定ビット)

グループA優先制御時の、グループBの再スキャン動作を設定します。

GBRSCNビットを“1”にすると、グループAのトリガ入力によるスキャン動作中断後、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を実行します。また、グループAのA/D変換動作中にグループBのトリガ入力があった場合、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を行います。

ただし、グループAのトリガが連続で入力された場合、グループBの再スキャン動作は、行われません。

GBRSCNビットを“0”にした場合は、A/D変換実行中に入力されたトリガは無視されます。GBRSCNビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

GBRSCNビットの設定は、PGSビットが“1”のときに有効となります。

GBRP ビット (グループ B 用 1 サイクルスキャン連続起動設定ビット)

グループ B を 1 サイクルスキャンで連続動作させる場合に設定します。

GBRP ビットを“1”にすると、グループ B の 1 サイクルスキャンが起動します。スキャン終了後、自動的にグループ B の 1 サイクルスキャンを再開します。グループ A 優先制御動作でグループ B の A/D 変換動作が中断した後は、グループ A の A/D 変換動作終了後、自動的にグループ B の 1 サイクルスキャンを再開します。

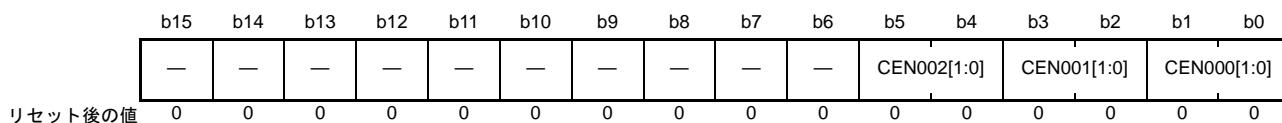
GBRP ビットを“1”にする場合は、事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを“1”にした場合、GBRSCN ビットの設定は無効です。

GBRP ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

GBRP ビットの設定は、PGS ビットが“1”のときに有効となります。

34.2.13 コンパレータ動作モード選択レジスタ 0 (ADCMPMD0)

アドレス S12AD: ADCMPMD0 0008 90E0h
S12AD1: ADCMPMD0 0008 91E0h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CEN000[1:0]	AN000/ AN100用 コンパレータ選択ビット	b1 b0 00 : コンパレータを使用しない 01 : Lowレベルコンパレータとして使用 (Low側基準電圧よりも低い入力電圧を検出) 10 : Highレベルコンパレータとして使用 (High側基準電圧よりも高い入力電圧を検出) 11 : ウィンドウコンパレータとして使用 (Low側基準電圧～High側基準電圧の範囲外の入力電圧を検出)	R/W
b3-b2	CEN001[1:0]	AN001/ AN101用 コンパレータ選択ビット	b3 b2 00 : コンパレータを使用しない 01 : Lowレベルコンパレータとして使用 (Low側基準電圧よりも低い入力電圧を検出) 10 : Highレベルコンパレータとして使用 (High側基準電圧よりも高い入力電圧を検出) 11 : ウィンドウコンパレータとして使用 (Low側基準電圧～High側基準電圧の範囲外の入力電圧を検出)	R/W
b5-b4	CEN002[1:0]	AN002/ AN102用 コンパレータ選択ビット	b5 b4 00 : コンパレータを使用しない 01 : Lowレベルコンパレータとして使用 (Low側基準電圧よりも低い入力電圧を検出) 10 : Highレベルコンパレータとして使用 (High側基準電圧よりも高い入力電圧を検出) 11 : ウィンドウコンパレータとして使用 (Low側基準電圧～High側基準電圧の範囲外の入力電圧を検出)	R/W
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPMD0 レジスタは、コンパレータの使用 / 未使用を設定するレジスタです。

CENn[1:0] ビット (ANn 用コンパレータ選択ビット) (n=000 ~ 002)

各コンパレータの使用 / 未使用、および動作モードを設定します。

34.2.14 コンパレータ動作モード選択レジスタ 1 (ADCMPMD1)

アドレス S12AD: ADCMPMD1 0008 90E2h
S12AD1: ADCMPMD1 0008 91E2h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	VSELL 0	VSELH 0	CSEL0	—	REFH[2:0]		—	REFL[2:0]			
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	REFL[2:0]	コンパレータ Low 側基準電圧用内部電圧選択ビット	b2 b1 b0 0 0 0 : 無効 0 0 1 : AVCC0×1/8 0 1 0 : AVCC0×2/8 0 1 1 : AVCC0×3/8 1 0 0 : AVCC0×4/8 1 0 1 : AVCC0×5/8 1 1 0 : AVCC0×6/8 1 1 1 : AVCC0×7/8	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	REFH[2:0]	コンパレータ High 側基準電圧用内部電圧選択ビット	b6 b5 b4 0 0 0 : 無効 0 0 1 : AVCC0×1/8 0 1 0 : AVCC0×2/8 0 1 1 : AVCC0×3/8 1 0 0 : AVCC0×4/8 1 0 1 : AVCC0×5/8 1 1 0 : AVCC0×6/8 1 1 1 : AVCC0×7/8	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CSEL0	コンパレータ入力選択ビット	0 : プログラマブルゲインアンプ増幅前の信号をコンパレータ入力として使用 1 : プログラマブルゲインアンプ増幅後の信号をコンパレータ入力として使用	R/W
b9	VSELH0	コンパレータ High 側基準電圧選択ビット	0 : AN103 端子から High 側基準電圧を入力 1 : REFH[2:0] ビットで選択された内部電圧を High 側基準電圧に入力	R/W
b10	VSELL0	コンパレータ Low 側基準電圧選択ビット	0 : AN003 端子から Low 側基準電圧を入力 1 : REFL[2:0] ビットで選択された内部電圧を Low 側基準電圧に入力	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPMD1 レジスタは、コンパレータの入力および基準電圧を設定するレジスタです。

REFL[2:0] ビット (コンパレータ Low 側基準電圧用内部電圧選択ビット)

コンパレータ Low 側基準電圧に内部電圧を使用する場合の電圧値を設定します。

電圧値の設定可能範囲は、使用条件で異なりますので、

「42. 電気的特性【144/120/112/100ピン版】」の REFL 電圧範囲を参照してください。

CSEL0 ビット (AN000 ~ AN002、AN100 ~ AN102 用コンパレータ入力選択ビット)

AN000 ~ AN002、AN100 ~ AN102 用コンパレータの入力を選択します。

REFH[2:0] ビット (コンパレータ High 側基準電圧用内部電圧選択ビット)

コンパレータ High 側基準電圧に内部電圧を使用する場合の電圧値を設定します。

電圧値の設定可能範囲は、使用条件で異なりますので、

「42. 電気的特性【144/120/112/100ピン版】」の REFH 電圧範囲を参照してください。

VSELH0 ビット (コンパレータ High 側基準電圧選択ビット)

コンパレータの High 側基準電圧の入力方法を設定します。

VSELL0 ビット (コンパレータ Low 側基準電圧選択ビット)

コンパレータの Low 側基準電圧の入力方法を設定します。

34.2.15 コンパレータフィルタモードレジスタ 0 (ADCMPNR0)

アドレス S12AD: ADCMPNR0 0008 90E4h
S12AD1: ADCMPNR0 0008 91E4h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	C002NR[3:0]			C001NR[3:0]			C000NR[3:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	C000NR[3:0]	AN000/ AN100用コンパレータ ノイズキャンセルフィルタ モード選択ビット	b3 b0 0000: コンパレータ検出結果をサンプリングしない 1000: コンパレータ検出結果をPCLKで16回サンプリング 1001: コンパレータ検出結果をPCLK/2で16回サンプリング 1010: コンパレータ検出結果をPCLK/4で16回サンプリング 1011: コンパレータ検出結果をPCLK/8で16回サンプリング 1100: コンパレータ検出結果をPCLK/16で16回サンプリング 1101: コンパレータ検出結果をPCLK/128で16回サンプリング 上記以外は設定しないでください	R/W
b7-b4	C001NR[3:0]	AN001/ AN101用コンパレータ ノイズキャンセルフィルタ モード選択ビット	b7 b4 0000: コンパレータ検出結果をサンプリングしない 1000: コンパレータ検出結果をPCLKで16回サンプリング 1001: コンパレータ検出結果をPCLK/2で16回サンプリング 1010: コンパレータ検出結果をPCLK/4で16回サンプリング 1011: コンパレータ検出結果をPCLK/8で16回サンプリング 1100: コンパレータ検出結果をPCLK/16で16回サンプリング 1101: コンパレータ検出結果をPCLK/128で16回サンプリング 上記以外は設定しないでください	R/W
b11-b8	C002NR[3:0]	AN002/ AN102用コンパレータ ノイズキャンセルフィルタ モード選択ビット	b11 b8 0000: コンパレータ検出結果をサンプリングしない 1000: コンパレータ検出結果をPCLKで16回サンプリング 1001: コンパレータ検出結果をPCLK/2で16回サンプリング 1010: コンパレータ検出結果をPCLK/4で16回サンプリング 1011: コンパレータ検出結果をPCLK/8で16回サンプリング 1100: コンパレータ検出結果をPCLK/16で16回サンプリング 1101: コンパレータ検出結果をPCLK/128で16回サンプリング 上記以外は設定しないでください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPNR0 レジスタは、コンパレータの検出結果用ノイズフィルタの動作を設定するレジスタです。

CnNR[3:0] ビット (ANn 用コンパレータノイズキャンセルフィルタモード選択ビット) (n=000 ~ 002)

ANn 用コンパレータの検出結果用ノイズフィルタの動作を設定します。コンパレータ検出結果を設定された条件でサンプリングし、全て検出だった場合、ADCMPFR.CnFLAG フラグをセットします。このとき、ADCMPSEL レジスタの設定により、コンパレータ割り込み (CMP0 ~ CMP2, CMP4 ~ CMP6)、および、ポートアウトプットイネーブル 3 (POE3) の起動を要求することができます。

34.2.16 コンパレータ検出フラグレジスタ (ADCMPFR)

アドレス S12AD: ADCMPFR 0008 90E8h
S12AD1: ADCMPFR 0008 91E8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	C002FL AG	C001FL AG	C000FL AG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C000FLAG	AN000/ AN100用 コンパレータ検出フラグ	0 : コンパレータ未検出 1 : コンパレータ検出	R/(W) (注1)
b1	C001FLAG	AN001/ AN101用 コンパレータ検出フラグ	0 : コンパレータ未検出 1 : コンパレータ検出	R/(W) (注1)
b2	C002FLAG	AN002/ AN102用 コンパレータ検出フラグ	0 : コンパレータ未検出 1 : コンパレータ検出	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。C000FLAGビット、C001FLAGビットまたはC002FLAGビットをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書き込んでください。

ADCMPFR レジスタは、各コンパレータの検出 / 未検出状態を示すフラグレジスタです。

CnFLAG フラグ (ANn 用コンパレータ検出フラグ) (n=000 ~ 002)

各コンパレータの検出 / 未検出状態を示すフラグレジスタです。

〔“1”になる条件〕

- Low 側基準電圧よりも高い入力電圧から低い入力電圧への変化を検知した時
- High 側基準電圧よりも低い入力電圧から高い入力電圧への変化を検知した時

〔“0”になる条件〕

- ソフトウェアで“0”を書いたとき

34.2.17 コンパレータ割り込み選択レジスタ (ADCMPSSEL)

アドレス S12AD: ADCMPSEL 0008 90EAh
S12AD1: ADCMPSEL 0008 91EAh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	POERQ002	POERQ001	POERQ000	—	—	—	—	—	IE002	IE001	IE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IE000	AN000/ AN100用コンパレータ検出割り込み (CMP0/CMP4) 許可ビット	0: 割り込み発生を禁止 1: 割り込み発生を許可	R/W
b1	IE001	AN001/ AN101用コンパレータ検出割り込み (CMP1/CMP5) 許可ビット	0: 割り込み発生を禁止 1: 割り込み発生を許可	R/W
b2	IE002	AN002/ AN102用コンパレータ検出割り込み (CMP2/CMP6) 許可ビット	0: 割り込み発生を禁止 1: 割り込み発生を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	POERQ000	AN000/ AN100用コンパレータ検出POE要求設定ビット	0: AN000/ AN100用コンパレータ検出時のPOE要求発生を禁止 1: AN000/ AN100用コンパレータ検出時のPOE要求発生を許可	R/W
b9	POERQ001	AN001/ AN101用コンパレータ検出POE要求設定ビット	0: AN001/ AN101用コンパレータ検出時のPOE要求発生を禁止 1: AN001/ AN101用コンパレータ検出時のPOE要求発生を許可	R/W
b10	POERQ002	AN002/ AN102用コンパレータ検出POE要求設定ビット	0: AN002/ AN102用コンパレータ検出時のPOE要求発生を禁止 1: AN002/ AN102用コンパレータ検出時のPOE要求発生を許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPSSELは、コンパレータ検出フラグをCPU割り込み要因、POE要因として使用するために設定するレジスタです。

IE_n ビット (n = 000 ~ 002) (AN_n 用コンパレータ検出割り込み許可ビット)

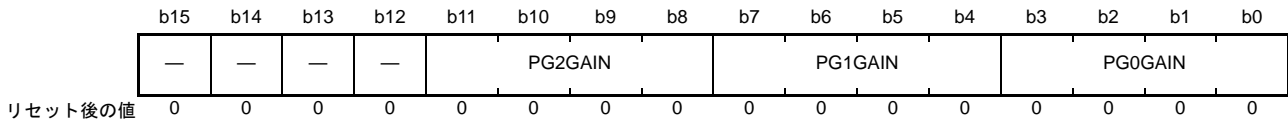
各コンパレータ検出による割り込み (CMP0 ~ CMP2, CMP4 ~ CMP6) の発生を禁止 / 許可します。

POERQ_n ビット (n = 000 ~ 002) (AN_n 用コンパレータ検出 POE 要求設定ビット)

各コンパレータ検出による POE 要求の発生を禁止 / 許可します。POE 要求は POERQ_n ビットで選択されたコンパレータ検出の論理和となります。

34.2.18 A/D プログラマブルゲインアンプレジスタ (ADPG)

アドレス S12AD: ADPG 0008 908Ah
S12AD1: ADPG 0008 918Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	PG0GAIN	プログラマブルゲインアンプ0 ゲイン選択ビット	b3 b0 0000 : x2.0 0001 : x2.5 0010 : 設定しないでください 0011 : 設定しないでください 0100 : x3.077 0101 : 設定しないでください 0110 : x3.636 0111 : x4.0 1000 : x4.444 1001 : x5.0 1010 : x5.714 1011 : x6.667 1100 : 設定しないでください 1101 : x10.0 1110 : x13.333 1111 : 設定しないでください	R/W
b7-b4	PG1GAIN	プログラマブルゲインアンプ1 ゲイン選択ビット	b7 b4 0000 : x2.0 0001 : x2.5 0010 : 設定しないでください 0011 : 設定しないでください 0100 : x3.077 0101 : 設定しないでください 0110 : x3.636 0111 : x4.0 1000 : x4.444 1001 : x5.0 1010 : x5.714 1011 : x6.667 1100 : 設定しないでください 1101 : x10.0 1110 : x13.333 1111 : 設定しないでください	R/W
b11-b8	PG2GAIN	プログラマブルゲインアンプ2 ゲイン選択ビット	b11 b8 0000 : x2.0 0001 : x2.5 0010 : 設定しないでください 0011 : 設定しないでください 0100 : x3.077 0101 : 設定しないでください 0110 : x3.636 0111 : x4.0 1000 : x4.444 1001 : x5.0 1010 : x5.714 1011 : x6.667 1100 : 設定しないでください 1101 : x10.0 1110 : x13.333 1111 : 設定しないでください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。	R

PG0GAIN ビット (AN000, AN100 用プログラマブルゲインアンプ ゲイン選択ビット)

PG1GAIN ビット (AN001, AN101 用プログラマブルゲインアンプ ゲイン選択ビット)

PG2GAIN ビット (AN002, AN102 用プログラマブルゲインアンプ ゲイン選択ビット)

プログラマブルゲインアンプのゲインを設定します。

34.2.19 A/D グループスキャン優先モードレジスタ (ADGSPMR)

アドレス S12AD: ADGSPMR 0008 90FCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PGSC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	PGSC	グループA優先制御時クロック周波数設定ビット	0 : グループA優先制御動作時のPCLKとADCLKの周波数比が2:1か1:1 1 : グループA優先制御動作時のPCLKとADCLKの周波数比が4:1以上	R/W

ADGSPMR は常に 16 ビット単位でアクセスしてください。

34.3 動作説明

34.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、1 サイクルスキャンモードと連続スキャンモードとグループスキャンモードの3種類の動作モードがあります。1 サイクルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを“0” (“1”の状態から“0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択したトリガで開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ1回ずつ実施して終了するモードです。

1 サイクルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA レジスタで選択した ANn の n が小さい番号順から、グループ B が ADANSB レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

ダブルトリガモードは、1サイクルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[5:0] ビットで選択した、MTU3、GPTからのトリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換データを2重化します。

ADSHCR.SHANS[2:0] ビットで AN000 ~ AN002 または AN100 ~ AN102 のいずれかをチャンネル専用サンプル&ホールド回路使用に設定すると、スキャンごとに最初のA/D変換開始前に対象となるアナログ入力のサンプル&ホールドを行います。

34.3.2 1 サイクルスキャンモード

34.3.2.1 基本動作 (チャンネル専用サンプル&ホールドなし)

1 サイクルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガ (MTU3、GPT) または非同期トリガ入力によって、ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSAレジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了によるS12ADI割り込み許可) に設定されていると、S12ADI割り込み要求を発生します。
- (4) ADSTビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

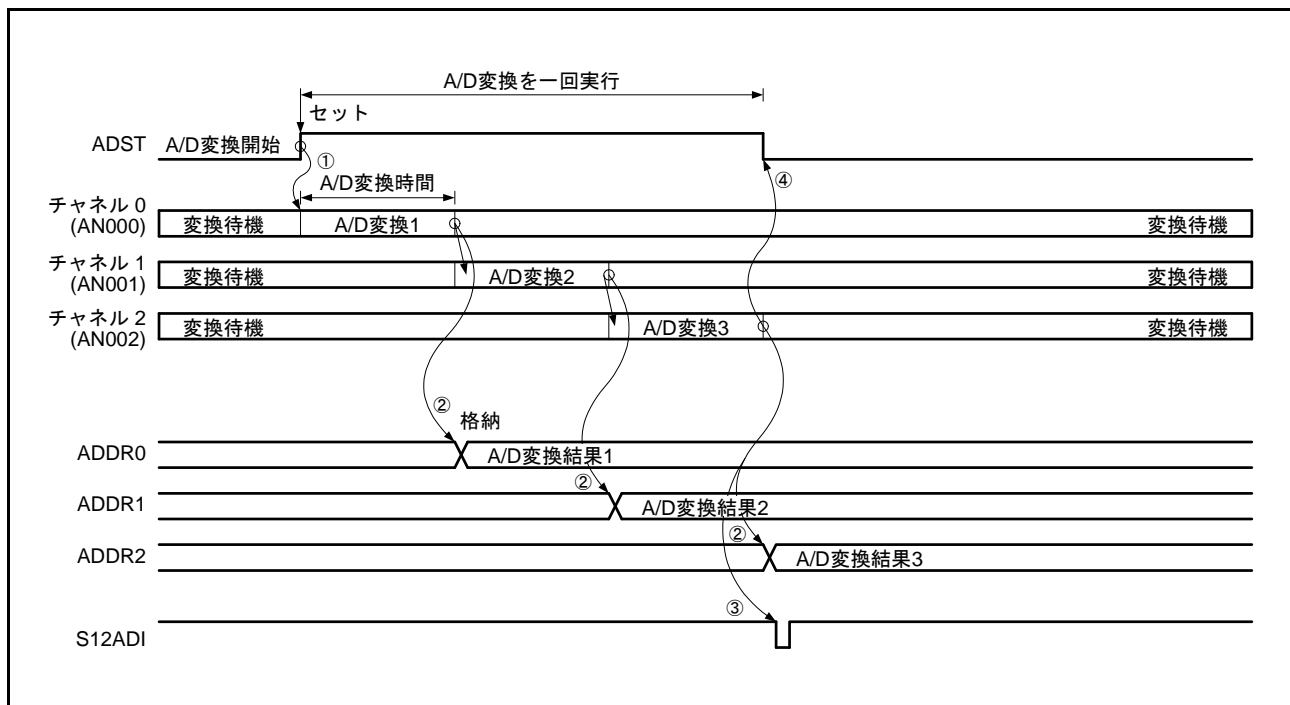


図 34.3 1 サイクルスキャンモードの動作例 (基本動作 : AN000 ~ AN002 選択)

34.3.2.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に選択したすべてのチャンネルのアナログ入力を1回のみA/D変換します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで選択します。

- (1) ソフトウェア、同期トリガ (MTU3、GPT) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSAレジスタで選択したチャンネル ANn の n が小さい番号順に A/D変換を開始します。
- (3) チャンネルの A/D変換が終了すると、A/D変換結果は対応する A/Dデータレジスタ (ADDRy) へ格納されます。
- (4) 選択されたすべてのチャンネルの A/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求が発生します。
- (5) ADST ビットは A/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルの A/D変換が終了すると自動的にクリアされ、12ビット A/Dコンバータは待機状態になります。

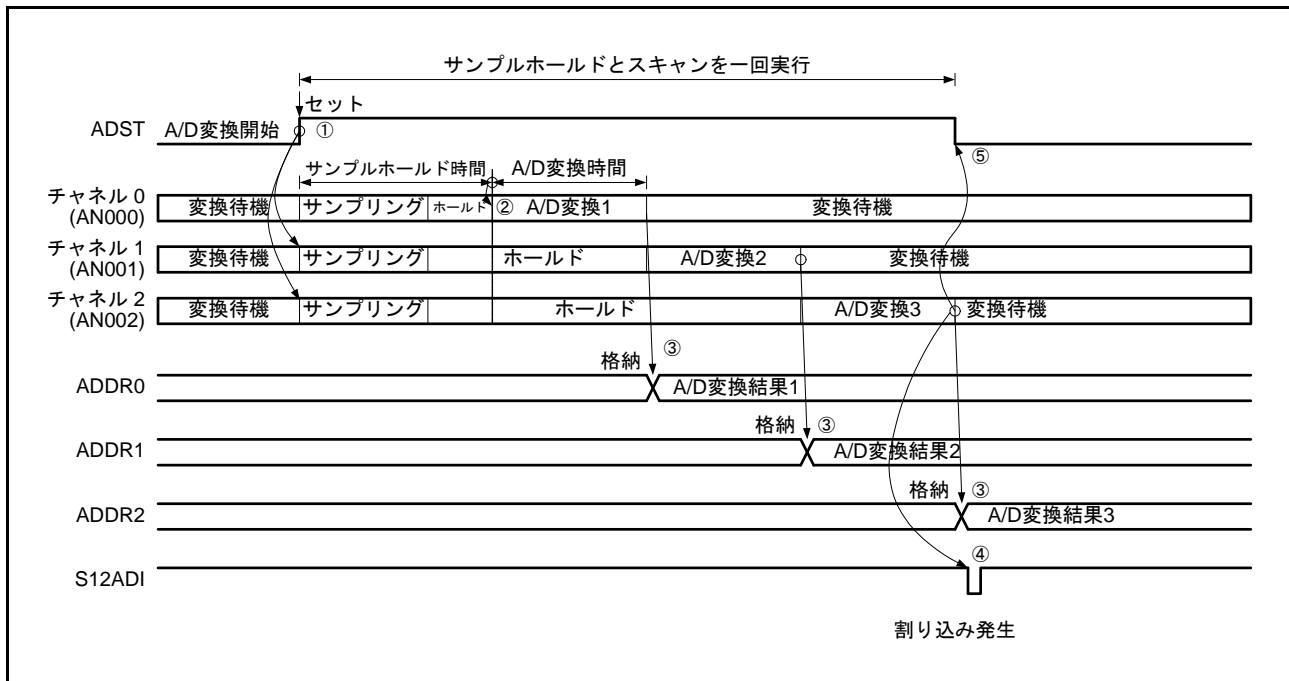


図 34.4 1 サイクルスキャンモードの動作例 (チャンネル専用サンプル & ホールド回路あり)

34.3.2.3 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)

チャンネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧VREFH0 (×0、×1/2、×1のいずれか)のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェア、同期トリガ (MTU3、GPT) または非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始)になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD)に格納され、次にADANSAレジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy)へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるS12ADI割り込み許可)に設定されていれば、S12ADI割り込み要求を発生します。
- (5) ADSTビットはA/D変換中は“1” (A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

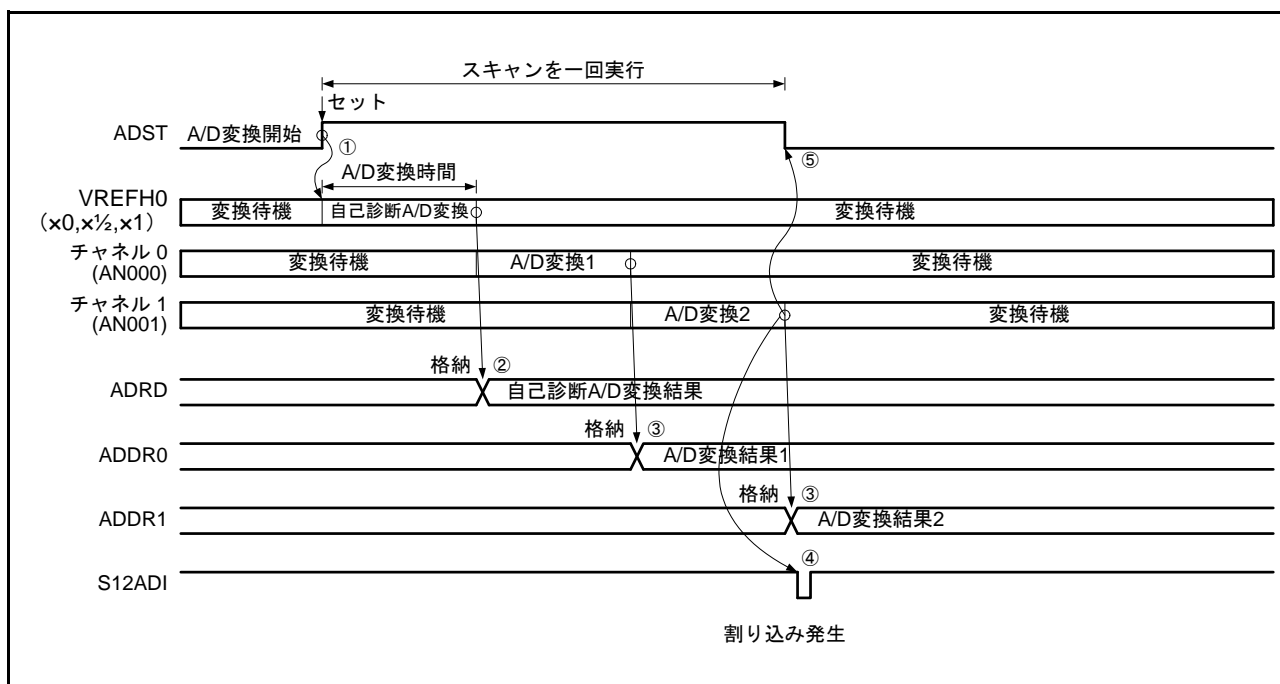


図 34.5 1 サイクルスキャンモードの動作例 (基本動作+自己診断)

34.3.2.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)

チャンネル選択と共に自己診断を選択し、チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に12ビットA/Dコンバータに供給される基準電圧VREFH0 (×0、×1/2、×1のいずれか)のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェア、同期トリガ (MTU3、GPT) または非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に自己診断でのA/D変換を開始します。
- (3) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSAレジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (4) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (5) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるS12ADI割り込み許可) に設定されていると、S12ADI割り込み要求を発生します。
- (6) ADSTビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

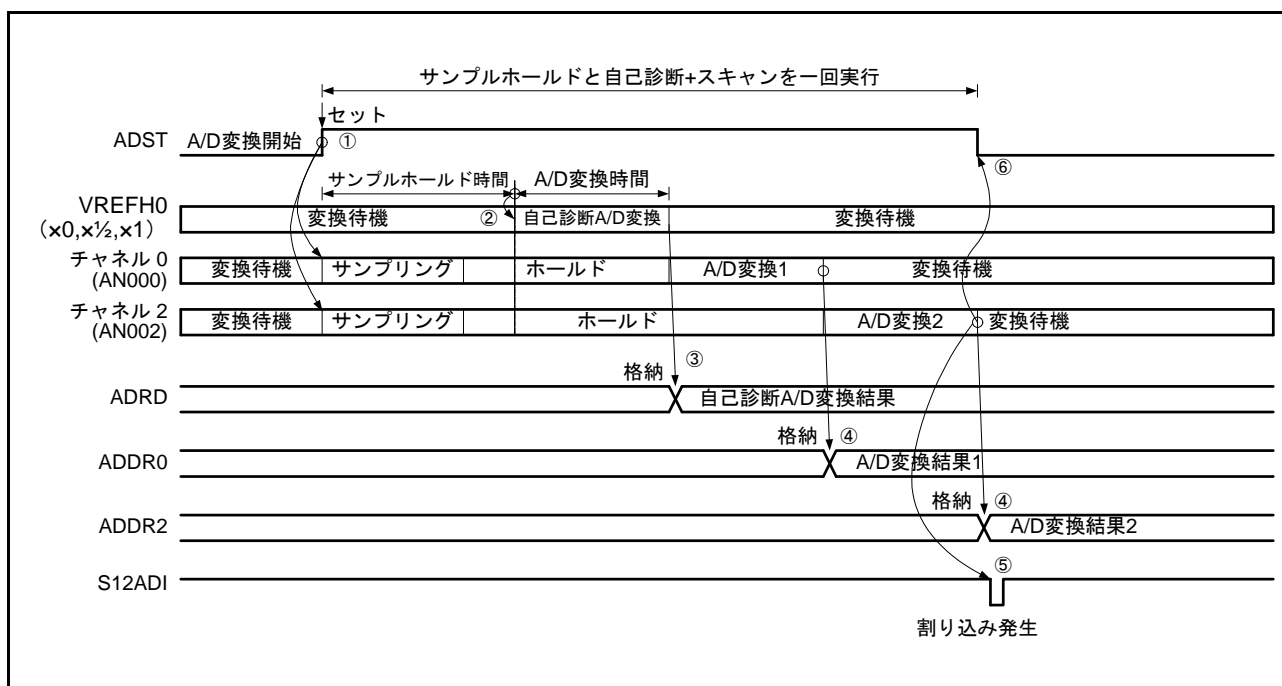


図 34.6 1 サイクルスキャンモードの動作例 (チャンネル専用サンプル&ホールド回路あり+自己診断)

34.3.2.5 ダブルトリガモード選択時の動作

1 サイクルスキャンモードでダブルトリガモードを選択した場合は、以下のように MTU3、GPT からのトリガで開始する 1 サイクルスキャンモードの実行 2 回分を一連の動作として制御します。

自己診断は非選択としてください。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで MTU3、GPT からのトリガを選択し、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) MTU3、GPT からのトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) に設定されると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
- (3) ADST ビットは自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了による S12ADI 割り込み許可) の設定に関わらず、S12ADI 割り込みは発生しません。
- (4) 2 回目のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ 2 重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていれば、S12ADI 割り込み要求が発生します。
- (7) ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

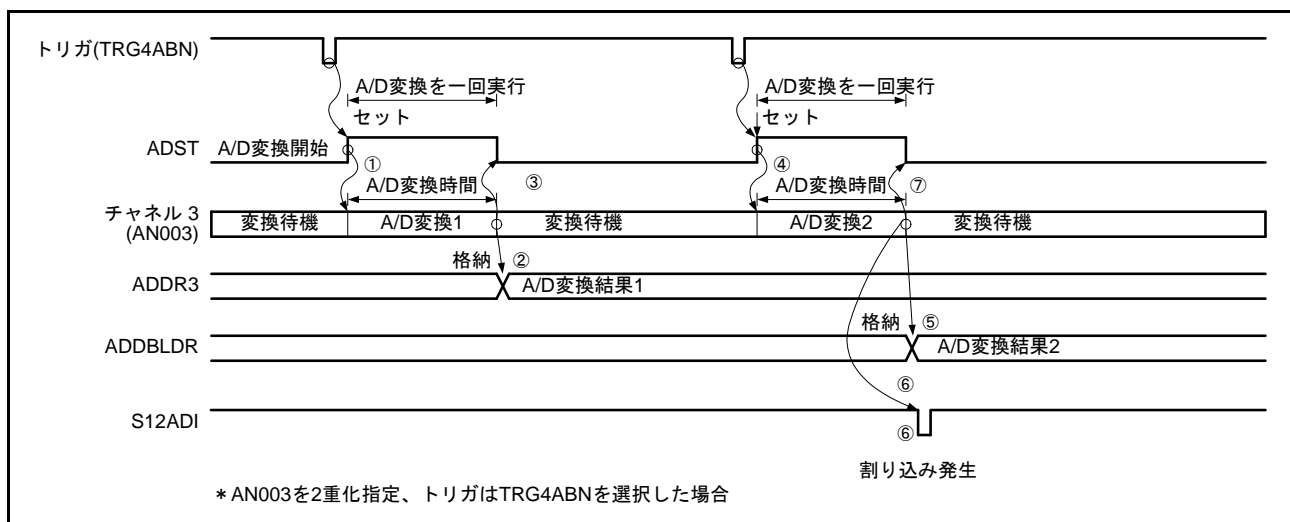


図 34.7 1 サイクルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を 2 重化)

34.3.2.6 ダブルトリガモード選択時の拡張動作

1 サイクルスキャンモードでダブルトリガモードを選択した場合で、A/D 変換開始トリガとして同期トリガの TRGnAN または TRGnBN (n=4, 7) を選択 (ADSTRGR.TRSA[5:0] に “0Bh”、“0Fh” を設定) した場合、もしくは GTADTRAmN または GTADTRBmN (m=0 ~ 7) を選択 (ADSTRGR.TRSA[5:0] に “19h”、“1Ah”、“1Bh”、“1Ch”、“25h”、“26h”、“27h”、“28h” を設定) した場合、ダブルトリガモード選択動作で説明した動作に加えて以下の動作をします。

同期トリガ TRGnAN (n=4, 7)、もしくは GTADTRAmN (m=0 ~ 7) で A/D 変換を開始したときの A/D 変換結果は A/D データ 2 重化レジスタ A (ADDBLDRA) に格納されます。また同期トリガ TRGnBN (n=4, 7)、もしくは GTADTRBmN (m=0 ~ 7) で A/D 変換を開始したときの A/D 変換結果は A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。このように同期トリガ要因と格納レジスタが対応しており、トリガ入力順によらず対応する格納レジスタに A/D 変換結果が格納されます。並行して、トリガ入力順に応じて対応する A/D データレジスタ (ADDRy)、および A/D データ 2 重化レジスタ (ADDBLDR) にも A/D 変換結果が格納されます。

ダブルトリガ拡張モードで、TRGnAN または TRGnBN (n=4, 7)、もしくは GTADTRAmN または GTADTRBmN (m=0 ~ 7) を選択時に、2 種類のトリガ要因が同時に発生した場合、トリガ要因による振り分けは実施せず、データ 2 重化レジスタ B (ADDBLDRB) に格納します。

なお、一方のトリガ要因にて A/D 変換を実施中に、他方のトリガ要因が入力された場合、他方のトリガ要因は無視され、現在変換中のトリガ要因による振り分けを実施します。

A/D 変換開始トリガとして同期トリガである TRG4AN または TRG4BN を選択、1 回目のトリガが TRG4AN の場合の動作を説明します。

- (1) TRG4AN 入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) に設定されると、ADCSR.DBLANS[4:0] で選択した 1 チャンネルの A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ A (ADDBLDRA)、および対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) ADST ビットは自動的にクリアされ、A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了による S12ADI 割り込み許可) の設定に依らず、S12ADI 割り込みは発生しません。
- (4) TRG4BN 入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) に設定されると、ADCSR.DBLANS[4:0] で選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ B (ADDBLDRB)、および A/D データ 2 重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが “1” に設定されていると、S12ADI 割り込み要求を発生します。
- (7) ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

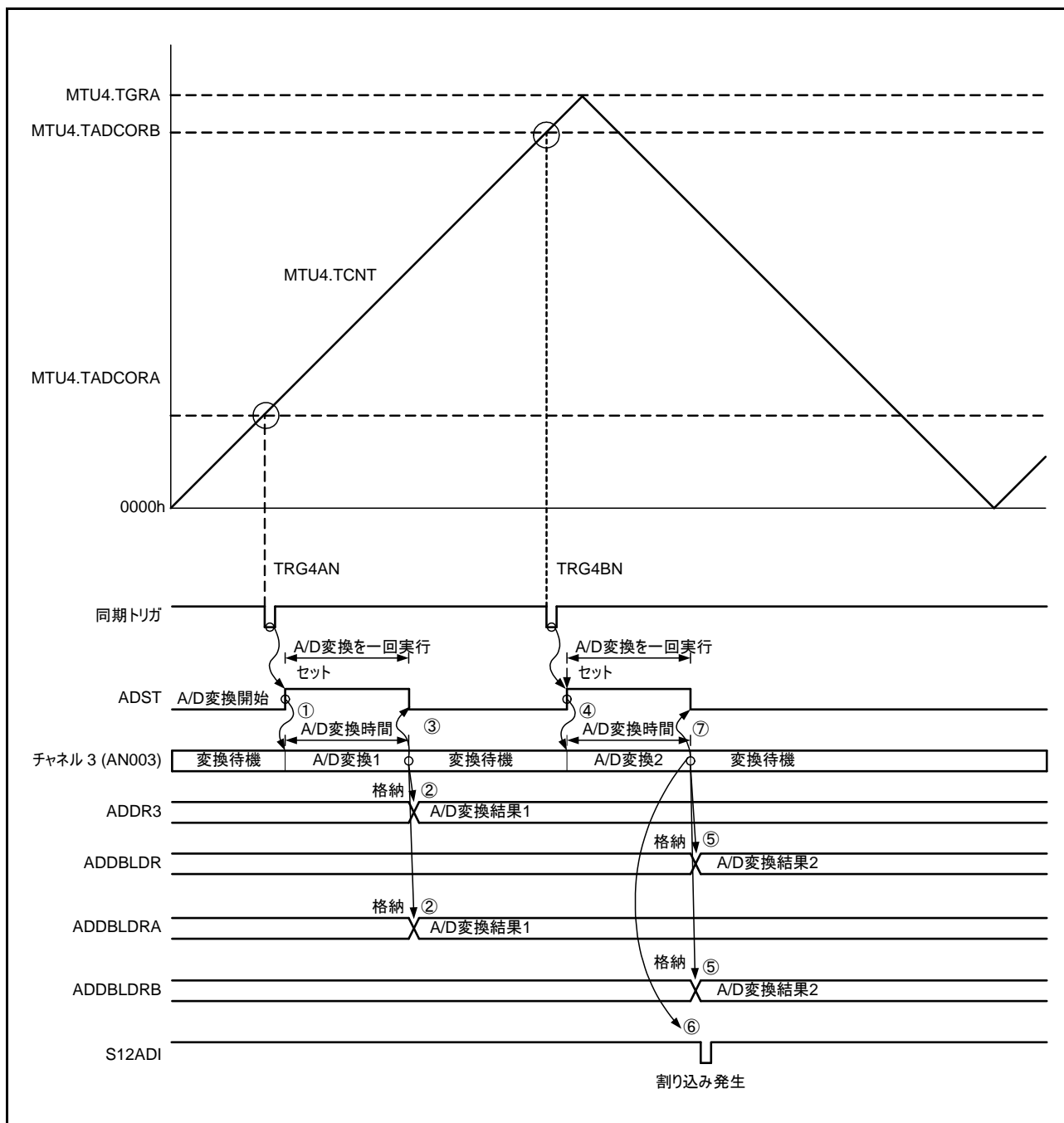


図 34.8 ダブルトリガモードの拡張動作例 (1)
 (AN003 を 2 重化選択、TRG4AN または TRG4BN 選択、1 回目トリガが TRG4AN の場合)

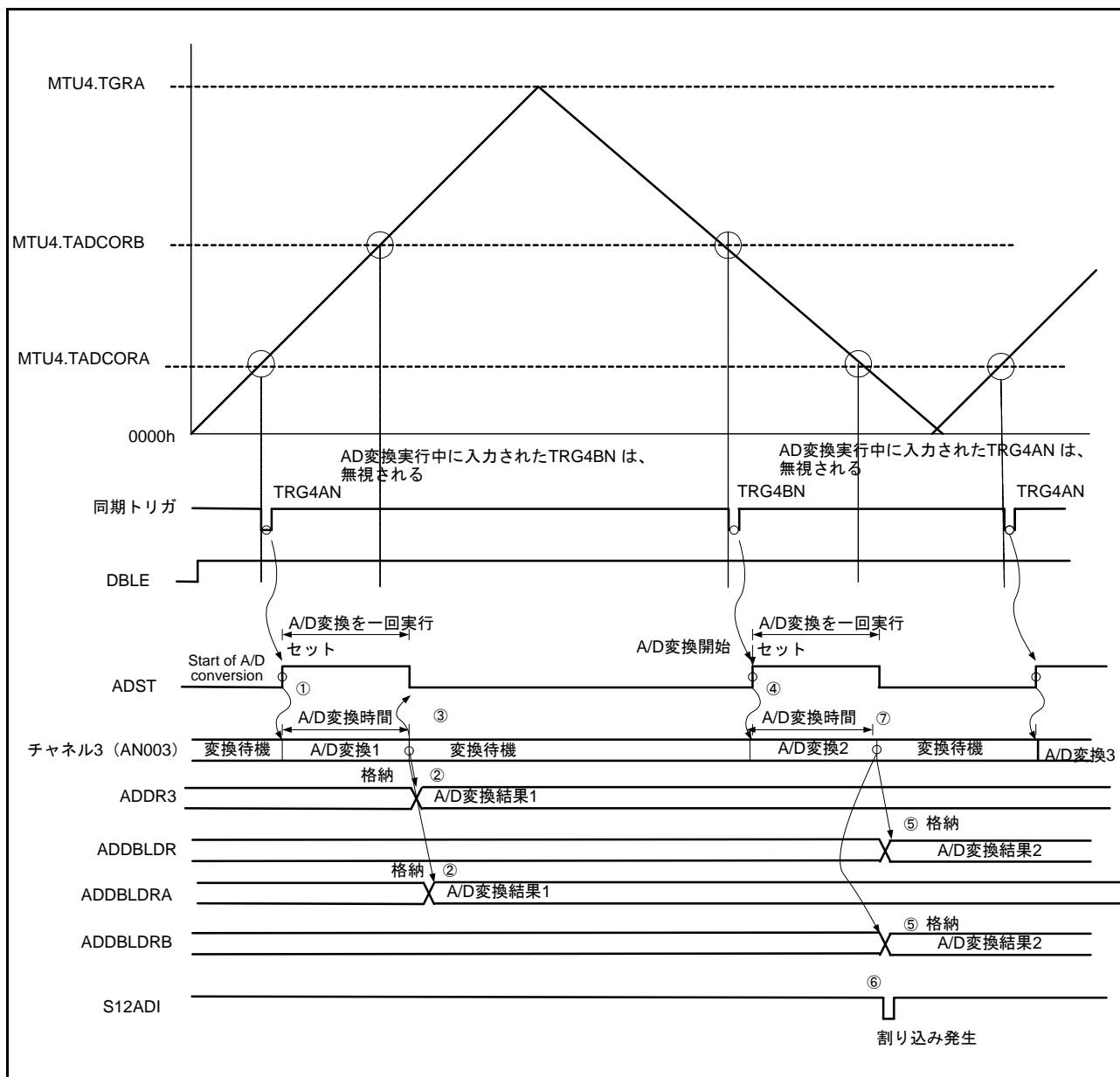


図 34.9 ダブルトリガモードの拡張動作例 (2)
 (AN003 を 2 重化選択、TRG4AN または TRG4BN 選択、1 回目トリガが TRG4AN の場合)

次に、A/D変換開始トリガとして同期トリガである TRG4AN または TRG4BN を選択、1回目のトリガが TRG4BN の場合の動作を説明します。

- (1) TRG4BN 入力によって ADCSR.ADST ビットが“1” (A/D変換開始) に設定されると、ADCSR.DBLANS[4:0] で選択した 1 チャンネルの A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ B (ADDBLDRB)、および対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) ADST ビットは自動的にクリアされ、A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了による S12ADI 割り込み許可) の設定に依らず、S12ADI 割り込みは発生しません。
- (4) TRG4AN 入力によって ADCSR.ADST ビットが“1” (A/D変換開始) に設定されると、ADCSR.DBLANS[4:0] で選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ A (ADDBLDR A)、および A/D データ 2 重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求を発生します。
- (7) ADST ビットは A/D 変換中は“1” (A/D変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

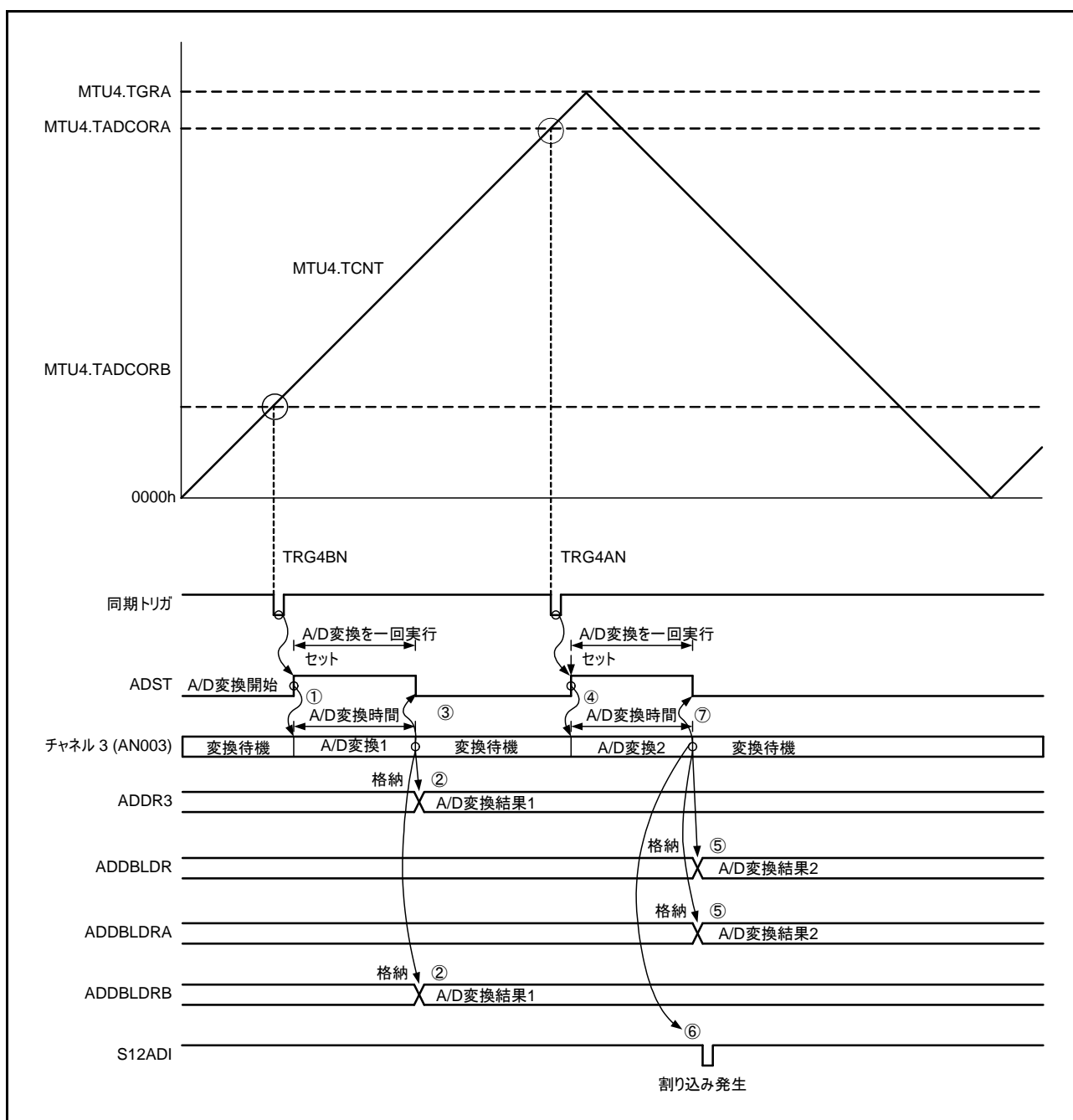


図 34.10 ダブルトリガモードの動作例
 (AN003 を 2 重化選択、TRG4AN または TRG4BN 選択、1 回目トリガが TRG4BN の場合)

次に、A/D変換開始トリガとして同期トリガであるGTADTRA0NまたはGTADTRB0Nを選択、2種類のトリガ要因が同時に発生した場合の動作を説明します。

- (1) 2種類のトリガ要因GTADTRA0N、GTADTRB0Nの1回目の同時入力によって、ADCSR.ADSTビットが“1”(A/D変換開始)に設定されると、ADCSR.DBLANS[4:0]で選択した、グループAの1チャンネルに対し、1回目のA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果はA/Dデータ2重化レジスタB (ADDBLDRB)、および対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) ADSTビットは自動的にクリアされ、A/Dコンバータは待機状態になります。このとき、ADCSR.ADIEビット (スキャン終了によるS12ADI割り込み許可) の設定によらず、S12ADI割り込みは発生しません。
- (4) 2種類のトリガ要因GTADTRA0N、GTADTRB0Nの2回目の同時入力によって、ADCSR.ADSTビットが“1”(A/D変換開始)に設定されると、ADCSR.DBLANS[4:0]で選択した、グループAの1チャンネルに対し、2回目のA/D変換を開始します。
- (5) A/D変換が終了すると、A/D変換結果はA/Dデータ2重化レジスタB (ADDBLDRB)、およびA/Dデータ2重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIEビットが“1”(S12ADI割り込み許可)に設定されていると、S12ADI割り込み要求が発生します。
- (7) ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、A/D変換が終了すると自動的にクリアされ、A/Dコンバータは待機状態になります。

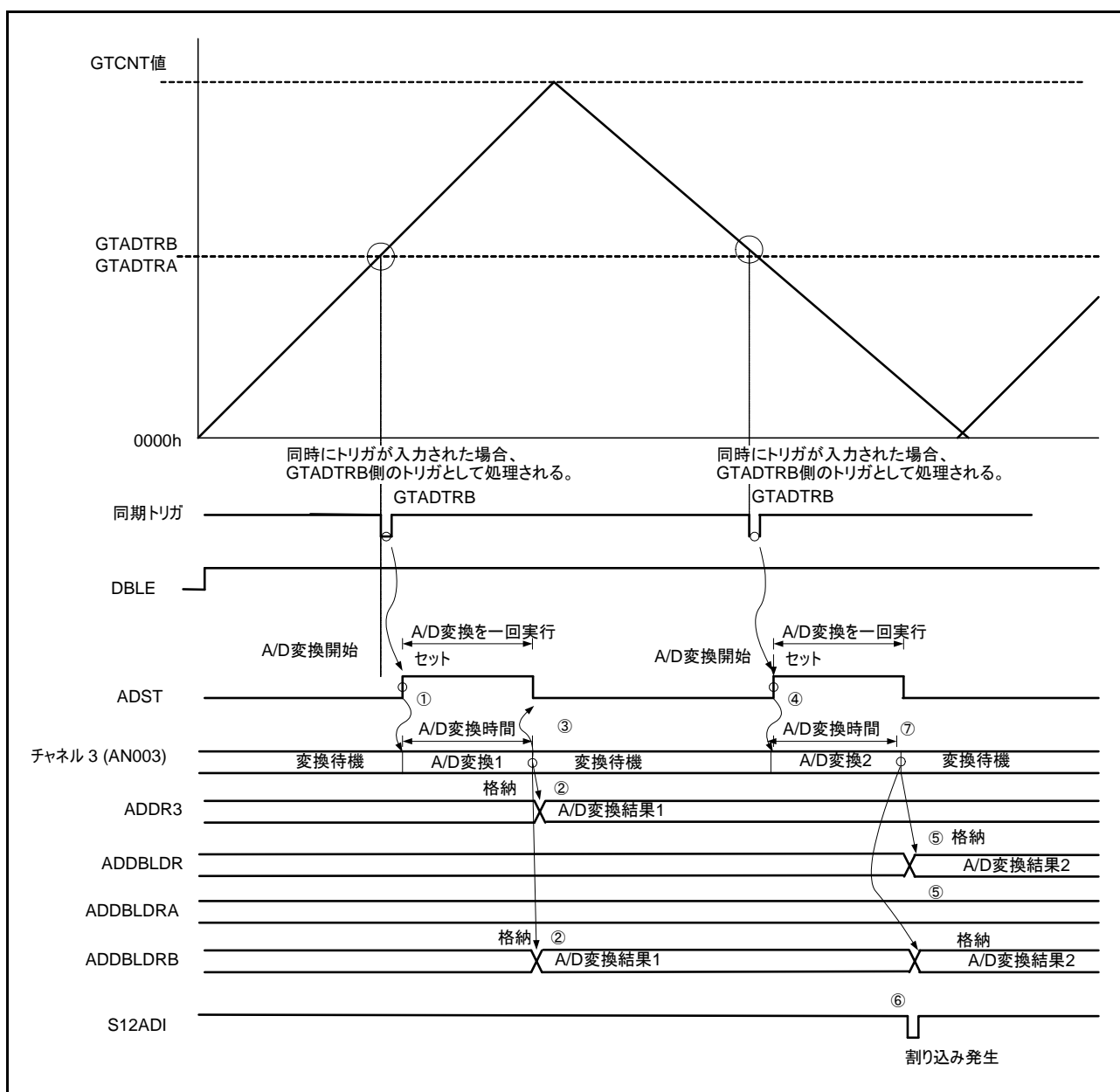


図 34.11 ダブルトリガモードの動作例
 (AN003 を 2 重化選択、GTADTRA0N または GTADTRB0N 選択、2 種類のトリガ要因が同時に発生した場合)

34.3.3 連続スキャンモード

34.3.3.1 基本動作 (チャンネル専用サンプル&ホールドなし)

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

- (1) ソフトウェア、同期トリガ (MTU3、GPT) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSA レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求を発生します。
また 12ビット A/D コンバータは、継続して ADANSA レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- (4) ADST ビットは自動的にクリアされず、“1” (A/D 変換開始) の間は (2) ~ (3) を繰り返します。
ADCSR.ADST ビットを“0” (A/D 変換停止) に設定すると A/D 変換を中止し、12ビット A/D コンバータは待機状態になります。
- (5) その後、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定されると再び ADANSA レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。

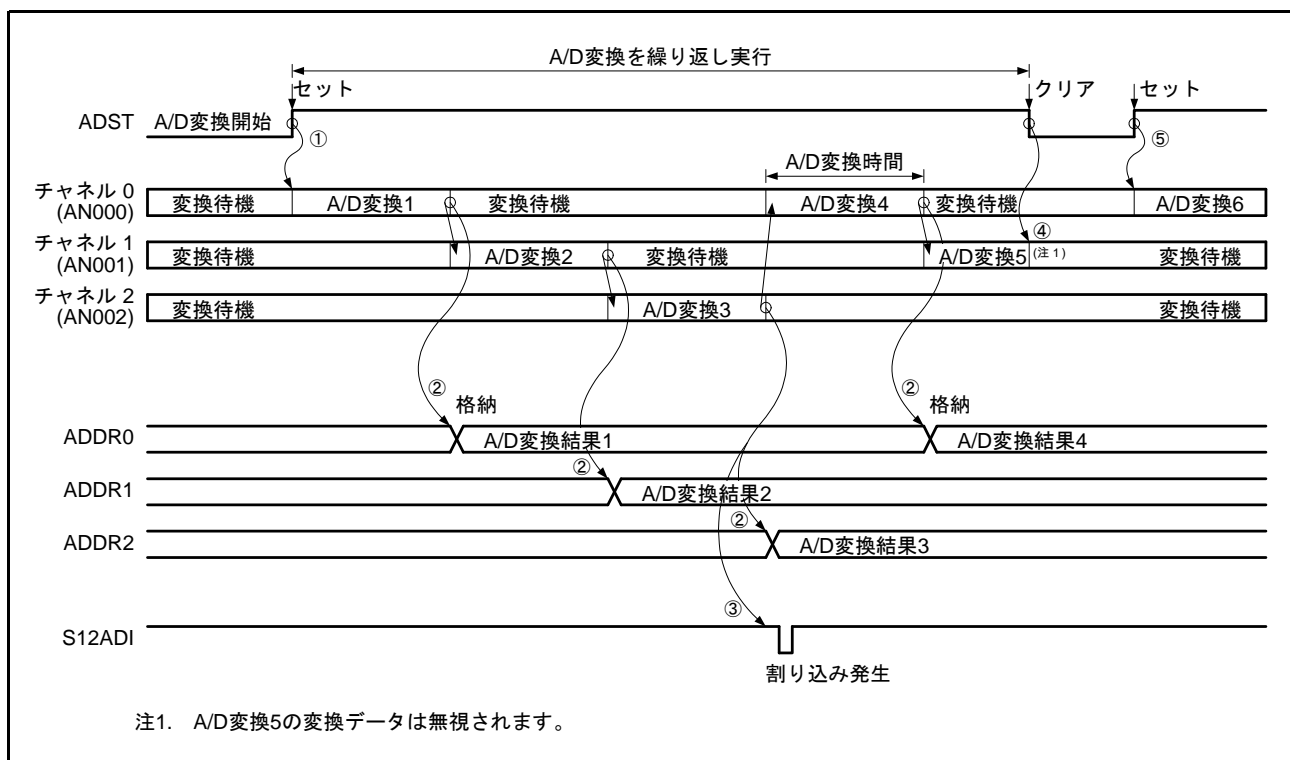


図 34.12 連続スキャンモードの動作例 (基本動作 : AN000 ~ AN002 選択)

34.3.3.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に、選択したすべてのチャンネルのアナログ入力をA/D変換する動作を繰り返します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで選択します。

- (1) ソフトウェア、同期トリガ (MTU3、GPT) 入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSAレジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるS12ADI割り込み許可) に設定されていると、S12ADI割り込み要求が発生します。また、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。
- (5) ADSTビットは自動的にクリアされず、“1”に設定されている間は(2)～(4)を繰り返します。ADSTビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADSTビットが“1” (A/D変換開始) になると、再びチャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。

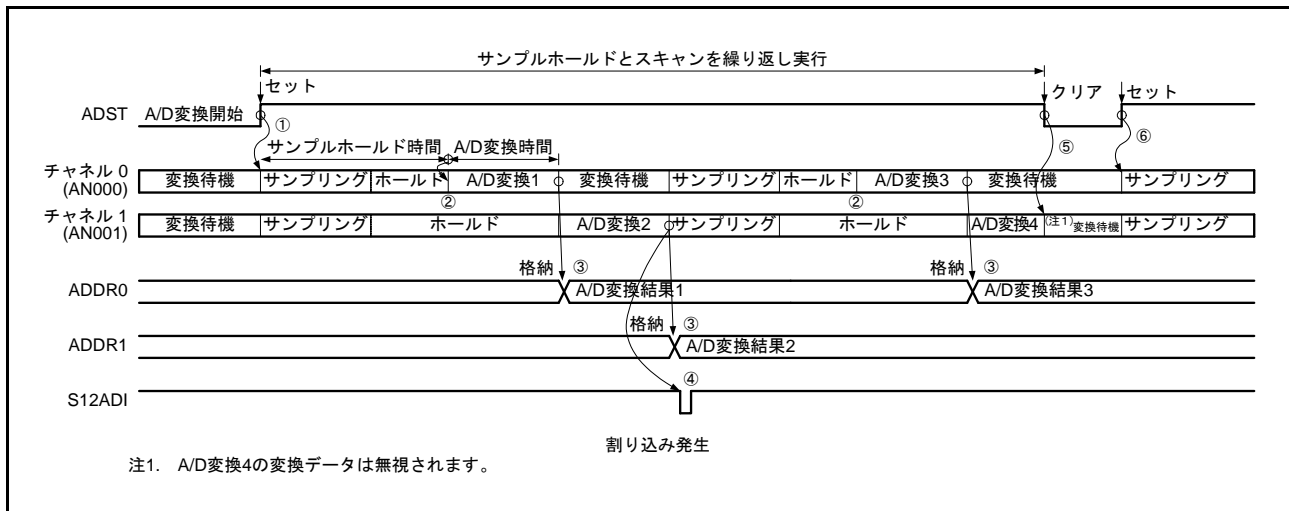


図 34.13 連続スキャンモードの動作例 (チャンネル専用サンプル&ホールド回路あり)

34.3.3.3 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)

チャンネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧VREFH0 (x0、x1/2、x1のいずれか)のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返します。

- (1) ソフトウェア、同期トリガ (MTU3、GPT) または非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始)になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSAレジスタで選択したチャンネルANnのnが小さい順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy)へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるS12ADI割り込み許可) に設定されていれば、S12ADI割り込み要求を発生します。また、12ビットA/Dコンバータは継続して自己診断でのA/D変換を開始し、終了後にADANSAレジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (5) ADSTビットは自動的にクリアされず、“1”に設定されている間は(2)～(4)を繰り返します。ADSTビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADSTビットが“1” (A/D変換開始) に設定されると、再び自己診断でのA/D変換から開始します。

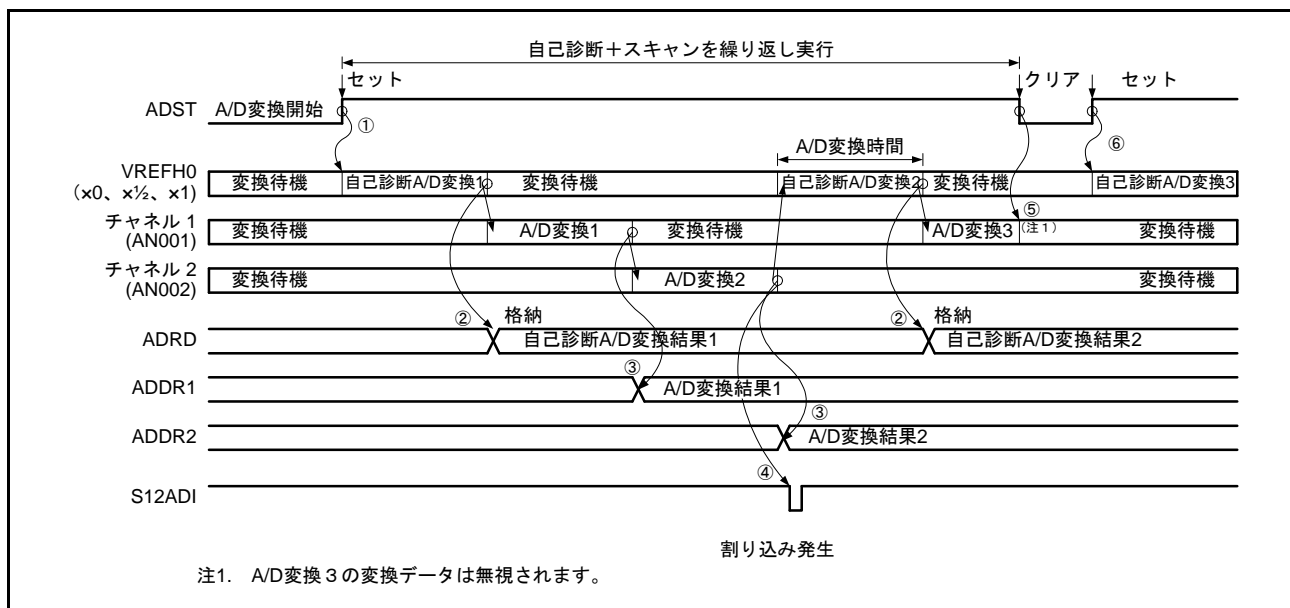


図 34.14 連続スキャンモードの動作 (基本動作+自己診断)

34.3.3.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)

チャンネル選択と共に自己診断を選択し、チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に、12ビットA/Dコンバータに供給される基準電圧VREFH0 (x0, x1/2, x1のいずれか) のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返し行います。

- (1) ソフトウェア、同期トリガ (MTU3、GPT) または非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、自己診断でのA/D変換を開始します。
- (3) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSAレジスタで選択したチャンネルANnのnが小さい順にA/D変換を開始します。
- (4) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (5) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるS12ADI割り込み許可) に設定されていると、S12ADI割り込み要求を発生します。また、チャンネル専用サンプル&ホールド回路を使用する全てのチャンネルのアナログ入力のサンプリングが開始されます。
- (6) ADSTビットは自動的にクリアされず、“1”に設定されている間は(2)～(5)を繰り返します。ADSTビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (7) その後、ADSTビットが“1” (A/D変換開始) に設定されると、再びチャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。

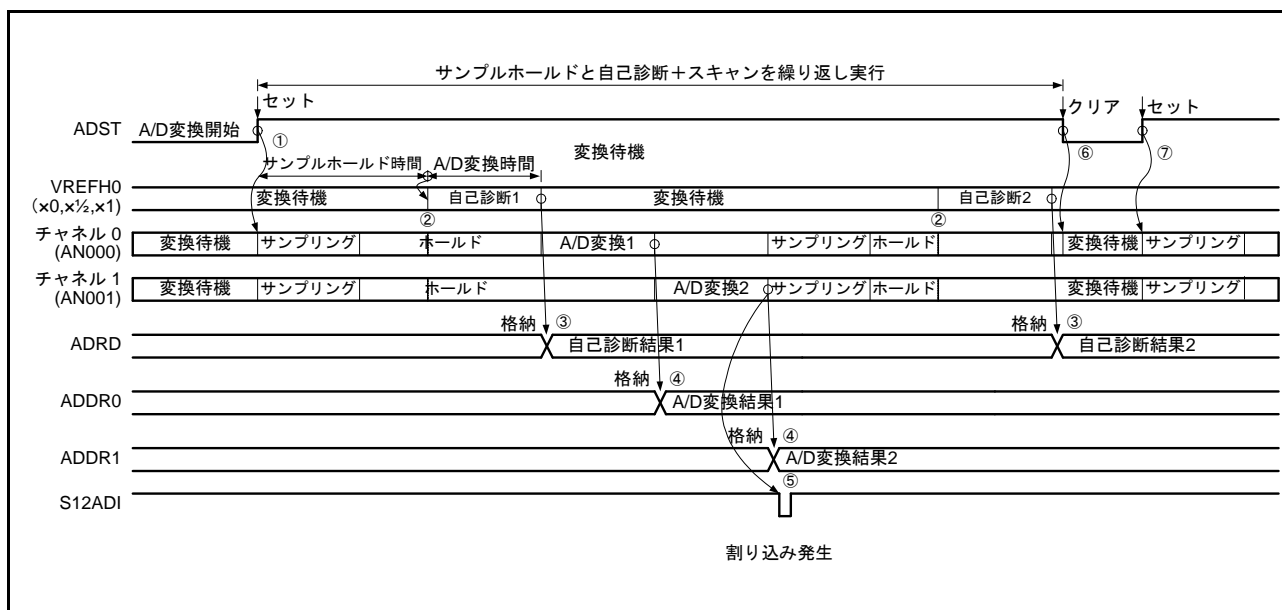


図 34.15 連続スキャンモードの動作 (チャンネル専用サンプル&ホールド回路動作+自己診断)

34.3.4 グループスキャンモード

34.3.4.1 基本動作

グループスキャンモードの基本動作は、MTU3、GPTからのトリガをスキャン開始条件とし、グループAとグループBのそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように1回のみA/D変換します。グループAとグループBのそれぞれのスキャン動作は、1サイクルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループAのトリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループBのトリガを選択します。グループAとグループBのA/D変換が同時に起こらないように、グループAとグループBのトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

A/D変換対象とするチャンネルは、ADANSAレジスタでグループAのチャンネルを選択し、ADANSBレジスタでグループBのチャンネルを選択します。グループAとグループBで同一のチャンネルを選択することはできません。グループBで選択したチャンネルでは、チャンネル専用サンプル&ホールド機能、及びプログラマブルゲインアンプは使用できません。

グループスキャンモードで自己診断を選択した場合は、グループAとグループBそれぞれで自己診断を実施します。

以下にMTU3からのトリガによるグループスキャンモードの動作例を示します。グループAはMTU3からのTRG4ANトリガで変換開始し、グループBはMTU3からのTRG4BNトリガで変換開始する設定です。

- (1) MTU3からのTRG4ANトリガでグループAのスキャンを開始します。
- (2) グループAのスキャン終了時にADCSR.ADIEビットが“1” (S12ADI割り込み許可) に設定されていると、S12ADI割り込みを発生します。
- (3) MTU3からのTRG4BNトリガでグループBのスキャンを開始します。
- (4) グループBのスキャン終了時にADCSR.GBADIEビットが“1” (S12GBADI割り込み許可) に設定されていると、S12GBADI割り込みを発生します。

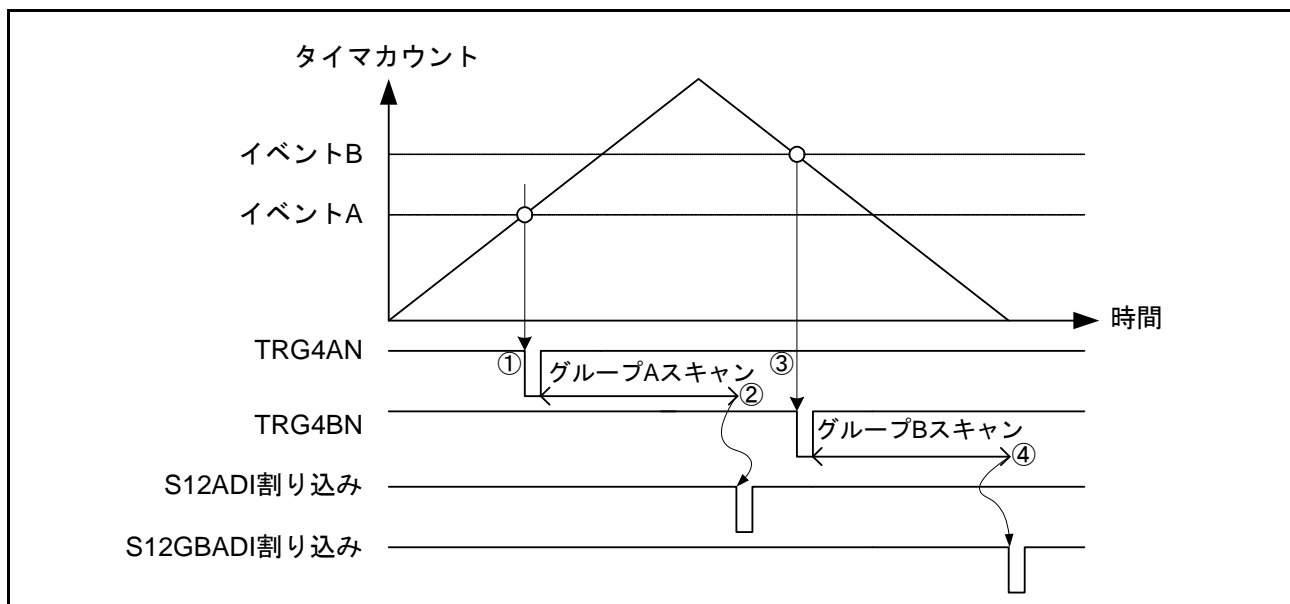


図 34.16 グループスキャンモードの動作 (MTUからのトリガ発生による基本動作)

34.3.4.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は MTU3、GPT からのトリガで開始する 1 サイクルスキャンモードの実行 2 回分を一連の動作として制御します。グループ B は MTU3、GPT からのトリガで開始する 1 サイクルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A のトリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B のトリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガ (ADTRGn#) は使用しないでください。

A/D 変換対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。グループ B で選択したチャンネルでは、チャンネル専用サンプル&ホールド機能、及びプログラマブルゲインアンプは使用できません。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。

以下に MTU3 からのトリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU3 からの TRG4ABN トリガで変換開始し、グループ B は MTU3 からの TRG0AN トリガで変換開始する設定です。

- (1) MTU3 からの TRG0AN トリガでグループ B のスキャンを開始します。
- (2) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1” (S12GBADI 割り込み許可) に設定されていると、S12GBADI 割り込みを発生します。
- (3) MTU3 からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
- (4) グループ A の 1 回目のスキャン終了時は、変換データを ADDRy に格納し、ADCSR.ADIE ビットの設定に関わらず S12ADI 割り込み要求は発生しません。
- (5) MTU3 からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
- (6) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが“1” (S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みを発生します。

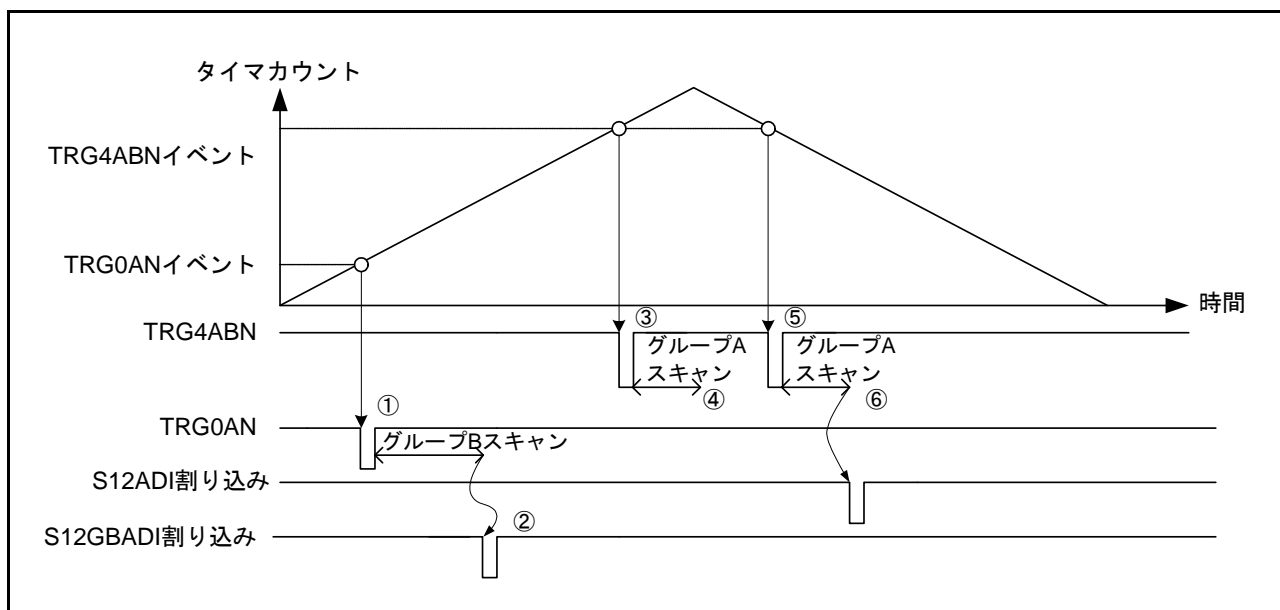


図 34.17 グループスキャンモードでダブルトリガモード選択時の動作 (MTU からのトリガ発生による基本動作)

34.3.4.3 ソフトウェアトリガ使用時の注意事項

ダブルトリガモードでソフトウェアトリガを入力すると、選択したチャンネルのスキャンを行い ADCSR.ADIE ビットが“1” (S12ADI 割り込み許可) に設定されていると、スキャンの1回目、2回目に関係なく S12ADI 割り込みを発生します。また、ソフトウェアトリガによるスキャンの起動が2回目であってもデータの2重化は行われません。図 34.18 にダブルトリガモードでのトリガ起動のスキャンの間にソフトウェアトリガが入力された場合の注意例を示します。

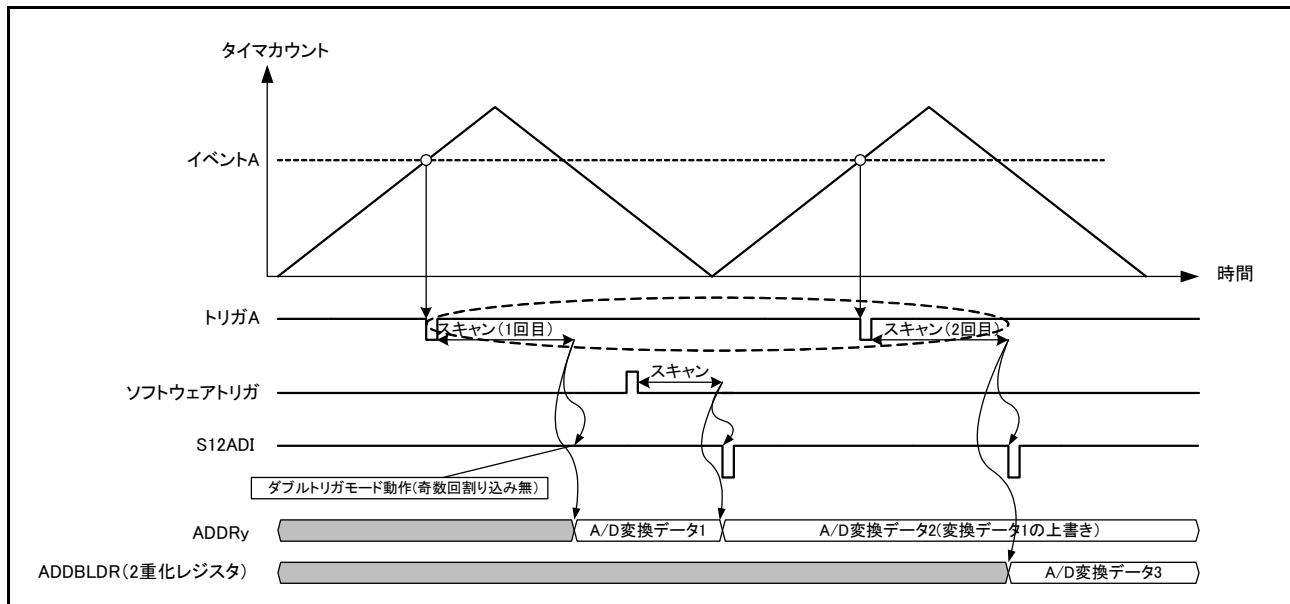


図 34.18 ソフトウェアトリガ使用時のダブルトリガ動作の注意例

34.3.4.4 グループ A 優先制御動作

グループスキャンモードで A/D グループスキャン優先コントロールレジスタ (ADGSPCR) の PGS ビットを“1”にすると、グループ A 優先制御動作を行います。ADPGSCR レジスタの PGS ビットを“1”に設定する際は、図 34.19 に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、もしくはグループ B の A/D 変換動作中に他方のトリガ入力があっても無視されます。グループ A 優先制御動作では、グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断して、グループ A の A/D 変換動作を行います。ADGSPCR.GBRSCN ビットが“0”のときは、グループ A の A/D 変換動作終了後に待機状態となります。ADGSPCR.GBRSCN ビットが“1”のときは、グループ A の A/D 変換動作終了後、自動的にグループ B の A/D 変換動作をスキャン先頭から再開します。ADGSPCR.GBRSCN ビットの設定と A/D 変換動作中のトリガ入力時の動作を表 34.8 に示します。

グループ A とグループ B のスキャン動作は、1 サイクルスキャンモードと同じ動作になります。またグループ B のスキャン動作は、ADGSPCR.GBRP ビットに“1”を設定すると、1 サイクルスキャンを連続して実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSA[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択してください。ADGSPCR.GBRP ビットに“1”を設定する場合は、ADSTRGR.TRSA[5:0] ビットは“3Fh”を設定してください。また A/D 変換対象とするチャンネルは、ADANSA レジスタでグループ A のチャンネルを選択し、ADANSB レジスタでグループ A と異なるグループ B のチャンネルを選択してください。

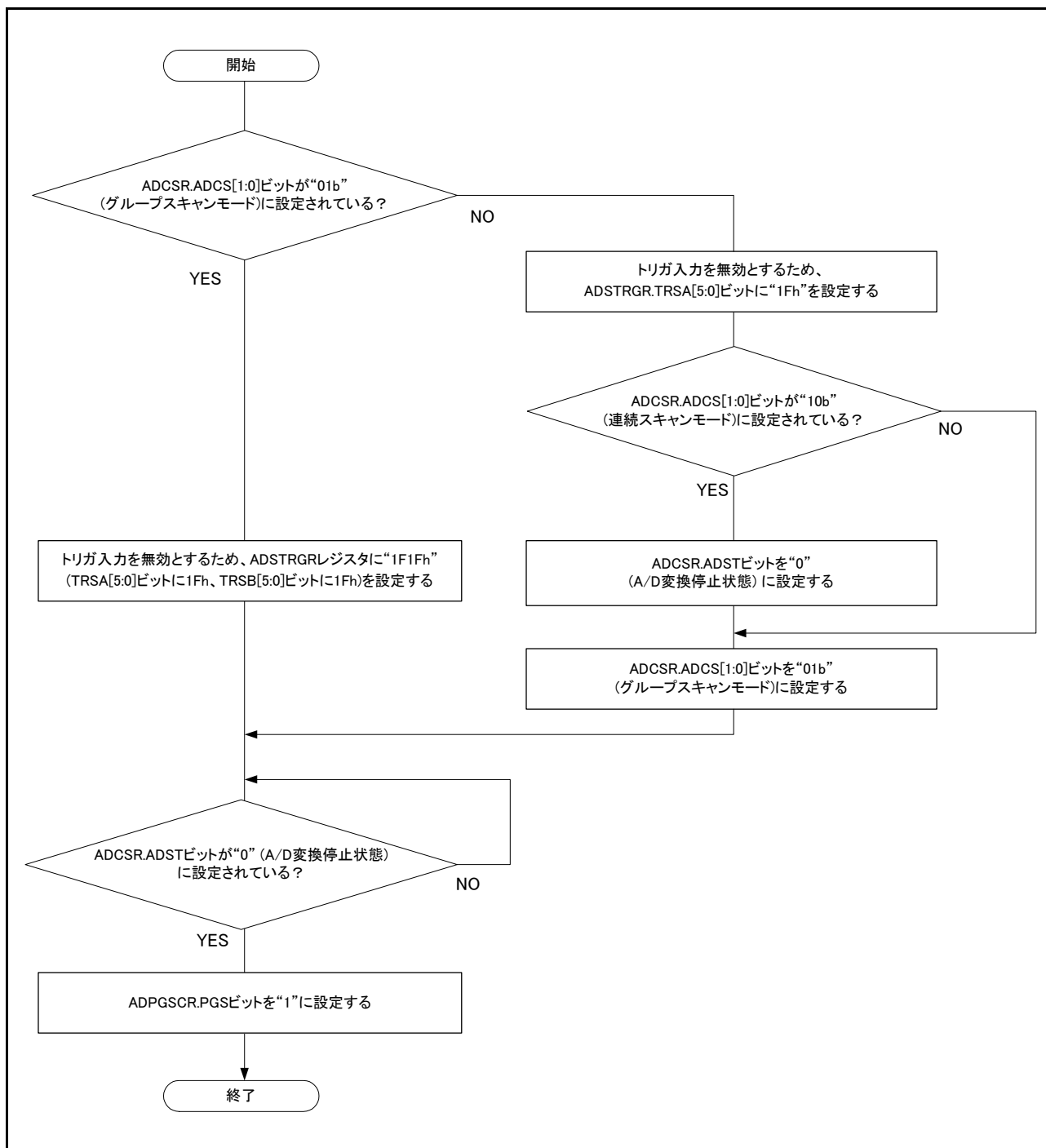


図 34.19 ADPGSCR.PGS ビット設定時のフロー

表34.8 ADGSPCR.GBRSCNビットの設定によるA/D変換動作制御

ビット名	トリガ入力	ADGSPCR.GBRSCN=0	ADGSPCR.GBRSCN=1
グループA のA/D変換動作中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのA/D変換動作終了後、グループBのA/D変換動作を行います。ただし、グループAのトリガが連続で入力された場合、グループBの再スキャン動作は、グループAにキャンセルされ、実行されません。(注1)
グループB のA/D変換動作中	グループAトリガ入力	グループBのA/D変換中断し、 グループAのA/D変換動作開始	<ul style="list-style-type: none"> グループBのA/D変換中断し、グループAのA/D変換動作開始 グループAのA/D変換終了後、グループBのA/D変換動作開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効

注1. グループBの再スキャン動作を保证するため、グループA側のトリガの最小間隔として、グループAのスキャン時間 (tSCAN[GrA]) 1スキャン分と、グループBのスキャン時間 (tSCAN[GrB]) 1スキャン分の、計2スキャン分の間隔を確保してください。
 グループB側のトリガの最小間隔として、グループAのスキャン時間 (tSCAN[GrA]) 1スキャン分と、グループBのスキャン時間 (tSCAN[GrB]) 2スキャン分の、計3スキャン分の間隔を確保してください。
 再スキャン起動によるグループBと、グループAのA/D変換が重なった場合、再スキャン動作はキャンセルされます。また、再スキャン起動によるグループBと、トリガ要求によるグループBの起動が重なった場合は、トリガ要求が無効になってしまうため、同様に上記のトリガ間隔を確保してください。

以下にグループAにチャンネル0を、グループBにチャンネル1～3を選択したグループスキャンモードグループA優先制御動作の動作例 (ADGSPCR.GBRSCN=1、ADGSPCR.GBRP=0時) を示します。

- グループBのトリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) に設定されると、ADANSBレジスタで選択したチャンネル ANn の n が小さい番号順に A/D変換を開始します。
- A/D変換が終了すると、A/D変換結果は対応する A/Dデータレジスタ (ADDRy) に格納されます。
- グループBのA/D変換動作中に、グループAのトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中のA/D変換を中断します。その後、ADCSR.ADST ビットを“1” (A/D変換開始) に設定し、ADANSAレジスタで選択したチャンネル ANn の n が小さい番号順に A/D変換を開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は対応する A/Dデータレジスタ (ADDRy) に格納されます。
- ADCSR.ADIE ビットが“1” (S12ADI 割り込み許可) に設定されていると、ADI 割り込み要求 (S12ADI) を発生します。
- ADST ビットは自動的にクリアされた後、再度、自動的に ADCSR.ADST ビットを“1” (A/D変換開始) に設定して、ADANSBレジスタで選択したチャンネル ANn の n が小さい番号順に A/D変換を再度開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は対応する A/Dデータレジスタ (ADDRy) に格納されます。
- ADCSR.GBADIE ビットが“1” (S12GBADI 割り込み許可) に設定されていると、ADI 割り込み要求 (S12GBADI) を発生します。
- ADST ビットはA/D変換中は“1” (A/D変換開始) を保持し、A/D変換が終了すると自動的にクリアされ、A/Dコンバータは待機状態になります。

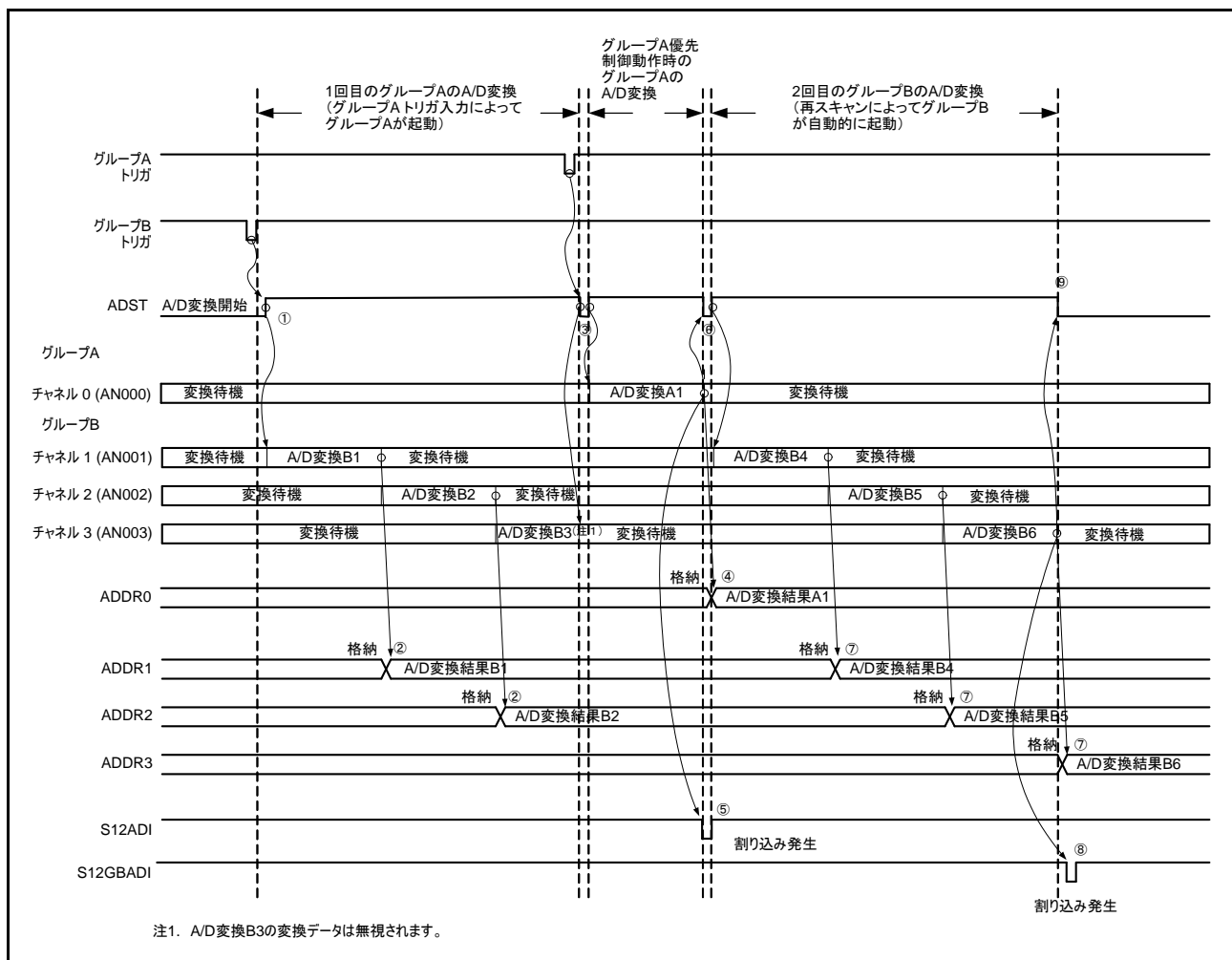


図 34.20 グループ A 優先制御の動作例 (ADGSPCR.GBRSCN=1、ADGSPCR.GBRP=0 時の動作) (1)

次に、グループ A の A/D 変換動作中に、グループ B のトリガが入力された場合の、再スキャン動作の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN=1、ADGSPCR.GBRP=0 時) に、グループ A にチャンネル 1～3 を、グループ B にチャンネル 0 を選択した場合の例を示します。

- (1) グループ A のトリガ入力によって、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定されると、ADANSA レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ A の A/D 変換動作中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換を実行できる状態となります。(ただし、グループ A のトリガが連続で入力された場合、グループ B の再スキャン動作は、グループ A に打ち消され、実施されません)
- (4) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1” (S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求を発生します。
- (5) グループ A のスキャン終了後、グループ B の再スキャン起動により、自動的に ADCSR.ADST ビットが“1” に設定されます。
その後、ADANSB レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。

- (6) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (7) 再スキャン起動による、グループBのスキャン終了後、ADCSR.GBADIEビットが“1” (S12GBADI割り込み許可) に設定されていると、S12GBADI割り込み要求が発生します。
- (8) ADSTビットはA/D変換中は“1” (A/D変換開始) を保持し、A/D変換が終了すると、自動的にクリアされ、A/D変換器は待機状態になります。

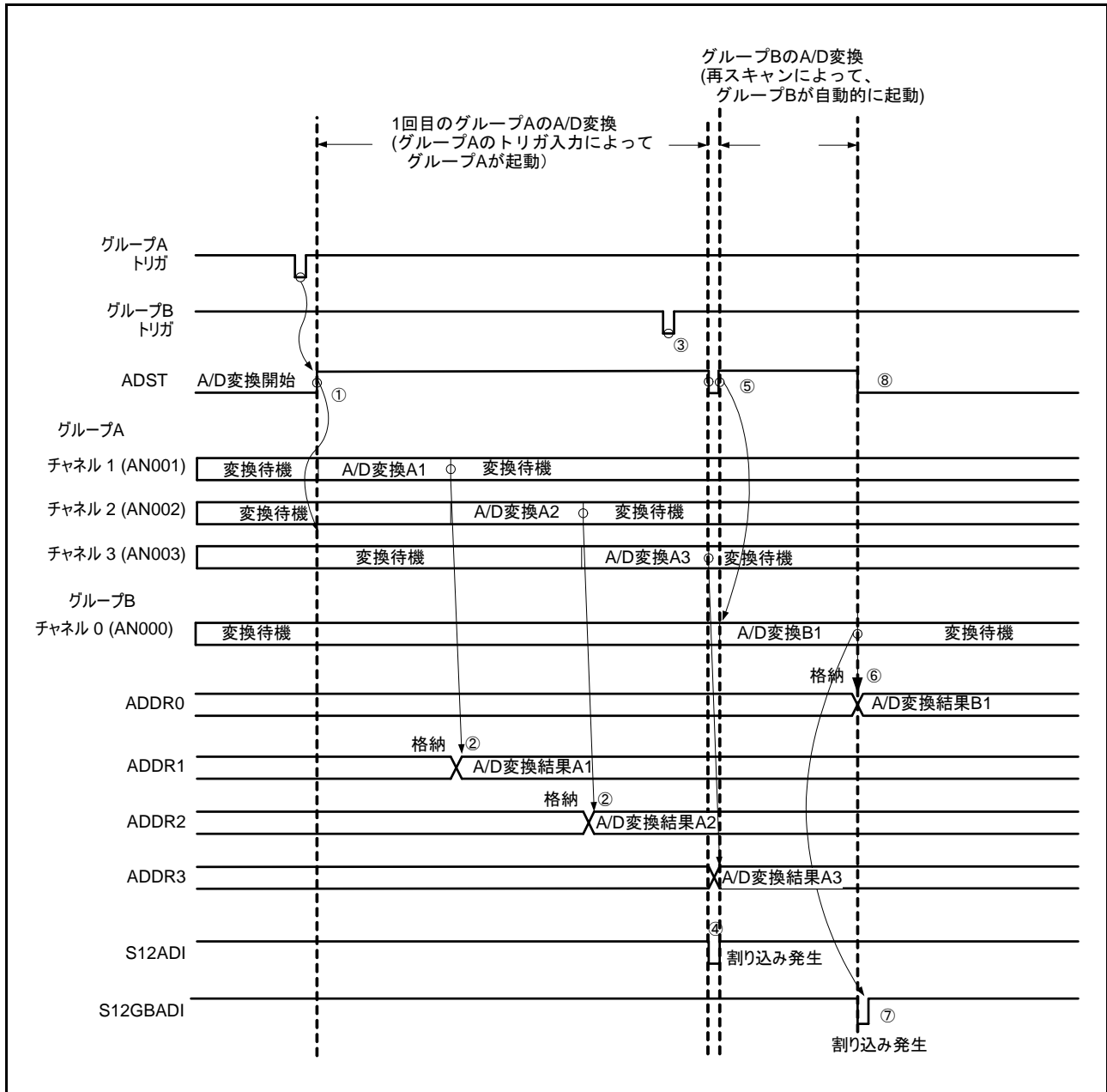


図 34.21 グループ A 優先制御の動作例 (ADGSPCR.GBRSCN=1、ADGSPCR.GBRP=0 時の動作) (2)

次に、再スキャン動作の実行不可能状態の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN=1、ADGSPCR.GBRP=0 時) に、グループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択した場合の例を示します。

- (1) グループ B のトリガ入力によって、ADCSR.ADST ビットが“1”(A/D 変換開始) に設定されると、ADANSB レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリア (A/D 変換停止) し、動作中のグループ B の A/D 変換を中断します。
- (4) その後、ADCSR.ADST ビットを自動的に“1”にし、ADANSA レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
- (5) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求を発生します。
- (7) ADGSPCR.GBRSCN ビットが“1” (再スキャン動作有効) に設定されていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが“1”に設定されます。その後、ADANSB レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
- (8) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (9) 再スキャン起動によるグループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリア (A/D 変換停止) し、動作中のグループ B の A/D 変換を中断します。
- (10) その後、ADCSR.ADST ビットを自動的に“1”にし、ADANSA レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
- (11) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (12) ADCSR.ADIE ビットが“1” (S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求を発生します。
- (13) その後、ADST ビットが自動的にクリアされ、A/D 変換は停止します。グループ A の変換でキャンセルされた、グループ B の再スキャン動作の再実行は、実施されません。

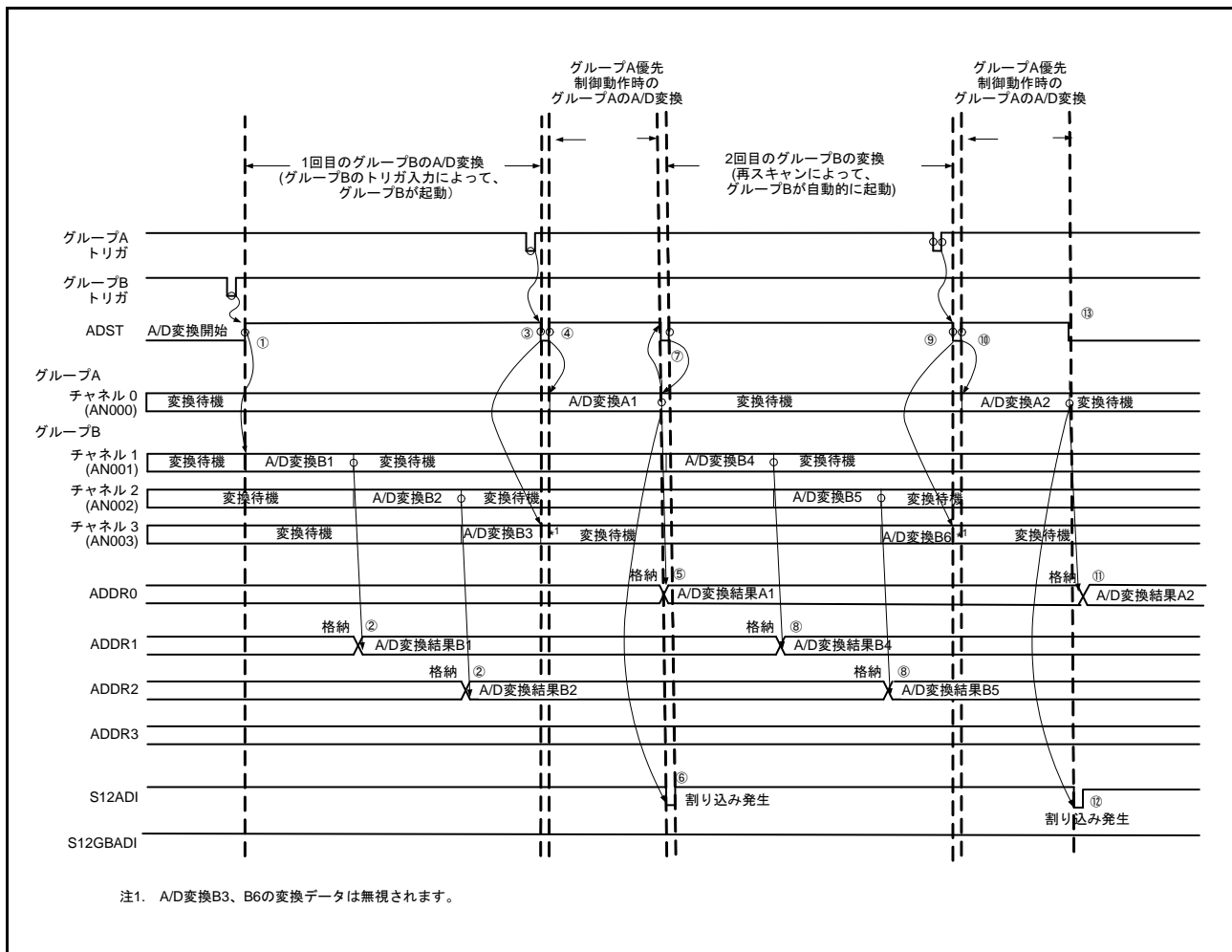


図 34.22 グループ A 優先制御の動作例 (ADGSPCR.GBRSCN=1、ADGSPCR.GBRP=0 時の動作) (3)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSCR.GBRSCN=0、ADGSCR.GBRP=0) を示します。

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) に設定されると、ADANSB レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットを“1” (A/D 変換開始) に設定して、ADANSA レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1” (S12ADI 割り込み許可) に設定されていると、ADI 割り込み要求 (S12ADI) を発生します。
- (6) ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、A/D 変換器は待機状態になります。

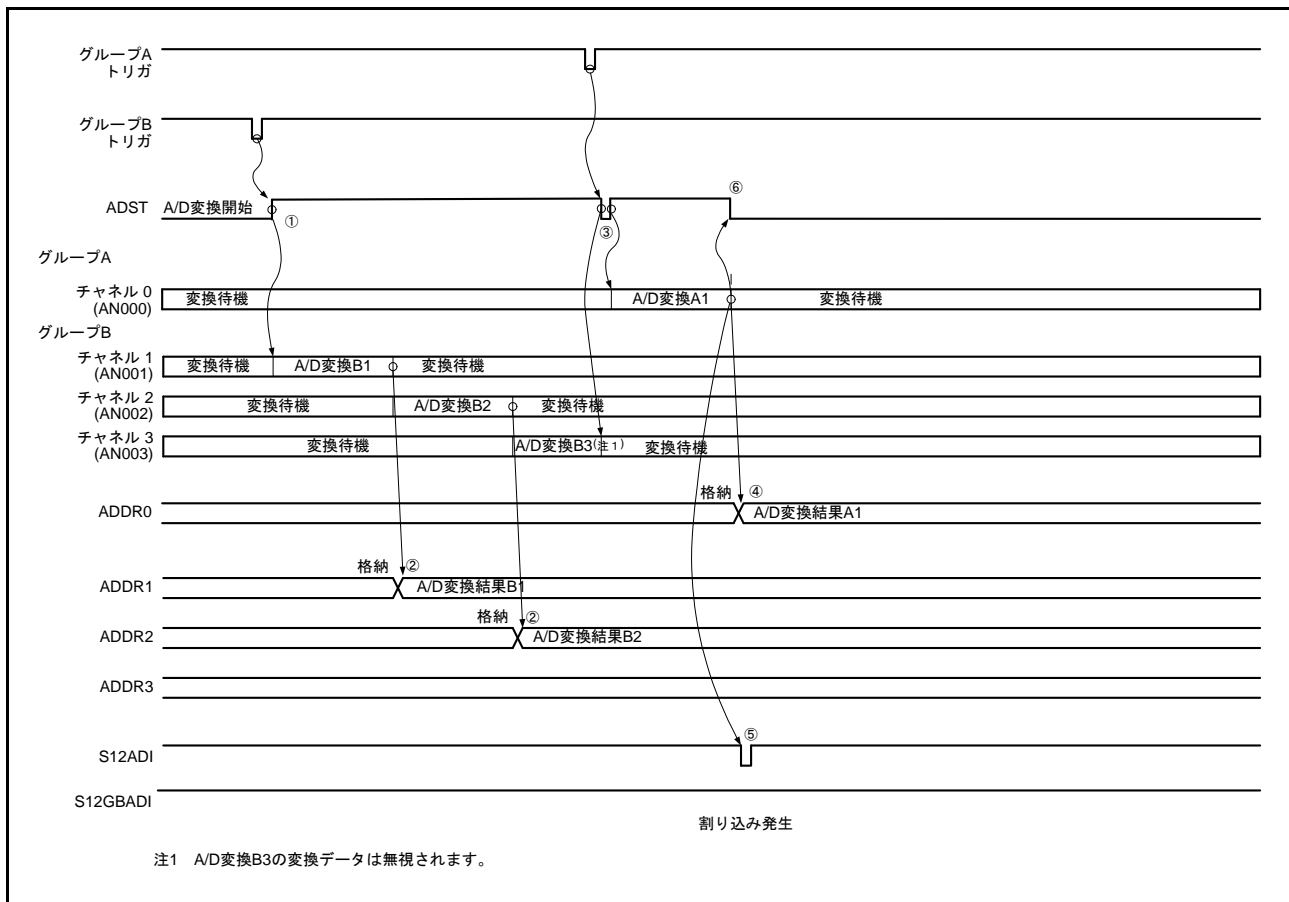


図 34.23 グループ A 優先制御の動作例 (ADGSPCR.GBRSCN=0、ADGSPCR.GBRP=0 時の動作)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときの、グループ A 優先制御の動作例 (ADGSCR.GBRP = 1) を示します。

- (1) ADGSPCR.GBRP=1 を設定すると、ADCSR.ADST ビットが“1”(A/D 変換開始)に設定され、ADANSB レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットを“1”(A/D 変換開始)に設定して、ADANSA レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1”(S12ADI 割り込み許可)に設定されていると、ADI 割り込み要求 (S12ADI) を発生します。
- (6) ADST ビットを自動的にクリアした後、再度、自動的に ADCSR.ADST ビットを“1”(A/D 変換開始)にして、ADANSB レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を再度開始します。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) ADCSR.GBADIE ビットが“1”に設定されていると、ADI 割り込み要求 (S12GBADI) を発生します。

(9) ADST ビットを自動的にクリアした後、再度、自動的に ADCSR.ADST ビットを“1” (A/D 変換開始) に設定して、ADANSB レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を再度開始します。ADGSPCR.GBRP ビットが“1”に設定されている間は、(6)～(9)の動作をくりかえします。ADGSPCR.GBRP ビットが“1”に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。ADGSPCR.GBRP=1 のとき、A/D 変換を強制停止させるには、図 34.32 に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

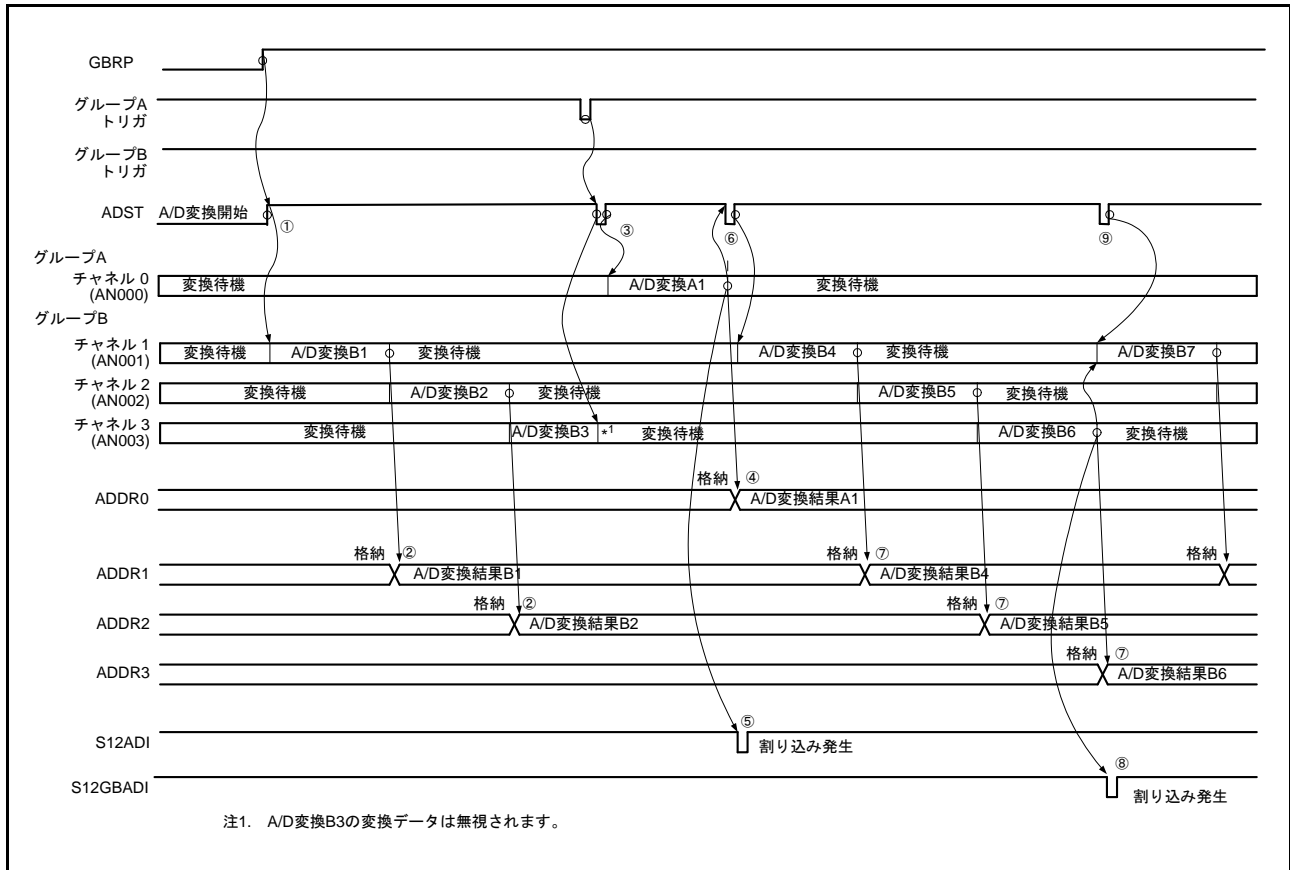


図 34.24 グループ A 優先制御の動作例 (ADGSPCR.GBRP=1 時の動作)

34.3.5 アナログ入力のサンプリングとスキャン変換時間

スキャン変換は、ソフトウェア起動、MTU3、GPTトリガによる起動および外部トリガ (ADTRGn#) による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、チャンネル専用サンプル&ホールド回路のサンプリング、自己診断変換処理を行い、この後にA/D変換処理が開始されます。

図 34.25 に 1 サイクルスキャンモード、ソフトウェア起動と MTU3、GPT 起動によるスキャン変換を行う場合のタイミングを示します。また、図 34.26 に 1 サイクルスキャンモード、外部トリガ (ADTRGn#) 要因によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、チャンネル専用サンプル&ホールド回路処理時間 (t_{SPLSH}) (注 1)、自己診断変換時間 (t_{DIAG}) (注 2)、A/D 変換処理時間 (t_{CONV})、チャンネル専用サンプル&ホールド回路終了処理時間 (t_{SHED}) (注 3)、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。チャンネル専用サンプル&ホールド回路処理時間 (t_{SPLSH}) は、サンプリング時間 (t_{SH})、サンプリング - A/D 変換ウェイト時間 (t_W) を合わせた時間です。A/D 変換処理時間 (t_{CONV}) は、入力サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。

サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTRn レジスタ ($n=0 \sim 3$) でサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、ADCLK の 30 ステート固定です。ADSSTRn レジスタの設定例を表 34.9 に、スキャン変換時間を表 34.10 に示します。

選択チャンネル数が n の 1 サイクルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + t_{SPLSH} + t_{DIAG} + (t_{CONV} \times n) + t_{ED}$$

連続スキャンの 1 サイクル目は、1 サイクルスキャンの t_{SCAN} から t_{ED} を省き t_{SHED} を加えた時間です。連続スキャンの 2 サイクル目以降は、 $t_{SPLSH} + t_{DIAG} + (t_{CONV} \times n) + t_{SHED}$ 固定となります。

注 1. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SPLSH} = 0$ となります。

注 2. 自己診断を設定しない場合は、 $t_{DIAG} = 0$ となります。

注 3. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SHED} = 0$ となります。

連続スキャンモード実行時の所要時間です。1 サイクルスキャンとグループスキャンモード実行時は、スキャン終了処理時間 (t_{ED}) に含まれます。

表 34.9 ADSSTRn レジスタの設定例

使用例	設定範囲	サンプリング時間 (注1)
標準 (初期値)	"14h"	0.4 μ s (PCLK = ADCLK = 50MHz 時)
アナログ入力の信号源インピーダンスが高く、サンプリング時間が不足する場合に設定	"15h" ~ "FF"	例: "FFh" 5.1 μ s (PCLK = ADCLK = 50MHz 時)
ADCLK が 50MHz に満たない場合に、サンプリング時間を初期値より短くする場合に設定	"0Dh" ~ "13"	例: "10h" 0.4 μ s (PCLK = ADCLK = 40MHz 時)

注 1. サンプリング時間 $\geq 0.4 \mu$ s となるように設定してください。サンプリング時間は、以下の式で表されます。

$$\text{サンプリング時間} (\mu\text{s}) = \frac{\text{ADSSTRn レジスタ 設定値}}{\text{ADCLK (MHz)}}$$

表 34.10 スキャン変換時間 (ADCLKとPCLKのサイクル数で示します)

項目	記号	種別/条件			単位		
		同期トリガ	非同期トリガ	ソフトウェアトリガ			
スキャン開始処理時間 (注1)(注2)	グループA優先制御動作によるグループAのA/D変換	グループB中断あり (グループAのA/D変換要因によってグループBを停止させた後、グループAを起動)	t_D	6 PCLK + 4 ADCLK	—	—	サイクル
		グループB中断なし (グループAのA/D変換要因によって起動)		3 PCLK + 4 ADCLK	—	—	
	上記以外		2 PCLK + 4 ADCLK	4 PCLK + 4 ADCLK	2 PCLK + 4 ADCLK		
チャンネル専用サンプルホールド処理時間 (注1)	サンプリング時間	t_{SPLSH}	t_{SH}	ADSHCRn.SSTSH[7:0] 設定値 (初期値 14h) × ADCLK			
	サンプリング—A/D変換ウェイト時間		t_W	10 ADCLK			
自己診断変換処理時間 (注1)	サンプリング時間	t_{DIAG}	t_{SPL}	ADSSTRn.SSTSH[7:0] 設定値 (初期値 14h) × ADCLK			
	逐次変換時間		t_{SAM}	30 ADCLK			
A/D変換処理時間 (注1)	サンプリング時間	t_{CONV}	t_{SPL}	ADSSTRn.SSTSH[7:0] 設定値 (初期値 14h) × ADCLK			
	逐次変換時間		t_{SAM}	30 ADCLK			
チャンネル専用サンプルホールド終了処理時間		t_{SHED}		2 ADCLK			
スキャン終了処理時間 (注1)		t_{ED}		1 PCLK + 3 ADCLK			

注1. t_D 、 t_{SPLSH} 、 t_{DIAG} 、 t_{CONV} 、 t_{ED} の各タイミングについては図34.25、図34.26を参照してください。
 注2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。

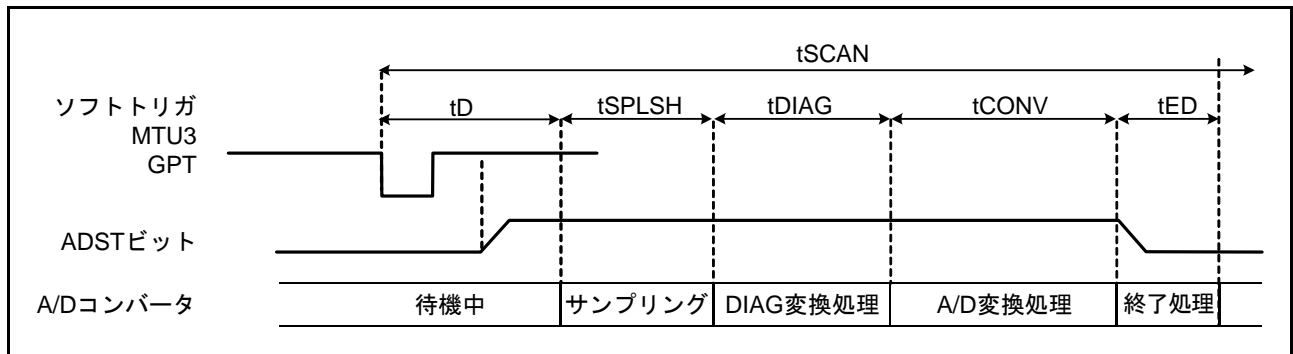


図 34.25 スキャン変換のタイミング (ソフトウェア起動、MTU3、GPT 起動の場合)

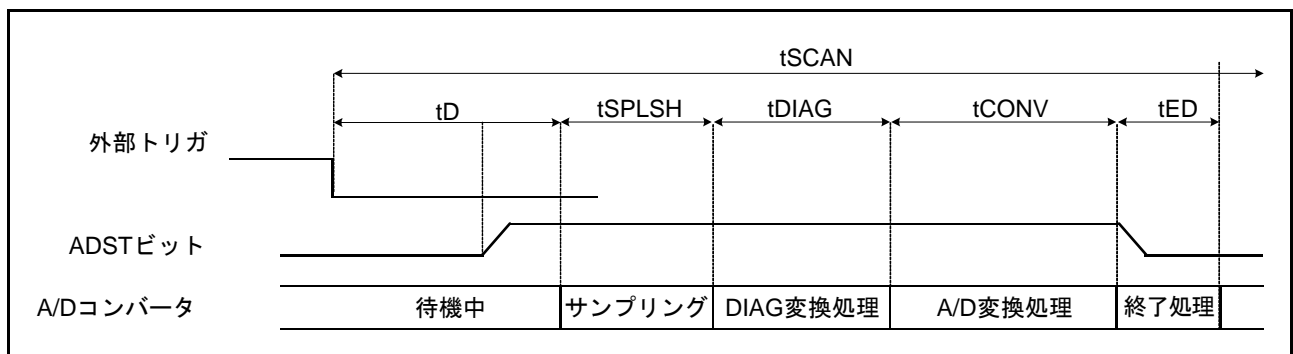


図 34.26 スキャン変換のタイミング (ADTRG# 要因の場合)

34.3.6 レジスタのオートクリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU、DTC 転送 および DMAC 転送によって A/D データレジスタ (ADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB) を読み出す際、自動的に ADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタを 0000h にクリアできます。

この機能を使うことにより、ADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効 / 有効時の例を示します。

ADCER.ACE ビットが“0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタなどに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1” (自動クリア許可) の場合には、ADDRy = 0111h を CPU、DTC および DMACA により読み出す際、ADDRy レジスタは自動的に 0000h にクリアされます。その後、A/D 変換結果の 0222h が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、0000h が汎用レジスタなどに保持されます。読み出されたデータ値が 0000h であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

34.3.7 A/D 変換値加算機能

同じチャンネルを 2～4 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

34.3.8 アナログ端子ディスチャージ機能

A/D 変換時に、対象アナログ端子のディスチャージを行うことでアナログ端子オープンを検出することができます。

ADCER.DCE ビットに“1”を設定すると、A/D 変換処理中のアナログ端子のサンプリング終了後に、アナログ端子のディスチャージを行います。故障等によりアナログ入力端子がオープンとなった場合、数回に分けてディスチャージを行うことで変換結果が“0000h”に近い値となり、端子オープンを検出することができます。

34.3.9 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を “000000b” に設定し、非同期トリガ (ADTRGn# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 34.27 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” に設定されてから A/D 変換を開始するまでの時間は、「34.6.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。

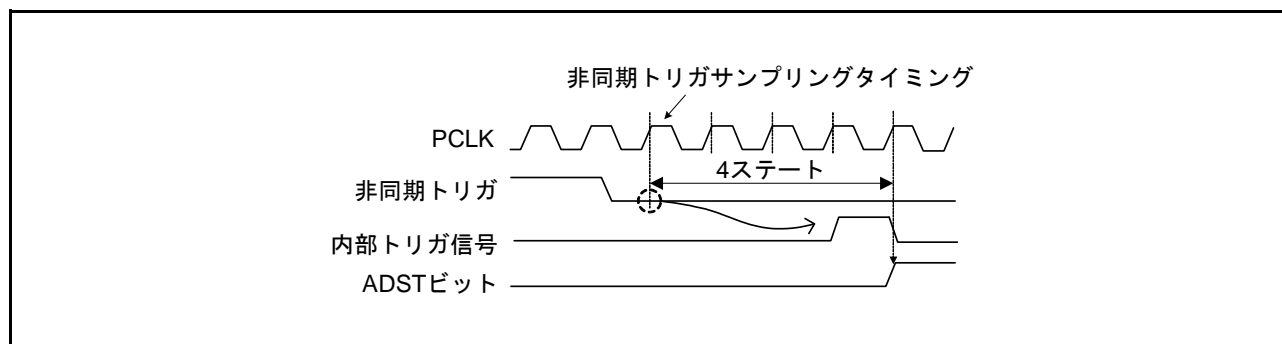


図 34.27 非同期トリガ入力タイミング

34.3.10 周辺モジュールからの同期トリガによる A/D 変換の開始

MTU3、GPT からの同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.TRSA[5:0]、TRSB[5:0] ビットで該当の起動要因にセットします。

34.3.11 ウィンドウコンパレータ

ANn 端子 (n=000 ~ 002、100 ~ 102) にはウィンドウコンパレータが搭載されています。ウィンドウコンパレータは、ANn 端子に Low 側基準電圧 ~ High 側基準電圧の範囲外の電圧が入力に印加されていることを検出するウィンドウコンパレータ動作に加えて、Low 側基準電圧よりも低い電圧が入力に印加されていることを検出する Low レベルコンパレータ、High 側基準電圧よりも高い電圧が入力に印加されていることを検出する High レベルコンパレータとしても動作します。ウィンドウコンパレータの動作モードは、ADCMPMD0.CENn[1:0] ビット (n=000 ~ 002) で設定します。ウィンドウコンパレータの基準電圧は、Low 側が AN003/CVREFL 端子、High 側が AN103/CVREFH 端子を介して外部から供給するか、内部生成基準電圧を使用 (1/8×AVCC0 ~ 7/8×AVCC0) するかを選択できます。ウィンドウコンパレータの検出信号に対するノイズキャンセルフィルタを内蔵しており、ノイズによる誤検出を抑制することができます。コンパレータ検出信号で CPU への割り込み要求 (CMP10 ~ 2)、または POE 要求 (MTU3 の相補 PWM 出力端子および GPT 出力端子のハイインピーダンス要求) を生成します。ウィンドウコンパレータの検出信号は、汎用 PWM タイマ (GPT) のカウンタ制御のトリガ、出力ネゲート制御要因として使用することができます。詳細は、「24. 汎用 PWM タイマ (GPT)」を参照してください。

以下に、ウィンドウコンパレータの設定例を示します。

1. ADCMPMD1.VSELL0 ビットおよび ADCMPMD1.VSELH0 ビットで、基準電圧の印加方法を設定します。内部生成基準電圧を選択した場合は、ADCMPMD1.REFL[2:0] ビットで Low 側基準電圧を、ADCMPMD1.REFH[2:0] ビットで High 側基準電圧を設定します。
2. ADCMPNR0.CnNR[3:0] ビット (n=000 ~ 002) で、コンパレータ検出結果用ノイズキャンセルフィルタ使用有無をコンパレータ毎に設定します。
3. ADCMPSEL.IEn ビット (n=000 ~ 002) により、コンパレータ検出信号で CPU へのコンパレータ検出割り込み (CMP10 ~ 2) を発生するかを設定します。また、ADCMPSEL.POERQm ビット (m=000 ~ 002) により、コンパレータ検出信号で POE 要求を発生するかを設定します。POE 要求は、ADCMPSEL.POERQm ビット (m=000 ~ 002) の論理和で生成されます。
4. ADCMPMD0.CENn[1:0] ビット (n=000 ~ 002) で、検出対象の端子およびウィンドウコンパレータの動作モードを設定します。

ウィンドウコンパレータの動作例を図 34.28 ~ 図 34.30 に示します。

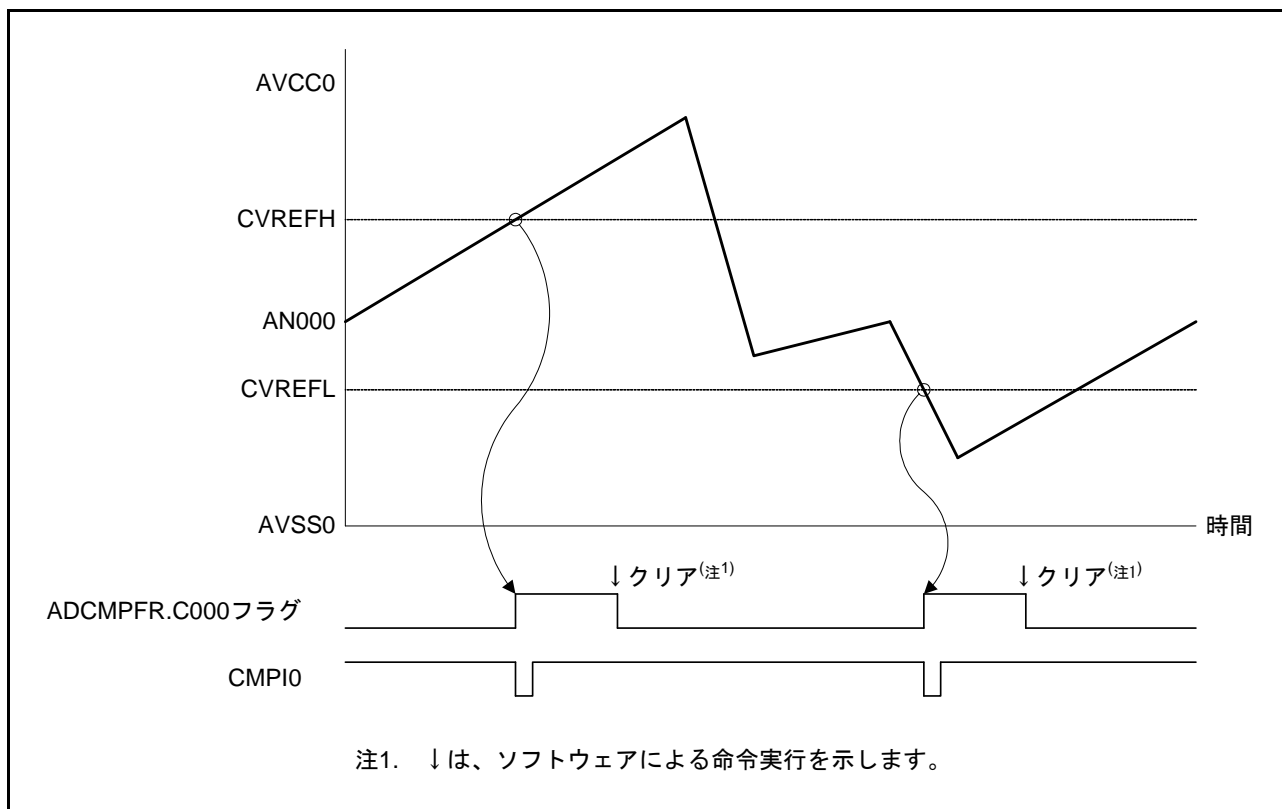


図 34.28 コンパレータの動作例 (1) (AN000 を選択、ADCMPMD0.CEN000=11b の場合)

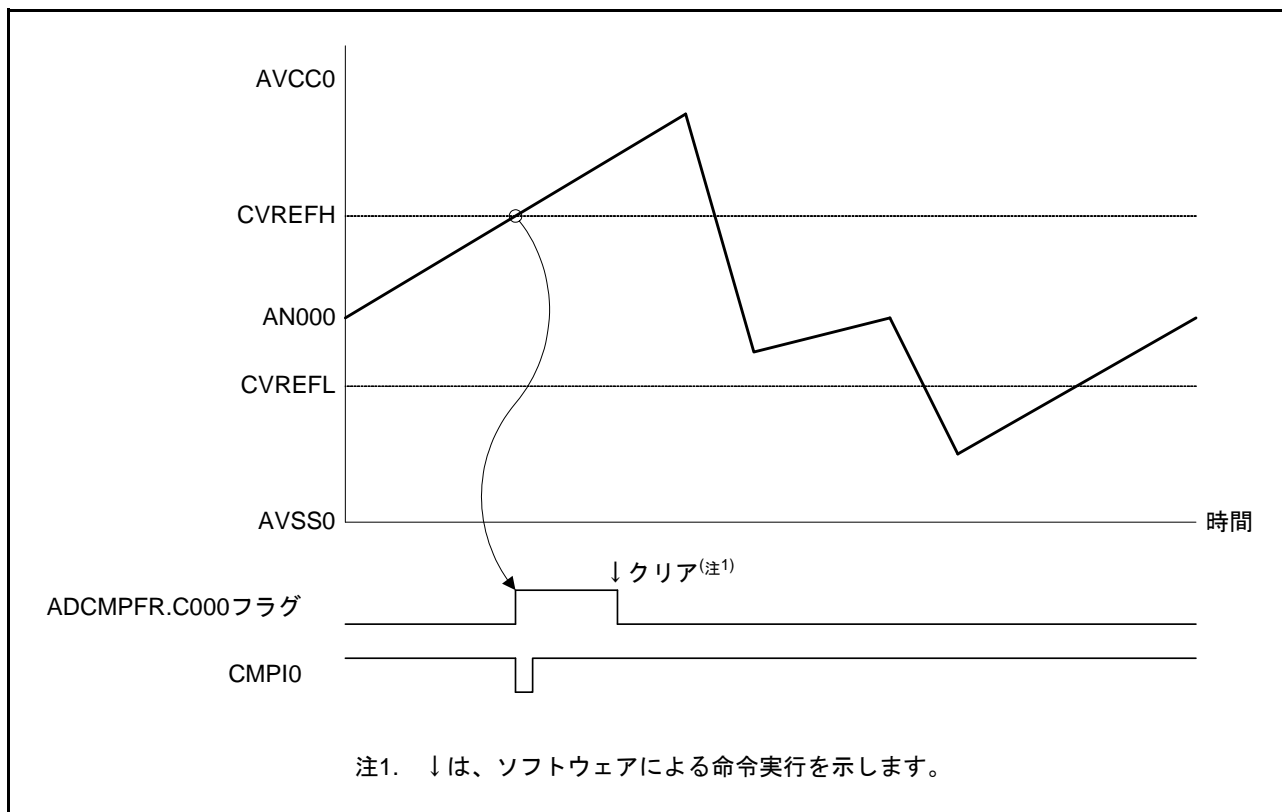


図 34.29 コンパレータの動作例 (2) (AN000 を選択、ADCMPMD0.CEN000=10b の場合)

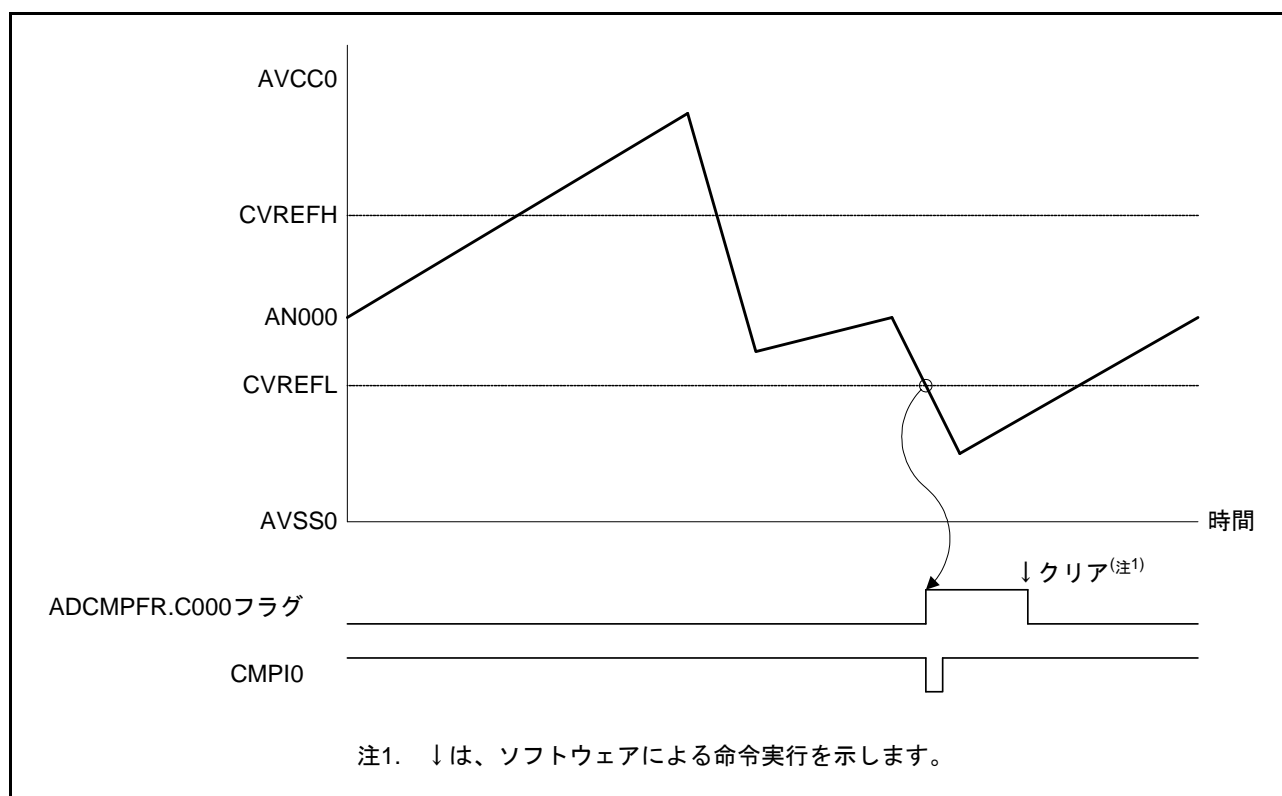


図 34.30 コンパレータの動作例 (3) (AN000 を選択、ADCMPMD0.CEN000=01b の場合)

34.3.12 プログラマブルゲインアンプ

プログラマブルゲインアンプは、AN000 ~ AN002 端子と AN100 ~ AN102 端子に搭載されています。ADPG.PGnGAIN[3:0] ビット (n=000 ~ 002、100 ~ 102) でゲインを選択し、ADANSA.PGnEN ビットと ADANSA.PGnSEL ビットで使用するオペアンプを選択します。プログラマブルゲインアンプを使用するには、ADSHCR.SHANS[2:0] の対応するビットを "1" (サンプル&ホールド回路を使用) に設定する必要があります。

34.4 割り込み要因と DTC、DMAC 転送要求

34.4.1 スキャン終了時の割り込み要求

12ビットA/Dコンバータは、CPUへのスキャン終了割り込み要求であるS12ADI、S12GBADI割り込みを発生することができます。

ADCSR.ADIEビットを“1”にするとS12ADIを許可、“0”にするとS12ADIを禁止できます。

ADCSR.GBADIEビットを“1”にするとS12GBADIを許可、“0”にするとS12GBADIを禁止できます。

また、S12ADI、S12GBADI発生時にDTCまたはDMACAを起動できます。S12ADI、S12GBADI割り込みで変換されたデータの読み出しをDTCまたはDMACAで行うと、連続変換がソフトウェアの負担なく実現できます。DTCの設定は「19. データトランスファコントローラ (DTCa)」を、DMACAの設定は「18.

DMAコントローラ (DMACA)」を参照してください。

34.4.2 コンパレータ検出時の割り込み要求

コンパレータは、CPUへのコンパレータ検出割り込み (CMPm (m=0~2, 4~6)) を発生させることができます。

ADCMPSEL.IEn (n=000~002) ビットを“1”にするとCMPm割り込みを許可し、“0”にするとCMPm割り込みを禁止できます。

また、CMPm発生時にDTCまたはDMACAを起動できます。DTCの設定は「19. データトランスファコントローラ (DTCa)」を、DMACAの設定は「18. DMAコントローラ (DMACA)」を参照してください。

34.5 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
12ビット A/D コンバータのデジタル変換出力コード数
- オフセット誤差
デジタル出力が最小電圧値 000000000000 から 000000000001 に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。(図 34.31)
- フルスケール誤差
デジタル出力が 111111111110 から 111111111111 に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。(図 34.31)
- 量子化誤差
12ビット A/D コンバータが本質的に有する誤差であり、1/2LSB で与えられる。(図 34.31)
- 非直線性誤差
ゼロ電圧からフルスケール誤差までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。(図 34.31)
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線性誤差を含む。

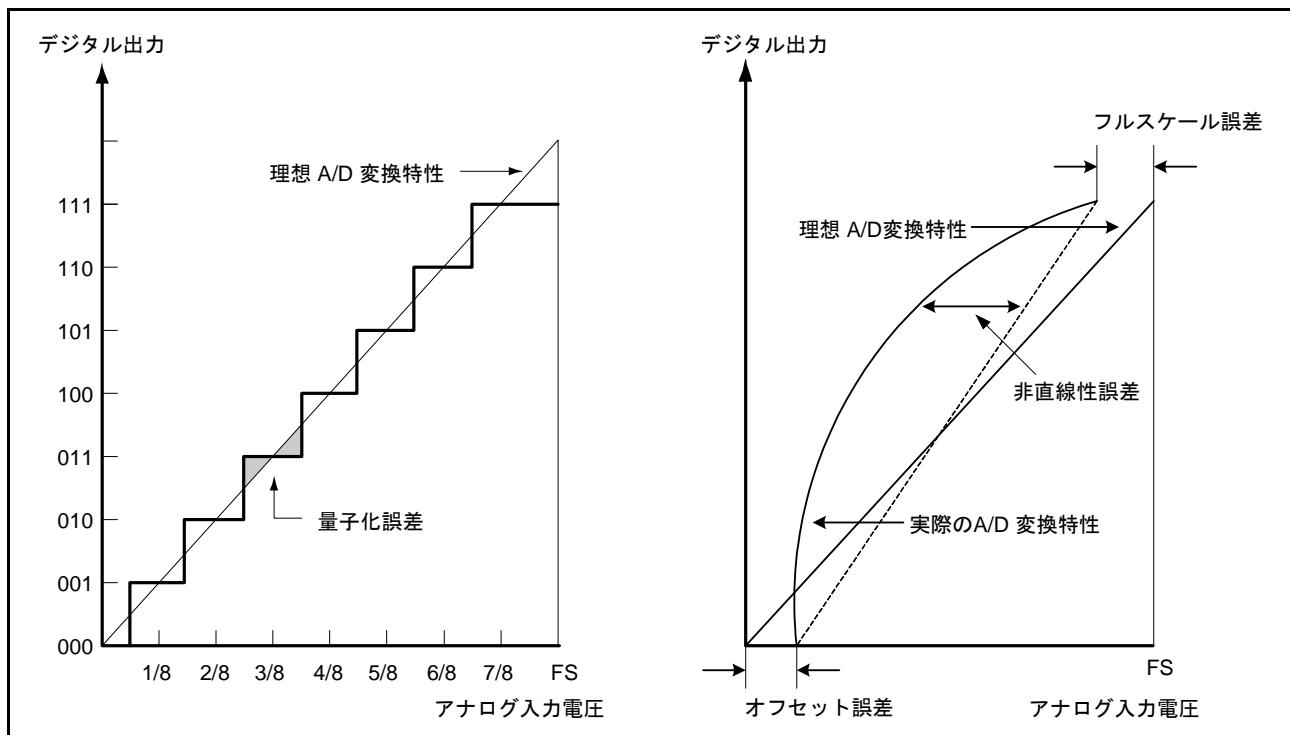


図 34.31 AD 変換精度の定義 (3 ビットの A/D コンバータを例にした場合)

34.6 使用上の注意事項

34.6.1 データレジスタの読出し注意事項

A/D データレジスタ、A/D データ 2 重化レジスタ、および A/D 自己診断データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト/下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

34.6.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、**図 34.32** のフローチャートの手順に従ってください。

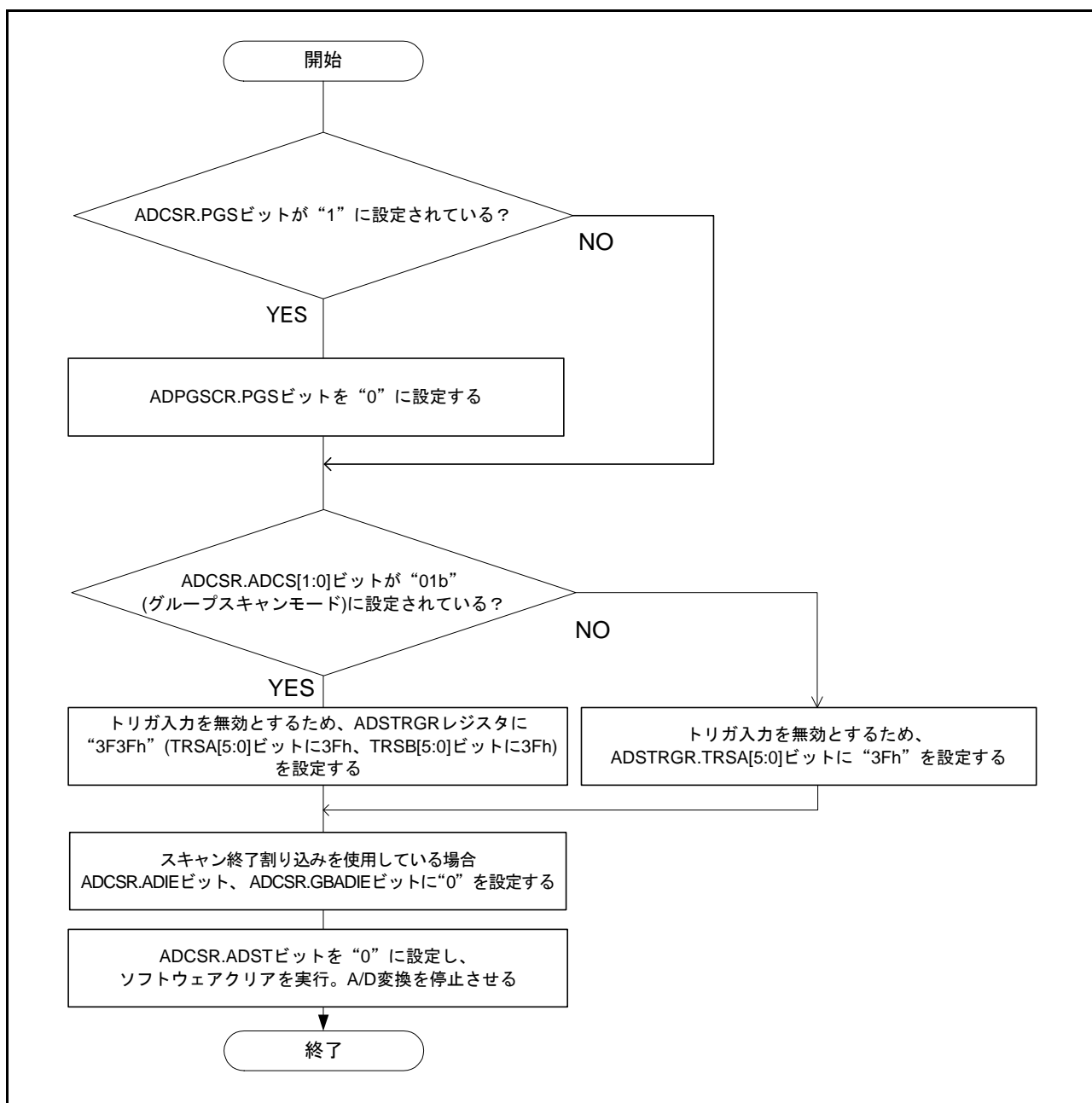


図 34.32 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

34.6.3 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのに ADCLK で最大4クロックの時間を必要とします。ADCSR.ADST ビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLK で最大2クロックの時間を必要とします。

34.6.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

34.6.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータは停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「12. 消費電力低減機能」を参照してください。

34.6.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ遷移する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADST ビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図 34.32 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを“0”に設定してください。その後、A/D変換が停止していることを確認した後、モジュールストップやソフトウェアスタンバイモードへ遷移させてください。

また、モジュールストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ遷移するときは、12ビットA/Dコンバータの一部が動作待機状態となっています。12ビットA/Dコンバータを完全にスタンバイ状態にする場合は、MSTPCRA.MSTPA24 ビットを“1”にしてください。この場合、モジュールストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード解除後 MSTPCRA.MSTPA24 ビットを“0”にし、さらに10ms 待ってからA/D変換を開始してください。

34.6.7 許容信号源インピーダンスについて

本LSIのアナログ入力は、高速変換 $1.0\mu\text{s}$ を実現するために、信号源インピーダンスが $1\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。1 サイクルスキャンモードで1端子のみ変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 34.33）。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

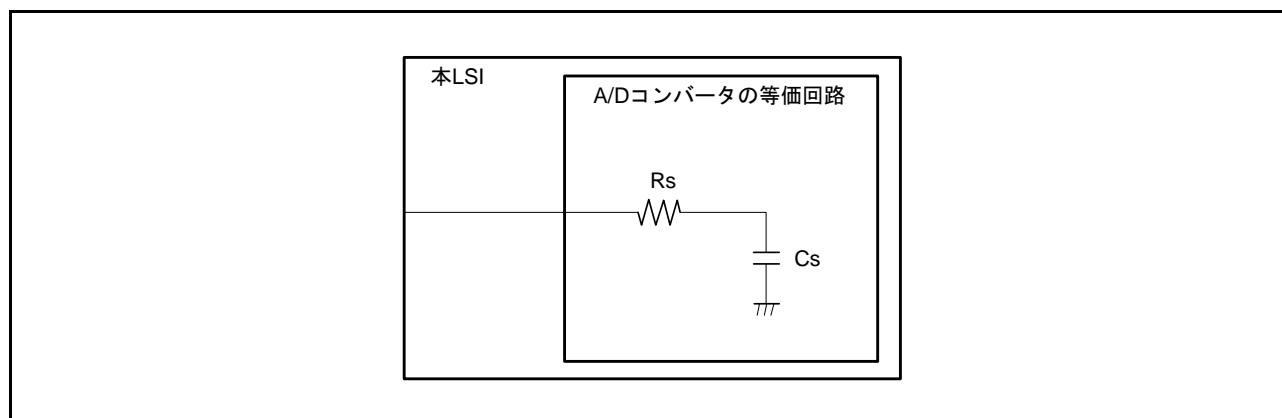


図 34.33 アナログ入力端子の内部等価回路

表 34.11 アナログ端子の規格

項目		min	max	単位
許容信号源インピーダンス (注1)		—	1	k Ω
端子の内部等価回路	Rs	—	10	k Ω
	Cs	—	10	pF

注1. アナログ電源電圧とアナログ入力端子により異なります。詳細は「42. 電気的特性【144/120/112/100ピン版】」を参照してください。

34.6.8 絶対精度への影響

容量を付加することにより、GND とのカップリングを受け、ノイズがある GND だと絶対精度が悪化する可能性がありますので、AVSS0 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

34.6.9 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてLSIを使用した場合は、LSIの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN_n に印加する電圧は、 $VREFL0 \leq VAN \leq VREFH0$ の範囲としてください。

- 各電源端子 (AVCC0 – AVSS0、VREFH0 – VREFL0、VCC – VSS) の関係

AVCC0、AVSS0 と VCC、VSS との関係は $AVSS0 = VSS$ としてください。また、図 34.34 に示すように各々の電源間に最短で閉ループが形成できるように $0.1\mu\text{F}$ のコンデンサを接続し、供給元で $VREFL0 = AVSS0 = VSS$ になるように接続してください。12ビットA/Dコンバータを使用しない場合は、 $VREFH0 = AVCC0 = VCC$ 、 $VREFL0 = AVSS0 = VSS$ としてください。

- VREFH0、VREFL0 の設定範囲

VREFH0 端子によるリファレンス電圧の設定範囲は、 $VREFH0 \leq AVCC0$ にしてください。

VREFL0 端子の設定範囲は、 $VREFL0 = AVSS0 = VSS$ としてください。

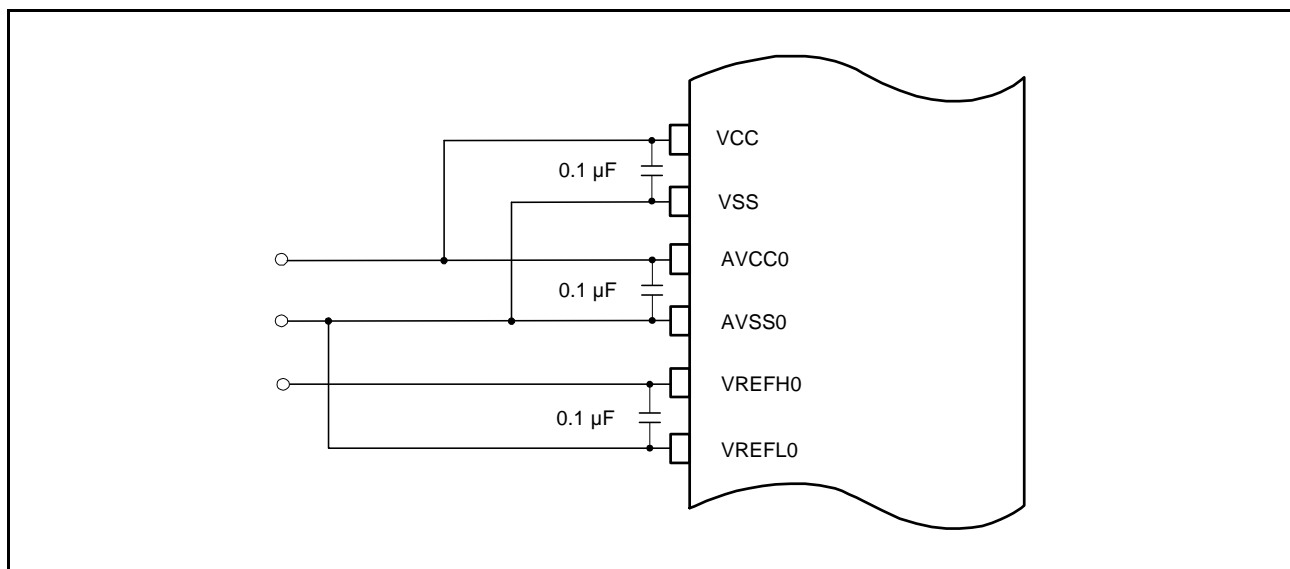


図 34.34 各電源端子の接続例

34.6.10 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN003、AN100 ~ AN103)、アナログ基準電圧 (VREFH0、VREFL0)、アナログ電源 (AVCC0) は、アナロググラウンド (AVSS0) で、デジタル回路と分離してください。さらにアナロググラウンド (AVSS0) は、ボード上の安定したデジタルグラウンド (VSS) に一点接続してください。

34.6.11 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN003、AN100 ~ AN103) の破壊を防ぐために、図 34.35 に示すように AVCC0 と AVSS0 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子 (AN000 ~ AN003、AN100 ~ AN103) を基準に保護回路を接続してください。

また、アナログ入力端子 (AN000 ~ AN003、AN100 ~ AN103) に接続するフィルタのコンデンサは、VREFL0 に接続してください。図 34.35 に示す 0.1 μ F のコンデンサはできるかぎり端子の近くに配置してください。

なお、図 34.35 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN000 ~ AN003、AN100 ~ AN103) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数は十分ご検討の上決定してください。

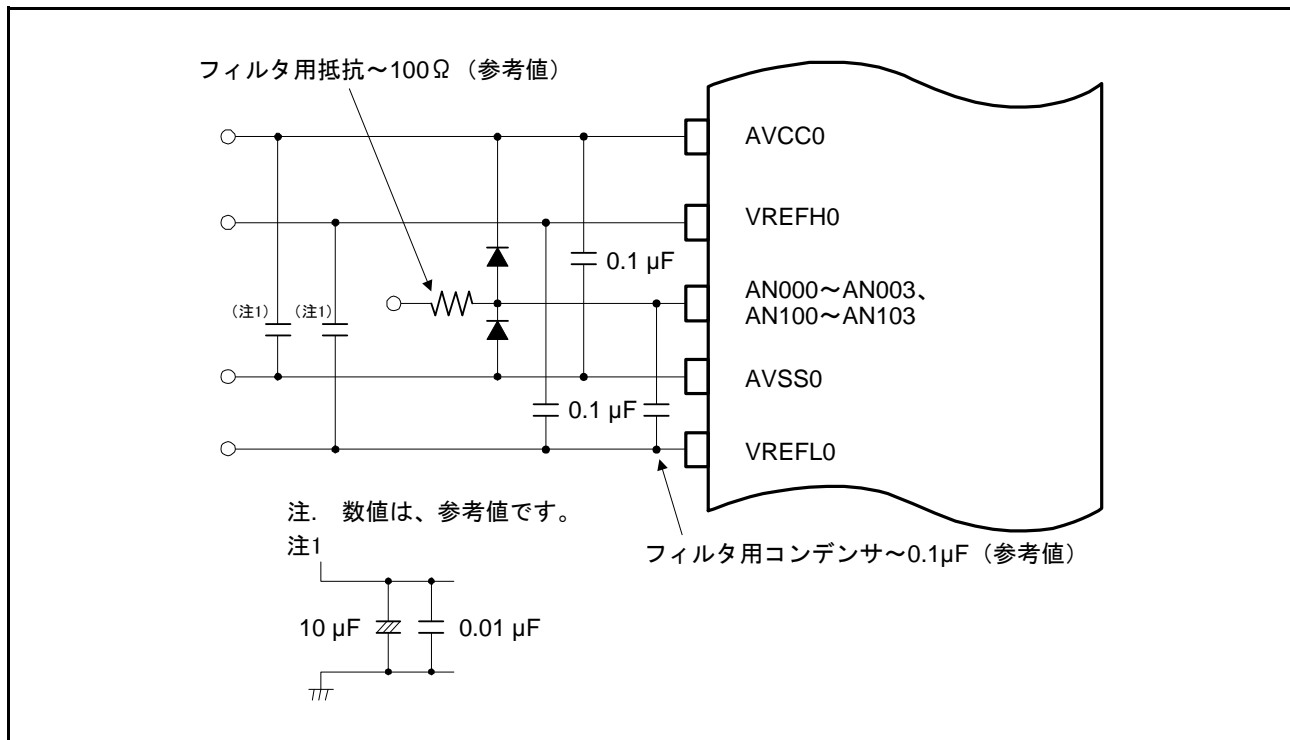


図 34.35 アナログ入力保護回路の例

34.6.12 外部バス使用時の注意事項

外部バスをアクセス中に A/D 変換をする場合、精度が悪化する可能性があります。

このような場合は、複数回の変換を実施し、最大値・最小値を除いた A/D 変換値の平均をとるなどのソフト対策を実施してください。

35. 12ビットA/Dコンバータ (S12ADB) 【64/48ピン版】

35.1 概要

本MCUは、逐次比較方式の12ビットのA/Dコンバータを1ユニット内蔵しています。最大8チャンネルのアナログ入力を選択できます。

12ビットA/Dコンバータは、選択した最大8チャンネルのアナログ入力を逐次比較方式で12ビットのデジタル値に変換します。動作モードは、任意に選択した最大8チャンネルのアナログ入力を若いチャンネル番号順に1回のみ変換する1サイクルスキャンモードと、任意に選択した最大8チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードと、最大8チャンネルのアナログ入力を任意に選択して2つのグループ（グループAとグループB）に分け、グループ単位で選択したチャンネルのアナログ入力を若いチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することができます。グループAの優先制御動作を設定すると、前述の動作に加えてグループBのA/D変換動作中にグループAのスキャン開始を受け付けて、グループBのA/D変換動作を中断して、グループAのA/D変換動作を優先的に開始します。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力を1サイクルスキャンモードかグループスキャンモード（グループA）で変換し、1回目のA/D変換開始トリガで変換したデータと2回目のA/D変換開始トリガで変換したデータを別々のレジスタに格納（A/D変換データの2重化）します。

自己診断は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

表35.1に12ビットA/Dコンバータの仕様を、表35.2に12ビットA/Dコンバータの機能概要を示します。図35.1に12ビットA/Dコンバータのブロック図を示します。

表35.1 12ビットA/Dコンバータの仕様 (1 / 2)

項目	内容
ユニット数	1ユニット
入力チャンネル	最大8チャンネル
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり1.0 μ s (A/D変換クロック ADCLK=50MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLKB ^(注1) とA/D変換クロックADCLK ^(注1) を以下の分周比で設定可能 PCLKB : ADCLK分周比 = 1 : 1、1 : 2、1 : 4、1 : 8 ADCLKの設定はクロック発生回路 (CPG) で行います
データレジスタ	<ul style="list-style-type: none"> アナログ入力用8本、ダブルトリガモードでのA/D変換データ2重化用1本、ダブルトリガモード拡張動作時のA/D変換データ2重化用2本 A/D変換結果を12ビットA/Dデータレジスタに保持 A/D変換結果の8、10、12ビット精度出力対応 (変換結果出力の2ビット、または4ビット右シフト選択対応) 加算モード時はA/D変換結果の加算値を14ビットでA/Dデータレジスタに保持 ダブルトリガモード (1サイクルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは2重化レジスタに保持 ダブルトリガモード拡張動作 (特定トリガ種別で有効) 選択した1つのチャンネルのアナログ入力のA/D変換データをトリガ種別毎に準備した2重化レジスタに保持

表 35.1 12ビットA/Dコンバータの仕様 (2 / 2)

項目	内容
動作モード	<ul style="list-style-type: none"> 1サイクルスキャンモード： 任意に選択した最大8チャンネルのアナログ入力を1回のみA/D変換 連続スキャンモード：任意に選択した最大8チャンネルのアナログ入力を繰り返しA/D変換 グループスキャンモード： 最大8チャンネルのアナログ入力をグループAとグループBに分け、グループ単位で選択した全チャンネルのアナログ入力を1回のみ変換 グループAとグループBは、各々の変換開始条件を選択することで異なるタイミングで変換開始可能 グループスキャンモード（グループA優先制御選択時） グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実施 グループAのA/D変換動作終了後、グループBのA/D変換動作を再実行（再スキャン）
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ マルチファンクションタイマパルスユニット (MTU3)、汎用PWMタイマ (GPT) からのトリガ 非同期トリガ 外部トリガADTRG0#端子によるA/D変換動作の開始が可能
機能	<ul style="list-style-type: none"> サンプル&ホールド機能 チャンネル専用サンプル&ホールド機能 (3ch) サンプリングステート数可変機能 12ビットA/Dコンバータの自己診断機能 A/D変換値加算モード ディスチャージ機能 ダブルトリガモード (A/D変換データ2重化機能) ウィンドウコンパレータ機能 (3ch)
割り込み要因	<ul style="list-style-type: none"> ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生 ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生 グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (S12GBADI) を発生 グループスキャンモードでダブルトリガモードの設定では、グループAの2回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (S12GBADI) を発生。 コンパレータ検出で割り込み要求 (CMP0~CMP2) を発生 (POE要因としても使用可能) S12ADI、S12GBADI割り込みまたはCMP0~2割り込みでDMAコントローラ (DMAC)、データトランスファコントローラ (DTC) を起動可能
消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ状態への設定が可能 (注2)

注1. 周辺モジュールクロックPCLKBはSCKCR.PCKB[3:0]ビットで設定した周変数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周変数になります。

注2. 詳細は、「12. 消費電力低減機能」を参照してください。

表 35.2 12ビットA/Dコンバータの機能概要 (1 / 2)

項目		機能	
アナログ入力チャンネル		AN000 ~ AN007	
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能
	外部トリガ	トリガ入力端子	ADTRG0#
	MTU3からのトリガ	MTU0.TGRAのコンペアマッチ／インプットキャプチャ	TRGA0N
		MTU1.TGRAのコンペアマッチ／インプットキャプチャ	TRGA1N
		MTU2.TGRAのコンペアマッチ／インプットキャプチャ	TRGA2N
		MTU3.TGRAのコンペアマッチ／インプットキャプチャ	TRGA3N
		MTU4.TGRAのコンペアマッチ／インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	TRGA4N
		MTU6.TGRAのコンペアマッチ／インプットキャプチャ	TRGA6N
		MTU7.TGRAのコンペアマッチ／インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー (谷)	TRGA7N
		MTU0.TGREのコンペアマッチ	TRG0AN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	TRG4AN
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4BN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、または、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4AN またはTRG4BN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	TRG4ABN
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	TRG7AN
		MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7BN
MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、または、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7AN またはTRG7BN		
MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	TRG7ABN		

表 35.2 12ビットA/Dコンバータの機能概要 (2 / 2)

項目		機能	
A/D変換開始条件	GPTからのトリガ	GPT0.GTADTRAのコンペアマッチ	GTADTRA0N
		GPT0.GTADTRBのコンペアマッチ	GTADTRB0N
		GPT1.GTADTRAのコンペアマッチ	GTADTRA1N
		GPT1.GTADTRBのコンペアマッチ	GTADTRB1N
		GPT2.GTADTRAのコンペアマッチ	GTADTRA2N
		GPT2.GTADTRBのコンペアマッチ	GTADTRB2N
		GPT3.GTADTRAのコンペアマッチ	GTADTRA3N
		GPT3.GTADTRBのコンペアマッチ	GTADTRB3N
		GPT0.GTADTRAのコンペアマッチ、または、 GPT0.GTADTRBのコンペアマッチ	GTADTRA0N またはGTADTRB0N
		GPT1.GTADTRAのコンペアマッチ、または、 GPT1.GTADTRBのコンペアマッチ	GTADTRA1N またはGTADTRB1N
		GPT2.GTADTRAのコンペアマッチ、または、 GPT2.GTADTRBのコンペアマッチ	GTADTRA2N またはGTADTRB2N
GPT3.GTADTRAのコンペアマッチ、または、 GPT3.GTADTRBのコンペアマッチ	GTADTRA3N またはGTADTRB3N		
チャンネル専用独立サンプル&ホールド機能	対象チャンネル	AN000～AN002	
ウィンドウコンパレータ	対象チャンネル	AN000～AN002	
	基準電圧設定基準	外部端子から指定	CVREFL : AN003、CVREFH : AN007
		内部生成	1/8AVCC0、2/8AVCC0、 3/8AVCC0、4/8AVCC0、 5/8AVCC0、6/8AVCC0、 7/8AVCC0
	ノイズキャンセル機能	コンパレータ検出結果を PCLK、PCLK/2、 PCLK/4、PCLK/8、 PCLK/16、PCLK/128 で 16回サンプリング	
割り込み		S12ADI S12GBADI CMP0～CMP2	
モジュールストップ機能の設定 (注1)		MSTPCRA.MSTPA17ビット	

注1. 詳細は「12. 消費電力低減機能」を参照してください。

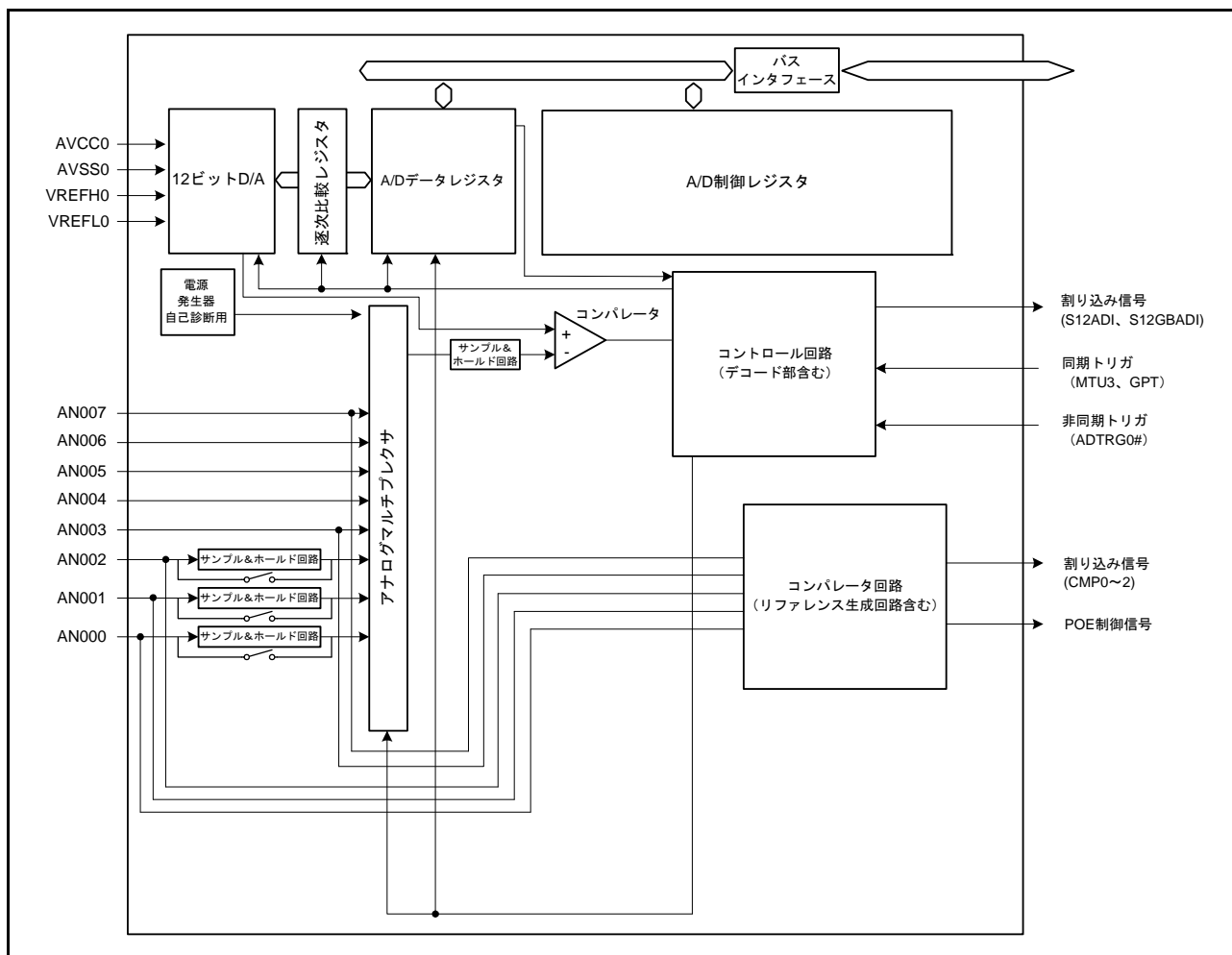


図 35.1 12ビットA/Dコンバータのブロック図

表 35.3 に 12ビットA/Dコンバータで使用する入力端子を示します。

表 35.3 12ビットA/Dコンバータの入力端子

端子名	入力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部のグラウンド端子
VREFH0	入力	基準電源端子
VREFL0	入力	基準電源グラウンド端子
AN000	入力	アナログ入力端子0
AN001	入力	アナログ入力端子1
AN002	入力	アナログ入力端子2
AN003/CVREFL	入力	アナログ入力端子3/コンパレータLow側基準電圧端子 (コンパレータ動作時、かつ外部端子での基準電圧印加を選択した場合は、コンパレータLow側基準電圧端子となります)
AN004	入力	アナログ入力端子4
AN005	入力	アナログ入力端子5
AN006	入力	アナログ入力端子6
AN007/CVREFH	入力	アナログ入力端子7/コンパレータHigh側基準電圧端子 (コンパレータ動作時、かつ外部端子での基準電圧印加を選択した場合は、コンパレータHigh側基準電圧端子となります)
ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子

35.2 レジスタの説明

35.2.1 A/D データレジスタ y (ADDRy) (y = 0 ~ 7)、A/D データ 2 重化レジスタ (ADDBLDR)、A/D データ 2 重化レジスタ A (ADDBLDRA)、A/D データ 2 重化レジスタ B (ADDBLDRB)

ADDRy レジスタは、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDRA レジスタと ADDBLDRB レジスタは、ダブルトリガモード選択時の拡張動作であるトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

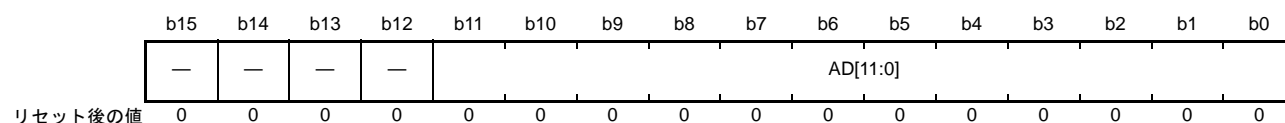
ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰または左詰)
- A/D データレジスタビット精度指定ビットの設定値 (12 ビット、10 ビット、または 8 ビット)
- A/D 変換値加算モード選択レジスタの設定値 (A/D 変換値加算モード選択または非選択)

以下、条件ごとのフォーマットを示します。

- 右詰めフォーマット、12 ビット精度に設定した場合

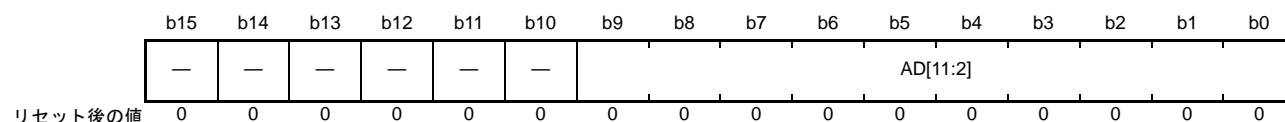
アドレス ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
ADDR4 0008 9028h, ADDR5 0008 902Ah, ADDR6 0008 902Ch, ADDR7 0008 902Eh
ADDBLDR 0008 9018h, ADDBLDRA 0008 9084h, ADDBLDRB 0008 9086h



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値 11~0	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 右詰めフォーマット、10 ビット精度に設定した場合

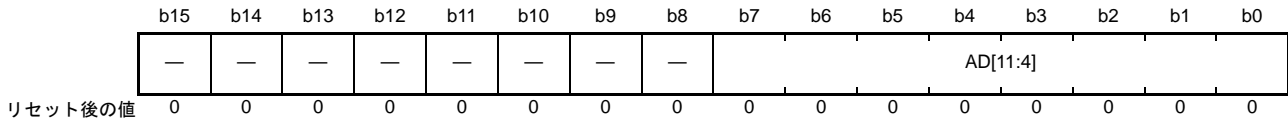
アドレス ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
ADDR4 0008 9028h, ADDR5 0008 902Ah, ADDR6 0008 902Ch, ADDR7 0008 902Eh
ADDBLDR 0008 9018h, ADDBLDRA 0008 9084h, ADDBLDRB 0008 9086h



ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[11:2]	変換値 11~2	12ビットA/D変換値の上位10ビット	R
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 右詰めフォーマット、8ビット精度に設定した場合

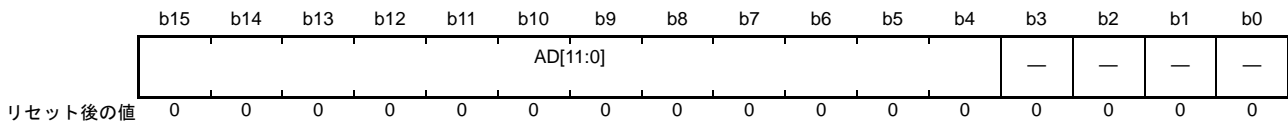
アドレス ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
ADDR4 0008 9028h, ADDR5 0008 902Ah, ADDR6 0008 902Ch, ADDR7 0008 902Eh
ADBLDR 0008 9018h, ADBLDRA 0008 9084h, ADBLDRB 0008 9086h



ビット	シンボル	ビット名	機能	R/W
b7-b0	AD[11:4]	変換値 11~4	12ビットA/D変換値の上位8ビット	R
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 左詰めフォーマット、12ビット精度に設定した場合

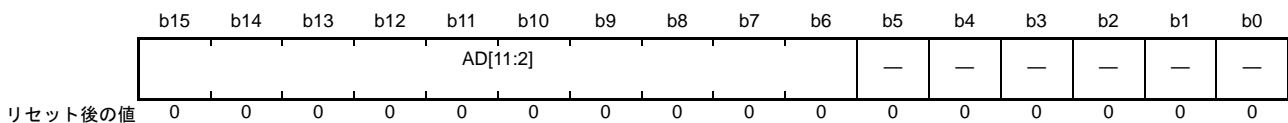
アドレス ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
ADDR4 0008 9028h, ADDR5 0008 902Ah, ADDR6 0008 902Ch, ADDR7 0008 902Eh
ADBLDR 0008 9018h, ADBLDRA 0008 9084h, ADBLDRB 0008 9086h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください	R
b15-b4	AD[11:0]	変換値 11~0	12ビットA/D変換値	R/W

- 左詰めフォーマット、10ビット精度に設定した場合

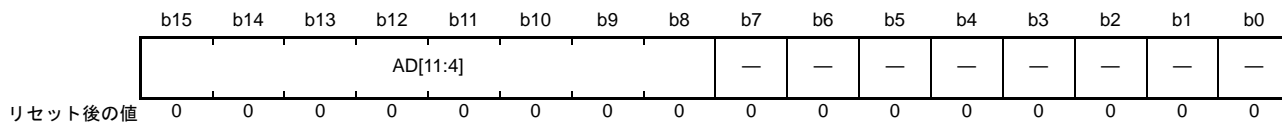
アドレス ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
ADDR4 0008 9028h, ADDR5 0008 902Ah, ADDR6 0008 902Ch, ADDR7 0008 902Eh
ADBLDR 0008 9018h, ADBLDRA 0008 9084h, ADBLDRB 0008 9086h



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください	R
b15-b6	AD[11:2]	変換値 11~2	12ビットA/D変換値の上位10ビット	R/W

- 左詰めフォーマット、8ビット精度に設定した場合

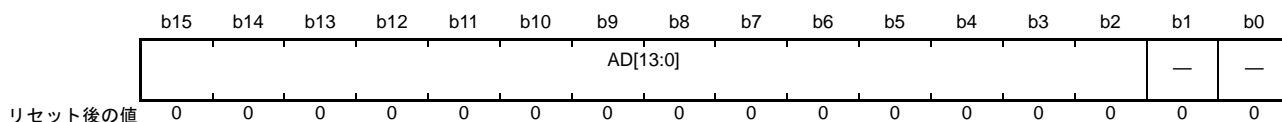
アドレス ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
ADDR4 0008 9028h, ADDR5 0008 902Ah, ADDR6 0008 902Ch, ADDR7 0008 902Eh
ADDBLDR 0008 9018h, ADDBLDRA 0008 9084h, ADDBLDRB 0008 9086h



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください	R
b15-b8	AD[11:4]	変換値 11~4	12ビットA/D変換値の上位8ビット	R/W

- A/D変換値加算モードを選択した場合

アドレス ADDR0 0008 9020h, ADDR1 0008 9022h, ADDR2 0008 9024h, ADDR3 0008 9026h,
ADDR4 0008 9028h, ADDR5 0008 902Ah, ADDR6 0008 902Ch, ADDR7 0008 902Eh
ADDBLDR 0008 9018h, ADDBLDRA 0008 9084h, ADDBLDRB 0008 9086h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください	R
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R/W

A/D変換値加算モードに設定した場合、AD[13:0]ビットは同一チャネルのA/D変換値を加算した値を示します。A/D変換値加算モードに設定すると、AD変換結果の加算値を、14ビットで左詰めにA/Dデータレジスタに保持し、ADCER.ADPRC[1:0]ビット、ADCER.ADRFMTビットの設定は無効となります。

35.2.2 A/D 自己診断データレジスタ (ADRD)

ADRD レジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定によって、以下に示すフォーマットになります。ADRDレジスタは、A/D変換加算モードには設定できません。

- ADCER.ADRFMT=0 (右詰めフォーマットに設定)

アドレス 0008 901Eh



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : VREFH0×1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFH0の電圧値の自己診断を実施したことを示す 自己診断の詳細については「35.2.8 A/Dコントロール拡張レジスタ (ADCER)」を参照してください	R

- ADCER.ADRFMT=1 (左詰めフォーマットに設定)

アドレス 0008 901Eh



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータスビット	b1 b0 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : VREFH0×1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFH0の電圧値の自己診断を実施したことを示す 自己診断の詳細については「35.2.8 A/Dコントロール拡張レジスタ (ADCER)」を参照してください	R
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

35.2.3 A/D コントロールレジスタ (ADCSR)

アドレス 0008 9000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS[1:0]	ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択ビット	ダブルトリガ対象のアナログ入力を8チャンネルから1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了後にS12GBADI割り込み発生を禁止 1: グループBのスキャン終了後にS12GBADI割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガ (MTU3、GPT) によるA/D変換の開始を選択 1: 非同期トリガ (ADTRG0#) によるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b10-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後のS12ADI割り込み発生を禁止 1: スキャン終了後のS12ADI割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: 1サイクルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子 (非同期トリガ) でA/D変換を起動する方法
外部端子 (ADTRG0#) にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0#の信号をLowに変化させると、ADTRG0#の立ち下がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上必要です。

ADCSRレジスタは、ダブルトリガモードの設定、A/D変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D変換の開始/停止を行うレジスタです。

DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択ビット)

ダブルトリガモードでA/D変換データを2重化する1チャンネルを選択します。DBLANS[4:0]ビットで選択したチャンネルのアナログ入力を、ダブルトリガモードの1回目のA/D変換開始トリガで変換した結果がA/Dデータレジスタyに格納され、2回目のA/D変換開始トリガで変換した結果がA/Dデータ2重化レジスタに格納されます。表35.4にダブルトリガ対象チャンネルの選択表を示します。ダブルトリガモードでの加算モードは、DBLANS[4:0]ビットで選択したチャンネルをADADSレジスタで選択することで可能です。ダブルトリガモードを選択した場合は、ADANSAレジスタで選択したチャンネルは無効になり、DBLANS[4:0]ビットで選択した1チャンネルがA/D変換を行うチャンネルとなります。DBLANS[4:0]ビットは、ADSTビットが“0”のときに設定してください (ADSTビットへの“1”書き込みと同時設定もしないでください)。

表 35.4 DBLANSビット設定値とダブルトリガ対象チャネルの関係

DBLANS[4:0]	2重化チャネル
00000	AN000
00001	AN001
00010	AN002
00011	AN003
00100	AN004
00101	AN005
00110	AN006
00111	AN007

GBADIE ビット (グループ B スキャン終了割り込みイネーブルビット)

グループスキャンモードでのグループ B のスキャン終了割り込み (S12GBADI) の発生を許可 / 禁止します。

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、ADSTRGR.TRSA[4:0] ビットで選択した MTU3、GPT からのトリガでスキャンを開始したことを条件に以下 1 と 2 の動作となります。

1. ADIE ビットが“1”に設定されている場合に、1 回目のスキャン終了時はスキャン終了割り込みを発生せず、2 回目のスキャン終了時にスキャン終了割り込みを発生します。
2. DBLANS[4:0] ビットで選択したアナログ入力のアナログデータの A/D 変換データを、1 回目は A/D データレジスタ y に格納し、2 回目は A/D データ 2 重化レジスタに格納します。

DBLE ビットを“1”にすると ADANSA レジスタで選択したチャネルは無効になります。連続スキャンモードではダブルトリガモードを選択しないでください。ダブルトリガモード選択中はソフトウェアトリガは使用しないでください。DBLE ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時に設定もしないでください)。

EXTRG ビット (トリガ選択ビット)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

TRGE ビット (トリガ起動許可ビット)

同期トリガ、非同期トリガによる A/D 変換の起動を許可 / 禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B を除く、A/D スキャン変換終了割り込み (S12ADI) の発生を許可 / 禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回目のスキャンが終了したときに、ADIE ビットが“1”に設定されていれば、S12ADI 割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[4:0] ビットで選択した MTU3、GPT からのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”に設定されていれば S12ADI 割り込みが発生します。

ADCS ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

1 サイクルスキャンモードは、ADANSA レジスタで選択した最大 8 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA レジスタで選択した最大 8 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。ADCSR.ADST ビットを“0”にすると A/D 変換を停止します。

グループスキャンモードは ADSTRGR.TRSA[4:0] ビットで選択した MTU3、GPT からのトリガを開始条件として、ADANSA レジスタで選択した最大 8 チャンネルのアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。また同様に ADSTRGR.TRSA[4:0] ビットで選択した MTU3、GPT からのトリガを A/D 変換開始条件として、ADANSB レジスタで選択した最大 8 チャンネルのアナログ入力 (グループ B) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。グループスキャンモードを選択する場合は、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

ADCS ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時に設定もしないでください)。

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[“1”になる条件]

- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG に“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[4:0] ビットで選択した同期トリガ (MTU3、GPT) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットに“1”を設定し ADSTRGR.TRSA[4:0] ビットで選択した同期トリガ (MTU3、GPT) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[4:0] ビットを“0000b”に設定し、非同期トリガを検出したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = “01b” かつ ADGSPCR.PGS = “1”) に、グループ B のトリガを検出し、グループ B の A/D 変換を開始したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = “01b” かつ ADGSPCR.PGS = “1”) に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループ B の A/D 変換を再開したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = “01b” かつ ADGSPCR.PGS = “1”) に、ADGSPCR.GBRP ビットを“1”に設定し、グループ B の A/D 変換を開始したとき

[“0”になる条件]

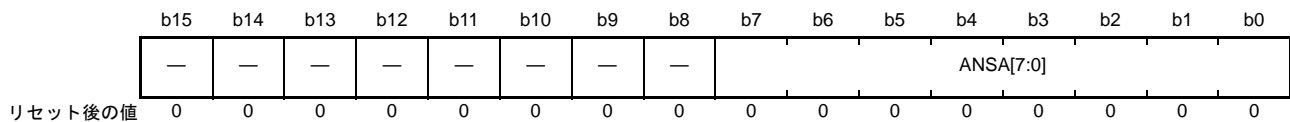
- ソフトウェアで“0”を書き込んだとき
- 1 サイクルスキャンモードで、選択したすべてのチャンネルの A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = “01b” かつ ADGSPCR.PGS = “1”) に、グループ B の A/D 変換実行中に、グループ A のトリガを検出し、グループ B のスキャンが中断されたとき

- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = “01b” かつ ADGSPCR.PGS = “1”) に、ADGSPCR.GBRP ビットを “1” に設定し、グループ B の再起動トリガによるスキャンが終了したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = “01b” かつ ADGSPCR.PGS = “1”) に、ADGSPCR.GBRSCN ビットを “1” に設定し、グループ B のトリガによるスキャンが終了したとき

- 注 1. グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = “01b” かつ ADGSPCR.PGS = “1”)、ADST ビットを “1” にしないでください。
- 注 2. グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = “01b” かつ ADGSPCR.PGS = “1”)、かつ ADGSPCR.GBRP = “1” のとき、ADST ビットを “0” にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

35.2.4 A/D チャネル選択レジスタ A (ADANSA)

アドレス 0008 9004h



ビット	シンボル	ビット名	機能	R/W
b7-b0	ANSA[7:0]	A/D変換チャネル選択ビット	0 : AN000 ~ AN007 を変換対象から外す 1 : AN000 ~ AN007 を変換対象とする	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSA レジスタは、A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN007 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA[7:0] ビット (A/D 変換チャネル選択ビット)

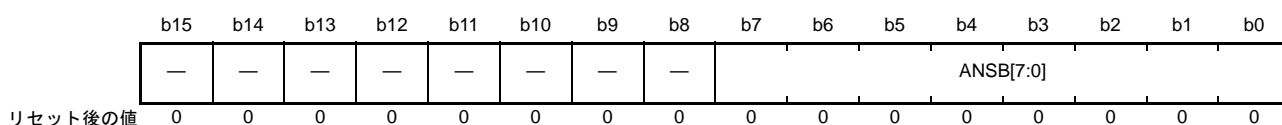
A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN007 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA[0] ビットが AN000、ANSA[7] ビットが AN007 に対応します。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA[7:0] ビットの設定は無効になります。

ANSA[7:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

35.2.5 A/D チャンネル選択レジスタ B (ADANSB)

アドレス 0008 9014h



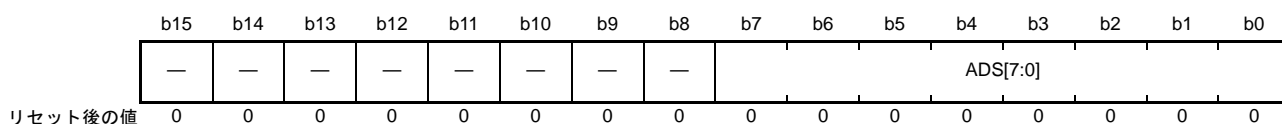
ビット	シンボル	ビット名	機能	R/W
b7-b0	ANSB[7:0]	A/D変換チャンネル選択ビット	0 : AN000～AN007を変換対象から外す 1 : AN000～AN007を変換対象とする	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSBレジスタは、グループスキャンモード選択時にグループBでA/D変換を行うチャンネルAN000～AN007の選択を行います。ADANSBレジスタは他のスキャンモードでは使用しません。選択するチャンネル及びチャンネル数は、ADANSAレジスタまたはダブルトリガモードでのADCSR.DBLANS[4:0]ビットで選択したグループAのチャンネル以外から設定します。ANSB[0]ビットがAN000、ANSB[7]ビットがAN007に対応します。

ANSB[7:0]ビットは、ADSTビットが“0”のときに設定してください。

35.2.6 A/D変換値加算モード選択レジスタ (ADADS)

アドレス 0008 9008h



ビット	シンボル	ビット名	機能	R/W
b7-b0	ADS[7:0]	A/D変換チャンネル選択ビット	0 : AN000～AN007のA/D変換値加算モード非選択 1 : AN000～AN007のA/D変換値加算モード選択	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADSレジスタは、A/D変換を連続2～4回実施して加算（積算）するA/D変換チャンネル0～7を選択します。

ADS[7:0]ビット (A/D変換値加算チャンネル0～7選択ビット)

ADANSA.ANSA[n]ビット (n=0～7) またはADCSR.DBLANS[4:0]ビットとADANSB.ANSB[n]ビット (n=0～7) で選択したA/D変換チャンネルと同一番号のADS[n]ビットを“1”にすると、ADADC.ADC[1:0]ビットで設定した回数(2～4回)分、選択したチャンネルのアナログ入力を連続してA/D変換し、加算（積算）した値をA/Dデータレジスタに返します。加算モードが非選択のA/D変換チャンネルは、通常の1回変換を実施し、A/Dデータレジスタに値を返します。

ADS[7:0]ビットは、ADCSR.ADSTビットが“0”のときに設定してください。

図 35.2 にビット ADS[2] と ADS[6] を “1” にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算回数は 3 回に設定 (ADADC.ADC[1:0] = 11b)、AN000 ~ AN007 が選択 (ADANSA.ANSA[7:0] = FFh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN006 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 6 に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

加算モードを選択しないチャンネルの A/D データレジスタのフォーマットは、ADCER.ADRFMT ビット (右詰め / 左詰め) の設定により決定されます。

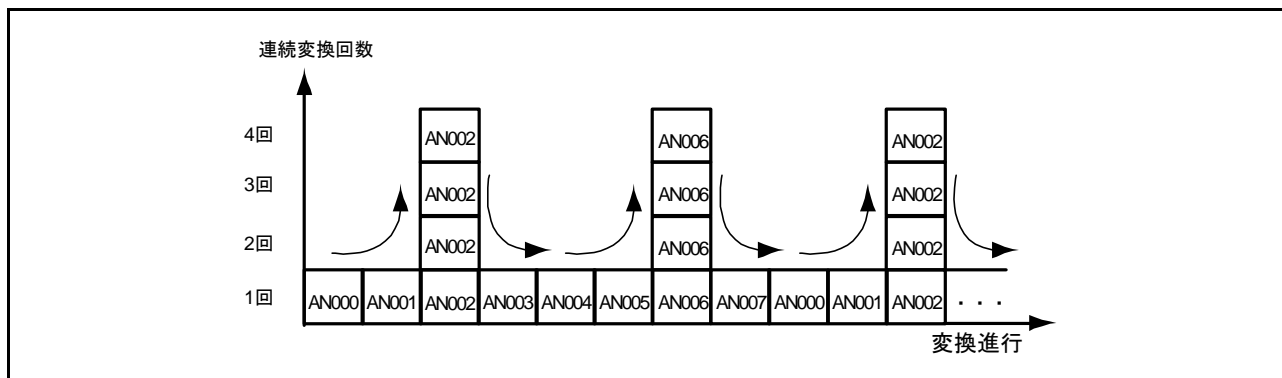
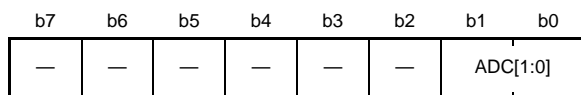


図 35.2 ADADC.ADC[1:0] = 11b、ADS[2] = 1、ADS[6] = 1 選択時のスキャン変換シーケンス

35.2.7 A/D 変換値加算回数選択レジスタ (ADADC)

アドレス 0008 900Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADC[1:0]	加算回数選択ビット	b1 b0 0 0 : 1回変換 (加算なし。通常変換と同じ) 0 1 : 2回変換 (1回加算を行う) 1 0 : 3回変換 (2回加算を行う) 1 1 : 4回変換 (3回加算を行う)	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADC レジスタは、A/D 変換値加算モードが選択されたチャンネルの A/D 変換に対して加算回数の設定を行います。

ADC[1:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算モードが選択されたチャンネルの A/D 変換に対して共通の加算回数を設定します。ADC[1:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

35.2.8 A/D コントロール拡張レジスタ (ADCER)

アドレス 0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	DCE	—	ADPRC[1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2-b1	ADPRC[1:0]	A/Dデータレジスタビット精度指定ビット	00: A/Dデータレジスタに12ビット精度で格納する 01: A/Dデータレジスタに10ビット精度で格納する 10: A/Dデータレジスタに8ビット精度で格納する 11: 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DCE	ディスチャージイネーブルビット	0: A/D変換終了後のディスチャージ動作を実施しない 1: A/D変換終了後のディスチャージ動作を実施する	R/W
b5	ACE	自動クリアイネーブルビット	0: 自動クリアを禁止 1: 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0: 自己診断有効時は設定禁止 0 1: 0Vの電圧を使って自己診断を行う 1 0: VREFH0×1/2の電圧を使って自己診断を行う 1 1: VREFH0の電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0: 自己診断電圧ローテーションモード 1: 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0: 12ビットA/Dコンバータの自己診断を実施しない 1: 12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択ビット	0: A/Dデータレジスタのフォーマットを右詰めにする 1: A/Dデータレジスタのフォーマットを左詰めにする	R/W

ADCER レジスタは、自己診断モード、A/Dデータレジスタ y (ADDRy) のフォーマット、自動クリアの設定を行うレジスタです。

ADPRC ビット (A/D データレジスタビット精度指定ビット)

A/D変換結果を、ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB に8ビット精度で格納するか、10ビット精度で格納するか、12ビット精度で格納するかを選択します。

DCE ビット (ディスチャージイネーブルビット)

A/D変換終了後、対象アナログ端子のディスチャージを行うか行わないかを選択します。故障によりA/Dコンバータの入力端子がオープンとなった場合、数回に分けてディスチャージを行うことで変換結果が“0000h”に近い値となり、端子オープンを検出することができます。

ACE ビット (自動クリアイネーブルビット)

CPU、DTCおよびDMACAによってADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRBレジスタを読み出した後、当該レジスタの自動クリア (All“0”)を行うか行わないかを選択します。自動クリアによりADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRBレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

詳細は ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが“00b”の状態では ADCER.DIAGLD ビットを“1”に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。

ADCER.DIAGLD ビットを“0”にすると $0V \rightarrow VREFH0 \times 1/2 \rightarrow VREFH0$ の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は $0V$ から自己診断を行います。自己診断電圧固定モードを選択した場合は ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても $0V$ に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADST が“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する $0V$ 、 $VREFH0 \times 1/2$ 、 $VREFH0$ の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで ADRD レジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。自己診断の実行時間は、1チャンネルのA/D変換時間と同じです。グループスキャンモードで自己診断を選択した場合は、グループAとグループBのそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADST ビットが“0”のときに行ってください。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

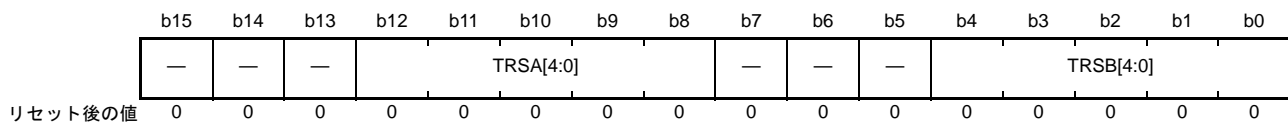
ADDR_y、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタに格納するデータの右詰め/左詰めを選択します。

A/D変換値加算モードが選択されている場合、各データレジスタのフォーマットは、ADCER.ADRFMT ビットの設定によらず左詰め固定です。

データレジスタのフォーマットの詳細は、「35.2.1 A/D データレジスタ y (ADDR_y) (y = 0 ~ 7)、A/D データ2重化レジスタ (ADDBLDR)、A/D データ2重化レジスタ A (ADDBLDRA)、A/D データ2重化レジスタ B (ADDBLDRB)」、「35.2.2 A/D 自己診断データレジスタ (ADRD)」を参照してください。

35.2.9 A/D 開始トリガ選択レジスタ (ADSTRGR)

アドレス 0008 9010h



ビット	シンボル	ビット名	機能	R/W
b4-b0	TRSB[4:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b8	TRSA[4:0]	A/D変換開始トリガ選択ビット	1サイクルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

TRSB[4:0] ビット (グループ B 専用 A/D 変換開始トリガ選択ビット)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[4:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[4:0] ビットを“00000”以外に設定し、ADCSR.TRGE ビットを“1”に設定してください。

グループスキャンモードのグループ A 優先制御時に、ADGSPCR.GBRP ビットを“1”にすることで、グループ B を 1 サイクルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを“1”に設定する場合は、TRSB[4:0] ビットを“1Fh”に設定してください。なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上となるように設定してください。発行間隔が tSCAN 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

表 35.5 に TRSB[4:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[4:0] ビット (A/D 変換開始トリガ選択ビット)

1 サイクルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガ (MTU3、GPT) の A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガ (ADTRG0#) を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[4:0] ビットの設定値にかかわらず有効です。なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上となるように設定してください。発行間隔が tSCAN 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

表 35.6 に TRSA[4:0] ビットでの A/D 起動要因選択一覧を示します。

表 35.5 TRSB[4:0]ビットでのA/D起動要因選択一覧

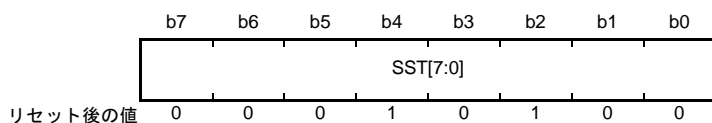
モジュール	要因	備考	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態			1	1	1	1	1
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、 または 相補PWMモード時MTU4.TCNTのアンダフロー (谷)	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、 または相補PWMモード時MTU7.TCNTのアンダフロー (谷)	0	0	1	1	1
	TRG0AN	MTU0.TGREのコンペアマッチ	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、 または、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、 または、 MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	1	1	1	1
TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、 MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	1	0	0	0	0	
GPT	GTADTRA0N	GPT0.GTADTRAのコンペアマッチ	1	0	0	0	1
	GTADTRB0N	GPT0.GTADTRBのコンペアマッチ	1	0	0	1	0
	GTADTRA1N	GPT1.GTADTRAのコンペアマッチ	1	0	0	1	1
	GTADTRB1N	GPT1.GTADTRBのコンペアマッチ	1	0	1	0	0
	GTADTRA2N	GPT2.GTADTRAのコンペアマッチ	1	0	1	0	1
	GTADTRB2N	GPT2.GTADTRBのコンペアマッチ	1	0	1	1	0
	GTADTRA3N	GPT3.GTADTRAのコンペアマッチ	1	0	1	1	1
	GTADTRB3N	GPT3.GTADTRBのコンペアマッチ	1	1	0	0	0
	GTADTRA0N または GTADTRB0N	GPT0.GTADTRAのコンペアマッチ、 または、 GPT0.GTADTRBのコンペアマッチ	1	1	0	0	1
	GTADTRA1N または GTADTRB1N	GPT1.GTADTRAのコンペアマッチ、 または、 GPT1.GTADTRBのコンペアマッチ	1	1	0	1	0
	GTADTRA2N または GTADTRB2N	GPT2.GTADTRAのコンペアマッチ、 または、 GPT2.GTADTRBのコンペアマッチ	1	1	0	1	1
	GTADTRA3N または GTADTRB3N	GPT3.GTADTRAのコンペアマッチ、 または、 GPT3.GTADTRBのコンペアマッチ	1	1	1	0	0

表 35.6 TRSA[4:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態			1	1	1	1	1
外部端子	ADTRG0#	トリガ入力端子	0	0	0	0	0
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、 または 相補PWMモード時MTU4.TCNTのアンダフロー (谷)	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、 または 相補PWMモード時MTU7.TCNTのアンダフロー (谷)	0	0	1	1	1
	TRG0AN	MTU0.TGREのコンペアマッチ	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、 または、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	1	1	1	0
TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、 または、 MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	1	1	1	1	
TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、 MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	1	0	0	0	0	
GPT	GTADTRA0N	GPT0.GTADTRAのコンペアマッチ	1	0	0	0	1
	GTADTRB0N	GPT0.GTADTRBのコンペアマッチ	1	0	0	1	0
	GTADTRA1N	GPT1.GTADTRAのコンペアマッチ	1	0	0	1	1
	GTADTRB1N	GPT1.GTADTRBのコンペアマッチ	1	0	1	0	0
	GTADTRA2N	GPT2.GTADTRAのコンペアマッチ	1	0	1	0	1
	GTADTRB2N	GPT2.GTADTRBのコンペアマッチ	1	0	1	1	0
	GTADTRA3N	GPT3.GTADTRAのコンペアマッチ	1	0	1	1	1
	GTADTRB3N	GPT3.GTADTRBのコンペアマッチ	1	1	0	0	0
	GTADTRA0N または GTADTRB0N	GPT0.GTADTRAのコンペアマッチ、 または、 GPT0.GTADTRBのコンペアマッチ	1	1	0	0	1
	GTADTRA1N または GTADTRB1N	GPT1.GTADTRAのコンペアマッチ、 または、 GPT1.GTADTRBのコンペアマッチ	1	1	0	1	0
	GTADTRA2N または GTADTRB2N	GPT2.GTADTRAのコンペアマッチ、 または、 GPT2.GTADTRBのコンペアマッチ	1	1	0	1	1
	GTADTRA3N または GTADTRB3N	GPT3.GTADTRAのコンペアマッチ、 または、 GPT3.GTADTRBのコンペアマッチ	1	1	1	0	0

35.2.10 A/D サンプリングステートレジスタ n (ADSSTRn) (n=0 ~ 7)

アドレス ADSSTR0 0008 9060h、ADSSTR1 0008 9073h、ADSSTR2 0008 9074h、ADSSTR3 0008 9075h、
ADSSTR4 0008 9076h、ADSSTR5 0008 9077h、ADSSTR6 0008 9078h、ADSSTR7 0008 9079h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定ビット	13~255ステートの間でサンプリング時間を設定します	R/W

ADSSTRn レジスタは、アナログ入力のスAMPLING時間の設定を行います。

1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 50MHz であれば 1 ステート = 20ns になります。初期値は 20 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。本ビットの設定は ADCSR.ADST が “0” のときに行ってください。サンプリング時間の設定値は、13 ステート以上 255 ステート以下の値を設定してください。また、サンプリング時間が 0.4μs 以上となるように設定してください。表 35.7 に A/D サンプリングステートレジスタと対象チャンネルの関係を示します。

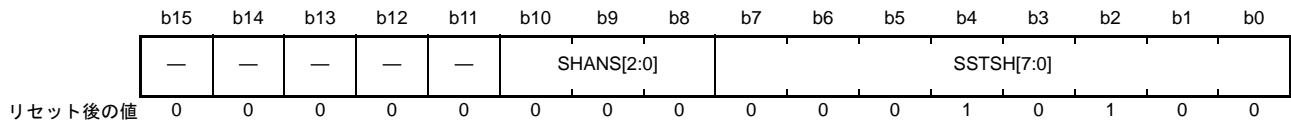
詳細は、「35.3.5 アナログ入力のスAMPLINGとスキャン変換時間」を参照してください。

表 35.7 A/D サンプリングステートレジスタと対象チャンネルの関係

ビット名	対象チャンネル
ADSSTR0.SST[7:0] ビット	AN000/ 自己診断
ADSSTR1.SST[7:0] ビット	AN001
ADSSTR2.SST[7:0] ビット	AN002
ADSSTR3.SST[7:0] ビット	AN003
ADSSTR4.SST[7:0] ビット	AN004
ADSSTR5.SST[7:0] ビット	AN005
ADSSTR6.SST[7:0] ビット	AN006
ADSSTR7.SST[7:0] ビット	AN007

35.2.11 サンプル & ホールド回路コントロールレジスタ (ADSHCR)

アドレス 0008 9066h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTSH[7:0]	サンプリング時間サンプル&ホールド回路設定ビット	4～255ステートの間でサンプリング時間を設定します	R/W
b10-b8	SHANS[2:0]	チャンネル専用サンプル&ホールド回路バイパス選択ビット	AN000～AN002のチャンネル専用サンプル&ホールド回路を使用するか、使用せずバイパスするかを選択します。 0：チャンネル専用サンプル&ホールド回路をバイパス 1：チャンネル専用サンプル&ホールド回路を使用	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSHCR レジスタは、チャンネル専用サンプル & ホールド回路を設定するレジスタです。

SSTSH[7:0] ビット (サンプリング時間サンプル & ホールド回路設定ビット)

チャンネル専用サンプル&ホールド回路のサンプリング時間設定をします。1ステート＝1ADCLKクロック (A/D変換クロック) 幅でADCLKクロックが50MHzであれば1ステート＝20nsになります。初期値は20ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLKクロックが低速な場合に、サンプリング時間を調整することができます。SSTSH[7:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。サンプリング時間の設定値は、4ステート以上255ステート以下の値を設定してください。また、サンプリング時間が0.6μs以上となるように設定してください。例えば、ADCLKが50MHzであれば、サンプリング時間設定値の下限は30ステートとなります。

SHANS[2:0] ビット (チャンネル専用サンプル&ホールド回路バイパス選択ビット)

アナログ入力AN000～AN002のチャンネル専用サンプル&ホールド回路を使用するか、使用しないでバイパスするかを選択します。SHANS[0]ビットがAN000、SHANS[1]ビットがAN001、SHANS[2]ビットがAN002のチャンネル専用サンプル&ホールド回路の選択ビットになります。SHANS[2:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

グループスキャンモードのグループA優先制御時に、グループBにAN000～AN002のいずれかを選択した場合は、チャンネル専用サンプル&ホールド回路をバイパスする設定をしてください。

35.2.12 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス 0008 9080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定ビット (注1)	0: グループAの優先制御動作を行わない 1: グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定ビット	(PGS=1のときのみ有効。PGS=0のときは予約ビット) 0: グループAの優先制御でグループBのA/D変換動作中断後の再起動をしない 1: グループAの優先制御でグループBのA/D変換動作中断後の再起動をする	R/W
b14-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	GBRP	グループB用1サイクルスキャン連続起動設定ビット (注2)	(PGS=1のときのみ有効。PGS=0のときは予約ビット) 0: グループBは1サイクルスキャン連続動作しない 1: グループBの1サイクルスキャン連続動作開始	R/W

注1. PGSビットを“1”にするときは、ADCSR.ADCS[1:0]ビットを“01b” (グループスキャンモード) に設定してください。それ以外の設定をした場合、動作は保証されません。

注2. GBRPビットを“1”にした場合は、GBRSCNビットの設定によらず、グループBの1サイクルスキャン連続動作を実行します。

ADGSPCR レジスタは、グループスキャンモードでグループAを優先的にA/D変換する優先制御を設定するレジスタです。

PGS ビット (グループA 優先制御設定ビット)

グループAの優先動作を制御します。グループA優先制御動作を行うときに“1”を設定してください。

PGSビットを“1”に設定するときは、ADCSR.ADCS[1:0]ビットを“01b” (グループスキャンモード) に設定してください。それ以外の設定をした場合、動作は保証されません。

PGSビットを“0”にした場合は、「35.6.2 A/D変換停止時の注意事項」に従い、ソフトウェアでのクリアを行ってください。PGSビットを“1”にした場合は、「34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】」の「34.3.4.4 グループA優先制御動作」の手順に従い設定を行ってください。

GBRSCN ビット (グループB 再起動設定ビット)

グループA優先制御時の、グループBの再スキャン動作を設定します。

GBRSCNビットを“1”にすると、グループAのトリガ入力によるスキャン動作中断後、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を実行します。また、グループAのA/D変換動作中にグループBのトリガ入力があった場合、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を行います。

ただし、グループAのトリガが連続で入力された場合、グループBの再スキャン動作は、行われません。

GBRSCNビットを“0”にした場合は、A/D変換実行中に入力されたトリガは無視されます。また、GBRSCNビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

GBRSCNビットの設定は、PGSビットが“1”のときに有効となります。

GBRP ビット (グループ B 用 1 サイクルスキャン連続起動設定ビット)

グループ B を 1 サイクルスキャンで連続動作させる場合に設定します。

GBRP ビットを“1”にすると、グループ B の 1 サイクルスキャンが起動します。スキャン終了後、自動的にグループ B の 1 サイクルスキャンを再開します。グループ A 優先制御動作でグループ B の A/D 変換動作が中断した後は、グループ A の A/D 変換動作終了後、自動的にグループ B の 1 サイクルスキャンを再開します。

GBRP ビットを“1”にする場合は、事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを“1”にした場合、GBRSCN ビットの設定は無効です。

GBRP ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

GBRP ビットの設定は、PGS ビットが“1”のときに有効となります。

35.2.13 コンパレータ動作モード選択レジスタ 0 (ADCMPMD0)

アドレス 0008 90E0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	CEN002[1:0]	CEN001[1:0]	CEN000[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CEN000[1:0]	AN000用コンパレータ選択ビット	b1 b0 00 : コンパレータを使用しない 01 : Lowレベルコンパレータとして使用 (Low側基準電圧よりも低い入力電圧を検出) 10 : Highレベルコンパレータとして使用 (High側基準電圧よりも高い入力電圧を検出) 11 : ウィンドウコンパレータとして使用 (Low側基準電圧～High側基準電圧の範囲外の入力電圧を検出)	R/W
b3-b2	CEN001[1:0]	AN001用コンパレータ選択ビット	b3 b2 00 : コンパレータを使用しない 01 : Lowレベルコンパレータとして使用 (Low側基準電圧よりも低い入力電圧を検出) 10 : Highレベルコンパレータとして使用 (High側基準電圧よりも高い入力電圧を検出) 11 : ウィンドウコンパレータとして使用 (Low側基準電圧～High側基準電圧の範囲外の入力電圧を検出)	R/W
b5-b4	CEN002[1:0]	AN002用コンパレータ選択ビット	b5 b4 00 : コンパレータを使用しない 01 : Lowレベルコンパレータとして使用 (Low側基準電圧よりも低い入力電圧を検出) 10 : Highレベルコンパレータとして使用 (High側基準電圧よりも高い入力電圧を検出) 11 : ウィンドウコンパレータとして使用 (Low側基準電圧～High側基準電圧の範囲外の入力電圧を検出)	R/W
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPMD0 レジスタは、コンパレータの使用 / 未使用を設定するレジスタです。

CENn[1:0] ビット (ANn 用コンパレータ選択ビット) (n=000 ~ 002)

各コンパレータの使用 / 未使用、および動作モードを設定します。

35.2.14 コンパレータ動作モード選択レジスタ 1 (ADCMPMD1)

アドレス 0008 90E2h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	VSELL 0	VSELH 0	—	—	REFH[2:0]			—	REFL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	REFL[2:0]	コンパレータ Low 側基準電圧用内部電圧選択ビット	b2 b1 b0 0 0 0 : 無効 0 0 1 : AVCC0×1/8 0 1 0 : AVCC0×2/8 0 1 1 : AVCC0×3/8 1 0 0 : AVCC0×4/8 1 0 1 : AVCC0×5/8 1 1 0 : AVCC0×6/8 1 1 1 : AVCC0×7/8	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	REFH[2:0]	コンパレータ High 側基準電圧用内部電圧選択ビット	b6 b5 b4 0 0 0 : 無効 0 0 1 : AVCC0×1/8 0 1 0 : AVCC0×2/8 0 1 1 : AVCC0×3/8 1 0 0 : AVCC0×4/8 1 0 1 : AVCC0×5/8 1 1 0 : AVCC0×6/8 1 1 1 : AVCC0×7/8	R/W
b8-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	VSELH0	コンパレータ High 側基準電圧選択ビット	0 : AN007 端子から High 側基準電圧を入力 1 : REFH[2:0] ビットで選択された内部電圧を High 側基準電圧に 入力	R/W
b10	VSELL0	コンパレータ Low 側基準電圧選択ビット	0 : AN003 端子から Low 側基準電圧を入力 1 : REFL[2:0] ビットで選択された内部電圧を Low 側基準電圧に 入力	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPMD1 レジスタは、コンパレータの入力および基準電圧を設定するレジスタです。

REFL[2:0] ビット (コンパレータ Low 側基準電圧用内部電圧選択ビット)

コンパレータ Low 側基準電圧に内部電圧を使用する場合の電圧値を設定します。

電圧値の設定可能範囲は、使用条件で異なりますので、

「43. 電気的特性【64/48ピン版】」の REFL 電圧範囲を参照してください。

REFH[2:0] ビット (コンパレータ High 側基準電圧用内部電圧選択ビット)

コンパレータ High 側基準電圧に内部電圧を使用する場合の電圧値を設定します。

電圧値の設定可能範囲は、使用条件で異なりますので、

「43. 電気的特性【64/48ピン版】」の REFH 電圧範囲を参照してください。

VSELH0 ビット (コンパレータ High 側基準電圧選択ビット)

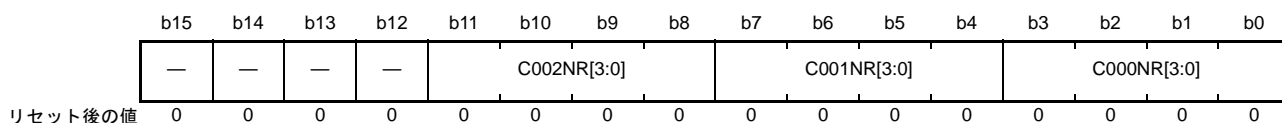
コンパレータの High 側基準電圧の入力方法を設定します。

VSELL0 ビット (コンパレータ Low 側基準電圧選択ビット)

コンパレータの Low 側基準電圧の入力方法を設定します。

35.2.15 コンパレータフィルタモードレジスタ 0 (ADCMPNR0)

アドレス 0008 90E4h



ビット	シンボル	ビット名	機能	R/W
b3-b0	C000NR[3:0]	AN000用コンパレータ ノイズキャンセルフィルタ モード選択ビット	b3 b0 0000: コンパレータ検出結果をサンプリングしない 1000: コンパレータ検出結果をPCLKで16回サンプリング 1001: コンパレータ検出結果をPCLK/2で16回サンプリング 1010: コンパレータ検出結果をPCLK/4で16回サンプリング 1011: コンパレータ検出結果をPCLK/8で16回サンプリング 1100: コンパレータ検出結果をPCLK/16で16回サンプリング 1101: コンパレータ検出結果をPCLK/128で16回サンプリング 上記以外は設定しないでください	R/W
b7-b4	C001NR[3:0]	AN001用コンパレータ ノイズキャンセルフィルタ モード選択ビット	b7 b4 0000: コンパレータ検出結果をサンプリングしない 1000: コンパレータ検出結果をPCLKで16回サンプリング 1001: コンパレータ検出結果をPCLK/2で16回サンプリング 1010: コンパレータ検出結果をPCLK/4で16回サンプリング 1011: コンパレータ検出結果をPCLK/8で16回サンプリング 1100: コンパレータ検出結果をPCLK/16で16回サンプリング 1101: コンパレータ検出結果をPCLK/128で16回サンプリング 上記以外は設定しないでください	R/W
b11-b8	C002NR[3:0]	AN002用コンパレータ ノイズキャンセルフィルタ モード選択ビット	b11 b8 0000: コンパレータ検出結果をサンプリングしない 1000: コンパレータ検出結果をPCLKで16回サンプリング 1001: コンパレータ検出結果をPCLK/2で16回サンプリング 1010: コンパレータ検出結果をPCLK/4で16回サンプリング 1011: コンパレータ検出結果をPCLK/8で16回サンプリング 1100: コンパレータ検出結果をPCLK/16で16回サンプリング 1101: コンパレータ検出結果をPCLK/128で16回サンプリング 上記以外は設定しないでください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPNR0 レジスタは、コンパレータの検出結果用ノイズフィルタの動作を設定するレジスタです。

CnNR[3:0] ビット (ANn 用コンパレータノイズキャンセルフィルタモード選択ビット) (n=000 ~ 002)

ANn 用コンパレータの検出結果用ノイズフィルタの動作を設定します。コンパレータ検出結果を設定された条件でサンプリングし、全て検出だった場合、ADCMPFR.CnFLAG フラグをセットします。このとき、ADCMPSEL レジスタの設定により、コンパレータ割り込み (CMP0 ~ CMP2)、および、ポートアウトプットインネーブル 3 (POE3) の起動を要求することができます。

35.2.16 コンパレータ検出フラグレジスタ (ADCMPFR)

アドレス 0008 90E8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	C002FL AG	C001FL AG	C000FL AG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C000FLAG	AN000用コンパレータ検出フラグ	0 : コンパレータ未検出 1 : コンパレータ検出	R/(W) (注1)
b1	C001FLAG	AN001用コンパレータ検出フラグ	0 : コンパレータ未検出 1 : コンパレータ検出	R/(W) (注1)
b2	C002FLAG	AN002用コンパレータ検出フラグ	0 : コンパレータ未検出 1 : コンパレータ検出	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

ADCMPFR レジスタは、各コンパレータの検出 / 未検出状態を示すフラグレジスタです。

CnFLAG フラグ (ANn 用コンパレータ検出フラグ) (n=000 ~ 002)

各コンパレータの検出 / 未検出状態を示すフラグレジスタです。

〔“1”になる条件〕

- コンパレータ検出結果を、ADCMPNR0.CnNR[3:0] (n=000 ~ 002) ビットで設定された条件でサンプリングし、すべて検出だった場合

〔“0”になる条件〕

- ソフトウェアで“0”を書いたとき

35.2.17 コンパレータ割り込み選択レジスタ (ADCMPSSEL)

アドレス 0008 90EAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	POERQ002	POERQ001	POERQ000	—	—	—	—	—	IE002	IE001	IE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IE000	AN000用コンパレータ検出割り込み (CMP0) 許可ビット	0 : 割り込み発生を禁止 1 : 割り込み発生を許可	R/W
b1	IE001	AN001用コンパレータ検出割り込み (CMP1) 許可ビット	0 : 割り込み発生を禁止 1 : 割り込み発生を許可	R/W
b2	IE002	AN002用コンパレータ検出割り込み (CMP2) 許可ビット	0 : 割り込み発生を禁止 1 : 割り込み発生を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	POERQ000	AN000用コンパレータ検出 POE 要求設定ビット	0 : AN000用コンパレータ検出時の POE 要求発生を禁止 1 : AN000用コンパレータ検出時の POE 要求発生を許可	R/W
b9	POERQ001	AN001用コンパレータ検出 POE 要求設定ビット	0 : AN001用コンパレータ検出時の POE 要求発生を禁止 1 : AN001用コンパレータ検出時の POE 要求発生を許可	R/W
b10	POERQ002	AN002用コンパレータ検出 POE 要求設定ビット	0 : AN002用コンパレータ検出時の POE 要求発生を禁止 1 : AN002用コンパレータ検出時の POE 要求発生を許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPSSEL は、コンパレータ検出フラグを CPU 割り込み要因、POE 要因として使用するために設定するレジスタです。

IE_n ビット (n = 000 ~ 002) (AN_n 用コンパレータ検出割り込み許可ビット)

各コンパレータ検出による割り込み (CMP_n) の発生を禁止 / 許可します。

POERQ_n ビット (n = 000 ~ 002) (AN_n 用コンパレータ検出 POE 要求設定ビット)

各コンパレータ検出による POE 要求の発生を禁止 / 許可します。POE 要求は POERQ_n ビットで選択されたコンパレータ検出の論理和となります。

35.3 動作説明

35.3.1 スキャンの動作説明

「34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】」の「34.3.1 スキャンの動作説明」を参照してください。

35.3.2 1サイクルスキャンモード

「34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】」の「34.3.2 1サイクルスキャンモード」を参照してください。

35.3.3 連続スキャンモード

「34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】」の「34.3.3 連続スキャンモード」を参照してください。

35.3.4 グループスキャンモード

「34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】」の「34.3.4 グループスキャンモード」を参照してください。

35.3.5 アナログ入力のサンプリングとスキャン変換時間

「34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】」の「34.3.5 アナログ入力のサンプリングとスキャン変換時間」を参照してください。

35.3.6 レジスタのオートクリア機能の使用例

「34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】」の「34.3.6 レジスタのオートクリア機能の使用例」を参照してください。

35.3.7 A/D変換値加算機能

「34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】」の「34.3.7 A/D変換値加算機能」を参照してください。

35.3.8 アナログ端子ディスチャージ機能

「34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】」の「34.3.8 アナログ端子ディスチャージ機能」を参照してください。

35.3.9 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRGA[4:0]) を “00000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 35.3 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、変換を開始するまでの時間は、「35.6.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。

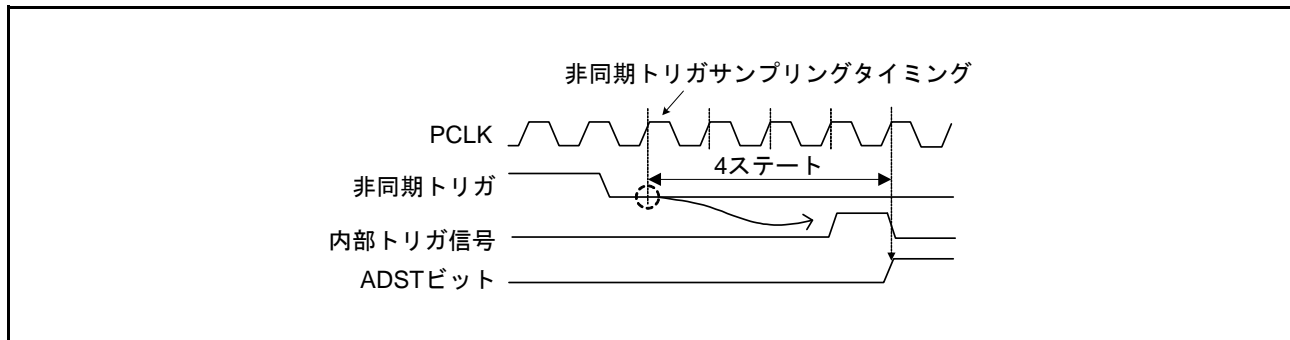


図 35.3 非同期トリガ入力タイミング

35.3.10 周辺モジュールからの同期トリガによる A/D 変換の開始

MTU3、GPT からの同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.TRSA[4:0]、TRSB[4:0] ビットで該当の起動要因にセットします。

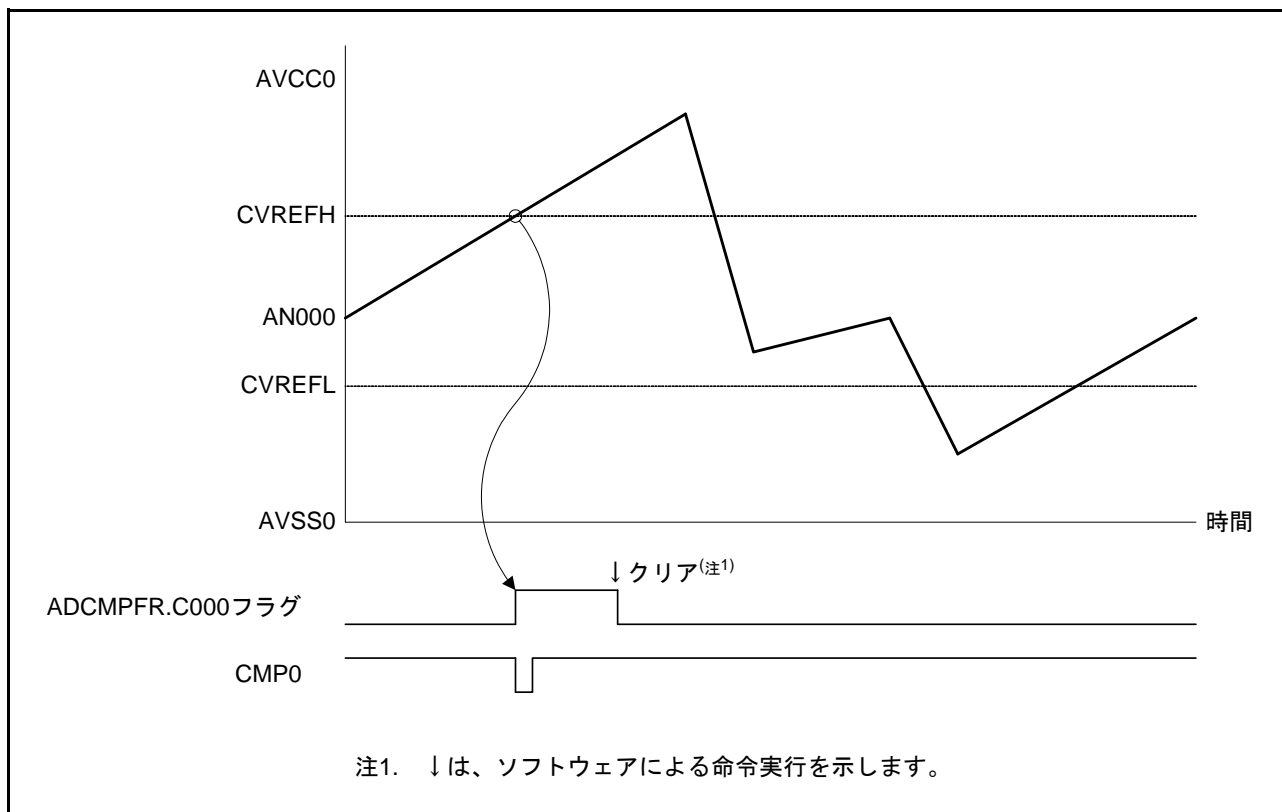
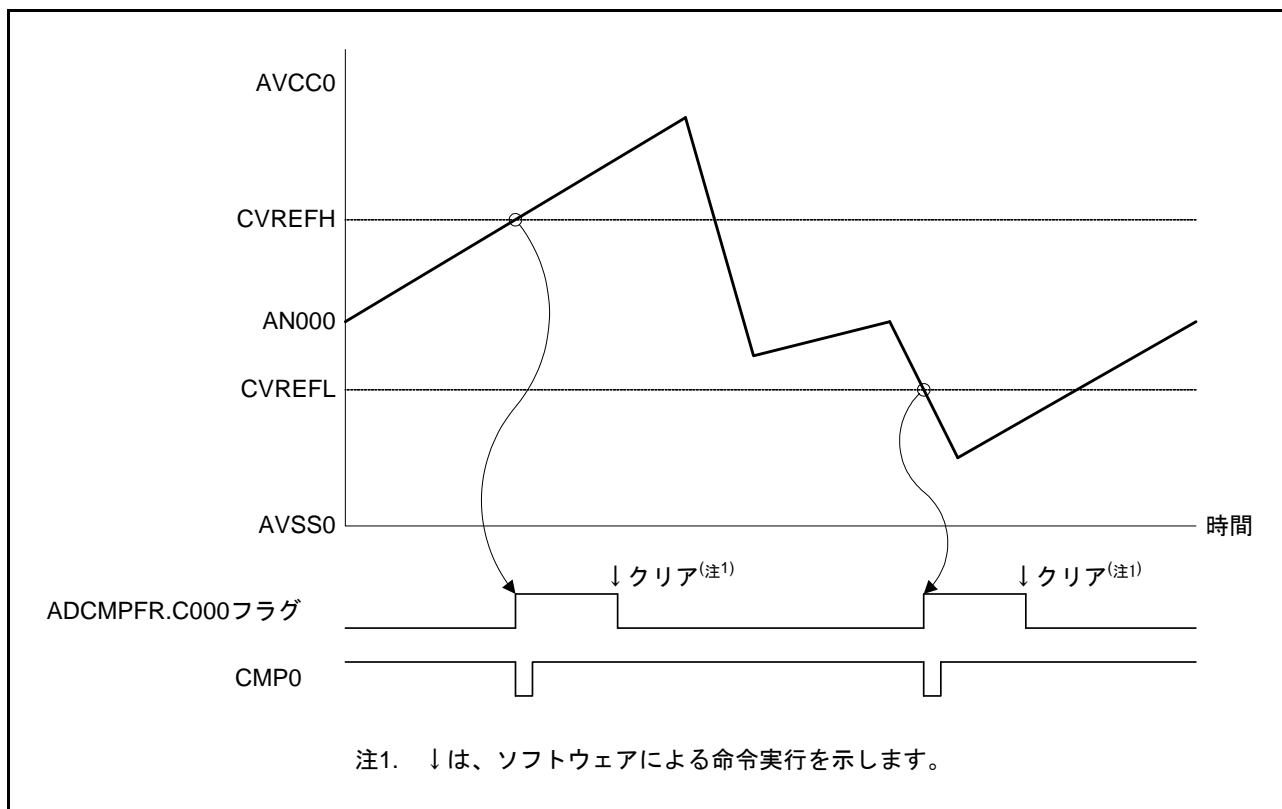
35.3.11 ウィンドウコンパレータ

ANn 端子 (n=000 ~ 002) にはウィンドウコンパレータが搭載されています。ウィンドウコンパレータは、ANn 端子に Low 側基準電圧 ~ High 側基準電圧の範囲外の電圧が入力に印加されていることを検出するウィンドウコンパレータ動作に加えて、Low 側基準電圧よりも低い電圧が入力に印加されていることを検出する Low レベルコンパレータ、High 側基準電圧よりも高い電圧が入力に印加されていることを検出する High レベルコンパレータとしても動作します。ウィンドウコンパレータの動作モードは、ADCMPMD0.CENn[1:0] ビット (n=000 ~ 002) で設定します。ウィンドウコンパレータの基準電圧は、Low 側が AN003/CVREFL 端子、High 側が AN007/CVREFH 端子を介して外部から供給するか、内部生成基準電圧を使用 (1/8×AVCC0 ~ 7/8×AVCC0) するかを選択できます。ウィンドウコンパレータの検出信号に対するノイズキャンセelfilterを内蔵しており、ノイズによる誤検出を抑制することができます。コンパレータ検出信号で CPU への割り込み要求 (CMP0 ~ 2)、または POE 要求 (MTU3 の相補 PWM 出力端子および GPT 出力端子のハイインピーダンス要求) を生成します。ウィンドウコンパレータの検出信号は、汎用 PWM タイマ (GPT) のカウンタ制御のトリガ、出力ネゲート制御要因として使用することができます。詳細は、「24. 汎用 PWM タイマ (GPT)」を参照してください。

以下に、ウィンドウコンパレータの設定例を示します。

1. ADCMPMD1.VSELL0 ビットおよび ADCMPMD1.VSELH0 ビットで、基準電圧の印加方法を設定します。内部生成基準電圧を選択した場合は、ADCMPMD1.REFL[2:0] ビットで Low 側基準電圧を、ADCMPMD1.REFH[2:0] ビットで High 側基準電圧を設定します。
2. ADCMPNR0.CnNR[3:0] ビット (n=000 ~ 002) で、コンパレータ検出結果用ノイズキャンセelfilter使用有無をコンパレータ毎に設定します。
3. ADCMPSEL.IEn ビット (n=000 ~ 002) により、コンパレータ検出信号で CPU へのコンパレータ検出割り込み (CMP0 ~ 2) を発生するかを設定します。また、ADCMPSEL.POERQm ビット (m=000 ~ 002) により、コンパレータ検出信号で POE 要求を発生するかを設定します。POE 要求は、ADCMPSEL.POERQm ビット (m=000 ~ 002) の論理和で生成されます。
4. ADCMPMD0.CENn[1:0] ビット (n=000 ~ 002) で、検出対象の端子およびウィンドウコンパレータの動作モードを設定します。

ウィンドウコンパレータの動作例を図 35.4 ~ 図 35.6 に示します。



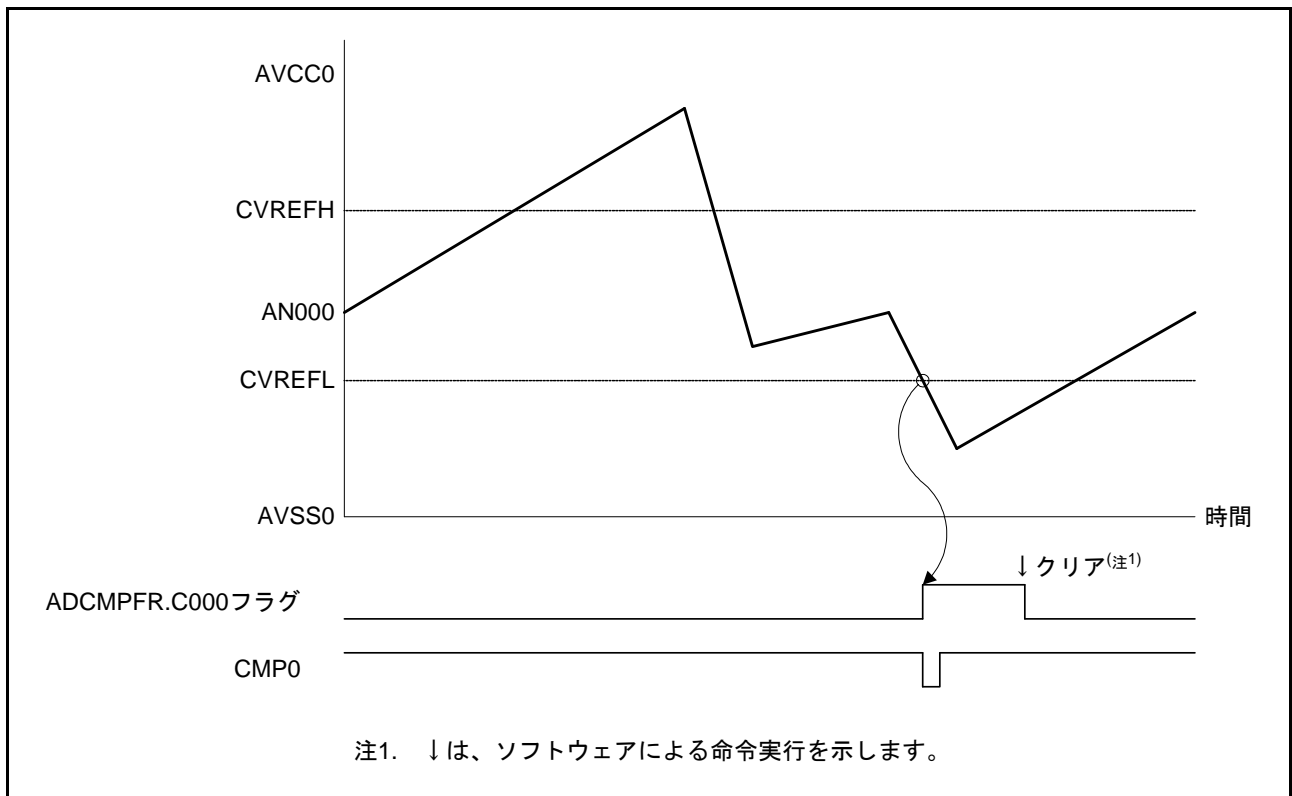


図 35.6 コンパレータの動作例 (3) (AN000 を選択、ADCMPMD0.CEN000=01b の場合)

35.4 割り込み要因と DTC、DMAC 転送要求

35.4.1 スキャン終了時の割り込み要求

12ビットA/Dコンバータは、CPUへのスキャン終了割り込み要求であるS12ADI、S12GBADI割り込みを発生することができます。

ADCSR.ADIEビットを“1”にするとS12ADIを許可、“0”にするとS12ADIを禁止できます。

ADCSR.GBADIEビットを“1”にするとS12GBADIを許可、“0”にするとS12GBADIを禁止できます。

また、S12ADI、S12GBADI発生時にDTCまたはDMACAを起動できます。S12ADI、S12GBADI割り込みで変換されたデータの読み出しをDTCまたはDMACAで行うと、連続変換がソフトウェアの負担なく実現できます。DTCの設定は「19. データトランスファコントローラ (DTCa)」を、DMACAの設定は「18.

DMAコントローラ (DMACA)」を参照してください。

35.4.2 コンパレータ検出時の割り込み要求

コンパレータは、CPUへのコンパレータ検出割り込み (CMPm (m=0~2)) を発生させることができます。

ADCMPSSEL.IEn (n=000~002) ビットを“1”にするとCMPm割り込みを許可し、“0”にするとCMPm割り込みを禁止できます。

また、CMPm発生時にDTCまたはDMACAを起動できます。DTCの設定は「19. データトランスファコントローラ (DTCa)」を、DMACAの設定は「18. DMAコントローラ (DMACA)」を参照してください。

35.5 A/D変換精度の定義

「34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】」の「34.5 A/D変換精度の定義」を参照してください。

35.6 使用上の注意事項

35.6.1 データレジスタの読出し注意事項

A/D データレジスタ、A/D データ 2 重化レジスタ、および A/D 自己診断データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト / 下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

35.6.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、**図 35.7** のフローチャートの手順に従ってください。

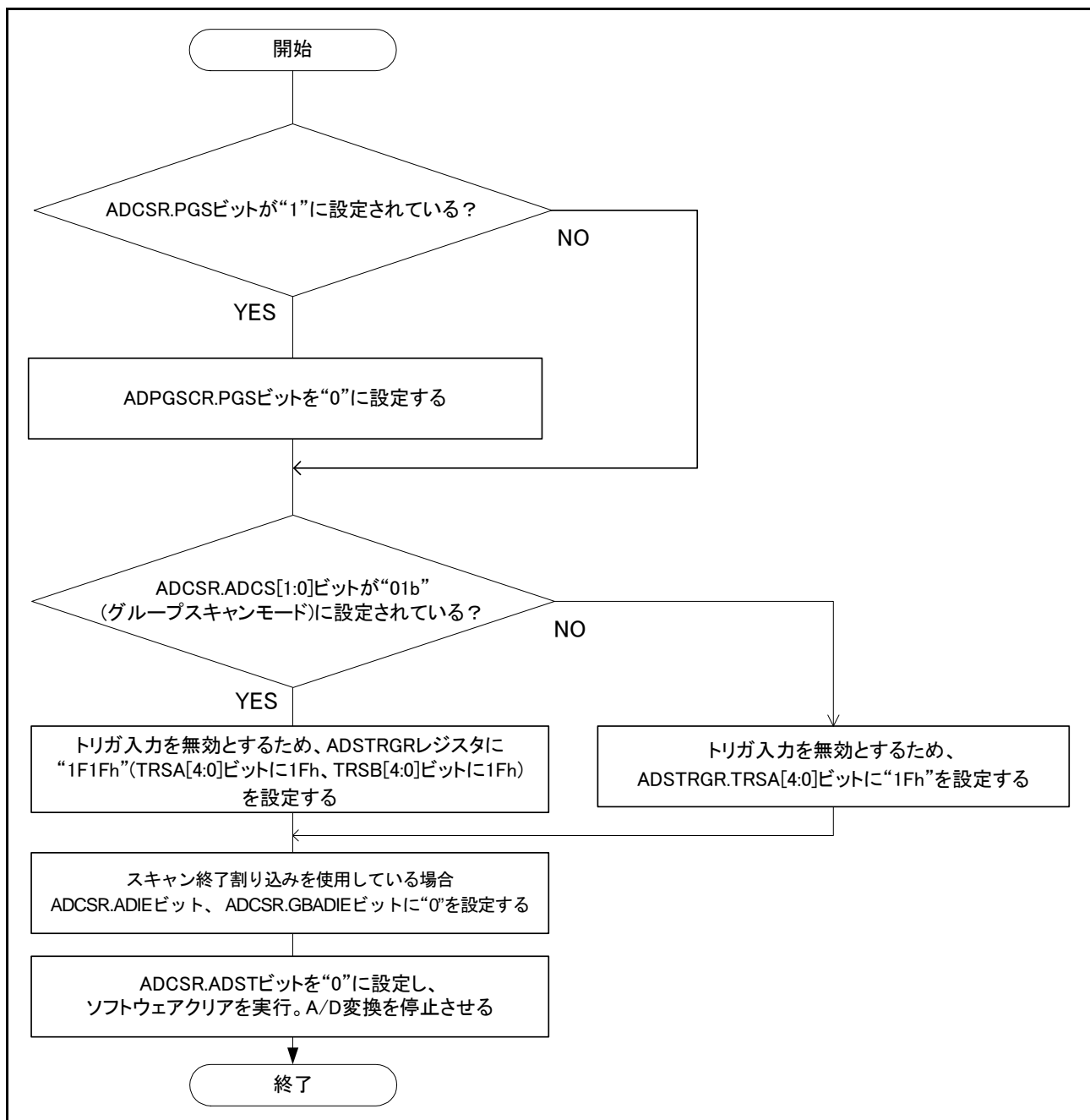


図 35.7 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

35.6.3 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのに ADCLK で最大4クロックの時間を必要とします。ADCSR.ADST ビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLK で最大2クロックの時間を必要とします。

35.6.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

35.6.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータは停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「12. 消費電力低減機能」を参照してください。

35.6.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ遷移する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADST ビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図 35.7 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを“0”に設定してください。その後、A/D変換が停止していることを確認した後、モジュールストップやソフトウェアスタンバイモードへ遷移させてください。

また、モジュールストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ遷移するときは、12ビットA/Dコンバータの一部が動作待機状態となっています。12ビットA/Dコンバータを完全にスタンバイ状態にする場合は、MSTPCRA.MSTPA24 ビットを“1”にしてください。この場合、モジュールストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード解除後 MSTPCRA.MSTPA24 ビットを“0”にし、さらに10ms待ってからA/D変換を開始してください。

35.6.7 許容信号源インピーダンスについて

本LSIのアナログ入力は、高速変換 $1.0\mu\text{s}$ を実現するために、信号源インピーダンスが $3\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。1 サイクルスキャンモードで1端子のみ変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 35.8）。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

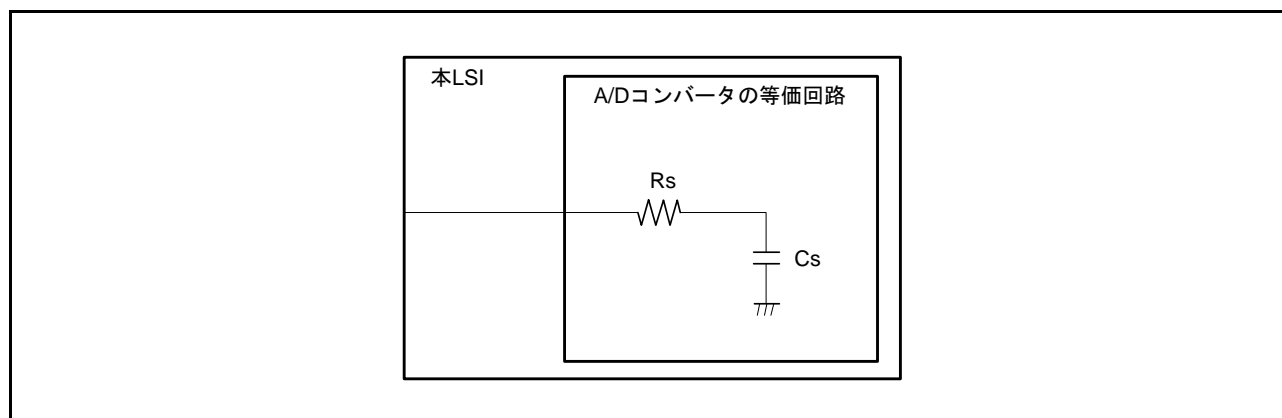


図 35.8 アナログ入力端子の内部等価回路

表 35.8 アナログ端子の規格

項目		min	max	単位
許容信号源インピーダンス (注1)		—	3	k Ω
端子の内部等価回路	Rs	—	10	k Ω
	Cs	—	8	pF

注1. アナログ電源電圧とアナログ入力端子により異なります。詳細は「43. 電気的特性【64/48ピン版】」を参照してください。

35.6.8 絶対精度への影響

容量を付加することにより、GND とのカップリングを受け、ノイズがある GND だと絶対精度が悪化する可能性がありますので、AVSS0 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

35.6.9 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてLSIを使用した場合は、LSIの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN_n に印加する電圧は、 $VREFL0 \leq VAN \leq VREFH0$ の範囲としてください。

- 各電源端子 (AVCC0 – AVSS0、VREFH0 – VREFL0、VCC – VSS) の関係

AVCC0、AVSS0 と VCC、VSS との関係は $AVSS0 = VSS$ としてください。また、図 35.9 に示すように各々の電源間に最短で閉ループが形成できるように $0.1\mu\text{F}$ のコンデンサを接続し、供給元で $VREFL0 = AVSS0 = VSS$ になるように接続してください。12ビットA/Dコンバータを使用しない場合は、 $VREFH0 = AVCC0 = VCC$ 、 $VREFL0 = AVSS0 = VSS$ としてください。

- VREFH0、VREFL0 の設定範囲

VREFH0 端子によるリファレンス電圧の設定範囲は、 $VREFH0 \leq AVCC0$ にしてください。

VREFL0 端子の設定範囲は、 $VREFL0 = AVSS0 = VSS$ としてください。

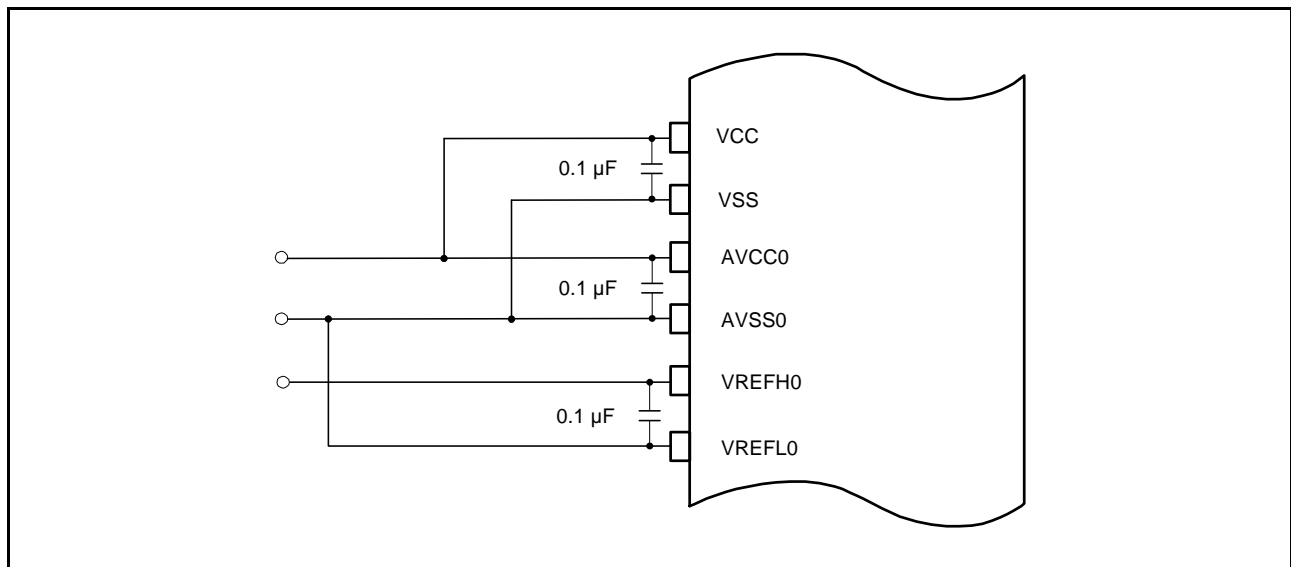


図 35.9 各電源端子の接続例

35.6.10 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN007)、アナログ基準電圧 (VREFH0、VREFL0)、アナログ電源 (AVCC0) は、アナロググランド (AVSS0) で、デジタル回路と分離してください。さらにアナロググランド (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

35.6.11 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN007) の破壊を防ぐために、**図 35.10** に示すように AVCC0 と AVSS0 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子 (AN000 ~ AN007) を基準に保護回路を接続してください。

また、アナログ入力端子 (AN000 ~ AN007) に接続するフィルタのコンデンサは、VREFL0 に接続してください。

図 35.10 に示す $0.1\mu\text{F}$ のコンデンサはできるかぎり端子の近くに配置してください。

なお、**図 35.10** のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN000 ~ AN007) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数は十分ご検討の上決定してください。

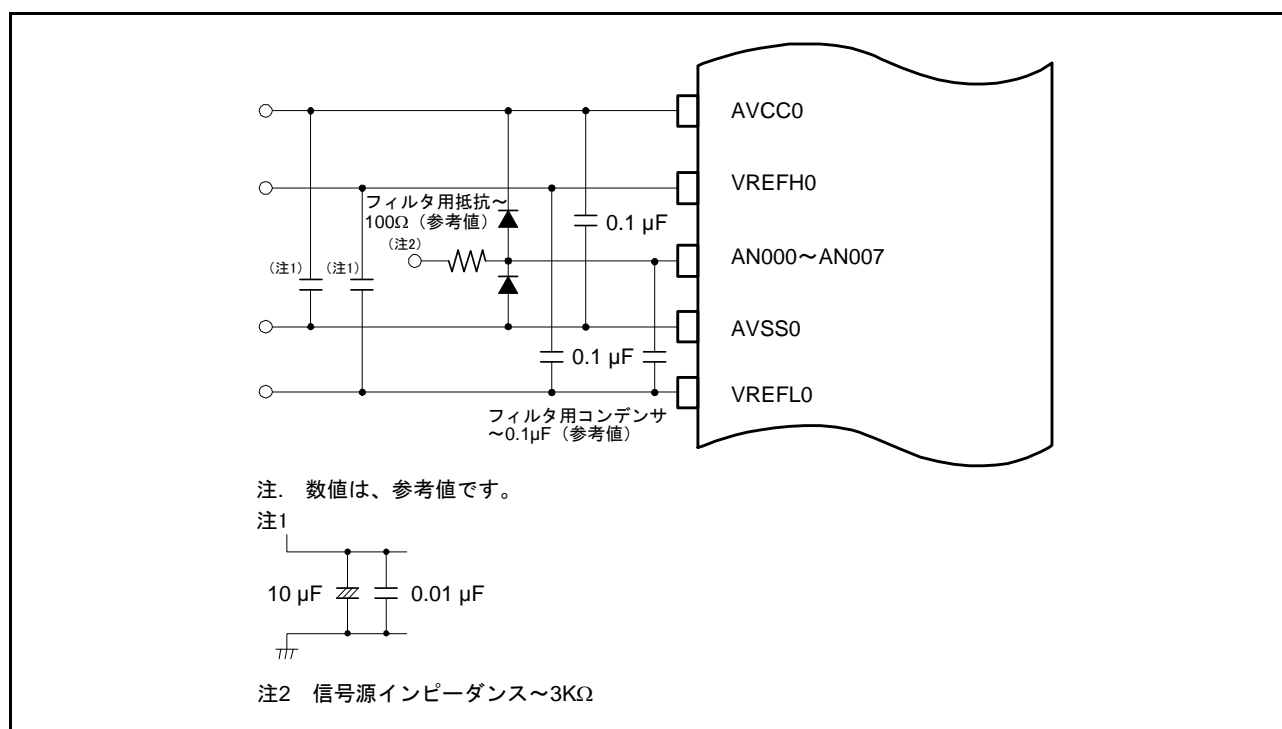


図 35.10 アナログ入力保護回路の例

36. 10ビットA/Dコンバータ (AD)

36.1 概要

本MCUは、逐次比較方式の10ビットのA/Dコンバータを1ユニット内蔵しています。最大20チャンネルのアナログ入力を選択できます。

10ビットA/Dコンバータは、選択した最大20チャンネルのアナログ入力を逐次比較方式で10ビットのデジタル値に変換します。動作モードは、任意に選択した最大20チャンネルのアナログ入力を若いチャンネル番号順に1回のみ変換する1サイクルスキャンモードと、任意に選択した最大20チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードがあります。

自己診断は、スキャンごとの最初に1回実施され、10ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

表36.1に10ビットA/Dコンバータの仕様を、表36.2に10ビットA/Dコンバータの機能概要を示します。図36.1に10ビットA/Dコンバータのブロック図を示します。

表36.1 10ビットA/Dコンバータの仕様

項目	内容
ユニット数	1ユニット
入力チャンネル	20チャンネル
A/D変換方式	逐次比較方式
分解能	10ビット
変換時間	AN0～AN7：1チャンネル当たり0.5 μ s (A/D変換クロックADCLK=100MHz動作時) AN8～AN19：1チャンネル当たり1.0 μ s (A/D変換クロックADCLK=50MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLK ^(注1) とA/D変換クロックADCLK ^(注1) を以下の分周比で設定可能 PCLK：ADCLK分周比=1：1、1：2、1：4、1：8、2：1、4：1 ADCLKの設定はクロック発生回路で行います
データレジスタ	アナログ入力用20本 自己診断用1本 A/D変換結果を10ビットまたは8ビットでA/Dデータレジスタに保持 加算モード時はA/D変換結果の加算値を12ビットでA/Dデータレジスタに保持
動作モード	<ul style="list-style-type: none"> 1サイクルスキャンモード： 任意に選択した最大20チャンネルのアナログ入力を1回のみA/D変換 連続スキャンモード：任意に選択した最大20チャンネルのアナログ入力を繰り返しA/D変換
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ マルチファンクションタイムパルスユニット3 (MTU3)、汎用PWMタイマ (GPT) からのトリガ 非同期トリガ ADTRG#端子によるA/D変換の開始が可能
機能	<ul style="list-style-type: none"> サンプル&ホールド機能 サンプリングステート数可変機能 10ビットA/Dコンバータの自己診断機能 A/D変換値加算モード
割り込み要因	<ul style="list-style-type: none"> 1回のスキャン終了でスキャン終了割り込み要求 (ADIO) を発生 ADIO割り込みでDMAコントローラ (DMACA)、データトランスファコントローラ (DTC) を起動可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 周辺モジュールクロックPCLKはSCKCR.PCKB[3:0]ビットで設定した周変数、A/D変換クロックADCLKはSCKCR.PCLKC[3:0]ビットで設定した周変数になります。

表 36.2 10ビットA/Dコンバータの機能概要 (1 / 2)

項目			機能
アナログ入力チャンネル			AN0～AN19
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能
	非同期トリガ	ADTRG#	可能
	同期トリガ (MTU3)	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ
		TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ
		TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ
		TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ
		TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー (谷)
		TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ
		TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー (谷)
		TRG0AN	MTU0.TGREのコンペアマッチ
		TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ
		TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ
		TRG4ANまたはTRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ
		TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)
		TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ
		TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ
		TRG7ANまたはTRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ
TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)		

表 36.2 10ビットA/Dコンバータの機能概要 (2 / 2)

項目		機能	
A/D変換開始条件	同期トリガ (GPT)	GTADTRA0	GPT0.GTADTRAのコンペアマッチ
		GTADTRB0	GPT0.GTADTRBのコンペアマッチ
		GTADTRA1	GPT1.GTADTRAのコンペアマッチ
		GTADTRB1	GPT1.GTADTRBのコンペアマッチ
		GTADTRA2	GPT2.GTADTRAのコンペアマッチ
		GTADTRB2	GPT2.GTADTRBのコンペアマッチ
		GTADTRA3	GPT3.GTADTRAのコンペアマッチ
		GTADTRB3	GPT3.GTADTRBのコンペアマッチ
		GTADTRA0または GTADTRB0	GPT0.GTADTRAのコンペアマッチ、または GPT0.GTADTRBのコンペアマッチ
		GTADTRA1または GTADTRB1	GPT1.GTADTRAのコンペアマッチ、または GPT1.GTADTRBのコンペアマッチ
		GTADTRA2または GTADTRB2	GPT2.GTADTRAのコンペアマッチ、または GPT2.GTADTRBのコンペアマッチ
		GTADTRA3または GTADTRB3	GPT3.GTADTRAのコンペアマッチ、または GPT3.GTADTRBのコンペアマッチ
		GTADTRA4	GPT4.GTADTRAのコンペアマッチ
		GTADTRB4	GPT4.GTADTRBのコンペアマッチ
		GTADTRA5	GPT5.GTADTRAのコンペアマッチ
		GTADTRB5	GPT5.GTADTRBのコンペアマッチ
		GTADTRA6	GPT6.GTADTRAのコンペアマッチ
		GTADTRB6	GPT6.GTADTRBのコンペアマッチ
		GTADTRA7	GPT7.GTADTRAのコンペアマッチ
		GTADTRB7	GPT7.GTADTRBのコンペアマッチ
		GTADTRA4または GTADTRB4	GPT4.GTADTRAのコンペアマッチ、または GPT4.GTADTRBのコンペアマッチ
		GTADTRA5または GTADTRB5	GPT5.GTADTRAのコンペアマッチ、または GPT5.GTADTRBのコンペアマッチ
		GTADTRA6または GTADTRB6	GPT6.GTADTRAのコンペアマッチ、または GPT6.GTADTRBのコンペアマッチ
		GTADTRA7または GTADTRB7	GPT7.GTADTRAのコンペアマッチ、または GPT7.GTADTRBのコンペアマッチ
割り込み		ADI0割り込み	
モジュールストップ機能の設定 (注1)		MSTPCRA.MSTPA23ビット	

注1. 詳細は「12. 消費電力低減機能」を参照してください。

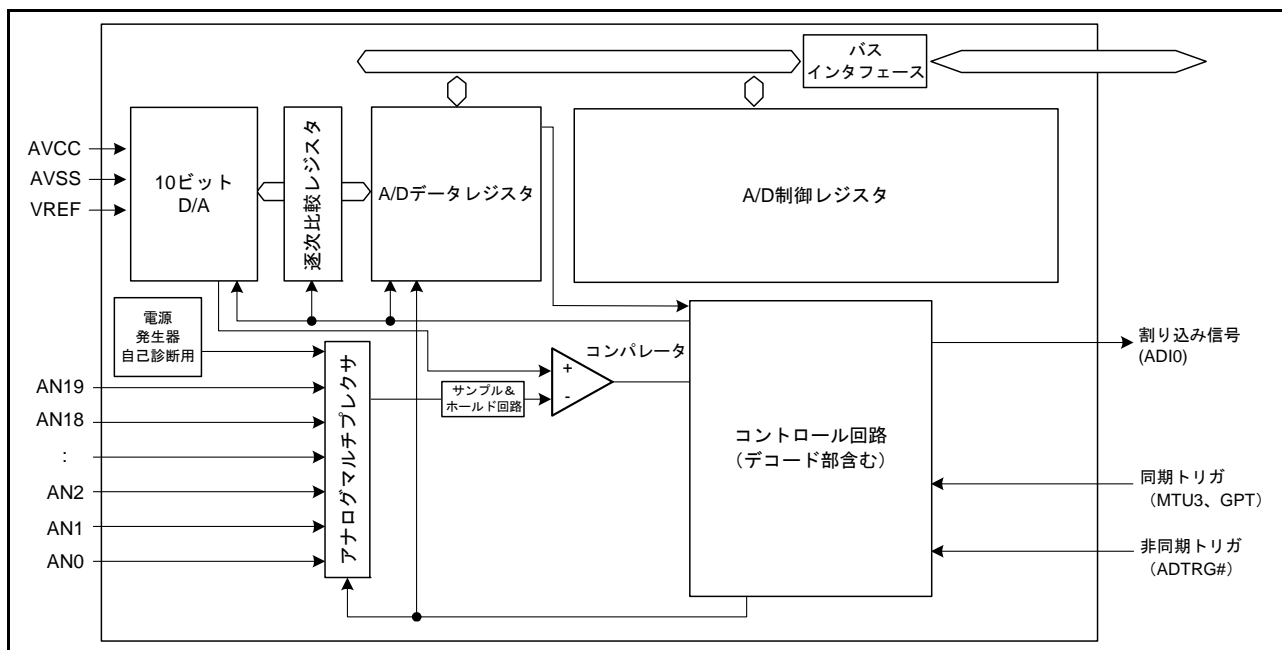


図 36.1 10ビットA/Dコンバータのブロック図

表 36.3 に 10 ビット A/D コンバータで使用する入力端子を示します。

表 36.3 10ビットA/Dコンバータの入力端子

端子名	入力	機能
AVCC	入力	アナログ部の電源端子
AVSS	入力	アナログ部のグラウンド端子
VREF	入力	基準電源端子
AN0～AN19	入力	アナログ入力端子
ADTRG#	入力	A/D変換開始のための外部トリガ入力端子

36.2 レジスタの説明

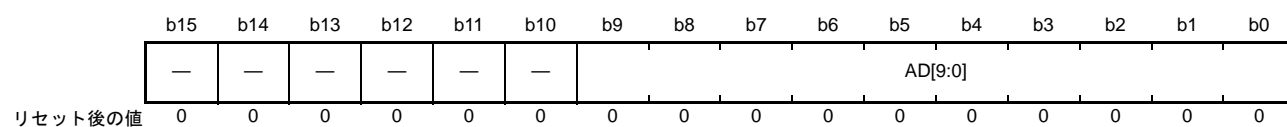
36.2.1 A/D データレジスタ y (ADDRy) (y = A ~ T)

ADDRy レジスタは、チャンネルのアナログ入力 (AN0 ~ AN19) を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

A/D データレジスタビット精度指定ビット (ADCER.ADPRC) と A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D 変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADPRC=0、ADCER.ADRFMT=0 (10 ビット精度、右詰めフォーマットに設定)

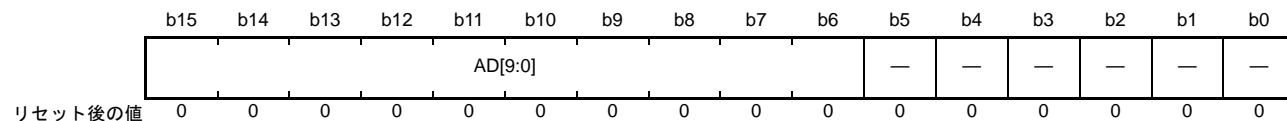
アドレス ADDR_A : 0008 9820h ~ ADDR_T : 0008 9846h



ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	変換値[9:0]	10ビットA/D変換値	R
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADPRC=0、ADCER.ADRFMT=1 (10 ビット精度、左詰めフォーマットに設定)

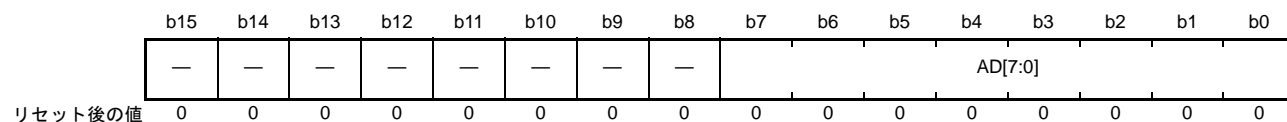
アドレス ADDR_A : 0008 9820h ~ ADDR_T : 0008 9846h



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b6	AD[9:0]	変換値[9:0]	10ビットA/D変換値	R

- ADCER.ADPRC=1、ADCER.ADRFMT=0 (8 ビット精度、右詰めフォーマットに設定)

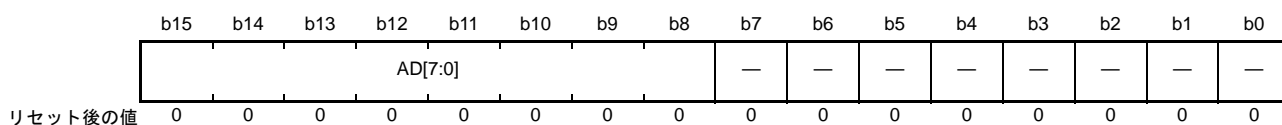
アドレス ADDR_A : 0008 9820h ~ ADDR_T : 0008 9846h



ビット	シンボル	ビット名	機能	R/W
b7-b0	AD[7:0]	変換値[9:2]	10ビットA/D変換値の上位8ビット	R
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADPRC=1、ADCER.ADRFMT=1 (8ビット精度、左詰めフォーマットに設定)

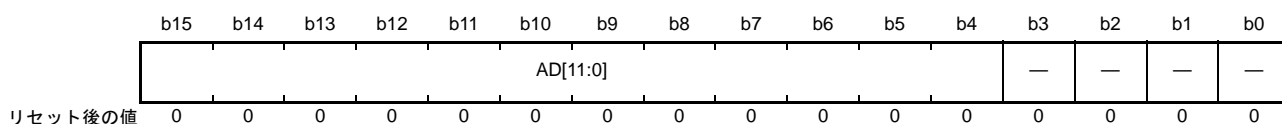
アドレス ADDR_A : 0008 9820h ~ ADDR_T : 0008 9846h



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	AD[7:0]	変換値[9:2]	10ビットA/D変換値の上位8ビット	R

- A/D変換値加算モードを選択した場合

アドレス ADDR_A : 0008 9820h ~ ADDR_T : 0008 9846h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値加算結果	R

A/D変換値加算モードに設定した場合、ADDR_y.AD[11:0]ビットは同一チャンネルのA/D変換値を加算した値を示します。A/D変換値加算モードに設定すると、ADCER.ADPRCビットとADCER.ADRFMTビットの設定は無効となり、12ビット左詰めフォーマットになります。

A/D変換値加算モードを選択したチャンネルに対しての最小値と最大値を以下に示します。

- 1回変換時 : $0000h \leq ADDR_y (y=A \sim T) \leq 3FF0h$
 ADDR_y (y = A ~ T) : ビット 15, 14 = 00b、ビット 13 ~ 4 = AD[9:0]、ビット 3 ~ 0 = 0000b
- 2回変換時 : $0000h \leq ADDR_y (y=A \sim T) \leq 7FE0h$
 ADDR_y (y = A ~ T) : ビット 15 = 0、ビット 14 ~ 4 = AD[10:0]、ビット 3 ~ 0 = 0000b
- 3回変換時 : $0000h \leq ADDR_y (y=A \sim T) \leq BFD0h$
 ADDR_y (y = A ~ T) : ビット 15 ~ 4 = AD[11:0]、ビット 3 ~ 0 = 0000b
- 4回変換時 : $0000h \leq ADDR_y (y=A \sim T) \leq FFC0h$
 ADDR_y (y = A ~ T) : ビット 15 ~ 4 = AD[11:0]、ビット 3 ~ 0 = 0000b

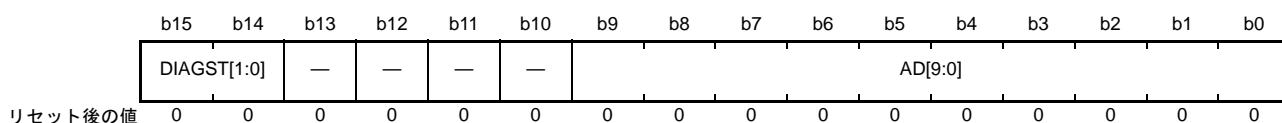
36.2.2 A/D 自己診断データレジスタ (ADRD)

ADRD レジスタは、10ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

A/Dデータレジスタビット精度指定ビット (ADCER.ADPRC) とA/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定によって、以下に示すフォーマットになります。ADRDレジスタは、A/D変換加算モードには設定できません。

- ADCER.ADPRC=0、ADCER.ADRFMT=0 (10ビット右詰めフォーマットに設定)

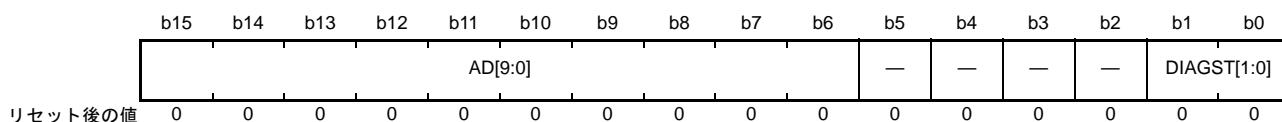
アドレス 0008 981Eh



ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	変換値[9:0]	10ビットA/D変換値	R
b13-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : VREF×1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFの電圧値の自己診断を実施したことを示す 自己診断の詳細については「36.2.9 A/Dコントロール拡張レジスタ (ADCER)」を参照してください	R

- ADCER.ADPRC=0、ADCER.ADRFMT=1 (10ビット左詰めフォーマットに設定)

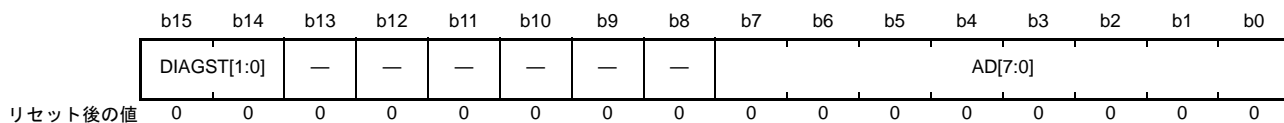
アドレス 0008 981Eh



ビット	シンボル	ビット名	機能	R/W
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : VREF×1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFの電圧値の自己診断を実施したことを示す 自己診断の詳細については「36.2.9 A/Dコントロール拡張レジスタ (ADCER)」を参照してください	R
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b6	AD[9:0]	変換値[9:0]	10ビットA/D変換値	R

- ADCER.ADPRC=1、ADCER.ADRFMT=0 (8ビット右詰めフォーマットに設定)

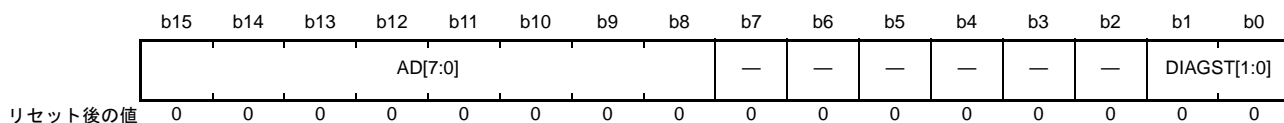
アドレス 0008 981Eh



ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[7:0]	変換値[9:2]	10ビットA/D変換値の上位8ビット	R
b13-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : VREF×1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFの電圧値の自己診断を実施したことを示す 自己診断の詳細については「36.2.9 A/Dコントロール拡張レジスタ (ADCER)」を参照してください	R

- ADCER.ADPRC=1、ADCER.ADRFMT=1 (8ビット左詰めフォーマットに設定)

アドレス 0008 981Eh



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータスビット	b1 b0 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : VREF×1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFの電圧値の自己診断を実施したことを示す 自己診断の詳細については「36.2.9 A/Dコントロール拡張レジスタ (ADCER)」を参照してください	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	AD[7:0]	変換値[9:2]	10ビットA/D変換値の上位8ビット	R

36.2.3 A/D コントロールレジスタ (ADCSR)

アドレス 0008 9800h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS	—	ADIE	—	—	TRGE	EXTRG	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガ (MTU3、GPT) によるA/D変換の開始を選択 1: 非同期トリガ (ADTRG#) によるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後のADIO割り込み発生を禁止 1: スキャン終了後のADIO割り込み発生を許可	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	ADCS	スキャンモード選択ビット	0: 1サイクルスキャンモード 1: 連続スキャンモード	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子 (非同期トリガ) でA/D変換を起動する方法
外部端子 (ADTRG#) にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG#の信号をLowに変化させると、ADTRG#の立ち下がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上必要です。

ADCSRレジスタは、A/D変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D変換の開始/停止を行うレジスタです。

EXTRG ビット (トリガ選択ビット)

A/D変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

TRGE ビット (トリガ起動許可ビット)

同期トリガ、非同期トリガによるA/D変換の起動を許可/禁止します。

ADIE ビット (スキャン終了割り込み許可ビット)

A/Dスキャン変換終了割り込み (ADIO) の発生を許可/禁止します。

A/D変換が終了したときに、ADIEビットが“1”にセットされていればADIO割り込みが発生します。

ADCS ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

1サイクルスキャンモードは、ADANSA0/1レジスタで選択した最大20チャンネルのアナログ入力を若いチャンネル番号順にA/D変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADSTビットが“1”の間、ADANSA0/1レジスタで選択した最大20チャンネルのアナログ入力を若いチャンネル番号順にA/D変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻りA/D変換を継続します。ADCSR.ADSTビットを“0”にするとA/D変換を停止します。

自己診断は、スキャン（選択した全てのチャンネルのA/D変換）毎の最初に1回実施され、A/D変換器内部で生成する3つの電圧値のうち1つをA/D変換します。

ADCSビットは、ADSTビットが“0”のときに設定してください（ADSTビットへの“1”書き込みと同時に設定もしないでください）。

ADSTビット (A/D変換スタートビット)

A/D変換の開始/停止を制御します。

ADSTビットを“1”に設定する前に、A/D変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

["1"になる条件]

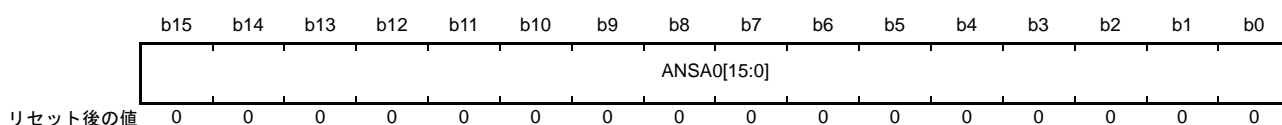
- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRGに“0”、ADCSR.TRGEビットに“1”を設定し、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ（MTU3、GPT）を検出したとき
- ADCSR.TRGEビットとADCSR.EXTRGビットを“1”、ADSTRGR.TRSA[5:0]ビットを“000000b”に設定し、非同期トリガを検出したとき

["0"になる条件]

- ソフトウェアで“0”を書き込んだとき
- 1サイクルスキャンモードで、選択したすべてのチャンネルのA/D変換が終了したとき

36.2.4 A/D チャンネル選択レジスタ 0 (ADANSA0)

アドレス 0008 9804h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ANSA0[15:0]	A/D変換チャンネル選択ビット	0 : AN0～AN15を変換対象から外す 1 : AN0～AN15を変換対象とする	R/W

ADANSA0 レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN0～AN15 を選択するレジスタです。

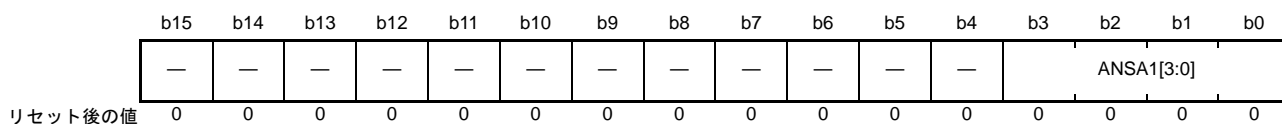
ANSA0[15:0] ビット (A/D 変換チャンネル選択ビット)

A/D 変換を行うチャンネルのアナログ入力 AN0～AN15 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA0[0] ビットが AN0、ANSA0[15] ビットが AN15 に対応します。

ANSA0[15:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

36.2.5 A/D チャンネル選択レジスタ 1 (ADANSA1)

アドレス 0008 9806h



ビット	シンボル	ビット名	機能	R/W
b3-b0	ANSA1[3:0]	A/D変換チャンネル選択ビット	0 : AN16～AN19を変換対象から外す 1 : AN16～AN19を変換対象とする	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSA1 レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN16～AN19 を選択するレジスタです。

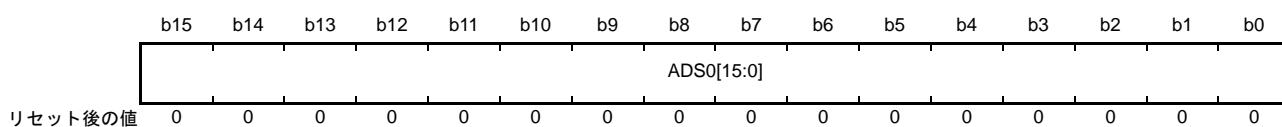
ANSA1[3:0] ビット (A/D 変換チャンネル選択ビット)

A/D 変換を行うチャンネルのアナログ入力 AN16～AN19 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA1[0] ビットが AN16、ANSA1[3] ビットが AN19 に対応します。

ANSA1[3:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

36.2.6 A/D 変換値加算モード選択レジスタ 0 (ADADS0)

アドレス 0008 9808h



ビット	シンボル	ビット名	機能	R/W
b3-b0	ADS0[15:0]	AD変換値加算チャンネル選択ビット	0 : AN0～AN15のA/D変換値加算モード非選択 1 : AN0～AN15のA/D変換値加算モード選択	R/W

ADADS0 レジスタは、A/D 変換を連続 2～4 回実施して加算（積算）する A/D 変換チャンネル 0～15 を選択します。

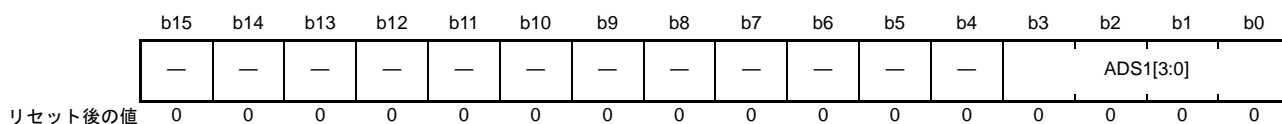
ADS0[15:0] ビット (A/D 変換値加算チャンネル 0～15 選択ビット)

ADANSA0.ANSA0[n] ビット (n=0～15) で選択した A/D 変換チャンネルと同一番号の ADS0[n] ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数（2～4 回）分、選択したチャンネルのアナログ入力を連続して A/D 変換し、加算（積算）した値を A/D データレジスタに返します。加算モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を返します。

ADS0[15:0] ビットの設定は ADCSR.ADST が“0”のときに行ってください。

36.2.7 A/D 変換値加算モード選択レジスタ 1 (ADADS1)

アドレス 0008 980Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	ADS1[3:0]	AD変換値加算チャンネル選択ビット	0 : AN16～AN19のA/D変換値加算モード非選択 1 : AN16～AN19のA/D変換値加算モード選択	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADS1 レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN16～AN19 を選択するレジスタです。

ADS1[3:0] ビット (A/D 変換値加算チャンネル 16～19 選択ビット)

ADADS1.ANSA1[n] ビット (n=0～3) で選択した A/D 変換チャンネルと同一番号の ADS1[n] ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数（2～4 回）分、選択したチャンネルのアナログ入力を連続して A/D 変換し、加算（積算）した値を A/D データレジスタに返します。加算モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を返します。

ADS1[3:0] ビットの設定は ADCSR.ADST が“0”のときに行ってください。

図 36.2 にビット ADS0[1] と ADS0[3] を “1” にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS=1) で、加算回数は 4 回に設定 (ADADC.ADC[1:0] = 11b)、AN0 ~ AN3 が選択 (ADANSA0.ANSA0[15:0]= 000Fh) されているものとします。AN0 から変換を開始します。AN1 の変換は 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 1 に返します。その後、AN2 の変換を開始し、AN3 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 3 に返します。AN3 の変換後、再度 AN0 から同じシーケンスで動作します。

加算モードを選択しないチャンネルの A/D データレジスタのフォーマットは、ADCER.ADPRC (10 ビット精度 / 8 ビット精度) と ADCER.ADRFMT (右詰め / 左詰め) の設定により決定されます。

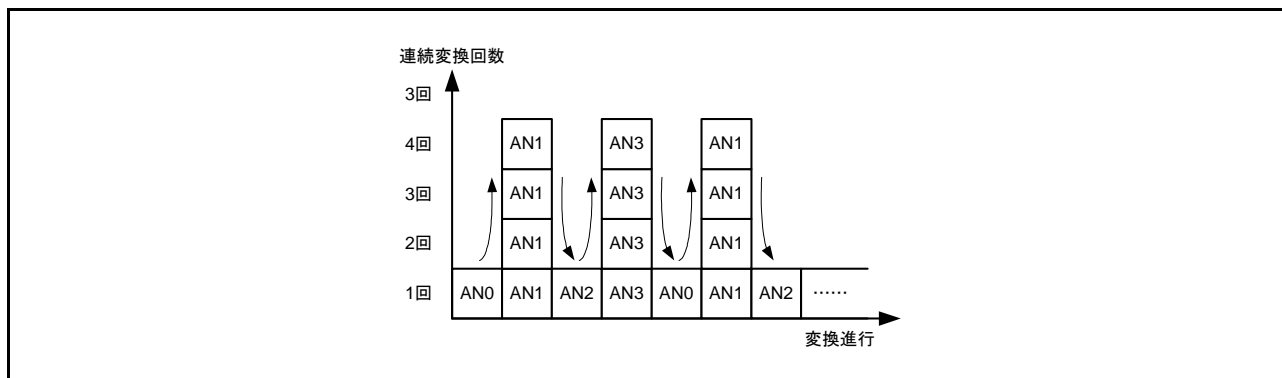
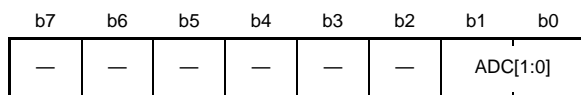


図 36.2 ADADC.ADC[1:0] = 11b、ADS[1] = 1、ADS[3] = 1 選択時のスキャン変換シーケンス

36.2.8 A/D 変換値加算回数選択レジスタ (ADADC)

アドレス 0008 980Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADC[1:0]	加算回数選択ビット	b1 b0 0 0 : 1回変換 (加算なし。通常変換と同じ) 0 1 : 2回変換 (1回加算を行う) 1 0 : 3回変換 (2回加算を行う) 1 1 : 4回変換 (3回加算を行う)	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADC レジスタは、A/D 変換値加算モードが選択されたチャンネルの A/D 変換に対して加算回数の設定を行います。

ADC[1:0] ビット (加算回数選択ビット)

A/D 変換および加算モードが選択されたチャンネルに対して共通の加算回数を設定します。ADC[1:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

36.2.9 A/D コントロール拡張レジスタ (ADCER)

アドレス 0008 980Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	ADPRC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	ADPRC	A/Dデータレジスタビット精度指定ビット	0 : A/Dデータレジスタに10ビット精度で格納する 1 : A/Dデータレジスタに8ビット精度で格納する	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 自己診断有効時は設定禁止 0 1 : 0Vの電圧を使って自己診断を行う 1 0 : VREF×1/2の電圧を使って自己診断を行う 1 1 : VREFの電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0 : 10ビットA/Dコンバータの自己診断を実施しない 1 : 10ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択ビット	0 : A/Dデータレジスタのフォーマットを右詰めにする 1 : A/Dデータレジスタのフォーマットを左詰めにする	R/W

ADCERレジスタは、自己診断モード、A/Dデータレジスタ y (ADDR y)のフォーマット、自動クリアの設定を行うレジスタです。

ADPRCビット (A/Dデータレジスタビット精度指定ビット)

A/D変換結果を、ADDR y 、に8ビット精度で格納するか、10ビット精度で格納するかを選択します。

A/D変換値加算機能が選択されている場合、A/D自己診断データレジスタ (ADRD)を除く各データレジスタのフォーマットは、ADPRCビットの設定によらず12ビット固定です。

注) 自己診断の結果は加算できません。

ACEビット (自動クリアイネーブルビット)

CPU、DTCおよびDMACAによってADDR y 、ADRDレジスタを読み出した後、当該レジスタの自動クリア (All“0”)を行うか行わないかを選択します。自動クリアによりADDR y 、ADRDレジスタの未更新故障を検出することができます。

DIAGVAL[1:0]ビット (自己診断変換電圧選択ビット)

詳細はADCER.DIAGLDビットの説明を参照してください。

ADCER.DIAGVAL[1:0]ビットが“00b”の状態ではADCER.DIAGLDビットを“1”に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。ADCER.DIAGLD ビットを“0”にすると $0V \rightarrow VREF \times 1/2 \rightarrow VREF$ の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は $0V$ から自己診断を行います。自己診断電圧固定モードを選択した場合は ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても $0V$ に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。DIAGLD ビットの設定は、ADST が“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。自己診断は、10ビットA/Dコンバータの故障を検出するための機能です。内部で生成する $0V$ 、 $VREF \times 1/2$ 、 $VREF$ の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで ADRD レジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。自己診断の実行時間は、1チャンネルのA/D変換時間と同じです。DIAGM ビットの設定は、ADST ビットが“0”のときに行ってください。

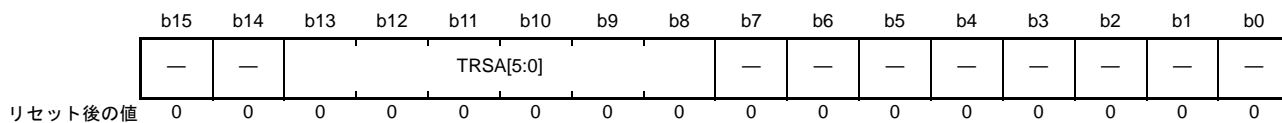
ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

ADDR_y、ADRD レジスタに格納するデータの右詰め/左詰めを選択します。A/D変換値加算モードが選択されている場合、各データレジスタのフォーマットは、ADCER.ADRFMT ビットの設定によらず左詰め固定です。

データレジスタのフォーマットの詳細は、「36.2.1 A/D データレジスタ y (ADDR_y) ($y = A \sim T$)」、「36.2.2 A/D 自己診断データレジスタ (ADRD)」を参照してください。

36.2.10 A/D 開始トリガ選択レジスタ (ADSTRGR)

アドレス 0008 9810h



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	A/D変換開始トリガを選択します。	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

TRSA[5:0] ビット (A/D 変換開始トリガ選択ビット)

A/D 変換開始トリガの選択を行います。

- 同期トリガ (MTU3、GPT) の A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを“0”に設定し、かつ ADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガ (ADTRG#) を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRGA[5:0] ビットの設定値にかかわらず有効です。

表 36.4 に TRSA[5:0] ビットでの A/D 起動要因選択一覧を示します。

表 36.4 TRSA[5:0]ビットでのA/D起動要因選択一覧 (1 / 2)

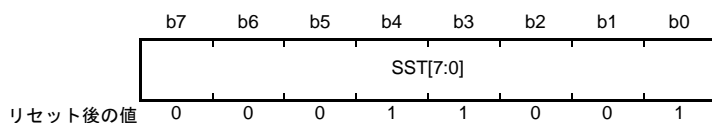
モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
ADC	ADST	ソフトウェアトリガ	—	—	—	—	—	—
外部入力	ADTRG#	A/D変換起動トリガ端子	0	0	0	0	0	0
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/ インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/ インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/ インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/ インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/ インプットキャプチャ、または 相補PWMモード時MTU4.TCNTの アンダフロー(谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/ インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/ インプットキャプチャ、または 相補PWMモード時MTU7.TCNTの アンダフロー(谷)	0	0	0	1	1	1
	TRG0AN	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTの コンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTの コンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTの コンペアマッチ、または MTU4.TADCORBとMTU4.TCNTの コンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTの コンペアマッチと、MTU4.TADCORBと MTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTの コンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTの コンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTの コンペアマッチ、または MTU7.TADCORBとMTU7.TCNTの コンペアマッチ	0	0	1	1	1	1
TRG7ABN	MTU7.TADCORAとMTU7.TCNTの コンペアマッチと、MTU7.TADCORBと MTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	1	0	0	0	0	

表 36.4 TRSA[5:0]ビットでのA/D起動要因選択一覧 (2 / 2)

モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
GPT	GTADTRA0	GPT0.GTADTRA のコンペアマッチ	0	1	0	0	0	1
	GTADTRB0	GPT0.GTADTRB のコンペアマッチ	0	1	0	0	1	0
	GTADTRA1	GPT1.GTADTRA のコンペアマッチ	0	1	0	0	1	1
	GTADTRB1	GPT1.GTADTRB のコンペアマッチ	0	1	0	1	0	0
	GTADTRA2	GPT2.GTADTRA のコンペアマッチ	0	1	0	1	0	1
	GTADTRB2	GPT2.GTADTRB のコンペアマッチ	0	1	0	1	1	0
	GTADTRA3	GPT3.GTADTRA のコンペアマッチ	0	1	0	1	1	1
	GTADTRB3	GPT3.GTADTRB のコンペアマッチ	0	1	1	0	0	0
	GTADTRA0 または GTADTRB0	GPT0.GTADTRA のコンペアマッチ、 または GPT0.GTADTRB のコンペアマッチ	0	1	1	0	0	1
	GTADTRA1 または GTADTRB1	GPT1.GTADTRA のコンペアマッチ、 または GPT1.GTADTRB のコンペアマッチ	0	1	1	0	1	0
	GTADTRA2 または GTADTRB2	GPT2.GTADTRA のコンペアマッチ、 または GPT2.GTADTRB のコンペアマッチ	0	1	1	0	1	1
	GTADTRA3 または GTADTRB3	GPT3.GTADTRA のコンペアマッチ、 または GPT3.GTADTRB のコンペアマッチ	0	1	1	1	0	0
	GTADTRA4	GPT4.GTADTRA のコンペアマッチ	0	1	1	1	0	1
	GTADTRB4	GPT4.GTADTRB のコンペアマッチ	0	1	1	1	1	0
	GTADTRA5	GPT5.GTADTRA のコンペアマッチ	0	1	1	1	1	1
	GTADTRB5	GPT5.GTADTRB のコンペアマッチ	1	0	0	0	0	0
	GTADTRA6	GPT6.GTADTRA のコンペアマッチ	1	0	0	0	0	1
	GTADTRB6	GPT6.GTADTRB のコンペアマッチ	1	0	0	0	1	0
	GTADTRA7	GPT7.GTADTRA のコンペアマッチ	1	0	0	0	1	1
	GTADTRB7	GPT7.GTADTRB のコンペアマッチ	1	0	0	1	0	0
	GTADTRA4 または GTADTRB4	GPT4.GTADTRA のコンペアマッチ、 または GPT4.GTADTRB のコンペアマッチ	1	0	0	1	0	1
GTADTRA5 または GTADTRB5	GPT5.GTADTRA のコンペアマッチ、 または GPT5.GTADTRB のコンペアマッチ	1	0	0	1	1	0	
GTADTRA6 または GTADTRB6	GPT6.GTADTRA のコンペアマッチ、 または GPT6.GTADTRB のコンペアマッチ	1	0	0	1	1	1	
GTADTRA7 または GTADTRB7	GPT7.GTADTRA のコンペアマッチ、 または GPT7.GTADTRB のコンペアマッチ	1	0	1	0	0	0	

36.2.11 A/D サンプリングステートレジスタ n (ADSSTRn) (n=0 ~ 7)

アドレス ADSSTR0 : 0008 9860h、ADSSTR1 : 0008 9873h、ADSSTR2 : 0008 9874h、ADSSTR3 : 0008 9875h、
ADSSTR4 : 0008 9876h、ADSSTR5 : 0008 9877h、ADSSTR6 : 0008 9878h、ADSSTR7 : 0008 9879h、



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定ビット	7~255ステートの間でサンプリング時間を設定します	R/W

ADSSTRn は、アナログ入力 (AN0 ~ AN7) と自己診断のサンプリング時間の設定を行うレジスタです。

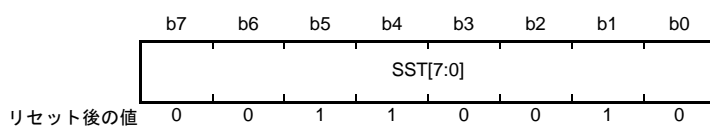
1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 100MHz であれば 1 ステート = 10ns になります。初期値は 25 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。本ビットの設定は ADCSR.ADST が “0” のときに行ってください。サンプリング時間の設定値は、7 ステート以上 255 ステート以下の値を設定してください。また、サンプリング時間が 0.25 μ s 以上となるように設定してください。表 36.5 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

表 36.5 A/D サンプリングステートレジスタと対象チャネルの関係

ビット名	対象チャネル
ADSSTR0.SST[7:0]ビット	AN0/自己診断
ADSSTR1.SST[7:0]ビット	AN1
ADSSTR2.SST[7:0]ビット	AN2
ADSSTR3.SST[7:0]ビット	AN3
ADSSTR4.SST[7:0]ビット	AN4
ADSSTR5.SST[7:0]ビット	AN5
ADSSTR6.SST[7:0]ビット	AN6
ADSSTR7.SST[7:0]ビット	AN7

36.2.12 A/D サンプリングステートレジスタ L (ADSSTRL)

アドレス ADSSTRL : 0008 9861h



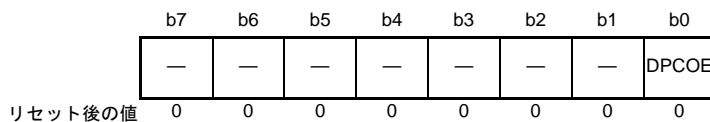
ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定ビット	7~255ステートの間でサンプリング時間を設定します	R/W

ADSSTRL は、アナログ入力 (AN8 ~ AN19) のサンプリング時間の設定を行うレジスタです。

1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 100MHz であれば 1 ステート = 10ns になります。初期値は 50 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。本ビットの設定は ADCSR.ADST が “0” のときに行ってください。サンプリング時間の設定値は、7 ステート以上 255 ステート以下の値を設定してください。また、サンプリング時間が 0.5 μ s 以上となるように設定してください。

36.2.13 デジタル電源制御回路出力設定レジスタ (ADDPCONR)

アドレス 0008 987Dh



ビット	シンボル	ビット名	機能	R/W
b0	DPCOE	デジタル電源制御回路出力許可ビット	0 : A/D 変換結果を出力しない 1 : A/D 変換結果を出力する	R/W
b7-b1	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

ADDPCONR レジスタは、A/D 変換結果をデジタル電源制御回路への出力許可を設定するレジスタです。

36.3 動作説明

36.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、1 サイクルスキャンモードと連続スキャンモードの2種類の動作モードがあります。1 サイクルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを“0” (“1”の状態から“0”) にクリアするまで無制限に繰り返し実施するモードです。

1 サイクルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0/1 レジスタで選択した AN_n の n が小さい番号順から A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に1回実施され、10ビット A/D コンバータ内部で生成する3つの電圧値のうち1つを A/D 変換します。

36.3.2 1 サイクルスキャンモード

36.3.2.1 基本動作

1 サイクルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガ (MTU3、GPT) または非同期トリガ入力によって、ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSA0/1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による ADI0 割り込み許可) に設定されていると、ADI0 割り込み要求が発生します。
- (4) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、10 ビット A/D コンバータは待機状態になります。

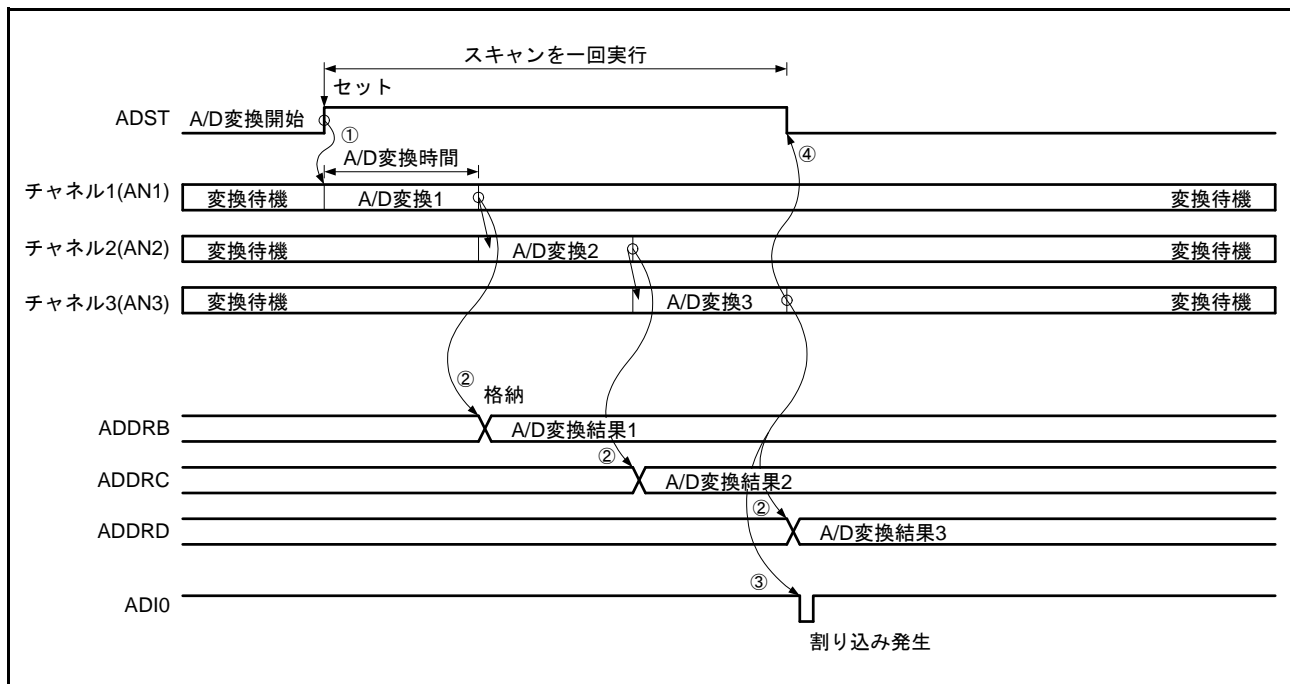


図 36.3 1 サイクルスキャンモードの動作例 (基本動作)

36.3.2.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように10ビットA/Dコンバータに供給される基準電圧VREF (x0, x1/2, x1のいずれか)のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェア、同期トリガ (MTU3、GPT) または非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始)になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD)に格納され、次にADANSA0/1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy)へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるADIO割り込み許可)に設定されていれば、ADIO割り込み要求を発生します。
- (5) ADCSR.ADSTビットはA/D変換中は“1” (A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、10ビットA/Dコンバータは待機状態になります。

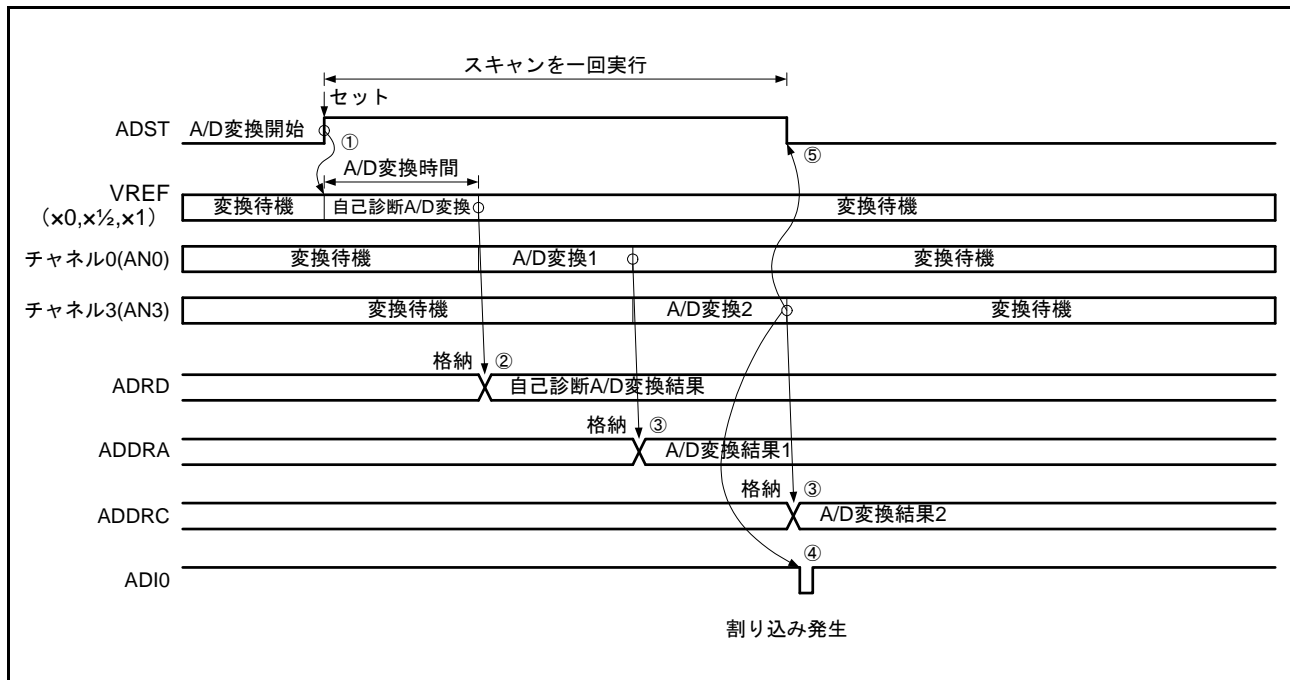


図 36.4 1 サイクルスキャンモードの動作例 (基本動作+自己診断)

36.3.3 連続スキャンモード

36.3.3.1 基本動作

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

- (1) ソフトウェア、同期トリガ (MTU3、GPT) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSA0/1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- (2) チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による ADI0 割り込み許可) に設定されていると、ADI0 割り込み要求が発生します。
また 10 ビット A/D コンバータは、継続して ADANSA0/1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- (4) ADCSR.ADST ビットは自動的にクリアされず、“1” (A/D 変換開始) の間は (2) ~ (3) を繰り返します。ADCSR.ADST ビットを“0” (A/D 変換停止) に設定すると A/D 変換を中止し、10 ビット A/D コンバータは待機状態になります。
- (5) その後、ADCSR.ADST ビットを“1” (A/D 変換開始) にセットすると再び ADANSA0/1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。

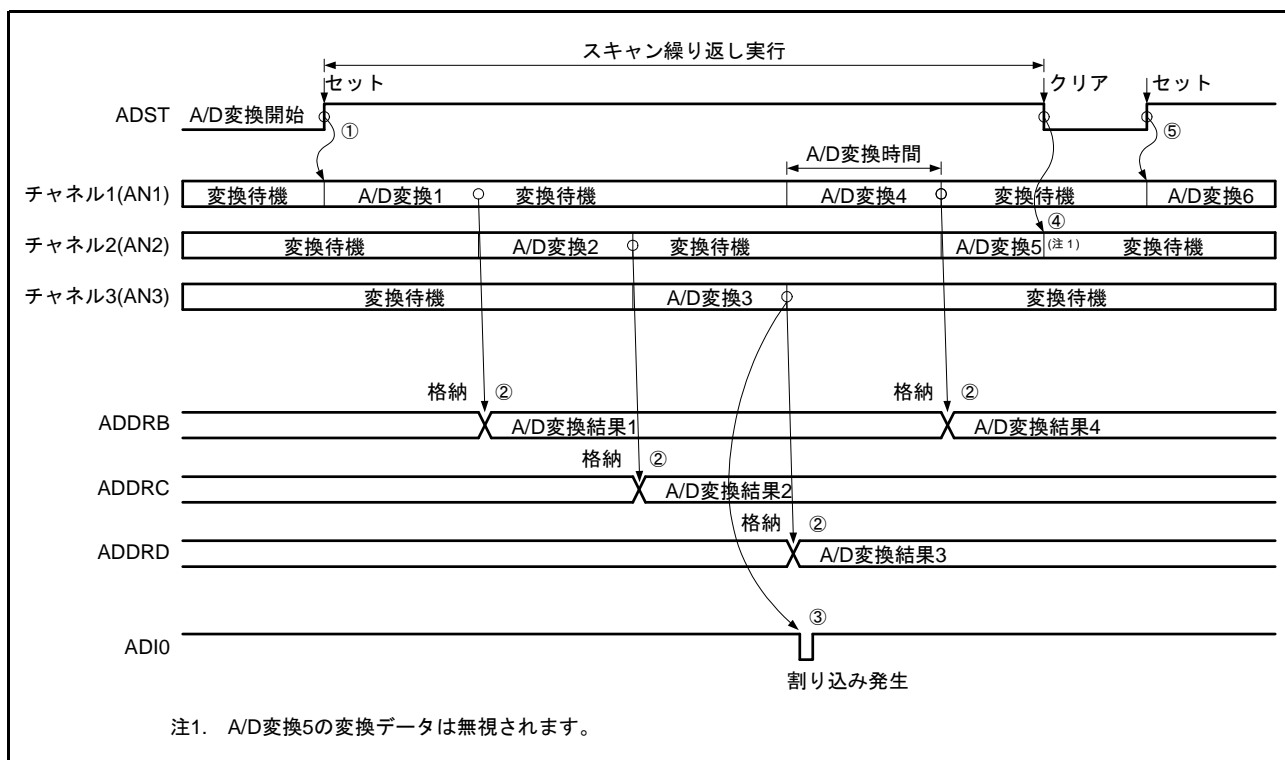


図 36.5 連続スキャンモードの動作例 (基本動作)

36.3.3.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように10ビットA/Dコンバータに供給される基準電圧VREF (x0、x1/2、x1のいずれか)のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返します。

- (1) ソフトウェア、同期トリガ (MTU3、GPT) または非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSA0/1レジスタで選択したチャンネルANnのnが小さい順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるADIO割り込み許可) に設定されていれば、ADIO割り込み要求を発生します。また、10ビットA/Dコンバータは継続して自己診断でのA/D変換を開始し、終了後にADANSAレジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (5) ADCSR.ADSTビットは自動的にクリアされず、“1”にセットされている間は(2)～(4)を繰り返します。ADCSR.ADSTビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、10ビットA/Dコンバータは待機状態になります。
- (6) その後、ADCSR.ADSTビットが“1” (A/D変換開始) にセットされると、再び自己診断でのA/D変換から開始します。

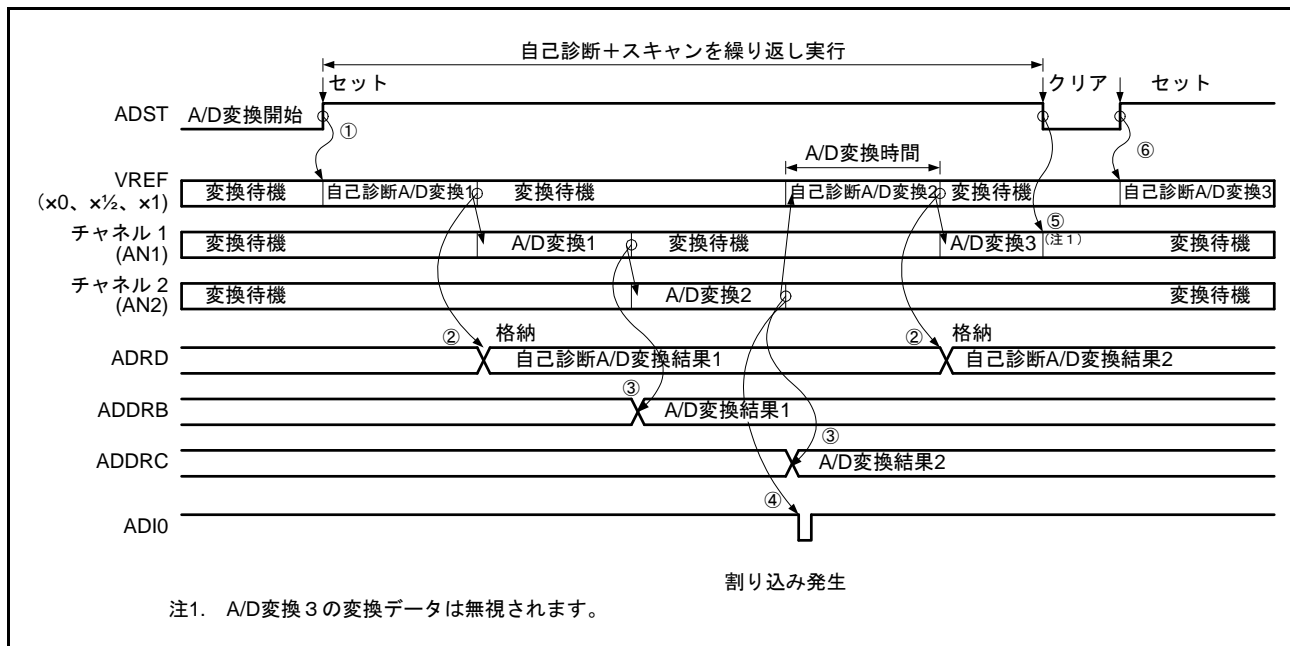


図 36.6 連続スキャンモードの動作 (基本動作+自己診断)

36.3.4 アナログ入力のサンプリングとスキャン変換時間

スキャン変換は、ソフトウェア起動、同期トリガ (MTU3、GPT) による起動および非同期トリガ (ADTRG#) による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、自己診断変換処理を行い、A/D 変換処理が開始されます。

図 36.7 に 1 サイクルスキャンモード、ソフトウェア起動または同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、図 36.8 に 1 サイクルスキャンモード、非同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、自己診断変換時間 (t_{DIAG}) (注 1)、A/D 変換処理時間 (t_{CONV})、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。スキャン変換時間を表 36.6 に示します。

選択チャンネル数が n の 1 サイクルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + t_{DIAG} + (t_{CONV} \times n) + t_{ED}$$

連続スキャンの 1 サイクル目は、1 サイクルスキャンの t_{SCAN} から t_{ED} を省いた時間です。

連続スキャンの 2 サイクル目以降は、($t_{CONV} \times n$) + t_{DIAG} + ($t_{CONV} \times n$) 固定となります。

自己診断変換処理時間 (t_{DIAG}) と A/D 変換処理時間 (t_{CONV}) は、以下となります

自己診断変換処理時間 (t_{DIAG}) : 25 ステート (固定) + ADSSTR0.SST[7:0] 設定値

A/D 変換処理時間 (t_{CONV}) : 25 ステート (固定) + ADSSTn.SST[7:0] (注 2) 設定値

注 1. 自己診断を設定しない場合は、 $t_{DIAG} = 0$ となります。

注 2. 表 36.5 の各レジスタを示しています。

表 36.6 スキャン変換時間 (PCLKとADCLKのサイクル数で示す)

項目	記号	種類/条件	サイクル
スキャン変換開始遅延時間 (注1)	t_D	MTU3、GPT、ソフトウェアトリガ	2 PCLK + 4 ADCLK
		外部トリガ	4 PCLK + 4 ADCLK
自己診断変換処理時間 (注1)	t_{DIAG}	ADSSTR0.SST[7:0]ビット (初期設定値 19h)	50 ADCLK
A/D 変換処理時間 (注1)	t_{CONV}	ADSSTn.SST[7:0]ビット (初期設定値 19h)	50 ADCLK
スキャン変換終了遅延時間 (注1)	t_{ED}	—	1 PCLK + 3 ADCLK
スキャン変換時間 (注2)	t_{SCAN}	—	5 PCLK + (50n + 57) ADCLK

注 1. t_D 、 t_{CONV} 、 t_{ED} の各タイミングについては図 36.7、図 36.8 を参照してください。

注 2. 非同期トリガ起動、自己診断変換選択、1 サイクルスキャンモード選択した場合です。n はチャンネル数です。

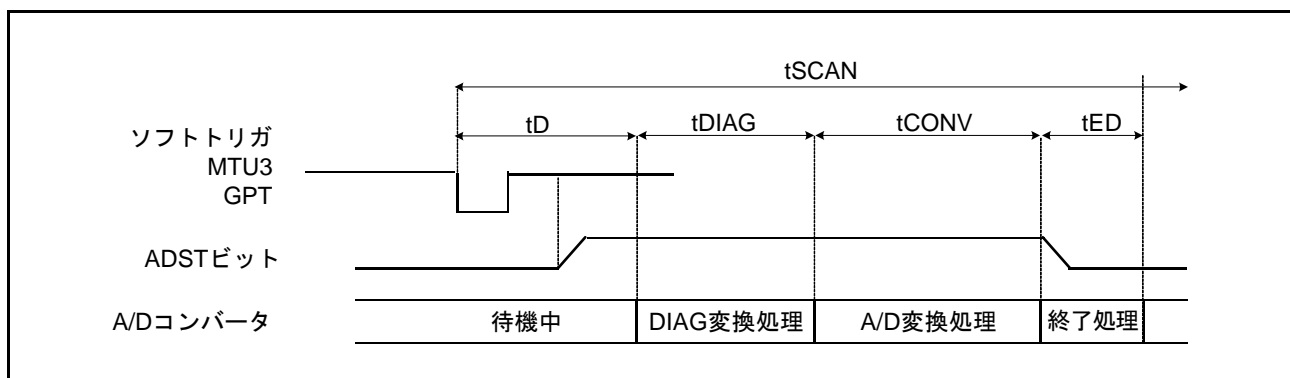


図 36.7 スキャン変換のタイミング (ソフトウェア起動、MTU3、GPT 起動の場合)

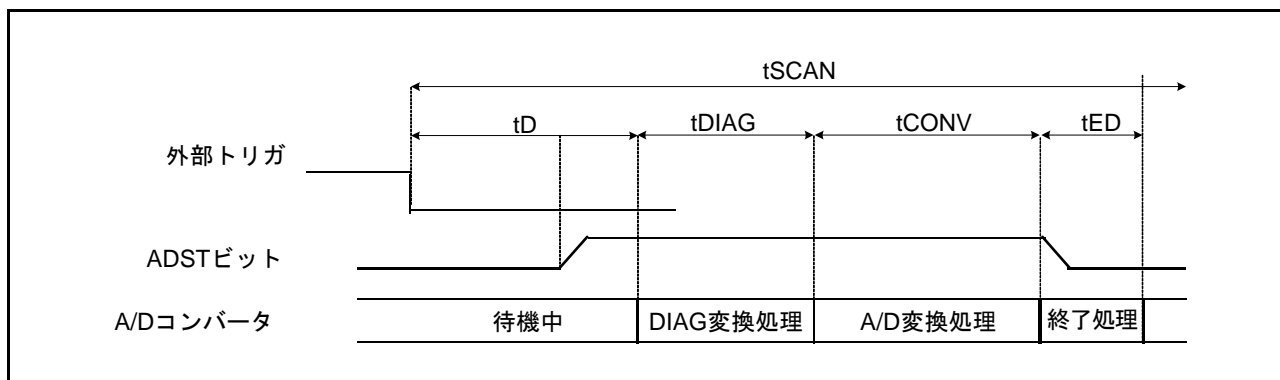


図 36.8 スキャン変換のタイミング (ADTRG# 要因の場合)

36.3.5 レジスタのオートクリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU、DTC および DMACA によって A/D データレジスタ (ADDRy、ADDRD) を読み出す際、自動的に ADDRy、ADDRD レジスタを 0000h にクリアできます。

この機能を使うことにより、ADDRy、ADDRD レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効/有効時の例を示します。

ADCER.ACE ビットが“0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタなどに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1” (自動クリア許可) の場合には、ADDRy = 0111h を CPU、DTC および DMACA により読み出す際、ADDRy レジスタは自動的に 0000h にクリアされます。その後、A/D 変換結果の 0222h が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、0000h が汎用レジスタなどに保持されます。読み出されたデータ値が 0000h であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

36.3.6 A/D 変換値加算機能

同じチャンネルを 2～4 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算機能は、チャンネル選択アナログ入力 A/D 変換時に使用できます。

36.3.7 非同期トリガによる A/D 変換出力開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRGA[5:0]) を “000000b” に設定し、非同期トリガ (ADTRG# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 36.9 に非同期トリガ入力タイミングを示します。

ADST ビットがセットされてから A/D 変換を開始するまでの時間は、「36.6.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。

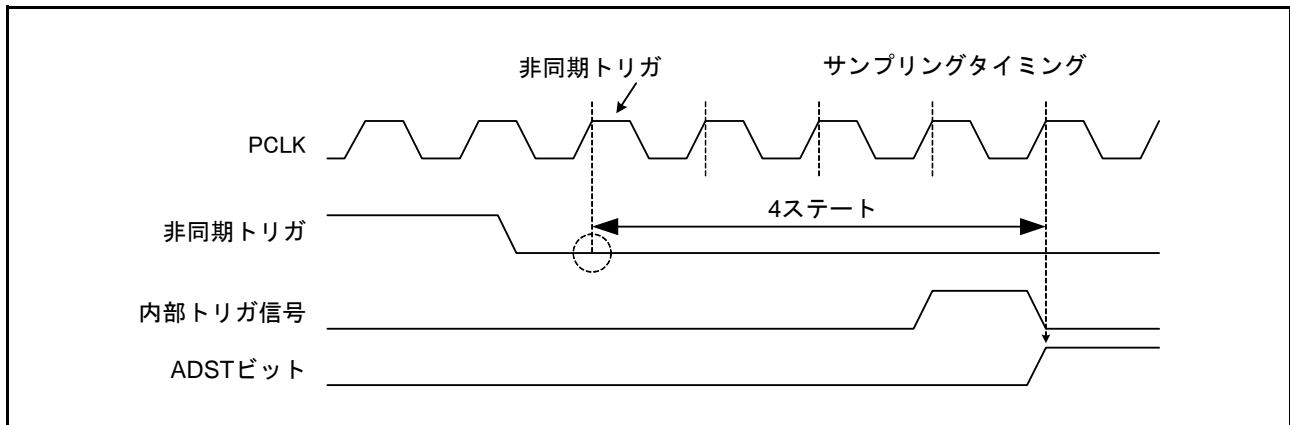


図 36.9 非同期トリガ入力タイミング

36.3.8 周辺モジュールからの同期トリガによる A/D 変換の開始

MTU3、GPT からの同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.TRSA[5:0] ビットで該当の起動要因にセットします。

36.4 割り込み要因と DMA 転送要求

36.4.1 スキャン終了時の割り込み要求

10 ビット A/D コンバータは、CPU へのスキャン終了割り込み要求である ADI0 割り込みを発生することができます。

ADCSR.ADIE ビットを “1” にすると ADI0 を許可、“0” にすると ADI0 を禁止できます。

また、ADI0 発生時に DTC または DMACA を起動できます。ADI0 割り込みで変換されたデータの読み出しを DTC または DMACA で行くと、連続変換がソフトウェアの負担なく実現できます。

DTC の設定は「19. データトランスファコントローラ (DTCa)」を、DMACA の設定は「18. DMA コントローラ (DMACA)」を参照してください。

36.5 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
10ビット A/D コンバータのデジタル変換出力コード数
- オフセット誤差
デジタル出力が最小電圧値 0000000000 から 0000000001 に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。(図 36.11)
- フルスケール誤差
デジタル出力が 1111111110 から 1111111111 に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。(図 36.11)
- 量子化誤差
10ビット A/D コンバータが本質的に有する誤差であり、1/2LSB で与えられる。(図 36.10)
- 非直線性誤差
ゼロ電圧からフルスケール誤差までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線性誤差を含む。

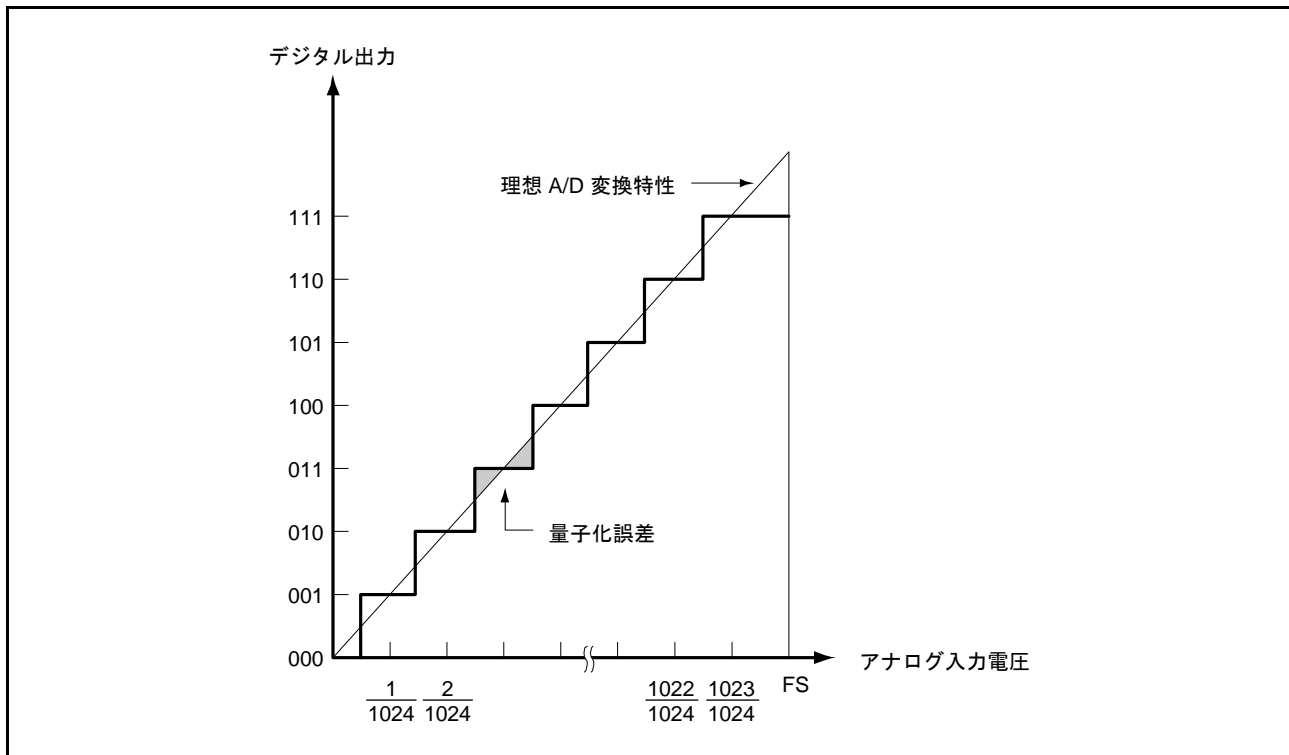


図 36.10 A/D 変換精度の定義 (1)

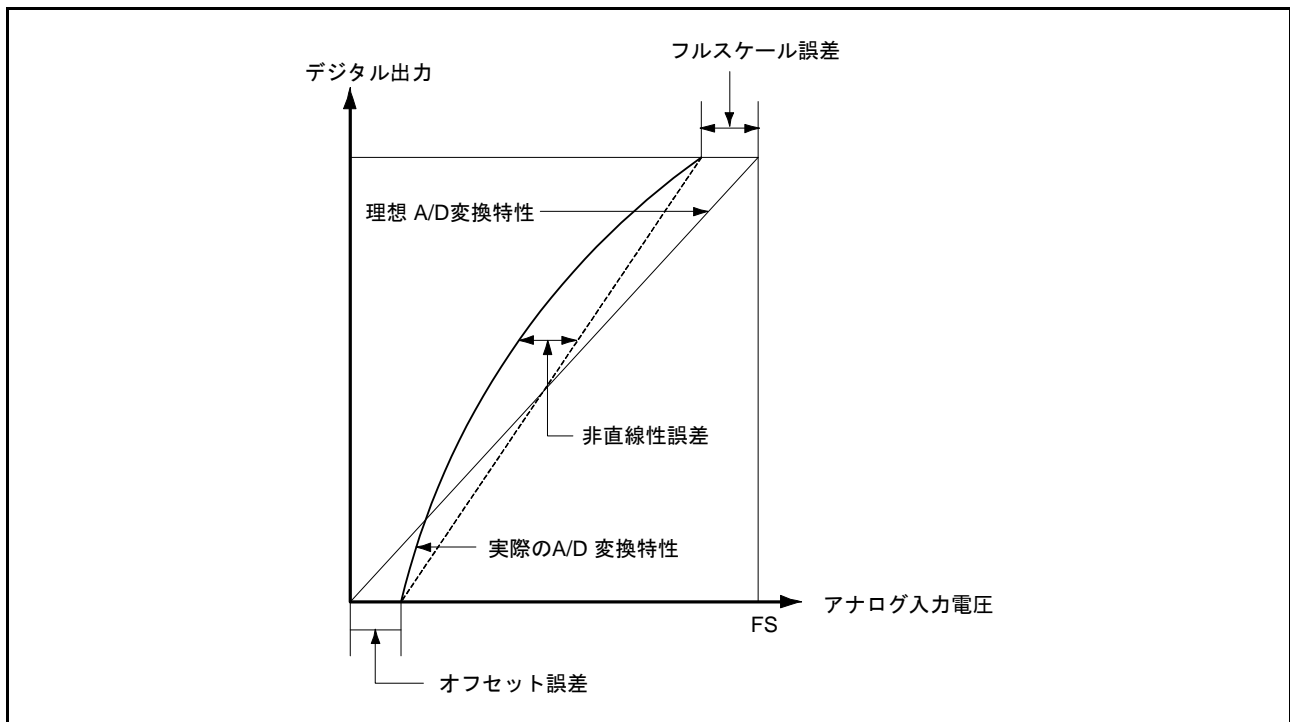


図 36.11 A/D 変換精度の定義 (2)

36.6 使用上の注意事項

36.6.1 データレジスタの読み出し注意事項

A/D データレジスタ、A/D 自己診断データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト/下位バイトの2回に分けて読み出すことにより、1回目に読み出したA/D変換値と2回目に読み出したA/D変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

36.6.2 A/D変換停止時の注意事項

A/D変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D変換を停止させるためには、ADCSR.TRGEビットを“0”に設定し、A/D変換開始条件をソフトウェアトリガにした後、ADCSR.ADSTビットを“0”（A/D変換停止）に設定してください。

36.6.3 A/D変換強制停止と開始時の動作タイミング

10ビットA/Dコンバータのアナログ部が停止した状態でADCSR.ADSTビットを“1”に設定し10ビットA/Dコンバータのアナログ部が動作を開始するのにADCLKで最大4クロックの時間を必要とします。ADCSR.ADSTビットを“0”に設定してA/D変換を強制停止させると、10ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLKで最大2クロックの時間を必要とします。

36.6.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

36.6.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、10ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、10ビットA/Dコンバータは停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「12. 消費電力低減機能」を参照してください。

36.6.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ遷移する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADSTビットを“0”に設定後、10ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

ADCSR.TRGEビットを“0”（ソフトウェアトリガ）に設定し、ADCSR.ADSTビットを“0”に設定してください。その後、A/D変換が停止していることを確認した後、モジュールストップやソフトウェアスタンバイモードへ遷移させてください。

36.6.7 許容信号源インピーダンスについて

本LSIのアナログ入力は、高速変換 $0.5\mu\text{s}$ を実現するために、信号源インピーダンスが $1\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。1 サイクルスキャンモードで1端子のみ変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $1\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 36.12）。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

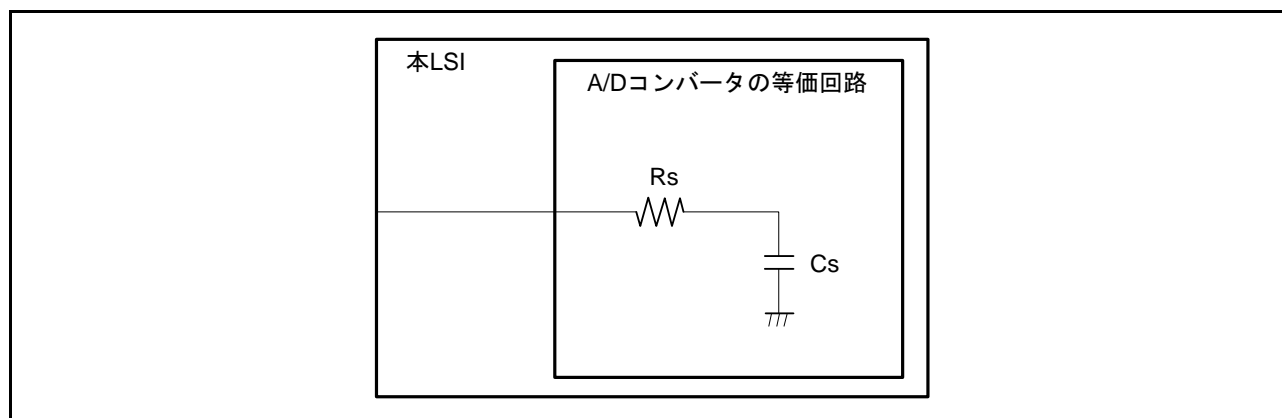


図 36.12 アナログ入力端子の内部等価回路

表 36.7 アナログ端子の規格

項目		min	max	単位
許容信号源インピーダンス		—	1	k Ω
端子の内部等価回路	Rs	—	8	k Ω
	Cs	—	7	pF

36.6.8 絶対精度への影響

容量を付加することにより、GND とのカップリングを受け、ノイズがある GND だと絶対精度が悪化する可能性がありますので、AVSS 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

36.6.9 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてLSIを使用した場合は、LSIの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN_n に印加する電圧は、 $AVSS \leq VAN \leq VREF$ の範囲としてください。

- 各電源端子 (AVCC – AVSS、VCC – VSS) の関係

AVCC、AVSS と VCC、VSS との関係は $AVSS = VSS$ としてください。また、図 36.13 に示すように各々の電源間に最短で閉ループが形成できるように $0.1\mu\text{F}$ のコンデンサを接続し、供給元で $AVSS = VSS$ になるように接続してください。10ビットA/Dコンバータを使用しない場合は、 $VREF = AVCC = VCC$ 、 $AVSS = VSS$ としてください。

- VREF の設定範囲

VREF 端子によるリファレンス電圧の設定範囲は、 $VREF \leq AVCC$ にしてください。

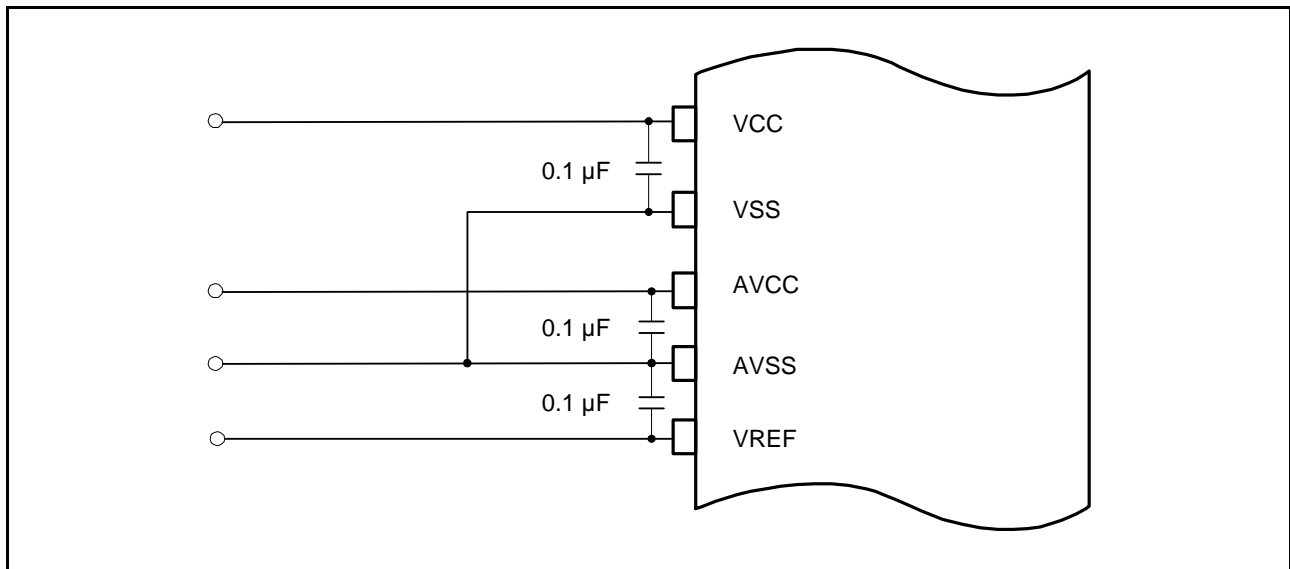


図 36.13 各電源端子の接続例

36.6.10 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN0 ~ AN19)、アナログ基準電圧 (VREF)、アナログ電源 (AVCC) は、アナロググランド (AVSS) で、デジタル回路と分離してください。さらにアナロググランド (AVSS) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

36.6.11 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN0 ~ AN19) の破壊を防ぐために、**図 36.14** に示すように AVCC と AVSS 間、VREF と AVSS 間に容量を、またアナログ入力端子 (AN0 ~ AN19) を基準に保護回路を接続してください。

また、アナログ入力端子 (AN0 ~ AN19) に接続するフィルタのコンデンサは、AVSS に接続してください。**図 36.14** に示す 0.1 μ F のコンデンサはできるかぎり端子の近くに配置してください。

なお、**図 36.14** のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN0 ~ AN19) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数は十分ご検討の上決定してください。

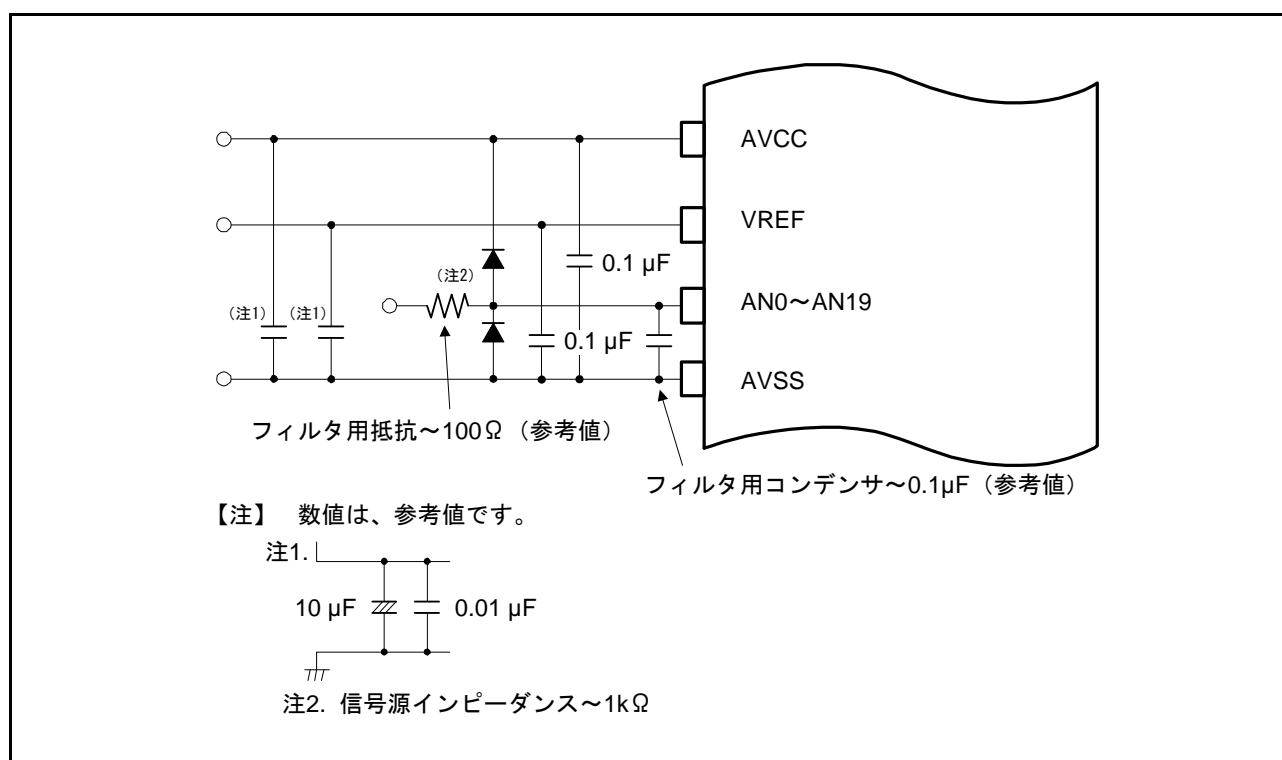


図 36.14 アナログ入力保護回路の例

36.6.12 外部バス使用時の注意

アナログ入力端子 (AN0 ~ AN5、AN8、AN9) は外部バス使用時のアドレス出力端子と共用しているので、外部バス使用時は 10 ビット A/D コンバータは使用禁止です。

37. D/Aコンバータ (DAa)

37.1 概要

本 MCU は、10 ビットの D/A コンバータを 2 チャンネル内蔵しています。

表 37.1 に D/A コンバータの仕様を示します。図 37.1 に D/A コンバータのブロック図を示します。

表 37.1 D/Aコンバータの仕様

項目	内容
分解能	10ビット
出力チャンネル	2チャンネル
アナログモジュールの干渉対策	<ul style="list-style-type: none"> D/A変換とA/D変換の干渉対策 10ビットA/Dコンバータが出力する10ビットA/Dコンバータ同期D/A変換許可入力信号により、D/A変換データの更新タイミングを制御する（D/Aコンバータのラッシュカレント発生タイミングを許可信号で制御することにより、干渉によるA/D変換精度劣化を低減する）
消費電力低減機能	モジュールストップ状態への設定が可能

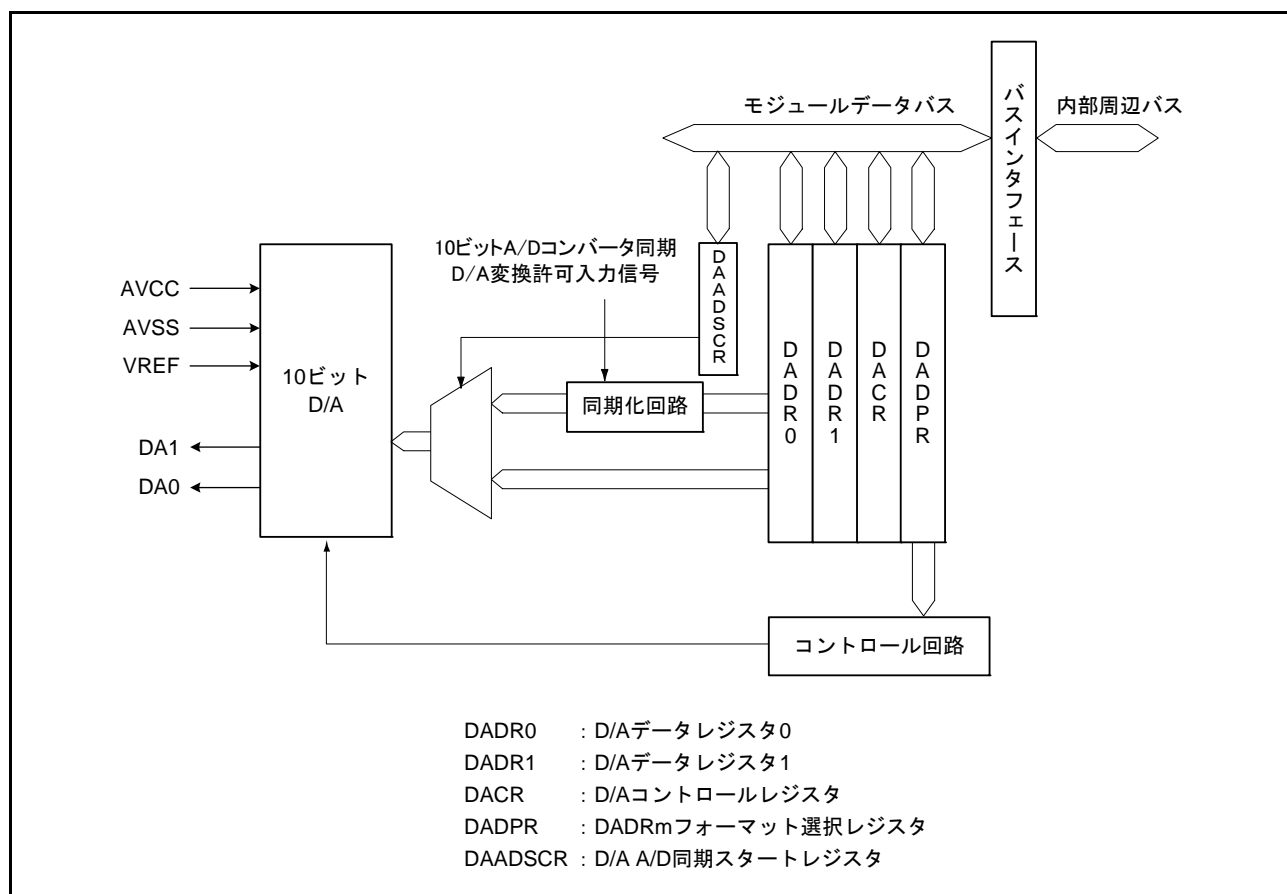


図 37.1 D/A コンバータのブロック図

表 37.2 に D/A コンバータで使用する入出力端子を示します。

表 37.2 D/Aコンバータの入出力端子

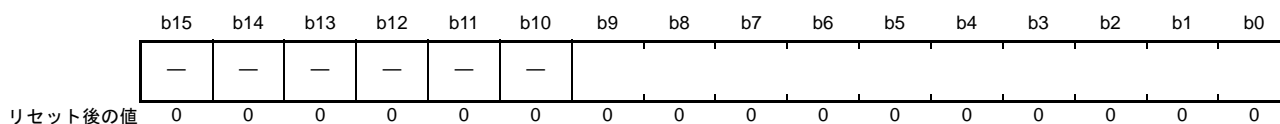
端子名	入出力	機能
AVCC	入力	D/Aコンバータのアナログ電源端子
AVSS	入力	D/Aコンバータのアナロググランド端子
VREF	入力	10ビット A/Dコンバータと D/A コンバータの基準電圧入力端子。それぞれのモジュールのアナログ電源としても使用します。10ビット A/D コンバータも D/A コンバータも使用しない場合は、VCCに接続してください。
DA0	出力	チャンネル0のアナログ出力
DA1	出力	チャンネル1のアナログ出力

37.2 レジスタの説明

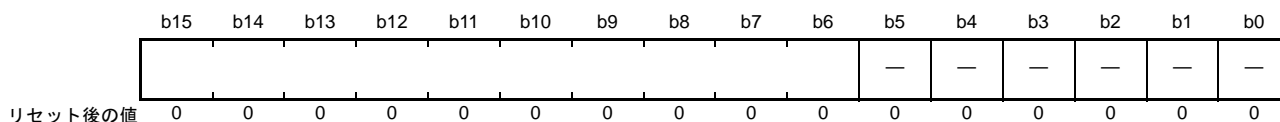
37.2.1 D/A データレジスタ m (DADRm) (m=0、1)

アドレス DADR0 0008 80C0h, DADR1 0008 80C2h

- ・ DADPR.DPSELビット="0" (データは右詰め)



- ・ DADPR.DPSELビット="1" (データは左詰め)



DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換されアナログ出力端子に出力されます。

DADPR.DPSEL ビットの設定によって 10 ビットのデータの配置を変更できます。“—”のビットは、読むと“0”が読めます。書く場合、“0”としてください。

37.2.2 D/A コントロールレジスタ (DACR)

アドレス 0008 80C4h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAOE1	DAOE0	DAE	—	—	—	—	—
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	DAE (注1)	D/A許可ビット	0: チャンネル0、1のD/A変換を個別制御 1: チャンネル0、1のD/A変換を一括許可	R/W
b6	DAOE0	D/A出力許可0ビット	0: チャンネル0のアナログ出力 (DA0) を禁止 1: チャンネル0のD/A変換を許可 チャンネル0のアナログ出力 (DA0) を許可 (注2)	R/W
b7	DAOE1	D/A出力許可1ビット	0: チャンネル1のアナログ出力 (DA1) を禁止 1: チャンネル1のD/A変換を許可 チャンネル1のアナログ出力 (DA1) を許可 (注2)	R/W

注1. DAOEiビット (i=0, 1) との組み合わせで、D/A変換を制御します。変換結果の出力は、DAOEiビットにより制御されます。表37.3を参照してください。

注2. アナログ出力として使用する端子は、P54PFS、P55PFSレジスタによって、アナログ端子に設定してください。詳細については「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

表37.3 D/A変換の制御

b5	b7	b6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A変換とアナログ出力 (DA0、DA1) を禁止 (注1)
		1	チャンネル0のD/A変換を許可、チャンネル1のD/A変換を禁止 チャンネル0のアナログ出力 (DA0) を許可、チャンネル1のアナログ出力 (DA1) を禁止 (注1)
	1	0	チャンネル0のD/A変換を禁止、チャンネル1のD/A変換を許可 チャンネル0のアナログ出力 (DA0) を禁止 (注1)、チャンネル1のアナログ出力 (DA1) を許可
		1	チャンネル0、1のD/A変換を許可 チャンネル0、1のアナログ出力 (DA0、DA1) を許可
1	0	0	チャンネル0、1のD/A変換を許可 チャンネル0、1のアナログ出力 (DA0、DA1) を禁止 (注1)
		1	チャンネル0、1のD/A変換を許可 チャンネル0のアナログ出力 (DA0) を許可、チャンネル1のアナログ出力 (DA1) を禁止 (注1)
	1	0	チャンネル0、1のD/A変換を許可 チャンネル0のアナログ出力 (DA0) を禁止 (注1)、チャンネル1のアナログ出力 (DA1) を許可
		1	チャンネル0、1のD/A変換を許可 チャンネル0、1のアナログ出力 (DA0、DA1) を許可

注1. アナログ出力禁止時、アナログ出力はHi-Zになります。

このレジスタは、DAADSCR.DAADSTビットが“1” (D/A変換とA/D変換の干渉対策が有効) の場合、10ビットA/Dコンバータ停止中に設定してください (10ビットA/Dコンバータのトリガ選択をソフトウェアトリガに選択後、ADCSR.ADSTビットが“0”のときに設定してください)。

DAE ビット (D/A 許可ビット)

DAOEi ビット (i=0、1) との組み合わせで、D/A 変換を制御します。

DAE ビットが“0”のとき、チャンネル0、1のD/A変換は個別に制御されます。DAE ビットが“1”のとき、チャンネル0、1のD/A変換は一括して制御されます。変換結果の出力は、DAOEi ビットにより制御されます。

DAOE0 ビット (D/A 出力許可0ビット)

D/A 変換とアナログ出力を制御します。

D/A 変換と A/D 変換の干渉対策が有効時 (DAADSCR.DAADST ビット=“1”) には、ADCSR.ADST ビットが“0”のときに設定してください。このとき確実に10ビットA/Dコンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。

DAOE1 ビット (D/A 出力許可1ビット)

D/A 変換とアナログ出力を制御します。

D/A 変換と A/D 変換の干渉対策が有効時 (DAADSCR.DAADST ビット=“1”) には、ADCSR.ADST ビットが“0”のときに設定してください。このとき確実に10ビットA/Dコンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。

37.2.3 DADRm フォーマット選択レジスタ (DADPR)

アドレス 0008 80C5h

b7	b6	b5	b4	b3	b2	b1	b0
DPSEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	DADRm フォーマット選択ビット	0 : D/A データレジスタは右詰め 1 : D/A データレジスタは左詰め	R/W

37.2.4 D/A A/D 同期スタート制御レジスタ (DAADSCR)

アドレス 0008 80C6h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DAADST	D/A A/D同期変換ビット	0 : D/Aコンバータは、10ビットA/Dコンバータと同期変換しない (D/A変換とA/D変換の干渉対策の無効) 1 : D/Aコンバータは、10ビットA/Dコンバータと同期変換する (D/A変換とA/D変換の干渉対策の有効)	R/W

DAADSCRレジスタは、D/A変換とA/D変換の干渉対策のために、D/Aコンバータの変換開始タイミングを10ビットA/Dコンバータからの10ビットA/Dコンバータ同期D/A変換許可信号に同期させるかさせないかを選択します。

このレジスタは、10ビットA/Dコンバータ停止中に設定してください（10ビットA/Dコンバータのトリガ選択をソフトウェアトリガに選択後、ADCSR.ADSTビットが“0”のときに設定してください）。

DAADSTビット (D/A A/D同期変換ビット)

DAADSTビットを“0”にすると、随時DADRmレジスタの値をD/A変換します。DAADSTビットを“1”にすると、A/Dコンバータからの同期D/A変換許可信号に同期してD/A変換が行われます。したがって、DADRmレジスタの値を書き換えても、A/DコンバータのA/D変換が終了するまでD/A変換は行われません。

DAADSTビットの設定はADCSR.ADSTビットが“0”のときに設定してください。このとき確実に10ビットA/Dコンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。

37.3 動作説明

2チャンネルのD/Aコンバータは、それぞれ独立して変換を行うことができます。DACR.DAOE_iビット (i=0, 1) を“1”にすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図37.2に示します。

1. DADR0レジスタに変換データを書きます。
2. DACR.DAOE0ビットを“1”にすると、D/A変換を開始します。t_{DCONV}時間経過後、変換結果をアナログ出力端子DA0より出力します。DADR0レジスタを書き換えるか、DAOE0ビットを“0”にするまで、この変換結果が出力され続けます。出力値は以下の式で計算します。

$$\frac{\text{DADR0レジスタの値}}{1024} \times V_{\text{REF}}$$

3. DADR0レジスタを書き換えると変換を開始します。t_{DCONV}時間経過後、変換結果が出力されます。DAADSCR.DAADSTビットが“1” (D/A変換とA/D変換の干渉対策が有効) の場合、D/A変換開始まで最大A/D変換1回分待たされます。
4. DAOE0ビットを“0”に設定するとアナログ出力を禁止します。

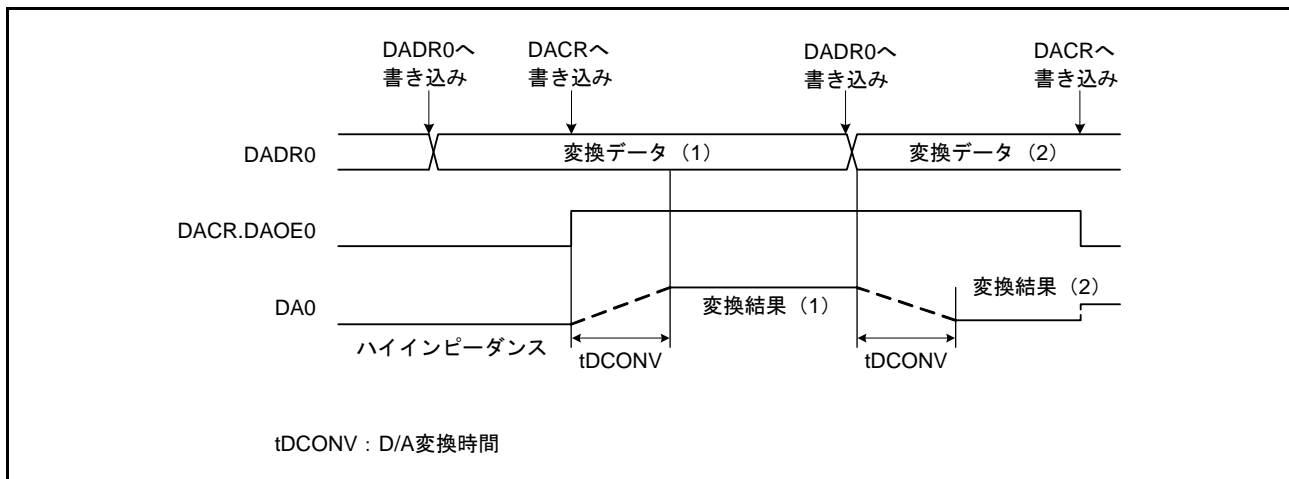


図 37.2 D/Aコンバータの動作例

37.3.1 D/A変換とA/D変換の干渉対策

D/A変換が始まるとD/Aコンバータはラッシュカレントを発生します。D/Aコンバータと10ビットA/Dコンバータのアナログ電源が共通のため、発生したラッシュカレントが10ビットA/Dコンバータの変換に干渉することがあります。

10ビットA/Dコンバータの変換に干渉させないために、D/Aコンバータの変換開始タイミングを10ビットA/Dコンバータの10ビットA/Dコンバータ同期D/A変換許可信号に同期化することができます。

DAADSCR.DAADSTビットを“1”にしている場合、10ビットA/DコンバータがA/D変換中にDADRmレジスタにデータを書き換えても、すぐに変換されず、10ビットA/DコンバータのA/D変換終了タイミングに同期して変換を開始します。DADRmレジスタへの書き込みからD/A変換回路の入力に反映するまで最大A/D変換1回分待たされます。その間DADRmレジスタ値とアナログ出力値は一致しません。

本機能が有効なときに、DADRmレジスタの値がD/A変換されたかどうかをソフトウェアで確認する手段はありません。

DAADSCR.DAADSTビットを“1”にしている場合であっても、10ビットA/Dコンバータが停止中にDADRmレジスタにデータを書き換えると、1PCLKクロック後にD/A変換を開始します。

D/Aコンバータを10ビットA/Dコンバータに同期して変換する機能を使う場合のチャンネル0のD/A変換の動作例を以下に示します。

- ① 10ビットA/Dコンバータが停止中であることを確認し、DAADSCR.DAADSTビットを“1”にする。
- ② 10ビットA/Dコンバータが停止中であることを確認し、DACR.DAOE0ビットを“1”にする。
- ③ DADR0レジスタを設定する。
 - DADR0レジスタを書き換えたとき、10ビットA/Dコンバータが停止していた場合、1PCLK後にD/A変換が開始されます。
 - DADR0レジスタを書き換えたとき、10ビットA/DコンバータがA/D変換中の場合、A/D変換終了時にD/A変換が開始されます。A/D変換中に2回、DADR0レジスタを書き換えた場合、1回目の値は、D/A変換されないことがあります。

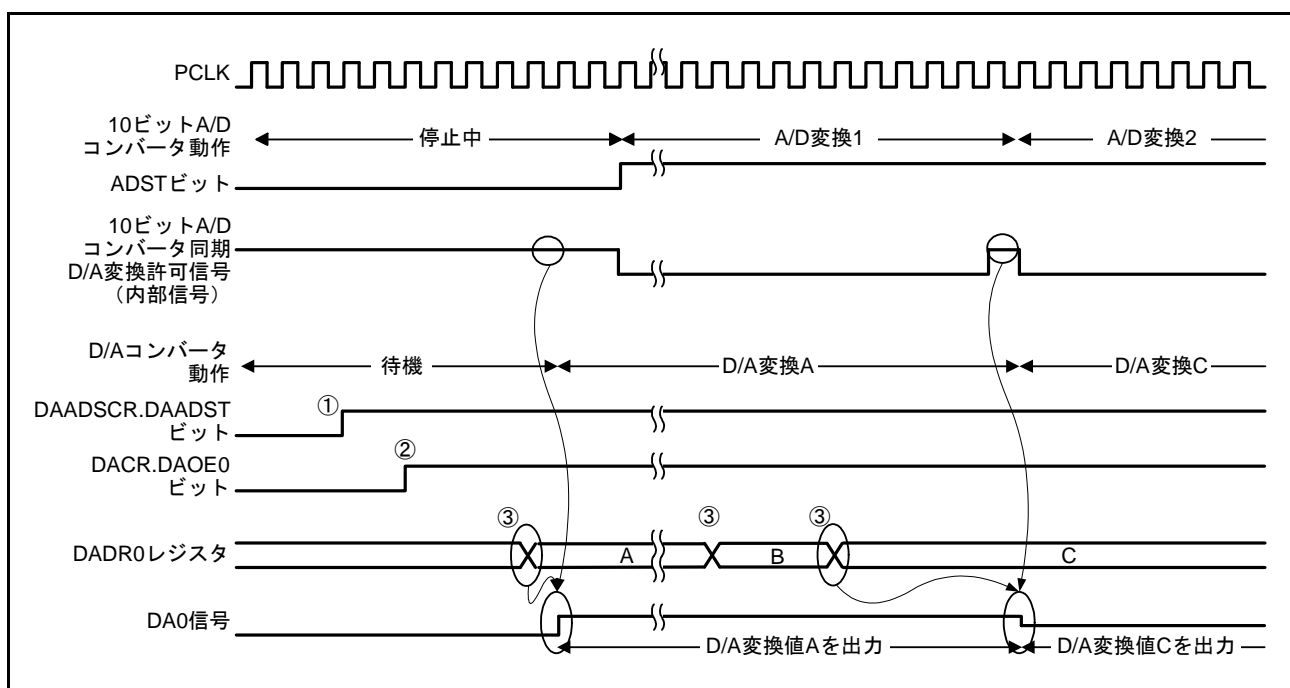


図 37.3 D/Aコンバータを10ビットA/Dコンバータに同期して変換する例

37.4 使用上の注意事項

37.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、D/Aコンバータの動作禁止/許可を設定することが可能です。初期値では、D/Aコンバータは停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「12. 消費電力低減機能」を参照してください。

37.4.2 モジュールストップ時のD/Aの動作

D/A変換を許可した状態でモジュールストップ状態に移行するとD/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAEビットをすべて“0”にしてD/A出力を禁止してください。

37.4.3 ソフトウェアスタンバイモード時のD/Aの動作

D/A変換を許可した状態でソフトウェアスタンバイモードに移行するとD/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAEビットをすべて“0”にしてD/A出力を禁止してください。

37.4.4 ディープソフトウェアスタンバイモード時の注意事項

D/A変換を許可した状態でディープソフトウェアスタンバイモードに移行すると、D/A出力はハイインピーダンスとなります。

37.4.5 D/A変換とA/D変換の干渉対策有効時の注意事項

DAADSCR.DAADSTビットが“1” (D/A変換とA/D変換の干渉対策が有効) の場合、10ビットA/Dコンバータをモジュールストップ状態にしないでください。A/D変換が停止するだけでなく、D/A変換が停止する可能性があります。

38. データ演算回路 (DOC)

38.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算または減算をする機能です。

表 38.1 にデータ演算回路 (DOC) の仕様を示します。データ演算回路のブロック図を図 38.1 に示します。

- 16 ビットのデータを比較し、選択した条件のとき割り込みを発生することができます。
- 16 ビットのデータを加算することができます。
- 16 ビットのデータを減算することができます。

表 38.1 データ演算回路 (DOC) の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能

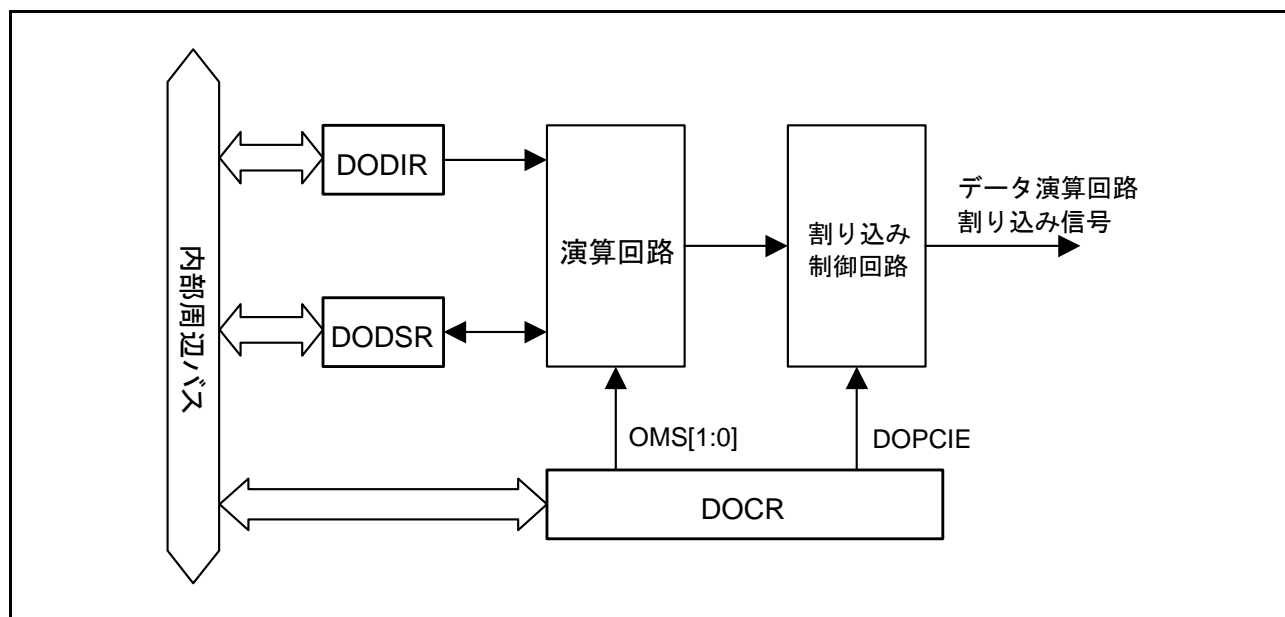


図 38.1 データ演算回路のブロック図

38.2 レジスタの説明

38.2.1 DOC コントロールレジスタ (DOCR)

アドレス 0008 B080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	DOPCI E	—	DCSEL	OMS [1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS [1:0]	動作モード選択ビット	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定しないでください	R/W
b2	DCSEL (注1)	検出条件選択ビット	0 : データ比較の結果、不一致を検出 1 : データ比較の結果、一致を検出	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOPCIE	データ演算回路割り込み許可ビット	0 : データ演算回路割り込み無効 1 : データ演算回路割り込み有効	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します	R
b6	DOPCFCL	DOPCFクリアビット	0 : 何もしない 1 : DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	RW

注1. データ比較モード時のみ有効

OMS[1:0] ビット (動作モード選択 [1:0] ビット)

本ビットの設定によりデータ演算回路の動作モードを選択します。

DCSEL ビット (検出条件選択ビット)

データ比較モード時のみ有効です。

本ビットの設定のよりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

DOPCF フラグ (データ演算回路フラグ)

[“1”になる条件]

- ・ DCSEL ビットで選択した条件になったとき
- ・ データ加算の結果が FFFFh より大きくなったとき
- ・ データ減算の結果が 0000h より小さくなったとき

[“0”になる条件]

- ・ DOPCFCL ビットに“1”を書き込んだとき

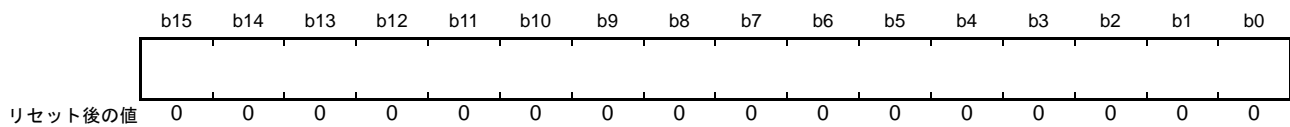
DOPCFCL ビット (DOPCF クリアビット)

本ビットを“1”にすると DOPCF フラグをクリアします。

読むと“0”が読めます。

38.2.2 DOC データインプットレジスタ (DODIR)

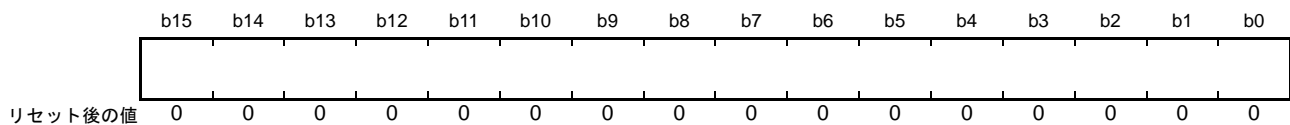
アドレス 0008 B082h



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットの読み出し／書き込み可能なレジスタです。

38.2.3 DOC データセッティングレジスタ (DODSR)

アドレス 0008 B084h



DODSR は、データ比較モード時、基準となる 16 ビットのデータを格納する 16 ビットの読み出し／書き込み可能なレジスタです。また、データ加算モードおよびデータ減算モード時、演算結果を格納するレジスタとなります。

38.3 動作説明

38.3.1 データ比較モード

図 38.2 にデータ比較モードの動作例を示します。

データ演算回路は、データ比較モード時、以下のように動作します。

1. DOCR.OMS[1:0] ビットに 00b 書き込むと、データ比較モードになります。
2. DODSR レジスタに基準となる 16 ビットのデータを設定します。
3. DODIR レジスタに比較する 16 ビットのデータを書き込みます。
4. すべての比較するデータの書き込みが完了するまで、DODIR レジスタに比較する 16 ビットのデータを書き込みます。
5. DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかったとき DOCR.DOPCF フラグに“1”がセットされます。また、DOCR.DOPCFCL ビットを“1”に設定している場合は、データ演算回路割り込みが発生します。

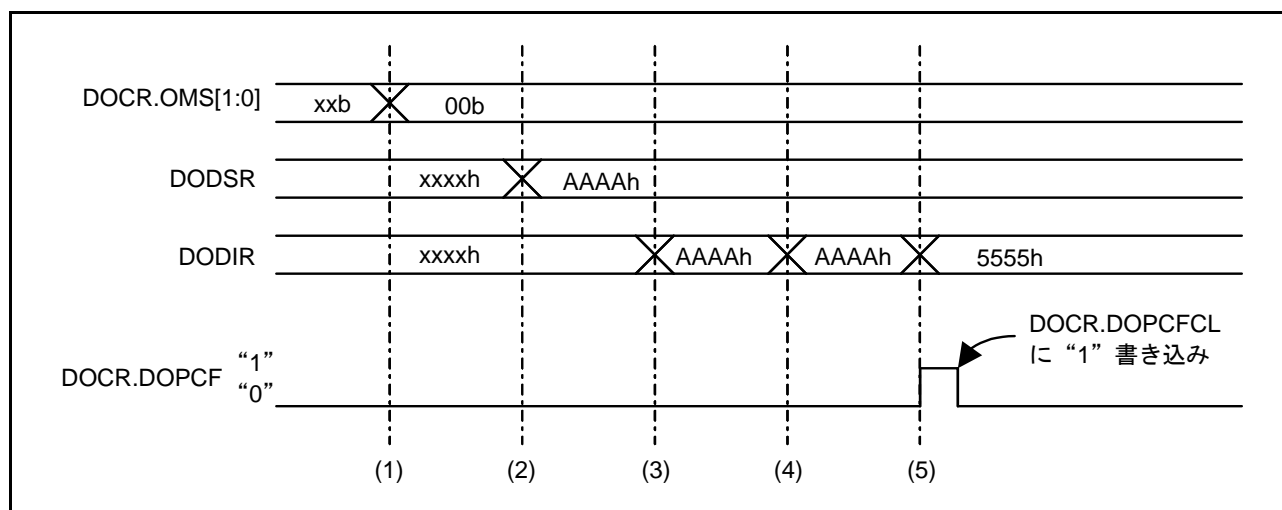


図 38.2 データ比較モードの動作例

38.3.2 データ加算モード

図 38.3 にデータ加算モードの動作例を示します。

データ演算回路は、データ加算モード時、以下のように動作します。

1. DOCR.OMS[1:0] ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR レジスタに初期値となる 16 ビットのデータを設定します。
3. DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. すべての加算するデータの書き込みが完了するまで、DODIR レジスタに加算する 16 ビットのデータを書き込みます。
5. 演算結果が FFFFh よりも大きくなったとき DOCR.DOPCF フラグに“1”がセットされます。また、DOCR.DOPCIE ビットを“1”に設定している場合は、データ演算回路割り込みが発生します。

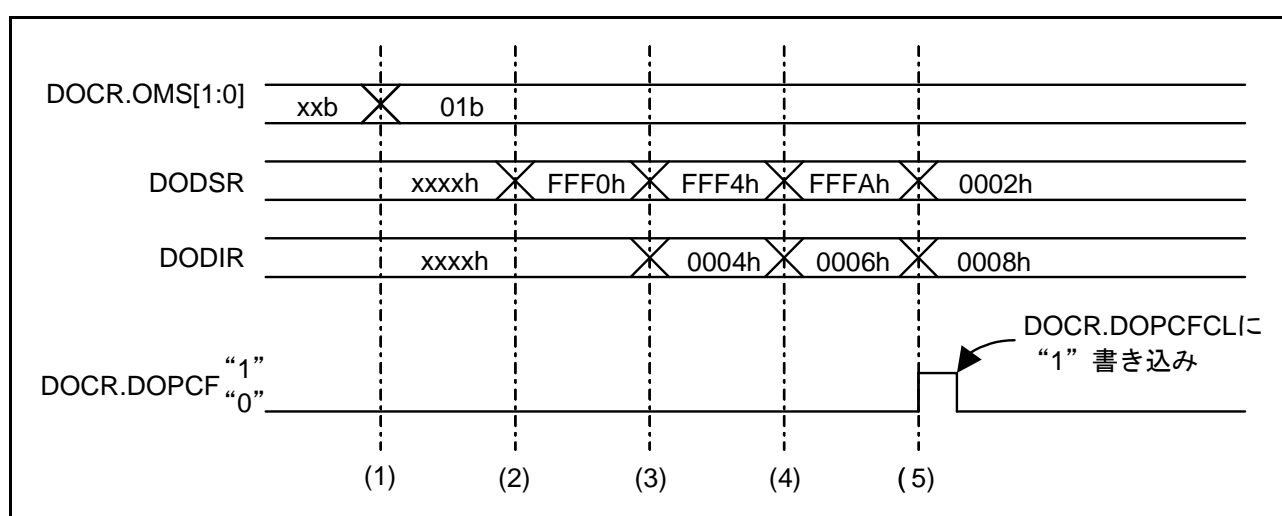


図 38.3 データ加算モードの動作例

38.3.3 データ減算モード

図 38.4 にデータ減算モードの動作例を示します。

データ演算回路は、データ減算モード時、以下のように動作します。

1. DOCR.OMS[1:0] ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR レジスタに初期値となる 16 ビットのデータを設定します。
3. DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. すべての減算するデータの書き込みが完了するまで、DODIR レジスタに減算する 16 ビットのデータを書き込みます。
5. 演算結果が 0000h よりも小さくなったとき DOCR.DOPCF フラグに “1” がセットされます。また、DOCR.DOPCIE ビットを “1” に設定している場合は、データ演算回路割り込みが発生します。

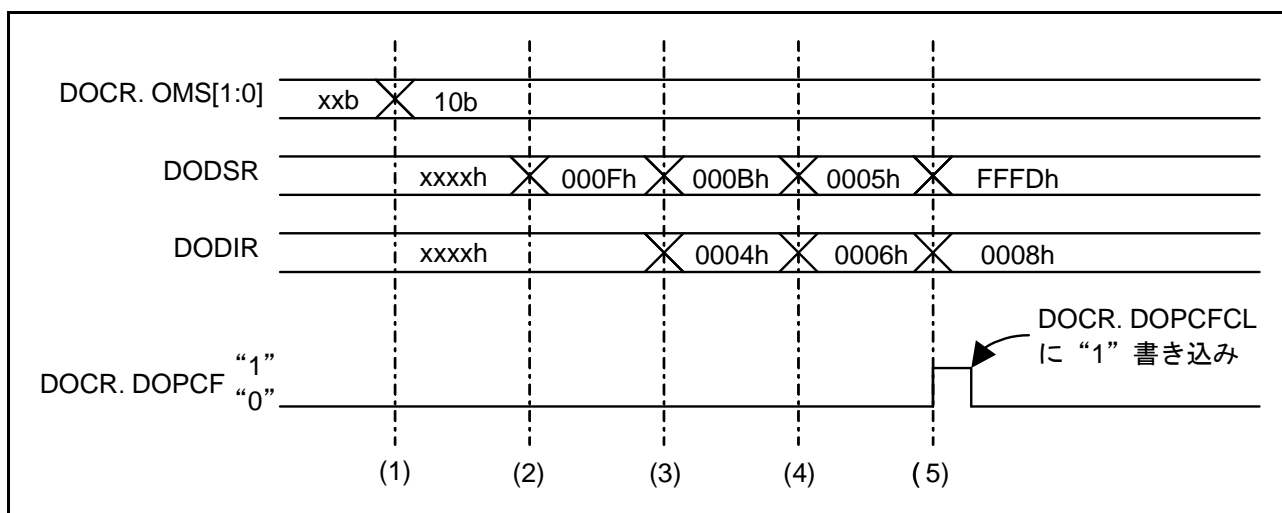


図 38.4 データ減算モードの動作例

38.4 割り込み要求

データ演算回路が生成する割り込み要求には、データ演算回路割り込みがあります。割り込み要因が発生するとステータスフラグが “1” にセットされます。表 38.2 に割り込み要求の内容を示します。

表 38.2 データ演算回路割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
データ演算回路割り込み	DOPCF	<ul style="list-style-type: none"> • DOCR.DCSEL ビットで選択した条件になったとき • データ加算の結果が FFFFh より大きくなったとき • データ減算の結果が 0000h より小さくなったとき

38.5 使用上の注意事項

38.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、データ演算回路の動作禁止/許可を設定することが可能です。初期値では、データ演算回路は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「12. 消費電力低減機能」を参照してください。

39. デジタル電源制御演算器 (DPC)

39.1 概要

デジタル電源制御演算器 (DPC) は、デジタル制御方式のスイッチング電源システムにおいて補償演算を行う 16 ビット固定小数点デジタル演算器です。補償器には、PID 補償器に比べ、安定度の高いロバスト制御アルゴリズム演算器を採用しています。

表 39.1 にデジタル電源制御演算器の概要を示します。図 39.1 にブロック図を示します。

表 39.1 デジタル電源制御演算器の仕様

項目	内容
ユニット数	1 ユニット
制御チャンネル数	最大 4 チャンネル
制御方式	ロバスト制御アルゴリズム
演算精度	16 ビット固定小数点
演算時間	1 制御チャンネルあたり 80ns (100MHz 動作時)
基準値設定	<ul style="list-style-type: none"> 内部基準電圧モード 内部基準電圧設定レジスタを参照 外部基準電圧モード 10 ビット A/D コンバータ変換結果を参照
ソフトスタート時間	可変
割り込み要因	割り込み本数 5 本 <ul style="list-style-type: none"> 各制御チャンネルの制御演算終了時に割り込み要求 (4 本) 出力過電圧異常時に割り込み要求 (1 本)
消費電力低減機能	モジュールストップ状態への設定可能

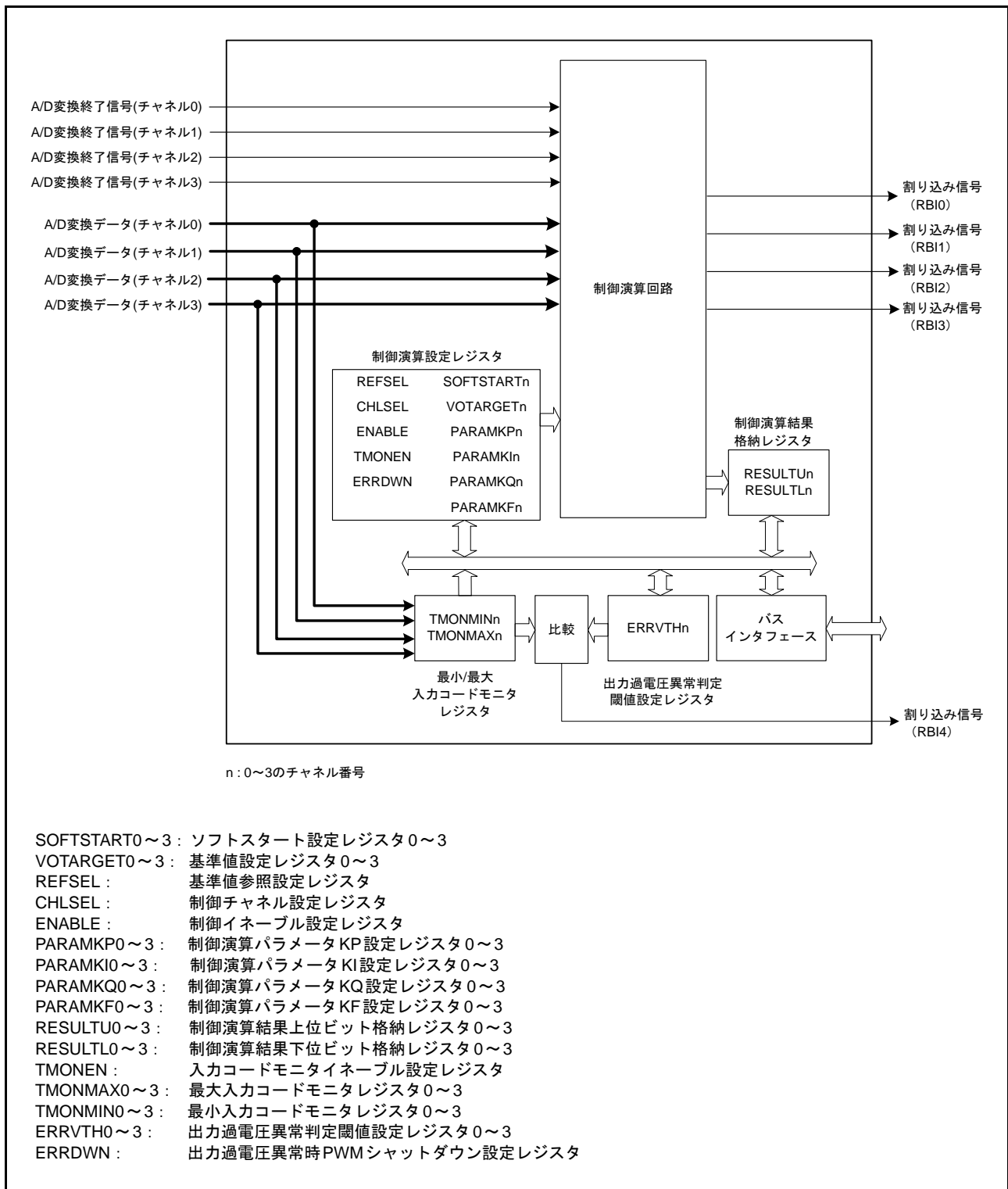
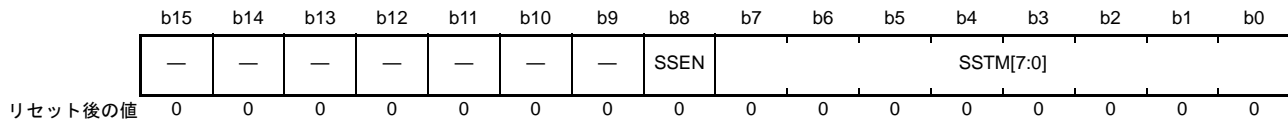


図 39.1 DPC のブロック図

39.2 レジスタの説明

39.2.1 ソフトスタート設定レジスタ (SOFTSTARTn) (n = 0 ~ 3)

アドレス SOFTSTART0 000C 3000h、SOFTSTART1 000C 3004h、SOFTSTART2 000C 3008h、SOFTSTART3 000C 300Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTM[7:0]	ソフトスタート時間設定ビット	ソフトスタート時間を設定します	R/W
b8	SSEN	ソフトスタートイネーブルビット	0: ソフトスタート無効 1: ソフトスタート有効	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SOFTSTARTn レジスタは、ソフトスタート制御に使用するパラメータを設定するレジスタです。
(n=0 ~ 3)

SSTM[7:0] ビット (ソフトスタート時間設定ビット)

PWM 波形出力を開始し、外部スイッチング素子を制御して出力電圧の生成を開始する際に出力電圧が基準電圧に達するまでの立ち上がり時間 T_{up} [us] を設定します。REFSEL.RSEL ビットの値によって SSTM[7:0] ビット設定値の算出方法が異なります。

REFSEL.RSEL ビットが“0”のときは、SSTM[7:0] ビット設定値は、下式で算出してください。

$$SSTM[7:0] = (TGVO[9:0] \times T_{sw}) \div (0.015625 \times T_{up}[us])$$

ここで、TGVO[9:0] は基準値設定レジスタ (VOTARGETn) (n=0 ~ 3) の基準電圧設定値、 T_{sw} は汎用 PWM タイマ (GPTa) の汎用 PWM タイマ周期設定レジスタ (GTPR) の設定値で決まる PWM 周期です。立ち上がり時間の設定例を表 39.2 に示します。

表 39.2 立ち上がり時間設定例

時間[us]	TGVO[9:0]	PWM周期		SSTM[7:0]
		GTPR	Tsw[us]	
1000	200h	32h	0.5	11h
		64h	1	21h
		C8h	2	42h
1250	100h	32h	0.5	7h
		64h	1	Eh
		C8h	2	1Bh

REFSEL.RSEL ビットが“1”のとき、外部スイッチング素子を制御して出力電圧が立ち上がるまでは 10 ビット AD コンバータに入力する外部基準電圧を一定値としてください。SSTM[7:0] ビット設定値は、下式で算出してください。

$$\text{SSTM}[7:0] = (\text{EXREF}[9:0] \times \text{Tsw}) \div (0.015625 \times \text{Tup}[\text{us}])$$

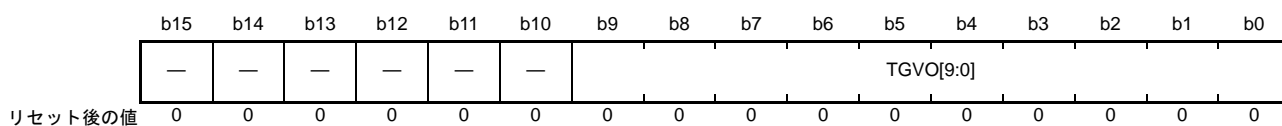
ここで、EXREF[9:0] は外部基準電圧の A/D 変換結果です。

SSEN ビット (ソフトスタートイネーブルビット)

ソフトスタートの有効/無効を選択します。SSEN ビットを“0”にした場合、PARMK_{mn} レジスタ (m=P,I,Q,F、n=0~3) で制御される制御演算の応答特性によって立ち上がり時間を決定します。SSEN ビットを“1”にした場合は、SSTM ビットで設定した時間で立ち上がり時間を決定します。

39.2.2 基準値設定レジスタ (VOTARGETn) (n=0 ~ 3)

アドレス VOTARGET0 000C 3010h、VOTARGET1 000C 3014h、VOTARGET2 000C 3018h、VOTARGET3 000C 301Ch



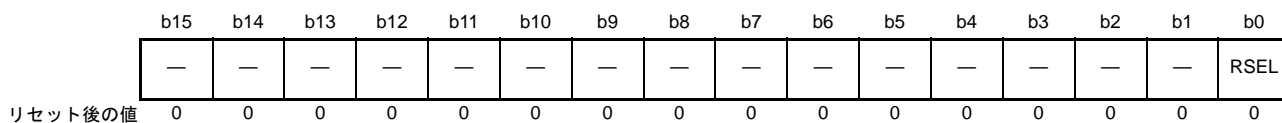
ビット	シンボル	ビット名	機能	R/W
b9-b0	TGVO[9:0]	基準電圧設定ビット	目標出力電圧を10ビットA/D変換値で設定します	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

VOTARGETn レジスタはスイッチング電源システムの基準電圧を設定するレジスタです。

TGVO[9:0] に、スイッチング電源システムの出力電圧の目標値となる基準電圧を10ビットA/D変換値で設定します。

39.2.3 基準値参照設定レジスタ (REFSEL)

アドレス 000C 3020h



ビット	シンボル	ビット名	機能	R/W
b0	RSEL	基準電圧選択ビット	0: 内部基準電圧モード 1: 外部基準電圧モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

REFSEL レジスタは基準電圧の設定方法を設定するレジスタです。

RSEL ビット (基準電圧選択ビット)

スイッチング電源システムの出力電圧の目標値となる基準電圧の設定方法を選択します。

RSEL ビットが“0”のとき、VOTARGETn (n=0 ~ 3) レジスタの設定値を基準電圧とします。RSEL ビットが“1”のとき、外部入力電圧を10ビットA/Dコンバータで変換した値を基準電圧とします。

RSEL ビットが“1”のときは、制御チャンネル0の基準電圧は10ビットA/Dコンバータのチャンネル1に入力してください。制御チャンネル2の基準電圧は10ビットA/Dコンバータのチャンネル3に入力してください。このため制御に使用できるA/Dコンバータのチャンネルがチャンネル0とチャンネル2の2チャンネルになるので、制御チャンネルが最大2チャンネルに制限されます。

39.2.4 制御チャンネル設定レジスタ (CHLSEL)

アドレス 000C 3024h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CSEL[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CSEL[1:0]	制御チャンネル数選択ビット	(内部基準電圧モード時) 00: 1チャンネル (10ビットA/Dコンバータ ch0変換結果使用) 01: 2チャンネル (10ビットA/Dコンバータ ch0~ch1変換結果使用) 10: 3チャンネル (10ビットA/Dコンバータ ch0~ch2変換結果使用) 11: 4チャンネル (10ビットA/Dコンバータ ch0~ch3変換結果使用) (外部基準電圧モード時) 00: 1チャンネル (10ビットA/Dコンバータ ch0変換結果使用) 01: 2チャンネル (10ビットA/Dコンバータ ch0、ch2変換結果使用) 10: 設定しないでください 11: 設定しないでください	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CHLSEL レジスタは制御チャンネル数を設定するレジスタです。

CSEL[1:0] (制御チャンネル数選択ビット)

制御チャンネル数を選択します。制御チャンネルは1チャンネルから最大4チャンネルまで選択できます。2チャンネル以上の制御チャンネルを選択した場合は10ビットA/Dコンバータのch0変換結果からch3変換結果までを順に切替えて制御を行います。10ビットA/Dコンバータは制御該当チャンネルを対象とした1サイクルキャンモードで動作させてください。

39.2.5 制御イネーブル設定レジスタ (ENABLE)

アドレス 000C 3028h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	EN3	EN2	EN1	EN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0	制御チャンネル0スタートビット	0: 制御停止 1: 制御動作	R/W
b1	EN1	制御チャンネル1スタートビット	0: 制御停止 1: 制御動作	R/W
b2	EN2	制御チャンネル2スタートビット	0: 制御停止 1: 制御動作	R/W
b3	EN3	制御チャンネル3スタートビット	0: 制御停止 1: 制御動作	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ENABLE レジスタは補償演算の開始 / 停止を設定するレジスタです。

ENn ビット (制御チャンネル n スタートビット) (n=0 ~ 3)

補償演算の開始 / 停止を選択します。開始 / 停止の設定は、制御チャンネル個別に設定できます。

39.2.6 制御演算パラメータ Km 設定レジスタ (PARAMKmn) (m=P,I,Q,F、n=0 ~ 3)

アドレス PARAMKP0 000C 302Ch、PARAMKI0 000C 3030h、PARAMKQ0 000C 3034h、PARAMKF0 000C 3038h
PARAMKP1 000C 303Ch、PARAMKI1 000C 3040h、PARAMKQ1 000C 3044h、PARAMKF1 000C 3048h
PARAMKP2 000C 304Ch、PARAMKI2 000C 3050h、PARAMKQ2 000C 3054h、PARAMKF2 000C 3058h
PARAMKP3 000C 305Ch、PARAMKI3 000C 3060h、PARAMKQ3 000C 3064h、PARAMKF3 000C 3068h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PARAMKmn レジスタは制御パラメータコードを設定するレジスタです。

設定する制御パラメータコードは演算器の乗算係数 (KP, KI, KQ, KF の 4 種類) です。16 ビット固定小数 (2 の補数表現) で設定します。データフォーマットの詳細については「39.3.1.5 制御演算パラメータ設定」を参照してください。

39.2.7 制御演算結果上位 / 下位ビット格納レジスタ (RESULTmn) (m=U, L) (n=0 ~ 3)

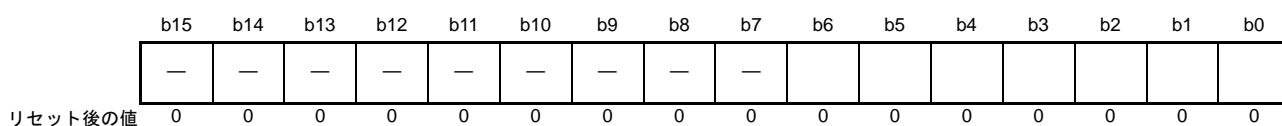
- RESULTUn

アドレス RESULTU0 000C 306Ch、RESULTU1 000C 3070h、RESULTU2 000C 3074h、RESULTU3 000C 3078h



- RESULTLn

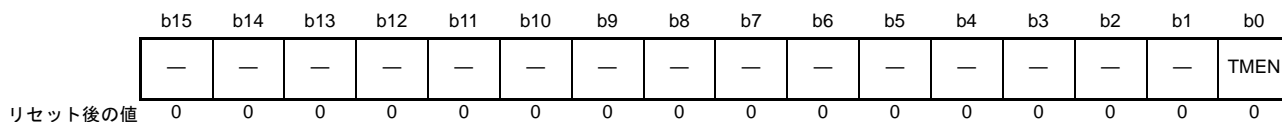
アドレス RESULTL0 000C 306Eh、RESULTL1 000C 3072h、RESULTL2 000C 3076h、RESULTL3 000C 307Ah



RESULTmn レジスタは制御演算結果を格納するレジスタです。

39.2.8 入力コードモニタイネーブル設定レジスタ (TMONEN)

アドレス 000C 307Ch



ビット	シンボル	ビット名	機能	R/W
b0	TMEN	入力コードモニタイネーブル設定ビット	0: モニタ無効 1: モニタ有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMONEN レジスタは入力コードモニタ機能の有効 / 無効を設定するレジスタです。

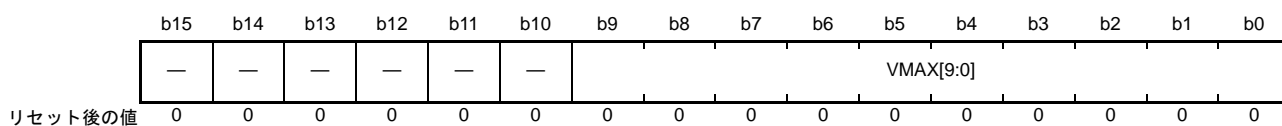
TMEN ビット (入力コードモニタイネーブル設定ビット)

TMEN ビットを“1”に設定すると、制御動作対象の A/D 変換値の最大値を TMONMAXn レジスタに、最小値を TMONMINn レジスタに格納する機能が有効となります。

TMEN ビットを“0”に設定すると、TMONMAXn レジスタおよび TMONMINn レジスタに格納した値は、0 クリアされます。

39.2.9 最大入力コードモニタレジスタ (TMONMAXn) (n=0 ~ 3)

アドレス TMONMAX0 000C 3080h、TMONMAX1 000C 3088h、TMONMAX2 000C 3090h、TMONMAX3 000C 3098h

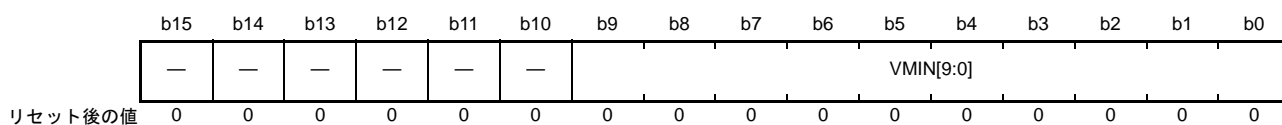


ビット	シンボル	ビット名	機能	R/W
b9-b0	VMAX[9:0]	A/D変換値の最大値	A/D変換値の最大値を保持します。	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMONMAXn レジスタは、TMONEN.TMEN ビットを“1”にすると、制御対象の A/D 変換値の最大値を保持します。値の更新は各チャンネルの A/D 変換終了タイミングで行います。TMONEN.TMEN ビットを“0”に設定すると、格納した値を 0 クリアします。

39.2.10 最小入力コードモニタレジスタ (TMONMINn) (n=0 ~ 3)

アドレス TMONMIN0 000C 3084h、TMONMIN1 000C 308Ch、TMONMIN2 000C 3094h、TMONMIN3 000C 309Ch

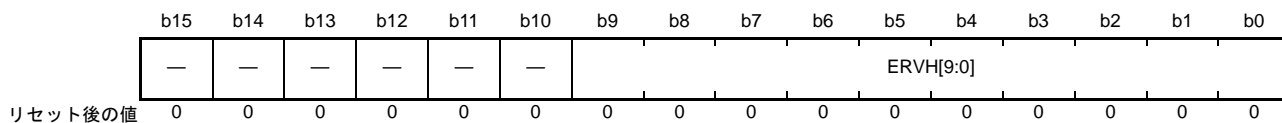


ビット	シンボル	ビット名	機能	R/W
b0-b9	VMIN[9:0]	A/D変換値の最小値	A/D変換値の最小値を保持します	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMONMINn レジスタは、TMONEN.TMEN ビットを“1”にすると、制御対象の A/D 変換データの最小値を保持します。値の更新は各チャンネルの A/D 変換終了タイミングで行います。TMONEN.TMEN ビットを“0”にすると、格納した値を 0 クリアします。

39.2.11 出力過電圧異常判定閾値設定レジスタ (ERRVTHn) (n=0 ~ 3)

アドレス ERRVTH0 000C 30A0h、ERRVTH1 000C 30A4h、ERRVTH2 000C 30A8h、ERRVTH3 000C 30ACh



ビット	シンボル	ビット名	機能	R/W
b0-b9	ERVH[9:0]	出力過電圧異常検出閾値	出力過電圧異常を判定するため、A/D変換値と比較する閾値を設定します	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ERRVTHn レジスタは異常 (過電圧) 判定の閾値を設定するレジスタです。

TMONMAXn レジスタの値が ERRVTHn レジスタ設定値以上になった場合に、出力過電圧異常と判定し、出力過電圧異常割り込み要求 (RBI4) を出力します。

本機能は、TMONEN.TMEN ビットを“1”に設定した場合のみ有効です。

39.2.12 出力過電圧異常時 PWM シャットダウン設定レジスタ (ERRDWN)

アドレス 000C 30D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EPDL	EPDS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EPDS	出力過電圧異常検出時の動作モード選択ビット	0 : ソフトウェアでシャットダウン実施 1 : ハードウェアで強制シャットダウン実施	R/W
b1	EPDL	出力過電圧異常検出時のPWM強制出力レベル選択ビット	(EPDS=1時のみ有効) 0 : Low出力 1 : High出力	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ERRDWN レジスタは、過電圧異常状態時の動作を設定するレジスタです。

EPDS ビット (出力過電圧異常検出時の動作モード選択ビット)

EPDS ビットは、出力電圧が過電圧異常状態と判定した場合の RESULTmn レジスタへの強制書き込み機能の有効/無効を設定します。

EPDS ビットが“0”のときは、RESULTmn レジスタへの強制書き込み機能は無効です。

EPDS ビットが“1”のときは、RESULTmn レジスタに PWM 波形出力を停止させる固定値を書き込みます。

EPDL ビット (出力過電圧異常検出時の PWM 強制出力レベル選択ビット)

EPDS ビットが“1”のときに RESULTmn レジスタに書き込む値を選択します。

EPDL ビットが“0”のときは、RESULTmn レジスタに“0000h”を書き込みます。

EPDL ビットが“1”のときは、RESULTmn レジスタに“FFFFh”を書き込みます。

39.3 動作説明

図 39.2 にデジタル電源制御演算器を使用する際の動作フローを示します。

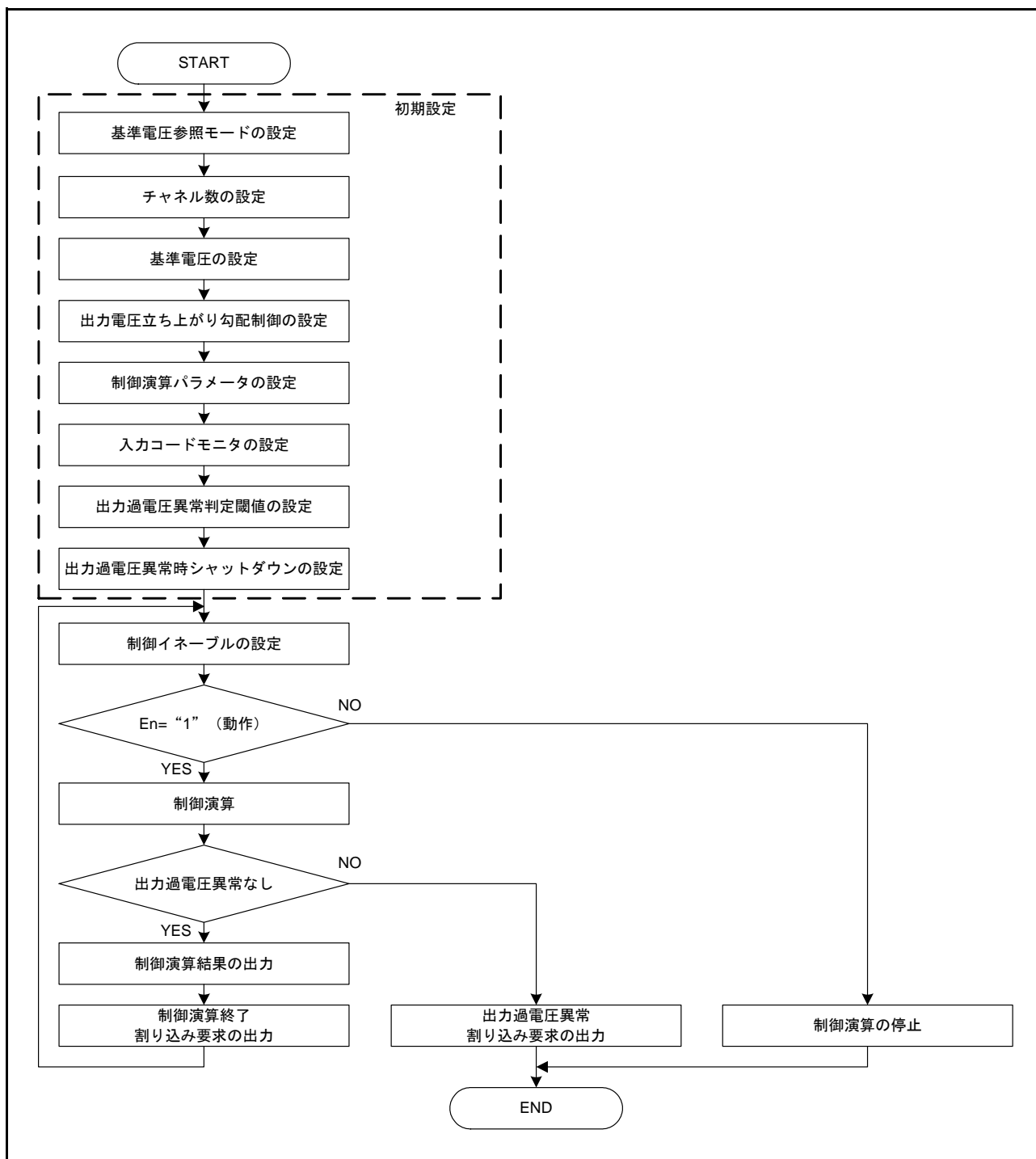


図 39.2 動作フロー

39.3.1 内部基準電圧モードの初期設定

39.3.1.1 基準電圧参照モード設定

出力電圧の目標値となる基準電圧の参照方法を REFSEL レジスタで設定します。内部基準電圧モードでは REFSEL レジスタを“0”に設定します。

39.3.1.2 制御チャンネル数設定

内部基準電圧モードでは、制御チャンネルは1チャンネルから最大4チャンネルまで選択できます。2チャンネル以上の制御チャンネルを選択した場合は、10ビットA/Dコンバータのch0変換結果からch3変換結果までを順に切替えて制御を行います。またこの場合は、10ビットA/Dコンバータを制御該当チャンネルを対象とした1サイクルスキャンモードで動作させてください。制御チャンネル数は、CHLSELレジスタで設定します。

39.3.1.3 基準電圧設定

各制御チャンネルの基準電圧値を VOTARGET_n レジスタ (n = 0 ~ 3) で設定します。デジタル電源制御演算器は VOTARGET_n レジスタの設定値を基準電圧値として補償演算を行います。VOTARGET_n レジスタに設定する値は下式に従って算出できます。

$$\begin{aligned} \text{A/D 変換器出力コード 1d あたりの電圧 (V1d)} &= \text{A/D 変換器のダイナミックレンジ (Vad)} \div 2^{10} \\ \text{基準電圧 (vref)} &= \text{出力電圧 (Vo)} \div \text{A/D 変換器出力コード 1d あたりの電圧 (V1d)} \end{aligned}$$

代表的な基準電圧を例に VOTARGET_n レジスタの設定値を表 39.3 に示します。

表 39.3 VOTARGET_n設定例

10ビットA/DコンバータのVREF値	基準電圧	VOTARGET _n の設定値
3.0V	3.0V	3FFh
	2.5V	354h
	2.0V	2A9h
	1.5V	1FFh
	1.0V	154h
	0.5V	0A9h
	0V	000h

39.3.1.4 ソフトスタート制御設定

ソフトスタート制御は、PWM 波形出力で、外部スイッチング素子を制御して出力電圧の生成を開始する時に、突入電流が流れたり、出力電圧がオーバシュートをしたりする不具合を防止するために、外部スイッチング素子が生成する出力電圧の立ち上がりをなだらかにするように PWM 波形制御を行います。

SOFTSTARTn.SSEN ビット (n=0~3) を“1”にすると、SOFTSTARTn.SSTM[7:0] ビットで設定した立ち上がり時間経過後に出力電圧が基準電圧値となるように、制御チャンネルの制御を行います。

SOFTSTARTn.SSEN ビットが“0”のときは、PARMKmn レジスタ (m=P, I, Q, F, n=0~3) で制御される制御演算の応答特性によって、出力電圧の立ち上がり時間が決定されます。

ソフトスタート制御設定例を表 39.4 に、動作例を図 39.3 に示します。

表 39.4 ソフトスタート制御設定例

スイッチング周期	MHz	0.5			1			2		
	ns	2000			1000			500		
SOFTSTARTn[7:0]	8h	1	2	3	1	2	3	1	2	3
基準値 (VOTARGETn)	10'd	341	341	341	341	341	341	341	341	341
ソフトスタート時間	ms	43.648	21.824	14.322	21.824	10.912	7.161	10.912	5.456	3.5805

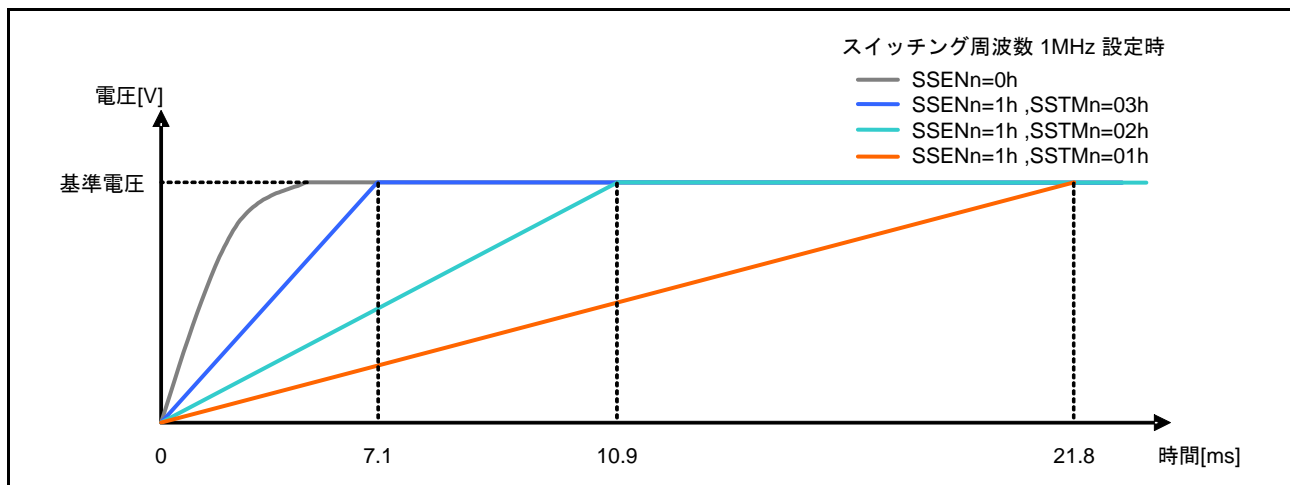


図 39.3 ソフトスタート時間設定機能の動作例

39.3.1.5 制御演算パラメータ設定

図 39.4 に DPC が行う制御演算のシグナルフローダイアグラムを示します。1/Z はユニットディレイを表します。A/D 変換データに対して、PARAMKmn レジスタ設定値を用いて、A/D 変換データが VOTARGETn レジスタ設定値と一致するよう制御演算を実施し、制御演算結果を RESULTmn レジスタに出力します。

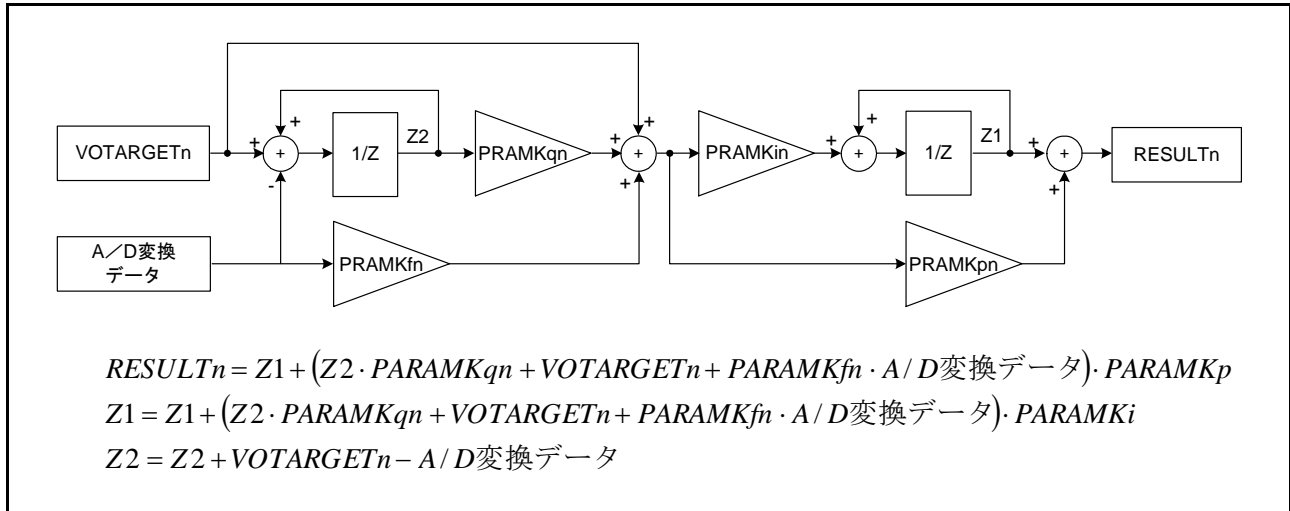


図 39.4 制御演算シグナルフローダイアグラム

PARAMKmn レジスタのデータフォーマットは、16 ビットの固定小数点数 (2 の補数表現) で、最上位ビットは符号を示し、以降、整数部が 5 ビット、小数部が 10 ビットです。

MSB(15)		LSB(0)
1 ビット 符号部 “1” : 負 “0” : 正	5 ビット 整数部	10 ビット 小数部

PARAMKmn レジスタへの具体的な設定値に関しては、当社営業および販売店営業へお問い合わせください。

39.3.1.6 入力コードモニタ設定

入力コードモニタ機能は、各制御チャンネルの出力電圧の最大値 / 最小値をモニタする機能です。A/D 変換値の最大値を TMONMAXn レジスタに、最小値を TMONMINn レジスタに格納します。入力コードモニタ設定を有効するには TMONEN.TMEN ビットを “1” にしてください。

TMONMAXn レジスタ、TMONMINn レジスタに A/D 変換値の格納を開始するタイミングは、REFSEL レジスタの設定によって変わります。REFSEL.RSEL が “1” のときは、A/D 変換値が、VOTARGETn.TGVO[9:0] 以上になると、A/D 変換値の最大値を TMONMAXn レジスタに、最小値を TMONMINn レジスタに格納します。格納動作を開始した後は、A/D 変換値が、VOTARGETn.TGVO[9:0] より小さい値になっても格納動作を継続します。REFSEL.RSEL が “0” のときは、A/D 変換値が、外部基準電圧として外部入力電圧を 10 ビット A/D コンバータで変換した値以上になると、A/D 変換値の最大値を TMONMAXn レジスタに、最小値を TMONMINn レジスタに格納します。格納動作を開始した後は、A/D 変換値が、外部基準電圧として外部入力電圧を 10 ビット A/D コンバータで変換した値より小さい値になっても格納動作を継続します。

TMONEN.TMEN ビットを “0” にすると、TMONMAXn レジスタおよび TMONMINn レジスタに格納した値は、0 クリアされます。

39.3.1.7 出力過電圧異常検出機能

出力過電圧異常検出機能は、各制御チャネルの出力過電圧状態を検出する機能です。TMONMAXn レジスタ値が ERRVTHn レジスタの設定値以上になったときに出力過電圧異常と判定します。出力過電圧異常検出機能を使用するには入力コードモニタ機能を有効にしてください。

出力過電圧異常と判定すると、出力過電圧異常割り込み要求信号 (RBI4) を出力します。

出力過電圧異常検出時の動作は ERRDWN.EPDS ビットで設定します。ERRDWN.EPDS ビットが“0”のときは、特別な処理は行いません。別途、GPT の設定を変更して PWM 出力を停止させてください。

ERRDWN.EPDS ビットが“1”のときは、RESULTmn レジスタに強制的に固定値書き込み、本設定値を使用して PWM 波形を出力している GPT に対して PWM 出力を停止する設定値を転送することができます。

RESULTmn レジスタに書き込む固定値は、ERRDWN.EPDL ビットの設定で決まります。ERRDWN.EPDL ビットが“0”のときは、RESULTmn レジスタに“0000h”を書き込みます。ERRDWN.EPDL ビットが“1”のときは、RESULTmn レジスタに“FFFFh”を書き込みます。ERRDWN.EPDL ビットは、GPT で生成している PWM 出力のアクティブレベルに応じて設定してください。

ERRDWN.EPDS ビットを“1”に、ERRDWN.EPDL ビットを“0”に設定した場合の動作を図 39.5 に示します。

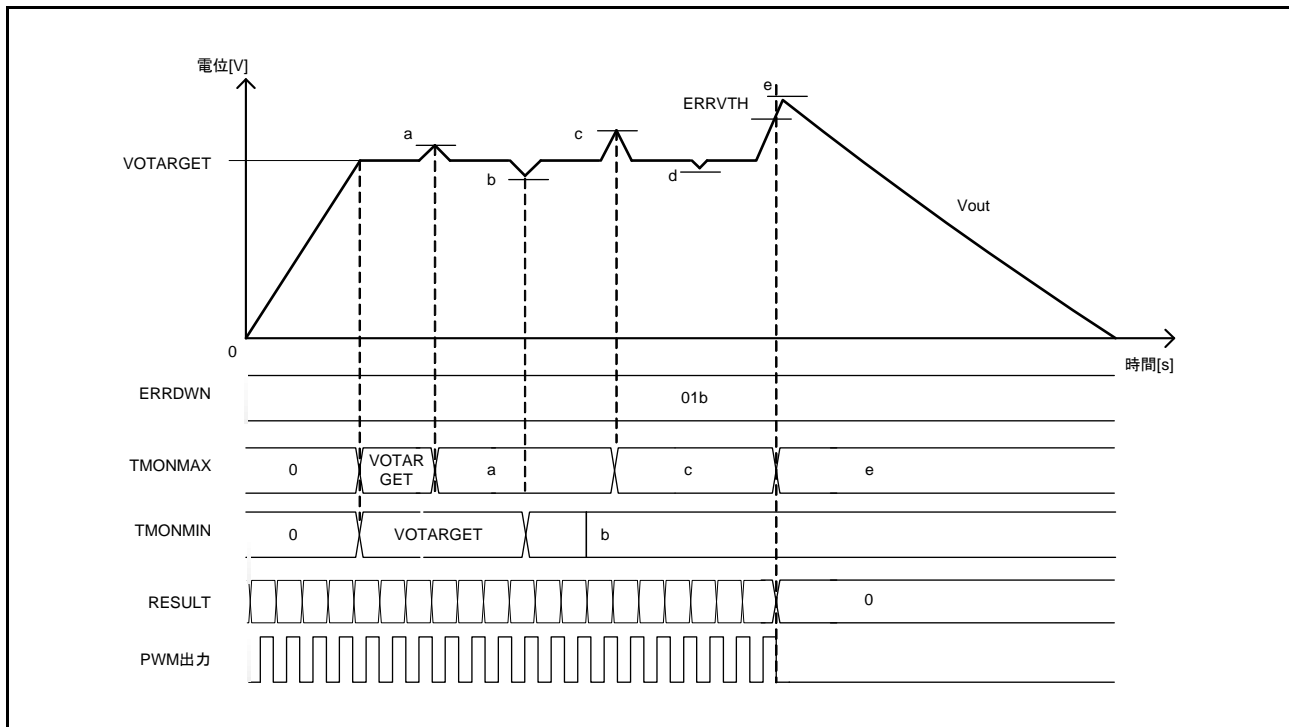


図 39.5 出力過電圧異常時のシャットダウン動作

39.3.2 内部基準電圧モード動作

DPCは、10ビットA/Dコンバータ(AD)と連動して動作します。DPCの動作開始前に10ビットA/Dコンバータの設定も実施してください。

初期設定完了後、ENABLE.ENnビットを“1”にすると制御動作開始状態となります。ENABLE.ENnビットを“1”にすると、A/D変換終了信号をトリガにしてA/D変換データに対して制御チャンネルの制御演算を開始します。ENABLE.EN0ビットが10ビットA/Dコンバータのチャンネル0、ENABLE.EN1ビットが10ビットA/Dコンバータのチャンネル1、ENABLE.EN2ビットが10ビットA/Dコンバータのチャンネル2、ENABLE.EN3ビットが10ビットA/Dコンバータのチャンネル3にそれぞれ対応しています。ENABLE.ENnビットを“1”に設定後は、対象のA/D変換終了信号入力ごとに制御演算動作を行います。

制御演算結果は、RESULTUnレジスタ、RESULTLnレジスタに格納されます。制御演算結果は、汎用PWMタイマ(GPT)でのPWM波形生成に使用します。RESULTUnレジスタ値をGPTの汎用PWMタイマコンペアキャプチャレジスタ(GTCCR)に設定、またRESULTLnレジスタ値をGPTの立ち下がり出力遅延レジスタ(GTDLYRA, GTDLYRB)に設定して制御結果をPWM波形に反映してください。各制御チャンネルの制御演算終了時(制御演算結果格納レジスタに演算結果を出力時)に制御演算終了割り込み要求(RBI0～RBI3)を発行します。このRBIInでDMACまたはDTCによるRESULTmnレジスタ値をGPTに転送することができます。

制御動作開始後にENABLE.ENnを“0”に設定すると制御演算を停止し、対象制御チャンネルの制御演算結果出力に“0000h”を出力します。ENABLE.ENnを“0”に設定後は新たなA/D変換終了信号が入力されても対象制御チャンネルの制御演算は行いません。対象制御チャンネルの制御演算結果出力に“0000h”を出力した後に再度ENABLE.ENnビットを“1”に設定すると、対象制御チャンネルの制御演算を再開します。

入力コードモニタ設定を有効にして、出力過電圧異常を判定した場合は、出力過電圧異常割り込み要求信号(RBI4)を出力します。

39.3.3 内部基準電圧モード動作タイミング例

39.3.3.1 内部基準電圧モード (スイッチング周波数 2MHz, 1チャンネル動作時)

図 39.6 に内部基準電圧モードにおける、スイッチング周波数 2MHz、制御チャンネル 1 チャンネル動作時の動作波形を示します。

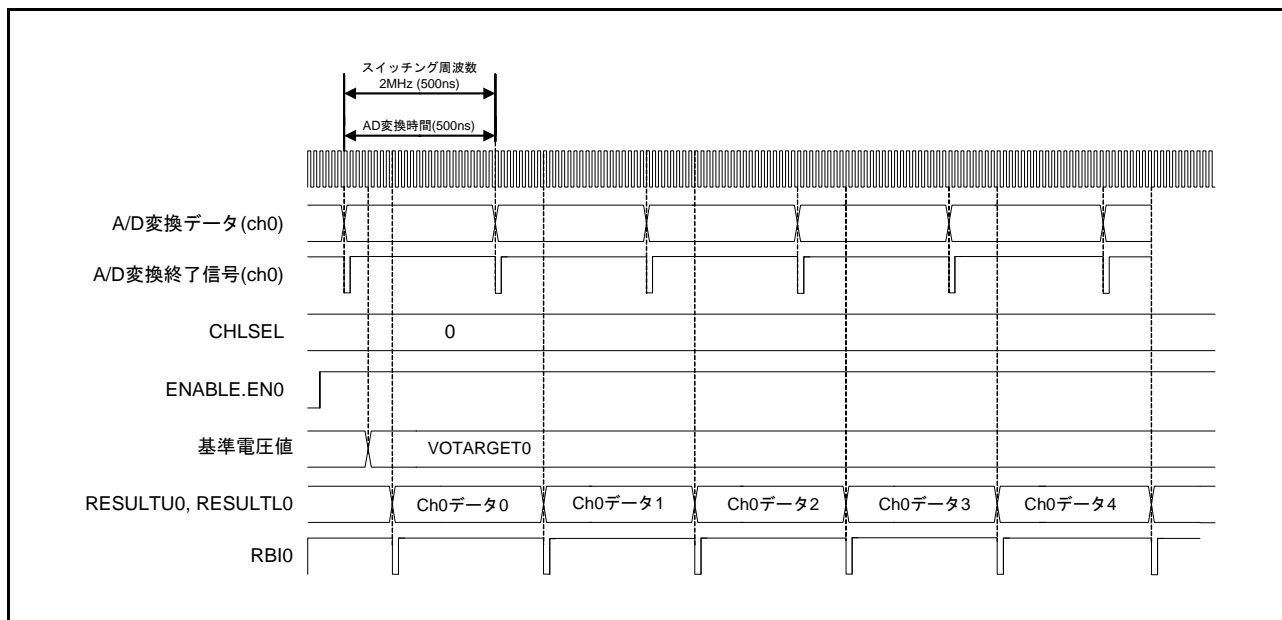


図 39.6 スイッチング周波数 2MHz、制御チャンネル 1 チャンネル動作時

39.3.3.2 内部基準電圧モード (スイッチング周波数 1MHz、2チャンネル同時動作時)

図 39.7 に内部基準電圧モードにおける、スイッチング周波数 1MHz、制御チャンネル 2 チャンネル同時動作時の動作波形を示します。

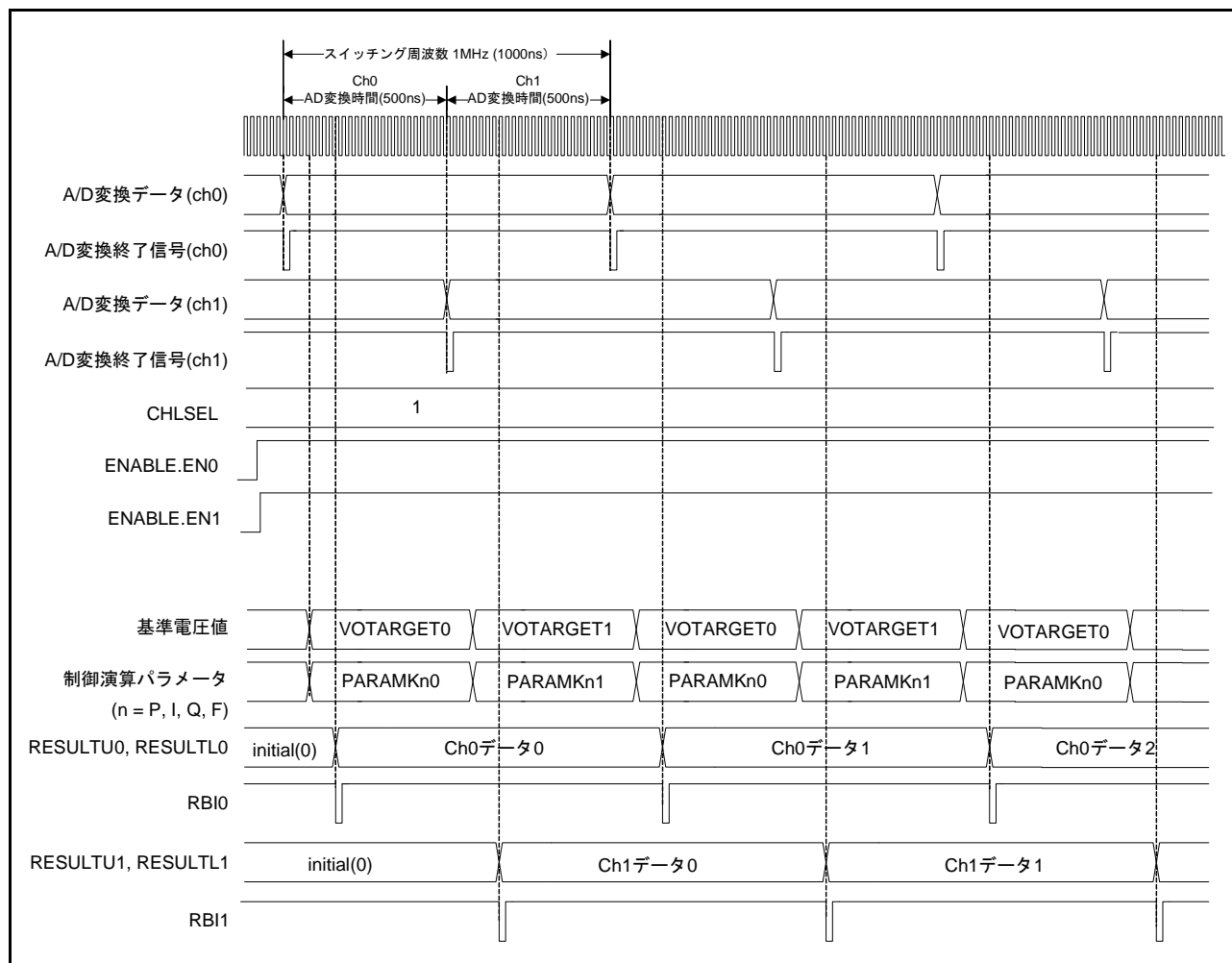


図 39.7 スwitching周波数 1MHz、制御チャンネル 2 チャンネル同時動作時

39.3.3.3 内部基準電圧モード (スイッチング周波数 500kHz、4 チャンネル同時動作時)

図 39.8 に内部基準電圧モードにおける、スイッチング周波数 500kHz、制御チャンネル 4 チャンネル同時動作時の動作波形を示します。



図 39.8 スwitching周波数 500kHz、制御チャンネル 4 チャンネル同時動作時

図 39.9 に内部基準電圧モードにおける、スイッチング周波数 500kHz、PWM チャンネル 4 チャンネル同時動作時のイネーブル動作波形を示します。

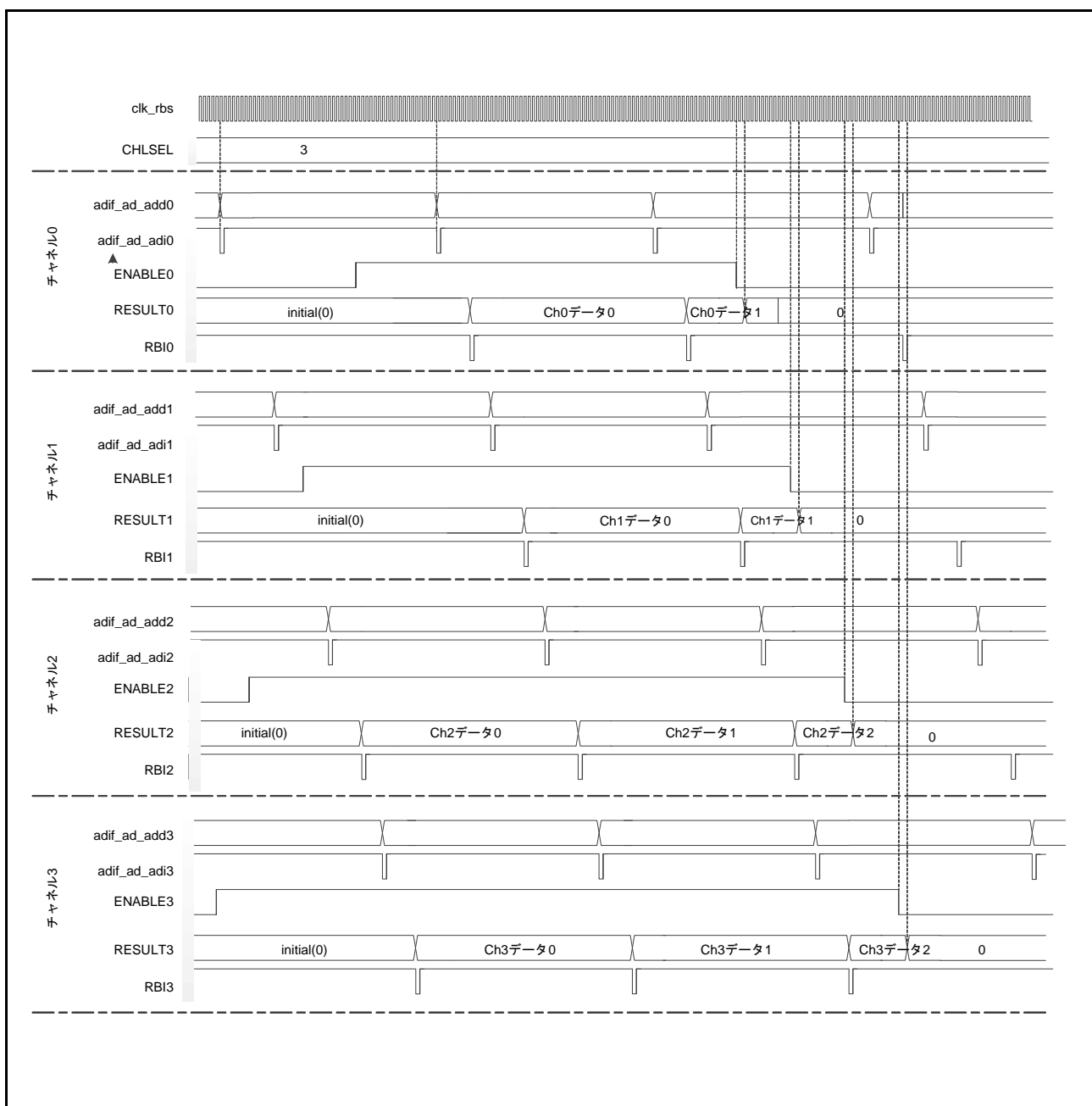


図 39.9 スイッチング周波数 500kHz、PWM チャンネル 4 チャンネル同時動作時のイネーブル動作

39.3.4 入力コードモニタ機能動作例

図 39.10 に入力コードモニタ機能の動作波形を示します。A/D 変換データが VOTARGET_n レジスタ設定値以上になると TMONMAX_n レジスタ、および TMONMIN_n レジスタ値の更新が始まります。

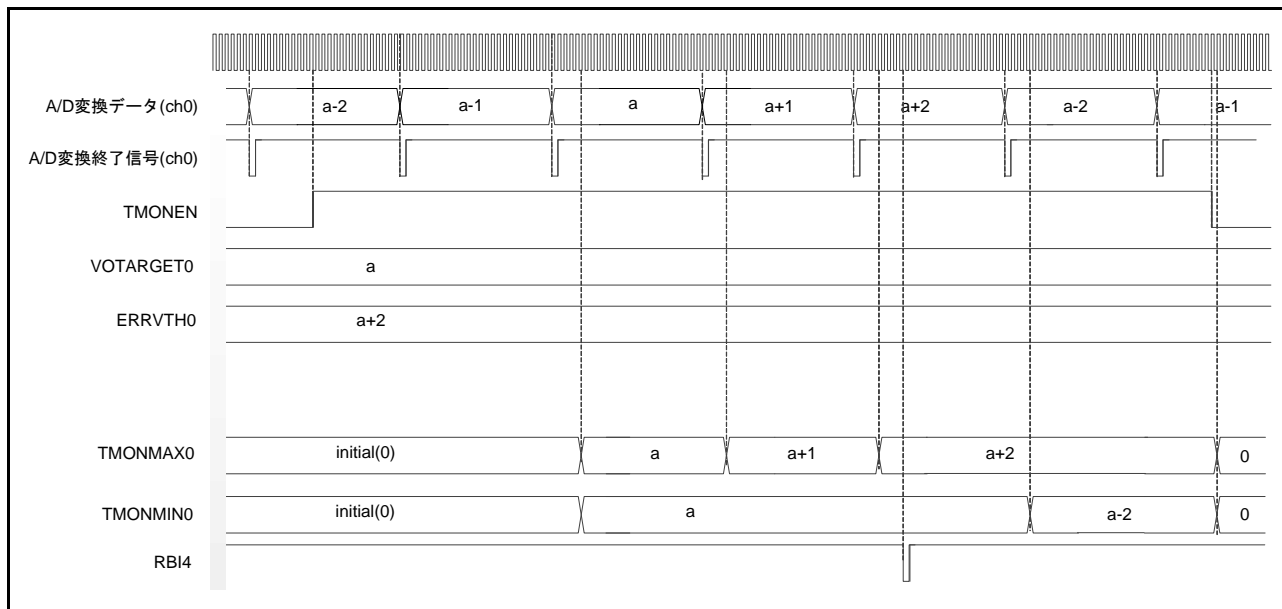


図 39.10 入力コードモニタ機能

39.3.5 外部基準電圧モードの初期設定

39.3.5.1 基準電圧参照モード設定

出力電圧の目標値となる基準電圧の参照方法を REFSEL レジスタ設定します。外部基準電圧モードでは REFSEL レジスタを“1”に設定します。

39.3.5.2 制御チャンネル数設定

外部基準電圧モードでは、制御チャンネルは1チャンネルまたは2チャンネルの選択ができます。1チャンネルを選択した場合は、10ビット A/D コンバータの ch0 変換結果が制御チャンネル入力となり、10ビット A/D コンバータの ch1 変換結果が基準電圧となります。2チャンネルの制御チャンネルを選択した場合は、10ビット A/D コンバータの ch0 変換結果が制御チャンネル0入力となり、10ビット A/D コンバータの ch1 変換結果が制御チャンネル0の基準電圧となります。10ビット A/D コンバータの ch2 変換結果が制御チャンネル1入力となり、10ビット A/D コンバータ ch3 の変換結果が制御チャンネル1の基準電圧となります。制御チャンネル数は、CHLSEL レジスタに設定します。

39.3.5.3 基準電圧設定

各制御チャンネルの基準電圧値は、10ビット A/D コンバータ ch1 の変換結果、および10ビット A/D コンバータ ch3 の変換結果から設定されます。

39.3.5.4 ソフトスタート制御設定

「39.3.1.4 ソフトスタート制御設定」を参照してください。

39.3.5.5 制御演算パラメータ設定

「39.3.1.5 制御演算パラメータ設定」を参照してください。

39.3.5.6 入力コードモニタ設定

「39.3.1.6 入力コードモニタ設定」を参照してください。

39.3.5.7 出力過電圧異常判定閾値設定

「39.3.1.7 出力過電圧異常検出機能」を参照してください。

39.3.6 外部基準電圧モード動作

DPCは、10ビットA/Dコンバータ(AD)と連動して動作します。DPCの動作開始前に10ビットA/Dコンバータの設定も実施してください。

初期設定完了後、ENABLE.ENnビットを“1”にすると制御動作開始状態となります。制御チャンネルが1チャンネルの場合は、ENABLE.EN0ビット、およびENABLE.EN1ビットを“1”に設定してください。制御チャンネルが2チャンネルの場合は、ENABLE.EN0ビット、ENABLE.EN1ビット、ENABLE.EN2ビット、およびENABLE.EN3ビットを“1”に設定してください。

ENABLE.ENnビットを“1”に設定すると、A/D変換終了信号をトリガにしてA/D変換データに対して制御チャンネルの制御演算を開始します。ENABLE.ENnビットを“1”に設定後は、対象のA/D変換終了信号入力毎に制御演算動作を行います。

制御動作開始後にENABLE.ENnビットを“0”に設定すると制御演算を停止し、対象制御チャンネルの制御演算結果出力に“0000h”を出力します。ENABLE.ENnビットを“0”に設定後は、新たなA/D変換終了信号が入力されても対象制御チャンネルの制御演算は行いません。対象制御チャンネルの制御演算結果出力に“0000h”を出力した後に再度、ENABLE.ENnビットを“1”に設定すると、対象制御チャンネルの制御演算を再開します。

各制御チャンネルの制御演算終了時(制御演算結果格納レジスタに演算結果を出力時)に制御演算終了割り込み要求(RBIn, n=0, 2)を出力します。

また、入力コードモニタ設定を有効にして、出力過電圧異常を判定した場合は、出力過電圧異常割り込み要求信号(RBI4)を出力します。

39.3.7 外部基準電圧モード動作タイミング例

39.3.7.1 外部基準電圧モード (スイッチング周波数 500kHz、2チャンネル動作時)

図 39.11 に外部基準電圧モードにおける、スイッチング周波数 500kHz、PWM チャンネル 2 チャンネル同時動作時の動作波形を示します。



図 39.11 外部基準電圧モード、スイッチング周波数 500kHz、2チャンネル同時動作時

39.3.7.2 入力コードモニタ機能動作

「39.2.3 基準値参照設定レジスタ (REFSEL)」を参照してください。

39.4 割り込み要因

DPC の割り込み要因には、制御チャンネルごとの制御演算終了割り込み、演算異常割り込みがあります。また制御チャンネルごとの制御演算終了割り込みで DTC または DMAC を起動し、データ転送を行うことができます。

表 39.5 に、DPC の割り込み要因を示します。DTC または DMAC を使ってデータ転送を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから DPC の設定を行ってください。DTC または DMAC の設定方法は、「17. DMA コントローラ (DMACA)」、「19. データトランスファコントローラ (DTC)」を参照してください。

表 39.5 DPC の割り込み要因

割り込み要因	略称	割り込み条件	DTC/DMAC の起動
制御チャンネル0制御演算終了	RBI0	PWMチャンネル0の制御演算結果の格納	可能
制御チャンネル1制御演算終了	RBI1	PWMチャンネル1の制御演算結果の格納	可能
制御チャンネル2制御演算終了	RBI2	PWMチャンネル2の制御演算結果の格納	可能
制御チャンネル3制御演算終了	RBI3	PWMチャンネル3の制御演算結果の格納	可能
出力過電圧異常	RBI4	TMONEN=1かつVOTARGETn>ERRVTHn	不可能

39.5 使用上の注意事項

39.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DPC モジュールの動作禁止/許可を設定できます。初期値では、DPC モジュールは停止しています。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「12. 消費電力低減機能」を参照してください。

40. RAM

本 MCU は、高速スタティック RAM を内蔵しています。

40.1 概要

表 40.1 に RAM の仕様を示します。

表 40.1 RAM の仕様

項目	内容
RAM容量	最大48Kバイト (注2)
アクセス	<ul style="list-style-type: none"> 読み出し、書き込みともに1サイクルで動作 内蔵RAM有効/無効選択可能 (注1)
消費電力低減機能	モジュールストップ状態への設定が可能

注1. SYSCR1.RAMEビットにより選択可能です。SYSCR1レジスタについては、「3.2.4 システムコントロールレジスタ1 (SYSCR1)」、「4.2.3 システムコントロールレジスタ1 (SYSCR1)」を参照してください。

注2. 製品によってRAM容量が異なります。

RAM容量	RAMアドレス
48Kバイト	RAM0 : 0000 0000h ~ 0000 BFFFh
32Kバイト	RAM0 : 0000 0000h ~ 0000 7FFFh
24Kバイト	RAM0 : 0000 0000h ~ 0000 5FFFh
8Kバイト	RAM0 : 0000 0000h ~ 0000 1FFFh

40.2 動作説明

40.2.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減ができます。

MSTPCRC.MSTPC0 ビットを“1”にすると RAM0 に供給されるクロックが停止します。

クロック供給の停止により、RAM0 はモジュールストップ状態になります。リセット後は、RAM は動作しています。

モジュールストップ状態になると、RAM へのアクセスができなくなります。RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、「12. 消費電力低減機能」を参照してください。

41. フラッシュメモリ

本 MCU は、最大 512K バイトのコード格納用フラッシュメモリ（ROM）と 32K/8K バイトのデータ格納用フラッシュメモリ（E2 データフラッシュ）を内蔵しています。本章において P/E はプログラム/イレーズを示します。

41.1 概要

表 41.1 に ROM/E2 データフラッシュの仕様を、図 41.1 に ROM/E2 データフラッシュ周りのブロック図を示します。

ROM のメモリ領域構成については「41.1.1 ROM の領域構成」を、E2 データフラッシュのメモリ領域構成については「41.1.3 E2 データフラッシュの領域構成」を参照してください。

表41.1 ROM/E2データフラッシュの仕様

項目	ROM	E2データフラッシュ
メモリ空間	<ul style="list-style-type: none"> ユーザ領域：最大512Kバイト ユーザブート領域：16Kバイト（注1） 	データ領域：32K/8Kバイト
リードサイクル	ICLK 1サイクルの高速読み出し	ワード、バイトアクセス時にはFCLK 6サイクルでの読み出し
P/E方式	<ul style="list-style-type: none"> ROM/E2データフラッシュの書き換えを行う専用のシーケンサ（FCU）を内蔵 FCUへコマンドを発行することにより、ROM/E2データフラッシュへP/Eを実行可能 	
イレーズ後の値	FFh	不定値
BGO (バックグラウンドオペレーション) 機能	E2データフラッシュへのP/Eを実行している期間、CPUはROM領域のプログラムを実行可能	
サスペンド/レジューム機能	<ul style="list-style-type: none"> ROMへのP/Eを中断し、CPUはROM領域のプログラムを実行可能（サスペンド） E2データフラッシュへのP/Eを中断し、CPUはE2データフラッシュ領域の読み出しを実行可能（サスペンド） 中断した後、ROM/E2データフラッシュへのP/Eを再開可能（レジューム） 	
P/E単位	<ul style="list-style-type: none"> ユーザ領域およびユーザブート領域へのプログラム：128バイト ユーザ領域のイレーズ：ブロック ユーザブート領域のイレーズ：16Kバイト（注1） 	<ul style="list-style-type: none"> データ領域へのプログラム：2バイト データ領域のイレーズ：32バイト（1024/256ブロック）
オンボードプログラミング（4種類）	ブートモードによる書き換え <ul style="list-style-type: none"> 調歩同期式シリアルインターフェース(SCI1)を使用 通信速度は自動調整 ユーザブート領域も書き換え可能 USBブートモードによる書き換え（注2） <ul style="list-style-type: none"> USB0を使用 特別なハードウェアが不要で、PCと直結可能 ユーザブートモードによる書き換え（注1） <ul style="list-style-type: none"> ユーザ独自のブートプログラムを作成可能 ユーザプログラム中のROM/E2データフラッシュ書き換えルーチンによる書き換え <ul style="list-style-type: none"> システムをリセットすることなくROM/E2データフラッシュの書き換えが可能 	
オフボードプログラミング	フラッシュライタを使用して、ユーザ領域/ユーザブート領域の書き換えが可能	フラッシュライタを使用したデータ領域の書き換えはできません
プロテクト機能	ソフトウェアプロテクト機能	<ul style="list-style-type: none"> レジスタ設定により意図しない書き換え/読み出しを防ぐことが可能 レジスタ設定によるプロテクトの単位は2Kバイト
	FCUのコマンドロック機能	P/E中に異常を検出した場合、以後のP/E処理を禁止

注1. 64/48ピン版にはありません。

注2. 112/100/64/48ピン版にはありません。

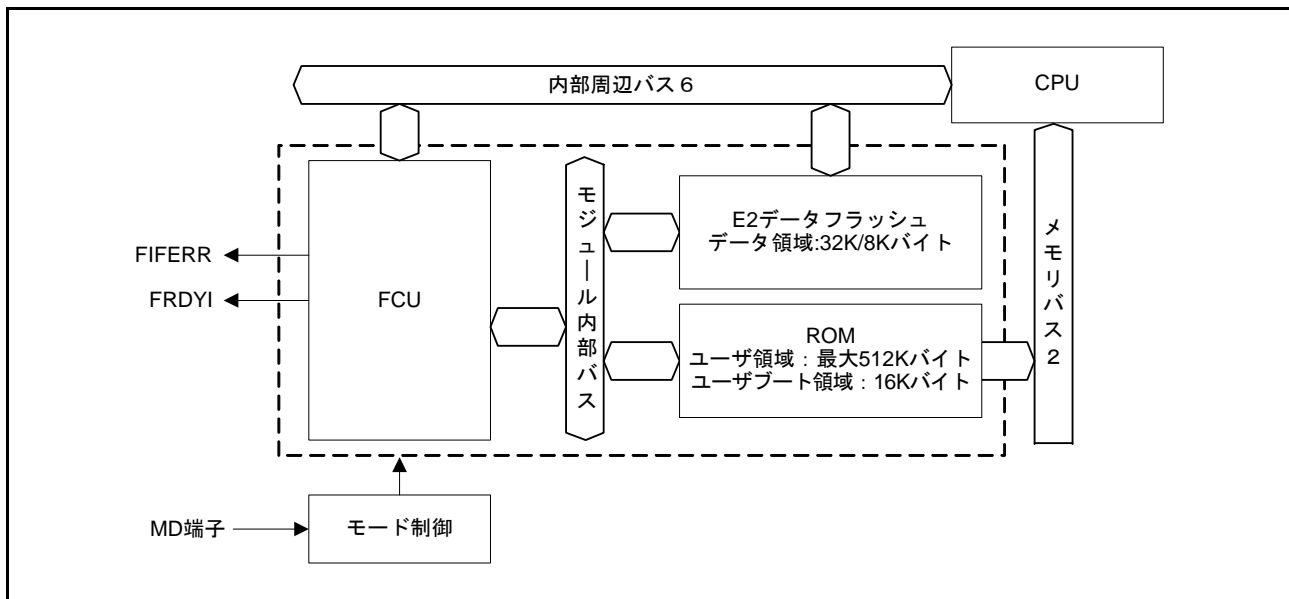


図 41.1 ROM / E2 データフラッシュのブロック図

41.1.1 ROMの領域構成

本MCUのROMは、最大512Kバイトのユーザ領域と16Kバイトのユーザブート領域から構成されています。それぞれの領域のアドレスを図41.2に示します。

ユーザ領域のアドレスは、リード時とP/E時で異なりますので注意してください。

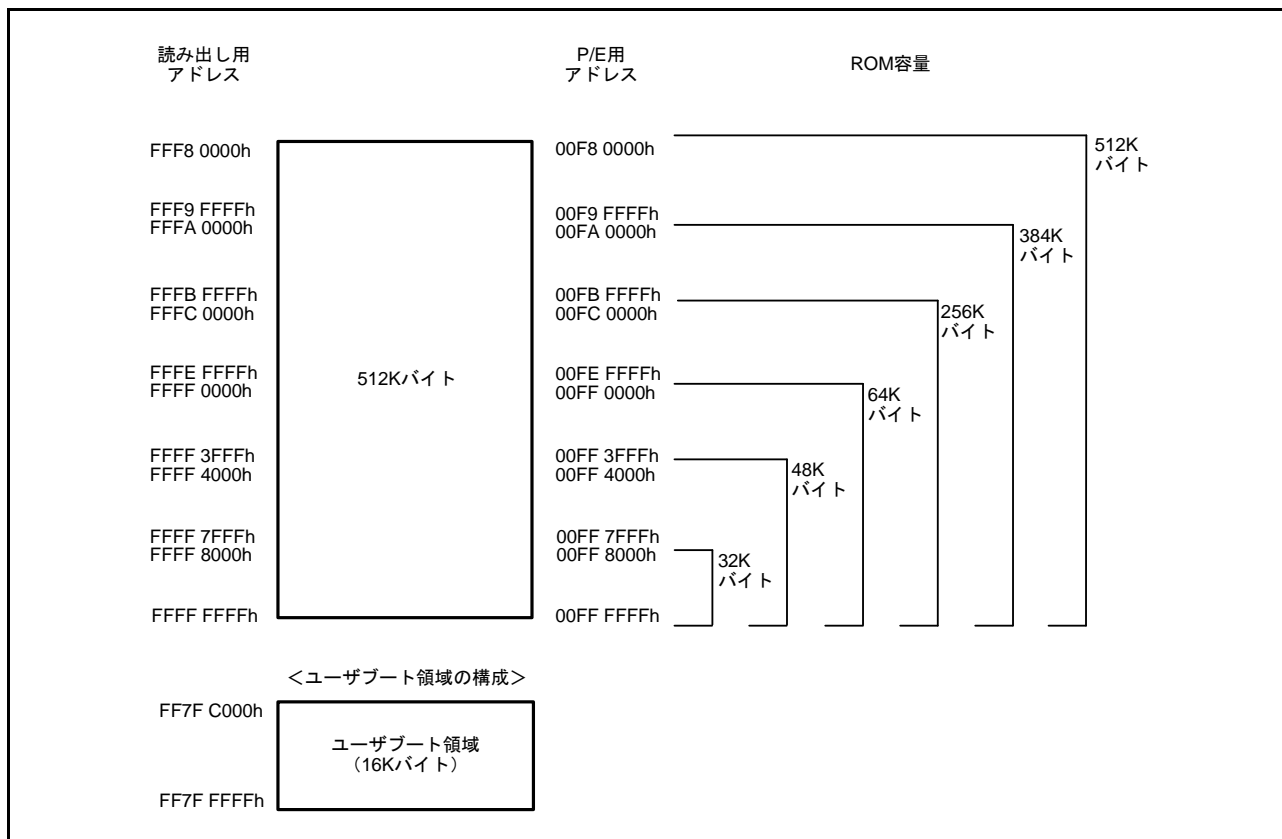


図 41.2 ROMのメモリ領域構成

41.1.2 ROMのブロック構成

ユーザ領域はROM容量によって、以下のブロックに分割されており、イレーズはこのブロック単位で行います。ユーザ領域のブロックの構成を図41.3に、ブロックとアドレスの関係を表41.2に示します。

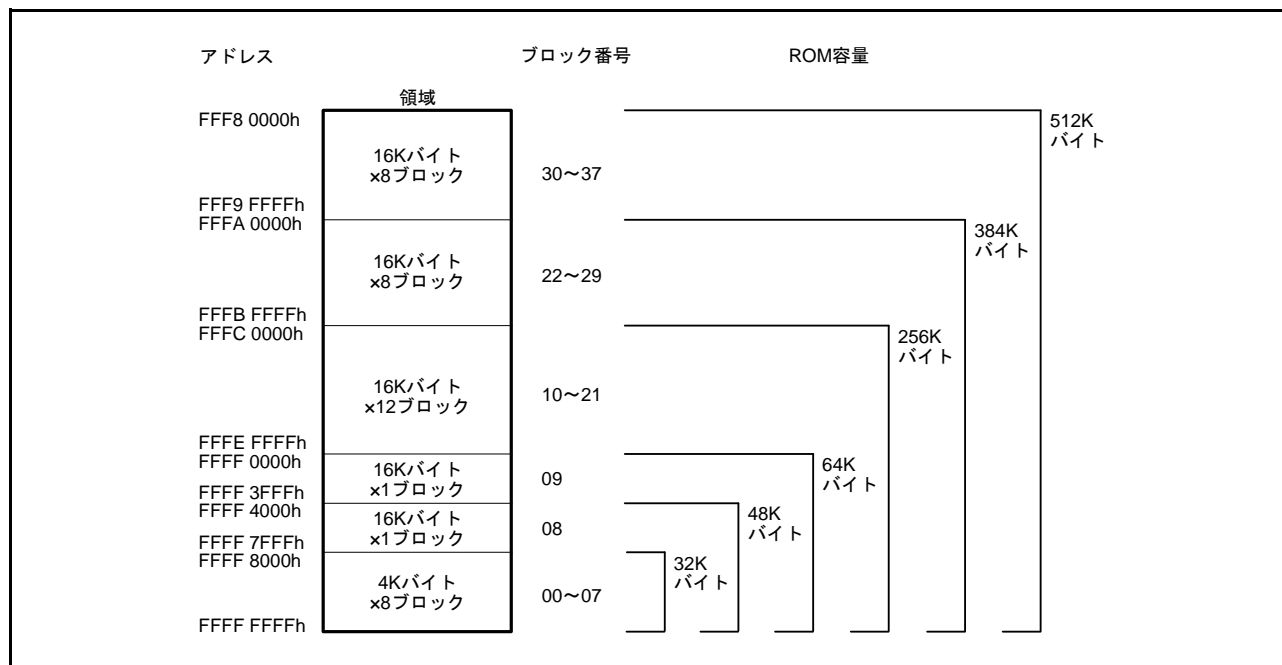


図 41.3 ユーザ領域のブロック構成

表41.2 ユーザ領域のブロックとアドレスの関係

ブロック番号	開始アドレス	ブロック構成	ブロック番号	開始アドレス	ブロック構成
37	FFF8 0000h	16K x8ブロック	21	FFFC 0000h	16K x12ブロック
36	FFF8 4000h				
35	FFF8 8000h				
34	FFF8 C000h				
33	FFF9 0000h				
32	FFF9 4000h				
31	FFF9 8000h				
30	FFF9 C000h				
29	FFFA 0000h	16K x8ブロック	18	FFFC C000h	
28	FFFA 4000h				
27	FFFA 8000h				
26	FFFA C000h				
25	FFFB 0000h				
24	FFFB 4000h				
23	FFFB 8000h				
22	FFFB C000h				
			9	FFFF 0000h	16K x1ブロック
			8	FFFF 4000h	16K x1ブロック
			7	FFFF 8000h	4K x8ブロック
			6	FFFF 9000h	
			5	FFFF A000h	
			4	FFFF B000h	
			3	FFFF C000h	
			2	FFFF D000h	
			1	FFFF E000h	
			0	FFFF F000h	

41.1.3 E2 データフラッシュの領域構成

本 MCU の E2 データフラッシュは、0010 0000h 番地から 0010 7FFFh 番地までの 32K バイトのデータ領域で構成されています。

ユーザ領域とは異なり、データ領域のアドレスはリード時と P/E で同一です。

41.1.4 E2 データフラッシュのブロック構成

データ領域は 1024 ブロックに分割されていて、イレーズはこのブロック単位で行います。データ領域のブロックとアドレスの関係と対応する読み出しおよび P/E 許可ビットの一覧を表 41.3 に示します。

ブロック N のアドレスは $(N \times 32) +$ データ領域の先頭番地 (“0010 0000h”) で算出できます。

表41.3 データ領域のブロック構成

ブロック番号	開始アドレス	読み出しおよびP/E許可ビット	ブロック番号	開始アドレス	読み出しおよびP/E許可ビット
0000	0010 0000h	DFLRE0.DBRE00 DFLWE0.DBWE00	0512	0010 4000h	DFLRE1.DBRE08 DFLWE1.DBWE08
⋮	⋮		⋮	⋮	
0063	0010 07E0h		0575	0010 47E0h	
0064	0010 0800h	DFLRE0.DBRE01 DFLWE0.DBWE01	0576	0010 4800h	DFLRE1.DBRE09 DFLWE1.DBWE09
⋮	⋮		⋮	⋮	
0127	0010 0FE0h		0639	0010 4FE0h	
0128	0010 1000h	DFLRE0.DBRE02 DFLWE0.DBWE02	0640	0010 5000h	DFLRE1.DBRE10 DFLWE1.DBWE10
⋮	⋮		⋮	⋮	
0191	0010 17E0h		0703	0010 57E0h	
0192	0010 1800h	DFLRE0.DBRE03 DFLWE0.DBWE03	0704	0010 5800h	DFLRE1.DBRE11 DFLWE1.DBWE11
⋮	⋮		⋮	⋮	
0255	0010 1FE0h		0767	0010 5FE0h	
0256	0010 2000h	DFLRE0.DBRE04 DFLWE0.DBWE04	0768	0010 6000h	DFLRE1.DBRE12 DFLWE1.DBWE12
⋮	⋮		⋮	⋮	
0319	0010 27E0h		0831	0010 67E0h	
0320	0010 2800h	DFLRE0.DBRE05 DFLWE0.DBWE05	0832	0010 6800h	DFLRE1.DBRE13 DFLWE1.DBWE13
⋮	⋮		⋮	⋮	
0383	0010 2FE0h		0895	0010 6FE0h	
0384	0010 3000h	DFLRE0.DBRE06 DFLWE0.DBWE06	0896	0010 7000h	DFLRE1.DBRE14 DFLWE1.DBWE14
⋮	⋮		⋮	⋮	
0447	0010 37E0h		0959	0010 77E0h	
0448	0010 3800h	DFLRE0.DBRE07 DFLWE0.DBWE07	0960	0010 7800h	DFLRE1.DBRE15 DFLWE1.DBWE15
⋮	⋮		⋮	⋮	
0511	0010 3FE0h		1023	0010 7FE0h	

41.2 レジスタの説明

ROM と E2 データフラッシュで共用するレジスタと、それぞれ専用のレジスタがあります。

41.2.1 フラッシュ P/E プロテクトレジスタ (FWEPROR)

アドレス 0008 C296h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	FLWE[1:0]	
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FLWE[1:0]	フラッシュ P/E ビット	b1 b0 0 0 : P/E、ロックビットのP/E、ロックビットの読み出し、 ブランクチェックの禁止 0 1 : P/E、ロックビットのP/E、ロックビットの読み出し、 ブランクチェックの許可 1 0 : P/E、ロックビットのP/E、ロックビットの読み出し、 ブランクチェックの禁止 1 1 : P/E、ロックビットのP/E、ロックビットの読み出し、 ブランクチェックの禁止	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ROM / E2 データフラッシュに対する P/E、ロックビットの P/E、ロックビットの読み出し、ブランクチェックをソフトウェアによって禁止します。

FWEPROR レジスタは、RES# 端子からのリセット、ソフトウェアスタンバイモード移行時、ディープソフトウェアスタンバイモード移行時、電源電圧低下時にリセット後の値となります。

41.2.2 フラッシュモードレジスタ (FMODR)

アドレス 007F C402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FRDMD	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FRDMD	FCUリード方式選択ビット	0x71 コマンドを発行したときのFCUの処理内容を選択するビットです。 詳細は「FRDMDビット (FCUリード方式選択ビット)」を参照してください。	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FMODR レジスタはFCUに対して0x71 コマンドを発行したときのFCUの処理内容を選択するレジスタです。0x71 コマンドの発行先アドレス (ROM あるいは E2 データフラッシュ) により、FCU の処理内容が異なります。

このレジスタはROM/E2 データフラッシュ共用です。内蔵ROM無効時に、このレジスタを読むと“00h”が読め、書き込みはできません。

FRDMD ビット (FCU リード方式選択ビット)

FRDMD ビットの状態と0x71 コマンドを発行したときのFCUの処理内容の関係を表41.4に示します。

表41.4 FRDMDビットと0x71コマンドの対応

0x71 コマンド発行先	FRDMD ビットの状態	機能	FCUの処理内容
ROM	0	メモリ領域リード方式でロックビットリード (ロックビットリード1)	ROMロックビットリードモードへ移行
	1	レジスタリード方式でロックビットリード (ロックビットリード2)	継続して0xD0コマンドを発行することにより、ロックビットリード2コマンドを実行
E2データフラッシュ	0	E2データフラッシュロックビットリードモードへ移行	E2データフラッシュにはロックビットが存在しません。そのため、E2データフラッシュロックビットリードモードへ移行してE2データフラッシュ領域を読んだ場合、不定値が読めます。
	1	ブランクチェックコマンド	継続して0xD0コマンドを発行することにより、ブランクチェックコマンドを実行

41.2.3 フラッシュアクセスステータスレジスタ (FASTAT)

アドレス 007F C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPE	E2データフラッシュ P/Eプロテクト違反フラグ	0 : P/Eプロテクト違反なし 1 : P/Eプロテクト違反あり	R/(W) (注1)
b1	DFLRPE	E2データフラッシュリードプロテクト違反フラグ	0 : リードプロテクト違反なし 1 : リードプロテクト違反あり	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAE	E2データフラッシュアクセス違反フラグ	0 : E2データフラッシュアクセス違反なし 1 : E2データフラッシュアクセス違反あり	R/(W) (注1)
b4	CMDLK	FCUコマンドロックフラグ	0 : FCUはコマンドを受け付ける 1 : FCUはコマンドを受け付けない	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAE	ROMアクセス違反フラグ	0 : ROMアクセス違反なし 1 : ROMアクセス違反あり	R/(W) (注1)

注1. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

このレジスタはROM/E2データフラッシュ共用です。内蔵ROM無効時に、このレジスタを読むと“00h”が読め、書き込みはできません。

FASTAT.DFLWPE, DFLRPE, DFLAE, ROMAE ビットのいずれかのビットが“1”になると、FSTATR0.ILGLERR ビットが“1”になり、FCUはコマンドロック状態になります。

DFLWPE ビット (E2 データフラッシュ P/E プロテクト違反フラグ)

DFLWE_y レジスタ (y=0,1) で設定した P/E プロテクトに対する違反の有無を示すビットです。DFLWPE ビットが“1”になると、FSTATR0.ILGLERR ビットは“1”になり、CMDLK ビットは“1”(コマンドロック状態)になります。

[“1”になる条件]

- DFLWE_y レジスタ (y=0,1) で P/E 禁止に設定した E2 データフラッシュ領域に対して、P/E 系コマンドを発行したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DFLRPE ビット (E2 データフラッシュリードプロテクト違反フラグ)

DFLREy レジスタ (y=0,1) で設定した読み出しプロテクトに対する違反の有無を示すビットです。

DFLRPE ビットが“1”になると、FSTATR0.ILGLERR ビットは“1”になり、CMDLK ビットは“1”(コマンドロック状態)になります。

[“1”になる条件]

- DFLREy レジスタ (y=0,1) で読み出し禁止に設定した E2 データフラッシュ領域を読み出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DFLAE ビット (E2 データフラッシュアクセス違反フラグ)

E2 データフラッシュに対するアクセス違反の有無を示すビットです。

DFLAE ビットが“1”になると、FSTATR0.ILGLERR ビットは“1”になり、CMDLK ビットは“1”(コマンドロック状態)になります。

[“1”になる条件]

- FENTRYR.FENTRYD ビットが“1”、かつ E2 データフラッシュ P/E ノーマルモードで、E2 データフラッシュ領域を読み出したとき
- FENTRYD ビットが“0”の状態、E2 データフラッシュ領域に対して FCU コマンドを発行したとき
- FENTRYR.FENTRY0 ビットが“1”の状態、E2 データフラッシュ領域に対して FCU コマンドを発行、あるいは読み出しを行ったとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

CMDLK ビット (FCU コマンドロックフラグ)

FCU がコマンドを受け付けるかどうかを示すビットです。

FASTAT レジスタのいずれかのビットが“1”になると、CMDLK ビットが“1”になり、FCU はコマンドを受け付けません(「41.6.2 コマンドロック状態」を参照)。コマンドを受け付けられるようにするには、FASTAT レジスタを“10h”に設定した後、FCU にステータスレジスタクリアコマンドを発行する必要があります。

[“1”になる条件]

- FCU がエラーを検出して CMDLK ビットが“1”(コマンドロック状態)になったとき

[“0”になる条件]

- FASTAT レジスタが“10h”の状態、ステータスレジスタクリアコマンドを発行した後

ROMAE ビット (ROM アクセス違反フラグ)

ROM に対するアクセス違反の有無を示すビットです。

ROMAE ビットが“1”になると、FSTATR0.ILGLERR ビットは“1”になり、CMDLK ビットは“1”(コマンドロック状態)になります。

[“1”になる条件]

- ROM P/E ノーマルモードの状態、以下の ROM P/E 用アドレスを読み出したとき

ROM容量	ROM P/E用アドレス
	FENTRY0 ビットが“1”
32Kバイト	00FF 8000h～00FF FFFFh
48Kバイト	00FF 4000h～00FF FFFFh
64Kバイト	00FF 0000h～00FF FFFFh
256Kバイト	00FC 0000h～00FF FFFFh
384Kバイト	00FA 0000h～00FF FFFFh
512Kバイト	00F8 0000h～00FF FFFFh

- 以下の ROM P/E 用アドレスに対して FCU コマンドを発行、あるいは読み出しを行ったとき

ROM容量	ROM P/E用アドレス
	FENTRY0 ビットが“0”
32Kバイト	00FF 8000h～00FF FFFFh
48Kバイト	00FF 4000h～00FF FFFFh
64Kバイト	00FF 0000h～00FF FFFFh
256Kバイト	00FC 0000h～00FF FFFFh
384Kバイト	00FA 0000h～00FF FFFFh
512Kバイト	00F8 0000h～00FF FFFFh

- FENTRYR レジスタを設定して ROM P/E モードに移行した状態で、以下の ROM 読み出し用アドレスに対して読み出しを行ったとき

ROM容量	ROM読み出し用アドレス
32Kバイト	FFFF 8000h～FFFF FFFFh
48Kバイト	FFFF 4000h～FFFF FFFFh
64Kバイト	FFFF 0000h～FFFF FFFFh
256Kバイト	FFFC 0000h～FFFF FFFFh
384Kバイト	FFFA 0000h～FFFF FFFFh
512Kバイト	FFF8 0000h～FFFF FFFFh

[“0”になる条件]

“1”を読んだ後、“0”を書いたとき

41.2.4 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

アドレス 007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
リセット後の値	1	0	0	1	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPEIE	E2データフラッシュ P/E プロテクト違反割り込み許可ビット	P/E プロテクト違反発生時のFIFERR割り込み要求 0: 発生しない 1: 発生する	R/W
b1	DFLRPEIE	E2データフラッシュリードプロテクト違反割り込み許可ビット	リードプロテクト違反発生時のFIFERR割り込み要求 0: 発生しない 1: 発生する	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAEIE	E2データフラッシュアクセス違反割り込み許可ビット	E2データフラッシュアクセス違反発生時のFIFERR割り込み要求 0: 発生しない 1: 発生する	R/W
b4	CMDLKIE	FCUコマンドロック割り込み許可ビット	FASTAT.CMDLKビットが“1”(コマンドロック状態)になったときのFIFERR割り込み要求 0: 発生しない 1: 発生する	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAEIE	ROMアクセス違反割り込み許可ビット	ROMアクセス違反発生時のFIFERR割り込み要求 0: 発生しない 1: 発生する	R/W

このレジスタはROM/E2データフラッシュ共用です。内蔵ROM無効時に、このレジスタを読むと“00h”が読め、書き込みはできません。

DFLWPEIE ビット (E2データフラッシュ P/E プロテクト違反割り込み許可ビット)

E2データフラッシュ P/E プロテクト違反が発生し、FASTAT.DFLWPE ビットが“1”になった場合のFIFERR割り込み要求の発生を許可/禁止するためのビットです。

DFLRPEIE ビット (E2データフラッシュリードプロテクト違反割り込み許可ビット)

E2データフラッシュリードプロテクト違反が発生し、FASTAT.DFLRPE ビットが“1”になった場合のFIFERR割り込み要求の発生を許可/禁止するためのビットです。

DFLAEIE ビット (E2データフラッシュアクセス違反割り込み許可ビット)

E2データフラッシュアクセス違反が発生し、FASTAT.DFLAE ビットが“1”になった場合のFIFERR割り込み要求の発生を許可/禁止するためのビットです。

CMDLKIE ビット (FCUコマンドロック割り込み許可ビット)

FASTAT.CMDLK ビットが“1”(コマンドロック状態)になった場合のFIFERR割り込み要求の発生を許可/禁止するためのビットです。

ROMAEIE ビット (ROMアクセス違反割り込み許可ビット)

ROMアクセス違反が発生し、FASTAT.ROMAE ビットが“1”になった場合のFIFERR割り込み要求の発生を許可/禁止するためのビットです。

41.2.5 フラッシュレディ割り込み許可レジスタ (FRDYIE)

アドレス 007F C412h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	FRDYIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRDYIE	フラッシュレディ割り込み許可ビット	0 : FRDYI割り込み要求の発生を禁止 1 : FRDYI割り込み要求の発生を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

このレジスタはROM/E2データフラッシュ共用です。内蔵ROM無効時に、このレジスタを読むと“00h”が読め、書き込みはできません。

FRDYIE ビット (フラッシュレディ割り込み許可ビット)

P/E処理が終了した場合のフラッシュレディ割り込み要求の発生を許可/禁止するためのビットです。

FRDYIEビットが“1”の設定で、FCUコマンドの実行が完了した場合 (FSTATR0.FRDYビットが“0”から“1”になったとき)、フラッシュレディ割り込み要求 (FRDYI) が発生します。

41.2.6 E2データフラッシュ読み出し許可レジスタ 0 (DFLRE0)

アドレス 007F C440h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
KEY[7:0]								DBRE07	DBRE06	DBRE05	DBRE04	DBRE03	DBRE02	DBRE01	DBRE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBRE00	0000-0063ブロック読み出し許可ビット	0 : 読み出し禁止 1 : 読み出し許可	R/W
b1	DBRE01	0064-0127ブロック読み出し許可ビット		R/W
b2	DBRE02	0128-0191ブロック読み出し許可ビット		R/W
b3	DBRE03	0192-0255ブロック読み出し許可ビット		R/W
b4	DBRE04	0256-0319ブロック読み出し許可ビット		R/W
b5	DBRE05	0320-0383ブロック読み出し許可ビット		R/W
b6	DBRE06	0384-0447ブロック読み出し許可ビット		R/W
b7	DBRE07	0448-0511ブロック読み出し許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DFLRE0レジスタの書き換えの可否を制御します。 DFLRE0レジスタを書き換える場合、上位8ビットに“2Dh”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

DFLRE0 レジスタは、データ領域の 0000 ~ 0511 ブロック（表 41.3 を参照）の読み出しを許可 / 禁止するためのレジスタです。読み出しの許可 / 禁止は、2K バイト（64 ブロック）単位で行います。

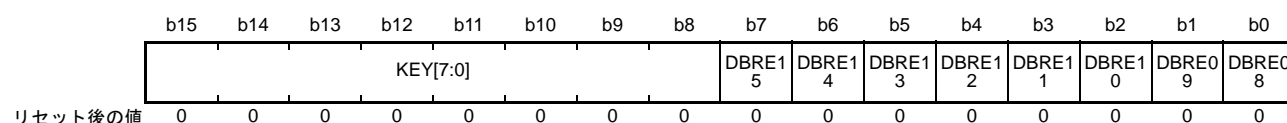
このレジスタは E2 データフラッシュ専用です。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。

DBREj ビット（ブロック読み出し許可ビット）（j=00 ~ 07）

データ領域の 0000 ~ 0511 ブロックに対する読み出しの許可 / 禁止を設定するビットです。

41.2.7 E2 データフラッシュ読み出し許可レジスタ 1（DFLRE1）

アドレス 007F C442h



ビット	シンボル	ビット名	機能	R/W
b0	DBRE08	0512-0575 ブロック読み出し許可ビット	0 : 読み出し禁止 1 : 読み出し許可	R/W
b1	DBRE09	0576-0639 ブロック読み出し許可ビット		R/W
b2	DBRE10	0640-0703 ブロック読み出し許可ビット		R/W
b3	DBRE11	0704-0767 ブロック読み出し許可ビット		R/W
b4	DBRE12	0768-0831 ブロック読み出し許可ビット		R/W
b5	DBRE13	0832-0895 ブロック読み出し許可ビット		R/W
b6	DBRE14	0896-0959 ブロック読み出し許可ビット		R/W
b7	DBRE15	0960-1023 ブロック読み出し許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DFLRE1 レジスタの書き換えの可否を制御します。 DFLRE1 レジスタを書き換える場合、上位 8 ビットに“D2h”、下位 8 ビットに任意の値を、16 ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

DFLRE1 レジスタは、データ領域の 0512 ~ 1023 ブロック（表 41.3 を参照）の読み出しを許可 / 禁止するためのレジスタです。読み出しの許可 / 禁止は、2K バイト（64 ブロック）単位で行います。

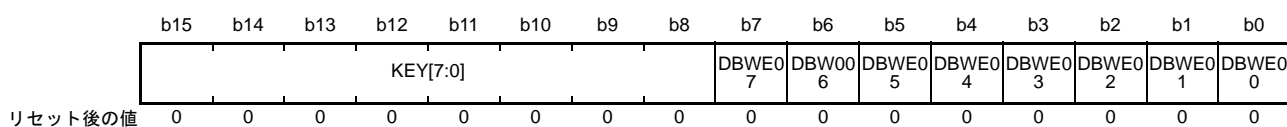
このレジスタは E2 データフラッシュ専用です。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。

DBREj ビット（ブロック読み出し許可ビット）（j=08 ~ 15）

データ領域の 0512 ~ 1023 ブロックに対する読み出しの許可 / 禁止を設定するビットです。

41.2.8 E2 データフラッシュ P/E 許可レジスタ 0 (DFLWE0)

アドレス 007F C450h



ビット	シンボル	ビット名	機能	R/W
b0	DBWE00	0000-0063 ブロック P/E 許可ビット	0 : P/E 禁止 1 : P/E 許可	R/W
b1	DBWE01	0064-0127 ブロック P/E 許可ビット		R/W
b2	DBWE02	0128-0191 ブロック P/E 許可ビット		R/W
b3	DBWE03	0192-0255 ブロック P/E 許可ビット		R/W
b4	DBWE04	0256-0319 ブロック P/E 許可ビット		R/W
b5	DBWE05	0320-0383 ブロック P/E 許可ビット		R/W
b6	DBWE06	0384-0447 ブロック P/E 許可ビット		R/W
b7	DBWE07	0448-0511 ブロック P/E 許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DFLWE0 レジスタの書き換えの可否を制御します。 DFLWE0 レジスタを書き換える場合、上位8ビットに“1Eh”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

DFLWE0 レジスタは、データ領域の 0000 ~ 0511 ブロック (表 41.3 を参照) の P/E を許可 / 禁止するためのレジスタです。P/E の許可 / 禁止は、2K バイト (64 ブロック) 単位で行います。

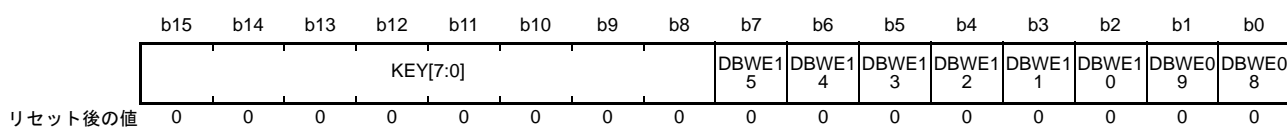
このレジスタは E2 データフラッシュ専用です。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。

DBWEj ビット (ブロック P/E 許可ビット) (j=00 ~ 07)

データ領域の 0000 ~ 0511 ブロックに対する P/E の許可 / 禁止を設定するビットです。

41.2.9 E2 データフラッシュ P/E 許可レジスタ 1 (DFLWE1)

アドレス 007F C452h



ビット	シンボル	ビット名	機能	R/W
b0	DBWE08	0512-0575 ブロック P/E 許可ビット	0 : P/E 禁止 1 : P/E 許可	R/W
b1	DBWE09	0576-0639 ブロック P/E 許可ビット		R/W
b2	DBWE10	0640-0703 ブロック P/E 許可ビット		R/W
b3	DBWE11	0704-0767 ブロック P/E 許可ビット		R/W
b4	DBWE12	0768-0831 ブロック P/E 許可ビット		R/W
b5	DBWE13	0832-0895 ブロック P/E 許可ビット		R/W
b6	DBWE14	0896-0959 ブロック P/E 許可ビット		R/W
b7	DBWE15	0960-1023 ブロック P/E 許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DFLWE1 レジスタの書き換えの可否を制御します。 DFLWE1 レジスタを書き換える場合、上位8ビットに“E1h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

DFLWE1 レジスタは、データ領域の 0512 ~ 1023 ブロック（表 41.3 を参照）の P/E を許可 / 禁止するためのレジスタです。P/E の許可 / 禁止は、2K バイト（64 ブロック）単位で行います。

このレジスタは E2 データフラッシュ専用です。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。

DBWE_j ビット (ブロック P/E 許可ビット) (j=08 ~ 15)

データ領域の 0512 ~ 1023 ブロックに対する P/E の許可 / 禁止を設定するビットです。

41.2.10 フラッシュステータスレジスタ 0 (FSTATR0)

アドレス 007F FFB0h

	b7	b6	b5	b4	b3	b2	b1	b0
	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	—	ERSSPD	PRGSPD
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRGSPD	プログラムサスペンドステータスフラグ	0: 下記以外の状態 1: プログラムの中断処理中、またはプログラムサスペンド中	R
b1	ERSSPD	イレーズサスペンドステータスフラグ	0: 下記以外の状態 1: イレーズの中断処理中、またはイレーズサスペンド中	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	SUSRDY	サスペンドレディフラグ	0: P/E サスペンドコマンド受け付け不可能 1: P/E サスペンドコマンド受け付け可能	R
b4	PRGERR	プログラムエラーフラグ	0: プログラムは正常終了 1: プログラム中にエラー発生	R
b5	ERSERR	イレーズエラービット	0: イレーズは正常終了 1: イレーズ中にエラー発生	R
b6	ILGLERR	イリーガルコマンドエラーフラグ	0: FCUは不正なコマンドや不正なROM/E2データフラッシュアクセスを検出していない 1: FCUは不正なコマンドや不正なROM/E2データフラッシュアクセスを検出	R
b7	FRDY	フラッシュレディフラグ	0: P/E 処理中、 P/Eの中断処理中、 ロックビットリード2コマンド処理中、 周辺クロック通知コマンド処理中、 E2データフラッシュのブランクチェック処理中 1: 上記の処理を実行していない	R

FSTATR0 レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵ROM 無効時に、このレジスタを読むと“00h”が読め、書き込みはできません。このレジスタはROM/E2データフラッシュ共用です。

PRGSPD ビット (プログラムサスペンドステータスフラグ)

FCU がプログラムの中断処理中、またはプログラムサスペンド状態に遷移したことを示すビットです。詳細は「41.5 サスペンド動作」を参照してください。

[“1”になる条件]

- プログラムの中断処理を開始したとき

[“0”になる条件]

- レジュームコマンドを受け付けたとき

ERSSPD ビット (イレーズサスペンドステータスフラグ)

FCU がイレーズの中断処理中またはイレーズサスペンド状態に遷移したことを示すビットです。詳細は「41.5 サスペンド動作」を参照してください。

["1" になる条件]

- イレーズの中断処理を開始したとき

["0" になる条件]

- レジュームコマンドを受け付けたとき

SUSRDY ビット (サスペンドレディフラグ)

FCU が P/E サスペンドコマンドを受け付け可能であるかどうかを示すビットです。

["1" になる条件]

- P/E 処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移したとき

["0" になる条件]

- P/E サスペンドコマンドを受け付けたとき
- P/E 処理中に、FASTAT.CMDLK ビットが "1"(コマンドロック状態)になったとき

PRGERR ビット (プログラムエラーフラグ)

FCU による ROM/E2 データフラッシュへのプログラムの結果を示すビットです。

PRGERR ビットが "1" の場合には、FASTAT.CMDLK ビットは "1"(コマンドロック状態)になります。

["1" になる条件]

- プログラム中にエラーが発生したとき
- ロックビットでプロテクトされた領域に対してプログラムコマンドを発行したとき

["0" になる条件]

- ステータスレジスタクリアコマンドを発行した後

ERSERR ビット (イレーズエラーフラグ)

FCU による ROM/E2 データフラッシュのイレーズの結果を示すビットです。

ERSERR ビットが "1" の場合には、FASTAT.CMDLK ビットは "1"(コマンドロック状態)になります。

["1" になる条件]

- イレーズ中にエラーが発生したとき
- ロックビットでプロテクトされた領域に対するブロックイレーズコマンドを発行したとき

["0" になる条件]

- ステータスレジスタクリアコマンドを発行した後

ILGLERR ビット (イリーガルコマンドエラーフラグ)

FCU が不正なコマンドや、不正な ROM / E2 データフラッシュアクセスなどを検出したことを示すビットです。

ILGLERR ビットが“1”の場合には、FASTAT.CMDLK ビットは“1”(コマンドロック状態)になります。

[“1”になる条件]

- FCU が不正なコマンドを検出した
- FCU が不正な ROM / E2 データフラッシュアクセスを検出したとき
(FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットのいずれかが“1”)
- FENTRYR レジスタの設定が不正

[“0”になる条件]

- FASTAT レジスタが“10h”の状態、ステータスレジスタクリアコマンドを発行した後

41.2.11 フラッシュステータスレジスタ 1 (FSTATR1)

アドレス 007F FFB1h

b7	b6	b5	b4	b3	b2	b1	b0
FCUER R	—	—	FLOCK ST	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	FLOCKST	ロックビットステータスビット	0: プロテクト状態 1: 非プロテクト状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	FCUERR	FCUエラーフラグ	0: FCUの処理でエラー未発生 1: FCUの処理でエラー発生	R

FSTATR1 レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと“00h”が読め、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

FLOCKST ビット (ロックビットステータスビット)

ロックビットリード2 コマンドを使用した場合に、読み出されたロックビットのデータが反映されるビットです。

ロックビットリード2 コマンド発行後に、FSTATR0.FRDY ビットが“1”になった時点で、FLOCKST ビットにロックビットステータスの値が格納されます。FLOCKST ビットの値は、次のロックビットリード2 コマンドの終了まで保持されます。

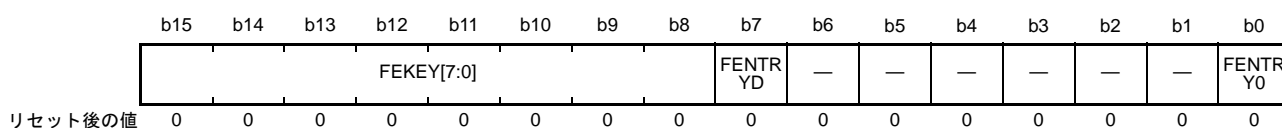
FCUERR ビット (FCU エラーフラグ)

FCU 内部の処理においてエラーが発生したことを示すビットです。

FCUERR ビットが“1”の場合には、FRESETR.FRESET ビットを“1”にして、FCU を初期化してください。

41.2.12 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	0 : ROMはROMリードモード 1 : ROMはROM P/Eモード	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	E2データフラッシュ P/Eモード エントリビット	0 : E2データフラッシュはリードモード 1 : E2データフラッシュはP/Eモード	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYRレジスタの書き換えの可否を制御します。 FENTRYRレジスタを書き換える場合、上位8ビットに “AAh”、下位8ビットに任意の値を、16ビット単位で書いて ください	R/(W) (注1)

注1. 書き込みデータは保持されません。

ROM / E2 データフラッシュを P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY0 ビットを“1”にする必要があります。ただし、FENTRYR レジスタに“AA01h”、“AA80h”以外の値を設定した場合、FSTATR0.ILGLERR ビットが“1”になって、FSATAT.CMDLK ビットは“1”(コマンドロック状態)になります。

FENTRYR レジスタをアクセスして、ROM リードモードに移行させる際には、FENTRYR レジスタを書き込み後、当該レジスタを読み出して設定値になっていることを確認後、ROM リード動作を行ってください。

FENTRYR レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

FENTRY0 ビット (ROM P/E モードエントリビット0)

ROM 読み出し用アドレスと P/E 用アドレスを P/E モードに設定するためのビットです。

[書き込み有効条件 (以下の全条件を満たす場合)]

- 内蔵 ROM 有効時
- FSTATR0.FRDY ビットが “1”
- ワードアクセスで FEKEY[7:0] ビットに “AAh” を書き込み

[“1” になる条件]

- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” の状態で、FENTRY0 ビットに “1” を書いた場合

[“0” になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FEKEY[7:0] ビットが “AAh” 以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRY0 ビットに “0” を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” 以外の状態で、FENTRYR レジスタに書いた場合

FENTRYD ビット (E2 データフラッシュ P/E モードエントリビット)

FENTRYD ビットは、E2 データフラッシュを P/E モードに設定するためのビットです。

[書き込み有効条件 (以下の全条件を満たす場合)]

- 内蔵 ROM 有効時
- FSTATR0.FRDY ビットが “1”
- ワードアクセスで FEKEY[7:0] ビットに “AAh” を書き込み

[“1” になる条件]

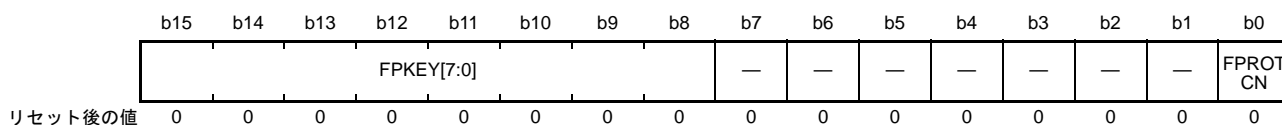
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” の状態で、FENTRYD ビットに “1” を書いた場合

[“0” になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FEKEY[7:0] ビットが “AAh” 以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRYD ビットに “0” を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” 以外の状態で、FENTRYR レジスタを書いた場合

41.2.13 フラッシュプロテクトレジスタ (FPROTR)

アドレス 007F FFB4h



ビット	シンボル	ビット名	機能	R/W
b0	FPROTCN	ロックビットプロテクトキャンセルビット	0: ロックビットによるプロテクト有効 1: ロックビットによるプロテクト無効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FPKEY[7:0]	キーコード	FPROTRレジスタの書き換えの可否を制御します。 FPROTRレジスタを書き換える場合、上位8ビットに “55h”、下位8ビットに任意の値を、16ビット単位で 書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

FPROTRレジスタは、FRESETR.FRESETビットを“1”にすることによってもリセットされます。内蔵ROM無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタはROM専用です。

FPROTCNビット (ロックビットプロテクトキャンセルビット)

ロックビットによるP/Eプロテクトを有効/無効にするためのビットです。

[“1”になる条件]

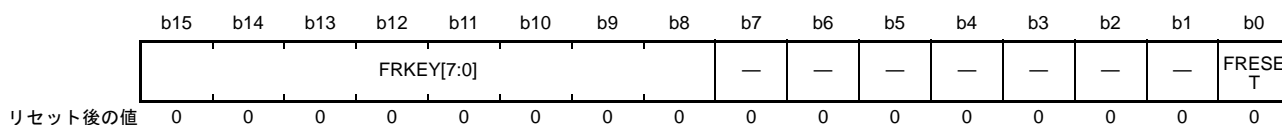
- FENTRYRレジスタの値が“0000h”以外の状態で、ワードアクセスでFPKEY[7:0]ビットに“55h”、FPROTCNビットに“1”を書いた場合

[“0”になる条件]

- バイトアクセスで書いた場合
- ワードアクセスでFPKEY[7:0]ビットが“55h”以外の状態で書いた場合
- ワードアクセスでFPKEY[7:0]ビットに“55h”、FPROTCNビットに“0”を書いた場合
- FENTRYRレジスタの値が“0000h”の場合

41.2.14 フラッシュリセットレジスタ (FRESETR)

アドレス 007F FFB6h



ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0 : FCUはリセットされない 1 : FCUはリセットされる	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FRKEY[7:0]	キーコード	FRESETRレジスタの書き換えの可否を制御します。 FRESETRレジスタを書き換える場合、上位8ビットに“CCh”、 下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

内蔵ROM無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタはROM/E2データフラッシュ共用です。

FRESET ビット (フラッシュリセットビット)

FRESET ビットを“1”にすると、ROM/E2データフラッシュのP/E動作が強制終了され、FCUが初期化されます。

P/E中のROM/E2データフラッシュのメモリには、高電圧が印加されています。メモリに印加された電圧の降下に必要な期間を確保するために、FCUを初期化する場合には、FRESETビットを“1”にした状態をtFCUR (FCUリセット時間、「42. 電気的特性【144/120/112/100ピン版】」、「43. 電気的特性【64/48ピン版】」を参照)保持してください。FRESETビットを“1”にしている期間は、ROM/E2データフラッシュへの読み出しを禁止してください。また、FRESETビットが“1”の状態では、FENTRYRレジスタが初期化されているため、FCUコマンドを使用することはできません。

41.2.15 FCU コマンドレジスタ (FCMDR)

アドレス 007F FFBAh



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCMDR[7:0]	プレコマンド	FCUが受け付けた1つ前のコマンドを格納します	R
b15-b8	CMDR[7:0]	コマンド	FCUが受け付けた最新のコマンドを格納します	R

FCMDR レジスタは、FRESETR.FRESET ビットを“1”にすることによっても初期化されます。

表 41.5 に各コマンド受け付け後の FCMDR レジスタの状態を示します。

内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタは ROM/E2 データフラッシュ共用です。

表41.5 各コマンド受け付け後のFCMDRレジスタの状態

コマンド	CMDR[7:0]	PCMDR[7:0]
ノーマルモード移行	FFh	前回コマンド
ステータスリードモード移行	70h	前回コマンド
ロックビットリードモード移行 (ロックビットリード1)	71h	前回コマンド
周辺クロック通知	E9h	前回コマンド
プログラム	E8h	前回コマンド
ブロックイレーズ	D0h	20h
P/E サスペンド	B0h	前回コマンド
P/E レジューム	D0h	前回コマンド
ステータスレジスタクリア	50h	前回コマンド
ロックビットリード2/ブランクチェック	D0h	71h
ロックビットプログラム	D0h	77h

41.2.16 FCU 処理切り替えレジスタ (FCPSR)

アドレス 007F FFC8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSPMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESUSPMD	イレーズサスペンドモードビット	0: サスペンド優先モード 1: イレーズ優先モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FCPSR レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

ESUSPMD ビット (イレーズサスペンドモードビット)

FCU が ROM / E2 データフラッシュのイレーズを実行中に、P/E サスペンドコマンドが発行された場合のイレーズ中断処理モードを選択するためのビットです。詳細は「41.5 サスペンド動作」を参照してください。

41.2.17 E2 データフラッシュブランクチェック制御レジスタ (DFLBCCNT)

アドレス 007F FFCAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BCSIZE	—	—	—	—	BCADR[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	BCADR[10:0]	ブランクチェックアドレス設定ビット	チェック対象領域のアドレスを設定	R/W
b14-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	BCSIZE	ブランクチェックサイズ設定ビット	0: ブランクチェック対象領域は2バイト 1: ブランクチェック対象領域は2Kバイト	R/W

DFLBCCNT レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタは E2 データフラッシュ専用です。

BCADR[10:0] ビット (ブランクチェックアドレス設定ビット)

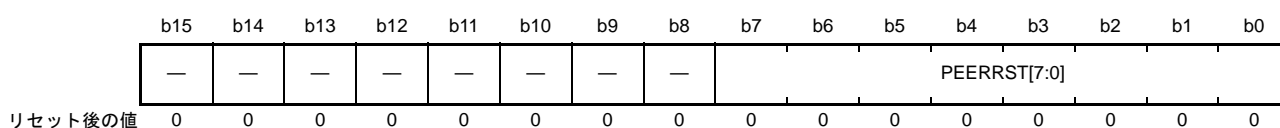
ブランクチェックコマンドのチェック対象領域のサイズが2バイト (BCSIZE ビットが“0”) の場合に、チェック対象領域のアドレスを設定するためのビットです。BCADR[0] は、“0”を指定してください。

BCSIZE ビットが“0”の場合には、DFLBCCNT レジスタの設定値と、ブランクチェックコマンド発行時に指定したブロック先頭アドレス (2K バイト単位) を加算した値がチェック対象領域の先頭アドレスになります。

BCSIZE ビットが“1”の場合には、BCADR[10:0] ビットの値は無視されます。

41.2.18 フラッシュ P/E ステータスレジスタ (FPESTAT)

アドレス 007F FFCCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	PEERRST[7:0]	P/E エラーステータスビット	00h: エラーなし 01h: ロックビットでプロテクトされた領域に対するプログラムエラー 02h: ロックビットプロテクト以外の要因によるプログラムエラー 11h: ロックビットでプロテクトされた領域に対するイレーズによるエラー 12h: ロックビットプロテクト以外の要因によるイレーズエラー (上記以外は予約)	R
b15-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

FPESTAT レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタは ROM 専用です。

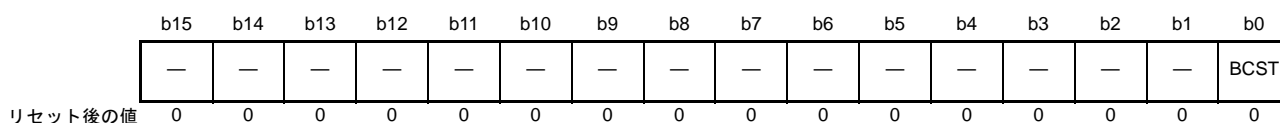
PEERRST[7:0] ビット (P/E エラーステータスビット)

ROM の P/E 処理中にエラーが発生した場合のエラー原因を示すビットです。

PEERRST[7:0] ビットの値は、FSTATR0.ERSERR ビット、または FSTATR0.PRGERR ビットが“1”の状態、かつ FSTATR0.FRDIY ビットが“1”になったときのみ有効です。ERSERR ビットと PRGERR ビットが“0”の場合の PEERRST[7:0] ビットには、過去に発生したエラー原因の値が保持されます。

41.2.19 E2 データフラッシュブランクチェックステータスレジスタ (DFLBCSTAT)

アドレス 007F FFCEh

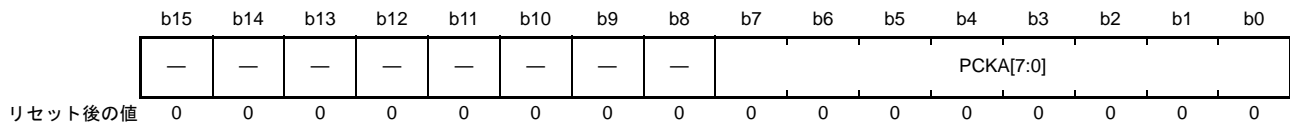


ビット	シンボル	ビット名	機能	R/W
b0	BCST	ブランクチェックステータスビット	0: ブランクチェック対象領域はイレーズされた状態 (ブランク) 1: ブランクチェック対象領域は“0”が“1”書き込まれた状態	R
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DFLBCSTAT レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。このレジスタは E2 データフラッシュ専用です。

41.2.20 周辺クロック通知レジスタ (PCKAR)

アドレス 007F FFE8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCKA[7:0]	周辺クロック通知ビット	ROM / E2データフラッシュへのP/E時にFlashIFクロック (FCLK) を設定するためのビットです	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

この設定は、P/E 時間の制御に使用します。

PCKAR レジスタは、FRESETR.FRESET ビットを“1”にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと“0000h”が読み、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

PCKA[7:0] ビット (周辺クロック通知ビット)

ROM / E2 データフラッシュの P/E 時に、FlashIF クロック (FCLK) を設定するためのビットです。

P/E を行う前に PCKA[7:0] ビットに FCLK の周波数を設定して、周辺クロック通知コマンドを発行してください。ROM / E2 データフラッシュの P/E 中は、周波数を変更しないでください。

PCKA[7:0] ビットには MHz 単位で表現した動作周波数を 2 進数に変換した値を書き込んでください。FlashIF クロックの動作周波数が 35.9MHz の場合の設定例を以下に示します。

- 35.9 の小数第 1 位を切り上げ
- 36 を 2 進数変換し、“24h” (0010 0100b) を PCKA[7:0] ビットに設定する。

- 注 1. PCKA[7:0] ビットを 4MHz ~ 50MHz の範囲外に設定した場合は、ROM / E2 データフラッシュに対する書き換えコマンドを発行しないでください。
- 注 2. FCLK と異なる周波数を PCKA[7:0] ビットに設定した場合、ROM / E2 データフラッシュのデータが破壊される可能性があります。
- 注 3. PCKA[7:0] ビットを活用しても、書き換え時間はある程度周波数に依存することをご了承ください。

41.3 フラッシュメモリ関連の動作モード

MD 端子の設定値と本 MCU の動作モードの関係については、「3. 動作モード【144/120/112/100 ピン版】」、「4. 動作モード【64/48 ピン版】」を参照してください。ブートモード/USB ブートモード/ユーザブートモード/シングルチップモード（内蔵 ROM 有効）/内蔵 ROM 有効拡張モードでは、オンボードで ROM/E2 データフラッシュの読み出しおよび P/E を実施できます。

各モードで、P/E 可能領域、リセット時の起動領域、起動時にイレーズされる領域等が異なります。モードの相違点を表 41.6 に示します。

表41.6 各モードの相違点

項目	ブートモード	USB ブートモード	ユーザブートモード	シングルチップモード (内蔵ROM有効) / 内蔵ROM有効拡張モード
プログラム/イレーズ環境	オンボードプログラミング			
プログラム/ イレーズ可能領域	ユーザ領域/ ユーザブート領域/ データ領域	ユーザ領域/ データ領域	ユーザ領域/ データ領域	ユーザ領域/ データ領域
ブロック分割消去	○ (注1)	○ (注1)	○	○
リセット時の 起動プログラム	ブートプログラム	USB ブートプログラム	ユーザブートプログラム	ユーザプログラム

注1. 起動時に全面消去される場合があります。その後、特定ブロックの消去ができます。詳細は「41.8.4 IDコードプロテクト（ブートモード）」、「41.8.2 ブートモードの状態遷移」、「41.9.2 状態遷移」を参照してください。

- ユーザブート領域の P/E は、ブートモードでのみ可能です。
- ブートモードでは、ホストから SCI 経由でのユーザ領域/ユーザブート領域/データ領域への P/E/読み出しが可能になります。
- ブートモードではブートプログラムで内蔵 RAM を使用します。このため、内蔵 RAM のデータは保持されません。
- USB ブートモード、ユーザブートモードは、ユーザブート領域から起動します。製品出荷時、ユーザブート領域には USB ブートプログラム（注1）が格納されており、USB を使用してユーザ領域/データ領域のプログラム/読み出しが可能です。また、ブートモードでユーザブート領域を書き換えることにより、任意のインタフェースでユーザ領域/データ領域のプログラム/読み出しが可能になります。

注1. 112 ピン版及び 100 ピン版（USB 機能無し）においても、製品出荷時、ユーザブート領域には USB ブートプログラムが格納されています。

41.3.1 ID コードプロテクト機能による領域のイレーズ

起動時の動作モードと ID コードプロテクトの有無および ID コードの照合結果により、イレーズされる領域があります。ID コードプロテクトについては「41.8.4 ID コードプロテクト（ブートモード）」を参照してください。

表 41.7 起動時の動作モードおよびIDコードプロテクトとイレーズされる領域の関係

起動時の動作モード	IDコードプロテクトの制御コード	IDコードの一致/不一致	ユーザ領域	ユーザブート領域	データ領域
ブートモード	45h	一致	—	—	—
		3回連続不一致	イレーズ	イレーズ (注1)	イレーズ
	52h	一致/不一致	—	—	—
	45h、52h以外 (IDコードプロテクトが無効)	—	イレーズ	イレーズ (注1)	イレーズ
USBブートモード	USBブートモードにIDコードプロテクト機能はありません		イレーズ	—	イレーズ
ユーザブートモード	ユーザブートプログラムの仕様に依存します				
シングルチップモード	シングルチップモード起動時にはイレーズされません				

注1. USBブートプログラムがユーザブート領域に格納されている場合、ユーザブート領域はイレーズされません。

41.4 FCU

ROM/E2データフラッシュに対する操作は、専用シーケンサ（FCU）にコマンド（FCUコマンド）を発行することで行います。FCUのモード移行とコマンド体系について以下に説明します。これらはブートモード、USBブートモード、ユーザブートモード、シングルチップモード（内蔵ROM有効）モード、内蔵ROM有効拡張モードで共通です。

41.4.1 FCUのモード

FCUには、5種類のモードがあります。モードの移行は、FENTRYRレジスタへの書き込み、およびFCUコマンドで行います。E2データフラッシュP/EモードはROMリードモードに含まれるため、E2データフラッシュP/Eモード時はROMの高速読み出しが可能です。図41.4にFCUのモード遷移図を示します。

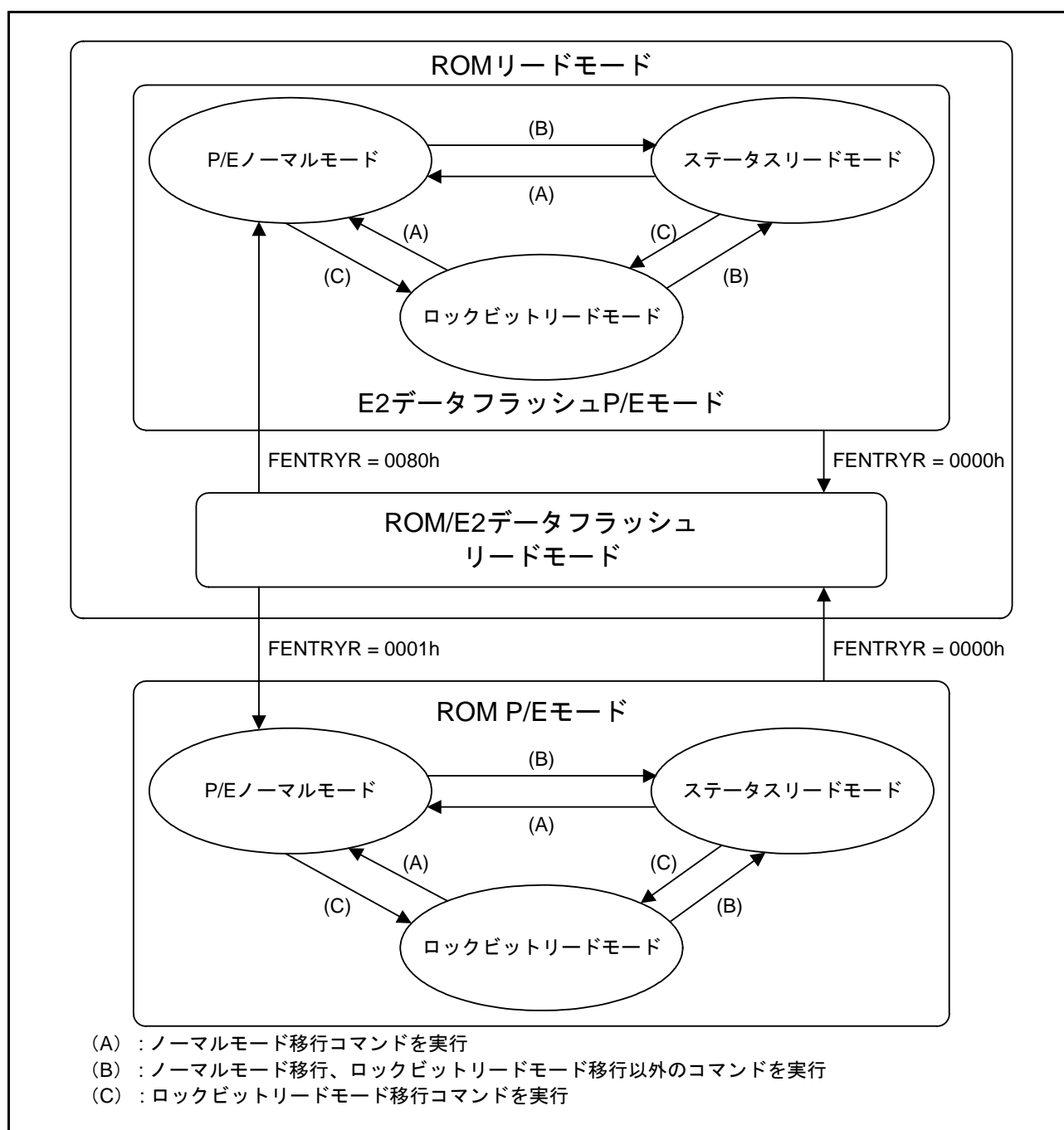


図 41.4 FCUのモード遷移図

41.4.1.1 ROM リードモード

ROM の高速読み出しを行うためのモードです。ROM の読み出し用アドレスに対して読み出しを行った場合、ICLK 1 サイクルの高速読み出しが可能です。

ROM リードモードには、ROM/E2 データフラッシュリードモードと、E2 データフラッシュ P/E モードの 2 種類があります。

41.4.1.2 ROM/E2 データフラッシュリードモード

ROM および E2 データフラッシュの読み出しが可能なモードです。FCU コマンドは受け付けられません。FENTRYR.FENTRY0 ビットを“0”、かつ FENTRYR.FENTRYD ビットを“0”にした場合にこのモードに移行します。

41.4.1.3 ROM P/E モード

ROM へ P/E を行うモードです。ROM の高速読み出しはできません。読み出し用アドレスに対して読み出しを行った場合、ROM アクセス違反が発生して FASTAT.CMDLK ビットは“1”(コマンドロック状態)になります(「41.6.2 コマンドロック状態」を参照)。ROM P/E モードには、3 種類のモードがあります。

(1) ROM P/E ノーマルモード

ROM へ P/E をする上で最初に移行するモードです。ROM リードモード時に FENTRYR.FENTRYD ビットを“0”、かつ FENTRYR.FENTRY0 ビットを“1”にした場合、または ROM P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。表 41.11 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY0 ビットが“1”の状態 P/E 用のアドレスに対して読み出しを行った場合は、ROM アクセス違反が発生して FASTAT.CMDLK ビットは“1”(コマンドロック状態)になります(「41.6.2 コマンドロック状態」を参照)。

(2) ROM ステータスリードモード

ROM のステータスが読み出せるモードです。ROM P/E モードでステータスリードモード移行コマンドを受け付けた場合、またはノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。FSTATR0.FRDY ビットが“0”の状態や、エラー発生後に FASTAT.CMDLK ビットが“1”(コマンドロック状態)になったときも、ROM ステータスリードモード中の状態です。表 41.11 に受け付け可能なコマンドを示します。FENTRYR.FENTRY0 ビットが“1”の状態、対応する P/E 用のアドレスに対して読み出しを行った場合は、FSTATR0 レジスタの値が読めます。

(3) ROM ロックビットリードモード

ROM の読み出しでロックビットが読み出せるモードです。ROM P/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。表 41.11 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY0 ビットが“1”の状態、対応する P/E 用のアドレスに対して読み出しを行った場合は、読み出しデータの全ビットがアクセス先のブロックのロックビット値になります。

41.4.1.4 E2 データフラッシュ P/E モード

E2 データフラッシュに対する P/E を行うモードです。ROM の高速読み出しは可能ですが、E2 データフラッシュの読み出しは実行できません。このモードは E2 データフラッシュに対する FCU コマンドは受け付けませんが、ROM に対する FCU コマンドは受け付けません。FENTRYR.FENTRY0 ビットを“0”、かつ FENTRYR.FENTRYD ビットを“1”にした場合にこのモードに移行します。E2 データフラッシュ P/E モードには 3 種類のモードがあります。

(1) E2 データフラッシュ P/E ノーマルモード

E2 データフラッシュへの P/E をする上で最初に移行するモードです。ROM / E2 データフラッシュリードモード時に FENTRYR.FENTRYD ビットを“1”、かつ FENTRYR.FENTRY0 ビットを“0”にした場合、または E2 データフラッシュ P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。表 41.11 に受け付け可能なコマンドを示します。

(2) E2 データフラッシュステータスリードモード

E2 データフラッシュのステータスが読み出せるモードです。E2 データフラッシュ P/E モードでステータスリードモード移行コマンドを受け付けた場合、またはノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。FSTATR0.FRDY ビットが“0”の状態やエラー発生後に FASTAT.CMDLK ビットが“1”(コマンドロック状態)になったときも、E2 データフラッシュステータスリードモード中の状態です。表 41.11 に受け付け可能なコマンドを示します。

E2 データフラッシュ領域に対して読み出しを行った場合には、FSTATR0 レジスタの値が読み出されます。ROM に対する高速読み出しは可能です。

(3) E2 データフラッシュロックビットリードモード

E2 データフラッシュにはロックビットが存在しないので、このモードに移行してもロックビットは読み出せません。このモードに移行して E2 データフラッシュ領域を読み出した場合、E2 データフラッシュアクセス違反は発生しませんが、不定値が読めます。ROM に対する高速読み出しは可能です。

このモードには E2 データフラッシュ P/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。表 41.11 に受け付け可能なコマンドを示します。

41.4.2 FCU コマンド一覧

FCU コマンドには、FCU のモードを移行させるためのコマンドと、P/E を行うためのコマンドがあります。表 41.8 に ROM/E2 データフラッシュで使用可能な FCU コマンドの一覧を示します。

表41.8 FCUコマンド一覧

コマンド	ROM	E2データフラッシュ
P/E ノーマルモード移行	ノーマルモードに移行（「41.4.3 FCUのモードとコマンドの関係」を参照）	
ステータスリードモード移行	ステータスリードモードに移行（「41.4.3 FCUのモードとコマンドの関係」を参照）	
ロックビットリードモード移行 (ロックビットリード1)	ロックビットリードモードに移行（「41.4.3 FCUのモードとコマンドの関係」を参照）	
周辺クロック通知	FlashIFクロック（FCLK）を設定	
プログラム	ROMへのプログラム（128バイト単位）	E2データフラッシュへのプログラム（2バイト）
ブロックイレーズ	ROMのイレーズ（ブロック単位、ロックビットも同時にイレーズ）	E2データフラッシュのイレーズ（ブロック単位）
P/E サスペンド	P/Eの中断	
P/E レジューム	P/Eの再開	
ステータスレジスタクリア	FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FASTAT.CMDLK ビット (FCU コマンドロックビット)のクリア	
ロックビットリード2	指定したブロックのロックビット読み出し (FSTATR1.FLOCKST ビットにロックビットを反映)	—
ロックビットプログラム	指定したブロックのロックビットをプログラム	—
ブランクチェック	—	E2データフラッシュのブランクチェック

ROM のロックビットリード 2 コマンドは、E2 データフラッシュのブランクチェックコマンドを兼ねています。E2 データフラッシュに対してロックビットリード 2 コマンドを発行した場合は、E2 データフラッシュのブランクチェックが実行されます。

FCU コマンドの発行は、ROM P/E 用のアドレス、あるいは E2 データフラッシュのアドレスに対し、FCU コマンドを書き込むことにより行います。表 41.9 に FCU コマンドのフォーマットを示します。表 41.9 に示したアドレスへのデータの書き込みを FCU の特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU コマンドフォーマット一覧の凡例を表 41.10 に示します。また、FCU コマンドは、バイト単位でデータを書き込むものが殆どですが、一部コマンドはワード単位でデータ書き込みを行う必要があります。

FCU の特定条件については「41.4.3 FCU のモードとコマンドの関係」を、各 FCU コマンドの使用方法については「41.4.4 FCU コマンド使用方法」を参照してください。

表41.9 FCUコマンドのフォーマット

コマンド	バス サイクル数	アドレス	1サイク ル目	2サイク ル目	3サイク ル目	4サイク ル目	5サイク ル目	6サイク ル目	7~66サイ クル目	67サイ クル目
		データ								
P/Eノーマルモード移行	1	アドレス	RA	—	—	—	—	—	—	—
		データ	FFh	—	—	—	—	—	—	—
ステータスリードモード移行	1	アドレス	RA	—	—	—	—	—	—	—
		データ	70h	—	—	—	—	—	—	—
ロックビットリードモード移行 (ロックビットリード1)	1	アドレス	RA	—	—	—	—	—	—	—
		データ	71h	—	—	—	—	—	—	—
周辺クロック通知	6	アドレス	RA	RA	RA	RA	RA	RA	—	—
		データ	E9h	03h	0F0Fh (注1)	0F0Fh (注1)	0F0Fh (注1)	D0h	—	—
プログラム (ROM)	67	アドレス	RA	RA	WA	RA	RA	RA	RA	RA
		データ	E8h	40h	WDn (注1)	WDn (注1)	WDn (注1)	WDn (注1)	WDn (注1)	D0h
プログラム (E2データフラッシュ)	4	アドレス	RA	RA	WA	RA	—	—	—	—
		データ	E8h	01h	WDn (注1)	D0h	—	—	—	—
ブロックイレーズ	2	アドレス	RA	BA	—	—	—	—	—	—
		データ	20h	D0h	—	—	—	—	—	—
P/Eサスペンド	1	アドレス	RA	—	—	—	—	—	—	—
		データ	B0h	—	—	—	—	—	—	—
P/Eレジューム	1	アドレス	RA	—	—	—	—	—	—	—
		データ	D0h	—	—	—	—	—	—	—
ステータスレジスタクリア	1	アドレス	RA	—	—	—	—	—	—	—
		データ	50h	—	—	—	—	—	—	—
ロックビットリード2 (ROM)	2	アドレス	RA	BA	—	—	—	—	—	—
		データ	71h	D0h	—	—	—	—	—	—
ブランクチェック (E2データフラッシュ)	2	アドレス	RA	BA	—	—	—	—	—	—
		データ	71h	D0h	—	—	—	—	—	—
ロックビットプログラム (ROM)	2	アドレス	RA	BA	—	—	—	—	—	—
		データ	77h	D0h	—	—	—	—	—	—

注1. ワードサイズでデータを書き込んでください。

表41.10 FCUコマンドのフォーマットの凡例

凡例		ROM	E2データフラッシュ
アドレス	RA	対象ROM領域内の任意P/E用アドレス (注1)	E2データフラッシュ内の任意アドレス
	WA	プログラム先のP/E用アドレス (128バイトアライメント)	プログラム先のアドレス (2バイトアライメント)
	BA	イレーズ対象ブロック内の任意P/E用アドレス	イレーズ対象ブロック内の任意アドレス
データ	WDn	プログラムするデータのnワード目(n=1~64)	プログラムするデータのnワード目(n=1)
	その他	対象アドレスへ発行するコマンド	

注1. 指定可能なP/E用アドレスは、ROM容量およびFENTRYRレジスタの値により異なります。ROM容量については「41.1.1 ROMの領域構成」を、FENTRYRレジスタについては「41.2.12 フラッシュP/Eモードエントリレジスタ(FENTRYR)」を参照してください。

41.4.3 FCU のモードとコマンドの関係

受け付け可能な FCU コマンドは FCU のモードごとに決められています。また、それらモードにおける FCU の状態によっても受け付け可能なコマンドは変わります。

FCU コマンドの発行は、FCU のモードを移行させた後、FCU の状態を確認してから発行する必要があります。表 41.11 に FCU のモードおよび状態で受け付け可能なコマンドを示します。受け付け不可能なコマンドが発行された場合には、FASTAT.CMDLK ビットは“1”(コマンドロック状態)になります(「41.6.2 コマンドロック状態」を参照)。FCU コマンドの発行は、受け付け可能なモードに移行した後、FSTAT0.FR DY, ILGLERR, ERSERR, PRGERR ビットと FSTAT1.FCUERR ビットの値を確認してから行ってください。なお、FASTAT.CMDLK ビットの値により、エラーの発生有無を確認することもできます。FASTAT.CMDLK ビットの値は、FSTAT0.ILGLERR, ERSERR, PRGERR ビットと FSTAT1.FCUERR ビットの値の論理和です。

表 41.11 FCU のモード/状態と受け付け可能なコマンドの関係 (ROM P/EモードおよびE2データフラッシュ P/Eモード)

	P/Eノーマルモード			ステータスリードモード									ロックビットリードモード			
	プログラムサスペンド中	イレーズサスペンド中	その他の状態	P/Eの処理中	イレーズサスペンド中のプログラム処理中	P/Eの中断処理中	ロックビットリード2処理中 (ROM)	ブランクチェック処理中 (E2データフラッシュ)	プログラムサスペンド中	イレーズサスペンド中	コマンドロック状態 (FRDY=0)	コマンドロック状態 (FRDY=1)	その他の状態	プログラムサスペンド中	イレーズサスペンド中	その他の状態
FSTAT0.FR DY ビット	1	1	1	0	0	0	0	0	1	1	0	1	1	1	1	1
FSTAT0.SUSR DY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
FSTAT0.ERSSPD ビット	0	1	0	0	1	0/1	0/1	0/1	0	1	0/1	0/1	0	0	1	0
FSTAT0.PRGSPD ビット	1	0	0	0	0	0/1	0/1	0/1	1	0	0/1	0/1	0	1	0	0
FASTAT.CMDLK ビット	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットリードモード移行 (ロックビットリード1)	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	×	×	×	○	×	×	○
プログラム	×	△	○	×	×	×	×	×	×	△	×	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	×	×	×	○	×	×	○
P/Eサスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×	×
P/Eレジャーム	○	○	×	×	×	×	×	×	○	○	×	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	×	×	○	○	×	○	○	○	○	○
ロックビットリード2(ROM)	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットプログラム(ROM)	×	△	○	×	×	×	×	×	×	△	×	×	○	×	△	○
ブランクチェック (E2データフラッシュ)	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○

○ : 受け付け可能、△ : イレーズを中断したブロック以外へのプログラムのみ受け付け可能、× : 受け付け不可能

41.4.4 FCU コマンド使用方法

FCU コマンドには、FCU のモードを移行するコマンド、実際に ROM / E2 データフラッシュに P/E を行うコマンド、エラー処理のコマンド、サスペンド / レジュームのコマンドがあります。以下に各コマンドの説明をします。それぞれのコマンドの受け付け可能モードおよび状態については、「41.4.3 FCU のモードとコマンドの関係」を参照してください。

41.4.4.1 モード移行

ここではモード移行に関するコマンドを説明します。各モード移行の関係は、図 41.4 を参照してください。

(1) ROM リードモードおよび ROM / E2 データフラッシュリードモード移行方法

ROM の高速読み出しを行うためには、FENTRYR.FENRTY0 ビットを“0”にして、FCU を ROM リードモードに設定し、FWEPROR レジスタにバイトで“02h”を書き込み、P/E 不可能状態にする必要があります（「41.2.1 フラッシュ P/E プロテクトレジスタ (FWEPROR)」を参照）。ROM P/E モードから ROM リードモードへの移行は、FCU のコマンド処理が完了し、かつ FCU がエラー検出していない状態で実施してください。

また、ROM / E2 データフラッシュリードモードへ移行するためには、FENTRYR.FENRTY0 ビットと FENTRYD ビットを“0”にする必要があります。

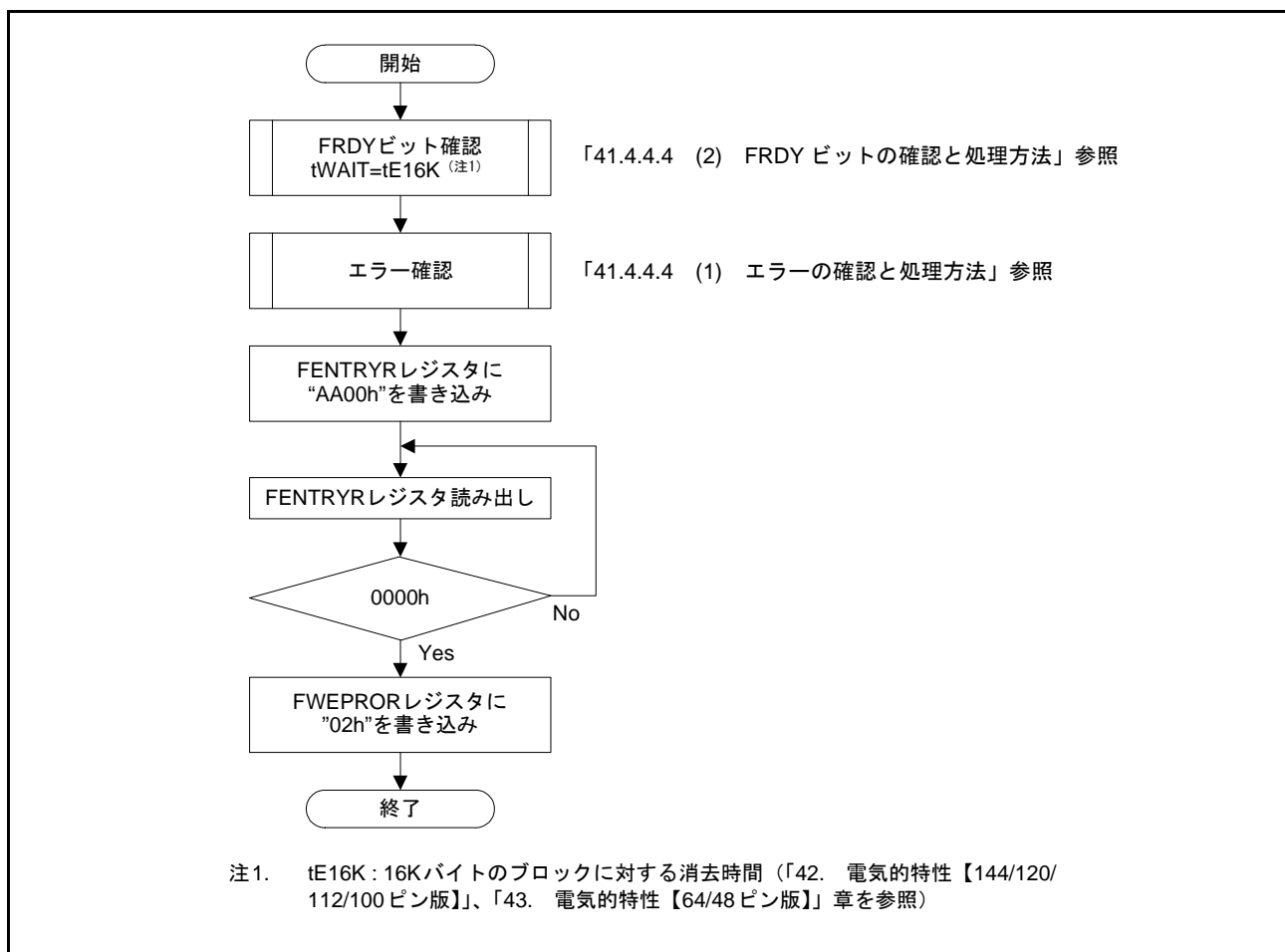


図 41.5 ROM リードモードおよび ROM / E2 データフラッシュリードモード移行フロー

(2) P/E モード移行方法

ROM の P/E 関連の FCU コマンドを実行するためには、ROM P/E モードに移行する必要があります。ROM P/E モードに移行するためには、P/E を行う ROM のアドレスに対応した FENTRYR.FENTRY0 ビットを“1”にします。

E2 データフラッシュの P/E 関連の FCU コマンドを実行するためには、E2 データフラッシュ P/E モードに移行する必要があります。E2 データフラッシュ P/E モードに移行するためには、FENTRYR.FENTRYD ビットを“1”にします。

P/E を行う場合は、FWEPROR レジスタにバイトで“01h”を書き込み、P/E 可能状態にしてください（「41.2.1 フラッシュ P/E プロテクトレジスタ (FWEPROR)」を参照）。

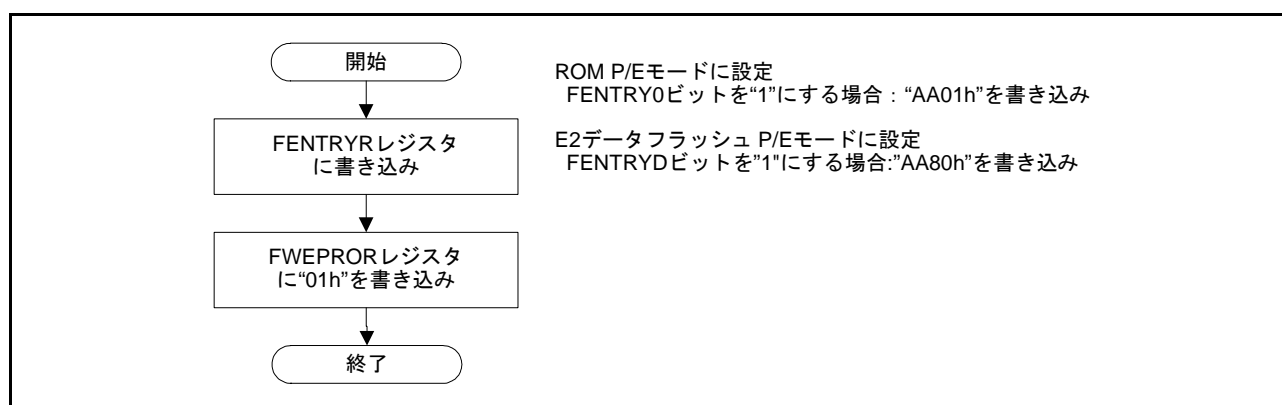


図 41.6 ROM P/E モードおよび E2 データフラッシュ P/E モード移行フロー

(3) P/E ノーマルモード移行方法

P/E ノーマルモードへの移行方法には、ROM/E2 データフラッシュリードモード時に FENTRYR レジスタを設定する方法（「41.4.1 FCU のモード」を参照）と、P/E モード時にノーマルモード移行コマンドを発行する方法（図 41.7）があります。ノーマルモード移行コマンドを発行するには、ROM P/E 用のアドレスあるいは E2 データフラッシュのアドレスに“FFh”を書いてください。

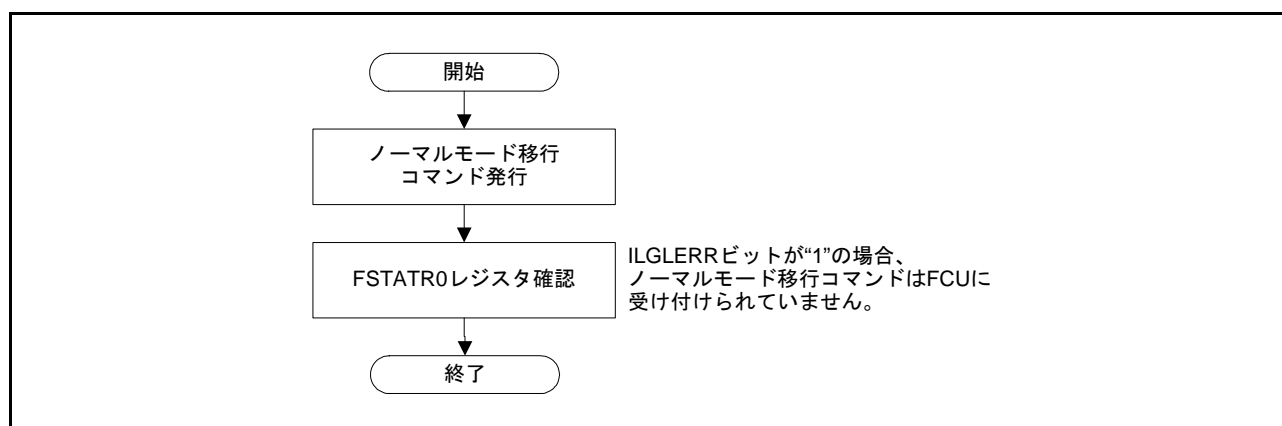


図 41.7 ROM P/E ノーマルモード移行フロー

(4) ステータスリードモード移行方法

ステータスリードモード移行コマンドを発行した場合、またはノーマルモード移行、ロックビットリードモード移行以外のFCUコマンドを発行した場合に、FCUはステータスリードモードに移行します。図41.8にFSTATR0レジスタの確認の例を示します。この例はステータスリードモード移行コマンドを発行してROMステータスリードモードに移行した後で、ROM P/E用あるいはE2データフラッシュのアドレスに対して読み出しを行い、FSTATR0の内容を確認しています。

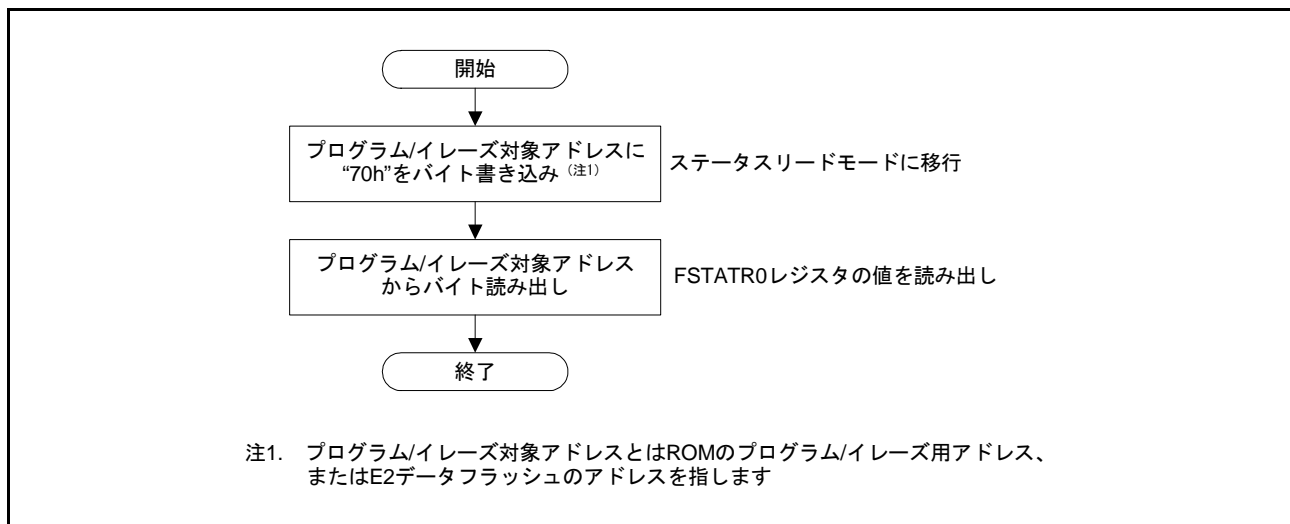


図 41.8 ROM ステータスリードモード移行フローおよびステータスの確認方法

(5) ロックビットリードモード移行方法

FMODR.FRDMビットが“0”（メモリ領域リード方式）で、ロックビットリードモード移行コマンド（ロックビットリード1）を発行することで移行します。ロックビットリードモードに移行後にROM P/E用のアドレスに対して読み出しを行うと、アクセス先に対応するブロックのロックビットが読み出され、読み出しデータの全ビットにコピーされます（図41.9）。

E2データフラッシュにはロックビットが存在しないため、ロックビットリードモードに移行後にE2データフラッシュ領域に対して読み出しを行った場合には、読み出しデータは不定値になります

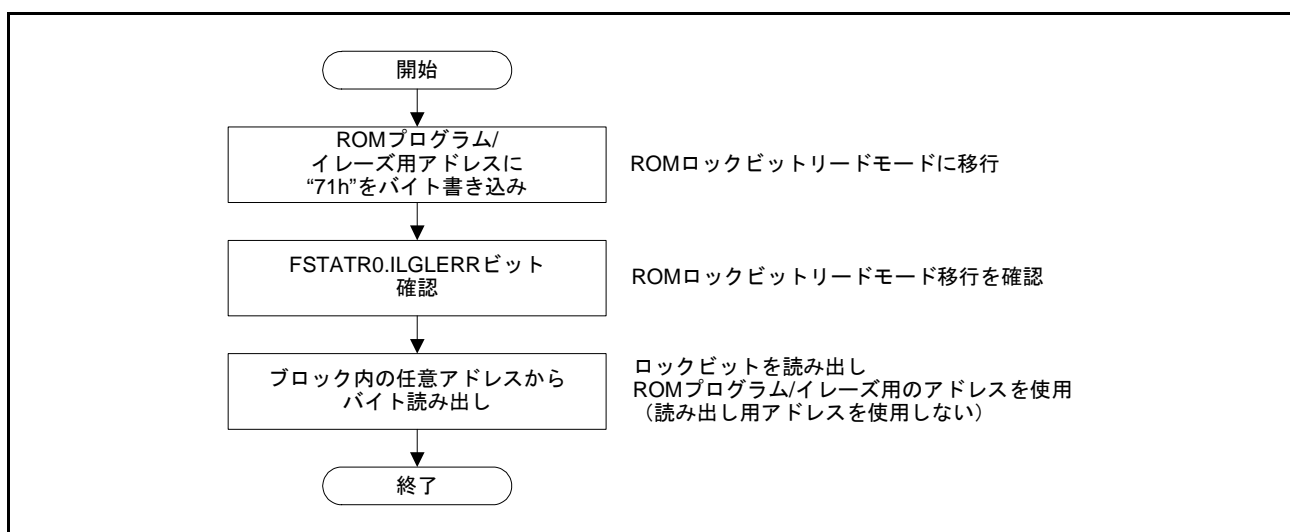


図 41.9 ROM ロックビットリードモード移行フローおよびロックビットを読む方法

41.4.4.2 P/E 方法手順

ここではROM/E2データフラッシュへのP/Eのフローについて説明します。FCUのコマンド受け付け条件については、「41.4.3 FCUのモードとコマンドの関係」を参照してください。

図 41.10 に FCU コマンドの概略フローを示します。

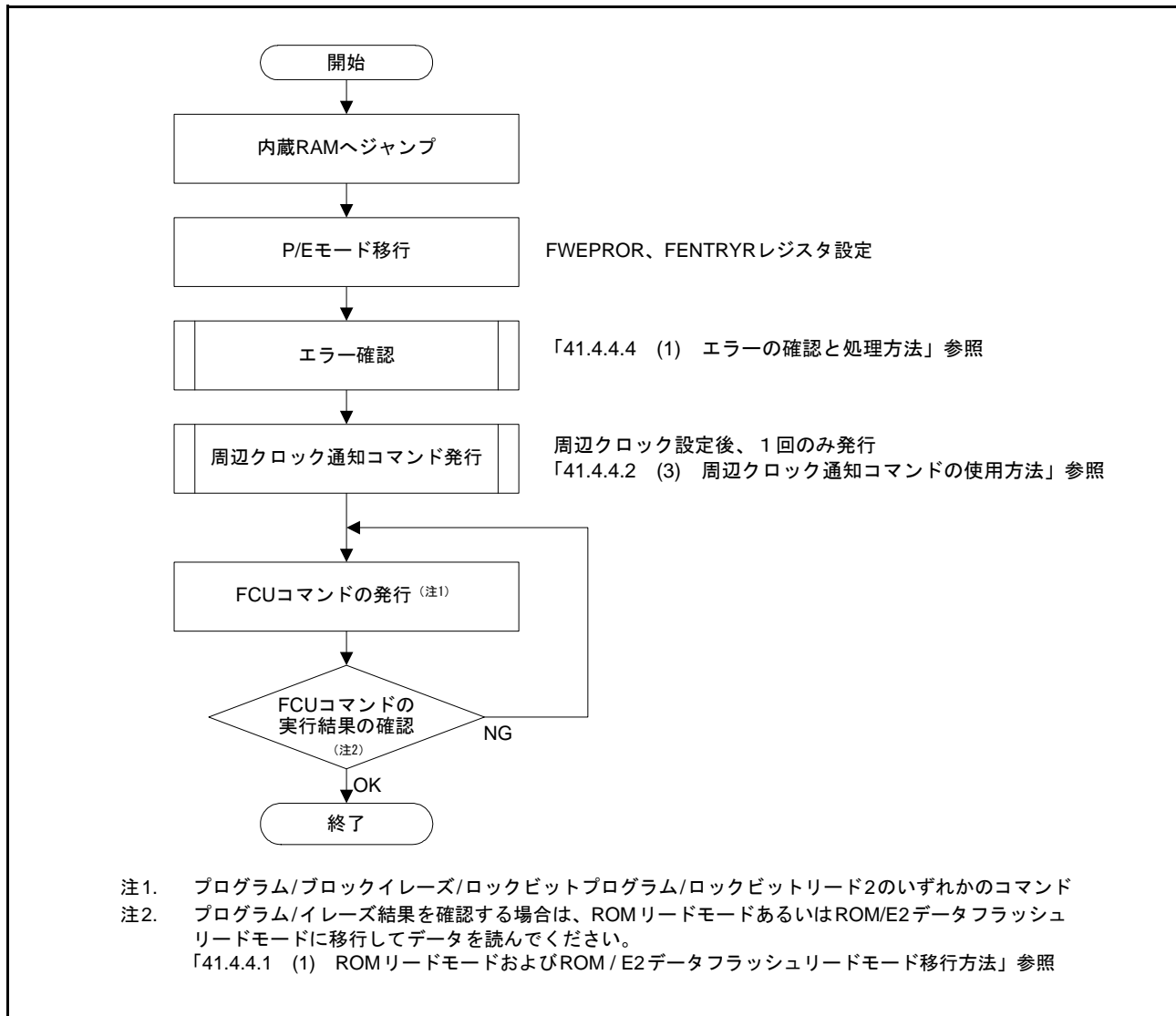


図 41.10 P/E 処理の概略フロー

(1) 内蔵 RAM へのジャンプ

ROM への P/E を行う場合、ROM に対する命令フェッチを実行させないため、命令フェッチ番地を ROM 以外の領域に移す必要があります。必要な命令コードを内蔵 RAM へコピーして内蔵 RAM へジャンプしてください。

(2) P/E モード移行

FENTRYR.FENTRY0, FENTRYD ビット、FWEPROR レジスタを設定して、FCU を P/E モードに設定する必要があります。詳細は「41.4.4.1 (2) P/E モード移行方法」を参照してください。

(3) 周辺クロック通知コマンドの使用法

ROM/E2 データフラッシュへの P/E 前に、使用している FlashIF クロック (FCLK) の周波数を PCKAR レジスタに設定する必要があります。設定可能な周波数の範囲は 1 ~ 100MHz です。この範囲に設定しなかった場合には、FCU はエラーを検出し、FASTAT.CMDLK ビットは“1”(コマンドロック状態)になります(「41.6.2 コマンドロック状態」を参照)。なお、PCKAR.PCKA[7:0] ビットが 4MHz ~ 50MHz の範囲外に設定された場合は、ROM/E2 データフラッシュに対する書き換えコマンドを発行しないでください。

PCKAR レジスタの設定後に周辺クロック通知コマンドを使用します。周辺クロック通知コマンドの第 1 サイクルでは“E9h”を、第 2 サイクルでは“03h”を ROM P/E 用あるいは E2 データフラッシュのアドレスに書きます。コマンドの第 3 サイクル~第 5 サイクルでは、“0F0Fh”を ROM P/E 用あるいは E2 データフラッシュのアドレスにワードサイズで 3 回書きます。ROM P/E 用あるいは E2 データフラッシュのアドレスに対して“0F0Fh”データの 3 回ワード書き込みを実行後、第 6 サイクルで ROM P/E 用あるいは E2 データフラッシュのアドレスに対して“D0h”を書くと、FCU が周辺クロックの周波数設定処理を開始します。設定完了は、FSTATR0.FRDY ビットで確認可能です。

ROM の場合、第 1 サイクル~第 6 サイクルで指定可能なアドレスは、FENTRYR.FENTRY0 ビットの設定によって異なります。FENTRYR.FENTRY0 ビットに対応したアドレスを指定してください。FENTRYR レジスタで P/E モードに指定されていない領域のアドレスに対してコマンドを発行した場合には、FCU はエラーを検出し、FASTAT.CMDLK ビットは“1”(コマンドロック状態)になります(「41.6.2 コマンドロック状態」を参照)。なお、周辺クロック通知コマンドによる設定は、使用している周辺クロックを変更しない限り、リセット後 1 回の実行で後続の FCU コマンドで有効となります。

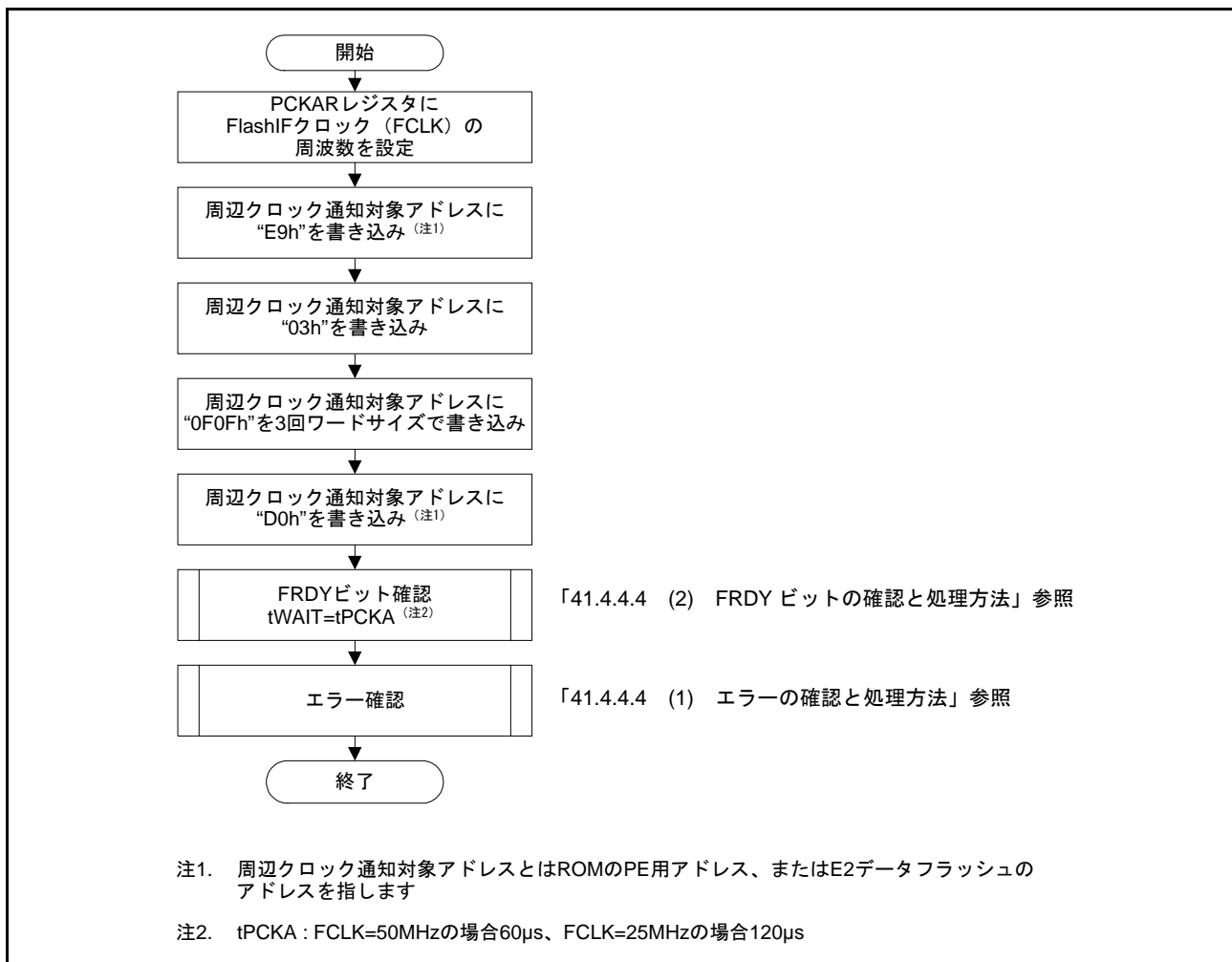


図 41.11 周辺クロック通知コマンドの使用法

(4) プログラム方法

ROM/E2 データフラッシュへプログラムを行うには、プログラムコマンドを使用します。

- ROM へのプログラム方法

プログラムコマンドの第1サイクルでは“E8h”を、第2サイクルでは“40h”をROM P/E用のアドレスに書きます。第3サイクルでは、プログラム対象領域の先頭アドレスに対してプログラムデータをワードサイズで書いてください。この際、先頭アドレスは128バイト境界にアラインしたアドレスを使用してください。第4サイクル～第66サイクルでは、ROM P/E用のアドレスに対してプログラムデータをワードサイズで63回書いてください。第67サイクルでROM P/E用のアドレスに対して“D0h”を書くと、FCUがROMへのプログラムを開始します。プログラムの完了は、FSTAT0.FRDYビットで確認可能です。

第1サイクル～第67サイクルで指定可能なアドレスは、FENTRYR.FENTRY0ビットの設定によって異なります。FENTRYR.FENTRY0ビットに対応したアドレスを指定してください。FENTRYRレジスタでP/Eモードに指定されていない領域のアドレスに対してコマンドを発行した場合には、FCUはエラーを検出し、FASTAT.CMDLKビットは“1”(コマンドロック状態)になります(「41.6.2 コマンドロック状態」を参照)。

第3サイクル～第66サイクルでアクセスする領域にプログラムが不要なアドレスが含まれる場合は、該当アドレスに対するプログラムデータを“FFFFh”にしてください。また、ロックビットによるプロテクトが有効となっているブロックにプログラムする場合、FPROTR.FPROTCNビットを“1”にする必要があります。

- E2 データフラッシュへのプログラム方法

プログラムコマンドの第1サイクルでは“E8h”を、第2サイクルでは“01h”をE2データフラッシュ領域のアドレスに書きます。第3サイクルでは、プログラム対象領域の先頭アドレスに対してプログラムデータをワードサイズで書いてください。この際、先頭アドレスは、2バイト境界にアラインしてください。E2データフラッシュ領域のアドレスに対して1回のプログラムを実行後、第4サイクルでE2データフラッシュ領域のアドレスに対して“D0h”を書くと、FCUがE2データフラッシュへのプログラムを開始します。プログラムの完了は、FSTAT0.FRDYビットで確認可能です。また、DFLWEyレジスタ(y=0,1)の設定により、P/Eが禁止となっているブロックにプログラムをする場合、DFLWEyレジスタ(y=0,1)の該当するビットを“1”にする必要があります。

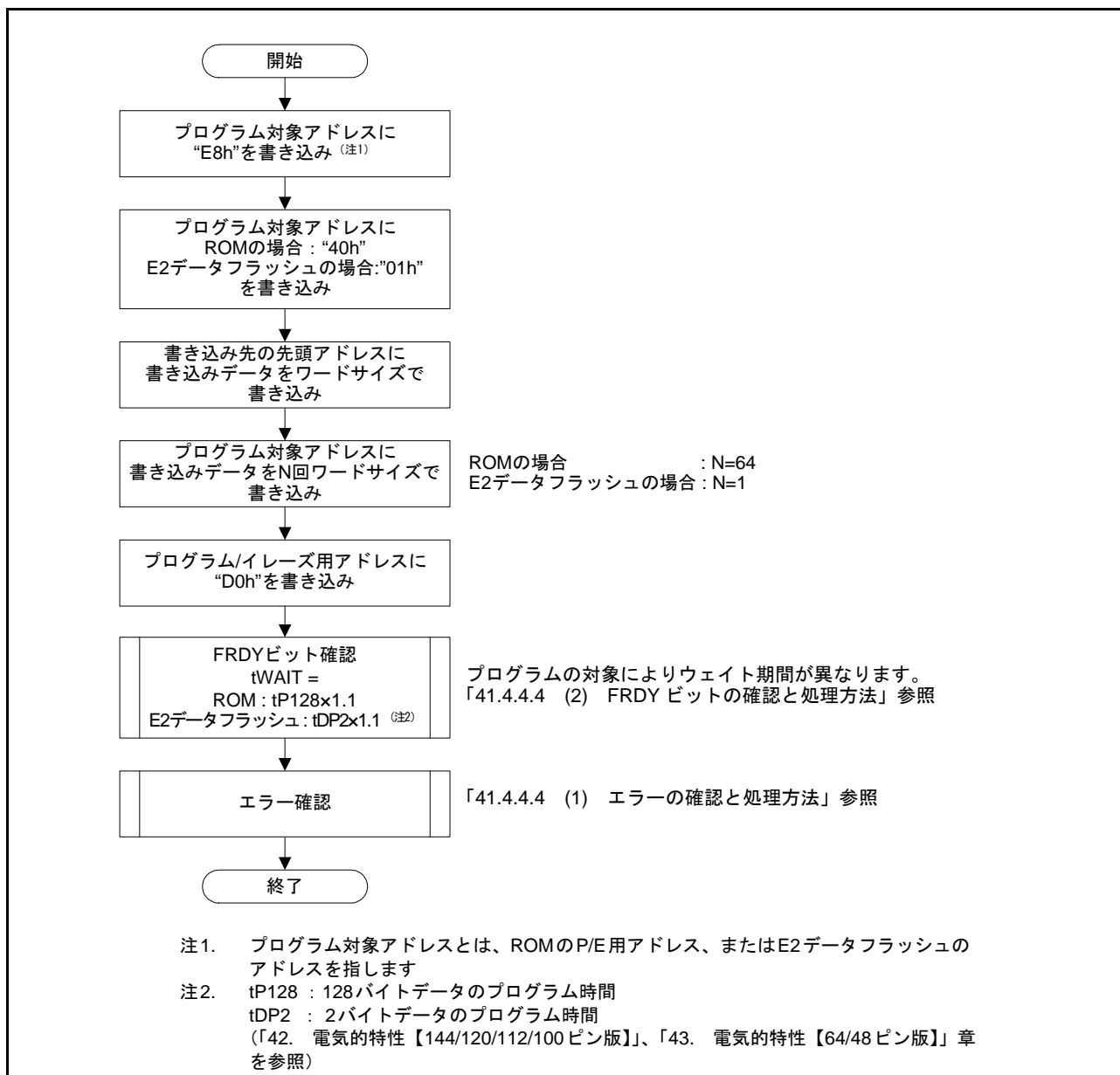


図 41.12 ROM / E2 データフラッシュへのプログラム方法

(5) イレーズ方法

ROM/E2 データフラッシュのイレーズには、ブロックイレーズコマンドを使用します。

ブロックイレーズコマンドの第1サイクルでは、“20h”をROM P/E用あるいはE2 データフラッシュのアドレスに書きます。第2サイクルで“D0h”をイレーズ対象ブロック内の任意アドレスに書くと、FCUがROM/E2 データフラッシュのイレーズ処理を開始します。イレーズの完了は、FSTATR0.FRDY ビットで確認可能です。CPU でイレーズされた状態のROM を読むと32ビットで“FFFF FFFFh”が読めます。E2 データフラッシュの場合は不定値が読めます。ROM の場合、ロックビットによるプロテクトが有効となっているブロックをイレーズするには、FPROTR.FPROTCN ビットを“1”にする必要があります。

E2 データフラッシュには、DFLWEy レジスタ (y = 0,1) による P/E プロテクト機能があることに注意してください。DFLWEy レジスタ (y=0,1) の設定により、P/E が禁止となっているブロックをイレーズする場合、DFLWEy レジスタ (y=0,1) の該当するビットを“1”にする必要があります。

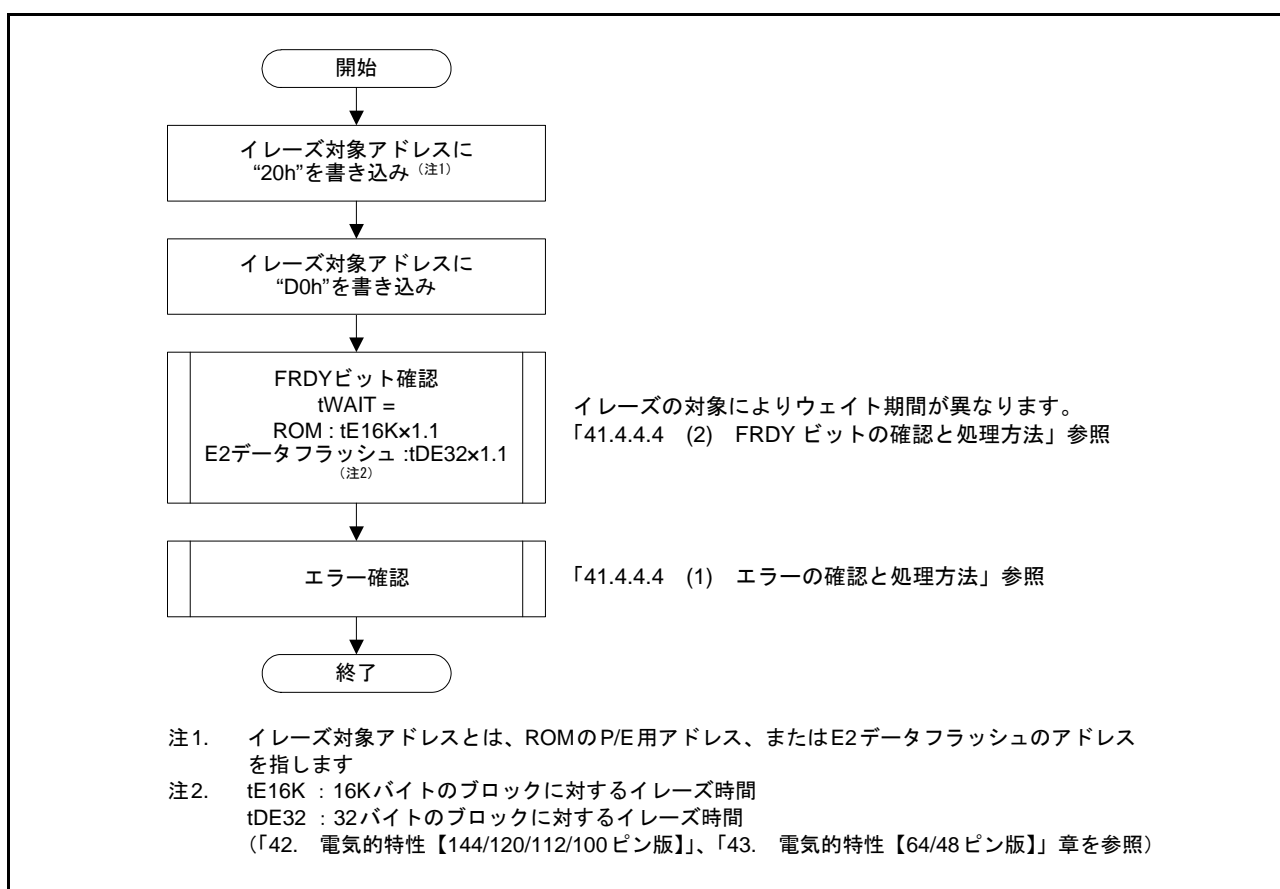


図 41.13 ROM/E2 データフラッシュのイレーズ方法

(6) ロックビットの P/E 方法

ロックビットプログラムはROMに対してのみ実行可能です。ユーザ領域の各ブロックにはロックビットが内蔵されています。ロックビットプログラムを行いたい場合には、ロックビットプログラムコマンドを使用します。ロックビットプログラムコマンドの第1サイクルでは、“77h”をROM P/E用アドレスに書き込みます。第2サイクルでロックビットをプログラムするブロック内の任意アドレスに対して“D0h”を書くと、FCUがロックビットプログラムを開始します。ロックビットプログラムの完了は、FSTATR0.FRDYビットで確認可能です。

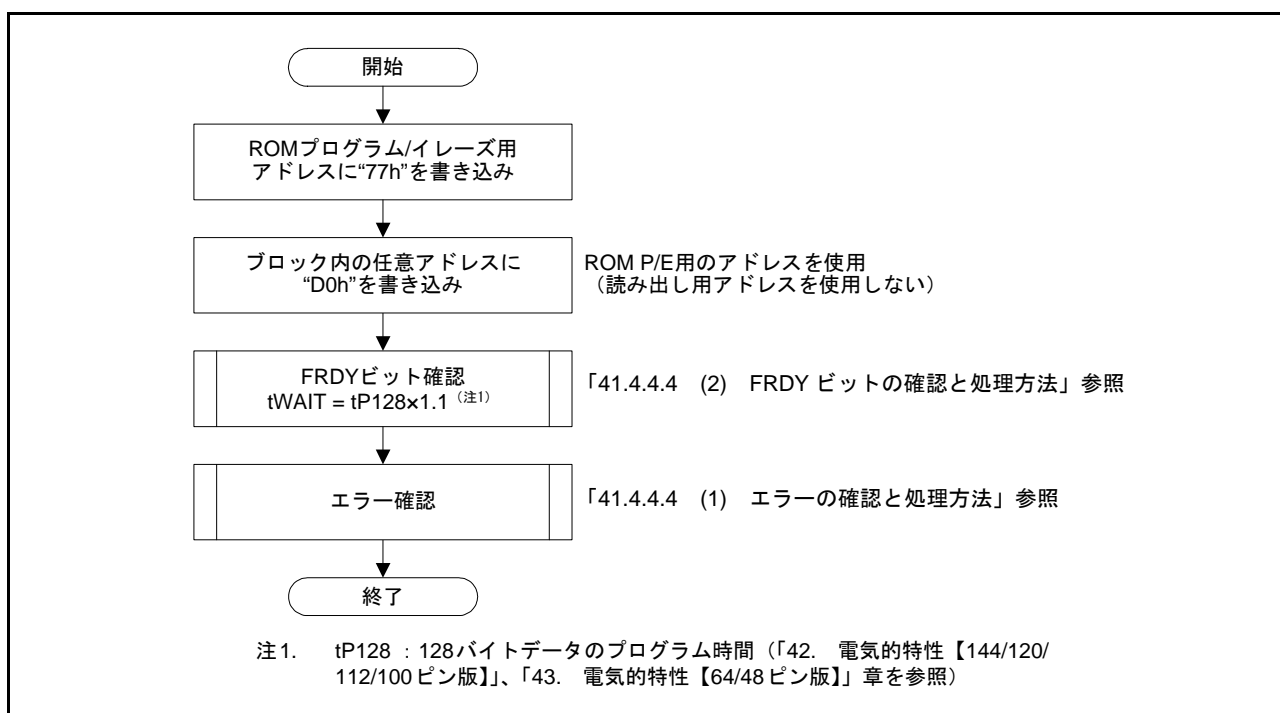


図 41.14 ロックビットのプログラムの設定方法

ロックビットの解除には、ブロックイレーズコマンドを使用します。

FPROTR.FPROTCN ビットが“0”の状態では、ロックビットが“0”になったブロックをイレーズすることができません。ロックビットを解除する場合には、FPROTCN ビットを“1”にした状態でブロックイレーズコマンドを発行してください。ブロックイレーズコマンドを使用するとブロック内の全データがイレーズされます。ロックビットのみをイレーズすることはできません。

(7) ロックビットの読み出し方法

ロックビットの読み出しはROMに対してのみ実行可能です。ロックビットの読み出し方法には、メモリ領域リード方式とレジスタリード方式があります。

レジスタリード方式（FMODR.FRDMMD ビットが“1”）の場合には、ロックビットリード2コマンドを使用します。ロックビットリード2コマンドは、ロックビットを読み出すブロックのP/E用アドレスに発行します。ロックビットリード2コマンドの第1サイクルでは“71h”を、第2サイクルでは“D0h”を書くと、対応するブロックのロックビットがFSTATR1.FLOCKST ビットにコピーされます。

メモリ領域リード方式（FMODR.FRDMMD ビットが“0”）の場合には、ロックビットリードモードに移行し、ROMのP/E用アドレスを読むことを行います。詳細については、「[図 41.9 ROM ロックビットリードモード移行フローおよびロックビットを読む方法](#)」を参照してください。

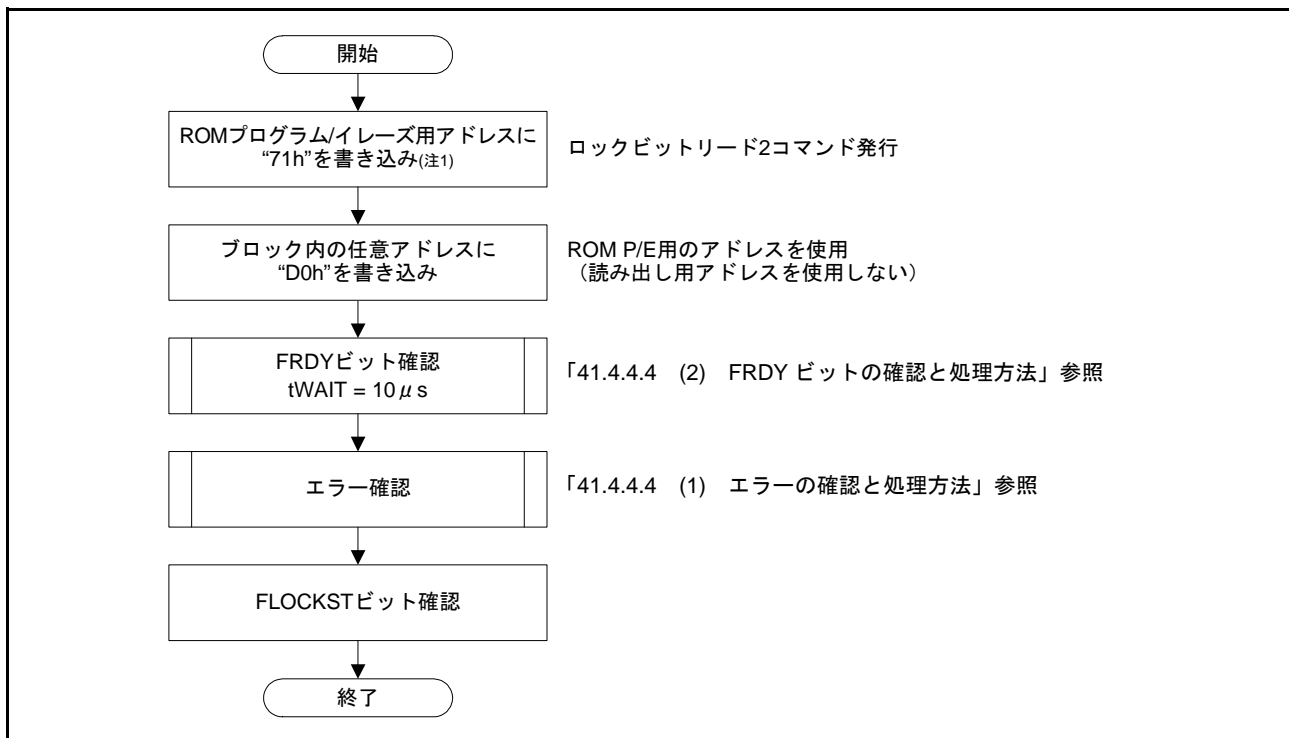


図 41.15 レジスタリード方式でロックビットを読み出す方法

(8) ブランクチェック

ブランクチェックはE2データフラッシュに対してのみ実行可能です。イレーズされたE2データフラッシュ領域をCPUで読んだ場合、その値は不定なので、イレーズされていることを確認するにはブランクチェックコマンドを使用する必要があります。ブランクチェックコマンドを使用する場合には、事前にFMODR.FRDMMDビットを“1”にしてブランクチェックコマンドが使用可能な状態にし、DFLBCCNTレジスタにチェック対象領域のサイズとアドレスを設定してください。DFLBCCNT.BCSIZEビットが“1”の場合、ブランクチェックコマンドの第2サイクルで指定したブロック全体（2Kバイト）のブランクチェックを実行できます。BCSIZEビットが“0”の場合、ブランクチェックコマンドの第2サイクルで指定したブロックの先頭アドレスと、DFLBCCNTレジスタの値を加算したアドレスから2バイト分の領域のブランクチェックを実行できます。ブランクチェックコマンドの第1サイクルでは、“71h”をE2データフラッシュ領域のアドレスに書き込みます。コマンドの第2サイクルでブランクチェック対象領域を含むブロック内の任意アドレスに“D0h”を書くと、FCUがE2データフラッシュのブランクチェック処理を開始します。ブランクチェックの完了は、FSTAT0.FRDYビットで確認できます。ブランクチェックの完了後にDFLBCSTAT.BCSTビットの値を確認すると、チェック対象領域がイレーズされているか、あるいは“0”か“1”が書かれているかを確認することができます。

図 41.16 に E2 データフラッシュのブランクチェック方法を示します。

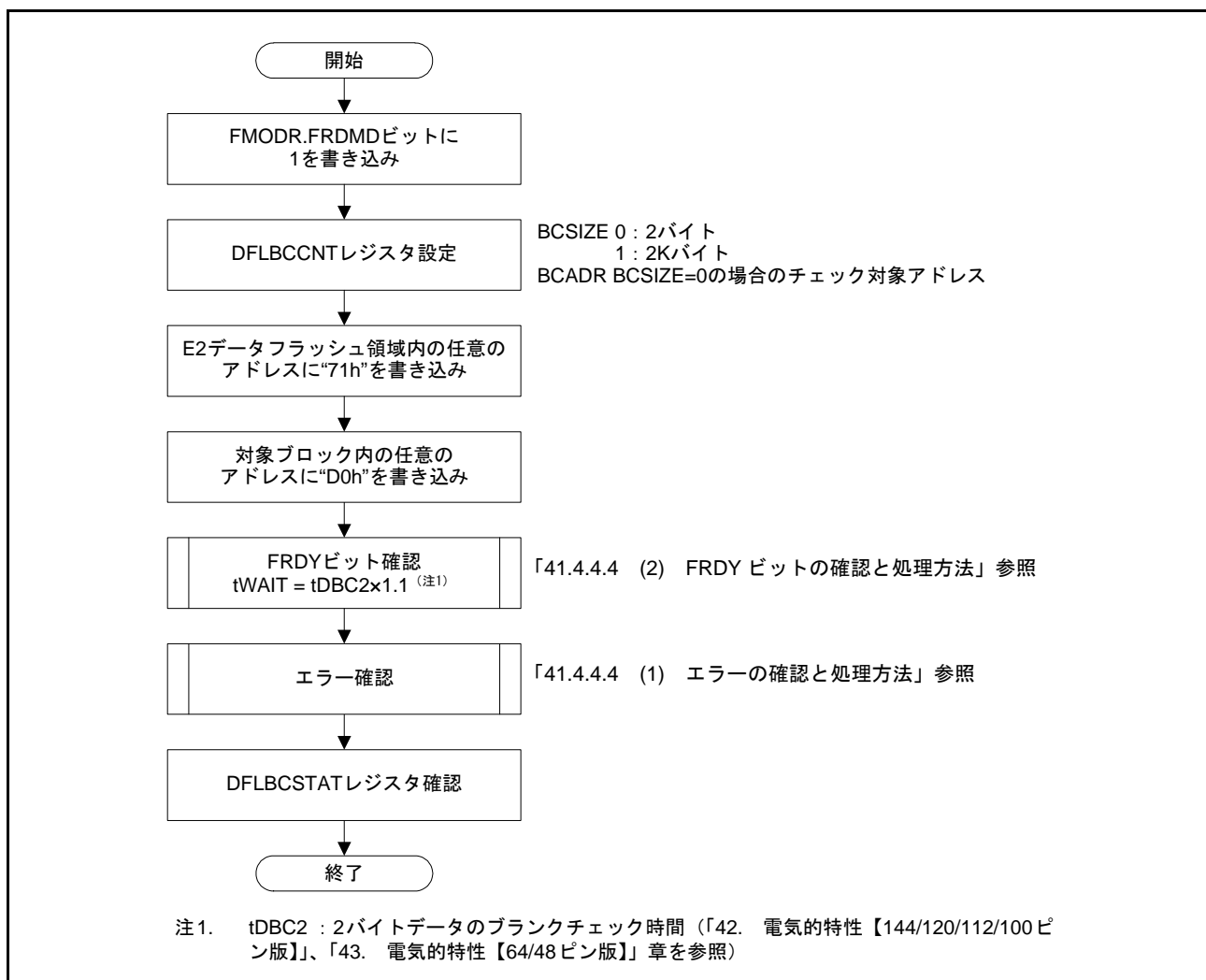


図 41.16 E2 データフラッシュのブランクチェック

41.4.4.3 サスペンド/レジューム

(1) P/E のサスペンド方法

ROM/E2 データフラッシュへの P/E の中断には、P/E サスペンドコマンドを使用します。

P/E サスペンドコマンドを発行する場合には、事前に FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットが“0”で P/E 処理が正常に実行されていることを確認してください。また、サスペンドコマンドが受け付け可能であることを確認するために、FSTATR0.SUSRDY ビットが“1”であることも確認してください。P/E サスペンドコマンドの発行後は、FSTATR0 レジスタと FSTATR1 レジスタを読んでエラーが発生していないことを確認してください。

P/E 処理中に異常が発生した場合には、ILGLERR、PRGERR、ERSERR、FCUERR ビットのうち少なくとも 1 つのビットが“1”になります。また、SUSRDY ビットが“1”であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間に P/E 処理が完了していた場合には、発行した P/E サスペンドコマンドが不正コマンドとして検出されるため ILGLERR ビットが“1”になります。

P/E サスペンドコマンドの受け付けと P/E 処理の完了が同時であった場合にはエラーは発生せず、サスペンド状態にも遷移しません (FSTATR0.FRDY ビットが“1”、かつ FSTATR0.ERSSPD, PRGSPD ビットが“0”)。P/E サスペンドコマンドが受け付けられて、P/E の中断処理が正常に終了した場合には、FCU がサスペンド状態に遷移して FRDY ビットが“1”、かつ ERSSPD ビットまたは PRGSPD ビットが“1”になります。P/E サスペンドコマンド発行後には、FRDY ビットが“1”、かつ ERSSPD ビットまたは PRGSPD ビットが“1”で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生し、FSTAT.CMDLK ビットは“1”(コマンドロック状態)になります (「41.6.2 コマンドロック状態」を参照)。

イレーズサスペンド状態に遷移した場合には、イレーズ対象外のブロックにプログラムできます。また、P/E サスペンド状態ともに、FENTRYR レジスタをクリアすることにより、ROM リードモードに移行することも可能です。

P/E サスペンドコマンド受け付け時の FCU 動作の内容については、「41.5 サスペンド動作」を参照してください。

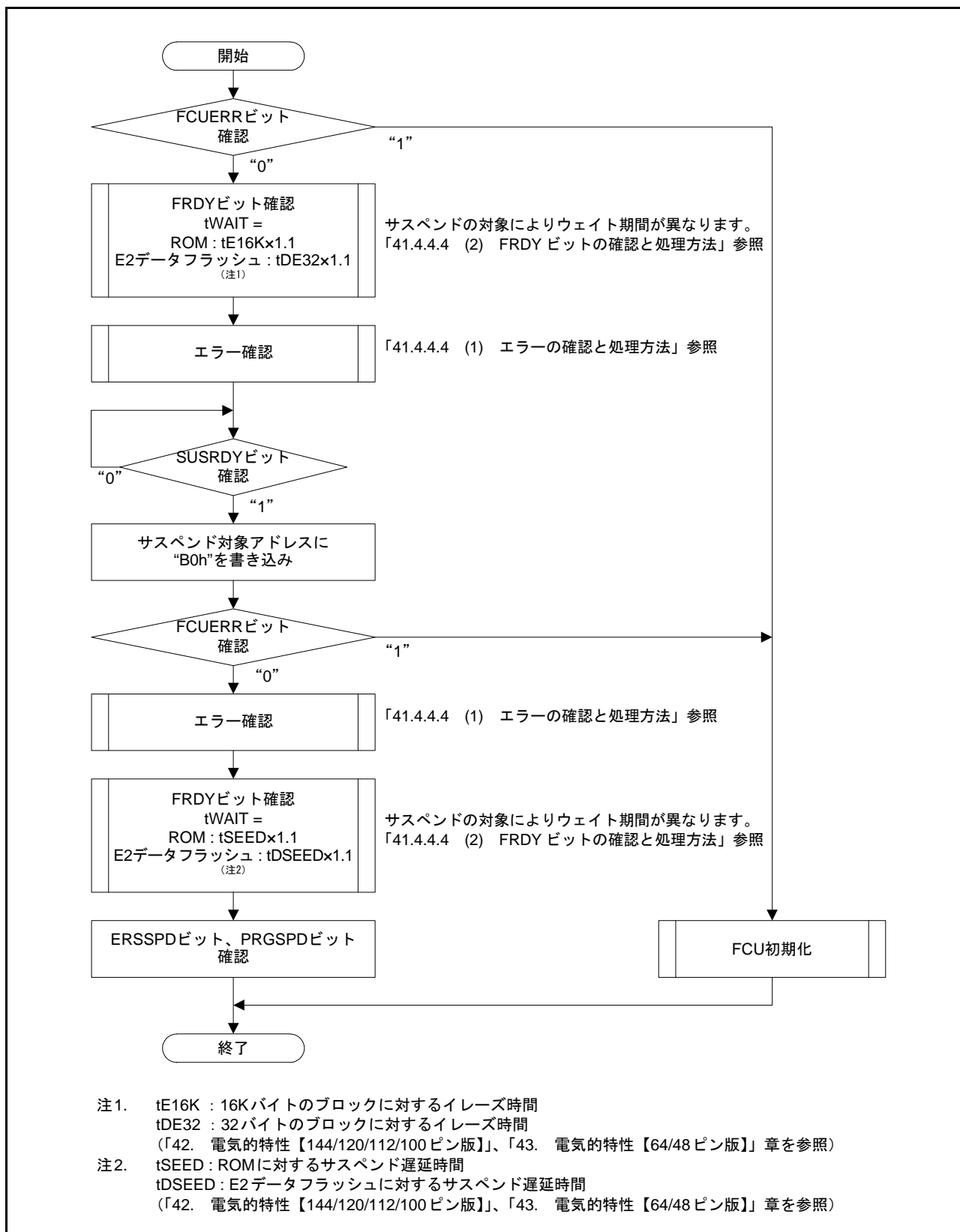


図 41.17 P/E のサスペンド方法

(2) P/E のレジューム方法

サスペンドした P/E 処理を再開する場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に FENTRYR レジスタを P/E サスペンドコマンド発行直前の値に再設定してください。

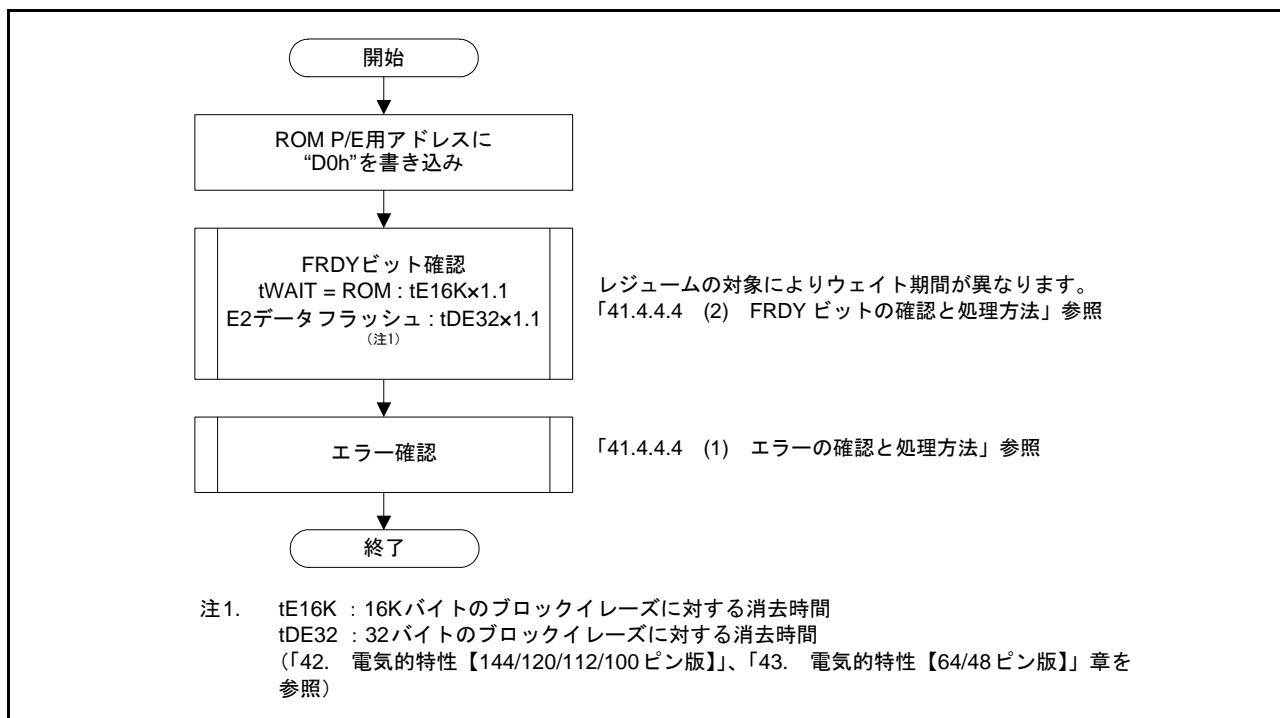


図 41.18 P/E のレジューム方法

41.4.4.4 エラーおよびFRDYビットの確認と処理方法

エラーおよびFRDYビットの確認と処理方法を説明します。各種エラーの内容は「41.6 プロテクト」を参照してください。

(1) エラーの確認と処理方法

- フラッシュステータスレジスタ0 (FSTATR0) の確認方法

FSTATR0レジスタの確認方法には、FSTATR0レジスタを直接読み出す方法と、ROMステータスリードモードでROM P/E用アドレスを読み出す方法があります。ROMステータスリードモードで読み出す方法は、「41.4.4.1 (4) ステータスリードモード移行方法」を参照してください。

- フラッシュステータスレジスタ0 (FSTATR0) のクリア方法

FSTATR0.ILGLERR, ERSERR, PRGERR ビットを“0”にする場合には、ステータスレジスタクリアコマンドを使用します。FSTATR0.ILGLERR, ERSERR, PRGERR ビットのいずれかが“1”の場合には、FASTAT.CMDLK ビットは“1”(コマンドロック状態)になり、ステータスレジスタクリアコマンド以外のFCU コマンドを受け付けません。ILGLERR ビットが“1”の場合には、FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットの値も確認してください。これらのビットをクリアせずにステータスレジスタクリアコマンドを発行しても、ILGLERR ビットは“0”になりません。

図 41.19 にエラー発生の確認とその後の処理方法について示します。

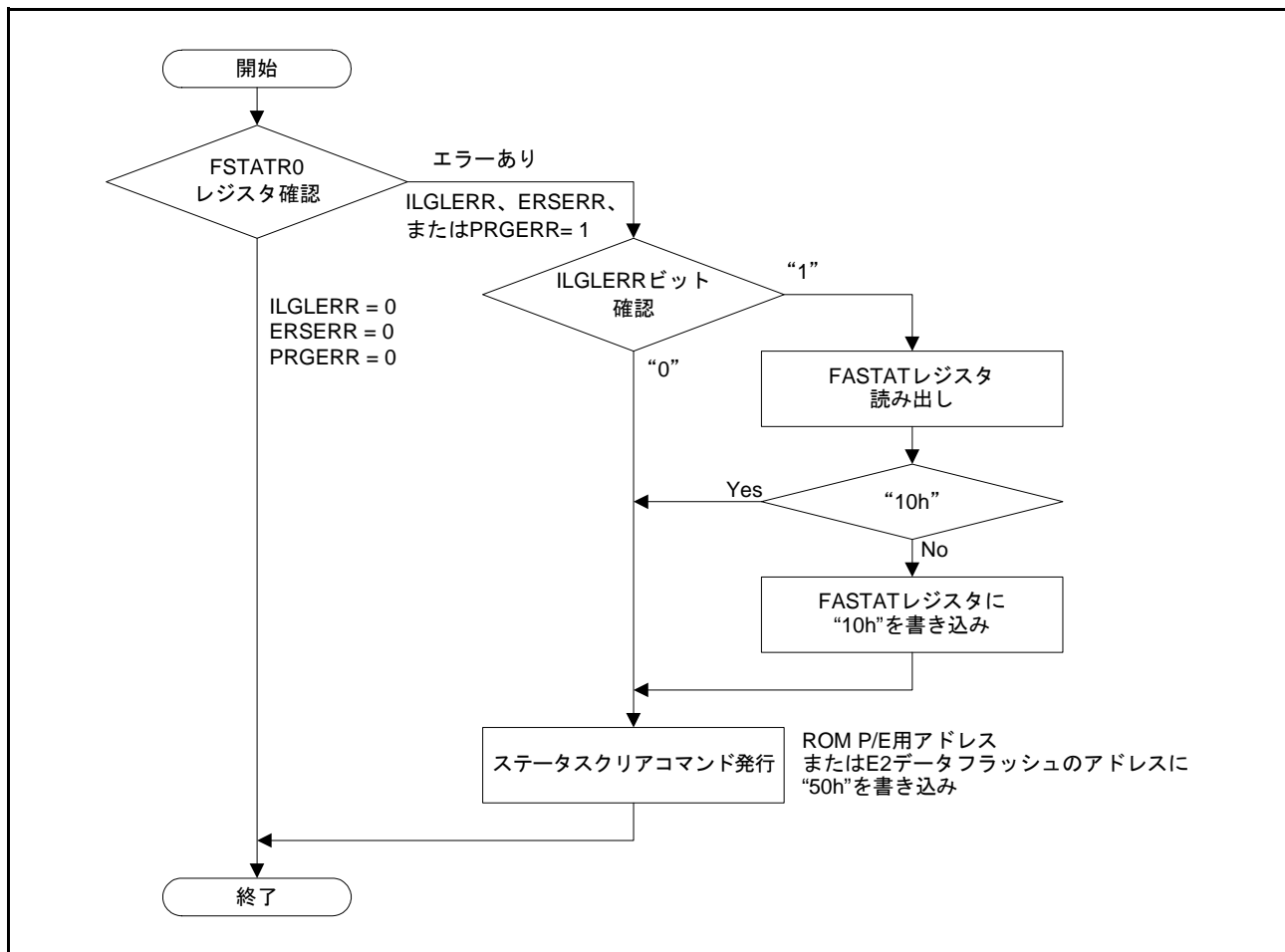


図 41.19 エラーの確認と処理方法

(2) FRDY ビットの確認と処理方法

FCU コマンド発行後、それぞれの処理に応じてウェイト期間を設ける必要があります。ウェイト期間については「42. 電気的特性【144/120/112/100ピン版】」、「43. 電気的特性【64/48ピン版】」を参照してください。タイムアウトにより FSTAT0.FRDY ビットが“1”にならない場合、FRESETR レジスタによる FCU の初期化が必要です。FCU の初期化については「(3) FCU 初期化の方法」を参照してください。

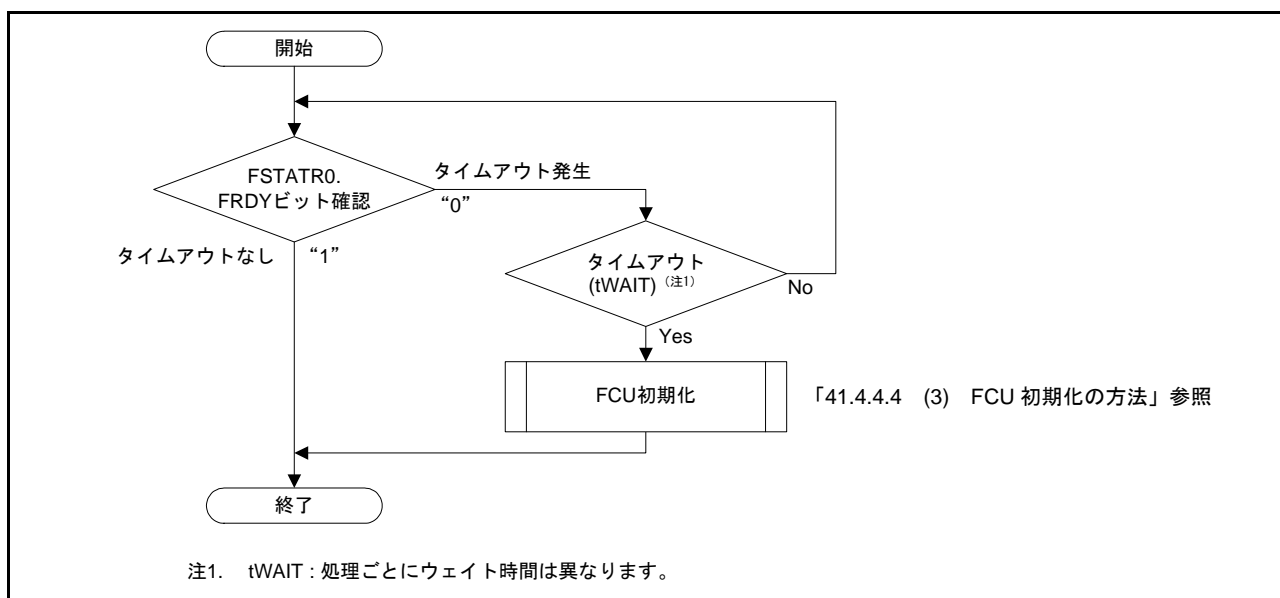


図 41.20 FRDY ビットの確認と処理方法

(3) FCU 初期化の方法

FCU コマンド発行後にタイムアウトが発生したとき、また、FSTAT1.FCUERR ビットが“1”の場合、FRESETR レジスタによる FCU 初期化が必要です。いずれの場合も FRESETR.FRESET ビットが“1”の状態を tFCUR 期間 (FCU リセット時間、「42. 電気的特性【144/120/112/100ピン版】」、「43. 電気的特性【64/48ピン版】」を参照) 保持してください。FRESET ビットを“1”に保持している期間は、ROM/E2 データフラッシュへの読み出しを禁止してください。また、FRESET ビットが“1”の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。図 41.10 の処理を先頭からやり直してください。

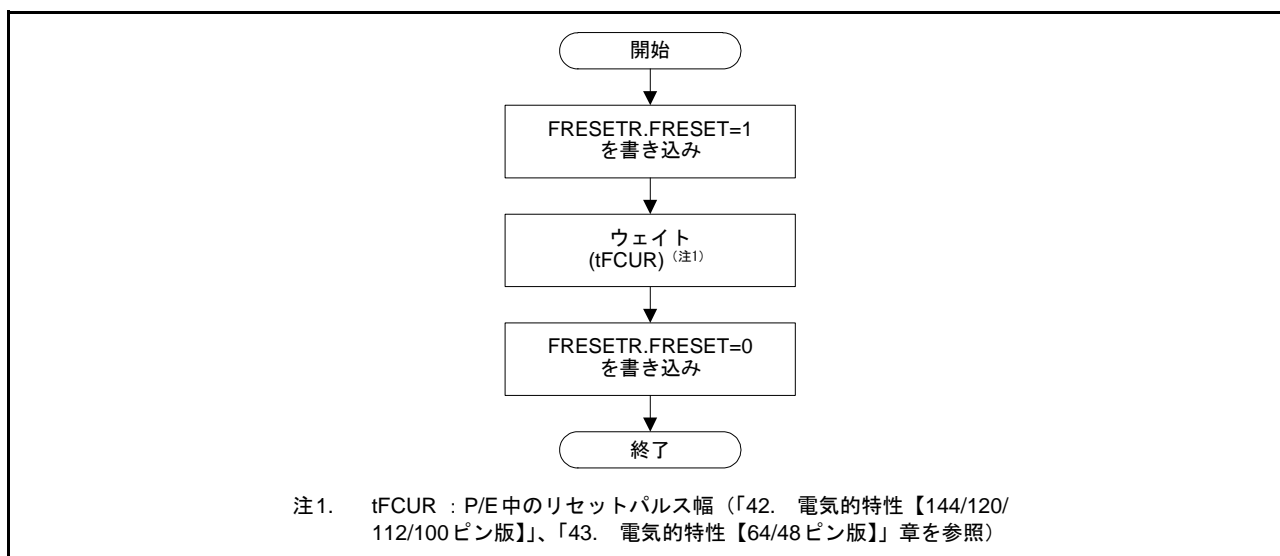


図 41.21 FCU の初期化フロー

41.5 サスペンド動作

P/E 処理中はROM/E2 データフラッシュの読み出しはできません。P/E サスペンドコマンドを発行し、ROM/E2 データフラッシュへのP/E 処理を中断させることによって、ROM/E2 データフラッシュの読み出しができるようになります。P/E サスペンドコマンドには、プログラムに対するサスペンドが1種類とイレーズに対するサスペンドが2種類（サスペンド優先モード、イレーズ優先モード）存在します。また、中断したP/E 処理を再開するP/E レジュームコマンドも用意しています。

41.5.1 プログラム中のサスペンド

ROM/E2 データフラッシュへのプログラム中にP/E サスペンドコマンドを発行すると、FCU はプログラムを中断します。図 41.22 にプログラムの中断動作を示します。

FCU はプログラム系のコマンドを受け付けると、FSTATR0.FRDY ビットを“0”にしてプログラムを開始します。プログラムの開始後にFCU がP/E サスペンドコマンドを受け付け可能な状態に遷移すると、FCU はFSTATR0.SUSRDY ビットを“1”にします。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けてSUSRDY ビットを“0”にします。プログラムのパルス印加中にFCU がP/E サスペンドコマンドを受け付けた場合には、FCU はパルスの印加を継続します。所定のパルス印加時間を経過するとFCU はパルスの印加を完了し、プログラムの中断処理を開始してFSTATR0.PRGSPD ビットを“1”にします。中断処理が完了すると、FCU はFRDY ビットを“1”にしてプログラムサスペンド状態に遷移します。プログラムサスペンド状態でFCU がP/E レジュームコマンドを受け付けた場合には、FCU はFRDY ビットとPRGSPD ビットを“0”にしてプログラムを再開します。

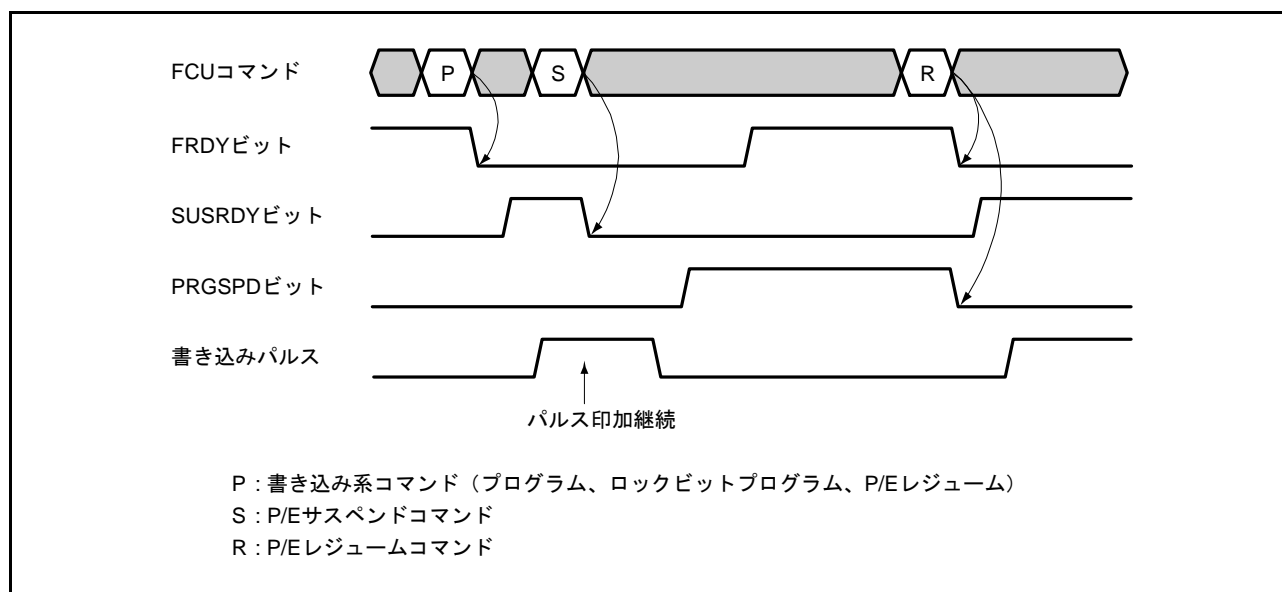


図 41.22 プログラムの中断動作

41.5.2 イレーズ中のサスペンド（サスペンド優先モード）

本 MCU では、イレーズのサスペンドにおいてサスペンド優先モードがあります。

図 41.23 にサスペンド優先モード（FCPSR.ESUSPMD ビットが“0”）の場合のイレーズの中断動作を示します。

FCU はイレーズコマンドを受け付けると、FSTATR0.FRDY ビットを“0”にクリアしてイレーズを開始します。イレーズの開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に移行すると、FCU は FSTATR0.SUSRDY ビットを“1”にします。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットを“0”にします。イレーズ中にサスペンドコマンドを受け付けた場合には、FCU はイレーズのパルス印加中でも中断処理を開始して FSTATR0.ERSSPD ビットを“1”にします。中断処理が完了すると、FCU は FRDY ビットを“1”にして、イレーズサスペンド状態に移行します。イレーズサスペンド状態で、FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと ERSSPD ビットを“0”にして、イレーズ処理を再開します。イレーズ処理の中断/再開時の FRDY、SUSRDY、ERSSPD ビットの挙動は、FCPSR.ESUSPMD ビットの値に依存せず同じです。

FCPSR.ESUSPMD ビットの値は、イレーズのパルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのないパルス A を印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、パルス A の印加を中断してイレーズサスペンド状態に移行します。P/E レジュームコマンドによりイレーズが再開され、パルス A を再印加している期間に、FCU が P/E サスペンドコマンドを受け付けた場合には、FCU はパルス A の印加を継続します。所定のパルス印加時間を経過すると、FCU はパルスの印加を完了してイレーズサスペンド状態に移行します。次に FCU が P/E レジュームコマンドを受け付けて、新たなパルス B の印加が開始された後に、再び FCU が P/E サスペンドコマンドを受け付けた場合には、パルス B の印加は中断されます。サスペンド優先モードでは、1 パルスあたり 1 回の割合でパルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

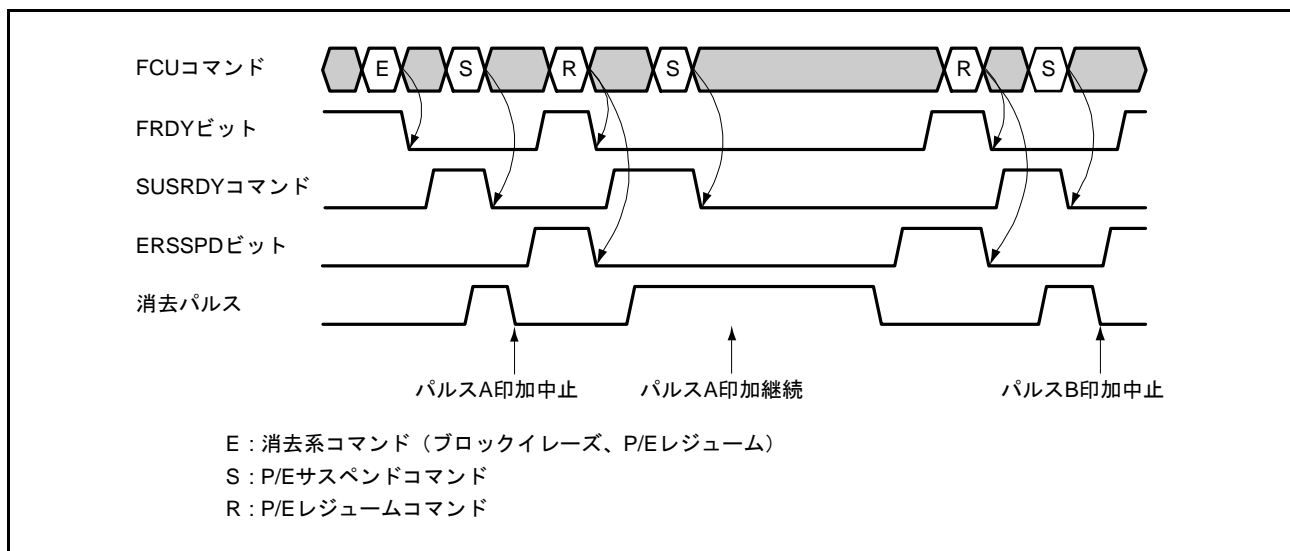


図 41.23 イレーズ処理の中断動作（サスペンド優先モード）

41.5.3 イレーズ中のサスペンド（イレーズ優先モード）

本 MCU では、イレーズのサスペンドにおいてイレーズ優先モードがあります。

図 41.24 にイレーズ優先モード（FCPSR.ESUSPMD ビットが“1”）の場合のイレーズの中断動作を示します。イレーズ優先モードのパルス制御方式は、プログラムの中断処理のパルス制御方式と同様です。

FCU がパルス印加中に P/E サスペンドコマンドを受け付けた場合には、パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時にパルスの再印加が発生しないため、サスペンド優先モードと比較してイレーズ全体に必要な時間を短縮可能です。

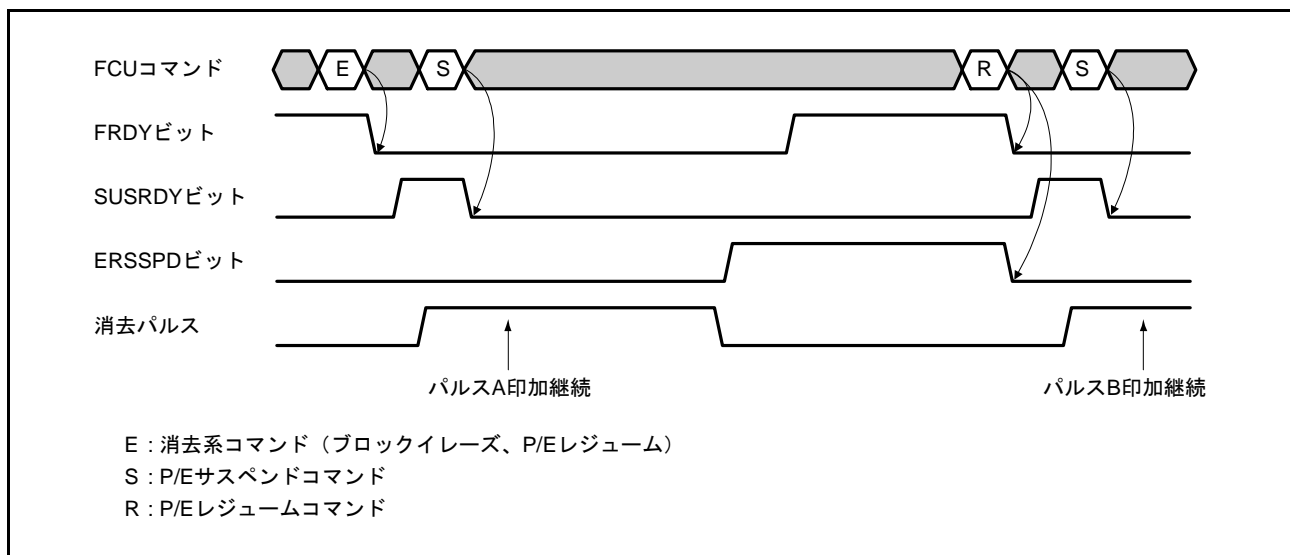


図 41.24 イレーズの中断動作（イレーズ優先モード）

41.6 プロテクト

ROM / E2 データフラッシュに対する P/E のプロテクトには、ソフトウェアプロテクト、コマンドロックの 2 種類があります。

41.6.1 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定やユーザ領域のロックビット設定によって ROM / E2 データフラッシュに対する P/E を禁止する機能です。ソフトウェアプロテクトに違反して、ROM / E2 データフラッシュに対する P/E 系コマンドを発行した場合には、FCU がエラーを検出して、FASTAT.CMDLK ビットは“1”(コマンドロック状態)になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを“01b”にしないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR.FENTRY0, FENTRYD ビットがともに“0”の場合には、ROM / E2 データフラッシュリードモードになります。ROM / E2 データフラッシュリードモードでは FCU コマンドが受け付けられないため、ROM / E2 データフラッシュへの P/E は禁止状態になります。ROM / E2 データフラッシュリードモードで FCU コマンドを発行すると、FCU は不正コマンドエラーを検出して、FASTAT.CMDLK ビットは“1”(コマンドロック状態)になります（「41.6.2 コマンドロック状態」を参照）。

(3) ロックビットによるプロテクト

ユーザ領域の各ブロックにはロックビットが内蔵されています。FPROTR.FPROTCN ビットが“0”の場合には、ロックビットが“0”のブロックに対する P/E は禁止状態になります。ロックビットが“0”のブロックを P/E したい場合には、FPROTCN ビットを“1”にしてください。ロックビットによるプロテクトに違反して ROM に対する P/E 系コマンドを発行すると、FCU は P/E エラーを検出して、FASTAT.CMDLK ビットは“1”(コマンドロック状態)になります(「41.6.2 コマンドロック状態」を参照)。

(4) DFLWEy レジスタによるプロテクト

DFLWEy.DBWEj (y=0,1, j=00 ~ 15) ビットが“0”の場合には、データ領域の DBj ブロックの P/E が禁止状態になります。DBWEj ビットが“0”の状態では DBj ブロックに対する P/E を実行すると、FCU は P/E プロテクト違反を検出して、FASTAT.CMDLK ビットは“1”(コマンドロック状態)になります(「41.6.2 コマンドロック状態」を参照)。

(5) DFLREy レジスタによるプロテクト

DFLREy.DBREj (y=0,1, j=00 ~ 15) ビットが“0”の場合には、データ領域の DBj ブロックの読み出しが禁止状態になります。DBREj ビットが“0”の状態では DBj ブロックに対する読み出しを実行すると、FCU はリードプロテクト違反を検出して、FASTAT.CMDLK ビットは“1”(コマンドロック状態)になります(「41.6.2 コマンドロック状態」を参照)。

41.6.2 コマンドロック状態

コマンドロック状態とは、FCU コマンドの誤発行、禁止アクセスの発生により、FCU が誤動作を検知して FCU コマンドを受け付けない状態です。

ステータスビット (FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、

FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビット) のいずれか、もしくはこれらのビットに複数“1”がセットされると、FCU がコマンドロック状態 (FASTAT.CMDLK ビットが“1”) になり、ROM / E2 データフラッシュへの P/E が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが“10h”の状態ではステータスレジスタクリアコマンドを発行する必要があります。

FAEINT レジスタの割り込み許可ビットが“1”の場合には、FASTAT レジスタの対応するビットが“1”になるとフラッシュインタフェースエラー (FIFERR) 割り込みが発生します。表 41.12 にエラーの内容とエラー検出時のステータスビット値 (FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビット) の関係を示します。P/E 処理中にサスペンド以外のコマンドを発行するとコマンドロック状態に遷移しますが、FCU は P/E 処理を継続します。この状態で P/E サスペンドコマンドを発行して P/E を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビットが“1”になります。

表41.12 エラーとステータスビットの一覧

分類	内容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE	DFLAE	DFLRPE	DFLWPE
FENTRYR 設定エラー	FENTRYRレジスタに“0001h”、“0080h”以外の値を設定	1	0	0	0	0	0	0	0
	サスペンド/レジューム時でFENTRYRレジスタ設定が不一致	1	0	0	0	0	0	0	0
不正コマンドエラー (ROM/E2データフラッシュ共通)	FCUコマンドの1サイクル目で未定義コードを指定	1	0	0	0	0	0	0	0
	複数サイクルのFCUコマンド最終サイクルで“D0h”以外を指定	1	0	0	0	0	0	0	0
	PCKARレジスタに周辺クロック1~100MHz以外を設定 (1~4MHz、50~100MHzの設定ではエラー検出しません)	1	0	0	0	0	0	0	0
	P/E処理中にサスペンド以外のコマンドを発行	1	0	0	0	0	0	0	0
	P/E以外の処理中にサスペンドコマンドを発行	1	0	0	0	0	0	0	0
	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0	0	0	0
	サスペンド以外の状態でレジュームコマンドを発行	1	0	0	0	0	0	0	0
	プログラムサスペンド状態でP/E系(プログラム/ロックビットプログラム/ブロックイレーズ)コマンドを発行	1	0	0	0	0	0	0	0
	イレーズサスペンド状態でブロックイレーズコマンド発行	1	0	0	0	0	0	0	0
	イレーズサスペンド状態でイレーズサスペンド対象領域へのプログラム/ロックビットプログラムコマンドを発行	1	0	0	0	0	0	0	0
FASTAT.CMDLKビットが“1”(コマンドロック状態)のときでコマンド発行	1	0/1	0/1	0/1	0/1	0	0	0	
不正コマンドエラー (ROM)	プログラムコマンドの2サイクル目で“40h”以外を指定	1	0	0	0	0	0	0	0
不正コマンドエラー (E2データフラッシュ)	プログラムコマンドの2サイクル目で“01h”以外を指定	1	0	0	0	0	0	0	0
	FENTRYR.FENTRYDビットが“1”の状態、E2データフラッシュ領域に対してロックビットプログラムコマンドを発行	1	0	0	0	0	0	0	0
イレーズエラー	イレーズ中のエラー発生	0	1	0	0	0	0	0	0
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”に設定されたブロックに対してブロックイレーズコマンドを発行	0	1	0	0	0	0	0	0
プログラムエラー	プログラム中のエラー発生	0	0	1	0	0	0	0	0
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”に設定されたブロックに対してプログラム/ロックビットプログラムコマンドを発行	0	0	1	0	0	0	0	0
FCUエラー	FCU内部の処理でエラー発生	0	0	0	1	0	0	0	0
ROMアクセス違反	領域がROM/P/Eモード(FENTRYR.FENTRY0ビット=“1”)の場合に、領域の読み出し用アドレスに対する読み出しを実行(注1)	1	0	0	0	1	0	0	0
	領域がリードモード(FENTRYR.FENTRY0ビット=“0”)の場合に領域のP/E用アドレスに対してFCUコマンドを発行	1	0	0	0	1	0	0	0
	FENTRYRレジスタを設定してROM P/Eモードに移行した状態で、領域に対して読み出しを実行	1	0	0	0	1	0	0	0
E2データフラッシュ アクセス違反	E2データフラッシュ P/E ノーマルモード(FENTRYR.FENTRYDビット=“1”)の場合、E2データフラッシュ領域に対して読み出しを実行	1	0	0	0	0	1	0	0
	FENTRYR.FENTRYDビットが“0”の状態、E2データフラッシュ領域に対してFCUコマンドを発行	1	0	0	0	0	1	0	0
	FENTRYR.FENTRY0ビットが“1”の状態、E2データフラッシュ領域に対してFCUコマンドを発行	1	0	0	0	0	1	0	0
E2データフラッシュ リードプロテクト違反	DFLREyレジスタ(y=0, 1)で読み出し禁止に設定したE2データフラッシュ領域に対して読み出しを実行	1	0	0	0	0	0	1	0
E2データフラッシュ ライトプロテクト違反	DFLWEyレジスタ(y=0, 1)でP/E禁止に設定したE2データフラッシュ領域に対して、P/Eコマンドを発行	1	0	0	0	0	0	0	1

注1. ROM容量と領域の関係については「41.1.1 ROMの領域構成」を参照してください。

41.7 ユーザブートモード

MD 端子を Low、P00 端子を High にしてリセットを解除すると、ユーザブートモードで起動します。このときのリセットベクタは、ユーザブート領域の“FF7F FFFCh”番地になります。その他のベクタテーブルは、通常のベクタテーブルを参照します（「15. 割り込みコントローラ (ICUb)」の章を参照）。

ユーザブートモードでは、任意のインタフェースを使ったプログラムを作成でき、FCU コマンドを発行してユーザ領域/データ領域への P/E を実行できます。なお、ユーザブート領域へのプログラムは、ブートモードで実施してください。

41.8 ブートモード

41.8.1 システム構成

ブートモードでは、ホストから制御コマンドやプログラムデータを送信してユーザ領域/データ領域/ユーザブート領域への P/E を実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU をブートモードで起動すると、ブート領域上のプログラムが実行されます。ブート領域上のプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、P/E の制御をします。

図 41.25 にブートモード時のシステム構成を示します。

表 41.13 に ROM / E2 データフラッシュ関連の入出力端子を示します。

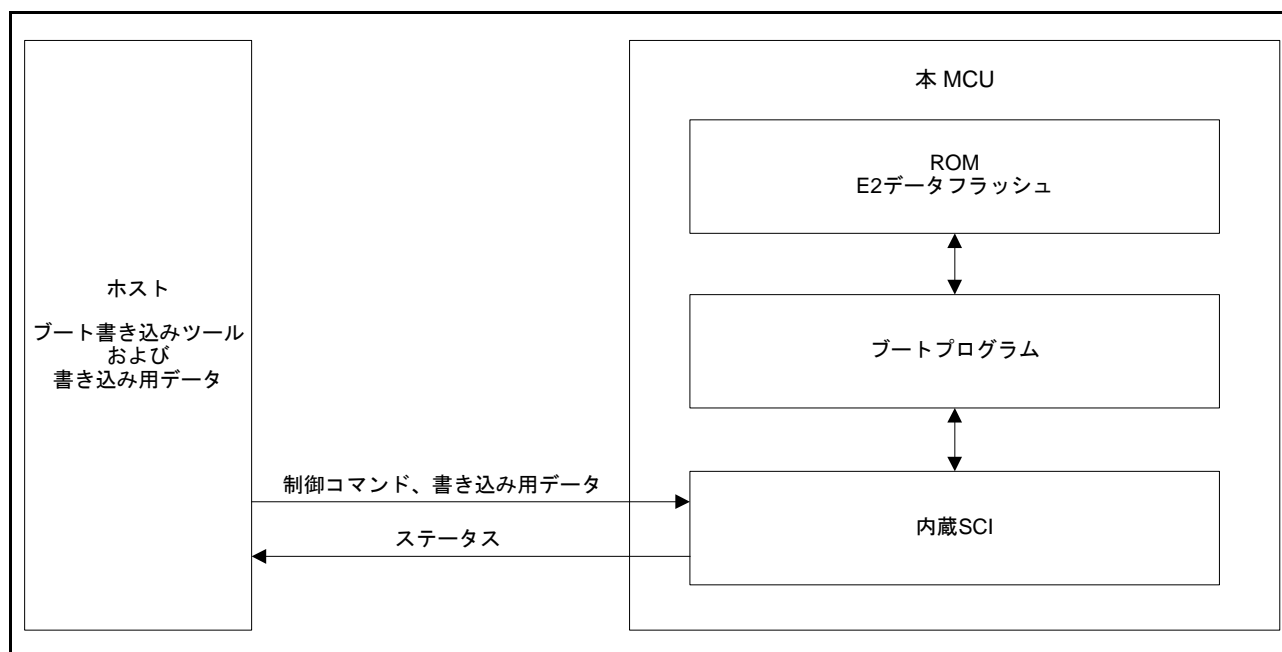


図 41.25 ブートモード時のシステム構成

表 41.13 ROM / E2データフラッシュ関連の入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード	動作モードを選択
P00	入力	ユーザーブートモード USBブートモード	ブートモード (SCIブート)、 ユーザーブートモード/USBブートモードを選択
TDI/RXD1 (144ピン版) (注1) PD5/RXD1 (120/100/64/48ピン版) PF4/RXD1 (112ピン版) (注1)	入力	ブートモード	ホスト通信用 (SCIデータ受信用)
TDO/TXD1 (144ピン版) (注1) PD3/TXD1 (120/100/64/48ピン版) PF2/TXD1 (112ピン版) (注1)	出力		ホスト通信用 (SCIデータ送信用)
USB0_DP、USB0_DM	入出力	USBブートモード	USBデータの入出力
USB0_DPUPE	入出力		USB用プルアップの制御
PE5/USB0_VBUS	入力		USBケーブルの接続/切断の検出
PE2	入力		USBバスパワーモード/セルフパワーモードを選択

注1. ブートモード時のみ、SCI端子として使用できます。

41.8.2 ブートモードの状態遷移

図 41.26 にブートモードの状態遷移図を示します。

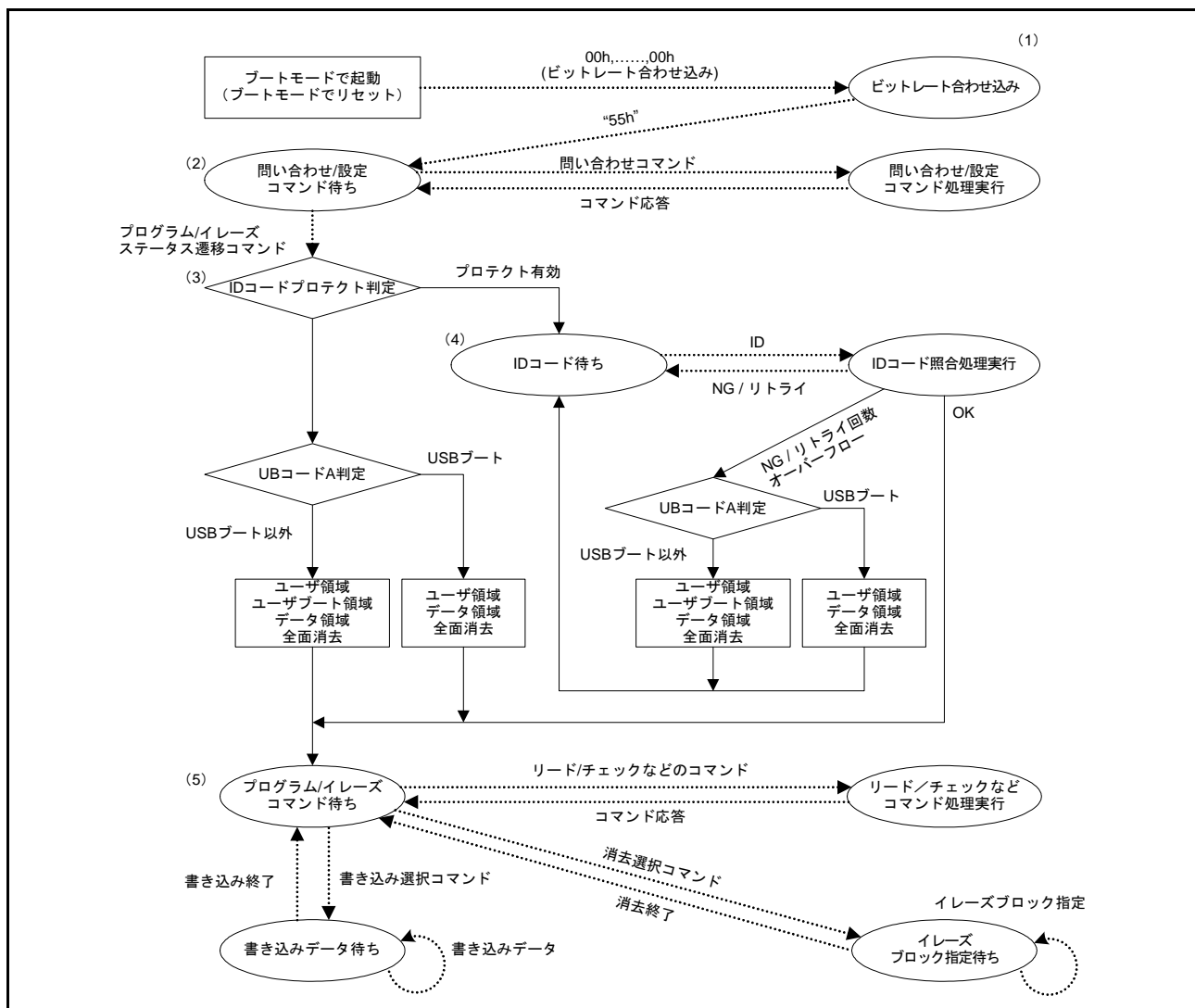


図 41.26 ブートモードの状態遷移図

(1) ビットレート合わせ込み

本 MCU をブートモードで起動すると、ホストと SCI 通信用のビットレートの自動調整を実行します。ビットレートの自動調整が終了すると、本 MCU からホストへ“00h”を送信します。その後、ホストから送信された“55h”を本 MCU が正しく受信すると問い合わせ/設定コマンド待ちに遷移します。ビットレート合わせ込みの詳細は「41.8.3 ビットレートの自動調整」を参照してください。

(2) 問い合わせ/設定コマンド待ち

領域サイズ、領域構成、領域先頭アドレス、サポート状況などの問い合わせや、デバイス、クロックモード、ビットレートを選択するための状態です。ホストから P/E ステータス遷移コマンドを発行すると、ID コードプロテクトの有効/無効判定に遷移します。問い合わせ/設定コマンドの詳細は「41.8.7 問い合わせ/設定コマンド待ち」を参照してください。

(3) ID コードプロテクト判定

ID コードプロテクトの有効/無効を判定します。ROM 上に書かれている制御コードおよび ID コードから ID コードプロテクトの有効/無効を判定し、有効時は ID コード待ちへ、無効時はユーザ領域/データ領域の全面イレーズを実行し、P/E コマンド待ちに遷移します。制御コードおよび ID コードの詳細は「41.8.4 ID コードプロテクト (ブートモード)」を参照してください。

(4) ID コード待ち

ホストから制御コードおよび ID コードが送られてくるのを待ちます。ホストから送られてくる制御コードおよび ID コードと ROM 上のコードを比較し、一致していれば P/E コマンド待ちに遷移します。一致しなければ ID コード待ちに戻りますが、3 回不一致が続いた場合かつプロテクト状態が認証方法 1 の場合、全面イレーズし、再び ID コード待ちに戻ります。電源を落とした後、最初からやり直してください。制御コードおよび ID コードの詳細は「41.8.4 ID コードプロテクト (ブートモード)」を参照してください。

(5) P/E コマンド待ち

ホストからのコマンドにしたがって、P/E を実行する状態です。本 MCU が受信したコマンドに応じて、プログラムデータ待ち、イレーズブロック指定待ち、リード/チェックなどコマンド処理実行状態に遷移します。

本 MCU がプログラム選択コマンドを受信した場合には、プログラムデータ待ちに遷移します。ホストからプログラム選択コマンドに続けて、プログラム先頭アドレス、プログラムデータを送信してください。プログラム先頭アドレスを“FFFF FFFFh”と設定すると、プログラムが終了してプログラムデータ待ちから P/E コマンド待ちに遷移します。

本 MCU がイレーズ選択コマンドを受信すると、イレーズブロック指定待ちに遷移します。ホストからイレーズ選択コマンドに続けて、イレーズするブロック番号を送信してください。イレーズブロック番号を“FFh”と設定すると、イレーズが終了してイレーズブロック指定待ちから P/E コマンド待ちに遷移します。ブートモードで起動してから P/E コマンドに遷移する間にユーザ領域/ユーザブート領域/データ領域の全面がイレーズされていますので、ブートモードで新たにプログラムしたデータをリセットせずにイレーズしたい場合以外にはイレーズを実行する必要はありません。

P/E 以外に、ユーザ領域/ユーザブート領域/データ領域のチェックサム、ブランクチェック、メモリリード、ステータス情報取得のためのコマンドもあります。

41.8.3 ビットレートの自動調整

本 MCU をブートモードで起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ “00h” の Low 期間を測定します。Low 期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600bps または 19,200bps に設定してください。本 MCU は測定した Low 期間からホストの SCI のビットレートを計算し、ビットレート調整が終了すると “00h” をホストへ送信します。

ホストが “00h” を正常に受信した場合には、ホストから本 MCU に “55h” を送信してください。“00h” を正常に受信できなかった場合には、本 MCU をブートモードで再起動し、ビットレートの自動調整を再実行してください。本 MCU は “55h” を正常に受信すると “E6h” を送信し、“55h” を正常に受信できなかった場合には “FFh” を送信します。

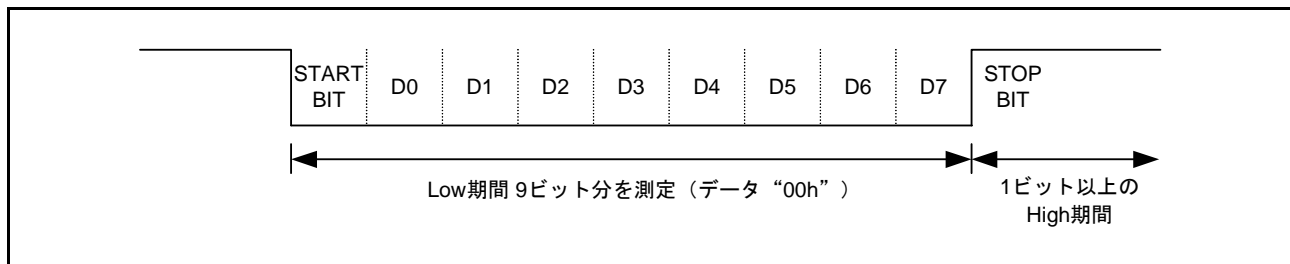


図 41.27 ビットレート自動調整時の SCI 送受信フォーマット

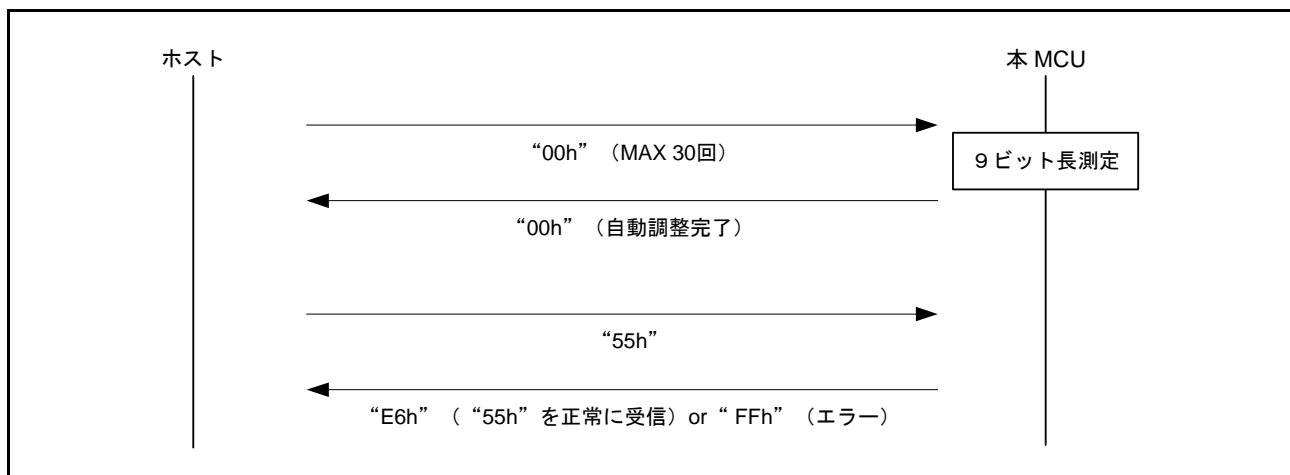


図 41.28 ホストと本 MCU 間の通信シーケンス

SCI 通信時のビットレートや本 MCU の周辺クロックの周波数によってはビットレートを正常に調整できない場合がありますので、表 41.14 に示した条件で SCI の通信を行うようにしてください。

表 41.14 ビットレート自動調整が可能な条件

ホストの SCI のビットレート	EXTAL の周波数範囲
9,600bps	4 ~ 14MHz (注1)
19,200bps	8 ~ 14MHz (注1)

注1. ただし、発振子周波数は最小 8MHz、最大 12.5MHz です。

41.8.4 IDコードプロテクト（ブートモード）

PCなどのホストからの読み出し/プログラム/イレーズを禁止するための機能です。

ブートモードで起動し、ビットレートを自動調整した後、ホストから送信されるIDコードとROM上に書かれている制御コードおよびIDコードを使い、IDコードプロテクトの有効/無効と、IDコードプロテクトの判定を行います。IDコードプロテクトが有効の場合、ホストから送られてくるコードとROM上の制御コードおよびIDコードの一致を判定し、一致した場合のみ読み出し/プログラム/イレーズを許可します。

ROM上の制御コードおよびIDコードは、32ビット長4ワードのデータです。図41.29に制御コードおよびIDコードの構成を示します。IDコードは32ビット単位で設定してください。

	31	24	23	16	15	8	7	0
FFFF FFA0h	制御コード		IDコード1	IDコード2	IDコード3			
FFFF FFA4h	IDコード4	IDコード5	IDコード6	IDコード7				
FFFF FFA8h	IDコード8	IDコード9	IDコード10	IDコード11				
FFFF FFACh	IDコード12	IDコード13	IDコード14	IDコード15				

図 41.29 ROM上の制御コードおよびIDコードの構成

(1) 制御コード

制御コードは、IDコードプロテクトの有効/無効とホストとの認証方法を決定します。表41.15に制御コードと認証方法を示します。

表41.15 IDコードプロテクト仕様

制御コード	IDコード	プロテクト状態	SCI接続時の動作
45h	任意	プロテクト有効 (認証方法1)	IDコード一致 : コマンド待ちへ遷移 IDコード不一致 : 再度IDコード待ち状態へ遷移。ただし、連続3回IDコード不一致の場合、全面消去を行う
52h	50h,72h,6Fh,74h,65h,63h, 74h,FFh,...,FFh以外	プロテクト有効 (認証方法2)	IDコード一致 : コマンド待ちへ遷移 IDコード不一致 : 再度IDコード待ちへ遷移
	50h,72h,6Fh,74h,65h,63h, 74h,FFh,...,FFh	プロテクト有効 (認証方法3)	常にIDコード不一致として判定する。
上記以外	—	プロテクト無効	全ブロックイレーズ

(2) IDコード

IDコードは任意の値が設定できます。ただし、制御コードが52h、IDコード1から順に50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, ..., FFhを設定した場合は、IDコード一致判定をせず、常に不一致とし、ホストからの読み出し/プログラム/イレーズを禁止します。

(3) ID コードを設定するプログラム例

制御コードが 45h、ID コードが ID コード 1 から順に 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh を設定する場合のプログラム例を示します。

```
.SECTION ID_CODE,CODE
.ORG 0FFFFFFFA0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

41.8.5 UB コード A

UB コード A については、「8.3 UB コード」を参照してください。

41.8.6 コマンドとレスポンスの構成

ブートモードにおけるホストと本 MCU の通信は、ホストから送信する“コマンド”と本 MCU からの応答である“レスポンス”とで構成されています。

コマンドの説明文中において、“SUM”はチェックサムを意味し、本 MCU が送信した各バイトを合計した場合に、“00h”になるように計算されたバイトデータを指します。“サイズ”はコマンド(先頭1バイト)、サイズ、SUM を除いた送受信データのバイト数を指します。

また、ホストが未定義のコマンドを送信した場合、本 MCU はコマンドエラーのレスポンスを返します。

コマンドエラーのレスポンスの内容は以下の通りです。コマンドには、ホストが送信したコマンドの先頭バイトが格納されています。

エラーレスポンス

80h	コマンド
-----	------

41.8.7 問い合わせ / 設定コマンド待ち

表 41.16 に問い合わせ / 設定コマンド待ちで使用可能なコマンドの一覧を示します。ブートプログラムステータス問い合わせコマンドは、P/E コマンド待ちでも使用可能です。その他のコマンドは、問い合わせ / 設定コマンド待ちでのみ使用可能です。

表41.16 問い合わせ/設定コマンド

コマンド名	機能
サポートデバイス問い合わせ	デバイスコードとシリーズ名の問い合わせ
デバイス選択	デバイスコードの選択
クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
クロックモード選択	選択されているクロックモードの通知
逡倍比問い合わせ	クロック種類、逡倍比/分周比の種類、逡倍比/分周比の問い合わせ
動作周波数問い合わせ	クロック種類、最大/最低動作周波数の問い合わせ
ユーザブート領域情報問い合わせ	ユーザブート領域の個数、先頭/最終アドレスの問い合わせ
ユーザ領域情報問い合わせ	ユーザ領域の個数、先頭/最終アドレスの問い合わせ
ブロック情報問い合わせ	ブロック数、先頭/最終アドレスの問い合わせ
プログラムサイズ問い合わせ	プログラム時のデータ長の問い合わせ
データ領域有無問い合わせ	データ領域有無の問い合わせ
データ領域情報問い合わせ	データ領域の個数、先頭/最終アドレスの問い合わせ
新ビットレート選択	ホスト⇄本MCU間のSCI通信のビットレートを変更
P/Eステータス遷移	IDコードプロテクト判定に遷移
ブートプログラムステータス問い合わせ	処理状態の問い合わせ

問い合わせ / 設定コマンド待ちでは、問い合わせコマンドのレスポンスを参考にして、デバイス選択→クロックモード選択→新ビットレート選択の順にホストから選択コマンドを送信し、本MCUの設定を行ってください。また、サポートデバイス問い合わせ / クロックモード問い合わせ以外の問い合わせコマンドは、クロックモード選択コマンドを発行前には使用できません。誤った順番でコマンドを送信した場合には、本MCUがコマンドエラーのレスポンスを送信します。図 41.30 に問い合わせ / 設定コマンド待ちでのコマンド使用例を示します。

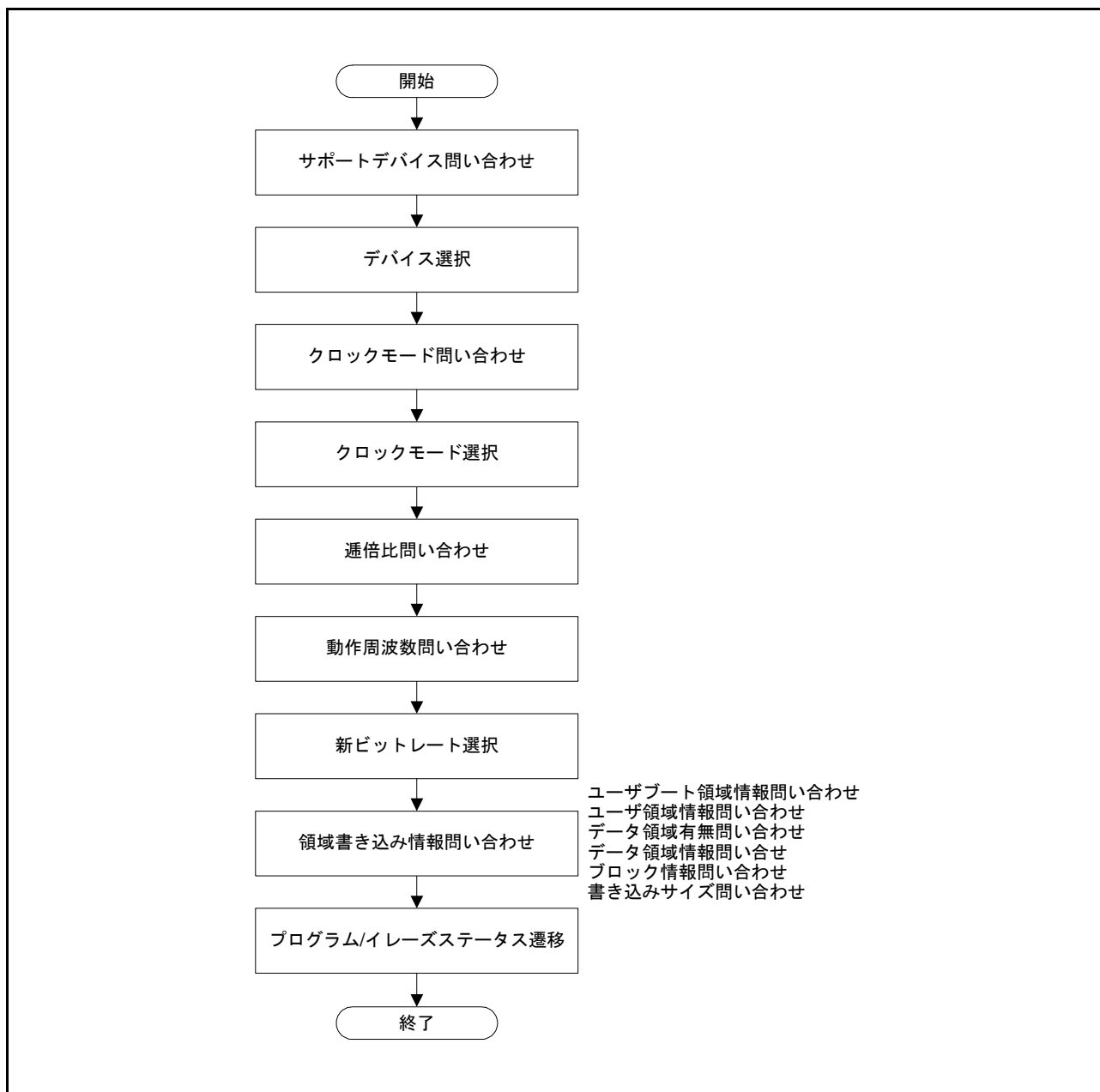


図 41.30 問い合わせ / 設定コマンドの使用例

(1) サポートデバイス問い合わせ

ホストがサポートデバイス問い合わせコマンドを送信すると、ブートプログラムでサポート可能なデバイス情報を本MCUが送信します。ホストがデバイスを選択した後に、サポートデバイス問い合わせコマンドを送信した場合には、本MCUは選択したデバイスの情報のみ送信します。

本MCUはサポートデバイス問い合わせコマンドのレスポンスとして、リトルエンディアン指定とビッグエンディアン指定の2つのデバイス情報をそれぞれ順に送信します。

コマンド	20h		
レスポンス	30h	サイズ	デバイス数
	文字数	デバイスコード (リトルエンディアン指定)	
	文字数	デバイスコード (ビッグエンディアン指定)	
	SUM	シリーズ名	

サイズ (1バイト)	: デバイス数、文字数、デバイスコード、シリーズ名のデータの総バイト数
デバイス数 (1バイト)	: ブートプログラムがサポートする品種数
文字数 (1バイト)	: デバイスコードとシリーズ名の文字数
デバイスコード (4バイト)	: チップ認識コード
シリーズ名 (nバイト)	: サポートデバイス名のASCIIコード
SUM (1バイト)	: チェックサム

(2) デバイス選択

ホストがデバイス選択コマンドを送信すると、本MCUは指定されたデバイスがサポート可能なデバイスかチェックします。サポート可能なデバイスの場合、レスポンス (06h) を送信します。サポート可能なデバイスでなかった場合や、送信されたコマンドが不正であった場合には、本MCUはエラーレスポンス (90h) を送信します。

サポートデバイス問い合わせコマンドが送信する2つのデバイス情報から、プログラムするデータに応じて、いずれかのエンディアン指定のデバイスコードを選択してください。

コマンド	10h	サイズ	デバイスコード	SUM
レスポンス	06h			
エラー レスポンス	90h	エラー		

サイズ (1バイト)	: デバイスコードの文字数 (固定値で4)
デバイスコード (4バイト)	: チップシリーズ名のASCIIコード (サポートデバイス問い合わせコマンドの応答と同一のコード)
SUM (1バイト)	: チェックサム
エラー (1バイト)	: エラーコード 11h: チェックサムエラー (コマンドが不正) 21h: デバイスコードエラー

(3) クロックモード問い合わせ

ホストがクロックモード問い合わせコマンドを送信すると、選択可能なクロックモードを本MCUが送信します。ホストがクロックモードを選択した後に、クロックモード問い合わせコマンドを送信した場合には、本MCUは選択したクロックモードの情報のみ送信します。

コマンド	21h	
レスポンス	31h	サイズ
	モード	
	SUM	

サイズ (1バイト) : モード数、モードの総バイト数

モード (1バイト) : 選択可能なクロックモード (例: 01h クロックモード1)

SUM (1バイト) : チェックサム

(4) クロックモード選択

ホストがクロックモード選択コマンドを送信すると、本MCUは指定されたクロックモードがサポート可能なモードかをチェックします。サポート可能なモードの場合、本MCUはクロックモードを指定したモードに変更し、レスポンス (“06h”)を送信します。サポート可能なモードでなかった場合や、送信されたコマンドが不正であった場合には、本MCUはエラーレスポンス (“91h”)を送信します。

クロックモード選択コマンドは、デバイス選択コマンドを送信した後に送信してください。クロックモード問い合わせの結果、クロックモード数が “00h” または “01h” であった場合も、クロックモード選択コマンドで、問い合わせ結果のモードの値を設定してください。

コマンド	11h	サイズ	モード	SUM
レスポンス	06h			
エラー レスポンス	91h	エラー		

サイズ (1バイト) : モードの文字数 (固定値で1)

モード (1バイト) : クロックモード (クロックモード問い合わせコマンドの応答と同一のモード)

SUM (1バイト) : チェックサム

エラー (1バイト) : エラーコード
 11h : チェックサムエラー (コマンドが不正)
 22h : クロックモードエラー

(5) 逡倍比問い合わせ

ホストが逡倍比問い合わせコマンドを送信すると、クロック種類、逡倍比/分周比の種類、逡倍比/分周比の情報を本MCUが送信します。

コマンド

22h

レスポンス	32h	サイズ	クロック数		
	逡倍比種類	逡倍比	逡倍比	...	逡倍比
	逡倍比種類	逡倍比	逡倍比	...	逡倍比
	SUM				

サイズ (1バイト) : クロック数、逡倍比種類、逡倍比のデータの総バイト数

クロック数 (1バイト) : クロックの種類 (例: 02h システムクロックと周辺クロックの2種類)

逡倍比種類 (1バイト) : 選択可能な逡倍比/分周比の種類
(例: 04h システムクロックは1逡倍、2逡倍、4逡倍、8逡倍の4種類)

逡倍比 (1バイト) : 逡倍比 (例: 04h = 4 4逡倍) ← 正の数で指定
分周比 (例: FEh = -2 2分周) ← 負の数で指定

SUM (1バイト) : チェックサム

(6) 動作周波数問い合わせ

ホストが動作周波数問い合わせコマンドを送信すると、各クロックの動作周波数の最小値と最大値の情報を本MCUが送信します。

コマンド

23h

レスポンス	33h	サイズ	クロック数
	最小周波数		最大周波数
	最小周波数		最大周波数
	SUM		

サイズ (1バイト) : クロック数、最小周波数、最大周波数のデータの総バイト数

クロック数 (1バイト) : クロックの種類 (例: 02h システムクロックと周辺クロックの2種類)

最小周波数 (2バイト) : 動作周波数の最小値 (例: 07D0h 20.00MHz)
周波数 (MHz) の小数点第2位までの値を100倍した値

最大周波数 (2バイト) : 動作周波数の最大値
書式は最小周波数と同様

SUM (1バイト) : チェックサム

(7) ユーザブート領域情報問い合わせ

ホストがユーザブート領域情報を問い合わせると、ユーザブート領域の領域数とアドレスの情報を本MCUが送信します。

コマンド	24h		
レスポンス	34h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数

領域数 (1バイト) : ユーザブート領域の領域数 (連続した領域は1領域と数えます。)

領域先頭アドレス (4バイト) : ユーザブート領域の先頭アドレス

領域最終アドレス (4バイト) : ユーザブート領域の最終アドレス

SUM (1バイト) : チェックサム

(8) ユーザ領域情報問い合わせ

ホストがユーザ領域情報を問い合わせると、ユーザ領域の領域数とアドレスの情報を本MCUが送信します。

コマンド	25h		
レスポンス	35h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数

領域数 (1バイト) : ユーザ領域の領域数 (連続した領域は1領域と数える)

領域先頭アドレス (4バイト) : ユーザ領域の先頭アドレス

領域最終アドレス (4バイト) : ユーザ領域の最終アドレス

SUM (1バイト) : チェックサム

(9) ブロック情報問い合わせ

ホストがブロック情報を問い合わせると、ユーザ領域とデータ領域を合計したブロック数とアドレスの情報を本MCUが送信します。

コマンド	26h		
レスポンス	36h	サイズ	ブロック数
	ブロック先頭アドレス		
	ブロック最終アドレス		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	...		
	ブロック先頭アドレス		
	ブロック最終アドレス		
SUM			

サイズ (2バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスのデータの総バイト数
 ブロック数 (1バイト) : ユーザ領域のブロック数
 ブロック先頭アドレス (4バイト) : ブロックの先頭アドレス
 ブロック最終アドレス (4バイト) : ブロックの最終アドレス
 SUM (1バイト) : チェックサム

(10) プログラムサイズ問い合わせ

ホストがプログラムサイズを問い合わせると、本MCUがプログラムサイズの情報を送信します。

コマンド	27h			
レスポンス	37h	サイズ	プログラムサイズ	SUM

サイズ (1バイト) : プログラムサイズの文字数 (固定値で2)
 プログラムサイズ (2バイト) : プログラム単位 (バイト単位)
 SUM (1バイト) : チェックサム

(11) データ領域有無問い合わせ

ホストがデータ領域有無問い合わせコマンドを送信すると、データ領域が有ることを示す情報を本MCUが送信します。

コマンド	2Ah			
レスポンス	3Ah	サイズ	領域有無	SUM

サイズ (1バイト) : 領域有無の文字数 (固定値で1)
 領域有無 (1バイト) : データ領域の有無 (固定値で21h)
 21h: データ領域あり
 SUM (1バイト) : チェックサム

(12) データ領域情報問い合わせ

ホストがデータ領域情報問い合わせコマンドを送信すると、データ領域の領域数とアドレスの情報を本MCUが送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1バイト)	: 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数
領域数 (1バイト)	: データ領域の領域数 (連続した領域は1領域と数えます。)
領域先頭アドレス (4バイト)	: データ領域の先頭アドレス
領域最終アドレス (4バイト)	: データ領域の最終アドレス
SUM (1バイト)	: チェックサム

データ領域のブロック構成の情報は、ブロック情報問い合わせコマンド (「41.8.7 問い合わせ / 設定コマンド待ち」を参照) のレスポンスに含まれます。

(13) 新ビットレート選択

ホストが新ビットレート選択コマンドを送信すると、本MCUは内蔵SCIを指定された新ビットレートに設定可能かをチェックします。新ビットレートの設定が可能な場合、本MCUはレスポンス (“06h”) を送信し、SCIを新ビットレートに設定します。新ビットレートの設定ができない場合や、送信されたコマンドが不正であった場合には、本MCUはエラーレスポンス (“BFh”) を送信します。ホストはレスポンス (“06h”) を受信すると、新ビットレート選択コマンド送信時のビットレートでウェイトし、ホストのビットレートを新ビットレートに変更します。その後、ホストは新ビットレートで確認用のデータ (“06h”) を送信し、本MCUは確認データのレスポンス (“06h”) を送信します。

新ビットレート選択コマンドは、クロックモード選択コマンドを送信した後に送信してください。

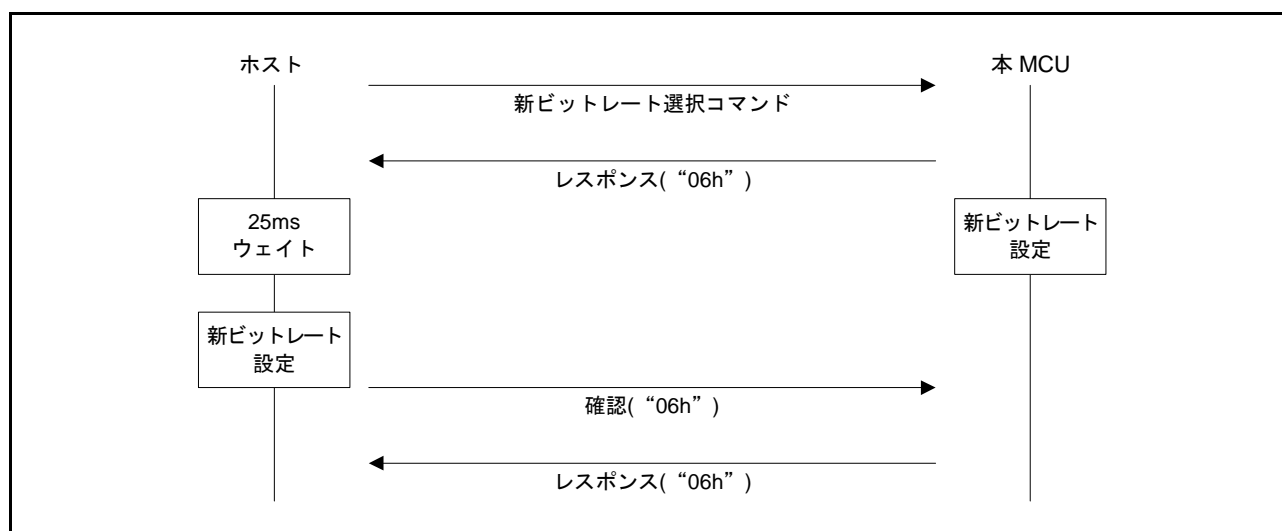


図 41.31 新ビットレート選択のシーケンス

コマンド	3Fh	サイズ	ビットレート		入力周波数
	クロック数	逡倍比 1	逡倍比 2		
	SUM				
レスポンス	06h				
エラー					
レスポンス	BFh	エラー			
確認	06h				
レスポンス	06h				

- サイズ (1バイト) : ビットレート、入力周波数、クロック数、逡倍比のデータの総バイト数
- ビットレート (2バイト) : 新ビットレート (例: 00C0h 19200bps)
ビットレート値を1/100した値を設定
- 入力周波数 (2バイト) : 本MCUの入力周波数 (例: 04E2h 12.50MHz)
入力周波数の小数点第2位までを100倍した値を設定
- クロック数 (1バイト) : クロックの種類 (固定値: 02h システムクロックと周辺クロックの2種類)
- 逡倍比1 (1バイト) : 入力周波数に対するシステムクロック (ICLK) の逡倍比/分周比
逡倍比 (例: 04h = 4 4逡倍) ← 正の数で指定
分周比 (例: FEh = -2 2分周) ← 負の数で指定
- 逡倍比2 (1バイト) : 入力周波数に対する周辺クロック (PCLK) の逡倍比/分周比
逡倍比1と同じフォーマット
- SUM (1バイト) : チェックサム
- エラー : エラーコード
11h : チェックサムエラー
24h : ビットレート選択不可エラー
25h : 入力周波数エラー
26h : 逡倍比エラー
27h : 動作周波数エラー

- ビットレート選択不可エラー

新ビットレート選択コマンドで指定したビットレートを、本MCUのSCIが誤差4%未満で設定できない場合にビットレート選択不可エラーが発生します。新ビットレート選択コマンドで指定したビットレートをB、入力周波数を f_{EX} 、通倍比2を $M_{P\phi}$ 、SCIのビットレートレジスタ(BRR)の設定値をN、シリアルモードレジスタ(SMR)のCKS[1:0]ビットの設定値をnとした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{f_{EX} \times M_{P\phi} \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$$

- 入力周波数エラー

新ビットレート選択コマンドで指定した入力周波数が、クロックモード選択コマンドで指定したクロックモードに対応する入力周波数の最小値から最大値の範囲外であった場合に入力周波数エラーが発生します。

- 通倍比エラー

新ビットレート選択コマンドで指定した通倍比が、クロックモード選択コマンドで指定したクロックモードに対応する通倍比でなかった場合に通倍比エラーが発生します。選択可能な通倍比を確認するためには通倍比問い合わせコマンドを使用してください。

- 動作周波数エラー

新ビットレート選択コマンドで指定した動作周波数で本MCUが動作できない場合に動作周波数エラーが発生します。本MCUは、新ビットレート選択コマンドで指定された入力周波数、通倍比から動作周波数を計算し、計算結果が各クロックの動作周波数の最小値から最大値の範囲内であるかをチェックします。各クロックの動作周波数の最小値と最大値を確認するためには、動作周波数問い合わせコマンドを使用してください。

(14) P/E ステータス遷移

ホストがP/Eステータス遷移コマンドを送信すると、本MCUはROM上に書かれている制御コードおよびIDコードにより、IDコードプロテクトの有効/無効を判定します。IDコードプロテクト有効時は、レスポンス("16h")を送信し、IDコード待ちへ遷移し、IDコードプロテクト無効時はユーザ領域/ユーザブート領域/データ領域を全面イレーズします。(注1) 全面イレーズが完了すると、本MCUはレスポンス("26h")を送信し、P/Eコマンド待ちに遷移します。エラーが発生してイレーズが完了しなかった場合には、本MCUはエラーレスポンス("C0h"、"51h")を送信します。

デバイス選択、クロックモード選択、新ビットレート選択を実行する前に、P/Eステータス遷移コマンドを発行しないでください。

注1. USBブートプログラムがユーザブート領域に格納されている場合、ユーザブート領域を消去しません。

コマンド	40h
レスポンス	ACK
エラー レスポンス	C0h 51h

ACK (1バイト) : ACKコード
 26h : IDコードプロテクト無効の場合
 16h : IDコードプロテクト有効の場合

(15) ブートプログラムステータス問い合わせ

ホストがブートプログラムステータス問い合わせコマンドを送信すると、本MCUは現在のステータスを送信します。ブートプログラムステータス問い合わせコマンドは、問い合わせ/設定コマンド待ちとP/Eコマンド待ちで使用可能です。

コマンド

4Fh

レスポンス

5Fh	サイズ	ステータス	エラー	SUM
-----	-----	-------	-----	-----

サイズ (1バイト) : ステータス、エラーのデータの総バイト数 (固定値で2)
ステータス (1バイト) : 本MCUの状態 (表41.17を参照)
エラー (1バイト) : 本MCUのエラー発生状況 (表41.18を参照)
SUM (1バイト) : チェックサム

表41.17 ステータスの内容

コード	内容
11h	デバイス選択待ち
12h	クロックモード選択待ち
13h	ビットレート選択待ち
1Fh	P/Eコマンド待ちへの遷移待ち (ビットレート選択完了)
31h	ユーザ領域のイレーズ中/ユーザブート領域のイレーズ中
3Fh	P/Eコマンド待ち
4Fh	プログラムデータ受信待ち
5Fh	イレーズブロック指定待ち

表41.18 エラーの内容

コード	内容
00h	エラーなし
11h	チェックサムエラー
21h	デバイスコードエラー
22h	クロックモードエラー
24h	ビットレート選択不可エラー
25h	入力周波数エラー
26h	逡倍比エラー
27h	動作周波数エラー
29h	ブロック番号エラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	イレーズエラー
52h	未イレーズエラー
53h	プログラムエラー
54h	選択処理エラー
80h	コマンドエラー
FFh	ビットレート合わせ込み確認エラー

41.8.8 IDコード待ち

表 41.19 に ID コード待ちで使用可能なコマンドの一覧を示します。

表41.19 IDコードチェックコマンド

コマンド名	機能
IDコードチェック	IDコードチェックを実施

ホストが未定義のコマンドを送信した場合は、本 MCU がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「41.8.7 問い合わせ / 設定コマンド待ち」を参照してください。

(1) IDコードチェック

ホストが ID コードチェックコマンドを送信すると、本 MCU は ROM 上の制御コードおよび ID コードとホストから送られてきたコードを比較し、結果を返信します。

コマンド	60h	サイズ	IDコード0 + IDコード
	SUM		
レスポンス	ACK		
	E0h	エラー	

サイズ (1バイト)	: IDコードのバイト数 (固定値で16)
IDコード (16バイト)	: IDコード0 (1バイト) + IDコード (15バイト)
SUM (1バイト)	: チェックサム
ACK (1バイト)	: ACKコード 26h : P/Eコマンド待ち遷移に対する応答
エラー (1バイト)	: エラーコード 11h : チェックサムエラー 61h : IDコード不一致 63h : IDコード不一致[イレーズエラー] IDコード不一致でイレーズ実行の結果、エラーとなった場合

41.8.9 P/E コマンド待ち

表 41.20 に P/E コマンド待ちで使用可能なコマンドの一覧を示します。

表41.20 P/Eコマンド

コマンド名	機能
ユーザブート領域プログラム選択	ユーザブート領域プログラムを選択
ユーザ/データ領域書き込み選択	ユーザ領域プログラムを選択
256バイトプログラム	256バイトプログラム
イレーズ選択	イレーズを選択
ブロックイレーズ	ブロックデータのイレーズ
メモリリード	メモリの読み出し
ユーザブート領域チェックサム	ユーザブート領域のチェックサム
ユーザ領域チェックサム	ユーザ領域のチェックサム
データ領域チェックサム	データ領域のチェックサム
ユーザブート領域ブランクチェック	ユーザブート領域のブランクチェック
ユーザ領域ブランクチェック	ユーザ領域のブランクチェック
データ領域ブランクチェック	データ領域のブランクチェック
リードロックビットステータス	ロックビットの読み出し
ロックビットプログラム	ロックビットのプログラム
ロックビット有効	ロックビットプロテクト有効設定
ロックビット無効	ロックビットプロテクト無効設定
ブートプログラムステータス問い合わせ	本MCUの状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、本MCUがコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「41.8.7 問い合わせ/設定コマンド待ち」を参照してください。

ROMのプログラムを実行する場合には、ホストからプログラム選択コマンド（ユーザ/データ領域書き込み選択/ユーザブート領域プログラム選択）を送信後、256バイトプログラムコマンドを送信します。E2データフラッシュのプログラムを実行する場合は、ユーザ/データ領域書き込み選択コマンドを発行後、256バイトプログラムコマンドでプログラムするアドレスにデータ領域のアドレスを指定します。ホストがプログラム選択コマンドを送信すると、本MCUはプログラムデータ待ちになります（「41.8.2 ブートモードの状態遷移」を参照）。プログラムデータ待ちの状態では、ホストが256バイトプログラムコマンドを送信すると、本MCUはROM/E2データフラッシュにデータをプログラムします。ホストがプログラム先のアドレスを“FFFF FFFFh”に設定して256バイトプログラムコマンドを送信すると、本MCUはプログラム終了と判定し、P/Eコマンド待ちに遷移します。

ROM/E2データフラッシュのイレーズを実行する場合には、ホストからイレーズ選択コマンドを送信後、ブロックイレーズコマンドを送信します。ホストがイレーズ選択コマンドを送信すると、本MCUはイレーズブロック指定待ちになります（「41.8.2 ブートモードの状態遷移」を参照）。イレーズブロック指定待ちの状態では、ホストがブロックイレーズコマンドを送信すると、本MCUはROM/E2データフラッシュをブロックイレーズします。ホストがブロック番号に“FFh”を設定してブロックイレーズコマンドを送信すると、本MCUはイレーズ終了と判定し、P/Eコマンド待ちに遷移します。

データ領域の読み出しを行う場合は、メモリリードコマンドでユーザ領域を選択し、読み出し対象アドレスにデータ領域のアドレスを指定します。

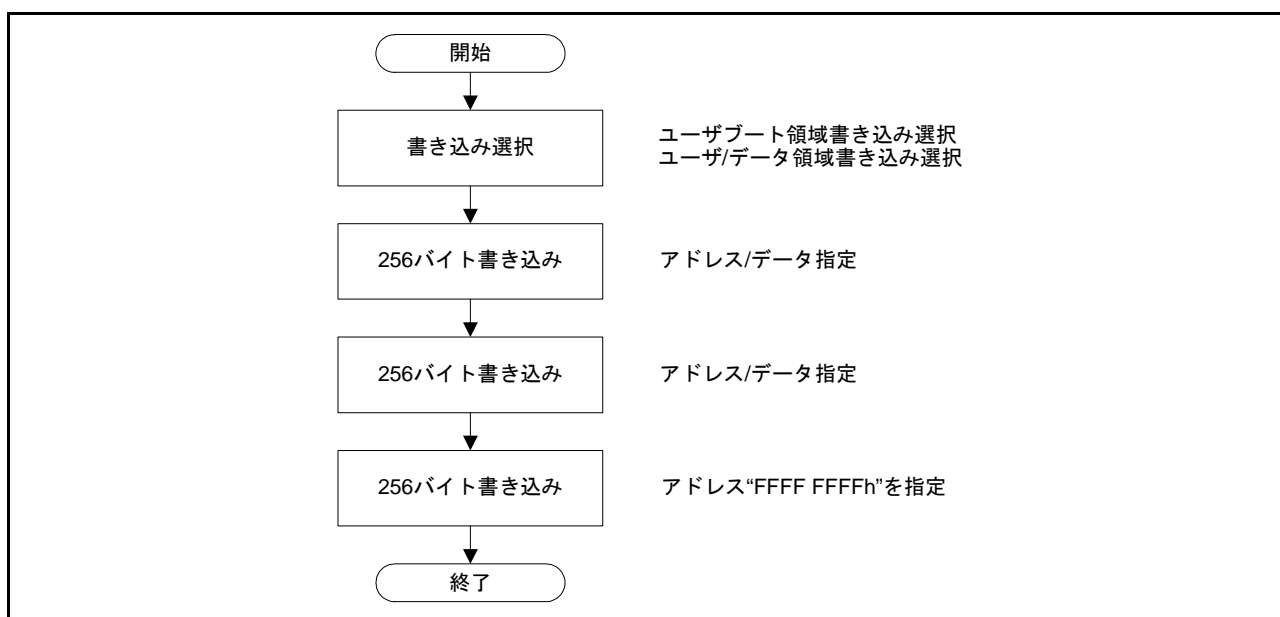


図 41.32 ブートモードでのROM / E2 データフラッシュのプログラム方法

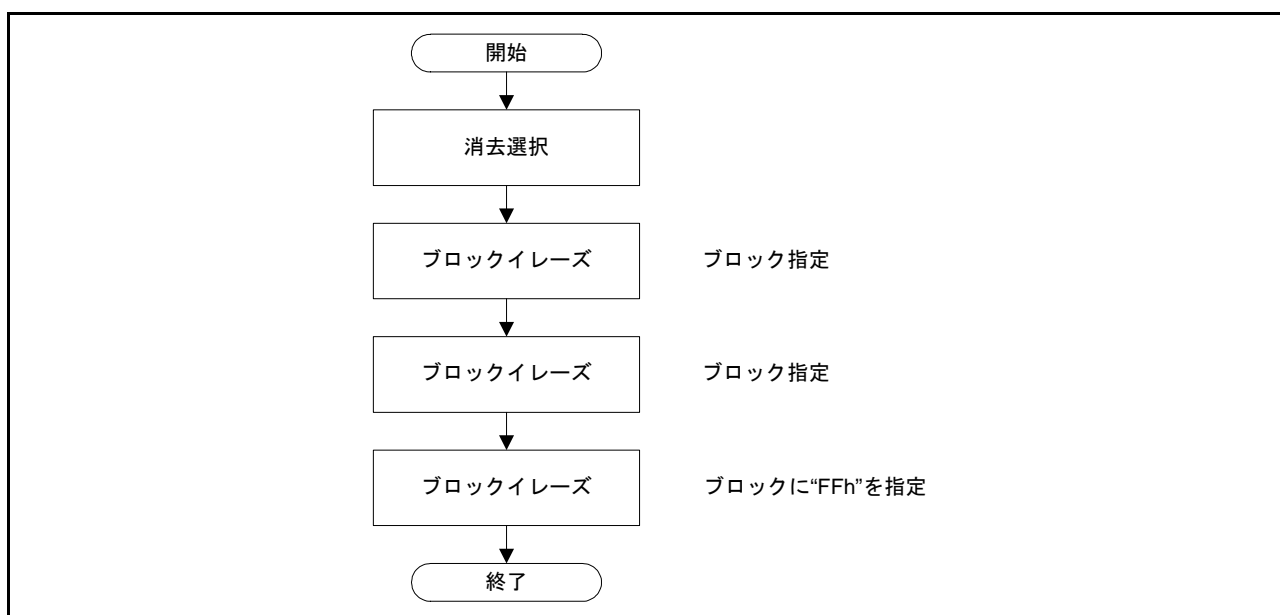


図 41.33 ブートモードでのROM / E2 データフラッシュのイレーズ方法

各コマンドの詳細を以下に説明します。説明文中の“コマンド”はホストから本MCUに送信するコマンド、“レスポンス”は本MCUからホストに送信する応答です。“チェックサム”は、送信した各バイトを合計した場合に、“00h”になるように計算されたバイトデータを指します。

(1) ユーザブート領域プログラム選択

ホストがユーザブート領域プログラム選択コマンドを送信すると、本 MCU はユーザブート領域書き込みプログラムを選択し、プログラムデータ待ちになります。

コマンド

42h

レスポンス

06h

(2) ユーザ/データ領域書き込み選択

ホストがユーザ/データ領域書き込み選択コマンドを送信すると、本 MCU はユーザ/データ領域書き込みプログラムを選択し、プログラムデータ待ちになります。E2 データフラッシュにプログラムを実行する前にはユーザ/データ領域書き込み選択コマンドを送信する必要があります。

コマンド

43h

レスポンス

06h

(3) 256 バイトプログラム

ホストが 256 バイトプログラムコマンドを送信すると、本 MCU は ROM/E2 データフラッシュのプログラムを実行します。ROM/E2 データフラッシュのプログラムが正常に終了すると、本 MCU はレスポンス (“06h”) を送信します。プログラム処理中にエラーが発生すると、本 MCU はエラーレスポンス (“D0h”) を送信します。

コマンド

50h	プログラムアドレス		
データ	データ	...	データ
SUM			

レスポンス

06h

エラー
レスポンス

D0h	エラー
-----	-----

プログラムアドレス (4 バイト) : プログラム先のアドレス
プログラム実行時には 256 バイト境界にアラインしたアドレス
プログラム終了を指定する場合には FFFF FFFFh を送信

データ (256 バイト) : プログラムデータ
プログラム不要なバイトには FFh を指定
プログラム終了を指定する場合にはデータの送信は不要 (プログラムアドレス→SUM の順で送信する)

SUM (1 バイト) : チェックサム

エラー (1 バイト) : エラーコード
11h : チェックサムエラー
2Ah : アドレスエラー (アドレスが指定の領域内でない)
53h : プログラムエラーが発生し書き込めない

(4) イレーズ選択

ホストがイレーズ選択コマンドを送信すると、本MCUはイレーズを選択し、イレーズブロック指定待ちになります。

コマンド

48h

レスポンス

06h

(5) ブロックイレーズ

ホストがブロックイレーズコマンドを送信すると、本MCUはROM/E2データフラッシュのイレーズを実行します。ユーザブート領域をイレーズする場合は、ブロック番号に必ず“80h”を設定してください。ROM/E2データフラッシュのイレーズが正常に終了すると、本MCUはレスポンス (“06h”)を送信します。イレーズ処理中にエラーが発生すると、本MCUはエラーレスポンス (“D8h”)を送信します。

コマンド

58h	サイズ	ブロック	SUM
-----	-----	------	-----

レスポンス

06h

エラー
レスポンス

D8h	エラー
-----	-----

- サイズ (1バイト) : ブロックのデータのバイト数 (固定値で1)
- ブロック (1バイト) : イレーズするブロックの番号
ユーザブート領域を指定する場合には“80h”を設定
イレーズ終了を指定する場合にはFFhを送信
- SUM (1バイト) : チェックサム
- エラー (1バイト) : エラーコード
11h : チェックサムエラー
29h : ブロック番号エラー (ブロック番号が正しくない)
51h : イレーズエラーが発生しイレーズできない

(6) メモリリード

ホストがメモリリードコマンドを送信すると、本MCUはROM/E2データフラッシュに対するリードを実行します。正常にリードが実行された場合には、本MCUはメモリリードコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、本MCUはエラーレスポンス (“D2h”)を送信します。

コマンド	52h	サイズ	領域	読み出し先頭アドレス	
	読み出しサイズ			SUM	
レスポンス	52h	読み出しサイズ			
	データ	データ	...	データ	
	SUM				
エラー レスポンス	D2h	エラー			

サイズ (1バイト)	: 領域、読み出しアドレス、読み出しサイズのデータの総バイト数
領域 (1バイト)	: 読み出し対象の領域 00h: ユーザブート領域 01h: ユーザ領域、データ領域
読み出し先頭アドレス (4バイト)	: 読み出し対象領域の先頭アドレス
読み出しサイズ (4バイト)	: 読み出すデータのサイズ (バイト単位)
SUM (1バイト)	: チェックサム
データ (読み出しサイズ)	: ROM/E2データフラッシュから読み出したデータ
エラー (1バイト)	: エラーコード 11h: チェックサムエラー 2Ah: アドレスエラー ・領域の選択で00h、01h以外を指定 ・読み出し先頭アドレスが指定した領域の領域外 2Bh: サイズエラー ・読み出しサイズの選択で00hを指定 ・読み出しサイズが領域のサイズを超えている ・読み出し先頭アドレスと読み出しサイズから計算されたアドレスが指定された領域の範囲外

(7) ユーザブート領域チェックサム

ホストがユーザブート領域チェックサムコマンドを送信すると、本MCUはユーザブート領域のデータをバイト単位で加算した結果 (チェックサム) を送信します。

コマンド	4Ah			
レスポンス	5Ah	サイズ	領域のチェックサム	SUM

サイズ (1バイト)	: 領域のチェックサムのバイト数 (固定値で4)
領域のチェックサム (4バイト)	: ユーザブート領域のチェックサム結果
SUM (1バイト)	: チェックサム (レスポンスデータのチェックサム)

(8) ユーザ領域チェックサム

ホストがユーザ領域チェックサムコマンドを送信すると、本 MCU はユーザ領域のデータをバイト単位で加算した結果（チェックサム）を送信します。

コマンド	4Bh			
レスポンス	5Bh	サイズ	領域のチェックサム	SUM

- サイズ (1バイト) : 領域のチェックサムのバイト数 (固定値で4)
- 領域のチェックサム (4バイト) : ユーザ領域のチェックサム結果
 ユーザ領域にはデバッグ機能認証用のキーコードも含まれています。
 加算結果にキーコード値が含まれることに注意してください。
- SUM (1バイト) : チェックサム (レスポンスデータのチェックサム)

(9) データ領域チェックサム

ホストがデータ領域チェックサムコマンドを送信すると、本 MCU はデータ領域のデータをバイト単位で加算した結果（チェックサム）を送信します。

コマンド	61h			
レスポンス	71h	サイズ	領域のチェックサム	SUM

- サイズ (1バイト) : 領域のチェックサムのバイト数 (固定値で4)
- 領域のチェックサム (4バイト) : データ領域のチェックサム結果
- SUM (1バイト) : チェックサム (レスポンスデータのチェックサム)

(10) ユーザブート領域ブランクチェック

ホストがユーザブート領域ブランクチェックコマンドを送信すると、本 MCU はユーザブート領域がすべてイレーズされた状態であるかをチェックします。ユーザブート領域がすべてイレーズされた状態であった場合には、本 MCU はレスポンス (“06h”) を送信します。ユーザブート領域にイレーズされていない領域が存在した場合には、本 MCU はエラーレスポンス (“CCh”、“52h”) を送信します。

コマンド	4Ch		
レスポンス	06h		
エラー レスポンス	CCh	52h	

(11) ユーザ領域ブランクチェック

ホストがユーザ領域ブランクチェックコマンドを送信すると、本MCUはユーザ領域がすべてイレーズされた状態であるかをチェックします。ユーザ領域がすべてイレーズされた状態であった場合には、本MCUはレスポンス (“06h”) を送信します。ユーザ領域にイレーズされていない領域が存在した場合には、本MCUはエラーレスポンス (“CDh”、“52h”) を送信します。

コマンド	4Dh
レスポンス	06h
エラー レスポンス	CDh 52h

(12) データ領域ブランクチェック

ホストがデータ領域ブランクチェックコマンドを送信すると、本MCUはデータ領域がすべてイレーズされた状態であるかをチェックします。データ領域がすべてイレーズされた状態であった場合には、本MCUはレスポンス (“06h”) を送信します。データ領域にイレーズされていない領域が存在した場合には、本MCUはエラーレスポンス (“E2h”、“52h”) を送信します。

コマンド	62h
レスポンス	06h
エラー レスポンス	E2h 52h

(13) リードロックビットステータス

ホストがリードロックビットステータスコマンドを送信すると、本MCUはロックビットに対するリードを実行します。正常にリードが実行された場合には、本MCUはリードロックビットステータスコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、本MCUはエラーレスポンス (“F1h”) を送信します。

コマンド	71h	サイズ	領域	A15 ~ A8	A23 ~ A16	A31 ~ A24	SUM
------	-----	-----	----	----------	-----------	-----------	-----

A15~A8 (1バイト) : 指定ブロックの最後尾のアドレス (15~8ビット)
 A23~A16 (1バイト) : 指定ブロックの最後尾のアドレス (23~16ビット)
 A31~A24 (1バイト) : 指定ブロックの最後尾のアドレス (31~24ビット)

レスポンス

ステータス

エラー
 レスポンス

F1h	エラー
-----	-----

サイズ (1バイト) : 領域、A15~A8、A23~A16、A31~A24のデータの総バイト数
 (本MCUでは固定値で4)

領域 (1バイト) : 読み出し対象の領域
 01h : ユーザ領域

A15~A8 (1バイト) : 指定ブロックの最後尾のアドレスのA15~A8 (8~15ビット)

A23~A16 (1バイト) : 指定ブロックの最後尾のアドレスのA23~A16 (16~23ビット)

A31~A24 (1バイト) : 指定ブロックの最後尾のアドレスのA31~A24 (24~31ビット)

SUM (1バイト) : チェックサム

ステータス (1バイト) : ビット6が“0”でロック状態
 ビット6が“1”でアンロック状態

エラー (1バイト) : エラーコード
 11h : チェックサムエラー
 2Ah : アドレスエラー (アドレスが指定の領域内でない)

(14) ロックビットプログラム

ホストがロックビットプログラムコマンドを送信すると、本MCUはロックビットのプログラムを行い、指定ブロックをロック状態にします。正常にロックされた場合には、本MCUはレスポンス（“06h”）を送信します。ロックされなかった場合には、本MCUはエラーレスポンス（“F7h”）を送信します。

コマンド	77h	サイズ	領域	中位アドレス	上位アドレス	最上位アドレス	SUM
レスポンス	06h						
エラー レスポンス	F7h		エラー				

サイズ (1バイト)	: 領域、中位アドレス、上位アドレス、最上位アドレスのデータの総バイト数 (本MCUでは固定値で4)
領域 (1バイト)	: ロック対象の領域 01h : ユーザ領域
中位アドレス (1バイト)	: 指定ブロックの最後尾のアドレスの中位アドレス (8~15ビット)
上位アドレス (1バイト)	: 指定ブロックの最後尾のアドレスの上位アドレス (16~23ビット)
最上位アドレス (1バイト)	: 指定ブロックの最後尾のアドレスの最上位アドレス (24~31ビット)
SUM (1バイト)	: チェックサム
エラー (1バイト)	: エラーコード 11h : チェックサムエラー 2Ah : アドレスエラー (アドレスが指定の領域内がない) 53h : プログラムエラーが発生しロック状態にできない

(15) ロックビット有効

ホストがロックビット有効コマンドを送信すると、本MCUはロックビットを有効にします。

コマンド	7Ah
レスポンス	06h

(16) ロックビット無効

ホストがロックビット無効コマンドを送信すると、本MCUはロックビットを無効にします。

コマンド	75h
レスポンス	06h

(17) ブートプログラムステータス問い合わせ

「41.8.7 問い合わせ / 設定コマンド待ち」を参照してください。

41.9 USB ブートモード

USB ブートモードは、USB を経由して外部に接続されたホストから制御コマンドやプログラムデータを送信し、ユーザ領域への P/E を行うモードです。

USB ブートモードでは、制御コマンドやプログラムデータを送信するツールと、プログラムデータをホスト側に準備しておく必要があります。図 41.34 に USB ブートモードのシステム構成を示します。USB ブートモードで割り込み要求が発生した場合は、無視されます。システム側で割り込み要求が発生しないようにしてください。

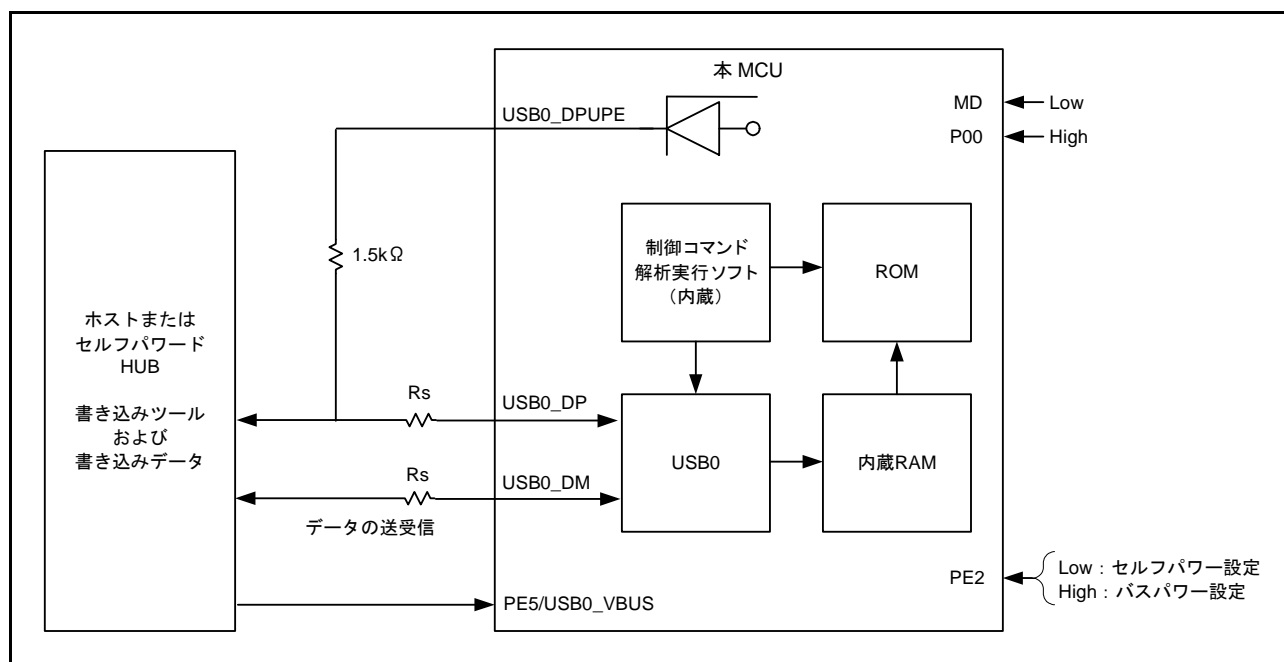


図 41.34 USB ブートモードのシステム構成図

41.9.1 特長

- バスパワーモードとセルフパワーモードを選択可能
- D+ プルアップ制御接続は USB0_DPUPE 端子のみ対応
- エニユメレーション情報は表 41.21 を参照

表41.21 エニユメレーション情報

USB 規格	Ver.2.0 (Full-speed)	
転送モード	コントロール転送 (in, out) バルク転送 (in, out)	
最大電力量	セルフパワーモード時 (PE2端子=0)	100mA
	バスパワーモード時 (PE2端子=1)	500mA
エンドポイント構成	EP0 Control (in out) 8Bytes Configuration1 ├── InterfaceNumber0 ├── AlternateSetting0 ├── EP1 Bulk (out) 64Bytes └── EP2 Bulk (in) 64Bytes	

41.9.2 状態遷移

USB ブートモード起動後の状態遷移を図 41.35 に示します。

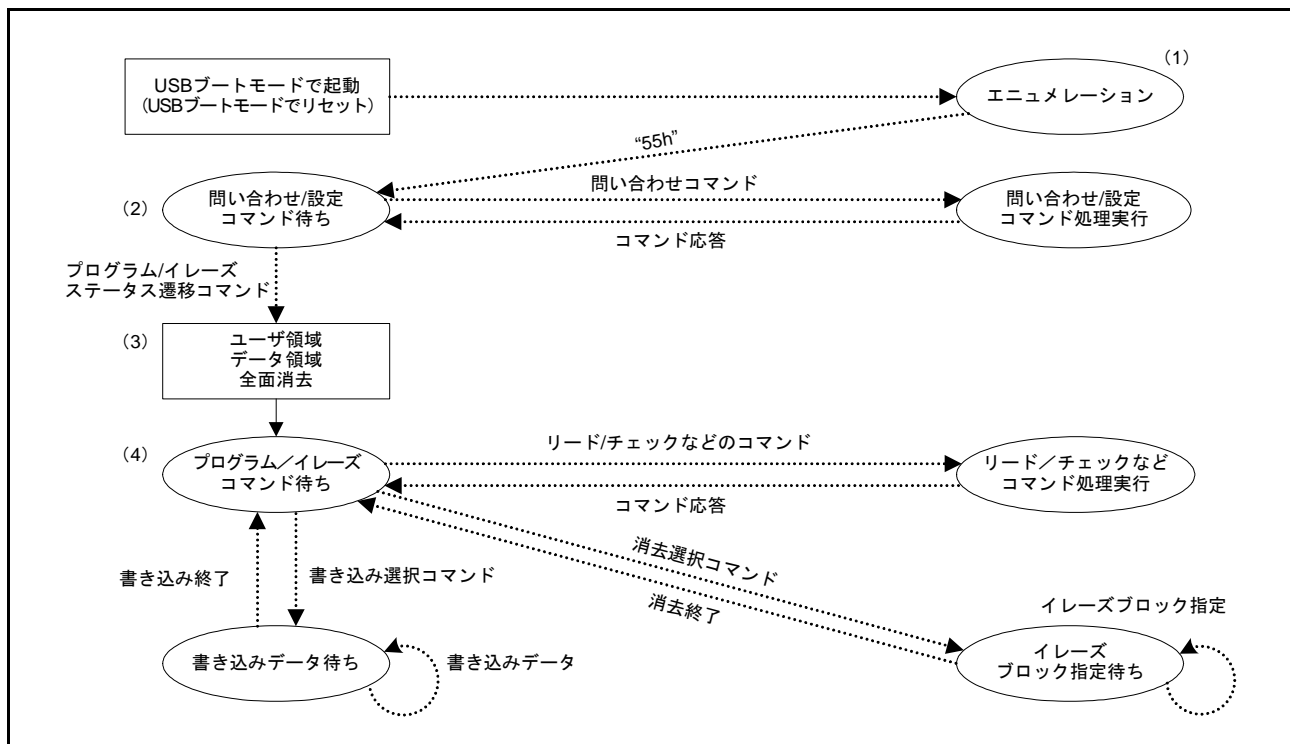


図 41.35 USB ブートモードの状態遷移

- (1) USB ブートモードで起動すると、製品出荷時にユーザブート領域にプログラムされている USB ブートプログラムが動作します。ホストと本 MCU のエニユメレーションが完了したら、ホストから本 MCU へ“55h”を 1 バイト送信してください。本 MCU から“E6h”が返ってこなかった場合は、本 MCU をリセットしてください。
- (2) ユーザ領域のサイズ、構成、先頭アドレス、サポート状況などの問い合わせ情報をホストに送信します。
- (3) 問い合わせが終了するとすべてのユーザ領域とデータ領域を自動イレーズします。
- (4) ユーザ領域自動イレーズ後は P/E コマンド待ちになります。プログラム選択コマンドを受信すると、プログラムデータ待ちに遷移します。イレーズ選択コマンドを受信すると、イレーズブロック指定待ちに遷移します。P/E コマンド以外に、ユーザ領域のチェックサム、ブランクチェック、メモリリード、および現在のステータス情報取得のコマンドがあります。

41.9.3 USB ブートモード実行時の注意点

- (1) USB ブートモード時には 12MHz のクロック発振器を使用し、USB モジュールへは 48MHz のクロックを供給する必要があります。USB 専用クロック (UCLK) が 48MHz となるように外部クロックの周波数とクロック発振器を設定してください。USB ブートモード時には、12MHz 以外のクロック発振器は使用できません。詳細は「10. クロック発生回路」を参照してください。
- (2) D+ プルアップ制御接続は USB0_DPUPE 端子を使用してください。
- (3) フラッシュメモリへの P/E 中における電源安定供給のために、バスパワー HUB を経由してケーブル接続はしないでください。

- (4) フラッシュメモリへの P/E 中に USB ケーブルを抜かないでください。LSI に致命的な損傷を与える可能性があります。
- (5) バスパワーモード時に USB バスがサスペンドモードに入っても低消費電力状態のソフトウェアスタンバイモードには移行しません。

41.10 オンチップデバッグ ID コードプロテクト

オンチップデバッグとの接続を禁止するための機能です。オンチップデバッグを接続する場合、ROM 上に書かれている制御コードおよび ID コードを使い、オンチップデバッグ ID コードプロテクトの有効/無効と、オンチップデバッグ ID コードプロテクトの判定を行います。ID コードプロテクトが有効の場合、オンチップデバッグから送られてくるコードと、ROM 上の制御コードおよび ID コードの一致を判定し、一致した場合、オンチップデバッグとの接続を許可します。一致しない場合、オンチップデバッグとの接続はできません。ただし、制御コードが“52h”、ID コード 1 から ID コード 7 に 50h,72h,6Fh,74h,65h,63h,74h を設定した場合、ID コード判定をせずに常に不一致とし、オンチップデバッグとの接続を禁止します。また、制御コードおよび ID コードがすべて“FFh”の場合、ID コード判定をせずに常に一致とし、オンチップデバッグとの接続を許可します。フラッシュメモリ上の ID コードの構成は、**図 41.29** と同じです。

表41.22 オンチップデバッグIDコードプロテクト仕様

制御コード	IDコード	プロテクト状態	オンチップデバッグ接続時の動作
FFh	FFh,...,FFh (すべてFFh)	プロテクト無効	常にIDコード一致とし、オンチップデバッグとの接続を許可する
52h	50h,72h,6Fh,74h,65h,63h,74h,FFh,...,FFh	プロテクト有効	常にIDコード不一致とし、オンチップデバッグとの接続を禁止する
上記以外	上記以外	プロテクト有効	IDコード一致：オンチップデバッグ認証を完了し、オンチップデバッグとの接続を許可する。 IDコード不一致：再度、IDコード待ちに遷移する

41.11 ROM コードプロテクト

ROM コードプロテクトは、フラッシュライタを使用する場合にフラッシュメモリの読み出し、書き換えを禁止する機能です。フラッシュメモリ上の ROM コードは、32 ビット長のデータです。**図 41.36** に ROM コードの構成を示します。ROM コードは 32 ビット単位で設定してください。

ROM コードプロテクトを解除する場合、ブートモードもしくはユーザプログラミングで ROM コードを含むユーザ領域のブロック EB00 をイレーズしてください。

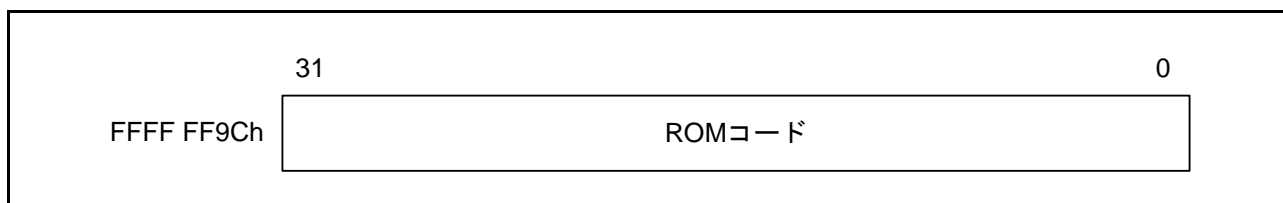


図 41.36 ROM コードの構成

表41.23 ROMコードプロテクト仕様

ROMコード	プロテクト状態	フラッシュライタ接続時の動作
0000 0000h	ROMコードプロテクト有効 (ROMコードプロテクト1)	ユーザ領域/ユーザブート領域の読み出し、書き換えを禁止する
0000 0001h	ROMコードプロテクト有効 (ROMコードプロテクト2)	ユーザ領域/ユーザブート領域の読み出しを禁止する
上記以外	ROMコードプロテクト無効	ユーザ領域/ユーザブート領域の読み出し、書き換えを許可する

41.12 使用上の注意事項 (ROM / E2 データフラッシュ共通)

(1) P/E サスペンド対象領域

P/E サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、P/E サスペンド対象領域の命令実行や、データ読み出しが発生しないように注意してください。

(2) P/E サスペンドによる中断

P/E サスペンドコマンドによって P/E 処理を中断した場合は、レジュームコマンドにより動作を完了させてください。

(3) 追加プログラム禁止

同一領域に 2 回以上のプログラムを行うことはできません。プログラム済みの領域を再度プログラムする場合には、当該領域をイレーズしてください。

(4) P/E またはブランクチェック中のリセット

P/E またはブランクチェック中に RES# 端子からのリセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、 t_{RESWF} (「42. 電気的特性【144/120/112/100 ピン版】」、「43. 電気的特性【64/48 ピン版】」を参照) 以上のリセット入力期間の後にリセットを解除してください。

P/E またはブランクチェック中に FRESETR.FRESETR ビットにより FCU をリセットする場合は、リセット状態を t_{FCUR} (「42. 電気的特性【144/120/112/100 ピン版】」、「43. 電気的特性【64/48 ピン版】」を参照) の時間保持してください。

FCU をリセットしている期間は、P/E またはブランクチェック対象の ROM の読み出しを行わないでください。

P/E またはブランクチェック中の WDT リセット、IWDTR リセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。

(5) P/E 中のノンマスカブル割り込み禁止

P/E 中にノンマスカブル割り込み (NMI 端子割り込み、発振停止検出割り込み、WDT アンダフロー/リフレッシュエラー、IWDTR アンダフロー/リフレッシュエラー、電圧監視 1 割り込み、電圧監視 2 割り込み) が発生すると、ROM からのベクタのフェッチが発生し、不定データが読み出されます。このため、ROM への P/E 中にノンマスカブル割り込みが発生しないようにしてください。

(本禁止事項は、ROM にのみ適用されます。)

(6) P/E またはブランクチェック中の割り込みベクタの配置

P/E またはブランクチェック中に割り込みが発生すると ROM からのベクタのフェッチが発生する場合があります。ROM からのベクタのフェッチを回避するには、CPU の割り込みテーブルレジスタ (INTB) により割り込みベクタのフェッチ先を ROM 以外に設定する方法があります。

(7) P/E またはブランクチェック中の異常終了

P/E またはブランクチェック中の動作電圧範囲を超える電圧変動、リセット、FRESETR.FRESETR ビットによる FCU リセット、エラー検出によるコマンドロック状態、および次項 (9) の禁止事項によって、P/E またはブランクチェックが正常に終了しなかった場合、ロックビットが“0” (プロテクト状態) になっている場合があります。この場合、FPROTR.FPROTCN ビットを“1”にした状態でブロックイレーズコマンドを発行し、ロックビットを消去してください。

その後、正常終了しなかった書き込みを再度やり直してください。

(8) P/E またはブランクチェック中の禁止事項

P/E またはブランクチェック中はフラッシュメモリ内に高電圧が印加されています。フラッシュメモリへのダメージを防ぐため、以下の禁止事項を守ってください。

- 本 MCU への入力電圧は動作電圧未満にしないでください。
- FWEPROR.FLWE[1:0] ビットの値を更新しないでください。
- SYSCR0.ROME ビットの設定により、動作モードを変更しないでください。
- SCKCR3.CKSEL[2:0] ビットの設定により、クロックソースを変更しないでください。
- FlashIF クロック (FCLK) の分周比を変更しないでください。
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行しないでください。

(9) ブートモードあるいは USB ブートモードでフラッシュ書き換えを実施する場合の注意事項

ブートモードあるいは USB ブートモードでフラッシュ書き換えを実施する場合は、メインクロックの入力が必要です。ブートモードの場合は、XTAL 端子、EXTAL 端子間には電気的特性に示す範囲の発振子を接続してください。USB ブートモードの場合は、12MHz の発振子を接続してください。

(10) ブートモードでの EXTAL 端子の扱い

ブートモードを使用するときは、EXTAL 端子に外部から入力するか、発振子を接続してクロックを供給してください。

(11) USB ブートモードでの EXTAL 端子の扱い

USB ブートモードを使用するときは、EXTAL 端子に外部から入力するか、発振子を接続して 12MHz のクロックを供給してください。

41.13 使用上の注意事項 (E2 データフラッシュ)

(1) リセット後のデータ領域プロテクト状態

DFLREy、DFLWEy レジスタ (y=0,1) の初期値が“0000h”であるため、リセット後のデータ領域の読み出し/P/E は禁止状態です。データ領域の読み出しが必要な場合には DFLREy レジスタを設定してからデータ領域にアクセスしてください。また、データ領域の P/E が必要な場合には、DFLWEy レジスタを設定してから P/E 用の FCU コマンドを発行してください。レジスタを設定せずに読み出し/P/E を実行しようとする、FCU がエラーを検出して、FASTAT.CMDLK ビットは“1”(コマンドロック状態)になります。

42. 電気的特性【144/120/112/100ピン版】

42.1 絶対最大定格

表 42.1 絶対最大定格

条件 : VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V

項目		記号	定格値	単位
電源電圧		VCC、PLLVCC	-0.3 ~ +6.5	V
USB電源電圧		VCC_USB (注1)	-0.3 ~ +6.5	V
アナログ電源電圧		AVCC0、AVCC (注2)	-0.3 ~ +6.5	V
リファレンス電源電圧		VREFH0 (注2)	-0.3 ~ AVCC0 + 0.3	V
		VREF (注2)	-0.3 ~ AVCC + 0.3	V
入力電圧 (ポート4~6、C、USB0_DP、USB0_DM以外)		V _{in}	-0.3 ~ VCC + 0.3	V
入力電圧 (USB0_DP、USB0_DM)		V _{in}	-0.3 ~ VCC_USB + 0.3	V
入力電圧 (ポート4)		V _{in}	-0.3 ~ AVCC0 + 0.3	V
入力電圧 (ポート5、6、C)		V _{in}	-0.3 ~ AVCC + 0.3	V
アナログ入力電圧 (ポート4)		V _{AN}	-0.3 ~ AVCC0 + 0.3	V
アナログ入力電圧 (ポート5、6、C)		V _{AN}	-0.3 ~ AVCC + 0.3	V
動作温度	Dバージョン品	T _{opr}	-40 ~ +85	°C
	Gバージョン品	T _{opr}	-40 ~ +105	°C
保存温度		T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

- 注1. USB未使用時にVCC_USB、VSS_USB端子を開放しないでください。
VCC_USB端子はVCCに、VSS_USB端子はVSSにそれぞれ接続してください。
- 注2. A/Dコンバータ未使用時にAVCC0、VREFH0、VREFL0、AVSS0、AVCC、VREF、AVSS端子を開放しないでください。
- ・12ビットA/Dコンバータ未使用時
AVCC0端子はAVCCに、VREFH0端子はVREFに、AVSS0、VREFL0端子はAVSSにそれぞれ接続してください。
 - ・10ビットA/Dコンバータ未使用時
AVCC端子はAVCC0に、VREF端子はVREFH0に、AVSS端子はAVSS0にそれぞれ接続してください。
 - ・12ビットA/Dコンバータおよび10ビットA/Dコンバータ未使用時
AVCC0、VREFH0、AVCC、VREF端子はVCCに、AVSS0、VREFL0、AVSS端子はVSSにそれぞれ接続してください。

42.2 DC 特性

表 42.2 DC 特性(1)

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 1、条件 2 において USB 使用時は VCC = PLLVCC = VCC_USB = 3.0 ~ 3.6V です。

T_a = T_{opr} T_a は条件 1 ~ 3 で共通です。

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	CAN入力端子	V _{IH}	VCC × 0.8	—	VCC + 0.3	V
	IRQ入力端子	V _{IL}	-0.3	—	VCC × 0.2	
	MTU3入力端子	ΔV _T	VCC × 0.06	—	—	
	POE3入力端子					
	SCI入力端子					
	A/Dトリガ入力端子					
	GPT入力端子					
	RES#, NMI					
	RIIC入力端子 (IICBus動作時)	V _{IH}	VCC × 0.7	—	VCC + 0.3	
		V _{IL}	-0.3	—	VCC × 0.3	
		ΔV _T	VCC × 0.05	—	—	
	USB0_VBUS入力端子	V _{IH}	VCC × 0.7	—	VCC + 0.3	
		V _{IL}	-0.3	—	VCC × 0.2	
		ΔV _T	VCC × 0.06	—	—	
ポート4 (注1) (アナログ兼用ポート)	V _{IH}	AVCC0 × 0.8	—	AVCC0 + 0.3		
	V _{IL}	-0.3	—	AVCC0 × 0.2		
ポート5、6、C (注1) (アナログ兼用ポート)	V _{IH}	AVCC × 0.8	—	AVCC + 0.3		
	V _{IL}	-0.3	—	AVCC × 0.2		
ポート0~3 (注1) ポート7~B (注1) ポートD~G (注1)	V _{IH}	VCC × 0.8	—	VCC + 0.3		
	V _{IL}	-0.3	—	VCC × 0.2		
入力Highレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE	V _{IH}	VCC × 0.9	—	VCC + 0.3	V
			VCC × 0.8	—	VCC + 0.3	
			VCC × 0.7	—	VCC + 0.3	
			2.1	—	VCC + 0.3	
入力Lowレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE	V _{IL}	-0.3	—	VCC × 0.1	V
			-0.3	—	VCC × 0.2	
			-0.3	—	VCC × 0.3	
			-0.3	—	0.8	

注1. 兼用入力端子を含みます。

ただし、ポートP25、P26、PB1、PB2をRIIC入力端子として使用した場合とポートP22~P24、P30、PA3~PA5、PB0、PD0~PD2、PD6をRSPI入力端子として使用した場合とポートPD4、PF3をTCK入力端子として使用した場合は除きます。

表 42.3 DC特性(2)

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 1、条件 2 において USB 使用時は VCC = PLLVCC = VCC_USB = 3.0 ~ 3.6V です。

$T_a = T_{opr}$ T_a は条件 1 ~ 3 で共通です。

項目	記号	min	typ	max	単位	測定条件	
出力Highレベル電圧	全出力端子 (P52、P53、P60~P65、P71 ~P76、P90~P95、 USB0_DPUPEを除く)	V _{OH}	VCC - 0.5	-	-	V	I _{OH} = -1mA
	P52、P53、P60~P65		AVCC - 0.5	-	-		I _{OH} = -1mA
	USB0_DPUPE		VCC_USB - 0.5				I _{OH} = -1mA
	P71~P76、P90~P95		VCC - 1.0	-	-		I _{OH} = -5mA
出力Lowレベル電圧	全出力端子 (P71~P76、P90~P95と RIIC端子を除く)	V _{OL}	-	-	0.5	V	I _{OL} = 1.0mA
	P71~P76、P90~P95		-	-	1.1		I _{OL} = 15mA
	RIIC端子		-	-	0.4		I _{OL} = 3mA
			-	-	0.6		I _{OL} = 6mA
入力リーク電流	RES#、MD端子、EMLE ポート4、 ポートP50、P51、P54~P57 ポートC	I _{in}	-	-	1.0	μA	V _{in} = 0V、V _{in} = VCC
スリーステートリーク電流 (オフ状態)	ポート0 ポート1 ポートP20~P24 ポート3 ポートP52、P53 ポート6~A ポートPB0、PB3~PB7 ポートD~G	I _{TSI}	-	-	1.0	μA	V _{in} = 0V、V _{in} = VCC
	ポートP25、P26、PB1、PB2		-	-	5.0		
入力容量	全入力端子 (ポートP25、P26、PB1、 PB2以外)	C _{in}	-	-	15	pF	V _{in} = 0V、 f = 1MHz、 T _a = 25°C
	ポートP25、P26、PB1、PB2		-	-	30		

表 42.4 DC特性(3)

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 1、条件 2 において USB 使用時は VCC = PLLVCC = VCC_USB = 3.0 ~ 3.6V です。

$T_a = T_{opr}$ T_a は条件 1 ~ 3 で共通です。

項目		記号	min	typ	max	単位	測定条件	
消費電流 (注1)	動作時	最大動作時 (注2)	I _{CC} (注3)	—	—	70	mA	ICLK = 100MHz PCLKA = 100MHz PCLKB = 50MHz PCLKC = 100MHz PCLKD = 50MHz FCLK = 50MHz
		通常動作時 (注4)		—	40	—		
		BGO 動作 (注5) による増加分		—	15	—		
	スリープ時		—	40	55	—		
	全モジュールクロックストップ時 (注6)		—	20	30	—		
	スタンバイ時	ソフトウェアスタンバイ時	—	0.10	3	mA		
ディープソフトウェアスタンバイ時		—	20	60	μA			
アナログ電源電流	12ビット A/D 変換中 (1ユニット当り)		AI _{CC0}	—	1.5	4.2	mA	
	プログラマブルゲインアンプ (1ch 当り)			—	1	1.5	mA	
	ウィンドウコンパレータ (1ch 当り)			—	0.5	0.7	mA	
	12ビット A/D 変換待機時 (全ユニット)		AI _{CC}	—	0.1	8	μA	
	10ビット A/D 変換中 (1ch 当り)			—	0.9	1.4	mA	
	D/A 変換中 (1ユニット当り)			—	0.1	4	μA	
10ビット A/D、D/A 変換待機時 (全ユニット)		—	0.1	4	μA			
リファレンス電源電流	12ビット A/D 変換中 (1ユニット当り)		AI _{REFH0}	—	1.6	2.5	mA	
	12ビット A/D 変換待機時 (全ユニット)			—	0.1	1.5	μA	
	10ビット A/D 変換中 (1ch 当り)		AI _{REF}	—	0.2	0.3	mA	
	D/A 変換中 (1ユニット当り)			—	1	1.5	mA	
	10ビット A/D、D/A 変換待機時 (全ユニット)			—	0.1	1.2	μA	
VCC 立ち上がり勾配		SV _{CC}	—	—	20	ms/V		

注1. 消費電流値はすべての出力端子を無負荷状態にした場合の値です。

注2. 周辺機能はクロック供給状態。BGO 動作は除きます。

注3. I_{CC} は下記の式にしたがって f (ICLK) に依存します。(ICLK : PCLK = 8 : 4)

I_{CC max} = 0.6 × f + 10 (最大動作時)

I_{CC typ} = 0.3 × f + 10 (通常動作時)

I_{CC max} = 0.45 × f + 10 (スリープ時)

注4. 周辺機能はクロック供給停止状態。BGO 動作は除きます。

注5. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータを書き込み/消去を実行した場合の増加分です。

注6. 参考値です。

表 42.5 出力許容電流値

(注) 表中に条件の記載がない項目の規格値は条件 1～3 で共通です。

条件 1: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 1、条件 2 において USB 使用時は VCC = PLLVCC = VCC_USB = 3.0 ~ 3.6V です。

$T_a = T_{opr}$ T_a は条件 1～3 で共通です。

項目	記号	min	typ	max	単位	
出力Lowレベル許容電流 (1端子あたりの平均値)	全出力端子 (P71～P76、P90～P95とRIIC端子を除く) (注1)	I_{OL}	—	—	2.0	mA
	RIIC端子	I_{OL}	—	—	6.0	mA
	P71～P76、P90～P95 (注2)	I_{OL}	—	—	15.0	mA
出力Lowレベル許容電流 (1端子あたりの最大値)	全出力端子 (P71～P76、P90～P95とRIIC端子を除く) (注1)	I_{OL}	—	—	4.0	mA
	RIIC端子	I_{OL}	—	—	6.0	mA
	P71～P76、P90～P95 (注2)	I_{OL}	—	—	15.0	mA
出力Lowレベル許容電流 (総和)	出力端子の総和	ΣI_{OL}	—	—	110	mA
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子 (P71～P76、P90～P95とUSB0_DPUPE端子を除く) (注1)	$-I_{OH}$	—	—	2.0	mA
	USB0_DPUPE端子	$-I_{OH}$	—	—	3.0	mA
	P71～P76、P90～P95 (注2)	$-I_{OH}$	—	—	5.0	mA
出力Highレベル許容電流 (1端子あたりの最大値)	全出力端子 (P71～P76、P90～P95を除く) (注1)	$-I_{OH}$	—	—	4.0	mA
	P71～P76、P90～P95 (注2)	$-I_{OH}$	—	—	5.0	mA
出力Highレベル許容電流 (総和)		$\Sigma -I_{OH}$	—	—	35	mA

注1. USB0_DP、USB0_DMは除きます。

注2. P71～P76、P90～P95は $I_{OL}=15\text{mA}$ (Max.) / $-I_{OH}=5\text{mA}$ (Max.)。ただし、これらの端子のうち同時に2.0mAを超えて $I_{OL}/-I_{OH}$ を流すものは6本以内にしてください。

【使用上の注意】 LSIの信頼性を確保するため、出力電流値は表 42.5の値を超えないようにしてください。

表 42.6 許容消費電力 (Gバージョンのみ)

(注) 表中に条件の記載がない項目の規格値は条件 1～3 で共通です。

条件 1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件 2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件 3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

$T_a = -40 \sim +105^\circ\text{C}$ 。 T_a は条件 1～3 で共通です。

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	P_d	—	345	mW	$85^\circ\text{C} < T_a \leq 105^\circ\text{C}$

注. $T_a = +85^\circ\text{C} \sim +105^\circ\text{C}$ で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

注1. チップ全体 (出力電流を含む) の総電力です。

42.3 AC 特性

表 42.7 動作周波数値

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$ T_a は条件 1 ~ 3 で共通です。

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f	—	—	100	MHz
	周辺モジュールクロック (PCLK) (注1)		—	—	50	
	タイマモジュールクロック (PCLKA)		—	—	100	
	AD用クロック (PCLKC)		—	—	100	
	S12AD用クロック (PCLKD)		—	—	50	
	FlashIFクロック (FCLK)		—	—	50	
	外部バスクロック (BCLK)		—	—	50	
	BCLK端子出力		—	—	25	
	USBクロック (UCLK)		—	—	48	

注1. USBを使用するときはPCLKを24MHz以上としてください。

42.3.1 リセットタイミング

表42.8 リセットタイミング

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。
 条件1: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
 AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0
 条件2: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
 AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0
 条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
 AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0
 $T_a = T_{opr}$ T_a は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t_{RESWP}	2	—	—	ms	図42.1
	ディープソフトウェアスタンバイモード	t_{RESWD}	1	—	—	ms	図42.2
	ソフトウェアスタンバイモード	t_{RESWS}	1	—	—	ms	
	ROMプログラム/イレーズ中、 E2データフラッシュプログラム/ イレーズ/ブランクチェック中	t_{RESWF}	200	—	—	μ s	
	上記以外	t_{RESW}	200	—	—	μ s	
RES#解除後待機時間	t_{RESWT}	59	—	60	t_{CYC}		
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグ タイマリセット、ソフトウェアリセット)	t_{RESW2}	112	—	120	t_{CYC}		

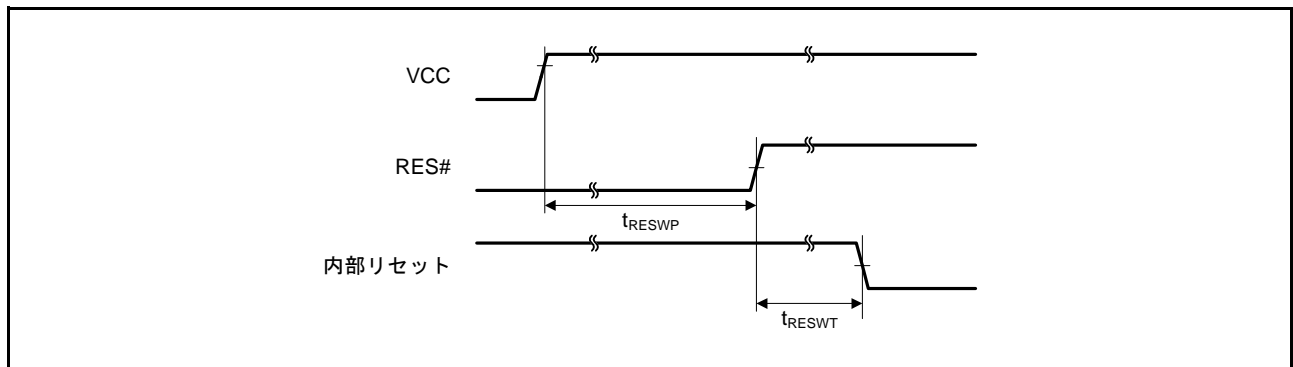


図 42.1 電源投入時リセット入力タイミング

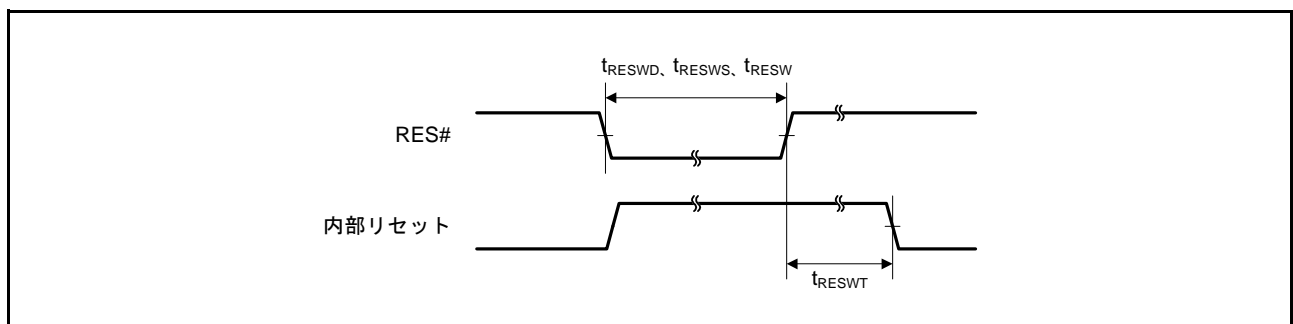


図 42.2 リセット入力タイミング

42.3.2 クロックタイミング

表42.9 クロックタイミング

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

T_a = T_{opr} T_aは条件1～3で共通です。

項目		記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	条件3のみ	t _{Bcyc}	20	—	—	ns	図42.3
	条件3以外	t _{Bcyc}	40	—	—	ns	
BCLK端子出力Highレベルパルス幅		t _{CH}	5	—	—	ns	
BCLK端子出力Lowレベルパルス幅		t _{CL}	5	—	—	ns	
BCLK端子出力立ち上がり時間		t _{Cr}	—	—	5	ns	
BCLK端子出力立ち下がり時間		t _{Cf}	—	—	5	ns	
EXTAL外部クロック入力サイクル時間		t _{EXcyc}	70	—	—	ns	図42.4
EXTAL外部クロック入力パルス幅Lowレベル		t _{EXL}	35	—	—	ns	
EXTAL外部クロック入力パルス幅Highレベル		t _{EXH}	35	—	—	ns	
EXTAL外部クロック立ち上がり時間		t _{EXr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間		t _{EXf}	—	—	5	ns	
EXTAL外部クロック入力待機時間(注1)		t _{EXWT}	1	—	—	ms	
メインクロック発振器発振周波数		f _{MAIN}	8	—	12.5	MHz	
メインクロック発振安定時間(水晶)		t _{MAINOSC}	—	—	(注2)	ms	図42.5
メインクロック発振安定待機時間(水晶)		t _{MAINOSCWT}	—	—	(注3)	ms	
LOCO、IWDTCCLKクロックサイクル時間		t _{LOCOCYC}	6.96	8	9.4	μs	
LOCO、IWDTCCLKクロック発振周波数		f _{LOCO}	106.25	125	143.75	kHz	
LOCO、IWDTCCLKクロック発振安定待機時間		t _{LOCOWT}	—	—	20	μs	図42.6
PLL回路発振周波数		f _{PLL}	104	—	200	MHz	
PLLクロック発振安定時間	メインクロック発振安定後にPLL動作開始	t _{PLL1}	—	—	500	μs	図42.7
PLLクロック発振安定待機時間		t _{PLLWT1}	—	—	(注4)	ms	
PLLクロック発振安定時間	メインクロック発振安定前にPLL動作開始	t _{PLL2}	—	—	t _{MAINOSC} + t _{PLL1}	ms	図42.8
PLLクロック発振安定待機時間		t _{PLLWT2}	—	—	(注4)	ms	

注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)に設定してから、使用できるまでの時間です。

注2. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注3. MOSCWTCR.MSTS[4:0]ビットで選択したサイクル数をnとすると、以下の式で算出されます。

$$t_{\text{MAINOSCWT}} = t_{\text{MAINOSC}} + \frac{n + 16384}{f_{\text{MAIN}}}$$

注4. PLLWTCR.PSTS[4:0]ビットで選択したサイクル数をnとすると、以下の式で算出されます。

$$t_{\text{PLLWT1}} = t_{\text{PLL1}} + \frac{n + 131072}{f_{\text{PLL}}}$$

$$t_{\text{PLLWT2}} = t_{\text{PLL2}} + \frac{n + 131072}{f_{\text{PLL}}} = t_{\text{MAINOSC}} + t_{\text{PLL1}} + \frac{n + 131072}{f_{\text{PLL}}}$$

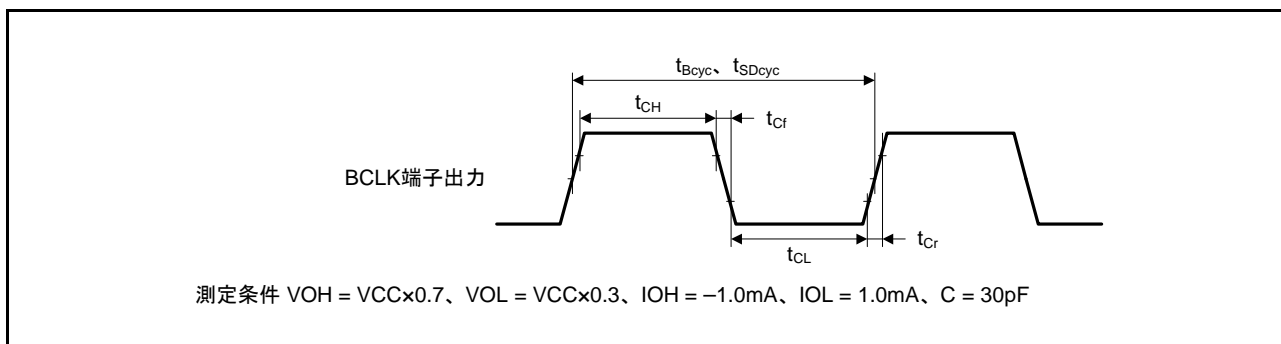


図 42.3 BCLK 端子出力タイミング

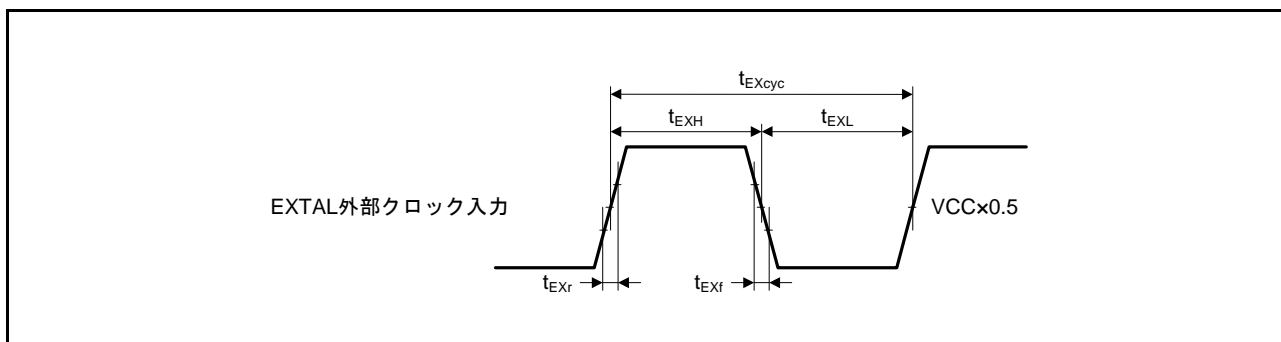


図 42.4 EXTAL 外部クロック入力タイミング

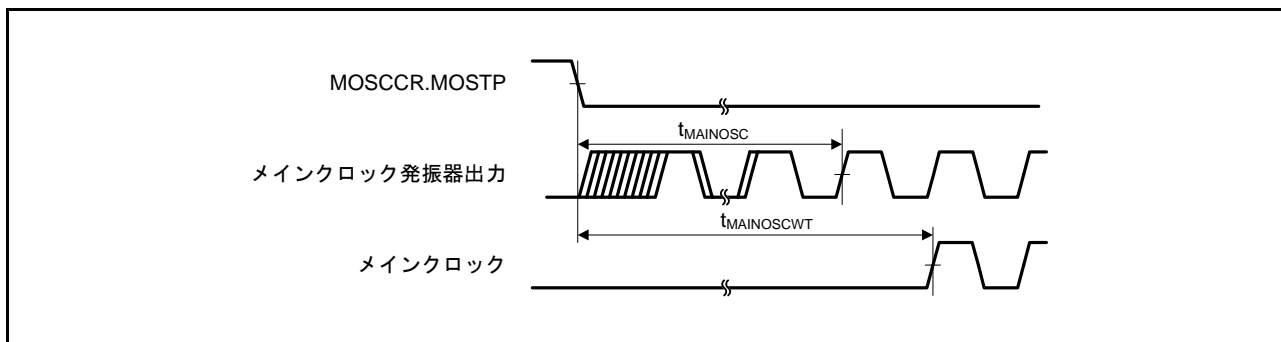


図 42.5 メインクロック発振開始タイミング

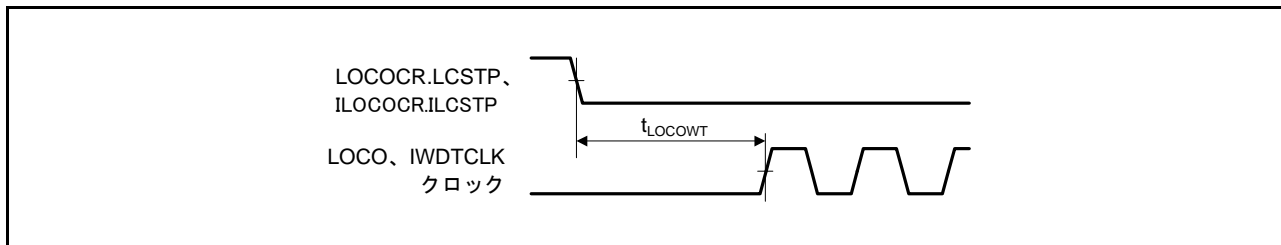


図 42.6 LOCO、IWDTCLK クロック発振開始タイミング

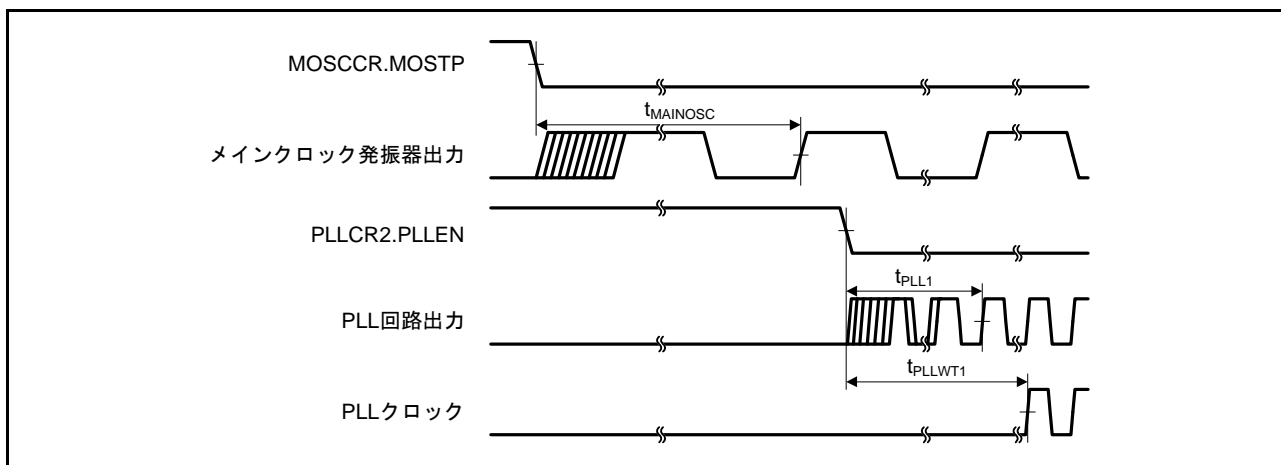


図 42.7 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

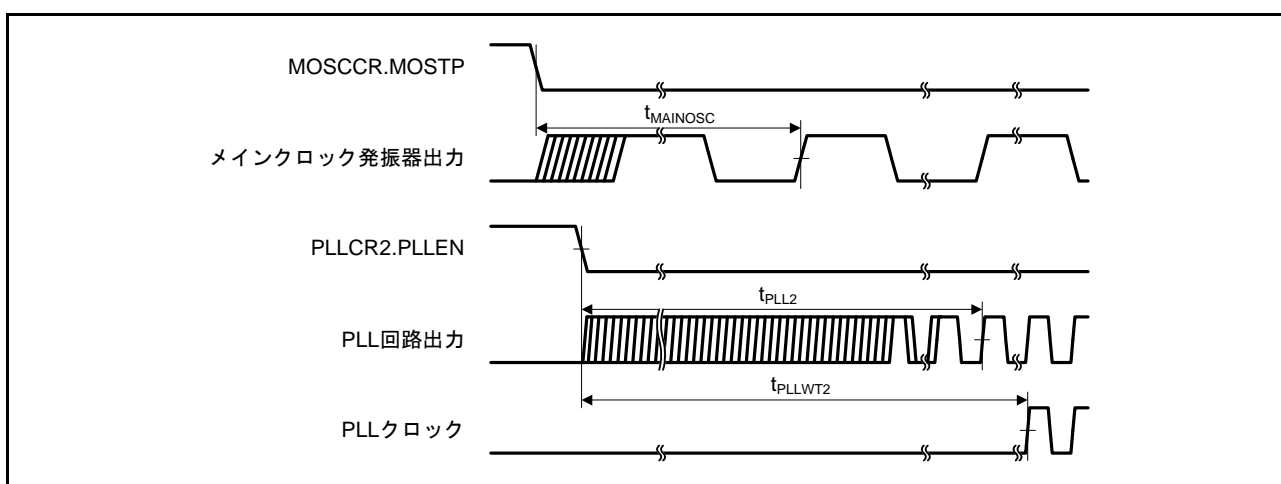


図 42.8 PLL クロック発振開始タイミング (メインクロック発振安定を待たずに PLL を動作させたとき)

42.3.3 低消費電力状態からの復帰タイミング

表 42.10 低消費電力状態からの復帰タイミング

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。
 条件 1 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
 AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0
 条件 2 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
 AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0
 条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V, VCC_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
 AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0
 $T_a = T_{opr}$ T_a は条件 1 ~ 3 で共通です。

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t_{SBYMC}	10	—	—	ms	図 42.9
		メインクロック発振器、PLL回路動作	t_{SBYPC}	10	—	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t_{SBYEX}	1	—	—	ms	
		メインクロック発振器、PLL回路動作	t_{SBYPE}	1	—	—	ms	
	低速オンチップオシレータ、またはIWDT専用低速クロック発振器	t_{SBYLO}	—	—	800	μ s		
ディープソフトウェアスタンバイモード解除後復帰時間		t_{DSBY}	—	—	1	ms	図 42.10	
ディープソフトウェアスタンバイモード解除後待機時間		t_{DSBYWT}	45	—	46	t_{cyc}		

注. WAIT命令実行時の各発振器の状態によって待ち時間が異なります。複数の発振器が動作している場合の復帰時間は、動作している発振器の中で復帰に最も時間がかかるものが単独で動作しているときと同じ時間になります。

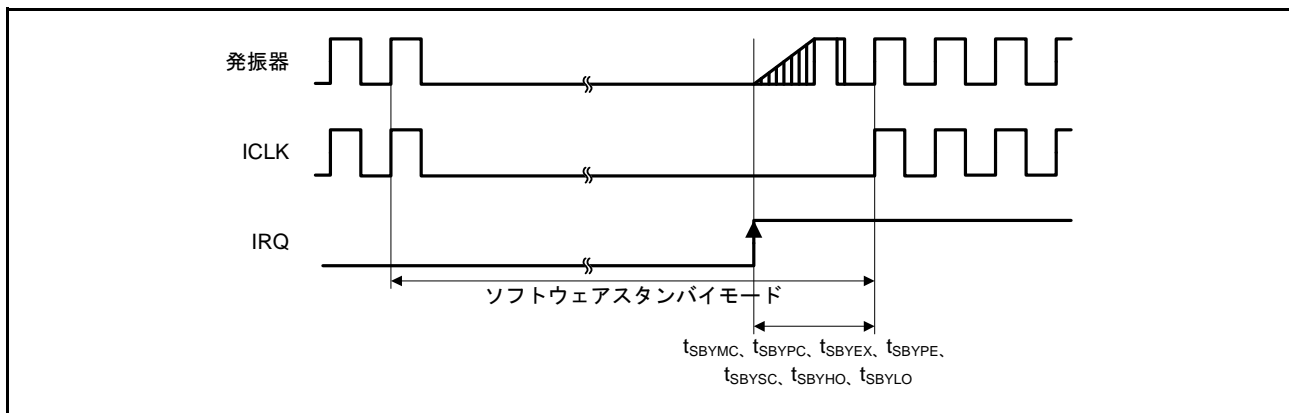


図 42.9 ソフトウェアスタンバイモード解除タイミング

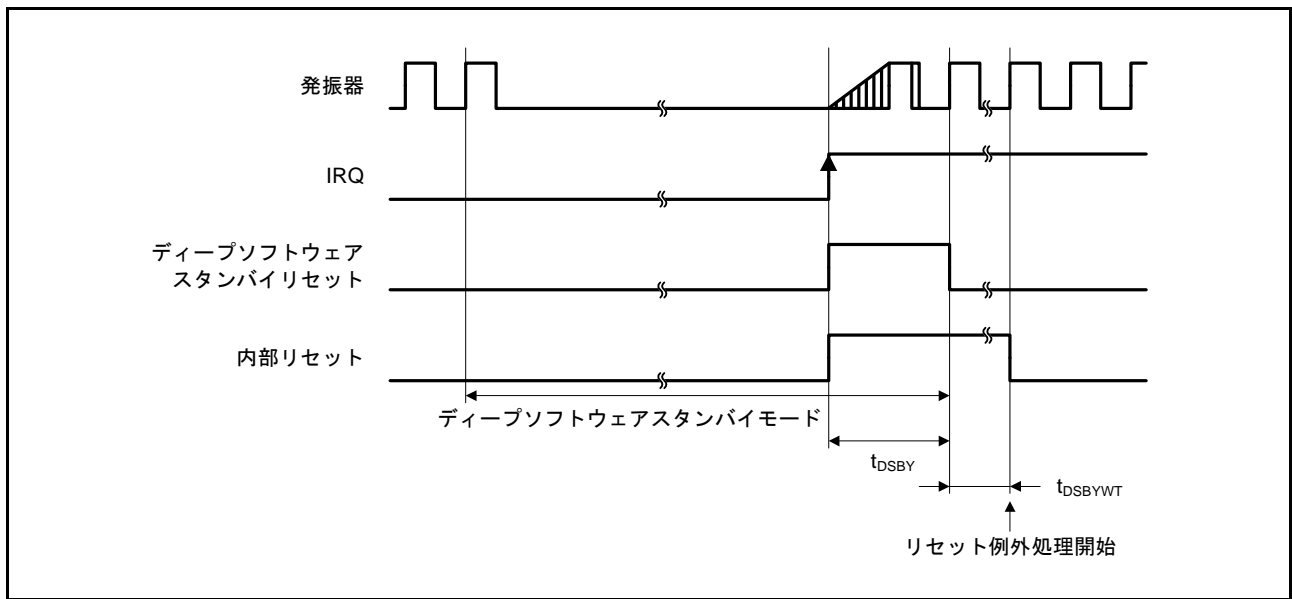


図 42.10 ディープソフトウェアスタンバイモード解除タイミング

42.3.4 制御信号タイミング

表 42.11 制御信号タイミング

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$ T_a は条件 1 ~ 3 で共通です。

項目	記号	min	typ	max	単位	測定条件
NMIパルス幅	t_{NMIW}	200	—	—	ns	$t_c(\text{PCLK}) \times 2 \leq 200\text{ns}$ 、図 42.11
		$t_c(\text{PCLK}) \times 2$	—	—	ns	$t_c(\text{PCLK}) \times 2 > 200\text{ns}$ 、図 42.11
IRQ#パルス幅	t_{IRQW}	200	—	—	ns	$t_c(\text{PCLK}) \times 2 \leq 200\text{ns}$ 、図 42.12
		$t_c(\text{PCLK}) \times 2$	—	—	ns	$t_c(\text{PCLK}) \times 2 > 200\text{ns}$ 、図 42.12

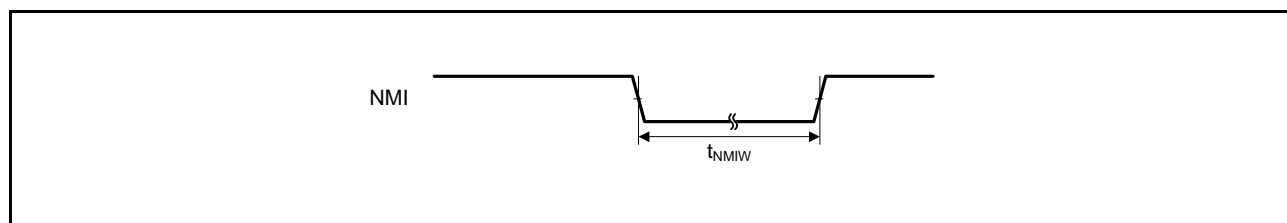


図 42.11 NMI 割り込み入カタイミング

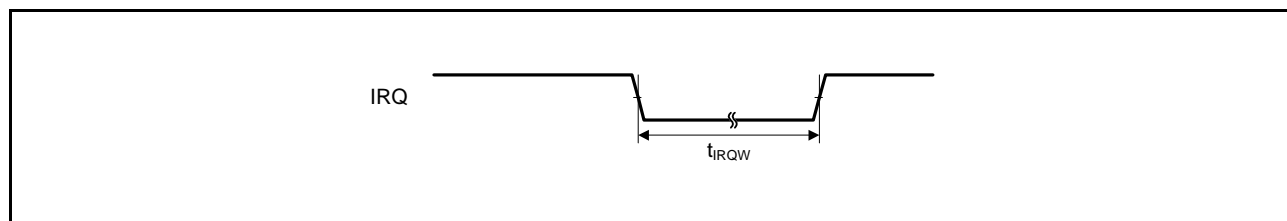


図 42.12 IRQ 割り込み入カタイミング

42.3.5 バスタイミング

表42.12 バスタイミング (1)

条件 : VCC = PLLVCC = VCC_USB = AVCC0 = AVCC = 3.0 ~ 3.6V、
 VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFLO = 0V
 VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

$T_a = T_{opr}$

出力負荷条件 : $V_{OH} = VCC \times 0.5$ 、 $V_{OL} = VCC \times 0.5$ 、 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	30	ns	図42.13 ~ 図42.16
バイトコントロール遅延時間	t_{BCD}	—	30	ns	
CS#遅延時間	t_{CSD}	—	30	ns	
RD#遅延時間	t_{RSD}	—	30	ns	
リードデータセットアップ時間	t_{RDS}	20	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	30	ns	
ライトデータ遅延時間	t_{WDD}	—	35	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	20	—	ns	図42.17
WAIT#ホールド時間	t_{WTH}	0	—	ns	

表42.13 バスタイミング (2)

条件 : VCC = PLLVCC = AVCC0 = AVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、
 VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFLO = 0V
 VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

$T_a = T_{opr}$

出力負荷条件 : $V_{OH} = VCC \times 0.5$ 、 $V_{OL} = VCC \times 0.5$ 、 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	15	ns	図42.13 ~ 図42.16
バイトコントロール遅延時間	t_{BCD}	—	15	ns	
CS#遅延時間	t_{CSD}	—	15	ns	
RD#遅延時間	t_{RSD}	—	15	ns	
リードデータセットアップ時間	t_{RDS}	15	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	15	ns	
ライトデータ遅延時間	t_{WDD}	—	15	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	15	—	ns	図42.17
WAIT#ホールド時間	t_{WTH}	0	—	ns	

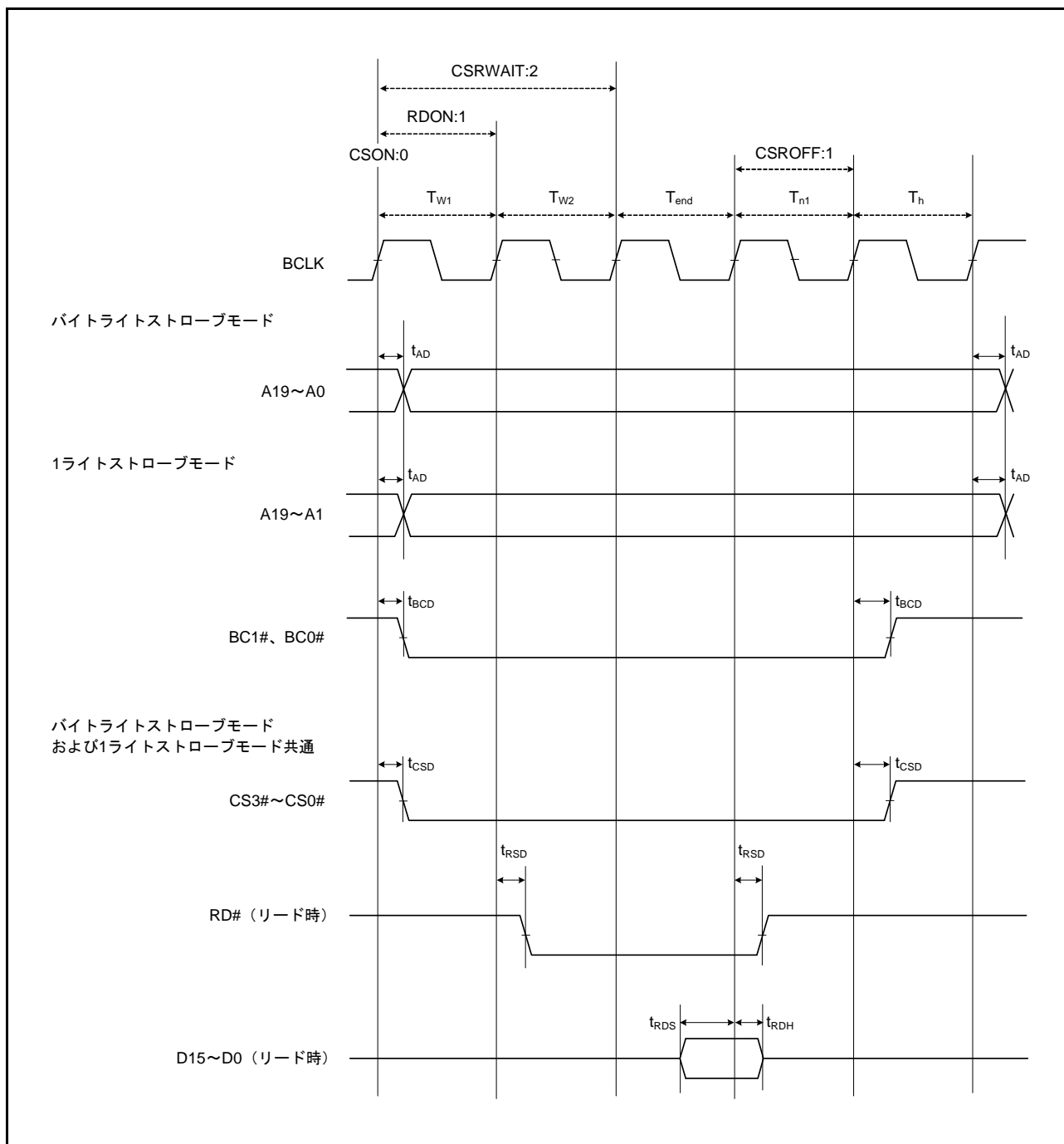


図 42.13 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

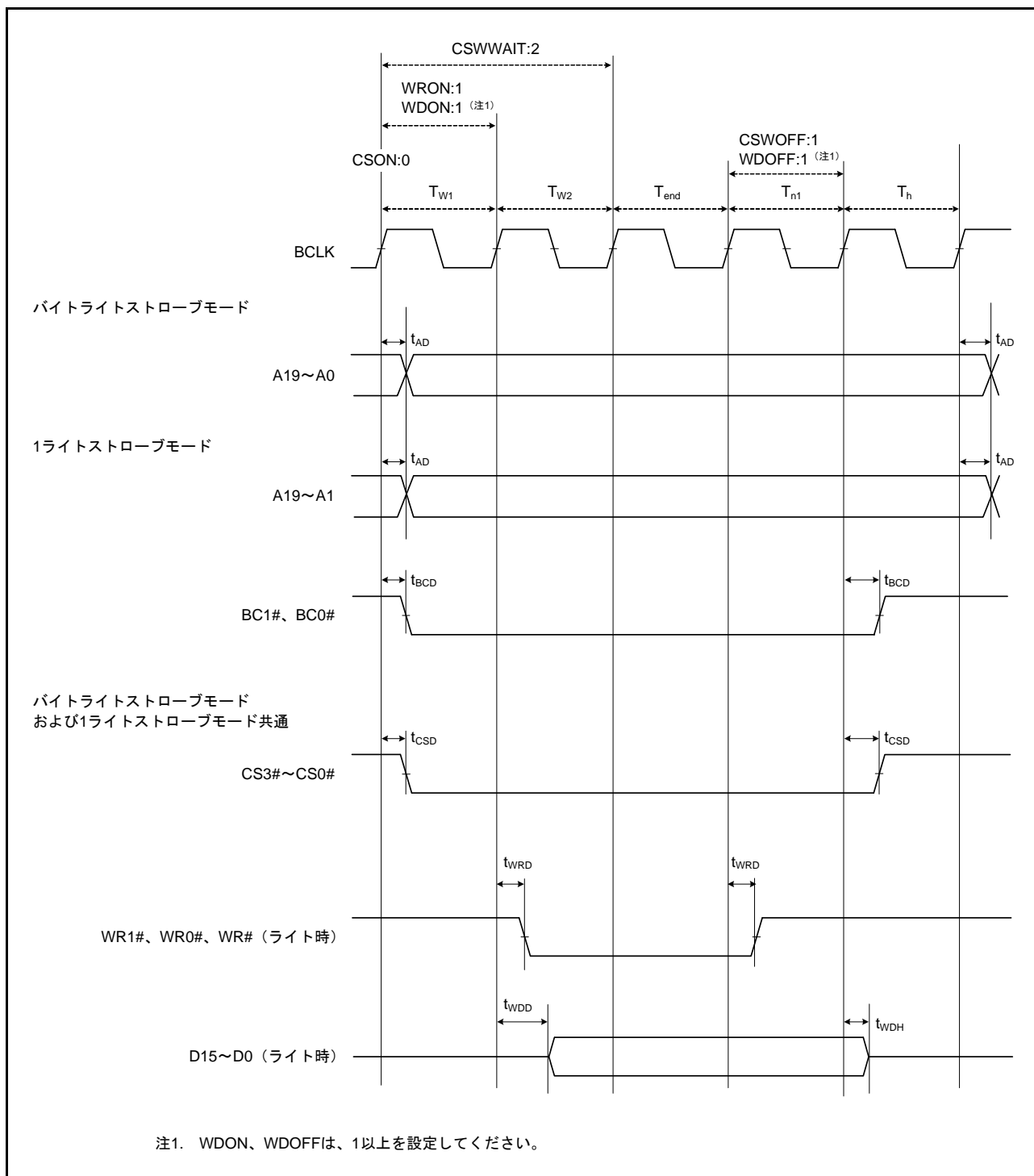


図 42.14 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

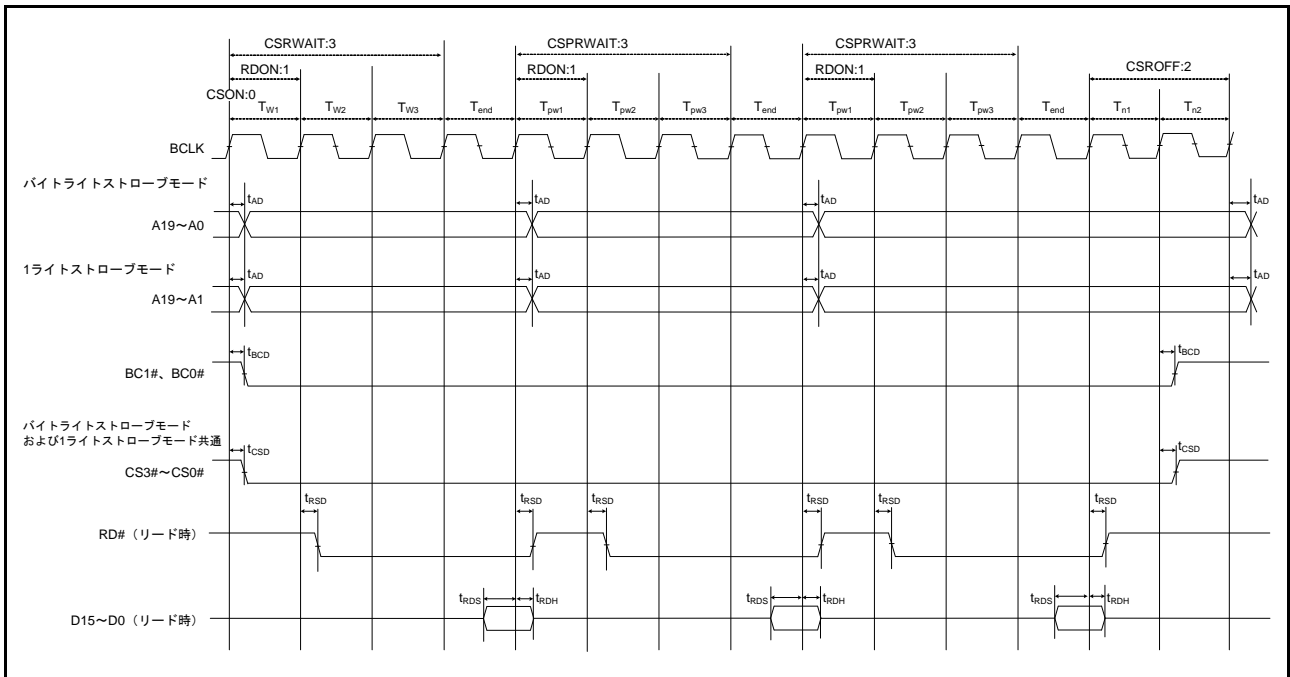


図 42.15 外部バスタイミング / ページリードサイクル (バスクロック同期)

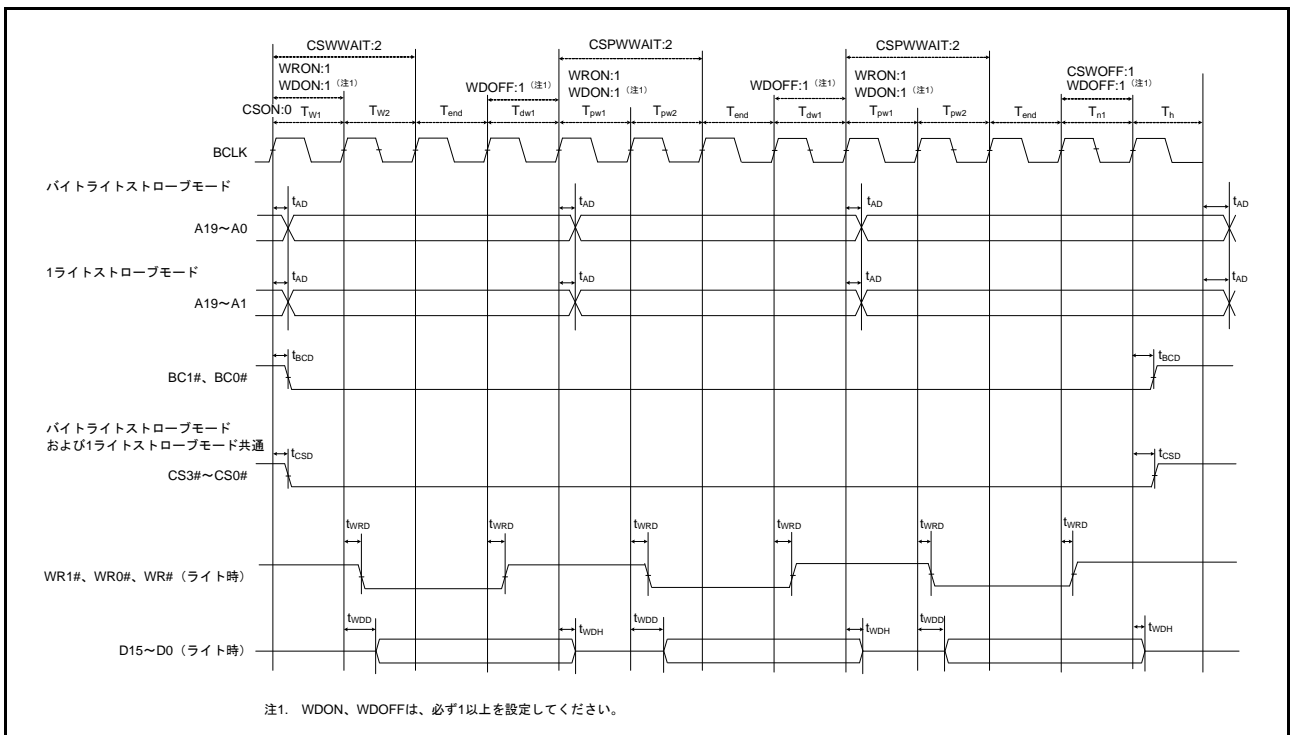


図 42.16 外部バスタイミング / ページライトサイクル (バスクロック同期)

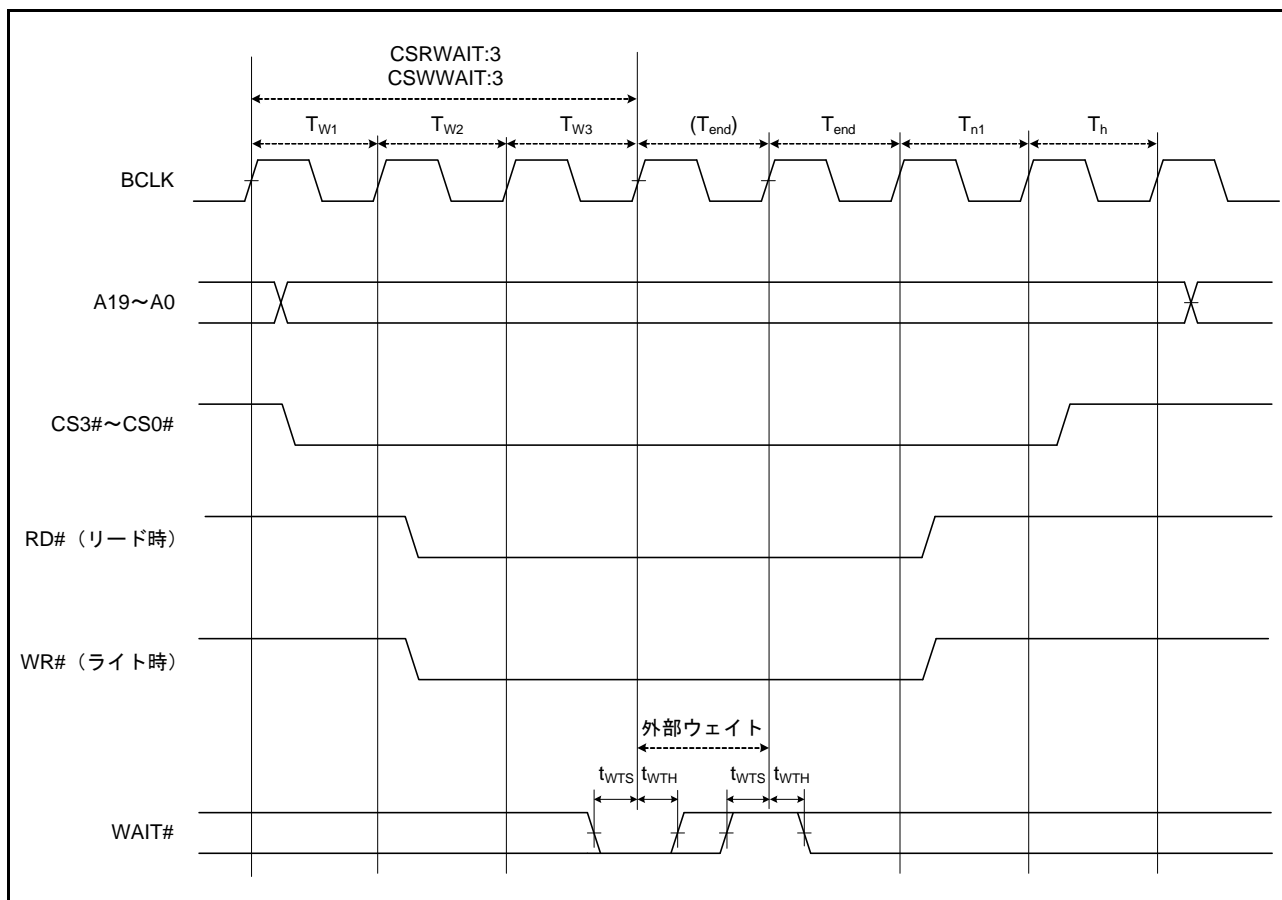


図 42.17 外部バスタイミング / 外部ウェイト制御

表42.14 バスタイミング (マルチプレクスバス) (3)

条件 : VCC = PLLVCC = VCC_USB = AVCC0 = AVCC = VREF = 3.0 ~ 3.6V

VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V、VREFH0 = 3.0V ~ AVCC0

$T_a = T_{opr}$

出力負荷条件 : $V_{OH} = VCC \times 0.5$ 、 $V_{OL} = VCC \times 0.5$ 、 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	35	ns	図42.18、図42.19
バイトコントロール遅延時間	t_{BCD}	—	30	ns	
CS#遅延時間	t_{CSD}	—	30	ns	
RD#遅延時間	t_{RSD}	—	30	ns	
ALE遅延時間	t_{ALED}	—	30	ns	
リードデータセットアップ時間	t_{RDS}	20	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	30	ns	
ライトデータ遅延時間	t_{WDD}	—	35	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	20	—	ns	
WAIT#ホールド時間	t_{WTH}	0.0	—	ns	

表42.15 バスタイミング (マルチプレクスバス) (4)

条件 : VCC = PLLVCC = AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V

VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$

出力負荷条件 : $V_{OH} = VCC \times 0.5$ 、 $V_{OL} = VCC \times 0.5$ 、 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	15	ns	図42.18 ~ 図42.19
バイトコントロール遅延時間	t_{BCD}	—	15	ns	
CS#遅延時間	t_{CSD}	—	15	ns	
RD#遅延時間	t_{RSD}	—	15	ns	
ALE遅延時間	t_{ALED}	—	15	ns	
リードデータセットアップ時間	t_{RDS}	15	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	15	ns	
ライトデータ遅延時間	t_{WDD}	—	15	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	15	—	ns	
WAIT#ホールド時間	t_{WTH}	0.0	—	ns	

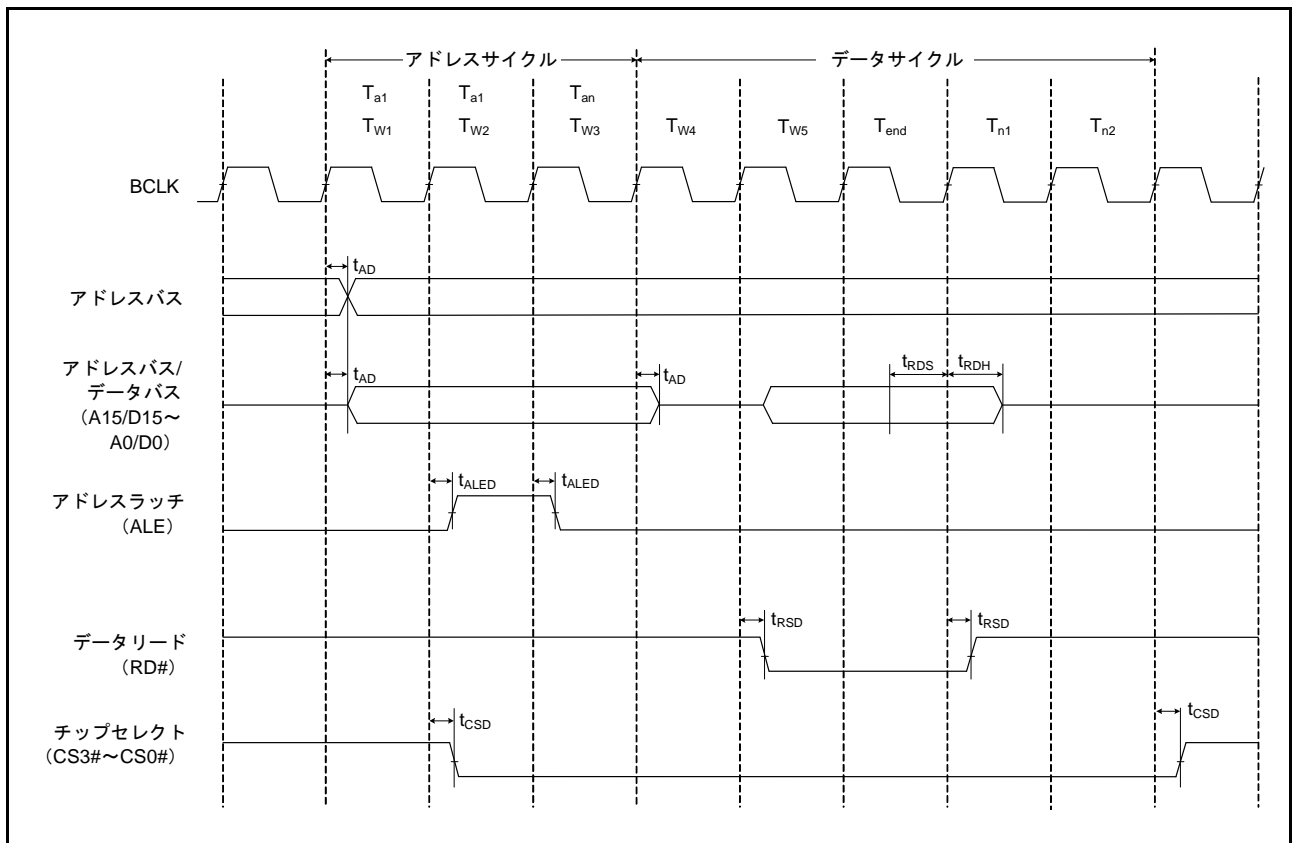


図 42.18 外部バスタイミング / リードアクセスの動作例 (マルチプレクス)

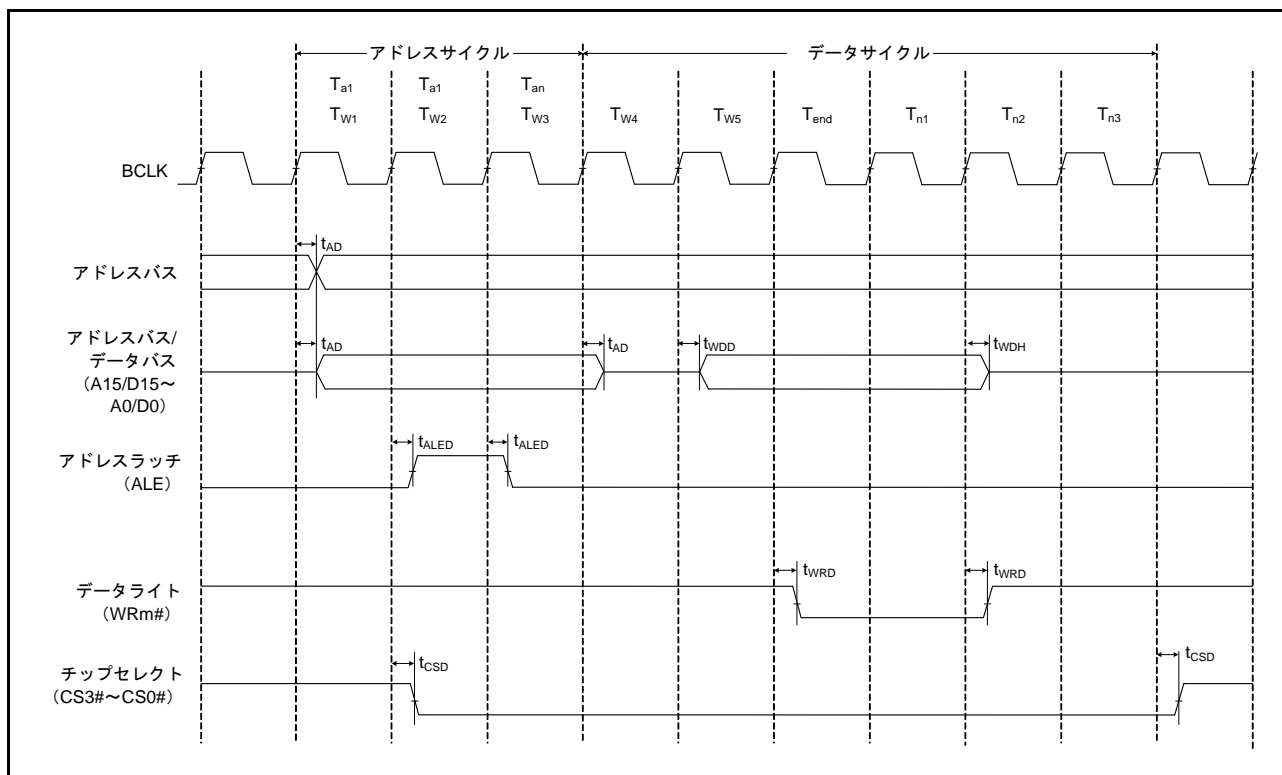


図 42.19 外部バスタイミング/ライトアクセスの動作例 (マルチプレクス)

42.3.6 内蔵周辺モジュールタイミング

表42.16 内蔵周辺モジュールタイミング (1)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0条件2: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0 $T_a = T_{opr}$ T_a は条件1～3で共通です。

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{Pcyc}	図42.20	
MTU3	インプットキャプチャ入力パルス幅	単エッジ指定	t_{TICW}	3	—	t_{PAcyc}	図42.21
		両エッジ指定		5	—		
	インプットキャプチャ入力立ち下がり時間		t_{TICTF}	—	0.1	$\mu s/V$	立ち上がりエッジでインプットキャプチャ機能、または両エッジでインプットキャプチャ選択時
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	3	—	t_{PAcyc}	図42.22
		両エッジ指定	t_{TCKWL}	5	—		
位相計測モード			5	—			
タイマクロック入力立ち下がり時間		t_{TCKTF}	—	0.1	$\mu s/V$		
POE3	POE#入力パルス幅	t_{POEW}	1.5	—	t_{Pcyc}	図42.25	
GPT	インプットキャプチャ入力パルス幅	単エッジ指定	t_{GTICW}	3	—	t_{PAcyc}	図42.23
		両エッジ指定		5	—		
	インプットキャプチャ入力立ち下がり時間		t_{GTICTF}	—	0.1	$\mu s/V$	立ち上がりエッジでインプットキャプチャ機能、または両エッジでインプットキャプチャ選択時、および立ち上がりエッジ、または両エッジでカウントスタート、ストップ、クリア機能選択時
	外部トリガ入力パルス幅	単エッジ指定	t_{TOTETW}	3	—	t_{PAcyc}	図42.24
両エッジ指定			5	—			
外部トリガ入力立ち下がり時間		$t_{GTETRGTf}$	—	0.1	$\mu s/V$	立ち上がりエッジ、または両エッジでカウントスタート、ストップ、クリア機能選択時	

表42.16 内蔵周辺モジュールタイミング (2)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0条件2: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0T_a = T_{opr} T_aは条件1～3で共通です。

項目		記号	min	max	単位 (注1)	測定条件	
SCI	入力クロックサイクル	調歩同期	t _{Scyc}	4	—	t _{Pcyc}	C=30pF 図42.26
		クロック同期		6	—		
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}	
	入力クロック立ち上がり時間		t _{SCKr}	—	20	ns	
	入力クロック立ち下がり時間		t _{SCKf}	—	20	ns	
	出力クロックサイクル	調歩同期	t _{Scyc}	16	—	t _{Pcyc}	
		クロック同期		4	—		
	出力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}	
	出力クロック立ち上がり時間		t _{SCKr}	—	20	ns	
	出力クロック立ち下がり時間		t _{SCKf}	—	20	ns	
	送信データ遅延時間	クロック同期	t _{TXD}	—	40	ns	図42.27
	受信データセットアップ時間	クロック同期	t _{RXS}	40	—	ns	
	受信データホールド時間	クロック同期	t _{RXH}	40	—	ns	
受信データ立ち下がり時間		t _{TICTF}	—	0.1	μs/V	ノイズ除去 フィルタ 非選択時	
A/D コン バータ	10ビットA/Dコンバータトリガ入力パルス幅	t _{TRGW}	1.5	—	t _{Pcyc}	図42.28	
	12ビットA/Dコンバータトリガ入力パルス幅		1.5	—			
CAC	CACREF入力パルス幅	t _{CACREF}	t _{Pcyc} ≤ t _{cac} (注2)	4.5 t _{cac} + 3 t _{Pcyc}	—	ns	
			t _{Pcyc} > t _{cac} (注2)	5 t _{cac} + 6.5 t _{Pcyc}	—	ns	
	CACREF入力立ち下がり時間		t _{CACREFTF}	—	0.1	μs/V	

注1. t_{Pcyc}: PCLKの周期。t_{PAcyc}: PCLKAの周期。注2. t_{cac}: CACカウントクロックソースの周期

表42.16 内蔵周辺モジュールタイミング (3)

(注) 表中に条件の記載がない項目の規格値は条件1~3で共通です。

条件1: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

T_a = T_{opr} T_aは条件1~3で共通です。

駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件			
RSPI	RSPCK クロックサイクル	マスタ	t _{SPcyc}	2	4096	t _{Pcyc}	C=30pF、 図42.29		
		スレーブ		8	4096				
	RSPCK クロック Highレベルパルス幅	マスタ	t _{SPCKWH}	(t _{SPcyc} - t _{SPCKR} - t _{SPCKF}) / 2 - 3	—	ns		C=30pF、 図42.30~ 図42.35	
		スレーブ		(t _{SPcyc} - t _{SPCKR} - t _{SPCKF}) / 2	—				
	RSPCK クロック Lowレベルパルス幅	マスタ	t _{SPCKWL}	(t _{SPcyc} - t _{SPCKR} - t _{SPCKF}) / 2 - 3	—	ns			C=30pF、 図42.30~ 図42.35
		スレーブ		(t _{SPcyc} - t _{SPCKR} - t _{SPCKF}) / 2	—				
	RSPCK クロック 立ち上がり/立ち下がり時間	出力	t _{SPCKR}	—	5	ns	C=30pF、 図42.30~ 図42.35		
		入力	t _{SPCKF}	—	1	μs			
	RSPCK クロック 立ち下がり時間	入力	t _{SPCKF}	—	0.1	μs/V		C=30pF、 図42.30~ 図42.35	
	データ入力セットアップ時間	マスタ	t _{SU}	4	—	ns			
		スレーブ		20 - t _{Pcyc}	—				
	データ入力ホールド時間	マスタ	PCLKBを2分周以外に設定	t _H	t _{Pcyc}	—			ns
			PCLKBを2分周に設定	t _{HF}	0	—			
		スレーブ	t _H	20 + 2 × t _{Pcyc}	—				
	SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPcyc}	C=30pF、 図42.30~ 図42.35		
		スレーブ		4	—	t _{Pcyc}			
	SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPcyc}		C=30pF、 図42.30~ 図42.35	
		スレーブ		4	—	t _{Pcyc}			
	データ出力遅延時間	マスタ	t _{OD}	—	10	ns			C=30pF、 図42.30~ 図42.35
スレーブ			—	3 × t _{Pcyc} + 40					
データ出力ホールド時間	マスタ	t _{OH}	0	—	ns	C=30pF、 図42.30~ 図42.35			
	スレーブ		0	—					
連続送信遅延時間	マスタ	t _{TD}	t _{SPcyc} + 2 × t _{Pcyc}	8 × t _{SPcyc} + 2 × t _{Pcyc}	ns		C=30pF、 図42.30~ 図42.35		
	スレーブ		4 × t _{Pcyc}	—					
MOSI、MISO立ち上がり/立ち下がり時間	出力	t _{DR}	—	5	ns			C=30pF、 図42.30~ 図42.35	
	入力	t _{DF}	—	1	μs				
SSL立ち上がり/立ち下がり時間	出力	t _{SSLr}	—	15	ns	C=30pF、 図42.30~ 図42.35			
	入力	t _{SSLf}	—	1	μs				
スレーブアクセス時間		t _{SA}	—	4	t _{Pcyc}		C=30pF、 図42.34、 図42.35		
スレーブ出力開放時間		t _{REL}	—	3	t _{Pcyc}				

注1. t_{Pcyc}: PCLKの周期です。

表42.16 内蔵周辺モジュールタイミング (4)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0条件2: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0T_a = T_{opr} T_aは条件1～3で共通です。

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t _{SPCyc}	4	65536	t _{PCyc}	C=30pF、 図42.29
	SCKクロックサイクル入力 (スレーブ)		8	65536		
	SCKクロック High レベルパルス幅	t _{SPCKWH}	0.4	0.6	t _{SPCyc}	
	SCKクロック Low レベルパルス幅	t _{SPCKWL}	0.4	0.6	t _{SPCyc}	
	SCKクロック立ち上がり/立ち下がり時間	t _{SPCKr} , t _{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t _{SU}	40	—	ns	C=30pF、 図42.30 ~ 図42.35
	データ入力ホールド時間	t _H	40	—	ns	
	SS入力セットアップ時間	t _{LEAD}	6	—	t _{PCyc}	
	SS入力ホールド時間	t _{LAG}	6	—	t _{PCyc}	
	データ出力遅延時間	t _{OD}	—	40	ns	
	データ出力ホールド時間	t _{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t _{Dr} , t _{Df}	—	20	ns	
	SS入力立ち上がり/立ち下がり時間	t _{SSLr} , t _{SSLf}	—	20	ns	
	スレーブアクセス時間	t _{SA}	—	5	t _{PCyc}	C=30pF、 図42.34 図42.35
スレーブ出力開放時間	t _{REL}	—	5	t _{PCyc}		

注1. t_{PCyc}: PCLKの周期です。

表 42.16 内蔵周辺モジュールタイミング (5)

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0条件 2 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0T_a = T_{opr} T_a は条件 1 ~ 3 で共通です。

項目	記号	min (注 1、注 2)	max	単位	測定条件	
RIIC (Standard-mode)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IIcCyc} + 1300	—	ns	図 42.36
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IIcCyc}	ns	
	SDA入カバスフリー時間	t _{BUF}	3(6) × t _{IIcCyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	1000	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
RIIC (Fast-mode)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IIcCyc} + 600	—	ns	
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	20 + 0.1C _b	300	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	20 + 0.1C _b	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IIcCyc}	ns	
	SDA入カバスフリー時間	t _{BUF}	3(6) × t _{IIcCyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	300	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注. t_{IIcCyc} : RIICの内部基準クロック (IICφ) の周期です。

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_bはバスラインの容量総計です。

表42.16 内蔵周辺モジュールタイミング (6)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$ 。 T_a は条件1～3で共通です。

項目		記号	min (注1、注2)	max (注3)	単位	測定条件
簡易IIC (Standard-mode)	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	図42.36
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
簡易IIC (Fast-mode)	SCL、SDA入力立ち上がり時間	t_{Sr}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

注3. t_{Pcyc} : PCLKの周期です。

42.3.7 PWM 遅延生成回路タイミング

表42.17 PWM遅延生成回路タイミング

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

$T_a = T_{opr}$ 。 T_a は条件1～3で共通です。

項目	min	typ	max	単位	測定条件
分解能	—	312.5	—	ps	PCLKA = 100MHz 時
DNL (注1)	—	± 2.0	—	LSB	

注1. 各コード毎の差分を分解能(1LSB)で正規化した値です。

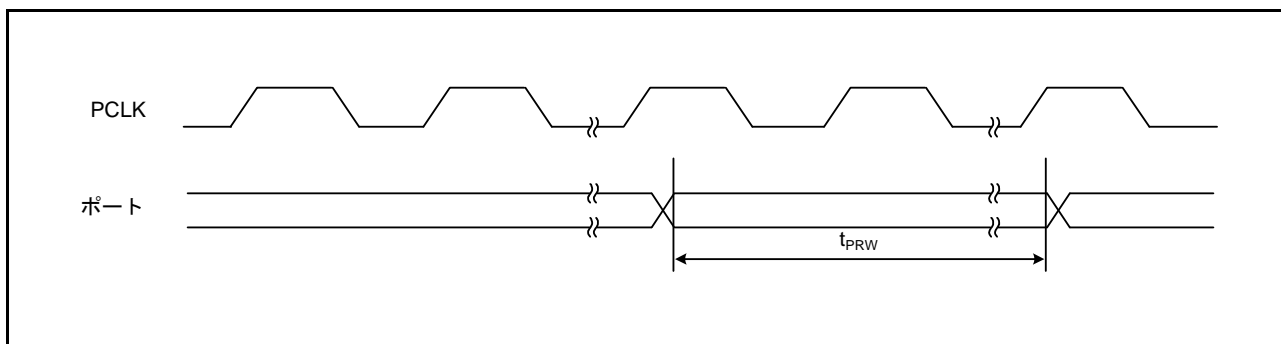


図 42.20 I/Oポート入力タイミング

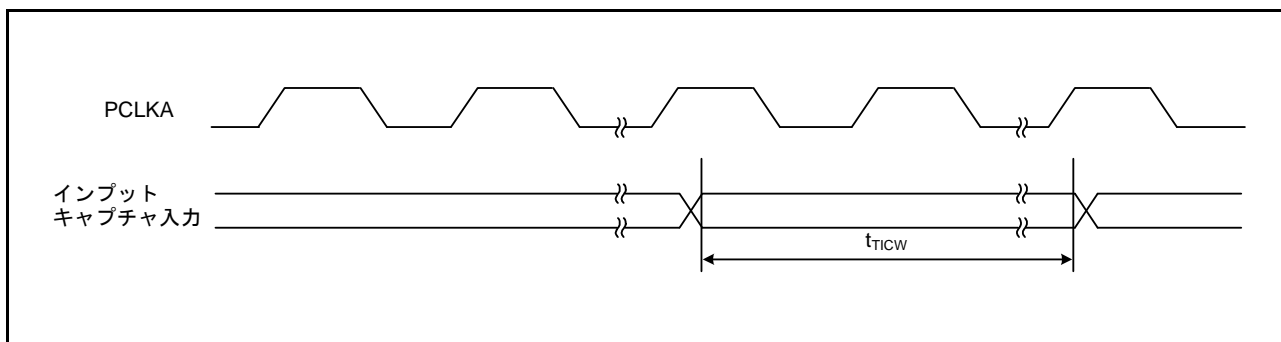


図 42.21 MTU3入出力タイミング

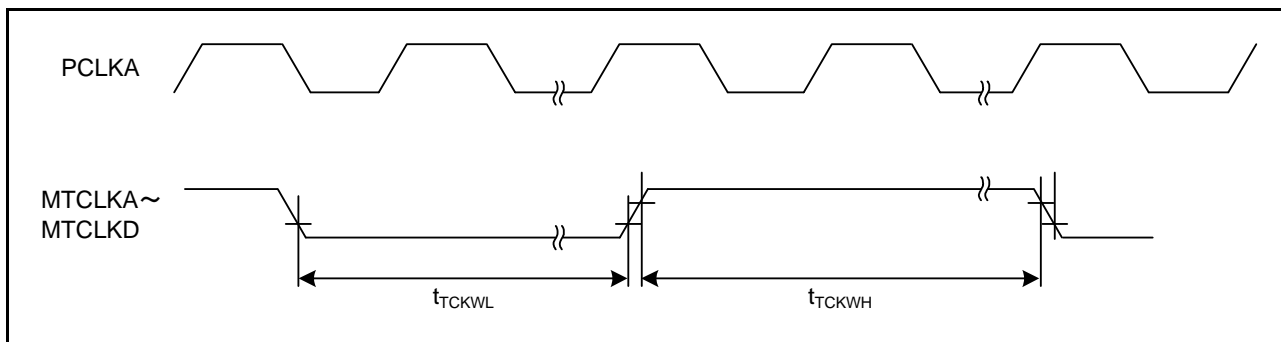


図 42.22 MTU3クロック入力タイミング

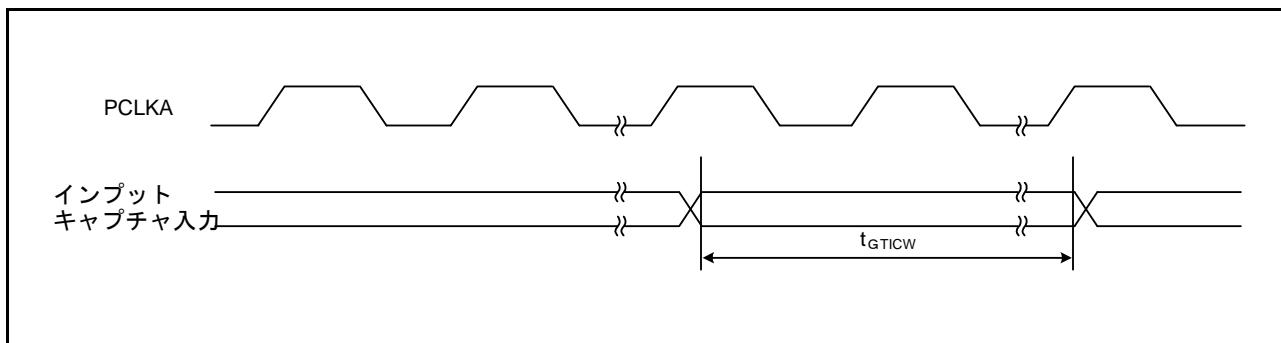


図 42.23 GPT入力キャプチャ入力タイミング

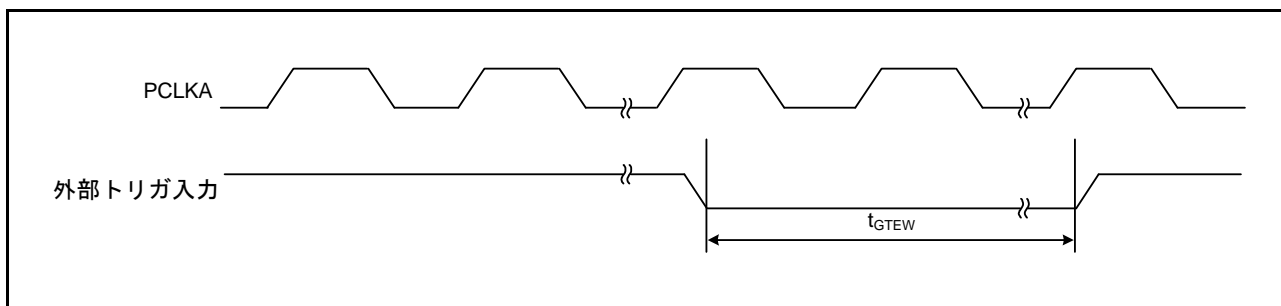


図 42.24 GPT 外部トリガ入力タイミング

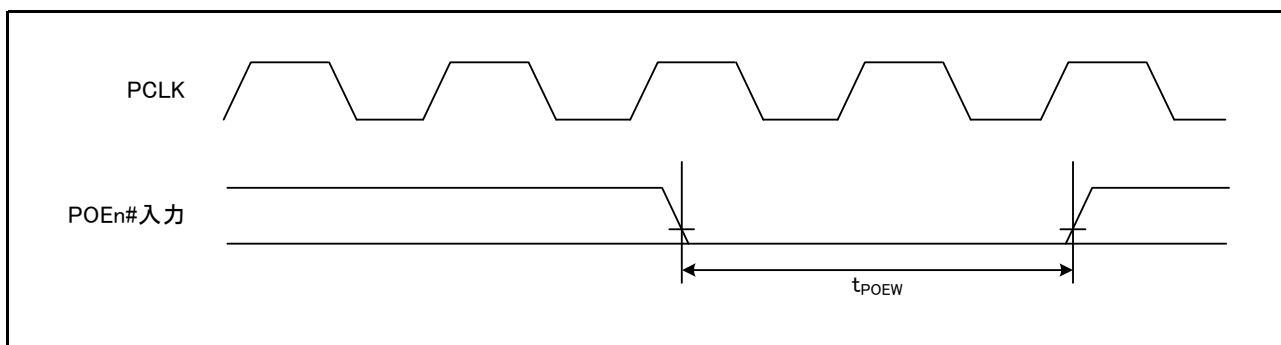


図 42.25 POE3# 入力タイミング

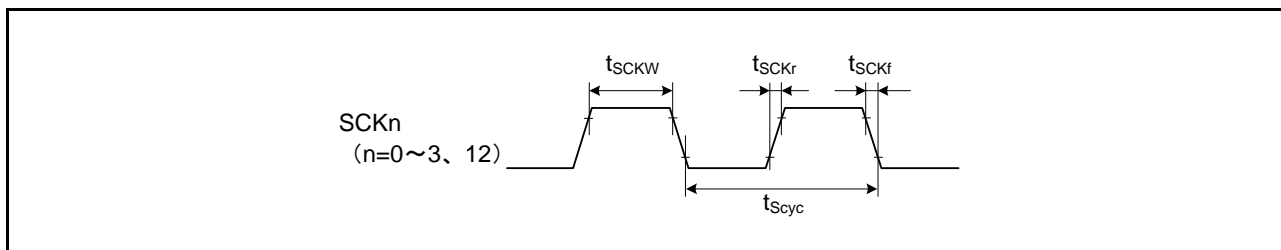


図 42.26 SCK クロック入力タイミング

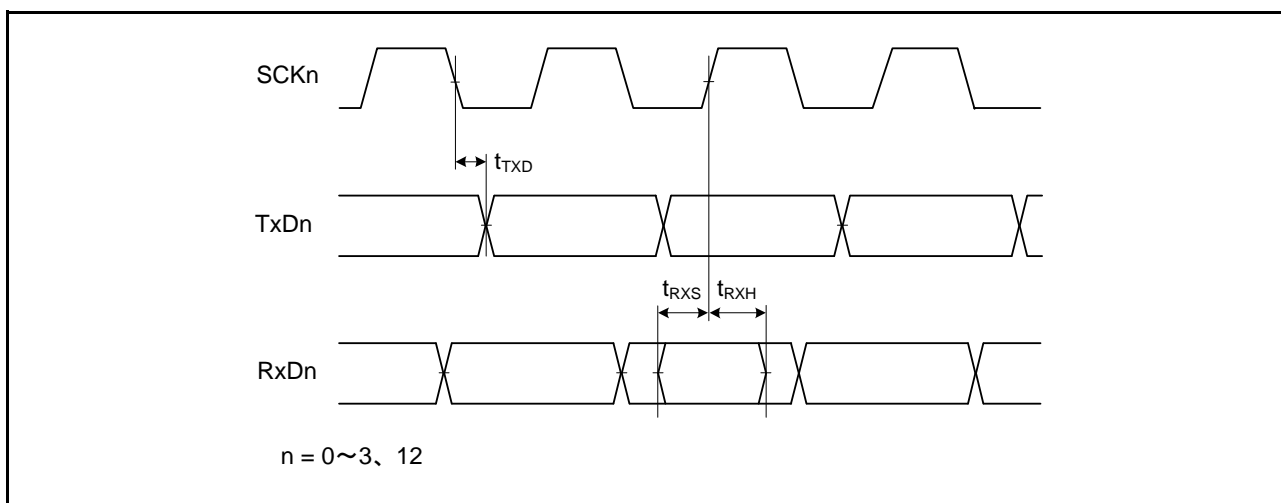


図 42.27 SCI 入出力タイミング/クロック同期式モード

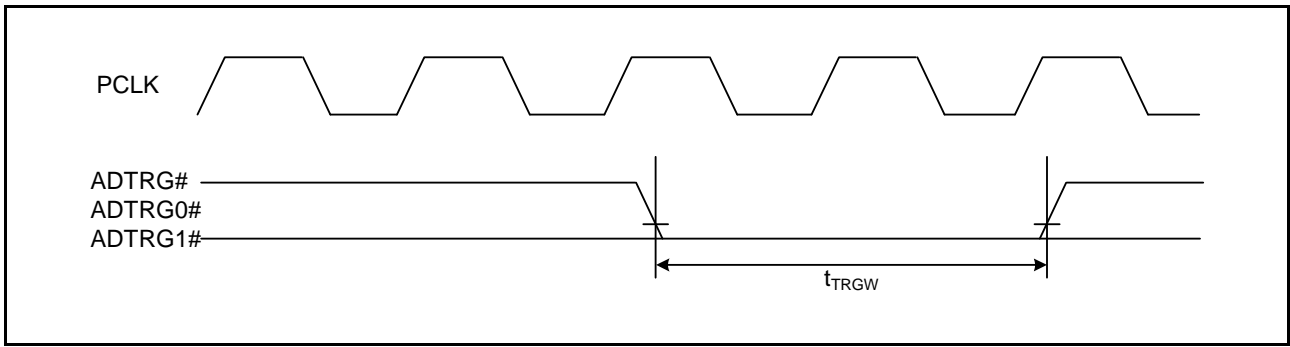


図 42.28 A/D コンバータ外部トリガ入力タイミング

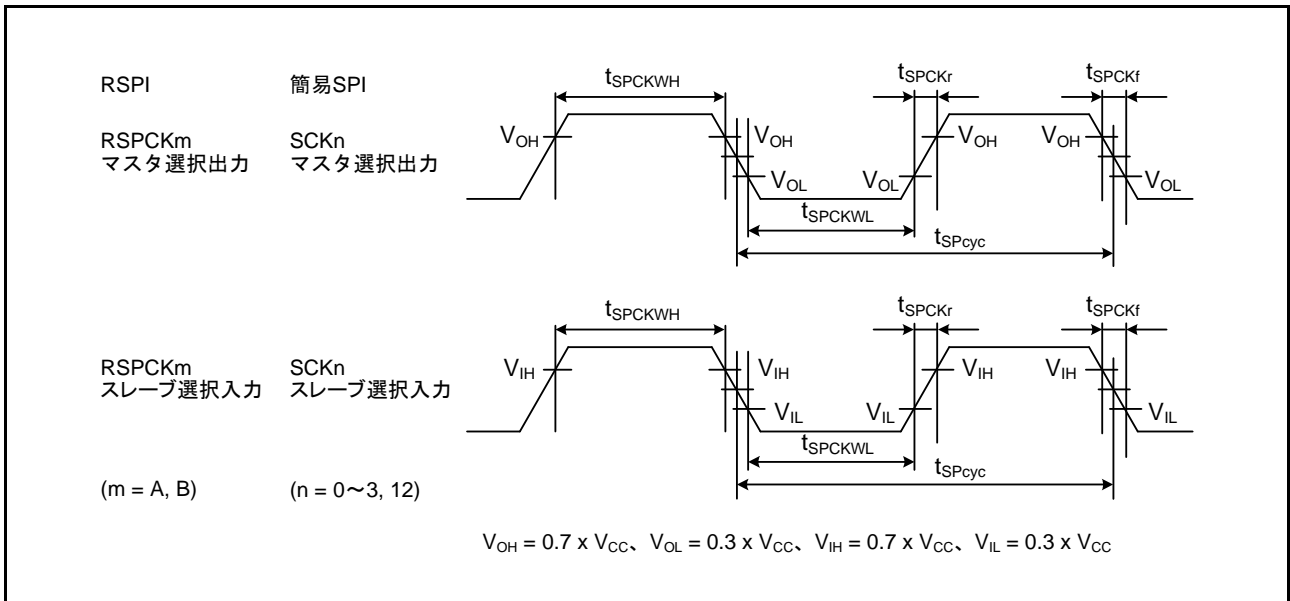


図 42.29 RSPI クロックタイミング / 簡易 SPI クロックタイミング

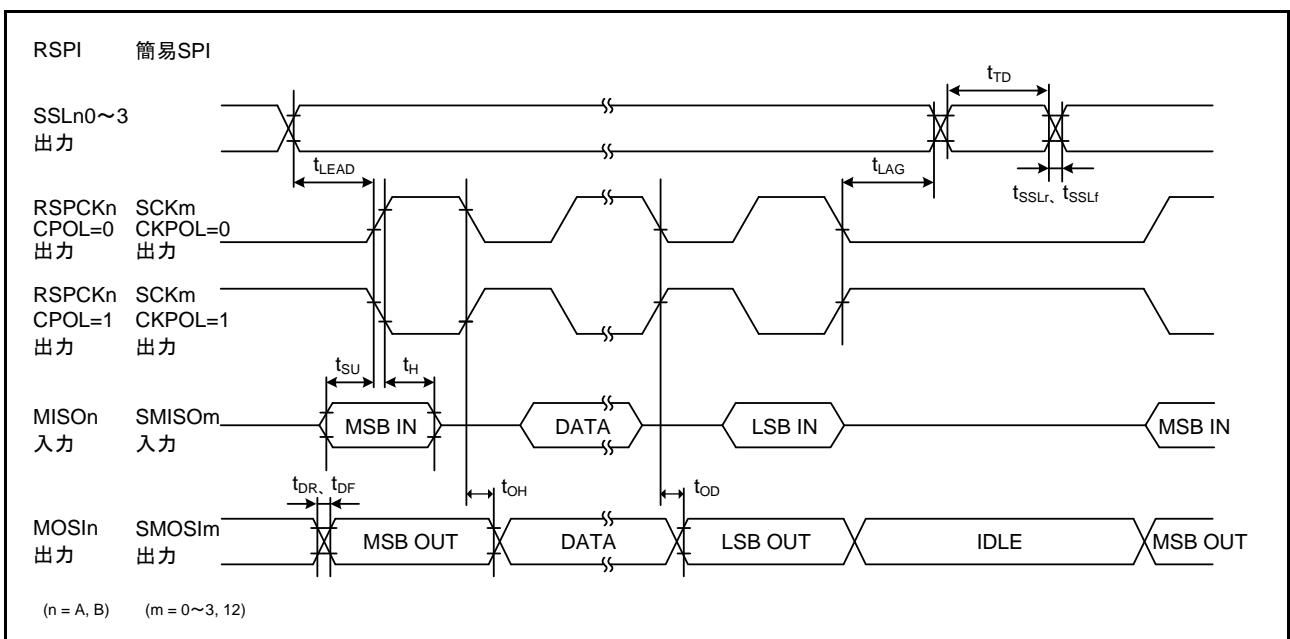


図 42.30 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

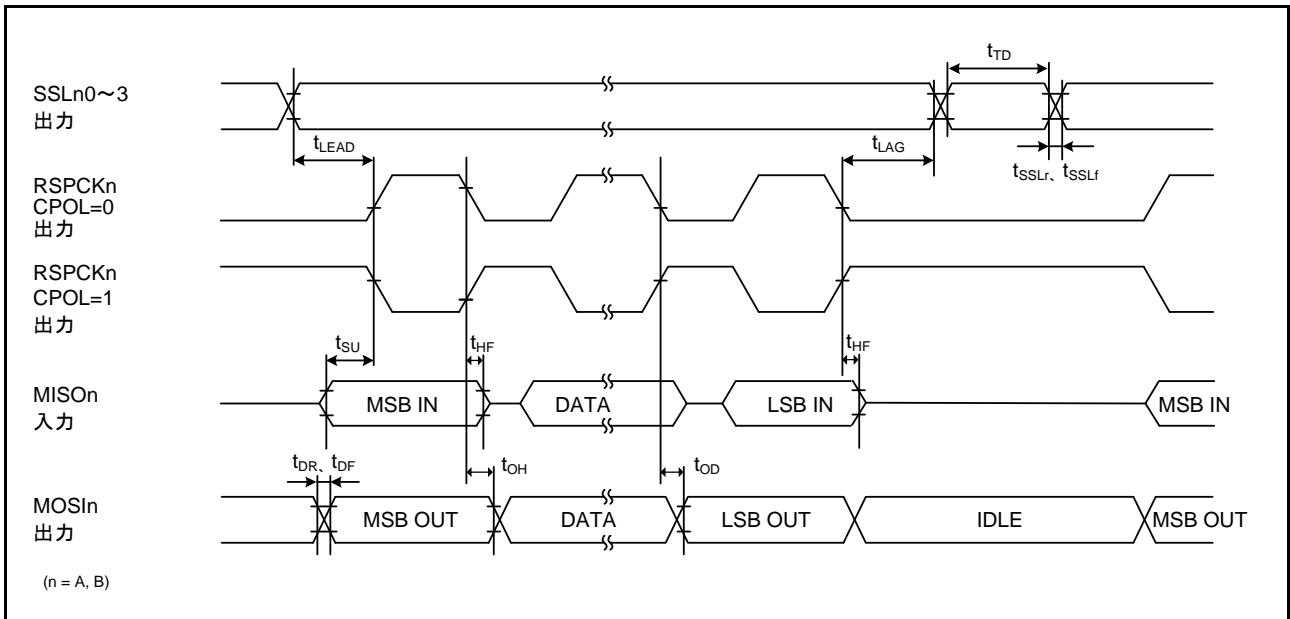


図 42.31 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

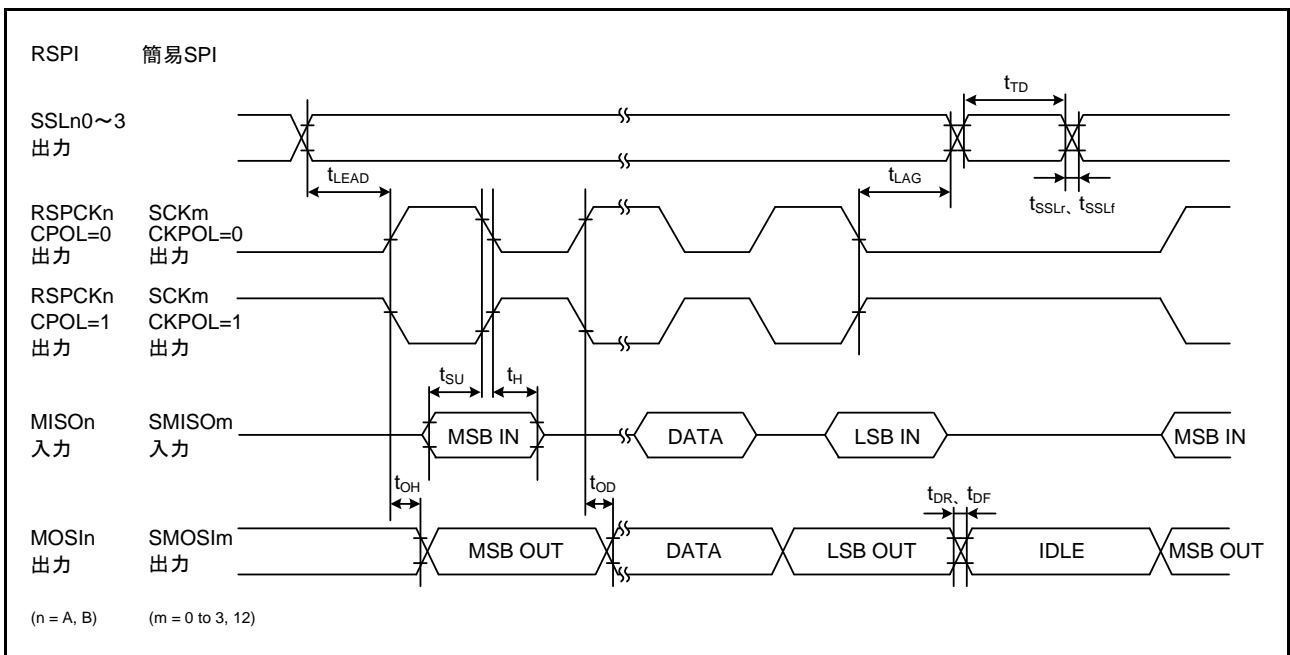


図 42.32 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

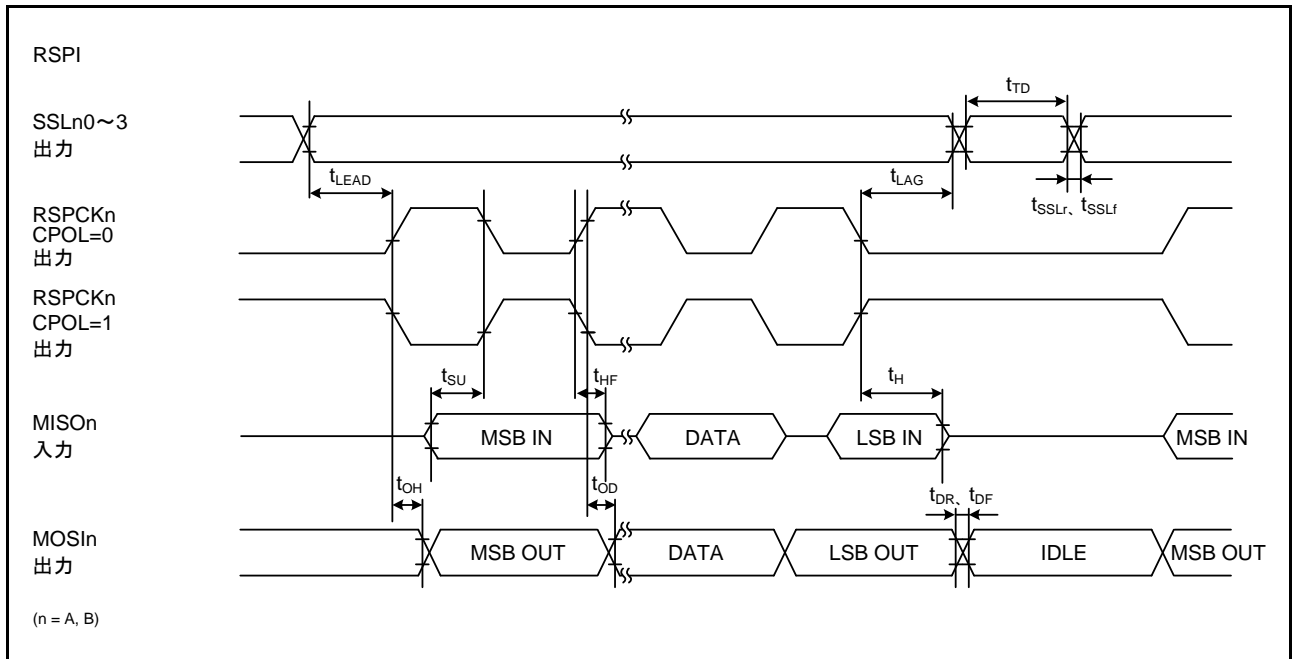


図 42.33 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

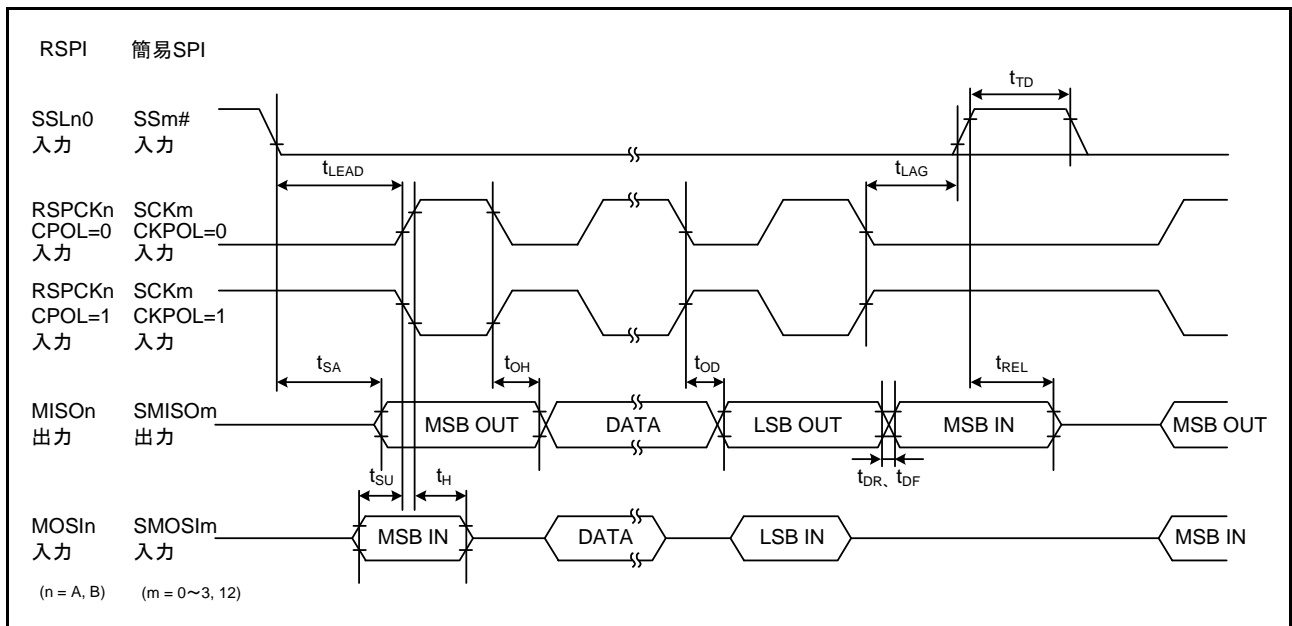


図 42.34 RSPI タイミング (スレーブ、CKPH = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

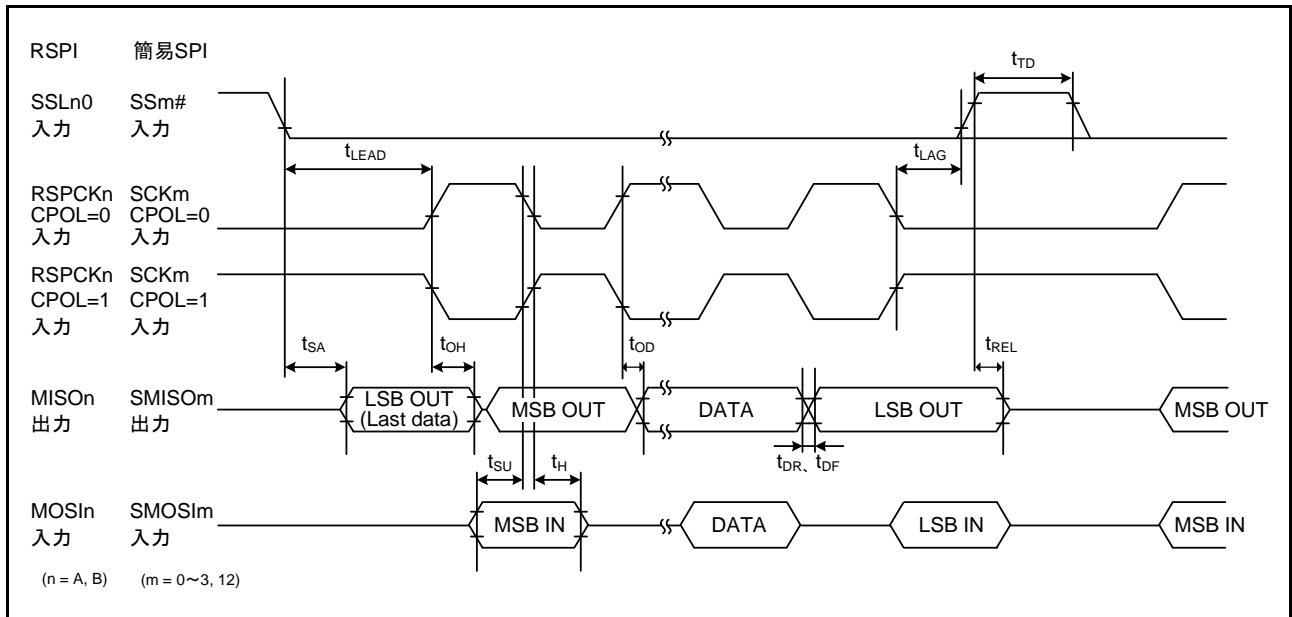


図 42.35 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

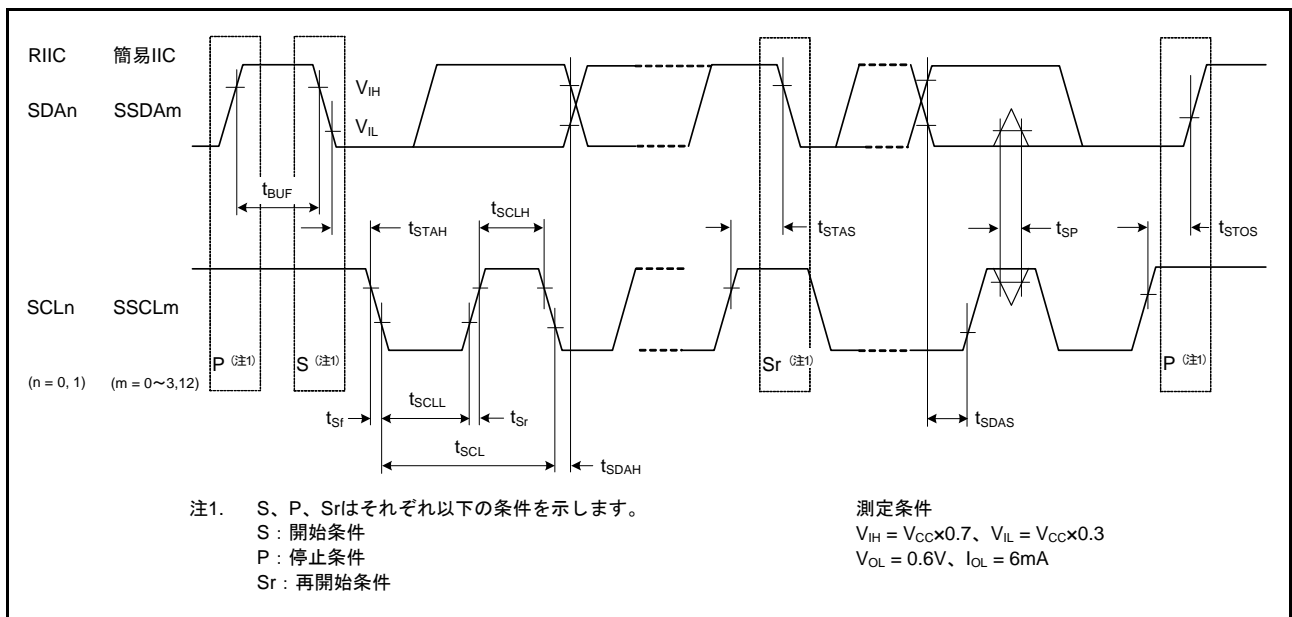


図 42.36 RIIC バスインタフェース入出力タイミング / 簡易 IIC バスインタフェース入出力タイミング

42.4 USB 特性

表 42.18 内蔵USBフルスピード 特性 (DP、DM端子特性)

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2 : VCC = PLLVCC = VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

T_a = T_{opr} T_a は条件 1 ~ 3 で共通です。

項目		記号	min	max	単位	測定条件	
入力特性	入力 High レベル電圧	V _{IH}	2.0	—	V	図 42.37 図 42.38	
	入力 Low レベル電圧	V _{IL}	—	0.8	V		
	差動入力感度	V _{DI}	0.2	—	V		DP - DM
	差動共通モードレンジ	V _{CM}	0.8	2.5	V		
出力特性	出力 High レベル電圧	V _{OH}	2.8	3.6	V	I _{OH} = -200μA	
	出力 Low レベル電圧	V _{OL}	0.0	0.3	V	I _{OL} = 2mA	
	クロスオーバー電圧	V _{CRS}	1.3	2.0	V		
	立ち上がり時間	t _{Lr}	4	20	ns		
	立ち下がり時間	t _{Lf}	4	20	ns		
	立ち上がり/立ち下がり時間比	t _{Lr} / t _{Lf}	90	111.11	%	t _{Lr} / t _{Lf}	
	出力抵抗	Z _{DRV}	28	44	Ω	Rs=24Ω 含む	

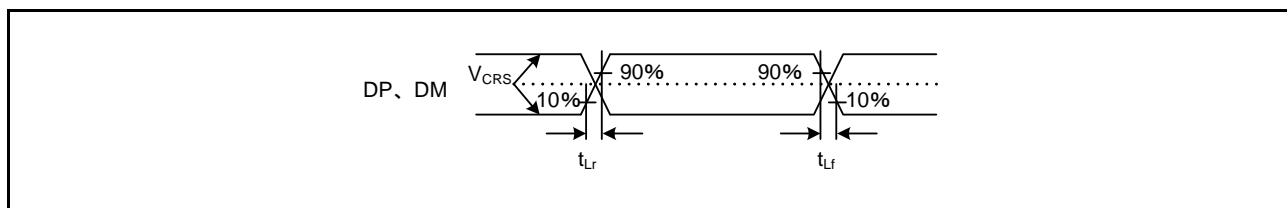


図 42.37 DP、DM 出カタイミング (フルスピード時)

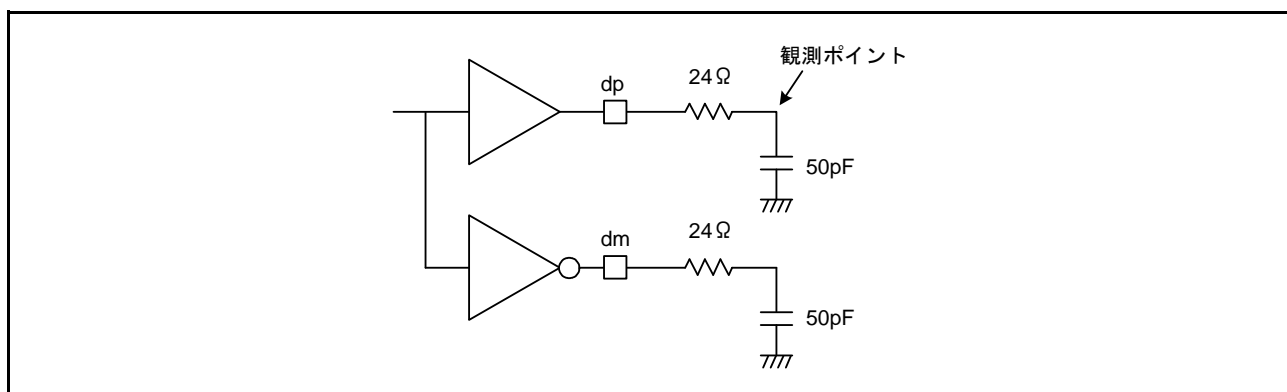


図 42.38 測定回路 (フルスピード時)

42.5 A/D 変換特性

表 42.19 10ビットA/D変換特性 (1)

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$ T_a は条件 1 ~ 3 で共通です。

項目			min	typ	max	単位	測定条件
分解能			10	10	10	ビット	
変換時間 (注1) (ADCLK= 100MHz時)	外付けコンデン サ0.1μFあり	AN0 ~ AN7	0.5	—	—	μs	サンプリング 25ステート
		上記以外のCH	0.75	—	—	μs	サンプリング 50ステート
	外付けコンデン サなし 許容信号源イン ピーダンス max=1kΩ	AN0 ~ AN7	0.6	—	—	μs	サンプリング 35ステート
		上記以外のCH	0.75	—	—	μs	サンプリング 50ステート
アナログ入力容量			—	—	6	pF	
非直線性誤差			—	—	±3.0	LSB	
オフセット誤差			—	—	±2.0	LSB	
フルスケール誤差			—	—	±3.0	LSB	
量子化誤差			—	±0.5	—	LSB	
絶対精度			—	—	±6.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 42.20 10ビットA/D変換特性 (2)

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$ T_a は条件 1 ~ 3 で共通です。

項目			min	typ	max	単位	測定条件
分解能			10	10	10	ビット	
変換時間 (注1) (ADCLK= 50MHz時)	外付けコンデン サなし 許容信号源イン ピーダンス max=1kΩ	AN0 ~ AN7	0.8	—	—	μs	サンプリング 15ステート
		上記以外のCH	1.0	—	—	μs	サンプリング 25ステート
アナログ入力容量			—	—	6	pF	
非直線性誤差			—	—	±2.0	LSB	
オフセット誤差			—	—	±2.0	LSB	
フルスケール誤差			—	—	±3.0	LSB	
量子化誤差			—	±0.5	—	LSB	
絶対精度			—	—	±4.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表42.21 12ビットA/D変換特性(1)

条件1: $VCC = PLLVCC = VCC_USB = 2.7 \sim 3.6V$ 、 $VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = VREF = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$
 $T_a = T_{opr}$

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
変換時間(注1) (ADCLK=25MHz時)	外付けコンデンサなし 許容信号源インピーダンス max=1k Ω	2.0	—	—	μs	サンプリング 20ステート
アナログ入力容量		—	—	8	pF	
サンプル&ホールド回路使用	非直線性誤差	—	—	± 4.0	LSB	$AV_{in} = 0.25 \sim$ $AV_{REFH} - 0.25$
	オフセット誤差	—	—	± 4.0	LSB	
	フルスケール誤差	—	—	± 4.0	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 8.0	LSB	
サンプル&ホールド回路未使用	非直線性誤差	—	—	± 3.0	LSB	$AV_{in} = AV_{REFL}$ $\sim AV_{REFH}$
	オフセット誤差	—	—	± 3.0	LSB	
	フルスケール誤差	—	—	± 3.0	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 6.0	LSB	

注1. 変換時間はサンプリング時間と比例時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表42.22 12ビットA/D変換特性(2)

(注) 表中に条件の記載がない項目の規格値は条件1、2で共通です。

条件1: $VCC = PLLVCC = VCC_USB = 2.7 \sim 3.6V$ 、 $VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = VREF = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$

条件2: $VCC = PLLVCC = 4.0 \sim 5.5V$ 、 $VCC_USB = 3.0 \sim 3.6V$ 、 $VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = VREF = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$

$T_a = T_{opr}$ T_a は条件2、3で共通です。

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
変換時間(注1) (ADクロック=50MHz時)	外付けコンデンサなし 許容信号源インピーダンス max=1k Ω	1.0	—	—	μs	サンプリング 20ステート
アナログ入力容量		—	—	8	pF	
サンプル&ホールド回路使用	非直線性誤差	—	—	± 6.0	LSB	$AV_{in} = 0.25 \sim$ $AV_{REFH} - 0.25$
	オフセット誤差	—	—	± 6.0	LSB	
	フルスケール誤差	—	—	± 6.0	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 8.0	LSB	
サンプル&ホールド回路未使用	非直線性誤差	—	—	± 3.0	LSB	$AV_{in} = AV_{REFL}$ $\sim AV_{REFH}$
	オフセット誤差	—	—	± 3.0	LSB	
	フルスケール誤差	—	—	± 3.0	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 6.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表42.23 プログラマブルゲインアンプ特性

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

T_a = T_{opr} T_aは条件1～3で共通です。

項目		記号	min	typ	max	単位	測定条件
アナログ入力容量		C _{in}	—	—	8	pF	
入力オフセット電圧		V _{off}	—	—	8	mV	
入力電圧範囲 (V _{in})	ゲイン × 2.000	V _{in}	0.050 × AVcc	—	0.450 × AVcc	V	
	ゲイン × 2.500		0.047 × AVcc	—	0.360 × AVcc		
	ゲイン × 3.077		0.045 × AVcc	—	0.292 × AVcc		
	ゲイン × 3.636		0.042 × AVcc	—	0.247 × AVcc		
	ゲイン × 4.000		0.040 × AVcc	—	0.212 × AVcc		
	ゲイン × 4.444		0.036 × AVcc	—	0.191 × AVcc		
	ゲイン × 5.000		0.033 × AVcc	—	0.170 × AVcc		
	ゲイン × 5.714		0.031 × AVcc	—	0.148 × AVcc		
	ゲイン × 6.667		0.029 × AVcc	—	0.127 × AVcc		
	ゲイン × 10.000		0.025 × AVcc	—	0.08 × AVcc		
ゲイン × 13.333	0.023 × AVcc	—	0.06 × AVcc				
スルーレート		SR	10	—	—	V/μs	
ゲイン誤差	ゲイン × 2.000	—	—	—	1	%	
	ゲイン × 2.500		—	—	1		
	ゲイン × 3.077		—	—	1		
	ゲイン × 3.636		—	—	1.5		
	ゲイン × 4.000		—	—	1.5		
	ゲイン × 4.444		—	—	2		
	ゲイン × 5.000		—	—	2		
	ゲイン × 5.714		—	—	2		
	ゲイン × 6.667		—	—	3		
	ゲイン × 10.000		—	—	4		
ゲイン × 13.333	—	—	4				

表42.24 コンパレータ特性

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: $V_{CC} = PLLVCC = VCC_USB = 2.7 \sim 3.6V$ 、 $V_{SS} = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = VREF = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$

条件2: $V_{CC} = PLLVCC = VCC_USB = 2.7 \sim 3.6V$ 、 $V_{SS} = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = VREF = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$

条件3: $V_{CC} = PLLVCC = 4.0 \sim 5.5V$ 、 $VCC_USB = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = VREF = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$

$T_a = T_{opr}$ T_a は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
アナログ入力容量	C_{in}	—	—	8	pF	
REFH端子オフセット電圧	V_{off}	—	—	5	mV	
REFL端子オフセット電圧		—	—	5	mV	
REFH入力電圧範囲	V_{in}	1.7	—	$AV_{cc} - 0.3$	V	
REFL入力電圧範囲		0.3	—	$AV_{cc} - 1.7$	V	
REFH応答時間	t_{CR}	—	—	500	ns	VI=VREF± 25mV
REFL応答時間	t_{CF}	—	—	500	ns	

42.6 D/A 変換特性

表 42.25 D/A変換特性

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$ T_a は条件 1 ~ 3 で共通です。

項目	min	typ	max	単位	測定条件
分解能	10	10	10	ビット	
変換時間	—	—	3.0	μs	負荷容量 20pF
絶対精度	—	±2.0	±4.0	LSB	負荷抵抗 2MΩ
	—	—	±3.0	LSB	負荷抵抗 4MΩ
	—	—	±2.0	LSB	負荷抵抗 10MΩ
RO出力抵抗	—	3.6	—	kΩ	

42.7 パワーオンリセット回路・電圧検出回路特性

表 42.26 パワーオンリセット回路・電圧検出回路特性 (1)

(注) 表中に条件の記載がない項目の規格値は条件 1、2 で共通です。

条件 1 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、

条件 2 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$ T_a は条件 1、2 で共通です。

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット(POR)	V_{POR}	2.46	2.58	2.7	V	図 42.41
	電圧検出回路(LVD0)	V_{DET0}	2.7	2.82	2.94		図 42.42
	電圧検出回路(LVD1) (注1)	V_{DET1_8}	2.75	2.90	3.05		図 42.43
		V_{DET1_9}	2.70	2.85	3.00		
		V_{DET1_A}	2.73	2.88	3.03		
	電圧検出回路(LVD2) (注2)	V_{DET2_8}	2.75	2.9	3.05		図 42.44
		V_{DET2_9}	2.70	2.85	3.00		
V_{DET2_A}		2.73	2.88	3.03			
内部リセット時間	パワーオンリセット(POR)	t_{POR}		9.7		ms	図 42.41
	電圧検出回路(LVD0)	t_{LVD0}		9.7			図 42.42
	電圧検出回路(LVD1)	t_{LVD1}		0.9			図 42.43
	電圧検出回路(LVD2)	t_{LVD2}		0.9			図 42.44
最小VCC低下時間 (注3)		t_{VOFF}	200	—	—	μs	図 42.41 ~ 図 42.42
応答遅延時間		t_{DET}			200	μs	
LVD動作安定時間 (LVD有効切り替え時)		$T_{d(E-A)}$			3	μs	図 42.41
ヒステリシス幅 (LVD1、LVD2)		V_{LVH}		80		mV	図 42.44

注1. 記号 $V_{DET1_#}$ の#は、LVDLVLR.LVD1LVL[3:0]ビット値です。

注2. 記号 $V_{DET2_#}$ の#は、LVDLVLR.LVD2LVL[3:0]ビット値です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{DET1} 、 V_{DET2} のmin値を下回っている時間です。

表 42.27 パワーオンリセット回路・電圧検出回路特性 (2)

条件 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
 AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット(POR)	V_{POR}	3.6	3.8	4.0	V	図42.41
	電圧検出回路(LVD0)	V_{DET0}	4.0	4.2	4.4		図42.42
	電圧検出回路(LVD1) (注1)	V_{DET1_8}	4.59	4.77	4.95		図42.43
		V_{DET1_9}	4.05	4.23	4.41		
		V_{DET1_A}	4.32	4.50	4.68		
	電圧検出回路(LVD2) (注2)	V_{DET2_8}	4.59	4.77	4.95		図42.44
		V_{DET2_9}	4.05	4.23	4.41		
V_{DET2_A}		4.32	4.50	4.68			
内部リセット時間	パワーオンリセット(POR)	t_{POR}		9.7		ms	図42.41
	電圧検出回路(LVD0)	t_{LVD0}		9.7			図42.42
	電圧検出回路(LVD1)	t_{LVD1}		0.9			図42.43
	電圧検出回路(LVD2)	t_{LVD2}		0.9			図42.44
最小VCC低下時間 (注3)		t_{VOFF}	200	—	—	μs	図42.41 ~ 図42.44
応答遅延時間		t_{DET}			200	μs	
LVD動作安定時間 (LVD有効切り替え時)		$T_{d(E-A)}$			3	μs	図42.41
ヒステリシス幅 (LVD1、LVD2)		V_{LVH}		80		mV	図42.44

注1. 記号 $V_{DET1_#}$ の#は、LVDLVLR.LVD1LVL[3:0]ビット値です。

注2. 記号 $V_{DET2_#}$ の#は、LVDLVLR.LVD2LVL[3:0]ビット値です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{DET1} 、 V_{DET2} のmin値を下回っている時間です。

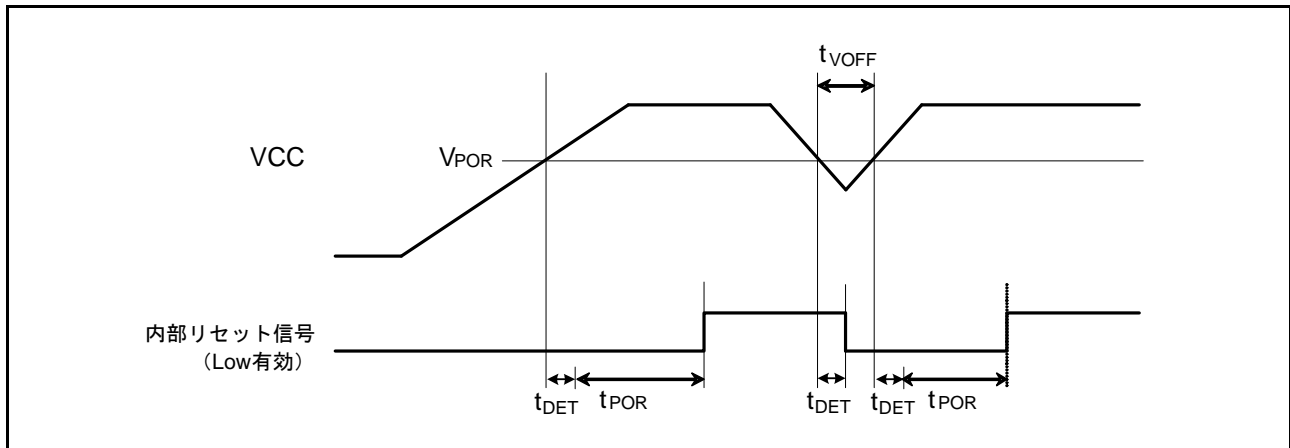


図 42.39 パワーオンリセットタイミング

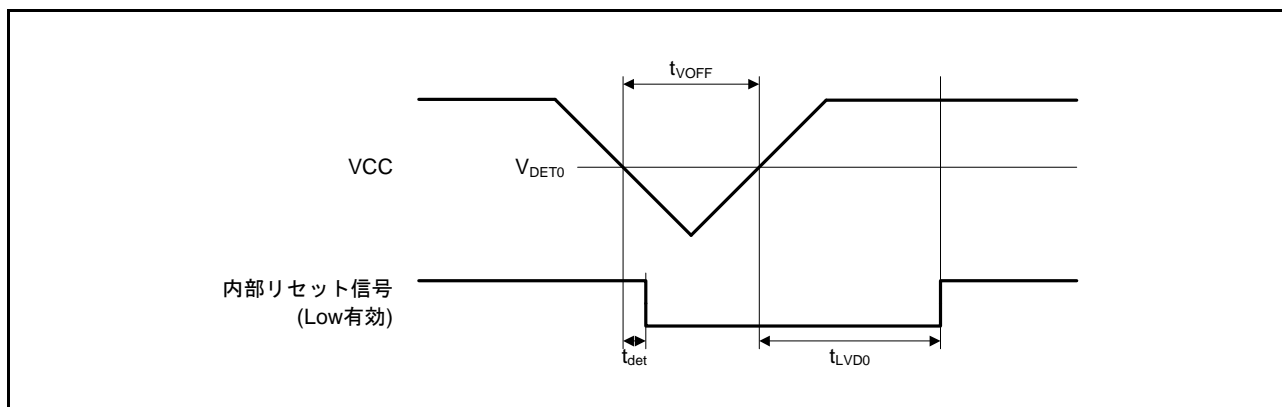


図 42.40 電圧検出回路タイミング (V_{DET0})

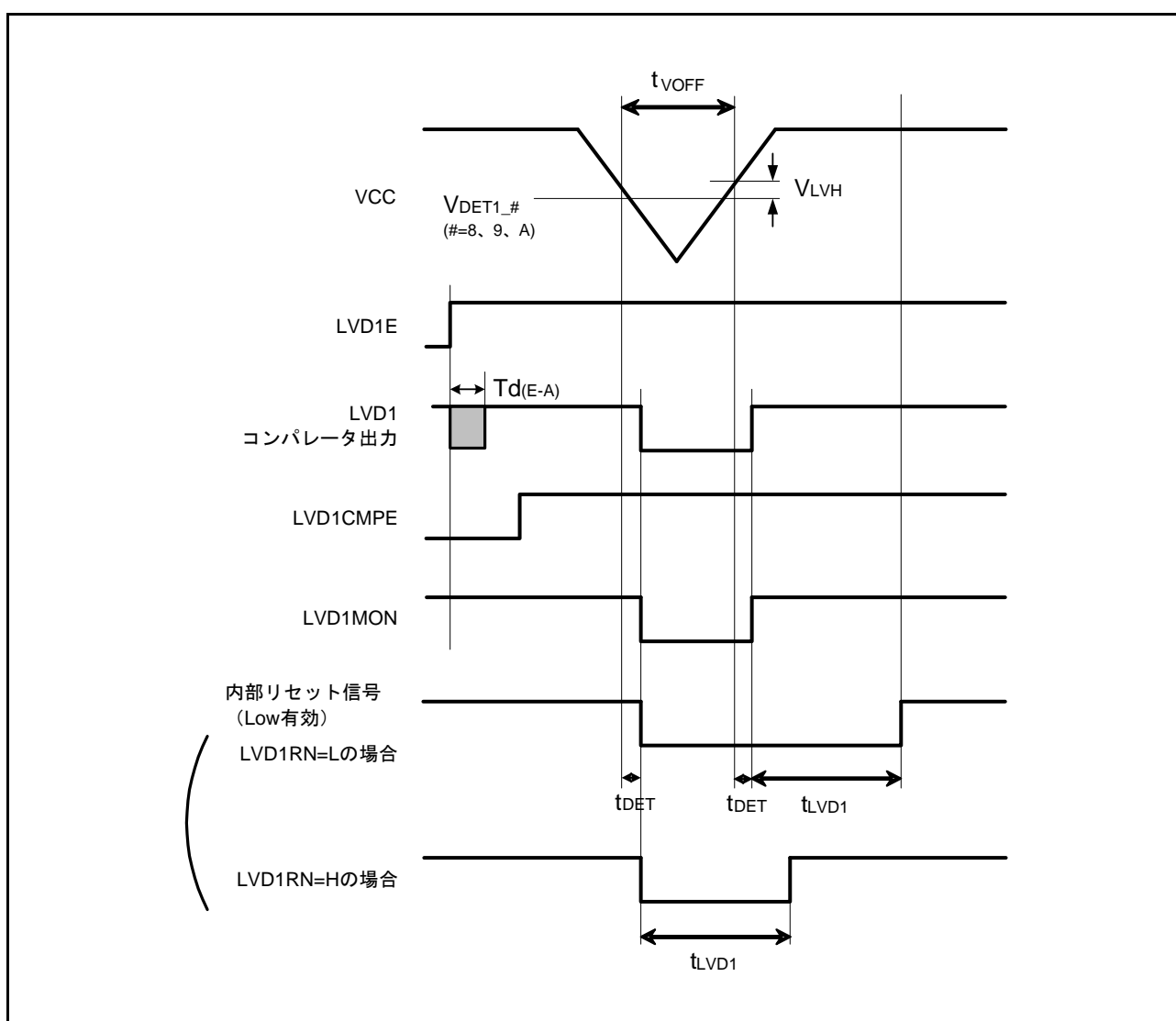


図 42.41 電圧検出回路タイミング (V_{DET1})

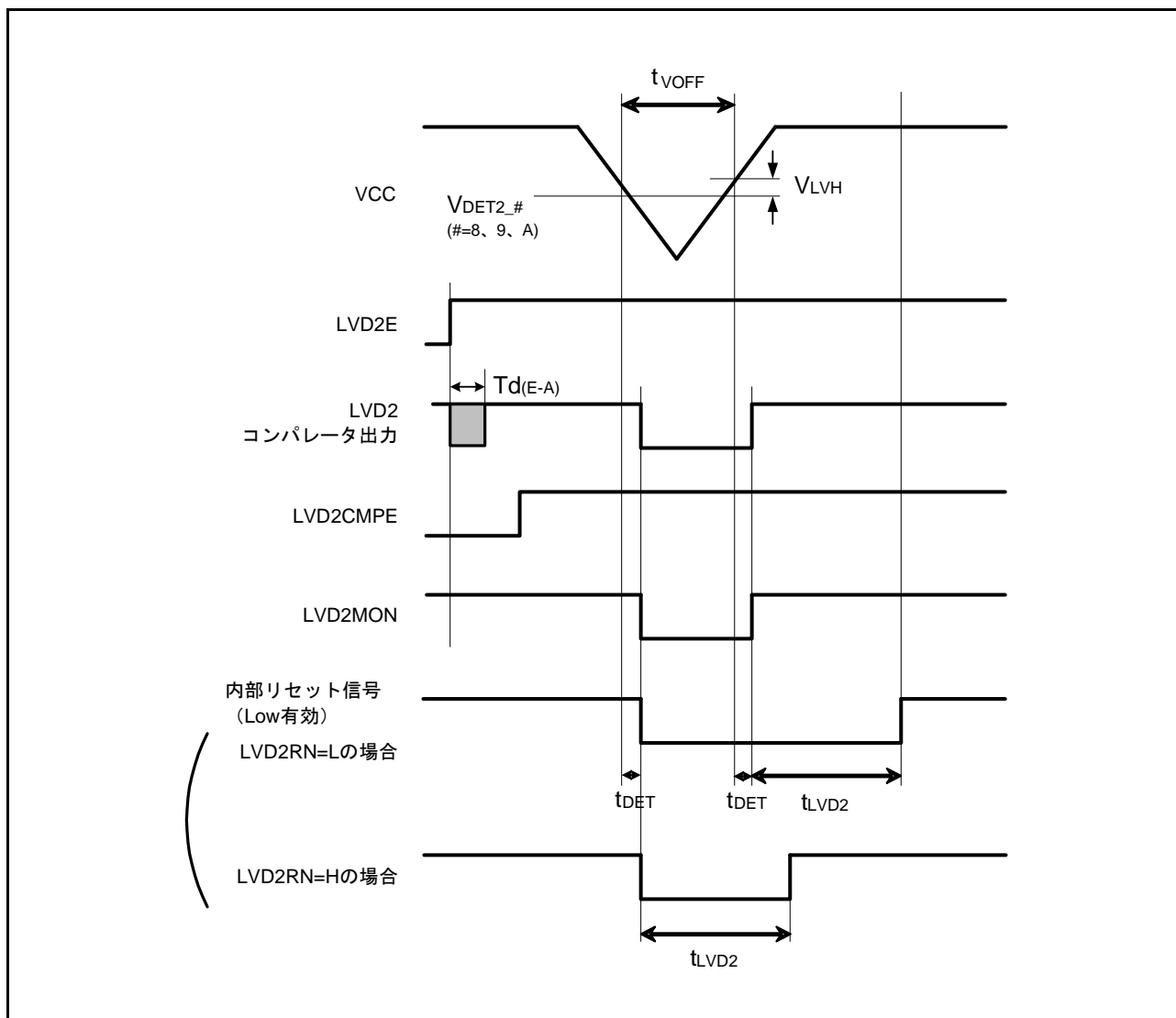


図 42.42 電圧検出回路タイミング (VDET2)

42.8 発振停止検出回路特性

表 42.28 発振停止検出回路特性

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2 : VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$ T_a は条件 1 ~ 3 で共通です。

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1.0	ms	図 42.43

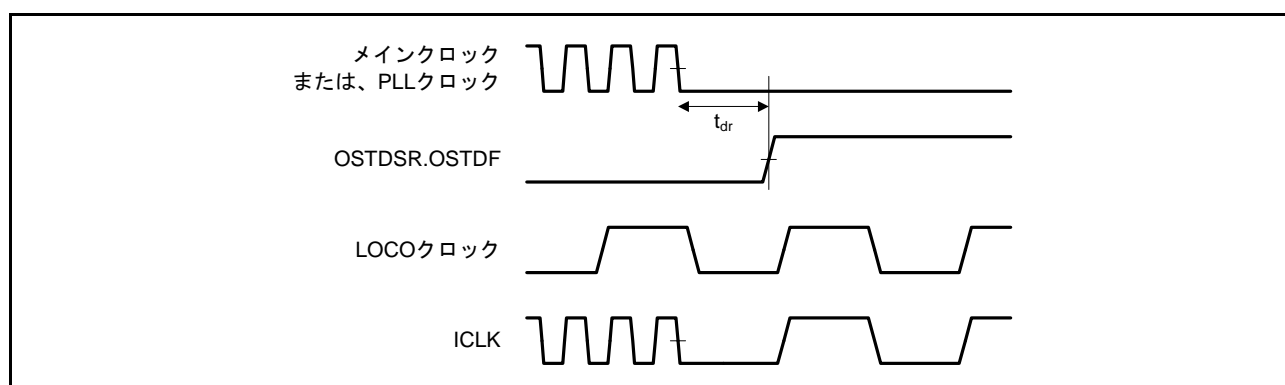


図 42.43 発振停止検出タイミング

42.9 ROM（コード格納用フラッシュメモリ）特性

表42.29 ROM（コード格納用フラッシュメモリ）特性（1）

条件1：VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2：VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3：VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲：T_a = T_{opr} T_aは条件1~3で共通です。

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル (注1)	N _{pec}	1000	—	—	回	
データ保持期間	t _{DRP}	30 (注2)	—	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n=1000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 信頼性試験から得られた結果です。

表42.30 ROM（コード格納用フラッシュメモリ）特性（2）

(注) 表中に条件の記載がない項目の規格値は条件1~3で共通です。

条件1：VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2：VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3：VCC = PLLVCC = 4.0 ~ 5.5V、VCC_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲：T_a = T_{opr} T_aは条件1~3で共通です。

項目	記号	FCLK=4MHz			20MHz ≤ FCLK ≤ 50MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間 N _{PEC} ≤ 100回のとき	128バイト	t _{P128}	—	2.8	28	—	1	10	ms
	4Kバイト	t _{P4K}	—	63	140	—	23	50	ms
	16Kバイト	t _{P16K}	—	252	560	—	90	200	ms
プログラム時間 N _{PEC} > 100回のとき	128バイト	t _{P128}	—	3.4	33.6	—	1.2	12	ms
	4Kバイト	t _{P4K}	—	75.6	168	—	27.6	60	ms
	16Kバイト	t _{P16K}	—	302.4	672	—	108	240	ms
イレーズ時間 N _{PEC} ≤ 100回のとき	4Kバイト	t _{E4K}	—	50	120	—	25	60	ms
	16Kバイト	t _{E16K}	—	200	480	—	100	240	ms
イレーズ時間 N _{PEC} > 100回のとき	4Kバイト	t _{E4K}	—	60	144	—	30	72	ms
	16Kバイト	t _{E16K}	—	240	576	—	120	288	ms
プログラム中のサスペンド遅延時間	t _{SPD}	—	—	400	—	—	120	μs	
イレーズ中の1回目のサスペンド 遅延時間（サスペンド優先モード時）	t _{SESD1}	—	—	300	—	—	120	μs	
イレーズ中の2回目のサスペンド 遅延時間（サスペンド優先モード時）	t _{SESD2}	—	—	1.7	—	—	1.7	ms	
イレーズ中のサスペンド遅延時間 （イレーズ優先モード時）	t _{SEED}	—	—	1.7	—	—	1.7	ms	
FCUリセット時間	t _{FCUR}	35	—	—	35	—	—	μs	

42.10 E2フラッシュ特性

表42.31 E2データフラッシュ特性(1)

条件1: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲: $T_a = T_{opr}$ T_a は条件1~3で共通です。

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル (注1)	N_{DPEC}	100000	—	—	回	
データ保持期間	t_{DDRP}	30 (注2)	—	—	年	$T_a = +85^\circ\text{C}$

注1. 再プログラム/イレーズサイクルの定義: 再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回($n=100000$)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、128バイトのブロックについて、それぞれ異なる番地に8バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 信頼性試験から得られた結果です。

表42.32 E2データフラッシュ特性(2)

(注) 表中に条件の記載がない項目の規格値は条件1~3で共通です。

条件1: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS_USB = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲: $T_a = T_{opr}$ T_a は条件1~3で共通です。

項目	記号	FCLK=4MHz			20MHz ≤ FCLK ≤ 50MHz			単位
		min	typ	max	min	typ	max	
プログラム時間 $N_{DPEC} \leq 100$ 回のとき	2バイト t_{DP2}	—	0.7	6	—	0.25	2	ms
プログラム時間 $N_{DPEC} > 100$ 回のとき	2バイト t_{DP2}	—	0.7	6	—	0.25	2	ms
イレーズ時間 $N_{DPEC} \leq 100$ 回のとき	32バイト t_{DE32}	—	4	40	—	2	20	ms
イレーズ時間 $N_{DPEC} > 100$ 回のとき	32バイト t_{DE32}	—	7	40	—	4	20	ms
ブランクチェック時間	2バイト t_{DBC2}	—	—	100	—	—	30	μs
プログラム中のサスペンド遅延時間	t_{DSPD}	—	—	250	—	—	120	μs
イレーズ中の1回目のサスペンド 遅延時間(サスペンド優先モード時)	t_{DSESD1}	—	—	250	—	—	120	μs
イレーズ中の2回目のサスペンド 遅延時間(サスペンド優先モード時)	t_{DSESD2}	—	—	500	—	—	300	μs
イレーズ中のサスペンド遅延時間 (イレーズ優先モード時)	t_{DSEED}	—	—	500	—	—	300	μs

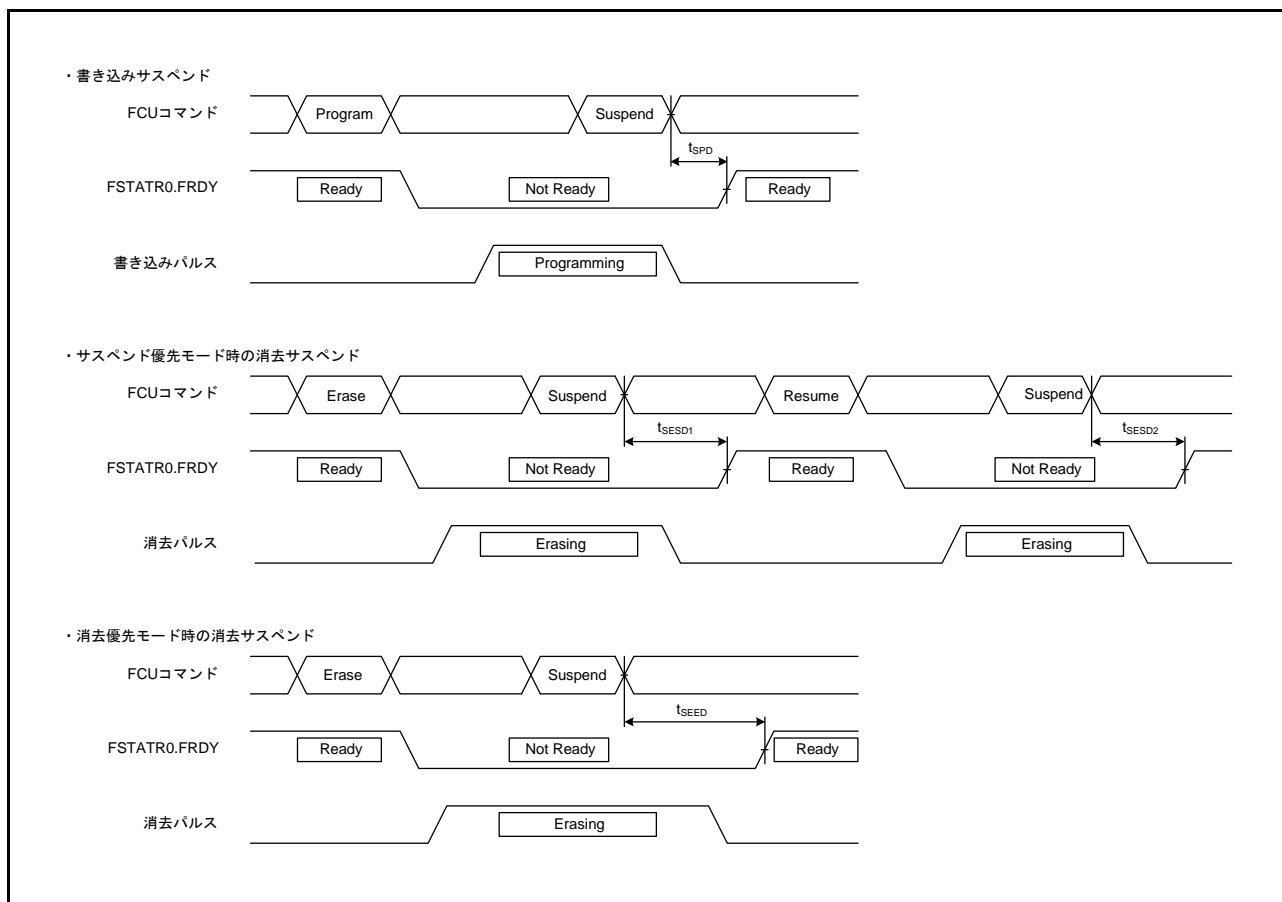


図 42.44 フラッシュメモリプログラム/イレーズサスペンドタイミング

43. 電気的特性【64/48ピン版】

43.1 絶対最大定格

表 43.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	VCC	-0.3~+4.6	V
入力電圧 (5Vトレラント対応ポート (注1)、及びポート4以外)	Vin	-0.3~VCC+0.3	V
入力電圧 (ポート4)	Vin	-0.3~AVCC0+0.3	V
入力電圧 (5Vトレラント対応ポート (注1))	Vin	-0.3~+5.8	V
アナログ電源電圧	AVCC0 (注2)	-0.3~+4.6	V
リファレンス電源電圧	VREFH0 (注2)	-0.3~AVCC0+0.3	V
アナログ入力電圧 (ポート4)	V _{AN}	-0.3~AVCC0+0.3	V
動作温度	Dバージョン品	Topr	-40~+85
	Gバージョン品	Topr	-40~+105
保存温度	Tstg	-55~+125	°C

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

- 注1. ポート0、ポート1、ポート2、ポート3、ポート7、ポート9、ポートA、ポートB、ポートDは、5Vトレラント対応です。
 注2. A/Dコンバータ未使用時にAVCC0、VREFH0、VREFL0、AVSS0端子を開放しないでください。
 AVCC0、VREFH0端子はVCCに、AVSS0、VREFL0端子はVSSにそれぞれ接続してください。

43.2 DC 特性

表43.2 DC特性(1)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	IRQ 入力端子 MTU3 入力端子 POE3 入力端子 SCI 入力端子 A/D トリガ入力端子 GPT 入力端子 RES#, NMI	V_{IH}	VCC×0.8	—	VCC + 0.3	V	
		V_{IL}	-0.3	—	VCC×0.2		
		ΔV_T	VCC×0.06	—	—		
	RIIC 入力端子 (IICBus動作時)	V_{IH}	VCC×0.7	—	5.8		
		V_{IL}	-0.3	—	VCC×0.3		
		ΔV_T	VCC×0.05	—	—		
	ポート4 (アナログ兼用ポート)	V_{IH}	AVCC0×0.8	—	AVCC0 + 0.3		
		V_{IL}	-0.3	—	AVCC0×0.2		
	5Vトレラント対応ポート (注1)	V_{IH}	VCC×0.8	—	5.8		
		V_{IL}	-0.3	—	VCC×0.2		
入力Highレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE	V_{IH}	VCC×0.9	—	VCC + 0.3		
		EXTAL、TCK RSPI入力端子	VCC×0.8	—	VCC + 0.3		
	RIIC入力端子 (SMBus動作時)	2.1	—	VCC + 0.3			
入力Lowレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE	V_{IL}	-0.3	—	VCC×0.1		
		EXTAL、TCK RSPI入力端子	-0.3	—	VCC×0.2		
	RIIC入力端子 (SMBus動作時)	-0.3	—	0.8			
出力Highレベル電圧	全出力端子	V_{OH}	VCC - 0.5	—	—	V	$I_{OH} = -1mA$
出力Lowレベル電圧	全出力端子 (RIIC端子を除く)	V_{OL}	—	—	0.5	V	$I_{OL} = 1.0mA$
		RIIC端子	—	—	0.4		$I_{OL} = 3mA$
	RIIC端子	—	—	0.6	$I_{OL} = 6mA$		
入力リーク電流	RES#, MD端子、EMLE ポート4、ポートPE2	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V, V_{in} = VCC$
スリープステート リーク電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	—	—	5.0	μA	$V_{in} = 0V, V_{in} = 5.5V$
入力容量	全入力端子 (ポートPB1、PB2以外)	C_{in}	—	—	15	pF	$V_{in} = 0V,$ $f = 1MHz,$ $T_a = 25^\circ C$
	ポートPB1、PB2	—	—	30			

注1. ポート0、ポート1、ポート2、ポート3、ポート7、ポート9、ポートA、ポートB、ポートDは、5Vトレラント対応です。

表 43.3 DC特性(2)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件	
消費電流 (注1)	動作時	最大動作時 (注2)	I _{CC} (注3)	—	—	60	mA	ICLK=100MHz PCLKA=100MHz PCLKB=50MHz PCLKD=50MHz FCLK=50MHz
		通常動作時 (注4)		—	25	—		
		BGO動作 (注5) による 増加分		—	15	—		
	スリープ時			—	25	35		
	全モジュールクロックストップ時 (注6)			—	14	25		
	スタンバイ時	ソフトウェアスタンバイ時		—	0.2	6		
ディープソフトウェア スタンバイ時		—	16	40	μA			
アナログ 電源電流	12ビット A/D 変換中 (サンプルホールド回路使用時)		AI _{CC0}	—	3	4	mA	
	12ビット A/D 変換中 (サンプルホールド回路未使用時)			—	2	3	mA	
	ウィンドウコンパレータ (1ch動作時)			—	0.4	1	mA	
	ウィンドウコンパレータ (3ch動作時)			—	0.5	1	mA	
	12ビット A/D 変換待機時			—	25	32	μA	
リファレンス 電源電流	12ビット A/D 変換中		AI _{REFH0}	—	0.6	0.7	mA	
	12ビット A/D 変換待機時			—	0.6	0.7	mA	
VCC立ち上がり勾配			SrVcc	8.4	—	20000	ms/V	

注1. 消費電流値はすべての出力端子を無負荷状態にした場合の値です。

注2. 周辺機能はクロック供給状態。BGO動作は除きます。

注3. I_{CC}は下記の式にしたがってf (ICLK) に依存します。(ICLK : PCLK=8 : 4)I_{CC} max = 0.45 × f + 15 (最大動作時)I_{CC} typ = 0.18 × f + 7 (通常動作時)I_{CC} max = 0.22 × f + 13 (スリープ時)

注4. 周辺機能はクロック供給停止状態。BGO動作は除きます。

注5. プログラム実行中に、内蔵ROM、または内蔵データ格納用フラッシュにデータを書き込み/消去を実行した場合の増加分です。

注6. 周辺機能はクロック供給停止状態。BGO動作は除きます。

表 43.4 出力許容電流値

条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AVSS0 = VREFL0 = 0V$ $AVCC0 = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$ $T_a = T_{opr}$

項目	記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	I_{OL}	—	—	2.0 (注1)	mA
出力Lowレベル許容電流 (1端子あたりの最大値)	I_{OL}	—	—	4.0 (注1)	mA
出力Lowレベル許容電流 (総和)	ΣI_{OL}	—	—	32	mA
出力Highレベル許容電流 (1端子あたりの平均値)	$-I_{OH}$	—	—	2.0	mA
出力Highレベル許容電流 (1端子あたりの最大値)	$-I_{OH}$	—	—	4.0	mA
出力Highレベル許容電流 (総和)	$\Sigma -I_{OH}$	—	—	32	mA

注1. RIIC端子は $I_{OL} = 6mA$ (Max.)です。

【使用上の注意】LSIの信頼性を確保するため、出力電流値は表 43.4の値を超えないようにしてください。

表 43.5 許容消費電力 (Gバージョンのみ)

条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AVSS0 = VREFL0 = 0V$ $AVCC0 = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$ $T_a = T_{opr}$

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	150	mW	$85^\circ C < T_a \leq 105^\circ C$ 64ピン版
	Pd	—	120	mW	$85^\circ C < T_a \leq 105^\circ C$ 48ピン版

注. $T_a = +85^\circ C \sim +105^\circ C$ で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

注1. チップ全体 (出力電流を含む) の総電力です。

43.3 AC 特性

表 43.6 動作周波数値

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f	—	—	100	MHz
	周辺モジュールクロック (PCLK)		—	—	50	
	タイマモジュールクロック (PCLKA)		—	—	100	
	S12AD用クロック (PCLKD)		—	—	50	
	FlashIFクロック (FCLK)		— (注1)	—	50	

注1. ROM、E2データフラッシュの書き換えを行う場合は、FCLKを4MHz以上としてください。

43.3.1 クロックタイミング

表 43.7 クロックタイミング

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間		t_{EXcyc}	50	—	250	ns	図 43.1
EXTAL外部クロック入力パルス幅Lowレベル		t_{EXL}	20	—	—	ns	
EXTAL外部クロック入力パルス幅Highレベル		t_{EXH}	20	—	—	ns	
EXTAL外部クロック立ち上がり時間		t_{EXr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間		t_{EXf}	—	—	5	ns	
EXTAL外部クロック入力待機時間 (注1)		t_{EXWT}	1	—	—	ms	
メインクロック発振器発振周波数		f_{MAIN}	4	—	16	MHz	
メインクロック発振安定時間 (水晶)		$t_{MAINOSC}$	—	—	— (注2)	ms	図 43.2
メインクロック発振安定待機時間 (水晶)		$t_{MAINOSCWT}$	—	—	— (注3)	ms	
LOCO、IWDTCCLKクロックサイクル時間		t_{CYC}	6.96	8	9.4	μ s	
LOCO、IWDTCCLKクロック発振周波数		f_{LOCO}	106.25	125	143.75	kHz	
LOCO、IWDTCCLKクロック発振安定待機時間		t_{LOCOWT}	—	—	20	μ s	図 43.2
PLLクロック発振安定時間	メインクロック発振安定後にPLL動作開始	t_{PLL1}	—	—	500	μ s	図 43.4
PLLクロック発振安定待機時間		t_{PLLWT1}	—	—	— (注4)	ms	
PLLクロック発振安定時間	メインクロック発振安定前にPLL動作開始	t_{PLL2}	—	—	$t_{MAINOSC}$ + t_{PLL1}	ms	図 43.5
PLLクロック発振安定待機時間		t_{PLLWT2}	—	—	— (注4)	ms	

注1. メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) に設定してから、使用できるまでの時間です。

注2. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注3. MOSCWTCR.MSTS[4:0]ビットで選択したサイクル数をnとすると、以下の式で算出されます。

$$t_{MAINOSCWT} = t_{MAINOSC} + \frac{n + 16384}{f_{MAIN}}$$

注4. PLLWTCR.PSTS[4:0]ビットで選択したサイクル数をnとすると、以下の式で算出されます。

$$t_{PLLWT1} = t_{PLL1} + \frac{n + 131072}{f_{PLL}}$$

$$t_{PLLWT2} = t_{PLL2} + \frac{n + 131072}{f_{PLL}} = t_{MAINOSC} + t_{PLL1} + \frac{n + 131072}{f_{PLL}}$$

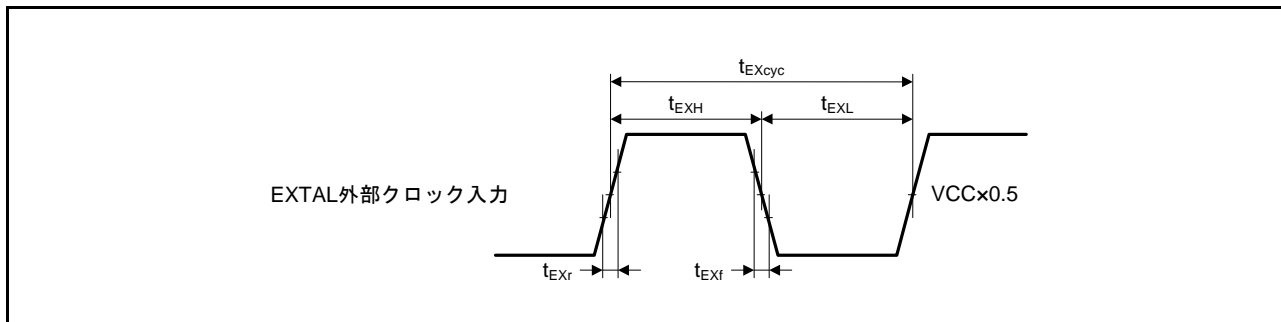


図 43.1 EXTAL 外部クロック入力タイミング

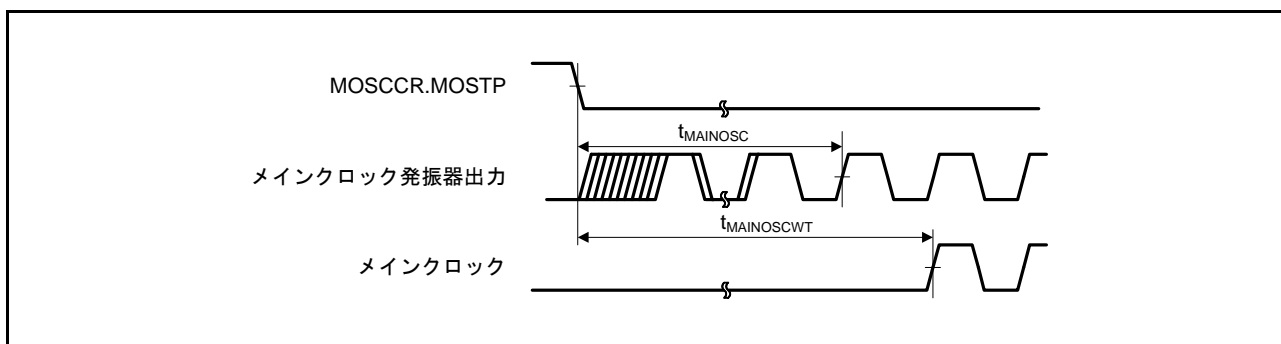


図 43.2 メインクロック発振開始タイミング

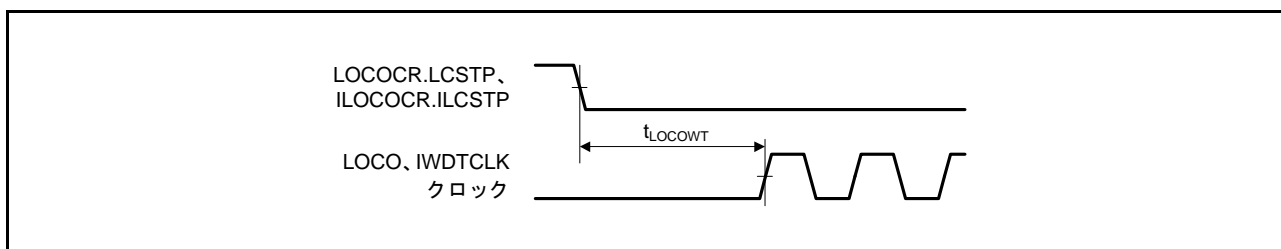


図 43.3 LOCO、IWDTCLK クロック発振開始タイミング

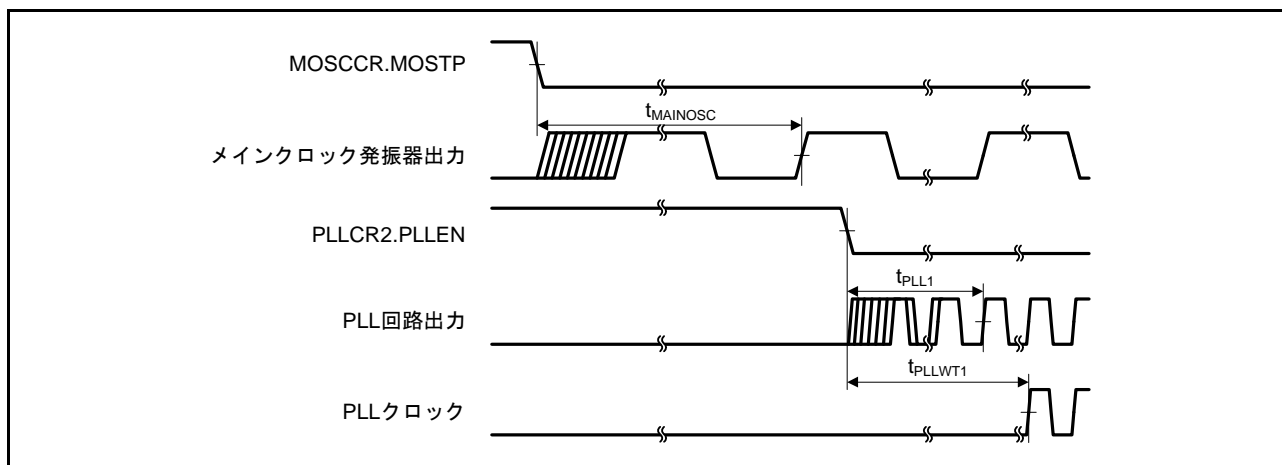


図 43.4 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

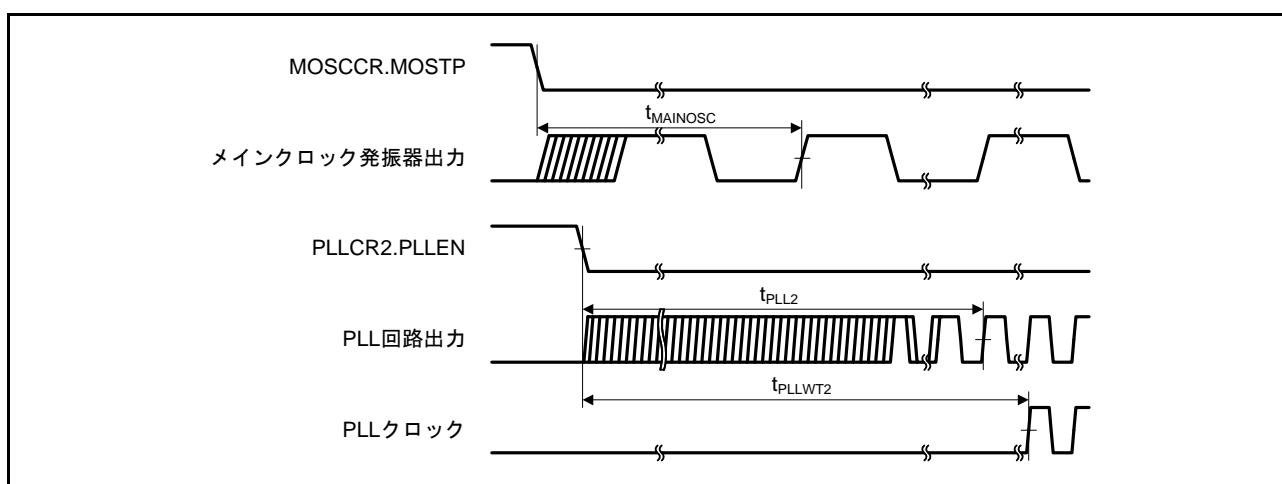


図 43.5 PLL クロック発振開始タイミング (メインクロック発振安定を待たずに PLL を動作させたとき)

43.3.2 リセットタイミング

表 43.8 リセットタイミング

条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AV_{SS0} = V_{REFL0} = 0V$

$AV_{CC0} = 3.0 \sim 3.6V$ 、 $V_{REFH0} = 3.0V \sim AV_{CC0}$

$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t_{RESWP}	2	—	—	ms	図 43.6
	ディープソフトウェアスタンバイモード	t_{RESWD}	1	—	—	ms	図 43.7
	ソフトウェアスタンバイモード	t_{RESWS}	1	—	—	ms	
	上記以外 (ROMプログラム/イレーズ、E2データフラッシュプログラム/イレーズ、E2データフラッシュブランクチェック中を除く)	t_{RESWF}	200	—	—	μs	
RES#解除後待機時間		t_{RESWT}	59	—	60	t_{cyc}	
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)		t_{RESW2}	112	—	120	t_{cyc}	

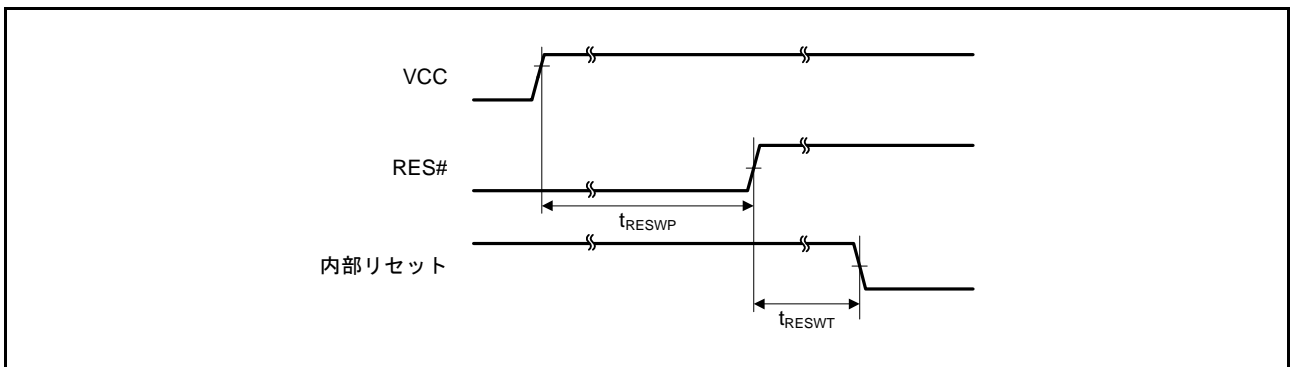


図 43.6 電源投入時リセット入カタイミング

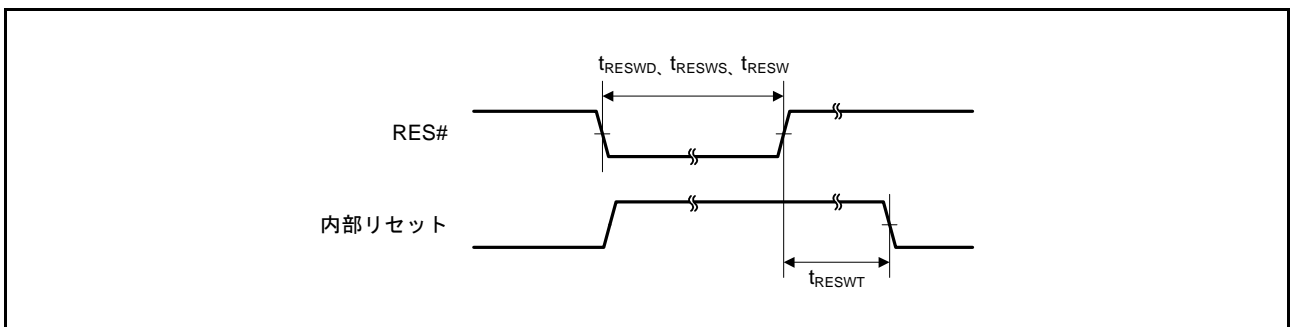


図 43.7 リセット入カタイミング

43.3.3 低消費電力状態からの復帰タイミング

表 43.9 低消費電力状態からの復帰タイミング

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t_{SBYMC}	10	—	—	ms	図 43.8
		メインクロック発振器、PLL回路動作	t_{SBYPC}	10	—	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t_{SBYEX}	1	—	—	ms	
		メインクロック発振器、PLL回路動作	t_{SBYPE}	1	—	—	ms	
	低速オンチップオシレータ、またはIWDWT専用低速クロック発振器	t_{SBYLO}	—	—	800	—	μ s	
ディープソフトウェアスタンバイモード解除後復帰時間		t_{DSBY}	—	—	1	ms	図 43.9	
ディープソフトウェアスタンバイモード解除後待機時間		t_{DSBYWT}	45	—	46	t_{cyc}		

注. WAIT命令実行時の各発振器の状態によって待ち時間が異なります。複数の発振器が動作している場合の復帰時間は、動作している発振器の中で復帰に最も時間がかかるものが単独で動作しているときと同じ時間になります。

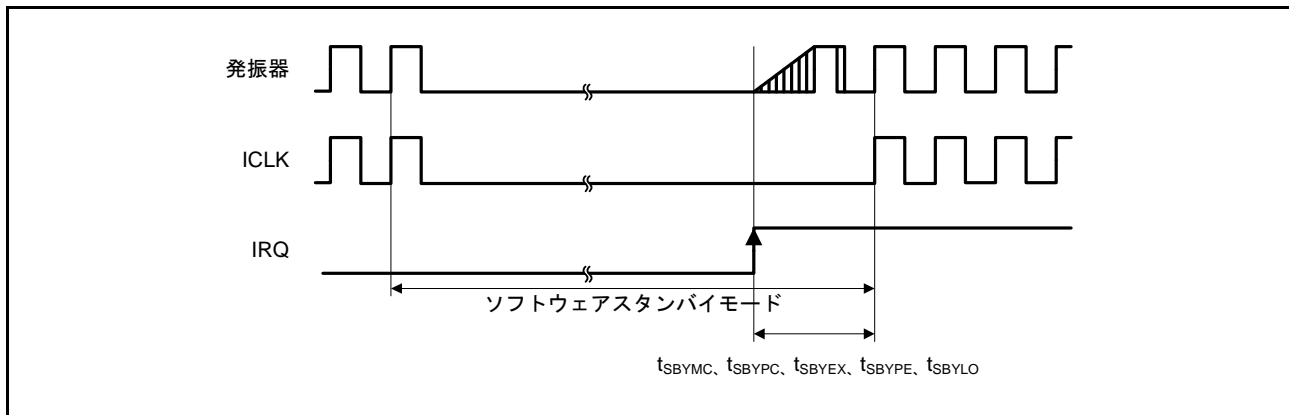


図 43.8 ソフトウェアスタンバイモード解除タイミング

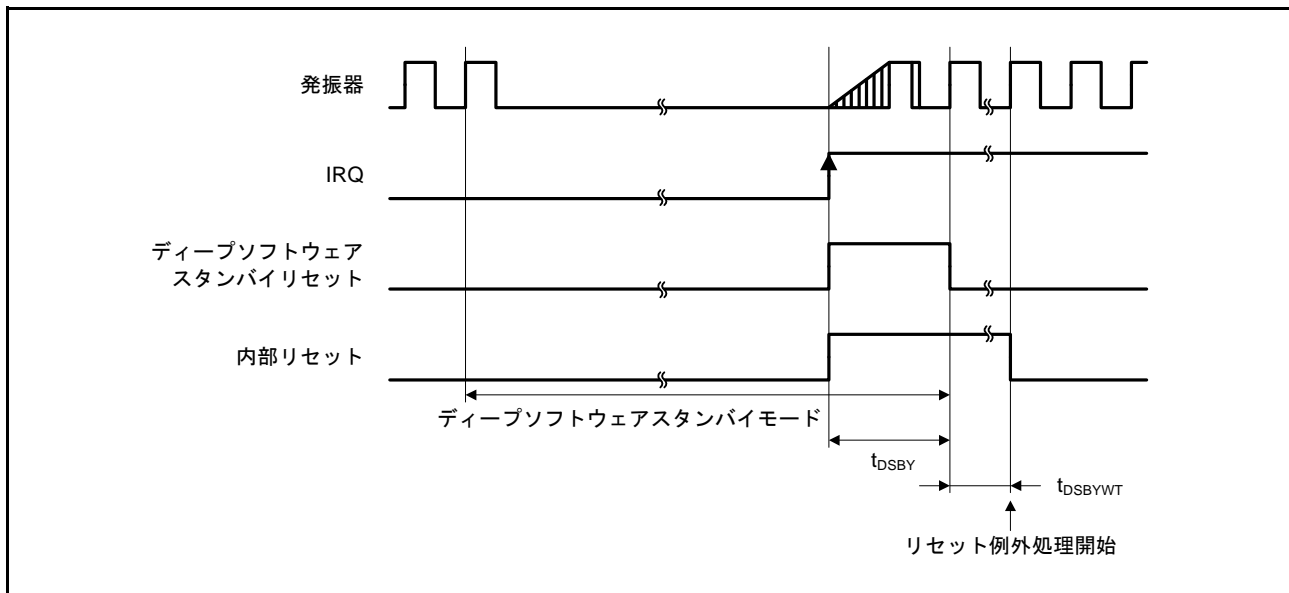


図 43.9 ディープソフトウェアスタンバイモード解除タイミング

43.3.4 制御信号タイミング

表 43.10 制御信号タイミング

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0
 T_a = T_{opr}

項目	記号	min	typ	max	単位 (注 1)	測定条件
NMIパルス幅	t _{NMIW}	200	—	—	ns	t _{Pcyc} × 2 ≤ 200ns、図 43.10
		2			t _{Pcyc}	t _{Pcyc} × 2 > 200ns、図 43.10
IRQ#パルス幅	t _{IRQW}	200	—	—	ns	t _{Pcyc} × 2 ≤ 200ns、図 43.11
		2			t _{Pcyc}	t _{Pcyc} × 2 > 200ns、図 43.11

注 1. t_{Pcyc} : PCLKの周期です。

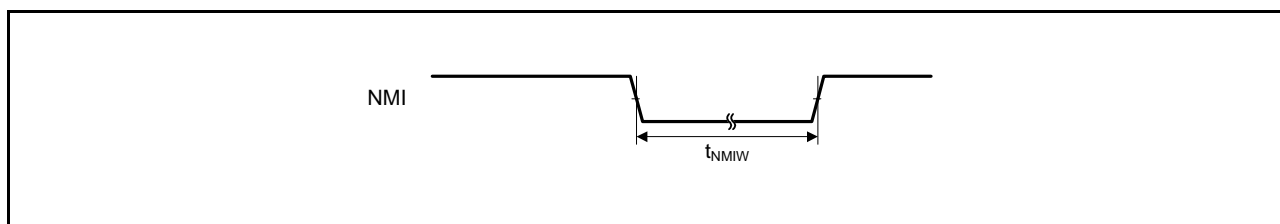


図 43.10 NMI 割り込み入力タイミング

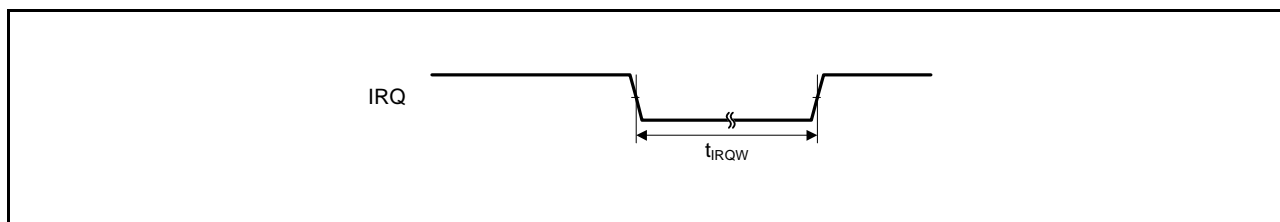


図 43.11 IRQ 割り込み入力タイミング

43.3.5 内蔵周辺モジュールタイミング

表43.11 内蔵周辺モジュールタイミング (1)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0
 $T_a = T_{opr}$

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{Pcyc}	図 43.12	
MTU3	インプットキャプチャ入力 パルス幅	単エッジ指定	3	—	t_{PAcyc}	図 43.13	
		両エッジ指定	5	—			
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} 、 t_{TCKWL}	3	—	t_{PAcyc}	図 43.14
両エッジ指定		5		—			
位相計測モード		5		—			
POE3	POE#入力パルス幅	t_{POEW}	1.5	—	t_{Pcyc}	図 43.16	
GPT	インプットキャプチャ入力パ ルス幅	単エッジ指定	3	—	t_{PAcyc}	図 43.15	
		両エッジ指定	5	—			
	外部トリガ入力パルス幅	単エッジ指定	t_{OTETW}	3	—	t_{PAcyc}	図 43.15
		両エッジ指定		5	—		
SCI	入カクロックサイクル	調歩同期	t_{Scyc}	4	—	t_{Pcyc}	図 43.17
		クロック同期		6	—		
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入カクロック立ち上がり時間		t_{SCKr}	—	20	ns	
	入カクロック立ち下がり時間		t_{SCKf}	—	20	ns	
	出カクロックサイクル	調歩同期	t_{Scyc}	16	—	t_{Pcyc}	図 43.17
		クロック同期		4	—		
	出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出カクロック立ち上がり時間		t_{SCKr}	—	20	ns	
	出カクロック立ち下がり時間		t_{SCKf}	—	20	ns	
	送信データ遅延時間	クロック同期	t_{TXD}	—	40	ns	図 43.18
	受信データセットアップ時間	クロック同期	t_{RXS}	40	—	ns	
	受信データホールド時間	クロック同期	t_{RXH}	40	—	ns	
A/D コンバータ	12ビットA/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図 43.19	

注1. t_{Pcyc} : PCLKの周期です。 t_{PAcyc} : PCLKAの周期です。

表 43.12 内蔵周辺モジュールタイミング (2)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

T_a = T_{opr}

項目		記号	min	max	単位 (注1)	測定条件		
RSPI	RSPCK クロックサイクル	マスタ	t _{SPCyc}	2	4096	t _{Pcyc}	図 43.20	
		スレーブ		8	4096			
	RSPCK クロック High レベルパルス幅	マスタ	t _{SPCKWH}	$(t_{SPCyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns		図 43.21 ~ 図 43.24
		スレーブ		$(t_{SPCyc} - t_{SPCKR} - t_{SPCKF}) / 2$	—			
	RSPCK クロック Low レベルパルス幅	マスタ	t _{SPCKWL}	$(t_{SPCyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns		
		スレーブ		$(t_{SPCyc} - t_{SPCKR} - t_{SPCKF}) / 2$	—			
	RSPCK クロック 立ち上がり/立ち下がり時間	出力	t _{SPCKR} 、 t _{SPCKF}	—	5	ns		
		入力		—	1	μs		
	データ入力セットアップ時間	マスタ	t _{SU}	20	—	ns		
		スレーブ		20 - t _{Pcyc}	—			
	データ入力ホールド時間	マスタ	t _H	0	—	ns		
		スレーブ		20 + 2 × t _{Pcyc}	—			
	SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPcyc}		
		スレーブ		4	—	t _{Pcyc}		
	SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPcyc}		
		スレーブ		4	—	t _{Pcyc}		
	データ出力遅延時間	マスタ	t _{OD}	—	18	ns		
		スレーブ		—	3 × t _{Pcyc} + 40			
	データ出力ホールド時間	マスタ	t _{OH}	0	—	ns		
スレーブ			0	—				
連続送信遅延時間	マスタ	t _{TD}	t _{SPcyc} + 2 × t _{Pcyc}	8 × t _{SPcyc} + 2 × t _{Pcyc}	ns			
	スレーブ		4 × t _{Pcyc}	—				
MOSI 立ち上がり/立ち下がり 時間	出力	t _{MODR}	—	5	ns			
	入力	t _{MODF}	—	1	μs			
MISO 立ち上がり/立ち下がり 時間	出力	t _{MODR}	—	15	ns			
	入力	t _{MODF}	—	1	μs			
SSL 立ち上がり/立ち下がり 時間	出力	t _{SSLr} 、 t _{SSLf}	—	15	ns			
	入力		—	1	μs			
スレーブアクセス時間		t _{SA}	—	4	t _{Pcyc}	図 43.23、 図 43.24		
スレーブ出力開放時間		t _{REL}	—	3	t _{Pcyc}			

注1. t_{Pcyc} : PCLKの周期です。

表43.13 内蔵周辺モジュールタイミング (3)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0
 $T_a = T_{opr}$

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t_{SPCyc}	4	65536	t_{PCyc}	図 43.20
	SCKクロックサイクル入力 (スレーブ)		8	65536		
	SCKクロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPCyc}	
	SCKクロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPCyc}	
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKR} 、 t_{SPCKF}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	40	—	ns	図 43.21 ~ 図 43.24
	データ入力ホールド時間	t_H	40	—	ns	
	SS入力セットアップ時間	t_{LEAD}	6	—	t_{PCyc}	
	SS入力ホールド時間	t_{LAG}	6	—	t_{PCyc}	
	データ出力遅延時間	t_{OD}	—	40	ns	
	データ出力ホールド時間	t_{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{DR} 、 t_{DF}	—	20	ns	
	SS入力立ち上がり/立ち下がり時間	t_{SSLr} 、 t_{SSLf}	—	20	ns	
	スレーブアクセス時間	t_{SA}	—	5	t_{PCyc}	図 43.23 図 43.24
	スレーブ出力開放時間	t_{REL}	—	5	t_{PCyc}	

注1. t_{PCyc} : PCLKの周期です。

表43.14 内蔵周辺モジュールタイミング (4)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

 $T_a = T_{opr}$

項目		記号	min	max	単位	測定条件
RIIC (Standard-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IIcCyc} + 1300$	—	ns	図43.25
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IIcCyc}$	ns	
	SDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IIcCyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IIcCyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (Fast-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IIcCyc} + 600$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IIcCyc}$	ns	
	SDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IIcCyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IIcCyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注1. t_{IIcCyc} : RIICの内部基準クロック (IICφ) の周期です。

注2. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注3. C_b はバスラインの容量総計です。

表 43.15 内蔵周辺モジュールタイミング (4)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0
 Ta = Topr

項目		記号	min (注1、注2)	max	単位	測定条件
簡易IIC (Standard-mode)	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000	ns	図43.25
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	4 × (1/PCLK)	ns	
	データ入力セットアップ時間	t _{SDAS}	250	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
簡易IIC (Fast-mode)	SCL、SDA入力立ち上がり時間	t _{Sr}	20 + 0.1C _b	300	ns	図43.25
	SCL、SDA入力立ち下がり時間	t _{Sf}	20 + 0.1C _b	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	4 × (1/PCLK)	ns	
	データ入力セットアップ時間	t _{SDAS}	100	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。
 注2. C_bはバスラインの容量総計です。

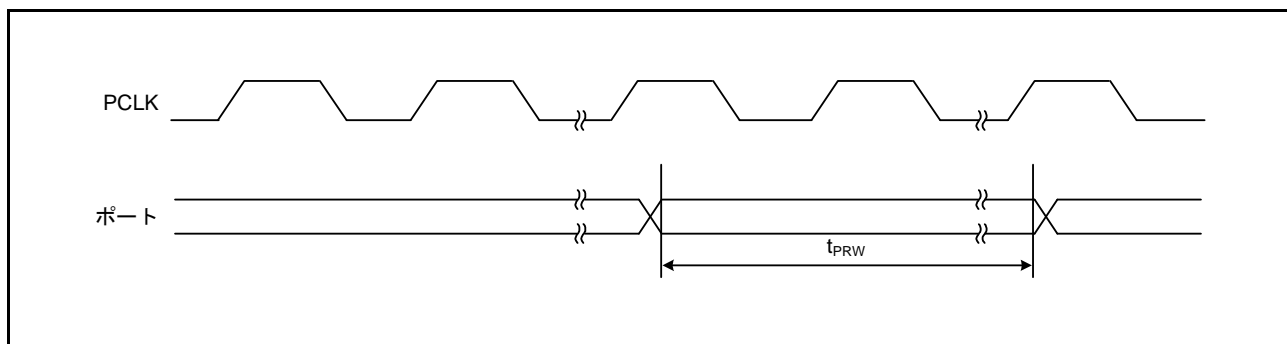


図 43.12 I/Oポート入力タイミング

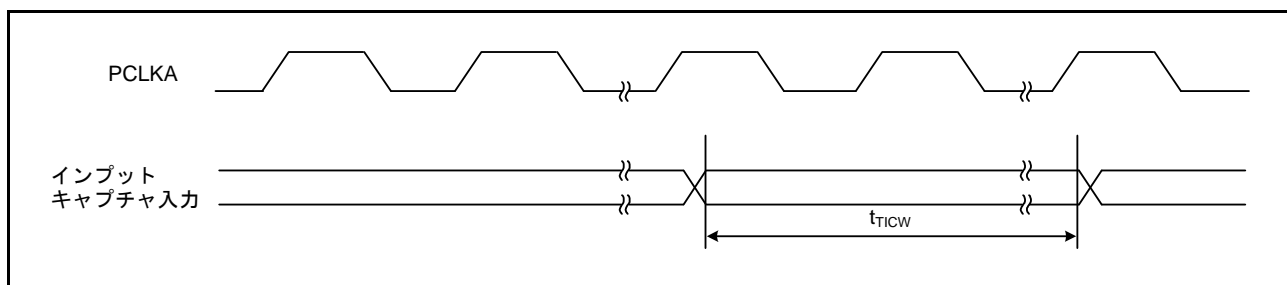


図 43.13 MTU3入出力タイミング

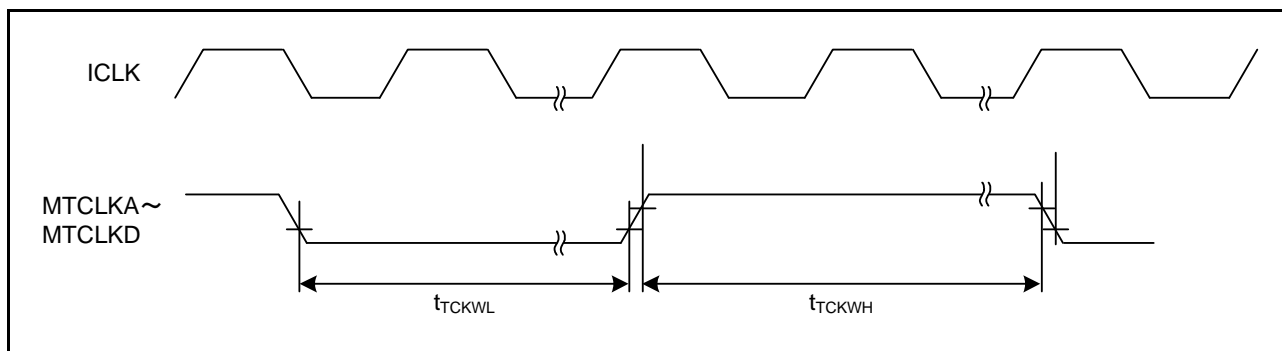


図 43.14 MTU3 クロック入力タイミング

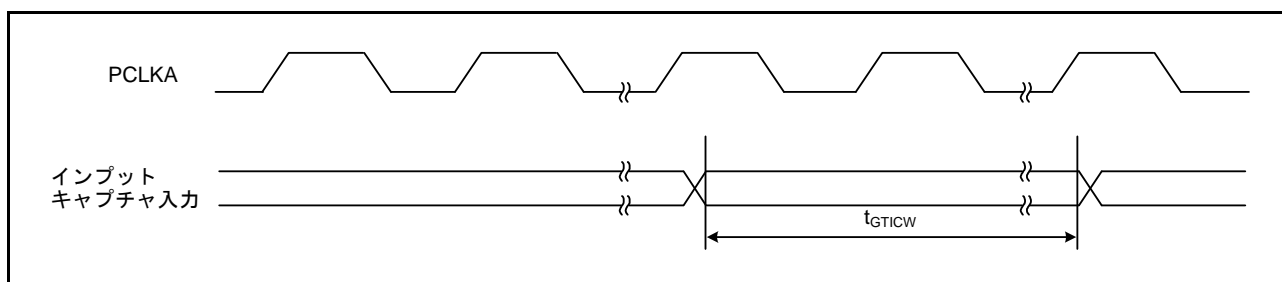


図 43.15 GPT 入出力タイミング

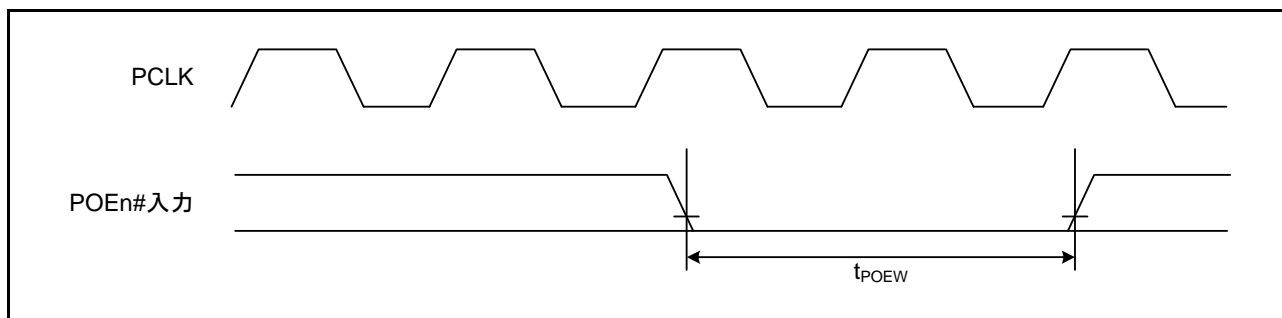


図 43.16 POE3# 入力タイミング

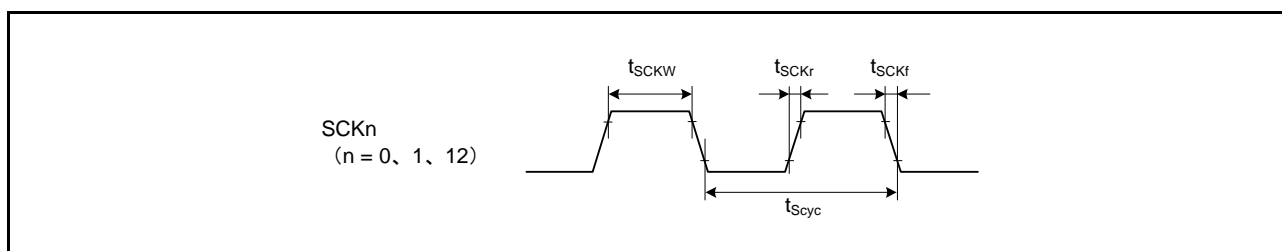


図 43.17 SCK クロック入力タイミング

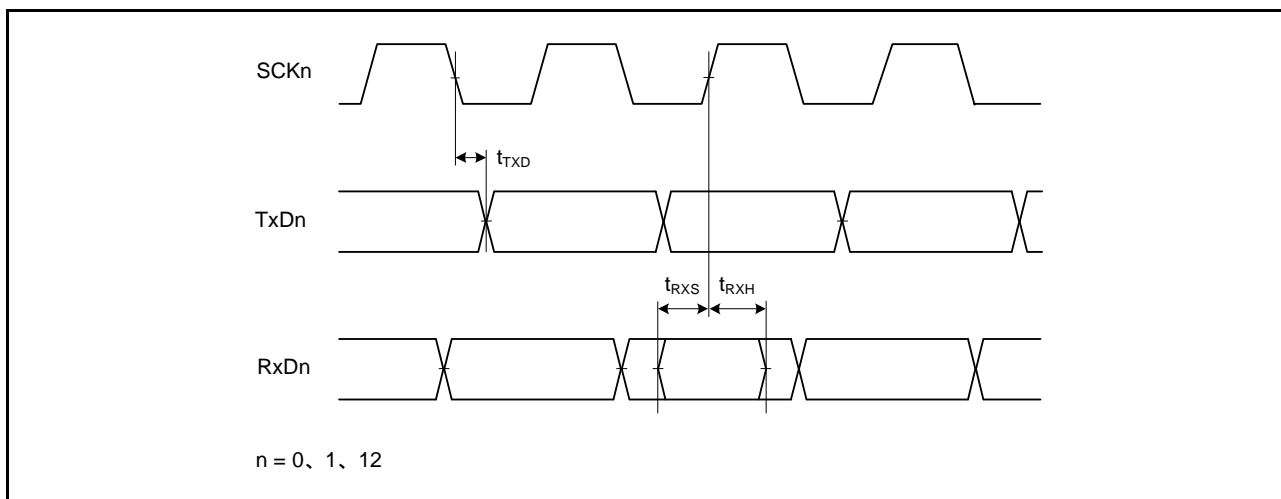


図 43.18 SCI 入出力タイミング/クロック同期式モード

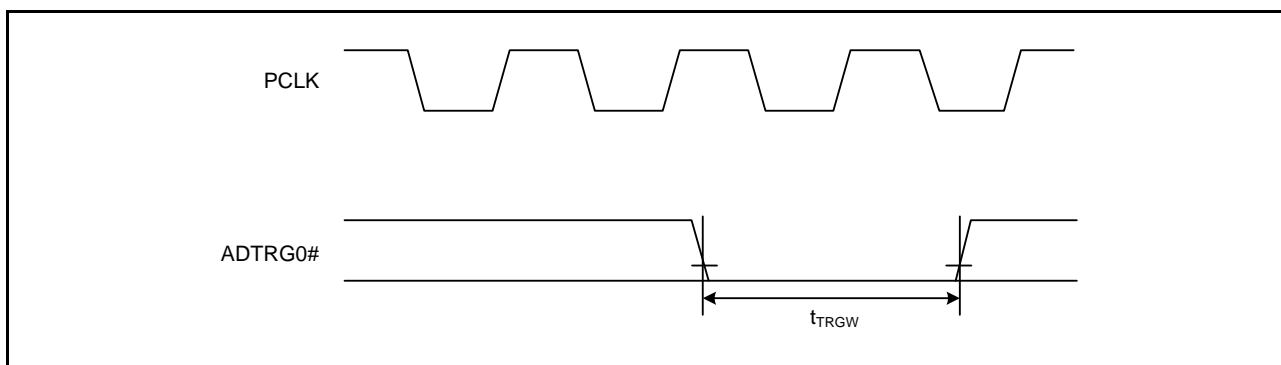


図 43.19 A/D コンバータ外部トリガ入力タイミング

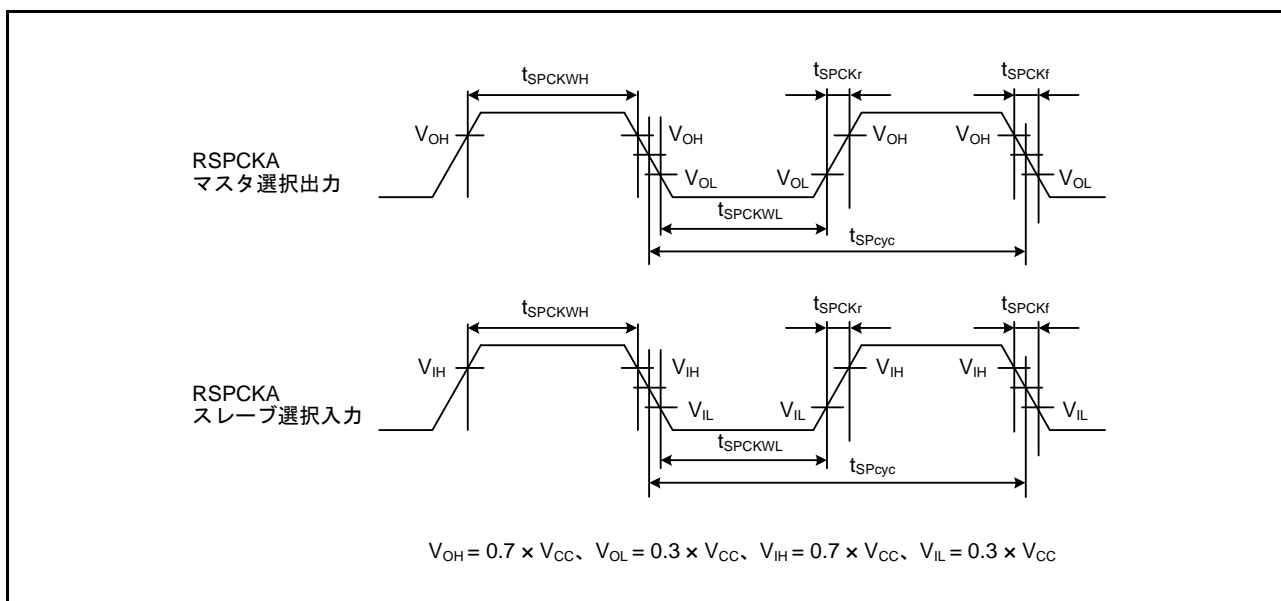


図 43.20 RSPCKA クロックタイミング/簡易 SPI クロックタイミング

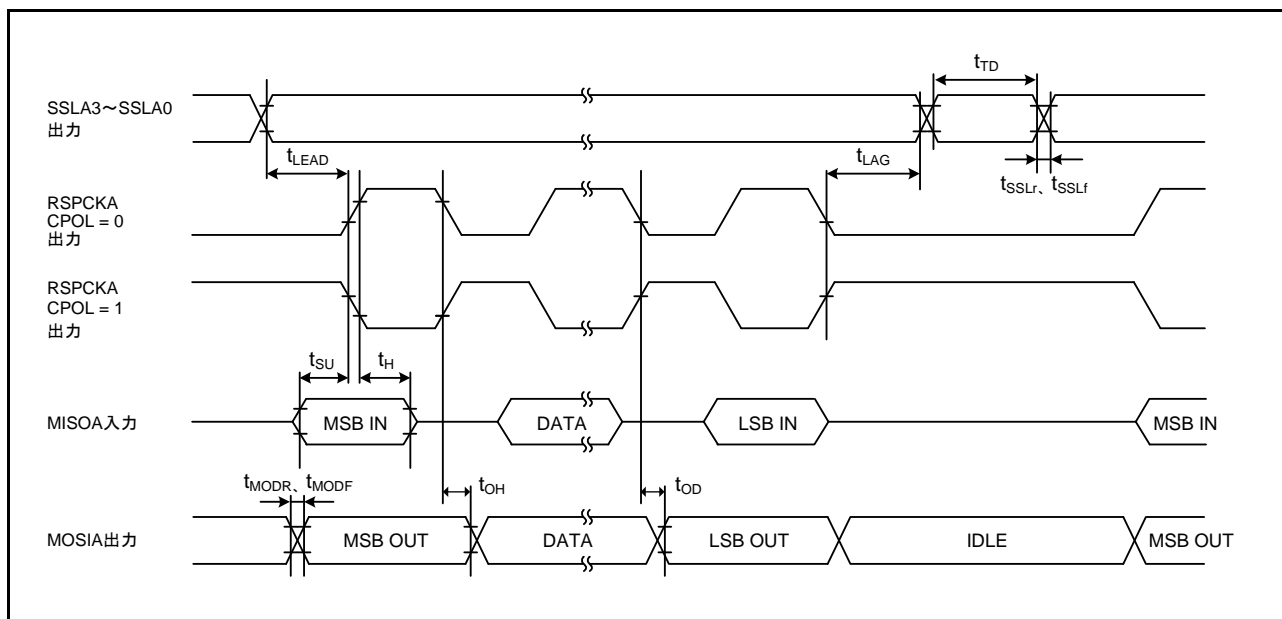


図 43.21 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI タイミング (マスタ、CKPH = 1)

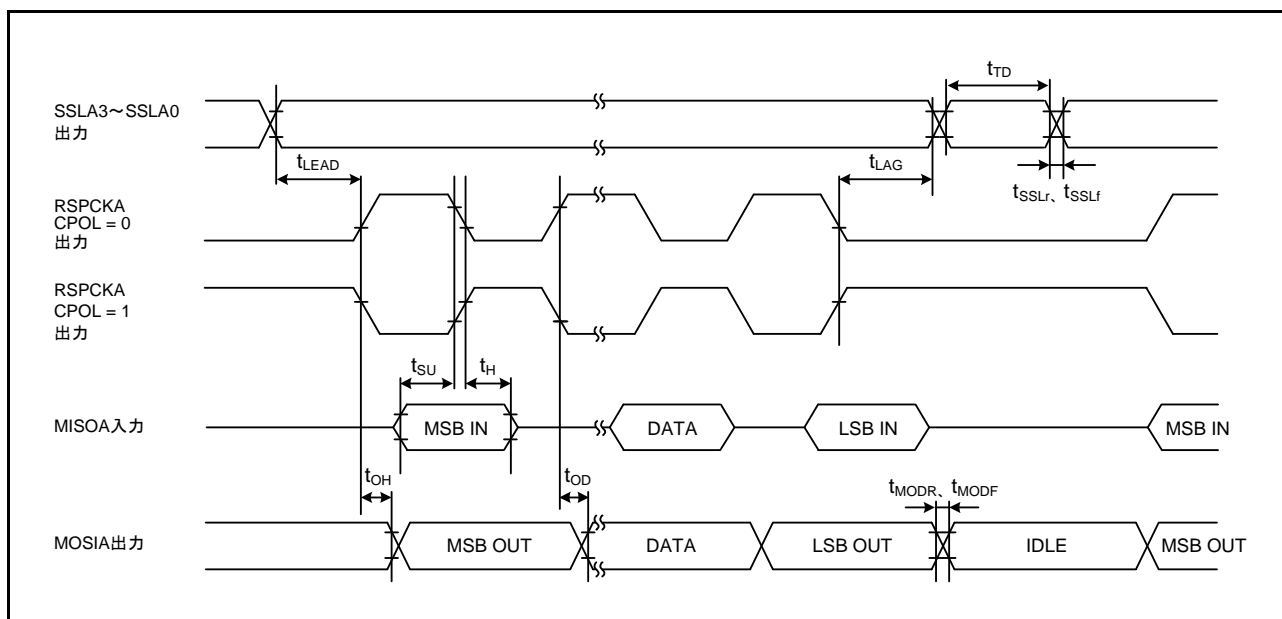


図 43.22 RSPI タイミング (マスタ、CPHA = 1) / 簡易 SPI タイミング (マスタ、CKPH = 0)

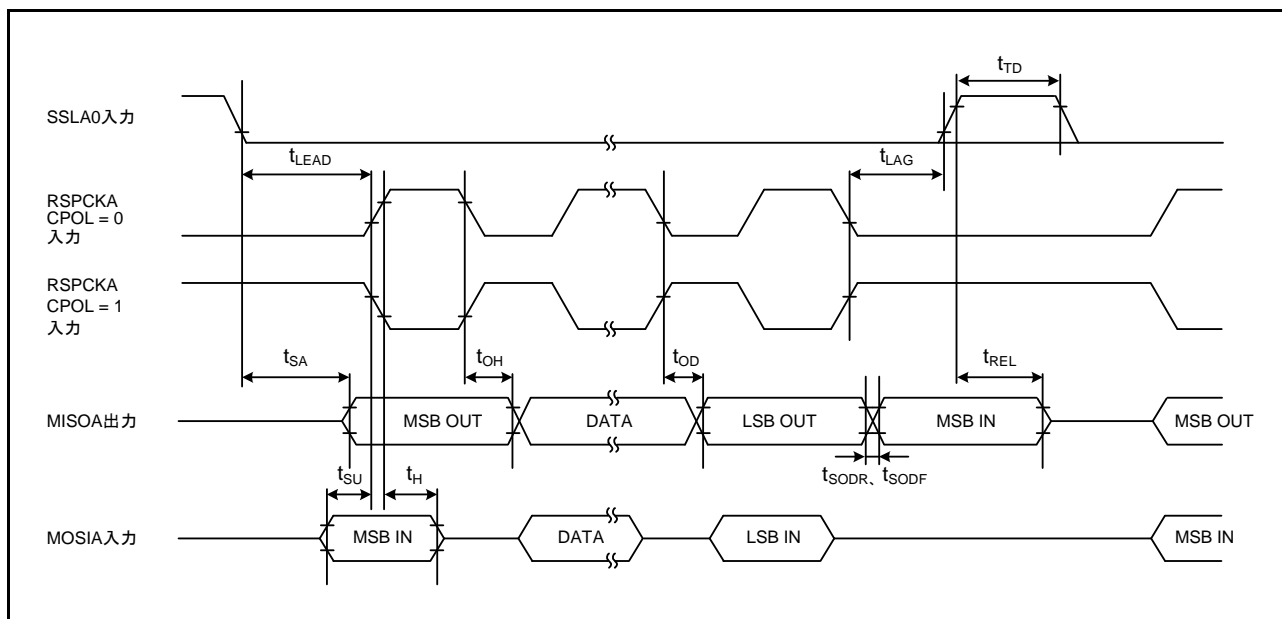


図 43.23 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

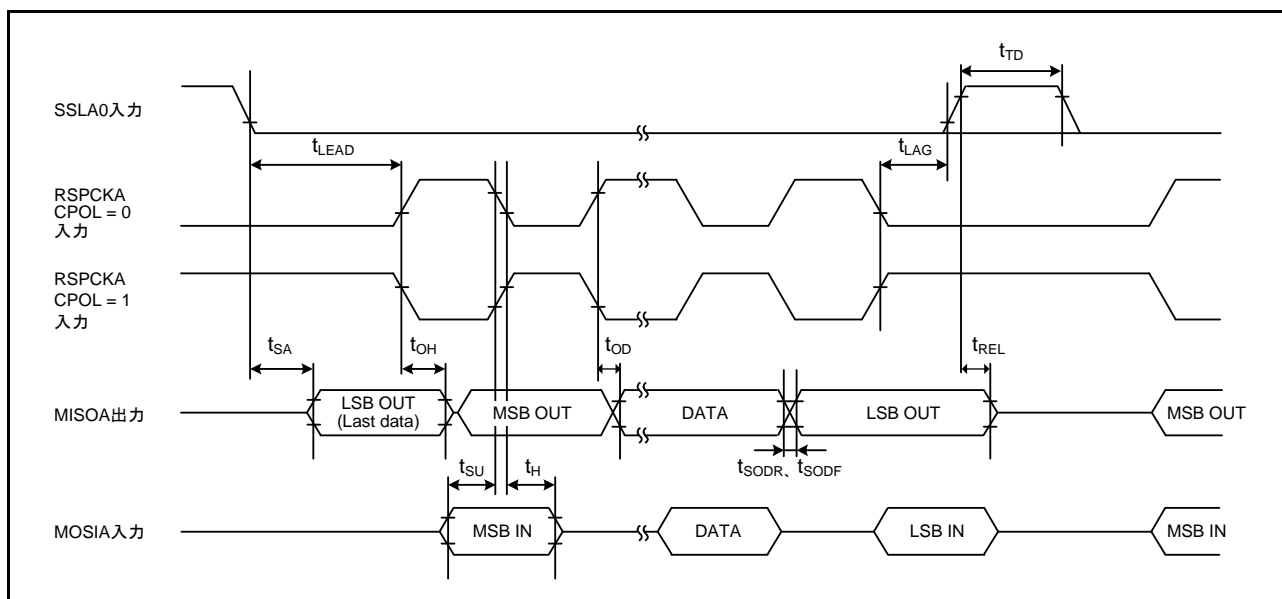


図 43.24 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

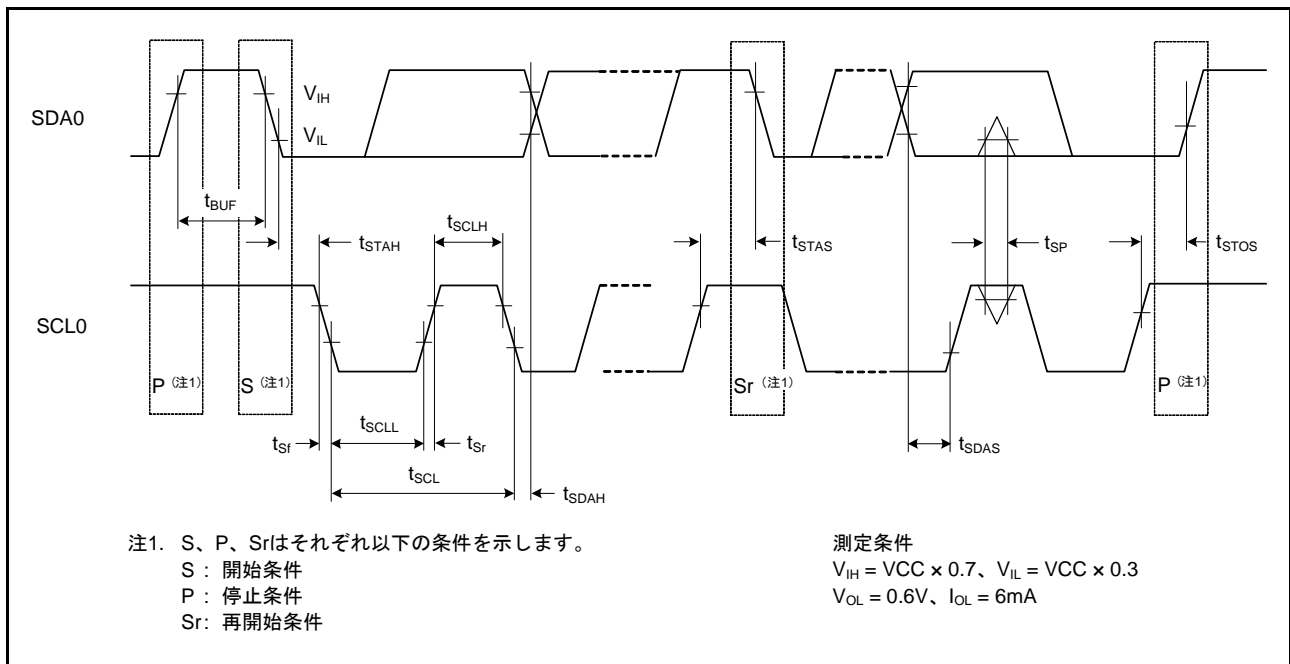


図 43.25 RIIC バスインタフェース入出力タイミング / 簡易 IIC バスインタフェース入出力タイミング

43.4 A/D 変換特性

表 43.16 12ビット A/D 変換特性

条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AV_{SS0} = V_{REFL0} = 0V$
 $AV_{CC0} = 3.0 \sim 3.6V$ 、 $V_{REFH0} = 3.0V \sim AV_{CC0}$
 $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件	
分解能	12	12	12	ビット		
変換時間 (注1) (ADCLK=50 MHz)	端子毎サンプル&ホールド回路 使用時	1.6	—	—	μs	サンプル&ホールド回路 のサンプリング30ステート A/D変換器のサンプリング 20ステート
	端子毎サンプル&ホールド回路 未使用時	1.0	—	—	μs	A/D変換器のサンプリング 20ステート
アナログ入力容量	—	—	6	pF		
非直線性誤差	—	—	±4.0	LSB		
オフセット誤差	—	—	±7.5	LSB		
フルスケール誤差	—	—	±7.5	LSB		
量子化誤差	—	±0.5	—	LSB		
絶対精度	サンプル&ホールド回路使用	—	—	±8.0	LSB	$AV_{in} = 0.25 \sim AV_{REFH} - 0.25$
	サンプル&ホールド回路未使用	—	—	±8.0	LSB	$AV_{in} = AV_{REFL} \sim AV_{REFH}$
許容信号源インピーダンス	—	—	3.0	kΩ		

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 43.17 コンパレータ特性

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0
 Ta = Topr

項目	記号	min	typ	max	単位	測定条件
アナログ入力容量	Cin	—	—	6	pF	
REFH端子オフセット電圧	Voff	—	—	5	mV	
REFL端子オフセット電圧		—	—	5	mV	
REFH入力電圧範囲	Vin	1.7	—	AVcc0 - 0.3	V	
REFL入力電圧範囲		0.3	—	AVcc0 - 1.7	V	
REFH応答時間	tCR	—	—	0.5	μs	
REFL応答時間	tCF	—	—	0.5	μs	

43.5 パワーオンリセット回路、電圧検出回路特性

表 43.18 パワーオンリセット回路、電圧検出回路特性

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0
 Ta = Topr

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	2.5	2.6	2.7	V	図 43.26
	電圧検出回路 (LVD0)	V _{DET0}	2.7	2.8	2.9		図 43.27
	電圧検出回路 (LVD1)	V _{DET1}	2.80	2.95	3.10		
	電圧検出回路 (LVD2)	V _{DET2}	2.80	2.95	3.10		
内部リセット時間	パワーオンリセット (POR)	t _{POR}		4.6		ms	図 43.26
	電圧検出回路 (LVD0)	t _{LVD0}		4.6			図 43.27
	電圧検出回路 (LVD1)	t _{LVD1}		0.9			図 43.28
	電圧検出回路 (LVD2)	t _{LVD2}		0.9			図 43.29
最小VCC低下時間 (注1)		t _{VOFF}	200	—	—	μs	図 43.26、 図 43.27
応答遅延時間		t _{DET}			200	μs	図 43.26 ~ 図 43.29
LVD動作安定時間 (LVD有効切り替え時)		T _{d(E-A)}			3	μs	図 43.28
ヒステリシス幅 (LVD1、LVD2)		V _{LVH}		80		mV	図 43.29

注1. VccがPOR/LVDの電圧検出レベルV_{POR}、V_{DET1}、V_{DET2}のmin値を下回っている時間です。

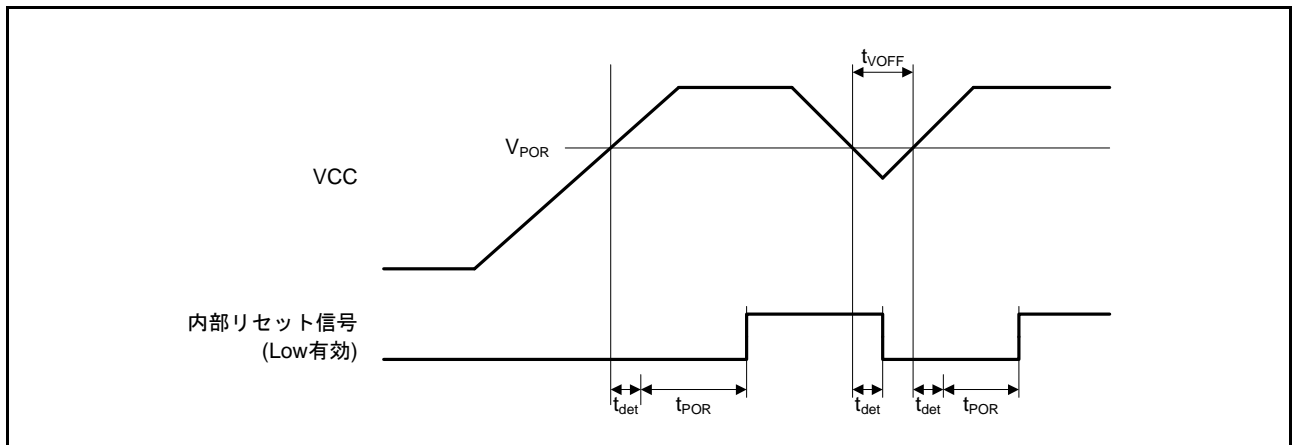


図 43.26 パワーオンリセットタイミング

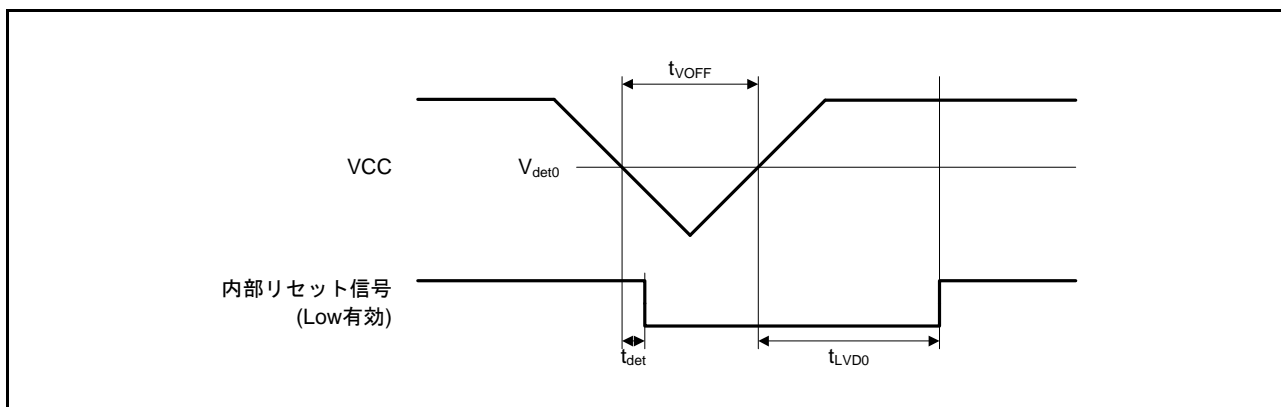


図 43.27 電圧検出回路タイミング (V_{det0})

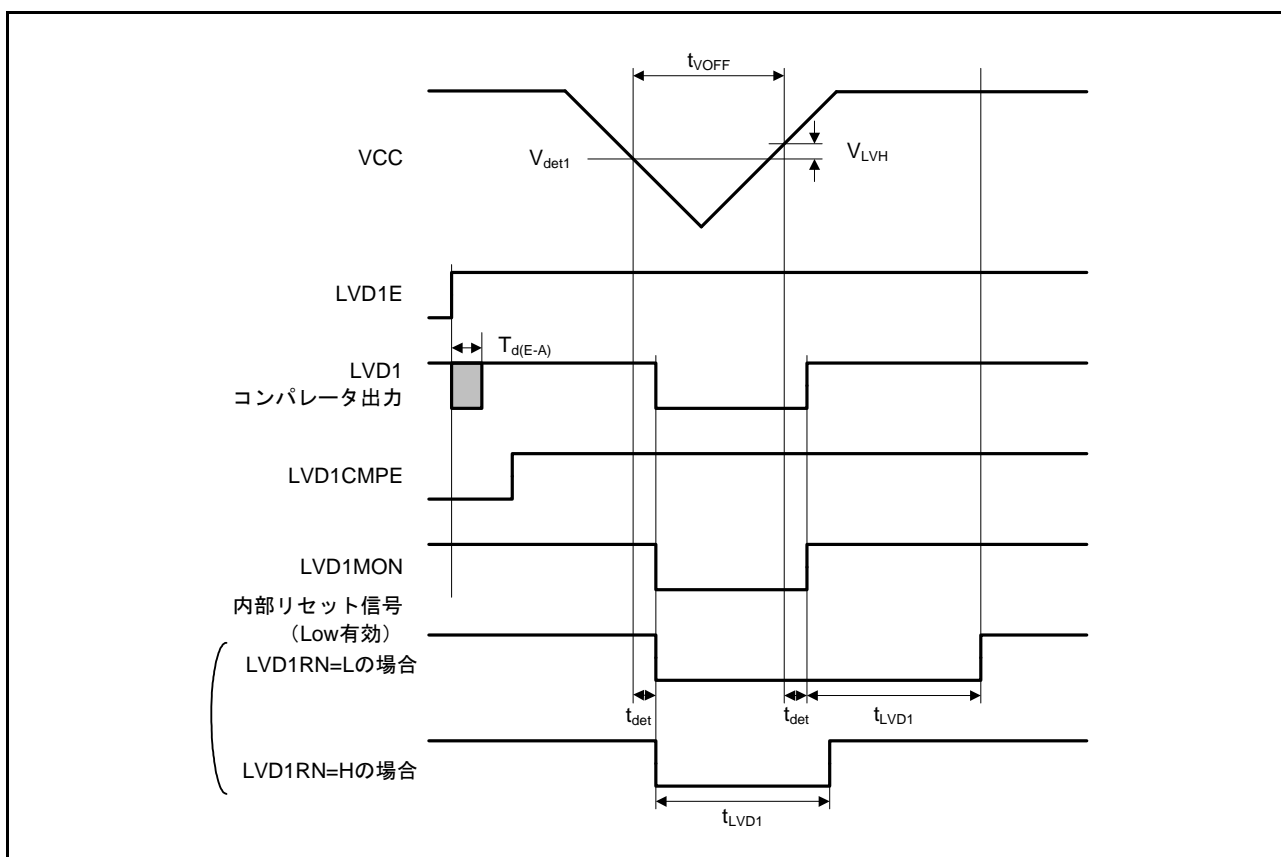


図 43.28 電圧検出回路タイミング (V_{det1})

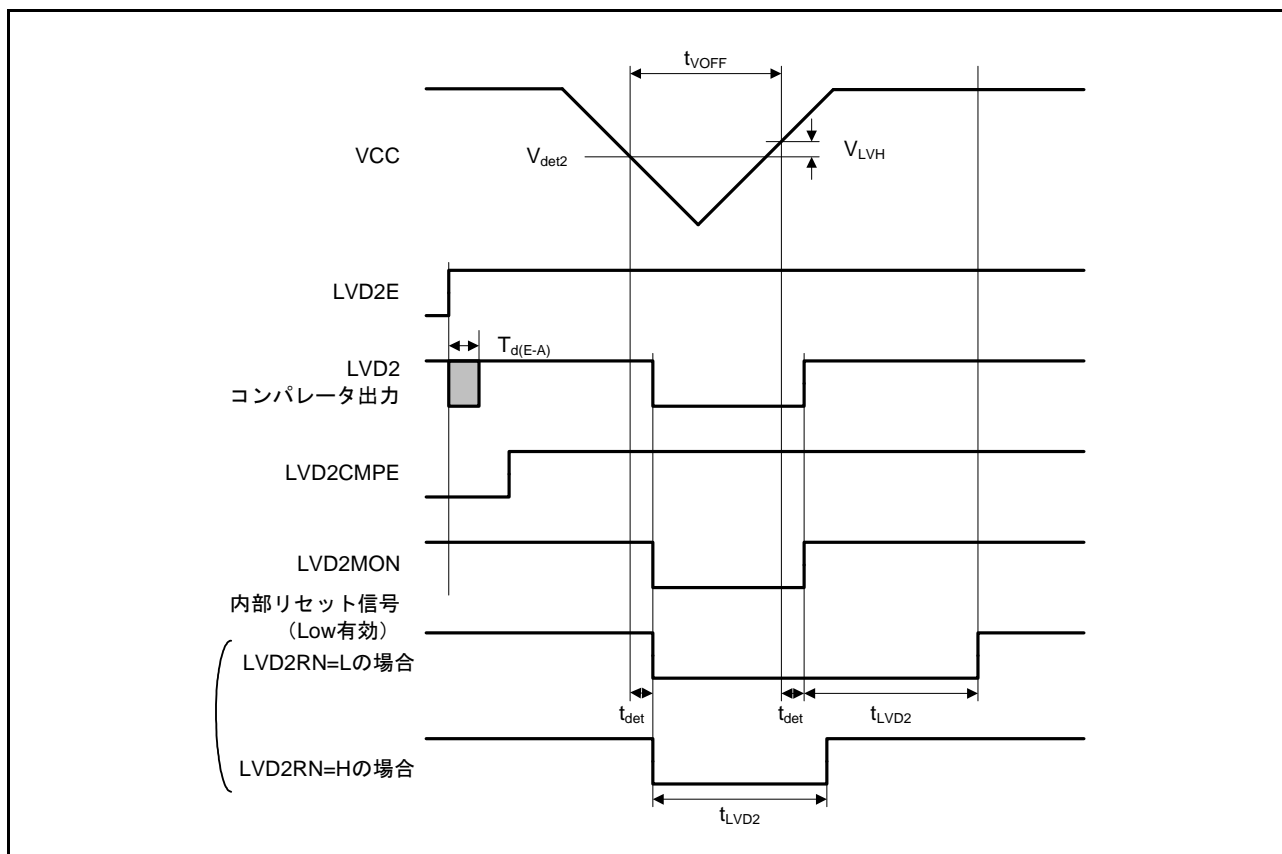


図 43.29 電圧検出回路タイミング (V_{det2})

43.6 発振停止検出回路特性

表 43.19 発振停止検出回路特性

条件 : $VCC = 2.7 \sim 3.6V$ 、 $VSS = AVSS0 = VREFL0 = 0V$
 $AVCC0 = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1.0	ms	図 43.30

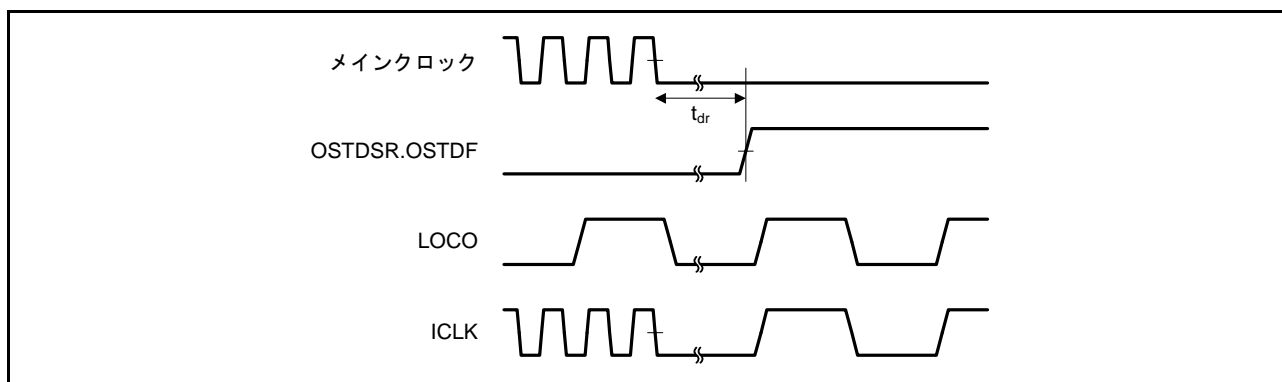


図 43.30 発振停止検出タイミング

43.7 ROM（コード格納用フラッシュメモリ）特性

表43.20 ROM（コード格納用フラッシュメモリ）特性（1）

条件：VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲： $T_a = T_{opr}$ 。 T_a は条件 1 ~ 3 で共通です。

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル (注1)	N_{pec}	1000	—	—	回	
データ保持期間	t_{DRP}	30 (注2)	—	—	年	$T_a = +85^\circ\text{C}$

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n=1000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 信頼性試験から得られた結果です。

表43.21 ROM（コード格納用フラッシュメモリ）特性（2）

条件：VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲： $T_a = T_{opr}$ は条件 1 ~ 3 で共通です。

項目		記号	min	typ	max	単位	測定条件	
書き込み時間	128バイト	t_{P128}	—	1	10	ms	FCLK=50MHz $N_{PEC} \leq 100$ 時	
	4Kバイト	t_{P4K}	—	23	50	ms		
	16Kバイト	t_{P16K}	—	90	200	ms		
	消去時間	128バイト	t_{P128}	—	1.2	12	ms	FCLK=50MHz $N_{PEC} > 100$ 時
		4Kバイト	t_{P4K}	—	27.6	60	ms	
		16Kバイト	t_{P16K}	—	108	240	ms	
書き込み中のサスペンド遅延時間	4Kバイト	t_{E4K}	—	25	60	ms	FCLK=50MHz $N_{PEC} \leq 100$ 時	
	16Kバイト	t_{E16K}	—	100	240	ms		
	4Kバイト	t_{E4K}	—	30	72	ms		FCLK=50MHz $N_{PEC} > 100$ 時
	16Kバイト	t_{E16K}	—	120	288	ms		
書き込み中のサスペンド遅延時間		t_{SPD}	—	—	120	μs	図43.31 PCLK=50MHz時	
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		t_{SESD1}	—	—	120	μs		
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		t_{SESD2}	—	—	1.7	ms		
消去中のサスペンド遅延時間 (消去優先モード時)		t_{SEED}	—	—	1.7	ms		
FCUリセット時間		t_{FCUR}	35	—	—	μs		

43.8 E2フラッシュ特性

表 43.22 E2データフラッシュ特性 (1)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$ 。 T_a は条件 1 ~ 3 で共通です。

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル (注1)	N_{DPEC}	100000	—	—	回	
データ保持期間	t_{DDRP}	30 (注2)	—	—	年	$T_a = +85^\circ\text{C}$

注1. 再プログラム/イレーズサイクルの定義 : 再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルが n 回 ($n=100000$) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。例えば、128バイトのブロックについて、それぞれ異なる番地に8バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 信頼性試験から得られた結果です。

表 43.23 E2データフラッシュ特性 (2)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
書き込み時間	2バイト	t_{DP2}	—	0.25	2	ms	FCLK=50MHz時
消去時間	32バイト	t_{DE32}	—	2	20	ms	FCLK=50MHz $N_{DPEC} \leq 100$ 時
	32バイト	t_{DE32}	—	4	20	ms	FCLK=50MHz $N_{DPEC} > 100$ 時
ブランクチェック時間	2バイト	t_{DBC2}	—	—	30	μs	FCLK=50MHz時
書き込み中のサスペンド遅延時間		t_{DSPD}	—	—	120	μs	図 43.31 FCLK=50MHz時
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	120	μs	
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	300	μs	
消去中のサスペンド遅延時間 (消去優先モード時)		t_{DSEED}	—	—	300	μs	

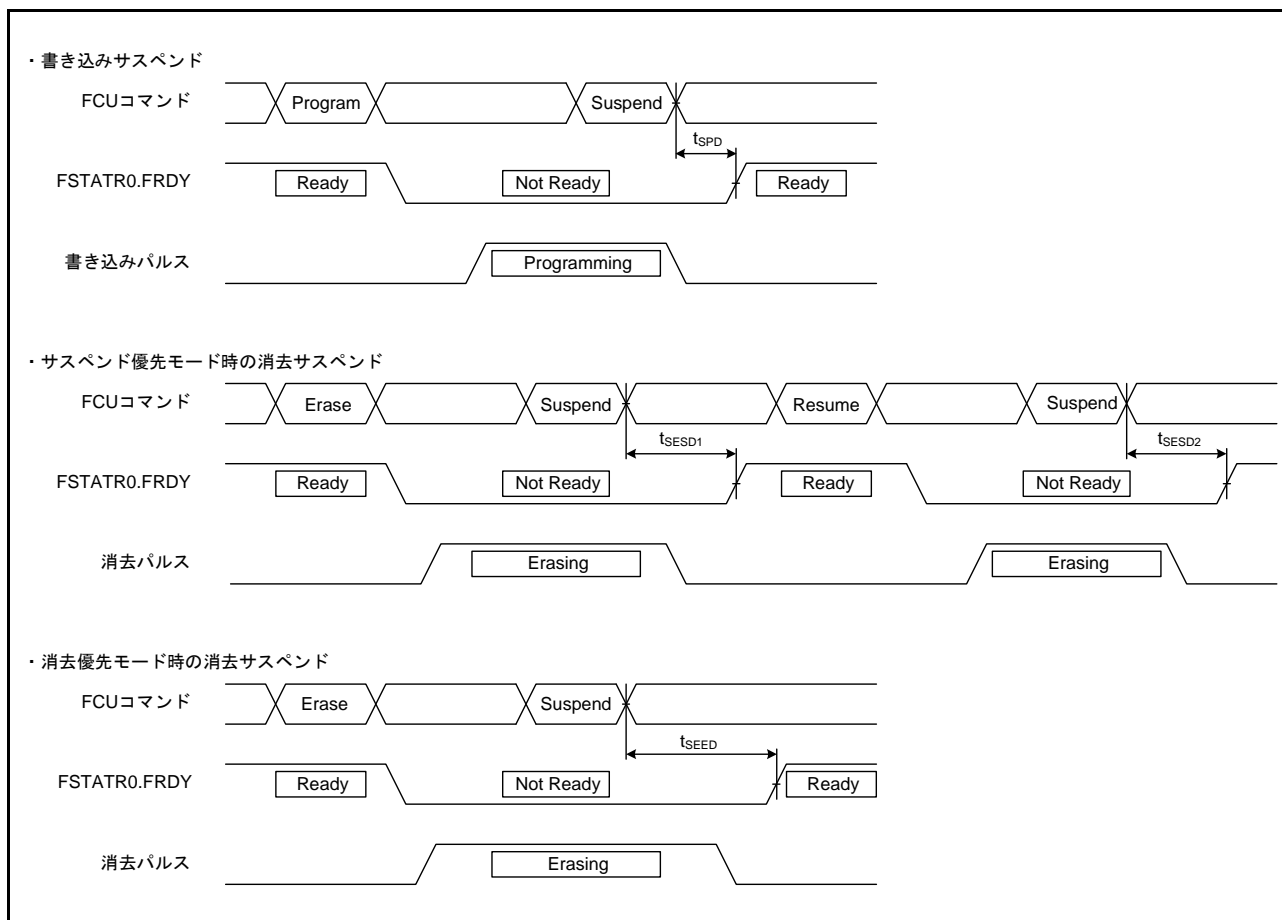


図 43.31 フラッシュメモリ書き込み / 消去サスペンドタイミング

付録1. 各動作モードにおけるポートの状態

【144/120/112/100ピン版】

表 1.1 各動作モードにおけるポートの状態 (1 / 3)

ポート名 端子名	レジスタ設定による 動作モード	レギュレーション	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイ モード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE = 1	OPE = 0		IOKEEP = 1 (注1)	IOKEEP = 0
P00/CS1#	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[CS出力時] H [上記以外] Keep-O	[CS出力時] Hi-Z [上記以外] Keep-O			
P01/RD#	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[RD#出力時] H	[RD#出力時] Hi-Z			
P02	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
P03/IRQ7	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
P04, P05	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
P10/IRQ0-DS	全モード	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P11/IRQ1-DS/ALE	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[ALE出力時] L [上記以外] Keep-O (注2)	[ALE出力時] Hi-Z [上記以外] Keep-O (注2)			
P12/CS3#	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[CS出力時] H [上記以外] Keep-O	[CS出力時] Hi-Z [上記以外] Keep-O			
P13, P14	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
P20/IRQ7-DS/D15、 P21/IRQ6-DS/D14	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
P22/D13, P23/D12	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[データ出力時] Hi-Z [上記以外] Keep-O				
P24/IRQ4/D11	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
P25/CS1#、P26/CS0#	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[CS出力時] H [上記以外] Keep-O	[CS出力時] Hi-Z [上記以外] Keep-O			
P30/D10, P31/D9、 P32/D8, P33/D7	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[データ出力時] Hi-Z [上記以外] Keep-O				
P34/IRQ3	全モード	Hi-Z	Keep-O (注2)		Keep-O	Keep	Hi-Z
P35	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
ポート4	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
P50, P51	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
P52/A7, P53/A6	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] アドレス出力保持 [上記以外] Keep-O			
P54, P55, P56, P57	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P60/A0, P61/A1、 P62/A2, P63/A3、 P64/A4, P65/A5	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持	[アドレス出力時] Hi-Z			

表 1.1 各動作モードにおけるポートの状態 (2 / 3)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイ モード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE = 1	OPE = 0		IOKEEP = 1 (注1)	IOKEEP = 0
P70/IRQ5-DS/D6	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
P71/D5、P72/D4、 P73/D3、P74/D2、 P75/D1、P76/D0	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[データ出力時] Hi-Z [上記以外] Keep-O				
P80/IRQ5/A9	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
P81/A8	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
P82/IRQ3	全モード	Hi-Z	Keep-O (注2)		Keep-O	Keep	Hi-Z
P90 ~ P95	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
P96/IRQ4-DS/A13	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PA0 ~ PA5	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
PA6/CS#	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[CS出力時] H [上記以外] Keep-O	[CS出力時] Hi-Z [上記以外] Keep-O			
PB0/A14	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PB1/IRQ4	全モード	Hi-Z	Keep-O (注2)		Keep-O	Keep	Hi-Z
PB2	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
PB3/A15	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PB4/IRQ3-DS/A16	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PB5/A17	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
PB6/IRQ2/A18	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PB7/A19	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PC0 ~ PC5	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
PD0/A12	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			

表 1.1 各動作モードにおけるポートの状態 (3 / 3)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイ モード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE = 1	OPE = 0		IOKEEP = 1 (注1)	IOKEEP = 0
PD1/CS0#、PD2/CS2#	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[CS出力時] H [上記以外] Keep-O	[CS出力時] Hi-Z [上記以外] Keep-O			
PD3、PD4	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
PD5/IRQ6	全モード	Hi-Z	Keep-O (注2)		Keep-O	Keep	Hi-Z
PD6、PD7	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
PE0/IRQ7/WR1/BC1	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[WR1#/BC1#出力時] H [上記以外] Keep-O (注2)	[WR1#/BC1#出力時] Hi-Z [上記以外] Keep-O (注2)			
PE1/WR0#/WR#	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[WR0#/WR#出力時] H	[WR0#/WR#出力時] Hi-Z			
PE2/NMI	全モード	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
PE3/IRQ2-DS/A11	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PE4/IRQ1/A10	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep-O	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PE5/IRQ0/BCLK	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep-O	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[クロック出力時] H [上記以外] Keep-O (注2)				
PF0、PF1	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
PF2/IRQ5/CS1#	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[CS出力時] H [上記以外] Keep-O (注2)	[CS出力時] Hi-Z [上記以外] Keep-O (注2)			
PF3	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
PF4/CS3#	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[CS出力時] H [上記以外] Keep-O	[CS出力時] Hi-Z [上記以外] Keep-O			
PG0/IRQ0、 PG1/IRQ1、PG2/IRQ2	全モード	Hi-Z	Keep-O (注2)		Keep-O	Keep	Hi-Z
PG3	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
PG4/IRQ6	全モード	Hi-Z	Keep-O (注2)		Keep-O	Keep	Hi-Z
PG5	全モード	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
PG6/CS2#	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[CS出力時] H [上記以外] Keep-O	[CS出力時] Hi-Z [上記以外] Keep-O			
USB0_DM	全モード	Hi-Z	Keep-O		Hi-Z		Hi-Z
USB0_DP	全モード	Hi-Z	Keep-O		Hi-Z		Hi-Z
USB0_DPUPE	全モード	Hi-Z	Keep-O		Hi-Z		Hi-Z

H : High レベル
L : Low レベル

Keep-O : 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Keep : ソフトウェアスタンバイでの端子状態を保持

Hi-Z : ハイインピーダンス

注1. DPSBYCR.IOKEEPビットを“0”にするまで、I/Oポートの状態を保持します。

注2. 外部割り込み端子として使用時は、ソフトウェアスタンバイ解除要求として設定されている場合、入力できます。

注3. ディープソフトウェアスタンバイ解除要求として設定されている場合、入力できます。

注4. 入力端子として使用時は、入力できます。

【64/48ピン版】

表1.2 各動作モードにおけるポートの状態

ポート名 端子名	レジスタ設定 による 動作モード	リセット	ソフトウェア スタンバイモード	ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
					IOKEEP=1 (注1)	IOKEEP=0
P00/IRQ2-DS	全モード	Hi-Z	Keep-O (注2)	Keep-O (注3)	Keep	Hi-Z
P01/IRQ4-DS	全モード	Hi-Z	Keep-O (注2)	Keep-O (注3)	Keep	Hi-Z
P10/IRQ0-DS	全モード	Hi-Z	Keep-O (注2)	Keep-O (注3)	Keep	Hi-Z
P11/IRQ1-DS	全モード	Hi-Z	Keep-O (注2)	Keep-O (注3)	Keep	Hi-Z
ポート2	全モード	Hi-Z	Keep-O	Keep	Keep	Hi-Z
ポート3	全モード	Hi-Z	Keep-O	Keep	Keep	Hi-Z
ポート4	全モード	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
P70/IRQ5-DS	全モード	Hi-Z	Keep-O (注2)	Keep-O (注3)	Keep	Hi-Z
P71~P76	全モード	Hi-Z	Keep-O	Keep	Keep	Hi-Z
P91、P92	全モード	Hi-Z	Keep-O	Keep	Keep	Hi-Z
P93/IRQ1	全モード	Hi-Z	Keep-O (注2)	Keep	Keep	Hi-Z
P94	全モード	Hi-Z	Keep-O	Keep	Keep	Hi-Z
ポートA	全モード	Hi-Z	Keep-O	Keep	Keep	Hi-Z
PB0~PB3	全モード	Hi-Z	Keep-O	Keep	Keep	Hi-Z
PB4/IRQ3-DS	全モード	Hi-Z	Keep-O (注2)	Keep-O (注3)	Keep	Hi-Z
PB5/IRQ0	全モード	Hi-Z	Keep-O (注2)	Keep	Keep	Hi-Z
PB6、PB7	全モード	Hi-Z	Keep-O	Keep	Keep	Hi-Z
ポートD	全モード	Hi-Z	Keep-O	Keep	Keep	Hi-Z
PE2/NMI	全モード	Hi-Z	Hi-Z (注2)	Hi-Z (注3)	Hi-Z	Hi-Z

Keep-O：出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Keep：ソフトウェアスタンバイでの端子状態を保持

Hi-Z：ハイインピーダンス

注1. DPSBYCR.IOKEEPビットを"0"にするまで、I/Oポートの状態を保持します。

注2. 外部割り込み端子として使用しているときは、ソフトウェアスタンバイ解除要求として設定されている場合、入力できます。

注3. ディープソフトウェアスタンバイ解除要求として設定されている場合、入力できます。

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

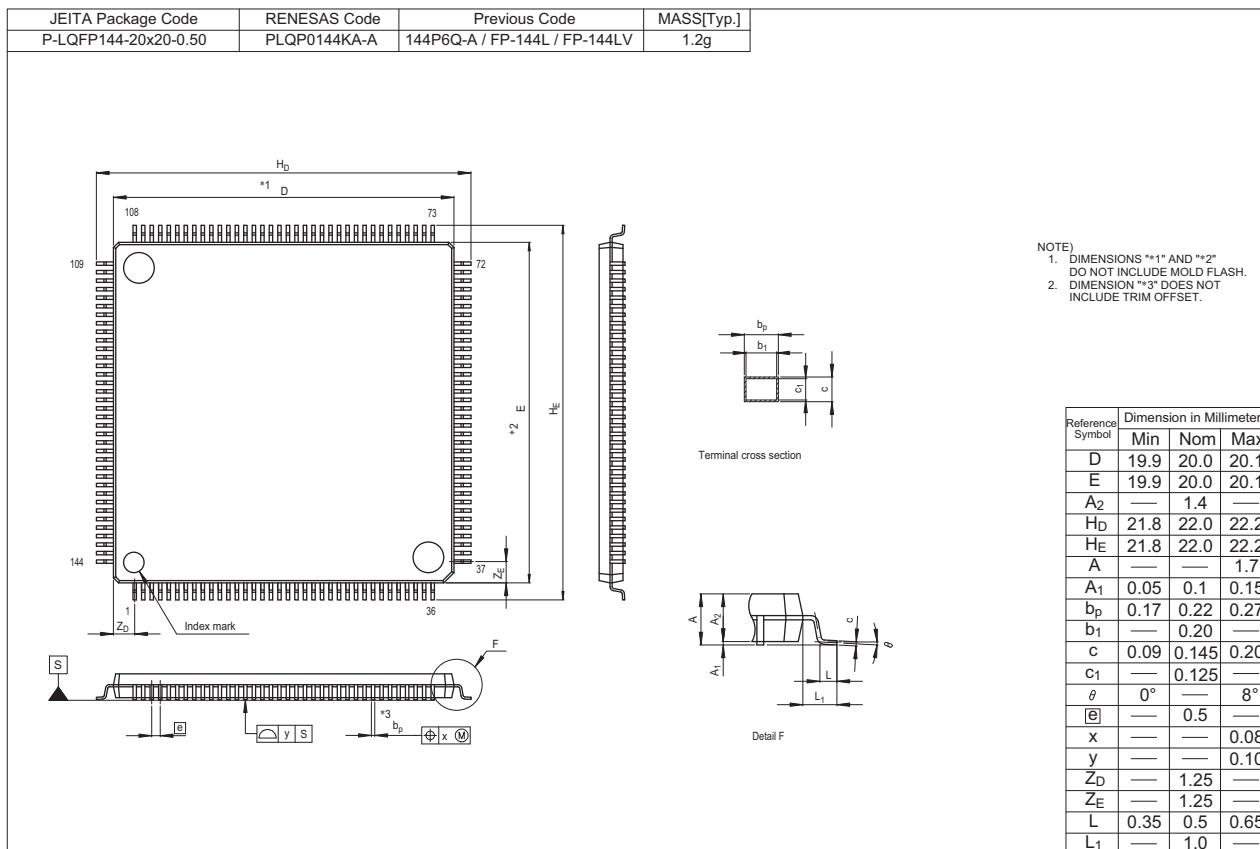
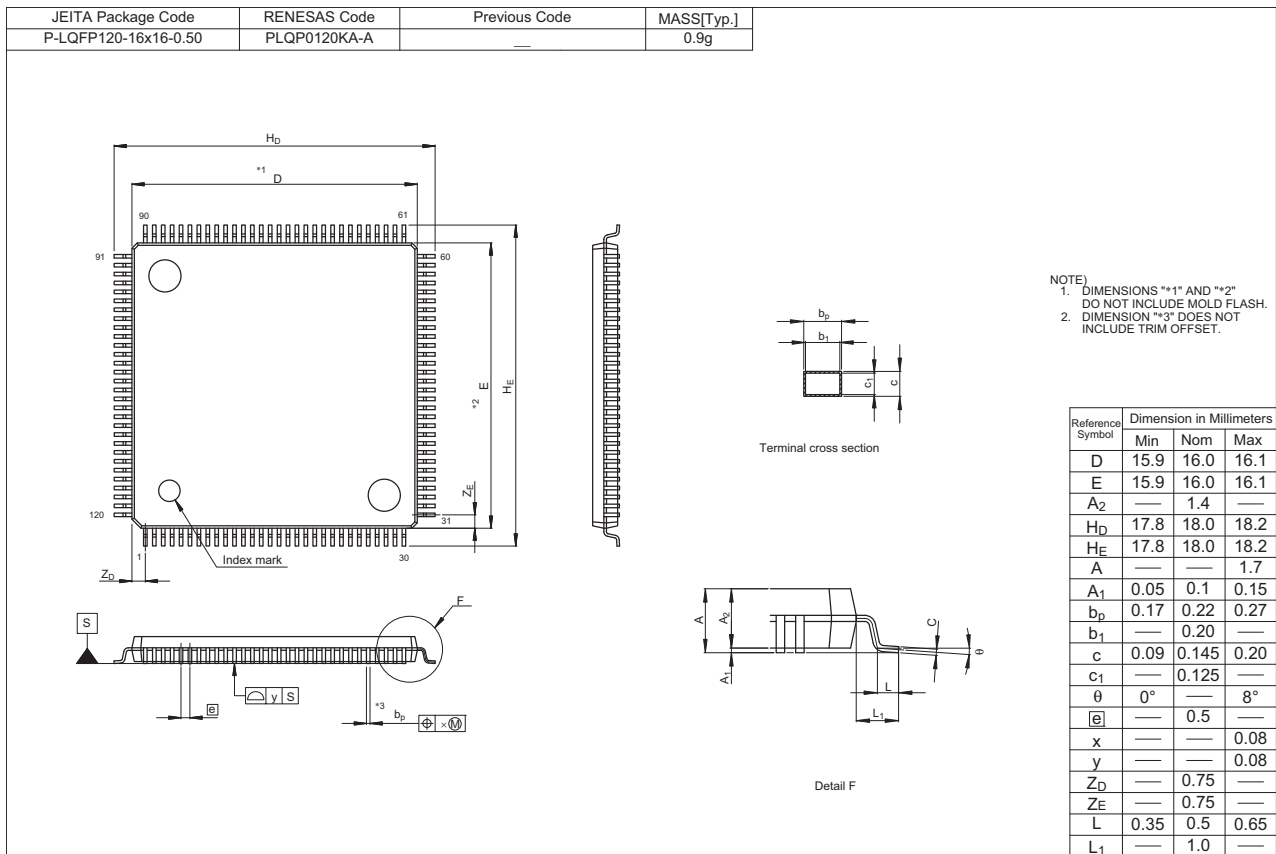


図 A. 144ピン LQFP (PLQP0144KA-A)



☒ B. 120ピンLQFP (PLQP0120KA-A)

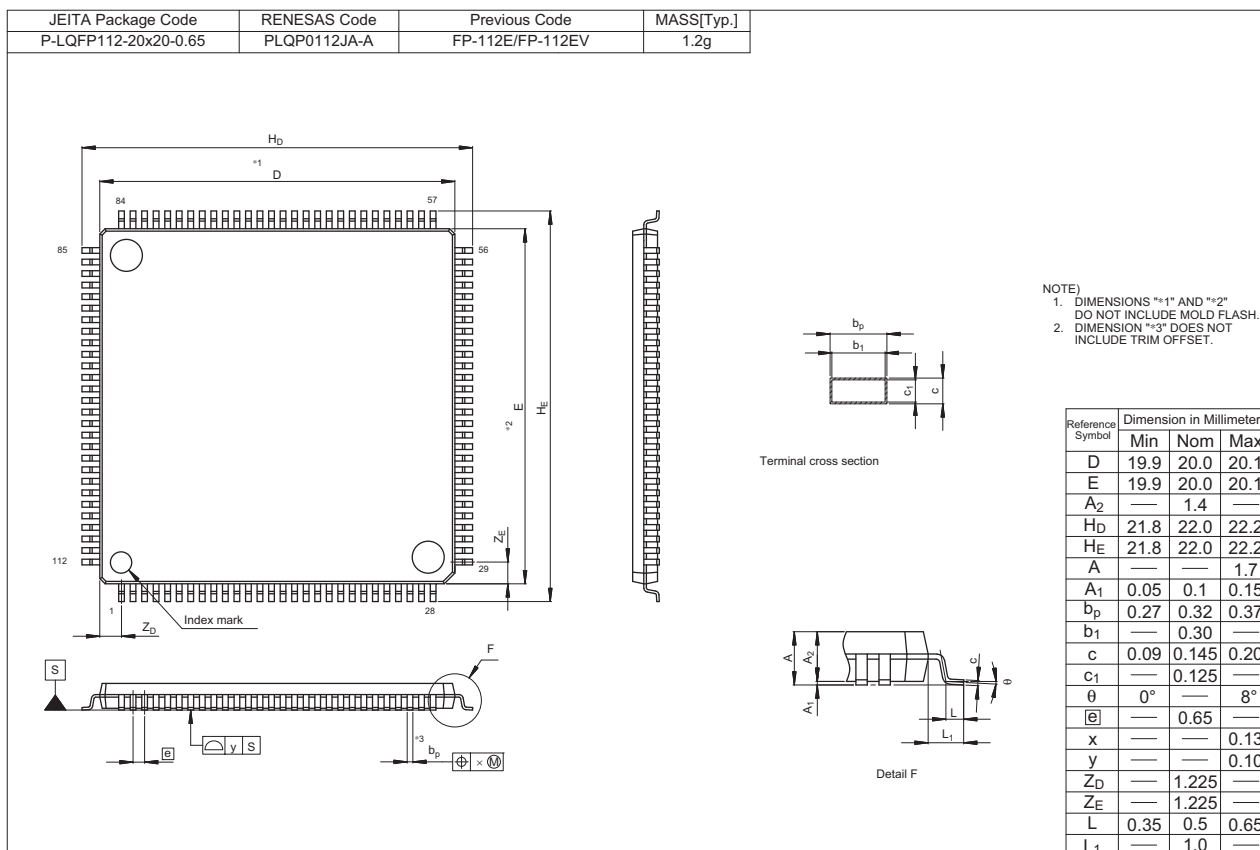


図 C. 112ピン LQFP (PLQP0112JA-A)

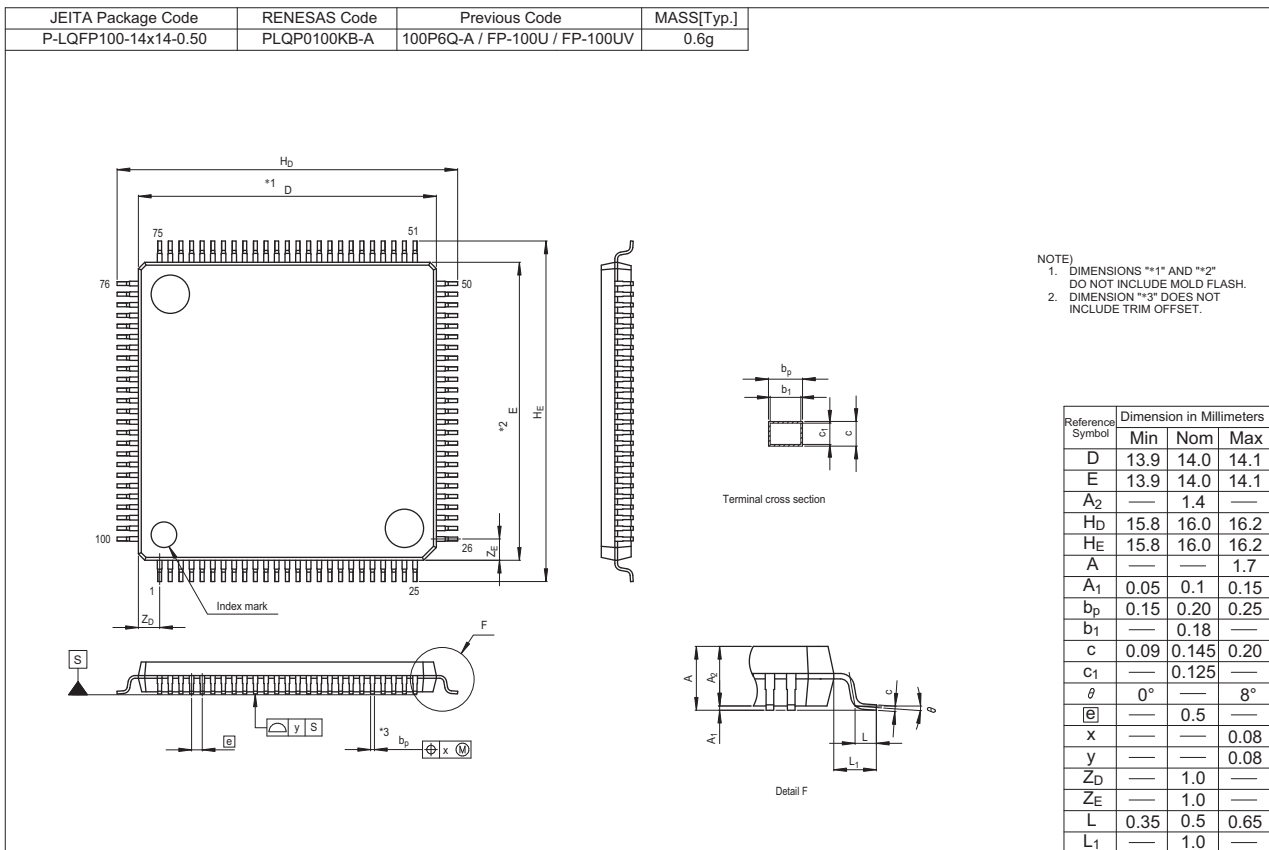


図 D. 100ピンLQFP (PLQP0100KB-A)

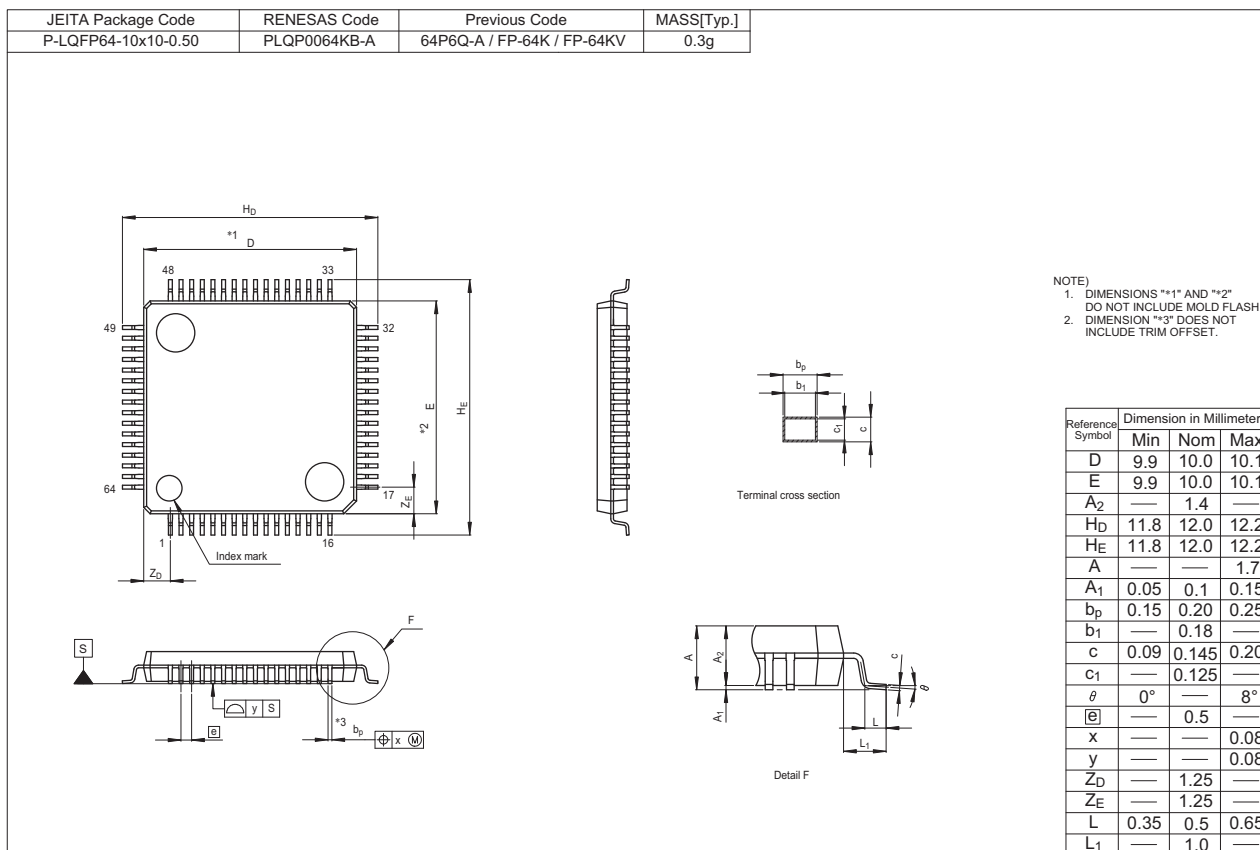


図 E. 64ピンLQFP (PLQP0064KB-A)

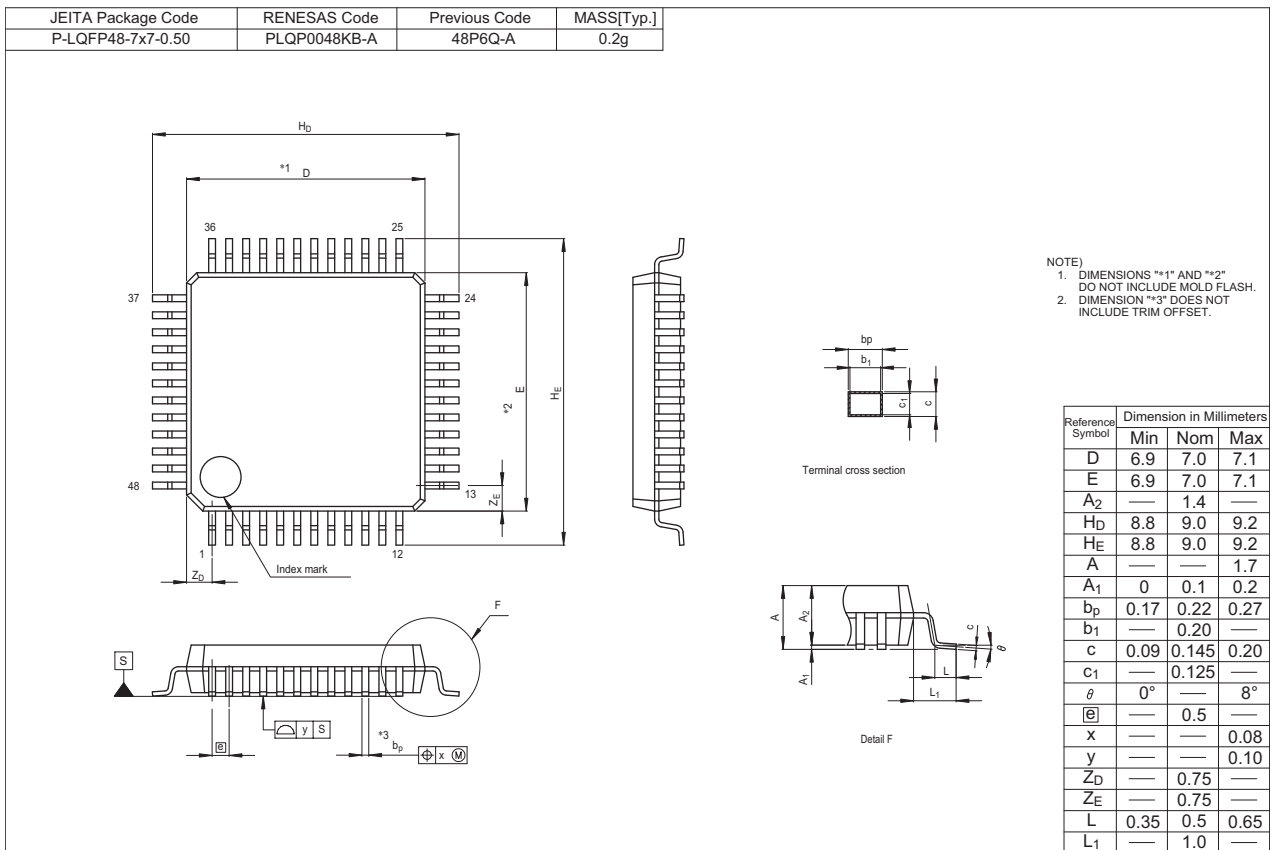


図 F. 48ピンLQFP (PLQP0048KB-A)

改訂記録	RX63T グループ ユーザーズマニュアル ハードウェア編
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2011.09.27	—	初版発行
0.50	2011.11.08	全体	割り込みコントローラ (ICUb) に変更
		全体	DMA コントローラ (DMAC) に変更
		全体	ウォッチドッグタイマ (WDTA) に変更
		全体	独立ウォッチドッグタイマ (IWDTa) に変更
		全体	ROMの表記 変更
		全体	12ビットA/Dコンバータ (S12ADB)、ADI割り込み (S12ADI) に変更
		全体	ROM、RAMを内蔵ROM、内蔵RAMへ変更
		全体	(プログラム/メモリ/ユーザ/データ) マットを領域へ変更
		全体	(ブートモード用) 組み込みプログラムをブートプログラムへ変更
		全体	書き込み/読み込みをプログラム/イレースへ 変更
1. 概要			
	35	表1.1 仕様概要 (1/5) メモリのROM、RAM、E2データフラッシュ 変更	
	35	表1.1 仕様概要 (1/5) クロック発生回路 メインクロック発振器 変更	
	35	表1.1 仕様概要 (1/5) リセット 変更	
	37	表1.1 仕様概要 (3/5) CMT、WDTAのクロック 変更	
	38	表1.1 仕様概要 (4/5) 12ビットA/Dコンバータ (S12ADB) 変更	
	41	表1.3 製品一覧表 内蔵RAM容量変更	
	41	図1.1 型名とメモリサイズ・パッケージ 変更	
	42	図1.2 ブロック図 変更	
	44	表1.4 端子機能一覧 (2/3) I ² Cバスインタフェースの機能 変更	
	48	表1.5 機能別端子一覧 (64ピンLQFP) のSC1c、SC1d 変更	
	51	表1.6 機能別端子一覧 (48ピンLQFP) のSC1c、SC1d 変更	
2. CPU			
	58	2.2.2.8 浮動小数点ステータスワード (FPSW) DNビット 浮動小数点へ 変更	
	72	2.8.2 命令とパイプライン処理 変更	
3. 動作モード			
	80	表3.3 エンディアン設定方式 変更	
	82	3.2.3 システムコントロールレジスタ0 (SYSCR0) 機能表 KEY[7:0] 機能説明 変更	
5. I/Oレジスタ			
	98	表5.1 I/Oレジスタアドレス一覧 (9/20) S12ADB ビット数、アクセスサイズ 変更	
	99	表5.1 I/Oレジスタアドレス一覧 (10/20) S12ADB モジュール 変更	
	101	表5.1 I/Oレジスタアドレス一覧 (12/20) PORT 変更	
	101~102	表5.1 I/Oレジスタアドレス一覧 (12/20) MPC 変更	
	103~106	表5.1 I/Oレジスタアドレス一覧 MTU モジュール 変更	
	103	表5.1 I/Oレジスタアドレス一覧 (14/20) 変更 注記削除	
6. リセット			
	110	表6.2 リセット種別ごとの初期化対象 リセット対象 変更	
7. オプション設定メモリ			
	124	7.2.1 オプション機能選択レジスタ0 (OFS0) IWDTTOPS[1:0]ビット (IWDTタイムアウト期間選択ビット) 説明 変更	
	127	7.2.2 オプション機能選択レジスタ1 (OFS1) 変更	
	128	7.3 UBコード 項目削除	
8. 電圧検出回路 (LVDA)			
	129	電圧検出回路 (LVDA) に変更	
	129	8.1 概要 変更	
	129	表8.1 電圧検出回路の仕様 検出電圧 変更	
	134	8.2.5 電圧監視回路制御レジスタ (LVCMPCR) 説明変更	
	139	図8.4 電圧監視0リセット動作例 変更	
	140	8.5 電圧監視1割り込み、電圧監視1リセット 変更	
9. クロック発生回路			
	144	表9.1 クロック発生回路の仕様 変更、注記追加	
	145	図9.1 クロック発生回路のブロック図 変更	
	147	9.2.1 システムクロックコントロールレジスタ (SCKCR) 追加、変更	
	149	9.2.2 システムクロックコントロールレジスタ3 (SCKCR3) CKSEL[2:0]ビットの説明 変更	
	153	9.2.6 低速オンチップオシレータコントロールレジスタ (LOCOCR) レジスタ名、LCSTPビット説明 変更	
	154	9.2.7 IWDT専用オンチップオシレータコントロールレジスタ (ILOCOCR) レジスタ名、機能表、ILCSTPビット説明 変更	
	157	9.2.10 メインクロック発振器強制発振コントロールレジスタ (MOFCR) 変更	

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2011.11.08	157	図9.2 水晶振動子の接続例 変更		
		157	表9.3 ダンピング抵抗 (参考値) 表ヘッダ 変更		
		160	9.4.1 発振停止検出と検出後の動作 説明 変更、MTU3のシンボルと参照先 修正		
		162	9.6 内部クロック 説明変更		
		163	9.6.7 IWDWT専用低速クロック 説明変更		
		10. クロック周波数測定回路 (CAC)			
		165	表10.1 CACの仕様 変更		
		11. 消費電力低減機能			
		177	11.1 概要 説明変更		
		177	表11.1 消費電力低減機能の仕様 変更		
		178	表11.2 各モードにおける遷移および解除方法と動作状態 変更		
		184~185	11.2.5 動作電力コントロールレジスタ (OPCCR) 変更		
		188	11.2.8 PLLウェイトコントロールレジスタ (PLLWTCR) 説明変更		
		187	11.2.7 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) 変更		
		189	11.2.9 ディープスタンバイコントロールレジスタ (DPSBYCR) 説明 変更		
		196	11.3 クロックの切り替えによる消費電力の低減 項目名、説明 変更		
		200	11.6.3.2 ソフトウェアスタンバイモードの解除 変更		
		202	11.6.4.1 ディープソフトウェアスタンバイモードへの移行 変更		
		14. 割り込みコントローラ (ICUb)			
		238	表14.3 割り込みのベクタテーブル 変更		
		243	表14.4 グループ12割り込み要求 変更		
		251	14.5.6 デジタルフィルタ 説明変更		
		15. バス			
		255	表15.1 バスの仕様 バスの種類、注記 変更		
		17. データトランスファコントローラ			
		305	17.2.1 DTCモードレジスタA (MRA) 機能表 b5-b4機能 変更		
		310	17.2.8 DTCベクタベースレジスタ (DTCVBR) 追加		
		18. IOポート			
		333	18.1 概要 変更		
		333	表18.1 I/Oポートの仕様 追加		
		334	表18.2 I/Oポートの機能 PORT2、PORT3、PORTAの記述変更		
		335	図18.1 入出力ポートの構成(1) 追加		
		336	図18.2 入出力ポートの構成(2) 追加		
		339	18.3.3 ポート入力データレジスタ (PIDR) レジスタ名 変更		
		341	18.3.5 オープンドレイン制御レジスタ0 (ODR0) 変更		
		342	18.3.6 オープンドレイン制御レジスタ1 (ODR1) 変更		
		343	18.4 未使用端子の処理 追加		
		19. マルチファンクションピンコントローラ (MPC)			
		345	表19.1 マルチプル端子の割り当て端子一覧 変更		
		349	19.2.2 P0n端子機能制御レジスタ (P0nPFS) (n=0、1) レジスタ名および説明変更		
		350	19.2.3 P1n端子機能制御レジスタ (P1nPFS) (n=0、1) レジスタ名変更		
		351	19.2.4 P2n端子機能制御レジスタ (P2nPFS) (n=2~4) レジスタ名変更		
		352	19.2.5 P3n端子機能制御レジスタ (P3nPFS) (n=0~3) レジスタ名変更		
		353	19.2.6 P4n端子機能制御レジスタ (P4nPFS) (n=0~7) レジスタ名変更		
		354	19.2.7 P7n端子機能制御レジスタ (P7nPFS) (n=0~6) レジスタ名変更		
		355	19.2.8 P9n端子機能制御レジスタ (P9nPFS) (n=1~4) レジスタ名変更		
		356	19.2.9 PAn端子機能制御レジスタ (PAnPFS) (n=2~5) レジスタ名変更		
		356	表19.9 64ピンLQFP 端子入出力機能レジスタ設定 変更		
		356	表19.10 48ピンLQFP 端子入出力機能レジスタ設定 変更		
		357	19.2.10 PBn端子機能制御レジスタ (PBnPFS) (n=0~7) レジスタ名 変更		
		357	表19.11 64ピンLQFP 端子入出力機能レジスタ設定 変更		
		358	表19.12 48ピンLQFP 端子入出力機能レジスタ設定 変更		
		359	19.2.11 PDn端子機能制御レジスタ (PDnPFS) (n=3~7) レジスタ名 変更		
		360	19.2.12 PE2端子機能制御レジスタ (PE2PFS) レジスタ名 変更		
		361	19.3.1 端子入出力機能設定手順 変更		
		361	19.3.2 MPCレジスタ設定する場合の注意事項 変更		
		361	表19.15 レジスタの設定 変更		
—	19.3.3 アナログ機能を使う場合の注意事項 削除				
20. マルチファンクションタイマパルスユニット3 (MTU3)					
412	20.2.17 タイマアウトプットマスタイネーブルレジスタ (TOER) 変更				
425~426	20.2.28 タイマ波形コントロールレジスタ (TWCRA、TWCRB) 変更				
473	図20.36 リセット同期PWMモードの設定手順例 変更				
522	図20.88 割り込み間引機能2の設定手順例 参照先変更				
529	図20.98 デッドタイム補償機能の設定手順例 参照先変更				

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2011.11.08	561	20.6.23 MTU5のタイマカウンタ (TCNT) とジェネラルレジスタ (TGR) の注意事項 削除
		582	20.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要(21) 相補PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作 変更
		21.ポートアウトブットイネーブル3 (POE3)	
		590	表21.1 POE3の仕様 12ビットA/Dコンバータ (S12ADB) を 変更
		605	21.2.10 ポートアウトブットイネーブルコントロールレジスタ3 (POE3CR3) GPT2ABZEビット (GPTCH2ABハイインピーダンス許可ビット) 変更
		615	図21.2 ハイインピーダンス制御の対象と条件 追加
		22.汎用PWMタイマ (GPT)	
		634	22.2.9 汎用PWM タイマバッファ動作禁止レジスタ (GTBDR) BDn[0] ビット説明変更
		634	22.2.9 汎用PWM タイマバッファ動作禁止レジスタ (GTBDR) 変更
		635	22.2.10 汎用PWM タイマスタート書き込み保護レジスタ (GTSWP) シンボル名変更
		650	22.2.21 汎用PWM タイマカウント方向レジスタ (GTUDC) b1リセット後の値変更
		23.コンペアマッチタイマ (CMT)	
		749	図23.1CMT (ユニット0) のブロック図 変更
		24.ウォッチドッグタイマ (WDTA)	
		756	24.1 概要 説明文変更
		757	表24.1 WDTの仕様 オートスタートモード 変更
		757	図24.1 WDTのブロック図 変更
		26.シリアルコミュニケーションインタフェース (SCIc, SCId)	
		790	図26.1 SCI0, SCI1のブロック図 変更
		799	26.2.6 シリアルコントロールレジスタ (SCR) (2)スマートカードインタフェースモードのとき (SCMR.SMIFビット=1) 変更
		801	26.2.7 シリアルステータスレジスタ (SSR) (1)シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIFビット=0) TENDフラグ 変更
		803	26.2.7 シリアルステータスレジスタ (SSR) (2)スマートカードインタフェースモードのとき (SCMR.SMIFビット=1) TENDフラグ 変更
		805	26.2.8 スマートカードモードレジスタ (SCMR) 機能表、SINVビット、SDIRビット 変更
		823	26.2.18 コントロールレジスタ0 (CR0) 機能表 変更
		825	26.2.20 コントロールレジスタ2 (CR2) 機能表ビット名 変更
		826	26.2.22 ポートコントロールレジスタ (PCR) 機能表、SHARPSビット 変更
		837	26.3.4 CTS、RTS機能 変更
		838	図26.6 SCIの初期化フローチャートの例 (調歩同期式モード) 変更
		839	26.3.6 シリアルデータの送信 (調歩同期式モード) 変更
		839	図26.7 調歩同期式モードのシリアル送信 (送信中~送信終了時) の動作例 (8ビットデータ/パリティあり/1ストップビットの例) 変更
		840	図26.8 調歩同期式モードのシリアル送信のフローチャート例 変更
		841	26.3.7 シリアルデータの受信 (調歩同期式モード) 表の参照 追加
		841	図26.9 調歩同期式モードのシリアル受信時の動作例 (1) (RTS機能未使用時) (8ビットデータ/パリティあり/1ストップビットの例) 変更
		842	図26.10 調歩同期式モードのシリアル受信時の動作例 (2) (RTS機能使用時) (8ビットデータ/パリティあり/1ストップビットの例) 追加
		843	図26.11 調歩同期式モードのシリアル受信のフローチャート例 (1) 変更
		844	図26.12 調歩同期式モードのシリアル受信のフローチャート例 (2) 変更
		846	図26.14 マルチプロセッサシリアル送信のフローチャートの例 変更
		848	図26.16 マルチプロセッサシリアル受信のフローチャートの例 (1) 変更
		850~851	26.5.2 CTS、RTS機能 変更
		851	図26.19 SCIの初期化フローチャートの例 (クロック同期式モード) 変更
		852	26.5.4 シリアルデータの送信 (クロック同期式モード) 変更
		852	図26.20 クロック同期式モードのシリアル送信 (送信中~送信終了時) の動作例 変更
		853	図26.21 クロック同期式モードのシリアル送信のフローチャート例 変更
		853	26.5.5 シリアルデータの受信 (クロック同期式モード) 表の参照 追加
		854	図26.22 クロック同期式モードのシリアル受信時の動作例 (1) (RTS機能未使用時) 追加
		854	図26.23 クロック同期式モードのシリアル受信時の動作例 (2) (RTS機能使用時) 変更
		855	図26.24 クロック同期式モードのシリアル受信のフローチャート例 変更
		856	26.5.6 シリアルデータの送受信同時動作 (クロック同期式モード) 変更
		856	図26.25 クロック同期式モードのシリアル送受信同時動作のフローチャート例 変更
		860	26.6.5 SCIの初期化 (スマートカードインタフェースモード) 変更
		863	図26.33 スマートカードインタフェース送信のフローチャート例 変更
		868	図26.35 スマートカードインタフェース受信のフローチャート例 変更
866	26.6.8 クロック出力制御 (1)電源投入時 変更		
866	26.6.8 クロック出力制御 (2)モード切り替え時 変更		
869	26.7.2 クロック同期化 PCLKのサイクル数 変更		
870	図26.41 クロック同期化の動作例 変更		
871	図26.43 SCIの初期化フローチャート例 (簡易I2Cモード) 変更		

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2011.11.08	872	図26.44 簡易I ² Cバスモードのマスタ送信の動作例1 (7ビットスレーブアドレス、送信割り込み、受信割り込み使用時) 注記変更		
		872	図26.45 簡易I ² Cバスモードのマスタ送信の動作例2 (7ビットスレーブアドレス、ACK割り込み、NACK割り込み使用時) 注記変更		
		873	図26.46 簡易I ² Cモードのマスタ送信動作のフローチャート例 (送信割り込み、受信割り込み使用時) 変更		
		874	図26.47 簡易I ² Cバスモードのマスタ受信の動作例 (7ビットスレーブアドレス、送信割り込み、受信割り込み使用時) 注記変更		
		875	図26.48 簡易I ² Cモードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時) 変更		
		881	図26.53 StartFrame送信フローチャート例(1) 変更		
		885	図26.56 StartFrame受信フローチャート例(1) 変更		
		890	26.9.5 RXDX12端子入力デジタルフィルタ機能 タイトル 変更		
		894~895	26.10 ノイズ除去機能 変更		
		895	26.11.1 TXI割り込みおよびRXI割り込みバッファ動作 追加		
		895~896	26.11.2 シリアルコミュニケーションインタフェースモードおよび簡易SPIモードにおける割り込み 変更		
		899	26.12.5 TDRレジスタへのライトについて タイトル 変更		
		899	26.12.8 通信の開始に関する注意事項 追加		
		900	図26.67 送信時のソフトウェアスタンバイモード遷移フローチャートの例 変更		
		902	26.12.11 簡易SPIモードの制約事項 (1)マスタモード 追加		
		902	図26.71 簡易SPIモード (クロック遅れあり) RXI割り込み発生タイミング 変更		
		902	26.12.11 簡易SPIモードの制約事項 (2)スレーブモード 追加		
		903	26.12.13 拡張シリアルモード制御部の使用上の制約事項2 変更		
		903	図26.72 受信エラー処理のフローチャートの例 (スタートフレーム受信) 変更		
		27. I ² Cバスインタフェース (RIIC)			
		904	表27.1 RIICの仕様 変更		
		906	27.1 概要 追加		
		28. シリアルペリフェラルインタフェース (RSPI)			
		970	図28.1 RSPIのブロック図 変更		
		971	28.1 概要 変更		
		974	28.2.3 RSPI端子制御レジスタ (SPPCR) 変更		
		982	表28.3 SPBRレジスタ、BRDV[1:0]ビットの設定値とビットレート 変更		
		983	28.2.9 RSPIデータコントロールレジスタ (SPDCR) 機能表、SPFC[1:0]ビット 変更		
		991	28.3.2 RSPI端子の制御 変更		
		1012	表28.8 通常以外の転送の発生条件とRSPIのエラー検出機能 G、Hの発生条件、RSPI動作 変更		
		1016	28.3.10.1 マスタモード動作 (1)シリアル転送の開始 変更		
		1016	28.3.10.1 マスタモード動作 (2)シリアル転送の終了 変更		
		1021	表28.9 SCKDENビット、SPCKDレジスタとRSPCK遅延値の関係 変更		
		1028	28.3.12 マスタモード動作 (1)シリアル転送の開始 変更		
		1028	28.3.12 マスタモード動作 (2)シリアル転送の終了 変更		
		1028	28.3.12 マスタモード動作 (3)シーケンス制御 変更		
		30. 12ビットA/Dコンバータ (S12ADB)			
		全体	割り込み名称変更 (S12ADI⇒S12ADI、GBADI⇒S12GBADI)		
		1049~1050	表30.1 12ビットA/Dコンバータの仕様 変更		
		1051~1052	表30.2 12ビットA/Dコンバータの機能概要 変更		
		—	表30.3 12ビットA/Dコンバータの機能概要 削除		
		1053	図30.1 12ビットA/Dコンバータのブロック図 変更		
		1055~1057	30.2.1 A/Dデータレジスタy (ADDRy) (y=0~7)、A/Dデータ2重化レジスタ (ADDBLDR)、A/Dデータ2重化レジスタA (ADDBLDRA)、A/Dデータ2重化レジスタB (ADDBLDRB) 変更		
		1060~1062	30.2.3 A/Dコントロールレジスタ (ADCSR) 説明変更		
		1068	30.2.9 A/D開始トリガ選択レジスタ (ADSTRGR) 説明変更		
		1069	表30.5 TSRB[4:0]ビットでのA/D起動要因選択一覧 変更		
		1070	表30.6 TSRA[4:0]ビットでのA/D起動要因選択一覧 変更		
		1071	30.2.10 A/Dサンプリングステートレジスタn (ADSSTRn) (n=0~7) 追加		
		1073~1074	30.2.12 A/Dグループスキャン優先コントロールレジスタ (ADGSPCR) 変更		
		1075	30.2.13 コンパレータ動作モード選択レジスタ0 (ADCMPMD0) 変更		
		1076	30.2.14 コンパレータ動作モード選択レジスタ1 (ADCMPMD1) 変更		
		1077	30.2.15 コンパレータフィルタモードレジスタ0 (ADCMPNR0) 変更		
		1078	30.2.16 コンパレータ検出フラグレジスタ (ADCMPFR) 変更		
		1079	30.2.17 コンパレータ割り込み選択レジスタ (ADCMPSEL) 変更		
		1081	30.3.2 1サイクルスキャンモード 変更		
		1083	30.3.2.3 チャネル選択と自己診断 (チャネル専用サンプル&ホールドなし) 変更		
		1083	図30.5 1サイクルスキャンモードの動作例 (基本動作+自己診断) 変更		
		1084	30.3.2.4 チャネル選択と自己診断 (チャネル専用サンプル&ホールドあり) 変更		
		1085	30.3.2.5 ダブルトリガモード選択時の動作 変更		
		1086~1092	30.3.2.6 ダブルトリガモード選択時の拡張動作 変更		

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2011.11.08	1088	図30.8 ダブルトリガモードの拡張動作例 (1) (AN003を2重化選択、TRG4ANまたはTRG4BN選択、1回目トリガがTRG4ANの場合) 変更		
		1089	図30.9 ダブルトリガモードの拡張動作例 (2) (AN003を2重化選択、TRG4ANまたはTRG4BN選択、1回目トリガがTRG4ANの場合) 追加		
		1091	図30.10 ダブルトリガモードの拡張動作例 (AN003を2重化選択、TRG4ANまたはTRG4BN選択、1回目トリガがTRG4BNの場合) 変更		
		1093	図30.11 ダブルトリガモードの動作例 (AN003を2重化選択、GTADTRA0NまたはGTADTRB0N選択、2種類のトリガ要因が同時に発生した場合) 追加		
		1095	30.3.3.2基本動作 (チャンネル専用サンプル&ホールドあり) 変更		
		1096	30.3.3.3 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし) 変更		
		1097	30.3.3.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり) 変更		
		1099	30.3.4.2 ダブルトリガモード選択時の動作 変更		
		1100	30.3.4.3 ソフトウェアトリガ使用時の注意事項 変更		
		1100~1108	30.3.4.4 グループA優先制御動作 変更		
		1101	図30.19 ADPGSCR.PGSビット設定時のフロー 追加		
		1102	表30.8 ADGSPCR.GBRSCNビットの設定によるA/D変換動作制御 変更		
		1103	図30.20 グループA優先制御の動作例 (ADGSPCR.GBRSCN=1、ADGSPCR.GBRP=0時の動作) (1) 変更		
		1104	図30.21 グループA優先制御の動作例 (ADGSPCR.GBRSCN=1、ADGSPCR.GBRP=0時の動作) (2) 追加		
		1106	図30.22 グループA優先制御の動作例 (ADGSPCR.GBRSCN=1、ADGSPCR.GBRP=0時の動作) (3) 追加		
		1107	図30.23 グループA優先制御の動作例 (ADGSPCR.GBRSCN=0、ADGSPCR.GBRP=0時の動作) 変更		
		1108	図30.24 グループA優先制御の動作例 (ADGSPCR.GBRP=1時の動作) 変更		
		1109	30.3.5 アナログ入力のサンプリングとスキャン変換時間 変更		
		1109	表30.9 ADSSTRレジスタの設定例 追加		
		1109	サンプリング時間の式 追加		
		1110	表30.10 スキャン変換時間 (ADCLKとPCLKのサイクル数で示します) 変更		
		1112	30.3.6 レジスタのオートクリア機能の使用例 変更		
		1113	30.3.9 非同期トリガによるA/D変換の開始 変更		
		1114	30.3.11 ウィンドウコンパレータ 変更		
		1115	図30.28 コンパレータの動作例(1) (AN000を選択、ADCMPMD0.CEN000=11bの場合) 変更		
		1117	30.4 割り込み要因とDTC、DMAC転送要求 変更		
		1118	図30.31 A/D変換精度の定義 (3ビットA/Dコンパレータを例にした場合) 追加		
		1119	30.6.2 A/D変換停止時の注意事項 変更		
		1119	図30.32 ADCSR.ADSTビットによるソフトウェアクリア実行の設定フロー 追加		
		1120	30.6.6 低消費電力状態への遷移時の注意 変更		
		1121	30.6.7 許容信号源インピーダンスについて 変更		
		1121	表30.11 アナログ端子の規格 注記追加		
		1122	30.6.9 アナログ電源端子他の設定範囲 変更		
		1122	図30.33 各電源端子の接続例 変更		
		1123	図30.34 アナログ入力保護回路の例 変更		
		1124	図30.35 アナログ入力保護回路の例 追加		
		32.RAM			
		1131	表32.1 内蔵RAMの仕様 変更		
		33.ROM (コード格納用フラッシュメモリ)			
		全体	tRESWをtFCURへ変更		
		1132	表33.1 内蔵ROMの仕様 変更		
		1133	図33.1 ROMのブロック図 変更		
		1134	33.2 レジスタの説明 説明 変更		
		1136	33.2.3 フラッシュアクセスステータスレジスタ (FASTAT) ["1"になる条件] 変更		
		1155	表33.7 FCUコマンドのフォーマット 変更		
		1159	図33.9 ROMステータスリードモード移行フローおよびステータスの確認方法 変更		
		1178	図33.23 ブートモード時のシステム構成 変更		
		1191	33.9.6 問い合わせ設定ホストコマンド待ち状態 (10) 新ビットレート選択、ビットレート選択不可エラー 計算式 変更		
		1194	33.9.7 プログラム/イレースホストコマンド待ち状態 説明変更		
		1194	表33.16 プログラム/イレースホストコマンド ホストコマンド名 変更		
		1195	図33.30 ブートモードでのROM書き込み方法 変更		
		1203	33.11 使用上の注意事項 (10) ブートモードでフラッシュ書き換えを実施する場合の注意事項 追加		
		1203	33.11 使用上の注意事項 (11) ブートモードでのEXTAL端子の扱い 追加		
		34. E2データフラッシュ (データ格納用フラッシュメモリ)			
		1204	表34.1 E2データフラッシュの仕様 周辺バス経由での読み出し、オンボードプログラミング (2種類) 変更		
		1205	図34.1 E2データフラッシュのブロック図 変更		
		1207	34.2 レジスタの説明 説明 変更		
		1223	図34.5 E2データフラッシュの書き込み 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2011.11.08	35. 電氣的特性	
		1233	表35.2 DC特性(1) 条件 変更
		1234	表35.3 DC特性(2) 条件、アナログ電源電流、リファレンス電源電流 変更
		1235	表35.4 出力許容電流 条件 変更
0.51	2011.11.17	34. E2データフラッシュ（データ格納用フラッシュメモリ）	
		1089	図30.9 ダブルトリガモードの拡張動作例（AN003を2重化選択、TRG4ANまたはTRG4BN選択、1回目トリガがTRG4BNの場合） 変更
1.00	2012.04.18	全体	
		—	メモリプロテクションユニット（MPU）の章および関連情報追加
		—	80ピン版表記および80ピン版型名を（計画中）に変更
		—	用語統一（オンチップオシレータ⇒HOCO/LOCO、内蔵ROMとROM/RAMの表記、書き込み/消去⇒プログラム/イレーズ、エリア⇒領域、ホストコマンド⇒コマンド、Low/High出力⇒0/1出力、サムチェック⇒チェックサム、USBモジュール⇒USB）
		4	このマニュアルの使い方 表変更
		特長	
		35	変更
		1. 概要	
		36～39	表1.1 仕様概要 変更
		41	表1.3 製品一覧表 動作周波数変更
		42	図1.2 ブロック図 変更
		43～45	表1.4 端子機能一覧 電源とアナログ電源の入出力とVCCの機能 変更
		2. CPU	
		53	2.1 特長 変更
		—	2.5.5 命令コード配置の注意事項 削除
		71	2.6.1 固定ベクタテーブル 変更
		71	図2.8 固定ベクタテーブル 変更
		3. 動作モード	
		84	3.1 動作モードの種類と選択 変更
		84	表3.1 モード設定端子による動作モードの選択～表3.4 エンディアンの選択 変更
		85	3.2.1 モードモニタレジスタ（MDMONR） 変更
		—	3.2.2 モードステータスレジスタ（MDSR） 削除
		85	3.2.2 システムコントロールレジスタ0（SYSCR0） 変更
		86	3.2.4 システムコントロールレジスタ1（SYSCR1） 変更
		86	3.3.1 シングルチップモード 変更
		86	3.3.2 ブートモード 変更
		87	図3.1 モード設定端子のレベルと動作モード 変更
		87	図3.2 SYSCR0.ROME、EXBEビットの設定と動作モード 変更
		4. アドレス空間	
		89	図4.1 各動作モードのメモリマップ 内蔵RAMバイト 変更
		5. I/Oレジスタ	
		91	本文一部削除
		92～112	表5.1 I/Oレジスタアドレス一覧 変更
		6. リセット	
		114	表6.2 リセット種別ごとの初期化対象 変更
		115	6.2.1 リセットステータスレジスタ0（RSTSR0） 注記変更
		118	6.2.3 リセットステータスレジスタ2（RSTSR2） 注記変更
		121	図6.1 パワーオンリセット、電圧監視0リセット動作例 変更
		122	図6.2 電圧監視1リセット、電圧監視2リセット動作例 変更
		7. オプション設定メモリ	
		127、128	7.2.1 オプション機能選択レジスタ0（OFS0） 注記削除
		8. 電圧検出回路（LVDA）	
		132	表8.1 電圧検出回路 変更
		135	8.2.2 電圧監視1回路ステータスレジスタ（LVD1SR） 説明変更
		136	8.2.4 電圧監視2回路ステータスレジスタ（LVD2SR） 説明変更
		142	8.3.2 Vdet1のモニタ 変更
		142	表8.2 Vdet1のモニタの設定手順 変更
		142	8.3.3 Vdet2のモニタ 変更
		142	表8.3 Vdet2のモニタの設定手順 変更
		143	図8.4 電圧監視0リセット動作例 変更
		145	図8.5 電圧監視1割り込み動作例 変更
		147	図8.6 電圧監視2割り込み動作例
9. クロック発生回路			
148	表9.1 クロック発生回路の仕様 動作周波数変更、注記追記		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2012.04.18	149	図9.1 クロック発生回路のブロック図 変更		
		150、151	9.2.1 システムクロックコントロールレジスタ (SCKCR) 変更		
		152	9.2.2 システムクロックコントロールレジスタ3 (SCKCR3) 本文一部削除		
		154	9.2.4 PLL コントロールレジスタ2 (PLLRCR2) 説明変更		
		155	9.2.5 メインクロック発振器コントロールレジスタ (MOSCCR) 説明変更		
		161	図9.2 水晶発子の接続例 変更		
		161	表9.3 ダンピング抵抗 (参考値) 変更		
		162	表9.4 水晶振動子の特性 (参考値) 変更		
		165	図9.5 発振停止検出からの復帰のフローチャート例 変更		
		166	9.6 内部クロック 変更		
		167	9.6.5 FlashIFクロック 変更		
		168	9.7 発振子を接続する場合の端子設定 (1)メインクロック 文章変更		
		10. クロック周波数精度測定回路(CAC)			
		169	表10.1 CACの仕様 クロック周波数測定の内容 変更		
		169	図10.1 CACのブロック図 変更		
		11. 消費電力低減機能			
		181	11.1 概要 変更		
		181	表11.1 消費電力低減機能の仕様 動作電力低減機能 削除		
		182	表11.2 各モードにおける遷移および解除方法と動作状態 注3変更		
		183	図11.1 モード遷移 変更		
		188	11.2.5 動作電力コントロールレジスタ (OPCCR) 削除		
		—	表11.3 動作電力制御モードと動作範囲・消費電力の関係 削除		
		189	11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) 削除		
		197	11.5 動作電力低減機能 削除		
		—	11.6.1.3 スリープモード復帰クロックソース切り替え機能 削除		
		199	11.5.2.1 全モジュールクロックストップモードへの移行 変更		
		201	11.5.3.2 ソフトウェアスタンバイモードの解除 変更		
		202	11.5.3.3 ソフトウェアスタンバイモードの応用例 変更		
		204	11.5.4.2 ディープソフトウェアスタンバイモードの解除 変更		
		207	図11.4 ディープソフトウェアスタンバイモードのフローチャート例 変更		
		208	11.6.7 スリープモード中のDMAC、DTCによるレジスタの書き換えについて 本文一部削除		
		208	11.7.8 ソフトウェアスタンバイモードから復帰するときの注意事項 変更		
		—	11.7.9 低速モードからソフトウェアスタンバイモードへ移行するための注意事項 削除		
		12. レジスタライトプロテクション機能			
		209	表12.1 PRCRレジスタと保護されるレジスタの対応 変更		
		210	12.1.1 プロテクトレジスタ (PRCR) 変更		
		13. 例外処理			
		211	図13.1 例外事象の種類 変更		
		211	13.1.3 アクセス例外 追加		
		213	図13.2 例外の処理手順の概要 変更		
		215	表13.1 受け付けタイミングと退避されるPC値 変更		
		215	表13.2 ベクタとPC、PSWの退避場所 変更		
		217	13.5.3 アクセス例外 追加		
		219	表13.3 例外処理ルーチンからの復帰命令 変更		
		219	表13.4 例外事象の優先順位 タイトルおよび内容変更		
		14. 割り込みコントローラ (ICUb)			
		220	表14.1 割り込みコントローラの仕様 変更		
		223	14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh) 注記変更		
		234	14.2.13 ノンマスカブル割り込みステータスクリアレジスタ (NMICLR) 説明変更		
		—	14.2.19 グループ12 割り込みクリアレジスタ (GCR12) 削除		
		240~245	表14.3 割り込みベクタテーブル ピン数別の列削除、変更、注記削除		
		246	表14.4 グループ12割り込み要求 変更		
		258	14.7.1 スリープモードからの復帰 変更		
		258	14.7.2 全モジュールクロックストップモードからの復帰 変更		
		259	14.7.3 ソフトウェアスタンバイモードからの復帰 変更		
		15. バス			
		260	表15.1 バスの仕様 変更		
		261	図15.1 バスの構成図 変更		
		261	表15.2 バス種類別アドレス対応表 変更		
		262	15.2.1 CPUバス 一部削除		
		263	表15.4 内部周辺バスに接続される周辺機能 変更		
		264	15.2.5 ライトバッファ機能 (内部周辺バス) タイトル追加		
		266	15.3.3 バスエラーステータスレジスタ1 (BERSR1) 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.04.18	16. メモリプロテクションユニット (MPU)	
		271~290	追加
		18. データトランスファコントローラ (DTCa)	
		336	18.2.8 DTC ベクタベースレジスタ (DTCVBR) 変更
		353	18.5 DTC の設定手順 変更
		359	18.9.3 割り込みコントローラのDTC 起動許可レジスタ (ICU.DTCERn) の設定 変更
		19. I/Oポート	
		370	表 19.3 未使用端子の処理内容 変更
		20. マルチファンクションピンコントローラ (MPC)	
		375	20.2.1 書き込みプロテクトレジスタ (PWPR) 変更
		388	20.3.1 端子入出力機能設定手順 変更
		388	表 20.15 レジスタの設定 内容変更、注記の変更/削除
		388	20.3.3 アナログ機能を使う場合の注意事項 変更
		21. マルチファンクションタイマパルスユニット2 (MTU2a)	
		389	表 21.1 MTUの仕様 変更
		439	21.2.17 タイマアウトプットマスタイネーブルレジスタ (TOER) 文章変更
		441	21.2.18 タイマアウトプットコントロールレジスタ1 (TOCR1A, TOCR1B) 注記変更
		443	21.2.19 タイマアウトプットコントロールレジスタ2 (TOCR2A, TOCR2B) 注記変更
		452	21.2.28 タイマ波形コントロールレジスタ (TWCRA, TWCRB) 注記変更
		454、456	21.2.29 タイマA/D 変換開始要求コントロールレジスタ (TADCR) 注記変更
		483	21.3.4 カスケード接続動作 説明変更
		486	図 21.24 カスケード接続動作例 (c) 注記追加
		488	21.3.5 PWMモード (a) PWM モード1 説明変更
		506	図 21.39 相補PWM モードの設定手順例 変更
		512	図 21.42 デッドタイムを生成しない場合の動作例 (MTU3、4) 変更
		524	図 21.57 同期カウンタクリアタイミング (MTU3、4) 変更
		525	図 21.59 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 21.57 のタイミング③、TWCRA レジスタのWRE ビット=1) 変更
		526	図 21.60 山のTb 区間で同期クリアが発生した場合 (図 21.57 のタイミング⑥、TWCRA レジスタのWRE ビット=1) 変更
		529	図 21.65 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 21.57 のタイミング③、MTU6、7 のTWCRB レジスタのWRE ビット=1、SCC ビット=1) 変更
		529	図 21.66 山のTb 区間で同期クリアが発生した場合 (図 21.57 のタイミング⑥、MTU6、7 のTWCRB レジスタのWRE ビット=1、SCC ビット=1) 変更
		530	図 21.67 ダウンカウント中のデッドタイム時に同期クリアが発生した場合 (図 21.57 のタイミング⑧、MTU6、7 のTWCRB レジスタのWRE ビット=1、SCC ビット=1) 変更
		530	図 21.68 谷のTb 区間で同期クリアが発生した場合 (図 21.57 のタイミング⑩、MTU6、7 のTWCRB レジスタのWRE ビット=1、SCC ビット=1) 変更
		531	図 21.69 MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例 変更
		540	図 21.80 バッファ転送を抑制する設定 (BTE[1:0]=01b) にした場合の動作例 変更
		541	図 21.81 バッファ転送を割り込み間引きと連動する設定 (BTE[1:0]=10b) にした場合の動作例 変更
		542	図 21.82 TITCR1A レジスタのT3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係 変更
		570	図 21.118 TGI 割り込みタイミング (コンペアマッチ) (MTU5) 変更
		575	21.6.2 入力クロックの制限事項 変更
		575	図 21.124 位相計数モード時の位相差、オーバーラップ、およびパルス幅 変更
		575	21.6.3 周期設定上の注意事項 変更
		22. ポートアウトプットイネーブル2 (POE3)	
		620	文章 変更
		623~638	22.2.1 入力レベルコントロール/ステータスレジスタ1 (ICSR1) ~ 22.2.12 ポートアウトプットイネーブルコントロールレジスタ5 (POECR5) 注記のパワーオンリセットをリセットに変更
		624	22.2.2 出力レベルコントロール/ステータスレジスタ1 (OCSR1) 変更
		625、626	22.2.3 アクティブレベルレジスタ1 (ALR1) 変更
		630、631	22.2.7 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER) 変更
		632	22.2.8 ポートアウトプットイネーブルコントロールレジスタ1 (POECR1) 変更
		633	22.2.9 ポートアウトプットイネーブルコントロールレジスタ2 (POECR2) 変更
		634	22.2.10 ポートアウトプットイネーブルコントロールレジスタ3 (POECR3) 変更
		635	22.2.11 ポートアウトプットイネーブルコントロールレジスタ4 (POECR4) 変更
		638	22.2.13 ポートアウトプットイネーブルコントロールレジスタ6 (POECR6) 変更
		641~643	表 22.4 ハイインピーダンス制御の対象と条件 変更
		644	図 22.2 ハイインピーダンス制御の対象と条件 変更
		648	22.3.7 ハイインピーダンス状態からの解除 文章変更
		23. 汎用PWM タイマ (GPT)	
		649	文章変更
		649	表 23.1 GPTの仕様 内容変更
		651	表 23.2 GPTの機能一覧 共通割り込み要因 変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2012.04.18	652	図23.1 GPTのブロック図 変更		
		665~666	23.2.11 LOCOカウントコントロールレジスタ (LCCR) 変更		
		667	23.2.12 LOCOカウントステータスレジスタ (LCST) 変更		
		668	23.2.13 LOCOカウント値レジスタ (LCNT) 変更		
		668	23.2.14 LOCOカウント結果平均レジスタ (LCNTA) 変更		
		668	23.2.15 LOCOカウント結果レジスタn (LCNTn) (n=00 ~ 15) 変更		
		669	23.2.16 カウント上限/下限許容偏差値レジスタ (LCNTDU, LCNTDL) 変更		
		676	23.2.19 汎用PWM タイマコントロールレジスタ (GTCR) ビット機能表変更		
		690	23.2.33 汎用PWM タイマデッドタイムコントロールレジスタ (GTDTCR) タイトル変更		
		755	23.4.1 割り込み要因と優先順位 変更		
		756	表23.5 GPTの割り込み要因 変更		
		765	23.6 IWDTCCLK カウント機能 変更		
		765	表23.7 IWDTCCLK カウント機能の周期設定例 変更		
		766	図23.77 IWDTCCLK カウント機能の動作例 変更		
		766	図23.78 IWDTCCLK カウント機能の設定例 変更		
		767	図23.79 IWDTCCLK カウント間引き機能の動作例 (間引き回数7、カウント結果は間引かない場合) 変更		
		767	図23.80 IWDTCCLK カウント間引き機能の動作例 (間引き回数7、カウント結果も間引く場合) 変更		
		777	23.9.4 IWDTCCLK カウント機能使用時の消費電力低減機能の設定 変更		
		24. コンペアマッチタイマ (CMT)			
		783	24.4.2 コンペアマッチ割り込みの発生タイミング 変更		
		783	図24.4 コンペアマッチ割り込みのセットタイミング 変更		
		27. シリアルコミュニケーションインタフェース (SC1c, SC1d)			
		818	表27.1 SC1cの仕様 注記追加		
		819	表27.2 SC1dの仕様 注記追加		
		821	図27.2 SC12 (SC1d) のブロック図 変更		
		836	27.2.8 スマートカードモードレジスタ (SCMR) ビット機能表 注記追加、SDIR ビット ビット説明変更		
		839	表27.12 ビットレートに対するBRRの設定例 (調歩同期モード) (2) タイトル、列 追加		
		840	表27.12 ビットレートに対するBRRの設定例 (調歩同期モード) (3) ~ (4) タイトル追加		
		841	表27.13 各動作周波数における最大ビットレート (調歩同期モード) 変更		
		841	表27.14 外部クロック入力時の最大ビットレート (調歩同期モード) 変更		
		842	表27.16 外部クロック入力時の最大ビットレート (クロック同期モード、簡易SPIバスモード) 変更		
		843	表27.17 ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき) 変更		
		843	表27.18 各動作周波数における最大ビットレート (スマートカードインタフェースモードでS=372のとき) 変更		
		844	表27.19 ビットレートに対するBRRの設定例 (簡易I2Cモード) (1) ~ (2) タイトル変更、追加		
		844	表27.20 各ビットレート設定でのSCL High/Low幅最小値 (簡易I2Cモード) (1) ~ (2) タイトル変更、追加		
		856	27.2.20 コントロールレジスタ2 (CR2) 変更		
		863	27.2.34 タイマモードレジスタ (TMR) 注記変更		
		869	図27.6 SCIの初期化フローチャートの例 (調歩同期モード) 変更		
		875	図27.12 調歩同期モードのシリアル受信のフローチャート例 (2) 変更		
		880	図27.17 マルチプロセスシリアル受信のフローチャートの例 (2) 変更		
		886	図27.24 クロック同期モードのシリアル受信のフローチャート例 変更		
		897	27.6.8 クロック出力制御 (2) モード切り替え時 (a) スマートカードインタフェースモードからソフトウェアスタンバイモードに移移するとき 2.、5. 変更 (b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻すとき 6. 変更		
		908	表27.24 モードおよびSSn#端子入力と各端子の状態の関係 SMISOn端子状態 変更		
		908	27.8.3 スLEEPモード時のSS 機能 変更		
		911	図27.52 Start Frame 送信時の動作例 変更		
		914	表27.25 Start Frameの構成 変更		
		915	図27.55 Start Frame 受信時の動作例 変更		
		917	図27.57 Start Frame 受信フローチャート例(2) 変更 (BDST→SDST)		
		919	図27.59 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時) 変更		
		920	図27.60 バス衝突検出機能の動作例 変更		
		921	図27.61 デジタルフィルタ機能の動作例 変更		
		922	図27.62 ビットレート測定機能動作例 変更		
		923	図27.63 RXDX12 受信データサンプリングタイミング 変更		
		924	図27.64 Break Field Low width 出力モードの動作例 変更		
		925	図27.65 Break Field Low width 判定モードの動作例 変更		
		28. I ² C バスインタフェース (RIIC)			
		939、940	28.2.1 I2Cバスコントロールレジスタ1 (ICCR1) 変更		
		946、947	28.2.4 I2Cバスモードレジスタ2 (ICMR2) 変更		
		965	28.2.13 I2Cバスビットレートローレベルレジスタ (ICBRL) 変更		
		967	表28.5 転送速度に対するICBRH、ICBRLレジスタの設定例 (1) ~ (3) 変更		
		969	28.2.18 タイムアウト内部カウンタ (TMOCNT) 追加		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2012.04.18	971	図28.5 RIIC の初期化フローチャート例 変更		
		972	28.3.3 マスタ送信動作 (1) 変更		
		973	図28.6 マスタ送信のフローチャート例 変更		
		975	28.3.4 マスタ受信動作 (1) 変更		
		977	図28.10 マスタ受信のフローチャート例 (7 ビットアドレスフォーマットの場合) 変更		
		978	図28.11 マスタ受信の動作タイミング (1) (7 ビットアドレスフォーマット、RDRFS=0 のとき) 変更		
		978	図 28.12 マスタ受信の動作タイミング (2) (10 ビットアドレスフォーマット、RDRFS=0 のとき) 変更		
		980	図 28.14 スレーブ送信のフローチャート例 変更		
		983	図 28.17 スレーブ受信のフローチャート例 変更		
		1011	28.13 割り込み要因 変更		
		1011	表28.6 割り込み要因 ICRXI 変更		
		29. シリアルペリフェラルインタフェース (RSPI)			
		1014	表29.1 RSPIの仕様 ビットレート 変更		
		1018	29.2.2 RSPI スレーブセレクト極性レジスタ (SSLP) ビット機能表 機能 変更		
		1019	29.2.3 RSPI 端子制御レジスタ (SPPCR) ビット機能表 MOIFV 変更		
		1022、1023	29.2.5 RSPI データレジスタ (SPDR) レジスタ説明、(1) バスインタフェース (a) 書き込み 変更 (SPRX0 ~ 3) → (SPRXn)		
		1028	29.2.9 RSPI データコントロールレジスタ (SPDCR) SPRDTD ビット ビット説明変更		
		1036	29.3.1 RSPI 動作の概要 変更		
		1037	29.3.2 RSPI 端子の制御 変更		
		1038	29.3.3 RSPI システム構成例 変更		
		—	29.3.4.1 1 フレームのデータフォーマット タイトル削除		
		1047、1048	29.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0) (3) LSB ファースト転送 (32 ビットデータ) 変更 (4) LSB ファースト転送 (24 ビットデータ) 変更		
		1055	29.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD=0) 変更		
		1055	図29.25 SPCR.TXMD = 0 の動作例 変更		
		1057	29.3.7 送信バッファエンブティ / 受信バッファフル割り込み 変更		
		—	29.3.8 アイドル割り込み 削除		
		—	図29.28 アイドル割り込み動作例 (マスタモード) 削除		
		—	図29.29 アイドル割り込み動作例 (スレーブモード) 削除		
		1058	表29.8 通常以外の転送の発生条件とRSPIのエラー検出機能 RSPI動作 変更		
		1060	29.3.8.1 オーバランエラー 4. 変更		
		1061	29.3.8.2 パリティエラー 3. 変更		
		1062	29.3.8.3 モードフォルトエラー 変更		
		1065	図29.32 シーケンス動作時のRSPI コマンドレジスタと送受信バッファの対応 変更		
		1068	表29.11 SPNDEN ビット、SPND レジスタと次アクセス遅延値の関係 SPCMDm.SPNDEN ビット 変更		
		—	図29.35 マスタモード時の転送動作フロー例 (SPI 動作) 削除		
		1070~1072	29.3.10.1 マスタモード動作 (9) 動作フロー 変更 (a) 送信処理フロー、(b) 受信処理フロー、(c) エラー処理フロー 追加		
		1070	図29.35 マスタモード時のフローチャート (送信) 追加		
		1071	図29.36 マスタモード時のフローチャート (受信) 追加		
		1072	図29.37 マスタモード時のフローチャート (エラー) 追加		
		1075、1076	29.3.10.2 スレーブモード動作 (6) 動作フロー 変更 (a) 送信処理フロー、(b) 受信処理フロー、(c) エラー処理フロー 追加		
		—	図29.40 スレーブモード時の転送動作フロー例 (SPI 動作) 削除		
		1075	図29.39 スレーブモード時のフローチャート (送信) 追加		
		1076	図29.40 スレーブモード時のフローチャート (受信) 追加		
		1077	図29.41 スレーブモード時のフローチャート (エラー処理) 追加		
		1077	29.3.12 マスタモード動作 (3) シーケンス制御 変更		
		1079	図29.44 シーケンス動作時のRSPI コマンドレジスタと送受信バッファの対応 変更		
		1081	29.3.12 マスタモード動作 (5) 動作フロー 変更		
		—	図29.48 マスタモード時の転送動作フロー例 (クロック同期式動作) 削除		
		1082	29.3.13 スレーブモード動作 (4) 動作フロー 変更		
		—	図29.50 スレーブモード時の転送動作フロー例 (CPHA = 1) (クロック同期式動作) 削除		
		—	29.3.14 エラー処理 削除		
		—	図29.51 エラー処理 (オーバランエラー) 削除		
		—	図29.52 エラー処理 (パリティエラー) 削除		
		—	図29.53 エラー処理 (モードフォルトエラー) 削除		
		1085	表29.13 RSPI の割り込み要因 RSPI アイドル 変更 (IDINF → IDLNF)		
		31. 12 ビット A/D コンバータ (S12ADB)			
		1094、1095	表31.1 12 ビット A/D コンバータの仕様 変更		
		1098	図31.1 12 ビット A/D コンバータのブロック図 変更		
		1116	31.2.11 サンプル & ホールド回路コントロールレジスタ (ADSHCR) 変更		
		1121	31.2.15 コンパレータフィルタモードレジスタ 0 (ADCMPNRO) 変更		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2012.04.18	1123	31.2.17 コンパレータ割り込み選択レジスタ (ADCMPSEL) 変更		
		1129	31.3.2.5 ダブルトリガモード選択時の動作 変更		
		1130	31.3.2.6 ダブルトリガモード選択時の拡張動作 変更		
		1141	31.3.4.1 基本動作 変更		
		1142	31.3.4.2 ダブルトリガモード選択時の動作 変更		
		1145	31.3.4.4 グループA 優先制御動作 変更		
		1156	31.3.9 非同期トリガによるA/D変換の開始 変更		
		1157	31.3.11 ウィンドウコンパレータ 変更		
		1158	図31.28 コンパレータの動作例(1) (AN000を選択、ADCMPMD0.CEN000=11bの場合) 変更		
		1158	図31.29 コンパレータの動作例(2) (AN000を選択、ADCMPMD0.CEN000=10bの場合) 変更		
		1159	図31.30 コンパレータの動作例(3) (AN000を選択、ADCMPMD0.CEN000=01bの場合) 変更		
		1160	31.4.2 コンパレータ検出時の割り込み要求 変更		
		1164	31.6.7 許容信号源インピーダンスについて 変更		
		1164	表31.11 アナログ端子の規格 端子の内部等価回路のmax変更		
		1166	31.6.11 ノイズ対策上の注意 変更		
		1166	図31.35 アナログ入力保護回路の例 変更		
		—	31.6.12 12ビットA/Dコンバータ入力を使用する場合のポートの設定 削除		
		33. RAM			
			1173	表33.1 内蔵RAMの仕様 RAM容量変更、注2削除	
		34. ROM (コード格納用フラッシュメモリ)			
			1174	表34.1 ROMの仕様 変更	
		—		表34.3 ROM関連の入出力端子 削除	
			1176	34.2.1 フラッシュライトイレーズプロテクトレジスタ (FWEPROR) 変更	
			1177	34.2.2 フラッシュモードレジスタ (FMODR) 変更	
		1178、1179		34.2.3 フラッシュアクセスステータスレジスタ (FASTAT) 変更	
		1181~1183		34.2.5 フラッシュステータスレジスタ0 (FSTATR0) 変更	
			1183	34.2.6 フラッシュステータスレジスタ1 (FSTATR1) 変更	
			1184	34.2.7 フラッシュレディ割り込み許可レジスタ (FRDYIE) 変更	
			1185	34.2.8 フラッシュP/Eモードエントリレジスタ (FENTRYR) 変更	
			1186	34.2.9 フラッシュプロテクトレジスタ (FPROTR) 変更	
			1187	34.2.10 フラッシュリセットレジスタ (FRESETR) 変更	
			1188	34.2.11 FCUコマンドレジスタ (FCMDR) 変更	
			1189	34.2.12 FCU処理切り替えレジスタ (FCPSR) レジスタ説明変更	
			1190	34.2.13 フラッシュP/Eステータスレジスタ (FPESTAT) レジスタ説明変更	
			1191	34.2.14 周辺クロック通知レジスタ (PCKAR) 変更	
			1192	34.3 ROMのメモリ領域の構成 変更	
			1201	図34.7 ROMリードモード移行フロー 変更	
			1204	図34.11 プログラム/イレーズ処理の概略フロー 変更	
			1205	34.6.4.2 プログラム/イレーズ方法手順 (3) 周辺クロック通知コマンドの使用法 変更	
			1216	34.7.1 書き込み中のサスペンド 変更	
			1217	34.7.2 消去中のサスペンド (サスペンド優先モード) 変更	
			1218	34.8 プロテクト 変更	
			1219	34.8.2 コマンドロック状態 変更	
		1219、1220		表34.8 コマンドロック状態となるエラーの一覧 (ROM専用+ROM/E2データフラッシュ共通) タイトル変更	
			1221	図34.23 ブートモード時のシステム構成 変更	
			1221	表34.10 ROM関連の入出力端子 変更	
			1222	図34.24 ブートモードの状態遷移図 変更	
	1225	表34.11 IDコードプロテクト仕様 変更			
1226~1235		34.9.5 問い合わせ/設定コマンド待ち 変更			
	1232	図34.29 新ビットレート選択のシーケンス 変更			
	1236	34.9.6 IDコード待ち状態 (1) IDコードチェック 変更			
	1237	表34.16 プログラム/イレーズホストコマンド 変更			
1237~1243		34.9.7 プログラム/イレーズコマンド待ち状態 変更			
	1244	表34.17 オンチップデバッグIDコードプロテクト仕様 変更			
1245、1246		34.11 使用上の注意事項 (4) プログラム/イレーズ中のリセット 変更 (5) プログラム/イレーズ中のノンマスク割り込み禁止 変更 (7) 低速動作モード1でのプログラム/イレーズ 削除 (8) プログラム/イレーズ中の異常終了 変更 (9) プログラム/イレーズ中の禁止事項 変更			
35. E2データフラッシュ (データ格納用フラッシュメモリ)					
	1247	表35.1 E2データフラッシュの仕様 変更			
	1247	35.1 概要 変更			
—		表35.2 E2データフラッシュ関連の入出力端子 削除			
	1249	35.2.1 フラッシュモードレジスタ (FMODR) 変更			

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2012.04.18	1250	35.2.2 フラッシュアクセスステータスレジスタ (FASTAT) 変更		
		1253	35.2.4 E2 データフラッシュ読み出し許可レジスタ0 (DFLRE0) 変更		
		1254	35.2.5 E2 データフラッシュプログラム/イレーズ許可レジスタ0 (DFLWE0) 変更		
		1255、1256	35.2.6 フラッシュ P/E モードエントリレジスタ (FENTRYR) 変更		
		1256	35.2.7 E2 データフラッシュブランクチェック制御レジスタ (DFLBCCNT) 変更		
		1257	35.2.8 E2 データフラッシュブランクチェックステータスレジスタ (DFLBCSTAT) レジスタ説明変更		
		1258	35.3 E2 データフラッシュのメモリ領域構成 変更		
		1264	35.6.4 FCU コマンド使用方法 (2) プログラム方法 変更		
		1265	図35.5 E2 データフラッシュの書き込み 変更		
		1266	35.6.4 FCU コマンド使用方法 (3) イレーズ方法 変更		
		1269	35.7.2 エラープロテクト 変更		
		1270、1071	35.8.1 問い合わせ設定コマンド 変更		
		1271、1272	35.8.2 プログラム/イレーズコマンド 変更		
		1273	35.9 使用上の注意事項 (2) その他の注意事項 変更		
			36. 電気的特性		
		1276	表36.3 DC特性 (2) 変更		
		1278	表36.6 動作周波数値 変更		
		1280	表36.7 クロックタイミング 変更		
		1281	表36.8 リセットタイミング 注記削除		
		1287	表36.14 内蔵周辺モジュールタイミング (4) 注記変更		
		1293	表36.17 コンパレータ特性 変更		
		1295	表36.18 パワーオンリセット回路、電圧検出回路特性 変更		
		2.00	2013.02.12	端子リセット⇒RES#端子リセット、ウォッチドックタイマ⇒ウォッチドッグタイマに変更	
				特長	
				44	変更
				1. 概要	
45	1.1 仕様概要 文章変更				
45~51	表1.1 仕様概要 変更				
52	表1.2 パッケージ別機能比較一覧 変更				
54	表1.3 製品一覧表 変更				
54	図1.1 型名とメモリサイズ・パッケージ 変更				
55	図1.2 ブロック図 変更				
56~60	表1.4 端子機能一覧 変更				
61	図1.3 ピン配置図 (144ピンLQFP) 追加				
62	図1.4 ピン配置図 (120ピンLQFP) 追加				
63	図1.5 ピン配置図 (112ピンLQFP) 追加				
64	図1.6 ピン配置図 (100ピンLQFP) 追加				
65	図1.7 ピン配置図 (64ピンLQFP) 注記変更				
66	図1.8 ピン配置図 (48ピンLQFP) 注記変更				
67~71	表1.5 機能別端子一覧 (144ピンLQFP) 追加				
72~75	表1.6 機能別端子一覧 (120ピンLQFP) 追加				
76~79	表1.7 機能別端子一覧 (112ピンLQFP) 追加				
80~82	表1.8 機能別端子一覧 (100ピンLQFP) 追加				
2. CPU					
99	2.4 データタイプ 文章変更				
—	2.4.1 整数~2.4.4 スtring 削除				
104	2.5.5 命令コード配置の注意事項 追加				
3. 動作モード【144/120/112/100ピン版】					
117~123	追加				
4. 動作モード【64/48ピン版】					
124~127	タイトル変更				
5. アドレス空間					
129	図5.1 各動作モードのメモリマップ 変更				
130	5.2 外部アドレス空間 追加				
6. I/Oレジスタ					
132	(3) I/Oレジスタアクセスサイクル数 文章変更				
133~176	表6.1 I/Oレジスタアドレス一覧 変更				
7. リセット					
178	表7.2 リセット種別ごとの初期化対象 変更				
179	7.2.1 リセットステータスレジスタ0 (RSTSR0) ビット図・ビット表 注記変更				
181	7.2.2 リセットステータスレジスタ1 (RSTSR1) ビット図・ビット表 注記変更、CWSFフラグの文 変更				
182	7.2.3 リセットステータスレジスタ2 (RSTSR2) ビット図・ビット表 注記変更				
184	7.3.1 RES# 端子リセット 文章変更				
186	図7.2 電圧監視1リセット、電圧監視2リセット動作例 変更				

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2013.02.12	187	7.3.7 ソフトウェアリセット 文章変更
		8. オプション設定メモリ	
		190	8.1 概要 文章変更
		190	図8.1 オプション設定メモリ領域 変更
		191~194	8.2.1 オプション機能選択レジスタ0 (OFS0) 変更
		194	8.2.2 オプション機能選択レジスタ1 (OFS1) 変更
		195	8.2.3 エンディアン選択レジスタB (MDEB)、エンディアン選択レジスタS (MDES) タイトル含め変更
		196	8.3 UB コード 追加
		196	8.4.1 オプション設定メモリの設定例 文章変更
		9. 電圧検出回路 (LVDA)	
		200	9.2.2 電圧監視1 回路ステータスレジスタ (LVD1SR) 注1変更
		201	9.2.4 電圧監視2 回路ステータスレジスタ (LVD2SR) 注1変更
		203	9.2.6 電圧検出レベル選択レジスタ (LVDLVLRL) 144/120/112/100ピン版のビット表 追加
		204	9.2.7 電圧監視1 回路制御レジスタ0 (LVD1CR0) LVD1RIE ビットの文 変更
		205	9.2.8 電圧監視2 回路制御レジスタ0 (LVD2CR0) LVD2RIE ビットの文 変更
		208	図9.4 電圧監視0 リセット動作例 変更
		10. クロック発生回路	
		213	表10.1 クロック発生回路の仕様 変更
		214	図10.1 クロック発生回路のブロック図 変更
		215	表10.2 クロック発生回路の入出力端子 変更
		216、217	10.2.1 システムクロックコントロールレジスタ (SCKCR) 変更
		218	10.2.2 システムクロックコントロールレジスタ2 (SCKCR2) 追加
		219	10.2.3 システムクロックコントロールレジスタ3 (SCKCR3) CKSEL[2:0] ビットの文 変更
		220	10.2.4 PLLコントロールレジスタ (PLLCR) PLIDIV[1:0] ビットの文 変更
		222	10.2.6 外部バスクロックコントロールレジスタ (BCKCR) 追加
		227	10.2.11 発振停止検出ステータスレジスタ (OSTDSR) ビット表 注記変更
		228	表10.3 ダンピング抵抗 (参考値) 変更
		229	表10.4 水晶振動子の特性 (参考値) 変更
		230	10.4.1 発振停止検出と検出後の動作 文章変更
		232	10.6 内部クロック 変更
		234	10.8.1 クロック発生回路に関する注意事項 文章変更
		11. クロック周波数精度測定回路(CAC)	
		235	表11.1 CACの仕様 変更
		235	図11.1 CACのブロック図 変更
		237	11.2.2 CAC コントロールレジスタ1 (CACR1) ビット表のFMCS[2:0] 機能変更
		238	11.2.3 CAC コントロールレジスタ2 (CACR2) ビット表のRSCS[2:0] 機能変更、注1変更
		12. 消費電力低減機能	
		247	12.1 概要 文章変更
		247	表12.1 消費電力低減機能の仕様 変更
		248	表12.2 各モードにおける遷移および解除方法と動作状態 変更
		249	図12.1 モード遷移 変更
		250	12.2.1 スタンバイコントロールレジスタ (SBYCR) 変更
		251、252	12.2.2 モジュールストップコントロールレジスタA (MSTPCRA) 変更
		252、253	12.2.3 モジュールストップコントロールレジスタB (MSTPCRB) 変更
		253	12.2.4 モジュールストップコントロールレジスタC (MSTPCRC) ビット表のMSTPC0 機能変更、注1変更
		254	12.2.5 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) 文章変更
		255、256	12.2.6 PLLウェイトコントロールレジスタ (PLLWTCR) 文章変更
		257	12.2.7 ディープスタンバイコントロールレジスタ (DPSBYCR) DPSBY ビットの文 変更
		258	12.2.8 ディープスタンバイインタラプトイネーブルレジスタ0 (DPSIER0) 変更
		260	12.2.10 ディープスタンバイインタラプトフラグレジスタ0 (DPSIFR0) 変更
		261	12.2.11 ディープスタンバイインタラプトフラグレジスタ2 (DPSIFR2) 注1変更
		262	12.2.12 ディープスタンバイインタラプトエッジレジスタ0 (DPSIEGR0) 変更
		263	12.2.14 ディープスタンバイバックアップレジスタ (DPSBKRY) (y=0 ~ 31) 文章変更
		264	12.3 クロックの切り替えによる消費電力の低減 文章変更
		265	12.5.1.2 スリープモードの解除 文章変更
		265、266	12.5.2.1 全モジュールクロックストップモードへの移行 文章変更、注記変更
		267	12.5.2.2 全モジュールクロックストップモードの解除 文章変更、注記変更
		267	12.5.3.1 ソフトウェアスタンバイモードへの移行 文章変更
		268	12.5.3.2 ソフトウェアスタンバイモードの解除 文章変更
		268	12.5.3.3 ソフトウェアスタンバイモードの応用例 文章変更
		270	12.5.4.1 ディープソフトウェアスタンバイモードへの移行 文章変更
		270、271	12.5.4.2 ディープソフトウェアスタンバイモードの解除 文章変更
		272	12.5.4.4 ディープソフトウェアスタンバイモードの応用例 文章変更
		273	12.5.4.5 ディープソフトウェアスタンバイモードのフローチャート 文章変更

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2013.02.12	273	図12.4 ディープソフトウェアスタンバイモードのフローチャート例 変更
		274	12.6.5 DIRQnE ビット(n=0~7)による入力バッファ制御 タイトル変更、文章変更
		274	12.6.8 ソフトウェアスタンバイモードから復帰するときの注意事項 文章変更
		13. レジスタライトプロテクション機能	
		275	表13.1 PRQRレジスタと保護されるレジスタの対応 変更
		15. 割り込みコントローラ (ICUb)	
		285	表15.1 割り込みコントローラの仕様 変更
		286	図15.1 割り込みコントローラのブロック図 変更
		286	表15.2 割り込みコントローラの入出力端子 変更
		287、288	15.2.1 割り込み要求レジスタn (IRn) (n=割り込みベクタ番号) IRフラグの文 変更
		292	15.2.8 IRQ コントロールレジスタi (IRQCRi) (i=0~7) タイトル変更、アドレス変更、IRQMD[1:0]ビットの文 変更
		293	15.2.9 IRQ 端子デジタルフィルタ許可レジスタ0 (IRQFLTE0) 変更
		293、294	15.2.10 IRQ 端子デジタルフィルタ設定レジスタ0 (IRQFLTC0) 変更
		299~301	15.2.17 グループm 割り込み要因レジスタ (GRPm) (m=グループ番号) タイトル含め変更
		301、302	15.2.18 グループm 割り込み許可レジスタ (GENm) (m=グループ番号) タイトル含め変更
		303	15.2.19 グループm 割り込みクリアレジスタ (GCRm) (m=グループ番号) 追加
		304	15.3.1 割り込みのベクタテーブル 文章変更
		305~311	表15.3 割り込みのベクタテーブル 変更
		312	15.4.1 割り込み要求グループ 変更
		313	15.5.1 割り込み検出 文章変更
		313	15.5.1.1 エッジ検出の割り込みステータスフラグ 文章変更
		316	15.5.1.3 エッジ検出グループ割り込みと割り込みステータスフラグ 変更
		318	15.5.1.4 レベル検出グループ割り込みと割り込みステータスフラグ 追加
		319	15.5.2 割り込み要求の許可/禁止 文章変更
		322	15.5.6 デジタルフィルタ 変更
		323	15.5.7 外部端子割り込み 文章変更
		324	15.7.1 スリープモードからの復帰 文章変更
		325	15.7.3 ソフトウェアスタンバイモードからの復帰 文章変更
		325	15.8.2 MTU3 割り込み使用時の注意事項 追加
		16. バス	
		328	表16.1 バスの仕様 変更
		329	図16.1 バスの構成図 変更
		330	表16.2 バス種類別アドレス対応表 変更
		330	16.2.1 CPUバス 文章変更
		331	16.2.3 内部メインバス 文章変更
		331	表16.4 内部周辺バスに接続される周辺機能 変更
		331	16.2.4 内部周辺バス 文章変更
		333	16.2.6 外部バス 追加
		334	16.2.7 並列動作 文章変更
		334	図16.5 並列動作の例 変更
		335	16.2.8 バスの設定 追加
		335	16.2.9 制約事項 変更
		336~350	16.3.1 CSn 制御レジスタ (CSnCR) (n=0~3) ~16.3.6 CSn ウェイト制御レジスタ2 (CSnWCR2) (n=0~3) 追加
		353、354	16.3.11 バスプライオリティ制御レジスタ (BUSPRI) 変更
		355	16.4 エンディアンとデータアライメント、16.5 CS領域コントローラの動作説明 追加
		386	16.6.1.1 不正アドレスアクセス 文章変更
		386	16.6.1.2 タイムアウト 文章変更
		387	表16.11 発生するバスエラーの種類 変更
		18. DMAコントローラ (DMACA)	
		407	図18.1 DMAC のブロック図 変更
		409	18.2.3 DMA転送カウントレジスタ (DMCRA) 文章変更
		438	18.5 割り込み 文章変更
		441	18.7.1 外部デバイスを使用する場合 追加
		19. データトランスファコントローラ (DTCa)	
		443	図19.1 DTC のブロック図 変更
		444	19.2 レジスタの説明 文章変更
		449	19.2.8 DTCベクタベースレジスタ (DTCVBR) 文章変更
		452	19.3.1 転送情報の配置とDTCベクタテーブル 文章変更
		454	19.4 動作説明 文章変更
		461	図19.8 チェーン転送の動作 変更
		462~464	図19.9 DTC動作タイミング例 (1) (ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合) ~図19.13 転送情報スキップ時の動作例 (ベクタ、転送情報、転送先が内蔵RAM、転送元は周辺モジュールの場合) 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2013.02.12	465	表 19.8 DTC の実行サイクル 注記変更
		467	19.6.1 ノーマル転送 文章変更
		468	19.6.2 カウンタ = 0 のときのチェーン転送 文章変更
		20. I/Oポート	
		472	20.1 概要 文章変更
		472	表 20.1 I/Oポートの仕様 変更
		473、474	表 20.2 I/Oポートの機能 (144/120/112/100ピン版の場合) 追加
		474	表 20.3 I/Oポートの機能 (64/48ピン版の場合) タイトル含め変更
		475～478	20.2.1 144/120/112/100ピン版 追加
		479	20.2.2 64/48ピン版 タイトル追加
		481	20.3.1 ポート方向レジスタ (PDR) 変更
		482	20.3.2 ポート出力データレジスタ (PODR) 変更
		483	20.3.3 ポート入力データレジスタ (PIDR) 変更
		484	20.3.4 ポートモードレジスタ (PMR) 変更
		485	20.3.5 オープンドレイン制御レジスタ 0 (ODR0) 変更
		485	20.3.6 オープンドレイン制御レジスタ 1 (ODR1) 変更
		486	20.3.7 駆動能力制御レジスタ 1 (DSCR1) 追加
		487	20.3.8 駆動能力制御レジスタ 2 (DSCR2) 追加
		488	表 20.4 未使用端子の処理内容 変更
		488	20.5 使用上の注意事項 追加
		21. マルチファンクションピンコントローラ (MPC)	
		489	21.1 概要 文章変更
		490～496	表 21.1 マルチプル端子の割り当て端子一覧 変更
		497	21.2.1 書き込みプロテクトレジスタ (PWPR) PFSWE ビットの文 変更
		498	21.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n=0～3) タイトル含め変更
		500	21.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n=0～4) タイトル含め変更
		501	21.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n=0～6) タイトル含め変更
		503	21.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n=0～5) タイトル含め変更
		505	21.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n=0～7) 文章削除
		505	21.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n=0～7)、21.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n=0～5) 追加
		506	21.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n=0～6) 変更
		507	21.2.10 P8n 端子機能制御レジスタ (P8nPFS) (n=0～2) 追加
		508	21.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n=0～6) タイトル含め変更
		509	21.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n=0～6) タイトル含め変更
		511	21.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n=0～7) 変更
		513	21.2.14 PCn 端子機能制御レジスタ (PCnPFS) (n=0～5) 追加
		513	21.2.15 PDn 端子機能制御レジスタ (PDnPFS) (n=0～7) タイトル含め変更
		515	21.2.16 PEn 端子機能制御レジスタ (PEnPFS) (n=0～5) タイトル含め変更
		516	21.2.17 PFn 端子機能制御レジスタ (PFnPFS) (n=2、3)～21.2.26 USB0 制御レジスタ (PFUSB0) 追加
		523	21.3 外部バスインタフェース設定方法 追加
		524	21.4.1 端子入出力機能設定手順 文章変更
		525	21.4.2 MPC レジスタ設定する場合の注意事項 文章変更
		525	表 21.40 レジスタの設定 変更
		525	21.4.3 アナログ機能を使う場合の注意事項 文章変更
		22. マルチファンクションタイマバルスユニット 3 (MTU3)	
		526	表 22.1 MTU の仕様 変更
		532、533	22.2.1 タイマコントロールレジスタ (TCR) 変更
		536	22.2.2 タイマモードレジスタ 1 (TMDR1) ビット表の MD[3:0] 機能変更
		564	22.2.8 タイマバッファ動作転送モードレジスタ (TBTM) TTSE ビットの文 変更
		575、576	22.2.17 タイマアウトプットマスタインーブルレジスタ (TOER) TOERA・TOERB 注1追加
		577	22.2.18 タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B) ビット表の TOCL R/W 変更
		592	22.2.29 タイマ A/D 変換開始要求コントロールレジスタ (TADCR) TADCR (MTU7) 注4変更
		621	図 22.24 カスケード接続動作例 (c) 注記変更
		623	22.3.5 PWM モード (a) PWM モード 1 変更
		647	図 22.42 デッドタイムを生成しない場合の動作例 (MTU3、4) 変更
		653、654	図 22.47 相補 PWM モード波形出力例 (MTU3、4) (1)～図 22.49 相補 PWM モード波形出力例 (MTU3、4) (3) 変更
		659	図 22.57 同期カウンタクリアタイミング (MTU3、4) 変更
		660～662	図 22.59 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.57 のタイミング③、TWCRA レジスタの WRE ビット = 1)～図 22.62 谷の Tb 区間で同期クリアが発生した場合 (図 22.57 のタイミング①、TWCRA レジスタの WRE ビット = 1) 変更
		664、665	図 22.65 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.57 のタイミング③、MTU6、7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)～図 22.68 谷の Tb 区間で同期クリアが発生した場合 (図 22.57 のタイミング①、MTU6、7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1) 変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
2.00	2013.02.12	666	(p) MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリア 文章変更		
		666	図22.69 MTU3.TGRAのコンペアマッチにおけるカウンタクリアの動作例 変更		
		675	図22.80 バッファ転送を抑制する設定 (BTE[1:0]=01b) にした場合の動作例 変更		
		677	図22.82 TITCR1AレジスタのT3AEN、T4VENビットの設定とバッファ転送許可期間の関係 変更		
		694	22.4.2 DMAC/DTCの起動 タイトル含め変更		
		705、706	図22.119 TGI割り込みタイミング (インプットキャプチャ) (MTU0 ~ 4、6、7)、図22.120 TGI割り込みタイミング (インプットキャプチャ) (MTU5) 変更		
		709	22.6.2 入力クロックの制限事項 文章変更		
		709	図22.124 位相計数モード時の位相差、オーバーラップ、およびパルス幅 変更		
		710	図22.125 TCNTへの書き込みとクリアの競合 タイトル変更		
		724	22.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要 文章変更		
		727	(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作 注記変更		
		748	(29) リセット同期PWMモードで動作中に異常が発生し、リセット同期PWMモードで再スタートする場合の動作 文章変更		
		23. ポートアウトブッティネーブル3 (POE3)			
		749	文章 変更		
		749	表23.1 POE3の仕様 変更		
		750	図23.1 POE3のブロック図 変更		
		751	表23.2 POE3の入出力端子 変更		
		752	表23.3 端子の組み合わせ 変更		
		753	23.2.1 入力レベルコントロール/ステータスレジスタ1 (ICSR1) POE0Fフラグの文 変更		
		754	23.2.2 入力レベルコントロール/ステータスレジスタ2 (ICSR2) 追加		
		755	23.2.3 出力レベルコントロール/ステータスレジスタ1 (OCSR1) OSF1フラグの文 変更		
		756	23.2.4 出力レベルコントロール/ステータスレジスタ2 (OCSR2) 追加		
		757~759	23.2.5 アクティブレベルレジスタ1 (ALR1) 変更		
		759、760	23.2.6 アクティブレベルレジスタ2 (ALR2) 追加		
		764	23.2.10 入力レベルコントロール/ステータスレジスタ7 (ICSR7) 追加		
		765~767	23.2.11 ソフトウェアポートアウトブッティネーブルレジスタ (SPOER) 変更		
		768	23.2.12 ポートアウトブッティネーブルコントロールレジスタ1 (POECR1) 文章変更		
		769、770	23.2.13 ポートアウトブッティネーブルコントロールレジスタ2 (POECR2) 変更		
		771、772	23.2.14 ポートアウトブッティネーブルコントロールレジスタ3 (POECR3) 文章変更		
		773~775	23.2.15 ポートアウトブッティネーブルコントロールレジスタ4 (POECR4) 変更		
		776、777	23.2.16 ポートアウトブッティネーブルコントロールレジスタ5 (POECR5) 変更		
		778~780	23.2.17 ポートアウトブッティネーブルコントロールレジスタ6 (POECR6) 変更		
		781	23.2.18 ポートアウトブッティネーブルコントロールレジスタ7 (POECR7) 追加		
		782、783	23.2.19 ポートアウトブッティネーブルコントロールレジスタ8 (POECR8) 追加		
		783	23.2.20 入力レベルコントロール/ステータスレジスタ6 (ICSR6) ビット表のOSTSTF ビット名変更		
		784~789	表23.4 ハイインピーダンス制御の対象と条件 (144/120/112/100ピン版) 追加		
		790~792	表23.5 ハイインピーダンス制御の対象と条件 (64/48ピン版) タイトル変更		
		793	図23.2 ハイインピーダンス制御の対象と条件 変更		
		794	23.3.1 入力レベル検出動作 文章変更		
		796	23.3.4 発振停止検出検知によるハイインピーダンス制御~23.3.7 ハイインピーダンス状態からの解除 文章変更		
		797	表23.6 割り込み要求の種類と条件 変更		
		24. 汎用PWMタイマ (GPT)			
		798	文章 変更		
		798	表24.1 GPTの仕様 変更		
		799	表24.2 GPTの機能一覧 (GPT0~GPT3) タイトル含め変更		
		800	表24.3 GPTの機能一覧 (GPT4~GPT7) 追加		
		801	図24.1 GPTのブロック図 変更		
		802	表24.4 GPTの入出力端子 変更		
		803~828	24.2.1 汎用PWMタイマソフトウェアスタートレジスタ (GTSTR) ~24.2.16 LOCOカウント上限/下限許容偏差値レジスタ (LCNTDU、LCNTDL) アドレスGPTB. ~ 追加		
		829~854	24.2.17 汎用PWMタイマI/Oコントロールレジスタ (GTIOR) ~24.2.37 汎用PWMタイマ出力保護機能一時解除レジスタ (GTSOTR) アドレスGPT4. ~、GPT5. ~、GPT6. ~、GPT7. ~ 追加		
		809~812	24.2.4 汎用PWMタイマハードウェアスタート要因セレクトレジスタ (GTHSSR) 変更		
		813~816	24.2.5 汎用PWMタイマハードウェアストップ・クリア要因セレクトレジスタ (GTHPSR) 変更		
		817	24.2.6 汎用PWMタイマ書き込み保護レジスタ (GTWP) 文章変更		
		820	24.2.8 汎用PWM タイマ外部トリガ入力割り込みレジスタ (GTETINT) 注1変更、文章変更		
		824、825	24.2.11 LOCO カウントコントロールレジスタ (LCCR) 変更		
		826	24.2.12 LOCOカウントステータスレジスタ (LCST) 注1変更		
		827	24.2.15 LOCOカウント結果レジスタn (LCNTn) (n=00 ~ 15) 記述追加		
		829	24.2.17 汎用PWMタイマI/Oコントロールレジスタ (GTIOR) 注1変更、文章変更		
		839	24.2.22 汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ (GTITC) ビット表のIVTC[1:0] 機能変更		
		841	24.2.23 汎用PWMタイマステータスレジスタ (GTST) 注1変更		

Rev.	発行日	改訂内容			
		ページ	ポイント		
2.00	2013.02.12	844	24.2.24 汎用PWMタイマカウンタ (GTCNT) ~ 24.2.31 A/D変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A、B) 文章変更		
		848 ~ 851	24.2.32 汎用PWM タイマ出力ネゲートコントロールレジスタ (GTONCR) 変更		
		853	24.2.34 汎用PWMタイマデッドタイム値レジスタ m (GTDVm) (m = U、D)、24.2.35 汎用PWMタイマデッドタイムバッファレジスタ m (GTDBm) (m = U、D) 文章変更		
		855	24.3.1 基本動作 文章変更		
		889	図24.39 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波PWMモード1、GTDVU/Dレジスタはバッファ動作、アクティブレベルは"High"の場合) 変更		
		889	図24.40 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波PWMモード2/3、GTDVU/Dレジスタはバッファ動作、アクティブレベルは"High"の場合) 変更		
		893	24.3.6 ハードウェアスタート/ストップ、クリア動作 文章変更		
		895	24.3.6.2 ハードウェアストップ動作 文章変更		
		897	図24.48 ハードウェア要因によるカウントスタート/ストップ動作例 (GTETRGn (n=0、1) 端子入力の立ち上がりでスタート、GTETRGn (n=0、1) 端子入力の立ち下がりでストップ時) タイトル含め変更		
		902	24.3.7.1 同期クリア動作 文章変更		
		905 ~ 909	24.3.7.2 同期スタート動作 (1) ソフトウェアによる同時スタート~(4) ハードウェア要因による位相スタート 文章変更		
		918、919	表24.6 GPTの割り込み要因 変更		
		921	24.4.1 割り込み要因と優先順位 (5) 割り込み要因を同時使用する場合の注意事項 文章変更		
		922	24.4.2 DMAC/DTCの起動 タイトル含め変更		
		928	24.6 IWDTCCLKカウンタ機能 文章変更		
		931	24.7.1 レジスタの書き込み保護 文章変更		
		936	図24.90 山のバッファ転送でGTCCRA ≥ GTPRが設定された場合の出力保護機能の動作例 (山のバッファ転送で0 < GTCCRA < GTPRに復帰、アクティブレベルは"Low"の場合) 変更		
		939	24.9.2 コンペアマッチ動作時のGTCCRnレジスタの設定 (n = A、B、C、D、E、F) (3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っている場合 文章変更		
		940	24.9.5 同期動作の対象チャネルについて 追加		
		27. 独立ウォッチドッグタイマ (IWDTa)			
		963、964	表27.1 IWDTCの仕様 変更		
		975	27.3.3 リフレッシュ動作 文章変更		
		975、976	図27.6 IWDTCリフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)、図27.7 IWDTCリフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 01 b) 変更		
		977	27.3.7 ダウンカウンタ値の読み出し 文章変更		
		977、978	図27.8 IWDTCダウンカウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)、図27.9 IWDTCダウンカウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 11b) 変更		
		28. USB2.0ホスト/ファンクションモジュール (USBa)			
		979 ~ 1078	追加		
		29. シリアルコミュニケーションインタフェース (SC1c、SC1d)			
		1079	文章 変更		
		1079	29.1 概要 文章変更		
		1079、1080	表29.1 SC1cの仕様 変更		
		1080、1081	表29.2 SC1dの仕様 変更		
		1081	表29.3 SCIチャネル別機能一覧 変更		
		1082	図29.1 SC10 ~ SC13のブロック図 タイトル含め変更		
		1083	図29.2 SC112 (SC1d) のブロック図 変更		
		1083、1084	表29.4 SCIの入出力端子 (調歩同期式/クロック同期式モード) 変更		
		1084	表29.5 SCIの入出力端子 (簡易I ² Cモード) 変更		
		1084	表29.6 SCIの入出力端子 (簡易SPIモード) 変更		
		1085 ~ 1115	29.2.2 レシーブデータレジスタ (RDR)、29.2.3 トランスミットデータレジスタ (TDR)、29.2.5 シリアルモードレジスタ (SMR) ~ 29.2.16 SPIモードレジスタ (SPMR) アドレスSC12. ~、SC13. ~ 追加		
		1089、1090	29.2.6 シリアルコントロールレジスタ (SCR) (1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIFビット=0) ビット表のCKE[1:0] 機能変更、注2変更、注3追加、CKE[1:0]ビットの文 変更		
		1093	29.2.7 シリアルステータスレジスタ (SSR) (1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIFビット=0) ビット表のMPBT・MPB 機能変更		
		1099	表29.11 スマートカードインタフェースモード時の基本クロックの設定 変更		
		1100	表29.12 ビットレートに対するBRRの設定例 (調歩同期式モード) (4) 変更		
		1102	表29.14 外部クロック入力時の最大ビットレート (調歩同期式モード) 変更		
		1103	表29.15 ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード) 注1変更		
		1104	表29.18 各動作周波数における最大ビットレート (スマートカードインタフェースモードでS=372のとき) 変更		
		1106	29.2.10 シリアル拡張モードレジスタ (SEMR) 変更		
1118	29.2.20 コントロールレジスタ2 (CR2) ビット表のDFCS [2:0] 機能変更				
1130	29.3.3 クロック 文章変更				
1133	図29.9 調歩同期式モードのシリアル送信のフローチャート例 変更				
1137	図29.13 調歩同期式モードのシリアル受信のフローチャート例 (2) 変更				
1139	図29.15 マルチプロセッサシリアル送信のフローチャートの例 変更				
1142	図29.18 マルチプロセッサシリアル受信のフローチャートの例 (2) 変更				

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2013.02.12	1144, 1146, 1149, 1164, 1166, 1168	図29.20 SCIの初期化フローチャートの例(クロック同期式モード)、図29.22 クロック同期式モードのシリアル送信のフローチャート例、図29.26 クロック同期式モードのシリアル送受信同時動作のフローチャート例、図29.44 SCIの初期化フローチャート例(簡易I ² Cモード)、図29.47 簡易I ² Cモードのマスタ送信動作のフローチャート例(送信割り込み、受信割り込み使用時)、図29.49 簡易I ² Cモードのマスタ受信動作のフローチャート例(送信割り込み、受信割り込み使用時) 注記の番号変更
		1148	図29.25 クロック同期式モードのシリアル受信のフローチャート例 変更
		1158	29.6.8 クロック出力制御 (2) モード切り替え時 文章変更
		1170	29.8.3 スレープモード時のSS機能 文章変更
		1174	図29.54 Start Frame送信フローチャート例(1) 変更
		1178	図29.57 Start Frame受信フローチャート例(1) 変更
		1183	図29.62 デジタルフィルタ機能の動作例 変更
		1189	表29.26 SCI割り込み要因 注1削除
		1191	29.12.1 モジュールストップ機能の設定 文章変更
		1191	29.12.3 マーク状態とブレークの送出 文章変更
		1192	29.12.9 低消費電力状態時の動作について (1) 送信 文章変更
		1193	図29.68 送信時のソフトウェアスタンバイモード遷移フローチャートの例 変更
		1193	図29.69 ソフトウェアスタンバイモード遷移時のポートの端子状態(内部クロック、調歩同期送信) 変更
		1194	図29.70 ソフトウェアスタンバイモード遷移時のポートの端子状態(内部クロック、クロック同期送信) 変更
		1195	29.12.11 簡易SPIモードの制約事項(1) マスタモード 文章変更
		30. I ² Cバスインタフェース (RIIC)	
		1197	文章 変更
		1198	図30.1 RIICのブロック図 変更
		1199	表30.2 RIICの入出力端子 変更
		1200~1224	30.2.1 I ² Cバスコントロールレジスタ1(ICCR1) ~30.2.18 タイムアウト内部カウンタ(TMOCNT) アドレスRIIC1.~ 追加
		1200, 1201	30.2.1 I ² Cバスコントロールレジスタ1(ICCR1) 変更
		1202~1204	30.2.2 I ² Cバスコントロールレジスタ2(ICCR2) STビット・RSビット・SPビット 注記の番号変更、BBSYフラグの文 変更
		1205	30.2.3 I ² Cバスモードレジスタ1(ICMR1) BC[2:0]ビットの文 変更
		1206, 1207	30.2.4 I ² Cバスモードレジスタ2(ICMR2) 変更
		1207~1209	30.2.5 I ² Cバスモードレジスタ3(ICMR3) 変更
		1210	30.2.6 I ² Cバスファンクションイネーブルレジスタ(ICFER) SCLEビットの文 変更
		1216, 1217	30.2.10 I ² Cバスステータスレジスタ2(ICSR2) 文章変更
		1217	表30.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係 変更
		1221	30.2.14 I ² Cバスビットレートハイレベルレジスタ(ICBRH) 文章変更
		1222	表30.5 転送速度に対するICBRH、ICBRLレジスタの設定例(1)~(3) 注記変更
		1223	30.2.16 I ² Cバス受信データレジスタ(ICDRR) 文章変更
		1223	30.2.17 I ² Cバスシフトレジスタ(ICDRS) 文章変更
		1224	30.2.18 タイムアウト内部カウンタ(TMOCNT) 変更
		1225	図30.4 I ² Cバスタイミング(SLA=7ビットの場合) 説明文変更
		1226	図30.5 RIICの初期化フローチャート例 変更
		1227	30.3.3 マスタ送信動作(2)、(4) 文章変更
		1228	図30.6 マスタ送信のフローチャート例 変更
		1229, 1230	図30.7 マスタ送信の動作タイミング(1)(7ビットアドレスフォーマットのとき)~図30.9 マスタ送信の動作タイミング(3) 変更
		1230, 1231	30.3.4 マスタ受信動作(2)、(5) 文章変更
		1232	図30.10 マスタ受信のフローチャート例(7ビットアドレスフォーマットの場合) 変更
		1233, 1234	図30.11 マスタ受信の動作タイミング(1)(7ビットアドレスフォーマット、RDRFS=0のとき)~図30.13 マスタ受信の動作タイミング(3)(RDRFS=0のとき) 変更
		1234, 1235	30.3.5 スレープ送信動作(4)、(5) 文章変更
		1235	図30.14 スレープ送信のフローチャート例 変更
		1236	図30.15 スレープ送信の動作タイミング(1)(7ビットアドレスフォーマットのとき)、図30.16 スレープ送信の動作タイミング(2) 変更
		1237	30.3.6 スレープ受信動作(4) 文章変更
		1237	図30.17 スレープ受信のフローチャート例 変更
		1238	図30.18 スレープ受信の動作タイミング(1)(7ビットアドレスフォーマット、RDRFS=0のとき)、図30.19 スレープ受信の動作タイミング(2)(RDRFS=0のとき) 変更
		1239	30.4 SCL同期回路 文章変更
		1239	図30.20 RIICのSCLクロック生成およびSCL同期化動作 変更
		1240, 1241	30.6 デジタルノイズフィルタ回路 文章変更
		1242, 1243	図30.23 7ビットアドレスフォーマット選択時にAASyフラグが"1"になるタイミング~図30.25 7ビット/10ビットアドレスフォーマット混在時にAASyフラグが"1"/"0"になるタイミング 変更
		1244	図30.26 ジェネラルコールアドレス受信時にGCAフラグが"1"になるタイミング 変更
		1245	図30.27 デバイスIDアドレス受信時のAASy、DIDフラグセット/クリアタイミング 変更
		1245	30.7.4 ホストアドレス検出機能 文章変更
		1246	図30.28 ホストアドレス受信時にHOAフラグが"1"になるタイミング 変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
2.00	2013.02.12	1246	30.8.1 送信データ誤送信防止機能～30.8.3 受信データ取りこぼし防止機能 文章変更		
		1247～1249	図30.29 送信モードの自動Lowホールド動作～図30.31 受信モードの自動Lowホールド動作 (RDRFS、WAITビット) 変更		
		1250	30.9.1 マスタアービトレーションロスト検出機能 (MALEビット) 文章変更		
		1251	図30.32 マスタアービトレーションロスト検出動作例 (MALE=1のとき) 変更		
		1252	30.9.2 NACK送信アービトレーションロスト検出機能 (NALEビット) 文章変更		
		1252	図30.34 NACK送信アービトレーションロスト検出動作例 (NALE=1のとき) 変更		
		1253	30.9.3 スレーブアービトレーションロスト検出機能 (SALEビット) 文章変更		
		1254	図30.35 スレーブアービトレーションロスト検出動作例 (SALE=1のとき) 変更		
		1254	30.10.1 スタートコンディション発行動作、30.10.2 リスタートコンディション発行動作 文章変更		
		1255	図30.36 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RSビット) 変更		
		1255	30.10.3 ストップコンディション発行動作 文章変更		
		1256	図30.37 ストップコンディション発行動作タイミング (SPビット) 変更		
		1256	30.11 パスハングアップ、30.11.1 タイムアウト検出機能～30.11.3 RIIC/内部リセット 文章変更		
		1257、1258	図30.38 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOLビット)、図30.39 SCLクロック追加出力機能 (CLOビット) 変更		
		1259	30.12.1 SMBus タイムアウト測定 文章変更		
		1260	図30.40 SMBus タイムアウト測定 変更		
		1260	30.12.2 パケットエラーコード (PEC) 文章変更		
		1263	30.15 使用上の注意事項 変更		
			31. CAN モジュール (CAN)		
			1264～1315	追加	
			32. シリアルペリフェラルインタフェース (RSPI)		
			1316	32.1 概要 文章変更	
			1316	表32.1 RSPIの仕様 変更	
			1318	表32.2 RSPIの入出力端子 変更	
			1319～1337	32.2.1 RSPI 制御レジスタ (SPCR) ～32.2.14 RSPI コマンドレジスタ0～7 (SPCMD0～SPCMD7) アドレスRSPI1.～ 追加	
			1319、1320	32.2.1 RSPI制御レジスタ (SPCR) 文章変更	
			1322	32.2.3 RSPI端子制御レジスタ (SPPCR) ビット表のMOIFV 機能変更、文章変更	
			1323、1324	32.2.4 RSPIステータスレジスタ (SPSR) 文章変更	
			1329	32.2.7 RSPIシーケンスステータスレジスタ (SPSSR) 文章変更	
			1331	表32.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ 位置変更	
			1332	32.2.10 RSPIクロック遅延レジスタ (SPCKD) ～32.2.12 RSPI次アクセス遅延レジスタ (SPND) 文章変更	
			1336、1337	32.2.14 RSPIコマンドレジスタ0～7 (SPCMD0～SPCMD7) SSLA[2:0]ビット・SSLKPビット・SPNDENビット・SLNDENビット・SCKDENビットの文 変更	
			1338	表32.5 RSPIのモードとSPCRレジスタの設定の関係および各モードの概要 変更	
			1339	32.3.2 RSPI 端子の制御 文章変更	
			1339	表32.6 RSPI端子の状態と制御ビット設定値の関係 変更	
			1340～1345	32.3.3.1 シングルマスタ/シングルスレーブ (本LSI =マスタ) ～32.3.3.7 マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) (本LSI =スレーブ) 文章変更	
			1340～1345	図32.5 シングルマスタ/シングルスレーブの構成例 (本LSI =マスタ) ～図32.12 マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) の構成例 (本LSI =スレーブ、CPHA = 1) 変更	
			1347～1354	図32.15 MSBファースト転送 (32ビットデータ/パリティ機能無効) ～図32.22 LSBファースト (24ビットデータ/パリティ機能有効) 注記の番号変更	
			1355	32.3.5.1 CPHAビット = 0の場合、32.3.5.2 CPHAビット = 1の場合 文章変更	
			1355	図32.23 RSPI転送フォーマット (CPHA ビット = 0)、図32.24 RSPI転送フォーマット (CPHA ビット = 1) 変更	
			1357	32.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD=0)、32.3.6.2 送信のみ動作 (SPCR.TXMD=1) 文章変更	
			1357	図32.25 SPCR.TXMD = 0の動作例、図32.26 SPCR.TXMD = 1の動作例 変更	
			1359	32.3.7 送信バッファエンプティ/受信バッファフル割り込み 文章変更	
			1359	図32.27 SPTI、SPRI割り込みの動作例 変更	
			1360	表32.8 通常以外の転送の発生条件とRSPIのエラー検出機能 変更	
			1361～1363	32.3.8.1 オーバランエラー～32.3.8.3 モードフォルトエラー 文章変更	
			1361	図32.28 OVRFフラグの動作例、図32.29 PERFフラグの動作例 変更	
			1364、1365、1368	32.3.10.1 マスタモード動作 (1) シリアル転送の開始～(4) バースト転送 文章変更	
			1368	図32.33 SSLKPビットを利用したバースト転送動作の例 変更	
			1375、1376	32.3.10.2 スレーブモード動作 (1) シリアル転送の開始～(4) バースト転送 文章変更	
			1376	図32.38 スレーブモード時の初期化フロー例 (SPI動作) 変更	
			1379	32.3.11 クロック同期式動作 文章変更	
			1379	32.3.12 マスタモード動作 (1) シリアル転送の開始～(3) シーケンス制御 文章変更	
	1383	32.3.13 スレーブモード動作 (1) シリアル転送の開始、(2) シリアル転送の終了 文章変更			
	1385	32.3.14 ループバックモード 文章変更			
	1385	表32.12 SPLP2ビット、SPLPビットの設定と受信データ 変更			
	1385	図32.47 ループバックモード時のシフトレジスタ入出力構成 (マスタモード) 変更			

Rev.	発行日	改訂内容			
		ページ	ポイント		
2.00	2013.02.12	1388	32.4.1 モジュールストップ機能の設定 文章変更		
		34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】			
		1396~1470	追加		
		35. 12ビットA/Dコンバータ (S12ADB) 【64/48ピン版】			
		1471~1510	タイトル変更		
		1471	表35.1 12ビットA/Dコンバータの仕様 (2 / 2) 簡条書き変更		
		1481	35.2.3 A/Dコントロールレジスタ (ADCSR) DBLEビットの文 変更		
		1493	35.2.12 A/Dグループスキャン優先コントロールレジスタ (ADGSPCR) PGSビットの文 変更		
		1496	35.2.14 コンパレータ動作モード選択レジスタ1 (ADCMPMD1) REFL[2:0]ビット・REFH[2:0]ビットの文 変更		
		1500	35.3 動作説明 変更		
		1505	35.5 A/D変換精度の定義 変更		
		36. 10ビットA/Dコンバータ (AD)			
		1511~1543	追加		
		37. D/Aコンバータ (DAa)			
		1544~1551	追加		
		39. RAM			
		1558	39.1 概要 文章変更		
		1558	表39.1 RAMの仕様 タイトル含め変更		
		1558	39.2.1 消費電力低減機能 文章変更		
		40. フラッシュメモリ			
		1559~1645	34. ROM (コード格納用フラッシュメモリ) と35. E2データフラッシュ (データ格納用フラッシュメモリ) をまとめて40. フラッシュメモリを追加		
		41. 電気的特性 【144/120/112/100ピン版】			
		1646~1690	追加		
		42. 電気的特性 【64/48ピン版】			
		1691~1716	タイトル変更		
		1695、1696	表42.6 クロックタイミング 変更		
		1701	表42.10 内蔵周辺モジュールタイミング (1) 変更		
		1703	表42.12 内蔵周辺モジュールタイミング (3) 変更		
		1713	42.6 発振停止検出回路特性 タイトル変更		
		1713	表42.18 発振停止検出回路特性 タイトル変更		
		1714	表42.19 ROM (コード格納用フラッシュメモリ) 特性 (1) 追加		
		1714	表42.20 ROM (コード格納用フラッシュメモリ) 特性 (2) タイトル含め変更		
		1715	表42.21 データフラッシュ (データ格納用フラッシュメモリ特性) (1) 追加		
		1715	表42.22 データフラッシュ (データ格納用フラッシュメモリ) 特性 (2) タイトル含め変更		
		付録1. 各動作モードにおけるポートの状態			
		1717	【144/120/112/100ピン版】 記述追加		
		1717~1719	表1.1 各動作モードにおけるポートの状態 追加		
		1720	【64/48ピン版】 記述追加		
		付録2. 外形寸法図			
		1721~1724	図A. 144ピンLQFP (PLQP0144KA-A) ~図D. 100ピンLQFP (PLQP0100KB-A) 追加		
		2.10	2013.09.12	—	RX63Tグループ→本MCU、RX63T→本MCU
				特長	
				45	変更
				1. 概要	
46~52	表1.1 仕様概要 変更 注1. 追加				
53	表1.2 パッケージ別機能比較一覧 変更 注2. 追加				
54~56	表1.3 製品一覧表 変更 注1. 追加				
57	図1.1 型名とメモリサイズ・パッケージ 変更				
70~74	表1.5 機能別端子一覧 (144ピンLQFP) 変更				
75~78	表1.6 機能別端子一覧 (120ピンLQFP) 変更				
79~82	表1.7 機能別端子一覧 (112ピンLQFP) 変更				
83~85	表1.8 機能別端子一覧 (100ピンLQFP) 変更				
86~88	表1.9 機能別端子一覧 (64ピンLQFP) 変更				
89、90	表1.10 機能別端子一覧 (48ピンLQFP) 変更				
6. I/Oレジスタ					
134~181	表6.1 I/Oレジスタアドレス一覧 (1 / 4 6)				
10. クロック発生回路					
218	表10.1 クロック発生回路の仕様 変更				
219	図10.1 クロック発生回路のブロック図 変更				
12. 消費電力低減機能					
258	12.2.4 モジュールストップコントロールレジスタC (MSTPCRC) 変更				
269	12.3 クロックの切り替えによる消費電力の低減 変更				

Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2013.09.12	15. 割り込みコントローラ (ICUb)	
		310~316	表 15.3 割り込みのベクタテーブル 変更
		327	15.5.5 多重割り込み 追加
		327	15.5.6 高速割り込み 変更
		16. バス	
		334	表 16.1 バスの仕様 変更
		337	表 16.4 内部周辺バスに接続される周辺機能 変更
		20. I/O ポート	
		491	20.3.5 オープンドレイン制御レジスタ0 (ODR0) 変更
		21. マルチファンクションピンコントローラ (MPC)	
		507	表 21.11 112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定 変更
		517	表 21.26 144ピンLQFP、120ピンLQFP、112ピンLQFP、100ピンLQFP 端子入出力機能レジスタ設定 変更
		22. マルチファンクションタイムバースユニット3 (MTU3)	
		532	表 22.1 MTUの仕様 変更
		535	図 22.1 MTU のブロック図 (MTU0 ~ MTU4) 変更
		536	図 22.2 MTU のブロック図 (MTU5 ~ MTU7) 変更
		542~544	22.2.2 タイマモードレジスタ1 (TMDR1) 変更
		545、561	22.2.4 タイマI/O コントロールレジスタ (TIOR) 変更
		562	22.2.5 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR) 変更
		563~565	22.2.6 タイマインタラプトイネーブルレジスタ (TIER) 変更
		572	22.2.9 タイマインプットキャプチャコントロールレジスタ (TICCR) 変更
		575、576	22.2.13 タイマスタートレジスタ (TSTR) 変更
		582、583	22.2.17 タイマアウトプットマスタイネーブルレジスタ (TOER) 変更
		584	22.2.18 タイマアウトプットコントロールレジスタ1 (TOCR1A、TOCR1B) 変更
		585	表 22.37 出力レベル選択機能 変更
		585	表 22.38 出力レベル選択機能 変更
		590	22.2.21 タイマゲートコントロールレジスタA (TGCRA) 変更
		591	22.2.23 タイマ周期データレジスタ (TCDRA、TCDRB) 変更
		595	22.2.28 タイマ波形コントロールレジスタ (TWCRA、TWCRA、TWCRA) 変更
		600	22.2.30 タイマA/D 変換開始要求周期設定レジスタ (TADCORA、TADCORB) 変更
		607、608	22.2.34 タイマ割り込み間引き回数カウンタ1 (TITCNT1A、TITCNT1B) 変更
		611	22.2.37 バスマスタとのインタフェース 変更
		615	図 22.9 Low 出力 / High 出力の動作例 変更
		615	図 22.10 トグル出力の動作例 変更
		616	22.3.1 基本動作 (3) インプットキャプチャ機能 変更
		617	22.3.1 基本動作 (3) インプットキャプチャ機能 (b) インプットキャプチャ動作例 変更
		617	図 22.12 インプットキャプチャ動作例 変更
		622	図 22.18 バッファ動作例 (1) 変更
		623	22.3.3 バッファ動作 (2) バッファ動作例 (b) TGR がインプットキャプチャレジスタの場合 変更
		623	図 22.19 バッファ動作例 (2) 変更
		624	図 22.20 MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例 変更
		625	22.3.4 カスケード接続動作 変更
		625	表 22.59 TICCR レジスタ設定値とインプットキャプチャ入力端子の対応 変更
		630	22.3.5 PWM モード 変更
		630	22.3.5 PWM モード (a) PWM モード1 変更
		632	図 22.27 PWM モード1 の動作例 変更
		632	22.3.5 PWM モード (2) PWM モードの動作例 変更
		634	図 22.29 PWM モード動作例 (デューティ 0%、デューティ 100%のPWM 波形を出力する例) 変更
		635	22.3.6 位相計数モード 変更
		636	22.3.6 位相計数モード (2) 位相計数モードの動作例 変更
		636	22.3.6 位相計数モード (2) 位相計数モードの動作例 (a) 位相計数モード1 変更
		636	表 22.62 位相計数モード1のアップカウント/ダウンカウント条件 変更
		637	22.3.6 位相計数モード (2) 位相計数モードの動作例 (b) 位相計数モード2 変更
		637	表 22.63 位相計数モード2のアップカウント/ダウンカウント条件 変更
		638	22.3.6 位相計数モード (2) 位相計数モードの動作例 (c) 位相計数モード3 変更
		638	表 22.64 位相計数モード3のアップカウント/ダウンカウント条件 変更
		639	22.3.6 位相計数モード (2) 位相計数モードの動作例 (d) 位相計数モード4 変更
		639	表 22.65 位相計数モード4のアップカウント/ダウンカウント条件 変更
		644	22.3.8 相補PWM モード 変更
		644	表 22.68 相補PWM モード時の出力端子 変更
		649	22.3.8 相補PWM モード (2) 相補PWM モードの動作概要 変更
		651	図 22.41 相補PWM モード動作例 (MTU3、MTU4) 変更
		653	22.3.8 相補PWM モード (2) 相補PWM モードの動作概要 (e) デッドタイムの設定 変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
2.10	2013.09.12	654	図22.42 デッドタイムを生成しない場合の動作例 (MTU3、MTU4) 変更		
		655	22.3.8 相補PWM モード (2) 相補PWM モードの動作概要 (g) PWM 周期の設定 変更		
		658	図22.45 相補PWM モードの初期出力例 (MTU3、MTU4) (1) 変更		
		659	図22.46 相補PWM モードの初期出力例 (MTU3、MTU4) (2) 変更		
		660	22.3.8 相補PWM モード (2) 相補PWM モードの動作概要 (j) 相補PWM モードのPWM 出力生成方法 変更		
		674	図22.70 外部入力による出力相の切り替え動作例 (1) 変更		
		675	図22.71 外部入力による出力相の切り替え動作例 (2) 変更		
		675	図22.72 UF、VF、WF ビット設定による出力相の切り替え動作例 (1) 変更		
		675	図22.73 UF、VF、WF ビット設定による出力相の切り替え動作例 (2) 変更		
		698	図22.99 モータ制御回路構成例 変更		
		699	22.3.13 相補PWM モード時の「山/谷」でのTCNT キャプチャ動作 変更		
		699	図22.100 相補PWM の「山/谷」でのTCNT キャプチャ動作 変更		
		701	22.4.1 割り込み要因と優先順位 (1) インพุットキャプチャ/コンペアマッチ割り込み 変更		
		705	22.5.1 入出力タイミング (2) アウトプットコンペア出力タイミング 変更		
		705	図22.105 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) 変更		
		705	図22.106 アウトプットコンペア出力タイミング (相補PWM モード、リセット同期PWM モード) 変更		
		713	図22.120 TGI 割り込みタイミング (インพุットキャプチャ) (MTU5) 変更		
		716	22.6.1 モジュールストップ機能の設定 変更		
		716	22.6.2 入力クロックの制限事項 変更		
		716	図22.124 位相計数モード時の位相差、オーバーラップ、およびパルス幅 変更		
		716	22.6.3 周期設定上の注意事項 変更		
		717	22.6.4 TCNT への書き込みとクリアの競合 変更		
		717	図22.125 TCNT への書き込みとクリアの競合 変更		
		717	22.6.5 TCNT への書き込みとカウントアップの競合 変更		
		717	図22.126 TCNT への書き込みとカウントアップの競合 変更		
		718	22.6.6 TGR への書き込みとコンペアマッチの競合 変更		
		718	図22.127 TGR のライトとコンペアマッチの競合 変更		
		718	22.6.7 バッファレジスタへの書き込みとコンペアマッチの競合 変更		
		718	図22.128 バッファレジスタへの書き込みとコンペアマッチの競合 変更		
		719	22.6.8 バッファレジスタへの書き込みとTCNT クリアの競合 変更		
		719	図22.129 バッファレジスタへの書き込みとTCNT クリアの競合 変更		
		720	22.6.9 TGR レジスタの読み出しとインพุットキャプチャの競合 変更		
		720	図22.130 TGR レジスタの読み出しとインพุットキャプチャの競合 (MTU0 ~ MTU7) 変更		
		720	図22.131 TGR レジスタの読み出しとインพุットキャプチャの競合 (MTU5) 削除		
		721	22.6.10 TGR レジスタへの書き込みとインพุットキャプチャの競合 変更		
		721	図22.132 TGR レジスタへの書き込みとインพุットキャプチャの競合 (MTU0 ~ MTU4、MTU6、MTU7) 変更		
		721	図22.133 TGR レジスタの書き込みとインพุットキャプチャの競合 (MTU5) 変更		
		722	22.6.11 バッファレジスタへの書き込みとインพุットキャプチャの競合 変更		
		722	図22.133 バッファレジスタへの書き込みとインพุットキャプチャ競合 変更		
		723	22.6.12 カスケード接続におけるMTU2.TCNT への書き込みとオーバーフロー/アンダフローの競合 変更		
		723	図22.134 カスケード接続におけるMTU2.TCNT の書き込みとオーバーフロー/アンダフローの競合 変更		
		722	22.6.14 相補PWM モードでのバッファ動作の設定 変更		
		725	22.6.15 リセット同期PWM モードのバッファ動作とコンペアマッチフラグ 変更		
		725	図22.136 リセット同期PWM モードのバッファ動作とコンペアマッチフラグ 変更		
		726	22.6.16 リセット同期PWM モードのオーバーフローフラグ 変更		
		727	22.6.18 TCNT への書き込みとオーバーフロー/アンダフローの競合 変更		
		728	図22.130 TCNT への書き込みとオーバーフローの競合 変更		
		728	22.6.19 ノーマルモードまたはPWM モード1 からリセット同期PWM モードへ遷移する場合の注意事項 変更		
		728	22.6.20 相補PWM モード、リセット同期PWM モードの出力レベル 変更		
		729	22.6.23 相補PWM モードの出力保護機能未使用時の注意事項 追加		
		730	22.6.24 相補PWM モード同期クリアするときの異常動作防止について 追加		
		731	図22.141 同期クリア例 (条件1の場合) 追加		
		732	図22.142 同期クリア例 (条件2の場合) 追加		
		732	22.6.25 コンペアマッチによる割り込み信号の連続出力 追加		
		732	図22.143 コンペアマッチによる割り込み信号の連続出力 追加		
		732	22.7.2 動作中の異常などによる再設定時の動作 変更		
		732	表22.75 モード遷移の組み合わせ 変更		
		734	22.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要 変更		
		23. ポートアウトプットイネーブル3 (POE3)			
				760	図23.1 POE3 のブロック図 変更
				763	23.2.1 入力レベルコントロール/ステータスレジスタ1 (ICSR1) 変更
				765	23.2.2 入力レベルコントロール/ステータスレジスタ2 (ICSR2) 変更
				772	23.2.7 入力レベルコントロール/ステータスレジスタ3 (ICSR3) 変更
				774	23.2.8 入力レベルコントロール/ステータスレジスタ4 (ICSR4) 変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
2.10	2013.09.12	776	23.2.9 入力レベルコントロール/ステータスレジスタ5 (ICSR5) 変更		
		778	23.2.10 入力レベルコントロール/ステータスレジスタ7 (ICSR7) 変更		
		780~782	23.2.11 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER) 変更		
		783	23.2.12 ポートアウトプットイネーブルコントロールレジスタ1 (POECR1) 変更		
		784~786	23.2.13 ポートアウトプットイネーブルコントロールレジスタ2 (POECR2) 変更		
		787、788	23.2.14 ポートアウトプットイネーブルコントロールレジスタ3 (POECR3) 変更		
		797	23.2.18 ポートアウトプットイネーブルコントロールレジスタ7 (POECR7) 変更		
		811	23.3.1 入力レベル検出動作 (2) Low検出 変更		
		811	図23.5 出力レベル検出動作 変更		
		812	23.3.3 レジスタによるハイインピーダンス制御 変更		
		812	23.3.4 発振停止検出検知によるハイインピーダンス制御 変更		
		812	23.3.5 コンパレータ検出によるハイインピーダンス制御 変更		
		812	23.3.6 ハイインピーダンス制御条件の追加機能 変更		
		813	23.3.7 ハイインピーダンス状態からの解除 変更		
			24. 汎用PWM タイマ (GPT)		
		814	表24.1 GPTの仕様 変更		
		817	図24.1 GPTのブロック図 変更		
		845	24.2.17 汎用PWM タイマI/O コントロールレジスタ (GTIOR) 変更		
		849	24.2.18 汎用PWM タイマ割り込み出力設定レジスタ (GTINTAD) 変更		
		851	24.2.19 汎用PWM タイマコントロールレジスタ (GTCR) 変更		
		854	24.2.20 汎用PWM タイマバッファイネーブルレジスタ (GTBER) 変更		
		855	24.2.21 汎用PWM タイマカウント方向レジスタ (GTUDC) 変更		
		856、857	24.2.22 汎用PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC) 変更		
		858	24.2.23 汎用PWM タイマステータスレジスタ (GTST) 変更		
		861	24.2.24 汎用PWM タイマカウンタ (GTCNT) 変更		
		862	24.2.25 汎用PWM タイマコンペアキャプチャレジスタm (GTCCRm) (m=A~F) 変更		
		862	24.2.26 汎用PWM タイマ周期設定レジスタ (GTPR) 変更		
		867	24.2.27 汎用PWM タイマ周期設定バッファレジスタ (GTPBR) 変更		
		863	24.2.28 汎用PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR) 変更		
		863	24.2.29 A/D 変換開始要求タイミングレジスタm (GTADTRm) (m=A、B) 変更		
		864	24.2.30 A/D 変換開始要求タイミングバッファレジスタm (GTADTBRm) (m=A、B) 変更		
		864	24.2.31 A/D 変換開始要求タイミングダブルバッファレジスタm (GTADTDBRm) (m=A、B) 変更		
		865、867	24.2.32 汎用PWM タイマ出力ネゲートコントロールレジスタ (GTONCR) 変更		
		869	24.2.33 汎用PWM タイマデッドタイムコントロールレジスタ (GTDTCR) 変更		
		871	24.2.34 汎用PWM タイマデッドタイム値レジスタm (GTDVm) (m=U、D) 変更		
		871	24.2.35 汎用PWM タイマデッドタイムバッファレジスタm (GTDm) (m=U、D) 変更		
		873	24.2.37 汎用PWM タイマ出力保護機能一時解除レジスタ (GTSOTR) 変更		
		874	24.2.38 PWM 出力遅延制御レジスタ (GTDLYCR) 追加		
		875	24.2.39 GTIOCA 立ち上がり出力遅延レジスタ (GTDLYRA) 追加		
		876	24.2.40 GTIOCA 立ち下がり出力遅延レジスタ (GTDLYFA) 追加		
		877	24.2.41 GTIOCB 立ち上がり出力遅延レジスタ (GTDLYRB) 追加		
		878	24.2.42 GTIOCB 立ち下がり出力遅延レジスタ (GTDLYFB) 追加		
		884	図24.7 Low出力/High出力動作設定例 変更		
		886	図24.10 トグル出力動作設定例 変更		
		894	図24.20 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時) 変更		
		901	図24.29 のこぎり波PWM モード設定例 変更		
		904	図24.31 のこぎり波ワンショットパルスモード設定例 変更		
		906	図24.33 三角波PWM モード1 設定例 変更		
		908	図24.35 三角波PWM モード2 設定例 変更		
		911	図24.37 三角波PWM モード3 設定例 変更		
		914	図24.41 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波PWM モード3 時) 変更		
		915	図24.42 デッドタイム自動設定機能の設定例 (三角波PWM モード1/2 時) 変更		
		931	24.3.7.2 同期スタート動作 (3) ハードウェア要因による同時スタート 変更		
		933	24.3.7.2 同期スタート動作 (4) ハードウェア要因による位相スタート 変更		
		941	24.3.9 PWM 立ち上がり/立ち下がりタイミング調整動作 追加		
		941	図24.69 PWM 遅延生成回路の初期化フローチャート例 追加		
		942	表24.6 PWM出力端子と遅延設定対象レジスタ一覧 追加		
		942	24.3.10 GTDLYRA レジスタ、GTDLYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタの設定値転送タイミング 追加		
943	図24.70 GTDLYRA レジスタの動作例 (のこぎり波PWM の場合) 追加				
943	図24.71 GTDLYFA レジスタの動作例 (三角波PWM の場合) 追加				
955	24.6 IWDTCCLK カウント機能 変更				
958	24.7 保護機能 変更				

Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2013.09.12	958	表24.10 書き込み保護対象レジスタ 追加
		965	24.7.5 POE 機能によるGTIOC 端子出力のハイインピーダンス制御 変更
		966	図24.95 リセット後の端子設定例 変更
		966	24.8.2 動作中の異常などによる端子の初期化 変更
		967	24.9.1 モジュールストップ機能の設定 変更
		967	24.9.2 コンペアマッチ動作時のGTCCRn レジスタの設定 (n = A ~ F) 変更
		969	24.9.6 PWM 遅延生成回路の遅延値設定に関する注意事項 追加
		969	図24.96 GTDLYFA レジスタ設定タイミング制約 追加
		25. コンペアマッチタイマ (CMT)	
		970	表25.1 CMTの仕様 変更
		970	図25.1 CMT (ユニット0) のブロック図 変更
		971	25.2.1 コンペアマッチタイマスタートレジスタ0 (CMSTR0) 変更
		971	25.2.2 コンペアマッチタイマスタートレジスタ1 (CMSTR1) 変更
		972	25.2.3 コンペアマッチタイマコントロールレジスタ (CMCR) 変更
		976	25.5.1 モジュールストップ機能の設定 変更
		28. USB2.0 ホスト/ファンクションモジュール (USBa)	
		1017	28.2.4 CFIFO ポートレジスタ (CFIFO)、D0FIFO ポートレジスタ (D0FIFO)、D1FIFO ポートレジスタ (D1FIFO) 変更
		1018	表28.5 8ビットアクセス時のエンディアン動作表 注1. 変更
		1019~1022	28.2.5 CFIFO ポート選択レジスタ (CFIFOSEL)、D0FIFO ポート選択レジスタ (D0FIFOSEL)、D1FIFO ポート選択レジスタ (D1FIFOSEL) 変更
		1023、1024	28.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR)、D0FIFO ポートコントロールレジスタ (D0FIFOCTR)、D1FIFO ポートコントロールレジスタ (D1FIFOCTR) 変更
		1030	28.2.12 SOF 出力コンフィギュレーションレジスタ (SOFCFG) 変更
		1059	23.3.6 ハイインピーダンス制御条件の追加機能 INBUFM ビット (送信バッファモニタビット) 変更
		1077	図28.7 BRDY 割り込み発生タイミング図 変更
		1080	図28.8 NRDY 割り込み発生タイミング図 (ファンクションコントローラ機能選択時) 変更
		1081	図28.9 ファンクションコントローラ機能選択時のBEMP 割り込み発生タイミング図 変更
		1090	28.3.4.7 データPID シーケンスビット 変更
		1091	28.3.5.1 FIFO バッファメモリ (1) バッファステータス 変更
		1093	表28.18 FIFOポート機能設定 変更
		1094	28.3.5.4 DMA 転送/DTC 転送 (D0FIFO/D1FIFO ポート) 変更
		1096	28.3.6.2 ファンクションコントローラ機能選択時のコントロール転送 (4) コントロール転送自動応答機能 変更
		1098	28.3.9.1 アイソクロナス転送のエラー検出 (e) インターバルエラー 変更
		1101	28.3.9.3 インターバルカウンタ (2) ホストコントローラ機能選択時のインターバルカウントと転送制御 (a) 選択パイプがアイソクロナスIN 転送パイプの場合 変更
		1101	28.3.9.3 インターバルカウンタ (2) ホストコントローラ機能選択時のインターバルカウントと転送制御 (b) 選択パイプがアイソクロナスOUT 転送パイプの場合 変更
		1107	28.4.1 モジュールストップ機能の設定 変更
		29. シリアルコミュニケーションインタフェース (SC1c、SC1d)	
		1111	図29.1 SC10 ~ SC13 のブロック図 変更
		1112	図29.2 SC112 (SC1d) のブロック図 変更
		1118	29.2.6 シリアルコントロールレジスタ (SCR) (1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット=0) 変更
		1126	29.2.8 スマートカードモードレジスタ (SCMR) 変更
		1152	29.2.28 Control Field 0 受信データレジスタ (CF0RR) 変更
		1153	29.2.32 Control Field 1 受信データレジスタ (CF1RR) 変更
		1172	29.5.1 クロック 変更
		1175	29.5.5 シリアルデータの受信 (クロック同期式モード) 変更
		1179	29.6.1 接続例 変更
		1223	29.12.10 クロック同期式モード外部クロック入力 変更
		1224	29.12.11 簡易SPI モードの制約事項 (1) マスタモード 変更
		30. I ² C バスインタフェース (RIIC)	
		1229	30.2.1 I ² C バスコントロールレジスタ1 (ICCR1) 変更
		1231	30.2.2 I ² C バスコントロールレジスタ2 (ICCR2) 注. 変更
		1236	30.2.5 I ² C バスモードレジスタ3 (ICMR3) NF[1:0] ビット (ノイズフィルタ段数選択ビット) 変更
		1247、1248	30.2.10 I ² C バスステータスレジスタ2 (ICSR2) TDRE フラグ (送信データエンプティフラグ) 変更
		1250	30.2.13 I ² C バスビットレートローレベルレジスタ (ICBRL) 変更
		1250	30.2.14 I ² C バスビットレートハイレベルレジスタ (ICBRH) 変更
		1253	30.2.18 タイムアウト内部カウンタ (TMOCNT) 変更
		1255	30.3.2 初期設定 変更
		1256	30.3.3 マスタ送信動作 変更
		1259	30.3.4 マスタ受信動作 変更
		1261	図30.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、2バイト以下の場合) 追加
		1262	図30.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合) タイトル変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
2.10	2013.09.12	1263	30.3.5 スレーブ送信動作 変更		
		1267	30.3.6 スレーブ受信動作 変更		
		1286、1287	30.11.1 タイムアウト検出機能 変更		
		1289	30.12.1 SMBus タイムアウト測定 (1) スレーブデバイスのタイムアウト測定 変更		
		1289	30.12.1 SMBus タイムアウト測定 (2) マスタデバイスのタイムアウト測定 変更		
		1291	表30.7 割り込み要因 変更		
		1293	30.15.1 モジュールストップ機能の設定 変更		
		31. CAN モジュール (CAN)			
		1295	図31.1 CAN モジュールブロック図 (i=0~1) 変更		
		1326	31.2.19 エラー割り込み要因判定レジスタ (EIFR) BLIF フラグ (バスロック検出フラグ) 変更		
		1332	図31.9 CAN 動作モード間の移行 変更		
		1335	図31.11 CAN クロック発生回路のブロック図 変更		
		1345	31.9.1 モジュールストップ機能の設定 変更		
		32. シリアルペリフェラルインタフェース (RSPI)			
		1349、1350	32.2.1 RSPI 制御レジスタ (SPCR) 変更		
		1351	32.2.2 RSPI スレーブセレクト極性レジスタ (SSLP) 変更		
		1352	32.2.3 RSPI 端子制御レジスタ (SPPCR) 変更		
		1355~1357	32.2.5 RSPI データレジスタ (SPDR) (1) バスインタフェース 変更		
		1361	32.2.9 RSPI データコントロールレジスタ (SPDCR) SPLW ビット (RSPI ロングワードアクセス/ワードアクセス設定ビット) 変更		
		1362	32.2.10 RSPI クロック遅延レジスタ (SPCKD) 変更		
		1363	32.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND) 変更		
		1363	32.2.12 RSPI 次アクセス遅延レジスタ (SPND) 変更		
		1364	32.2.13 RSPI 制御レジスタ2 (SPCR2) 変更		
		1365	32.2.14 RSPI コマンドレジスタ0~7 (SPCMD0~SPCMD7) 変更		
		1404	32.3.10.1 マスタモード動作 (9) 初期化フロー (c) エラー処理フロー 変更		
		1408	32.3.10.2 スレーブモード動作 (6) ソフトウェア処理フロー (c) エラー処理フロー 変更		
		1409	32.3.11 クロック同期式動作 変更		
		1418	32.4.1 モジュールストップ機能の設定 変更		
		33. CRC 演算器 (CRC)			
		1419	33. CRC 演算器 (CRC) 変更		
		1419	図33.1 CRC 演算器のブロック図 変更		
		1420	33.2.1 CRC コントロールレジスタ (CRCCR) 変更		
		1420	33.2.2 CRC データ入力レジスタ (CRCDIR) 変更		
		1421	33.2.3 CRC データ出力レジスタ (CRCDOR) 変更		
		1425	33.4.1 モジュールストップ機能の設定 変更		
		34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】			
		1442	34.2.8 A/D コントロール拡張レジスタ (ADCER) ADPRC ビット (A/D データレジスタビット精度指定ビット) 変更		
		1444	34.2.9 A/D 開始トリガ選択レジスタ (ADSTRGR) TRSB[5:0] ビット (グループB 専用A/D 変換開始トリガ選択ビット)、TRSA[5:0] ビット (A/D 変換開始トリガ選択ビット) 変更		
		1445、1446	表34.5 TRSB[5:0] ビットでのA/D起動要因選択一覧 タイトル変更		
		1447、1448	表34.6 TRSA[5:0] ビットでのA/D起動要因選択一覧 タイトル変更		
		1465	34.3.2.6 ダブルトリガモード選択時の拡張動作 変更		
		1487	34.3.5 アナログ入力のサンプリングとスキャン変換時間 変更		
		1487	表34.9 ADSSTRn レジスタの設定例 変更		
		1488	表34.10 スキャン変換時間 (ADCLKとPCLKのサイクル数で示します) 変更		
		1489	34.3.6 レジスタのオートクリア機能の使用例 変更		
		1497	34.6.5 モジュールストップ機能の設定 変更		
		1497	34.6.6 低消費電力状態への遷移時の注意 変更		
		35. 12ビットA/Dコンバータ (S12ADB) 【64/48ピン版】			
		1537	35.6.5 モジュールストップ機能の設定 変更		
		1537	35.6.6 低消費電力状態への遷移時の注意 変更		
		36. 10ビットA/Dコンバータ (AD)			
		1560	36.2.13 デジタル電源制御回路出力設定レジスタ (ADDPONR) 追加		
		1571	36.6.5 モジュールストップ機能の設定 変更		
		1571	36.6.6 低消費電力状態への遷移時の注意 変更		
		37. D/Aコンバータ (DAa)			
		1575	図37.1 D/Aコンバータのブロック図 変更		
		1577	37.2.2 D/A コントロールレジスタ (DACR) 注2. 変更		
		1581	37.3.1 D/A 変換とA/D変換の干渉対策 変更		
		1582	37.4.1 モジュールストップ機能の設定 変更		
		1582	37.4.2 モジュールストップ時のD/Aの動作 変更		
		1582	37.4.3 ソフトウェアスタンバイモード時のD/Aの動作 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2013.09.12	1582	37.4.4 ディープソフトウェアスタンバイモード時の注意事項 変更
		39. デジタル電源制御演算器 (DPC)	
		1589~1614	39. デジタル電源制御演算器 (DPC) 追加
		41. フラッシュメモリ	
		1618	図41.2 ROMのメモリ領域構成 変更
		42. 電気的特性【144/120/112/100ピン版】	
		1703	表42.1 絶対最大定格 変更
		1706	表42.4 DC特性(3) 注7. 削除
		1707	表42.6 許容消費電力 追加
		1727	42.3.7 PWM遅延生成回路タイミング 追加
		1727	表42.21 PWM遅延生成回路タイミング 追加
		1731	図42.32 RSPI タイミング (マスタ、CPHA = 1) (ビットレート: PCLKB を2分周以外に設定) / 簡易SPI タイミング (マスタ、CKPH = 1) 変更
		1732	図42.33 RSPI タイミング (マスタ、CPHA = 1) (ビットレート: PCLKB を2分周に設定) 変更
		1732	図42.34 RSPI タイミング (スレーブ、CPHA = 0) / 簡易SPI タイミング (スレーブ、CKPH = 0) 変更
		1733	図42.35 RSPI タイミング (スレーブ、CPHA = 1) / 簡易SPI タイミング (スレーブ、CKPH = 1) 変更
		43. 電気的特性【64/48ピン版】	
		1748	表43.1 絶対最大定格 変更
		1750	表43.3 DC特性(2) 注3. 変更
		1751	表43.5 許容消費電力 追加

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
2.20	2016.03.31	1. 概要			
		52	表 1.1 仕様概要 注1 変更	TN-RX*-A086A/J	
		54	表 1.3 製品一覧表 変更	TN-RX*-A086A/J	
		59	表 1.4 端子機能一覧 変更		
		70	表 1.5 機能別端子一覧 (144ピンLQFP) 変更		
		74	表 1.5 機能別端子一覧 (144ピンLQFP) 注1 追加		
		76	表 1.6 機能別端子一覧 (120ピンLQFP) 変更		
		79、80	表 1.7 機能別端子一覧 (112ピンLQFP) 変更		
		82	表 1.7 機能別端子一覧 (112ピンLQFP) 注1 追加		
		2. CPU			
		100	2.2.3.1 アクムレータ (ACC) 変更		
		3. 動作モード【144/120/112/100ピン版】			
		122	3.2.3 システムコントロールレジスタ0 (SYSCR0) 注 追加		
		123	3.2.4 システムコントロールレジスタ1 (SYSCR1) 注 追加		
		4. 動作モード【64/48ピン版】			
		128	4.2.2 システムコントロールレジスタ0 (SYSCR0) 注 追加		
		129	4.2.3 システムコントロールレジスタ1 (SYSCR1) 注 追加		
		6. I/Oレジスタ			
		135	(4) スリープモード時およびモード遷移時の注意事項 追加		
		136~181	表 6.1 I/Oレジスタアドレス一覧 変更		TN-RX*-A086A/J、TN-RX*-A140A/J
		7. リセット			
		187	7.2.3 リセットステータスレジスタ2 (RSTSR2) IWDTRF フラグ 変更		
		188	7.2.4 ソフトウェアリセットレジスタ (SWRR) 注 追加		
		9. 電圧検出回路(LVDA)			
		205	9.2.1 電圧監視1 回路制御レジスタ1 (LVD1CR1) 注 追加		
		205	9.2.2 電圧監視1 回路ステータスレジスタ (LVD1SR) 注 追加		
		206	9.2.3 電圧監視2 回路制御レジスタ1 (LVD2CR1) 注 追加		
		206	9.2.4 電圧監視2 回路ステータスレジスタ (LVD2SR) 注 追加		
		207	9.2.5 電圧監視回路制御レジスタ (LVCMPCR) 注 追加		
		208	9.2.6 電圧検出レベル選択レジスタ (LVDLVL) 注 追加		
		209	9.2.7 電圧監視1 回路制御レジスタ0 (LVD1CR0) 注 追加		
		210	9.2.8 電圧監視2 回路制御レジスタ0 (LVD2CR0) 注 追加		
		10. クロック発生回路			
		221	10.2.1 システムクロックコントロールレジスタ (SCKCR) 注 追加		
		223	10.2.2 システムクロックコントロールレジスタ2 (SCKCR2) 注 追加		
		224	10.2.3 システムクロックコントロールレジスタ3 (SCKCR3) 注 追加		
		225	10.2.4 PLL コントロールレジスタ (PLLCR) 注 追加		
		226	10.2.5 PLL コントロールレジスタ2 (PLLCR2) 注 追加		
		227	10.2.6 外部バスクロックコントロールレジスタ (BCKCR) 注 追加		
		228	10.2.7 メインクロック発振器コントロールレジスタ (MOSCCR) 注 追加		
		229	10.2.8 低速オンチップオシレータコントロールレジスタ (LOCOCR) 注 追加		
		230	10.2.9 IWDTR 専用オンチップオシレータコントロールレジスタ (ILOCOCR) 注 追加		
		231	10.2.10 発振停止検出コントロールレジスタ (OSTDCR) 注 追加		
		232	10.2.11 発振停止検出ステータスレジスタ (OSTDSR) 注 追加		
		233	10.2.12 メインクロック発振器強制発振コントロールレジスタ (MOFCR) 注 追加		
		237	10.6 内部クロック 説明文 変更		
		11. クロック周波数精度測定回路(CAC)			
		243	11.2.3 CAC コントロールレジスタ2 (CACR2) 表 変更		
		12. 消費電力低減機能			
		255	12.2.1 スタンバイコントロールレジスタ (SBYCR) 注 追加		
		256	12.2.2 モジュールストップコントロールレジスタA (MSTPCRA) 注 追加		
		257	12.2.3 モジュールストップコントロールレジスタB (MSTPCRB) 注 追加		
258	12.2.4 モジュールストップコントロールレジスタC (MSTPCRC) 注 追加				
259	12.2.5 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) 注 追加				
261	12.2.6 PLL ウェイトコントロールレジスタ (PLLWTCR) 注 追加				

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
2.20	2016.03.31	263	12.2.7 ディープスタンバイコントロールレジスタ (DPSBYCR) 注 追加		
		264	12.2.8 ディープスタンバイインタラプトイネーブルレジスタ0 (DPSIER0) 注 追加		
		265	12.2.9 ディープスタンバイインタラプトイネーブルレジスタ2 (DPSIER2) 注 追加		
		266	12.2.10 ディープスタンバイインタラプトフラグレジスタ0 (DPSIFR0) 注 追加		
		267	12.2.11 ディープスタンバイインタラプトフラグレジスタ2 (DPSIFR2) 注 追加		
		268	12.2.12 ディープスタンバイインタラプトエッジレジスタ0 (DPSIEGR0) 注 追加		
		269	12.2.13 ディープスタンバイインタラプトエッジレジスタ2 (DPSIEGR2) 注 追加		
			15. 割り込みコントローラ (ICUb)		
		330	15.6 ノンマスクابل割り込みの動作説明 変更		
			16. バス		
		340	16.2.6 外部バス 説明文 変更		
			19. データトランスファコントローラ (DTCa)		
		450	図19.1 DTCのブロック図 変更		
		452	19.2.2 DTC モードレジスタB (MRB) 表 変更		
			20. I/Oポート		
		479	20.1 概要 説明文 変更		
			21. マルチファンクションピンコントローラ (MPC)		
		497	表21.1 マルチプル端子の割り当て端子一覧 変更		
		507	表21.6 144ピンLQFP 端子入出力機能レジスタ設定 変更		TN-RX*-A086A/J
		507	表21.9 64ピンLQFP 端子入出力機能レジスタ設定 変更		TN-RX*-A086A/J
		512	21.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n=0 ~ 7) 表 変更		
		512	21.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n=0 ~ 7) 表 変更		
		512	21.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n=0 ~ 5) 表 変更		
		528	21.2.26 USB0 制御レジスタ (PFUSB0) 説明文 変更		
			22. マルチファンクションタイマバルスユニット3 (MTU3)		
		534	表22.2 MTUの機能一覧 変更		
		562	表22.36 TIORU、TIOUV、TIOVW (MTU5) 注1 追加		
		583	22.2.17 タイマアウトプットマスタイネーブルレジスタ (TOER) ビット表 及び ビット表の注1 変更		TN-RX*-A086A/J
		586	図22.3 相補PWM モードの出力レベルの例 変更		
		595	表22.47 TBTERA (TBTERB) .BTE[1:0]ビットの設定 タイトル 変更		
		598	22.2.29 タイマA/D 変換開始要求コントロールレジスタ (TADCR) ・ TADCR(MTU4) ビット表 及び、注2、4 変更		TN-RX*-A119A/J
		599	表22.48 TADCR.BF[1:0]ビットによる転送タイミングの設定 (MTU4) 変更		TN-RX*-A119A/J
		600	22.2.29 タイマA/D 変換開始要求コントロールレジスタ (TADCR) ・ TADCR(MTU7) ビット表 及び、注2、4 変更		TN-RX*-A119A/J
		601	表22.49 TADCR.BF[1:0]ビットによる転送タイミングの設定 (MTU7) 変更		TN-RX*-A119A/J
		632	22.3.5 PWM モード 説明文 変更		
		652	22.3.8 相補PWM モード (2) 相補PWM モードの動作概要 (b) レジスタの動作 説明文 変更		
		657	22.3.8 相補PWM モード (2) 相補PWM モードの動作概要 (g) PWM 周期の設定 説明文 変更		
		662	22.3.8 相補PWM モード (2) 相補PWM モードの動作概要 (j) 相補PWM モードのPWM 出力生成方法 説明文 変更		TN-RX*-A099A/J
		662	図22.47 相補PWM モード波形出力例 (MTU3、MTU4) (1) 変更		TN-RX*-A099A/J
		663	図22.48 相補PWM モード波形出力例 (MTU3、MTU4) (2) 変更		TN-RX*-A099A/J
		663	図22.49 相補PWM モード波形出力例 (MTU3、MTU4) (3) 変更		TN-RX*-A099A/J
		664	図22.50 相補PWM モード0%、100% 波形出力例 (MTU3、MTU4) (1) 変更		TN-RX*-A099A/J
		664	図22.51 相補PWM モード0%、100% 波形出力例 (MTU3、MTU4) (2) 変更		TN-RX*-A099A/J
		665	図22.52 相補PWM モード0%、100% 波形出力例 (MTU3、MTU4) (3) 変更		TN-RX*-A099A/J
		665	図22.53 相補PWM モード0%、100% 波形出力例 (MTU3、MTU4) (4) 変更		TN-RX*-A099A/J
		666	図22.54 相補PWM モード0%、100% 波形出力例 (MTU3、MTU4) (5) 変更		TN-RX*-A099A/J
		683	(c) 割り込み間引きと連動したバッファ転送制御 注 変更		
685	図22.81 バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例 変更		TN-RX*-A099A/J		
686	図22.82 TITCR1A レジスタのT3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係 変更		TN-RX*-A099A/J		

Rev.	発行日	改訂内容		改訂区分		
		ページ	ポイント			
2.20	2016.03.31	688	図22.83 A/D 変換開始要求ディレイド機能の設定手順例 図中の説明文 及び、注2 変更 注4 追加	TN-RX*-A119A/J		
		689	図22.84 A/D 変換の開始要求信号 (TRG4AN) の基本動作例 変更	TN-RX*-A119A/J		
		689	22.3.9 A/D 変換開始要求ディレイド機能 (3) A/D変換の開始要求の許可期間 追加	TN-RX*-A119A/J		
		690	22.3.9 A/D 変換開始要求ディレイド機能 (4) バッファ転送 説明文 変更	TN-RX*-A119A/J		
		691	22.3.9 A/D 変換開始要求ディレイド機能 (5) 割り込み間引き機能1 と連動したA/D 変換開始要求ディレイド機能 説明文 変更	TN-RX*-A119A/J		
		705	表22.73 各割り込み要因とA/D変換開始要求の対応 変更			
		734	22.6.26 相補PWMモードにおけるA/D変換ディレイド機能の注意事項 追加	TN-RX*-A119A/J		
		735	図22.143 MTU4.TADCOBRAに"0"をライトした時のA/D変換の開始要求 (MTU4) 追加	TN-RX*-A119A/J		
		735	図22.144 MTU4.TADCOBRAにTCDRと同じ値をライトした時のA/D変換の開始要求 (MTU4) 追加	TN-RX*-A119A/J		
		23. ポートアウトブットイネーブル3 (POE3)				
		803	表23.4 ハイインピーダンス制御の対象と条件 (144/120/112/100ピン版) 変更			
		809	図23.2 ハイインピーダンス制御の対象と条件 変更			
		816	表23.6 割り込み要求の種類と条件			
		24. 汎用PWMタイマ (GPT)				
		842	24.2.10 汎用PWM タイマスタート書き込み保護レジスタ (GTSWP) SWPn ビット 説明文 変更			
		854	24.2.19 汎用PWM タイマコントロールレジスタ (GTCR) CCLR[1:0] ビット 説明文 変更	TN-RX*-A098A/J		
		856	24.2.20 汎用PWM タイマバッファイネーブルレジスタ (GTBER) PR[1:0] ビット 説明文 変更	TN-RX*-A098A/J		
		865	24.2.26 汎用PWM タイマ周期設定レジスタ (GTPR) 説明文 変更	TN-RX*-A098A/J		
		866	24.2.27 汎用PWM タイマ周期設定バッファレジスタ (GTPBR) 説明文 変更			
		877	24.2.38 PWM 出力遅延制御レジスタ (GTDLYCR) DLYEN ビット 説明文 変更			
		892	24.3.2.1 GTPR レジスタのバッファ動作 説明文 変更	TN-RX*-A098A/J		
		893	図24.14 GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合) 削除以降の図番号、図中の図番号の変更	TN-RX*-A098A/J		
		895	24.3.2.2 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作 (1) GTCCRA レジスタ、GTCCRB レジスタがアウトブットコンペアレジスタとして動作している場合 説明文 変更	TN-RX*-A098A/J		
		895	図24.16 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例 (アウトブットコンペア、のこぎり波でアップカウント、GTCCRA コンペアマッチでHigh出力、周期の終わりでLow出力の場合) 変更			
		943	図24.67 非対称三角波3相相補PWM出力例 (デッドタイム自動設定) 変更			
		972	24.9.6 PWM 遅延生成回路の遅延値設定に関する注意事項 説明文 変更			
		972	図24.95 GTDLYFA レジスタ設定タイミング制約 図中の信号線名変更			
		27. 独立ウォッチドッグタイマ (IWDTa)				
		996	図27.1 IWDT のブロック図 変更			
		28. USB2.0ホスト/ファンクションモジュール (USBa)				
		1011	用語: 補間->補完 変更	TN-RX*-A100A/J		
		1011	表28.1 USBの仕様 注1 追加	TN-RX*-A100A/J		
		1016	28.2.2 システムコンフィギュレーションステータスレジスタ0 (SYSSTS0) 表の中 変更			
		1017	28.2.3 デバイスステートコントロールレジスタ0 (DVSTCTR0) ビット表 変更 ビット表の注2 削除	TN-RX*-A100A/J		
		1017	28.2.3 デバイスステートコントロールレジスタ0 (DVSTCTR0) RESUME ビット 説明文 変更	TN-RX*-A100A/J		
		1020	28.2.4 CFIFO ポートレジスタ (CFIFO) D0FIFO ポートレジスタ (D0FIFO) D1FIFO ポートレジスタ (D1FIFO) 変更	TN-RX*-A100A/J		
		1021	表28.5 8ビットアクセス時のエンディアン動作表 削除			
		1026	28.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR) D0FIFO ポートコントロールレジスタ (D0FIFOCTR) D1FIFO ポートコントロールレジスタ (D1FIFOCTR) ビット表の注1 修正 ビット表の注2 削除	TN-RX*-A100A/J		
		1033	28.2.12 SOF 出力コンフィギュレーションレジスタ (SOFCFG) ビット図、ビット図の注1、注2、注3、ビット表 変更 TRNENSEL ビット 説明文 削除	TN-RX*-A100A/J		

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
2.20	2016.03.31	1034	28.2.13 割り込みステータスレジスタ0 (INTSTS0) ビット図、ビット表 変更	TN-RX*-A100A/J	
		1043	28.2.18 フレームナンバレジスタ (FRMNUM) ビット表の注1 変更 CRCE ビット 説明文 変更	TN-RX*-A100A/J	
		1045	28.2.20 USB アドレスレジスタ (USBADDR) ビット表 変更		
		1047	28.2.22 USB リクエストバリュレジスタ (USBVAL) ビット図、ビット表 変更		
		1052	28.2.27 DCP コントロールレジスタ (DCPCTR) ビット表の注1 変更 ビット表の注2 削除	TN-RX*-A100A/J	
		1058	28.2.30 パイプマックスパケットサイズレジスタ (PIPEMAXP) MXPS[8:0] ビット 説明文 変更	TN-RX*-A100A/J	
		1060	28.2.32 パイプn コントロールレジスタ (PIPEnCTR) (n = 1 ~ 9) ビット表の注1 変更	TN-RX*-A100A/J	
		1069	28.2.35 デバイスアドレスn コンフィグレーションレジスタ (DEVADDn) (n = 0 ~ 5) ビット表 変更	TN-RX*-A100A/J	
		1069	28.2.35 デバイスアドレスn コンフィグレーションレジスタ (DEVADDn) (n = 0 ~ 5) USBSPD[1:0] ビット 説明文 変更	TN-RX*-A100A/J	
		1070	28.3.1.2 コントローラ機能の選択設定 説明文 変更	TN-RX*-A100A/J	
		1075	表28.10 割り込み要因一覧 変更		
		1080	図28.7 BRDY 割り込み発生タイミング図 変更	TN-RX*-A100A/J	
		1083	図28.8 NRDY 割り込み発生タイミング図 (ファンクションコントローラ機能選択時) 変更	TN-RX*-A100A/J	
		1084	図28.9 ファンクションコントローラ機能選択時のBEMP 割り込み発生タイミング図 変更	TN-RX*-A100A/J	
		1089	表28.13 パイプ設定項目一覧 変更	TN-RX*-A100A/J	
		1099	28.3.6.2 ファンクションコントローラ機能選択時のコントロール転送 (4) コントロール転送自動応答機能 説明文 変更	TN-RX*-A100A/J	
		1100	28.3.8.1 ホストコントローラ機能選択時のインターラプト転送時のインターバルカウンタ (1) カウンタの初期化 説明文 変更	TN-RX*-A100A/J	
		1101	28.3.9 アイソクロナス転送 (パイプ1、2) 説明文 変更		
		1103	28.3.9.3 インターバルカウンタ 説明文 変更		
		1104	(1) ファンクションコントローラ機能選択時でのカウンタの初期化 説明文 変更	TN-RX*-A100A/J	
		1104	(2) ホストコントローラ機能選択時のインターバルカウントと転送制御 説明文 変更		
		1104	図28.12 IITV = 0 の場合のトークン発行有無 タイトル 変更		
		1104	図28.13 IITV = 1 の場合のトークン発行有無 タイトル 変更		
		1105	28.3.9.3 インターバルカウンタ (3) ファンクションコントローラ機能選択時のインターバルカウントと転送制御 (a) 説明文 変更		
		1106	28.3.9.3 インターバルカウンタ (4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ 説明文 変更		
		1107	28.3.9.3 インターバルカウンタ (5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ 説明文 変更		
		1108	図28.18 IITV = 1 のときのインターバルエラー発生例 タイトル、説明 変更		
		1109	28.3.10 SOF 補完機能 説明文 変更	TN-RX*-A100A/J	
		1109	表28.23 トランザクション発行条件 表の中 変更		
		29. シリアルコミュニケーションインタフェース (SCLc、SCId)			
		1111	表29.1 SCLcの仕様 変更		
		1125~1127	29.2.7 シリアルステータスレジスタ (SSR) (1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット=0) 変更	TN-RX*-A138A/J	
		1130	29.2.8 スマートカードモードレジスタ (SCMR) SINV ビット 説明文 変更		
		1155	29.2.25 ステータスクリアレジスタ (STCR) ビット表 変更		
		1164	29.3.5 SCI の初期化 (調歩同期式モード) 説明文 変更	TN-RX*-A130B/J	
		1186	29.6.5 SCI の初期化 (スマートカードインタフェースモード) 説明文 変更		
		1229	29.12.14 トランスミットイネーブルビット (TE ビット) に関する注意事項 追加	TN-RX*-A086A/J	
		30. I ² Cバスインタフェース (RIIC)			
		1248	30.2.9 I ² C バスステータスレジスタ1 (ICSR1) HOA フラグ 説明文 変更	TN-RX*-A141A/J	
		1254	30.2.13 I ² C バスビットレートローレベルレジスタ (ICBRL) 注1 変更		
		1276	30.7.2 ジェネラルコールアドレス検出機能 説明文 変更	TN-RX*-A096A/J	
		1277	30.7.3 デバイスID アドレス検出機能 説明文 変更	TN-RX*-A096A/J	
		1278	30.7.4 ホストアドレス検出機能 説明文 変更	TN-RX*-A096A/J	

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
2.20	2016.03.31	31. CANモジュール (CAN)			
		1309	31.2.6 メールボックスレジスタj (MBj) (j=0~31) データバイト0-データバイト7のビット表の1 変更	TN-RX*-A095A/J	
		1314	31.2.8 メッセージ制御レジスタj (MCTLj) (j=0~31) NEWDATA フラグ 変更		
		1320	31.2.11 送信FIFO 制御レジスタ (TFCR) TFE ビット 説明文 変更	TN-RX*-A095A/J	
		1338	表31.8 CANリセットモードとCAN Haltモードでの動作 表内の記述に注2 追加	TN-RX*-A086A/J	
		1338	表31.8 CANリセットモードとCAN Haltモードでの動作 注1~注4 変更	TN-RX*-A086A/J	
		32. シリアルペリフェラルインタフェース (RSPI)			
		1357	32.2.3 RSPI 端子制御レジスタ ビット図、ビット表にSPOM ビット (RSPI 出力端子モードビット) 追加	TN-RX*-A126A/J	
		1357	32.2.3 RSPI 端子制御レジスタ SPOM ビット (RSPI 出力端子モードビット) 説明文 追加	TN-RX*-A126A/J	
		1358~1360	32.2.4 RSPI ステータスレジスタ (SPSR) ビット5、ビット7 変更	TN-RX*-A138A/J	
		1359	32.2.4 RSPI ステータスレジスタ (SPSR) MODF フラグ (モードフォルトエラーフラグ) 説明文 変更		
		1375	32.3.2 RSPI 端子の制御 説明文 変更	TN-RX*-A126A/J	
		1375	表32.6 RSPI端子の状態と制御ビット設定値の関係 表の中 変更	TN-RX*-A126A/J	
		1375	表32.6 RSPI端子の状態と制御ビット設定値の関係 注3 変更、注6 追加	TN-RX*-A126A/J	
		1401	図32.30 マスタモードでのシリアル転送方式の決定方法 変更		
		1407	図32.34 マスタモード時の初期化フロー例 (SPI 動作) 変更	TN-RX*-A094A/J, TN-RX*-A126A/J	
		1408	(a) 送信処理フロー 変更	TN-RX*-A147A/J	
		1412	図32.38 スLEEPモード時の初期化フロー例 (SPI 動作) 変更	TN-RX*-A126A/J	
		1418	図32.45 マスタモード時の初期化フロー例 (クロック同期式動作) 変更	TN-RX*-A126A/J	
		1420	図32.46 スLEEPモード時の初期化フロー例 (クロック同期式動作) 変更	TN-RX*-A126A/J	
		34. 12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】			
		1457	34.2.12 A/D グループスキャン優先コントロールレジスタ (ADGSPCR) PGS ビット (グループA 優先制御設定ビット) 説明文 変更	TN-RX*-A086A/J	
		1457	34.2.12 A/D グループスキャン優先コントロールレジスタ (ADGSPCR) GBRSCN ビット (グループB 再起動設定ビット) 説明文 変更		
		1465	34.2.19 A/D グループスキャン優先モードレジスタ (ADGSPMR) 追加	TN-RX*-A086A/J	
		1478	図34.11 ダブルトリガモードの動作例 (AN003 を2重化選択、GTADTRA0N またはGTADTRB0N 選択、2種類のトリガ要因が同時に発生した場合) 変更		
		1494	34.3.5 アナログ入力のサンプリングとスキャン変換時間 説明文 変更		
		1494	34.3.5 アナログ入力のサンプリングとスキャン変換時間 注1 変更		
		1503	図34.32 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー 変更		
		35. 12ビットA/Dコンバータ (S12ADB) 【64/48ピン版】			
		1523	35.2.8 A/D コントロール拡張レジスタ (ADCER) ADPCR ビット 説明文 変更		
		1526	表35.5 TRSB[4:0]ビットでのA/D起動要因選択一覧 変更		
		1527	表35.6 TRSA[4:0]ビットでのA/D起動要因選択一覧 変更		
		1543	図35.7 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー 変更	TN-RX*-A117A/J	
		36. 10ビットA/Dコンバータ (AD)			
		1556	36.2.3 A/D コントロールレジスタ (ADCSR) ビット表 変更		
		1559	36.2.7 A/D 変換値加算モード選択レジスタ1 (ADADS1) 説明文 変更		
		1564	表36.4 TRSA[5:0]ビットでのA/D起動要因選択一覧 変更		
		1581	36.6.12 外部バス使用時の注意 説明文 変更		
		39. デジタル電源制御演算器 (DPC)			
		1597	図39.1 DPC のブロック図 変更		
		1610	39.3.1.5 制御演算パラメータ設定		
		1611	図39.5 出力過電圧異常時のシャットダウン動作 変更		
		1612	39.3.2 内部基準電圧モード動作 変更		
		1616	図39.9 スwitchング周波数 500kHz、PWM チャネル4 チャネル同時動作時のイネーブル動作 変更		
		1620	図39.11 外部基準電圧モード、Switchング周波数 500kHz、2チャネル同時動作時 変更		

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
2.20	2016.03.31	41. フラッシュメモリ			
		1630	41.2.3 フラッシュアクセスステータスレジスタ (FASTAT) 説明文 変更		
		1636	41.2.8 E2 データフラッシュ P/E 許可レジスタ0 (DFLWE0) ビット表 変更		
		1657	図41.5 ROM リードモードおよびROM / E2 データフラッシュリードモード移行フロー 変更		
		1684	41.8.7 問い合わせ/設定コマンド待ち (15) ブートプログラムステータス問い合わせ 変更		
		42. 電気的特性【144/120/112/100ピン版】			
		1710	表42.1 絶対最大定格 変更	TN-RX*-A086A/J	
		1713	表42.4 DC特性(3) 変更		
		1714	表42.5 出力許容電流値 注1 変更		
		1714	表42.6 許容消費電力 (Gバージョンのみ) タイトル 変更 注 追加	TN-RX*-A086A/J	
		1717	表42.9 クロックタイミング 変更	TN-RX*-A097A/J	
		1718	図42.3 BCLK 端子出力タイミング 変更		
		1718	図42.6 LOCO、IWDTCCKロック発振開始タイミング タイトル 変更	TN-RX*-A097A/J	
		1718	図42.6 LOCO、IWDTCCKロック発振開始タイミング 変更	TN-RX*-A097A/J	
		1730	表42.16 内蔵周辺モジュールタイミング (1) MTU3、GPT 測定項目 追加	TN-RX*-A121A/J	
		1731	表42.16 内蔵周辺モジュールタイミング (2) SCI、CAC 測定項目 追加	TN-RX*-A121A/J	
		1732	表42.16 内蔵周辺モジュールタイミング (3) RSPI 測定項目 追加	TN-RX*-A121A/J	
		1735	表42.17 PWM遅延生成回路タイミング 変更	TN-RX*-A086A/J	
		1738	図42.30 RSPI タイミング (マスタ、CPHA=0) (ビットレート:PCLKBを2分周以外に設定) / 簡易SPI タイミング (マスタ、CKPH=1) タイトル 変更		
		1739	図42.32 RSPI タイミング (マスタ、CPHA=1) (ビットレート:PCLKBを2分周以外に設定) / 簡易SPI タイミング (マスタ、CKPH=0) タイトル 変更		
		1740	図42.34 RSPI タイミング (スレーブ、CPHA=0) / 簡易SPI タイミング (スレーブ、CKPH=1) タイトル 変更		
		1741	図42.35 RSPI タイミング (スレーブ、CPHA=1) / 簡易SPI タイミング (スレーブ、CKPH=0) タイトル 変更		
		1742	表42.18 内蔵USBフルスピード 特性 (DP、DM端子特性) 条件1、2 変更	TN-RX*-A086A/J	
		1748	表42.26 パワーオンリセット回路・電圧検出回路特性 (1) 変更		
		43. 電気的特性【64/48ピン版】			
		1756	表43.1 絶対最大定格 変更	TN-RX*-A086A/J	
		1759	表43.5 許容消費電力 (Gバージョンのみ) タイトル 変更 注 追加	TN-RX*-A086A/J	
		1760	表43.7 クロックタイミング 変更	TN-RX*-A097A/J	
		1761	図43.3 LOCO、IWDTCCKロック発振開始タイミング タイトル 変更	TN-RX*-A097A/J	
		1761	図43.3 LOCO、IWDTCCKロック発振開始タイミング 変更	TN-RX*-A097A/J	
		1872	表43.8 リセットタイミング 変更		
		付録1. 各動作モードにおけるポートの状態			
		1782	表1.1 各動作モードにおけるポートの状態 変更		

RX63Tグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2011年9月27日 Rev.0.40
2016年3月31日 Rev.2.20

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

RX63Tグループ