

RX65W-A グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ
RXファミリ/RX600シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振器（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振器（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、製品の概要、IOポート、マルチファンクションピンコントローラ、バウンダリスキャン、RFトランシーバ、電気的特性、使用上の注意で構成されています。

CPU、システム制御機能、周辺機能などの詳細については「RX65Nグループ、RX651グループ ユーザーズマニュアル ハードウェア編」を、RFトランシーバの詳細については「R9A06G062GNP Sub-GHz トランシーバユーザーズマニュアルハードウェア編」を参照してください。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX65W-Aグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。

最新版はルネサス エレクトロニクス ホームページに掲載されています。

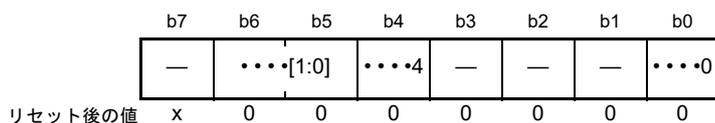
| ドキュメントの種類 | 記載内容 | 資料名 | 資料番号 |
|--|--|--|-----------------|
| ユーザーズマニュアル ハードウェア編 | 製品の概要、ハードウェアの仕様 (IOポート、マルチファンクションピンコントローラ、バウンダリスキャン、RFトランシーバ、電気的特性)と使用上の注意 | RX65W-Aグループ ユーザーズマニュアル ハードウェア編 | 本ユーザーズ マニュアル |
| | RFトランシーバ以外のハードウェアの仕様(CPU、システム制御機能、周辺機能など)と動作説明 | RX65Nグループ、RX651グループ ユーザーズマニュアル ハードウェア編 | R01UH0590JJ |
| | RFトランシーバの説明 | R9A06G062GNP Sub-GHz トランシーバ ユーザーズマニュアル ハードウェア編 | R02UH0006JJ |
| ユーザーズマニュアル ソフトウェア編 | CPU・命令セットの説明 | RXファミリ RXv2命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編 | R01US0071JJ |
| フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編 | フラッシュメモリのハードウェア インタフェースの説明 | RX65Nグループ、RX651グループ フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編 | R01UH0602JJ |
| アプリケーション ノート | 基板設計上の注意事項 | RXファミリ ハードウェアデザインガイド | R01AN1411JJ |
| | 周辺機能の使用法、応用例 参考プログラム | ルネサス エレクトロニクス ホームページに掲載されています。 | |
| RENESAS TECHNICAL UPDATE | 製品の仕様、ドキュメント等に関する速報 | | |

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.X …… レジスタ

アドレス xxxx xxxxh



x : 不定

| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|---------|-----------|---|---------------|
| b0 | ……0 | ……ビット | 0 : …… 1 : …… (3) | R/W |
| b3-b1 | — | 予約ビット (2) | 読むと“0”が読めます。書く場合、“0”としてください | R/W |
| b4 | ……4 | ……ビット | 0 : …… 1 : …… | R |
| b6-b5 | ……[1:0] | ……ビット | 00 : …… 01 : …… (3) 上記以外は設定しないでください | R/(W) (注1) |
| b7 | — | 予約ビット | 読んだ場合、その値は不定。書き込みは無効になります | R |

- (1) R/W : 読み出し/書き込みともに有効です。
 R/(W) : 読み出し/書き込みともに有効ですが、書き込みには制限があります。制限の内容については、各レジスタの説明や注記を参照ください。
 R : 読み出しのみ有効です。書き込みは無効になります。
- (2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。
- (3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

| 略語/略称 | フルスペル | 備考 |
|-------|---|-------------------------|
| ACIA | Asynchronous Communications Interface Adapter | 調歩同期式通信アダプタ |
| bps | bits per second | 転送速度を表す単位、ビット/秒 |
| CRC | Cyclic Redundancy Check | 巡回冗長検査 |
| DMA | Direct Memory Access | CPUの命令を介さずに直接データ転送を行う方式 |
| DMAC | Direct Memory Access Controller | DMAを行うコントローラ |
| GSM | Global System for Mobile Communications | FDD-TDMAの第二世代携帯電話の方式 |
| Hi-Z | High Impedance | 回路が電氣的に接続されていない状態 |
| IEBus | Inter Equipment Bus | — |
| I/O | Input / Output | 入出力 |
| IrDA | Infrared Data Association | 赤外線通信の業界団体または規格 |
| LSB | Least Significant Bit | 最下位ビット |
| MSB | Most Significant Bit | 最上位ビット |
| NC | Non-Connect | 非接続 |
| PLL | Phase Locked Loop | 位相同期回路 |
| PWM | Pulse Width Modulation | パルス幅変調 |
| SFR | Special Function Registers | 周辺機能を制御するためのレジスタ |
| SIM | Subscriber Identity Module | ISO/IEC 7816規格の接触型ICカード |
| UART | Universal Asynchronous Receiver / Transmitter | 調歩同期式シリアルインタフェース |
| VCO | Voltage Controlled Oscillator | 電圧制御発振器 |

目次

| | |
|---|----|
| 特長 | 10 |
| 1. 概要 | 11 |
| 1.1 仕様概要 | 11 |
| 1.2 型名別機能一覧および製品間の仕様相違点 | 18 |
| 1.3 製品一覧 | 20 |
| 1.4 ブロック図 | 21 |
| 1.5 端子機能 | 22 |
| 1.6 ピン配置図 | 28 |
| 1.7 機能別端子一覧 | 29 |
| 2. I/O ポート | 34 |
| 2.1 概要 | 34 |
| 2.2 入出力ポートの構成 | 36 |
| 2.3 レジスタの説明 | 40 |
| 2.3.1 ポート方向レジスタ (PDR) | 40 |
| 2.3.2 ポート出力データレジスタ (PODR) | 41 |
| 2.3.3 ポート入力データレジスタ (PIDR) | 42 |
| 2.3.4 ポートモードレジスタ (PMR) | 43 |
| 2.3.5 オープンドレイン制御レジスタ 0 (ODR0) | 44 |
| 2.3.6 オープンドレイン制御レジスタ 1 (ODR1) | 45 |
| 2.3.7 プルアップ制御レジスタ (PCR) | 46 |
| 2.3.8 駆動能力制御レジスタ (DSCR) | 47 |
| 2.3.9 駆動能力制御レジスタ 2 (DSCR2) | 48 |
| 2.4 ポート方向レジスタ (PDR) の初期化 | 49 |
| 2.5 未使用端子の処理 | 50 |
| 3. マルチファンクションピンコントローラ (MPC) | 51 |
| 3.1 概要 | 51 |
| 3.2 レジスタの説明 | 59 |
| 3.2.1 書き込みプロテクトレジスタ (PWPR) | 59 |
| 3.2.2 P1n 端子機能制御レジスタ (P1nPFS) (n = 2, 3, 6, 7) | 60 |
| 3.2.3 P2n 端子機能制御レジスタ (P2nPFS) (n = 6, 7) | 61 |
| 3.2.4 P3n 端子機能制御レジスタ (P3nPFS) (n = 0, 1, 4) | 62 |
| 3.2.5 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 3) | 63 |
| 3.2.6 P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ~ 2) | 64 |
| 3.2.7 PAn 端子機能制御レジスタ (PAnPFS) (n = 1 ~ 4) | 65 |
| 3.2.8 P8n 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7) | 66 |
| 3.2.9 PCn 端子機能制御レジスタ (PCnPFS) (n = 0, 1, 4 ~ 7) | 67 |
| 3.2.10 PDn 端子機能制御レジスタ (PDnPFS) (n = 2 ~ 7) | 68 |
| 3.2.11 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 2, 4 ~ 7) | 69 |
| 3.2.12 イーサネット制御レジスタ (PFENET) | 70 |
| 3.3 使用上の注意事項 | 71 |

| | | |
|---------|-----------------------------|-----------|
| 3.3.1 | 端子入出力機能設定手順 | 71 |
| 3.3.2 | MPC レジスタ設定する場合の注意事項 | 71 |
| 3.3.3 | アナログ機能を使う場合の注意事項 | 72 |
| 4. | バウンダリスキャン | 73 |
| 4.1 | 概要 | 73 |
| 4.2 | レジスタの説明 | 74 |
| 4.2.1 | インストラクションレジスタ (JTIR) | 75 |
| 4.2.2 | ID コードレジスタ (JTIDR) | 75 |
| 4.2.3 | バイパスレジスタ (JTBPR) | 76 |
| 4.2.4 | バウンダリスキャンレジスタ (JTBSR) | 76 |
| 4.3 | 動作説明 | 79 |
| 4.3.1 | TAP コントローラ | 79 |
| 4.3.2 | コマンド一覧 | 80 |
| 4.4 | 使用上の注意事項 | 81 |
| 5. | RF トランシーバ | 83 |
| 5.1 | 特長 | 83 |
| 5.2 | 用途 | 84 |
| 5.3 | ブロック図 | 84 |
| 5.4 | 端子機能 | 86 |
| 5.5 | 準拠規格 | 87 |
| 5.6 | 使用上の注意事項 | 88 |
| 5.6.1 | SPI 外部接続 | 88 |
| 5.6.2 | RSTB 外部接続 | 89 |
| 5.6.3 | INTOUT0 割り込み出力信号外部接続 | 90 |
| 5.6.4 | ボード設計上の注意 | 90 |
| 6. | 電気的特性 | 91 |
| 6.1 | 絶対最大定格 | 91 |
| 6.2 | 推奨動作条件 | 92 |
| 6.3 | DC 特性 | 93 |
| 6.4 | AC 特性 | 100 |
| 6.4.1 | リセットタイミング | 101 |
| 6.4.2 | クロックタイミング | 102 |
| 6.4.3 | 低消費電力状態からの復帰タイミング | 106 |
| 6.4.4 | 制御信号タイミング | 109 |
| 6.4.5 | 内蔵周辺モジュールタイミング | 110 |
| 6.4.5.1 | I/O ポート | 110 |
| 6.4.5.2 | TPU | 111 |
| 6.4.5.3 | TMR | 112 |
| 6.4.5.4 | CMTW | 113 |
| 6.4.5.5 | MTU3 | 114 |

| | | |
|----------|----------------------------|-----|
| 6.4.5.6 | POE3 | 115 |
| 6.4.5.7 | A/D コンバータトリガ | 116 |
| 6.4.5.8 | CAC | 116 |
| 6.4.5.9 | SCI | 117 |
| 6.4.5.10 | RSPI | 123 |
| 6.4.5.11 | QSPI | 128 |
| 6.4.5.12 | RIIC | 130 |
| 6.4.5.13 | ETHERC | 132 |
| 6.4.5.14 | SDHI | 134 |
| 6.4.5.15 | SDSI | 135 |
| 6.4.5.16 | RF トランシーバ | 137 |
| 6.5 | USB 特性 | 138 |
| 6.6 | A/D 変換特性 | 139 |
| 6.7 | 温度センサ特性 | 141 |
| 6.8 | パワーオンリセット回路、電圧検出回路特性 | 142 |
| 6.9 | 発振停止検出タイミング | 145 |
| 6.10 | バッテリーバックアップ機能特性 | 146 |
| 6.11 | フラッシュメモリ特性 | 147 |
| 6.12 | バウンダリスキャン | 150 |
| 6.13 | RF トランシーバ特性 | 152 |
| 6.13.1 | トランシーバ部受信特性 | 152 |
| 6.13.2 | トランシーバ部送信特性 | 157 |
| 付録 1. | 外形寸法図 | 159 |
| 改訂記録 | | 160 |

120MHz、32ビットRX MCU、FPU内蔵、240 DMIPS、2Mバイトフラッシュメモリ(デュアルバンク機能対応)、640KバイトSRAM、IEEE 802.15.4およびWi-SUN®準拠RFトランシーバ、Ether MAC、SD Host I/F、SD Slave I/F、Quad SPIなど多種多様な通信機能、12ビットA/Dコンバータ、RTC、暗号機能

特長

■ 32ビットRXv2 CPU コア内蔵

- 最大動作周波数 120MHz
240DMIPS の性能 (120MHz 動作時)
- 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 2種類の積和演算器 (メモリ間、レジスタ間)
- 32ビット乗算器 (最速1クロックで実行)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインのCISC ハードウェアアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- メモリプロテクションユニット (MPU) 対応
- JTAGおよびFINE (1線式)の2種類のデバッグインタフェース

■消費電力低減機能

- 2.7V ~ 3.6V 動作の単一電源
- 全周辺機能サポート時、0.19mA/MHz (Typ.) の消費電力
- 専用電源で動作可能な RTC
- 4種類の低消費電力モード

■内蔵コードフラッシュメモリ

- 2M バイト
- 50MHz以下もしくはROM キャッシュヒット時はウェイトなし、100MHz以下の場合には1ウェイト、100MHzより速い場合は2ウェイト
- オンボードによるユーザ書き込み
- Back Ground Operation (BGO) によるプログラム/イレーズ
- 起動バンクの入れ替えが可能なデュアルバンク機能搭載

■内蔵データフラッシュメモリ

- 32K バイト (100k 回イレーズ可能)
- Back Ground Operation (BGO) によるプログラム/イレーズ

■内蔵 SRAM (ウェイトなし)

- 640K バイト SRAM (ノーウェイト)
- 8K バイト スタンプバイ RAM (ディーブソフトウェアスタンバイモード時、バックアップ可能)

■データ転送機能

- DMACa: 8ch 内蔵
- DTCb: 1ch 内蔵
- イーサネットコントローラ専用 DMAC: 1ch 内蔵

■リセットおよび電源電圧制御

- パワーオンリセット (POR) 内蔵
- 低電圧検出機能 (LVD) の設定可能

■クロック機能

- 外部水晶発振、内部 PLL 対応 8MHz ~ 24MHz
- 内部 240kHz LOCO、16/18/20MHz から選択可能な HOCO を搭載
- IWDTa 用 120kHz クロック
- RF トランシーバ専用クロック用発振子周波数 48MHz

■リアルタイムクロック内蔵

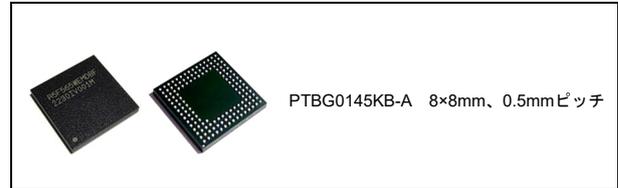
- 補正機能 (30 秒、うるう年、誤差)
- 時計カウント、バイナリカウントモードを選択可能
- 時間キャプチャ機能
(イベント端子入力で時間をキャプチャ)

■独立ウォッチドッグタイマ内蔵

- 120kHz (LOCO の 1/2) クロック動作

■IEC60730 対応機能内蔵

- 発振停止検出、周波数測定、CRCA、IWDTa、A/D 自己診断など
- 重要なレジスタの書き換え保護が可能なメモリプロテクションユニット内蔵



■多種多様な通信機能を内蔵

- IEEE 802.15.4 および Wi-SUN® 準拠 RF トランシーバ (1ch)
各国の周波数帯域を含む 863 ~ 928MHz に対応
SUN FSK、SUN OFDM に対応
- Ether-MAC を内蔵 (1ch)
- USB2.0 フルスピード ファンクション PHY 内蔵 (1ch)
- 多彩な機能に対応した SCLg、SCLh (9ch)
調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード/簡易 SPI/簡易 I2C/拡張シリアルモードから選択
- 16 バイトの送受信 FIFO 搭載 SCLi (2ch)
- I2C バスインタフェース 最大 1Mbps 転送 (2ch)
- RSPIC (2ch) に加え 4 線式の QSPI (1ch) を搭載
- SD Host I/F (1ch) SD メモリ /SDIO 通信用の SD バス (1 or 4 ビット) をサポート
- SD Slave I/F (1ch) SDホスト通信用のSDバス(1 or 4ビット)をサポート

■最大 24 本の拡張タイマ機能

- 16 ビット TPUa (5ch)、MTU3a (9ch)
- 8 ビット TMRa (4ch)、16 ビット CMT (4ch)、32 ビット CMTW (2ch)

■12 ビット A/D コンバータ内蔵

- 12 ビット x2 ユニット (ユニット 0: 4ch、ユニット 1: 11ch)
- 自己診断機能、アナログ入力断線検出機能

■チップ内部の温度を計測可能な温度センサを内蔵

■暗号機能

- Trusted Secure IP (TSIP) 内蔵

■最大 51 本の汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■動作周囲温度

- 40°C ~ +85°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を示します。

表 1.1 仕様概要 (1 / 7)

| 分類 | モジュール/機能 | 説明 |
|-------|-------------|---|
| CPU | 中央演算処理装置 | <ul style="list-style-type: none"> 最大動作周波数：120MHz 32ビットRX CPU (RXv2) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 基本命令：75種類 浮動小数点演算命令：11種類 DSP機能命令：23種類 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット |
| | FPU | <ul style="list-style-type: none"> 単精度浮動小数点数(32ビット) IEEE754に準拠したデータタイプ、および例外 |
| メモリ | コードフラッシュメモリ | <ul style="list-style-type: none"> 容量：2Mバイト 50MHz以下の場合にはノーウェイトアクセス 100MHz以下の場合には1ウェイトアクセス 100MHzより速い場合には2ウェイトアクセス ROMキャッシュにヒットしている命令/オペランドは120MHzノーウェイトアクセス可能 オンボードプログラミング：4種類 Trusted Memory (TM)機能による、TM対象領域に格納したプログラムは命令実行のみ可能、データリード防止機能を実現 デュアルバンク方式によるリード時プログラミングおよび起動領域の入れ替えが可能 |
| | データフラッシュメモリ | <ul style="list-style-type: none"> 容量：32Kバイト プログラム/イレーズ回数：100,000回 |
| | ユニークID | <ul style="list-style-type: none"> 16バイト長のデバイス固有のID |
| | RAM | <ul style="list-style-type: none"> 容量：640Kバイト RAM：256Kバイト 拡張RAM：384Kバイト 120MHz、ノーウェイトアクセス |
| | スタンバイRAM | <ul style="list-style-type: none"> 容量：8Kバイト PCLKB同期：60MHz max, 2サイクルアクセス |
| 動作モード | | <ul style="list-style-type: none"> リセット解除時のモード設定端子による動作モード シングルチップモード ブートモード(SCIインタフェース) ブートモード(USBインタフェース) ブートモード(FINEインタフェース) エンディアン選択可能 |

表 1.1 仕様概要 (2 / 7)

| 分類 | モジュール/機能 | 説明 |
|---------------|-------------------|---|
| クロック | クロック発生回路 | <ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL 周波数シンセサイザ、IWDT 専用オンチップオシレータ 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 メインクロック発振器停止検出：あり システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、FlashIF クロック (FCLK) を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK 同期：120MHz max MTU3、RSPI、SCLi、ETHERC、EDMAC の周辺モジュールは、PCLKA 同期：120MHz max 上記以外の周辺モジュールは、PCLKB 同期：60MHz max S12AD (ユニット 0) の ADCLK は PCLKC 同期：60MHz max S12AD (ユニット 1) の ADCLK は PCLKD 同期：60MHz max Flash IF は、FCLK 同期：60MHz max 高速オンチップオシレータ HOCO を PLL 回路のリファレンスクロックとして通倍可能 |
| リセット | | <p>9種類のリセットを内蔵</p> <ul style="list-style-type: none"> RES#端子リセット：RES#端子がLowで発生 パワーオンリセット：RES#端子がHighで、VCC = AVCC0 = AVCC1の上昇時発生 電圧監視0リセット：VCC = AVCC0 = AVCC1の下降時発生 電圧監視1リセット：VCC = AVCC0 = AVCC1の下降時発生 電圧監視2リセット：VCC = AVCC0 = AVCC1の下降時発生 ディープソフトウェアスタンバイリセット：ディープソフトウェアスタンバイモード解除の割り込みで発生 独立ウォッチドッグタイマリセット：独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ウォッチドッグタイマリセット：ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ソフトウェアリセット：レジスタ設定で発生 |
| パワーオンリセット | | <ul style="list-style-type: none"> RES#端子をHighにして電源投入すると、内部リセットを発生 VCC = AVCC0 = AVCC1が電圧検出レベルを超えると、一定時間経過後解除 |
| 電圧検出回路 (LVDA) | | <p>VCC = AVCC0 = AVCC1端子に入力する電圧を監視し、内部リセットまたは割り込みを発生</p> <ul style="list-style-type: none"> 電圧検出回路0 <ul style="list-style-type: none"> 内部リセット発生可能 オプション設定メモリで有効/無効を選択可 電圧検出レベル：3レベルから選択可 (2.94V, 2.87V, 2.80V) 電圧検出回路1, 2 <ul style="list-style-type: none"> 電圧検出レベル：3レベルから選択可 (2.99V, 2.92V, 2.85V) デジタルフィルタ機能有り (LOCOの2/4/8/16分周) 内部リセット発生可能 リセット解除タイミング2種類選択可 内部割り込み要求可能 上昇検知/下降検知選択可 マスカブル割り込みもしくはノンマスカブル割り込み選択可 電圧検出モニタ機能有り イベントリンク機能有り |
| 低消費電力 | 消費電力低減機能 | <ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード |
| | バッテリーバックアップ機能 | <ul style="list-style-type: none"> VCC端子が低下したとき、VBATT端子からのバッテリー電源で時計動作 (RTC) が可能 |
| 割り込み | 割り込みコントローラ (ICUB) | <ul style="list-style-type: none"> 周辺機能割り込み：要因数 262 外部割り込み：要因数 15 (IRQ0 ~ IRQ14 端子) ソフトウェア割り込み：要因数 2 ノンマスカブル割り込み：要因数 7 16レベルの割り込み優先順位を設定可能 割り込み要因選択方式：割り込みベクタは 256ベクタで構成 (128要因は固定ベクタ。残り 128要因から 128ベクタを選択) |

表 1.1 仕様概要 (3 / 7)

| 分類 | モジュール/機能 | 説明 |
|---------------------|-------------------------------|--|
| DMA | DMAコントローラ (DMACAA) | <ul style="list-style-type: none"> 8チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み |
| | データ転送コントローラ (DTCb) | <ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：外部割り込み、周辺機能割り込み シーケンス転送が可能 |
| I/Oポート | 汎用入出力ポート | <ul style="list-style-type: none"> 73ピン 入出力：50 入力：1 プルアップ抵抗：50 オーブンドレイン出力：50 5Vトレラント：8 |
| イベントリンクコントローラ (ELC) | | <ul style="list-style-type: none"> 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 83種類の内部イベントを自由に組み合わせて接続間の機能を連動可能 周辺機能のイベントで出力端子の状態を変更可能(ポートB、E) 入力端子の変化で周辺機能が連動可能(ポートB、E) |
| タイマ | 16ビットタイマパルスユニット (TPUa) | <ul style="list-style-type: none"> (16ビット×5チャンネル)×1ユニット 最大12本のパルス入出力が可能 チャンネルごとに7種類または8種類のカウントクロックを選択可能 インプットキャプチャ/アウトプットコンペア機能をサポート 最大15相のPWM波形を出力するPWMモード チャンネルによりバッファ動作、位相計数モード(2相エンコーダ入力)、カスケード接続動作(32ビット×2チャンネル)をサポート A/Dコンバータの変換開始トリガを生成可能 インプットキャプチャ端子におけるデジタルフィルタ機能 ELCによるイベントリンク機能をサポート |
| | マルチファンクションタイマパルスユニット3 (MTU3a) | <ul style="list-style-type: none"> 9チャンネル(16ビット×8チャンネル、32ビット×1チャンネル) 最大24本のパルス入出力、および3本のパルス入力が可能 14種類のカウントクロック (PCLKA/1, PCLKA/2, PCLKA/4, PCLKA/8, PCLKA/16, PCLKA/32, PCLKA/64, PCLKA/256, PCLKA/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A)を選択可能 (チャンネル0は14種類、チャンネル1, 3, 4, 6, 7, 8は11種類、チャンネル2は12種類、チャンネル5は10種類) インプットキャプチャ機能 39本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ カウンタクリア動作(コンペアマッチ/インプットキャプチャによる同時クリア可能) 複数のタイマカウンタ (TCNT) への同時書き込み カウンタの同期動作による各レジスタの同期入出力 バッファ動作 カスケード接続動作 43種類の割り込み要因 レジスタデータの自動転送 パルス出力モード トグル/PWM/相補PWM/リセット同期PWM 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力 位相計数モード：16ビットモード(チャンネル1, 2)/32ビットモード(チャンネル1, 2) デッドタイム補償用カウンタ機能 A/Dコンバータの変換開始トリガを生成可能 A/Dコンバータ開始間引き機能 インプットキャプチャ、外部カウントクロック端子におけるデジタルフィルタ機能 ELCによるイベントリンク機能をサポート |

表 1.1 仕様概要 (4 / 7)

| 分類 | モジュール/機能 | 説明 |
|------|----------------------------------|---|
| タイマ | ポートアウトプットイネーブル3 (POE3a) | <ul style="list-style-type: none"> MTU3波形出力端子のハイインピーダンス制御 POE0#, POE4#, POE8#, POE10#, POE11#の5つの入力端子による起動 出力短絡検出(PWM出力が同時にアクティブレベルになったことを検出)による起動 発振停止検出/ソフトウェアによる起動 出力制御対象端子をプログラマブルに追加制御可能 |
| | 8ビットタイマ(TMRb) | <ul style="list-style-type: none"> (8ビット×2チャンネル)×2ユニット 7種類の内部クロック(PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192)と外部クロックを選択可能 任意のデューティ比のパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 A/Dコンバータの変換開始トリガを生成可能 SCI5, SCI6, SCI12のボーレートクロック生成可能 ELCによるイベントリンク機能をサポート |
| | コンペアマッチタイマ(CMT) | <ul style="list-style-type: none"> (16ビット×2チャンネル)×2ユニット 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 ELCによるイベントリンク機能をサポート |
| | コンペアマッチタイマW(CMTW) | <ul style="list-style-type: none"> (32ビット×1チャンネル)×2ユニット コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 ELCによるイベントリンク機能をサポート |
| | リアルタイムクロック(RTCd) ^(注2) | <ul style="list-style-type: none"> クロックソース：メインクロック、サブクロック 時計カウント/秒単位の32ビットバイナリカウントを選択可能 時計/カレンダー機能 割り込み要因：アラーム割り込み、周期割り込み、桁上げ割り込み バッテリーバックアップ動作 3値タイムキャプチャ機能 ELCによるイベントリンク機能をサポート |
| | ウォッチドッグタイマ(WDTa) | <ul style="list-style-type: none"> 14ビット×1チャンネル 6種類のカウンタクロック(PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192)を選択可能 |
| | 独立ウォッチドッグタイマ(IWDTa) | <ul style="list-style-type: none"> 14ビット×1チャンネル カウンタクロック：IWDT専用オンチップオシレータ IWDT専用クロック/1、IWDT専用クロック/16、IWDT専用クロック/32、IWDT専用クロック/64、IWDT専用クロック/128、IWDT専用クロック/256 ウィンドウ機能：ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間) ELCによるイベントリンク機能をサポート |
| 通信機能 | RFトランシーバ | <ul style="list-style-type: none"> IEEE 802.15.4 およびWi-SUN®に準拠したRFトランシーバを内蔵 各国の周波数帯域を含む、863～928MHzに対応 SUN FSK通信レート：10, 20, 50, 100, 150, 200kbps SUN OFDM通信レート： <ul style="list-style-type: none"> Option 1：100, 200, 400, 800, 1200, 1600, 2400kbps Option 2：50, 100, 200, 400, 600, 800, 1200kbps Option 3：25, 50, 100, 200, 300, 400, 600kbps Option 4：12.5, 25, 50, 100, 150, 200, 300kbps 送信電力：+15dBm (SUN FSK)、+11dBm (SUN OFDM)に対応 |
| | イーサネットコントローラ(ETHERC) | <ul style="list-style-type: none"> イーサネット/IEEE802.3フレームの送受信 10Mbpsおよび100Mbps転送への対応 全二重モードおよび半二重モード対応 RMI (Reduced MediaIndependent Interface)に対応 Magic Packet™^(注1)の検出およびWake-On-LAN (WOL)信号の出力 IEEE802.3x規格のフロー制御準拠 |
| | イーサネットコントローラ用DMAコントローラ(EDMACa) | <ul style="list-style-type: none"> ディスクリプタ管理方式によるCPU負荷の軽減 送信FIFO：2Kバイト、受信FIFO：2Kバイト |

表 1.1 仕様概要 (5 / 7)

| 分類 | モジュール/機能 | 説明 |
|------|--|--|
| 通信機能 | USB2.0 FS ファンクションモジュール(USBb) | <ul style="list-style-type: none"> • USB2.0 FSに対応したUDC (USB Device Controller)およびトランシーバを内蔵 • 1ポート • USBバージョン2.0準拠 • 転送スピード：フルスピード(12Mbps) • セルフパワーモードおよびバスパワードの両方に対応 • 通信バッファとして2KバイトのRAMを内蔵 • 外付けPull-Up抵抗、Pull-Down抵抗が不要 |
| | シリアルコミュニケーションインタフェース(SCIg, SCIh, SCli) | <ul style="list-style-type: none"> • 11チャンネル：(SCIg：8チャンネル + SCIh：1チャンネル + SCli：2チャンネル) • SCIg, SCIh, SCli シリアル通信方式：調歩同期式/クロック同期式(SCI2、SCI3は未サポート)/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート(SCI2、SCI3、SCI12は未サポート) 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート • SCIg, SCIh TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) ELCによるイベントリンク機能をサポート(チャンネル5のみ) • SCIh スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート • SCli 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 |
| | I ² Cバスインタフェース(RIICa) | <ul style="list-style-type: none"> • 2チャンネル(チャンネル0のみFM+に対応可能) 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート：1Mbps(チャンネル0) • ELCによるイベントリンク機能をサポート |
| | シリアルペリフェラルインタフェース(RSPIc) | <ul style="list-style-type: none"> • 2チャンネル • RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 • データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8～16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 • バッファ構成 送信/受信バッファ構成はダブルバッファ • マスタ受信時、RSPCKは受信バッファフルで自動停止可能 • ELCによるイベントリンク機能をサポート |
| | クワッドシリアルペリフェラルインタフェース(QSPI) | <ul style="list-style-type: none"> • 1チャンネル • マルチI/O (Single/Dual/Quad)対応のシリアルフラッシュメモリと接続可能 • プログラマブルなビット長、クロック極性、クロック位相を選択可能 • 転送をシーケンシャルに実行可能 • MSBファースト/LSBファーストの選択可能 |

表 1.1 仕様概要 (6 / 7)

| 分類 | モジュール/機能 | 説明 |
|-------------------------|------------------------|--|
| SDホストインタフェース (SDHI) | | <ul style="list-style-type: none"> 1チャンネル 転送スピード：ハイスピードモード(25MB/s)、デフォルトスピードモード(12.5MB/s) SDメモリ/IOカードインタフェース(1ビット/4ビットSDバス) SD Specifications Part 1：Physical Layer Specification Ver.3.01 準拠(DDR未対応) Part E1：SDIO Specification Ver. 3.00 エラーチェック機能：CRC7 (コマンド)、CRC16 (データ) 割り込み要因：カードアクセス割り込み、SDIOアクセス割り込み、カード検出割り込み、SDバッファアクセス割り込み DMA転送要因：SD_BUFライト、SD_BUFリード カード検出機能、ライトプロテクトをサポート |
| SDスレーブインタフェース (SDSI) | | <ul style="list-style-type: none"> 1チャンネル SDIO Card Spec Ver.2.00に準拠(CSAは未サポート) 1bit SD/4bit SD/SPIモード対応 SDIO Proprietaryコマンドをサポート SD/SPI Mandatoryコマンドをサポート 割り込み要因：6種類 |
| 12ビットA/Dコンバータ (S12ADFa) | | <ul style="list-style-type: none"> 12ビット×2ユニット(ユニット0：4チャンネル、ユニット1：11チャンネル) 分解能：12ビット(12ビット/10ビット/8ビットの分解能切り替え可能) 変換時間 1チャンネル当たり(0.48 μs) (12ビット変換モード) 1チャンネル当たり(0.45 μs) (10ビット変換モード) 1チャンネル当たり(0.42 μs) (8ビット変換モード) 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループ優先制御動作(3グループスキャンモードのみ) サンプル&ホールド機能 ユニット共通のサンプル&ホールド回路を搭載 上記に加え、チャンネル専用サンプル&ホールド回路を3チャンネル搭載(ユニット0のみ) サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 デジタルコンペア機能 方式：大小比較、またはウィンドウ比較 手段：2つの変換結果を比較、または比較レジスタと変換結果を比較 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧を生成可能 (ユニット0：VREFL0, VREFH0 × 1/2, VREFH0、ユニット1：AVSS1, AVCC1 × 1/2, AVCC1) ダブルトリガモード(A/D変換データ二重化機能) アナログ入力断線検出機能 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ(MTU3, TMR, TPU)のトリガ、外部トリガ ELCによるイベントリンク機能をサポート |
| 温度センサ | | <ul style="list-style-type: none"> 1チャンネル 相対精度：±1°C 温度を電圧に変換し12ビットA/Dコンバータ(ユニット1)でデジタル化 |
| セーフティ | メモリプロテクションユニット (MPU) | <ul style="list-style-type: none"> プロテクションエリア：0000 0000h ~ FFFF FFFFh 範囲内で最大8エリアを設定可能 最小保護単位：16バイト 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 設定エリア外へのアクセス検出時、アクセス例外が発生 |
| | Trusted Memory (TM) 機能 | <ul style="list-style-type: none"> コードフラッシュメモリのTM対象領域に対するプログラムのリード防止機能 TM機能有効時はCPUによる命令フェッチのみ実行可能、データリード防止 |
| | レジスタライトプロテクション | <ul style="list-style-type: none"> プログラムが暴走したときに備え、重要なレジスタの書き換えを防止 |

表 1.1 仕様概要 (7 / 7)

| 分類 | モジュール/機能 | 説明 |
|-------------|--------------------------|---|
| セーフティ | CRC 演算 (CRCA) | <ul style="list-style-type: none"> 8ビット/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ 3つの多項式から選択可能 $X^8 + X^2 + X + 1, X^{16} + X^{15} + X^2 + 1, X^{16} + X^{12} + X^5 + 1$ 32ビットデータ 2つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1,$ $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ LSB ファースト / MSB ファースト通信用CRCコード生成の選択が可能 |
| | メインクロック発振停止 検出機能 | <ul style="list-style-type: none"> メインクロック発振停止検出：あり |
| | クロック周波数精度測定 回路 (CAC) | <ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、IWDI専用オンチップオシレータ、およびPCLKBにおける出カクロック周波数の異常を監視可能 |
| | データ演算回路 (DOC) | <ul style="list-style-type: none"> 16ビットのデータを比較/加算/減算する機能 |
| 暗号機能 | Trusted Secure IP (TSIP) | <ul style="list-style-type: none"> セキュリティアルゴリズム 共通鍵暗号：AES (NIST FIPS PUB 197 準拠), 3DES, ARC4 非共通鍵暗号：RSA その他の特長 TRNG (真性乱数生成回路) Hash 値生成：SHA1, SHA224, SHA256, GHASH 鍵の不正コピー防止 |
| 動作周波数 | | 120MHz max |
| 電源電圧 | | VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = 2.7 ~ 3.6V, $2.7 \leq VREFH0 \leq AVCC0$, $V_{BATT} = 2.0 \sim 3.6V$ |
| 動作周囲温度 | | -40 ~ +85°C |
| パッケージ | | 145ピンTFBGA (PTBG0145KB-A) |
| デバックインタフェース | | JTAGおよびFINEインタフェース |

注1. Magic Packet™は、Advanced Micro Devices, Inc.の登録商標です。

注2. リアルタイムクロックを使用しない場合、「RX65Nグループ、RX651グループ ユーザーズマニュアル ハードウェア編」の「31.6.7 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロック内のレジスタを初期化してください。

1.2 型名別機能一覧および製品間の仕様相違点

表 1.2 に型名別機能一覧および製品間の仕様相違点を示します。

RF トランシーバ以外の CPU、システム制御機能、周辺機能などの詳細については「RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編」を、RF トランシーバの詳細については「R9A06G062GNP Sub-GHz トランシーバユーザーズマニュアル ハードウェア編」を参照してください。

表 1.2 型名別機能一覧および製品間の仕様相違点 (1 / 2)

| 分類 | 機能 | 製品(型名) | | | |
|-----------------------------|-----------------------|---------------------------------------|-------------------------|--|---------------------------|
| | | RX65N (R5F565NEHDFC) | RX651 (R5F5651EDDFC) | RX65W-A (R5F565WEADBF) | RX65W-A (R5F565WEMDBF) |
| コードフラッシュメモリ | コードフラッシュメモリ容量 | 2M バイト | | | |
| | デュアルバンク機能 | あり | | | |
| | BGO機能 | あり | | | |
| データフラッシュメモリ | | 32K バイト | | | |
| RAM | | 640K バイト (256K バイト + 拡張 RAM 384K バイト) | | | |
| 外部バス | 外部バス幅 | 32/16/8 ビット | | なし | |
| | SDRAM 領域コントローラ | あり | | なし | |
| 外部割り込み | | NMI, IRQ0 ~ IRQ15 | | NMI, IRQ0 ~ IRQ14 | |
| DMA | DMA コントローラ | ch0 ~ 7 | | | |
| | データトランスファコントローラ | あり | | | |
| | EXDMA コントローラ | ch0, 1 | | なし | |
| タイマ | 16 ビット タイマパルスユニット | ch0 ~ 5 | | ch0, 1, 3 ~ 5 | |
| | マルチファンクションタイマパルスユニット3 | ch0 ~ 8 | | | |
| | ポートアウトプットイネーブル3 | あり | | | |
| | プログラマブルパルスジェネレータ | ch0, 1 | | なし | |
| | 8 ビット タイマ | ch0 ~ 3 | | | |
| | コンペアマッチタイマ | ch0 ~ 3 | | | |
| | コンペアマッチタイマW | ch0, 1 | | | |
| | リアルタイムクロック | あり | | | |
| | ウォッチドッグタイマ | あり | | | |
| | 独立ウォッチドッグタイマ | あり | | | |
| | 通信 | RF トランシーバ | なし | | あり |
| イーサネットコントローラ | | ch0 | なし | ch0 (RMII のみ) | なし |
| イーサネットコントローラ用 DMA コントローラ | | ch0 | なし | ch0 | なし |
| USB2.0 FS ホスト/ファンクションモジュール | | ch0 | | ch0 (ファンクションコントローラ機能のみ) | |
| シリアルコミュニケーションインタフェース (SClg) | | ch0 ~ 9 | | ch1 ~ 6, 8, 9 (ch2, 3 はクロック同期、および簡易 SPI 未サポート) | |
| シリアルコミュニケーションインタフェース (SClh) | | ch12 | | ch12 (簡易 SPI 未サポート) | |
| シリアルコミュニケーションインタフェース (SCli) | | ch10, 11 | | | |
| I ² C バスインタフェース | | ch0 ~ 2 | | ch0, 2 | |
| シリアルペリフェラルインタフェース | | ch0 ~ 2 | | ch0, 1 | |
| CAN モジュール | | ch0, 1 | | なし | |
| クワッドシリアルペリフェラルインタフェース | | ch0 | | | |

表 1.2 型名別機能一覧および製品間の仕様相違点 (2 / 2)

| 分類 | 機能 | 製品(型名) | | | |
|---------------------------|-----------------------|---------------------------|-------------------------|--|---------------------------|
| | | RX65N (R5F565NEHDFC) | RX651 (R5F5651EDDFC) | RX65W-A (R5F565WEADBF) | RX65W-A (R5F565WEMDBF) |
| 通信 | SDホストインタフェース | あり | | あり | なし |
| | SDスレーブインタフェース | あり | | あり | なし |
| | MMCホストインタフェース | あり | | | なし |
| | パラレルデータキャプチャユニット | あり | | | なし |
| グラフィック | グラフィックLCDコントローラ | あり | | | なし |
| | 2D描画エンジン | あり | | | なし |
| 12ビットA/Dコンバータ | | AN000 ~ 007 (ユニット0 : 8本) | | AN000 ~ 003 (ユニット0 : 4本) | |
| | | AN100 ~ 120 (ユニット1 : 21本) | | AN100, 102 ~ 107, 110 ~ 113 (ユニット1 : 11本) | |
| 12ビットD/Aコンバータ | | ch0, 1 | | なし | |
| 温度センサ | | あり | | | |
| セーフティ | メモリプロテクションユニット(MPU) | あり | | | |
| | Trusted Memory (TM)機能 | あり | | | |
| | レジスタライトプロテクション | あり | | | |
| | CRC演算器 | あり | | | |
| | メインクロック発振停止検出機能 | あり | | | |
| | クロック周波数精度測定回路(CAC) | あり | | | |
| | データ演算回路(DOC) | あり | | | |
| 暗号 | Trusted Secure IP | あり | なし | あり | なし |
| イベントリンクコントローラ | | あり | | | |
| オフボードプログラミング(パラレルライターモード) | | あり | | なし | |

1.3 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

| グループ | 型名 | パッケージ | コード フラッシュ メモリ容量 | RAM容量 | データ フラッシュ メモリ容量 | 動作周波数 (max) | 暗号 | ETHERC | SDHI/ SDSI | 動作周囲 温度(°C) |
|---------|--------------|--------------|-----------------------|---------|-----------------------|----------------|----|--------|---------------|----------------|
| RX65W-A | R5F565WEADBF | PTBG0145KB-A | 2Mバイト | 640Kバイト | 32Kバイト | 120MHz | あり | あり | あり | -40~+85 |
| | なし | | | | | | なし | なし | | |

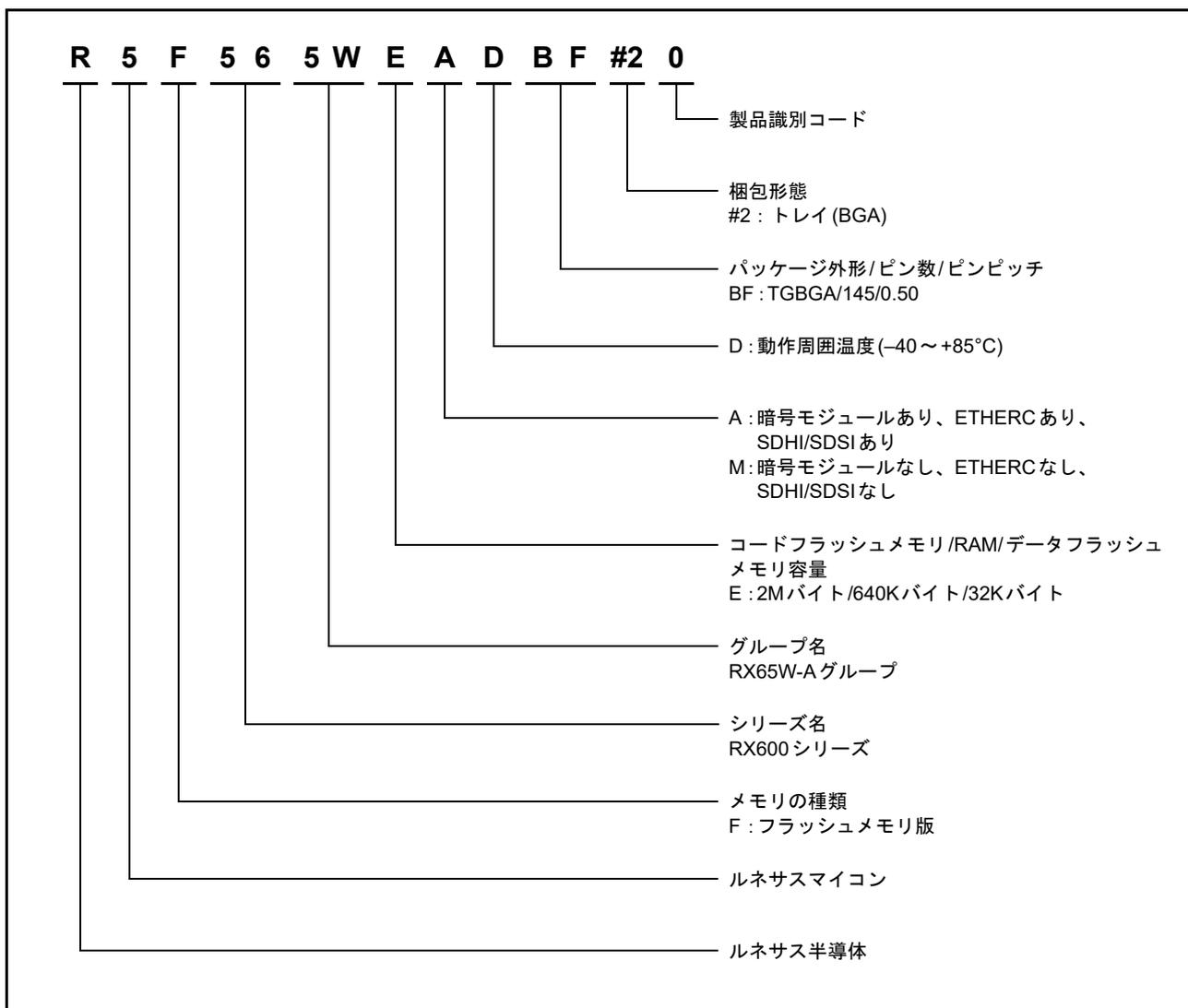


図 1.1 型名とメモリサイズ・パッケージ

1.4 ブロック図

図 1.2 にブロック図を示します。

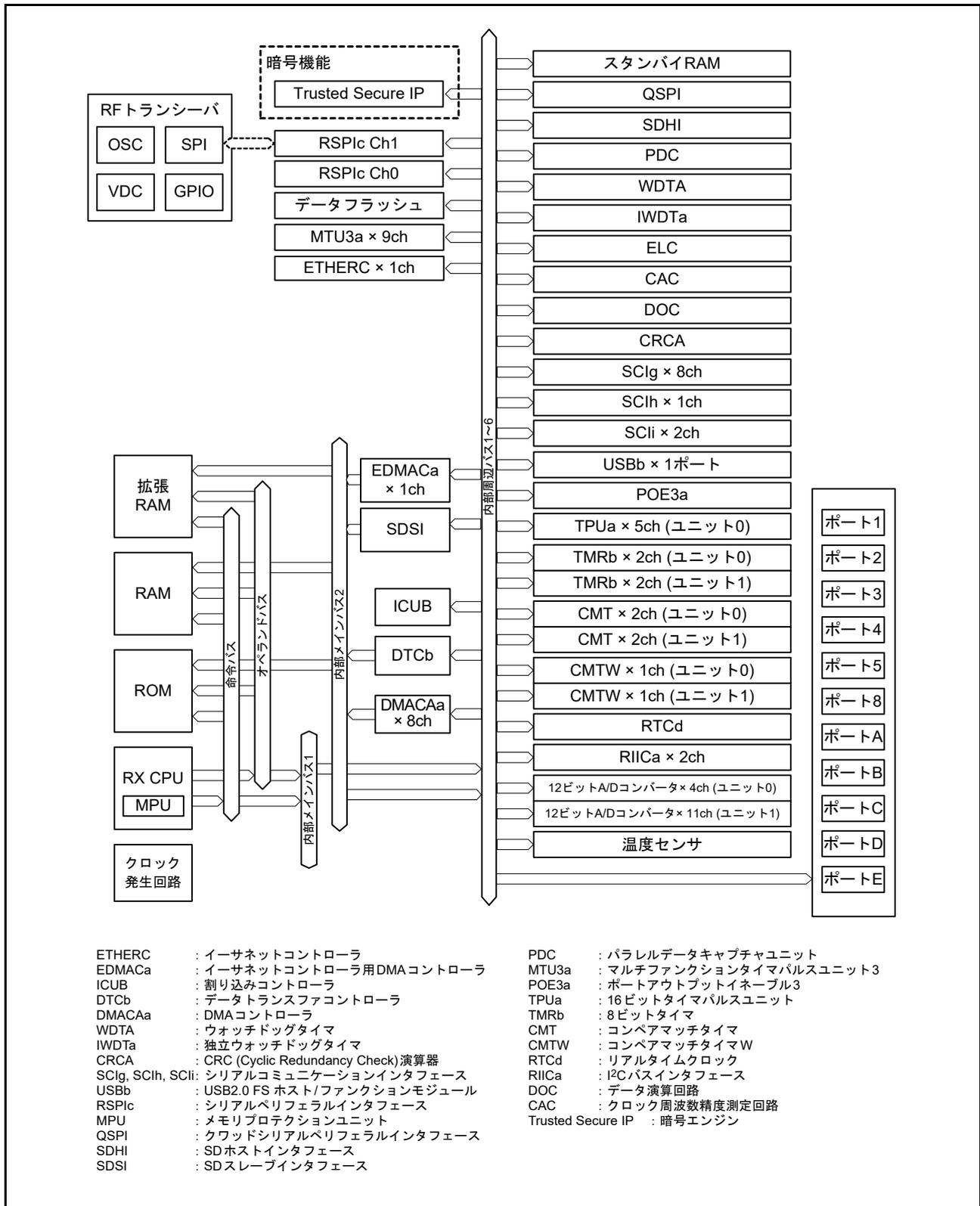


図 1.2 ブロック図

1.5 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 6)

| 分類 | 端子名 | 入出力 | 機能 |
|---------------------------|---|-----|--|
| デジタル電源 | VCC | 入力 | 電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください |
| | VCL | 入力 | 0.22μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください |
| | VSS | 入力 | デジタルおよびRF用グランド端子です。システムの電源(0V)に接続してください |
| | VBATT | 入力 | バックアップ電源端子 |
| クロック | XTAL | 出力 | 水晶振動子接続端子。EXTAL端子は外部クロックを入力することもできます |
| | EXTAL | 入力 | |
| | XCOUT | 出力 | サブクロック発振器の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください |
| | XCIN | 入力 | |
| クロック周波数精度測定 | CACREF | 入力 | クロック周波数精度測定回路のリファレンスクロック入力端子 |
| 動作モードコントロール | MD | 入力 | 動作モードを設定。この端子は、動作中に変化させないでください |
| | UB | 入力 | USBブートモードイネーブル端子 |
| | UPSEL | 入力 | USBブートモード時の電源供給方式を選択 Lowでセルフパワー、Highでバスパワーを選択 |
| システム制御 | RES# | 入力 | リセット端子。この端子がLowになると、リセット状態となります |
| | EMLE | 入力 | オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowとしてください |
| | BSCANP | 入力 | バウンダリスキャン許可端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください |
| オンチップエミュレータ | FINED | 入出力 | FINEインタフェース端子 |
| | TRST# | 入力 | |
| | TMS | 入力 | |
| | TDI | 入力 | |
| | TCK | 入力 | |
| | TDO | 出力 | |
| 割り込み | NMI | 入力 | ノンマスカブル割り込み要求端子 |
| | IRQ2~IRQ7, IRQ11~IRQ14, IRQ0-DS, IRQ1-DS, IRQ4-DS~IRQ11-DS | 入力 | 割り込み要求端子 |
| マルチファンクション タイマパルスユニット3 | MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D | 入出力 | TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |
| | MTIOC1A, MTIOC1B | 入出力 | TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |
| | MTIOC2A, MTIOC2B | 入出力 | TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |
| | MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D | 入出力 | TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |
| | MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D | 入出力 | TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |

表 1.4 端子機能一覧 (2 / 6)

| 分類 | 端子名 | 入出力 | 機能 |
|--|---|-----|--|
| マルチファンクション タイマパルスユニット3 | MTIC5U, MTIC5V, MTIC5W | 入力 | TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/ デッドタイム補償機能の入力端子 |
| | MTIOC6A, MTIOC6C | 入出力 | TGRA6、TGRC6のインプットキャプチャ入力/アウトプット コンペア出力/PWM出力端子 |
| | MTIOC7A, MTIOC7B | 入出力 | TGRA7、TGRB7のインプットキャプチャ入力/アウトプット コンペア出力/PWM出力端子 |
| | MTIOC8A, MTIOC8B, MTIOC8C, MTIOC8D | 入出力 | TGRA8～TGRD8のインプットキャプチャ入力/アウトプット コンペア出力/PWM出力端子 |
| | MTCLKA, MTCLKB, MTCLKC, MTCLKD | 入力 | 外部クロックを入力、または位相計数モードクロック入力 端子 |
| ポートアウトプット イネーブル3 | POE0#, POE4#, POE8#, POE10#, POE11# | 入力 | MTUをハイインピーダンス状態にする要求信号を入力 |
| 16ビットタイマパルス ユニット | TIOCB0, TIOCD0 | 入出力 | TGRB0、TGRD0のインプットキャプチャ入力/アウトプット コンペア出力/PWM出力端子 |
| | TIOCA1, TIOCB1 | 入出力 | TGRA1、TGRB1のインプットキャプチャ入力/アウトプット コンペア出力/PWM出力端子 |
| | TIOCA3, TIOCB3, TIOCC3, TIOCD3 | 入出力 | TGRA3～TGRD3のインプットキャプチャ入力/アウトプット コンペア出力/PWM出力端子 |
| | TIOCA4, TIOCB4 | 入出力 | TGRA4、TGRB4のインプットキャプチャ入力/アウトプット コンペア出力/PWM出力端子 |
| | TIOCA5, TIOCB5 | 入出力 | TGRA5、TGRB5のインプットキャプチャ入力/アウトプット コンペア出力/PWM出力端子 |
| | TCLKB, TCLKC, TCLKD | 入力 | 外部クロックを入力、または位相計数モードクロック入力 端子 |
| 8ビットタイマ | TMO0～TMO3 | 出力 | コンペアマッチ出力端子 |
| | TMC10～TMC13 | 入力 | カウンタに入力する外部クロックの入力端子 |
| | TMRI0～TMRI3 | 入力 | カウンタリセット入力端子 |
| コンペアマッチタイマW | TIC0～TIC3 | 入力 | CMTWの入力端子 |
| | TOC0～TOC2 | 出力 | CMTWの出力端子 |
| シリアル コミュニケーション インタフェース (SClg) | • 調歩同期モード/クロック同期モード | | |
| | SCK1, SCK4～SCK6, SCK8, SCK9 | 入出力 | クロック入出力端子 |
| | RXD1～RXD6, RXD8, RXD9 | 入力 | 受信データ入力端子 |
| | TXD1～TXD6, TXD8, TXD9 | 出力 | 送信データ出力端子 |
| | CTS1#, CTS3#～CTS6#, CTS8#, CTS9# | 入力 | 送受信開始制御用入力端子 |
| | RTS1#, RTS3#～RTS6#, RTS8#, RTS9# | 出力 | 送受信開始制御用出力端子 |
| | • 簡易I ² Cモード | | |
| | SSCL1～SSCL6, SSCL8, SSCL9 | 入出力 | I ² Cクロック入出力端子 |
| | SSDA1～SSDA6, SSDA8, SSDA9 | 入出力 | I ² Cデータ入出力端子 |
| | • 簡易SPIモード | | |
| | SCK1, SCK4～SCK6, SCK8, SCK9 | 入出力 | クロック入出力端子 |
| | SMISO1, SMISO4～ SMISO6, SMISO8, SMISO9 | 入出力 | スレーブ送出データ入出力端子 |
| | SMOSI1, SMOSI4～ SMOSI6, SMOSI8, SMOSI9 | 入出力 | マスタ送出データ入出力端子 |
| | SS1#, SS4#～SS6#, SS8#, SS9# | 入力 | チップセレクト入力端子 |

表 1.4 端子機能一覧 (3 / 6)

| 分類 | 端子名 | 入出力 | 機能 |
|--|-------------------------|-----|--|
| シリアル コミュニケーション インタフェース (SCLh) | • 調歩同期モード/クロック同期モード | | |
| | SCK12 | 入出力 | クロック入出力端子 |
| | RXD12 | 入力 | 受信データ入力端子 |
| | TXD12 | 出力 | 送信データ出力端子 |
| | • 簡易I ² Cモード | | |
| | SSCL12 | 入出力 | I ² Cクロック入出力端子 |
| | SSDA12 | 入出力 | I ² Cデータ入出力端子 |
| | • 拡張シリアルモード | | |
| | RXDX12 | 入力 | 受信データ入力端子 |
| | TXDX12 | 出力 | 送信データ出力端子 |
| | SIOX12 | 入出力 | 送受信データ入出力端子 |
| シリアル コミュニケーション インタフェース (SCLi) | • 調歩同期モード/クロック同期モード | | |
| | SCK10, SCK11 | 入出力 | クロック入出力端子 |
| | RXD10, RXD11 | 入力 | 受信データ入力端子 |
| | TXD10, TXD11 | 出力 | 送信データ出力端子 |
| | CTS10#, CTS11# | 入力 | 送受信開始制御用入力端子 |
| | RTS10#, RTS11# | 出力 | 送受信開始制御用出力端子 |
| | • 簡易I ² Cモード | | |
| | SSCL10, SSCL11 | 入出力 | I ² Cクロック入出力端子 |
| | SSDA10, SSDA11 | 入出力 | I ² Cデータ入出力端子 |
| | • 簡易SPIモード | | |
| | SCK10, SCK11 | 入出力 | クロック入出力端子 |
| | SMISO10, SMISO11 | 入出力 | スレーブ送出データ入出力端子 |
| | SMOSI10, SMOSI11 | 入出力 | マスタ送出データ入出力端子 |
| | SS10#, SS11# | 入力 | チップセレクト入力端子 |
| I ² Cバスインタフェース | SCL0[FM+], SCL2-DS | 入出力 | クロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます |
| | SDA0[FM+], SDA2-DS | 入出力 | データ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます |
| イーサネットコントローラ | REF50CK0 | 入力 | 50MHz基準クロック。RMIIモード時の送受信信号タイミング参照信号 |
| | RMII0_CRS_DV | 入力 | RMIIモード時、キャリア検出信号。有効な受信データがRMII0_RXD1~0上にあることを示す信号 |
| | RMII0_TXD0, RMII0_TXD1 | 出力 | RMIIモード時、2ビットの送信データ |
| | RMII0_RXD0, RMII0_RXD1 | 入力 | RMIIモード時、2ビットの受信データ |
| | RMII0_TXD_EN | 出力 | RMIIモード時、データ送信イネーブル信号 |
| | RMII0_RX_ER | 入力 | RMIIモード時、データ受信中にエラーが発生したことを示す信号 |
| | ET0_LINKSTA | 入力 | PHY-LSIからのリンク状態を入力 |
| | ET0_WOL | 出力 | Magic Packet受信を示す信号 |
| | ET0_MDC | 出力 | ET0_MDIOによる情報転送用の参照クロック信号 |
| | ET0_MDIO | 入出力 | 本MCUとPHY-LSIとの間で管理情報を交換するための双方向信号 |
| USB2.0 FSホスト/ファンクションモジュール | VCC_USB | 入力 | 電源端子 |
| | VSS_USB | 入力 | グランド端子 |
| | USB0_DP | 入出力 | USBバスのD+データ |
| | USB0_DM | 入出力 | USBバスのD-データ |
| | USB0_VBUS | 入力 | USBケーブルの接続/切断検出入力端子 |

表 1.4 端子機能一覧 (4 / 6)

| 分類 | 端子名 | 入出力 | 機能 |
|---------------------------|--|-----|--|
| シリアルペリフェラル インタフェース | RSPCKA/RSPCKB | 入出力 | クロック入出力端子 |
| | MOSIA/MOSIB | 入出力 | マスタ送出データ入出力端子 |
| | MISOA/MISOB | 入出力 | スレーブ送出データ入出力端子 |
| | SSLA0/SSLB0 | 入出力 | スレーブセレクト入出力端子 |
| | SSLA1/SSLB1, SSLA2/SSLB2, SSLB3 | 出力 | スレーブセレクト出力端子 |
| クワッドシリアルペリ フェラルインタフェース | QSPCLK | 出力 | QSPIのクロック出力端子 |
| | QSSL | 出力 | QSPIのスレーブ出力端子 |
| | QMO, QIO0 | 入出力 | マスタ送出データ/データ0 |
| | QMI, QIO1 | 入出力 | マスタ入力データ/データ1 |
| | QIO2, QIO3 | 入出力 | データ2、データ3 |
| SDホストインタフェース | SDHI_CLK | 出力 | SDクロック出力端子 |
| | SDHI_CMD | 入出力 | SDコマンド出力、レスポンス入力信号端子 |
| | SDHI_D0, SDHI_D1, SDHI_D2, SDHI_D3 | 入出力 | SDデータバス端子 |
| | SDHI_CD | 入力 | SDカード検出端子 |
| | SDHI_WP | 入力 | SDライトプロテクト信号 |
| SDスレーブインタ フェース | SDSI_CLK | 入力 | SDクロック入力端子 |
| | SDSI_CMD | 入出力 | SDコマンド入力、レスポンス出力信号端子 |
| | SDSI_D0, SDSI_D1, SDSI_D2, SDSI_D3 | 入出力 | SDデータバス端子 |
| リアルタイムクロック | RTCOUT | 出力 | 1Hz/64Hzのクロック出力端子 |
| | RTCIC0, RTCIC1 | 入力 | 時間キャプチャイベント入力端子 |
| 12ビットA/Dコンバータ | AN000 ~ AN003, AN100, AN102 ~ AN107, AN110 ~ AN113 | 入力 | A/Dコンバータのアナログ入力端子 |
| | ADTRG0#, ADTRG1# | 入力 | A/D変換開始のための外部トリガ入力端子 |
| | ANEX0 | 出力 | 拡張アナログ出力端子 |
| | ANEX1 | 入力 | 拡張アナログ入力端子 |
| アナログ電源 | AVCC0 (注1) | 入力 | 12ビットA/Dコンバータ(ユニット0)のアナログ電源端子。電源供給元から分岐させて、VCCと接続してください。0.1μFの積層セラミックコンデンサを介してAVSS0に接続してください。コンデンサは端子近くに配置してください |
| | AVSS0 (注1) | 入力 | 12ビットA/Dコンバータ(ユニット0)のアナロググランド端子。グランド供給元から分岐させて、VSSと接続してください。0.1μFの積層セラミックコンデンサを介してAVCC0に接続してください。コンデンサは端子近くに配置してください |
| | VREFH0 | 入力 | 12ビットA/Dコンバータ(ユニット0)の基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください |
| | VREFL0 | 入力 | 12ビットA/Dコンバータ(ユニット0)の基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください |

表 1.4 端子機能一覧 (5 / 6)

| 分類 | 端子名 | 入出力 | 機能 |
|----------|--------------------|------------------|--|
| アナログ電源 | AVCC1 (注1) | 入力 | 12ビットA/Dコンバータ(ユニット1)のアナログ電源と基準電源の端子です。また、温度センサのアナログ電源端子にもなっています。電源供給元から分岐させて、VCCと接続してください。0.1 μ Fの積層セラミックコンデンサを介してAVSS1に接続してください。コンデンサは端子近くに配置してください |
| | AVSS1 (注1) | 入力 | 12ビットA/Dコンバータ(ユニット1)のアナロググランドと基準グランドの端子です。また、温度センサのアナロググランド端子にもなっています。グランド供給元から分岐させて、VSSと接続してください。0.1 μ Fの積層セラミックコンデンサを介してAVCC1に接続してください。コンデンサは端子近くに配置してください |
| I/Oポート | P12, P13, P16, P17 | 入出力 | 4ビットの入出力端子 |
| | P26, P27 | 入出力 | 2ビットの入出力端子 |
| | P30, P31, P34~P37 | 入出力 | 6ビットの入出力端子(P35は入力端子) |
| | P40~P43 | 入出力 | 4ビットの入出力端子 |
| | P53 | 入出力 | 1ビットの入出力端子 |
| | P80~P82 | 入出力 | 3ビットの入出力端子 |
| | PA1~PA4 | 入出力 | 4ビットの入出力端子 |
| | PB0~PB7 | 入出力 | 8ビットの入出力端子 |
| | PC0, PC1, PC4~PC7 | 入出力 | 6ビットの入出力端子 |
| | PD2~PD7 | 入出力 | 6ビットの入出力端子 |
| | PE0~PE2, PE4~PE7 | 入出力 | 7ビットの入出力端子 |
| RFトランシーバ | SIN | 入力 (D) | シリアル入力 |
| | SOUT | 出力 (D) | シリアル出力 |
| | SCLK | 入力 (D) | シリアルクロック |
| | SEN | 入力 (D) | シリアルイネーブル |
| | VREG_DIG | 出力 (A) | デジタル回路用内部安定化アナログ電源出力 (1.1V) |
| | GPIO0~GPIO12 | 入出力 (D) | 汎用デジタルI/O 0~12 |
| | VCC_DA | 入力 (A) | デジタル/アナログ電源 (3.3V) |
| | VREG_RF | 出力 (A) | RF用内部安定化アナログ電源出力 (1.1V) |
| | RFIN | 入力 (A) | RX入力 |
| | VSS | 入力 (A) | デジタル及びRF用グランド端子です。システムの電源(0V)に接続してください |
| | RFOUT | 出力 (A) | TX出力 |
| | VREG_TXPA | 出力 (A) | パワーアンプ用内部安定化アナログ電源出力 (1.1V) |
| | VCC_RF | 入力 (A) | RF用電源 (3.3V) |
| | VREG_PLL | 出力 (A) | PLL用内部安定化アナログ電源出力 (1.1V) |
| | VREG_VCO | 出力 (A) | VCO用内部安定化アナログ電源出力 (1.1V) |
| | REXT | 入力 (A) | 外部リファレンス抵抗接続端子 |
| | VCC_A | 入力 (A) | アナログ回路用電源 (3.3V) |
| | XIN | 入力 (A) | 水晶発振器入力 |
| | XOUT | 入出力 (A) | 水晶発振器出力 |
| | CKOUT | 出力 (A) | クロック出力 (16MHz) |
| | REGIN | 入力 (A) | DDC_OUT電源入力 (1.4~1.8V) |
| | VSS_DDC | 入力 (A) | DC-DCコンバータ用グランド |
| | DDC_OUT | 出力 (A) | DC-DCコンバータ電圧出力 (1.4~1.8V) |
| | VCC_DDC | 入力 (A) | DC-DCコンバータ用電源 (3.3V) |
| VCC_D | 入力 (A) | デジタル回路用電源 (3.3V) | |

表 1.4 端子機能一覧 (6 / 6)

| 分類 | 端子名 | 入出力 | 機能 |
|-----------|------|--------|--------------------|
| RF トランシーバ | RSTB | 入力 (D) | リセットバー入力(アクティブ・ロー) |
| | MODE | 入力 (D) | モードスイッチ入力(ローレベル固定) |

(A) : アナログ、(D) : デジタル

注. 端子名については、以下の注意事項があります。詳細は、「1.6 ピン配置図」を参照してください。

- 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。
- RIICの端子名に[FM+]が付加されている端子は、ファストモードプラスに対応しています。

注1. 12ビットA/Dコンバータ、温度センサを使用しない場合、AVCC0、AVCC1端子はVCCに、AVSS0、AVSS1端子はVSSにそれぞれ接続してください。

1.6 ピン配置図

| | A | B | C | D | E | F | G | H | J | K | L | M | N | P | R | | |
|----|----------|---------|---------|--|-----------|--------|----------|----------|-------|-------|--------------|--------|-------|-------|---------|---------|-----|
| 15 | P53 | VSS_USB | USB0_DP | USB0_DM | VCC_USB | P17 | P16 | P27 | EXTAL | XTAL | XCOUT | XCIN | VCL | AVCC1 | AVCC0 | 15 | |
| 14 | P82 | PC5 | PC6 | PE0 | PC0 | P12 | P13 | P26 | P34 | VCC | VSS | RES# | VBATT | AVSS1 | AVSS0 | 14 | |
| 13 | PC4 | P80 | P81 | PC7 | PE1 | PC1 | MODE | P31 | P30 | P35 | MD/ FINED | BSCANP | P40 | EMLE | VREFH0 | 13 | |
| 12 | PE7 | PE6 | SIN | RX65W-A グループ PTBG0145KB-A (145ピン TFBGA) (上面透視図) | | | | | | | | | P42 | P41 | VREFL0 | 12 | |
| 11 | SOUT | PE5 | SCLK | | | | | | | | | | PD3 | PD2 | P43 | 11 | |
| 10 | PE4 | SEN | RSTB | | | | | | | | | | PD4 | PD5 | PD7 | 10 | |
| 9 | VREG_DIG | GPIO0 | GPIO1 | | | | | | | | | | PD6 | PB1 | PE2 | 9 | |
| 8 | GPIO4 | VSS | GPIO3 | | | | | | | | | | PA1 | PB0 | PA2 | 8 | |
| 7 | GPIO6 | GPIO2 | VSS | | | | | | | | | | PA4 | PA3 | VSS | 7 | |
| 6 | GPIO5 | GPIO8 | GPIO7 | | | | | | | | | | PB4 | PB2 | VCC | 6 | |
| 5 | VCC_DA | VSS | VSS | | | | | | | | | | PB3 | PB5 | VCC_D | 5 | |
| 4 | VREG_RF | GPIO10 | GPIO9 | | | | | | | | | | VSS | PB7 | PB6 | VCC_DDC | 4 |
| 3 | GPIO11 | GPIO12 | VSS | | | | | | | | | | VSS | VSS | VSS | VSS | VSS |
| 2 | VSS | VSS | VSS | VSS | VSS | VSS | VSS | VSS | VSS | VSS | VSS | VSS | VSS | VSS | VSS_DDC | 2 | |
| 1 | RFIN | VSS | RFOUT | VSS | VREG_TXPA | VCC_RF | VREG_PLL | VREG_VCO | REXT | VCC_A | XIN | XOUT | CKOUT | VSS | REGIN | 1 | |

注. ピン配置図には、電源端子、I/Oポートを記載しています。
 端子構成は、「表 1.5 機能別端子一覧(145ピンTFBGA)」をご確認ください。

図 1.3 ピン配置図 (145ピン TFBGA)

1.7 機能別端子一覧

表 1.5 機能別端子一覧(145ピンTFBGA) (1 / 5)

| ピン番号 145ピン TFBGA | 電源 クロック システム制御 | I/Oポート | タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC) | 通信 (ETHERC, SCI, RSPI, RIIC, USB) | カメラ I/F (QSPI, SDHI, SDSI) | 割り込み | A/D | RFトラン シーバ |
|------------------------|----------------------|--------|---|---|----------------------------------|------|-------|--------------|
| A1 | | | | | | | | RFIN |
| A2 | VSS | | | | | | | |
| A3 | | | | | | | | GPIO11 |
| A4 | | | | | | | | VREG_RF |
| A5 | VCC_DA | | | | | | | |
| A6 | | | | | | | | GPIO5 |
| A7 | | | | | | | | GPIO6 |
| A8 | | | | | | | | GPIO4 |
| A9 | | | | | | | | VREG_DIG |
| A10 | | PE4 | MTIOC4D/ MTIOC1A | SSLB0 | | | AN102 | |
| A11 | | | | | | | | SOUT |
| A12 | | PE7 | MTIOC6A/TOC1 | MISOB | SDHI_WP | IRQ7 | AN105 | |
| A13 | | PC4 | MTIOC3D/ MTCLKC/TMC11/ POE0# | SCK5/CTS8#/ RTS8#/SS8#/ SS10#/CTS10#/ RTS10#/SSLA0 | | | | |
| A14 | | P82 | MTIOC4A | RMII0_TXD1/ SMOS110/SSDA10/ TXD10 | | | | |
| A15 | | P53 | | | | | | |
| B1 | VSS | | | | | | | |
| B2 | VSS | | | | | | | |
| B3 | | | | | | | | GPIO12 |
| B4 | | | | | | | | GPIO10 |
| B5 | VSS | | | | | | | |
| B6 | | | | | | | | GPIO8 |
| B7 | | | | | | | | GPIO2 |
| B8 | VSS | | | | | | | |
| B9 | | | | | | | | GPIO0 |
| B10 | | | | | | | | SEN |
| B11 | | PE5 | MTIOC4C/ MTIOC2B | REF50CK0/ RSPCKB | | IRQ5 | AN103 | |
| B12 | | PE6 | MTIOC6C/TIC1 | MOSIB | SDHI_CD | IRQ6 | AN104 | |
| B13 | | P80 | MTIOC3B | RMII0_TXD_EN/ SCK10/RTS10# | SDHI_WP | | | |
| B14 | | PC5 | MTIOC3B/ MTCLKD/TMRI2 | SCK8/SCK10/ RSPCKA | | | | |
| B15 | VSS_USB | | | | | | | |
| C1 | | | | | | | | RFOUT |
| C2 | VSS | | | | | | | |
| C3 | VSS | | | | | | | |
| C4 | | | | | | | | GPIO9 |
| C5 | VSS | | | | | | | |

表 1.5 機能別端子一覧(145ピンTFBGA) (2 / 5)

| ピン番号 145ピン TFBGA | 電源 クロック システム制御 | I/Oポート | タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC) | 通信 (ETHERC, SCI, RSPI, RIIC, USB) | カメラI/F (QSPI, SDHI, SDSI) | 割り込み | A/D | RFトラン シーバ |
|------------------------|----------------------|--------|---|--|---------------------------------|-------|---------|--------------|
| C6 | | | | | | | | GPIO7 |
| C7 | VSS | | | | | | | |
| C8 | | | | | | | | GPIO3 |
| C9 | | | | | | | | GPIO1 |
| C10 | | | | | | | | RSTB |
| C11 | | | | | | | | SCLK |
| C12 | | | | | | | | SIN |
| C13 | | P81 | MTIOC3D | RMII0_TXD0/ SMISO10/SSCL10/ RXD10 | SDHI_CD | | | |
| C14 | | PC6 | MTIOC3C/ MTCLKA/TMC12/ TIC0 | RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA | | IRQ13 | | |
| C15 | | | | USB0_DP | | | | |
| D1 | VSS | | | | | | | |
| D2 | VSS | | | | | | | |
| D3 | VSS | | | | | | | |
| D4 | VSS | | | | | | | |
| D13 | UB | PC7 | MTIOC3A/ MTCLKB/TMO2/ TOC0/CACREF | TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA | | IRQ14 | | |
| D14 | | PE0 | MTIOC3D | SCK12/SSLB1 | | | ANEX0 | |
| D15 | | | | USB0_DM | | | | |
| E1 | | | | | | | | VREG_TXPA |
| E2 | VSS | | | | | | | |
| E3 | VSS | | | | | | | |
| E13 | | PE1 | MTIOC4C/ MTIOC3B | TXD12/SSDA12/ TXDX12/SIOX12/ SSLB2 | | | ANEX1 | |
| E14 | | PC0 | MTIOC3C/TCLKC | CTS5#/RTS5#/ SS5#/SSLA1 | | IRQ14 | | |
| E15 | VCC_USB | | | | | | | |
| F1 | VCC_RF | | | | | | | |
| F2 | VSS | | | | | | | |
| F3 | VSS | | | | | | | |
| F13 | | PC1 | MTIOC3A/TCLKD | SCK5/SSLA2 | | IRQ12 | | |
| F14 | | P12 | MTIC5U/TMC1 | RXD2/SSCL2/ SCL0[FM+] | | IRQ2 | | |
| F15 | | P17 | MTIOC3A/ MTIOC3B/ MTIOC4B/TIOCB0/ TCLKD/TMO1/ POE8# | SCK1/TXD3/ SSDA3/SDA2-DS | | IRQ7 | ADTRG1# | |
| G1 | | | | | | | | VREG_PLL |
| G2 | VSS | | | | | | | |
| G3 | VSS | | | | | | | |

表 1.5 機能別端子一覧(145ピンTFBGA) (3 / 5)

| ピン番号 145ピン TFBGA | 電源 クロック システム制御 | I/Oポート | タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC) | 通信 (ETHERC, SCI, RSPI, RIIC, USB) | カメラI/F (QSPI, SDHI, SDSI) | 割り込み | A/D | RFトラン シーバ |
|------------------------|----------------------|--------|--|--|---------------------------------|---------|---------|--------------|
| G13 | | | | | | | | MODE |
| G14 | | P13 | MTIOC0B/TIOCA5/ TMO3 | TXD2/SSDA2/ SDA0[FM+] | | IRQ3 | ADTRG1# | |
| G15 | | P16 | MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ RTCOUT | TXD1/SMOSI1/ SSDA1/RXD3/ SSCL3/SCL2-DS/ USB0_VBUS | | IRQ6 | ADTRG0# | |
| H1 | | | | | | | | VREG_VCO |
| H2 | VSS | | | | | | | |
| H3 | VSS | | | | | | | |
| H13 | TMS | P31 | MTIOC4D/TMCI2/ RTCIC1 | CTS1#/RTS1#/ SS1# | | IRQ1-DS | | |
| H14 | TDO | P26 | MTIOC2A/TMO1 | TXD1/SMOSI1/ SSDA1/CTS3#/ RTS3# | | | | |
| H15 | TCK | P27 | MTIOC2B/TMCI3 | SCK1 | | | | |
| J1 | | | | | | | | REXT |
| J2 | VSS | | | | | | | |
| J3 | VSS | | | | | | | |
| J13 | TDI | P30 | MTIOC4B/TMRI3/ RTCIC0/POE8# | RXD1/SMISO1/ SSCL1 | | IRQ0-DS | | |
| J14 | TRST# | P34 | MTIOC0A/TMCI3/ POE10# | ET0_LINKSTA/ SCK6 | | IRQ4 | | |
| J15 | EXTAL | P36 | | | | | | |
| K1 | VCC_A | | | | | | | |
| K2 | VSS | | | | | | | |
| K3 | VSS | | | | | | | |
| K13 | UPSEL | P35 | | | | NMI | | |
| K14 | VCC | | | | | | | |
| K15 | XTAL | P37 | | | | | | |
| L1 | | | | | | | | XIN |
| L2 | VSS | | | | | | | |
| L3 | VSS | | | | | | | |
| L13 | MD/FINED | | | | | | | |
| L14 | VSS | | | | | | | |
| L15 | XCOU | | | | | | | |
| M1 | | | | | | | | XOUT |
| M2 | VSS | | | | | | | |
| M3 | VSS | | | | | | | |
| M13 | BSCANP | | | | | | | |
| M14 | RES# | | | | | | | |
| M15 | XCIN | | | | | | | |
| N1 | | | | | | | | CKOUT |
| N2 | VSS | | | | | | | |
| N3 | VSS | | | | | | | |

表 1.5 機能別端子一覧(145ピンTFBGA) (4 / 5)

| ピン番号 145ピン TFBGA | 電源 クロック システム制御 | I/Oポート | タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC) | 通信 (ETHERC, SCI, RSPI, RIIC, USB) | カメラI/F (QSPI, SDHI, SDSI) | 割り込み | A/D | RFトラン シーバ |
|------------------------|----------------------|--------|--|---|---------------------------------|----------|-------|--------------|
| N4 | | PB7 | MTIOC3B/TIOCB5 | RMII0_CRS_DV/ TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11 | SDSI_D1 | | | |
| N5 | | PB3 | MTIOC0A/ MTIOC4A/TIOCD3/ TCLKD/TMO0/ POE11# | RMII0_RX_ER/ SCK4/SCK6 | SDSI_D3 | | | |
| N6 | | PB4 | TIOCA4 | RMII0_TXD_EN/ CTS9#/RTS9#/ SS9#/SS11#/ CTS11#/RTS11# | SDSI_CMD | | | |
| N7 | | PA4 | MTIC5U/MTCLKA/ TIOCA1/TMRI0 | ET0_MDC/TXD5/ SMOSI5/SSDA5 | | IRQ5-DS | | |
| N8 | | PA1 | MTIOC0B/ MTCLKC/ MTIOC7B/TIOCB0 | ET0_WOL/SCK5 | | IRQ11 | | |
| N9 | | PD6 | MTIC5V/MTIOC8A/ POE4# | | QMO/QIO0/ SDHI_D0 | IRQ6 | AN106 | |
| N10 | | PD4 | MTIOC8B/POE11# | | QSSL/ SDHI_CMD | IRQ4 | AN112 | |
| N11 | | PD3 | MTIOC8D/TOC2/ POE8# | | QIO3/ SDHI_D3 | IRQ3 | AN111 | |
| N12 | | P42 | | | | IRQ10-DS | AN002 | |
| N13 | | P40 | | | | IRQ8-DS | AN000 | |
| N14 | VBATT | | | | | | | |
| N15 | VCL | | | | | | | |
| P1 | VSS | | | | | | | |
| P2 | VSS | | | | | | | |
| P3 | VSS | | | | | | | |
| P4 | | PB6 | MTIOC3D/TIOCA5 | RMII0_TXD1/RXD9/ SMISO9/SSCL9/ SMISO11/SSCL11/ RXD11 | SDSI_D0 | | | |
| P5 | | PB5 | MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/POE4# | RMII0_TXD0/SCK9/ SCK11 | SDSI_CLK | | | |
| P6 | | PB2 | TIOCC3/TCLKC | REF50CK0/CTS4#/ RTS4#/SS4#/ CTS6#/RTS6#/ SS6# | SDSI_D2 | | | |
| P7 | | PA3 | MTIOC0D/ MTCLKD/TIOCD0/ TCLKB | ET0_MDIO/RXD5/ SMISO5/SSCL5 | | IRQ6-DS | | |
| P8 | | PB0 | MTIC5W/TIOCA3 | RMII0_RXD1/ RXD4/SMISO4/ SSCL4/RXD6/ SMISO6/SSCL6 | | IRQ12 | | |
| P9 | | PB1 | MTIOC0C/ MTIOC4C/TIOCB3/ TMCIO | RMII0_RXD0/TXD4/ SMOSI4/SSDA4/ TXD6/SMOSI6/ SSDA6 | | IRQ4-DS | | |

表 1.5 機能別端子一覧(145ピンTFBGA) (5 / 5)

| ピン番号 145ピン TFBGA | 電源 クロック システム制御 | I/Oポート | タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC) | 通信 (ETHERC, SCI, RSPI, RIIC, USB) | カメラI/F (QSPI, SDHI, SDSI) | 割り込み | A/D | RFトラン シーバ |
|------------------------|----------------------|--------|---|---|---------------------------------|----------|-------|--------------|
| P10 | | PD5 | MTIC5W/ MTIOC8C/POE10# | | QSPCLK/ SDHI_CLK | IRQ5 | AN113 | |
| P11 | | PD2 | MTIOC4D/TIC2 | | QIO2/ SDHI_D2 | IRQ2 | AN110 | |
| P12 | | P41 | | | | IRQ9-DS | AN001 | |
| P13 | EMLE | | | | | | | |
| P14 | AVSS1 | | | | | | | |
| P15 | AVCC1 | | | | | | | |
| R1 | | | | | | | | REGIN |
| R2 | VSS_DDC | | | | | | | |
| R3 | | | | | | | | DDC_OUT |
| R4 | VCC_DDC | | | | | | | |
| R5 | VCC_D | | | | | | | |
| R6 | VCC | | | | | | | |
| R7 | VSS | | | | | | | |
| R8 | | PA2 | MTIOC7A | RXD5/SMISO5/ SSCL5 | | | | |
| R9 | | PE2 | MTIOC4A/TIC3 | RXD12/SSCL12/ RXDX12/SSLB3 | | IRQ7-DS | AN100 | |
| R10 | | PD7 | MTIC5U/POE0# | | QMI/ QIO1/ SDHI_D1 | IRQ7 | AN107 | |
| R11 | | P43 | | | | IRQ11-DS | AN003 | |
| R12 | VREFL0 | | | | | | | |
| R13 | VREFH0 | | | | | | | |
| R14 | AVSS0 | | | | | | | |
| R15 | AVCC0 | | | | | | | |

2. I/Oポート

2.1 概要

I/Oポートは、汎用入出力ポートと周辺モジュールの入出力、割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODR y) ($y = 0, 1$)、入力プルアップ抵抗のオン/オフを制御するプルアップ制御レジスタ (PCR)、駆動能力の切り替えを制御する駆動能力制御レジスタ (DSCR、DSCR2)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMRレジスタの詳細については、「3. マルチファンクションピンコントローラ (MPC)」を参照してください。

表 2.1 に I/O ポートの仕様を、表 2.2 に I/O ポートの機能を示します。

表2.1 I/Oポートの仕様

| ポートシンボル | パッケージ | |
|---------|--------------------|----|
| | 73ピン | 本数 |
| PORT1 | P12, P13, P16, P17 | 4 |
| PORT2 | P26, P27 | 2 |
| PORT3 | P30, P31, P34~P37 | 6 |
| PORT4 | P40~P43 | 4 |
| PORT5 | P53 | 1 |
| PORT8 | P80~P82 | 3 |
| PORTA | PA1~PA4 | 4 |
| PORTB | PB0~PB7 | 8 |
| PORTC | PC0, PC1, PC4~PC7 | 6 |
| PORTD | PD2~PD7 | 6 |
| PORTE | PE0~PE2, PE4~PE7 | 7 |
| | ポートの合計数 | 51 |

表 2.2 I/Oポートの機能

| ポートシンボル | ポート | 入力プルアップ機能 | オープンドレイン出力機能 | 駆動能力切り替え機能 | 5Vトレラント |
|---------|------------------|-----------|--------------|--------------------------|---------|
| PORT1 | P12, P13 | ○ | ○ | 通常 / 高駆動 / 高速インタフェース用高駆動 | ○ |
| | P16 | ○ | ○ | 高駆動出力固定 | ○ |
| | P17 | ○ | ○ | 高駆動 / 高速インタフェース用高駆動 | ○ |
| PORT2 | P26 | ○ | ○ | 高駆動出力固定 | — |
| | P27 | ○ | ○ | 通常 / 高駆動 / 高速インタフェース用高駆動 | — |
| PORT3 | P30, P31 | ○ | ○ | 高駆動 / 高速インタフェース用高駆動 | ○ |
| | P34, P37 | ○ | ○ | 高駆動出力固定 | — |
| | P35 | — | — | — | — |
| | P36 | ○ | ○ | 通常出力固定 | — |
| PORT4 | P40～P43 | ○ | ○ | 通常出力固定 | — |
| PORT5 | P53 | ○ | ○ | 高駆動 / 高速インタフェース用高駆動 | — |
| PORT8 | P80～P82 | ○ | ○ | 通常 / 高駆動 / 高速インタフェース用高駆動 | — |
| PORTA | PA1～PA4 | ○ | ○ | 通常 / 高駆動 / 高速インタフェース用高駆動 | — |
| PORTB | PB0～PB7 | ○ | ○ | 通常 / 高駆動 / 高速インタフェース用高駆動 | — |
| PORTC | PC0, PC1 | ○ | ○ | 通常 / 高駆動 / 高速インタフェース用高駆動 | ○ |
| | PC4～PC7 | ○ | ○ | 通常 / 高駆動 / 高速インタフェース用高駆動 | — |
| PORTD | PD2～PD7 | ○ | ○ | 通常 / 高駆動 / 高速インタフェース用高駆動 | — |
| PORTE | PE0～PE2, PE4～PE7 | ○ | ○ | 通常 / 高駆動 / 高速インタフェース用高駆動 | — |

入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え機能、5Vトレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

2.2 入出力ポートの構成

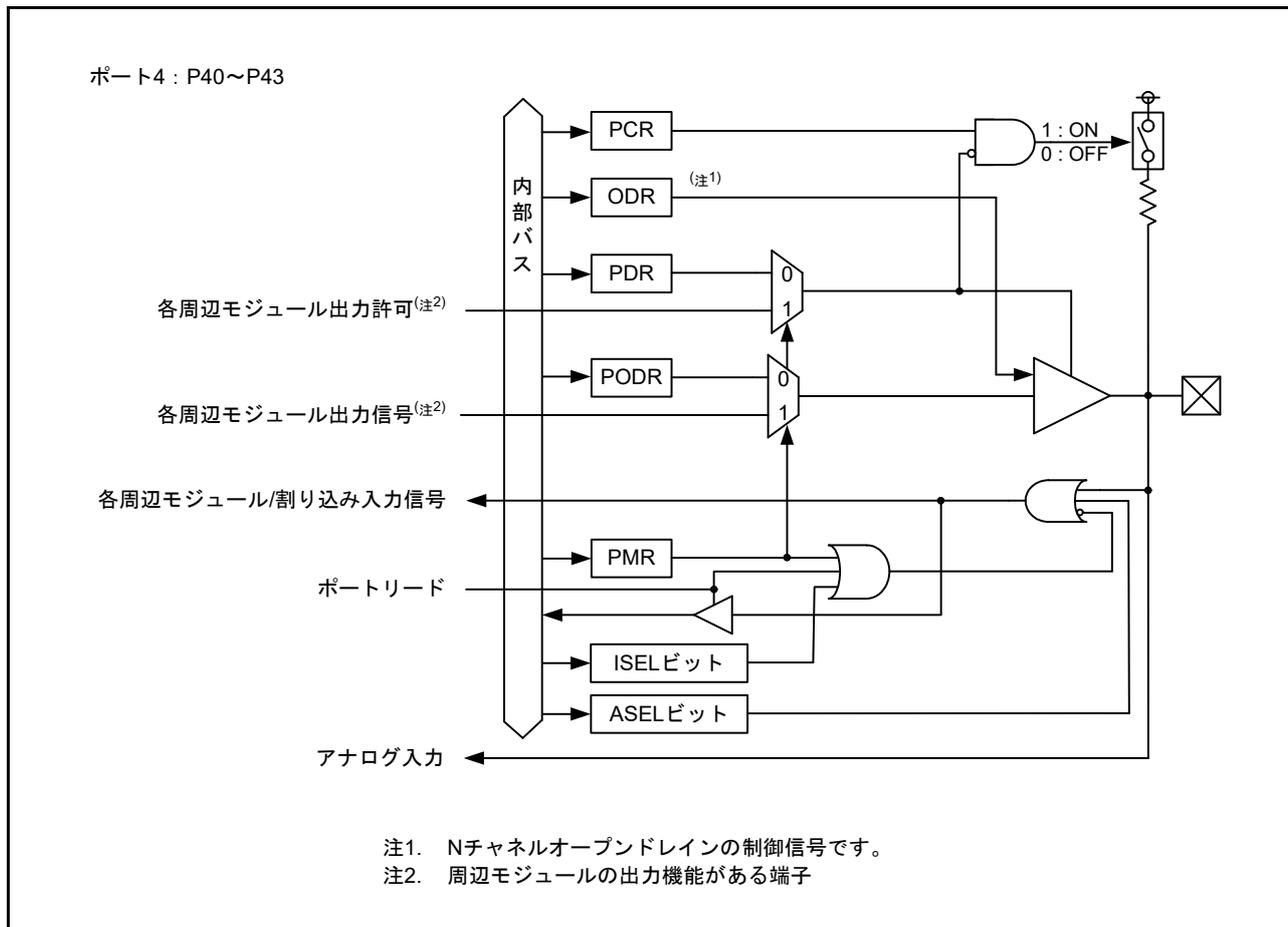


図 2.1 入出力ポートの構成 (1)

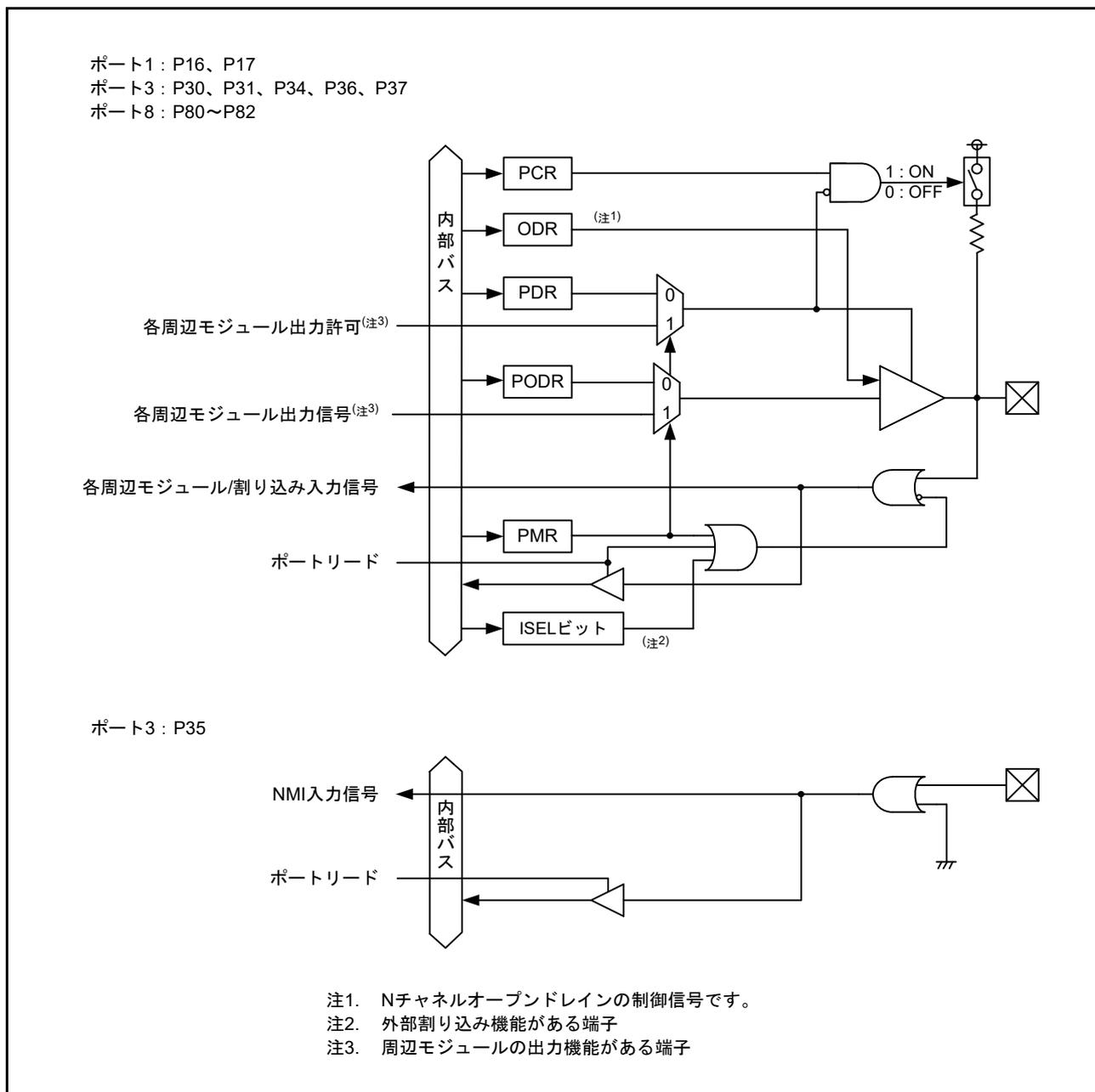


図 2.2 入出力ポートの構成 (2)

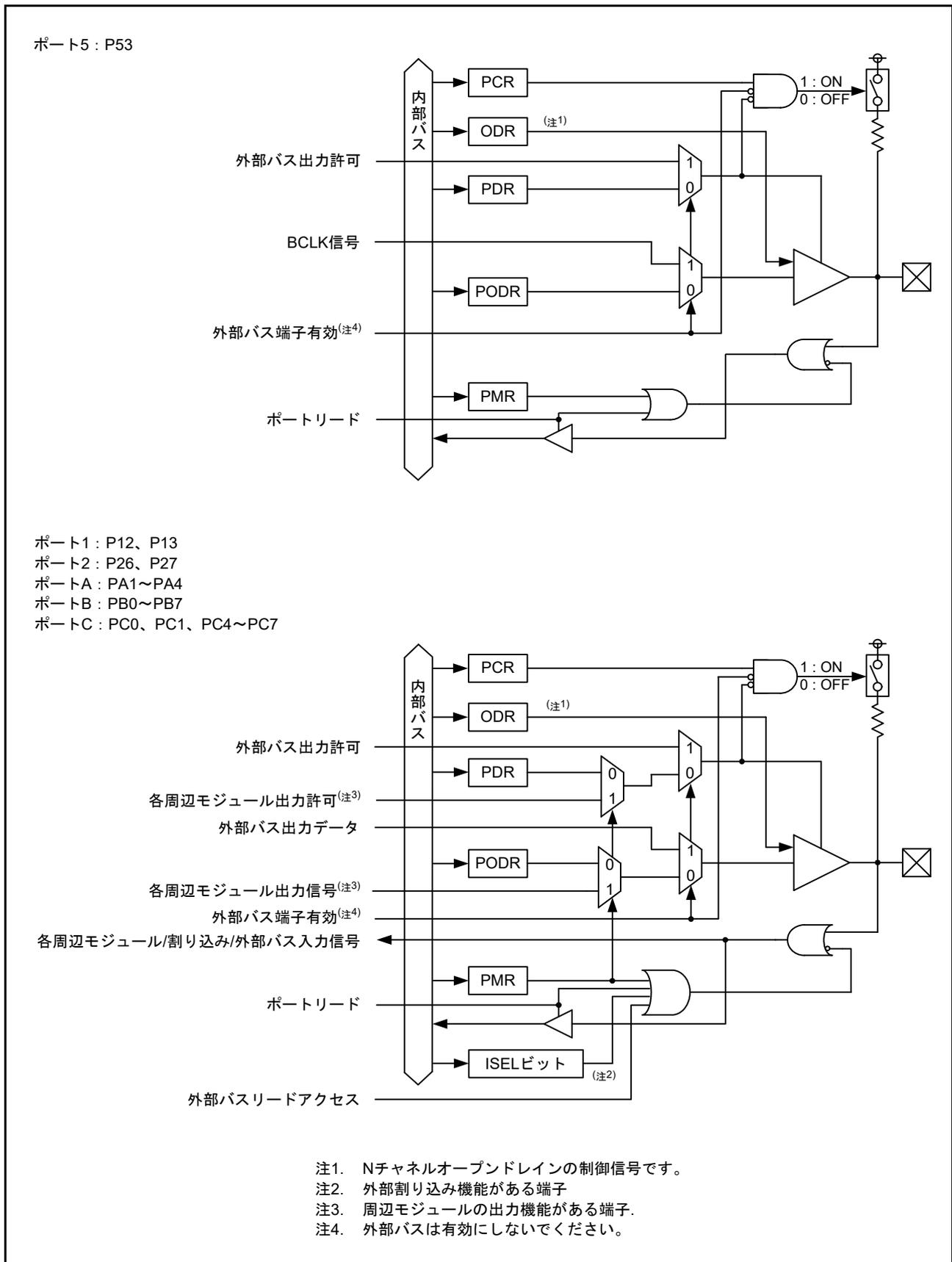


図 2.3 入出力ポートの構成 (3)

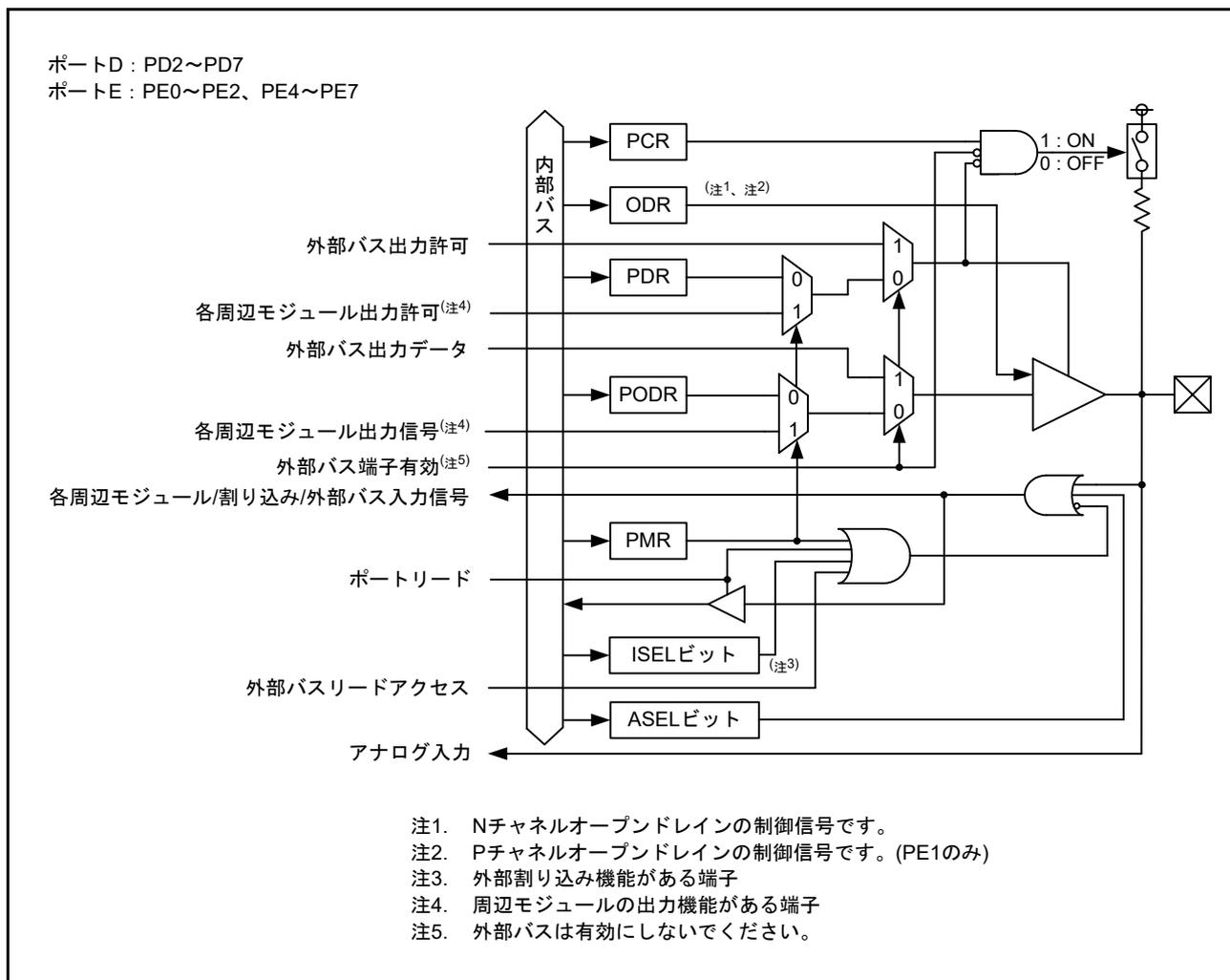


図 2.4 入出力ポートの構成 (4)

2.3 レジスタの説明

2.3.1 ポート方向レジスタ (PDR)

アドレス PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h, PORT3.PDR 0008 C003h, PORT4.PDR 0008 C004h, PORT5.PDR 0008 C005h, PORT8.PDR 0008 C008h, PORTA.PDR 0008 C00Ah, PORTB.PDR 0008 C00Bh, PORTC.PDR 0008 C00Ch, PORTD.PDR 0008 C00Dh, PORTE.PDR 0008 C00Eh

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |

リセット後の値 0 0 0 0 0 0 0 0

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|------------|--|-----|
| b0 | B0 | Pm0方向制御ビット | 0 : 入力(入力ポートとして機能) 1 : 出力(出力ポートとして機能) | R/W |
| b1 | B1 | Pm1方向制御ビット | | R/W |
| b2 | B2 | Pm2方向制御ビット | | R/W |
| b3 | B3 | Pm3方向制御ビット | | R/W |
| b4 | B4 | Pm4方向制御ビット | | R/W |
| b5 | B5 | Pm5方向制御ビット | | R/W |
| b6 | B6 | Pm6方向制御ビット | | R/W |
| b7 | B7 | Pm7方向制御ビット | | R/W |

m = 1 ~ 5, 8, A ~ E

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。ただし、存在しないポート m の端子のビットは予約ビットです。“1”(出力)を書いてください。

存在しないポート m の端子に対応している PDR レジスタの各ビットは予約ビットです。「2.4 ポート方向レジスタ (PDR) の初期化」に従って、設定してください。

P35 端子は入力専用のため、PORT3.PDR.B5 ビットは予約ビットです。

2.3.2 ポート出力データレジスタ (PODR)

アドレス PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h, PORT3.PODR 0008 C023h, PORT4.PODR 0008 C024h, PORT5.PODR 0008 C025h, PORT8.PODR 0008 C028h, PORTA.PODR 0008 C02Ah, PORTB.PODR 0008 C02Bh, PORTC.PODR 0008 C02Ch, PORTD.PODR 0008 C02Dh, PORTE.PODR 0008 C02Eh

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |

リセット後の値 0 0 0 0 0 0 0 0

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|---------------|-------------------------|-----|
| b0 | B0 | Pm0出力データ格納ビット | 0 : Low出力 1 : High出力 | R/W |
| b1 | B1 | Pm1出力データ格納ビット | | R/W |
| b2 | B2 | Pm2出力データ格納ビット | | R/W |
| b3 | B3 | Pm3出力データ格納ビット | | R/W |
| b4 | B4 | Pm4出力データ格納ビット | | R/W |
| b5 | B5 | Pm5出力データ格納ビット | | R/W |
| b6 | B6 | Pm6出力データ格納ビット | | R/W |
| b7 | B7 | Pm7出力データ格納ビット | | R/W |

m = 1 ~ 5, 8, A ~ E

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

存在しないポート m の端子のビットは予約ビットです。“0” (Low 出力) を書いてください。

P35 端子は入力専用のため、PORT3.PODR.B5 ビットは予約ビットです。値を書いても端子に影響しません。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

2.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h, PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT5.PIDR 0008 C045h, PORT8.PIDR 0008 C048h, PORTA.PIDR 0008 C04Ah, PORTB.PIDR 0008 C04Bh, PORTC.PIDR 0008 C04Ch, PORTD.PIDR 0008 C04Dh, PORTE.PIDR 0008 C04Eh

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |

リセット後の値 X X X X X X X X

x : 不定

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|---------|-------------------------|-----|
| b0 | B0 | Pm0 ビット | 0 : Low入力 1 : High入力 | R |
| b1 | B1 | Pm1 ビット | | R |
| b2 | B2 | Pm2 ビット | | R |
| b3 | B3 | Pm3 ビット | | R |
| b4 | B4 | Pm4 ビット | | R |
| b5 | B5 | Pm5 ビット | | R |
| b6 | B6 | Pm6 ビット | | R |
| b7 | B7 | Pm7 ビット | | R |

m = 1 ~ 5, 8, A ~ E

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR レジスタ の値に関係なく端子の状態が読めます。

P35 端子は NMI 端子の状態が読み出されます。ただし、PmnPFS.ASEL ビットが“1”に設定された端子は、端子状態を読むことはできません。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

2.3.4 ポートモードレジスタ (PMR)

アドレス PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h, PORT3.PMR 0008 C063h, PORT4.PMR 0008 C064h, PORT5.PMR 0008 C065h, PORT8.PMR 0008 C068h, PORTA.PMR 0008 C06Ah, PORTB.PMR 0008 C06Bh, PORTC.PMR 0008 C06Ch, PORTD.PMR 0008 C06Dh, PORTE.PMR 0008 C06Eh

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |

リセット後の値 0 0 0 0 0 0 0 0

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|----------------|---------------------------------------|-----|
| b0 | B0 | Pm0 端子モード制御ビット | 0 : 汎用入出力ポートとして使用 1 : 周辺モジュールとして使用 | R/W |
| b1 | B1 | Pm1 端子モード制御ビット | | R/W |
| b2 | B2 | Pm2 端子モード制御ビット | | R/W |
| b3 | B3 | Pm3 端子モード制御ビット | | R/W |
| b4 | B4 | Pm4 端子モード制御ビット | | R/W |
| b5 | B5 | Pm5 端子モード制御ビット | | R/W |
| b6 | B6 | Pm6 端子モード制御ビット | | R/W |
| b7 | B7 | Pm7 端子モード制御ビット | | R/W |

m = 1 ~ 5, 8, A ~ E

PMR レジスタは、ポートの端子機能を指定するレジスタです。

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。ただし、存在しないポート m の端子のビットは予約ビットです。“0” (汎用入出力ポート) を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

2.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT1.ODR0 0008 C082h, PORT2.ODR0 0008 C084h, PORT3.ODR0 0008 C086h, PORT4.ODR0 0008 C088h, PORT5.ODR0 0008 C08Ah, PORT8.ODR0 0008 C090h, PORTA.ODR0 0008 C094h, PORTB.ODR0 0008 C096h, PORTC.ODR0 0008 C098h, PORTD.ODR0 0008 C09Ah, PORTE.ODR0 0008 C09Ch

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| — | B6 | — | B4 | B3 | B2 | — | B0 |

リセット後の値 0 0 0 0 0 0 0 0

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|--------------|---|-----|
| b0 | B0 | Pm0出力形態指定ビット | <ul style="list-style-type: none"> ポートPE1以外の場合 | R/W |
| b1 | — | 予約ビット | | R/W |
| b2 | B2 | Pm1出力形態指定ビット | 奇数 ビット 偶数 ビット x 0 : CMOS出力 x 1 : Nチャネルオープンドレイン (b1, b3, b5, b7 : 予約ビット) | R/W |
| b3 | B3 (注1) | PE1出力形態指定ビット | | R/W |
| b4 | B4 | Pm2出力形態指定ビット | <ul style="list-style-type: none"> ポートPE1の場合 | R/W |
| b5 | — | 予約ビット | | R/W |
| b6 | B6 | Pm3出力形態指定ビット | b3 b2 0 0 : CMOS出力 0 1 : Nチャネルオープンドレイン 1 0 : Pチャネルオープンドレイン 1 1 : 設定しないでください | R/W |
| b7 | — | 予約ビット | | R/W |

m = 1 ~ 5, 8, A ~ E

注1. PE1以外は予約ビットです。

ODR0 レジスタは、ポートの端子の出力形態を選択するレジスタです。

PORTE.ODR0 レジスタ以外の奇数ビット (b1, b3, b5, b7) は予約ビットです。

ただし、ポート PE1 は b3 と b2 の組み合わせで出力形態を指定します。

存在しないポート m の端子のビットは予約ビットです。“0” (CMOS 出力) を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

2.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT1.ODR1 0008 C083h, PORT2.ODR1 0008 C085h, PORT3.ODR1 0008 C087h, PORT4.ODR1 0008 C089h,
PORT5.ODR1 0008 C08Bh, PORT8.ODR1 0008 C091h, PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h,
PORTC.ODR1 0008 C099h, PORTD.ODR1 0008 C09Bh, PORTE.ODR1 0008 C09Dh

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| — | B6 | — | B4 | — | B2 | — | B0 |

リセット後の値 0 0 0 0 0 0 0 0

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--------------|---------------------------------|-----|
| b0 | B0 | Pm4出力形態指定ビット | 0 : CMOS出力 1 : Nチャネルオープンドレイン | R/W |
| b1 | — | 予約ビット | | R/W |
| b2 | B2 | Pm5出力形態指定ビット | | R/W |
| b3 | — | 予約ビット | | R/W |
| b4 | B4 | Pm6出力形態指定ビット | | R/W |
| b5 | — | 予約ビット | | R/W |
| b6 | B6 | Pm7出力形態指定ビット | | R/W |
| b7 | — | 予約ビット | | R/W |

m = 1 ~ 5, 8, A ~ E

ODR1 レジスタは、ポートの端子の出力形態を選択するレジスタです。

ODR1 レジスタの奇数ビット (b1, b3, b5, b7) は予約ビットです。

存在しないポート m の端子のビットは予約ビットです。“0” (CMOS 出力) を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

2.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h, PORT3.PCR 0008 C0C3h, PORT4.PCR 0008 C0C4h, PORT5.PCR 0008 C0C5h, PORT8.PCR 0008 C0C8h, PORTA.PCR 0008 C0CAh, PORTB.PCR 0008 C0CBh, PORTC.PCR 0008 C0CCh, PORTD.PCR 0008 C0CDh, PORTE.PCR 0008 C0CEh

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |

リセット後の値 0 0 0 0 0 0 0 0

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|-------------------|------------------------------------|-----|
| b0 | B0 | Pm0入力プルアップ抵抗制御ビット | 0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効 | R/W |
| b1 | B1 | Pm1入力プルアップ抵抗制御ビット | | R/W |
| b2 | B2 | Pm2入力プルアップ抵抗制御ビット | | R/W |
| b3 | B3 | Pm3入力プルアップ抵抗制御ビット | | R/W |
| b4 | B4 | Pm4入力プルアップ抵抗制御ビット | | R/W |
| b5 | B5 | Pm5入力プルアップ抵抗制御ビット | | R/W |
| b6 | B6 | Pm6入力プルアップ抵抗制御ビット | | R/W |
| b7 | B7 | Pm7入力プルアップ抵抗制御ビット | | R/W |

m = 1 ~ 5, 8, A ~ E

PCR レジスタは、ポートの入力プルアップ抵抗の有効 / 無効を制御するレジスタです。

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

汎用ポート出力、周辺モジュールの出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

リセット中もプルアップ抵抗は無効になります。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

2.3.8 駆動能力制御レジスタ (DSCR)

アドレス PORT1.DSCR 0008 C0E1h, PORT2.DSCR 0008 C0E2h, PORT5.DSCR 0008 C0E5h, PORT8.DSCR 0008 C0E8h, PORTA.DSCR 0008 C0EAh, PORTB.DSCR 0008 C0EBh, PORTC.DSCR 0008 C0ECh, PORTD.DSCR 0008 C0EDh, PORTE.DSCR 0008 C0EEh

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |

リセット後の値 0 0 0 0 0 0 0 0

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|---------------|-----------------------|-----|
| b0 | B0 | Pm0 駆動能力制御ビット | 0 : 通常出力 1 : 高駆動出力 | R/W |
| b1 | B1 | Pm1 駆動能力制御ビット | | R/W |
| b2 | B2 | Pm2 駆動能力制御ビット | | R/W |
| b3 | B3 | Pm3 駆動能力制御ビット | | R/W |
| b4 | B4 | Pm4 駆動能力制御ビット | | R/W |
| b5 | B5 | Pm5 駆動能力制御ビット | | R/W |
| b6 | B6 | Pm6 駆動能力制御ビット | | R/W |
| b7 | B7 | Pm7 駆動能力制御ビット | | R/W |

m = 1, 2, 5, 8, A ~ E

DSCR レジスタは、ポートの駆動能力の切り替えを制御するレジスタです。

DSCR2 レジスタで端子を高速インタフェース用高駆動出力に設定している場合、駆動能力の変更はできません。DSCR レジスタと DSCR2 レジスタの設定による駆動能力の設定は「表 2.3 DSCR レジスタと DSCR2 レジスタによる駆動能力設定」を参照ください。

高駆動能力への切り替え、または駆動能力の切り替えができない端子の当該ビットは、読み出し / 書き込み可能ですが、駆動能力の切り替えはできません。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

2.3.9 駆動能力制御レジスタ 2 (DSCR2)

アドレス PORT1.DSCR2 0008 C129h, PORT2.DSCR2 0008 C12Ah, PORT3.DSCR2 0008 C12Bh, PORT5.DSCR2 0008 C12Dh, PORT8.DSCR2 0008 C130h, PORTA.DSCR2 0008 C132h, PORTB.DSCR2 0008 C133h, PORTC.DSCR2 0008 C134h, PORTD.DSCR2 0008 C135h, PORTE.DSCR2 0008 C136h

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |

リセット後の値 0 0 0 0 0 0 0 0

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|----------------|--|-----|
| b0 | B0 | Pm0 駆動能力制御ビット2 | 0 : 通常/高駆動出力 (注1) 1 : 高速インタフェース用高駆動出力 | R/W |
| b1 | B1 | Pm1 駆動能力制御ビット2 | | R/W |
| b2 | B2 | Pm2 駆動能力制御ビット2 | | R/W |
| b3 | B3 | Pm3 駆動能力制御ビット2 | | R/W |
| b4 | B4 | Pm4 駆動能力制御ビット2 | | R/W |
| b5 | B5 | Pm5 駆動能力制御ビット2 | | R/W |
| b6 | B6 | Pm6 駆動能力制御ビット2 | | R/W |
| b7 | B7 | Pm7 駆動能力制御ビット2 | | R/W |

m = 1 ~ 3, 5, 8, A ~ E

注1. DSCRレジスタによる駆動能力切り替えに対応する端子の場合、DSCRレジスタの設定に依存します。

DSCR2 レジスタは、ポートの駆動能力の切り替えを制御するレジスタです。

表 2.3 に DSCR レジスタと DSCR2 レジスタによる駆動能力設定を示します。

高速インタフェース用高駆動出力へ切り替え、または駆動能力の切り替えができない端子の当該ビットは、読み出し/書き込み可能ですが、駆動能力の切り替えはできません。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

本レジスタは、アプリケーションガイドに指示があった場合にのみ設定してください。

表 2.3 DSCR レジスタと DSCR2 レジスタによる駆動能力設定

| PORTm.DSCR2.Bx | PORTm.DSCR.Bx | 駆動能力 (注1) |
|----------------|---------------|-----------------|
| 0 | 0 | 通常駆動出力 |
| 0 | 1 | 高駆動出力 |
| 1 | Don't care | 高速インタフェース用高駆動出力 |

注1. 駆動能力が固定、またはそれぞれの駆動能力へ切り替えができない端子の駆動能力は変更できません。

2.4 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 2.4 を参照して初期化してください。

- 表 2.4 の空欄は、「表 2.1 I/O ポートの仕様」に記載されている端子に対応するビットです。
使用するシステムに応じて“1”(出力)か“0”(入力)を設定してください。
ただし、入力専用である P35 端子の PORT3.PDR.B5 ビットは予約ビットです。
このビットには“0”(入力)を設定してください。
- 表 2.4 の空欄以外は、予約ビットです。
予約ビットには表 2.4 に従って“0”(入力)または“1”(出力)を設定ください。
予約ビットを設定する場合は、バイト単位でアクセスしてください。

表 2.4 PDR レジスタの設定値

| ポートシンボル | PDR レジスタ | | | | | | | |
|---------|----------|----|----|----|----|----|----|----|
| | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| PORT0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| PORT1 | | | 1 | 1 | | | 1 | 1 |
| PORT2 | | | 1 | 1 | 1 | 1 | 1 | 1 |
| PORT3 | | | 0 | | 1 | 1 | | |
| PORT4 | 1 | 1 | 1 | 1 | | | | |
| PORT5 | 1 | 1 | 1 | 1 | | 1 | 1 | 1 |
| PORT6 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| PORT7 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| PORT8 | 1 | 1 | 1 | 1 | 1 | | | |
| PORT9 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| PORTA | 1 | 1 | 1 | | | | | 1 |
| PORTB | | | | | | | | |
| PORTC | | | | | 1 | 1 | | |
| PORTD | | | | | | | 1 | 1 |
| PORTE | | | | | 1 | | | |
| PORTF | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| PORTG | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| PORTJ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

2.5 未使用端子の処理

表 2.5 に未使用端子の処理内容を示します。

表 2.5 未使用端子の処理内容

| 端子名 | 処理内容 |
|--------------|--|
| EMLE | 抵抗を介してVSSに接続(プルダウン) |
| BSCANP | 抵抗を介してVSSに接続(プルダウン) |
| MD | (モード端子として使用) |
| RES# | 抵抗を介してVCCに接続(プルアップ) |
| VCC_USB | VCCに接続 |
| VSS_USB | VSSに接続 |
| USB0_DP | 端子を開放 |
| USB0_DM | |
| VBATT | VCCに接続 |
| P35/NMI | 抵抗を介してVCCに接続(プルアップ) |
| P36/EXTAL | メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(メインクロック発振器停止)に設定 ポートP36としても使用しない場合は、ポート1~5、8、A~Eの処理と同様 |
| P37/XTAL | メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(メインクロック発振器停止)に設定 ポートP37としても使用しない場合は、ポート1~5、8、A~Eの処理と同様 EXTAL端子に外部クロックを入力する場合は、端子を開放 |
| XCIN | 抵抗を介してVSSに接続(プルダウン) |
| XCOU | 端子を開放 |
| ポート1~5、8、A~E | <ul style="list-style-type: none"> • 入力に設定(PORTn.PDRビット=0)し、1端子ごと抵抗を介してVCCに接続(プルアップ)、または1端子ごと抵抗を介してVSSに接続(プルダウン)(注1) • 出力に設定(PORTn.PDRビット=1)し、端子を開放(注1、注2) |
| VREFH0 | AVCC0に接続 |
| VREFL0 | AVSS0に接続 |
| AVCC0 | 12ビットA/Dコンバータ(ユニット0)を使用しない場合は、VCCに接続 |
| AVSS0 | 12ビットA/Dコンバータ(ユニット0)を使用しない場合は、VSSに接続 |
| AVCC1 | 12ビットA/Dコンバータ(ユニット1)を使用しない場合は、VCCに接続 |
| AVSS1 | 12ビットA/Dコンバータ(ユニット1)を使用しない場合は、VSSに接続 |
| GPIO0~GPIO12 | 入力時：端子を開放にするか、個別に抵抗を介してVCC_DDCに接続 |
| | 出力時：端子を開放 |
| CKOUT | 端子を開放 |

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL、PmnPFS.ASELビットを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

3. マルチファンクションピンコントローラ (MPC)

3.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力および割り込み入力信号を複数のポートから選択し割り付ける機能です。

同一機能を複数端子で有効にすることは禁止です。

表3.1 多機能端子の割り当て端子一覧 (1 / 8)

| モジュール/機能 | チャンネル | 端子機能 | 割り当てポート | |
|----------|---------------|--------------|-----------|-----|
| 割り込み | | NMI (入力) | P35 | |
| 割り込み | IRQ0 | IRQ0-DS (入力) | P30 | |
| | IRQ1 | IRQ1-DS (入力) | P31 | |
| | IRQ2 | IRQ2 (入力) | P12 | |
| | | | PD2 | |
| | IRQ3 | IRQ3 (入力) | P13 | |
| | | | PD3 | |
| | IRQ4 | IRQ4-DS (入力) | PB1 | |
| | | | IRQ4 (入力) | P34 |
| | | | | PD4 |
| | IRQ5 | IRQ5-DS (入力) | PA4 | |
| | | | IRQ5 (入力) | PD5 |
| | | | | PE5 |
| | IRQ6 | IRQ6-DS (入力) | PA3 | |
| | | | IRQ6 (入力) | P16 |
| | | | | PD6 |
| | IRQ7 | IRQ7-DS (入力) | PE2 | |
| | | | IRQ7 (入力) | P17 |
| | | | | PD7 |
| | IRQ8 | IRQ8 (入力) | PE7 | |
| | | | P40 | |
| IRQ9 | IRQ9-DS (入力) | P41 | | |
| IRQ10 | IRQ10-DS (入力) | P42 | | |
| IRQ11 | IRQ11-DS (入力) | P43 | | |
| | | IRQ11 (入力) | PA1 | |
| IRQ12 | IRQ12 (入力) | PB0 | | |
| | | PC1 | | |
| IRQ13 | IRQ13 (入力) | PC6 | | |
| IRQ14 | IRQ14 (入力) | PC0 | | |
| | | PC7 | | |

表3.1 多機能端子の割り当て端子一覧(2/8)

| モジュール/機能 | チャネル | 端子機能 | 割り当てポート |
|--------------------|---------------|---------------|---------|
| マルチファンクションタイムユニット3 | MTU0 | MTIOC0A (入出力) | P34 |
| | | | PB3 |
| | | MTIOC0B (入出力) | P13 |
| | | | PA1 |
| | MTIOC0C (入出力) | PB1 | |
| | | MTIOC0D (入出力) | PA3 |
| | MTU1 | MTIOC1A (入出力) | PE4 |
| | | MTIOC1B (入出力) | PB5 |
| | MTU2 | MTIOC2A (入出力) | P26 |
| | | | PB5 |
| | | MTIOC2B (入出力) | P27 |
| | MTU3 | MTIOC3A (入出力) | PE5 |
| | | | P17 |
| | | | PC1 |
| | | MTIOC3B (入出力) | PC7 |
| | | | P17 |
| | | | P80 |
| | | | PB7 |
| | | | PC5 |
| | | MTIOC3C (入出力) | PE1 |
| | | | P16 |
| | | | PC0 |
| | | MTIOC3D (入出力) | PC6 |
| | | | P16 |
| | | | P81 |
| | | | PB6 |
| | PC4 | | |
| | MTU4 | MTIOC4A (入出力) | PE0 |
| | | | P82 |
| | | | PB3 |
| | | MTIOC4B (入出力) | PE2 |
| | | | P17 |
| | | MTIOC4C (入出力) | P30 |
| PB1 | | | |
| PE1 | | | |
| MTIOC4D (入出力) | | PE5 | |
| | | P31 | |
| | PD2 | | |
| | PE4 | | |
| MTU5 | MTIC5U (入力) | P12 | |
| | | PA4 | |
| | | PD7 | |
| | MTIC5V (入力) | PD6 | |
| | MTIC5W (入力) | PB0 | |
| | | PD5 | |

表 3.1 多機能端子の割り当て端子一覧 (3 / 8)

| モジュール/機能 | チャネル | 端子機能 | 割り当てポート |
|------------------------|-------------|---------------|---------|
| マルチファンクションタイマ ユニット3 | MTU6 | MTIOC6A (入出力) | PE7 |
| | | MTIOC6C (入出力) | PE6 |
| | MTU7 | MTIOC7A (入出力) | PA2 |
| | | MTIOC7B (入出力) | PA1 |
| | MTU8 | MTIOC8A (入出力) | PD6 |
| | | MTIOC8B (入出力) | PD4 |
| | | MTIOC8C (入出力) | PD5 |
| | | MTIOC8D (入出力) | PD3 |
| | MTU | MTCLKA (入力) | PA4 |
| | | | PC6 |
| | | MTCLKB (入力) | PC7 |
| | | MTCLKC (入力) | PA1 |
| | PC4 | | |
| | MTCLKD (入力) | PA3 | |
| PC5 | | | |
| ポートアウトプットイネーブル 3 | POE0 | POE0# (入力) | PC4 |
| | | | PD7 |
| | POE4 | POE4# (入力) | PB5 |
| | | | PD6 |
| | POE8 | POE8# (入力) | P17 |
| | | | P30 |
| | | | PD3 |
| | POE10 | POE10# (入力) | P34 |
| | | | PD5 |
| | POE11 | POE11# (入力) | PB3 |
| PD4 | | | |
| 16ビットタイマパルスユニット | TPU0 | TIOCB0 (入出力) | P17 |
| | | | PA1 |
| | | TIOCD0 (入出力) | PA3 |
| | TPU1 | TIOCA1 (入出力) | PA4 |
| | | TIOCB1 (入出力) | P16 |
| | TPU3 | TIOCA3 (入出力) | PB0 |
| | | TIOCB3 (入出力) | PB1 |
| | | TIOCC3 (入出力) | PB2 |
| | | TIOCD3 (入出力) | PB3 |
| | TPU4 | TIOCA4 (入出力) | PB4 |
| | | TIOCB4 (入出力) | PB5 |
| | TPU5 | TIOCA5 (入出力) | P13 |
| | | | PB6 |
| | | TIOCB5 (入出力) | PB7 |

表 3.1 多機能端子の割り当て端子一覧 (4 / 8)

| モジュール/機能 | チャネル | 端子機能 | 割り当てポート |
|-------------------|----------------|-------------------|------------|
| 16ビットタイマパルスユニット | TPU (ユニット0) | TCLKB (入力) | PA3 |
| | | TCLKC (入力) | P16 |
| | | | PB2 |
| | | | PC0 |
| | | TCLKD (入力) | P17 |
| | | | PB3 |
| PC1 | | | |
| 8ビットタイマ | TMR0 | TMO0 (出力) | PB3 |
| | | TMCI0 (入力) | PB1 |
| | | TMRI0 (入力) | PA4 |
| | TMR1 | TMO1 (出力) | P17 |
| | | | P26 |
| | | TMCI1 (入力) | P12 |
| | | | PC4 |
| | TMR2 | TMO2 (出力) | P16 |
| | | | PC7 |
| | | TMCI2 (入力) | P31 |
| | PC6 | | |
| | TMR3 | TMO3 (出力) | P13 |
| | | | P27 |
| | | TMCI3 (入力) | P34 |
| | | | TMRI3 (入力) |
| コンペアマッチタイマW | CMTW0 | TOC0 (出力) | PC7 |
| | | TIC0 (入力) | PC6 |
| | CMTW1 | TOC1 (出力) | PE7 |
| | | TIC1 (入力) | PE6 |
| | CMTW2 | TOC2 (出力) | PD3 |
| | | TIC2 (入力) | PD2 |
| CMTW3 | TIC3 (入力) | PE2 | |
| イーサネットコントローラ | RMII0 | REF50CK0 (入力) | PB2 |
| | | | PE5 |
| | | RMII0_TXD_EN (出力) | P80 |
| | | | PB4 |
| | | RMII0_TXD0 (出力) | P81 |
| | | | PB5 |
| | | RMII0_TXD1 (出力) | P82 |
| | | | PB6 |
| RMII0_CRS_DV (入力) | PB7 | | |
| RMII0_RXD0 (入力) | PB1 | | |
| RMII0_RXD1 (入力) | PB0 | | |
| RMII0_RX_ER (入力) | PB3 | | |

表3.1 多機能端子の割り当て端子一覧 (5 / 8)

| モジュール/機能 | チャンネル | 端子機能 | 割り当てポート |
|---------------------------|---|---|---|
| イーサネットコントローラ | MII0 | ET0_MDC (出力) | PA4 |
| | | ET0_MDIO (入出力) | PA3 |
| | | ET0_LINKSTA (入力) | P34 |
| | | ET0_WOL (出力) | PA1 |
| シリアルコミュニケーション インターフェース | SCI1 | RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力) | P30 |
| | | TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力) | P16 P26 |
| | | SCK1 (入出力) | P17 P27 |
| | | CTS1# (入力) / RTS1# (出力) / SS1# (入力) | P31 |
| | SCI2 (注2) | RXD2 (入力) / SSCL2 (入出力) | P12 |
| | | TXD2 (出力) / SSDA2 (入出力) | P13 |
| | SCI3 (注2) | RXD3 (入力) / SSCL3 (入出力) | P16 |
| | | TXD3 (出力) / SSDA3 (入出力) | P17 |
| | | CTS3# (入力) / RTS3# (出力) | P26 |
| | SCI4 | RXD4 (入力) / SMISO4 (入出力) / SSCL4 (入出力) | PB0 |
| | | TXD4 (出力) / SMOSI4 (入出力) / SSDA4 (入出力) | PB1 |
| | | SCK4 (入出力) | PB3 |
| | | CTS4# (入力) / RTS4# (出力) / SS4# (入力) | PB2 |
| | SCI5 | RXD5 (入力) / SMISO5 (入出力) / SSCL5 (入出力) | PA2 PA3 |
| | | TXD5 (出力) / SMOSI5 (入出力) / SSDA5 (入出力) | PA4 |
| | | SCK5 (入出力) | PA1 PC1 PC4 |
| | | CTS5# (入力) / RTS5# (出力) / SS5# (入力) | PC0 |
| | | SCI6 | RXD6 (入力) / SMISO6 (入出力) / SSCL6 (入出力) |
| | TXD6 (出力) / SMOSI6 (入出力) / SSDA6 (入出力) | PB1 | |
| | SCK6 (入出力) | P34 PB3 | |
| | CTS6# (入力) / RTS6# (出力) / SS6# (入力) | PB2 | |
| | SCI8 | RXD8 (入力) / SMISO8 (入出力) / SSCL8 (入出力) | PC6 |
| | | TXD8 (出力) / SMOSI8 (入出力) / SSDA8 (入出力) | PC7 |
| | | SCK8 (入出力) | PC5 |
| | | CTS8# (入力) / RTS8# (出力) / SS8# (入力) | PC4 |

表 3.1 多機能端子の割り当て端子一覧 (6 / 8)

| モジュール/機能 | チャネル | 端子機能 | 割り当てポート |
|---|-------------|--|---------|
| シリアルコミュニケーション インタフェース | SCI9 | RXD9 (入力) / SMISO9 (入出力) / SSCL9 (入出力) | PB6 |
| | | TXD9 (出力) / SMOSI9 (入出力) / SSDA9 (入出力) | PB7 |
| | | SCK9 (入出力) | PB5 |
| | | CTS9# (入力) / RTS9# (出力) / SS9# (入力) | PB4 |
| | SCI10 | RXD10 (入力) / SMISO10 (入出力) / SSCL10 (入出力) | P81 |
| | | | PC6 |
| | | TXD10 (出力) / SMOSI10 (入出力) / SSDA10 (入出力) | P82 |
| | | | PC7 |
| | | SCK10 (入出力) | P80 |
| | | | PC5 |
| | RTS10# (出力) | P80 | |
| | SCI11 | RXD11 (入力) / SMISO11 (入出力) / SSCL11 (入出力) | PB6 |
| | | | PB7 |
| | | TXD11 (出力) / SMOSI11 (入出力) / SSDA11 (入出力) | PB5 |
| | | | PB4 |
| | SCI12 (注2) | RXD12 (入力) / SSCL12 (入出力) / RXDX12 (入力) | PE2 |
| PE1 | | | |
| TXD12 (出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力) | | PE0 | |
| I ² C バスインタフェース | RIIC0 | SCL0[FM+] (入出力) | P12 |
| | | SDA0[FM+] (入出力) | P13 |
| | RIIC2 | SCL2-DS (入出力) | P16 |
| | | SDA2-DS (入出力) | P17 |
| USB2.0 FS ホスト/ファンク ションモジュール | USB0 | USB0_VBUS (入力) | P16 |
| シリアルペリフェラルインタ フェース | RSPi0 | RSPCKA (入出力) | PC5 |
| | | MOSIA (入出力) | PC6 |
| | | MISOA (入出力) | PC7 |
| | | SSLA0 (入出力) | PC4 |
| | | SSLA1 (出力) | PC0 |
| | | SSLA2 (出力) | PC1 |
| | RSPi1 | RSPCKB (入出力) | PE5 |
| | | MOSIB (入出力) | PE6 |
| | | MISOB (入出力) | PE7 |
| | | SSLB0 (入出力) | PE4 |
| | | SSLB1 (出力) | PE0 |
| | | SSLB2 (出力) | PE1 |
| | | SSLB3 (出力) | PE2 |

表 3.1 多機能端子の割り当て端子一覧 (7 / 8)

| モジュール/機能 | チャンネル | 端子機能 | 割り当てポート |
|---------------|--------------|------------------|---------------|
| リアルタイムクロック | | RTCOUT (出力) | P16 |
| | | RTCIC0 (入力) (注1) | P30 |
| | | RTCIC1 (入力) (注1) | P31 |
| 12ビットA/Dコンバータ | | AN000 (入力) (注1) | P40 |
| | | AN001 (入力) (注1) | P41 |
| | | AN002 (入力) (注1) | P42 |
| | | AN003 (入力) (注1) | P43 |
| | | ADTRG0# (入力) | P16 |
| | | AN100 (入力) (注1) | PE2 |
| | | AN102 (入力) (注1) | PE4 |
| | | AN103 (入力) (注1) | PE5 |
| | | AN104 (入力) (注1) | PE6 |
| | | AN105 (入力) (注1) | PE7 |
| | | AN106 (入力) (注1) | PD6 |
| | | AN107 (入力) (注1) | PD7 |
| | | AN110 (入力) (注1) | PD2 |
| | | AN111 (入力) (注1) | PD3 |
| | | AN112 (入力) (注1) | PD4 |
| | | AN113 (入力) (注1) | PD5 |
| | | ANEX0 (出力) (注1) | PE0 |
| | | ANEX1 (入力) (注1) | PE1 |
| | | ADTRG1# (入力) | P13 P17 |
| | SDホストインタフェース | | SDHI_CLK (出力) |
| | | SDHI_CMD (入出力) | PD4 |
| | | SDHI_CD (入力) | P81 PE6 |
| | | SDHI_WP (入力) | P80 PE7 |
| | | SDHI_D0 (入出力) | PD6 |
| | | SDHI_D1 (入出力) | PD7 |
| | | SDHI_D2 (入出力) | PD2 |
| | | SDHI_D3 (入出力) | PD3 |
| SDスレーブインタフェース | | SDSI_CLK (入力) | PB5 |
| | | SDSI_CMD (入出力) | PB4 |
| | | SDSI_D0 (入出力) | PB6 |
| | | SDSI_D1 (入出力) | PB7 |
| | | SDSI_D2 (入出力) | PB2 |
| | | SDSI_D3 (入出力) | PB3 |
| クロック周波数精度測定回路 | | CACREF (入力) | PC7 |

表3.1 多機能端子の割り当て端子一覧 (8 / 8)

| モジュール/機能 | チャンネル | 端子機能 | 割り当てポート |
|-------------------|-------|----------------|---------|
| クワッドSPIメモリアンタフェース | | QSPCLK (出力) | PD5 |
| | | QSSL (出力) | PD4 |
| | | QMO/QIO0 (入出力) | PD6 |
| | | QMI/QIO1 (入出力) | PD7 |
| | | QIO2 (入出力) | PD2 |
| | | QIO3 (入出力) | PD3 |

注1. この端子を使用する場合は、該当端子の設定を汎用入力にしてください(PORTm.PDR.BnビットおよびPORTm.PMR.Bnビットを“0”にする)。

注2. 簡易SPIモードは未対応

3.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

3.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス 0008 C11Fh

| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|------|-------|----|----|----|----|----|----|
| B0WI | PFSWE | — | — | — | — | — | — |

リセット後の値 1 0 0 0 0 0 0 0

| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|-------|-------------------|--|-----|
| b5-b0 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |
| b6 | PFSWE | PFSレジスタ書き込み許可ビット | 0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可 | R/W |
| b7 | B0WI | PFSWEビット書き込み禁止ビット | 0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止 | R/W |

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

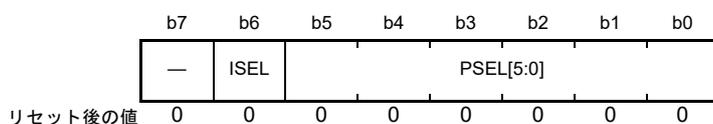
PFSWE ビットを“1”にする場合は、B0WI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

B0WI ビット (PFSWE ビット書き込み禁止ビット)

B0WI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

3.2.2 P1n 端子機能制御レジスタ (P1nPFS) (n = 2, 3, 6, 7)

アドレス P12PFS 0008 C14Ah, P13PFS 0008 C14Bh, P16PFS 0008 C14Eh, P17PFS 0008 C14Fh



| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|-----------|---------------|---|-----|
| b5-b0 | PSEL[5:0] | 端子機能選択ビット | 周辺機能を選択します。個々の端子機能については、表3.2を参照してください | R/W |
| b6 | ISEL | 割り込み入力機能選択ビット | 0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P12 : IRQ2 P13 : IRQ3 P16 : IRQ6 P17 : IRQ7 | R/W |
| b7 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |

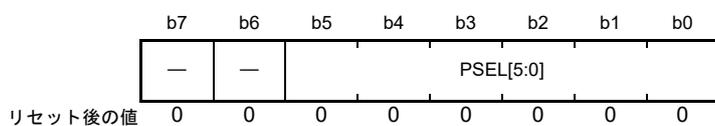
表3.2 端子入出力機能レジスタ設定

| PSEL[5:0]ビット 設定値 | 端子 | | | |
|---------------------|---------------|---------------|-------------------------|---------------|
| | P12 | P13 | P16 | P17 |
| 000000b (初期値) | Hi-Z | | | |
| 000001b | — | MTIOC0B | MTIOC3C | MTIOC3A |
| 000010b | — | — | MTIOC3D | MTIOC3B |
| 000011b | — | TIOCA5 | TIOCB1 | TIOCB0 |
| 000100b | — | — | TCLKC | TCLKD |
| 000101b | TMCI1 | TMO3 | TMO2 | TMO1 |
| 000111b | — | — | RTCOUT | POE8# |
| 001000b | — | — | — | MTIOC4B |
| 001001b | — | ADTRG1# | ADTRG0# | ADTRG1# |
| 001010b | RXD2 SSCL2 | TXD2 SSDA2 | TXD1 SMOSI1 SSDA1 | SCK1 |
| 001011b | — | — | RXD3 SSCL3 | TXD3 SSDA3 |
| 001111b | SCL0[FM+] | SDA0[FM+] | SCL2-DS | SDA2-DS |
| 010001b | — | — | USB0_VBUS | — |

— : 設定しないでください。

3.2.3 P2n 端子機能制御レジスタ (P2nPFS) (n = 6, 7)

アドレス P26PFS 0008 C156h, P27PFS 0008 C157h



| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|-----------|-----------|---------------------------------------|-----|
| b5-b0 | PSEL[5:0] | 端子機能選択ビット | 周辺機能を選択します。個々の端子機能については、表3.3を参照してください | R/W |
| b7-b6 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |

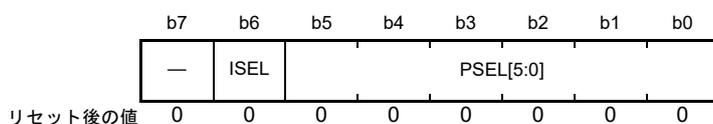
表3.3 端子入出力機能レジスタ設定

| PSEL[5:0]ビット 設定値 | 端子 | |
|---------------------|------------------------|---------|
| | P26 | P27 |
| 000000b (初期値) | Hi-Z | |
| 000001b | MTIOC2A | MTIOC2B |
| 000101b | TMO1 | TMCI3 |
| 001010b | TXD1 SMOS1 SSDA1 | SCK1 |
| 001011b | CTS3# RTS3# | — |

— : 設定しないでください。

3.2.4 P3n 端子機能制御レジスタ (P3nPFS) (n = 0, 1, 4)

アドレス P30PFS 0008 C158h, P31PFS 0008 C159h, P34PFS 0008 C15Ch



| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|-----------|---------------|---|-----|
| b5-b0 | PSEL[5:0] | 端子機能選択ビット | 周辺機能を選択します。個々の端子機能については、表3.4を参照してください | R/W |
| b6 | ISEL | 割り込み入力機能選択ビット | 0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P30 : IRQ0-DS P31 : IRQ1-DS P34 : IRQ4 | R/W |
| b7 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |

表3.4 端子入出力機能レジスタ設定

| PSEL[5:0]ビット 設定値 | 端子 | | |
|---------------------|-------------------------|------------------------|-------------|
| | P30 | P31 | P34 |
| 000000b (初期値) | Hi-Z | | |
| 000001b | MTIOC4B | MTIOC4D | MTIOC0A |
| 000101b | TMRI3 | TMCI2 | TMCI3 |
| 000111b | POE8# | — | POE10# |
| 001010b | RXD1 SMISO1 SSCL1 | — | SCK6 |
| 001011b | — | CTS1# RTS1# SS1# | — |
| 010001b | — | — | ET0_LINKSTA |

— : 設定しないでください。

3.2.5 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 3)

アドレス P40PFS 0008 C160h, P41PFS 0008 C161h, P42PFS 0008 C162h, P43PFS 0008 C163h

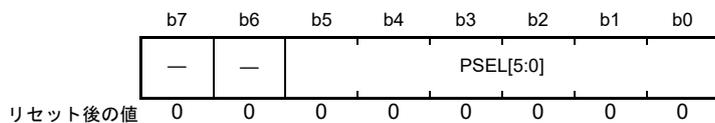
| | | | | | | | |
|------|------|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| ASEL | ISEL | — | — | — | — | — | — |

リセット後の値 0 0 0 0 0 0 0 0

| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|------|---------------|---|-----|
| b5-b0 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |
| b6 | ISEL | 割り込み入力機能選択ビット | 0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P40 : IRQ8-DS P41 : IRQ9-DS P42 : IRQ10-DS P43 : IRQ11-DS | R/W |
| b7 | ASEL | アナログ機能選択ビット | 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000 P41 : AN001 P42 : AN002 P43 : AN003 | R/W |

3.2.6 P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ~ 2)

アドレス P80PFS 0008 C180h, P81PFS 0008 C181h, P82PFS 0008 C182h



| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|-----------|-----------|---------------------------------------|-----|
| b5-b0 | PSEL[5:0] | 端子機能選択ビット | 周辺機能を選択します。個々の端子機能については、表3.5を参照してください | R/W |
| b7-b6 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |

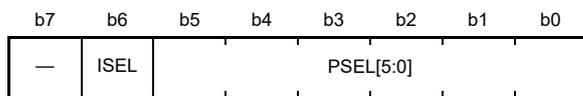
表3.5 端子入出力機能レジスタ設定

| PSEL[5:0]ビット 設定値 | 端子 | | |
|---------------------|--------------|----------------------------|---------------------------|
| | P80 | P81 | P82 |
| 000000b (初期値) | Hi-Z | | |
| 000001b | MTIOC3B | MTIOC3D | MTIOC4A |
| 001010b | SCK10 | RXD10 SMISO10 SSCL10 | TXD10 SMOS10 SSDA10 |
| 001011b | RTS10# | — | — |
| 010010b | RMII0_TXD_EN | RMII0_TXD0 | RMII0_TXD1 |
| 011010b | SDHI_WP | SDHI_CD | — |

— : 設定しないでください。

3.2.7 PAn 端子機能制御レジスタ (PAnPFS) (n = 1 ~ 4)

アドレス PA1PFS 0008 C191h, PA2PFS 0008 C192h, PA3PFS 0008 C193h, PA4PFS 0008 C194h



リセット後の値 0 0 0 0 0 0 0 0

| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|-----------|---------------|--|-----|
| b5-b0 | PSEL[5:0] | 端子機能選択ビット | 周辺機能を選択します。個々の端子機能については、表3.6を参照してください | R/W |
| b6 | ISEL | 割り込み入力機能選択ビット | 0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PA1 : IRQ11 PA3 : IRQ6-DS PA4 : IRQ5-DS | R/W |
| b7 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |

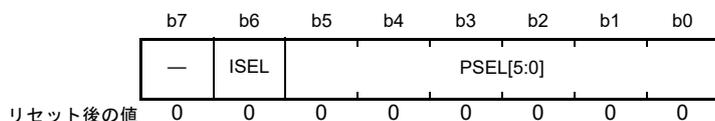
表 3.6 端子入出力機能レジスタ設定

| PSEL[5:0]ビット 設定値 | 端子 | | | |
|---------------------|---------|-------------------------|-------------------------|-------------------------|
| | PA1 | PA2 | PA3 | PA4 |
| 000000b (初期値) | Hi-Z | | | |
| 000001b | MTIOC0B | — | MTIOC0D | MTIC5U |
| 000010b | MTCLKC | — | MTCLKD | MTCLKA |
| 000011b | TIOCB0 | — | TIOC0D | TIOCA1 |
| 000100b | — | — | TCLKB | — |
| 000101b | — | — | — | TMRI0 |
| 001000b | MTIOC7B | MTIOC7A | — | — |
| 001010b | SCK5 | RXD5 SMISO5 SSCL5 | RXD5 SMISO5 SSCL5 | TXD5 SMOSI5 SSDA5 |
| 010001b | ET0_WOL | — | ET0_MDIO | ET0_MDC |

— : 設定しないでください。

3.2.8 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)

アドレス PB0PFS 0008 C198h, PB1PFS 0008 C199h, PB2PFS 0008 C19Ah, PB3PFS 0008 C19Bh, PB4PFS 0008 C19Ch, PB5PFS 0008 C19Dh, PB6PFS 0008 C19Eh, PB7PFS 0008 C19Fh



| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|-----------|---------------|---|-----|
| b5-b0 | PSEL[5:0] | 端子機能選択ビット | 周辺機能を選択します。個々の端子機能については、表3.7を参照してください | R/W |
| b6 | ISEL | 割り込み入力機能選択ビット | 0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PB0 : IRQ12 PB1 : IRQ4-DS | R/W |
| b7 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |

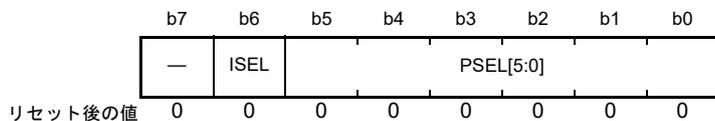
表3.7 端子入出力機能レジスタ設定

| PSEL[5:0]ビット 設定値 | 端子 | | | | | | | |
|---------------------|-------------------------|-------------------------|------------------------|-------------|---------------------------|------------|----------------------------|----------------------------|
| | PB0 | PB1 | PB2 | PB3 | PB4 | PB5 | PB6 | PB7 |
| 000000b (初期値) | Hi-Z | | | | | | | |
| 000001b | MTIC5W | MTIOC0C | — | MTIOC0A | — | MTIOC2A | MTIOC3D | MTIOC3B |
| 000010b | — | MTIOC4C | — | MTIOC4A | — | MTIOC1B | — | — |
| 000011b | TIOCA3 | TIOCB3 | TIOCC3 | TIOCD3 | TIOCA4 | TIOCB4 | TIOCA5 | TIOCB5 |
| 000100b | — | — | TCLKC | TCLKD | — | — | — | — |
| 000101b | — | TMCIO | — | TMO0 | — | TMR11 | — | — |
| 000111b | — | — | — | POE11# | — | POE4# | — | — |
| 001010b | RXD4 SMISO4 SSCL4 | TXD4 SMOSI4 SSDA4 | CTS4# RTS4# SS4# | SCK4 | — | SCK9 | RXD9 SMISO9 SSCL9 | TXD9 SMOSI9 SSDA9 |
| 001011b | RXD6 SMISO6 SSCL6 | TXD6 SMOSI6 SSDA6 | CTS6# RTS6# SS6# | SCK6 | CTS9# RTS9# SS9# | — | — | — |
| 010010b | RMII0_RXD1 | RMII0_RXD0 | REF50CK0 | RMII0_RX_ER | RMII0_TXD_E N | RMII0_TXD0 | RMII0_TXD1 | RMII0_CRS_D V |
| 100011b | — | — | SDSI_D2 | SDSI_D3 | SDSI_CMD | SDSI_CLK | SDSI_D0 | SDSI_D1 |
| 100100b | — | — | — | — | CTS11# RTS11# SS11# | SCK11 | RXD11 SMISO11 SSCL11 | TXD11 SMOSI11 SSDA11 |

— : 設定しないでください。

3.2.9 PCn 端子機能制御レジスタ (PCnPFS) (n = 0, 1, 4 ~ 7)

アドレス PC0PFS 0008 C1A0h, PC1PFS 0008 C1A1h, PC4PFS 0008 C1A4h, PC5PFS 0008 C1A5h, PC6PFS 0008 C1A6h, PC7PFS 0008 C1A7h



| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|-----------|---------------|---|-----|
| b5-b0 | PSEL[5:0] | 端子機能選択ビット | 周辺機能を選択します。個々の端子機能については、表3.8を参照してください | R/W |
| b6 | ISEL | 割り込み入力機能選択ビット | 0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PC0 : IRQ14 PC1 : IRQ12 PC6 : IRQ13 PC7 : IRQ14 | R/W |
| b7 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |

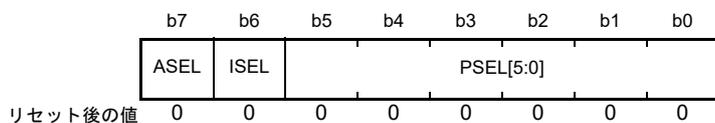
表3.8 端子入出力機能レジスタ設定

| PSEL[5:0]ビット 設定値 | 端子 | | | | | |
|---------------------|------------------------|---------|---------------------------|---------|----------------------------|----------------------------|
| | PC0 | PC1 | PC4 | PC5 | PC6 | PC7 |
| 000000b (初期値) | Hi-Z | | | | | |
| 000001b | MTIOC3C | MTIOC3A | MTIOC3D | MTIOC3B | MTIOC3C | MTIOC3A |
| 000010b | — | — | MTCLKC | MTCLKD | MTCLKA | MTCLKB |
| 000011b | TCLKC | TCLKD | — | — | — | — |
| 000101b | — | — | TMC11 | TMR12 | TMC12 | TMO2 |
| 000111b | — | — | POE0# | — | — | CACREF |
| 001010b | — | SCK5 | SCK5 | SCK8 | RXD8 SMISO8 SSCL8 | TXD8 SMOSI8 SSDA8 |
| 001011b | CTS5# RTS5# SS5# | — | CTS8# RTS8# SS8# | — | — | — |
| 001101b | SSLA1 | SSLA2 | SSLA0 | RSPCKA | MOSIA | MISOA |
| 011101b | — | — | — | — | TIC0 | TOC0 |
| 100100b | — | — | CTS10# RTS10# SS10# | SCK10 | RXD10 SMISO10 SSCL10 | TXD10 SMOSI10 SSDA10 |

— : 設定しないでください。

3.2.10 PDn 端子機能制御レジスタ (PDnPFS) (n = 2 ~ 7)

アドレス PD2PFS 0008 C1AAh, PD3PFS 0008 C1ABh, PD4PFS 0008 C1ACh, PD5PFS 0008 C1ADh, PD6PFS 0008 C1AEh, PD7PFS 0008 C1AFh



| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|-----------|---------------|--|-----|
| b5-b0 | PSEL[5:0] | 端子機能選択ビット | 周辺機能を選択します。個々の端子機能については、表3.9を参照してください | R/W |
| b6 | ISEL | 割り込み入力機能選択ビット | 0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PD2 : IRQ2 PD3 : IRQ3 PD4 : IRQ4 PD5 : IRQ5 PD6 : IRQ6 PD7 : IRQ7 | R/W |
| b7 | ASEL | アナログ機能選択ビット | 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PD2 : AN110 PD3 : AN111 PD4 : AN112 PD5 : AN113 PD6 : AN106 PD7 : AN107 | R/W |

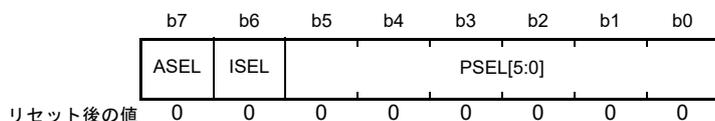
表3.9 端子入出力機能レジスタ設定

| PSEL[5:0]ビット 設定値 | 端子 | | | | | |
|---------------------|---------|---------|----------|----------|-------------|-------------|
| | PD2 | PD3 | PD4 | PD5 | PD6 | PD7 |
| 000000b (初期値) | Hi-Z | | | | | |
| 000001b | MTIOC4D | — | — | MTIC5W | MTIC5V | MTIC5U |
| 000111b | — | POE8# | POE11# | POE10# | POE4# | POE0# |
| 001000b | — | MTIOC8D | MTIOC8B | MTIOC8C | MTIOC8A | — |
| 011010b | SDHI_D2 | SDHI_D3 | SDHI_CMD | SDHI_CLK | SDHI_D0 | SDHI_D1 |
| 011011b | QIO2 | QIO3 | QSSL | QSPCLK | QIO0 QMO | QIO1 QMI |
| 011101b | TIC2 | TOC2 | — | — | — | — |

— : 設定しないでください。

3.2.11 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 2, 4 ~ 7)

アドレス PE0PFS 0008 C1B0h, PE1PFS 0008 C1B1h, PE2PFS 0008 C1B2h, PE4PFS 0008 C1B4h, PE5PFS 0008 C1B5h, PE6PFS 0008 C1B6h, PE7PFS 0008 C1B7h



| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|-----------|---------------|---|-----|
| b5-b0 | PSEL[5:0] | 端子機能選択ビット | 周辺機能を選択します。個々の端子機能については、表3.10を参照してください | R/W |
| b6 | ISEL | 割り込み入力機能選択ビット | 0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PE2 : IRQ7-DS PE5 : IRQ5 PE6 : IRQ6 PE7 : IRQ7 | R/W |
| b7 | ASEL | アナログ機能選択ビット | 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PE0 : ANEX0 PE1 : ANEX1 PE2 : AN100 PE4 : AN102 PE5 : AN103 PE6 : AN104 PE7 : AN105 | R/W |

表3.10 端子入出力機能レジスタ設定

| PSEL[5:0]ビット 設定値 | 端子 | | | | | | |
|---------------------|---------|-------------------------------------|---------------------------|---------|----------|---------|---------|
| | PE0 | PE1 | PE2 | PE4 | PE5 | PE6 | PE7 |
| 000000b (初期値) | Hi-Z | | | | | | |
| 000001b | — | MTIOC4C | MTIOC4A | MTIOC4D | MTIOC4C | — | — |
| 000010b | — | — | — | MTIOC1A | MTIOC2B | — | — |
| 001000b | MTIOC3D | MTIOC3B | — | — | — | MTIOC6C | MTIOC6A |
| 001100b | SCK12 | TXD12 SSDA12 TXDX12 SIOX12 | RXD12 SSCL12 RXDX12 | — | — | — | — |
| 001101b | SSLB1 | SSLB2 | SSLB3 | SSLB0 | RSPCKB | MOSIB | MISOB |
| 010010b | — | — | — | — | REF50CK0 | — | — |
| 011010b | — | — | — | — | — | SDHI_CD | SDHI_WP |
| 011101b | — | — | TIC3 | — | — | TIC1 | TOC1 |

— : 設定しないでください。

3.2.12 イーサネット制御レジスタ (PFENET)

アドレス 0008 C10Eh

| | | | | | | | | |
|---------|----|----|----|--------------|----|----|----|----|
| | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| | — | — | — | PHYM ODE0 | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|----------|--------------------------|-----------------------------|-----|
| b3-b0 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |
| b4 | PHYMODE0 | イーサネットチャンネル0モード 設定ビット | 0 : RMIIモード(ETHERC0) | R/W |
| b7-b5 | — | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください | R/W |

PHYMODE0 ビット (イーサネットチャンネル0モード設定ビット)

ETHERC0 の PHY モードを設定します。

端子機能選択ビット (PmnPFS.PSEL[5:0]) で設定したモードと同じモードに設定してください。

PmnPFS.PSEL[5:0] ビットで RMII モードの信号を設定した場合には PHYMODE ビットを“0”(RMII モード) にしてください。

3.3 使用上の注意事項

3.3.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

- (1) 当該端子のポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
- (2) 周辺モジュールにおいて、当該端子にアサインする入出力信号を設定します。
- (3) 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします。(m = 1 ~ 5, 8, A ~ E, n = 0 ~ 7)
- (4) PmnPFS.PSEL[5:0] ビットにより端子入出力機能を設定します (対応する端子が存在する PmnPFS のみ)。
- (5) PWPR.PFSWE ビットを“0”にして、PmnPFS レジスタへの書き込み禁止してください。
- (6) 必要に応じて PMR レジスタを“1”にして、選択された端子入出力機能に切り替えます。

3.3.2 MPC レジスタ設定する場合の注意事項

- (1) Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。当該端子の PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は意図しないパルスが出力されたりする可能性があります。
- (2) PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合動作は保証されません。
- (3) MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
- (4) ポート 4, D, E は A/D コンバータのアナログ入出力端子の機能も兼ねています。アナログ入出力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットを“0”にして、ポート方向レジスタ (PDR) の当該ビットに“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。
- (5) 時間キャプチャ制御レジスタ y (RTCCRy) (y = 0 ~ 2) の時間キャプチャイベント入力端子イネーブルビット (TCEN) は、リセット後の初期値は不定です。不要な入力を禁止するために、同ビットを“0”に設定してください。
- (6) 複数の機能が割り当てられている端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 3.11 に示します。端子状態の読み出しは、ASEL ビットが“0”のとき可能です。PSEL[5:0] ビットの変更は、PMR.Bj ビットが“0”のときに行ってください。

表 3.11 レジスタの設定

| 項目 | PMR.Bn | PDR.Bn | PmnPFS | | | 注意事項 |
|-----------------|--------|--------|--------|--------|--------------------------------|---|
| | | | ASEL | ISEL | PSEL[5:0] | |
| リセット解除後 | 0 | 0 | 0 | 0 | 000000b | リセット解除後は汎用入力ポートとして機能します |
| 汎用入力ポート | 0 | 0 | 0 | 0/1 | x | 割り込み入力と併用する場合は、PmnPFS.ISEL ビットを“1”にしてください |
| 汎用出力ポート | 0 | 1 | 0 | 0 | x | |
| 周辺機能 | 1 | x | 0 | 0/1 | 周辺機能 (表 3.2 ~ 表 3.10 参照) | 割り込み入力と併用する場合は、PmnPFS.ISEL ビットを“1”にしてください |
| 割り込み入力 | 0 | 0 | 0 | 1 | x | |
| NMI | x | x | x | x (注1) | x | レジスタの設定は不要です |
| アナログ入出力 | 0 | 0 | 1 | x (注1) | x | 出力バッファをOFFにするため、汎用入力ポートに設定してください |
| 時間キャプチャイベント入力端子 | 0 | 0 | x | 0/1 | x | 出力バッファをOFFにするため、汎用入力ポートに設定してください |
| JTAGインタフェース | 0 | x | x | 0 | x | PMR.Bn ビットを“0”に、PmnPFS.ISEL ビットを“0”にして入力バッファをOFFにしてください |
| FINE インタフェース | 0 | x | x | 0 | x | PMR.Bn ビットを“0”に、PmnPFS.ISEL ビットを“0”にして入力バッファをOFFにしてください |
| EXTAL/XTAL | 0 | 0 | x | x (注1) | x | 出力バッファをOFFするため、汎用入力ポートに設定してください |

x : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がアサインされている場合)

注1. PmnPFS.ISEL ビットを“1”にしても、IRQn 入力端子として機能しません。

- 注 .
- 端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。
 - PmnPFS.PSEL[5:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。
 - RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります)。
 - 時間キャプチャイベント入力端子を使用しない場合は、同入力の時間キャプチャ制御レジスタ y (RTCCRy) (y = 0 ~ 2) の時間キャプチャイベント入力端子イネーブルビット (RTCCRy.TCEN) を“0” (無効) にしてください。なお、リセット後の RTCCRy.TCEN ビットの値は不定です。

3.3.3 アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にし、当該端子を汎用入力ポートにしてから、Pmn 端子機能制御レジスタの端子機能選択ビット (PmnPFS.ASEL) を“1”にしてください。

4. バウンダリスキャン

本 MCU は、バウンダリスキャン機能を内蔵しています。

バウンダリスキャンは、JTAG (Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) と同等なシリアル入出力インタフェースです。

4.1 概要

表 4.1 にバウンダリスキャンの仕様を示します。

図 4.1 にバウンダリスキャンのブロック図を示します。

表4.1 バウンダリスキャンの仕様

| 項目 | 内容 |
|----------------|--|
| バウンダリスキャン有効/無効 | RES#端子をHigh、EMLE端子をLow、かつBSCANP端子をHighとしたときにバウンダリスキャン機能が有効 |
| バウンダリスキャン専用端子 | バウンダリスキャン機能が有効時、以下はJTAG専用端子(TDO/TCK/TDI/TMS/TRST#) P26/P27/P30/P31/P34 |
| 6種類のテストモード | <ul style="list-style-type: none"> • BYPASSモード • EXTESTモード • SAMPLE/PRELOADモード • CLAMPモード • HIGHZモード • IDCODEモード |

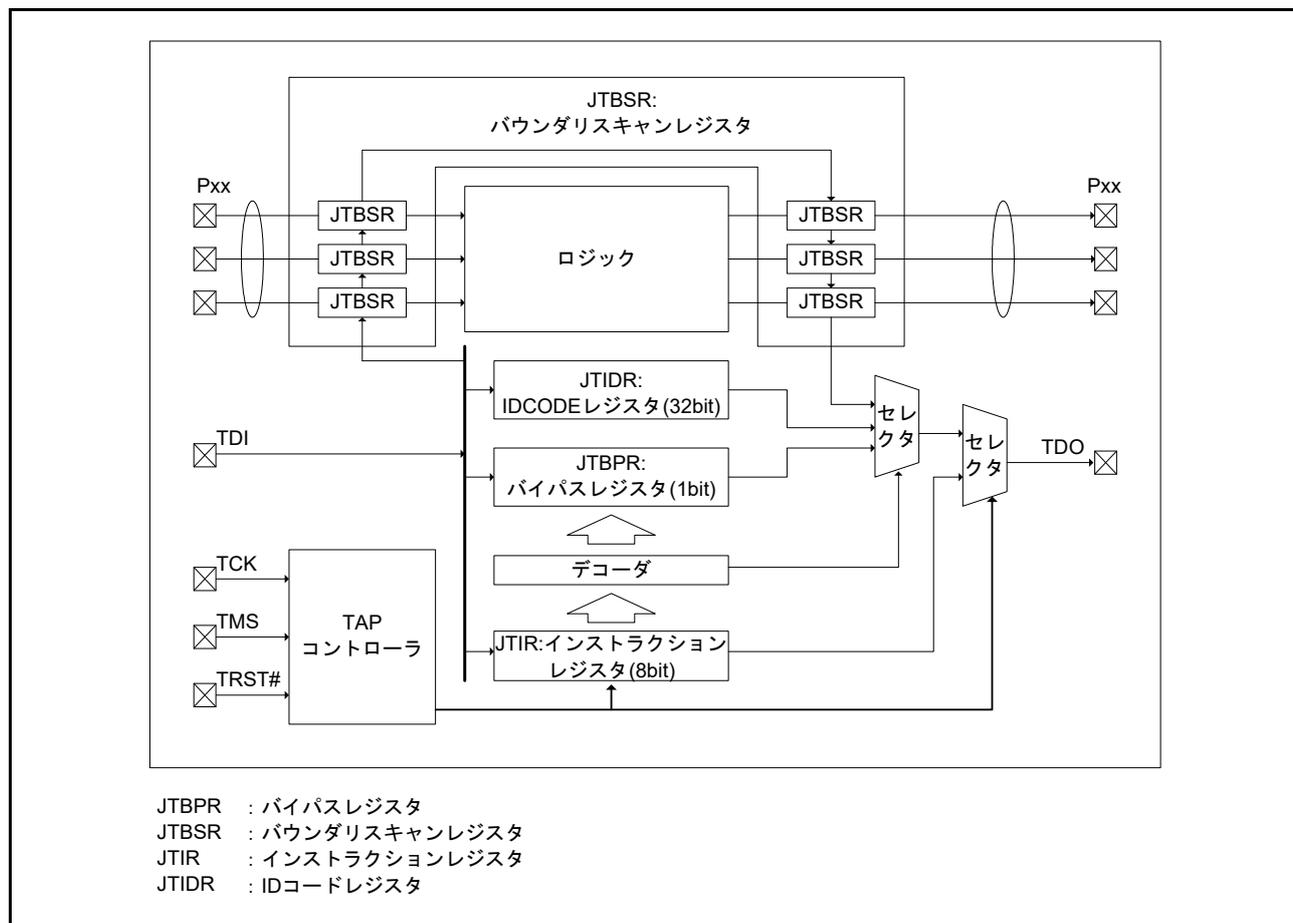


図 4.1 JTAG ブロック図

表 4.2 にバウンダリスキャンで使用する入出力端子を示します。

表 4.2 JTAG 入出力端子

| 端子名 | 入出力 | 機能 |
|-------|-----|--|
| TCK | 入力 | テストクロック入力 バウンダリスキャン用のクロック信号 バウンダリスキャン機能使用時はデューティ比50%のクロックを入力してください |
| TMS | 入力 | テストモードセレクト |
| TDI | 入力 | テストデータ入力 |
| TDO | 出力 | テストデータ出力 |
| TRST# | 入力 | テストリセット入力 |

4.2 レジスタの説明

表 4.3 にバウンダリスキャンのレジスタ一覧を示します。

表 4.3 バウンダリスキャンのレジスタ一覧

| レジスタ名 | シンボル | リセット後の値 |
|---------------|-------|------------|
| インストラクションレジスタ | JTIR | 55h |
| IDコードレジスタ | JTIDR | 0835 9447h |
| バイパスレジスタ | JTBPR | 不定 |
| バウンダリスキャンレジスタ | JTBSR | 不定 |

インストラクションは、TDI 端子からシリアル転送により JTIR レジスタへ入力できます。

JTBPR レジスタは 1 ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます。

JTBSR レジスタは表 4.6 の構成のレジスタで、テストデータをシフトインするときに TDI 端子と TDO 端子の間に接続されます。

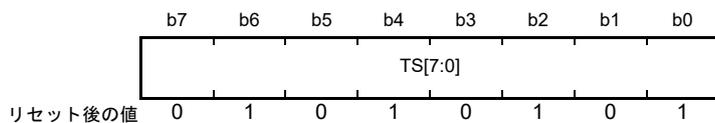
すべてのレジスタは、CPU からアクセスできません。

表 4.4 に各レジスタのシリアル転送を示します。

表 4.4 レジスタのシリアル転送

| レジスタ | シリアル入力 | シリアル出力 |
|-----------------------|--------|--------|
| インストラクションレジスタ (JTIR) | 可能 | 可能 |
| IDコードレジスタ (JTIDR) | 可能 | 可能 |
| バイパスレジスタ (JTBPR) | 可能 | 可能 |
| バウンダリスキャンレジスタ (JTBSR) | 可能 | 可能 |

4.2.1 インストラクションレジスタ (JTIR)



| ビット | シンボル | ビット名 | 機能 | R/W |
|-------|---------|-----------|----------------------|-----|
| b7-b0 | TS[7:0] | テストビットセット | コマンド構成は表4.5のようになります。 | — |

表4.5 コマンド構成

| TS7 | TS6 | TS5 | TS4 | TS3 | TS2 | TS1 | TS0 | インストラクション |
|------|-----|-----|-----|-----|-----|-----|-----|----------------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | EXTEST |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | SAMPLE/PRELOAD |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | IDCODE (初期値) |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | CLAMP |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | HIGHZ |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | BYPASS |
| 上記以外 | | | | | | | | 予約 |

バウンダリスキャンのインストラクションは、TDI 端子からのシリアル入力によって JTIR レジスタに転送することができます。

JTIR レジスタは TRST# 端子が Low、または TAP コントローラが Test-Logic-Reset 状態のときに初期化されます。

4.2.2 ID コードレジスタ (JTIDR)



| ビット | シンボル | ビット名 | 機能 | R/W |
|--------|-----------|-------|-----------------------|-----|
| b31-b0 | DID[31:0] | 予約ビット | デバイスIDCODEを示す固定値のレジスタ | — |

注1. 各製品のIDコードは、「表4.3 バウンダリスキャンのレジスタ一覧」を参照してください。

IDCODE 命令時、JTIDR レジスタのデータを TDO 端子から出力します。

4.2.3 バイパスレジスタ (JTBPR)

JTBPR レジスタは、1 ビットのレジスタです。

BYPASS モードに設定された場合、TDI 端子と TDO 端子は JTBPR レジスタに接続されます。

CPU から JTBPR レジスタへ読み出し / 書き込みできません。

4.2.4 バウンダリスキャンレジスタ (JTBSR)

JTBSR レジスタは、MCU の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、バウンダリスキャンテストを行うことができます。

表 4.6 に MCU の端子とバウンダリスキャンレジスタの対応を示します。

リセット後の値は、不定です。

表4.6 バウンダリスキャンレジスタ
145ピンTFBGA (1 / 3)

| Pin No | 端子名 | タイプ | ビット名 |
|----------|-----|---------|------|
| From TDI | | | |
| L13 | MD | 出力 | 381 |
| | | 出カイナーブル | 380 |
| | | 入力 | 379 |
| K13 | P35 | 入力 | 375 |
| F15 | P17 | 出力 | 323 |
| | | 出カイナーブル | 322 |
| | | 入力 | 321 |
| G15 | P16 | 出力 | 317 |
| | | 出カイナーブル | 316 |
| | | 入力 | 315 |
| G14 | P13 | 出力 | 305 |
| | | 出カイナーブル | 304 |
| | | 入力 | 303 |
| F14 | P12 | 出力 | 302 |
| | | 出カイナーブル | 301 |
| | | 入力 | 300 |
| A15 | P53 | 出力 | 266 |
| | | 出カイナーブル | 265 |
| | | 入力 | 264 |
| D13 | PC7 | 出力 | 251 |
| | | 出カイナーブル | 250 |
| | | 入力 | 249 |
| C14 | PC6 | 出力 | 248 |
| | | 出カイナーブル | 247 |
| | | 入力 | 246 |
| B14 | PC5 | 出力 | 245 |
| | | 出カイナーブル | 244 |
| | | 入力 | 243 |
| A14 | P82 | 出力 | 242 |
| | | 出カイナーブル | 241 |
| | | 入力 | 240 |
| C13 | P81 | 出力 | 239 |
| | | 出カイナーブル | 238 |
| | | 入力 | 237 |
| B13 | P80 | 出力 | 236 |
| | | 出カイナーブル | 235 |
| | | 入力 | 234 |
| A13 | PC4 | 出力 | 233 |
| | | 出カイナーブル | 232 |
| | | 入力 | 231 |
| F13 | PC1 | 出力 | 212 |
| | | 出カイナーブル | 211 |
| | | 入力 | 210 |

表4.6 バウンダリスキャンレジスタ
145ピンTFBGA (2 / 3)

| Pin No | 端子名 | タイプ | ビット名 |
|--------|-----|---------|------|
| E14 | PC0 | 出力 | 209 |
| | | 出カイナーブル | 208 |
| | | 入力 | 207 |
| N4 | PB7 | 出力 | 203 |
| | | 出カイナーブル | 202 |
| | | 入力 | 201 |
| P4 | PB6 | 出力 | 200 |
| | | 出カイナーブル | 199 |
| | | 入力 | 198 |
| P5 | PB5 | 出力 | 197 |
| | | 出カイナーブル | 196 |
| | | 入力 | 195 |
| N6 | PB4 | 出力 | 194 |
| | | 出カイナーブル | 193 |
| | | 入力 | 192 |
| N5 | PB3 | 出力 | 191 |
| | | 出カイナーブル | 190 |
| | | 入力 | 189 |
| P6 | PB2 | 出力 | 188 |
| | | 出カイナーブル | 187 |
| | | 入力 | 186 |
| P9 | PB1 | 出力 | 185 |
| | | 出カイナーブル | 184 |
| | | 入力 | 183 |
| P8 | PB0 | 出力 | 176 |
| | | 出カイナーブル | 175 |
| | | 入力 | 174 |
| N7 | PA4 | 出力 | 164 |
| | | 出カイナーブル | 163 |
| | | 入力 | 162 |
| P7 | PA3 | 出力 | 161 |
| | | 出カイナーブル | 160 |
| | | 入力 | 159 |
| R8 | PA2 | 出力 | 155 |
| | | 出カイナーブル | 154 |
| | | 入力 | 153 |
| N8 | PA1 | 出力 | 149 |
| | | 出カイナーブル | 148 |
| | | 入力 | 147 |
| A12 | PE7 | 出力 | 122 |
| | | 出カイナーブル | 121 |
| | | 入力 | 120 |
| B12 | PE6 | 出力 | 119 |
| | | 出カイナーブル | 118 |
| | | 入力 | 117 |

表 4.6 バウンダリスキャンレジスタ
145ピンTFBGA (3 / 3)

| Pin No | 端子名 | タイプ | ビット名 |
|--------|-----|---------|------|
| B11 | PE5 | 出力 | 113 |
| | | 出カイナーブル | 112 |
| | | 入力 | 111 |
| A10 | PE4 | 出力 | 110 |
| | | 出カイナーブル | 109 |
| | | 入力 | 108 |
| R9 | PE2 | 出力 | 104 |
| | | 出カイナーブル | 103 |
| | | 入力 | 102 |
| E13 | PE1 | 出力 | 101 |
| | | 出カイナーブル | 100 |
| | | 入力 | 99 |
| D14 | PE0 | 出力 | 98 |
| | | 出カイナーブル | 97 |
| | | 入力 | 96 |
| R10 | PD7 | 出力 | 80 |
| | | 出カイナーブル | 79 |
| | | 入力 | 78 |
| N9 | PD6 | 出力 | 74 |
| | | 出カイナーブル | 73 |
| | | 入力 | 72 |
| P10 | PD5 | 出力 | 68 |
| | | 出カイナーブル | 67 |
| | | 入力 | 66 |
| N10 | PD4 | 出力 | 65 |
| | | 出カイナーブル | 64 |
| | | 入力 | 63 |
| N11 | PD3 | 出力 | 59 |
| | | 出カイナーブル | 58 |
| | | 入力 | 57 |
| P11 | PD2 | 出力 | 53 |
| | | 出カイナーブル | 52 |
| | | 入力 | 51 |
| R11 | P43 | 出力 | 14 |
| | | 出カイナーブル | 13 |
| | | 入力 | 12 |
| N12 | P42 | 出力 | 11 |
| | | 出カイナーブル | 10 |
| | | 入力 | 9 |
| P12 | P41 | 出力 | 8 |
| | | 出カイナーブル | 7 |
| | | 入力 | 6 |
| N13 | P40 | 出力 | 5 |
| | | 出カイナーブル | 4 |
| | | 入力 | 3 |
| To TDO | | | |

4.3 動作説明

バウンダリスキャン機能は、RES# 端子を High、EMLE 端子を Low、かつ BSCANP 端子を High としたとき有効になります。

4.3.1 TAP コントローラ

図 4.2 に TAP コントローラの状態遷移図を示します。

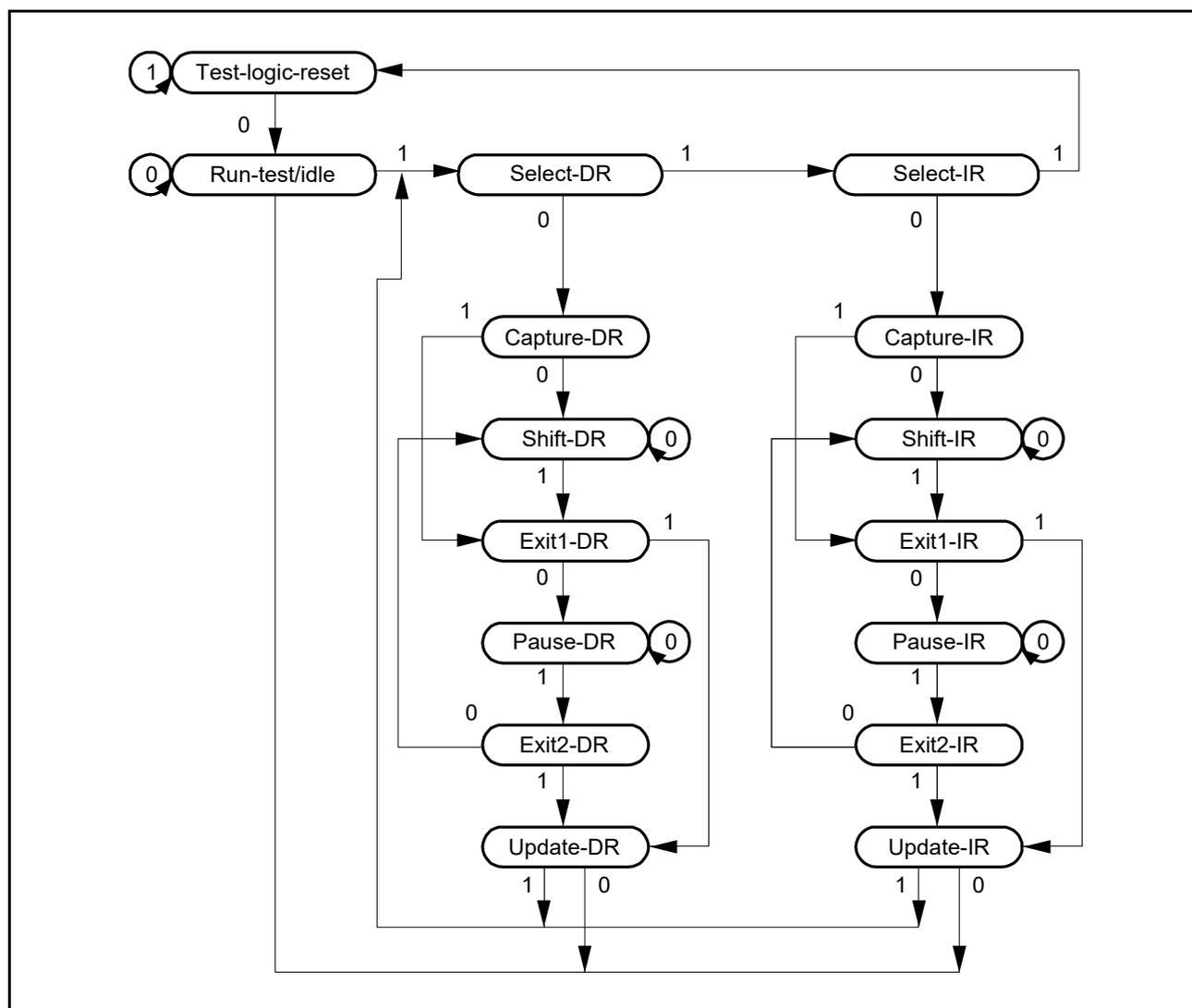


図 4.2 TAP コントローラの状態遷移図

4.3.2 コマンド一覧

(1) BYPASS[命令コード : 1111 1111b]

BYPASS 命令は、JTBPB レジスタを動作させる命令です。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子には JTBPB レジスタが接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO が Low となり、その後の Shift-DR で TDI が TDO から出力されます。

(2) EXTEST[命令コード : 0000 0000b]

EXTEST 命令は、LSI をプリント基板に実装したとき、外部回路をテストするためのものです。この命令の実行時、出力端子は JTBSR レジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力端子はプリント基板から JTBSR レジスタにテスト結果を取り込むために使用されます。

(3) SAMPLE/PRELOAD[命令コード : 0100 0000b]

SAMPLE/PRELOAD 命令は、LSI の内部回路から JTBSR レジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、LSI の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットを JTBSR レジスタに取り込みスキャンパスから読みます。スナップショットの取り込みは Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナップショットの取り込みは LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスから JTBSR レジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力端子から不定値が出力される (EXTEST 命令では出力端子にパラレル出力ラッチを出力する) ことになります。

(4) IDCODE[命令コード : 0101 0101b]

IDCODE 命令が選択されると、TAP コントローラの Shift-DR ステート時に JTIDR レジスタの値を LSB より TDO から出力します。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。TAP コントローラの Test-Logic-Reset ステート時インストラクションレジスタは IDCODE 命令に初期化されます。

(5) CLAMP[命令コード : 1101 0000b]

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定された JTBSR レジスタの値を出力します。CLAMP 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

この命令では TDI 端子と TDO 端子にバイパスレジスタが接続され、BYPASS モードを選択したときと同様の動作をします。

(6) HIGHZ[命令コード : 1000 0000b]

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

4.4 使用上の注意事項

(1) シリアル転送時、データの入出力はLSB側からとなります。図 4.3 に示します。

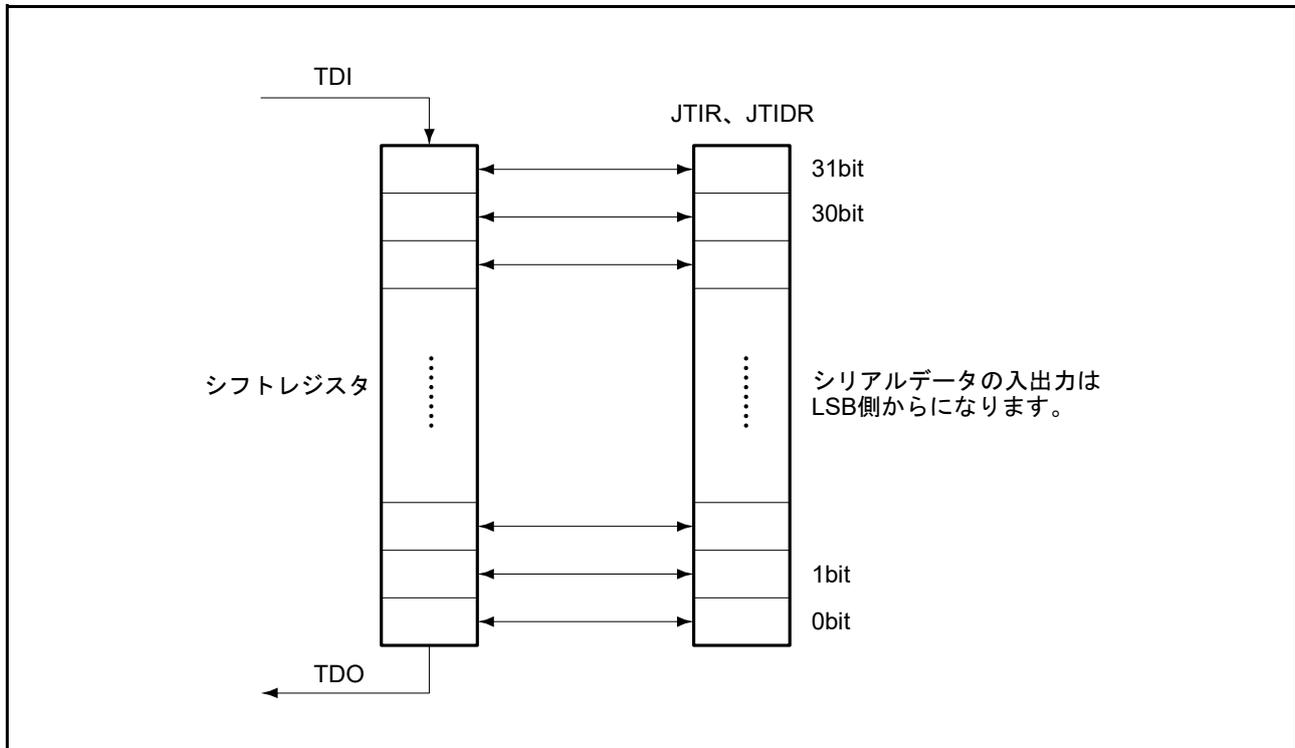


図 4.3 シリアルデータ入出力

- (2) バウンダリスキャンの端子 (TCK, TDI, TMS, TRST#) は、プルアップ抵抗にてプルアップしてください。ただし、オンチップエミュレータを使用する場合は、使用するオンチップエミュレータのマニュアルに従って、TRST# 端子を処理してください。
TRST# 端子をプルダウンする場合には、バウンダリスキャン時に、TRST# も制御するようにしてください。
- (3) 電源端子 (VCC, VCL, VSS, AVCC0, AVCC1, AVSS0, AVSS1, VCC_USB, VSS_USB, VCC_DA, VCC_RF, VCC_A, VCC_DDC, VSS_DDC, VCC_D) はバウンダリスキャン対象外です。
- (4) アナログリファレンス端子 (VREFH0, VREFL0, VBATT) はバウンダリスキャンの対象外です。
- (5) クロック端子 (EXTAL, XTAL, XCIN, XCOU) はバウンダリスキャンの対象外です。
- (6) リセット端子 (RES#) はバウンダリスキャンの対象外です。
- (7) USB 専用端子 (USB0_DP, USB0_DM) はバウンダリスキャンの対象外です。
- (8) オンチップエミュレータイネーブル端子 (EMLE) はバウンダリスキャンの対象外です。
- (9) バウンダリスキャン端子 (BSCANP) はバウンダリスキャンの対象外です。
- (10) バウンダリスキャンの端子 (TCK, TMS, TRST#, TDI, TDO) はバウンダリスキャン対象外です。
- (11) RF トランシーバ機能端子 (「表 1.4 端子機能一覧」の RF トランシーバ端子参照) は、バウンダリスキャンの対象外です。
- (12) バウンダリスキャン機能は以下のとき、使用できません。
- リセット状態
 - ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
- (13) オープンドレイン機能付き端子を、オープンレイン機能有効として使用した場合、バウンダリスキャン機能で出力のスキャンレジスタを 1、出力イネーブルレジスタを 1 に設定し、EXTEST 命令、CLAMP

命令、SAMPLE/PRELOAD 命令のいずれかを実行すると端子はハイインピーダンスではなく、High 出力になります。

- (14) 複合ポートの場合、バウンダリスキャンの規格を守るように注意してください。RIIC 端子との複合ポート端子構成 (P12, P13, P16, P17) を図 4.4 (1) に示します。P12、P13、P16、P17 を RIIC 端子 (SCL0[FM+], SCL2, SDA0[FM+], SDA2) として使用した場合、バウンダリスキャン機能をご使用の際は、オープンドレイン出力との衝突、回り込みに注意してください。
- (15) P40 ~ P43、PD2 ~ PD7、PE0 ~ PE2、PE4 ~ PE7 端子構成を図 4.4 (2) に示します。P40 ~ P43、PD2 ~ PD7、PE0 ~ PE2、PE4 ~ PE7 を AD 入力 (AN000 ~ AN003, ANEX0, ANEX1, AN100, AN102 ~ AN107, AN110 ~ AN113) として使用した場合、バウンダリスキャン機能をご使用の際は、AD 入力との衝突、回り込みに注意してください。
- (16) MD 端子は HIGHZ オプションを使用することができません。

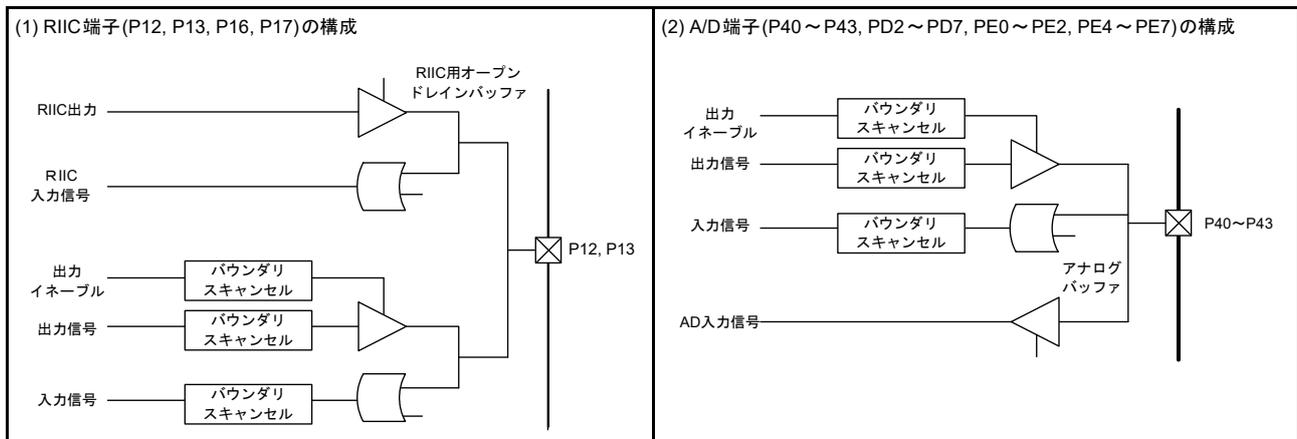


図 4.4 各端子の構成

5. RF トランシーバ

詳細な仕様については、製品のご使用時に RF トランシーバ (R9A06G062GNP) の最新のユーザーズマニュアルを参照してください。RF トランシーバの概要を以下に示します。

5.1 特長

表 5.1 RF トランシーバの仕様

| 項目 | 内容 |
|-----------------|--|
| 完全統合型ラジオトランシーバ | <ul style="list-style-type: none"> 以下の各国の周波数帯域を含む、863～928MHzに対応 欧州バンド：863～870、870～876MHz 北米バンド：902～928MHz ブラジルバンド：902～907.5、915～928MHz 日本バンド：920～928MHz |
| 物理層 | <ul style="list-style-type: none"> SUN FSK シンボル・レート：10、20、50、100、150、200kbps 前方誤り訂正 (FEC) 変調方式：2FSK、GFSK SUN OFDM Option 1：100、200、400、800、1200、1600、2400kbps Option 2：50、100、200、400、600、800、1200kbps Option 3：25、50、100、200、300、400、600kbps Option 4：12.5、25、50、100、150、200、300kbps |
| MAC | <ul style="list-style-type: none"> 32ビット・タイマ 送信RAM、受信RAM：それぞれ2Kバイト 割り込み機能 16/32ビット自動CRC機能 自動ACK返信が可能なアドレス・フィルタ機能 アンテナ・ダイバーシティ 自動CSMA-CA機能 |
| トランシーバ制御インタフェース | <ul style="list-style-type: none"> シリアル・ペリフェラル・インタフェース (SPI) |
| ラジオトランシーバ | <ul style="list-style-type: none"> +15dBmまで送信パワー出力を設定可能 (SUN FSK時) +11dBmまで送信パワー出力を設定可能 (SUN OFDM時) 受信感度を-109dBmまで下げることが可能 (50kbps、SUN FSK時) 受信感度を-119dBmまで下げることが可能 (Option-4 MCS0、SUN OFDM時) 受信信号強度のインジケータ、エナジー検出機能搭載 内部電圧レギュレータを内蔵 動作電圧：2.7～3.6V 低消費電力 (ベースバンド処理を含む) スタンバイ状態：0.5μA 受信動作時：16.7mA (SUN FSK (2GFSK)、100kbps時) 受信動作時：21.5mA (SUN OFDM、option 1、MCS6時) 送信動作時：62.0mA (SUN FSK、+15dBm出力パワー時) 送信動作時：68.0mA (SUN OFDM、+10dBm出力パワー時) |

5.2 用途

- スマートメータ (電気、ガス、水道) 対応製品
IEEE 802.15.4, Wi-SUN®
- HEMS コントローラ
- セキュリティ & ビル・オートメーション
- 産業用モニタ & 制御
- ワイヤレスセンサネットワーク
- 蓄電アプリ等

5.3 ブロック図

図 5.1 に RF トランシーバのブロック図を示します。

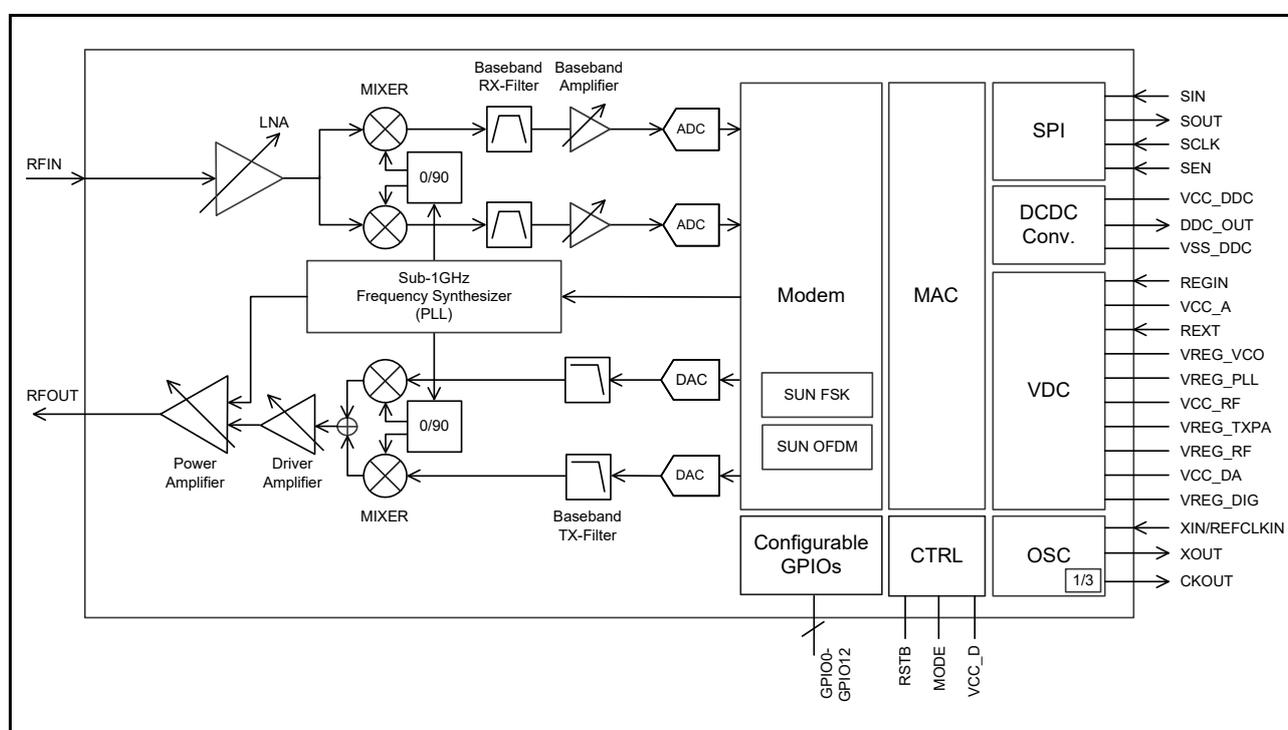


図 5.1 RF トランシーバブロック図

(1) 受信経路

受信アーキテクチャは低 IF 変換を使用しており、受信 RF 信号は低ノイズ増幅器 (LNA) によって増幅され、直交データ (I および Q) で中間周波数 (IF) にダウンコンバートされます。

受信経路は、高い線形性、プログラム可能なゲインを備えた広いダイナミックレンジ、およびサブ GHz 帯域でのロバストな動作を保証する高次のオンチップチャンネルフィルタリングを有しています。自動利得制御 (AGC) アルゴリズムは、高速応答時間用に最適化されたデジタル回路からのフィードバック制御ループを使用しています。

LNA およびベースバンドアンプ (BBA) の出力にあるパワーディテクタにより、LNA および BBA ゲインを最適に調整して、IM3、チャンネル選択性、および受信感度性能を最適化できます。

(2) 送信経路

FSK 変調の送信機は、RF シンセサイザ周波数の直接変調合成に基づいています。パワーアンプ (PA) 入力
は RF シンセサイザによって生成されたローカル信号であり、出力レベルは 1dB ステップのアンテナレベル
で -15dBm ~ +15dBm の範囲で設定できます。

OFDM 変調の送信機は、完全統合一体型のゼロ IF 送信機を使用しています。ベースバンド送信データは、
モデムブロックでデジタル変調され、送信経路にて Sub-GHz 帯域にアップコンバートされます。送信機パス
は、信号フィルタリング、I/Q アップ変換、高出力パワーアンプ (PA)、および RF フィルタリングで構成され
ます。OFDM 変調の出力レベルは、1dB ステップのアンテナレベルで -19dBm ~ +11dBm の範囲で設定でき
ます (MCS レベルによって送信最大出力パワーは異なります)。

(3) 周辺回路

- DC-DC コンバータ (DDC) は、87% の電力変換効率の DC-DC コンバータ (DDC) を搭載しています。
- XIN と XOUT の間に水晶を接続してください。ご使用される水晶発振子につきましては下表の特性が満た
されることを推奨します。
または、外部クロック信号を使用して、XIN (または XOUT) に適切な入力信号レベルを供給することで
使用できます。

| 項目 | 略号 | Min | Typ | Max | 単位 | 条件 |
|--------------|----------|-----|-----|-----|----------|----|
| 周波数 | F_xtal | — | 48 | — | MHz | |
| 等価直列抵抗 (ESR) | ESR_xtal | — | — | 80 | Ω | |
| 負荷容量 (CL) | CL_xtal | 5 | — | 9 | pF | |

- 13 本の汎用 I/O (GPIO) が利用できます。

5.4 端子機能

表 5.2 に端子機能一覧を示します。

表 5.2 端子機能一覧

| No. | 端子名 | I/O | アナログ (A)/ デジタル (D) | 説明 |
|-----|-----------|-----|--------------------|---|
| 1 | SIN | I | D | シリアル入力 |
| 2 | SOUT | O | D | シリアル出力 |
| 3 | SCLK | I | D | シリアルクロック |
| 4 | SEN | I | D | シリアルイネーブル |
| 5 | VREG_DIG | O | A | デジタル回路用内部安定化アナログ電源出力 (1.1V) |
| 6 | GPIO0 | I/O | D | 汎用デジタル I/O 0 |
| 7 | GPIO1 | I/O | D | 汎用デジタル I/O 1 |
| 8 | GPIO2 | I/O | D | 汎用デジタル I/O 2 |
| 9 | GPIO3 | I/O | D | 汎用デジタル I/O 3 |
| 10 | GPIO4 | I/O | D | 汎用デジタル I/O 4 |
| 11 | GPIO5 | I/O | D | 汎用デジタル I/O 5 |
| 12 | GPIO6 | I/O | D | 汎用デジタル I/O 6 |
| 13 | GPIO7 | I/O | D | 汎用デジタル I/O 7 |
| 14 | GPIO8 | I/O | D | 汎用デジタル I/O 8 |
| 15 | VCC_DA | I | A | デジタル/アナログ電源 (3.3V) |
| 16 | GPIO9 | I/O | D | 汎用デジタル I/O 9 |
| 17 | GPIO10 | I/O | D | 汎用デジタル I/O 10 |
| 18 | VREG_RF | O | A | RF 用内部安定化アナログ電源出力 (1.1V) |
| 19 | GPIO11 | I/O | D | 汎用デジタル I/O 11 |
| 20 | GPIO12 | I/O | D | 汎用デジタル I/O 12 |
| 21 | RFIN | I | A | RX 入力 |
| 22 | VSS | I | A | デジタルおよび RF 用グランド端子です。システムの電源 (0V) に接続してください |
| 23 | RFOUT | O | A | TX 出力 |
| 24 | VREG_TXPA | O | A | パワーアンプ用内部安定化アナログ電源出力 (1.1V) |
| 25 | VCC_RF | I | A | RF 用電源 (3.3V) |
| 26 | VREG_PLL | O | A | PLL 用内部安定化アナログ電源出力 (1.1V) |
| 27 | VREG_VCO | O | A | VCO 用内部安定化アナログ電源出力 (1.1V) |
| 28 | REXT | I | A | 外部リファレンス抵抗接続端子 |
| 29 | VCC_A | I | A | アナログ回路用電源 (3.3V) |
| 30 | XIN | I | A | 水晶発振子入力 |
| 31 | XOUT | I/O | A | 水晶発振子出力 |
| 32 | CKOUT | O | A | クロック出力 (16MHz) |
| 33 | REGIN | I | A | DDC_OUT 電源入力 (1.4 ~ 1.8V) |
| 34 | VSS_DDC | I | A | DC-DC コンバータ用グランド |
| 35 | DDC_OUT | O | A | DC-DC コンバータ電圧出力 (1.4 ~ 1.8V) |
| 36 | VCC_DDC | I | A | DC-DC コンバータ用電源 (3.3V) |
| 37 | VCC_D | I | A | デジタル回路用電源 (3.3V) |
| 38 | RSTB | I | D | リセットバー入力 (アクティブ・ロー) |
| 39 | MODE | I | D | モードスイッチ入力 (ローレベル固定) |

5.5 準拠規格

本 MCU は、以下の規格に準拠しています。

IEEE Std 802.15.4™ -2020: IEEE Standard for Low-Rate Wireless Networks

表 5.3 SUN FSK

| データレート [kbps] | 変調方式 | 変調指数 | 説明 |
|---------------|--------|------|----|
| 10 | 2-GFSK | 1.0 | |
| 20 | 2-GFSK | 1.0 | |
| 50 | 2-GFSK | 0.5 | |
| 50 | 2-GFSK | 1.0 | |
| 100 | 2-GFSK | 0.5 | |
| 100 | 2-GFSK | 1.0 | |
| 150 | 2-GFSK | 0.5 | |
| 200 | 2-GFSK | 0.5 | |
| 200 | 2-GFSK | 1.0 | |

表 5.4 SUN OFDM

| パラメータ | Option 1 帯域幅 : 1200kHz | Option 2 帯域幅 : 800kHz | Option 3 帯域幅 : 400kHz | Option 4 帯域幅 : 200kHz | 単位 | 説明 |
|-------|---------------------------|--------------------------|--------------------------|--------------------------|------|--|
| MCS0 | 100 | 50 | 25 | 12.5 | kbps | BPSK CR = 1/2 with 4xFreq. repetition |
| MCS1 | 200 | 100 | 50 | 25 | | BPSK CR = 1/2 with 2xFreq. repetition |
| MCS2 | 400 | 200 | 100 | 50 | | QPSK CR = 1/2 with 2xFreq. repetition |
| MCS3 | 800 | 400 | 200 | 100 | | QPSK CR = 1/2 |
| MCS4 | 1200 | 600 | 300 | 150 | | QPSK CR = 3/4 |
| MCS5 | 1600 | 800 | 400 | 200 | | 16-QAM CR = 1/2 |
| MCS6 | 2400 | 1200 | 600 | 300 | | 16-QAM CR = 3/4 |

5.6 使用上の注意事項

5.6.1 SPI 外部接続

本 MCU の RSP11 (PE6, PE7, PE5, PE4) を、RF トランシーバの SPI (SIN, SOUT, SCLK, SEN) に必ず接続してください。図 5.2 に SPI 外部接続回路を示します。

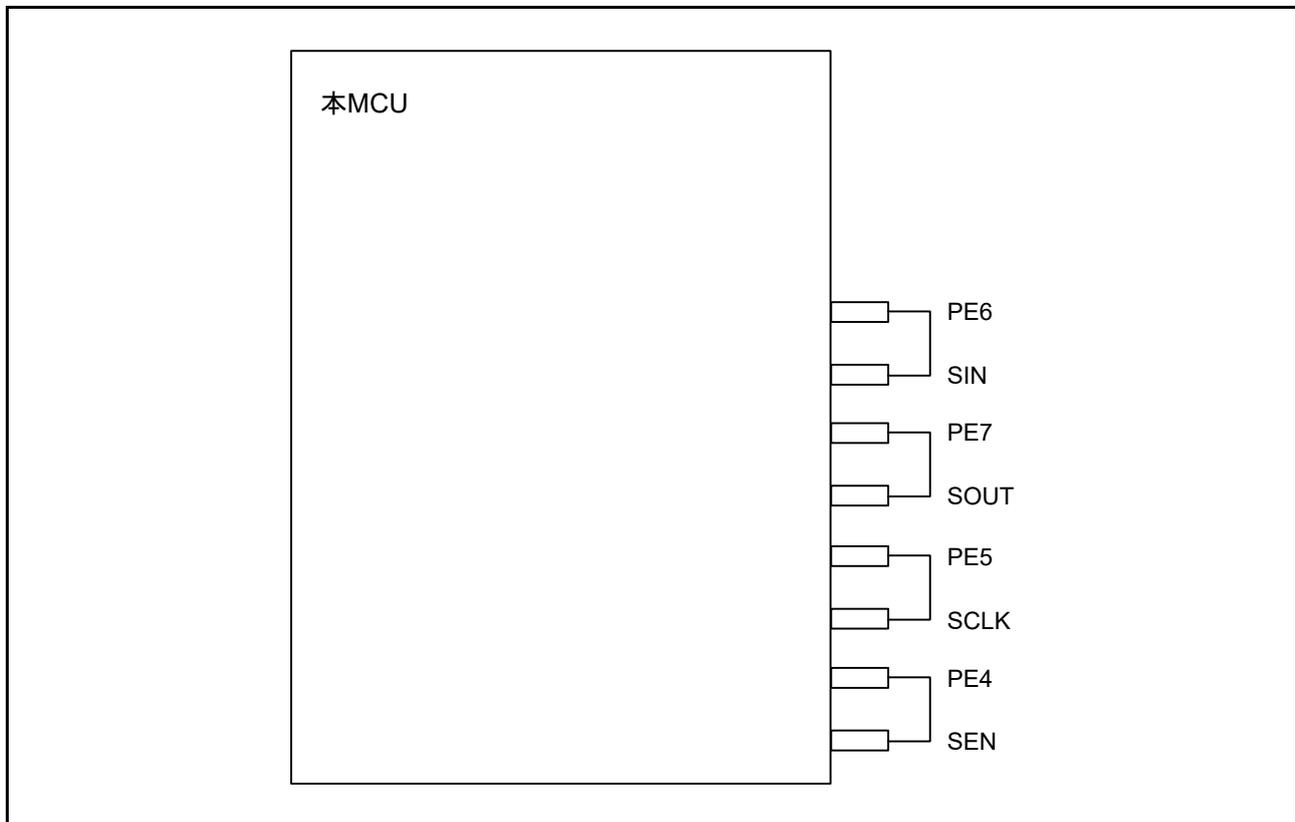


図 5.2 SPI 外部接続回路

5.6.2 RSTB 外部接続

本 MCU の RSTB には、本 MCU の任意の I/O ポートに接続してください。図 5.3 に RSTB 外部接続回路例を示します。

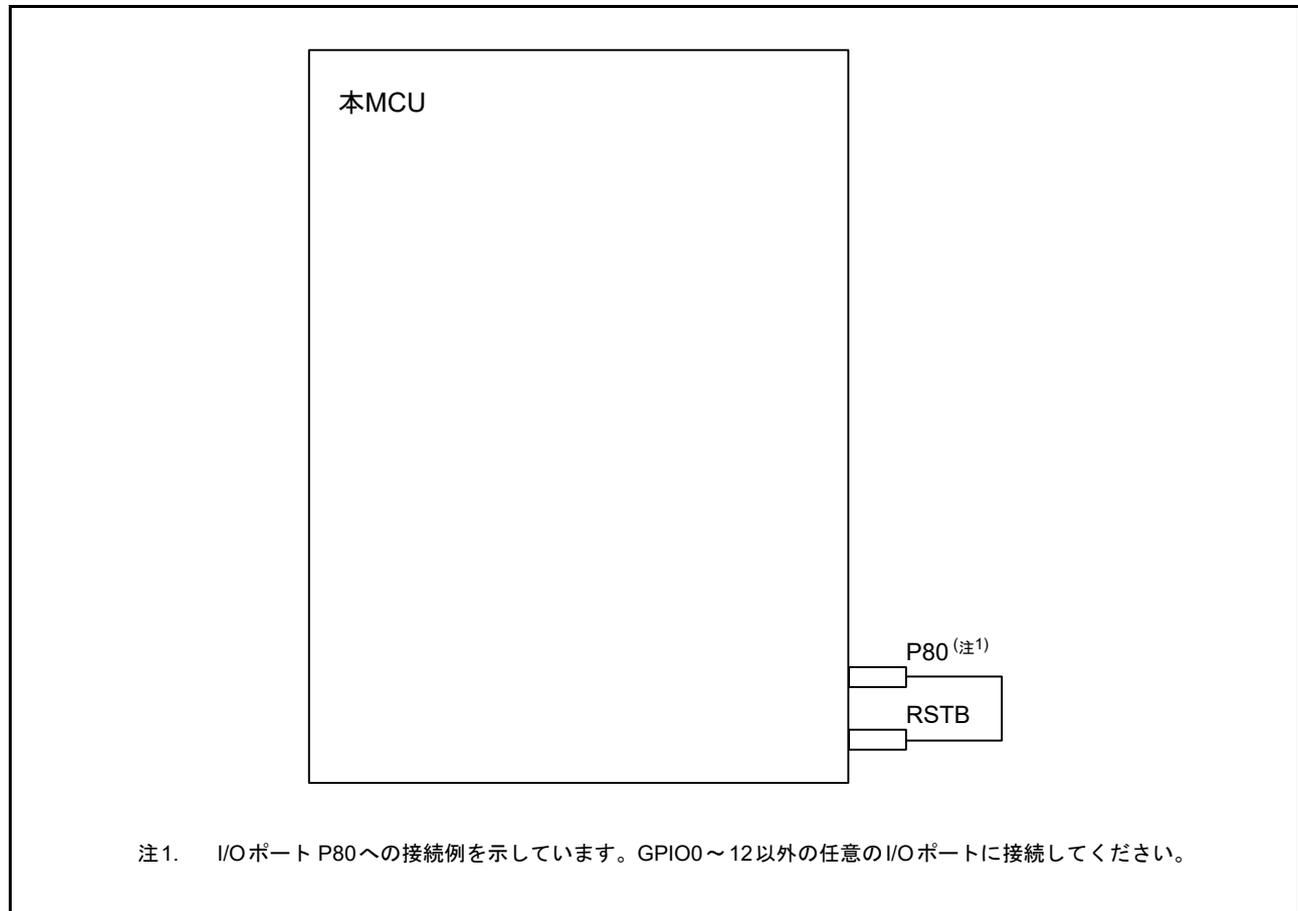


図 5.3 RSTB 外部接続回路例

5.6.3 INTOUT0 割り込み出力信号外部接続

本 MCU の INTOUT0 割り込み出力信号を、本 MCU の任意の I/O ポートに接続してください。図 5.4 に INTOUT0 割り込み出力信号接続回路例を示します。

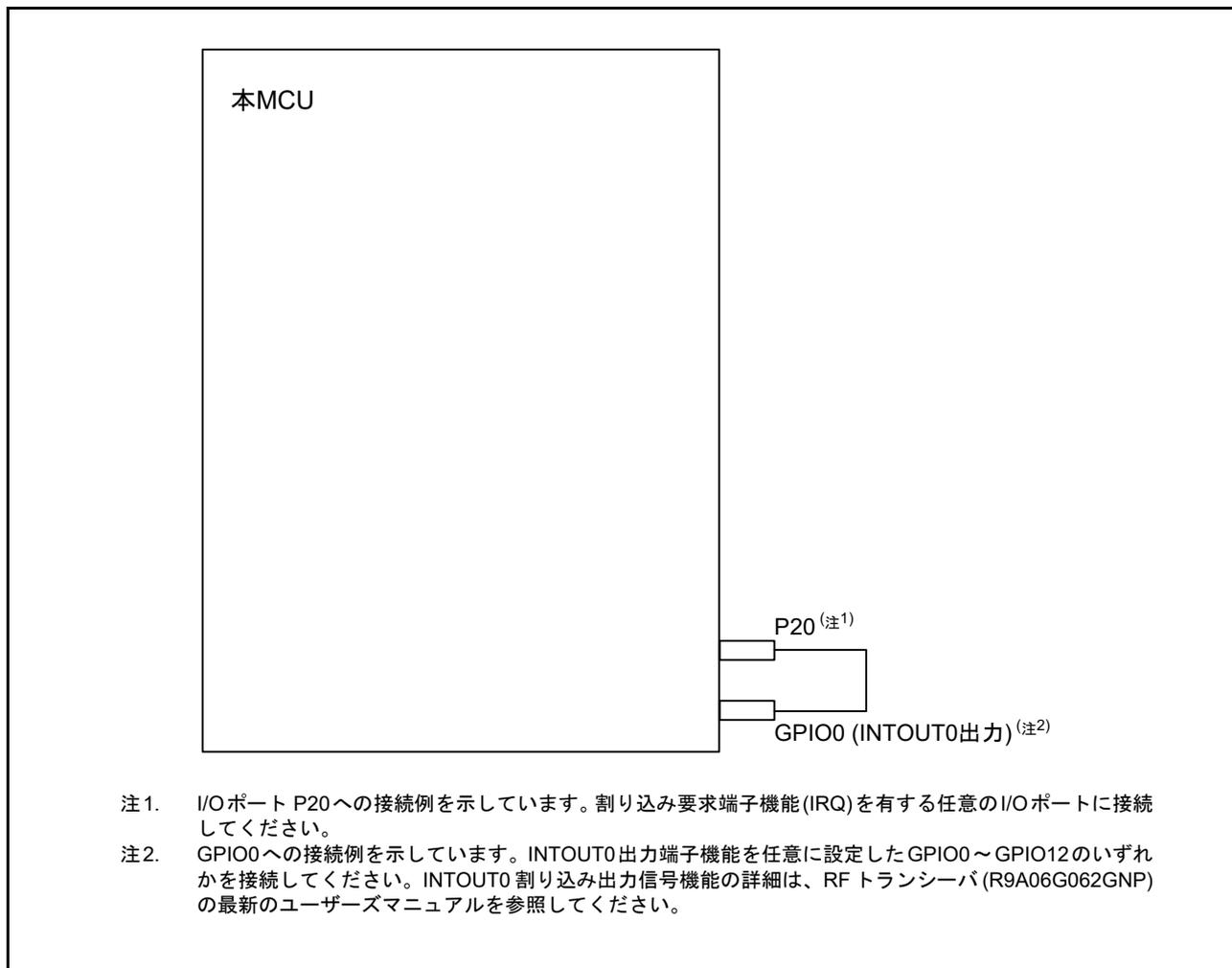


図 5.4 INTOUT0 割り込み出力信号接続回路例

5.6.4 ボード設計上の注意

ボード設計上の注意事項は、製品のご使用時に最新の RF トランシーバ (R9A06G062GNP) の最新のユーザーズマニュアルおよび、基板設計ガイドラインを参照してください。

6. 電気的特性

6.1 絶対最大定格

表 6.1 絶対最大定格

条件 : VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V

| 項目 | 記号 | 定格値 | 単位 |
|----------------------------|---|-----------------------------|-----|
| 電源電圧 | VCC, VCC_USB, VCC_DA, VCC_RF, VCC_A, VCC_DDC, VCC_D | -0.3 ~ +3.8 | V |
| V _{BATT} 電源電圧 | V _{BATT} | -0.3 ~ +3.8 | V |
| 入力電圧 (5Vトレラント対応ポート (注1)以外) | V _{in} | -0.3 ~ VCC + 0.3 (最大 3.8) | V |
| 入力電圧 (5Vトレラント対応ポート (注1)) | V _{in} | -0.3 ~ VCC + 4.0 (最大 5.8) | V |
| リファレンス電源電圧 | VREFH0 | -0.3 ~ AVCC0 + 0.3 (最大 3.8) | V |
| アナログ電源電圧 | AVCC0, AVCC1 (注2) | -0.3 ~ +3.8 | V |
| アナログ入力電圧 | V _{AN} | -0.3 ~ AVCC + 0.3 (最大 3.8) | V |
| RF トランシーバ アナログ入力電圧 | REGIN | -0.3 ~ +2.8 | V |
| RF トランシーバ アナログ出力電圧 | DDC_OUT | -0.3 ~ +3.8 | V |
| | VREG_DIG, VREG_RF, VREG_PLL, VREG_VCO | -0.3 ~ +1.25 | V |
| | VREG_TXPA | -0.3 ~ +3.8 | V |
| RF トランシーバ アナログ端子電圧 | XIN, XOUT, REXT | -0.3 ~ +1.25 | V |
| RF トランシーバ RF 入力レベル | RFIN (注3) | 最大 16 | dBm |
| ジャンクション温度 | T _j | -40 ~ +105 | °C |
| 保存温度 | T _{stg} | -55 ~ +125 | °C |

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

注1. P12、P13、P16、P17、P30、P31、PC0、PC1は、5Vトレラント対応です。

注2. AVCC0、AVCC1、VCC_USBはVCCに、AVSS0、AVSS1、VSS_USBはVSSに接続してください。

A/Dコンバータのユニット0を使用しない場合、VREFH0端子はVCCに、VREFL0端子はVSSにそれぞれ接続し開放しないでください。AVCC0とAVSS0間、AVCC1とAVSS1間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

注3. AC定格です。RFIN、RFOUT端子へのDC電圧の印加は禁止です。

6.2 推奨動作条件

表 6.2 推奨動作条件

| 項目 | 記号 | min | typ | max | 単位 |
|--|---------------------|------|-----|--------------------|-----|
| 電源電圧 (注1) | VCC | 2.7 | 3.3 | 3.6 | V |
| | VSS | — | 0 | — | |
| RF トランシーバ電源電圧 | VCC_DA | — | VCC | — | V |
| | VCC_RF | — | VCC | — | |
| | VCC_A | — | VCC | — | |
| | VCC_DDC | — | VCC | — | |
| | VCC_D | — | VCC | — | |
| | VSS_DDC | — | 0 | — | |
| V _{BATT} 電源電圧 | V _{BATT} | 2.0 | — | 3.6 | V |
| USB 電源電圧 | VCC_USB | — | VCC | — | V |
| | VSS_USB | — | 0 | — | |
| アナログ電源電圧 (注1、注2) | AVCC0 | — | VCC | — | V |
| | AVSS0 | — | 0 | — | |
| | AVCC1 | — | VCC | — | |
| | AVSS1 | — | 0 | — | |
| | VREFH0 | 2.7 | — | AVCC0 | |
| | VREFL0 | — | 0 | — | |
| 入力電圧 (5Vトレラント対応ポート以外かつP40～P43以外) (注3) | V _{in} | -0.3 | — | VCC + 0.3 | V |
| 入力電圧 (P40～P43) | V _{in} | -0.3 | — | AVCC0 + 0.3 | V |
| 入力電圧 (5Vトレラント対応ポート : P12、P13、P16、P17、P30、P31、PC0、PC1) (注4) | V _{in} | -0.3 | — | VCC + 3.6 (最大 5.5) | V |
| RF トランシーバ水晶発振子/発振器周波数 | F _{refclk} | — | 48 | — | MHz |
| RF トランシーバ動作周波数 | F _{rf} | 863 | — | 928 | MHz |
| RF トランシーバRFIN端子(入力インピーダンス) | Z _{in} | — | 50 | — | Ω |
| RF トランシーバRFOUT端子(出力インピーダンス) | Z _{out} | — | 50 | — | Ω |
| 動作温度 | T _{opr} | -40 | — | 85 | °C |

注1. 電位関係は以下を守ってください。

VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D

注2. 詳細は「RX65Nグループ、RX651グループ ユーザーズマニュアル ハードウェア編」の「53.6.11 アナログ電源端子他の設定範囲」を参照してください。

注3. P12、P13、P16、P17、P30、P31、PC0、PC1は、5Vトレラント対応です。

注4. P30、P31に関してV_{BATT}電源選択時は下記範囲で入力してください。

V_{in} min = -0.3, max = V_{BATT} + 0.3 (V_{BATT} = 2.0 ~ 3.6V)

6.3 DC 特性

表 6.3 DC 特性(1)

条件 : $V_{CC} = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|--|----------------|--|-------------------|------------------|------------------|------|
| シュミットトリガ 入力電圧 | IRQ入力端子(注1) | V_{IH} | $0.8 \times VCC$ | — | — | V |
| | MTU入力端子(注1) | V_{IL} | — | — | $0.2 \times VCC$ | |
| | POE3入力端子(注1) | ΔV_T | $0.06 \times VCC$ | — | — | |
| | TPU入力端子(注1) | | | | | |
| | TMR入力端子(注1) | | | | | |
| | CMTW入力端子(注1) | | | | | |
| | SCI入力端子(注1) | | | | | |
| | CAC入力端子(注1) | | | | | |
| | ADTRG#入力端子(注1) | | | | | |
| | QSPI入力端子(注1) | | | | | |
| RES#, NMI, TCK | | | | | | |
| RIIC入力端子 (SMBusを除く) | V_{IH} | $0.7 \times VCC$ | — | — | V | |
| | V_{IL} | — | — | $0.3 \times VCC$ | | |
| | ΔV_T | $0.05 \times VCC$ | — | — | | |
| 5Vトレラント対応ポート(注2) | V_{IH} | $0.8 \times VCC$ | — | — | V | |
| | V_{IL} | — | — | $0.2 \times VCC$ | | |
| 5Vトレラント対応ポート以外 その他の入力端子(注3) | V_{IH} | $0.8 \times VCC$ | — | — | V | |
| | V_{IL} | — | — | $0.2 \times VCC$ | | |
| Highレベル入力 電圧(シュミット トリガ入力端子を 除く) | V_{IH} | MD端子、EMLE | $0.9 \times VCC$ | — | — | V |
| | | EXTAL, RSPI入力端子、 SDHI入力端子、SDSI入力端子 | $0.8 \times VCC$ | — | — | |
| | | ETHERC入力端子 | 2.3 | — | — | |
| | | RIIC(SMBus) | 2.1 | — | — | |
| Lowレベル入力 電圧(シュミット トリガ入力端子を 除く) | V_{IL} | MD端子、EMLE | — | — | $0.1 \times VCC$ | V |
| | | EXTAL, RSPI入力端子、 ETHERC入力端子、 SDHI入力端子、SDSI入力端子 | — | — | $0.2 \times VCC$ | |
| | | RIIC(SMBus) | — | — | 0.8 | |

注1. 5Vトレラント対応のポートで兼用している端子は該当しません。

注2. P12、P13、P16、P17、P30、P31、PC0、PC1は、5Vトレラント対応です。

注3. P30、P31に関して V_{BATT} 電源選択時は下記範囲で入力してください。

$V_{IH \min} = 0.8 \times V_{BATT}$ 、 $V_{IL \max} = 0.2 \times V_{BATT}$ ($V_{BATT} = 2.0 \sim 3.6V$)

表 6.4 DC 特性(2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = 25^\circ C$

| 項目 | | 記号 | min | typ | max | 単位 | 測定条件 |
|-----------------------------|--|--------------|-------------|-----|------------------|---------|-------------------------|
| High レベル入力電圧 | RSTB, SIN, SCLK, SEN, GPIO0 ~ GPIO12 | V_{IHRF} | 2.4 | — | VCC | V | |
| Low レベル入力電圧 | RSTB, MODE, SIN, SCLK, SEN, GPIO0 ~ GPIO12 | V_{ILRF} | 0 | — | $0.1 \times VCC$ | V | |
| High レベル出力電圧 | SOUT, GPIO0 ~ GPIO12 | V_{OHRF} | $VCC - 0.1$ | — | VCC | V | $I_{OHRF} = 0mA$ |
| Low レベル出力電圧 | SOUT, GPIO0 ~ GPIO12 | V_{OLRF} | 0 | — | 0.1 | V | $I_{OLRF} = 0mA$ |
| High レベル出力電流 | SOUT, GPIO0 ~ GPIO12 | I_{OHRF} | — | — | -4 | mA | $V_{OHRF} = VCC - 0.4V$ |
| Low レベル出力電流 | SOUT, GPIO0 ~ GPIO12 | I_{OLRF} | — | — | 4 | mA | $V_{OLRF} = 0.4V$ |
| High レベル入力リーク電流 1 | RSTB, SIN, SCLK, SEN, GPIO0 ~ GPIO12 | I_{LIHRF1} | — | — | 200 | μA | $V_{in} = VCC$ |
| Low レベル入力リーク電流 1 | SIN, SCLK, SEN, GPIO0 ~ GPIO12 | I_{LILRF1} | — | — | -200 | μA | $V_{in} = VSS$ |
| High レベル入力リーク電流 2 (ブルアップなし) | SIN, SCLK, SEN, GPIO0 ~ GPIO12 | I_{LIHRF2} | — | — | 10 | μA | $V_{in} = VCC$ |
| Low レベル入力リーク電流 2 (ブルアップなし) | SIN, SCLK, SEN, GPIO0 ~ GPIO12 | I_{LILRF2} | — | — | -10 | μA | $V_{in} = VSS$ |

表 6.5 DC 特性 (3)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|-------------------------|--|-------------|-------------|-----|-----|---|
| High レベル出力電圧 | 全出力端子 | V_{OH} | $VCC - 0.5$ | — | — | V $I_{OH} = -1mA$ |
| Low レベル出力電圧 | 全出力端子 (RIIC 端子、ETHERC 出力端子 を除く) | V_{OL} | — | — | 0.5 | V $I_{OL} = 1.0mA$ |
| | RIIC 出力端子 | | — | — | 0.4 | V $I_{OL} = 3.0mA$ |
| | | | — | — | 0.6 | V $I_{OL} = 6.0mA$ |
| | RIIC 出力端子 (P12, P13 のチャンネル 0 のみ) | V_{OL} | — | — | 0.4 | V $I_{OL} = 15.0mA$ (ICFER.FMPE = 1) |
| | | | — | 0.4 | — | V $I_{OL} = 20.0mA$ (ICFER.FMPE = 1) |
| | ETHERC 出力端子 | V_{OL} | — | — | 0.4 | V $I_{OL} = 1.0mA$ |
| 入力リーク電流 | RES#, MD 端子、EMLE (注1)、 BSCANP (注1)、NMI | $ I_{in} $ | — | — | 1.0 | μA $V_{in} = 0V$ $V_{in} = VCC$ |
| スリーステートリーク 電流 (オフ状態) | 5V トレラント対応ポート以外 | $ I_{TSL} $ | — | — | 1.0 | μA $V_{in} = 0V$ $V_{in} = VCC$ |
| | 5V トレラント対応ポート | | — | — | 5.0 | μA $V_{in} = 0V$ $V_{in} = 5.5V$ |
| 入力プルアップ抵抗 電流 | P35 以外の端子 | I_p | -300 | — | -10 | μA $VCC = 2.7 \sim 3.6V$ $V_{in} = 0V$ |
| 入力プルダウン抵抗 電流 | EMLE, BSCANP | I_p | 10 | — | 300 | μA $V_{in} = VCC$ |
| 入力容量 | 全入力端子 (P12, P13, P16, P17, EMLE, BSCANP, USB0_DP, USB0_DM 以外) | C_{in} | — | — | 8 | pF $V_{bias} = 0V$ $V_{amp} = 20mV$ $f = 1MHz$ $T_a = 25^\circ C$ |
| | P12, P13, P16, P17, EMLE, BSCANP, USB0_DP, USB0_DM | | — | — | 16 | |

注1. EMLE 端子、BSCANP 端子の入力リーク電流は $V_{in} = 0V$ 時のみの値です。

表 6.6 DC 特性(4)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = 2.7 ~ 3.6V,
 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V,
 T_a = T_{opr}

| 項目 | | 記号 | typ | max | 単位 | 測定条件 | | |
|---|----------------------------|--|--------------------------------|--|------------------------------------|---|----|----|
| 消費電流 (注1) | 最大動作 (注2) | I _{CC} (注3) | — | 60 | mA | ICLK = 120MHz、 PCLKA = 120MHz、 PCLKB = 60MHz、 PCLKC = 60MHz、 PCLKD = 60MHz、 FCLK = 60MHz | | |
| | | | 通常動作 | 周辺機能クロック供給状態 (注4) | | | 26 | — |
| | | | | 周辺機能クロック停止状態 (注4、注5) | | | 13 | — |
| | | | CoreMark 動作 | 周辺機能クロック停止状態 (注4、注5) | | | 17 | — |
| | | | | スリープモード時：周辺機能クロック供給 状態 (注4) | | | 20 | 38 |
| | | | 全モジュールクロックストップモード時 (参考値) | | | | 9 | 26 |
| | | | BGO 動作時の増加分 (注8) | データフラッシュメモリ 書き換え中のコードフラッ シュメモリ読み出し | | | 6 | — |
| | | | | コードフラッシュメモリ 書き換え中のコードフラッ シュメモリ読み出し | | | 7 | — |
| | Trusted Secure IP 動作時の増加分 | | — | 12 | | | | |
| | 低速動作モード1：周辺機能クロック停止状態 (注4) | | 1.6 | — | 全クロック 1MHz | | | |
| | 低速動作モード2：周辺機能クロック停止状態 (注4) | | 1.6 | — | 全クロック 32.768kHz | | | |
| | ソフトウェアスタンバイモード | | 1.6 | 13 | | | | |
| | スタンバイモード 電流 | スタンバイ RAM、USB レジューム検出部 (USB0 の み) 電源供給あり | | 15.5 | 70 | μA | | |
| | | スタンバイ RAM、 USB レジューム検出部 (USB0 のみ) 電源供給 なし | パワーオンリセット回路の 低消費電力機能無効 (注6) | 11.5 | 42 | | | |
| | | | パワーオンリセット回路の 低消費電力機能有効 (注7) | 4.9 | 32 | | | |
| RTC 動作時の増分 | | 低 CL 水晶振動子使用時 | 1 | — | | | | |
| | | 標準 CL 水晶振動子使用時 | 2 | — | | | | |
| VCC オフ時の RTC 動作 (バッテリーバックアップ機能に より、RTC、サブクロック発 振器のみ動作) | | 低 CL 水晶振動子使用時 | 0.9 | — | V _{BATT} = 2.0V, VCC = 0V | | | |
| | 標準 CL 水晶振動子使用時 | 1.6 | — | V _{BATT} = 3.3V, VCC = 0V | | | | |
| | | 1.7 | — | V _{BATT} = 2.0V, VCC = 0V | | | | |
| ディープレソフトウェアスタン バイ復帰時のラッシュ電流 | ラッシュ電流 (注9) | I _{RUSH} | — | 130 | mA | | | |
| | ラッシュ電流の総量 (注9) | E _{RUSH} | — | 1.0 | | μC | | |

注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵ブルアップ抵抗を無効にした場合の値です。

注2. 周辺機能はクロック供給状態。

注3. I_{CC}は、以下の式のとおり ICLK 周波数 f (MHz) に依存します
 (ICLK/PCLKA : PCLKB/PCLKC/PCLKD = 2 : 1 @EXTAL = 12 MHz)。

I_{CC} max = 0.38 × f + 14 (高速動作モード、最大動作時)

I_{CC} typ = 0.18 × f + 4 (高速動作モード、通常動作時)

I_{CC} typ = 0.1 × f + 1.5 (ICLK 1MHz max) (低速動作モード 1 時)

I_{CC} max = 0.2 × f + 14 (スリープモード時)

注4. 周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタ A ~ D のビット設定でのみ制御しています。

注5. 周辺機能クロック停止時の各クロック周波数は、ICLK = 120 MHz、PCLKA = PCLKB = PCLKC = PCLKD = FCLK = 3.75 MHz (64分周) に設定しています。

注6. 低消費電力機能無効時は、DEEPCUT[1:0] ビット = 01b。

注7. 低消費電力機能有効時は、DEEPCUT[1:0] ビット = 11b。

注8. コードフラッシュメモリでのプログラム実行中に、コードフラッシュメモリ (プログラム領域とリード領域のアドレス範囲の組み合わせに制限あり)、またはデータフラッシュメモリをプログラム/イレーズ実行した場合の増加分です。

注9. 参考値。

表 6.7 DC 特性(5)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = T_{opr}$

| 項目 | | 記号 | min | typ | max | 単位 | 測定条件 | |
|------------------|---|------------|---------------|------|-----|---------|------------------|---------|
| アナログ電源電流 (注1) | 12ビットA/D変換中(ユニット0) | I_{CC} | — | 0.8 | 1 | mA | IAVCC0_AD | |
| | 12ビットA/D変換中(ユニット0)+ チャンネル専用サンプル&ホールド (3ch分) | | — | 1.7 | 2.5 | | IAVCC0_AD + SH | |
| | 12ビットA/D変換中(ユニット1) | | — | 0.6 | 1 | | IAVCC1_AD | |
| | 12ビットA/D変換中(ユニット1) +温度センサ | | — | 0.7 | 1.1 | | IAVCC1_AD + TEMP | |
| | A/D、温度センサ変換待機時 (全ユニット) | | — | 0.9 | 1.4 | μA | IAVCC0 + IAVCC1 | |
| | A/D、温度センサスタンバイ時 (全ユニット) | | — | 1.4 | 6.7 | | IAVCC0 + IAVCC1 | |
| リファレンス電源 電流 | 12ビットA/D変換中(ユニット0) | I_{REFH} | — | 38 | 60 | μA | IVREFH0 | |
| | 12ビットA/D変換待機時(ユニット0) | | — | 0.07 | 0.5 | | IVREFH0 | |
| | 12ビットA/Dモジュールストップ時 (ユニット0) | | — | 0.07 | 0.4 | | IVREFH0 | |
| USB動作電流 | フルスピード | USB0 | $I_{CCUSBFS}$ | — | 4.2 | 10 | mA | VCC_USB |
| RAM保持電圧 | | | V_{RAM} | 2.7 | — | — | V | |
| VCC立ち上がり勾配 | | | $SrVCC$ | 8.4 | — | 20000 | $\mu s/V$ | |
| VCC立ち下がり勾配(注2) | | | $SfVCC$ | 8.4 | — | — | $\mu s/V$ | |

注1. 12ビットA/Dコンバータ(ユニット1)の測定値には、リファレンス電流の値も含まれています。

注2. V_{BATT} を使用する場合に適用される規格です。

表 6.8 DC 特性(6)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
データレート = 100kbps、2-FSK、変調指数 = 1.0、周波数 = 920.6MHz、 $T_a = 25^\circ C$

| 項目 | min | typ | max | 単位 | 測定条件 |
|---------------|-----|------|-----|----|----------|
| SUN FSK送信消費電流 | — | 62.0 | — | mA | +15.0dBm |
| | — | 41.0 | — | | +10.0dBm |
| | — | 36.0 | — | | +8.0dBm |
| | — | 23.0 | — | | +0.0dBm |

表 6.9 DC 特性(7)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
データレート = 100kbps (MCS2)、帯域幅 = 400kHz (Option 3)、周波数 = 920.6MHz、 $T_a = 25^\circ C$

| 項目 | min | typ | max | 単位 | 測定条件 |
|----------------|-----|------|-----|----|----------|
| SUN OFDM送信消費電流 | — | 68.0 | — | mA | +10.0dBm |

表 6.10 DC 特性(8)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 データレート = 100kbps、2-FSK、変調指数 = 1.0、周波数 = 920.6MHz、 $T_a = 25^\circ C$

| 項目 | min | typ | max | 単位 | 測定条件 |
|----------------|-----|------|-----|----|----------------------|
| SUN FSK 受信消費電流 | — | 16.7 | — | mA | 受信動作時、RF 入力 : -95dBm |
| | — | 16.8 | — | | 受信待ち受け時、RF 入力 : none |

表 6.11 DC 特性(9)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 データレート = 100kbps (MCS2)、帯域幅 = 400kHz (Option 3)、周波数 = 920.6MHz、 $T_a = 25^\circ C$

| 項目 | min | typ | max | 単位 | 測定条件 |
|-----------------|-----|------|-----|----|----------------------|
| SUN OFDM 受信消費電流 | — | 21.5 | — | mA | 受信動作時、RF 入力 : -95dBm |
| | — | 21.7 | — | | 受信待ち受け時、RF 入力 : none |

表 6.12 DC 特性(10)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = 25^\circ C$

| 項目 | min | typ | max | 単位 | 測定条件 |
|----------|-----|-----|-----|---------|------|
| SLEEP 状態 | — | 0.5 | — | μA | |
| IDLE 状態 | — | 5.5 | — | mA | |

表 6.13 出力許容電流

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = T_{opr}$

| 項目 | | | 記号 | min | typ | max | 単位 |
|--------------------------------|-----------|-------------------|-----------------|-----|-----|------|----|
| Low レベル出力許容電流 (1端子あたりの平均値) | 全出力端子(注1) | 通常駆動 | I_{OL} | — | — | 2.0 | mA |
| | 全出力端子(注2) | 高駆動 | | — | — | 3.8 | |
| | 全出力端子(注3) | 高速インタフェース 用高駆動 | | — | — | 7.5 | |
| Low レベル出力許容電流 (1端子あたりの最大値) | 全出力端子(注1) | 通常駆動 | I_{OL} | — | — | 4.0 | mA |
| | 全出力端子(注2) | 高駆動 | | — | — | 7.6 | |
| | 全出力端子(注3) | 高速インタフェース 用高駆動 | | — | — | 15 | |
| Low レベル出力許容電流(総和) | 全出力端子の総和 | | ΣI_{OL} | — | — | 80 | mA |
| High レベル出力許容電流 (1端子あたりの平均値) | 全出力端子(注1) | 通常駆動 | I_{OH} | — | — | -2.0 | mA |
| | 全出力端子(注2) | 高駆動 | | — | — | -3.8 | |
| | 全出力端子(注3) | 高速インタフェース 用高駆動 | | — | — | -7.5 | |
| High レベル出力許容電流 (1端子あたりの最大値) | 全出力端子(注1) | 通常駆動 | I_{OH} | — | — | -4.0 | mA |
| | 全出力端子(注2) | 高駆動 | | — | — | -7.6 | |
| | 全出力端子(注3) | 高速インタフェース 用高駆動 | | — | — | -15 | |
| High レベル出力許容電流(総和) | 全出力端子の総和 | | ΣI_{OH} | — | — | -80 | mA |

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 6.13 の値を超えないようにしてください。

- 注1. 通常駆動が選択できる端子で通常駆動を設定した場合の値
 注2. 通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値
 注3. 高速インタフェース用高駆動設定ができる端子で、高速インタフェース用高駆動設定をした場合の値

6.4 AC 特性

表 6.14 動作周波数 (高速動作モード)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = T_{opr}$

| 項目 | | 記号 | min | typ | max | 単位 |
|-------|---------------------|----|--------|-----|-----|-----|
| 動作周波数 | システムクロック (ICLK) | f | — | — | 120 | MHz |
| | 周辺モジュールクロック (PCLKA) | | — | — | 120 | |
| | 周辺モジュールクロック (PCLKB) | | — | — | 60 | |
| | 周辺モジュールクロック (PCLKC) | | — | — | 60 | |
| | 周辺モジュールクロック (PCLKD) | | — | — | 60 | |
| | FlashIFクロック (FCLK) | | — (注1) | — | 60 | |

注1. フラッシュメモリの書き換えを行う場合は、FCLKを4MHz以上としてください。

表 6.15 動作周波数 (低速動作モード1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = T_{opr}$

| 項目 | | 記号 | min | typ | max | 単位 |
|-------|--------------------------|----|-----|-----|-----|-----|
| 動作周波数 | システムクロック (ICLK) | f | — | — | 1 | MHz |
| | 周辺モジュールクロック (PCLKA) | | — | — | 1 | |
| | 周辺モジュールクロック (PCLKB) | | — | — | 1 | |
| | 周辺モジュールクロック (PCLKC) (注1) | | — | — | 1 | |
| | 周辺モジュールクロック (PCLKD) (注1) | | — | — | 1 | |
| | FlashIFクロック (FCLK) | | — | — | 1 | |

注1. 12ビットA/Dコンバータを使用する場合、1MHz以上の設定が必要です。

表 6.16 動作周波数 (低速動作モード2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = T_{opr}$

| 項目 | | 記号 | min | typ | max | 単位 |
|-------|--------------------------|----|-----|-----|-----|-----|
| 動作周波数 | システムクロック (ICLK) | f | 32 | — | 264 | kHz |
| | 周辺モジュールクロック (PCLKA) | | — | — | 264 | |
| | 周辺モジュールクロック (PCLKB) | | — | — | 264 | |
| | 周辺モジュールクロック (PCLKC) (注1) | | — | — | 264 | |
| | 周辺モジュールクロック (PCLKD) (注1) | | — | — | 264 | |
| | FlashIFクロック (FCLK) | | 32 | — | 264 | |

注1. 12ビットA/Dコンバータは使用できません。

6.4.1 リセットタイミング

表6.17 リセットタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 | |
|--|--|-------------|-----|-----|------------|---------|-------|
| RES#パルス幅 | 電源投入時 | t_{RESWP} | 1 | — | — | ms | 図 6.1 |
| | ディープソフトウェアスタンバイモード | t_{RESWD} | 0.6 | — | — | ms | 図 6.2 |
| | ソフトウェアスタンバイモード、 低速動作モード2 | t_{RESWS} | 0.3 | — | — | ms | |
| | コードフラッシュメモリのプログラム/イレーズ中、 データフラッシュメモリのプログラム/イレーズ/ ブランクチェック中 | t_{RESWF} | 200 | — | — | μs | |
| | 上記以外 | t_{RESW} | 200 | — | — | μs | |
| RES#解除後待機時間 | t_{RESWT} | 54 | — | 55 | t_{Lcyc} | 図 6.1 | |
| 内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット) | t_{RESW2} | 100 | — | 108 | t_{Lcyc} | | |

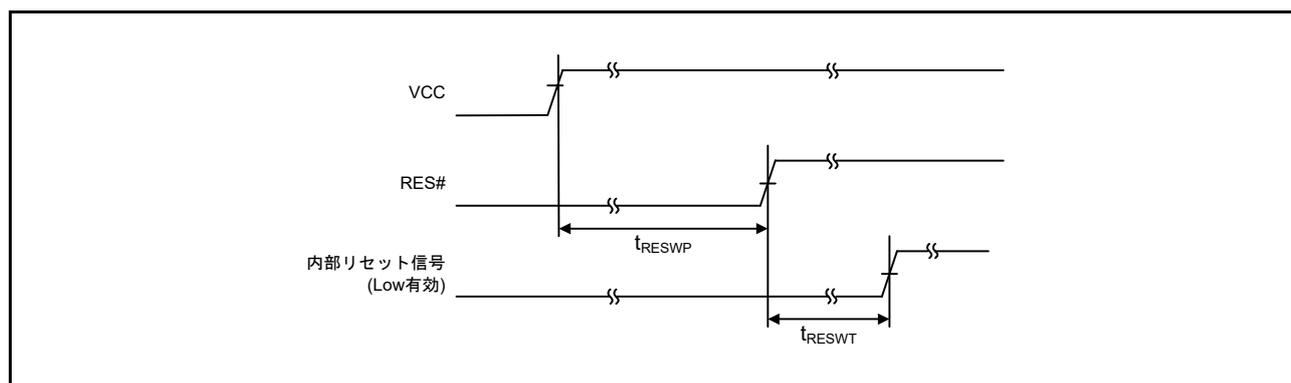


図 6.1 電源投入時リセット入力タイミング

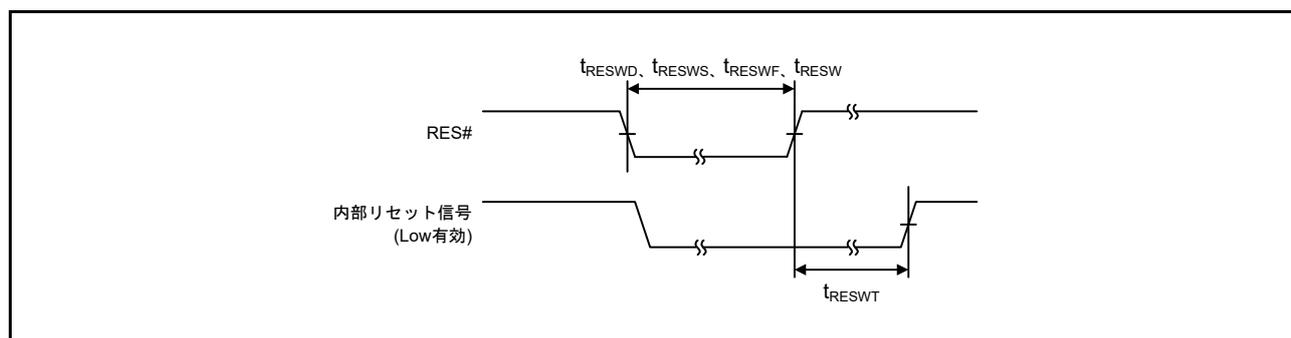


図 6.2 リセット入力タイミング

6.4.2 クロックタイミング

表 6.18 EXTAL クロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$, $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|--------------------------|--------------|-------|-----|-----|-----|-------|
| EXTAL 外部クロック入力サイクル時間 | t_{EXcyc} | 41.66 | — | — | ns | 図 6.3 |
| EXTAL 外部クロック入力周波数 | f_{EXMAIN} | — | — | 24 | MHz | |
| EXTAL 外部クロック入力 High パルス幅 | t_{EXH} | 15.83 | — | — | ns | |
| EXTAL 外部クロック入力 Low パルス幅 | t_{EXL} | 15.83 | — | — | ns | |
| EXTAL 外部クロック立ち上がり時間 | t_{EXr} | — | — | 5 | ns | |
| EXTAL 外部クロック立ち下がり時間 | t_{EXf} | — | — | 5 | ns | |

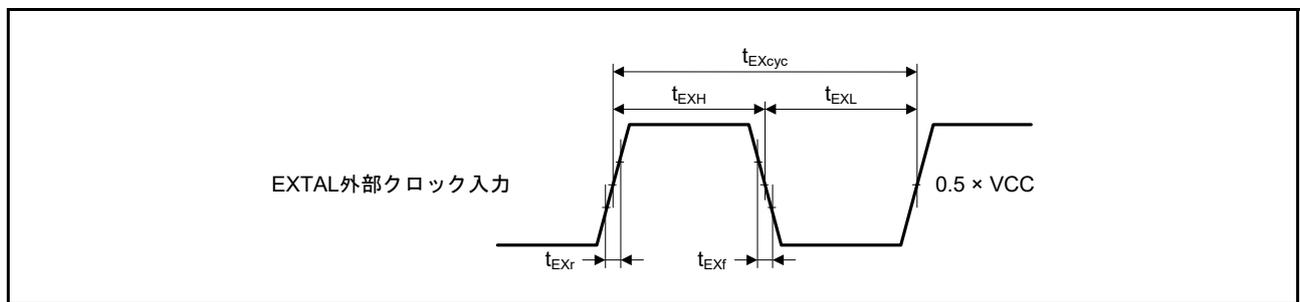


図 6.3 EXTAL 外部クロック入力タイミング

表 6.19 メインクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$, $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|---------------------|-----------------|-----|-----|------------|-----|-------|
| メインクロック発振器発振周波数 | f_{MAIN} | 8 | — | 24 | MHz | 図 6.4 |
| メインクロック発振安定時間(水晶) | $t_{MAINOSC}$ | — | — | — (注 1) | ms | |
| メインクロック発振安定待機時間(水晶) | $t_{MAINOSCWT}$ | — | — | — (注 2) | ms | |

注 1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注 2. メインクロック発振安定待機時間は、MOSCWT.CR.MSTS[7:0] ビットで選択したサイクル数に応じて、次式で算出されます。
 $t_{MAINOSCWT} = [(MSTS[7:0] \text{ ビット} \times 32) + 10] / f_{Loco}$

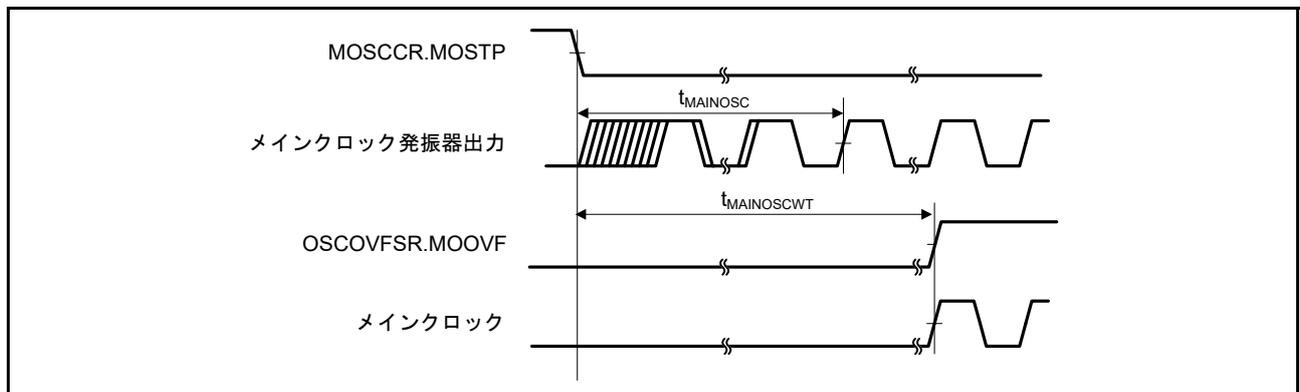


図 6.4 メインクロック発振開始タイミング

表6.20 LOCO, IWDT 専用低速クロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$, $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|----------------------|---------------|------|------|------|---------|------|
| LOCOクロックサイクル時間 | t_{Lcyc} | 4.63 | 4.16 | 3.78 | μs | |
| LOCOクロック発振周波数 | f_{LOCO} | 216 | 240 | 264 | kHz | |
| LOCOクロック発振安定待機時間 | t_{LOCOWT} | — | — | 44 | μs | 図6.5 |
| IWDT専用低速クロックサイクル時間 | t_{ILcyc} | 9.26 | 8.33 | 7.57 | μs | |
| IWDT専用低速クロック発振周波数 | f_{ILOCO} | 108 | 120 | 132 | kHz | |
| IWDT専用低速クロック発振安定待機時間 | $t_{ILOCOWT}$ | — | 142 | 190 | μs | 図6.6 |

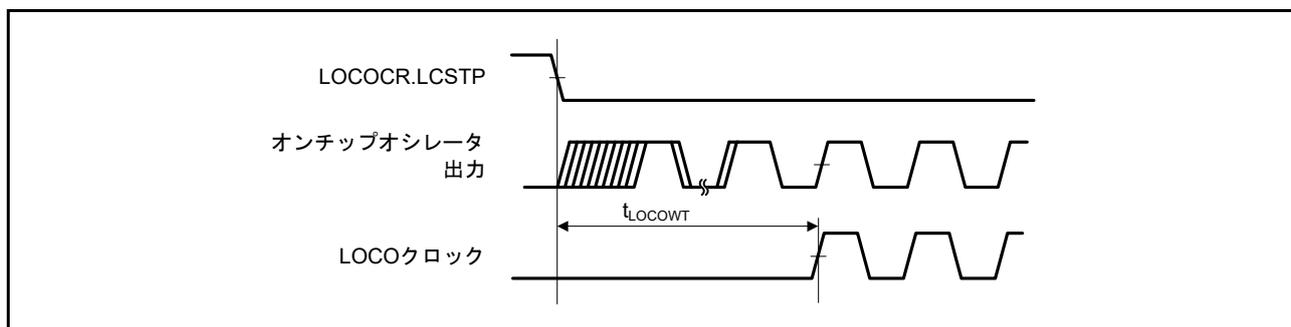


図 6.5 LOCO クロック発振開始タイミング

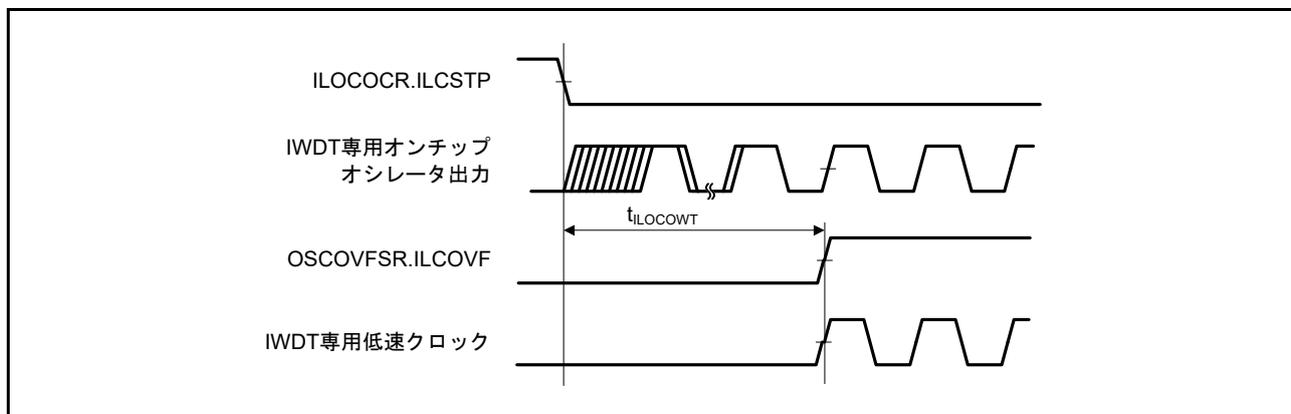


図 6.6 IWDT 専用低速クロック発振開始タイミング

表6.21 HOCOクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$, $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|------------------|--------------|-------|-----|-------|---------|--|
| HOCOクロック発振周波数 | f_{HOCO} | 15.61 | 16 | 16.39 | MHz | $-20^{\circ}C \leq T_a \leq 85^{\circ}C$ |
| | | 17.56 | 18 | 18.44 | | |
| | | 19.52 | 20 | 20.48 | | |
| | | 15.52 | 16 | 16.48 | | $-40^{\circ}C \leq T_a < -20^{\circ}C$ |
| | | 17.46 | 18 | 18.54 | | |
| | | 19.4 | 20 | 20.6 | | |
| HOCOクロック発振安定待機時間 | t_{HOCOWT} | — | 105 | 149 | μs | 図6.7 |
| HOCOクロック電源安定時間 | t_{HOCOP} | — | — | 150 | μs | 図6.8 |

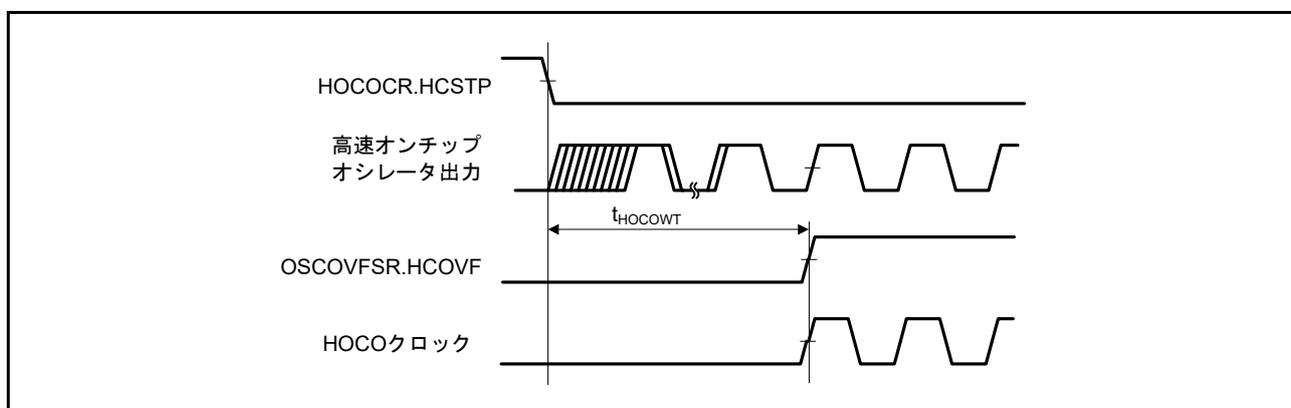


図 6.7 HOCO クロック発振開始タイミング (HOCOCR.HCSTP 設定による発振開始)

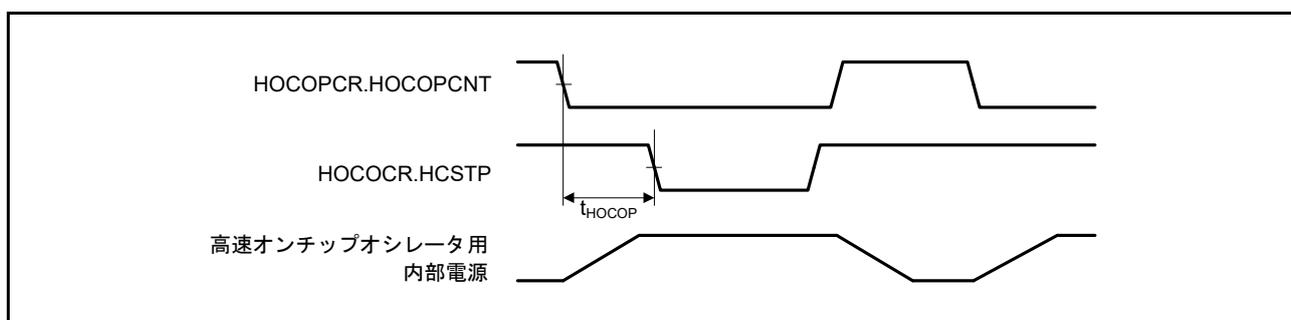


図 6.8 高速オンチップオシレータ電源制御タイミング

表6.22 PLLクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$, $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|-----------------|-------------|-----|-----|-----|---------|------|
| PLLクロック発振周波数 | f_{PLL} | 120 | — | 240 | MHz | |
| PLLクロック発振安定待機時間 | t_{PLLWT} | — | 259 | 320 | μs | 図6.9 |

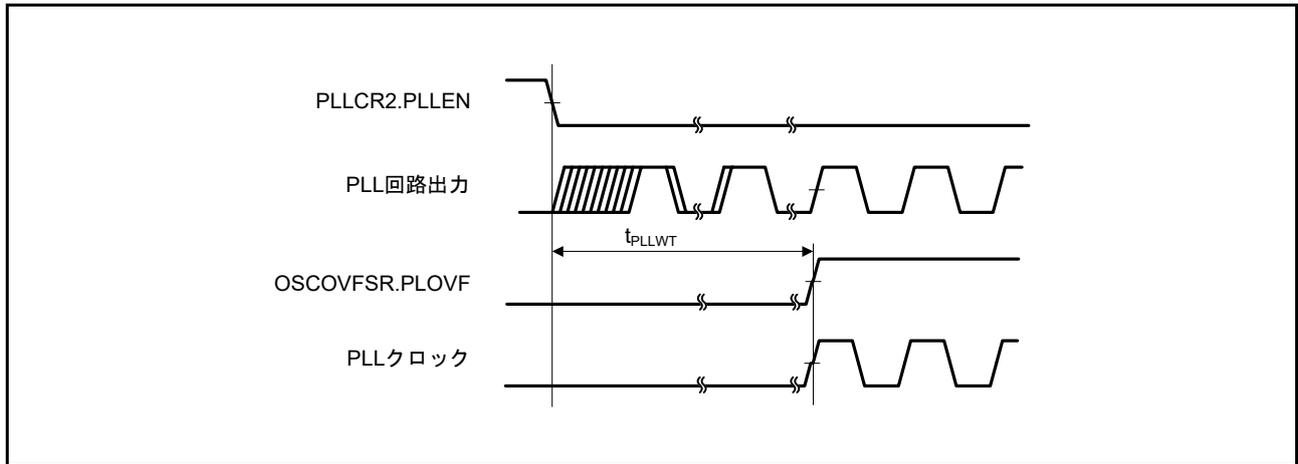


図 6.9 PLL クロック発振開始タイミング

表6.23 サブクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $V_{BATT} = 2.0 \sim 3.6V$, $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|----------------|----------------|-----|--------|------|-----|-------|
| サブクロック発振器発振周波数 | f_{SUB} | — | 32.768 | — | kHz | |
| サブクロック発振安定時間 | t_{SUBOSC} | — | — | (注1) | s | 図6.10 |
| サブクロック発振安定待機時間 | $t_{SUBOSCWT}$ | — | — | (注2) | s | |

注1. サブクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注2. サブクロック発振安定待機時間は、SOSWTCR.SSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。
 $t_{SUBOSCWT} = [(SSTS[7:0] \text{ ビット} \times 16384) + 10] / f_{LOCO}$

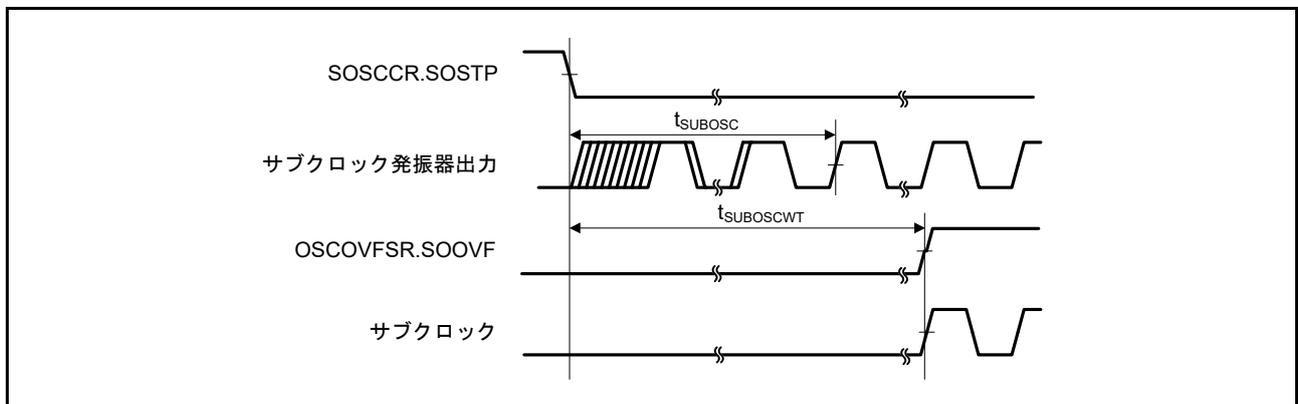


図 6.10 サブクロック発振開始タイミング

6.4.3 低消費電力状態からの復帰タイミング

表 6.24 低消費電力状態からの復帰タイミング(1)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 ~ 3.6V,
 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V,
 T_a = T_{opr}

| 項目 | | | 記号 | min | typ | max | | 単位 | 測定条件 |
|---------------------------|----------------------|-------------------------|--------------------|-----|-----|---|--|----|--------|
| | | | | | | t _{SBYOSCWT} (注2) | t _{SBYSEQ} (注3) | | |
| ソフトウェアスタンバイモード解除後復帰時間(注1) | メインクロック発振器に水晶振動子を接続 | メインクロック発振器動作 | t _{SBYMC} | — | — | $\{(MSTS[7:0] \text{ ビット} \times 32) + 76\} / 0.216$ | $100 + 7 / f_{ICLK} + 2n / f_{MAIN}$ | μs | 図 6.11 |
| | | メインクロック発振器、PLL 回路動作 | t _{SBYPC} | | | $\{(MSTS[7:0] \text{ ビット} \times 32) + 138\} / 0.216$ | $100 + 7 / f_{ICLK} + 2n / f_{PLL}$ | | |
| | メインクロック発振器に外部クロックを入力 | メインクロック発振器動作 | t _{SBYEX} | | | 352 | $100 + 7 / f_{ICLK} + 2n / f_{EXMAIN}$ | | |
| | | メインクロック発振器、PLL 回路動作 | t _{SBYPE} | | | 639 | $100 + 7 / f_{ICLK} + 2n / f_{PLL}$ | | |
| | サブクロック発振器動作 | | t _{SBYSC} | | | $\{(SSTS[7:0] \text{ ビット} \times 16384) + 13\} / 0.216 + 10 / f_{FCLK}$ | $100 + 4 / f_{ICLK} + 2n / f_{SUE}$ | | |
| | 高速オンチップオシレータ動作 | 高速オンチップオシレータ動作 | t _{SBYHO} | | | 454 | $100 + 7 / f_{ICLK} + 2n / f_{HOCO}$ | | |
| | | 高速オンチップオシレータ動作、PLL 回路動作 | t _{SBYPH} | | | 741 | $100 + 7 / f_{ICLK} + 2n / f_{PLL}$ | | |
| | 低速オンチップオシレータ動作(注4) | | t _{SBYLO} | | | 338 | $100 + 7 / f_{ICLK} + 2n / f_{LOCO}$ | | |

- 注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間(t_{SBYOSCWT})とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。
- 注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間はt_{SBYOSCWT}の内、最も大きな値が選択されます。
- 注3. nは内部クロックの分周設定の内、最も大きな値が選択されます。
- 注4. 本条件は、f_{ICLK}:f_{FCLK} = 1:1、2:1、4:1の場合に適用されます。

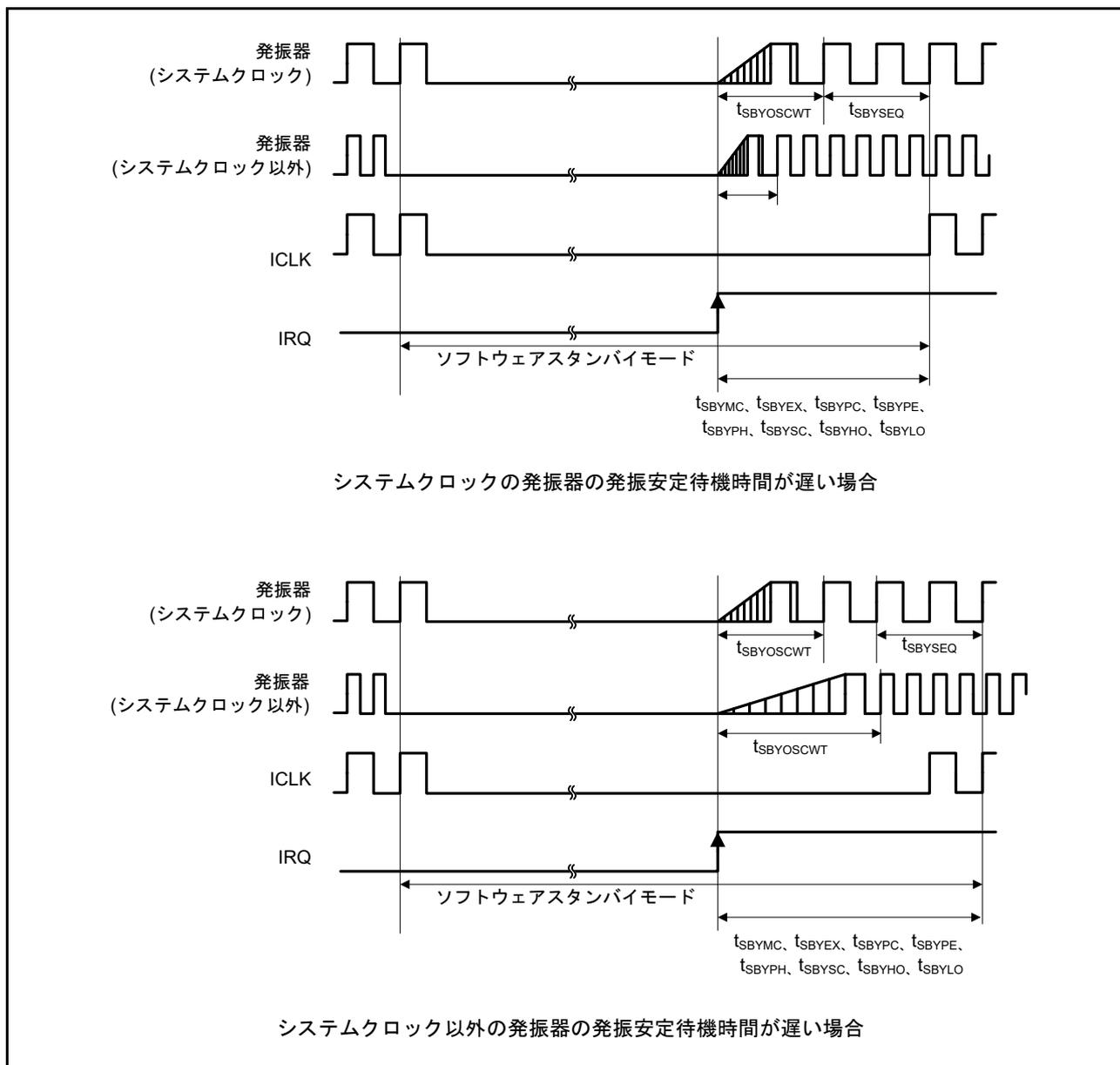


図 6.11 ソフトウェアスタンバイモード解除タイミング

表 6.25 低消費電力状態からの復帰タイミング(2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|---------------------------|--------------|-----|-----|-----|------------|--------|
| ディープソフトウェアスタンバイモード解除後復帰時間 | t_{DSBY} | — | — | 0.9 | ms | 図 6.12 |
| ディープソフトウェアスタンバイモード解除後待機時間 | t_{DSBYWT} | 23 | — | 24 | t_{Lcyc} | |

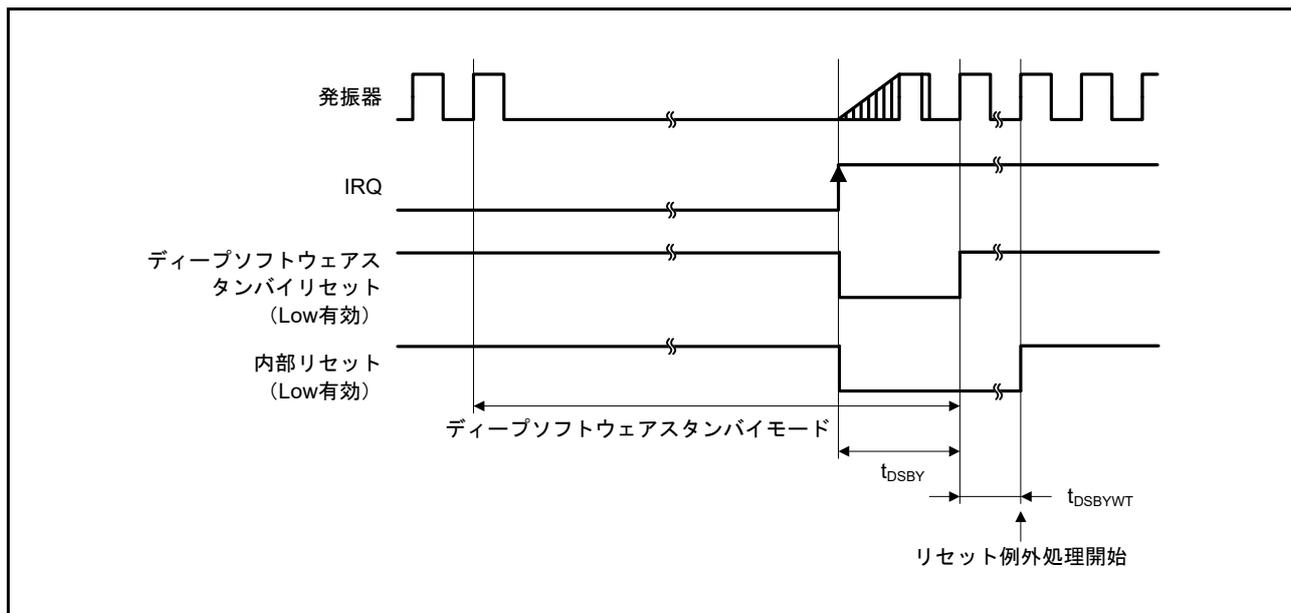


図 6.12 ディープソフトウェアスタンバイモード解除タイミング

6.4.4 制御信号タイミング

表 6.26 制御信号タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

| 項目 | 記号 | min (注1) | typ | max | 単位 | 測定条件 (注1) |
|---------|------------|----------------------|-----|-----|----|---|
| NMIパルス幅 | t_{NMIW} | 200 | — | — | ns | $2 \times t_{PBcyc} \leq 200ns$ 、図 6.13 |
| | | $2 \times t_{PBcyc}$ | — | — | | $2 \times t_{PBcyc} > 200ns$ 、図 6.13 |
| IRQパルス幅 | t_{IRQW} | 200 | — | — | ns | $2 \times t_{PBcyc} \leq 200ns$ 、図 6.14 |
| | | $2 \times t_{PBcyc}$ | — | — | | $2 \times t_{PBcyc} > 200ns$ 、図 6.14 |

注1. t_{PBcyc} : PCLKBの周期

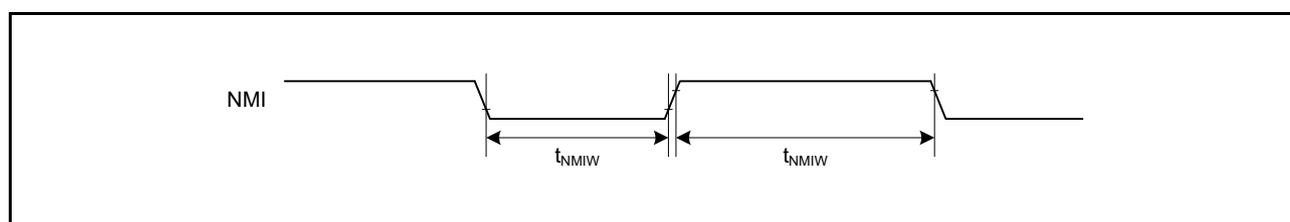


図 6.13 NMI 割り込み入カタイミング

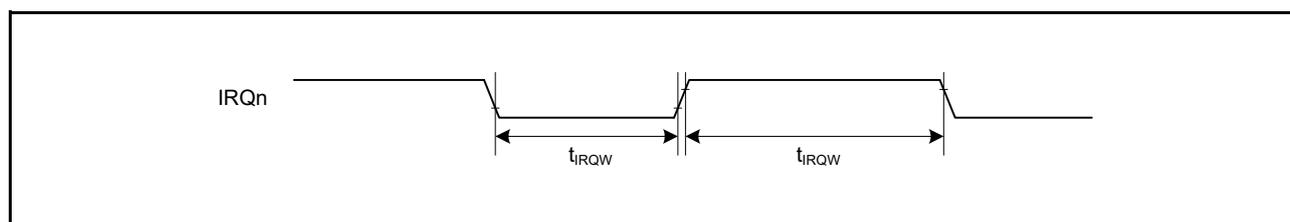


図 6.14 IRQ 割り込み入カタイミング

6.4.5 内蔵周辺モジュールタイミング

6.4.5.1 I/O ポート

表6.27 I/Oポートタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 |
|--------|-----------|-----------|-----|-----|-------------|-------|
| I/Oポート | 入力データパルス幅 | t_{PRW} | 1.5 | — | t_{PBcyc} | 図6.15 |

注1. t_{PBcyc} : PCLKBの周期

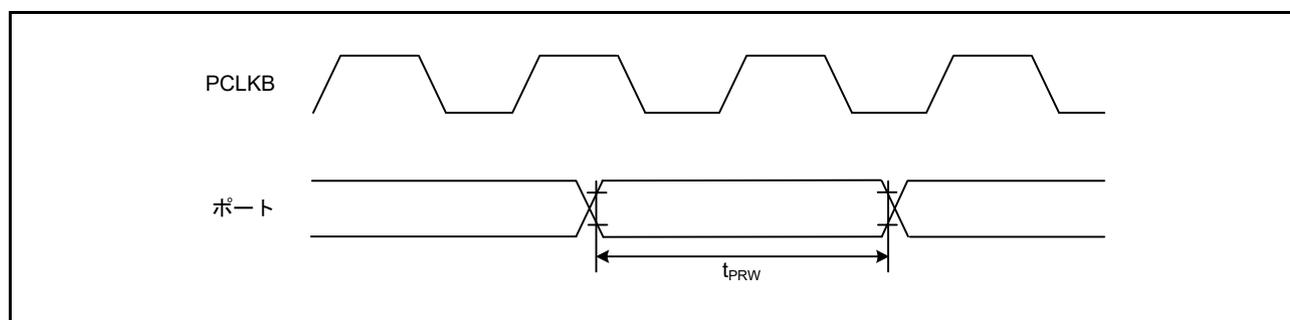


図 6.15 I/Oポート入力タイミング

6.4.5.2 TPU

表6.28 TPU タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = VCC_{USB} = VCC_{DA} = VCC_{RF} = VCC_A = VCC_{DDC} = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq V_{REFH0} \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_{USB} = VSS_{DDC} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 |
|-----|----------------------|---------|-----|-----|-------------|-------|
| TPU | インプットキャプチャ入力 パルス幅 | 単エッジ指定 | 1.5 | — | t_{PBcyc} | 図6.16 |
| | | 両エッジ指定 | 2.5 | — | | |
| | タイマクロックパルス幅 | 単エッジ指定 | 1.5 | — | t_{PBcyc} | 図6.17 |
| | | 両エッジ指定 | 2.5 | — | | |
| | | 位相計数モード | 2.5 | — | | |

注1. t_{PBcyc} : PCLKBの周期

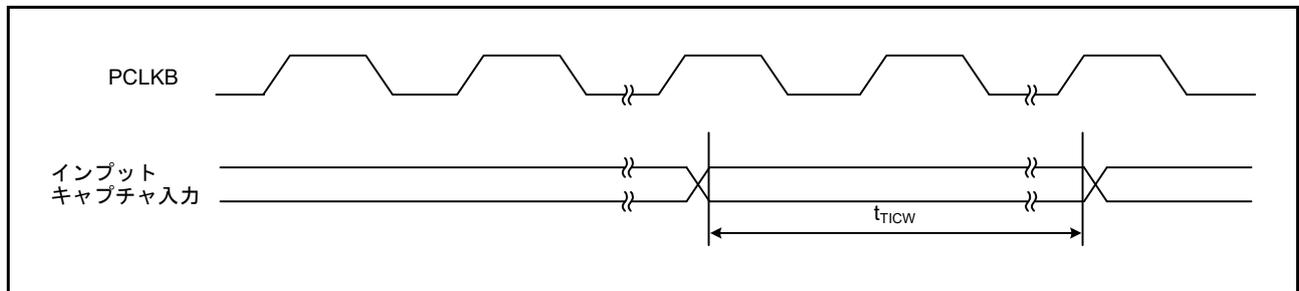


図 6.16 TPU インプットキャプチャ入力タイミング

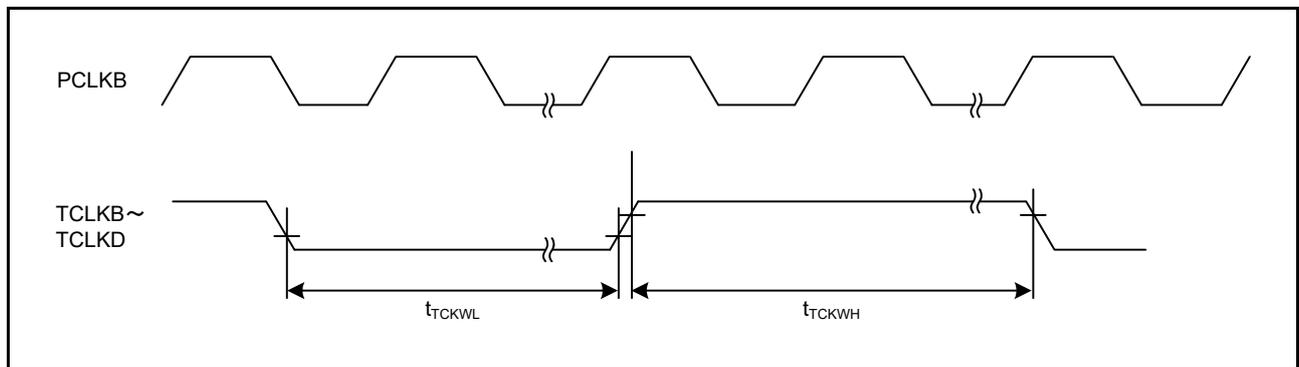


図 6.17 TPU クロック入力タイミング

6.4.5.3 TMR

表6.29 TMR タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 |
|-----|-------------|--------|-------------|-----|------------|-------------------|
| TMR | タイマクロックパルス幅 | 単エッジ指定 | t_{TMCWH} | 1.5 | — | t_{PBcyc} 図6.18 |
| | | 両エッジ指定 | t_{TMCWL} | 2.5 | — | |

注1. t_{PBcyc} : PCLKBの周期

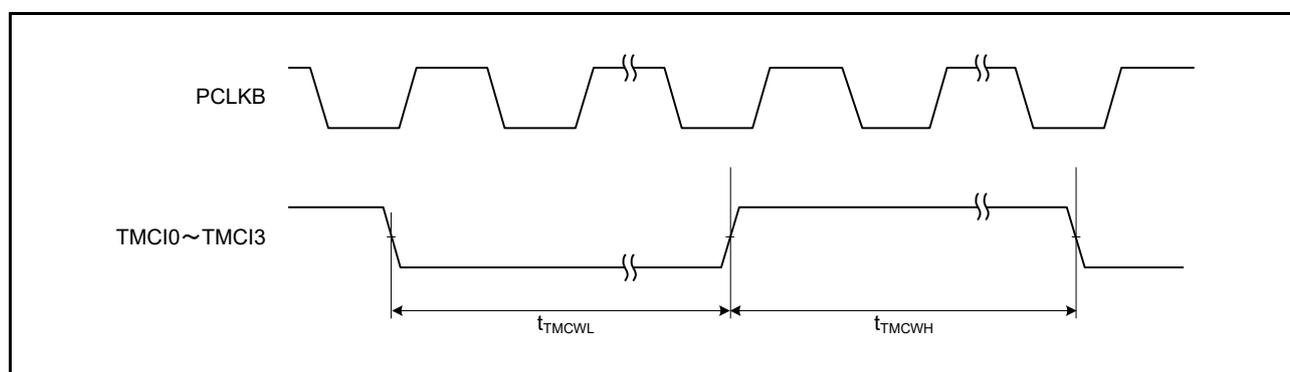


図 6.18 TMR クロック入力タイミング

6.4.5.4 CMTW

表 6.30 CMTW タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 |
|------|----------------------|--------|-----|-----|-------------|--------|
| CMTW | インプットキャプチャ入力 パルス幅 | 単エッジ指定 | 1.5 | — | t_{PBcyc} | 図 6.19 |
| | | 両エッジ指定 | 2.5 | — | | |

注1. t_{PBcyc} : PCLKB の周期

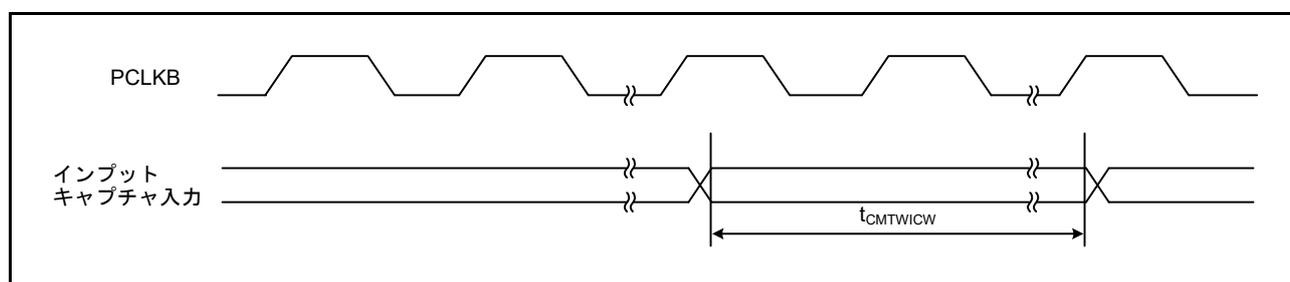


図 6.19 CMTW インプットキャプチャ入力タイミング

6.4.5.5 MTU3

表6.31 MTU3 タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{CC_DA} = V_{CC_RF} = V_{CC_A} = V_{CC_DDC} = V_{CC_D} = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS_DDC} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 | |
|------|----------------------|---------|--------------------------------|-----|-------------|-------------|-------|
| MTU3 | インプットキャプチャ入力 パルス幅 | 単エッジ指定 | 1.5 | — | t_{PAcyc} | 図6.20 | |
| | | 両エッジ指定 | | | | | |
| | タイマクロックパルス幅 | 単エッジ指定 | t_{MTCKWH} , t_{MTCKWL} | 1.5 | — | t_{PAcyc} | 図6.21 |
| | | 両エッジ指定 | | 2.5 | — | | |
| | | 位相計数モード | | 2.5 | — | | |

注1. t_{PAcyc} : PCLKAの周期

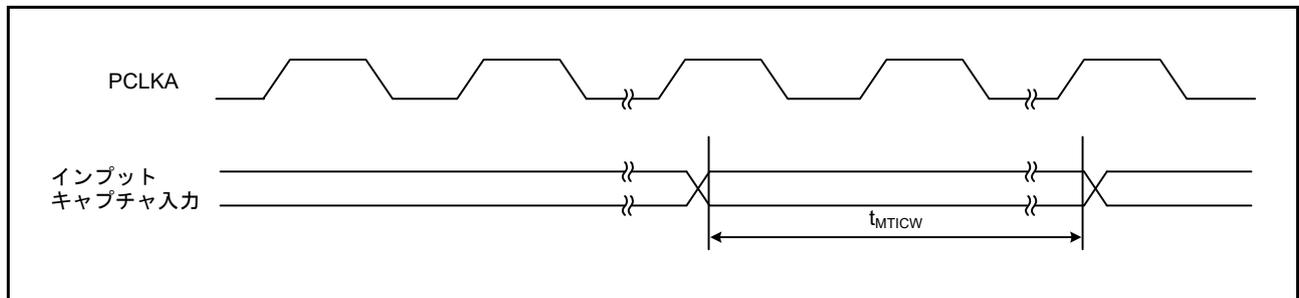


図 6.20 MTU3 インプットキャプチャ入力タイミング

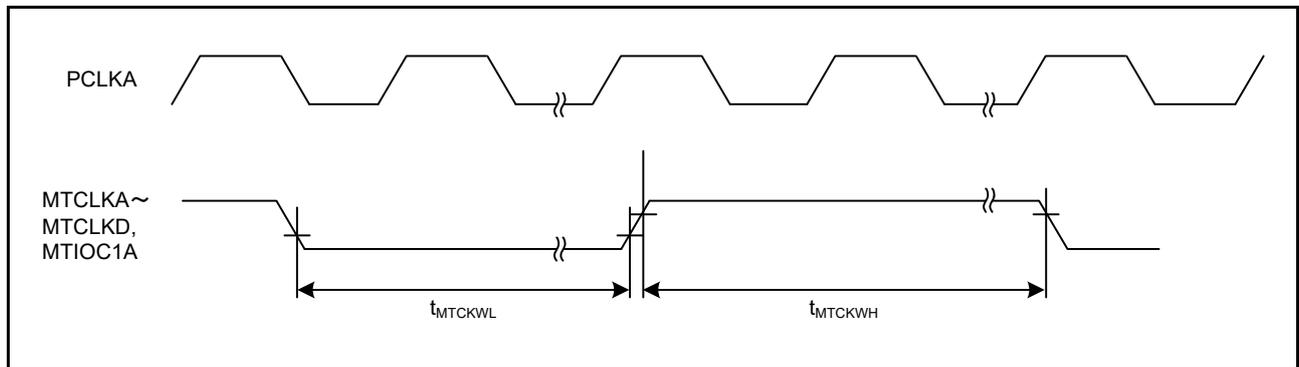


図 6.21 MTU3 クロック入力タイミング

6.4.5.6 POE3

表6.32 POE3 タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 |
|-----|------------|------------|-----|-----|-------------|-------|
| POE | POE#入力パルス幅 | t_{POEW} | 1.5 | — | t_{PBcyc} | 図6.22 |

注1. t_{PBcyc} : PCLKBの周期

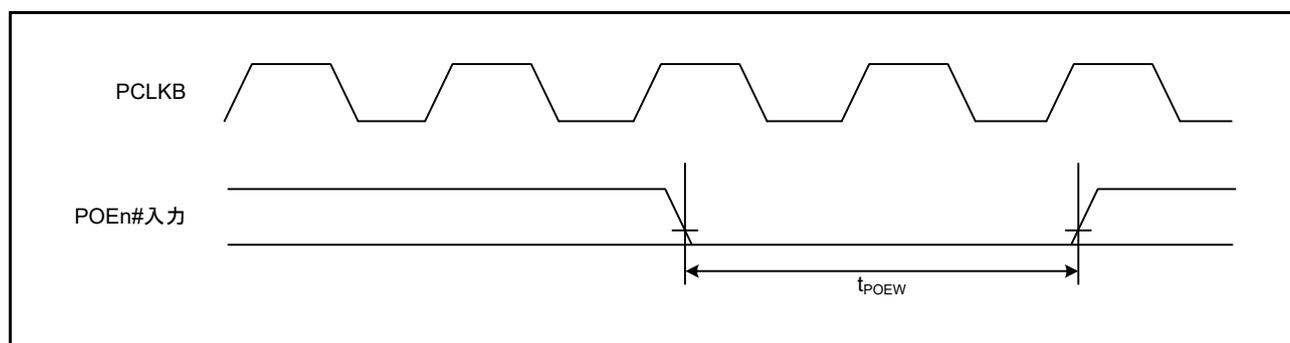


図 6.22 POE# 入力タイミング

6.4.5.7 A/Dコンバータトリガ

表6.33 A/Dコンバータトリガタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 ~ 3.6V,
 $2.7V \leq VREFH0 \leq AVCC0$,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, $T_a = T_{opr}$,
 出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 |
|--------------|-------------------|-------------------|-----|-----|--------------------|-------|
| A/D コンバータ | A/Dコンバータトリガ入力パルス幅 | t _{TRGW} | 1.5 | — | t _{PBcyc} | 図6.23 |

注1. t_{PBcyc} : PCLKBの周期

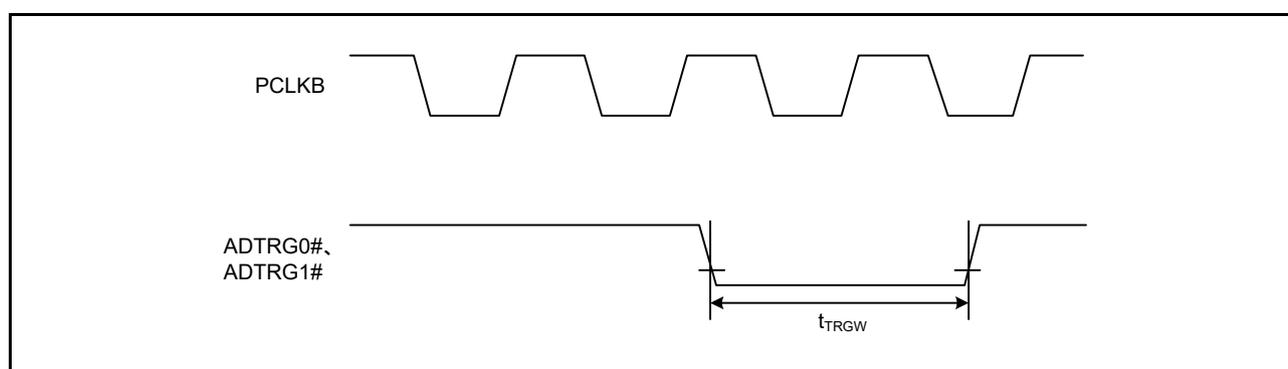


図 6.23 A/Dコンバータトリガ入力タイミング

6.4.5.8 CAC

表6.34 CACタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 ~ 3.6V,
 $2.7V \leq VREFH0 \leq AVCC0$,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, $T_a = T_{opr}$,
 出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 (注1、注2) | | 記号 | min (注1、注2) | max | 単位 | 測定条件 |
|------------|--------------|---------------------|--------------------------|---------------------------|----|------|
| CAC | CACREF入力パルス幅 | t _{CACREF} | $t_{PBcyc} \leq t_{cac}$ | $4.5t_{cac} + 3t_{PBcyc}$ | — | ns |
| | | | $t_{PBcyc} > t_{cac}$ | $5t_{cac} + 6.5t_{PBcyc}$ | — | |

注1. t_{PBcyc} : PCLKBの周期

注2. t_{CAC} : CACカウントクロックソースの周期

6.4.5.9 SCI

表6.35 SCIg, SCIlh, SCli タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 | | |
|---------------|---------------|-----------|------------|-----|-------------|-------|-------------|-------|
| SCIg, SCIlh | 入カクロックサイクル | 調歩同期 | 4 | — | t_{PBcyc} | 図6.24 | | |
| | | クロック同期 | 6 | — | | | | |
| | 入カクロックパルス幅 | | t_{SCKW} | 0.4 | 0.6 | | t_{Scyc} | |
| | 入カクロック立ち上がり時間 | | t_{SCKr} | — | 5 | | ns | |
| | 入カクロック立ち下がり時間 | | t_{SCKf} | — | 5 | | ns | |
| | 出カクロックサイクル | 調歩同期 (注2) | t_{Scyc} | 8 | — | | t_{PBcyc} | |
| | | クロック同期 | | 4 | — | | | |
| | 出カクロックパルス幅 | | t_{SCKW} | 0.4 | 0.6 | | t_{Scyc} | |
| | 出カクロック立ち上がり時間 | | t_{SCKr} | — | 5 | | ns | |
| | 出カクロック立ち下がり時間 | | t_{SCKf} | — | 5 | | ns | |
| | 送信データ遅延時間 | クロック同期 | t_{TXD} | — | 28 | | ns | 図6.25 |
| | 受信データセットアップ時間 | クロック同期 | t_{RXS} | 15 | — | | ns | |
| 受信データホールド時間 | クロック同期 | t_{RXH} | 5 | — | ns | | | |
| SCli | 入カクロックサイクル | 調歩同期 | 4 | — | t_{PAcyc} | 図6.24 | | |
| | | クロック同期 | 12 | — | | | | |
| | 入カクロックパルス幅 | | t_{SCKW} | 0.4 | 0.6 | | t_{Scyc} | |
| | 入カクロック立ち上がり時間 | | t_{SCKr} | — | 5 | | ns | |
| | 入カクロック立ち下がり時間 | | t_{SCKf} | — | 5 | | ns | |
| | 出カクロックサイクル | 調歩同期 (注2) | t_{Scyc} | 8 | — | | t_{PAcyc} | |
| | | クロック同期 | | 8 | — | | | |
| | 出カクロックパルス幅 | | t_{SCKW} | 0.4 | 0.6 | | t_{Scyc} | |
| | 出カクロック立ち上がり時間 | | t_{SCKr} | — | 5 | | ns | |
| | 出カクロック立ち下がり時間 | | t_{SCKf} | — | 5 | | ns | |
| | 送信データ遅延時間 | マスタ | t_{TXD} | — | 15 | | ns | 図6.25 |
| | | スレーブ | | — | 28 | | | |
| 受信データセットアップ時間 | クロック同期 | t_{RXS} | 20 | — | ns | | | |
| 受信データホールド時間 | クロック同期 | t_{RXH} | 5 | — | ns | | | |

注1. t_{PBcyc} : PCLKBの周期、 t_{PAcyc} : PCLKAの周期

注2. SEMR.ABCSビット = 1かつSEMR.BGDMビット = 1のとき

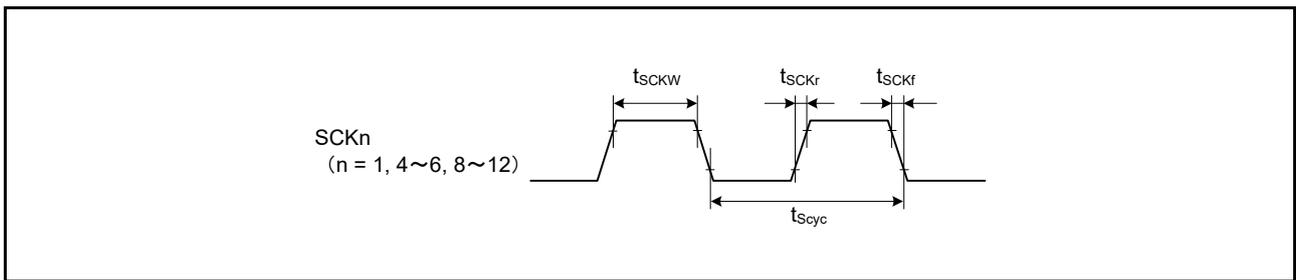


図 6.24 SCK クロック入力タイミング

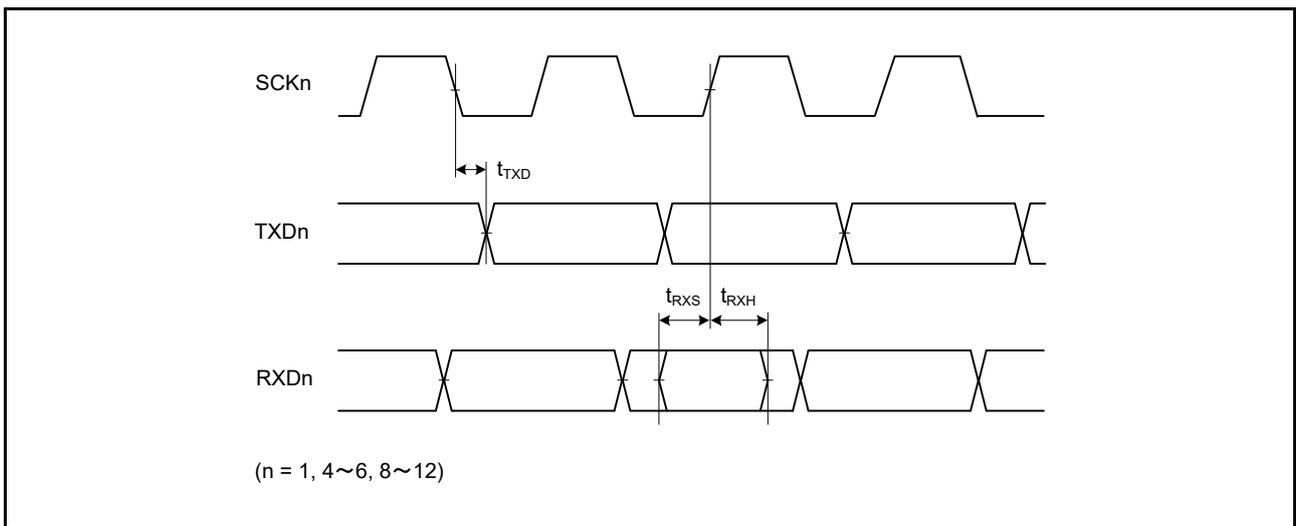


図 6.25 SCI 入出力タイミング / クロック同期式モード

表 6.36 簡易 IIC タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{CC_DA} = V_{CC_RF} = V_{CC_A} = V_{CC_DDC} = V_{CC_D} = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS_DDC} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | 記号 | min | max | 単位 | 測定条件 | |
|------------------------|--------------------------|-------------|-----|---------------------|------|--------|
| 簡易 IIC (Standard-mode) | SSCL、SSDA 入力立ち上がり時間 | t_{Sr} | — | 1000 | ns | 図 6.26 |
| | SSCL、SSDA 入力立ち下がり時間 | t_{Sf} | — | 300 | ns | |
| | SSCL、SSDA 入力カスパイクパルス除去時間 | t_{SP} | 0 | $4 \times t_{Pcyc}$ | ns | |
| | データ入力セットアップ時間 | t_{SDAS} | 250 | — | ns | |
| | データ入力ホールド時間 | t_{SDAH} | 0 | — | ns | |
| | SSCL、SSDA の容量性負荷 | C_b (注 1) | — | 400 | pF | |
| 簡易 IIC (Fast-mode) | SSCL、SSDA 入力立ち上がり時間 | t_{Sr} | — | 300 | ns | 図 6.26 |
| | SSCL、SSDA 入力立ち下がり時間 | t_{Sf} | — | 300 | ns | |
| | SSCL、SSDA 入力カスパイクパルス除去時間 | t_{SP} | 0 | $4 \times t_{Pcyc}$ | ns | |
| | データ入力セットアップ時間 | t_{SDAS} | 100 | — | ns | |
| | データ入力ホールド時間 | t_{SDAH} | 0 | — | ns | |
| | SSCL、SSDA の容量性負荷 | C_b (注 1) | — | 400 | pF | |

注. t_{Pcyc} : SCI10、SCI11 では PCLKA の周期を示します。SCI1 ~ SCI6、SCI8、SCI9、SCI12 では PCLKB の周期を示します。
 注 1. C_b はバスラインの容量総計です。

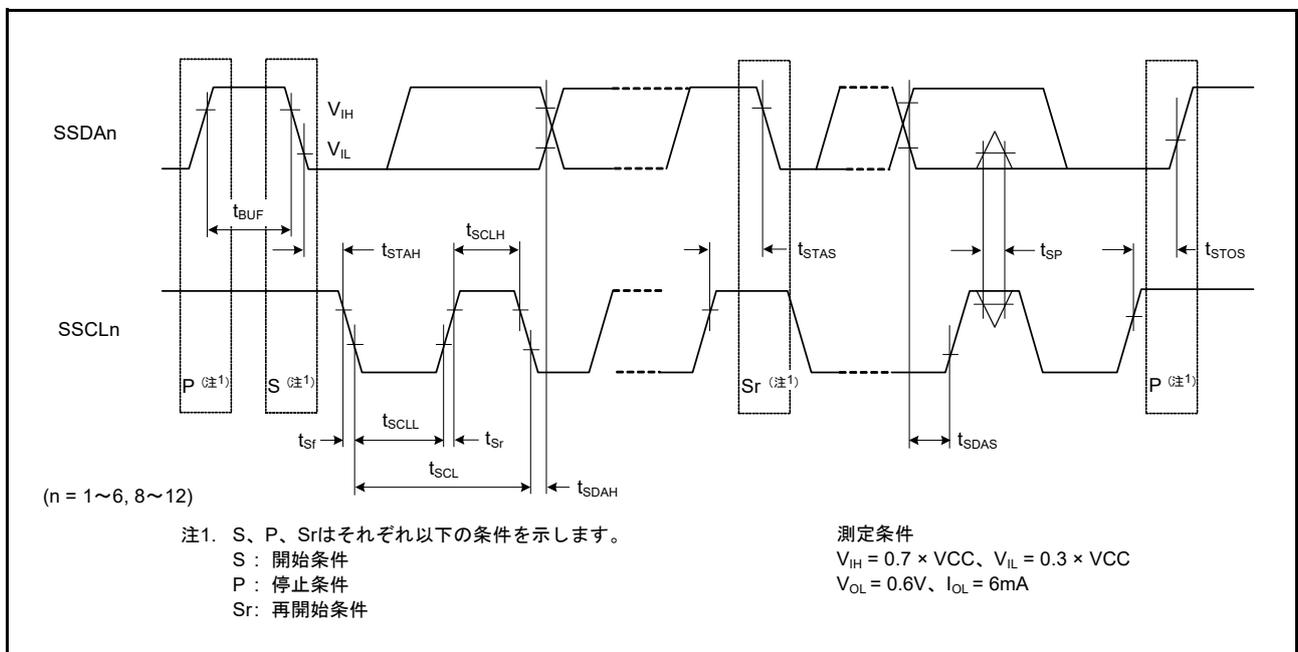


図 6.26 簡易 IIC バスインタフェース入出力タイミング

表 6.37 簡易 SPI タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{CC_DA} = V_{CC_RF} = V_{CC_A} = V_{CC_DDC} = V_{CC_D} = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS_DDC} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 |
|---------------|-------------------------|---------------------------|------|------------|-------------|--------------------|
| 簡易 SPI | SCK クロック サイクル 出力 (マスタ) | t_{SPcyc} | 4 | 65536 | t_{Pcyc} | 図 6.27 |
| | SCK クロック サイクル 入力 (スレーブ) | | 6 | 65536 | | |
| | SCK クロック High パルス 幅 | t_{SPCKWH} | 0.4 | 0.6 | t_{SPcyc} | |
| | SCK クロック Low パルス 幅 | t_{SPCKWL} | 0.4 | 0.6 | t_{SPcyc} | |
| | SCK クロック 立ち上がり/立ち下がり時間 | t_{SPCKr} , t_{SPCKf} | — | 20 | ns | |
| | データ 入力 セットアップ 時間 | t_{SU} | 33.3 | — | ns | 図 6.28 ~ 図 6.31 |
| | データ 入力 ホールド 時間 | t_H | 33.3 | — | ns | |
| | SS 入力 セットアップ 時間 | t_{LEAD} | 1 | — | t_{SPcyc} | |
| | SS 入力 ホールド 時間 | t_{LAG} | 1 | — | t_{SPcyc} | |
| | データ 出力 遅延 時間 | t_{OD} | — | 33.3 | ns | |
| | データ 出力 ホールド 時間 | t_{OH} | -10 | — | ns | |
| | データ 立ち上がり/立ち下がり時間 | t_{Dr} , t_{Df} | — | 16.6 | ns | |
| | SS 入力 立ち上がり/立ち下がり時間 | t_{SSLr} , t_{SSLf} | — | 16.6 | ns | |
| | スレーブ アクセス 時間 | t_{SA} | — | 5 | t_{Pcyc} | 図 6.30、 図 6.31 |
| スレーブ 出力 開放 時間 | t_{REL} | — | 5 | t_{Pcyc} | | |

注 1. t_{Pcyc} : SCI10、SCI11 では PCLKA の周期を示します。SCI1、SCI4 ~ SCI6、SCI8、SCI9、SCI12 では PCLKB の周期を示します。

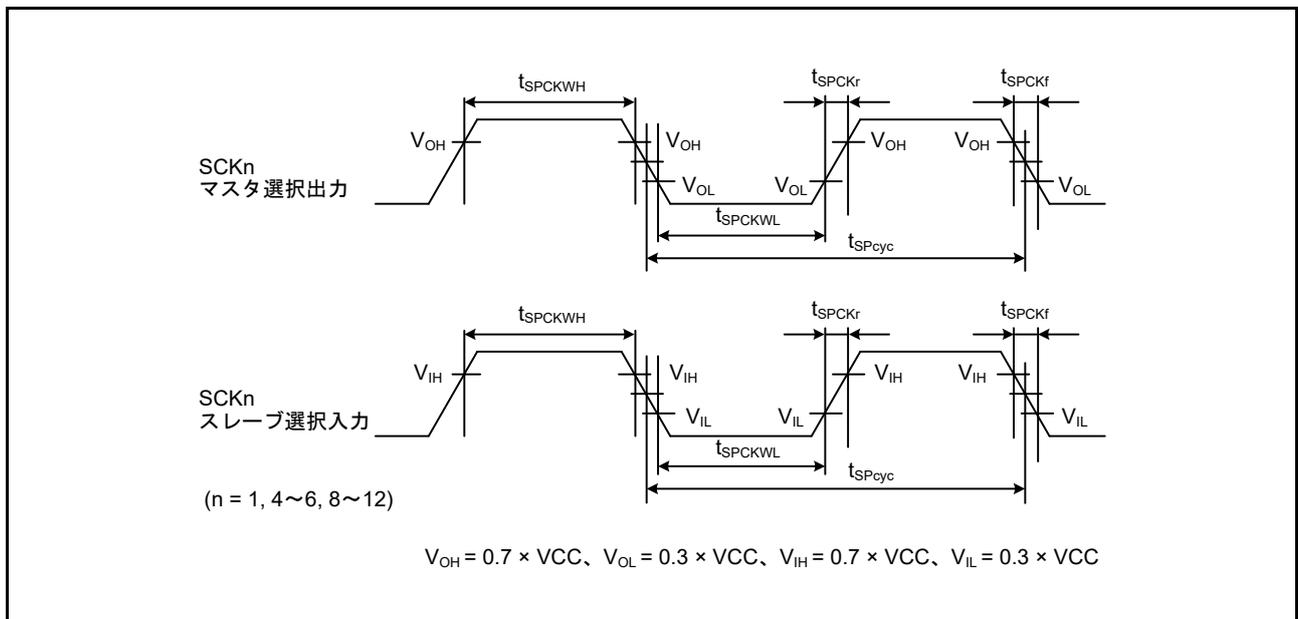


図 6.27 簡易 SPI クロック タイミング

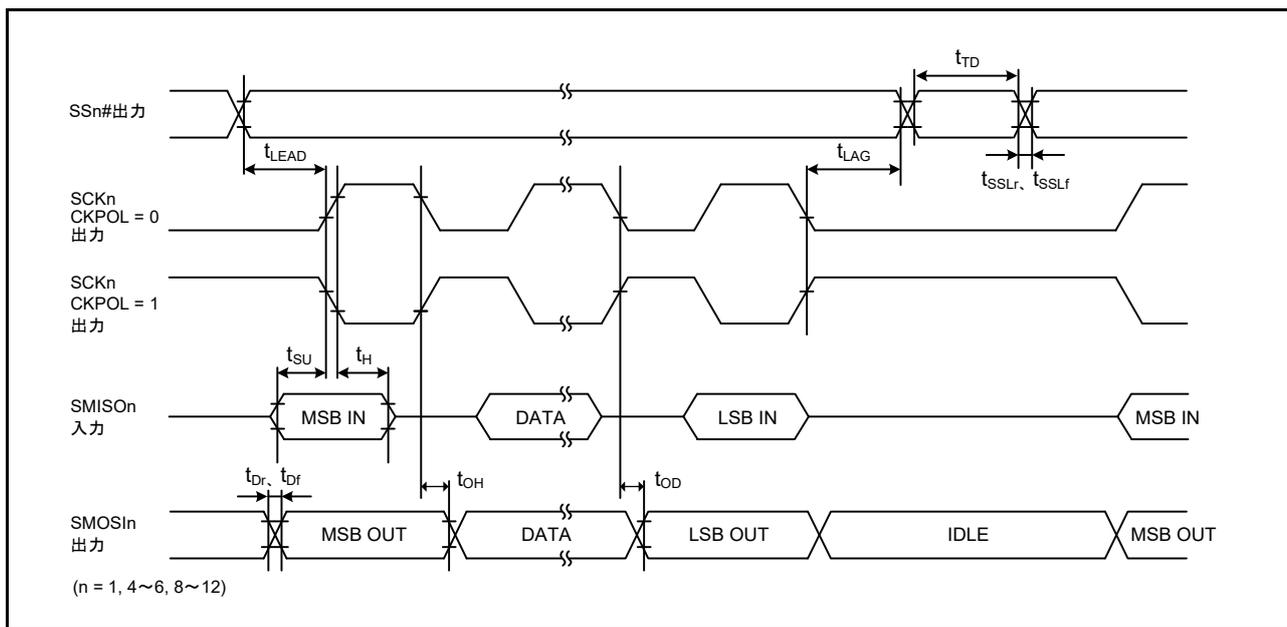


図 6.28 簡易 SPI タイミング (マスタ、CKPH = 1)

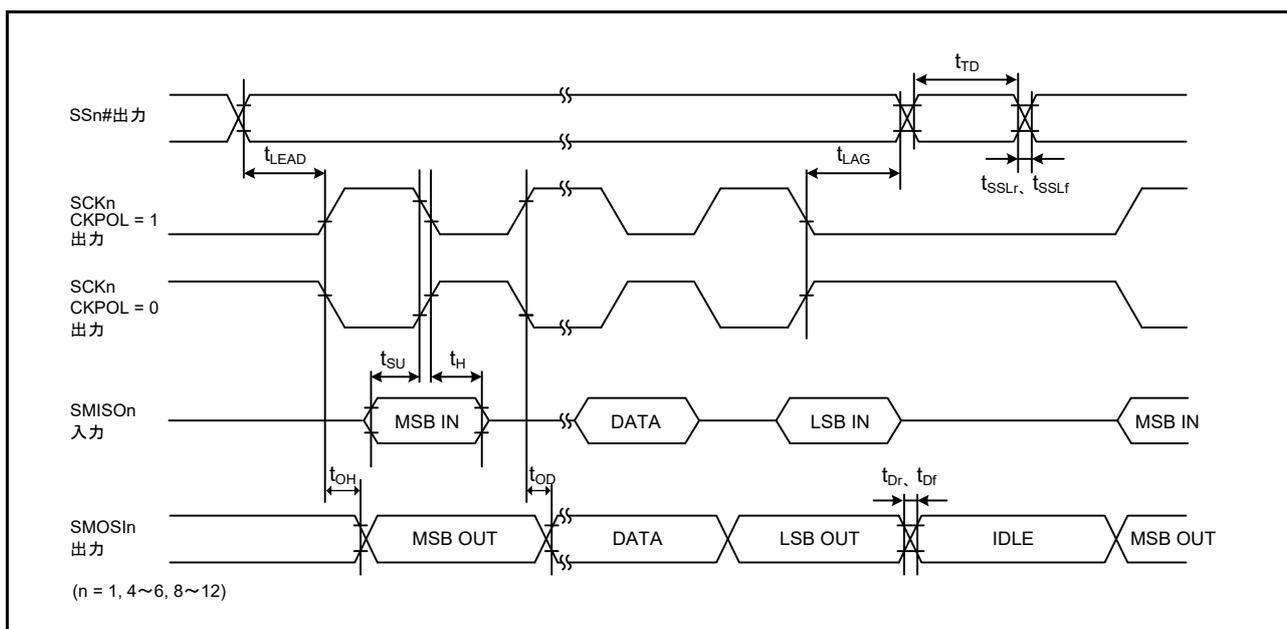


図 6.29 簡易 SPI タイミング (マスタ、CKPH = 0)

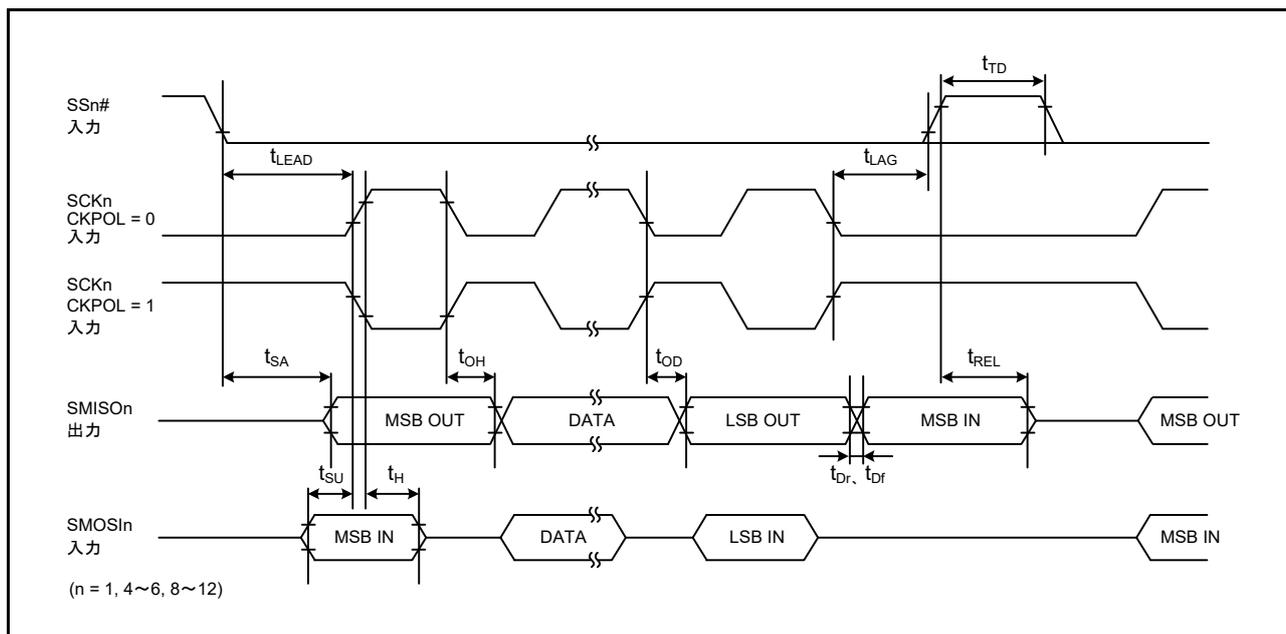


図 6.30 簡易 SPI タイミング (スレーブ、CKPH = 1)

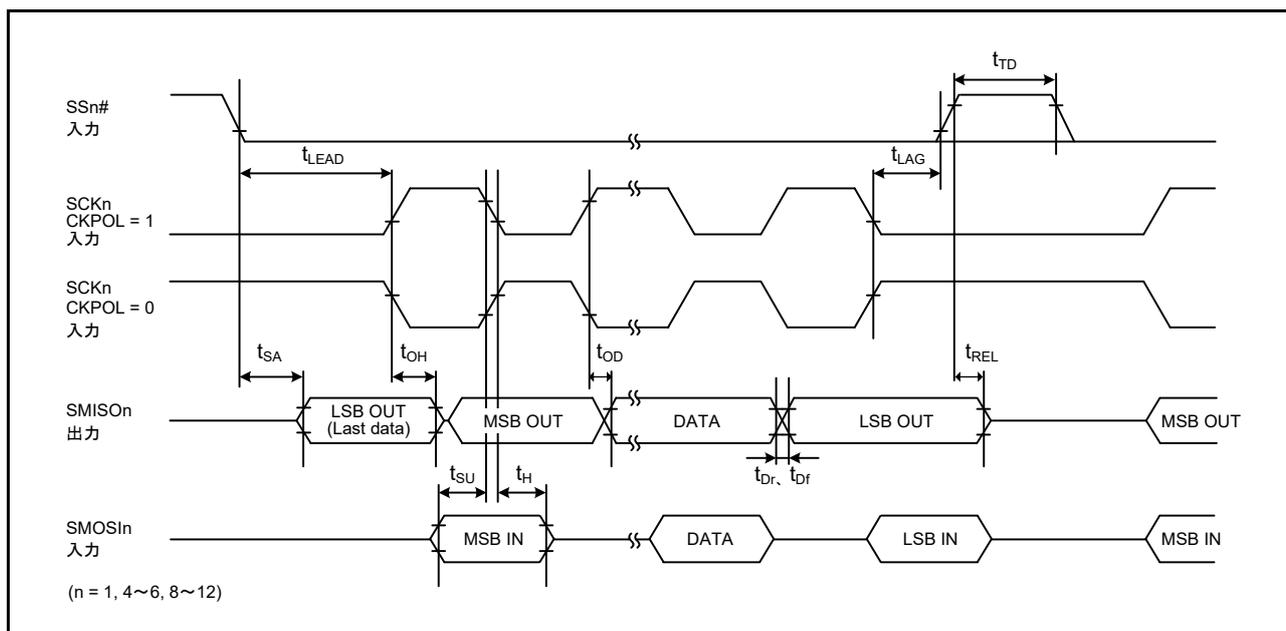


図 6.31 簡易 SPI タイミング (スレーブ、CKPH = 0)

6.4.5.10 RSPI

表 6.38 RSPI タイミング

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 ~ 3.6V,
 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min (注1) | max (注1) | 単位 (注1) | 測定条件 | | | | | | |
|-----------------------------|----------------|-----------------------------------|---|---|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|
| RSPI | RSPCK クロックサイクル | マスタ | t _{SPcyc} | 2 | 4096 | t _{PAcyc} | 図 6.32 | | | | | |
| | | スレーブ | | 4 | — | | | | | | | |
| RSPCK クロック Highパルス幅 | マスタ | t _{SPCKWH} | (t _{SPcyc} - t _{SPCKr} - t _{SPCKf}) / 2 - 3 | — | ns | 図 6.33 ~ 図 6.38 | | | | | | |
| | スレーブ | | (t _{SPcyc} - t _{SPCKr} - t _{SPCKf}) / 2 | — | | | | | | | | |
| RSPCK クロック Lowパルス幅 | マスタ | t _{SPCKWL} | (t _{SPcyc} - t _{SPCKr} - t _{SPCKf}) / 2 - 3 | — | ns | | | 図 6.33 ~ 図 6.38 | | | | |
| | スレーブ | | (t _{SPcyc} - t _{SPCKr} - t _{SPCKf}) / 2 | — | | | | | | | | |
| RSPCK クロック 立ち上がり/立ち下がり時間 | 出力 | t _{SPCKr} | — | 5 | ns | | | | 図 6.33 ~ 図 6.38 | | | |
| | 入力 | t _{SPCKf} | — | 1 | μs | | | | | | | |
| データ入力セットアップ時間 | マスタ | t _{SU} | 6 | — | ns | | | | | 図 6.33 ~ 図 6.38 | | |
| | スレーブ | | 8.3 | — | | | | | | | | |
| データ入力ホールド時間 | マスタ | PCLKAを2分周に設定 | t _{HF} | 0 | — | | | | | | ns | 図 6.33 ~ 図 6.38 |
| | | PCLKAを2分周以外に設定 | t _H | t _{PAcyc} | — | | | | | | | |
| | スレーブ | | | 8.3 | — | | | | | | | |
| SSL セットアップ時間 | マスタ | t _{LEAD} | 1 | 8 | t _{SPcyc} | | 図 6.33 ~ 図 6.38 | | | | | |
| | スレーブ | | 6 | — | t _{PAcyc} | | | | | | | |
| SSL ホールド時間 | マスタ | t _{LAG} | 1 | 8 | t _{SPcyc} | 図 6.33 ~ 図 6.38 | | | | | | |
| | スレーブ | | 6 | — | t _{PAcyc} | | | | | | | |
| データ出力遅延時間 | マスタ | t _{OD} | — | 6.3 | ns | | | 図 6.33 ~ 図 6.38 | | | | |
| | スレーブ | | — | 28 | | | | | | | | |
| データ出力ホールド時間 | マスタ | t _{OH} | 0 | — | ns | | | | 図 6.33 ~ 図 6.38 | | | |
| | スレーブ | | 0 | — | | | | | | | | |
| 連続送信遅延時間 | マスタ | t _{TD} | t _{SPcyc} + 2 × t _{PAcyc} | 8 × t _{SPcyc} + 2 × t _{PAcyc} | ns | | | | | 図 6.33 ~ 図 6.38 | | |
| | スレーブ | | 6 × t _{PAcyc} | — | | | | | | | | |
| MOSI, MISO 立ち上がり/立ち下がり時間 | 出力 | t _{Dr} , t _{Df} | — | 5 | ns | | | | | | 図 6.33 ~ 図 6.38 | |
| | 入力 | | — | 1 | μs | | | | | | | |
| SSL 立ち上がり/立ち下がり時間 | 出力 | t _{SSLr} | — | 5 | ns | | 図 6.33 ~ 図 6.38 | | | | | |
| | 入力 | t _{SSLf} | — | 1 | μs | | | | | | | |
| スレーブアクセス時間 | | t _{SA} | — | 2 × t _{PAcyc} + 28 | ns | 図 6.37、 図 6.38 | | | | | | |
| スレーブ出力開放時間 | | t _{REL} | — | 2 × t _{PAcyc} + 28 | ns | | | | | | | |

注1. t_{PAcyc} : PCLKAの周期

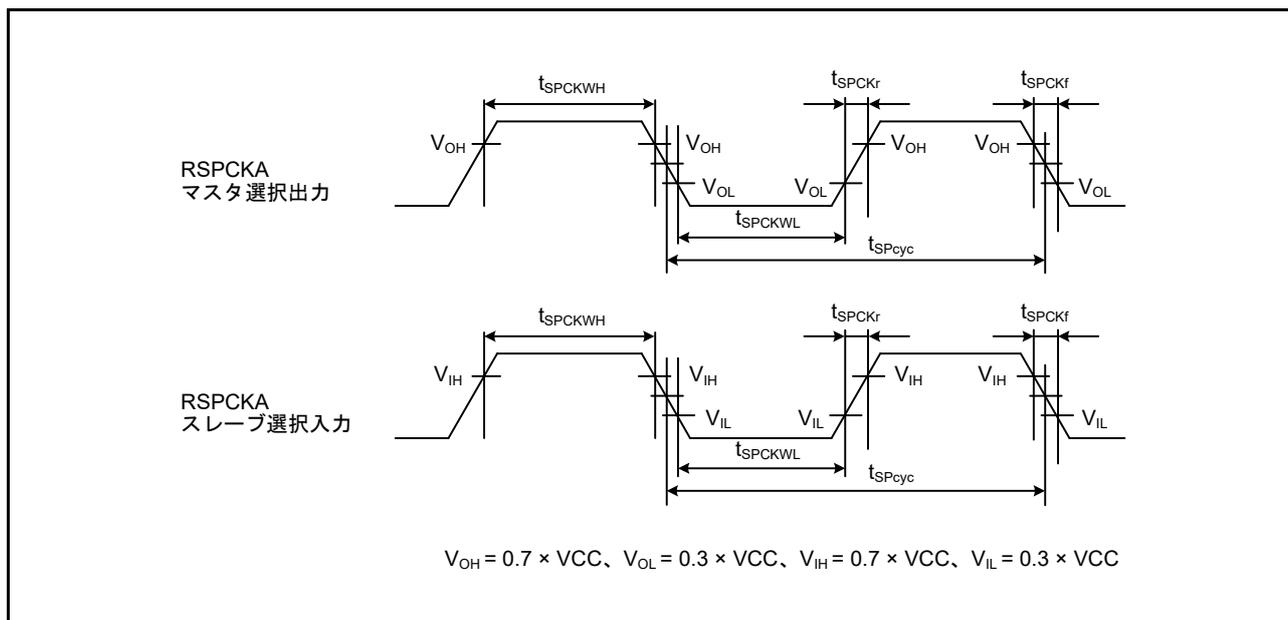


図 6.32 RSPCKA クロックタイミング

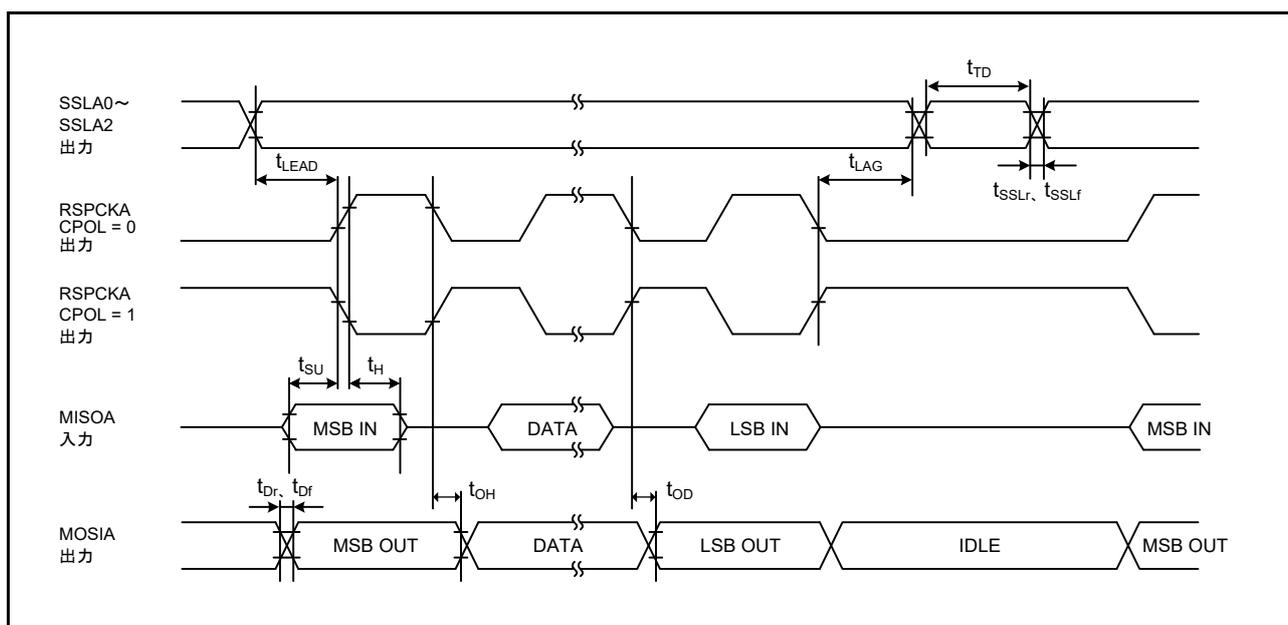


図 6.33 RSPCKA タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

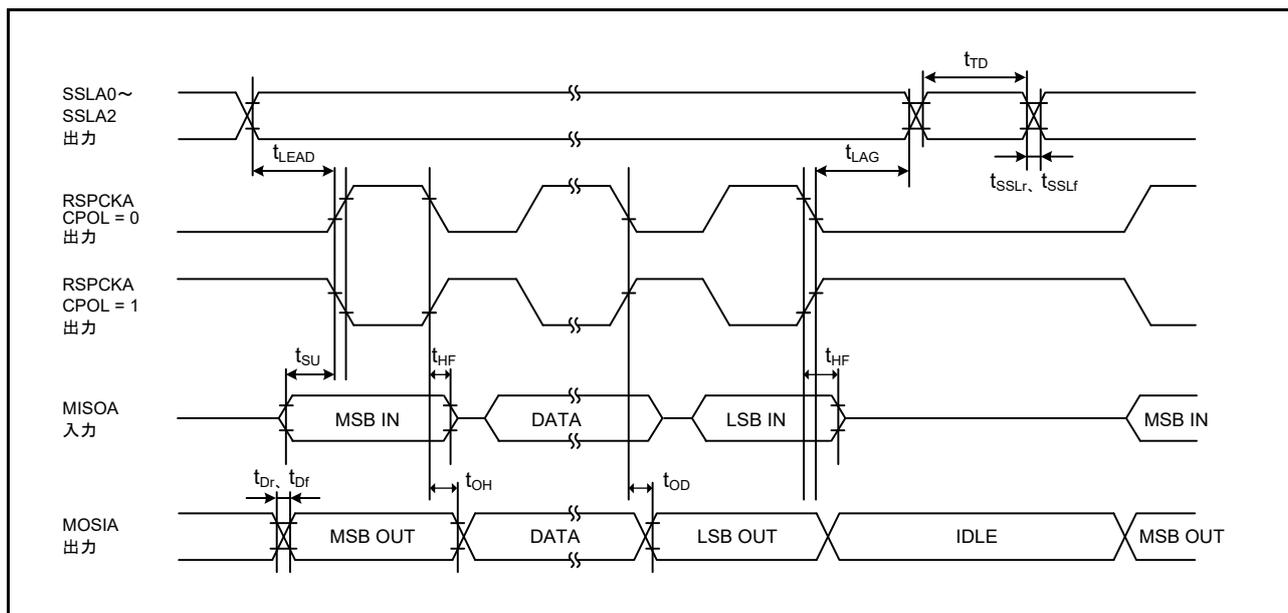


図 6.34 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

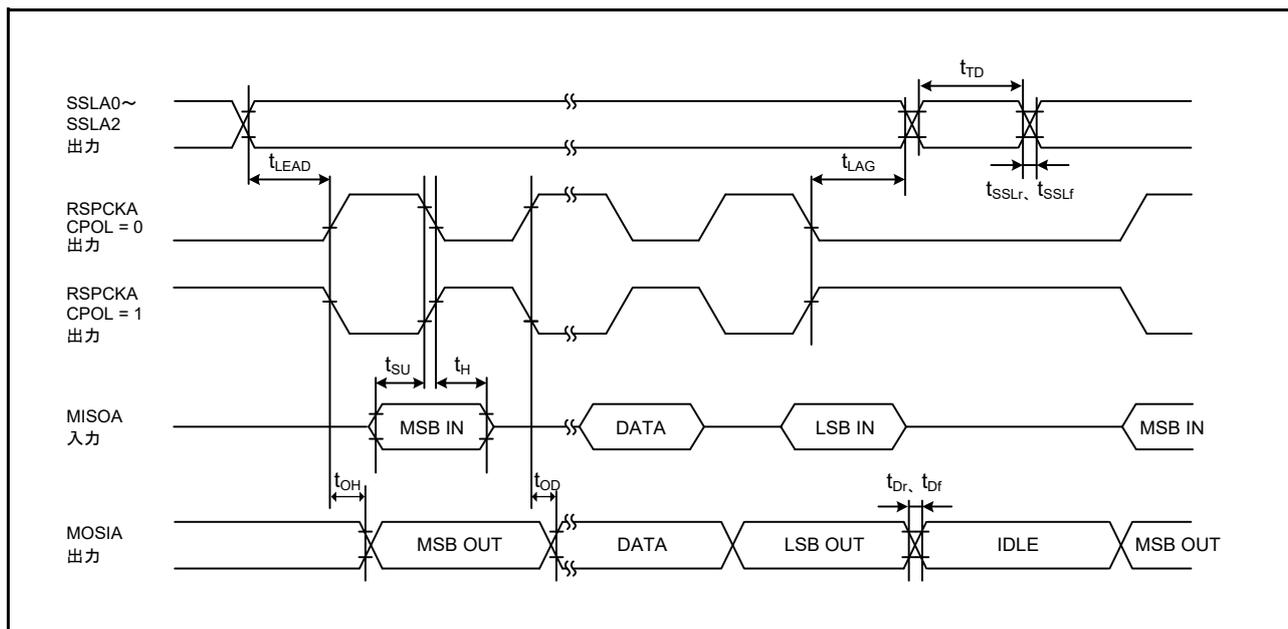


図 6.35 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

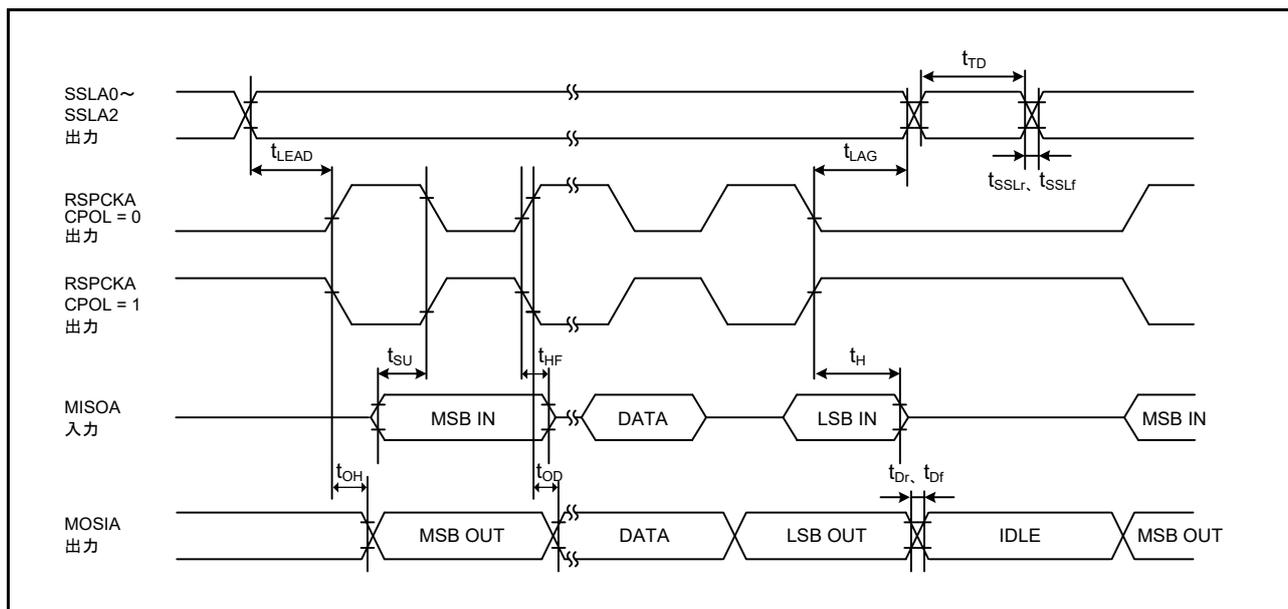


図 6.36 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

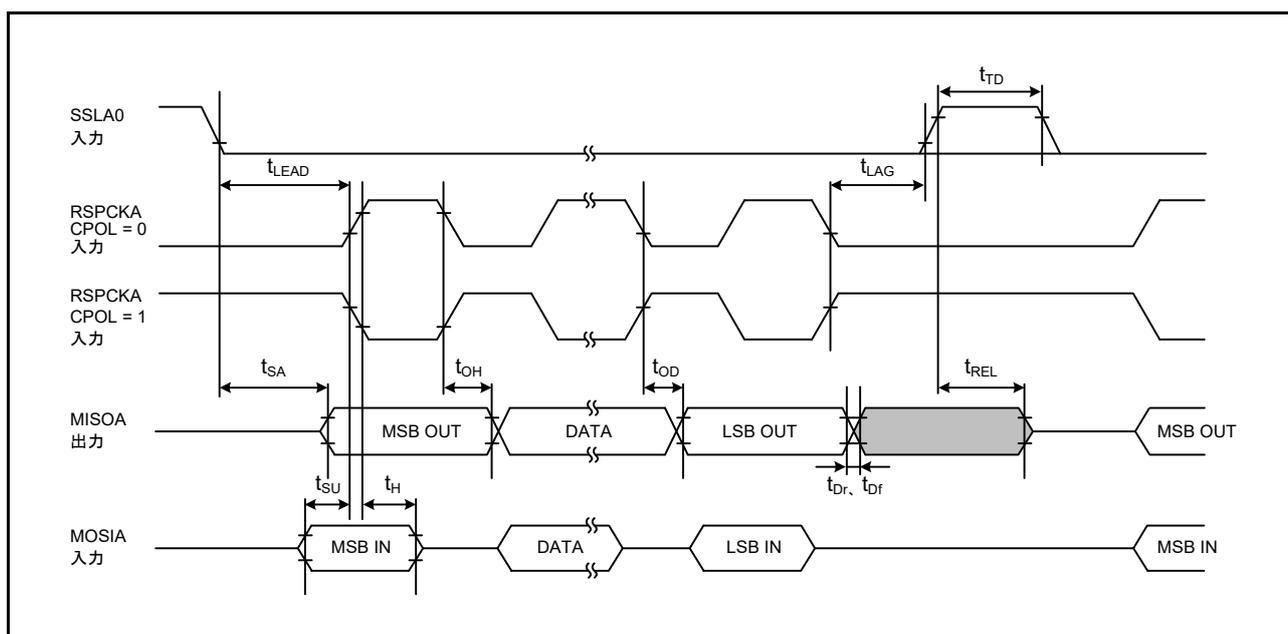


図 6.37 RSPI タイミング (スレーブ、CPHA = 0)

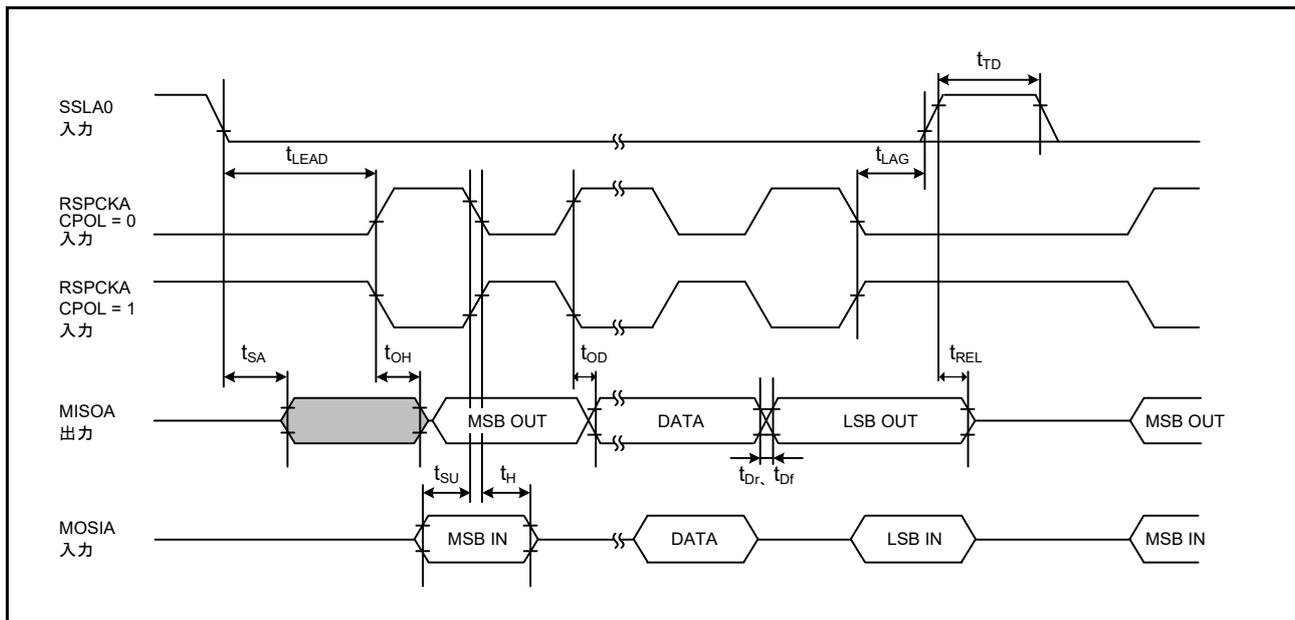


図 6.38 RSPI タイミング (スレーブ、CPHA = 1)

6.4.5.11 QSPI

表 6.39 QSPI タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{CC_DA} = V_{CC_RF} = V_{CC_A} = V_{CC_DDC} = V_{CC_D} = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS_DDC} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | 記号 | min | max | 単位 (注1) | 測定条件 | |
|------|-----------------|-------------|-----|------------|-------------|-------------------|
| QSPI | QSPCLK クロックサイクル | t_{QScyc} | 2 | 4080 | t_{PBcyc} | 図 6.39 |
| | データ入力セットアップ時間 | t_{Su} | 6.5 | — | ns | 図 6.40、 図 6.41 |
| | データ入力ホールド時間 | t_{IH} | 5 | — | ns | |
| | SS セットアップ時間 | t_{LEAD} | 1.5 | 8.5 | t_{QScyc} | |
| | SS ホールド時間 | t_{LAG} | 1 | 8 | t_{QScyc} | |
| | データ出力遅延時間 | t_{OD} | — | 10.0 | ns | |
| | データ出力ホールド時間 | t_{OH} | -5 | — | ns | |
| | 連続転送遅延時間 | t_{TD} | 1 | 8 | t_{QScyc} | |

注 1. t_{PBcyc} : PCLKB の周期

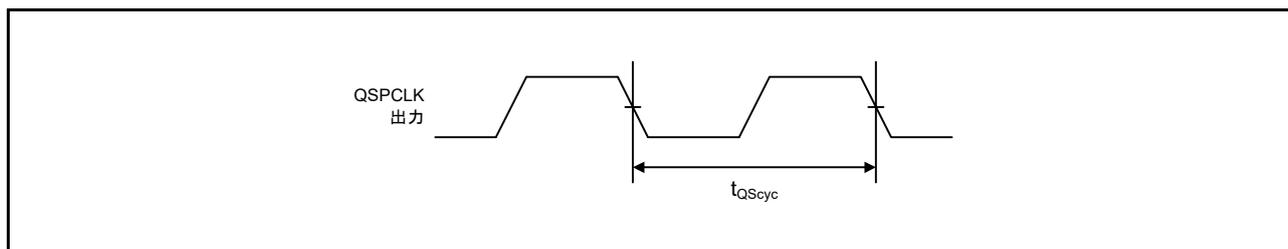


図 6.39 QSPI クロックタイミング

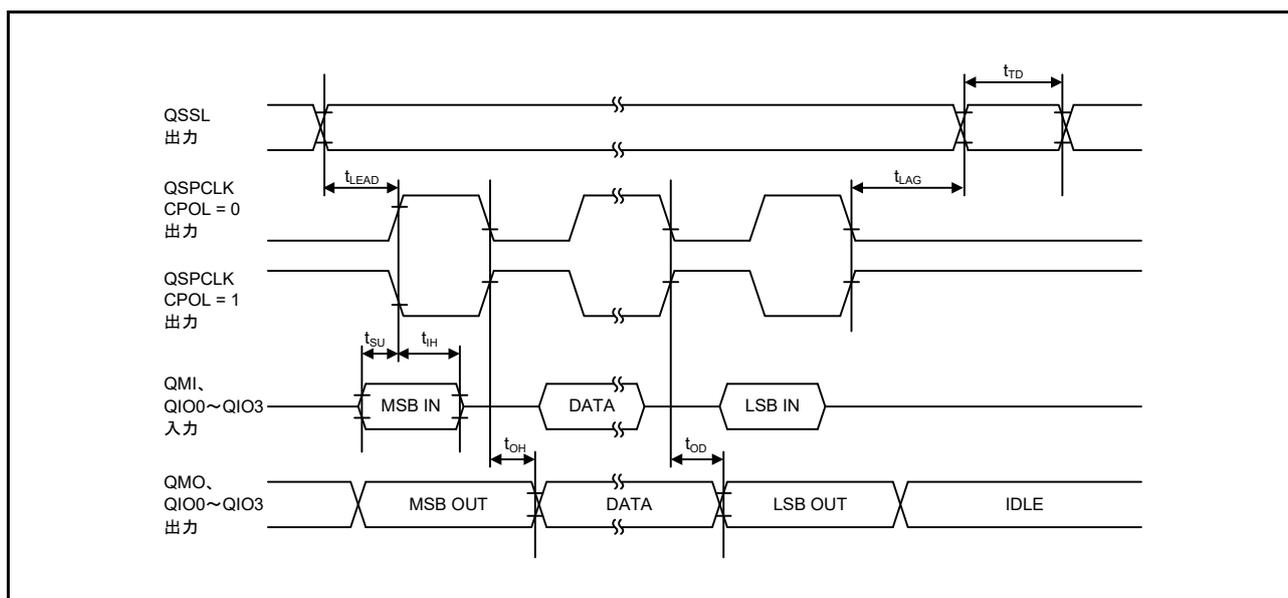


図 6.40 送受信タイミング (CPHA = 0)

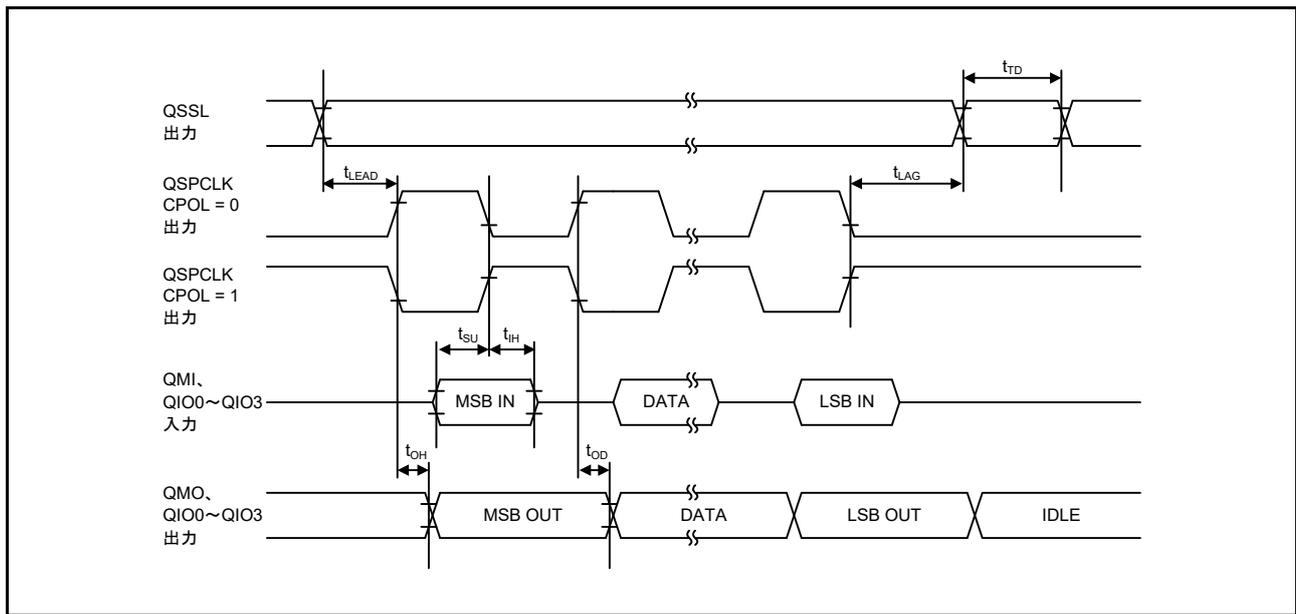


図 6.41 送受信タイミング (CPHA = 1)

6.4.5.12 RIIC

表6.40 RIIC タイミング

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 ~ 3.6V,
 2.7V ≤ VREFH0 ≤ AVCC0, VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | 記号 | min (注1) | max | 単位 | 測定条件 | |
|--|------------------------|---------------------|-------------------------------------|-----------------------------|------|--------|
| RIIC (Standard-mode, SMBus) ICFER.FMPE = 0 | SCL 入力サイクル時間 | t _{SCL} | 6(12) × t _{II} Ccyc + 1300 | — | ns | 図 6.42 |
| | SCL 入力 High パルス幅 | t _{SCLH} | 3(6) × t _{II} Ccyc + 300 | — | ns | |
| | SCL 入力 Low パルス幅 | t _{SCLL} | 3(6) × t _{II} Ccyc + 300 | — | ns | |
| | SCL, SDA 入力立ち上がり時間 | t _{Sr} | — | 1000 | ns | |
| | SCL, SDA 入力立ち下がり時間 | t _{Sf} | — | 300 | ns | |
| | SCL, SDA 入カスパイクパルス除去時間 | t _{SP} | 0 | 1(4) × t _{II} Ccyc | ns | |
| | SDA 入カバスフリー時間 | t _{BUF} | 3(6) × t _{II} Ccyc + 300 | — | ns | |
| | 開始条件入力ホールド時間 | t _{STAH} | t _{II} Ccyc + 300 | — | ns | |
| | 再送開始条件入力セットアップ時間 | t _{STAS} | 1000 | — | ns | |
| | 停止条件入力セットアップ時間 | t _{STOS} | 1000 | — | ns | |
| | データ入力セットアップ時間 | t _{SDAS} | t _{II} Ccyc + 50 | — | ns | |
| | データ入力ホールド時間 | t _{SDAH} | 0 | — | ns | |
| | SCL, SDA の容量性負荷 | C _b (注2) | — | 400 | pF | |
| RIIC (Fast-mode) ICFER.FMPE = 0 | SCL 入力サイクル時間 | t _{SCL} | 6(12) × t _{II} Ccyc + 600 | — | ns | |
| | SCL 入力 High パルス幅 | t _{SCLH} | 3(6) × t _{II} Ccyc + 300 | — | ns | |
| | SCL 入力 Low パルス幅 | t _{SCLL} | 3(6) × t _{II} Ccyc + 300 | — | ns | |
| | SCL, SDA 入力立ち上がり時間 | t _{Sr} | 20 × (外付け プルアップ電圧 / 5.5V) | 300 | ns | |
| | SCL, SDA 入力立ち下がり時間 | t _{Sf} | 20 × (外付け プルアップ電圧 / 5.5V) | 300 | ns | |
| | SCL, SDA 入カスパイクパルス除去時間 | t _{SP} | 0 | 1(4) × t _{II} Ccyc | ns | |
| | SDA 入カバスフリー時間 | t _{BUF} | 3(6) × t _{II} Ccyc + 300 | — | ns | |
| | 開始条件入力ホールド時間 | t _{STAH} | t _{II} Ccyc + 300 | — | ns | |
| | 再送開始条件入力セットアップ時間 | t _{STAS} | 300 | — | ns | |
| | 停止条件入力セットアップ時間 | t _{STOS} | 300 | — | ns | |
| | データ入力セットアップ時間 | t _{SDAS} | t _{II} Ccyc + 50 | — | ns | |
| | データ入力ホールド時間 | t _{SDAH} | 0 | — | ns | |
| | SCL, SDA の容量性負荷 | C _b (注2) | — | 400 | pF | |
| RIIC (Fast-mode+) ICFER.FMPE = 1 | SCL 入力サイクル時間 | t _{SCL} | 6(12) × t _{II} Ccyc + 240 | — | ns | |
| | SCL 入力 High パルス幅 | t _{SCLH} | 3(6) × t _{II} Ccyc + 120 | — | ns | |
| | SCL 入力 Low パルス幅 | t _{SCLL} | 3(6) × t _{II} Ccyc + 120 | — | ns | |
| | SCL, SDA 入力立ち上がり時間 | t _{Sr} | — | 120 | ns | |
| | SCL, SDA 入力立ち下がり時間 | t _{Sf} | — | 120 | ns | |
| | SCL, SDA 入カスパイクパルス除去時間 | t _{SP} | 0 | 1(4) × t _{II} Ccyc | ns | |
| | SDA 入カバスフリー時間 | t _{BUF} | 3(6) × t _{II} Ccyc + 120 | — | ns | |
| | 開始条件入力ホールド時間 | t _{STAH} | t _{II} Ccyc + 120 | — | ns | |
| | 再送開始条件入力セットアップ時間 | t _{STAS} | 120 | — | ns | |
| | 停止条件入力セットアップ時間 | t _{STOS} | 120 | — | ns | |
| | データ入力セットアップ時間 | t _{SDAS} | t _{II} Ccyc + 20 | — | ns | |
| | データ入力ホールド時間 | t _{SDAH} | 0 | — | ns | |
| | SCL, SDA の容量性負荷 | C _b (注2) | — | 550 | pF | |

注. t_{IICcyc} : RIICの内部基準クロック (IICφ)の周期
 注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。
 注2. C_b はバスラインの容量総計です。

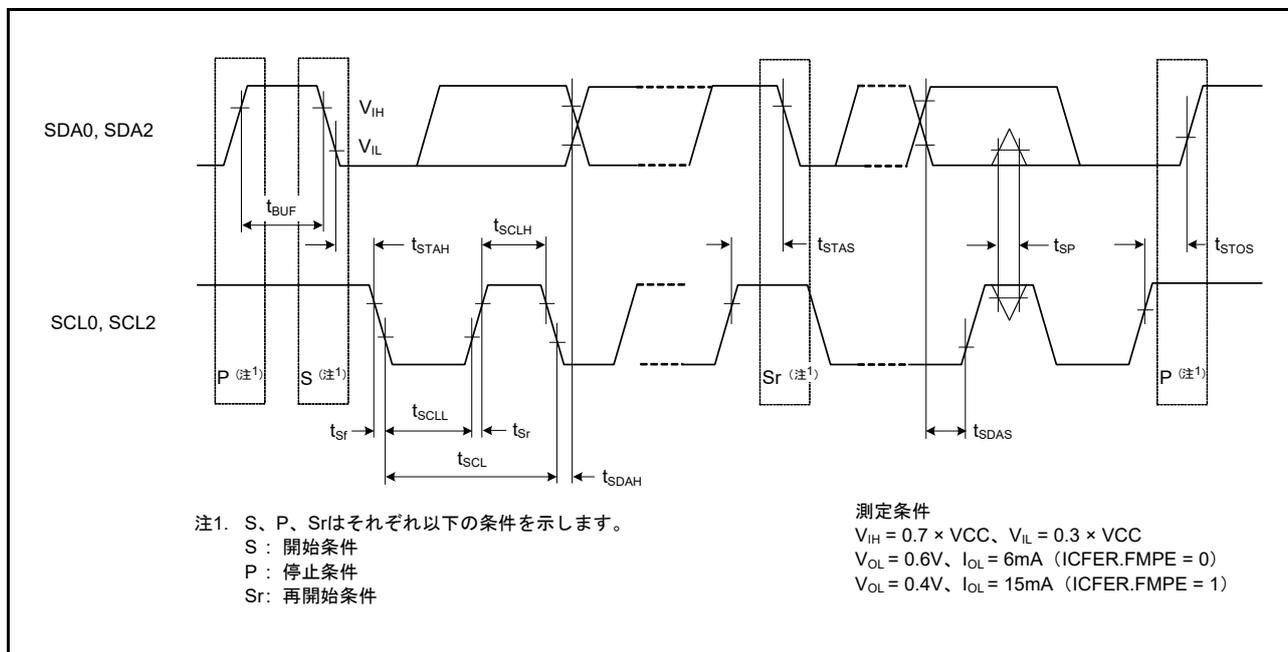


図 6.42 RIIC バスインタフェース入出力タイミング

6.4.5.13 ETHERC

表6.41 ETHERC タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{CC_DA} = V_{CC_RF} = V_{CC_A} = V_{CC_DDC} = V_{CC_D} = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS_DDC} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | 記号 | min | max | 単位 | 測定条件 | |
|----------------|----------------------------------|---------------|------|---------------|--------|-----------------|
| ETHERC (RMII) | REF50CK サイクル時間 | T_{ck} | 20 | — | ns | 図 6.43 ~ 図 6.46 |
| | REF50CK 周波数 Typ. 50MHz | — | — | $50 + 100ppm$ | MHz | |
| | REF50CK デューティ | — | 35 | 65 | % | |
| | REF50CK 立ち上がり/立ち下がり時間 | $T_{ckr/ckf}$ | 0.5 | 3.5 | ns | |
| | RMII0_xxxx (注1) 出力遅延時間 | T_{co} | 2.5 | 15.0 | ns | |
| | RMII0_xxxx (注2) セットアップ時間 | T_{su} | 3 | — | ns | |
| | RMII0_xxxx (注2) ホールド時間 | T_{hd} | 1 | — | ns | |
| | RMII0_xxxx (注1、注2) 立ち上がり/立ち下がり時間 | T_r/T_f | 0.5 | 5 | ns | |
| ET0_WOL 出力遅延時間 | t_{WOLd} | 1 | 23.5 | ns | 図 6.47 | |

注1. RMII0_TXD_EN, RMII0_TXD1, RMII0_TXD0
 注2. RMII0_CRD_DV, RMII0_RXD1, RMII0_RXD0, RMII0_RX_ER

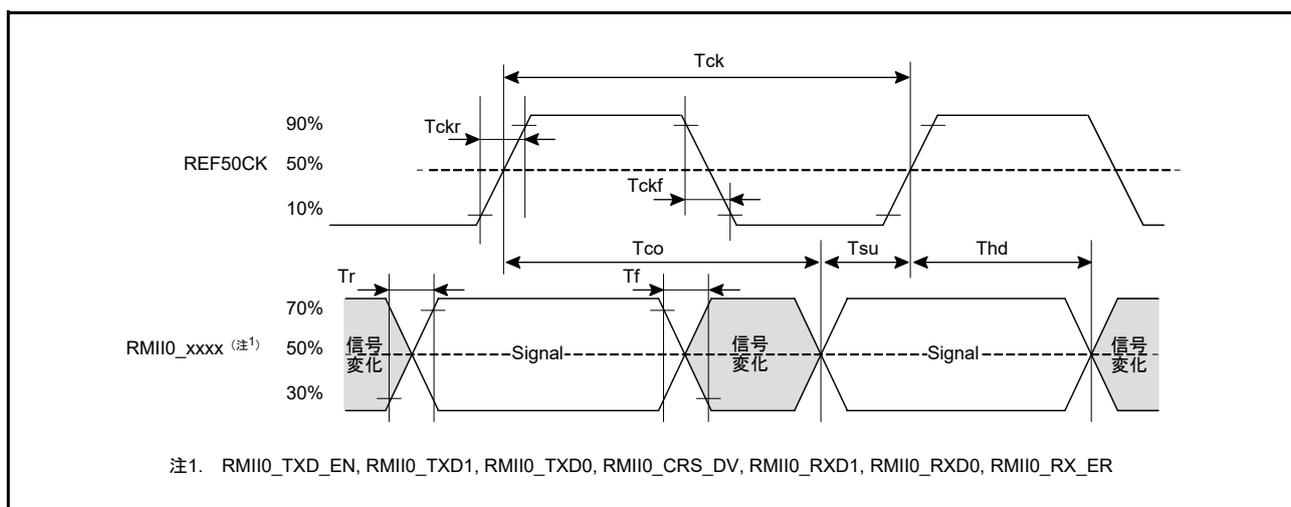


図 6.43 REF50CK と RMII 信号とのタイミング

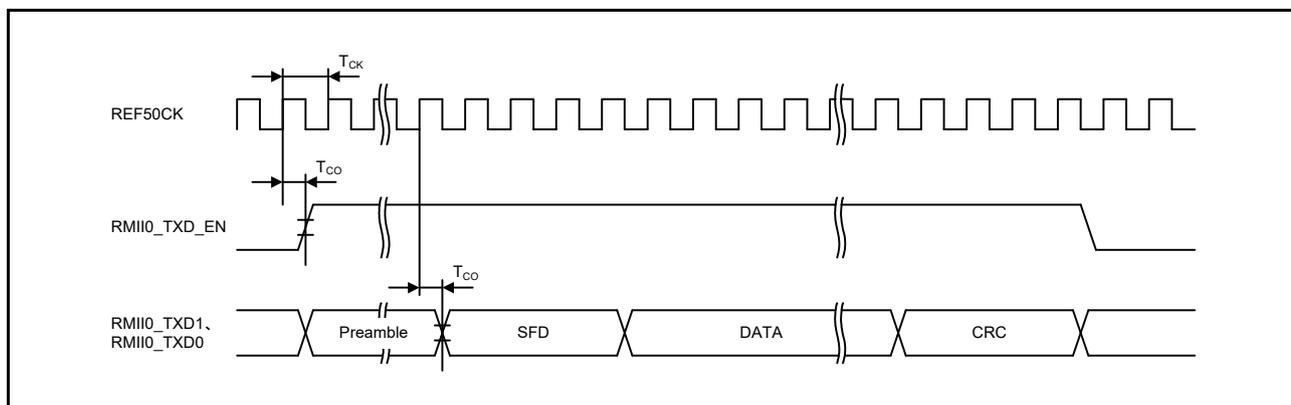


図 6.44 RMII 送信タイミング

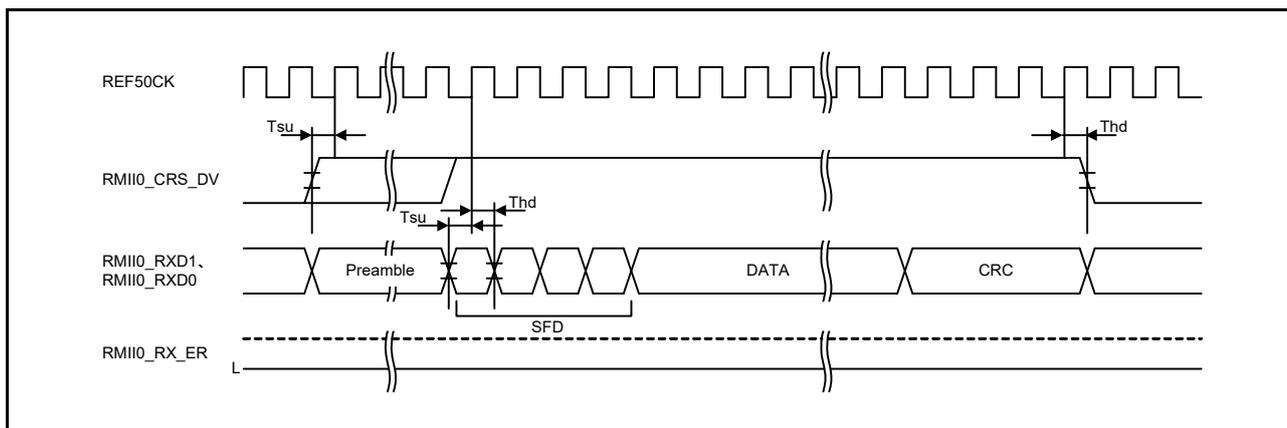


図 6.45 RMIIC 受信タイミング (正常動作時)

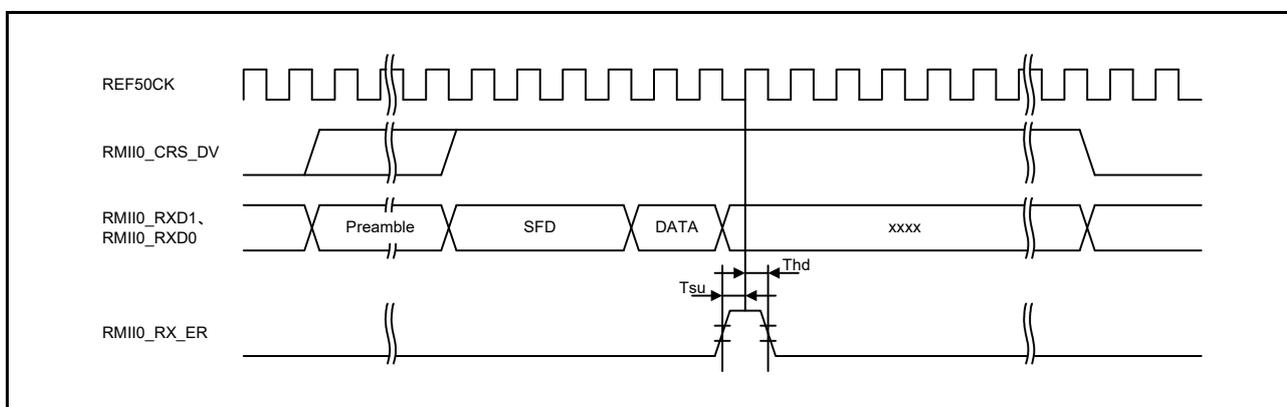


図 6.46 RMIIC 受信タイミング (エラー発生ケース)

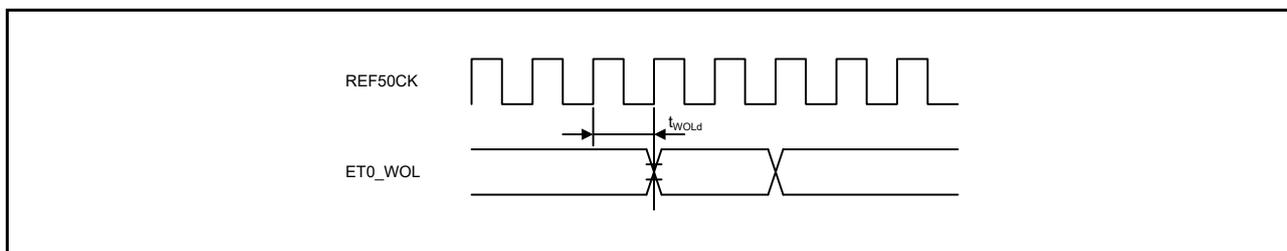


図 6.47 WOL 出力タイミング (RMIIC)

6.4.5.14 SDHI

表6.42 SDHI タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{CC_DA} = V_{CC_RF} = V_{CC_A} = V_{CC_DDC} = V_{CC_D} = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS_DDC} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | 記号 | min | max | 単位 | 測定条件 | |
|--|---|----------------|-------------------------|----|------|-------|
| SDHI | SDHI_CLK 端子出力サイクル時間 | $t_{PP(SD)}$ | 20 | — | ns | 図6.48 |
| | SDHI_CLK 端子出力 High パルス幅 | $t_{WH(SD)}$ | $0.4 \times t_{PP(SD)}$ | — | ns | |
| | SDHI_CLK 端子出力 Low パルス幅 | $t_{WL(SD)}$ | $0.4 \times t_{PP(SD)}$ | — | ns | |
| | SDHI_CLK 端子出力立ち上がり時間 | $t_{TLH(SD)}$ | — | 3 | ns | |
| | SDHI_CLK 端子出力立ち下がり時間 | $t_{THL(SD)}$ | — | 3 | ns | |
| | SDHI_CMD、SDHI_D3 ~ SDHI_D0 端子出力データ遅延時間 (データ転送モード) | $t_{ODLY(SD)}$ | -6.5 | 4 | ns | |
| | SDHI_CMD、SDHI_D3 ~ SDHI_D0 端子入力データセットアップ時間 | $t_{ISU(SD)}$ | 6 | — | ns | |
| SDHI_CMD、SDHI_D3 ~ SDHI_D0 端子入力データホールド時間 | $t_{IH(SD)}$ | 2 | — | ns | | |

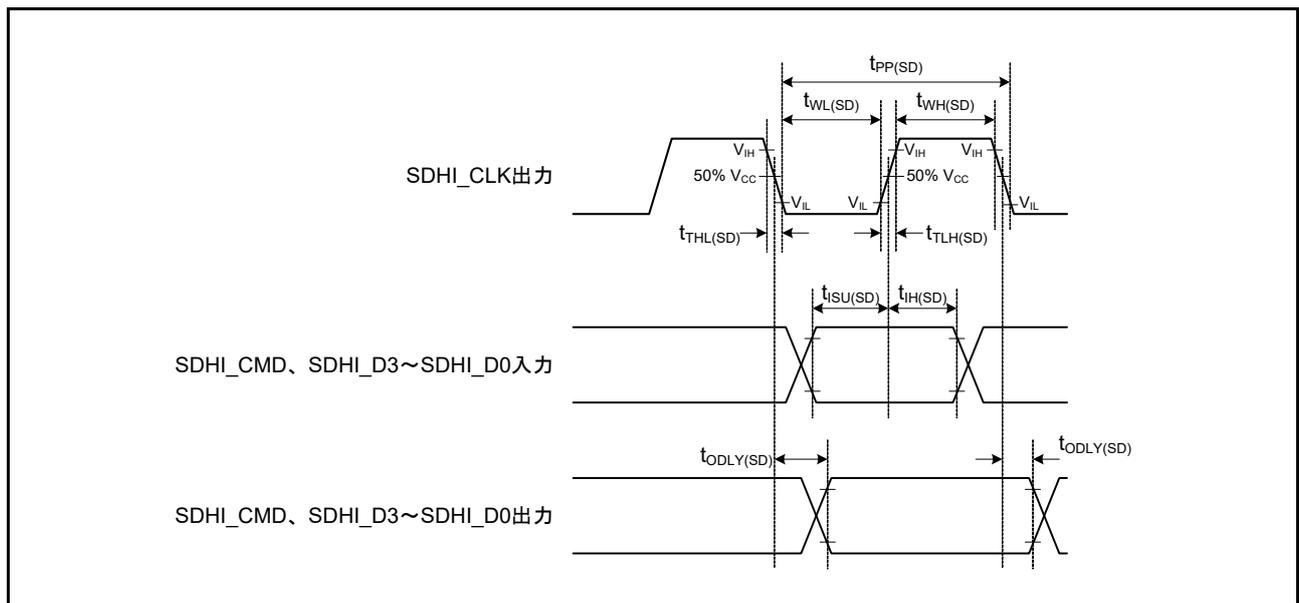


図 6.48 SD ホストインタフェース入出力信号タイミング

6.4.5.15 SDSI

表6.43 SDSI タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq V_{REFH0} \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 | 測定条件 |
|--|--|-----------------|---------------------------|-----|--------|--------|
| SDSI | SDSI_CLK 端子入力サイクル時間 | $t_{PP(SDSI)}$ | 20 | — | ns | 図 6.49 |
| | SDSI_CLK 端子入力 High パルス幅 | $t_{WH(SDSI)}$ | $0.4 \times t_{PP(SDSI)}$ | — | ns | |
| | SDSI_CLK 端子入力 Low パルス幅 | $t_{WL(SDSI)}$ | $0.4 \times t_{PP(SDSI)}$ | — | ns | |
| | SDSI_CLK 端子入力立ち上がり時間 | $t_{TLH(SDSI)}$ | — | 3 | ns | |
| | SDSI_CLK 端子入力立ち下がり時間 | $t_{THL(SDSI)}$ | — | 3 | ns | |
| | SDSI_CMD、SDSI_D3~SDSI_D0 端子 入力データセットアップ時間 | $t_{SU(SDSI)}$ | 5 | — | ns | |
| | SDSI_CMD、SDSI_D3~SDSI_D0 端子 入力データホールド時間 | $t_{IH(SDSI)}$ | 2 | — | ns | |
| SDSI_CMD、SDSI_D3~SDSI_D0 端子 出力データ遅延時間(Default Speed Mode) | $t_{ODLY(SDSI)}$ | 0 | 14 | ns | 図 6.50 | |
| SDSI_CMD、SDSI_D3~SDSI_D0 端子 出力データ遅延時間(High Speed Mode) | | 2.5 | 14 | ns | 図 6.51 | |

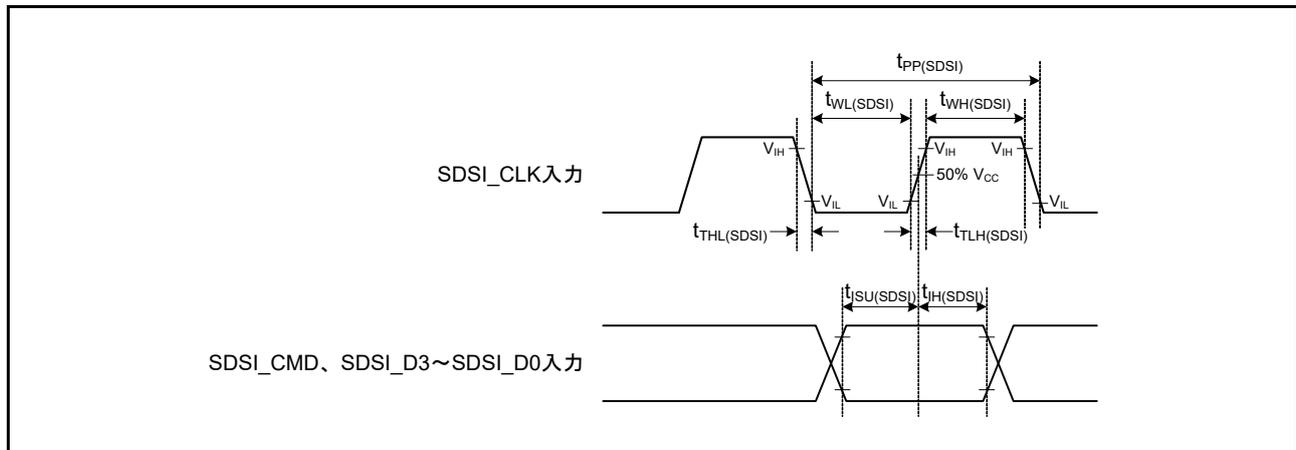


図 6.49 SD スレーブインタフェース入力信号タイミング

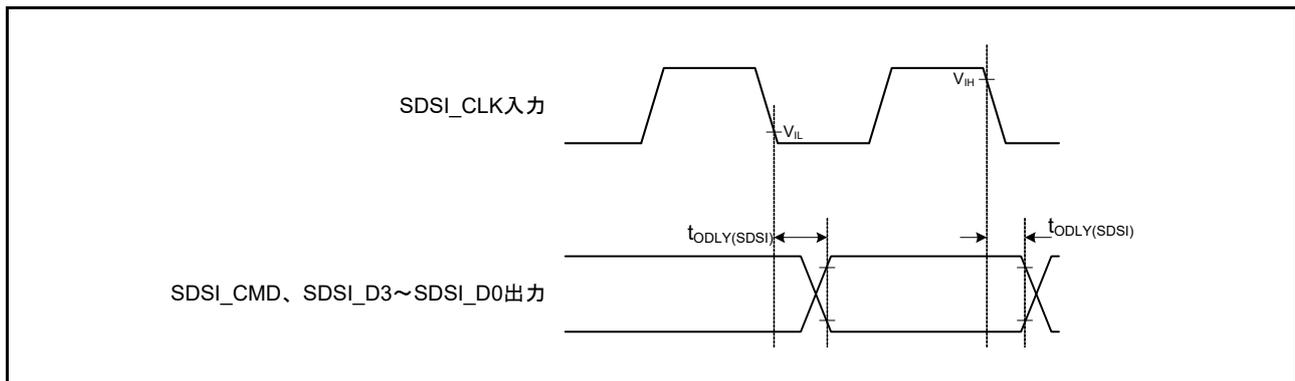


図 6.50 SD スレーブインタフェース出力信号タイミング (デフォルトスピードモード)

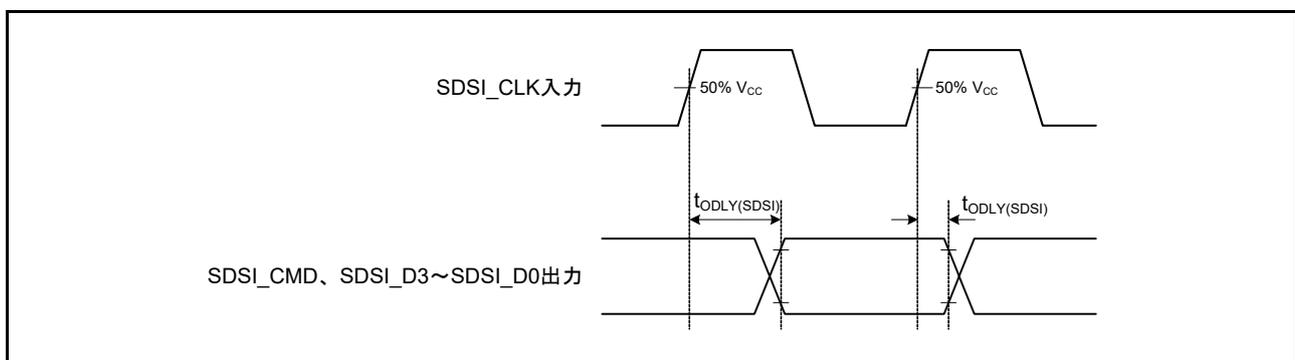


図 6.51 SD スレーブインタフェース出力信号タイミング (ハイスピードモード)

6.4.5.16 RF トランシーバ

表6.44 RF トランシーバ タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = 25^\circ C$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 | |
|-----------|----------------------|-------------|-------|-----|------|------|--------|
| RF トランシーバ | SCLK クロック サイクル | t_{sccyc} | 41.67 | — | — | ns | 図 6.52 |
| | SCLK クロック High パルス 幅 | t_{sch} | 18.5 | — | — | ns | |
| | SCLK クロック Low パルス 幅 | t_{scl} | 18.5 | — | — | ns | |
| | SIN 入力 セットアップ 時間 | t_{sisu} | 15 | — | — | ns | |
| | SIN 入力 ホールド 時間 | t_{sihd} | 15 | — | — | ns | |
| | SOUT 出力 遅延 時間 | t_{sodly} | — | — | 14.8 | ns | |
| | SEN 入力 セットアップ 時間 | t_{sesu} | 33.3 | — | — | ns | |
| | SEN 入力 ホールド 時間 | t_{sehd} | 200 | — | — | ns | |

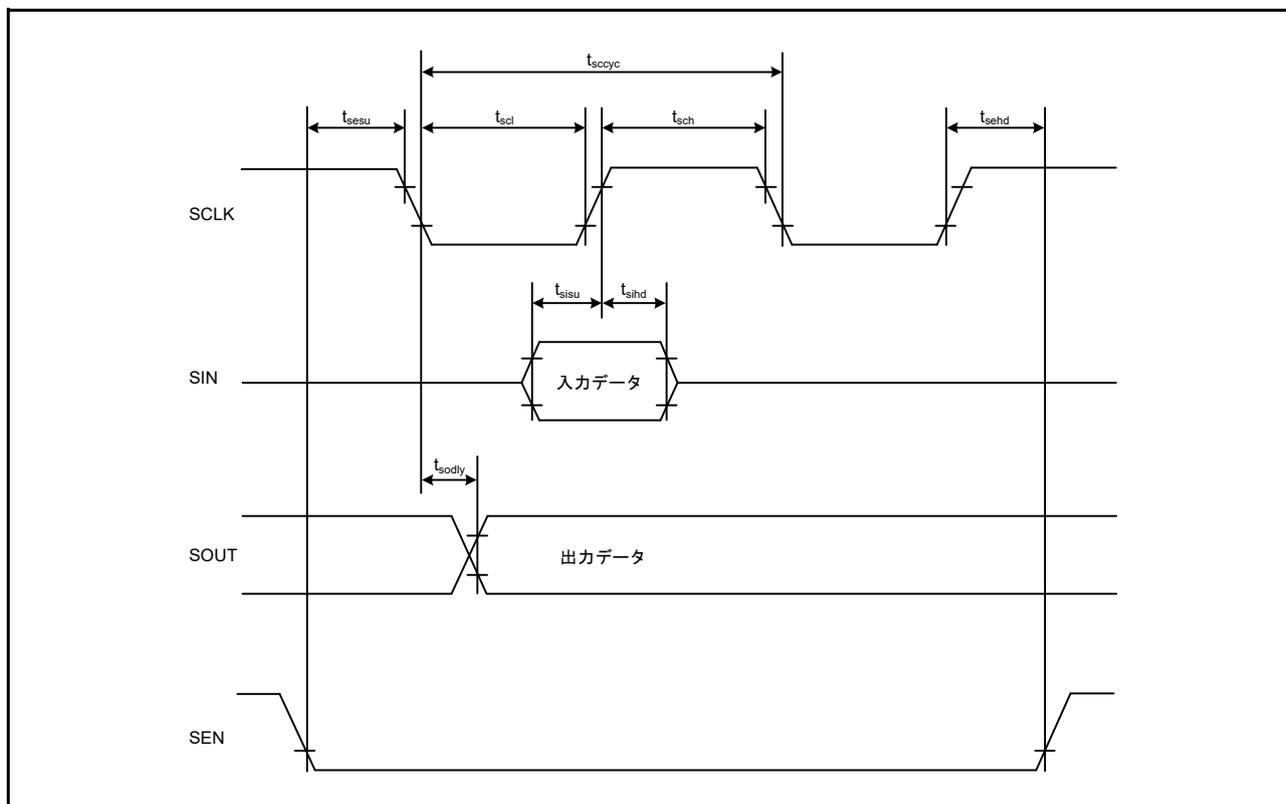


図 6.52 RF トランシーバ 入出力 タイミング

6.5 USB 特性

表6.45 内蔵USBフルスピード特性(DP, DM端子特性)

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{CC_DA} = V_{CC_RF} = V_{CC_A} = V_{CC_DDC} = V_{CC_D} = V_{BATT} = 3.0 \sim 3.6V$,
 $3.0V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS_DDC} = 0V$,
 $UCLK = 48MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 | |
|---------------|---------------------------|-----------------|-------|-----|--------|------------|----------------------|
| 入力特性 | Highレベル入力電圧 | V_{IH} | 2.0 | — | — | V | |
| | Lowレベル入力電圧 | V_{IL} | — | — | 0.8 | V | |
| | 差動入力感度 | V_{DI} | 0.2 | — | — | V | DP - DM |
| | 差動コモンモードレンジ | V_{CM} | 0.8 | — | 2.5 | V | |
| 出力特性 | Highレベル出力電圧 | V_{OH} | 2.8 | — | 3.6 | V | $I_{OH} = -200\mu A$ |
| | Lowレベル出力電圧 | V_{OL} | 0.0 | — | 0.3 | V | $I_{OL} = 2mA$ |
| | クロスオーバー電圧 | V_{CRS} | 1.3 | — | 2.0 | V | 図 6.53 |
| | 立ち上がり時間 | t_{FR} | 4 | — | 20 | ns | |
| | 立ち下がり時間 | t_{FF} | 4 | — | 20 | ns | |
| | 立ち上がり/立ち下がり時間比 | t_{FR}/t_{FF} | 90 | — | 111.11 | % | t_{FR}/t_{FF} |
| | 出力抵抗 | Z_{DRV} | 28 | — | 44 | Ω | $R_s = 27\Omega$ 含む |
| プルアップ、プルダウン特性 | DPプルアップ抵抗 (ファンクション選択時) | R_{pu} | 0.900 | — | 1.575 | K Ω | アイドル時 |
| | | | 1.425 | — | 3.090 | | 送受信時 |
| | DP/DMプルダウン抵抗 (ホスト選択時) | R_{pd} | 14.25 | — | 24.80 | K Ω | |

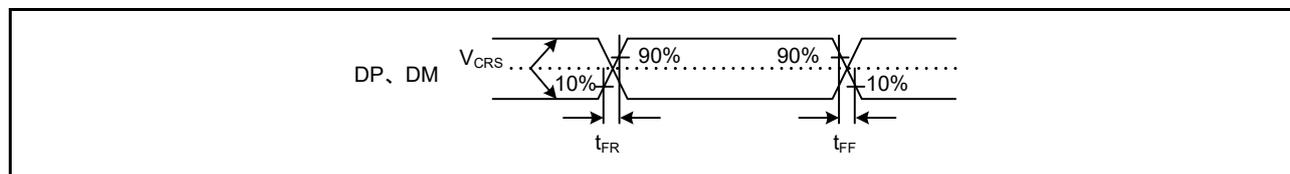


図 6.53 DP, DM 出力タイミング (フルスピード時)

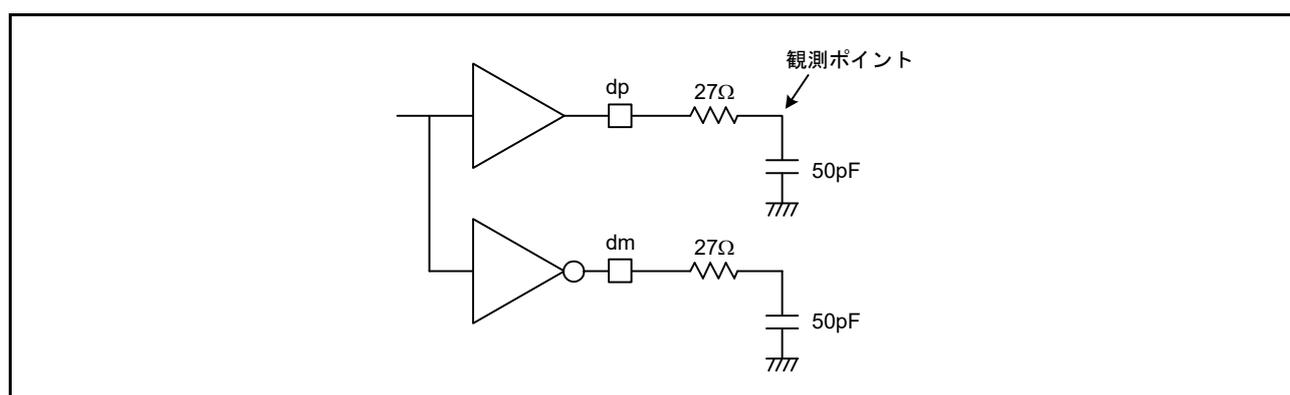


図 6.54 測定回路 (フルスピード時)

6.6 A/D 変換特性

表6.46 12ビットA/D (ユニット0) 変換特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $PCLKB = PCLKC = 1MHz \sim 60MHz$, $T_a = T_{opr}$,
 信号源インピーダンス = $1.0k\Omega$

| 項目 | min | typ | max | 単位 | 測定条件 | |
|--|-------------------------------|------------------------------|---------------|-----------|---------|--|
| 分解能 | 8 | — | 12 | ビット | | |
| アナログ入力容量 | — | — | 30 | pF | | |
| チャンネル専用サンプル ホールド回路使用時 (AN000 ~ AN002) | 変換時間 (注1) (PCLKC = 60MHz時) | 1.06 (0.4 + 0.25) (注2) | — | — | μs | <ul style="list-style-type: none"> チャンネル専用サンプルホールド回路のサンプリング24ステート サンプリング15ステート |
| | オフセット誤差 | — | ± 1.5 | ± 3.5 | LSB | AN000 ~ AN002 = 0.25V |
| | フルスケール誤差 | — | ± 1.5 | ± 3.5 | LSB | AN000 ~ AN002 = VREFH0 - 0.25V |
| | 量子化誤差 | — | ± 0.5 | — | LSB | |
| | 絶対精度 | — | ± 3.0 | ± 5.5 | LSB | |
| | DNL 微分非直線性誤差 | — | ± 1.0 | ± 2.0 | LSB | |
| | INL 積分非直線性誤差 | — | ± 1.5 | ± 3.0 | LSB | |
| | サンプルホールド回路のホールド特性 | — | — | 20 | μs | |
| ダイナミックレンジ | 0.25 | — | VREFH0 - 0.25 | V | | |
| チャンネル専用サンプル ホールド回路未使用時 (AN000 ~ AN003) | 変換時間 (注1) (PCLKC = 60MHz時) | 0.48 (0.267) (注2) | — | — | μs | サンプリング16ステート |
| | オフセット誤差 | — | ± 1.0 | ± 2.5 | LSB | |
| | フルスケール誤差 | — | ± 1.0 | ± 2.5 | LSB | |
| | 量子化誤差 | — | ± 0.5 | — | LSB | |
| | 絶対精度 | — | ± 2.5 | ± 4.5 | LSB | |
| | DNL 微分非直線性誤差 | — | ± 0.5 | ± 1.5 | LSB | |
| INL 積分非直線性誤差 | — | ± 1.0 | ± 2.5 | LSB | | |

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表6.47 12ビットA/D (ユニット1)変換特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $PCLKB = PCLKD = 1MHz \sim 60MHz$, $T_a = T_{opr}$,
 信号源インピーダンス = 1.0k Ω

| 項目 | min | typ | max | 単位 | 測定条件 |
|-------------------------------|-------------------------|-----------|-----------|---------|---------------------------------|
| 分解能 | 8 | — | 12 | ビット | |
| 変換時間(注1) (PCLKD = 60MHz時) | 0.88 (0.633) (注2) | — | — | μs | サンプリング38ステート (ADSAM.SAM = 1) |
| 変換時間(注1) (PCLKD = 30MHz時) | 1 (0.500) (注2) | — | — | μs | サンプリング15ステート (ADSAM.SAM = 1) |
| アナログ入力容量 | — | — | 30 | pF | |
| オフセット誤差 | — | ± 2.0 | ± 3.5 | LSB | |
| フルスケール誤差 | — | ± 2.0 | ± 3.5 | LSB | |
| 量子化誤差 | — | ± 0.5 | — | LSB | |
| 絶対精度 | — | ± 4.0 | ± 6.0 | LSB | |
| DNL 微分非直線性誤差 (PCLKD = 60MHz時) | — | ± 1.5 | ± 4.0 | LSB | |
| DNL 微分非直線性誤差 (PCLKD = 30MHz時) | — | ± 1.5 | ± 2.5 | LSB | |
| INL 積分非直線性誤差 (PCLKD = 60MHz時) | — | ± 2.0 | ± 4.0 | LSB | |
| INL 積分非直線性誤差 (PCLKD = 30MHz時) | — | ± 2.0 | ± 3.5 | LSB | |

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表6.48 A/D内部基準電圧特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $PCLKB = PCLKD = 60MHz$, $T_a = T_{opr}$

| 項目 | min | typ | max | 単位 | 測定条件 |
|-----------|------|------|------|----|------|
| A/D内部基準電圧 | 1.13 | 1.18 | 1.23 | V | |

6.7 温度センサ特性

表6.49 温度センサ特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = T_{opr}$

| 項目 | min | typ | max | 単位 | 測定条件 |
|--------------|------|------|-----|-------|--------------------------|
| 相対精度 | — | ±1 | — | °C | |
| 温度傾斜 | — | 4 | — | mV/°C | |
| 出力電位 | — | 1.21 | — | V | $T_a = 25^\circ\text{C}$ |
| 温度センサ起動時間 | — | — | 30 | μs | |
| サンプリング時間(注1) | 4.15 | — | — | μs | |

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD1.ADSSTRTレジスタを設定してください。

6.8 パワーオンリセット回路、電圧検出回路特性

表 6.50 パワーオンリセット回路、電圧検出回路特性

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{CC_DA} = V_{CC_RF} = V_{CC_A} = V_{CC_DDC} = V_{CC_D} = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS_DDC} = 0V$,
 $T_a = T_{opr}$

| 項目 | | 記号 | min | typ | max | 単位 | 測定条件 | |
|-------------------------|----------------|---------------|---------------|------|------|---------|-------------------|--------|
| 電圧検出レベル | パワーオンリセット(POR) | 低消費電力機能無効(注1) | V_{POR} | 2.5 | 2.6 | 2.7 | V | 図 6.55 |
| | | 低消費電力機能有効(注2) | | 1.8 | 2.25 | 2.7 | | |
| | 電圧検出回路(LVD0) | | V_{det0_1} | 2.84 | 2.94 | 3.04 | | 図 6.56 |
| | | | V_{det0_2} | 2.77 | 2.87 | 2.97 | | |
| | | | V_{det0_3} | 2.70 | 2.80 | 2.90 | | |
| | 電圧検出回路(LVD1) | | V_{det1_1} | 2.89 | 2.99 | 3.09 | | 図 6.57 |
| | | | V_{det1_2} | 2.82 | 2.92 | 3.02 | | |
| | | | V_{det1_3} | 2.75 | 2.85 | 2.95 | | |
| | 電圧検出回路(LVD2) | | V_{det2_1} | 2.89 | 2.99 | 3.09 | | 図 6.58 |
| | | | V_{det2_2} | 2.82 | 2.92 | 3.02 | | |
| | | | V_{det2_3} | 2.75 | 2.85 | 2.95 | | |
| | 内部リセット時間 | パワーオンリセット時間 | t_{POR} | — | 4.6 | — | | ms |
| LVD0 リセット時間 | | t_{LVD0} | — | 0.70 | — | 図 6.56 | | |
| LVD1 リセット時間 | | t_{LVD1} | — | 0.57 | — | 図 6.57 | | |
| LVD2 リセット時間 | | t_{LVD2} | — | 0.57 | — | 図 6.58 | | |
| 最小VCC低下時間 | | t_{VOFF} | 200 | — | — | μs | 図 6.55、 図 6.56 | |
| 応答遅延時間 | | t_{det} | — | — | 200 | μs | 図 6.55 ~ 図 6.58 | |
| LVD 動作安定時間(LVD 有効切り替え時) | | $t_{d(E-A)}$ | — | — | 10 | μs | 図 6.57、 図 6.58 | |
| ヒステリシス幅(LVD1, LVD2) | | V_{LVH} | — | 70 | — | mV | | |

注. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

注1. 低消費電力機能無効 DEEPCUT[1:0] = 00b、または01b

注2. 低消費電力機能有効 DEEPCUT[1:0] = 11b

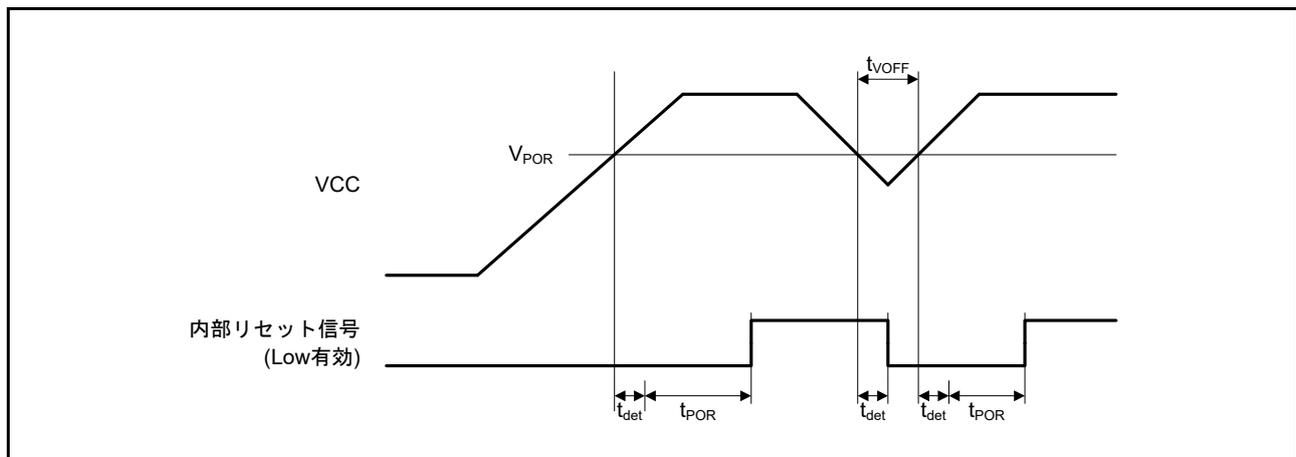


図 6.55 パワーオンリセットタイミング

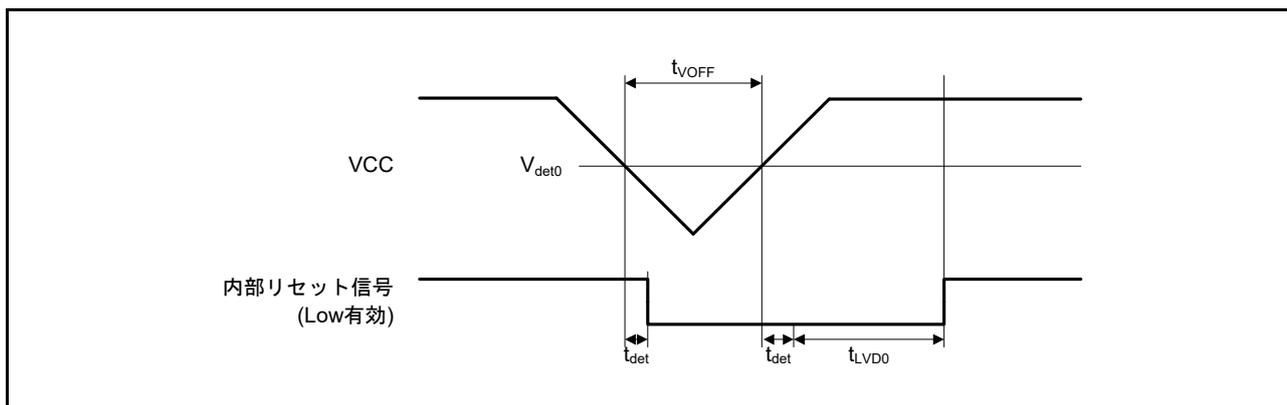


図 6.56 電圧検出回路タイミング (V_{det0})

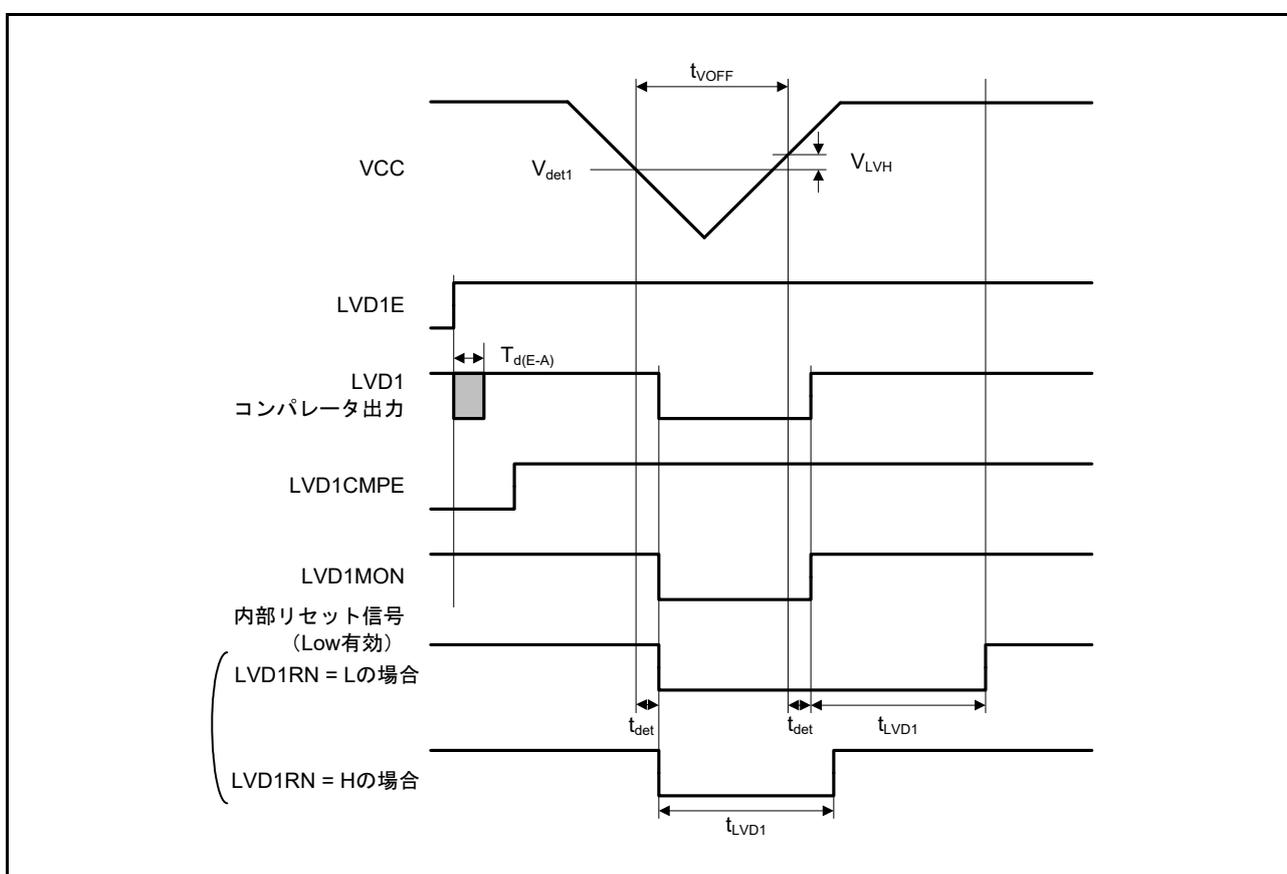


図 6.57 電圧検出回路タイミング (V_{det1})

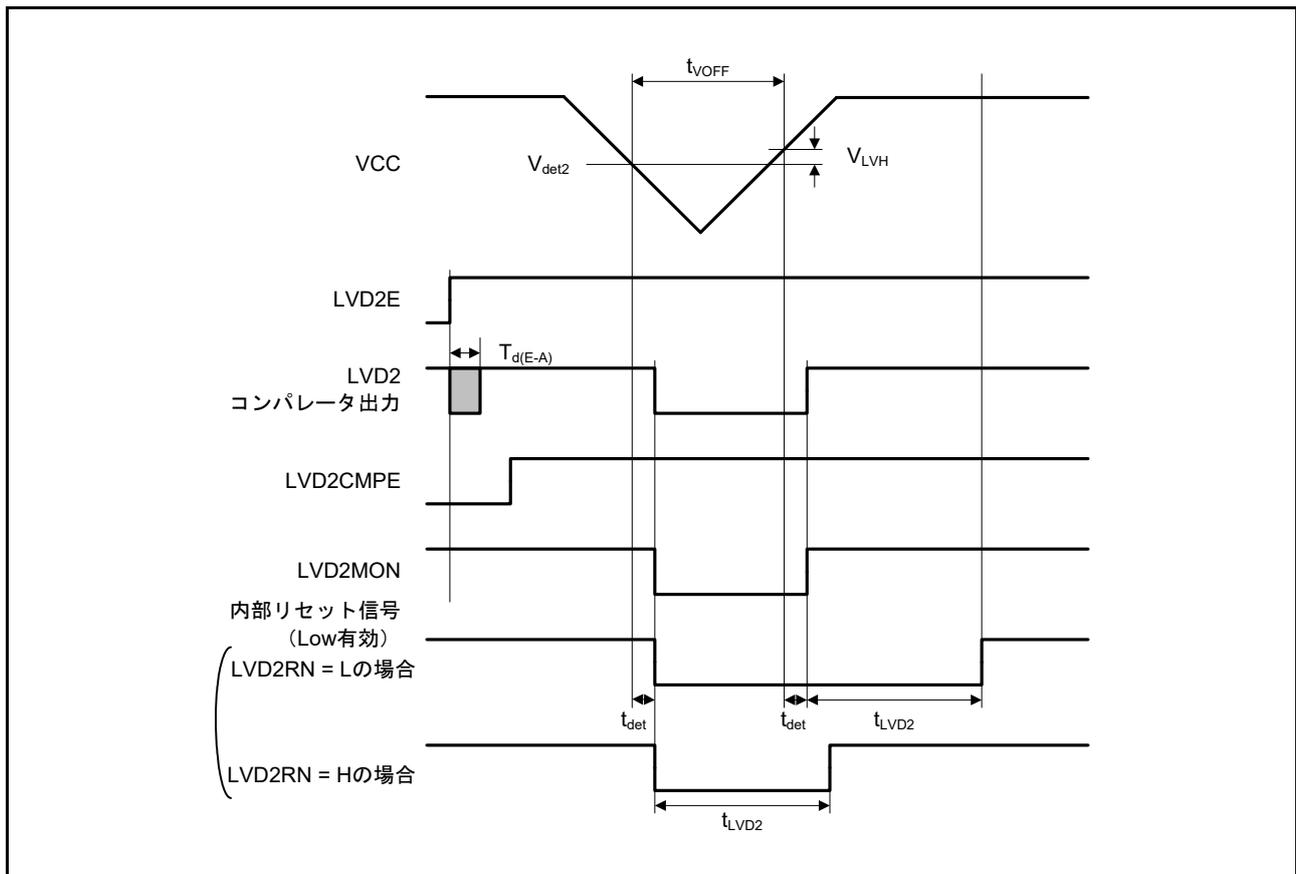


図 6.58 電圧検出回路タイミング (V_{det2})

6.9 発振停止検出タイミング

表6.51 発振停止検出回路特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|------|----------|-----|-----|-----|----|-------|
| 検出時間 | t_{dr} | — | — | 1 | ms | 図6.59 |

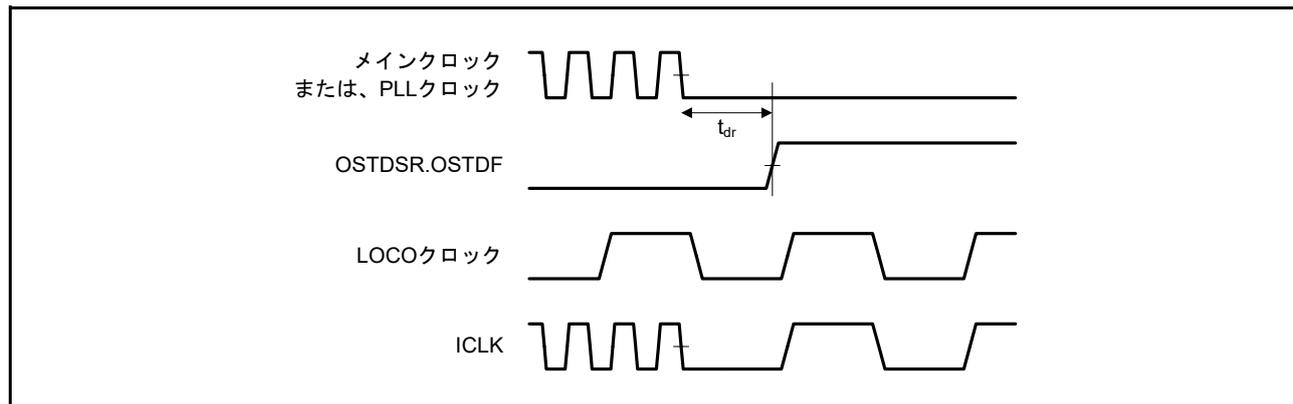


図 6.59 発振停止検出タイミング

6.10 バッテリバックアップ機能特性

表6.52 バッテリバックアップ機能特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{CC_DA} = V_{CC_RF} = V_{CC_A} = V_{CC_DDC} = V_{CC_D} = 2.7 \sim 3.6V$,
 $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS_DDC} = 0V$,
 $V_{BATT} = 2.0 \sim 3.6V$, $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|--------------------------------|----------------|------|------|------|---------|-------|
| バッテリバックアップ切り替え電圧レベル | $V_{DETBATT}$ | 2.50 | 2.60 | 2.70 | V | 図6.60 |
| VCC電圧低下電源切り替え時 V_{BATT} 下限電圧 | V_{BATTSW} | 2.70 | — | — | | |
| 切り替え可能VCCオフ期間 | $t_{VOFFBATT}$ | 200 | — | — | μs | |

注. 切り替え可能VCCオフ期間は、VCCがバッテリバックアップ切り替え電圧レベル $V_{DETBATT}$ のmin値を下回っている時間です。

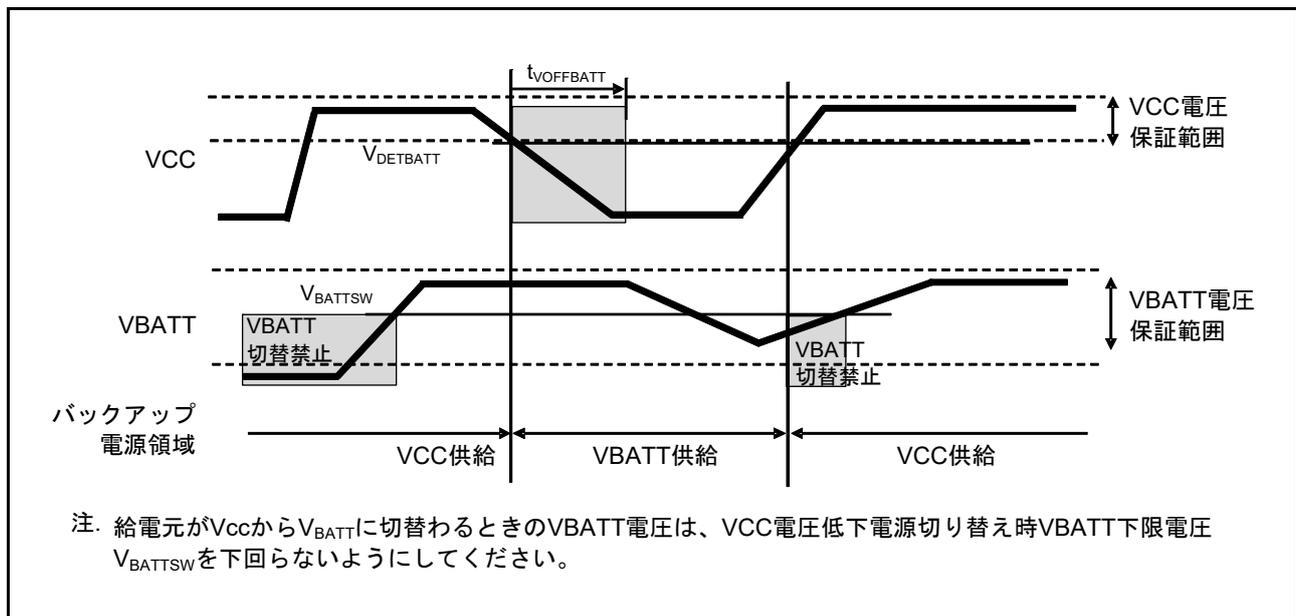


図 6.60 バッテリバックアップ機能特性

6.11 フラッシュメモリ特性

表6.53 コードフラッシュメモリ特性

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 ~ 3.6V,
 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V,
 プログラム/イレーズ時の動作温度範囲 : T_a = T_{opr}

| 項目 | 記号 | FCLK = 4MHz | | | FCLK = 15MHz | | | 20MHz ≤ FCLK ≤ 60MHz | | | 単位 | 測定条件 | |
|---|--------------------|-------------------|-----|------|--------------|---------------|------|----------------------|---------------|------|-----|-----------------------|--|
| | | min | typ | max | min | typ | max | min | typ | max | | | |
| プログラム時間 N _{PEC} ≤ 100回 のとき | 128バイト | t _{P128} | — | 0.75 | 13.2 | — | 0.38 | 6.6 | — | 0.34 | 6 | ms | |
| | 8Kバイト | t _{P8K} | — | 49 | 176 | — | 25 | 88 | — | 22 | 80 | ms | |
| | 32Kバイト | t _{P32K} | — | 194 | 704 | — | 97 | 352 | — | 88 | 320 | ms | |
| プログラム時間 N _{PEC} > 100回 のとき | 128バイト | t _{P128} | — | 0.91 | 15.8 | — | 0.46 | 8 | — | 0.41 | 7.2 | ms | |
| | 8Kバイト | t _{P8K} | — | 60 | 212 | — | 30 | 106 | — | 27 | 96 | ms | |
| | 32Kバイト | t _{P32K} | — | 234 | 848 | — | 117 | 424 | — | 106 | 384 | ms | |
| イレーズ時間 N _{PEC} ≤ 100回 のとき | 8Kバイト | t _{E8K} | — | 78 | 216 | — | 48 | 132 | — | 43 | 120 | ms | |
| | 32Kバイト | t _{E32K} | — | 283 | 864 | — | 173 | 528 | — | 157 | 480 | ms | |
| イレーズ時間 N _{PEC} > 100回 のとき | 8Kバイト | t _{E8K} | — | 94 | 260 | — | 58 | 158 | — | 52 | 144 | ms | |
| | 32Kバイト | t _{E32K} | — | 341 | 1040 | — | 208 | 632 | — | 189 | 576 | ms | |
| プログラム/イレーズ回数 (注1) | N _{PEC} | 10000 (注2) | — | — | — | 10000 (注2) | — | — | 10000 (注2) | — | — | 回 | |
| プログラム中のサスペンド 遅延時間 | t _{SPD} | — | — | 264 | — | — | 132 | — | — | 120 | μs | | |
| イレーズ中の1回目の サスペンド遅延時間 (サスペンド優先モード時) | t _{SESD1} | — | — | 216 | — | — | 132 | — | — | 120 | μs | | |
| イレーズ中の2回目の サスペンド遅延時間 (サスペンド優先モード時) | t _{SESD2} | — | — | 1.7 | — | — | 1.7 | — | — | 1.7 | ms | | |
| イレーズ中のサスペンド 遅延時間 (イレーズ優先モード時) | t _{SEED} | — | — | 1.7 | — | — | 1.7 | — | — | 1.7 | ms | | |
| 強制終了コマンド | t _{FD} | — | — | 32 | — | — | 22 | — | — | 20 | μs | | |
| データ保持時間(注3、注4) | t _{DRP} | 20 | — | — | 20 | — | — | 20 | — | — | 年 | T _a ≤ 85°C | |

注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、8Kバイトのブロックについて、それぞれ異なる番地に128バイトプログラムを64回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。

注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。

注4. 信頼性試験から得られた結果です。

表 6.54 データフラッシュメモリ特性

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 ~ 3.6V,
 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V,
 プログラム/イレーズ時の動作温度範囲 : T_a = T_{opr}

| 項目 | 記号 | FCLK = 4MHz | | | FCLK = 15MHz | | | 20MHz ≤ FCLK ≤ 60MHz | | | 単位 | 測定条件 | |
|--|-------------------|--------------------|-----|------|----------------|-----|------|----------------------|-----|------|------|-----------------------|--|
| | | min | typ | max | min | typ | max | min | typ | max | | | |
| プログラム時間 | 4バイト | t _{DP4} | — | 0.36 | 3.8 | — | 0.18 | 1.9 | — | 0.16 | 1.7 | ms | |
| イレーズ時間 | 64バイト | t _{DP64} | — | 3.1 | 18 | — | 1.9 | 11 | — | 1.7 | 10 | ms | |
| | 128バイト | t _{DP128} | — | 4.7 | 27 | — | 2.9 | 16 | — | 2.6 | 15 | ms | |
| | 256バイト | t _{DP256} | — | 8.9 | 50 | — | 5.4 | 31 | — | 4.9 | 28 | ms | |
| ブランク チェック時間 | 4バイト | t _{DBC4} | — | — | 84 | — | — | 33 | — | — | 30 | μs | |
| | 64バイト | t _{DBC64} | — | — | 280 | — | — | 110 | — | — | 100 | μs | |
| | 2Kバイト | t _{DBC2K} | — | — | 6160 | — | — | 2420 | — | — | 2200 | μs | |
| プログラム/イレーズ回数 (注1) | N _{DPEC} | 100000 (注2) | — | — | 100000 (注2) | — | — | 100000 (注2) | — | — | — | 回 | |
| プログラム中のサスペンド 遅延時間 | t _{DSPD} | — | — | 264 | — | — | 132 | — | — | 120 | μs | | |
| イレーズ中の 1回目のサスペンド 遅延時間 (サスペンド 優先モード時) | 64バイト | — | — | — | 216 | — | — | 132 | — | — | 120 | μs | |
| | 128バイト | — | — | — | 216 | — | — | 132 | — | — | 120 | μs | |
| | 256バイト | — | — | — | 216 | — | — | 132 | — | — | 120 | μs | |
| イレーズ中の 2回目のサスペンド 遅延時間 (サスペンド 優先モード時) | 64バイト | — | — | — | 300 | — | — | 300 | — | — | 300 | μs | |
| | 128バイト | — | — | — | 390 | — | — | 390 | — | — | 390 | μs | |
| | 256バイト | — | — | — | 570 | — | — | 570 | — | — | 570 | μs | |
| イレーズ中の サスペンド遅延 時間 (イレーズ優先 モード時) | 64バイト | — | — | — | 300 | — | — | 300 | — | — | 300 | μs | |
| | 128バイト | — | — | — | 390 | — | — | 390 | — | — | 390 | μs | |
| | 256バイト | — | — | — | 570 | — | — | 570 | — | — | 570 | μs | |
| 強制終了コマンド | t _{FD} | — | — | 32 | — | — | 22 | — | — | 20 | μs | | |
| データ保持時間 (注3、注4) | t _{DDRP} | 20 | — | — | 20 | — | — | 20 | — | — | 年 | T _a ≤ 85°C | |

- 注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、2Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
- 注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
- 注4. 信頼性試験から得られた結果です。

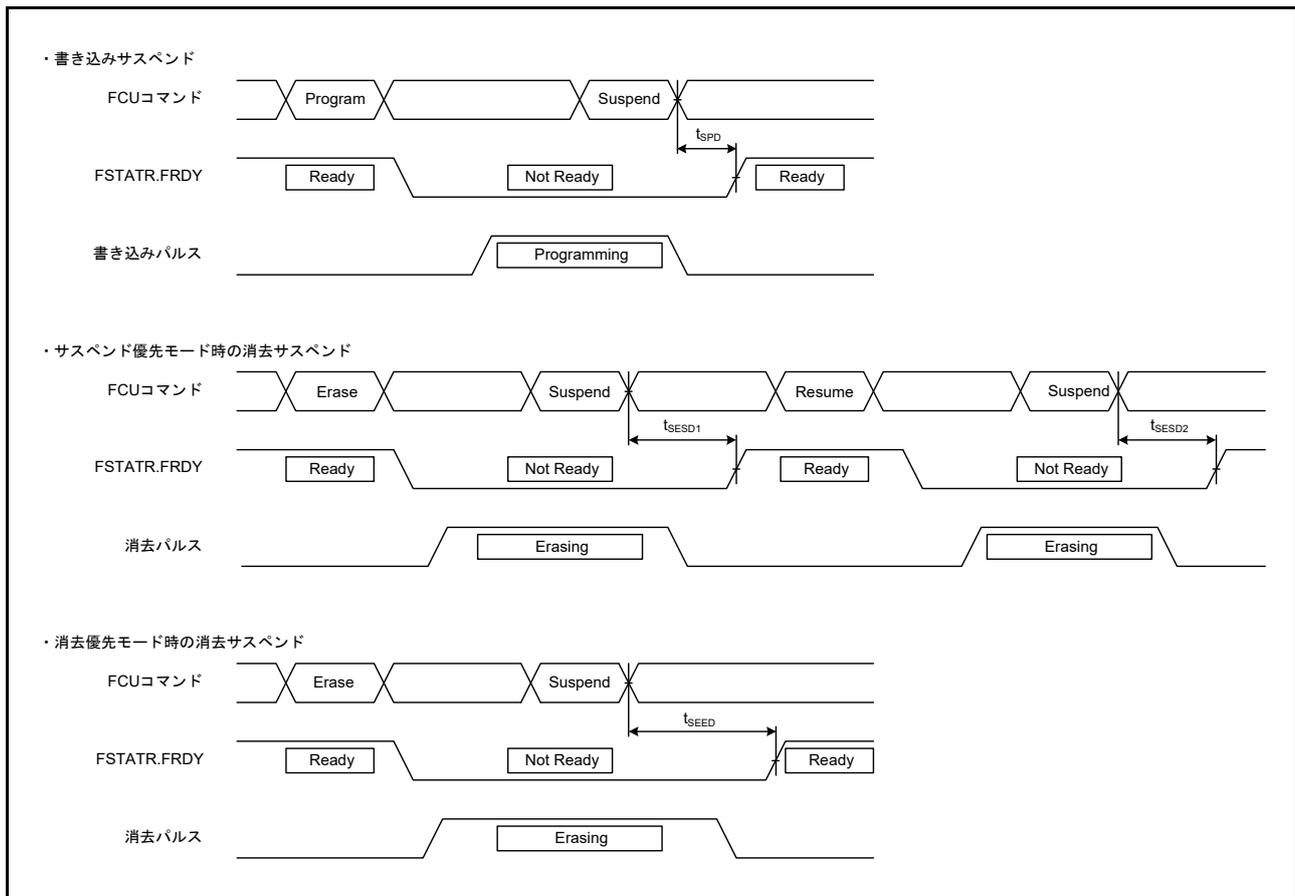


図 6.61 フラッシュメモリプログラム/イレーズサスペンドタイミング

6.12 バウンダリスキャン

表 6.55 バウンダリスキャン特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|-----------------|--------------|-----|-----|-----|--------------|--------|
| TCKクロックサイクル時間 | t_{TCKcyc} | 100 | — | — | ns | 図 6.62 |
| TCKクロックHighパルス幅 | t_{TCKH} | 45 | — | — | ns | |
| TCKクロックLowパルス幅 | t_{TCKL} | 45 | — | — | ns | |
| TCKクロック立ち上がり時間 | t_{TCKr} | — | — | 5 | ns | |
| TCKクロック立ち下がり時間 | t_{TCKf} | — | — | 5 | ns | |
| TRST#パルス幅 | t_{TRSTW} | 20 | — | — | t_{TCKcyc} | 図 6.63 |
| TMSセットアップ時間 | t_{TMSS} | 20 | — | — | ns | 図 6.64 |
| TMSホールド時間 | t_{TMSH} | 20 | — | — | ns | |
| TDIセットアップ時間 | t_{TDIS} | 20 | — | — | ns | |
| TDIホールド時間 | t_{TDIH} | 20 | — | — | ns | |
| TDOデータ遅延時間 | t_{TDOD} | — | — | 40 | ns | |

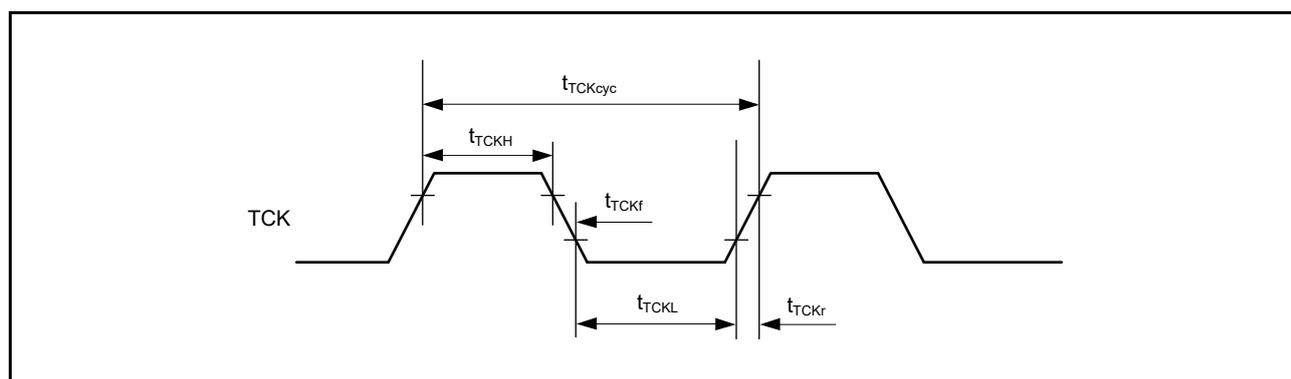


図 6.62 バウンダリスキャン TCK タイミング

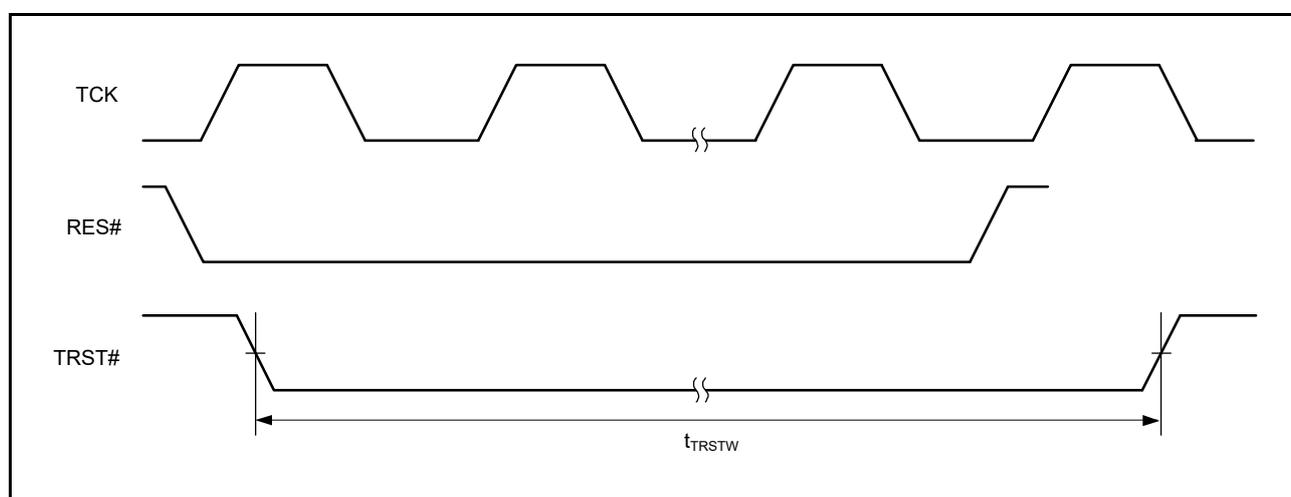


図 6.63 バウンダリスキャン TRST# タイミング

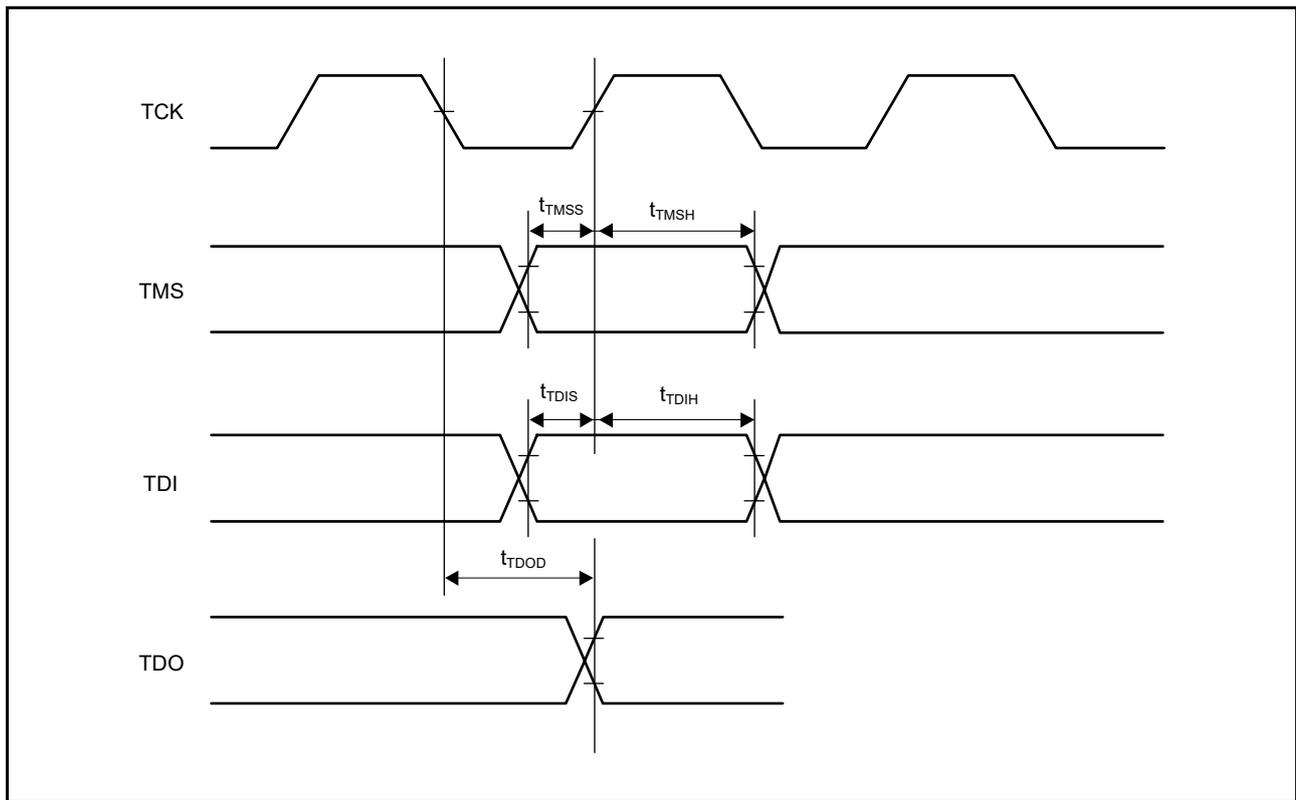


図 6.64 バウンダリスキャン入出力タイミング

6.13 RF トランシーバ特性

6.13.1 トランシーバ部受信特性

表 6.56 受信感度(SUN FSK)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V,
 $2.7V \leq VREFH0 \leq AVCC0$,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V,
パケット長 = 250バイト、パケット誤り率(PER) = 10%、前方誤り訂正(FEC)なし、T_a = 25°C

| 変調パラメータ | チャンネル間隔 [kHz] | データレート [kbps] | 変調指数 | 変調方式 | min | typ | max | 単位 |
|--------------------|------------------|------------------|------|--------|-----|------|-----|-----|
| 北米(周波数 = 920.6MHz) | | | | | | | | |
| Operating mode #1a | 50 | 10 | 1 | 2-GFSK | — | -116 | — | dBm |
| Operating mode #1b | 100 | 20 | 1 | 2-GFSK | — | -113 | — | dBm |
| Operating mode #1 | 200 | 50 | 1 | 2-GFSK | — | -109 | — | dBm |
| Operating mode #2 | 400 | 150 | 0.5 | 2-GFSK | — | -105 | — | dBm |
| Operating mode #3 | 400 | 200 | 0.5 | 2-GFSK | — | -104 | — | dBm |
| 欧州(周波数 = 863.1MHz) | | | | | | | | |
| Operating mode #1a | 50 | 10 | 1 | 2-GFSK | — | -115 | — | dBm |
| Operating mode #1b | 100 | 20 | 1 | 2-GFSK | — | -112 | — | dBm |
| Operating mode #1 | 100 | 50 | 0.5 | 2-GFSK | — | -109 | — | dBm |
| Operating mode #2 | 200 | 100 | 0.5 | 2-GFSK | — | -106 | — | dBm |
| Operating mode #3 | 200 | 150 | 0.5 | 2-GFSK | — | -104 | — | dBm |
| 日本(周波数 = 920.6MHz) | | | | | | | | |
| Operating mode #1a | 50 | 10 | 1 | 2-GFSK | — | -116 | — | dBm |
| Operating mode #1b | 100 | 20 | 1 | 2-GFSK | — | -113 | — | dBm |
| Operating mode #1 | 200 | 50 | 1 | 2-GFSK | — | -109 | — | dBm |
| Operating mode #2 | 400 | 100 | 1 | 2-GFSK | — | -105 | — | dBm |
| Operating mode #3 | 600 | 200 | 1 | 2-GFSK | — | -102 | — | dBm |

注. RF トランシーバ以外の端子、機能を使用していない場合の特性です。

表 6.57 隣接チャネル抑圧(SUN FSK)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V,
 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V,
 パケット長 = 250バイト、パケット誤り率(PER) = 10%、前方誤り訂正(FEC)なし、T_a = 25°C、
 希望波入力レベル : 規格定義感度点(注1) +3dB

| 変調パラメータ | チャンネル間隔 [kHz] | データレート [kbps] | 変調指数 | 変調方式 | min (-1ch/+1ch) | typ (-1ch/+1ch) | max (-1ch/+1ch) | 単位 |
|--------------------|------------------|------------------|------|--------|--------------------|--------------------|--------------------|-----|
| 北米(周波数 = 920.6MHz) | | | | | | | | |
| Operating mode #1a | 50 | 10 | 1 | 2-GFSK | — | 47/47 | — | dB |
| Operating mode #1b | 100 | 20 | 1 | 2-GFSK | — | 44/44 | — | dB |
| Operating mode #1 | 200 | 50 | 1 | 2-GFSK | — | 44/44 | — | dB |
| Operating mode #2 | 400 | 150 | 0.5 | 2-GFSK | — | 48/48 | — | dB |
| Operating mode #3 | 400 | 200 | 0.5 | 2-GFSK | — | 41/42 | — | dB |
| 欧州(周波数 = 863.1MHz) | | | | | | | | |
| Operating mode #1a | 50 | 10 | 1 | 2-GFSK | — | 45/45 | — | dBm |
| Operating mode #1b | 100 | 20 | 1 | 2-GFSK | — | 42/42 | — | dBm |
| Operating mode #1 | 100 | 50 | 0.5 | 2-GFSK | — | 38/38 | — | dBm |
| Operating mode #2 | 200 | 100 | 0.5 | 2-GFSK | — | 41/40 | — | dBm |
| Operating mode #3 | 200 | 150 | 0.5 | 2-GFSK | — | 34/34 | — | dBm |
| 日本(周波数 = 920.6MHz) | | | | | | | | |
| Operating mode #1a | 50 | 10 | 1 | 2-GFSK | — | 47/47 | — | dBm |
| Operating mode #1b | 100 | 20 | 1 | 2-GFSK | — | 44/44 | — | dBm |
| Operating mode #1 | 200 | 50 | 1 | 2-GFSK | — | 44/45 | — | dBm |
| Operating mode #2 | 400 | 100 | 1 | 2-GFSK | — | 49/49 | — | dBm |
| Operating mode #3 | 600 | 200 | 1 | 2-GFSK | — | 48/49 | — | dBm |

注. RF トランシーバ以外の端子、機能を使用していない場合の特性です。

注1. IEEE Std 802.15.4TM -2020: IEEE Standard for Low-Rate Wireless Networks

表 6.58 次隣接チャネル抑圧 (SUN FSK)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 パケット長 = 250バイト、パケット誤り率 (PER) = 10%、前方誤り訂正 (FEC) なし、 $T_a = 25^\circ C$ 、
 希望波入力レベル : 規格定義感度点 (注1) +3dB

| 変調パラメータ | チャンネル間隔 [kHz] | データレート [kbps] | 変調指数 | 変調方式 | min (-2ch/+2ch) | typ (-2ch/+2ch) | max (-2ch/+2ch) | 単位 |
|---------------------|---------------|---------------|------|--------|-----------------|-----------------|-----------------|-----|
| 北米 (周波数 = 920.6MHz) | | | | | | | | |
| Operating mode #1a | 50 | 10 | 1 | 2-GFSK | — | 48/48 | — | dB |
| Operating mode #1b | 100 | 20 | 1 | 2-GFSK | — | 49/49 | — | dB |
| Operating mode #1 | 200 | 50 | 1 | 2-GFSK | — | 53/53 | — | dB |
| Operating mode #2 | 400 | 150 | 0.5 | 2-GFSK | — | 57/58 | — | dB |
| Operating mode #3 | 400 | 200 | 0.5 | 2-GFSK | — | 55/55 | — | dB |
| 欧州 (周波数 = 863.1MHz) | | | | | | | | |
| Operating mode #1a | 50 | 10 | 1 | 2-GFSK | — | 45/45 | — | dBm |
| Operating mode #1b | 100 | 20 | 1 | 2-GFSK | — | 45/46 | — | dBm |
| Operating mode #1 | 100 | 50 | 0.5 | 2-GFSK | — | 44/44 | — | dBm |
| Operating mode #2 | 200 | 100 | 0.5 | 2-GFSK | — | 51/51 | — | dBm |
| Operating mode #3 | 200 | 150 | 0.5 | 2-GFSK | — | 46/38 | — | dBm |
| 日本 (周波数 = 920.6MHz) | | | | | | | | |
| Operating mode #1a | 50 | 10 | 1 | 2-GFSK | — | 48/48 | — | dBm |
| Operating mode #1b | 100 | 20 | 1 | 2-GFSK | — | 49/49 | — | dBm |
| Operating mode #1 | 200 | 50 | 1 | 2-GFSK | — | 53/53 | — | dBm |
| Operating mode #2 | 400 | 100 | 1 | 2-GFSK | — | 59/60 | — | dBm |
| Operating mode #3 | 600 | 200 | 1 | 2-GFSK | — | 47/58 | — | dBm |

注. RF トランシーバ以外の端子、機能を使用していない場合の特性です。

注1. IEEE Std 802.15.4TM -2020: IEEE Standard for Low-Rate Wireless Networks

表 6.59 受信特性 (SUN FSK)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 周波数 = 920.6MHz、2-GFSK、50kbps、変調指数 = 1.0、 $T_a = 25^\circ C$

| 項目 | min | typ | max | 単位 | 条件 |
|---------------------|------|-----|-----|-----|--|
| 最大RF入力電力 | — | — | 10 | dBm | パケット長 = 250バイト、 パケット誤り率 (PER) = 10% |
| RSSI範囲 | -108 | — | -5 | dBm | |
| RSSI分解能 | — | 1 | — | dB | |
| RSSI精度 | -5 | — | 5 | dB | |
| 周波数偏差耐性 | -10 | — | 10 | ppm | 感度劣化 : 1dB |
| 変調品質耐性 (fdev_error) | -20 | — | 20 | % | 感度劣化 : 3dB |

注. RF トランシーバ以外の端子、機能を使用していない場合の特性です。

表 6.60 受信感度(SUN OFDM)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 周波数 = 920.6MHz、パケット長 = 250バイト、パケット誤り率(PER) = 10%、 $T_a = 25^\circ C$ 、標準特性値

| 変調パラメータ | Option 1 | Option 2 | Option 3 | Option 4 | 単位 |
|-------------------------------|----------|----------|----------|----------|-----|
| MCS0 (BPSK 1/2 w/ 4xfreq.rep) | -113 | -116 | -118 | -119 | dBm |
| MCS1 (BPSK 1/2 w/ 2xfreq.rep) | -110 | -114 | -117 | -118 | dBm |
| MCS2 (QPSK 1/2 w/ 2xfreq.rep) | -107 | -110 | -114 | -112 | dBm |
| MCS3 (QPSK 1/2) | -104 | -107 | -111 | -111 | dBm |
| MCS4 (QPSK 3/4) | -102 | -104 | -108 | -109 | dBm |
| MCS5 (16QAM 1/2) | -99 | -101 | -105 | -106 | dBm |
| MCS6 (16QAM 3/4) | -95 | -98 | -101 | -103 | dBm |

注. RF トランシーバ以外の端子、機能を使用していない場合の特性です。

表 6.61 隣接チャネル抑圧(SUN OFDM)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 周波数 = 920.6MHz、パケット長 = 250バイト、パケット誤り率(PER) = 10%、 $T_a = 25^\circ C$ 、標準特性値、
 希望波入力レベル : 規格定義感度点 (注1) +3dB

| パラメータ | Option 1 | Option 2 | Option 3 | Option 4 | 単位 |
|-------------------------------|--------------|--------------|--------------|--------------|----|
| | -1.2/+1.2MHz | -0.8/+0.8MHz | -0.4/+0.4MHz | -0.2/+0.2MHz | |
| MCS0 (BPSK 1/2 w/ 4xfreq.rep) | 33/31 | 44/48 | 49/45 | 34/31 | dB |
| MCS1 (BPSK 1/2 w/ 2xfreq.rep) | 33/31 | 43/53 | 46/44 | 34/31 | dB |
| MCS2 (QPSK 1/2 w/ 2xfreq.rep) | 34/31 | 40/52 | 47/45 | 33/31 | dB |
| MCS3 (QPSK 1/2) | 33/31 | 37/49 | 42/45 | 33/31 | dB |
| MCS4 (QPSK 3/4) | 31/30 | 33/46 | 46/45 | 33/31 | dB |
| MCS5 (16QAM 1/2) | 28/28 | 31/44 | 44/42 | 32/31 | dB |
| MCS6 (16QAM 3/4) | 23/23 | 28/41 | 41/39 | 31/30 | dB |

注. RF トランシーバ以外の端子、機能を使用していない場合の特性です。

注1. IEEE Std 802.15.4TM -2020: IEEE Standard for Low-Rate Wireless Networks

表 6.62 次隣接チャネル抑圧(SUN OFDM)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 周波数 = 920.6MHz、パケット長 = 250バイト、パケット誤り率(PER) = 10%、 $T_a = 25^\circ C$ 、標準特性値、
 希望波入力レベル : 規格定義感度点 (注1) +3dB

| パラメータ | Option 1 | Option 2 | Option 3 | Option 4 | 単位 |
|-------------------------------|--------------|--------------|--------------|--------------|----|
| | -2.4/+2.4MHz | -1.6/+1.6MHz | -0.8/+0.8MHz | -0.4/+0.4MHz | |
| MCS0 (BPSK 1/2 w/ 4xfreq.rep) | 50/48 | 54/58 | 60/63 | 49/49 | dB |
| MCS1 (BPSK 1/2 w/ 2xfreq.rep) | 47/46 | 52/62 | 60/63 | 50/50 | dB |
| MCS2 (QPSK 1/2 w/ 2xfreq.rep) | 54/55 | 54/58 | 59/59 | 48/48 | dB |
| MCS3 (QPSK 1/2) | 52/53 | 52/52 | 56/56 | 47/48 | dB |
| MCS4 (QPSK 3/4) | 47/51 | 51/51 | 53/53 | 47/48 | dB |
| MCS5 (16QAM 1/2) | 46/48 | 48/50 | 50/50 | 47/48 | dB |
| MCS6 (16QAM 3/4) | 42/44 | 45/47 | 47/47 | 46/46 | dB |

注. RF トランシーバ以外の端子、機能を使用していない場合の特性です。

注1. IEEE Std 802.15.4TM -2020: IEEE Standard for Low-Rate Wireless Networks

表 6.63 同一チャネル抑圧(SUN OFDM)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 周波数 = 920.6MHz、パケット長 = 250バイト、パケット誤り率(PER) = 10%、 $T_a = 25^\circ C$ 、標準特性値、
 希望波入力レベル : 規格定義感度点(注1) +3dB

| パラメータ | Option 1 | Option 2 | Option 3 | Option 4 | 単位 |
|-------------------------------|----------|----------|----------|----------|----|
| | ±0kHz | ±0kHz | ±0kHz | ±0kHz | |
| MCS0 (BPSK 1/2 w/ 4xfreq.rep) | 4 | 3 | 2 | -1 | dB |
| MCS1 (BPSK 1/2 w/ 2xfreq.rep) | 2 | 2 | 1 | -1 | dB |
| MCS2 (QPSK 1/2 w/ 2xfreq.rep) | -2 | -2 | -3 | -9 | dB |
| MCS3 (QPSK 1/2) | -5 | -5 | -4 | -7 | dB |
| MCS4 (QPSK 3/4) | -7 | -7 | -7 | -8 | dB |
| MCS5 (16QAM 1/2) | -10 | -12 | -10 | -11 | dB |
| MCS6 (16QAM 3/4) | -13 | -13 | -13 | -13 | dB |

注. RF トランシーバ以外の端子、機能を使用していない場合の特性です。

注1. IEEE Std 802.15.4TM -2020: IEEE Standard for Low-Rate Wireless Networks

表 6.64 受信特性(SUN OFDM)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$,
 周波数 = 920.6MHz、Option 1、MCS6、 $T_a = 25^\circ C$

| 項目 | min | typ | max | 単位 | 条件 |
|--------------|-----|-----|-----|-----|--------------------------------------|
| 最大RF入力電力 | — | 5 | — | dBm | |
| RSSI範囲 | -97 | — | -5 | dBm | |
| RSSI分解能 | — | 1 | — | dB | |
| RSSI精度 | -5 | — | 5 | dB | |
| 周波数偏差耐性 | -20 | — | 20 | ppm | 感度劣化 : 1dB |
| 変調品質耐性(感度劣化) | — | 2 | — | dB | 変調精度(EVM) : IEEE802.15.4-2020(注1) |

注. RF トランシーバ以外の端子、機能を使用していない場合の特性です。

注1. IEEE Std 802.15.4TM -2020: IEEE Standard for Low-Rate Wireless Networks

6.13.2 トランシーバ部送信特性

表 6.65 送信特性(SUN FSK)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V$,
 $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V$, $T_a = 25^\circ C$,
 周波数 = 920.6MHz

| 項目 | min | typ | max | 単位 | 条件 | |
|---------------|----------|-----|-------|-----|--------------------------------------|------------------|
| 最大送信出力電力 | — | 15 | — | dBm | C.W. | |
| 最小送信出力電力 | — | -15 | — | dBm | C.W. | |
| 送信出力可変ステップサイズ | — | 1 | — | dB | C.W. | |
| 送信出力温度ばらつき | — | — | 2 | dB | $T_a : -40^\circ C \sim +80^\circ C$ | |
| 高調波 | 2次高調波 | — | -41.3 | dBm | +15dBm出力時 | |
| | 3次高調波 | — | -41.3 | | | |
| | 4次~7次高調波 | — | -41.3 | | | |
| 周波数偏移誤差 | — | — | 30 | % | +15dBm出力時 | |
| 最大ゼロクロスオフセット | -12.5 | — | 12.5 | % | +15dBm出力時 | |
| 送信周波数偏差 | -20 | — | 20 | ppm | +15dBm出力時 | |
| 隣接チャネル漏洩電力比 | — | -49 | — | dB | +15dBm出力時 | 50kbps, MI = 0.5 |
| | — | -50 | — | | 50kbps, MI = 1.0 | |
| | — | -50 | — | | 100kbps, MI = 0.5 | |
| | — | -47 | — | | 100kbps, MI = 1.0 | |

注. RF トランシーバ以外の端子、機能を使用していない場合の特性です。

表 6.66 送信特性(SUN OFDM)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = VCC_DA = VCC_RF = VCC_A = VCC_DDC = VCC_D = V_{BATT} = 3.3V,
 $2.7V \leq VREFH0 \leq AVCC0$,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS_DDC = 0V, T_a = 25°C,
 周波数 = 920.6MHz, Option 1

| 項目 | min | typ | max | 単位 | 条件 |
|---------------|----------|-----|-------|-----|--------------------------------------|
| 最大送信出力電力 | — | 11 | — | dBm | BPSK, R = 1/2, (MCS0,1), EVM = -10dB |
| | — | 10 | — | | QPSK, R = 1/2, (MCS2,3), EVM = -13dB |
| | — | 10 | — | | QPSK, R = 3/4, (MCS4), EVM = -13dB |
| | — | 9 | — | | 16QAM, R = 1/2, (MCS5), EVM = -19dB |
| | — | 9 | — | | 16QAM, R = 3/4, (MCS6), EVM = -19dB |
| 最小送信出力電力 | — | -19 | — | dBm | BPSK, R = 1/2, (MCS0,1), EVM = -10dB |
| | — | -19 | — | | QPSK, R = 1/2, (MCS2,3), EVM = -13dB |
| | — | -19 | — | | QPSK, R = 3/4, (MCS4), EVM = -13dB |
| | — | -19 | — | | 16QAM, R = 1/2, (MCS5), EVM = -19dB |
| | — | -19 | — | | 16QAM, R = 3/4, (MCS6), EVM = -19dB |
| 送信出力可変ステップサイズ | — | 1 | — | dB | |
| 送信出力温度ばらつき | — | 2 | — | dB | T _a : -40°C ~ +80°C |
| 高調波 | 2次高調波 | — | -41.3 | dBm | 最大送信出力電力時 |
| | 3次高調波 | — | -41.3 | | |
| | 4次~7次高調波 | — | -41.3 | | |
| 隣接チャネル漏洩電力比 | — | -29 | — | dB | BPSK, R = 1/2 (MCS0,1), +11dBm出力時 |
| | — | -31 | — | | QPSK, R = 1/2 (MCS2,3), +10dBm出力時 |
| | — | -31 | — | | QPSK, R = 3/4 (MCS4), +10dBm出力時 |
| | — | -33 | — | | 16QAM, R = 1/2 (MCS5), +9dBm出力時 |
| | — | -33 | — | | 16QAM, R = 3/4 (MCS6), +9dBm出力時 |

注. RF トランシーバ以外の端子、機能を使用していない場合の特性です。

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

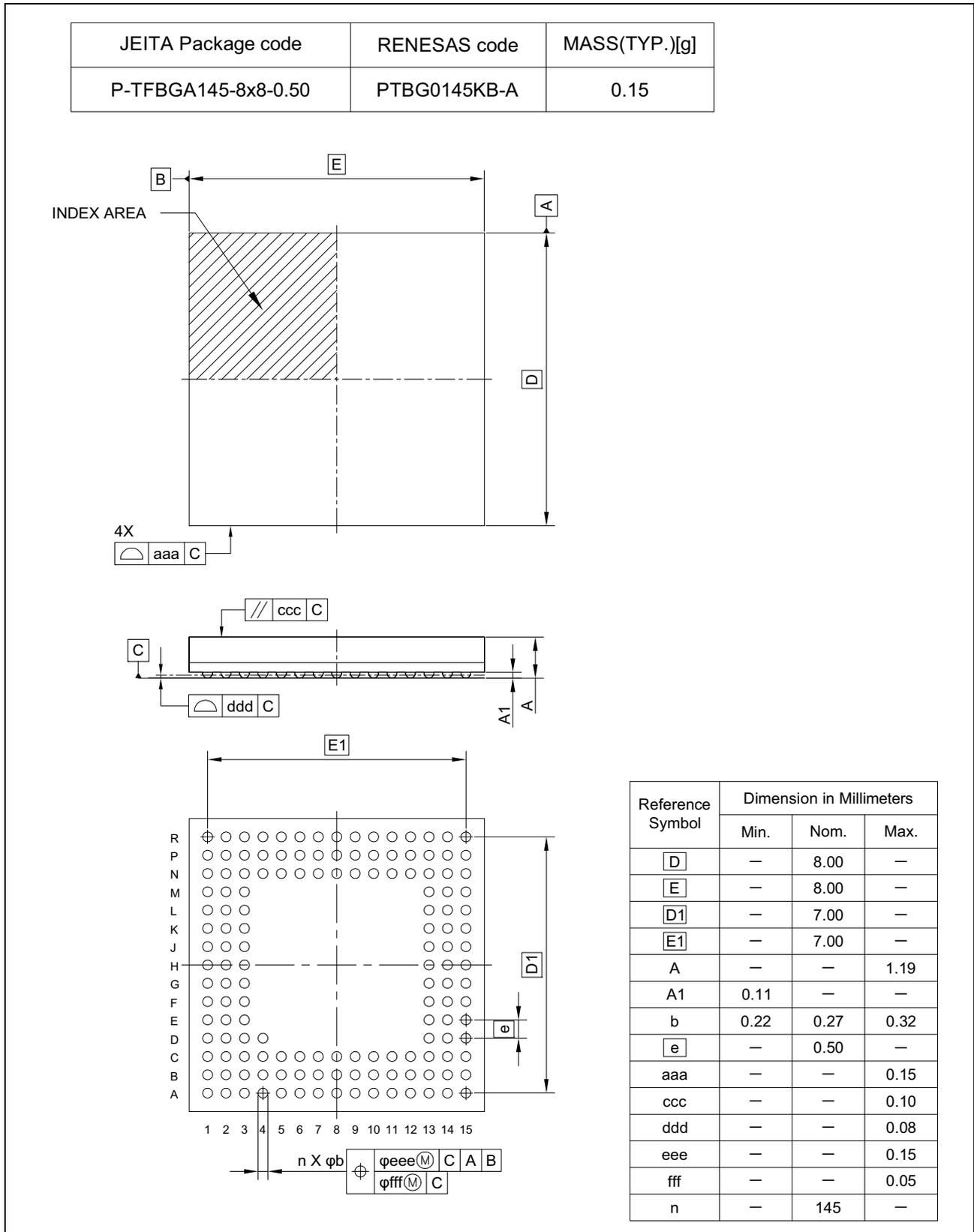


図 A. 145 ピン TFBGA (PTBG0145KB-A)

| | |
|------|---------------------------------|
| 改訂記録 | RX65W-A グループ ユーザーズマニュアル ハードウェア編 |
|------|---------------------------------|

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

| Rev. | 発行日 | 改訂内容 | | 改訂区分 |
|------|------------|------------|-----------------------------------|------|
| | | ページ | ポイント | |
| 1.00 | 2022.09.30 | — | 初版発行 | |
| 1.10 | 2023.04.28 | 付録1. 外形寸法図 | | |
| | | 159 | 図A. 145 ピンTFBGA (PTBG0145KB-A) 変更 | |

RX65W-Aグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2022年9月30日 Rev.1.00
2023年4月28日 Rev.1.10

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

RX65W-A グループ