

RX671 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ
RXファミリ/RX600シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振器（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振器（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX671 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

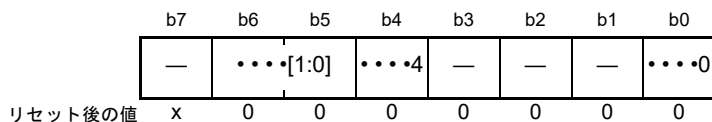
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX671グループ データシート	R01DS0373JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	RX671グループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU 命令セットの説明	RXファミリ RXv3命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編	R01US0316JJ
アプリケーション ノート	基板設計上の注意事項	RX ファミリ ハードウェアデザインガイド	R01AN1411JJ
	周辺機能の使用手法、応用例 参考プログラム	ルネサス エレクトロニクス ホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.Xレジスタ

アドレス xxxx xxxxh



x : 不定

ビット	シンボル	ビット名	機能	R/W (1)
b0	····0	····ビット (2)	0 : (3) 1 : 設定しないでください	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	····4	····ビット	0 : 1 : (3)	R
b6-b5	····[1:0]	····ビット	00 : 01 : 上記以外は設定しないでください	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

- (1) R/W : 読み出し/書き込みともに有効です。
 R/(W) : 読み出し/書き込みともに有効ですが、書き込みには制限があります。制限の内容については、各レジスタの説明や注記を参照ください。
 R : 読み出しのみ有効です。書き込みは無効になります。
- (2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。
- (3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

特長	71
1. 概要	72
1.1 仕様概要	72
1.2 製品一覧	83
1.3 ブロック図	86
1.4 端子機能	87
1.5 ピン配置図	94
1.5.1 145ピン TFLGA (0.65mm ピッチ)	94
1.5.2 145ピン TFLGA (0.50mm ピッチ)	95
1.5.3 144ピン LFQFP	96
1.5.4 100ピン TFLGA	97
1.5.5 100ピン LFQFP	98
1.5.6 64ピン TFBGA	99
1.5.7 64ピン LFQFP	100
1.5.8 48ピン HWQFN	101
1.6 機能別端子一覧	102
1.6.1 145ピン TFLGA (0.65mm ピッチ)	102
1.6.2 145ピン TFLGA (0.50mm ピッチ)	110
1.6.3 144ピン LFQFP	118
1.6.4 100ピン TFLGA	126
1.6.5 100ピン LFQFP	132
1.6.6 64ピン TFBGA	138
1.6.7 64ピン LFQFP	141
1.6.8 48ピン HWQFN	144
2. CPU	147
2.1 特長	147
2.2 CPUレジスタセット	148
2.2.1 汎用レジスタ (R0 ~ R15)	149
2.2.2 制御レジスタ	149
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)	150
2.2.2.2 例外テーブルレジスタ (EXTB)	150
2.2.2.3 割り込みテーブルレジスタ (INTB)	150
2.2.2.4 プログラムカウンタ (PC)	150
2.2.2.5 プロセッサステータスワード (PSW)	151
2.2.2.6 バックアップ PC (BPC)	152
2.2.2.7 バックアップ PSW (BPSW)	153
2.2.2.8 高速割り込みベクタレジスタ (FINTV)	153
2.2.2.9 単精度浮動小数点ステータスワード (FPSW)	154
2.2.3 アキュムレータ	156
2.3 プロセッサモード	157

2.3.1	スーパーバイザモード	157
2.3.2	ユーザモード	157
2.3.3	特権命令	157
2.3.4	プロセッサモード間の移行	157
2.4	データタイプ	158
2.4.1	整数	158
2.4.2	単精度浮動小数点数	159
2.4.3	ビット	159
2.4.4	ストリング	160
2.5	エンディアン	161
2.5.1	エンディアンの設定	161
2.5.2	I/O レジスタアクセス	164
2.5.3	I/O レジスタアクセスの注意事項	164
2.5.4	データ配置	165
2.5.4.1	レジスタのデータ配置	165
2.5.4.2	メモリ上のデータ配置	165
2.5.5	命令コード配置の注意事項	165
2.6	ベクタテーブル	166
2.6.1	例外ベクタテーブル	166
2.6.2	割り込みベクタテーブル	167
2.7	レジスタ括退避機能	168
2.8	倍精度浮動小数点コプロセッサ	169
2.8.1	特長	169
2.8.2	倍精度浮動小数点レジスタセット	170
2.8.2.1	倍精度浮動小数点データレジスタ (DR0 ~ DR15)	170
2.8.2.2	倍精度浮動小数点制御レジスタ	170
2.8.3	データタイプ (倍精度浮動小数点コプロセッサ)	175
2.8.3.1	倍精度浮動小数点数	175
2.8.4	データ配置 (倍精度浮動小数点コプロセッサ)	176
2.8.4.1	倍精度浮動小数点レジスタのデータ配置	176
2.8.4.2	メモリ上の倍精度浮動小数点データ配置	176
2.8.5	エンディアンの設定 (倍精度浮動小数点コプロセッサ)	177
2.9	命令動作	180
2.9.1	RMPA 命令、ストリング操作命令に関する制約事項	180
2.9.1.1	転送サイズとデータプリフェッチ	180
2.9.1.2	外部空間へのアクセス	180
2.9.1.3	I/O レジスタへのアクセス	180
2.10	サイクル数	181
2.10.1	命令とサイクル数	181
2.10.2	命令とサイクル数 (倍精度浮動小数点コプロセッサ)	185

2.10.3	割り込み応答サイクル数	186
2.11	使用上の注意事項	186
2.11.1	レジスタ退避バンク内 RAM の自己診断に関する注意事項	186
3.	動作モード	187
3.1	動作モードの種類と選択	187
3.2	レジスタの説明	188
3.2.1	モードモニタレジスタ (MDMONR)	188
3.2.2	システムコントロールレジスタ 0 (SYSCR0)	189
3.2.3	システムコントロールレジスタ 1 (SYSCR1)	190
3.3	動作モードの説明	191
3.3.1	シングルチップモード	191
3.3.2	内蔵 ROM 有効拡張モード	191
3.3.3	内蔵 ROM 無効拡張モード	191
3.3.4	ブートモード (SCI インタフェース)	191
3.3.5	ブートモード (USB インタフェース)	192
3.3.6	ブートモード (FINE インタフェース)	192
3.4	動作モード遷移	193
3.4.1	モード設定端子による動作モード遷移	193
3.4.2	レジスタ設定による動作モード遷移	194
4.	アドレス空間	195
4.1	アドレス空間	195
4.2	外部アドレス空間と QSPI 領域	197
5.	I/O レジスタ	198
5.1	I/O レジスタアドレス一覧 (アドレス順)	200
6.	リセット	249
6.1	概要	249
6.2	レジスタの説明	251
6.2.1	リセットステータスレジスタ 0 (RSTSR0)	251
6.2.2	リセットステータスレジスタ 1 (RSTSR1)	253
6.2.3	リセットステータスレジスタ 2 (RSTSR2)	254
6.2.4	ソフトウェアリセットレジスタ (SWRR)	255
6.3	動作説明	255
6.3.1	RES# 端子リセット	255
6.3.2	パワーオンリセット、電圧監視 0 リセット	255
6.3.3	電圧監視 1 リセット、電圧監視 2 リセット	256
6.3.4	ディープソフトウェアスタンバイリセット	258
6.3.5	独立ウォッチドッグタイマリセット	258
6.3.6	ウォッチドッグタイマリセット	258
6.3.7	ソフトウェアリセット	258
6.3.8	コールドスタート / ウォームスタート判定機能	259

6.3.9	リセット発生要因の判定	260
7.	オプション設定メモリ (OFSM)	261
7.1	概要	261
7.2	レジスタの説明	263
7.2.1	シリアルプログラマコマンド制御レジスタ (SPCC)	263
7.2.2	OCD/シリアルプログラマ ID 設定レジスタ (OSIS)	264
7.2.3	オプション機能選択レジスタ 0 (OFS0)	265
7.2.4	オプション機能選択レジスタ 1 (OFS1)	269
7.2.5	エンディアン選択レジスタ (MDE)	270
7.2.6	TM イネーブルフラグレジスタ (TMEF)	271
7.2.7	TM 識別データレジスタ (TMINF)	272
7.2.8	バンク選択レジスタ (BANKSEL)	273
7.2.9	フラッシュアクセスウィンドウ設定レジスタ (FAW)	274
7.2.10	ROM コードプロテクトレジスタ (ROMCODE)	276
7.3	各動作モードにおけるオプション設定メモリのプログラム/イレーズ動作	277
7.4	オプション設定メモリの設定値とリード/プログラム/イレーズ動作	278
7.5	オプション設定メモリの設定方法	279
7.5.1	オプション設定メモリへのデータの配置方法	279
7.6	使用上の注意事項	280
7.6.1	オプション設定メモリの予約領域および予約ビットにプログラムするデータ	280
8.	電圧検出回路 (LVDA)	281
8.1	概要	281
8.2	レジスタの説明	284
8.2.1	電圧監視 1 回路制御レジスタ 1 (LVD1CR1)	284
8.2.2	電圧監視 1 回路ステータスレジスタ (LVD1SR)	284
8.2.3	電圧監視 2 回路制御レジスタ 1 (LVD2CR1)	285
8.2.4	電圧監視 2 回路ステータスレジスタ (LVD2SR)	285
8.2.5	電圧監視回路制御レジスタ (LVCMPCR)	286
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	287
8.2.7	電圧監視 1 回路制御レジスタ 0 (LVD1CR0)	288
8.2.8	電圧監視 2 回路制御レジスタ 0 (LVD2CR0)	289
8.3	VCC 入力電圧のモニタ	291
8.3.1	Vdet0 のモニタ	291
8.3.2	Vdet1 のモニタ	291
8.3.3	Vdet2 のモニタ	291
8.4	電圧監視 0 リセット	292
8.5	電圧監視 1 割り込み、電圧監視 1 リセット	293
8.6	電圧監視 2 割り込み、電圧監視 2 リセット	296
8.7	イベントリンク出力機能	299
8.7.1	割り込み処理とイベントリンクの関係	299

9.	クロック発生回路	300
9.1	概要	300
9.2	レジスタの説明	304
9.2.1	システムクロックコントロールレジスタ (SCKCR)	304
9.2.2	ROM ウェイトサイクル設定レジスタ (ROMWT)	306
9.2.3	システムクロックコントロールレジスタ 2 (SCKCR2)	308
9.2.4	システムクロックコントロールレジスタ 3 (SCKCR3)	309
9.2.5	PLL コントロールレジスタ (PLLCR)	310
9.2.6	PLL コントロールレジスタ 2 (PLLCR2)	311
9.2.7	外部バスクロックコントロールレジスタ (BCKCR)	312
9.2.8	メインクロック発振器コントロールレジスタ (MOSCCR)	313
9.2.9	サブクロック発振器コントロールレジスタ (SOSCCR)	315
9.2.10	低速オンチップオシレータコントロールレジスタ (LOCOCR)	316
9.2.11	IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)	317
9.2.12	高速オンチップオシレータコントロールレジスタ (HOCOCR)	318
9.2.13	高速オンチップオシレータコントロールレジスタ 2 (HOCOCR2)	319
9.2.14	FLL コントロールレジスタ 1 (FLLCR1)	320
9.2.15	FLL コントロールレジスタ 2 (FLLCR2)	322
9.2.16	発振安定フラグレジスタ (OSCOVFSR)	323
9.2.17	発振停止検出コントロールレジスタ (OSTDCR)	325
9.2.18	発振停止検出ステータスレジスタ (OSTDSR)	326
9.2.19	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	327
9.2.20	サブクロック発振器ウェイトコントロールレジスタ (SOSCWTCR)	328
9.2.21	メインクロック発振器強制発振コントロールレジスタ (MOFCR)	329
9.2.22	高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR)	330
9.2.23	CLKOUT 出力コントロールレジスタ (CKOCR)	331
9.2.24	サブクロック発振器コントロールレジスタ 2 (SOSCCR2)	332
9.2.25	バックアップ領域サブクロック制御レジスタ (BKSCCR)	333
9.2.26	高速オンチップオシレータトリミングレジスタ n (HOCOTRRn) (n = 0 ~ 2)	334
9.3	メインクロック発振器	335
9.3.1	発振子を接続する方法	335
9.3.2	外部クロックを入力する方法	337
9.3.3	外部クロック入力に関する注意事項	337
9.4	サブクロック発振器	338
9.4.1	32.768 kHz 水晶振動子を接続する方法	338
9.4.2	サブクロックを使用しない場合の端子処理	339
9.5	発振停止検出機能	340
9.5.1	発振停止検出と検出後の動作	340
9.5.2	発振停止検出割り込み	342
9.6	PLL 回路	343

9.7	内部クロック	343
9.7.1	システムクロック	344
9.7.2	周辺モジュールクロック	344
9.7.3	FlashIF クロック	344
9.7.4	外部バスクロック	344
9.7.5	SDRAM クロック	344
9.7.6	USB クロック	345
9.7.7	CLKOUT クロック	345
9.7.8	CAN クロック	345
9.7.9	CAC クロック (CACCLK)	345
9.7.10	RTC クロック	345
9.7.11	REMC クロック	345
9.7.12	VBATT クロック	345
9.7.13	IWDT 専用クロック	345
9.7.14	JTAG クロック	346
9.8	クロックソース切り替え	347
9.9	ELC によるリンク動作	348
9.9.1	ELC へのイベント信号出力	348
9.9.2	ELC からのイベント信号受信によるクロックソース切り替え	348
9.10	使用上の注意事項	349
9.10.1	クロック発生回路に関する注意事項	349
9.10.2	SCKCR3 レジスタ書き換え時の注意事項	349
9.10.3	発振子に関する注意事項	350
9.10.4	ボード設計上の注意	350
9.10.5	発振子接続端子に関する注意事項	350
9.10.6	サブクロック発振器に関する注意事項	351
9.10.6.1	サブクロックをソフトウェアスタンバイモード、 ディープソフトウェアスタンバイモード中に停止させない場合	352
9.10.6.2	サブクロックをソフトウェアスタンバイモード、 ディープソフトウェアスタンバイモード中に停止させる場合	353
9.10.6.3	サブクロックを使用しない場合	354
9.10.7	低 CL 水晶振動子の使用に関する注意事項	355
9.10.8	48 ピンパッケージ製品に関する注意事項	355
10.	クロック周波数精度測定回路 (CAC)	356
10.1	概要	356
10.2	レジスタの説明	358
10.2.1	CAC コントロールレジスタ 0 (CACR0)	358
10.2.2	CAC コントロールレジスタ 1 (CACR1)	359
10.2.3	CAC コントロールレジスタ 2 (CACR2)	360
10.2.4	CAC 割り込み要求許可レジスタ (CAICR)	361
10.2.5	CAC ステータスレジスタ (CASTR)	362

10.2.6	CAC 上限値設定レジスタ (CAULVR)	363
10.2.7	CAC 下限値設定レジスタ (CALLVR)	363
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	363
10.3	動作説明	364
10.3.1	クロック周波数測定	364
10.3.2	CACREF 端子のデジタルフィルタ機能	365
10.4	割り込み要求	365
10.5	使用上の注意事項	366
10.5.1	モジュールストップ機能の設定	366
11.	消費電力低減機能	367
11.1	概要	367
11.2	レジスタの説明	371
11.2.1	スタンバイコントロールレジスタ (SBYCR)	371
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	372
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	374
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	376
11.2.5	モジュールストップコントロールレジスタ D (MSTPCRD)	377
11.2.6	動作電力コントロールレジスタ (OPCCR)	378
11.2.7	スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)	381
11.2.8	ディープスタンバイコントロールレジスタ (DPSBYCR)	382
11.2.9	ディープスタンバイインタラプトイネーブルレジスタ 0 (DPSIER0)	384
11.2.10	ディープスタンバイインタラプトイネーブルレジスタ 1 (DPSIER1)	385
11.2.11	ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2)	386
11.2.12	ディープスタンバイインタラプトイネーブルレジスタ 3 (DPSIER3)	387
11.2.13	ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0)	388
11.2.14	ディープスタンバイインタラプトフラグレジスタ 1 (DPSIFR1)	389
11.2.15	ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2)	390
11.2.16	ディープスタンバイインタラプトフラグレジスタ 3 (DPSIFR3)	393
11.2.17	ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0)	395
11.2.18	ディープスタンバイインタラプトエッジレジスタ 1 (DPSIEGR1)	396
11.2.19	ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2)	397
11.2.20	ディープスタンバイインタラプトエッジレジスタ 3 (DPSIEGR3)	397
11.3	クロックの切り替えによる消費電力の低減	398
11.4	モジュールストップ機能	398
11.5	動作電力低減機能	399
11.5.1	動作電力制御モードの設定方法	399
11.6	低消費電力状態	400
11.6.1	スリープモード	400
11.6.1.1	スリープモードへの移行	400
11.6.1.2	スリープモードの解除	401

11.6.1.3	スリープモード復帰クロックソース切り替え機能	401
11.6.2	全モジュールクロックストップモード	402
11.6.2.1	全モジュールクロックストップモードへの移行	402
11.6.2.2	全モジュールクロックストップモードの解除	403
11.6.3	ソフトウェアスタンバイモード	404
11.6.3.1	ソフトウェアスタンバイモードへの移行	404
11.6.3.2	ソフトウェアスタンバイモードの解除	405
11.6.3.3	ソフトウェアスタンバイモードの応用例	406
11.6.4	ディープソフトウェアスタンバイモード	407
11.6.4.1	ディープソフトウェアスタンバイモードへの移行	407
11.6.4.2	ディープソフトウェアスタンバイモードの解除	408
11.6.4.3	ディープソフトウェアスタンバイモード解除時の端子状態	409
11.6.4.4	ディープソフトウェアスタンバイモードの応用例	410
11.6.4.5	ディープソフトウェアスタンバイモードのフローチャート	412
11.7	使用上の注意事項	413
11.7.1	I/O ポートの状態	413
11.7.2	DMAC、DTC のモジュールストップ	413
11.7.3	内蔵周辺モジュールの割り込み	413
11.7.4	MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み	413
11.7.5	DIRQnE ビット (n = 0 ~ 15) による入力バッファ制御	413
11.7.6	WAIT 命令の実行タイミング	413
11.7.7	スリープモード中の DMAC、DTC によるレジスタの書き換えについて	413
11.7.8	低速動作モードからソフトウェアスタンバイモードへ移行するための注意事項	414
12.	バッテリーバックアップ機能 (VBATTB)	415
12.1	概要	415
12.2	レジスタの説明	417
12.2.1	バックアップ領域電源ステータスレジスタ (BKPSR)	417
12.2.2	タンパステータスレジスタ (TAMPSR)	418
12.2.3	タンパ制御レジスタ (TAMPCR)	419
12.2.4	時間キャプチャイベント制御レジスタ (TCECR)	420
12.2.5	タンパ/RTCIC 入力制御レジスタ 1 (TAMPICR1)	421
12.2.6	タンパ/RTCIC 入力制御レジスタ 2 (TAMPICR2)	422
12.2.7	タンパ/RTCIC 入力モニタレジスタ (TAMPIMR)	423
12.2.8	バックアップレジスタ n (BKRn) (n = 0 ~ 127)	423
12.3	動作説明	424
12.3.1	バッテリーバックアップ機能	424
12.3.2	サブクロック発振器	425
12.3.3	パワーダウン検出回路	426
12.3.4	タンパ検出回路	427
12.4	割り込み	429

12.5	使用上の注意事項	429
12.5.1	電圧監視 0 リセット	429
12.5.2	バッテリバックアップ機能を使用しない場合	429
12.5.3	VBATT 端子への注入電流	429
13.	レジスタライトプロテクション機能	430
13.1	レジスタの説明	431
13.1.1	プロテクトレジスタ (PRCR)	431
14.	例外処理	432
14.1	例外事象	432
14.1.1	未定義命令例外	433
14.1.2	特権命令例外	433
14.1.3	アクセス例外	433
14.1.4	アドレス例外	433
14.1.5	単精度浮動小数点例外	433
14.1.6	リセット	433
14.1.7	ノンマスカブル割り込み	433
14.1.8	割り込み	433
14.1.9	無条件トラップ	433
14.2	例外の処理手順	434
14.3	例外事象の受け付け	436
14.3.1	受け付けタイミングと退避される PC 値	436
14.3.2	ベクタと PC、PSW の退避場所	436
14.4	例外の受け付け / 復帰時のハードウェア処理	437
14.5	ハードウェア前処理	438
14.5.1	未定義命令例外	438
14.5.2	特権命令例外	438
14.5.3	アクセス例外	438
14.5.4	アドレス例外	438
14.5.5	単精度浮動小数点例外	438
14.5.6	リセット	439
14.5.7	ノンマスカブル割り込み	439
14.5.8	割り込み	439
14.5.9	無条件トラップ	439
14.6	例外処理ルーチンからの復帰	440
14.7	例外事象の優先順位	440
14.8	コプロセッサの例外事象	441
14.8.1	倍精度浮動小数点例外	441
15.	割り込みコントローラ (ICUE)	442
15.1	概要	442
15.2	レジスタの説明	445

15.2.1	割り込み要求レジスタ n (IRn) (n = 016 ~ 255)	445
15.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	447
15.2.3	割り込み要因プライオリティレジスタ r (IPRr) (r = 000 ~ 255)	448
15.2.4	高速割り込み設定レジスタ (FIR)	449
15.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	450
15.2.6	ソフトウェア割り込み 2 起動レジスタ (SWINT2R)	450
15.2.7	DTC 転送要求許可レジスタ n (DTCERn) (n = 026 ~ 255)	451
15.2.8	DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャンネル番号)	452
15.2.9	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 15)	453
15.2.10	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	454
15.2.11	IRQ 端子デジタルフィルタ許可レジスタ 1 (IRQFLTE1)	455
15.2.12	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	456
15.2.13	IRQ 端子デジタルフィルタ設定レジスタ 1 (IRQFLTC1)	457
15.2.14	ノンマスカブル割り込みステータスレジスタ (NMISR)	458
15.2.15	ノンマスカブル割り込み許可レジスタ (NMIER)	461
15.2.16	ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)	463
15.2.17	NMI 端子割り込みコントロールレジスタ (NMICR)	463
15.2.18	拡張ノンマスカブル割り込みステータスレジスタ (EXNMISR)	464
15.2.19	拡張ノンマスカブル割り込み許可レジスタ (EXNMIER)	465
15.2.20	拡張ノンマスカブル割り込みステータスクリアレジスタ (EXNMICLR)	466
15.2.21	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	466
15.2.22	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	467
15.2.23	グループ IE0 割り込み要求レジスタ (GRPIE0)、 グループ BE0 割り込み要求レジスタ (GRPBE0)、 グループ BL0/BL1 割り込み要求レジスタ (GRPBL0/GRPBL1)、 グループ AL0/AL1 割り込み要求レジスタ (GRPAL0/GRPAL1)	468
15.2.24	グループ IE0 割り込み要求許可レジスタ (GENIE0)、 グループ BE0 割り込み要求許可レジスタ (GENBE0)、 グループ BL0/BL1 割り込み要求許可レジスタ (GENBL0/GENBL1)、 グループ AL0/AL1 割り込み要求許可レジスタ (GENAL0/GENAL1)	471
15.2.25	グループ IE0 割り込みクリアレジスタ (GCRIE0)、 グループ BE0 割り込みクリアレジスタ (GCRBE0)	473
15.2.26	選択型割り込み B 要求レジスタ k (PIBRk) (k = 0h ~ Ch)	475
15.2.27	選択型割り込み A 要求レジスタ k (PIARk) (k = 0h ~ 5h, Bh)	476
15.2.28	選択型割り込み B 要因選択レジスタ Xn (SLIBXRn) (n = 128 ~ 143)	477
15.2.29	選択型割り込み B 要因選択レジスタ n (SLIBRn) (n = 144 ~ 207)	478
15.2.30	選択型割り込み A 要因選択レジスタ n (SLIARn) (n = 208 ~ 255)	482
15.2.31	EXDMAC 起動割り込み選択レジスタ (SELEXDR)	485
15.2.32	選択型割り込み要因選択レジスタ書き込み保護レジスタ (SLIPRCR)	486
15.3	ベクタテーブル	487
15.3.1	割り込みのベクタテーブル	487
15.3.2	高速割り込みのベクタ領域	494

15.3.3	ノンマスカブル割り込みのベクタ領域	494
15.4	割り込みの種類	495
15.4.1	周辺機能割り込み	495
15.4.2	ソフトウェア割り込み	495
15.4.3	外部端子割り込み	495
15.4.4	グループ割り込み	496
15.4.5	選択型割り込み	499
15.4.5.1	選択型割り込み B	500
15.4.5.2	選択型割り込み A	500
15.4.5.3	選択型割り込みによる EXDMAC の起動要因	500
15.4.6	ノンマスカブル割り込み	500
15.5	割り込みの検出	501
15.5.1	エッジ検出割り込み	501
15.5.2	レベル検出割り込み	503
15.5.3	エッジ検出グループ割り込み	505
15.5.4	レベル検出グループ割り込み	509
15.5.5	選択型割り込み	511
15.6	割り込み優先レベルの判定	511
15.7	割り込みの設定手順	512
15.7.1	割り込み要求の許可	512
15.7.2	割り込み要求の禁止	512
15.7.3	割り込み要求先の選択	512
15.7.3.1	割り込み要求先の設定手順	512
15.7.3.2	DTC/DMAC 選択時の動作	514
15.7.3.3	割り込み要求先の変更	514
15.7.4	外部端子割り込みの設定手順	515
15.7.5	ノンマスカブル割り込みの設定手順	515
15.7.6	デジタルフィルタ	516
15.7.7	選択型割り込みの設定手順	517
15.7.7.1	選択型割り込みのポーリング	517
15.8	多重割り込み	518
15.9	高速割り込み	518
15.10	低消費電力状態からの復帰	519
15.10.1	スリープモードからの復帰	519
15.10.2	全モジュールクロックストップモードからの復帰	519
15.10.3	ソフトウェアスタンバイモードからの復帰	520
15.11	使用上の注意事項	520
15.11.1	ノンマスカブル割り込み使用時の WAIT 命令の注意事項	520
15.11.2	全モジュールクロックストップモード時の選択型割り込み	520
15.11.3	ソフトウェアスタンバイモード中の割り込み要求	520

16.	バス	521
16.1	概要	521
16.2	バスの説明	523
16.2.1	CPU バス	523
16.2.2	メモリバス	523
16.2.3	内部メインバス	523
16.2.4	内部周辺バス	524
16.2.5	ライトバッファ機能 (内部周辺バス)	525
16.2.6	内部拡張バス	526
16.2.7	外部バス	528
16.2.8	並列動作	531
16.2.9	バスの設定	531
16.2.10	制約事項	532
16.3	レジスタの説明	533
16.3.1	CSn 制御レジスタ (CSnCR) (n = 0 ~ 7)	533
16.3.2	CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 7)	535
16.3.3	CS リカバリサイクル挿入許可レジスタ (CSRECEN)	537
16.3.4	CSn モードレジスタ (CSnMOD) (n = 0 ~ 7)	540
16.3.5	CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ~ 7)	542
16.3.6	CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ~ 7)	545
16.3.7	SDC 制御レジスタ (SDCCR)	548
16.3.8	SDC モードレジスタ (SDCMOD)	549
16.3.9	SDRAM アクセスモードレジスタ (SDAMOD)	549
16.3.10	SDRAM セルフリフレッシュ制御レジスタ (SDSELF)	550
16.3.11	SDRAM リフレッシュ制御レジスタ (SDRFCR)	551
16.3.12	SDRAM オートリフレッシュ制御レジスタ (SDRFEN)	552
16.3.13	SDRAM 初期化シーケンス制御レジスタ (SDICR)	553
16.3.14	SDRAM 初期化レジスタ (SDIR)	554
16.3.15	SDRAM アドレスレジスタ (SDADR)	555
16.3.16	SDRAM タイミングレジスタ (SDTR)	556
16.3.17	SDRAM モードレジスタ (SDMOD)	558
16.3.18	SDRAM ステータスレジスタ (SDSR)	559
16.3.19	バスエラーステータスクリアレジスタ (BERCLR)	560
16.3.20	バスエラー監視許可レジスタ (BEREN)	560
16.3.21	バスエラーステータスレジスタ 1 (BERSR1)	561
16.3.22	バスエラーステータスレジスタ 2 (BERSR2)	561
16.3.23	バスプライオリティ制御レジスタ (BUSPRI)	562
16.4	エンディアンとデータアライメント	564
16.4.1	CS 領域のデータアライメント制御	564
16.4.2	SDRAM 領域のデータアライメント制御	570

16.5	CS 領域コントローラの動作説明	577
16.5.1	セパレートバス	577
16.5.2	アドレス / データマルチプレクスバス	590
16.5.3	外部ウェイト機能	593
16.5.4	リカバリサイクルの挿入	595
16.5.5	非アクセス時の状態	598
16.5.6	ライトバッファ機能 (外部バス)	599
16.5.7	制約事項	599
16.6	SDRAM 領域コントローラの動作説明	602
16.6.1	SDRAM のアクセス有効 / 無効、SDRAM バス幅設定	602
16.6.2	非アクセス時の状態	602
16.6.3	リカバリサイクルの挿入	602
16.6.4	ライトバッファ機能	603
16.6.5	SDRAM コマンド	603
16.6.6	SDRAMC レジスタの設定条件	604
16.6.7	セルフリフレッシュ	605
16.6.8	オートリフレッシュ	608
16.6.9	初期化シーケンサ	610
16.6.10	リード / ライトアクセス	611
16.6.11	モードレジスタ設定	614
16.6.12	SDRAMC 設定例	615
16.6.12.1	SDRAMC のアクセス設定手順	615
16.6.12.2	セルフリフレッシュモードへの移行 / 復帰手順	616
16.6.12.3	タイミングレジスタ設定値とアクセスタイミング	618
16.6.13	アドレスマルチプレクス	627
16.6.14	SDRAM 接続例	628
16.6.14.1	16 ビットバス空間の場合	628
16.6.15	制約事項	632
16.7	バスエラー監視部	633
16.7.1	バスエラーの種類	633
16.7.1.1	不正アドレスアクセス	633
16.7.1.2	タイムアウト	633
16.7.2	バスエラー発生時の動作	634
16.7.3	バスエラーの発生条件	634
16.8	割り込み	635
16.8.1	割り込み要因	635
17.	メモリプロテクションユニット (MPU)	636
17.1	概要	636
17.1.1	アクセス制御の種類	638
17.1.2	アクセス制御領域	638

17.1.3	バックグラウンド領域	638
17.1.4	領域のオーバーラップ	638
17.1.5	領域をまたぐ命令とデータ	638
17.2	レジスタの説明	639
17.2.1	領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)	639
17.2.2	領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)	640
17.2.3	メモリプロテクション機能有効化レジスタ (MPEN)	641
17.2.4	バックグラウンドアクセス制御レジスタ (MPBAC)	642
17.2.5	メモリプロテクションエラーステータスクリアレジスタ (MPECLR)	643
17.2.6	メモリプロテクションエラーステータスレジスタ (MPESTS)	644
17.2.7	データメモリプロテクションエラーアドレスレジスタ (MPDEA)	645
17.2.8	領域サーチアドレスレジスタ (MPSA)	645
17.2.9	領域サーチオペレーションレジスタ (MPOPS)	646
17.2.10	領域インバリデートオペレーションレジスタ (MPOPI)	646
17.2.11	命令ヒット領域レジスタ (MHITI)	647
17.2.12	データヒット領域レジスタ (MHITD)	649
17.3	機能	651
17.3.1	メモリプロテクション機能	651
17.3.2	領域サーチ機能	651
17.3.3	メモリプロテクションユニット関連レジスタの保護	651
17.3.4	メモリプロテクション機能のアクセス判定フロー	652
17.4	メモリプロテクション機能使用手順	654
17.4.1	アクセス制御情報の設定	654
17.4.2	メモリプロテクション機能の有効化	654
17.4.3	ユーザモードへの移行	654
17.4.4	メモリプロテクションエラー発生時の処理	654
18.	DMA コントローラ (DMACAb)	656
18.1	概要	656
18.2	レジスタの説明	658
18.2.1	DMA 転送元アドレスレジスタ (DMSAR)	658
18.2.2	DMA 転送先アドレスレジスタ (DMDAR)	658
18.2.3	DMA 転送カウントレジスタ (DMCRA)	659
18.2.4	DMA ブロック転送カウントレジスタ (DMCRB)	660
18.2.5	DMA 転送モードレジスタ (DMTMD)	661
18.2.6	DMA 割り込み設定レジスタ (DMINT)	662
18.2.7	DMA アドレスモードレジスタ (DMAMD)	664
18.2.8	DMA オフセットレジスタ (DMOFR)	667
18.2.9	DMA 転送許可レジスタ (DMCNT)	667
18.2.10	DMA ソフトウェア起動レジスタ (DMREQ)	668
18.2.11	DMA ステータスレジスタ (DMSTS)	669

18.2.12	DMAC 起動要因フラグ制御レジスタ (DMCSL)	670
18.2.13	DMAC モジュール起動レジスタ (DMAST)	671
18.2.14	DMAC74 割り込みステータスマニタレジスタ (DMIST)	672
18.3	動作説明	673
18.3.1	転送モード	673
18.3.2	拡張リピートエリア機能	677
18.3.3	オフセットを使ったアドレス更新機能	679
18.3.4	起動要因	683
18.3.5	動作タイミング	684
18.3.6	DMAC の実行サイクル	685
18.3.7	DMAC の起動	686
18.3.8	DMA 転送の開始	687
18.3.9	DMA 転送中のレジスタ	687
18.3.10	チャンネルの優先順位	688
18.4	DMA 転送終了	689
18.4.1	設定した総データ転送による転送終了	689
18.4.2	リピートサイズ終了割り込みによる転送終了	689
18.4.3	拡張リピートエリアオーバーフロー割り込みによる転送終了	690
18.5	割り込み	691
18.6	イベントリンク	693
18.7	消費電力低減機能	694
18.8	使用上の注意事項	695
18.8.1	外部デバイスを使用する場合	695
18.8.2	周辺モジュールへ DMA 転送する場合	695
18.8.3	DMA 動作中のレジスタアクセスについて	695
18.8.4	予約領域への DMA 転送について	695
18.8.5	DMAC 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの 割り込み要求について	695
18.8.6	割り込みコントローラの DMAC 起動要因選択レジスタ (ICU.DMRSRm) の設定	695
18.8.7	DMA 転送の保留 / 再開方法	695
19.	EXDMA コントローラ (EXDMACa)	696
19.1	概要	696
19.2	レジスタの説明	698
19.2.1	EXDMA 転送元アドレスレジスタ (EDMSAR)	698
19.2.2	EXDMA 転送先アドレスレジスタ (EDMDAR)	698
19.2.3	EXDMA 転送カウントレジスタ (EDMCRA)	699
19.2.4	EXDMA ブロック転送カウントレジスタ (EDMCRB)	701
19.2.5	EXDMA 転送モードレジスタ (EDMTMD)	702
19.2.6	EXDMA 出力設定レジスタ (EDMOMD)	703
19.2.7	EXDMA 割り込み設定レジスタ (EDMINT)	704

19.2.8	EXDMA アドレスモードレジスタ (EDMAMD)	706
19.2.9	EXDMA オフセットレジスタ (EDMOFR)	710
19.2.10	EXDMA 転送許可レジスタ (EDMCNT)	711
19.2.11	EXDMA ソフトウェア起動レジスタ (EDMREQ)	712
19.2.12	EXDMA ステータスレジスタ (EDMSTS)	713
19.2.13	EXDMA 外部要求センスモードレジスタ (EDMRMD)	714
19.2.14	EXDMA 外部要求フラグレジスタ (EDMERF)	715
19.2.15	EXDMA 周辺要求フラグレジスタ (EDMPRF)	716
19.2.16	EXDMAC モジュール起動レジスタ (EDMAST)	717
19.2.17	クラスタバッファレジスタ y (CLSBRy) (y = 0 ~ 7)	718
19.3	動作説明	719
19.3.1	転送モード	719
19.3.2	拡張リピートエリア機能	725
19.3.3	オフセットを使ったアドレス更新機能	727
19.3.4	アドレスモード	732
19.4	転送動作	733
19.4.1	ノーマル転送モード/リピート転送モードの転送動作	733
19.4.2	ブロック転送モードの転送動作	735
19.4.3	クラスタ転送モードの転送動作	737
19.5	起動要因と起動手順	740
19.5.1	起動要因	740
19.5.2	EXDMAC の起動	743
19.5.3	DMA 転送の開始	744
19.5.4	DMA 転送中のレジスタ	744
19.5.5	チャンネルの優先順位	745
19.6	DMA 転送終了	746
19.6.1	設定した総データ転送による転送終了	746
19.6.2	リピートサイズ終了割り込みによる転送終了	746
19.6.3	拡張リピートエリアオーバフロー割り込みによる転送終了	747
19.7	割り込み	748
19.8	消費電力低減機能	750
19.9	シングルアドレスモード時の EDACKn 動作	751
19.9.1	シングルアドレスモードノーマル転送 (CS 領域) EDACKn 動作例	751
19.9.2	シングルアドレスモードノーマル転送 (SDRAM 領域) EDACKn 動作例	753
19.9.3	シングルアドレスモードブロック転送 (CS 領域) EDACKn 動作例	755
19.9.4	シングルアドレスモードブロック転送 (SDRAM 領域) EDACKn 動作例	758
19.10	使用上の注意事項	765
19.10.1	クラスタバッファについて	765
19.10.2	DMA 動作中のレジスタアクセスについて	765
19.10.3	予約領域への DMA 転送について	765

20.	データトランスファコントローラ (DTCb)	766
20.1	概要	766
20.2	レジスタの説明	768
20.2.1	DTC モードレジスタ A (MRA)	768
20.2.2	DTC モードレジスタ B (MRB)	770
20.2.3	DTC モードレジスタ C (MRC)	772
20.2.4	DTC 転送元レジスタ (SAR)	773
20.2.5	DTC 転送先レジスタ (DAR)	773
20.2.6	DTC 転送カウントレジスタ A (CRA)	774
20.2.7	DTC 転送カウントレジスタ B (CRB)	775
20.2.8	DTC コントロールレジスタ (DTCCR)	775
20.2.9	DTC ベクタベースレジスタ (DTCVBR)	776
20.2.10	DTC アドレスモードレジスタ (DTCADMOD)	776
20.2.11	DTC モジュール起動レジスタ (DTCST)	777
20.2.12	DTC ステータスレジスタ (DTCSTS)	778
20.2.13	DTC インデックステーブルベースレジスタ (DTCIBR)	779
20.2.14	DTC オペレーションレジスタ (DTCOR)	780
20.2.15	DTC シーケンス転送許可レジスタ (DTCSQE)	781
20.2.16	DTC アドレスディスプレイメントレジスタ (DTCDISP)	781
20.3	起動要因	782
20.3.1	転送情報の配置と DTC ベクタテーブル	782
20.4	動作説明	784
20.4.1	転送情報リードスキップ機能	786
20.4.2	転送情報ライトバックスキップ機能	787
20.4.2.1	アドレス固定によるライトバックスキップ	787
20.4.2.2	MRA.WBDIS ビットによるライトバックスキップ	787
20.4.3	ノーマル転送モード	788
20.4.4	リピート転送モード	789
20.4.5	ブロック転送モード	790
20.4.6	チェーン転送	791
20.4.7	動作タイミング	792
20.4.8	DTC の実行サイクル	795
20.4.9	DTC のバス権解放タイミング	795
20.4.10	シーケンス転送	796
20.4.11	DTC インデックステーブル	798
20.4.12	シーケンス転送の動作例	800
20.5	DTC の設定手順	806
20.6	DTC 使用例	807
20.6.1	ノーマル転送	807
20.6.2	チェーン転送	807

20.6.3	カウンタが“0”のときのチェーン転送	809
20.6.4	シーケンス転送	810
20.7	割り込み要因	811
20.8	イベントリンク	811
20.9	消費電力低減機能	812
20.10	使用上の注意事項	813
20.10.1	転送情報先頭アドレス	813
20.10.2	転送情報の配置	813
20.10.3	割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定	814
20.10.4	シーケンス転送使用時の注意事項	814
21.	イベントリンクコントローラ (ELC)	815
21.1	概要	815
21.2	レジスタの説明	816
21.2.1	イベントリンクコントロールレジスタ (ELCR)	816
21.2.2	イベントリンク設定レジスタ n (ELSRn) (n = 0, 3, 4, 7, 10 ~ 15, 18 ~ 28, 33, 35 ~ 38, 45)	817
21.2.3	イベントリンクオプション設定レジスタ A (ELOPA)	822
21.2.4	イベントリンクオプション設定レジスタ B (ELOPB)	822
21.2.5	イベントリンクオプション設定レジスタ C (ELOPC)	823
21.2.6	イベントリンクオプション設定レジスタ D (ELOPD)	823
21.2.7	イベントリンクオプション設定レジスタ F (ELOPF)	824
21.2.8	イベントリンクオプション設定レジスタ H (ELOPH)	825
21.2.9	ポートグループ指定レジスタ n (PGRn) (n = 1, 2)	826
21.2.10	ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)	827
21.2.11	ポートバッファレジスタ n (PDBFn) (n = 1, 2)	828
21.2.12	イベント接続ポート指定レジスタ m (PELm) (m = 0 ~ 3)	829
21.2.13	イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)	830
21.3	動作説明	831
21.3.1	割り込み処理とイベントリンクの関係	831
21.3.2	イベントのリンク	832
21.3.3	タイマ系周辺モジュールのイベント信号入力時の動作	833
21.3.4	CTSU のイベント信号入力時の動作	833
21.3.5	A/D コンバータのイベント信号入力時の動作	833
21.3.6	I/O ポートのイベント信号入力時の動作とイベント生成	833
21.3.7	イベントリンクの動作設定手順例	837
21.4	使用上の注意事項	838
21.4.1	ELSRn レジスタの設定について	838
21.4.2	出力ポートグループのビットローテート動作の設定について	838
21.4.3	DMA/DTC 転送終了のイベント信号使用時の注意事項	838
21.4.4	クロック設定について	838

21.4.5	モジュールストップ機能の設定	838
22.	I/O ポート	839
22.1	概要	839
22.2	入出力ポートの構成	842
22.3	レジスタの説明	848
22.3.1	ポート方向レジスタ (PDR)	848
22.3.2	ポート出力データレジスタ (PODR)	849
22.3.3	ポート入力データレジスタ (PIDR)	850
22.3.4	ポートモードレジスタ (PMR)	851
22.3.5	オープンドレイン制御レジスタ 0 (ODR0)	852
22.3.6	オープンドレイン制御レジスタ 1 (ODR1)	853
22.3.7	プルアップ制御レジスタ (PCR)	854
22.3.8	駆動能力制御レジスタ (DSCR)	855
22.3.9	駆動能力制御レジスタ 2 (DSCR2)	856
22.4	ポート方向レジスタ (PDR) の初期化	857
22.5	未使用端子の処理	860
23.	マルチファンクションピンコントローラ (MPC)	861
23.1	概要	861
23.2	レジスタの説明	880
23.2.1	書き込みプロテクトレジスタ (PWPR)	880
23.2.2	P0n 端子機能制御レジスタ (P0nPFS) (n = 0 ~ 3, 5, 7)	881
23.2.3	P1n 端子機能制御レジスタ (P1nPFS) (n = 2 ~ 7)	883
23.2.4	P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7)	885
23.2.5	P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 4)	887
23.2.6	P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)	889
23.2.7	P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 6)	890
23.2.8	P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ~ 7)	892
23.2.9	P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ~ 7)	893
23.2.10	P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ~ 3, 6, 7)	894
23.2.11	P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 3)	895
23.2.12	PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)	896
23.2.13	PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)	898
23.2.14	PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)	900
23.2.15	PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 7)	903
23.2.16	PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)	905
23.2.17	PFn 端子機能制御レジスタ (PFnPFS) (n = 5)	907
23.2.18	PHn 端子機能制御レジスタ (PHnPFS) (n = 1, 2)	908
23.2.19	PJn 端子機能制御レジスタ (PJnPFS) (n = 3, 5)	909
23.2.20	CS 出力許可レジスタ (PFCSE)	910
23.2.21	CS 出力端子選択レジスタ 0 (PFCSS0)	911

23.2.22	CS 出力端子選択レジスタ 1 (PFCSS1)	912
23.2.23	アドレス出力許可レジスタ 0 (PFAOE0)	913
23.2.24	アドレス出力許可レジスタ 1 (PFAOE1)	914
23.2.25	外部バス制御レジスタ 0 (PFBCR0)	915
23.2.26	外部バス制御レジスタ 1 (PFBCR1)	916
23.2.27	外部バス制御レジスタ 2 (PFBCR2)	918
23.2.28	外部バス制御レジスタ 3 (PFBCR3)	918
23.3	各ポートの外部バス端子有効化手順	919
23.4	使用上の注意事項	922
23.4.1	端子入出力機能設定手順	922
23.4.2	MPC レジスタ設定する場合の注意事項	922
23.4.3	アナログ機能を使う場合の注意事項	923
23.4.4	静電容量式タッチセンサ (CTSU) 機能を使う場合の注意事項	924
24.	マルチファンクションタイマパルスユニット 3 (MTU3a)	925
24.1	概要	925
24.2	レジスタの説明	931
24.2.1	タイマコントロールレジスタ (TCR)	931
24.2.2	タイマコントロールレジスタ 2 (TCR2)	933
24.2.3	タイマモードレジスタ 1 (TMDR1)	937
24.2.4	タイマモードレジスタ 2m (TMDR2m) (m = A, B)	939
24.2.5	タイマモードレジスタ 3 (TMDR3)	940
24.2.6	タイマ I/O コントロールレジスタ (TIOR)	942
24.2.7	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	959
24.2.8	タイマインタラプトイネーブルレジスタ (TIER)	960
24.2.9	タイマステータスレジスタ (TSR)	963
24.2.10	タイマバッファ動作転送モードレジスタ (TBTM)	964
24.2.11	タイマインプットキャプチャコントロールレジスタ (TICCR)	965
24.2.12	タイマシンクロクリアレジスタ (TSYCR)	966
24.2.13	タイマカウンタ (TCNT)	967
24.2.14	タイマロングワードカウンタ (TCNTLW)	968
24.2.15	タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W)	969
24.2.16	タイマロングワードジェネラルレジスタ m (TGRmLW) (m = A, B)	970
24.2.17	タイマスタートレジスタ (TSTRA, TSTRB, TSTR)	971
24.2.18	タイマシンクロレジスタ m (TSYRm) (m = A, B)	973
24.2.19	タイマカウンタシンクロスタートレジスタ (TCSYSTR)	975
24.2.20	タイマリードライトイネーブルレジスタ m (TRWERm) (m = A, B)	977
24.2.21	タイマアウトプットマスタイネーブルレジスタ m (TOERm) (m = A, B)	978
24.2.22	タイマアウトプットコントロールレジスタ 1m (TOCR1m) (m = A, B)	980
24.2.23	タイマアウトプットコントロールレジスタ 2m (TOCR2m) (m = A, B)	982
24.2.24	タイマアウトプットレベルバッファレジスタ m (TOLBRm) (m = A, B)	985

24.2.25	タイマゲートコントロールレジスタ A (TGCRA)	986
24.2.26	タイマサブカウンタ m (TCNTSm) (m = A, B)	988
24.2.27	タイマ周期データレジスタ m (TCDRm) (m = A, B)	988
24.2.28	タイマ周期バッファレジスタ m (TCBRm) (m = A, B)	989
24.2.29	タイマデッドタイムデータレジスタ m (TDDRm) (m = A, B)	989
24.2.30	タイマデッドタイムイネーブルレジスタ m (TDERm) (m = A, B)	990
24.2.31	タイマバッファ転送設定レジスタ m (TBTERm) (m = A, B)	991
24.2.32	タイマ波形コントロールレジスタ m (TWCRm) (m = A, B)	992
24.2.33	ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ~ 4, 6, 7, 8, C)	994
24.2.34	ノイズフィルタコントロールレジスタ 5 (NFCR5)	997
24.2.35	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	998
24.2.36	タイマ A/D 変換開始要求周期設定レジスタ m (TADCORm) (m = A, B)	1002
24.2.37	タイマ A/D 変換開始要求周期設定バッファレジスタ m (TADCOBRm) (m = A, B) ...	1002
24.2.38	タイマ割り込み間引きモードレジスタ m (TITMRm) (m = A, B)	1003
24.2.39	タイマ割り込み間引き設定レジスタ 1m (TITCR1m) (m = A, B)	1004
24.2.40	タイマ割り込み間引き回数カウンタ 1m (TITCNT1m) (m = A, B)	1006
24.2.41	タイマ割り込み間引き設定レジスタ 2m (TITCR2m) (m = A, B)	1008
24.2.42	タイマ割り込み間引き回数カウンタ 2m (TITCNT2m) (m = A, B)	1010
24.3	動作説明	1012
24.3.1	基本動作	1012
24.3.2	同期動作	1018
24.3.3	バッファ動作	1020
24.3.4	カスケード接続動作	1025
24.3.5	PWM モード	1030
24.3.6	位相計数モード	1035
24.3.6.1	16 ビット位相計数モード	1035
24.3.6.2	カスケード接続 32 ビット位相計数モード	1047
24.3.7	リセット同期 PWM モード	1050
24.3.8	相補 PWM モード	1053
24.3.9	A/D 変換開始要求ディレイド機能	1095
24.3.10	MTU0 ~ MTU4、MTU6、MTU7 の同期動作	1102
24.3.11	外部パルス幅測定機能	1105
24.3.12	デッドタイム補償用機能	1106
24.3.13	相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作	1108
24.3.14	ノイズフィルタ機能	1109
24.4	割り込み要因	1110
24.4.1	割り込み要因と優先順位	1110
24.4.2	DTC/DMAC の起動	1112
24.4.3	A/D コンバータの起動	1113
24.5	動作タイミング	1115

24.5.1	入出力タイミング	1115
24.5.2	割り込み信号タイミング	1121
24.6	使用上の注意事項	1124
24.6.1	モジュールストップ機能の設定	1124
24.6.2	カウントクロックの制限事項	1124
24.6.3	周期設定上の注意事項	1124
24.6.4	TCNT への書き込みとクリアの競合	1125
24.6.5	TCNT への書き込みとカウントアップの競合	1125
24.6.6	TGR レジスタへの書き込みとコンペアマッチの競合	1126
24.6.7	バッファレジスタへの書き込みとコンペアマッチの競合	1126
24.6.8	バッファレジスタへの書き込みと TCNT クリアの競合	1127
24.6.9	TGR レジスタの読み出しとインプットキャプチャの競合	1127
24.6.10	TGR レジスタへの書き込みとインプットキャプチャの競合	1128
24.6.11	バッファレジスタへの書き込みとインプットキャプチャの競合	1129
24.6.12	カスケード接続における MTU2.TCNT への書き込みとオーバフロー/ アンダフローの競合	1130
24.6.13	相補 PWM モードでのカウント動作停止時のカウンタ値	1131
24.6.14	相補 PWM モードでのバッファ動作の設定	1131
24.6.15	リセット同期 PWM モードのバッファ動作とコンペアマッチ	1132
24.6.16	リセット同期 PWM モードのオーバフロー	1133
24.6.17	オーバフロー/アンダフローとカウンタクリアの競合	1134
24.6.18	TCNT への書き込みとオーバフロー/アンダフローの競合	1134
24.6.19	ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ 遷移する場合の注意事項	1135
24.6.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	1135
24.6.21	カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプット キャプチャ	1135
24.6.22	割り込み間引き機能 2	1136
24.6.23	相補 PWM モードの出力保護機能未使用時の注意事項	1136
24.6.24	タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の 注意事項	1136
24.6.25	相補 PWM モード同期クリアするときの異常動作防止の注意事項	1137
24.6.26	ELC イベント入力の時タイマモードレジスタ設定の注意事項	1138
24.6.27	コンペアマッチによる割り込み信号の連続出力	1139
24.6.28	相補 PWM モードにおける A/D 変換ディレイド機能の注意事項	1139
24.7	MTU 出力端子の初期化方法	1141
24.7.1	動作モード	1141
24.7.2	動作中の異常などによる再設定時の動作	1141
24.7.3	動作中の異常などによる端子の初期化手順、モード移行の概要	1142
24.8	ELC によるリンク動作	1172
24.8.1	ELC へのイベント信号出力	1172

24.8.2	ELC からのイベント信号受信によるアクション動作	1172
24.8.3	ELC からのイベント信号受信による動作に関する注意事項	1173
25.	ポートアウトプットイネーブル 3 (POE3a)	1174
25.1	概要	1174
25.2	レジスタの説明	1177
25.2.1	入力レベルコントロール/ステータスレジスタ 1 (ICSR1)	1177
25.2.2	入力レベルコントロール/ステータスレジスタ 2 (ICSR2)	1178
25.2.3	入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	1179
25.2.4	入力レベルコントロール/ステータスレジスタ 4 (ICSR4)	1180
25.2.5	入力レベルコントロール/ステータスレジスタ 5 (ICSR5)	1181
25.2.6	入力レベルコントロール/ステータスレジスタ 6 (ICSR6)	1182
25.2.7	出力レベルコントロール/ステータスレジスタ 1 (OCSR1)	1183
25.2.8	出力レベルコントロール/ステータスレジスタ 2 (OCSR2)	1184
25.2.9	アクティブレベルレジスタ 1 (ALR1)	1185
25.2.10	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	1187
25.2.11	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	1188
25.2.12	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	1189
25.2.13	ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)	1191
25.2.14	ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)	1193
25.2.15	MTU0 端子選択レジスタ 1 (M0SELR1)	1194
25.2.16	MTU0 端子選択レジスタ 2 (M0SELR2)	1195
25.2.17	MTU3 端子選択レジスタ (M3SELR)	1196
25.2.18	MTU4 端子選択レジスタ 1 (M4SELR1)	1197
25.2.19	MTU4 端子選択レジスタ 2 (M4SELR2)	1198
25.3	動作説明	1199
25.3.1	MTU 端子選択	1204
25.3.2	入力レベル検出動作	1205
25.3.3	出力レベル比較動作	1206
25.3.4	レジスタによるハイインピーダンス制御	1207
25.3.5	発振停止検出検知によるハイインピーダンス制御	1207
25.3.6	ハイインピーダンス制御条件の追加機能	1207
25.3.7	ハイインピーダンス状態の解除	1207
25.4	POE3 設定手順	1208
25.5	割り込み	1208
25.6	使用上の注意事項	1209
25.6.1	低消費電力モードへの遷移	1209
25.6.2	MTU 端子非選択時のハイインピーダンス制御	1209
25.6.3	POE3 を使用しない場合について	1209
26.	16 ビットタイマパルスユニット (TPUa)	1210
26.1	概要	1210

26.2	レジスタの説明	1215
26.2.1	タイマコントロールレジスタ (TCR)	1215
26.2.2	タイマモードレジスタ (TMDR)	1219
26.2.3	タイマ I/O コントロールレジスタ (TIORH, TIORL, TIOR)	1220
26.2.4	タイマ割り込み許可レジスタ (TIER)	1230
26.2.5	タイマステータスレジスタ (TSR)	1231
26.2.6	タイマカウンタ (TCNT)	1234
26.2.7	タイマジェネラルレジスタ A (TGRA) タイマジェネラルレジスタ B (TGRB) タイマジェネラルレジスタ C (TGRC) タイマジェネラルレジスタ D (TGRD)	1234
26.2.8	タイマスタートレジスタ (TSTR)	1235
26.2.9	タイマシンクロレジスタ (TSYR)	1236
26.2.10	ノイズフィルタコントロールレジスタ (NFCR)	1237
26.3	動作説明	1239
26.3.1	概要	1239
26.3.2	同期動作	1245
26.3.3	バッファ動作	1247
26.3.4	カスケード接続動作	1250
26.3.5	PWM モード	1252
26.3.6	位相計数モード	1257
26.3.6.1	位相計数モード応用例	1262
26.3.7	ノイズフィルタ機能	1263
26.4	割り込み要因	1264
26.5	DTC の起動	1265
26.6	DMAC の起動	1265
26.7	A/D コンバータの起動	1265
26.8	PPG トリガ	1265
26.9	動作タイミング	1266
26.9.1	入出力タイミング	1266
26.9.2	割り込み信号タイミング	1270
26.10	使用上の注意事項	1272
26.10.1	モジュールストップ機能の設定	1272
26.10.2	入力クロックの制限事項	1272
26.10.3	周期設定上の注意事項	1272
26.10.4	TPUm.TCNT への書き込みとクリアの競合	1273
26.10.5	TPUm.TCNT への書き込みとカウントアップの競合	1273
26.10.6	TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合	1274
26.10.7	バッファレジスタへの書き込みとコンペアマッチの競合	1274
26.10.8	TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合	1275
26.10.9	TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合	1275

26.10.10	バッファレジスタへの書き込みとインプットキャプチャの競合	1276
26.10.11	カスケード接続時の TCNT 同時インプットキャプチャ	1276
26.10.12	オーバフロー/アンダフローとカウンタクリアの競合	1277
26.10.13	TPUm.TCNT への書き込みとオーバフロー/アンダフローの競合	1278
26.10.14	入出力端子の兼用	1278
26.10.15	コンペアマッチパルス割り込みの連続出力	1279
26.10.16	インプットキャプチャパルス割り込みの連続出力	1280
26.10.17	アンダフローパルス割り込みの連続出力	1281
26.11	イベントリンク動作	1282
26.11.1	ELC へのイベント信号出力	1282
26.11.2	ELC からのイベント信号入力	1282
26.11.3	イベント信号入力による動作の注意事項	1285
26.11.4	イベント信号出力動作の注意事項	1287
27.	プログラマブルパルスジェネレータ (PPG)	1289
27.1	概要	1289
27.2	レジスタの説明	1292
27.2.1	PPG トリガセレクトレジスタ (PTRSLR)	1292
27.2.2	ネクストデータイネーブルレジスタ H (NDERH)、 ネクストデータイネーブルレジスタ L (NDERL)	1293
27.2.3	アウトプットデータレジスタ H (PODRH)、 アウトプットデータレジスタ L (PODRL)	1296
27.2.4	ネクストデータレジスタ H (NDRH)、ネクストデータレジスタ L (NDRL)、 ネクストデータレジスタ H2 (NDRH2)、ネクストデータレジスタ L2 (NDRL2)	1299
27.2.5	PPG 出力コントロールレジスタ (PCR)	1305
27.2.6	PPG 出力モードレジスタ (PMR)	1307
27.3	動作説明	1310
27.3.1	出力タイミング	1311
27.3.2	通常動作のパルス出力設定手順例	1312
27.3.3	パルス出力通常動作例 (5 相パルス出力例)	1314
27.3.4	パルス出力ノンオーバーラップ動作	1315
27.3.5	ノンオーバーラップ動作のパルス出力設定手順例	1316
27.3.6	パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)	1318
27.3.7	パルス反転出力	1320
27.3.8	インプットキャプチャによるパルス出力	1321
27.4	使用上の注意事項	1321
27.4.1	モジュールストップ機能の設定	1321
28.	8 ビットタイマ (TMRb)	1322
28.1	概要	1322
28.2	レジスタの説明	1327
28.2.1	タイマカウンタ (TCNT)	1327
28.2.2	タイムコンスタントレジスタ A (TCORA)	1328

28.2.3	タイムコンスタントレジスタ B (TCORB)	1328
28.2.4	タイマコントロールレジスタ (TCR)	1329
28.2.5	タイマカウンタコントロールレジスタ (TCCR)	1330
28.2.6	タイマコントロール/ステータスレジスタ (TCSR)	1332
28.2.7	タイマカウンタスタートレジスタ (TCSTR)	1334
28.3	動作説明	1335
28.3.1	パルス出力	1335
28.3.2	外部カウンタリセット入力	1336
28.4	動作タイミング	1337
28.4.1	TCNT カウンタのカウンタタイミング	1337
28.4.2	コンペアマッチ時の割り込みタイミング	1338
28.4.3	コンペアマッチ時の出力信号タイミング	1338
28.4.4	コンペアマッチによるカウンタクリアタイミング	1339
28.4.5	TCNT カウンタの外部リセットタイミング	1339
28.4.6	オーバフローによる割り込みタイミング	1340
28.5	カスケード接続時の動作	1341
28.5.1	16 ビットカウントモード	1341
28.5.2	コンペアマッチカウントモード	1341
28.6	割り込み要因	1342
28.6.1	割り込み要因と DTC 起動	1342
28.6.2	A/D コンバータの起動	1342
28.7	ELC によるリンク動作	1343
28.7.1	ELC へのイベント信号出力	1343
28.7.2	ELC からのイベント信号受信による TMR 動作	1343
28.7.3	ELC からのイベント信号受信による TMR の注意事項	1344
28.8	使用上の注意事項	1345
28.8.1	モジュールストップ機能の設定	1345
28.8.2	周期設定上の注意	1345
28.8.3	TCNT カウンタへの書き込みとカウンタクリアの競合	1345
28.8.4	TCNT カウンタへの書き込みとカウントアップの競合	1346
28.8.5	TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合	1346
28.8.6	コンペアマッチ A、B の競合	1347
28.8.7	内部クロックの切り替えと TCNT カウンタの動作	1347
28.8.8	カスケード接続時のクロックソース設定	1349
28.8.9	コンペアマッチ割り込みの連続出力	1349
29.	コンペアマッチタイマ (CMT)	1350
29.1	概要	1350
29.2	レジスタの説明	1351
29.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	1351
29.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	1351

29.2.3	コンペアマッチタイマコントロールレジスタ (CMCR)	1352
29.2.4	コンペアマッチタイマカウンタ (CMCNT)	1353
29.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR)	1353
29.3	動作説明	1354
29.3.1	周期カウント動作	1354
29.3.2	CMCNT カウンタのカウントタイミング	1354
29.4	割り込み	1355
29.4.1	割り込み要因	1355
29.4.2	コンペアマッチ割り込みの発生タイミング	1355
29.5	ELC によるリンク動作	1356
29.5.1	ELC へのイベント信号出力	1356
29.5.2	ELC からのイベント信号受信による CMT の動作	1356
29.5.3	ELC からのイベント信号受信による CMT の注意事項	1356
29.6	使用上の注意事項	1357
29.6.1	モジュールストップ機能の設定	1357
29.6.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	1357
29.6.3	CMCNT カウンタへの書き込みとカウントアップの競合	1357
30.	コンペアマッチタイマ W (CMTW)	1358
30.1	概要	1358
30.2	レジスタの説明	1361
30.2.1	タイマスタートレジスタ (CMWSTR)	1361
30.2.2	タイマコントロールレジスタ (CMWCR)	1362
30.2.3	タイマ I/O コントロールレジスタ (CMWIOR)	1364
30.2.4	タイマカウンタ (CMWCNT)	1365
30.2.5	コンペアマッチコンスタントレジスタ (CMWCOR)	1365
30.2.6	インプットキャプチャレジスタ n (CMWICRn) (n = 0, 1)	1366
30.2.7	アウトプットコンペアレジスタ n (CMWOCRn) (n = 0, 1)	1366
30.3	動作説明	1367
30.3.1	周期カウント動作	1367
30.3.2	コンペアマッチ機能	1367
30.3.3	アウトプットコンペア機能	1369
30.3.4	インプットキャプチャ機能	1370
30.3.5	カウンタサイズ	1371
30.3.6	CMWCNT カウンタのカウントタイミング	1371
30.3.7	アウトプットコンペア出力タイミング	1372
30.3.8	インプットキャプチャタイミング	1372
30.4	割り込み	1373
30.4.1	CMTW の割り込み要因と DMAC/DTC	1373
30.4.2	コンペアマッチ割り込みの発生タイミング	1374
30.5	ELC によるリンク動作	1376

30.5.1	ELC へのイベント信号出力	1376
30.5.2	ELC からのイベント信号受信による CMTW の動作	1377
30.5.3	イベントリンク動作とレジスタアクセスの競合	1379
30.6	使用上の注意事項	1381
30.6.1	モジュールストップ機能の設定	1381
30.6.2	CMWCNT カウンタへの書き込みとコンペアマッチの競合	1381
30.6.3	CMWCNT カウンタへの書き込みとカウントアップ/カウンタクリアの競合	1382
30.6.4	CMWCOR レジスタへの書き込みとコンペアマッチの競合	1382
30.6.5	CMWOCRn レジスタへの書き込みとコンペアマッチの競合 (n = 0, 1)	1383
30.6.6	CMWCNT カウンタの読み出しとカウントアップ/カウンタクリアの競合	1383
30.6.7	CMWICRn レジスタの読み出しとインプットキャプチャの競合 (n = 0, 1)	1384
31.	リアルタイムクロック (RTCd)	1385
31.1	概要	1385
31.2	レジスタの説明	1387
31.2.1	64 Hz カウンタ (R64CNT)	1387
31.2.2	秒カウンタ (RSECNT)/ バイナリカウンタ 0 (BCNT0)	1388
31.2.3	分カウンタ (RMINCNT)/ バイナリカウンタ 1 (BCNT1)	1389
31.2.4	時カウンタ (RHRCNT)/ バイナリカウンタ 2 (BCNT2)	1390
31.2.5	曜日カウンタ (RWKCNT)/ バイナリカウンタ 3 (BCNT3)	1391
31.2.6	日カウンタ (RDAYCNT)	1392
31.2.7	月カウンタ (RMONCNT)	1393
31.2.8	年カウンタ (RYRCNT)	1394
31.2.9	秒アラームレジスタ (RSECAR)/ バイナリカウンタ 0 アラームレジスタ (BCNT0AR)	1395
31.2.10	分アラームレジスタ (RMINAR)/ バイナリカウンタ 1 アラームレジスタ (BCNT1AR)	1396
31.2.11	時アラームレジスタ (RHRAR)/ バイナリカウンタ 2 アラームレジスタ (BCNT2AR)	1397
31.2.12	曜日アラームレジスタ (RWKAR)/ バイナリカウンタ 3 アラームレジスタ (BCNT3AR)	1399
31.2.13	日アラームレジスタ (RDAYAR)/ バイナリカウンタ 0 アラーム許可レジスタ (BCNT0AER)	1400
31.2.14	月アラームレジスタ (RMONAR)/ バイナリカウンタ 1 アラーム許可レジスタ (BCNT1AER)	1401
31.2.15	年アラームレジスタ (RYRAR)/ バイナリカウンタ 2 アラーム許可レジスタ (BCNT2AER)	1402
31.2.16	年アラーム許可レジスタ (RYRAREN)/ バイナリカウンタ 3 アラーム許可レジスタ (BCNT3AER)	1403
31.2.17	RTC コントロールレジスタ 1 (RCR1)	1404
31.2.18	RTC コントロールレジスタ 2 (RCR2)	1406
31.2.19	RTC コントロールレジスタ 3 (RCR3)	1409
31.2.19.1	低 CL 水晶振動子の使用に関する注意事項	1410
31.2.20	RTC コントロールレジスタ 4 (RCR4)	1411

31.2.21	周波数レジスタ H/L (RFRH/RFRL)	1411
31.2.22	時間誤差補正レジスタ (RADJ)	1413
31.2.23	時間キャプチャ制御レジスタ n (RTCCRn) (n = 0 ~ 2)	1414
31.2.24	秒キャプチャレジスタ n (RSECCPn) (n = 0 ~ 2)/ BCNT0 キャプチャレジスタ n (BCNT0CPn) (n = 0 ~ 2)	1416
31.2.25	分キャプチャレジスタ n (RMINCPn) (n = 0 ~ 2)/ BCNT1 キャプチャレジスタ n (BCNT1CPn) (n = 0 ~ 2)	1417
31.2.26	時キャプチャレジスタ n (RHRCpN) (n = 0 ~ 2)/ BCNT2 キャプチャレジスタ n (BCNT2CPn) (n = 0 ~ 2)	1418
31.2.27	日キャプチャレジスタ n (RDAYCPn) (n = 0 ~ 2)/ BCNT3 キャプチャレジスタ n (BCNT3CPn) (n = 0 ~ 2)	1419
31.2.28	月キャプチャレジスタ n (RMONCPn) (n = 0 ~ 2)	1420
31.3	動作説明	1421
31.3.1	電源投入後のレジスタの初期設定概要	1421
31.3.2	クロックとカウントモード設定手順	1422
31.3.3	時刻設定手順	1425
31.3.4	30 秒調整手順	1427
31.3.5	64 Hz カウンタおよび時刻読み出し手順	1428
31.3.6	アラーム機能	1429
31.3.7	アラーム割り込み禁止手順	1430
31.3.8	時計誤差補正機能	1430
31.3.8.1	自動補正機能	1431
31.3.8.2	ソフトウェアによる補正	1432
31.3.8.3	補正モードの変更手順	1432
31.3.8.4	補正機能の停止手順	1432
31.3.9	時間キャプチャ機能	1433
31.4	割り込み要因	1434
31.5	イベントリンク出力機能	1436
31.5.1	割り込み処理とイベントリンクの関係	1436
31.6	使用上の注意事項	1437
31.6.1	カウント動作時のレジスタ書き込みについて	1437
31.6.2	周期割り込みの使用について	1437
31.6.3	RTCCOUT (1 Hz/64 Hz) 出力について	1437
31.6.4	レジスタ設定後の低消費電力モード移行について	1438
31.6.5	レジスタの書き込み / 読み出し時の注意事項	1438
31.6.6	カウントモードの変更について	1438
31.6.7	時間キャプチャ機能を使用する場合の注意事項	1438
31.6.8	リアルタイムクロックを使用しない場合の初期化手順	1439
32.	ウォッチドッグタイマ (WDTA)	1441
32.1	概要	1441
32.2	レジスタの説明	1443

32.2.1	WDT リフレッシュレジスタ (WDTRR)	1443
32.2.2	WDT コントロールレジスタ (WDTCR)	1444
32.2.3	WDT ステータスレジスタ (WDTSR)	1447
32.2.4	WDT リセットコントロールレジスタ (WDTRCR)	1448
32.2.5	オプション機能選択レジスタ 0 (OFS0)	1448
32.3	動作説明	1449
32.3.1	カウント開始条件別の各動作	1449
32.3.1.1	レジスタスタートモード	1449
32.3.1.2	オートスタートモード	1451
32.3.2	リフレッシュ動作	1452
32.3.3	リセット出力	1453
32.3.4	割り込み要因	1453
32.3.5	カウンタ値の読み出し	1453
32.3.6	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応	1454
33.	独立ウォッチドッグタイマ (IWDTa)	1455
33.1	概要	1455
33.2	レジスタの説明	1457
33.2.1	IWDT リフレッシュレジスタ (IWDTRR)	1457
33.2.2	IWDT コントロールレジスタ (IWDTCR)	1458
33.2.3	IWDT ステータスレジスタ (IWDTSR)	1461
33.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	1462
33.2.5	IWDT カウント停止コントロールレジスタ (IWDTCSTPR)	1463
33.2.6	オプション機能選択レジスタ 0 (OFS0)	1463
33.3	動作説明	1464
33.3.1	カウント開始条件別の各動作	1464
33.3.1.1	レジスタスタートモード	1464
33.3.1.2	オートスタートモード	1466
33.3.2	リフレッシュ動作	1467
33.3.3	ステータスフラグ	1469
33.3.4	リセット出力	1469
33.3.5	割り込み要因	1469
33.3.6	カウンタ値の読み出し	1470
33.3.7	オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応	1471
33.4	ELC によるリンク動作	1471
33.5	使用上の注意事項	1471
33.5.1	リフレッシュ動作について	1471
33.5.2	クロック分周比の設定	1471
34.	USB2.0FS ホスト / ファンクションモジュール (USBb)	1472
34.1	概要	1472
34.2	レジスタの説明	1474

34.2.1	システムコンフィギュレーションコントロールレジスタ (SYSCFG)	1474
34.2.2	システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)	1476
34.2.3	デバイスステートコントロールレジスタ 0 (DVSTCTR0)	1478
34.2.4	CFIFO ポートレジスタ (CFIFO)、 D0FIFO ポートレジスタ (D0FIFO)、 D1FIFO ポートレジスタ (D1FIFO)	1481
34.2.5	CFIFO ポート選択レジスタ (CFIFOSEL)、 D0FIFO ポート選択レジスタ (D0FIFOSEL)、 D1FIFO ポート選択レジスタ (D1FIFOSEL)	1483
34.2.6	CFIFO ポートコントロールレジスタ (CFIFOCTR)、 D0FIFO ポートコントロールレジスタ (D0FIFOCTR)、 D1FIFO ポートコントロールレジスタ (D1FIFOCTR)	1487
34.2.7	割り込み許可レジスタ 0 (INTENB0)	1489
34.2.8	割り込み許可レジスタ 1 (INTENB1)	1490
34.2.9	BRDY 割り込み許可レジスタ (BRDYENB)	1491
34.2.10	NRDY 割り込み許可レジスタ (NRDYENB)	1492
34.2.11	BEMP 割り込み許可レジスタ (BEMPENB)	1493
34.2.12	SOF 出力コンフィギュレーションレジスタ (SOFCFG)	1494
34.2.13	割り込みステータスレジスタ 0 (INTSTS0)	1495
34.2.14	割り込みステータスレジスタ 1 (INTSTS1)	1498
34.2.15	BRDY 割り込みステータスレジスタ (BRDYSTS)	1501
34.2.16	NRDY 割り込みステータスレジスタ (NRDYSTS)	1502
34.2.17	BEMP 割り込みステータスレジスタ (BEMPSTS)	1503
34.2.18	フレームナンバレジスタ (FRMNUM)	1504
34.2.19	デバイスステート切り替えレジスタ (DVCHGR)	1505
34.2.20	USB アドレスレジスタ (USBADDR)	1506
34.2.21	USB リクエストタイプレジスタ (USBREQ)	1507
34.2.22	USB リクエストバリュレジスタ (USBVAL)	1508
34.2.23	USB リクエストインデックスレジスタ (USBINDX)	1508
34.2.24	USB リクエストレングスレジスタ (USBLENG)	1509
34.2.25	DCP コンフィギュレーションレジスタ (DCPCFG)	1510
34.2.26	DCP マックスパケットサイズレジスタ (DCPMAXP)	1511
34.2.27	DCP コントロールレジスタ (DCPCTR)	1512
34.2.28	パイプウィンドウ選択レジスタ (PIPESEL)	1515
34.2.29	パイプコンフィギュレーションレジスタ (PIPECFG)	1516
34.2.30	パイプマックスパケットサイズレジスタ (PIPEMAXP)	1518
34.2.31	パイプ周期制御レジスタ (PIPEPERI)	1519
34.2.32	パイプ n コントロールレジスタ (PIPE _n CTR) (n = 1 ~ 9)	1520
34.2.33	パイプ n トランザクションカウンタインエーブルレジスタ (PIPE _n TRE) (n = 1 ~ 5)	1528
34.2.34	パイプ n トランザクションカウンタレジスタ (PIPE _n TRN) (n = 1 ~ 5)	1529
34.2.35	デバイスアドレス n コンフィギュレーションレジスタ (DEVADD _n) (n = 0 ~ 5)	1530

34.2.36	PHY クロスポイント調整レジスタ (PHYSLEW)	1531
34.2.37	ディープスタンバイ USB トランシーバ制御 / 端子モニタレジスタ (DPUSR0R)	1532
34.2.38	ディープスタンバイ USB サスペンド / レジューム割り込みレジスタ (DPUSR1R) ..	1533
34.3	動作説明	1536
34.3.1	システム制御	1536
34.3.1.1	USB 関連レジスタの設定	1536
34.3.1.2	コントローラ機能の選択設定	1536
34.3.1.3	USB データバス抵抗制御	1536
34.3.1.4	USB 外部接続回路例	1537
34.3.1.5	USB サスペンド / レジューム割り込みによる ディープソフトウェアスタンバイモードの解除	1541
34.3.2	割り込み要因	1545
34.3.3	割り込みの説明	1548
34.3.3.1	BRDY 割り込み	1548
34.3.3.2	NRDY 割り込み	1552
34.3.3.3	BEMP 割り込み	1554
34.3.3.4	デバイスステート遷移割り込み	1556
34.3.3.5	コントロール転送ステージ遷移割り込み	1557
34.3.3.6	フレーム番号更新割り込み	1558
34.3.3.7	VBUS 割り込み	1558
34.3.3.8	レジューム割り込み	1558
34.3.3.9	OVRCCR 割り込み	1558
34.3.3.10	BCHG 割り込み	1559
34.3.3.11	DTCH 割り込み	1559
34.3.3.12	SACK 割り込み	1559
34.3.3.13	SIGN 割り込み	1559
34.3.3.14	ATTCH 割り込み	1559
34.3.3.15	EOFERR 割り込み	1559
34.3.4	パイプコントロール	1560
34.3.4.1	パイプコントロールレジスタの切り替え手順	1561
34.3.4.2	転送タイプ	1561
34.3.4.3	エンドポイント番号	1562
34.3.4.4	マックスパケットサイズ設定	1562
34.3.4.5	トランザクションカウンタ (パイプ 1 ~ 5 読み出し方向)	1562
34.3.4.6	応答 PID	1563
34.3.4.7	データ PID シーケンスビット	1564
34.3.4.8	応答 PID = NAK 機能	1564
34.3.4.9	自動応答モード	1564
34.3.4.10	OUT-NAK モード	1564
34.3.4.11	Null 自動応答モード	1565
34.3.5	FIFO バッファメモリ	1565

34.3.5.1	FIFO バッファメモリ	1565
34.3.5.2	FIFO バッファクリア	1566
34.3.5.3	FIFO ポートの機能	1567
34.3.5.4	DMA 転送 (D0FIFO/D1FIFO ポート)	1568
34.3.6	DCP を使用したコントロール転送	1569
34.3.6.1	ホストコントローラ機能選択時のコントロール転送	1569
34.3.6.2	ファンクションコントローラ機能選択時のコントロール転送	1570
34.3.7	バルク転送 (パイプ 1 ~ 5)	1571
34.3.8	インタラプト転送 (パイプ 6 ~ 9)	1572
34.3.8.1	ホストコントローラ機能選択時のインタラプト転送時のインターバル カウンタ	1572
34.3.9	アイソクロナス転送 (パイプ 1、2)	1573
34.3.9.1	アイソクロナス転送のエラー検出	1573
34.3.9.2	データ PID	1574
34.3.9.3	インターバルカウンタ	1574
34.3.10	SOF 補完機能	1580
34.3.11	パイプスケジュール	1580
34.3.11.1	トランザクション発行条件	1580
34.3.11.2	転送スケジュール	1581
34.3.11.3	USB 通信許可	1581
34.4	使用上の注意事項	1581
34.4.1	モジュールストップ機能の設定	1581
35.	シリアルコミュニケーションインタフェース (SClk, SCIm, SCIh)	1582
35.1	概要	1582
35.2	レジスタの説明	1595
35.2.1	レシーブシフトレジスタ (RSR)	1595
35.2.2	レシーブデータレジスタ (RDR)	1595
35.2.3	レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)	1596
35.2.4	受信 FIFO データレジスタ (FRDR)	1597
35.2.5	トランスミットデータレジスタ (TDR)	1598
35.2.6	トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)	1599
35.2.7	送信 FIFO データレジスタ (FTDR)	1600
35.2.8	トランスミットシフトレジスタ (TSR)	1600
35.2.9	シリアルモードレジスタ (SMR)	1601
35.2.10	シリアルコントロールレジスタ (SCR)	1605
35.2.11	シリアルステータスレジスタ (SSR/SSRFIFO)	1610
35.2.12	スマートカードモードレジスタ (SCMR)	1618
35.2.13	ビットレートレジスタ (BRR)	1620
35.2.14	モジュレーションデューティレジスタ (MDDR)	1632
35.2.15	シリアル拡張モードレジスタ (SEMR)	1634

35.2.16	ノイズフィルタ設定レジスタ (SNFR)	1637
35.2.17	I ² C モードレジスタ 1 (SIMR1)	1638
35.2.18	I ² C モードレジスタ 2 (SIMR2)	1639
35.2.19	I ² C モードレジスタ 3 (SIMR3)	1640
35.2.20	I ² C ステータスレジスタ (SISR)	1642
35.2.21	SPI モードレジスタ (SPMR)	1643
35.2.22	FIFO コントロールレジスタ (FCR)	1645
35.2.23	FIFO データカウントレジスタ (FDR)	1647
35.2.24	ラインステータスレジスタ (LSR)	1648
35.2.25	比較データレジスタ (CDR)	1649
35.2.26	データ比較制御レジスタ (DCCR)	1650
35.2.27	シリアルポートレジスタ (SPTR)	1652
35.2.28	送受信タイミング選択レジスタ (TMGR)	1654
35.2.29	拡張シリアルモード有効レジスタ (ESMER)	1656
35.2.30	コントロールレジスタ 0 (CR0)	1656
35.2.31	コントロールレジスタ 1 (CR1)	1657
35.2.32	コントロールレジスタ 2 (CR2)	1658
35.2.33	コントロールレジスタ 3 (CR3)	1659
35.2.34	ポートコントロールレジスタ (PCR)	1659
35.2.35	割り込みコントロールレジスタ (ICR)	1660
35.2.36	ステータスレジスタ (STR)	1661
35.2.37	ステータスクリアレジスタ (STCR)	1662
35.2.38	Control Field 0 データレジスタ (CF0DR)	1662
35.2.39	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	1663
35.2.40	Control Field 0 受信データレジスタ (CF0RR)	1663
35.2.41	プライマリ Control Field 1 データレジスタ (PCF1DR)	1663
35.2.42	セカンダリ Control Field 1 データレジスタ (SCF1DR)	1664
35.2.43	Control Field 1 コンペアイネーブルレジスタ (CF1CR)	1664
35.2.44	Control Field 1 受信データレジスタ (CF1RR)	1664
35.2.45	タイマコントロールレジスタ (TCR)	1665
35.2.46	タイマモードレジスタ (TMR)	1665
35.2.47	タイマプリスケアラレジスタ (TPRE)	1666
35.2.48	タイマカウントレジスタ (TCNT)	1666
35.3	調歩同期式モードの動作	1667
35.3.1	シリアル送信 / 受信フォーマット	1667
35.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	1669
35.3.2.1	受信データのサンプリングタイミング調整	1670
35.3.2.2	送信データの変化タイミング調整	1671
35.3.3	クロック	1672
35.3.4	倍速モードと 6 分周モード	1672

35.3.5	CTS、RTS 機能	1673
35.3.6	データ一致検出機能	1673
35.3.7	SCI の初期化 (調歩同期式モード)	1676
35.3.8	シリアルデータの送信 (調歩同期式モード)	1679
35.3.9	シリアルデータの受信 (調歩同期式モード)	1684
35.4	マルチプロセッサ通信機能	1689
35.4.1	マルチプロセッサシリアルデータ送信	1691
35.4.2	マルチプロセッサシリアルデータ受信	1692
35.5	クロック同期式モードの動作	1695
35.5.1	クロック	1695
35.5.2	CTS、RTS 機能	1696
35.5.3	SCI の初期化 (クロック同期式モード)	1697
35.5.4	シリアルデータの送信 (クロック同期式モード)	1698
35.5.5	シリアルデータの受信 (クロック同期式モード)	1703
35.5.6	シリアルデータの送受信同時動作 (クロック同期式モード)	1707
35.6	スマートカードインタフェースモードの動作	1708
35.6.1	接続例	1708
35.6.2	データフォーマット (ブロック転送モード時を除く)	1709
35.6.3	ブロック転送モード	1710
35.6.4	受信データサンプリングタイミングと受信マージン	1711
35.6.5	SCI の初期化 (スマートカードインタフェースモード)	1712
35.6.6	シリアルデータの送信 (ブロック転送モードを除く)	1714
35.6.7	シリアルデータの受信 (ブロック転送モードを除く)	1717
35.6.8	クロック出力制御	1719
35.7	簡易 I ² C モードの動作	1720
35.7.1	開始条件、再開条件、停止条件の生成	1721
35.7.2	クロック同期化	1723
35.7.3	SSDA 出力遅延	1724
35.7.4	SCI の初期化 (簡易 I ² C モード)	1725
35.7.5	マスタ送信動作 (簡易 I ² C モード)	1726
35.7.6	マスタ受信動作 (簡易 I ² C モード)	1728
35.7.7	バスハンガアップからの回復	1730
35.8	簡易 SPI モードの動作	1731
35.8.1	マスタモード、スレーブモードと各端子の状態	1732
35.8.2	マスタモード時の SS 機能	1732
35.8.3	スレーブモード時の SS 機能	1732
35.8.4	クロックと送受信データの関係	1733
35.8.5	SCI の初期化 (簡易 SPI モード)	1733
35.8.6	シリアルデータの送受信 (簡易 SPI モード)	1734
35.9	ビットレートモジュレーション機能	1734

35.10	拡張シリアルモード制御部の動作説明	1735
35.10.1	シリアル通信プロトコル	1735
35.10.2	Start Frame 送信	1735
35.10.3	Start Frame 受信	1739
35.10.3.1	プライオリティインタラプトビット	1744
35.10.4	バス衝突検出機能	1745
35.10.5	RXDX12 端子入力デジタルフィルタ機能	1746
35.10.6	ビットレート測定機能	1747
35.10.7	RXDX12 受信データサンプリングタイミング選択機能	1748
35.10.8	タイマ	1749
35.11	ノイズ除去機能	1751
35.12	割り込み要因	1752
35.12.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1752
35.12.2	調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける 割り込み	1752
35.12.3	スマートカードインタフェースモードにおける割り込み	1754
35.12.4	簡易 I ² C モードにおける割り込み	1755
35.12.5	拡張シリアルモード制御部の割り込み要求	1756
35.13	イベントリンク機能	1757
35.14	使用上の注意事項	1758
35.14.1	モジュールストップ機能の設定	1758
35.14.2	ブレークの検出と処理について	1758
35.14.3	マーク状態とブレークの送付	1758
35.14.4	受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)	1759
35.14.5	TDR レジスタへのライトについて	1759
35.14.6	クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)	1760
35.14.7	DMAC または DTC 使用上の制約事項	1761
35.14.8	通信の開始に関する注意事項	1761
35.14.9	低消費電力状態時の動作について	1761
35.14.10	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	1764
35.14.11	簡易 SPI モードの制約事項	1764
35.14.12	拡張シリアルモード制御部の使用上の制約事項 1	1765
35.14.13	拡張シリアルモード制御部の使用上の制約事項 2	1765
35.14.14	トランスミットイネーブルビット (TE ビット) に関する注意事項	1766
35.14.15	調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項	1766
36.	シリアルコミュニケーションインタフェース (RSCI)	1767
36.1	概要	1767
36.2	レジスタの説明	1772
36.2.1	受信シフトレジスタ (RSR)	1772

36.2.2	受信データレジスタ (RDR)	1772
36.2.3	送信データレジスタ (TDR)	1774
36.2.4	送信シフトレジスタ (TSR)	1775
36.2.5	制御レジスタ 0 (SCR0)	1776
36.2.6	制御レジスタ 1 (SCR1)	1779
36.2.7	制御レジスタ 2 (SCR2)	1784
36.2.8	制御レジスタ 3 (SCR3)	1799
36.2.9	制御レジスタ 4 (SCR4)	1803
36.2.10	I ² C モードレジスタ (SIMR)	1805
36.2.11	FIFO 制御レジスタ (FCR)	1808
36.2.12	マンチェスタモード制御レジスタ (MMCR)	1810
36.2.13	DE 信号制御レジスタ (DECR)	1814
36.2.14	拡張シリアルモード制御レジスタ 0 (XCR0)	1815
36.2.15	拡張シリアルモード制御レジスタ 1 (XCR1)	1818
36.2.16	拡張シリアルモード制御レジスタ 2 (XCR2)	1820
36.2.17	ステータスレジスタ (SSR)	1821
36.2.18	I ² C ステータスレジスタ (SISR)	1828
36.2.19	受信 FIFO ステータスレジスタ (RFSR)	1829
36.2.20	送信 FIFO ステータスレジスタ (TFSR)	1831
36.2.21	マンチェスタモードステータスレジスタ (MMSR)	1832
36.2.22	拡張シリアルモードステータスレジスタ 0 (XSR0)	1835
36.2.23	拡張シリアルモードステータスレジスタ 1 (XSR1)	1837
36.2.24	ステータスクリアレジスタ (SSCR)	1838
36.2.25	I ² C ステータスクリアレジスタ (SISCR)	1839
36.2.26	受信 FIFO ステータスクリアレジスタ (RFSCR)	1839
36.2.27	マンチェスタモードステータスクリアレジスタ (MMSCR)	1840
36.2.28	拡張シリアルモードステータスクリアレジスタ (XSCR)	1841
36.2.29	HBS サポートモード制御レジスタ (HBSCR)	1842
36.3	調歩同期式モードの動作	1843
36.3.1	シリアル送信 / 受信フォーマット	1843
36.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	1845
36.3.3	クロック	1847
36.3.4	倍速モードと 6 分周モード	1847
36.3.5	CTS、RTS 機能	1848
36.3.6	データ一致検出機能	1848
36.3.7	RSCI の初期化 (調歩同期式モード)	1852
36.3.8	シリアルデータの送信 (調歩同期式モード)	1856
36.3.9	シリアルデータの受信 (調歩同期式モード)	1862
36.3.10	調歩同期式モードの受信サンプリングタイミング調整機能	1869
36.3.11	調歩同期式モードの送信タイミング調整機能	1870

36.4	マルチプロセッサ通信機能	1871
36.4.1	マルチプロセッサシリアルデータ送信	1873
36.4.2	マルチプロセッサシリアルデータ受信	1876
36.5	マンチェスタモード	1882
36.5.1	フレームフォーマット	1882
36.5.2	クロック	1887
36.5.3	マンチェスタモード時の RSCI 初期化	1887
36.5.4	倍速動作	1888
36.5.5	CTS、RTS 機能	1889
36.5.6	マンチェスタデータ送信	1889
36.5.7	マンチェスタデータ受信	1893
36.5.8	マルチプロセッサビット使用時の動作	1897
36.5.9	受信リタイミング	1897
36.5.10	マンチェスタコードの極性設定	1899
36.5.11	マンチェスタモードにおけるエラー	1900
36.6	HBS サポートモード	1905
36.6.1	HBS サポートモードの受信	1905
36.6.2	HBS サポートモードの送信	1906
36.6.3	HBS サポートモードのレジスタ設定	1908
36.7	スマートカードインタフェースモードの動作	1909
36.7.1	接続例	1909
36.7.2	データフォーマット (ブロック転送モード時を除く)	1910
36.7.3	ブロック転送モード	1911
36.7.4	受信データサンプリングタイミングと受信マージン	1912
36.7.5	RSCI の初期化 (スマートカードインタフェースモード)	1913
36.7.6	シリアルデータの送信 (ブロック転送モードを除く)	1915
36.7.7	シリアルデータの受信 (ブロック転送モードを除く)	1918
36.7.8	クロック出力制御	1920
36.8	拡張シリアルモードの動作	1921
36.8.1	シリアル通信プロトコル	1921
36.8.2	Start Frame 送信	1922
36.8.3	Start Frame 受信	1925
36.8.3.1	PIB 未使用時、ノーマル受信	1925
36.8.3.2	プライオリティインタラプトビット	1930
36.8.4	バス衝突検出機能	1931
36.8.5	ビットレート測定機能	1933
36.9	簡易 I ² C モードの動作	1935
36.9.1	スタートコンディション、リスタートコンディション、 ストップコンディションの生成	1936
36.9.2	クロック同期化	1938
36.9.3	SDA 出力遅延	1939

36.9.4	RSCI の初期化 (簡易 I ² C モード)	1940
36.9.5	マスタ送信動作 (簡易 I ² C モード)	1941
36.9.6	マスタ受信動作 (簡易 I ² C モード)	1946
36.10	クロック同期式モードの動作	1949
36.10.1	クロック	1949
36.10.2	CTS、RTS 機能	1950
36.10.3	RSCI の初期化 (クロック同期式モード)	1951
36.10.4	シリアルデータの送信 (クロック同期式モード)	1952
36.10.5	シリアルデータの受信 (クロック同期式モード)	1957
36.10.6	シリアルデータの送受信同時動作 (クロック同期式モード)	1962
36.10.7	クロック同期式モード内部クロック使用時の受信サンプリングタイミング調整機能	1964
36.11	簡易 SPI モードの動作	1965
36.11.1	マスタモード、スレーブモードと各端子の状態	1966
36.11.2	マスタモード時の SS 機能	1966
36.11.3	スレーブモード時の SS 機能	1966
36.11.4	クロックと送受信データの関係	1967
36.11.5	RSCI の初期化 (簡易 SPI モード)	1967
36.11.6	シリアルデータの送受信 (簡易 SPI モード)	1968
36.11.7	簡易 SPI モード内部クロック使用時の受信サンプリングタイミング調整機能	1968
36.12	ビットレートモジュレーション機能	1968
36.13	ノイズ除去機能	1969
36.14	RS-485 ドライバ制御機能	1970
36.15	ループバック機能	1971
36.16	半二重通信機能	1972
36.17	割り込み信号	1973
36.17.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1973
36.17.2	調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み	1974
36.17.3	スマートカードインタフェースモードにおける割り込み	1976
36.17.4	簡易 I ² C モードにおける割り込み	1977
36.17.5	拡張シリアルモードにおける割り込み	1978
36.18	イベントリンク機能	1979
36.19	使用上の注意事項	1981
36.19.1	モジュールストップ機能の設定	1981
36.19.2	消費電力低減機能の注意事項	1981
36.19.3	ブレークの検出と処理について	1985
36.19.4	マーク状態とブレークの送付	1985
36.19.5	受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)	1985
36.19.6	TDR レジスタへのライト	1986

36.19.7	クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)	1986
36.19.8	DMAC または DTC 使用上の制約事項	1988
36.19.9	通信の開始に関する注意事項	1988
36.19.10	簡易 SPI モードの制約事項	1988
36.19.11	トランスミットイネーブルビット (TE ビット) に関する注意事項	1989
36.19.12	拡張シリアルモードに関する注意事項	1989
36.19.13	RS-485 ドライバ制御機能に関する注意事項	1990
36.19.14	ループバック機能に関する注意事項	1990
36.19.15	動作中断時の注意事項	1990
37.	I ² C バスインタフェース (R1ICa)	1991
37.1	概要	1991
37.2	レジスタの説明	1994
37.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	1994
37.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	1996
37.2.3	I ² C バスモードレジスタ 1 (ICMR1)	1999
37.2.4	I ² C バスモードレジスタ 2 (ICMR2)	2000
37.2.5	I ² C バスモードレジスタ 3 (ICMR3)	2002
37.2.6	I ² C バスファンクション許可レジスタ (ICFER)	2004
37.2.7	I ² C バスステータス許可レジスタ (ICSER)	2006
37.2.8	I ² C バス割り込み許可レジスタ (ICIER)	2008
37.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	2010
37.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	2012
37.2.11	スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)	2015
37.2.12	スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)	2016
37.2.13	I ² C バスビットレート Low レジスタ (ICBRL)	2017
37.2.14	I ² C バスビットレート High レジスタ (ICBRH)	2018
37.2.15	I ² C バス送信データレジスタ (ICDRT)	2020
37.2.16	I ² C バス受信データレジスタ (ICDRR)	2020
37.2.17	I ² C バスシフトレジスタ (ICDRS)	2020
37.3	動作説明	2021
37.3.1	通信データフォーマット	2021
37.3.2	初期設定	2022
37.3.3	マスタ送信動作	2023
37.3.4	マスタ受信動作	2026
37.3.5	スレーブ送信動作	2032
37.3.6	スレーブ受信動作	2035
37.4	SCL 同期回路	2037
37.5	SDA 出力遅延機能	2038
37.6	デジタルノイズフィルタ回路	2039

37.7	アドレス一致検出機能	2040
37.7.1	スレーブアドレス一致検出機能	2040
37.7.2	ジェネラルコールアドレス検出機能	2042
37.7.3	デバイス ID アドレス検出機能	2043
37.7.4	ホストアドレス検出機能	2045
37.8	SCL の自動 Low ホールド機能	2046
37.8.1	送信データ誤送信防止機能	2046
37.8.2	NACK 受信転送中断機能	2047
37.8.3	受信データ取りこぼし防止機能	2048
37.9	アービトレーションロスト検出機能	2050
37.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	2050
37.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	2052
37.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	2053
37.10	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能	2054
37.10.1	スタートコンディション発行動作	2054
37.10.2	リスタートコンディション発行動作	2054
37.10.3	ストップコンディション発行動作	2055
37.11	バスハングアップ	2056
37.11.1	タイムアウト検出機能	2056
37.11.2	SCL 追加出力機能	2057
37.11.3	RIIC リセット、内部リセット	2058
37.12	SMBus 動作	2059
37.12.1	SMBus タイムアウト測定	2059
37.12.2	パケットエラーコード (PEC)	2060
37.12.3	SMBus ホスト通知プロトコル (Notify ARP master コマンド)	2061
37.13	割り込み要因	2062
37.13.1	TXI 割り込みおよび RXI 割り込みバッファ動作	2062
37.14	リセット時 / コンディション検出時のレジスタおよび機能の初期化	2063
37.15	イベントリンク機能 (出力)	2064
37.15.1	割り込み処理とイベントリンクの関係	2064
37.16	使用上の注意事項	2065
37.16.1	モジュールストップ機能の設定	2065
37.16.2	通信の開始に関する注意事項	2065
38.	ハイスピード I ² C バスインタフェース (RIICHS)	2066
38.1	概要	2066
38.2	レジスタの説明	2068
38.2.1	制御レジスタ (ICCR)	2068
38.2.2	リセット制御レジスタ (ICRCR)	2069
38.2.3	動作モードモニタレジスタ (ICMMR)	2070

38.2.4	ファンクション許可レジスタ (ICFER)	2072
38.2.5	スレーブモード制御レジスタ (ICSCR)	2074
38.2.6	基準クロック制御レジスタ (ICRCCR)	2076
38.2.7	F/S モードビットレートレジスタ (ICFBR)	2077
38.2.8	Hs モードビットレートレジスタ (ICHBR)	2079
38.2.9	バスフリー時間設定レジスタ (ICBFTR)	2081
38.2.10	出力信号制御レジスタ (ICOCR)	2082
38.2.11	入力信号制御レジスタ (ICICR)	2084
38.2.12	タイムアウト制御レジスタ (ICTOR)	2085
38.2.13	アクノリッジビット制御レジスタ (ICACKR)	2087
38.2.14	クロックストレッチ制御レジスタ (ICCSER)	2088
38.2.15	コンディション生成要求レジスタ (ICCGR)	2089
38.2.16	送受信データレジスタ (ICDR)	2091
38.2.17	ステータスレジスタ 2 (ICSR2)	2092
38.2.18	ステータス検出許可レジスタ (ICSER)	2095
38.2.19	ステータス割り込み許可レジスタ (ICSIER)	2096
38.2.20	通信ステータスレジスタ (ICCSR)	2097
38.2.21	通信ステータス検出許可レジスタ (ICCSER)	2098
38.2.22	通信ステータス割り込み許可レジスタ (ICCSIER)	2099
38.2.23	バスステータスレジスタ (ICBSR)	2100
38.2.24	スレーブモードステータスレジスタ (ICSSR)	2101
38.2.25	スレーブアドレスレジスタ y (SARy) (y = 0 ~ 2)	2104
38.2.26	スレーブアドレスモニタレジスタ y (SAMRy) (y = 0 ~ 2)	2105
38.2.27	ビットカウントレジスタ (ICBCR)	2107
38.2.28	内部ステータスモニタレジスタ (ICIMR)	2108
38.3	動作説明	2109
38.3.1	通信データフォーマット	2109
38.3.2	初期設定	2110
38.3.3	I ² C マスタ動作	2111
38.3.3.1	マスタ送信動作	2111
38.3.3.2	マスタ受信動作	2115
38.3.4	I ² C スレーブ動作	2120
38.3.4.1	スレーブ送信動作	2120
38.3.4.2	スレーブ受信動作	2123
38.4	機能詳細	2126
38.4.1	SCL 同期回路	2126
38.4.2	SDA 出力遅延機能	2127
38.4.3	デジタルノイズフィルタ	2128
38.4.4	アドレス一致検出機能	2129
38.4.4.1	スレーブアドレス一致検出機能	2129

38.4.4.2	ジェネラルコールアドレス検出機能	2131
38.4.4.3	デバイス ID アドレス検出機能	2132
38.4.4.4	Hs モードマスタコード検出機能	2134
38.4.4.5	ホストアドレス検出機能	2136
38.4.5	SCL の自動 Low ホールド機能	2137
38.4.5.1	送信データ誤送信防止機能	2137
38.4.5.2	NACK 受信転送中断機能	2138
38.4.5.3	受信データ取りこぼし防止機能	2139
38.4.6	アービトレーションロスト検出機能	2141
38.4.6.1	マスタアービトレーションロスト検出機能 (MALE ビット)	2141
38.4.6.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	2143
38.4.6.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	2145
38.4.7	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能	2146
38.4.7.1	スタートコンディション発行動作	2146
38.4.7.2	リスタートコンディション発行動作	2146
38.4.7.3	ストップコンディション発行動作	2149
38.4.8	バスハングアップ	2150
38.4.8.1	タイムアウト検出機能	2150
38.4.8.2	SCL 追加出力機能	2151
38.4.9	SMBus 動作	2153
38.4.9.1	SMBus タイムアウト測定	2153
38.4.9.2	パケットエラーコード (PEC)	2154
38.4.9.3	SMBus ホスト通知プロトコル (Notify ARP master コマンド)	2155
38.5	割り込み要因	2156
38.5.1	TXI 割り込みおよび RXI 割り込みのバッファ動作	2156
38.6	イベントリンク機能	2157
38.6.1	割り込み処理とイベントリンクの関係	2157
38.7	リセットの説明	2158
38.8	使用上の注意事項	2160
38.8.1	モジュールストップ機能の設定	2160
39.	CAN モジュール (CAN)	2161
39.1	概要	2161
39.2	レジスタの説明	2164
39.2.1	制御レジスタ (CTRL)	2164
39.2.2	ビットコンフィギュレーションレジスタ (BCR)	2167
39.2.3	マスクレジスタ k (MKRk) (k = 0 ~ 7)	2169
39.2.4	FIFO 受信 ID 比較レジスタ 0、1 (FIDCR0、FIDCR1)	2170
39.2.5	マスク無効レジスタ (MKIVLR)	2171
39.2.6	メールボックスレジスタ j (MBj) (j = 0 ~ 31)	2172

39.2.7	メールボックス割り込み許可レジスタ (MIER)	2176
39.2.8	メッセージ制御レジスタ j (MCTLj) (j=0 ~ 31)	2177
39.2.9	受信 FIFO 制御レジスタ (RFCR)	2180
39.2.10	受信 FIFO ポインタ制御レジスタ (RFPCR)	2183
39.2.11	送信 FIFO 制御レジスタ (TFCR)	2183
39.2.12	送信 FIFO ポインタ制御レジスタ (TFPCR)	2186
39.2.13	ステータスレジスタ (STR)	2187
39.2.14	メールボックスサーチモードレジスタ (MSMR)	2189
39.2.15	メールボックスサーチステータスレジスタ (MSSR)	2190
39.2.16	チャンネルサーチサポートレジスタ (CSSR)	2191
39.2.17	アクセプタンスフィルタサポートレジスタ (AFSR)	2192
39.2.18	エラー割り込み許可レジスタ (EIER)	2193
39.2.19	エラー割り込み要因判定レジスタ (EIFR)	2195
39.2.20	受信エラーカウントレジスタ (RECR)	2197
39.2.21	送信エラーカウントレジスタ (TECR)	2198
39.2.22	エラーコード格納レジスタ (ECSR)	2198
39.2.23	タイムスタンプレジスタ (TSR)	2200
39.2.24	テスト制御レジスタ (TCR)	2201
39.3	動作モード	2203
39.3.1	CAN リセットモード	2204
39.3.2	CAN Halt モード	2205
39.3.3	CAN スリープモード	2206
39.3.4	CAN オペレーションモード (バスオフ状態以外)	2206
39.3.5	CAN オペレーションモード (バスオフ状態)	2207
39.4	CAN 通信速度の設定	2208
39.4.1	CAN クロックの設定	2208
39.4.2	ビットタイミングの設定	2208
39.4.3	ビットレート	2209
39.5	メールボックスとマスクレジスタの構成	2210
39.6	アクセプタンスフィルタ機能とマスク機能	2211
39.7	受信 / 送信	2214
39.7.1	受信	2215
39.7.2	送信	2217
39.8	CAN 割り込み	2218
39.9	使用上の注意事項	2218
39.9.1	モジュールストップ機能の設定	2218
40.	シリアルペリフェラルインタフェース (RSPId)	2219
40.1	概要	2219
40.2	レジスタの説明	2223
40.2.1	RSPI 制御レジスタ (SPCR)	2223

40.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	2225
40.2.3	RSPI 端子制御レジスタ (SPPCR)	2226
40.2.4	RSPI ステータスレジスタ (SPSR)	2227
40.2.5	RSPI データレジスタ (SPDR)	2231
40.2.6	RSPI シーケンス制御レジスタ (SPSCR)	2235
40.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	2236
40.2.8	RSPI ビットレートレジスタ (SPBR)	2237
40.2.9	RSPI データコントロールレジスタ (SPDCR)	2238
40.2.10	RSPI クロック遅延レジスタ (SPCKD)	2240
40.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	2241
40.2.12	RSPI 次アクセス遅延レジスタ (SPND)	2242
40.2.13	RSPI 制御レジスタ 2 (SPCR2)	2243
40.2.14	RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)	2244
40.2.15	RSPI データコントロールレジスタ 2 (SPDCR2)	2247
40.2.16	RSPI 制御レジスタ 3 (SPCR3)	2248
40.3	動作説明	2249
40.3.1	RSPI 動作の概要	2249
40.3.2	RSPI 端子の制御	2250
40.3.3	RSPI システム構成例	2251
40.3.3.1	シングルマスタ / シングルスレーブ (本 MCU = マスタ)	2251
40.3.3.2	シングルマスタ / シングルスレーブ (本 MCU = スレーブ)	2252
40.3.3.3	シングルマスタ / マルチスレーブ (本 MCU = マスタ)	2253
40.3.3.4	シングルマスタ / マルチスレーブ (本 MCU = スレーブ)	2254
40.3.3.5	マルチマスタ / マルチスレーブ (本 MCU = マスタ)	2255
40.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)	2256
40.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)	2256
40.3.4	データフォーマット	2257
40.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	2258
40.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	2262
40.3.4.3	バイトスワップ送信	2266
40.3.4.4	バイトスワップ受信	2267
40.3.5	転送フォーマット	2268
40.3.5.1	CPHA ビット = 0 の場合	2268
40.3.5.2	CPHA ビット = 1 の場合	2269
40.3.6	通信動作モード	2270
40.3.6.1	全二重通信 (SPCR.TXMD = 0, SPCR3.RXMD = 0)	2270
40.3.6.2	送信のみの単方向通信 (SPCR.TXMD = 1, SPCR3.RXMD = 0)	2271
40.3.6.3	受信のみの単方向通信 (SPCR3.RXMD = 0)	2272
40.3.7	送信バッファエンプティ / 受信バッファフル割り込み	2273

40.3.8	アイドル割り込み	2274
40.3.9	通信完了割り込み	2274
40.3.9.1	マスタモード時	2274
40.3.9.2	SPI 動作、スレーブモード時の全二重通信または送信のみの単方向通信	2275
40.3.9.3	SPI 動作、スレーブモード時の受信のみの単方向通信	2275
40.3.9.4	クロック同期式動作、スレーブモード時の全二重通信または送信のみの単方向通信	2275
40.3.9.5	クロック同期式動作、スレーブモード時の受信のみの単方向通信	2275
40.3.10	エラー検出	2276
40.3.10.1	オーバランエラー	2277
40.3.10.2	パリティエラー	2280
40.3.10.3	モードフォルトエラー	2281
40.3.10.4	アンダランエラー	2281
40.3.11	RSPI の初期化	2282
40.3.11.1	SPE ビットのクリアによる初期化	2282
40.3.11.2	システムリセット	2282
40.3.12	SPI 動作	2283
40.3.12.1	マスタモード動作	2283
40.3.12.2	スレーブモード動作	2294
40.3.13	クロック同期式動作	2300
40.3.13.1	マスタモード動作	2300
40.3.13.2	スレーブモード動作	2304
40.3.14	ループバックモード	2306
40.3.15	パリティビット機能の自己判断	2307
40.3.16	割り込み要因	2308
40.4	イベントリンク機能によるリンク動作	2309
40.4.1	受信バッファフルイベント出力	2309
40.4.2	送信バッファエンプティイベント出力	2309
40.4.3	モードフォルト/アンダラン/オーバラン/パリティエラーイベント出力	2309
40.4.4	アイドルイベント出力	2310
40.4.5	通信完了イベント出力	2310
40.5	使用上の注意事項	2311
40.5.1	モジュールストップ機能の設定	2311
40.5.2	消費電力低減機能の注意事項	2311
40.5.3	通信の開始に関する注意事項	2311
40.5.4	SPRF/SPTEF フラグに関する注意事項	2311
41.	シリアルペリフェラルインタフェース (RSPIA)	2312
41.1	概要	2312
41.2	レジスタの説明	2316
41.2.1	RSPI データレジスタ (SPDR)	2316

41.2.2	RSPI クロック遅延レジスタ (SPCKD)	2320
41.2.3	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	2321
41.2.4	RSPI 次アクセス遅延レジスタ (SPND)	2323
41.2.5	RSPI 制御レジスタ (SPCR)	2324
41.2.6	RSPI 受信専用モード制御レジスタ (SPRMCR)	2329
41.2.7	RSPI 受信データレディ検出条件設定レジスタ (SPDRCSR)	2330
41.2.8	RSPI 端子制御レジスタ (SPPCR)	2331
41.2.9	RSPI スレーブセレクト極性レジスタ (SSLP)	2332
41.2.10	RSPI ビットレートレジスタ (SPBR)	2333
41.2.11	RSPI シーケンス制御レジスタ (SPSCR)	2334
41.2.12	RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)	2335
41.2.13	RSPI データコントロールレジスタ (SPDCR)	2338
41.2.14	RSPI FIFO コントロールレジスタ (SPFCR)	2340
41.2.15	RSPI シーケンスステータスレジスタ (SPSSR)	2341
41.2.16	RSPI ステータスレジスタ (SPSR)	2342
41.2.17	RSPI 送信 FIFO ステータスレジスタ (SPTFSR)	2348
41.2.18	RSPI 受信 FIFO ステータスレジスタ (SPRFSR)	2348
41.2.19	RSPI ステータスクリアレジスタ (SPSCLR)	2349
41.2.20	RSPI FIFO クリアレジスタ (SPFCLR)	2350
41.3	動作説明	2351
41.3.1	RSPI 動作の概要	2351
41.3.2	RSPI 端子の制御	2353
41.3.3	RSPI システム構成例	2353
41.3.3.1	シングルマスタ / シングルスレーブ (本 MCU = マスタ)	2353
41.3.3.2	シングルマスタ / シングルスレーブ (本 MCU = スレーブ)	2354
41.3.3.3	シングルマスタ / マルチスレーブ (本 MCU = マスタ)	2355
41.3.3.4	シングルマスタ / マルチスレーブ (本 MCU = スレーブ)	2356
41.3.3.5	マルチマスタ / マルチスレーブ (本 MCU = マスタ)	2357
41.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)	2358
41.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)	2359
41.3.4	データフォーマット	2360
41.3.4.1	1 フレームのデータフォーマット	2360
41.3.4.2	パリティ機能無効 (SPPE = 0)	2361
41.3.4.3	パリティ機能有効時 (SPPE = 1)	2365
41.3.4.4	バイトスワップ送信	2369
41.3.4.5	バイトスワップ受信	2372
41.3.5	転送フォーマット (フレームフォーマット)	2376
41.3.5.1	CPHA = 0 の場合	2376
41.3.5.2	CPHA = 1 の場合	2378

41.3.6	通信モード	2380
41.3.6.1	送受信モード (CMMD[1:0]=00b)	2380
41.3.6.2	送信専用モード (CMMD[1:0] = 01b)	2381
41.3.6.3	受信専用モード (CMMD[1:0] = 10b)	2382
41.3.7	送信バッファエンプティ/受信バッファフル割り込み	2383
41.3.8	アイドル割り込み	2385
41.3.9	通信完了割り込み	2387
41.3.9.1	マスタ送受信モード/マスタ送信専用モード時	2387
41.3.9.2	マスタ受信専用モード時	2389
41.3.9.3	スレーブ送受信モード/スレーブ送信専用モード、SPI 動作時	2391
41.3.9.4	スレーブ受信専用モード、SPI 動作時	2393
41.3.9.5	スレーブ送受信モード/スレーブ送信専用モード、クロック同期動作時	2395
41.3.9.6	スレーブ受信専用モード、クロック同期動作時	2396
41.3.10	エラー検出	2397
41.3.10.1	オーバランエラー	2398
41.3.10.2	パリティエラー	2403
41.3.10.3	モードフォルトエラー	2404
41.3.10.4	アンダランエラー	2404
41.3.11	受信データレディ検出	2405
41.3.12	RSPIA の初期化	2406
41.3.12.1	SPE ビットのクリアによる初期化	2406
41.3.12.2	システムリセット	2406
41.3.13	SPI 動作	2407
41.3.13.1	マスタモード動作	2407
41.3.13.2	スレーブモード動作	2421
41.3.14	クロック同期式動作	2428
41.3.14.1	マスタモード動作	2428
41.3.14.2	スレーブモード動作	2432
41.3.15	ループバックモード	2434
41.3.16	パリティ機能の自己診断	2435
41.3.17	割り込み要求	2436
41.3.18	イベントリンク機能によるリンク動作	2437
41.3.18.1	受信バッファフルイベント出力	2437
41.3.18.2	送信バッファエンプティイベント出力	2437
41.3.18.3	エラーイベント出力	2438
41.3.18.4	アイドルイベント出力	2439
41.3.18.5	通信完了イベント出力	2440
41.4	使用上の注意事項	2442
41.4.1	モジュールストップ機能の設定	2442
41.4.2	通信の開始に関する注意事項	2442

41.4.3	エラーイベント出力に関する注意事項	2442
41.4.4	消費電力低減機能の注意事項	2442
41.4.5	SPRF/SPTEF フラグに関する注意事項	2442
41.4.6	マスタモード時のバースト転送に関する注意事項	2442
41.4.7	スレーブ TI SSP モード時の注意事項	2442
41.4.8	データ長に関する注意事項	2443
41.4.9	レジスタ書き換えに関する注意事項	2443
42.	クワッド SPI メモリインタフェース (QSPIX)	2445
42.1	概要	2445
42.2	レジスタの説明	2447
42.2.1	モードレジスタ 0 (SPMR0)	2447
42.2.2	スレーブセレクト信号制御レジスタ (SPSSCR)	2448
42.2.3	動作クロック制御レジスタ (SPOCR)	2449
42.2.4	プリフェッチステータスレジスタ (SPPFSR)	2450
42.2.5	SPI データレジスタ (SPDR)	2451
42.2.6	モードレジスタ 1 (SPMR1)	2451
42.2.7	SPI ステータスレジスタ (SPSR)	2452
42.2.8	独自リード命令設定レジスタ (SPRIR)	2452
42.2.9	アドレスモードレジスタ (SPAMR)	2453
42.2.10	ダミーサイクル制御レジスタ (SPDCR)	2454
42.2.11	モードレジスタ 2 (SPMR2)	2455
42.2.12	ポート制御レジスタ (SPPCR)	2455
42.2.13	上位アドレスレジスタ (SPUAR)	2456
42.3	メモリマップ	2457
42.4	SPI バス	2458
42.4.1	SPI プロトコル	2458
42.4.1.1	Single/ 拡張 SPI プロトコル	2458
42.4.1.2	Dual SPI プロトコル	2459
42.4.1.3	Quad SPI プロトコル	2459
42.4.2	SPI モード	2460
42.5	SPI バスタイミング調整	2461
42.5.1	SPI バス動作クロック	2461
42.5.2	QSPCLK 信号デューティ比	2462
42.5.3	QSSL 信号の最短 High 幅	2462
42.5.4	QSSL 信号セットアップ時間	2463
42.5.5	QSSL 信号ホールド時間	2463
42.5.6	シリアルデータ出力駆動時間	2464
42.6	ROM アクセスで使用する SPI 命令セット	2465
42.6.1	自動生成される SPI 命令	2465
42.6.2	Read 命令	2466

42.6.3	Fast Read 命令	2467
42.6.4	Fast Read Dual Output 命令	2468
42.6.5	Fast Read Dual I/O 命令	2469
42.6.6	Fast Read Quad Output 命令	2470
42.6.7	Fast Read Quad I/O 命令	2471
42.7	SPI バスサイクルの生成	2472
42.7.1	標準的な ROM 読み出し	2472
42.7.2	プリフェッチ機能を用いた ROM 読み出し	2472
42.7.3	プリフェッチの中断	2473
42.7.4	プリフェッチアドレスの指定	2473
42.7.5	プリフェッチ状態ポーリング	2473
42.7.6	スレーブセレクト延長機能を用いた ROM 読み出し	2474
42.8	XIP モード	2475
42.8.1	XIP モードの有効化	2475
42.8.2	XIP モードの終了	2475
42.9	QIO2 端子、QIO3 端子の状態	2476
42.10	間接アクセスモード	2476
42.10.1	間接アクセスモードの使用	2476
42.10.2	間接アクセスモード時の SPI バスサイクルの生成	2476
42.11	割り込み	2478
42.12	使用上の注意事項	2479
42.12.1	モジュールストップ機能の設定	2479
42.12.2	複数の制御レジスタの設定変更手順	2479
42.12.3	バスタイムアウト	2479
42.12.4	CPU のエンディアン設定に関する注意事項	2479
43.	CRC 演算器 (CRCA)	2480
43.1	概要	2480
43.2	レジスタの説明	2481
43.2.1	CRC コントロールレジスタ (CRCCR)	2481
43.2.2	CRC データ入力レジスタ (CRCDIR)	2482
43.2.3	CRC データ出力レジスタ (CRCDOR)	2483
43.3	CRC 演算器の動作説明	2484
43.4	使用上の注意事項	2487
43.4.1	モジュールストップ機能の設定	2487
43.4.2	送信時の注意事項	2487
44.	SD ホストインタフェース (SDHI)	2488
44.1	概要	2488
44.2	レジスタの説明	2490
44.2.1	コマンドレジスタ (SDCMD)	2490
44.2.2	アーギュメントレジスタ (SDARG)	2492

44.2.3	データストップレジスタ (SDSTOP)	2493
44.2.4	ブロックカウントレジスタ (SDBLKCNT)	2494
44.2.5	レスポンスレジスタ 10 (SDRSP10)、レスポンスレジスタ 32 (SDRSP32)、 レスポンスレジスタ 54 (SDRSP54)、レスポンスレジスタ 76 (SDRSP76)	2495
44.2.6	SD ステータスレジスタ 1 (SDSTS1)	2497
44.2.7	SD ステータスレジスタ 2 (SDSTS2)	2500
44.2.8	SD 割り込みマスクレジスタ 1 (SDIMSK1)	2504
44.2.9	SD 割り込みマスクレジスタ 2 (SDIMSK2)	2505
44.2.10	SDHI クロックコントロールレジスタ (SDCLKCR)	2506
44.2.11	転送データサイズレジスタ (SDSIZE)	2507
44.2.12	カードアクセスオプションレジスタ (SDOPT)	2508
44.2.13	SD エラーステータスレジスタ 1 (SDERSTS1)	2509
44.2.14	SD エラーステータスレジスタ 2 (SDERSTS2)	2510
44.2.15	SD バッファレジスタ (SDBUFR)	2511
44.2.16	SDIO モードコントロールレジスタ (SDIOMD)	2512
44.2.17	SDIO ステータスレジスタ (SDIOSTS)	2514
44.2.18	SDIO 割り込みマスクレジスタ (SDIOIMSK)	2515
44.2.19	DMA 転送許可レジスタ (SDDMAEN)	2516
44.2.20	SDHI ソフトウェアリセットレジスタ (SDRST)	2517
44.2.21	バージョンレジスタ (SDVER)	2518
44.2.22	スワップコントロールレジスタ (SDSWAP)	2519
44.3	動作説明	2520
44.3.1	SD カードのデータブロックフォーマット	2520
44.3.2	SD バッファと SDBUFR レジスタ	2521
44.3.3	SD カードの検出	2522
44.3.3.1	SDHI_CD 端子によるカード検出	2522
44.3.3.2	SDHI_D3 端子による SD カード検出	2523
44.3.4	SD カードのライトプロテクト	2523
44.3.4.1	SDHI_WP 端子によるライトプロテクト	2523
44.3.4.2	コマンドによるライトプロテクト	2523
44.3.5	通信エラーとタイムアウト	2524
44.3.6	コマンドの送信例	2525
44.3.6.1	レスポンスの受信およびデータ転送を行わないコマンド	2525
44.3.6.2	データ転送を行わないコマンド	2526
44.3.6.3	シングルブロックリードコマンド (CMD17)	2527
44.3.6.4	シングルブロックライトコマンド (CMD24)	2529
44.3.6.5	マルチブロックリードコマンド (CMD18)	2531
44.3.6.6	マルチブロックライトコマンド (CMD25)	2533
44.3.6.7	IO_RW_DIRECT コマンド (CMD52)	2535
44.3.6.8	IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード)	2536
44.3.6.9	IO_RW_EXTENDED (CMD53/ マルチブロックライト)	2538

44.3.6.10	DMA 転送	2540
44.4	割り込み	2542
44.4.1	割り込み要求による DMA 転送	2543
44.5	使用上の注意事項	2544
44.5.1	マルチブロックリード時における不正な読み出しとその回避方法	2544
44.5.2	SDBUFR レジスタ不正書き込みエラー	2545
44.5.3	SDHI クロック出力の自動制御	2545
44.5.4	マルチブロックライト時の C52PUB ビット設定制限	2545
44.5.5	SDCLKCR レジスタ設定時の注意	2546
44.5.6	マルチブロックリード中の SDSTOP レジスタへの設定	2546
44.5.7	モジュールストップ機能の設定	2546
45.	シリアルサウンドインタフェース (SSIE)	2547
45.1	概要	2547
45.2	レジスタの説明	2550
45.2.1	コントロールレジスタ (SSICR)	2550
45.2.2	ステータスレジスタ (SSISR)	2555
45.2.3	FIFO コントロールレジスタ (SSIFCR)	2558
45.2.4	FIFO ステータスレジスタ (SSIFSR)	2561
45.2.5	送信 FIFO データレジスタ (SSIFTDR)	2563
45.2.6	受信 FIFO データレジスタ (SSIFRDR)	2564
45.2.7	オーディオフォーマットレジスタ (SSIOFR)	2565
45.2.8	FIFO ステータスコントロールレジスタ (SSISCR)	2566
45.3	動作説明	2567
45.3.1	データフォーマット	2567
45.3.1.1	I ² S フォーマット	2568
45.3.1.2	左詰めフォーマット	2569
45.3.1.3	右詰めフォーマット	2569
45.3.1.4	モノラルフォーマット	2570
45.3.1.5	TDM フォーマット	2571
45.3.2	出力制御	2573
45.3.2.1	ミュート機能	2573
45.3.2.2	LRCK 連続出力機能	2574
45.3.2.3	BCK 連続出力停止機能	2574
45.3.3	通信モード	2575
45.3.3.1	スレーブモード	2575
45.3.3.2	マスタモード	2575
45.3.3.3	送信	2576
45.3.3.4	受信	2576
45.3.3.5	送受信	2576
45.3.4	状態遷移	2577

45.3.4.1	アイドル状態	2577
45.3.4.2	通信状態	2578
45.3.5	SSIE の初期設定	2579
45.3.6	送信	2580
45.3.7	受信	2581
45.3.8	通信停止	2582
45.3.9	エラー処理	2583
45.4	割り込み	2584
45.4.1	SSIF0 割り込み	2584
45.4.2	SSITXIO 割り込み	2585
45.4.3	SSIRXIO 割り込み	2586
45.5	注意事項	2587
45.5.1	モジュールストップ機能の設定	2587
45.5.2	スレーブモード時の LRCK に関する注意事項	2587
46.	リモコン信号受信機能 (REMCa)	2588
46.1	概要	2588
46.2	レジスタの説明	2590
46.2.1	機能選択レジスタ 0 (REMCN0)	2590
46.2.2	機能選択レジスタ 1 (REMCN1)	2591
46.2.3	ステータスレジスタ (REMSTS)	2592
46.2.4	割り込み制御レジスタ (REMINT)	2595
46.2.5	コンペア制御レジスタ (REMCPC)	2596
46.2.6	コンペア値設定レジスタ (REMCPCD)	2596
46.2.7	ヘッダパターン最小幅設定レジスタ (HDPMIN)	2597
46.2.8	ヘッダパターン最大幅設定レジスタ (HDPMAX)	2597
46.2.9	データ “0” パターン最小幅設定レジスタ (D0PMIN)	2597
46.2.10	データ “0” パターン最大幅設定レジスタ (D0PMAX)	2598
46.2.11	データ “1” パターン最小幅設定レジスタ (D1PMIN)	2598
46.2.12	データ “1” パターン最大幅設定レジスタ (D1PMAX)	2598
46.2.13	特殊データパターン最小幅設定レジスタ (SDPMIN)	2599
46.2.14	特殊データパターン最大幅設定レジスタ (SDPMAX)	2599
46.2.15	パターンエンド設定レジスタ (REMPE)	2600
46.2.16	受信ビット数レジスタ (REMRBIT)	2600
46.2.17	受信データ 0 レジスタ (REMDAT0)	2601
46.2.18	受信データ j レジスタ (REMDATj) (j = 1 ~ 7)	2601
46.2.19	測定結果レジスタ (REMTIM)	2602
46.2.20	リモコン信号受信端子制御レジスタ (REMPc)	2602
46.3	動作説明	2603
46.3.1	REMC 動作の概要	2603
46.3.2	初期設定	2603

46.3.3	パターン設定	2605
46.3.4	動作クロック	2608
46.3.4.1	REMC 動作クロックとしてサブクロックを使用する場合	2608
46.3.4.2	REMC 動作クロックとして TMR コンペアマッチ出力を使用する場合	2608
46.3.5	PMC0 入力	2608
46.3.6	パターン検出	2610
46.3.6.1	ヘッダパターン検出	2611
46.3.6.2	データ“0”パターン検出	2611
46.3.6.3	データ“1”パターン検出	2612
46.3.6.4	特殊データパターン検出	2612
46.3.6.5	パターン設定レジスタの設定例	2613
46.3.6.6	パターン検出によるステータスフラグ更新動作	2613
46.3.7	パターンエンド	2615
46.3.8	受信データバッファ	2616
46.3.9	コンペア機能	2620
46.3.10	エラーパターン受信	2621
46.3.11	パターン検出時のベースタイム値格納	2623
46.3.12	割り込み	2624
46.3.13	低消費電力状態でのデータ受信動作	2625
46.3.13.1	REMC 割り込み要求による低消費電力状態からの復帰	2625
46.3.13.2	ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイ でのデータ受信動作	2626
46.4	使用上の注意事項	2627
46.4.1	モジュールストップ機能の設定	2627
46.4.2	周辺モジュールクロックと REMC 動作クロックの設定	2627
46.4.3	リモコン信号受信機能の動作開始、停止	2627
46.4.4	レジスタアクセス	2627
46.4.5	PMC0 入力制御	2627
46.4.6	動作クロック変更時の注意事項	2628
46.4.7	レジスタ読み出し手順	2628
47.	静電容量式タッチセンサ (CTSUA)	2629
47.1	概要	2630
47.2	レジスタの説明	2631
47.2.1	CTSU 制御レジスタ 0 (CTSUCR0)	2631
47.2.2	CTSU 制御レジスタ 1 (CTSUCR1)	2633
47.2.3	CTSU 同期ノイズ低減設定レジスタ (CTSUSDPRS)	2634
47.2.4	CTSU センサ安定待ち時間レジスタ (CTSUSST)	2635
47.2.5	CTSU 計測チャンネルレジスタ 0 (CTSUMCH0)	2636
47.2.6	CTSU 計測チャンネルレジスタ 1 (CTSUMCH1)	2637
47.2.7	CTSU チャンネル有効制御レジスタ 0 (CTSUCHAC0)	2638

47.2.8	CTSU チャンネル有効制御レジスタ 1 (CTSUCHAC1)	2639
47.2.9	CTSU チャンネル有効制御レジスタ 2 (CTSUCHAC2)	2640
47.2.10	CTSU チャンネル送受信制御レジスタ 0 (CTSUCHTRC0)	2641
47.2.11	CTSU チャンネル送受信制御レジスタ 1 (CTSUCHTRC1)	2642
47.2.12	CTSU チャンネル送受信制御レジスタ 2 (CTSUCHTRC2)	2643
47.2.13	CTSU 高域ノイズ低減制御レジスタ (CTSUDCLKC)	2644
47.2.14	CTSU ステータスレジスタ (CTSUST)	2645
47.2.15	CTSU 高域ノイズ低減スペクトラム拡散制御レジスタ (CTSUSSC)	2647
47.2.16	CTSU センサオフセットレジスタ 0 (CTSUSO0)	2648
47.2.17	CTSU センサオフセットレジスタ 1 (CTSUSO1)	2649
47.2.18	CTSU センサカウンタ (CTSUSC)	2650
47.2.19	CTSU リファレンスカウンタ (CTSURC)	2651
47.2.20	CTSU エラーステータスレジスタ (CTSUERRS)	2652
47.2.21	CTSU 基準電流調整レジスタ (CTSUTRMR)	2653
47.3	動作説明	2654
47.3.1	計測動作原理	2654
47.3.2	計測モード	2656
47.3.2.1	初期設定フロー	2657
47.3.2.2	ステータスカウンタ	2658
47.3.2.3	自己容量シングルスキャンモード動作	2659
47.3.2.4	自己容量マルチスキャンモード動作	2661
47.3.2.5	相互容量フルスキャンモード動作	2663
47.3.3	複数モードに関わる共通事項	2666
47.3.3.1	センサ安定待ち時間と計測時間	2666
47.3.3.2	割り込み	2667
47.4	使用上の注意事項	2669
47.4.1	モジュールストップ機能の設定	2669
47.4.2	計測結果データ (CTSUSC カウンタ、CTSURC カウンタ)	2669
47.4.3	ソフトウェアトリガ	2669
47.4.4	外部トリガ	2669
47.4.5	強制停止の注意事項	2670
47.4.6	TSCAP 端子	2670
47.4.7	計測動作中 (CTSUCR0.CTUSSTRT ビット = 1) の注意事項	2670
48.	バウンダリスキャン	2671
48.1	概要	2671
48.2	レジスタの説明	2672
48.2.1	インストラクションレジスタ (JTIR)	2673
48.2.2	ID コードレジスタ (JTIDR)	2673
48.2.3	バイパスレジスタ (JTBPR)	2674
48.2.4	バウンダリスキャンレジスタ (JTBSR)	2674

48.3	動作説明	2685
48.3.1	TAP コントローラ	2685
48.3.2	コマンド一覧	2686
48.4	使用上の注意事項	2687
49.	Trusted Secure IP (TSIP)	2689
49.1	概要	2689
49.2	動作説明	2691
49.2.1	動作モードと状態遷移	2691
49.2.2	暗号エンジン	2692
49.2.3	鍵インストール	2693
49.2.4	暗号 / 復号処理	2694
49.2.5	鍵生成情報作成 (乱数使用)	2697
49.2.6	乱数生成	2697
49.3	割り込み	2698
49.4	使用上の注意事項	2698
49.4.1	スタンバイモード	2698
49.4.2	モジュールストップ機能の設定	2698
49.4.3	TSIP ライブラリ	2698
50.	12 ビット A/D コンバータ (S12ADFa)	2699
50.1	概要	2699
50.2	レジスタの説明	2706
50.2.1	A/D データレジスタ y (ADDR y) ($y = 0 \sim 11$)、 A/D データ二重化レジスタ (ADDBLDR)、 A/D データ二重化レジスタ A (ADDBLDRA)、 A/D データ二重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)	2706
50.2.2	A/D 自己診断データレジスタ (ADRD)	2709
50.2.3	A/D コントロールレジスタ (ADCSR)	2710
50.2.4	A/D チャネル選択レジスタ A0 (ADANSA0)	2715
50.2.5	A/D チャネル選択レジスタ B0 (ADANSB0)	2717
50.2.6	A/D チャネル選択レジスタ C0 (ADANSC0)	2719
50.2.7	A/D 変換値加算 / 平均機能チャネル選択レジスタ 0 (ADADS0)	2721
50.2.8	A/D 変換値加算 / 平均回数選択レジスタ (ADADC)	2724
50.2.9	A/D コントロール拡張レジスタ (ADCER)	2725
50.2.10	A/D 変換開始トリガ選択レジスタ (ADSTRGR)	2727
50.2.11	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	2730
50.2.12	A/D グループ C 拡張入力コントロールレジスタ (ADGCEXCR)	2732
50.2.13	A/D グループ C トリガ選択レジスタ (ADGCTRGR)	2733
50.2.14	A/D サンプリングステートレジスタ n (ADSSTR n) ($n = 0 \sim 11, T, O$)	2736
50.2.15	A/D 断線検出コントロールレジスタ (ADDISCR)	2738
50.2.16	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	2739

50.2.17	A/D コンペア機能コントロールレジスタ (ADCMPCR)	2741
50.2.18	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0 (ADCMPSR0)	2743
50.2.19	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPSER)	2745
50.2.20	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)	2746
50.2.21	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)	2749
50.2.22	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)	2750
50.2.23	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)	2753
50.2.24	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0 (ADCMPSR0)	2756
50.2.25	A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ (ADCMPSER)	2758
50.2.26	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)	2759
50.2.27	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)	2760
50.2.28	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)	2763
50.2.29	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)	2766
50.2.30	A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ (ADCMPBSR)	2768
50.2.31	A/D 逐次変換時間設定レジスタ (ADSAM)	2770
50.2.32	A/D 逐次変換時間設定プロテクト解除レジスタ (ADSAMPR)	2771
50.3	動作説明	2772
50.3.1	スキヤンの動作説明	2772
50.3.2	シングルスキヤンモード	2773
50.3.2.1	基本動作	2773
50.3.2.2	チャンネル選択と自己診断	2774
50.3.2.3	温度センサ出力 / 内部基準電圧選択時の A/D 変換動作	2775
50.3.2.4	ダブルトリガモード選択時の動作	2776
50.3.2.5	ダブルトリガ拡張モードの動作	2777
50.3.3	連続スキヤンモード	2779
50.3.3.1	基本動作	2779
50.3.3.2	チャンネル選択と自己診断	2780
50.3.3.3	温度センサ出力 / 内部基準電圧選択時の A/D 変換動作	2781
50.3.4	グループスキヤンモード	2782
50.3.4.1	基本動作	2782
50.3.4.2	ダブルトリガモード選択時の動作	2783
50.3.4.3	グループ優先制御動作	2785
50.3.5	拡張アナログ入力	2803
50.3.5.1	ANEX1 の使用方法	2803
50.3.6	コンペア機能 (ウィンドウ A、ウィンドウ B)	2805
50.3.6.1	コンペア機能ウィンドウ A/B	2805
50.3.6.2	コンペア機能制約	2806
50.3.7	アナログ入力のサンプリング時間とスキヤン変換時間	2807
50.3.7.1	グループ優先動作でのスキヤン中断 / 開始タイミング	2810
50.3.8	A/D データレジスタの自動クリア機能の使用例	2811

50.3.9	A/D 変換値加算 / 平均機能	2811
50.3.10	断線検出アシスト機能	2811
50.3.11	非同期トリガによる A/D 変換の開始	2813
50.3.12	周辺モジュールからの同期トリガによる A/D 変換の開始	2813
50.4	割り込み要因と DTC, DMAC 転送要求	2814
50.4.1	割り込み要求	2814
50.4.2	ELC へのスキャン終了イベント出力	2814
50.5	許容信号源インピーダンスについて	2815
50.6	使用上の注意事項	2816
50.6.1	データレジスタの読み出し注意事項	2816
50.6.2	A/D 変換停止時の注意事項	2816
50.6.2.1	A/D 変換停止手順	2816
50.6.2.2	モード / ステータスビットの注意事項	2818
50.6.3	A/D 変換強制停止と開始時の動作タイミング	2819
50.6.4	スキャン終了割り込み処理の注意事項	2819
50.6.5	モジュールストップ機能の設定	2819
50.6.6	低消費電力状態への遷移時の注意	2819
50.6.7	ソフトウェアスタンバイモード解除時の注意	2819
50.6.8	12 ビット A/D コンバータを使用する場合の端子の設定	2819
50.6.9	外部バス使用時の注意事項	2820
50.6.10	断線検出アシスト機能使用時の絶対精度誤差	2820
50.6.11	アナログ電源端子他の設定範囲	2820
50.6.12	ボード設計上の注意	2821
50.6.13	ノイズ対策上の注意	2822
51.	温度センサ (TEMPS)	2823
51.1	概要	2823
51.2	レジスタの説明	2824
51.2.1	温度センサコントロールレジスタ (TSCR)	2824
51.2.2	温度センサ校正データレジスタ (TSCDR)	2824
51.3	温度センサの使用法	2825
51.3.1	使用前の準備	2825
51.3.2	12 ビット A/D コンバータ (ユニット 1) の設定	2827
51.3.3	温度センサの使用手順	2828
51.3.4	温度センサ出力の A/D 変換タイミング	2829
51.4	使用上の注意事項	2829
51.4.1	モジュールストップ機能の設定	2829
52.	データ演算回路 (DOCA)	2830
52.1	概要	2830
52.2	レジスタの説明	2831
52.2.1	DOC コントロールレジスタ (DOCR)	2831

52.2.2	DOC ステータスレジスタ (DOSR)	2832
52.2.3	DOC ステータスクリアレジスタ (DOSCR)	2832
52.2.4	DOC データインプットレジスタ (DODIR)	2833
52.2.5	DOC データセッティングレジスタ 0 (DODSR0)	2833
52.2.6	DOC データセッティングレジスタ 1 (DODSR1)	2834
52.3	動作説明	2835
52.3.1	データ比較モード	2835
52.3.2	データ加算モード	2839
52.3.3	データ減算モード	2840
52.4	割り込み要求	2840
52.5	イベントリンク出力機能	2841
52.5.1	割り込み処理とイベントリンクの関係	2841
52.6	使用上の注意事項	2841
52.6.1	モジュールストップ機能の設定	2841
53.	RAM	2842
53.1	概要	2842
53.2	レジスタの説明	2843
53.2.1	RAM 動作モード制御レジスタ (RAMMODE)	2843
53.2.2	RAM エラーステータスレジスタ (RAMSTS)	2843
53.2.3	RAM エラーアドレスキャプチャレジスタ (RAMECAD)	2844
53.2.4	RAM プロテクトレジスタ (RAMPRCR)	2844
53.3	動作説明	2845
53.3.1	パリティチェック機能	2845
53.3.2	RAM エラー割り込み機能	2845
53.3.3	割り込み要因	2845
53.4	使用上の注意事項	2846
53.4.1	消費電力低減機能	2846
53.4.2	RAM のエラーチェック機能使用時の注意事項	2846
53.4.3	RAM の自己診断に関する注意事項	2846
54.	スタンバイ RAM	2847
54.1	概要	2847
54.2	動作説明	2847
54.2.1	データ保持	2847
54.2.2	消費電力低減機能	2847
55.	フラッシュメモリ (FLASH)	2848
55.1	概要	2848
55.2	ハードウェアインタフェース用領域	2851
55.3	メモリ構成	2852
55.4	レジスタの説明	2857
55.4.1	ROM キャッシュ許可レジスタ (ROMCE)	2857

55.4.2	ROM キャッシュ無効化レジスタ (ROMCIV)	2857
55.4.3	ノンキャッシュャブル領域 n アドレスレジスタ (NCRGn) (n = 0, 1)	2858
55.4.4	ノンキャッシュャブル領域 n 設定レジスタ (NCRCn) (n = 0, 1)	2859
55.4.5	フラッシュ P/E プロテクトレジスタ (FWEPROR)	2860
55.4.6	フラッシュアクセスステータスレジスタ (FASTAT)	2861
55.4.7	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	2862
55.4.8	フラッシュレディ割り込み許可レジスタ (FRDYIE)	2863
55.4.9	FACI コマンド処理開始アドレスレジスタ (FSADDR)	2864
55.4.10	FACI コマンド処理終了アドレスレジスタ (FEADDR)	2865
55.4.11	フラッシュステータスレジスタ (FSTATR)	2866
55.4.12	フラッシュ P/E モードエントリレジスタ (FENTRYR)	2870
55.4.13	フラッシュシーケンサ設定初期化レジスタ (FSUINITR)	2872
55.4.14	FACI コマンドレジスタ (FCMDR)	2873
55.4.15	データフラッシュブランクチェック制御レジスタ (FBCCNT)	2874
55.4.16	データフラッシュブランクチェックステータスレジスタ (FBCSTAT)	2874
55.4.17	データフラッシュ書き込み開始アドレスレジスタ (FPSADDR)	2875
55.4.18	フラッシュシーケンサ処理切り替えレジスタ (FCPSR)	2876
55.4.19	フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR)	2877
55.4.20	フラッシュアクセスウィンドウモニタレジスタ (FAWMON)	2878
55.4.21	スタートアップ領域コントロールレジスタ (FSUACR)	2879
55.4.22	データフラッシュメモリアクセス周波数設定レジスタ (EPPFCLK)	2880
55.4.23	ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)	2880
55.5	フラッシュメモリ関連の動作モード	2881
55.6	フラッシュシーケンサの動作モード	2882
55.7	機能概要	2883
55.7.1	ROM キャッシュ	2883
55.7.1.1	ノンキャッシュャブル領域の設定	2883
55.7.2	プログラム/イレーズ方式	2885
55.7.3	セキュリティ機能	2887
55.8	FACI コマンド	2888
55.8.1	FACI コマンド一覧	2888
55.8.2	フラッシュシーケンサの状態と FACI コマンドの関係	2890
55.8.3	FACI コマンドの使用方法	2892
55.8.3.1	コードフラッシュメモリ P/E モード移行	2892
55.8.3.2	データフラッシュメモリ P/E モード移行	2892
55.8.3.3	リードモード移行	2893
55.8.3.4	FACI コマンド使用時の概略フロー	2894
55.8.3.5	コマンドロック状態からの復帰	2895
55.8.3.6	プログラムコマンド	2896
55.8.3.7	ブロックイレーズコマンド	2898

55.8.3.8	マルチブロックイレーズコマンド	2899
55.8.3.9	P/E サスペンドコマンド	2900
55.8.3.10	P/E レジュームコマンド	2905
55.8.3.11	ステータスクリアコマンド	2906
55.8.3.12	強制終了コマンド	2907
55.8.3.13	ブランクチェックコマンド	2908
55.8.3.14	コンフィギュレーション設定コマンド	2910
55.9	サスペンド動作	2912
55.10	プロテクション機能	2913
55.10.1	ソフトウェアプロテクション	2913
55.10.1.1	FWEPOR レジスタによるプロテクト	2913
55.10.1.2	FENTRYR によるプロテクト	2913
55.10.2	エラープロテクション	2913
55.10.3	スタートアッププログラム保護機能	2916
55.10.4	エリアプロテクションによるプロテクト	2920
55.10.5	デュアルバンク機能	2921
55.10.5.1	バンクモード切り替え機能	2921
55.10.5.2	起動バンク選択機能	2922
55.11	ブートモード	2924
55.11.1	ブートモード (SCI インタフェース)	2924
55.11.2	ブートモード (USB インタフェース)	2925
55.11.3	ブートモード (FINE インタフェース)	2926
55.11.3.1	ブートモード (FINE インタフェース) の動作条件	2926
55.12	オンチップデバッグ ID コードプロテクト	2927
55.13	シリアルプログラマ ID コードプロテクト	2927
55.14	ROM コードプロテクト	2927
55.15	ブートモード通信プロトコル	2928
55.15.1	ブートモードの起動方法	2928
55.15.2	ブートモードの状態遷移	2929
55.15.2.1	ブートモード (SCI インタフェース) の状態遷移	2929
55.15.2.2	ブートモード (USB インタフェース) の状態遷移	2932
55.15.3	ビットレートの自動調整	2935
55.15.4	パケットフォーマット	2936
55.15.5	通信確立フェーズ	2937
55.15.6	コマンド待ちフェーズ	2938
55.15.7	コマンドの通信シーケンス	2939
55.15.8	未サポートコマンド	2941
55.15.9	デバイス種別取得コマンド	2942
55.15.10	エンディアン通知コマンド	2944
55.15.11	周波数設定コマンド	2945

55.15.12	ビットレート設定コマンド	2947
55.15.13	同期コマンド	2949
55.15.14	ID 認証モード取得コマンド	2950
55.15.15	シリアルプログラミング ID コードチェックコマンド	2951
55.15.16	ブランクチェックコマンド	2952
55.15.17	ブロックイレーズコマンド	2953
55.15.18	エリアイレーズコマンド	2954
55.15.19	プログラムコマンド	2955
55.15.20	リードコマンド	2958
55.15.21	コンフィギュレーションクリアコマンド	2960
55.15.22	単純加算サムチェックコマンド	2961
55.15.23	コンフィギュレーションプログラムコマンド	2963
55.15.24	コンフィギュレーションリードコマンド	2966
55.15.25	エリア情報数取得コマンド	2968
55.15.26	エリア情報取得コマンド	2969
55.15.27	使用例	2972
55.15.28	デュアルモード使用時のフラッシュメモリ書き換え	2973
55.16	シリアルプログラマでの書き換え	2975
55.16.1	プログラミング環境	2975
55.17	セルフプログラミングでの書き換え	2976
55.17.1	概要	2976
55.17.2	BGO 機能	2977
55.18	フラッシュメモリのリード	2977
55.18.1	コードフラッシュメモリのリード	2977
55.18.2	データフラッシュメモリのリード	2977
55.19	Trusted Memory	2978
55.19.1	TM 対象領域に配置するプログラム	2979
55.19.2	TM 機能を有効にする方法	2979
55.19.2.1	セルフプログラミングによる方法	2979
55.19.2.2	ブートモードによる方法	2981
55.19.3	TM 機能を無効にする方法	2982
55.19.4	TM 機能有効時の注意事項	2983
55.19.4.1	TM 対象領域のアクセス防止	2983
55.19.4.2	TM 対象領域に対する追加プログラム	2983
55.19.4.3	コンフィギュレーションクリアコマンド実行	2983
55.19.4.4	TM 対象領域に対する MPU 設定時	2983
55.19.4.5	TM 対象領域に対する FACI のブロックイレーズコマンドについて	2983
55.19.4.6	TM 機能の動作条件	2983
55.20	使用上の注意事項	2984
55.20.1	プログラム / イレーズを中断した領域およびサスペンド中の領域の読み出し	2984

55.20.2	プログラム/イレーズの中断	2984
55.20.3	追加プログラムの禁止	2984
55.20.4	プログラム/イレーズ、およびブランクチェック中のリセット	2984
55.20.5	プログラム/イレーズ中の割り込み/例外ベクタの配置	2984
55.20.6	プログラム/イレーズ中またはブランクチェック中の禁止事項	2984
55.20.7	ブートモード (USB インタフェース) における注意事項	2985
55.20.8	低速動作モード 1、低速動作モード 2 でのプログラム/イレーズ	2985
55.20.9	プログラムコマンド発行時の注意事項	2985
56.	電気的特性	2986
56.1	絶対最大定格	2986
56.2	推奨動作条件	2987
56.3	DC 特性	2988
56.4	AC 特性	2995
56.4.1	リセットタイミング	2997
56.4.2	クロックタイミング	2998
56.4.3	低消費電力状態からの復帰タイミング	3004
56.4.4	制御信号タイミング	3007
56.4.5	バスタイミング	3008
56.4.6	EXDMAC タイミング	3021
56.4.7	内蔵周辺モジュールタイミング	3022
56.4.7.1	I/O ポート	3022
56.4.7.2	TPU	3023
56.4.7.3	TMR	3024
56.4.7.4	CMTW	3024
56.4.7.5	MTU	3025
56.4.7.6	POE3	3026
56.4.7.7	A/D コンバータトリガ	3028
56.4.7.8	CAC	3028
56.4.7.9	SCI	3029
56.4.7.10	RSCI	3035
56.4.7.11	SSIE	3040
56.4.7.12	RSPI	3042
56.4.7.13	RSPIA	3047
56.4.7.14	QSPIX	3052
56.4.7.15	RIIC	3053
56.4.7.16	RIICHS	3055
56.4.7.17	SDHI	3059
56.5	USB 特性	3060
56.6	A/D 変換特性	3062
56.7	温度センサ特性	3063

56.8	CTSU 特性	3063
56.9	パワーオンリセット回路、電圧検出回路特性	3064
56.10	発振停止検出タイミング	3067
56.11	バッテリーバックアップ機能特性	3068
56.12	フラッシュメモリ特性	3070
56.13	バウンダリスキャン	3074
付録 1.	各動作モードにおけるポートの状態	3076
付録 2.	外形寸法図	3081
改訂記録	3089

120MHz、32ビットRX MCU、倍精度FPU内蔵、707 Coremark、最大2Mバイトフラッシュメモリ(デュアルバンク機能対応)、384KバイトSRAM、SD Host I/F、Quad SPI、CANなど多種多様な通信機能、静電容量式タッチセンサ、12ビットA/Dコンバータ、RTC、暗号機能、音源用シリアルI/F、リモコン信号受信機能

特長

■ 32ビットRXv3 CPU コア

- 最高動作周波数 120MHz
707 Coremark の性能 (120MHz 動作時)
- 64ビット倍精度浮動小数点 (IEEE754 に準拠)
- レジスタ一括退避機能を使用可能
- メモリプロテクションユニット (MPU) 対応
- JTAGおよびFINE (1線式)の2種類のデバッグインタフェース

■ 消費電力低減機能

- 2.7V ~ 3.6V 単一電源動作
- バッテリバックアップで動作可能な RTC、バックアップレジスタ
- 4種類の低消費電力モード

■ コードフラッシュメモリ

- 最大 2M バイト
- 60MHz 以下もしくは ROM キャッシュヒット時はウェイトなし、120MHz 以下の場合は 1 ウェイト
- オンボードおよびオフボードによるユーザ書き込み
- バックグラウンドでのプログラム/イレーズ (BGO)
- 起動バンクの入れ替えが可能なデュアルバンク機能搭載

■ データフラッシュメモリ

- 8K バイト (100k 回イレーズ可能)
- バックグラウンドでのプログラム/イレーズ (BGO)

■ SRAM

- 384K バイト SRAM (ノーウェイト)
- 4K バイト スタンバイ RAM (ディープソフトウェアスタンバイモード時、バックアップ可能)

■ 外部アドレス空間

- 高速動作バス (最高 60MHz)
- 8つの CS 領域をサポート
- エリアごとに 8/16 ビットバス空間を選択可能
- 独立した SDRAM 空間 (128M バイト)

■ データ転送機能

- DMAcAb : 8ch
- DTCb : 1ch
- EXDMAcA : 2ch

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) 機能搭載
- 低電圧検出機能 (LVD) 搭載
- バックアップ領域パワーダウン検出機能搭載

■ クロック機能

- 外部水晶発振、内部 PLL 対応 8MHz ~ 24MHz
- 32.768kHz 水晶発振子対応のサブクロック発振器を搭載
- 240kHz LOCO、16/18/20MHz から選択可能な HOCO を搭載
- IWDTa 用 120kHz クロック

■ リアルタイムクロック

- 補正機能 (30 秒、うるう年、誤差)
- 時計カウント、バイナリカウントモードを選択可能
- イベント端子入力による時間キャプチャ機能

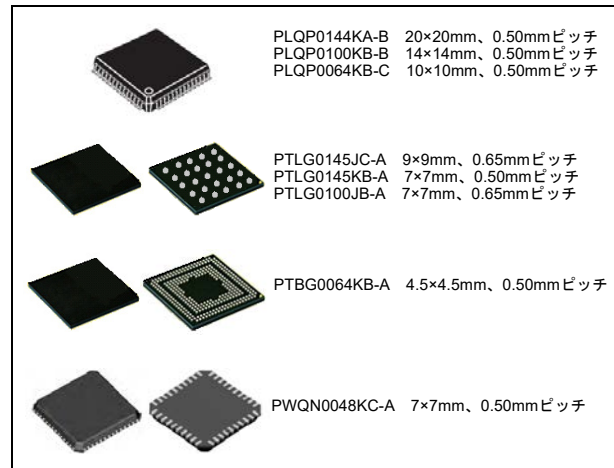
■ 独立ウォッチドッグタイマ

- 専用低速発振器による 120kHz クロック動作

■ IEC60730 対応機能

- 発振停止検出、周波数測定機能、CRCA、IWDTa、A/D 自己診断など
- 重要なレジスタを書き換えられないように保護するレジスタライトプロテクション機能

■ リモコン信号受信機能



PLQP0144KA-B 20×20mm、0.50mmピッチ
PLQP0100KB-B 14×14mm、0.50mmピッチ
PLQP0064KB-C 10×10mm、0.50mmピッチ

PTLG0145JC-A 9×9mm、0.65mmピッチ
PTLG0145KB-A 7×7mm、0.50mmピッチ
PTLG0100JB-A 7×7mm、0.65mmピッチ

PTBG0064KB-A 4.5×4.5mm、0.50mmピッチ

PWQN0048KC-A 7×7mm、0.50mmピッチ

■ 多種多様な通信機能

- USB2.0 フルスPEED ホスト/ファンクション/OTG (1ch) PHY 内蔵 (最大 2ch)
- CAN (ISO11898-1 準拠)、32 メールボックス内蔵 (最大 2ch)
- 多彩な機能に対応した SCIk、SCIm、SCIh (最大 13ch) 調歩同期モード/クロック同期モード/スマートカードインタフェースモード/簡易 SPI/簡易 I²C/拡張シリアルモードから選択
- 16 バイトの送受信 FIFO 搭載 SCIm (最大 2ch)
- マンチェスタコード機能、HBS 機能をサポートした RSCI (最大 2ch)
- I²C バスインタフェース (RIIC, RIICHS) 最大 3.4Mbps 転送 (最大 3ch)、RIICHS はハイスピードモードをサポート
- Single I/O の RSPId (3ch)、RSPIA (1ch) に加え、Quad I/O の QSPIX (1ch) を搭載、QSPIX はシリアルフラッシュからのフェッチをサポート
- SD Host I/F (1ch) SD メモリ /SDIO 通信用の SD バス (1 or 4 ビット) をサポート
- I²S や、様々なオーディオデータフォーマットに対応した SSIE

■ 最大 25 本の拡張タイマ機能

- 16 ビット TPUa、MTU3a
- 8 ビット TMRb (4ch)、16 ビット CMT (4ch)、32 ビット CMTW (2ch)

■ 12 ビット A/D コンバータ

- 12 ビット × 2 ユニット (ユニット 0: 8ch、ユニット 1: 12ch)
- 自己診断機能、アナログ入力断線検出機能

■ チップ内部の温度を計測可能な温度センサ

■ 静電容量式タッチセンサ

- 自己容量方式: 1 端子 1 キー構成で最大 17 キーに対応
- 相互容量方式: 17 本の端子のマトリクス構成により最大 64 キーに対応

■ 暗号機能

- Trusted Secure IP (TSIP)
AES128/192/256、TDES、ARC4、RSA、ECC、真性乱数生成回路 (TRNG)、SHA1、SHA224、SHA256、MD5、GHASH、鍵の不正コピー防止

■ 最大 114 本の汎用入出力ポート

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■ 動作周囲温度

- D バージョン: -40°C ~ +85°C
- G バージョン: -40°C ~ +105°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールおよび周辺モジュールのチャンネル数は、パッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/9)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最高動作周波数：120MHz 32ビットRX CPU (RXV3) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 113命令 <ul style="list-style-type: none"> 標準搭載命令：111命令 <ul style="list-style-type: none"> 基本命令：77命令 単精度浮動小数点演算命令：11命令 DSP機能命令：23命令 レジスタ括退避機能命令：2命令 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数(32ビット) IEEE754に準拠したデータタイプ、および例外
	倍精度浮動小数点コプロセッサ	<ul style="list-style-type: none"> 倍精度浮動小数点レジスタセット <ul style="list-style-type: none"> 倍精度浮動小数点データレジスタ：64ビット×16本 倍精度浮動小数点制御レジスタ：32ビット×4本 倍精度浮動小数点処理命令：21種類 倍精度浮動小数点例外の割り込みコントローラへの通知機能
	レジスタ括退避機能	<ul style="list-style-type: none"> CPUレジスタの退避・復帰を一括して高速に行う 16個のレジスタ退避バンクを搭載
メモリ	コードフラッシュメモリ	<ul style="list-style-type: none"> 容量：1M/1.5M/2Mバイト ROMキャッシュ：8Kバイト 60MHz以下の場合にはノーウェイトアクセス 120MHz以下の場合には1ウェイトアクセス ROMキャッシュにヒットしている命令/オペランドは120MHzノーウェイトアクセス可能 オンボードプログラミング：4種類 オフボードプログラミング(パラレルライターモード) Trusted Memory (TM)機能による、TM対象領域に格納したプログラムは命令実行のみ可能、データリード防止機能を実現 デュアルバンク方式によるリード時プログラミングおよび起動領域の入れ替えが可能
	データフラッシュメモリ	<ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレーズ回数：100,000回
	ユニークID	<ul style="list-style-type: none"> 16バイト長のデバイス固有のID
	RAM	<ul style="list-style-type: none"> 容量：384Kバイト 120MHz、ノーウェイトアクセス
	スタンバイRAM	<ul style="list-style-type: none"> 容量：4Kバイト PCLKB同期：60MHz max、2サイクルアクセス

表 1.1 仕様概要 (2 / 9)

分類	モジュール/機能	説明
動作モード		<ul style="list-style-type: none"> リセット解除時のモード設定端子による動作モード シングルチップモード ブートモード(SCIインタフェース) ブートモード(USBインタフェース) ブートモード(FINEインタフェース) レジスタ設定による動作モードの選択 シングルチップモード 内蔵ROM無効拡張モード 内蔵ROM有効拡張モード エンディアン選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 メインクロック発振器停止検出：あり システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、FlashIFクロック(FCLK)、外部バスクロック(BCLK)を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：120MHz max QSPIXはICLK同期：120MHz max MTU、RSPI、SCIm、RSPIA、RSCI、RIICHSの周辺モジュールは、PCLKA同期：120MHz max 上記以外の周辺モジュールは、PCLKB同期：60MHz max S12AD(ユニット0)のADCLKはPCLKC同期：60MHz max S12AD(ユニット1)のADCLKはPCLKD同期：60MHz max Flash IFは、FCLK同期：60MHz max 外部バスに接続するデバイスは、BCLK同期：60MHz max 高速オンチップオシレータHOCOをPLL回路のリファレンスクロックとして通倍可能 外部クロック入力周波数：30MHz(max) クロック出力機能
リセット		<p>9種類のリセットを内蔵</p> <ul style="list-style-type: none"> RES#端子リセット：RES#端子がLowで発生 パワーオンリセット：RES#端子がHighで、VCC = AVCC0 = AVCC1の上昇時発生 電圧監視0リセット：VCC = AVCC0 = AVCC1の下降時発生 電圧監視1リセット：VCC = AVCC0 = AVCC1の下降時発生 電圧監視2リセット：VCC = AVCC0 = AVCC1の下降時発生 ディープソフトウェアスタンバイリセット： ディープソフトウェアスタンバイモード解除の割り込みで発生 独立ウォッチドッグタイマリセット： 独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ウォッチドッグタイマリセット： ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ソフトウェアリセット：レジスタ設定で発生
パワーオンリセット		<ul style="list-style-type: none"> RES#端子をHighにして電源投入すると、内部リセットを発生 VCC = AVCC0 = AVCC1が電圧検出レベルを超えると、一定時間経過後解除
電圧検出回路(LVDA)		<p>VCC = AVCC0 = AVCC1端子に入力する電圧を監視し、内部リセットまたは割り込みを発生</p> <ul style="list-style-type: none"> 電圧検出回路0 内部リセット発生可能 オプション設定メモリで有効/無効を選択可 電圧検出レベル：3レベルから選択可(2.94V, 2.87V, 2.80V) 電圧検出回路1、2 電圧検出レベル：3レベルから選択可(2.99V, 2.92V, 2.85V) デジタルフィルタ機能有り(LOCOの2/4/8/16分周) 内部リセット発生可能 リセット解除タイミング2種類選択可 内部割り込み要求可能 上昇検知/下降検知選択可 マスクابل割り込みもしくはノンマスクابل割り込み選択可 電圧検出モニタ機能有り イベントリンク機能有り

表 1.1 仕様概要 (3 / 9)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
	バッテリーバックアップ機能	<ul style="list-style-type: none"> VCC端子が低下したとき、VBATT端子からのバッテリー電源でバックアップ電源領域に電力供給可能 バックアップ電源領域機能： サブクロック発振器 リアルタイムクロック バックアップレジスタ タンパ検出機能 バックアップ電源領域の電圧低下検出機能
割り込み	割り込みコントローラ (ICUE)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数256 外部割り込み：要因数16 (IRQ0～IRQ15端子) ソフトウェア割り込み：要因数2 ノンマスクابل割り込み：要因数8 16レベルの割り込み優先順位を設定可能 割り込み要因選択方式： 割り込みベクタは256ベクタで構成(128要因は固定ベクタ。残り128要因から133ベクタを選択)
外部バス拡張		<ul style="list-style-type: none"> 外部アドレス空間を8つのエリア (CS0～CS7)に分割して管理 各エリアの領域：16Mバイト (CS0～CS7) エリアごとにチップセレクト (CS0#～CS7#)出力可能 エリアごとに8ビットバス空間/16ビットバス空間を選択可能 エリアごとにエンディアンを設定可能(データのみ) SDRAMインタフェース接続可能 バス形式：セパレートバス、マルチプレクスバス ウェイト制御可能 ライトバッファ機能
DMA	DMAコントローラ (DMACAb)	<ul style="list-style-type: none"> 8チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み 転送空間：4Gバイト (0000 0000h～FFFF FFFFhのうち、予約領域以外の領域)
	EXDMAコントローラ (EXDMACa)	<ul style="list-style-type: none"> 2チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード、クラスタ転送モード EDACKn信号によるシングルアドレス転送が可能 起動要因：ソフトウェアトリガ、外部DMA転送要求 (EDREQn)、周辺機能割り込み
	データトランスファコントローラ (DTCb)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：外部割り込み、周辺機能割り込み シーケンス転送が可能

表 1.1 仕様概要 (4 / 9)

分類	モジュール/機能	説明
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> • 145ピンTFLGA (0.65mmピッチ) 入出力：111 入力：1 プルアップ抵抗：111 オープンドレイン出力：111 5Vトレラント：20 • 145ピンTFLGA (0.50mmピッチ)、144ピンLFQFP 入出力：113 入力：1 プルアップ抵抗：113 オープンドレイン出力：113 5Vトレラント：20 • 100ピンTFLGA、100ピンLFQFP 入出力：80 入力：1 プルアップ抵抗：80 オープンドレイン出力：80 5Vトレラント：18 • 64ピンTFBGA 入出力：43 入力：1 プルアップ抵抗：43 オープンドレイン出力：43 5Vトレラント：8 • 64ピンLFQFP 入出力：44 入力：1 プルアップ抵抗：44 オープンドレイン出力：44 5Vトレラント：8 • 48ピンHWQFN 入出力：33 入力：1 プルアップ抵抗：33 オープンドレイン出力：33 5Vトレラント：6
イベントリンクコントローラ(ELC)		<ul style="list-style-type: none"> • 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 • 99種類の内部イベントを自由に組み合わせで接続間の機能を連動可能 • 周辺機能のイベントで出力端子の状態を変更可能(ポートB、E) • 入力端子の変化で周辺機能が連動可能(ポートB、E)
タイマ	16ビットタイマパルスユニット(TPUa)	<ul style="list-style-type: none"> • (16ビット×6チャンネル)×1ユニット • 最大16本のパルス入出力が可能 • チャンネルごとに7種類または8種類のカウントクロックを選択可能 • インพุットキャプチャ/アウトプットコンペア機能をサポート • 最大15相のPWM波形を出力するPWMモード • チャンネルによりバッファ動作、位相計数モード(2相エンコーダ入力)、カスケード接続動作(32ビット×2チャンネル)をサポート • PPGの出力トリガを生成可能 • A/Dコンバータの変換開始トリガを生成可能 • インพุットキャプチャ端子におけるデジタルフィルタ機能 • ELCによるイベントリンク機能をサポート
	8ビットタイマ(TMRb)	<ul style="list-style-type: none"> • (8ビット×2チャンネル)×2ユニット • 7種類の内部クロック(PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192)と外部クロックを選択可能 • 任意のデューティ比のパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能 • A/Dコンバータの変換開始トリガを生成可能 • SCI5、SCI6、SCI12のポーレートクロック生成可能 • REMCの動作クロックを生成可能 • ELCによるイベントリンク機能をサポート

表 1.1 仕様概要 (5 / 9)

分類	モジュール/機能	説明
タイマ	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル)×2ユニット • 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 • ELCによるイベントリンク機能をサポート
	コンペアマッチタイマW (CMTW)	<ul style="list-style-type: none"> • (32ビット×1チャンネル)×2ユニット • コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 • 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 • コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 • ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDTA)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウンタクロック (PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192)を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウンタクロック：IWDT専用オンチップオシレータ • IWDT専用クロック/1、IWDT専用クロック/16、IWDT専用クロック/32、IWDT専用クロック/64、IWDT専用クロック/128、IWDT専用クロック/256 • ウィンドウ機能：ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間) • ELCによるイベントリンク機能をサポート
	マルチファンクションタイマパルスユニット3 (MTU3a)	<ul style="list-style-type: none"> • 9チャンネル(16ビット×8チャンネル、32ビット×1チャンネル) • 最大28本のパルス入出力、および3本のパルス入力が可能 • 14種類のカウンタクロック (PCLKA/1, PCLKA/2, PCLKA/4, PCLKA/8, PCLKA/16, PCLKA/32, PCLKA/64, PCLKA/256, PCLKA/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A)を選択可能 (チャンネル0は14種類、チャンネル1, 3, 4, 6, 7, 8は11種類、チャンネル2は12種類、チャンネル5は10種類) • インプットキャプチャ機能 • 39本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • カウンタクリア動作(コンペアマッチ/インプットキャプチャによる同時クリア可能) • 複数のタイマカウンタ(TCNT)への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 43種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル/PWM/相補PWM/リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力 • 位相計数モード：16ビットモード(チャンネル1、2)/32ビットモード(チャンネル1、2) • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能 • A/Dコンバータ開始間引き機能 • インプットキャプチャ、外部カウンタクロック端子におけるデジタルフィルタ機能 • PPGの出力トリガを生成可能 • ELCによるイベントリンク機能をサポート
ポートアウトプットイネーブル3 (POE3a)	<ul style="list-style-type: none"> • MTU波形出力端子のハイインピーダンス制御 • POE0#, POE4#, POE8#, POE10#, POE11#の5つの入力端子による起動 • 出力短絡検出(PWM出力が同時にアクティブレベルになったことを検出)による起動 • 発振停止検出/ソフトウェアによる起動 • 出力制御対象端子をプログラマブルに追加制御可能 	
プログラマブルパルスジェネレータ (PPG)	<ul style="list-style-type: none"> • (4ビット×4グループ)×2ユニット • MTU、またはTPUからの出力をトリガとしてパルスを出力 • 最大32本のパルス出力 	

表 1.1 仕様概要 (6 / 9)

分類	モジュール/機能	説明
タイマ	リアルタイムクロック (RTCd) (注1)	<ul style="list-style-type: none"> クロックソース：メインクロック、サブクロック 時計カウント/秒単位の32ビットバイナリカウントを選択可能 時計/カレンダー機能 割り込み要因：アラーム割り込み、周期割り込み、桁上げ割り込み バッテリーバックアップ動作 時間キャプチャ機能(最大3端子) ELCによるイベントリンク機能をサポート
通信機能	USB2.0 FS ホスト/ファンクションモジュール (USBb)	<ul style="list-style-type: none"> USB2.0 FSに対応したUDC (USB Device Controller)およびトランシーバを内蔵 最大2ポート USBバージョン2.0準拠 転送スピード：フルスピード(12Mbps)、ロースピード(1.5Mbps) (ホストのみ) セルフパワーモードおよびバスパワーモードの両方に対応 OTG (On-The-Go)に対応 (ロースピードは未対応) 通信バッファとして2KバイトのRAMを内蔵 外付けPull-Up抵抗、Pull-Down抵抗が不要
	シリアルコミュニケーションインタフェース (SClk, SCIm, SCIh)	<ul style="list-style-type: none"> 13チャンネル：(SCIk：10チャンネル + SCIh：1チャンネル + SCIm：2チャンネル) SCIk, SCIh, SCIm シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート SCIk, SCIh TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) ELCによるイベントリンク機能をサポート(チャンネル5のみ) SCIh スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート SCIm 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 SCIk, SCIm データ一致検出 RXDサンプリング調整機能
	シリアルコミュニケーションインタフェース (RSCI)	<ul style="list-style-type: none"> 2チャンネル(RSCI10, RSCI11) シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート ELCによるイベントリンク機能をサポート(RSCI10のみ) スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート 送信部、受信部ともに32バイトのFIFOバッファ構造による連続送信、受信が可能 マンチェスタコード機能をサポート HBS (ホームバスシステム)サポートモードを搭載 データ一致検出 RXDサンプリング調整機能

表 1.1 仕様概要 (7 / 9)

分類	モジュール/機能	説明
通信機能	I ² Cバスインタフェース (RIICa)	<ul style="list-style-type: none"> 3チャンネル(チャンネル0のみFM+に対応可能) 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート: 1Mbps (チャンネル0) ELCによるイベントリンク機能をサポート
	ハイスピードI ² Cバスインタフェース (RIICHS)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート: 3.4Mbps ELCによるイベントリンク機能をサポート
	CANモジュール(CAN)	<ul style="list-style-type: none"> 2チャンネル ISO11898-1仕様に準拠(標準フレーム/拡張フレーム) 32メールボックス/チャンネル
	シリアルペリフェラルインタフェース (RSPId)	<ul style="list-style-type: none"> 3チャンネル RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 バッファ構成 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート
	シリアルペリフェラルインタフェース (RSPIA)	<ul style="list-style-type: none"> 1チャンネル RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 バッファ構成 送信部、受信部ともに32ビット×4段のFIFOバッファ構造による連続送信、受信が可能 マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート 通信プロトコル: TI SSP (Synchronous Serial Protocol)をサポート
	クワッドSPIメモリアインタフェース(QSPIX)	<ul style="list-style-type: none"> 1チャンネル SPI互換インタフェースを持つシリアルフラッシュからフェッチ可能 拡張SPI、Dual-SPI、Quad-SPIの各プロトコルをサポート アドレス幅として8、16、24、32ビットから選択可能
	リモコン信号受信機能 (REMCa)	<ul style="list-style-type: none"> 1チャンネル 4パターン波形マッチング(ヘッダ、データ0、データ1、特殊データ判別) 受信バッファ8バイト(1ユニットあたり) 動作クロックを、PCLK、サブブロック、TMRから選択可能

表 1.1 仕様概要 (8 / 9)

分類	モジュール/機能	説明
シリアルサウンドインタフェース (SSIE)		<ul style="list-style-type: none"> 1チャンネル 全二重通信可能 多様なシリアルオーディオフォーマットをサポート マスタ/スレーブ機能をサポート ビットクロック周波数を13種類(1/1, 1/2, 1/4, 1/6, 1/8, 1/12, 1/16, 1/24, 1/32, 1/48, 1/64, 1/96, 1/128)から選択可能 8/16/18/20/22/24/32ビットデータフォーマットをサポート 送信用32段FIFO内蔵 データ転送停止時にSSILRCKを停止するかしないかを選択可能
SDホストインタフェース(SDHI)		<ul style="list-style-type: none"> 1チャンネル 転送スピード：ハイスピードモード(25MB/s)、 デフォルトスピードモード(12.5MB/s) SDメモリ/I/Oカードインタフェース(1ビット/4ビットSDバス) SD Specifications Part 1：Physical Layer Specification Ver.3.01準拠(DDR未対応) Part E1：SDIO Specification Ver. 3.00 エラーチェック機能：CRC7(コマンド)、CRC16(データ) 割り込み要因：カードアクセス割り込み、SDIOアクセス割り込み、カード検出割り込み、SDバッファアクセス割り込み DMA転送要因：SD_BUFライト、SD_BUFリード カード検出機能、ライトプロテクトをサポート
12ビットA/Dコンバータ(S12ADFa)		<ul style="list-style-type: none"> 12ビット×2ユニット(ユニット0：8チャンネル、ユニット1：12チャンネル) 分解能：12ビット(12ビット/10ビット/8ビットの分解能切り替え可能) 変換時間 1チャンネル当たり(0.48 μs)(12ビット変換モード) 1チャンネル当たり(0.45 μs)(10ビット変換モード) 1チャンネル当たり(0.42 μs)(8ビット変換モード) 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループ優先制御動作(3グループスキャンモードのみ) サンプル&ホールド機能 ユニット共通のサンプル&ホールド回路を搭載 サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 デジタルコンペア機能 方式：大小比較、またはウィンドウ比較 手段：2つの変換結果を比較、または比較レジスタと変換結果を比較 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧を生成可能 (ユニット0：VREFL0, VREFH0×1/2, VREFH0、ユニット1：AVSS1, AVCC1×1/2, AVCC1) ダブルトリガモード(A/D変換データ二重化機能) アナログ入力断線検出機能 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ(MTU, TMR, TPU)のトリガ、外部トリガ ELCによるイベントリンク機能をサポート
温度センサ		<ul style="list-style-type: none"> 1チャンネル 相対精度：±1°C 温度を電圧に変換し12ビットA/Dコンバータ(ユニット1)でデジタル化
静電容量式タッチセンサ(CTSUA)		<ul style="list-style-type: none"> 検出端子17チャンネル

表 1.1 仕様概要 (9 / 9)

分類	モジュール/機能	説明
セーフティ	メモリプロテクション ユニット(MPU)	<ul style="list-style-type: none"> プロテクションエリア：0000 0000h～FFFF FFFFh範囲内で最大8エリアを設定可能 最小保護単位：16バイト 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 設定エリア外へのアクセス検出時、アクセス例外が発生
	Trusted Memory (TM) 機能	<ul style="list-style-type: none"> コードフラッシュメモリのTM対象領域に対するプログラムのリード防止機能 TM機能有効時はCPUによる命令フェッチのみ実行可能、データリード防止
	レジスタライト プロテクション	<ul style="list-style-type: none"> プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算(CRCA)	<ul style="list-style-type: none"> 8ビット/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ 32ビットデータ 2つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止 検出機能	<ul style="list-style-type: none"> メインクロック発振停止検出：あり
	クロック周波数精度測定 回路(CAC)	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、IWDT専用オンチップオシレータ、およびPCLKBにおける出カクロック周波数の異常を監視可能
	データ演算回路(DOCA)	<ul style="list-style-type: none"> 32ビットのデータを比較/加算/減算/大小比較/ウィンドウ比較する機能
暗号機能	Trusted Secure IP (TSIP) (注2)	<ul style="list-style-type: none"> アクセスマネジメント回路搭載 暗号エンジン 共通鍵暗号：AES (NIST FIPS PUB 197準拠)、TDES、ARC4 公開鍵暗号：RSA、ECC ハッシュ機能：SHA1、SHA224、SHA256、MD5、GHASH その他の特長 TRNG (真性乱数生成回路) 鍵の不正コピー防止
動作周波数		120MHz max
電源電圧		VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 ~ 3.6V、 $2.7 \leq VREFH0 \leq AVCC0$ 、 $V_{BATT} = 1.62$ (注3) ~ 3.6V
動作周囲温度		Dバージョン：-40 ~ +85°C Gバージョン：-40 ~ +105°C
パッケージ		145ピンTFLGA (PTLG0145JC-A) 145ピンTFLGA (PTLG0145KB-A) 144ピンLFQFP (PLQP0144KA-B) 100ピンTFLGA (PTLG0100JB-A) 100ピンLFQFP (PLQP0100KB-B) 64ピンTFBGA (PTBG0064KB-A) 64ピンLFQFP (PLQP0064KB-C) 48ピンHWQFN (PWQN0048KC-A)
デバックインタフェース		JTAGおよびFINEインタフェース

注1. リアルタイムクロックを使用しない場合、「31.6.8 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロック内のレジスタを初期化してください。

注2. 暗号機能の有無で型名が異なります。

注3. $V_{BATT} < 2.0V$ の場合、低CL水晶振動子は使用できません。

表 1.2 パッケージ別機能比較一覧 (1 / 2)

機能	製品	RX671				
	パッケージ	145ピンTFLGA (0.65mmピッチ)	145ピンTFLGA (0.50mmピッチ) 144ピンLFQFP	100ピンTFLGA 100ピンLFQFP	64ピンTFBGA 64ピンLFQFP	48ピンHWQFN
コードフラッシュメモリ	コードフラッシュメモリ容量	1M/1.5M/2M バイト				
	デュアルバンク機能	あり				
	BGO機能	あり				
データフラッシュメモリ		8K バイト				
RAM		384K バイト				
スタンバイRAM		4K バイト				
外部バス	外部バス幅	16/8 ビット			なし	
	SDRAM領域コントローラ	あり			なし	
DMA	DMAコントローラ	ch0 ~ 7				
	データトランスファコントローラ	あり				
	EXDMAコントローラ	ch0, 1			なし	
タイマ	16ビットタイマパルスユニット	ch0 ~ 5				
	マルチファンクションタイマパルスユニット3	ch0 ~ 8				
	ポートアウトプットイネーブル3	あり				
	プログラマブルパルスジェネレータ	ch0, 1			なし	
	8ビットタイマ	ch0 ~ 3				
	コンペアマッチタイマ	ch0 ~ 3				
	コンペアマッチタイマW	ch0, 1				
	リアルタイムクロック	あり			なし	
	ウォッチドッグタイマ	あり				
	独立ウォッチドッグタイマ	あり				
通信	USB2.0 FS ホスト/ファンクションモジュール	ch0, 1	ch0		ch0 (注1)	なし
	シリアルコミュニケーションインタフェース (SCIk)	ch0 ~ 9		ch0 ~ 3, 5, 6, 8, 9	ch1 ~ 3, 5, 8, 9	
	シリアルコミュニケーションインタフェース (SCIm)	ch10, 11				
	シリアルコミュニケーションインタフェース (SCIh)	ch12				
	シリアルコミュニケーションインタフェース (RSCI)	ch10, 11				
	I ² Cバスインタフェース (RIIC)	ch0 ~ 2			ch0, 2	
	ハイスピードI ² Cバスインタフェース (RIICHS)	ch0				
	シリアルペリフェラルインタフェース (RSPI)	ch0 ~ 2			ch0, 1	
	シリアルペリフェラルインタフェース (RSPIA)	ch0				
	CANモジュール	ch0, 1			なし	
クワッドSPIメモリインタフェース (QSPIX)	ch0					

表 1.2 パッケージ別機能比較一覧 (2 / 2)

機能	製品	RX671				
	パッケージ	145ピンTFLGA (0.65mmピッチ)	145ピンTFLGA (0.50mmピッチ) 144ピンLFQFP	100ピンTFLGA 100ピンLFQFP	64ピンTFBGA 64ピンLFQFP	48ピンHWQFN
通信	SDホストインタフェース (SDHI)	あり				
	シリアルサウンドインタ フェース(SSIE)	ch0				
	リモコン信号受信機能(REMC)	ch0				
静電容量式タッチセンサ(CTSU)	17本+1本(TSCAP)			8本+1本 (TSCAP)	6本+1本 (TSCAP)	
12ビットA/Dコンバータ	ユニット0: 8ch ユニット1: 12ch		ユニット0: 8ch ユニット1: 8ch	ユニット0: 4ch ユニット1: 6ch	ユニット0: 4ch ユニット1: 4ch	
温度センサ	あり					
CRC演算器	あり					
データ演算回路(DOC)	あり					
クロック周波数精度測定回路(CAC)	あり					
Trusted Secure IP	あり/なし					
イベントリンクコントローラ(ELC)	あり					
バッテリーバックアップ機能	あり				なし	
バックアップレジスタ	あり					
オフボードプログラミング (パラレルライターモード)	あり			なし		

注1. ファンクションコントローラ機能のみサポートしています。

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧表 (1 / 3)

グループ	型名	パッケージ	コード フラッシュ メモリ容量	RAM容量	データ フラッシュ メモリ容量	動作周波数 (max)	暗号	動作周囲温度 (°C)
RX671 (Dバージョン)	R5F5671EHDFB	PLQP0144KA-B	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671EDDFB	PLQP0144KA-B	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671CHDFB	PLQP0144KA-B	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671CDDFB	PLQP0144KA-B	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F56719HDFB	PLQP0144KA-B	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F56719DDFB	PLQP0144KA-B	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671EHDFP	PLQP0100KB-B	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671EDDFP	PLQP0100KB-B	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671CHDFP	PLQP0100KB-B	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671CDDFP	PLQP0100KB-B	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F56719HDFP	PLQP0100KB-B	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F56719DDFP	PLQP0100KB-B	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671EHDFM	PLQP0064KB-C	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671EDDFM	PLQP0064KB-C	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671CHDFM	PLQP0064KB-C	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671CDDFM	PLQP0064KB-C	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F56719HDFM	PLQP0064KB-C	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F56719DDFM	PLQP0064KB-C	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671EHDNE	PWQN0048KC-A	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671EDDNE	PWQN0048KC-A	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671CHDNE	PWQN0048KC-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671CDDNE	PWQN0048KC-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F56719HDNE	PWQN0048KC-A	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F56719DDNE	PWQN0048KC-A	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671EHDBP	PTBG0064KB-A	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671EDDBP	PTBG0064KB-A	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671CHDBP	PTBG0064KB-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671CDDBP	PTBG0064KB-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F56719HDBP	PTBG0064KB-A	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F56719DDBP	PTBG0064KB-A	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671EHDLE	PTLG0145JC-A	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671EDDLE	PTLG0145JC-A	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671CHDLE	PTLG0145JC-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671CDDLE	PTLG0145JC-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F56719HDLE	PTLG0145JC-A	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F56719DDLE	PTLG0145JC-A	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671EHDLK	PTLG0145KB-A	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671EDDLK	PTLG0145KB-A	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F5671CHDLK	PTLG0145KB-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671CDDLK	PTLG0145KB-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
R5F56719HDLK	PTLG0145KB-A	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85	
R5F56719DDLK	PTLG0145KB-A	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85	
R5F5671EHDLJ	PTLG0100JB-A	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85	
R5F5671EDDLJ	PTLG0100JB-A	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85	

表1.3 製品一覧表 (2 / 3)

グループ	型名	パッケージ	コード フラッシュ メモリ容量	RAM容量	データ フラッシュ メモリ容量	動作周波数 (max)	暗号	動作周囲温度 (°C)
RX671 (Dバージョン)	R5F5671CHDLJ	PTLG0100JB-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F5671CDDLJ	PTLG0100JB-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
	R5F56719HDLJ	PTLG0100JB-A	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+85
	R5F56719DDLJ	PTLG0100JB-A	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+85
RX671 (Gバージョン)	R5F5671EHGFB	PLQP0144KA-B	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F5671EDGFB	PLQP0144KA-B	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F5671CHGFB	PLQP0144KA-B	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F5671CDGFB	PLQP0144KA-B	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F56719HGFB	PLQP0144KA-B	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F56719DGFB	PLQP0144KA-B	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F5671EHGFP	PLQP0100KB-B	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F5671EDGFP	PLQP0100KB-B	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F5671CHGFP	PLQP0100KB-B	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F5671CDGFP	PLQP0100KB-B	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F56719HGFP	PLQP0100KB-B	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F56719DGFP	PLQP0100KB-B	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F5671EHGFM	PLQP0064KB-C	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F5671EDGFM	PLQP0064KB-C	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F5671CHGFM	PLQP0064KB-C	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F5671CDGFM	PLQP0064KB-C	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F56719HGFM	PLQP0064KB-C	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F56719DGFM	PLQP0064KB-C	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F5671EHGNE	PWQN0048KC-A	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F5671EDGNE	PWQN0048KC-A	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F5671CHGNE	PWQN0048KC-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F5671CDGNE	PWQN0048KC-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F56719HGNE	PWQN0048KC-A	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F56719DGNE	PWQN0048KC-A	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F5671EHGBP	PTBG0064KB-A	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F5671EDGBP	PTBG0064KB-A	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F5671CHGBP	PTBG0064KB-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F5671CDGBP	PTBG0064KB-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F56719HGBP	PTBG0064KB-A	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F56719DGBP	PTBG0064KB-A	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F5671EHGLE	PTLG0145JC-A	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F5671EDGLE	PTLG0145JC-A	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
R5F5671CHGLE	PTLG0145JC-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105	
R5F5671CDGLE	PTLG0145JC-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105	
R5F56719HGLE	PTLG0145JC-A	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105	
R5F56719DGLE	PTLG0145JC-A	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105	
R5F5671EHGLK	PTLG0145KB-A	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105	
R5F5671EDGLK	PTLG0145KB-A	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105	
R5F5671CHGLK	PTLG0145KB-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105	
R5F5671CDGLK	PTLG0145KB-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105	
R5F56719HGLK	PTLG0145KB-A	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105	
R5F56719DGLK	PTLG0145KB-A	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105	
R5F5671EHGLJ	PTLG0100JB-A	2Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105	
R5F5671EDGLJ	PTLG0100JB-A	2Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105	

表1.3 製品一覧表 (3 / 3)

グループ	型名	パッケージ	コードフラッシュメモリ容量	RAM容量	データフラッシュメモリ容量	動作周波数(max)	暗号	動作周囲温度(°C)
RX671 (Gバージョン)	R5F5671CHGLJ	PTLG0100JB-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F5671CDGLJ	PTLG0100JB-A	1.5Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105
	R5F56719HGLJ	PTLG0100JB-A	1Mバイト	384Kバイト	8Kバイト	120MHz	あり	-40~+105
	R5F56719DGLJ	PTLG0100JB-A	1Mバイト	384Kバイト	8Kバイト	120MHz	なし	-40~+105

注. 発注型名につきましては、ルネサス エレクトロニクスのホームページで確認してください。

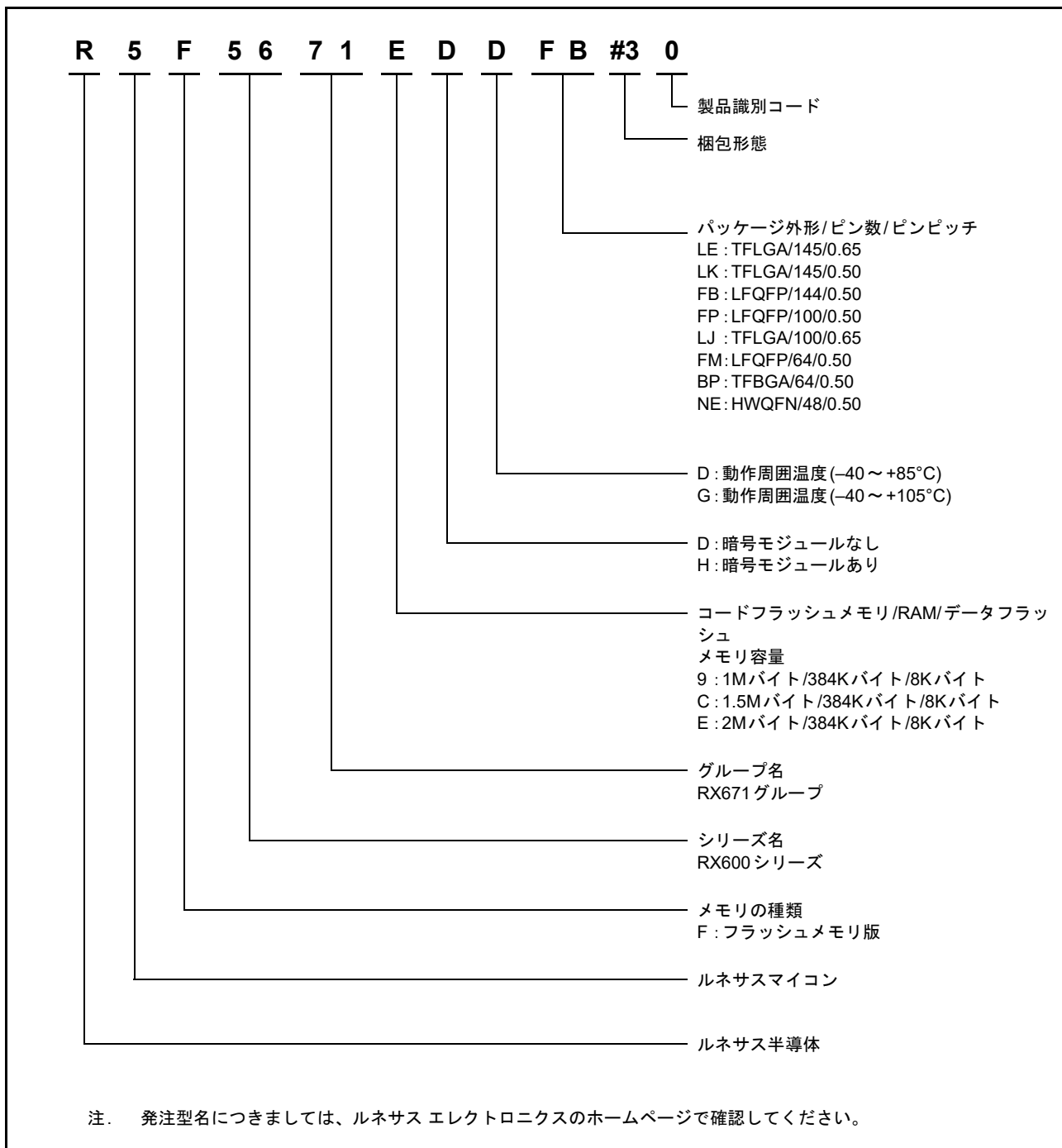


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

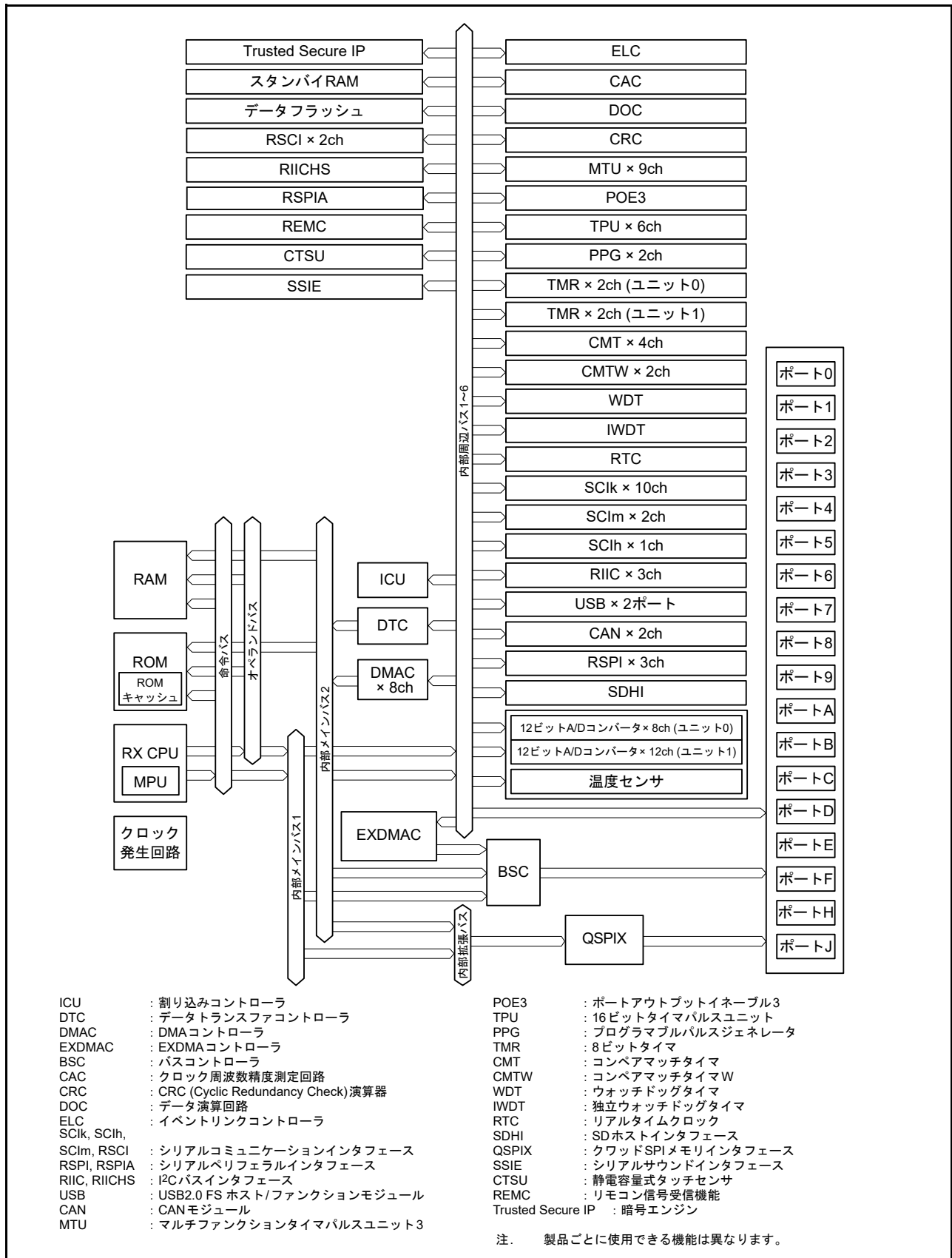


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 7)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	入力	0.22μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源(0V)に接続してください
	VBATT	入力	バックアップ電源端子
クロック	XTAL	出力	水晶振動子接続端子。EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
	SDCLK	出力	SDRAM専用のクロック出力端子
	XCOUT	出力	サブクロック発振器の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください
	XCIN	入力	
	CLKOUT	出力	クロック出力端子
	EXCIN	入力	RTC、バッテリーバックアップ、REMC用外部クロック入力端子
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路のリファレンスクロック入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中に変化させないでください
	UB	入力	USBブートモードイネーブル端子
	UPSEL	入力	USBブートモード時の電源供給方式を選択 Lowでセルフパワー、Highでバスパワーを選択
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowにしてください
	BSCANP	入力	バウンダリスキャン許可端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
	TRST#	入力	オンチップエミュレータ用またはバウンダリスキャン用端子。 EMLE端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC TRSYNC1	出力	TRDATA0～TRDATA7端子からの出力が有効データであることを示します
	TRDATA0 TRDATA1 TRDATA2 TRDATA3 TRDATA4 TRDATA5 TRDATA6 TRDATA7	出力	トレース情報を出力します
	アドレスバス	A0～A23	出力
データバス	D0～D15	入出力	双方向データバス

表 1.4 端子機能一覧 (2 / 7)

分類	端子名	入出力	機能
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロープ信号
	WR#	出力	1ライトストロープモード時、外部バスインタフェース空間をライト中であることを示すストロープ信号
	WR0#, WR1#	出力	バイトストロープモード時、外部バスインタフェース空間をライト中で、データバス(D7～D0, D15～D8)のいずれかが有効であることを示すストロープ信号
	BC0#, BC1#	出力	1ライトストロープモード時、外部バスインタフェース空間をアクセス中で、データバス(D7～D0, D15～D8)のいずれかが有効であることを示すストロープ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0#～CS7#	出力	CS領域選択信号
SDRAMインタフェース	CKE	出力	SDRAMクロックイネーブル信号
	SDCS#	出力	SDRAMチップセレクト信号
	RAS#	出力	SDRAMロウアドレスストロープ信号
	CAS#	出力	SDRAMカラムアドレスストロープ信号
	WE#	出力	SDRAMライトイネーブル端子
	DQM0, DQM1	出力	SDRAM入出力データマスキイネーブル信号
EXDMAコントローラ	EDREQ0, EDREQ1	入力	外部DMA転送要求端子
	EDACK0, EDACK1	出力	シングルアドレス転送アクリッジ信号
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0～IRQ15, IRQ0-DS～IRQ15-DS	入力	割り込み要求端子
マルチファンクションタイマパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0～TGRD0のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3～TGRD3のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4～TGRD4のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインพุットキャプチャ入力/デッドタイム補償機能の入力端子
	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6～TGRD6のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7～TGRD7のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC8A, MTIOC8B, MTIOC8C, MTIOC8D	入出力	TGRA8～TGRD8のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックを入力、または位相計数モードクロック入力端子
ポートアウトプットイネーブル3	POE0#, POE4#, POE8#, POE10#, POE11#	入力	MTUをハイインピーダンス状態にする要求信号を入力

表 1.4 端子機能一覧 (3 / 7)

分類	端子名	入出力	機能
16ビットタイマ パルスユニット	TIOCA0, TIOCB0, TIOCC0, TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコン ペア出力/PWM出力端子
	TIOCA1, TIOCB1	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコン ペア出力/PWM出力端子
	TIOCA2, TIOCB2	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコン ペア出力/PWM出力端子
	TIOCA3, TIOCB3, TIOCC3, TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコン ペア出力/PWM出力端子
	TIOCA4, TIOCB4	入出力	TGRA4, TGRB4のインプットキャプチャ入力/アウトプットコン ペア出力/PWM出力端子
	TIOCA5, TIOCB5	入出力	TGRA5, TGRB5のインプットキャプチャ入力/アウトプットコン ペア出力/PWM出力端子
	TCLKA, TCLKB, TCLKC, TCLKD	入力	外部クロックを入力、または位相計数モードクロック入力端子
プログラマブルパルス ジェネレータ	PO0～PO31	出力	パルス出力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCI0～TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
コンペアマッチタイマW	TIC0～TIC3	入力	CMTWの入力端子
	TOC0～TOC3	出力	CMTWの出力端子
シリアル コミュニケーション インタフェース (SCIk)	• 調歩同期モード/クロック同期モード		
	SCK0～SCK9	入出力	クロック入出力端子
	RXD0～RXD9	入力	受信データ入力端子
	TXD0～TXD9	出力	送信データ出力端子
	CTS0#～CTS9#	入力	送受信開始制御用入力端子
	RTS0#～RTS9#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL0～SSCL9	入出力	I ² Cクロック入出力端子
	SSDA0～SSDA9	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK0～SCK9	入出力	クロック入出力端子
	SMISO0～SMISO9	入出力	スレーブ送出データ入出力端子
	SMOSI0～SMOSI9	入出力	マスタ送出データ入出力端子
	SS0#～SS9#	入力	チップセレクト入力端子
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期モード/クロック同期モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子

表 1.4 端子機能一覧 (4 / 7)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIh)	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入力	受信データ入力端子
	TXDX12	出力	送信データ出力端子
SIOX12	入出力	送受信データ入出力端子	
シリアル コミュニケーション インタフェース (SCIm)	• 調歩同期式モード/クロック同期式モード		
	SCK10, SCK11	入出力	クロック入出力端子
	RXD10, RXD11	入力	受信データ入力端子
	TXD10, TXD11	出力	送信データ出力端子
	CTS10#, CTS11#	入力	送受信開始制御用入力端子
	RTS10#, RTS11#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL10, SSCL11	入出力	I ² Cクロック入出力端子
	SSDA10, SSDA11	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK10, SCK11	入出力	クロック入出力端子
	SMISO10, SMISO11	入出力	スレーブ送出データ入出力端子
	SMOSI10, SMOSI11	入出力	マスタ送出データ入出力端子
	SS10#, SS11#	入力	チップセレクト入力端子
シリアル コミュニケーション インタフェース (RSCI)	• 調歩同期式モード/クロック同期式モード		
	SCK010, SCK011	入出力	クロック入出力端子
	RXD010, RXD011	入力	受信データ入力端子
	TXD010, TXD011	出力	送信データ出力端子
	CTS010#, CTS011#	入力	送受信開始制御用入力端子
	RTS010#, RTS011#	出力	送受信開始制御用出力端子
	DE010, DE011	出力	DriveEnable出力端子
	• 簡易I ² Cモード		
	SSCL010, SSCL011	入出力	I ² Cクロック入出力端子
	SSDA010, SSDA011	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK010, SCK011	入出力	クロック入出力端子
	SMISO010, SMISO011	入出力	スレーブ送出データ入出力端子
	SMOSI010, SMOSI011	入出力	マスタ送出データ入出力端子
	SS010#, SS011#	入力	チップセレクト入力端子
	• HBSサポートモード		
	RXD010, RXD011	入力	受信データ入力端子
	TXD010, TXD011, TXDA011, TXDB011	出力	送信データ出力端子
I ² Cバスインタフェース	SCL0[FM+], SCL1, SCL2, SCL2-DS	入出力	クロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0[FM+], SDA1, SDA2, SDA2-DS	入出力	データ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます

表 1.4 端子機能一覧 (5 / 7)

分類	端子名	入出力	機能
ハイスピードI ² Cバス インタフェース (RIICHS)	SCLHS0[FM+/HS]	入出力	クロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDAHS0[FM+/HS]	入出力	データ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
USB2.0 ホスト/ファンク ションモジュール	VCC_USB	入力	電源端子
	VSS_USB	入力	グラウンド端子
	USB0_DP, USB1_DP	入出力	USBバスのD+データ
	USB0_DM, USB1_DM	入出力	USBバスのD-データ
	USB0_EXICEN, USB1_EXICEN	出力	OTG電源ICに接続
	USB0_ID, USB1_ID	入力	OTG電源ICに接続
	USB0_VBUSEN, USB1_VBUSEN	出力	USB用VBUSパワーイネーブル端子
	USB0_OVRCURA/ USB0_OVRCURB, USB1_OVRCURA/ USB1_OVRCURB	入力	USB用オーバカレント端子
	USB0_VBUS, USB1_VBUS	入力	USBケーブルの接続/切断検出入力端子
CANモジュール	CRX0, CRX1, CRX1-DS	入力	入力端子
	CTX0, CTX1	出力	出力端子
シリアルペリフェラル インタフェース	RSPCKA-A/RSPCKA-B/ RSPCKB-A/RSPCKB-B/ RSPCKC-A/RSPCKC-B	入出力	クロック入出力端子
	MOSIA-A/MOSIA-B/ MOSIB-A/MOSIB-B/ MOSIC-A/MOSIC-B	入出力	マスタ送出データ入出力端子
	MISOA-A/MISOA-B/ MISOB-A/MISOB-B/ MISOC-A/MISOC-B	入出力	スレーブ送出データ入出力端子
	SSLA0-A/SSLA0-B/ SSLB0-A/SSLB0-B/ SSLC0-A	入出力	スレーブセレクト入出力端子
	SSLA1-A/SSLA1-B/ SSLB1-A/SSLB1-B/ SSLC1-A, SSLA2-A/SSLA2-B/ SSLB2-A/SSLB2-B/ SSLC2-A, SSLA3-A/SSLA3-B/ SSLB3-A/SSLB3-B/ SSLC3-A	出力	スレーブセレクト出力端子
シリアルペリフェラルイ ンタフェース (RSPIA)	RSPCK0-A/RSPCK0-B	入出力	クロック入出力端子
	MOSI0-A/MOSI0-B	入出力	マスタ送出データ入出力端子
	MISO0-A/MISO0-B	入出力	スレーブ送出データ入出力端子
	SSL00-A/SSL00-B	入出力	スレーブセレクト入出力端子
	SSL01-A/SSL01-B, SSL02-A/SSL02-B, SSL03-A/SSL03-B	出力	スレーブセレクト出力端子
クワッドSPIメモリー インタフェース	QSPCLK-A/QSPCLK-B	出力	クロック出力端子
	QSSL-A/QSSL-B	出力	スレーブセレクト出力端子
	QIO0-A/QIO0-B, QIO1-A/QIO1-B, QIO2-A/QIO2-B, QIO3-A/QIO3-B	入出力	データ入出力端子

表 1.4 端子機能一覧 (6 / 7)

分類	端子名	入出力	機能
シリアルサウンドインタフェース	SSIBCK0	入出力	SSIEシリアルビットクロック端子
	SSILRCK0	入出力	LRクロック
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子(入力オーバーサンプリングクロック)
SDホストインタフェース	SDHI_CLK-A/SDHI_CLK-B/SDHI_CLK-C	出力	SDクロック出力端子
	SDHI_CMD-A/SDHI_CMD-B/SDHI_CMD-C	入出力	SDコマンド出力、レスポンス入力信号端子
	SDHI_D3-A/SDHI_D3-B/SDHI_D3-C~SDHI_D0-A/SDHI_D0-B/SDHI_D0-C	入出力	SDデータバス端子
	SDHI_CD	入力	SDカード検出端子
	SDHI_WP	入力	SDライトプロテクト信号
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロック出力端子
	RTCIC0~RTCIC2	入力	時間キャプチャイベント入力端子
バッテリーバックアップ	TAMPI0~TAMPI2	入力	タンパ検出
リモコン信号受信機能(REMC)	PMC0-DS	入力	外部パルス信号入力端子
12ビットA/Dコンバータ	AN000~AN007, AN100~AN111	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#, ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
	ANEX0	出力	拡張アナログ出力端子
	ANEX1	入力	拡張アナログ入力端子
静電容量式タッチセンサ(CTSUS)	TS0~TS16	入出力	静電容量計測端子(タッチ端子)
	TSCAP	—	内部電源安定用の平滑コンデンサ(10nF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
アナログ電源	AVCC0(注1)	入力	12ビットA/Dコンバータ(ユニット0)のアナログ電源端子。電源供給元から分岐させて、VCCと接続してください。0.1μFの積層セラミックコンデンサを介してAVSS0に接続してください。コンデンサは端子近くに配置してください
	AVSS0(注1)	入力	12ビットA/Dコンバータ(ユニット0)のアナロググランド端子。グランド供給元から分岐させて、VSSと接続してください。0.1μFの積層セラミックコンデンサを介してAVCC0に接続してください。コンデンサは端子近くに配置してください
	VREFH0	入力	12ビットA/Dコンバータ(ユニット0)の基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	入力	12ビットA/Dコンバータ(ユニット0)の基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	AVCC1(注1)	入力	12ビットA/Dコンバータ(ユニット1)のアナログ電源と基準電源の端子です。また、温度センサのアナログ電源端子にもなっています。電源供給元から分岐させて、VCCと接続してください。0.1μFの積層セラミックコンデンサを介してAVSS1に接続してください。コンデンサは端子近くに配置してください
アナログ電源	AVSS1(注1)	入力	12ビットA/Dコンバータ(ユニット1)のアナロググランドと基準グランドの端子です。また、温度センサのアナロググランド端子にもなっています。グランド供給元から分岐させて、VSSと接続してください。0.1μFの積層セラミックコンデンサを介してAVCC1に接続してください。コンデンサは端子近くに配置してください

表 1.4 端子機能一覧 (7 / 7)

分類	端子名	入出力	機能
I/Oポート	P00～P03, P05, P07	入出力	6ビットの入出力端子
	P12～P17	入出力	6ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子(P35は入力端子)
	P40～P47	入出力	8ビットの入出力端子
	P50～P56	入出力	7ビットの入出力端子
	P60～P67	入出力	8ビットの入出力端子
	P70～P77	入出力	8ビットの入出力端子
	P80～P83, P86, P87	入出力	6ビットの入出力端子
	P90～P93	入出力	4ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF5	入出力	1ビットの入出力端子
	PH1, PH2	入出力	2ビットの入出力端子
	PJ3, PJ5	入出力	2ビットの入出力端子

注. 端子名については、以下の注意事項があります。詳細は、「1.6 機能別端子一覧」を参照してください。

- 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせで使用することを推奨します。RSPI、RSPIA、QSPIX、SDHIのAC特性は、各グループ内の端子間で測定しています。
- 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。
- RIIC、RIICHSの端子名に[FM+]が付加されている端子は、ファストモードプラスに対応しています。

注1. 12ビットA/Dコンバータ、温度センサを使用しない場合、AVCC0、AVCC1端子はVCCに、AVSS0、AVSS1端子はVSSにそれぞれ接続してください。

1.5 ピン配置図

1.5.1 145ピン TFLGA (0.65mm ピッチ)

	A	B	C	D	E	F	G	H	J	K	L	M	N	
13	PE3	PE4	VSS	PE6	P67	PA2	USB1_ DP	USB1_ DM	PB1	PB5	VSS	VCC	P74	13
12	PE1	PE2	P70	PE5	P65	PA1	VSS_ USB	VCC_ USB	PB2	PB6	P73	PC1	P75	12
11	P62	P61	PE0	VCC	P66	PA4	PA6	PA7	PB4	PB7	PC2	PC0	PC3	11
10	VSS	VCC	P63	PE7	PA0	PA3	PA5	PB0	PB3	P76	PC4	P77	P82	10
9	PD6	PD4	PD7	P64	RX671 グループ PTLG0145JC-A (0.65mm ピッチ 145ピン TFLGA) (上面透視図)					P80	PC5	P81	PC7	9
8	PD2	PD0	PD3	P60						VCC	P83	PC6	VSS	8
7	P92	P91	PD1	PD5						P51	P52	P50	P55	7
6	P90	P47	VSS	P93						P53	P56	VSS_ USB	PH1/ USB0_ DP	6
5	P45	P43	P46	VCC						P44	P54	P13	VCC_ USB	PH2/ USB0_ DM
4	P42	VREFL0	P41	P01	EMLE	VBATT	BSCANP	P35	P30	P15	P24	P12	P14	4
3	P40	P05	VREFH0	P03	PJ5	PJ3	MD/ FINED	VSS	P32	P31	P16	P86	P87	3
2	P07	AVCC0	P02	PF5	VCL	XCOUT	RES#	VCC	P33	P26	P23	P17	P20	2
1	AVSS0	AVCC1	AVSS1	P00	VSS	XCIN	P37/ XTAL	P36/ EXTAL	P34	P27	P25	P22	P21	1

INDEX ↗

注. ピン配置図には、電源端子、I/Oポートを記載しています。
 端子構成は、「表 1.5 機能別端子一覧(0.65mmピッチ 145ピン TFLGA)」をご確認ください。

図 1.3 ピン配置図 (0.65mm ピッチ 145ピン TFLGA)

1.5.2 145ピン TFLGA (0.50mm ピッチ)

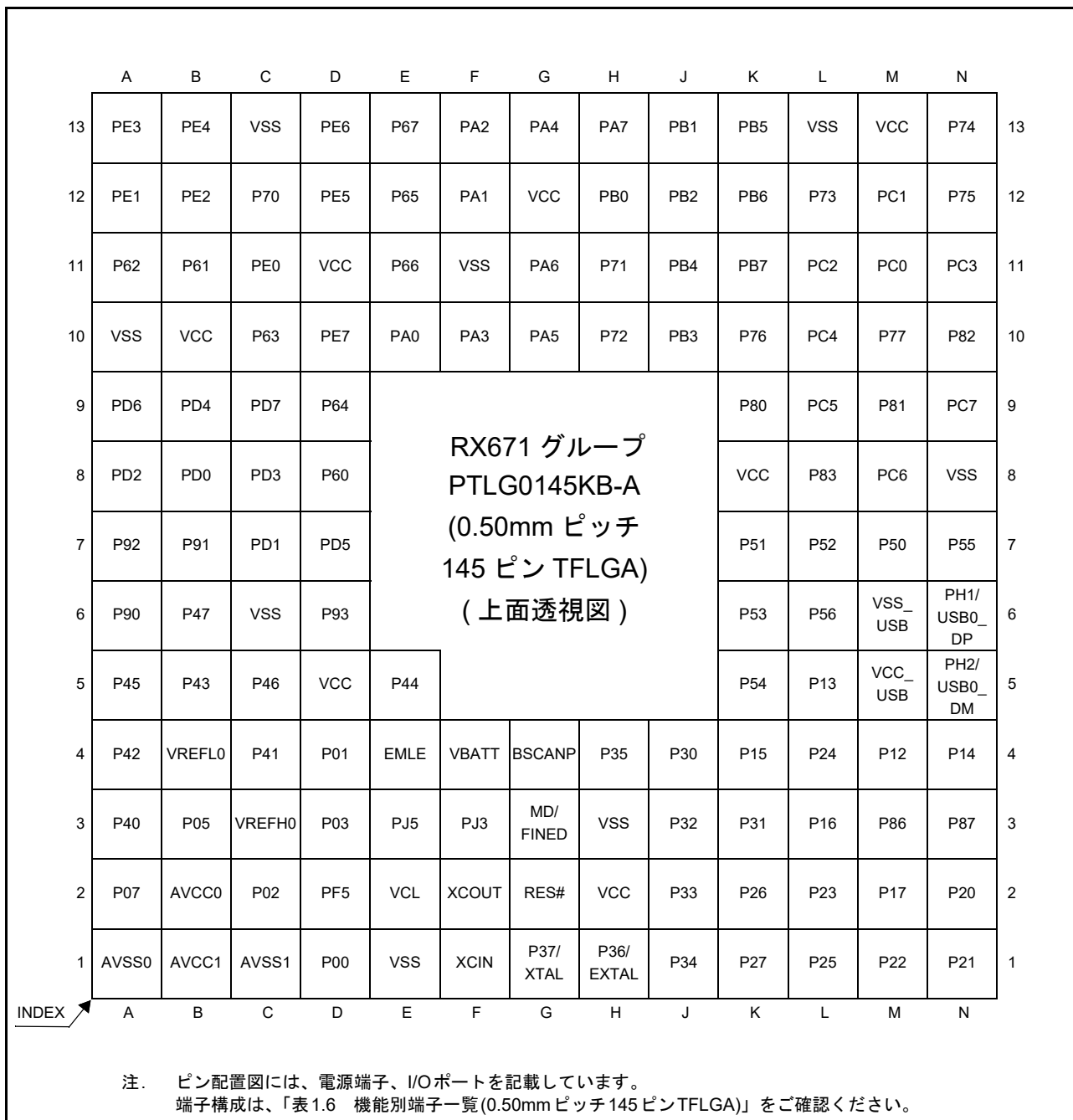


図 1.4 ピン配置図 (0.50mm ピッチ 145ピン TFLGA)

1.5.3 144ピン LQFP



図 1.5 ピン配置図(144ピン LQFP)

1.5.4 100ピン TFLGA

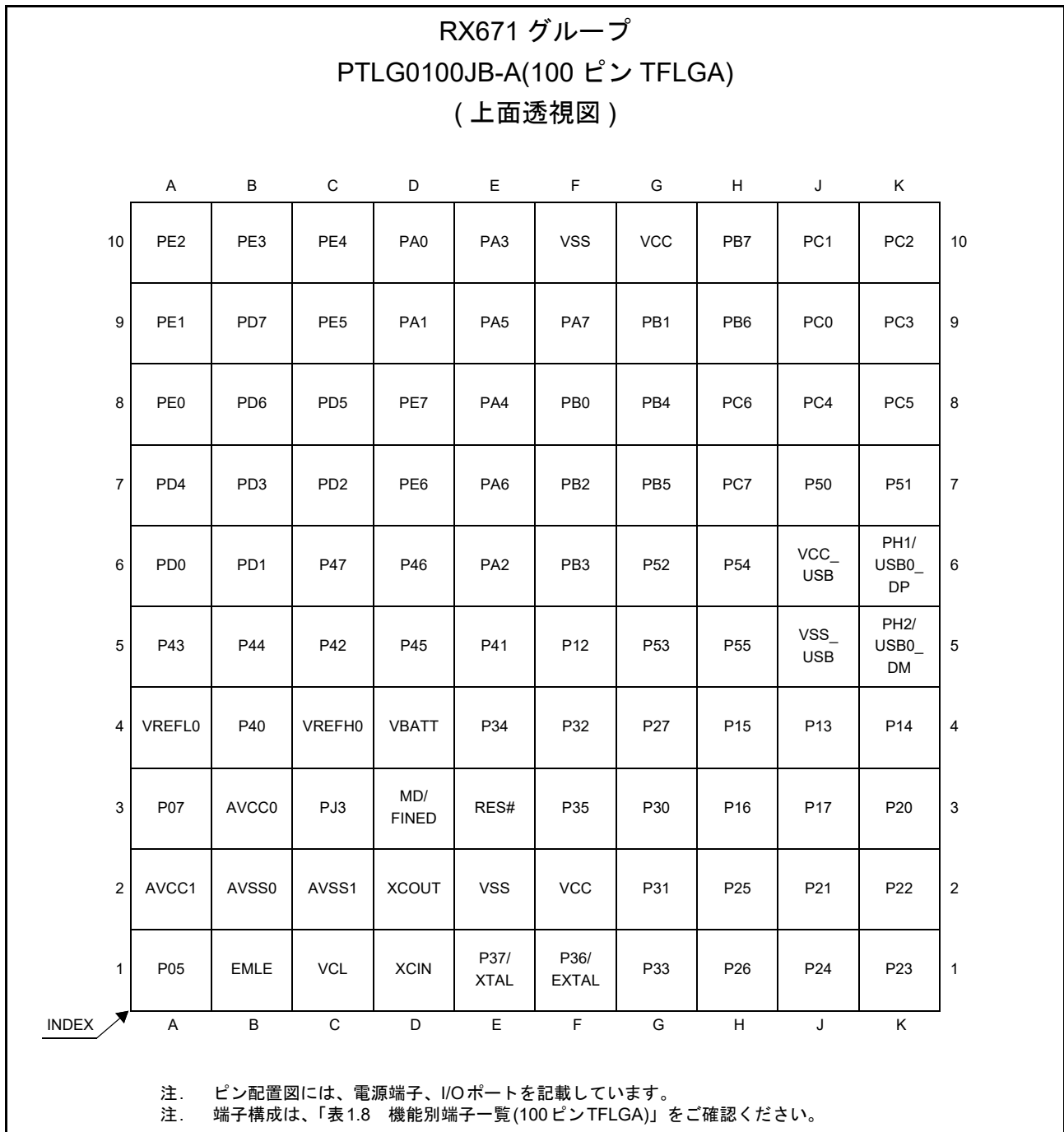


図 1.6 ピン配置図 (100ピン TFLGA)

1.5.5 100ピン LQFP

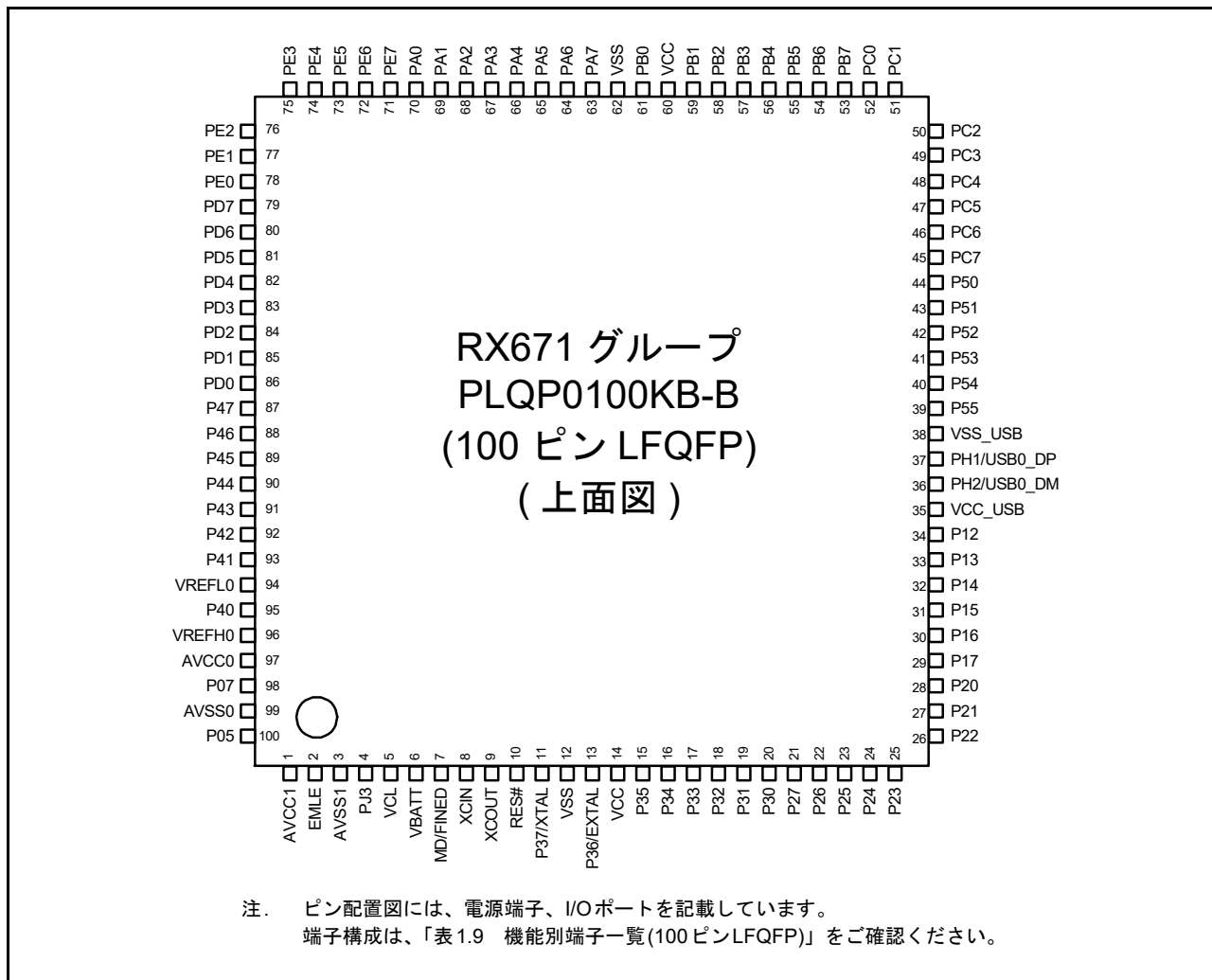


図 1.7 ピン配置図 (100ピン LQFP)

1.5.6 64ピン TFBGA

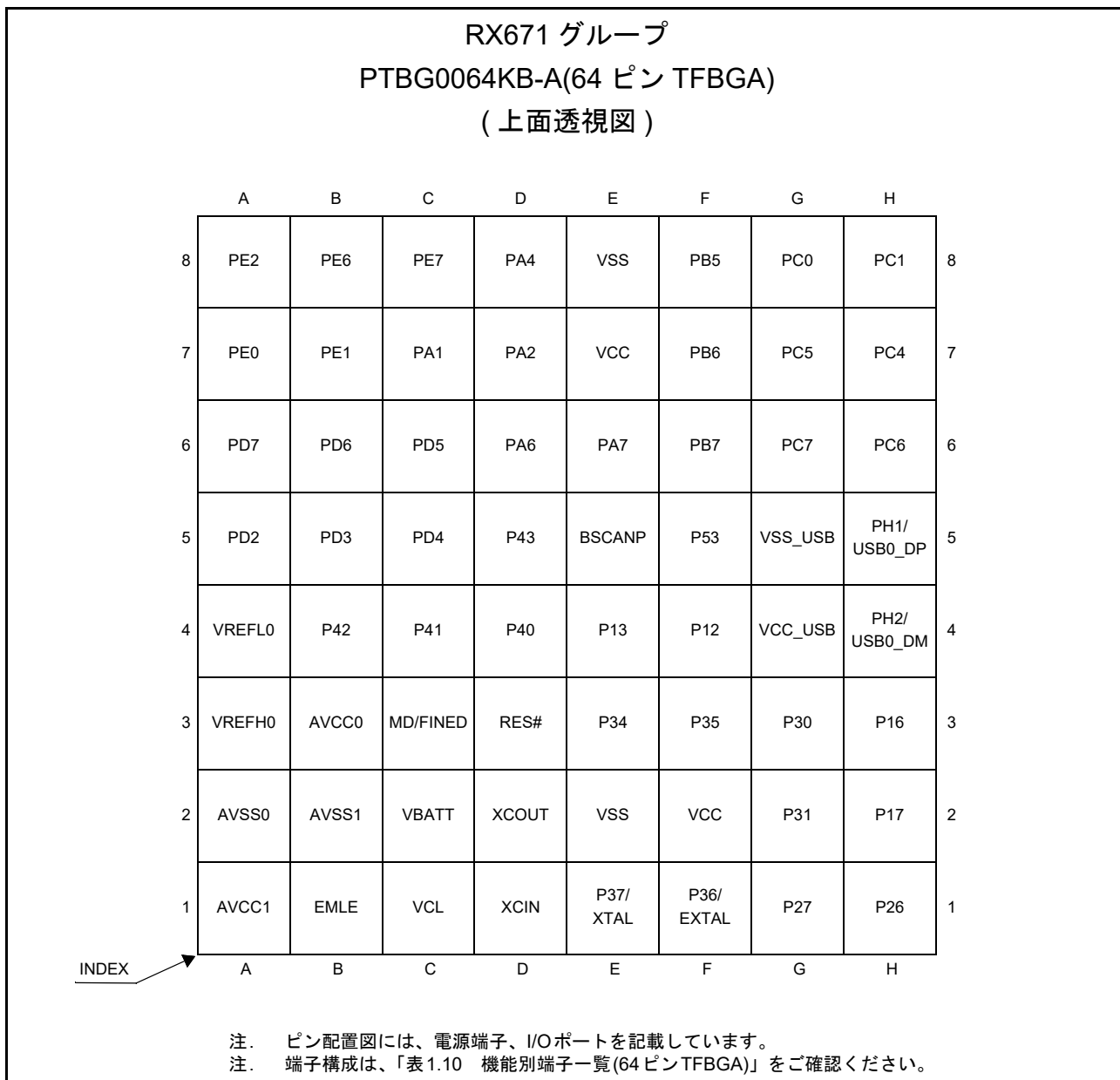


図 1.8 ピン配置図 (64ピン TFBGA)

1.5.7 64ピンLFQFP

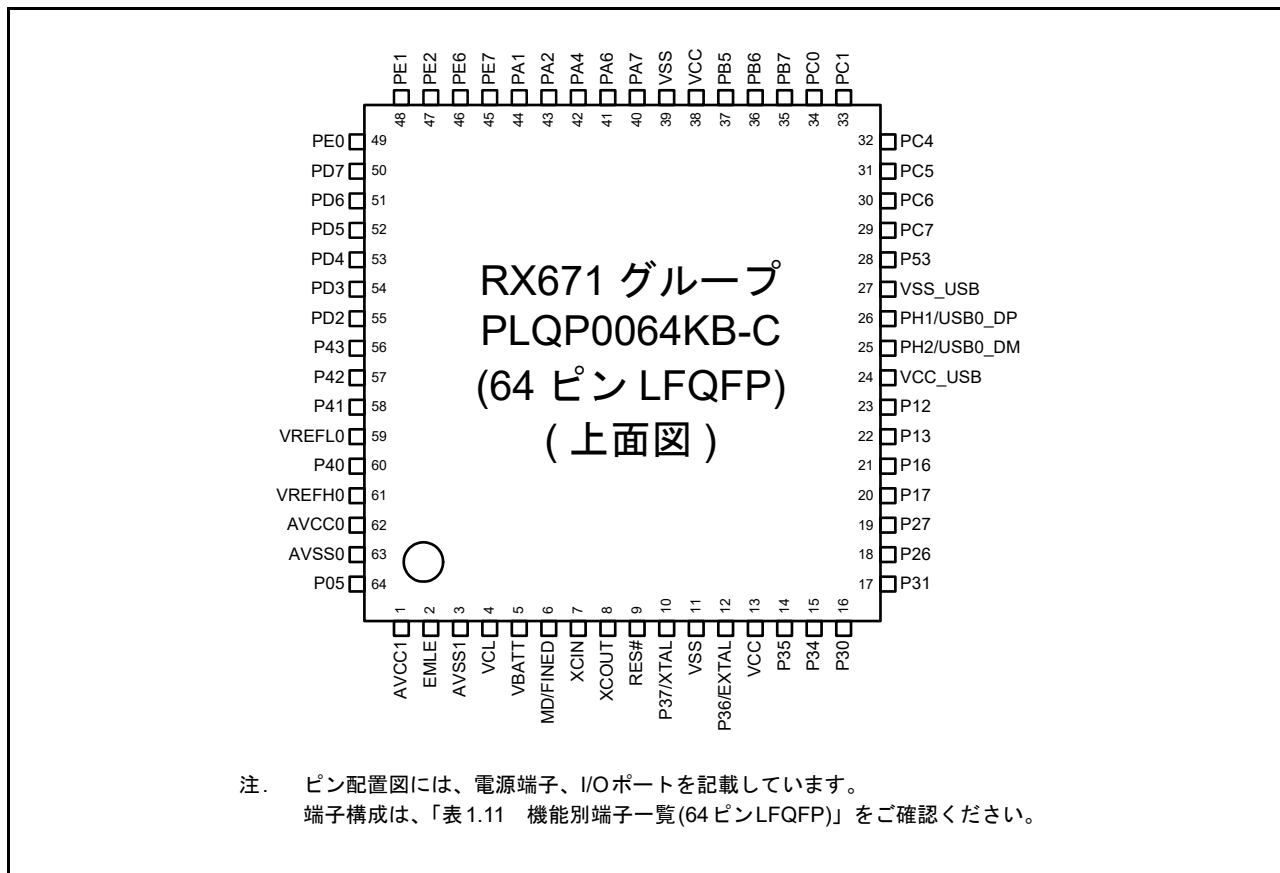


図 1.9 ピン配置図 (64ピンLFQFP)

1.5.8 48ピン HWQFN

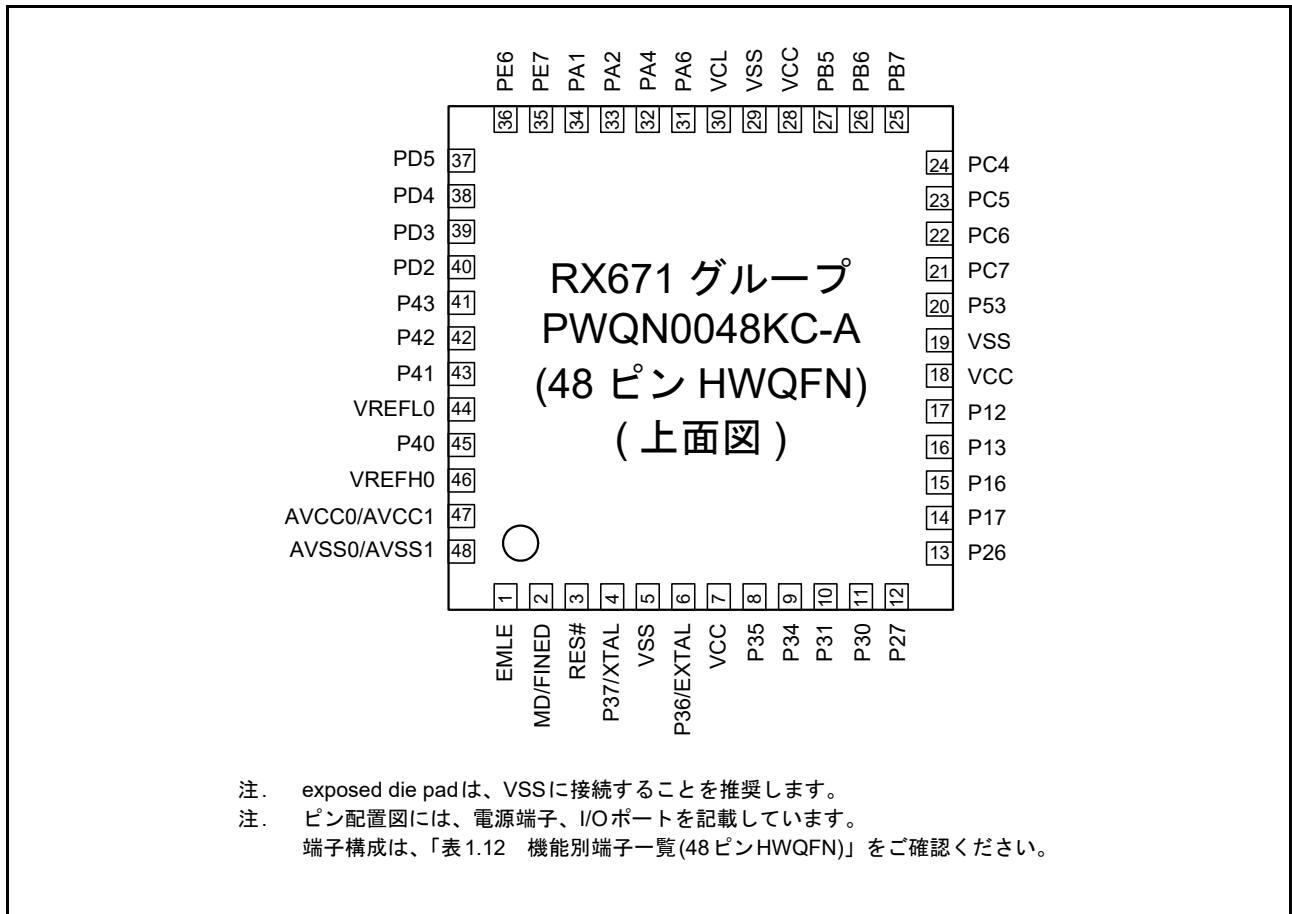


図 1.10 ピン配置図 (48ピン HWQFN)

1.6 機能別端子一覧

1.6.1 145ピンTFLGA(0.65mmピッチ)

表 1.5 機能別端子一覧(0.65mmピッチ145ピンTFLGA)(1/8)

ピン番号 145ピン TFLGA (0.65mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
A1	AVSS0								
A2		P07					IRQ15	ADTRG0#	
A3		P40					IRQ8-DS	AN000	
A4		P42					IRQ10-DS	AN002	
A5		P45					IRQ13-DS	AN005	
A6		P90	A16		TXD7/SMOSI7/ SSDA7		IRQ0	AN108	
A7		P92	A18	POE4#	RXD7/SMISO7/ SSCL7		IRQ10		
A8		PD2	D2[A2/D2]	MTIOC4D/ TIC2	CRX0/MISOC-A	SDHI_D2-B/ QIO2-B	IRQ2	AN105	
A9		PD6	D6[A6/D6]	MTIC5V/ MTIOC8A/ POE4#	SSLC2-A	SDHI_D0-B/ QIO0-B	IRQ6	AN101	
A10	VSS								
A11		P62	CS2#/RAS#/ D1[A1/D1]				IRQ2		
A12		PE1	D9[A9/D9]/ D1[A1/D1]	MTIOC4C/ MTIOC3B/ PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B		IRQ9	ANEX1	
A13		PE3	D11[A11/ D11]/ D3[A3/D3]	MTIOC4B/ PO26/POE8#/ TOC3	CTS12#/RTS12#/ SS12#		IRQ11		
B1	AVCC1								
B2	AVCC0								
B3		P05					IRQ13		
B4	VREFL0								
B5		P43					IRQ11-DS	AN003	
B6		P47					IRQ15-DS	AN007	
B7		P91	A17		SCK7		IRQ9		
B8		PD0	D0[A0/D0]	POE4#			IRQ0	AN107	
B9		PD4	D4[A4/D4]	MTIOC8B/ POE11#	SSLC0-A	SDHI_CMD- B/ QSSL-B	IRQ4	AN103	
B10	VCC								
B11		P61	CS1#/ SDCS#/ D0[A0/D0]				IRQ1		
B12		PE2	D10[A10/ D10]/ D2[A2/D2]	MTIOC4A/ PO23/TIC3	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B		IRQ7-DS		
B13		PE4	D12[A12/ D12]/ D4[A4/D4]	MTIOC4D/ MTIOC1A/ PO28	SSLB0-B		IRQ12		

表 1.5 機能別端子一覧(0.65mmピッチ 145ピンTFLGA) (2 / 8)

ピン番号 145ピン TFLGA (0.65mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
C1	AVSS1								
C2		P02		TMC11	SCK6		IRQ10	AN109	
C3	VREFH0								
C4		P41					IRQ9-DS	AN001	
C5		P46					IRQ14-DS	AN006	
C6	VSS								
C7		PD1	D1[A1/D1]	MTIOC4B/ POE0#	CTX0/MOSIC-A		IRQ1	AN106	
C8		PD3	D3[A3/D3]	MTIOC8D/ POE8#/TOC2	RSPCKC-A	SDHI_D3-B/ QIO3-B	IRQ3	AN104	
C9		PD7	D7[A7/D7]	MTIC5U/ POE0#	SSLC3-A	SDHI_D1-B/ QIO1-B	IRQ7	AN100	
C10		P63	CS3#/CAS#/ D2[A2/D2]				IRQ3		
C11		PE0	D8[A8/D8]/ D0[A0/D0]	MTIOC3D	SCK12/SSLB1-B		IRQ8	ANEX0	
C12		P70	SDCLK				IRQ0		
C13	VSS								
D1		P00		TMRI0	TXD6/SMOSI6/ SSDA6		IRQ8	AN111	
D2		PF5					IRQ4		
D3		P03					IRQ11		
D4		P01		TMC10	RXD6/SMISO6/ SSCL6		IRQ9	AN110	
D5	VCC								
D6		P93	A19	POE0#	CTS7#/RTS7#/ SS7#		IRQ11		
D7		PD5	D5[A5/D5]	MTIC5W/ MTIOC8C/ POE10#	SSLC1-A	SDHI_CLK- B/ QSPCLK-B	IRQ5	AN102	
D8		P60	CS0#				IRQ0		
D9		P64	CS4#/WE#/ D3[A3/D3]				IRQ4		
D10		PE7	D15[A15/ D15]/ D7[A7/D7]	MTIOC6A/ TOC1	MISOB-B	SDHI_WP/ SDHI_D1-B/ QIO1-B	IRQ7		
D11	VCC								
D12		PE5	D13[A13/ D13]/ D5[A5/D5]	MTIOC4C/ MTIOC2B	RSPCKB-B		IRQ5		
D13		PE6	D14[A14/ D14]/ D6[A6/D6]	MTIOC6C/ TIC1	MOSIB-B	SDHI_CD/ SDHI_D0-B/ QIO0-B	IRQ6		
E1	VSS								
E2	VCL								
E3		PJ5		POE8#	CTS2#/RTS2#/ SS2#		IRQ13		
E4	EMLE								

表 1.5 機能別端子一覧(0.65mmピッチ 145ピンTFLGA) (3 / 8)

ピン番号 145ピン TFLGA (0.65mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
E5		P44					IRQ12-DS	AN004	
E10		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ TIOCA0/ CACREF/ PO16	SSLA1-B/SSL01-B		IRQ0		
E11		P66	CS6#/DQM0	MTIOC7D			IRQ14		
E12		P65	CS5#/CKE				IRQ13		
E13		P67	CS7#/DQM1	MTIOC7C			IRQ15		
F1	XCIN								
F2	XCOUT								
F3	EXCIN	PJ3	EDACK1	MTIOC3C	CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#		IRQ11		
F4	VBATT								
F10		PA3	A3	MTIOC0D/ MTCLKD/ TIOC0D/ TCLKB/PO19	RXD5/SMISO5/ SSCL5		IRQ6-DS		
F11		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/ TMRI0/PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/ SSDA12/TXD12/ SIOX12		IRQ5-DS		
F12		PA1	A1	MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/PO17	SCK5/SSLA2-B/ SSL02-B/SCK12	SDHI_CD	IRQ11		
F13		PA2	A2	MTIOC7A/ PO18	RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12	SDHI_WP	IRQ10		
G1	XTAL	P37							
G2	RES#								
G3	MD/ FINED								
G4	BSCANP								
G10		PA5	A5	MTIOC6B/ TIOCB1/PO21	RSPCKA-B/ RSPCK0-B		IRQ5		
G11		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSI0-B/CTS12#/ RTS12#/SS12#		IRQ14		
G12	VSS_USB								
G13					USB1_DP				
H1	EXTAL	P36							
H2	VCC								
H3	VSS								

表 1.5 機能別端子一覧(0.65mmピッチ 145ピンTFLGA) (4 / 8)

ピン番号 145ピン TFLGA (0.65mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
H4	UPSEL	P35					NMI		
H10		PB0	A8	MTIC5W/ TIOCA3/PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6		IRQ12		
H11		PA7	A7	TIOCB2/PO23	MISOA-B/MISO0-B		IRQ7		
H12	VCC_USB								
H13					USB1_DM				
J1	TRST#	P34		MTIOC0A/ TMCI3/PO12/ POE10#	SCK6/SCK0		IRQ4		TS0
J2		P33	EDREQ1	MTIOC0D/ TIOC0D/ TMRI3/PO11/ POE4#/ POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0		IRQ3-DS		TS1
J3		P32		MTIOC0C/ TIOCC0/ TMO3/PO10/ RTCOUT/ RTCIC2/ POE0#/ POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN		IRQ2-DS		TAMPI2
J4	TDI	P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1/MISOB-A		IRQ0-DS		TAMPI0
J10		PB3	A11	MTIOC0A/ MTIOC4A/ TIOC0D3/ TCLKD/ TMO0/PO27/ POE11#	SCK4/SCK6/ PMC0-DS		IRQ3		
J11		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/ SS9#/SS11#/ CTS11#/RTS11#/ SS011#/CTS011#/ RTS011#/DE011		IRQ4		
J12		PB2	A10	TIOCC3/ TCLKC/PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#		IRQ2		
J13		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6		IRQ4-DS		
K1	TCK	P27	CS7#	MTIOC2B/ TMCI3/PO7	SCK1/RSPCKB-A		IRQ7		TS2
K2	TDO	P26	CS6#	MTIOC2A/ TMO1/PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A		IRQ6		TS3
K3	TMS	P31		MTIOC4D/ TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0-A		IRQ1-DS		TAMPI1

表 1.5 機能別端子一覧(0.65mmピッチ 145ピンTFLGA) (5 / 8)

ピン番号 145ピン TFLGA (0.65mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
K4		P15		MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS		IRQ5		TS10
K5	TRDATA2	P54	ALE/ D1[A1/D1]/ EDACK0	MTIOC4B/ TMCI1	CTS2#/RTS2#/ SS2#/CTX1/ MOSIC-B		IRQ4		
K6		P53 (注1)	BCLK		SSIRXD0/ PMC0-DS		IRQ3		TS12
K7		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2-A		IRQ1		
K8	VCC								
K9	TRDATA0	P80	EDREQ0	MTIOC3B/ PO26	SCK10/RTS10#/ SCK10/RTS010#/ DE010/ USB1_EXICEN	SDHI_WP/ QIO2-A	IRQ8		
K10	TRDATA6	P76	CS6#	PO22	SMISO11/SSCL11/ RXD11/SMISO011/ SSCL011/RXD011	SDHI_CMD- A/ QSSL-A	IRQ14		
K11		PB7	A15	MTIOC3B/ TIOCB5/PO31	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011		IRQ15		
K12		PB6	A14	MTIOC3D/ TIOCA5/PO30	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011		IRQ6		
K13		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/PO29/ POE4#	SCK9/SCK11/ SCK011		IRQ13		
L1		P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3	SDHI_CD	IRQ5	ADTRG0#	TS4/ CLKOUT
L2		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSIBCK0	SDHI_D1-C	IRQ3		TS6
L3		P16		MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#	
L4		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4	SCK3/ USB0_VBUSEN	SDHI_WP	IRQ12		TS5

表 1.5 機能別端子一覧(0.65mmピッチ 145ピンTFLGA) (6 / 8)

ピン番号 145ピン TFLGA (0.65mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTS0、 CLKOUT、 タンパ 検出)
L5		P13		MTIOC0B/ TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/ SDA0[FM+]/ SDAHS0[FM+/HS]		IRQ3	ADTRG1#	
L6		P56	EDACK1	MTIOC3C/ TIOCA1	SCK7/RSPCKC-B		IRQ6		
L7		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3-A		IRQ2		
L8	TRCLK	P83	EDACK1	MTIOC4C	SS10#/CTS10#/ SCK10/SS010#/ CTS010#/SCK010		IRQ3		
L9		PC5	D3[A3/D3]/ A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TMRI2/PO29	SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A		IRQ5		TS14
L10		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TMCI1/PO25/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/ SS10#/CTS10#/ RTS10#/SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A	SDHI_D1-A/ QIO1-A	IRQ12		TSCAP
L11		PC2	A18	MTIOC4B/ TCLKA/PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ TXDB011/SSL03-A	SDHI_D3-A	IRQ10		
L12	TRDATA4	P73	CS3#	PO16	USB1_VBUS/ USB1_VBUSEN/ USB1_OVRCURB		IRQ8		
L13	VSS								
M1		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_CLK	SDHI_D0-C	IRQ15		TS7
M2		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOCB0/ TCLKD/ TMO1/PO15/ POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/ SSITXD0	SDHI_D3-C	IRQ7	ADTRG1#	
M3		P86		MTIOC4D/ TIOCA0	SMISO10/SSCL10/ RXD10/SMISO010/ SSCL010/RXD010		IRQ14		
M4		P12		MTIC5U/ TMCI1	RXD2/SMISO2/ SSCL2/ SCL0[FM+]/ SCLHS0[FM+/HS]		IRQ2		
M5	VCC_USB								
M6	VSS_USB								
M7		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1-A		IRQ0		

表 1.5 機能別端子一覧(0.65mmピッチ 145ピンTFLGA) (7 / 8)

ピン番号 145ピン TFLGA (0.65mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
M8		PC6	D2[A2/D2]/ A22/CS1#	MTIOC3C/ MTCLKA/ TMC12/TIC0/ PO30	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SSILRCK0/ SMISO010/ SSCL010/RXD010/ MOSI0-A		IRQ13		TS13
M9	TRDATA1	P81	EDACK0	MTIOC3D/ PO27	SMISO10/SSCL10/ RXD10/SMISO010/ SSCL010/RXD010/ USB1_OVRCURB	SDHI_CD/ QIO3-A	IRQ9		
M10	TRDATA7	P77	CS7#	PO23	SMOSI11/SSDA11/ TXD11/SMOSI011/ SSDA011/TXD011/ USB1_ID	SDHI_CLK- A/ QSPCLK-A	IRQ7		
M11		PC0	A16	MTIOC3C/ TCLKC/PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/ SMISO011/ SSCL011/SSL01-A		IRQ14		TS16
M12		PC1	A17	MTIOC3A/ TCLKD/PO18	SCK5/SSLA2-A/ TXD011/ SMOSI011/ SSDA011/ TXDA011/SSL02-A		IRQ12		TS15
M13	VCC								
N1		P21		MTIOC1B/ MTIOC4A/ TIOCA3/ TMC10/PO1	RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ SSILRCK0	SDHI_CLK-C	IRQ9		TS8
N2		P20		MTIOC1A/ TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/ SSIRXD0	SDHI_CMD- C	IRQ8		TS9
N3		P87		MTIOC4C/ TIOCA2	SMOSI10/ SSDA10/TXD10/ SMOSI010/ SSDA010/TXD010	SDHI_D2-C	IRQ15		
N4		P14		MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4		TS11
N5		PH2		TMRI0	USB0_DM		IRQ1		
N6		PH1		TMO0	USB0_DP		IRQ0		
N7	TRDATA3	P55	D0[A0/D0]/ WAIT#/ EDREQ0	MTIOC4D/ TMO3	TXD7/SMOSI7/ SSDA7/CRX1/ MISOC-B		IRQ10		
N8	VSS								

表 1.5 機能別端子一覧(0.65mmピッチ 145ピンTFLGA) (8 / 8)

ピン番号 145ピン TFLGA (0.65mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
N9	UB	PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TMO2/TOC0/ PO31/ CACREF	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/ SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A		IRQ14		
N10	TRSYNC	P82	EDREQ1	MTIOC4A/ PO28	SMOSI10/ SSDA10/TXD10/ SMOSI010/ SSDA010/TXD010/ USB1_VBUSEN		IRQ2		
N11		PC3	A19	MTIOC4D/ TCLKB/PO24	TXD5/SMOSI5/ SSDA5/PMC0-DS	SDHI_D0-A/ QIO0-A	IRQ11		
N12	TRSYNC1	P75	CS5#	PO20	SCK11/RTS11#/ SCK011/RTS011#/ DE011/ USB1_OVRCURA	SDHI_D2-A	IRQ13		
N13	TRDATA5	P74	A20/CS4#	PO19	SS11#/CTS11#/ SS011#/CTS011#/ USB1_VBUSEN		IRQ12		

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.2 145ピン TFLGA (0.50mm ピッチ)

表 1.6 機能別端子一覧(0.50mmピッチ 145ピンTFLGA) (1 / 8)

ピン番号 145ピン TFLGA (0.50mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
A1	AVSS0								
A2		P07					IRQ15	ADTRG0#	
A3		P40					IRQ8-DS	AN000	
A4		P42					IRQ10-DS	AN002	
A5		P45					IRQ13-DS	AN005	
A6		P90	A16		TXD7/SMOSI7/ SSDA7		IRQ0	AN108	
A7		P92	A18	POE4#	RXD7/SMISO7/ SSCL7		IRQ10		
A8		PD2	D2[A2/D2]	MTIOC4D/ TIC2	CRX0/MISOC-A	SDHI_D2-B/ QIO2-B	IRQ2	AN105	
A9		PD6	D6[A6/D6]	MTIC5V/ MTIOC8A/ POE4#	SSLC2-A	SDHI_D0-B/ QIO0-B	IRQ6	AN101	
A10	VSS								
A11		P62	CS2#/RAS#/ D1[A1/D1]				IRQ2		
A12		PE1	D9[A9/D9]/ D1[A1/D1]	MTIOC4C/ MTIOC3B/ PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B		IRQ9	ANEX1	
A13		PE3	D11[A11/ D11]/ D3[A3/D3]	MTIOC4B/ PO26/POE8#/ TOC3	CTS12#/RTS12#/ SS12#		IRQ11		
B1	AVCC1								
B2	AVCC0								
B3		P05					IRQ13		
B4	VREFL0								
B5		P43					IRQ11-DS	AN003	
B6		P47					IRQ15-DS	AN007	
B7		P91	A17		SCK7		IRQ9		
B8		PD0	D0[A0/D0]	POE4#			IRQ0	AN107	
B9		PD4	D4[A4/D4]	MTIOC8B/ POE11#	SSLC0-A	SDHI_CMD- B/ QSSL-B	IRQ4	AN103	
B10	VCC								
B11		P61	CS1#/ SDCS#/ D0[A0/D0]				IRQ1		
B12		PE2	D10[A10/ D10]/ D2[A2/D2]	MTIOC4A/ PO23/TIC3	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B		IRQ7-DS		
B13		PE4	D12[A12/ D12]/ D4[A4/D4]	MTIOC4D/ MTIOC1A/ PO28	SSLB0-B		IRQ12		
C1	AVSS1								

表 1.6 機能別端子一覧(0.50mmピッチ 145ピンTFLGA) (2 / 8)

ピン番号 145ピン TFLGA (0.50mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
C2		P02		TMCI1	SCK6		IRQ10	AN109	
C3	VREFH0								
C4		P41					IRQ9-DS	AN001	
C5		P46					IRQ14-DS	AN006	
C6	VSS								
C7		PD1	D1[A1/D1]	MTIOC4B/ POE0#	CTX0/MOSIC-A		IRQ1	AN106	
C8		PD3	D3[A3/D3]	MTIOC8D/ POE8#/TOC2	RSPCKC-A	SDHI_D3-B/ QIO3-B	IRQ3	AN104	
C9		PD7	D7[A7/D7]	MTIC5U/ POE0#	SSLC3-A	SDHI_D1-B/ QIO1-B	IRQ7	AN100	
C10		P63	CS3#/CAS#/ D2[A2/D2]				IRQ3		
C11		PE0	D8[A8/D8]/ D0[A0/D0]	MTIOC3D	SCK12/SSLB1-B		IRQ8	ANEX0	
C12		P70	SDCLK				IRQ0		
C13	VSS								
D1		P00		TMRI0	TXD6/SMOSI6/ SSDA6		IRQ8	AN111	
D2		PF5					IRQ4		
D3		P03					IRQ11		
D4		P01		TMCI0	RXD6/SMISO6/ SSCL6		IRQ9	AN110	
D5	VCC								
D6		P93	A19	POE0#	CTS7#/RTS7#/ SS7#		IRQ11		
D7		PD5	D5[A5/D5]	MTIC5W/ MTIOC8C/ POE10#	SSLC1-A	SDHI_CLK- B/ QSPCLK-B	IRQ5	AN102	
D8		P60	CS0#				IRQ0		
D9		P64	CS4#/WE#/ D3[A3/D3]				IRQ4		
D10		PE7	D15[A15/ D15]/ D7[A7/D7]	MTIOC6A/ TOC1	MISOB-B	SDHI_WP/ SDHI_D1-B/ QIO1-B	IRQ7		
D11	VCC								
D12		PE5	D13[A13/ D13]/ D5[A5/D5]	MTIOC4C/ MTIOC2B	RSPCKB-B		IRQ5		
D13		PE6	D14[A14/ D14]/ D6[A6/D6]	MTIOC6C/ TIC1	MOSIB-B	SDHI_CD/ SDHI_D0-B/ QIO0-B	IRQ6		
E1	VSS								
E2	VCL								
E3		PJ5		POE8#	CTS2#/RTS2#/ SS2#		IRQ13		
E4	EMLE								
E5		P44					IRQ12-DS	AN004	

表 1.6 機能別端子一覧(0.50mmピッチ 145ピンTFLGA) (3 / 8)

ピン番号 145ピン TFLGA (0.50mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
E10		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ TIOCA0/ CACREF/ PO16	SSLA1-B/SSL01-B		IRQ0		
E11		P66	CS6#/DQM0	MTIOC7D			IRQ14		
E12		P65	CS5#/CKE				IRQ13		
E13		P67	CS7#/DQM1	MTIOC7C			IRQ15		
F1	XCIN								
F2	XCOUT								
F3	EXCIN	PJ3	EDACK1	MTIOC3C	CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#		IRQ11		
F4	VBATT								
F10		PA3	A3	MTIOC0D/ MTCLKD/ TIOC0D/ TCLKB/PO19	RXD5/SMISO5/ SSCL5		IRQ6-DS		
F11	VSS								
F12		PA1	A1	MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/PO17	SCK5/SSLA2-B/ SSL02-B/SCK12	SDHI_CD	IRQ11		
F13		PA2	A2	MTIOC7A/ PO18	RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12	SDHI_WP	IRQ10		
G1	XTAL	P37							
G2	RES#								
G3	MD/ FINED								
G4	BSCANP								
G10		PA5	A5	MTIOC6B/ TIOCB1/PO21	RSPCKA-B/ RSPCK0-B		IRQ5		
G11		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSI0-B/CTS12#/ RTS12#/SS12#		IRQ14		
G12	VCC								
G13		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/ TMRI0/PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12		IRQ5-DS		
H1	EXTAL	P36							
H2	VCC								
H3	VSS								
H4	UPSEL	P35					NMI		

表 1.6 機能別端子一覧(0.50mmピッチ 145ピンTFLGA) (4 / 8)

ピン番号 145ピン TFLGA (0.50mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSUS、 CLKOUT、 タンパ 検出)
H10		P72	A19/CS2#				IRQ10		
H11		P71	A18/CS1#				IRQ1		
H12		PB0	A8	MTIC5W/ TIOCA3/PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6		IRQ12		
H13		PA7	A7	TIOCB2/PO23	MISOA-B/MISO0-B		IRQ7		
J1	TRST#	P34		MTIOC0A/ TMCI3/PO12/ POE10#	SCK6/SCK0		IRQ4		TS0
J2		P33	EDREQ1	MTIOC0D/ TIOCDO/ TMRI3/PO11/ POE4#/ POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0		IRQ3-DS		TS1
J3		P32		MTIOC0C/ TIOCC0/ TMO3/PO10/ RTCOUT/ RTCIC2/ POE0#/ POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN		IRQ2-DS		TAMPI2
J4	TDI	P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1/MISOB-A		IRQ0-DS		TAMPI0
J10		PB3	A11	MTIOC0A/ MTIOC4A/ TIOC3/ TCLKD/ TMO0/PO27/ POE11#	SCK4/SCK6/ PMC0-DS		IRQ3		
J11		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/ SS9#/SS11#/ CTS11#/RTS11#/ SS011#/CTS011#/ RTS011#/DE011		IRQ4		
J12		PB2	A10	TIOCC3/ TCLKC/PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#		IRQ2		
J13		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6		IRQ4-DS		
K1	TCK	P27	CS7#	MTIOC2B/ TMCI3/PO7	SCK1/RSPCKB-A		IRQ7		TS2
K2	TDO	P26	CS6#	MTIOC2A/ TMO1/PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A		IRQ6		TS3
K3	TMS	P31		MTIOC4D/ TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0-A		IRQ1-DS		TAMPI1

表 1.6 機能別端子一覧(0.50mmピッチ 145ピンTFLGA) (5 / 8)

ピン番号 145ピン TFLGA (0.50mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
K4		P15		MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS		IRQ5		TS10
K5	TRDATA2	P54	ALE/ D1[A1/D1]/ EDACK0	MTIOC4B/ TMCI1	CTS2#/RTS2#/ SS2#/CTX1/ MOSIC-B		IRQ4		
K6		P53 (注1)	BCLK		SSIRXD0/ PMC0-DS		IRQ3		TS12
K7		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2-A		IRQ1		
K8	VCC								
K9	TRDATA0	P80	EDREQ0	MTIOC3B/ PO26	SCK10/RTS10#/ SCK10/RTS010#/ DE010	SDHI_WP/ QIO2-A	IRQ8		
K10	TRDATA6	P76	CS6#	PO22	SMISO11/SSCL11/ RXD11/SMISO011/ SSCL011/RXD011	SDHI_CMD- A/ QSSL-A	IRQ14		
K11		PB7	A15	MTIOC3B/ TIOCB5/PO31	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011		IRQ15		
K12		PB6	A14	MTIOC3D/ TIOCA5/PO30	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011		IRQ6		
K13		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/PO29/ POE4#	SCK9/SCK11/ SCK011		IRQ13		
L1		P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3	SDHI_CD	IRQ5	ADTRG0#	TS4/ CLKOUT
L2		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSIBCK0	SDHI_D1-C	IRQ3		TS6
L3		P16		MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#	
L4		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4	SCK3/ USB0_VBUSEN	SDHI_WP	IRQ12		TS5
L5		P13		MTIOC0B/ TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/ SDA0[FM+]/ SDAHS0[FM+/HS]		IRQ3	ADTRG1#	

表 1.6 機能別端子一覧(0.50mmピッチ 145ピンTFLGA) (6 / 8)

ピン番号 145ピン TFLGA (0.50mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
L6		P56	EDACK1	MTIOC3C/ TIOCA1	SCK7/RSPCKC-B		IRQ6		
L7		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3-A		IRQ2		
L8	TRCLK	P83	EDACK1	MTIOC4C	SS10#/CTS10#/ SCK10/SS010#/ CTS010#/SCK010		IRQ3		
L9		PC5	D3[A3/D3]/ A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TMRI2/PO29	SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A		IRQ5		TS14
L10		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TMCI1/PO25/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/ SS10#/CTS10#/ RTS10#/SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A	SDHI_D1-A/ QIO1-A	IRQ12		TSCAP
L11		PC2	A18	MTIOC4B/ TCLKA/PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ TXDB011/SSL03-A	SDHI_D3-A	IRQ10		
L12	TRDATA4	P73	CS3#	PO16			IRQ8		
L13	VSS								
M1		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_CLK	SDHI_D0-C	IRQ15		TS7
M2		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOCB0/ TCLKD/ TMO1/PO15/ POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/ SSITXD0	SDHI_D3-C	IRQ7		ADTRG1#
M3		P86		MTIOC4D/ TIOCA0	SMISO10/SSCL10/ RXD10/SMISO010/ SSCL010/RXD010		IRQ14		
M4		P12		MTIC5U/ TMCI1	RXD2/SMISO2/ SSCL2/ SCL0[FM+]/ SCLHS0[FM+/HS]		IRQ2		
M5	VCC_USB								
M6	VSS_USB								
M7		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1-A		IRQ0		
M8		PC6	D2[A2/D2]/ A22/CS1#	MTIOC3C/ MTCLKA/ TMCI2/TIC0/ PO30	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SSILRCK0/ SMISO010/ SSCL010/RXD010/ MOSIO-A		IRQ13		TS13

表 1.6 機能別端子一覧(0.50mmピッチ 145ピンTFLGA)(7 / 8)

ピン番号 145ピン TFLGA (0.50mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSUI、 CLKOUT、 タンパ 検出)
M9	TRDATA1	P81	EDACK0	MTIOC3D/ PO27	SMISO10/SSCL10/ RXD10/SMISO010/ SSCL010/RXD010	SDHI_CD/ QIO3-A	IRQ9		
M10	TRDATA7	P77	CS7#	PO23	SMOSI11/SSDA11/ TXD11/SMOSI011/ SSDA011/TXD011	SDHI_CLK- A/ QSPCLK-A	IRQ7		
M11		PC0	A16	MTIOC3C/ TCLKC/PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/ SMISO011/ SSCL011/SSL01-A		IRQ14		TS16
M12		PC1	A17	MTIOC3A/ TCLKD/PO18	SCK5/SSLA2-A/ TXD011/ SMOSI011/ SSDA011/ TXDA011/SSL02-A		IRQ12		TS15
M13	VCC								
N1		P21		MTIOC1B/ MTIOC4A/ TIOCA3/ TMCI0/PO1	RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ SSILRCK0	SDHI_CLK-C	IRQ9		TS8
N2		P20		MTIOC1A/ TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/ SSIRXD0	SDHI_CMD- C	IRQ8		TS9
N3		P87		MTIOC4C/ TIOCA2	SMOSI10/ SSDA10/TXD10/ SMOSI010/ SSDA010/TXD010	SDHI_D2-C	IRQ15		
N4		P14		MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4		TS11
N5		PH2		TMRI0	USB0_DM		IRQ1		
N6		PH1		TMO0	USB0_DP		IRQ0		
N7	TRDATA3	P55	D0[A0/D0]/ WAIT#/ EDREQ0	MTIOC4D/ TMO3	TXD7/SMOSI7/ SSDA7/CRX1/ MISOC-B		IRQ10		
N8	VSS								
N9	UB	PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TMO2/TOC0/ PO31/ CACREF	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/ SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A		IRQ14		
N10	TRSYNC	P82	EDREQ1	MTIOC4A/ PO28	SMOSI10/ SSDA10/TXD10/ SMOSI010/ SSDA010/TXD010		IRQ2		
N11		PC3	A19	MTIOC4D/ TCLKB/PO24	TXD5/SMOSI5/ SSDA5/PMC0-DS	SDHI_D0-A/ QIO0-A	IRQ11		

表 1.6 機能別端子一覧(0.50mmピッチ 145ピンTFLGA) (8 / 8)

ピン番号 145ピン TFLGA (0.50mm ピッチ)	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
N12	TRSYNC1	P75	CS5#	PO20	SCK11/RTS11#/ SCK011/RTS011#/ DE011	SDHI_D2-A	IRQ13		
N13	TRDATA5	P74	A20/CS4#	PO19	SS11#/CTS11#/ SS011#/CTS011#		IRQ12		

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.3 144ピン LQFP

表 1.7 機能別端子一覧(144ピンLQFP) (1 / 8)

ピン番号	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
1	AVSS0								
2		P05					IRQ13		
3	AVCC1								
4		P03					IRQ11		
5	AVSS1								
6		P02		TMCI1	SCK6		IRQ10	AN109	
7		P01		TMCI0	RXD6/SMISO6/ SSCL6		IRQ9	AN110	
8		P00		TMRI0	TXD6/SMOSI6/ SSDA6		IRQ8	AN111	
9		PF5					IRQ4		
10	EMLE								
11		PJ5		POE8#	CTS2#/RTS2#/ SS2#		IRQ13		
12	VSS								
13	EXCIN	PJ3	EDACK1	MTIOC3C	CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#		IRQ11		
14	VCL								
15	VBATT								
16	MD/ FINED								
17	XCIN								
18	XCOUT								
19	RES#								
20	XTAL	P37							
21	VSS								
22	EXTAL	P36							
23	VCC								
24	UPSEL	P35					NMI		
25	TRST#	P34		MTIOC0A/ TMCI3/PO12/ POE10#	SCK6/SCK0		IRQ4		TS0
26		P33	EDREQ1	MTIOC0D/ TIOC0D/ TMRI3/PO11/ POE4#/ POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0		IRQ3-DS		TS1
27		P32		MTIOC0C/ TIOC0C/ TMO3/PO10/ RTCOUT/ RTCIC2/ POE0#/ POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN		IRQ2-DS		TAMPI2

表 1.7 機能別端子一覧(144ピンLQFP) (2 / 8)

ピン番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
28	TMS	P31		MTIOC4D/ TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0-A		IRQ1-DS		TAMP11
29	TDI	P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1/MISOB-A		IRQ0-DS		TAMP10
30	TCK	P27	CS7#	MTIOC2B/ TMCI3/PO7	SCK1/RSPCKB-A		IRQ7		TS2
31	TDO	P26	CS6#	MTIOC2A/ TMO1/PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A		IRQ6		TS3
32		P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3	SDHI_CD	IRQ5	ADTRG0#	TS4/ CLKOUT
33		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4	SCK3/ USB0_VBUSEN	SDHI_WP	IRQ12		TS5
34		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSIBCK0	SDHI_D1-C	IRQ3		TS6
35		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_CLK	SDHI_D0-C	IRQ15		TS7
36		P21		MTIOC1B/ MTIOC4A/ TIOCA3/ TMCI0/PO1	RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ SSILRCK0	SDHI_CLK-C	IRQ9		TS8
37		P20		MTIOC1A/ TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/ SSIRXD0	SDHI_CMD- C	IRQ8		TS9
38		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOCB0/ TCLKD/ TMO1/PO15/ POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/ SSITXD0	SDHI_D3-C	IRQ7	ADTRG1#	
39		P87		MTIOC4C/ TIOCA2	SMOSI10/ SSDA10/TXD10/ SMOSI010/ SSDA010/TXD010	SDHI_D2-C	IRQ15		
40		P16		MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#	

表 1.7 機能別端子一覧(144ピンLFQFP) (3 / 8)

ピン番号 144ピン LFQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTS0、 CLKOUT、 タンパ 検出)
41		P86		MTIOC4D/ TIOCA0	SMISO10/SSCL10/ RXD10/SMISO010/ SSCL010/RXD010		IRQ14		
42		P15		MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMC12/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS		IRQ5		TS10
43		P14		MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/ TMR12/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4		TS11
44		P13		MTIOC0B/ TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/ SDA0[FM+]/ SDAHS0[FM+/HS]		IRQ3	ADTRG1#	
45		P12		MTIC5U/ TMC11	RXD2/SMISO2/ SSCL2/ SCL0[FM+]/ SCLHS0[FM+/HS]		IRQ2		
46	VCC_USB								
47		PH2		TMR10	USB0_DM		IRQ1		
48		PH1		TMO0	USB0_DP		IRQ0		
49	VSS_USB								
50		P56	EDACK1	MTIOC3C/ TIOCA1	SCK7/RSPCKC-B		IRQ6		
51	TRDATA3	P55	D0[A0/D0]/ WAIT#/ EDREQ0	MTIOC4D/ TMO3	TXD7/SMOSI7/ SSDA7/CRX1/ MISOC-B		IRQ10		
52	TRDATA2	P54	ALE/ D1[A1/D1]/ EDACK0	MTIOC4B/ TMC11	CTS2#/RTS2#/ SS2#/CTX1/ MOSIC-B		IRQ4		
53		P53 (注1)	BCLK		SSIRXD0/ PMC0-DS		IRQ3		TS12
54		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3-A		IRQ2		
55		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2-A		IRQ1		
56		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1-A		IRQ0		
57	VSS								
58	TRCLK	P83	EDACK1	MTIOC4C	SS10#/CTS10#/ SCK10/SS010#/ CTS010#/SCK010		IRQ3		
59	VCC								

表 1.7 機能別端子一覧(144ピンLFQFP) (4 / 8)

ピン番号 144ピン LFQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
60	UB	PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TMO2/TOC0/ PO31/ CACREF	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/ SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A		IRQ14		
61		PC6	D2[A2/D2]/ A22/CS1#	MTIOC3C/ MTCLKA/ TMC12/TIC0/ PO30	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SSILRCK0/ SMISO010/ SSCL010/RXD010/ MOSI0-A		IRQ13		TS13
62		PC5	D3[A3/D3]/ A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TMR12/PO29	SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A		IRQ5		TS14
63	TRSYNC	P82	EDREQ1	MTIOC4A/ PO28	SMOSI10/ SSDA10/TXD10/ SMOSI010/ SSDA010/TXD010		IRQ2		
64	TRDATA1	P81	EDACK0	MTIOC3D/ PO27	SMISO10/SSCL10/ RXD10/SMISO010/ SSCL010/RXD010	SDHI_CD/ QIO3-A	IRQ9		
65	TRDATA0	P80	EDREQ0	MTIOC3B/ PO26	SCK10/RTS10#/ SCK010/RTS010#/ DE010	SDHI_WP/ QIO2-A	IRQ8		
66		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TMC11/PO25/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/ SS10#/CTS10#/ RTS10#/SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A	SDHI_D1-A/ QIO1-A	IRQ12		TSCAP
67		PC3	A19	MTIOC4D/ TCLKB/PO24	TXD5/SMOSI5/ SSDA5/PMC0-DS	SDHI_D0-A/ QIO0-A	IRQ11		
68	TRDATA7	P77	CS7#	PO23	SMOSI11/SSDA11/ TXD11/SMOSI011/ SSDA011/TXD011	SDHI_CLK- A/ QSPCLK-A	IRQ7		
69	TRDATA6	P76	CS6#	PO22	SMISO11/SSCL11/ RXD11/SMISO011/ SSCL011/RXD011	SDHI_CMD- A/ QSSL-A	IRQ14		
70		PC2	A18	MTIOC4B/ TCLKA/PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ TXDB011/SSL03-A	SDHI_D3-A	IRQ10		
71	TRSYNC1	P75	CS5#	PO20	SCK11/RTS11#/ SCK011/RTS011#/ DE011	SDHI_D2-A	IRQ13		
72	TRDATA5	P74	A20/CS4#	PO19	SS11#/CTS11#/ SS011#/CTS011#		IRQ12		

表 1.7 機能別端子一覧(144ピンLQFP) (5 / 8)

ピン番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTS0、 CLKOUT、 タンパ 検出)
73		PC1	A17	MTIOC3A/ TCLKD/PO18	SCK5/SSLA2-A/ TXD011/ SMOSI011/ SSDA011/ TXDA011/SSL02-A		IRQ12		TS15
74	VCC								
75		PC0	A16	MTIOC3C/ TCLKC/PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/ SMISO011/ SSCL011/SSL01-A		IRQ14		TS16
76	VSS								
77	TRDATA4	P73	CS3#	PO16			IRQ8		
78		PB7	A15	MTIOC3B/ TIOCB5/PO31	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011		IRQ15		
79		PB6	A14	MTIOC3D/ TIOCA5/PO30	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011		IRQ6		
80		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/PO29/ POE4#	SCK9/SCK11/ SCK011		IRQ13		
81		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/ SS9#/SS11#/ CTS11#/RTS11#/ SS011#/CTS011#/ RTS011#/DE011		IRQ4		
82		PB3	A11	MTIOC0A/ MTIOC4A/ TIOCD3/ TCLKD/ TMO0/PO27/ POE11#	SCK4/SCK6/ PMC0-DS		IRQ3		
83		PB2	A10	TIOCC3/ TCLKC/PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#		IRQ2		
84		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6		IRQ4-DS		
85		P72	A19/CS2#				IRQ10		
86		P71	A18/CS1#				IRQ1		
87		PB0	A8	MTIC5W/ TIOCA3/PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6		IRQ12		
88		PA7	A7	TIOCB2/PO23	MISOA-B/MISO0-B		IRQ7		

表 1.7 機能別端子一覧(144ピンLQFP) (6 / 8)

ピン番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
89		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSIO-B/CTS12#/ RTS12#/SS12#		IRQ14		
90		PA5	A5	MTIOC6B/ TIOCB1/PO21	RSPCKA-B/ RSPCK0-B		IRQ5		
91	VCC								
92		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/ TMRI0/PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12		IRQ5-DS		
93	VSS								
94		PA3	A3	MTIOC0D/ MTCLKD/ TIOC0D/ TCLKB/PO19	RXD5/SMISO5/ SSCL5		IRQ6-DS		
95		PA2	A2	MTIOC7A/ PO18	RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12	SDHI_WP	IRQ10		
96		PA1	A1	MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/PO17	SCK5/SSLA2-B/ SSL02-B/SCK12	SDHI_CD	IRQ11		
97		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ TIOCA0/ CACREF/ PO16	SSLA1-B/SSL01-B		IRQ0		
98		P67	CS7#/DQM1	MTIOC7C			IRQ15		
99		P66	CS6#/DQM0	MTIOC7D			IRQ14		
100		P65	CS5#/CKE				IRQ13		
101		PE7	D15[A15/ D15]/ D7[A7/D7]	MTIOC6A/ TOC1	MISOB-B	SDHI_WP/ SDHI_D1-B/ QIO1-B	IRQ7		
102		PE6	D14[A14/ D14]/ D6[A6/D6]	MTIOC6C/ TIC1	MOSIB-B	SDHI_CD/ SDHI_D0-B/ QIO0-B	IRQ6		
103	VCC								
104		P70	SDCLK				IRQ0		
105	VSS								
106		PE5	D13[A13/ D13]/ D5[A5/D5]	MTIOC4C/ MTIOC2B	RSPCKB-B		IRQ5		
107		PE4	D12[A12/ D12]/ D4[A4/D4]	MTIOC4D/ MTIOC1A/ PO28	SSLB0-B		IRQ12		

表 1.7 機能別端子一覧(144ピンLFQFP)(7/8)

ピン番号 144ピン LFQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
108		PE3	D11[A11/ D11]/ D3[A3/D3]	MTIOC4B/ PO26/POE8#/ TOC3	CTS12#/RTS12#/ SS12#		IRQ11		
109		PE2	D10[A10/ D10]/ D2[A2/D2]	MTIOC4A/ PO23/TIC3	RXD12/SMISO12/ SSCL12/RXD12/ SSLB3-B		IRQ7-DS		
110		PE1	D9[A9/D9]/ D1[A1/D1]	MTIOC4C/ MTIOC3B/ PO18	TXD12/SMOSI12/ SSDA12/TXD12/ SIOX12/SSLB2-B		IRQ9	ANEX1	
111		PE0	D8[A8/D8]/ D0[A0/D0]	MTIOC3D	SCK12/SSLB1-B		IRQ8	ANEX0	
112		P64	CS4#/WE#/ D3[A3/D3]				IRQ4		
113		P63	CS3#/CAS#/ D2[A2/D2]				IRQ3		
114		P62	CS2#/RAS#/ D1[A1/D1]				IRQ2		
115		P61	CS1#/ SDCS#/ D0[A0/D0]				IRQ1		
116	VSS								
117		P60	CS0#				IRQ0		
118	VCC								
119		PD7	D7[A7/D7]	MTIC5U/ POE0#	SSLC3-A	SDHI_D1-B/ QIO1-B	IRQ7	AN100	
120		PD6	D6[A6/D6]	MTIC5V/ MTIOC8A/ POE4#	SSLC2-A	SDHI_D0-B/ QIO0-B	IRQ6	AN101	
121		PD5	D5[A5/D5]	MTIC5W/ MTIOC8C/ POE10#	SSLC1-A	SDHI_CLK- B/ QSPCLK-B	IRQ5	AN102	
122		PD4	D4[A4/D4]	MTIOC8B/ POE11#	SSLC0-A	SDHI_CMD- B/ QSSL-B	IRQ4	AN103	
123		PD3	D3[A3/D3]	MTIOC8D/ POE8#/TOC2	RSPCKC-A	SDHI_D3-B/ QIO3-B	IRQ3	AN104	
124		PD2	D2[A2/D2]	MTIOC4D/ TIC2	CRX0/MISOC-A	SDHI_D2-B/ QIO2-B	IRQ2	AN105	
125		PD1	D1[A1/D1]	MTIOC4B/ POE0#	CTX0/MOSIC-A		IRQ1	AN106	
126		PD0	D0[A0/D0]	POE4#			IRQ0	AN107	
127		P93	A19	POE0#	CTS7#/RTS7#/ SS7#		IRQ11		
128		P92	A18	POE4#	RXD7/SMISO7/ SSCL7		IRQ10		
129		P91	A17		SCK7		IRQ9		
130	VSS								
131		P90	A16		TXD7/SMOSI7/ SSDA7		IRQ0	AN108	
132	VCC								

表 1.7 機能別端子一覧(144ピンLFQFP) (8 / 8)

ピン番号 144ピン LFQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
133		P47					IRQ15-DS	AN007	
134		P46					IRQ14-DS	AN006	
135		P45					IRQ13-DS	AN005	
136		P44					IRQ12-DS	AN004	
137		P43					IRQ11-DS	AN003	
138		P42					IRQ10-DS	AN002	
139		P41					IRQ9-DS	AN001	
140	VREFL0								
141		P40					IRQ8-DS	AN000	
142	VREFH0								
143	AVCC0								
144		P07					IRQ15	ADTRG0#	

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.4 100ピン TFLGA

表 1.8 機能別端子一覧(100ピン TFLGA) (1 / 6)

ピン番号	電源 クロック システム 制御	I/Oポート	バス EXDMAC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
A1		P05					IRQ13		
A2	AVCC1								
A3		P07					IRQ15	ADTRG0#	
A4	VREFL0								
A5		P43					IRQ11-DS	AN003	
A6		PD0	D0[A0/D0]	POE4#			IRQ0	AN107	
A7		PD4	D4[A4/D4]	MTIOC8B/ POE11#	SSLC0-A	SDHI_CMD- B/ QSSL-B	IRQ4	AN103	
A8		PE0	D8[A8/D8]/ D0[A0/D0]	MTIOC3D	SCK12/SSLB1-B		IRQ8	ANEX0	
A9		PE1	D9[A9/D9]/ D1[A1/D1]	MTIOC4C/ MTIOC3B/ PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B		IRQ9	ANEX1	
A10		PE2	D10[A10/ D10]/ D2[A2/D2]	MTIOC4A/ PO23/TIC3	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B		IRQ7-DS		
B1	EMLE								
B2	AVSS0								
B3	AVCC0								
B4		P40					IRQ8-DS	AN000	
B5		P44					IRQ12-DS	AN004	
B6		PD1	D1[A1/D1]	MTIOC4B/ POE0#	CTX0/MOSIC-A		IRQ1	AN106	
B7		PD3	D3[A3/D3]	MTIOC8D/ POE8#/TOC2	RSPCKC-A	SDHI_D3-B/ QIO3-B	IRQ3	AN104	
B8		PD6	D6[A6/D6]	MTIC5V/ MTIOC8A/ POE4#	SSLC2-A	SDHI_D0-B/ QIO0-B	IRQ6	AN101	
B9		PD7	D7[A7/D7]	MTIC5U/ POE0#	SSLC3-A	SDHI_D1-B/ QIO1-B	IRQ7	AN100	
B10		PE3	D11[A11/ D11]/ D3[A3/D3]	MTIOC4B/ PO26/POE8#/ TOC3	CTS12#/RTS12#/ SS12#		IRQ11		
C1	VCL								
C2	AVSS1								
C3	EXCIN	PJ3	EDACK1	MTIOC3C	CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#		IRQ11		
C4	VREFH0								
C5		P42					IRQ10-DS	AN002	
C6		P47					IRQ15-DS	AN007	
C7		PD2	D2[A2/D2]	MTIOC4D/ TIC2	CRX0/MISOC-A	SDHI_D2-B/ QIO2-B	IRQ2	AN105	

表 1.8 機能別端子一覧(100ピンTFLGA) (2 / 6)

ピン番号 100ピン TFLGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
C8		PD5	D5[A5/D5]	MTIC5W/ MTIOC8C/ POE10#	SSLC1-A	SDHI_CLK- B/ QSPCLK-B	IRQ5	AN102	
C9		PE5	D13[A13/ D13]/ D5[A5/D5]	MTIOC4C/ MTIOC2B	RSPCKB-B		IRQ5		
C10		PE4	D12[A12/ D12]/ D4[A4/D4]	MTIOC4D/ MTIOC1A/ PO28	SSLB0-B		IRQ12		
D1	XCIN								
D2	XCOUT								
D3	MD/ FINED								
D4	VBATT								
D5		P45					IRQ13-DS	AN005	
D6		P46					IRQ14-DS	AN006	
D7		PE6	D14[A14/ D14]/ D6[A6/D6]	MTIOC6C/ TIC1	MOSIB-B	SDHI_CD/ SDHI_D0-B/ QIO0-B	IRQ6		
D8		PE7	D15[A15/ D15]/ D7[A7/D7]	MTIOC6A/ TOC1	MISOB-B	SDHI_WP/ SDHI_D1-B/ QIO1-B	IRQ7		
D9		PA1	A1	MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/PO17	SCK5/SSLA2-B/ SSL02-B/SCK12	SDHI_CD	IRQ11		
D10		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ TIOCA0/ CACREF/ PO16	SSLA1-B/SSL01-B		IRQ0		
E1	XTAL	P37							
E2	VSS								
E3	RES#								
E4	TRST#	P34		MTIOC0A/ TMCI3/PO12/ POE10#	SCK6/SCK0		IRQ4		TS0
E5		P41					IRQ9-DS	AN001	
E6		PA2	A2	MTIOC7A/ PO18	RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12	SDHI_WP	IRQ10		
E7		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSIO-B/CTS12#/ RTS12#/SS12#		IRQ14		

表 1.8 機能別端子一覧(100ピンTFLGA) (3 / 6)

ピン番号 100ピン TFLGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
E8		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/ TMRI0/PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/ SSDA12/TXD12/ SIOX12		IRQ5-DS		
E9		PA5	A5	MTIOC6B/ TIOCB1/PO21	RSPCKA-B/ RSPCK0-B		IRQ5		
E10		PA3	A3	MTIOC0D/ MTCLKD/ TIOC0D/ TCLKB/PO19	RXD5/SMISO5/ SSCL5		IRQ6-DS		
F1	EXTAL	P36							
F2	VCC								
F3	UPSEL	P35					NMI		
F4		P32		MTIOC0C/ TIOCC0/ TMO3/PO10/ RTCOUT/ RTCIC2/ POE0#/ POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN		IRQ2-DS		TAMPI2
F5		P12		MTIC5U/ TMCI1	RXD2/SMISO2/ SSCL2/ SCL0[FM+]/ SCLHS0[FM+/HS]		IRQ2		
F6		PB3	A11	MTIOC0A/ MTIOC4A/ TIOC0D3/ TCLKD/ TMO0/PO27/ POE11#	SCK6/PMC0-DS		IRQ3		
F7		PB2	A10	TIOCC3/ TCLKC/PO26	CTS6#/RTS6#/ SS6#		IRQ2		
F8		PB0	A8	MTIC5W/ TIOCA3/PO24	RXD6/SMISO6/ SSCL6		IRQ12		
F9		PA7	A7	TIOCB2/PO23	MISOA-B/MISO0-B		IRQ7		
F10	VSS								
G1		P33	EDREQ1	MTIOC0D/ TIOC0D/ TMRI3/PO11/ POE4#/ POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0		IRQ3-DS		TS1
G2	TMS	P31		MTIOC4D/ TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0-A		IRQ1-DS		TAMPI1
G3	TDI	P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1/MISOB-A		IRQ0-DS		TAMPI0
G4	TCK	P27	CS7#	MTIOC2B/ TMCI3/PO7	SCK1/RSPCKB-A		IRQ7		TS2
G5		P53 (注1)	BCLK		SSIRXD0/ PMC0-DS		IRQ3		TS12

表 1.8 機能別端子一覧(100ピンTFLGA) (4 / 6)

ピン番号 100ピン TFLGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
G6		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3-A		IRQ2		
G7		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/PO29/ POE4#	SCK9/SCK11/ SCK011		IRQ13		
G8		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/ SS9#/SS11#/ CTS11#/RTS11#/ SS011#/CTS011#/ RTS011#/DE011		IRQ4		
G9		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25	TXD6/SMOSI6/ SSDA6		IRQ4-DS		
G10	VCC								
H1	TDO	P26	CS6#	MTIOC2A/ TMO1/PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A		IRQ6		TS3
H2		P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3	SDHI_CD	IRQ5	ADTRG0#	TS4/ CLKOUT
H3		P16		MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#	
H4		P15		MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS		IRQ5		TS10
H5		P55	D0[A0/D0]/ WAIT#/ EDREQ0	MTIOC4D/ TMO3	CRX1/MISOC-B		IRQ10		
H6		P54	ALE/ D1[A1/D1]/ EDACK0	MTIOC4B/ TMCI1	CTS2#/RTS2#/ SS2#/CTX1/ MOSIC-B		IRQ4		
H7	UB	PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TMO2/TOC0/ PO31/ CACREF	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/ SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A		IRQ14		

表 1.8 機能別端子一覧(100ピンTFLGA) (5 / 6)

ピン番号 100ピン TFLGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
H8		PC6	D2[A2/D2]/ A22/CS1#	MTIOC3C/ MTCLKA/ TMCI2/TIC0/ PO30	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SSILRCK0/ SMISO010/ SSCL010/RXD010/ MOSI0-A		IRQ13		TS13
H9		PB6	A14	MTIOC3D/ TIOCA5/PO30	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011		IRQ6		
H10		PB7	A15	MTIOC3B/ TIOCB5/PO31	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011		IRQ15		
J1		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4	SCK3/ USB0_VBUSEN	SDHI_WP	IRQ12		TS5
J2		P21		MTIOC1B/ MTIOC4A/ TIOCA3/ TMCI0/PO1	RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ SSILRCK0	SDHI_CLK-C	IRQ9		TS8
J3		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOCB0/ TCLKD/ TMO1/PO15/ POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/ SSITXD0	SDHI_D3-C	IRQ7	ADTRG1#	
J4		P13		MTIOC0B/ TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/ SDA0[FM+]/ SDAHS0[FM+/HS]		IRQ3	ADTRG1#	
J5	VSS_USB								
J6	VCC_USB								
J7		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1-A		IRQ0		
J8		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TMCI1/PO25/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/ SS10#/CTS10#/ RTS10#/SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A	SDHI_D1-A/ QIO1-A	IRQ12		TSCAP
J9		PC0	A16	MTIOC3C/ TCLKC/PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/ SMISO011/ SSCL011/SSL01-A		IRQ14		TS16

表 1.8 機能別端子一覧(100ピンTFLGA) (6 / 6)

ピン番号 100ピン TFLGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
J10		PC1	A17	MTIOC3A/ TCLKD/PO18	SCK5/SSLA2-A/ TXD011/ SMOSI011/ SSDA011/ TXDA011/SSL02-A		IRQ12		TS15
K1		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSIBCK0	SDHI_D1-C	IRQ3		TS6
K2		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_CLK	SDHI_D0-C	IRQ15		TS7
K3		P20		MTIOC1A/ TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/ SSIRXD0	SDHI_CMD- C	IRQ8		TS9
K4		P14		MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4		TS11
K5		PH2		TMRI0	USB0_DM		IRQ1		
K6		PH1		TMO0	USB0_DP		IRQ0		
K7		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2-A		IRQ1		
K8		PC5	D3[A3/D3]/ A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TMRI2/PO29	SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A		IRQ5		TS14
K9		PC3	A19	MTIOC4D/ TCLKB/PO24	TXD5/SMOSI5/ SSDA5/PMC0-DS	SDHI_D0-A/ QIO0-A	IRQ11		
K10		PC2	A18	MTIOC4B/ TCLKA/PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ TXDB011/SSL03-A	SDHI_D3-A	IRQ10		

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.5 100ピンLFQFP

表 1.9 機能別端子一覧(100ピンLFQFP) (1 / 6)

ピン番号	電源 クロック システム 制御	I/Oポート	バス EXDMAC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
1	AVCC1								
2	EMLE								
3	AVSS1								
4	EXCIN	PJ3	EDACK1	MTIOC3C	CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#		IRQ11		
5	VCL								
6	VBATT								
7	MD/ FINED								
8	XCIN								
9	XCOUT								
10	RES#								
11	XTAL	P37							
12	VSS								
13	EXTAL	P36							
14	VCC								
15	UPSEL	P35					NMI		
16	TRST#	P34		MTIOC0A/ TMCI3/PO12/ POE10#	SCK6/SCK0		IRQ4		TS0
17		P33	EDREQ1	MTIOC0D/ TIOC0D/ TMRI3/PO11/ POE4#/ POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0		IRQ3-DS		TS1
18		P32		MTIOC0C/ TIOCC0/ TMO3/PO10/ RTCOUT/ RTCIC2/ POE0#/ POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN		IRQ2-DS		TAMPI2
19	TMS	P31		MTIOC4D/ TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0-A		IRQ1-DS		TAMPI1
20	TDI	P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1/MISOB-A		IRQ0-DS		TAMPI0
21	TCK	P27	CS7#	MTIOC2B/ TMCI3/PO7	SCK1/RSPCKB-A		IRQ7		TS2
22	TDO	P26	CS6#	MTIOC2A/ TMO1/PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A		IRQ6		TS3

表 1.9 機能別端子一覧(100ピンLQFP) (2 / 6)

ピン番号	電源 クロック システム 制御	I/Oポート	バス EXDMAC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
23		P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3	SDHI_CD	IRQ5	ADTRG0#	TS4/ CLKOUT
24		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4	SCK3/ USB0_VBUSEN	SDHI_WP	IRQ12		TS5
25		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSIBCK0	SDHI_D1-C	IRQ3		TS6
26		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_CLK	SDHI_D0-C	IRQ15		TS7
27		P21		MTIOC1B/ MTIOC4A/ TIOCA3/ TMCI0/PO1	RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ SSILRCK0	SDHI_CLK-C	IRQ9		TS8
28		P20		MTIOC1A/ TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/ SSIRXD0	SDHI_CMD- C	IRQ8		TS9
29		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOCB0/ TCLKD/ TMO1/PO15/ POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/ SSITXD0	SDHI_D3-C	IRQ7	ADTRG1#	
30		P16		MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#	
31		P15		MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS		IRQ5		TS10
32		P14		MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4		TS11
33		P13		MTIOC0B/ TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/ SDA0[FM+]/ SDAHS0[FM+/HS]		IRQ3	ADTRG1#	
34		P12		MTIC5U/ TMCI1	RXD2/SMISO2/ SSCL2/ SCL0[FM+]/ SCLHS0[FM+/HS]		IRQ2		
35	VCC_USB								

表 1.9 機能別端子一覧(100ピンLQFP) (3 / 6)

ピン番号 100ピン LQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
36		PH2		TMRI0	USB0_DM		IRQ1		
37		PH1		TMO0	USB0_DP		IRQ0		
38	VSS_USB								
39		P55	D0[A0/D0]/ WAIT#/ EDREQ0	MTIOC4D/ TMO3	CRX1/MISOC-B		IRQ10		
40		P54	ALE/ D1[A1/D1]/ EDACK0	MTIOC4B/ TMCI1	CTS2#/RTS2#/ SS2#/CTX1/ MOSIC-B		IRQ4		
41		P53(注1)	BCLK		SSIRXD0/ PMC0-DS		IRQ3		TS12
42		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3-A		IRQ2		
43		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2-A		IRQ1		
44		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1-A		IRQ0		
45	UB	PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TMO2/TOC0/ PO31/ CACREF	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/ SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A		IRQ14		
46		PC6	D2[A2/D2]/ A22/CS1#	MTIOC3C/ MTCLKA/ TMCI2/TIC0/ PO30	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SSILRCK0/ SMISO010/ SSCL010/RXD010/ MOSI0-A		IRQ13		TS13
47		PC5	D3[A3/D3]/ A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TMRI2/PO29	SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A		IRQ5		TS14
48		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TMCI1/PO25/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/ SS10#/CTS10#/ RTS10#/SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A	SDHI_D1-A/ QIO1-A	IRQ12		TSCAP
49		PC3	A19	MTIOC4D/ TCLKB/PO24	TXD5/SMOSI5/ SSDA5/PMC0-DS	SDHI_D0-A/ QIO0-A	IRQ11		
50		PC2	A18	MTIOC4B/ TCLKA/PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ TXDB011/SSL03-A	SDHI_D3-A	IRQ10		
51		PC1	A17	MTIOC3A/ TCLKD/PO18	SCK5/SSLA2-A/ TXD011/ SMOSI011/ SSDA011/ TXDA011/SSL02-A		IRQ12		TS15

表 1.9 機能別端子一覧(100ピンLQFP) (4 / 6)

ピン番号	電源 クロック システム 制御	I/Oポート	バス EXDMAC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
52		PC0	A16	MTIOC3C/ TCLKC/PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/ SMISO011/ SSCL011/SSL01-A		IRQ14		TS16
53		PB7	A15	MTIOC3B/ TIOCB5/PO31	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011		IRQ15		
54		PB6	A14	MTIOC3D/ TIOCA5/PO30	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011		IRQ6		
55		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/PO29/ POE4#	SCK9/SCK11/ SCK011		IRQ13		
56		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/ SS9#/SS11#/ CTS11#/RTS11#/ SS011#/CTS011#/ RTS011#/DE011		IRQ4		
57		PB3	A11	MTIOC0A/ MTIOC4A/ TIOCD3/ TCLKD/ TMO0/PO27/ POE11#	SCK6/PMC0-DS		IRQ3		
58		PB2	A10	TIOCC3/ TCLKC/PO26	CTS6#/RTS6#/ SS6#		IRQ2		
59		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25	TXD6/SMOSI6/ SSDA6		IRQ4-DS		
60	VCC								
61		PB0	A8	MTIC5W/ TIOCA3/PO24	RXD6/SMISO6/ SSCL6		IRQ12		
62	VSS								
63		PA7	A7	TIOCB2/PO23	MISOA-B/MISO0-B		IRQ7		
64		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSI0-B/CTS12#/ RTS12#/SS12#		IRQ14		
65		PA5	A5	MTIOC6B/ TIOCB1/PO21	RSPCKA-B/ RSPCK0-B		IRQ5		
66		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/ TMRI0/PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12		IRQ5-DS		

表 1.9 機能別端子一覧(100ピンLFQFP) (5 / 6)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSUI、 CLKOUT、 タンパ 検出)
67		PA3	A3	MTIOC0D/ MTCLKD/ TIOC0D/ TCLKB/PO19	RXD5/SMISO5/ SSCL5		IRQ6-DS		
68		PA2	A2	MTIOC7A/ PO18	RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12	SDHI_WP	IRQ10		
69		PA1	A1	MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/PO17	SCK5/SSLA2-B/ SSL02-B/SCK12	SDHI_CD	IRQ11		
70		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ TIOCA0/ CACREF/ PO16	SSLA1-B/SSL01-B		IRQ0		
71		PE7	D15[A15/ D15]/ D7[A7/D7]	MTIOC6A/ TOC1	MISOB-B	SDHI_WP/ SDHI_D1-B/ QIO1-B	IRQ7		
72		PE6	D14[A14/ D14]/ D6[A6/D6]	MTIOC6C/ TIC1	MOSIB-B	SDHI_CD/ SDHI_D0-B/ QIO0-B	IRQ6		
73		PE5	D13[A13/ D13]/ D5[A5/D5]	MTIOC4C/ MTIOC2B	RSPCKB-B		IRQ5		
74		PE4	D12[A12/ D12]/ D4[A4/D4]	MTIOC4D/ MTIOC1A/ PO28	SSLB0-B		IRQ12		
75		PE3	D11[A11/ D11]/ D3[A3/D3]	MTIOC4B/ PO26/POE8#/ TOC3	CTS12#/RTS12#/ SS12#		IRQ11		
76		PE2	D10[A10/ D10]/ D2[A2/D2]	MTIOC4A/ PO23/TIC3	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B		IRQ7-DS		
77		PE1	D9[A9/D9]/ D1[A1/D1]	MTIOC4C/ MTIOC3B/ PO18	TXD12/SMOS12/ SSDA12/TXDX12/ SIOX12/SSLB2-B		IRQ9	ANEX1	
78		PE0	D8[A8/D8]/ D0[A0/D0]	MTIOC3D	SCK12/SSLB1-B		IRQ8	ANEX0	
79		PD7	D7[A7/D7]	MTIC5U/ POE0#	SSLC3-A	SDHI_D1-B/ QIO1-B	IRQ7	AN100	
80		PD6	D6[A6/D6]	MTIC5V/ MTIOC8A/ POE4#	SSLC2-A	SDHI_D0-B/ QIO0-B	IRQ6	AN101	
81		PD5	D5[A5/D5]	MTIC5W/ MTIOC8C/ POE10#	SSLC1-A	SDHI_CLK- B/ QSPCLK-B	IRQ5	AN102	
82		PD4	D4[A4/D4]	MTIOC8B/ POE11#	SSLC0-A	SDHI_CMD- B/ QSSL-B	IRQ4	AN103	
83		PD3	D3[A3/D3]	MTIOC8D/ POE8#/TOC2	RSPCKC-A	SDHI_D3-B/ QIO3-B	IRQ3	AN104	

表 1.9 機能別端子一覧(100ピンLFQFP) (6 / 6)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC	タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 CLKOUT、 タンパ 検出)
84		PD2	D2[A2/D2]	MTIOC4D/ TIC2	CRX0/MISOC-A	SDHI_D2-B/ QIO2-B	IRQ2	AN105	
85		PD1	D1[A1/D1]	MTIOC4B/ POE0#	CTX0/MOSIC-A		IRQ1	AN106	
86		PD0	D0[A0/D0]	POE4#			IRQ0	AN107	
87		P47					IRQ15-DS	AN007	
88		P46					IRQ14-DS	AN006	
89		P45					IRQ13-DS	AN005	
90		P44					IRQ12-DS	AN004	
91		P43					IRQ11-DS	AN003	
92		P42					IRQ10-DS	AN002	
93		P41					IRQ9-DS	AN001	
94	VREFL0								
95		P40					IRQ8-DS	AN000	
96	VREFH0								
97	AVCC0								
98		P07					IRQ15	ADTRG0#	
99	AVSS0								
100		P05					IRQ13		

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.6 64ピン TFBGA

表 1.10 機能別端子一覧(64ピンTFBGA) (1 / 3)

ピン番号	電源 クロック システム 制御	I/Oポート	タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 タンパ 検出)
A1	AVCC1							
A2	AVSS0							
A3	VREFH0							
A4	VREFL0							
A5		PD2	MTIOC4D/TIC2		SDHI_D2-B/ QIO2-B	IRQ2	AN105	
A6		PD7	MTIC5U/POE0#		SDHI_D1-B/ QIO1-B	IRQ7	AN100	
A7		PE0	MTIOC3D	SCK12/SSLB1-B		IRQ8	ANEX0	
A8		PE2	MTIOC4A/TIC3	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B		IRQ7-DS		
B1	EMLE							
B2	AVSS1							
B3	AVCC0							
B4		P42				IRQ10-DS	AN002	
B5		PD3	MTIOC8D/POE8#/ TOC2		SDHI_D3-B/ QIO3-B	IRQ3	AN104	
B6		PD6	MTIC5V/MTIOC8A/ POE4#		SDHI_D0-B/ QIO0-B	IRQ6	AN101	
B7		PE1	MTIOC4C/ MTIOC3B	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B		IRQ9	ANEX1	
B8		PE6	MTIOC6C/TIC1	MOSIB-B	SDHI_CD/ SDHI_D0-B/ QIO0-B	IRQ6		
C1	VCL							
C2	VBATT							
C3	MD/FINED							
C4		P41				IRQ9-DS	AN001	
C5		PD4	MTIOC8B/POE11#		SDHI_CMD-B/ QSSL-B	IRQ4	AN103	
C6		PD5	MTIC5W/ MTIOC8C/POE10#		SDHI_CLK-B/ QSPCLK-B	IRQ5	AN102	
C7		PA1	MTIOC0B/ MTCLKC/ MTIOC7B/TIOC0	SCK5/SSLA2-B/ SSL02-B/SCK12	SDHI_CD	IRQ11		
C8		PE7	MTIOC6A/TOC1	MISOB-B	SDHI_WP/ SDHI_D1-B/ QIO1-B	IRQ7		
D1	XCIN							
D2	XCOUT							
D3	RES#							
D4		P40				IRQ8-DS	AN000	
D5		P43				IRQ11-DS	AN003	

表 1.10 機能別端子一覧(64ピンTFBGA)(2 / 3)

ピン番号	電源 クロック システム 制御	I/Oポート	タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 タンパ 検出)
D6		PA6	MTIC5V/MTCLKB/ TIOCA2/TMCI3/ POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSIO-B/CTS12#/ RTS12#/SS12#		IRQ14		
D7		PA2	MTIOC7A	RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12	SDHI_WP	IRQ10		
D8		PA4	MTIC5U/MTCLKA/ TIOCA1/TMRI0	TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12		IRQ5-DS		
E1	XTAL	P37						
E2	VSS							
E3	TRST#	P34	MTIOC0A/TMCI3/ POE10#			IRQ4		TS0
E4		P13	MTIOC0B/TIOCA5/ TMO3	TXD2/SMOSI2/ SSDA2/SDA0[FM+]/ SDAHS0[FM+/HS]		IRQ3	ADTRG1#	
E5	BSCANP							
E6		PA7	TIOCB2	MISOA-B/MISO0-B		IRQ7		
E7	VCC							
E8	VSS							
F1	EXTAL	P36						
F2	VCC							
F3	UPSEL	P35				NMI		
F4		P12	TMCI1/MTIC5U	RXD2/SMOSI2/ SSCL2/SCL0[FM+]/ SCLHS0[FM+/HS]		IRQ2		
F5		P53		SSIRXD0/ PMC0-DS		IRQ3		TS12
F6		PB7	MTIOC3B/TIOCB5	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011		IRQ15		
F7		PB6	MTIOC3D/TIOCA5	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011		IRQ6		
F8		PB5	MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/POE4#	SCK9/SCK11/ SCK011		IRQ13		
G1	TCK	P27	MTIOC2B/TMCI3	SCK1/RSPCKB-A		IRQ7		TS2
G2	TMS	P31	MTIOC4D/TMCI2/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0-A		IRQ1-DS		TAMPI1
G3	TDI	P30	MTIOC4B/TMRI3/ RTCIC0/POE8#	RXD1/SMISO1/ SSCL1/MISOB-A		IRQ0-DS		TAMPI0
G4	VCC_USB							

表 1.10 機能別端子一覧(64ピンTFBGA) (3 / 3)

ピン番号 64ピン TFBGA	電源 クロック システム 制御	I/Oポート	タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 タンパ 検出)
G5	VSS_USB							
G6	UB	PC7	MTIOC3A/ MTCLKB/TMO2/ TOC0/CACREF	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A		IRQ14		
G7		PC5	MTIOC3B/ MTCLKD/TMRI2	SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A		IRQ5		TS14
G8		PC0	MTIOC3C/TCLKC	CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/SMISO011/ SSCL011/SSL01-A		IRQ14		TS16
H1	TDO	P26	MTIOC2A/TMO1	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A		IRQ6		TS3
H2		P17	MTIOC3A/ MTIOC3B/ MTIOC4B/TIOCB0/ TCLKD/TMO1/ POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0	SDHI_D3-C	IRQ7	ADTRG1#	
H3		P16	MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS		IRQ6	ADTRG0#	
H4		PH2	TMRI0	USB0_DM		IRQ1		
H5		PH1	TMO0	USB0_DP		IRQ0		
H6		PC6	MTIOC3C/ MTCLKA/TMCI2/ TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SMISO010/ SSCL010/RXD010/ MOSI0-A/SSILRCK0		IRQ13		TS13
H7		PC4	MTIOC3D/ MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/SS10#/ CTS10#/RTS10#/ SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A	SDHI_D1-A/ QIO1-A	IRQ12		TSCAP
H8		PC1	MTIOC3A/TCLKD	SCK5/SSLA2-A/ TXD011/SMOSI011/ SSDA011/TXDA011/ SSL02-A		IRQ12		TS15

1.6.7 64ピンLFQFP

表 1.11 機能別端子一覧(64ピンLFQFP) (1 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム 制御	I/Oポート	タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 タンパ 検出)
1	AVCC1							
2	EMLE							
3	AVSS1							
4	VCL							
5	VBATT							
6	MD/FINED							
7	XCIN							
8	XCOUT							
9	RES#							
10	XTAL	P37						
11	VSS							
12	EXTAL	P36						
13	VCC							
14	UPSEL	P35				NMI		
15	TRST#	P34	MTIOC0A/TMCI3/ POE10#			IRQ4		TS0
16	TDI	P30	MTIOC4B/TMRI3/ RTCIC0/POE8#	RXD1/SMISO1/ SSCL1/MISOB-A		IRQ0-DS		TAMPIO
17	TMS	P31	MTIOC4D/TMCI2/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0-A		IRQ1-DS		TAMPI1
18	TDO	P26	MTIOC2A/TMO1	TXD1/CTS3#/ RTS3#/SMOS11/ SS3#/SSDA1/ MOSIB-A		IRQ6		TS3
19	TCK	P27	MTIOC2B/TMCI3	SCK1/RSPCKB-A		IRQ7		TS2
20		P17	MTIOC3A/ MTIOC3B/ MTIOC4B/TIOCB0/ TCLKD/TMO1/ POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0	SDHI_D3-C	IRQ7	ADTRG1#	
21		P16	MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB_VBUS		IRQ6	ADTRG0#	
22		P13	MTIOC0B/TIOCA5/ TMO3	TXD2/SMOSI2/ SSDA2/SDA0[FM+]/ SDAHS0[FM+/HS]		IRQ3	ADTRG1#	
23		P12	TMCI1/MTIC5U	RXD2/SMISO2/ SSCL2/SCL0[FM+]/ SCLHS0[FM+/HS]		IRQ2		
24	VCC_USB							
25		PH2	TMRI0	USB0_DM		IRQ1		
26		PH1	TMO0	USB0_DP		IRQ0		
27	VSS_USB							
28		P53		SSIRXD0/ PMC0-DS		IRQ3		TS12

表 1.11 機能別端子一覧(64ピンLFQFP) (2 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム 制御	I/Oポート	タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIIICH, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU, タンパ 検出)
29	UB	PC7	MTIOC3A/ MTCLKB/TMO2/ TOC0/CACREF	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A		IRQ14		
30		PC6	MTIOC3C/ MTCLKA/TMCI2/ TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SMISO010/ SSCL010/RXD010/ MOSI0-A/SSILRCK0		IRQ13		TS13
31		PC5	MTIOC3B/ MTCLKD/TMRI2	SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A		IRQ5		TS14
32		PC4	MTIOC3D/ MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/SS10#/ CTS10#/RTS10#/ SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A	SDHI_D1-A/ QIO1-A	IRQ12		TSCAP
33		PC1	MTIOC3A/TCLKD	SCK5/SSLA2-A/ TXD011/SMOSI011/ SSDA011/TXDA011/ SSL02-A		IRQ12		TS15
34		PC0	MTIOC3C/TCLKC	CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/SMISO011/ SSCL011/SSL01-A		IRQ14		TS16
35		PB7	MTIOC3B/TIOCB5	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011		IRQ15		
36		PB6	MTIOC3D/TIOCA5	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011		IRQ6		
37		PB5	MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/POE4#	SCK9/SCK11/ SCK011		IRQ13		
38	VCC							
39	VSS							
40		PA7	TIOCB2	MISOA-B/MISO0-B		IRQ7		
41		PA6	MTIC5V/MTCLKB/ TIOCA2/TMCI3/ POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSI0-B/CTS12#/ RTS12#/SS12#		IRQ14		

表 1.11 機能別端子一覧(64ピンLFQFP) (3 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム 制御	I/Oポート	タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIIHS, USB, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU、 タンパ 検出)
42		PA4	MTIC5U/MTCLKA/ TIOCA1/TMRI0	TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12		IRQ5-DS		
43		PA2	MTIOC7A	RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12	SDHI_WP	IRQ10		
44		PA1	MTIOC0B/ MTCLKC/ MTIOC7B/TIOCB0	SCK5/SSLA2-B/ SSL02-B/SCK12	SDHI_CD	IRQ11		
45		PE7	MTIOC6A/TOC1	MISOB-B	SDHI_WP/ SDHI_D1-B/ QIO1-B	IRQ7		
46		PE6	MTIOC6C/TIC1	MOSIB-B	SDHI_CD/ SDHI_D0-B/ QIO0-B	IRQ6		
47		PE2	MTIOC4A/TIC3	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B		IRQ7-DS		
48		PE1	MTIOC4C/ MTIOC3B	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B		IRQ9	ANEX1	
49		PE0	MTIOC3D	SCK12/SSLB1-B		IRQ8	ANEX0	
50		PD7	MTIC5U/POE0#		SDHI_D1-B/ QIO1-B	IRQ7	AN100	
51		PD6	MTIC5V/MTIOC8A/ POE4#		SDHI_D0-B/ QIO0-B	IRQ6	AN101	
52		PD5	MTIC5W/ MTIOC8C/POE10#		SDHI_CLK-B/ QSPCLK-B	IRQ5	AN102	
53		PD4	MTIOC8B/POE11#		SDHI_CMD-B/ QSSL-B	IRQ4	AN103	
54		PD3	MTIOC8D/POE8#/ TOC2		SDHI_D3-B/ QIO3-B	IRQ3	AN104	
55		PD2	MTIOC4D/TIC2		SDHI_D2-B/ QIO2-B	IRQ2	AN105	
56		P43				IRQ11-DS	AN003	
57		P42				IRQ10-DS	AN002	
58		P41				IRQ9-DS	AN001	
59	VREFL0							
60		P40				IRQ8-DS	AN000	
61	VREFH0							
62	AVCC0							
63	AVSS0							
64		P05				IRQ13		

1.6.8 48ピンHWQFN

表 1.12 機能別端子一覧(48ピンHWQFN) (1 / 3)

ピン番号 48ピン HWQFN	電源 クロック システム 制御	I/Oポート	タイマ (MTU, TPU, TMR, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSUs)
1	EMLE							
2	MD/FINED							
3	RES#							
4	XTAL	P37						
5	VSS							
6	EXTAL	P36						
7	VCC							
8	UPSEL	P35				NMI		
9	TRST#	P34	MTIOC0A/TMCI3/ POE10#			IRQ4		TS0
10	TMS	P31	MTIOC4D/TMCI2	CTS1#/RTS1#/ SS1#/SSLB0-A		IRQ1-DS		
11	TDI	P30	MTIOC4B/TMRI3/ POE8#	RXD1/SMISO1/ SSCL1/MISOB-A		IRQ0-DS		
12	TCK	P27	MTIOC2B/TMCI3	SCK1/RSPCKB-A		IRQ7		TS2
13	TDO	P26	MTIOC2A/TMO1	TXD1/CTS3#/ RTS3#/SMOS11/ SS3#/SSDA1/ MOSIB-A		IRQ6		TS3
14		P17	MTIOC3A/ MTIOC3B/ MTIOC4B/TIOCB0/ TCLKD/TMO1/ POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0	SDHI_D3-C	IRQ7	ADTRG1#	
15		P16	MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS		IRQ6	ADTRG0#	
16		P13	MTIOC0B/TIOCA5/ TMO3	TXD2/SMOSI2/ SSDA2/SDA0[FM+]/ SDAHS0[FM+/HS]		IRQ3	ADTRG1#	
17		P12	TMCI1/MTIC5U	RXD2/SMISO2/ SSCL2/SCL0[FM+]/ SCLHS0[FM+/HS]		IRQ2		
18	VCC							
19	VSS							
20		P53		SSIRXD0/ PMC0-DS		IRQ3		TS12
21	UB	PC7	MTIOC3A/ MTCLKB/TMO2/ TOC0/CACREF	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A		IRQ14		

表 1.12 機能別端子一覧(48ピンHWQFN) (2 / 3)

ピン番号	電源 クロック システム 制御	I/Oポート	タイマ (MTU, TPU, TMR, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSUS)
22		PC6	MTIOC3C/ MTCLKA/TMCI2/ TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SSILRCK0/ SMISO010/ SSCL010/RXD010/ MOSIO-A		IRQ13		TS13
23		PC5	MTIOC3B/ MTCLKD/TMRI2	SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A		IRQ5		TS14
24		PC4	MTIOC3D/ MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/SS10#/ CTS10#/RTS10#/ SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A	SDHI_D1-A/ QIO1-A	IRQ12		TSCAP
25		PB7	MTIOC3B/TIOCB5	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011		IRQ15		
26		PB6	MTIOC3D/TIOCA5	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011		IRQ6		
27		PB5	MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/POE4#	SCK9/SCK11/ SCK011		IRQ13		
28	VCC							
29	VSS							
30	VCL							
31		PA6	MTIC5V/MTCLKB/ TIOCA2/TMCI3/ POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSIO-B/CTS12#/ RTS12#/SS12#		IRQ14		
32		PA4	MTIC5U/MTCLKA/ TIOCA1/TMRI0	TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12		IRQ5-DS		
33		PA2	MTIOC7A	RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12	SDHI_WP	IRQ10		
34		PA1	MTIOC0B/ MTCLKC/ MTIOC7B/TIOCB0	SCK5/SSLA2-B/ SSL02-B/SCK12	SDHI_CD	IRQ11		
35		PE7	MTIOC6A/TOC1	MISOB-B	SDHI_WP/ SDHI_D1-B/ QIO1-B	IRQ7		

表 1.12 機能別端子一覧(48ピンHWQFN) (3 / 3)

ピン番号 48ピン HWQFN	電源 クロック システム 制御	I/Oポート	タイマ (MTU, TPU, TMR, CMTW, POE, CAC)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, SSIE, REMC)	通信 (QSPIX, SDHI)	割り込み	A/D	その他 (CTSU)
36		PE6	MTIOC6C/TIC1	MOSIB-B	SDHI_CD/ SDHI_D0-B/ QIO0-B	IRQ6		
37		PD5	MTIC5W/ MTIOC8C/POE10#		SDHI_CLK-B/ QSPCLK-B	IRQ5	AN102	
38		PD4	MTIOC8B/POE11#		SDHI_CMD-B/ QSSL-B	IRQ4	AN103	
39		PD3	MTIOC8D/POE8#/ TOC2		SDHI_D3-B/ QIO3-B	IRQ3	AN104	
40		PD2	MTIOC4D/TIC2		SDHI_D2-B/ QIO2-B	IRQ2	AN105	
41		P43				IRQ11-DS	AN003	
42		P42				IRQ10-DS	AN002	
43		P41				IRQ9-DS	AN001	
44	VREFL0							
45		P40				IRQ8-DS	AN000	
46	VREFH0							
47	AVCC0/ AVCC1							
48	AVSS0/AVSS1							

2. CPU

RXv3 CPUは、RXv3 命令セットアーキテクチャに基づいた CPU です。RXv2 CPU に比べ命令処理効率が向上しており、より高い性能を発揮します。

RXv3 命令セットアーキテクチャ (RXv3) は、RXv2 命令セットアーキテクチャ (RXv2)、RXv1 命令セットアーキテクチャ (RXv1) と上位互換性のある命令セットアーキテクチャです。

- 可変長命令方式の採用
可変長命令形式の採用により、使用頻度の高い命令をより短い命令長に割り付けていますので、コード効率の良いプログラムを開発できます。
- 強力な命令セット
DSP 機能命令や浮動小数点演算命令により、DSP に匹敵するデータ処理能力を発揮します。
- 豊富なアドレッシングモード
豊富なアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間の演算や、ビットを対象とする演算ができます。また、メモリ-メモリ間の転送ができます。

2.1 特長

- 最短命令実行時間：1 サイクルで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
汎用レジスタ：32 ビット×16 本
制御レジスタ：32 ビット×10 本
アキュムレータ：72 ビット×2 本
- 可変長命令形式 (1 バイト長～8 バイト長)
- 113 命令
標準搭載命令：111 命令
基本命令：77 命令
単精度浮動小数点演算命令：11 命令
DSP 機能命令：23 命令
レジスタ括退避機能命令：2 命令
- プロセッサモード
スーパバイザモード、ユーザモード
- ベクタテーブル
例外ベクタテーブル、割り込みベクタテーブル
- メモリプロテクションユニット
- データ配置
リトルエンディアン/ビッグエンディアン選択可能
- 倍精度浮動小数点コプロセッサ搭載
倍精度浮動小数点処理命令：21 命令

2.2 CPU レジスタセット

CPUのレジスタには、汎用レジスタ(16本)と、制御レジスタ(10本)、およびDSP機能命令で使用するアキュムレータ(2本)があります。

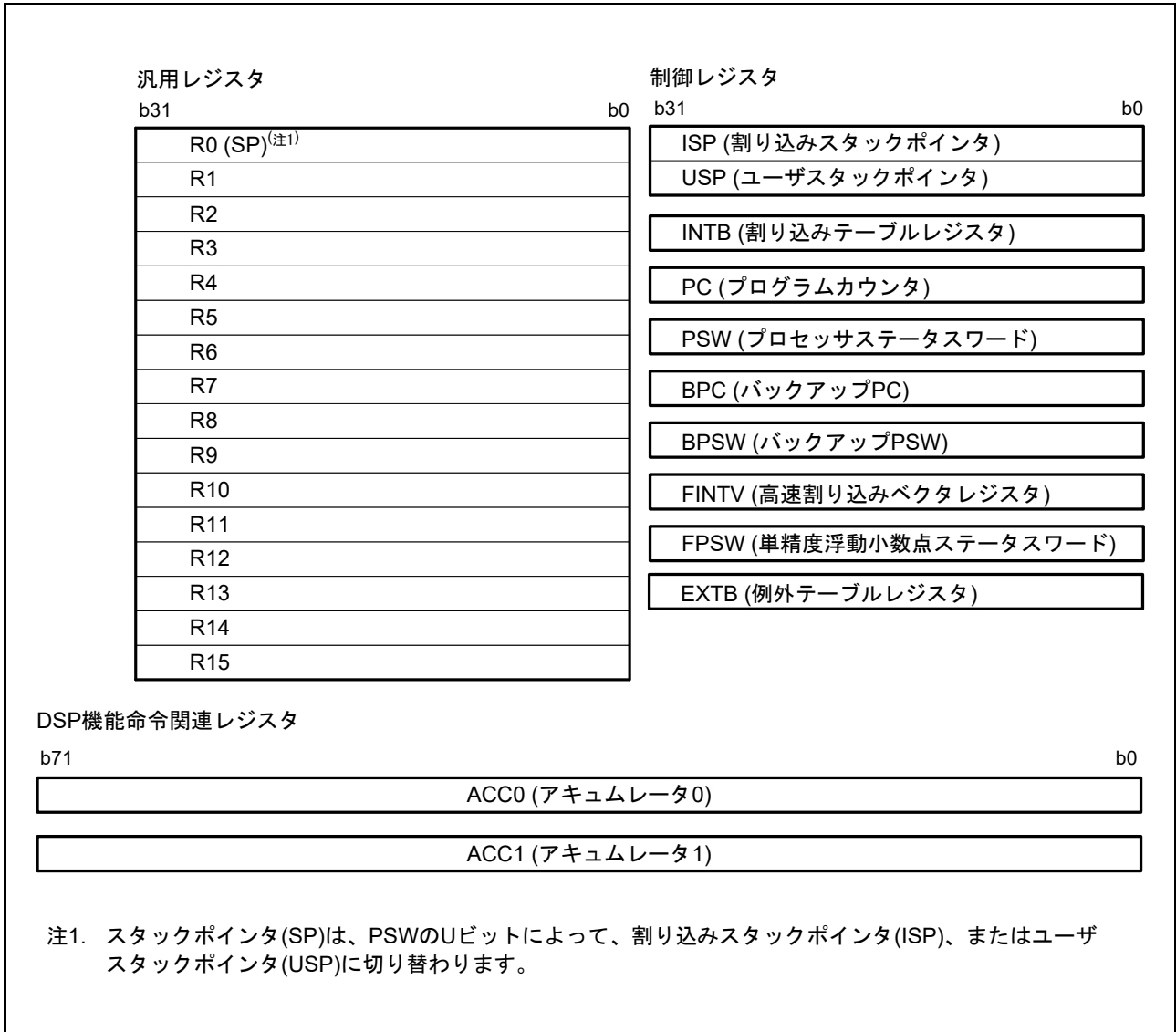


図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、32ビット幅で16本(R0 ~ R15)あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

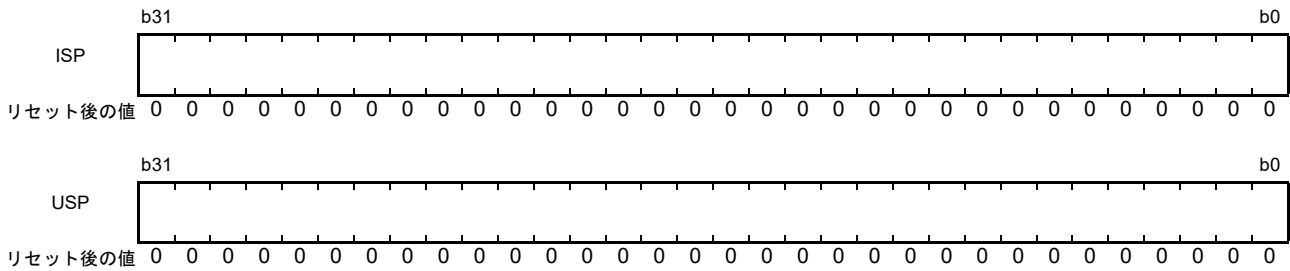
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の10本のレジスタがあります。

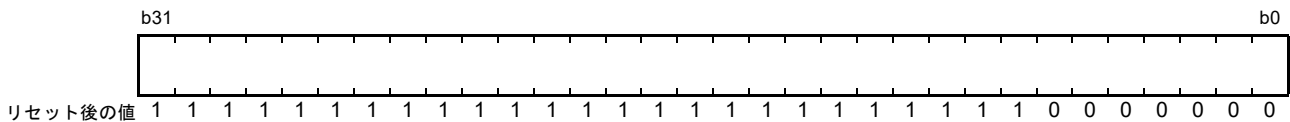
- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 単精度浮動小数点ステータスワード (FPSW)

2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



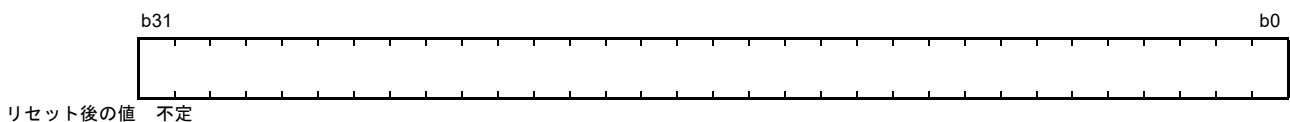
スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

2.2.2.2 例外テーブルレジスタ (EXTB)



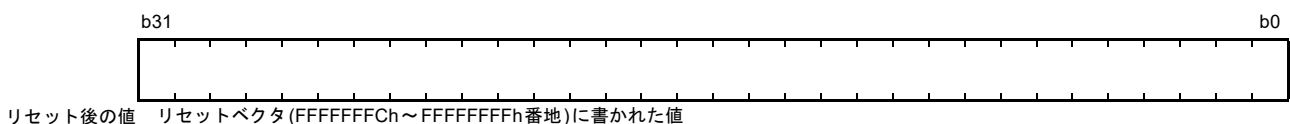
例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

2.2.2.3 割り込みテーブルレジスタ (INTB)



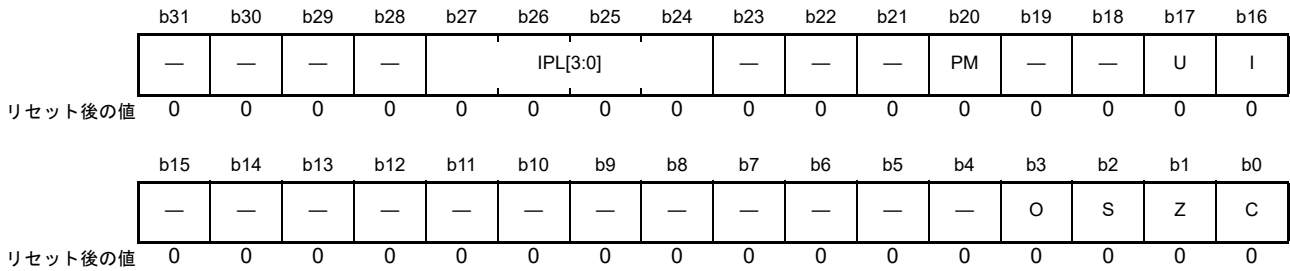
割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

2.2.2.4 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.5 プロセッサステータスワード (PSW)



ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0: キャリの発生なし 1: キャリの発生あり	R/W
b1	Z	ゼロフラグ	0: 演算結果は0でなかった 1: 演算結果は0であった	R/W
b2	S	サインフラグ	0: 演算結果は正または0であった 1: 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0: オーバフローの発生なし 1: オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I(注1)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b17	U(注1)	スタックポインタ指定ビット	0: 割り込みスタックポインタ (ISP)を指定 1: ユーザスタックポインタ (USP)を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM(注1、注2、注3)	プロセッサモード設定ビット	0: スーパーバイザモードに設定 1: ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0](注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0: 優先レベル0 (最低) 0 0 0 1: 優先レベル1 0 0 1 0: 優先レベル2 0 0 1 1: 優先レベル3 0 1 0 0: 優先レベル4 0 1 0 1: 優先レベル5 0 1 1 0: 優先レベル6 0 1 1 1: 優先レベル7 1 0 0 0: 優先レベル8 1 0 0 1: 優先レベル9 1 0 1 0: 優先レベル10 1 0 1 1: 優先レベル11 1 1 0 0: 優先レベル12 1 1 0 1: 優先レベル13 1 1 1 0: 優先レベル14 1 1 1 1: 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。
- 注2. スーパーバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできません。
- 注3. スーパーバイザモードからユーザモードに切り替える場合は、スタック上のPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリフラグ)

キャリ、ボロー、シフトアウトしたビット等を保持します。

Z フラグ (ゼロフラグ)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

S フラグ (サインフラグ)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

O フラグ (オーバフローフラグ)

演算の結果がオーバフローしたとき“1”になり、それ以外るとき“0”になります。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。このビットは、WAIT 命令を実行すると“1”になり、例外を受け付けると、“0”になります。

U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。

PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは“0”になります。

IPL[3:0] ビット (プロセッサ割り込み優先レベル)

IPL[3:0] ビットは、優先レベル0 (最低) ~優先レベル15 (最高) までの16段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスカブル割り込みが発生したとき、レベル15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

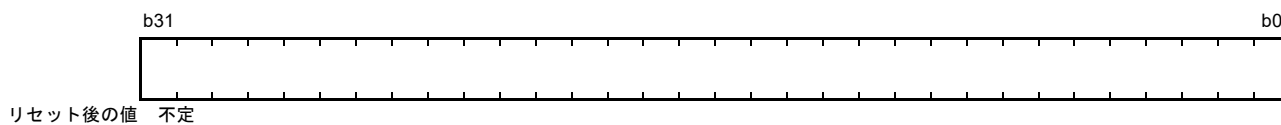
2.2.2.6 バックアップ PC (BPC)



リセット後の値 不定

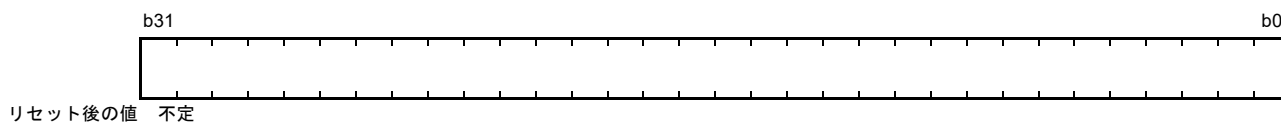
バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避させられます。

2.2.2.7 バックアップ PSW (BPSW)



バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。
高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避させられます。
BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.8 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.2.2.9 単精度浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	単精度浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : +∞方向への丸め 1 1 : -∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う (注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV (注3)	無効演算フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり (注8)	R/W
b27	FO (注4)	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり (注8)	R/W
b28	FZ (注5)	ゼロ除算フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり (注8)	R/W
b29	FU (注6)	アンダフローフラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり (注8)	R/W
b30	FX (注7)	精度異常フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり (注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b31	FS	単精度浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
 注2. 正の非正規化数は+0、負の非正規化数は-0として扱います。
 注3. EVビットが“0”のときに、FVフラグは有効となります。
 注4. EOビットが“0”のときに、FOフラグは有効となります。
 注5. EZビットが“0”のときに、FZフラグは有効となります。
 注6. EUビットが“0”のときに、FUフラグは有効となります。
 注7. EXビットが“0”のときに、FXフラグは有効となります。
 注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

単精度浮動小数点ステータスワード (FPSW) は、単精度浮動小数点演算結果を示します。

例外処理許可ビット (Ej) で例外処理を許可 (Ej = 1) した場合は、例外処理ルーチンで該当する Cj フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 (Ej = 0) した場合は、一連の処理の最後に Fj フラグをチェックし、例外発生の有無を確認することができます。Fj フラグは蓄積フラグです (j = X, U, Z, O, V)。

RM[1:0] ビット (単精度浮動小数点丸めモード設定ビット)

単精度浮動小数点丸めモードを設定します。

【単精度浮動小数点丸めモードの説明】

- 最近値への丸め (デフォルト) : 無限の有効桁を持つと仮定して計算した結果に近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める (単純な切り捨て)
- +∞方向への丸め : 結果の値が大きくなる方向へ丸める
- -∞方向への丸め : 結果の値が小さくなる方向へ丸める

(1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。

(2) 「0方向への丸め」、「+∞方向への丸め」、「-∞方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)、 CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)、 CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された 5 つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他に、非実装処理が発生した場合に該当するフラグが“1”になります。

- 単精度浮動小数点演算命令実行時にこれらの例外・非実装処理が発生しなかった場合は該当するフラグが“0”になります。
- MVTC、POPC 命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DN ビット (非正規化数の 0 フラッシュビット)

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を 0 として扱います。

EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)、 EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)、 EX ビット (精度異常例外処理許可ビット)

単精度浮動小数点演算命令実行により、IEEE754 規格で規定された 5 つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0”の場合、例外処理は禁止されます。“1”の場合、例外処理が許可されます。

FV フラグ (無効演算フラグ)、FO フラグ (オーバフローフラグ)、FZ フラグ (ゼロ除算フラグ)、FU フラグ (アンダフローフラグ)、FX フラグ (精度異常フラグ)

例外処理許可ビット (Ej) が “0” (例外処理を禁止) の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが “1” になります。

- $E_j = 1$ (例外処理を許可) のときは、このフラグは変化しません。
- 当該フラグが “1” になると、ソフトウェアで “0” にするまで “1” を保持します (蓄積フラグ)。

FS フラグ (単精度浮動小数点エラーサマリフラグ)

FU、FZ、FO、FV フラグの論理和を反映します。

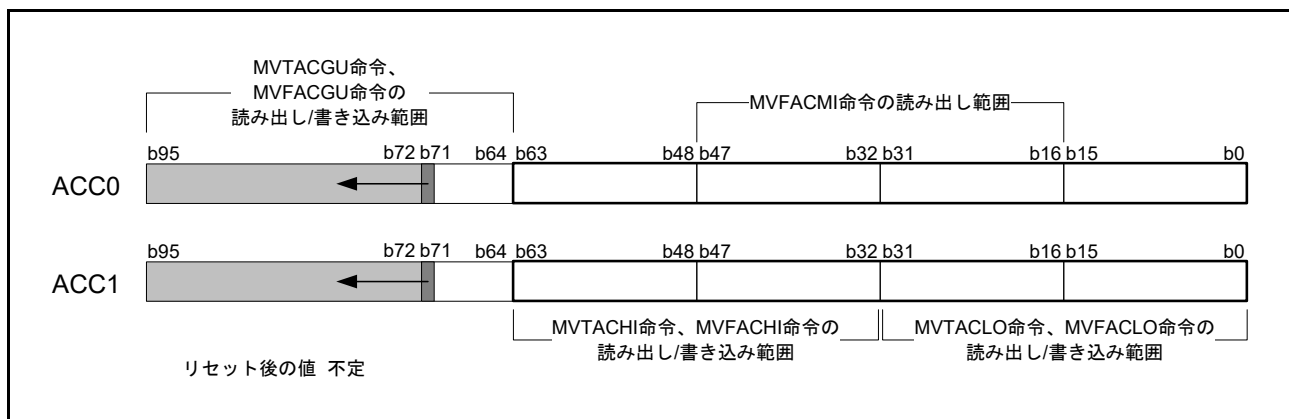
2.2.3 アキュムレータ

アキュムレータ (ACC0, ACC1) は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの b95 ~ b72 の扱いは、読み出し時に b71 の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令 (EMUL, EMULU, FMUL, MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は (b95 ~ b64) に、「MVTACHI 命令」は上位側 32 ビット (b63 ~ b32) に、「MVTACLO 命令」は下位側 32 ビット (b31 ~ b0) にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」を使用します。

「MVFACGU 命令」でガードビット (b95 ~ b64)、「MVFACHI 命令」で上位側 32 ビット (b63 ~ b32)、「MVFACMI 命令」で中央の 32 ビット (b47 ~ b16)、「MVFACLO 命令」で下位側 32 ビット (b31 ~ b0) のデータをそれぞれ読み出します。



注. b95 ~ b72 は、b71 の値を符号拡張した値が読み出されます。この部分への書き込みは無視されます。

2.3 プロセッサモード

CPU には、スーパーバイザモード、およびユーザモードの 2 つのプロセッサモードがあります。これらのプロセッサモードとメモリプロテクション機能を使用して、CPU リソースやメモリに対する階層的な保護機構を実現することができます。各プロセッサモードには、メモリアクセスや実行可能な命令に対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.5 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0], PM, U, I)
- 割り込みスタックポインタ (ISP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT、SAVE、RSTR 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生すると PSW.PM ビットが“0”になり、CPU はスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避させられた PSW.PM ビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避させられている PSW.PM ビットを“1”にした後 RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避させられている PSW.PM ビットを“1”にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

CPU は、整数、単精度浮動小数点数、ビット、ストリングの4種類のデータを扱うことができます。

詳細は「RXファミリRXv3命令セットアーキテクチャユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.1 整数

整数には、符号付きと、符号なしがあります。符号付き整数の負の値は、2の補数で表現します。

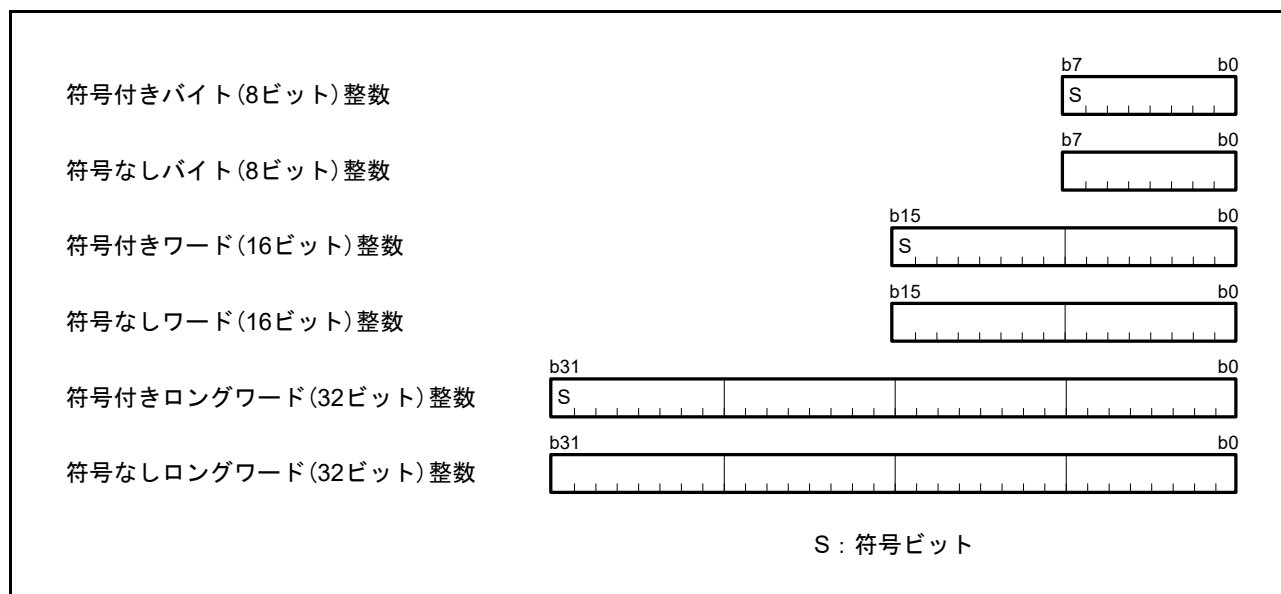


図 2.2 整数

2.4.2 単精度浮動小数点数

単精度浮動小数点数は、IEEE754 規格で規定されている単精度浮動小数点数に準拠しています。単精度浮動小数点数は、単精度浮動小数点演算命令 FADD、FCMP、FDIV、FMUL、FSQRT、FSUB、FTOI、FTOU、ITOF、ROUND、UTOF の 11 種類の命令で使用できます。

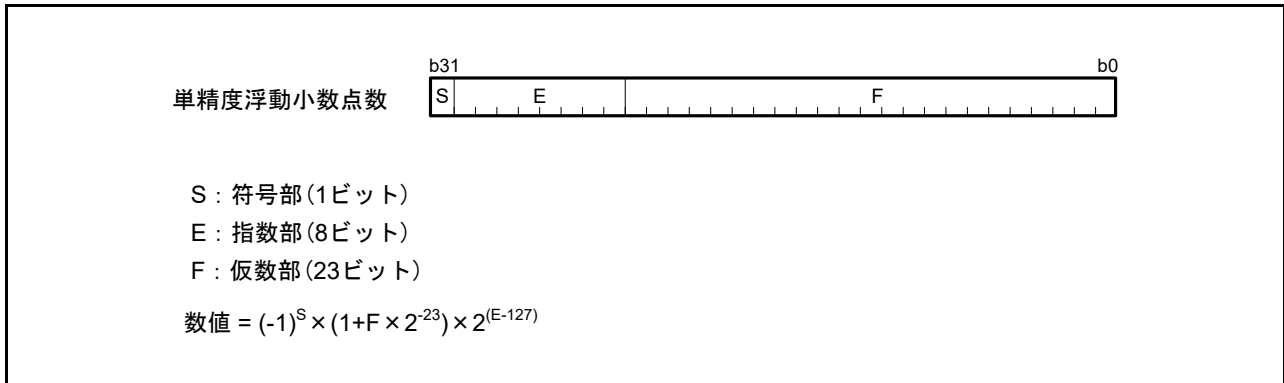


図 2.3 単精度浮動小数点数

単精度浮動小数点数は、以下の数値に対応しています。

$0 < E < 255$ (正規化数 - Normal Numbers)

$E = 0$ かつ $F = 0$ (ゼロ - Signed Zero)

$E = 0$ かつ $F > 0$ (非正規化数 - Denormalized Numbers) (注 1)

$E = 255$ かつ $F = 0$ (無限大 - Infinity)

$E = 255$ かつ $F > 0$ (非数 - NaN: Not a Number)

注 1. FPSW.DN ビットが“1”のときは、0として扱います。DN ビットが“0”のときは、非実装処理が発生します。

2.4.3 ビット

ビットは、ビット操作命令 BCLR、BMCnd、BNOT、BSET、BTST の 5 種類の命令で使用できます。

レジスタのビットは、対象とするレジスタと、31～0のビット番号で指定します。

メモリのビットは、対象とするアドレスと、7～0のビット番号で指定します。アドレス指定に使用できるアドレッシングモードは、レジスタ間接、レジスタ相対の 2 種類です。

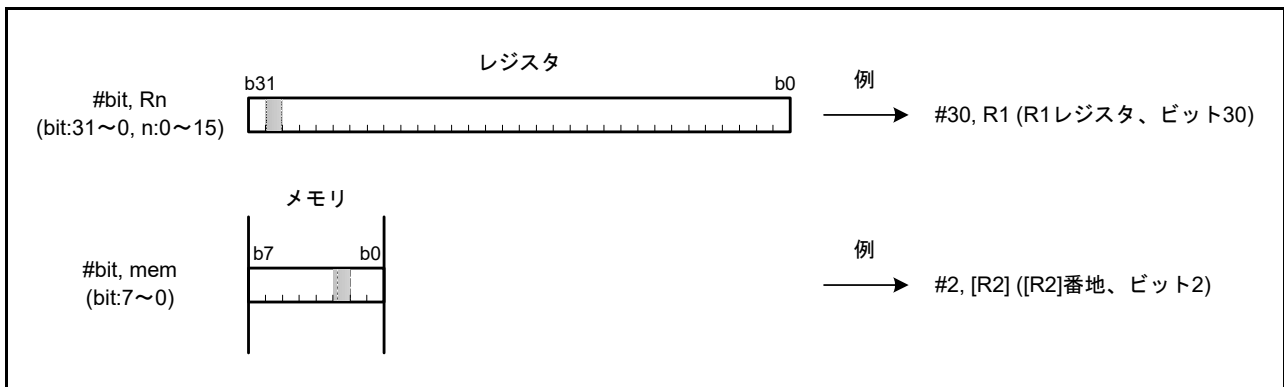


図 2.4 ビット

2.4.4 スtring

Stringとは、バイト(8ビット)、ワード(16ビット)、またはロングワード(32ビット)のデータを任意の数だけ連続して並べたデータタイプです。Stringは、String操作命令 SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、S WHILE の7種類の命令で使用できます

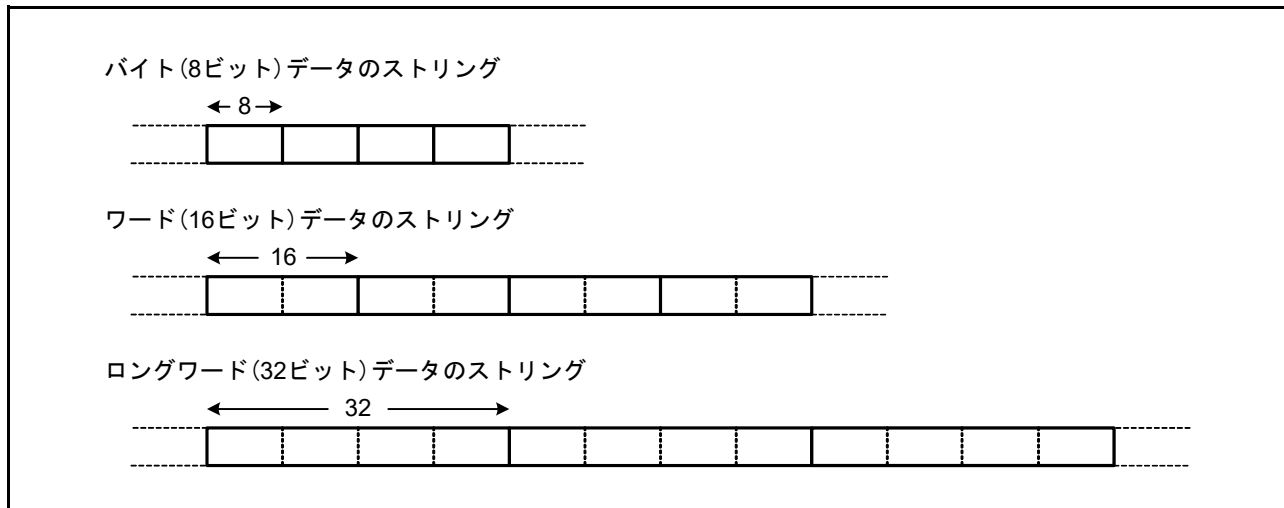


図 2.5 String

2.5 エンディアン

CPUの命令は、リトルエンディアン固定です。

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本MCUでは、バイトデータの並び方を、上位バイト (MSB) が0番地になるビッグエンディアン、下位バイト (LSB) が0番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」を参照してください。

命令によって8/16/32ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表2.1～表2.12に示します。

表中の

LLは、汎用レジスタのD7～D0

LHは、汎用レジスタのD15～D8

HLは、汎用レジスタのD23～D16

HHは、汎用レジスタのD31～D24 を示します。

	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
汎用レジスタ Rm	HH	HL	LH	LL

表2.1 リトルエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットで リード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	LLに転送	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—
2番地	HLに転送	LHに転送	LLに転送	—	—
3番地	HHに転送	HLに転送	LHに転送	LLに転送	—
4番地	—	HHに転送	HLに転送	LHに転送	LLに転送
5番地	—	—	HHに転送	HLに転送	LHに転送
6番地	—	—	—	HHに転送	HLに転送
7番地	—	—	—	—	HHに転送

表2.2 ビッグエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットで リード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	HHに転送	—	—	—	—
1番地	HLに転送	HHに転送	—	—	—
2番地	LHに転送	HLに転送	HHに転送	—	—
3番地	LLに転送	LHに転送	HLに転送	HHに転送	—
4番地	—	LLに転送	LHに転送	HLに転送	HHに転送
5番地	—	—	LLに転送	LHに転送	HLに転送
6番地	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	LLに転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表 2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src 番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表 2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest 番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表 2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest 番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがって I/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章のレジスタの説明を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .B であるか、サイズ拡張指定子 (.memex) が .B または .UB である命令を使用してアクセスしてください。
- 16ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .W であるか、サイズ拡張指定子 (.memex) が .W または .UW である命令を使用してアクセスしてください。
- 32ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .L であるか、サイズ拡張指定子 (.memex) が .L である命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.6 に示します。

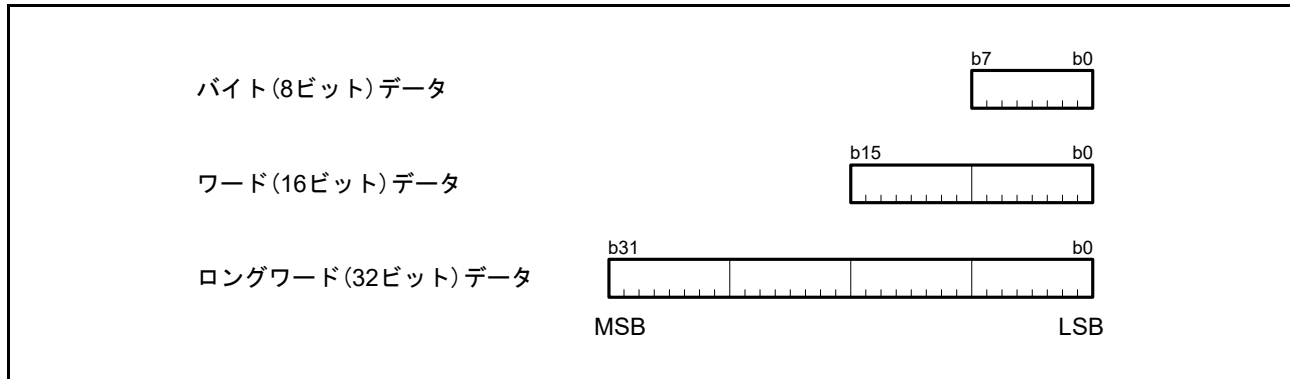


図 2.6 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) の 3 種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図 2.7 に示します。

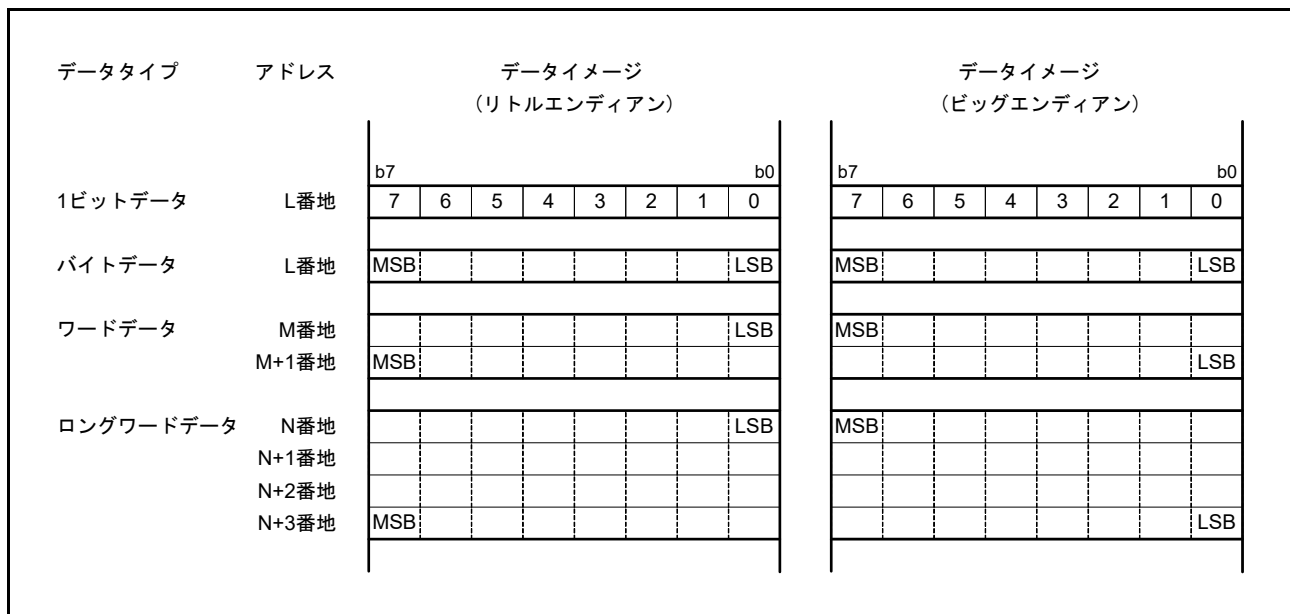


図 2.7 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、例外ベクタテーブルと割り込みベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 例外ベクタテーブル

例外ベクタテーブルは、例外テーブルレジスタ (EXTB) の内容で示された値を先頭アドレス (ExtBase) とする 124 バイトの領域に、特権命令例外、アクセス例外、アドレス例外、未定義命令例外、単精度浮動小数点例外、ノンマスクابل割り込みの各ベクタを配置しています。リセットのベクタは例外ベクタテーブルの値に関係なく常に FFFFFFFCh 番地に配置されます。図 2.8 に例外ベクタテーブルを示します。

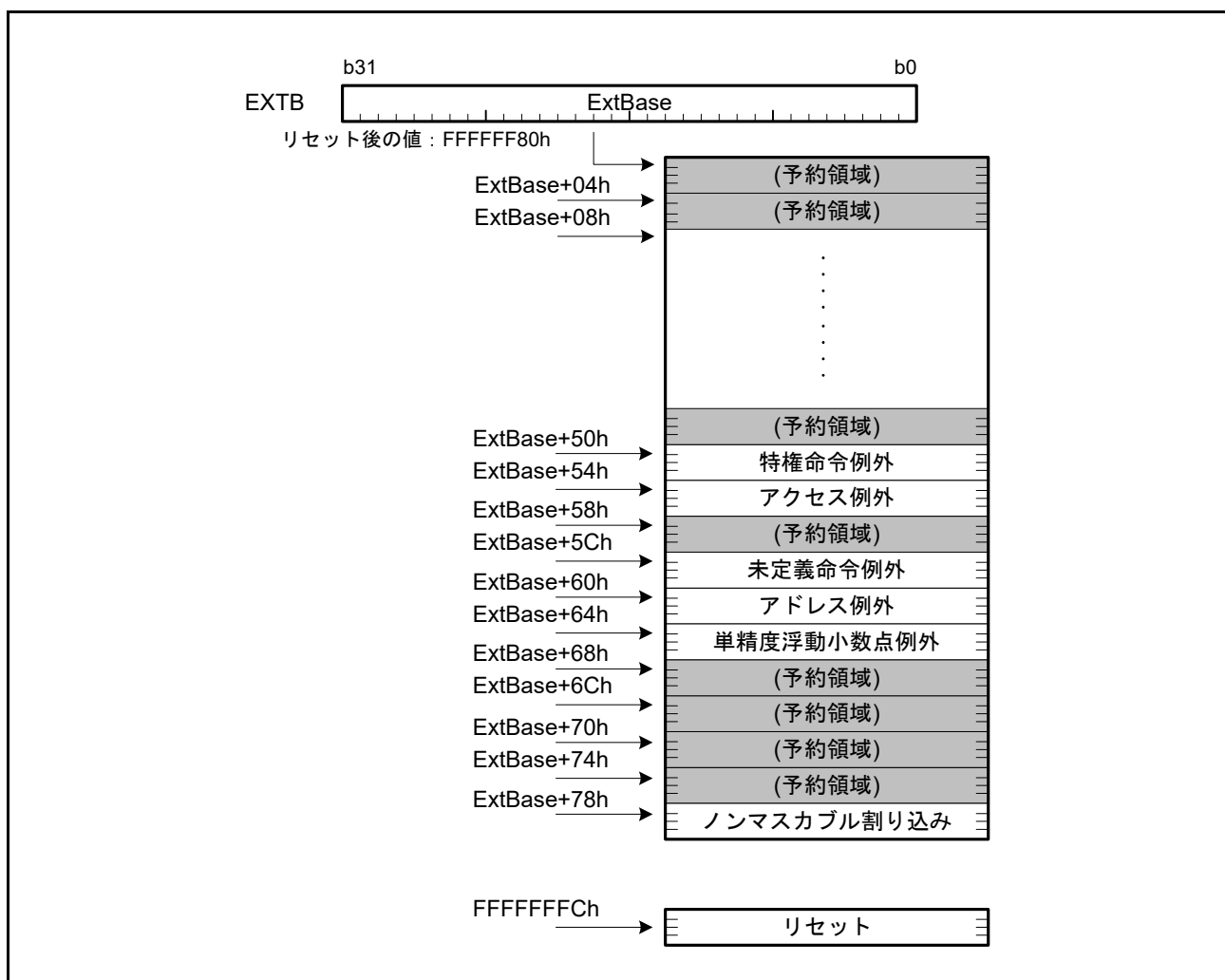


図 2.8 例外ベクタテーブル

2.6.2 割り込みベクタテーブル

割り込みベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.9 に割り込みベクタテーブルを示します。

割り込みベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「15.3.1 割り込みのベクタテーブル」を参照してください。

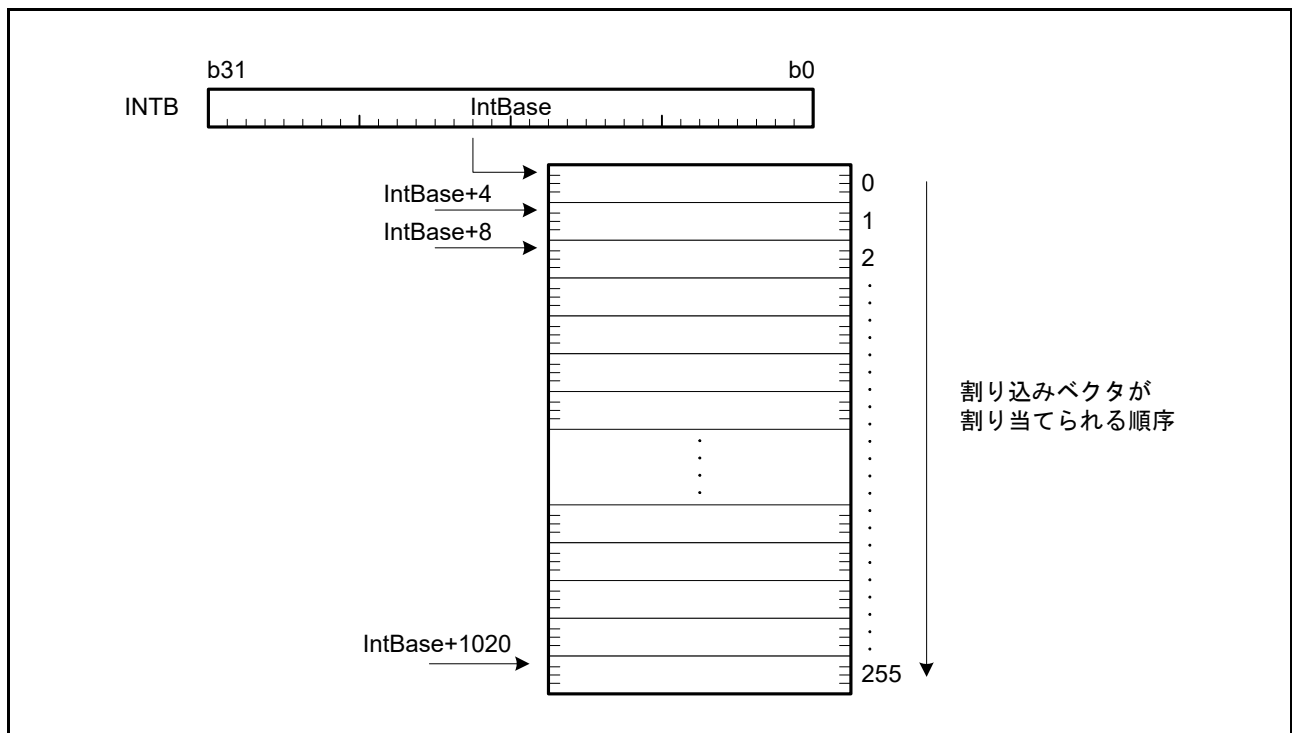


図 2.9 割り込みベクタテーブル

2.7 レジスタ一括退避機能

CPUは、CPUレジスタの退避・復帰を一括して高速に行うために、専用のレジスタ退避バンクとそれを使用するための命令を有しています(図2.10参照)。レジスタ退避バンクを使うことで、例外処理ルーチン先頭でのレジスタ退避と、末尾でのレジスタ復帰を一括して高速に行うことが可能です。

レジスタ退避バンクはSAVE命令、RSTR命令のみでアクセス可能な退避用領域であり、4Gバイトのアドレス空間とは独立して存在します。レジスタ退避バンクは複数のバンクで構成されており、1つのバンクに退避・復帰させられるCPUレジスタは、R0を除く汎用レジスタとUSP、FPSW、アキュムレータ(ACC0、ACC1)です。リセット後のレジスタ退避バンクに格納されている値は不定です。

レジスタ退避バンクでは、1つのバンクに対し1つの番号(バンク番号)が割り当てられています。本MCUでは16バンクのレジスタ退避バンクを搭載しており、バンク番号0～15が使用できます。

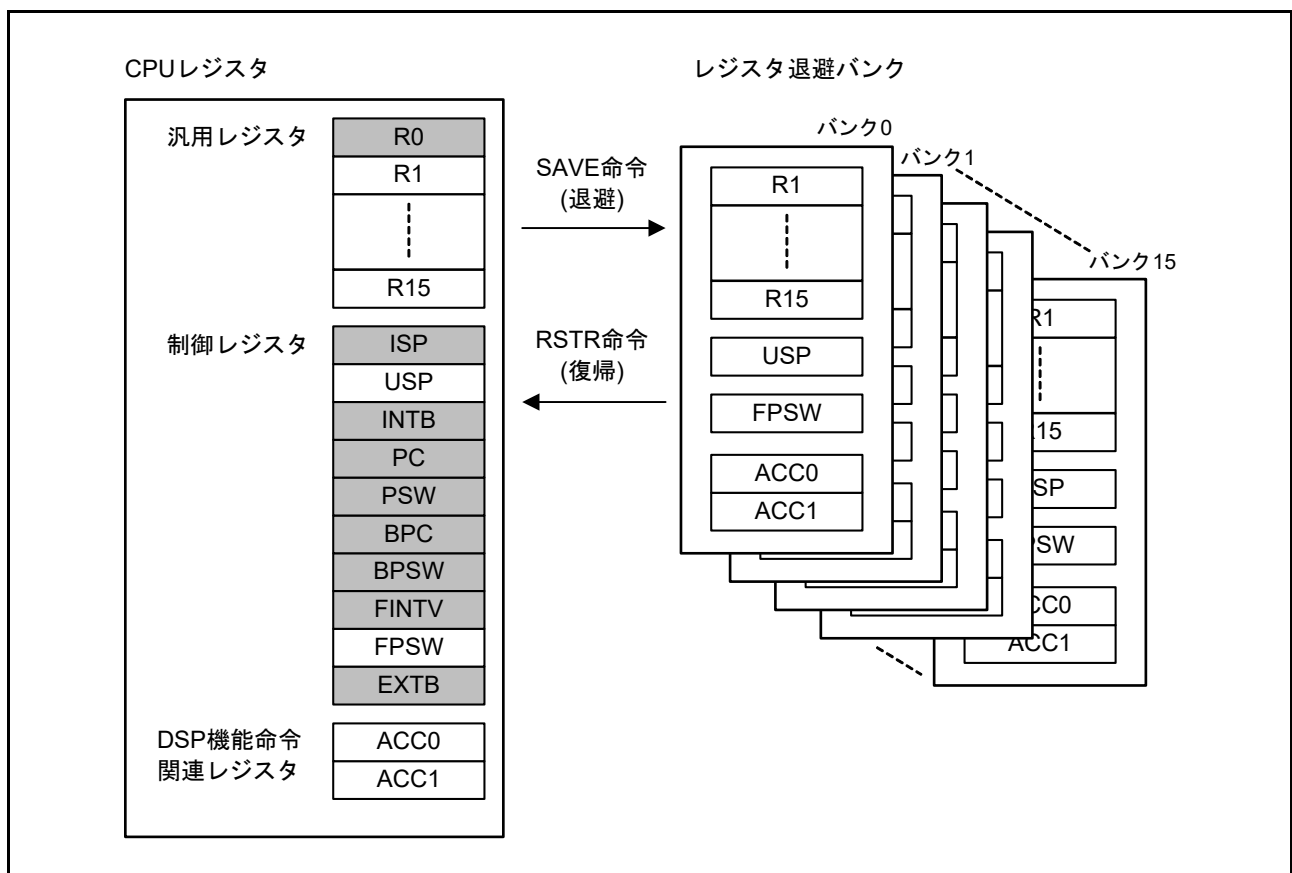


図 2.10 レジスタ退避バンク

2.8 倍精度浮動小数点コプロセッサ

倍精度浮動小数点コプロセッサは、CPUのコプロセッサとして動作し、倍精度浮動小数点処理命令を実行します。倍精度浮動小数点コプロセッサを使用することにより、倍精度浮動小数点演算の処理能力が大きく向上します。

2.8.1 特長

- 倍精度浮動小数点レジスタセット
倍精度浮動小数点データレジスタ：64ビット×16本
倍精度浮動小数点制御レジスタ：32ビット×4本
- 倍精度浮動小数点処理命令：21種類
- 倍精度浮動小数点例外の割り込みコントローラへの通知機能

2.8.2 倍精度浮動小数点レジスタセット

倍精度浮動小数点コプロセッサには、倍精度浮動小数点データレジスタ (16 本) と倍精度浮動小数点制御レジスタ (4 本) があります。

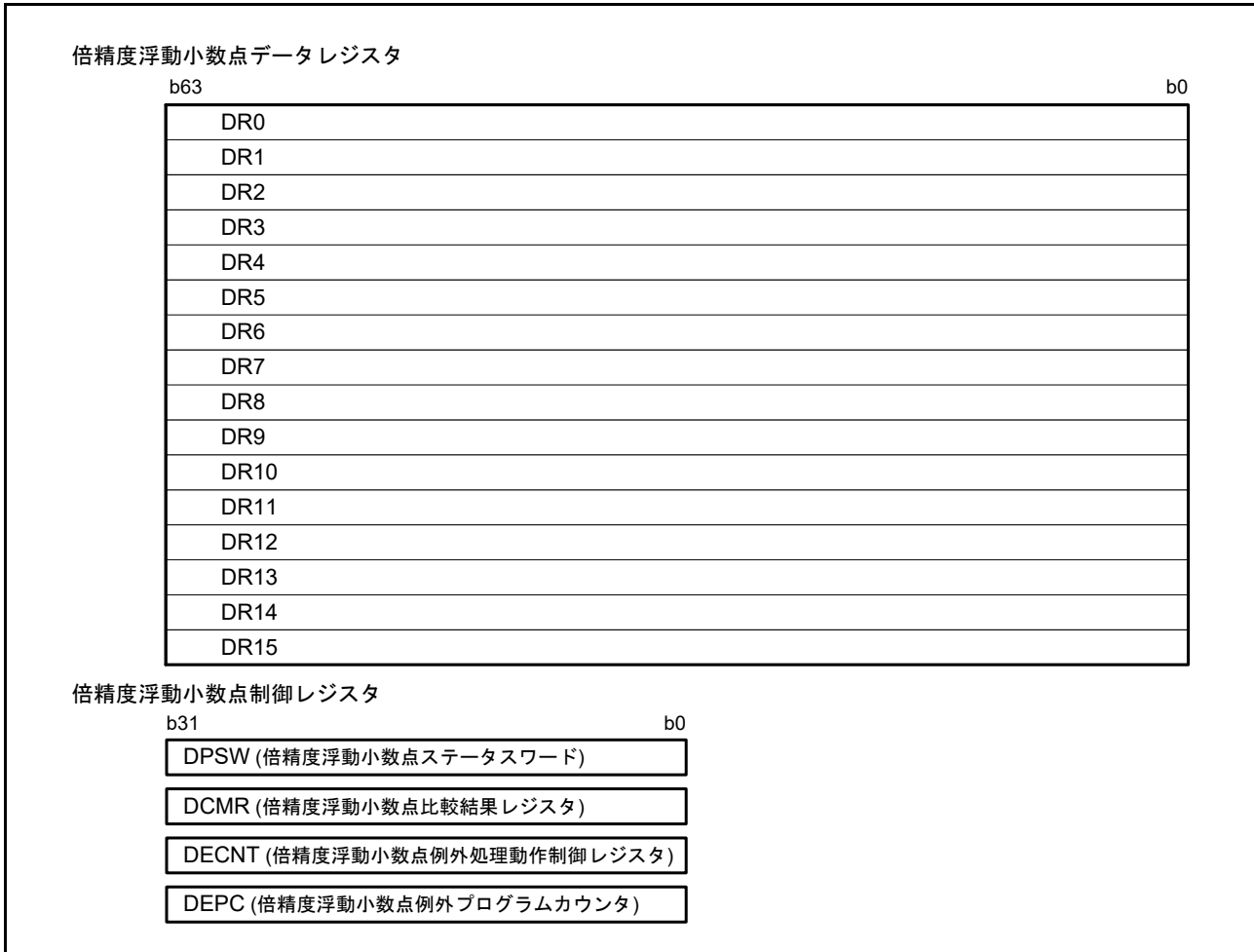


図 2.11 倍精度浮動小数点レジスタセット

2.8.2.1 倍精度浮動小数点データレジスタ (DR0 ~ DR15)

倍精度浮動小数点データレジスタは、64 ビット幅で 16 本 (DR0 ~ DR15) あります。32 ビットデータを指定する場合には、上位 32 ビット (DRH0 ~ DRH15)、下位 32 ビット (DRL0 ~ DRL15) という単位で扱います。

2.8.2.2 倍精度浮動小数点制御レジスタ

倍精度浮動小数点制御レジスタには、以下の 4 本のレジスタがあります。

- 倍精度浮動小数点ステータスワード (DPSW)
- 倍精度浮動小数点比較結果レジスタ (DCMR)
- 倍精度浮動小数点例外処理動作制御レジスタ (DECNT)
- 倍精度浮動小数点例外プログラムカウンタ (DEPC)

(1) 倍精度浮動小数点ステータスワード (DPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DFS	DFX	DFU	DFZ	DFO	DFV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	DEX	DEU	DEZ	DEO	DEV	—	DDN	DCE	DCX	DCU	DCZ	DCO	DCV	DRM[1:0]	—
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DRM[1:0]	倍精度浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : +∞方向への丸め 1 1 : -∞方向への丸め	R/W
b2	DCV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	DCO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	DCZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	DCU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	DCX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	DCE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DDN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う(注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	DEV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	DEO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	DEZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	DEU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	DEX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	DFV	無効演算フラグ(注3)	0 : 無効演算の発生なし 1 : 無効演算の発生あり(注8)	R/W
b27	DFO	オーバフローフラグ(注4)	0 : オーバフローの発生なし 1 : オーバフローの発生あり(注8)	R/W
b28	DFZ	ゼロ除算フラグ(注5)	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり(注8)	R/W
b29	DFU	アンダフローフラグ(注6)	0 : アンダフローの発生なし 1 : アンダフローの発生あり(注8)	R/W
b30	DFX	精度異常フラグ(注7)	0 : 精度異常の発生なし 1 : 精度異常の発生あり(注8)	R/W
b31	DFS	倍精度浮動小数点エラーサマリフラグ	DFU、DFZ、DFO、DFVフラグの論理和を反映	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
 注2. 正の非正規化数は+0、負の非正規化数は-0として扱います。
 注3. DEVビットが“0”のときに、DFVフラグは有効となります。
 注4. DEOビットが“0”のときに、DFOフラグは有効となります。
 注5. DEZビットが“0”のときに、DFZフラグは有効となります。
 注6. DEUビットが“0”のときに、DFUフラグは有効となります。
 注7. DEXビットが“0”のときに、DFXフラグは有効となります。
 注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

倍精度浮動小数点ステータスワード (DPSW) は、倍精度浮動小数点演算結果を示します。

例外処理許可ビット (DEj) で例外処理を許可 (DEj = 1) した場合は、例外処理ルーチン (倍精度浮動小数点例外を要因とする割り込みの処理ルーチン) で該当する DCj フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 (DEj = 0) した場合は、一連の処理の最後に DFj フラグをチェックし、例外発生の有無を確認することができます。DFj フラグは蓄積フラグです (j = X, U, Z, O, V)。

なお、倍精度浮動小数点演算では単精度浮動小数点ステータスワード (FPSW) を参照・更新しません。

DRM[1:0] ビット (倍精度浮動小数点丸めモード設定ビット)

倍精度浮動小数点丸めモードを設定します。

【倍精度浮動小数点丸めモードの説明】

- 最近値への丸め (デフォルト) : 無限の有効桁を持つと仮定して計算した結果に近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
 - 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める (単純な切り捨て)
 - +∞方向への丸め : 結果の値が大きくなる方向へ丸める
 - -∞方向への丸め : 結果の値が小さくなる方向へ丸める
- (1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。
 (2) 「0方向への丸め」、「+∞方向への丸め」、「-∞方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

DCV フラグ (無効演算要因フラグ)、DCO フラグ (オーバフロー要因フラグ)、

DCZ フラグ (ゼロ除算要因フラグ)、DCU フラグ (アンダフロー要因フラグ)、

DCX フラグ (精度異常要因フラグ)、DCE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された 5 つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他に、非実装処理が発生した場合に該当するフラグが“1”になります。

- 倍精度浮動小数点演算命令 (DABS、DNEG を除く) 実行時に、これらの例外・非実装処理が発生しなかった場合、該当するフラグが“0”になります。
- MVTDC 命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DDN ビット (非正規化数の 0 フラッシュビット)

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を 0 として扱います。

DEV ビット (無効演算例外処理許可ビット)、DEO ビット (オーバフロー例外処理許可ビット)、

DEZ ビット (ゼロ除算例外処理許可ビット)、DEU ビット (アンダフロー例外処理許可ビット)、

DEX ビット (精度異常例外処理許可ビット)

倍精度浮動小数点演算命令実行により、IEEE754 規格で規定された 5 つの例外が発生したときに、例外処理 (割り込みコントローラへの割り込み要求) を行うかどうかを制御します。

“0”の場合、割り込み要求を行いません。“1”の場合、割り込み要求を行います。

DFV フラグ (無効演算フラグ)、DFO フラグ (オーバフローフラグ)、DFZ フラグ (ゼロ除算フラグ)、DFU フラグ (アンダフローフラグ)、DFX フラグ (精度異常フラグ)

例外処理許可ビット (DEj) が “0” (例外処理を禁止) の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが “1” になります。

- DEj=1 (例外処理を許可) のときは、このフラグは変化しません。
- 当該フラグが “1” になると、ソフトウェアで “0” にするまで “1” を保持します (蓄積フラグ)。

DFS フラグ (倍精度浮動小数点エラーサマリフラグ)

DFU、DFZ、DFO、DFV フラグの論理和を反映します。

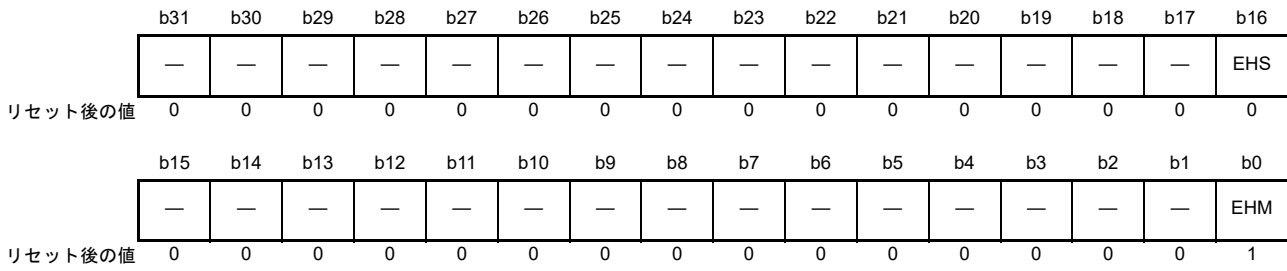
DECNT.EHM ビットが “1” でかつ DECNT.EHS ビットが “1” のとき、このレジスタの値は更新されません。

(2) 倍精度浮動小数点比較結果レジスタ (DCMR)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RES
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

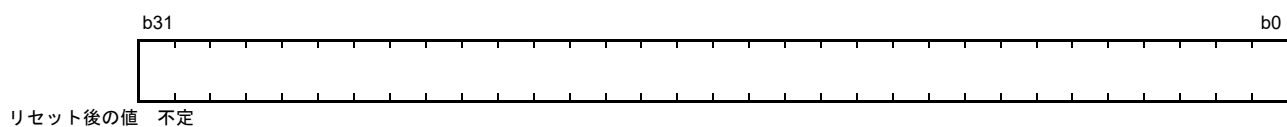
ビット	シンボル	ビット名	機能	R/W
b0	RES	倍精度浮動小数点比較命令結果フラグ	0 : 比較条件が非成立 1 : 比較条件が成立	R/W
b31-b1	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

(3) 倍精度浮動小数点例外処理動作制御レジスタ (DECNT)



ビット	シンボル	ビット名	機能	R/W
b0	EHM	倍精度浮動小数点例外発生情報保持モードビット	0 : 例外発生情報非保持モード 倍精度浮動小数点例外発生後、例外発生時の情報を保持しません。 1 : 例外発生情報保持モード 倍精度浮動小数点例外が発生し、割り込みコントローラへの割り込み要求を行ったときにEHSビットを“1”として、例外発生時の情報を保持します。	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	EHS	倍精度浮動小数点例外発生情報保持ステータスビット	0 : 例外発生情報保持なし 1 : 例外発生情報保持中 EHMビットが“1”でかつEHSビットが“1”のとき、以下のレジスタが更新されなくなり、倍精度浮動小数点例外による割り込みが発生しなくなります。 <ul style="list-style-type: none"> • 倍精度浮動小数点ステータスワード • 倍精度浮動小数点例外プログラムカウンタ このビットに“0”を書き込むと例外発生時の情報保持が解除されます。	R/W
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

(4) 倍精度浮動小数点例外プログラムカウンタ (DEPC)



倍精度浮動小数点例外が発生し、割り込みコントローラへの割り込み要求を行ったときに、倍精度浮動小数点例外が発生した命令のプログラムカウンタ値がこのレジスタに保持されます。このレジスタはリードオンリです。DECNT.EHM ビットが“1”でかつ EHS ビットが“1”のとき、このレジスタの値は更新されません。

2.8.3 データタイプ (倍精度浮動小数点コプロセッサ)

倍精度浮動小数点コプロセッサは、倍精度浮動小数点数を扱うことができます。

また、DFOB、FTOD 命令では単精度浮動小数点数、DROUND、DFOI、DFOU、ITOD、UTOD 命令では 32 ビット整数も扱えます。単精度浮動小数点数については、「2.4.2 単精度浮動小数点数」、32 ビット整数については、「2.4.1 整数」を参照してください。

2.8.3.1 倍精度浮動小数点数

倍精度浮動小数点数は、IEEE754 で規定されている倍精度浮動小数点数に対応しています。倍精度浮動小数点数は、倍精度浮動小数点演算命令 DABS、DADD、DCMPcm、DDIV、DMUL、DNEG、DROUND、DSUB、DSQRT、DFOB、DFOI、DFOU、FTOD、ITOD、UTOD の 15 種類の命令で使用できます。

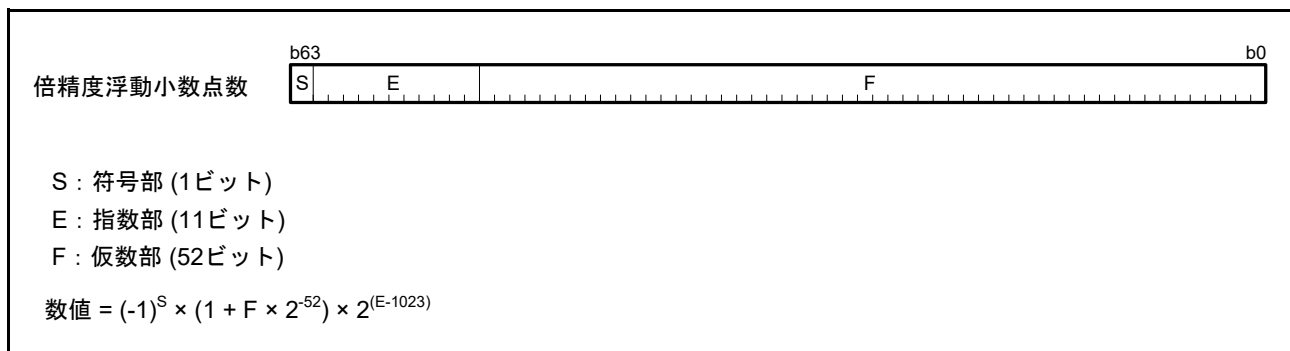


図 2.12 倍精度浮動小数点数

倍精度浮動小数点数は、以下の数値に対応しています。

0 < E < 2047 (正規化数 – Normal Number)

E = 0 かつ F = 0 (ゼロ – Signed Zero)

E = 0 かつ F > 0 (非正規化数 – Denormalized Number) (注 1)

E = 2047 かつ F = 0 (無限大 – Infinity)

E = 2047 かつ F > 0 (非数 – NaN : Not a Number)

注 1. DPSW.DDN ビットが“1”のときは、0として扱います。DDN ビットが“0”のときは、非実装処理が発生します。

2.8.4 データ配置 (倍精度浮動小数点コプロセッサ)

倍精度浮動小数点コプロセッサは、32ビットデータと64ビットデータを扱うことができます。
32ビットデータについては、「2.5.4 データ配置」、「2.5.1 エンディアンの設定」を参照してください。

2.8.4.1 倍精度浮動小数点レジスタのデータ配置

DR0～DR15レジスタのデータサイズと、ビット番号の関係を図2.13に示します。

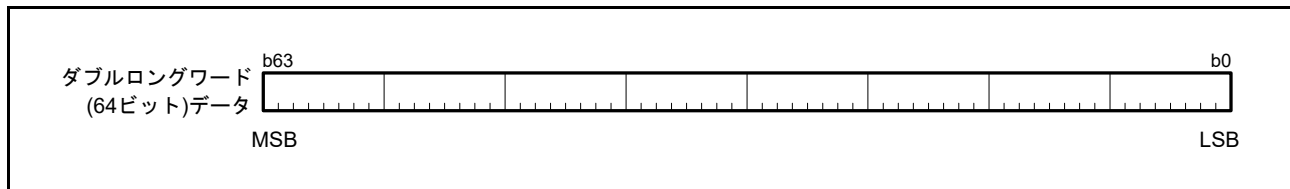


図 2.13 レジスタのデータ配置

2.8.4.2 メモリ上の倍精度浮動小数点データ配置

倍精度浮動小数点数のメモリ上のデータサイズは、ダブルロングワード(64ビット)の1種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図2.14に示します。

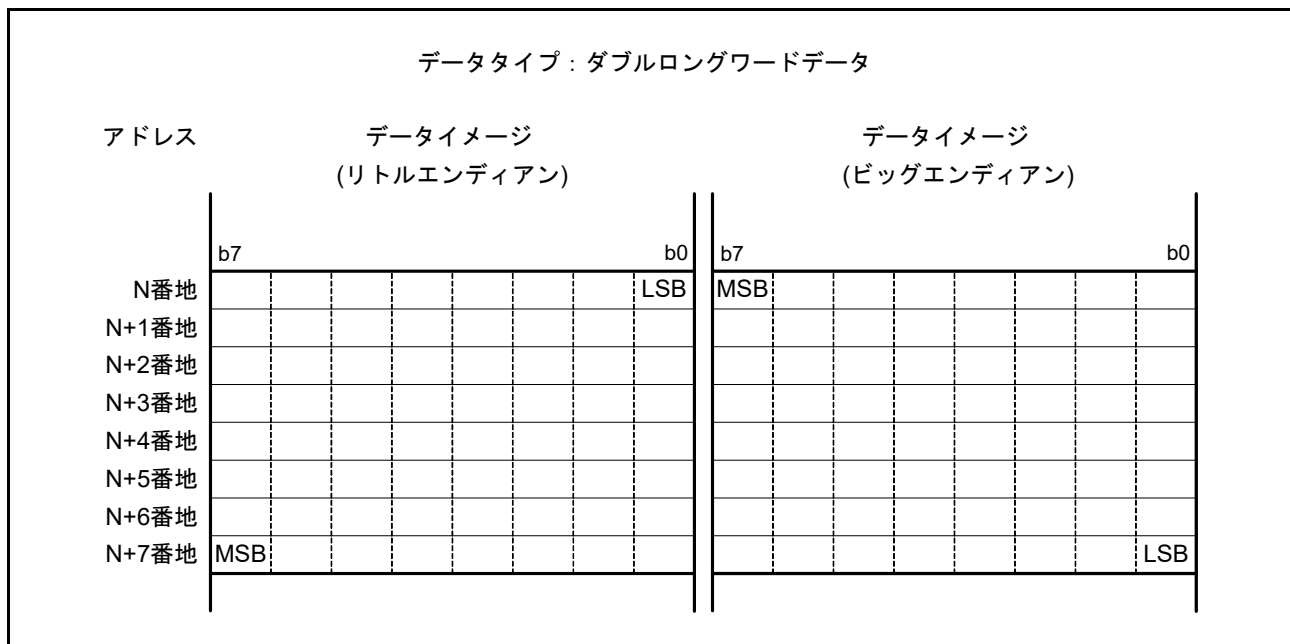


図 2.14 メモリ上のデータ配置

2.8.5 エンディアンの設定 (倍精度浮動小数点コプロセッサ)

倍精度浮動小数点処理命令による64ビットアクセスは、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表2.13～表2.16に示します。

32ビット境界以外のアドレスに64ビットアクセスを行った場合は、アドレス例外が発生します。

表中の

LLLは、倍精度浮動小数点データレジスタのD7～D0

LLHは、倍精度浮動小数点データレジスタのD15～D8

LHLは、倍精度浮動小数点データレジスタのD23～D16

LHHは、倍精度浮動小数点データレジスタのD31～D24

HLLは、倍精度浮動小数点データレジスタのD39～D32

HLHは、倍精度浮動小数点データレジスタのD47～D40

HHLは、倍精度浮動小数点データレジスタのD55～D48

HHHは、倍精度浮動小数点データレジスタのD63～D56 を示します。

倍精度浮動小数点 データレジスタ DRm	D63～D56	D55～D48	D47～D40	D39～D32
	HHH	HHL	HLH	HLL
	D31～D24	D23～D16	D15～D8	D7～D0
	LHH	LHL	LLH	LLL

表2.13 リトルエンディアン設定時の64ビットリード動作

動作 src番地	0番地を 64ビットで リード	4番地を 64ビットで リード	8番地を 64ビットで リード
0番地	LLLに転送	—	—
1番地	LLHに転送	—	—
2番地	LHLに転送	—	—
3番地	LHHに転送	—	—
4番地	HLLに転送	LLLに転送	—
5番地	HLHに転送	LLHに転送	—
6番地	HHLに転送	LHLに転送	—
7番地	HHHに転送	LHHに転送	—
8番地	—	HLLに転送	LLLに転送
9番地	—	HLHに転送	LLHに転送
A番地	—	HHLに転送	LHLに転送
B番地	—	HHHに転送	LHHに転送
C番地	—	—	HLLに転送
D番地	—	—	HLHに転送
E番地	—	—	HHLに転送
F番地	—	—	HHHに転送

表2.14 ビッグエンディアン設定時の64ビットリード動作

動作 src番地	0番地を 64ビットで リード	4番地を 64ビットで リード	8番地を 64ビットで リード
0番地	HHHに転送	—	—
1番地	HHLに転送	—	—
2番地	HLHに転送	—	—
3番地	HLLに転送	—	—
4番地	LHHに転送	HHHに転送	—
5番地	LHLに転送	HHLに転送	—
6番地	LLHに転送	HLHに転送	—
7番地	LLLに転送	HLLに転送	—
8番地	—	LHHに転送	HHHに転送
9番地	—	LHLに転送	HHLに転送
A番地	—	LLHに転送	HLHに転送
B番地	—	LLLに転送	HLLに転送
C番地	—	—	LHHに転送
D番地	—	—	LHLに転送
E番地	—	—	LLHに転送
F番地	—	—	LLLに転送

表2.15 リトルエンディアン設定時の64ビットライト動作

動作 dest番地	0番地を 64ビットで ライト	4番地を 64ビットで ライト	8番地を 64ビットで ライト
0番地	LLLに転送	—	—
1番地	LLHに転送	—	—
2番地	LHLに転送	—	—
3番地	LHHに転送	—	—
4番地	HLLに転送	LLLに転送	—
5番地	HLHに転送	LLHに転送	—
6番地	HHLに転送	LHLに転送	—
7番地	HHHに転送	LHHに転送	—
8番地	—	HLLに転送	LLLに転送
9番地	—	HLHに転送	LLHに転送
A番地	—	HHLに転送	LHLに転送
B番地	—	HHHに転送	LHHに転送
C番地	—	—	HLLに転送
D番地	—	—	HLHに転送
E番地	—	—	HHLに転送
F番地	—	—	HHHに転送

表2.16 ビッグエンディアン設定時の64ビットライト動作

動作 dest番地	0番地を 64ビットで ライト	4番地を 64ビットで ライト	8番地を 64ビットで ライト
0番地	HHHに転送	—	—
1番地	HHLに転送	—	—
2番地	HLHに転送	—	—
3番地	HLLに転送	—	—
4番地	LHHに転送	HHHに転送	—
5番地	LHLに転送	HHLに転送	—
6番地	LLHに転送	HLHに転送	—
7番地	LLLに転送	HLLに転送	—
8番地	—	LHHに転送	HHHに転送
9番地	—	LHLに転送	HHLに転送
A番地	—	LLHに転送	HLHに転送
B番地	—	LLLに転送	HLLに転送
C番地	—	—	LHHに転送
D番地	—	—	LHLに転送
E番地	—	—	LLHに転送
F番地	—	—	LLLに転送

2.9 命令動作

2.9.1 RMPA 命令、ストリング操作命令に関する制約事項

2.9.1.1 転送サイズとデータプリフェッチ

RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) は、メモリからのデータ読み出し、およびメモリへのデータ書き込みを高速に処理するため、ロングワード単位でデータ転送を行います。最後にロングワード未満のデータ処理が残った場合、以下のサイズでデータ転送を行います。

- RMPA、SSTR、SUNTIL、SWHILE 命令：サイズ指定子で指定したサイズ
- SCMPU、SMOVB、SMOVF、SMOVU 命令：バイト

また、上記の処理を行うため、RMPA 命令、および SSTR 命令を除くストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SUNTIL, SWHILE) は、メモリからのデータ読み出しにおいて、データプリフェッチを行います。データ読み出し位置に対して、最大で3バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.9.1.2 外部空間へのアクセス

外部空間には領域ごとのエンディアン切り替え機能 (データのみ) がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを配置することは禁止しており、その動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.9.1.3 I/O レジスタへのアクセス

RMPA 命令、ストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを I/O レジスタに配置することは禁止しており、その動作は保証していません。

2.10 サイクル数

2.10.1 命令とサイクル数

表 2.17 ～表 2.25 に各命令実行のサイクル数を示します。メモリアクセスを行う命令のサイクル数は、ノーウェイトメモリアクセス時のサイクル数です。また、表中のオペランド表記は、以下に従います。

#IMM : 即値

flag : ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ

As, Ad : アキュムレータ

CR : 制御レジスタ

dsp : ディスプレースメント

pcdsp : ディスプレースメント

表 2.17 算術/論理演算命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> • {ABS, NEG, NOT} "Rd"/"Rs, Rd" • {ADC, MAX, MIN, ROTL, ROTR} "#IMM, Rd"/"Rs, Rd" • ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd" • {AND, MUL, OR, SUB, XOR} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd" • {CMP, TST} "#IMM, Rs"/"Rs, Rs2" • NOP • {ROLC, RORC, SAT} "Rd" • SBB "Rs, Rd" • {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd" 	1
	• DIV "#IMM, Rd"/"Rs, Rd"	3 ~ 20 (注1)
	• DIVU "#IMM, Rd"/"Rs, Rd"	2 ~ 18 (注1)
	• {EMUL, EMULU} "#IMM, Rd"/"Rs, Rd"	2
	• SATR	3
算術/論理演算命令 (メモリスソースオペランド)	<ul style="list-style-type: none"> • {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} "[Rs], Rd"/"dsp[Rs], Rd" • {CMP, TST} "[Rs], Rs2"/"dsp[Rs], Rs2" 	3
	• DIV "[Rs], Rd / dsp[Rs], Rd"	5 ~ 22 (注1)
	• DIVU "[Rs], Rd / dsp[Rs], Rd"	4 ~ 20 (注1)
	• {EMUL, EMULU} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• RMPA.B	$6+7 \times \text{floor}(n/4)+4 \times (n\%4)$ nは処理バイト数(注2)
	• RMPA.W	$6+5 \times \text{floor}(n/2)+4 \times (n\%2)$ nは処理ワード数(注2)
• RMPA.L	$6+4n$ nは処理ロングワード数	

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. floor(x) : x以下の最大の整数

表2.18 転送命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
転送命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> MOV "#IMM, Rd"/"Rs, Rd" {MOVU, REVL, REVW} "Rs, Rd" SCCnd "Rd" {STNZ, STZ} "#IMM, Rd"/"Rs, Rd" 	1
	<ul style="list-style-type: none"> XCHG "Rs, Rd" 	2
転送命令 (ロード動作)	<ul style="list-style-type: none"> {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd"/"[Rs+], Rd"/"[-Rs], Rd"/"[Ri, Rb], Rd" MOVLI "[Rs], Rd" POP "Rd" 	スループット : 1 レイテンシ : 2(注1)
	<ul style="list-style-type: none"> POPC "CR" 	スループット : 3 レイテンシ : 4(注1)
	<ul style="list-style-type: none"> POPM "Rd-Rd2" 	スループット : n レイテンシ : n+1 nはレジスタ数(注1、注2)
転送命令 (ストア動作)	<ul style="list-style-type: none"> MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" / "Rs, [-Rd]"/"Rs, [Ri, Rb]"/"#IMM, dsp[Rd]"/"#IMM, [Rd]" PUSH "Rs" PUSHC "CR" SCCnd "[Rd]"/"dsp[Rd]" MOVCO "Rs, [Rd]" 	1
	<ul style="list-style-type: none"> PUSHM "Rs-Rs2" 	n nはレジスタ数(注3)
転送命令 (メモリーレジスタの交換)	<ul style="list-style-type: none"> XCHG "[Rs], Rd"/"dsp[Rs], Rd" 	2
転送命令(メモリー間転送)	<ul style="list-style-type: none"> MOV "[Rs], [Rd]"/"dsp[Rs], [Rd]"/"[Rs], dsp[Rd]"/"dsp[Rs], dsp[Rd]" PUSH "[Rs]"/"dsp[Rs]" 	3
転送命令(ビットフィールド)	<ul style="list-style-type: none"> {BFMOV, BFMOVZ} "#IMM, #IMM, #IMM, R, R" 	1

- 注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。
- 注2. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じ処理です。
- 注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じ処理です。

表2.19 ビット操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
ビット操作命令(レジスタ)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} "#IMM, Rd"/"Rs, Rd" BMCnd "#IMM, Rd" BTST "#IMM, Rs"/"Rs, Rs2" 	1
ビット操作命令 (メモリスソースオペランド)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} "#IMM, [Rd]"/"#IMM, dsp[Rd]"/"Rs, [Rd]"/"Rs, dsp[Rd]" BMCnd "#IMM, [Rd]"/"#IMM, dsp[Rd]" BTST "#IMM, [Rs]"/"#IMM, dsp[Rs]"/"Rs, [Rs2]"/"Rs, dsp[Rs2]" 	3

表2.20 分岐命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
分岐命令	<ul style="list-style-type: none"> • BCnd "pcdsp" • {BRA, BSR} "pcdsp"/"Rs" • {JMP, JSR} "Rs" 	分岐成立 : 3 分岐不成立 : 1
	• RTE	6
	• RTFI	3
	• RTS	5
	• RTSD "#IMM"	5
	• RTSD "#IMM, Rd-Rd2"	スループット : $n < 5 ? 5 : 1 + n$ レイテンシ : $n < 4 ? 5 : 2 + n$ nはレジスタ数(注1)

?: 条件演算子

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

表2.21 単精度浮動小数点演算命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
単精度浮動小数点演算命令 (レジスタ間、即値-レジスタ)	• {FADD, FSUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FCMP "#IMM, Rs"/"Rs, Rs2"	1
	• FDIV "#IMM, Rd"/"Rs, Rd"	16
	• FMUL "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FSQRT "Rs, Rd"	16
	• {FTOI, ROUND, ITOF} "Rs, Rd"	2
	• {FTOU, UTOF} "Rs, Rd"	2
単精度浮動小数点演算命令 (メモリスソースオペランド)	• {FADD, FSUB} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FCMP "[Rs], Rs2"/"dsp[Rs], Rs2"	3
	• FDIV "[Rs], Rd"/"dsp[Rs], Rd"	18
	• FMUL "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FSQRT "[Rs], Rd"/"dsp[Rs], Rd"	18
	• {FTOI, ROUND, ITOF} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• {FTOU, UTOF} "[Rs], Rd"/"dsp[Rs], Rd"	4

表2.22 DSP機能命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
DSP機能命令	<ul style="list-style-type: none"> • {EMULA, EMACA, EMSBA, MULLH, MULHI, MULLO, MACLH, MACHI, MACLO, MSBLH, MSBHI, MSBLO} "Rs, Rs2, Ad" • {MVFACHI, MVFACMI, MVFACLO, MVFACGU} "#IMM, As, Rd" • {MVTACHI, MVTACLO, MVTACGU} "Rs, Ad" • {RDACW, RDA CL, RACW, RA CL} "#IMM, Ad" 	1

表 2.23 スtring操作命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
String操作命令 (注1)	• SCMPU	$2+4 \times \text{floor}(n/4)+4 \times (n\%4)$ nは比較バイト数 (注2)
	• SMOVB	$n > 3 ? 6+3 \times \text{floor}(n/4)+3 \times (n\%4) : 2+3n$ nは転送バイト数 (注2)
	• SMOVF, SMOVU	$2+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは転送バイト数 (注2)
	• SSTR.B	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数 (注2)
	• SSTR.W	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数 (注2)
	• SSTR.L	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	$3+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは比較バイト数 (注2)
	• SUNTIL.W, SWHILE.W	$3+3 \times \text{floor}(n/2)+3 \times (n\%2)$ nは比較ワード数 (注2)
	• SUNTIL.L, SWHILE.L	$3+3 \times n$ nは比較ロングワード数

?: 条件演算子

注1. SCMPU、SMOVU、SWHILE、SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

注2. $\text{floor}(x)$: x以下の最大の整数

表 2.24 システム操作命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
システム操作命令	• {CLRPSW, SETPSW}“flag” • MVTC “#IMM, CR”/“Rs, CR” • MVFC “CR, Rd” • MVTIPL “#IMM”	1
	• RTE	6
	• RTFI	3

表 2.25 レジスタ括退避機能命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
レジスタ括退避機能命令	• SAVE “#IMM”/“R”	1
	• RSTR “#IMM”/“R”	3~6

2.10.2 命令とサイクル数 (倍精度浮動小数点コプロセッサ)

表 2.26 に倍精度浮動小数点関連の各命令実行のサイクル数を示します。メモリアクセスを行う命令のサイクル数は、ノーウェイトメモリアクセス時のサイクル数です。また、表中のオペランド表記は、以下に従います。

#IMM : 即値

Rs, Rd : 汎用レジスタ

dsp : ディスプレースメント

DRs, DRs2, DRd, DRd2 : 倍精度浮動小数点データレジスタ

DRHs, DRHd : 倍精度浮動小数点データレジスタ上位 32 ビット

DRLs, DRLd : 倍精度浮動小数点データレジスタ下位 32 ビット

DCRs, DCRs2, DCRd, DCRd2 : 倍精度浮動小数点制御レジスタ

表 2.26 倍精度浮動小数点関連命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
倍精度浮動小数点演算命令	• {DADD, DSUB} "DRs, DRs2, DRd"	4 (注1)
	• {DABS, DNEG} "DRs, DRd"	1
	• DCMPCm "DRs, DRs2"	4 (注1)
	• DDIV "DRs, DRs2, DRd"	33 (注1)
	• DMUL "DRs, DRs2, DRd"	5 (注1)
	• DSQRT "DRs, DRd"	33 (注1)
	• {DFOB, DFOI, DFOU, DROUND} "DRs, DRd"	4 (注1)
	• {FTOD, ITOD, UTOD} "Rs, DRd"	4 (注1)
倍精度浮動小数点転送命令	• DMOV "Rs, DRHd" / "Rs, DRLd" / "DRHs, Rd" / "DRLs, Rd" / "DRs, DRd" / "#IMM, DRHd" / "#IMM, DRLd"	1
	• DMOV "DRs, [Rd]" / "DRs, dsp[Rd]"	1
	• DMOV "[Rs], DRd" / "dsp[Rs], DRd"	スループット : 1 レイテンシ : 2 (注2)
	• DPUSHM "DRs-DRs2" / "DCRs-DCRs2"	n nはレジスタ数 (注4)
	• DPOPM "DRd-DRd2" / "DCRd-DCRd2"	スループット : n レイテンシ : n+1 nはレジスタ数 (注2、注3)
	• MVFDC "DCRs, Rd"	1
	• MVFDR	1
	• MVTDC "Rs, DCRd"	1

注1. 演算結果を倍精度浮動小数点転送命令と DABS 命令、DNEG 命令が参照する場合、サイクル数は記載のサイクル数+1になります。

注2. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は「レイテンシ」として記載されているサイクル数を参照してください。それ以外は「スループット」として記載されているサイクル数を参照してください。

注3. DPOPM 命令は、複数のロード動作に変換されます。DMOV 命令のロード動作が、指定したレジスタ分繰り返されるのと同じ処理です。

注4. DPUSHM 命令は、複数のストア動作に変換されます。DMOV 命令のストア動作が、指定したレジスタ分繰り返されるのと同じ処理です。

2.10.3 割り込み応答サイクル数

表 2.27 に割り込み応答処理のサイクル数を示します。

表 2.27 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.27 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能な RAM と ROM キャッシュを内蔵したコードフラッシュメモリを搭載しています。プログラム(含むベクタ)はコードフラッシュメモリ、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、表 2.17 ~ 表 2.26 を参照してください。

割り込み受け付けタイミングは命令の実行状態に依存します。割り込み受け付けタイミングについては、「14.3.1 受け付けタイミングと退避される PC 値」を参照してください。

2.11 使用上の注意事項

2.11.1 レジスタ退避バンク内 RAM の自己診断に関する注意事項

本 MCU のレジスタ退避バンクは RAM で構成されています。レジスタ退避バンクにはバッファが搭載されているため、SAVE 命令で書き込みを行った後に同一バンクから RSTR 命令で読み出しを行うと、RAM のメモリセルではなくバッファのデータが読み出されることがあります。レジスタ退避バンク内 RAM の自己診断を行う場合、バッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

- (1) 診断対象のバンクに SAVE 命令でデータを書く
- (2) (1) のバンクとは異なるバンクに、SAVE 命令でデータを書く
- (3) (1) のバンクから RSTR 命令でデータを読む

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット (RES# 端子リセット、パワーオンリセット、LVD0 リセット) 解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子 (MD, UB) のレベルと、そのとき選択される動作モードの関係を表 3.1 に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。いずれのモードで起動した場合でも、内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) 有効、外部バス無効の状態で作動を開始します。外部バスを有効にする場合は SYSCR0.EXBE ビットを“1” (外部バス有効) にしてください。

表 3.1 リセット解除時のモード設定端子による動作モードの選択

モード設定端子		動作モード	SYSCR0 レジスタ初期状態	
MD (注1)	UB (注2)		ROME ビット	EXBE ビット
High	—	シングルチップモード	1 (内蔵 ROM 有効)	0 (外部バス無効)
Low	Low	ブートモード (SCI インタフェース)		
	High	ブートモード (USB インタフェース)		
Low→High (注3)	Low	ブートモード (FINE インタフェース)		

注1. MCU 動作中に MD 端子を変化させないでください。

注2. UB 端子と端子を共用している PC7 端子は汎用ポートや周辺機能入出力端子としても使用可能です。

注3. MD 端子を Low でリセット解除後、20～100ms の間に High へ切り替えてください。

システムコントロールレジスタ 0 (SYSCR0) で設定可能な動作モードの一覧を表 3.2 に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表 3.2 レジスタによる動作モードの選択

SYSCR0 レジスタ		動作モード
ROME ビット	EXBE ビット	
0 (内蔵 ROM 無効) (注1)	0 (外部バス無効)	シングルチップモード
1 (内蔵 ROM 有効)	0 (外部バス無効)	
0 (内蔵 ROM 無効) (注1)	1 (外部バス有効)	内蔵 ROM 無効拡張モード
1 (内蔵 ROM 有効)	1 (外部バス有効)	内蔵 ROM 有効拡張モード

注1. ROME ビットを“0”にすると、“1”に戻せません。

シングルチップモードでは、エンディアンを選択することができます。エンディアンの選択は、エンディアン選択レジスタ (MDE) のエンディアン選択ビット (MDE[2:0]) で行います。設定値を表 3.3 に示します。エンディアンの選択の詳細は「7.2.5 エンディアン選択レジスタ (MDE)」を参照してください。

表 3.3 エンディアンの選択

MDE レジスタ	選択されるエンディアン
MDE[2:0] ビットの設定値	
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

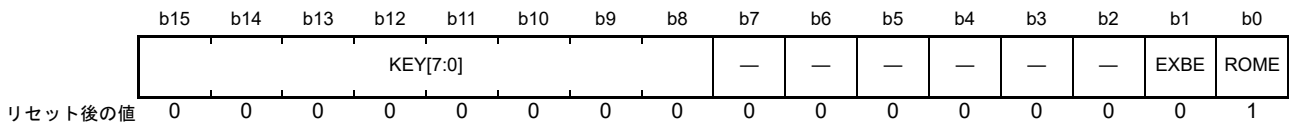
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	MD	MD端子ステータスフラグ	0 : MD端子は“Low” 1 : MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

注1. リセット解除時のMD端子のレベルが反映されます。

3.2.2 システムコントロールレジスタ 0 (SYSCR0)

アドレス 0008 0006h



ビット	シンボル	ビット名	機能	R/W
b0	ROME	内蔵ROM有効ビット	0: 内蔵ROM無効 1: 内蔵ROM有効	R/W
b1	EXBE	外部バス有効ビット	0: 外部バス無効 1: 外部バス有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	SYSCR0 キーコード	SYSCR0 レジスタの書き換えの可否を制御します。 SYSCR0 レジスタを書き換える場合、上位8ビットに“5Ah”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

ROME ビット (内蔵ROM有効ビット)

内蔵ROM (コードフラッシュメモリ、データフラッシュメモリ) の有効/無効を選択するビットです。

一旦“0”にすると、“1”に戻すことはできません。

内蔵ROM (コードフラッシュメモリ、データフラッシュメモリ) にアクセスしているときは、“0”にしないでください。また、ROME ビットに“0”を書いた後は、ROME ビットが“0”になったことを確認してから次の処理を行ってください。

EXBE ビット (外部バス有効ビット)

外部バスの有効/無効を選択するビットです。

外部アドレス空間上のプログラムを実行しているときは、“0”にしないでください。また、外部バスへのアクセスが完了してから“0”を書いてください。また、CPU 以外のバスマスタ (DMAC, DTC, EXDMAC) の転送範囲に外部アドレス空間が含まれる場合は、DMA 転送を禁止してから実施してください。

EXBE ビットを書き換えた後は、EXBE ビットが書き換わったことを確認してから次の処理を行ってください。

なお、EXBE ビットを“1”にする場合、関連する I/O ポートの設定も必要となります。詳細は「23. マルチファンクションピンコントローラ (MPC)」を参照してください。

3.2.3 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SBYRAME	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RAME	RAM有効ビット	0: RAM無効 1: RAM有効	R/W
b6-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	SBYRAME	スタンバイRAM有効ビット	0: スタンバイRAM無効 1: スタンバイRAM有効	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RAME ビット (RAM 有効ビット)

RAMの有効/無効を選択するビットです。

RAMをアクセスしているときは、“0”にしないでください。また、RAMEビットを“0”から“1”に書き換えた後は、RAMEビットが“1”になったことを確認してからRAMをアクセスするようにしてください。

RAMEビットを“0”にしても、RAMの値は保持されます。ただし、「56. 電気的特性」に規定するRAM保持電圧 (VRAM) 以上の電圧を保持する必要があります。

SBYRAME ビット (スタンバイRAM 有効ビット)

スタンバイRAMの有効/無効を選択するビットです。

スタンバイRAMをアクセスしているときは、“0”にしないでください。また、SBYRAMEビットを“0”から“1”に書き換えた後は、SBYRAMEビットが“1”になったことを確認してからスタンバイRAMをアクセスするようにしてください。

SBYRAMEビットを“0”にしても、スタンバイRAMの値は保持されます。ただし、「56. 電気的特性」に規定するRAM保持電圧 (VRAM) 以上の電圧を保持する必要があります。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、外部バスが無効 (SYSCR0.EXBE ビット = 0) で、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。起動時の内蔵 ROM は有効 (SYSCR0.ROME ビット = 1) です。ソフトウェアで内蔵 ROM 無効 (SYSCR0.ROME ビット = 0) にできますが、内蔵 ROM 有効 (SYSCR0.ROME ビット = 1) に戻すことはできません。

SYSCR0.EXBE ビットを“1” (外部バス有効) にし、内蔵 ROM 有効拡張モードまたは内蔵 ROM 無効拡張モードに移行することで、外部バスを使用することができます。

3.3.2 内蔵 ROM 有効拡張モード

内蔵 ROM が有効 (SYSCR0.ROME ビット = 1) で、外部バス拡張を有効 (SYSCR0.EXBE ビット = 1) にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は「23. マルチファンクションピンコントローラ (MPC)」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを“1” (外部バス有効) にすると、内蔵 ROM 有効拡張モードになります。

SYSCR0.EXBE ビットを“0” (外部バス無効) にすると、シングルチップモード (内蔵 ROM 有効) に移行します。

SYSCR0.ROME ビットを“0” (内蔵 ROM 無効) にすると、内蔵 ROM 無効拡張モードに移行します。

3.3.3 内蔵 ROM 無効拡張モード

内蔵 ROM が無効 (SYSCR0.ROME ビット = 0) で、外部バス拡張を有効 (SYSCR0.EXBE ビット = 1) にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は、「23. マルチファンクションピンコントローラ (MPC)」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを“1” (外部バス有効)、SYSCR0.ROME ビットを“0” (内蔵 ROM 無効) にすると、内蔵 ROM 無効拡張モードになります。

内蔵 ROM を有効 (SYSCR0.ROME ビット = 1) にすることはできません。

SYSCR0.EXBE ビットを“0” (外部バス無効) にすると、シングルチップモード (内蔵 ROM 無効) に移行します。

3.3.4 ブートモード (SCI インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。調歩同期式シリアルインタフェース (SCI1) を使用して、MCU 外部から内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「55. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low、UB 端子を Low にしてリセットを解除すると、ブートモード (SCI インタフェース) で起動します。

3.3.5 ブートモード (USB インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。USB を使用して、MCU 外部から内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「55. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low、UB 端子を High にしてリセットを解除すると、ブートモード (USB インタフェース) で起動します。

3.3.6 ブートモード (FINE インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。FINE を使用して、MCU 外部から内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「55. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low にしてリセット解除後、20 ~ 100msec の間に High へ切り替えると、ブートモード (FINE インタフェース) で起動します。

3.4 動作モード遷移

3.4.1 モード設定端子による動作モード遷移

MD 端子、UB 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

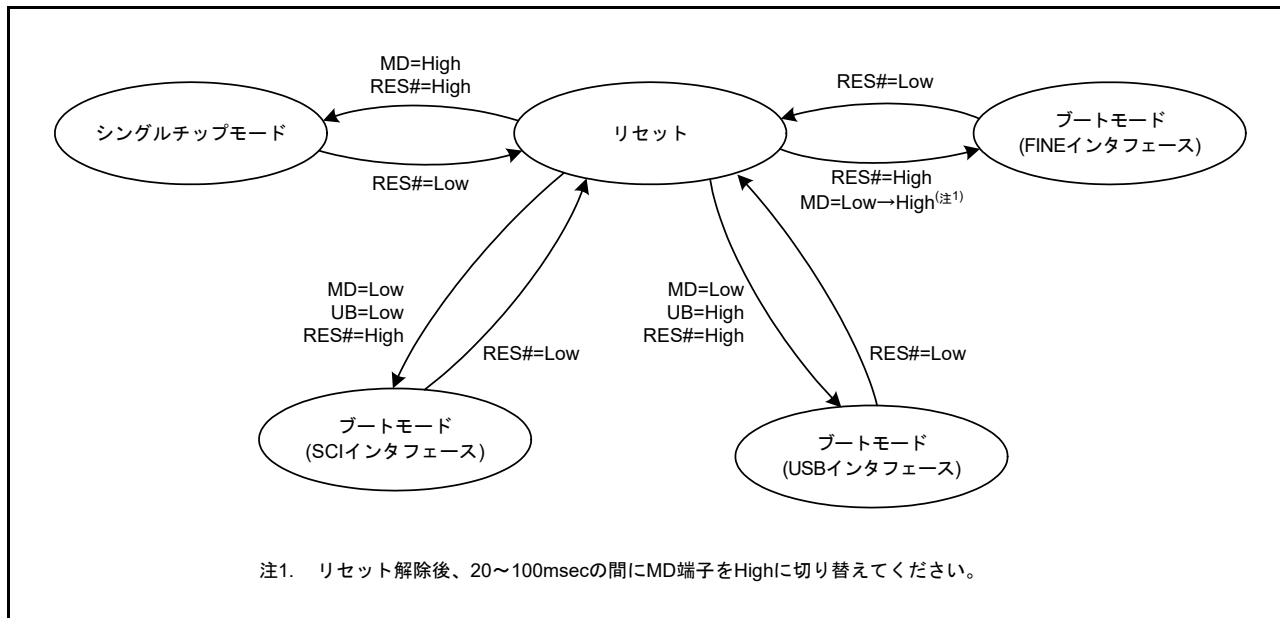


図 3.1 モード設定端子のレベルと動作モード

3.4.2 レジスタ設定による動作モード遷移

SYSCR0.ROME, EXBE ビットの設定による動作モード遷移について、図 3.2 に状態遷移図を示します。

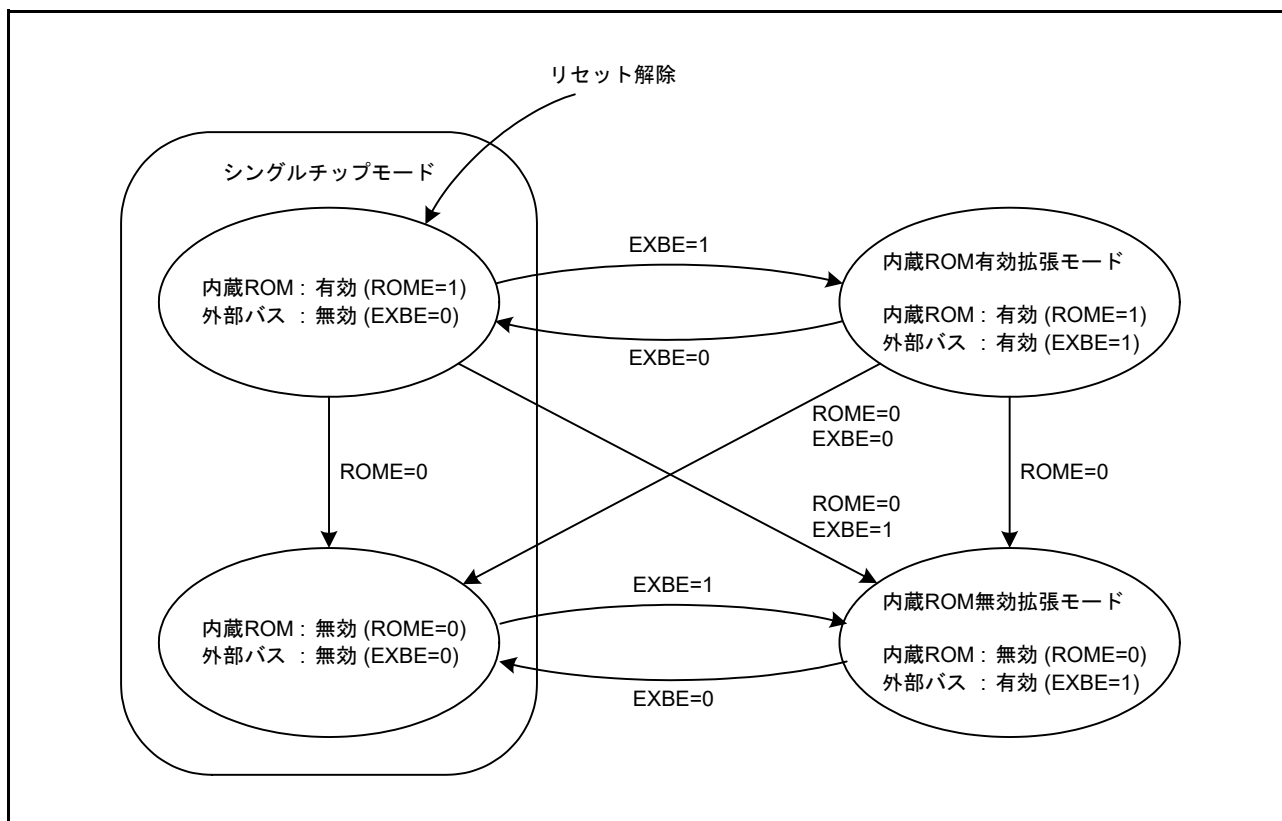


図 3.2 SYSCR0.ROME, EXBE ビットの設定と動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって異なります。

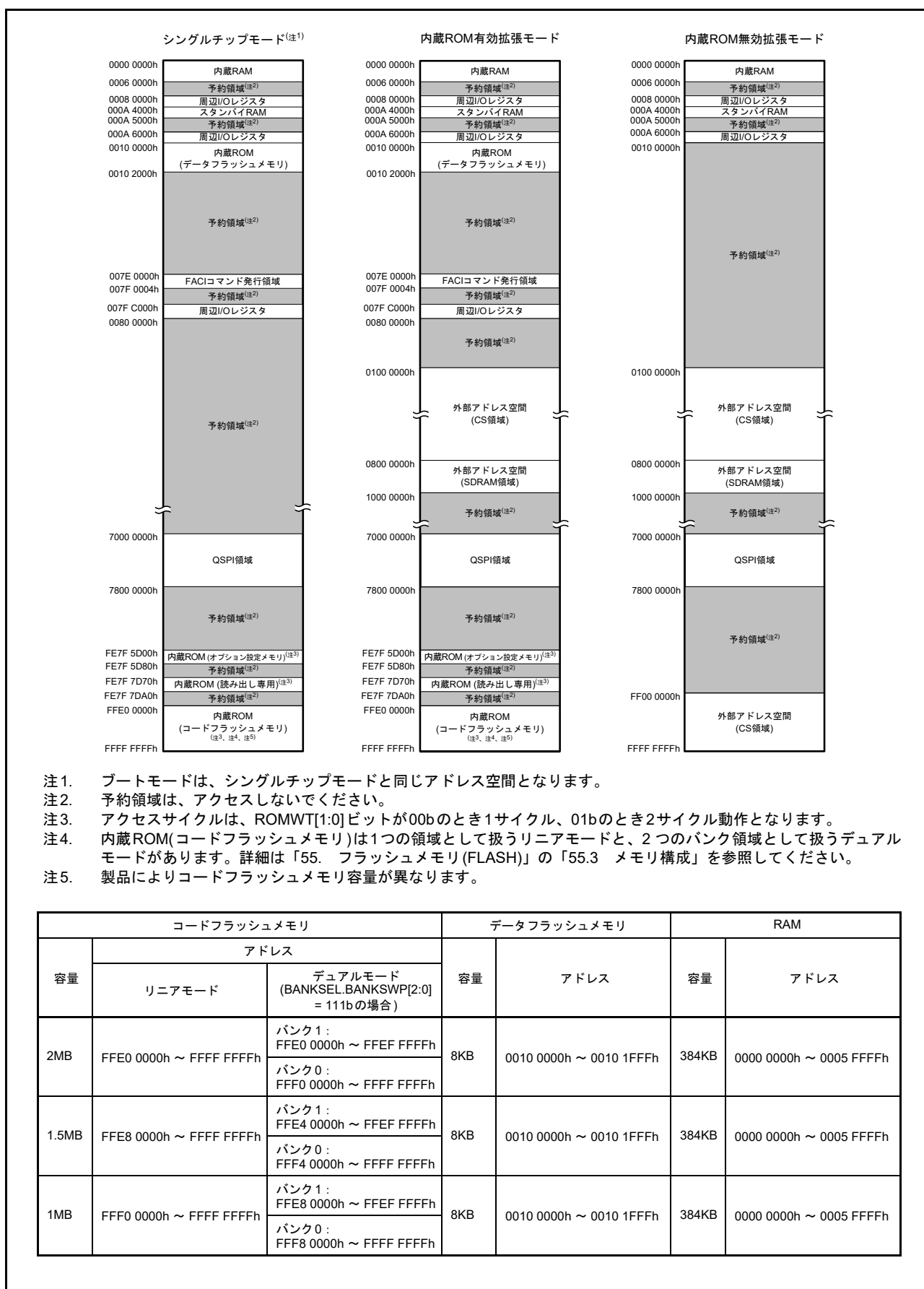


図 4.1 各動作モードのメモリマップ

4.2 外部アドレス空間と QSPI 領域

外部アドレス空間は、CS 領域 (CS0 ~ CS7) と SDRAM 領域 (SDCS) に分割されています。CS 領域は、CSn# 端子 (n = 0 ~ 7) から出力される CSn# 信号によって最大 8 つの CS 領域 (CS0 ~ CS7) に分割できます。QSPI 領域は、外部 SPI デバイス領域と QSPI I/O レジスタ領域に分割されています。図 4.2 に内蔵 ROM 無効拡張モード時の CS 領域 (CS0 ~ CS7)、SDRAM 領域 (SDCS)、QSPI 領域とアドレスの対応を示します。

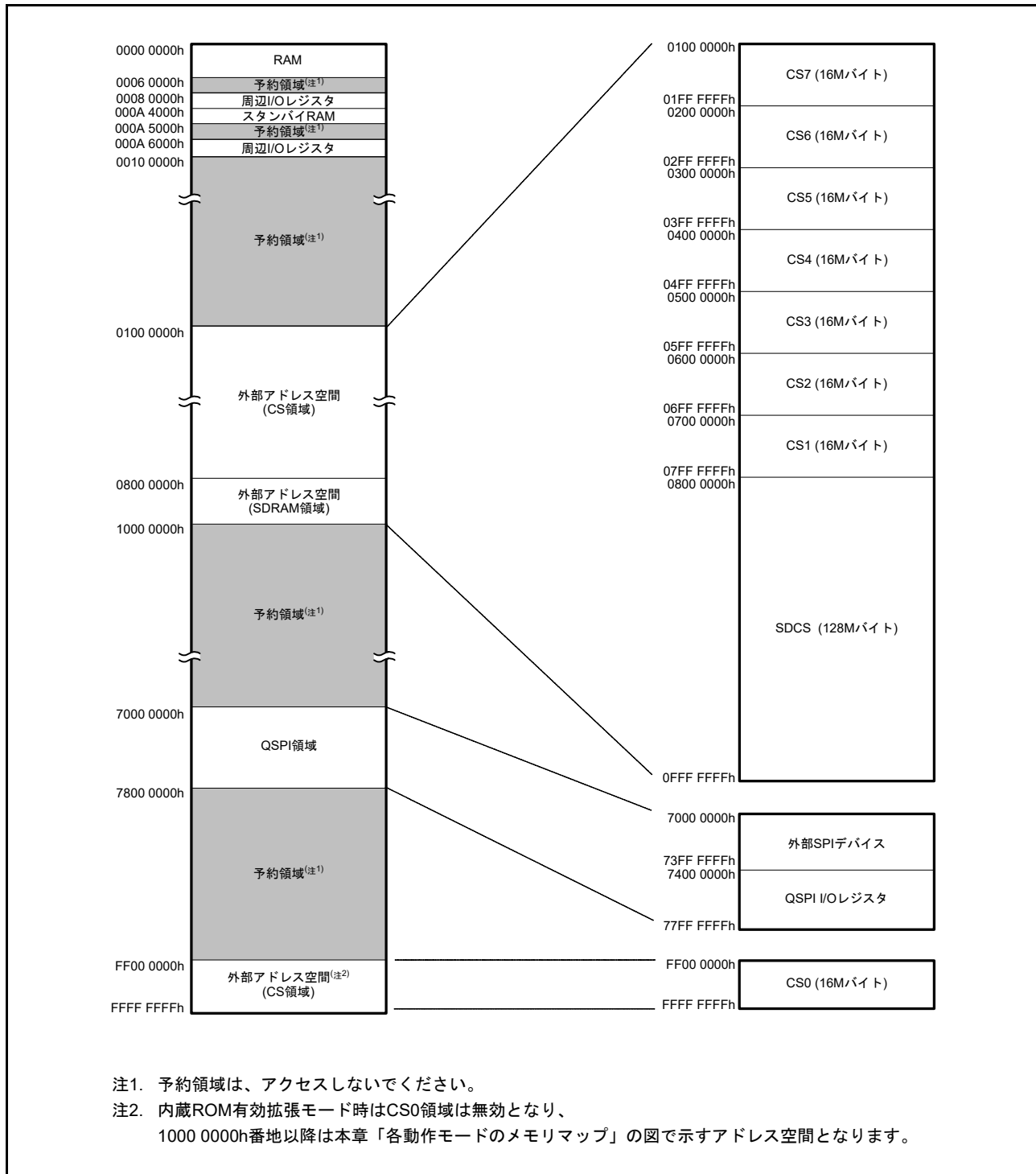


図 4.2 外部アドレス空間と CS 領域 (内蔵 ROM 無効拡張モードの場合)

5. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/Oレジスタアドレス一覧(アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット(ICU.IERn.IENjビット)のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 5.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注 1)

$$\begin{aligned} \text{I/O レジスタアクセスサイクル数} = & \text{内部メインバス 1 のバスサイクル数} + \\ & \text{分周クロック同期化サイクル数} + \\ & \text{内部周辺バス 1 ～ 6 のバスサイクル数} \end{aligned}$$

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能、および外部バス制御部のレジスタ (バスエラー関連のレジスタは除く) へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK (または FCLK, BCLK) の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ (または FCLK) の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK (または FCLK) で最大 1 サイクルとなるため、表 5.1 では 1PCLK (または FCLK) の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ (または FCLK) の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

外部バス制御部では内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLK で最大 1 サイクルとなるため、表 5.1 では 1BCLK の幅を持たせて記載しています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ (DMAC, DTC) のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ (「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ) への書き込みは禁止です。

(5) RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

5.1 I/Oレジスタアドレス一覧(アドレス順)

表5.1 I/Oレジスタアドレス一覧(1/49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		3章
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK		3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK		3章
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK		11章
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK		11章
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK		11章
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3ICLK		11章
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		9章
0008 0024h	SYSTEM	システムクロックコントロールレジスタ2	SCKCR2	16	16	3ICLK		9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK		9章
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK		9章
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK		9章
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK		9章
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK		9章
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK		9章
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK		9章
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK		9章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK		9章
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK		9章
0008 0039h	SYSTEM	FLLコントロールレジスタ1	FLLCR1	8	8	3ICLK		9章
0008 003Ah	SYSTEM	FLLコントロールレジスタ2	FLLCR2	16	16	3ICLK		9章
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK		9章
0008 003Eh	SYSTEM	CLKOUT出力コントロールレジスタ	CKOCR	16	16	3ICLK		9章
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK		9章
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK		9章
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK		11章
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK		11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK		9章
0008 00A3h	SYSTEM	サブクロック発振器ウェイトコントロールレジスタ	SOSCWTCR	8	8	3ICLK		9章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK		6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK		6章
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK		8章
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK		8章
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK		8章
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK		8章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		13章
0008 1000h	FLASH	ROMキャッシュ許可レジスタ	ROMCE	16	16	2ICLK		55章
0008 1004h	FLASH	ROMキャッシュ無効化レジスタ	ROMCIV	16	16	2ICLK		55章
0008 101Ch	SYSTEM	ROMウェイトサイクル設定レジスタ	ROMWT	8	8	2ICLK		9章
0008 1040h	FLASH	ノンキャッシュャブル領域0アドレスレジスタ	NCRG0	32	32	2ICLK		55章
0008 1044h	FLASH	ノンキャッシュャブル領域0設定レジスタ	NCRC0	32	32	2ICLK		55章
0008 1048h	FLASH	ノンキャッシュャブル領域1アドレスレジスタ	NCRG1	32	32	2ICLK		55章
0008 104Ch	FLASH	ノンキャッシュャブル領域1設定レジスタ	NCRC1	32	32	2ICLK		55章
0008 1200h	RAM	RAM動作モード制御レジスタ	RAMMODE	8	8	2ICLK		53章
0008 1201h	RAM	RAMエラーステータスレジスタ	RAMSTS	8	8	2ICLK		53章
0008 1204h	RAM	RAMプロテクトレジスタ	RAMPCR	8	8	2ICLK		53章

表5.1 I/Oレジスタアドレス一覧(2/49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 1208h	RAM	RAMエラーアドレスキャプチャレジスタ	RAMECAD	32	32	2ICLK		53章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		16章
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK		16章
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK		16章
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK		16章
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK		16章
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		18章
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		18章
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		18章
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		18章
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		18章
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		18章
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		18章
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK		18章
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		18章
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		18章
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK		18章
0008 201Fh	DMAC0	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		18章
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		18章
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		18章
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		18章
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		18章
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		18章
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		18章
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		18章
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		18章
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		18章
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK		18章
0008 205Fh	DMAC1	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		18章
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		18章
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		18章
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		18章
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		18章
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		18章
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		18章
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		18章
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		18章
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		18章
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK		18章
0008 209Fh	DMAC2	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		18章
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		18章
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		18章
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		18章
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		18章
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		18章
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		18章
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		18章
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		18章
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		18章
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK		18章
0008 20DFh	DMAC3	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		18章
0008 2100h	DMAC4	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		18章

表5.1 I/Oレジスタアドレス一覧 (3 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 2104h	DMAC4	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		18章
0008 2108h	DMAC4	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		18章
0008 210Ch	DMAC4	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		18章
0008 2110h	DMAC4	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		18章
0008 2113h	DMAC4	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		18章
0008 2114h	DMAC4	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		18章
0008 211Ch	DMAC4	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		18章
0008 211Dh	DMAC4	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		18章
0008 211Eh	DMAC4	DMAステータスレジスタ	DMSTS	8	8	2ICLK		18章
0008 211Fh	DMAC4	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		18章
0008 2140h	DMAC5	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		18章
0008 2144h	DMAC5	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		18章
0008 2148h	DMAC5	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		18章
0008 214Ch	DMAC5	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		18章
0008 2150h	DMAC5	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		18章
0008 2153h	DMAC5	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		18章
0008 2154h	DMAC5	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		18章
0008 215Ch	DMAC5	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		18章
0008 215Dh	DMAC5	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		18章
0008 215Eh	DMAC5	DMAステータスレジスタ	DMSTS	8	8	2ICLK		18章
0008 215Fh	DMAC5	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		18章
0008 2180h	DMAC6	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		18章
0008 2184h	DMAC6	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		18章
0008 2188h	DMAC6	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		18章
0008 218Ch	DMAC6	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		18章
0008 2190h	DMAC6	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		18章
0008 2193h	DMAC6	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		18章
0008 2194h	DMAC6	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		18章
0008 219Ch	DMAC6	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		18章
0008 219Dh	DMAC6	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		18章
0008 219Eh	DMAC6	DMAステータスレジスタ	DMSTS	8	8	2ICLK		18章
0008 219Fh	DMAC6	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		18章
0008 21C0h	DMAC7	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		18章
0008 21C4h	DMAC7	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		18章
0008 21C8h	DMAC7	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		18章
0008 21CCh	DMAC7	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		18章
0008 21D0h	DMAC7	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		18章
0008 21D3h	DMAC7	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		18章
0008 21D4h	DMAC7	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		18章
0008 21DCh	DMAC7	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		18章
0008 21DDh	DMAC7	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		18章
0008 21DEh	DMAC7	DMAステータスレジスタ	DMSTS	8	8	2ICLK		18章
0008 21DFh	DMAC7	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		18章
0008 2200h	DMAC	DMACモジュール起動レジスタ	DMAST	8	8	2ICLK		18章
0008 2204h	DMAC	DMAC74割り込みステータスマニタレジスタ	DMIST	8	8	2ICLK		18章
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK		20章
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK		20章
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK		20章
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK		20章
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK		20章
0008 2410h	DTC	DTCインデックステーブルベースレジスタ	DTCIBR	32	32	2ICLK		20章
0008 2414h	DTC	DTCオペレーションレジスタ	DTCOR	8	8	2ICLK		20章

表 5.1 I/O レジスタ アドレス一覧 (4 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 2416h	DTC	DTCシーケンス転送許可レジスタ	DTCSQE	16	16	2ICLK		20章
0008 2418h	DTC	DTCアドレスディスプレースメントレジスタ	DTCDISP	32	32	2ICLK		20章
0008 2800h	EXDMAC0	EXDMA転送元アドレスレジスタ	EDMSAR	32	32	1~2BCLK		19章
0008 2804h	EXDMAC0	EXDMA転送先アドレスレジスタ	EDMDAR	32	32	1~2BCLK		19章
0008 2808h	EXDMAC0	EXDMA転送カウントレジスタ	EDMCRA	32	32	1~2BCLK		19章
0008 280Ch	EXDMAC0	EXDMAブロック転送カウントレジスタ	EDMCRB	16	16	1~2BCLK		19章
0008 2810h	EXDMAC0	EXDMA転送モードレジスタ	EDMTMD	16	16	1~2BCLK		19章
0008 2812h	EXDMAC0	EXDMA出力設定レジスタ	EDMOMD	8	8	1~2BCLK		19章
0008 2813h	EXDMAC0	EXDMA割り込み設定レジスタ	EDMINT	8	8	1~2BCLK		19章
0008 2814h	EXDMAC0	EXDMAアドレスモードレジスタ	EDMAMD	32	32	1~2BCLK		19章
0008 2818h	EXDMAC0	EXDMAオフセットレジスタ	EDMOFR	32	32	1~2BCLK		19章
0008 281Ch	EXDMAC0	EXDMA転送許可レジスタ	EDMCNT	8	8	1~2BCLK		19章
0008 281Dh	EXDMAC0	EXDMAソフトウェア起動レジスタ	EDMREQ	8	8	1~2BCLK		19章
0008 281Eh	EXDMAC0	EXDMAステータスレジスタ	EDMSTS	8	8	1~2BCLK		19章
0008 2820h	EXDMAC0	EXDMA外部要求センスモードレジスタ	EDMRMD	8	8	1~2BCLK		19章
0008 2821h	EXDMAC0	EXDMA外部要求フラグレジスタ	EDMERF	8	8	1~2BCLK		19章
0008 2822h	EXDMAC0	EXDMA周辺要求フラグレジスタ	EDMPRF	8	8	1~2BCLK		19章
0008 2840h	EXDMAC1	EXDMA転送元アドレスレジスタ	EDMSAR	32	32	1~2BCLK		19章
0008 2844h	EXDMAC1	EXDMA転送先アドレスレジスタ	EDMDAR	32	32	1~2BCLK		19章
0008 2848h	EXDMAC1	EXDMA転送カウントレジスタ	EDMCRA	32	32	1~2BCLK		19章
0008 284Ch	EXDMAC1	EXDMAブロック転送カウントレジスタ	EDMCRB	16	16	1~2BCLK		19章
0008 2850h	EXDMAC1	EXDMA転送モードレジスタ	EDMTMD	16	16	1~2BCLK		19章
0008 2852h	EXDMAC1	EXDMA出力設定レジスタ	EDMOMD	8	8	1~2BCLK		19章
0008 2853h	EXDMAC1	EXDMA割り込み設定レジスタ	EDMINT	8	8	1~2BCLK		19章
0008 2854h	EXDMAC1	EXDMAアドレスモードレジスタ	EDMAMD	32	32	1~2BCLK		19章
0008 285Ch	EXDMAC1	EXDMA転送許可レジスタ	EDMCNT	8	8	1~2BCLK		19章
0008 285Dh	EXDMAC1	EXDMAソフトウェア起動レジスタ	EDMREQ	8	8	1~2BCLK		19章
0008 285Eh	EXDMAC1	EXDMAステータスレジスタ	EDMSTS	8	8	1~2BCLK		19章
0008 2860h	EXDMAC1	EXDMA外部要求センスモードレジスタ	EDMRMD	8	8	1~2BCLK		19章
0008 2861h	EXDMAC1	EXDMA外部要求フラグレジスタ	EDMERF	8	8	1~2BCLK		19章
0008 2862h	EXDMAC1	EXDMA周辺要求フラグレジスタ	EDMPRF	8	8	1~2BCLK		19章
0008 2A00h	EXDMAC	EXDMACモジュール起動レジスタ	EDMAST	8	8	1~2BCLK		19章
0008 2BE0h	EXDMAC	クラスタバッファレジスタ0	CLSBR0	32	32	1~2BCLK		19章
0008 2BE4h	EXDMAC	クラスタバッファレジスタ1	CLSBR1	32	32	1~2BCLK		19章
0008 2BE8h	EXDMAC	クラスタバッファレジスタ2	CLSBR2	32	32	1~2BCLK		19章
0008 2BECh	EXDMAC	クラスタバッファレジスタ3	CLSBR3	32	32	1~2BCLK		19章
0008 2BF0h	EXDMAC	クラスタバッファレジスタ4	CLSBR4	32	32	1~2BCLK		19章
0008 2BF4h	EXDMAC	クラスタバッファレジスタ5	CLSBR5	32	32	1~2BCLK		19章
0008 2BF8h	EXDMAC	クラスタバッファレジスタ6	CLSBR6	32	32	1~2BCLK		19章
0008 2BFCh	EXDMAC	クラスタバッファレジスタ7	CLSBR7	32	32	1~2BCLK		19章
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1~2BCLK		16章
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1~2BCLK		16章
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1~2BCLK		16章
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1~2BCLK		16章
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1~2BCLK		16章
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1~2BCLK		16章
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1~2BCLK		16章
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1~2BCLK		16章
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1~2BCLK		16章
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1~2BCLK		16章
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1~2BCLK		16章
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1~2BCLK		16章

表5.1 I/Oレジスタアドレス一覧 (5 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 3042h	BSC	CS4モードレジスタ	CS4MOD	16	16	1~2BCLK		16章
0008 3044h	BSC	CS4ウェイト制御レジスタ1	CS4WCR1	32	32	1~2BCLK		16章
0008 3048h	BSC	CS4ウェイト制御レジスタ2	CS4WCR2	32	32	1~2BCLK		16章
0008 3052h	BSC	CS5モードレジスタ	CS5MOD	16	16	1~2BCLK		16章
0008 3054h	BSC	CS5ウェイト制御レジスタ1	CS5WCR1	32	32	1~2BCLK		16章
0008 3058h	BSC	CS5ウェイト制御レジスタ2	CS5WCR2	32	32	1~2BCLK		16章
0008 3062h	BSC	CS6モードレジスタ	CS6MOD	16	16	1~2BCLK		16章
0008 3064h	BSC	CS6ウェイト制御レジスタ1	CS6WCR1	32	32	1~2BCLK		16章
0008 3068h	BSC	CS6ウェイト制御レジスタ2	CS6WCR2	32	32	1~2BCLK		16章
0008 3072h	BSC	CS7モードレジスタ	CS7MOD	16	16	1~2BCLK		16章
0008 3074h	BSC	CS7ウェイト制御レジスタ1	CS7WCR1	32	32	1~2BCLK		16章
0008 3078h	BSC	CS7ウェイト制御レジスタ2	CS7WCR2	32	32	1~2BCLK		16章
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1~2BCLK		16章
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1~2BCLK		16章
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1~2BCLK		16章
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1~2BCLK		16章
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1~2BCLK		16章
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1~2BCLK		16章
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1~2BCLK		16章
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1~2BCLK		16章
0008 3842h	BSC	CS4制御レジスタ	CS4CR	16	16	1~2BCLK		16章
0008 384Ah	BSC	CS4リカバリサイクル設定レジスタ	CS4REC	16	16	1~2BCLK		16章
0008 3852h	BSC	CS5制御レジスタ	CS5CR	16	16	1~2BCLK		16章
0008 385Ah	BSC	CS5リカバリサイクル設定レジスタ	CS5REC	16	16	1~2BCLK		16章
0008 3862h	BSC	CS6制御レジスタ	CS6CR	16	16	1~2BCLK		16章
0008 386Ah	BSC	CS6リカバリサイクル設定レジスタ	CS6REC	16	16	1~2BCLK		16章
0008 3872h	BSC	CS7制御レジスタ	CS7CR	16	16	1~2BCLK		16章
0008 387Ah	BSC	CS7リカバリサイクル設定レジスタ	CS7REC	16	16	1~2BCLK		16章
0008 3880h	BSC	CSリカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1~2BCLK		16章
0008 3C00h	BSC	SDC制御レジスタ	SDCCR	8	8	1~2BCLK		16章
0008 3C01h	BSC	SDCモードレジスタ	SDCMOD	8	8	1~2BCLK		16章
0008 3C02h	BSC	SDRAMアクセスモードレジスタ	SDAMOD	8	8	1~2BCLK		16章
0008 3C10h	BSC	SDRAMセルフリフレッシュ制御レジスタ	SDSELF	8	8	1~2BCLK		16章
0008 3C14h	BSC	SDRAMリフレッシュ制御レジスタ	SDRFCR	16	16	1~2BCLK		16章
0008 3C16h	BSC	SDRAMオートリフレッシュ制御レジスタ	SDRFEN	8	8	1~2BCLK		16章
0008 3C20h	BSC	SDRAM初期化シーケンス制御レジスタ	SDICR	8	8	1~2BCLK		16章
0008 3C24h	BSC	SDRAM初期化レジスタ	SDIR	16	16	1~2BCLK		16章
0008 3C40h	BSC	SDRAMアドレスレジスタ	SDADR	8	8	1~2BCLK		16章
0008 3C44h	BSC	SDRAMタイミングレジスタ	SDTR	32	32	1~2BCLK		16章
0008 3C48h	BSC	SDRAMモードレジスタ	SDMOD	16	16	1~2BCLK		16章
0008 3C50h	BSC	SDRAMステータスレジスタ	SDSR	8	8	1~2BCLK		16章
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1CLK		17章
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1CLK		17章
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1CLK		17章
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1CLK		17章
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1CLK		17章
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1CLK		17章
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1CLK		17章
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1CLK		17章
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1CLK		17章
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1CLK		17章
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1CLK		17章

表 5.1 I/O レジスタアドレス一覧 (6 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1	1	17章
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1	1	17章
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1	1	17章
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1	1	17章
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1	1	17章
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1	1	17章
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1	1	17章
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1	1	17章
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1	1	17章
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1	1	17章
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1	1	17章
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1	1	17章
0008 6526h	MPU	領域インバリデイトオペレーションレジスタ	MPOPI	16	16	1	1	17章
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1	1	17章
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1	1	17章
0008 7010h~ 0008 70FFh	ICU	割り込み要求レジスタ 016~割り込み要求レジスタ 255	IR016~IR255	8	8	2	2	15章
0008 711Ah~ 0008 71FFh	ICU	DTC転送要求許可レジスタ 026~DTC転送要求許可レジスタ 255	DTCE026~DTCE255	8	8	2	2	15章
0008 7202h~ 0008 721Fh	ICU	割り込み要求許可レジスタ 02~割り込み要求許可レジスタ 1F	IER02~IER1F	8	8	2	2	15章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2	2	15章
0008 72E1h	ICU	ソフトウェア割り込み2起動レジスタ	SWINT2R	8	8	2	2	15章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2	2	15章
0008 7300h~ 0008 73FFh	ICU	割り込み要因プライオリティレジスタ 000~割り込み要因プライオリティレジスタ 255	IPR000~IPR255	8	8	2	2	15章
0008 7400h	ICU	DMAC 起動要因選択レジスタ 0	DMRSR0	8	8	2	2	15章
0008 7404h	ICU	DMAC 起動要因選択レジスタ 1	DMRSR1	8	8	2	2	15章
0008 7408h	ICU	DMAC 起動要因選択レジスタ 2	DMRSR2	8	8	2	2	15章
0008 740Ch	ICU	DMAC 起動要因選択レジスタ 3	DMRSR3	8	8	2	2	15章
0008 7410h	ICU	DMAC 起動要因選択レジスタ 4	DMRSR4	8	8	2	2	15章
0008 7414h	ICU	DMAC 起動要因選択レジスタ 5	DMRSR5	8	8	2	2	15章
0008 7418h	ICU	DMAC 起動要因選択レジスタ 6	DMRSR6	8	8	2	2	15章
0008 741Ch	ICU	DMAC 起動要因選択レジスタ 7	DMRSR7	8	8	2	2	15章
0008 7500h~ 0008 750Fh	ICU	IRQ コントロールレジスタ 0~IRQ コントロールレジスタ 15	IRQCR0~IRQCR15	8	8	2	2	15章
0008 7520h	ICU	IRQ 端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2	2	15章
0008 7521h	ICU	IRQ 端子デジタルフィルタ許可レジスタ 1	IRQFLTE1	8	8	2	2	15章
0008 7528h	ICU	IRQ 端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2	2	15章
0008 752Ah	ICU	IRQ 端子デジタルフィルタ設定レジスタ 1	IRQFLTC1	16	16	2	2	15章
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2	2	15章
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2	2	15章
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2	2	15章
0008 7583h	ICU	NMI 端子割り込みコントロールレジスタ	NMICR	8	8	2	2	15章
0008 7584h	ICU	拡張ノンマスクابل割り込みステータスレジスタ	EXNMISR	8	8	2	2	15章
0008 7585h	ICU	拡張ノンマスクابل割り込み許可レジスタ	EXNMIER	8	8	2	2	15章
0008 7586h	ICU	拡張ノンマスクابل割り込みステータスクリアレジスタ	EXNMICLR	8	8	2	2	15章
0008 7590h	ICU	NMI 端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2	2	15章
0008 7594h	ICU	NMI 端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2	2	15章
0008 75B0h	ICU	グループIE0割り込み要求レジスタ	GRPIE0	32	32	2	2	15章
0008 75B4h	ICU	グループIE0割り込み要求許可レジスタ	GENIE0	32	32	2	2	15章
0008 75B8h	ICU	グループIE0割り込みクリアレジスタ	GCRIE0	32	32	2	2	15章

表 5.1 I/O レジスタアドレス一覧 (7 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 7600h	ICU	グループBE0割り込み要求レジスタ	GRPBE0	32	32	2ICLK~1PCLKB	2ICLK	15章
0008 7630h	ICU	グループBL0割り込み要求レジスタ	GRPBL0	32	32	2ICLK~1PCLKB	2ICLK	15章
0008 7634h	ICU	グループBL1割り込み要求レジスタ	GRPBL1	32	32	2ICLK~1PCLKB	2ICLK	15章
0008 7640h	ICU	グループBE0割り込み要求許可レジスタ	GENBE0	32	32	2ICLK~1PCLKB	2ICLK	15章
0008 7670h	ICU	グループBL0割り込み要求許可レジスタ	GENBL0	32	32	2ICLK~1PCLKB	2ICLK	15章
0008 7674h	ICU	グループBL1割り込み要求許可レジスタ	GENBL1	32	32	2ICLK~1PCLKB	2ICLK	15章
0008 7680h	ICU	グループBE0割り込みクリアレジスタ	GCRBE0	32	32	2ICLK~1PCLKB	2ICLK	15章
0008 7700h	ICU	選択型割り込みB要求レジスタ0	PIBR0	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7701h	ICU	選択型割り込みB要求レジスタ1	PIBR1	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7702h	ICU	選択型割り込みB要求レジスタ2	PIBR2	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7703h	ICU	選択型割り込みB要求レジスタ3	PIBR3	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7704h	ICU	選択型割り込みB要求レジスタ4	PIBR4	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7705h	ICU	選択型割り込みB要求レジスタ5	PIBR5	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7706h	ICU	選択型割り込みB要求レジスタ6	PIBR6	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7707h	ICU	選択型割り込みB要求レジスタ7	PIBR7	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7708h	ICU	選択型割り込みB要求レジスタ8	PIBR8	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7709h	ICU	選択型割り込みB要求レジスタ9	PIBR9	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 770Ah	ICU	選択型割り込みB要求レジスタA	PIBRA	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 770Bh	ICU	選択型割り込みB要求レジスタB	PIBRB	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 770Ch	ICU	選択型割り込みB要求レジスタC	PIBRC	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7780h	ICU	選択型割り込みB要因選択レジスタX128	SLIBXR128	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7781h	ICU	選択型割り込みB要因選択レジスタX129	SLIBXR129	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7782h	ICU	選択型割り込みB要因選択レジスタX130	SLIBXR130	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7783h	ICU	選択型割り込みB要因選択レジスタX131	SLIBXR131	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7784h	ICU	選択型割り込みB要因選択レジスタX132	SLIBXR132	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7785h	ICU	選択型割り込みB要因選択レジスタX133	SLIBXR133	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7786h	ICU	選択型割り込みB要因選択レジスタX134	SLIBXR134	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7787h	ICU	選択型割り込みB要因選択レジスタX135	SLIBXR135	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7788h	ICU	選択型割り込みB要因選択レジスタX136	SLIBXR136	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7789h	ICU	選択型割り込みB要因選択レジスタX137	SLIBXR137	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 778Ah	ICU	選択型割り込みB要因選択レジスタX138	SLIBXR138	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 778Bh	ICU	選択型割り込みB要因選択レジスタX139	SLIBXR139	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 778Ch	ICU	選択型割り込みB要因選択レジスタX140	SLIBXR140	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 778Dh	ICU	選択型割り込みB要因選択レジスタX141	SLIBXR141	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 778Eh	ICU	選択型割り込みB要因選択レジスタX142	SLIBXR142	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 778Fh	ICU	選択型割り込みB要因選択レジスタX143	SLIBXR143	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7790h	ICU	選択型割り込みB要因選択レジスタ144	SLIBR144	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7791h	ICU	選択型割り込みB要因選択レジスタ145	SLIBR145	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7792h	ICU	選択型割り込みB要因選択レジスタ146	SLIBR146	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7793h	ICU	選択型割り込みB要因選択レジスタ147	SLIBR147	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7794h	ICU	選択型割り込みB要因選択レジスタ148	SLIBR148	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7795h	ICU	選択型割り込みB要因選択レジスタ149	SLIBR149	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7796h	ICU	選択型割り込みB要因選択レジスタ150	SLIBR150	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7797h	ICU	選択型割り込みB要因選択レジスタ151	SLIBR151	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7798h	ICU	選択型割り込みB要因選択レジスタ152	SLIBR152	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7799h	ICU	選択型割り込みB要因選択レジスタ153	SLIBR153	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 779Ah	ICU	選択型割り込みB要因選択レジスタ154	SLIBR154	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 779Bh	ICU	選択型割り込みB要因選択レジスタ155	SLIBR155	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 779Ch	ICU	選択型割り込みB要因選択レジスタ156	SLIBR156	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 779Dh	ICU	選択型割り込みB要因選択レジスタ157	SLIBR157	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 779Eh	ICU	選択型割り込みB要因選択レジスタ158	SLIBR158	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 779Fh	ICU	選択型割り込みB要因選択レジスタ159	SLIBR159	8	8	2ICLK~1PCLKB	2ICLK	15章

表 5.1 I/O レジスタアドレス一覧 (8 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 77A0h	ICU	選択型割り込みB要因選択レジスタ 160	SLIBR160	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77A1h	ICU	選択型割り込みB要因選択レジスタ 161	SLIBR161	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77A2h	ICU	選択型割り込みB要因選択レジスタ 162	SLIBR162	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77A3h	ICU	選択型割り込みB要因選択レジスタ 163	SLIBR163	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77A4h	ICU	選択型割り込みB要因選択レジスタ 164	SLIBR164	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77A5h	ICU	選択型割り込みB要因選択レジスタ 165	SLIBR165	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77A6h	ICU	選択型割り込みB要因選択レジスタ 166	SLIBR166	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77A7h	ICU	選択型割り込みB要因選択レジスタ 167	SLIBR167	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77A8h	ICU	選択型割り込みB要因選択レジスタ 168	SLIBR168	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77A9h	ICU	選択型割り込みB要因選択レジスタ 169	SLIBR169	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77AAh	ICU	選択型割り込みB要因選択レジスタ 170	SLIBR170	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77ABh	ICU	選択型割り込みB要因選択レジスタ 171	SLIBR171	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77ACh	ICU	選択型割り込みB要因選択レジスタ 172	SLIBR172	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77ADh	ICU	選択型割り込みB要因選択レジスタ 173	SLIBR173	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77AEh	ICU	選択型割り込みB要因選択レジスタ 174	SLIBR174	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77AFh	ICU	選択型割り込みB要因選択レジスタ 175	SLIBR175	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77B0h	ICU	選択型割り込みB要因選択レジスタ 176	SLIBR176	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77B1h	ICU	選択型割り込みB要因選択レジスタ 177	SLIBR177	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77B2h	ICU	選択型割り込みB要因選択レジスタ 178	SLIBR178	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77B3h	ICU	選択型割り込みB要因選択レジスタ 179	SLIBR179	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77B4h	ICU	選択型割り込みB要因選択レジスタ 180	SLIBR180	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77B5h	ICU	選択型割り込みB要因選択レジスタ 181	SLIBR181	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77B6h	ICU	選択型割り込みB要因選択レジスタ 182	SLIBR182	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77B7h	ICU	選択型割り込みB要因選択レジスタ 183	SLIBR183	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77B8h	ICU	選択型割り込みB要因選択レジスタ 184	SLIBR184	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77B9h	ICU	選択型割り込みB要因選択レジスタ 185	SLIBR185	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77BAh	ICU	選択型割り込みB要因選択レジスタ 186	SLIBR186	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77Bbh	ICU	選択型割り込みB要因選択レジスタ 187	SLIBR187	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77BCh	ICU	選択型割り込みB要因選択レジスタ 188	SLIBR188	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77BDh	ICU	選択型割り込みB要因選択レジスタ 189	SLIBR189	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77BEh	ICU	選択型割り込みB要因選択レジスタ 190	SLIBR190	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77BFh	ICU	選択型割り込みB要因選択レジスタ 191	SLIBR191	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77C0h	ICU	選択型割り込みB要因選択レジスタ 192	SLIBR192	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77C1h	ICU	選択型割り込みB要因選択レジスタ 193	SLIBR193	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77C2h	ICU	選択型割り込みB要因選択レジスタ 194	SLIBR194	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77C3h	ICU	選択型割り込みB要因選択レジスタ 195	SLIBR195	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77C4h	ICU	選択型割り込みB要因選択レジスタ 196	SLIBR196	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77C5h	ICU	選択型割り込みB要因選択レジスタ 197	SLIBR197	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77C6h	ICU	選択型割り込みB要因選択レジスタ 198	SLIBR198	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77C7h	ICU	選択型割り込みB要因選択レジスタ 199	SLIBR199	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77C8h	ICU	選択型割り込みB要因選択レジスタ 200	SLIBR200	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77C9h	ICU	選択型割り込みB要因選択レジスタ 201	SLIBR201	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77CAh	ICU	選択型割り込みB要因選択レジスタ 202	SLIBR202	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77CBh	ICU	選択型割り込みB要因選択レジスタ 203	SLIBR203	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77CCh	ICU	選択型割り込みB要因選択レジスタ 204	SLIBR204	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77CDh	ICU	選択型割り込みB要因選択レジスタ 205	SLIBR205	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77CEh	ICU	選択型割り込みB要因選択レジスタ 206	SLIBR206	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 77CFh	ICU	選択型割り込みB要因選択レジスタ 207	SLIBR207	8	8	2ICLK~1PCLKB	2ICLK	15章
0008 7830h	ICU	グループAL0割り込み要求レジスタ	GRPAL0	32	32	2ICLK~1PCLKA	2ICLK	15章
0008 7834h	ICU	グループAL1割り込み要求レジスタ	GRPAL1	32	32	2ICLK~1PCLKA	2ICLK	15章
0008 7870h	ICU	グループAL0割り込み要求許可レジスタ	GENAL0	32	32	2ICLK~1PCLKA	2ICLK	15章
0008 7874h	ICU	グループAL1割り込み要求許可レジスタ	GENAL1	32	32	2ICLK~1PCLKA	2ICLK	15章

表 5.1 I/O レジスタアドレス一覧 (9 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 7900h	ICU	選択型割り込みA要求レジスタ0	PIAR0	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 7901h	ICU	選択型割り込みA要求レジスタ1	PIAR1	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 7902h	ICU	選択型割り込みA要求レジスタ2	PIAR2	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 7903h	ICU	選択型割り込みA要求レジスタ3	PIAR3	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 7904h	ICU	選択型割り込みA要求レジスタ4	PIAR4	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 7905h	ICU	選択型割り込みA要求レジスタ5	PIAR5	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 790Bh	ICU	選択型割り込みA要求レジスタB	PIARB	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79D0h	ICU	選択型割り込みA要因選択レジスタ208	SLIAR208	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79D1h	ICU	選択型割り込みA要因選択レジスタ209	SLIAR209	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79D2h	ICU	選択型割り込みA要因選択レジスタ210	SLIAR210	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79D3h	ICU	選択型割り込みA要因選択レジスタ211	SLIAR211	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79D4h	ICU	選択型割り込みA要因選択レジスタ212	SLIAR212	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79D5h	ICU	選択型割り込みA要因選択レジスタ213	SLIAR213	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79D6h	ICU	選択型割り込みA要因選択レジスタ214	SLIAR214	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79D7h	ICU	選択型割り込みA要因選択レジスタ215	SLIAR215	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79D8h	ICU	選択型割り込みA要因選択レジスタ216	SLIAR216	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79D9h	ICU	選択型割り込みA要因選択レジスタ217	SLIAR217	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79DAh	ICU	選択型割り込みA要因選択レジスタ218	SLIAR218	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79DBh	ICU	選択型割り込みA要因選択レジスタ219	SLIAR219	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79DCh	ICU	選択型割り込みA要因選択レジスタ220	SLIAR220	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79DDh	ICU	選択型割り込みA要因選択レジスタ221	SLIAR221	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79DEh	ICU	選択型割り込みA要因選択レジスタ222	SLIAR222	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79DFh	ICU	選択型割り込みA要因選択レジスタ223	SLIAR223	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79E0h	ICU	選択型割り込みA要因選択レジスタ224	SLIAR224	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79E1h	ICU	選択型割り込みA要因選択レジスタ225	SLIAR225	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79E2h	ICU	選択型割り込みA要因選択レジスタ226	SLIAR226	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79E3h	ICU	選択型割り込みA要因選択レジスタ227	SLIAR227	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79E4h	ICU	選択型割り込みA要因選択レジスタ228	SLIAR228	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79E5h	ICU	選択型割り込みA要因選択レジスタ229	SLIAR229	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79E6h	ICU	選択型割り込みA要因選択レジスタ230	SLIAR230	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79E7h	ICU	選択型割り込みA要因選択レジスタ231	SLIAR231	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79E8h	ICU	選択型割り込みA要因選択レジスタ232	SLIAR232	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79E9h	ICU	選択型割り込みA要因選択レジスタ233	SLIAR233	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79EAh	ICU	選択型割り込みA要因選択レジスタ234	SLIAR234	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79EBh	ICU	選択型割り込みA要因選択レジスタ235	SLIAR235	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79ECh	ICU	選択型割り込みA要因選択レジスタ236	SLIAR236	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79EDh	ICU	選択型割り込みA要因選択レジスタ237	SLIAR237	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79EEh	ICU	選択型割り込みA要因選択レジスタ238	SLIAR238	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79EFh	ICU	選択型割り込みA要因選択レジスタ239	SLIAR239	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79F0h	ICU	選択型割り込みA要因選択レジスタ240	SLIAR240	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79F1h	ICU	選択型割り込みA要因選択レジスタ241	SLIAR241	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79F2h	ICU	選択型割り込みA要因選択レジスタ242	SLIAR242	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79F3h	ICU	選択型割り込みA要因選択レジスタ243	SLIAR243	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79F4h	ICU	選択型割り込みA要因選択レジスタ244	SLIAR244	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79F5h	ICU	選択型割り込みA要因選択レジスタ245	SLIAR245	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79F6h	ICU	選択型割り込みA要因選択レジスタ246	SLIAR246	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79F7h	ICU	選択型割り込みA要因選択レジスタ247	SLIAR247	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79F8h	ICU	選択型割り込みA要因選択レジスタ248	SLIAR248	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79F9h	ICU	選択型割り込みA要因選択レジスタ249	SLIAR249	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79FAh	ICU	選択型割り込みA要因選択レジスタ250	SLIAR250	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79FBh	ICU	選択型割り込みA要因選択レジスタ251	SLIAR251	8	8	2ICLK~1PCLKA	2ICLK	15章
0008 79FCh	ICU	選択型割り込みA要因選択レジスタ252	SLIAR252	8	8	2ICLK~1PCLKA	2ICLK	15章

表 5.1 I/O レジスタ アドレス一覧 (10 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 79FDh	ICU	選択型割り込み A 要因選択レジスタ 253	SLIAR253	8	8	2ICLK ~ 1PCLKA	2ICLK	15章
0008 79FEh	ICU	選択型割り込み A 要因選択レジスタ 254	SLIAR254	8	8	2ICLK ~ 1PCLKA	2ICLK	15章
0008 79FFh	ICU	選択型割り込み A 要因選択レジスタ 255	SLIAR255	8	8	2ICLK ~ 1PCLKA	2ICLK	15章
0008 7A00h	ICU	選択型割り込み要因選択レジスタ書き込み保護レジスタ	SLIPRCR	8	8	2ICLK ~ 1PCLKA/B	2ICLK	15章
0008 7A01h	ICU	EXDMAC 起動割り込み選択レジスタ	SELEXDR	8	8	2ICLK ~ 1PCLKA/B	2ICLK	15章
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ 0	CMSTR0	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ 1	CMSTR1	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	29章
0008 8020h	WDT	WDT リフレッシュレジスタ	WDTRR	8	8	2 ~ 3PCLKB	2ICLK	32章
0008 8022h	WDT	WDT コントロールレジスタ	WDTCR	16	16	2 ~ 3PCLKB	2ICLK	32章
0008 8024h	WDT	WDT ステータスレジスタ	WDTSR	16	16	2 ~ 3PCLKB	2ICLK	32章
0008 8026h	WDT	WDT リセットコントロールレジスタ	WDTRCR	8	8	2 ~ 3PCLKB	2ICLK	32章
0008 8030h	IWDT	IWDT リフレッシュレジスタ	IWDTRR	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 8032h	IWDT	IWDT コントロールレジスタ	IWDTCR	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 8034h	IWDT	IWDT ステータスレジスタ	IWDTSR	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 8036h	IWDT	IWDT リセットコントロールレジスタ	IWDTRCR	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 8038h	IWDT	IWDT カウント停止コントロールレジスタ	IWDTCSTPR	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 8100h	TPUA	タイマスタートレジスタ	TSTR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8101h	TPUA	タイマシンクロレジスタ	TSYR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8108h	TPU0	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8109h	TPU1	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 810Ah	TPU2	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 810Bh	TPU3	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 810Ch	TPU4	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 810Dh	TPU5	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8110h	TPU0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8111h	TPU0	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8112h	TPU0	タイマ I/O コントロールレジスタ H	TIORH	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8113h	TPU0	タイマ I/O コントロールレジスタ L	TIORL	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8114h	TPU0	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8115h	TPU0	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8116h	TPU0	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	26章
0008 8118h	TPU0	タイマジェネラルレジスタ A	TGRA	16	16	2 ~ 3PCLKB	2ICLK	26章
0008 811Ah	TPU0	タイマジェネラルレジスタ B	TGRB	16	16	2 ~ 3PCLKB	2ICLK	26章
0008 811Ch	TPU0	タイマジェネラルレジスタ C	TGRC	16	16	2 ~ 3PCLKB	2ICLK	26章
0008 811Eh	TPU0	タイマジェネラルレジスタ D	TGRD	16	16	2 ~ 3PCLKB	2ICLK	26章
0008 8120h	TPU1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8121h	TPU1	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8122h	TPU1	タイマ I/O コントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 8124h	TPU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	26章

表5.1 I/O レジスタアドレス一覧 (11 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 8125h	TPU1	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK	26章
0008 8126h	TPU1	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	26章
0008 8128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK	26章
0008 812Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK	26章
0008 8130h	TPU2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	26章
0008 8131h	TPU2	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK	26章
0008 8132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK	26章
0008 8134h	TPU2	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK	26章
0008 8135h	TPU2	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK	26章
0008 8136h	TPU2	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	26章
0008 8138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK	26章
0008 813Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK	26章
0008 8140h	TPU3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	26章
0008 8141h	TPU3	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK	26章
0008 8142h	TPU3	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	2ICLK	26章
0008 8143h	TPU3	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	2ICLK	26章
0008 8144h	TPU3	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK	26章
0008 8145h	TPU3	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK	26章
0008 8146h	TPU3	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	26章
0008 8148h	TPU3	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK	26章
0008 814Ah	TPU3	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK	26章
0008 814Ch	TPU3	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	2ICLK	26章
0008 814Eh	TPU3	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	2ICLK	26章
0008 8150h	TPU4	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	26章
0008 8151h	TPU4	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK	26章
0008 8152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK	26章
0008 8154h	TPU4	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK	26章
0008 8155h	TPU4	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK	26章
0008 8156h	TPU4	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	26章
0008 8158h	TPU4	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK	26章
0008 815Ah	TPU4	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK	26章
0008 8160h	TPU5	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	26章
0008 8161h	TPU5	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK	26章
0008 8162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK	26章
0008 8164h	TPU5	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK	26章
0008 8165h	TPU5	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK	26章
0008 8166h	TPU5	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	26章
0008 8168h	TPU5	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK	26章
0008 816Ah	TPU5	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK	26章
0008 81E6h	PPG0	PPG出力コントロールレジスタ	PCR	8	8	2~3PCLKB	2ICLK	27章
0008 81E7h	PPG0	PPG出力モードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	27章
0008 81E8h	PPG0	ネクストデータラインレジスタH	NDERH	8	8	2~3PCLKB	2ICLK	27章
0008 81E9h	PPG0	ネクストデータラインレジスタL	NDERL	8	8	2~3PCLKB	2ICLK	27章
0008 81EAh	PPG0	アウトプットデータレジスタH	PODRH	8	8	2~3PCLKB	2ICLK	27章
0008 81EBh	PPG0	アウトプットデータレジスタL	PODRL	8	8	2~3PCLKB	2ICLK	27章
0008 81ECh	PPG0	ネクストデータレジスタH	NDRH	8	8	2~3PCLKB	2ICLK	27章
0008 81EDh	PPG0	ネクストデータレジスタL	NDRL	8	8	2~3PCLKB	2ICLK	27章
0008 81EEh	PPG0	ネクストデータレジスタH2	NDRH2	8	8	2~3PCLKB	2ICLK	27章
0008 81EFh	PPG0	ネクストデータレジスタL2	NDRL2	8	8	2~3PCLKB	2ICLK	27章
0008 81F0h	PPG1	PPGトリガセレクトレジスタ	PTRSLR	8	8	2~3PCLKB	2ICLK	27章
0008 81F6h	PPG1	PPG出力コントロールレジスタ	PCR	8	8	2~3PCLKB	2ICLK	27章
0008 81F7h	PPG1	PPG出力モードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	27章

表 5.1 I/O レジスタアドレス一覧 (12 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 81F8h	PPG1	ネクストデータイネーブルレジスタH	NDERH	8	8	2~3PCLKB	2ICLK	27章
0008 81F9h	PPG1	ネクストデータイネーブルレジスタL	NDERL	8	8	2~3PCLKB	2ICLK	27章
0008 81FAh	PPG1	アウトプットデータレジスタH	PODRH	8	8	2~3PCLKB	2ICLK	27章
0008 81FBh	PPG1	アウトプットデータレジスタL	PODRL	8	8	2~3PCLKB	2ICLK	27章
0008 81FCh	PPG1	ネクストデータレジスタH	NDRH	8	8	2~3PCLKB	2ICLK	27章
0008 81FDh	PPG1	ネクストデータレジスタL	NDRL	8	8	2~3PCLKB	2ICLK	27章
0008 81FEh	PPG1	ネクストデータレジスタH2	NDRH2	8	8	2~3PCLKB	2ICLK	27章
0008 81FFh	PPG1	ネクストデータレジスタL2	NDRL2	8	8	2~3PCLKB	2ICLK	27章
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	28章
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	28章
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	28章
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	28章
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	28章
0008 8204h	TMR01	タイムコンスタントレジスタA	TCORA	16	16	2~3PCLKB	2ICLK	28章
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	28章
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	28章
0008 8206h	TMR01	タイムコンスタントレジスタB	TCORB	16	16	2~3PCLKB	2ICLK	28章
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	28章
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	28章
0008 8208h	TMR01	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	28章
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	28章
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	28章
0008 820Ah	TMR01	タイマカウンタコントロールレジスタ	TCCR	16	16	2~3PCLKB	2ICLK	28章
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	28章
0008 820Ch	TMR0	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	28章
0008 820Dh	TMR1	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	28章
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	28章
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	28章
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	28章
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	28章
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	28章
0008 8214h	TMR23	タイムコンスタントレジスタA	TCORA	16	16	2~3PCLKB	2ICLK	28章
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	28章
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	28章
0008 8216h	TMR23	タイムコンスタントレジスタB	TCORB	16	16	2~3PCLKB	2ICLK	28章
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	28章
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	28章
0008 8218h	TMR23	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	28章
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	28章
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	28章
0008 821Ah	TMR23	タイマカウンタコントロールレジスタ	TCCR	16	16	2~3PCLKB	2ICLK	28章
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	28章
0008 821Ch	TMR2	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	28章
0008 821Dh	TMR3	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	28章
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLKB	2ICLK	43章
0008 8284h	CRC	CRCデータ入力レジスタ	CRCDIR	32	8, 32	2~3PCLKB	2ICLK	43章
0008 8288h	CRC	CRCデータ出力レジスタ	CRCDOR	32	8, 16, 32	2~3PCLKB	2ICLK	43章
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLKB	2ICLK	37章
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLKB	2ICLK	37章
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLKB	2ICLK	37章
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLKB	2ICLK	37章
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLKB	2ICLK	37章

表5.1 I/Oレジスタアドレス一覧 (13 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	2ICLK	37章
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	2ICLK	37章
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	2ICLK	37章
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLKB	2ICLK	37章
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLKB	2ICLK	37章
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLKB	2ICLK	37章
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLKB	2ICLK	37章
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLKB	2ICLK	37章
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLKB	2ICLK	37章
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLKB	2ICLK	37章
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLKB	2ICLK	37章
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2~3PCLKB	2ICLK	37章
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2~3PCLKB	2ICLK	37章
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	2ICLK	37章
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	2ICLK	37章
0008 8320h	RIIC1	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLKB	2ICLK	37章
0008 8321h	RIIC1	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLKB	2ICLK	37章
0008 8322h	RIIC1	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLKB	2ICLK	37章
0008 8323h	RIIC1	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLKB	2ICLK	37章
0008 8324h	RIIC1	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLKB	2ICLK	37章
0008 8325h	RIIC1	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	2ICLK	37章
0008 8326h	RIIC1	I ² Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	2ICLK	37章
0008 8327h	RIIC1	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	2ICLK	37章
0008 8328h	RIIC1	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLKB	2ICLK	37章
0008 8329h	RIIC1	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLKB	2ICLK	37章
0008 832Ah	RIIC1	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLKB	2ICLK	37章
0008 832Bh	RIIC1	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLKB	2ICLK	37章
0008 832Ch	RIIC1	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLKB	2ICLK	37章
0008 832Dh	RIIC1	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLKB	2ICLK	37章
0008 832Eh	RIIC1	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLKB	2ICLK	37章
0008 832Fh	RIIC1	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLKB	2ICLK	37章
0008 8330h	RIIC1	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2~3PCLKB	2ICLK	37章
0008 8331h	RIIC1	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2~3PCLKB	2ICLK	37章
0008 8332h	RIIC1	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	2ICLK	37章
0008 8333h	RIIC1	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	2ICLK	37章
0008 8340h	RIIC2	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLKB	2ICLK	37章
0008 8341h	RIIC2	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLKB	2ICLK	37章
0008 8342h	RIIC2	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLKB	2ICLK	37章
0008 8343h	RIIC2	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLKB	2ICLK	37章
0008 8344h	RIIC2	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLKB	2ICLK	37章
0008 8345h	RIIC2	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	2ICLK	37章
0008 8346h	RIIC2	I ² Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	2ICLK	37章
0008 8347h	RIIC2	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	2ICLK	37章
0008 8348h	RIIC2	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLKB	2ICLK	37章
0008 8349h	RIIC2	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLKB	2ICLK	37章
0008 834Ah	RIIC2	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLKB	2ICLK	37章
0008 834Bh	RIIC2	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLKB	2ICLK	37章
0008 834Ch	RIIC2	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLKB	2ICLK	37章
0008 834Dh	RIIC2	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLKB	2ICLK	37章
0008 834Eh	RIIC2	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLKB	2ICLK	37章
0008 834Fh	RIIC2	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLKB	2ICLK	37章
0008 8350h	RIIC2	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2~3PCLKB	2ICLK	37章

表 5.1 I/O レジスタアドレス一覧 (14 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 8351h	RIIC2	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2~3PCLKB	2ICLK	37章
0008 8352h	RIIC2	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	2ICLK	37章
0008 8353h	RIIC2	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	2ICLK	37章
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK	50章
0008 9004h	S12AD	A/Dチャネル選択レジスタA0	ADANSA0	16	16	2~3PCLKB	2ICLK	50章
0008 9008h	S12AD	A/D変換値加算/平均機能チャネル選択レジスタ0	ADADS0	16	16	2~3PCLKB	2ICLK	50章
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK	50章
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK	50章
0008 9010h	S12AD	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK	50章
0008 9014h	S12AD	A/Dチャネル選択レジスタB0	ADANSB0	16	16	2~3PCLKB	2ICLK	50章
0008 9018h	S12AD	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK	50章
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK	50章
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2~3PCLKB	2ICLK	50章
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLKB	2ICLK	50章
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLKB	2ICLK	50章
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLKB	2ICLK	50章
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2~3PCLKB	2ICLK	50章
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2~3PCLKB	2ICLK	50章
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2~3PCLKB	2ICLK	50章
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2~3PCLKB	2ICLK	50章
0008 9063h	S12AD	A/D逐次変換時間設定プロテクト解除レジスタ	ADSAMPR	8	8	2~3PCLKB	2ICLK	50章
0008 906Eh	S12AD	A/D逐次変換時間設定レジスタ	ADSAM	16	16	2~3PCLKB	2ICLK	50章
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2~3PCLKB	2ICLK	50章
0008 9080h	S12AD	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2~3PCLKB	2ICLK	50章
0008 9084h	S12AD	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2~3PCLKB	2ICLK	50章
0008 9086h	S12AD	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2~3PCLKB	2ICLK	50章
0008 908Ch	S12AD	A/Dコンペア機能ウィンドウA/Bステータスマニタ レジスタ	ADWINMON	8	8	2~3PCLKB	2ICLK	50章
0008 9090h	S12AD	A/Dコンペア機能コントロールレジスタ	ADCMPCR	16	16	2~3PCLKB	2ICLK	50章
0008 9094h	S12AD	A/Dコンペア機能ウィンドウAチャネル選択レジ スタ0	ADCMPANSR0	16	16	2~3PCLKB	2ICLK	50章
0008 9098h	S12AD	A/Dコンペア機能ウィンドウA比較条件設定レジ スタ0	ADCMPLR0	16	16	2~3PCLKB	2ICLK	50章
0008 909Ch	S12AD	A/Dコンペア機能ウィンドウA下位側レベル設定レ ジスタ	ADCMPDR0	16	16	2~3PCLKB	2ICLK	50章
0008 909Eh	S12AD	A/Dコンペア機能ウィンドウA上位側レベル設定レ ジスタ	ADCMPDR1	16	16	2~3PCLKB	2ICLK	50章
0008 90A0h	S12AD	A/Dコンペア機能ウィンドウAチャネルステータス レジスタ0	ADCMPSR0	16	16	2~3PCLKB	2ICLK	50章
0008 90A6h	S12AD	A/Dコンペア機能ウィンドウBチャネル選択レジ スタ	ADCMPBNSR	8	8	2~3PCLKB	2ICLK	50章
0008 90A8h	S12AD	A/Dコンペア機能ウィンドウB下位側レベル設定レ ジスタ	ADWINLLB	16	16	2~3PCLKB	2ICLK	50章
0008 90AAh	S12AD	A/Dコンペア機能ウィンドウB上位側レベル設定レ ジスタ	ADWINULB	16	16	2~3PCLKB	2ICLK	50章
0008 90ACh	S12AD	A/Dコンペア機能ウィンドウBチャネルステータス レジスタ	ADCMPBSR	8	8	2~3PCLKB	2ICLK	50章
0008 90D4h	S12AD	A/Dチャネル選択レジスタC0	ADANSC0	16	16	2~3PCLKB	2ICLK	50章
0008 90D9h	S12AD	A/DグループCトリガ選択レジスタ	ADGCTRGR	8	8	2~3PCLKB	2ICLK	50章
0008 90E0h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2~3PCLKB	2ICLK	50章
0008 90E1h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2~3PCLKB	2ICLK	50章
0008 90E2h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2~3PCLKB	2ICLK	50章
0008 90E3h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2~3PCLKB	2ICLK	50章
0008 90E4h	S12AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2~3PCLKB	2ICLK	50章
0008 90E5h	S12AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2~3PCLKB	2ICLK	50章
0008 90E6h	S12AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2~3PCLKB	2ICLK	50章
0008 90E7h	S12AD	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2~3PCLKB	2ICLK	50章

表 5.1 I/O レジスタ アドレス一覧 (15 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 9100h	S12AD1	A/D コントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK	50章
0008 9104h	S12AD1	A/D チャネル選択レジスタ A0	ADANSA0	16	16	2~3PCLKB	2ICLK	50章
0008 9108h	S12AD1	A/D 変換値加算/平均機能チャネル選択レジスタ 0	ADADS0	16	16	2~3PCLKB	2ICLK	50章
0008 910Ch	S12AD1	A/D 変換値加算/平均回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK	50章
0008 910Eh	S12AD1	A/D コントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK	50章
0008 9110h	S12AD1	A/D 変換開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK	50章
0008 9112h	S12AD1	A/D 変換拡張入力コントロールレジスタ	ADEXICR	16	16	2~3PCLKB	2ICLK	50章
0008 9114h	S12AD1	A/D チャネル選択レジスタ B0	ADANSB0	16	16	2~3PCLKB	2ICLK	50章
0008 9118h	S12AD1	A/D データ二重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK	50章
0008 911Ah	S12AD1	A/D 温度センサデータレジスタ	ADTSDR	16	16	2~3PCLKB	2ICLK	50章
0008 911Ch	S12AD1	A/D 内部基準電圧データレジスタ	ADOCDR	16	16	2~3PCLKB	2ICLK	50章
0008 911Eh	S12AD1	A/D 自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK	50章
0008 9120h	S12AD1	A/D データレジスタ 0	ADDR0	16	16	2~3PCLKB	2ICLK	50章
0008 9122h	S12AD1	A/D データレジスタ 1	ADDR1	16	16	2~3PCLKB	2ICLK	50章
0008 9124h	S12AD1	A/D データレジスタ 2	ADDR2	16	16	2~3PCLKB	2ICLK	50章
0008 9126h	S12AD1	A/D データレジスタ 3	ADDR3	16	16	2~3PCLKB	2ICLK	50章
0008 9128h	S12AD1	A/D データレジスタ 4	ADDR4	16	16	2~3PCLKB	2ICLK	50章
0008 912Ah	S12AD1	A/D データレジスタ 5	ADDR5	16	16	2~3PCLKB	2ICLK	50章
0008 912Ch	S12AD1	A/D データレジスタ 6	ADDR6	16	16	2~3PCLKB	2ICLK	50章
0008 912Eh	S12AD1	A/D データレジスタ 7	ADDR7	16	16	2~3PCLKB	2ICLK	50章
0008 9130h	S12AD1	A/D データレジスタ 8	ADDR8	16	16	2~3PCLKB	2ICLK	50章
0008 9132h	S12AD1	A/D データレジスタ 9	ADDR9	16	16	2~3PCLKB	2ICLK	50章
0008 9134h	S12AD1	A/D データレジスタ 10	ADDR10	16	16	2~3PCLKB	2ICLK	50章
0008 9136h	S12AD1	A/D データレジスタ 11	ADDR11	16	16	2~3PCLKB	2ICLK	50章
0008 9163h	S12AD1	A/D 逐次変換時間設定プロテクト解除レジスタ	ADSAMPR	8	8	2~3PCLKB	2ICLK	50章
0008 916Eh	S12AD1	A/D 逐次変換時間設定レジスタ	ADSAM	16	16	2~3PCLKB	2ICLK	50章
0008 917Ah	S12AD1	A/D 断線検出コントロールレジスタ	ADDISCR	8	8	2~3PCLKB	2ICLK	50章
0008 9180h	S12AD1	A/D グループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2~3PCLKB	2ICLK	50章
0008 9184h	S12AD1	A/D データ二重化レジスタ A	ADDBLDRA	16	16	2~3PCLKB	2ICLK	50章
0008 9186h	S12AD1	A/D データ二重化レジスタ B	ADDBLDRB	16	16	2~3PCLKB	2ICLK	50章
0008 918Ch	S12AD1	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ	ADWINMON	8	8	2~3PCLKB	2ICLK	50章
0008 9190h	S12AD1	A/D コンペア機能コントロールレジスタ	ADCMPPCR	16	16	2~3PCLKB	2ICLK	50章
0008 9192h	S12AD1	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ	ADCMPANSE	8	8	2~3PCLKB	2ICLK	50章
0008 9193h	S12AD1	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ	ADCMPLE	8	8	2~3PCLKB	2ICLK	50章
0008 9194h	S12AD1	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0	ADCMPANSR0	16	16	2~3PCLKB	2ICLK	50章
0008 9198h	S12AD1	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0	ADCMPLR0	16	16	2~3PCLKB	2ICLK	50章
0008 919Ch	S12AD1	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ	ADCMPDR0	16	16	2~3PCLKB	2ICLK	50章
0008 919Eh	S12AD1	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ	ADCMPDR1	16	16	2~3PCLKB	2ICLK	50章
0008 91A0h	S12AD1	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0	ADCMPSR0	16	16	2~3PCLKB	2ICLK	50章
0008 91A4h	S12AD1	A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ	ADCMPSE	8	8	2~3PCLKB	2ICLK	50章
0008 91A6h	S12AD1	A/D コンペア機能ウィンドウ B チャネル選択レジスタ	ADCMPBNSR	8	8	2~3PCLKB	2ICLK	50章
0008 91A8h	S12AD1	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ	ADWINLLB	16	16	2~3PCLKB	2ICLK	50章
0008 91AAh	S12AD1	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ	ADWINULB	16	16	2~3PCLKB	2ICLK	50章
0008 91ACh	S12AD1	A/D コンペア機能ウィンドウ B チャネルステータスレジスタ	ADCMPBSR	8	8	2~3PCLKB	2ICLK	50章
0008 91D4h	S12AD1	A/D チャネル選択レジスタ C0	ADANSC0	16	16	2~3PCLKB	2ICLK	50章

表 5.1 I/O レジスタアドレス一覧 (16 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 91D8h	S12AD1	A/D グループ C 拡張入力コントロールレジスタ	ADGCXCR	8	8	2~3PCLKB	2ICLK	50章
0008 91D9h	S12AD1	A/D グループ C トリガ選択レジスタ	ADGCTRGR	8	8	2~3PCLKB	2ICLK	50章
0008 91DEh	S12AD1	A/D サンプリングステートレジスタ T	ADSSTRT	8	8	2~3PCLKB	2ICLK	50章
0008 91DFh	S12AD1	A/D サンプリングステートレジスタ O	ADSSTRO	8	8	2~3PCLKB	2ICLK	50章
0008 91E0h	S12AD1	A/D サンプリングステートレジスタ 0	ADSSTR0	8	8	2~3PCLKB	2ICLK	50章
0008 91E1h	S12AD1	A/D サンプリングステートレジスタ 1	ADSSTR1	8	8	2~3PCLKB	2ICLK	50章
0008 91E2h	S12AD1	A/D サンプリングステートレジスタ 2	ADSSTR2	8	8	2~3PCLKB	2ICLK	50章
0008 91E3h	S12AD1	A/D サンプリングステートレジスタ 3	ADSSTR3	8	8	2~3PCLKB	2ICLK	50章
0008 91E4h	S12AD1	A/D サンプリングステートレジスタ 4	ADSSTR4	8	8	2~3PCLKB	2ICLK	50章
0008 91E5h	S12AD1	A/D サンプリングステートレジスタ 5	ADSSTR5	8	8	2~3PCLKB	2ICLK	50章
0008 91E6h	S12AD1	A/D サンプリングステートレジスタ 6	ADSSTR6	8	8	2~3PCLKB	2ICLK	50章
0008 91E7h	S12AD1	A/D サンプリングステートレジスタ 7	ADSSTR7	8	8	2~3PCLKB	2ICLK	50章
0008 91E8h	S12AD1	A/D サンプリングステートレジスタ 8	ADSSTR8	8	8	2~3PCLKB	2ICLK	50章
0008 91E9h	S12AD1	A/D サンプリングステートレジスタ 9	ADSSTR9	8	8	2~3PCLKB	2ICLK	50章
0008 91EAh	S12AD1	A/D サンプリングステートレジスタ 10	ADSSTR10	8	8	2~3PCLKB	2ICLK	50章
0008 91EBh	S12AD1	A/D サンプリングステートレジスタ 11	ADSSTR11	8	8	2~3PCLKB	2ICLK	50章
0008 A000h	SCIO	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A000h	SMCIO	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A001h	SCIO	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	35章
0008 A002h	SCIO	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A002h	SMCIO	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A003h	SCIO	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	35章
0008 A004h	SCIO	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A004h	SMCIO	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A005h	SCIO	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	35章
0008 A006h	SCIO	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A006h	SMCIO	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A007h	SCIO	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	35章
0008 A008h	SCIO	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	35章
0008 A009h	SCIO	I ² C モードレジスタ 1	SIMR1	8	8	2~3PCLKB	2ICLK	35章
0008 A00Ah	SCIO	I ² C モードレジスタ 2	SIMR2	8	8	2~3PCLKB	2ICLK	35章
0008 A00Bh	SCIO	I ² C モードレジスタ 3	SIMR3	8	8	2~3PCLKB	2ICLK	35章
0008 A00Ch	SCIO	I ² C ステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	35章
0008 A00Dh	SCIO	SPI モードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	35章
0008 A00Eh	SCIO	トランスミットデータレジスタ H	TDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A00Fh	SCIO	トランスミットデータレジスタ L	TDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A00Eh	SCIO	トランスミットデータレジスタ HL	TDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A010h	SCIO	レシーブデータレジスタ H	RDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A011h	SCIO	レシーブデータレジスタ L	RDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A010h	SCIO	レシーブデータレジスタ HL	RDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A012h	SCIO	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	35章
0008 A013h	SCIO	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	35章
0008 A01Ah	SCIO	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	35章
0008 A01Bh	SCIO	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	35章
0008 A01Ah	SCIO	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	35章
0008 A01Ch	SCIO	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	35章
0008 A01Dh	SCIO	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	35章
0008 A020h	SCIO	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A020h	SMCIO	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A021h	SCIO	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	35章
0008 A022h	SCIO	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A022h	SMCIO	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章

表5.1 I/Oレジスタアドレス一覧 (17 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	35章
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A024h	SMCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	35章
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A026h	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	35章
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	35章
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	35章
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	35章
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	35章
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	35章
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	35章
0008 A02Eh	SCI1	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A02Fh	SCI1	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A032h	SCI1	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	35章
0008 A033h	SCI1	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	35章
0008 A03Ah	SCI1	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	35章
0008 A03Bh	SCI1	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	35章
0008 A03Ah	SCI1	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	35章
0008 A03Ch	SCI1	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	35章
0008 A03Dh	SCI1	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	35章
0008 A040h	SCI2	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A040h	SMCI2	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A041h	SCI2	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	35章
0008 A042h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A042h	SMCI2	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A043h	SCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	35章
0008 A044h	SCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A044h	SMCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A045h	SCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	35章
0008 A046h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A046h	SMCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A047h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	35章
0008 A048h	SCI2	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	35章
0008 A049h	SCI2	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	35章
0008 A04Ah	SCI2	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	35章
0008 A04Bh	SCI2	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	35章
0008 A04Ch	SCI2	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	35章
0008 A04Dh	SCI2	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	35章
0008 A04Eh	SCI2	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A04Fh	SCI2	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A04Eh	SCI2	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A050h	SCI2	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A051h	SCI2	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A050h	SCI2	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A052h	SCI2	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	35章
0008 A053h	SCI2	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	35章

表5.1 I/Oレジスタアドレス一覧 (18 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A05Ah	SCI2	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	35章
0008 A05Bh	SCI2	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	35章
0008 A05Ah	SCI2	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	35章
0008 A05Ch	SCI2	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	35章
0008 A05Dh	SCI2	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	35章
0008 A060h	SCI3	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A060h	SMCI3	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A061h	SCI3	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	35章
0008 A062h	SCI3	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A062h	SMCI3	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A063h	SCI3	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	35章
0008 A064h	SCI3	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A064h	SMCI3	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A065h	SCI3	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	35章
0008 A066h	SCI3	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A066h	SMCI3	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A067h	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	35章
0008 A068h	SCI3	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	35章
0008 A069h	SCI3	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	35章
0008 A06Ah	SCI3	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	35章
0008 A06Bh	SCI3	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	35章
0008 A06Ch	SCI3	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	35章
0008 A06Dh	SCI3	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	35章
0008 A06Eh	SCI3	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A06Fh	SCI3	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A06Eh	SCI3	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A070h	SCI3	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A071h	SCI3	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A070h	SCI3	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A072h	SCI3	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	35章
0008 A073h	SCI3	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	35章
0008 A07Ah	SCI3	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	35章
0008 A07Bh	SCI3	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	35章
0008 A07Ah	SCI3	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	35章
0008 A07Ch	SCI3	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	35章
0008 A07Dh	SCI3	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	35章
0008 A080h	SCI4	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A080h	SMCI4	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A081h	SCI4	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	35章
0008 A082h	SCI4	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A082h	SMCI4	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A083h	SCI4	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	35章
0008 A084h	SCI4	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A084h	SMCI4	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A085h	SCI4	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	35章
0008 A086h	SCI4	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A086h	SMCI4	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A087h	SCI4	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	35章
0008 A088h	SCI4	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	35章
0008 A089h	SCI4	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	35章
0008 A08Ah	SCI4	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	35章
0008 A08Bh	SCI4	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	35章

表5.1 I/Oレジスタアドレス一覧 (19 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A08Ch	SCI4	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	35章
0008 A08Dh	SCI4	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	35章
0008 A08Eh	SCI4	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A08Fh	SCI4	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A08Eh	SCI4	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A090h	SCI4	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A091h	SCI4	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A090h	SCI4	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A092h	SCI4	モジュレーションデュリティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	35章
0008 A093h	SCI4	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	35章
0008 A09Ah	SCI4	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	35章
0008 A09Bh	SCI4	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	35章
0008 A09Ah	SCI4	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	35章
0008 A09Ch	SCI4	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	35章
0008 A09Dh	SCI4	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A0h	SMCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A2h	SMCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A4h	SMCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A6h	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	35章
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	35章
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	35章
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	35章
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	35章
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0AEh	SCI5	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A0AFh	SCI5	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A0AEh	SCI5	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A0B2h	SCI5	モジュレーションデュリティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	35章
0008 A0B3h	SCI5	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	35章
0008 A0BAh	SCI5	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	35章
0008 A0BBh	SCI5	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	35章
0008 A0BAh	SCI5	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	35章
0008 A0BCh	SCI5	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	35章
0008 A0BDh	SCI5	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C0h	SMCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C2h	SMCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	35章

表5.1 I/Oレジスタアドレス一覧 (20 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C4h	SMCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C6h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	35章
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	35章
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	35章
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	35章
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	35章
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0CEh	SCI6	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A0CFh	SCI6	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A0CEh	SCI6	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A0D2h	SCI6	モジュレーションデュリティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	35章
0008 A0D3h	SCI6	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	35章
0008 A0DAh	SCI6	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	35章
0008 A0DBh	SCI6	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	35章
0008 A0DAh	SCI6	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	35章
0008 A0DCh	SCI6	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	35章
0008 A0DDh	SCI6	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E0h	SCI7	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E0h	SMCI7	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E1h	SCI7	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E2h	SCI7	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E2h	SMCI7	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E3h	SCI7	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E4h	SCI7	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E4h	SMCI7	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E5h	SCI7	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E6h	SCI7	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E6h	SMCI7	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E7h	SCI7	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E8h	SCI7	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	35章
0008 A0E9h	SCI7	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	35章
0008 A0EAh	SCI7	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	35章
0008 A0EBh	SCI7	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	35章
0008 A0ECh	SCI7	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	35章
0008 A0EDh	SCI7	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	35章
0008 A0EEh	SCI7	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A0EFh	SCI7	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A0EEh	SCI7	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A0F0h	SCI7	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A0F1h	SCI7	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A0F0h	SCI7	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A0F2h	SCI7	モジュレーションデュリティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	35章
0008 A0F3h	SCI7	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	35章
0008 A0FAh	SCI7	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	35章

表5.1 I/Oレジスタアドレス一覧 (21 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A0FBh	SCI7	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	35章
0008 A0FAh	SCI7	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	35章
0008 A0FCh	SCI7	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	35章
0008 A0FDh	SCI7	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	35章
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A100h	SMCI8	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	35章
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A102h	SMCI8	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	35章
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A104h	SMCI8	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	35章
0008 A106h	SCI8	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A106h	SMCI8	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	35章
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	35章
0008 A109h	SCI8	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	35章
0008 A10Ah	SCI8	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	35章
0008 A10Bh	SCI8	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	35章
0008 A10Ch	SCI8	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	35章
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	35章
0008 A10Eh	SCI8	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A10Fh	SCI8	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A10Eh	SCI8	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A110h	SCI8	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A111h	SCI8	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A110h	SCI8	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A112h	SCI8	モジュレーションデュリティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	35章
0008 A113h	SCI8	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	35章
0008 A11Ah	SCI8	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	35章
0008 A11Bh	SCI8	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	35章
0008 A11Ah	SCI8	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	35章
0008 A11Ch	SCI8	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	35章
0008 A11Dh	SCI8	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	35章
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A120h	SMCI9	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	35章
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A122h	SMCI9	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	35章
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A124h	SMCI9	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	35章
0008 A126h	SCI9	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A126h	SMCI9	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	35章
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	35章
0008 A129h	SCI9	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	35章
0008 A12Ah	SCI9	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	35章
0008 A12Bh	SCI9	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	35章
0008 A12Ch	SCI9	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	35章

表5.1 I/Oレジスタアドレス一覧 (22 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	35章
0008 A12Eh	SCI9	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A12Fh	SCI9	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A12Eh	SCI9	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A130h	SCI9	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	35章
0008 A131h	SCI9	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	35章
0008 A130h	SCI9	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 A132h	SCI9	モジュレーションデュリティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	35章
0008 A133h	SCI9	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	35章
0008 A13Ah	SCI9	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	35章
0008 A13Bh	SCI9	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	35章
0008 A13Ah	SCI9	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	35章
0008 A13Ch	SCI9	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	35章
0008 A13Dh	SCI9	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	35章
0008 A500h	SSIE0	コントロールレジスタ	SSICR	32	32	2~3PCLKB	2ICLK	45章
0008 A504h	SSIE0	ステータスレジスタ	SSISR	32	32	2~3PCLKB	2ICLK	45章
0008 A510h	SSIE0	FIFOコントロールレジスタ	SSIFCR	32	32	2~3PCLKB	2ICLK	45章
0008 A514h	SSIE0	FIFOステータスレジスタ	SSIFSR	32	32	2~3PCLKB	2ICLK	45章
0008 A518h	SSIE0	送信FIFOデータレジスタ	SSIFTDR	32	8, 16, 32	2~3PCLKB	2ICLK	45章
0008 A51Ch	SSIE0	受信FIFOデータレジスタ	SSIFRDR	32	8, 16, 32	2~3PCLKB	2ICLK	45章
0008 A520h	SSIE0	オーディオフォーマットレジスタ	SSIOFR	32	32	2~3PCLKB	2ICLK	45章
0008 A524h	SSIE0	FIFOステータスコントロールレジスタ	SSISCR	32	32	2~3PCLKB	2ICLK	45章
0008 AC00h	SDHI	コマンドレジスタ	SDCMD	32	32	2~3PCLKB	2ICLK	44章
0008 AC08h	SDHI	アーギュメントレジスタ	SDARG	32	32	2~3PCLKB	2ICLK	44章
0008 AC10h	SDHI	データストップレジスタ	SDSTOP	32	32	2~3PCLKB	2ICLK	44章
0008 AC14h	SDHI	ブロックカウントレジスタ	SDBLKCNT	32	32	2~3PCLKB	2ICLK	44章
0008 AC18h	SDHI	レスポンスレジスタ10	SDRSP10	32	32	2~3PCLKB	2ICLK	44章
0008 AC20h	SDHI	レスポンスレジスタ32	SDRSP32	32	32	2~3PCLKB	2ICLK	44章
0008 AC28h	SDHI	レスポンスレジスタ54	SDRSP54	32	32	2~3PCLKB	2ICLK	44章
0008 AC30h	SDHI	レスポンスレジスタ76	SDRSP76	32	32	2~3PCLKB	2ICLK	44章
0008 AC38h	SDHI	SDステータスレジスタ1	SDSTS1	32	32	2~3PCLKB	2ICLK	44章
0008 AC3Ch	SDHI	SDステータスレジスタ2	SDSTS2	32	32	2~3PCLKB	2ICLK	44章
0008 AC40h	SDHI	SD割り込みマスクレジスタ1	SDIMSK1	32	32	2~3PCLKB	2ICLK	44章
0008 AC44h	SDHI	SD割り込みマスクレジスタ2	SDIMSK2	32	32	2~3PCLKB	2ICLK	44章
0008 AC48h	SDHI	SDHIクロックコントロールレジスタ	SDCLKCR	32	32	2~3PCLKB	2ICLK	44章
0008 AC4Ch	SDHI	転送データサイズレジスタ	SDSIZE	32	32	2~3PCLKB	2ICLK	44章
0008 AC50h	SDHI	カードアクセスオプションレジスタ	SDOPT	32	32	2~3PCLKB	2ICLK	44章
0008 AC58h	SDHI	SDエラーステータスレジスタ1	SDERSTS1	32	32	2~3PCLKB	2ICLK	44章
0008 AC5Ch	SDHI	SDエラーステータスレジスタ2	SDERSTS2	32	32	2~3PCLKB	2ICLK	44章
0008 AC60h	SDHI	SDバッファレジスタ	SDBUFR	32	32	2~3PCLKB	2ICLK	44章
0008 AC68h	SDHI	SDIOモードコントロールレジスタ	SDIOMD	32	32	2~3PCLKB	2ICLK	44章
0008 AC6Ch	SDHI	SDIOステータスレジスタ	SDIOSTS	32	32	2~3PCLKB	2ICLK	44章
0008 AC70h	SDHI	SDIO割り込みマスクレジスタ	SDIOIMSK	32	32	2~3PCLKB	2ICLK	44章
0008 ADB0h	SDHI	DMA転送許可レジスタ	SDDMAEN	32	32	2~3PCLKB	2ICLK	44章
0008 ADC0h	SDHI	SDHIソフトウェアリセットレジスタ	SDRST	32	32	2~3PCLKB	2ICLK	44章
0008 ADC4h	SDHI	バージョンレジスタ	SDVER	32	32	2~3PCLKB	2ICLK	44章
0008 ADE0h	SDHI	スワップコントロールレジスタ	SDSWAP	32	32	2~3PCLKB	2ICLK	44章
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	2ICLK	10章
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	2ICLK	10章
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	2ICLK	10章
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB	2ICLK	10章
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	2ICLK	10章

表5.1 I/Oレジスタアドレス一覧 (23 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	2ICLK	10章
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	2ICLK	10章
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	2ICLK	10章
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2~3PCLKB	2ICLK	21章
0008 B101h	ELC	イベントリンク設定レジスタ0	ELSR0	8	8	2~3PCLKB	2ICLK	21章
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2~3PCLKB	2ICLK	21章
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2~3PCLKB	2ICLK	21章
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2~3PCLKB	2ICLK	21章
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2~3PCLKB	2ICLK	21章
0008 B10Ch	ELC	イベントリンク設定レジスタ11	ELSR11	8	8	2~3PCLKB	2ICLK	21章
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2~3PCLKB	2ICLK	21章
0008 B10Eh	ELC	イベントリンク設定レジスタ13	ELSR13	8	8	2~3PCLKB	2ICLK	21章
0008 B10Fh	ELC	イベントリンク設定レジスタ14	ELSR14	8	8	2~3PCLKB	2ICLK	21章
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2~3PCLKB	2ICLK	21章
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2~3PCLKB	2ICLK	21章
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2~3PCLKB	2ICLK	21章
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2~3PCLKB	2ICLK	21章
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2~3PCLKB	2ICLK	21章
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2~3PCLKB	2ICLK	21章
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2~3PCLKB	2ICLK	21章
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2~3PCLKB	2ICLK	21章
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2~3PCLKB	2ICLK	21章
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2~3PCLKB	2ICLK	21章
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2~3PCLKB	2ICLK	21章
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2~3PCLKB	2ICLK	21章
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2~3PCLKB	2ICLK	21章
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2~3PCLKB	2ICLK	21章
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2~3PCLKB	2ICLK	21章
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2~3PCLKB	2ICLK	21章
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2~3PCLKB	2ICLK	21章
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2~3PCLKB	2ICLK	21章
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2~3PCLKB	2ICLK	21章
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2~3PCLKB	2ICLK	21章
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2~3PCLKB	2ICLK	21章
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2~3PCLKB	2ICLK	21章
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2~3PCLKB	2ICLK	21章
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2~3PCLKB	2ICLK	21章
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2~3PCLKB	2ICLK	21章
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2~3PCLKB	2ICLK	21章
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2~3PCLKB	2ICLK	21章
0008 B131h	ELC	イベントリンク設定レジスタ33	ELSR33	8	8	2~3PCLKB	2ICLK	21章
0008 B133h	ELC	イベントリンク設定レジスタ35	ELSR35	8	8	2~3PCLKB	2ICLK	21章
0008 B134h	ELC	イベントリンク設定レジスタ36	ELSR36	8	8	2~3PCLKB	2ICLK	21章
0008 B135h	ELC	イベントリンク設定レジスタ37	ELSR37	8	8	2~3PCLKB	2ICLK	21章
0008 B136h	ELC	イベントリンク設定レジスタ38	ELSR38	8	8	2~3PCLKB	2ICLK	21章
0008 B13Dh	ELC	イベントリンク設定レジスタ45	ELSR45	8	8	2~3PCLKB	2ICLK	21章
0008 B13Fh	ELC	イベントリンクオプション設定レジスタF	ELOPF	8	8	2~3PCLKB	2ICLK	21章
0008 B141h	ELC	イベントリンクオプション設定レジスタH	ELOPH	8	8	2~3PCLKB	2ICLK	21章
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 B300h	SMCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	35章
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	35章

表 5.1 I/O レジスタアドレス一覧 (24 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 B302h	SMCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	35章
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	35章
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 B304h	SMCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	35章
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	35章
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 B306h	SMCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	35章
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	35章
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	35章
0008 B309h	SCI12	I ² C モードレジスタ 1	SIMR1	8	8	2~3PCLKB	2ICLK	35章
0008 B30Ah	SCI12	I ² C モードレジスタ 2	SIMR2	8	8	2~3PCLKB	2ICLK	35章
0008 B30Bh	SCI12	I ² C モードレジスタ 3	SIMR3	8	8	2~3PCLKB	2ICLK	35章
0008 B30Ch	SCI12	I ² C ステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	35章
0008 B30Dh	SCI12	SPI モードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	35章
0008 B30Eh	SCI12	トランスミットデータレジスタ H	TDRH	8	8	2~3PCLKB	2ICLK	35章
0008 B30Fh	SCI12	トランスミットデータレジスタ L	TDRL	8	8	2~3PCLKB	2ICLK	35章
0008 B30Eh	SCI12	トランスミットデータレジスタ HL	TDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 B310h	SCI12	レシーブデータレジスタ H	RDRH	8	8	2~3PCLKB	2ICLK	35章
0008 B311h	SCI12	レシーブデータレジスタ L	RDRL	8	8	2~3PCLKB	2ICLK	35章
0008 B310h	SCI12	レシーブデータレジスタ HL	RDRHL	16	16	4~5PCLKB	2ICLK	35章
0008 B312h	SCI12	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	35章
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB	2ICLK	35章
0008 B321h	SCI12	コントロールレジスタ 0	CR0	8	8	2~3PCLKB	2ICLK	35章
0008 B322h	SCI12	コントロールレジスタ 1	CR1	8	8	2~3PCLKB	2ICLK	35章
0008 B323h	SCI12	コントロールレジスタ 2	CR2	8	8	2~3PCLKB	2ICLK	35章
0008 B324h	SCI12	コントロールレジスタ 3	CR3	8	8	2~3PCLKB	2ICLK	35章
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB	2ICLK	35章
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB	2ICLK	35章
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB	2ICLK	35章
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB	2ICLK	35章
0008 B329h	SCI12	Control Field 0 データレジスタ	CF0DR	8	8	2~3PCLKB	2ICLK	35章
0008 B32Ah	SCI12	Control Field 0 コンペアイネーブルレジスタ	CF0CR	8	8	2~3PCLKB	2ICLK	35章
0008 B32Bh	SCI12	Control Field 0 受信データレジスタ	CF0RR	8	8	2~3PCLKB	2ICLK	35章
0008 B32Ch	SCI12	プライマリ Control Field 1 データレジスタ	PCF1DR	8	8	2~3PCLKB	2ICLK	35章
0008 B32Dh	SCI12	セカンダリ Control Field 1 データレジスタ	SCF1DR	8	8	2~3PCLKB	2ICLK	35章
0008 B32Eh	SCI12	Control Field 1 コンペアイネーブルレジスタ	CF1CR	8	8	2~3PCLKB	2ICLK	35章
0008 B32Fh	SCI12	Control Field 1 受信データレジスタ	CF1RR	8	8	2~3PCLKB	2ICLK	35章
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	35章
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2~3PCLKB	2ICLK	35章
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2~3PCLKB	2ICLK	35章
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2~3PCLKB	2ICLK	35章
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (25 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	22章
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C024h	PORT4	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C025h	PORT5	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C026h	PORT6	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C027h	PORT7	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C028h	PORT8	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C029h	PORT9	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C02Ch	PORTC	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C02Fh	PORTF	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C031h	PORTH	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C032h	PORTJ	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	22章
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C046h	PORT6	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C047h	PORT7	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C048h	PORT8	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C049h	PORT9	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C04Fh	PORTF	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	22章
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C066h	PORT6	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章

表 5.1 I/O レジスタアドレス一覧 (26 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	22章
0008 C080h	PORT0	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C081h	PORT0	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C083h	PORT1	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C087h	PORT3	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C088h	PORT4	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C089h	PORT4	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C08Ah	PORT5	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C08Bh	PORT5	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C08Ch	PORT6	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C08Dh	PORT6	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C08Eh	PORT7	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C08Fh	PORT7	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C090h	PORT8	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C091h	PORT8	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C092h	PORT9	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C098h	PORTC	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C099h	PORTC	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C09Ah	PORTD	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C09Bh	PORTD	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C09Fh	PORTF	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C0A2h	PORTH	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C0A4h	PORTJ	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	22章
0008 C0A5h	PORTJ	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	22章
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0C6h	PORT6	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0C7h	PORT7	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0C8h	PORT8	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (27 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C0C9h	PORT9	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0CFh	PORTF	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0D1h	PORTH	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0D2h	PORTJ	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0E5h	PORT5	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0E8h	PORT8	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C0F1h	PORTH	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	22章
0008 C100h	MPC	CS出力許可レジスタ	PFCSE	8	8	2~3PCLKB	2ICLK	23章
0008 C102h	MPC	CS出力端子選択レジスタ0	PFCSS0	8	8	2~3PCLKB	2ICLK	23章
0008 C103h	MPC	CS出力端子選択レジスタ1	PFCSS1	8	8	2~3PCLKB	2ICLK	23章
0008 C104h	MPC	アドレス出力許可レジスタ0	PFAOE0	8	8	2~3PCLKB	2ICLK	23章
0008 C105h	MPC	アドレス出力許可レジスタ1	PFAOE1	8	8	2~3PCLKB	2ICLK	23章
0008 C106h	MPC	外部バス制御レジスタ0	PFBCR0	8	8	2~3PCLKB	2ICLK	23章
0008 C107h	MPC	外部バス制御レジスタ1	PFBCR1	8	8	2~3PCLKB	2ICLK	23章
0008 C108h	MPC	外部バス制御レジスタ2	PFBCR2	8	8	2~3PCLKB	2ICLK	23章
0008 C109h	MPC	外部バス制御レジスタ3	PFBCR3	8	8	2~3PCLKB	2ICLK	23章
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	2ICLK	23章
0008 C128h	PORT0	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C129h	PORT1	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C12Ah	PORT2	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C12Bh	PORT3	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C12Dh	PORT5	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C12Fh	PORT7	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C130h	PORT8	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C131h	PORT9	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C132h	PORTA	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C133h	PORTB	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C134h	PORTC	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C135h	PORTD	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C136h	PORTE	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C139h	PORTH	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK	22章
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2~3PCLKB	2ICLK	23章

表 5.1 I/Oレジスタアドレス一覧 (28 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C16Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C16Eh	MPC	P56端子機能制御レジスタ	P56PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C170h	MPC	P60端子機能制御レジスタ	P60PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C171h	MPC	P61端子機能制御レジスタ	P61PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C172h	MPC	P62端子機能制御レジスタ	P62PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C173h	MPC	P63端子機能制御レジスタ	P63PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C174h	MPC	P64端子機能制御レジスタ	P64PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C175h	MPC	P65端子機能制御レジスタ	P65PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C176h	MPC	P66端子機能制御レジスタ	P66PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C177h	MPC	P67端子機能制御レジスタ	P67PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C178h	MPC	P70端子機能制御レジスタ	P70PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C179h	MPC	P71端子機能制御レジスタ	P71PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C17Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C17Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C17Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C17Fh	MPC	P77端子機能制御レジスタ	P77PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C180h	MPC	P80端子機能制御レジスタ	P80PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C181h	MPC	P81端子機能制御レジスタ	P81PFS	8	8	2~3PCLKB	2ICLK	23章

表5.1 I/Oレジスタアドレス一覧 (29 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C182h	MPC	P82端子機能制御レジスタ	P82PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C183h	MPC	P83端子機能制御レジスタ	P83PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C186h	MPC	P86端子機能制御レジスタ	P86PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C187h	MPC	P87端子機能制御レジスタ	P87PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C188h	MPC	P90端子機能制御レジスタ	P90PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C18Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1BDh	MPC	PF5端子機能制御レジスタ	PF5PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C1D3h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8	2~3PCLKB	2ICLK	23章

表5.1 I/Oレジスタアドレス一覧 (30 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C1D5h	MPC	PJ5端子機能制御レジスタ	PJ5PFS	8	8	2~3PCLKB	2ICLK	23章
0008 C280h	SYSTEM	ディーブスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLKB	2~3ICLK	11章
0008 C282h	SYSTEM	ディーブスタンバイインタラプトイネーブルレジスタ0	DPSIER0	8	8	4~5PCLKB	2~3ICLK	11章
0008 C283h	SYSTEM	ディーブスタンバイインタラプトイネーブルレジスタ1	DPSIER1	8	8	4~5PCLKB	2~3ICLK	11章
0008 C284h	SYSTEM	ディーブスタンバイインタラプトイネーブルレジスタ2	DPSIER2	8	8	4~5PCLKB	2~3ICLK	11章
0008 C285h	SYSTEM	ディーブスタンバイインタラプトイネーブルレジスタ3	DPSIER3	8	8	4~5PCLKB	2~3ICLK	11章
0008 C286h	SYSTEM	ディーブスタンバイインタラプトフラグレジスタ0	DPSIFR0	8	8	4~5PCLKB	2~3ICLK	11章
0008 C287h	SYSTEM	ディーブスタンバイインタラプトフラグレジスタ1	DPSIFR1	8	8	4~5PCLKB	2~3ICLK	11章
0008 C288h	SYSTEM	ディーブスタンバイインタラプトフラグレジスタ2	DPSIFR2	8	8	4~5PCLKB	2~3ICLK	11章
0008 C289h	SYSTEM	ディーブスタンバイインタラプトフラグレジスタ3	DPSIFR3	8	8	4~5PCLKB	2~3ICLK	11章
0008 C28Ah	SYSTEM	ディーブスタンバイインタラプトエッジレジスタ0	DPSIEGR0	8	8	4~5PCLKB	2~3ICLK	11章
0008 C28Bh	SYSTEM	ディーブスタンバイインタラプトエッジレジスタ1	DPSIEGR1	8	8	4~5PCLKB	2~3ICLK	11章
0008 C28Ch	SYSTEM	ディーブスタンバイインタラプトエッジレジスタ2	DPSIEGR2	8	8	4~5PCLKB	2~3ICLK	11章
0008 C28Dh	SYSTEM	ディーブスタンバイインタラプトエッジレジスタ3	DPSIEGR3	8	8	4~5PCLKB	2~3ICLK	11章
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	2~3ICLK	6章
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	2~3ICLK	6章
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB	2~3ICLK	9章
0008 C294h	SYSTEM	高速オンチップオシレータ電源コントロールレジスタ	HOCOPCR	8	8	4~5PCLKB	2~3ICLK	9章
0008 C296h	FLASH	フラッシュ P/E プロテクトレジスタ	FWEPROR	8	8	2ICLK		55章
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	2~3ICLK	8章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4~5PCLKB	2~3ICLK	8章
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	2~3ICLK	8章
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	2~3ICLK	8章
0008 C29Ch	REMC0	リモコン信号受信端子制御レジスタ	REMP	8	8	4~5PCLKB	2~3ICLK	46章
0008 C400h	RTC	64 Hzカウンタ	R64CNT	8	8	2~3PCLKB	2ICLK	31章
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2~3PCLKB	2ICLK	31章
0008 C402h	RTC	バイナリカウンタ0	BCNT0	8	8	2~3PCLKB	2ICLK	31章
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2~3PCLKB	2ICLK	31章
0008 C404h	RTC	バイナリカウンタ1	BCNT1	8	8	2~3PCLKB	2ICLK	31章
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2~3PCLKB	2ICLK	31章
0008 C406h	RTC	バイナリカウンタ2	BCNT2	8	8	2~3PCLKB	2ICLK	31章
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2~3PCLKB	2ICLK	31章
0008 C408h	RTC	バイナリカウンタ3	BCNT3	8	8	2~3PCLKB	2ICLK	31章
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2~3PCLKB	2ICLK	31章
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2~3PCLKB	2ICLK	31章
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2~3PCLKB	2ICLK	31章
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2~3PCLKB	2ICLK	31章
0008 C410h	RTC	バイナリカウンタ0アラームレジスタ	BCNT0AR	8	8	2~3PCLKB	2ICLK	31章
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2~3PCLKB	2ICLK	31章
0008 C412h	RTC	バイナリカウンタ1アラームレジスタ	BCNT1AR	8	8	2~3PCLKB	2ICLK	31章
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2~3PCLKB	2ICLK	31章
0008 C414h	RTC	バイナリカウンタ2アラームレジスタ	BCNT2AR	8	8	2~3PCLKB	2ICLK	31章
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2~3PCLKB	2ICLK	31章
0008 C416h	RTC	バイナリカウンタ3アラームレジスタ	BCNT3AR	8	8	2~3PCLKB	2ICLK	31章
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2~3PCLKB	2ICLK	31章
0008 C418h	RTC	バイナリカウンタ0アラーム許可レジスタ	BCNT0AER	8	8	2~3PCLKB	2ICLK	31章
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2~3PCLKB	2ICLK	31章
0008 C41Ah	RTC	バイナリカウンタ1アラーム許可レジスタ	BCNT1AER	8	8	2~3PCLKB	2ICLK	31章
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2~3PCLKB	2ICLK	31章

表 5.1 I/O レジスタアドレス一覧 (31 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C41Ch	RTC	バイナリカウンタ2アラーム許可レジスタ	BCNT2AER	16	16	2~3PCLKB	2ICLK	31章
0008 C41Eh	RTC	年アラーム許可レジスタ	RYRAREN	8	8	2~3PCLKB	2ICLK	31章
0008 C41Eh	RTC	バイナリカウンタ3アラーム許可レジスタ	BCNT3AER	8	8	2~3PCLKB	2ICLK	31章
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2~3PCLKB	2ICLK	31章
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2~3PCLKB	2ICLK	31章
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2~3PCLKB	2ICLK	31章
0008 C428h	RTC	RTCコントロールレジスタ4	RCR4	8	8	2~3PCLKB	2ICLK	31章
0008 C42Ah	RTC	周波数レジスタH	RFRH	16	16	2~3PCLKB	2ICLK	31章
0008 C42Ch	RTC	周波数レジスタL	RFRL	16	16	2~3PCLKB	2ICLK	31章
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2~3PCLKB	2ICLK	31章
0008 C440h	RTC	時間キャプチャ制御レジスタ0	RTCCR0	8	8	2~3PCLKB	2ICLK	31章
0008 C442h	RTC	時間キャプチャ制御レジスタ1	RTCCR1	8	8	2~3PCLKB	2ICLK	31章
0008 C444h	RTC	時間キャプチャ制御レジスタ2	RTCCR2	8	8	2~3PCLKB	2ICLK	31章
0008 C452h	RTC	秒キャプチャレジスタ0	RSECCP0	8	8	2~3PCLKB	2ICLK	31章
0008 C452h	RTC	BCNT0キャプチャレジスタ0	BCNT0CP0	8	8	2~3PCLKB	2ICLK	31章
0008 C454h	RTC	分キャプチャレジスタ0	RMINCP0	8	8	2~3PCLKB	2ICLK	31章
0008 C454h	RTC	BCNT1キャプチャレジスタ0	BCNT1CP0	8	8	2~3PCLKB	2ICLK	31章
0008 C456h	RTC	時キャプチャレジスタ0	RHRCP0	8	8	2~3PCLKB	2ICLK	31章
0008 C456h	RTC	BCNT2キャプチャレジスタ0	BCNT2CP0	8	8	2~3PCLKB	2ICLK	31章
0008 C45Ah	RTC	日キャプチャレジスタ0	RDAYCP0	8	8	2~3PCLKB	2ICLK	31章
0008 C45Ah	RTC	BCNT3キャプチャレジスタ0	BCNT3CP0	8	8	2~3PCLKB	2ICLK	31章
0008 C45Ch	RTC	月キャプチャレジスタ0	RMONCP0	8	8	2~3PCLKB	2ICLK	31章
0008 C462h	RTC	秒キャプチャレジスタ1	RSECCP1	8	8	2~3PCLKB	2ICLK	31章
0008 C462h	RTC	BCNT0キャプチャレジスタ1	BCNT0CP1	8	8	2~3PCLKB	2ICLK	31章
0008 C464h	RTC	分キャプチャレジスタ1	RMINCP1	8	8	2~3PCLKB	2ICLK	31章
0008 C464h	RTC	BCNT1キャプチャレジスタ1	BCNT1CP1	8	8	2~3PCLKB	2ICLK	31章
0008 C466h	RTC	時キャプチャレジスタ1	RHRCP1	8	8	2~3PCLKB	2ICLK	31章
0008 C466h	RTC	BCNT2キャプチャレジスタ1	BCNT2CP1	8	8	2~3PCLKB	2ICLK	31章
0008 C46Ah	RTC	日キャプチャレジスタ1	RDAYCP1	8	8	2~3PCLKB	2ICLK	31章
0008 C46Ah	RTC	BCNT3キャプチャレジスタ1	BCNT3CP1	8	8	2~3PCLKB	2ICLK	31章
0008 C46Ch	RTC	月キャプチャレジスタ1	RMONCP1	8	8	2~3PCLKB	2ICLK	31章
0008 C472h	RTC	秒キャプチャレジスタ2	RSECCP2	8	8	2~3PCLKB	2ICLK	31章
0008 C472h	RTC	BCNT0キャプチャレジスタ2	BCNT0CP2	8	8	2~3PCLKB	2ICLK	31章
0008 C474h	RTC	分キャプチャレジスタ2	RMINCP2	8	8	2~3PCLKB	2ICLK	31章
0008 C474h	RTC	BCNT1キャプチャレジスタ2	BCNT1CP2	8	8	2~3PCLKB	2ICLK	31章
0008 C476h	RTC	時キャプチャレジスタ2	RHRCP2	8	8	2~3PCLKB	2ICLK	31章
0008 C476h	RTC	BCNT2キャプチャレジスタ2	BCNT2CP2	8	8	2~3PCLKB	2ICLK	31章
0008 C47Ah	RTC	日キャプチャレジスタ2	RDAYCP2	8	8	2~3PCLKB	2ICLK	31章
0008 C47Ah	RTC	BCNT3キャプチャレジスタ2	BCNT3CP2	8	8	2~3PCLKB	2ICLK	31章
0008 C47Ch	RTC	月キャプチャレジスタ2	RMONCP2	8	8	2~3PCLKB	2ICLK	31章
0008 C4C0h	POE3	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	16	2~3PCLKB	2ICLK	25章
0008 C4C2h	POE3	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	16	2~3PCLKB	2ICLK	25章
0008 C4C4h	POE3	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	16	2~3PCLKB	2ICLK	25章
0008 C4C6h	POE3	出力レベルコントロール/ステータスレジスタ2	OCSR2	16	16	2~3PCLKB	2ICLK	25章
0008 C4C8h	POE3	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	16	2~3PCLKB	2ICLK	25章
0008 C4CAh	POE3	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2~3PCLKB	2ICLK	25章
0008 C4CBh	POE3	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2~3PCLKB	2ICLK	25章
0008 C4CCh	POE3	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	16	16	2~3PCLKB	2ICLK	25章
0008 C4D0h	POE3	ポートアウトブッティネーブルコントロールレジスタ4	POECR4	16	16	2~3PCLKB	2ICLK	25章

表5.1 I/Oレジスタアドレス一覧 (32 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C4D2h	POE3	ポートアウトプットイネーブルコントロールレジスタ5	POECR5	16	16	2~3PCLKB	2ICLK	25章
0008 C4D6h	POE3	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	16	2~3PCLKB	2ICLK	25章
0008 C4D8h	POE3	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	16	2~3PCLKB	2ICLK	25章
0008 C4DAh	POE3	アクティブレベルレジスタ1	ALR1	16	16	2~3PCLKB	2ICLK	25章
0008 C4DCh	POE3	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16	2~3PCLKB	2ICLK	25章
0008 C4E4h	POE3	MTU0端子選択レジスタ1	M0SELR1	8	8	2~3PCLKB	2ICLK	25章
0008 C4E5h	POE3	MTU0端子選択レジスタ2	M0SELR2	8	8	2~3PCLKB	2ICLK	25章
0008 C4E6h	POE3	MTU3端子選択レジスタ	M3SELR	8	8	2~3PCLKB	2ICLK	25章
0008 C4E7h	POE3	MTU4端子選択レジスタ1	M4SELR1	8	8	2~3PCLKB	2ICLK	25章
0008 C4E8h	POE3	MTU4端子選択レジスタ2	M4SELR2	8	8	2~3PCLKB	2ICLK	25章
0008 C500h	TEMP5	温度センサコントロールレジスタ	TSCR	8	8	2~3PCLKB	2ICLK	51章
0008 CC00h	SYSTEM	サブクロック発振器コントロールレジスタ2	SOSCCR2	8	8	5~6PCLKB	1~3ICLK	9章
0008 CC01h	SYSTEM	バックアップ領域サブクロック制御レジスタ	BKSCCR	8	8	5~6PCLKB	1~3ICLK	9章
0008 CC46h	SYSTEM	バックアップ領域電源ステータスレジスタ	BKPSR	8	8	5~6PCLKB	1~3ICLK	12章
0008 CC48h	SYSTEM	タンバステータスレジスタ	TAMPSR	8	8	5~6PCLKB	1~3ICLK	12章
0008 CC49h	SYSTEM	タンバ制御レジスタ	TAMPCR	8	8	5~6PCLKB	1~3ICLK	12章
0008 CC4Ah	SYSTEM	時間キャプチャイベント制御レジスタ	TCECR	8	8	5~6PCLKB	1~3ICLK	12章
0008 CC4Ch	SYSTEM	タンバ/RTCIC入力制御レジスタ1	TAMPICR1	8	8	5~6PCLKB	1~3ICLK	12章
0008 CC4Dh	SYSTEM	タンバ/RTCIC入力制御レジスタ2	TAMPICR2	8	8	5~6PCLKB	1~3ICLK	12章
0008 CC4Eh	SYSTEM	タンバ/RTCIC入力モニタレジスタ	TAMPIMR	8	8	5~6PCLKB	1~3ICLK	12章
0008 CE00h~0008 CE7Fh	SYSTEM	バックアップレジスタ0~バックアップレジスタ127	BKR0~BKR127	8	8	5~6PCLKB	1~3ICLK	12章
0009 0200h~0009 03FFh	CAN0	メールボックスレジスタ0~メールボックスレジスタ31	MB0~MB31	128	8, 16, 32 (注2)	2~3PCLKB	2ICLK	39章
0009 0400h~0009 041Fh	CAN0	マスクレジスタ0~マスクレジスタ7	MKR0~MKR7	32	8, 16, 32	2~3PCLKB	2ICLK	39章
0009 0420h	CAN0	FIFO受信ID比較レジスタ0	FIDCR0	32	8, 16, 32	2~3PCLKB	2ICLK	39章
0009 0424h	CAN0	FIFO受信ID比較レジスタ1	FIDCR1	32	8, 16, 32	2~3PCLKB	2ICLK	39章
0009 0428h	CAN0	マスク無効レジスタ	MKIVLR	32	8, 16, 32	2~3PCLKB	2ICLK	39章
0009 042Ch	CAN0	メールボックス割り込み許可レジスタ	MIER	32	8, 16, 32	2~3PCLKB	2ICLK	39章
0009 0820h~0009 083Fh	CAN0	メッセージ制御レジスタ0~メッセージ制御レジスタ31	MCTL0~MCTL31	8	8	2~3PCLKB	2ICLK	39章
0009 0840h	CAN0	制御レジスタ	CTLR	16	8, 16	2~3PCLKB	2ICLK	39章
0009 0842h	CAN0	ステータスレジスタ	STR	16	8, 16	2~3PCLKB	2ICLK	39章
0009 0844h	CAN0	ビットコンフィギュレーションレジスタ	BCR	32	8, 16, 32	2~3PCLKB	2ICLK	39章
0009 0848h	CAN0	受信FIFO制御レジスタ	RFCR	8	8	2~3PCLKB	2ICLK	39章
0009 0849h	CAN0	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2~3PCLKB	2ICLK	39章
0009 084Ah	CAN0	送信FIFO制御レジスタ	TFCR	8	8	2~3PCLKB	2ICLK	39章
0009 084Bh	CAN0	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2~3PCLKB	2ICLK	39章
0009 084Ch	CAN0	エラー割り込み許可レジスタ	EIER	8	8	2~3PCLKB	2ICLK	39章
0009 084Dh	CAN0	エラー割り込み要因判定レジスタ	EIFR	8	8	2~3PCLKB	2ICLK	39章
0009 084Eh	CAN0	受信エラーカウントレジスタ	RECR	8	8	2~3PCLKB	2ICLK	39章
0009 084Fh	CAN0	送信エラーカウントレジスタ	TECR	8	8	2~3PCLKB	2ICLK	39章
0009 0850h	CAN0	エラーコード格納レジスタ	ECSR	8	8	2~3PCLKB	2ICLK	39章
0009 0851h	CAN0	チャネルサーチサポートレジスタ	CSSR	8	8	2~3PCLKB	2ICLK	39章
0009 0852h	CAN0	メールボックスサーチステータスレジスタ	MSSR	8	8	2~3PCLKB	2ICLK	39章
0009 0853h	CAN0	メールボックスサーチモードレジスタ	MSMR	8	8	2~3PCLKB	2ICLK	39章
0009 0854h	CAN0	タイムスタンプレジスタ	TSR	16	16	2~3PCLKB	2ICLK	39章
0009 0856h	CAN0	アクセプタンスフィルタサポートレジスタ	AFSR	16	16	2~3PCLKB	2ICLK	39章
0009 0858h	CAN0	テスト制御レジスタ	TCR	8	8	2~3PCLKB	2ICLK	39章
0009 1200h~0009 13FFh	CAN1	メールボックスレジスタ0~メールボックスレジスタ31	MB0~MB31	128	8, 16, 32 (注2)	2~3PCLKB	2ICLK	39章
0009 1400h~0009 141Fh	CAN1	マスクレジスタ0~マスクレジスタ7	MKR0~MKR7	32	8, 16, 32	2~3PCLKB	2ICLK	39章

表5.1 I/Oレジスタアドレス一覧 (33 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0009 1420h	CAN1	FIFO受信ID比較レジスタ0	FIDCR0	32	8, 16, 32	2~3PCLKB	2ICLK	39章
0009 1424h	CAN1	FIFO受信ID比較レジスタ1	FIDCR1	32	8, 16, 32	2~3PCLKB	2ICLK	39章
0009 1428h	CAN1	マスク無効レジスタ	MKIVLR	32	8, 16, 32	2~3PCLKB	2ICLK	39章
0009 142Ch	CAN1	メールボックス割り込み許可レジスタ	MIER	32	8, 16, 32	2~3PCLKB	2ICLK	39章
0009 1820h~ 0009 183Fh	CAN1	メッセージ制御レジスタ0~メッセージ制御レジスタ31	MCTL0~ MCTL31	8	8	2~3PCLKB	2ICLK	39章
0009 1840h	CAN1	制御レジスタ	CTLR	16	8, 16	2~3PCLKB	2ICLK	39章
0009 1842h	CAN1	ステータスレジスタ	STR	16	8, 16	2~3PCLKB	2ICLK	39章
0009 1844h	CAN1	ビットコンフィギュレーションレジスタ	BCR	32	8, 16, 32	2~3PCLKB	2ICLK	39章
0009 1848h	CAN1	受信FIFO制御レジスタ	RFCR	8	8	2~3PCLKB	2ICLK	39章
0009 1849h	CAN1	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2~3PCLKB	2ICLK	39章
0009 184Ah	CAN1	送信FIFO制御レジスタ	TFCR	8	8	2~3PCLKB	2ICLK	39章
0009 184Bh	CAN1	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2~3PCLKB	2ICLK	39章
0009 184Ch	CAN1	エラー割り込み許可レジスタ	EIER	8	8	2~3PCLKB	2ICLK	39章
0009 184Dh	CAN1	エラー割り込み要因判定レジスタ	EIFR	8	8	2~3PCLKB	2ICLK	39章
0009 184Eh	CAN1	受信エラーカウントレジスタ	RECR	8	8	2~3PCLKB	2ICLK	39章
0009 184Fh	CAN1	送信エラーカウントレジスタ	TECR	8	8	2~3PCLKB	2ICLK	39章
0009 1850h	CAN1	エラーコード格納レジスタ	ECSR	8	8	2~3PCLKB	2ICLK	39章
0009 1851h	CAN1	チャネルサーチサポートレジスタ	CSSR	8	8	2~3PCLKB	2ICLK	39章
0009 1852h	CAN1	メールボックスサーチステータスレジスタ	MSSR	8	8	2~3PCLKB	2ICLK	39章
0009 1853h	CAN1	メールボックスサーチモードレジスタ	MSMR	8	8	2~3PCLKB	2ICLK	39章
0009 1854h	CAN1	タイムスタンプレジスタ	TSR	16	16	2~3PCLKB	2ICLK	39章
0009 1856h	CAN1	アクセプタンスフィルタサポートレジスタ	AFSR	16	16	2~3PCLKB	2ICLK	39章
0009 1858h	CAN1	テスト制御レジスタ	TCR	8	8	2~3PCLKB	2ICLK	39章
0009 4200h	CMTW0	タイマスタートレジスタ	CMWSTR	16	16	2~3PCLKB	2ICLK	30章
0009 4204h	CMTW0	タイマコントロールレジスタ	CMWCR	16	16	2~3PCLKB	2ICLK	30章
0009 4208h	CMTW0	タイマI/Oコントロールレジスタ	CMWIOR	16	16	2~3PCLKB	2ICLK	30章
0009 4210h	CMTW0	タイマカウンタ	CMWCNT	32	32	2~3PCLKB	2ICLK	30章
0009 4214h	CMTW0	コンペアマッチコンスタントレジスタ	CMWCOR	32	32	2~3PCLKB	2ICLK	30章
0009 4218h	CMTW0	インプットキャプチャレジスタ0	CMWICR0	32	32	2~3PCLKB	2ICLK	30章
0009 421Ch	CMTW0	インプットキャプチャレジスタ1	CMWICR1	32	32	2~3PCLKB	2ICLK	30章
0009 4220h	CMTW0	アウトプットコンペアレジスタ0	CMWOCR0	32	32	2~3PCLKB	2ICLK	30章
0009 4224h	CMTW0	アウトプットコンペアレジスタ1	CMWOCR1	32	32	2~3PCLKB	2ICLK	30章
0009 4280h	CMTW1	タイマスタートレジスタ	CMWSTR	16	16	2~3PCLKB	2ICLK	30章
0009 4284h	CMTW1	タイマコントロールレジスタ	CMWCR	16	16	2~3PCLKB	2ICLK	30章
0009 4288h	CMTW1	タイマI/Oコントロールレジスタ	CMWIOR	16	16	2~3PCLKB	2ICLK	30章
0009 4290h	CMTW1	タイマカウンタ	CMWCNT	32	32	2~3PCLKB	2ICLK	30章
0009 4294h	CMTW1	コンペアマッチコンスタントレジスタ	CMWCOR	32	32	2~3PCLKB	2ICLK	30章
0009 4298h	CMTW1	インプットキャプチャレジスタ0	CMWICR0	32	32	2~3PCLKB	2ICLK	30章
0009 429Ch	CMTW1	インプットキャプチャレジスタ1	CMWICR1	32	32	2~3PCLKB	2ICLK	30章
0009 42A0h	CMTW1	アウトプットコンペアレジスタ0	CMWOCR0	32	32	2~3PCLKB	2ICLK	30章
0009 42A4h	CMTW1	アウトプットコンペアレジスタ1	CMWOCR1	32	32	2~3PCLKB	2ICLK	30章
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3~4PCLKB	2ICLK	34章
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLKB以上	1+9*(ICLK/PCLKBの周波数比)の整数切り上げ以上(注1)	34章
000A 0008h	USB0	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB以上	1+9*(ICLK/PCLKBの周波数比)の整数切り上げ以上(注1)	34章
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	8, 16	3~4PCLKB	2ICLK	34章
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	8, 16	3~4PCLKB	2ICLK	34章
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	8, 16	3~4PCLKB	2ICLK	34章
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFSEL	16	16	3~4PCLKB	2ICLK	34章
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFCTR	16	16	3~4PCLKB	2ICLK	34章

表5.1 I/Oレジスタアドレス一覧 (34 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3~4PCLKB	2ICLK	34章
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3~4PCLKB	2ICLK	34章
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3~4PCLKB	2ICLK	34章
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3~4PCLKB	2ICLK	34章
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 003Ch	USB0	SOF出力コンフィギュレーションレジスタ	SOFCFG	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0040h	USB0	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0042h	USB0	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 004Ch	USB0	フレームナンバレジスタ	FRMNUM	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 004Eh	USB0	デバイスステート切り替えレジスタ	DVCHGR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0050h	USB0	USBアドレスレジスタ	USBADDR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0054h	USB0	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0056h	USB0	USBリクエストバリュレジスタ	USBVAL	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0058h	USB0	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 005Ah	USB0	USBリクエストレンゲスレジスタ	USBLENG	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 005Ch	USB0	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 005Eh	USB0	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0060h	USB0	DCPコントロールレジスタ	DCPCTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章

表5.1 I/Oレジスタアドレス一覧 (35 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0090h	USB0	パイプ1トランザクションカウンタ タイネーブルレジスタ	PIPE1TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0092h	USB0	パイプ1トランザクションカウン タレジスタ	PIPE1TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0094h	USB0	パイプ2トランザクションカウン タイネーブルレジスタ	PIPE2TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0096h	USB0	パイプ2トランザクションカウン タレジスタ	PIPE2TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0098h	USB0	パイプ3トランザクションカウン タイネーブルレジスタ	PIPE3TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 009Ah	USB0	パイプ3トランザクションカウン タレジスタ	PIPE3TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 009Ch	USB0	パイプ4トランザクションカウン タイネーブルレジスタ	PIPE4TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 009Eh	USB0	パイプ4トランザクションカウン タレジスタ	PIPE4TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 00A0h	USB0	パイプ5トランザクションカウン タイネーブルレジスタ	PIPE5TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 00A2h	USB0	パイプ5トランザクションカウン タレジスタ	PIPE5TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 00D0h	USB0	デバイスアドレス0コンフィグ レーションレジスタ	DEVADD0	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 00D2h	USB0	デバイスアドレス1コンフィグ レーションレジスタ	DEVADD1	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 00D4h	USB0	デバイスアドレス2コンフィグ レーションレジスタ	DEVADD2	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 00D6h	USB0	デバイスアドレス3コンフィグ レーションレジスタ	DEVADD3	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 00D8h	USB0	デバイスアドレス4コンフィグ レーションレジスタ	DEVADD4	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 00DAh	USB0	デバイスアドレス5コンフィグ レーションレジスタ	DEVADD5	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章

表 5.1 I/O レジスタ アドレス一覧 (36 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000A 00F0h	USB0	PHY クロスポイント調整レジスタ	PHYSLEW	32	32	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0200h	USB1	システムコンフィギュレーションコントロールレ ジスタ	SYSCFG	16	16	3~4PCLKB	2ICLK	34章
000A 0204h	USB1	システムコンフィギュレーションステータスレ ジスタ0	SYSSTS0	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の整数切り 上げ以上(注1)	34章
000A 0208h	USB1	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の整数切り 上げ以上(注1)	34章
000A 0214h	USB1	CFIFOポートレジスタ	CFIFO	16	8, 16	3~4PCLKB	2ICLK	34章
000A 0218h	USB1	D0FIFOポートレジスタ	D0FIFO	16	8, 16	3~4PCLKB	2ICLK	34章
000A 021Ch	USB1	D1FIFOポートレジスタ	D1FIFO	16	8, 16	3~4PCLKB	2ICLK	34章
000A 0220h	USB1	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3~4PCLKB	2ICLK	34章
000A 0222h	USB1	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3~4PCLKB	2ICLK	34章
000A 0228h	USB1	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3~4PCLKB	2ICLK	34章
000A 022Ah	USB1	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3~4PCLKB	2ICLK	34章
000A 022Ch	USB1	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3~4PCLKB	2ICLK	34章
000A 022Eh	USB1	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3~4PCLKB	2ICLK	34章
000A 0230h	USB1	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0232h	USB1	割り込み許可レジスタ1	INTENB1	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0236h	USB1	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0238h	USB1	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 023Ah	USB1	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 023Ch	USB1	SOF出力コンフィギュレーションレジスタ	SOFCFG	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0240h	USB1	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0242h	USB1	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0246h	USB1	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0248h	USB1	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 024Ah	USB1	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 024Ch	USB1	フレームナンバレジスタ	FRMNUM	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0254h	USB1	USB リクエストタイプレジスタ	USBREQ	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0256h	USB1	USB リクエストバリュレジスタ	USBVAL	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0258h	USB1	USB リクエストインデックスレジスタ	USBINDX	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 025Ah	USB1	USB リクエストレンゲスレジスタ	USBLENG	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 025Ch	USB1	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 025Eh	USB1	DCP マックスバケットサイズレジスタ	DCPMAXP	16	16	9PCLKB 以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章

表5.1 I/Oレジスタアドレス一覧 (37 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 0260h	USB1	DCPコントロールレジスタ	DCPCTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0264h	USB1	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0268h	USB1	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 026Ch	USB1	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 026Eh	USB1	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0270h	USB1	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0272h	USB1	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0274h	USB1	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0276h	USB1	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0278h	USB1	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 027Ah	USB1	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 027Ch	USB1	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 027Eh	USB1	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0280h	USB1	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0290h	USB1	パイプ1トランザクションカウンタインーブルレジスタ	PIPE1TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0292h	USB1	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0294h	USB1	パイプ2トランザクションカウンタインーブルレジスタ	PIPE2TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0296h	USB1	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 0298h	USB1	パイプ3トランザクションカウンタインーブルレジスタ	PIPE3TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 029Ah	USB1	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 029Ch	USB1	パイプ4トランザクションカウンタインーブルレジスタ	PIPE4TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 029Eh	USB1	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 02A0h	USB1	パイプ5トランザクションカウンタインーブルレジスタ	PIPE5TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 02A2h	USB1	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 02D0h	USB1	デバイスアドレス0コンフィギュレーションレジスタ	DEVADD0	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章
000A 02D2h	USB1	デバイスアドレス1コンフィギュレーションレジスタ	DEVADD1	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	34章

表5.1 I/Oレジスタアドレス一覧 (38 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 02D4h	USB1	デバイスアドレス2コンフィギュレーションレジスタ	DEVADD2	16	16	9PCLK以上	1+9×(ICLK/PCLKBの周波数比)の周波数(注1)	34章
000A 02D6h	USB1	デバイスアドレス3コンフィギュレーションレジスタ	DEVADD3	16	16	9PCLK以上	1+9×(ICLK/PCLKBの周波数比)の周波数(注1)	34章
000A 02D8h	USB1	デバイスアドレス4コンフィギュレーションレジスタ	DEVADD4	16	16	9PCLK以上	1+9×(ICLK/PCLKBの周波数比)の周波数(注1)	34章
000A 02DAh	USB1	デバイスアドレス5コンフィギュレーションレジスタ	DEVADD5	16	16	9PCLK以上	1+9×(ICLK/PCLKBの周波数比)の周波数(注1)	34章
000A 02F0h	USB1	PHYクロスポイント調整レジスタ	PHYSLEW	32	32	9PCLK以上	1+9×(ICLK/PCLKBの周波数比)の周波数(注1)	34章
000A 0400h	USB	ディープスタンバイUSBトランシーバ制御/端子モニタレジスタ	DPUSR0R	32	32	9PCLK以上	1+9×(ICLK/PCLKBの周波数比)の周波数(注1)	34章
000A 0404h	USB	ディープスタンバイUSBサスペンド/レジューム割り込みレジスタ	DPUSR1R	32	32	9PCLK以上	1+9×(ICLK/PCLKBの周波数比)の周波数(注1)	34章
000A 0580h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLK	2ICLK	52章
000A 0584h	DOC	DOCステータスレジスタ	DOSR	8	8	2~3PCLK	2ICLK	52章
000A 0588h	DOC	DOCステータスクリアレジスタ	DOSCR	8	8	2~3PCLK	2ICLK	52章
000A 058Ch	DOC	DOCデータインプットレジスタ	DODIR	32	16, 32	2~3PCLK	2ICLK	52章
000A 0590h	DOC	DOCデータセッティングレジスタ0	DODSR0	32	16, 32	2~3PCLK	2ICLK	52章
000A 0594h	DOC	DOCデータセッティングレジスタ1	DODSR1	32	16, 32	2~3PCLK	2ICLK	52章
000A 0900h	CTSU	CTSU制御レジスタ0	CTSUCR0	8	8	2~3PCLK	2ICLK	47章
000A 0901h	CTSU	CTSU制御レジスタ1	CTSUCR1	8	8	2~3PCLK	2ICLK	47章
000A 0902h	CTSU	CTSU同期ノイズ低減設定レジスタ	CTSUSDPRS	8	8	2~3PCLK	2ICLK	47章
000A 0903h	CTSU	CTSUセンサ安定待ち時間レジスタ	CTSUSST	8	8	2~3PCLK	2ICLK	47章
000A 0904h	CTSU	CTSU計測チャンネルレジスタ0	CTSUMCH0	8	8	2~3PCLK	2ICLK	47章
000A 0905h	CTSU	CTSU計測チャンネルレジスタ1	CTSUMCH1	8	8	2~3PCLK	2ICLK	47章
000A 0906h	CTSU	CTSUチャンネル有効制御レジスタ0	CTSUCHAC0	8	8	2~3PCLK	2ICLK	47章
000A 0907h	CTSU	CTSUチャンネル有効制御レジスタ1	CTSUCHAC1	8	8	2~3PCLK	2ICLK	47章
000A 0908h	CTSU	CTSUチャンネル有効制御レジスタ2	CTSUCHAC2	8	8	2~3PCLK	2ICLK	47章
000A 090Bh	CTSU	CTSUチャンネル送受信制御レジスタ0	CTSUCHTRC0	8	8	2~3PCLK	2ICLK	47章
000A 090Ch	CTSU	CTSUチャンネル送受信制御レジスタ1	CTSUCHTRC1	8	8	2~3PCLK	2ICLK	47章
000A 090Dh	CTSU	CTSUチャンネル送受信制御レジスタ2	CTSUCHTRC2	8	8	2~3PCLK	2ICLK	47章
000A 0910h	CTSU	CTSU高域ノイズ低減制御レジスタ	CTSUDCLKC	8	8	2~3PCLK	2ICLK	47章
000A 0911h	CTSU	CTSUステータスレジスタ	CTSUST	8	8	2~3PCLK	2ICLK	47章
000A 0912h	CTSU	CTSU高域ノイズ低減スペクトラム拡散制御レジスタ	CTSUSSC	16	16	2~3PCLK	2ICLK	47章
000A 0914h	CTSU	CTSUセンサオフセットレジスタ0	CTSUSO0	16	16	2~3PCLK	2ICLK	47章
000A 0916h	CTSU	CTSUセンサオフセットレジスタ1	CTSUSO1	16	16	2~3PCLK	2ICLK	47章
000A 0918h	CTSU	CTSUセンサカウンタ	CTSUSC	16	16	2~3PCLK	2ICLK	47章
000A 091Ah	CTSU	CTSUリファレンスカウンタ	CTSURC	16	16	2~3PCLK	2ICLK	47章
000A 091Ch	CTSU	CTSUエラーステータスレジスタ	CTSUERRS	16	16	2~3PCLK	2ICLK	47章
000A 0B00h	REMC0	機能選択レジスタ0	REMC0N0	8	8	2~3PCLK	2ICLK	46章
000A 0B01h	REMC0	機能選択レジスタ1	REMC0N1	8	8	2~3PCLK	2ICLK	46章
000A 0B02h	REMC0	ステータスレジスタ	REMC0STS	8	8	2~3PCLK	2ICLK	46章
000A 0B03h	REMC0	割り込み制御レジスタ	REMC0MINT	8	8	2~3PCLK	2ICLK	46章
000A 0B05h	REMC0	コンペア制御レジスタ	REMC0CPC	8	8	2~3PCLK	2ICLK	46章
000A 0B06h	REMC0	コンペア値設定レジスタ	REMC0CPD	16	16	2~3PCLK	2ICLK	46章
000A 0B08h	REMC0	ヘッダパターン最小幅設定レジスタ	HDP0MIN	16	16	2~3PCLK	2ICLK	46章
000A 0B0Ah	REMC0	ヘッダパターン最大幅設定レジスタ	HDP0MAX	16	16	2~3PCLK	2ICLK	46章
000A 0B0Ch	REMC0	データ"0"パターン最小幅設定レジスタ	DOP0MIN	8	8	2~3PCLK	2ICLK	46章
000A 0B0Dh	REMC0	データ"0"パターン最大幅設定レジスタ	DOP0MAX	8	8	2~3PCLK	2ICLK	46章
000A 0B0Eh	REMC0	データ"1"パターン最小幅設定レジスタ	DIP0MIN	8	8	2~3PCLK	2ICLK	46章

表 5.1 I/O レジスタアドレス一覧 (39 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000A 0B0Fh	REMC0	データ“1”パターン最大幅設定レジスタ	D1PMAX	8	8	2~3PCLKB	2ICLK	46章
000A 0B10h	REMC0	特殊データパターン最小幅設定レジスタ	SDPMIN	16	16	2~3PCLKB	2ICLK	46章
000A 0B12h	REMC0	特殊データパターン最大幅設定レジスタ	SDPMAX	16	16	2~3PCLKB	2ICLK	46章
000A 0B14h	REMC0	パターンエンド設定レジスタ	REMPE	16	16	2~3PCLKB	2ICLK	46章
000A 0B17h	REMC0	受信ビット数レジスタ	REMRBIT	8	8	2~3PCLKB	2ICLK	46章
000A 0B18h	REMC0	受信データ0レジスタ	REMDAT0	8	8	2~3PCLKB	2ICLK	46章
000A 0B19h	REMC0	受信データ1レジスタ	REMDAT1	8	8	2~3PCLKB	2ICLK	46章
000A 0B1Ah	REMC0	受信データ2レジスタ	REMDAT2	8	8	2~3PCLKB	2ICLK	46章
000A 0B1Bh	REMC0	受信データ3レジスタ	REMDAT3	8	8	2~3PCLKB	2ICLK	46章
000A 0B1Ch	REMC0	受信データ4レジスタ	REMDAT4	8	8	2~3PCLKB	2ICLK	46章
000A 0B1Dh	REMC0	受信データ5レジスタ	REMDAT5	8	8	2~3PCLKB	2ICLK	46章
000A 0B1Eh	REMC0	受信データ6レジスタ	REMDAT6	8	8	2~3PCLKB	2ICLK	46章
000A 0B1Fh	REMC0	受信データ7レジスタ	REMDAT7	8	8	2~3PCLKB	2ICLK	46章
000A 0B20h	REMC0	測定結果レジスタ	REMTIM	16	16	2~3PCLKB	2ICLK	46章
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	1~2ICLK	24章
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	1~2ICLK	24章
000C 1204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	4~5PCLKA	1~2ICLK	24章
000C 1205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	1~2ICLK	24章
000C 1206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	4~5PCLKA	1~2ICLK	24章
000C 1207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	1~2ICLK	24章
000C 1208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	24章
000C 1209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	24章
000C 120Ah	MTU	タイマアウトプットマスタイネーブルレジスタA	TOERA	8	8	4~5PCLKA	1~2ICLK	24章
000C 120Dh	MTU	タイマゲートコントロールレジスタA	TGCR	8	8	4~5PCLKA	1~2ICLK	24章
000C 120Eh	MTU	タイマアウトプットコントロールレジスタ1A	TOCR1A	8	8	4~5PCLKA	1~2ICLK	24章
000C 120Fh	MTU	タイマアウトプットコントロールレジスタ2A	TOCR2A	8	8	4~5PCLKA	1~2ICLK	24章
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	24章
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	24章
000C 1214h	MTU	タイマ周期データレジスタA	TCRA	16	16	4~5PCLKA	1~2ICLK	24章
000C 1216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16	4~5PCLKA	1~2ICLK	24章
000C 1218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	4~5PCLKA	1~2ICLK	24章
000C 121Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	1~2ICLK	24章
000C 121Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	4~5PCLKA	1~2ICLK	24章
000C 121Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	1~2ICLK	24章
000C 1220h	MTU	タイマサブカウンタA	TCNTSA	16	16	4~5PCLKA	1~2ICLK	24章
000C 1222h	MTU	タイマ周期バッファレジスタA	TCBRA	16	16	4~5PCLKA	1~2ICLK	24章
000C 1224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	4~5PCLKA	1~2ICLK	24章
000C 1226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	4~5PCLKA	1~2ICLK	24章
000C 1228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	4~5PCLKA	1~2ICLK	24章
000C 122Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	4~5PCLKA	1~2ICLK	24章
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	1~2ICLK	24章
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8	4~5PCLKA	1~2ICLK	24章
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	4~5PCLKA	1~2ICLK	24章
000C 1232h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8	4~5PCLKA	1~2ICLK	24章
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	4~5PCLKA	1~2ICLK	24章
000C 1236h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8	4~5PCLKA	1~2ICLK	24章
000C 1238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	1~2ICLK	24章
000C 1239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	1~2ICLK	24章
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	4~5PCLKA	1~2ICLK	24章

表 5.1 I/O レジスタアドレス一覧 (40 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ 2A	TITCR2A	8	8	4~5PCLKA	1~2ICLK	24章
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ 2A	TITCNT2A	8	8	4~5PCLKA	1~2ICLK	24章
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4~5PCLKA	1~2ICLK	24章
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタ A	TADCORA	16	16	4~5PCLKA	1~2ICLK	24章
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタ B	TADCORB	16	16	4~5PCLKA	1~2ICLK	24章
000C 1248h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタ A	TADCOBRA	16	16	4~5PCLKA	1~2ICLK	24章
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタ B	TADCOBRB	16	16	4~5PCLKA	1~2ICLK	24章
000C 124Ch	MTU3	タイマコントロールレジスタ 2	TCR2	8	8	4~5PCLKA	1~2ICLK	24章
000C 124Dh	MTU4	タイマコントロールレジスタ 2	TCR2	8	8	4~5PCLKA	1~2ICLK	24章
000C 1260h	MTU	タイマ波形コントロールレジスタ A	TWCRA	8	8	4~5PCLKA	1~2ICLK	24章
000C 1270h	MTU	タイマモードレジスタ 2A	TMDR2A	8	8	4~5PCLKA	1~2ICLK	24章
000C 1272h	MTU3	タイマジェネラルレジスタ E	TGRE	16	16	4~5PCLKA	1~2ICLK	24章
000C 1274h	MTU4	タイマジェネラルレジスタ E	TGRE	16	16	4~5PCLKA	1~2ICLK	24章
000C 1276h	MTU4	タイマジェネラルレジスタ F	TGRF	16	16	4~5PCLKA	1~2ICLK	24章
000C 1280h	MTU	タイマスタートレジスタ A	TSTRA	8	8	4~5PCLKA	1~2ICLK	24章
000C 1281h	MTU	タイマシンクロレジスタ A	TSYRA	8	8	4~5PCLKA	1~2ICLK	24章
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1284h	MTU	タイマリッドライトイネーブルレジスタ A	TRWERA	8	8	4~5PCLKA	1~2ICLK	24章
000C 1290h	MTU0	ノイズフィルタコントロールレジスタ 0	NFCR0	8	8	4~5PCLKA	1~2ICLK	24章
000C 1291h	MTU1	ノイズフィルタコントロールレジスタ 1	NFCR1	8	8	4~5PCLKA	1~2ICLK	24章
000C 1292h	MTU2	ノイズフィルタコントロールレジスタ 2	NFCR2	8	8	4~5PCLKA	1~2ICLK	24章
000C 1293h	MTU3	ノイズフィルタコントロールレジスタ 3	NFCR3	8	8	4~5PCLKA	1~2ICLK	24章
000C 1294h	MTU4	ノイズフィルタコントロールレジスタ 4	NFCR4	8	8	4~5PCLKA	1~2ICLK	24章
000C 1298h	MTU8	ノイズフィルタコントロールレジスタ 8	NFCR8	8	8	4~5PCLKA	1~2ICLK	24章
000C 1299h	MTU0	ノイズフィルタコントロールレジスタ C	NFCRC	8	8	4~5PCLKA	1~2ICLK	24章
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1301h	MTU0	タイマモードレジスタ 1	TMDR1	8	8	4~5PCLKA	1~2ICLK	24章
000C 1302h	MTU0	タイマI/Oコントロールレジスタ H	TIORH	8	8	4~5PCLKA	1~2ICLK	24章
000C 1303h	MTU0	タイマI/Oコントロールレジスタ L	TIORL	8	8	4~5PCLKA	1~2ICLK	24章
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	24章
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	24章
000C 1308h	MTU0	タイマジェネラルレジスタ A	TGRA	16	16	4~5PCLKA	1~2ICLK	24章
000C 130Ah	MTU0	タイマジェネラルレジスタ B	TGRB	16	16	4~5PCLKA	1~2ICLK	24章
000C 130Ch	MTU0	タイマジェネラルレジスタ C	TGRC	16	16	4~5PCLKA	1~2ICLK	24章
000C 130Eh	MTU0	タイマジェネラルレジスタ D	TGRD	16	16	4~5PCLKA	1~2ICLK	24章
000C 1320h	MTU0	タイマジェネラルレジスタ E	TGRE	16	16	4~5PCLKA	1~2ICLK	24章
000C 1322h	MTU0	タイマジェネラルレジスタ F	TGRF	16	16	4~5PCLKA	1~2ICLK	24章
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ 2	TIER2	8	8	4~5PCLKA	1~2ICLK	24章
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	1~2ICLK	24章
000C 1328h	MTU0	タイマコントロールレジスタ 2	TCR2	8	8	4~5PCLKA	1~2ICLK	24章
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1381h	MTU1	タイマモードレジスタ 1	TMDR1	8	8	4~5PCLKA	1~2ICLK	24章
000C 1382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	24章
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	24章
000C 1388h	MTU1	タイマジェネラルレジスタ A	TGRA	16	16	4~5PCLKA	1~2ICLK	24章
000C 138Ah	MTU1	タイマジェネラルレジスタ B	TGRB	16	16	4~5PCLKA	1~2ICLK	24章
000C 1390h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1391h	MTU1	タイマモードレジスタ 3	TMDR3	8	8	4~5PCLKA	1~2ICLK	24章

表 5.1 I/O レジスタアドレス一覧 (41 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 1394h	MTU1	タイマコントロールレジスタ 2	TCR2	8	8	4~5PCLKA	1~2ICLK	24章
000C 13A0h	MTU1	タイマロングワードカウンタ	TCNTLW	32	32	4~5PCLKA	1~2ICLK	24章
000C 13A4h	MTU1	タイマロングワードジェネラルレジスタ A	TGRALW	32	32	4~5PCLKA	1~2ICLK	24章
000C 13A8h	MTU1	タイマロングワードジェネラルレジスタ B	TGRBLW	32	32	4~5PCLKA	1~2ICLK	24章
000C 1400h	MTU2	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1401h	MTU2	タイマモードレジスタ 1	TMDR1	8	8	4~5PCLKA	1~2ICLK	24章
000C 1402h	MTU2	タイマ I/O コントロールレジスタ	TIOR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1404h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	24章
000C 1405h	MTU2	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1406h	MTU2	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	24章
000C 1408h	MTU2	タイマジェネラルレジスタ A	TGRA	16	16	4~5PCLKA	1~2ICLK	24章
000C 140Ah	MTU2	タイマジェネラルレジスタ B	TGRB	16	16	4~5PCLKA	1~2ICLK	24章
000C 140Ch	MTU2	タイマコントロールレジスタ 2	TCR2	8	8	4~5PCLKA	1~2ICLK	24章
000C 1600h	MTU8	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1601h	MTU8	タイマモードレジスタ 1	TMDR1	8	8	4~5PCLKA	1~2ICLK	24章
000C 1602h	MTU8	タイマ I/O コントロールレジスタ H	TIORH	8	8	4~5PCLKA	1~2ICLK	24章
000C 1603h	MTU8	タイマ I/O コントロールレジスタ L	TIORL	8	8	4~5PCLKA	1~2ICLK	24章
000C 1604h	MTU8	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	24章
000C 1606h	MTU8	タイマコントロールレジスタ 2	TCR2	8	8	4~5PCLKA	1~2ICLK	24章
000C 1608h	MTU8	タイマカウンタ	TCNT	32	32	4~5PCLKA	1~2ICLK	24章
000C 160Ch	MTU8	タイマジェネラルレジスタ A	TGRA	32	32	4~5PCLKA	1~2ICLK	24章
000C 1610h	MTU8	タイマジェネラルレジスタ B	TGRB	32	32	4~5PCLKA	1~2ICLK	24章
000C 1614h	MTU8	タイマジェネラルレジスタ C	TGRC	32	32	4~5PCLKA	1~2ICLK	24章
000C 1618h	MTU8	タイマジェネラルレジスタ D	TGRD	32	32	4~5PCLKA	1~2ICLK	24章
000C 1A00h	MTU6	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A01h	MTU7	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A02h	MTU6	タイマモードレジスタ 1	TMDR1	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A03h	MTU7	タイマモードレジスタ 1	TMDR1	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A04h	MTU6	タイマ I/O コントロールレジスタ H	TIORH	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A05h	MTU6	タイマ I/O コントロールレジスタ L	TIORL	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A06h	MTU7	タイマ I/O コントロールレジスタ H	TIORH	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A07h	MTU7	タイマ I/O コントロールレジスタ L	TIORL	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A08h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A09h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A0Ah	MTU	タイマアウトプットマスタイネーブルレジスタ B	TOERB	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A0Eh	MTU	タイマアウトプットコントロールレジスタ 1B	TOCR1B	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A0Fh	MTU	タイマアウトプットコントロールレジスタ 2B	TOCR2B	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A10h	MTU6	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A12h	MTU7	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A14h	MTU	タイマ周期データレジスタ B	TCDRB	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A16h	MTU	タイマデッドタイムデータレジスタ B	TDDRb	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A18h	MTU6	タイマジェネラルレジスタ A	TGRA	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A1Ah	MTU6	タイマジェネラルレジスタ B	TGRB	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A1Ch	MTU7	タイマジェネラルレジスタ A	TGRA	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A1Eh	MTU7	タイマジェネラルレジスタ B	TGRB	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A20h	MTU	タイマサブカウンタ B	TCNTSB	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A22h	MTU	タイマ周期バッファレジスタ B	TCBRB	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A24h	MTU6	タイマジェネラルレジスタ C	TGRC	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A26h	MTU6	タイマジェネラルレジスタ D	TGRD	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A28h	MTU7	タイマジェネラルレジスタ C	TGRC	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A2Ah	MTU7	タイマジェネラルレジスタ D	TGRD	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A2Ch	MTU6	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	1~2ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (42 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000C 1A2Dh	MTU7	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A30h	MTU	タイマ割り込み間引き設定レジスタ1B	TITCR1B	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A31h	MTU	タイマ割り込み間引き回数カウンタ1B	TITCNT1B	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A32h	MTU	タイマバッファ転送設定レジスタB	TBTERB	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A34h	MTU	タイマデッドタイムイネーブルレジスタB	TDERB	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A36h	MTU	タイマアウトプットレベルバッファレジスタB	TOLBRB	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A38h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A39h	MTU7	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A3Ah	MTU	タイマ割り込み間引きモードレジスタB	TITMRB	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A3Bh	MTU	タイマ割り込み間引き設定レジスタ2B	TITCR2B	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A3Ch	MTU	タイマ割り込み間引き回数カウンタ2B	TITCNT2B	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A40h	MTU7	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A44h	MTU7	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A46h	MTU7	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A48h	MTU7	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A4Ah	MTU7	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A4Ch	MTU6	タイマコントロールレジスタ2	TCR2	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A4Dh	MTU7	タイマコントロールレジスタ2	TCR2	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A50h	MTU6	タイマシンククリアレジスタ	TSYCR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A60h	MTU	タイマ波形コントロールレジスタB	TWCRB	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A70h	MTU	タイマモードレジスタ2B	TMDR2B	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A72h	MTU6	タイマジェネラルレジスタE	TGRE	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A74h	MTU7	タイマジェネラルレジスタE	TGRE	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A76h	MTU7	タイマジェネラルレジスタF	TGRF	16	16	4~5PCLKA	1~2ICLK	24章
000C 1A80h	MTU	タイマスタートレジスタB	TSTRB	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A81h	MTU	タイマシンクロレジスタB	TSYRB	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A84h	MTU	タイマリードライトイネーブルレジスタB	TRWERB	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A93h	MTU6	ノイズフィルタコントロールレジスタ6	NFCR6	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A94h	MTU7	ノイズフィルタコントロールレジスタ7	NFCR7	8	8	4~5PCLKA	1~2ICLK	24章
000C 1A95h	MTU5	ノイズフィルタコントロールレジスタ5	NFCR5	8	8	4~5PCLKA	1~2ICLK	24章
000C 1C80h	MTU5	タイマカウンタU	TCNTU	16	16	4~5PCLKA	1~2ICLK	24章
000C 1C82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	4~5PCLKA	1~2ICLK	24章
000C 1C84h	MTU5	タイマコントロールレジスタU	TCRU	8	8	4~5PCLKA	1~2ICLK	24章
000C 1C85h	MTU5	タイマコントロールレジスタ2	TCR2U	8	8	4~5PCLKA	1~2ICLK	24章
000C 1C86h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	4~5PCLKA	1~2ICLK	24章
000C 1C90h	MTU5	タイマカウンタV	TCNTV	16	16	4~5PCLKA	1~2ICLK	24章
000C 1C92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	4~5PCLKA	1~2ICLK	24章
000C 1C94h	MTU5	タイマコントロールレジスタV	TCRV	8	8	4~5PCLKA	1~2ICLK	24章
000C 1C95h	MTU5	タイマコントロールレジスタ2	TCR2V	8	8	4~5PCLKA	1~2ICLK	24章
000C 1C96h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	4~5PCLKA	1~2ICLK	24章
000C 1CA0h	MTU5	タイマカウンタW	TCNTW	16	16	4~5PCLKA	1~2ICLK	24章
000C 1CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	4~5PCLKA	1~2ICLK	24章
000C 1CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	4~5PCLKA	1~2ICLK	24章
000C 1CA5h	MTU5	タイマコントロールレジスタ2	TCR2W	8	8	4~5PCLKA	1~2ICLK	24章
000C 1CA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	4~5PCLKA	1~2ICLK	24章
000C 1CB2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	24章
000C 1CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	4~5PCLKA	1~2ICLK	24章
000C 1CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	4~5PCLKA	1~2ICLK	24章
000D 0040h	SCI10	シリアルモードレジスタ	SMR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0040h	SMCI10	シリアルモードレジスタ	SMR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0041h	SCI10	ビットレートレジスタ	BRR	8	8	3~4PCLKA	1~2ICLK	35章

表5.1 I/Oレジスタアドレス一覧 (43 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000D 0042h	SCI10	シリアルコントロールレジスタ	SCR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0042h	SMCI10	シリアルコントロールレジスタ	SCR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0043h	SCI10	トランスミットデータレジスタ	TDR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0044h	SCI10	シリアルステータスレジスタ	SSR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0044h	SMCI10	シリアルステータスレジスタ	SSR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0044h	SCI10	シリアルステータスレジスタ	SSRFIFO	8	8	3~4PCLKA	1~2ICLK	35章
000D 0045h	SCI10	レシーブデータレジスタ	RDR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0046h	SCI10	スマートカードモードレジスタ	SCMR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0046h	SMCI10	スマートカードモードレジスタ	SCMR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0047h	SCI10	シリアル拡張モードレジスタ	SEMR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0048h	SCI10	ノイズフィルタ設定レジスタ	SNFR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0049h	SCI10	I ² Cモードレジスタ1	SIMR1	8	8	3~4PCLKA	1~2ICLK	35章
000D 004Ah	SCI10	I ² Cモードレジスタ2	SIMR2	8	8	3~4PCLKA	1~2ICLK	35章
000D 004Bh	SCI10	I ² Cモードレジスタ3	SIMR3	8	8	3~4PCLKA	1~2ICLK	35章
000D 004Ch	SCI10	I ² Cステータスレジスタ	SISR	8	8	3~4PCLKA	1~2ICLK	35章
000D 004Dh	SCI10	SPIモードレジスタ	SPMR	8	8	3~4PCLKA	1~2ICLK	35章
000D 004Eh	SCI10	トランスミットデータレジスタH	TDRH	8	8	3~4PCLKA	1~2ICLK	35章
000D 004Fh	SCI10	トランスミットデータレジスタL	TDRL	8	8	3~4PCLKA	1~2ICLK	35章
000D 004Eh	SCI10	トランスミットデータレジスタHL	TDRHL	16	16	5~6PCLKA	1~3ICLK	35章
000D 004Eh	SCI10	送信FIFOデータレジスタ	FTDR.H	8	8	3~4PCLKA	1~2ICLK	35章
000D 004Fh	SCI10	送信FIFOデータレジスタ	FTDR.L	8	8	3~4PCLKA	1~2ICLK	35章
000D 004Eh	SCI10	送信FIFOデータレジスタ	FTDR	16	16	5~6PCLKA	1~3ICLK	35章
000D 0050h	SCI10	レシーブデータレジスタH	RDRH	8	8	3~4PCLKA	1~2ICLK	35章
000D 0051h	SCI10	レシーブデータレジスタL	RDRL	8	8	3~4PCLKA	1~2ICLK	35章
000D 0050h	SCI10	レシーブデータレジスタHL	RDRHL	16	16	5~6PCLKA	1~3ICLK	35章
000D 0050h	SCI10	受信FIFOデータレジスタ	FRDR.H	8	8	3~4PCLKA	1~2ICLK	35章
000D 0051h	SCI10	受信FIFOデータレジスタ	FRDR.L	8	8	3~4PCLKA	1~2ICLK	35章
000D 0050h	SCI10	受信FIFOデータレジスタ	FRDR	16	16	5~6PCLKA	1~3ICLK	35章
000D 0052h	SCI10	モジュレーションデュリティレジスタ	MDDR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0053h	SCI10	データ比較制御レジスタ	DCCR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0054h	SCI10	FIFOコントロールレジスタ	FCR.H	8	8	3~4PCLKA	1~2ICLK	35章
000D 0055h	SCI10	FIFOコントロールレジスタ	FCR.L	8	8	3~4PCLKA	1~2ICLK	35章
000D 0054h	SCI10	FIFOコントロールレジスタ	FCR	16	16	5~6PCLKA	1~3ICLK	35章
000D 0056h	SCI10	FIFOデータカウントレジスタ	FDR.H	8	8	3~4PCLKA	1~2ICLK	35章
000D 0057h	SCI10	FIFOデータカウントレジスタ	FDR.L	8	8	3~4PCLKA	1~2ICLK	35章
000D 0056h	SCI10	FIFOデータカウントレジスタ	FDR	16	16	5~6PCLKA	1~3ICLK	35章
000D 0058h	SCI10	ラインステータスレジスタ	LSR.H	8	8	3~4PCLKA	1~2ICLK	35章
000D 0059h	SCI10	ラインステータスレジスタ	LSR.L	8	8	3~4PCLKA	1~2ICLK	35章
000D 0058h	SCI10	ラインステータスレジスタ	LSR	16	16	5~6PCLKA	1~3ICLK	35章
000D 005Ah	SCI10	比較データレジスタ	CDR.H	8	8	3~4PCLKA	1~2ICLK	35章
000D 005Bh	SCI10	比較データレジスタ	CDR.L	8	8	3~4PCLKA	1~2ICLK	35章
000D 005Ah	SCI10	比較データレジスタ	CDR	16	16	5~6PCLKA	1~3ICLK	35章
000D 005Ch	SCI10	シリアルポートレジスタ	SPTR	8	8	3~4PCLKA	1~2ICLK	35章
000D 005Dh	SCI10	送受信タイミング選択レジスタ	TMGR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0060h	SCI11	シリアルモードレジスタ	SMR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0060h	SMCI11	シリアルモードレジスタ	SMR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0061h	SCI11	ビットレートレジスタ	BRR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0062h	SCI11	シリアルコントロールレジスタ	SCR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0062h	SMCI11	シリアルコントロールレジスタ	SCR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0063h	SCI11	トランスミットデータレジスタ	TDR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0064h	SCI11	シリアルステータスレジスタ	SSR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0064h	SMCI11	シリアルステータスレジスタ	SSR	8	8	3~4PCLKA	1~2ICLK	35章

表5.1 I/Oレジスタアドレス一覧 (44 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000D 0064h	SCI11	シリアルステータスレジスタ	SSRFIFO	8	8	3~4PCLKA	1~2ICLK	35章
000D 0065h	SCI11	レシーブデータレジスタ	RDR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0066h	SCI11	スマートカードモードレジスタ	SCMR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0066h	SMCI11	スマートカードモードレジスタ	SCMR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0067h	SCI11	シリアル拡張モードレジスタ	SEMR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0068h	SCI11	ノイズフィルタ設定レジスタ	SNFR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0069h	SCI11	I ² Cモードレジスタ1	SIMR1	8	8	3~4PCLKA	1~2ICLK	35章
000D 006Ah	SCI11	I ² Cモードレジスタ2	SIMR2	8	8	3~4PCLKA	1~2ICLK	35章
000D 006Bh	SCI11	I ² Cモードレジスタ3	SIMR3	8	8	3~4PCLKA	1~2ICLK	35章
000D 006Ch	SCI11	I ² Cステータスレジスタ	SISR	8	8	3~4PCLKA	1~2ICLK	35章
000D 006Dh	SCI11	SPIモードレジスタ	SPMR	8	8	3~4PCLKA	1~2ICLK	35章
000D 006Eh	SCI11	トランスミットデータレジスタH	TDRH	8	8	3~4PCLKA	1~2ICLK	35章
000D 006Fh	SCI11	トランスミットデータレジスタL	TDRL	8	8	3~4PCLKA	1~2ICLK	35章
000D 006Eh	SCI11	トランスミットデータレジスタHL	TDRHL	16	16	5~6PCLKA	1~3ICLK	35章
000D 006Eh	SCI11	送信FIFOデータレジスタ	FTDR.H	8	8	3~4PCLKA	1~2ICLK	35章
000D 006Fh	SCI11	送信FIFOデータレジスタ	FTDR.L	8	8	3~4PCLKA	1~2ICLK	35章
000D 006Eh	SCI11	送信FIFOデータレジスタ	FTDR	16	16	5~6PCLKA	1~3ICLK	35章
000D 0070h	SCI11	レシーブデータレジスタH	RDRH	8	8	3~4PCLKA	1~2ICLK	35章
000D 0071h	SCI11	レシーブデータレジスタL	RDRL	8	8	3~4PCLKA	1~2ICLK	35章
000D 0070h	SCI11	レシーブデータレジスタHL	RDRHL	16	16	5~6PCLKA	1~3ICLK	35章
000D 0070h	SCI11	受信FIFOデータレジスタ	FRDR.H	8	8	3~4PCLKA	1~2ICLK	35章
000D 0071h	SCI11	受信FIFOデータレジスタ	FRDR.L	8	8	3~4PCLKA	1~2ICLK	35章
000D 0070h	SCI11	受信FIFOデータレジスタ	FRDR	16	16	5~6PCLKA	1~3ICLK	35章
000D 0072h	SCI11	モジュレーションデュリティレジスタ	MDDR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0073h	SCI11	データ比較制御レジスタ	DCCR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0074h	SCI11	FIFOコントロールレジスタ	FCR.H	8	8	3~4PCLKA	1~2ICLK	35章
000D 0075h	SCI11	FIFOコントロールレジスタ	FCR.L	8	8	3~4PCLKA	1~2ICLK	35章
000D 0074h	SCI11	FIFOコントロールレジスタ	FCR	16	16	5~6PCLKA	1~3ICLK	35章
000D 0076h	SCI11	FIFOデータカウントレジスタ	FDR.H	8	8	3~4PCLKA	1~2ICLK	35章
000D 0077h	SCI11	FIFOデータカウントレジスタ	FDR.L	8	8	3~4PCLKA	1~2ICLK	35章
000D 0076h	SCI11	FIFOデータカウントレジスタ	FDR	16	16	5~6PCLKA	1~3ICLK	35章
000D 0078h	SCI11	ラインステータスレジスタ	LSR.H	8	8	3~4PCLKA	1~2ICLK	35章
000D 0079h	SCI11	ラインステータスレジスタ	LSR.L	8	8	3~4PCLKA	1~2ICLK	35章
000D 0078h	SCI11	ラインステータスレジスタ	LSR	16	16	5~6PCLKA	1~3ICLK	35章
000D 007Ah	SCI11	比較データレジスタ	CDR.H	8	8	3~4PCLKA	1~2ICLK	35章
000D 007Bh	SCI11	比較データレジスタ	CDR.L	8	8	3~4PCLKA	1~2ICLK	35章
000D 007Ah	SCI11	比較データレジスタ	CDR	16	16	5~6PCLKA	1~3ICLK	35章
000D 007Ch	SCI11	シリアルポートレジスタ	SPTR	8	8	3~4PCLKA	1~2ICLK	35章
000D 007Dh	SCI11	送受信タイミング選択レジスタ	TMGR	8	8	3~4PCLKA	1~2ICLK	35章
000D 0100h	RSPI0	RSPI制御レジスタ	SPCR	8	8	3~4PCLKA	1~2ICLK	40章
000D 0101h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	3~4PCLKA	1~2ICLK	40章
000D 0102h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	3~4PCLKA	1~2ICLK	40章
000D 0103h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	3~4PCLKA	1~2ICLK	40章
000D 0104h	RSPI0	RSPIデータレジスタ	SPDR	32	8, 16, 32	3~4PCLKA	1~2ICLK	40章
000D 0108h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	3~4PCLKA	1~2ICLK	40章
000D 0109h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	3~4PCLKA	1~2ICLK	40章
000D 010Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	3~4PCLKA	1~2ICLK	40章
000D 010Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	3~4PCLKA	1~2ICLK	40章
000D 010Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	3~4PCLKA	1~2ICLK	40章
000D 010Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	3~4PCLKA	1~2ICLK	40章
000D 010Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	3~4PCLKA	1~2ICLK	40章
000D 010Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	3~4PCLKA	1~2ICLK	40章

表 5.1 I/O レジスタアドレス一覧 (45 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000D 0110h	RSPI0	RSPI コマンドレジスタ 0	SPCMD0	16	16	3~4PCLKA	1~2ICLK	40章
000D 0112h	RSPI0	RSPI コマンドレジスタ 1	SPCMD1	16	16	3~4PCLKA	1~2ICLK	40章
000D 0114h	RSPI0	RSPI コマンドレジスタ 2	SPCMD2	16	16	3~4PCLKA	1~2ICLK	40章
000D 0116h	RSPI0	RSPI コマンドレジスタ 3	SPCMD3	16	16	3~4PCLKA	1~2ICLK	40章
000D 0118h	RSPI0	RSPI コマンドレジスタ 4	SPCMD4	16	16	3~4PCLKA	1~2ICLK	40章
000D 011Ah	RSPI0	RSPI コマンドレジスタ 5	SPCMD5	16	16	3~4PCLKA	1~2ICLK	40章
000D 011Ch	RSPI0	RSPI コマンドレジスタ 6	SPCMD6	16	16	3~4PCLKA	1~2ICLK	40章
000D 011Eh	RSPI0	RSPI コマンドレジスタ 7	SPCMD7	16	16	3~4PCLKA	1~2ICLK	40章
000D 0120h	RSPI0	RSPI データコントロールレジスタ 2	SPDCR2	8	8	3~4PCLKA	1~2ICLK	40章
000D 0121h	RSPI0	RSPI 制御レジスタ 3	SPCR3	8	8	3~4PCLKA	1~2ICLK	40章
000D 0140h	RSPI1	RSPI 制御レジスタ	SPCR	8	8	3~4PCLKA	1~2ICLK	40章
000D 0141h	RSPI1	RSPI スレーブセレクト極性レジスタ	SSLP	8	8	3~4PCLKA	1~2ICLK	40章
000D 0142h	RSPI1	RSPI 端子制御レジスタ	SPPCR	8	8	3~4PCLKA	1~2ICLK	40章
000D 0143h	RSPI1	RSPI ステータスレジスタ	SPSR	8	8	3~4PCLKA	1~2ICLK	40章
000D 0144h	RSPI1	RSPI データレジスタ	SPDR	32	8, 16, 32	3~4PCLKA	1~2ICLK	40章
000D 0148h	RSPI1	RSPI シーケンス制御レジスタ	SPSCR	8	8	3~4PCLKA	1~2ICLK	40章
000D 0149h	RSPI1	RSPI シーケンスステータスレジスタ	SPSSR	8	8	3~4PCLKA	1~2ICLK	40章
000D 014Ah	RSPI1	RSPI ビットレートレジスタ	SPBR	8	8	3~4PCLKA	1~2ICLK	40章
000D 014Bh	RSPI1	RSPI データコントロールレジスタ	SPDCR	8	8	3~4PCLKA	1~2ICLK	40章
000D 014Ch	RSPI1	RSPI クロック遅延レジスタ	SPCKD	8	8	3~4PCLKA	1~2ICLK	40章
000D 014Dh	RSPI1	RSPI スレーブセレクトネゲート遅延レジスタ	SSLND	8	8	3~4PCLKA	1~2ICLK	40章
000D 014Eh	RSPI1	RSPI 次アクセス遅延レジスタ	SPND	8	8	3~4PCLKA	1~2ICLK	40章
000D 014Fh	RSPI1	RSPI 制御レジスタ 2	SPCR2	8	8	3~4PCLKA	1~2ICLK	40章
000D 0150h	RSPI1	RSPI コマンドレジスタ 0	SPCMD0	16	16	3~4PCLKA	1~2ICLK	40章
000D 0152h	RSPI1	RSPI コマンドレジスタ 1	SPCMD1	16	16	3~4PCLKA	1~2ICLK	40章
000D 0154h	RSPI1	RSPI コマンドレジスタ 2	SPCMD2	16	16	3~4PCLKA	1~2ICLK	40章
000D 0156h	RSPI1	RSPI コマンドレジスタ 3	SPCMD3	16	16	3~4PCLKA	1~2ICLK	40章
000D 0158h	RSPI1	RSPI コマンドレジスタ 4	SPCMD4	16	16	3~4PCLKA	1~2ICLK	40章
000D 015Ah	RSPI1	RSPI コマンドレジスタ 5	SPCMD5	16	16	3~4PCLKA	1~2ICLK	40章
000D 015Ch	RSPI1	RSPI コマンドレジスタ 6	SPCMD6	16	16	3~4PCLKA	1~2ICLK	40章
000D 015Eh	RSPI1	RSPI コマンドレジスタ 7	SPCMD7	16	16	3~4PCLKA	1~2ICLK	40章
000D 0160h	RSPI1	RSPI データコントロールレジスタ 2	SPDCR2	8	8	3~4PCLKA	1~2ICLK	40章
000D 0161h	RSPI1	RSPI 制御レジスタ 3	SPCR3	8	8	3~4PCLKA	1~2ICLK	40章
000D 0300h	RSPI2	RSPI 制御レジスタ	SPCR	8	8	3~4PCLKA	1~2ICLK	40章
000D 0301h	RSPI2	RSPI スレーブセレクト極性レジスタ	SSLP	8	8	3~4PCLKA	1~2ICLK	40章
000D 0302h	RSPI2	RSPI 端子制御レジスタ	SPPCR	8	8	3~4PCLKA	1~2ICLK	40章
000D 0303h	RSPI2	RSPI ステータスレジスタ	SPSR	8	8	3~4PCLKA	1~2ICLK	40章
000D 0304h	RSPI2	RSPI データレジスタ	SPDR	32	8, 16, 32	3~4PCLKA	1~2ICLK	40章
000D 0308h	RSPI2	RSPI シーケンス制御レジスタ	SPSCR	8	8	3~4PCLKA	1~2ICLK	40章
000D 0309h	RSPI2	RSPI シーケンスステータスレジスタ	SPSSR	8	8	3~4PCLKA	1~2ICLK	40章
000D 030Ah	RSPI2	RSPI ビットレートレジスタ	SPBR	8	8	3~4PCLKA	1~2ICLK	40章
000D 030Bh	RSPI2	RSPI データコントロールレジスタ	SPDCR	8	8	3~4PCLKA	1~2ICLK	40章
000D 030Ch	RSPI2	RSPI クロック遅延レジスタ	SPCKD	8	8	3~4PCLKA	1~2ICLK	40章
000D 030Dh	RSPI2	RSPI スレーブセレクトネゲート遅延レジスタ	SSLND	8	8	3~4PCLKA	1~2ICLK	40章
000D 030Eh	RSPI2	RSPI 次アクセス遅延レジスタ	SPND	8	8	3~4PCLKA	1~2ICLK	40章
000D 030Fh	RSPI2	RSPI 制御レジスタ 2	SPCR2	8	8	3~4PCLKA	1~2ICLK	40章
000D 0310h	RSPI2	RSPI コマンドレジスタ 0	SPCMD0	16	16	3~4PCLKA	1~2ICLK	40章
000D 0312h	RSPI2	RSPI コマンドレジスタ 1	SPCMD1	16	16	3~4PCLKA	1~2ICLK	40章
000D 0314h	RSPI2	RSPI コマンドレジスタ 2	SPCMD2	16	16	3~4PCLKA	1~2ICLK	40章
000D 0316h	RSPI2	RSPI コマンドレジスタ 3	SPCMD3	16	16	3~4PCLKA	1~2ICLK	40章
000D 0318h	RSPI2	RSPI コマンドレジスタ 4	SPCMD4	16	16	3~4PCLKA	1~2ICLK	40章
000D 031Ah	RSPI2	RSPI コマンドレジスタ 5	SPCMD5	16	16	3~4PCLKA	1~2ICLK	40章

表 5.1 I/O レジスタ アドレス一覧 (46 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000D 031Ch	RSPI2	RSPI コマンドレジスタ 6	SPCMD6	16	16	3~4PCLKA	1~2ICLK	40章
000D 031Eh	RSPI2	RSPI コマンドレジスタ 7	SPCMD7	16	16	3~4PCLKA	1~2ICLK	40章
000D 0320h	RSPI2	RSPI データコントロールレジスタ 2	SPDCR2	8	8	3~4PCLKA	1~2ICLK	40章
000D 0321h	RSPI2	RSPI 制御レジスタ 3	SPCR3	8	8	3~4PCLKA	1~2ICLK	40章
000E 2000h	RSCI10	受信データレジスタ	RDR	32	8, 16, 32	2~3PCLKA	2ICLK	36章
000E 2004h	RSCI10	送信データレジスタ	TDR	32	8, 16, 32	2~3PCLKA	2ICLK	36章
000E 2008h	RSCI10	制御レジスタ 0	SCR0	32	32	2~3PCLKA	2ICLK	36章
000E 200Ch	RSCI10	制御レジスタ 1	SCR1	32	32	2~3PCLKA	2ICLK	36章
000E 2010h	RSCI10	制御レジスタ 2	SCR2	32	32	2~3PCLKA	2ICLK	36章
000E 2014h	RSCI10	制御レジスタ 3	SCR3	32	32	2~3PCLKA	2ICLK	36章
000E 2018h	RSCI10	制御レジスタ 4	SCR4	32	32	2~3PCLKA	2ICLK	36章
000E 201Eh	RSCI10	HBS サポートモード制御レジスタ	HBSCR	8	8	2~3PCLKA	2ICLK	36章
000E 2020h	RSCI10	I ² C モードレジスタ	SIMR	32	32	2~3PCLKA	2ICLK	36章
000E 2024h	RSCI10	FIFO 制御レジスタ	FCR	32	32	2~3PCLKA	2ICLK	36章
000E 202Ch	RSCI10	マンチェスタモード制御レジスタ	MMCR	32	32	2~3PCLKA	2ICLK	36章
000E 2030h	RSCI10	DE 信号制御レジスタ	DECR	32	32	2~3PCLKA	2ICLK	36章
000E 2034h	RSCI10	拡張シリアルモード制御レジスタ 0	XCR0	32	32	2~3PCLKA	2ICLK	36章
000E 2038h	RSCI10	拡張シリアルモード制御レジスタ 1	XCR1	32	32	2~3PCLKA	2ICLK	36章
000E 203Ch	RSCI10	拡張シリアルモード制御レジスタ 2	XCR2	32	32	2~3PCLKA	2ICLK	36章
000E 2048h	RSCI10	ステータスレジスタ	SSR	32	32	2~3PCLKA	2ICLK	36章
000E 204Ch	RSCI10	I ² C ステータスレジスタ	SISR	32	32	2~3PCLKA	2ICLK	36章
000E 2050h	RSCI10	受信 FIFO ステータスレジスタ	RFSR	32	32	2~3PCLKA	2ICLK	36章
000E 2054h	RSCI10	送信 FIFO ステータスレジスタ	TFSR	32	32	2~3PCLKA	2ICLK	36章
000E 2058h	RSCI10	マンチェスタモードステータスレジスタ	MMSR	32	32	2~3PCLKA	2ICLK	36章
000E 205Ch	RSCI10	拡張シリアルモードステータスレジスタ 0	XSR0	32	32	2~3PCLKA	2ICLK	36章
000E 2060h	RSCI10	拡張シリアルモードステータスレジスタ 1	XSR1	32	32	2~3PCLKA	2ICLK	36章
000E 2068h	RSCI10	ステータスクリアレジスタ	SSCR	32	32	2~3PCLKA	2ICLK	36章
000E 206Ch	RSCI10	I ² C ステータスクリアレジスタ	SISCR	32	32	2~3PCLKA	2ICLK	36章
000E 2070h	RSCI10	受信 FIFO ステータスクリアレジスタ	RFSCR	32	32	2~3PCLKA	2ICLK	36章
000E 2074h	RSCI10	マンチェスタモードステータスクリアレジスタ	MMSCR	32	32	2~3PCLKA	2ICLK	36章
000E 2078h	RSCI10	拡張シリアルモードステータスクリアレジスタ	XSCR	32	32	2~3PCLKA	2ICLK	36章
000E 2080h	RSCI11	受信データレジスタ	RDR	32	8, 16, 32	2~3PCLKA	2ICLK	36章
000E 2084h	RSCI11	送信データレジスタ	TDR	32	8, 16, 32	2~3PCLKA	2ICLK	36章
000E 2088h	RSCI11	制御レジスタ 0	SCR0	32	32	2~3PCLKA	2ICLK	36章
000E 208Ch	RSCI11	制御レジスタ 1	SCR1	32	32	2~3PCLKA	2ICLK	36章
000E 2090h	RSCI11	制御レジスタ 2	SCR2	32	32	2~3PCLKA	2ICLK	36章
000E 2094h	RSCI11	制御レジスタ 3	SCR3	32	32	2~3PCLKA	2ICLK	36章
000E 2098h	RSCI11	制御レジスタ 4	SCR4	32	32	2~3PCLKA	2ICLK	36章
000E 209Eh	RSCI11	HBS サポートモード制御レジスタ	HBSCR	8	8	2~3PCLKA	2ICLK	36章
000E 20A0h	RSCI11	I ² C モードレジスタ	SIMR	32	32	2~3PCLKA	2ICLK	36章
000E 20A4h	RSCI11	FIFO 制御レジスタ	FCR	32	32	2~3PCLKA	2ICLK	36章
000E 20ACh	RSCI11	マンチェスタモード制御レジスタ	MMCR	32	32	2~3PCLKA	2ICLK	36章
000E 20B0h	RSCI11	DE 信号制御レジスタ	DECR	32	32	2~3PCLKA	2ICLK	36章
000E 20B4h	RSCI11	拡張シリアルモード制御レジスタ 0	XCR0	32	32	2~3PCLKA	2ICLK	36章
000E 20B8h	RSCI11	拡張シリアルモード制御レジスタ 1	XCR1	32	32	2~3PCLKA	2ICLK	36章
000E 20BCh	RSCI11	拡張シリアルモード制御レジスタ 2	XCR2	32	32	2~3PCLKA	2ICLK	36章
000E 20C8h	RSCI11	ステータスレジスタ	SSR	32	32	2~3PCLKA	2ICLK	36章
000E 20CCh	RSCI11	I ² C ステータスレジスタ	SISR	32	32	2~3PCLKA	2ICLK	36章
000E 20D0h	RSCI11	受信 FIFO ステータスレジスタ	RFSR	32	32	2~3PCLKA	2ICLK	36章
000E 20D4h	RSCI11	送信 FIFO ステータスレジスタ	TFSR	32	32	2~3PCLKA	2ICLK	36章
000E 20D8h	RSCI11	マンチェスタモードステータスレジスタ	MMSR	32	32	2~3PCLKA	2ICLK	36章
000E 20DCh	RSCI11	拡張シリアルモードステータスレジスタ 0	XSR0	32	32	2~3PCLKA	2ICLK	36章

表5.1 I/Oレジスタアドレス一覧 (47 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000E 20E0h	RSCI11	拡張シリアルモードステータスレジスタ1	XSR1	32	32	2~3PCLKA	2ICLK	36章
000E 20E8h	RSCI11	ステータスクリアレジスタ	SSCR	32	32	2~3PCLKA	2ICLK	36章
000E 20ECh	RSCI11	I ² Cステータスクリアレジスタ	SISCR	32	32	2~3PCLKA	2ICLK	36章
000E 20F0h	RSCI11	受信FIFOステータスクリアレジスタ	RFSCR	32	32	2~3PCLKA	2ICLK	36章
000E 20F4h	RSCI11	マンチェスタモードステータスクリアレジスタ	MMSCR	32	32	2~3PCLKA	2ICLK	36章
000E 20F8h	RSCI11	拡張シリアルモードステータスクリアレジスタ	XSCR	32	32	2~3PCLKA	2ICLK	36章
000E 2800h	RSPIA0	RSPIデータレジスタ	SPDR	32	8, 16, 32	2~3PCLKA	2ICLK	41章
000E 2804h	RSPIA0	RSPIクロック遅延レジスタ	SPCKD	8	8	2~3PCLKA	2ICLK	41章
000E 2805h	RSPIA0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2~3PCLKA	2ICLK	41章
000E 2806h	RSPIA0	RSPI次アクセス遅延レジスタ	SPND	8	8	2~3PCLKA	2ICLK	41章
000E 2808h	RSPIA0	RSPI制御レジスタ	SPCR	32	32	2~3PCLKA	2ICLK	41章
000E 280Ch	RSPIA0	RSPI受信専用モード制御レジスタ	SPRMCR	8	8	2~3PCLKA	2ICLK	41章
000E 280Dh	RSPIA0	RSPI受信データレディ検出条件設定レジスタ	SPDRCSR	8	8	2~3PCLKA	2ICLK	41章
000E 280Eh	RSPIA0	RSPI端子制御レジスタ	SPPCR	8	8	2~3PCLKA	2ICLK	41章
000E 2810h	RSPIA0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2~3PCLKA	2ICLK	41章
000E 2811h	RSPIA0	RSPIビットレートレジスタ	SPBR	8	8	2~3PCLKA	2ICLK	41章
000E 2813h	RSPIA0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2~3PCLKA	2ICLK	41章
000E 2814h	RSPIA0	RSPIコマンドレジスタ0	SPCMD0	32	32	2~3PCLKA	2ICLK	41章
000E 2818h	RSPIA0	RSPIコマンドレジスタ1	SPCMD1	32	32	2~3PCLKA	2ICLK	41章
000E 281Ch	RSPIA0	RSPIコマンドレジスタ2	SPCMD2	32	32	2~3PCLKA	2ICLK	41章
000E 2820h	RSPIA0	RSPIコマンドレジスタ3	SPCMD3	32	32	2~3PCLKA	2ICLK	41章
000E 2824h	RSPIA0	RSPIコマンドレジスタ4	SPCMD4	32	32	2~3PCLKA	2ICLK	41章
000E 2828h	RSPIA0	RSPIコマンドレジスタ5	SPCMD5	32	32	2~3PCLKA	2ICLK	41章
000E 282Ch	RSPIA0	RSPIコマンドレジスタ6	SPCMD6	32	32	2~3PCLKA	2ICLK	41章
000E 2830h	RSPIA0	RSPIコマンドレジスタ7	SPCMD7	32	32	2~3PCLKA	2ICLK	41章
000E 2840h	RSPIA0	RSPIデータコントロールレジスタ	SPDCR	16	16	2~3PCLKA	2ICLK	41章
000E 2844h	RSPIA0	RSPI FIFOコントロールレジスタ	SPFCR	16	16	2~3PCLKA	2ICLK	41章
000E 2851h	RSPIA0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2~3PCLKA	2ICLK	41章
000E 2852h	RSPIA0	RSPIステータスレジスタ	SPSR	16	16	2~3PCLKA	2ICLK	41章
000E 2858h	RSPIA0	RSPI送信FIFOステータスレジスタ	SPTFSR	8	8	2~3PCLKA	2ICLK	41章
000E 285Ch	RSPIA0	RSPI受信FIFOステータスレジスタ	SPRFSR	8	8	2~3PCLKA	2ICLK	41章
000E 286Ah	RSPIA0	RSPIステータスクリアレジスタ	SPSCLR	16	16	2~3PCLKA	2ICLK	41章
000E 286Ch	RSPIA0	RSPI FIFOクリアレジスタ	SPFCLR	8	8	2~3PCLKA	2ICLK	41章
000E C014h	RIICHS0	制御レジスタ	ICCR	32	32	2~3PCLKB	2ICLK	38章
000E C020h	RIICHS0	リセット制御レジスタ	ICRCR	32	32	2~3PCLKB	2ICLK	38章
000E C024h	RIICHS0	動作モードモニタレジスタ	ICMMR	32	32	2~3PCLKB	2ICLK	38章
000E C060h	RIICHS0	ファンクション許可レジスタ	ICFER	32	32	2~3PCLKB	2ICLK	38章
000E C064h	RIICHS0	スレーブモード制御レジスタ	ICSCR	32	32	2~3PCLKB	2ICLK	38章
000E C070h	RIICHS0	基準クロック制御レジスタ	ICRCCR	32	32	2~3PCLKB	2ICLK	38章
000E C074h	RIICHS0	F/Sモードビットレートレジスタ	ICFBR	32	32	2~3PCLKB	2ICLK	38章
000E C078h	RIICHS0	Hsモードビットレートレジスタ	ICHBR	32	32	2~3PCLKB	2ICLK	38章
000E C07Ch	RIICHS0	バスフリー時間設定レジスタ	ICBFTR	32	32	2~3PCLKB	2ICLK	38章
000E C088h	RIICHS0	出力信号制御レジスタ	ICOCR	32	32	2~3PCLKB	2ICLK	38章
000E C08Ch	RIICHS0	入力信号制御レジスタ	ICICR	32	32	2~3PCLKB	2ICLK	38章
000E C090h	RIICHS0	タイムアウト制御レジスタ	ICTOR	32	32	2~3PCLKB	2ICLK	38章
000E C0A0h	RIICHS0	アクノリッジビット制御レジスタ	ICACKR	32	32	2~3PCLKB	2ICLK	38章
000E C0A4h	RIICHS0	クロックストレッチ制御レジスタ	ICCSER	32	32	2~3PCLKB	2ICLK	38章
000E C140h	RIICHS0	コンディション生成要求レジスタ	ICCGR	32	32	2~3PCLKB	2ICLK	38章
000E C158h	RIICHS0	送受信データレジスタ	ICDR	32	8, 32	2~3PCLKB	2ICLK	38章
000E C1D0h	RIICHS0	ステータスレジスタ2	ICSR2	32	32	2~3PCLKB	2ICLK	38章
000E C1D4h	RIICHS0	ステータス検出許可レジスタ	ICSER	32	32	2~3PCLKB	2ICLK	38章
000E C1D8h	RIICHS0	ステータス割り込み許可レジスタ	ICSIER	32	32	2~3PCLKB	2ICLK	38章

表5.1 I/Oレジスタアドレス一覧 (48 / 49)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000E C1E0h	RIICHS0	通信ステータスレジスタ	ICCSR	32	32	2~3PCLKB	2ICLK	38章
000E C1E4h	RIICHS0	通信ステータス検出許可レジスタ	ICCSER	32	32	2~3PCLKB	2ICLK	38章
000E C1E8h	RIICHS0	通信ステータス割り込み許可レジスタ	ICCSIER	32	32	2~3PCLKB	2ICLK	38章
000E C210h	RIICHS0	バスステータスレジスタ	ICBSR	32	32	2~3PCLKB	2ICLK	38章
000E C214h	RIICHS0	スレープモードステータスレジスタ	ICSSR	32	32	2~3PCLKB	2ICLK	38章
000E C2B0h	RIICHS0	スレープアドレスレジスタ0	SAR0	32	32	2~3PCLKB	2ICLK	38章
000E C2B4h	RIICHS0	スレープアドレスレジスタ1	SAR1	32	32	2~3PCLKB	2ICLK	38章
000E C2B8h	RIICHS0	スレープアドレスレジスタ2	SAR2	32	32	2~3PCLKB	2ICLK	38章
000E C330h	RIICHS0	スレープアドレスモニタレジスタ0	SAMR0	32	32	2~3PCLKB	2ICLK	38章
000E C334h	RIICHS0	スレープアドレスモニタレジスタ1	SAMR1	32	32	2~3PCLKB	2ICLK	38章
000E C338h	RIICHS0	スレープアドレスモニタレジスタ2	SAMR2	32	32	2~3PCLKB	2ICLK	38章
000E C380h	RIICHS0	ビットカウントレジスタ	ICBCR	32	32	2~3PCLKB	2ICLK	38章
000E C3CCh	RIICHS0	内部ステータスモニタレジスタ	ICIMR	32	32	2~3PCLKB	2ICLK	38章
007F B0E0h	SYSTEM	高速オンチップオシレータトリミングレジスタ0	HOCOTRR0	32	32	2ICLK		9章
007F B0E4h	SYSTEM	高速オンチップオシレータトリミングレジスタ1	HOCOTRR1	32	32	2ICLK		9章
007F B0E8h	SYSTEM	高速オンチップオシレータトリミングレジスタ2	HOCOTRR2	32	32	2ICLK		9章
007F B0ECh	CTSU	CTSU基準電流調整レジスタ	CTSUTRMR	32	32	2ICLK		47章
007F C040h	FLASH	データフラッシュメモリアクセス周波数設定レジスタ	EFPCLK	8	8	2FCLK		55章
007F E010h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2FCLK		55章
007F E014h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2FCLK		55章
007F E018h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2FCLK		55章
007F E030h	FLASH	FACIコマンド処理開始アドレスレジスタ	FSADDR	32	32	2FCLK		55章
007F E034h	FLASH	FACIコマンド処理終了アドレスレジスタ	FEADDR	32	32	2FCLK		55章
007F E080h	FLASH	フラッシュステータスレジスタ	FSTATR	32	32	2FCLK		55章
007F E084h	FLASH	フラッシュP/Eモードエントリーレジスタ	FENTRYR	16	16	2FCLK		55章
007F E08Ch	FLASH	フラッシュシーケンサ設定初期化レジスタ	FSUINITR	16	16	2FCLK		55章
007F E0A0h	FLASH	FACIコマンドレジスタ	FCMDR	16	16	2FCLK		55章
007F E0D0h	FLASH	データフラッシュブランクチェック制御レジスタ	FBCCNT	8	8	2FCLK		55章
007F E0D4h	FLASH	データフラッシュブランクチェックステータスレジスタ	FBCSTAT	8	8	2FCLK		55章
007F E0D8h	FLASH	データフラッシュ書き込み開始アドレスレジスタ	FPSADDR	32	32	2FCLK		55章
007F E0DCh	FLASH	フラッシュアクセスウィンドウモニタレジスタ	FAWMON	32	32	2FCLK		55章
007F E0E0h	FLASH	フラッシュシーケンサ処理切り替えレジスタ	FCPSR	16	16	2FCLK		55章
007F E0E4h	FLASH	フラッシュシーケンサ処理クロック周波数通知レジスタ	FPCKAR	16	16	2FCLK		55章
007F E0E8h	FLASH	スタートアップ領域コントロールレジスタ	FSUACR	16	16	2FCLK		55章
7400 0000h	QSPIX	モードレジスタ0	SPMR0	32	32	ライト: 13ICLK以下、リード: 2ICLK		42章
7400 0004h	QSPIX	スレープセレクト信号制御レジスタ	SPSSCR	32	32	ライト: 13ICLK以下、リード: 2ICLK		42章
7400 0008h	QSPIX	動作クロック制御レジスタ	SPOCR	32	32	ライト: 13ICLK以下、リード: 2ICLK		42章
7400 000Ch	QSPIX	プリフェッチステータスレジスタ	SPPFSR	32	32	ライト: 13ICLK以下、リード: 2ICLK		42章
7400 0010h	QSPIX	SPIデータレジスタ	SPDR	32	32	ライト: 7ICLK以下、リード: 24ICLK以下		42章
7400 0014h	QSPIX	モードレジスタ1	SPMR1	32	32	ライト: 13ICLK以下、リード: 2ICLK		42章
7400 0018h	QSPIX	SPIステータスレジスタ	SPSR	32	32	ライト: 13ICLK以下、リード: 2ICLK		42章
7400 0020h	QSPIX	独自リード命令設定レジスタ	SPRIR	32	32	ライト: 13ICLK以下、リード: 2ICLK		42章
7400 0024h	QSPIX	アドレスモードレジスタ	SPAMR	32	32	ライト: 13ICLK以下、リード: 2ICLK		42章
7400 0028h	QSPIX	ダミーサイクル制御レジスタ	SPDCR	32	32	ライト: 13ICLK以下、リード: 2ICLK		42章
7400 0030h	QSPIX	モードレジスタ2	SPMR2	32	32	ライト: 13ICLK以下、リード: 2ICLK		42章
7400 0034h	QSPIX	ポート制御レジスタ	SPPCR	32	32	ライト: 13ICLK以下、リード: 2ICLK		42章
7400 0804h	QSPIX	上位アドレスレジスタ	SPUAR	32	32	ライト: 13ICLK以下、リード: 2ICLK		42章
FE7F 5D00h	OFSM	エンディアン選択レジスタ	MDE	32	32	1~3ICLK		7章
FE7F 5D04h	OFSM	オプション機能選択レジスタ0	OFS0	32	32	1~3ICLK		7章
FE7F 5D08h	OFSM	オプション機能選択レジスタ1	OFS1	32	32	1~3ICLK		7章

表5.1 I/Oレジスタアドレス一覧 (49 / 49)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの場合	ICLK < PCLKの場合	
FE7F 5D10h	OFSM	TM識別データレジスタ	TMINF	32	32	1~3ICLK		7章
FE7F 5D20h	OFSM	バンク選択レジスタ	BANKSEL	32	32	1~3ICLK		7章
FE7F 5D40h	OFSM	シリアルプログラマコマンド制御レジスタ	SPCC	32	32	1~3ICLK		7章
FE7F 5D48h	OFSM	TMイネーブルフラグレジスタ	TMEF	32	32	1~3ICLK		7章
FE7F 5D50h	OFSM	OCD/シリアルプログラマID設定レジスタ	OSIS	128	32	1~3ICLK		7章
FE7F 5D64h	OFSM	フラッシュアクセスウィンドウ設定レジスタ	FAW	32	32	1~3ICLK		7章
FE7F 5D70h	OFSM	ROMコードプロテクトレジスタ	ROMCODE	32	32	1~3ICLK		7章
FE7F 7D7Ch	TEMPSCON ST	温度センサ校正データレジスタ	TSCDR	32	32	1~3ICLK		51章
FE7F 7D90h	FLASHCON ST	ユニークIDレジスタ0	UIDR0	32	32	1~3ICLK		55章
FE7F 7D94h	FLASHCON ST	ユニークIDレジスタ1	UIDR1	32	32	1~3ICLK		55章
FE7F 7D98h	FLASHCON ST	ユニークIDレジスタ2	UIDR2	32	32	1~3ICLK		55章
FE7F 7D9Ch	FLASHCON ST	ユニークIDレジスタ3	UIDR3	32	32	1~3ICLK		55章

注1. USB動作中にレジスタアクセスを行った場合、アクセスが待たされることがあります。

注2. 32ビットでアクセスする場合、番地の末尾は0h、4h、8hまたはChにしてください。16ビットでアクセスする場合、番地の末尾は0h、2h、4h、6h、8h、Ah、ChまたはEhにしてください。

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、ディープソフトウェアスタンバイリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇(監視電圧: VPOR)(注1)
電圧監視0リセット	VCCの下降(監視電圧: Vdet0)(注1)
電圧監視1リセット	VCCの下降(監視電圧: Vdet1)(注1)
電圧監視2リセット	VCCの下降(監視電圧: Vdet2)(注1)
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフローまたはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧(VPOR, Vdet0, Vdet1, Vdet2)については、「8. 電圧検出回路(LVDA)」、「56. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因								
	RES#端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	ウォッチ ドッグタイ マリセット	電圧監視1 リセット	電圧監視2 リセット	ディープ ソフトウェア スタンバイ リセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—	—	—
コールドスタート/ ウォームスタート 判別フラグ (RSTSR1.CWSF)	—	○	—	—	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—	—	—
独立ウォッチドッグタイマ リセット検出フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—	○	—
独立ウォッチドッグタイマの レジスタ (IWDTRR, IWDTCSR, IWDTSR, IWDTRCR, IWDTCSNTPR, ILOCOCR)	○	○	○	—	—	—	—	○	—
ウォッチドッグタイマ リセット検出フラグ (RSTSR2.WDTRF)	○	○	○	○	—	—	—	○	—
ウォッチドッグタイマのレジスタ (WDTRR, WDTCR, WDTSR, WDTRCR)	○	○	○	○	—	—	—	○	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	○	—	—	—	—
電圧監視機能1のレジスタ (LVD1CR0, LVCMPPCR.LVD1E, LVDLVL.R.LVD1LVL[3:0])	○	○	○	○	○	—	—	—	—
(LVD1CR1, LVD1SR)	○	○	○	○	○	—	—	○	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	○	—	—	—
電圧監視機能2のレジスタ (LVD2CR0, LVCMPPCR.LVD2E, LVDLVL.R.LVD2LVL[3:0])	○	○	○	○	○	○	—	—	—
(LVD2CR1, LVD2SR)	○	○	○	○	○	○	—	○	—
ディープソフトウェアスタンバイ リセット検出フラグ (RSTSR0.DPSRSTF)	○	○	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	○	○	—
リアルタイムクロックのレジスタ (注1)	—	—	—	—	—	—	—	—	—
高速オンチップオシレータ関連の レジスタ (HOCOPCR.HOCOPCNT)	○	○	○	○	○	○	○	—	○
メインクロック発振器関連の レジスタ(MOFCR)	○	○	○	○	○	○	○	—	○
端子の状態	○	○	○	○	○	○	○	—	○
消費電力低減機能関連のレジスタ (DPSBYCR, DPSIER0~3, DPSIFR0~3, DPSIEGR0~3, DPUSR0R, DPUSR1R)	○	○	○	○	○	○	○	—	○
REMCのレジスタ	○	○	○	○	○	○	○	—	○
動作モード(注2)	○	○	○	—	—	—	—	—	—
上記以外のレジスタ、 CPUおよび内部状態	○	○	○	○	○	○	○	○	○

○：初期化されます。 —：変化しない

注1. 一部の制御ビットは、すべてのリセットにより初期化されます。対象となる制御ビットについては、「31. リアルタイムクロック(RTCd)」を参照してください。

注2. リセット解除時のモード設定端子の状態によって動作モードが決定されます。詳細は「3. 動作モード」を参照してください

い。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「14. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表 6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

b7	b6	b5	b4	b3	b2	b1	b0
DPSRS TF	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF

リセット後の値 0 (注1) 0 0 0 0 (注1) 0 (注1) 0 (注1) 0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0: パワーオンリセット未検出 1: パワーオンリセット検出	R/(W) (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0: 電圧監視0リセット未検出 1: 電圧監視0リセット検出	R/(W) (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0: 電圧監視1リセット未検出 1: 電圧監視1リセット検出	R/(W) (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0: 電圧監視2リセット未検出 1: 電圧監視2リセット検出	R/(W) (注2)
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ	0: 割り込みによるディープソフトウェアスタンバイモード解除要求の発生なし 1: 割り込みによるディープソフトウェアスタンバイモード解除要求の発生あり	R/(W) (注2)

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1"になる条件]

- パワーオンリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD0RF フラグ (電圧監視 0 リセット検出フラグ)

VCC 電圧が Vdet0 レベル以下になり、電圧監視 0 リセットが発生したことを示します。

["1" になる条件]

- 電圧監視 0 リセットが発生したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

LVD1RF フラグ (電圧監視 1 リセット検出フラグ)

VCC 電圧が Vdet1 レベル以下になり、電圧監視 1 リセットが発生したことを示します。

["1" になる条件]

- 電圧監視 1 リセットが発生したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

LVD2RF フラグ (電圧監視 2 リセット検出フラグ)

VCC 電圧が Vdet2 レベル以下になり、電圧監視 2 リセットが発生したことを示します。

["1" になる条件]

- 電圧監視 2 リセットが発生したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

DPSRSTF フラグ (ディープソフトウェアスタンバイリセットフラグ)

割り込みによるディープソフトウェアスタンバイモードの解除にともなって、内部リセット (ディープソフトウェアスタンバイリセット) が発生したことを示します。

["1" になる条件]

- 割り込みによってディープソフトウェアスタンバイモードを解除したとき
詳細は、「11. 消費電力低減機能」を参照してください。

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス 0008 C291h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0 : コールドスタート 1 : ウォームスタート	R/(W) (注2)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. リセット後の値は、リセット要因で異なります。
注2. フラグをセットするための“1”書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かを判定するレジスタです。

CWSF フラグ (コールドスタート / ウォームスタート判別フラグ)

コールドスタートかウォームスタートかを示します。

CWSF フラグは、パワーオンリセットで初期化されます。RES# 端子リセットでは初期化されません。

[“1”になる条件]

- プログラムで“1”を書いたとき。“0”を書いても変化しません。

[“0”になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SWRF	WDTRF	IWDTRF

リセット後の値 0 0 0 0 0 0(注1) 0(注1) 0(注1)

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R(W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R(W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R(W) (注2)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

["1"になる条件]

- ソフトウェアリセットを行なったとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	ソフトウェアリセットビット	“A501h”を書くとMCUがリセットされます。読むと“0000h”が読めます	R/W

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「56. 電氣的特性」を参照してください。

6.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。また、RES# 端子を High にした状態で電源が低下した場合 (VCC が VPOR 以下になった場合) もパワーオンリセットは発生します。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、電源が安定し、かつ MCU が安定して動作するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが“1”になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が“0” (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが“1”になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを“0”にしてください。VCC が Vdet0 を超えると、電圧監視 0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。Vdet0 の電圧検出レベルは、オプション機能選択レジスタ 1 (OFS1) の VDSEL[1:0] ビットの設定により変更できます。

図 6.1 にパワーオンリセットおよび電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、「8. 電圧検出回路 (LVDA)」を参照してください。

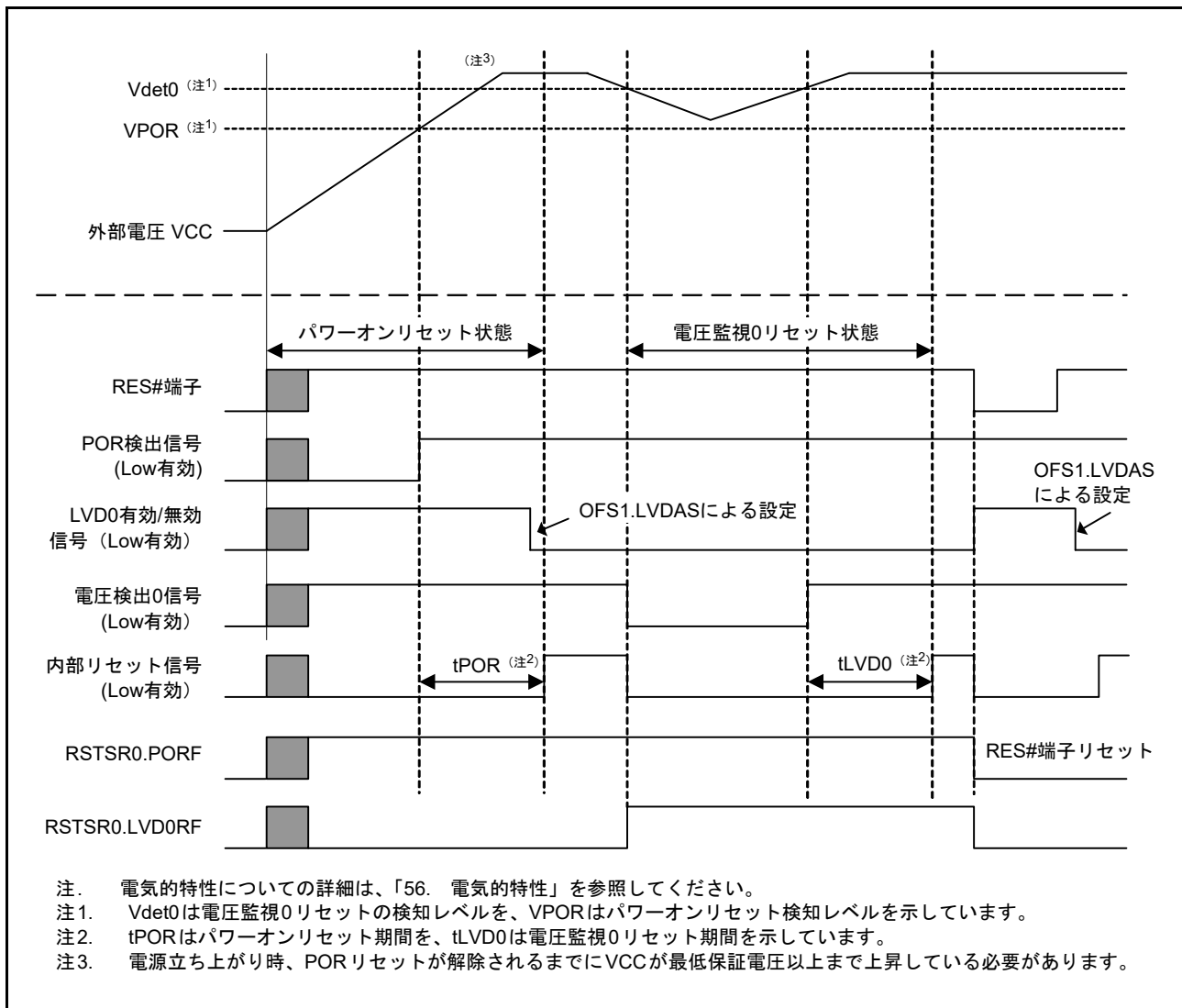


図 6.1 パワーオンリセット、電圧監視 0 リセット動作例

6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み / リセット許可ビット (LVD1RIE) が “1” (電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が Vdet1 以下になると、RSTSR0.LVD1RF フラグが “1” になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み / リセット許可ビット (LVD2RIE) が “1” (電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が Vdet2 以下になると、RSTSR0.LVD2RF フラグが “1” になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが “0” のとき、VCC が Vdet1 以下になり、その後 Vdet1 を超えてから電圧監視 1 リセット時間 (tLVD1) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが “1” のとき、VCC が Vdet1 以下になってから

電圧監視 1 リセット時間 (t_{LVD1}) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

Vdet1 および Vdet2 の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセットおよび電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセットおよび電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDA)」を参照してください。

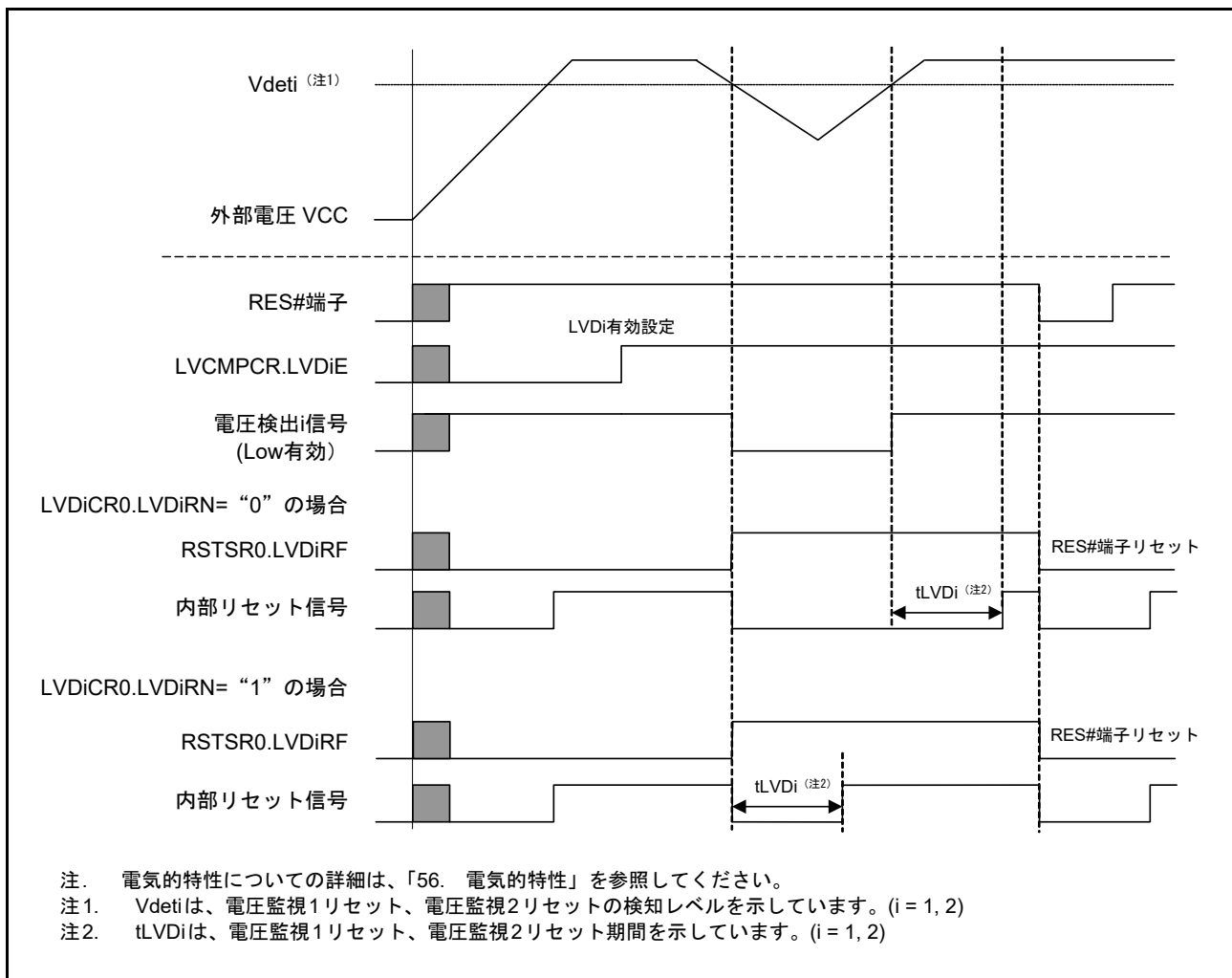


図 6.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードの解除要因が発生すると、ディープソフトウェアスタンバイリセットが発生します。その後、ディープソフトウェアスタンバイモード解除後復帰時間 (tDSBY) 経過後、ディープソフトウェアスタンバイリセットは解除され、ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイモードの解除後、ディープソフトウェアスタンバイモード解除後待機時間 (tDSBYWT) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、「11. 消費電力低減機能」を参照してください。

6.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「33. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

6.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「32. ウォッチドッグタイマ (WDTA)」を参照してください。

6.3.7 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRR レジスタに“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.8 コールドスタート/ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると“0” (コールドスタート) になります。その他のリセットを行っても“0” になりません。また、プログラムで“1” を書くと、“1” になります。“0” を書いても変化しません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

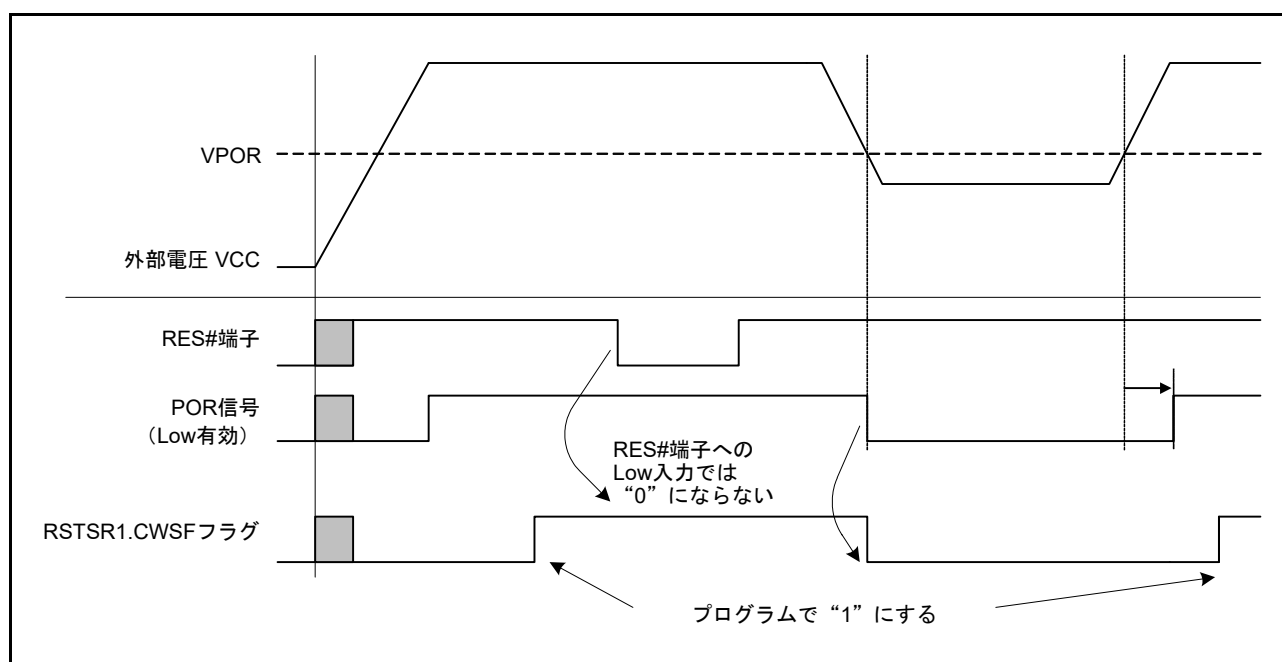


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

6.3.9 リセット発生要因の判定

RSTSR0レジスタとRSTSR2レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

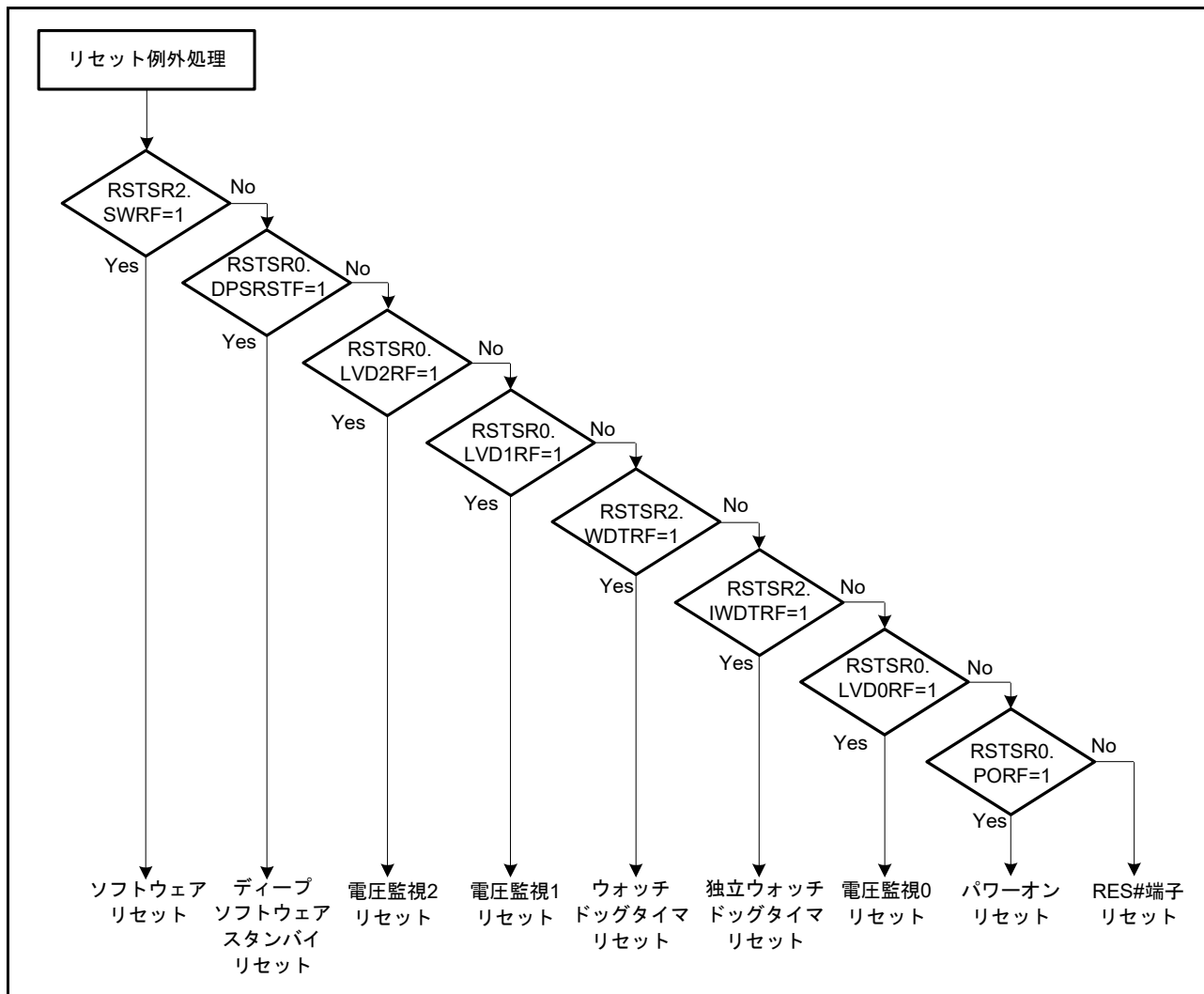


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ (OFSM)

7.1 概要

オプション設定メモリ (OFSM) は、以下に示すレジスタの総称です。

- シリアルプログラマコマンド制御レジスタ (SPCC)
- OCD/ シリアルプログラマ ID 設定レジスタ (OSIS)
- オプション機能選択レジスタ 0 (OFS0)
- オプション機能選択レジスタ 1 (OFS1)
- エンディアン選択レジスタ (MDE)
- TM イネーブルフラグレジスタ (TMEF)
- TM 識別データレジスタ (TMINF)
- バンク選択レジスタ (BANKSEL)
- フラッシュアクセスウィンドウ設定レジスタ (FAW)
- ROM コードプロテクトレジスタ (ROMCODE)

オプション設定メモリ (コンフィギュレーション設定領域) は、本 MCU のリセット後の状態を決定します。

オプション設定メモリへの値の設定方法は I/O レジスタとは異なります。詳細は、「7.5 オプション設定メモリの設定方法」を参照してください。

図 7.1 にオプション設定メモリを示します。



図 7.1 オプション設定メモリ

7.2 レジスタの説明

7.2.1 シリアルプログラマコマンド制御レジスタ (SPCC)

アドレス OFSM.SPCC FE7F 5D40h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	SPE	—	—	—	—	—	—	—	—	—	OCDE	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b16-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	OCDE	オンチップデバッグ接続許可ビット	0: リセット後、オンチップデバッグへの接続を禁止 1: リセット後、オンチップデバッグへの接続を許可	R
b26-b18	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b27	SPE	シリアルプログラマ接続許可ビット	0: リセット後、シリアルプログラマとの接続を禁止 1: リセット後、シリアルプログラマとの接続を許可	R
b31-b28	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

オンチップデバッグ接続、シリアルプログラマ接続の許可/禁止を設定します。

OCDE ビット (オンチップデバッグ接続許可ビット)

オンチップデバッグへの接続の許可/禁止を設定します。

このビットを“0”にしてMCUをリセットすると、以後、オンチップデバッグへの接続ができなくなります。

SPE ビット (シリアルプログラマ接続許可ビット)

シリアルプログラマとの接続の許可/禁止を設定します。

このビットを“0”にしてMCUをリセットすると、以後、シリアルプログラマと接続できなくなります。

7.2.2 OCD/ シリアルプログラマ ID 設定レジスタ (OSIS)

オンチップデバッガ ID コードプロテクト/シリアルプログラマ ID コードプロテクトに使用する制御コード、または ID コードを格納するレジスタです。

エミュレータ/シリアルプログラマから送られてくる制御コード、または ID コードと、本レジスタに格納された制御コード、または ID コードの一致を判定します。

判定結果が一致した場合はエミュレータ/シリアルプログラマとの接続を許可しますが、一致しなかった場合はエミュレータ/シリアルプログラマとの接続はできません。

ID コード 1/制御コード～ ID コード 16 のリセット後の値は、ブランク品では“FFh”です。値を設定した後は、設定した値になります。

アドレス	bit31			bit0
FE7F 5D50h ~ FE7F 5D53h	ID コード 4	ID コード 3	ID コード 2	ID コード 1 / 制御コード
FE7F 5D54h ~ FE7F 5D57h	ID コード 8	ID コード 7	ID コード 6	ID コード 5
FE7F 5D58h ~ FE7F 5D5Bh	ID コード 12	ID コード 11	ID コード 10	ID コード 9
FE7F 5D5Ch ~ FE7F 5D5Fh	ID コード 16	ID コード 15	ID コード 14	ID コード 13

ID コード 1/ 制御コード～ ID コード 16

オンチップデバッガ ID コードプロテクト/シリアルプログラマ ID コードプロテクトに使用する制御コード、または ID コードを格納します。

ID コード 1 はシリアルプログラマと接続する場合は制御コード、エミュレータと接続する場合は ID コードとなります。

制御コードの詳細は「7.4 オプション設定メモリの設定値とリード/プログラム/イレーズ動作」を参照してください。

7.2.3 オプション機能選択レジスタ 0 (OFS0)

アドレス OFSM.OFS0 FE7F 5D04h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	WDTRS TIRQS	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]			WDTST RT	—		

リセット後の値

ユーザの設定値(注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTSLCSTP	—	IWDRSTIRQS	IWDRPSS[1:0]	IWDRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]			IWDTST TRT	—		

リセット後の値

ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0：リセット後、IWDTはオートスタートモードにて自動的に起動 1：リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0：1024サイクル(03FFh) 0 1：4096サイクル(0FFFh) 1 0：8192サイクル(1FFFh) 1 1：16384サイクル(3FFFh)	R
b7-b4	IWDTCKS[3:0]	IWDT専用クロック分周比選択ビット	b7 b4 0 0 0 0：分周なし 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください	R
b9-b8	IWDRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R
b12	IWDRSTIRQS	IWDTリセット割り込み要求選択ビット	0：ノンマスクブル割り込み要求、または割り込み要求を許可 1：リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止有効	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	WDTSTRT	WDTスタートモード選択ビット	0：リセット後、WDTはオートスタートモードにて自動的に起動 1：リセット後、WDTは停止状態	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDT タイムアウト期間選択ビット	b19 b18 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)	R
b23-b20	WDTCKS[3:0]	WDT クロック分周比選択ビット	b23 b20 0 0 0 1 : 4 分周 0 1 0 0 : 64 分周 1 1 1 1 : 128 分周 0 1 1 0 : 512 分周 0 1 1 1 : 2048 分周 1 0 0 0 : 8192 分周 上記以外は設定しないでください	R
b25-b24	WDRPES[1:0]	WDT ウィンドウ終了位置選択ビット	b25 b24 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDRPSS[1:0]	WDT ウィンドウ開始位置選択ビット	b27 b26 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b28	WDRSTIRQS	WDT リセット割り込み要求選択ビット	0 : ノンマスクブル割り込み要求、または割り込み要求を許可 1 : リセットを許可	R
b31-b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後の IWDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、IWDT の設定は、OFS0 レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDT 専用クロック数) は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「33. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択ビット)

IWDT 専用クロックを分周するプリスケアラの分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDT 専用クロックの 1024 ~ 4194304 クロックの間で設定できます。

詳細は「33. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDRPSS[1:0]、IWDRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、

IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「33. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「33. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求、または割り込み要求のいずれかが選択できます。

詳細は「33. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止を選択します。

詳細は「33. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択ビット)

リセット後の WDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0] ビット (WDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLKB) は、WDTCKS[3:0]、WDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「32. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTCKS[3:0] ビット (WDT クロック分周比選択ビット)

PCLKB を分周するプリスケアラの分周比設定を 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択します。WDTTOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB の 4096 ~ 134217728 クロックの間で設定できます。

詳細は「32. ウォッチドッグタイマ (WDTA)」を参照してください。

WDRPES[1:0] ビット (WDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDRPSS[1:0] ビット、WDRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、WDTTOPS[1:0] ビットの設定により変わります。

詳細は「32. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「32. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRSTIRQS ビット (WDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求、または割り込み要求のいずれかが選択できます。

詳細は「32. ウォッチドッグタイマ (WDTA)」を参照してください。

7.2.4 オプション機能選択レジスタ 1 (OFS1)

アドレス OFSM.OFS1 FE7F 5D08h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HOCO EN	—	—	—	—	—	LVDAS	VDSEL[1:0]	—
リセット後の値 ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出0レベル選択ビット	b1 b0 0 0: 予約 0 1: 2.94Vを選択 1 0: 2.87Vを選択 1 1: 2.80Vを選択	R
b2	LVDAS	電圧検出0回路起動ビット	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R
b7-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b8	HOCOEN	HOCO発振有効ビット	0: リセット後、HOCO発振が有効 1: リセット後、HOCO発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

VDSEL[1:0] ビット (電圧検出 0 レベル選択ビット)

電圧検出 0 回路の電圧検出レベルを選択します。

LVDAS ビット (電圧検出 0 回路起動ビット)

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

HOCOEN ビット (HOCO 発振有効ビット)

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。

HOCOEN ビットを“0”にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを“0”にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット (SCKCR3.CKSEL[2:0]) を書き換えることにより、切り替わります。

7.2.5 エンディアン選択レジスタ (MDE)

アドレス OFSM.MDE FE7F 5D00h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	BANKMD[2:0]		—	MDE[2:0]			
リセット後の値 ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0 : ビッグエンディアン 1 1 1 : リトルエンディアン 上記以外は設定しないでください	R
b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b6-b4	BANKMD[2:0]	バンクモード選択ビット	b6 b4 0 0 0 : デュアルモード 1 1 1 : リニアモード 上記以外は設定しないでください	R
b31-b7	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

MDE レジスタは、CPU のエンディアンを選択するレジスタです。また、コードフラッシュメモリのデュアルバンク機能のバンクモードを選択できます。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン/ビッグエンディアンを選択します。

BANKMD[2:0] ビット (バンクモード選択ビット)

コードフラッシュメモリのデュアルバンク機能のバンクモードを選択できます。TM 機能有効時、本ビットは書き換えできません。本ビットの値を設定するときは TM 機能を無効にした状態で行ってください。

7.2.6 TM イネーブルフラグレジスタ (TMEF)

アドレス OFSM.TMEF FE7F 5D48h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	TMEFDB[2:0]			—	TMEF[2:0]			—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b26-b24	TMEF[2:0]	TM イネーブルビット	b26 b24 0 0 0: コードフラッシュメモリのブロック 8、9 の TM 機能有効 1 1 1: コードフラッシュメモリのブロック 8、9 の TM 機能無効 上記以外は設定しないでください	R
b27	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b30-b28	TMEFDB[2:0]	デュアルバンク TM イネーブルビット	b30 b28 0 0 0: デュアルモード時、コードフラッシュメモリのブロック 46、47 の TM 機能有効 1 1 1: デュアルモード時、コードフラッシュメモリのブロック 46、47 の TM 機能無効 上記以外は設定しないでください	R
b31	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

TMEF レジスタは、コードフラッシュメモリに対する TM 機能を有効にすることができます。

TM 機能を有効にする場合は、「55.15.23 コンフィギュレーションプログラムコマンド」を参照してください。TM 機能が有効な状態で TMEF[2:0] ビット、または TMEFDB[2:0] ビットを書き換えた場合、書き換えは無視されます。TM 機能を無効にする場合は、「55.15.21 コンフィギュレーションクリアコマンド」を参照してください。

TMEF[2:0] ビット (TM イネーブルビット)

コードフラッシュメモリに対する TM 機能の有効/無効を選択します。デュアルモード時に、TMEF[2:0] を有効 (“000b”) にする場合は、TMEFDB[2:0] ビットも有効 (“000b”) にしてください。

TMEFDB[2:0] ビット (デュアルバンク TM イネーブルビット)

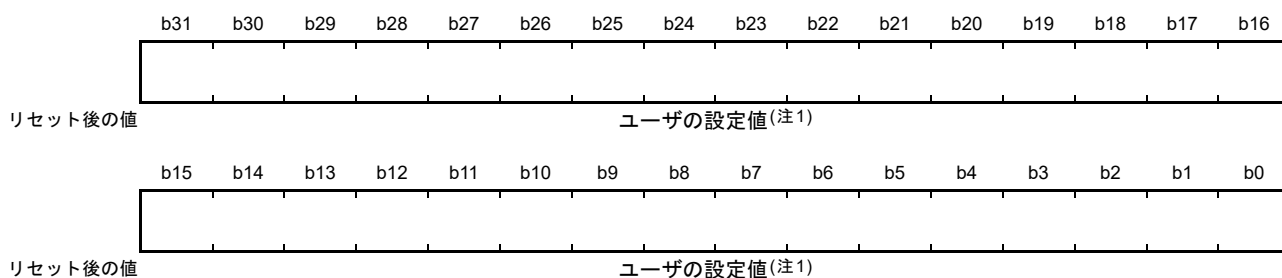
デュアルモード時のコードフラッシュメモリに対する TM 機能の有効/無効を選択できます。

TMEFDB[2:0] ビットを有効 (“000b”) にする際は、TMEF[2:0] ビットも有効 (“000b”) にしてください。

リニアモードで使用する場合は無効 (“111b”) を設定してください。

7.2.7 TM 識別データレジスタ (TMINF)

アドレス OFSM.TMINF FE7F 5D10h



注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

ユーザが任意の 32 ビットデータを格納できる領域です。

TM 対象領域に格納しているプログラムを識別できるコード格納などにご使用いただけます。

TM 機能が有効な場合、シリアルプログラミングによって TMINF レジスタを書き換えても、TMINF レジスタの書き換えは無視されます。TMINF レジスタの内容をイレーズする場合は、「55.15.21 コンフィギュレーションクリアコマンド」を参照してください。

7.2.8 バンク選択レジスタ (BANKSEL)

アドレス OFSM.BANKSEL FE7F 5D20h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BANKSWP[2:0]	起動バンク切り替えビット	b2 b0 0 0 0: バンク1のアドレスをFFF0 0000h番地~FFFF FFFFh番地、バンク0のアドレスをFFE0 0000h番地~FFEF FFFFh番地とする 1 1 1: バンク1のアドレスをFFE0 0000h番地~FFEF FFFFh番地、バンク0のアドレスをFFF0 0000h番地~FFFF FFFFh番地とする 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

BANKSEL レジスタは、コードフラッシュメモリがデュアルモードのときにプログラムの起動バンクを選択するレジスタです。

BANKSWP[2:0] ビット (起動バンク切り替えビット)

コードフラッシュメモリがデュアルモードのとき、コードフラッシュメモリのバンク0、バンク1のアドレスを選択します。

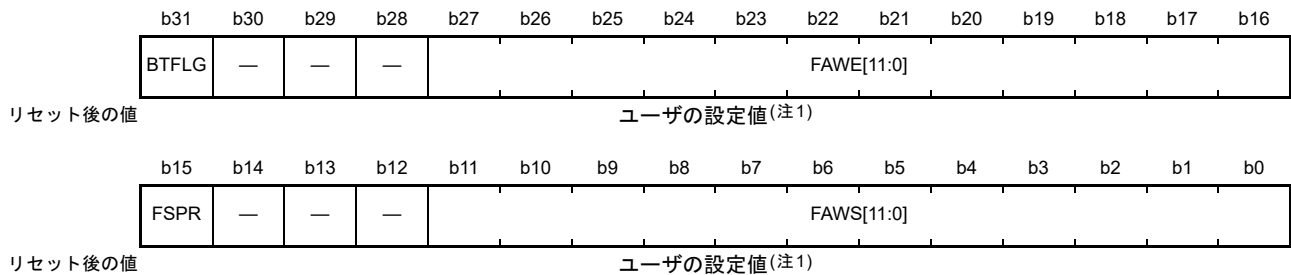
バンク0、バンク1のアドレスを選択することによって、起動するプログラムを選択できます。

リニアモードのときは本ビットの設定は無効です。

起動バンク選択機能の詳細は「55.10.5.2 起動バンク選択機能」を参照してください。

7.2.9 フラッシュアクセスウィンドウ設定レジスタ (FAW)

アドレス OFSM.FAW FE7F 5D64h



ビット	シンボル	ビット名	機能	R/W
b11-b0	FAWS[11:0]	フラッシュアクセスウィンドウスタートアドレスビット(注2)	フラッシュアクセスウィンドウスタートアドレス	R
b14-b12	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b15	FSPR	アクセスウィンドウプロテクトビット	0: プロテクションあり 1: プロテクションなし	R
b27-b16	FAWE[11:0]	フラッシュアクセスウィンドウエンドアドレスビット(注2)	フラッシュアクセスウィンドウエンドアドレス	R
b30-b28	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b31	BTFLG	スタートアップ領域選択ビット	0: スタートアップ領域としてFFFF C000h番地~FFFF DFFFh番地を使用 1: スタートアップ領域としてFFFF E000h番地~FFFF FFFFh番地を使用	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

注2. FAWS[11:0]ビット≤FAWE[11:0]ビットになるように設定してください。なお、FAWS[11:0]ビット=FAWE[11:0]ビットにした場合、コードフラッシュメモリのユーザ領域すべてがプログラム/イレーズ可能になります。

FAW レジスタは、フラッシュアクセスウィンドウスタートアドレス、フラッシュアクセスウィンドウエンドアドレス、アクセスウィンドウを設定するための書き込みプロテクションビットとスタートアップ領域選択ビットを設定するためのレジスタです。

FAWS[11:0] ビット (フラッシュアクセスウィンドウスタートアドレスビット)

FAWS[11:0] ビットは、アクセスウィンドウ開始アドレスを指定するビットです。

アクセスウィンドウはブロック単位で設定可能です。

FAWS[10:0] ビットには、アクセスウィンドウの先頭アドレス (アクセスウィンドウ開始アドレス) の b23 ~ b13 を設定します。FAWS[11] ビットには“0”を設定してください。

FSPR ビット (アクセスウィンドウプロテクトビット)

FSPR ビットを“0”に設定すると、以下の動作をプロテクトします。

- FAW レジスタを含む領域を設定すること。
- ブートモード時にコンフィギュレーションプログラムコマンドで FAW レジスタを含む領域を設定すること。
- ブートモード時にコンフィギュレーションクリアコマンドでオプション設定メモリをイレーズすること。
- FSUACR レジスタでスタートアップ領域保護機能の設定を変更すること。

- ブートモード時、制御コードを“45h”に設定している状態で3回連続して判定結果が一致ではなかった場合に、フラッシュメモリの全てを消去すること。

FSPR ビットは、いったん“0”に設定すると“1”に戻すことができません。このため、アクセスウィンドウ、スタートアップ領域保護機能の再設定、およびTM機能を有効から無効に変更することが二度とできなくなります。FSPR ビットの取り扱いには十分にご注意ください。

FAWE[11:0] ビット (フラッシュアクセスウィンドウエンドアドレスビット)

FAWE[11:0] ビットは、アクセスウィンドウ終了アドレスを指定するビットです。

アクセスウィンドウはブロック単位で設定可能です。

FAWE[10:0] ビットには、アクセスウィンドウの最終アドレスの次のアドレス(アクセスウィンドウ終了アドレス)のb23～b13を設定します。FAWE[11] ビットには“0”を設定してください。なお、アクセスウィンドウの最終アドレスが“FFFF FFFFh”の場合は、FAWE[11:0] ビットに“800h”を設定してください。

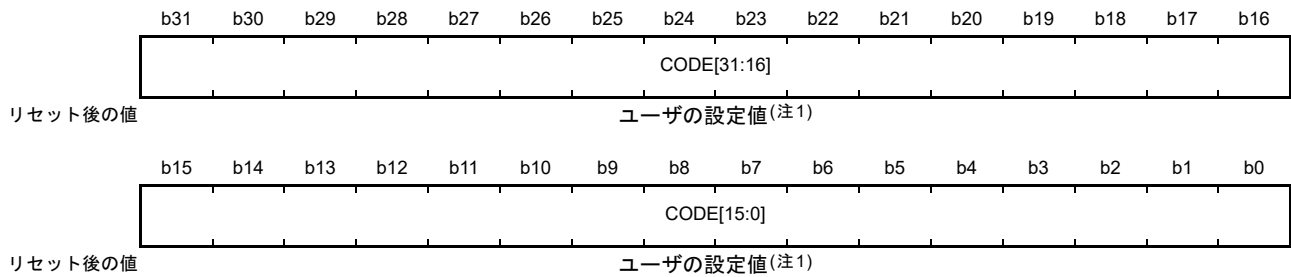
BTFLG ビット (スタートアップ領域選択ビット)

スタートアップ領域選択ビットは、スタートアッププログラム保護機能を用いてスタートアップ領域を入れ替えるか否かを設定します。デュアルモード時(MDE.BANKMD[2:0]=000b)は、本ビットに“1”をプログラムしてください。

詳細は「55.10.3 スタートアッププログラム保護機能」を参照してください。

7.2.10 ROM コードプロテクトレジスタ (ROMCODE)

アドレス OFSM.ROMCODE FE7F 5D70h



ビット	シンボル	ビット名	機能	R/W
b31-b0	CODE[31:0]	ROMコードビット	0000 0000h : ROMコードプロテクト有効 (ROMコードプロテクト1) 0000 0001h : ROMコードプロテクト有効 (ROMコードプロテクト2) 上記以外 : ROMコードプロテクト無効	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

ROM コードプロテクトレジスタは、オフボードプログラミングでパラレルプログラマを使用する場合にフラッシュメモリのリード、プログラム、イレーズを禁止するために使用します。

フラッシュメモリ上のROMコードは、32ビット長のデータです。

表 7.1 に ROM コードプロテクト仕様を示します。

ROM コードプロテクトを解除する場合、セルフプログラミングのコンフィギュレーション設定コマンドを使用してROMコードにROMコードプロテクト無効 (“FFFF FFFFh”) を書き込んでください。もしくは、ブートモードのコンフィギュレーションプログラムコマンドでROMコードプロテクト無効 (“FFFF FFFFh”) を書き込むか、または、コンフィギュレーションクリアコマンドでROMコードをイレーズしてください。ユーザが任意の32ビットデータを格納できる領域です。

表 7.1 ROMコードプロテクト仕様

ROMコード	プロテクト状態	パラレルプログラマ接続時の動作
0000 0000h	ROMコードプロテクト有効 (ROMコードプロテクト1)	コードフラッシュメモリのリード、プログラム、イレーズを禁止する
0000 0001h	ROMコードプロテクト有効 (ROMコードプロテクト2)	コードフラッシュメモリのリードを禁止する
上記以外	ROMコードプロテクト無効	コードフラッシュメモリのリード、プログラム、イレーズを許可する

7.3 各動作モードにおけるオプション設定メモリのプログラム/イレーズ動作

表 7.2 に動作モードによるオプション設定メモリのプログラム/イレーズ動作を示します。

表7.2 動作モードによるオプション設定メモリのプログラム/イレーズ動作

オプション設定メモリ	ROMCODE 設定値	ブートモード (SCIインタフェース、 USBインタフェース、 FINEインタフェース)		セルフプログラミング		パラレルプログラマ	
		プログラム	イレーズ	プログラム	イレーズ	プログラム	イレーズ
ROMCODEレジスタ	0000 0000h	○(注1)	○(注1)	○(注2)	×	×	×
	0000 0001h	○(注1)	○(注1)	○(注2)	×	×(注3)	○ (注4、注5)
	上記以外	○(注1)	○(注1)	○(注2)	×	○(注4)	○(注4)
SPCCレジスタ、OSISレジスタ、 MDEレジスタ、 OFS0レジスタ、OFS1レジスタ、 TMEFレジスタ、TMINFレジスタ、 BANKSELレジスタ、 FAWレジスタ	0000 0000h	○(注1)	○(注1)	○(注2)	×	×	×
	0000 0001h	○(注1)	○(注1)	○(注2)	×	○(注4)	○ (注4、注5)
	上記以外	○(注1)	○(注1)	○(注2)	×	○(注4)	○(注4)

○：可能

×：不可能

- 注1. ブートモード(SCIインタフェース、USBインタフェース、FINEインタフェース)用のコマンドを使用してプログラム/イレーズを行います。詳細は「55.11 ブートモード」を参照してください。
- 注2. コンフィギュレーション設定コマンドを使用してプログラムを行います。コンフィギュレーション設定コマンドの使用方法は「55.8.3.14 コンフィギュレーション設定コマンド」を参照してください。
- 注3. ROMコードプロテクトを設定するとROMコードの書き込みはできません。
- 注4. パラレルプログラマによりプログラム/イレーズを行います。詳細は使用しているパラレルプログラマのマニュアルを参照してください。
- 注5. コードフラッシュメモリがブランクの場合、消去できます。

7.4 オプション設定メモリの設定値とリード/プログラム/イレーズ動作

表 7.3 にシリアルプログラマ接続時のオプション設定メモリの設定値とリード/プログラム/イレーズ動作の許可/禁止状態を示します。

表 7.4 に OCD 接続時のオプション設定メモリの設定値と ID コード判定動作を示します。

表 7.3 シリアルプログラマ接続時のオプション設定メモリの設定値とリード/プログラム/イレーズ動作

No.	SPCC.SPE	OSIS (制御コード)	OSIS (IDコード2~16)	シリアルプログラマ接続動作	シリアルプログラマ接続後のリード/プログラム/イレーズ動作
1	0	任意	任意	接続禁止	—
2	1	45h	任意	制御コード、およびIDコード一致： コマンド待ちフェーズへ遷移 制御コード、およびIDコード不一致： 再度シリアルプログラミングIDコード チェックコマンド待ち状態へ遷移。 ただし、3回連続して判定結果が一 致ではなかった場合、フラッシュメ モリを全て消去(注1)する	リード許可、プログラム許可、 イレーズ許可
3	1	45h 以外	任意	IDコード一致： コマンド待ちフェーズへ遷移 IDコード不一致： 再度シリアルプログラミングIDコー ドチェックコマンド待ち状態へ遷移	リード許可、プログラム許可、 イレーズ許可

注1. FAW.FSPR ビットが“0”の場合は消去しません。

表 7.4 OCD 接続時のオプション設定メモリの設定値と ID コード判定動作

No.	SPCC.SPE	SPCC.OCDE	OSIS (IDコード1)	OSIS (IDコード2~16)	OCD 接続動作
1	—	1	任意	任意	IDコード一致：OCD 接続を許可 IDコード不一致：IDコード入力待ち
2	—	0	—	—	OCD 接続を禁止(IDコードに依存しない)

7.5 オプション設定メモリの設定方法

7.5.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、図 7.1 で示すアドレスに配置してください。
以下にソースコード上で、オプション設定メモリの設定を記述する例を示します。

注. プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

シリアルプログラマコマンド制御レジスタ (SPCC) に“F7FFFFFFh”を設定する場合

```
.ORG 0FE7F5D40H  
.LWORD 0F7FFFFFFFH
```

OCD/シリアルプログラマ ID 設定レジスタ (OSIS) に以下の ID コードを設定する場合

```
ID コード 1/制御コード = FFh, ID コード 2 = 02h, ID コード 3 = 03h, ID コード 4 = 04h, ID コード 5 = 05h,  
ID コード 6 = 06h, ID コード 7 = 07h, ID コード 8 = 08h, ID コード 9 = 09h, ID コード 10 = 0Ah,  
ID コード 11 = 0Bh, ID コード 12 = 0Ch, ID コード 13 = 0Dh, ID コード 14 = 0Eh, ID コード 15 = 0Fh,  
ID コード 16 = 10h  
.ORG 0FE7F5D50H  
.LWORD 040302FFH, 08070605H, 0C0B0A09H, 100F0E0DH
```

オプション機能選択レジスタ 0 (OFS0) に“EF67BA5Dh”を設定する場合

```
.ORG 0FE7F5D04H  
.LWORD 0EF67BA5DH
```

オプション機能選択レジスタ 1 (OFS1) に“FFFFFFEFAh”を設定する場合

```
.ORG 0FE7F5D08H  
.LWORD 0FFFFFFEFAH
```

エンディアン選択レジスタ (MDE) に“FFFFFFF8h”を設定する場合

```
.ORG 0FE7F5D00H  
.LWORD 0FFFFFFF8H
```

フラッシュアクセスウィンドウ設定レジスタ (FAW) に“F7FC77F9h”を設定する場合

```
.ORG 0FE7F5D64H  
.LWORD 0F7FC77F9H
```

7.6 使用上の注意事項

7.6.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットにプログラムする値は“1”としてください。“0”をプログラムすると正常動作できないことがあります。

8. 電圧検出回路 (LVDA)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 0 は、オプション機能選択レジスタ 1 (OFS1) で、検出電圧を 3 レベルから選択可能で、さらにリセット後、電圧監視 0 リセットの有効/無効が選択できます。

電圧検出 1、電圧検出 2 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を 3 レベルから選択できます。

電圧監視 0 リセット、電圧監視 1 リセット/割り込み、電圧監視 2 リセット/割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。図 8.1 に電圧検出回路のブロック図を、図 8.2 に電圧監視 1 割り込み/リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み/リセット発生回路のブロック図を示します。

表 8.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出電圧	OFS1.VDSEL[1:0] ビットで 3 レベルから選択可能	LVDLVLR.LVD1LVL[3:0] ビットで 3 レベルから選択可能	LVDLVLR.LVD2LVL[3:0] ビットで 3 レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD1MON フラグ : Vdet1 より高いか低いかをモニタ	LVD2SR.LVD2MON フラグ : Vdet2 より高いか低いかをモニタ
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		Vdet0 > VCC でリセット : VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット : VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット : VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスクابل割り込み、またはマスクابل割り込みを選択可能	ノンマスクابل割り込み、またはマスクابل割り込みを選択可能
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCO の n 分周 × 2 (n : 2, 4, 8, 16)	LOCO の n 分周 × 2 (n : 2, 4, 8, 16)
イベントリンク機能		なし	あり Vdet通過検出イベント出力	あり Vdet通過検出イベント出力

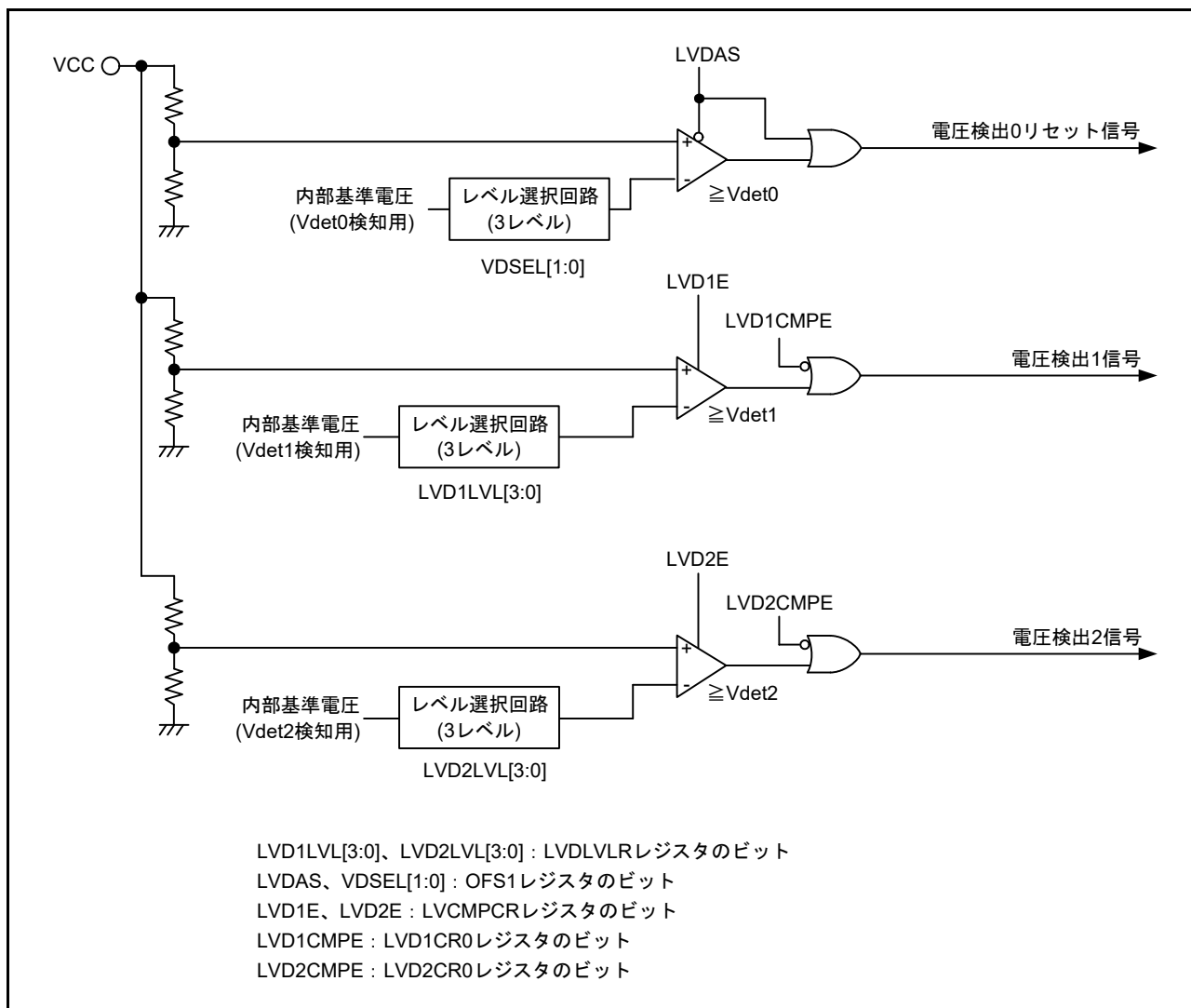


図 8.1 電圧検出回路ブロック図

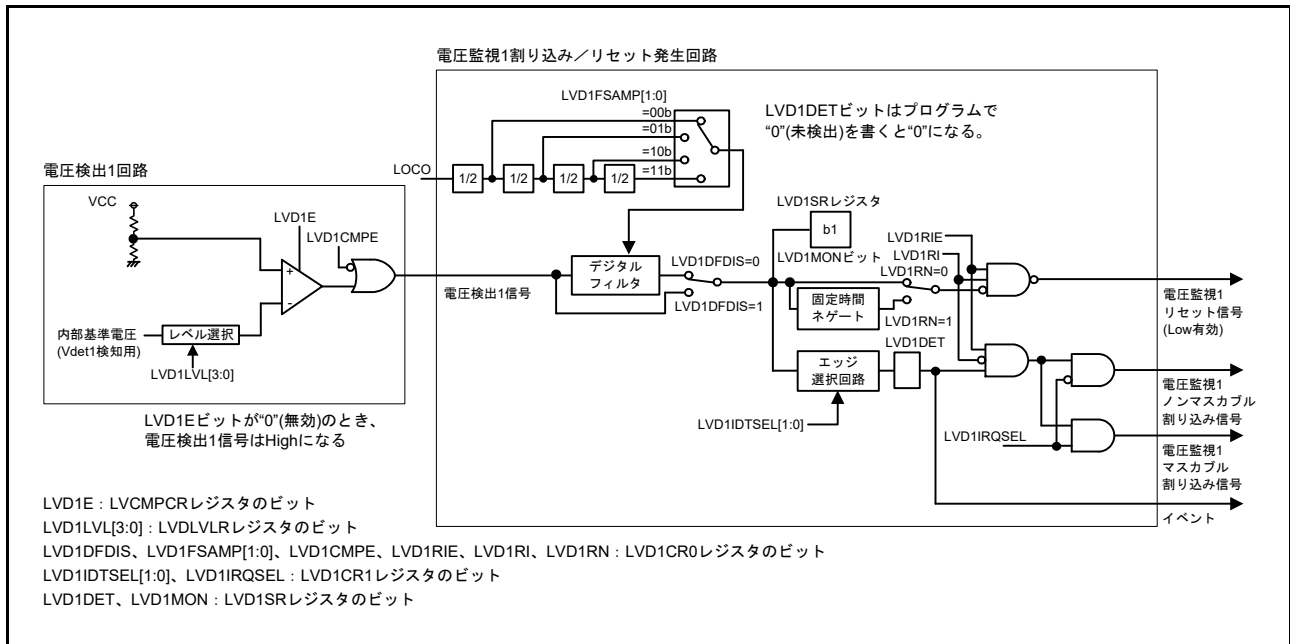


図 8.2 電圧監視 1 割り込み / リセット発生回路のブロック図

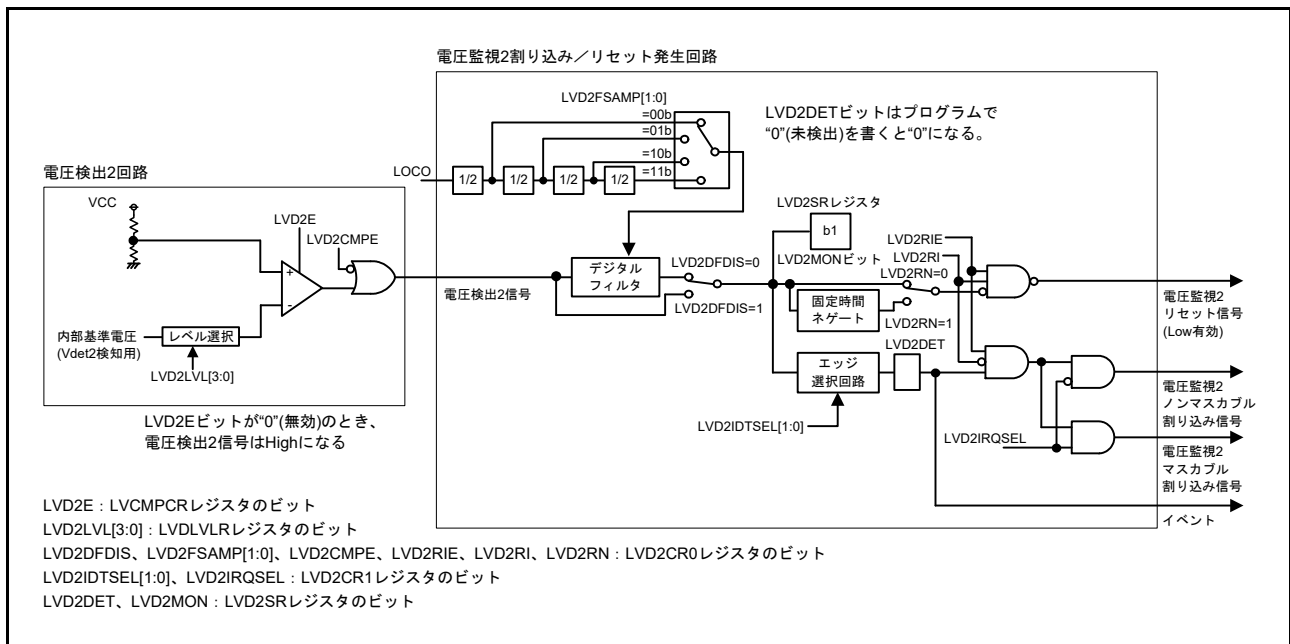


図 8.3 電圧監視 2 割り込み / リセット発生回路のブロック図

8.2 レジスタの説明

8.2.1 電圧監視 1 回路制御レジスタ 1 (LVD1CR1)

アドレス 0008 00E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD1IR QSEL	LVD1IDTSEL [1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL[1:0]	電圧監視 1 割り込み発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇)検出時 0 1 : VCC < Vdet1 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視 1 割り込み種類選択ビット	0 : ノンマスカブル割り込み 1 : マスカブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. マスカブル割り込みを設定する場合、ICU側にあるNMIER.LVD1ENビットをリセット状態から変更しないでください。

8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1M ON	LVD1D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視 1 電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	LVD1MON	電圧監視 1 信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または LVD1MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ (電圧監視 1 電圧変化検出フラグ)

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”(電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが“1”(電圧監視 1 回路比較結果出力許可)のとき有効になります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE ビットを“0”(禁止)にしてから行ってください。LVD1CR0.LVD1RIE ビットを“0”にした後、再度 LVD1CR0.LVD1RIE ビットを“1”(許可)にする場合は、PCLKB 2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB 2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ (電圧監視 1 信号モニタフラグ)

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”(電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが“1”(電圧監視 1 回路比較結果出力許可)のとき有効になります。

8.2.3 電圧監視 2 回路制御レジスタ 1 (LVD2CR1)

アドレス 0008 00E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	LVD2IR QSEL	LVD2IDTSEL [1:0]	
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL[1:0]	電圧監視 2 割り込み発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet2 (上昇)検出時 0 1 : VCC < Vdet2 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視 2 割り込み種類選択ビット	0 : ノンマスカブル割り込み 1 : マスカブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. マスカブル割り込みを設定する場合、ICU側にあるNMIER.LVD2ENビットをリセット状態から変更しないでください。

8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	LVD2M ON	LVD2D ET
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視 2 電圧変化検出フラグ	0 : 未検出 1 : Vdet2 通過検出	R/(W) (注1)
b1	LVD2MON	電圧監視 2 信号モニタフラグ	0 : VCC < Vdet2 1 : VCC ≥ Vdet2 または LVD2MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ (電圧監視 2 電圧変化検出フラグ)

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”(電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが“1”(電圧監視 2 回路比較結果出力許可)のとき有効になります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE ビットを“0”(禁止)にしてから行ってください。LVD2CR0.LVD2RIE ビットを“0”にした後、再度 LVD2CR0.LVD2RIE ビットを“1”(許可)にする場合は、PCLKB 2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB 2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ (電圧監視 2 信号モニタフラグ)

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”(電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが“1”(電圧監視 2 回路比較結果出力許可)のとき有効になります。

8.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス 0008 C297h

b7	b6	b5	b4	b3	b2	b1	b0
—	LVD2E	LVD1E	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット (注1)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット (注2)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. LVD1有効切り替え時のVCC = AVCC0 = AVCC1の電圧は、LVDLVLR.LVD1LVL[3:0]ビットで選択した電圧検出1レベルのmax値に対し、80mV以上加算したレベルにしてください。

注2. LVD2有効切り替え時のVCC = AVCC0 = AVCC1の電圧は、LVDLVLR.LVD2LVL[3:0]ビットで選択した電圧検出2レベルのmax値に対し、80mV以上加算したレベルにしてください。

LVD1E ビット (電圧検出1許可ビット)

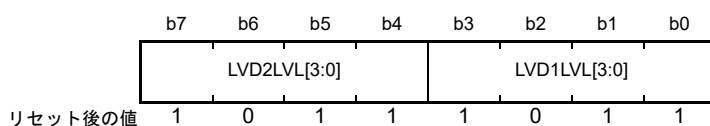
電圧検出1の割り込み/リセットを使用する場合、またはLVD1SR.LVD1MONフラグを使用する場合、LVD1Eビットを“1”にしてください。LVD1Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。また、ディープソフトウェアスタンバイモード時に電圧検出1回路を使用する場合、DPSBYCR.DEEPCUT[1:0]ビットを“11b”にしないでください。

LVD2E ビット (電圧検出2許可ビット)

電圧検出2の割り込み/リセットを使用する場合、またはLVD2SR.LVD2MONフラグを使用する場合、LVD2Eビットを“1”にしてください。LVD2Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。また、ディープソフトウェアスタンバイモード時に電圧検出2回路を使用する場合、DPSBYCR.DEEPCUT[1:0]ビットを“11b”にしないでください。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス 0008 C298h



ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b0 1 0 0 1 : 2.99V (Vdet1_1) 1 0 1 0 : 2.92V (Vdet1_2) 1 0 1 1 : 2.85V (Vdet1_3) 上記以外は設定しないでください	R/W
b7-b4	LVD2LVL[3:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	b7 b4 1 0 0 1 : 2.99V (Vdet2_1) 1 0 1 0 : 2.92V (Vdet2_2) 1 0 1 1 : 2.85V (Vdet2_3) 上記以外は設定しないでください	R/W

LVDLVLR レジスタは、LVCMPCR.LVD1E ビット、LVCMPCR.LVD2E ビットと共に“0”(電圧検出 n 回路無効) (n = 1, 2) の場合のみ変更可能です。また、電圧検出回路 1 と電圧検出回路 2 は、同じ電圧検出レベルに設定しないでください。

8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	LVD1FSAMP [1:0]	—	LVD1CMPE	LVD1DFDIS	LVD1RIE	
リセット後の値	1	0	0 0	0	x	0	1	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視 1 割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	LVD1DFDIS	電圧監視 1 デジタルフィルタ無効モード選択ビット	0 : デジタルフィルタ有効 1 : デジタルフィルタ無効	R/W
b2	LVD1CMPE	電圧監視 1 回路比較結果出力許可ビット	0 : 電圧監視 1 回路比較結果出力禁止 1 : 電圧監視 1 回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD1FSAMP [1:0]	サンプリングクロック選択ビット	b5 b4 0 0 : LOCO の 2 分周 0 1 : LOCO の 4 分周 1 0 : LOCO の 8 分周 1 1 : LOCO の 16 分周	R/W
b6	LVD1RI	電圧監視 1 回路モード選択ビット	0 : Vdet1 通過時に電圧監視 1 割り込み 1 : 下降して Vdet1 通過時に電圧監視 1 リセット	R/W
b7	LVD1RN	電圧監視 1 リセットネゲート選択ビット	0 : VCC > Vdet1 検出から一定時間(tLVD1)経過後にネゲート 1 : LVD1 リセットアサートから一定時間(tLVD1)経過後にネゲート	R/W

LVD1DFDIS ビット (電圧監視 1 デジタルフィルタ無効モード選択ビット)

LVD1DFDIS ビットを“0”(デジタルフィルタ回路有効)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。

電圧監視 1 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD1DFDIS ビットを“1”(デジタルフィルタ回路無効)にしてください。

LVD1FSAMP[1:0] ビット (サンプリングクロック選択ビット)

LVD1FSAMP[1:0] ビットは、LVD1DFDIS ビットが“1”(デジタルフィルタ回路無効)のときのみ書き換え可能です。LVD1DFDIS ビットが“0”(デジタルフィルタ回路有効)のときには、LVD1FSAMP[1:0] ビットを書き換えないでください。

LVD1RI ビット (電圧監視 1 回路モード選択ビット)

LVD1RI ビットが“1”(電圧監視 1 リセット選択)、または LVD2CR0.LVD2RI ビットが“1”(電圧監視 2 リセット選択)の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD1RI ビットを“0”(電圧監視 1 割り込み選択)、かつ LVD2CR0.LVD2RI ビットを“0”(電圧監視 2 割り込み選択)にしてください。

LVD1RN ビット (電圧監視 1 リセットネゲート選択ビット)

LVD1RN ビットを“1”(LVD1 リセットアサートから一定時間経過後にネゲート)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。また、ソフトウェアスタンバイモードあるい

はディープソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0” ($VCC > V_{det1}$ 検出から一定時間経過後にネゲート) にすることのみ可能です。LVD1RN ビットを“1” (LVD1 リセットアサートから一定時間経過後にネゲート) にしないでください。

8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0)

アドレス 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	LVD2FSAMP [1:0]	—	LVD2CMPE	LVD2DFDIS	LVD2RIE	
リセット後の値	1	0	0	0	x	0	1	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0: 禁止 1: 許可	R/W
b1	LVD2DFDIS	電圧監視2デジタルフィルタ無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0: 電圧監視2回路比較結果出力禁止 1: 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD2FSAMP [1:0]	サンプリングクロック選択ビット	b5 b4 0 0: LOCOの2分周 0 1: LOCOの4分周 1 0: LOCOの8分周 1 1: LOCOの16分周	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0: Vdet2通過時に電圧監視2割り込み 1: 下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0: $VCC > V_{det2}$ 検出から一定時間 (tLVD2) 経過後にネゲート 1: LVD2リセットアサートから一定時間 (tLVD2) 経過後にネゲート	R/W

LVD2DFDIS ビット (電圧監視 2 デジタルフィルタ無効モード選択ビット)

LVD2DFDIS ビットを“0” (デジタルフィルタ回路有効) にする場合は、LOCOCR.LCSTP ビットは“0” (LOCO 動作) にしてください。

電圧監視 2 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD2DFDIS ビットを“1” (デジタルフィルタ回路無効) にしてください。

LVD2FSAMP[1:0] ビット (サンプリングクロック選択ビット)

LVD2FSAMP[1:0] ビットは、LVD2DFDIS ビットが“1” (デジタルフィルタ回路無効) のときのみ書き換え可能です。LVD2DFDIS ビットが“0” (デジタルフィルタ回路有効) のときには、LVD2FSAMP[1:0] ビットを書き換えしないでください。

LVD2RI ビット (電圧監視 2 回路モード選択ビット)

LVD2RI ビットが“1” (電圧監視 2 リセット選択)、または LVD1CR0.LVD1RI ビットが“1” (電圧監視 1 リセット選択) の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD2RI ビットを“0” (電圧監視 2 割り込み選択)、かつ LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み選択)

にしてください。

LVD2RN ビット (電圧監視 2 リセットネゲート選択ビット)

LVD2RN ビットを“1”(LVD2 リセットアサートから一定時間経過後にネゲート)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0”(VCC > Vdet2 検出から一定時間経過後にネゲート)にすることのみ可能です。LVD2RN ビットを“1”(LVD2 リセットアサートから一定時間経過後にネゲート)にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

表 8.2 に Vdet1 のモニタの設定手順を示します。設定後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

表 8.2 Vdet1 のモニタの設定手順

手順	電圧監視 1 比較結果モニタ	
電圧検出 1 回路設定	1	LVDLVLRLVD1LVL[3:0] ビットで検出電圧を選択する
	2	LVCMPCLR.LVD1E = 1 (電圧検出 1 回路有効)にする
	3	td(E-A) : LVD 動作安定時間(LVD 有効切り替え時)以上待つ(注1)
デジタルフィルタ設定 (注2)	4	LVD1CR0.LVD1FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する
	5	LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする
	6	LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCO の n 分周)
出力許可設定	7	LVD1CR0.LVD1CMPE = 1 (電圧監視 1 回路比較結果出力許可)にする

注 1. 手順 3 の待ち時間中に手順 4～6 を行うことができます。td(E-A) の詳細は、「56. 電氣的特性」を参照してください。

注 2. デジタルフィルタを使用しない場合、手順 4～6 は不要です。

8.3.3 Vdet2 のモニタ

表 8.3 に Vdet2 のモニタの設定手順を示します。設定後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

表 8.3 Vdet2 のモニタの設定手順

手順	電圧監視 2 比較結果モニタ	
電圧検出 2 回路設定	1	LVDLVLRLVD2LVL[3:0] ビットで検出電圧を選択する
	2	LVCMPCLR.LVD2E = 1 (電圧検出 2 回路有効)にする
	3	td(E-A) : LVD 動作安定時間(LVD 有効切り替え時)以上待つ(注1)
デジタルフィルタ設定 (注2)	4	LVD2CR0.LVD2FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する
	5	LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効)にする
	6	LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCO の n 分周)
出力許可設定	7	LVD2CR0.LVD2CMPE = 1 (電圧監視 2 回路比較結果出力許可)にする

注 1. 手順 3 の待ち時間中に手順 4～6 を行うことができます。td(E-A) の詳細は、「56. 電氣的特性」を参照してください。

注 2. デジタルフィルタを使用しない場合、手順 4～6 は不要です。

8.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFS1.LVDAS ビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図 8.4 に電圧監視0リセット動作例を示します。

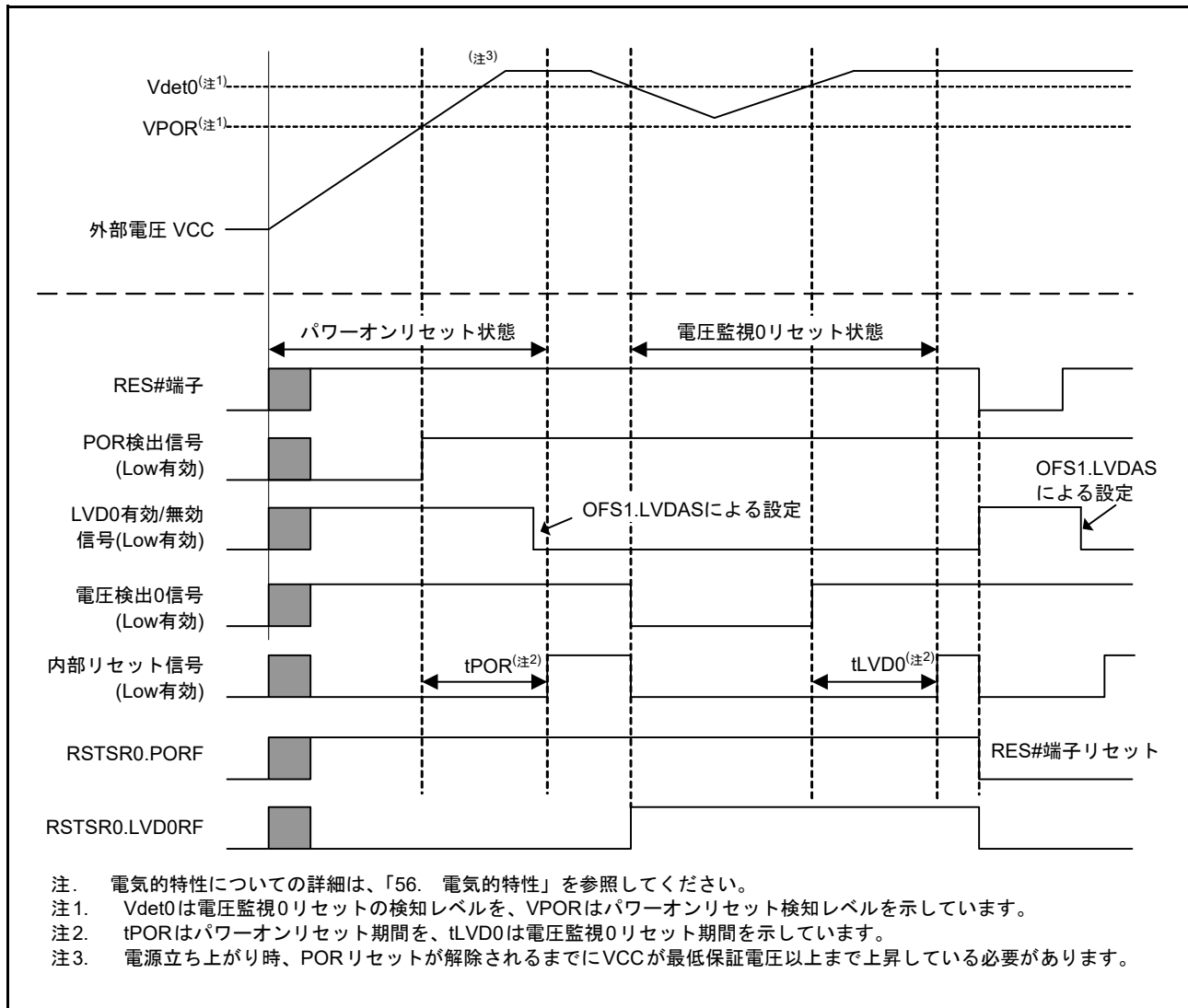


図 8.4 電圧監視0リセット動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧検出 1 回路での検出結果により、割り込みやリセットを発生させることができます。

表 8.4 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、表 8.5 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、図 8.5 に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に電圧検出 1 回路を使用する場合は電圧検出 1 回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効(LVD1DFDIS = 1)に設定してください。
- 電圧監視1リセットをVCC > Vdet1検出から一定時間経過後にネゲートする設定(LVD1RN = 0)にしてください。

(2) ディープソフトウェアスタンバイモード使用時の設定

- デジタルフィルタを無効(LVD1DFDIS = 1)に設定してください。
- 電圧監視 1 割り込み (LVD1RI = 0) に設定してください。
電圧監視 1 リセットに設定 (LVD1RI = 1) されている場合はディープソフトウェアスタンバイモードへは遷移せず、ソフトウェアスタンバイモードに遷移します。
- DPSBYCR.DEEPCUT[1:0] ビットが“11b”の時には、電圧監視 1 回路が停止します。
ディープソフトウェアスタンバイモード時に電圧監視 1 割り込みを使用する場合は、DPSBYCR.DEEPCUT[1:0] ビットを“11b”以外に設定してください。

表 8.4 電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順

手順	電圧監視1割り込み (電圧監視1ELCイベント出力)	電圧監視1リセット
電圧検出1回路設定	1	LVDLVL.R.LVD1LVL[3:0]ビットで検出電圧を選択する
	2	LVCMP.R.LVD1E = 1 (電圧検出1回路有効)にする(注4)
	3	td(E-A) : LVD動作安定時間(LVD有効切り替え時)以上待つ(注1)
デジタルフィルタ設定 (注2)	4	LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	5	LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする
	6	LOCOの2n+3サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCOのn分周)
電圧監視1割り込み/ リセット設定	7	LVD1CR0.LVD1RI = 0 (電圧監視1割り込み)にする <ul style="list-style-type: none"> LVD1CR0.LVD1RI = 1 (電圧監視1リセット)にする LVD1CR0.LVD1RNビットでリセットネゲートの種類を選択する
	8	<ul style="list-style-type: none"> LVD1CR1.LVD1IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する LVD1CR1.LVD1IRQSELビットで割り込みの種類を選択する
出力許可設定	9	LVD1SR.LVD1DET = 0にする
	10	LVD1CR0.LVD1RIE = 1 (電圧監視1割り込み/リセット許可)にする(注3)
	11	LVD1CR0.LVD1CMPE = 1 (電圧監視1回路比較結果出力許可)にする

注1. 手順3の待ち時間中に手順4～10を行うことができます。td(E-A)の詳細は、「56. 電気的特性」を参照してください。

注2. デジタルフィルタを使用しない場合、手順4～6は不要です。

注3. ELCイベント出力のみを出力させる場合、手順10は不要です。

注4. LVD1有効切り替え時のVCC = AVCC0 = AVCC1の電圧は、LVDLVL.R.LVD1LVL[3:0]ビットで選択した電圧検出1レベルのmax値に対し、80mV以上加算したレベルにしてください。

表 8.5 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力) / 電圧監視 1 リセット	
出力許可停止設定	1	LVD1CR0.LVD1CMPE = 0 (電圧監視 1 回路比較結果出力禁止)にする
	2	LOCO の 2n + 3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCO の n 分周)(注1)
	3	LVD1CR0.LVD1RIE = 0 (電圧監視 1 割り込み/リセット禁止)にする(注2)
デジタルフィルタ停止設定	4	LVD1CR0.LVD1DFDIS = 1 (デジタルフィルタ無効)にする(注1、注3)
電圧検出 1 回路停止設定	5	LVCMPCR.LVD1E = 0 (電圧検出 1 回路無効)にする

注1. デジタルフィルタを使用していない場合、手順2と手順4は不要です。

注2. ELC イベント出力のみを出力させる場合、手順3は不要です。

注3. デジタルフィルタを有効状態から無効にし、その後再度有効にする場合、無効にしてから LOCO の 2 サイクル以上待ってから有効にしてください。

電圧監視 1 割り込み、電圧監視 1 リセットを使用した後、一旦停止し、再度設定する場合は、条件によって停止手順と再設定時の設定手順を次のように省略することができます。

- 電圧検出 1 回路の設定を変更しない場合は電圧検出 1 回路設定と電圧検出 1 回路停止設定は不要です。
- デジタルフィルタの設定を変更しない場合はデジタルフィルタ設定とデジタルフィルタ停止設定は不要です。
- 電圧監視 1 割り込み、電圧監視 1 リセットの設定を変更しない場合は電圧監視 1 割り込み/リセット設定は不要です。

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧検出 2 回路での検出結果により、割り込みやリセットを発生させることができます。

表 8.6 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.7 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.6 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に電圧検出 2 回路を使用する場合は電圧検出 2 回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD2DFDIS = 1) に設定してください。
- 電圧監視 2 リセットを VCC > Vdet2 検出から一定時間経過後にネゲートする設定 (LVD2RN = 0) にしてください。

(2) ディープソフトウェアスタンバイモード使用時の設定

- デジタルフィルタを無効 (LVD2DFDIS = 1) に設定してください。
- 電圧監視 2 割り込み (LVD2RI = 0) に設定してください。
電圧監視 2 リセットに設定 (LVD2RI = 1) されている場合はディープソフトウェアスタンバイモードへは遷移せず、ソフトウェアスタンバイモードに遷移します。
- DPSBYCR.DEEPCUT[1:0] ビットが “11b” の時には、電圧監視 2 回路が停止します。
ディープソフトウェアスタンバイモード時に電圧監視 2 割り込みを使用する場合は、DPSBYCR.DEEPCUT[1:0] ビットを “11b” 以外に設定してください。

表 8.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)	電圧監視 2 リセット
電圧検出 2 回路設定	1	LVDLVL.R.LVD2LVL[3:0] ビットで検出電圧を選択する
	2	LVCMP.R.LVD2E = 1 (電圧検出 2 回路有効) にする (注 4)
	3	td(E-A) : LVD 動作安定時間 (LVD 有効切り替え時) 以上待つ (注 1)
デジタルフィルタ設定 (注 2)	4	LVD2CR0.LVD2FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する
	5	LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効) にする
	6	LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCO の n 分周)
電圧監視 2 割り込み/ リセット設定	7	LVD2CR0.LVD2RI = 0 (電圧監視 2 割り込み) にする <ul style="list-style-type: none"> LVD2CR0.LVD2RI = 1 (電圧監視 2 リセット) にする LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する
	8	<ul style="list-style-type: none"> LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を選択する
出力許可設定	9	LVD2SR.LVD2DET = 0 にする
	10	LVD2CR0.LVD2RIE = 1 (電圧監視 2 割り込み/リセット許可) にする (注 3)
	11	LVD2CR0.LVD2CMPE = 1 (電圧監視 2 回路比較結果出力許可) にする

注 1. 手順 3 の待ち時間中に手順 4 ~ 10 を行うことができます。td(E-A) の詳細は、「56. 電気的特性」を参照してください。

注 2. デジタルフィルタを使用しない場合、手順 4 ~ 6 は不要です。

注 3. ELC イベント出力のみを出力させる場合、手順 10 は不要です。

注 4. LVD2 有効切り替え時の VCC = AVCC0 = AVCC1 の電圧は、LVDLVL.R.LVD2LVL[3:0] ビットで選択した電圧検出 2 レベルの max 値に対し、80mV 以上加算したレベルにしてください。

表 8.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力) / 電圧監視 2 リセット	
出力許可停止設定	1	LVD2CR0.LVD2CMPE = 0 (電圧監視 2 回路比較結果出力禁止)にする
	2	LOCO の 2n + 3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCO の n 分周)(注1)
	3	LVD2CR0.LVD2RIE = 0 (電圧監視 2 割り込み/リセット禁止)にする(注2)
デジタルフィルタ停止設定	4	LVD2CR0.LVD2DFDIS = 1 (デジタルフィルタ無効)にする(注1、注3)
電圧検出 2 回路停止設定	5	LVCMPCLR.LVD2E = 0 (電圧検出 2 回路無効)にする

注1. デジタルフィルタを使用していない場合、手順 2 と手順 4 は不要です。

注2. ELC イベント出力のみを出力させる場合、手順 3 は不要です。

注3. デジタルフィルタを有効状態から無効にし、その後再度有効にする場合、無効にしてから LOCO の 2 サイクル以上待ってから有効にしてください。

電圧監視 2 割り込み、電圧監視 2 リセットを使用した後、一旦停止し、再度設定する場合は、条件によって停止手順と再設定時の設定手順を次のように省略することができます。

- 電圧検出 2 回路の設定を変更しない場合は電圧検出 2 回路設定と電圧検出 2 回路停止設定は不要です。
- デジタルフィルタの設定を変更しない場合はデジタルフィルタ設定とデジタルフィルタ停止設定は不要です。
- 電圧監視 2 割り込み、電圧監視 2 リセットの設定を変更しない場合は電圧監視 2 割り込み/リセット設定は不要です。

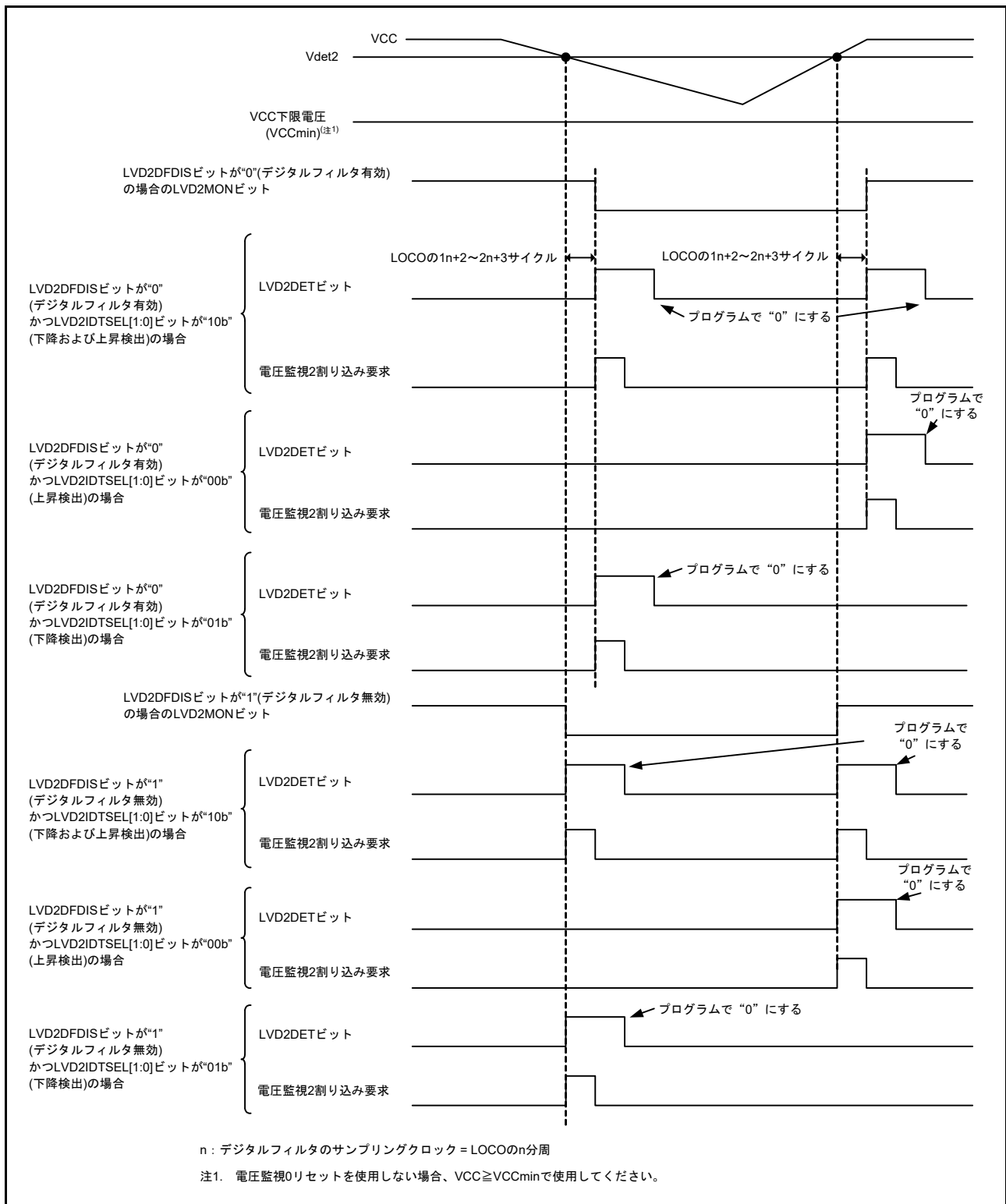


図 8.6 電圧監視 2 割り込み動作例

8.7 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して次のイベントリンク出力を行うことができます。

(1) Vdet1 通過検出イベントリンク出力

電圧検出 1 回路有効かつ電圧検出 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合にイベントを出力します。

(2) Vdet2 通過検出イベントリンク出力

電圧検出 2 回路有効かつ電圧検出 2 回路比較結果出力許可の状態において、Vdet2 通過を検出した場合にイベントを出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD の有効設定を行った後で、ELC 側の LVD イベントリンク機能を有効にしてください。また、LVD のイベントリンク出力機能を停止する場合は、LVD の停止設定を行う前に、ELC 側の LVD イベントリンク機能を無効にしてください。

8.7.1 割り込み処理とイベントリンクの関係

電圧検出回路には、電圧監視 1 割り込み、電圧監視 2 割り込みそれぞれに割り込み許可 / 禁止を制御する許可ビット (LVD1RIE, LVD2RIE) があります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

ソフトウェアスタンバイ中、ディープソフトウェアスタンバイ中の ELC 用のイベント信号出力は、以下のとおりです。

- ソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合、ソフトウェアスタンバイモード期間中はクロックが供給されていないため ELC 用のイベント信号は出力しません。ただし、Vdet1/Vdet2 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1/Vdet2 通過検出フラグにしたがって ELC 用のイベント信号が出力されます。
- ディープソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合は、ELC 用のイベント信号は出力されません。

9. クロック発生回路

9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表9.1 クロック発生回路の仕様 (1 / 2)

項目	仕様
用途	<ul style="list-style-type: none"> • CPU, DMAC, DTC, QSPIX, コードフラッシュメモリおよびRAMに供給されるシステムクロック (ICLK)の生成 • RSPI, RSPIA, SCIm, RSCI, MTU, RIICHSに供給される周辺モジュールクロック (PCLKA)の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKB)の生成 • S12ADに供給される周辺モジュール(アナログ変換用)クロック (ADCLK = PCLKC (ユニット0), PCLKD (ユニット1))の生成 • FlashIFに供給されるFlashIFクロック (FCLK)の生成 • 外部バスに供給される外部バスクロック (BCLK)の生成 • SDRAMに供給される外部バスクロック (SDCLK)の生成 • USBに供給されるUSBクロック (UCLK)の生成 • CACに供給されるCACクロック (CACCLK)の生成 • CANに供給されるCANクロック (CANMCLK)の生成 • RTCに供給されるRTCサブクロック (RTCSCCLK)の生成 • RTCに供給されるRTCメインクロック (RTCMCLK)の生成 • REMCに供給されるREMCサブクロック (REMSCLK)の生成 • VBATTに供給されるVBATTクロック (VBATCLK)の生成 • IWDTに供給されるIWDT専用クロック (IWDTCCLK)の生成 • JTAGに供給されるJTAGクロック (JTAGTCK)の生成
動作周波数 (注1)	<ul style="list-style-type: none"> • ICLK : 120 MHz (max) (注2) • PCLKA : 120 MHz (max) • PCLKB : 60 MHz (max) • PCLKC : 60 MHz (max) • PCLKD : 60 MHz (max) • FCLK : 4 MHz ~ 60 MHz (コードフラッシュメモリ、データフラッシュメモリP/E時) 60 MHz (max) (データフラッシュメモリ読み出し時) • BCLK : 120 MHz (max) • BCLK端子出力 : 60 MHz (max) • SDCLK端子出力 : 60 MHz (max) • UCLK : 48 MHz • CLKOUT端子出力 : 40 MHz (max) • CACCLK : 各発振器のクロックと同じ • CANMCLK : 24 MHz (max) • RTCSCCLK : 32.768 kHz • RTCMCLK : 1 kHz ~ 16 MHz • REMSCLK : 32.768 kHz • VBATCLK : 32.768 kHz • IWDTCCLK : 120 kHz • JTAGTCK : 10 MHz (max)
メインクロック発振器	<ul style="list-style-type: none"> • 発振子周波数 : 8 MHz ~ 24 MHz • 外部クロック入力周波数 : 24 MHz (max) • 接続できる発振子または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL, XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCOに切り替える機能、MTUの端子をハイインピーダンスにする機能
サブクロック発振器	<ul style="list-style-type: none"> • 発振子周波数 : 32.768 kHz • 接続できる発振子または付加回路 : 水晶振動子 • 接続端子 : XCIN, XCOUT
外部サブクロック入力端子	<ul style="list-style-type: none"> • 入力周波数 : 32.768 kHz • 接続端子 : EXCIN
PLL周波数シンセサイザ	<ul style="list-style-type: none"> • 入力クロックソース : メインクロック、HOCO • 入力分周比 : 1, 2, 3分周から選択可能 • 入力周波数 : 8 MHz ~ 24 MHz • 逡倍比 : 10 ~ 30逡倍から選択可能 • PLL周波数シンセサイザ出力クロック周波数 : 120 MHz ~ 240 MHz

表9.1 クロック発生回路の仕様 (2 / 2)

項目	仕様
高速オンチップオシレータ (HOCO)	<ul style="list-style-type: none"> 発振周波数 : 16 MHz, 18 MHz, 20 MHz から選択可能 HOCO 電源制御 FLL 機能 ユーザトリミングあり
低速オンチップオシレータ (LOCO)	発振周波数 : 240 kHz
IWDT 専用オンチップオシレータ	発振周波数 : 120 kHz
JTAG 用外部クロック入力 (TCK)	入力クロック周波数 : 10 MHz (max)
BCLK 端子の出力制御機能	<ul style="list-style-type: none"> BCLK クロック出力または High 出力の選択が可能 出力するクロックは BCLK または BCLK の 2 分周の選択が可能
SDCLK 端子の出力制御機能	<ul style="list-style-type: none"> SDCLK クロック出力または High 出力の選択が可能
イベントリンク機能(出力)	メインクロック発振器の発振停止検出
イベントリンク機能(入力)	低速オンチップオシレータへのクロックソース切り替え

注1. クロック周波数設定制限 : $ICLK \geq BCLK$, $PCLKA \geq PCLKB$, $PCLKB \geq PCLKC$, $PCLKB \geq PCLKD$
 クロック周波数比制限 : (Nは整数)

$ICLK : FCLK = N : 1$ or $1 : N$, $ICLK : PCLKA = N : 1$ or $1 : N$, $ICLK : PCLKB = N : 1$ or $1 : N$,
 $ICLK : PCLKC = N : 1$ or $1 : N$, $ICLK : PCLKD = N : 1$ or $1 : N$

注2. ICLKを60 MHzより速くする場合は、ROMWTレジスタの変更が必要となります。

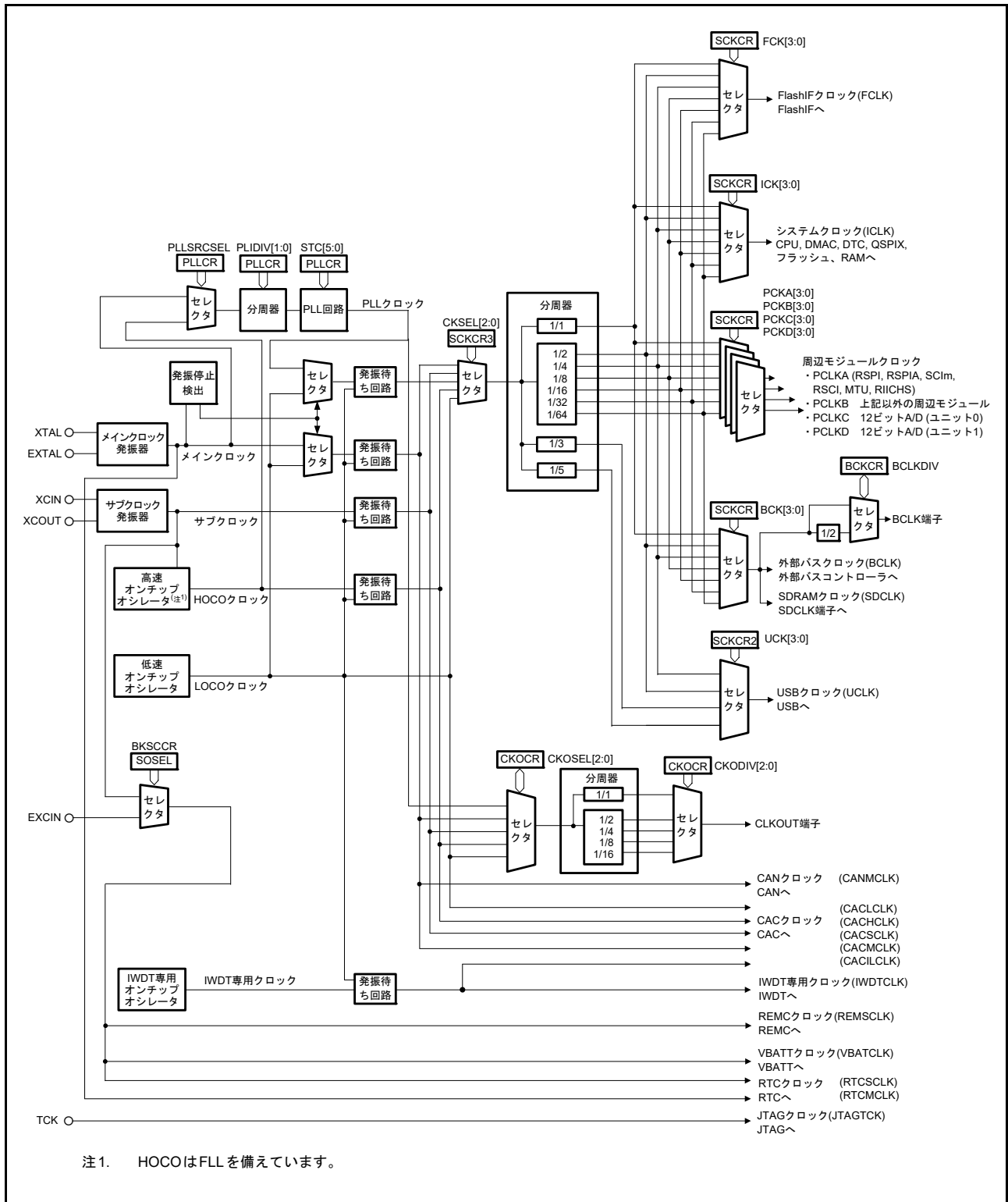


図 9.1 クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。EXTAL端子は外部クロックの入力も可能。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
XCIN	入力	32.768 kHzの水晶振動子を接続
XCOUT	出力	
EXCIN	入力	32.768 kHzの外部クロック入力端子
TCK	入力	JTAG用のクロック入力です
BCLK	出力	外部デバイスに外部バスクロック (BCLK) を供給します
SDCLK	出力	外部デバイスにSDRAMクロック (SDCLK) を供給します
CLKOUT	出力	CLKOUT出力端子です

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
FCK[3:0]				ICK[3:0]				PSTOP ₁	PSTOP ₀	—	—	BCK[3:0]			
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PCKA[3:0]				PCKB[3:0]				PCKC[3:0]				PCKD[3:0]			
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0]	周辺モジュールクロック D (PCLKD) 選択ビット (注1)	b3 b0 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b7-b4	PCKC[3:0]	周辺モジュールクロック C (PCLKC) 選択ビット (注1)	b7 b4 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロック B (PCLKB) 選択ビット (注1)	b11 b8 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b15-b12	PCKA[3:0]	周辺モジュールクロック A (PCLKA) 選択ビット (注1)	b15 b12 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b19-b16	BCK[3:0]	外部バスクロック (BCLK) 選択ビット (注1、注2)	b19 b16 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b21-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b22	PSTOP0	SDCLK端子出力制御ビット	0 : SDCLK端子出力動作 1 : SDCLK端子出力停止(High固定)	R/W
b23	PSTOP1	BCLK端子出力制御ビット(注3)	0 : BCLK端子出力動作 1 : BCLK端子出力停止(High固定)	R/W
b27-b24	ICK[3:0]	システムクロック(ICLK)選択ビット (注1、注2、注4)	b27 b24 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b31-b28	FCK[3:0]	FlashIFクロック(FCLK)選択ビット (注1、注4)	b31 b28 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W

注1. SCKCR3.CKSEL[2:0]ビットでPLL選択時、PLL回路出力クロックが120 MHzより高い周波数になる場合は、1分周を設定しないでください。

注2. ICLKは外部バスクロックより低い周波数を設定しないでください。

注3. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

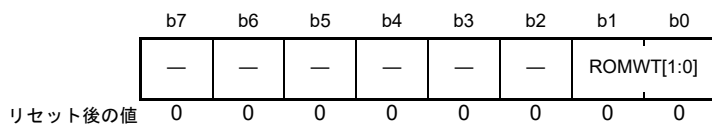
注4. 低速動作モード2かつSCKCR3.CKSEL[2:0]ビットでサブクロック発振器選択時は、ICLKおよびFCLKの分周比は1分周のみ設定可能です。

以下に該当する場合、SCKCRレジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ(OPCCR.OPCMTSF)が“1”(動作電力制御モード切り替え遷移中)のとき
- フラッシュP/EモードエントリレジスタのコードフラッシュメモリP/Eモードエントリビット(FENTRYR.FENTRYC)またはデータフラッシュメモリP/Eモードエントリビット(FENTRYR.FENTRYD)が“1”(P/Eモード)のとき
- スリープモードへ移行するためのWAIT命令実行から、スリープモードから通常動作へ復帰するまでの期間

9.2.2 ROM ウェイトサイクル設定レジスタ (ROMWT)

アドレス 0008 101Ch



ビット	シンボル	ビット名	機能	R/W
b1-b0	ROMWT[1:0]	ROMウェイトサイクル設定ビット	b1 b0 0 0 : 0ウェイト 0 1 : 1ウェイト 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ROMWT レジスタは、フラッシュメモリのアクセスウェイト数を設定します。

周波数を変更する場合、以下の手順に従い、変更前後で遅い方の周波数にて動作している状態でROMWTレジスタを変更してください。

- 低速から高速に変更する場合：
 - ROMWT レジスタを変更し、直後に同レジスタの読み出しと読み出し値を使った演算を実行後、周波数を変更
- 高速から低速に変更する場合：
 - 周波数を変更し、周波数が切り替わった後、ROMWT レジスタを変更

ROMWT レジスタの設定制約を表 9.3 に示し、ROMWT[1:0] ビット変更手順を図 9.2、図 9.3 に示します。

表9.3 ROMWT[1:0]ビットの設定制約

ROMWT[1:0]ビット	ICLK ≤ 60 MHz	60 MHz < ICLK ≤ 120 MHz
00b	○	×
01b	○	○

○ : 設定可能、× : 設定禁止

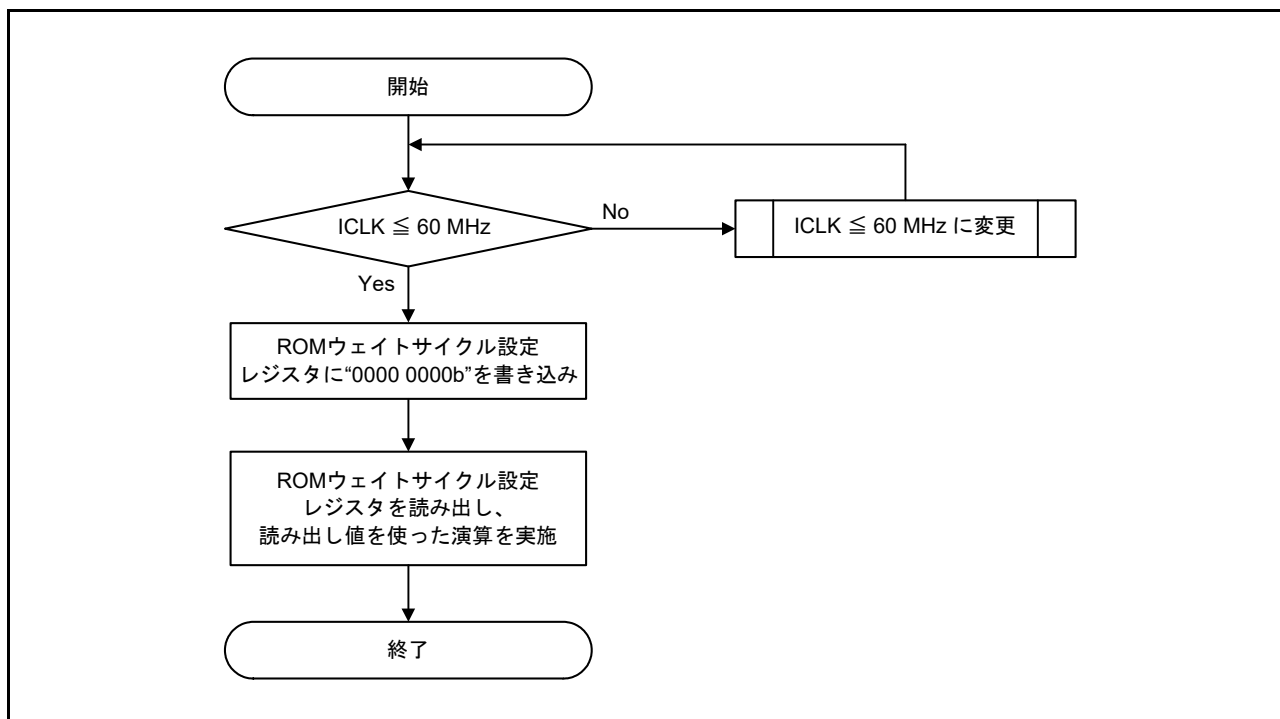


図 9.2 ROMWT[1:0] ビット変更手順 (ROMWT[1:0] ビットを "01b" から "00b" に変更)

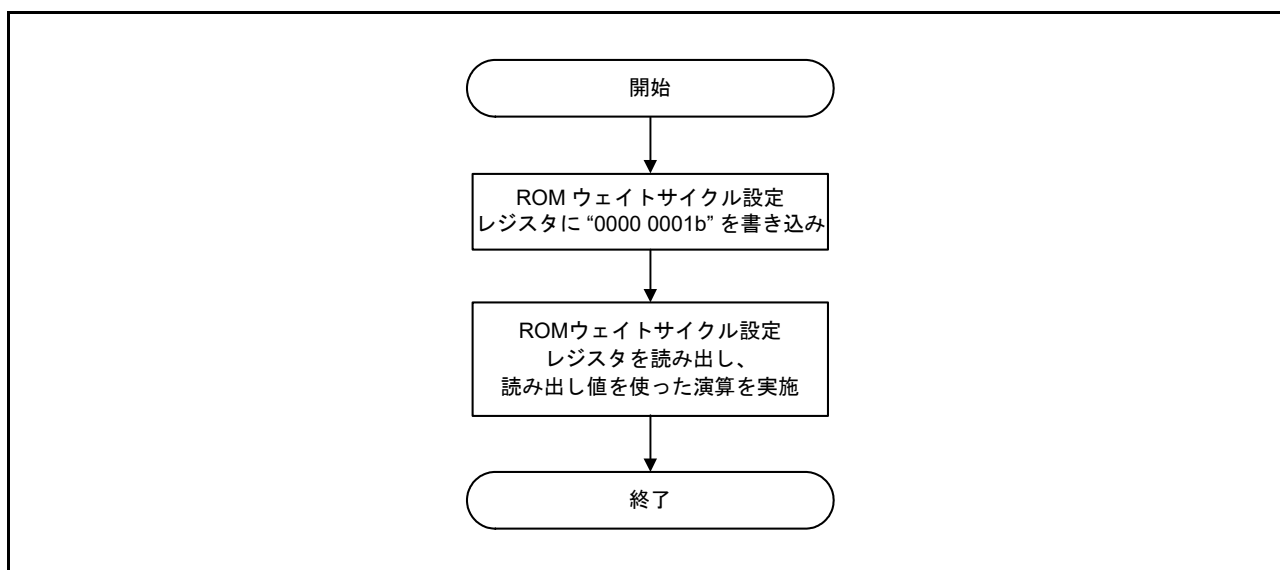


図 9.3 ROMWT[1:0] ビット変更手順 (ROMWT[1:0] ビットを "00b" から "01b" に変更)

9.2.3 システムクロックコントロールレジスタ 2 (SCKCR2)

アドレス 0008 0024h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	UCK[3:0]			—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	UCK[3:0]	USBクロック (UCLK) 選択ビット	b7 b4 0 0 0 1 : 2分周 0 0 1 0 : 3分周 0 0 1 1 : 4分周 0 1 0 0 : 5分周 USBを使用する場合、上記以外は設定しないでください。USBを使用しない場合、読むと“0001b”が読めます。書く場合、“0001b”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

以下に該当する場合、SCKCR2 レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ (OPCCR.OPCMTSF) が“1” (動作電力制御モード切り替え遷移中) のとき
- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が“1” (P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

UCK[3:0] ビット (USB クロック (UCLK) 選択ビット)

USB クロック (UCLK) の周波数を選択します。

3分周選択時はクロックの Duty は 2 : 1 になります。5分周選択時はクロックの Duty は 3 : 2 になります。

9.2.4 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス 0008 0026h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CKSEL[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	b10 b8 000 : LOCO 選択 001 : HOCO 選択 010 : メインクロック発振器選択 011 : サブクロック発振器選択 100 : PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

以下に該当する場合、SCKCR3 レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ(OPCCR.OPCMTSF)が“1”(動作電力制御モード切り替え遷移中) のとき
- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が“1”(P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICKL)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK)、SDRAM クロック (SDCLK)、USB クロック (UCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器、サブクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.5 PLL コントロールレジスタ (PLLCR)

アドレス 0008 0028h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	STC[5:0]					—	—	—	—	PLLSRCSEL	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	1	1	1	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W																																																																																																																																							
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 3分周 1 1 : 設定しないでください	R/W																																																																																																																																							
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																																																																																																							
b4	PLLSRCSEL	PLLクロックソース選択ビット	0 : メインクロック発振器 1 : HOCO (注1)	R/W																																																																																																																																							
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																																																																																																							
b13-b8	STC[5:0]	周波数通倍率設定ビット	<table border="1"> <thead> <tr> <th>b13</th><th>b8</th><th>周波数</th><th>b13</th><th>b8</th><th>周波数</th><th>b13</th><th>b8</th><th>周波数</th></tr> </thead> <tbody> <tr><td>0</td><td>1</td><td>×10.0</td><td>1</td><td>0</td><td>×17.0</td><td>1</td><td>0</td><td>×24.0</td></tr> <tr><td>0</td><td>1</td><td>×10.5</td><td>1</td><td>0</td><td>×17.5</td><td>1</td><td>1</td><td>×24.5</td></tr> <tr><td>0</td><td>1</td><td>×11.0</td><td>1</td><td>0</td><td>×18.0</td><td>1</td><td>0</td><td>×25.0</td></tr> <tr><td>0</td><td>1</td><td>×11.5</td><td>1</td><td>0</td><td>×18.5</td><td>1</td><td>1</td><td>×25.5</td></tr> <tr><td>0</td><td>1</td><td>×12.0</td><td>1</td><td>0</td><td>×19.0</td><td>1</td><td>0</td><td>×26.0</td></tr> <tr><td>0</td><td>1</td><td>×12.5</td><td>1</td><td>0</td><td>×19.5</td><td>1</td><td>1</td><td>×26.5</td></tr> <tr><td>0</td><td>1</td><td>×13.0</td><td>1</td><td>0</td><td>×20.0</td><td>1</td><td>0</td><td>×27.0</td></tr> <tr><td>0</td><td>1</td><td>×13.5</td><td>1</td><td>0</td><td>×20.5</td><td>1</td><td>1</td><td>×27.5</td></tr> <tr><td>0</td><td>1</td><td>×14.0</td><td>1</td><td>0</td><td>×21.0</td><td>1</td><td>0</td><td>×28.0</td></tr> <tr><td>0</td><td>1</td><td>×14.5</td><td>1</td><td>0</td><td>×21.5</td><td>1</td><td>1</td><td>×28.5</td></tr> <tr><td>0</td><td>1</td><td>×15.0</td><td>1</td><td>0</td><td>×22.0</td><td>1</td><td>0</td><td>×29.0</td></tr> <tr><td>0</td><td>1</td><td>×15.5</td><td>1</td><td>0</td><td>×22.5</td><td>1</td><td>1</td><td>×29.5</td></tr> <tr><td>0</td><td>1</td><td>×16.0</td><td>1</td><td>0</td><td>×23.0</td><td>1</td><td>0</td><td>×30.0</td></tr> <tr><td>1</td><td>0</td><td>×16.5</td><td>1</td><td>0</td><td>×23.5</td><td></td><td></td><td></td></tr> </tbody> </table> 上記以外は設定しないでください	b13	b8	周波数	b13	b8	周波数	b13	b8	周波数	0	1	×10.0	1	0	×17.0	1	0	×24.0	0	1	×10.5	1	0	×17.5	1	1	×24.5	0	1	×11.0	1	0	×18.0	1	0	×25.0	0	1	×11.5	1	0	×18.5	1	1	×25.5	0	1	×12.0	1	0	×19.0	1	0	×26.0	0	1	×12.5	1	0	×19.5	1	1	×26.5	0	1	×13.0	1	0	×20.0	1	0	×27.0	0	1	×13.5	1	0	×20.5	1	1	×27.5	0	1	×14.0	1	0	×21.0	1	0	×28.0	0	1	×14.5	1	0	×21.5	1	1	×28.5	0	1	×15.0	1	0	×22.0	1	0	×29.0	0	1	×15.5	1	0	×22.5	1	1	×29.5	0	1	×16.0	1	0	×23.0	1	0	×30.0	1	0	×16.5	1	0	×23.5				R/W
b13	b8	周波数	b13	b8	周波数	b13	b8	周波数																																																																																																																																			
0	1	×10.0	1	0	×17.0	1	0	×24.0																																																																																																																																			
0	1	×10.5	1	0	×17.5	1	1	×24.5																																																																																																																																			
0	1	×11.0	1	0	×18.0	1	0	×25.0																																																																																																																																			
0	1	×11.5	1	0	×18.5	1	1	×25.5																																																																																																																																			
0	1	×12.0	1	0	×19.0	1	0	×26.0																																																																																																																																			
0	1	×12.5	1	0	×19.5	1	1	×26.5																																																																																																																																			
0	1	×13.0	1	0	×20.0	1	0	×27.0																																																																																																																																			
0	1	×13.5	1	0	×20.5	1	1	×27.5																																																																																																																																			
0	1	×14.0	1	0	×21.0	1	0	×28.0																																																																																																																																			
0	1	×14.5	1	0	×21.5	1	1	×28.5																																																																																																																																			
0	1	×15.0	1	0	×22.0	1	0	×29.0																																																																																																																																			
0	1	×15.5	1	0	×22.5	1	1	×29.5																																																																																																																																			
0	1	×16.0	1	0	×23.0	1	0	×30.0																																																																																																																																			
1	0	×16.5	1	0	×23.5																																																																																																																																						
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																																																																																																							

注1. USBを使用する場合は、必ず FLL 機能を有効にしてください。

PLLCR2.PLEN ビットが“0” (PLL 動作) のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット (PLL 入力分周比選択ビット)

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数 (8 ~ 24 MHz) の範囲に入るように設定してください。

PLLSRCSEL ビット (PLL クロックソース選択ビット)

PLL のクロックソースを選択します。

STC[5:0] ビット (周波数通倍率設定ビット)

PLL の周波数通倍率を設定します。

STC[5:0] ビットは、PLL 回路出力クロック周波数 (120 ~ 240 MHz) の範囲に入るように設定してください。

9.2.6 PLL コントロールレジスタ 2 (PLLCR2)

アドレス 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL 停止制御ビット	0 : PLL 動作 1 : PLL 停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PLLEN ビット (PLL 停止制御ビット)

PLL の動作 / 停止を制御します。

PLL クロックソースは、メインクロック発振器と HOCO の 2 種類が選択可能です。

PLLCR.PLLSRCSEL ビットで PLL クロックソースにメインクロック発振器を選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLLEN ビットにて PLL を動作設定に変更後、OSCOVFSR.PLOVF フラグに“1”がセットされていることを確認したうえで、PLL クロックの使用を開始してください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、PLLEN ビットでの動作の開始および停止に関して以下の制限がありますので注意してください。以下に PLL クロックソースにメインクロック発振器を選択した場合の注意点を示します。

- PLLEN ビットの動作設定は、OSCOVFSR.PLOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に PLOVF フラグが“0”にクリアされるまでの間) は、発振停止時の動作設定と比べて PLLCR2 レジスタの書き込みに時間がかかります。
- PLLEN ビットでの停止設定は、OSCOVFSR.PLOVF フラグの設定によらず可能です。ただし、発振安定待ちの間 (動作設定後に OSCOVFSR.PLOVF フラグが“1”にセットされるまでの間) は、発振安定時の停止設定と比べて、PLLCR2 レジスタの書き込みに時間がかかります。
- PLL クロックをシステムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.PLOVF フラグが“1”にセットされていることを確認した上で、WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.PLOVF フラグが“0”にクリアされていることを確認した上で、WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で PLL を選択しているときは、PLLEN ビットを“1” (PLL 停止) にする書き込みは禁止です。

動作電力コントロールレジスタの動作電力制御モード選択ビット (OPCCR.OPCM[2:0]) で低速動作モード 1 または低速動作モード 2 を選択しているときは、PLLEN ビットを“0” (PLL 動作) にする書き込みは禁止です。

9.2.7 外部バスクロックコントロールレジスタ (BCKCR)

アドレス 0008 0030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCLKD IV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCLKDIV	BCLK端子出力選択ビット	0 : BCLK 1 : BCLKの2分周	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

以下に該当する場合、BCKCR レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ(OPCCR.OPCMTSF)が“1”(動作電力制御モード切り替え遷移中)のとき
- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が“1”(P/E モード)のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

BCLKDIV ビット (BCLK 端子出力選択ビット)

BCLK 端子から出力するクロックを選択します。

SCKCR.BCK[3:0] ビットで選択した周波数の BCLK または BCLK の 2 分周を選択できます。BCLK 端子の立ち下がりタイミングで外部バスコントロール信号を制御したい場合、本ビットを“1”に設定してください。

9.2.8 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0:メインクロック発振器動作 1:メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作/停止を制御します。

メインクロック発振器の動作/停止は、MOSTP ビットおよびメインクロック発振器強制発振コントロールレジスタのメインクロック発振器強制発振ビット (MOFCR.MOFXIN) で制御されます。MOSTP ビットを発振器動作、あるいは MOFXIN ビットを強制発振に設定することで、メインクロック発振器を動作させることができます。また、MOFXIN ビットが強制発振に設定されている場合は、ソフトウェアスタンバイモード中およびディープソフトウェアスタンバイモード中も発振動作を継続します。

メインクロックをリアルタイムクロックのカウントソースとして使用する場合は、MOFCR.MOFXIN ビットで設定し、システムクロックや PLL クロックソースとして使用する場合には、MOSCCR.MOSTP ビットで設定を行ってください。メインクロックをリアルタイムクロックとそれ以外の両方に使用する場合は、MOFCR.MOFXIN ビットおよび MOSCCR.MOSTP ビットの両方を設定してください。

MOSTP ビットまたは MOFCR.MOFXIN ビットの書き換えを行う場合は、書き込みの完了を待ってから、後続の命令を実行するようにしてください(「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください)。

メインクロックをリアルタイムクロックのカウントソースとして使用しない場合、メイン発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。この場合、MOSCCR.MOSTP ビットでメインクロックを動作設定に変更した後は、OSCOVFSR.MOOVF フラグに“1”がセットされていることを確認したうえで、メインクロックの使用を開始してください。

メインクロックをリアルタイムクロックのカウントソースとして使用する場合、MOFCR.MOFXIN ビットでメインクロックを動作設定に変更した後は、ソフトウェアでメインクロック発振安定時間 (水晶) (tMAINOSC) が経過するのを待ってから、リアルタイムクロックのカウントソースとして使用を開始してください。なお、外部クロックを入力してメインクロックを供給する場合は、メインクロック発振安定時間 (tMAINOSC) を待つ必要はありません。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- MOSTP ビットでの動作設定は、OSCOVFSR.MOOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に OSCOVFSR.MOOVF フラグが“0”にクリアされるまでの間) は、発振停止時の動作設定と比べて MOSCCR レジスタの書き込みに時間がかかります。
- MOSTP ビットでの停止設定は、OSCOVFSR.MOOVF フラグの設定値によらず可能です。ただし、発振安定待ちの間 (動作設定後に OSCOVFSR.MOOVF フラグが“1”にセットされるまでの間) は、発振安定時の停止設定と比べて MOSCCR レジスタの書き込みに時間がかかります。

- システムクロックとして選択しているかどうかに関わらず、MOSTP ビットでメインクロック発振器を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.MOOVF フラグが“1”にセットされていることを確認してから WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.MOOVF フラグが“0”にクリアされていることを確認してから WAIT 命令を実行してください。

以下のいずれかに該当する場合は、MOSTP ビットを“1”(メインクロック発振器停止)にする書き込みは禁止です。

- システムクロックコントロールレジスタ3のクロックソース選択ビット(SCKCR3.CKSEL[2:0]ビット)でメインクロックを選択しているとき
- PLLコントロールレジスタ2のPLL停止制御ビット(PLLCR2.PLENビット)で“0”(PLL動作)を選択し、かつPLLコントロールレジスタのPLLクロックソース選択ビット(PLLCR.PLLSRCSELビット)でメインクロックを選択しているとき

9.2.9 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス 0008 0033h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止ビット	0: サブクロック発振器動作 1: サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SOSTP ビット (サブクロック発振器停止ビット)

サブクロック発振器の動作/停止を制御します。

サブクロック発振器の動作/停止は、SOSTP ビットおよび RTC コントロールレジスタ 3 のサブクロック発振器制御ビット (RCR3.RTCEN) で制御され、いずれかのビットが動作に設定されているとサブクロック発振器は動作状態となります。

SOSTP ビットまたは RCR3.RTCEN ビットの書き換えを行う場合は、書き込み後、読み出して書き替わったことを確認してから、後続の命令を実行するようにしてください(「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください)。

サブクロックをリアルタイムクロックのカウントソースとして使用する場合は、RCR3.RTCEN ビット、および SOSTP ビットの両方を設定してください。サブクロックをリアルタイムクロックのカウントソースとして使用せず、システムクロックで使用する場合には、SOSCCR.SOSTP ビットで設定を行ってください。

SOSTP ビットに動作設定を行う場合、事前にサブクロック発振器ウェイトコントロールレジスタ (SOSCWTCR) を設定しておく必要があります。また、動作設定後は、OSCOVFSR.SOOVF フラグに“1”がセットされていることを確認したうえで、サブクロックの使用を開始してください。

SOSTP ビットでの動作設定後、発振安定待ちの処理が完了するまでに一定の時間を要します。また、停止設定後も発振停止の処理が完了するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- SOSTP ビットでの動作設定は、OSCOVFSR.SOOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に OSCOVFSR.SOOVF フラグが“0”にクリアされるまでの間) は、発振停止時の動作設定と比べて SOSCCR レジスタの書き込みに時間がかかります。
- SOSTP ビットでの停止設定は、OSCOVFSR.SOOVF フラグの設定値によらず可能です。ただし、発振安定待ち時間 (動作設定後に OSCOVFSR.SOOVF フラグが“1”にセットされるまでの間) は、発振安定時の停止設定と比べて SOSCCR レジスタの書き込みに時間がかかります。
- システムクロックとして選択しているかどうかに関わらず、SOSTP ビットでサブクロック発振器を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.SOOVF フラグが“1”にセットされていることを確認してから WAIT 命令を実行してください。
- サブクロック発振器を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.SOOVF フラグが“0”にクリアされていることを確認してから WAIT 命令を実行してください。
- SOSCCR2.SOSTP2 ビットを“1”にする場合、SOSTP ビットも“1”にしてください。

システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でサブクロック発振器を選択しているとき、SOSTP ビットを“1”(サブクロック発振器停止)にする書き込みは禁止です。

9.2.10 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス 0008 0034h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定待機時間 (tLOCOWT) が経過した後、使用開始してください。

LCSTP ビットでの動作設定後、発振安定待ちの処理が完了するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1”(LOCO 停止)にする書き込みは禁止です。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) で発振停止検出機能を有効にしているとき、LCSTP ビットを“1”(LOCO 停止)にする書き込みは禁止です。

LOCO クロックは他発振器の待機時間の計測に使用されるため、LCSTP ビットの設定値に関わらず、他の発振器の待機時間計測中に LOCO クロックが発振します。そのため、LCSTP ビットを停止設定にしても、意図せず LOCO クロックが供給されることがあります。

9.2.11 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0 : IWDT専用オンチップオシレータ動作 1 : IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が “0” (IWDT 動作) のとき、ILOCOCR レジスタの設定は無効です。OFS0.IWDTSTRT ビットが “1” (IWDT 停止) のとき、ILOCOCR レジスタの設定は有効です。ILOCOCR レジスタが有効、かつ ILCSTP ビットが “0” (IWDT オンチップオシレータ動作) の後、“1” (IWDT 専用オンチップオシレータ停止) に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)

IWDT 専用オンチップオシレータの動作 / 停止を制御します。

ILCSTP ビットで、IWDT 専用オンチップオシレータを停止設定から動作設定に変更した場合、OSCOVFSR.ILCOVF フラグに “1” がセットされていることを確認したうえで、使用開始してください。

IWDT 専用のオンチップオシレータを動作にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.ILCOVF フラグが “1” にセットされていることを確認してから WAIT 命令を実行してください。

9.2.12 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス 0008 0036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0 : HOCO動作 1 : HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. OFS1.HOCOENビットが“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

HCSTP ビット (HOCO 停止ビット)

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、OSCOVFSR.HCOVF フラグに“1”がセットされていることを確認したうえで、使用開始してください。

HCSTP ビットで動作設定後、発振安定待ちの処理が完了するまでに一定の時間を要します。また、停止設定後も、発振停止の処理が完了するまでに一定の時間を要します。そのため、HCSTP ビットでの動作の開始および停止に関して以下の制限がありますので注意してください。

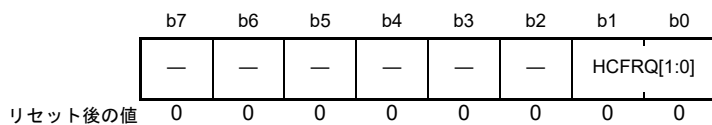
- HCSTP ビットでの動作設定は、OSCOVFSR.HCOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に、OSCOVFSR.HCOVF フラグが“0”にクリアされるまでの間) は、発振停止時の動作設定と比べて HOCOOCR レジスタの書き込みに時間がかかります。
- HCSTP ビットでの停止設定は、OSCOVFSR.HCOVF フラグの設定値によらず可能です。ただし、発振安定待ちの間 (動作設定後に OSCOVFSR.HCOVF フラグが“1”にセットされるまでの間) は、発振安定時の停止設定と比べて HOCOOCR レジスタの書き込みに時間がかかります。
- システムクロックとして選択しているかどうかに関わらず、HCSTP ビットで HOCO を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.HCOVF フラグが“1”にセットされていることを確認してから、WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.HCOVF フラグが“0”にクリアされていることを確認してから、WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で HOCO を選択しているとき、あるいは PLLCR.PLLSRCSEL ビットで PLL のクロックソースを HOCO 選択でかつ、SCKCR3.CKSEL[2:0] ビットで PLL を選択しているとき、HCSTP ビットを“1” (HOCO 停止) にする書き込みは禁止です。

動作電力コントロールレジスタの動作電力制御モード選択ビット (OPCCR.OPCM[2:0]) で低速動作モード 2 を選択しているときは、HCSTP ビットを“0” (HOCO 動作) にする書き込みは禁止です。

9.2.13 高速オンチップオシレータコントロールレジスタ 2 (HOCOCR2)

アドレス 0008 0037h



ビット	シンボル	ビット名	機能	R/W
b1-b0	HCFRQ[1:0]	HOCO周波数設定ビット	b1 b0 0 0 : 16 MHz 0 1 : 18 MHz 1 0 : 20 MHz 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HOCOCR.HCSTP ビットが“0” (HOCO 動作) のとき、HOCOCR2 レジスタへの書き込みは禁止です。

9.2.14 FLL コントロールレジスタ 1 (FLLCR1)

アドレス 0008 0039h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	FLLLEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLLLEN	FLL機能許可ビット	0 : FLL無効(リセット後の値) 1 : FLL有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. HOCOを停止(HOCO_CR.HCSTP = 1)にしてから、FLLCR1.FLLLENビットを変更する必要があります。

注. FLLが有効(FLLCR1.FLLLEN = 1)であるとき、サブクロック発振器は安定して動作中でなければいけません。

FLLCR1 レジスタは、HOCO の周波数補正機能を制御するレジスタです。

FLLLEN ビット (FLL 機能許可ビット)

HOCO の FLL を有効または無効にします。FLL を有効にすると、HOCO の周波数精度が上がります。

サブクロック発振器のクロックをリファレンスとするため、FLL を有効にする場合はサブクロック発振器が発振安定している必要があります。FLL が有効な場合、OSCOVFSR.HCOVF ビットが“1”になっていても FLL が安定してからでなければ周波数精度は保証されません。

また、ソフトウェアスタンバイモードへ遷移する前に FLL を無効にする必要があります。本ビットを“0”にしてからソフトウェアスタンバイモードへ遷移してください。

図 9.4、図 9.5 に、各状況に応じた FLL の設定フロー例を示します。

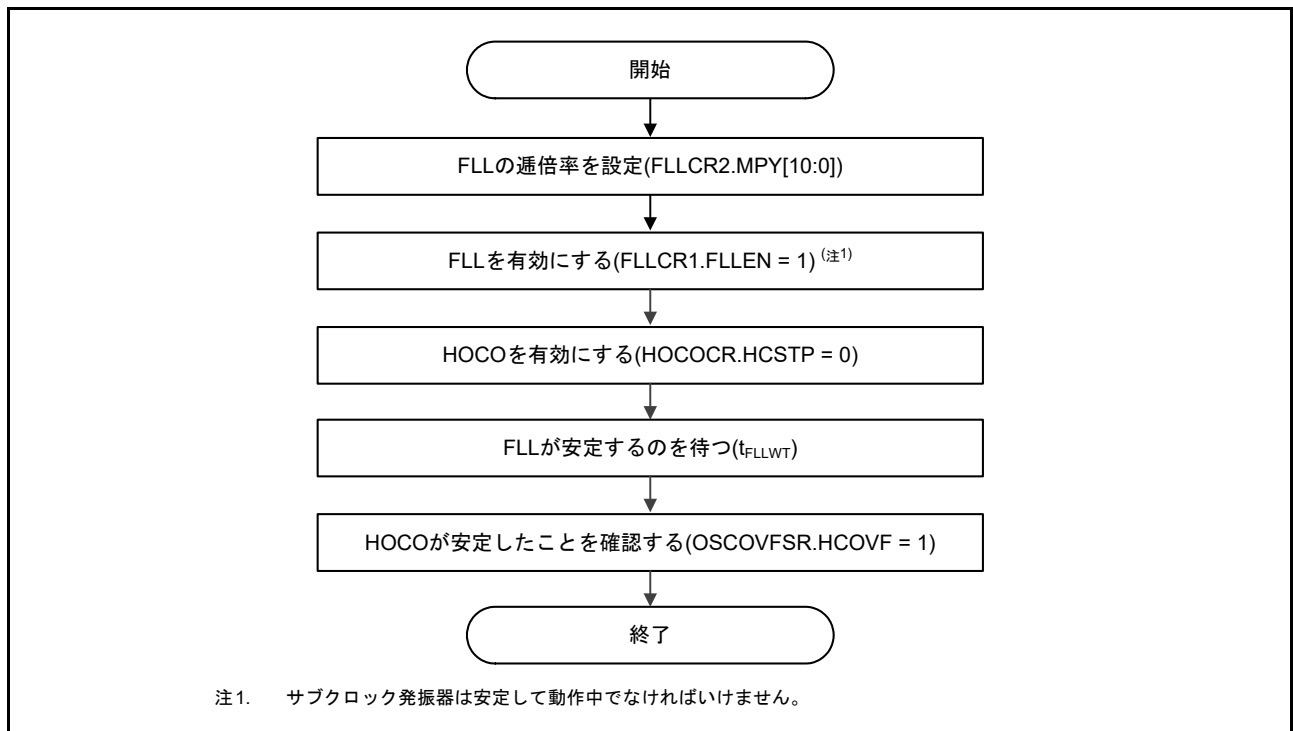


図 9.4 FLL 設定フロー (リセット解除後 / ディープソフトウェアスタンバイモード解除後)

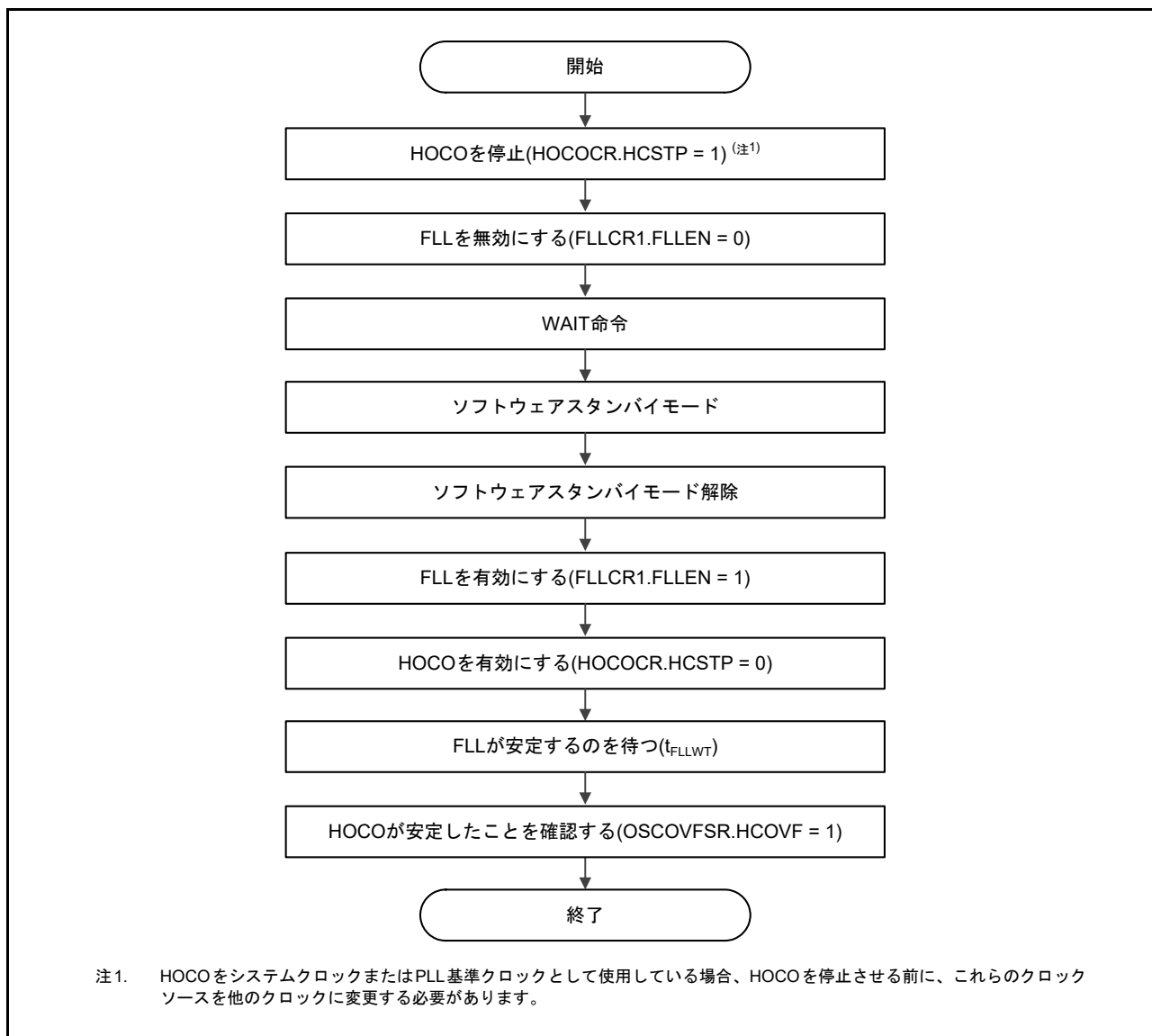
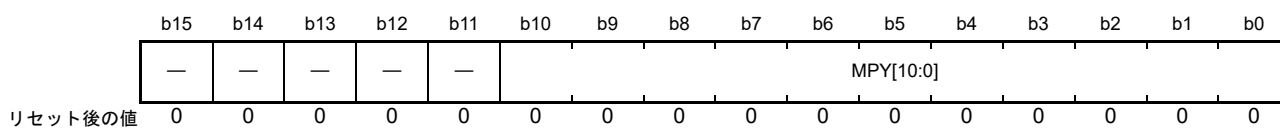


図 9.5 FLL 設定フロー (ソフトウェアスタンバイモード遷移 / 解除)

9.2.15 FLL コントロールレジスタ 2 (FLLCR2)

アドレス 0008 003Ah



ビット	シンボル	ビット名	機能	R/W
b10-b0	MPY[10:0]	周波数通倍率設定ビット	<ul style="list-style-type: none"> HOCOCR2.HCFRQ[1:0]ビットが“00b” (16 MHz)の場合、これらのビットは1E9hにする必要があります。 HOCOCR2.HCFRQ[1:0]ビットが“01b” (18 MHz)の場合、これらのビットは226hにする必要があります。 HOCOCR2.HCFRQ[1:0]ビットが“10b” (20 MHz)の場合、これらのビットは263hにする必要があります。 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FLLCR2 レジスタは、HOCO の FLL を制御するレジスタです。

MPY[10:0] ビット (周波数通倍率設定ビット)

FLL 基準クロックの通倍比を選択します。

FLL を有効 (FLLCR1.FLLEN = 1) にする前に、これらのビットを設定する必要があります。

9.2.16 発振安定フラグレジスタ (OSCOVFSR)

アドレス 0008 003Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ILCOV F	HCOVF	PLOVF	SOOVF	MOOV F
リセット後の値	0	0	0	0/1 (注1)	0/1 (注2)	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MOOVF	メインクロック発振安定フラグ	0 : MOSTP = 1 (停止)、または発振安定待ち中 (注3、注5) 1 : 発振安定、システムクロックとして使用可能 (注4)	R
b1	SOOVF	サブクロック発振安定フラグ	0 : SOSTP = 1 (停止)、または発振安定待ち中 (注5) 1 : 発振安定、システムクロックとして使用可能 (注4)	R
b2	PLOVF	PLLクロック発振安定フラグ	0 : PLL停止、または発振安定待ち中 1 : 発振安定、システムクロックとして使用可能	R
b3	HCOVF (注2)	HOCOクロック発振安定フラグ	0 : HOCO停止、または発振安定待ち中 1 : 発振安定、システムクロックとして使用可能	R
b4	ILCOVF (注1)	IWDT専用クロック発振安定フラグ	0 : IWDT専用オンチップオシレータ停止、または発振安定待ち中 1 : 発振安定	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. OFS0.IWDTSTRTビットが“0”のとき、ILCOVFフラグのリセット後の値は“1”になります。OFS0.IWDTSTRTビットが“1”のとき、ILCOVFフラグのリセット後の値は“0”になります。
- 注2. OFS1.HOCOENビットが“0”のとき、HCOVFフラグのリセット後の値は“1”になります。OFS1.HOCOENビットが“1”のとき、HCOVFフラグのリセット後の値は“0”になります。
- 注3. MOFCR.MOFXINビットによるメインクロック発振器の制御は、MOOVFフラグに反映されません。そのためMOFXINビットが“1”の場合にMOSTPビットを“1”にすると、メインクロック発振器は発振を継続するもののMOOVFフラグは“0”になります。
- 注4. RCR3.RTCENビットによるサブクロック発振器の制御は、SOOVFフラグに反映されません。そのためRTCENビットが“1”の場合にSOSTPビットを“1”にすると、サブクロック発振器は発振を継続するもののSOOVFフラグは“0”になります。
- 注5. メインクロック発振器、およびサブクロック発振器のウェイトコントロールレジスタの設定値が各発振安定時間に対し不足している場合は、発振が安定する前に発振安定フラグが“1”にセットされ、内部回路にクロック供給が開始されます。この場合、本MCUは誤動作につながりますので、ウェイトコントロールレジスタの設定値はLOCOクロックの最大周波数を考慮して確実に発振器の安定待ち時間以上になるように設定してください。

OSCOVFSR レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すステータスフラグです。

カウンタは、発振開始後、発振器の出力クロックを内部回路に供給するまでの待機時間を計測するものであり、カウンタのオーバフローは、各発振器から内部回路へクロックの供給が開始されたことを意味します。

MOOVF フラグ (メインクロック発振安定フラグ)

メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

["1"になる条件]

- メインクロック発振器停止時、MOSCCR.MOSTP ビットに“0”を設定した後、LOCOクロックでMOSCWTCRレジスタの設定値に応じたサイクル数をカウントし、MCU内部へメインクロックの供給を開始したとき

["0"になる条件]

- メインクロック発振器動作時、MOSCCR.MOSTP ビットに“1”を設定した後、メインクロック発振器の発振停止処理が完了したとき

SOOVF フラグ (サブクロック発振安定フラグ)

サブクロック発振器の待機時間を計測するカウンタの動作状態を示します。

["1"になる条件]

- サブクロック発振器停止時、SOSCCR.SOSTP ビットに“0”を設定した後、LOCO クロックで SOSCWTCR レジスタの設定値に応じたサイクル数をカウントし、MCU 内部へサブクロックの供給を開始したとき
[“0”になる条件]
- サブクロック発振器動作時、SOSCCR.SOSTP ビットに“1”を設定した後、サブクロック発振器の発振停止処理が完了したとき

PLOVF フラグ (PLL クロック発振安定フラグ)

PLL の待機時間を計測するカウンタの動作状態を示します。

[“1”になる条件]

- PLL 停止時、PLLCR2.PPLEN ビットに“0”を設定した後、LOCO クロックで 62 サイクルカウントし、MCU 内部へ PLL クロックの供給を開始したとき
ただし、PPLEN ビットを“0”に設定したときに、PLLCR.PLLSRCSEL ビットで選択された PLL クロックソースの発振が安定していなければ、PLL クロックソースの発振安定を待ってから LOCO クロックでのカウントを開始します。
[“0”になる条件]
- PLL 動作時、PLLCR2.PPLEN ビットに“1”を設定した後、PLL の発振停止処理が完了したとき

HCOVF フラグ (HOCO クロック発振安定フラグ)

高速オンチップオシレータの待機時間を計測するカウンタの動作状態を示します。

[“1”になる条件]

- 高速オンチップオシレータ停止時、HOCOCR.HCSTP ビットに“0”を設定した後、LOCO クロックで 25 サイクルカウントし、MCU 内部へ HOCO クロックの供給を開始したとき
[“0”になる条件]
- 高速オンチップオシレータ動作時、HOCOCR.HCSTP ビットに“1”を設定した後、高速オンチップオシレータの発振停止処理が完了したとき

ILCOVF フラグ (IWDT 専用クロック発振安定フラグ)

IWDT 専用オンチップオシレータの待機時間を計測するカウンタの動作状態を示します。

[“1”になる条件]

- IWDT 専用オンチップオシレータ停止時、ILOCOCR.ILCSTP ビットに“0”を設定した後、LOCO クロックで 34 サイクルカウントし、MCU 内部へ IWDT 専用クロックの供給を開始したとき

9.2.17 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0: 発振停止検出割り込みを禁止、POEへの発振停止検出通知なし 1: 発振停止検出割り込みを許可、POEへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

OSTDCR レジスタは、メインクロック発振器の発振停止検出機能や割り込みを許可するレジスタです。

OSTDIE ビット (発振停止検出割り込み 許可ビット)

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB で2サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット (発振停止検出機能 許可ビット)

発振停止検出機能の有効/無効を設定します。

OSTDE ビットを“1”(発振停止検出機能有効)にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1”(LOCO 停止)を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1”(メインクロック発振停止検出)のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

なお、OSTDE ビットを“1”(発振停止検出機能有効)にセットした後、発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) を確認する場合は、ICLK 3 サイクル以上待ってから OSTDF フラグを確認してください。

9.2.18 発振停止検出ステータスレジスタ (OSTDSR)

アドレス 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. “0”のみ書けます。

OSTDSR レジスタは、メインクロック発振器の発振停止検出のステータスを示すレジスタです。

OSTDF フラグ (発振停止検出フラグ)

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF = 0 が読み出し値に反映されるまで ICLK 3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“1”から“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でメインクロック発振器 (“010b”) または PLL (“100b”) を選択している間は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り替えてから OSTDF フラグを“0”にしてください。

[“1”になる条件]

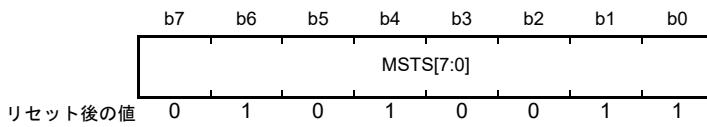
- OSTDCR.OSTDE ビットが“1” (発振停止検出機能有効) の状態で、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”または“100b”以外の場合かつ PLLCR.PLLSRCSEL ビットが“0”以外の場合に、“1”を読んだ後、“0”を書いたとき

9.2.19 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス 0008 00A2h



MOSCWTCR レジスタは、メインクロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。メインクロック発振器用の発振安定待ち回路で、MOSCWTCR レジスタの設定値に応じたサイクル数を LOCO クロックでカウントし、待機時間を計測します。

発振安定待ち回路は、待機時間を計測し、MCU 内部へのクロック供給を制御します。MOSCCR.MOSTP ビットの設定によりメインクロック発振器が発振を開始すると、発振安定待ち回路は LOCO クロックで待機時間をカウントし始めます。カウントが完了するまでの間、MCU 内部へのクロック供給は行われません。カウント完了後、MCU 内部へのクロック供給が開始され、OSCOVFSR.MOOVF フラグがセットされます。

発振安定待ち回路での LOCO クロックのカウントは、LOCOCR.LCSTP ビットの設定に関わらず行われます。待機時間の計測時には、ハードウェアで自動的に LOCO クロックの動作 / 停止が制御されます。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”のとき、あるいは OSCOVFSR.MOOVF フラグが“1”のときのみ書き換え可能です。それ以外のときには書き換えないでください。

メインクロック発振器に外部クロックを入力している場合、待機時間は必要ありません。MSTS[7:0] ビットには“00h”を設定してください。

MSTS[7:0] ビットの設定値は、待機時間が確実にメインクロックの発振安定時間以上になるように fLOCO の最大周波数を使用して、以下の計算式で求められます。

$$\text{MSTS}[7:0] > [\text{tMAINOSC} \times (\text{fLOCO_max}) + 16] / 32$$

(tMAINOSC : メインクロック発振安定時間、fLOCO_max : fLOCO 最大周波数)

計算例 tMAINOSC が 1 ms、fLOCO_max が 264 kHz (= 1/3.78 μs) の場合、

$$\text{MSTS}[7:0] > [1 \text{ ms} \times (264 \text{ kHz}) + 16] / 32 = 8.75 \quad \text{となるため、MSTS}[7:0] \text{ ビットに } 9 \text{ を設定}$$

待機時間

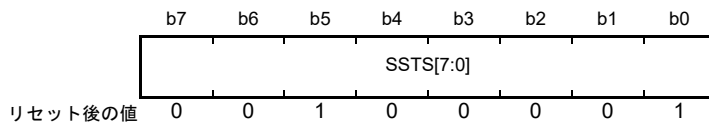
$$\text{LOCO 最大周波数時} : (9 \times 32 - 16) \times (1/264 \text{ kHz} = 3.78 \mu\text{s}) = 1.028 \text{ ms}$$

$$\text{LOCO 通常周波数時} : (9 \times 32 + 3) \times (1/240 \text{ kHz} = 4.18 \mu\text{s}) = 1.216 \text{ ms}$$

$$\text{LOCO 最少周波数時} : (9 \times 32 + 10) \times (1/216 \text{ kHz} = 4.63 \mu\text{s}) = 1.380 \text{ ms}$$

9.2.20 サブクロック発振器ウェイトコントロールレジスタ (SOSCWTCR)

アドレス 0008 00A3h



SOSCWTCR レジスタは、サブクロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。サブクロック発振器用の発振安定待ち回路で、SOSCWTCR レジスタの設定値に応じたサイクル数を LOCO クロックでカウントし、待機時間を計測します。

発振安定待ち回路は、待機時間を計測し、MCU 内部へのクロック供給を制御します。SOSCCR.SOSTP ビットの設定によりサブクロック発振器が発振を開始すると、発振安定待ち回路は LOCO クロックで待機時間をカウントし始めます。カウントが完了するまでの間、MCU 内部へのクロック供給は行われません。カウント完了後、MCU 内部へのクロック供給が開始され、OSCOVFSR.SOOVF フラグがセットされます。

発振安定待ち回路での LOCO クロックのカウントは、LOCOCR.LCSTP ビットの設定に関わらず行われます。待機時間の計測時には、ハードウェアで自動的に LOCO クロックの動作 / 停止が制御されます。

SOSCWTCR レジスタは、SOSCCR.SOSTP ビットが“1”のとき、あるいはOSCOVFSR.SOOVF フラグが“1”のときのみ書き換え可能です。それ以外のときには書き換えしないでください。

SSTS[7:0] ビットの設定値は、待機時間が確実にサブクロックの発振安定時間以上になるように fLOCO の最大周波数を使用して、以下の計算式で求められます。

$$\text{SSTS}[7:0] > [\text{tSUBOSC} \times (\text{fLOCO_max}) + 16] / 16384$$

(tSUBOSC : サブクロック発振安定時間、fLOCO_max : fLOCO 最大周波数)

計算例 tSUBOSC が 2 s、fLOCO_max が 264 kHz (= 1/3.78 μs) の場合、

$$\text{SSTS}[7:0] > [2 \text{ s} \times (264 \text{ kHz}) + 16] / 16384 = 32.22 \quad \text{となるため SSTS}[7:0] \text{ ビットに 33 を設定}$$

待機時間

$$\text{LOCO 最大周波数時} : (33 \times 16384 - 16) \times (1/264 \text{ kHz} = 3.78 \mu\text{s}) = 2.044 \text{ s}$$

$$\text{LOCO 通常周波数時} : (33 \times 16384 + 3) \times (1/240 \text{ kHz} = 4.18 \mu\text{s}) = 2.260 \text{ s}$$

$$\text{LOCO 最少周波数時} : (33 \times 16384 + 10) \times (1/216 \text{ kHz} = 4.63 \mu\text{s}) = 2.503 \text{ s}$$

9.2.21 メインクロック発振器強制発振コントロールレジスタ (MOFCR)

アドレス 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	MODRV2[1:0]	—	—	—	—	MOFXIN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MOFXIN	メインクロック発振器強制発振ビット	0: このビットによる制御なし 1: メインクロック発振器を強制発振	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	MODRV2[1:0]	メインクロック発振器ドライブ能力2切り替えビット	b5 b4 0 0: 20.1~24 MHz 0 1: 16.1~20 MHz 1 0: 8.1~16 MHz 1 1: 8 MHz	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0: 発振子 1: 外部クロック入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MOFCR レジスタは、メインクロック発振器の強制発振をするしないの他に、ドライブ能力切り替え、および発振子、および外部クロック入力の選択を行うレジスタです。

MOFXIN ビット (メインクロック発振器強制発振ビット)

メインクロック発振器の強制発振を制御します。通常、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに遷移するとメインクロック発振器は停止しますが、これらのモードにおいてRTCのクロックソースとしてメインクロック発振器を使用したい場合、本ビットを“1”にセットして発振器を使用することができます。

MOSCCR.MOSTP ビットまたは MOFXIN ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください(「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください)。

MODRV2[1:0] ビット (メインクロック発振器ドライブ能力2切り替えビット)

メインクロック発振器のドライブ能力を切り替えます。

メインクロック発振器に接続している水晶振動子の周波数に合わせてドライブ能力を設定してください。

なお、MODRV2[1:0] ビットの機能欄に記載された周波数範囲は、負荷容量 8 pF の水晶振動子をターゲットにした目安値になっています。水晶振動子によっては、設定値が周波数範囲に入らない場合がありますので、発振子メーカーの推奨する値に設定してください。

また、セラミック共振子の場合は、発振子の周波数よりも低い周波数範囲を選択した方が良い場合があります(たとえば、16.1~20 MHz のセラミック共振子を使用する場合に、“01b”ではなく“10b”を設定)ので、同様に発振子メーカーの推奨する値に設定してください。

MOSEL ビット (メインクロック発振器切り替えビット)

メインクロック発振器の発振源の切り替えを行います。

9.2.22 高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR)

アドレス 0008 C294h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HOCO PCNT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HOCOPCNT	高速オンチップオシレータ電源制御ビット	0 : HOCOの電源ON 1 : HOCOの電源OFF	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HOCOPCNT ビット (高速オンチップオシレータ電源制御ビット)

HOCO の電源を制御するビットです。

“0” のとき、HOCO の電源が ON して、発振することができます。

“1” のとき、HOCO の電源を OFF して、消費電力を低減できます。

HOCOPCNT ビットを“1”にする場合、あらかじめ高速オンチップオシレータコントロールレジスタの HOCO 停止ビット (HOCO CR.HCSTP) を“1” (HOCO 停止) に設定してください。

HOCOPCNT ビットを“1”から“0”に切り替えた後、HOCO CR.HCSTP ビットを“0”にするまで安定待ち時間が必要です。詳細は、「56. 電気的特性」を参照してください。

以下に該当する場合、HOCOPCNT ビットの値を書き換えしないでください。

- システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でクロックソースに HOCO を選択しているとき
- 動作電力コントロールレジスタの動作電力制御モード選択ビット (OPCCR.OPCM[2:0]) で低速動作モード 1、あるいは低速動作モード 2 に設定しているとき

9.2.23 CLKOUT 出力コントロールレジスタ (CKOCR)

アドレス 0008 003Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CKOSTP	CKODIV[2:0]			—	CKOSEL[2:0]			—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKOSEL[2:0]	CLKOUT 出力ソース選択ビット	b10 b8 000 : LOCO 選択 001 : HOCO 選択 010 : メインクロック発振器選択 011 : サブクロック発振器選択 100 : PLL 回路選択 上記以外は設定しないでください	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b12	CKODIV[2:0]	CLKOUT 出力分周比選択ビット	b14 b12 000 : 1分周 001 : 2分周 010 : 4分周 011 : 8分周 100 : 16分周 上記以外は設定しないでください	R/W
b15	CKOSTP	CLKOUT 出力停止制御ビット	0 : CLKOUT 端子出力許可 (注1) 1 : CLKOUT 端子出力停止 (Low 固定)	R/W

注1. 対応する端子の端子機能制御レジスタ、ポートモードレジスタの設定も必要です。

CKOCR レジスタは、CLKOUT 端子から出力するクロックの設定をします。

CKOSEL[2:0] ビット (CLKOUT 出力ソース選択ビット)

CLKOUT 端子から出力するクロックソースを LOCO クロック、HOCO クロック、メインクロック、サブクロック、PLL クロックから選択します。変更するときには CKOSTP ビットを“1”にしてください。また、停止しているクロックソースの選択は禁止です。

CKODIV[2:0] ビット (CLKOUT 出力分周比選択ビット)

CKOSEL[2:0] ビットで選択したクロックの分周比を選択します。
変更するときには CKOSTP ビットを“1”にしてください。

CKOSTP ビット (CLKOUT 出力停止制御ビット)

CLKOUT 端子の出力を制御します。

“0”にすると選択したクロックが出力されます。“1”にすると Low が出力されます。

クロックを発振させたまま CKOSTP ビットを書き換えると、出力にグリッチが発生することがあります。

9.2.24 サブクロック発振器コントロールレジスタ 2 (SOSCCR2)

アドレス 0008 CC00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOSTP 2
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP2	サブクロック発振停止ビット2 (注1)	0 : サブクロック発振器はSOSCCR.SOSTPビットとRTC.RCR3.RTCENビットで制御 1 : サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、バックアップ領域リセットによってのみ初期化されます。MCUのリセットには影響されません。

注1. 一度“1”にしたら、“0”にしないでください。

SOSTP2 ビット (サブクロック発振停止ビット 2)

SOSTP2 ビットはサブクロック発振器を停止させるビットです。

SOSTP2 ビット、SOSCCR.SOSTP ビット、RCR3.RTCEN ビットの設定値とサブクロック発振器の動作との関係については、「12.3.2 サブクロック発振器」を参照してください。

SOSTP2 ビットを“1”にしてサブクロック発振器を停止させる場合、図 9.17 のフローチャート例に従って実施してください。

9.2.25 バックアップ領域サブクロック制御レジスタ (BKSCCR)

アドレス 0008 CC01h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SOSEL	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SOSEL	サブクロックソース選択ビット	0：内蔵サブクロック発振器 1：外部サブクロック入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、バックアップ領域リセットによってのみ初期化されます。MCUのリセットには影響されません。

BKSCCR レジスタは、バックアップ領域内の各モジュールとリモコン信号受信機能 (REMC) に供給されるサブクロックのクロックソースを選択するレジスタです。

SOSEL ビット (サブクロックソース選択ビット)

SOSEL ビットは、バックアップ領域内の各モジュールとリモコン信号受信機能 (REMC) に供給されるサブクロックのクロックソースを選択します。

9.2.26 高速オンチップオシレータトリミングレジスタ n (HOCOTRRn) (n = 0 ~ 2)

アドレス HOCOTRR0 007F B0E0h, HOCOTRR1 007F B0E4h, HOCOTRR2 007F B0E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16							
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0							
リセット後の値	1	1	1	1	1	1	1	HOCOTRD[8:0]								(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)

ビット	シンボル	ビット名	機能	R/W
b8-b0	HOCOTRD[8:0]	高速オンチップオシレータ周波数補正ビット	b8 b0 00000000 : 0 (周波数 : 低) 00000001 : 1 : : 111111110 : 510 111111111 : 511 (周波数 : 高)	R/W
b31-b9	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. FLLを使用する場合、このレジスタを書き換えしないでください。

注1. チップごとの固定値

HOCOTRD[8:0] ビット (高速オンチップオシレータ周波数補正ビット)

高速オンチップオシレータの周波数補正値を設定してください。設定値は値を大きくすると周波数が高くなります。

工場出荷時に一定の条件で調整していますので、リセット後の値はチップごとに異なります。

リセットすることにより工場出荷時に調整した発振周波数に戻ります。書き換える場合、

HOCOCR2.HCFRQ[1:0] ビットを設定してから対応するレジスタを書き換えてください。書き換えた後、発振が安定するまで 65 μs 待ってください。

- HOCOCR2.HCFRQ[1:0] ビットが“00b” (16 MHz) の場合、HOCOTRR0.HOCOTRD[8:0] ビットを書き換えて HOCO 周波数を調整します。
- HOCOCR2.HCFRQ[1:0] ビットが“01b” (18 MHz) の場合、HOCOTRR1.HOCOTRD[8:0] ビットを書き換えて HOCO 周波数を調整します。
- HOCOCR2.HCFRQ[1:0] ビットが“10b” (20 MHz) の場合、HOCOTRR2.HOCOTRD[8:0] ビットを書き換えて HOCO 周波数を調整します。

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図9.6に示します。

使用する発振子の負荷容量を参考に接続してください。また、必要に応じてダンピング抵抗 (R_d) を挿入してください。容量値、抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って EXTAL, XTAL 間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表9.1のメインクロック発振器の発振子周波数の範囲内としてください。

発振子を接続する場合、MOFCR.MODRV2[1:0] ビット (メインクロック発振器ドライブ能力2切り替えビット) を設定する必要があります。

MODRV2[1:0] ビットの機能欄に記載された周波数範囲は、負荷容量 $C_L = 8 \text{ pF}$ の水晶振動子をターゲットにした目安値になっています。水晶振動子によっては設定値が周波数範囲に入らない場合がありますので、発振子メーカーの推奨する値に設定してください。

また、セラミック共振子の場合は、発振子の周波数よりも低い周波数範囲を選択した方が良い場合があります (たとえば、16.1 ~ 20 MHz のセラミック共振子を使用する場合、“01b” ではなく “10b” を設定) ので、同様に発振子メーカーの推奨する値に設定してください。

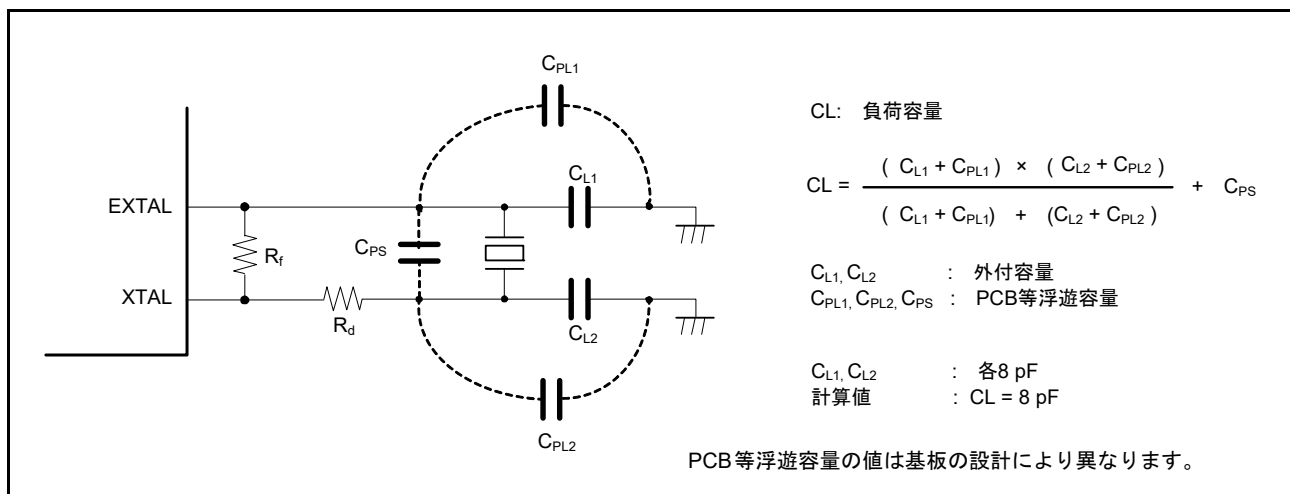


図 9.6 水晶振動子の接続例

表 9.4 ダンピング抵抗(参考値)

周波数 (MHz)	8	12	16	20	24
R_d (Ω)	0	0	0	0	0

水晶振動子の等価回路を図9.7に示します。水晶振動子は表9.5に示す特性のものを使用してください。

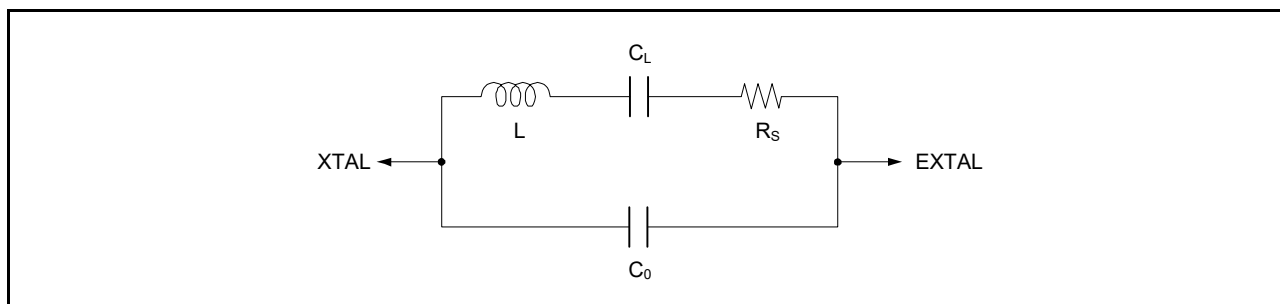


図 9.7 水晶振動子の等価回路

表 9.5 水晶振動子の特性(参考値)

周波数 (MHz)	8	12	16	20	24
R_S max (Ω)	300	100	80	50	50

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図9.8に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSEL ビットを“1”にし、XTAL 端子をオープンにしてください。

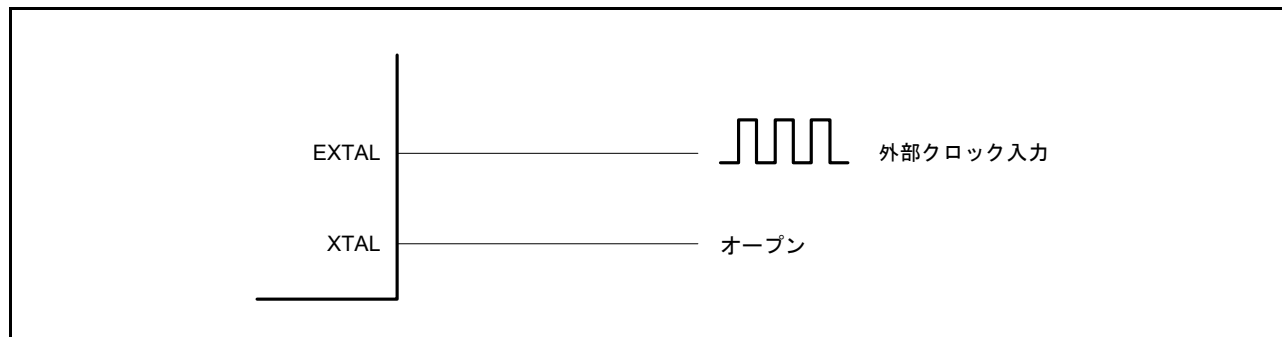


図 9.8 外部クロックの接続例

9.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に“0” (メインクロック発振器動作)、またはメインクロック発振器強制発振ビット (MOFCR.MOFXIN) に“1” (メインクロック発振器を強制発振) が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 サブクロック発振器

サブクロック発振器へクロックを供給するには、水晶振動子を接続してください。

9.4.1 32.768 kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、**図 9.9** に示すように 32.768 kHz の水晶振動子を接続します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って XCIN, XCOUT 間に R_f を挿入してください。発振子を接続してクロックを供給する場合、接続する発振子は**表 9.1** のサブクロック発振器の発振子周波数の範囲内としてください。

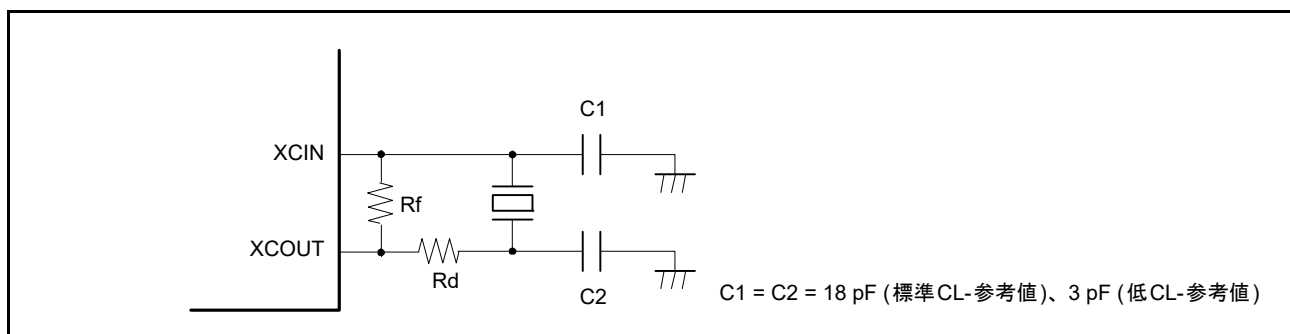


図 9.9 32.768 kHz 水晶振動子の接続例

32.768 kHz 水晶振動子の等価回路を**図 9.10** に示します。水晶振動子は**表 9.6** に示す特性のものを使用してください。

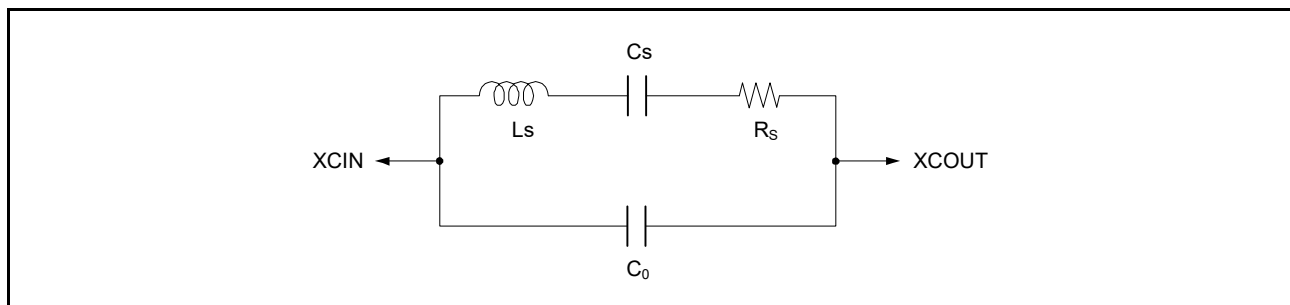


図 9.10 水晶振動子の等価回路

表 9.6 水晶振動子の特性(参考値)

周波数(kHz)	32.768 (低CL)	32.768 (標準CL)
R_S max (k Ω)	60	60

標準 CL : 7 ~ 12.5 pF

低 CL : 5 pF 以下

9.4.2 サブクロックを使用しない場合の端子処理

サブクロックを使用しない場合は、図 9.11 に示すように XCIN 端子を抵抗を介して VSS に接続 (プルダウン) し、XCOUT 端子をオープンとしてください。

また、SOSCCR.SOSTP ビットを“1”(停止)に、かつ RCR3.RTCEN ビットを“0”(サブクロック発振器停止)にした後、SOSCCR2.SOSTP2 ビットを“1”(サブクロック発振器停止)にしてください。サブクロックに関する RTC のレジスタの一部はコールドスタートにて不定となりますので、コールドスタート後にこれらのビットを設定してください。

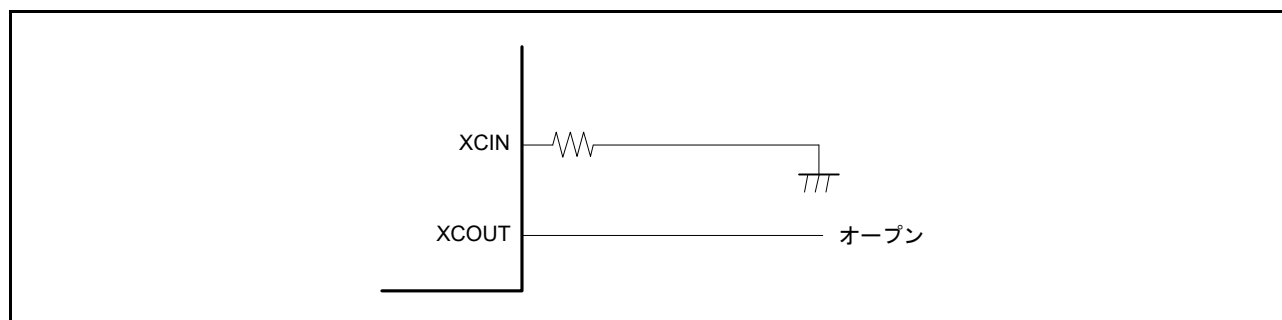


図 9.11 サブクロックを使用しない場合の端子処理

9.5 発振停止検出機能

9.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよび PLL クロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。PLL のクロックソースに HOCO クロックを選択し、かつ、システムクロックのクロックソースに PLL クロックを選択している場合、メインクロックの発振停止を検出しても、システムクロックは LOCO クロックに切り替わりません。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTU の出力を強制的にハイインピーダンスとすることも可能です。詳細は、「24. マルチファンクションタイマパルスユニット 3 (MTU3a)」、「25. ポートアウトプットイネーブル 3 (POE3a)」を参照してください。

本 MCU は、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合にメインクロックの発振停止を検出します。検出期間の詳細は、「表 56.59 発振停止検出回路特性」を参照してください。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックと PLL クロックが、それぞれ前段のセレクタにて LOCO クロックに切り替わります。

そのため、メインクロックを PLL のクロックソースに選択した PLL クロック、あるいはメインクロックをシステムクロックのクロックソースに選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースが LOCO クロックへと切り替わります。

メインクロックと LOCO クロックの切り替えおよび PLL クロックと LOCO クロックの切り替えは、それぞれ発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグが“1”になると LOCO クロックへ切り替わり、OSTDF フラグを“0”にするとメインクロックあるいは PLL クロックに戻ります。

ただし、CKSEL[2:0] ビットでメインクロック、あるいは PLL クロックを選択している場合は、OSTDF フラグを“0”にできません。発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻りたい場合は、一度 CKSEL[2:0] ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを“0”にしてください。その後、OSTDF フラグが“1”になっていないことを確認し、所定の発振安定時間経過後に CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ OSCOVFSR.MOOVF フラグまたは OSCOVFSR.PLOVF フラグに“1”がセットされたことを確認した後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能は無効にしてください。

発振停止検出によって LOCO クロックに切り替わるクロックは、システムクロックソースとしてのメインクロック、PLL クロックと、CAC メインクロック (CACMCLK)、および CAN クロック (CANMCLK) です。RTC メインクロック (RTCMCLK) として供給されるメインクロックの切り替えは行いません。

なお、LOCO クロックに切り替わったときの各クロックの周波数はシステムクロックコントロールレジスタ (SCKCR, SCKCR2, SCKCR3) の設定値で決まります。

図 9.12 に発振停止検出機能の初期化手順のフローチャート例を示します。

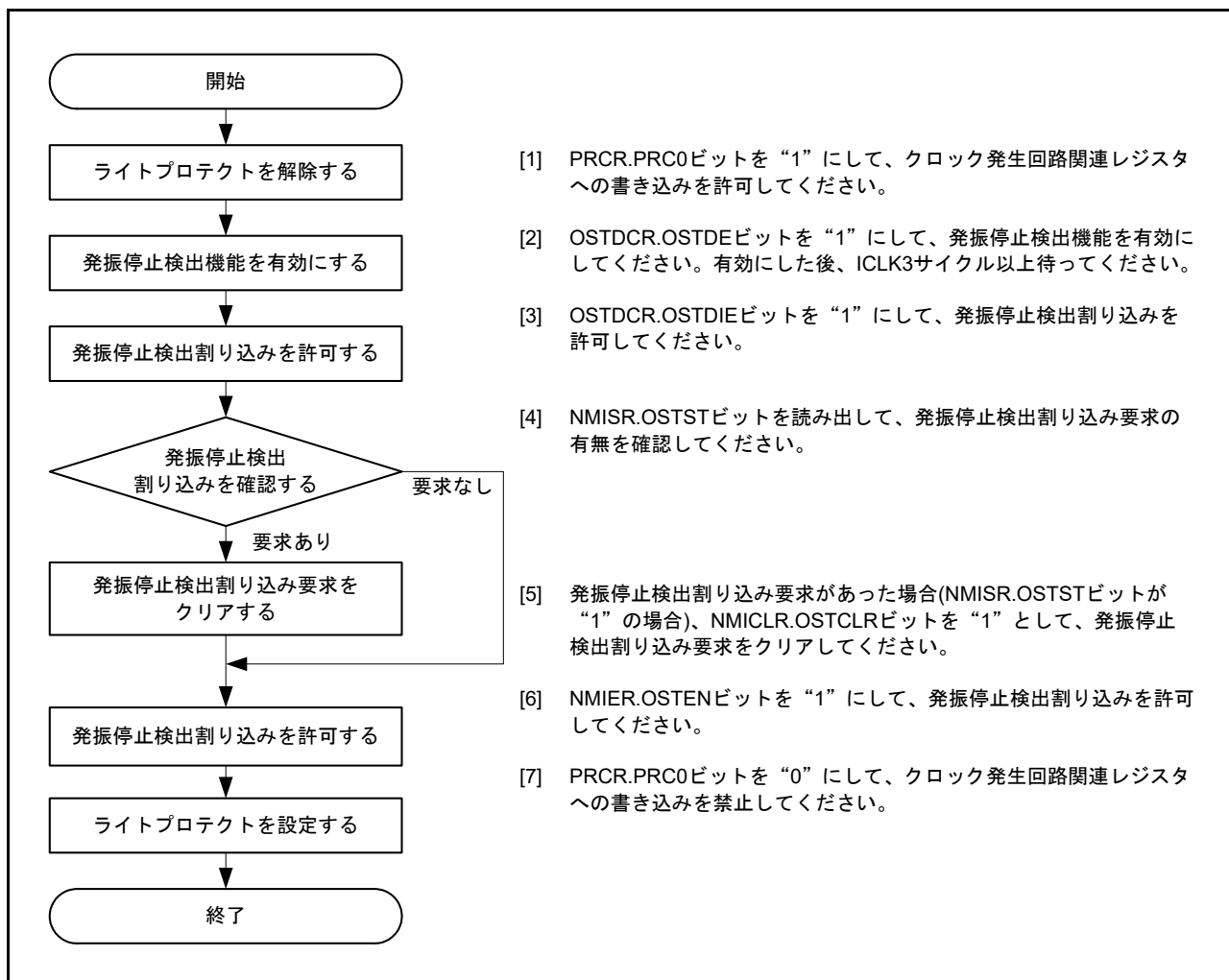


図 9.12 発振停止検出機能の初期化手順のフローチャート例

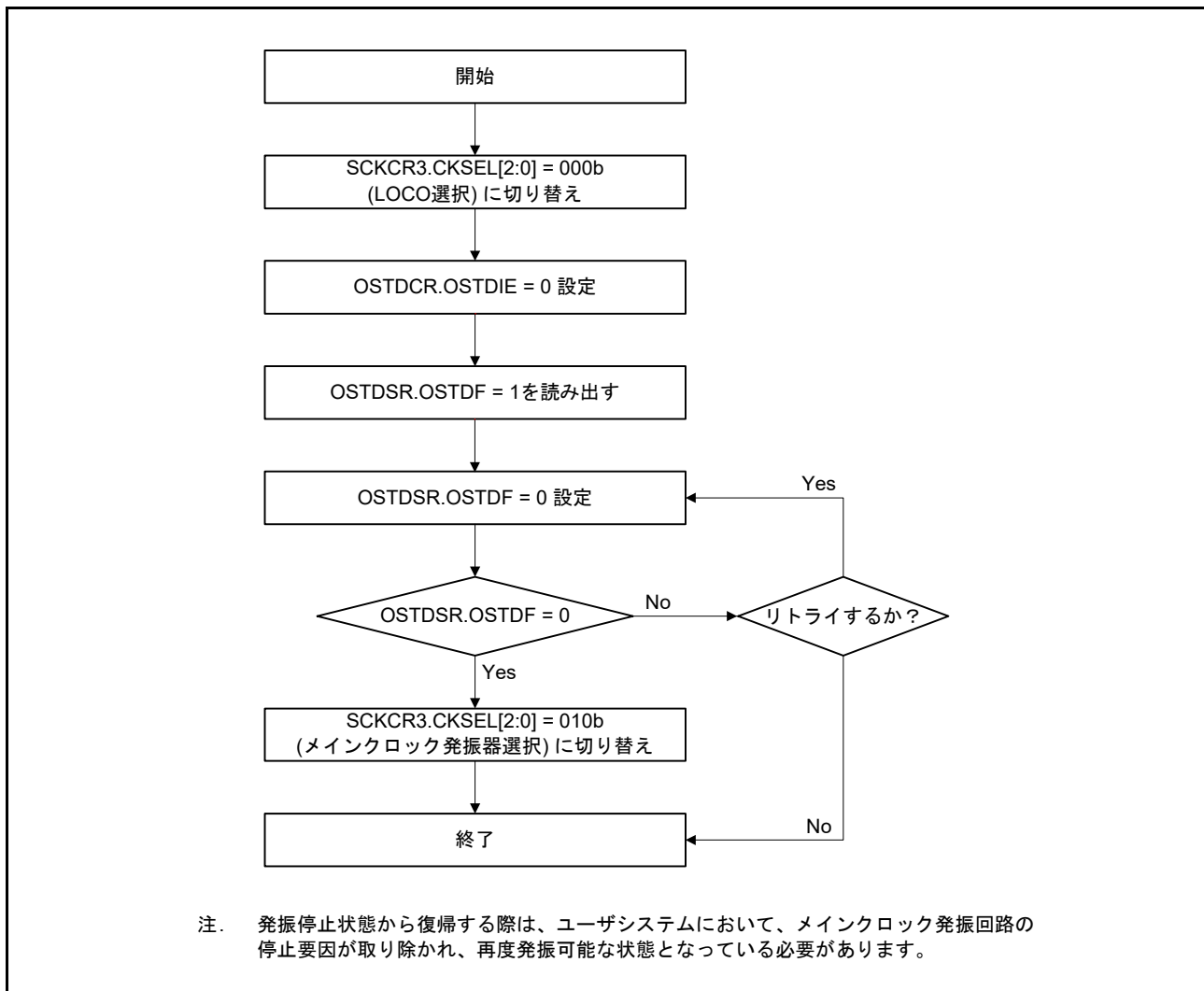


図 9.13 発振停止検出からの復帰のフローチャート例

9.5.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が“1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が“1”になると発振停止検出割り込み (OSTDI) 要求が発生します。また、このときポートアウトプットイネーブル3 (POE) へメインクロック発振器の停止を通知します。POEは、発振停止の通知を受けて入力レベルコントロール/ステータスレジスタ6のOSTSTハイインピーダンスフラグ (ICSR6.OSTSTF) を“1”にします。このICSR6.OSTSTFフラグは、発振停止を検出後、PCLKBで10サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDFフラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を“0”にした後に行ってください。その後、OSTDCR.OSTDIEビットを再度“1”にする場合は、PCLKBで2サイクル以上待ってから行ってください。アクセスサイクル数がPCLKBで定義されているI/Oレジスタを読み出すことによって、PCLKB2サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みをノンマスクابل割り込みとして使用する場合、リセット解除後の初期状態では、「ノンマスクابل割り込み禁止」となっていますので、ソフトウェアでNMIEPレジスタの該当ビットを“1”にセットしてノンマスクابل割り込みを有効にしてください。マスクابل割り込みとして使用する場合は、NMIEPレジスタをリセット後の値から変更しないでください。詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。

9.6 PLL 回路

PLL 回路は、発振器からの周波数を通倍する機能を持っています。

9.7 内部クロック

内部クロックは、クロックソースとしてメインクロック、サブクロック、HOCO クロック、LOCO クロック、PLL クロック、IWDT 専用クロック、JTAG 外部クロックがあり、これらのクロックから下表に示す内部クロックを生成します。

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKA[3:0], PCKB[3:0], PCKC[3:0], PCKD[3:0] ビット、BCKCR.BCLKDIV ビット、SCKCR2.UCK[3:0] ビット、クロックソースを選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

表9.7 内部クロックと供給先モジュール

	内部クロックの種類	クロック名	供給先モジュール
1	システムクロック	ICLK	CPU、コードフラッシュメモリ、RAM、ICU、BSC、DMAC、DTC、EXDMAC、MPU、QSPIX
2	周辺モジュールクロック	PCLKA	MTU, SCIm, RSCI, RSPI, RSPIA, RIICHS
		PCLKB	TPU、PPG、TMR、CMT、CMTW、RTC、WDT、IWDT、POE3、SCIh、SCIh、RIIC、SSIE、CAN、USB、SDHI、CTSUI、REMC、S12AD、温度センサ、CRC、DOC、CAC、Trusted Secure IP、スタンバイRAM、I/O、MPC、ICU
		PCLKC	S12AD (ユニット0)
		PCLKD	S12AD (ユニット1)
3	FlashIFクロック	FCLK	データフラッシュメモリ、コードフラッシュメモリ
4	外部バスクロック	BCLK	BSC、I/O
5	SDRAMクロック	SDCLK	I/O
6	USBクロック	UCLK	USB
7	CANクロック	CANMCLK	CAN
8	CLKOUTクロック	CLKOUT	I/O
9	CACクロック	CACMCLK (メインクロック)	CAC
		CACSCLK (サブクロック)	
		CACHCLK (HOCOクロック)	
		CACLCLK (LOCOクロック)	
		CACILCLK (IWDT専用クロック)	
10	RTCクロック	RTCMCLK (メインクロック)	RTC
		RTCSCLK (サブクロック)	
11	REMCクロック	REMSCLK (サブクロック)	REMC
12	VBATTクロック	VBATCLK	VBATT
13	IWDT専用クロック	IWDTCLK	IWDT、CAC
14	JTAGクロック	JTAGTCK	パウンダリスキャン

9.7.1 システムクロック

システムクロック (ICKLK) は、CPU, DMAC, DTC, QSPIX, コードフラッシュメモリおよびRAM の動作クロックです。

ICKLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。

9.7.2 周辺モジュールクロック

周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD) は、周辺モジュールの動作クロックです。

各周波数はそれぞれ、SCKCR.PCKA[3:0] ビット、SCKCR.PCKB[3:0] ビット、SCKCR.PCKC[3:0] ビット、SCKCR.PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。周辺モジュールクロックの周波数は、システムクロックの周波数より高速に設定することができます。

9.7.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF の動作クロックであり、コードフラッシュメモリ、データフラッシュメモリのプログラム / イレズ、およびデータフラッシュメモリリードに使用するクロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。

9.7.4 外部バスクロック

外部バスクロック (BCLK) は、外部バスコントローラ、EXDMAC の動作クロックです。また、BCLK は外部バスに BCLK 端子から外部に出力できます。外部バス有効時、BCLK 端子と兼用している P53 は、I/O ポートとして使用できません。

SCKCR.PSTOP1 ビットを“0”、システムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にすると、BCLK を BCLK 端子から出力することができます。SYSCR0.EXBE ビットを“1”に変更する場合は、SCKCR.PSTOP1 ビットが“1”の状態で行ってください。

また、BCKCR.BCLKDIV ビットを“1”にすると、BCLK 端子から BCLK の 2 分周クロックを出力することができます。

BCLK の周波数は、SCKCR.BCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。

BCLK は、システムクロック (ICKLK) より高い周波数に設定することはできません。

9.7.5 SDRAM クロック

SDRAM クロック (SDCLK) は、外部バスコントローラの動作クロックです。また、SDCLK は外部バスに接続する SDRAM に SDCLK 端子から外部に出力できます。

SCKCR.PSTOP0 ビットを“0”、外部バス制御レジスタ 1 (PFBCR1) の SDCLK 許可ビット (SDCLKE) を“1” (SDCLK 出力有効) にすると、SDCLK を SDCLK 端子から出力することができます。PFBCR1.SDCLKE ビットの値を変更する場合は、SCKCR.PSTOP0 ビットが“1”の状態で行ってください。

SDCLK の周波数は、SCKCR.BCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットにより設定します。

SDCLK は、システムクロック (ICKLK) より高い周波数に設定することはできません。

9.7.6 USB クロック

USB クロック (UCLK) は、USB の動作クロックです。

UCLK の周波数は、SCKCR2.UCK[3:0], SCKCR3.CKSEL[2:0], PLLCR.STC[5:0], PLLCR.PLIDIV[1:0] ビットで設定します。UCLK の周波数は 48 MHz にする必要があります。

9.7.7 CLKOUT クロック

CLKOUT クロック (CLKOUT) は、CLKOUT 端子から外部に出力できます。

CLKOUT の周波数は、CKOCR.CKOSEL[2:0], CKODIV[2:0] ビットにより設定します。

9.7.8 CAN クロック

CAN クロック (CANMCLK) は、CAN モジュールの動作クロックです。

CANMCLK は、メインクロック発振器で生成されたクロックです。

9.7.9 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC モジュールの動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、サブクロック発振器で生成される CACSCCLK、高速オンチップオシレータで生成される CACHCLK、低速オンチップオシレータで生成される CACLCLK、IWDTC オシレータで生成される CACILCLK、周辺モジュールに供給される PCLKB があります。

9.7.10 RTC クロック

RTC クロック (RTCSCCLK, RTCMCLK) は、RTC モジュールの動作クロックです。

RTCSCCLK には、サブクロック発振器で生成されたクロックと、外部入力されたクロックがあります。RTCMCLK はメインクロック発振器で生成されたクロックです。

9.7.11 REMC クロック

REMC クロック (REMSCCLK) は、REMC モジュールの動作クロックです。

REMSCCLK には、サブクロック発振器で生成されたクロックと、外部入力されたクロックがあります。

9.7.12 VBATT クロック

VBATT クロック (VBATCLK) は、VBATT 用クロックです。

VBATCLK には、サブクロック発振器で生成されたクロックと、外部入力されたクロックがあります。

9.7.13 IWDTC 専用クロック

IWDTC 専用クロック (IWDTCCLK) は、IWDTC モジュールの動作クロックです。

IWDTCCLK は、IWDTC 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.7.14 JTAG クロック

JTAG クロック (JTAGTCK) は、JTAG の動作クロックです。

JTAGTCK は、JTAG 外部クロック (TCK) から生成されたクロックです。

9.8 クロックソース切り替え

本 MCU は、リセット解除中に発振した LOCO クロックで、内部リセット時間 (tRESWT) 経過後 CPU 命令フェッチを始めます。その後、LOCO クロックで動作している CPU で、切り替え先のクロック設定を行った後、発振安定フラグレジスタで切り替えたいクロックが発振安定したことを確認してからクロックソースを切り替えてください。

- (1) 内部リセット解除後、システムクロックを LOCO クロックから PLL クロック (クロックソース : メインクロック) に設定する手順例
 - ① 内部リセット解除後、MOFCR レジスタの MODRV2[1:0] ビットでドライブ能力を設定
 - ② MOSCWTCR.MSTS[7:0] ビットでメインクロック発振器の発振待機時間を設定
 - ③ MOSCCR レジスタの MOSTP ビットでメインクロック発振器を動作に設定
 - ④ ICLK を $60 \text{ MHz} < \text{ICLK} \leq 120 \text{ MHz}$ にする場合は、ROMWT レジスタの ROMWT[1:0] ビットを “01b” に設定
 - ⑤ PLLCR レジスタで周波数通倍率を設定 (PLL クロックソースの初期設定はメインクロック発振器)
 - ⑥ PLLCR2 レジスタの PLL 停止制御ビットで PLL 動作を選択
 - ⑦ OSCOVFSR レジスタの PLOVF フラグで PLL クロックが安定したことを確認
 - ⑧ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックから PLL クロックに変更
- (2) 内部リセット解除後、システムクロックを LOCO クロックから PLL クロック (クロックソース : HOCO クロック) に設定する手順例
 - ① 内部リセット解除後、HOCOCR2 レジスタの HCFRQ[1:0] ビットで周波数を設定
 - ② HOCOCR レジスタの HCSTP ビットで HOCO クロックを動作に設定
(初期値は OFS1.HOCOEN ビットで決まります。OFS1.HOCOEN ビットが 0 であれば動作を設定する必要はありません。また HOCO クロックの発振待機時間は LOCO クロックで 25 サイクルになります。)
 - ③ ICLK を $60 \text{ MHz} < \text{ICLK} \leq 120 \text{ MHz}$ にする場合は、ROMWT レジスタの ROMWT[1:0] ビットを “01b” に設定
 - ④ PLLCR レジスタで周波数通倍率、PLL クロックソースを HOCO クロックに設定
 - ⑤ PLLCR2 レジスタの PLL 停止制御ビットで PLL 動作を選択
 - ⑥ OSCOVFSR レジスタの PLOVF フラグで PLL クロックが安定したことを確認
 - ⑦ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックから PLL クロックに変更
- (3) 内部リセット解除後、システムクロックを LOCO クロックからメインクロックに設定する手順例
 - ① 内部リセット解除後、MOFCR レジスタの MODRV2[1:0] ビットでドライブ能力を設定
 - ② MOSCWTCR.MSTS[7:0] でメインクロック発振器の発振待機時間を設定
 - ③ MOSCCR レジスタの MOSTP ビットでメインクロック発振器を動作に設定
 - ④ OSCOVFSR レジスタの MOOVF フラグでメインクロック発振器が安定したことを確認
 - ⑤ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックからメインクロックに変更
- (4) 内部リセット解除後、システムクロックを LOCO クロックから HOCO クロックに設定する手順例
 - ① 内部リセット解除後、HOCOCR2 レジスタの HCFRQ[1:0] ビットで周波数を設定
 - ② HOCOCR レジスタの HCSTP ビットで HOCO クロックを動作に設定
(初期値は OFS1.HOCOEN ビットで決まります。OFS1.HOCOEN ビットが 0 であれば動作を設定する必要はありません。また HOCO クロックの発振待機時間は LOCO クロックで 25 サイクルになります。)
 - ③ OSCOVFSR レジスタの HCOVF フラグで HOCO クロックが安定したことを確認
 - ④ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックから HOCO クロックに変更

9.9 ELC によるリンク動作

9.9.1 ELC へのイベント信号出力

クロック発生回路は、メインクロックの発振停止検出時、イベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) の設定に関係なく出力することができます。詳細は「21. イベントリンクコントローラ (ELC)」を参照してください。

9.9.2 ELC からのイベント信号受信によるクロックソース切り替え

クロック発生回路は、ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる低速オンチップオンレータへのクロックソースの切り替え動作が可能です。

なお本機能を使用しているときは、スリープモード復帰時のクロックソース切り替え機能は同時に使用できません。詳細は、「11.2.7 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。

9.10 使用上の注意事項

9.10.1 クロック発生回路に関する注意事項

- (1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKA ~ PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK)、SDRAM クロック (SDCLK) の周波数を選択します。各周波数は、以下のようにしてください。
各周波数は電気的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。
周波数は表 9.1 の周波数範囲内に収まるように設定してください。
周辺モジュールは、基本的に PCLKA, PCLKB を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。
また、A/D コンバータの変換クロックとして、PCLKC (ユニット 0)、PCLKD (ユニット 1) があります。A/D コンバータの動作クロックとなる PCLKB より高い周波数に設定しないでください。
- (2) システムクロック (ICLK) と外部バスクロック (BCLK) との間には以下の周波数関係が必要です。
ICLK \geq BCLK の周波数関係
また、周辺モジュールクロック内で、以下の周波数関係が必要です。
PCLKA \geq PCLKB, PCLKB \geq PCLKC, PCLKB \geq PCLKD の周波数関係
- (3) 外部バスアクセス中は、クロック周波数の変更を実施しないでください。またクロック周波数の変更後に外部バスアクセスを開始する場合は、周波数変更が完了したことを確認してから外部バスアクセスを開始するようにしてください。
- (4) SCKCR, SCKCR2, SCKCR3, BCKCR レジスタの書き換えによってクロック周波数を変更する場合、確実にクロック周波数に変更された後に次の処理を実行するために、同レジスタの書き込み完了を待ってから次の処理を実行してください。I/O レジスタの書き込み完了の確認手順は「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください。

9.10.2 SCKCR3 レジスタ書き換え時の注意事項

SCKCR3 レジスタが書き換えられた場合、クロックソースの切り替え時に短いクロックパルス (グリッチ) が発生しないよう、一時的にクロック出力を停止させています。この期間内に下記の条件を満たす信号が入力された場合、割り込みコントローラやイベントリンクコントローラで検出できないことがあります。

- (1) PCLKB の分周比が 1 分周 (SCKCR.PCKB[3:0] ビットが “0000b”) の場合、切り替え後の PCLKB の 4 サイクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み
- (2) PCLKB の分周比が 2 分周 (SCKCR.PCKB[3:0] ビットが “0001b”) の場合、切り替え後の PCLKB の 2.5 サイクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み
- (3) RTC のカウントソースをサブクロックにしている (RCR4.RCKSEL ビットが “0”) 場合に、SCKCR3.CKSEL[2:0] ビットを “011b” (サブクロック) に変更したときの RTC 周期割り込み、RTC 周期イベント出力
- (4) RTC のカウントソースをメインクロックにしている (RCR4.RCKSEL ビットが “1”) 場合に、SCKCR3.CKSEL[2:0] ビットを “100b” (PLL 回路) 以外に変更したときの RTC 周期割り込み、RTC 周期イベント出力

外部端子割り込み、NMI 端子割り込みを使用する場合は、上記 (1)、(2) の条件が満たされないように、十分にパルス幅の広い信号を入力してください。また、RTC 周期割り込み、RTC 周期イベント出力を使用する場合は、RTC 周期割り込みが発生してから、次の RTC 周期割り込みが発生するまでの間にクロックソースを切り替えてください。

9.10.3 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.10.4 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 9.14 に示すように発振回路の近くには信号線を通させないでください。電磁誘導によって正常に発振しなくなることがあります。

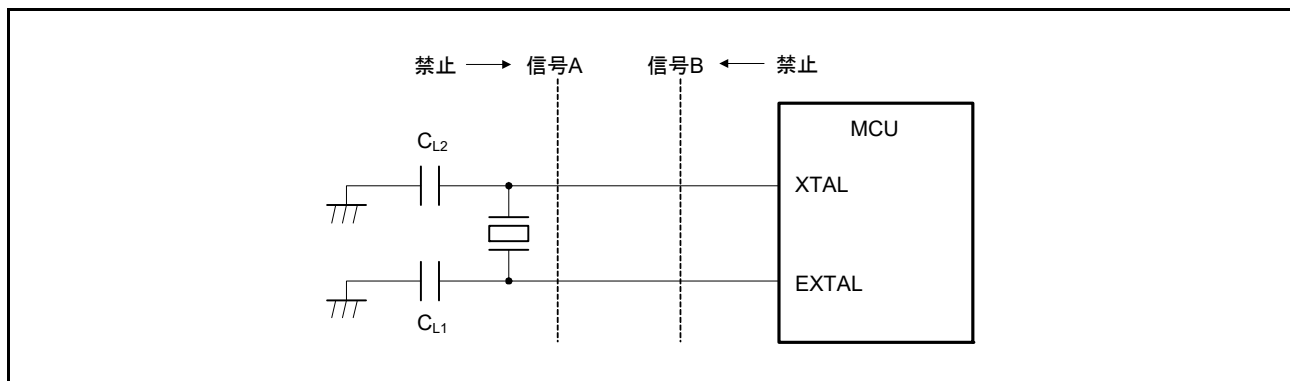


図 9.14 発振回路部のボード設計に関する注意事項（メインクロック発振器の場合、サブクロック発振器も同様）

9.10.5 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子、XTAL 端子を汎用ポート P36, P37 として使用することができます。汎用ポートとして使用する場合は、メインクロック停止設定 (MOSCCR.MOSTP ビットを“1”、かつ MOFCR.MOFXIN ビットを“0”) で使用してください。ただし、メインクロックを使用するシステムにおいては EXTAL 端子 (P36)、XTAL 端子 (P37) を出力ポートとして使用しないでください。ポート設定に関連するレジスタの設定値は「表 23.36 レジスタの設定」を参照してください。また、以下の機能を使用する場合、メインクロックが必要となるので、両端子をメインクロックとして使用できるようにボード設計を行ってください。

- ブートモード (USB インタフェース) でのフラッシュ書き換え (注 1)

注 1. 各モードにおける発振子の条件は「55.20.7 ブートモード (USB インタフェース) における注意事項」を参照してください。

9.10.6 サブクロック発振器に関する注意事項

サブクロックの用途には、システムクロックのクロックソース、リモコン信号受信機能 (REMC) の動作クロック、バッテリバックアップ機能 (VBATT) の動作クロック、およびリアルタイムクロック (RTC) のクロックソースがあります。

サブクロック発振器の発振を制御するビットは、SOSCCR.SOSTP ビットと RCR3.RTCEN ビットの2つあります。SOSTP ビットは、主にサブクロックの発振を開始させたり停止させたりするために、RTCEN ビットは、ソフトウェアスタンバイモードやディープソフトウェアスタンバイモード中にサブクロックの発振を停止させないようにするために使用します。

また、上記以外にもサブクロック発振器に関するレジスタやビットがあり、これらの設定には以下のよう注意、制限があります。

- SOSCCR.SOSTP ビットを書き換えた後や、RCR3 レジスタの各ビットを書き換えた後は、値が書き換わったことを確認してから、次の処理を行ってください。
- RCR4.RCKSEL ビットを“1”(メインクロック発振器を選択)にした場合、RTCEN ビットの設定値に関わらず、サブクロック発振器の制御は SOSTP ビットによってのみ行われます。
- コールドスタート時、RCR3 レジスタの値は不定です。サブクロックを使用する / しないに関わらず、RCR3 レジスタに値を設定してください。
- RCR3.RTCDV[2:0] ビットを書き換えは、サブクロック発振器を停止させてから行ってください。サブクロックの停止は、RTCEN ビットを“0”、SOSTP ビットを“1”にした後、OSCOVFSR.SOOVF フラグが“0”になったことで確認できます。
- SOSCWTCR.SSTS[7:0] ビットを書き換えは、SOSTP ビットが“1”のとき、または SOOVF フラグが“1”のときに行ってください。
- サブクロックを発振させるときは、SOSTP ビットを“1”から“0”に書き換えることを行ってください。また、発振が安定したかどうかは、SOOVF フラグが“1”になることで確認してください。
- サブクロックを RTC のクロックソースとして使用する場合、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード中に REMC や VBATT を動作させる場合は、SOOVF フラグが“1”になった後 RTCEN ビットを“1”にして、上記期間中に発振が停止しないようにしてください。なお、この場合、サブクロックが停止しなくなるため、SOSCWTCR.SSTS[7:0] ビットも“00000000b”にしてください。

9.10.6.1 サブクロックをソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード中に停止させない場合

サブクロックをRTCのクロックソースとして使用する場合や、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード中にREMCやVBATTを動作させる場合、サブクロックをシステムクロックソースとして使用するかどうかに関わらず、図9.15に示すフローチャート例に従ってサブクロック発振器を動作させてください。

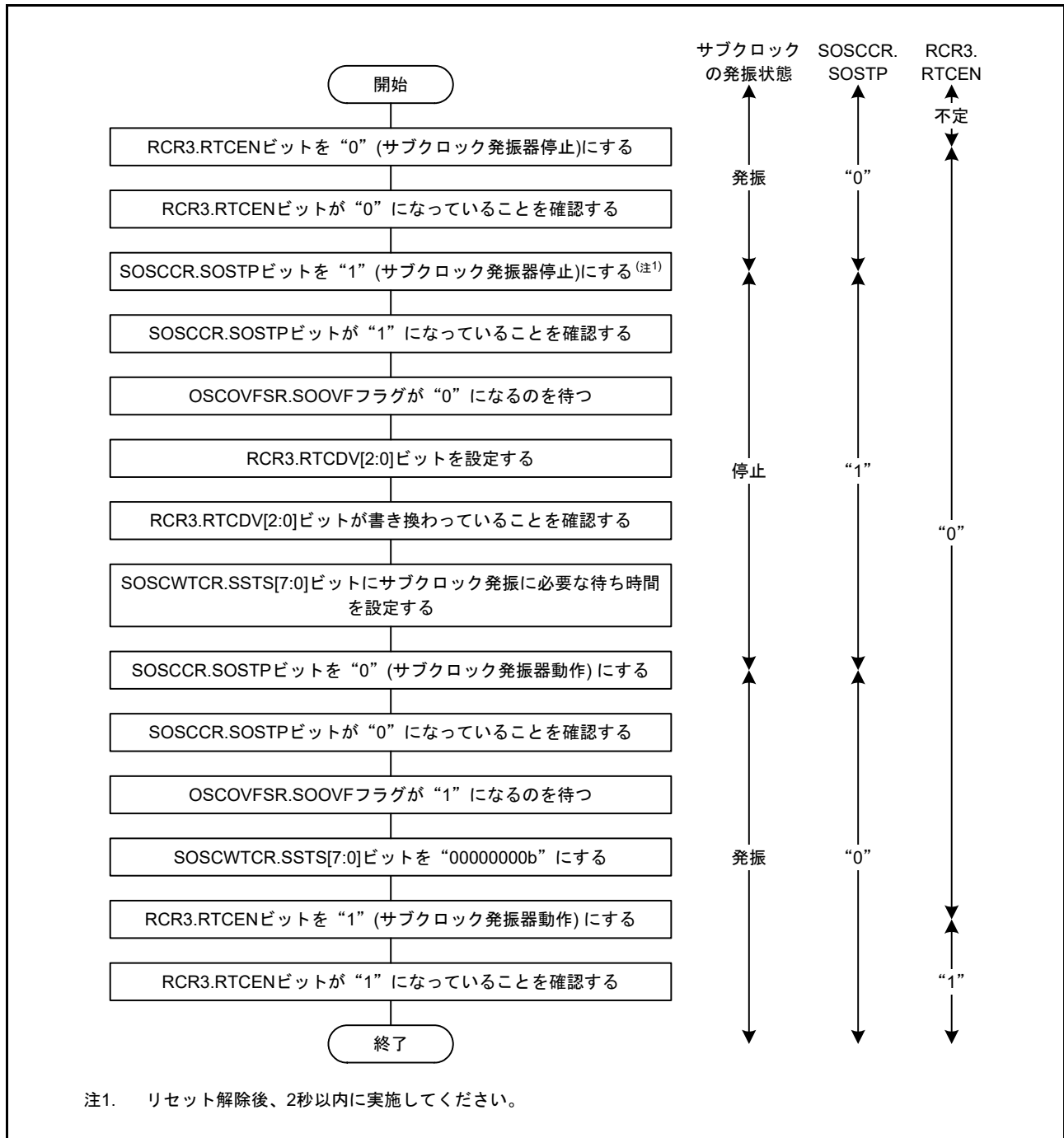


図 9.15 サブクロックをソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード時に停止させたくない場合の初期化フローチャート例

9.10.6.2 サブクロックをソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード中に停止させる場合

サブクロックを RTC のクロックソースとして使用せず(注1)、かつソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード中に REMC や VBATT を動作させずに、システムクロックソースとしてのみ使用する場合、図 9.16 のフローチャート例に従ってサブクロック発振器を動作させてください。なお、RCR4.RCKSEL ビットを“1”(メインクロック発振器を選択)にした場合は、RCR3.RTCEN ビットの設定は不要です。

注1. RTC を使用しない場合は、「31.6.8 リアルタイムクロックを使用しない場合の初期化手順」に従って RTC を停止させてください。

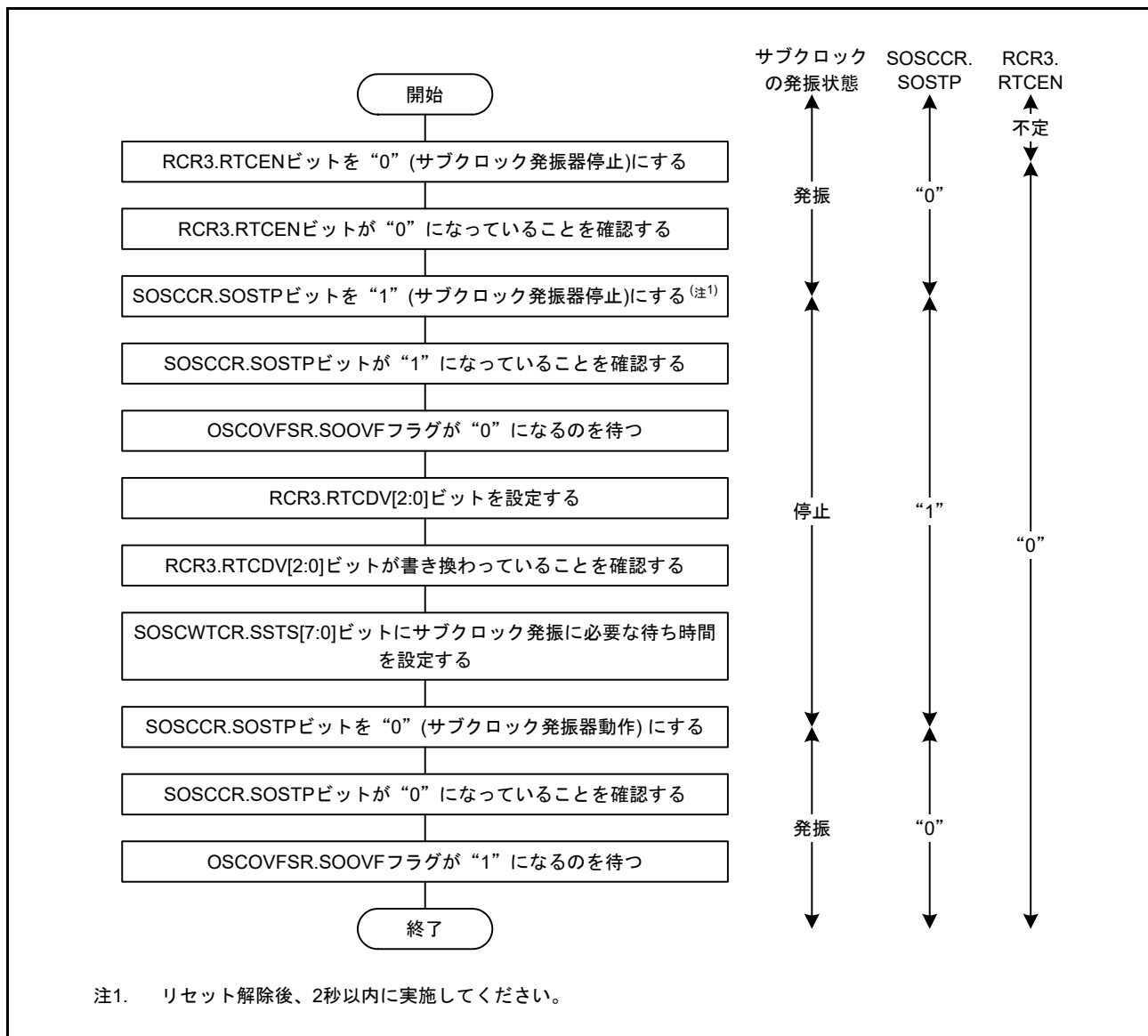


図 9.16 サブクロックをソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード時に停止させる場合の初期化フローチャート例

9.10.6.3 サブクロックを使用しない場合

サブクロックを使用しない場合(注1)、図 9.17 のフローチャート例に従ってサブクロック発振器を停止させてください。なお、RCR4.RCKSEL ビットを“1”(メインクロック発振器を選択)にした場合は、RCR3.RTCEN ビットの設定は不要です。

注1. RTCを使用しない場合は、「31.6.8 リアルタイムクロックを使用しない場合の初期化手順」に従ってRTCを停止させてください。

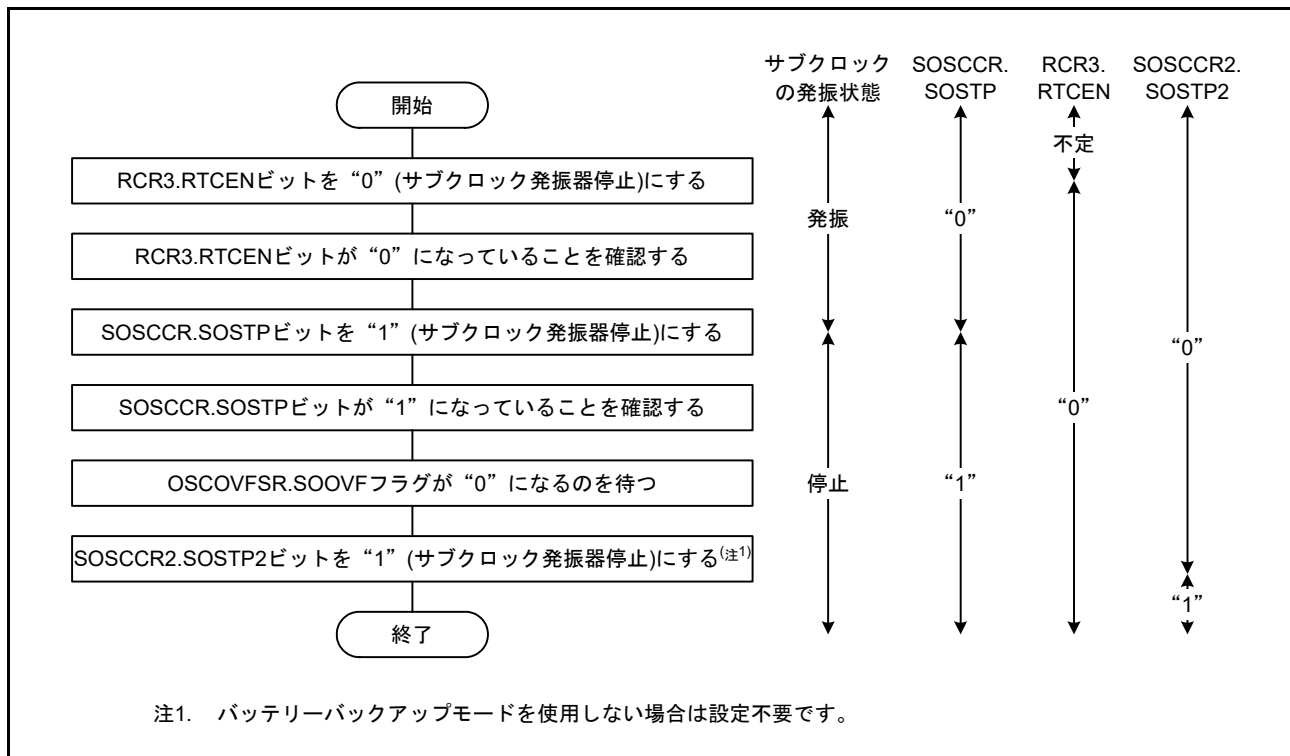


図 9.17 サブクロックを使用しない場合のフローチャート例

9.10.7 低 CL 水晶振動子の使用に関する注意事項

RCR3.RTCDV[2:0] ビットを“001b”(低 CL 用ドライブ能力)にした場合、ノイズの影響を受けやすくなります。特に、XCIN 端子や XCOUT 端子の近傍の信号が変化すると、サブクロック発振器の発振精度に影響する可能性があります。影響の大きさは、基板の配線パターンや近傍の信号変化の状況により異なります。低 CL 水晶振動子を使用した基板を作成する際には、アプリケーションノート「メインクロック回路、サブクロック回路のデザインガイド」(R01AN7202JJ)を参考に、ノイズ対策を実施してください。

発振精度に与える影響が大きい例を以下に示します。

(1) FINED 端子にオンチップデバッグエミュレータを接続する場合

FINED 端子(FINE インタフェース端子)は、XCIN 端子、XCOUT 端子の近傍に存在するため、この端子を使用してデバッグを行うと、サブクロック発振器の発振精度に影響します。FINED 端子を使用してデバッグを行う際は、RCR3.RTCDV[2:0] ビットに“001b”(低 CL 用ドライブ能力)を設定し、常温で実施してください。

(2) メインクロック発振器に外部クロックを供給する場合

EXTAL 端子に外部クロックを入力すると、サブクロック発振器の発振精度に影響を与える可能性があります。さらに、XTAL 端子に反転した外部クロックを入力すると、より影響が大きくなります。

9.10.8 48 ピンパッケージ製品に関する注意事項

48 ピンの製品では、サブクロックおよび RTC を使用できません。

「9.10.6.3 サブクロックを使用しない場合」に従って、サブクロック発振器を停止させてください。

10. クロック周波数精度測定回路 (CAC)

本 MCU はクロック周波数精度測定回路 (CAC) を内蔵しています。

CAC は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

10.1 概要

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> • メインクロック • サブクロック • HOCOクロック • LOCOクロック • IWDT専用クロック (IWDTCCLK) • 周辺モジュールクロック B (PCLKB)
測定基準クロック	<ul style="list-style-type: none"> • 外部から CACREF 端子に入力したクロック • メインクロック • サブクロック • HOCOクロック • LOCOクロック • IWDT専用クロック (IWDTCCLK) • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	<ul style="list-style-type: none"> • 測定終了割り込み • 周波数エラー割り込み • オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への遷移が可能

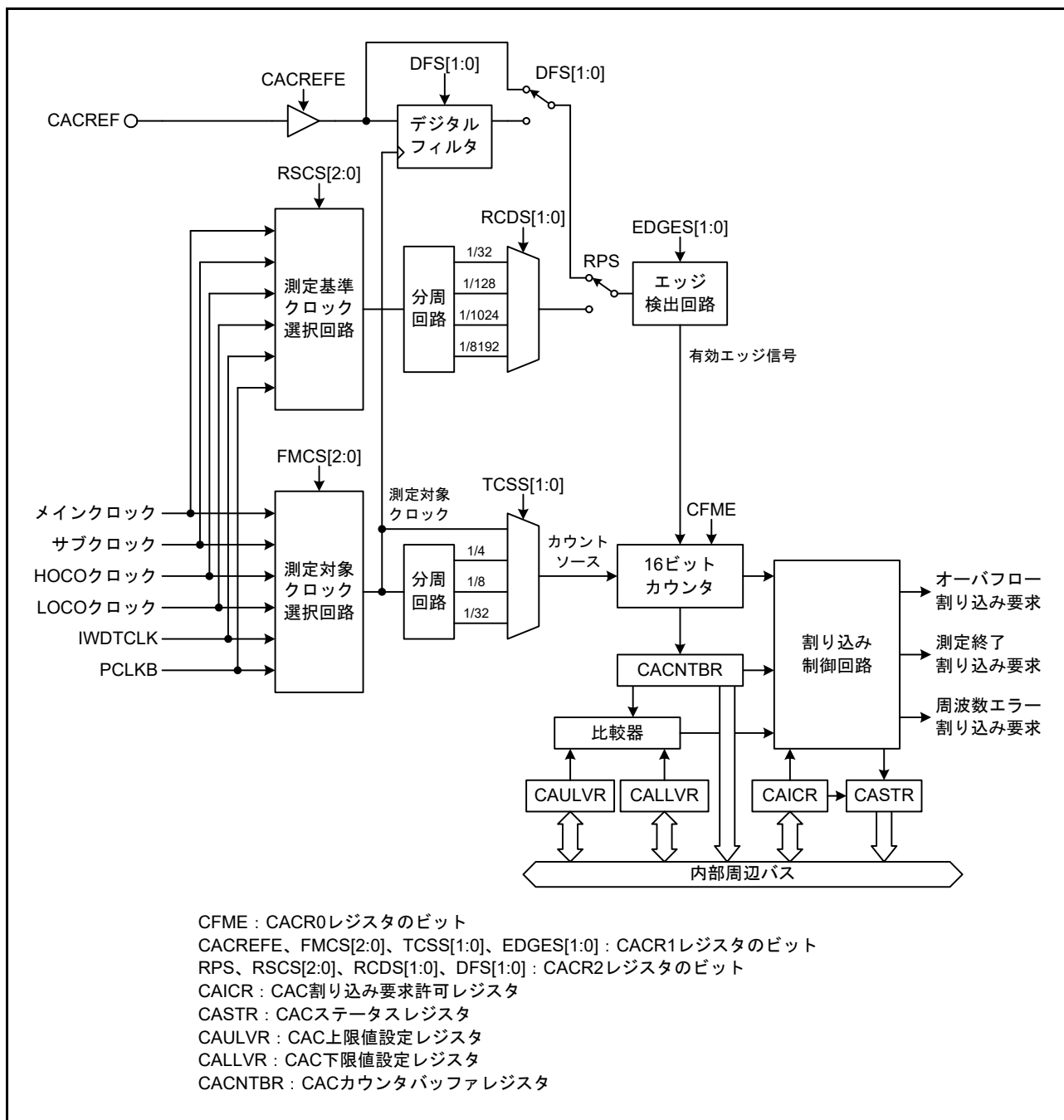


図 10.1 CAC のブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2 CAC の入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス CAC.CACR0 0008 B000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

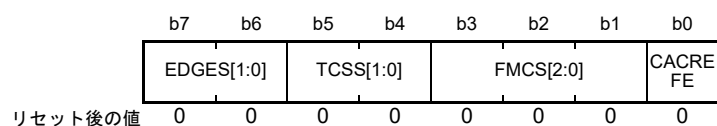
CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効 / 無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 0008 B001h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効ビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDT専用クロック (IWDTCCLK) 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントソース選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注. CACR1レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力有効ビット)

CACREF 端子入力の有効 / 無効を指定するビットです。

FMCS[2:0] ビット (測定対象クロック選択ビット)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントソース選択ビット)

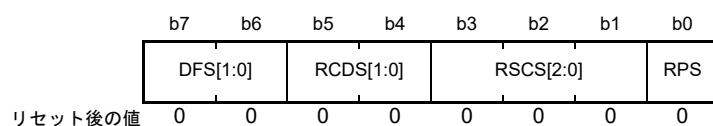
このビットの設定によりクロック周波数精度測定回路のカウントソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 0008 B002h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDT専用クロック (IWDTCLK) 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 測定対象クロック 1 0 : 測定対象クロックの4分周クロック 1 1 : 測定対象クロックの16分周クロック	R/W

注. CACR2レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択ビット)

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択ビット)

このビットの設定により測定基準クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効/無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス CAC.CAICR 0008 B003h

b7	b6	b5	b4	b3	b2	b1	b0
—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0: 周波数エラー割り込み要求無効 1: 周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0: 測定終了割り込み要求無効 1: 測定終了割り込み要求有効	R/W
b2	OVFIE	オーバフロー割り込み要求許可ビット	0: オーバフロー割り込み要求無効 1: オーバフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にすると CASTR.FERRF フラグがクリアされます。読むと“0”が読めます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にすると CASTR.MENDF フラグがクリアされます。読むと“0”が読めます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にすると CASTR.OVFF フラグがクリアされます。読むと“0”が読めます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み要求許可ビット)

周波数エラー割り込み要求の有効/無効を指定するビットです。

MENDIE ビット (測定終了割り込み要求許可ビット)

測定終了割り込み要求の有効/無効を指定するビットです。

OVFIE ビット (オーバフロー割り込み要求許可ビット)

オーバフロー割り込み要求の有効/無効を指定するビットです。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを“1”にすると CASTR.FERRF フラグがクリアされます。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを“1”にすると CASTR.MENDF フラグがクリアされます。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを“1”にすると CASTR.OVFF フラグがクリアされます。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 0008 B004h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた(周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定が終了	R
b2	OVFF	オーバフローフラグ	0: カウンタがオーバフローしていない 1: カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた(周波数エラー)ことを示します。

[“1”になる条件]

- クロック周波数が設定値を外れたとき

[“0”になる条件]

- CAICR.FERRFCL ビットに“1”を書き込んだとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[“1”になる条件]

- 測定終了したとき

[“0”になる条件]

- CAICR.MENDFCL ビットに“1”を書き込んだとき

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

[“1”になる条件]

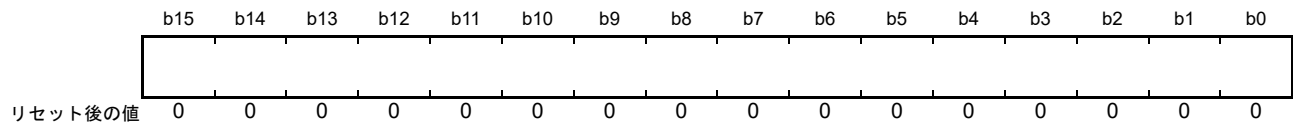
- カウンタがオーバフローしたとき

[“0”になる条件]

- CAICR.OVFFCL ビットに“1”を書き込んだとき

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス CAC.CAULVR 0008 B006h



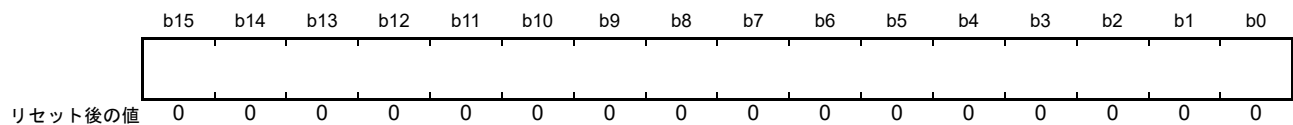
CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス CAC.CALLVR 0008 B008h



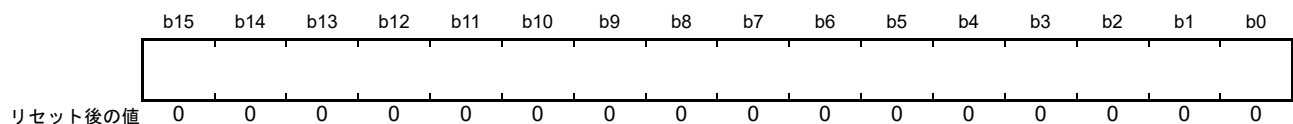
CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス CAC.CACNTBR 0008 B00Ah



基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

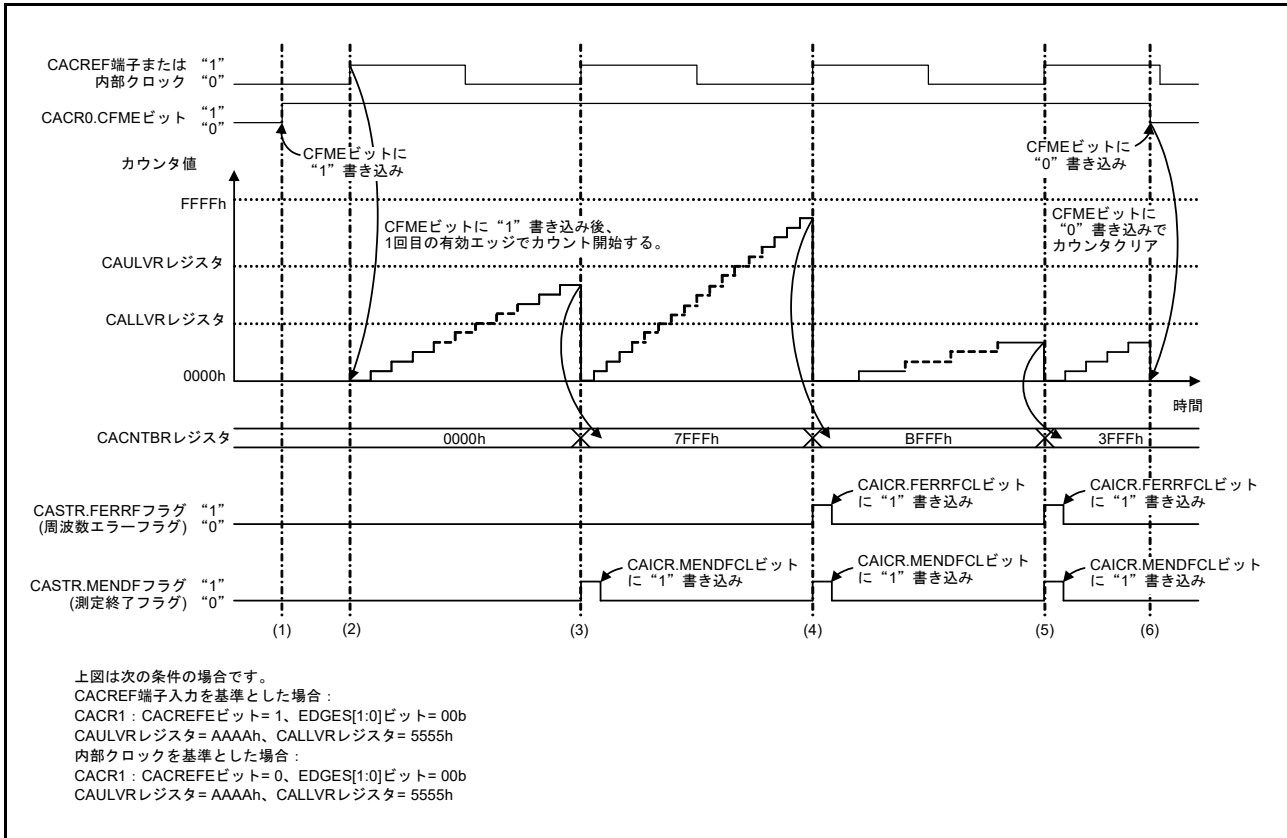


図 10.2 クロック周波数精度測定回路の動作例

- (1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット = 1) は、CACR2.RPS ビットを “0”、CACR1.CACREFE ビットを “1” にした状態で、CACR0.CFME ビットに “1” を書き込むとクロック周波数測定が有効になります。
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット = 0) は、CACR2.RPS ビットを “1” にした状態で、CACR0.CFME ビットに “1” を書き込むとクロック周波数測定が有効になります。
- (2) CACREF 端子入力を基準とした場合は、CFME ビットに “1” を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット = 00b)) が入力されるとタイマのカウンタアップが開始されます。
内部クロックを基準とした場合は、CFME ビットに “1” を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット = 00b)) が入力されるとタイマのカウンタアップが開始されます。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CALLVR レジスタ \leq CACNTBR レジスタ \leq CAULVR レジスタのときは、クロック周波数が正常なので CASTR.MENDF フラグだけが “1” になります。また、CAICR.MENDIE ビットを “1” にしている場合は、測定終了割り込みが発生します。

- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”になります。また、CAICR.FERRIE ビットを“1”にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”になります。また、CAICR.MENDIE ビットを“1”にしている場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”になります。また、CAICR.FERRIE ビットを“1”にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”になります。また、CAICR.MENDIE ビットを“1”にしている場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

$$\text{カウント値誤差} = (\text{カウントソース 1 周期}) / (\text{サンプリングクロック 1 周期})$$

10.4 割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバーフロー割り込みの 3 種類があります。各割り込み要因が発生すると各ステータスフラグが“1”になります。表 10.3 にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタと CAULVR レジスタおよび CALLVR レジスタとを比較した結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

11. 消費電力低減機能

11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、BCLK 出力制御機能、SDCLK 出力制御機能、モジュールストップ機能、通常動作時の低消費電力機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、表 11.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DMAC、DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、外部バスクロック (BCLK)、フラッシュインタフェースクロック (FCLK) に対し、個別に分周比を設定することが可能 (注1)
BCLK 出力制御機能	BCLK 出力または High 出力の選択が可能 (注1)
SDCLK 出力制御機能	SDCLK 出力または High 出力の選択が可能 (注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	<ul style="list-style-type: none"> • CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	<ul style="list-style-type: none"> • スリープモード • 全モジュールクロックストップモード • ソフトウェアスタンバイモード • ディープソフトウェアスタンバイモード
動作電力低減機能	<ul style="list-style-type: none"> • 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することが可能 • 動作電力制御状態：3種類 高速動作モード 低速動作モード1 低速動作モード2 <p>低速動作モード1と低速動作モード2において、同条件(周波数・電圧)に設定した場合、消費電力に差はありません。</p>

注1. 詳細は「9. クロック発生回路」を参照してください。

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュール クロックストップモード	ソフトウェア スタンバイモード	ディープソフトウェア スタンバイモード
遷移方法	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令
リセット以外の解除方法	割り込み	割り込み(注1)	割り込み(注2)	割り込み(注3)
解除後の状態(注4)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (リセット処理)
メインクロック発振器	動作可能	動作可能	動作可能(注5)	動作可能(注5)
サブクロック発振器	動作可能	動作可能	動作可能(注6)	動作可能(注6)
高速オンチップオシレータ	動作可能	動作可能	停止	停止
低速オンチップオシレータ	動作可能	動作可能	停止	停止
IWDT専用オンチップオシレータ	動作可能(注7)	動作可能(注7)	動作可能(注7)	停止(不定)(注7)
PLL	動作可能	動作可能	停止	停止
CPU	停止(保持)	停止(保持)	停止(保持)	停止(不定)
RAM	動作可能(保持)	停止(保持)	停止(保持)	停止(不定)
スタンバイRAM	動作可能(保持)	停止(保持)	停止(保持)	停止(保持/不定)(注8)
フラッシュメモリ	動作	停止(保持)	停止(保持)	停止(保持)
USBFSホスト/ファンクションモジュール(USB0, USB1)	動作可能	停止(注9)	停止(注9)	停止(保持(注10)/不定)
ウォッチドッグタイマ(WDT)	停止(保持)	停止(保持)	停止(保持)	停止(不定)
独立ウォッチドッグタイマ(IWDT)	動作可能(注7)	動作可能(注7)	動作可能(注7)	停止(不定)(注7)
リアルタイムクロック(RTC)	動作可能	動作可能	動作可能	動作可能
8ビットタイマ(ユニット0, 1)(TMR)	動作可能	動作可能(注11)	停止(保持)	停止(不定)
ポートアウトプットイネーブル(POE)	動作可能	動作可能(注12)	停止(保持)	停止(不定)
リモコン信号受信機能(REMC)	動作可能	停止(注13)	動作可能	動作可能
電圧検出回路(LVD)	動作可能	動作可能	動作可能	動作可能(注14, 注15)
パワーオンリセット回路	動作	動作	動作	動作(注15)
その他周辺モジュール	動作可能	停止(保持)	停止(保持)	停止(不定)
I/Oポート	動作	保持(注16)	保持(注17)	保持(注17)

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

- 注1. 外部端子割り込み(NMI, IRQ0~IRQ15)、周辺機能割り込み(8ビットタイマ、RTCアラーム、RTC周期、IWDT、USB0のサスペンド/レジャーム、REMC受信、VBATTタンパ検出、電圧監視1、電圧監視2、メインクロック発振器停止検出)。
- 注2. 外部端子割り込み(NMI, IRQ0~IRQ15)、周辺機能割り込み(RTCアラーム、RTC周期、IWDT、USB0のサスペンド/レジャーム、REMC受信、VBATTタンパ検出、電圧監視1、電圧監視2)。
- 注3. 外部端子割り込み発生元となる一部の端子(NMI, IRQ0-DS~IRQ15-DS, SCL2-DS, SDA2-DS, CRX1-DS)、周辺機能割り込み(RTCアラーム、RTC周期、USB0のサスペンド/レジャーム、REMC受信、VBATTタンパ検出、電圧監視1、電圧監視2)。ただし、ディープスタンバイインタラプティブイネーブルレジスタ*i*(DPSIER*i*) (*i* = 0~3)の当該ビットが“1”のときのみ有効。端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。また、USB0は、P22にアサインされているUSB0_OVRCURBでディープソフトウェアスタンバイモードを解除することはできません。
- 注4. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。
- 注5. メインクロック発振器強制発振コントロールレジスタのメインクロック発振器強制発振ビット(MOFCR.MOFXIN)の設定によって、動作/停止が選択できます。
- 注6. RTCコントロールレジスタ3のサブクロック発振器制御ビット(RCR3.RTCEN)の設定によって、動作/停止が選択できます。
- 注7. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット(OFS0.IWDTSLCSTP)の設定により、動作/停止を選択することができます。OFS0.IWDTSLCSTPビットが“0”(低消費電力モード移行時カウント継続)に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタの

- スリープモードカウント停止制御ビット(IWDTCSTPR.SLCSTP)の設定により、動作/停止を選択することができます。IWDTCSTPR.SLCSTPビットが“0”(低消費電力モード遷移時カウント継続)に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。
- 注8. ディープスタンバイコントロールレジスタのディープカットビット(DPSBYCR.DEEPCUT[1:0])の設定によって、保持/不定を選択することができます。
- 注9. USB0のレジューム検出機能は動作可能です。
- 注10. USB0のレジューム検出機能の有効/無効をディープスタンバイコントロールレジスタのディープカットビット(DPSBYCR.DEEPCUT[1:0])によって制御できます。レジューム検出機能を有効にすると、ディープソフトウェアスタンバイモードにおいてもUSB0のレジューム検出部のレジスタのみ値が保持されます。なお、P22にアサインされているUSB0_OVRCURBでディープソフトウェアスタンバイモードを解除することはできません。
- 注11. モジュールストップコントロールレジスタAの8ビットタイマ1、0(ユニット0)モジュールストップ設定ビット(MSTPCRA.MSTPA5)、8ビットタイマ3、2(ユニット1)モジュールストップ設定ビット(MSTPCRA.MSTPA4)の設定によって、動作/停止を選択することができます。
- 注12. POE割り込みを有効にした状態で全モジュールクロックストップモード中にPOE割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生フラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後にPOE割り込みが発生します。
- 注13. REMCの動作クロックがサブクロック、TMRコンペアマッチ出力(MSTPCRA.MSTPA5 = 0の場合)のときは動作可能です。
- 注14. 電圧監視1回路制御レジスタ0の電圧監視1回路モード選択ビット(LVD1CR0.LVD1RI)が“1”、もしくは電圧監視2回路制御レジスタ0の電圧監視2回路モード選択ビット(LVD2CR0.LVD2RI)が“1”に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。
- 注15. ディープスタンバイコントロールレジスタのディープカットビット(DPSBYCR.DEEPCUT[1:0])が“11b”の設定でディープソフトウェアスタンバイモードに移行した場合、電圧検出回路は停止し、パワーオンリセット回路の低消費電力機能が有効になります。
- 注16. P53をBCLKとして使用している場合は、BCLK出力のまま動作を継続します。8ビットタイマ、RTCを動作させている場合、関連する端子は動作を継続します。
- 注17. スタンバイコントロールレジスタの出力ポートイネーブルビット(SBYCR.OPE)の設定によって、アドレスバス、バス制御信号(CS0#~CS7#, RD#, WR0#, WR1#, WR#, BC0#, BC1#, ALE, CKE, SDCS#, RAS#, CAS#, WE#, DQM0, DQM1)の保持/ハイインピーダンスを選択することができます。

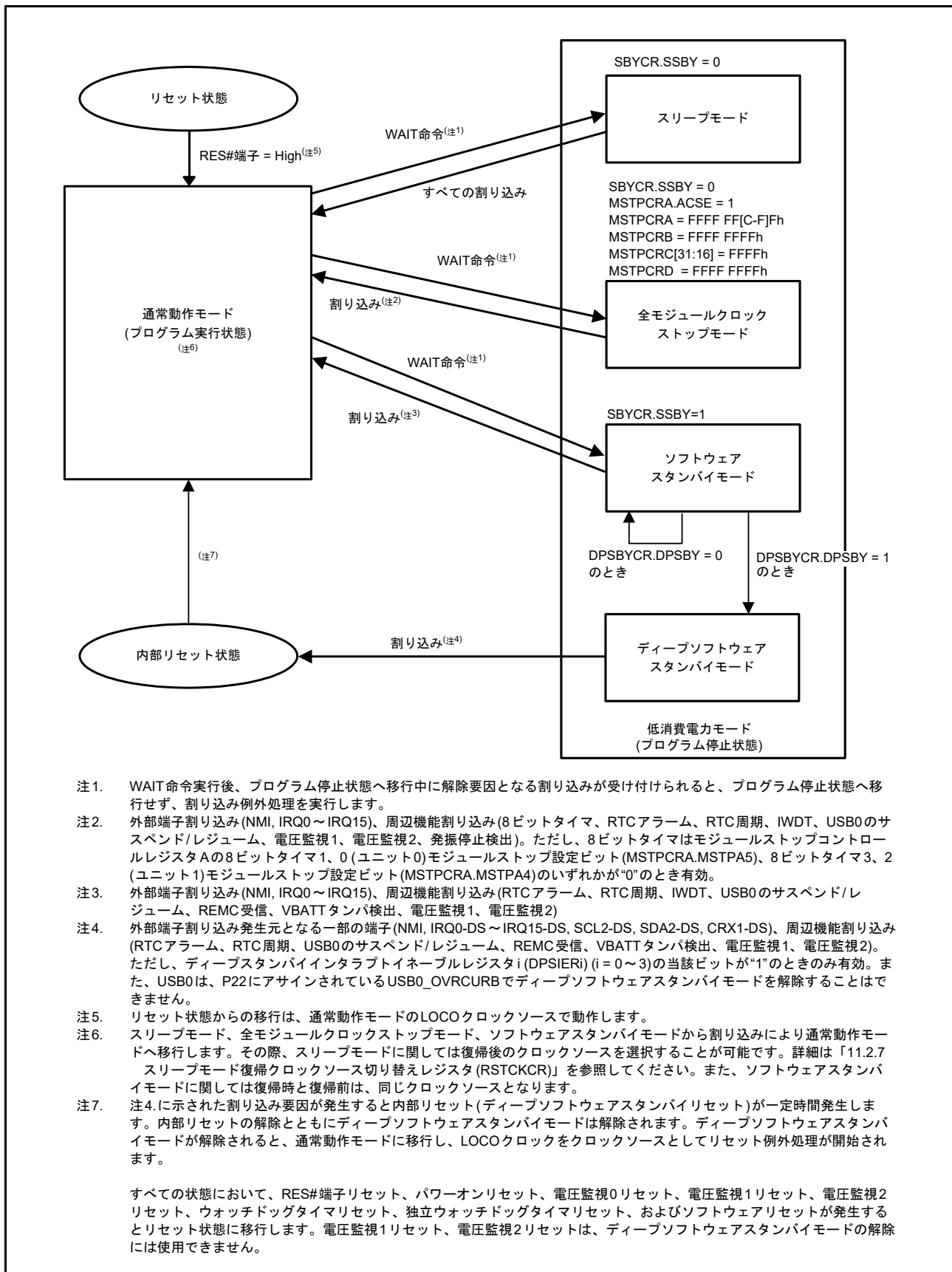


図 11.1 モード遷移

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OPE	出力ポート許可ビット	0: ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1: ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持	R/W
b15	SSBY	ソフトウェアスタンバイビット	0: WAIT 命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1: WAIT 命令実行後、ソフトウェアスタンバイモードに移行	R/W

OPE ビット (出力ポート許可ビット)

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に、アドレスバス、バス制御信号 (CS0# ~ CS7#, RD#, WR0#, WR1#, WR#, BC0#, BC1#, ALE, CKE, SDCS#, RAS#, CAS#, WE#, DQM0, DQM1) の出力を保持するか、ハイインピーダンスにするかを選択します。

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の移行先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ移行します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常動作モードに移行したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたは全モジュールクロックストップモードに移行します。

フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) が“1”、またはデータフラッシュメモリ P/E モードエントリビット

(FENTRYR.FENTRYD) が“1”のとき、このビットに設定された値は無効になります。本ビットが“1”にセットされている場合、WAIT 命令実行後はスリープモードに移行します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ACSE	—	MSTPA 29	MSTPA 28	MSTPA 27	—	—	MSTPA 24	—	—	—	—	—	—	MSTPA 17	MSTPA 16
リセット後の値	0	1	0	0	0	1	1	0	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	MSTPA 14	MSTPA 13	—	MSTPA 11	MSTPA 10	MSTPA 9	—	—	—	MSTPA 5	MSTPA 4	—	—	MSTPA 1	MSTPA 0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPA0	コンペアマッチタイマW (ユニット1) モジュールストップ設定ビット	対象モジュール：CMTW1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPA1	コンペアマッチタイマW (ユニット0) モジュールストップ設定ビット	対象モジュール：CMTW0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3、2 (ユニット1) モジュールストップ設定ビット	対象モジュール：TMR3, TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TMR1, TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルスユ ニット3モジュールストップ設定ビット	対象モジュール：MTU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPA10	プログラマブルパルスジェネレータ (ユニット1)モジュールストップ設定 ビット	対象モジュール：PPG1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b11	MSTPA11	プログラマブルパルスジェネレータ (ユニット0)モジュールストップ設定 ビット	対象モジュール：PPG0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b13	MSTPA13	16ビットタイマパルスユニット0 (ユニット0)モジュールストップ設定 ビット	対象モジュール：TPUユニット0 (TPU0～TPU5) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPA14	コンペアマッチタイマ(ユニット1) モジュールストップ設定ビット	対象モジュール：CMTユニット1 (CMT2, CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ(ユニット0) モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0, CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	MSTPA16	12ビットA/Dコンバータ(ユニット1) モジュールストップ設定ビット	対象モジュール：S12AD1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPA17	12ビットA/Dコンバータ(ユニット0) モジュールストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b23-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b24	MSTPA24	モジュールストップA24設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b26-b25	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b27	MSTPA27	モジュールストップA27設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b28	MSTPA28	DMAコントローラ/データ転送ファ コントローラモジュールストップ 設定ビット	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPA29	EXDMAコントローラモジュールストップ 設定ビット	対象モジュール：EXDMAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	ACSE	全モジュールクロックストップモード許 可ビット	0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可	R/W

ACSE ビット (全モジュールクロックストップモード許可ビット)

ACSE ビットにて、全モジュールクロックストップモードへの移行の許可または禁止を設定します。ACSE ビットを“1”にして、SBYCR.SSBY ビット、MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、全モジュールクロックストップモードに移行します。詳細は「11.6.2 全モジュールクロックストップモード」を参照してください。

8 ビットタイマは、MSTPA5、MSTPA4 ビットの設定によって、動作/停止を選択することができます。

SBYCR.SSBY = 0 で、MSTPCRA.ACSE = 0 の場合は WAIT 命令実行後、スリープモードに移行します。

フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット

(FENTRYR.FENTRYC) が“1”、またはデータフラッシュメモリ P/E モードエントリビット

(FENTRYR.FENTRYD) が“1”のとき、このビットに設定された値は無効になります。本ビットが“1”にセットされている場合、WAIT 命令実行後はスリープモードに移行します。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB31	MSTPB30	MSTPB29	MSTPB28	MSTPB27	MSTPB26	MSTPB25	MSTPB24	MSTPB23	—	MSTPB21	MSTPB20	MSTPB19	MSTPB18	MSTPB17	MSTPB16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MSTPB9	MSTPB8	—	MSTPB6	—	MSTPB4	—	—	MSTPB1	MSTPB0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPB0	CANモジュール0モジュールストップ設定ビット(注1)	対象モジュール：CAN0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPB1	CANモジュール1モジュールストップ設定ビット(注1)	対象モジュール：CAN1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーションインタフェースSCIhモジュールストップ設定ビット	対象モジュール：SCI12 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	データ演算回路モジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b8	MSTPB8	温度センサモジュールストップ設定ビット	対象モジュール：温度センサ 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPB9	イベントリンクコントローラモジュールストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b16	MSTPB16	シリアルペリフェラルインタフェース1モジュールストップ設定ビット	対象モジュール：RSPI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	MSTPB18	USB2.0 FSインタフェース1モジュールストップ設定ビット(注2)	対象モジュール：USB1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19	MSTPB19	USB2.0 FSインタフェース0モジュールストップ設定ビット(注2)	対象モジュール：USB0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20	MSTPB20	I2Cバスインタフェース1モジュールストップ設定ビット	対象モジュール：RIIC1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21	MSTPB21	I2Cバスインタフェース0モジュールストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	MSTPB24	シリアルコミュニケーションインタフェース7モジュールストップ設定ビット	対象モジュール：SCI7 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25	MSTPB25	シリアルコミュニケーションインタフェース6モジュールストップ設定ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーションインタフェース5モジュールストップ設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPB27	シリアルコミュニケーションインタフェース4モジュールストップ設定ビット	対象モジュール：SCI4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b28	MSTPB28	シリアルコミュニケーションインタフェース3モジュールストップ設定ビット	対象モジュール：SCI3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPB29	シリアルコミュニケーションインタフェース2モジュールストップ設定ビット	対象モジュール：SCI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタフェース0モジュールストップ設定ビット	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

- 注1. MSTPBiビットの書き換えは、MSTPBiビットによって制御するクロックの発振が安定しているときに行ってください。MSTPBiビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後CANクロック(CANMCLK)で2サイクル経過した後、WAIT命令を実行してください。(i = 0, 1)
- 注2. MSTPB19、MSTPB18ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後USBクロック(UCLK)で2サイクル経過した後、WAIT命令を実行してください。

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	MSTPC 27	MSTPC 26	MSTPC 25	MSTPC 24	—	MSTPC 22	—	—	MSTPC 19	—	MSTPC 17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MSTPC 7	—	—	—	—	—	—	MSTPC 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAMモジュールストップ設定ビット (注1)	対象モジュール：RAM (0000 0000h～0005 FFFFh) 0：RAM動作 1：RAM停止	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	MSTPC7	スタンバイRAMモジュールストップ 設定ビット(注2)	対象モジュール：スタンバイRAM 0：スタンバイRAM動作 1：スタンバイRAM停止	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPC17	I ² Cバスインタフェース2モジュール ストップ設定ビット	対象モジュール：RIIC2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19(注3)	CACモジュールストップ設定ビット	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b22	MSTPC22	シリアルペリフェラルインタフェー ス2モジュールストップ設定ビット	対象モジュール：RSPI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b23	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b24	MSTPC24	シリアルコミュニケーションインタ フェース11モジュールストップ設定 ビット	対象モジュール：SCI11 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25	MSTPC25	シリアルコミュニケーションインタ フェース10モジュールストップ設定 ビット	対象モジュール：SCI10 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPC26	シリアルコミュニケーションインタ フェース9モジュールストップ設定 ビット	対象モジュール：SCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPC27	シリアルコミュニケーションインタ フェース8モジュールストップ設定 ビット	対象モジュール：SCI8 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

- 注1. RAMアクセス中にMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態、RAMにアクセスしないでください。
- 注2. スタンバイRAMアクセス中にMSTPC7ビットを“1”にしないでください。また、MSTPC7ビットが“1”の状態、スタンバイRAMにアクセスしないでください。
- 注3. MSTPC19ビットの書き換えは、MSTPC19ビットによって制御するクロックの発振が安定しているときに行ってください。MSTPC19ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出力クロックで2サイクル経過したのち、WAIT命令を実行してください。

11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス 0008 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	MSTPD 27	MSTPD 26	—	—	—	—	—	—	MSTPD 19	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPD 15	—	—	MSTPD 12	—	—	—	—	MSTPD 7	—	MSTPD 5	—	MSTPD 3	MSTPD 2	MSTPD 1	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b1	MSTPD1	クワッドSPIメモリインタフェース モジュールストップ設定ビット	対象モジュール：QSPIX 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	MSTPD2	シリアルコミュニケーションインタ フェース11モジュールストップ設定 ビット	対象モジュール：RSCI11 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPD3	シリアルコミュニケーションインタ フェース10モジュールストップ設定 ビット	対象モジュール：RSCI10 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	MSTPD5	ハイスピードI ² Cバスインタフェース モジュールストップ設定ビット	対象モジュール：RIICHS 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	MSTPD7	リモコン信号受信機能モジュール ストップ設定ビット	対象モジュール：REMC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b11-b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b12	MSTPD12	静電容量式タッチセンサモジュール ストップ設定ビット	対象モジュール：CTSU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14-b13	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15	MSTPD15	シリアルサウンドインタフェースモ ジュールストップ設定ビット	対象モジュール：SSIE0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPD19	SDホストインタフェースモジュール ストップ設定ビット	対象モジュール：SDHI 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b26	MSTPD26	シリアルペリフェラルインタフェー スモジュールストップ設定ビット	対象モジュール：RSPIA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPD27	Trusted Secure IPモジュールストッ プ設定ビット	対象モジュール：Trusted Secure IP 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

11.2.6 動作電力コントロールレジスタ (OPCCR)

アドレス 0008 00A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	OPCM[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OPCM[2:0]	動作電力制御モード 選択ビット	b2 b0 0 0 0: 高速動作モード 1 1 0: 低速動作モード1 1 1 1: 低速動作モード2 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OPCMTSF	動作電力制御モード 遷移状態フラグ	<ul style="list-style-type: none"> リード時 0: 遷移完了 1: 遷移中 ライト時 書き込みは“0”としてください 	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

OPCCR レジスタは、通常動作モード、スリープモード、全モジュールクロックストップモード時の消費電力を低減させるためのレジスタです。

OPCCR レジスタの設定によって、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

低速動作モード1と低速動作モード2において、同条件(周波数、電圧)に設定した場合、消費電力に差はありません。

以下に該当する場合、OPCCR レジスタの書き換えは禁止です。

- 動作電力制御モード遷移状態フラグ (OPCMTSF) が“1”(動作電力制御モード切り替え遷移中) のとき
- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) が“1”、またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が“1” のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

動作電力制御モードへの遷移手順は、「11.5 動作電力低減機能」を参照してください。

ソフトウェアスタンバイモードから復帰した後は、高速動作モードになります。なお、WAIT 命令を実行しても、ソフトウェアスタンバイモードへの移行が完了する前に解除された場合は、WAIT 命令実行前のモードから変化しません。このことが問題になる場合は、復帰割り込み処理中で OPCCR.OPCM[2:0] ビットを“000b”にしてください。

OPCM[2:0] ビット (動作電力制御モード選択ビット)

通常動作モード、スリープモード、全モジュールクロックストップモード時の動作電力制御モードを選択します。

表 11.3 に動作電力制御モードと、動作周波数範囲、動作電圧範囲、消費電力の関係を示します。

表 11.3 動作電力制御モードと動作範囲・消費電力の関係

動作電力制御モード	OPCM [2:0] ビット	動作周波数範囲							動作電圧範囲		消費電力 大 ↓ 小	
		フラッシュメモリ リード時							フラッシュ メモリ P/E時	フラッシュ メモリ リード時		フラッシュ メモリ P/E時
		ICLK	FCLK	PCLKA	PCLKB	PCLKC PCLKD	BCLK	FCLK				
高速動作モード	000b	120MHz max	60MHz max	120MHz max	60MHz max	60MHz max (注1)	120MHz max	4MHz ~ 60MHz	2.7V ~ 3.6V	2.7V ~ 3.6V	大 ↓ 小	
低速動作モード1 (注2)	110b	1MHz max	1MHz max	1MHz max	1MHz max	1MHz max (注1)	1MHz max	P/E 不可	2.7V ~ 3.6V	P/E 不可		
低速動作モード2 (注2)	111b	32kHz ~ 264kHz	32kHz ~ 264kHz	264kHz max	264kHz max	264kHz max (注1)	264kHz max	P/E 不可	2.7V ~ 3.6V	P/E 不可		

注1. 高速動作モード、低速動作モード1で、12ビットA/Dコンバータを使用する場合、1MHz以上の設定が必要です。低速動作モード2のときは12ビットA/Dコンバータは使用できません。

注2. 低速動作モード1と低速動作モード2において、同条件(周波数、電圧)に設定した場合、消費電力に差はありません。

各動作電力制御モードについて以下に説明します。

● 高速動作モード

高速動作可能なモードです。

フラッシュメモリ (FLASH) リード時の最高動作周波数は、ICLK、PCLKA、BCLK が 120MHz、FCLK、PCLKB が 60MHz です。S12AD の変換クロック PCLKC、PCLKD は、1MHz ~ 60MHz での動作が可能です。フラッシュメモリプログラム/イレーズ (P/E) 時の FCLK は、4MHz ~ 60MHz での動作が可能です。ICLK を 60MHz より速くする場合は、ROMWT レジスタの変更が必要となります。動作電圧範囲は、フラッシュメモリリード時、P/E 時とも 2.7V ~ 3.6V です。

リセット解除後は、本モードで起動します。

● 低速動作モード1

低速動作向けに消費電力を低減したモードです。

フラッシュメモリリード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、BCLK とも 1MHz です。動作電圧範囲は、2.7V ~ 3.6V です。

低速動作モード1では、フラッシュメモリの P/E 動作はできません。また、PLLCR2.PLLEN ビットを“0” (PLL 動作) にする書き込みは禁止です。

同条件 (動作周波数、動作電圧) で同じ動作をさせる場合、高速動作モードよりも消費電力を低減できます。

● 低速動作モード2

低速動作モード1よりも低速動作向けに消費電力を低減したモードです。

フラッシュメモリリード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、BCLK とも 264kHz です。ICLK、FCLK の最小動作周波数は 32kHz です。動作電圧範囲は、2.7V ~ 3.6V です。

低速動作モード2 選択時には下記の制限事項があります。

- フラッシュメモリの P/E 動作は禁止です。
- PLL および HOCO は使用禁止です。
- メインクロック発振器の発振停止検出機能は使用禁止です。

システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) が“011b” (サブクロック発振器選択)、かつシステムクロックコントロールレジスタのシステムクロック選択ビット (SCKCR.ICK[3:0])、または FlashIF クロック選択ビット (SCKCR.FCK[3:0]) が“0000b” (分周なし) 以外のと

き、OPCM[2:0] ビットに“111b”を書くことはできません。

PLL コントロールレジスタ 2 の PLL 停止制御ビット (PLLCR2.PLLEN) が“0” (PLL 動作) のとき、OPCM[2:0] ビットに“110b” (低速動作モード 1) および“111b” (低速動作モード 2) を書くことはできません。

OPCMTSF フラグ (動作電力制御モード遷移状態フラグ)

動作電力制御モード切り替え時の切り替え制御状態を表します。

動作電力制御モード変更の書き込みを行うと、OPCMTSF フラグが“1”になり、変更後の動作電力制御モードへの遷移が完了すると“0”になります。OPCMTSF フラグが“0” (動作電力制御モード遷移完了) を確認してから次の処理を行ってください。

11.2.7 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)

アドレス 0008 00A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTCK EN	—	—	—	—	RSTCKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RSTCKSEL [2:0]	スリープモード復帰クロックソース 選択ビット	b2 b0 0 0 1 : HOCO 選択 0 1 0 : メインクロック発振器選択 RSTCKEN ビットが“1”のとき、上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RSTCKEN	スリープモード復帰クロックソース 切り替え許可ビット	0 : スリープモード解除時クロックソース切り替え無効 1 : スリープモード解除時クロックソース切り替え有効	R/W

RSTCKCR レジスタは、スリープモード解除時のクロックソース切り替えの制御を行うレジスタです。

RSTCKCR レジスタの設定によってスリープモードから復帰する場合、復帰するクロックソースに対応したメインクロック発振器コントロールレジスタのメインクロック停止ビット (MOSCCR.MOSTP)、高速オンチップオシレータコントロールレジスタの HOCO 停止ビット (HOCOCR.HCSTP) は、自動的に動作状態に書き換えられます。また、RSTCKSEL[2:0] ビットの値が自動的にシステムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) にリロードされます。

スリープモード復帰時クロックソース切り替え機能と、ELC によるクロックソース切り替え機能の同時使用は禁止です。スリープモード復帰時クロックソース切り替え機能を有効にする場合、ELC によるクロックソース切り替え機能が無効の状態では RSTCKCR.RSTCKEN ビットに“1”を書いてください。また、ELC によるクロックソース切り替え機能を有効にする場合、RSTCKCR.RSTCKEN ビットが“0”の状態では有効に設定してください。

RSTCKCR レジスタの設定によってスリープモードから HOCO で復帰する場合、HOCO 電源は自動的に ON になりません。HOCO で復帰する場合は、HOCO 電源 ON の状態でスリープモードに移行してください。

スリープモード解除時クロックソース切り替え有効 (RSTCKCR.RSTCKEN ビットが“1”)、かつ動作電力制御モード選択ビット (OPCCR.OPCM[2:0]) を低速動作モード 1 (“110b”)、または低速動作モード 2 (“111b”) に設定した状態でスリープモードから復帰する場合は、OPCCR.OPCM[2:0] ビットは自動的に高速モード (“000b”) に切り替えられます。

RSTCKSEL[2:0] ビット (スリープモード復帰クロックソース選択ビット)

スリープモード解除時のクロックソースを選択します。

RSTCKSEL[2:0] ビットでのクロックソース選択は、RSTCKEN ビットが“1”の場合のみ有効です。

RSTCKEN ビット (スリープモード復帰クロックソース切り替え許可ビット)

スリープモード解除時のクロックソース切り替えの有効/無効を制御します。

スリープモード解除時にクロックソースの切り替えを行うのは、スリープモード移行時のクロックとして LOCO、サブクロックを選択している場合のみとしてください。HOCO、メインクロック、PLL をクロックソースに選択している状態でスリープモードに移行する場合には、RSTCKEN ビットを“1”にしないでください。

11.2.8 ディープスタンバイコントロールレジスタ (DPSBYCR)

アドレス 0008 C280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP P	—	—	—	—	DEEPCUT [1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	DEEPCUT [1:0]	ディープカット ビット	b1 b0 0 0: ディープソフトウェアスタンバイモード時、スタンバイ RAM と USB0 のレジューム検出部と REMC に電源を供給する 0 1: ディープソフトウェアスタンバイモード時、スタンバイ RAM と USB0 のレジューム検出部と REMC に電源を供給しない 1 0: 設定しないでください 1 1: ディープソフトウェアスタンバイモード時、スタンバイ RAM と USB0 のレジューム検出部と REMC に電源を供給しない。また、LVD を停止 し、パワーオンリセット回路の低消費電力機能を有効にする	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	IOKEEP	I/Oポート保持ビッ ト	0: ディープソフトウェアスタンバイモードの解除と同時にI/Oポートの保持 を解除 1: ディープソフトウェアスタンバイモード解除後もI/Oポートの状態を保持 する。その後IOKEEPビットへの“0”を書くとI/Oポートの保持を解除	R/W
b7	DPSBY	ディープソフト ウェアスタンバイ ビット	SSBY b7 0 0: WAIT 命令実行後、スリープモードまたは全モジュールクロックス トップモードに移行 0 1: WAIT 命令実行後、スリープモードまたは全モジュールクロックス トップモードに移行 1 0: WAIT 命令実行後、ソフトウェアスタンバイモードに移行 1 1: WAIT 命令実行後、ディープソフトウェアスタンバイモードに移行	R/W

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DEEPCUT [1:0] ビット (ディープカットビット)

スタンバイ RAM と USB0 のレジューム検出部と REMC に供給する内部電源をディープソフトウェアスタンバイモード時に制御します。また、ディープソフトウェアスタンバイモード時の LVD、パワーオンリセット回路の状態を制御します。

スタンバイ RAM と USB0 のレジューム検出部と REMC の内部電源は、DEEPCUT[1:0] ビットで制御可能です。

ディープソフトウェアスタンバイモードの解除要因に USB0 のサスペンド/レジューム割り込み (注1)、REMC 受信割り込みを使用する場合は、DEEPCUT[1:0] ビットを“00b”にしてください。

ディープソフトウェアスタンバイモード時に LVD を使用する場合は、DEEPCUT[1:0] ビットを“00b”または“01b”にしてください。低消費電力化のため、LVD を停止させ、パワーオンリセット回路の低消費電力機能を有効にする場合は、DEEPCUT[1:0] ビットを“11b”にしてください。

注1. USB0 は、P22 にアサインされている USB0_OVRCURB でディープソフトウェアスタンバイモードを解除することはできません。

IOKEEP ビット (I/O ポート保持ビット)

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモードと同じ状態を保持します。IOKEEP ビットは、ディープソフトウェアスタンバイモード時に保持した I/O ポートの状態を

ディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを選択します。

DPSBY ビット (ディープソフトウェアスタンバイビット)

ディープソフトウェアスタンバイモードへの移行を制御します。

SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”の状態、WAIT 命令を実行するとソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ移行します。

外部端子割り込み発生元となる一部の端子 (NMI, IRQ0-DS ~ IRQ15-DS, SCL2-DS, SDA2-DS, CRX1-DS)、周辺機能割り込み (RTC アラーム、RTC 周期、USB0 のサスペンド/レジャーム(注1)、REMC 受信、VBATT タンパ検出、電圧監視 1、電圧監視 2) によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは“1”のままです。“0”にするときは、“0”を書いてください。

IWDT がオートスタートモードかつ OFS0.IWDTSLCSTP ビットが“0”(カウント継続)、またはレジスタスタートモードかつ IWDTCSSTPR.SLCSTP ビットが“0”のときは、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

また、電圧監視 1 回路モードに電圧監視 1 リセットを選択しているとき (LVD1CR0.LVD1RI = 1)、あるいは電圧監視 2 回路モードに電圧監視 2 リセットを選択しているとき (LVD2CR0.LVD2RI = 1) は、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

注 1. USB0 は、P22 にアサインされている USB0_OVRCURB でディープソフトウェアスタンバイモードを解除することはできません。

11.2.9 ディープスタンバイインタラプトイネーブルレジスタ 0 (DPSIER0)

アドレス 0008 C282h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7 E	DIRQ6 E	DIRQ5 E	DIRQ4 E	DIRQ3 E	DIRQ2 E	DIRQ1 E	DIRQ0 E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0E	IRQ0-DS 端子許可 ビット	0 : IRQ0-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ0-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DIRQ1E	IRQ1-DS 端子許可 ビット	0 : IRQ1-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ1-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DIRQ2E	IRQ2-DS 端子許可 ビット	0 : IRQ2-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ2-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DIRQ3E	IRQ3-DS 端子許可 ビット	0 : IRQ3-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ3-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DIRQ4E	IRQ4-DS 端子許可 ビット	0 : IRQ4-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ4-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b5	DIRQ5E	IRQ5-DS 端子許可 ビット	0 : IRQ5-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ5-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DIRQ6E	IRQ6-DS 端子許可 ビット	0 : IRQ6-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ6-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DIRQ7E	IRQ7-DS 端子許可 ビット	0 : IRQ7-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ7-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER0 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR0 レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR0 レジスタを“0”にしてください。

11.2.10 ディープスタンバイインタラプトイネーブルレジスタ 1 (DPSIER1)

アドレス 0008 C283h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15E	DIRQ14E	DIRQ13E	DIRQ12E	DIRQ11E	DIRQ10E	DIRQ9E	DIRQ8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8E	IRQ8-DS端子許可ビット	0: IRQ8-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ8-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DIRQ9E	IRQ9-DS端子許可ビット	0: IRQ9-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ9-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DIRQ10E	IRQ10-DS端子許可ビット	0: IRQ10-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ10-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DIRQ11E	IRQ11-DS端子許可ビット	0: IRQ11-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ11-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DIRQ12E	IRQ12-DS端子許可ビット	0: IRQ12-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ12-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b5	DIRQ13E	IRQ13-DS端子許可ビット	0: IRQ13-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ13-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DIRQ14E	IRQ14-DS端子許可ビット	0: IRQ14-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ14-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DIRQ15E	IRQ15-DS端子許可ビット	0: IRQ15-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ15-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W

DPSIER1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER1 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR1 レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR1 レジスタを“0”にしてください。

11.2.11 ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2)

アドレス 0008 C284h

	b7	b6	b5	b4	b3	b2	b1	b0
	DUSBIE	DRIICCE	DRIICDIE	DNMIE	DRTCAIE	DRTCIE	DLVD2IE	DLVD1IE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IE	LVD1ディープスタンバイ解除信号許可ビット	0: 電圧監視1信号によるディープソフトウェアスタンバイモード解除を禁止 1: 電圧監視1信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DLVD2IE	LVD2ディープスタンバイ解除信号許可ビット	0: 電圧監視2信号によるディープソフトウェアスタンバイモード解除を禁止 1: 電圧監視2信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DRTCIE	RTC 周期割り込みディープスタンバイ解除信号許可ビット	0: RTC 周期割り込み信号によるディープソフトウェアスタンバイモード解除を禁止 1: RTC 周期割り込み信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DRTCAIE	RTCアラーム割り込みディープスタンバイ解除信号許可ビット	0: RTC アラーム割り込み信号によるディープソフトウェアスタンバイモード解除を禁止 1: RTC アラーム割り込み信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DNMIE	NMI端子許可ビット	0: NMI端子によるディープソフトウェアスタンバイモード解除を禁止 1: NMI端子によるディープソフトウェアスタンバイモード解除を許可	R/W (注1)
b5	DRIICDIE	SDA2-DSディープスタンバイ解除信号許可ビット	0: SDA2-DS信号によるディープソフトウェアスタンバイモード解除を禁止 1: SDA2-DS信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DRIICCE	SCL2-DSディープスタンバイ解除信号許可ビット	0: SCL2-DS信号によるディープソフトウェアスタンバイモード解除を禁止 1: SCL2-DS信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DUSBIE	USB0サスペンド/レジュームディープスタンバイ解除信号許可ビット	0: USB0のサスペンド/レジュームによるディープソフトウェアスタンバイモード解除を禁止 1: USB0のサスペンド/レジュームによるディープソフトウェアスタンバイモード解除を許可	R/W

注1. 一度だけ“1”を書くことができます。以後のライトアクセスは無効です。

DPSIER2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については「表 6.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER2 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR2 レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR2 レジスタを“0”にしてください。

DUSBIE ビット (USB0 サスペンド/レジュームディープスタンバイ解除信号許可ビット)

DUSBIE ビットは、USB0 の許可ビットになります。USB0 は、P22 にアサインされている USB0_OVRCURB でディープソフトウェアスタンバイモードを解除することはできません。

11.2.12 ディープスタンバイインタラプトイネーブルレジスタ 3 (DPSIER3)

アドレス 0008 C285h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	DTADIE	DRMCIE	DCANIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCANIE	CRX1-DSディープスタンバイ解除信号許可ビット	0: CRX1-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: CRX1-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DRMCIE	REMC割り込みディープスタンバイ解除信号許可ビット	0: REMC割り込みによるディープソフトウェアスタンバイモード解除を禁止 1: REMC割り込みによるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DTADIE	VBATTタンパ検出ディープスタンバイ解除信号許可ビット	0: VBATTタンパ検出によるディープソフトウェアスタンバイモード解除を禁止 1: VBATTタンパ検出によるディープソフトウェアスタンバイモード解除を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DPSIER3 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER3 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR3 レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR3 レジスタを“0”にしてください。

11.2.13 ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0)

アドレス 0008 C286h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7	DIRQ6	DIRQ5	DIRQ4	DIRQ3	DIRQ2	DIRQ1	DIRQ0
	F	F	F	F	F	F	F	F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0F	IRQ0-DS 端子ディープスタンバイ解除フラグ	0: IRQ0-DS 端子による解除要求の発生なし 1: IRQ0-DS 端子による解除要求の発生あり	R(W) (注1)
b1	DIRQ1F	IRQ1-DS 端子ディープスタンバイ解除フラグ	0: IRQ1-DS 端子による解除要求の発生なし 1: IRQ1-DS 端子による解除要求の発生あり	R(W) (注1)
b2	DIRQ2F	IRQ2-DS 端子ディープスタンバイ解除フラグ	0: IRQ2-DS 端子による解除要求の発生なし 1: IRQ2-DS 端子による解除要求の発生あり	R(W) (注1)
b3	DIRQ3F	IRQ3-DS 端子ディープスタンバイ解除フラグ	0: IRQ3-DS 端子による解除要求の発生なし 1: IRQ3-DS 端子による解除要求の発生あり	R(W) (注1)
b4	DIRQ4F	IRQ4-DS 端子ディープスタンバイ解除フラグ	0: IRQ4-DS 端子による解除要求の発生なし 1: IRQ4-DS 端子による解除要求の発生あり	R(W) (注1)
b5	DIRQ5F	IRQ5-DS 端子ディープスタンバイ解除フラグ	0: IRQ5-DS 端子による解除要求の発生なし 1: IRQ5-DS 端子による解除要求の発生あり	R(W) (注1)
b6	DIRQ6F	IRQ6-DS 端子ディープスタンバイ解除フラグ	0: IRQ6-DS 端子による解除要求の発生なし 1: IRQ6-DS 端子による解除要求の発生あり	R(W) (注1)
b7	DIRQ7F	IRQ7-DS 端子ディープスタンバイ解除フラグ	0: IRQ7-DS 端子による解除要求の発生なし 1: IRQ7-DS 端子による解除要求の発生あり	R(W) (注1)

注1. “0”のみ書けます。

DPSIEGR0 レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER0 レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR0 レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを“00h”にする場合は、PCLKB の6サイクル以上経過後、DPSIFR0 レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER0 レジスタを読むことで PCLKB の6サイクル以上を確保することができます。

DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DIRQnF フラグ (IRQn ディープスタンバイ解除フラグ) (n = 0 ~ 7)

IRQn-DS 端子による解除要求が発生したことを示します。

["1"になる条件]

- DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき

11.2.14 ディープスタンバイインタラプトフラグレジスタ 1 (DPSIFR1)

アドレス 0008 C287h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ1 5F	DIRQ1 4F	DIRQ1 3F	DIRQ1 2F	DIRQ11 F	DIRQ1 0F	DIRQ9 F	DIRQ8 F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8F	IRQ8-DS 端子ディープスタンバイ解除フラグ	0: IRQ8-DS 端子による解除要求の発生なし 1: IRQ8-DS 端子による解除要求の発生あり	R(W) (注1)
b1	DIRQ9F	IRQ9-DS 端子ディープスタンバイ解除フラグ	0: IRQ9-DS 端子による解除要求の発生なし 1: IRQ9-DS 端子による解除要求の発生あり	R(W) (注1)
b2	DIRQ10F	IRQ10-DS 端子ディープスタンバイ解除フラグ	0: IRQ10-DS 端子による解除要求の発生なし 1: IRQ10-DS 端子による解除要求の発生あり	R(W) (注1)
b3	DIRQ11F	IRQ11-DS 端子ディープスタンバイ解除フラグ	0: IRQ11-DS 端子による解除要求の発生なし 1: IRQ11-DS 端子による解除要求の発生あり	R(W) (注1)
b4	DIRQ12F	IRQ12-DS 端子ディープスタンバイ解除フラグ	0: IRQ12-DS 端子による解除要求の発生なし 1: IRQ12-DS 端子による解除要求の発生あり	R(W) (注1)
b5	DIRQ13F	IRQ13-DS 端子ディープスタンバイ解除フラグ	0: IRQ13-DS 端子による解除要求の発生なし 1: IRQ13-DS 端子による解除要求の発生あり	R(W) (注1)
b6	DIRQ14F	IRQ14-DS 端子ディープスタンバイ解除フラグ	0: IRQ14-DS 端子による解除要求の発生なし 1: IRQ14-DS 端子による解除要求の発生あり	R(W) (注1)
b7	DIRQ15F	IRQ15-DS 端子ディープスタンバイ解除フラグ	0: IRQ15-DS 端子による解除要求の発生なし 1: IRQ15-DS 端子による解除要求の発生あり	R(W) (注1)

注1. “0”のみ書けます。

DPSIEGR1 レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER1 レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR1 レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER1 レジスタの設定変更後に DPSIFR1 レジスタを“00h”にする場合は、PCLKB の 6 サイクル以上経過後、DPSIFR1 レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER1 レジスタを読むことで PCLKB の 6 サイクル以上を確保することができます。

DPSIFR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DIRQnF フラグ (IRQn ディープスタンバイ解除フラグ) (n = 8 ~ 15)

IRQn-DS 端子による解除要求が発生したことを示します。

["1"になる条件]

- DPSIEGR1 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき

11.2.15 ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2)

アドレス 0008 C288h

b7	b6	b5	b4	b3	b2	b1	b0
DUSBI F	DRIICC IF	DRIICD IF	DNMIF	DRTCA IF	DRTCII F	DLVD2I F	DLVD1I F

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IF	LVD1ディープスタンバイ解除フラグ	0: 電圧監視1信号による解除要求の発生なし 1: 電圧監視1信号による解除要求の発生あり	R/(W) (注1)
b1	DLVD2IF	LVD2ディープスタンバイ解除フラグ	0: 電圧監視2信号による解除要求の発生なし 1: 電圧監視2信号による解除要求の発生あり	R/(W) (注1)
b2	DRTCIIIF	RTC 周期割り込みディープスタンバイ解除フラグ	0: RTC 周期割り込み信号による解除要求の発生なし 1: RTC 周期割り込み信号による解除要求の発生あり	R/(W) (注1)
b3	DRTCAIF	RTC アラーム割り込みディープスタンバイ解除フラグ	0: RTC アラーム割り込み信号による解除要求の発生なし 1: RTC アラーム割り込み信号による解除要求の発生あり	R/(W) (注1)
b4	DNMIF	NMIディープスタンバイ解除フラグ	0: NMI 端子による解除要求の発生なし 1: NMI 端子による解除要求の発生あり	R/(W) (注1)
b5	DRIICDIF	SDA2-DSディープスタンバイ解除フラグ	0: SDA2-DS 信号による解除要求の発生なし 1: SDA2-DS 信号による解除要求の発生あり	R/(W) (注1)
b6	DRIICCIF	SCL2-DSディープスタンバイ解除フラグ	0: SCL2-DS 信号による解除要求の発生なし 1: SCL2-DS 信号による解除要求の発生あり	R/(W) (注1)
b7	DUSBIF	USB0サスペンド/レジュームディープスタンバイ解除フラグ	0: USB0のサスペンド/レジュームによる解除要求の発生なし 1: USB0のサスペンド/レジュームによる解除要求の発生あり	R/(W) (注1)

注1. “0”のみ書けます。

DPSIEGR2 レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER2 レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR2 レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER2 レジスタの設定変更後に DPSIFR2 レジスタを“00h”にする場合は、PCLKB の 6 サイクル以上経過後、DPSIFR2 レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER2 レジスタを読むことで PCLKB の 6 サイクル以上を確保することができます。

DPSIFR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DLVDmIF フラグ (LVDm ディープスタンバイ解除フラグ) (m = 1, 2)

電圧監視 m 信号による解除要求が発生したことを示します。

["1"になる条件]

- DPSIEGR2 レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき

DRTCIF フラグ (RTC 周期割り込みディープスタンバイ解除フラグ)

RTC 周期割り込み信号による解除要求が発生したことを示します。

[“1” になる条件]

- RTC 周期割り込み信号による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DRTCAIF フラグ (RTC アラーム割り込みディープスタンバイ解除フラグ)

RTC アラーム割り込み信号による解除要求が発生したことを示します。

[“1” になる条件]

- RTC アラーム割り込み信号による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DNMIF フラグ (NMI ディープスタンバイ解除フラグ)

NMI 端子による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DRIICDIF フラグ (SDA2-DS ディープスタンバイ解除フラグ)

SDA2-DS の割り込み信号による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR2 レジスタで選択した SDA2-DS 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DRIICCIF フラグ (SCL2-DS ディープスタンバイ解除フラグ)

SCL2-DS の割り込み信号による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR2 レジスタで選択した SCL2-DS 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DUSBIF フラグ (USB0 サスペンド/レジュームディープスタンバイ解除フラグ)

USB0 のサスペンド/レジュームによる解除要求が発生したことを示します。

DUSBIF フラグは、USB0 のフラグになります。ただし、USB0 は、P22 にアサインされている USB0_OVRCURB でディープソフトウェアスタンバイモードを解除することはできません。

図 11.2 に DUSBIF フラグの構成を示します。

[“1” になる条件]

- USB0 のサスペンド/レジュームによる解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

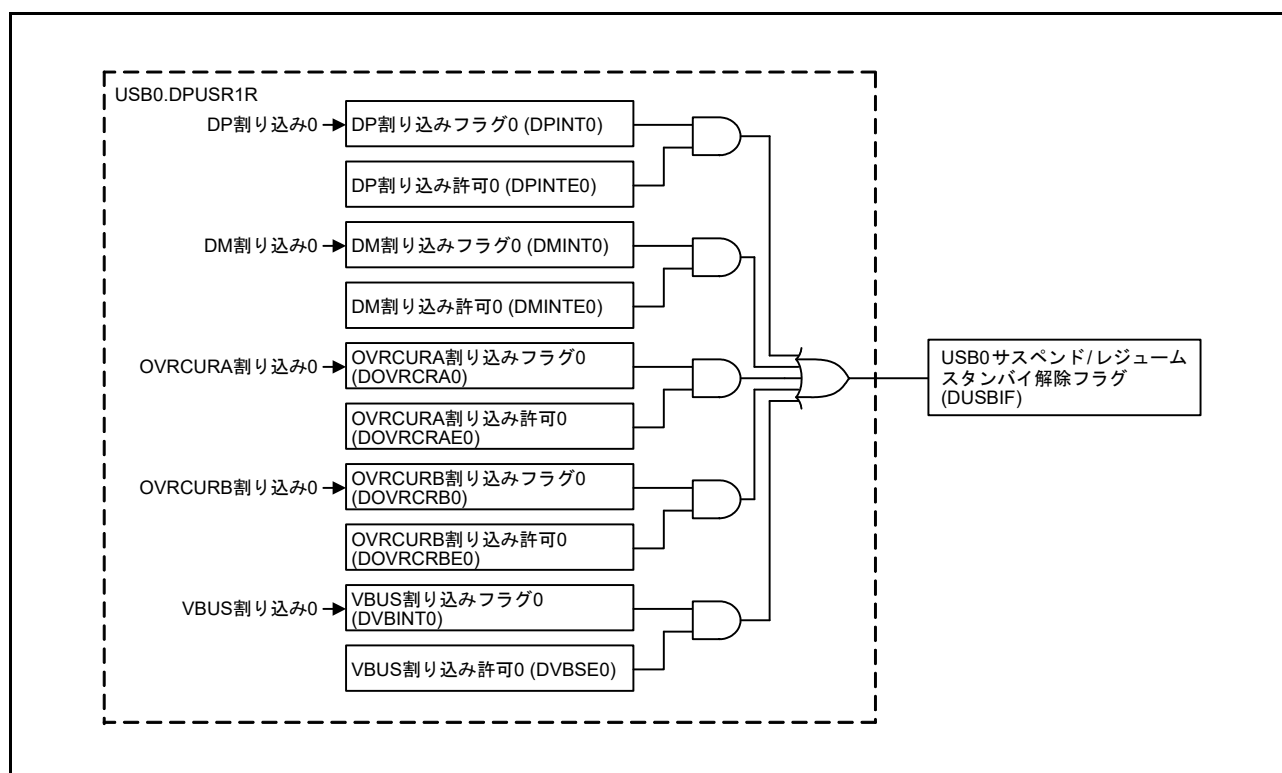


図 11.2 USB0 サスペンド/レジュームディープスタンバイ解除フラグ (DUSBIF) の構成

11.2.16 ディープスタンバイインタラプトフラグレジスタ 3 (DPSIFR3)

アドレス 0008 C289h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	DTADIF	DRMCIF	DCANIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCANIF	CRX1-DS ディープスタンバイ解除フラグ	0 : CRX1-DS 端子による解除要求の発生なし 1 : CRX1-DS 端子による解除要求の発生あり	R/(W) (注1)
b1	DRMCIF	REMC 割り込みによるディープスタンバイ解除フラグ	0 : REMC 受信による解除要求の発生なし 1 : REMC 受信による解除要求の発生あり	R/(W) (注1)
b2	DTADIF	VBATT タンパ検出ディープスタンバイ解除フラグ	0 : VBATT タンパ検出による解除要求の発生なし 1 : VBATT タンパ検出による解除要求の発生あり	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”のみ書けます。

DPSIEGR3 レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER3 レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR3 レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER3 レジスタの設定変更後に DPSIFR3 レジスタを“00h”にする場合は、PCLKB の 6 サイクル以上経過後、DPSIFR3 レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER3 レジスタを読むことで PCLKB の 6 サイクル以上を確保することができます。

DPSIFR3 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DCANIF フラグ (CRX1-DS ディープスタンバイ解除フラグ)

CRX1-DS 端子による解除要求が発生したことを示します。

[“1”になる条件]

- DPSIEGR3 レジスタで選択した CRX1-DS 端子による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DRMCIF フラグ (REMC 割り込みによるディープスタンバイ解除フラグ)

REMC 受信による解除要求が発生したことを示します。

[“1”になる条件]

- REMC 受信による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DTADIF フラグ (VBATT タンパ検出ディープスタンバイ解除フラグ)

VBATT タンパ検出による解除要求が発生したことを示します。

[“1”になる条件]

- VBATT タンパ検出による解除要求が発生したとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき

11.2.17 ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0)

アドレス 0008 C28Ah

b7	b6	b5	b4	b3	b2	b1	b0
DIRQ7 EG	DIRQ6 EG	DIRQ5 EG	DIRQ4 EG	DIRQ3 EG	DIRQ2 EG	DIRQ1 EG	DIRQ0 EG

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0EG	IRQ0-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ1EG	IRQ1-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b2	DIRQ2EG	IRQ2-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b3	DIRQ3EG	IRQ3-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b4	DIRQ4EG	IRQ4-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b5	DIRQ5EG	IRQ5-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b6	DIRQ6EG	IRQ6-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b7	DIRQ7EG	IRQ7-DS端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

11.2.18 ディープスタンバイインタラプトエッジレジスタ 1 (DPSIEGR1)

アドレス 0008 C28Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15EG	DIRQ14EG	DIRQ13EG	DIRQ12EG	DIRQ11EG	DIRQ10EG	DIRQ9EG	DIRQ8EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8EG	IRQ8-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b1	DIRQ9EG	IRQ9-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b2	DIRQ10EG	IRQ10-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b3	DIRQ11EG	IRQ11-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b4	DIRQ12EG	IRQ12-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b5	DIRQ13EG	IRQ13-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b6	DIRQ14EG	IRQ14-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b7	DIRQ15EG	IRQ15-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W

DPSIEGR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

11.2.19 ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2)

アドレス 0008 C28Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	DRIICC EG	DRIICD EG	DNMIE G	—	—	DLVD2 EG	DLVD1 EG

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1EG	LVD1エッジ選択ビット	0 : VCC < Vdet1 (下降)検出時に解除要求を発生 1 : VCC ≥ Vdet1 (上昇)検出時に解除要求を発生	R/W
b1	DLVD2EG	LVD2エッジ選択ビット	0 : VCC < Vdet2 (下降)検出時に解除要求を発生 1 : VCC ≥ Vdet2 (上昇)検出時に解除要求を発生	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIEG	NMIエッジ選択ビット	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がリエッジで解除要求を発生	R/W
b5	DRIICDEG	SDA2-DSエッジ選択ビット	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がリエッジで解除要求を発生	R/W
b6	DRIICCEG	SCL2-DSエッジ選択ビット	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がリエッジで解除要求を発生	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

11.2.20 ディープスタンバイインタラプトエッジレジスタ 3 (DPSIEGR3)

アドレス 0008 C28Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DCANI EG

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DCANIEG	CRX1-DSエッジ選択ビット	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がリエッジで解除要求を発生	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DPSIEGR3 レジスタはディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0]、ICK[3:0]、BCK[3:0]、PCKA[3:0]、PCKB[3:0]、PCKC[3:0]、PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DMAC、DTC、コードフラッシュメモリ、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKA[3:0]、PCKB[3:0]、PCKC[3:0]、PCKD[3:0] ビットで設定した動作クロックで動作します。

外部バスクロックは、BCK[3:0] ビットで設定した動作クロックで動作します。詳細は「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRD レジスタに対応する MSTPmi ビット ($m = A \sim D, i = 31 \sim 0$) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を続けます。対応する MSTPmi ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、EXDMAC、RAM、スタンバイ RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5 動作電力低減機能

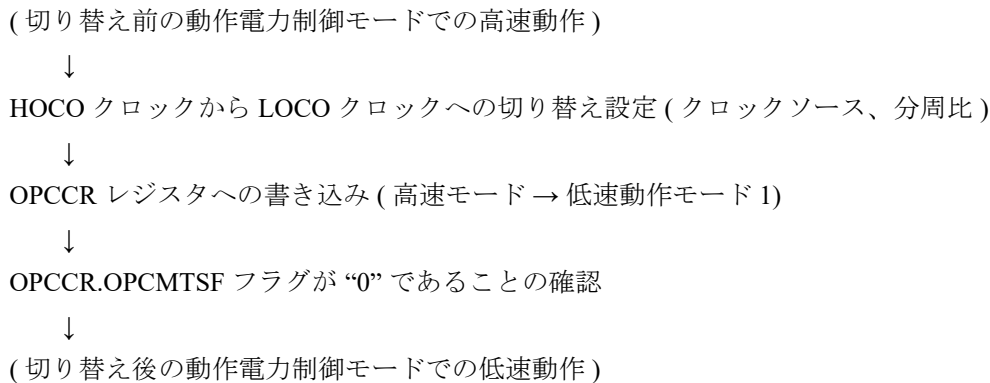
動作周波数、動作電圧に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することができます。

11.5.1 動作電力制御モードの設定方法

動作電力制御モードの移行手順例を以下に示します。

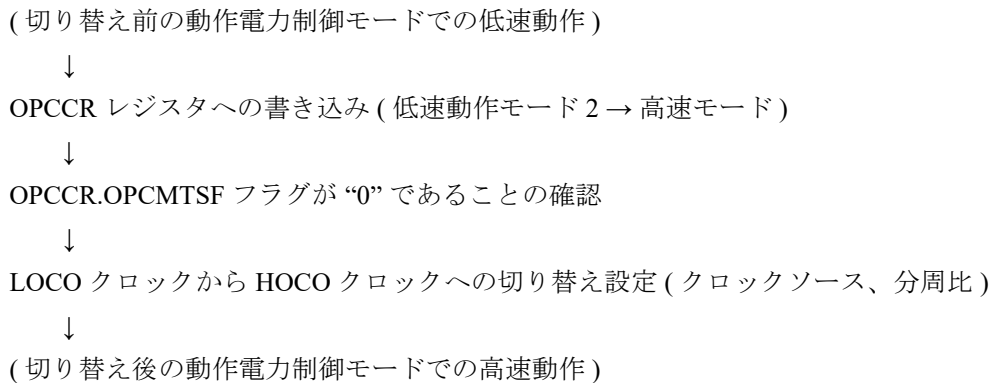
(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

例：高速動作モードから低速動作モード1への切り替え



(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

例：低速動作モード2から高速動作モードへの切り替え



11.6 低消費電力状態

11.6.1 スリープモード

11.6.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

WDT を使用しているとき、スリープモードへ移行すると WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1” (低消費電力モード遷移時 IWDT カウント停止有効) のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1” のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0” のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注1) を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの要求先 (注2) を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル (注3) を、CPU の PSW.IPL[3:0] ビット (注1) よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット (注3) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行 (WAIT 命令の実行により CPU の PSW.I ビット (注1) は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「15.7.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。

11.6.1.2 スリープモードの解除

ノンマスクブル割り込み、および全要因の割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除
割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスクブル割り込みが CPU でマスクされている場合 (割り込み優先レベルが(注1)CPU の PSW.IPL[3:0] ビット(注2)以下に設定されている場合) には、スリープモードは解除されません。
- RES# 端子リセットによる解除
RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- パワーオンリセットによる解除
パワーオンリセットによって、スリープモードが解除されます。
- 電圧監視リセットによる解除
電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。
- 独立ウォッチドッグタイマリセットによる解除
IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT ビットが“0”かつ OFS0.IWDTSLCSTP ビットが“1”、または OFS0.IWDTSTRT ビットが“1”かつ IWDTCSTPR.SLCSTP ビットが“1”) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.1.3 スリープモード復帰クロックソース切り替え機能

スリープモード復帰クロックソース切り替えを行うには、スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) による復帰後のクロックの設定と、各クロックのウェイトコントロールレジスタの設定が必要となります。復帰割り込みが発生すると、復帰クロックとして設定された発振器の発振安定を待った後、自動的にクロックソースを切り替え、スリープモードから復帰します。その際、クロックソース切り替えに関連するレジスタが自動的に書き換えられます。

詳細は「11.2.7 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。また、発振安定待ち時間の設定については、「9.2.19 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)」を参照してください。

11.6.2 全モジュールクロックストップモード

11.6.2.1 全モジュールクロックストップモードへの移行

MSTPCRA.ACSE ビットを“1”にして、かつ MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタで制御されるモジュールをモジュールストップ状態 (MSTPCRA = FFFF FF[C-F]Fh, MSTPCRB = FFFF FFFFh, MSTPCRC[31:16] = FFFFh, MSTPCRD = FFFF FFFFh) にしたときに、SBYCR.SSBY ビットを“0”にした状態で WAIT 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ (注 1)、POE (注 2)、IWDT、RTC、パワーオンリセット回路、電圧検出回路を除く全モジュールと、バスコントローラおよび I/O ポートの動作が停止して、全モジュールクロックストップモードへ移行します (注 3)。

WDT を使用しているとき、全モジュールクロックストップモードへ移行すると、WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1” (低消費電力モード遷移時 IWDT カウント停止有効) のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1” のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0” のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。

全モジュールクロックストップモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注 4) を“0”にする。
- (2) 全モジュールクロックストップモードからの復帰に使用する割り込みの要求先 (注 5) を CPU に設定する。
- (3) 全モジュールクロックストップモードからの復帰に使用する割り込みの優先レベル (注 6) を CPU の PSW.IPL[3:0] ビット (注 4) よりも高く設定する。
- (4) 全モジュールクロックストップモードからの復帰に使用する割り込みの IERm.IENj ビット (注 6) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注 4) は自動的に“1”になります)。

注 1. MSTPCRA.MSTPA5、MSTPA4 ビットで動作 / 停止を選択できます。

注 2. POE 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生フラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE 割り込みが発生します。

注 3. DTC、DMAC の動作状態によっては、全モジュールクロックストップモードに移行できない場合があります。MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DTC、DMAC が起動していない状態で行ってください。

注 4. 詳細は「2. CPU」を参照してください。

注 5. 詳細は「15.7.3 割り込み要求先の選択」を参照してください。

注 6. 詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。

11.6.2.2 全モジュールクロックストップモードの解除

全モジュールクロックストップモードの解除は、外部端子割り込み (NMI、IRQ0 ~ IRQ15)、周辺機能割り込み (8 ビットタイマ (注1)、RTC アラーム、RTC 周期、IWDT、USB0 のサスペンド/レジューム、REMC 受信、VBATT タンパ検出、電圧監視 1、電圧監視 2、発振停止検出)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット (注2) によって行われ、例外処理を経て通常のプログラム実行状態へ遷移します。マスクブル割り込みが CPU でマスクされている場合 (割り込みの優先レベル (注3) が CPU の PSW.IPL[3:0] ビット (注4) 以下に設定されている場合)、または DTC、DMAC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

- 注 1. MSTPCRA.MSTPA5、MSTPA4 ビットで動作/停止を選択できます。
- 注 2. 全モジュールクロックストップ時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。
- 注 3. 詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。
- 注 4. 詳細は「2. CPU」を参照してください。

11.6.3 ソフトウェアスタンバイモード

11.6.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にし、DPSBYCR.DPSBY ビットを“0”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、および発振器の機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンスとするか、出力状態を保持するかを、SBYCR.OPE ビットで選択できます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。ただし、メインクロック発振器、サブクロック発振器は動作 / 停止の選択が可能です。詳細は「表 11.2 各モードにおける遷移および解除方法と動作状態」を参照してください。

WAIT 命令を実行する前に DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にしてください。

WDT を使用しているとき、ソフトウェアスタンバイモードへ移行すると、発振器が停止するため WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1” (低消費電力モード遷移時 IWDT カウント停止有効) のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1” のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0” のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

また、発振停止検出機能有効 (OSTDCR.OSTDE = 1) の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、発振停止検出機能無効 (OSTDCR.OSTDE = 0) に設定後、WAIT 命令を実行してください。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注 1) を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの要求先 (注 2) を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル (注 3) を CPU の PSW.IPL[3:0] ビット (注 1) よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット (注 3) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注 1) は自動的に“1”になります)。

注 1. 詳細は「2. CPU」を参照してください。

注 2. 詳細は「15.7.3 割り込み要求先の選択」を参照してください。

注 3. 詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。

11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI, IRQ0 ~ IRQ15)、周辺機能割り込み (RTC アラーム、RTC 周期、IWDTC、USB0 のサスペンド/レジューム、REMC 受信、VBATT タンパ検出、電圧監視 1、電圧監視 2)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。割り込みによってソフトウェアスタンバイモードを解除した場合、ソフトウェアスタンバイモード移行によって停止した各発振器は動作を再開します。その後、これらすべての発振器の発振安定待機時間が経過するのを待ってソフトウェアスタンバイモードから復帰します。

ただし、以下の 2 つの条件では、ソフトウェアスタンバイモード移行によって、発振器は停止しませんが、発振安定待機時間の経過を待って、ソフトウェアスタンバイモードから復帰します。

- MOFCR.MOFXIN = 1 かつ MOSCCR.MOSTP = 0
- RCR3.RTCEN = 1 かつ SOSCCR.SOSTP = 0

(1) 割り込みによる解除

NMI、IRQ0 ~ IRQ15、RTC アラーム、RTC 周期、IWDTC、USB0 のサスペンド/レジューム、REMC 受信、VBATT タンパ検出、および電圧監視 1、電圧監視 2 の割り込み要求が発生すると、ソフトウェアスタンバイモード移行によって停止した各発振器は動作を再開します。その後、ソフトウェアスタンバイモード解除後復帰時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間にソフトウェアスタンバイモード解除シーケンサ動作時間を加えた値となります。

$$t_{SBYi} = t_{SBYOSCWT} + t_{SBYSEQ}$$

t_{SBYi} (i = MC, EX, PC, PE, PH, SC, HO, LO) : ソフトウェアスタンバイモード解除後復帰時間

$t_{SBYOSCWT}$: 発振安定待機時間

t_{SBYSEQ} : ソフトウェアスタンバイモード解除シーケンサ動作時間

発振安定待機時間は、発振を開始した各発振器の発振安定待機時間のうち最も大きな値を使って計算してください。

各発振器の発振安定待機時間は、「56. 電气的特性」を参照してください。

(2) RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、MCU にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

(4) 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されます。

(5) 独立ウォッチドッグタイマリセットによる解除

IWDTC のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。

ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTCSTRT = 0 かつ OFS0.IWDTCSLCSTP = 1、または OFS0.IWDTCSTRT = 1 かつ

IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.6.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.3 に示します。

この例では、ICU の IRQCRI.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) の状態で、IRQn 割り込みを受け付けた後、IRQCRI.IRQMD[1:0] ビットを “10b” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ (ICU) の設定も必要となります。詳細は、「15. 割り込みコントローラ (ICUE)」を参照してください。

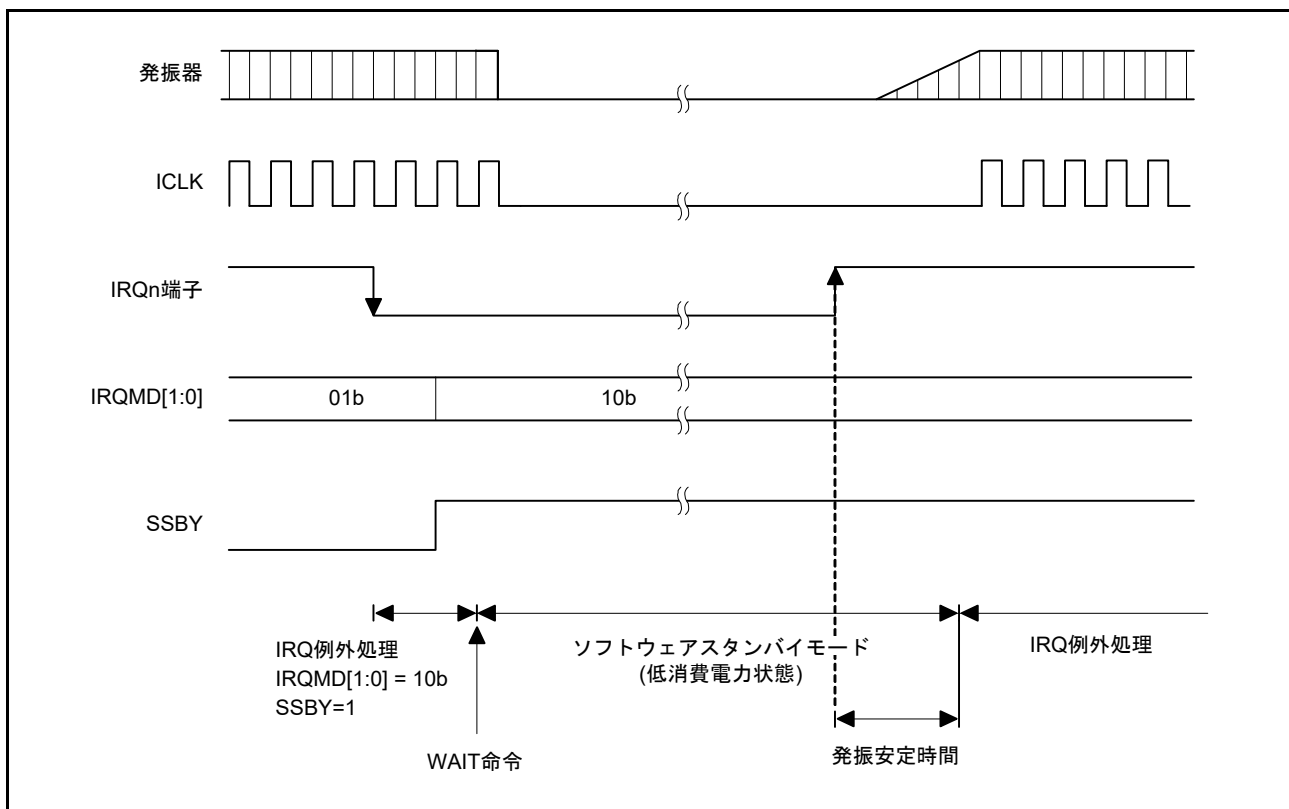


図 11.3 ソフトウェアスタンバイモードの応用例

11.6.4 ディープソフトウェアスタンバイモード

11.6.4.1 ディープソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します(注1)。このとき、DPSBYCR.DPSBY ビットが“1”なら、ディープソフトウェアスタンバイモードに移行します。

ディープソフトウェアスタンバイモードは、CPU、内蔵周辺機能(RTCアラーム、RTC周期、SCL2-DS、SDA2-DS、CRX1-DS、USB0のサスペンド/レジューム検出部、REMCを除く)、RAM、および発振器の機能が停止し、さらにこれらの内部電源の供給を停止しますので、消費電力は著しく低減されます。ただし、メインクロック発振器、サブクロック発振器は動作/停止の選択が可能です。詳細は「表 11.2 各モードにおける遷移および解除方法と動作状態」を参照してください。このとき、CPU、内蔵周辺機能(RTCアラーム、RTC周期、SCL2-DS、SDA2-DS、CRX1-DS、USB0のサスペンド/レジューム検出部、REMCを除く)のレジスタ内容はすべて不定となります。

スタンバイ RAM のデータについては、DEEPCUT[1:0] ビットを“00b”に設定しておくことにより、保持することができます。DEEPCUT[1:0] ビットを“01b”に設定した場合は、スタンバイ RAM、REMC、および USB0 のレジューム検出部への内部電源の供給も停止しますので、消費電力が低減されます。このとき、スタンバイ RAM のデータは不定となります。DEEPCUT[1:0] ビットを“11b”に設定した場合は、スタンバイ RAM、REMC、および USB0 のレジューム検出部への内部電源の供給停止に加え、LVD を停止し、パワーオンリセット回路の低消費電力機能を有効にしますので、消費電力がさらに低減されます。このとき、パワーオンリセット回路の電圧検知特性が変わります。詳細は、「56. 電気的特性」を参照してください。

WDT を使用しているとき、ディープソフトウェアスタンバイモードへ移行すると発振器は停止し、また WDT への電源供給が停止され、カウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”(低消費電力モード遷移時 IWDT カウント停止有効)のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT とともに電源供給が停止され、カウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT とともに電源供給が停止され、カウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”(低消費電力モード遷移時 IWDT カウント継続)のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。

また、電圧検出回路において電圧監視 1 リセットの機能(LVD1CR0.LVD1RI = 1)、または電圧監視 2 リセットの機能(LVD2CR0.LVD2RI = 1)を選択している場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合はソフトウェアスタンバイモードへ移行します。

ポートの状態は、ソフトウェアスタンバイモード時の状態を保持します。

注 1. WAIT 命令実行前に、ソフトウェアスタンバイモードへ移行する際の DTC、DMAC、IWDT に関する条件を満たしておく必要があります。詳細は、「11.6.3 ソフトウェアスタンバイモード」を参照してください。

11.6.4.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部端子割り込み発生元となる一部の端子 (NMI, IRQ0-DS ~ IRQ15-DS, SCL2-DS, SDA2-DS, CRX1-DS)、周辺機能割り込み (RTC アラーム、RTC 周期、USB0 のサスペンド/レジューム (注1)、REMC 受信、VBATT タンパ検出、電圧監視 1、電圧監視 2)、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセットによって行われます。

注 1. USB0 は、P22 にアサインされている USB0_OVRCURB でディープソフトウェアスタンバイモードを解除することはできません。

(1) 外部割り込み端子および内部割り込み信号による解除

ディープソフトウェアスタンバイモードの解除は、DPSIERn (n = 0 ~ 3) レジスタと DPSIFRn (n = 0 ~ 3) レジスタで制御されます。ディープソフトウェアスタンバイモードを解除可能な割り込み要求が発生すると、DPSIFRn レジスタの当該フラグが“1”になります。このとき、DPSIERn レジスタで解除要因が許可されている場合にディープソフトウェアスタンバイモードは解除されます。また、立ち上がりエッジと立ち下がりエッジの選択は、DPSIEGRn (n = 0 ~ 3) レジスタにて設定可能です。エッジ選択可能な割り込みは、NMI、IRQ0-DS ~ IRQ15-DS、SCL2-DS、SDA2-DS、CRX1-DS、電圧監視 1、電圧監視 2 となります。

ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源の供給と LOCO クロックの発振を開始し、MCU 全体に対してディープソフトウェアスタンバイリセットが発生します。その後、安定した LOCO クロックが MCU 全体に供給され、ディープソフトウェアスタンバイリセットが解除されます。ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードは解除され、リセット例外処理が開始されます。

外部割り込み端子および内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが“1”になります。

(2) RES# 端子による解除

RES# 端子を Low にすると、ディープソフトウェアスタンバイモードは解除されます。このとき RES# 端子は「56. 電気的特性」に従って Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

(4) 電圧監視 0 リセットによる解除

電源電圧の低下によって電圧監視 0 リセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

11.6.4.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/Oポートの状態はソフトウェアスタンバイモード時の状態を保持しています。ディープソフトウェアスタンバイモードに伴う内部リセットによって、MCU内部は初期化され、ディープソフトウェアスタンバイモードが解除されるとリセット例外処理が開始されます。このときのポートの状態を、以下に示します。

DPSBYCR.IOKEEPビットによって、I/Oポートを初期状態とするか、ソフトウェアスタンバイモード時のI/Oポートの状態を保持するかを選択することができます。

- DPSBYCR.IOKEEPビットが“0”のとき

ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/Oポートの状態は初期状態になります。

- DPSBYCR.IOKEEPビットが“1”のとき

ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、MCU内部は初期化されていますが、I/OポートはMCU内部の状態にかかわらずソフトウェアスタンバイモード時の状態を保持します。このとき、I/Oポート、周辺モジュールの設定を行っても、ソフトウェアスタンバイモード時のI/Oポートの状態を保持します。その後、IOKEEPビットを“0”にすることによって、I/Oポートの状態保持は解除され、内部状態に応じた動作となります。

DPSBYCR.IOKEEPビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

11.6.4.4 ディープソフトウェアスタンバイモードの応用例

IRQn-DS 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに移行し、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードの解除を行う例を図 11.4 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) に設定されている状態で、IRQn 割り込みを受け付けた後、DPSIEGRy.DIRQnEG ビット (y=0, 1, n=0~15) を “1” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットと、DPSBYCR.DPSBY ビットを “1” にした後、WAIT 命令を実行してディープソフトウェアスタンバイモードに移行しています。

その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

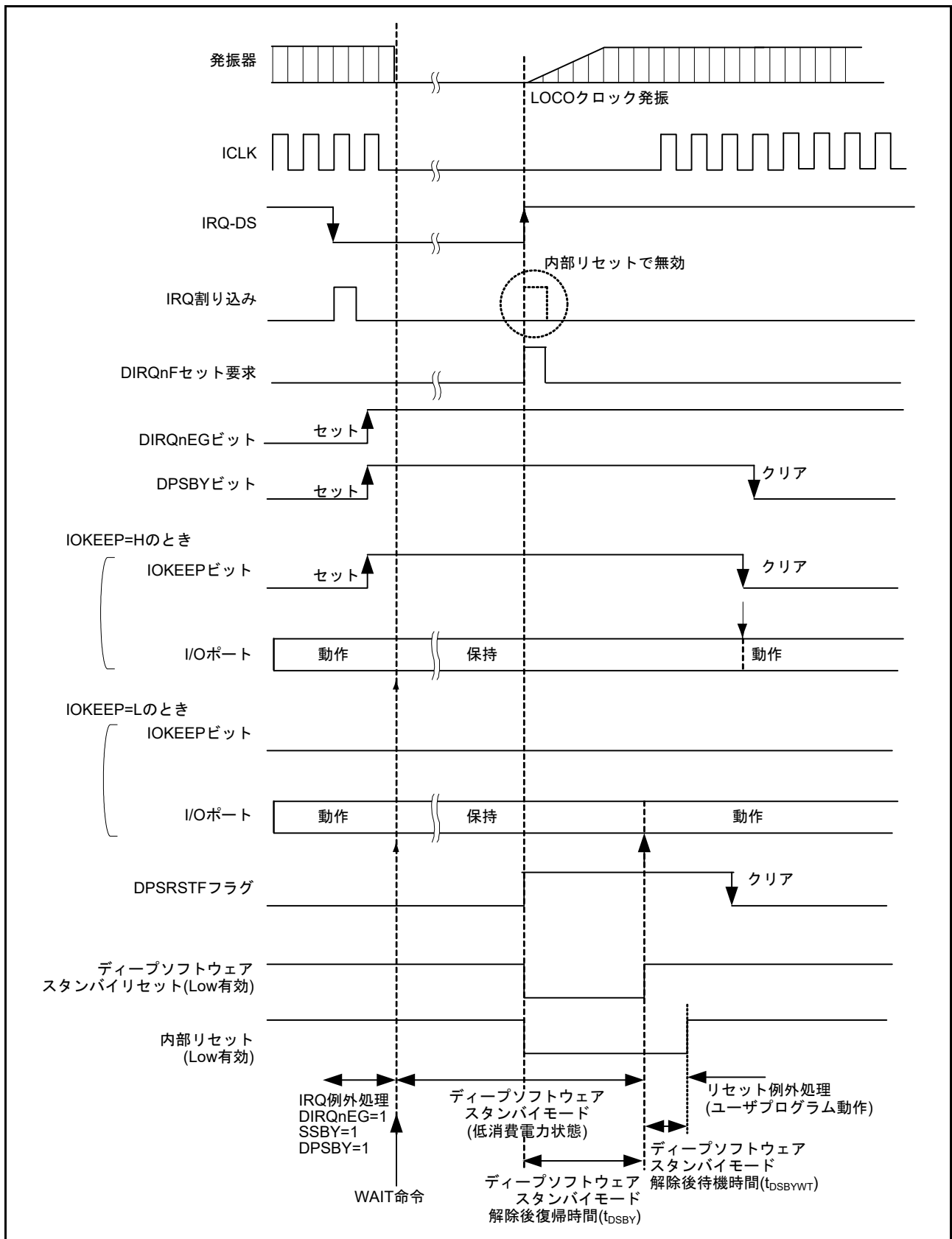


図 11.4 ディープソフトウェアスタンバイモードの応用例

11.6.4.5 ディープソフトウェアスタンバイモードのフローチャート

図 11.5 にディープソフトウェアスタンバイモードを使用する場合のフローチャートの例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグにて RES# 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES# 端子によるリセットの場合は、各種設定後、ディープソフトウェアスタンバイモードへ移行しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で DPSBYCR.IOKEEP ビットを“0”にしています。

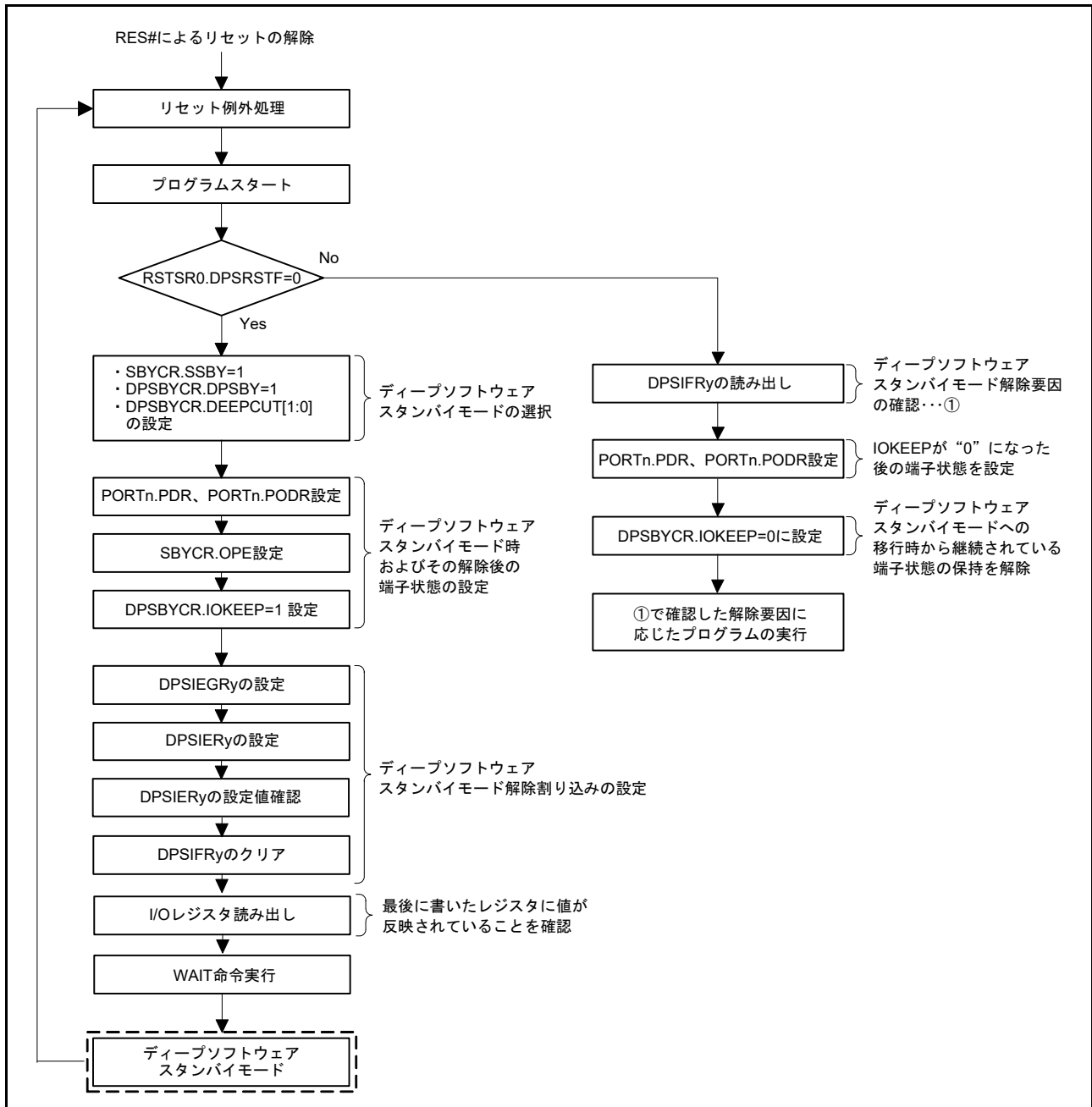


図 11.5 ディープソフトウェアスタンバイモードのフローチャート例

11.7 使用上の注意事項

11.7.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。

11.7.2 DMAC、DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DTC、DMAC が起動していない状態にしてください。

詳細は「18. DMA コントローラ (DMACAb)」、「20. データトランスファコントローラ (DTCb)」を参照してください。

11.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.7.4 MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み

MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタへの書き込みは、CPU のみで行ってください。

11.7.5 DIRQnE ビット (n = 0 ~ 15) による入力バッファ制御

DPSIERy.DIRQnE (y = 0, 1, n = 0 ~ 15) ビットを“1”にすることで、IRQ0-DS ~ IRQ15-DS 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFRy.DIRQnF (y = 0, 1, n = 0 ~ 15) ビットに伝わりますが、割り込みコントローラや周辺モジュール、I/O ポートには伝わりませんので注意してください。

11.7.6 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。I/O レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.7.7 スリープモード中の DMAC、DTC によるレジスタの書き換えについて

スリープモード中は WDT が停止します。スリープモード中に DMAC、DTC によって WDT 関連のレジスタを書き換えしないでください。スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCSSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DMAC、DTC によって IWDT 関連のレジスタを書き換えしないでください。

RSTCKCR レジスタはスリープモードから復帰するときにクロックソースを切り替える機能に関するレジスタです。そのため、スリープモード中に書き換えを行うと意図しない動作となる可能性がありますので、スリープモード中は RSTCKCR レジスタを書き換えしないでください。

11.7.8 低速動作モードからソフトウェアスタンバイモードへ移行するための注意事項

ソフトウェアスタンバイモードから復帰した後は、高速動作モードになります。低速動作モードで WAIT 命令を実行しても、ソフトウェアスタンバイモードへの移行が完了する前に復帰割り込みが発生し、移行処理が解除された場合は、WAIT 命令実行前のモードに戻りません。このことが問題になる場合は、復帰割り込み処理中で OPCCR.OPCM[2:0] ビットを“000b”にしてください。

12. バッテリバックアップ機能 (VBATTB)

12.1 概要

本 MCU では、VCC の電源が OFF になったときでも、バッテリーからの給電により、リアルタイムクロック (RTC) を動作させたり、重要なデータをバックアップしたりすることができます。また、システムへの不正アクセス (タンパ) を検知し、バックアップデータを消去させる機能も備えています。

表 12.1 に VBATT の仕様、図 12.1 に VBATT のブロック図、表 12.2 に VBATT の入出力端子を示します。

表12.1 VBATTの仕様

項目	内容
バックアップ対象	バックアップ領域内のすべてのモジュール <ul style="list-style-type: none">バックアップレジスタサブクロック発振器パワーダウン検出回路タンパ検出回路リアルタイムクロック (RTC)
バックアップレジスタ	128バイト <ul style="list-style-type: none">タンパ検出時に即時消去可能
バックアップ領域パワーダウン検出	バックアップ領域の電源電圧が低下したときにバックアップ領域リセット信号を生成
タンパイベント検出	システムへの不正アクセスを検知し、フラグまたは割り込みにより通知 <ul style="list-style-type: none">タンパ検出時にタイムスタンプを取得可能タンパ入力端子：3本 (TAMPI0～TAMPI2)ノイズフィルタ内蔵 (サンプリングレート：32.768 kHz、三回一致検出)ディープソフトウェアスタンバイモードからの復帰要因として使用可能

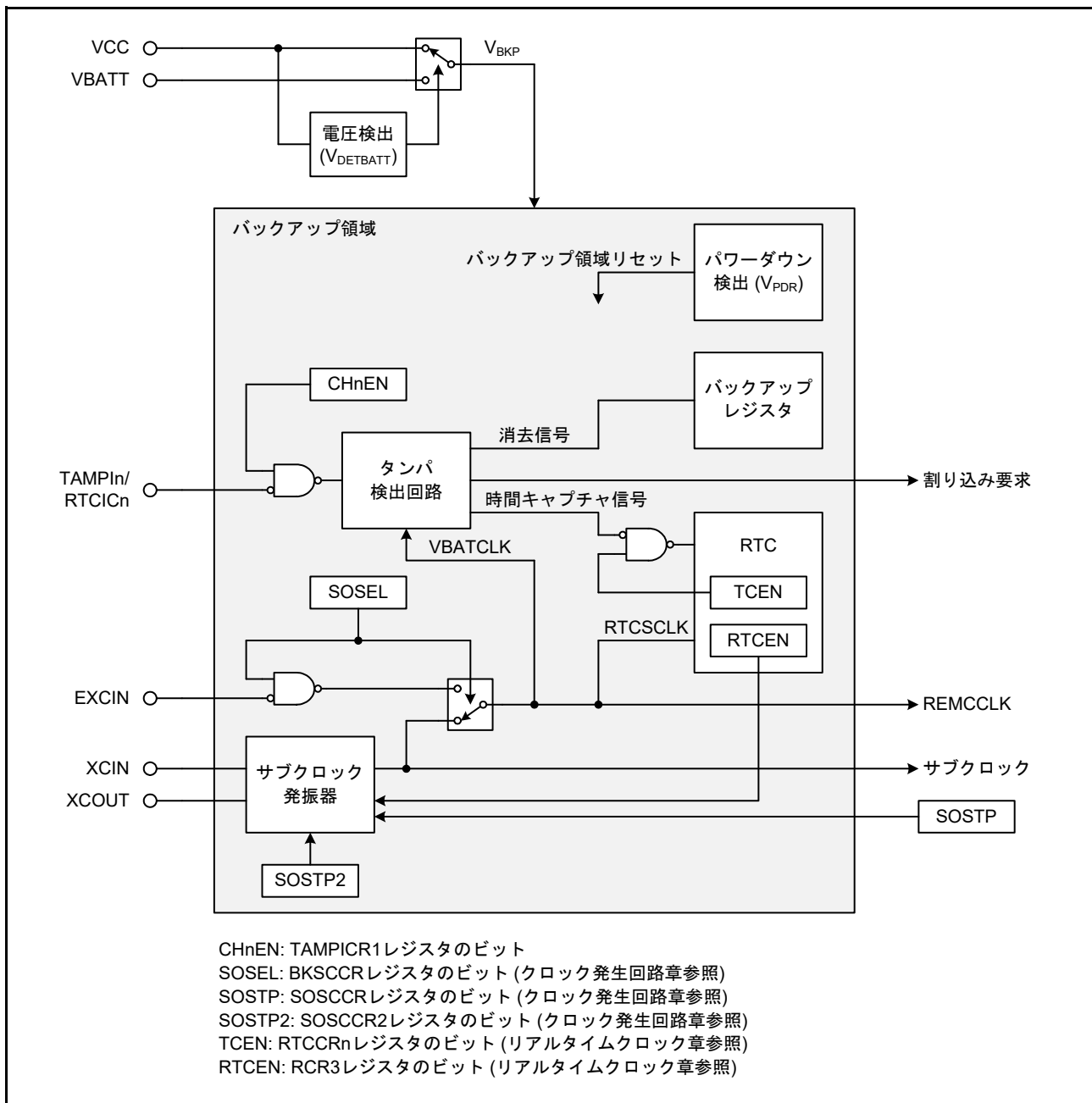


図 12.1 VBATT のブロック図 (n = 0 ~ 2)

表12.2 VBATTの入出力端子

端子名	入出力	機能
VCC	入力	電源端子
VBATT	入力	バックアップ用バッテリー接続端子(電源端子)
XCIN	入力	サブクロック発振器用発振子接続端子
XCOUt	出力	32.768 kHzの水晶振動子を接続します
EXCIN	入力	サブクロック用の外部クロック入力端子
TAMPI0 ~ TAMPI2	入力	タンパ入力端子
RTCIC0 ~ RTCIC2	入力	RTCの時間キャプチャイベント入力端子

12.2 レジスタの説明

バッテリバックアップ機能 (VBATT) 内のレジスタは、バックアップ領域リセットによってのみ初期化されます。RES# 端子リセットやソフトウェアリセットなど、他のリセットの影響は受けません。

12.2.1 バックアップ領域電源ステータスレジスタ (BKPSR)

アドレス SYSTEM.BKPSR 0008 CC46h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PDDF
リセット後の値	0	0	x	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PDDF	パワーダウン検出フラグ	0 : バックアップ領域のパワーダウンは発生していない 1 : バックアップ領域のパワーダウンが発生した	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b5	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、バックアップ領域リセットによってのみ初期化されます。MCUのリセットには影響されません。

BKPSR レジスタは、バックアップ領域の電源の状態を示します。

PDDF フラグ (パワーダウン検出フラグ)

PDDF フラグは、バックアップ領域の電源電圧が V_{PDR} を下回り、バックアップ領域リセットが生成されたことを示します。

[“1”になる条件]

- バックアップ領域の電源電圧が V_{PDR} を下回ったとき

[“0”になる条件]

- “0”を書き込んだとき

12.2.2 タンパステータスレジスタ (TAMPSR)

アドレス SYSTEM.TAMPSR 0008 CC48h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TAMP2 F	TAMP1 F	TAMP0 F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TAMP0F	タンパ0検出フラグ	0: タンパ0イベントは検出されていない 1: タンパ0イベントが検出された	R/(W) (注1)
b1	TAMP1F	タンパ1検出フラグ	0: タンパ1イベントは検出されていない 1: タンパ1イベントが検出された	R/(W) (注1)
b2	TAMP2F	タンパ2検出フラグ	0: タンパ2イベントは検出されていない 1: タンパ2イベントが検出された	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、バックアップ領域リセットによってのみ初期化されます。MCUのリセットには影響されません。

注1. フラグをクリアするための書き込みのみできます。フラグをクリアするには、フラグが“1”であることを確認してから“0”を書いてください。

TAMPSR レジスタは、タンパイベントの検出状態を示します。

TAMPnF フラグ (タンパ n 検出フラグ) (n = 0 ~ 2)

TAMPnF フラグは、TAMPIn 端子にトリガ (有効エッジ) が入力されたことを示します。トリガの設定は TAMPICR2.CHnTRG ビットによって行うことができます。

[“1”になる条件]

- TAMPIn 端子に TAMPICR2.CHnTRG ビットで指定したトリガが検出されたとき

[“0”になる条件]

- “1”であることを確認した後、“0”を書き込んだとき

12.2.3 タンパ制御レジスタ (TAMPCR)

アドレス SYSTEM.TAMPCR 0008 CC49h

b7	b6	b5	b4	b3	b2	b1	b0
—	TAMP2 EE	TAMP1 EE	TAMP0 EE	—	TAMP2I E	TAMP1I E	TAMP0I E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TAMP0IE	タンパ0検出割り込み許可ビット	0: タンパ0検出割り込み禁止 1: タンパ0検出割り込み許可	R/W
b1	TAMP1IE	タンパ1検出割り込み許可ビット	0: タンパ1検出割り込み禁止 1: タンパ1検出割り込み許可	R/W
b2	TAMP2IE	タンパ2検出割り込み許可ビット	0: タンパ2検出割り込み禁止 1: タンパ2検出割り込み許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	TAMP0EE	タンパ0イレーズ許可ビット	0: タンパ0イベントでバックアップレジスタを消去しない 1: タンパ0イベントでバックアップレジスタを消去する	R/W
b5	TAMP1EE	タンパ1イレーズ許可ビット	0: タンパ1イベントでバックアップレジスタを消去しない 1: タンパ1イベントでバックアップレジスタを消去する	R/W
b6	TAMP2EE	タンパ2イレーズ許可ビット	0: タンパ2イベントでバックアップレジスタを消去しない 1: タンパ2イベントでバックアップレジスタを消去する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、バックアップ領域リセットによってのみ初期化されます。MCUのリセットには影響されません。

TAMPCR レジスタはタンパイベント検出時の動作を制御します。

TAMPnIE ビット (タンパ n 検出割り込み許可ビット) (n = 0 ~ 2)

TAMPnIE ビットは、タンパ n 検出割り込みの有効 / 無効を制御します。

TAMPnEE ビット (タンパ n イレーズ許可ビット) (n = 0 ~ 2)

TAMPnEE ビットは、タンパ n イベント発生時にバックアップレジスタを消去するかどうかを制御します。

12.2.4 時間キャプチャイベント制御レジスタ (TCECR)

アドレス SYSTEM.TCECR 0008 CC4Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TCE2S	TCE1S	TCE0S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCE0S	時間キャプチャイベント0ソース選択ビット	0 : RTCIC0端子の入力信号 1 : タンパ0イベント	R/W
b1	TCE1S	時間キャプチャイベント1ソース選択ビット	0 : RTCIC1端子の入力信号 1 : タンパ1イベント	R/W
b2	TCE2S	時間キャプチャイベント2ソース選択ビット	0 : RTCIC2端子の入力信号 1 : タンパ2イベント	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、バックアップ領域リセットによってのみ初期化されます。MCUのリセットには影響されません。

TCECR レジスタは RTC の時間キャプチャイベントの要因を選択するレジスタです。

TCE_nS ビット (時間キャプチャイベント n ソース選択ビット) (n = 0 ~ 2)

TCE_nS ビットは RTC の時間キャプチャイベントの要因を選択するビットです。

“0”を設定すると、RTCIC_n 端子に入力された信号が RTC に入力されます。通常、タンパイベント検出を行わない場合に選択します。

“1”を設定すると、タンパ_n イベント検出信号が RTC に入力されます。タンパイベント検出時のタイムスタンプを取得する場合に選択します。

12.2.5 タンパ /RTCIC 入力制御レジスタ 1 (TAMPICR1)

アドレス SYSTEM.TAMPICR1 0008 CC4Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CH2EN	CH1EN	CH0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0EN	チャンネル0入力許可ビット	0 : TAMPi0/RTCIC0信号入力禁止 1 : TAMPi0/RTCIC0信号入力許可	R/W
b1	CH1EN	チャンネル1入力許可ビット	0 : TAMPi1/RTCIC1信号入力禁止 1 : TAMPi1/RTCIC1信号入力許可	R/W
b2	CH2EN	チャンネル2入力許可ビット	0 : TAMPi2/RTCIC2信号入力禁止 1 : TAMPi2/RTCIC2信号入力許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、バックアップ領域リセットによってのみ初期化されます。MCUのリセットには影響されません。

TAMPIn/RTCICn 端子 (n = 0 ~ 2) からの入力を許可するレジスタです。

CHnEN ビット (チャンネル n 入力許可ビット) (n = 0 ~ 2)

CHnEN ビットは TAMPIn/RTCICn 端子からの入力を許可 / 禁止します。

タンパイベントの検出を行う場合に限らず、RTC の時間キャプチャ機能を使用する場合も“1”にしてください。

12.2.6 タンパ /RTCIC 入力制御レジスタ 2 (TAMPICR2)

アドレス SYSTEM.TAMPICR2 0008 CC4Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	CH2TR G	CH1TR G	CH0TR G	—	CH2NF E	CH1NF E	CH0NF E
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0NFE	チャンネル0ノイズフィルタ許可ビット	0: TAMP10/RTCIC0端子のノイズフィルタは無効 1: TAMP10/RTCIC0端子のノイズフィルタは有効	R/W
b1	CH1NFE	チャンネル1ノイズフィルタ許可ビット	0: TAMP11/RTCIC1端子のノイズフィルタは無効 1: TAMP11/RTCIC1端子のノイズフィルタは有効	R/W
b2	CH2NFE	チャンネル2ノイズフィルタ許可ビット	0: TAMP12/RTCIC2端子のノイズフィルタは無効 1: TAMP12/RTCIC2端子のノイズフィルタは有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CH0TRG	チャンネル0トリガ選択ビット	タンパ0イベントの検出トリガを選択します。 0: TAMP10入力の立ち下がリエッジ 1: TAMP10入力の立ち上がリエッジ	R/W
b5	CH1TRG	チャンネル1トリガ選択ビット	タンパ1イベントの検出トリガを選択します。 0: TAMP11入力の立ち下がリエッジ 1: TAMP11入力の立ち上がリエッジ	R/W
b6	CH2TRG	チャンネル2トリガ選択ビット	タンパ2イベントの検出トリガを選択します。 0: TAMP12入力の立ち下がリエッジ 1: TAMP12入力の立ち上がリエッジ	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、バックアップ領域リセットによってのみ初期化されます。MCUのリセットには影響されません。

TAMPICR2 レジスタは、TAMPIn/RTCICn 端子 (n = 0 ~ 2) のノイズフィルタの有効 / 無効、タンパイベントの検出トリガを設定するレジスタです。

CHnNFE ビット (チャンネル n ノイズフィルタ許可ビット) (n = 0 ~ 2)

CHnNFE ビットは、TAMPIn/RTCICn 端子のノイズフィルタを有効にします。タンパイベントの検出を行わないときは“0”にしてください。

このビットを“1”にしてからノイズフィルタの出力が安定するまで、サブクロックで5サイクル必要です。

CHnTRG ビット (チャンネル n トリガ選択ビット) (n = 0 ~ 2)

CHnTRG ビットは、タンパイベントの検出トリガに使用する TAMPIn 入力の有効エッジを選択するビットです。

12.2.7 タンパ/RTCIC 入力モニタレジスタ (TAMPIMR)

アドレス SYSTEM.TAMPIMR 0008 CC4Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CH2LV L	CH1LV L	CH0LV L
リセット後の値	0	0	0	0	0	x	x	x

ビット	シンボル	ビット名	機能	R/W
b0	CH0LVL	チャンネル0レベルモニタフラグ	0 : TAMPi0端子の入力信号レベルはLow 1 : TAMPi0端子の入力信号レベルはHigh	R
b1	CH1LVL	チャンネル1レベルモニタフラグ	0 : TAMPi1端子の入力信号レベルはLow 1 : TAMPi1端子の入力信号レベルはHigh	R
b2	CH2LVL	チャンネル2レベルモニタフラグ	0 : TAMPi2端子の入力信号レベルはLow 1 : TAMPi2端子の入力信号レベルはHigh	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、バックアップ領域リセットによってのみ初期化されます。MCUのリセットには影響されません。

TAMPIMR レジスタは、TAMPIn 端子 (n = 0 ~ 2) の入力信号レベルをモニタするためのレジスタです。

CHnLVL フラグ (チャンネル n レベルモニタフラグ) (n = 0 ~ 2)

CHnLVL フラグは、TAMPIn 端子の入力信号レベルを示します。

12.2.8 バックアップレジスタ n (BKRn) (n = 0 ~ 127)

アドレス SYSTEM.BKR0 0008 CE00h~SYSTEM.BKR127 0008 CE7Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	[Empty Box]							
リセット後の値	0	0	0	0	0	0	0	0

注. このレジスタは、バックアップ領域リセットによってのみ初期化されます。MCUのリセットには影響されません。

BKRn レジスタ (n = 0 ~ 127) の内容はバッテリバックアップモードでも保持されます。

BKRn レジスタは、タンパイイベントの検出によって消去することができます。

12.3 動作説明

12.3.1 バッテリバックアップ機能

VCC 端子から供給されるメイン電源が OFF になったときに、VBATT 端子からバックアップ領域に電力を供給し(バッテリバックアップモード)、バックアップ領域内のモジュールの動作を維持します。

VCC の電圧が $V_{DET\ BATT}$ を下回ると、バックアップ領域の電源が自動的に VBATT に切り替わります。また、VCC の電圧が $V_{DET\ BATT}$ まで回復すると、バックアップ領域の電源が自動的に VCC に切り替わります。

バッテリバックアップ機能を使用する場合、電圧監視 0 リセットを有効にしてください。

図 12.2 に電源切り替えスイッチの構造、図 12.3 にバックアップ領域の電源が切り替わる様子を示します。

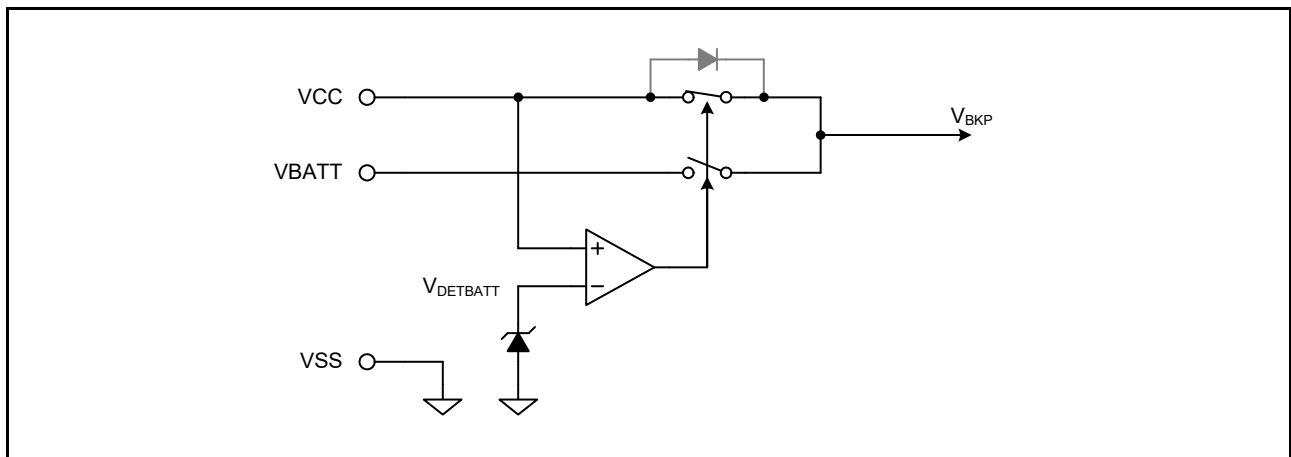


図 12.2 電源切り替えスイッチ

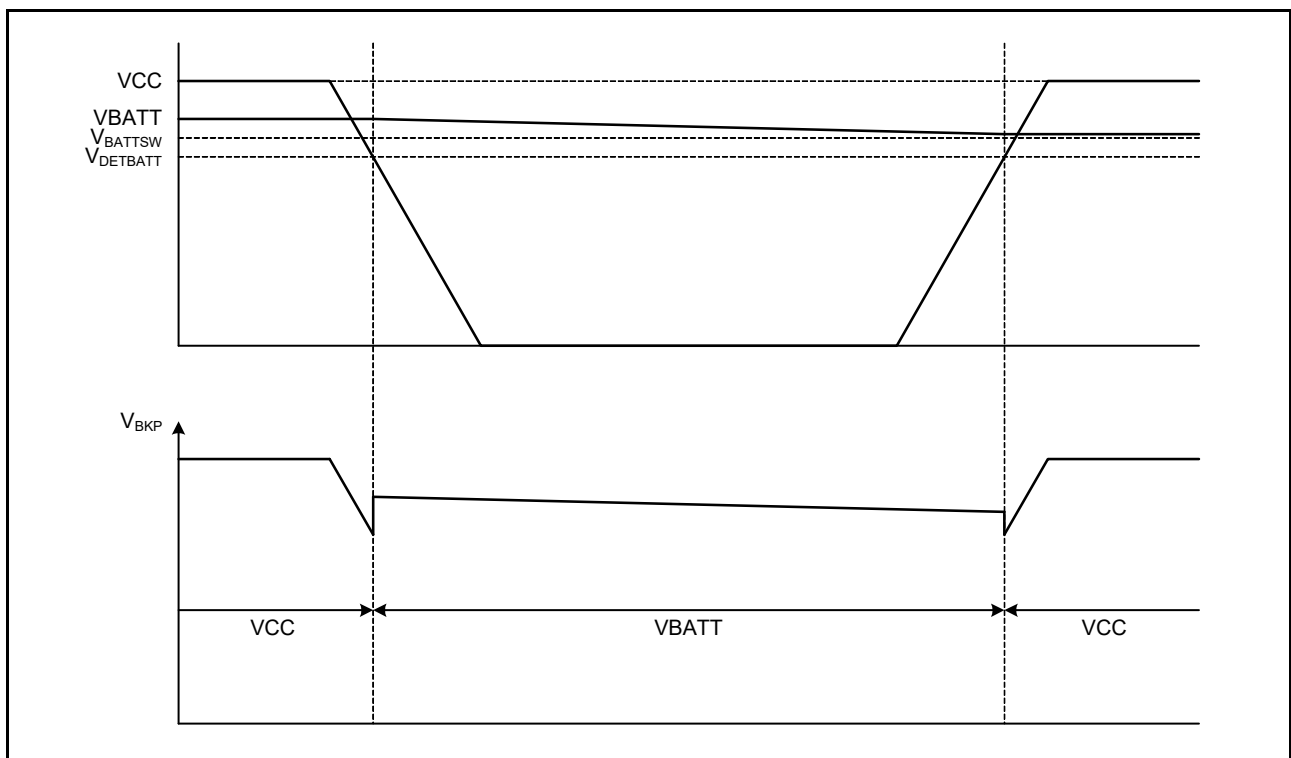


図 12.3 バックアップ領域の電源切り替え

バックアップ領域内には以下のモジュールがあります。

- バックアップレジスタ
- サブクロック発振器
- パワーダウン検出回路
- タンパ検出回路
- RTC

なお、バッテリバックアップモード時は、以下の端子にのみ電源が供給されます。

- 水晶振動子接続端子：XCIN、XCOUT
- 外部サブクロック入力端子：EXCIN (PJ3)
- タンパ入力端子：TAMPI0 (P30)、TAMPI1 (P31)、TAMPI2 (P32)

12.3.2 サブクロック発振器

サブクロック発振器はバックアップ領域にあります。サブクロック発振器の発振が停止しているときにVCCの電源がOFFになってもサブクロックが再発振しないように、バックアップ領域内にもサブクロックを停止させるためのレジスタがあります。

図12.4にサブクロック発振器のブロック図、表12.3にMCUの動作モードごとにビットの設定値とそのときのサブクロックの発振状態の関係を示します。

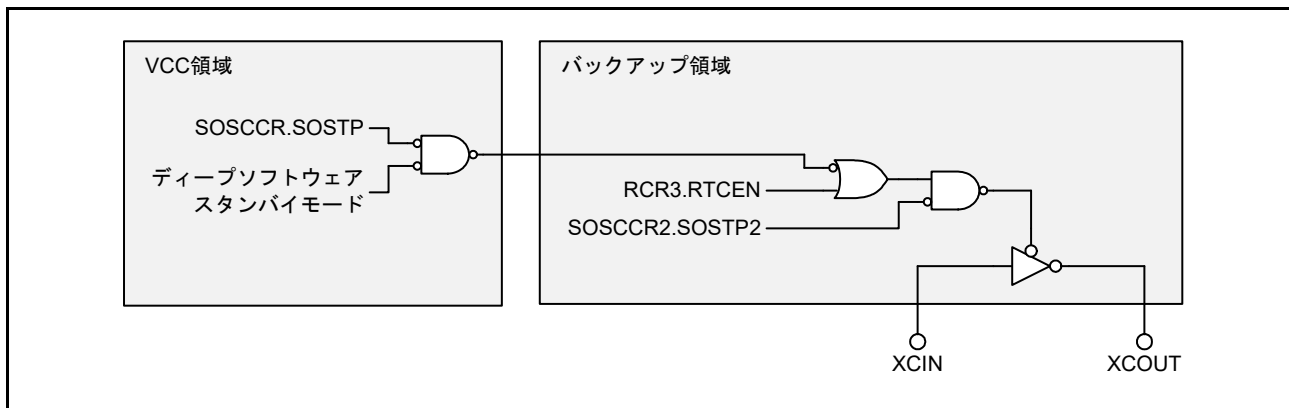


図 12.4 サブクロック発振器のブロック図

表12.3 ビットの設定値とサブクロックの動作

MCUの動作モード	SOSCCR2.SOSTP2	SOSCCR.SOSTP	RCR3.RTCEN	サブクロック発振器
通常モード、スリープモード、 全モジュールクロックストップモード、 ソフトウェアスタンバイモード	0	0	x	発振
	0	1	0	停止
	0	x	1	発振
	1	1 (注1)	x	停止
ディープソフトウェアスタンバイモード	0	1 (注2)	0	停止
	0	1 (注2)	1	発振
	1	1 (注1)	x	停止
バッテリバックアップモード	0	0 (注3)	x	発振
	1	0 (注3)	x	停止

注1. SOSTP2ビットを“1”にする場合、SOSTPビットも“1”にしてください。

注2. ディープソフトウェアスタンバイモードでは、出力が“1”に固定されます。

注3. VCCの電源がOFFになると、出力が0V (= “0”)になります。

12.3.3 パワーダウン検出回路

バックアップ領域の電源電圧 (V_{BKP}) をモニタして、バックアップ領域リセット信号を生成するモジュールです。

V_{BKP} が低下して $V_{PDR(BKP)}$ を下回ると、バックアップ領域リセット信号がアサートされ、 V_{BKP} が上昇して $V_{PDR(BKP)}$ を超えると、ネゲートされます。

バックアップ領域リセットは、本章記載のレジスタとクロック発生回路章記載の $SOSCCR2$ レジスタ、 $BKSCCR$ レジスタにのみ影響します。RTC 内のレジスタやカウンタはリセットされません。

バックアップ領域リセットが行われたことは、 $BKPSR.PDDF$ フラグが“1”になっていることで確認できます。PDDF フラグが“1”であった場合、バックアップ領域内のすべてのレジスタを再設定してください。

図 12.5 にパワーダウン検出回路の構成、図 12.6 にその動作を示します。

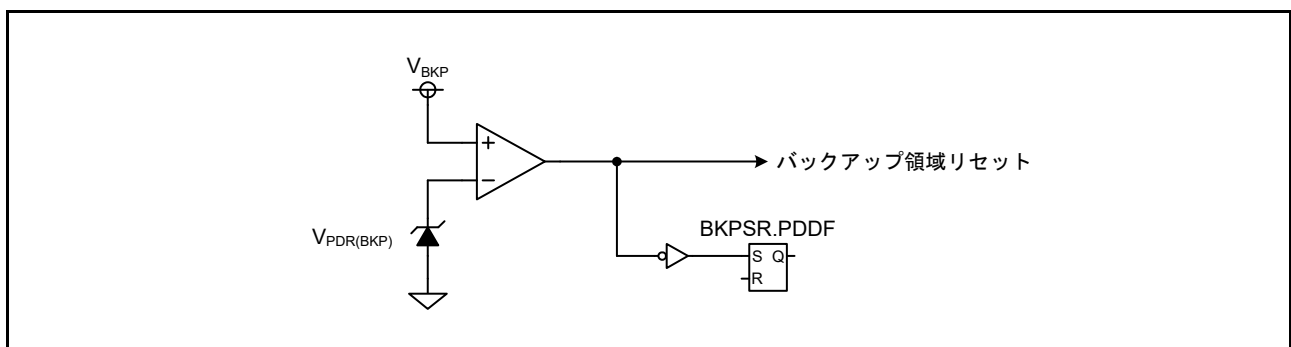


図 12.5 パワーダウン検出回路

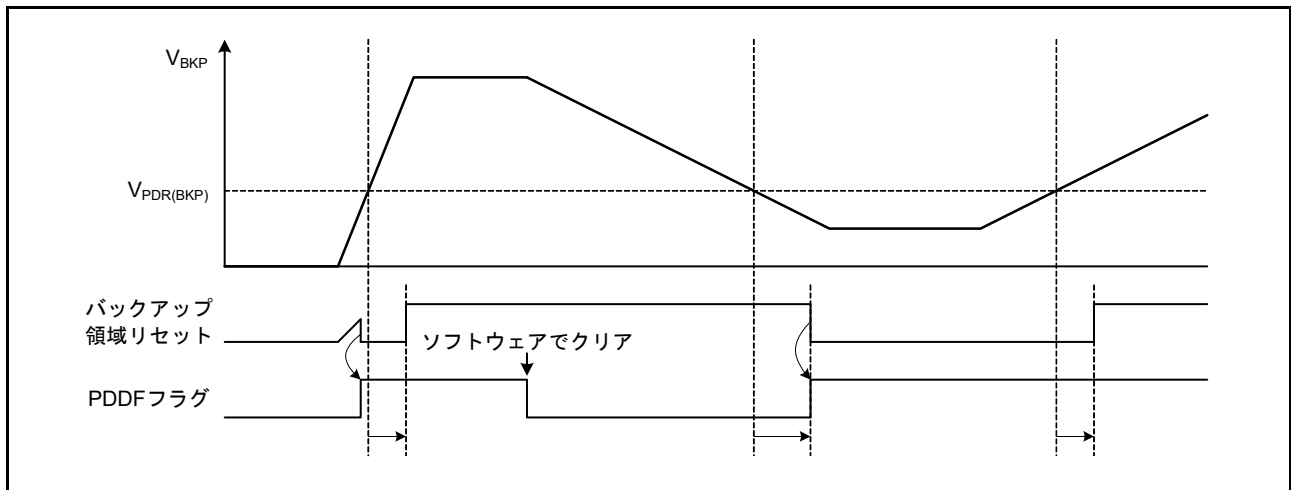


図 12.6 バックアップ領域リセット信号

12.3.4 タンパ検出回路

本 MCU には、バッテリバックアップモード時にも有効なタンパ入力端子が 3 端子 (TAMPI0 ~ TAMPI2) あり、物理的な不正操作を検知できます。

タンパ入力は立ち上がりエッジ検出、立ち下がりエッジ検出、ノイズフィルタの有効/無効を指定できます。

タンパ検出時の動作は、タンパ入力端子ごとに以下の処理から任意に選択できます。

- 割り込み要求信号の生成
- バックアップレジスタの消去
- RTC を使用したタイムスタンプの取得

図 12.7 にタンパ検出回路の構成を示しています。

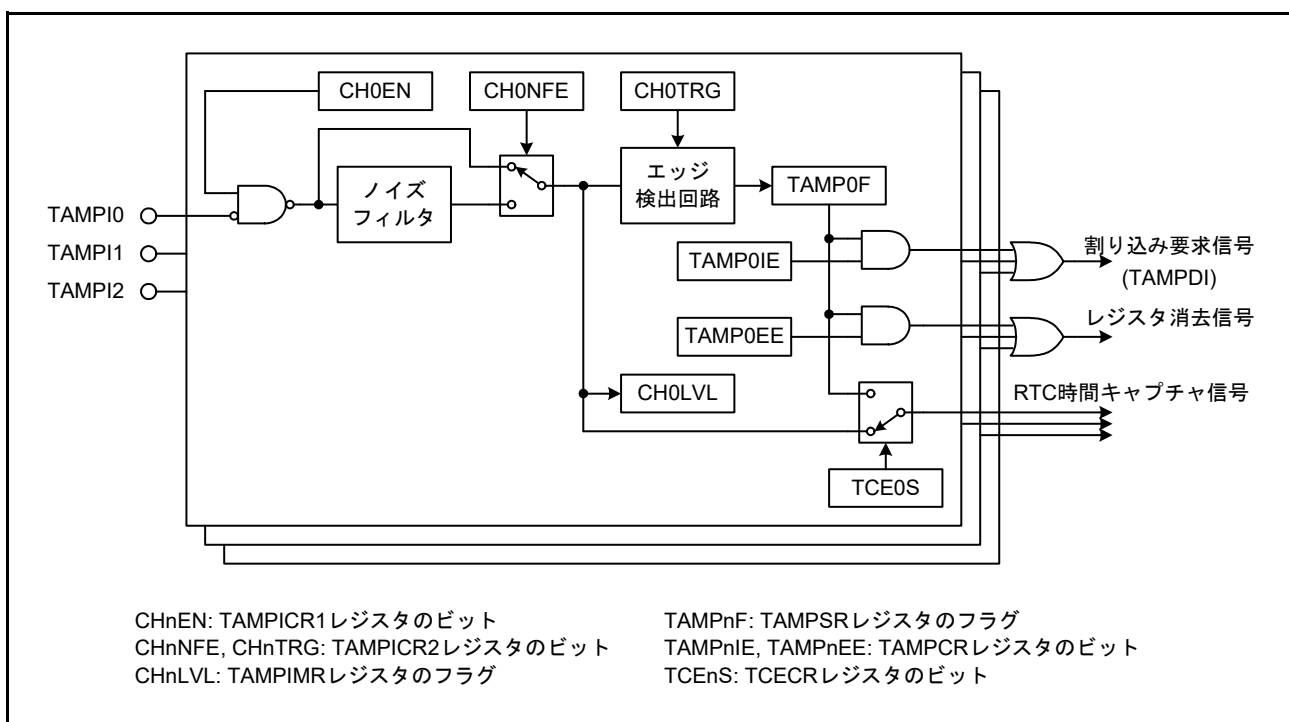


図 12.7 タンパ検出回路 (n = 0 ~ 2)

TAMPICR1 レジスタの CHnEN ビット (n = 0 ~ 2)、TAMPICR2 レジスタの CHnNFE ビット、CHnTRG ビットの値を変更すると、TAMPSR.TAMPnF フラグが意図せず“1”になることがあります。これらのビットを設定する場合、TAMPCR レジスタの TAMPnIE ビットと TAMPnEE ビットを“0”にしてから実施してください。また、設定した後は、TAMPnF フラグをクリアしてください。

TAMPIMR.CHnLVL フラグによって、現在の TAMPI_n 端子の入力レベルをモニタすることができます。

いずれかのチャンネルで有効エッジが検出されると、TAMPnF フラグが“1”になり、このとき TAMPnIE ビットが“1”であると、TAMPDI 割り込み要求が生成されます。また、このとき TAMPnEE ビットが“1”であると、バックアップレジスタの内容が消去されて“00h”になります。

TCECR.TCEnS ビットを“1”にすると、RTC の時間キャプチャ機能を使用して、タンパ検出時のタイムスタンプを記録することができます。時間キャプチャ機能の詳細については「31. リアルタイムクロック (RTCd)」を参照してください。

図 12.8 にタンパ検出回路使用時の設定フローを示します。

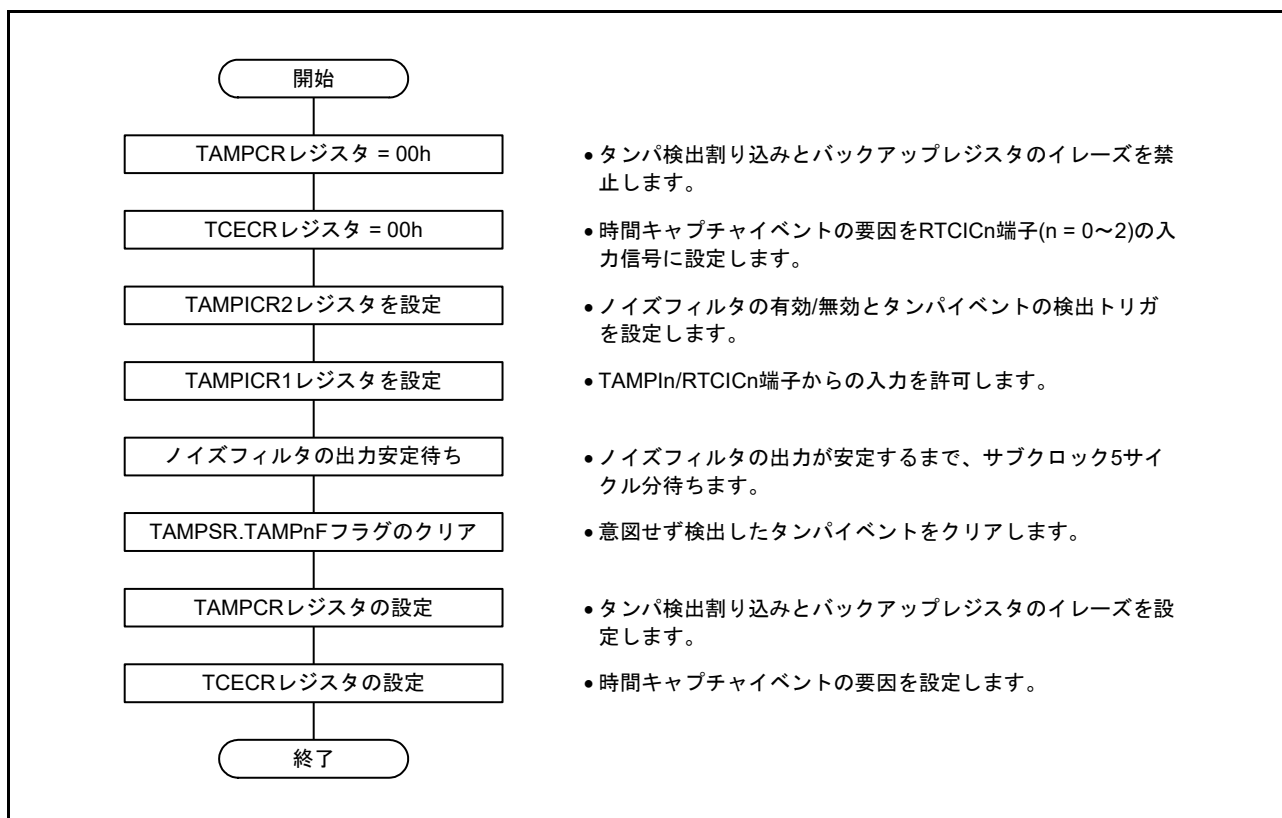


図 12.8 タンパ検出回路使用時の設定フロー

12.4 割り込み

バッテリバックアップ機能には表 12.4 に示す 3 つの割り込み要因があります。

表 12.4 VBATTの割り込み要因

名称	シンボル	割り込み要因	割り込みフラグ	割り込み許可ビット
タンパ検出割り込み	TAMPDI	タンパ0検出	TAMP0F	TAMP0IE
		タンパ1検出	TAMP1F	TAMP1IE
		タンパ2検出	TAMP2F	TAMP2IE

12.5 使用上の注意事項

12.5.1 電圧監視0リセット

バッテリバックアップ機能を使用する場合、電圧監視0リセットを有効にしてください。

12.5.2 バッテリバックアップ機能を使用しない場合

バッテリバックアップ機能を使用しない場合、VBATT端子はVCC端子に接続してください。

12.5.3 VBATT端子への注入電流

バッテリバックアップモードで動作中、VCCの電圧が V_{BATT} を超えると、VCC側の電源スイッチの寄生ダイオード(図 12.2 参照)を経由して、VCC端子からVBATT端子に電流が流れます。このことが問題になる場合には、バックアップ電源とVBATT端子の間に低ドロップアウトのダイオードを挿入してください。

13. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 13.1 に PRCR レジスタと保護されるレジスタの対応を示します。

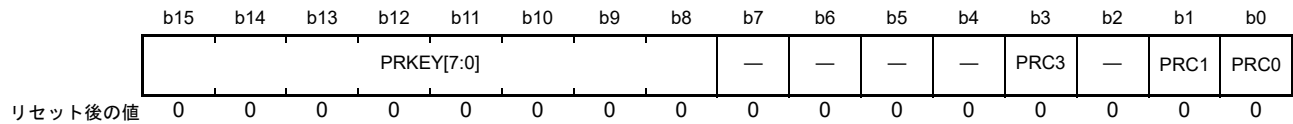
表 13.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKCR, SCKCR2, SCKCR3, PLLCR, PLLCR2, BCKCR, MOSCCR, SOSCCR, LOCOCR, ILOCOCR, HOCOGR, HOCOGR2, OSTDCR, OSTDSR, CKOCR, FLLCR1, FLLCR2, HOCOTRR0, HOCOTRR1, HOCOTRR2, CTSUTRMR
PRC1 ビット	<ul style="list-style-type: none"> 動作モード関連レジスタ SYSCR0, SYSCR1 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, OPCCR, RSTCKCR, DPSBYCR, DPSIER0~3, DPSIFR0~3, DPSIEGR0~3 クロック発生回路関連レジスタ MOSCWTCR, SOSCWTCR, MOFCR, HOCOPCR ソフトウェアリセットレジスタ SWRR バッテリーバックアップ関連レジスタ BKSCCR, BKPSR, SOSCCR2, TAMPSR, TAMPCR, TCECR, TAMPICR1, TAMPICR2, TAMPIMR
PRC3 ビット	<ul style="list-style-type: none"> LVD 関連レジスタ LVCMPCCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

13.1 レジスタの説明

13.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、クロック発生回路、消費電力低減機能、ソフトウェアリセット、バッテリーバックアップ関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込んだ値は保持されません。読み込んだ場合、“00h”が読めます。

PRCi ビット (プロテクトビット i) (i = 0, 1, 3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

14. 例外処理

14.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RXv3 CPU は、9 種類の例外に対応します。図 14.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードになります。

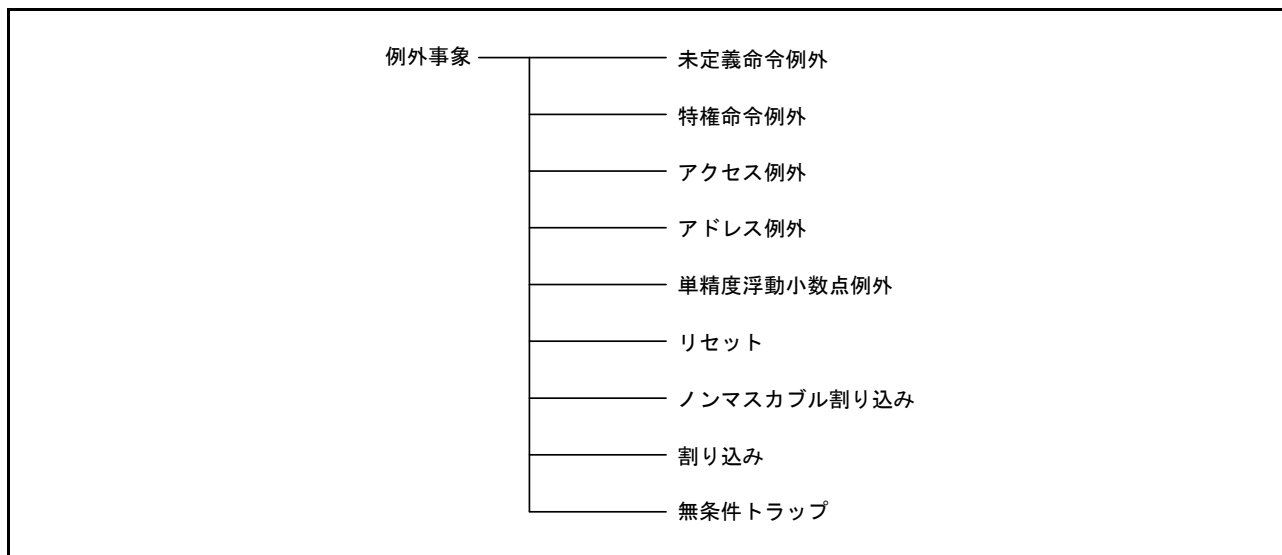


図 14.1 例外事象の種類

14.1.1 未定義命令例外

未定義命令例外は、未定義命令 (実装されていない命令) の実行を検出した場合に発生します。

14.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

14.1.3 アクセス例外

アクセス例外は、CPU からのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

14.1.4 アドレス例外

アドレス例外は、32 ビット境界アドレス以外に対して 64 ビットオペランドアクセスした場合に発生します。

14.1.5 単精度浮動小数点例外

単精度浮動小数点例外は、単精度浮動小数点演算命令実行時に、IEEE754 規格で規定された 5 つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) および、非実装処理を検出した場合に発生します。5 つの例外については、対応する FPSW の EX、EU、EZ、EO、EV ビットが “1” のときのみ CPU の例外処理が行われます。

14.1.6 リセット

CPU にリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

14.1.7 ノンマスカブル割り込み

CPU にノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合のみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

14.1.8 割り込み

CPU に割り込み信号を入力することによって発生します。割り込みのうち 1 つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは 15 (最高) です。

PSW の I ビットが “0” のとき、割り込みの受け付けは禁止されます。

14.1.9 無条件トラップ

INT 命令、および BRK 命令を実行すると無条件トラップが発生します。

14.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム (例外処理ルーチン) によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 14.2 に示します。

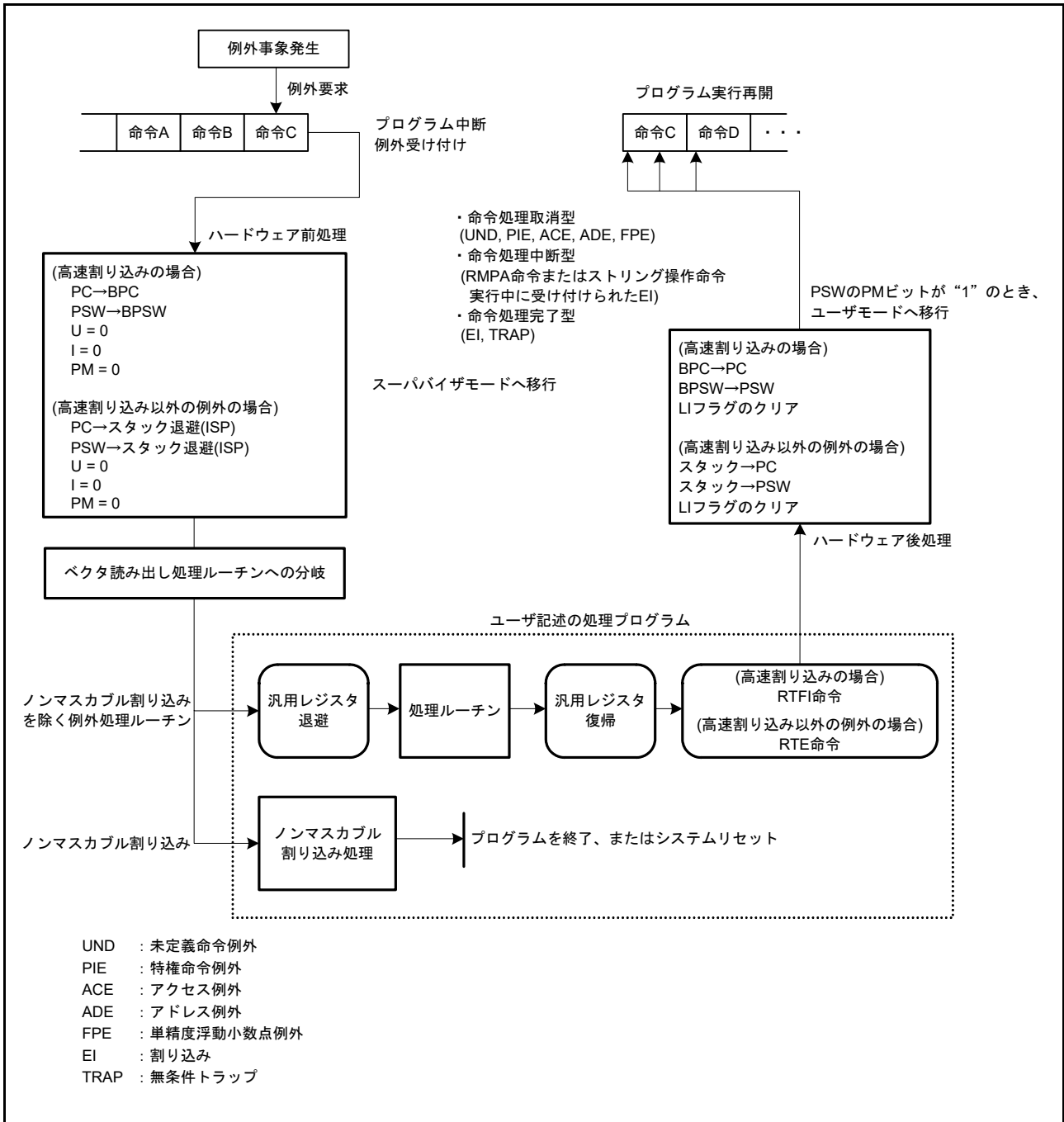


図 14.2 例外の処理手順の概要

例外が受け付けられると、RXv3 CPU はハードウェア処理を行った後、ベクタテーブルにアクセスし、分岐先アドレスを取得します。ベクタには例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RXv3 CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアップ PC (BPC) に、プロセッサステータスワード (PSW) の内容をバックアップ PSW (BPSW) へ退避させます。高速割り込み以外の例外では、PC、PSW をスタック領域に退避させます。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによって退避させてください。

例外処理ルーチンの完了後、退避させたレジスタを復帰させてから RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RXv3 CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰させます。

例外処理ルーチンの先頭・末尾で行う汎用レジスタ等の退避・復帰には、スタックとレジスタ退避バンクが利用できます。

SAVE・RSTR 命令を使用することでレジスタ退避バンクへの退避・復帰ができます。SAVE・RSTR 命令の退避・復帰対象となっていないレジスタを退避・復帰させる場合には、PUSH・POP 等の命令を使用してスタックへの退避・復帰を行ってください。

なお、例外処理ルーチンで退避させるレジスタが極端に少ない場合を除き、レジスタ退避バンクを使用した方がスタックを使用する場合よりも高速に動作します。

14.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

14.3.1 受け付けタイミングと退避されるPC値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ(PC)の値を表14.1に示します。

表 14.1 受け付けタイミングと退避されるPC値

例外事象	処理型	受け付け タイミング	BPC/スタックに退避されるPC値	
未定義命令例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
特権命令例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
アクセス例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
アドレス例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
単精度浮動小数点例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
リセット	命令処理放棄型	各マシンサイクル	なし	
ノンマスクابل 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
無条件トラップ	命令処理完了型	命令の区切り	次の命令のPC値	

14.3.2 ベクタとPC、PSWの退避場所

各例外事象のベクタとプログラムカウンタ(PC)、プロセッサステータスワード(PSW)の退避場所を表14.2に示します。例外ベクタテーブル、および割り込みベクタテーブルは、それぞれ先頭アドレスを設定する必要があります。詳細は、「2.6 ベクタテーブル」を参照してください。

表 14.2 ベクタとPC、PSWの退避場所

例外事象	ベクタ	PC、PSWの退避場所	
未定義命令例外	例外ベクタテーブル(EXTB)	スタック	
特権命令例外	例外ベクタテーブル(EXTB)	スタック	
アクセス例外	例外ベクタテーブル(EXTB)	スタック	
アドレス例外	例外ベクタテーブル(EXTB)	スタック	
単精度浮動小数点例外	例外ベクタテーブル(EXTB)	スタック	
リセット	例外ベクタテーブル(EXTB)	なし	
ノンマスクابل割り込み	例外ベクタテーブル(EXTB)	スタック	
割り込み	高速割り込み	FINTV	BPC、BPSW
	高速割り込み以外	割り込みベクタテーブル(INTB)	スタック
無条件トラップ	割り込みベクタテーブル(INTB)	スタック	

14.4 例外の受け付け / 復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

注． FPSW は、ハードウェア前処理では退避させられません。単精度浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避させてください。

(b) PSW の PM、U、I ビットの更新

I： 0 にする

U： 0 にする

PM： 0 にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

(c) LI フラグのクリア処理

14.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

14.5.1 未定義命令例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) EXTB の値 + 0000005Ch 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.2 特権命令例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) EXTB の値 + 00000050h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.3 アクセス例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) EXTB の値 + 00000054h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.4 アドレス例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) EXTB の値 + 00000060h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.5 単精度浮動小数点例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。

- (4) EXTB の値 + 00000064h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.6 リセット

- (1) 制御を初期化します。
- (2) FFFFFFFCh 番地からベクタを取得します。
- (3) 取得したベクタをプログラムカウンタ (PC) にセットします。

14.5.7 ノンマスカブル割り込み

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
- (3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令の実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避させます。
- (4) PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を “Fh” にします。
- (5) EXTB の値 + 00000078h 番地からベクタを取得します。
- (6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.8 割り込み

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。高速割り込みの場合は、バックアップ PSW (BPSW) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
- (3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令の実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避させます。高速割り込みの場合は、バックアップ PC (BPC) に退避させます。
- (4) PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
- (5) 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
- (6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.9 無条件トラップ

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
- (3) 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) INT 命令の場合は、割り込みベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、割り込みベクタテーブルの先頭番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 14.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ (BPC, BPSW) に退避させられていたプログラムカウンタ (PC) とプロセッサステータスワード (PSW) の内容が復帰させられます。

表 14.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
アドレス例外		RTE
単精度浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		禁止
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

14.7 例外事象の優先順位

例外事象の優先順位を表 14.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 14.4 例外事象の優先順位

優先順位	例外事象
高い ↑ 低い	1 リセット
	2 ノンマスカブル割り込み
	3 割り込み
	4 命令アクセス例外
	5 未定義命令例外 特権命令例外
	6 無条件トラップ
	7 アドレス例外
	8 オペランドアクセス例外
	9 単精度浮動小数点例外

14.8 コプロセッサの例外事象

コプロセッサで発生する例外事象とその例外処理について説明します。

14.8.1 倍精度浮動小数点例外

倍精度浮動小数点例外は、倍精度浮動小数点演算命令実行時に、IEEE754 規格で規定された 5 つの例外 (オーバーフロー、アンダフロー、精度異常、ゼロ除算、無効演算) および非実装処理を検出した場合に発生します。倍精度浮動小数点例外が発生すると、CPU での例外処理は行われず、割り込みコントローラへの割り込み要求が行われます。5 つの例外については、対応する DPSW の DEX、DEU、DEZ、DEO、DEV ビットが“1”のときのみ割り込み要求が行われます。

割り込みコントローラのベクタ番号の割り当ては「15. 割り込みコントローラ (ICUE)」を参照してください。

15. 割り込みコントローラ (ICUE)

15.1 概要

割り込みコントローラ (ICU) は、周辺モジュールや IRQ_i 端子 (i = 0 ~ 15) からのさまざまな割り込み要求を管理し、CPU への割り込み要求、または DTC、DMAC への転送要求を生成します。

表 15.1 に割り込みコントローラの仕様を、図 15.1 に割り込みコントローラのブロック図を示します。

表 15.1 割り込みコントローラの仕様

項目	内容
割り込み	<p>周辺機能割り込み</p> <p>周辺モジュールからの割り込み</p> <ul style="list-style-type: none"> 割り込みの検出方法：エッジ検出またはレベル検出 (割り込み要因ごとに検出方法は固定) グループ割り込み：複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能 (注1) グループIE0割り込み： <ul style="list-style-type: none"> ICLKを動作クロックとするコプロセッサの割り込み要因 (エッジ検出) グループBE0割り込み： <ul style="list-style-type: none"> PCLKBを動作クロックとする周辺モジュールの割り込み要因 (エッジ検出) グループBL0/BL1/BL2割り込み： <ul style="list-style-type: none"> PCLKBを動作クロックとする周辺モジュールの割り込み要因 (レベル検出) グループAL0/AL1割り込み： <ul style="list-style-type: none"> PCLKAを動作クロックとする周辺モジュールの割り込み要因 (レベル検出) 選択型割り込みB：割り込みベクタ番号128～207に、PCLKBを動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の1つを割り当てることが可能 選択型割り込みA：割り込みベクタ番号208～255に、PCLKAを動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の1つを割り当てることが可能
	<p>外部端子割り込み</p> <p>IRQ_i端子 (i = 0 ~ 15) への入力信号による割り込み</p> <ul style="list-style-type: none"> 割り込み検出：Lowレベル、立ち下がりがエッジ、立ち上がりがエッジ、両エッジを要因ごとに設定可能 デジタルフィルタを使用することにより、ノイズを除去することが可能
	<p>ソフトウェア割り込み</p> <ul style="list-style-type: none"> レジスタへの書き込みにより、割り込み要求を発生させることが可能 要因数：2
	<p>割り込み優先レベル</p> <p>割り込み要因プライオリティレジスタ_r (IPR_r) (r = 000 ~ 255) により優先レベルを設定</p>
	<p>高速割り込み機能</p> <p>CPUの割り込み応答時間を短縮可能。1つの割り込み要因にのみ設定可能</p>
	<p>DTC、DMAC制御</p> <p>割り込み要因によりDTCやDMACの起動が可能 (注2)</p>
	<p>EXDMAC制御</p> <p>選択型割り込みB要因選択レジスタ144または選択型割り込みA要因選択レジスタ208で選択した割り込みによりEXDMAC0の起動が可能</p> <p>選択型割り込みB要因選択レジスタ145または選択型割り込みA要因選択レジスタ209で選択した割り込みによりEXDMAC1の起動が可能</p>
ノンマスクブル割り込み (注3)	<p>NMI端子割り込み</p> <p>NMI端子への入力信号による割り込み</p> <ul style="list-style-type: none"> 割り込み検出：立ち下がりがエッジまたは立ち上がりがエッジ デジタルフィルタを使用することにより、ノイズを除去することが可能
	<p>発振停止検出割り込み (注4)</p> <p>メインクロック発振器の停止を検出したときの割り込み</p>
	<p>WDTアンダフロー/リフレッシュエラー割り込み (注4)</p> <p>ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み</p>
	<p>IWDTアンダフロー/リフレッシュエラー割り込み (注4)</p> <p>独立ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み</p>
	<p>電圧監視1割り込み (注4)</p> <p>電圧検出1回路 (LVD1) からの割り込み</p>
	<p>電圧監視2割り込み (注4)</p> <p>電圧検出2回路 (LVD2) からの割り込み</p>
	<p>RAMエラー割り込み (注4)</p> <p>RAMのパリティチェックエラーを検出したときの割り込み</p>
	<p>倍精度浮動小数点例外 (注4)</p> <p>倍精度浮動小数点コプロセッサからの例外</p>

表 15.1 割り込みコントローラの仕様

項目	内容
低消費電力状態からの復帰	スリープモード すべてのノンマスクابل割り込み、すべての割り込みで復帰
	全モジュールクロックストップモード ノンマスクابل割り込み、外部端子割り込み、周辺機能割り込み(電圧監視1、電圧監視2、USB0レジェーム、VBATTタンパ検出、RTCアラーム、RTC周期、REMC割り込み、IWDT、選択型割り込み146~157)で復帰
	ソフトウェアスタンバイモード ノンマスクابل割り込み、外部端子割り込み、周辺機能割り込み(電圧監視1、電圧監視2、USB0レジェーム、VBATTタンパ検出、RTCアラーム、RTC周期、REMC割り込み、IWDT)で復帰
	ディープソフトウェアスタンバイモード 「11. 消費電力低減機能」を参照してください

- 注1. 割り込み要因が割り当てられていないグループは予約です。また、そのグループに対応するレジスタは存在しません。
- 注2. DTCおよびDMACの起動要因については、「表 15.5 割り込みベクタテーブル」を参照してください。
- 注3. ノンマスクابل割り込みは一度許可すると、禁止できません。
- 注4. これらのノンマスクابل割り込みの各要因は、マスクابل割り込みとしても使用できます。その場合、NMIERレジスタ、EXNMICLRレジスタはリセット後の状態から変更しないでください。また、電圧監視1割り込み、電圧監視2割り込みについては、LVD1CR1.LVD1IRQSELビット、LVD2CR1.LVD2IRQSELビットを“1”にしてください。

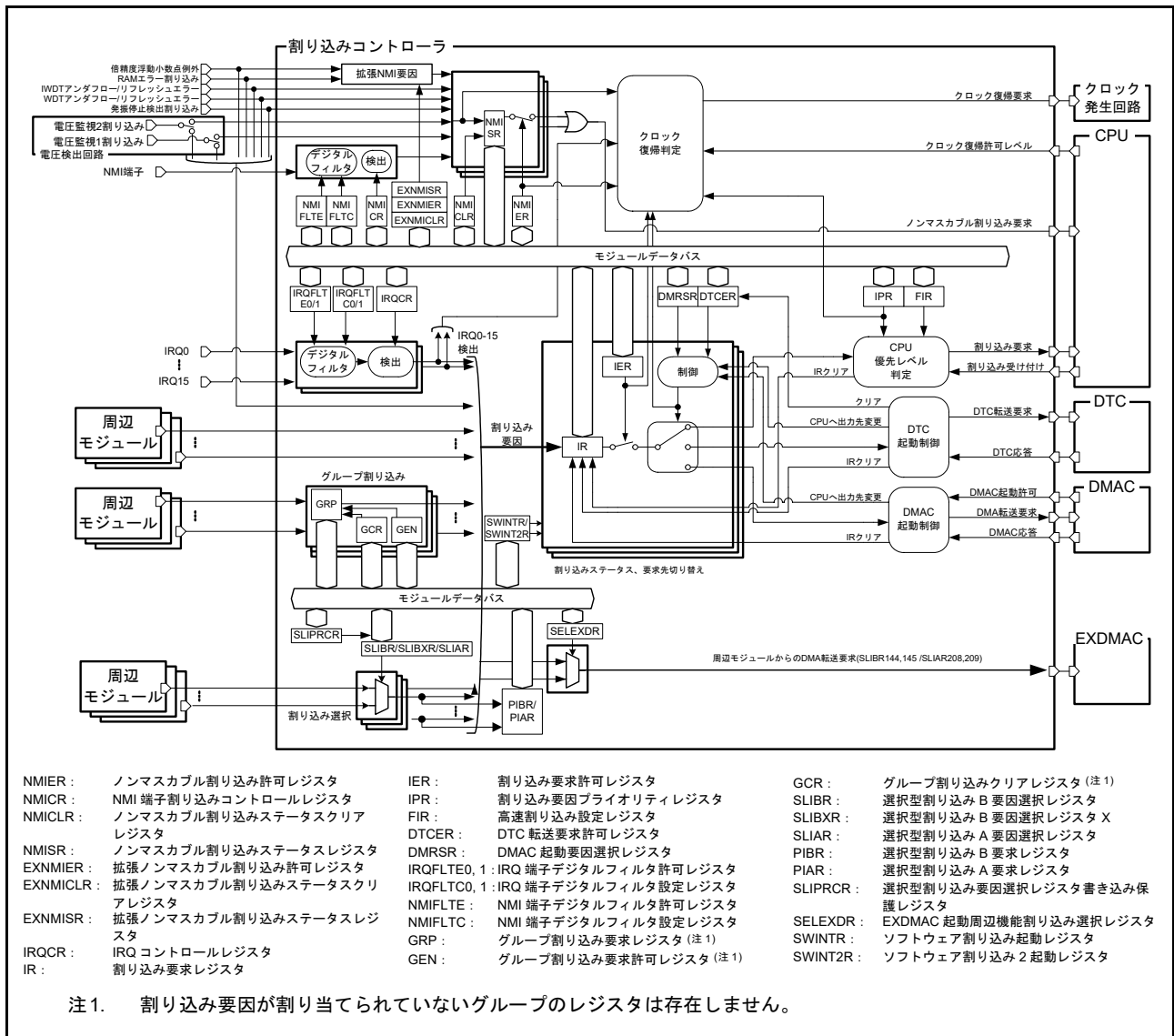


図 15.1 割り込みコントローラのブロック図

表 15.2 に割り込みコントローラで使用する入出力端子を示します。

表 15.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクブル割り込み要求端子
IRQ0～IRQ15	入力	外部割り込み要求端子

15.2 レジスタの説明

15.2.1 割り込み要求レジスタ n (IRn) (n = 016 ~ 255)

アドレス ICU.IR016 0008 7010h~ICU.IR255 0008 70FFh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	IR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。レベル検出要因の場合、書き込みはできません。

IRn レジスタは、割り込み要求の有無を示すレジスタです。

割り込みベクタ番号ごとに存在し、n は割り込みベクタ番号と一致しています。

割り込み要因と割り込みベクタ番号の対応は、「表 15.5 割り込みベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求の有無を示すステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法には、エッジ検出とレベル検出の2種類があります。周辺モジュールからの割り込みは、要因ごとに検出方法が決まっています。各要因の検出方法については、「表 15.5 割り込みベクタテーブル」を参照してください。また、IRQi 端子 (i = 0 ~ 15) からの割り込みは、IRQCRi.IRQMD[1:0] ビットの設定によって、エッジ検出またはレベル検出のいずれかを選択することができます。

グループ割り込みの割り込みステータスフラグは、グループ割り込み要求レジスタ (GRPIE0, GRPBE0, GRPBL0, GRPBL1, GRPAL0, GRPAL1) の ISj フラグ (j = 0 ~ 31) です。ISj フラグの論理和で、各グループ割り込みに対応する IRn.IR フラグが“1”になります。グループ割り込みの検出方法はレベル検出です。

グループ割り込みについては「15.4.4 グループ割り込み」を参照してください。

(1) エッジ検出の場合

["1"になる条件]

- 周辺機能割り込み、外部端子割り込みの各要求が発生すると“1”になります。周辺モジュールごとの割り込み要求については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IRフラグに“0”を書くと“0”になります。ただし、割り込み要求先をDTCまたはDMACに設定している場合、IRフラグに“0”を書かないでください。

(2) レベル検出の場合

["1"になる条件]

- 周辺機能割り込み、外部端子割り込みの各要求が発生している間“1”になります。周辺モジュールごとの割り込み要求については、各周辺モジュールの章を参照してください。
- グループ割り込みの場合、グループ割り込み要求許可レジスタ (GENIE0, GENBE0, GENBL0, GENBL1, GENAL0, GENAL1) のEN_jビット(j=0~31)が“1”(許可)で、グループ割り込み要求レジスタ (GRPIE0, GRPBE0, GRPBL0, GRPBL1, GRPAL0, GRPAL1) のIS_jフラグが“1”(割り込み要求あり)のときに“1”になります。

["0"になる条件]

- 周辺モジュールの割り込み要求出力をクリアすると“0”になります(割り込み要求先が割り込み要求を受け付けても“0”になりません)。周辺モジュールごとの割り込み要求のクリアについては、各周辺モジュールの章を参照してください。
- グループ割り込みの場合、グループ割り込み要求許可レジスタのEN_jビットが“0”(禁止)、またはグループ割り込み要求レジスタのIS_jフラグが“0”(割り込み要求なし)になると、“0”になります。

外部端子割り込みの割り込み検出方法をレベル検出に設定している場合、発生した外部端子割り込みを取り下げるには、対応するIRQ_i端子(i=0~15)への入力レベルをHighにしてください。レベル検出に設定している場合、IRフラグに値を書き込まないでください。

15.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)

アドレス ICU.IER02 0008 7202h ~ ICU.IER1F 0008 721Fh

b7	b6	b5	b4	b3	b2	b1	b0
IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0 : 割り込み要求禁止 1 : 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 対応する割り込みベクタ番号の割り込み要因が予約になっている場合、当該ビットは“0”にしてください。読むと“0”が読めません。

IERm レジスタは、割り込み要求の割り込み要求先への出力を許可または禁止するレジスタです。

IENj ビット (割り込み要求許可ビット j) (j = 0 ~ 7)

IENj ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。IENj ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

なお、IRn.IR フラグ (n = 016 ~ 255) は、IENj ビットの影響を受けません。IENj ビットが“0”であっても、「15.2.1 割り込み要求レジスタ n (IRn) (n = 016 ~ 255)」に示す条件で IR フラグは変化します。

IERm.IENj ビットは、割り込みベクタ番号ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、「表 15.5 割り込みベクタテーブル」を参照してください。なお、m と j は以下の式でも計算できます。

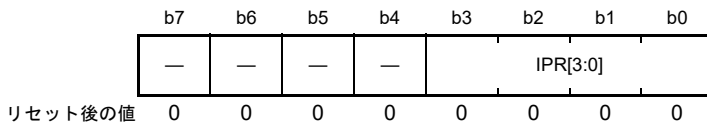
$$m = n \div 8 \text{ の商}$$

$$j = n \div 8 \text{ の余り}$$

割り込み要求先を選択する際の IERm.IENj ビットの設定手順は、「15.7.3.1 割り込み要求先の設定手順」を参照してください。

15.2.3 割り込み要因プライオリティレジスタ r (IPRr) (r = 000 ~ 255)

アドレス ICU.IPR000 0008 7300h ~ ICU.IPR255 0008 73FFh



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0 : レベル0 (割り込み禁止)(注1) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに指定している割り込み要因については、レベル0に設定していても割り込み優先レベルはレベル15になります。

IPRr レジスタは、対応する割り込みベクタ番号に割り当てられた割り込み要因の割り込み優先レベルを設定するレジスタです。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の割り込み優先レベルを選択するビットです。

IPR[3:0] ビットで選択した割り込み優先レベルは、CPU への割り込み要求の優先レベル判定にのみ使用され、DTC や DMAC への転送要求には影響しません。

CPU は、PSW.IPL[3:0] ビットが示すプロセッサ割り込み優先レベルより高い優先レベルの割り込み要求のみを受け付けます。

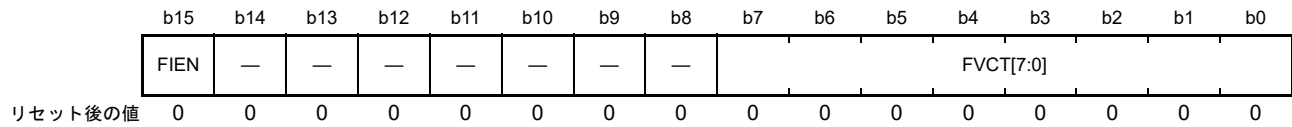
複数の割り込み要求が同時に発生した場合、それぞれの IPR[3:0] ビットに設定された優先レベルを使用して優先レベルの比較を行います。優先レベルが同じ割り込み要求が同時に発生した場合には、割り込みベクタ番号の小さい割り込み要求が優先されます。

このレジスタへの書き込みは、該当する IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が“0” (割り込み要求禁止) のときに行ってください。

割り込みベクタと IPRr レジスタの対応は、「表 15.5 割り込みベクタテーブル」を参照してください。なお、割り込みベクタ番号が 32 以上の場合、r は割り込みベクタ番号と一致します。

15.2.4 高速割り込み設定レジスタ (FIR)

アドレス ICU.FIR 0008 72F0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みに指定する割り込み要因の割り込みベクタ番号を設定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込み禁止 1 : 高速割り込み許可	R/W

FIR レジスタは、高速割り込みとして処理する割り込み要因を指定するレジスタです。

高速割り込みが有効になるのは CPU に対してのみです。DTC や DMAC を要求先に設定している割り込みベクタ番号を高速割り込みに指定したとしても、DTC、DMAC への転送要求には影響しません。

このレジスタへの書き込みは、対応する IERm.IENj ビット (m = 02h ~ 1Fh、j = 0 ~ 7) が“0”のときに行ってください。

高速割り込みの詳細は、「15.9 高速割り込み」を参照してください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込みを使用する割り込み要因の割り込みベクタ番号を指定するビットです。

指定できる割り込みベクタ番号は、「表 15.5 割り込みベクタテーブル」を参照してください。予約の割り込みベクタ番号を指定しないでください。

FIEN ビット (高速割り込み許可ビット)

高速割り込みの使用を許可するビットです。

FIEN ビットを“1”にすると、FVCT[7:0] ビットに指定した割り込みベクタ番号に割り当てられた割り込み要因が、高速割り込みとして処理されます。

FIEN ビットが“1”の場合、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定した割り込みベクタ番号の割り込み要求が発生すると、IPRr レジスタ (r = 000 ~ 255) の設定に関係なく、高速割り込みとして CPU に割り込み要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合は、IPRr レジスタの設定が必要です。詳細は「15.10.3 ソフトウェアスタンバイモードからの復帰」を参照してください。

15.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス ICU.SWINTR 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読めます。“1”を書くとソフトウェア割り込み要求が発生します。“0”を書いても無視されます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWINTR レジスタは、ソフトウェア割り込み要求の生成を制御するレジスタです。

SWINT ビット (ソフトウェア割り込み起動ビット)

SWINT ビットに“1”を書くと、ソフトウェア割り込み要求 (SWINT) が発生し、IR027.IR フラグが“1”になります。ソフトウェア割り込み要求 (SWINT) は DTC の起動要因にすることができますが、DMAC の起動要因にはできません。

15.2.6 ソフトウェア割り込み 2 起動レジスタ (SWINT2R)

アドレス ICU.SWINT2R 0008 72E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT 2
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT2	ソフトウェア割り込み2起動ビット	読むと“0”が読めます。“1”を書き込むことでソフトウェア割り込み要求2が発生します。“0”を書いても無視されます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWINT2R レジスタは、ソフトウェア割り込み要求 2 の生成を制御するレジスタです。

SWINT2 ビット (ソフトウェア割り込み 2 起動ビット)

SWINT2 ビットに“1”を書くと、ソフトウェア割り込み要求 2 (SWINT2) が発生し、IR026.IR フラグが“1”になります。ソフトウェア割り込み要求 2 (SWINT2) は DTC の起動要因にすることができますが、DMAC の起動要因にはできません。

15.2.7 DTC 転送要求許可レジスタ n (DTCERn) (n = 026 ~ 255)

アドレス ICU.DTCER026 0008 711Ah ~ ICU.DTCER255 0008 71FFh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DTCE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC転送要求許可ビット	0 : CPUへの割り込み要因、またはDMACの起動要因に設定する 1 : DTCの起動要因に設定する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCERn レジスタは、割り込みベクタ番号 n に対応する割り込み要因を、DTC の起動要因として選択するレジスタです。

同じ割り込み要因を、DTC と DMAC の両方の起動要因に指定しないでください。割り込み要因と割り込みベクタ番号の対応、DTC 起動に使用できる割り込み要因については、「表 15.5 割り込みベクタテーブル」を参照してください。

DTCE ビット (DTC 転送要求許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1”になる条件]

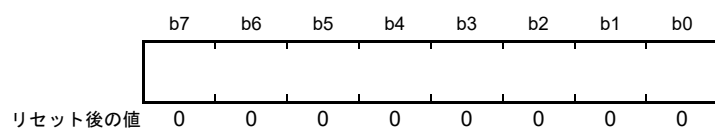
- DTCE ビットに“1”を書いたとき

[“0”になる条件]

- DTC による指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

15.2.8 DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャネル番号)

アドレス ICU.DMRSR0 0008 7400h, ICU.DMRSR1 0008 7404h, ICU.DMRSR2 0008 7408h, ICU.DMRSR3 0008 740Ch,
ICU.DMRSR4 0008 7410h, ICU.DMRSR5 0008 7414h, ICU.DMRSR6 0008 7418h, ICU.DMRSR7 0008 741Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	DMACの起動要因にしたい割り込み要因の割り込みベクタ番号を設定します	R/W

DMRSRm レジスタは、割り込み要因を DMACm の起動要因として選択するレジスタです。

複数の DMRSRm レジスタに同一の割り込みベクタ番号を指定しないでください。また、同じ割り込み要因を、DTC と DMAC の両方の起動要因に指定しないでください。これらの禁止事項に違反した場合の動作は保証されません。

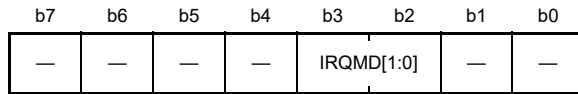
DMRSRm レジスタには、DMAC の起動に使用する割り込み要因の割り込みベクタ番号を設定します。DMAC の起動要因として使用できない割り込み要因の割り込みベクタ番号は、設定しないでください。

割り込み要因の割り込みベクタ番号は、「表 15.5 割り込みベクタテーブル」を参照してください。

DMRSRm レジスタへの書き込みは、DMA 転送許可レジスタ (DMACm.DMCNT) の DTE ビットが“0”のときに行ってください。

15.2.9 IRQコントロールレジスタ i (IRQCRi) (i = 0 ~ 15)

アドレス ICU.IRQCR0 0008 7500h~ICU.IRQCR15 0008 750Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ検出設定ビット	b3 b2 0 0 : レベル(Low) 0 1 : 立ち下がリエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IRQCRi レジスタは、外部端子割り込みの検出方法を選択するレジスタです。

このレジスタへの書き込みは、対応する IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が“0”のときに行ってください。書き込み後は対応する IRn.IR フラグ (n = 016 ~ 255) を“0”にした後で、IERm.IENj ビットを“1”にしてください。ただし、検出方法をレベルに変更する場合は、IR フラグを“0”にする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

IRQi 端子 (i = 0 ~ 15) の割り込み検出方法を設定します。

外部端子割り込みの設定手順は、「15.7.4 外部端子割り込みの設定手順」を参照してください。

15.2.10 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス ICU.IRQFLTE0 0008 7520h

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5 デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6 デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7 デジタルフィルタ許可ビット		R/W

IRQFLTE0 レジスタは、IRQ0 端子～ IRQ7 端子のデジタルフィルタを有効または無効にするレジスタです。

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 0 ~ 7)

FLTEN_i ビットが“1”のとき、IRQ_i 端子のデジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、IRQ_i 端子のデジタルフィルタは無効です。

IRQFLTC0.FCLKSEL_i[1:0] ビットで指定したサンプリングクロックで IRQ_i 端子への入力信号をサンプリングし、3 回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「15.7.6 デジタルフィルタ」を参照してください。

15.2.11 IRQ 端子デジタルフィルタ許可レジスタ 1 (IRQFLTE1)

アドレス ICU.IRQFLTE1 0008 7521h

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN 15	FLTEN 14	FLTEN 13	FLTEN 12	FLTEN 11	FLTEN 10	FLTEN 9	FLTEN 8

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN8	IRQ8 デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b1	FLTEN9	IRQ9 デジタルフィルタ許可ビット		R/W
b2	FLTEN10	IRQ10 デジタルフィルタ許可ビット		R/W
b3	FLTEN11	IRQ11 デジタルフィルタ許可ビット		R/W
b4	FLTEN12	IRQ12 デジタルフィルタ許可ビット		R/W
b5	FLTEN13	IRQ13 デジタルフィルタ許可ビット		R/W
b6	FLTEN14	IRQ14 デジタルフィルタ許可ビット		R/W
b7	FLTEN15	IRQ15 デジタルフィルタ許可ビット		R/W

IRQFLTE1 レジスタは、IRQ8 端子～ IRQ15 端子のデジタルフィルタを有効または無効にするレジスタです。

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 8 ~ 15)

FLTEN_i ビットが“1”のとき、IRQ_i 端子のデジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、IRQ_i 端子のデジタルフィルタは無効です。

IRQFLTC1.FCLKSEL_i[1:0] ビットで指定したサンプリングクロックで IRQ_i 端子への入力信号をサンプリングし、3 回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「15.7.6 デジタルフィルタ」を参照してください。

15.2.12 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス ICU.IRQFLTC0 0008 7528h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7[1:0]		FCLKSEL6[1:0]		FCLKSEL5[1:0]		FCLKSEL4[1:0]		FCLKSEL3[1:0]		FCLKSEL2[1:0]		FCLKSEL1[1:0]		FCLKSEL0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

IRQFLTC0 レジスタは、IRQ0 端子～IRQ7 端子のデジタルフィルタのサンプリングクロックを指定するレジスタです。

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 7)

IRQi 端子のデジタルフィルタのサンプリングクロックを選択するビットです。デジタルフィルタの詳細は、「15.7.6 デジタルフィルタ」を参照してください。

15.2.13 IRQ 端子デジタルフィルタ設定レジスタ 1 (IRQFLTC1)

アドレス ICU.IRQFLTC1 0008 752Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FCLKSEL15[1:0]	FCLKSEL14[1:0]	FCLKSEL13[1:0]	FCLKSEL12[1:0]	FCLKSEL11[1:0]	FCLKSEL10[1:0]	FCLKSEL9[1:0]	FCLKSEL8[1:0]	FCLKSEL7[1:0]	FCLKSEL6[1:0]	FCLKSEL5[1:0]	FCLKSEL4[1:0]	FCLKSEL3[1:0]	FCLKSEL2[1:0]	FCLKSEL1[1:0]	FCLKSEL0[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL8[1:0]	IRQ8 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b3-b2	FCLKSEL9[1:0]	IRQ9 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL10[1:0]	IRQ10 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL11[1:0]	IRQ11 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL12[1:0]	IRQ12 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL13[1:0]	IRQ13 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL14[1:0]	IRQ14 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL15[1:0]	IRQ15 デジタルフィルタサンプリングクロック設定ビット		R/W

IRQFLTC1 レジスタは、IRQ8 端子～IRQ15 端子のデジタルフィルタのサンプリングクロックを指定するレジスタです。

FCLKSEL i [1:0] ビット (IRQ i デジタルフィルタサンプリングクロック設定ビット) ($i = 8 \sim 15$)

IRQ i 端子のデジタルフィルタのサンプリングクロックを選択するビットです。デジタルフィルタの詳細は、「15.7.6 デジタルフィルタ」を参照してください。

15.2.14 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 0008 7580h

b7	b6	b5	b4	b3	b2	b1	b0
—	EXNMIST	LVD2ST	LVD1ST	IWDTST	WDTST	OSTST	NMIST

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0 : NMI端子割り込み要求なし 1 : NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0 : 発振停止検出割り込み要求なし 1 : 発振停止検出割り込み要求あり	R
b2	WDTST	WDTアンダフロー/リフレッシュエラーステータスフラグ	0 : WDTアンダフロー/リフレッシュエラー割り込み要求なし 1 : WDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b3	IWDTST	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0 : IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1 : IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0 : 電圧監視1割り込み要求なし 1 : 電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0 : 電圧監視2割り込み要求なし 1 : 電圧監視2割り込み要求あり	R
b6	EXNMIST	拡張ノンマスクابل割り込みステータスフラグ	0 : 拡張ノンマスクابل割り込み要求なし 1 : 拡張ノンマスクابل割り込み要求あり	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスクابل割り込みの有無を示すレジスタです。

NMIER レジスタの対応するビットが“0”であっても、NMISR レジスタの各フラグには影響がありません。

ノンマスクابل割り込みの処理ルーチンでは、NMISR レジスタを読み出して他のノンマスクابل割り込みの発生状況を確認し、すべてのステータスフラグが“0”であることを確認してから、処理を終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求の有無を示します。

NMIST フラグは読み出しのみ可能です。NMIST フラグを“0”にするには、NMICLR.NMICLR ビットを“1”にします。

[“1”になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0”になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求の有無を示します。

OSTST フラグは読み出しのみ可能です。OSTST フラグを“0”にするには、NMICLR.OSTCLR ビットを“1”にします。

[“1”になる条件]

- 発振停止検出割り込みが発生したとき

[“0”になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき

WDTST フラグ (WDT アンダフロー/リフレッシュエラーステータスフラグ)

WDT アンダフロー/リフレッシュエラー割り込み要求の有無を示します。

WDTST フラグは読み出しのみ可能です。WDTST フラグを“0”にするには、NMICLR.WDTCLR ビットを“1”にします。

[“1”になる条件]

- WDT リセットコントロールレジスタ (WDTRCR) の RSTIRQS ビットが“0”の場合に、WDT アンダフロー/リフレッシュエラー割り込みが発生したとき

[“0”になる条件]

- NMICLR.WDTCLR ビットに“1”を書いたとき

IWDTST フラグ (IWDT アンダフロー/リフレッシュエラーステータスフラグ)

IWDT アンダフロー/リフレッシュエラー割り込み要求の有無を示します。

IWDTST フラグは読み出しのみ可能です。IWDTST フラグを“0”にするには、NMICLR.IWDTCLR ビットを“1”にします。

[“1”になる条件]

- IWDT リセットコントロールレジスタ (IWDRCR) の RSTIRQS ビットが“0”の場合に、IWDT アンダフロー/リフレッシュエラー割り込みが発生したとき

[“0”になる条件]

- NMICLR.IWDTCLR ビットに“1”を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータス フラグ)

電圧監視 1 割り込み要求の有無を示します。

LVD1ST フラグは読み出しのみ可能です。LVD1ST フラグを“0”にするには、NMICLR.LVD1CLR ビットを“1”にします。

[“1”になる条件]

- 電圧監視 1 回路制御レジスタ 1 (LVD1CR1) の LVD1IRQSEL ビットが“0”の場合に、電圧監視 1 割り込みが発生したとき

[“0”になる条件]

- NMICLR.LVD1CLR ビットに“1”を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータス フラグ)

電圧監視 2 割り込み要求の有無を示します。

LVD2ST フラグは読み出しのみ可能です。LVD2ST フラグを“0”にするには、NMICLR.LVD2CLR ビットを“1”にします。

[“1”になる条件]

- 電圧監視 2 回路制御レジスタ 1 (LVD2CR1) の LVD2IRQSEL ビットが“0”の場合に、電圧監視 2 割り込みが発生したとき

[“0”になる条件]

- NMICLR.LVD2CLR ビットに“1”を書いたとき

EXNMIST フラグ (拡張ノンマスカブル割り込みステータスフラグ)

拡張ノンマスカブル割り込み要求の有無を示します。

EXNMIST フラグは読み出しのみ可能です。EXNMIST フラグを“0”にするには、拡張ノンマスカブル割り込み要因のステータスフラグをすべてクリアしてください。

[“1”になる条件]

- EXNMISR レジスタのいずれかのフラグが“1”で、かつ対応する EXNMIER レジスタのビットが“1”のとき

[“0”になる条件]

- EXNMIST フラグを“1”にした要因すべてがクリアされたとき

15.2.15 ノンマスクブル割り込み許可レジスタ (NMIER)

アドレス ICU.NMIER 0008 7581h

b7	b6	b5	b4	b3	b2	b1	b0
—	EXNMI EN	LVD2E N	LVD1E N	IWDTE N	WDTE N	OSTEN	NMIEN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0: NMI端子割り込み禁止 1: NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0: 発振停止検出割り込み禁止 1: 発振停止検出割り込み許可	R/(W) (注1)
b2	WDTEN	WDTアンダフロー/リフレッシュエラー許可ビット	0: WDTアンダフロー/リフレッシュエラー割り込み禁止 1: WDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0: IWDTアンダフロー/リフレッシュエラー割り込み禁止 1: IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0: 電圧監視1割り込み禁止 1: 電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0: 電圧監視2割り込み禁止 1: 電圧監視2割り込み許可	R/(W) (注1)
b6	EXNMIEN	拡張ノンマスクブル割り込み許可ビット	0: 拡張ノンマスクブル割り込み禁止 1: 拡張ノンマスクブル割り込み許可	R/(W) (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 一度“1”にすると、ソフトウェアでは“0”にできません。

NMIER レジスタは、ノンマスクブル割り込みの生成を許可または禁止するレジスタです。各ビットが“1”の場合、対応する割り込み要因はノンマスクブル割り込みとして使用されます。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可または禁止するビットです。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みによるノンマスクブル割り込みの生成を許可または禁止するビットです。マスクブル割り込みとして使用する場合は、“0”のままにしてください。

WDTEN ビット (WDT アンダフロー/リフレッシュエラー許可ビット)

WDT アンダフロー/リフレッシュエラー割り込みによるノンマスクブル割り込みの生成を許可または禁止するビットです。

マスクブル割り込みとして使用する場合は、“0”のままにしてください。

IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)

IWDT アンダフロー/リフレッシュエラー割り込みによるノンマスクブル割り込みの生成を許可または禁止するビットです。

マスクブル割り込みとして使用する場合は、“0”のままにしてください。

LVD1EN ビット (電圧監視 1 割り込み許可ビット)

電圧監視 1 割り込みによるノンマスクابل割り込みの生成を許可または禁止するビットです。
マスクابل割り込みとして使用する場合は、“0”のままにしてください。

LVD2EN ビット (電圧監視 2 割り込み許可ビット)

電圧監視 2 割り込みによるノンマスクابل割り込みの生成を許可または禁止するビットです。
マスクابل割り込みとして使用する場合は、“0”のままにしてください。

EXNMIEN ビット (拡張ノンマスクابل割り込み許可ビット)

拡張ノンマスクابل割り込みによるノンマスクابل割り込みの生成を許可または禁止するビットです。
マスクابل割り込みとして使用する場合は、“0”のままにしてください。

15.2.16 ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2C LR	LVD1C LR	IWDTC LR	WDTCL R	OSTCL R	NMICL R
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.NMISTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b1	OSTCLR	OSTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.OSTSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b2	WDTCLR	WDTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.WDTSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b3	IWDTCR	IWDTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.IWDTSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読めます。“1”を書くと、NMISR.LVD1STフラグが“0”になります。“0”を書いても無視されます	R/(W)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読めます。“1”を書くと、NMISR.LVD2STフラグが“0”になります。“0”を書いても無視されます	R/(W)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICLR レジスタは、NMISR レジスタの各フラグをクリアするためのレジスタです。各ビットに“1”を書くと対応するステータスフラグが“0”になります。

15.2.17 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0 : 立ち下がりエッジ 1 : 立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタは、NMI 端子割り込みの検出方法を選択するレジスタです。NMICR レジスタへの書き込みは、NMIER.NMIEN ビットが“0”のときに行ってください。

15.2.18 拡張ノンマスクابل割り込みステータスレジスタ (EXNMISR)

アドレス ICU.EXNMISR 0008 7584h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DPFPU ST	RAMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RAMST	RAMエラー割り込みステータスフラグ	0 : RAMエラー割り込み要求なし 1 : RAMエラー割り込み要求あり	R
b1	DPFPUST	倍精度浮動小数点例外ステータスフラグ	0 : 倍精度浮動小数点例外なし 1 : 倍精度浮動小数点例外が発生	R
b7-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

EXNMISR レジスタは、拡張ノンマスクابل割り込み要因に割り当てられたノンマスクابل割り込みの有無を示すレジスタです。EXNMIER レジスタの対応するビットが“0”であっても、EXNMISR レジスタの各フラグには影響がありません。

RAMST フラグ (RAM エラー割り込みステータスフラグ)

RAM からの RAM エラー割り込み要求の有無を示します。

RAMST フラグは読み出しのみ可能です。RAMST フラグを“0”にするには、RAM エラー割り込み要因のステータスフラグをすべてクリアしてください。詳細は「53.3.2 RAM エラー割り込み機能」を参照してください。

["1"になる条件]

- パリティチェックエラー割り込みが発生したとき (RAM.RAMSTS.RAMERR フラグが“1”になったとき)

["0"になる条件]

- RAMST フラグを“1”にした要因すべてがクリアされたとき

DPFPUST フラグ (倍精度浮動小数点例外ステータスフラグ)

倍精度浮動小数点コプロセッサで倍精度浮動小数点例外が発生したことを示します。

["1"になる条件]

- 倍精度浮動小数点例外が発生したとき

["0"になる条件]

- EXNMICLR.DPFPUCLR ビットに“1”を書いたとき

15.2.19 拡張ノンマスクابل割り込み許可レジスタ (EXNMIER)

アドレス ICU.EXNMIER 0008 7585h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DPFPU EN	RAME N
リセット後の値	1	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RAMEN	RAMエラー割り込み許可ビット	0 : RAMエラー割り込み禁止 1 : RAMエラー割り込み許可	R/W
b1	DPFPUEN	倍精度浮動小数点例外許可ビット	0 : 倍精度浮動小数点例外禁止 1 : 倍精度浮動小数点例外許可	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

EXNMIER レジスタは、拡張ノンマスクابل割り込み要因に割り当てられた要因によるノンマスクابل割り込みの生成を許可または禁止するレジスタです。各ビットが“1”の場合、対応する割り込み要因はノンマスクابل割り込みとして使用されます。

NMIER.EXNMIEN ビットを“1”にする前に設定してください。

RAMEN ビット (RAM エラー割り込み許可ビット)

RAM からの RAM エラー割り込みによるノンマスクابل割り込みの生成を許可または禁止するビットです。

マスクابل割り込みとして使用する場合は、“0”にしてください。

DPFPUEN ビット (倍精度浮動小数点例外許可ビット)

倍精度浮動小数点コプロセッサからの倍精度浮動小数点例外によるノンマスクابل割り込みの生成を許可または禁止するビットです。

マスクابل割り込みとして使用する場合は、“0”のままにしてください。

15.2.20 拡張ノンマスクابل割り込みステータスクリアレジスタ (EXNMICLR)

アドレス ICU.EXNMICLR 0008 7586h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DPFPU CLR	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b1	DPFPUCLR	倍精度浮動小数点例外クリアビット	読むと“0”が読めます。“1”を書くと、EXNMISR.DPFPUSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

EXNMICLR レジスタは、EXNMISR レジスタの各フラグをクリアするためのレジスタです。各ビットに“1”を書くと対応するステータスフラグが“0”になります。

15.2.21 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス ICU.NMIFLTE 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTE N
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMIFLTE レジスタは、NMI 端子のデジタルフィルタを有効または無効にするレジスタです。

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタは無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックで NMI 端子への入力信号をサンプリングし、3 回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「15.7.6 デジタルフィルタ」を参照してください。

15.2.22 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス ICU.NMIFLTC 0008 7594h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタ サンプリングクロック設定ビット	b1 b0 0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMIFLTC レジスタは、NMI 端子のデジタルフィルタのサンプリングクロックを指定するレジスタです。

NFCLKSEL[1:0] ビット (NMI デジタルフィルタ サンプリングクロック設定ビット)

NMI 端子のデジタルフィルタのサンプリングクロックを選択するビットです。

デジタルフィルタの詳細は、「15.7.6 デジタルフィルタ」を参照してください。

15.2.23 グループ IE0 割り込み要求レジスタ (GRPIE0)、
 グループ BE0 割り込み要求レジスタ (GRPBE0)、
 グループ BL0/BL1 割り込み要求レジスタ (GRPBL0/GRPBL1)、
 グループ AL0/AL1 割り込み要求レジスタ (GRPAL0/GRPAL1)

アドレス ICU.GRPIE0 0008 75B0h, ICU.GRPBE0 0008 7600h, ICU.GRPBL0 0008 7630h, ICU.GRPBL1 0008 7634h,
 ICU.GRPAL0 0008 7830h, ICU.GRPAL1 0008 7834h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IS31	IS30	IS29	IS28	IS27	IS26	IS25	IS24	IS23	IS22	IS21	IS20	IS19	IS18	IS17	IS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IS15	IS14	IS13	IS12	IS11	IS10	IS9	IS8	IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IS0	割り込みステータスフラグ0	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b1	IS1	割り込みステータスフラグ1		R
b2	IS2	割り込みステータスフラグ2		R
b3	IS3	割り込みステータスフラグ3		R
b4	IS4	割り込みステータスフラグ4		R
b5	IS5	割り込みステータスフラグ5		R
b6	IS6	割り込みステータスフラグ6		R
b7	IS7	割り込みステータスフラグ7		R
b8	IS8	割り込みステータスフラグ8		R
b9	IS9	割り込みステータスフラグ9		R
b10	IS10	割り込みステータスフラグ10		R
b11	IS11	割り込みステータスフラグ11		R
b12	IS12	割り込みステータスフラグ12		R
b13	IS13	割り込みステータスフラグ13		R
b14	IS14	割り込みステータスフラグ14		R
b15	IS15	割り込みステータスフラグ15		R
b16	IS16	割り込みステータスフラグ16		R
b17	IS17	割り込みステータスフラグ17		R
b18	IS18	割り込みステータスフラグ18		R
b19	IS19	割り込みステータスフラグ19		R
b20	IS20	割り込みステータスフラグ20		R
b21	IS21	割り込みステータスフラグ21		R
b22	IS22	割り込みステータスフラグ22		R
b23	IS23	割り込みステータスフラグ23		R
b24	IS24	割り込みステータスフラグ24		R
b25	IS25	割り込みステータスフラグ25		R
b26	IS26	割り込みステータスフラグ26		R
b27	IS27	割り込みステータスフラグ27		R
b28	IS28	割り込みステータスフラグ28		R
b29	IS29	割り込みステータスフラグ29		R
b30	IS30	割り込みステータスフラグ30		R
b31	IS31	割り込みステータスフラグ31		R

これらのレジスタは、グループ化された割り込み要因の各割り込み要求ステータスを示すレジスタです。GRPIE0 レジスタは、検出方法がエッジ検出で、かつ動作クロックが ICLK である割り込み要因の割り込みステータスで構成されています。

GRPBE0 レジスタは、検出方法がエッジ検出で、かつ動作クロックが PCLKB である割り込み要因の割り込みステータスで構成されています。

GRPBL0、GRPBL1 レジスタは、検出方法がレベル検出で、かつ動作クロックが PCLKB である割り込み要因の割り込みステータスで構成されています。

GRPAL0、GRPAL1 レジスタは、検出方法がレベル検出で、かつ動作クロックが PCLKA である割り込み要因の割り込みステータスで構成されています。

これらのレジスタを総称して、「グループ割り込み要求レジスタ」と呼称します。

グループ割り込みの詳細は「15.4.4 グループ割り込み」を参照してください。

ISj フラグ (割り込みステータスフラグ j) (j = 0 ~ 31)

グループ割り込みに割り当てられた割り込み要因の割り込み要求ステータスフラグです。

対応するグループ割り込み要求許可レジスタの ENj ビットが“1”のときのみ、ISj フラグが“1”になります。いずれかの ISj フラグが“1”になると、そのグループ割り込みに対応する IRn.IR フラグ (n = 016 ~ 255) が“1”になります。

(1) グループ IE0 の場合

[“1”になる条件]

- GRPIE0.ISj フラグは、GENIE0.ENj ビットが“1”で、かつ対応する周辺モジュールの割り込み要求が発生すると、“1”になります。

[“0”になる条件]

- GRPIE0.ISj フラグは、GCRIE0.CLRj ビットに“1”を書くと“0”になります。

(2) グループ BE0 の場合

[“1”になる条件]

- GRPBE0.ISj フラグは、GENBE0.ENj ビットが“1”で、かつ対応する周辺モジュールの割り込み要求が発生すると、“1”になります。

[“0”になる条件]

- GRPBE0.ISj フラグは、GCRBE0.CLRj ビットに“1”を書くと“0”になります。

(3) グループ BL0/BL1 の場合

[“1”になる条件]

- GRPBL0/GRPBL1.ISj フラグは、GENBL0/GENBL1.ENj ビットが“1”で、かつ対応する周辺モジュールの割り込み要求が発生している間、“1”になります。

[“0”になる条件]

- 対応する周辺モジュールの割り込み要求出力をクリアすると“0”になります。
- GRPBL0/GRPBL1.ISj フラグは、GENBL0/GENBL1.ENj ビットを“0”にすると、“0”になります。

(4) グループ AL0/AL1 の場合

[“1”になる条件]

- GRPAL0/GRPAL1.ISj フラグは、GENAL0/GENAL1.ENj ビットが“1”で、かつ対応する周辺モジュールの

割り込み要求が発生している間、“1”になります。

[“0”になる条件]

- 対応する周辺モジュールの割り込み要求出力をクリアすると“0”になります。
- GRPAL0/GRPAL1.ISj フラグは、GENAL0/GENAL1.ENj ビットを“0”にすると、“0”になります。

15.2.24 グループ IE0 割り込み要求許可レジスタ (GENIE0)、
 グループ BE0 割り込み要求許可レジスタ (GENBE0)、
 グループ BL0/BL1 割り込み要求許可レジスタ (GENBL0/GENBL1)、
 グループ AL0/AL1 割り込み要求許可レジスタ (GENAL0/GENAL1)

アドレス ICU.GENIE0 0008 75B4h, ICU.GENBE0 0008 7640h, ICU.GENBL0 0008 7670h, ICU.GENBL1 0008 7674h,
 ICU.GENAL0 0008 7870h, ICU.GENAL1 0008 7874h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EN31	EN30	EN29	EN28	EN27	EN26	EN25	EN24	EN23	EN22	EN21	EN20	EN19	EN18	EN17	EN16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0	割り込み要求許可ビット0	0 : 割り込み要求禁止 1 : 割り込み要求許可	R/W
b1	EN1	割り込み要求許可ビット1		R/W
b2	EN2	割り込み要求許可ビット2		R/W
b3	EN3	割り込み要求許可ビット3		R/W
b4	EN4	割り込み要求許可ビット4		R/W
b5	EN5	割り込み要求許可ビット5		R/W
b6	EN6	割り込み要求許可ビット6		R/W
b7	EN7	割り込み要求許可ビット7		R/W
b8	EN8	割り込み要求許可ビット8		R/W
b9	EN9	割り込み要求許可ビット9		R/W
b10	EN10	割り込み要求許可ビット10		R/W
b11	EN11	割り込み要求許可ビット11		R/W
b12	EN12	割り込み要求許可ビット12		R/W
b13	EN13	割り込み要求許可ビット13		R/W
b14	EN14	割り込み要求許可ビット14		R/W
b15	EN15	割り込み要求許可ビット15		R/W
b16	EN16	割り込み要求許可ビット16		R/W
b17	EN17	割り込み要求許可ビット17		R/W
b18	EN18	割り込み要求許可ビット18		R/W
b19	EN19	割り込み要求許可ビット19		R/W
b20	EN20	割り込み要求許可ビット20		R/W
b21	EN21	割り込み要求許可ビット21		R/W
b22	EN22	割り込み要求許可ビット22		R/W
b23	EN23	割り込み要求許可ビット23		R/W
b24	EN24	割り込み要求許可ビット24		R/W
b25	EN25	割り込み要求許可ビット25		R/W
b26	EN26	割り込み要求許可ビット26		R/W
b27	EN27	割り込み要求許可ビット27		R/W
b28	EN28	割り込み要求許可ビット28		R/W
b29	EN29	割り込み要求許可ビット29		R/W
b30	EN30	割り込み要求許可ビット30		R/W
b31	EN31	割り込み要求許可ビット31		R/W

注. 各ビットに対応する割り込み要因が存在しない(予約になっている)場合、当該ビットは“0”にしてください。

これらのレジスタは、グループ化された割り込み要因の各割り込み要求が発生したときに、グループ割り込み要求レジスタの ISj フラグを“1”にするかどうかを選択するレジスタです。これらのレジスタを総称して、「グループ割り込み要求許可レジスタ」と呼称します。

GENIE0 レジスタは GRPIE0 レジスタの ISj フラグ、GENBE0 レジスタは GRPBE0 レジスタの ISj フラグ、GENBL0/GENBL1 レジスタは GRPBL0/GRPBL1 レジスタの ISj フラグ、GENAL0/GENAL1 レジスタは GRPAL0/GRPAL1 レジスタの ISj フラグを制御します。

グループ割り込みの詳細は「15.4.4 グループ割り込み」を参照してください。

ENj ビット (割り込み要求許可ビット j) (j = 0 ~ 31)

グループ割り込みに割り当てられた割り込み要因の割り込み要求が発生したとき、対応するグループ割り込み要求レジスタの ISj フラグを“1”にするかどうかを選択するビットです。

(1) グループ IE0 の場合

GENIE0.ENj ビットが“1”のとき、対応する周辺モジュールの割り込み要求が発生すると、GRPIE0.ISj フラグが“1”になります。ENj ビットが“0”のとき、GRPIE0.ISj フラグは“1”になりません。

ENj ビットを“0”にしても、GRPIE0.ISj フラグは変化しません。

(2) グループ BE0 の場合

GENBE0.ENj ビットが“1”のとき、対応する周辺モジュールの割り込み要求が発生すると、GRPBE0.ISj フラグが“1”になります。ENj ビットが“0”のとき、GRPBE0.ISj フラグは“1”になりません。

ENj ビットを“0”にしても、GRPBE0.ISj フラグは変化しません。

(3) グループ BL0/BL1 の場合

GENBL0/GENBL1.ENj ビットが“1”のとき、対応する周辺モジュールの割り込み要求が発生すると、GRPBL0/GRPBL1.ISj フラグが“1”になります。ENj ビットが“0”のとき、GRPBL0/GRPBL1.ISj フラグは“1”になりません。

ENj ビットを“0”にすると、GRPBL0/GRPBL1.ISj フラグが“0”になります。

(4) グループ AL0/AL1 の場合

GENAL0/GENAL1.ENj ビットが“1”のとき、対応する周辺モジュールの割り込み要求が発生すると、GRPAL0/GRPAL1.ISj フラグが“1”になります。ENj ビットが“0”のとき、GRPAL0/GRPAL1.ISj フラグは“1”になりません。

ENj ビットを“0”にすると、GRPAL0/GRPAL1.ISj フラグが“0”になります。

15.2.25 グループ IE0 割り込みクリアレジスタ (GCRIE0)、 グループ BE0 割り込みクリアレジスタ (GCRBE0)

アドレス ICU.GCRIE0 0008 75B8h, ICU.GCRBE0 0008 7680h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CLR31	CLR30	CLR29	CLR28	CLR27	CLR26	CLR25	CLR24	CLR23	CLR22	CLR21	CLR20	CLR19	CLR18	CLR17	CLR16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CLR15	CLR14	CLR13	CLR12	CLR11	CLR10	CLR9	CLR8	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLR0	割り込み要因クリアビット0	読むと“0”が読めます。 “1”を書くと対応する割り込みステータスフラグ(GRPIE0/ GRPBE0.ISj (j = 0~31))が“0”になります。 “0”を書いても無視されます。	R/(W)
b1	CLR1	割り込み要因クリアビット1		R/(W)
b2	CLR2	割り込み要因クリアビット2		R/(W)
b3	CLR3	割り込み要因クリアビット3		R/(W)
b4	CLR4	割り込み要因クリアビット4		R/(W)
b5	CLR5	割り込み要因クリアビット5		R/(W)
b6	CLR6	割り込み要因クリアビット6		R/(W)
b7	CLR7	割り込み要因クリアビット7		R/(W)
b8	CLR8	割り込み要因クリアビット8		R/(W)
b9	CLR9	割り込み要因クリアビット9		R/(W)
b10	CLR10	割り込み要因クリアビット10		R/(W)
b11	CLR11	割り込み要因クリアビット11		R/(W)
b12	CLR12	割り込み要因クリアビット12		R/(W)
b13	CLR13	割り込み要因クリアビット13		R/(W)
b14	CLR14	割り込み要因クリアビット14		R/(W)
b15	CLR15	割り込み要因クリアビット15		R/(W)
b16	CLR16	割り込み要因クリアビット16		R/(W)
b17	CLR17	割り込み要因クリアビット17		R/(W)
b18	CLR18	割り込み要因クリアビット18		R/(W)
b19	CLR19	割り込み要因クリアビット19		R/(W)
b20	CLR20	割り込み要因クリアビット20		R/(W)
b21	CLR21	割り込み要因クリアビット21		R/(W)
b22	CLR22	割り込み要因クリアビット22		R/(W)
b23	CLR23	割り込み要因クリアビット23		R/(W)
b24	CLR24	割り込み要因クリアビット24		R/(W)
b25	CLR25	割り込み要因クリアビット25		R/(W)
b26	CLR26	割り込み要因クリアビット26		R/(W)
b27	CLR27	割り込み要因クリアビット27		R/(W)
b28	CLR28	割り込み要因クリアビット28		R/(W)
b29	CLR29	割り込み要因クリアビット29		R/(W)
b30	CLR30	割り込み要因クリアビット30		R/(W)
b31	CLR31	割り込み要因クリアビット31		R/(W)

注. クリアしたいフラグに対応するビットにのみ“1”を、その他のビットには“0”を書いてください。

GCRIE0、GCRBE0 レジスタは、GRPIE0/GRPBE0.ISj フラグ (j=0 ~ 31) をクリアするレジスタです。
グループ割り込みの詳細は「15.4.4 グループ割り込み」を参照してください。

CLRj ビット (割り込み要因クリアビット j) (j = 0 ~ 31)

GCRIE0/GCRBE0.CLRj ビットに“1”を書くと、GRPIE0/GRPBE0.ISj フラグが“0”になります。

15.2.26 選択型割り込み B 要求レジスタ k (PIBRk) (k = 0h ~ Ch)

アドレス ICU.PIBR0 0008 7700h, ICU.PIBR1 0008 7701h, ICU.PIBR2 0008 7702h, ICU.PIBR3 0008 7703h,
ICU.PIBR4 0008 7704h, ICU.PIBR5 0008 7705h, ICU.PIBR6 0008 7706h, ICU.PIBR7 0008 7707h,
ICU.PIBR8 0008 7708h, ICU.PIBR9 0008 7709h, ICU.PIBRA 0008 770Ah, ICU.PIBRB 0008 770Bh,
ICU.PIBRC 0008 770Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	PIR7	PIR6	PIR5	PIR4	PIR3	PIR2	PIR1	PIR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIR0	選択型割り込み B ステータスフラグ 0	【読み出し時】 0: 割り込み要求なし 1: 割り込み要求あり	R/W
b1	PIR1	選択型割り込み B ステータスフラグ 1		R/W
b2	PIR2	選択型割り込み B ステータスフラグ 2	【書き込み時】(注1) 0: 無視されます 1: 選択型割り込み B ステータスフラグをクリアします	R/W
b3	PIR3	選択型割り込み B ステータスフラグ 3		R/W
b4	PIR4	選択型割り込み B ステータスフラグ 4		R/W
b5	PIR5	選択型割り込み B ステータスフラグ 5		R/W
b6	PIR6	選択型割り込み B ステータスフラグ 6		R/W
b7	PIR7	選択型割り込み B ステータスフラグ 7		R/W

注1. ビット操作命令は使用しないでください。ビット操作命令を使用すると、複数のステータスフラグをクリアしてしまう可能性があります。フラグをクリアする場合は、対象のフラグを“1”、その他のフラグを“0”にして8ビット単位で書いてください。

選択型割り込み B に分類された割り込み要因の各割り込み要求をソフトウェアでポーリングするために使用するレジスタです。SLIBXRn レジスタまたは SLIBRn レジスタに設定した選択型割り込み B の割り込み要求については、対応する IRn.IR フラグ (n = 128 ~ 207) でポーリングしてください。

選択型割り込み B の割り込み要因番号と割り込み要因の対応は「表 15.3 選択型割り込み B 要因一覧」を参照してください。

PIRj フラグ (選択型割り込み B ステータスフラグ j) (j = 0 ~ 7)

選択型割り込み B に分類された割り込み要因の割り込み要求が発生すると、SLIBXRn レジスタまたは SLIBRn レジスタにその割り込み要因が指定されているかどうかに関わらず、対応する PIBRk.PIRj フラグが“1”になります。

割り込み要求が要求先 (CPU、DTC、DMAC) に受け付けられても、PIRj フラグは“0”になりませんが、そのままだでも割り込み要求の生成には影響しません。

PIRj フラグをポーリングして使用する場合は、事前に PIRj フラグに“1”を書いてフラグの値を“0”にしてから使用してください。

["1"になる条件]

- 割り込み要求が発生したとき

["0"になる条件]

- PIBRk.PIRj フラグに“1”を書いたとき

15.2.27 選択型割り込み A 要求レジスタ k (PIARk) (k = 0h ~ 5h, Bh)

アドレス ICU.PIAR0 0008 7900h, ICU.PIAR1 0008 7901h, ICU.PIAR2 0008 7902h, ICU.PIAR3 0008 7903h,
ICU.PIAR4 0008 7904h, ICU.PIAR5 0008 7905h, ICU.PIARB 0008 790Bh

b7	b6	b5	b4	b3	b2	b1	b0
PIR7	PIR6	PIR5	PIR4	PIR3	PIR2	PIR1	PIR0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PIR0	選択型割り込みAステータスフラグ0	【読み出し時】 0: 割り込み要求なし 1: 割り込み要求あり 【書き込み時】(注1) 0: 無視されます 1: 選択型割り込みAステータスフラグをクリアします	R/W
b1	PIR1	選択型割り込みAステータスフラグ1		R/W
b2	PIR2	選択型割り込みAステータスフラグ2		R/W
b3	PIR3	選択型割り込みAステータスフラグ3		R/W
b4	PIR4	選択型割り込みAステータスフラグ4		R/W
b5	PIR5	選択型割り込みAステータスフラグ5		R/W
b6	PIR6	選択型割り込みAステータスフラグ6		R/W
b7	PIR7	選択型割り込みAステータスフラグ7		R/W

注1. ビット操作命令は使用しないでください。ビット操作命令を使用すると、複数のステータスフラグをクリアしてしまう可能性があります。フラグをクリアする場合は、対象のフラグを“1”、その他のフラグを“0”にして8ビット単位で書いてください。

選択型割り込み A に分類された割り込み要因の各割り込み要求をソフトウェアでポーリングするために使用するレジスタです。SLIARn レジスタに設定した選択型割り込み A の割り込み要求については、対応する IRn.IR フラグ (n = 208 ~ 255) でポーリングしてください。

選択型割り込み A の割り込み要因番号と割り込み要因の対応は「表 15.4 選択型割り込み A 要因一覧」を参照してください。

PIRj フラグ (選択型割り込み A ステータスフラグ j) (j = 0 ~ 7)

選択型割り込み A に分類された割り込み要因の割り込み要求が発生すると、SLIARn レジスタにその割り込み要因が指定されているかどうかに関わらず、対応する PIARk.PIRj フラグが“1”になります。

割り込み要求が要求先 (CPU, DTC, DMAC) に受け付けられても、PIRj フラグは“0”になりませんが、そのままでも割り込み要求の生成には影響しません。

PIRj フラグをポーリングして使用する場合は、事前に PIRj フラグに“1”を書いてフラグの値を“0”にしてから使用してください。

[“1”になる条件]

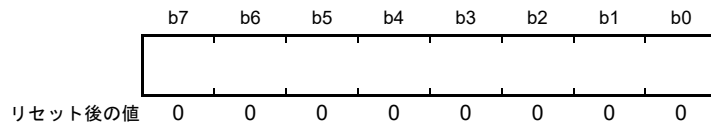
- 割り込み要求が発生したとき

[“0”になる条件]

- PIARk.PIRj フラグに“1”を書いたとき

15.2.28 選択型割り込み B 要因選択レジスタ Xn (SLIBXRn) (n = 128 ~ 143)

アドレス ICU.SLIBXR128 0008 7780h ~ ICU.SLIBXR143 0008 778Fh



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	00h : 割り込み要因を選択しない 01h : 割り込み要因番号 1 : : FEh : 割り込み要因番号 254 FFh : 割り込み要因番号 255	R/(W) (注1)

注1. SLIPRCR.WPRCビットが“1”のとき、書き込みは無視されます。

SLIBXRn レジスタは、128 番から 143 番までの割り込みベクタ番号に、選択型割り込み B に分類された割り込み要因を割り当てるためのレジスタです。

選択型割り込み B に分類された割り込み要因の一覧を「表 15.3 選択型割り込み B 要因一覧」に示します。SLIBXRn レジスタには、このうち予約となっていない割り込み要因番号を設定してください。“00h”または“FFh”を設定した場合、割り込みベクタ番号 n にはいずれの割り込み要因も割り当てられません。

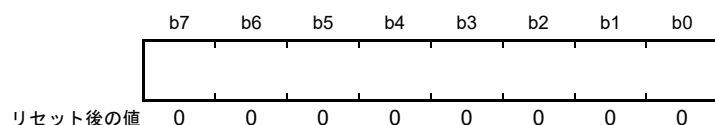
SLIBXRn レジスタと SLIBRn レジスタの複数のレジスタに、同じ割り込み要因を重複して割り当てないでください。

割り込み要因の種類により、DTC や DMAC を起動させることができます。DTC、DMAC の起動の可否については、「表 15.3 選択型割り込み B 要因一覧」を参照してください。

また、選択型割り込みの設定手順については「15.7.7 選択型割り込みの設定手順」を参照してください。

15.2.29 選択型割り込み B 要因選択レジスタ n (SLIBRn) (n = 144 ~ 207)

アドレス ICU.SLIBR144 0008 7790h~ICU.SLIBR207 0008 77CFh



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	00h : 割り込み要因を選択しない 01h : 割り込み要因番号 1 : : FEh : 割り込み要因番号 254 FFh : 割り込み要因を選択しない	R/(W) (注1)

注1. SLIPRCR.WPRCビットが“1”のとき、書き込みは無視されます。

SLIBRn レジスタは、144 番から 207 番までの割り込みベクタ番号に、選択型割り込み B に分類された割り込み要因を割り当てるためのレジスタです。

選択型割り込み B に分類された割り込み要因の一覧を「表 15.3 選択型割り込み B 要因一覧」に示します。SLIBRn レジスタには、このうち予約となっていない割り込み要因番号を設定してください。“00h”または“FFh”を指定した場合、割り込みベクタ番号 n にはいずれの割り込み要因も割り当てられません。

SLIBXRn レジスタと SLIBRn レジスタの複数のレジスタに、同じ割り込み要因を重複して割り当てないでください。

割り込み要因の種類により、DTC や DMAC を起動させることができます。DTC、DMAC の起動の可否については、「表 15.3 選択型割り込み B 要因一覧」を参照してください。

また、割り込みベクタ番号 144 の割り込み要因は EXDMAC0 を、割り込みベクタ番号 145 の割り込み要因は EXDMAC1 を起動することができますが、EXDMAC の起動要因に設定できる割り込み要因は、20 番の TPU1.TGI1A (TGRA の入力キャプチャ/コンペアマッチ)のみです。SLIBR144 レジスタまたは SLIBR145 レジスタのいずれか一方にのみ“20”を設定し、SELEXDR レジスタの SELEXD0 ビット、SELEXD1 ビットのいずれか対応するビットを“0”にしてください。

選択型割り込みの設定手順については「15.7.7 選択型割り込みの設定手順」を参照してください。

表 15.3 選択型割り込みB要因一覧 (1 / 3)

割り込み 要因番号	カテゴリ	割り込み要 求発生元	名称	DTC 起動	DMAC 起動	割り込みステ ータスフラグ
0	—	なし	割り込み選択なし(初期値)	×	×	PIBR0.PIR0
1	エッジ	CMT2	CMI2 (CMCORのコンペアマッチ)	○	○	PIBR0.PIR1
2		CMT3	CMI3 (CMCORのコンペアマッチ)	○	○	PIBR0.PIR2
3		TMR0	CMIA0 (TCORAのコンペアマッチ)	○	×	PIBR0.PIR3
4			CMIB0 (TCORBのコンペアマッチ)	○	×	PIBR0.PIR4
5			OVI0 (TCNTのオーバフロー)	×	×	PIBR0.PIR5
6		TMR1	CMIA1 (TCORAのコンペアマッチ)	○	×	PIBR0.PIR6
7			CMIB1 (TCORBのコンペアマッチ)	○	×	PIBR0.PIR7
8			OVI1 (TCNTのオーバフロー)	×	×	PIBR1.PIR0
9		TMR2	CMIA2 (TCORAのコンペアマッチ)	○	×	PIBR1.PIR1
10			CMIB2 (TCORBのコンペアマッチ)	○	×	PIBR1.PIR2
11			OVI2 (TCNTのオーバフロー)	×	×	PIBR1.PIR3
12		TMR3	CMIA3 (TCORAのコンペアマッチ)	○	×	PIBR1.PIR4
13			CMIB3 (TCORBのコンペアマッチ)	○	×	PIBR1.PIR5
14			OVI3 (TCNTのオーバフロー)	×	×	PIBR1.PIR6
15		TPU0	TGI0A (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIBR1.PIR7
16			TGI0B (TGRBのインプットキャプチャ/コンペアマッチ)	○	×	PIBR2.PIR0
17			TGI0C (TGRCのインプットキャプチャ/コンペアマッチ)	○	×	PIBR2.PIR1
18			TGI0D (TGRDのインプットキャプチャ/コンペアマッチ)	○	×	PIBR2.PIR2
19			TCI0V (TCNTのオーバフロー)	×	×	PIBR2.PIR3
20(注1)	TPU1	TGI1A (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIBR2.PIR4	
21		TGI1B (TGRBのインプットキャプチャ/コンペアマッチ)	○	×	PIBR2.PIR5	
22		TCI1V (TCNTのオーバフロー)	×	×	PIBR2.PIR6	
23		TCI1U (TCNTのアンダフロー)	×	×	PIBR2.PIR7	
24	TPU2	TGI2A (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIBR3.PIR0	
25		TGI2B (TGRBのインプットキャプチャ/コンペアマッチ)	○	×	PIBR3.PIR1	
26		TCI2V (TCNTのオーバフロー)	×	×	PIBR3.PIR2	
27		TCI2U (TCNTのアンダフロー)	×	×	PIBR3.PIR3	
28	TPU3	TGI3A (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIBR3.PIR4	
29		TGI3B (TGRBのインプットキャプチャ/コンペアマッチ)	○	×	PIBR3.PIR5	
30		TGI3C (TGRCのインプットキャプチャ/コンペアマッチ)	○	×	PIBR3.PIR6	
31		TGI3D (TGRDのインプットキャプチャ/コンペアマッチ)	○	×	PIBR3.PIR7	
32		TCI3V (TCNTのオーバフロー)	×	×	PIBR4.PIR0	
33	TPU4	TGI4A (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIBR4.PIR1	
34		TGI4B (TGRBのインプットキャプチャ/コンペアマッチ)	○	×	PIBR4.PIR2	
35		TCI4V (TCNTのオーバフロー)	×	×	PIBR4.PIR3	
36		TCI4U (TCNTのアンダフロー)	×	×	PIBR4.PIR4	
37	TPU5	TGI5A (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIBR4.PIR5	
38		TGI5B (TGRBのインプットキャプチャ/コンペアマッチ)	○	×	PIBR4.PIR6	
39		TCI5V (TCNTのオーバフロー)	×	×	PIBR4.PIR7	
40		TCI5U (TCNTのアンダフロー)	×	×	PIBR5.PIR0	

表 15.3 選択型割り込みB要因一覧(2/3)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC 起動	DMAC 起動	割り込みステータスフラグ
41	エッジ	CMTW0	IC0I0 (CMWICR0レジスタのインプットキャプチャ入力)	○	○	PIBR5.PIR1
42			IC1I0 (CMWICR1レジスタのインプットキャプチャ入力)	○	○	PIBR5.PIR2
43			OC0I0 (CMWOCR0レジスタのアウトプットコンペア出力)	○	○	PIBR5.PIR3
44			OC1I0 (CMWOCR1レジスタのアウトプットコンペア出力)	○	○	PIBR5.PIR4
45		CMTW1	IC0I1 (CMWICR0レジスタのインプットキャプチャ入力)	○	○	PIBR5.PIR5
46			IC1I1 (CMWICR1レジスタのインプットキャプチャ入力)	○	○	PIBR5.PIR6
47			OC0I1 (CMWOCR0レジスタのアウトプットコンペア出力)	○	○	PIBR5.PIR7
48			OC1I1 (CMWOCR1レジスタのアウトプットコンペア出力)	○	○	PIBR6.PIR0
49	RTC	CUP (桁上げ割り込み)	×	×	PIBR6.PIR1	
50	CAN0	RXF0 (受信FIFO割り込み)	×	×	PIBR6.PIR2	
51		TXF0 (送信FIFO割り込み)	×	×	PIBR6.PIR3	
52		RXM0 (メールボックス0~31メッセージ受信完了)	×	×	PIBR6.PIR4	
53		TXM0 (メールボックス0~31メッセージ送信完了)	×	×	PIBR6.PIR5	
54	CAN1	RXF1 (受信FIFO割り込み)	×	×	PIBR6.PIR6	
55		TXF1 (送信FIFO割り込み)	×	×	PIBR6.PIR7	
56		RXM1 (メールボックス0~31メッセージ受信完了)	×	×	PIBR7.PIR0	
57		TXM1 (メールボックス0~31メッセージ送信完了)	×	×	PIBR7.PIR1	
58	予約	—	×	×	PIBR7.PIR2	
59	予約	—	×	×	PIBR7.PIR3	
60	予約	—	×	×	PIBR7.PIR4	
61	予約	—	×	×	PIBR7.PIR5	
62	USB0	USBI0 (15要因のステータス割り込み)	×	×	PIBR7.PIR6	
63	USB1	USBI1 (15要因のステータス割り込み)	×	×	PIBR7.PIR7	
64	S12AD	S12ADI (A/D変換終了)	○	○	PIBR8.PIR0	
65		S12GBADI (グループB A/D変換終了割り込み)	○	○	PIBR8.PIR1	
66		S12GCADI (グループC A/D変換終了割り込み)	○	○	PIBR8.PIR2	
67	予約	—	×	×	PIBR8.PIR3	
68	S12AD1	S12ADI1 (A/D変換終了)	○	○	PIBR8.PIR4	
69		S12GBADI1 (グループB A/D変換終了割り込み)	○	○	PIBR8.PIR5	
70		S12GCADI1 (グループC A/D変換終了割り込み)	○	○	PIBR8.PIR6	
71	予約	—	×	×	PIBR8.PIR7	
72	予約	—	×	×	PIBR9.PIR0	
73	予約	—	×	×	PIBR9.PIR1	
74	予約	—	×	×	PIBR9.PIR2	
75	予約	—	×	×	PIBR9.PIR3	
76	予約	—	×	×	PIBR9.PIR4	
77	予約	—	×	×	PIBR9.PIR5	
78	予約	—	×	×	PIBR9.PIR6	
79	ELC	ELSR18I (ELC割り込み)	○	○	PIBR9.PIR7	
80		ELSR19I (ELC割り込み)	○	○	PIBRA.PIR0	
81 ~ 84	予約	—	×	×	—	

表 15.3 選択型割り込みB要因一覧 (3 / 3)

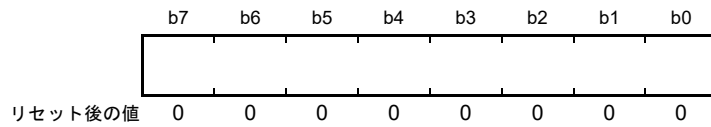
割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC 起動	DMAC 起動	割り込みステータスフラグ	
85	エッジ	TSIP	PROC_BUSY (手順完了割り込み)	×	×	PIBRA.PIR5	
86			ROMOK (改ざん検出割り込み)	×	×	PIBRA.PIR6	
87			LONG_PLG (演算完了割り込み)	×	×	PIBRA.PIR7	
88			TEST_BUSY (テストビジー)	×	×	PIBRB.PIR0	
89			WRRDY0 (ライトレディ 0)	×	×	PIBRB.PIR1	
90			WRRDY1 (ライトレディ 1)	×	×	PIBRB.PIR2	
91			WRRDY4 (ライトレディ 4)	×	×	PIBRB.PIR3	
92			RDRDY0 (リードレディ 0)	×	×	PIBRB.PIR4	
93			RDRDY1 (リードレディ 1)	×	×	PIBRB.PIR5	
94			INTEGRATE_WRRDY (インテグレートライトレディ)	×	×	PIBRB.PIR6	
95			INTEGRATE_RDRDY (インテグレートリードレディ)	×	×	PIBRB.PIR7	
96			CTSU	CTSUWR (チャンネルごとの設定レジスタ書き込み要求)	○	○	PIBRC.PIR0
97				CTSURD (測定データ転送要求)	○	○	PIBRC.PIR1
98				CTSUFN (測定終了)	×	×	PIBRC.PIR2
99 ~ 254	—	予約	—	×	×	—	
255	—	予約/なし (注2)	—/割り込み選択なし	×	×	—	

注1. EXDMAC0またはEXDMAC1の起動要因としても使用できます。

注2. SLIBXRnレジスタでは「予約」、SLIBRnレジスタでは「なし」です。

15.2.30 選択型割り込み A 要因選択レジスタ n (SLIARn) (n = 208 ~ 255)

アドレス ICU.SLIAR208 0008 79D0h~ICU.SLIAR255 0008 79FFh



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	00h : 割り込み要因を選択しない 01h : 割り込み要因番号1 : : FEh : 割り込み要因番号254 FFh : 割り込み要因を選択しない	R/(W) (注1)

注1. SLIPRCR.WPRCビットが“1”のとき、書き込みは無視されます。

SLIARn レジスタは、208 番から 255 番までの割り込みベクタ番号に、選択型割り込み A に分類された割り込み要因を割り当てるためのレジスタです。

選択型割り込み要因 A に分類された割り込み要因の一覧を「表 15.4 選択型割り込み A 要因一覧」に示します。SLIARn レジスタには、このうち予約となっていない割り込み要因番号を設定してください。“00h”または“FFh”を指定した場合、割り込みベクタ番号 n にはいずれの割り込み要因も割り当てられません。

同じ割り込み要因を、複数の SLIARn レジスタに重複して割り当てないでください。

割り込み要因の種類により、DTC や DMAC を起動させることができます。DTC、DMAC 起動の可否については、「表 15.4 選択型割り込み A 要因一覧」を参照してください。

また、割り込みベクタ番号 208 の割り込み要因は EXDMAC0 を、割り込みベクタ番号 209 の割り込み要因は EXDMAC1 を起動することができますが、EXDMAC の起動要因に設定できる割り込み要因は、8 番の MTU1.TGIA1 (TGRA の入力キャプチャ/コンペアマッチ) のみです。SLIAR208 レジスタまたは SLIAR209 レジスタのいずれか一方にのみ“8”を設定し、SELEXDR レジスタの SELEXD0 ビット、SELEXD1 ビットのいずれか対応するビットを“1”にしてください。

選択型割り込みの設定手順については「15.7.7 選択型割り込みの設定手順」を参照してください。

表 15.4 選択型割り込みA要因一覧 (1 / 2)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC起動	DMAC起動	割り込みステータスフラグ
0	—	なし	割り込み選択なし(初期値)	×	×	PIAR0.PIR0
1	エッジ	MTU0	TGIA0 (TGRAのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR0.PIR1
2			TGIB0 (TGRBのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR0.PIR2
3			TGIC0 (TGRCのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR0.PIR3
4			TGID0 (TGRDのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR0.PIR4
5			TCIV0 (TCNTのオーバフロー)	×	×	PIAR0.PIR5
6			TGIE0 (TGREのコンペアマッチ)	×	×	PIAR0.PIR6
7			TGIF0 (TGRFのコンペアマッチ)	×	×	PIAR0.PIR7
8(注1)	MTU1	MTU1	TGIA1 (TGRAのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR1.PIR0
9			TGIB1 (TGRBのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR1.PIR1
10			TCIV1 (TCNTのオーバフロー)	×	×	PIAR1.PIR2
11			TCIU1 (TCNTのアンダフロー)	×	×	PIAR1.PIR3
12	MTU2	MTU2	TGIA2 (TGRAのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR1.PIR4
13			TGIB2 (TGRBのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR1.PIR5
14			TCIV2 (TCNTのオーバフロー)	×	×	PIAR1.PIR6
15			TCIU2 (TCNTのアンダフロー)	×	×	PIAR1.PIR7
16	MTU3	MTU3	TGIA3 (TGRAのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR2.PIR0
17			TGIB3 (TGRBのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR2.PIR1
18			TGIC3 (TGRCのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR2.PIR2
19			TGID3 (TGRDのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR2.PIR3
20			TCIV3 (TCNTのオーバフロー)	×	×	PIAR2.PIR4
21	MTU4	MTU4	TGIA4 (TGRAのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR2.PIR5
22			TGIB4 (TGRBのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR2.PIR6
23			TGIC4 (TGRCのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR2.PIR7
24			TGID4 (TGRDのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR3.PIR0
25			TCIV4 (TCNTのオーバフロー/アンダフロー(相補PWMモード時のみ))	○	○	PIAR3.PIR1
26	予約	—	—	×	×	PIAR3.PIR2
27	MTU5	MTU5	TGIU5 (TGRUのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR3.PIR3
28			TGIV5 (TGRVのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR3.PIR4
29			TGIW5 (TGRWのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR3.PIR5
30	MTU6	MTU6	TGIA6 (TGRAのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR3.PIR6
31			TGIB6 (TGRBのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR3.PIR7
32			TGIC6 (TGRCのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR4.PIR0
33			TGID6 (TGRDのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR4.PIR1
34			TCIV6 (TCNTのオーバフロー)	×	×	PIAR4.PIR2
35	MTU7	MTU7	TGIA7 (TGRAのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR4.PIR3
36			TGIB7 (TGRBのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR4.PIR4
37			TGIC7 (TGRCのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR4.PIR5
38			TGID7 (TGRDのインพุットキャブチャ/コンペアマッチ)	○	○	PIAR4.PIR6
39			TCIV7 (TCNTのオーバフロー/アンダフロー(相補PWMモード時のみ))	○	○	PIAR4.PIR7
40	予約	—	—	×	×	PIAR5.PIR0

表 15.4 選択型割り込みA要因一覧(2/2)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC 起動	DMAC 起動	割り込みステータスフラグ
41	エッジ	MTU8	TGIA8 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR5.PIR1
42			TGIB8 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR5.PIR2
43			TGIC8 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR5.PIR3
44			TGID8 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR5.PIR4
45			TCIV8 (TCNTのオーバフロー)	×	×	PIAR5.PIR5
46 ~ 89		予約	—	×	×	—
90		RSPIA0	SPCI (通信完了)	×	×	PIARB.PIR2
91		RSPi0	SPCI0 (通信完了)	×	×	PIARB.PIR3
92		RSPi1	SPCI1 (通信完了)	×	×	PIARB.PIR4
93		RSPi2	SPCI2 (通信完了)	×	×	PIARB.PIR5
94	RSCI10	AED (有効エッジ検出)	×	×	PIARB.PIR6	
95	RSCI11	AED (有効エッジ検出)	×	×	PIARB.PIR7	
96 ~ 254	予約	—	×	×	—	
255	—	なし	割り込み選択なし	×	×	—

注1. EXDMAC0またはEXDMAC1の起動要因としても使用できます。

15.2.31 EXDMAC 起動割り込み選択レジスタ (SELEXDR)

アドレス ICU.SELEXDR 0008 7A01h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SELEX D1	SELEX D0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SELEXD0	EXDMAC0 起動割り込み選択ビット	0 : SLIBR144 で選択した割り込み要因で EXDMAC0 を起動 1 : SLIAR208 で選択した割り込み要因で EXDMAC0 を起動	R/W (注1)
b1	SELEXD1	EXDMAC1 起動割り込み選択ビット	0 : SLIBR145 で選択した割り込み要因で EXDMAC1 を起動 1 : SLIAR209 で選択した割り込み要因で EXDMAC1 を起動	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください。	R/W

注1. SLIPRCR.WPRCビットが“1”のとき、書き込みは無視されます。

SELEXDR レジスタは、選択型割り込みに分類された割り込み要因を、EXDMAC の起動要因として選択するレジスタです。割り込み要求による EXDMAC の起動については「15.4.5.3 選択型割り込みによる EXDMAC の起動要因」を参照してください。

SELEXD0 ビット (EXDMAC0 起動割り込み選択ビット)

SLIBR144 レジスタと SLIAR208 レジスタに指定された割り込み要因のうち、EXDMAC0 の起動要因としてどちらを選択するかを指定するレジスタです。

SELEXD1 ビット (EXDMAC1 起動割り込み選択ビット)

SLIBR145 レジスタと SLIAR209 レジスタに指定された割り込み要因のうち、EXDMAC1 の起動要因としてどちらを選択するかを指定するレジスタです。

15.2.32 選択型割り込み要因選択レジスタ書き込み保護レジスタ (SLIPRCR)

アドレス ICU.SLIPRCR 0008 7A00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	WPRC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WPRC	選択型割り込み要因選択レジスタ書き込み保護ビット	0 : 書き込み許可 1 : 書き込み禁止	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください。	R

注1. 一度“1”にすると、ソフトウェアでは“0”にできません。

SLIPRCR レジスタは、選択型割り込みの割り当てを制御するレジスタへの書き込みを保護するレジスタです。

WPRC ビット (選択型割り込み要因選択レジスタ書き込み保護ビット)

SLIBXRn レジスタ、および SLIBRn レジスタ、SLIARn レジスタ、SELEXDR レジスタへの書き込みを禁止するビットです。

一度“1”にすると、ソフトウェアでは“0”にできません。

選択型割り込みの割り当てを行った後、対応する割り込み要求が発生する前に、WPRC ビットが“1”になっていることを確認してください。選択型割り込みの設定手順については「15.7.7 選択型割り込みの設定手順」を参照してください。

15.3 ベクタテーブル

割り込みコントローラが検出する例外事象には、マスカブル割り込み(以後単に「割り込み」とノンマスカブル割り込みの2種類があります。

CPUが割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから4バイトの割り込みベクタを取得します。

15.3.1 割り込みのベクタテーブル

マスカブル割り込みが使用するベクタテーブルを割り込みベクタテーブルと言います。

割り込みベクタテーブルは、CPUの割り込みテーブルレジスタ(INTB)に設定したアドレスを先頭とする1024バイト(4バイト×256要因)の領域に配置されます。INTBレジスタは割り込みを許可する前に設定してください。また、INTBレジスタには4の倍数を設定してください。

なお、INT命令およびBRK命令を実行すると無条件トラップが発生します。無条件トラップの割り込みベクタは、割り込みベクタテーブルと同じ領域を使用します。BRK命令は割り込みベクタ番号0、INT命令はオペランドに指定した値(0～255)に一致する割り込みベクタ番号が割り当てられます。

表 15.5 に割り込みベクタテーブルを示します。表 15.5 の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称(モジュールシンボル)を示します
名称	割り込み要因の名称(略称)を示します
ベクタ番号	割り込みベクタ番号を示します
ベクタアドレスオフセット	INTBレジスタに設定したアドレスからのオフセット値を示します
割り込み検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPUへの割り込み要因に使用できる割り込み要因を“○”で示します
DTC起動	DTCの起動要因に使用できる割り込み要因を“○”で示します
DMAC起動	DMACの起動要因に使用できる割り込み要因を“○”で示します
SSBY復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
ACS復帰	全モジュールクロックストップモードからの復帰要因を“○”で示します
IER	各割り込みベクタ番号に対応するIERレジスタのビットを示します
IPR	各割り込み要因に対応するIPRレジスタを示します
DTCER	各DTC起動要因に対応するDTCERレジスタを示します

表 15.5 割り込みベクタテーブル (1 / 6)

割り込み 要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	1	0004h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	2	0008h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	3	000Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	4	0010h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	5	0014h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	6	0018h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	7	001Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	8	0020h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	9	0024h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	10	0028h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	11	002Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	12	0030h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	13	0034h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	14	0038h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	15	003Ch	—	×	×	×	×	×	—	—	—
BSC	BUSERR	16	0040h	レベル	○	×	×	×	×	IER02.IEN0	IPR000	—
ICU (注1)	GROUPIE0	17	0044h	レベル	○	×	×	×	×	IER02.IEN1	IPR000	—
RAM	RAMERR (注2)	18	0048h	レベル	○	×	×	×	×	IER02.IEN2	IPR000	—
—	予約	19	004Ch	—	×	×	×	×	×	—	—	—
—	予約	20	0050h	—	×	×	×	×	×	—	—	—
FCU	FIFERR	21	0054h	レベル	○	×	×	×	×	IER02.IEN5	IPR001	—
—	予約	22	0058h	—	×	×	×	×	×	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	×	×	×	×	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	×	×	×	×	×	—	—	—
—	予約	25	0064h	—	×	×	×	×	×	—	—	—
ICU	SWINT2	26	0068h	エッジ	○	○	×	×	×	IER03.IEN2	IPR003	DTCER026
	SWINT	27	006Ch	エッジ	○	○	×	×	×	IER03.IEN3		DTCER027
CMT0	CMIO (OS用)	28	0070h	エッジ	○	○	○	×	×	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	○	×	×	IER03.IEN5	IPR005	DTCER029
CMTW0	CMWIO	30	0078h	エッジ	○	○	○	×	×	IER03.IEN6	IPR006	DTCER030
CMTW1	CMWI1	31	007Ch	エッジ	○	○	○	×	×	IER03.IEN7	IPR007	DTCER031
RSCI10	RXI	32	0080h	エッジ	○	○	○	×	×	IER04.IEN0	IPR032	DTCER032
	TXI	33	0084h	エッジ	○	○	○	×	×	IER04.IEN1	IPR033	DTCER033
USB0	D0FIFO0	34	0088h	エッジ	○	○	○	×	×	IER04.IEN2	IPR034	DTCER034
	D1FIFO0	35	008Ch	エッジ	○	○	○	×	×	IER04.IEN3	IPR035	DTCER035
USB1	D0FIFO1	36	0090h	エッジ	○	○	○	×	×	IER04.IEN4	IPR036	DTCER036
	D1FIFO1	37	0094h	エッジ	○	○	○	×	×	IER04.IEN5	IPR037	DTCER037
RSPI0	SPRI0	38	0098h	エッジ	○	○	○	×	×	IER04.IEN6	IPR038	DTCER038
	SPTI0	39	009Ch	エッジ	○	○	○	×	×	IER04.IEN7	IPR039	DTCER039
RSPI1	SPRI1	40	00A0h	エッジ	○	○	○	×	×	IER05.IEN0	IPR040	DTCER040
	SPTI1	41	00A4h	エッジ	○	○	○	×	×	IER05.IEN1	IPR041	DTCER041
RSCI11	RXI	42	00A8h	エッジ	○	○	○	×	×	IER05.IEN2	IPR042	DTCER042
	TXI	43	00ACh	エッジ	○	○	○	×	×	IER05.IEN3	IPR043	DTCER043
SDHI	SBFAI	44	00B0h	エッジ	○	○	○	×	×	IER05.IEN4	IPR044	DTCER044

表 15.5 割り込みベクタテーブル (2 / 6)

割り込み 要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	予約	45	00B4h	—	×	×	×	×	×	—	—	—
SSIE0	SSITX10	46	00B8h	エッジ	○	○	○	×	×	IER05.IEN6	IPR046	DTCER046
	SSIRX10	47	00BCh	エッジ	○	○	○	×	×	IER05.IEN7	IPR047	DTCER047
RSPIA0	SPRI	48	00C0h	エッジ	○	○	○	×	×	IER06.IEN0	IPR048	DTCER048
	SPTI	49	00C4h	エッジ	○	○	○	×	×	IER06.IEN1	IPR049	DTCER049
RIIC1	RX11	50	00C8h	エッジ	○	○	○	×	×	IER06.IEN2	IPR050	DTCER050
	TX11	51	00CCh	エッジ	○	○	○	×	×	IER06.IEN3	IPR051	DTCER051
RIIC0	RX10	52	00D0h	エッジ	○	○	○	×	×	IER06.IEN4	IPR052	DTCER052
	TX10	53	00D4h	エッジ	○	○	○	×	×	IER06.IEN5	IPR053	DTCER053
RIIC2	RX12	54	00D8h	エッジ	○	○	○	×	×	IER06.IEN6	IPR054	DTCER054
	TX12	55	00DCh	エッジ	○	○	○	×	×	IER06.IEN7	IPR055	DTCER055
—	予約	56	00E0h	—	×	×	×	×	×	—	—	—
—	予約	57	00E4h	—	×	×	×	×	×	—	—	—
SCIO	RX10	58	00E8h	エッジ	○	○	○	×	×	IER07.IEN2	IPR058	DTCER058
	TX10	59	00ECh	エッジ	○	○	○	×	×	IER07.IEN3	IPR059	DTCER059
SCI1	RX11	60	00F0h	エッジ	○	○	○	×	×	IER07.IEN4	IPR060	DTCER060
	TX11	61	00F4h	エッジ	○	○	○	×	×	IER07.IEN5	IPR061	DTCER061
SCI2	RX12	62	00F8h	エッジ	○	○	○	×	×	IER07.IEN6	IPR062	DTCER062
	TX12	63	00FCh	エッジ	○	○	○	×	×	IER07.IEN7	IPR063	DTCER063
ICU	IRQ0	64	0100h	エッジ/ レベル	○	○	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/ レベル	○	○	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/ レベル	○	○	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/ レベル	○	○	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/ レベル	○	○	○	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/ レベル	○	○	○	○	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ/ レベル	○	○	○	○	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ/ レベル	○	○	○	○	○	IER08.IEN7	IPR071	DTCER071
	IRQ8	72	0120h	エッジ/ レベル	○	○	○	○	○	IER09.IEN0	IPR072	DTCER072
	IRQ9	73	0124h	エッジ/ レベル	○	○	○	○	○	IER09.IEN1	IPR073	DTCER073
	IRQ10	74	0128h	エッジ/ レベル	○	○	○	○	○	IER09.IEN2	IPR074	DTCER074
	IRQ11	75	012Ch	エッジ/ レベル	○	○	○	○	○	IER09.IEN3	IPR075	DTCER075
	IRQ12	76	0130h	エッジ/ レベル	○	○	○	○	○	IER09.IEN4	IPR076	DTCER076
	IRQ13	77	0134h	エッジ/ レベル	○	○	○	○	○	IER09.IEN5	IPR077	DTCER077
	IRQ14	78	0138h	エッジ/ レベル	○	○	○	○	○	IER09.IEN6	IPR078	DTCER078
IRQ15	79	013Ch	エッジ/ レベル	○	○	○	○	○	IER09.IEN7	IPR079	DTCER079	

表 15.5 割り込みベクタテーブル (3 / 6)

割り込み 要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
SCI3	RXI3	80	0140h	エッジ	○	○	○	×	×	IER0A.IEN0	IPR080	DTCER080
	TXI3	81	0144h	エッジ	○	○	○	×	×	IER0A.IEN1	IPR081	DTCER081
SCI4	RXI4	82	0148h	エッジ	○	○	○	×	×	IER0A.IEN2	IPR082	DTCER082
	TXI4	83	014Ch	エッジ	○	○	○	×	×	IER0A.IEN3	IPR083	DTCER083
SCI5	RXI5	84	0150h	エッジ	○	○	○	×	×	IER0A.IEN4	IPR084	DTCER084
	TXI5	85	0154h	エッジ	○	○	○	×	×	IER0A.IEN5	IPR085	DTCER085
SCI6	RXI6	86	0158h	エッジ	○	○	○	×	×	IER0A.IEN6	IPR086	DTCER086
	TXI6	87	015Ch	エッジ	○	○	○	×	×	IER0A.IEN7	IPR087	DTCER087
LVD1	LVD1	88	0160h	エッジ	○	×	×	○	○	IER0B.IEN0	IPR088	—
LVD2	LVD2	89	0164h	エッジ	○	×	×	○	○	IER0B.IEN1	IPR089	—
USB0	USBR0	90	0168h	レベル	○	×	×	○	○	IER0B.IEN2	IPR090	—
VBATT	TAMPDI	91	016Ch	レベル	○	×	×	○	○	IER0B.IEN3	IPR091	—
RTC	ALM	92	0170h	エッジ	○	×	×	○	○	IER0B.IEN4	IPR092	—
	PRD	93	0174h	エッジ	○	×	×	○	○	IER0B.IEN5	IPR093	—
REMC0	REMCIO	94	0178h	エッジ	○	×	×	○	○	IER0B.IEN6	IPR094	—
IWDT	IWUNI (注2)	95	017Ch	エッジ	○	×	×	○	○	IER0B.IEN7	IPR095	—
WDT	WUNI (注2)	96	0180h	エッジ	○	×	×	×	×	IER0C.IEN0	IPR096	—
—	予約	97	0184h	—	×	×	×	×	×	—	—	—
SCI7	RXI7	98	0188h	エッジ	○	○	○	×	×	IER0C.IEN2	IPR098	DTCER098
	TXI7	99	018Ch	エッジ	○	○	○	×	×	IER0C.IEN3	IPR099	DTCER099
SCI8	RXI8	100	0190h	エッジ	○	○	○	×	×	IER0C.IEN4	IPR100	DTCER100
	TXI8	101	0194h	エッジ	○	○	○	×	×	IER0C.IEN5	IPR101	DTCER101
SCI9	RXI9	102	0198h	エッジ	○	○	○	×	×	IER0C.IEN6	IPR102	DTCER102
	TXI9	103	019Ch	エッジ	○	○	○	×	×	IER0C.IEN7	IPR103	DTCER103
SCI10	RXI10	104	01A0h	エッジ	○	○	○	×	×	IER0D.IEN0	IPR104	DTCER104
	TXI10	105	01A4h	エッジ	○	○	○	×	×	IER0D.IEN1	IPR105	DTCER105
ICU (注1)	GROUPBE0	106	01A8h	レベル	○	×	×	×	×	IER0D.IEN2	IPR106	—
	GROUPBL2	107	01ACh	レベル	○	×	×	×	×	IER0D.IEN3	IPR107	—
RSPI2	SPRI2	108	01B0h	エッジ	○	○	○	×	×	IER0D.IEN4	IPR108	DTCER108
	SPTI2	109	01B4h	エッジ	○	○	○	×	×	IER0D.IEN5	IPR109	DTCER109
ICU (注1)	GROUPBL0	110	01B8h	レベル	○	×	×	×	×	IER0D.IEN6	IPR110	—
	GROUPBL1	111	01BCh	レベル	○	×	×	×	×	IER0D.IEN7	IPR111	—
	GROUPAL0	112	01C0h	レベル	○	×	×	×	×	IER0E.IEN0	IPR112	—
	GROUPAL1	113	01C4h	レベル	○	×	×	×	×	IER0E.IEN1	IPR113	—
SCI11	RXI11	114	01C8h	エッジ	○	○	○	×	×	IER0E.IEN2	IPR114	DTCER114
	TXI11	115	01CCh	エッジ	○	○	○	×	×	IER0E.IEN3	IPR115	DTCER115
SCI12	RXI12	116	01D0h	エッジ	○	○	○	×	×	IER0E.IEN4	IPR116	DTCER116
	TXI12	117	01D4h	エッジ	○	○	○	×	×	IER0E.IEN5	IPR117	DTCER117
RIIHS0	RXI	118	01D8h	エッジ	○	○	○	×	×	IER0E.IEN6	IPR118	DTCER118
	TXI	119	01DCh	エッジ	○	○	○	×	×	IER0E.IEN7	IPR119	DTCER119
DMAC	DMAC0I	120	01E0h	エッジ	○	○	×	×	×	IER0F.IEN0	IPR120	DTCER120
	DMAC1I	121	01E4h	エッジ	○	○	×	×	×	IER0F.IEN1	IPR121	DTCER121
	DMAC2I	122	01E8h	エッジ	○	○	×	×	×	IER0F.IEN2	IPR122	DTCER122
	DMAC3I	123	01ECh	エッジ	○	○	×	×	×	IER0F.IEN3	IPR123	DTCER123
	DMAC74I	124	01F0h	レベル	○	×	×	×	×	IER0F.IEN4	IPR124	—

表 15.5 割り込みベクタテーブル (4 / 6)

割り込み 要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
OST	OSTDI (注2)	125	01F4h	エッジ	○	×	×	×	×	IER0F.IEN5	IPR125	—
EXDMAC	EXDMAC0I	126	01F8h	エッジ	○	○	×	×	×	IER0F.IEN6	IPR126	DTCER126
	EXDMAC1I	127	01FCh	エッジ	○	○	×	×	×	IER0F.IEN7	IPR127	DTCER127
PERIB (選択型割り 込みB (注3))	INTB128	128	0200h	エッジ	○	○	○	×	×	IER10.IEN0	IPR128	DTCER128
	INTB129	129	0204h	エッジ	○	○	○	×	×	IER10.IEN1	IPR129	DTCER129
	INTB130	130	0208h	エッジ	○	○	○	×	×	IER10.IEN2	IPR130	DTCER130
	INTB131	131	020Ch	エッジ	○	○	○	×	×	IER10.IEN3	IPR131	DTCER131
	INTB132	132	0210h	エッジ	○	○	○	×	×	IER10.IEN4	IPR132	DTCER132
	INTB133	133	0214h	エッジ	○	○	○	×	×	IER10.IEN5	IPR133	DTCER133
	INTB134	134	0218h	エッジ	○	○	○	×	×	IER10.IEN6	IPR134	DTCER134
	INTB135	135	021Ch	エッジ	○	○	○	×	×	IER10.IEN7	IPR135	DTCER135
	INTB136	136	0220h	エッジ	○	○	○	×	×	IER11.IEN0	IPR136	DTCER136
	INTB137	137	0224h	エッジ	○	○	○	×	×	IER11.IEN1	IPR137	DTCER137
	INTB138	138	0228h	エッジ	○	○	○	×	×	IER11.IEN2	IPR138	DTCER138
	INTB139	139	022Ch	エッジ	○	○	○	×	×	IER11.IEN3	IPR139	DTCER139
	INTB140	140	0230h	エッジ	○	○	○	×	×	IER11.IEN4	IPR140	DTCER140
	INTB141	141	0234h	エッジ	○	○	○	×	×	IER11.IEN5	IPR141	DTCER141
	INTB142	142	0238h	エッジ	○	○	○	×	×	IER11.IEN6	IPR142	DTCER142
	INTB143	143	023Ch	エッジ	○	○	○	×	×	IER11.IEN7	IPR143	DTCER143
	INTB144	144 (注4)	0240h	エッジ	○	○	○	×	×	IER12.IEN0	IPR144	DTCER144
	INTB145	145 (注5)	0244h	エッジ	○	○	○	×	×	IER12.IEN1	IPR145	DTCER145
	INTB146	146	0248h	エッジ	○	○	○	×	○	IER12.IEN2	IPR146	DTCER146
	INTB147	147	024Ch	エッジ	○	○	○	×	○	IER12.IEN3	IPR147	DTCER147
	INTB148	148	0250h	エッジ	○	○	○	×	○	IER12.IEN4	IPR148	DTCER148
	INTB149	149	0254h	エッジ	○	○	○	×	○	IER12.IEN5	IPR149	DTCER149
	INTB150	150	0258h	エッジ	○	○	○	×	○	IER12.IEN6	IPR150	DTCER150
	INTB151	151	025Ch	エッジ	○	○	○	×	○	IER12.IEN7	IPR151	DTCER151
	INTB152	152	0260h	エッジ	○	○	○	×	○	IER13.IEN0	IPR152	DTCER152
	INTB153	153	0264h	エッジ	○	○	○	×	○	IER13.IEN1	IPR153	DTCER153
	INTB154	154	0268h	エッジ	○	○	○	×	○	IER13.IEN2	IPR154	DTCER154
	INTB155	155	026Ch	エッジ	○	○	○	×	○	IER13.IEN3	IPR155	DTCER155
	INTB156	156	0270h	エッジ	○	○	○	×	○	IER13.IEN4	IPR156	DTCER156
	INTB157	157	0274h	エッジ	○	○	○	×	○	IER13.IEN5	IPR157	DTCER157
	INTB158	158	0278h	エッジ	○	○	○	×	×	IER13.IEN6	IPR158	DTCER158
INTB159	159	027Ch	エッジ	○	○	○	×	×	IER13.IEN7	IPR159	DTCER159	
INTB160	160	0280h	エッジ	○	○	○	×	×	IER14.IEN0	IPR160	DTCER160	
INTB161	161	0284h	エッジ	○	○	○	×	×	IER14.IEN1	IPR161	DTCER161	
INTB162	162	0288h	エッジ	○	○	○	×	×	IER14.IEN2	IPR162	DTCER162	
INTB163	163	028Ch	エッジ	○	○	○	×	×	IER14.IEN3	IPR163	DTCER163	
INTB164	164	0290h	エッジ	○	○	○	×	×	IER14.IEN4	IPR164	DTCER164	
INTB165	165	0294h	エッジ	○	○	○	×	×	IER14.IEN5	IPR165	DTCER165	
INTB166	166	0298h	エッジ	○	○	○	×	×	IER14.IEN6	IPR166	DTCER166	
INTB167	167	029Ch	エッジ	○	○	○	×	×	IER14.IEN7	IPR167	DTCER167	
INTB168	168	02A0h	エッジ	○	○	○	×	×	IER15.IEN0	IPR168	DTCER168	
INTB169	169	02A4h	エッジ	○	○	○	×	×	IER15.IEN1	IPR169	DTCER169	

表 15.5 割り込みベクタテーブル (5 / 6)

割り込み 要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
PERIB (選択型割り 込みB(注3))	INTB170	170	02A8h	エッジ	○	○	○	×	×	IER15.IEN2	IPR170	DTCER170
	INTB171	171	02ACh	エッジ	○	○	○	×	×	IER15.IEN3	IPR171	DTCER171
	INTB172	172	02B0h	エッジ	○	○	○	×	×	IER15.IEN4	IPR172	DTCER172
	INTB173	173	02B4h	エッジ	○	○	○	×	×	IER15.IEN5	IPR173	DTCER173
	INTB174	174	02B8h	エッジ	○	○	○	×	×	IER15.IEN6	IPR174	DTCER174
	INTB175	175	02BCh	エッジ	○	○	○	×	×	IER15.IEN7	IPR175	DTCER175
	INTB176	176	02C0h	エッジ	○	○	○	×	×	IER16.IEN0	IPR176	DTCER176
	INTB177	177	02C4h	エッジ	○	○	○	×	×	IER16.IEN1	IPR177	DTCER177
	INTB178	178	02C8h	エッジ	○	○	○	×	×	IER16.IEN2	IPR178	DTCER178
	INTB179	179	02CCh	エッジ	○	○	○	×	×	IER16.IEN3	IPR179	DTCER179
	INTB180	180	02D0h	エッジ	○	○	○	×	×	IER16.IEN4	IPR180	DTCER180
	INTB181	181	02D4h	エッジ	○	○	○	×	×	IER16.IEN5	IPR181	DTCER181
	INTB182	182	02D8h	エッジ	○	○	○	×	×	IER16.IEN6	IPR182	DTCER182
	INTB183	183	02DCh	エッジ	○	○	○	×	×	IER16.IEN7	IPR183	DTCER183
	INTB184	184	02E0h	エッジ	○	○	○	×	×	IER17.IEN0	IPR184	DTCER184
	INTB185	185	02E4h	エッジ	○	○	○	×	×	IER17.IEN1	IPR185	DTCER185
	INTB186	186	02E8h	エッジ	○	○	○	×	×	IER17.IEN2	IPR186	DTCER186
	INTB187	187	02ECh	エッジ	○	○	○	×	×	IER17.IEN3	IPR187	DTCER187
	INTB188	188	02F0h	エッジ	○	○	○	×	×	IER17.IEN4	IPR188	DTCER188
	INTB189	189	02F4h	エッジ	○	○	○	×	×	IER17.IEN5	IPR189	DTCER189
	INTB190	190	02F8h	エッジ	○	○	○	×	×	IER17.IEN6	IPR190	DTCER190
	INTB191	191	02FCh	エッジ	○	○	○	×	×	IER17.IEN7	IPR191	DTCER191
	INTB192	192	0300h	エッジ	○	○	○	×	×	IER18.IEN0	IPR192	DTCER192
	INTB193	193	0304h	エッジ	○	○	○	×	×	IER18.IEN1	IPR193	DTCER193
	INTB194	194	0308h	エッジ	○	○	○	×	×	IER18.IEN2	IPR194	DTCER194
	INTB195	195	030Ch	エッジ	○	○	○	×	×	IER18.IEN3	IPR195	DTCER195
	INTB196	196	0310h	エッジ	○	○	○	×	×	IER18.IEN4	IPR196	DTCER196
INTB197	197	0314h	エッジ	○	○	○	×	×	IER18.IEN5	IPR197	DTCER197	
INTB198	198	0318h	エッジ	○	○	○	×	×	IER18.IEN6	IPR198	DTCER198	
INTB199	199	031Ch	エッジ	○	○	○	×	×	IER18.IEN7	IPR199	DTCER199	
INTB200	200	0320h	エッジ	○	○	○	×	×	IER19.IEN0	IPR200	DTCER200	
INTB201	201	0324h	エッジ	○	○	○	×	×	IER19.IEN1	IPR201	DTCER201	
INTB202	202	0328h	エッジ	○	○	○	×	×	IER19.IEN2	IPR202	DTCER202	
INTB203	203	032Ch	エッジ	○	○	○	×	×	IER19.IEN3	IPR203	DTCER203	
INTB204	204	0330h	エッジ	○	○	○	×	×	IER19.IEN4	IPR204	DTCER204	
INTB205	205	0334h	エッジ	○	○	○	×	×	IER19.IEN5	IPR205	DTCER205	
INTB206	206	0338h	エッジ	○	○	○	×	×	IER19.IEN6	IPR206	DTCER206	
INTB207	207	033Ch	エッジ	○	○	○	×	×	IER19.IEN7	IPR207	DTCER207	
PERIA (選択型割り 込みA(注6))	INTA208	208(注4)	0340h	エッジ	○	○	○	×	×	IER1A.IEN0	IPR208	DTCER208
	INTA209	209(注5)	0344h	エッジ	○	○	○	×	×	IER1A.IEN1	IPR209	DTCER209
	INTA210	210	0348h	エッジ	○	○	○	×	×	IER1A.IEN2	IPR210	DTCER210
	INTA211	211	034Ch	エッジ	○	○	○	×	×	IER1A.IEN3	IPR211	DTCER211
	INTA212	212	0350h	エッジ	○	○	○	×	×	IER1A.IEN4	IPR212	DTCER212
	INTA213	213	0354h	エッジ	○	○	○	×	×	IER1A.IEN5	IPR213	DTCER213
	INTA214	214	0358h	エッジ	○	○	○	×	×	IER1A.IEN6	IPR214	DTCER214

表 15.5 割り込みベクタテーブル (6 / 6)

割り込み 要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
PERIA (選択型割り 込みA(注6))	INTA215	215	035Ch	エッジ	○	○	○	×	×	IER1A.IEN7	IPR215	DTCER215
	INTA216	216	0360h	エッジ	○	○	○	×	×	IER1B.IEN0	IPR216	DTCER216
	INTA217	217	0364h	エッジ	○	○	○	×	×	IER1B.IEN1	IPR217	DTCER217
	INTA218	218	0368h	エッジ	○	○	○	×	×	IER1B.IEN2	IPR218	DTCER218
	INTA219	219	036Ch	エッジ	○	○	○	×	×	IER1B.IEN3	IPR219	DTCER219
	INTA220	220	0370h	エッジ	○	○	○	×	×	IER1B.IEN4	IPR220	DTCER220
	INTA221	221	0374h	エッジ	○	○	○	×	×	IER1B.IEN5	IPR221	DTCER221
	INTA222	222	0378h	エッジ	○	○	○	×	×	IER1B.IEN6	IPR222	DTCER222
	INTA223	223	037Ch	エッジ	○	○	○	×	×	IER1B.IEN7	IPR223	DTCER223
	INTA224	224	0380h	エッジ	○	○	○	×	×	IER1C.IEN0	IPR224	DTCER224
	INTA225	225	0384h	エッジ	○	○	○	×	×	IER1C.IEN1	IPR225	DTCER225
	INTA226	226	0388h	エッジ	○	○	○	×	×	IER1C.IEN2	IPR226	DTCER226
	INTA227	227	038Ch	エッジ	○	○	○	×	×	IER1C.IEN3	IPR227	DTCER227
	INTA228	228	0390h	エッジ	○	○	○	×	×	IER1C.IEN4	IPR228	DTCER228
	INTA229	229	0394h	エッジ	○	○	○	×	×	IER1C.IEN5	IPR229	DTCER229
	INTA230	230	0398h	エッジ	○	○	○	×	×	IER1C.IEN6	IPR230	DTCER230
	INTA231	231	039Ch	エッジ	○	○	○	×	×	IER1C.IEN7	IPR231	DTCER231
	INTA232	232	03A0h	エッジ	○	○	○	×	×	IER1D.IEN0	IPR232	DTCER232
	INTA233	233	03A4h	エッジ	○	○	○	×	×	IER1D.IEN1	IPR233	DTCER233
	INTA234	234	03A8h	エッジ	○	○	○	×	×	IER1D.IEN2	IPR234	DTCER234
	INTA235	235	03ACh	エッジ	○	○	○	×	×	IER1D.IEN3	IPR235	DTCER235
	INTA236	236	03B0h	エッジ	○	○	○	×	×	IER1D.IEN4	IPR236	DTCER236
	INTA237	237	03B4h	エッジ	○	○	○	×	×	IER1D.IEN5	IPR237	DTCER237
	INTA238	238	03B8h	エッジ	○	○	○	×	×	IER1D.IEN6	IPR238	DTCER238
	INTA239	239	03BCh	エッジ	○	○	○	×	×	IER1D.IEN7	IPR239	DTCER239
	INTA240	240	03C0h	エッジ	○	○	○	×	×	IER1E.IEN0	IPR240	DTCER240
	INTA241	241	03C4h	エッジ	○	○	○	×	×	IER1E.IEN1	IPR241	DTCER241
	INTA242	242	03C8h	エッジ	○	○	○	×	×	IER1E.IEN2	IPR242	DTCER242
	INTA243	243	03CCh	エッジ	○	○	○	×	×	IER1E.IEN3	IPR243	DTCER243
	INTA244	244	03D0h	エッジ	○	○	○	×	×	IER1E.IEN4	IPR244	DTCER244
	INTA245	245	03D4h	エッジ	○	○	○	×	×	IER1E.IEN5	IPR245	DTCER245
	INTA246	246	03D8h	エッジ	○	○	○	×	×	IER1E.IEN6	IPR246	DTCER246
INTA247	247	03DCh	エッジ	○	○	○	×	×	IER1E.IEN7	IPR247	DTCER247	
INTA248	248	03E0h	エッジ	○	○	○	×	×	IER1F.IEN0	IPR248	DTCER248	
INTA249	249	03E4h	エッジ	○	○	○	×	×	IER1F.IEN1	IPR249	DTCER249	
INTA250	250	03E8h	エッジ	○	○	○	×	×	IER1F.IEN2	IPR250	DTCER250	
INTA251	251	03ECh	エッジ	○	○	○	×	×	IER1F.IEN3	IPR251	DTCER251	
INTA252	252	03F0h	エッジ	○	○	○	×	×	IER1F.IEN4	IPR252	DTCER252	
INTA253	253	03F4h	エッジ	○	○	○	×	×	IER1F.IEN5	IPR253	DTCER253	
INTA254	254	03F8h	エッジ	○	○	○	×	×	IER1F.IEN6	IPR254	DTCER254	
INTA255	255	03FCh	エッジ	○	○	○	×	×	IER1F.IEN7	IPR255	DTCER255	

注. 本表は最大仕様の割り込みベクタテーブルを示しています。製品ごとの割り込みベクタは、表 1.2 に示した機能に対応します。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

注1. グループ割り込みの要因は、「表 15.7 グループ割り込み要因の一覧」を参照してください。

注2. 対応するノンマスクابل割り込み許可ビットが“0” (禁止) の場合です。

注3. 選択型割り込みBの割り込み要因は「表 15.3 選択型割り込みB要因一覧」を参照してください。なお、割り込み要因に

- よっては、DTC、DMAC、EXDMACを起動できないものがありますので注意してください。
- 注4. EXDMAC0を起動させることができます。割り込みベクタ番号144に割り当てられた割り込み要因を起動要因にするには、SELEXDR.SELEXD0ビットを“0”に設定してください。割り込みベクタ番号208に割り当てられた割り込みを起動要因にするには、SELEXDR.SELEXD0ビットを“1”に設定してください。詳細は、「15.2.29 選択型割り込みB要因選択レジスタn (SLIBRn) (n = 144 ~ 207)」、「15.2.30 選択型割り込みA要因選択レジスタn (SLIARn) (n = 208 ~ 255)」、「15.2.31 EXDMAC起動割り込み選択レジスタ (SELEXDR)」を参照してください。
- 注5. EXDMAC1を起動させることができます。割り込みベクタ番号145に割り当てられた割り込みを起動要因にするには、SELEXDR.SELEXD1ビットを“0”に設定してください。ベクタ番号209に割り当てられた割り込みを起動要因にするためには、SELEXDR.SELEXD1ビットを“1”に設定してください。
- 注6. 選択型割り込みAの割り込み要因は「表15.4 選択型割り込みA要因一覧」を参照してください。なお、要因によっては、DTC、DMAC、EXDMACを起動できないものがありますので注意してください。

15.3.2 高速割り込みのベクタ領域

高速割り込みに設定された割り込みが使用するベクタ領域は、CPUの高速割り込みベクタレジスタ (FINTV) です。FINTVレジスタは高速割り込みを許可する前に設定してください。

15.3.3 ノンмасカブル割り込みのベクタ領域

ノンмасカブル割り込みが使用するベクタ領域は、例外ベクタテーブルにあります。

例外ベクタテーブルは、CPUの例外テーブルレジスタ (EXTB) に設定したアドレスを先頭とする128バイト (4バイト×32要因) の領域に配置されます。EXTBレジスタはノンмасカブル割り込みを許可する前に設定してください。また、EXTBレジスタには4の倍数を設定してください。

15.4 割り込みの種類

割り込みは、CPUのプロセッサステータスワード(PSW)のIビットやIPL[3:0]ビットによりマスクが可能なマスク可能割り込みと、それらのビットに関わらずCPUに受け付けられるノンマスク可能割り込みに分類できます。マスク可能割り込みのうち、ベクタ番号0~127の割り込み要因は割り当てが固定されていますが、ベクタ番号128~255の割り込み要因は、複数の要因から任意の1つを選択して割り当てることができます(選択型割り込み)。

なお、本章では、マスク可能割り込みのことを単に「割り込み」と称します。
割り込みの種類を図15.2に示します。

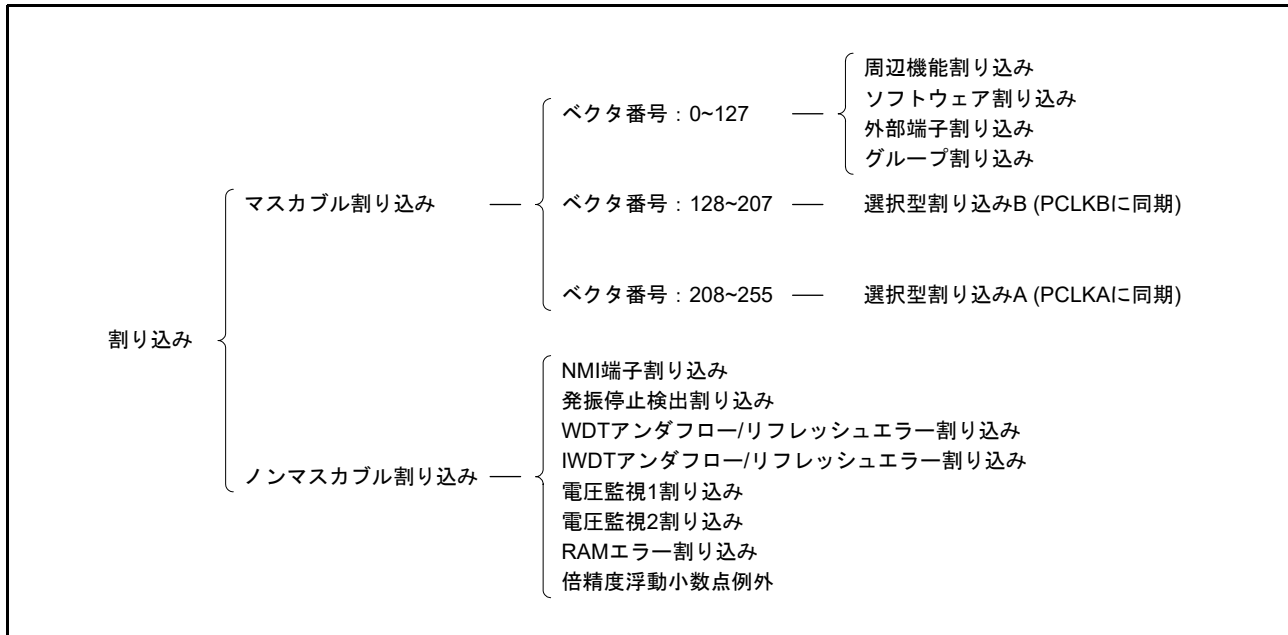


図 15.2 割り込みの種類

15.4.1 周辺機能割り込み

周辺機能による割り込みです。ベクタ番号0~127に割り当てられている周辺機能の割り込み要因を、選択型割り込みに割り当てすることはできません。選択型割り込みについては「15.4.5 選択型割り込み」を参照してください。

15.4.2 ソフトウェア割り込み

SWINTR.SWINTビット、SWINT2R.SWINT2ビットに“1”を書くと、それぞれSWINT割り込み、SWINT2割り込み要求が発生します。

15.4.3 外部端子割り込み

外部端子割り込みは、IRQ_i端子(i=0~15)に入力された信号により発生する割り込みです。外部端子割り込みの設定手順については「15.7.4 外部端子割り込みの設定手順」を参照してください。

15.4.4 グループ割り込み

複数の周辺モジュールの割り込み要求 (最大 32 本) をグループ化し、1 つの割り込み要求とした割り込みです。周辺モジュールの動作クロック (ICLK、PCLKB または PCLKA) と、割り込み検出方法 (エッジ検出またはレベル検出) によって、それぞれ異なるグループにグループ化されています。

(1) グループ割り込みの種類

グループ割り込みの種類を表 15.6 に示します。

表 15.6 グループ割り込みの種類

割り込みベクタ番号	割り込み名称	グループ化されている割り込み要因	
		周辺モジュールの動作クロック	割り込み検出方法
17	GROUPIE0	ICLK	エッジ検出
106	GROUPBE0	PCLKB	
110	GROUPBL0		レベル検出
111	GROUPBL1		
107	GROUPBL2		
112	GROUPAL0	PCLKA	
113	GROUPAL1		

(2) グループ割り込みの構成

グループ割り込み要求許可レジスタ (GENIE0, GENBE0, GENBL0, GENBL1, GENBL2, GENAL0, GENAL1 (注 1)) の EN_j ビット (j = 0 ~ 31) が “1” のとき、対応する割り込み要求が発生すると、グループ割り込み要求レジスタ (GRPIE0, GRPBE0, GRPBL0, GRPBL1, GRPBL2, GRPAL0, GRPAL1 (注 1)) の IS_j フラグが “1” になります。

グループ割り込みの構成を図 15.3 に示します。

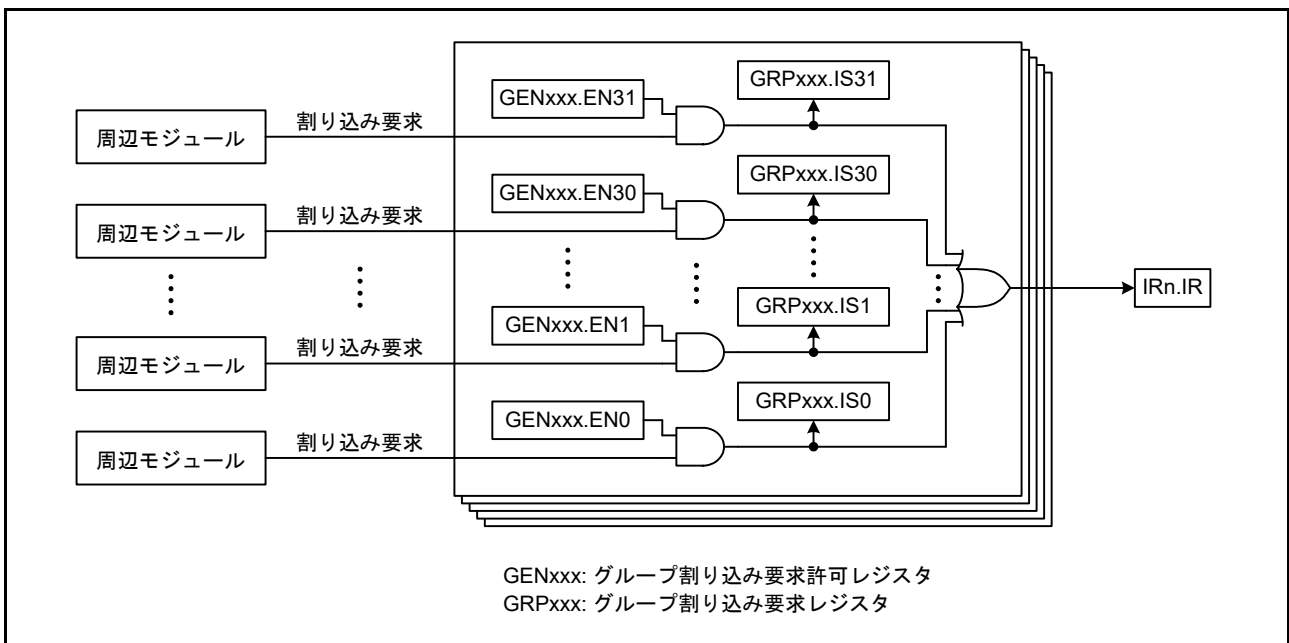


図 15.3 グループ割り込みの構成 (n = 17, 106, 107, 110 ~ 113)

注 1. 割り込み要因が割り当てられていないグループのレジスタは存在しません。

(3) グループ化された割り込み要因

グループ割り込みに割り当てられた割り込み要因の一覧を表 15.7 に示します。

表 15.7 グループ割り込み要因の一覧 (1 / 3)

グループ	番号	割り込み要求発生元	名称	割り込み要求許可ビット	割り込みステータスフラグ	割り込み要因クリアビット	ベクタ番号 (IRn.IR)
IE0	0	DPFPU	DPFPUEX (倍精度浮動小数点例外)	GENIE0.EN0	GRPIE0.IS0	GCRIE0.CLR0	17
	1~31	予約	—	—	—	—	
BE0	0	CAN0	ERS0 (エラー割り込み)	GENBE0.EN0	GRPBE0.IS0	GCRBE0.CLR0	106
	1	CAN1	ERS1 (エラー割り込み)	GENBE0.EN1	GRPBE0.IS1	GCRBE0.CLR1	
	2~31	予約	—	—	—	—	
BL0	0	SCI0	TEI0 (送信完了)	GENBL0.EN0	GRPBL0.IS0	—	110
	1		ERI0 (受信エラー)	GENBL0.EN1	GRPBL0.IS1	—	
	2	SCI1	TEI1 (送信完了)	GENBL0.EN2	GRPBL0.IS2	—	
	3		ERI1 (受信エラー)	GENBL0.EN3	GRPBL0.IS3	—	
	4	SCI2	TEI2 (送信完了)	GENBL0.EN4	GRPBL0.IS4	—	
	5		ERI2 (受信エラー)	GENBL0.EN5	GRPBL0.IS5	—	
	6	SCI3	TEI3 (送信完了)	GENBL0.EN6	GRPBL0.IS6	—	
	7		ERI3 (受信エラー)	GENBL0.EN7	GRPBL0.IS7	—	
	8	SCI4	TEI4 (送信完了)	GENBL0.EN8	GRPBL0.IS8	—	
	9		ERI4 (受信エラー)	GENBL0.EN9	GRPBL0.IS9	—	
	10	SCI5	TEI5 (送信完了)	GENBL0.EN10	GRPBL0.IS10	—	
	11		ERI5 (受信エラー)	GENBL0.EN11	GRPBL0.IS11	—	
	12	SCI6	TEI6 (送信完了)	GENBL0.EN12	GRPBL0.IS12	—	
	13		ERI6 (受信エラー)	GENBL0.EN13	GRPBL0.IS13	—	
	14	SCI7	TEI7 (送信完了)	GENBL0.EN14	GRPBL0.IS14	—	
	15		ERI7 (受信エラー)	GENBL0.EN15	GRPBL0.IS15	—	
	16	SCI12	TEI12 (送信完了)	GENBL0.EN16	GRPBL0.IS16	—	
	17		ERI12 (受信エラー)	GENBL0.EN17	GRPBL0.IS17	—	
	18	SCI12	SCIX0 (Break Field Low width 検出)	GENBL0.EN18	GRPBL0.IS18	—	
	19		SCIX1 (Control Field 0一致) (Control Field 1一致) (プライオリティインタラプトビット検出)	GENBL0.EN19	GRPBL0.IS19	—	
	20		SCIX2 (バス衝突検出)	GENBL0.EN20	GRPBL0.IS20	—	
	21		SCIX3 (有効エッジ検出)	GENBL0.EN21	GRPBL0.IS21	—	
	22~25	予約	—	—	—	—	
	26	CAC	FERRI (周波数エラー)	GENBL0.EN26	GRPBL0.IS26	—	
	27		MENDI (測定終了)	GENBL0.EN27	GRPBL0.IS27	—	
	28		OVFI (オーバフロー割り込み)	GENBL0.EN28	GRPBL0.IS28	—	
	29	DOC	DOPCI (データ演算回路割り込み)	GENBL0.EN29	GRPBL0.IS29	—	
	30, 31	予約	—	—	—	—	

表 15.7 グループ割り込み要因の一覧 (2 / 3)

グループ	番号	割り込み 要求発生元	名称	割り込み要求 許可ビット	割り込みステータス フラグ	割り込み要因 クリアビット	ベクタ番号 (IRn.IR)		
BL1	0~2	予約	—	—	—	—	111		
	3	SDHI	CDETI (カード検出割り込み)	GENBL1.EN3	GRPBL1.IS3	—			
	4		CACI (カードアクセス割り込み)	GENBL1.EN4	GRPBL1.IS4	—			
	5		SDACI (SDIOアクセス割り込み)	GENBL1.EN5	GRPBL1.IS5	—			
	6~8	予約	—	—	—	—			
	9	POE3	OEI1 (アウトプットイネーブル割り込み1)	GENBL1.EN9	GRPBL1.IS9	—			
	10		OEI2 (アウトプットイネーブル割り込み2)	GENBL1.EN10	GRPBL1.IS10	—			
	11		OEI3 (アウトプットイネーブル割り込み3)	GENBL1.EN11	GRPBL1.IS11	—			
	12		OEI4 (アウトプットイネーブル割り込み4)	GENBL1.EN12	GRPBL1.IS12	—			
	13	RIIC0	TEI0 (送信完了)	GENBL1.EN13	GRPBL1.IS13	—			
	14		EEI0 (通信エラー/通信イベント)	GENBL1.EN14	GRPBL1.IS14	—			
	15	RIIC2	TEI2 (送信完了)	GENBL1.EN15	GRPBL1.IS15	—			
	16		EEI2 (通信エラー/通信イベント)	GENBL1.EN16	GRPBL1.IS16	—			
	17	SSIE0	SSIF0 (ステータス割り込み)	GENBL1.EN17	GRPBL1.IS17	—			
	18, 19	予約	—	—	—	—			
	20	S12AD	S12CMPAI (コンペア割り込み)	GENBL1.EN20	GRPBL1.IS20	—			
	21		S12CMPBI (コンペア割り込み)	GENBL1.EN21	GRPBL1.IS21	—			
	22	S12AD1	S12CMPAI1 (コンペア割り込み)	GENBL1.EN22	GRPBL1.IS22	—			
	23		S12CMPBI1 (コンペア割り込み)	GENBL1.EN23	GRPBL1.IS23	—			
	24	SCI8	TEI8 (送信完了)	GENBL1.EN24	GRPBL1.IS24	—			
	25		ERI8 (受信エラー)	GENBL1.EN25	GRPBL1.IS25	—			
	26	SCI9	TEI9 (送信完了)	GENBL1.EN26	GRPBL1.IS26	—			
	27		ERI9 (受信エラー)	GENBL1.EN27	GRPBL1.IS27	—			
	28	RIIC1	TEI1 (送信完了)	GENBL1.EN28	GRPBL1.IS28	—			
	29		EEI1 (通信エラー/通信イベント)	GENBL1.EN29	GRPBL1.IS29	—			
	30, 31	予約	—	—	—	—			
	BL2	0~31	予約	—	—	—		—	107
	AL0	0~7	予約	—	—	—		—	112
		8	SCI10	TEI10 (送信完了)	GENAL0.EN8	GRPAL0.IS8		—	
		9		ERI10 (受信エラー)	GENAL0.EN9	GRPAL0.IS9		—	
		10, 11	予約	—	—	—		—	
12		SCI11	TEI11 (送信完了)	GENAL0.EN12	GRPAL0.IS12	—			
13			ERI11 (受信エラー)	GENAL0.EN13	GRPAL0.IS13	—			
14, 15		予約	—	—	—	—			
16		RSPI0	SPII0 (アイドル割り込み)	GENAL0.EN16	GRPAL0.IS16	—			
17			SPEI0 (エラー割り込み)	GENAL0.EN17	GRPAL0.IS17	—			
18		RSPI1	SPII1 (アイドル割り込み)	GENAL0.EN18	GRPAL0.IS18	—			
19			SPEI1 (エラー割り込み)	GENAL0.EN19	GRPAL0.IS19	—			
20		RSPI2	SPII2 (アイドル割り込み)	GENAL0.EN20	GRPAL0.IS20	—			
21			SPEI2 (エラー割り込み)	GENAL0.EN21	GRPAL0.IS21	—			
22	RSPIA0	SPII (アイドル割り込み)	GENAL0.EN22	GRPAL0.IS22	—				
23		SPEI (エラー割り込み)	GENAL0.EN23	GRPAL0.IS23	—				

表 15.7 グループ割り込み要因の一覧 (3 / 3)

グループ	番号	割り込み要求発生元	名称	割り込み要求許可ビット	割り込みステータスフラグ	割り込み要因クリアビット	ベクタ番号 (IRn.IR)
AL0	24	RSCI10	TEI (送信完了/コンディション生成完了)	GENAL0.EN24	GRPAL0.IS24	—	112
	25		ERI (受信エラー)	GENAL0.EN25	GRPAL0.IS25	—	
	26		BFD (Break フィールド検出)	GENAL0.EN26	GRPAL0.IS26	—	
	27	RSCI11	TEI (送信完了/コンディション生成完了)	GENAL0.EN27	GRPAL0.IS27	—	
	28		ERI (受信エラー)	GENAL0.EN28	GRPAL0.IS28	—	
	29		BFD (Break フィールド検出)	GENAL0.EN29	GRPAL0.IS29	—	
	30	QSPIX	ERI (ROM アクセスエラー)	GENAL0.EN30	GRPAL0.IS30	—	
31	予約	—	—	—	—		
AL1	0~11	予約	—	—	—	—	113
	12	RIICHS0	TEI (送信完了)	GENAL1.EN12	GRPAL1.IS12	—	
	13		EI (通信エラー/通信イベント)	GENAL1.EN13	GRPAL1.IS13	—	
	14~31	予約	—	—	—	—	

15.4.5 選択型割り込み

割り込みベクタ番号 128 ~ 255 には、複数の周辺モジュールの割り込み要因から任意の 1 つを選択して割り当てることができます。周辺モジュールの動作クロックにより、選択型割り込み B と選択型割り込み A に分類されます。

選択型割り込みの構成を図 15.4 に示します。

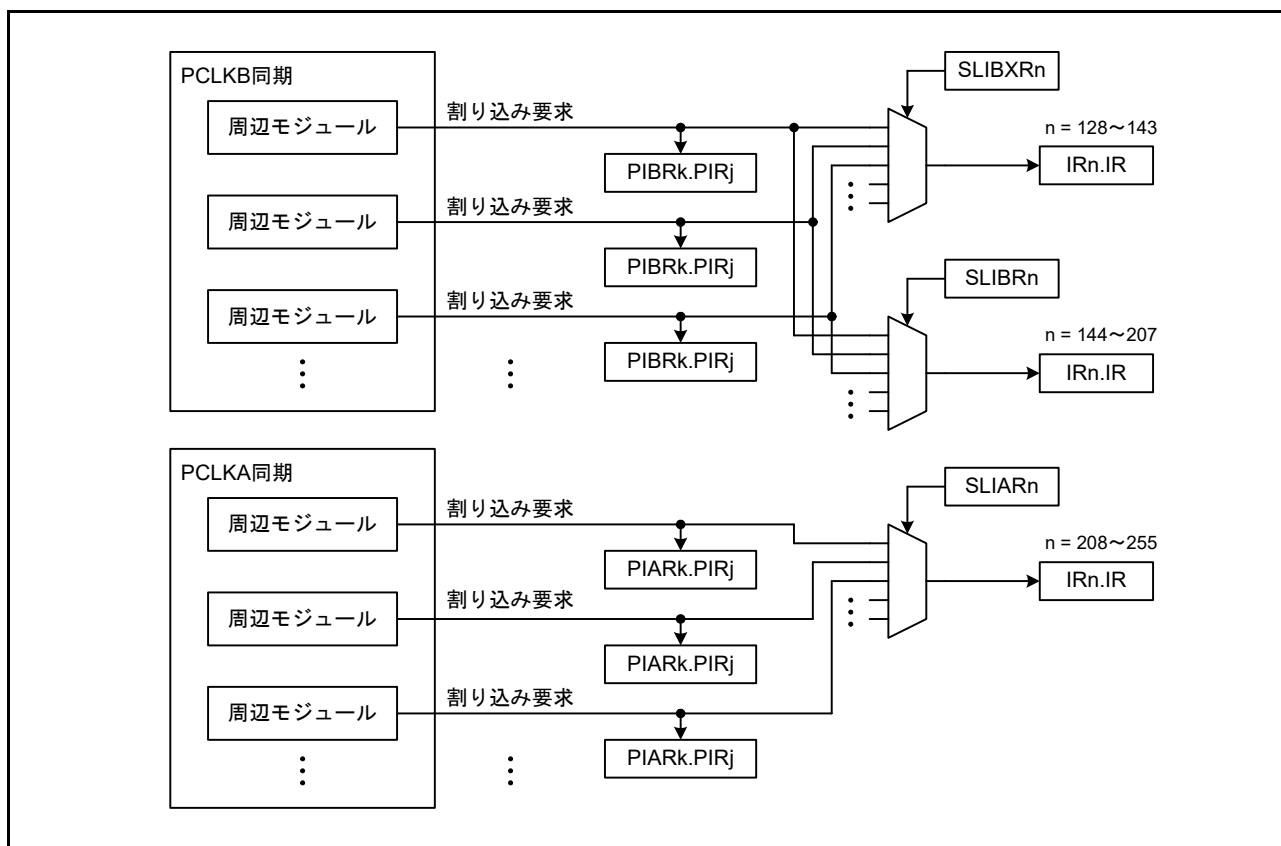


図 15.4 選択型割り込みの構成

15.4.5.1 選択型割り込み B

選択型割り込みに分類された割り込み要因のうち、PCLKB に同期して動作する周辺モジュールの割り込み要因は、割り込みベクタ番号 128 ～ 207 に割り当てることができます。選択型割り込み B の略称は PERIB、割り込みの名称は INTB128 ～ INTB207 で表されます。

選択型割り込み B に割り当てることができる割り込み要因については「表 15.3 選択型割り込み B 要因一覧」を参照してください。

15.4.5.2 選択型割り込み A

選択型割り込みに分類された割り込み要因のうち、PCLKA に同期して動作する周辺モジュールの割り込み要因は、割り込みベクタ番号 208 ～ 255 に割り当てることができます。選択型割り込み A の略称は PERIA、割り込みの名称は INTA208 ～ INTA255 で表されます。

選択型割り込み A に割り当てることができる割り込み要因については「表 15.4 選択型割り込み A 要因一覧」を参照してください。

15.4.5.3 選択型割り込みによる EXDMAC の起動要因

選択型割り込み B と選択型割り込み A の要因には、EXDMAC0 または EXDMAC1 の起動要因として使用できるものがあります。

EXDMAC0 の起動要因として使用するには、割り込みベクタ番号 144 (INTB144) または 208 (INTA208) に当該割り込み要因を割り当ててください。また、EXDMAC1 の起動要因として使用するには、割り込みベクタ番号 145 (INTB145) または 209 (INTA209) に当該割り込み要因を割り当ててください。

なお、EXDMAC の起動要因として使用できる割り込み要因は、選択型割り込み B の TPU1.TGI1A 割り込みと、選択型割り込み A の MTU1.TGIA1 割り込みだけです。

SELEXDR レジスタの SELEXD0 ビット、SELEXD1 ビットで、それぞれ EXDMAC0、EXDMAC1 の起動要因を選択できます。選択型割り込みによる EXDMAC の起動要因の関係を表 15.8 に示します。

表 15.8 選択型割り込みによる EXDMAC の起動要因

SELEXDR レジスタ	ビットの値	割り込みベクタ番号	割り込み要因
SELEXD0 ビット (EXDMAC0)	0	144 (INTB144)	TPU1.TGI1A (インプットキャプチャ/コンペアマッチ)
	1	208 (INTA208)	MTU1.TGIA1 (インプットキャプチャ/コンペアマッチ)
SELEXD1 ビット (EXDMAC1)	0	145 (INTB145)	TPU1.TGI1A (インプットキャプチャ/コンペアマッチ)
	1	209 (INTA209)	MTU1.TGIA1 (インプットキャプチャ/コンペアマッチ)

15.4.6 ノンмасカブル割り込み

ノンмасカブル割り込みには NMI 端子割り込み、発振停止検出割り込み、WDT アンダフロー/リフレッシュエラー割り込み、IWDT アンダフロー/リフレッシュエラー割り込み、電圧監視 1 割り込み、電圧監視 2 割り込み、RAM エラー割り込み、倍精度浮動小数点例外があります。

高速割り込みを含むすべての割り込みの中で最も優先レベルの高い割り込みで、CPU のプロセッサステータスワード (PSW) の I ビット (割り込み許可ビット) や IPL[3:0] ビット (プロセッサ割り込み優先レベル) の状態にかかわらず受け付けられます。

ノンмасカブル割り込みが発生しているかどうかは、NMISR レジスタで確認できます。

ノンмасカブル割り込みの割り込み要求先は CPU のみで、DTC や DMAC を選択することはできません。

15.5 割り込みの検出

割り込み要求の検出方法には、レベル検出とエッジ検出の2種類があります。

周辺モジュールからの割り込み要求は、割り込み要因ごとにエッジ検出またはレベル検出のいずれかに決まっています。外部端子割り込みの割り込み要求は、IRQCRi.IRQMD[1:0] ビット ($i=0 \sim 15$) で、エッジ検出とレベル検出を切り替えることができます。

各割り込み要因の検出方法は、「表 15.5 割り込みベクタテーブル」を参照してください。

グループ割り込みは、割り込み要求の検出方法によって、割り込み要因が分類されています。グループIE0、BE0に分類された割り込み要因の割り込み検出方法はエッジ検出、グループBL0、BL1、BL2、AL0、AL1に分類された割り込み要因の割り込み検出方法はレベル検出です。ただし、グループ割り込み(GROUPIE0, GROUPBE0, GROUPBL0, GROUPBL1, GROUPBL2, GROUPAL0, GROUPAL1) 自体の割り込み検出方法はレベル検出になります。

グループ割り込みについては「15.4.4 グループ割り込み」を、グループ割り込みの割り込み要求については「15.5.3 エッジ検出グループ割り込み」および「15.5.4 レベル検出グループ割り込み」を参照してください。

15.5.1 エッジ検出割り込み

エッジ検出割り込みのIRn.IR フラグ ($n=023 \sim 255$) の動作を図 15.5 に示します。

割り込み要求信号の立ち上がりエッジを検出するとIRn.IR フラグが“1”になります。このとき、周辺モジュールの割り込み要求を禁止してもIRn.IR フラグは“0”になりません。CPUが割り込み要求を受け付けるか、DTC/DMACが転送要求を受け付けるとIRn.IR フラグが自動的に“0”になります。ソフトウェアで“0”にする必要はありません。DTC/DMACによるIRn.IR フラグのクリア条件の詳細については「表 15.9 DTC/DMAC 起動時の動作」を参照してください。

なお、割り込みベクタ番号 64～79 の外部端子割り込み、および割り込みベクタ番号 88～95 の割り込み要因については、割り込み要求の発生からIRn.IR フラグが“1”になるまでの時間が他の割り込みと異なります。外部端子割り込みの場合、IRQi 端子 ($i=0 \sim 15$) に信号を入力してから内部遅延 + PCLKB の 2 サイクル分の遅延が発生します。また、割り込みベクタ番号 88～95 の割り込みの場合、PCLKB の 2 サイクル分の遅延が発生します。

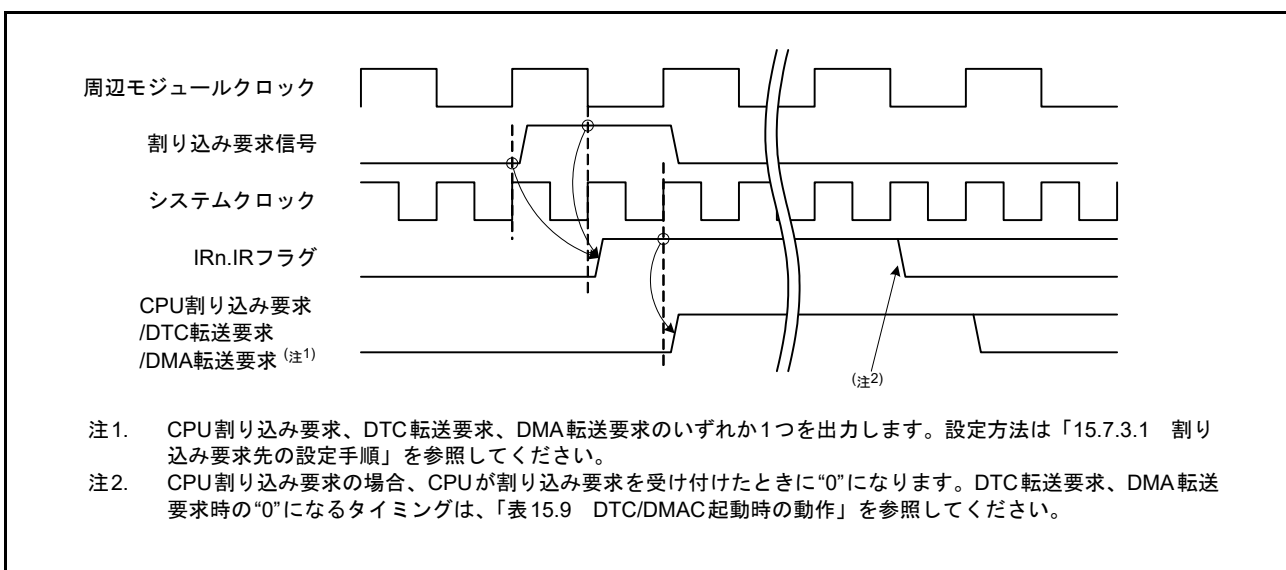


図 15.5 エッジ検出割り込みのIRn.IR フラグの動作

(1) 連続した割り込み要求信号の検出

割り込み要求信号が毎サイクル発生した場合、後続の割り込み要求信号は検出できません。連続した割り込み要求信号を受け付けるには、システムクロックと周辺モジュールクロックのうち周波数が低い方のクロックで2サイクル以上の間隔をあけてください。連続した割り込み要求信号を受け付ける間隔を図15.6に示します。

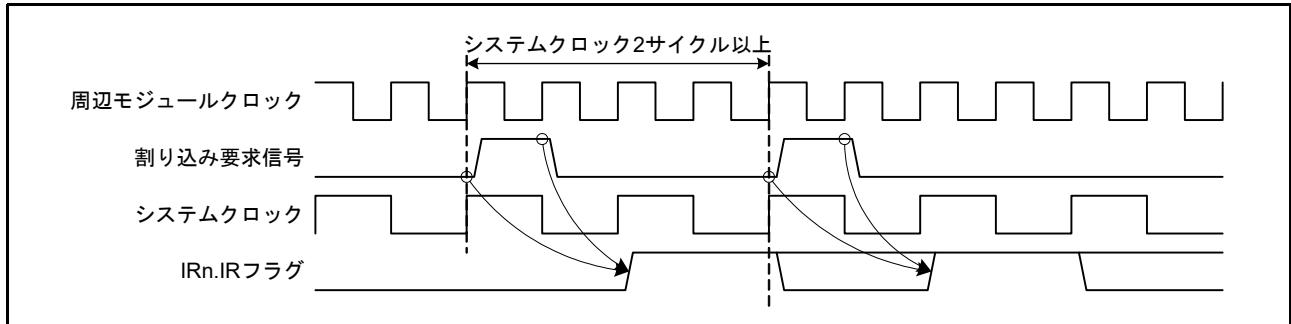


図 15.6 連続した割り込み要求信号の受け付け (システムクロック周波数 < 周辺モジュールクロック周波数の場合)

なお、割り込み要求が発生して IRn.IR フラグ (n = 023 ~ 255) が“1”になっているときに再度発生した割り込み要求は無視されます。

ただし、SCI、RSCI、RIIC、RIICHS、RSPI、RSPIA、QSPIX、SSIE、SDHI の各モジュールについては、送信割り込み要求と受信割り込み要求、バッファアクセス割り込み要求に限り、IRn.IR フラグが“1”のときに発生した割り込み要求もモジュール内部で保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、各周辺モジュール章の割り込みの説明を参照してください。

IRn.IR フラグの再セットのタイミングを図15.7に示します。

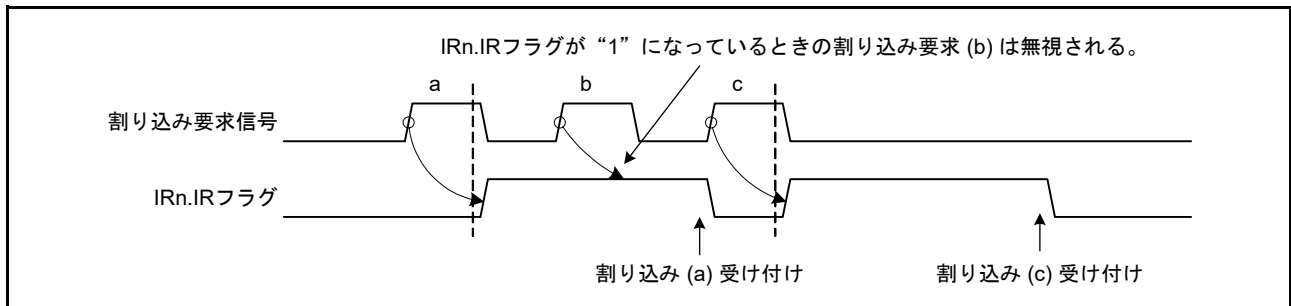


図 15.7 IRn.IR フラグの再セットのタイミング

(2) IRn.IR フラグと割り込み要求許可ビットの関係

IRn.IR フラグが“1”になった後、対応する周辺モジュールの割り込み要求許可ビットを“0”にしても、IRn.IR フラグは“0”になりません (図 15.8)。

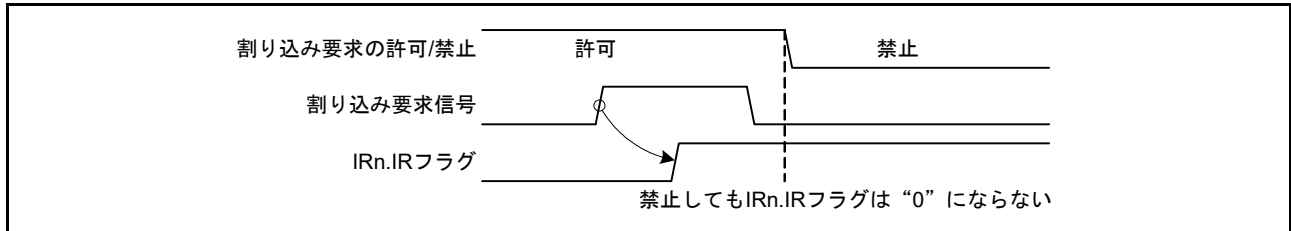


図 15.8 割り込み要求の禁止と IRn.IR フラグの関係

15.5.2 レベル検出割り込み

レベル検出割り込みの割り込み要求信号と、IRn.IR フラグ (n = 016 ~ 124) の動作を図 15.9 に示します。

割り込み要求信号が“1”になっている間、IRn.IR フラグは“1”を保持します。IRn.IR フラグを“0”にするには、対応する周辺モジュールの割り込み要求信号を“0”にする必要があります。対応する周辺モジュールの割り込みステータスフラグを“0”にし、その値が IRn.IR フラグに反映されるだけの時間を待ってから、割り込み処理ルーチンを終了してください。反映待ちの具体的な方法については、「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください。

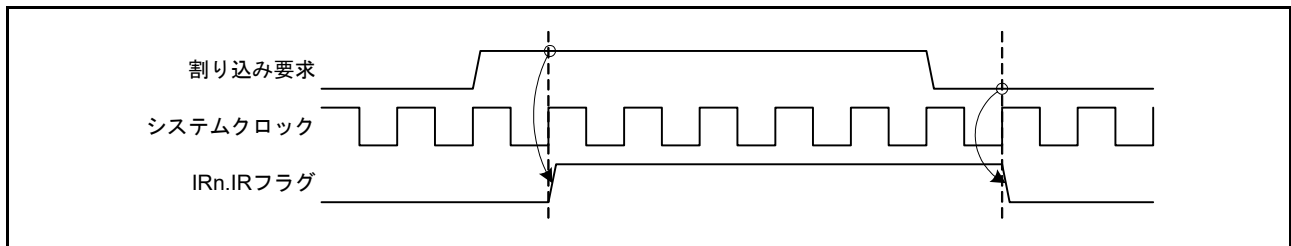


図 15.9 レベル検出割り込みの IRn.IR フラグの動作

レベル検出割り込みの割り込み処理手順の例を図 15.10 に示します。

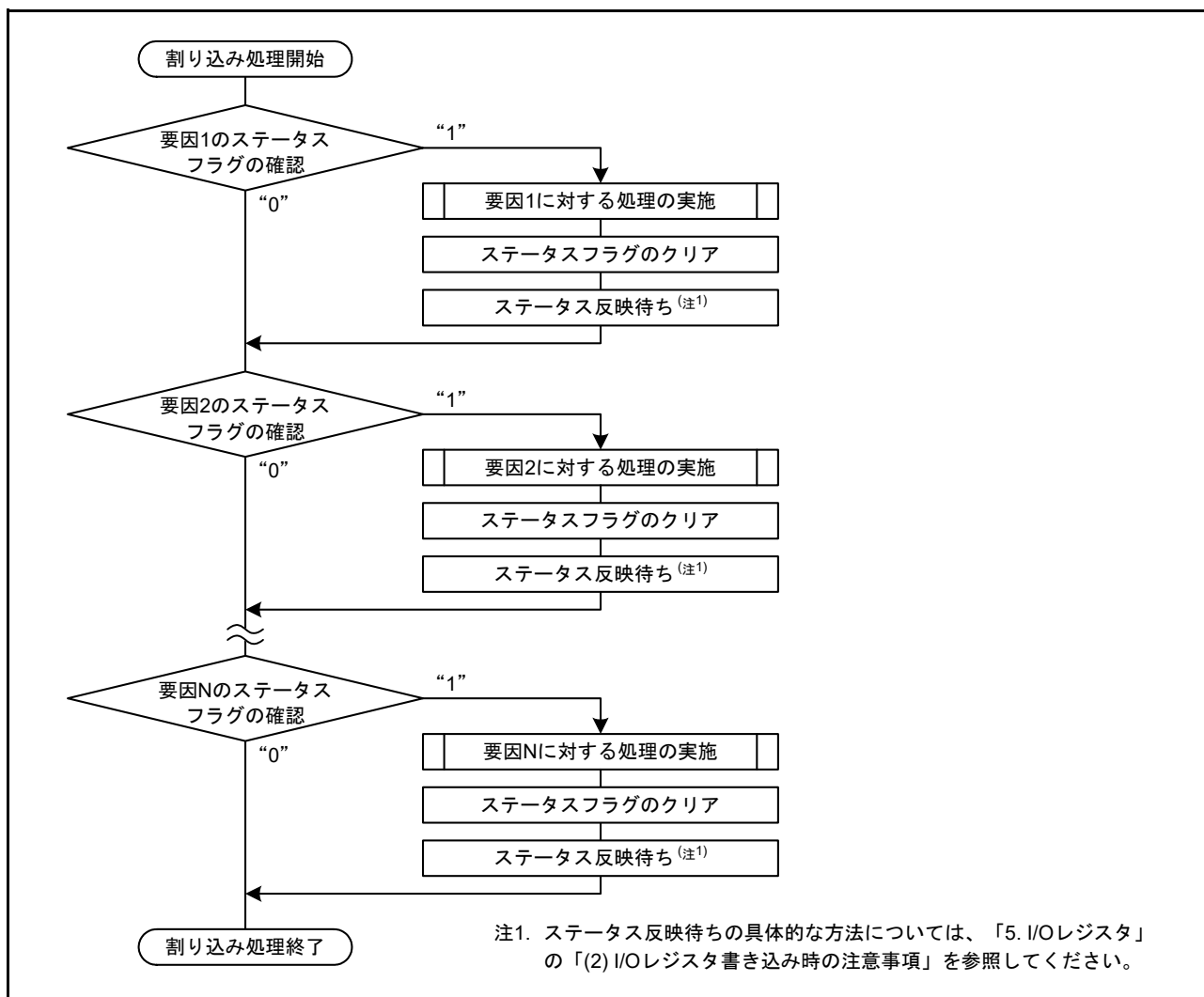


図 15.10 レベル検出割り込みの割り込み処理手順の例 (N 個のステータスフラグがある場合)

15.5.3 エッジ検出グループ割り込み

グループ割り込みのグループ IE0、BE0 には、エッジ検出の割り込み要因がグループ化されています。GROUPIE0 割り込みに対応する IR017.IR フラグ、GROUPBE0 割り込みに対応する IR106.IR フラグの動作は、“1”になるときはエッジ検出と同様ですが、“0”にする方法はレベル検出と同様です。

GENIE0/GENBE0.ENj ビット ($j=0\sim 31$) が“1”のとき、対応する割り込み要求信号の立ち上がりエッジを検出すると、GRPIE0/GRPBE0.ISj フラグと IR017/IR106.IR フラグがともに“1”になります。このとき、周辺モジュールの割り込み要求を禁止しても、GENIE0/GENBE0.ENj ビットを“0”にしても、GRPIE0/GRPBE0.ISj フラグと IR017/IR106.IR フラグは“0”になりません。

GCRIE0/GCRBE0.CLRj ビットを“1”にすると、GRPIE0/GRPBE0.ISj フラグが“0”になり、その結果 IR017/IR106.IR フラグも“0”になります。

エッジ検出グループ割り込みの動作例を図 15.11、図 15.12 に、同一グループ内の複数の割り込み要因から割り込み要求が発生した場合の動作例を図 15.13 に示します。

注． 割り込み要因が割り当てられていないグループのレジスタは存在しません。

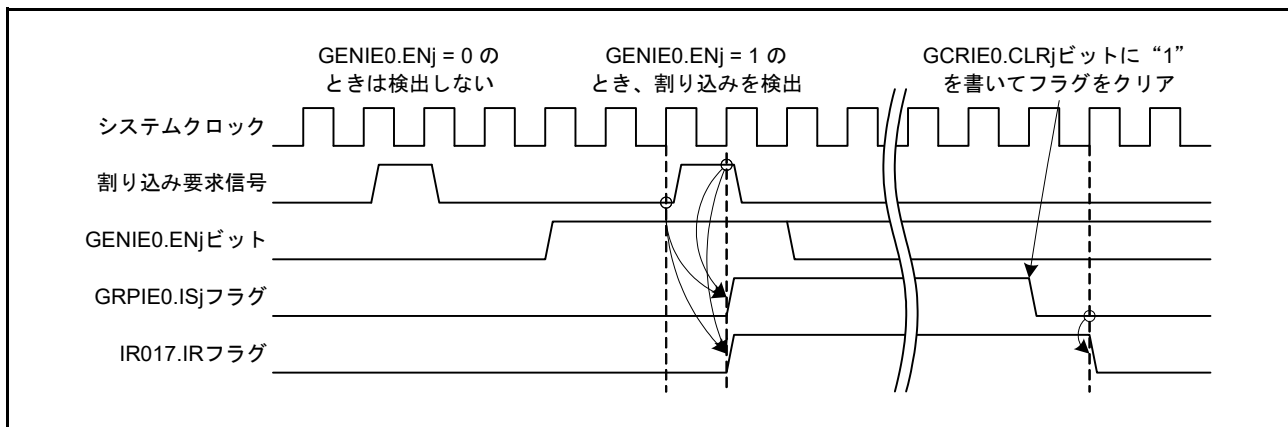


図 15.11 エッジ検出グループ割り込みの動作例 (グループ IE0)

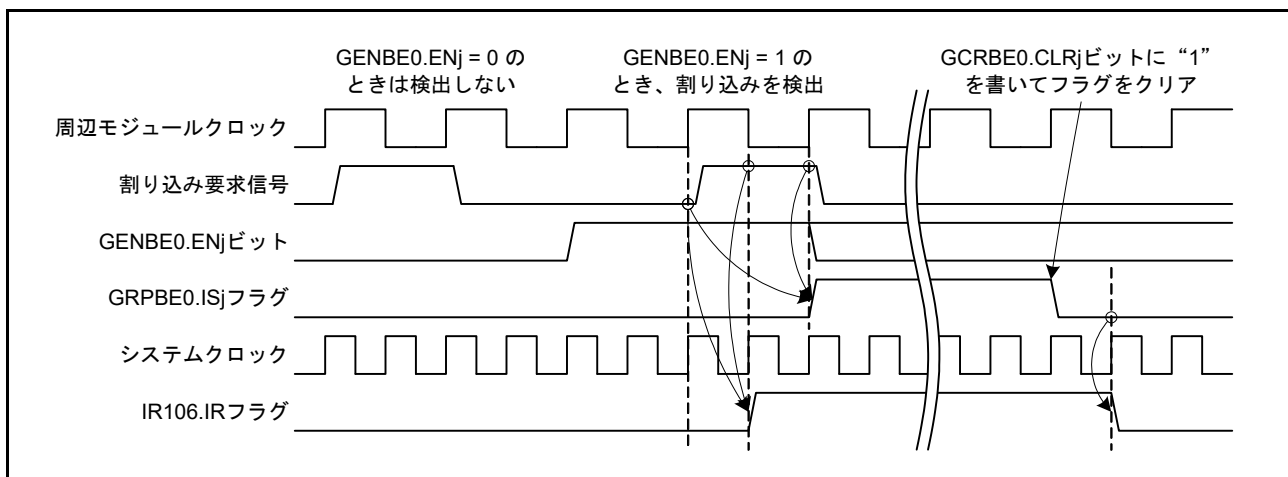


図 15.12 エッジ検出グループ割り込みの動作例 (グループ BE0)

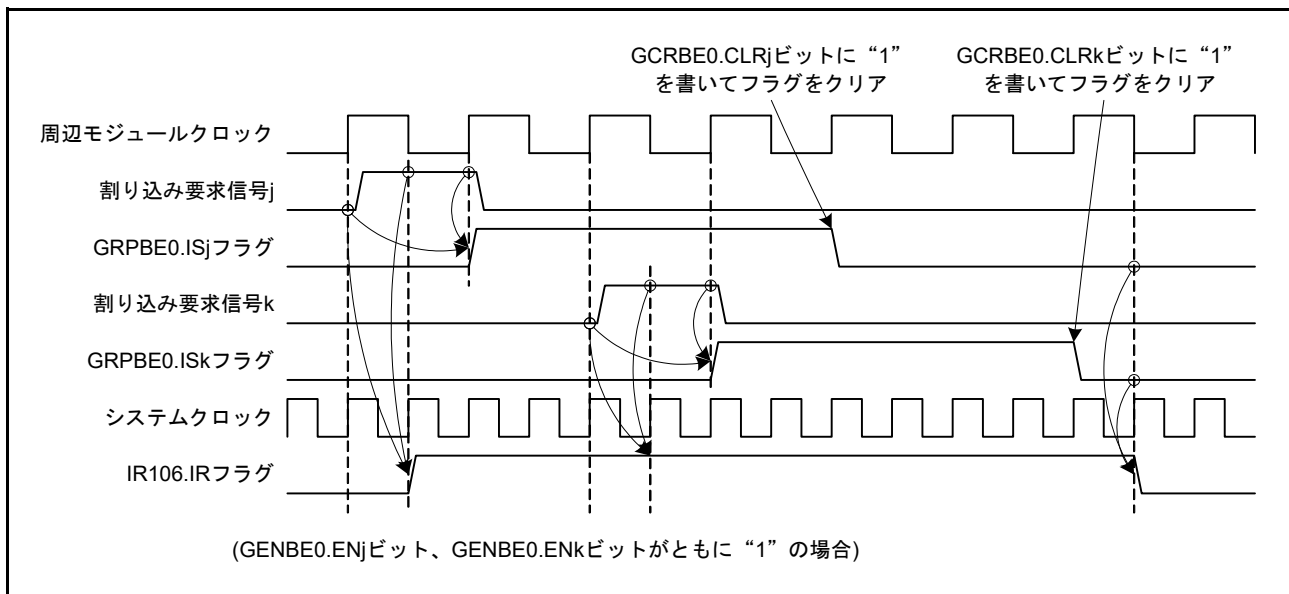


図 15.13 同一グループ内で複数の割り込み要求が発生した場合の動作例 (グループ BE0)

エッジ検出グループ割り込みの割り込み処理手順の例を図 15.14、図 15.15 に示します。

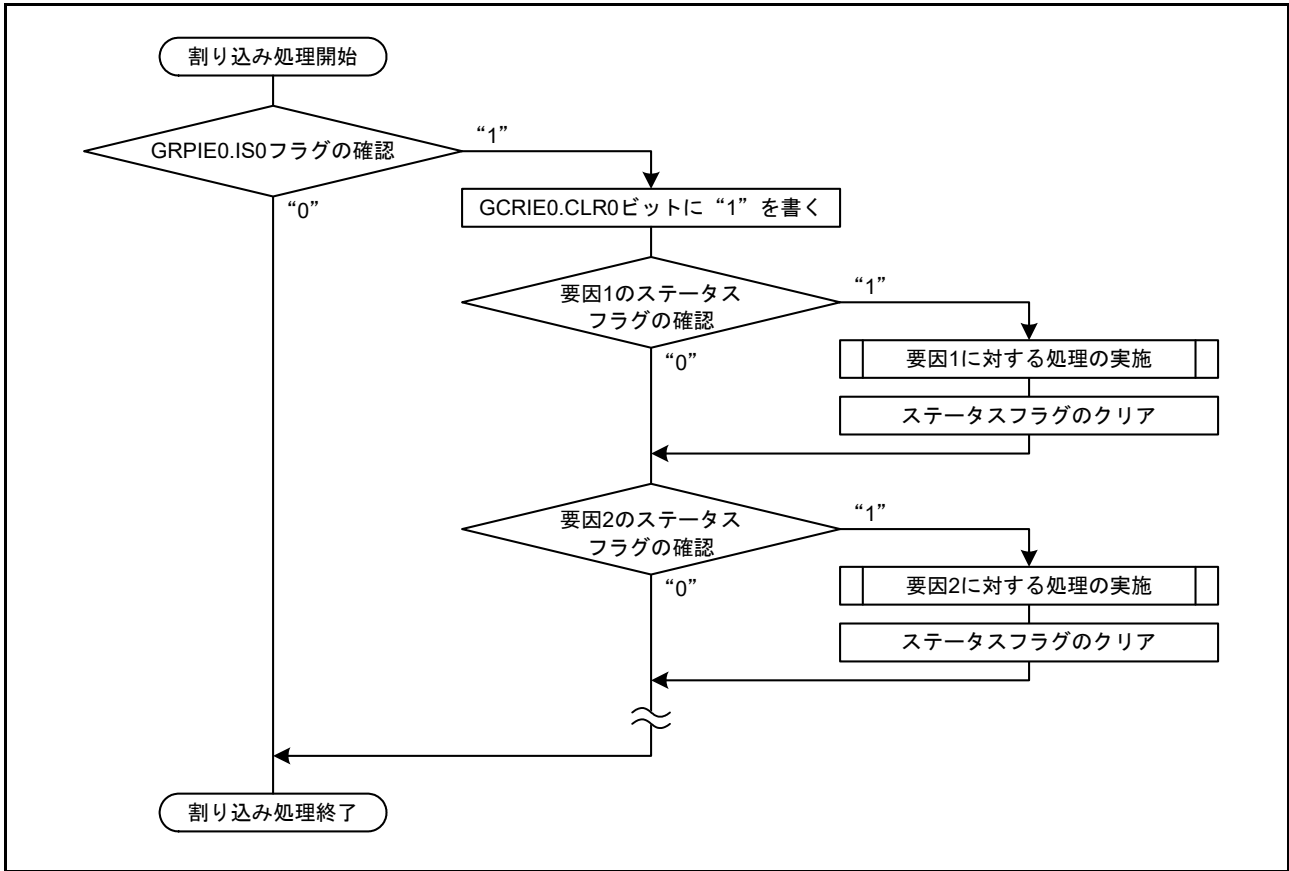


図 15.14 エッジ検出グループ割り込みの割り込み処理手順の例 (グループ IE0)

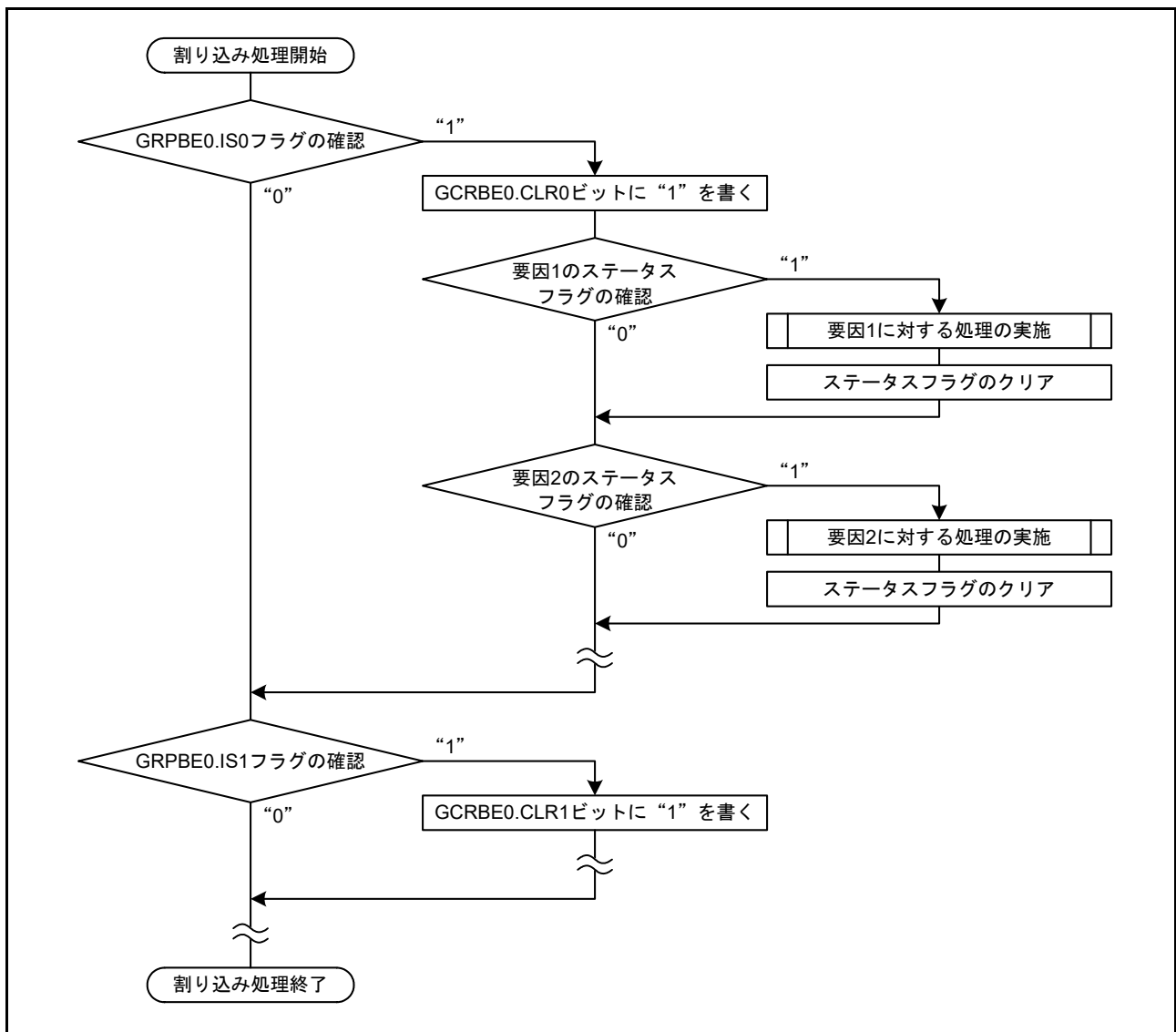


図 15.15 エッジ検出グループ割り込みの割り込み処理手順の例 (グループ BE0)

15.5.4 レベル検出グループ割り込み

グループ割り込みのグループ BL0、BL1、BL2、AL0、AL1 には、レベル検出の割り込み要因がグループ化されています。GROUPBL0 割り込みに対応する IR110.IR フラグ、GROUPBL1 割り込みに対応する IR111.IR フラグ、GROUPBL2 割り込みに対応する IR107.IR フラグ、GROUPAL0 割り込みに対応する IR112.IR フラグ、GROUPAL1 割り込みに対応する IR113.IR フラグの動作はレベル検出割り込みと同様です。

GENBL0/GENBL1/GENBL2/GENAL0/GENAL1.ENj ビット (j=0~31) が“1”のとき、対応する割り込み要求信号が“1”になると、対応する GRPBL0/GRPBL1/GRPBL2/GRPAL0/GRPAL1.ISj フラグと IRn.IR フラグが“1”になります。このとき割り込み要求信号が“0”になると、対応する GRPBL0/GRPBL1/GRPBL2/GRPAL0/GRPAL1.ISj フラグと IRn.IR フラグも“0”になります。また、GENBL0/GENBL1/GENBL2/GENAL0/GENAL1.ENj ビットを“0”にした場合も、対応する GRPBL0/GRPBL1/GRPBL2/GRPAL0/GRPAL1.ISj フラグと IRn.IR フラグが“0”になります。

レベル検出グループ割り込みの動作例を図 15.16 に、同一グループ内の複数の割り込み要因から割り込み要求が発生した場合の動作例を図 15.17 に示します。

注． 割り込み要因が割り当てられていないグループのレジスタは存在しません。

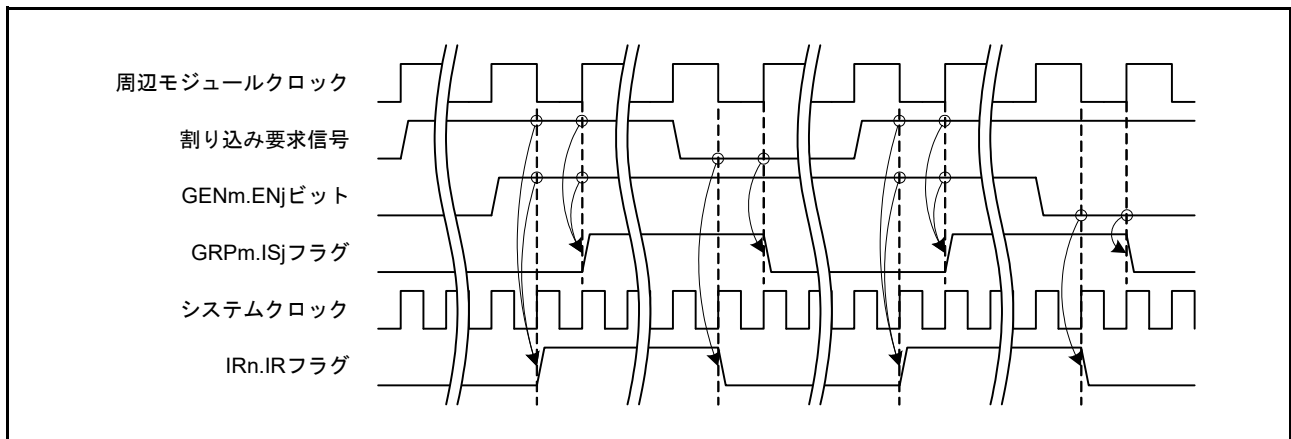


図 15.16 レベル検出グループ割り込みの動作例 (m = BL0, BL1, BL2, AL0, AL1)

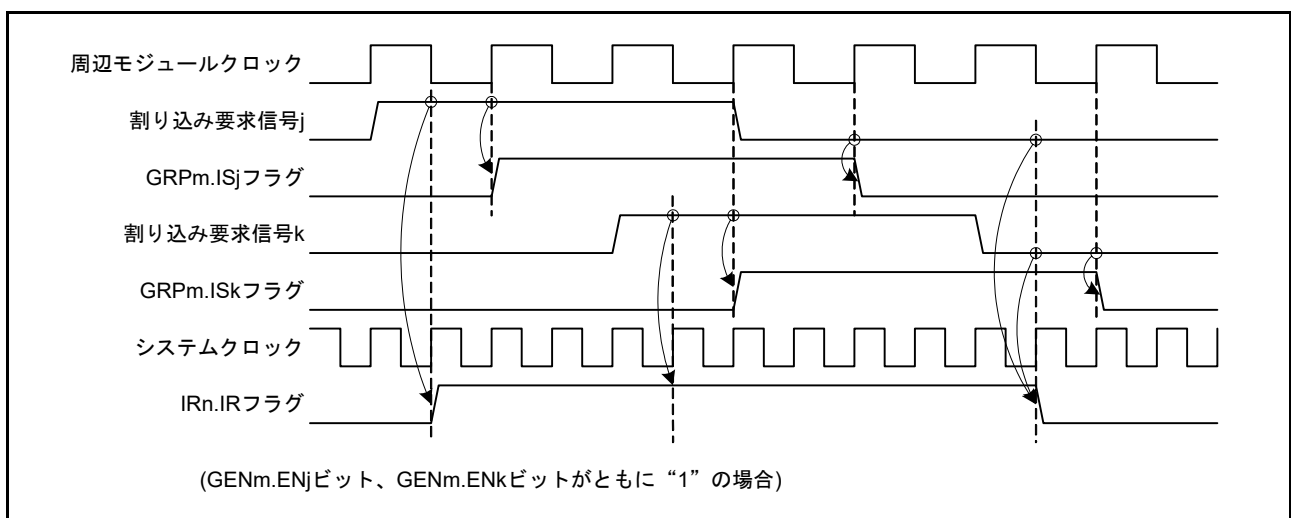


図 15.17 同一グループ内で複数の割り込み要求が発生した場合の動作例 (m = BL0, BL1, BL2, AL0, AL1)

レベル検出グループ割り込みの割り込み処理手順の例を図 15.18 に示します。

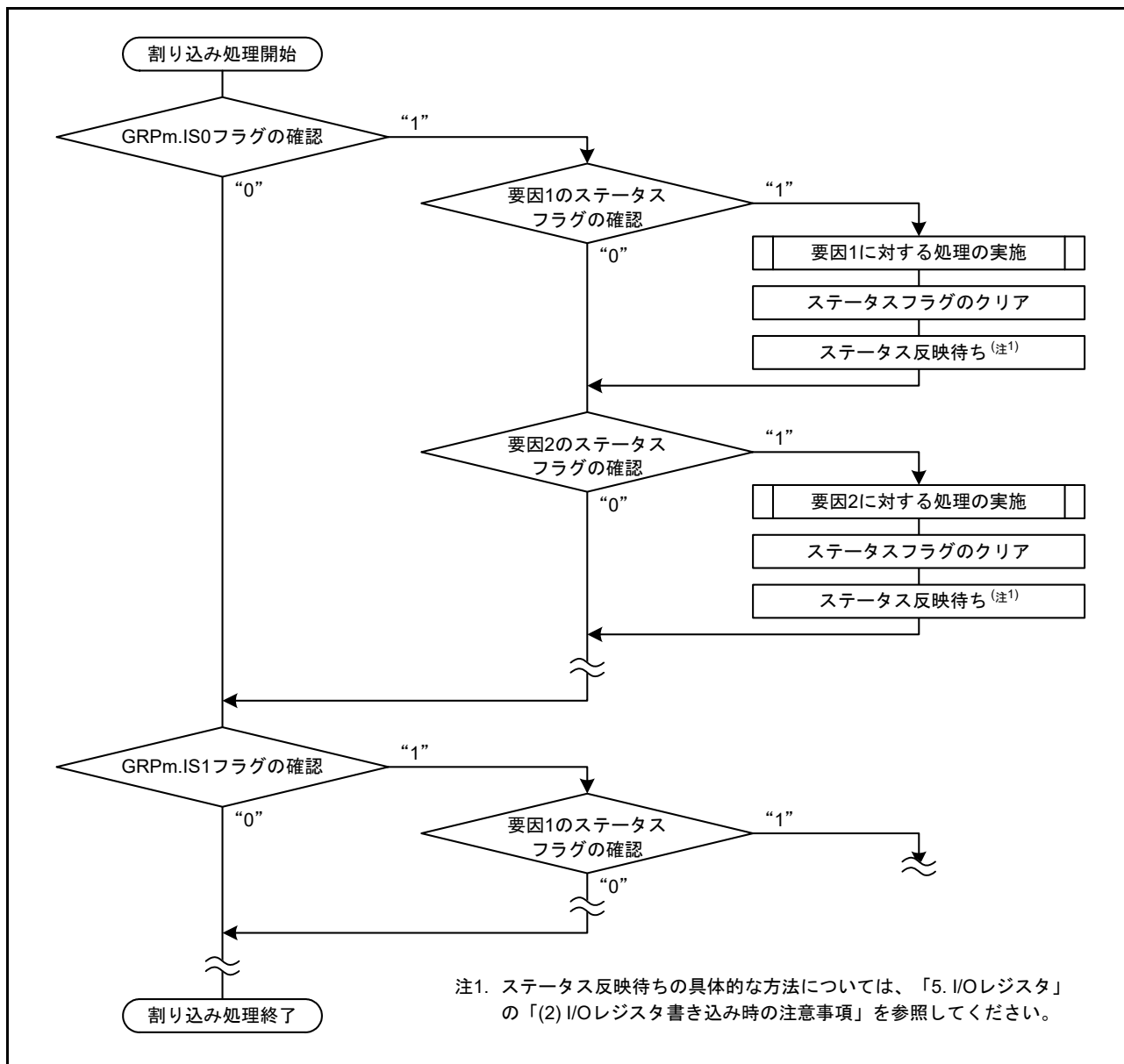


図 15.18 レベル検出グループ割り込みの処理手順の例 (m = BL0, BL1, BL2, AL0, AL1)

15.5.5 選択型割り込み

選択型割り込みに分類された割り込み要因の検出方法はエッジ検出で、選択型割り込みの割り込み要求の検出方法もエッジ検出です。

図 15.19 に選択型割り込みの割り込み要求と選択型割り込みステータスフラグの動作例を示します。

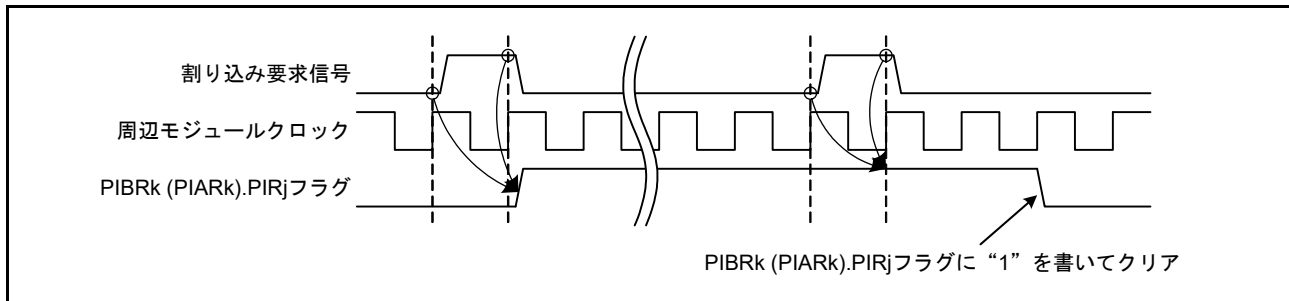


図 15.19 選択型割り込みの割り込み要求と割り込みステータスフラグの動作例

15.6 割り込み優先レベルの判定

割り込みコントローラは、割り込み要求先ごとに優先レベルの判定を行います。それぞれの割り込み要求先に対する優先レベル判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合

高速割り込みに設定された要因が最も優先されます。その次は、 $IPRr.IPR[3:0]$ ビット ($r=000 \sim 255$) の設定値によって判定され、値が大きい割り込み要因ほど優先されます。 $IPRr.IPR[3:0]$ ビットの設定値が同じ要因が複数ある場合は、割り込みベクタ番号によって判定され、番号が小さい要因ほど優先されます。

(2) 割り込み要求先が DTC の場合

$IPRr.IPR[3:0]$ ビット ($r=000 \sim 255$) の影響は受けません。割り込みベクタ番号によってのみ優先順位が判定され、番号が小さい要因ほど優先されます。

(3) 割り込み要求先が DMAC の場合

$IPRr.IPR[3:0]$ ビットの影響は受けません。DMAC のチャンネル番号によって優先順位が判定されます。DMAC のチャンネル優先順位については「18. DMA コントローラ (DMACAb)」を参照してください。

15.7 割り込みの設定手順

15.7.1 割り込み要求の許可

割り込み要求を許可するための手順を以下に示します。

- (1) 対象となる周辺モジュールの割り込み要求許可ビットで、割り込み要求の出力を許可する
- (2) 対象となる割り込み要因がグループ割り込みに割り当てられている場合、対応するグループ割り込み要求許可レジスタの EN_j ビット ($j=0 \sim 31$) を“1”にして、グループ割り込み要求レジスタの IS_j フラグへの割り込み要求出力を許可する
- (3) 対応する $IER_m.IEN_j$ ビット ($m=02h \sim 1Fh, j=0 \sim 7$) を“1”にして、割り込み要求先への割り込み要求の出力を許可する

上記手順の後、周辺モジュールの割り込み要求が発生すると、その割り込み要因に対応する $IR_n.IR$ フラグ ($n=016 \sim 255$) が“1”になります。

また、グループ割り込みの場合、グループ割り込み要求レジスタの IS_j フラグと、そのグループに対応する $IR_n.IR$ フラグが“1”になり、割り込み要求先へ割り込み要求が出力されます。

$IER_m.IEN_j$ ビットが“0”の場合、対応する割り込み要因の割り込み要求は、割り込み要求先に出力されません。

15.7.2 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

- (1) 対応する $IER_m.IEN_j$ ビット ($m=02h \sim 1Fh, j=0 \sim 7$) を“0”にする
- (2) グループ割り込みの場合、対応するグループ割り込み要求許可レジスタの EN_j ビット ($j=0 \sim 31$) を“0”にし、グループ割り込み要求レジスタの IS_j フラグへの割り込み要求出力を禁止する
- (3) 周辺モジュールの割り込み要求許可ビットで割り込み要求の出力を禁止し、設定したレジスタを読んで、値が反映されたことを確認する
- (4) 必要に応じて、 $IR_n.IR$ フラグを確認するか“0”にする(注1)
グループ割り込みの場合、グループ割り込み要求レジスタの IS_j フラグが“0”であることを確認するか、“0”にする

注1. SCI、RSCI、RIIC、RIICHS、RSPI、RSPIA、QSPIX、SSIE、SDHI の各送信割り込み要求または受信割り込み要求、バッファアクセス割り込み要求を許可から禁止に変更する場合、上記の手順で $IR_n.IR$ フラグを“0”にしてください。詳細は、各周辺モジュール章の割り込みの説明を参照してください。

15.7.3 割り込み要求先の選択

15.7.3.1 割り込み要求先の設定手順

割り込み要求の出力先は割り込み要因ごとに CPU、DTC、DMAC のいずれかからひとつを選択できますが、割り込み要因ごとに選択できる出力先は決まっています。選択できる割り込みの要求先は「表 15.5 割り込みベクタテーブル」を参照してください。表 15.5 に「○」の記載がない割り込み要求先を選択しないでください。

DTC または DMAC の起動要因を、外部端子割り込みにする場合、 $IRQCR_i.IRQMD[1:0]$ ビット ($i=0 \sim 15$) でエッジ検出を選択してください。

割り込み要求の出力先の指定方法を以下に示します。

(1) DMAC の起動要因にする場合

DMAC の起動要因に指定する割り込み要因の IERm.IENj ビット ($m = 02h \sim 1Fh$, $j = 0 \sim 7$) が “0” のときに以下の設定を行ってください。

- (1) 起動する DMAC のチャンネルに対応した DMRSRm レジスタ ($m = \text{DMAC チャンネル番号}$) に、起動要因となる割り込み要因の割り込みベクタ番号を設定する (注 1)
- (2) 起動する DMAC のチャンネルに対応した DMA 転送モードレジスタ (DMTMD) の DCTG[1:0] ビットを “01b” にして、DMAC の起動要因を周辺機能割り込みまたは外部端子割り込みにする
- (3) 起動する DMAC のチャンネルに対応した DMA 転送許可レジスタ (DMCNT) の DTE ビットを “1” にする

上記手順の後、対応する IERm.IENj ビットを “1” にしてください。

また、DMA モジュール起動レジスタ (DMAST) の DMST ビットを “1” にしてください。上記手順と DMST ビットを “1” にするのはどちらを先に行っても構いません。

DMAC の設定手順は、「18. DMA コントローラ (DMACAb)」の「18.3.7 DMAC の起動」を参照してください。

(2) DTC の起動要因にする場合

DTC の起動要因に指定する割り込み要因の IERm.IENj ビットが “0” のときに以下の設定を行ってください。

- (1) DTC の起動要因に指定する割り込みベクタ番号 n に対応した DTCERn.DTCE ビット ($n = 026 \sim 255$) を “1” にする (注 1)

上記手順の後、対応する IERm.IENj ビットを “1” にしてください。

また、DTC モジュール起動レジスタ (DTCST) の DTCST ビットを “1” にしてください。上記手順と DTCST ビットを “1” にするのはどちらを先に行っても構いません。

DTC の設定手順は、「20. データトランスファコントローラ (DTCb)」の「20.5 DTC の設定手順」を参照してください。

注 1. 同じ割り込み要因を DTC と DMAC の起動要因に選択しないでください。また、同じ割り込み要因を複数チャンネルの DMAC の起動要因に選択しないでください。

(3) CPU への割り込み要因にする場合

割り込み要因を DTC の起動要因にも DMAC の起動要因にも指定しなかった場合、その要因の割り込み要求は CPU に出力されます。

DTC の起動要因や DMAC の起動要因に指定せずに、IERm.IENj ビットを “1” にしてください。

15.7.3.2 DTC/DMAC 選択時の動作

DTC や DMAC を割り込み要求先に設定した場合の動作は、表 15.9 に示すとおりです。

表 15.9 DTC/DMAC 起動時の動作

割り込み要求先	DISEL (注1)	残り転送回数	1要求ごとの動作	IRフラグ(注2)のクリアタイミング	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC 転送 → CPU に割り込み	CPU が割り込み要求を受け付けたとき	DTC
		= 0	DTC 転送 → CPU に割り込み	CPU が割り込み要求を受け付けたとき	CPU (DTCERn.DTCE ビットが“0”になる)
	0	≠ 0	DTC 転送	DTC がデータ転送を開始したとき	DTC
		= 0	DTC 転送 → CPU に割り込み (注4)	CPU が割り込み要求を受け付けたとき (注4)	CPU (DTCERn.DTCE ビットが“0”になる)
DMAC	1	≠ 0	DMA 転送 → CPU に割り込み	CPU が割り込み要求を受け付けたとき	DMAC
		= 0	DMA 転送 → CPU に割り込み	CPU が割り込み要求を受け付けたとき	CPU (DMACm.DMCNT.DTE ビットが“0”になる)
	0	≠ 0	DMA 転送	DMAC がデータ転送を開始したとき	DMAC
		= 0	DMA 転送 (注4)	DMAC がデータ転送を開始したとき (注4)	CPU (DMACm.DMCNT.DTE ビットが“0”になる)

注1. DTC の場合は DTC.MRB.DISEL ビットで、DMAC の場合は DMACm.DMCSL.DISEL ビットで設定します。

注2. IRn.IR フラグが“1”のとき、再度発生した割り込み要求 (DTC/DMA 転送要求) は無視されます。

注3. チェーン転送の場合は、チェーン転送が終了するまで DTC 転送を継続します。チェーン転送終了時の CPU 割り込みの有無、IRn.IR フラグのクリア、転送後の割り込み要求先の各動作は、チェーン転送終了時の DISEL ビットの値および残り転送回数によって決まります。チェーン転送については、「20. データトランスファコントローラ (DTCb)」の「表 20.4 チェーン転送の条件」を参照してください。

注4. DISEL ビットが“0”でかつ残り転送回数が“0”のときの動作は、DTC と DMAC で異なります。

15.7.3.3 割り込み要求先の変更

割り込み要求先を変更する場合は、IERm.IENj ビット (m = 02h ~ 1Fh、j = 0 ~ 7) を“0”にしてから行ってください。

(1) 現在の割り込み要求先が DMAC の場合

「15.7.3.1 割り込み要求先の設定手順」の「(1) DMAC の起動要因にする場合」に示された手順の後、DMA 転送が完了していないとき (DMCNT.DTE ビットがクリアされていない状態) に割り込み要求先を変更する場合や DMAC の起動要因を別の割り込み要因に変更する場合は、以下に示す手順で行ってください。

- (1) 現在設定されている起動要因と、新たに設定する起動要因の IERm.IENj ビットを“0”にする
- (2) DMAC の転送状況を確認し、転送中であれば、転送が完了するのを待つ
- (3) 「15.7.3.1 割り込み要求先の設定手順」に示された手順を実施する

(2) 現在の割り込み要求先が DTC の場合

「15.7.3.1 割り込み要求先の設定手順」の「(2) DTC の起動要因にする場合」に示された手順の後、DTC 転送が完了していないとき (DTCERn.DTCE ビット (n = 026 ~ 255) がクリアされていない状態) に割り込み要求先を変更する場合や DTC の転送内容を変更する場合は、以下に示す手順で行ってください。

- (1) 現在設定されている起動要因と、新たに設定する起動要因の IERm.IENj ビットを“0”にする
- (2) DTC の転送状況を確認し、転送中であれば、転送が完了するのを待つ
- (3) 「15.7.3.1 割り込み要求先の設定手順」に示された手順を実施する

15.7.4 外部端子割り込みの設定手順

外部端子割り込みを使用するときの設定手順は以下のとおりです。

- (1) 使用する IRQ_i 端子 (i = 0 ~ 15) に対応した IER_m.IEN_j ビット (m = 02h ~ 1Fh, j = 0 ~ 7) を“0”(割り込み要求禁止)にする
- (2) IRQFLTE0 レジスタまたは IRQFLTE1 レジスタの FLTEN_i ビットを“0”(デジタルフィルタ無効)にする
- (3) IRQFLTC0 レジスタまたは IRQFLTC1 レジスタの FCLKSEL_i[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する
- (4) I/O ポートの設定および確認を行う
- (5) IRQCR_i.IRQMD[1:0] ビットで検出方法を選択する
- (6) エッジ検出を選択した場合は、対応する IR_n.IR フラグ (n = 016 ~ 255) を“0”にする
- (7) IRQFLTE0/IRQFLTE1.FLTEN_i ビットを“1”(デジタルフィルタ有効)にする。
- (8) 割り込み要求先を DTC にする場合は DTCER_n.DTCE ビット (n = 026 ~ 255) を、DMAC にする場合は DMRSR_m レジスタ (m = DMAC チャンネル番号) を設定する (どちらも設定しない場合は CPU への割り込みになる)
- (9) 対応する IER_m.IEN_j ビットを“1”(割り込み要求許可)にする。

15.7.5 ノンマスカブル割り込みの設定手順

リセット後、ノンマスカブル割り込みは禁止になっています。ノンマスカブル割り込みを使用する場合は、以下の手順で設定してください。

- (1) スタックポインタ (SP) を設定する
- (2) NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを“0”(デジタルフィルタ無効)にする
- (3) NMI 端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する
- (4) NMI 端子を使用する場合は、NMICR.NMIMD ビットで NMI 端子の検出エッジを選択する
- (5) NMI 端子を使用する場合は、NMICLR.NMICLR ビットに“1”を書いて、NMISR.NMIST フラグを“0”にする
- (6) NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを“1”(デジタルフィルタ有効)にする
- (7) NMIER レジスタの使用する割り込み要因に対応するビットを“1”にして、ノンマスカブル割り込みの生成を許可する

NMIER レジスタのビットは一度“1”(許可)にすると、以後そのビットへの書き込みは無効となり、“0”(禁止)にすることはできません。いったん許可したノンマスカブル割り込みを禁止するには、MCU をリセットする以外にありません。

ノンマスカブル割り込みの処理の流れは、「14. 例外処理」を参照してください。

NMISR レジスタの EXNMIST フラグを除く各フラグは、NMICLR レジスタの対応するビットに“1”を書くことで“0”になります。EXNMIST フラグを“0”にするには、EXNMISR レジスタの“1”になったフラグを“0”にしてください。

ノンマスカブル割り込みの割り込み処理ルーチンでは、NMISR レジスタの全フラグが“0”になったことを確認して処理を終了してください。

NMI 端子割り込みを除くノンマスカブル割り込みは、マスカブル割り込みとしても使用できます。マスカブル割り込みとして使用する場合は、NMIER レジスタ、EXNMIER レジスタをリセット後の値から変更し

ないでください。また、電圧監視 1 割り込み、電圧監視 2 割り込みをマスカブル割り込みとして使用する場合は、電圧監視 1 回路制御レジスタ 1 (LVD1CR1) の LVD1IRQSEL ビット、電圧監視 2 回路制御レジスタ 1 (LVD2CR1) の LVD2IRQSEL ビットを“1”にしてください。

15.7.6 デジタルフィルタ

デジタルフィルタを有効にすることで、IRQ_i 端子 (i = 0 ~ 15) と NMI 端子への入力信号に含まれるノイズを除去することができます。

デジタルフィルタは、端子への入力信号をデジタルフィルタ用のサンプリングクロック (PCLKB、PCLKB/8、PCLKB/32、PCLKB/64) でサンプリングし、3 回連続でレベルが一致する入力信号のみを通過させます。

IRQ_i 端子にデジタルフィルタを適用する場合は「15.7.4 外部端子割り込みの設定手順」を、NMI 端子にデジタルフィルタを適用する場合は「15.7.5 ノンマスカブル割り込みの設定手順」を参考に関係するレジスタを設定してください。

ソフトウェアスタンバイモードからの復帰要因として外部端子割り込みや NMI 端子割り込みを使用する場合は、デジタルフィルタは使用できません。ソフトウェアスタンバイモードに移行する前に、IRQFLTE0 または IRQFLTE1 レジスタの FLTEN_i ビット、または NMIFLTE.NFLTEN ビットを“0”にしてください。ソフトウェアスタンバイモードから復帰した後、再度デジタルフィルタを有効にする場合は、IRQFLTE0 または IRQFLTE1 レジスタの FLTEN_i ビット、または NMIFLTE.NFLTEN ビットを“1”にしてください。

図 15.20 にデジタルフィルタの動作例を示します。

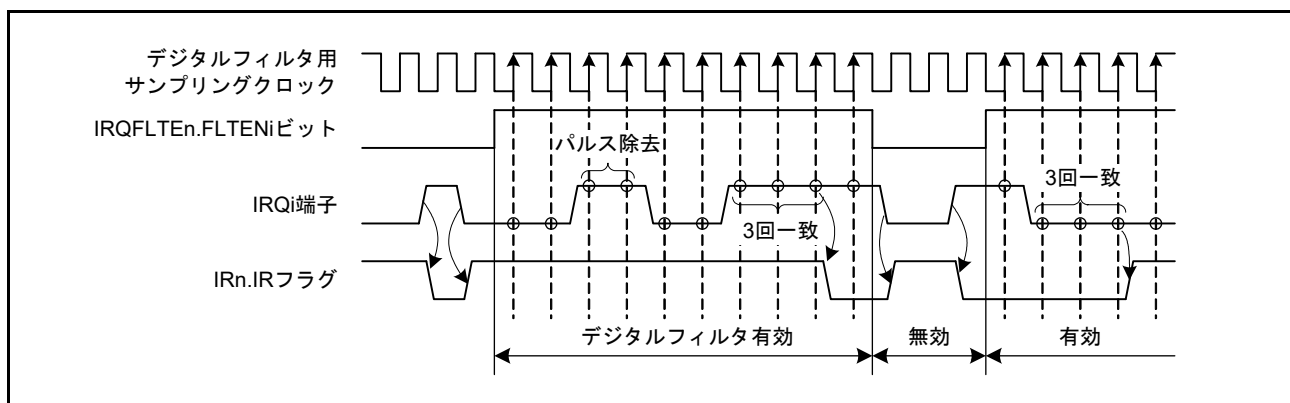


図 15.20 デジタルフィルタ動作例 (IRQCR_i.IRQMD[1:0] ビットが“00b” (Low) の場合)

15.7.7 選択型割り込みの設定手順

選択型割り込みに割り込み要因を割り当てる手順を以下に示します。

- (1) 設定する選択型割り込みの IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) を “0” にする (リセット後の値から変更していなければ不要)
- (2) 選択型割り込み B の場合は、SLIBXRn レジスタ (n = 128 ~ 143) または SLIBRn レジスタ (n = 144 ~ 207) に割り込み要因番号を設定する。選択型割り込み B に分類された割り込み要因の要因番号は「表 15.3 選択型割り込み B 要因一覧」を参照してください
- (3) 選択型割り込み A の場合は、SLIARn レジスタ (n = 208 ~ 255) に割り込み要因番号を設定する。選択型割り込み A に分類された割り込み要因の要因番号は「表 15.4 選択型割り込み A 要因一覧」を参照してください
- (4) 選択型割り込みによって EXDMAC を起動する場合は、SELEXDR レジスタの各ビットに値を設定する
- (5) SLIPRCR.WPRC ビットを “1” にする
- (6) SLIPRCR.WPRC ビットが “1” であることを確認する
- (7) 割り込み要求先 (CPU, DTC, DMAC) を選択する。設定手順は「15.7.3.1 割り込み要求先の設定手順」を参照してください
- (8) IRn.IR フラグ (n = 128 ~ 255) に “0” を書く (エッジ検出の場合のみ)
- (9) IERm.IENj ビットを “1” にする

15.7.7.1 選択型割り込みのポーリング

PIBRk レジスタ (k = 0h ~ Ch) または PIARk レジスタ (k = 0h ~ 5h, Bh) の PIRj フラグ (j = 0 ~ 7) を参照して割り込み要求のポーリングを行う場合は、以下の手順で行ってください。

- (1) 対象となる周辺モジュールの割り込み設定を行う
- (2) ポーリング対象の PIBRk レジスタまたは PIARk レジスタの PIRj フラグに “1” を書いて (注 1) フラグをクリアする
- (3) 周辺モジュールの割り込み要求の出力を許可する
- (4) 適宜、PIBRk レジスタまたは PIARk レジスタの PIRj フラグを読み出し、値を確認する
- (5) PIBRk レジスタまたは PIARk レジスタの PIRj フラグをクリアする場合は、対象となるフラグに “1” を書く (注 1)
- (6) 以降、必要に応じて (4)、(5) を繰り返す

注 1. ビット操作命令は使用しないでください。ビット操作命令を使用すると複数のステータスフラグをクリアしてしまう可能性があります。フラグをクリアする場合は、対象のフラグを “1”、その他のフラグを “0” にして 8 ビット単位で書いてください。

15.8 多重割り込み

多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で CPU のプロセッサステータスワード (PSW) の I ビットを “1” (割り込み許可) にしてください。

割り込み処理ルーチン内での PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

なお、PSW.I ビットの書き換えは、スーパーバイザモードのときのみ有効です。割り込みが受け付けられると PSW.PM ビットが “0” (スーパーバイザモード) になるため、割り込みの処理ルーチン内では PSW.I ビットを書き換えることができます。

15.9 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうち 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRr.IPR[3:0] ビット (r = 000 ~ 255) の設定にかかわらず、“15” (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が “1111b” (優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てるには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを “1” (高速割り込みを許可) にしてください。

高速割り込みの機能が有効になるのは、割り込み要求先として CPU を指定したときのみです。割り込み先に DTC や DMAC を指定した場合、高速割り込みの機能は無効になります。

高速割り込みについては、「2. CPU」や「14. 例外処理」も参照してください。

15.10 低消費電力状態からの復帰

スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモードからの復帰に割り込みが使用できます。

詳細は「11. 消費電力低減機能」を参照してください。低消費電力モードごとの復帰要因の設定方法を以下に示します。

なお、ディープソフトウェアスタンバイモードからの復帰については、「11.6.4 ディープソフトウェアスタンバイモード」を参照してください。

15.10.1 スリープモードからの復帰

ノンマスクابل割り込み、およびすべての割り込み要因によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスクابل割り込み

- NMIER レジスタによって該当する割り込みの生成が許可されていること

(2) 割り込み

- 割り込み要求先が CPU であること
- IERm.IENj ビット ($m = 02h \sim 1Fh$, $j = 0 \sim 7$) によって該当する割り込みの要求が許可されていること
- CPU のプロセッサステータスワード (PSW) の IPL[3:0] ビットよりも高い割り込み優先レベルであること
- グループ割り込みの場合、グループ割り込み要求許可レジスタ (GENIE0, GENBE0, GENBL0, GENBL1, GENAL0, GENAL1) の ENj ビット ($j = 0 \sim 31$) によって該当する割り込みの要求が許可されていること

15.10.2 全モジュールクロックストップモードからの復帰

ノンマスクابل割り込み、および「表 15.5 割り込みベクタテーブル」の「ACS 復帰」列に「○」のある割り込み要因によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスクابل割り込み

- NMIER レジスタによって該当する割り込みの生成が許可されていること

(2) 割り込み

- 全モジュールクロックストップモードから復帰可能な要因であること
- 割り込み要求先が CPU であること
- IERm.IENj ビット ($m = 02h \sim 1Fh$, $j = 0 \sim 7$) によって該当する割り込みの要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること

15.10.3 ソフトウェアスタンバイモードからの復帰

ノンマスクابل割り込み、および「表 15.5 割り込みベクタテーブル」の「SSBY 復帰」列に「○」のある割り込み要因によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスクابل割り込み

- NMIER レジスタによって該当する割り込みの生成が許可されていること
- NMI 端子割り込みを使用する場合は、デジタルフィルタが無効になっていること

(2) 割り込み

- ソフトウェアスタンバイモードから復帰可能な要因であること
- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込みの要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みを使用する場合には、FIR レジスタだけでなく、対応する IPRr.IPR[3:0] ビット (r = 000 ~ 255) も CPU の PSW.IPL[3:0] ビットより高い割り込み優先レベルを設定してください)
- 外部端子割り込みを使用する場合は、使用する IRQi 端子のデジタルフィルタが無効になっていること

デジタルフィルタの設定方法については、「15.7.6 デジタルフィルタ」を参照してください。

15.11 使用上の注意事項

15.11.1 ノンマスクابل割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが“0”であることを確認した後で行ってください。

15.11.2 全モジュールクロックストップモード時の選択型割り込み

選択型割り込みに分類された割り込み要因を全モジュールクロックストップモードからの復帰要因として使用する場合、その割り込み要因は割り込みベクタ番号 146 ~ 157 の選択型割り込み B (INTB146 ~ INTB157) に割り当ててください。

15.11.3 ソフトウェアスタンバイモード中の割り込み要求

ソフトウェアスタンバイモードからの復帰要因に設定していない割り込み要因からソフトウェアスタンバイモード中に割り込み要求が発生した場合、その要求は割り込みコントローラ内部に保持され、他の割り込み要因によって復帰した後に順次処理されます。

ただし、外部端子割り込みについては、この割り込み要求は保持されません。

16. バス

16.1 概要

表 16.1 にバスの仕様を、図 16.1 にバスの構成図を、表 16.2 にバス種類別アドレス対応表を示します。

表 16.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> • CPU (命令)を接続 • 内蔵メモリを接続(RAM、コードフラッシュメモリ) • システムクロック (ICLK)に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU (オペランド)を接続 • 内蔵メモリを接続(RAM、コードフラッシュメモリ) • システムクロック (ICLK)に同期して動作
メモリバス	メモリバス1	<ul style="list-style-type: none"> • RAMを接続
	メモリバス2	<ul style="list-style-type: none"> • コードフラッシュメモリを接続
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> • CPUを接続 • システムクロック (ICLK)に同期して動作
	内部メインバス2	<ul style="list-style-type: none"> • DTC、DMACを接続 • 内蔵メモリを接続(RAM、コードフラッシュメモリ) • システムクロック (ICLK)に同期して動作
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> • 周辺機能(DTC、DMAC、EXDMAC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック (ICLK)に同期して動作(EXDMACは、BCLKに同期して動作)
	内部周辺バス2	<ul style="list-style-type: none"> • 周辺機能(内部周辺バス1、3、4、5以外の周辺機能)を接続 • 周辺モジュールクロック (PCLKB)に同期して動作
	内部周辺バス3	<ul style="list-style-type: none"> • 周辺機能(USB、DOC、CTSU、REMC、スタンバイRAM)を接続 • 周辺モジュールクロック (PCLKB)に同期して動作
	内部周辺バス4	<ul style="list-style-type: none"> • 周辺機能(MTU、SCIm、RSPI)を接続 • 周辺モジュールクロック (PCLKA)に同期して動作
	内部周辺バス5	<ul style="list-style-type: none"> • 周辺機能(RSCI、RSPIA、RIICHS)を接続 • 周辺モジュールクロック (PCLKA)に同期して動作
	内部周辺バス6	<ul style="list-style-type: none"> • コードフラッシュメモリ(P/E時)、データフラッシュメモリを接続 • FlashFクロック (FCLK)に同期して動作
外部バス	CS領域	<ul style="list-style-type: none"> • 外部デバイスを接続 • 外部バスクロック (BCLK)に同期して動作
	SDRAM領域	<ul style="list-style-type: none"> • SDRAMを接続 • SDRAMクロック (SDCLK)に同期して動作
内部拡張バス	QSPI領域	<ul style="list-style-type: none"> • 外部SPIデバイスを接続 • システムクロック (ICLK)に同期して動作

P/E：プログラム/イレーズ

BCLK (外部バスクロック)：最大 120MHz のクロックです。CSC (CS 領域コントローラ)、EXDMAC は BCLK に同期して動作します。

SDCLK (SDRAM クロック)：最大 60MHz のクロックです。SDRAMC (SDRAM 領域コントローラ) は、SDCLK に同期して動作します。

BCLK 端子出力：デフォルトでは、BCLK と同じ周波数です。外部バスクロックコントロールレジスタの BCLK 端子出力選択ビット (BCKCR.BCLKDIV) で、BCLK の 2 分周が可能です。詳細は、「9. クロック発生回路」を参照してください。

注. SDRAM 使用時は、BCLK と SDCLK は同じ周波数で動作させる必要があります。

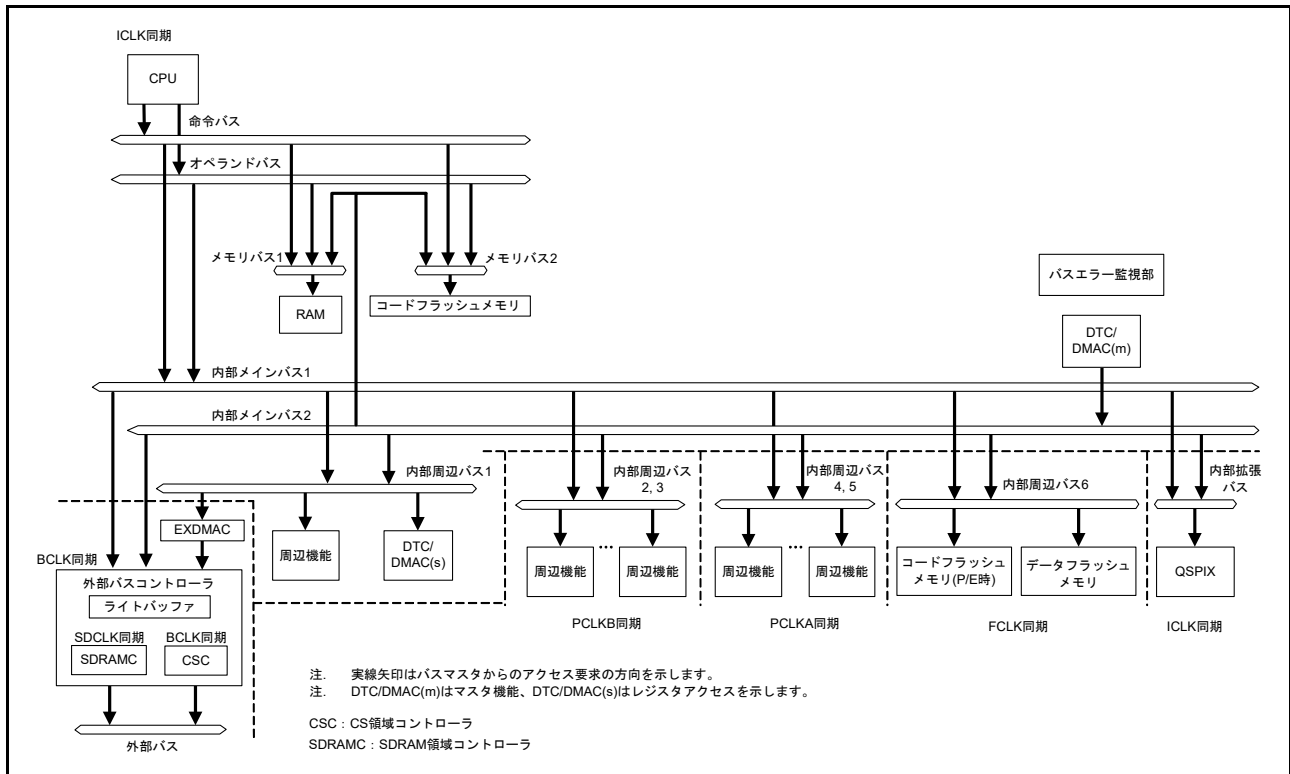


図 16.1 バスの構成図

表 16.2 バス種類別アドレス対応表

アドレス	バス		内容	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h ~ 0007 FFFFh	メモリバス 1		RAM	
0008 0000h ~ 0008 7FFFh	内部周辺バス 1		周辺 I/O レジスタ	
0008 8000h ~ 0009 FFFFh	内部周辺バス 2			
000A 0000h ~ 000B FFFFh	内部周辺バス 3			
000C 0000h ~ 000D FFFFh	内部周辺バス 4			
000E 0000h ~ 000F FFFFh	内部周辺バス 5			
0010 0000h ~ 007F FFFFh	内部周辺バス 6	予約領域	コードフラッシュメモリ (P/E 時)、データフラッシュメモリ	予約領域
0080 0000h ~ 00FF FFFFh	予約領域		予約領域	
0100 0000h ~ 07FF FFFFh	外部バス		外部アドレス空間 (CS1 ~ CS7)	
0800 0000h ~ 0FFF FFFFh			SDRAM 領域	
1000 0000h ~ 6FFF FFFFh	予約領域		予約領域	
7000 0000h ~ 77FF FFFFh	内部拡張バス		QSPI 領域	
7800 0000h ~ 7FFF FFFFh	予約領域		予約領域	
8000 0000h ~ FEF FFFFh	メモリバス 2	予約領域	コードフラッシュメモリ	予約領域
FF00 0000h ~ FFFF FFFFh		外部バス		外部アドレス空間 (CS0)

16.2 バスの説明

16.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。命令バスは 64 ビットです。オペランドバスは、64 ビットです。

命令バスとオペランドバスは、RAM、コードフラッシュメモリに接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、コードフラッシュメモリは読み出しのみ CPU からの直接アクセスが可能であり、プログラム/イレーズは内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス (メモリバス 1、メモリバス 2、内部メインバス 1) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、コードフラッシュメモリと RAM、コードフラッシュメモリと外部アクセスなどの並列動作が可能となります。

16.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があります。メモリバス 1 には RAM、メモリバス 2 にはコードフラッシュメモリが接続されています。メモリバスは 64 ビットです。メモリバス 1、2 は、CPU バス (命令フェッチとオペランド)、内部メインバス 2 からのバス権要求を調停します。

バスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1 (RAM) プライオリティ制御ビット (BUSPRI.BPRA[1:0])、メモリバス 2 (コードフラッシュメモリ) プライオリティ制御ビット (BUSPRI.BPRO[1:0]) により設定可能です。優先順位固定の場合は、バスの優先順位は、内部メインバス 2 > CPU バス (オペランド > 命令フェッチ) の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

16.2.3 内部メインバス

内部メインバスは、CPU が使用するバス (内部メインバス 1) と、CPU 以外のバスマスタ (DTC、DMAC) が使用するバス (内部メインバス 2) の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC、DMAC のバス権要求を調停します。優先順位は、表 16.3 に示すように、DMAC > DTC の順となります。

DTC と DMAC については、転送要求を受け付けたいずれかの一方のみがバス権要求を行います。DTC と DMAC の転送要求の優先順位は、BUSPRI レジスタの設定に関わらず、DMAC0 > DMAC1 > DMAC2 > DMAC3 > DMAC4 > DMAC5 > DMAC6 > DMAC7 > DTC の順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス (内蔵メモリ、内部周辺バス 1 ~ 内部周辺バス 6、外部バス) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ (BUSPRI) の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 16.3 バスマスタ優先順位

優先度	内部メインバス	バスマスタ
高 ↑ 低	—	EXDMAC
	2	DMAC
		DTC
	1	CPU

注. 上記はバス優先権が固定の場合です。
 バスプライオリティ制御レジスタ (BUSPRI)により、内部メインバス1とそれ以外(内部メインバス2とEXDMAC)のバス優先権をトグルすることができます。(ラウンドロビン方式)
 ただし、外部バスにのみ接続されるEXDMACと内部メインバス2の優先順位は、バスプライオリティ制御レジスタ (BUSPRI)の設定に関わらず、EXDMACが優先(EXDMAC > 内部メインバス2)されます。

16.2.4 内部周辺バス

表 16.4 に内部周辺バスに接続される周辺機能を示します。

表 16.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス1	DTC、DMAC、EXDMAC、割り込みコントローラ、バスエラー監視部
内部周辺バス2	内部周辺バス1、3、4、5以外の周辺機能
内部周辺バス3	USB、DOC、CTSU、REMC、スタンバイRAM
内部周辺バス4	MTU, SCIm, RSPI
内部周辺バス5	RSCI, RSPIA, RIICHS
内部周辺バス6	コードフラッシュメモリ (P/E時)、データフラッシュメモリ

内部周辺バス1～6は、それぞれ、CPU (内部メインバス1) と CPU 以外のバスマスタ (内部メインバス2)からのバス権要求を調停します。

2本のバスの優先順位は、バスプライオリティ制御レジスタ (BUSPRI)により設定可能です。優先順位は、内部周辺バス1プライオリティ制御ビット (BUSPRI.BPIB[1:0])、内部周辺バス2、3プライオリティ制御ビット (BUSPRI.BPGB[1:0])、内部周辺バス4、5プライオリティ制御ビット (BUSPRI.BPHB[1:0])、内部周辺バス6プライオリティ制御ビット (BUSPRI.BPFB[1:0])によりバスごとに設定できます。優先順位固定の場合は、内部メインバス2 > 内部メインバス1の順となります。優先順位トグルの場合は、内部メインバス1と内部メインバス2とでバス要求を受け付けられた方の優先順位が低くなります。(ラウンドロビン方式)

BUSPRIレジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください (図 16.2 参照)。

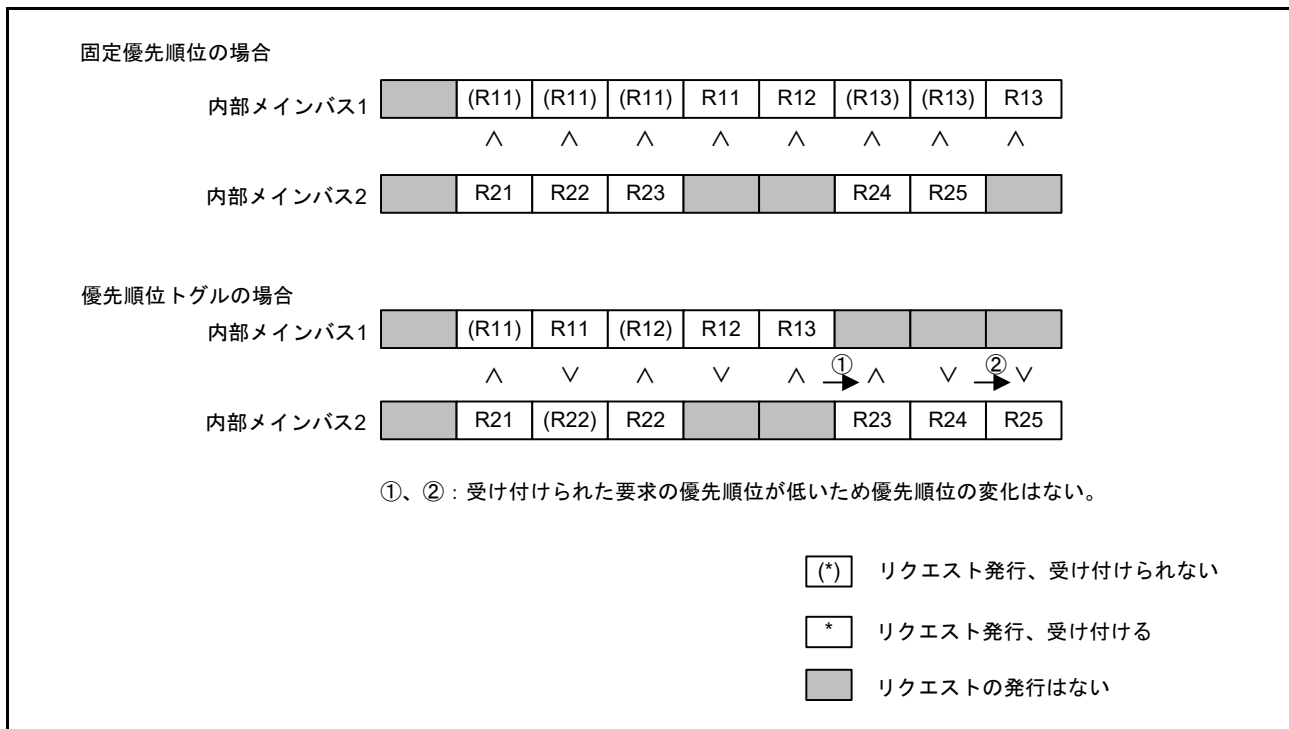


図 16.2 内部周辺バス優先順位

16.2.5 ライトバッファ機能 (内部周辺バス)

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。(図 16.3 参照)

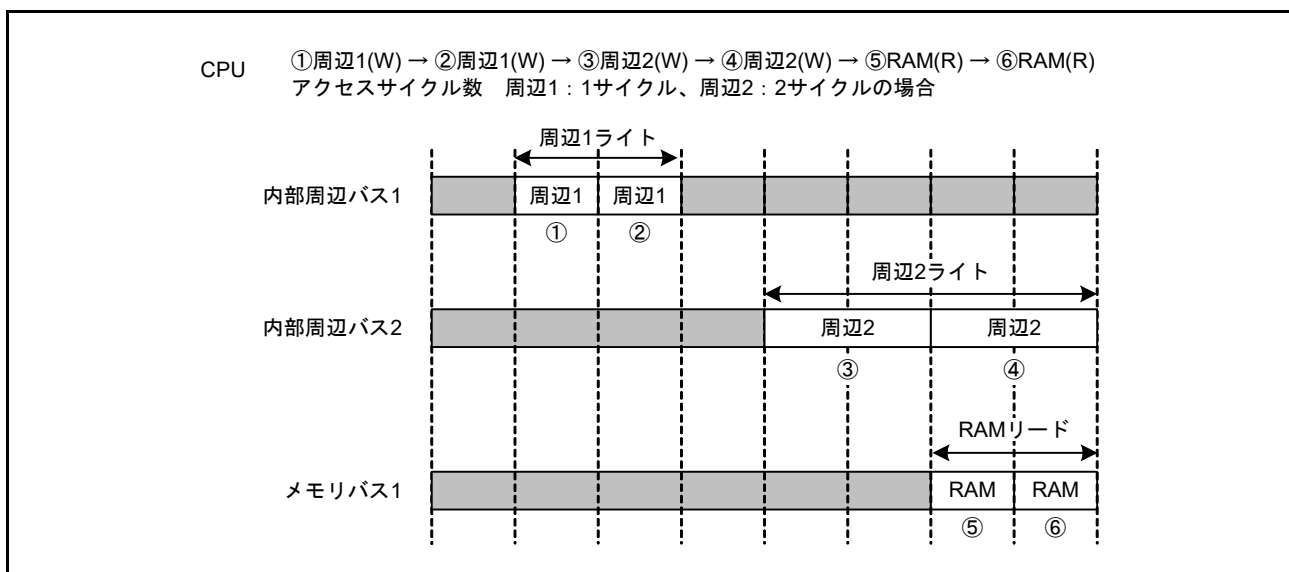


図 16.3 ライトバッファ機能

16.2.6 内部拡張バス

表 16.5 に、内部拡張バスに接続される周辺機能を示します。

表 16.5 内部拡張バスに接続される周辺機能

バスの種類	内容	エンディアン
内部拡張バス	<ul style="list-style-type: none"> • QSPIX モジュールを接続 • ICLK に同期して動作 	リトルエンディアン

内部拡張バスは、CPU (内部メインバス 1) と CPU 以外のバスマスタ (内部メインバス 2) からのバス権要求を調停します。

内部拡張バスは 32 ビットです。内部拡張バスのエンディアンはリトルエンディアンです。

2 本のバスの優先順位は、バスプライオリティ制御レジスタ (BUSPRI) により設定可能です。優先順位は、内部拡張バスプライオリティ制御 (BUSPRI.BPXB[1:0]) ビットにより設定できます。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

バスプライオリティ制御レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください (図 16.4 参照)。

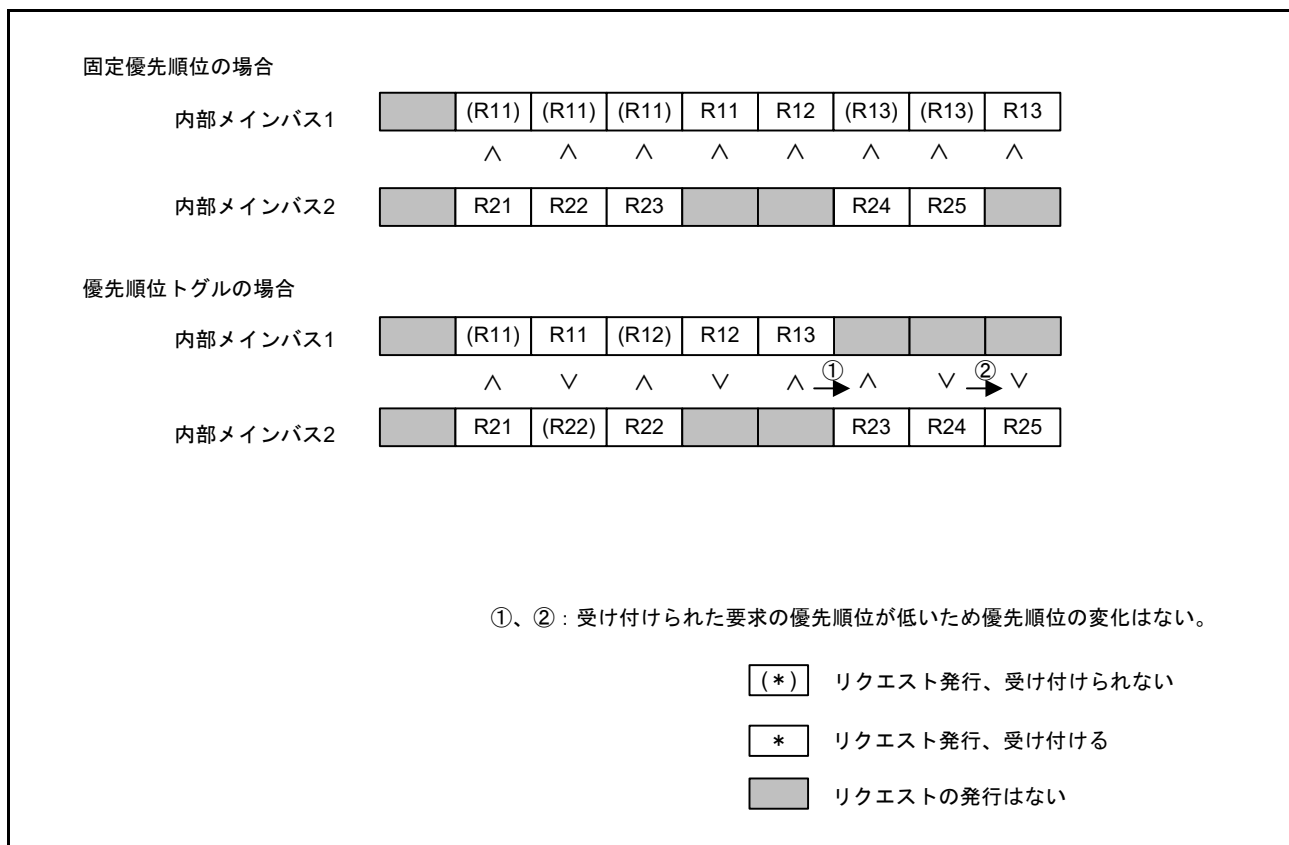


図 16.4 優先順位

内部拡張バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに次のアクセスを受け付けることができます。ただし、同じ内部メインバスからのアクセスが異なるバスに対するものである場合は、ライトアクセスが終了するまでの次のアクセスは待たされます。ただし、CPU から内部拡張バスのライトアクセス後に内蔵メモリへのアクセスがある場合には、動作の終了を待たずに次のアクセスを受け付けられるため、アクセスの順番が入れ替わることがあります (図 16.5 参照)。

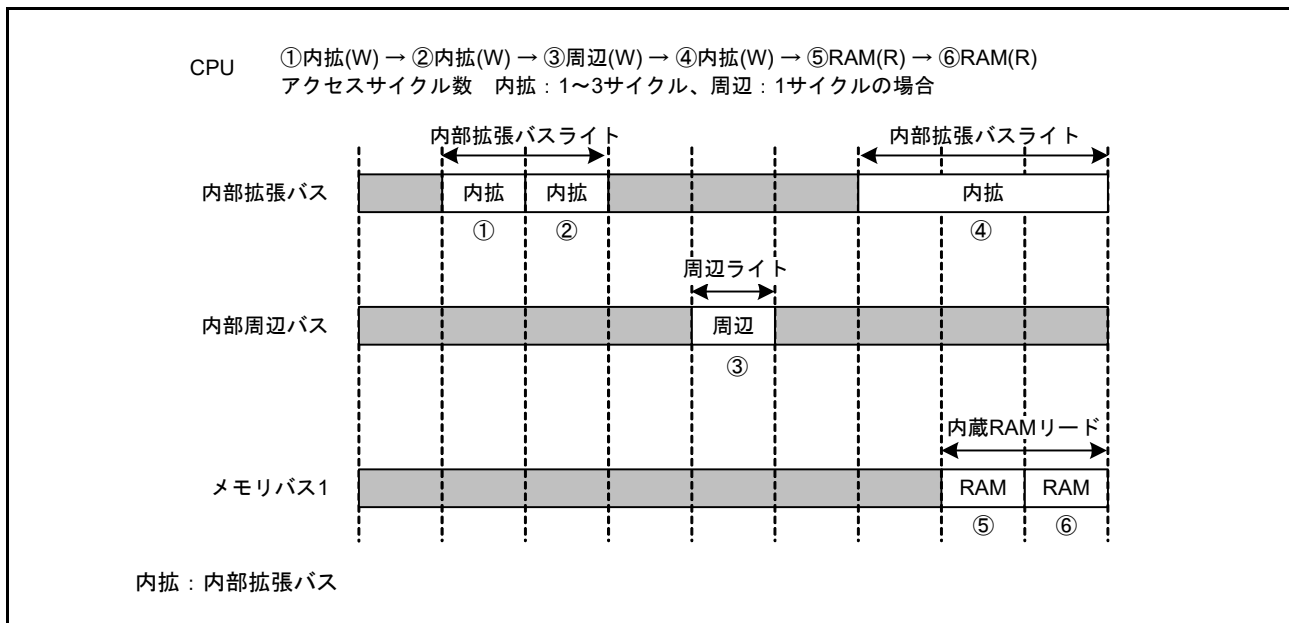


図 16.5 ライトバッファ機能

16.2.7 外部バス

表 16.6 に外部バスの仕様を示します。

外部バスコントローラは、内部メインバス 1、内部メインバス 2, EXDMAC からの外部アドレス空間、外部バスコントローラのレジスタ (CSC, SDRAMC) に対するバス権要求を調停します。ただし、EXDMAC からは、外部アドレス空間のみアクセス可能です。

3 本のバスの優先順位は、バスプライオリティ制御レジスタの外部バスプライオリティ制御ビット (BUSPRI.BPEB[1:0]) により設定可能です。優先順位固定の場合は、EXDMAC > 内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 とそれ以外 (内部メインバス 2、EXDMAC) とでバス要求を受け付けられた方の優先順位が低くなります。EXDMAC と内部メインバス 2 の優先順位は、外部バスプライオリティ制御ビットの設定にかかわらず固定 (EXDMAC > 内部メインバス 2) となります。

バスプライオリティ制御レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください (図 16.6 参照)。

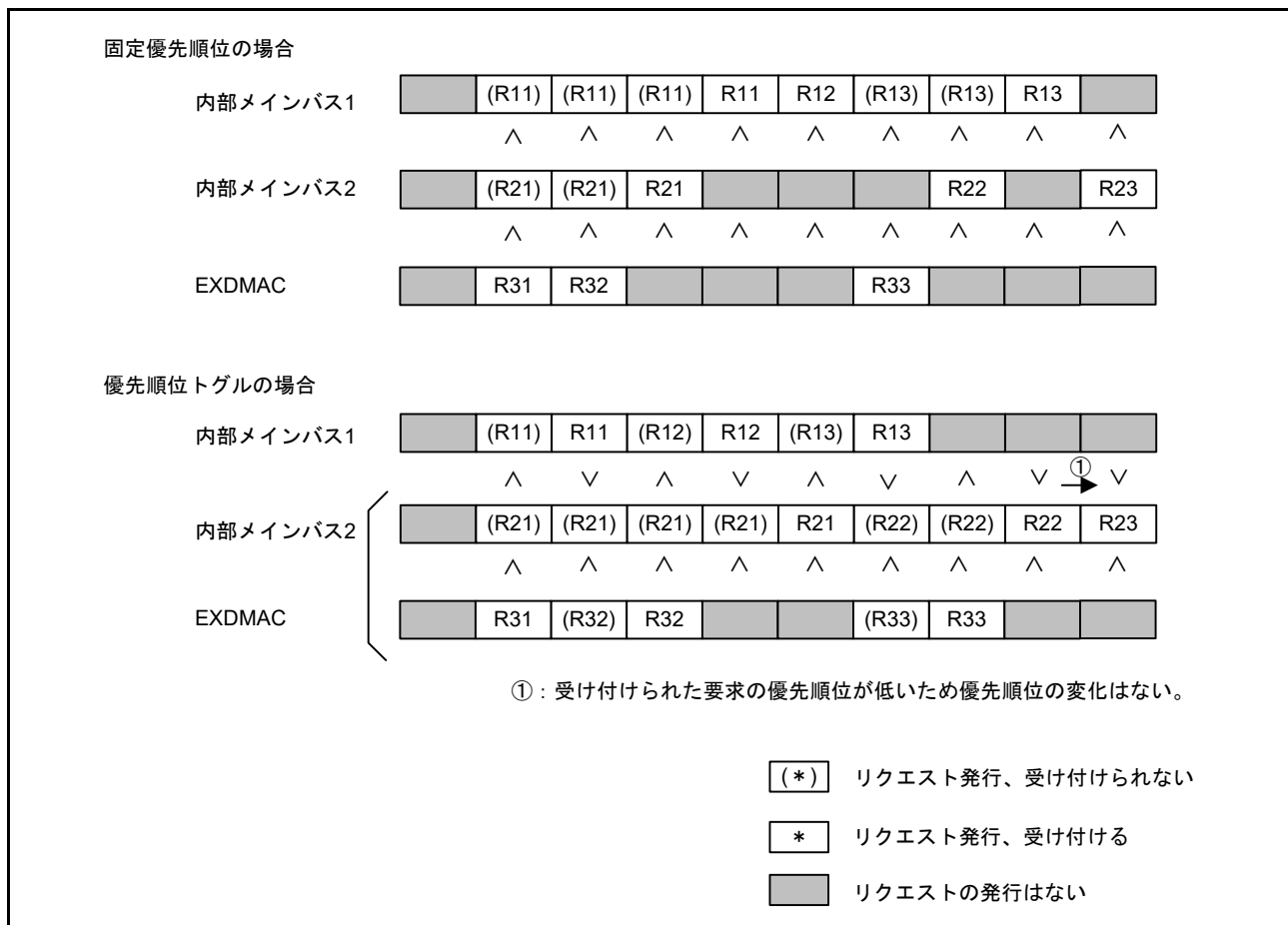


図 16.6 内部周辺バス優先順位

表 16.6 外部バスの仕様

項目	内容
外部アドレス空間	<ul style="list-style-type: none"> 外部アドレス空間を8つのCS領域(CS0～CS7)とSDRAM領域(SDCS)に分割して管理 領域ごとにチップセレクトを出力可能 領域ごとにバス幅を選択可能 セパレートバス：8ビットバス空間/16ビットバス空間を選択可能 アドレス/データマルチプレクスバス：8ビットバス空間/16ビットバス空間を選択可能 領域ごとにエンディアンを設定可能
CS領域コントローラ	<ul style="list-style-type: none"> リカバリサイクル挿入可能 リードリカバリ最大15サイクル挿入 ライトリカバリ最大15サイクル挿入 サイクルウェイト機能：最大31サイクルウェイト(ページアクセス最大7サイクルウェイト) ウェイト制御 チップセレクト信号(CS0#～CS7#)のアサート/ネゲートタイミング設定可能 リード信号(RD#)、ライト信号(WR0#/WR#, WR1#)のアサートタイミング設定可能 データ出力の開始/終了タイミング設定可能 ライトアクセスモード：1ライトストロープモード/バイトストロープモード セパレートバス、アドレス/データマルチプレクスバスを領域ごとに設定可能
SDRAM領域コントローラ	<ul style="list-style-type: none"> ロウアドレス/カラムアドレスのマルチプレクス出力(8ビット/9ビット/10ビット/11ビット) オートリフレッシュとセルフリフレッシュを選択可能 CASレイテンシを1～3に設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	<ul style="list-style-type: none"> CS領域コントローラ(CSC)は、BCLK(注1)に同期して動作 SDRAM領域コントローラ(SDRAMC)は、SDCLKに同期して動作

注1. SDRAM使用時、BCLKとSDCLKは同じ周波数で動作させる必要があります。

表 16.7 に外部バスの入出力端子を示します。

表 16.7 外部バスの入出力端子 (1/2)

端子名	入出力	機能
A23～A0(注1)	出力	アドレス出力端子です
D15～D0	入出力	データ入出力端子です 16ビットバス空間を設定した場合、D15～D0が有効となります 8ビットバス空間を設定した場合、D7～D0が有効となります
BC0#(注1)	出力	1ライトストロープモード時、外部アドレス空間をアクセス中で(BC0#信号がLowの場合)、D7～D0が有効であることを示すストロープ信号です 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくLow出力となります
BC1#	出力	1ライトストロープモード時、外部アドレス空間をアクセス中で(BC1#信号がLowの場合)、D15～D8が有効であることを示すストロープ信号です 8ビットバス空間を設定した場合、使用しません
CS0#	出力	領域0(CS0)チップセレクト信号です
CS1#	出力	領域1(CS1)チップセレクト信号です
CS2#	出力	領域2(CS2)チップセレクト信号です
CS3#	出力	領域3(CS3)チップセレクト信号です
CS4#	出力	領域4(CS4)チップセレクト信号です
CS5#	出力	領域5(CS5)チップセレクト信号です
CS6#	出力	領域6(CS6)チップセレクト信号です
CS7#	出力	領域7(CS7)チップセレクト信号です
RD#	出力	外部アドレス空間(CS0～CS7)をリード中であることを示すストロープ信号です
WR0#/WR#	出力	WR0#信号は、バイトストロープモード時、外部アドレス空間をライト中で(WR0#信号がLowの場合)、D7～D0が有効であることを示すストロープ信号です WR#信号は、1ライトストロープモード時、外部アドレス空間をライト中であることを示すストロープ信号です。 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくライトアクセス時にLowが出力されません

表 16.7 外部バスの入出力端子 (2 / 2)

端子名	入出力	機能
WR1#	出力	バ이트ストローブモード時、外部アドレス空間をライト中で (WR1#信号がLowの場合)、D15～D8が有効であることを示すストローブ信号です 1ライトストローブモード時、無効となります 8ビットバス空間を設定した場合、使用しません
ALE	出力	アドレス/データマルチプレクスバス選択時のアドレスラッチ信号です
WAIT#	入力	外部アドレス空間 (CS0～CS7) をアクセスするときのウェイト要求信号です。(Low : ウェイト要求)
SDCLK	出力	SDRAMクロック
CKE	出力	SDRAMクロックイネーブル信号です
SDCS#	出力	SDRAMチップセレクト信号です
RAS#	出力	SDRAMロウアドレスストローブ信号です
CAS#	出力	SDRAMカラムアドレスストローブ信号です
WE#	出力	SDRAMライトイネーブル信号です
DQM0	出力	SDRAM入出力データマスクイネーブル信号です。D7～D0を制御します
DQM1	出力	SDRAM入出力データマスクイネーブル信号です。D15～D8を制御します

注1. A0端子とBC0#端子は兼用しており、領域ごとにバ이트ストローブモード時はA0端子、1ライトストローブモード時はBC0#端子が有効になります。ただし、1ライトストローブモード時は、8ビット外部バス幅の設定は禁止です。その他の兼用端子については、「22. I/Oポート」を参照してください。

16.2.8 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPUの命令フェッチがコードフラッシュメモリを、オペランドがRAMをアクセス中に、DMACは周辺-外部バス間の転送を行うことができます。図16.7に並列動作の例を示します。この例の場合、CPUは命令バスとオペランドバスを使って、それぞれコードフラッシュメモリとRAMを同時にアクセスすることが可能です。また、CPUがコードフラッシュメモリとRAMをアクセス中に、DMACは内部メインバス2を使って、周辺バスあるいは外部バスを同時にアクセスすることができます。

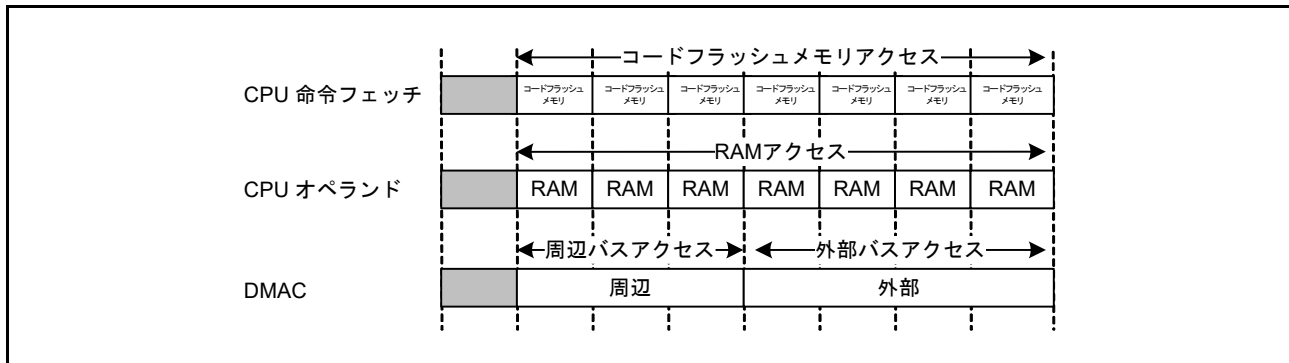


図 16.7 並列動作の例

16.2.9 バスの設定

- (1) 外部バスのモードを、CSn モードレジスタ (CSnMOD)、CSn ウェイト制御レジスタ 1 (CSnWCR1)、CSn ウェイト制御レジスタ 2 (CSnWCR2)、CSn 制御レジスタ (CSnCR)、CSn リカバリサイクル設定レジスタ (CSnREC)、CS リカバリサイクル挿入許可レジスタ (CSRECEN)、バスエラー監視許可レジスタ (BEREN)、バスプライオリティ制御レジスタ (BUSPRI) で設定します。
- (2) 端子の設定を、CS 出力許可レジスタ (PFCSE)、CS 出力端子選択レジスタ 0 (PFCSS0)、CS 出力端子選択レジスタ 1 (PFCSS1)、アドレス出力許可レジスタ 0 (PFAOE0)、アドレス出力許可レジスタ 1 (PFAOE1)、外部バス制御レジスタ 0 (PFBCR0)、外部バス制御レジスタ 1 (PFBCR1)で行います。
- (3) 使用する端子を入力ポートに設定します。
- (4) システムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE) を“1”(外部バス有効)に設定します。

16.2.10 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

また、EXDMACのシングルアドレスモードブロック転送およびクラスタ転送中に、アドレス空間の各領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。EXDMACのシングルアドレスモードブロック転送、クラスタ転送によりアドレス空間の各領域境界をはさんで2つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- (a) 外部空間には領域ごとのエンディアン切り替え機能(データのみ)がありますが、チップのエンディアンと異なる設定を行った領域にRMPA命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- (b) RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(3) エンディアンに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

また、CPUから64ビットのオペランドアクセスを行う場合は、チップのエンディアン設定と同じ設定を行った領域に対してアクセスしてください。チップのエンディアン設定と異なるエンディアン設定の領域に対して64ビットのオペランドアクセスはできません。

内部拡張バスはリトルエンディアンのみサポートします。チップのエンディアン設定がビッグエンディアンのときに内部拡張バス領域に命令コードを配置する場合は、ビッグエンディアン用の命令コードをバイナリデータとして配置しておき、それをビッグエンディアンの別領域にコピーして実行してください。

16.3 レジスタの説明

16.3.1 CSn 制御レジスタ (CSnCR) (n = 0 ~ 7)

アドレス CS0CR 0008 3802h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MPXEN	—	—	—	EMOD E	—	—	BSIZE[1:0]	—	—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

アドレス CS1CR 0008 3812h, CS2CR 0008 3822h, CS3CR 0008 3832h,
CS4CR 0008 3842h, CS5CR 0008 3852h, CS6CR 0008 3862h, CS7CR 0008 3872h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MPXEN	—	—	—	EMOD E	—	—	BSIZE[1:0]	—	—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0: 動作禁止 1: 動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	外部バス幅選択ビット	b5 b4 0 0: 16ビットバス空間に設定 0 1: 設定しないでください 1 0: 8ビットバス空間に設定 1 1: 設定しないでください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EMODE	エンディアンモード指定ビット	0: 領域nのエンディアンは動作モードのエンディアンと同じ 1: 領域nのエンディアンは動作モードのエンディアンと異なる (n = 0 ~ 7)	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	MPXEN	アドレス/データマルチプレクス I/O インタフェース選択ビット	0: 領域nはセパレートバスインタフェース 1: 領域nはアドレス/データマルチプレクスI/O インタフェース (n = 0 ~ 7)	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnCR レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

EXENB ビット (動作許可ビット)

各領域の動作許可 / 禁止を設定します。

なお、リセット後は、領域 0 (CS0) のみ動作許可 (“1”) になり、それ以外の領域は動作禁止 (“0”) になります。

動作禁止に設定した領域をアクセスした場合は、外部バスアクセスは発生しません。このとき、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビット (BEREN.IGAEN = 1) が検出許可に設定されていれば、不正アドレスエラーとなります。

BSIZE[1:0] ビット (外部バス幅選択ビット)

各領域のデータバス幅を設定します。

なお、リセット後の領域 0 (CS0) のデータバス幅は、動作モードのバス幅の設定に依存します。

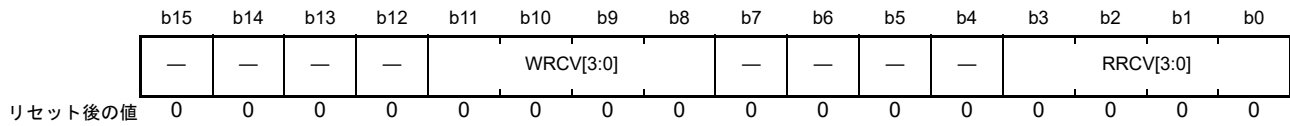
EMODE ビット (エンディアンモード指定ビット)

各領域のエンディアンを設定します。

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.3.2 CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 7)

アドレス CS0REC 0008 380Ah, CS1REC 0008 381Ah, CS2REC 0008 382Ah, CS3REC 0008 383Ah,
CS4REC 0008 384Ah, CS5REC 0008 385Ah, CS6REC 0008 386Ah, CS7REC 0008 387Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	RRCV[3:0]	リードリカバリ設定ビット	b3 b0 0 0 0 0: リカバリサイクルを挿入しない 0 0 0 1: リカバリサイクルを1サイクル挿入 0 0 1 0: リカバリサイクルを2サイクル挿入 0 0 1 1: リカバリサイクルを3サイクル挿入 0 1 0 0: リカバリサイクルを4サイクル挿入 0 1 0 1: リカバリサイクルを5サイクル挿入 0 1 1 0: リカバリサイクルを6サイクル挿入 0 1 1 1: リカバリサイクルを7サイクル挿入 1 0 0 0: リカバリサイクルを8サイクル挿入 1 0 0 1: リカバリサイクルを9サイクル挿入 1 0 1 0: リカバリサイクルを10サイクル挿入 1 0 1 1: リカバリサイクルを11サイクル挿入 1 1 0 0: リカバリサイクルを12サイクル挿入 1 1 0 1: リカバリサイクルを13サイクル挿入 1 1 1 0: リカバリサイクルを14サイクル挿入 1 1 1 1: リカバリサイクルを15サイクル挿入	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	WRCV[3:0]	ライトリカバリ設定ビット	b11 b8 0 0 0 0: リカバリサイクルを挿入しない 0 0 0 1: リカバリサイクルを1サイクル挿入 0 0 1 0: リカバリサイクルを2サイクル挿入 0 0 1 1: リカバリサイクルを3サイクル挿入 0 1 0 0: リカバリサイクルを4サイクル挿入 0 1 0 1: リカバリサイクルを5サイクル挿入 0 1 1 0: リカバリサイクルを6サイクル挿入 0 1 1 1: リカバリサイクルを7サイクル挿入 1 0 0 0: リカバリサイクルを8サイクル挿入 1 0 0 1: リカバリサイクルを9サイクル挿入 1 0 1 0: リカバリサイクルを10サイクル挿入 1 0 1 1: リカバリサイクルを11サイクル挿入 1 1 0 0: リカバリサイクルを12サイクル挿入 1 1 0 1: リカバリサイクルを13サイクル挿入 1 1 1 0: リカバリサイクルを14サイクル挿入 1 1 1 1: リカバリサイクルを15サイクル挿入	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnREC レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j = 0 ~ 7) により、アドレス / データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) により、リカバリサイクル挿入許可に設定されている場合に有効となります。

RRCV[3:0] ビット (リードリカバリ設定ビット)

外部バスに対するリードアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b”以外を設定すると、以下の場合に1 ~ 15サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合

- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合

WRCV[3:0] ビット (ライトリカバリ設定ビット)

外部バスに対するライトアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b”以外を設定すると、以下の場合に1～15サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

16.3.3 CS リカバリサイクル挿入許可レジスタ (CSRECEN)

アドレス 0008 3880h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVEN M7	RCVEN M6	RCVEN M5	RCVEN M4	RCVEN M3	RCVEN M2	RCVEN M1	RCVEN M0	RCVEN 7	RCVEN 6	RCVEN 5	RCVEN 4	RCVEN 3	RCVEN 2	RCVEN 1	RCVEN 0
リセット後の値	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	RCVEN0	セパレートバス用リカバリサイクル挿入許可0ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b1	RCVEN1	セパレートバス用リカバリサイクル挿入許可1ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b2	RCVEN2	セパレートバス用リカバリサイクル挿入許可2ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b3	RCVEN3	セパレートバス用リカバリサイクル挿入許可3ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b4	RCVEN4	セパレートバス用リカバリサイクル挿入許可4ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b5	RCVEN5	セパレートバス用リカバリサイクル挿入許可5ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b6	RCVEN6	セパレートバス用リカバリサイクル挿入許可6ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b7	RCVEN7	セパレートバス用リカバリサイクル挿入許可7ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b8	RCVENM0	マルチプレクスバス用リカバリサイクル挿入許可0ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b9	RCVENM1	マルチプレクスバス用リカバリサイクル挿入許可1ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b10	RCVENM2	マルチプレクスバス用リカバリサイクル挿入許可2ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b11	RCVENM3	マルチプレクスバス用リカバリサイクル挿入許可3ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b12	RCVENM4	マルチプレクスバス用リカバリサイクル挿入許可4ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b13	RCVENM5	マルチプレクスバス用リカバリサイクル挿入許可5ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b14	RCVENM6	マルチプレクスバス用リカバリサイクル挿入許可6ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b15	RCVENM7	マルチプレクスバス用リカバリサイクル挿入許可7ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W

CSRECEN レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

RCVEN0 ビット (セパレートバス用リカバリサイクル挿入許可 0 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN1 ビット (セパレートバス用リカバリサイクル挿入許可 1 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN2 ビット (セパレートバス用リカバリサイクル挿入許可 2 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN3 ビット (セパレートバス用リカバリサイクル挿入許可 3 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN4 ビット (セパレートバス用リカバリサイクル挿入許可 4 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN5 ビット (セパレートバス用リカバリサイクル挿入許可 5 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN6 ビット (セパレートバス用リカバリサイクル挿入許可 6 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN7 ビット (セパレートバス用リカバリサイクル挿入許可 7 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM0 ビット (マルチプレクスバス用リカバリサイクル挿入許可 0 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM1 ビット (マルチプレクスバス用リカバリサイクル挿入許可 1 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM2 ビット (マルチプレクスバス用リカバリサイクル挿入許可 2 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM3 ビット (マルチプレクスバス用リカバリサイクル挿入許可 3 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM4 ビット (マルチプレクスバス用リカバリサイクル挿入許可 4 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM5 ビット (マルチプレクスバス用リカバリサイクル挿入許可 5 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM6 ビット (マルチプレクスバス用リカバリサイクル挿入許可 6 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM7 ビット (マルチプレクスバス用リカバリサイクル挿入許可 7 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

表 16.8 リカバリサイクルの挿入

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入	対応ビット (セパレート/マルチプレクス)
リードアクセス後のリードアクセス	同じ領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN0/RCVENM0
	異なる領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN1/RCVENM1
リードアクセス後のライトアクセス	同じ領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN2/RCVENM2
	異なる領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN3/RCVENM3
ライトアクセス後のリードアクセス	同じ領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN4/RCVENM4
	異なる領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN5/RCVENM5
ライトアクセス後のライトアクセス	同じ領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN6/RCVENM6
	異なる領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN7/RCVENM7

16.3.4 CSn モードレジスタ (CSnMOD) (n = 0 ~ 7)

アドレス CS0MOD 0008 3002h, CS1MOD 0008 3012h, CS2MOD 0008 3022h, CS3MOD 0008 3032h,
CS4MOD 0008 3042h, CS5MOD 0008 3052h, CS6MOD 0008 3062h, CS7MOD 0008 3072h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRMOD	ライトアクセスモード選択ビット	0: バイトストローブモード 1: 1ライトストローブモード	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EWENB	外部ウェイト許可ビット	0: 外部ウェイト禁止 1: 外部ウェイト許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRENB	ページリードアクセス許可ビット	0: ページリードアクセス禁止 1: ページリードアクセス許可	R/W
b9	PWENB	ページライトアクセス許可ビット	0: ページライトアクセス禁止 1: ページライトアクセス許可	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	PRMOD	ページリードアクセスモード選択ビット	0: ノーマルアクセス互換モード 1: 外部データリード連続アサートモード	R/W

CSnMOD レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

WRMOD ビット (ライトアクセスモード選択ビット)

ライトアクセス時の動作モードを選択します。

“0”を設定すると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WRn# 信号 (n = 0, 1) によりデータの書き込みの制御を行います。

“1”を設定すると、1ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn# 信号 (n = 0, 1) と WR# 信号によりデータの書き込みの制御を行います。ただし、1ライトストローブモード時は、8ビット外部バス幅の設定は禁止です。

表 16.9 ライトアクセスモードの制御信号

モード	端子名			
	WR1#	WR0#/WR#	BC1#	BC0#
ライトアクセスモード				
バイトストローブモード	○	○(WR0#)	×	×
1ライトストローブモード	×	○(WR#)	○	○

○: 有効、×: 無効

EWENB ビット (外部ウェイト許可ビット)

外部ウェイトの許可/禁止を設定します。

“1”を設定すると、外部ウェイト許可となり、WAIT# 信号により各サイクルのウェイト数を任意に制御することが可能になります。この場合、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。

“0”を設定すると、WAIT# 信号は無効となります。

PRENB ビット (ページリードアクセス許可ビット)

ページリードアクセスの許可 / 禁止を設定します。

注 . CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス / データマルチプレクス I/O インタフェースを選択している場合、ページリードアクセスを許可しないでください。アドレス / データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PWENB ビット (ページライトアクセス許可ビット)

ページライトアクセスの許可 / 禁止を設定します。

注 . CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス / データマルチプレクス I/O インタフェースを選択している場合、ページライトアクセスを許可しないでください。アドレス / データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PRMOD ビット (ページリードアクセスモード選択ビット)

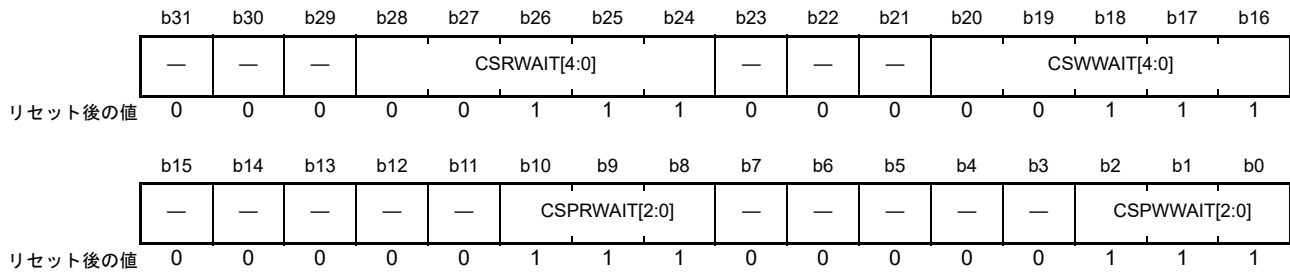
ページリードアクセス時の動作モードを選択します。

“0”を設定すると、ノーマルアクセス互換モードになります。このとき、1つのデータをリードするごとに RD# 信号がネゲートされ、RD アサートウェイトが挿入されます。ただし、RD アサートウェイトが 0 の場合は、外部バスアクセスの最後の転送以外 RD# 信号はネゲートされません。

“1”を設定すると、外部データリード連続アサートモードになります。このとき、RD アサートウェイトは挿入されますが、その間 RD# 信号がアサートされ続けます。

16.3.5 CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ~ 7)

アドレス CS0WCR1 0008 3004h, CS1WCR1 0008 3014h, CS2WCR1 0008 3024h, CS3WCR1 0008 3034h,
CS4WCR1 0008 3044h, CS5WCR1 0008 3054h, CS6WCR1 0008 3064h, CS7WCR1 0008 3074h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CSPWWAIT[2:0]	ページライトサイクルウェイト選択ビット (注1)	b2 b0 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CSPRWAIT[2:0]	ページリードサイクルウェイト選択ビット (注2)	b10 b8 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b20-b16	CSWWAIT[4:0]	ノーマルライトサイクルウェイト 選択ビット	b20 b16 0 0 0 0 0 : ウェイトを挿入しない 0 0 0 0 1 : ウェイトを1サイクル挿入 0 0 0 1 0 : ウェイトを2サイクル挿入 0 0 0 1 1 : ウェイトを3サイクル挿入 0 0 1 0 0 : ウェイトを4サイクル挿入 0 0 1 0 1 : ウェイトを5サイクル挿入 0 0 1 1 0 : ウェイトを6サイクル挿入 0 0 1 1 1 : ウェイトを7サイクル挿入 0 1 0 0 0 : ウェイトを8サイクル挿入 0 1 0 0 1 : ウェイトを9サイクル挿入 0 1 0 1 0 : ウェイトを10サイクル挿入 0 1 0 1 1 : ウェイトを11サイクル挿入 0 1 1 0 0 : ウェイトを12サイクル挿入 0 1 1 0 1 : ウェイトを13サイクル挿入 0 1 1 1 0 : ウェイトを14サイクル挿入 0 1 1 1 1 : ウェイトを15サイクル挿入 1 0 0 0 0 : ウェイトを16サイクル挿入 1 0 0 0 1 : ウェイトを17サイクル挿入 1 0 0 1 0 : ウェイトを18サイクル挿入 1 0 0 1 1 : ウェイトを19サイクル挿入 1 0 1 0 0 : ウェイトを20サイクル挿入 1 0 1 0 1 : ウェイトを21サイクル挿入 1 0 1 1 0 : ウェイトを22サイクル挿入 1 0 1 1 1 : ウェイトを23サイクル挿入 1 1 0 0 0 : ウェイトを24サイクル挿入 1 1 0 0 1 : ウェイトを25サイクル挿入 1 1 0 1 0 : ウェイトを26サイクル挿入 1 1 0 1 1 : ウェイトを27サイクル挿入 1 1 1 0 0 : ウェイトを28サイクル挿入 1 1 1 0 1 : ウェイトを29サイクル挿入 1 1 1 1 0 : ウェイトを30サイクル挿入 1 1 1 1 1 : ウェイトを31サイクル挿入	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28-b24	CSRWAIT[4:0]	ノーマルリードサイクルウェイト 選択ビット	b28 b24 0 0 0 0 0 : ウェイトを挿入しない 0 0 0 0 1 : ウェイトを1サイクル挿入 0 0 0 1 0 : ウェイトを2サイクル挿入 0 0 0 1 1 : ウェイトを3サイクル挿入 0 0 1 0 0 : ウェイトを4サイクル挿入 0 0 1 0 1 : ウェイトを5サイクル挿入 0 0 1 1 0 : ウェイトを6サイクル挿入 0 0 1 1 1 : ウェイトを7サイクル挿入 0 1 0 0 0 : ウェイトを8サイクル挿入 0 1 0 0 1 : ウェイトを9サイクル挿入 0 1 0 1 0 : ウェイトを10サイクル挿入 0 1 0 1 1 : ウェイトを11サイクル挿入 0 1 1 0 0 : ウェイトを12サイクル挿入 0 1 1 0 1 : ウェイトを13サイクル挿入 0 1 1 1 0 : ウェイトを14サイクル挿入 0 1 1 1 1 : ウェイトを15サイクル挿入 1 0 0 0 0 : ウェイトを16サイクル挿入 1 0 0 0 1 : ウェイトを17サイクル挿入 1 0 0 1 0 : ウェイトを18サイクル挿入 1 0 0 1 1 : ウェイトを19サイクル挿入 1 0 1 0 0 : ウェイトを20サイクル挿入 1 0 1 0 1 : ウェイトを21サイクル挿入 1 0 1 1 0 : ウェイトを22サイクル挿入 1 0 1 1 1 : ウェイトを23サイクル挿入 1 1 0 0 0 : ウェイトを24サイクル挿入 1 1 0 0 1 : ウェイトを25サイクル挿入 1 1 0 1 0 : ウェイトを26サイクル挿入 1 1 0 1 1 : ウェイトを27サイクル挿入 1 1 1 0 0 : ウェイトを28サイクル挿入 1 1 1 0 1 : ウェイトを29サイクル挿入 1 1 1 1 0 : ウェイトを30サイクル挿入 1 1 1 1 1 : ウェイトを31サイクル挿入	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CSPWWAIT[2:0]ビットの設定値は、CSnMOD.PWENBビットが“1”の場合のみ有効となります。

注2. CSPRWAIT[2:0]ビットの設定値は、CSnMOD.PRENBビットが“1”の場合のみ有効となります。

CSnWCR1 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「16.5.7 制約事項 (1) セパレートバスインタフェースの場合の制約事項」あるいは、「16.5.7 制約事項 (2) アドレス / データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。また、EXDMAC のシングルアドレス転送モードを使用時は、「16.5.7 制約事項 (5) EXDMAC のシングルアドレス転送モード時の制約事項」に示す制約の範囲内で設定してください。

CSPWAIT[2:0] ビット (ページライトサイクルウェイト選択ビット)

ページライトサイクルの 2 サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPWAIT[2:0] ビットの設定は、CSnMOD.PWENB ビットが“1”のとき有効になります。

注 . $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ 、
また $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ と
なるように設定してください。

CSPRWAIT[2:0] ビット (ページリードサイクルウェイト選択ビット)

ページリードサイクルの 2 サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPRWAIT[2:0] ビットの設定は、CSnMOD.PRENB ビットが“1”のとき有効になります。

注 . $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPRWAIT}[2:0] \text{ ビット}$ となるよ
うに設定してください。

CSWWAIT[4:0] ビット (ノーマルライトサイクルウェイト 選択ビット)

ノーマルライトサイクルおよびページライトサイクルの最初のアクセスに挿入するサイクル数を設定します。

注 . $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ 、ま
た $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ となる
ように設定してください。

CSRWAIT[4:0] ビット (ノーマルリードサイクルウェイト 選択ビット)

ノーマルリードサイクルおよびページリードサイクルの最初のアクセスに挿入するサイクル数を設定します。

注 . $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSRWAIT}[4:0] \text{ ビット}$ となるよ
うに設定してください。

16.3.6 CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ~ 7)

アドレス CS0WCR2 0008 3008h, CS1WCR2 0008 3018h, CS2WCR2 0008 3028h, CS3WCR2 0008 3038h,
CS4WCR2 0008 3048h, CS5WCR2 0008 3058h, CS6WCR2 0008 3068h, CS7WCR2 0008 3078h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AWAIT[1:0]		—	WDOFF[2:0]		—	CSWOFF[2:0]			—	CSROFF[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSROFF[2:0]	リード時CS延長サイクル選択ビット	b2 b0 0 0 0 : ウェイトを挿入しない 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	CSWOFF[2:0]	ライト時CS延長サイクル選択ビット	b6 b4 0 0 0 : ウェイトを挿入しない 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット	b10 b8 0 0 0 : ウェイトを挿入しない 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	AWAIT[1:0]	アドレスサイクルウェイト選択ビット	b13 b12 0 0 : ウェイトを挿入しない 0 1 : ウェイトを1サイクル挿入 1 0 : ウェイトを2サイクル挿入 1 1 : ウェイトを3サイクル挿入	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RDON[2:0]	RDアサートウェイト選択ビット	b18 b16 0 0 0 : ウェイトを挿入しない 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b20	WRON[2:0]	WRアサートウェイト選択ビット	b22 b20 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット	b26 b24 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	CSON[2:0]	CSアサートウェイト選択ビット	b30 b28 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnWCR2 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「16.5.7 制約事項 (1) セパレートバスインタフェースの場合の制約事項」あるいは、「16.5.7 制約事項 (2) アドレス / データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。また、EXDMAC のシングルアドレス転送モードを使用時は、「16.5.7 制約事項 (5) EXDMAC のシングルアドレス転送モード時の制約事項」に示す制約の範囲内で設定してください。

CSROFF[2:0] ビット (リード時 CS 延長サイクル選択ビット)

リードアクセス時のウェイトサイクル終了時 (RD# 信号のネゲート時) から CSn# 信号 (n = 0 ~ 7) をネゲートするまでのサイクル数を設定します。

CSWOFF[2:0] ビット (ライト時 CS 延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n = 0, 1) のネゲート時) から CSn# 信号 (n = 0 ~ 7) をネゲートするまでのサイクル数を設定します。

注. CSnWCR2.WDOFF[2:0] ビット ≤ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

WDOFF[2:0] ビット (ライトデータ出力延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n = 0, 1) のネゲート時) からライトデータ出力を終了するまでのサイクル数を設定します。

EXDMAC のクラスタ転送を除くシングルアドレス転送モード時には、チップからのライトデータ出力は行われませんが、ページアクセスのバス分割間のライトデータ出力延長サイクルの値は有効となります。

注. CSnWCR2.WDOFF[2:0] ビット ≤ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

AWAIT[1:0] ビット (アドレスサイクルウェイト選択ビット)

アドレス/データマルチプレクス I/O インタフェースのアドレス出力サイクルにウェイトサイクルを挿入します。

- 注. CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.AWAIT[1:0] ビット
 リードアクセス時、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSRWAIT[4:0] ビット
 ライトアクセス時、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット
 また、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビット
 となるように設定してください。

RDON[2:0] ビット (RD アサートウェイト選択ビット)

RD# 信号のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSRWAIT[4:0] ビット
 ページリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSPRWAIT[2:0] ビット
 となるように設定してください。
- 注. EXDMAC のクラスタ転送を除くシングルアドレス転送モード時のリードアクセスの場合には、上記条件に加えて、CSnWCR2.RDON[2:0] ビット \geq 1 となるように設定してください。
- 注. アドレス/データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.RDON[2:0] ビット \leq CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。

WRON[2:0] ビット (WR アサートウェイト選択ビット)

WRn# 信号 (n = 0, 1) のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット、また、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWAIT[2:0] ビット、また、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWAIT[2:0] ビット
 となるように設定してください。
- 注. EXDMAC のクラスタ転送を除くシングルアドレス転送モード時のライトアクセスの場合には、上記条件に加えて、CSnWCR2.WRON[2:0] ビット \geq 1 となるように設定してください。
- 注. アドレス/データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.WRON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

WDON[2:0] ビット (ライトデータ出力ウェイト選択ビット)

ライトデータ出力の前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWAIT[2:0] ビット
 となるように設定してください。
- 注. アドレス/データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.WDON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

CSON[2:0] ビット (CS アサートウェイト選択ビット)

CSn# 信号 (n=0 ~ 7) のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.RDON[2:0] ビット ≤ CSnWCR1.CSRWAIT[4:0] ビット
 ページリードアクセス時、CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.RDON[2:0] ビット ≤ CSnWCR1.CSPRWAIT[2:0] ビット
 ノーマルライトアクセス時、CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.WRON[2:0] ビット ≤ CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.WRON[2:0] ビット ≤ CSnWCR1.CSPWAIT[2:0] ビット
 となるように設定してください。
- 注. アドレス/データマルチプレクス I/O インタフェースの場合、CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.AWAIT[1:0] ビットとなるように設定してください。

16.3.7 SDC 制御レジスタ (SDCCR)

アドレス 0008 3C00h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	BSIZE[1:0]	—	—	—	—	EXENB

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0: 動作禁止 1: 動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	SDRAMバス幅選択ビット	b5 b4 0 0: 16ビットバス空間に設定 0 1: 設定しないでください 1 0: 8ビットバス空間に設定 1 1: 設定しないでください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EXENB ビット (動作許可ビット)

SDRAM アドレス空間の動作許可/禁止を設定します。リセット後は、動作禁止 (“0”) になります。動作禁止に設定した領域をアクセスした場合は、SDRAM アクセスは発生しません。このとき、バリエーション監視許可レジスタの不正アドレスアクセス検出許可ビット (BEREN.IGAEN = 1) が検出許可に設定されていれば、バリエーション監視許可となります。

16.3.8 SDC モードレジスタ (SDCMOD)

アドレス 0008 3C01h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMODE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EMODE	エンディアン指定ビット	0 : SDRAMアドレス空間のエンディアンは動作モードのエンディアンと同じ 1 : SDRAMアドレス空間のエンディアンは動作モードのエンディアンと異なる	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

リセット解除以降、一度だけ書き込みを行うことができます。以後、ライトアクセスを行った場合の動作は保証されません。

EMODE ビット (エンディアン指定ビット)

SDRAM アドレス空間のエンディアンを設定します。

エンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを SDRAM アドレス空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.3.9 SDRAM アクセスモードレジスタ (SDAMOD)

アドレス 0008 3C02h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BE	連続アクセス許可ビット	0 : 連続アクセス禁止 1 : 連続アクセス許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDAMOD レジスタの設定は、「表 16.16 レジスタの書き換え条件」を満たしているときのみ行ってください。条件が満たされない状態で設定を行った場合の動作は保証されません。

BE ビット (連続アクセス許可ビット)

SDRAM 空間の連続アクセスの許可または禁止を設定します。

注． EXDMAC 以外のバスマスタから SDRAM 領域へアクセスする場合、連続アクセス許可に設定することは禁止しており、設定された場合の動作は保証していません。

16.3.10 SDRAM セルフリフレッシュ制御レジスタ (SDSELF)

アドレス 0008 3C10h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SFEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFEN	SDRAMセルフリフレッシュ動作有効ビット	0 : セルフリフレッシュ無効 1 : セルフリフレッシュ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDSELF レジスタの設定は、「表 16.16 レジスタの書き換え条件」を満たしているときのみ行ってください。条件が満たされない状態で設定を行った場合の動作は保証されません。

SFEN ビット (SDRAM セルフリフレッシュ動作有効ビット)

セルフリフレッシュ動作を制御します。

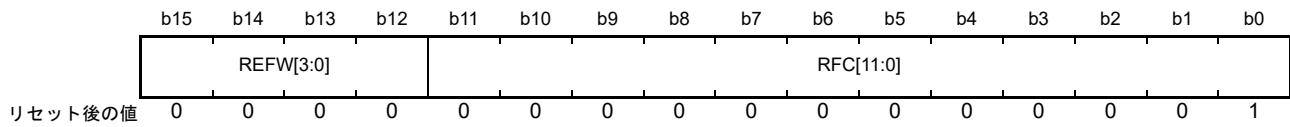
“1”にした場合、オートリフレッシュサイクル動作を行い、その後セルフリフレッシュ動作を開始します。

“0”にした場合、セルフリフレッシュ動作を終了し、その後オートリフレッシュ動作を行います。

SFEN ビットに書き込んだ値は、“1”をセットした場合はセルフリフレッシュ動作開始時に、“0”にした場合はセルフリフレッシュ動作終了後のオートリフレッシュ開始時点では、その値が反映されています。

16.3.11 SDRAM リフレッシュ制御レジスタ (SDRFER)

アドレス 0008 3C14h



ビット	シンボル	ビット名	機能	R/W
b11-b0	RFC[11:0]	オートリフレッシュ要求間隔設定ビット	b11 b0 000000000000: 設定しないでください 000000000001: 2サイクル 000000000010: 3サイクル : 111111111111: 4096サイクル	R/W
b15-b12	REFW[3:0]	オートリフレッシュサイクル/ セルフリフレッシュ解除サイクル数設定ビット	b15 b12 0000: 1サイクル 0001: 2サイクル 0010: 3サイクル 0011: 4サイクル 0100: 5サイクル 0101: 6サイクル 0110: 7サイクル 0111: 8サイクル 1000: 9サイクル 1001: 10サイクル 1010: 11サイクル 1011: 12サイクル 1100: 13サイクル 1101: 14サイクル 1110: 15サイクル 1111: 16サイクル	R/W

RFC[11:0] ビット (オートリフレッシュ要求間隔設定ビット)

オートリフレッシュ要求間隔を設定します。

SDRAM オートリフレッシュ制御レジスタのオートリフレッシュ動作有効ビット (SDRFEN.RFEN) の状態にかかわらず、書けます。

オートリフレッシュ有効時に書いた値は、オートリフレッシュサイクル終了後にリフレッシュカウンタに反映されます。リフレッシュカウンタは、SDCLK でカウントされます。

REFW[3:0] ビット (オートリフレッシュサイクル/セルフリフレッシュ解除サイクル数設定ビット)

オートリフレッシュサイクル数、セルフリフレッシュ解除サイクル数を設定します。

SDRFEN.RFEN ビットの状態にかかわらず、書けます。

オートリフレッシュ有効時に書いた値は、オートリフレッシュサイクル中であれば、オートリフレッシュサイクル終了後に反映されます。

注. SDRAM アクセス中はオートリフレッシュ要求が受け付けられず、アクセス終了まで待たされますので、オートリフレッシュ間隔が広がる場合があります。使用する SDRAM のオートリフレッシュ間隔規定を満たすようにオートリフレッシュ要求間隔を決定し、RFC[11:0] ビットを設定してください。このとき、オートリフレッシュ要求間隔はオートリフレッシュサイクルより長くなるように設定してください。また、動作中に周波数を変更したときのオートリフレッシュ間隔の自動追従はできませんので、セルフリフレッシュを行い、周波数に対応したオートリフレッシュ間隔を設定し直すようにしてください。

- オートリフレッシュ要求間隔と RFC[11:0] ビット設定値の関係

SDRAMC (SDRAM 領域コントローラ) には 12 ビットのリフレッシュカウンタが内蔵されており、定期的にオートリフレッシュ要求が発生します。オートリフレッシュ要求間隔から RFC[11:0] ビットの設定値を求める計算式を以下に示します。

$$\text{RFC} = (\text{オートリフレッシュ要求間隔} / \text{SDCLK 周期}) - 1$$

注. オートリフレッシュ要求は SDRAM アクセス中には受け付けられず、アクセス終了まで待たされますが、要求が受け付けられたか否かに関わらずカウンタ値は更新されます。SDRAM アクセス中に 2 回以上オートリフレッシュ要求が発生した場合、2 回目以降のリフレッシュ要求は無視されますので注意してください。

16.3.12 SDRAM オートリフレッシュ制御レジスタ (SDRFEN)

アドレス 0008 3C16h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	RFEN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	RFEN	オートリフレッシュ動作有効ビット	0: オートリフレッシュ無効 1: オートリフレッシュ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RFEN ビット (オートリフレッシュ動作有効ビット)

オートリフレッシュ有効時に RFEN ビットを“0”にすると、オートリフレッシュサイクル終了後に RFEN ビットが“0”になって、オートリフレッシュ動作が停止します。ただし、オートリフレッシュサイクルが終了する前に再度、RFEN ビットを“1”にすると、オートリフレッシュ動作を開始し、その後カウンタにより定期的にリフレッシュ要求が発生します。リフレッシュ要求の発生間隔は、SDRAM リフレッシュ制御レジスタのオートリフレッシュ要求間隔選択ビット (SDRFCR.RFC[11:0]) で設定した値に従います。

リフレッシュ要求は、SDRAM へのアクセス中は受け付けられず、アクセス完了まで待たされます。

SDRAM へのアクセスとリフレッシュ要求が同時に発生した場合は、リフレッシュ要求が優先されます。

16.3.13 SDRAM 初期化シーケンス制御レジスタ (SDICR)

アドレス 0008 3C20h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	INIRQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INIRQ	初期化シーケンス開始ビット	0: 無効 1: 初期化シーケンス開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

リセット解除以降、一度だけ書き込みを行うことができます。以後、ライトアクセスを行った場合の動作は保証されません。

INIRQ ビット (初期化シーケンス開始ビット)

“1”にすると SDRAM 初期化シーケンスが開始され、自動的に SDRAM ステータスレジスタの初期化ステータスビット (SDSR.INIST) が“1”になります。初期化シーケンス終了後、SDSR.INIST ビットは自動的に“0”になります。

INIRQ ビットへ書いた値は保持されません。

初期化シーケンス起動後に、外部アドレス空間、外部バスコントローラのレジスタへのアクセスを行った場合は、初期化シーケンスが終了するまで待たされます。

注． INIRQ ビットへの書き込みによる初期化シーケンスの起動は、「表 16.16 レジスタの書き換え条件」の条件を満たしているときにのみ行なってください。条件が満たされない状態で設定を行った場合の動作は保証されません。

16.3.14 SDRAM 初期化レジスタ (SDIR)

アドレス 0008 3C24h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	PRC[2:0]		ARFC[3:0]			ARFI[3:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ARFI[3:0]	初期化オートリフレッシュ間隔ビット	b3 b0 0 0 0 0 : 3サイクル 0 0 0 1 : 4サイクル 0 0 1 0 : 5サイクル 0 0 1 1 : 6サイクル 0 1 0 0 : 7サイクル 0 1 0 1 : 8サイクル 0 1 1 0 : 9サイクル 0 1 1 1 : 10サイクル 1 0 0 0 : 11サイクル 1 0 0 1 : 12サイクル 1 0 1 0 : 13サイクル 1 0 1 1 : 14サイクル 1 1 0 0 : 15サイクル 1 1 0 1 : 16サイクル 1 1 1 0 : 17サイクル 1 1 1 1 : 18サイクル	R/W
b7-b4	ARFC[3:0]	初期化オートリフレッシュ回数ビット	b7 b4 0 0 0 0 : 設定しないでください 0 0 0 1 : 1回 0 0 1 0 : 2回 0 0 1 1 : 3回 0 1 0 0 : 4回 0 1 0 1 : 5回 0 1 1 0 : 6回 0 1 1 1 : 7回 1 0 0 0 : 8回 1 0 0 1 : 9回 1 0 1 0 : 10回 1 0 1 1 : 11回 1 1 0 0 : 12回 1 1 0 1 : 13回 1 1 1 0 : 14回 1 1 1 1 : 15回	R/W
b10-b8	PRC[2:0]	初期化プリチャージサイクル数設定ビット	b10 b8 0 0 0 : 3サイクル 0 0 1 : 4サイクル 0 1 0 : 5サイクル 0 1 1 : 6サイクル 1 0 0 : 7サイクル 1 0 1 : 8サイクル 1 1 0 : 9サイクル 1 1 1 : 10サイクル	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

リセット解除以降、一度だけ書き込みを行うことができます。以後、ライトアクセスを行った場合の動作は保証されません。

ARFI[3:0] ビット (初期化オートリフレッシュ間隔ビット)

SDRAM の初期化シーケンスにおけるオートリフレッシュコマンドの発行間隔を設定します。

ARFC[3:0] ビット (初期化オートリフレッシュ回数ビット)

SDRAM の初期化シーケンスにおけるオートリフレッシュ回数を設定します。

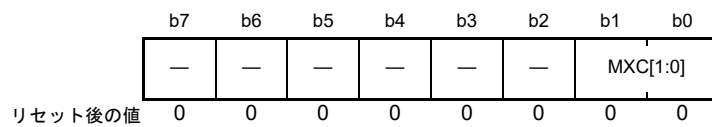
PRC[2:0] ビット (初期化プリチャージサイクル数設定ビット)

SDRAM の初期化シーケンスにおけるプリチャージサイクル数を設定します。

注. 初期化シーケンス開始前に、接続する SDRAM の仕様を満たすように設定してください。

16.3.15 SDRAM アドレスレジスタ (SDADR)

アドレス 0008 3C40h



ビット	シンボル	ビット名	機能	R/W
b1-b0	MXC[1:0]	アドレスマルチプレクス選択ビット	b1 b0 0 0 : 8ビットシフト 0 1 : 9ビットシフト 1 0 : 10ビットシフト 1 1 : 11ビットシフト	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDADR レジスタの設定は「表 16.16 レジスタの書き換え条件」を満たしているときのみ行ってください。条件が満たされない状態で設定を行った場合の動作は保証されません。

MXC[1:0] ビット (アドレスマルチプレクス選択ビット)

ロウアドレス/カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。同時に SDRAMC の連続アクセス動作時に比較するロウアドレスを選択します。

詳細は「表 16.21 アドレスマルチプレクス」を参照してください。

16.3.16 SDRAM タイミングレジスタ (SDTR)

アドレス 0008 3C44h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RAS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RCD[1:0]		RP[2:0]		WR	—	—	—	—	—	—	CL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CL[2:0]	SDRAMC カラムレイテンシ設定ビット	b2 b0 0 0 0: 設定しないでください 0 0 1: 1サイクル 0 1 0: 2サイクル 0 1 1: 3サイクル 1 0 0: 設定しないでください 1 0 1: 設定しないでください 1 1 0: 設定しないでください 1 1 1: 設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	WR	ライトリカバリ期間設定ビット	0: 1サイクル 1: 2サイクル	R/W
b11-b9	RP[2:0]	ロウプリチャージ期間設定ビット	b11 b9 0 0 0: 1サイクル 0 0 1: 2サイクル 0 1 0: 3サイクル 0 1 1: 4サイクル 1 0 0: 5サイクル 1 0 1: 6サイクル 1 1 0: 7サイクル 1 1 1: 8サイクル	R/W
b13-b12	RCD[1:0]	ロウカラムレイテンシ設定ビット	b13 b12 0 0: 1サイクル 0 1: 2サイクル 1 0: 3サイクル 1 1: 4サイクル	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RAS[2:0]	ロウアクティブ期間設定ビット	b18 b16 0 0 0: 1サイクル 0 0 1: 2サイクル 0 1 0: 3サイクル 0 1 1: 4サイクル 1 0 0: 5サイクル 1 0 1: 6サイクル 1 1 0: 7サイクル 1 1 1: 設定しないでください	R/W
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDTR レジスタは、SDRAM のリード/ライトアクセスのタイミングを設定するレジスタです。(アクセスタイミングの詳細は、「16.6.12.3 タイミングレジスタ設定値とアクセスタイミング」を参照)。

SDTR レジスタの設定は「表 16.16 レジスタの書き換え条件」を満たしているときのみ行ってください。条件が満たされない状態で設定を行った場合の動作は保証されません。

リセット解除以降、一度だけ書き込みを行うことができます。以後、ライトアクセスを行った場合の動作は保証されません。

CL[2:0] ビット (SDRAMC カラムレイテンシ設定ビット)

SDRAMC のカラムレイテンシを設定します。この設定は、SDRAMC 側のレイテンシ設定のみに影響し、外部に接続する SDRAM へのカラムレイテンシ設定は、後述する別途 SDRAM モードレジスタ (SDMOD) で行う必要があります。

WR ビット (ライトリカバリ期間設定ビット)

SDRAM のライト (WRIT) コマンドから非活性化 (PALL) までの期間を設定します。

RP[2:0] ビット (로우プリチャージ期間設定ビット)

SDRAM の非活性化 (PALL) コマンドから次の有効なコマンドまでの最短サイクル数を設定します。

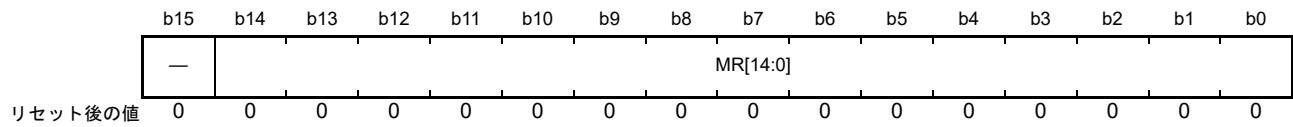
RAS[2:0] ビット (로우アクティブ期間設定ビット)

SDRAM の行活性化 (ACTV) コマンドから非活性化 (PALL) までの最短期間を設定します。

RAS[2:0] ビットの値は、로우カラムレイテンシ (RCD[1:0]) + カラムレイテンシ (CL[2:0]) 以下に設定してください。

16.3.17 SDRAM モードレジスタ (SDMOD)

アドレス 0008 3C48h



ビット	シンボル	ビット名	機能	R/W
b14-b0	MR[14:0]	モードレジスタ設定ビット	書き込み実行：モードレジスタセットコマンド発行	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDMOD レジスタは、SDRAM のモードレジスタに書く値を設定するレジスタです。

SDMOD レジスタへ書くと、自動的に SDRAM へのモードレジスタセットコマンド発行が行われます。

SDMOD レジスタの設定は、「表 16.16 レジスタの書き換え条件」の条件を満たしているときにのみ行なってください。条件が満たされない状態で設定を行なった場合の動作は保証されません。

MR[14:0] ビット (モードレジスタ設定ビット)

SDRAM に対しモードレジスタセットコマンドを発行します。このとき、MR[14:0] ビットで設定した値をアドレスの下位側に出力します。詳細は、「16.6.11 モードレジスタ設定」を参照してください。

モードレジスタ書き込み後に、外部アドレス空間、外部バスコントローラのレジスタへのアクセスを行った場合は、モードレジスタセットコマンド発行が終了するまで待たされます。

注． SDMOD レジスタの設定においては、以下の点に注意してください。

- ・ SDRAM に対してバースト長 1 が設定されるように指定してください。バースト長 1 以外を設定した場合動作は保証されません。
- ・ SDRAM のカラムレイテンシは、SDRAM タイミングレジスタの SDRAMC カラムレイテンシ設定ビット (SDTR.CL[2:0] ビット) の設定と一致させてください。異なるレイテンシが設定された場合、動作は保証されません。
- ・ 書き込みを行う前に、毎回、SDRAM ステータスレジスタのステータスビット (SDSR.SRFST, INIST, MRSST) がすべて“0”になっていることを確認してください。

16.3.18 SDRAM ステータスレジスタ (SDSR)

アドレス 0008 3C50h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SRFST	INIST	—	—	MRSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MRSST	モードレジスタセットステータスビット	0: モードレジスタセット動作中ではない 1: モードレジスタセット動作中	R
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	INIST	初期化ステータスビット	0: 初期化シーケンス中ではない 1: 初期化シーケンス中	R
b4	SRFST	セルフリフレッシュ移行/復帰ステータスビット	0: 移行/復帰動作中ではない 1: 移行/復帰動作中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MRSST ビット (モードレジスタセットステータスビット)

“1”になっているときは、SDRAM がモードレジスタセット動作中であることを示します。モードレジスタセット動作中に、SDSR レジスタをアクセスすると、モードレジスタセット動作が終了するまで、CPU の処理を待たせることができます。

INIST ビット (初期化ステータスビット)

“1”になっているときは、SDRAM が SDRAM 初期化シーケンス実行中であることを示します。初期化シーケンス中に、SDSR レジスタをアクセスすると、初期化シーケンスが終了するまで、CPU の処理を待たせることができます。

SRFST ビット (セルフリフレッシュ移行/復帰ステータスビット)

“1”になっているときは、SDRAM がセルフリフレッシュへの移行/復帰動作中であることを示します。移行/復帰動作中とは、表 16.10 に示す各ビットへの書き込みからそれぞれのコマンドが発行されるまでの期間です。

注. セルフリフレッシュ、初期化シーケンス、およびモードレジスタセットの実行は、すべてのステータスビットが“0”のときのみに行なってください。ステータスビット (SRFST, INIST, MRSST) のいずれかが“1”のときは、表 16.10 に示すレジスタ、ビットを書き換えしないでください。

表 16.10 ステータスビット確認が必要なレジスタ、ビット名一覧

機能	レジスタ名	ビット名
セルフリフレッシュ	SDSELF	SFEN
初期化シーケンス	SDICR	INIRQ
モードレジスタセット	SDMOD	MR[14:0]

16.3.19 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0: 無効 1: バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

16.3.20 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

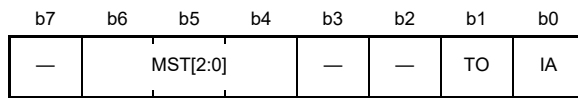
ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0: バスタイムアウト検出禁止 1: バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOEN ビット = 0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中に TOEN ビットを“0” (検出禁止) にしないようにしてください。

16.3.21 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h



リセット後の値 0 0 0 0 0 0 0 0

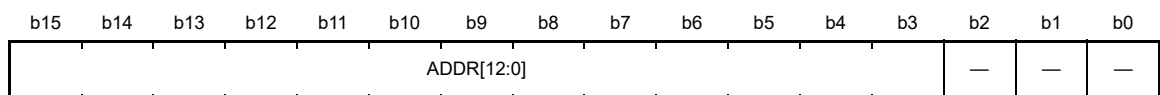
ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0 : 不正アドレスアクセスの発生なし 1 : 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0 : タイムアウトの発生なし 1 : タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC/DMAC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : EXDMAC	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

16.3.22 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah



リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット (512Kバイト単位)	R

16.3.23 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BPXB[1:0]		BPEB[1:0]		BPFB[1:0]		BPHB[1:0]		BPGB[1:0]		BPIB[1:0]		BPRO[1:0]		BPRA[1:0]	
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス 1 (RAM) プライオリティ制御ビット	b1 b0 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b3-b2	BPRO[1:0]	メモリバス 2 (コードフラッシュメモリ) プライオリティ制御ビット	b3 b2 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス 1 プライオリティ制御ビット	b5 b4 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス 2、3 プライオリティ制御ビット	b7 b6 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b9-b8	BPHB[1:0]	内部周辺バス 4、5 プライオリティ制御ビット	b9 b8 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b11-b10	BPFB[1:0]	内部周辺バス 6 プライオリティ制御ビット	b11 b10 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b13-b12	BPEB[1:0]	外部バスプライオリティ制御ビット	b13 b12 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b15-b14	BPXB[1:0]	内部拡張バスプライオリティ制御ビット	b15 b14 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)

注1. DTC、DMAC、EXDMACが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス 1 (RAM) プライオリティ制御ビット)

メモリバス 1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > CPU バス (命令バス、オペランドバス) となります。

優先順位トグルの場合は、CPU バス (命令バス、オペランドバス) と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス 2 (コードフラッシュメモリ) プライオリティ制御ビット)

メモリバス 2 (コードフラッシュメモリ) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > CPU バス (命令バス、オペランドバス) となります。

優先順位トグルの場合は、CPU バス (命令バス、オペランドバス) と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGB[1:0] ビット (内部周辺バス 2、3 プライオリティ制御ビット)

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPHB[1:0] ビット (内部周辺バス 4、5 プライオリティ制御ビット)

内部周辺バス 4 と内部周辺バス 5 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPEB[1:0] ビット (外部バスプライオリティ制御ビット)

外部バスに対する優先順位を設定します。

優先順位固定の場合は、EXDMAC > 内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 とそれ以外 (内部メインバス 2、EXDMAC) とでバス要求を受け付けられた方の優先順位が低くなります。EXDMAC と内部メインバス 2 の優先順位は、BPEB[1:0] ビットの設定にかかわらず固定 (EXDMAC > 内部メインバス 2) となります。

BPXB[1:0] ビット (内部拡張バスプライオリティ制御ビット)

内部拡張バスに対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

16.4 エンディアンとデータアライメント

外部バスは、データアライメント機能を持っており、外部アドレス空間 (CS 領域および SDRAM 領域) をアクセスするときデータバス D15 ~ D8、D7 ~ D0 のどれを使用するかを、アクセスする領域のバス仕様 (8 ビットバス空間、16 ビットバス空間) とデータサイズ、およびエンディアンモードによって制御します。

16.4.1 CS 領域のデータアライメント制御

(1) 16 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス (A23 ~ A1) が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス (A0) は無効 (Low 固定) になります。

バイトストロープモード (CSnMOD.WRMOD ビット = 0) を選択した場合、WR0#、WR1# 端子が有効になります。BC0#、BC1# 端子は使用しません。

1 ライトストロープモード (CSnMOD.WRMOD ビット = 1) を選択した場合、WR0# 端子のみ有効となり、データサイズにかかわらずライトアクセス時には WR0# 端子より Low が出力されます。このとき、WR1# 端子は無効 (High 固定) になります。有効なバイト位置は、BC0#、BC1# 端子により表します。

16 ビットバス空間では、32 ビット、64 ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが 32 ビット境界を越えず、かつ BC0#、BC1# 信号の変化しない転送がページアクセスの対象となります。ページアクセスが発生する場合は図 16.8、図 16.9 に (p) で示します。

16 ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#
						RD#	
						データバス	
						D15	D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	[7 0]	
	4n+1	1回	1回目	8bit	4n	[7 0]	
	4n+2	1回	1回目	8bit	4n+2	[7 0]	
	4n+3	1回	1回目	8bit	4n+2	[7 0]	
16bit	4n	1回	1回目	16bit	4n	[15 8 7 0]	
			2回目	8bit	4n+2	[15 8]	
	4n+1	2回	1回目	16bit	4n+2	[15 8 7 0]	
	4n+2	1回	1回目	16bit	4n+2	[15 8 7 0]	
			2回目	8bit	4n+4	[15 8]	
	4n+3	2回	1回目	8bit	4n+2	[7 0]	
2回目			8bit	4n+4	[15 8]		
32bit	4n	2回	1回目	16bit	4n	[15 8 7 0]	
			2回目	16bit	4n+2 (p)	[31 24 23 16]	
	4n+1	3回	1回目	8bit	4n	[7 0]	
			2回目	16bit	4n+2	[23 16 15 8]	
			3回目	8bit	4n+4	[31 24]	
	4n+2	2回	1回目	16bit	4n+2	[15 8 7 0]	
			2回目	16bit	4n+4	[31 24 23 16]	
	4n+3	3回	1回目	8bit	4n+2	[7 0]	
			2回目	16bit	4n+4	[23 16 15 8]	
			3回目	8bit	4n+6	[31 24]	
64bit	4n	4回	1回目	16bit	4n	[15 8 7 0]	
			2回目	16bit	4n+2 (p)	[31 24 23 16]	
			3回目	16bit	4n+4	[47 40 39 32]	
			4回目	16bit	4n+6 (p)	[63 56 55 48]	

CSnMOD.PRENB、PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.8 16ビットバス空間のデータアライメント (リトルエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#
						RD#	
						データバス	
						D15	D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	7	0
	4n+1	1回	1回目	8bit	4n	7	0
	4n+2	1回	1回目	8bit	4n+2	7	0
	4n+3	1回	1回目	8bit	4n+2	7	0
16bit	4n	1回	1回目	16bit	4n	15	8 7 0
	4n+1	2回	1回目	8bit	4n	15	8
			2回目	8bit	4n+2	7	0
	4n+2	1回	1回目	16bit	4n+2	15	8 7 0
	4n+3	2回	1回目	8bit	4n+2	15	8
			2回目	8bit	4n+4	7	0
32bit	4n	2回	1回目	16bit	4n	31	24 23 16
			2回目	16bit	4n+2 (p)	15	8 7 0
	4n+1	3回	1回目	8bit	4n	31	24
			2回目	16bit	4n+2	23	16 15 8
			3回目	8bit	4n+4	7	0
	4n+2	2回	1回目	16bit	4n+2	31	24 23 16
			2回目	16bit	4n+4	15	8 7 0
	4n+3	3回	1回目	8bit	4n+2	31	24
			2回目	16bit	4n+4	23	16 15 8
			3回目	8bit	4n+6	7	0
64bit	4n	4回	1回目	16bit	4n	63	56 55 48
			2回目	16bit	4n+2 (p)	47	40 39 32
			3回目	16bit	4n+4	31	24 23 16
			4回目	16bit	4n+6 (p)	15	8 7 0

CSnMOD.PRENB、PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.9 16ビットバス空間のデータアライメント (ビッグエンディアン)

(2) 8ビットバス空間

CSnCR.BSIZE[1:0]ビットで8ビットバス空間を選択すると、アドレスバス(A23～A0)がバイト単位のアドレス信号として有効になります。

8ビットバス空間ではライトアクセスモードの設定にかかわらず、WR0#端子のみが有効になります。WR0#端子にはライトアクセス時にLowが出力されます。WR1#、BC0#、BC1#端子は使用しません。

8ビットバス空間では、16ビット、32ビット、64ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが32ビット境界を越えない転送がページアクセスの対象となります。ページアクセスが発生する場合は図16.10、図16.11に(p)で示します。

8ビットバス空間では、エンディアンにかかわらずチップの外部データはD7～D0、制御信号はWR0#信号を使用します。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0#		
						RD#		
						データバス		
						D15	D8 D7	D0
8bit	4n	1回	1回目	8bit	4n	7	0	
	4n+1	1回	1回目	8bit	4n+1	7	0	
	4n+2	1回	1回目	8bit	4n+2	7	0	
	4n+3	1回	1回目	8bit	4n+3	7	0	
16bit	4n	2回	1回目	8bit	4n	7	0	
			2回目	8bit	4n+1 (p)	15	8	
	4n+1	2回	1回目	8bit	4n+1	7	0	
			2回目	8bit	4n+2 (p)	15	8	
	4n+2	2回	1回目	8bit	4n+2	7	0	
			2回目	8bit	4n+3 (p)	15	8	
	4n+3	2回	1回目	8bit	4n+3	7	0	
			2回目	8bit	4n+4	15	8	
32bit	4n	4回	1回目	8bit	4n	7	0	
			2回目	8bit	4n+1 (p)	15	8	
			3回目	8bit	4n+2 (p)	23	16	
			4回目	8bit	4n+3 (p)	31	24	
	4n+1	4回	1回目	8bit	4n+1	7	0	
			2回目	8bit	4n+2 (p)	15	8	
			3回目	8bit	4n+3 (p)	23	16	
			4回目	8bit	4n+4	31	24	
	4n+2	4回	1回目	8bit	4n+2	7	0	
			2回目	8bit	4n+3 (p)	15	8	
			3回目	8bit	4n+4	23	16	
			4回目	8bit	4n+5 (p)	31	24	
	4n+3	4回	1回目	8bit	4n+3	7	0	
			2回目	8bit	4n+4	15	8	
			3回目	8bit	4n+5 (p)	23	16	
			4回目	8bit	4n+6 (p)	31	24	
64bit	4n	8回	1回目	8bit	4n	7	0	
			2回目	8bit	4n+1 (p)	15	8	
			3回目	8bit	4n+2 (p)	23	16	
			4回目	8bit	4n+3 (p)	31	24	
			5回目	8bit	4n+4	39	32	
			6回目	8bit	4n+5 (p)	47	40	
			7回目	8bit	4n+6 (p)	55	48	
			8回目	8bit	4n+7 (p)	63	56	

CSnMOD.PRENB、PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.10 8ビットバス空間のデータアライメント(リトルエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	RD#			
						WR1#/BC1#	WR0#/BC0#	D15	D0
8bit	4n	1回	1回目	8bit	4n	7	0		
	4n+1	1回	1回目	8bit	4n+1	7	0		
	4n+2	1回	1回目	8bit	4n+2	7	0		
	4n+3	1回	1回目	8bit	4n+3	7	0		
16bit	4n	2回	1回目	8bit	4n	15	8		
			2回目	8bit	4n+1 (p)	7	0		
	4n+1	2回	1回目	8bit	4n+1	15	8		
			2回目	8bit	4n+2 (p)	7	0		
	4n+2	2回	1回目	8bit	4n+2	15	8		
			2回目	8bit	4n+3 (p)	7	0		
	4n+3	2回	1回目	8bit	4n+3	15	8		
			2回目	8bit	4n+4	7	0		
32bit	4n	4回	1回目	8bit	4n	31	24		
			2回目	8bit	4n+1 (p)	23	16		
			3回目	8bit	4n+2 (p)	15	8		
			4回目	8bit	4n+3 (p)	7	0		
	4n+1	4回	1回目	8bit	4n+1	31	24		
			2回目	8bit	4n+2 (p)	23	16		
			3回目	8bit	4n+3 (p)	15	8		
			4回目	8bit	4n+4	7	0		
	4n+2	4回	1回目	8bit	4n+2	31	24		
			2回目	8bit	4n+3 (p)	23	16		
			3回目	8bit	4n+4	15	8		
			4回目	8bit	4n+5 (p)	7	0		
	4n+3	4回	1回目	8bit	4n+3	31	24		
			2回目	8bit	4n+4	23	16		
			3回目	8bit	4n+5 (p)	15	8		
			4回目	8bit	4n+6 (p)	7	0		
64bit	4n	8回	1回目	8bit	4n	63	56		
			2回目	8bit	4n+1 (p)	55	48		
			3回目	8bit	4n+2 (p)	47	40		
			4回目	8bit	4n+3 (p)	39	32		
			5回目	8bit	4n+4	31	24		
			6回目	8bit	4n+5 (p)	23	16		
			7回目	8bit	4n+6 (p)	15	8		
			8回目	8bit	4n+7 (p)	7	0		

CSnMOD.PRENB、PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.11 8ビットバス空間のデータアライメント(ビッグエンディアン)

16.4.2 SDRAM 領域のデータアライメント制御

(1) 16 ビットバス空間

SDCCR.BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス (A26 ~ A1) が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス (A0) は無効 (Low 固定) になります。

有効なバイト位置は、DQM0、DQM1 端子により表します。

16 ビットバス空間では、外部データは D15 ~ D8、D7 ~ D0、制御信号は DQM0、DQM1 を使ってアクセスを行います。1 回にアクセスできるデータサイズは、8 ビット、16 ビットで、32 ビットアクセスでは 2 回または 3 回、64 ビットアクセスでは 4 回の 16 ビットアクセスを実行します。

16 ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。図 16.12 にデータのエンディアンモードをリトルエンディアンにした場合のデータアライメント制御を、図 16.13 にデータのエンディアンモードをビッグエンディアンにした場合のデータアライメント制御を示します。

16 ビットバス空間では、8 ビット、16 ビットのデータサイズアクセスに対して連続アクセスが発生することがあります。1 転送要求により、1 回のバスアクセスが発生する転送が連続アクセスの対象となります。連続アクセスが発生する場合を図 16.12、図 16.13 に (r1) で示します。また、連続アクセスの動作例を図 16.16 に示します。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	DQM1		DQM0	
						WE#			
						データバス			
						D15	D8	D7	D0
8bit	4n	1回	1回目	8bit	4n (r1)		7		0
	4n+1	1回	1回目	8bit	4n (r1)	7			0
	4n+2	1回	1回目	8bit	4n+2 (r1)		7		0
	4n+3	1回	1回目	8bit	4n+2 (r1)	7			0
16bit	4n	1回	1回目	16bit	4n (r1)	15	8	7	0
	4n+1	2回	1回目	8bit	4n	7			0
			2回目	8bit	4n+2		15		8
	4n+2	1回	1回目	16bit	4n+2 (r1)	15	8	7	0
	4n+3	2回	1回目	8bit	4n+2	7			0
			2回目	8bit	4n+4		15		8
32bit	4n	2回	1回目	16bit	4n	15	8	7	0
			2回目	16bit	4n+2	31	24	23	16
	4n+1	3回	1回目	8bit	4n	7			0
			2回目	16bit	4n+2	23	16	15	8
			3回目	8bit	4n+4		31		24
	4n+2	2回	1回目	16bit	4n+2	15	8	7	0
			2回目	16bit	4n+4	31	24	23	16
	4n+3	3回	1回目	8bit	4n+2	7			0
			2回目	16bit	4n+4	23	16	15	8
3回目			8bit	4n+6		31		24	
64bit	4n	4回	1回目	16bit	4n	15	8	7	0
			2回目	16bit	4n+2	31	24	23	16
			3回目	16bit	4n+4	47	40	39	32
			4回目	16bit	4n+6	63	56	55	48

SDAMOD.BE = 1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 16.12 16ビットバス空間のデータアライメント (リトルエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	DQM1 DQM0			
						WE#			
						データバス			
						D15	D8 D7	D0	
8bit	4n	1回	1回目	8bit	4n (r1)	[7 0]			
	4n+1	1回	1回目	8bit	4n (r1)	[7 0]			
	4n+2	1回	1回目	8bit	4n+2 (r1)	[7 0]			
	4n+3	1回	1回目	8bit	4n+2 (r1)	[7 0]			
16bit	4n	1回	1回目	16bit	4n (r1)	[15	8 7	0]	
	4n+1	2回	1回目	8bit	4n	[15 8]			
			2回目	8bit	4n+2	[7 0]			
	4n+2	1回	1回目	16bit	4n+2 (r1)	[15	8 7	0]	
32bit	4n	2回	1回目	16bit	4n	[31	24 23	16]	
			2回目	16bit	4n+2	[15 8 7 0]			
	4n+1	3回	1回目	8bit	4n	[31 24]			
			2回目	16bit	4n+2	[23	16 15	8]	
64bit	4n	4回	1回目	16bit	4n	[63	56 55	48]	
			2回目	16bit	4n+2	[47	40 39	32]	
			3回目	16bit	4n+4	[31	24 23	16]	
			4回目	16bit	4n+6	[15	8 7	0]	

SDAMOD.BE = 1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 16.13 16ビットバス空間のデータアライメント (ビッグエンディアン)

(2) 8ビットバス空間

SDCCR.BSIZE[1:0]ビットで8ビットバス空間を選択すると、アドレスバス(A26～A0)が8ビット単位のアドレス信号として有効になります。

8ビットバス空間では、エンディアンにかかわらず、外部データはD7～D0、制御信号はDQM0信号を使って、アクセスを行います。1回にアクセスできるデータサイズは8ビットで、16ビットアクセスでは2回、32ビットアクセスでは4回の8ビットアクセスを実行します。

図 16.14 にデータのエンディアンモードをリトルエンディアンにした場合のデータアライメントと制御を、図 16.15 にデータのエンディアンモードをビッグエンディアンにした場合のデータアライメント制御を示します。

8ビットバス空間では、8ビットのデータサイズアクセスに対して連続アクセスが発生することがあります。1転送要求により、1回のバスアクセスが発生する転送が連続アクセスの対象となります。連続アクセスが発生する場合を図 16.14、図 16.15 に (r1) で示します。また、連続アクセスの動作例を図 16.16 に示します。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WE#			
						DQM1		DQM0	
						D15	D8	D7	D0
8bit	4n	1回	1回目	8bit	4n (r1)	7			0
	4n+1	1回	1回目	8bit	4n+1 (r1)	7			0
	4n+2	1回	1回目	8bit	4n+2 (r1)	7			0
	4n+3	1回	1回目	8bit	4n+3 (r1)	7			0
16bit	4n	2回	1回目	8bit	4n	7			0
			2回目	8bit	4n+1	15			8
	4n+1	2回	1回目	8bit	4n+1	7			0
			2回目	8bit	4n+2	15			8
	4n+2	2回	1回目	8bit	4n+2	7			0
			2回目	8bit	4n+3	15			8
	4n+3	2回	1回目	8bit	4n+3	7			0
			2回目	8bit	4n+4	15			8
32bit	4n	4回	1回目	8bit	4n	7			0
			2回目	8bit	4n+1	15			8
			3回目	8bit	4n+2	23			16
			4回目	8bit	4n+3	31			24
	4n+1	4回	1回目	8bit	4n+1	7			0
			2回目	8bit	4n+2	15			8
			3回目	8bit	4n+3	23			16
			4回目	8bit	4n+4	31			24
	4n+2	4回	1回目	8bit	4n+2	7			0
			2回目	8bit	4n+3	15			8
			3回目	8bit	4n+4	23			16
			4回目	8bit	4n+5	31			24
	4n+3	4回	1回目	8bit	4n+3	7			0
			2回目	8bit	4n+4	15			8
			3回目	8bit	4n+5	23			16
			4回目	8bit	4n+6	31			24
64bit	4n	8回	1回目	8bit	4n	7			0
			2回目	8bit	4n+1	15			8
			3回目	8bit	4n+2	23			16
			4回目	8bit	4n+3	31			24
			5回目	8bit	4n+4	39			32
			6回目	8bit	4n+5	47			40
			7回目	8bit	4n+6	55			48
			8回目	8bit	4n+7	63			56

SDAMOD.BE = 1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 16.14 8ビットバス空間のデータアライメント (リトルエンディアン)

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	DQM1		DQM0	
						WE#			
						データバス			
						D15	D8	D7	D0
8bit	4n	1回	1回目	8bit	4n (r1)	7			0
	4n+1	1回	1回目	8bit	4n+1 (r1)	7			0
	4n+2	1回	1回目	8bit	4n+2 (r1)	7			0
	4n+3	1回	1回目	8bit	4n+3 (r1)	7			0
16bit	4n	2回	1回目	8bit	4n	15			8
			2回目	8bit	4n+1	7			0
	4n+1	2回	1回目	8bit	4n+1	15			8
			2回目	8bit	4n+2	7			0
	4n+2	2回	1回目	8bit	4n+2	15			8
			2回目	8bit	4n+3	7			0
	4n+3	2回	1回目	8bit	4n+3	15			8
			2回目	8bit	4n+4	7			0
32bit	4n	4回	1回目	8bit	4n	31			24
			2回目	8bit	4n+1	23			16
			3回目	8bit	4n+2	15			8
			4回目	8bit	4n+3	7			0
	4n+1	4回	1回目	8bit	4n+1	31			24
			2回目	8bit	4n+2	23			16
			3回目	8bit	4n+3	15			8
			4回目	8bit	4n+4	7			0
	4n+2	4回	1回目	8bit	4n+2	31			24
			2回目	8bit	4n+3	23			16
			3回目	8bit	4n+4	15			8
			4回目	8bit	4n+5	7			0
	4n+3	4回	1回目	8bit	4n+3	31			24
			2回目	8bit	4n+4	23			16
			3回目	8bit	4n+5	15			8
			4回目	8bit	4n+6	7			0
64bit	4n	8回	1回目	8bit	4n	63			56
			2回目	8bit	4n+1	55			48
			3回目	8bit	4n+2	47			40
			4回目	8bit	4n+3	39			32
			5回目	8bit	4n+4	31			24
			6回目	8bit	4n+5	23			16
			7回目	8bit	4n+6	15			8
			8回目	8bit	4n+7	7			0

SDAMOD.BE = 1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 16.15 8ビットバス空間のデータアライメント (ビッグエンディアン)

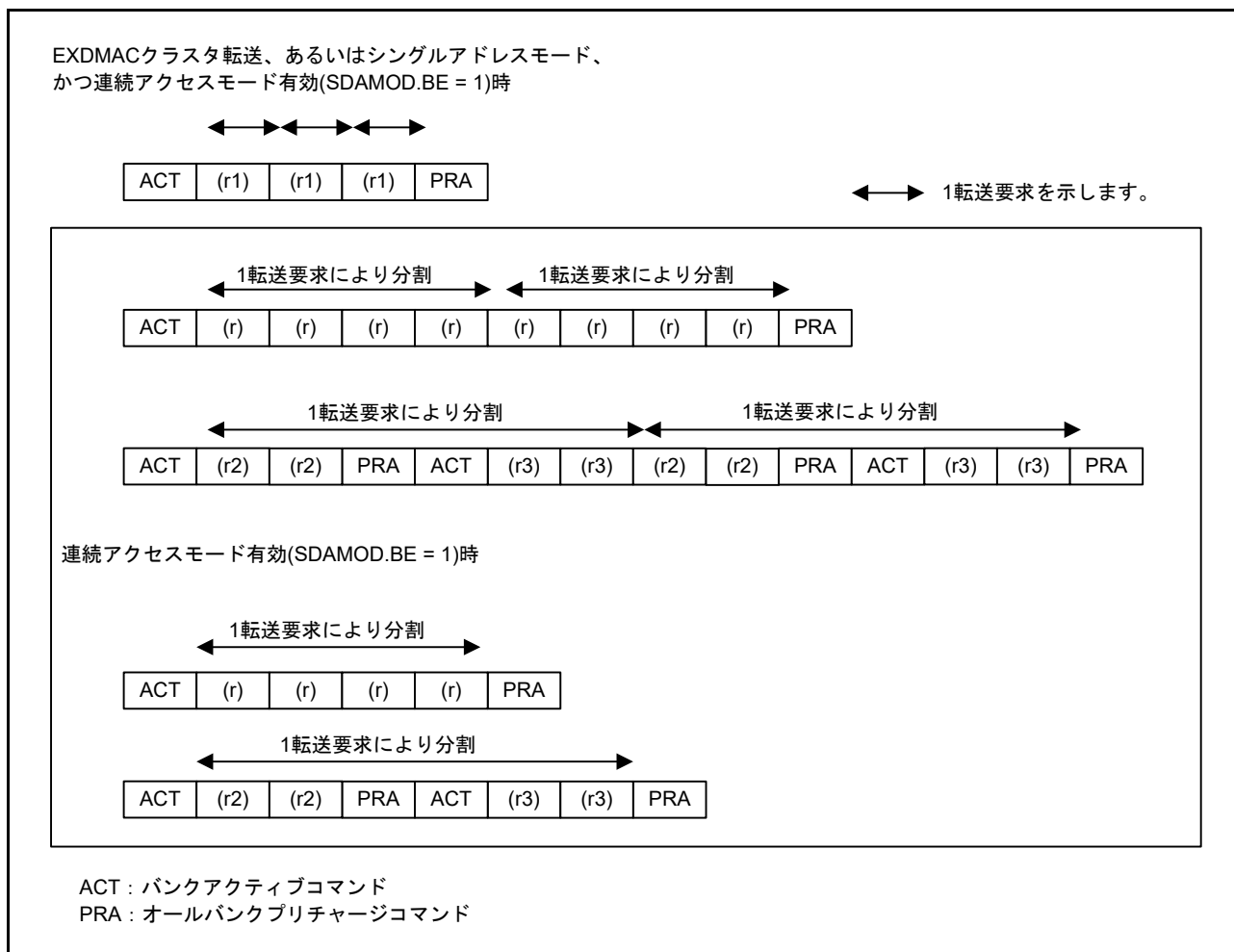


図 16.16 連続アクセスの動作例

16.5 CS 領域コントローラの動作説明

16.5.1 セパレートバス

タイミング図に記載する各サイクルの説明を以下に示します。

CSC (CS 領域コントローラ) は外部バスクロック (BCLK) に同期して動作します。したがって、CSC のレジスタで設定したウェイト数などは、BCLK でカウントされます。以下、特に断らない限り、外部バスクロック (BCLK) と BCLK 端子出力は、同一周波数であるものとします。

外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になります。ただし、外部バスクロック (BCLK) と BCLK 端子出力が異なる周波数の場合で、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合の 2 回目以降の外部バスアクセスの開始は、ウェイト設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります (図 16.22 ~ 図 16.26 参照)。また、直前の外部バスアクセスに対してリカバリサイクルが挿入されている場合にも、リカバリサイクル数の設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります (図 16.42 参照)。

(a) Tw1 ~ Twn (ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト)

外部バスアクセス開始からストローブ信号有効サイクルの 1 サイクル前までのサイクル期間です。0 ~ 31 サイクルを選択できます。この期間内に CSn#, RD#, WRn# 信号が、ウェイト設定に応じて “Low” アサートされます。アサートするタイミングは、CSn ウェイト制御レジスタ 2 (CSnWCR2) の CS アサートウェイト選択ビット (CSON[2:0])、RD アサートウェイト選択ビット (RDON[2:0])、WR アサートウェイト選択ビット (WRON[2:0])、ライトデータ出力ウェイト選択ビット (WDON[2:0]) によって制御可能です。各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点に数え、0 ~ 7 サイクルを選択可能です。選択可能なサイクル数は、リード/ライトサイクルウェイトのサイクル数以内です。

(b) Tend (ストローブ信号有効サイクル)

Tend はノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト期間、あるいはページリードサイクルウェイト、ページライトサイクルウェイト期間が終了した次のサイクルです。ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト、あるいはページリードサイクルウェイト、ページライトサイクルウェイトの各選択ビットが “0” の場合、バスアクセス開始のサイクルがストローブ信号有効サイクルとなります。ストローブ信号有効サイクルの次のサイクルで RD#, WRn# 信号がネゲートされます。リードアクセスの場合は、リードデータのサンプルサイクルとなります。

外部ウェイト許可の場合、ストローブ信号有効サイクル時点でウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長し、ウェイト信号が High になると次のサイクルでバスサイクルを終了します。(Tend) は、ウェイト信号のサンプリングを開始するサイクルを示します。

ページアクセスで 1 回目のストローブ信号有効サイクルの場合、ライトアクセス時のライトデータ出力延長サイクルが設定されている (“0” 以外の値) 場合 (d) を除いて、次のサイクル 2 回目以降のページアクセス (e) が開始されます。RD アサートウェイト、WR アサートウェイトの設定が “0” 以外の場合、次のサイクルで RD#, WRn# 信号がネゲートされます。“0” の場合、アサートが継続されます。また、CSn# 信号はネゲートされず、アサートを継続します。

(c) Tn1 ~ Tnm (CS 延長サイクル)

ノーマルアクセスの場合、ストローブ信号有効サイクル (Tend) の次のサイクルから CSn# 信号をネゲートするまでのサイクル期間です。ネゲートするタイミングは、リードアクセス時、CSn ウェイト制御レジスタ 2 (CSnWCR2) のリード時 CS 延長サイクル選択ビット (CSROFF[2:0])、ライトアクセス時、ライト時 CS 延長サイクル選択ビット (CSWOFF[2:0]) により制御可能です。

サイクル数は、ストローブ信号有効サイクルの次のサイクルを起点に数えます。

ページアクセスの場合、最後のストローブ信号有効サイクルから CSn# 信号をネゲートするまでのサイクル期間です。

ライトアクセス時は、ライトデータ出力延長サイクル選択ビット (WDOFF) により、アドレス、出力データが延長されます。

(d) Tdw1 ~ Tdwn (ライトデータ出力延長サイクル)

ライトアクセス時、ライトデータ出力延長ウェイトが“0”以外の設定の場合、ライトデータ出力延長サイクルがストロブ信号有効サイクル (Tend) の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル (c) の期間内に挿入されます。

ページアクセスの場合、ストロブ信号有効サイクル (Tend) と後続のページアクセスの間、および CS 延長サイクル (c) の期間内に挿入されます。この期間、アドレス、出力データが延長され、WRn# 信号はネゲートされます。

(e) Tpw1 ~ TpwN (ページリードサイクルウェイト、ページライトサイクルウェイト)

ページアクセスの2回目以降のバスサイクルについては、ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイトの代わりに、ページリードサイクルウェイト、ページライトサイクルウェイトの値が使用されます。WR アサートウェイトの設定は、1回目のアクセスと同様に有効となります。RD アサートの設定は、ページリードアクセスモード (CSnMOD.PRMOD ビット) の設定により動作が異なります。

CSnMOD.PRMOD ビット = 0 の場合：1回目と同様に RD アサートウェイトが挿入され、RD# 信号がネゲートされます。

CSnMOD.PRMOD ビット = 1 の場合：ノーマルアクセス互換モードと同様に、RD アサートウェイトが挿入されますが、その間、RD# 信号がアサートされ続けます。

(f) Tr1 ~ Trn (リカバリサイクル)

バスサイクルの終了時点 (CSn# 信号のネゲート時点) からリカバリサイクルの挿入ができます。リカバリサイクル数は、CSn リカバリサイクル設定レジスタ (CSnREC) のリードリカバリ設定ビット (RRCV)、ライトリカバリ設定ビット (WRCV) により制御可能です。各リカバリサイクル数は、バスサイクルの終了時点 (CSn# 信号のネゲート時点) を起点に数え、0 ~ 15 サイクルを選択可能です。リカバリサイクルの詳細は、「16.5.4 リカバリサイクルの挿入」を参照してください。

(1) ノーマルアクセス

CSnMOD.PRENB ビットを“0” (ページリードアクセス禁止)、CSnMOD.PWENB ビットを“0” (ページライトアクセス禁止) に設定した場合、すべてのバスアクセスはノーマルアクセスを行います。

CSnMOD.PRENB ビットを“1” (ページリードアクセス許可)、CSnMOD.PWENB ビットを“1” (ページライトアクセス許可) に設定した場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。

図 16.17 ~ 図 16.19 にノーマルアクセスの動作例を示します。

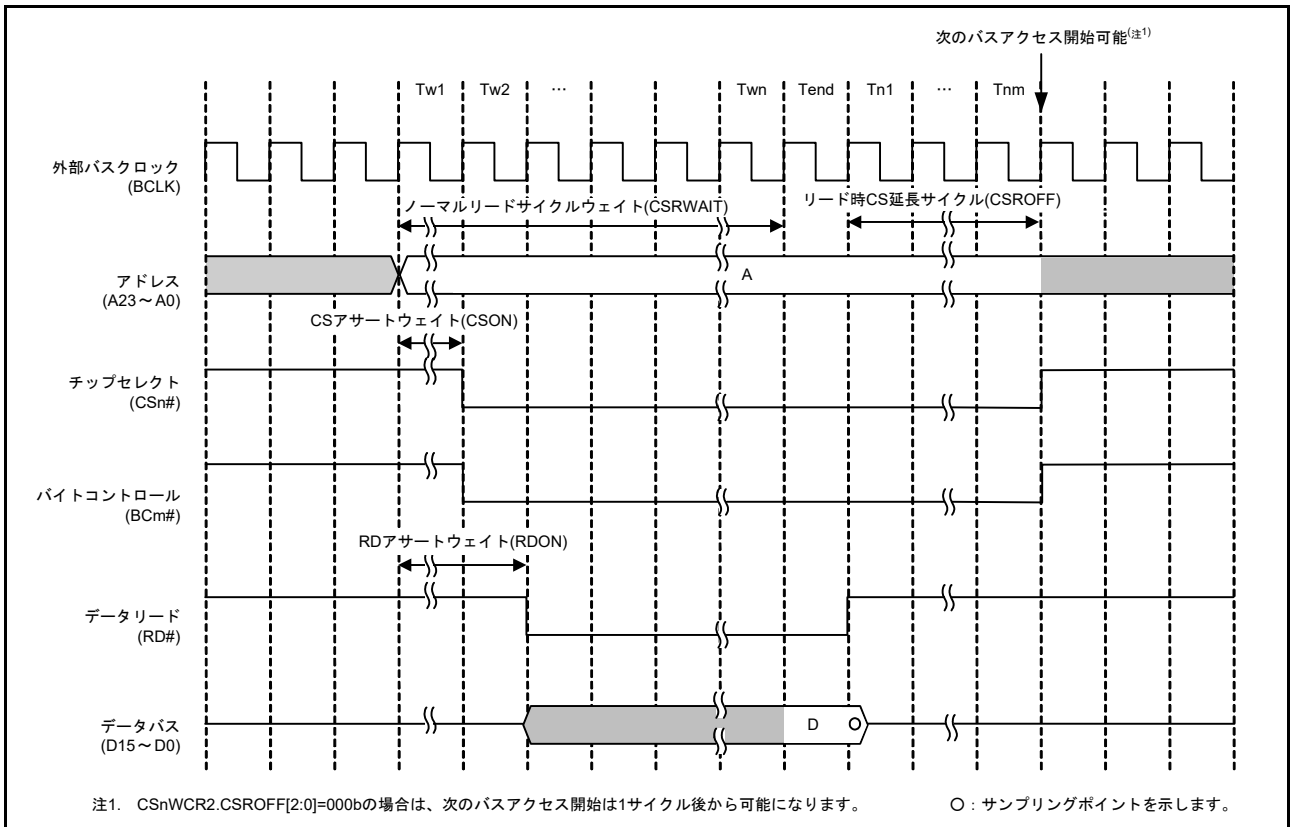


図 16.17 バスタイミング (ノーマルリード) (n = 0 ~ 7, m = 0, 1)

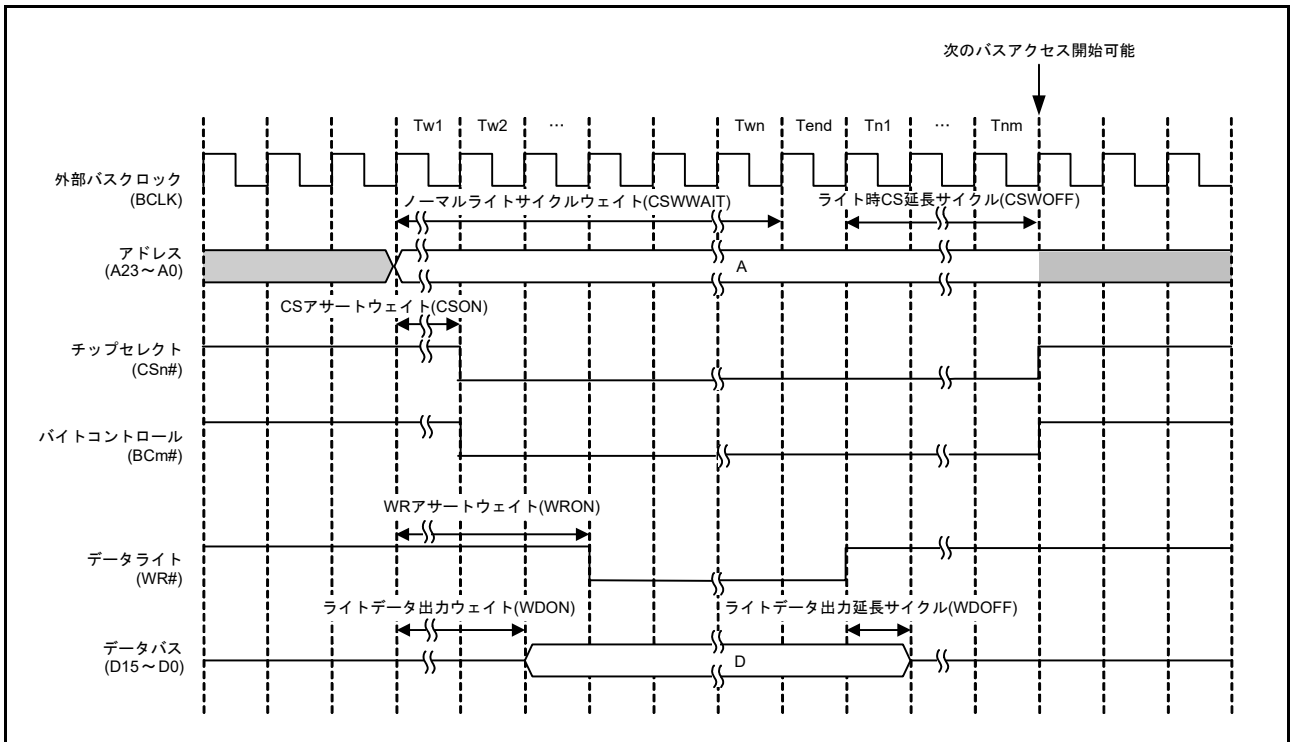


図 16.18 バスタイミング (ノーマルライト、1ライトストロブモード) (n = 0 ~ 7, m = 0, 1)

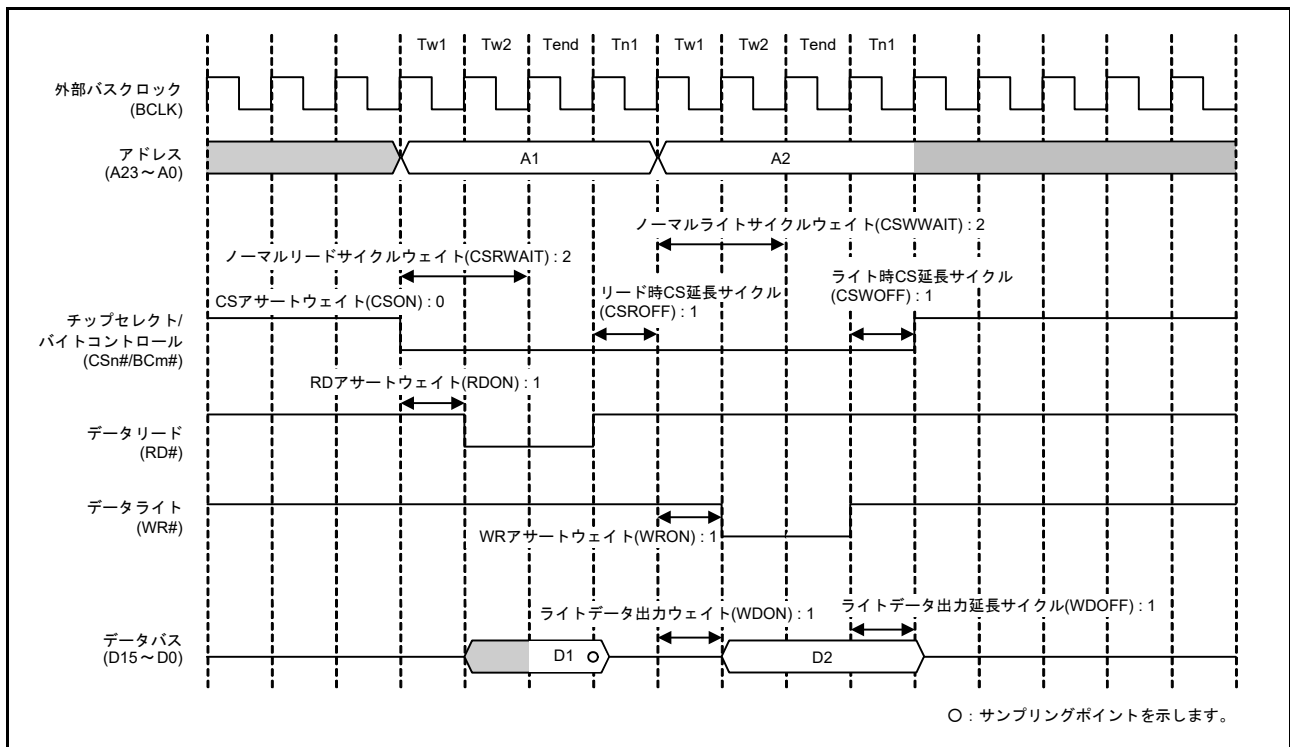


図 16.19 ノーマルアクセスの動作例 (リード、ライト) (n = 0 ~ 7, m = 0, 1)

バスマスタからの1転送要求に対して2回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作 ((a) から (d)) を繰り返します。図 16.20、図 16.21 に、1転送要求に対して2回バスアクセスが発生する場合の動作例を示します。ただし、リカバリサイクル挿入条件が成り立つ場合は、2回目以降の外部バスアクセスにもリカバリサイクル (f) の挿入が行われます (図 16.40 参照)。

各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

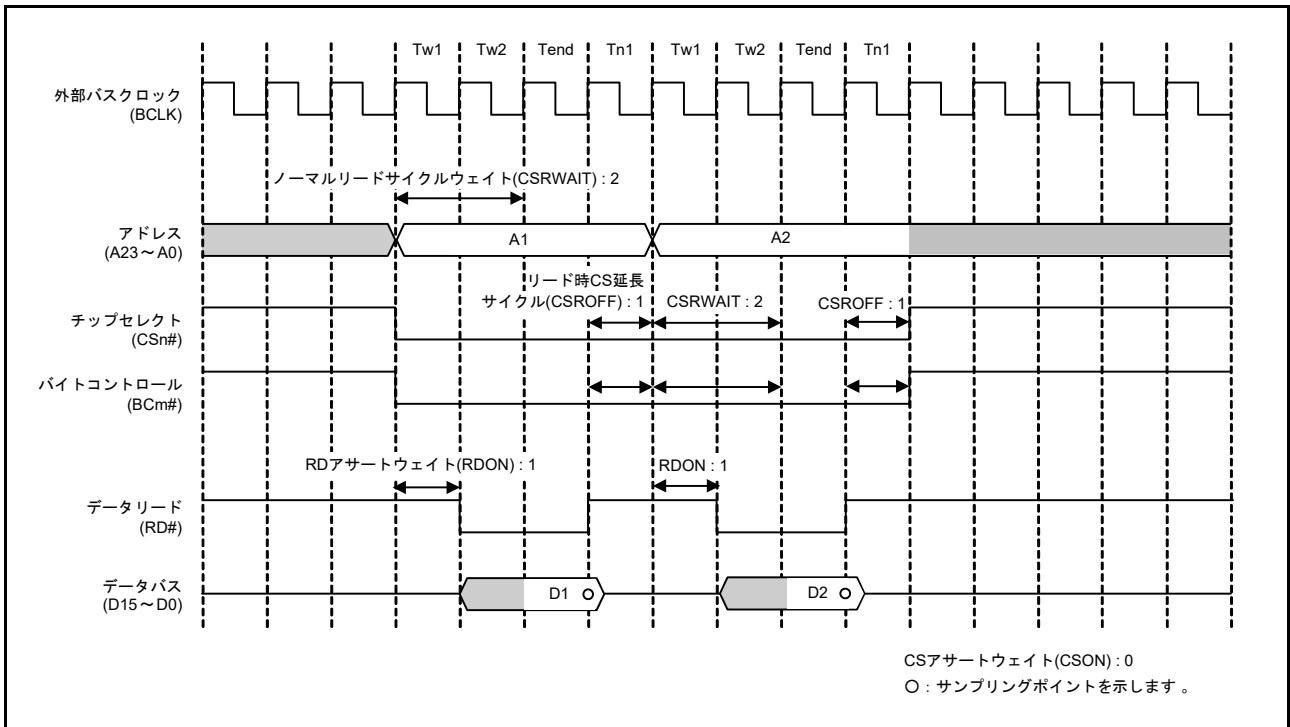


図 16.20 ノーマルリードアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 7, m = 0, 1)

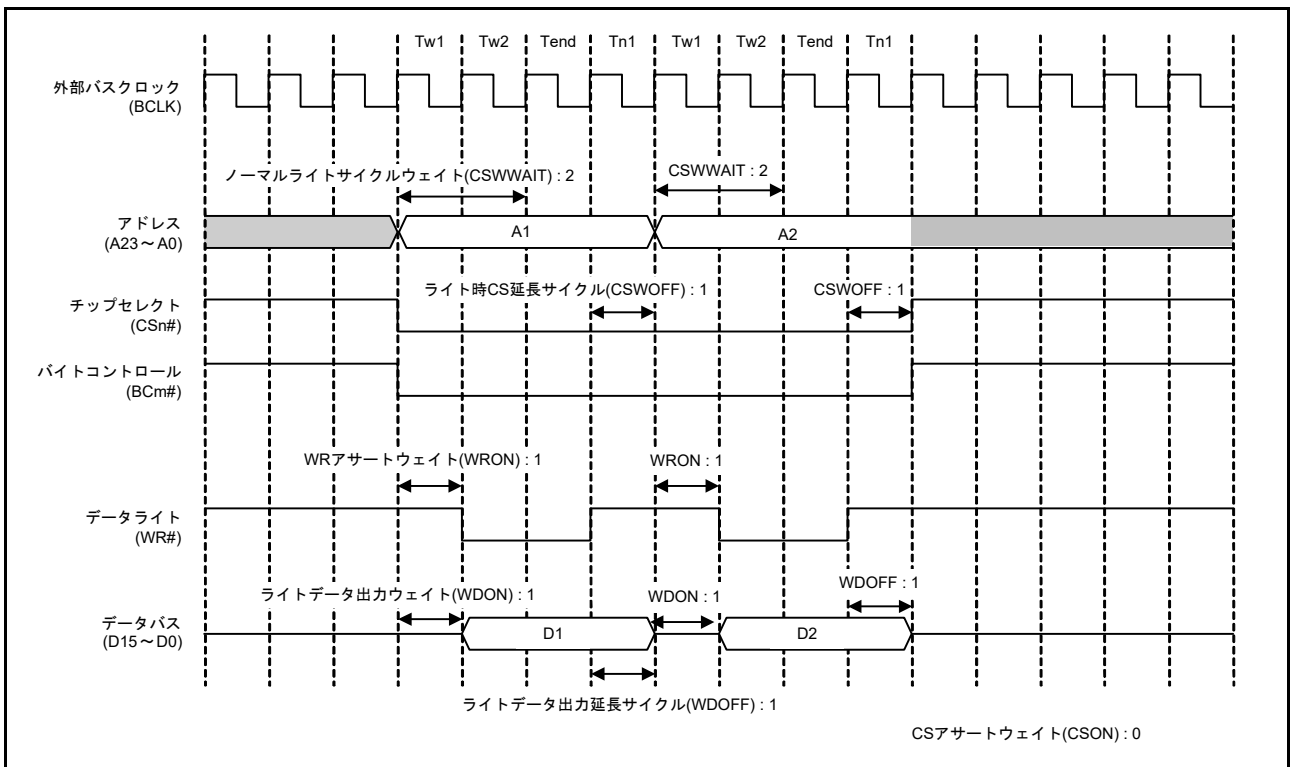


図 16.21 ノーマルライトアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合: 1 ライトストローブモード時) (n = 0 ~ 7, m = 0, 1)

図 16.22 ~ 図 16.26 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

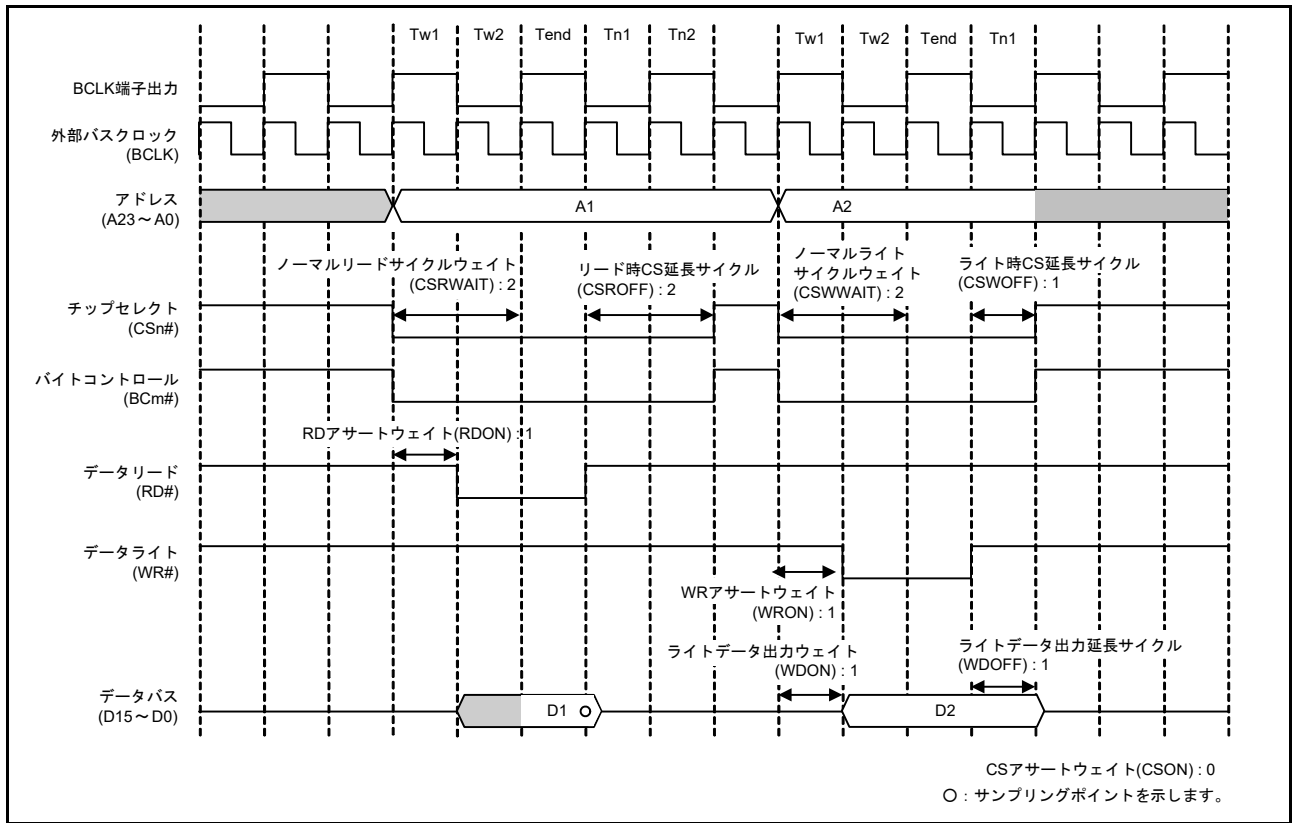


図 16.22 ノーマルアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 7, m = 0, 1)

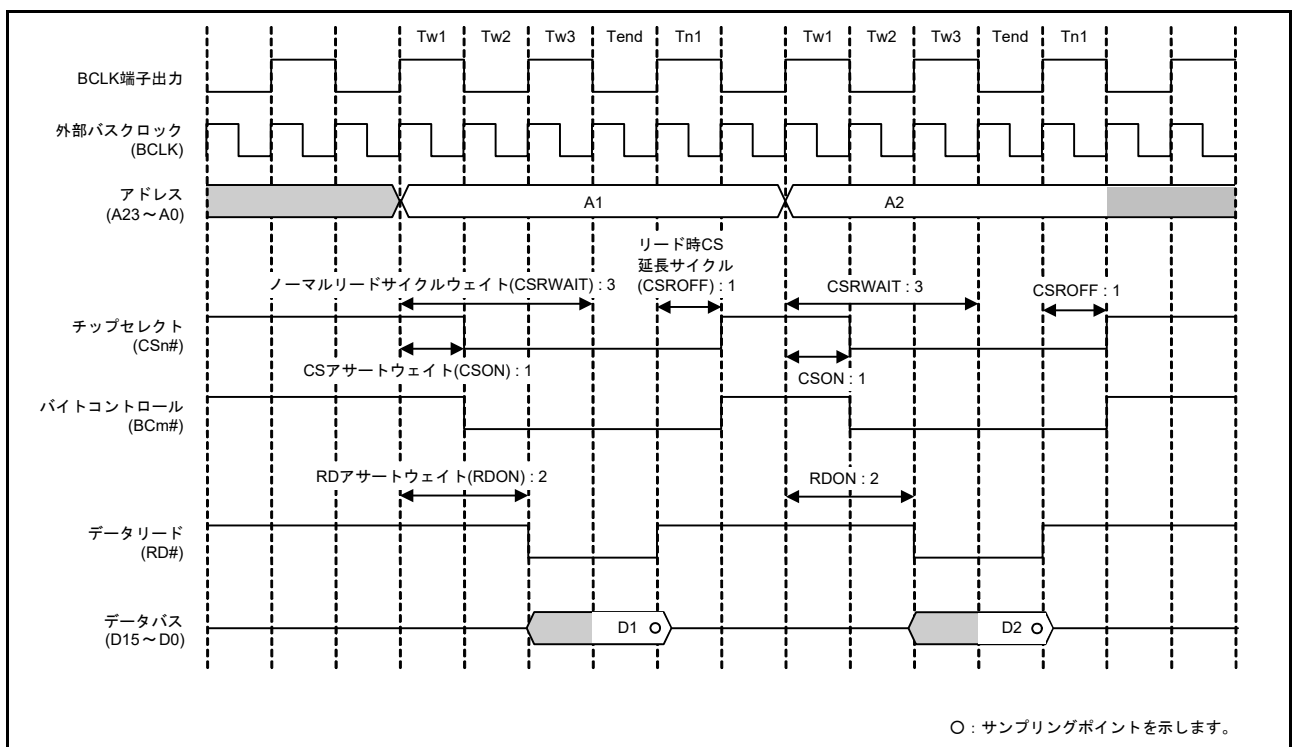


図 16.23 ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 7, m = 0, 1)

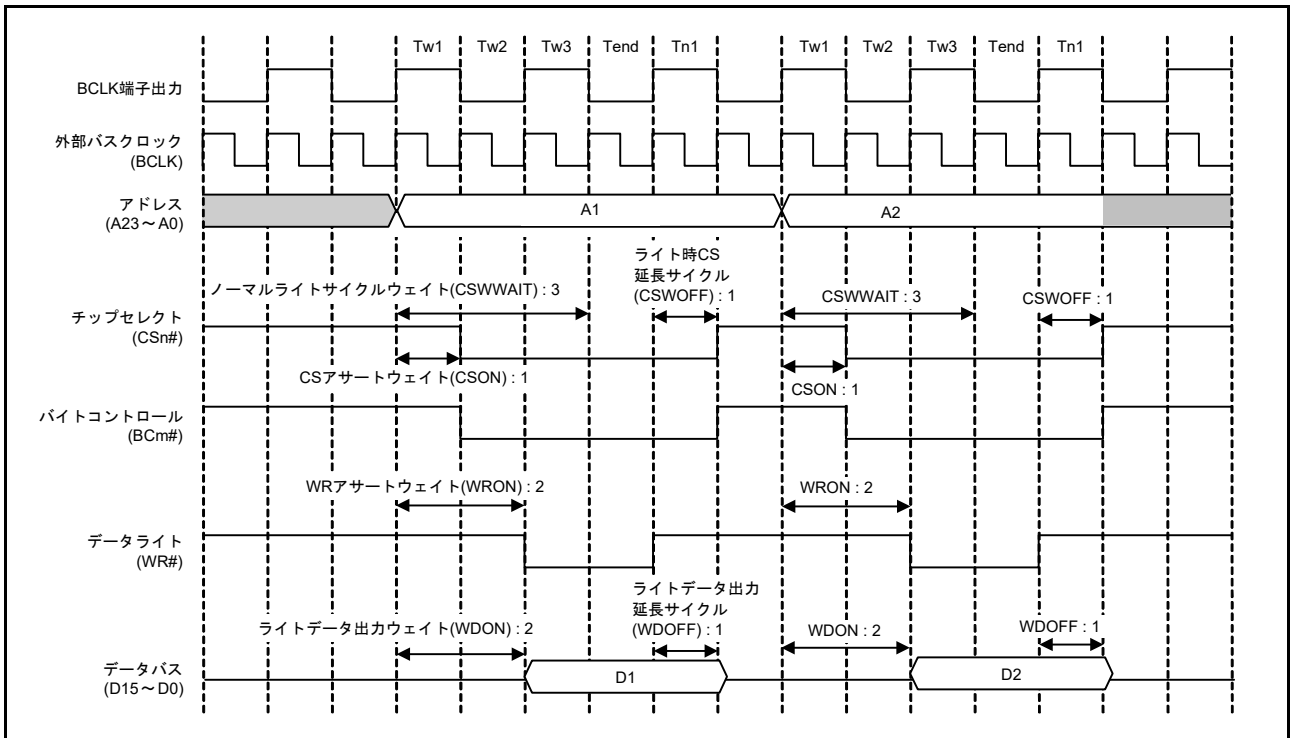


図 16.24 ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 7, m = 0, 1)

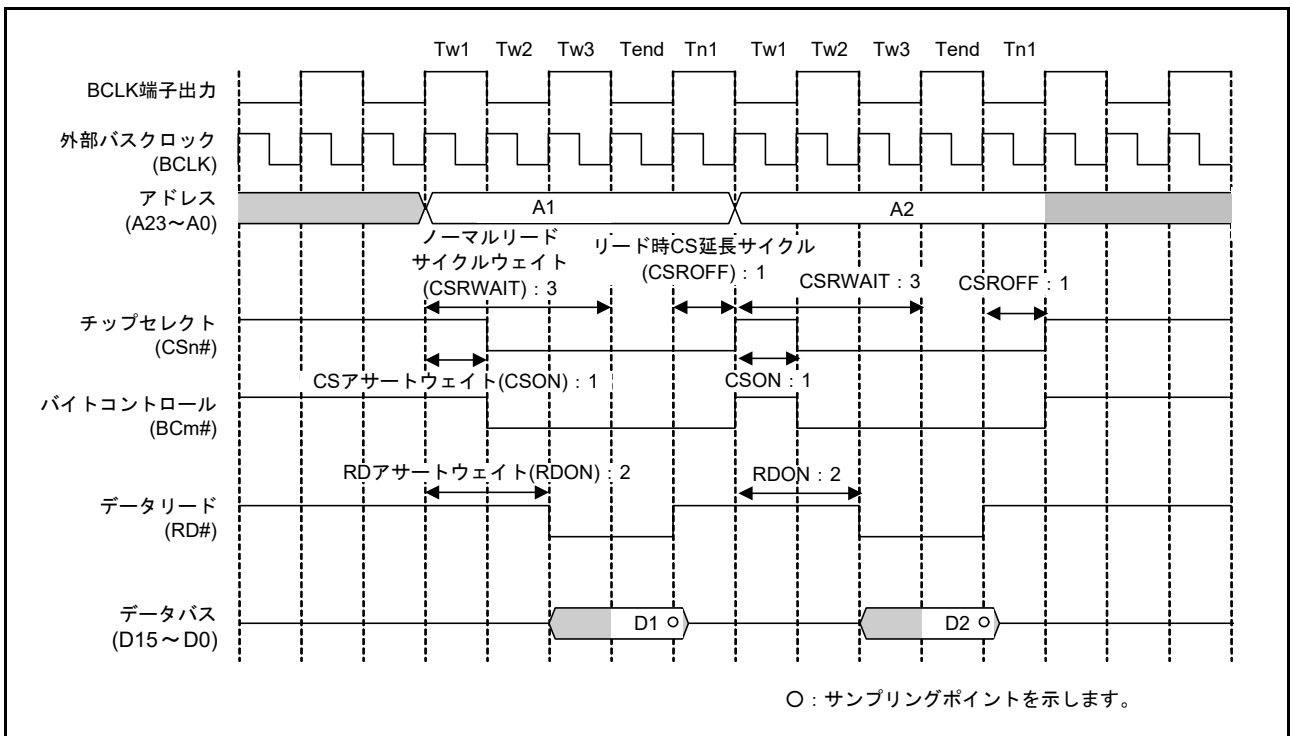


図 16.25 ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 7, m = 0, 1)

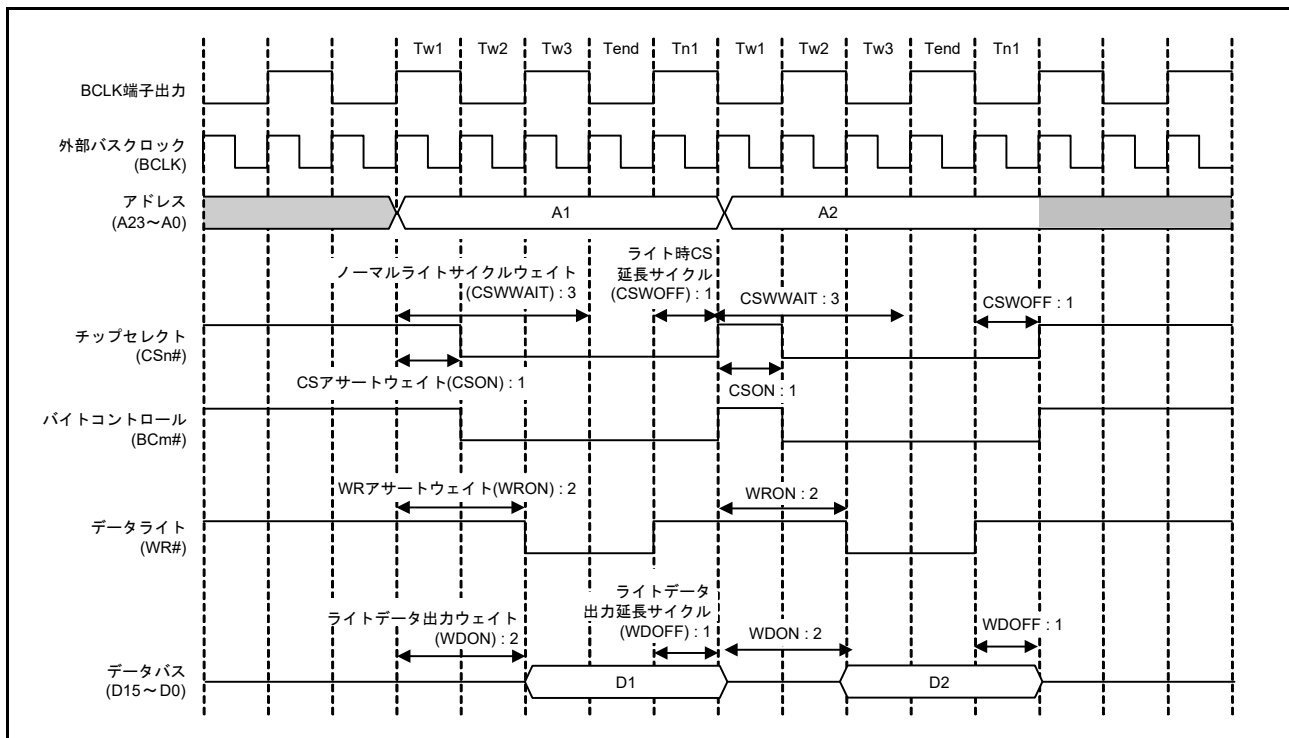


図 16.26 ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) ($n = 0 \sim 7, m = 0, 1$)

(2) ページアクセス

CSnMOD.PRENB ビットを“1”(ページリードアクセス許可)、CSnMOD.PWENB ビットを“1”(ページライトアクセス許可)に設定した場合、ページアクセスに該当するバスアクセスはページアクセスとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合がページアクセスの対象となります。ただし、分割されたアクセスが非ラインアクセスになる場合、および 32 ビット境界を越えるアクセスの場合、ページアクセスの対象とはならずノーマルアクセスとなります。ページアクセスが発生する条件の詳細は、図 16.8 ~ 図 16.11 を参照してください。

図 16.27、図 16.28 にページアクセスの動作例を示します。

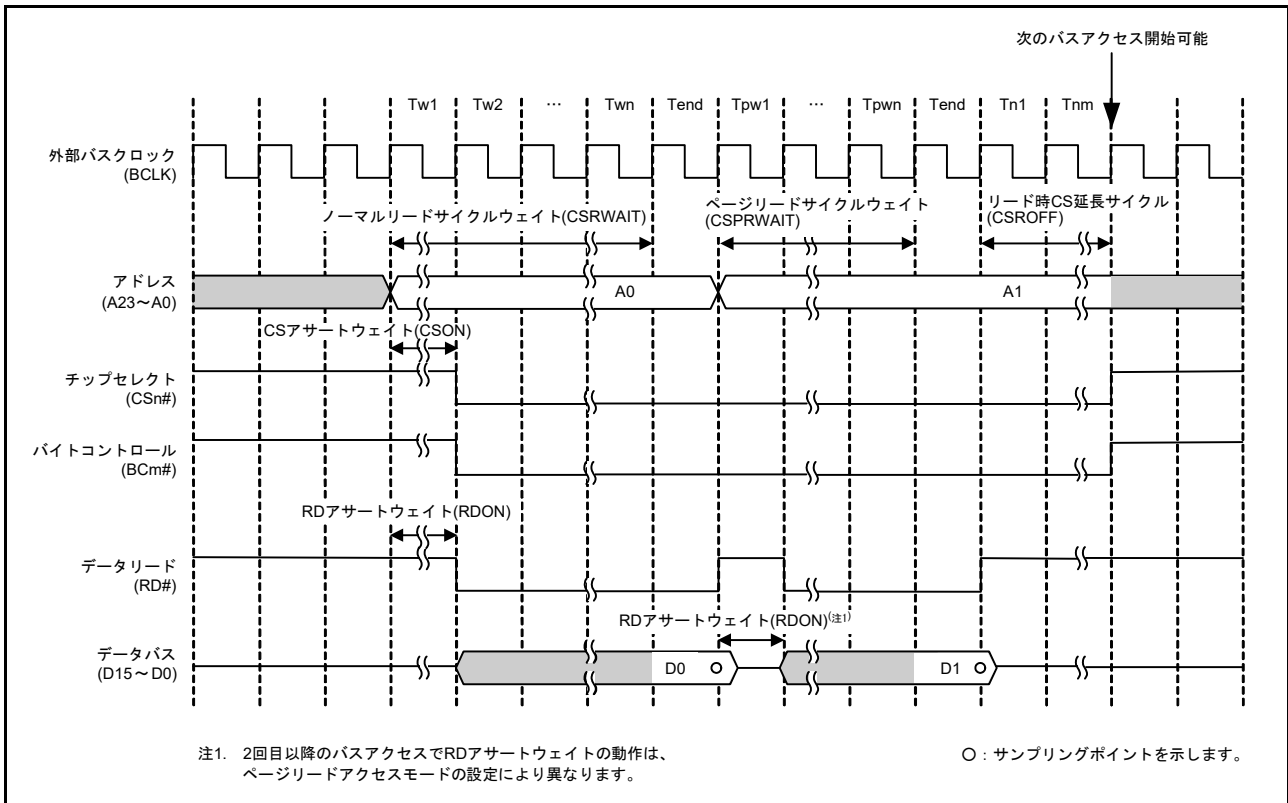


図 16.27 ページリードアクセスタイミング (n = 0 ~ 7, m = 0, 1)

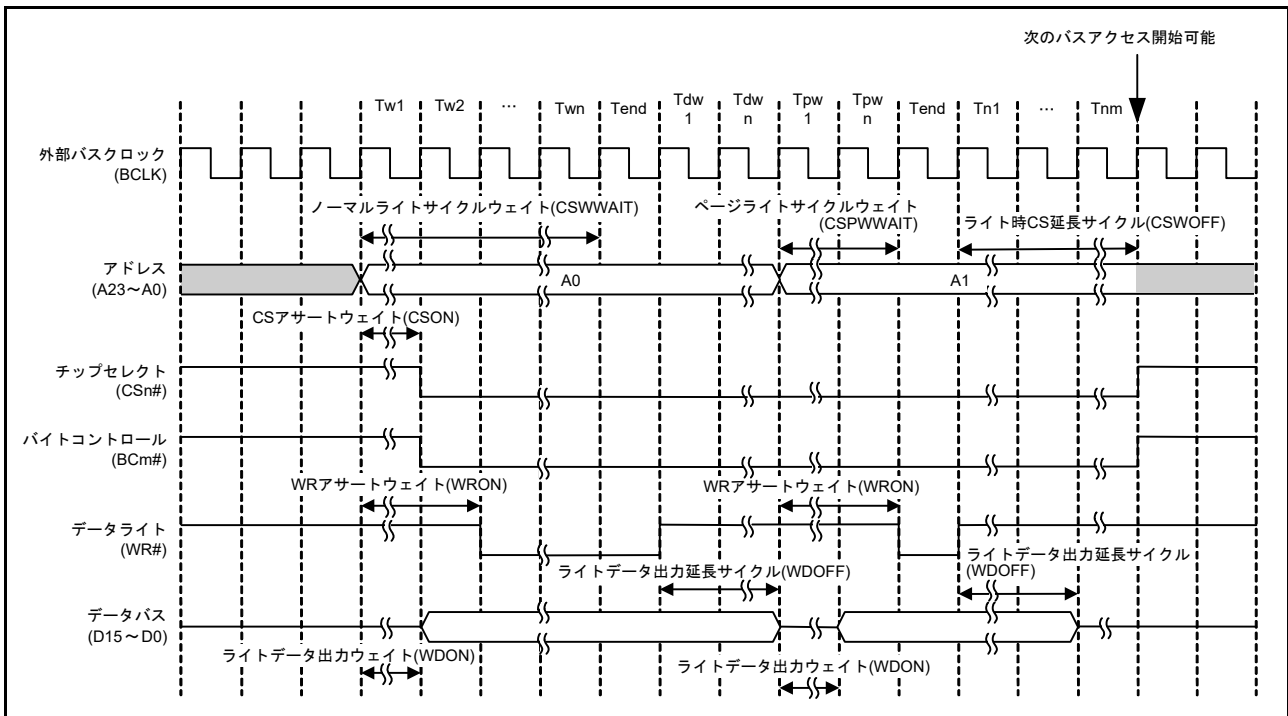


図 16.28 ページライトアクセスタイミング (n = 0 ~ 7, m = 0, 1)

図 16.29、図 16.30 に 16 ビットバス空間に対して 32 ビットバスアクセスした場合の動作例を示します。各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

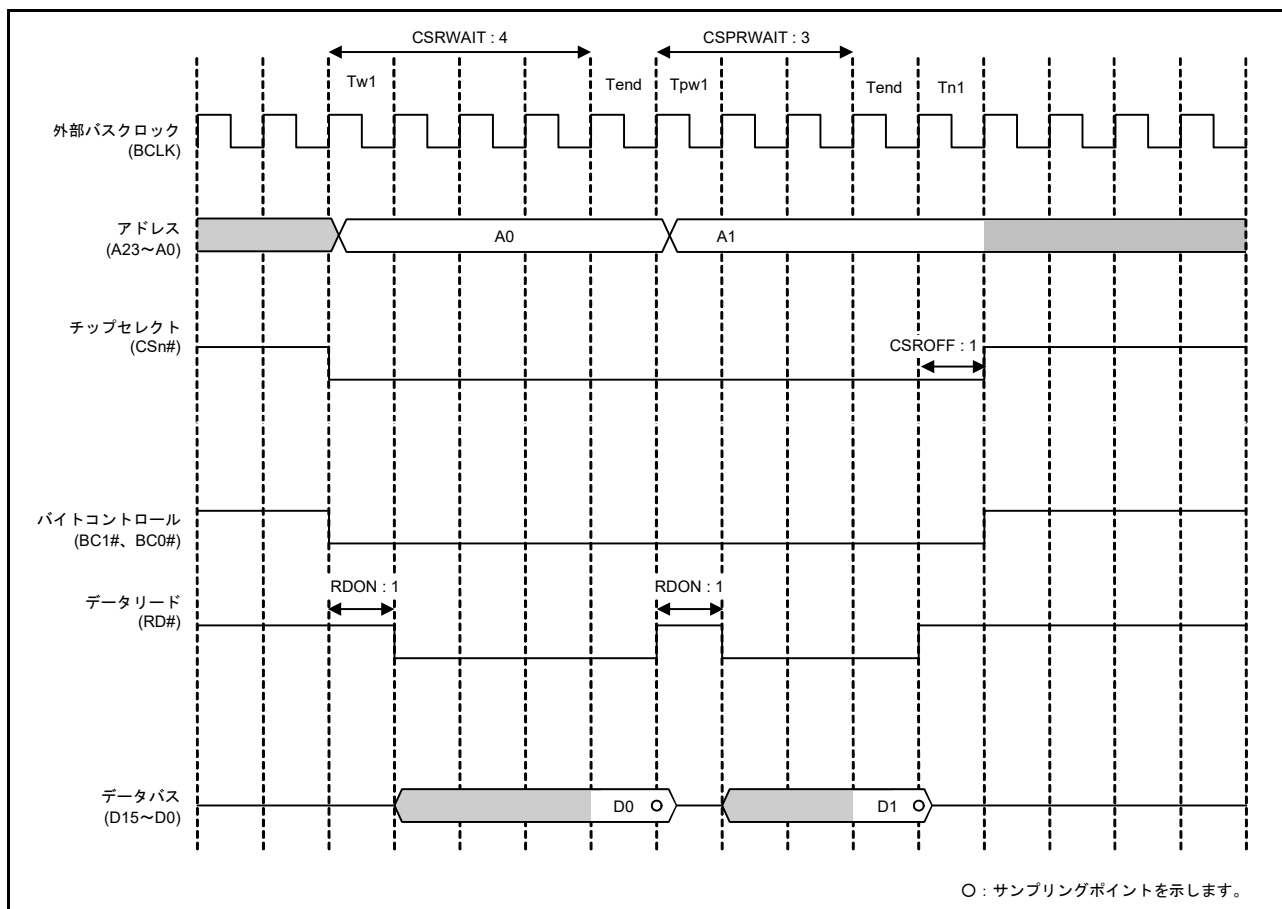


図 16.29 ページリードアクセスの動作例 (16 ビットバス空間に対して 32 ビットアクセスした場合) (n = 0 ~ 7)

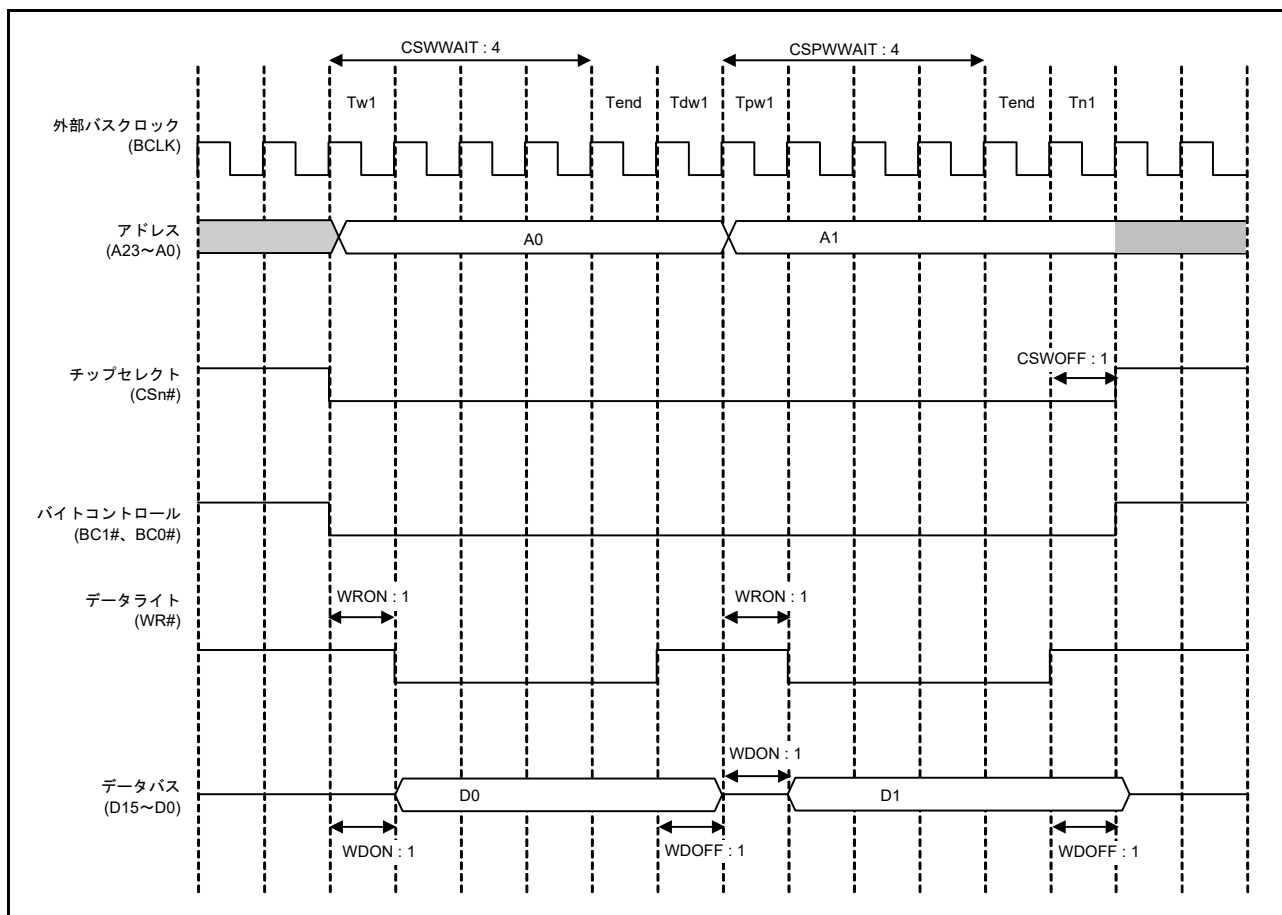


図 16.30 ページライトアクセスの動作例 (16 ビットバス空間に対して 32 ビットアクセスした場合 : 1 ライトストロブモード時) (n = 0 ~ 7)

図 16.31、図 16.32 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

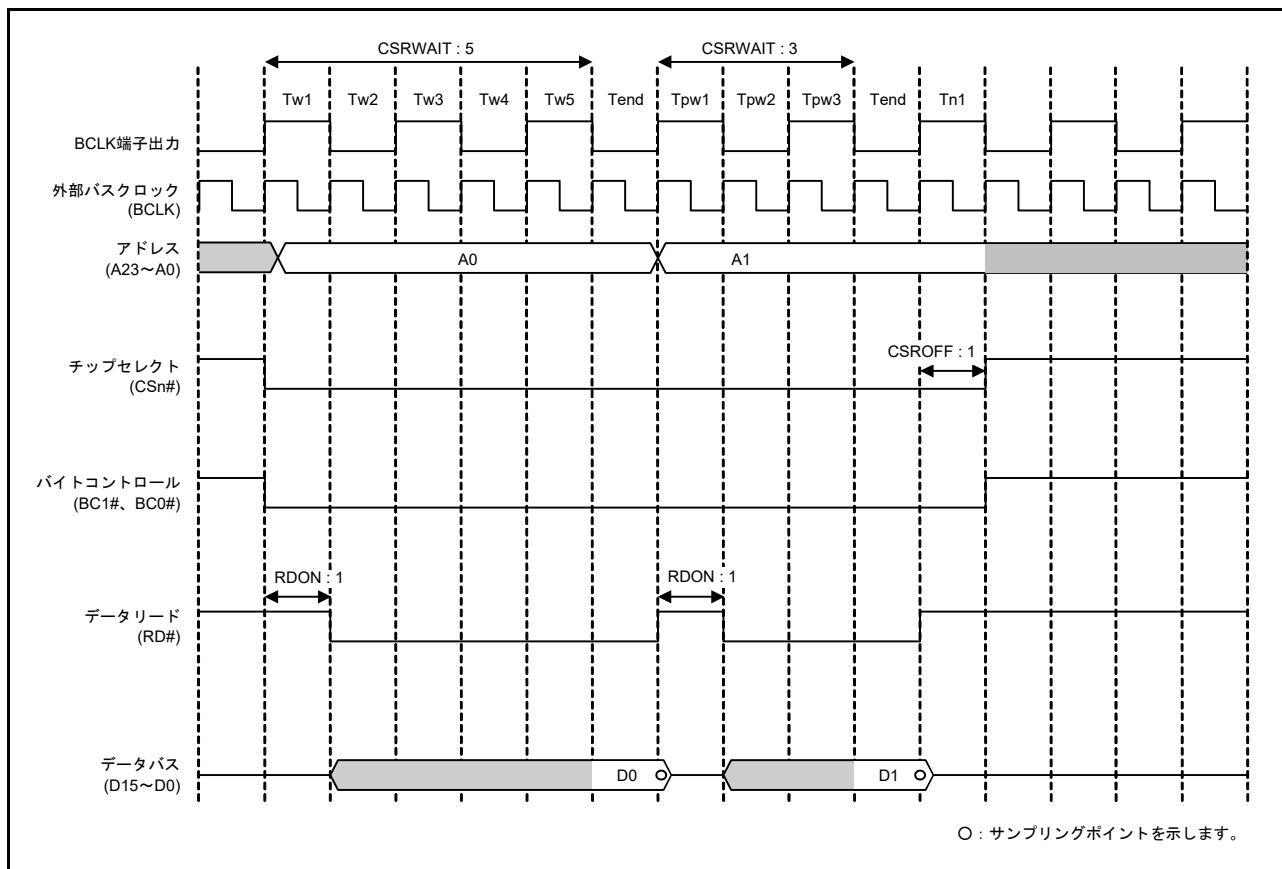


図 16.31 ページリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) ($n = 0 \sim 7$)

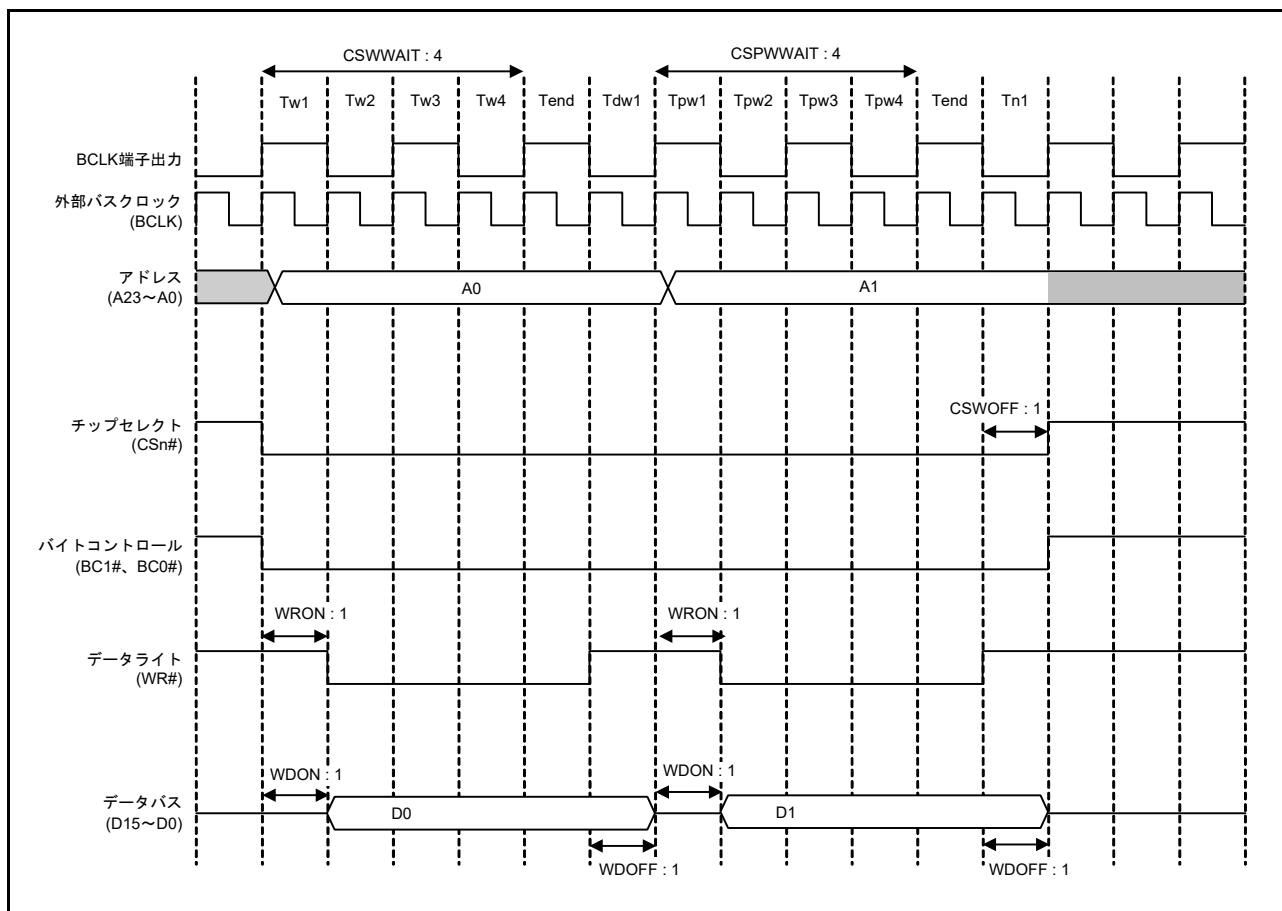


図 16.32 ページライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合 : 1 ライトストローブモード時) (n = 0 ~ 7)

16.5.2 アドレス / データマルチプレクスバス

CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) を “1” に設定することにより、対応する領域で D15 ~ D0 端子にアドレスとデータをマルチプレクスして入出力する機能を備えています。これにより、アドレス / データマルチプレクスが必要な周辺 LSI を本 MCU に直結できます。CSnCR.BSIZE[1:0] ビットで 8 ビットを選択した領域では、D7 ~ D0 が A7 ~ A0 とマルチプレクスされます。CSnCR.BSIZE[1:0] ビットで 16 ビットを選択した領域では、D15 ~ D0 が A15 ~ A0 とマルチプレクスされます。アドレス / データマルチプレクス I/O 空間では、ALE、RD#、WRn#、BCn# 信号でアクセスが制御されます。セパレートバスと同様、バイトストロブモードと 1 ライトストロブモードを選択可能です。ただし、アドレスサイクル中の BCn# 信号については、リードデータ、ライトデータに対するバイトコントロール信号が出力されます。

アドレス / データマルチプレクス I/O 空間のアクセスでは、アドレス出力が CSn ウェイト制御レジスタ 2 のアドレスサイクルウェイト選択ビット (CSnWCR2.AWAIT[1:0]) で設定されたサイクル挿入後、続けてデータのアクセスが行われます。

- $T_{a1} \sim T_{an}$ (アドレスサイクルウェイト)

アドレス / データマルチプレクス I/O 空間設定時のみ有効なサイクルで、外部バスアクセス開始からアドレスラッチ (ALE) 信号がネゲートされる 1 サイクル前までの期間です。0 ~ 3 サイクルを選択できます。ALE 信号がネゲートされた次のサイクルまでアドレスが出力されます (アドレスサイクル)。ALE 信号は、CS# 信号のアサートタイミングと同じになります。アドレスサイクル後はデータサイクルになります。アドレスサイクルとデータサイクルが重ならないように CSnWCR1、CSnWCR2 レジスタの値を設定する必要があります。

アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページリードアクセス許可 (CSnMOD.PRENB ビット = 1)、ページライトアクセス許可 (CSnMOD.PWENB ビット = 1) に設定した場合、設定は無視されノーマルアクセスを行います。

図 16.33 ~ 図 16.35 にアドレス / データマルチプレクス I/O インタフェース時の動作例を示します。

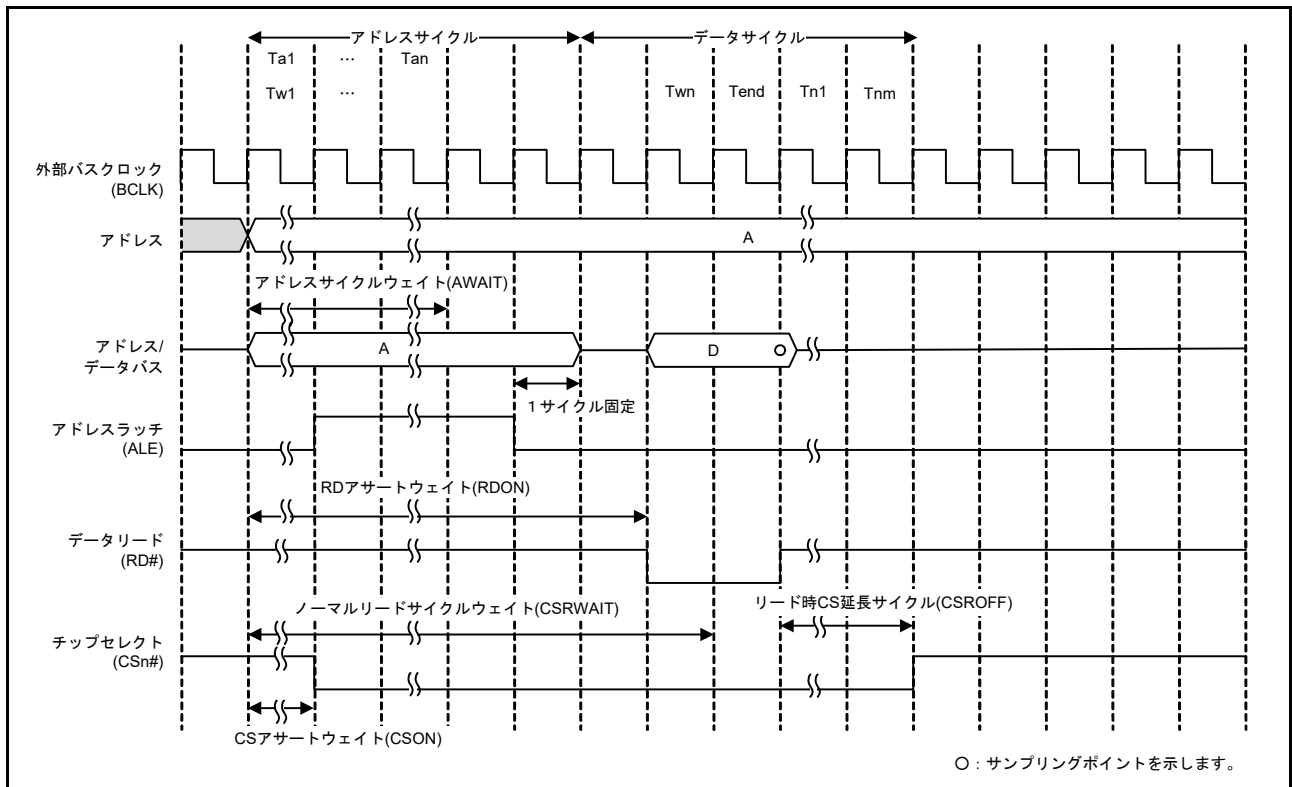


図 16.33 アドレス / データマルチプレクス I/O インタフェース時のリードアクセスの動作例 (n = 0 ~ 7)

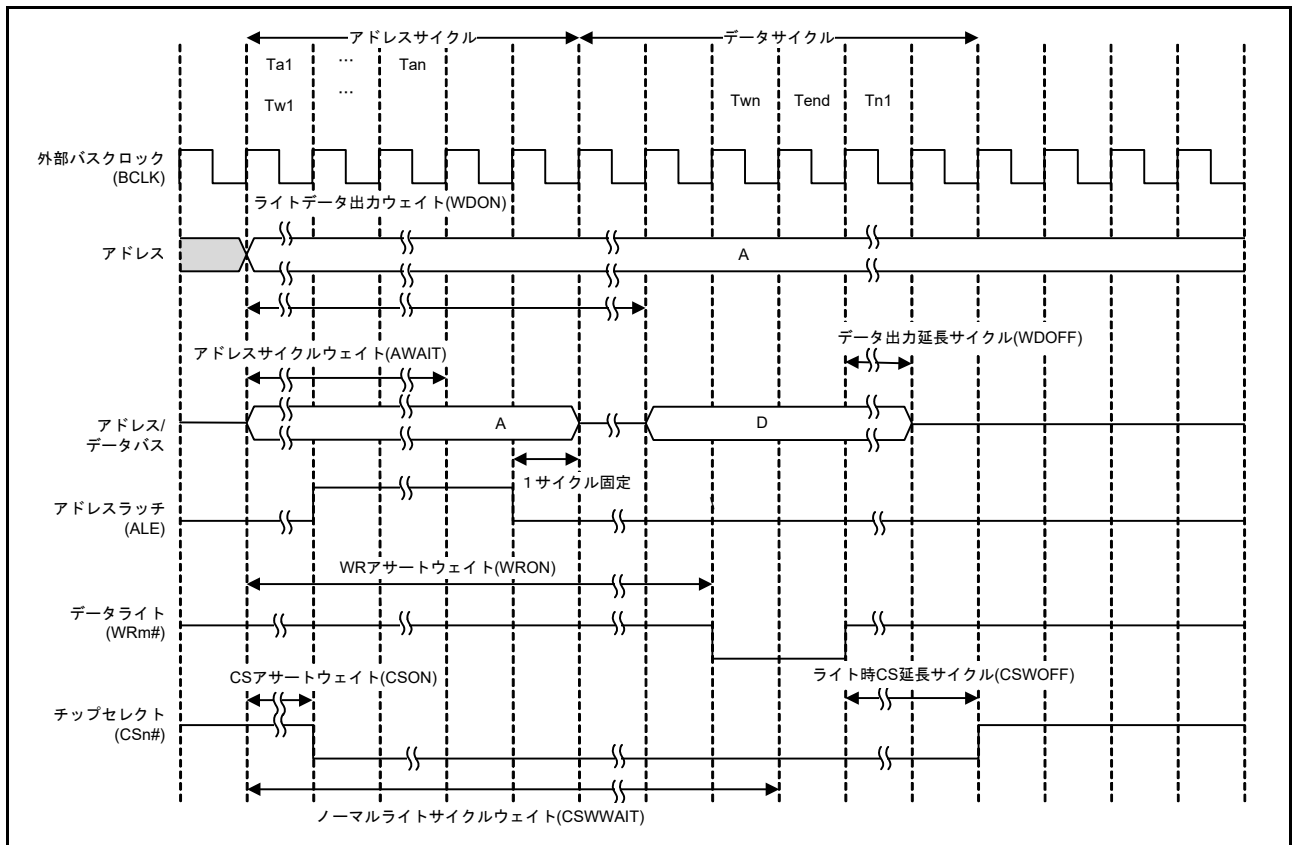


図 16.34 アドレス / データマルチプレクス I/O インタフェース時のライトアクセスの動作例 (n = 0 ~ 7, m = 0, 1)

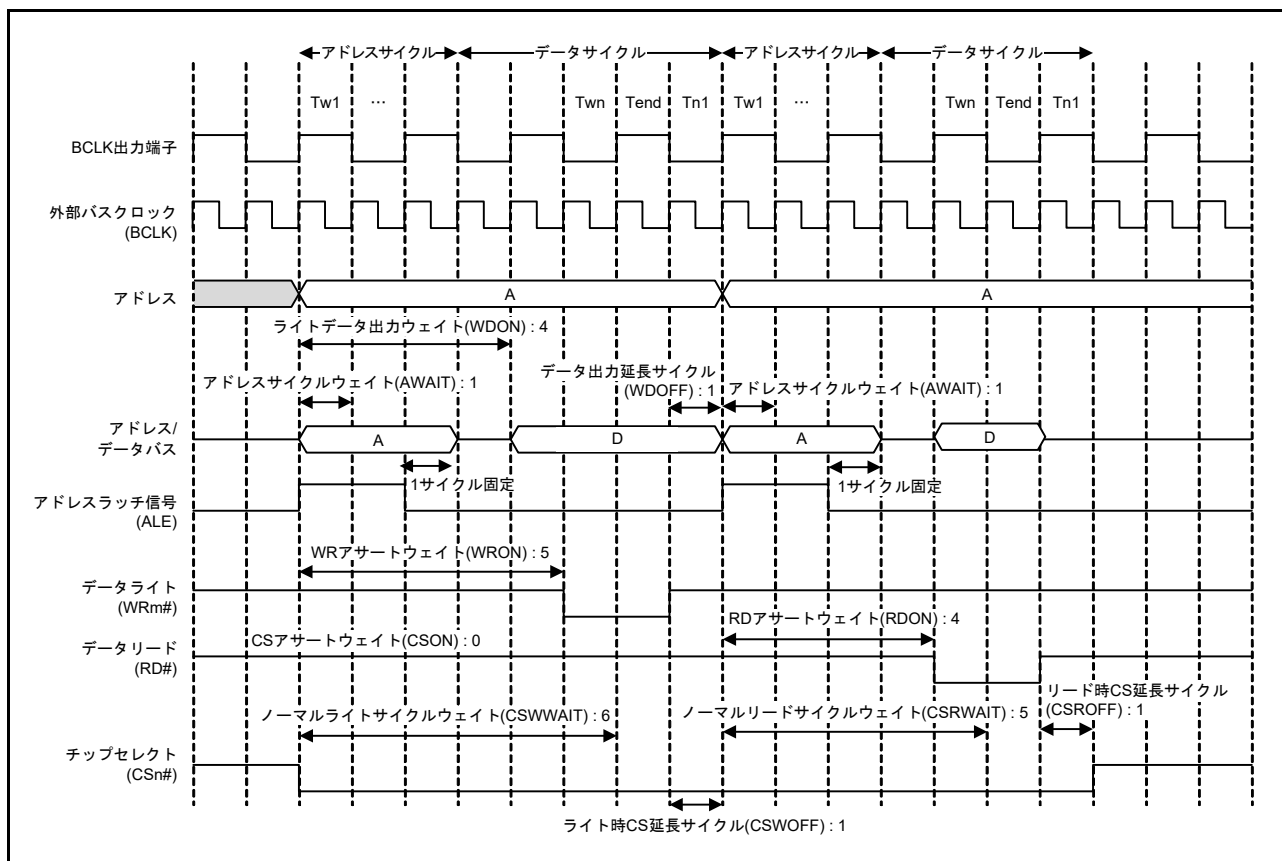


図 16.35 アドレス / データマルチプレクス I/O インタフェース時のバスタイミング例
(n = 0 ~ 7, m = 0, 1)

16.5.3 外部ウェイト機能

WAIT# 信号により、CSn ウェイト制御レジスタ 1 (CSnWCR1) で設定したノーマルアクセスサイクルウェイト (CSRWAIT[4:0] ビット、CSWWAIT[4:0] ビット) や、ページアクセスサイクルウェイト (CSPRWAIT[2:0] ビット、CSPWWAIT[2:0] ビット) を超えて、ウェイトサイクルを延長することができます。

外部ウェイト許可 (CSnMOD.EWENB ビット = 1) にすると、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。外部ウェイト禁止 (CSnMOD.EWENB ビット = 0) であれば WAIT# 信号は無効です。

なお、CSnWCR1 レジスタで設定した各サイクルウェイトは、WAIT# 信号にかかわらず挿入されます。

(1) ノーマルアクセス

CSnWCR1 レジスタで設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

(2) ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。ウェイト制御レジスタに設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

2 番目以降のアクセスに関しては、ページアクセスのウェイトサイクルが完了した時点 (Tend) から WAIT# 信号がサンプリングされます。WAIT# 信号が Low の間、ページアクセスのウェイトサイクルを延長し、WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

図 16.36、図 16.37 にセパレートバスインタフェース時の外部ウェイトサイクルの動作例を示します。

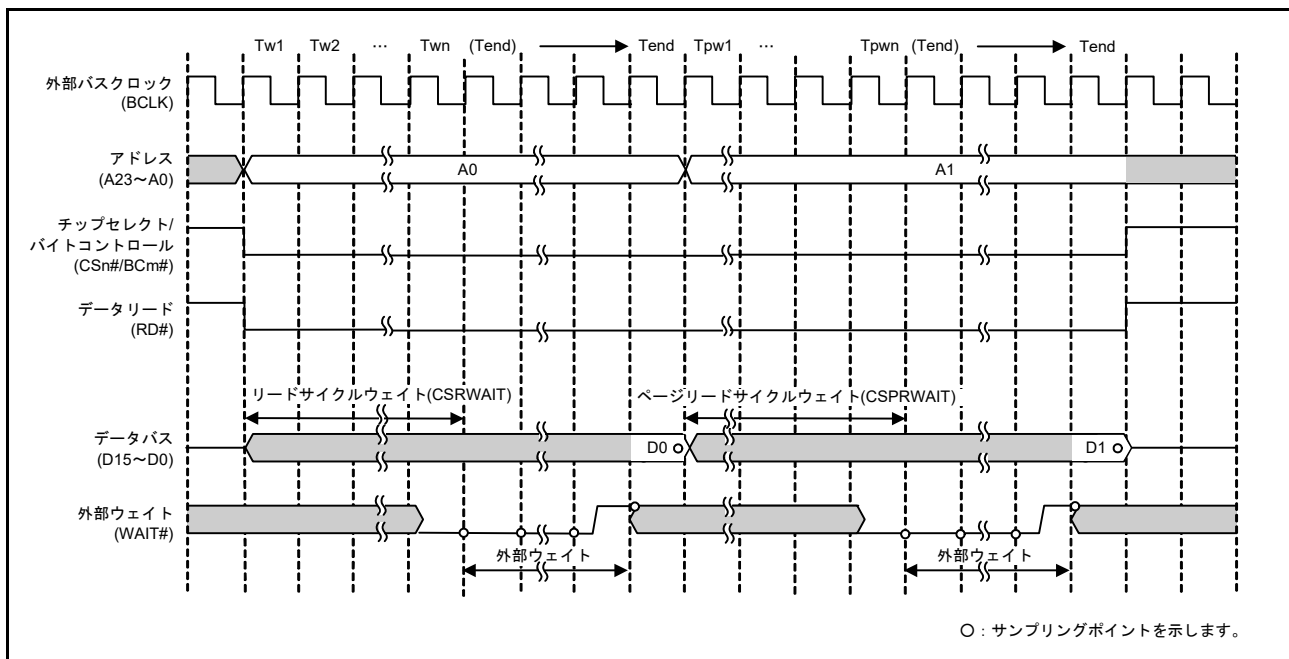


図 16.36 外部ウェイトタイミング例 (16 ビットバス空間へのページリードアクセス) ($n = 0 \sim 7, m = 0, 1$)

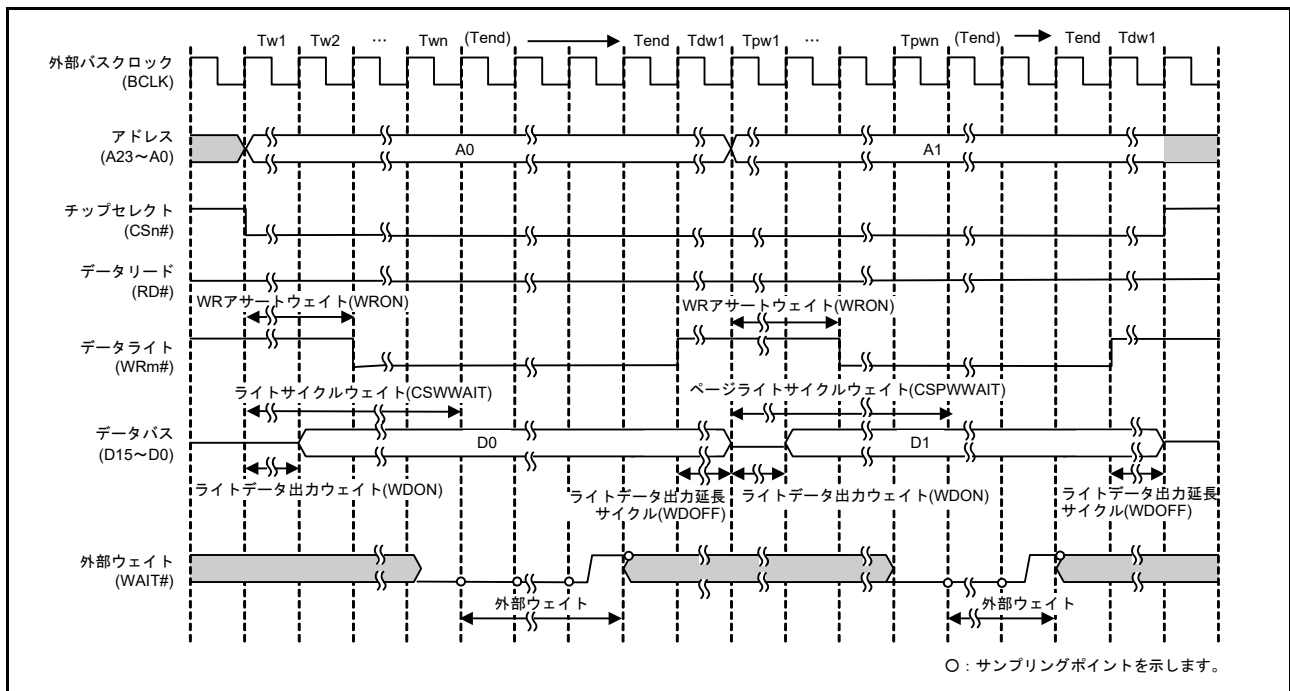


図 16.37 外部ウェイトタイミング例 (16 ビットバス空間へのページライトアクセス : バイトストローブモード時) ($n = 0 \sim 7, m = 0, 1$)

(3) アドレス / データマルチプレクス I/O インタフェース

アドレス / データマルチプレクス I/O インタフェースのデータサイクルには、セパレートバスインタフェースと同様にプログラムウェイトの挿入、WAIT 端子による端子ウェイトの挿入が可能です。

ウェイト制御の設定は、アドレスサイクルに影響を与えません。図 16.38 にアドレス / データマルチプレクス I/O インタフェース時の外部ウェイトサイクルの動作例を示します。

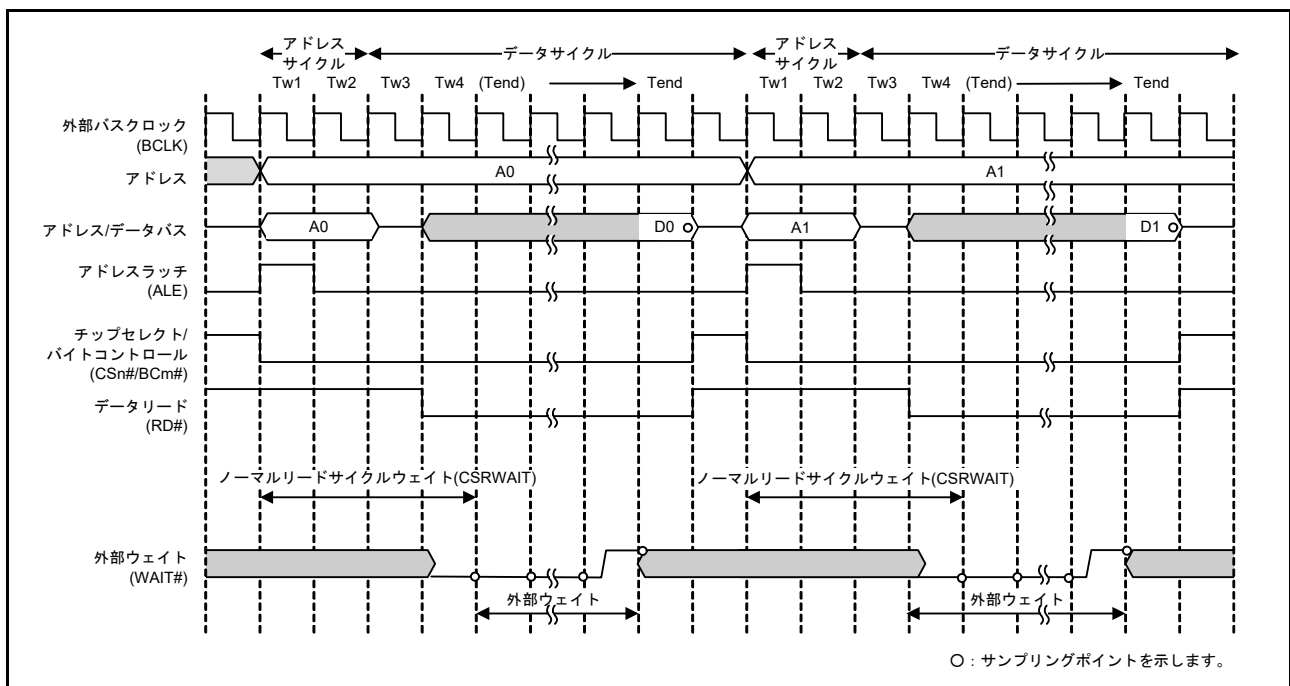


図 16.38 アドレス / データマルチプレクス I/O インタフェース時の外部ウェイト挿入の動作例 ($n = 0 \sim 7, m = 0, 1$)

16.5.4 リカバリサイクルの挿入

CS リカバリサイクル挿入許可レジスタ (CSRECEN) のリカバリサイクル挿入許可ビットを“1”に設定することにより、連続する外部バスアクセスの間にリカバリサイクルを挿入することができます。

挿入するリカバリサイクル数は、ライトサイクル後とリードサイクル後を領域ごとに設定でき、CSn リカバリサイクル設定レジスタ (CSnREC) で設定します。前バスサイクルがライトアクセスの場合、その領域のライトリカバリサイクル設定ビット (CSnREC.WRCV[3:0]) で設定し、前バスサイクルがリードアクセスの場合、その領域のリードリカバリサイクル設定ビット (CSnREC.RRCV[3:0]) で設定します。たとえば、CS0 リードアクセス後、CS1 リードアクセスがある場合、この間に入るリカバリサイクルは、CS0 の CS0REC.RRCV[3:0] ビットで設定されたサイクル数になります。

リカバリサイクル挿入可能な条件は、以下の 8 通りです。前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j=0~7) により、アドレス/データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) (j=0~7) により、リカバリサイクル挿入の許可、禁止を設定できます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

リカバリサイクルの起点は、前バスサイクルの終了時点 (CSn# 信号 (n=0~7) のネゲート時点) です。終了時点から設定したリカバリサイクル間は、CSn# 信号の High 期間が挿入されます。

最短でリカバリサイクルの終了直後に、次のバスアクセスのチップセレクト CSn# 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了直後に次の外部バスアクセスを開始します。

バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。ただし、ページリードアクセス許可 (CSnMOD.PRENB=1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB=1) に設定された場合、リカバリサイクル挿入条件が成り立つ場合でも途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます (図 16.41 参照)。

ページアクセス許可設定時でノーマルアクセスとなる場合についても、セパレートバス時は、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。アドレス/データマルチプレクス I/O インタフェース時は、ページアクセス許可設定に関わらず、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されず。

図 16.39 ~ 図 16.41 にセパレートバスインタフェース時のリカバリサイクルの動作例を示します。

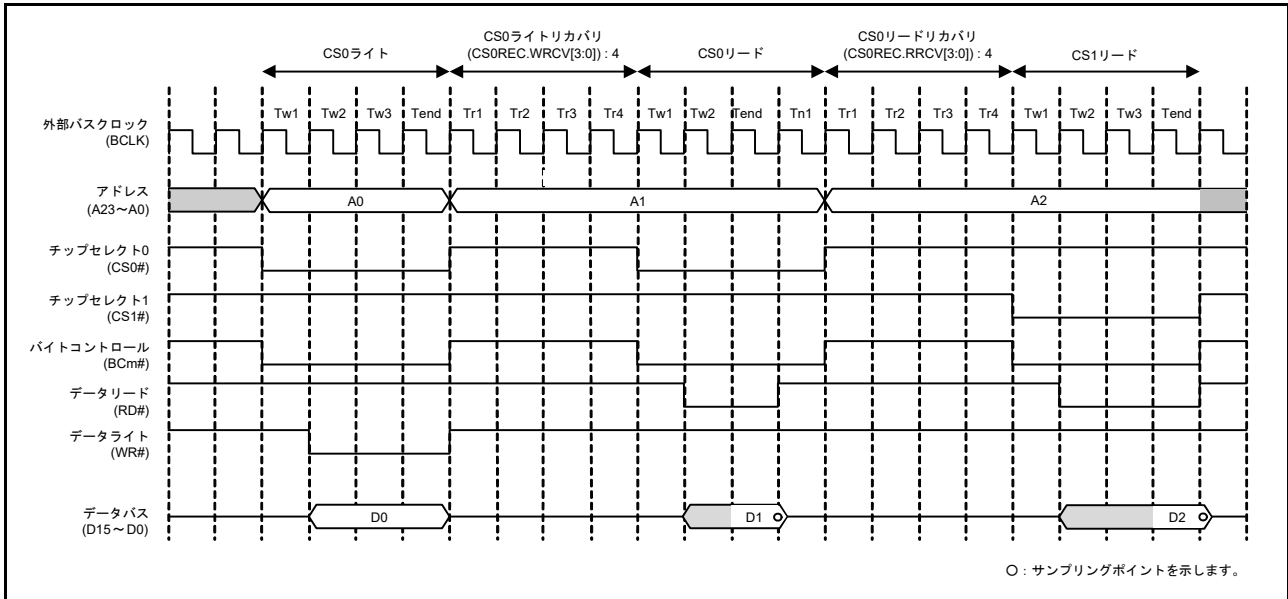


図 16.39 セパレートバスインタフェース時のリカバリサイクルの動作例 (m = 0, 1)

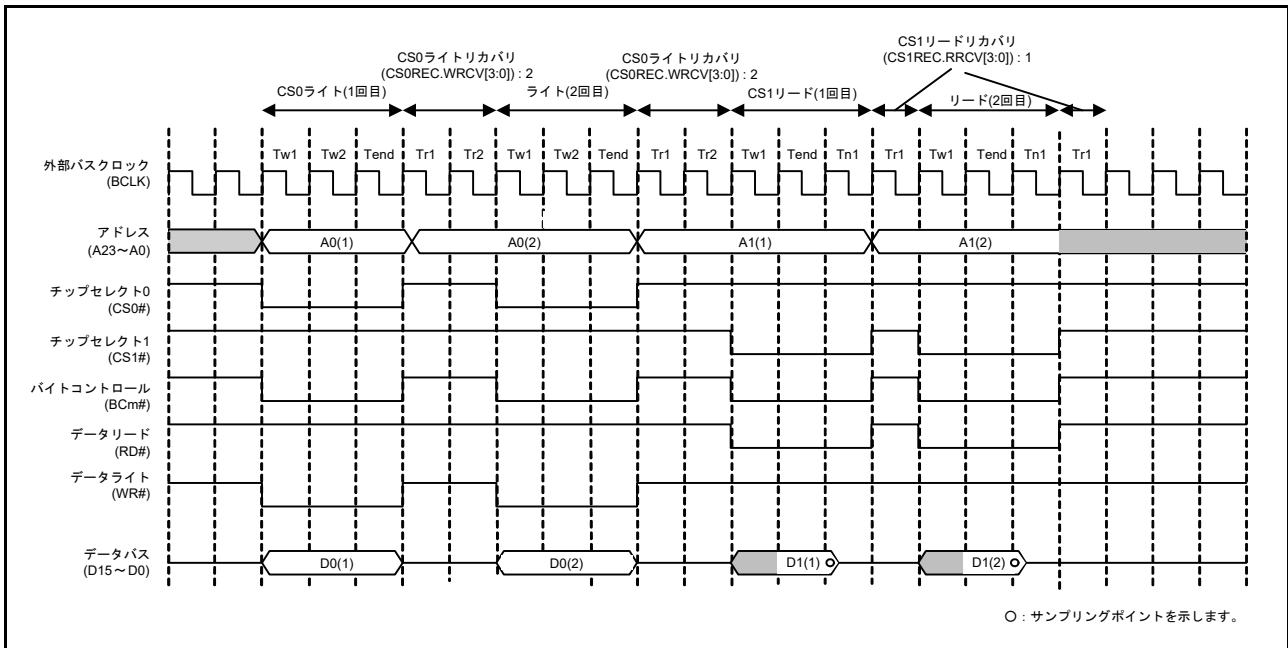


図 16.40 バスアクセスが分割された場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ノーマルアクセスの場合) (m = 0, 1)

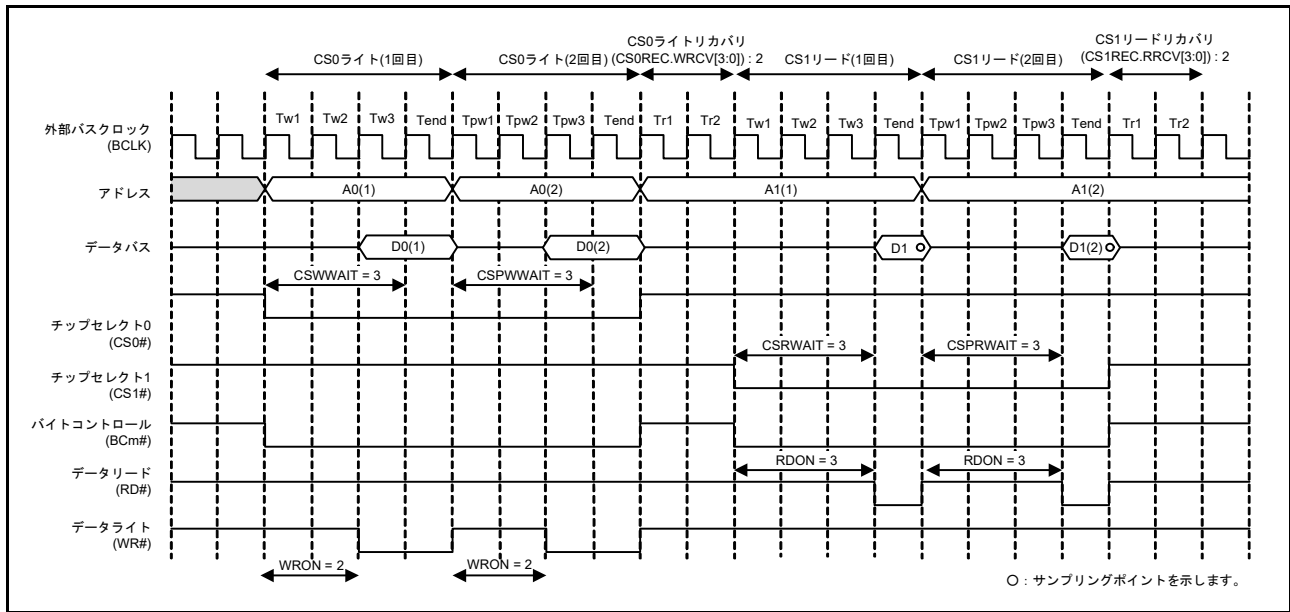


図 16.41 バスアクセスが分割された場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ページアクセスの場合) (m = 0, 1)

図 16.42 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

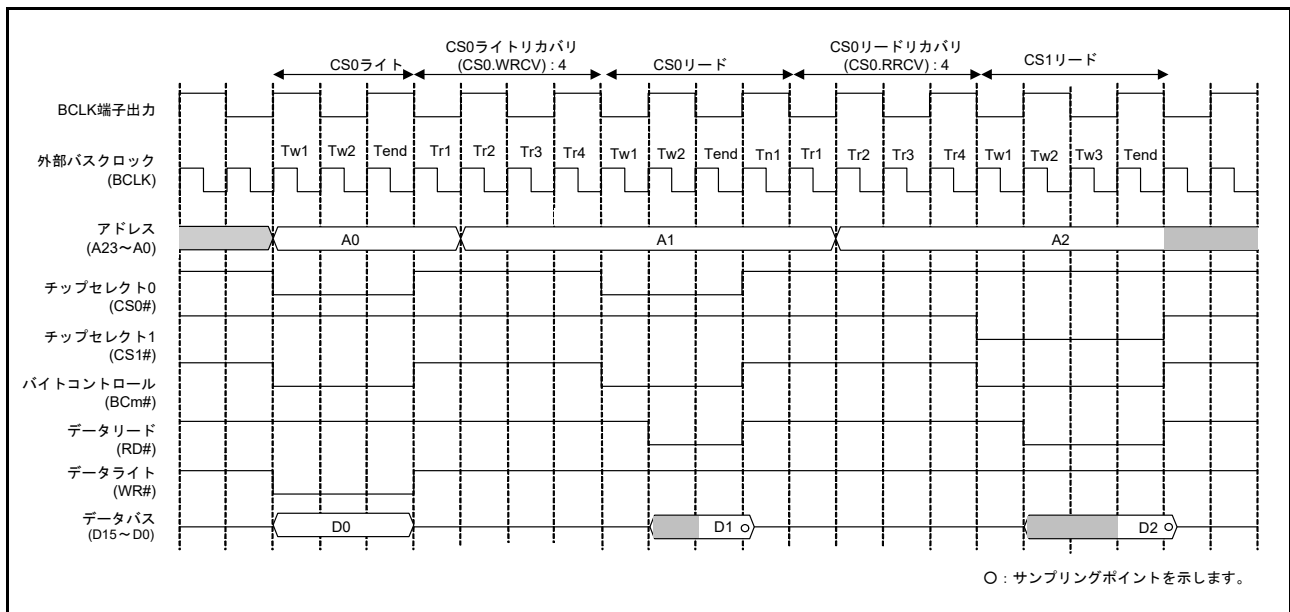


図 16.42 BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ノーマルアクセスの場合) (m = 0, 1)

アドレス/データマルチプレクス I/O インタフェースのリカバリサイクルの挿入もセパレートバスインタフェースと同様に行われます。図 16.43、図 16.44 に、アドレス/データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例を示します。

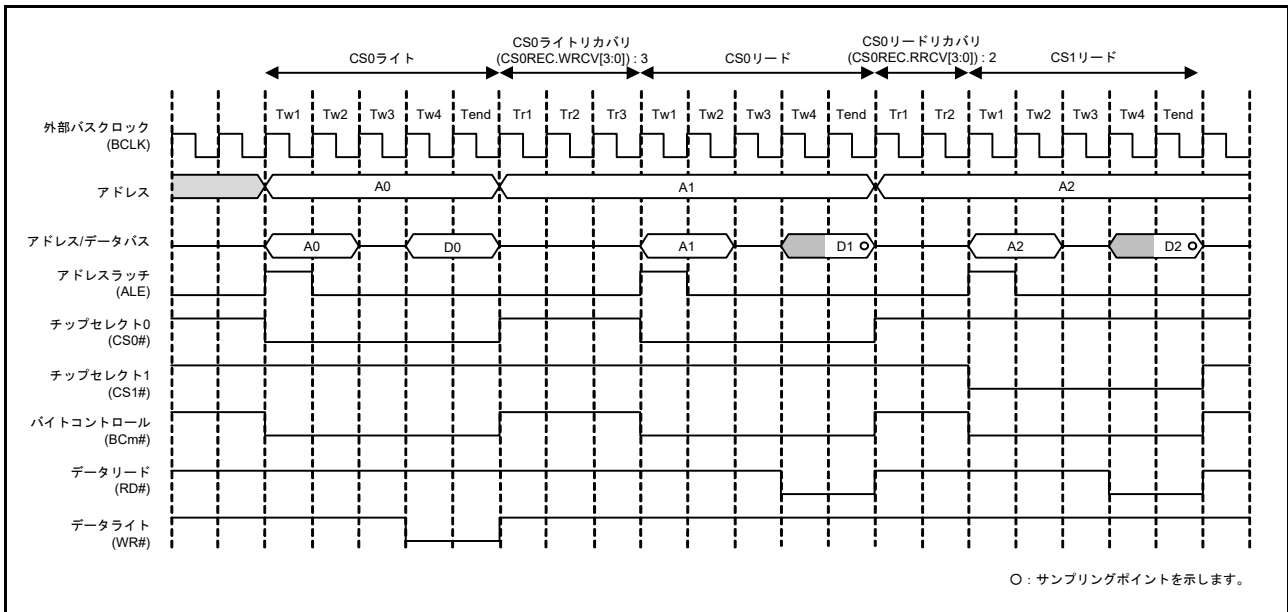


図 16.43 アドレス / データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例 (m = 0, 1)

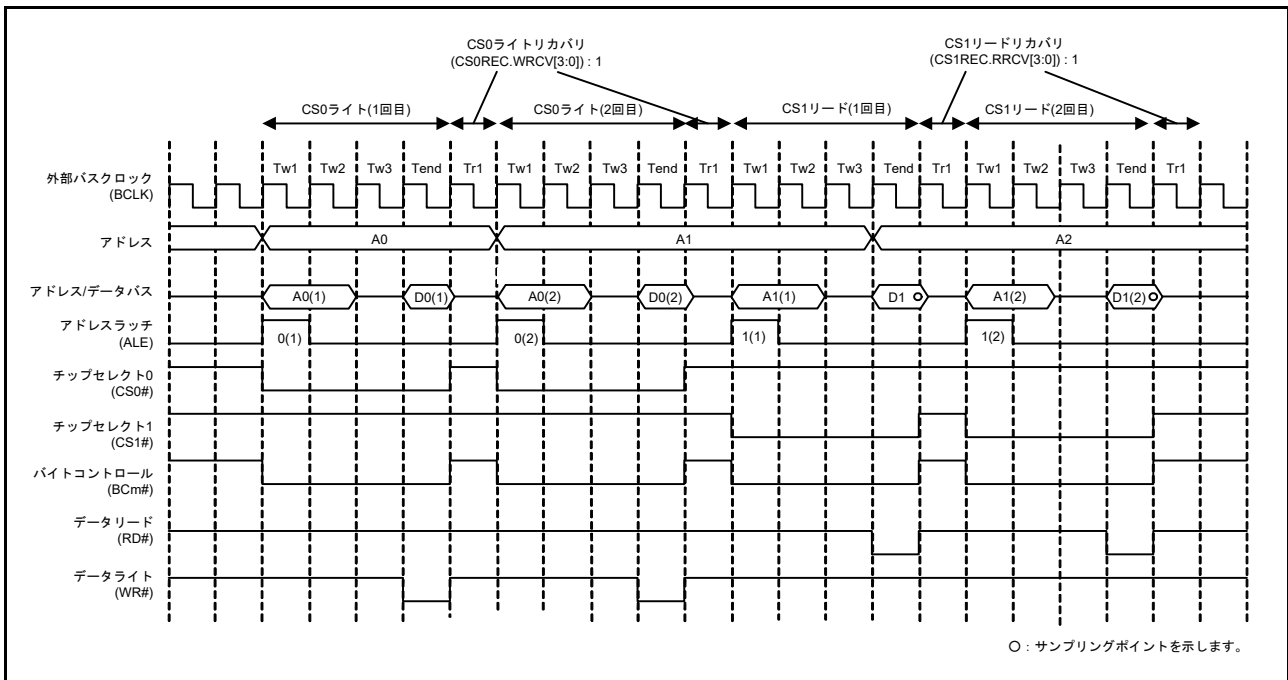


図 16.44 アドレス / データマルチプレクス I/O インタフェース時、バスアクセスが分割された場合のリカバリサイクルの動作例 (m = 0, 1)

16.5.5 非アクセス時の状態

外部アドレス空間に対して処理を行っていないときには CSn# 信号、BCn# 信号、WRn# 信号、RD# 信号は High に、ALE 信号は Low に、D15 ~ D0 はハイインピーダンスになります。

16.5.6 ライトバッファ機能 (外部バス)

ライトアクセスの場合、データをライトバッファに書き込むことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

図 16.45 にライトバッファ機能を使用したときの動作例を示します。この機能を使用したとき、外部ライトの次に内部アクセスがある場合は、外部ライトの終了を待たずに内部アクセス (内蔵メモリ、周辺モジュールのアクセス) が並列して実行されます。

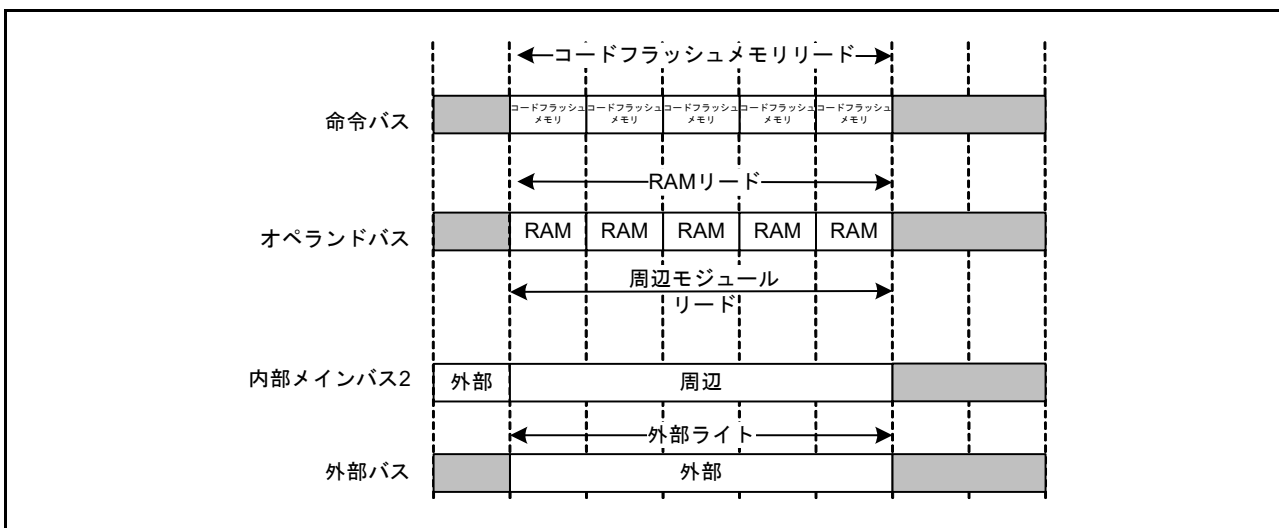


図 16.45 ライトバッファ機能使用時の動作例

16.5.7 制約事項

(1) セパレートバスインタフェースの場合の制約事項

- 表 16.11 にノーマルアクセス時とページアクセス時の CSn ウェイト制御レジスタ 1 (CSnWCR1) と、CSn ウェイト制御レジスタ 2 (CSnWCR2) の各ビットの設定値の制約事項を示します。CSn モードレジスタのページリードアクセス許可ビットが有効 (CSnMOD.PRENB = 1)、あるいはページライトアクセス許可ビットが有効 (CSnMOD.PWENB = 1) であっても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となり、ノーマルアクセスの制約条件を満たす必要があります。

表 16.11 ノーマル/ページアクセス時の制約事項

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON	CSON[2:0] ≤ CSPRWAIT RDON[2:0] ≤ CSPRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON

- バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、ページリードアクセス許可 (CSnMOD.PRENB = 1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB = 1) に設定された場合、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。

(2) アドレス / データマルチプレクスバスの場合の制約事項

- アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページアクセスの設定は、無視されノーマルアクセスを行います。

表 16.12 ノーマルアクセス時の制約事項

ノーマルアクセス時の制約条件	
リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON AWAIT[1:0]+2 ≤ RDON CSON[2:0] ≤ AWAIT	CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON AWAIT[1:0]+2 ≤ WRON AWAIT[1:0]+2 ≤ WDON CSON[2:0] ≤ AWAIT

(3) A0 端子と BC0# 端子を兼用する製品の場合の制約事項

A0 端子と BC0# 端子を兼用する製品の場合、8 ビットバス空間では 1 ライトストロブモードの設定は禁止しており、設定した場合の動作は保証していません。

(4) BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の制約事項

BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になりますが、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合、2 回目以降の外部バスアクセスの開始は、ウェイト数の設定によっては、BCLK 端子出力の立ち下がり時点になる可能性があります。接続するデバイスの仕様にあわせて、レジスタの値を設定してください。

(5) EXDMAC のシングルアドレス転送モード時の制約事項

- EXDMAC のシングルアドレス転送時の EDACK 信号のネゲートタイミングを、EXDMA 出力設定レジスタの EDACKn 端子ネゲートウェイトビット (EDMOMD.DACKW) により、リードアクセスの場合は、RD# 信号の 1 サイクル前に、ライトアクセスの場合は、WR# 信号の 1 サイクル後に設定可能です。この場合、CS# 信号のアサート中に EDACK 信号が有効になるように、CS# 信号のアサート、ネゲートタイミングを設定する必要があります。表 16.13、表 16.14 に EXDMAC のシングルアドレス転送モード時の CSn ウェイト制御レジスタ 1 (CSnWCR1) と、CSn ウェイト制御レジスタ 2 (CSnWCR2) の各ビットの設定値の制約事項を示します。
- EXDMAC のシングルアドレス転送モード時、EDACK 信号出力を有効にする場合には、外部ウェイト機能は、無効 (CSnMOD.EWENB ビット = 0) にしておく必要があります。
- ページリードアクセスの場合で、外部データリード連続アサートモード (CSnMOD.PRMOD = 1) 設定時には、EXDMAC のシングルアドレス転送は禁止しており、その場合の動作は保証しません。
- アドレス / データマルチプレクス I/O 空間では、EXDMAC のシングルアドレス転送は禁止しており、その場合の動作は保証しません。

表 16.13 EXDMACのシングルアドレス転送モード時の制約事項 (EDMOMD.DACKW = 0の場合)

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON 1 ≤ RDON	CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON 1 ≤ WRON	CSON[2:0] ≤ CSPRWAIT RDON[2:0] ≤ CSPRWAIT CSON[2:0] ≤ RDON 1 ≤ RDON	CSON[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON 1 ≤ WRON

表 16.14 EXDMACのシングルアドレス転送モード時の制約事項 (EDMOMD.DACKW = 1の場合)

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] < CSRWAIT CSON[2:0] ≤ RDON 1 ≤ RDON	CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON 1 ≤ WRON 1 ≤ WDOFF	CSON[2:0] ≤ CSPRWAIT RDON[2:0] < CSPRWAIT CSON[2:0] ≤ RDON 1 ≤ RDON	CSON[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON 1 ≤ WRON 1 ≤ WDOFF

(6) アドレス空間の各領域をまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

また、EXDMACのシングルアドレスモードブロック転送およびクラスタ転送中に、アドレス空間の各領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。EXDMACのシングルアドレスモードブロック転送、クラスタ転送によりアドレス空間の各領域境界をはさんで2つの領域にまたがらないようにしてください。

(7) RMPA 命令、ストリング操作命令に関する制約事項

- 外部空間には領域ごとのエンディアン切り替え機能 (データのみ) がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(8) 命令コードに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.6 SDRAM 領域コントローラの動作説明

SDRAMC (SDRAM 領域コントローラ) の動作許可、SDRAM バス幅の設定、SDRAM に対して行う各動作 (リード、ライト、オートリフレッシュ、セルフリフレッシュ、初期化シーケンス、モードレジスタ設定) について説明します。

16.6.1 SDRAM のアクセス有効 / 無効、SDRAM バス幅設定

SDRAM のアクセス有効 / 無効の設定は、SDC 制御レジスタ (SDCCR) で SDRAM アクセスの動作許可 / 禁止に設定することにより行います。また、SDRAM バス幅の設定も SDCCR レジスタで行います。

SDRAM アクセス空間を動作禁止状態に設定した場合でも、セルフリフレッシュもしくはオートリフレッシュ動作が有効に設定されているときには、リフレッシュ動作は行われます。

16.6.2 非アクセス時の状態

外部アドレス空間に対して処理を行っていないときには、SDCS# 信号、WE# 信号、RAS# 信号、CAS# 信号は High になります。

16.6.3 リカバリサイクルの挿入

CS 領域のアクセス後に SDRAM アクセスが起こる場合には、CSC (CS 領域コントローラ) に対するデータリカバリサイクルの挿入が行われます。CSC に対するリカバリサイクルがない場合は、最短で、CSn# 信号がネゲート直後に、次の SDRAM アクセスの ACT コマンドが発行されます。リカバリサイクルが 0 以外の場合は、最短で、CSn# 信号のネゲートからリカバリサイクル数経過後の 2 サイクル後に、ACT コマンドが発行されます。また、SDRAM に対するアクセスの場合、タイミング的にバス上のデータ衝突はありません。したがって、SDRAM に対するデータリカバリサイクルの設定はありません (“0” サイクル固定)。

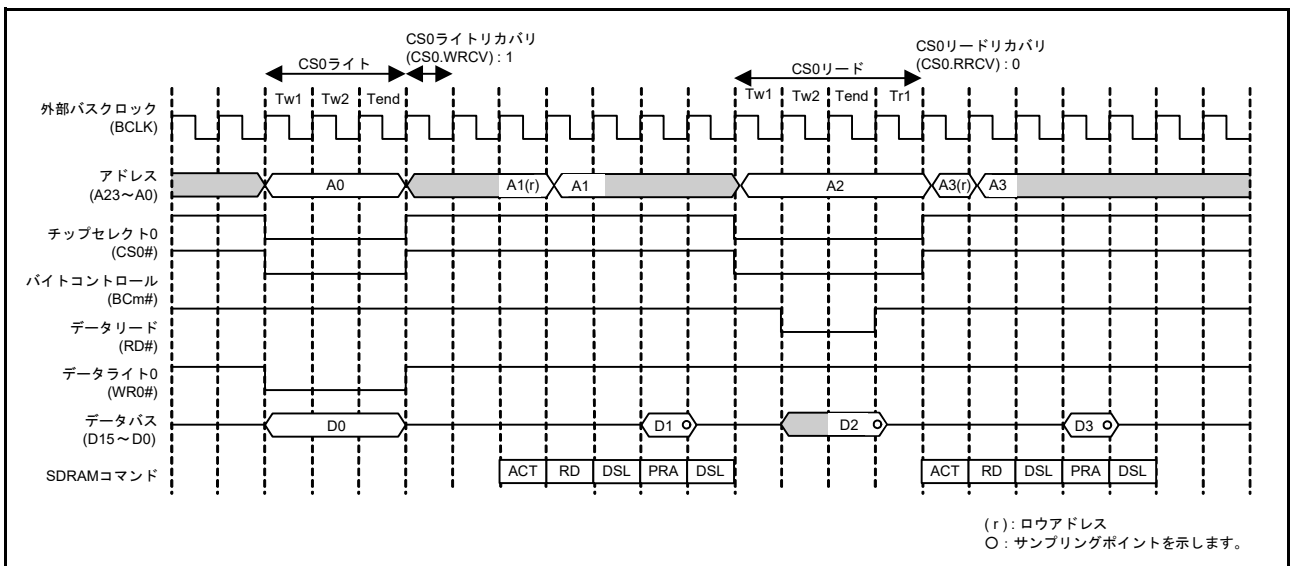


図 16.46 リカバリサイクルの動作例 (SDRAM アクセス時) (m = 0, 1)

16.6.4 ライトバッファ機能

ライトアクセスの場合、データをライトバッファに書くことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

16.6.5 SDRAM コマンド

SDRAMC は、バスサイクルごとにコマンドを発行することにより SDRAM の制御を行います。コマンドは、SDCS#/RAS#/CAS#/WE#/CKE 信号等の組み合わせにより定義します。

表 16.15 に SDRAMC が発行するコマンドを示します。

表 16.15 SDRAMC コマンド

一般	略称	コマンド	SDCS#	RAS#	CAS#	WE#	CKE	
							n-1	n
DESL	DSL	デバイス非選択	H	x	x	x	H	x
ACTV	ACT	バンクアクティブ	L	L	H	H	H	x
READ	RD	リード	L	H	L	H	H	x
WRIT	WRI	ライト	L	H	L	L	H	x
PALL	PRA	オールバンクプリチャージ	L	L	H	L	H	x
REF	RFA	オートリフレッシュ	L	L	L	H	H	H
MRS	MRS	モードレジスタセット	L	L	L	L	H	x
SELF	RFS	セルフリフレッシュエントリ	L	L	L	H	H	L
SELFX	RFX	セルフリフレッシュ終了	H	x	x	x	L	H

注. H : High, L : Low, V : Valid, x : Don't Care (HighあるいはLow)
「n」は、コマンド発行サイクル、「n-1」は、コマンド発行の1サイクル前を示します。

16.6.6 SDRAMC レジスタの設定条件

SDRAMC の各レジスタを書き換える場合は、表 16.16 の各条件をすべて満たしている場合にのみ行ってください。

表 16.16 レジスタの書き換え条件

機能/動作	書き換え対象	条件
セルフリフレッシュ	SDSELF レジスタ (注1)	<ul style="list-style-type: none"> SDRAMアクセス無効(SDCCR.EXENB = 0 (注2)) オートリフレッシュ有効(SDRFEN.RFEN = 1)
オートリフレッシュ	SDRFCR レジスタ	セルフリフレッシュ無効(SDSELF.SFEN = 0)
	SDRFEN レジスタ	セルフリフレッシュ無効(SDSELF.SFEN = 0)
初期化シーケンス	SDIR レジスタ (注1)	SDICR設定前、かつSDICRの書き換えと同じ条件
	SDICR レジスタ (注1)	<ul style="list-style-type: none"> SDRAMアクセス無効(SDCCR.EXENB = 0 (注2)) オートリフレッシュ無効(SDRFEN.RFEN = 0) セルフリフレッシュ無効(SDSELF.SFEN = 0)
アドレスレジスタ設定	SDADR レジスタ	<ul style="list-style-type: none"> SDRAMアクセス無効(SDCCR.EXENB = 0 (注2)) オートリフレッシュ無効(SDRFEN.RFEN = 0) セルフリフレッシュ無効(SDSELF.SFEN = 0)
タイミングレジスタ設定	SDTR	<ul style="list-style-type: none"> セルフリフレッシュ動作中(SDSELF.SFEN = 1) または、 <ul style="list-style-type: none"> SDRAMアクセス無効(SDCCR.EXENB = 0 (注2)) オートリフレッシュ無効(SDRFEN.RFEN = 0) セルフリフレッシュ無効(SDSELF.SFEN = 0)
モードレジスタ設定	SDMOD レジスタ (注1)	<ul style="list-style-type: none"> SDRAMアクセス無効(SDCCR.EXENB = 0 (注2)) セルフリフレッシュ無効(SDSELF.SFEN = 0)
アクセスモードレジスタ設定	SDAMOD レジスタ	<ul style="list-style-type: none"> SDRAMアクセス無効(SDCCR.EXENB = 0 (注2)) オートリフレッシュ無効(SDRFEN.RFEN = 0) セルフリフレッシュ無効(SDSELF.SFEN = 0)

注1. 書き換え前にSDRAMステータスレジスタ(SDSR)のステータスビットがすべて“0”になっていることを確認してください。

注2. EXENBビットに“0”を書いた後に、EXENBビットが“0”になっていることを確認してください。

16.6.7 セルフリフレッシュ

SDRAMセルフリフレッシュ制御レジスタ (SDSELF) の設定により、セルフリフレッシュモードへの移行/復帰を制御することができます。

セルフリフレッシュモードへの移行直前には、オートリフレッシュサイクル動作が行われます。セルフリフレッシュモード中は、CKE 信号が Low になります。セルフリフレッシュモードからの復帰直後には、オートリフレッシュサイクルが起動されます。

図 16.47 にセルフリフレッシュモードへの移行タイミングを、図 16.48 に復帰タイミング例を示します。

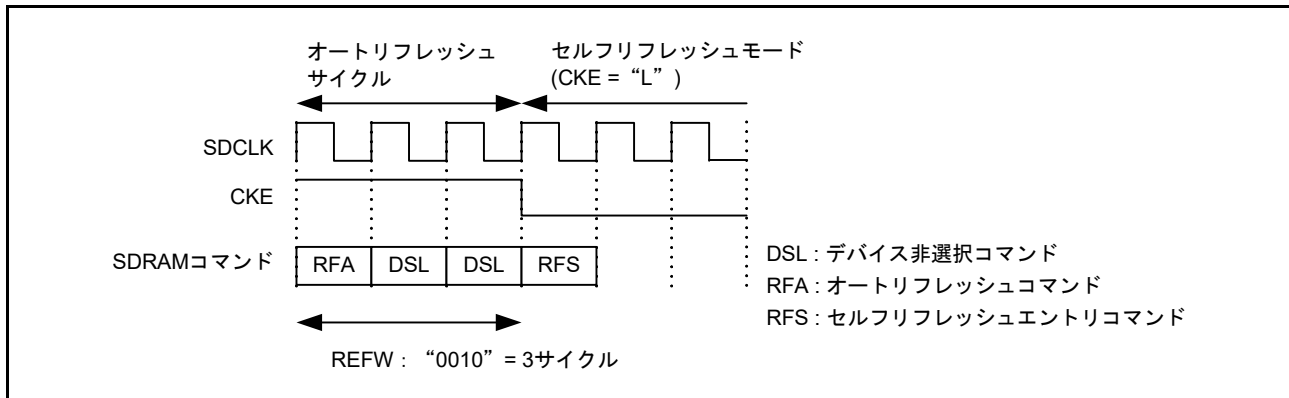


図 16.47 セルフリフレッシュモード移行タイミング例
(SDRFCR.REFW[3:0] ビット = “0010b” : 3 サイクルの場合)

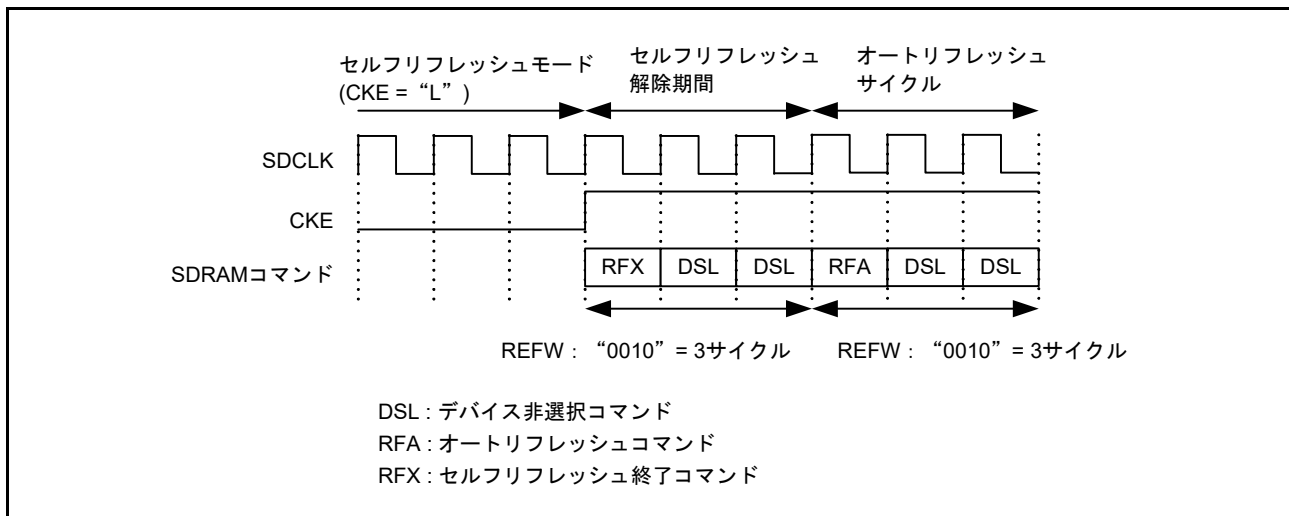


図 16.48 セルフリフレッシュモード復帰タイミング例

(1) 全モジュールクロックストップモードでのセルフリフレッシュ

全モジュールクロックストップモードでのセルフリフレッシュモードへの移行は、「16.6.12.2 セルフリフレッシュモードへの移行/復帰手順」に従い、セルフリフレッシュモードに移行後、全モジュールクロックストップモードへの移行のための設定を行ってください。

全モジュールクロックストップモード解除後は、「16.6.12.2 セルフリフレッシュモードへの移行/復帰手順」に従ってください。

全モジュールクロックストップモードへの移行、解除の詳細については、「11. 消費電力低減機能」を参照してください。

(2) ソフトウェアスタンバイモードでのセルフリフレッシュ

ソフトウェアスタンバイモードでのセルフリフレッシュモードへの移行は、「16.6.12.2 セルフリフレッシュモードへの移行 / 復帰手順」に従い、セルフリフレッシュモードに移行後、ソフトウェアスタンバイモードへの移行のための設定を行ってください。ソフトウェアスタンバイモードでは、スタンバイコントロールレジスタの出力ポートイネーブルビット (SBYCR.OPE ビット) を“1”にし、アドレスバス、バス制御信号の出力状態を保持してください。

ソフトウェアスタンバイモード解除後は、「16.6.12.2 セルフリフレッシュモードへの移行 / 復帰手順」に従ってください。

ソフトウェアスタンバイモードへの移行、解除の詳細については、「11. 消費電力低減機能」を参照してください。

(3) ディープソフトウェアスタンバイモードでのセルフリフレッシュ

ディープソフトウェアスタンバイモードへは、ソフトウェアスタンバイモードを介して移行します。ディープソフトウェアスタンバイモード時の端子状態はソフトウェアスタンバイモード時の状態を保持しています。したがって、ディープソフトウェアスタンバイモードにおいてもソフトウェアスタンバイモードと同様の手順で、セルフリフレッシュに移行することができます。

ディープソフトウェアスタンバイモードでは、ソフトウェアスタンバイモードでのセルフリフレッシュの設定に加え、ディープスタンバイコントロールレジスタの I/O ポート保持 (DPSBYCR.IOKEEP ビット) を 1 にセットした上で、セルフリフレッシュモードへ移行してください。

ディープソフトウェアスタンバイモード解除時には、内部リセットにより SDRAMC の内部状態がリセットされますので、SDRAM 関連の制御レジスタの再設定が必要になります。ディープソフトウェアスタンバイモード解除後は、セルフリフレッシュを解除するために以下の手順に従ってください。図 16.49 にディープソフトウェアスタンバイモードでのセルフリフレッシュタイミング例を示します。

ディープソフトウェアスタンバイモードへの移行、解除の詳細については、「11. 消費電力低減機能」を参照してください。

1. ディープソフトウェアスタンバイモード時は、DPSBYCR.IOKEEP ビットによる端子状態の保持により、CKE 信号は Low 出力の状態が保持されています。
2. SDRAMC へのクロックの供給を開始してください。
3. ディープソフトウェアスタンバイモードにともなう内部リセットで初期化された SDRAM 関連の制御レジスタ (SDCMOD, SDAMOD, SDADR, SDTR) を再設定後、オートリフレッシュを有効 (SDRFEN.RFEN = 1) にしてください。
4. SDSR レジスタのすべてのステータスビットが“0”にクリアされていることを確認し、SDSELF.SFEN ビットに“1”を設定し、セルフリフレッシュモードに再設定してください。
5. 以下の手順に従って、ポートの設定を SDRAM インタフェースに変更してください。
 - (1) SDRAM 端子のイネーブルビット (PFBCR1.MDSDE, PFBCR1.DQM1E) を、それぞれ、“1”に設定し、ポートの設定を SDRAM に再設定してください。
 - (2) SDCLK 端子のイネーブルビット (PFBCR1.SDCLKE) を“1”に設定し、SDCLK 端子の設定を出力有効に再設定してください。
 - (3) DPSBYCR.IOKEEP ビットを“0”にして I/O ポートの保持状態を解除してください。
6. SCKCR.PSTOP0 ビットを“0”にして、SDCLK 端子から SDRAM へのクロックの供給を開始してください。
7. SDSR レジスタのすべてのステータスフラグが“0”になっていることを確認後、SDSELF.SFEN ビットに“0”を設定し、セルフリフレッシュを解除してください。

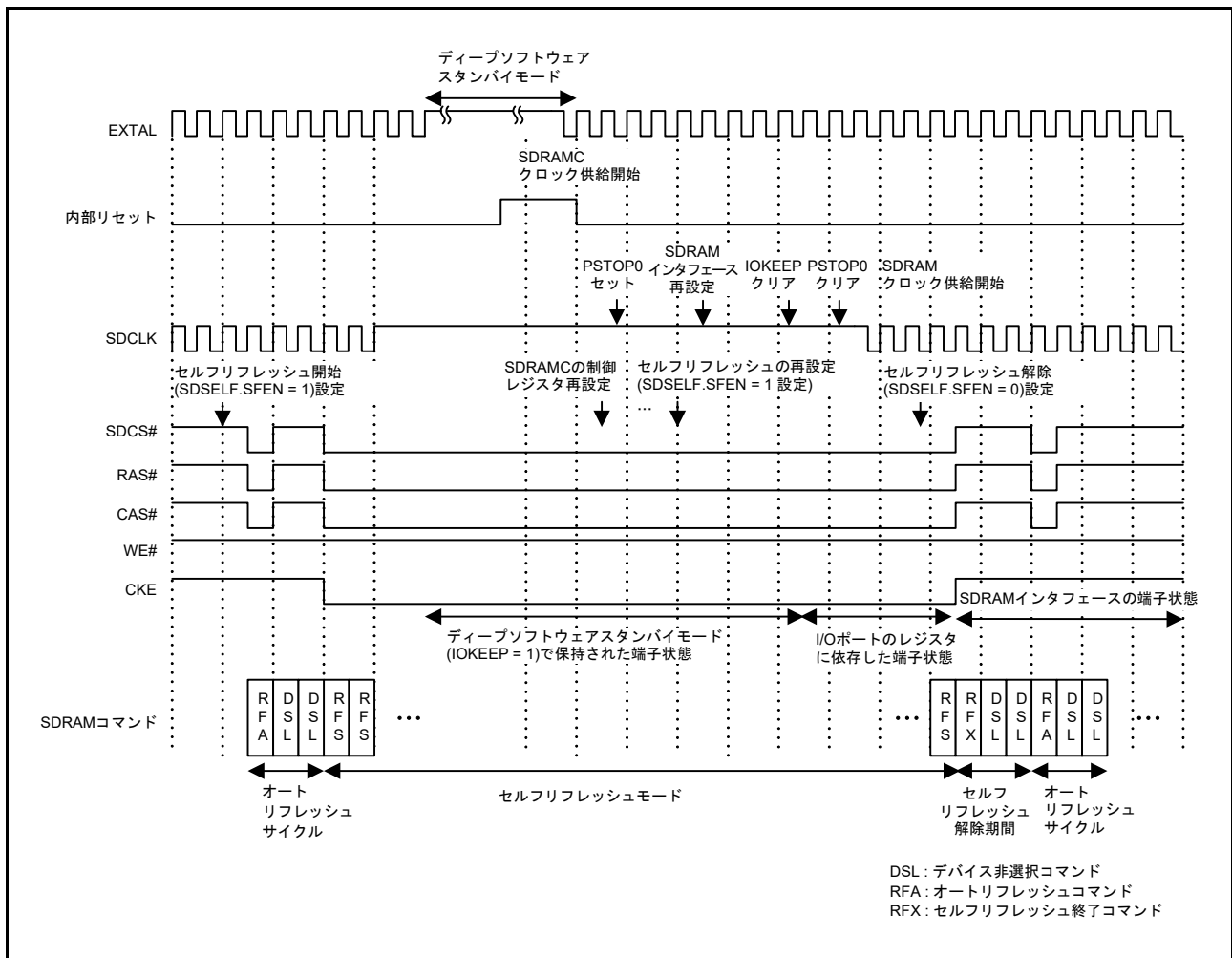


図 16.49 セルフリフレッシュタイミング例 (ディープソフトウェアスタンバイモード時)

16.6.8 オートリフレッシュ

オートリフレッシュサイクルは、SDRAM オートリフレッシュ制御レジスタのオートリフレッシュ動作有効ビット (SDRFEN.RFEN) に“1”にすると開始されます。以後リフレッシュカウンタにより定期的にリフレッシュ要求が発生し、オートリフレッシュサイクルが起動されます。ただし、リフレッシュ要求はリード/ライトアクセス中には受け付けられないため、オートリフレッシュサイクルの起動が待たされることがあります。連続アクセス中にオートリフレッシュ要求が発生した場合は、バスマスタからの1転送要求に対するバスアクセスが終了した後に、オートリフレッシュサイクルが開始されます。

SDRAM へのアクセスとリフレッシュ要求が同時に発生した場合は、リフレッシュ要求が優先されます。また、CS 領域アクセスとリフレッシュ要求は同時に行うことができます。ただし、リフレッシュコマンド発行に必要な SDCS#/RAS#/CAS#/WE#/CKE 信号は、SDRAM アクセス専用の信号でなければなりません。

なお、オートリフレッシュサイクル開始後、再度 SDRFEN.RFEN ビットを“1”にすると、リフレッシュ要求が発生します。ただし、リード/ライトアクセス中の場合は、アクセス終了後にリフレッシュ要求が発生します。

リフレッシュカウンタは、セルフリフレッシュ中は停止します。セルフリフレッシュ復帰後は、オートリフレッシュサイクルを起動した後、カウンタ値がリセットされカウントが再開されます。

図 16.50 にオートリフレッシュサイクルのタイミング例を示します。

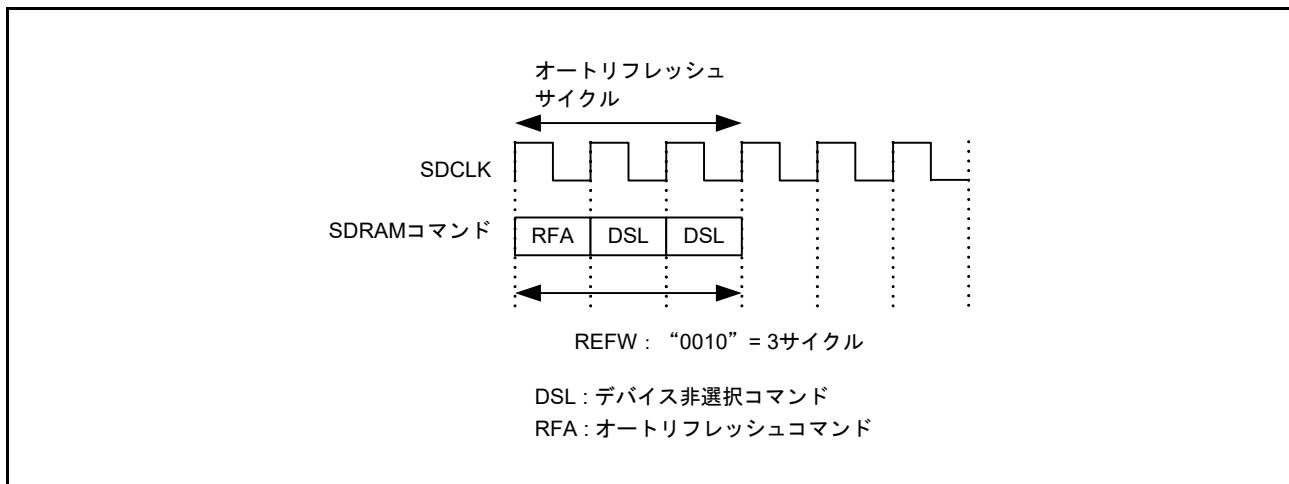


図 16.50 オートリフレッシュサイクルタイミング例 (1)

図 16.51 にシングルアクセス中にオートリフレッシュ要求が発生した場合、図 16.52 に連続アクセス中にオートリフレッシュ要求が発生した場合の動作例を示します。

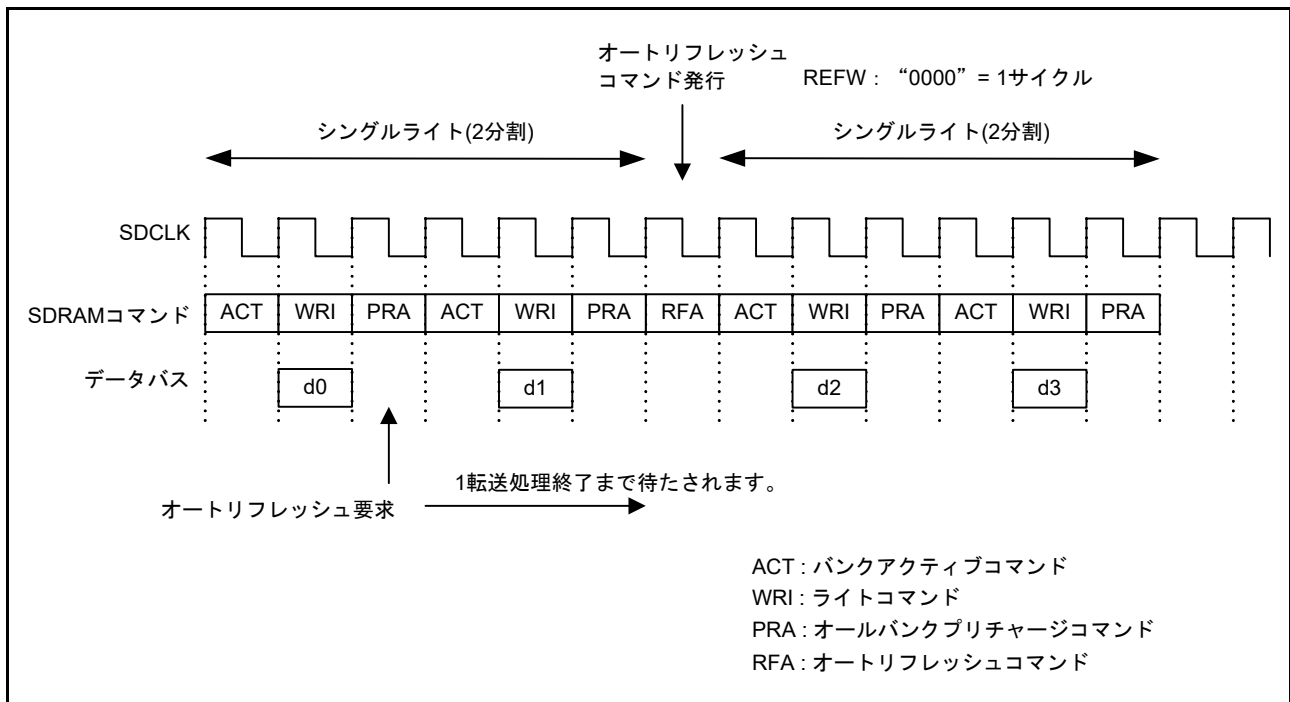


図 16.51 オートリフレッシュサイクルタイミング例 (2)
(シングルアクセス中にオートリフレッシュ要求があった場合)

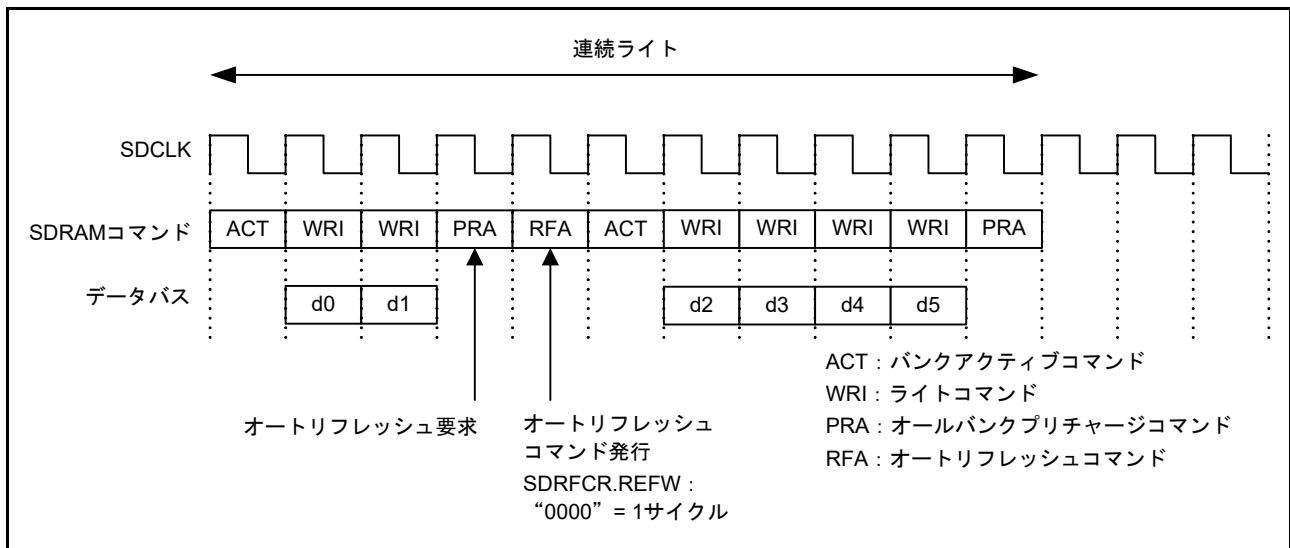


図 16.52 オートリフレッシュサイクルタイミング例 (3)
(連続アクセス中にオートリフレッシュ要求があった場合)

16.6.9 初期化シーケンサ

SDRAMC は、SDRAM を初期化するためのコマンドを発行するシーケンサを備えています。初期化シーケンスの起動はリセット後に行ってください。初期化しなかった場合の動作は保証されません。

SDRAM の初期化シーケンサは、オールバンクプリチャージコマンドの発行、および n ($n = 1 \sim 15$) 回のオートリフレッシュコマンドの発行を順に行います。初期化シーケンサのタイミング設定は SDRAM 初期化レジスタ (SDIR) で行ってください。初期化シーケンスの起動は SDRAM 初期化シーケンス制御レジスタ (SDICR) で行ってください。これらのレジスタの設定は、「表 16.16 レジスタの書き換え条件」の条件を満たしているときのみ行ってください。

図 16.53 に初期化シーケンスタイミング例を示します。SDIR.ARFC[3:0] ビットが 2 回以上に設定されている場合は、初期化オートリフレッシュサイクルが繰り返されます。

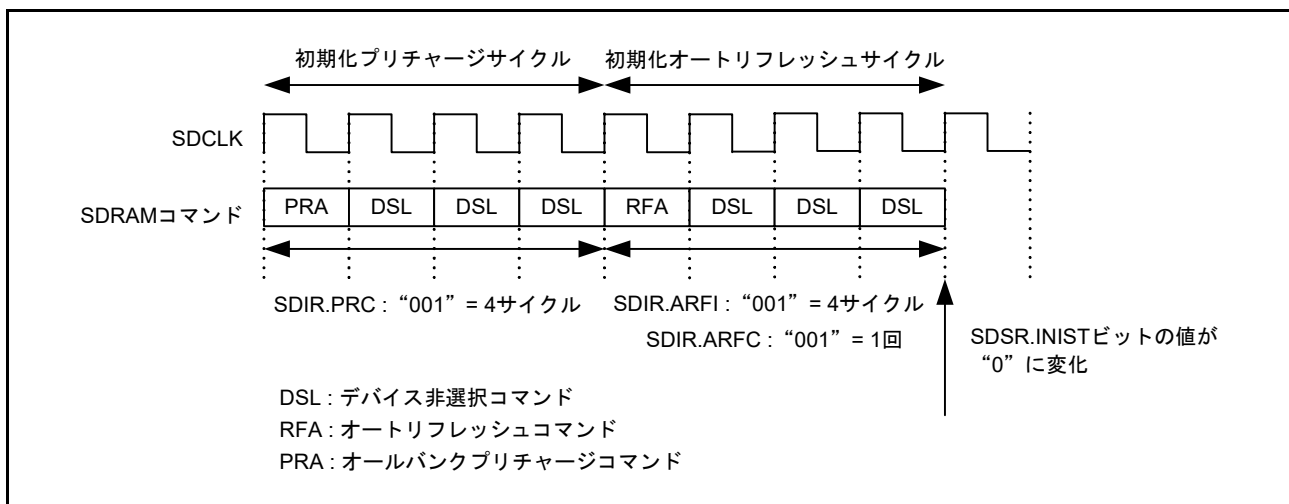


図 16.53 初期化シーケンスタイミング例

16.6.10 リード/ライトアクセス

SDRAMC のリード/ライトアクセスには、以下の2種類があります。

- シングルアクセス：アクセスの度にロウアドレスを出力してデータをアクセスします。
- 連続アクセス：同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後は、コラムアドレスを変更するだけでデータに高速にアクセスします。

EXDMAC のクラスタ転送、あるいはシングルアドレスモードブロック転送の場合、SDRAM アクセスモードレジスタの連続アクセスイネーブルビット (SDAMOD.BE = 1) の設定により、SDRAM の連続アクセス動作が可能になります。

EXDMAC からの1転送データサイズが外部バス幅以下、かつ非アライメントアクセスでない場合のように、1回の転送要求によりバスアクセスが1回で終わるときのみ、連続アクセス動作が可能となります。

上記の条件を満たさない場合は、連続アクセスモードに設定することは禁止しており、設定された場合の動作は保証していません。

また、連続アクセスモード時に SDTR レジスタの SDRAMC カラムレイテンシ設定ビット (SDTR.CL[2:0]) に“1” (CL = 1) を設定することは禁止しており、設定された場合の動作は保証していません。

SDAMOD.BE = 0 のときは、EXDMAC のクラスタ転送、シングルアドレスモードブロック転送についてもシングルアクセスとなります。

(1) シングルアクセス

図 16.54、図 16.55 にシングルリード、図 16.56 にシングルライトを行う場合のタイミング例を示します。アクセスタイミングは、SDRAM タイミングレジスタ (SDTR) の設定によって変化します。詳細は「16.6.12.3 タイミングレジスタ設定値とアクセスタイミング」を参照してください。

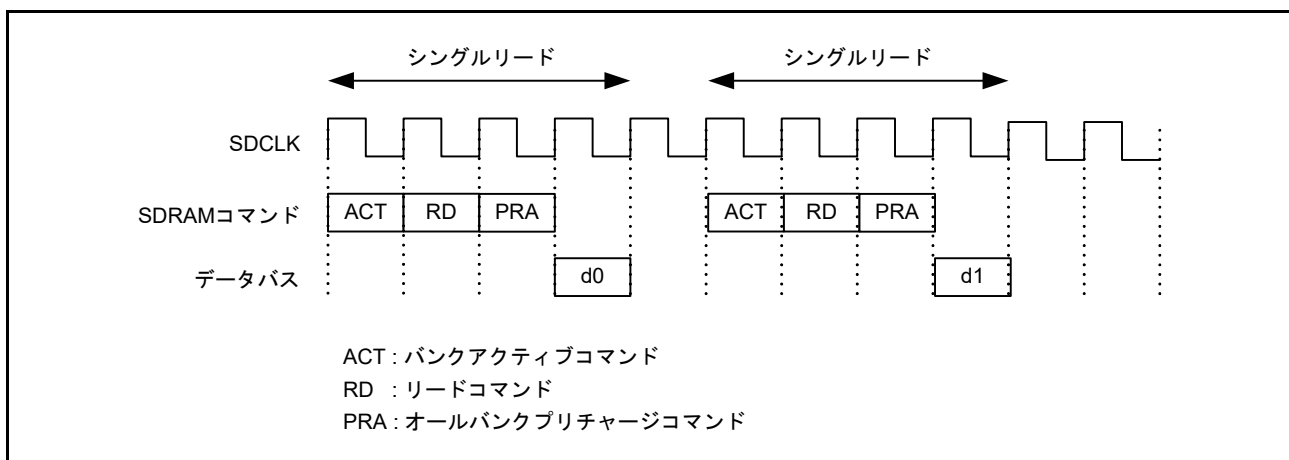


図 16.54 シングルリードタイミング例 (SDTR.CL[2:0] ビット = 010b : 2 サイクルの場合)

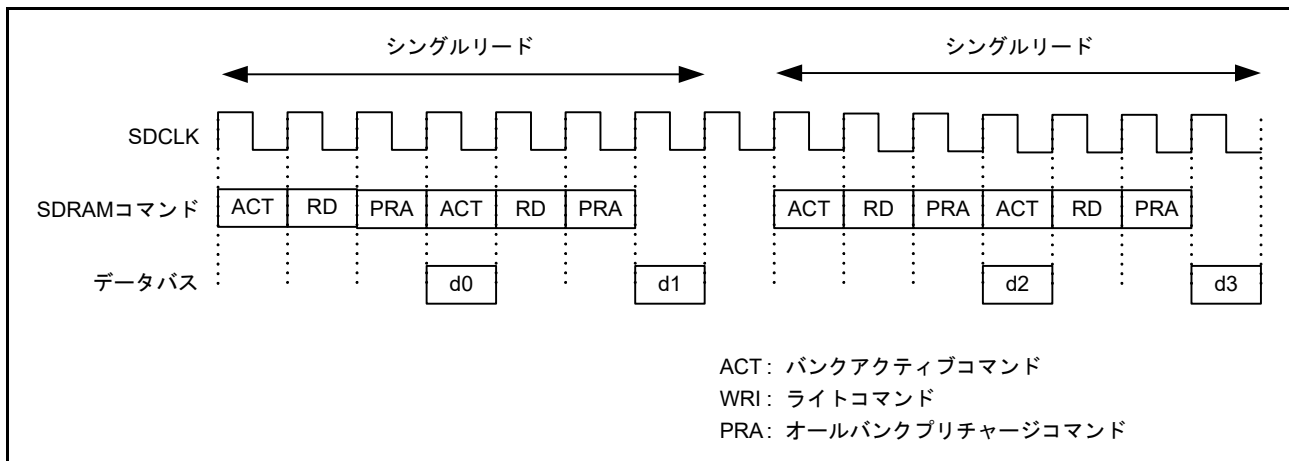


図 16.55 シングルリードタイミング例 (EXDMAC のクラスタ転送、またはシングルアドレスモードブロック転送、SDAMOD.BE = 0, SDTR.CL[2:0] = 010b : 2 サイクルの場合)

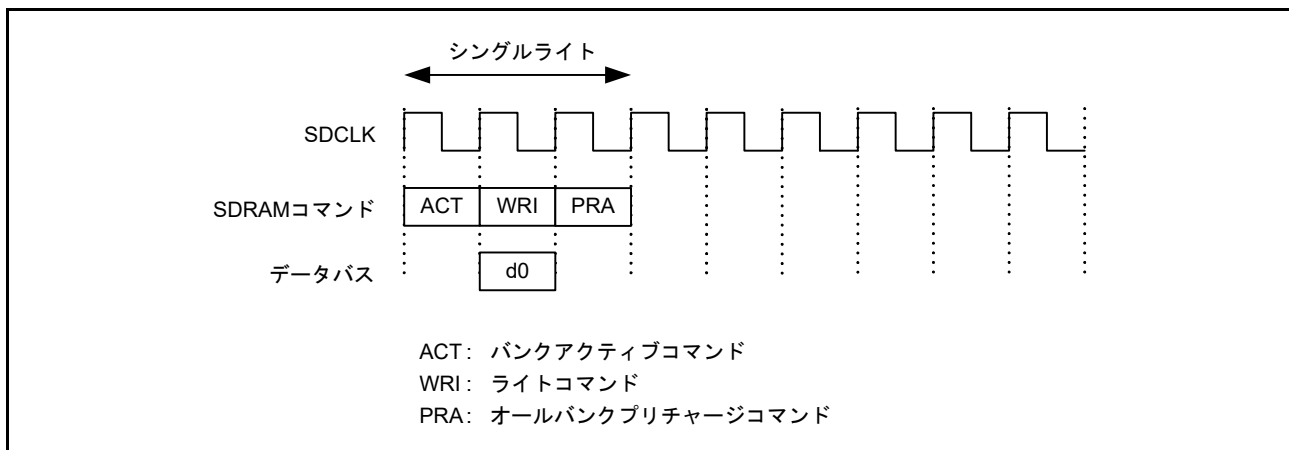


図 16.56 シングルライトタイミング例 (最短タイミング設定時)

(2) 連続アクセス

図 16.57 に連続リードを、図 16.58 に連続ライトを行う場合のタイミング例を示します。

また、転送中に SDRAM のロウアドレスが変化する場合、自動的にロウの非活性化、活性化を行います。

図 16.59 に連続ライトでロウアドレスが変化する場合のタイミング例を示します。

アクセスタイミングは、SDRAM タイミングレジスタ (SDTR) の設定によって変化します。詳細は

「16.6.12.3 タイミングレジスタ設定値とアクセスタイミング」を参照してください。

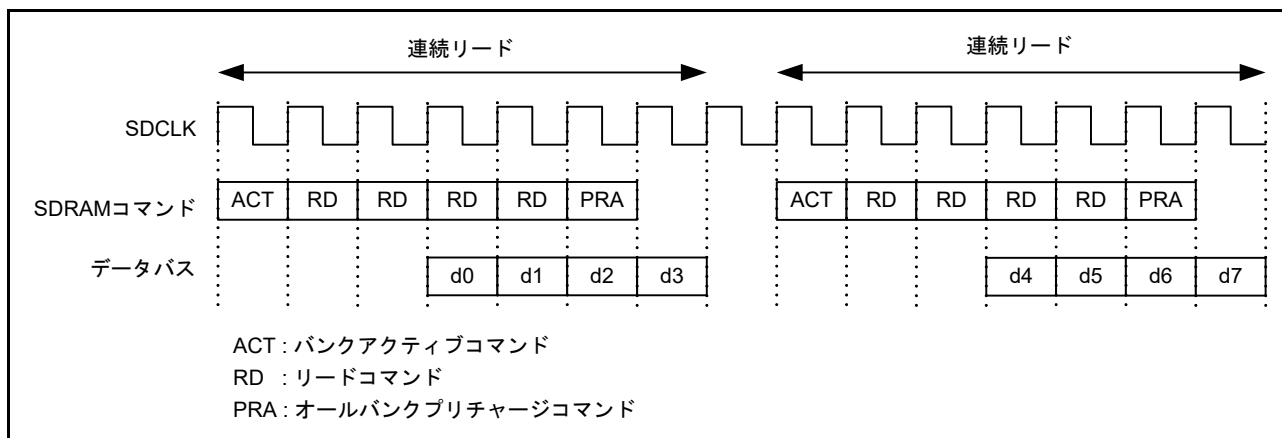


図 16.57 連続リードタイミング例 (SDAMOD.BE = 1, SDTR.CL[2:0] = 010b : 2 サイクルの場合)

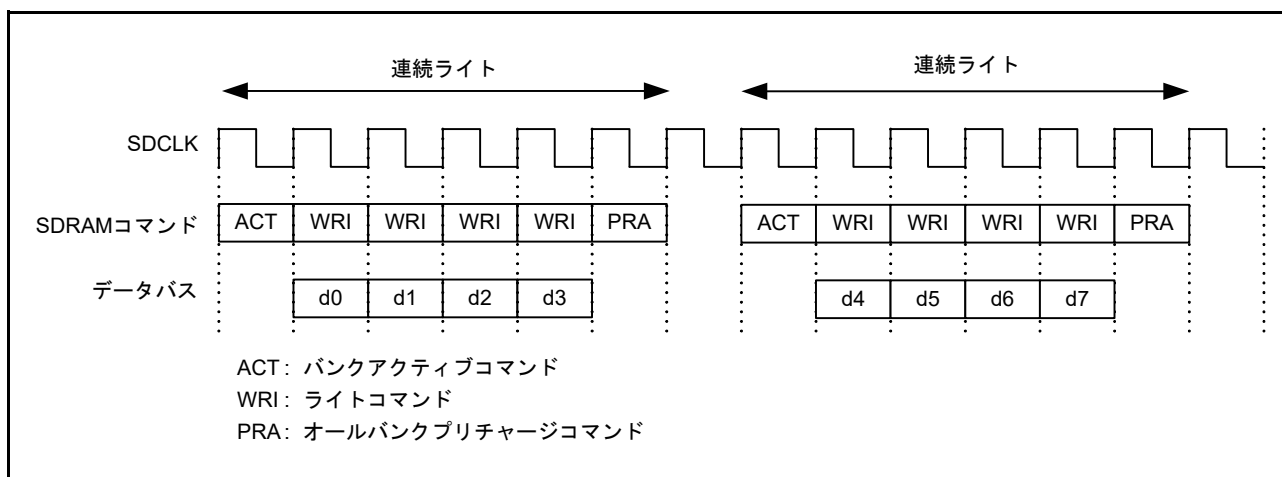


図 16.58 連続ライトタイミング例 (SDAMOD.BE = 1、最短タイミング設定時)

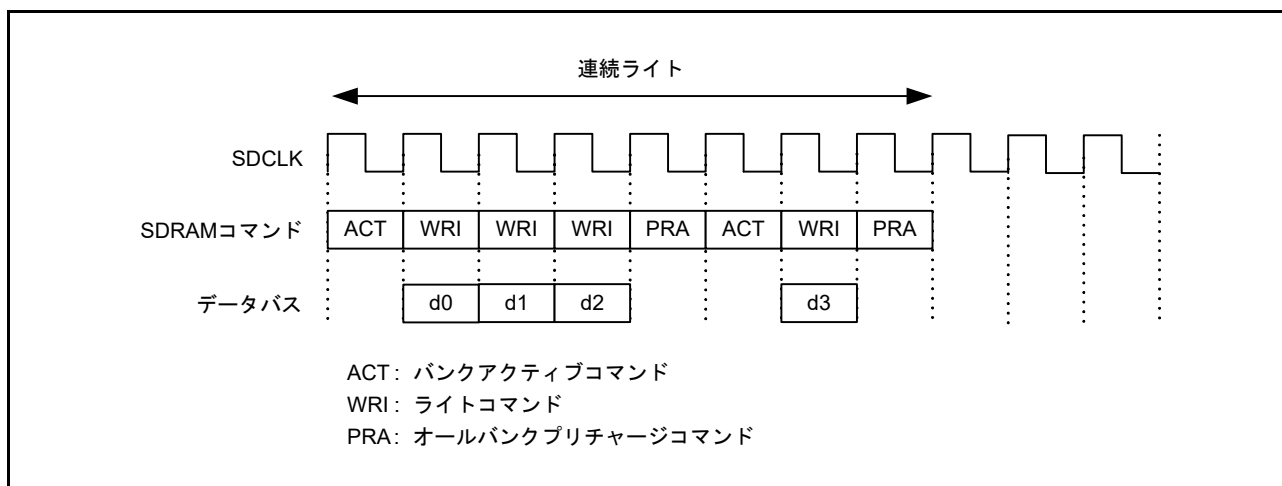


図 16.59 連続ライトタイミング例 (SDAMOD.BE = 1、最短タイミング設定時) / ロウアドレスが変換

16.6.11 モードレジスタ設定

SDRAM モードレジスタ (SDMOD) に書くことにより、SDRAM に対しモードレジスタ設定コマンドを発行し、アドレスの下位側に SDMOD.MR[14:0] ビットに設定した値が出力されます。データバス幅が 8 ビットの場合は A14 ~ A0 に、16 ビットの場合は A15 ~ A1 に、32 ビットの場合は A16 ~ A2 に出力されます。したがって、モードレジスタ設定前に、SDCCR.BSIZE[1:0] を設定し、SDRAM のデータバス幅を確定させておく必要があります。

図 16.60 にモードレジスタ設定動作タイミングを示します。

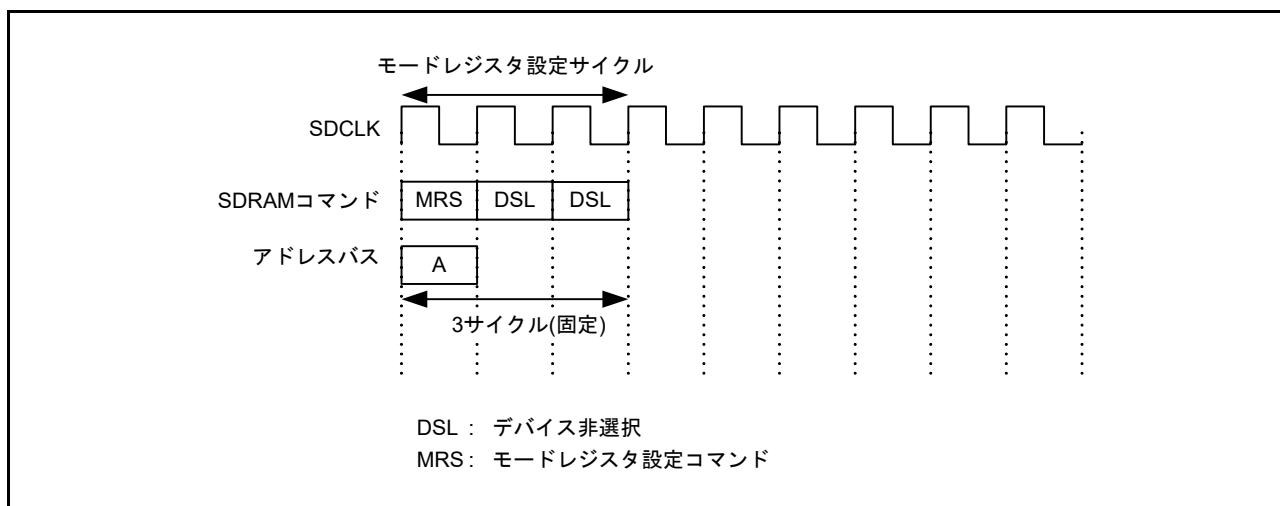


図 16.60 モードレジスタ設定動作タイミング

16.6.12 SDRAMC 設定例

ここでは SDRAMC の設定手順、タイミングレジスタの設定例、セルフリフレッシュモードへの移行 / 復帰手順について説明します。

16.6.12.1 SDRAMC のアクセス設定手順

図 16.61 に SDRAMC の設定手順を示します。

なお、使用される SDRAM により、パワーアップシーケンス等の仕様が異なる場合があります。SDRAM の仕様を十分ご検討の上、システム設計を行なってください。

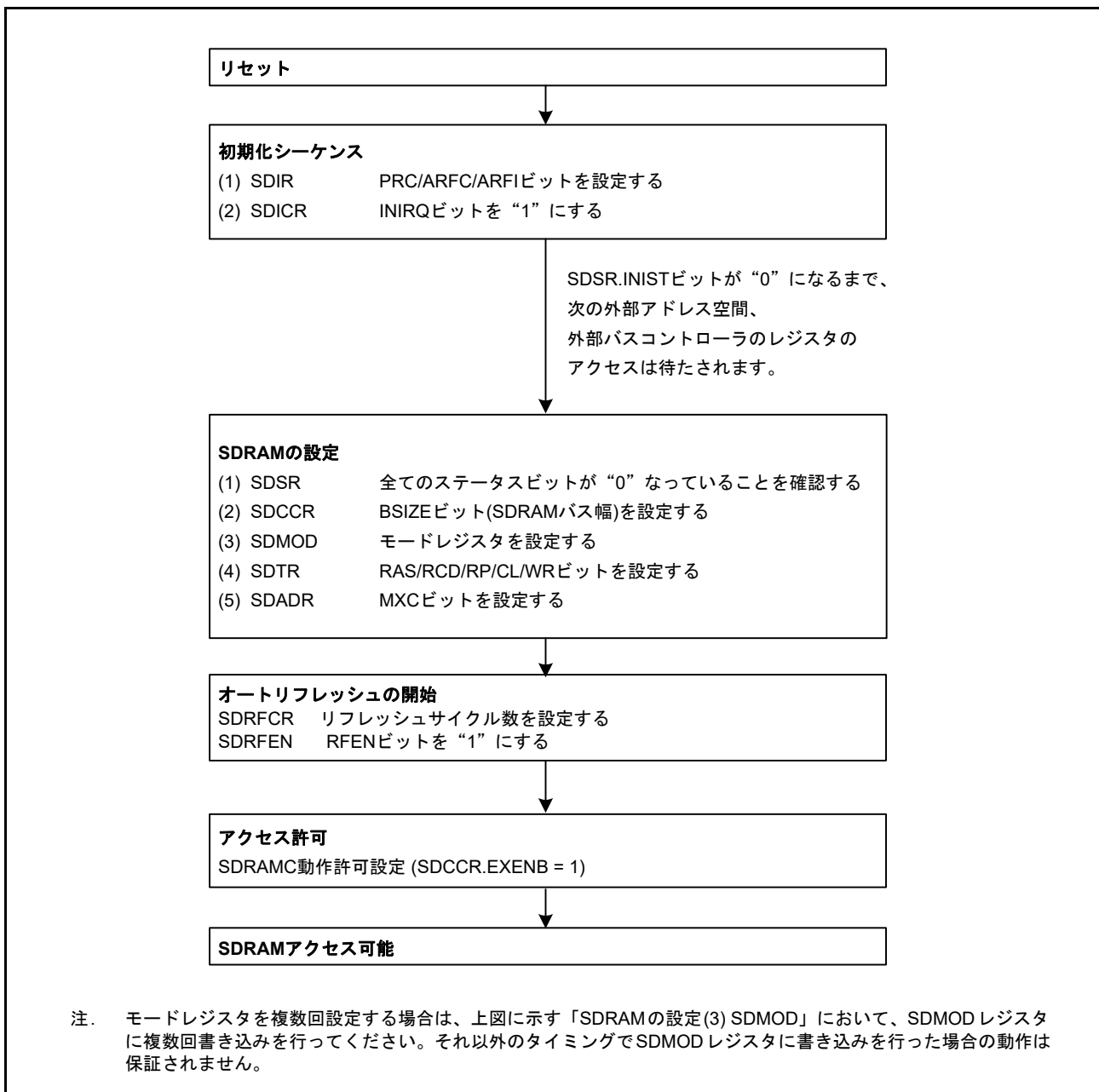


図 16.61 SDRAMC の設定手順

16.6.12.2 セルフリフレッシュモードへの移行 / 復帰手順

図 16.62 にセルフリフレッシュモードへの移行 / 復帰手順を示します。

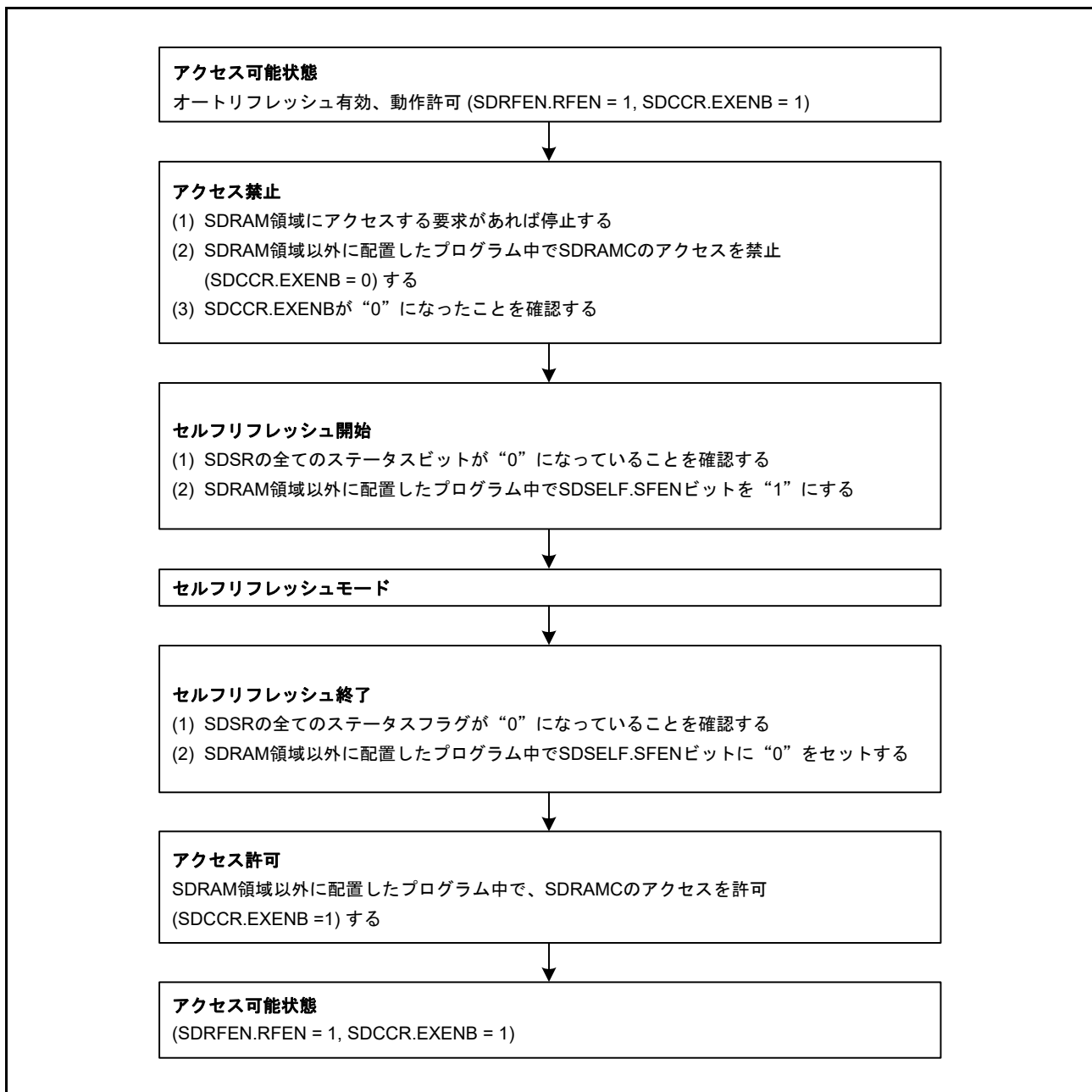


図 16.62 セルフリフレッシュモードへの移行 / 復帰手順

- 注 . セルフリフレッシュモードへの移行 / 復帰時には、SDRAM アクセスを禁止する必要があります。従って、SDRAM をアクセス中は、セルフリフレッシュモードへの移行 / 復帰はできません。プログラミングの際には、以下の点に注意してください。
- ・セルフリフレッシュモードに移行する前に、SDRAM 領域のアクセスを禁止してください。
 - ・セルフリフレッシュ移行時、セルフリフレッシュモード中、セルフリフレッシュモード復帰に実行するプログラムは、SDRAM 領域へのオペランドアクセス、命令フェッチ (プリフェッチを含む) が生じないようにしてください。

図 16.63 にディープスタンバイモードでのセルフリフレッシュモードへの移行 / 復帰手順を示します。

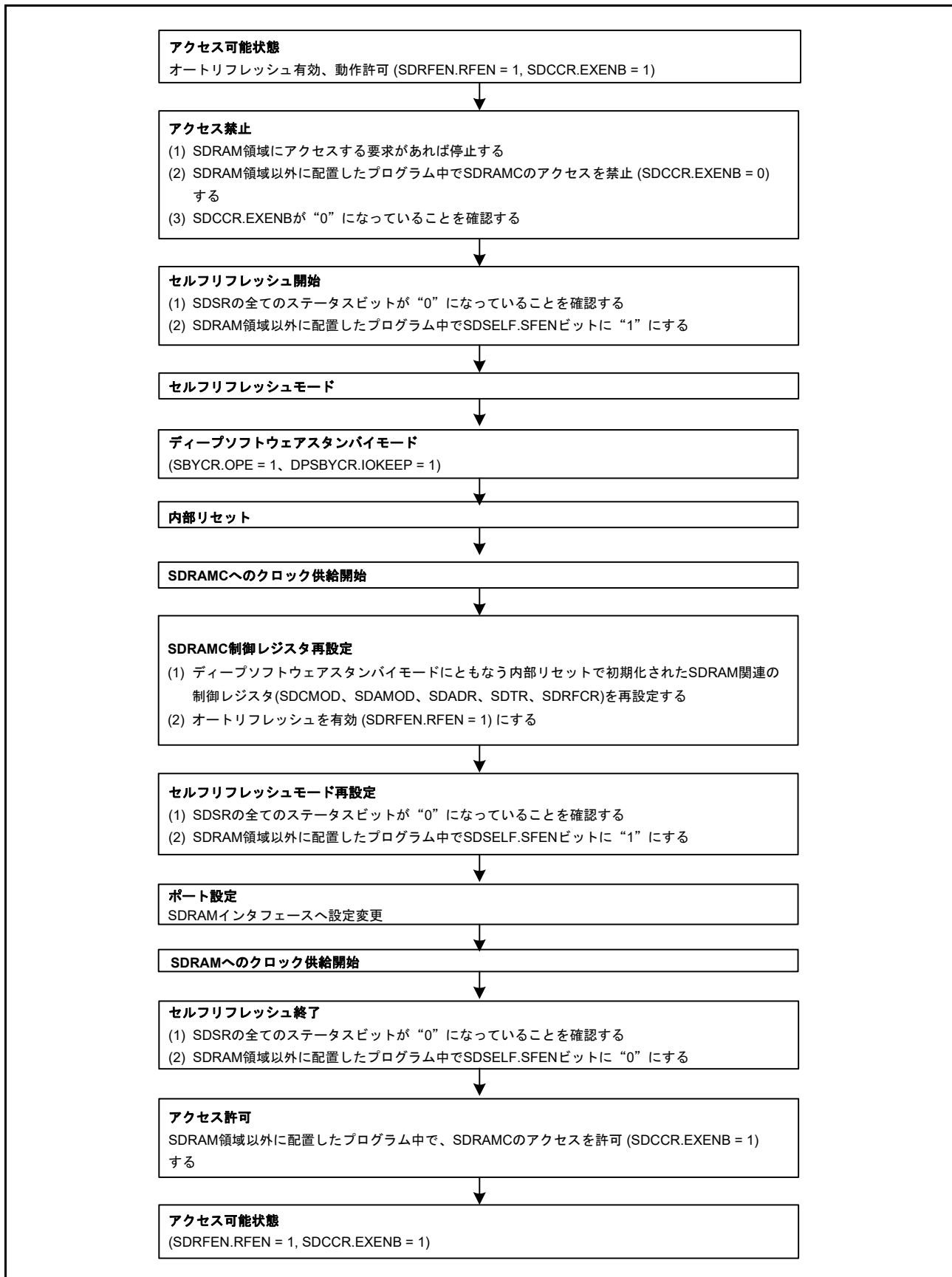


図 16.63 ディープソフトウェアスタンバイモードでのセルフリフレッシュモード移行・復帰手順

16.6.12.3 タイミングレジスタ設定値とアクセスタイミング

リード/ライトアクセスタイミングと、SDRAM タイミングレジスタ (SDTR) 設定値の関連について説明します。

(1) シングルリードタイミング設定例

図 16.64 ~ 図 16.68 に、シングルリードタイミングと SDRAM タイミングレジスタ (SDTR) 設定値の関係を示します。表 16.17 にそれぞれの図と SDTR レジスタ設定値の対応を示します。

リードアクセスの場合は、最短でリードデータが有効になった 2 サイクル後に次のバスアクセスが可能となります。ただし、1 転送要求に対して 2 回以上のバスアクセスが発生する場合には、図 16.68 のように、最短でリードデータ有効の次のサイクルからバスアクセスが可能となります。

表 16.17 SDTRレジスタ設定値対応表(シングルリードタイミング)

図	RAS[2:0]	サイクル数	RCD[1:0]	サイクル数	RP[2:0]	サイクル数	CL[2:0]	サイクル数
	設定値		設定値		設定値		設定値	
図 16.64	010	3	00	1	001	2	010	2
図 16.65	000	1	01	2	001	2	010	2
図 16.66	000	1	01	2	001	2	011	3
図 16.67、図 16.68	010	3	00	1	000	1	010	2

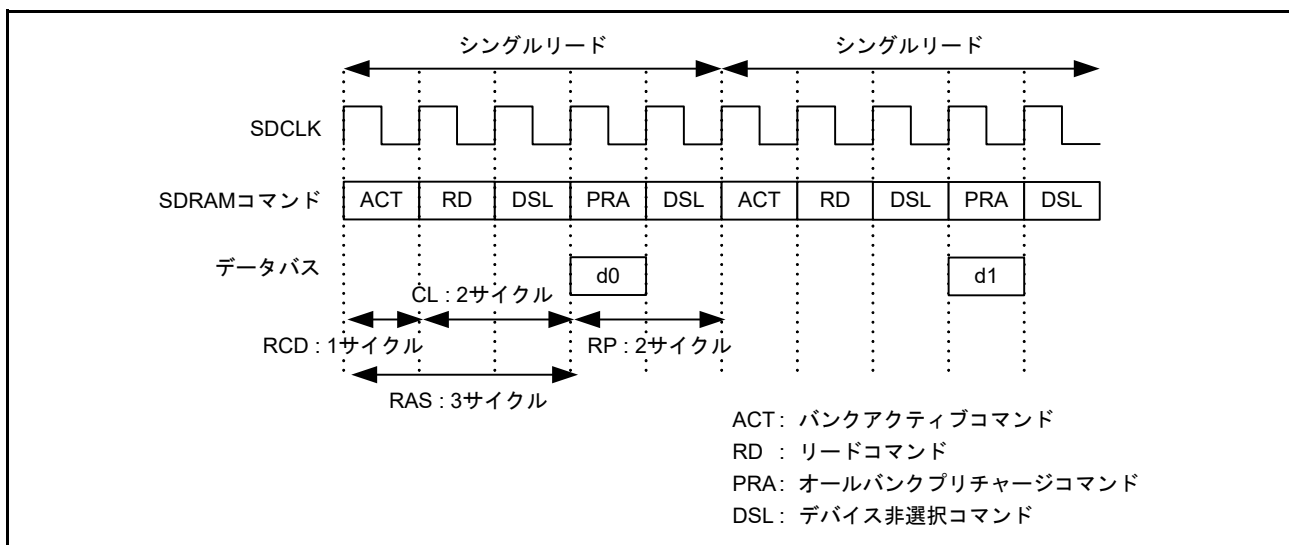


図 16.64 シングルリードタイミング例 (1)

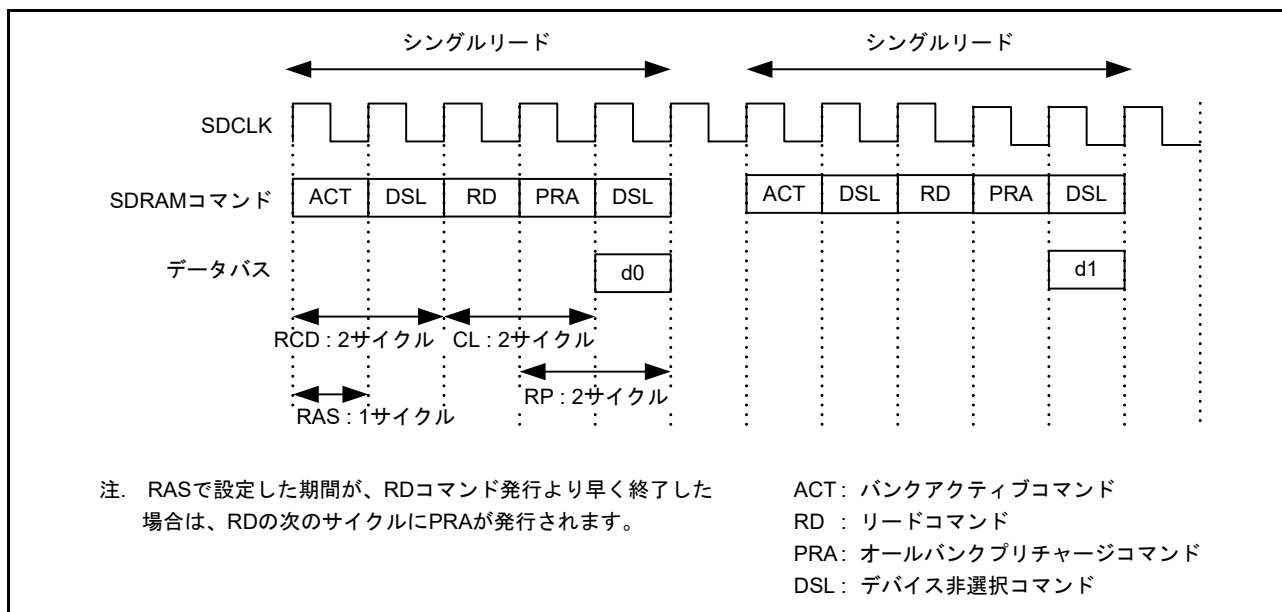


図 16.65 シングルリードタイミング例 (2)

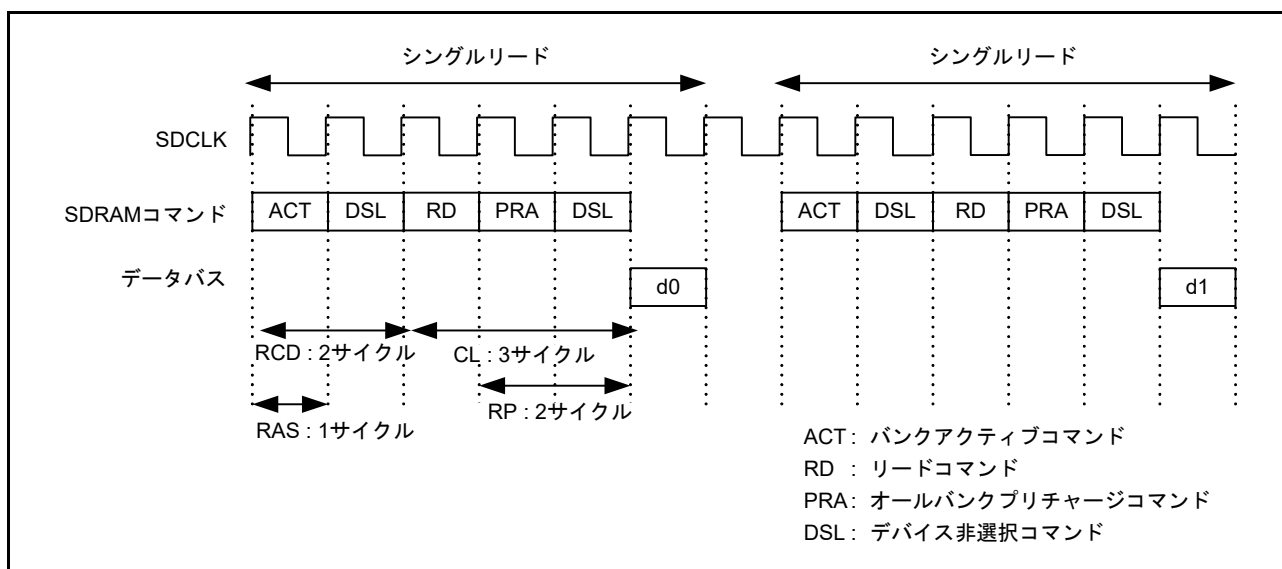


図 16.66 シングルリードタイミング例 (3)

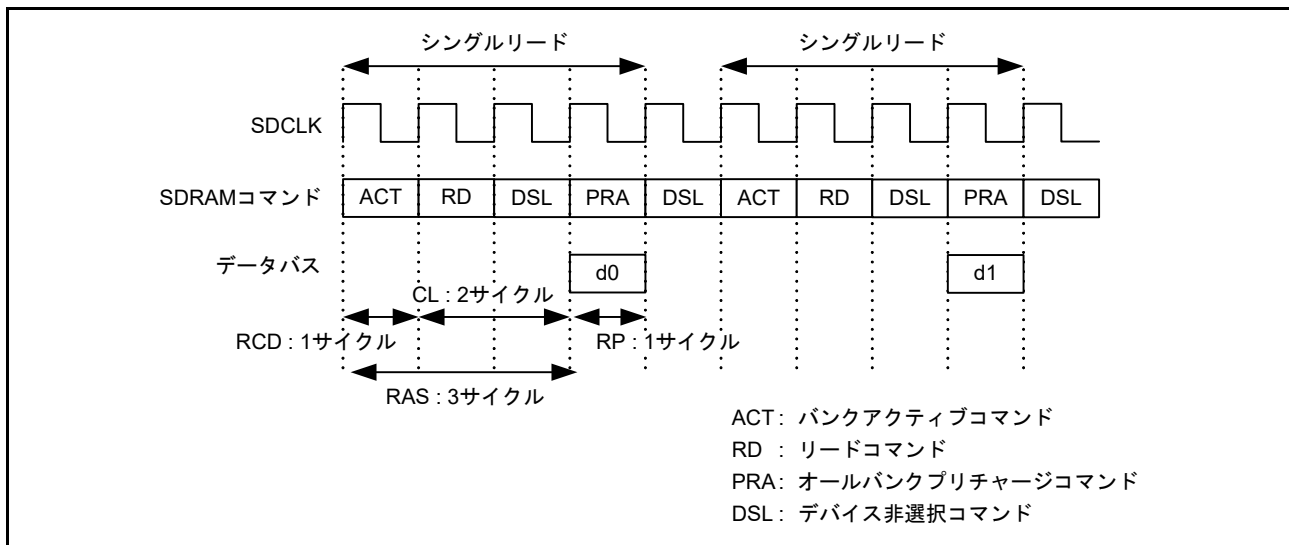


図 16.67 シングルリードタイミング例 (4)

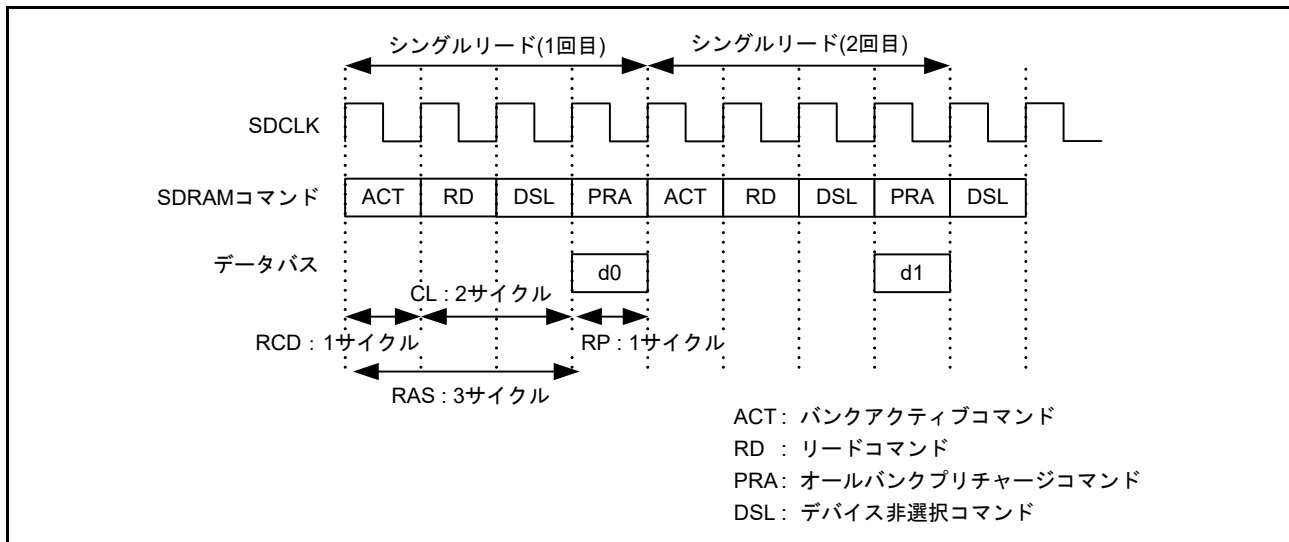


図 16.68 シングルリードタイミング例 (5) (1 転送要求に対して 2 回バスアクセスが発生する場合)

(2) シングルライトタイミング設定例

図 16.69 ~ 図 16.73 に、シングルライトタイミングと SDRAM タイミングレジスタ (SDTR) 設定値の関係を示します。表 16.18 にそれぞれの図と SDTR レジスタ設定値の対応を示します。

ライトアクセスの場合は、最短でオールバンクプリチャージコマンド (PRA) が発行された 2 サイクル後に次のバスアクセスが可能となります。ただし、1 転送要求に対して 2 回以上のバスアクセスが発生する場合には、図 16.73 のように、最短で PRA 発行の次のサイクルからバスアクセスが可能となります。

表 16.18 SDTRレジスタ設定値対応表(シングルライトタイミング)

図	RAS[2:0]	サイクル数	RCD[1:0]	サイクル数	RP[2:0]	サイクル数	WR	サイクル数
	設定値		設定値				設定値	
図 16.69	010	3	00	1	001	2	0	1
図 16.70	000	1	01	2	001	2	0	1
図 16.71	000	1	01	2	001	2	1	2
図 16.72、図 16.73	010	3	00	1	000	1	0	1

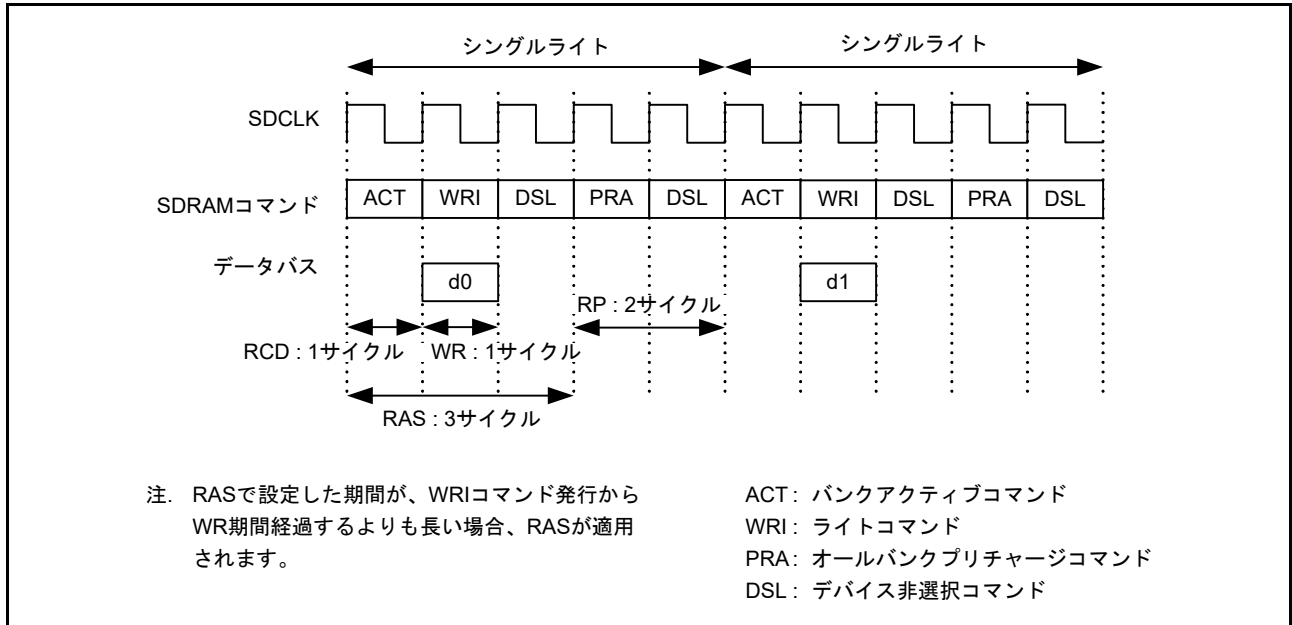


図 16.69 シングルライトタイミング例 (1)

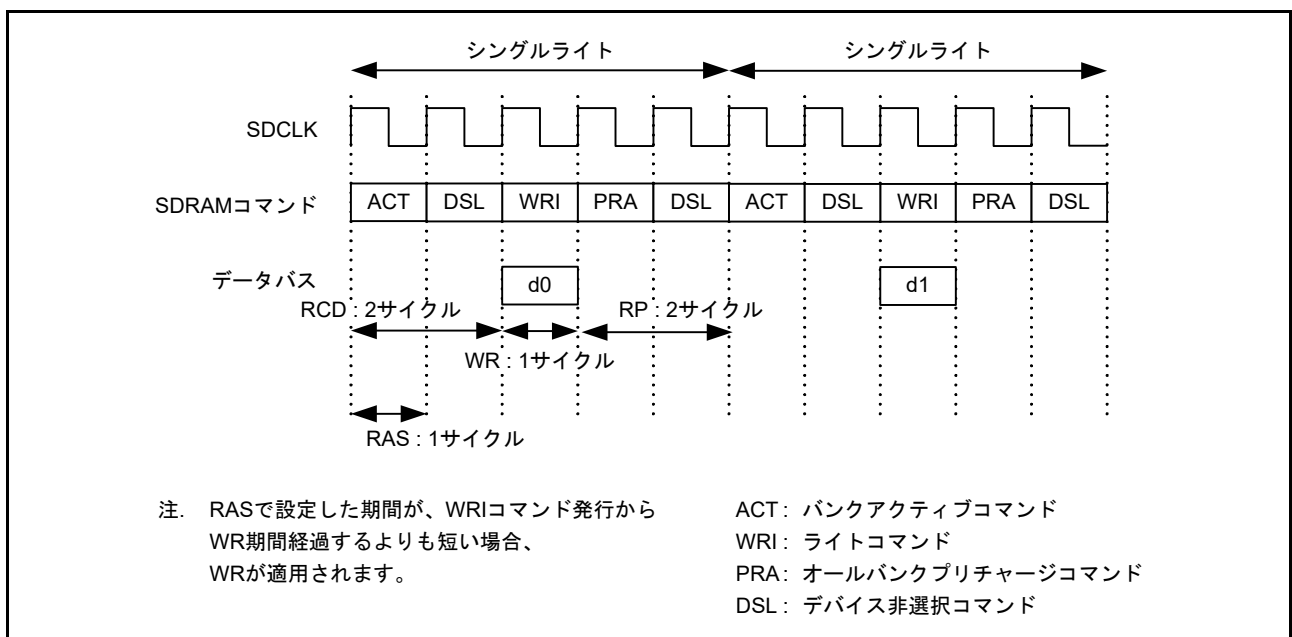


図 16.70 シングルライトタイミング例 (2)

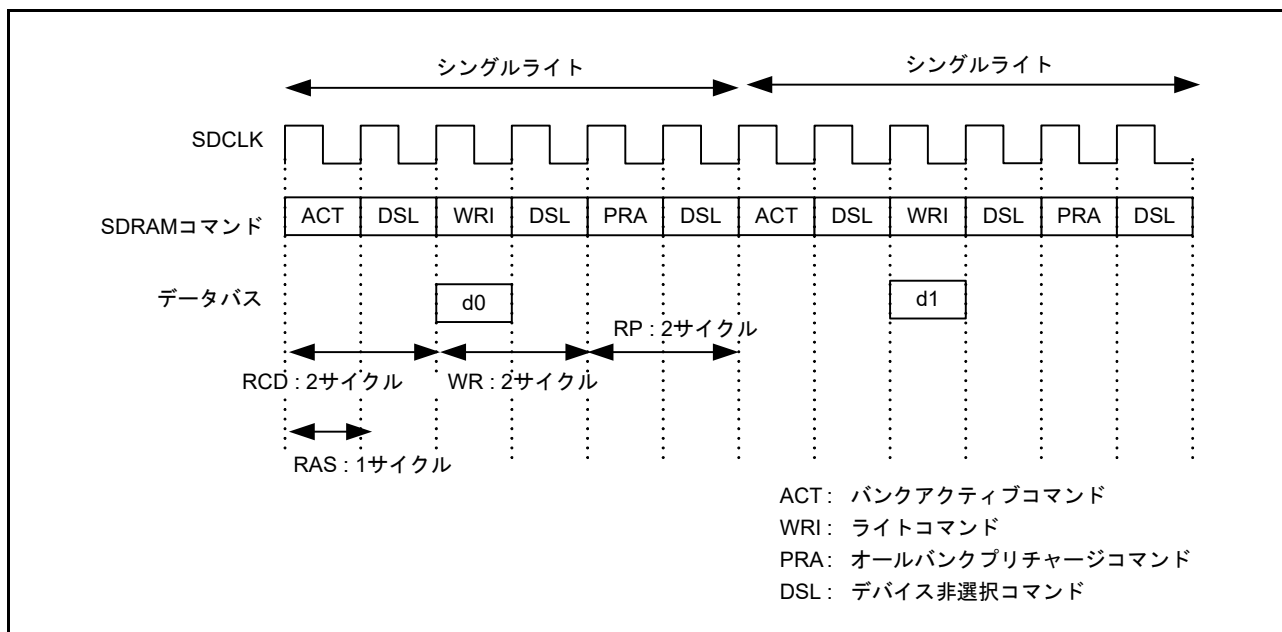


図 16.71 シングルライトタイミング例 (3)

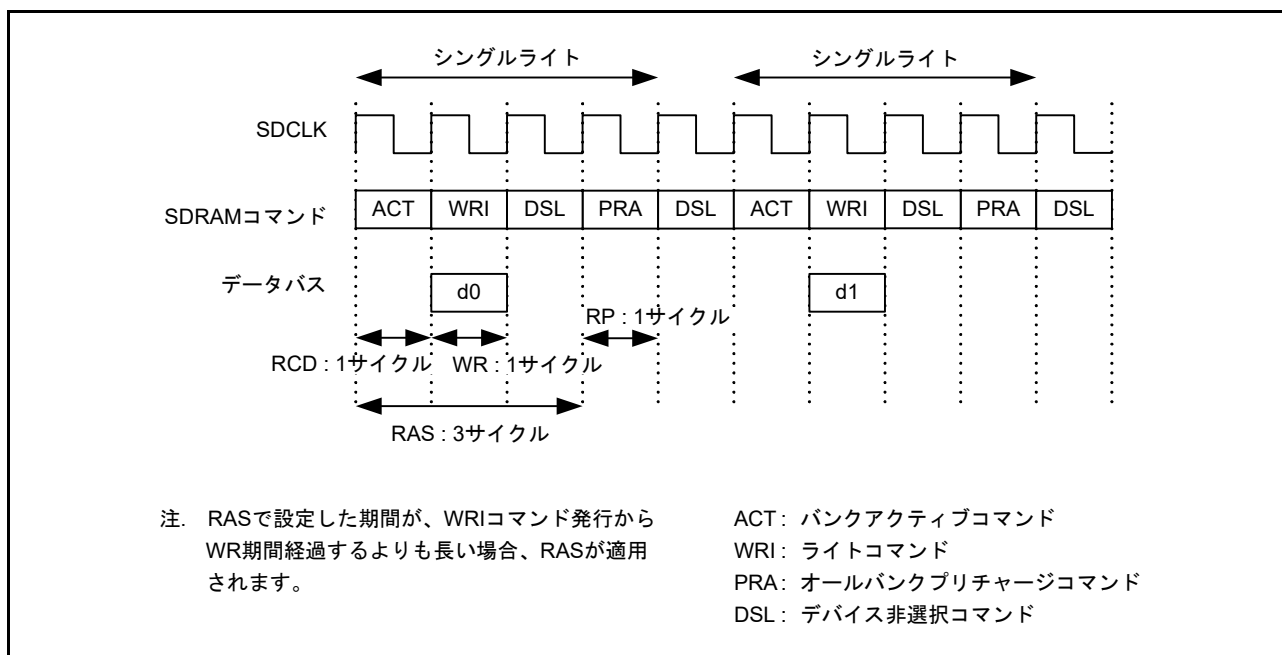


図 16.72 シングルライトタイミング例 (4)

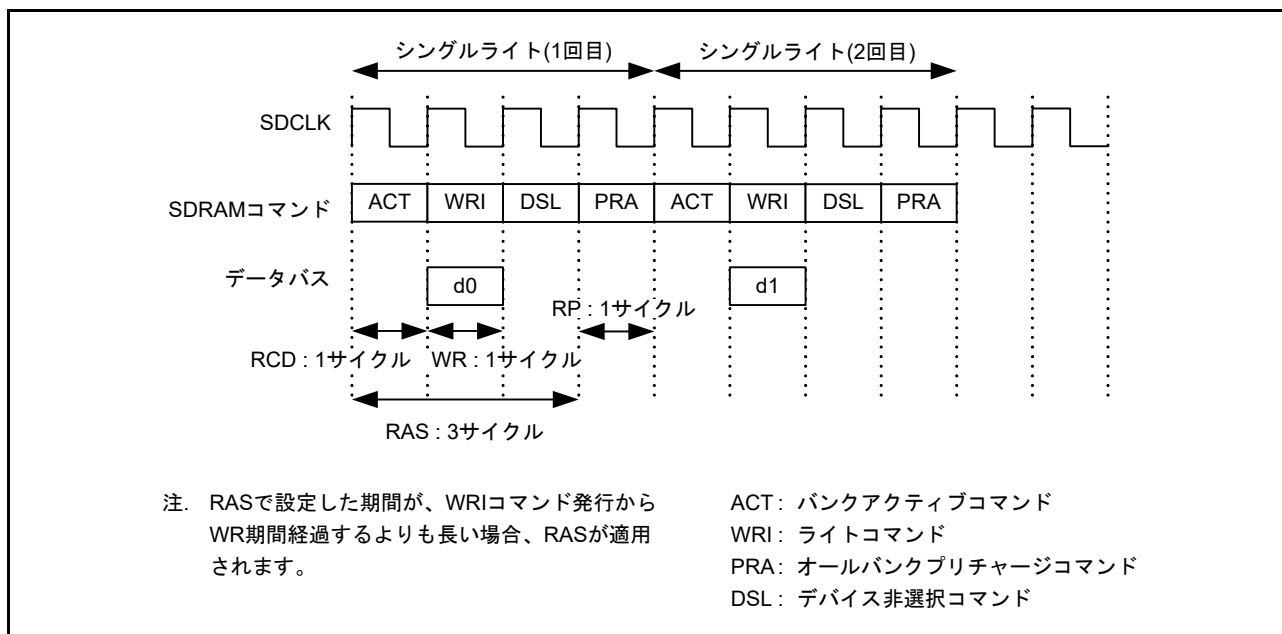


図 16.73 シングルライトタイミング例 (5) (1 転送要求に対して 2 回バスアクセスが発生する場合)

(3) 連続リードタイミング設定例

図 16.74 ~ 図 16.76 に、4 データの連続リード時のタイミングと SDRAM タイミングレジスタ (SDTR) 設定値の関係を示します。表 16.19 にそれぞれの図と SDTR レジスタ設定値の対応を示します。

表 16.19 SDTR 設定値対応表 (連続リードタイミング)

図	RAS[2:0]	サイクル数	RCD[1:0]	サイクル数	RP[2:0]	サイクル数	CL[2:0]	サイクル数
	設定値		設定値		設定値		設定値	
図 16.74	010	3	00	1	001	2	010	2
図 16.75	000	1	01	2	001	2	010	2
図 16.76	000	1	01	2	001	2	011	3

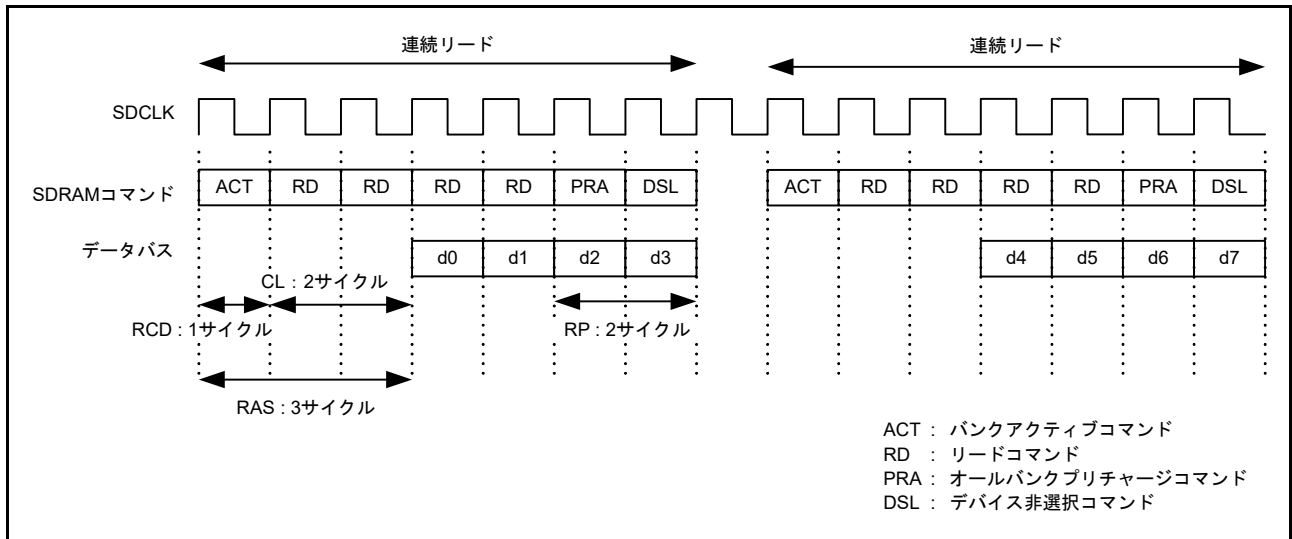


図 16.74 連続リードタイミング例 (1)

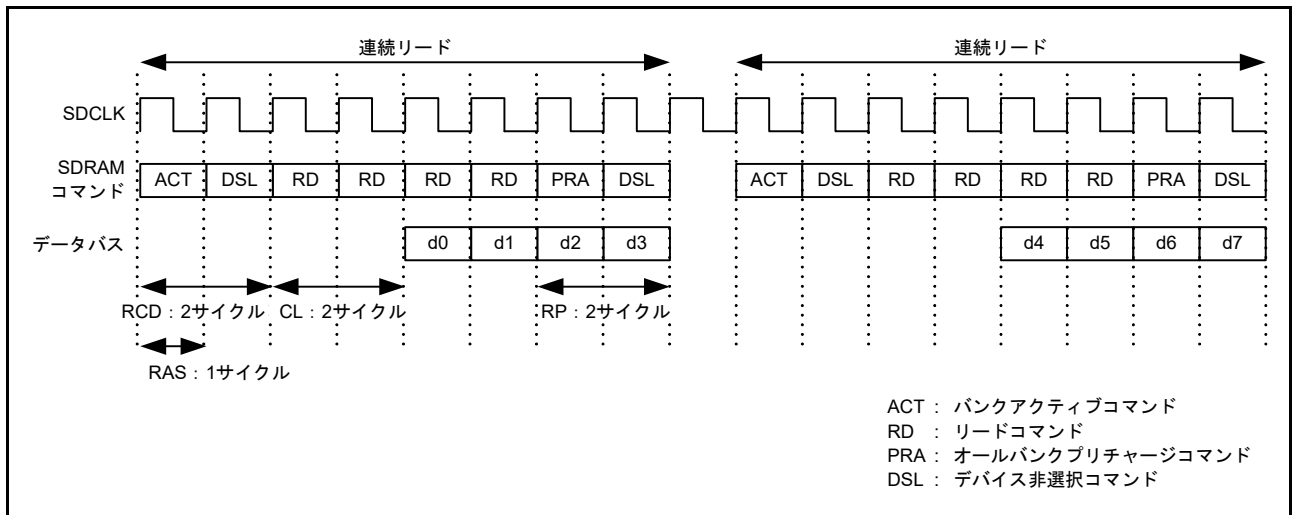


図 16.75 連続リードタイミング例 (2)

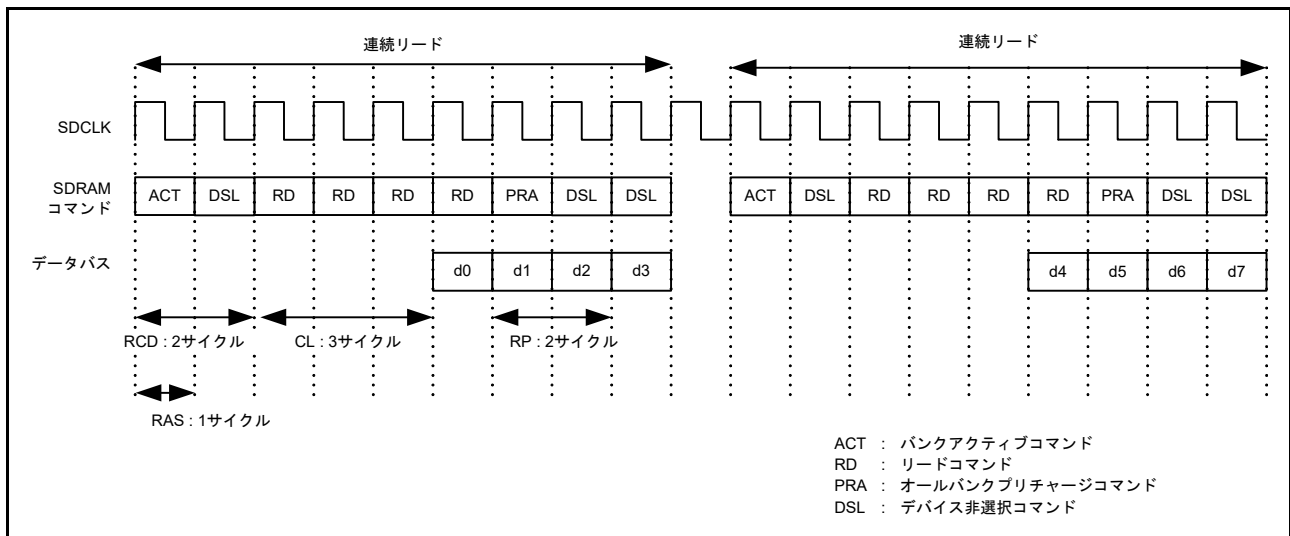


図 16.76 連続リードタイミング例 (3)

(4) 連続ライトタイミング設定例

図 16.77 ~ 図 16.79 に、4 データの連続ライト時のタイミングと SDRAM タイミングレジスタ (SDTR) 設定値の関係を示します。表 16.20 にそれぞれの図と SDTR レジスタ設定値の対応を示します。

表 16.20 SDTR 設定値対応表 (連続ライトタイミング)

図	RAS[2:0]	サイクル数	RCD[1:0]	サイクル数	RP[2:0]	サイクル数	WR	サイクル数
	設定値		設定値		設定値		設定値	
図 16.77	010	3	00	1	001	2	0	1
図 16.78	000	1	01	2	001	2	0	1
図 16.79	000	1	01	2	001	2	1	2

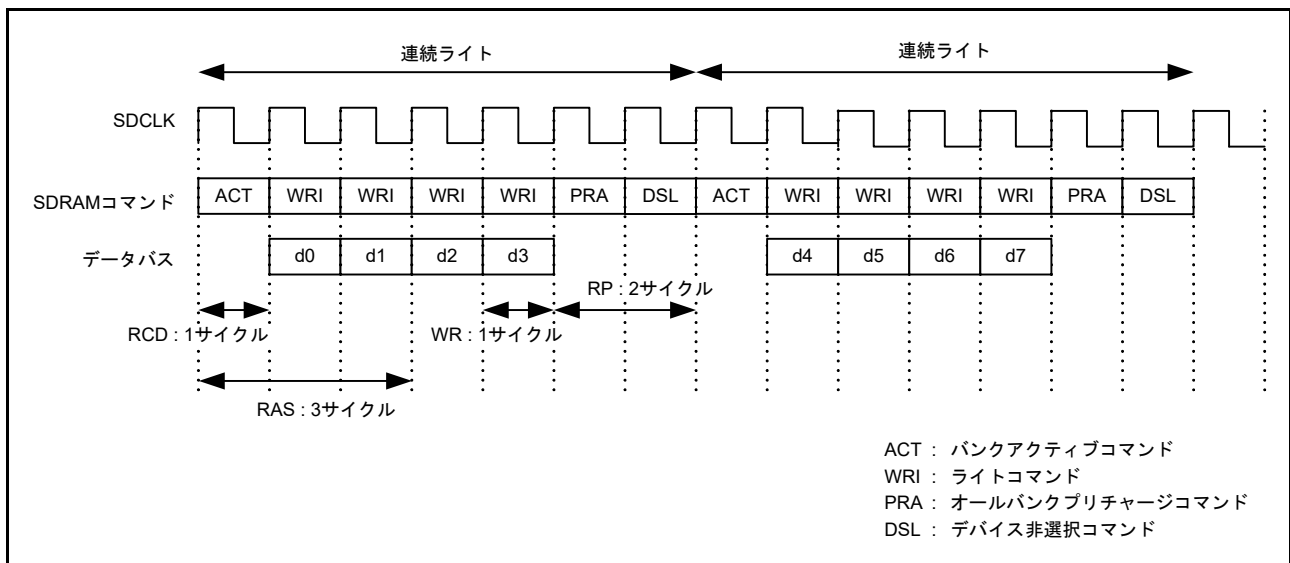


図 16.77 連続ライトタイミング例 (1)

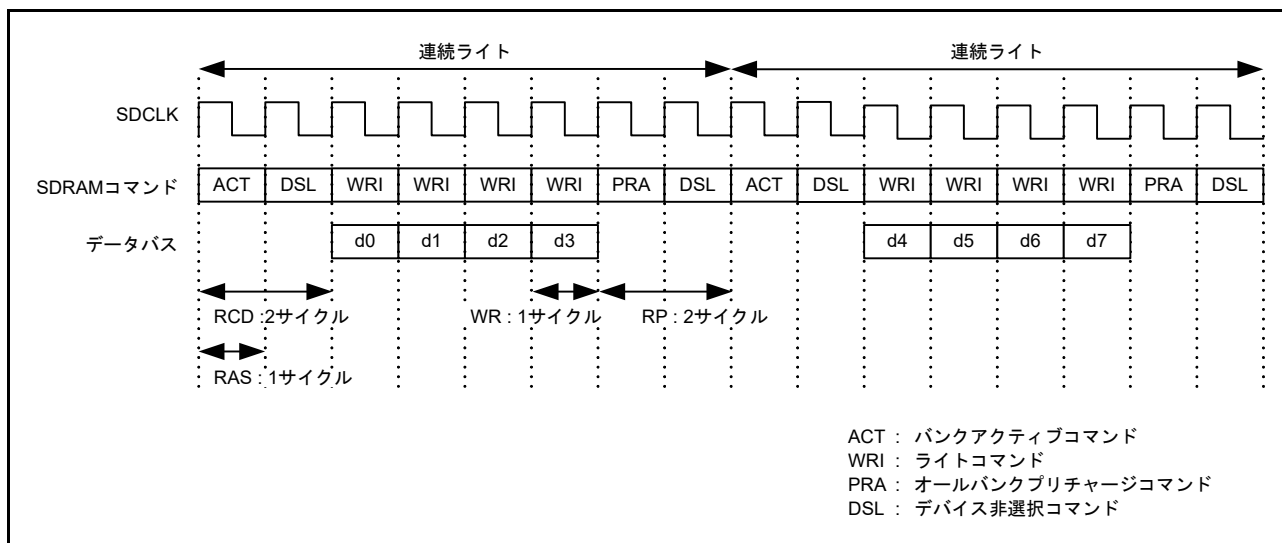


図 16.78 連続ライトタイミング例 (2)

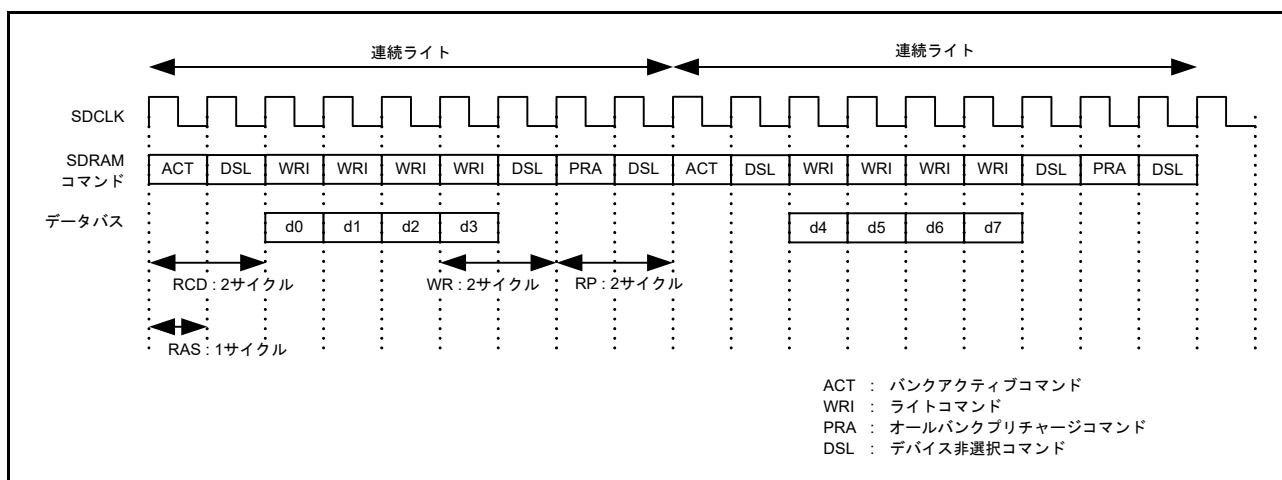


図 16.79 連続ライトタイミング例 (3)

16.6.13 アドレスマルチプレクス

SDRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされています。アドレスマルチプレクスでは、SDRAM アドレスレジスタ (SDADR) のアドレスマルチプレクス選択ビット (SDADR.MXC[1:0]) により、ロウアドレスのシフト量を選択します。また、SDRAM 空間では、カラムアドレスの上位にアドレスプリチャージ設定コマンド (Precharge-sel) が出力されます。表 16.21 に SDADR.MXC[1:0] ビットの設定値とシフト量の関係を示します。

表 16.21 アドレスマルチプレクス

MXC [1:0]	シフト量	データバス幅	アドレス	マイコン外部アドレス端子																		
				A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
00	8ビット	8ビット	ロウ	A26	A25	A24	A23	A22	A21	A20	A19	A18*	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
			カラム	A26	A25	A24	A23	A22	A21	A20	A19	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		16ビット	ロウ	A26	A25	A24	A23	A22	A21	A20	A19*	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
			カラム	A26	A25	A24	A23	A22	A21	A20	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
01	9ビット	8ビット	ロウ	—	A26	A25	A24	A23	A22	A21	A20	A20*	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
			カラム	—	A26	A25	A24	A23	A22	A21	A20	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		16ビット	ロウ	—	A26	A25	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
			カラム	—	A26	A25	A24	A23	A22	A21	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
10	10ビット	8ビット	ロウ	—	—	A26	A25	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	—	—	A26	A25	A24	A23	A22	A21	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		16ビット	ロウ	—	—	A26	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	—	—	A26	A25	A24	A23	A22	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
11	11ビット	8ビット	ロウ	—	—	—	A26	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム	—	—	—	A26	A25	A24	A23	A10	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		16ビット	ロウ	—	—	—	A26	A25	A24	A23	A22*	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム	—	—	—	A26	A25	A24	A11	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

P : プリチャージ設定コマンド (Precharge-sel) を出力します。

* : PALL コマンド発行時は Precharge-sel = 1 (High) を、Active コマンド発行時は対応するアドレスを出力します。

— : Don't care を示します。

16.6.14 SDRAM 接続例

16.6.14.1 16 ビットバス空間の場合

図 16.80 にロウアドレス 13 ビット、カラムアドレス 11 ビット、512M ビット品、8 ビットバスの SDRAM を 2 個接続する場合の例を示します。

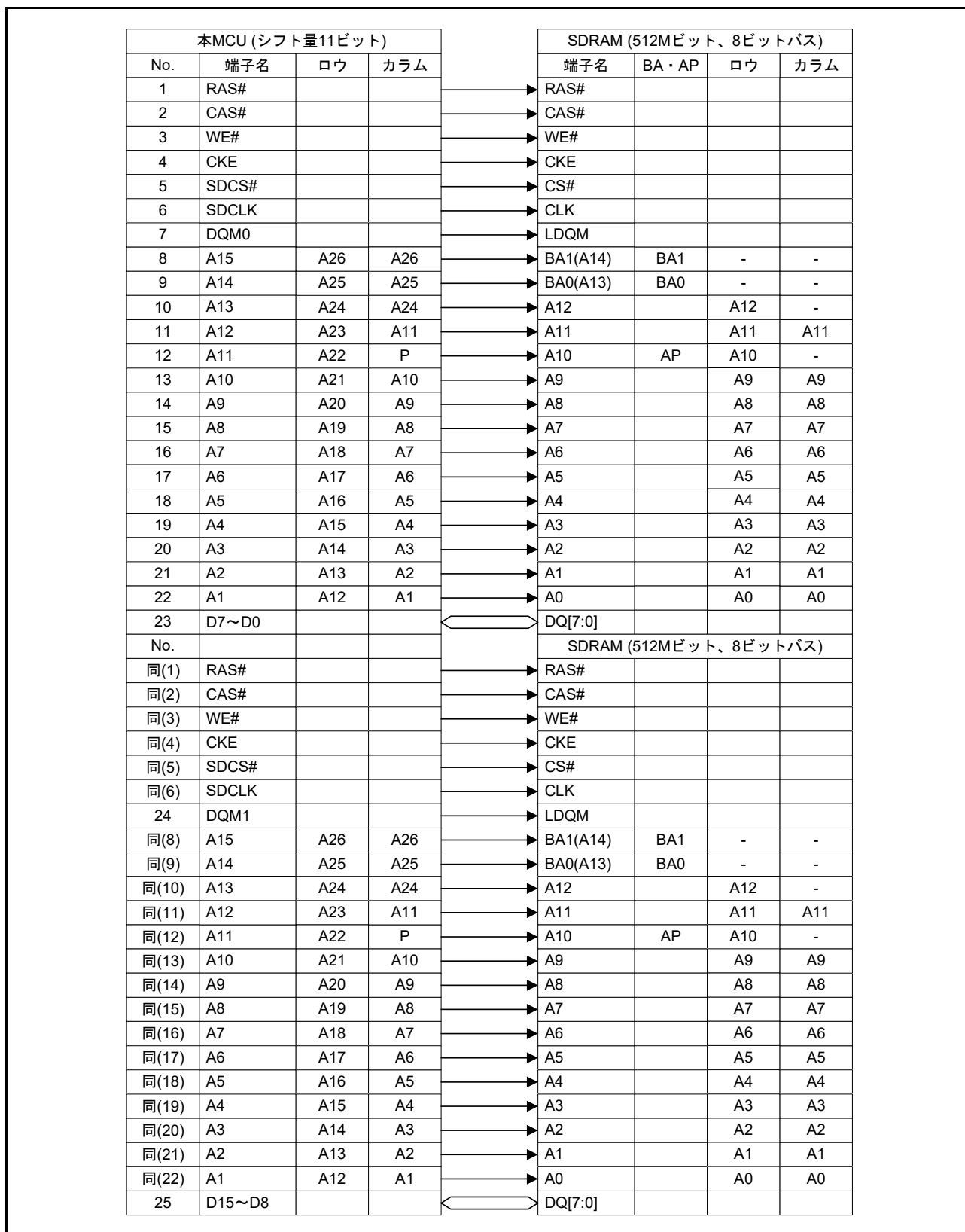


図 16.80 SDRAM 接続例 (512M ビット品 × 2 個、8 ビットバス)

図 16.81 にロウアドレス 13 ビット、カラムアドレス 10 ビット、512M ビット品、16 ビットバスの SDRAM を 1 個接続する場合の例を示します。

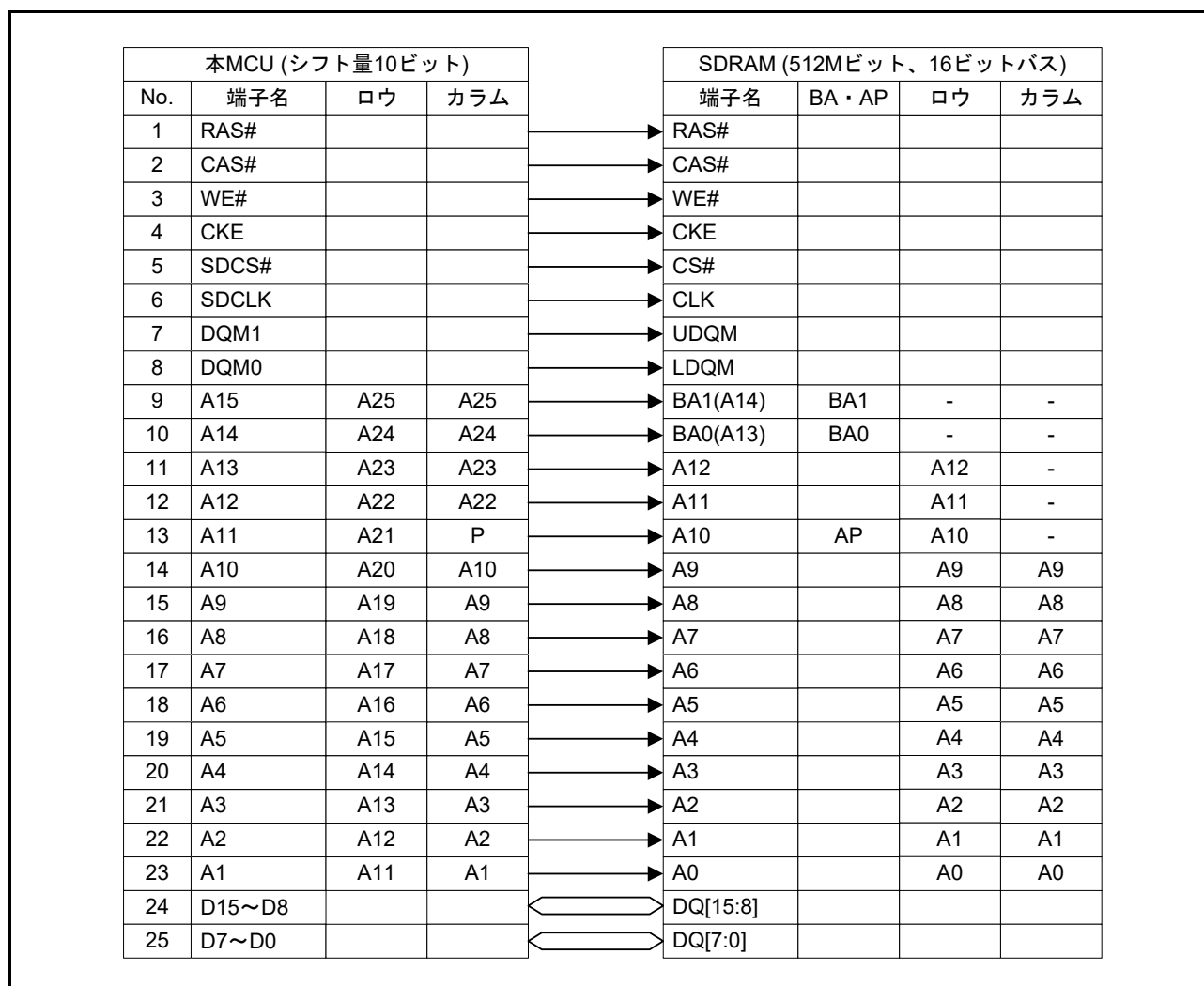


図 16.81 SDRAM 接続例 (512M ビット品 × 1 個、16 ビットバス)

図 16.82 にロウアドレス 13 ビット、カラムアドレス 9 ビット、256M ビット品、16 ビットバスの SDRAM を 1 個接続する場合の例を示します。

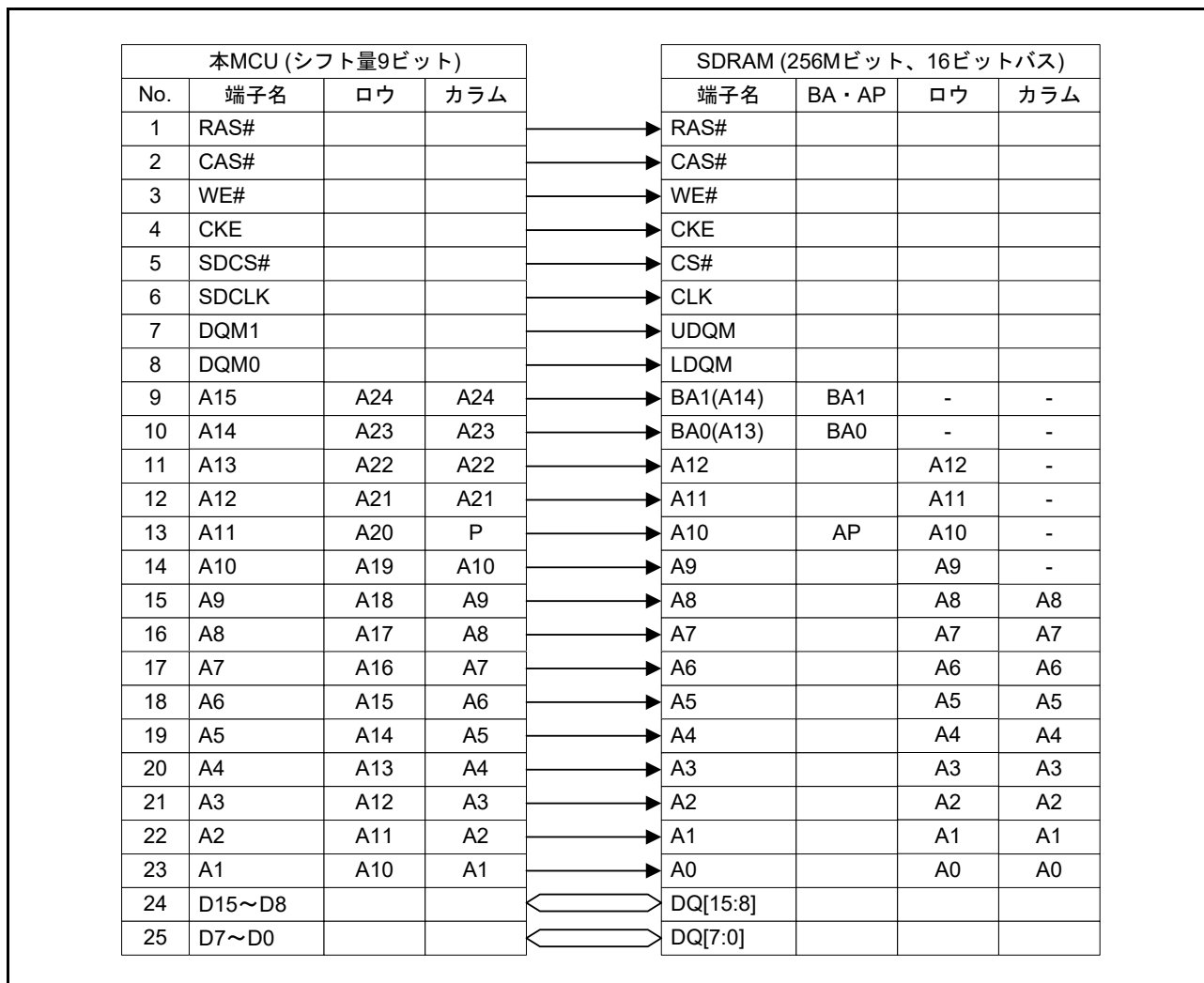


図 16.82 SDRAM 接続例 (256M ビット品 × 1 個、16 ビットバス)

16.6.15 制約事項

(1) 外部アドレス空間の各領域をまたがるアクセスの禁止

一つのアクセスでアドレス空間の各領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界をはさんで2つの領域にまたがらないようにしてください。

また、EXDMACのシングルアドレスモードブロック転送およびクラスタ転送中に、アドレス空間の各領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。EXDMACのシングルアドレスモードブロック転送、クラスタ転送によりアドレス空間の各領域境界をはさんで2つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- 外部空間には領域ごとのエンディアン切り替え機能(データのみ)がありますが、チップのエンディアンと異なる設定を行った領域にRMPA命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(3) 低消費電力状態

全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード時には、SDRAMCのクロックが停止しますので、オートリフレッシュが実行されません。外部にSDRAMを接続し、SDRAMのデータを保持したい場合には、セルフリフレッシュ機能を使用してください。セルフリフレッシュモードへの移行、復帰の手順については、「16.6.7 セルフリフレッシュ」を参照してください。

(4) 連続アクセスモード

EXDMACのシングルアドレスモードブロック転送およびクラスタ転送の場合、CL=1を設定することは禁止しており、設定された場合の動作は保証していません。

(5) SDRAM タイミングレジスタ設定

SDRAM タイミングレジスタ(SDTR)のRAS[2:0]ビットの値は、ローカラムレイテンシ(SDTR.RCD[1:0])+カラムレイテンシ(SDTR.CL[2:0])以下に設定してください。この条件が満たされない場合の動作は保証していません。

(6) 命令コードに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.7 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

16.7.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの2種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが768 サイクル以内に終了しない場合に検出します。

16.7.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、以下のアクセスが起こった場合に発生します。

- 外部領域については、動作禁止 (CSnCR.EXENB = 0, SDCCR.EXENB = 0) に設定した領域をアクセスした場合
- 上記以外の領域については、不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを表 16.22 に示します。

16.7.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが768 サイクル以内に終了しない場合に発生します。

- CS 領域 (CS0 ~ CS7) :バスアクセス開始後、外部バスクロック (BCLK) で768 サイクル以内にバスアクセスが終了しない (WAIT# 信号がネゲートされない) 場合
タイムアウトが発生すると BCLK で256 サイクル間、バスマスタからのアクセスは受け付けられません。バスマスタからの1回のリクエストで、複数の外部バスアクセスが発生する転送では、タイムアウトが発生しても、後続のバスアクセスを中断できません。この場合、連続してタイムアウトが発生する可能性があります。
- 内部周辺バス (2, 3) :バスアクセス開始後、周辺モジュールクロック (PCLKB) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKB で256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。
- 内部周辺バス (4, 5) :バスアクセス開始後、周辺モジュールクロック (PCLKA) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKA で256 サイクル間、バスマスタからのアクセスは受け付けられません。MSTPCRB レジスタの MSTPB15 ビットのモジュールストップ状態を解除した場合、BEREN.TOEN ビットを“1”にしてください。
- 内部周辺バス (6) :バスアクセス開始後、FlashIF クロック (FCLK) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると FCLK で256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。
- 内部拡張バス :バスアクセス開始後、ICLK で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると ICLK で256 サイクル間、バスマスタからのアクセスは受け付けられません。

16.7.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知 :
割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

16.7.3 バスエラーの発生条件

表 16.22 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態 (バスエラーステータスレジスタ n (BERSRn) (n = 1, 2) がクリアされている場合) で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 16.22 発生するバスエラーの種類

アドレス	内容		種類			
			不正アドレスアクセス		タイムアウト	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h ~ 0007 FFFFh	メモリバス 1		—		—	
0008 0000h ~ 0008 7FFFh	内部周辺バス 1		—		—	
0008 8000h ~ 0009 FFFFh	内部周辺バス 2		△		—	
000A 0000h ~ 000B FFFFh	内部周辺バス 3		△		—	
000C 0000h ~ 000D FFFFh	内部周辺バス 4		△		○	
000E 0000h ~ 000F FFFFh	内部周辺バス 5		△		—	
0010 0000h ~ 0011 FFFFh	内部周辺バス 6	予約領域	—	○	—	—
0012 0000h ~ 007F FFFFh			△	○	—	—
0080 0000h ~ 00FF FFFFh	予約領域		—	—	—	—
0100 0000h ~ 07FF FFFFh	外部バス (CS1 ~ CS7)		[IA]		[TO]	
0800 0000h ~ 0FFF FFFFh	外部バス (SDRAM 領域)		[IA]		—	
1000 0000h ~ 6FFF FFFFh	予約領域		○		—	
7000 0000h ~ 77FF FFFFh	内部拡張バス (QSPI 領域)		△		[TO]	
7800 0000h ~ 7FFF FFFFh	予約領域		○		—	
8000 0000h ~ FEF7 FFFFh	メモリバス 2	予約領域	—	○	—	—
FF00 0000h ~ FF7F FFFFh		外部バス (CS0)	—	[IA]	—	[TO]
FF80 0000h ~ FFFF FFFFh			—		—	

— : バスエラーは発生しません。

△ : バスエラーは不定です。

○ : バスエラーを発生します。

[IA] : これらの領域を動作禁止 (CSnCR.EXENB = 0 (n = 0 ~ 7)、SDCCR.EXENB = 0) に設定している場合にバスエラーを検出します。

[TO] : 768 サイクル以内にバスアクセスが終了しない場合にバスエラーを検出します。

注. 実装されるRAM、データフラッシュメモリ、コードフラッシュメモリの有無と容量は製品により異なります。製品ごとの仕様については、「53. RAM」、「55. フラッシュメモリ (FLASH)」を参照してください。

16.8 割り込み

16.8.1 割り込み要因

バスは、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると割り込みコントローラにバスエラーが発生します。

表 16.23 割り込み要因

名称	割り込み要因	DTC起動	DMAC起動
BUSERR	不正アドレスアクセスエラーまたはタイムアウト	不可	不可

17. メモリプロテクションユニット (MPU)

17.1 概要

RXv3 CPUにはメモリプロテクションユニットが内蔵されており、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象に CPU によるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPU のプロセッサモードがユーザモードのときに有効です。スーパバイザモードのときは、メモリ保護を行いません。

表 17.1 にメモリプロテクションユニットの仕様を、図 17.1 にブロック図を示します。

表 17.1 メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域とプロセッサモード	0000 0000h ~ FFFF FFFFh (ユーザモード時) スーパバイザモード時はメモリ保護なし
領域数	8
ページサイズ(最小保護単位)	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) で各領域の有効/無効を設定 (n = 0 ~ 7)
各領域のアクセス制御情報	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス：スタック領域にPCを退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ (MPESTS) に要因を格納
バックグラウンド領域設定	バックグラウンド領域(全アドレス空間)に対して、アクセス制御情報を設定可能
領域オーバーラップの処理	あるアドレスに対して領域がオーバーラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

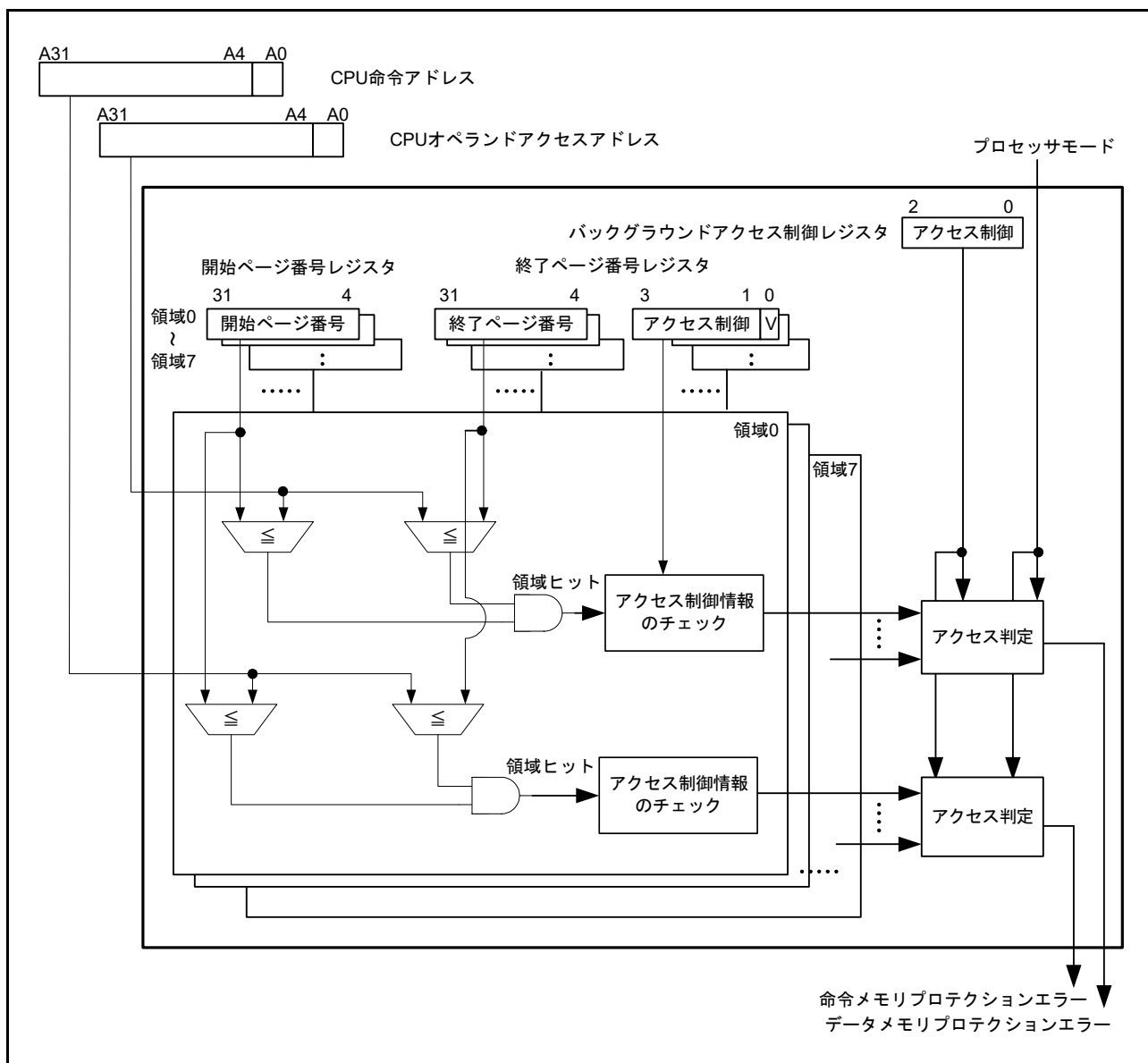


図 17.1 メモリプロテクションユニットブロック図

17.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の3種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパーバイザモードのプログラムに対しては違反を検出しません。

17.1.2 アクセス制御領域

アクセス制御領域は8つまで定義することができます。各アクセス制御領域の範囲は、領域n開始ページ番号レジスタ (RSPAGEn) および領域n終了ページ番号レジスタ (REPAGEn) で行います (n=0~7)。

ページは、アクセス制御の最小単位であり、アドレス空間を16バイトごとに区切ったものです。アドレス [31:0] の上位28ビット ([31:4]) がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

17.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間 (0000 0000h ~ FFFF FFFFh) です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ (MPBAC) で設定します。バックグラウンド領域のアクセス制御情報は、8つのアクセス制御領域と異なり、メモリプロテクション機能が有効 (MPEN.MPEN ビットが“1”) であれば有効となります。

17.1.4 領域のオーバーラップ

複数の領域がオーバーラップした場合のアクセス制御情報は、オーバーラップした領域 (バックグラウンド領域を含む) のアクセス制御ビットの論理和となり、許可が優先して設定されます。

17.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

17.2 レジスタの説明

17.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)

アドレス RSPAGE0 0008 6400h, RSPAGE1 0008 6408h, RSPAGE2 0008 6410h, RSPAGE3 0008 6418h, RSPAGE4 0008 6420h, RSPAGE5 0008 6428h, RSPAGE6 0008 6430h, RSPAGE7 0008 6438h



x : 不定

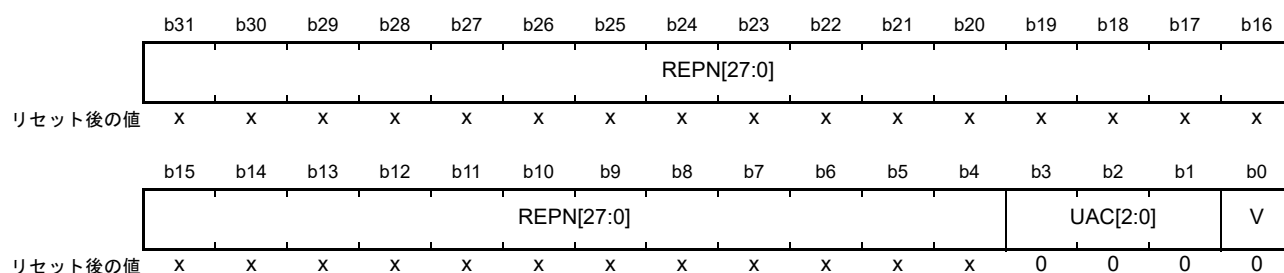
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めず。書く場合、“0”としてください。	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット (領域開始ページ番号ビット)

領域開始ページ番号を設定します。

17.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)

アドレス REPAGE0 0008 6404h, REPAGE1 0008 640Ch, REPAGE2 0008 6414h, REPAGE3 0008 641Ch,
REPAGE4 0008 6424h, REPAGE5 0008 642Ch, REPAGE6 0008 6434h, REPAGE7 0008 643Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	V	有効ビット	0 : 領域設定無効 1 : 領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	REPn[27:0]	領域終了ページ番号ビット	領域判定に使用する領域終了ページ番号情報	R/W

V ビット (有効ビット)

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ (MPOPI) により 全アクセス制御領域のインバリデート (無効化) を行った場合、V ビットは“0”になります。

UAC[2:0] ビット (ユーザモード時アクセス制御ビット)

ユーザモード時のアクセス制御を設定します。

REPn[27:0] ビット (領域終了ページ番号ビット)

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

17.2.3 メモリプロテクション機能有効化レジスタ (MPEN)

アドレス 0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1: メモリプロテクション機能有効 0: メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

MPEN ビット (メモリプロテクション機能有効化ビット)

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに“1”を書いた後、ユーザモードへ移行する分岐命令 (RTE, RTFI) の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

17.2.4 バックグラウンドアクセス制御レジスタ (MPBAC)

アドレス 0008 6504h



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UBAC[2:0] ビット (ユーザモード時バックグラウンドアクセス制御ビット)

ユーザモード時のバックグラウンドアクセス制御を設定します。

17.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR)

アドレス 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW, DMPER, IMPERビットを“0”にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CLR ビット (エラーステータスクリアビット)

メモリプロテクションエラーステータスレジスタ (MPESTS) のデータリード/ライトビット (DRW)、データメモリプロテクションエラー発生ビット (DMPER)、命令メモリプロテクションエラー発生ビット (IMPER) を“0”にします。

17.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS)

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DMPE R	IMPE R
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMPER	命令メモリプロテクションエラー発生ビット	0: 命令メモリプロテクションエラー発生なし 1: 命令メモリプロテクションエラー発生	R
b1	DMPER	データメモリプロテクションエラー発生ビット	0: データメモリプロテクションエラー発生なし 1: データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0: データリード 1: データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IMPER ビット (命令メモリプロテクションエラー発生ビット)

命令実行によるメモリプロテクションエラー発生状態を示します。

IMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DMPER ビット (データメモリプロテクションエラー発生ビット)

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DRW ビット (データリード/ライトビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード/ライト属性を示します。DRW ビットは、DMPER ビットが“1”の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、“0”になります。

17.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA)

アドレス 0008 6514h



x: 不定

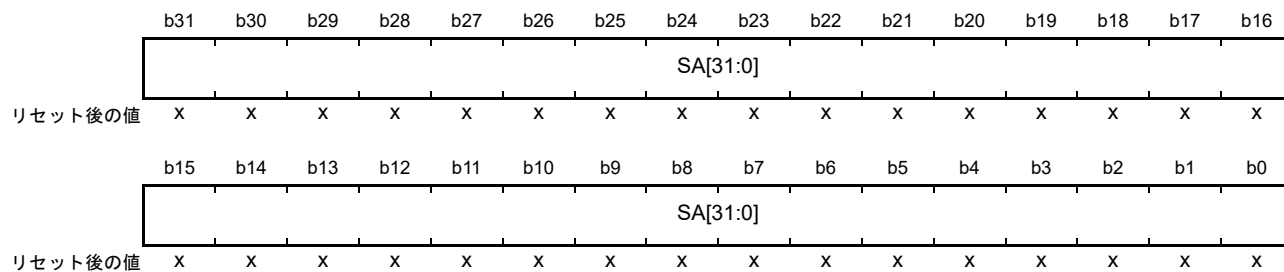
ビット	シンボル	ビット名	機能	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット (データメモリプロテクションエラーアドレスビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

17.2.8 領域サーチアドレスレジスタ (MPSA)

アドレス 0008 6520h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	SA[31:0]	領域サーチアドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット (領域サーチアドレスビット)

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ (RSPAGEn) の領域開始アドレス、領域 n 終了ページ番号レジスタ (REPAGEn) の領域終了アドレスと比較するアドレスを設定します。

17.2.9 領域サーチオペレーションレジスタ (MPOPS)

アドレス 0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	S	領域サーチオペレーションビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

S ビット (領域サーチオペレーションビット)

S ビットを“1”にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ (MPSA) で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ (MHITD) のデータヒット領域ビット (HITD[7:0]) に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット (UHACD[2:0]) に格納されます。

17.2.10 領域インバリデートオペレーションレジスタ (MPOPI)

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 全アクセス制御領域のインバリデート(無効化)	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

INV ビット (領域インバリデート起動ビット)

INV ビットを“1”にすることにより、すべての領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) を“0”にします。REPAGEn.V ビットを“0”にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

17.2.11 命令ヒット領域レジスタ (MHITI)

アドレス 0008 6528h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	HITI[7:0]							—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	UHACI[2:0]			—		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACI[2:0]	ユーザモード時命令ヒット領域アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット(MPESTS.IMPER) = 1のとき、[b23:b16] = 0000 0000b : バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0: 領域7で命令メモリプロテクションエラーなし 1: 領域7で命令メモリプロテクションエラーあり b22 0: 領域6で命令メモリプロテクションエラーなし 1: 領域6で命令メモリプロテクションエラーあり b21 0: 領域5で命令メモリプロテクションエラーなし 1: 領域5で命令メモリプロテクションエラーあり b20 0: 領域4で命令メモリプロテクションエラーなし 1: 領域4で命令メモリプロテクションエラーあり b19 0: 領域3で命令メモリプロテクションエラーなし 1: 領域3で命令メモリプロテクションエラーあり b18 0: 領域2で命令メモリプロテクションエラーなし 1: 領域2で命令メモリプロテクションエラーあり b17 0: 領域1で命令メモリプロテクションエラーなし 1: 領域1で命令メモリプロテクションエラーあり b16 0: 領域0で命令メモリプロテクションエラーなし 1: 領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACI[2:0] ビット (ユーザモード時命令ヒット領域アクセス制御ビット)

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

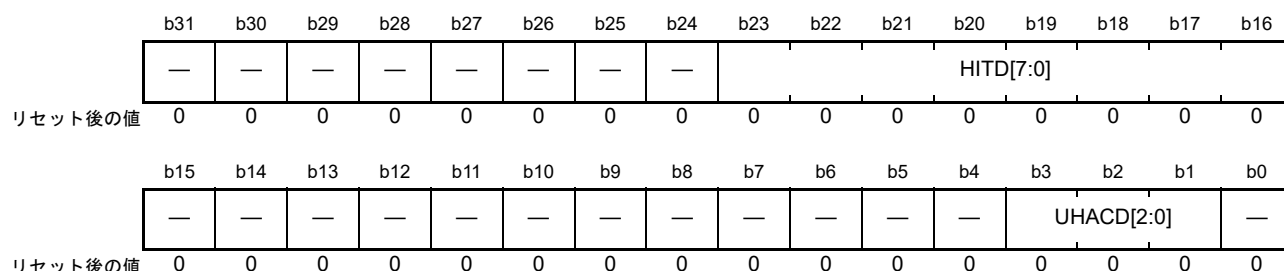
オーバーラップした領域でエラーが発生した場合、該当する領域(バックグラウンド領域も含む)のユーザーモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット (命令ヒット領域ビット)

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーが発生したときは、HITI[7:0] ビットは“0000 0000b”にセットされます。

17.2.12 データヒット領域レジスタ (MHITD)

アドレス 0008 652Ch



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACD[2:0]	ユーザモード時 データヒット領域 アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITD[7:0]	データヒット領域 ビット	データメモリプロテクションエラー発生ビット(MPESTS.DMPER) = 1のとき、 [b23:b16] = 0000 0000b : バックグラウンド領域でデータメモリプロテクションエラー 上記以外 b23 0: 領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0: 領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0: 領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0: 領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0: 領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0: 領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0: 領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0: 領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACD[2:0] ビット (ユーザモード時 データヒット領域 アクセス制御ビット)

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバーラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット (データヒット領域 ビット)

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーが発生したとき、HITD[7:0] ビットは“0000 0000b”にセットされます。

注. ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

17.3 機能

17.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反(メモリプロテクションエラー)を検出した場合は、メモリプロテクションユニットはCPUへその情報を通知し、CPUはアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ(MPEN)のメモリプロテクション機能有効化ビット(MPEN)を“1”にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

17.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが8つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報(実行許可、読み出し許可、書き込み許可)がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ(MPOPS)の領域サーチオペレーションビット(S)を“1”にすることにより、領域サーチアドレスレジスタ(MPSA)で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ(MHITD)は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

17.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPUのオペランドアクセス以外の手段(命令フェッチ、DMA)ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパーバイザモードでのみアクセスすることができます。ユーザモードでCPUのオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

17.3.4 メモリプロテクション機能のアクセス判定フロー

図 17.2 にデータアクセス判定フローを、図 17.3 に命令アクセス判定フローを示します。

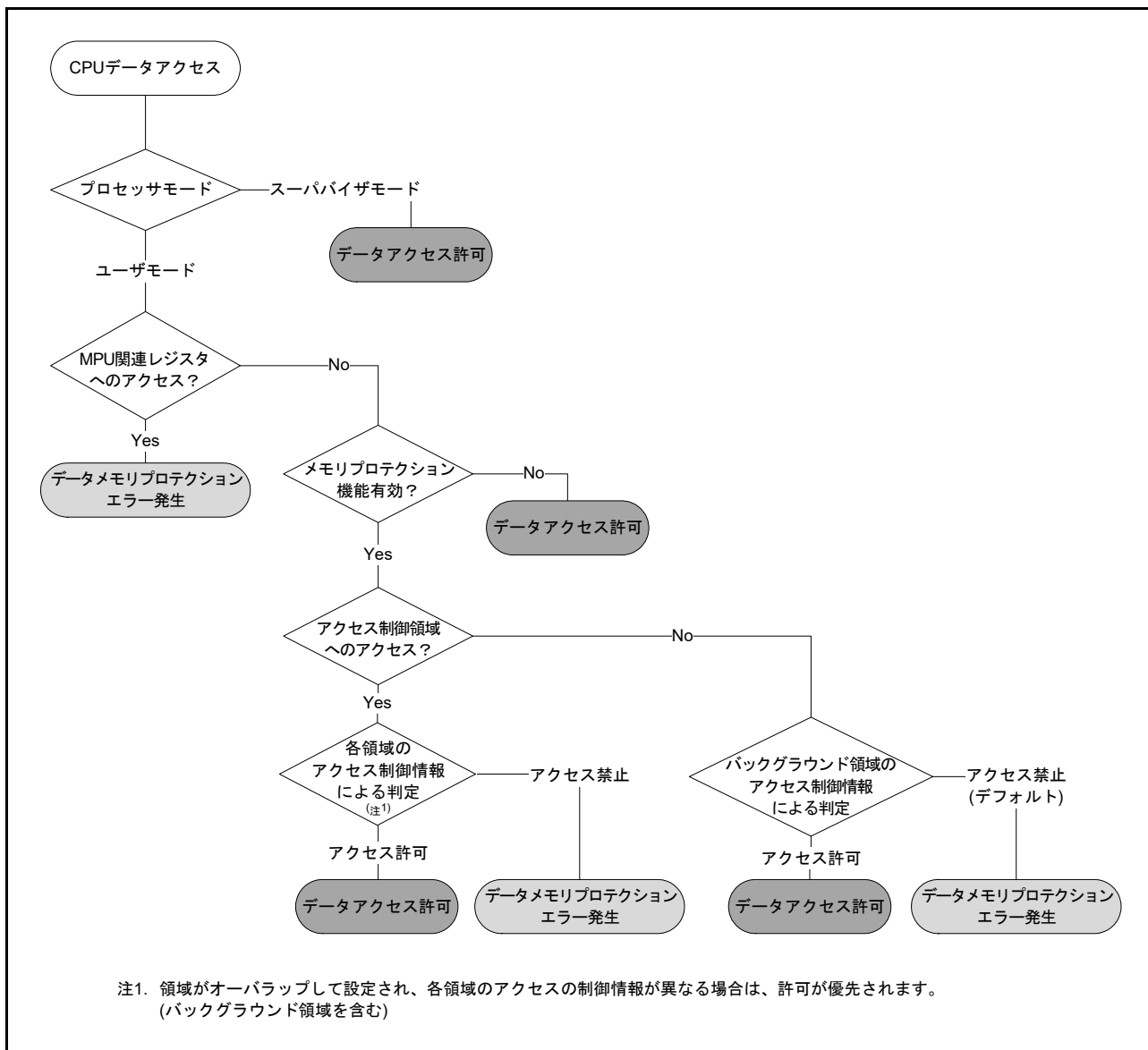


図 17.2 データアクセス判定フロー

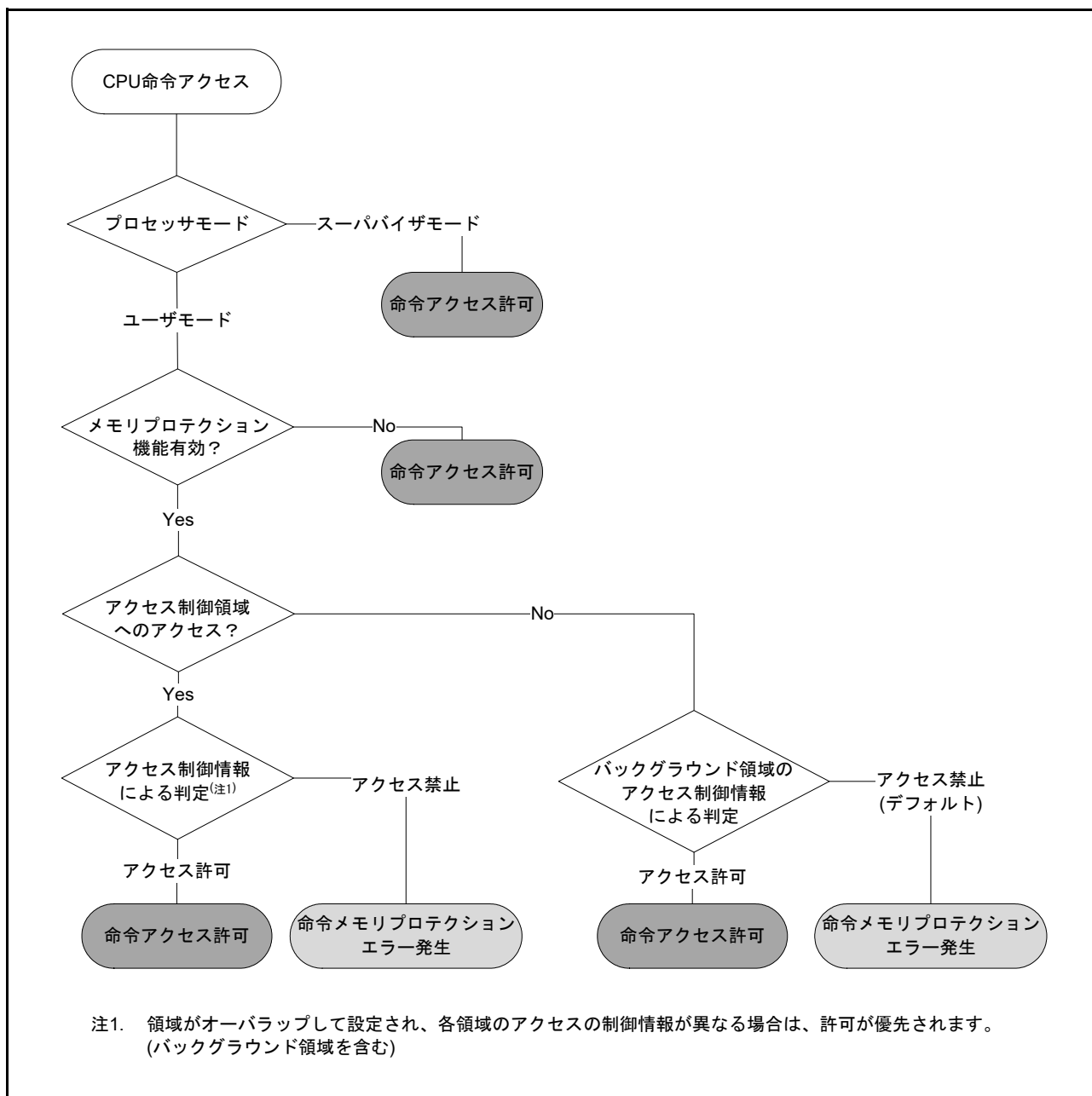


図 17.3 命令アクセス判定フロー

17.4 メモリプロテクション機能使用手順

17.4.1 アクセス制御情報の設定

スーパーバイザモードで、各領域のアクセス制御情報を設定します。

最大 8 つのアクセス制御領域の設定を領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います ($n=0 \sim 7$)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行いません。

17.4.2 メモリプロテクション機能の有効化

スーパーバイザモードで、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にします。

17.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、いずれかのメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。スーパーバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) を“1” (ユーザモードに設定) にした後、RTE 命令を実行
- バックアップ PSW (BPSW) の PM ビットを“1”にした後、RTFI 命令を実行

注． MVTC, POPC 命令による PSW.PM ビットの書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

17.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反 (メモリプロテクションエラー) を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、「14. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ (MPESTS) の命令メモリプロテクションエラー発生ビット (IMPER) およびデータメモリプロテクションエラー発生ビット (DMPER) を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ(MPDEA)に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ(MHITD)に格納されます。

- 有効な領域0～7にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応したデータヒット領域ビット(MHITD.HITD[7:0])が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット(MHITD.UHACD[2:0])にセットされます。

- 有効な領域0～7の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合

データヒット領域ビット(MHITD.HITD[7:0])は、“0000 0000b”になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット(MHITD.UHACD[2:0])にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ(MHITI)に格納されます。

- 有効な領域0～7にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応した命令ヒット領域ビット(MHITI.HITI[7:0])が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット(MHITI.UHACI[2:0])にセットされます。

- 有効な領域0～7の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合

命令ヒット領域ビット(MHITI.HITI[7:0])は、“0000 0000b”になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット(MHITI.UHACI[2:0])にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

18. DMAコントローラ(DMACAb)

本MCUは、8チャンネルのDMAC(Direct Memory Access Controller)を内蔵しています。

DMACは、CPUを介さずにデータ転送を行います。DMACは転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

18.1 概要

表18.1にDMACの仕様を、図18.1にDMACのブロック図を示します。

表18.1 DMACの仕様

項目		内容
チャンネル数		8チャンネル(DMACm (m = 0~7))
転送空間		4Gバイト (00000000h~FFFFFFFFhのうち予約領域を除く領域)
最大転送データ数		64Mデータ(ブロック転送モード最大総転送数: 1024データ×65536ブロック)
DMAC起動要因		<ul style="list-style-type: none"> チャンネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力(注1)
チャンネル優先順位		チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3... > チャンネル7 (チャンネル0が最優先)
転送データ	1データ	ビット長: 8ビット、16ビット、32ビット
	ブロックサイズ	データ数: 1~1024データ
転送モード	ノーマル転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 総データ転送数を指定しない設定(フリーランニングモード)が可能
	リピート転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 リピートサイズは最大1024回設定可能
	ブロック転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1ブロックのデータを転送 ブロックサイズは最大1024データ設定可能
選択機能	拡張リピートエリア機能	<ul style="list-style-type: none"> 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	ノーマル転送モードの場合、指定回数の転送が終了したときに発生 リピート転送モードの場合、指定リピート回数の転送が終了したときに発生 ブロック転送モードの場合、指定ブロック数の転送が終了したときに発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
イベントリンク機能		1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
消費電力低減機能		モジュールストップ状態への設定が可能

注1. DMACの起動要因は、「15. 割り込みコントローラ(ICUE)」の「表15.5 割り込みベクタテーブル」を参照してください。

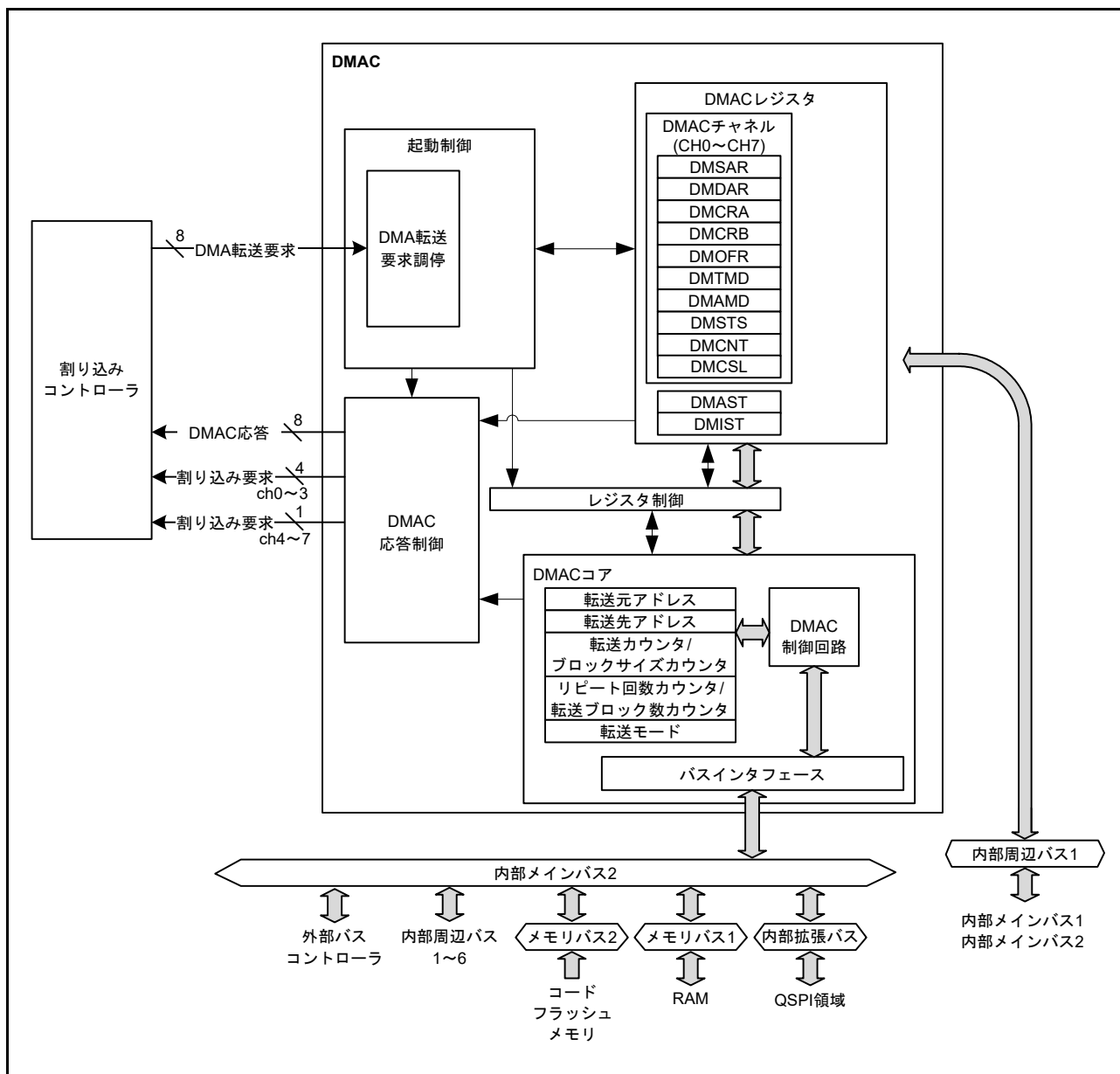
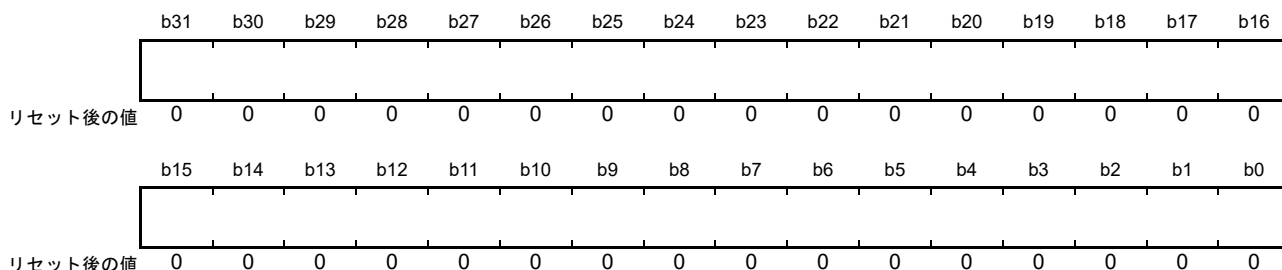


図 18.1 DMAC のブロック図

18.2 レジスタの説明

18.2.1 DMA 転送元アドレスレジスタ (DMSAR)

アドレス DMAC0.DMSAR 0008 2000h, DMAC1.DMSAR 0008 2040h, DMAC2.DMSAR 0008 2080h,
DMAC3.DMSAR 0008 20C0h, DMAC4.DMSAR 0008 2100h, DMAC5.DMSAR 0008 2140h,
DMAC6.DMSAR 0008 2180h, DMAC7.DMSAR 0008 21C0h

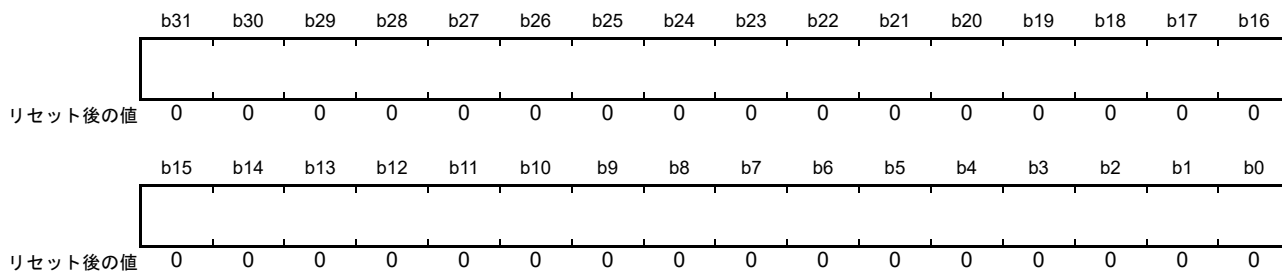


ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h~FFFFFFFFh (4Gバイト)	R/W

DMSAR レジスタを設定する場合は、DMAC 停止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

18.2.2 DMA 転送先アドレスレジスタ (DMDAR)

アドレス DMAC0.DMDAR 0008 2004h, DMAC1.DMDAR 0008 2044h, DMAC2.DMDAR 0008 2084h,
DMAC3.DMDAR 0008 20C4h, DMAC4.DMDAR 0008 2104h, DMAC5.DMDAR 0008 2144h,
DMAC6.DMDAR 0008 2184h, DMAC7.DMDAR 0008 21C4h



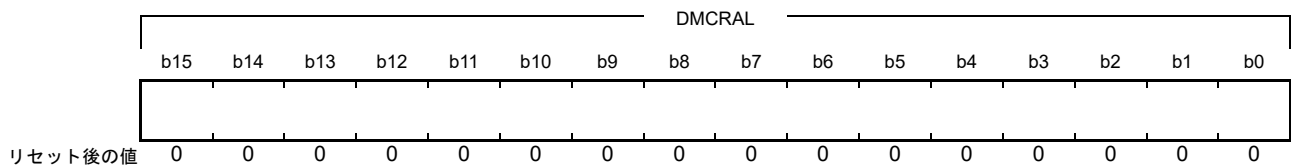
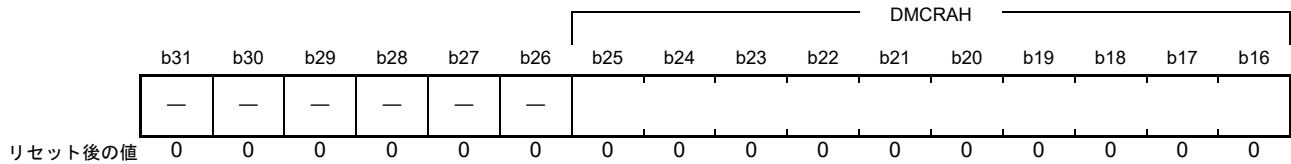
ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h~FFFFFFFFh (4Gバイト)	R/W

DMDAR レジスタを設定する場合は、DMAC 停止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

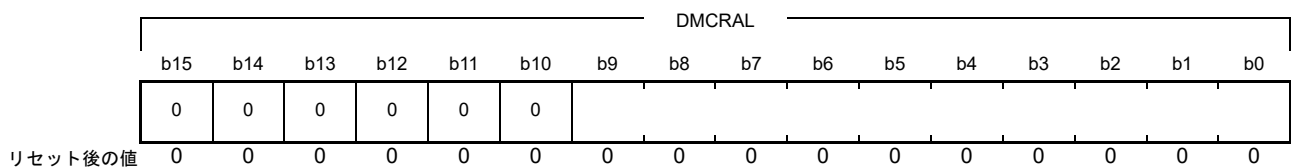
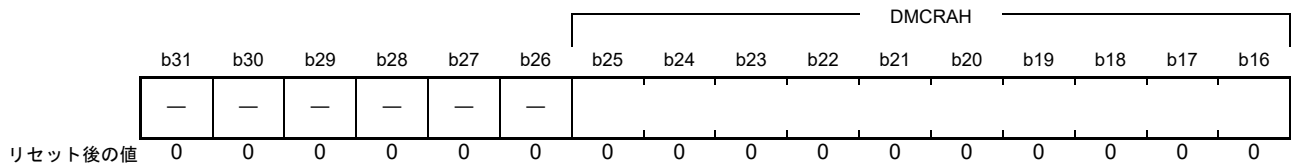
18.2.3 DMA 転送カウントレジスタ (DMCRA)

アドレス DMCRA0.DMCRA 0008 2008h, DMCRA1.DMCRA 0008 2048h, DMCRA2.DMCRA 0008 2088h,
DMCA3.DMCRA 0008 20C8h, DMCRA4.DMCRA 0008 2108h, DMCRA5.DMCRA 0008 2148h,
DMCA6.DMCRA 0008 2188h, DMCRA7.DMCRA 0008 21C8h

・ ノーマル転送モード



・ リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAH	転送カウント上位ビット	転送回数を設定します	R/W
DMCRAH	転送カウント下位ビット		R/W

注. リピート転送モード時およびブロック転送モード時は、DMCRAH、DMCRAHレジスタには同じ値を設定してください。

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

DMCRAH レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは 1 回、“FFFFh”のときは 65535 回となります。1 回のデータ転送を行う度にデクリメント (-1) します。

設定値が“0000h”のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは DMCRAH レジスタを使用しません。DMCRAH レジスタへは“0000h”を書いてください。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] ビット = 01b) のとき

DMCRAH レジスタはリピートサイズを保持し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が“001h”のときは 1 回、“3FFh”のときは 1023 回、“000h”のときは 1024 回となります。リピート転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ~ 3FFh (1 回 ~ 1024 回) です。

DMCRAL レジスタのビット 15 ~ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ~ 10 へは“0”を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント (-1) され、“000h”になると DMCRAH レジスタの値が転送されます。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき

DMCRAH レジスタはブロックサイズを保持し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

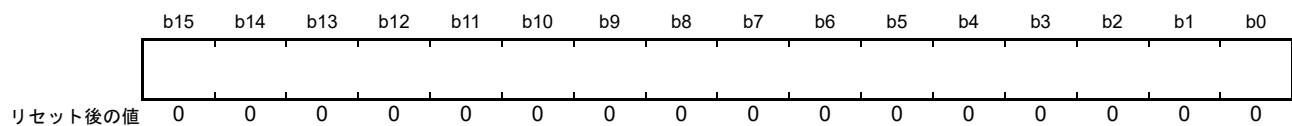
設定値が“001h”のときはブロックサイズ 1、“3FFh”のときはブロックサイズ 1023、“000h”のときはブロックサイズ 1024 となります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ~ 3FFh です。

DMCRAL レジスタのビット 15 ~ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ~ 10 へは“0”を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント (-1) され、“000h”になると DMCRAH レジスタの値が転送されます。

18.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス DMAC0.DMCRB 0008 200Ch, DMAC1.DMCRB 0008 204Ch, DMAC2.DMCRB 0008 208Ch,
DMAC3.DMCRB 0008 20CCh, DMAC4.DMCRB 0008 210Ch, DMAC5.DMCRB 0008 214Ch,
DMAC6.DMCRB 0008 218Ch, DMAC7.DMCRB 0008 21CCh



ビット	機能	設定範囲	R/W
b15-b0	転送ブロック数、リピート回数を設定します	0001h ~ FFFFh (1 ~ 65535 回) 0000h (65536 回)	R/W

DMCRB レジスタは、ブロック転送モード時の転送ブロック数、またはリピート転送モード時のリピート回数を指定するレジスタです。

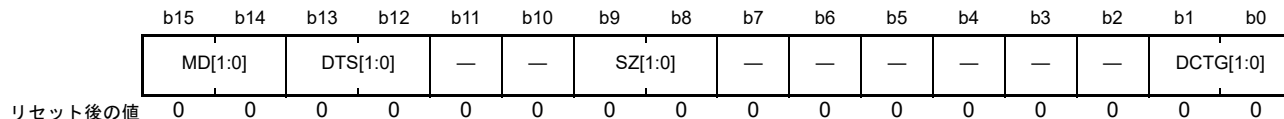
リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (-1) されます。

ブロック転送モードの場合、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モード設定時は、DMCRB レジスタを使用しません。設定値は無効です。

18.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス DMAC0.DMTMD 0008 2010h, DMAC1.DMTMD 0008 2050h, DMAC2.DMTMD 0008 2090h,
DMAC3.DMTMD 0008 20D0h, DMAC4.DMTMD 0008 2110h, DMAC5.DMTMD 0008 2150h,
DMAC6.DMTMD 0008 2190h, DMAC7.DMTMD 0008 21D0h



ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0 : ソフトウェア 0 1 : 周辺モジュールおよび外部割り込み入力端子からの割り込み(注1) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0 : 8ビット転送 0 1 : 16ビット転送 1 0 : 32ビット転送 1 1 : 設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0 : 転送先側がリピート領域またはブロック領域 0 1 : 転送元側がリピート領域またはブロック領域 1 0 : リピート領域、ブロック領域は設定しない 1 1 : 設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0 : ノーマル転送 0 1 : リピート転送 1 0 : ブロック転送 1 1 : 設定しないでください	R/W

注1. DMACの起動要因はICU.DMRSRmレジスタで設定します。詳細は、「15. 割り込みコントローラ(ICUE)」の「表 15.5 割り込みベクタテーブル」を参照してください。

DTS[1:0] ビット (リピート領域選択ビット)

リピート転送モードあるいはブロック転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

18.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス DMAC0.DMINT 0008 2013h, DMAC1.DMINT 0008 2053h, DMAC2.DMINT 0008 2093h,
DMAC3.DMINT 0008 20D3h, DMAC4.DMINT 0008 2113h, DMAC5.DMINT 0008 2153h,
DMAC6.DMINT 0008 2193h, DMAC7.DMINT 0008 21D3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0: リピートサイズ終了割り込みを禁止 1: リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0: エスケープ割り込みを禁止 1: エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0: 転送終了割り込みを禁止 1: 転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DARIE ビット (転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

DARIE ビットを“1”に設定したとき、転送先アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送先アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合、DARIE ビットの設定値は無効です。

SARIE ビット (転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

SARIE ビットを“1”に設定したとき、転送元アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送元アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット (リピートサイズ終了割り込み許可ビット)

リピート転送モードにおいて、RPTIE ビットを“1”に設定したとき、1リピートサイズ分の転送終了後に DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b”(リピート領域、ブロック領域に指定しない) のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、DMINT.RPTIE ビットを“1”に設定したときも同様に1ブロックの転送終了後に

DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b”(リピート領域、ブロック領域に指定しない)に設定したときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット (転送エスケープ終了割り込み許可ビット)

DMA 転送中に発生したエスケープ割り込み要求 (リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込み) を許可または禁止します。

ESIE ビットを“1”にセットすると、DMSTS.ESIF フラグに“1”がセットされたとき、転送エスケープ終了割り込みが発生します。転送エスケープ終了割り込みは、ESIE ビットを“0”にクリアするか、DMSTS.ESIF フラグを“0”にクリアすると解除されます。

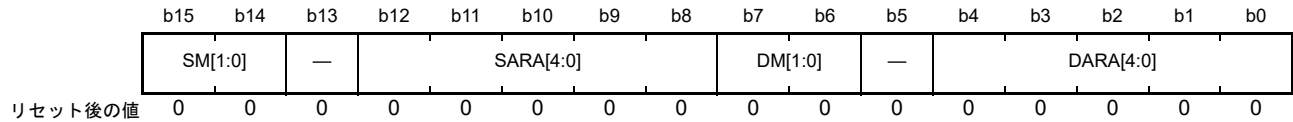
DTIE ビット (転送終了割り込み許可ビット)

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを“1”にセットすると、DMSTS.DTIF フラグに“1”がセットされたとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを“0”にクリアするか、DMSTS.DTIF フラグを“0”にクリアすると解除されます。

18.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 0008 2014h, DMAC1.DMAMD 0008 2054h, DMAC2.DMAMD 0008 2094h,
DMAC3.DMAMD 0008 20D4h, DMAC4.DMAMD 0008 2114h, DMAC5.DMAMD 0008 2154h,
DMAC6.DMAMD 0008 2194h, DMAC7.DMAMD 0008 21D4h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表 18.2 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定ビット	b7 b6 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表 18.2 を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定ビット	b15 b14 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W

注1. オフセット加算設定はDMAC0のみ可能です。

DARA[4:0] ビット (転送先アドレス拡張リピートエリア設定ビット)

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リピートエリアのサイズは2バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0]=00b (転送先側がリピート領域またはブロック領域) に設定している場合、DARA[4:0] ビットには“00000b”を書いてください。

DMINT.DARIE ビットが“1”のとき、拡張リピートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 18.2 に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット (転送先アドレス更新モード設定ビット)

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0]=00b のとき +1、DMTMD.SZ[1:0]=01b のとき +2、DMTMD.SZ[1:0]=10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0]=00b のとき -1、DMTMD.SZ[1:0]=01b のとき -2、DMTMD.SZ[1:0]=10b のとき -4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0のみ可能です。

SARA[4:0] ビット (転送元アドレス拡張リピートエリア設定ビット)

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リピートエリアのサイズは2 バイトから 128M バイトまで設定可能です。設定間隔は2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 01b (転送元側がリピート領域またはブロック領域) に設定している場合、SARA[4:0] ビットには“00000b”を書いてください。

DMINT.SARIE ビットが“1”のとき、拡張リピートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 18.2 に拡張リピートエリアの設定と範囲を示します。

SM[1:0] ビット (転送元アドレス更新モード設定ビット)

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき -1、DMTMD.SZ[1:0] = 01b のとき -2、DMTMD.SZ[1:0] = 10b のとき -4 されます。

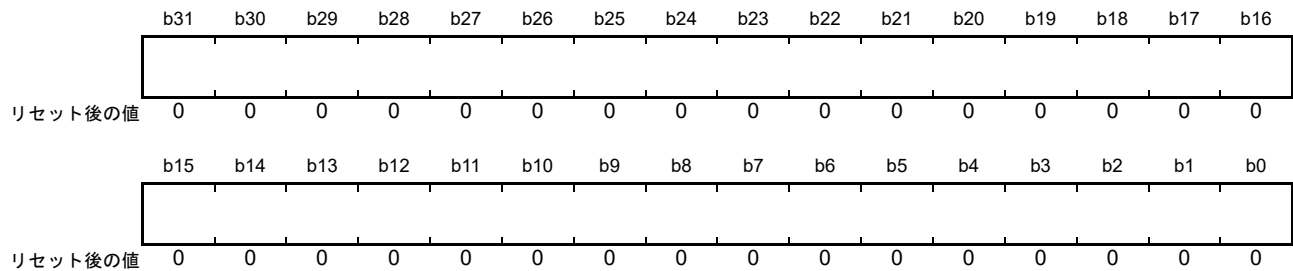
オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

表 18.2 拡張リピートエリアの設定と範囲

SARA[4:0]/DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット(2バイト)を拡張リピートエリアに設定する
00010b	当該アドレスの下位2ビット(4バイト)を拡張リピートエリアに設定する
00011b	当該アドレスの下位3ビット(8バイト)を拡張リピートエリアに設定する
00100b	当該アドレスの下位4ビット(16バイト)を拡張リピートエリアに設定する
00101b	当該アドレスの下位5ビット(32バイト)を拡張リピートエリアに設定する
00110b	当該アドレスの下位6ビット(64バイト)を拡張リピートエリアに設定する
00111b	当該アドレスの下位7ビット(128バイト)を拡張リピートエリアに設定する
01000b	当該アドレスの下位8ビット(256バイト)を拡張リピートエリアに設定する
01001b	当該アドレスの下位9ビット(512バイト)を拡張リピートエリアに設定する
01010b	当該アドレスの下位10ビット(1Kバイト)を拡張リピートエリアに設定する
01011b	当該アドレスの下位11ビット(2Kバイト)を拡張リピートエリアに設定する
01100b	当該アドレスの下位12ビット(4Kバイト)を拡張リピートエリアに設定する
01101b	当該アドレスの下位13ビット(8Kバイト)を拡張リピートエリアに設定する
01110b	当該アドレスの下位14ビット(16Kバイト)を拡張リピートエリアに設定する
01111b	当該アドレスの下位15ビット(32Kバイト)を拡張リピートエリアに設定する
10000b	当該アドレスの下位16ビット(64Kバイト)を拡張リピートエリアに設定する
10001b	当該アドレスの下位17ビット(128Kバイト)を拡張リピートエリアに設定する
10010b	当該アドレスの下位18ビット(256Kバイト)を拡張リピートエリアに設定する
10011b	当該アドレスの下位19ビット(512Kバイト)を拡張リピートエリアに設定する
10100b	当該アドレスの下位20ビット(1Mバイト)を拡張リピートエリアに設定する
10101b	当該アドレスの下位21ビット(2Mバイト)を拡張リピートエリアに設定する
10110b	当該アドレスの下位22ビット(4Mバイト)を拡張リピートエリアに設定する
10111b	当該アドレスの下位23ビット(8Mバイト)を拡張リピートエリアに設定する
11000b	当該アドレスの下位24ビット(16Mバイト)を拡張リピートエリアに設定する
11001b	当該アドレスの下位25ビット(32Mバイト)を拡張リピートエリアに設定する
11010b	当該アドレスの下位26ビット(64Mバイト)を拡張リピートエリアに設定する
11011b	当該アドレスの下位27ビット(128Mバイト)を拡張リピートエリアに設定する
11100b~11111b	設定しないでください

18.2.8 DMA オフセットレジスタ (DMOFR)

アドレス DMAC0.DMOFR 0008 2018h



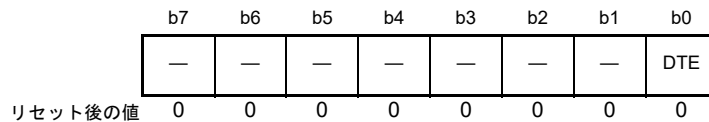
ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定する	00000000h~00FFFFFFh (0バイト~(16M-1)バイト) FFFFFFFFh~FFFFFFFh (-16Mバイト~-1バイト)	R/W

DMOFR レジスタを設定する場合は、データ転送中ではなく、DMAC 停止中、または DMA 転送が禁止されているときに書いてください。

ビット 31 ~ 25 への設定値は無効です、ビット 31 ~ 25 へはビット 24 の値がビット拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

18.2.9 DMA 転送許可レジスタ (DMCNT)

アドレス DMAC0.DMCNT 0008 201Ch, DMAC1.DMCNT 0008 205Ch, DMAC2.DMCNT 0008 209Ch,
DMAC3.DMCNT 0008 20DCh, DMAC4.DMCNT 0008 211Ch, DMAC5.DMCNT 0008 215Ch,
DMAC6.DMCNT 0008 219Ch, DMAC7.DMCNT 0008 21DCh



ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA 転送許可ビット	0 : DMA 転送を禁止 1 : DMA 転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTE ビット (DMA 転送許可ビット)

DMAST.DMST ビットが“1” (DMAC 動作) で、DTE ビットが“1” (DMA 転送を許可) のとき、対応するチャンネルの DMA 転送を開始することができます。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき
- 設定の総転送データ数の転送を終了したとき
- リピートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リピートエリアオーバフロー割り込みにより DMA 転送が停止したとき

18.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 0008 201Dh, DMAC1.DMREQ 0008 205Dh, DMAC2.DMREQ 0008 209Dh,
DMAC3.DMREQ 0008 20DDh, DMAC4.DMREQ 0008 211Dh, DMAC5.DMREQ 0008 215Dh,
DMAC6.DMREQ 0008 219Dh, DMAC7.DMREQ 0008 21DDh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CLRS	—	—	—	SWREQ

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動ビット	0 : DMA転送要求なし 1 : DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMAソフトウェア起動ビット自動クリア選択	0 : ソフトウェア起動後にSWREQビットをクリアする 1 : ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWREQ ビット (DMA ソフトウェア起動ビット)

SWREQ ビットに“1”を書き込むと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが“0”に設定されている場合、SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合、SWREQ ビットは“0”にクリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、DMTMD.DCTG[1:0] ビットを“00b” (DMAC 起動要因がソフトウェア) に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0] ビットが“00b”以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS ビットが“0”でソフトウェア起動を行う場合、SWREQ ビットが“0”であることを確認してから SWREQ ビットに“1”を書いてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- CLRS ビットが“0” (ソフトウェア起動後に SWREQ ビットをクリアする) に設定されているときに、ソフトウェアによる要求が受け付けられデータ転送が開始されたとき
- “0”を書き込んだとき

CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

SWREQ ビットへ“1”書き込みによる DMA 転送要求に対する転送を開始したときに、SWREQ ビットを“0”にクリアするかしないを設定します。CLRS ビットが“0”に設定されている場合、転送が開始されると SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合は、SWREQ ビットは“0”クリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

18.2.11 DMA ステータスレジスタ (DMSTS)

アドレス DMAC0.DMSTS 0008 201Eh, DMAC1.DMSTS 0008 205Eh, DMAC2.DMSTS 0008 209Eh,
DMAC3.DMSTS 0008 20DEh, DMAC4.DMSTS 0008 211Eh, DMAC5.DMSTS 0008 215Eh,
DMAC6.DMSTS 0008 219Eh, DMAC7.DMSTS 0008 21DEh

b7	b6	b5	b4	b3	b2	b1	b0
ACT	—	—	DTIF	—	—	—	ESIF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0: 転送エスケープ割り込み発生なし 1: 転送エスケープ割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0: 転送終了割り込みなし 1: 転送終了割り込みあり	R/W (注1)
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	DMA アクティブフラグ	0: DMACが停止中 1: DMACが動作中	R

注1. “0”のみ書けます。

ESIF フラグ (転送エスケープ割り込みフラグ)

転送エスケープ割り込みが発生したことを示すフラグです。

[“1”になる条件]

- DMINT.RPTIE ビットが“1”に設定されており、リピート転送モードにおいて1リピートサイズ分の転送終了後
- DMINT.RPTIE ビットが“1”に設定されており、ブロック転送モードにおいて1ブロックの転送終了後
- DMINT.SARIE ビットが“1”に設定され、DMAMD.SARA[4:0] ビットに“00000b”以外(転送元アドレスを拡張リピートエリアに指定)に設定されているときに、転送元アドレスの拡張リピートエリアオーバーフローが発生したとき
- DMINT.DARIE ビットが“1”に設定され、DMAMD.DARA[4:0] ビットに“00000b”以外(転送先アドレスを拡張リピートエリアに指定)に設定されているときに、転送先アドレスの拡張リピートエリアオーバーフローが発生したとき

[“0”になる条件]

- “0”を書いたとき
- DMCNT.DTE ビットに“1”を書いたとき

DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示すフラグです。

[“1”になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき(DMCRALレジスタが“0”になり転送が終了したとき)
- リピート転送モードにおいて指定リピート回数の転送が終了したとき(DMCRBレジスタが“0”になり転送が終了したとき)
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき(DMCRBレジスタが“0”になり転送が終了したとき)

[“0”になる条件]

- “0”を書いたとき
- DMCNT.DTE ビットに“1”を書いたとき

ACT フラグ (DMA アクティブフラグ)

DMAC が動作中か停止中であることを示すフラグです。

[“1”になる条件]

- DMAC が転送動作を開始したとき

[“0”になる条件]

- 1 転送要求に対する転送がすべて終了したとき

18.2.12 DMAC 起動要因フラグ制御レジスタ (DMCSL)

アドレス DMAC0.DMCSL 0008 201Fh, DMAC1.DMCSL 0008 205Fh, DMAC2.DMCSL 0008 209Fh,
DMAC3.DMCSL 0008 20DFh, DMAC4.DMCSL 0008 211Fh, DMAC5.DMCSL 0008 215Fh,
DMAC6.DMCSL 0008 219Fh, DMAC7.DMCSL 0008 21DFh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DISEL

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DISEL	インタラプト選択ビット	0: 転送開始時に起動要因となった割り込みフラグを“0”クリアする 1: 転送終了時に起動要因となった割り込みフラグによりCPUに割り込み要求が発生する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DISEL ビット (インタラプト選択ビット)

DMAC の転送開始時に起動要因となった割り込みフラグを“0”クリアするか、割り込みフラグによりCPUへ割り込みを発生するかを選択します。

なお、DMTMD.DCTG[1:0]=00b (ソフトウェアによる起動) に設定している場合は、DISEL ビットの設定値は無効です。

18.2.13 DMAC モジュール起動レジスタ (DMAST)

アドレス 0008 2200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC動作許可ビット	0 : DMAC停止 1 : DMAC動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMST ビット (DMAC 動作許可ビット)

DMST ビットを“1”にすると、DMAC の全チャンネルが転送要求を受け付けるようになります。

複数チャンネルの DMACm.DMCNT.DTE ビットに“1”(DMA 転送を許可)を書いた後に DMST ビットを“1”(DMAC 動作)にすると、複数チャンネルを同時に転送要求受け付け可能状態にすることができます。

また、DMA 転送中に DMST ビットを“0”にすると、実行中の 1 転送要求に対するデータ転送が終了した後に全チャンネルの DMA 転送動作が停止します。この状態で、再度 DMST ビットを“1”にすると継続して DMA 転送を行うことができます。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- “0”を書いたとき

18.2.14 DMAC74 割り込みステータスマニタレジスタ (DMIST)

アドレス 0008 2204h

b7	b6	b5	b4	b3	b2	b1	b0
DMIS7	DMIS6	DMIS5	DMIS4	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効です。	R
b4	DMIS4	DMAC4割り込みステータスフラグ	0 : DMAC4割り込み要求なし 1 : DMAC4割り込み要求あり	R
b5	DMIS5	DMAC5割り込みステータスフラグ	0 : DMAC5割り込み要求なし 1 : DMAC5割り込み要求あり	R
b6	DMIS6	DMAC6割り込みステータスフラグ	0 : DMAC6割り込み要求なし 1 : DMAC6割り込み要求あり	R
b7	DMIS7	DMAC7割り込みステータスフラグ	0 : DMAC7割り込み要求なし 1 : DMAC7割り込み要求あり	R

DMIS_m フラグ (DMAC_m 割り込みステータスフラグ) (m = 4 ~ 7)

DMAC_m の割り込み要求をモニタするフラグです。書き込みは無視されます。

DMAC_m.DMINT.DTIE ビットが“1”かつ DMAC_m.DMSTS.DTIF フラグが“1”のとき、もしくは、DMAC_m.DMINT.ESIE ビットが“1”、かつ、DMAC_m.DMSTS.ESIF フラグが“1”のとき、DMIST.DMIS_m フラグは“1”になります。

18.3 動作説明

18.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは1回の転送要求について1データの転送を行います。DMACm.DMCRALレジスタの設定により、最大65535データの指定転送回数を設定できます。また、DMACm.DMCRALレジスタを“0000h”に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います(フリーランニングモード)。DMACm.DMCRBレジスタの設定はノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を表18.3に、ノーマル転送モードの動作を図18.2に示します。

表18.3 ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)
DMACm.DMCRAL	転送カウンタ	1減算/更新なし(フリーランニングモード時)
DMACm.DMCRAH	—	更新されません。(ノーマル転送モードでは使用しません)
DMACm.DMCRB	—	更新されません。(ノーマル転送モードでは使用しません)

注1. オフセット加算はDMAC0のみ指定可能です。

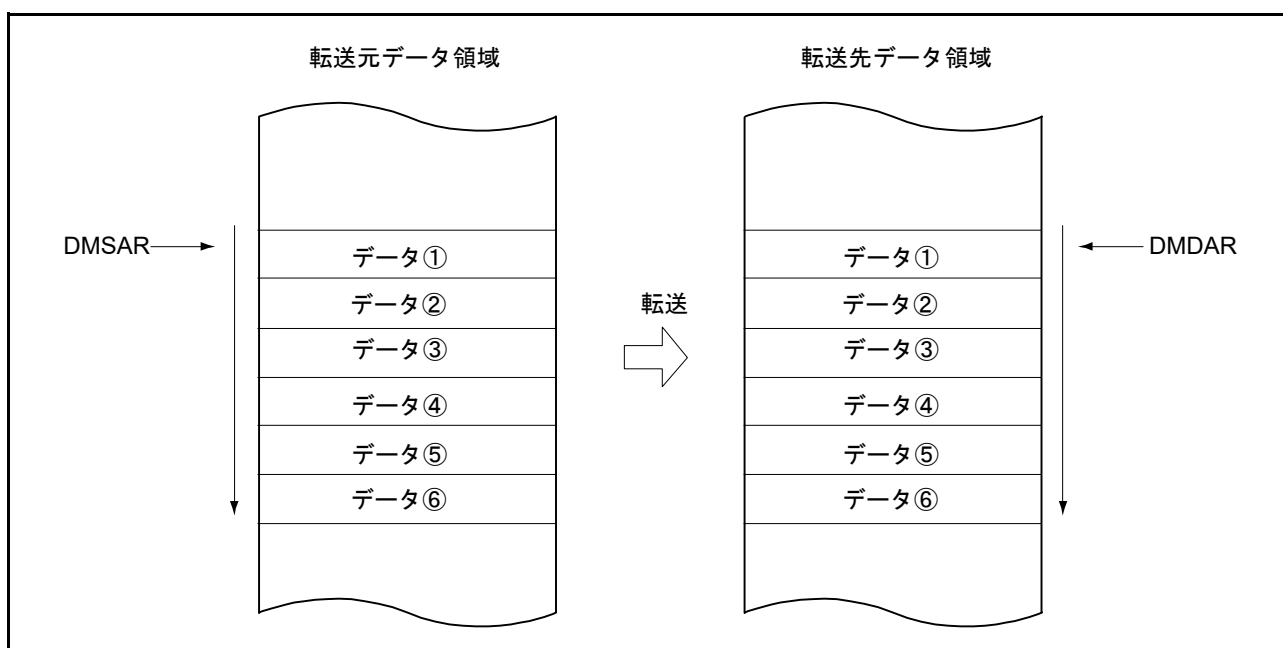


図18.2 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。

DMACm.DMCRA レジスタで最大 1K データのリピートサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 64K 回の指定リピート回数を設定できます。総データ転送数は最大 1K データ × 64K リピート回数 = 64M データの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA 転送を停止しリピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むと DMA 転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を表 18.4 に、リピート転送モードの動作を図 18.3 に示します。

表 18.4 リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		DMACm.DMCRAL レジスタが1以外のとき	DMACm.DMCRAL レジスタが1のとき (リピートサイズの最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/ オフセット加算(注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/ オフセット加算(注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算(注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/ オフセット加算(注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/ オフセット加算(注1) DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算(注1)
DMACm.DMCRAH	リピートサイズ	保持	保持
DMACm.DMCRAL	転送カウンタ	1減算	DMACm.DMCRAH
DMACm.DMCRB	リピート回数カウンタ	保持	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

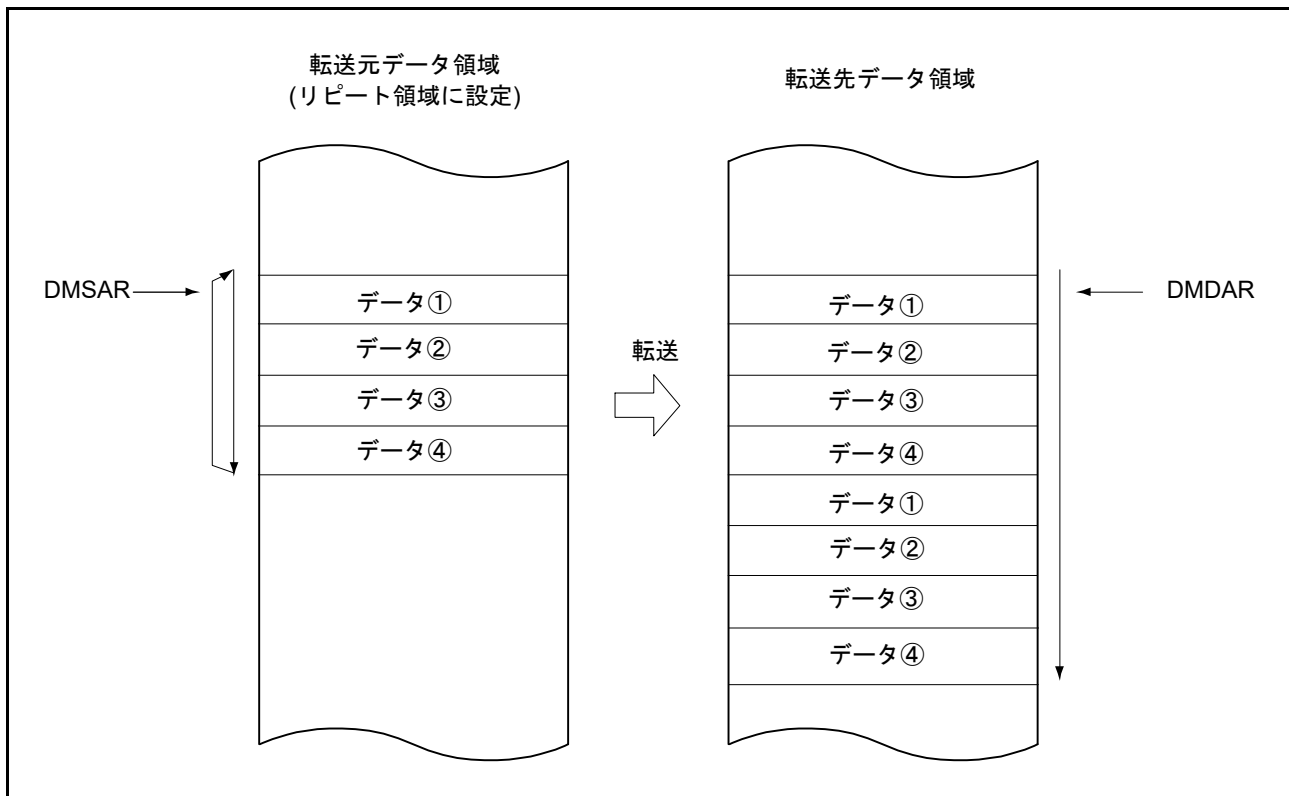


図 18.3 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックのデータ転送を行います。

DMACm.DMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 64K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ × 64K ブロック回数 = 64M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、1ブロックのデータ転送が終了すると初期アドレスに回復します。ブロック転送モードでは、1ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を表 18.5 に、ブロック転送モードの動作を図 18.4 に示します。

表 18.5 ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
DMACm.DMSAR	転送元アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算(注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算(注1)
DMACm.DMDAR	転送先アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算(注1) DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算(注1)
DMACm.DMCRAH	ブロックサイズ	保持
DMACm.DMCRAL	ブロックサイズカウンタ	DMACm.DMCRAH
DMACm.DMCRB	転送ブロック数カウンタ	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

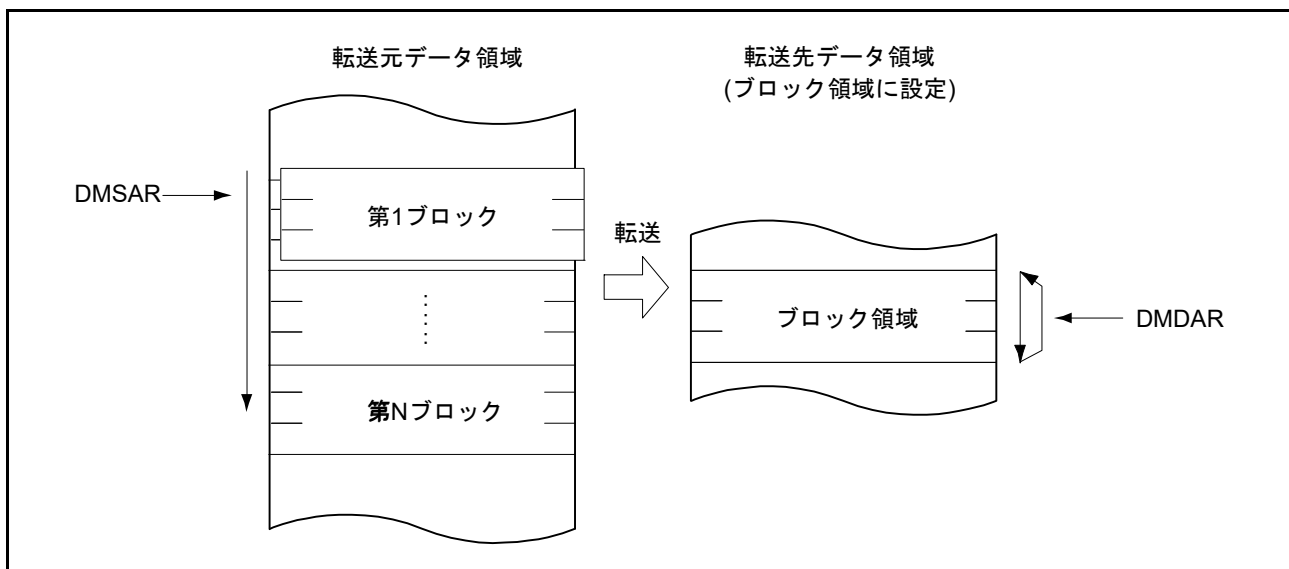


図 18.4 ブロック転送モードの動作

18.3.2 拡張リピートエリア機能

DMACには転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、DMACm.DMSARレジスタ(転送元アドレスレジスタ)、DMACm.DMDARレジスタ(転送先アドレスレジスタ)に独立して設定できます。

転送元アドレスの拡張リピートエリアはDMACm.DMAMD.SARA[4:0]ビットで設定します。転送先アドレスの拡張リピートエリアはDMACm.DMAMD.DARA[4:0]ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定したエリア(転送元または転送先)を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA転送を一時停止させて、拡張リピートエリアオーバーフロー割り込み要求が発生することができます。DMACm.DMINT.SARIEビットを“1”にすると、転送元アドレスの拡張リピートエリアがオーバーフローしたときにDMACm.DMSTS.ESIFフラグが“1”になり、DMACm.DMCNT.DTEビットを“0”にしてDMA転送を終了します。このとき、DMACm.DMINT.ESIEビットが“1”になっていると、拡張リピートエリアオーバーフロー割り込み要求が発生します。

DMACm.DMINT.DARIEビットを“1”にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバーフロー割り込み処理で、DMACm.DMCNT.DTEビットを“1”にすると、DMA転送を再開することができます。

図18.5に拡張リピートエリア機能の例を示します。

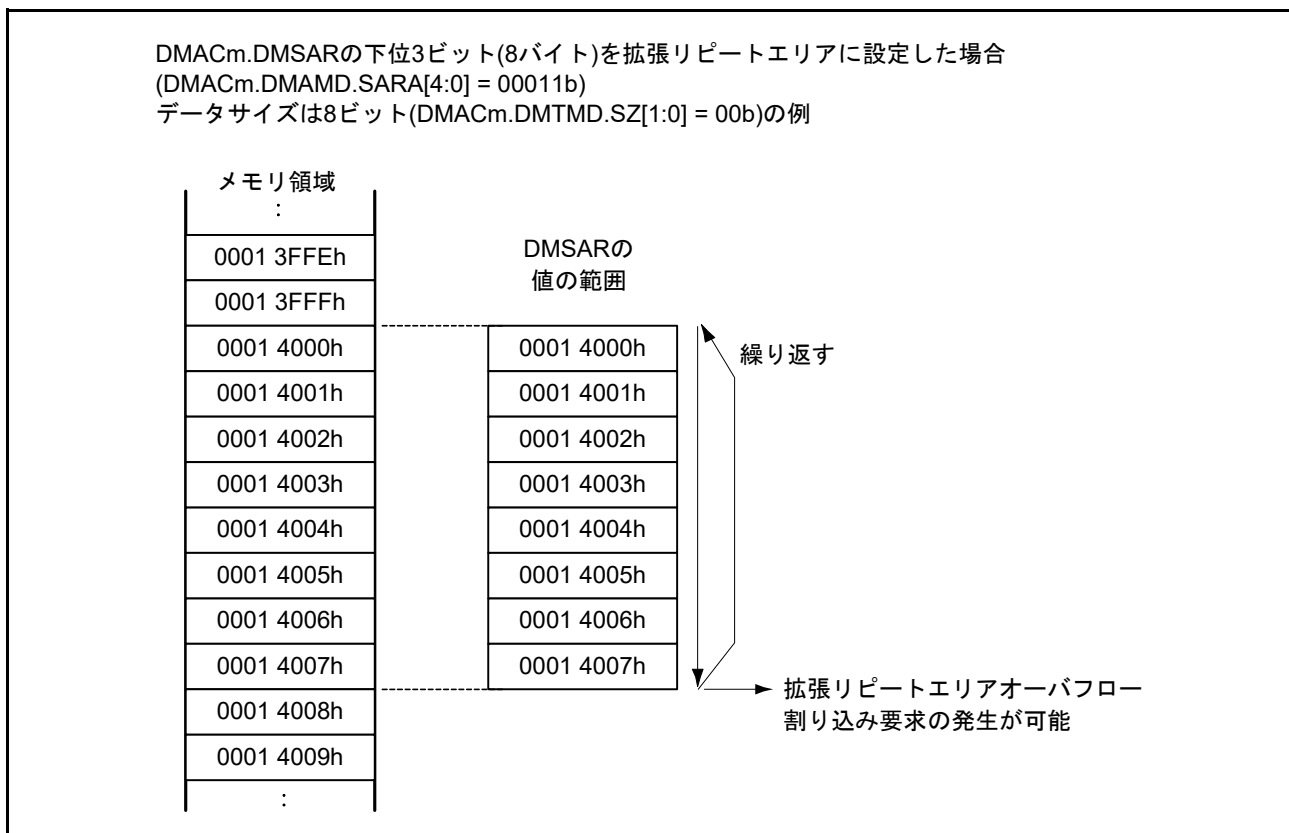


図 18.5 拡張リピートエリア機能の例

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、以下の注意が必要です。

拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックのデータを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックのデータ転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

図 18.6 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

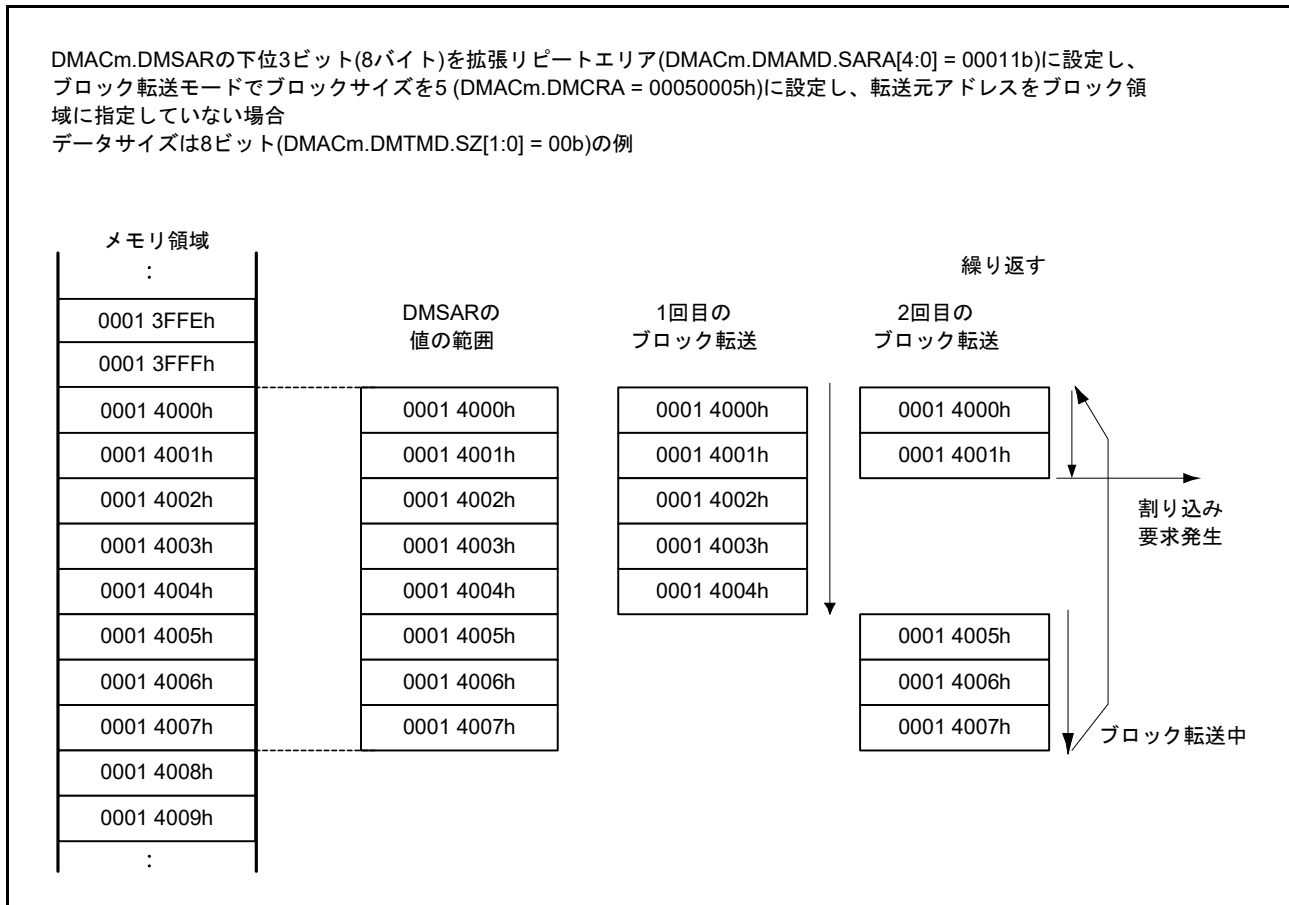


図 18.6 ブロック転送モードと拡張リピートエリア機能を併用した例

18.3.3 オフセットを使ったアドレス更新機能

転送元アドレス、転送先アドレスの更新方法の種類として、固定/インクリメント/デクリメントの他にオフセット加算があります。オフセット加算では、1データの転送を行うたびにDMA オフセットレジスタ(DMAC0.DMOFR)に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

また、DMAC0.DMOFR レジスタに2の補数で負の値を設定すると、オフセットによる減算も実現可能です。オフセットを使ったアドレス更新機能を使用できるチャンネルはDMAC0のみです。各アドレス更新モードでのアドレス更新方法を表18.6に示します。

表 18.6 各アドレス更新モードでのアドレス更新方法

アドレス更新モード	DMACm.DMAMD.SM[1:0] DMACm.DMAMD.DM[1:0] アドレス更新モード設定値	更新方法 (DMACm.DMTMD.SZ[1:0]設定値別更新方法)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR (注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注1. DMAオフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現 = $\sim(\text{オフセット値}) + 1$ (\sim : ビット反転)

(1) オフセット加算を使用した基本的な転送

オフセットによるアドレス更新機能の動作例を図18.7に示します。

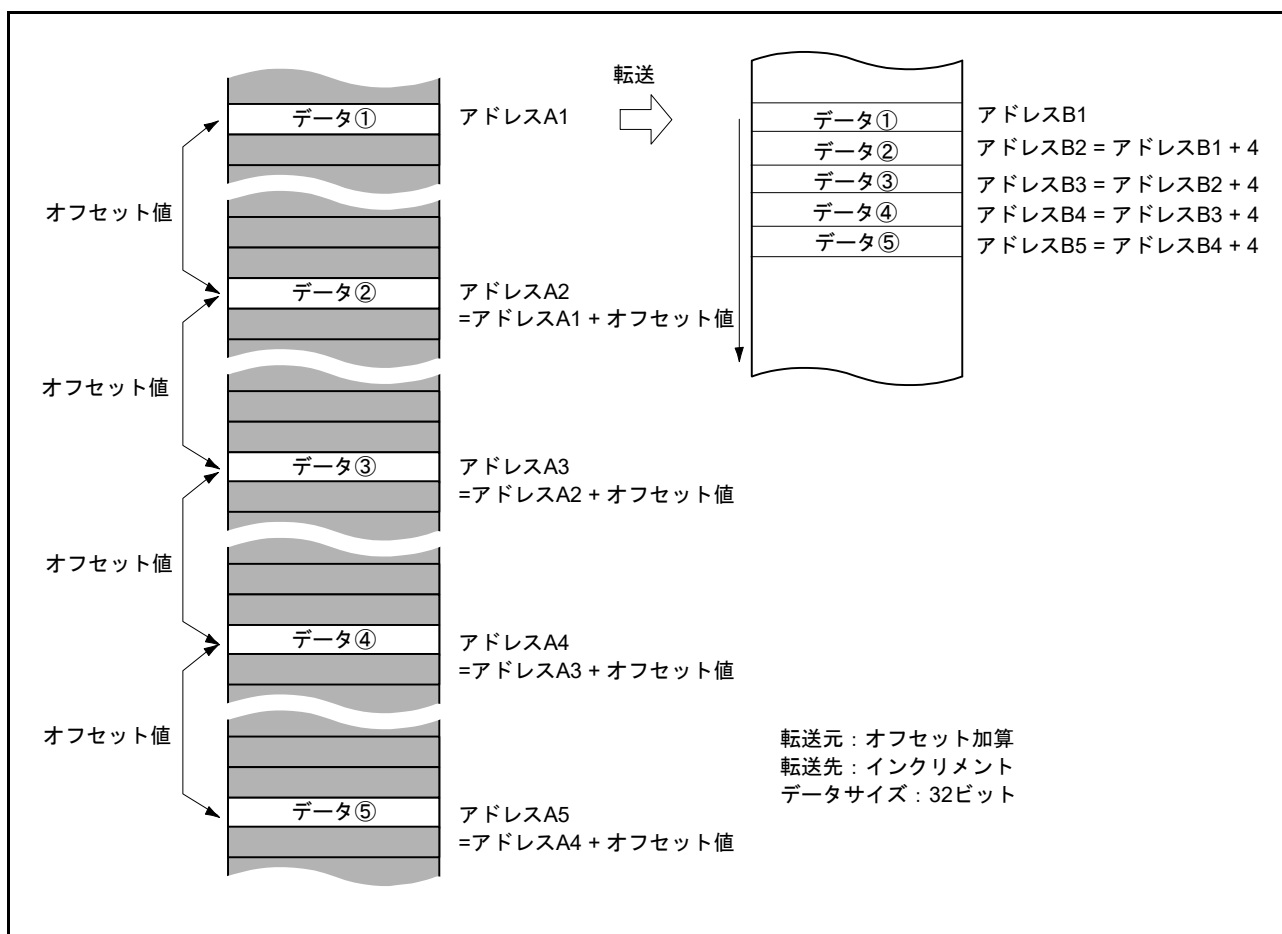


図 18.7 オフセットによるアドレス更新機能の動作例

図 18.7 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの2回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセット加算を使った XY 変換例

図 18.8 にリポート転送モードとオフセット加算を組み合わせる XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD レジスタ：転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD レジスタ：転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD レジスタ：転送データサイズビット：32 ビット転送
- DMAC0.DMTMD レジスタ：転送モード設定ビット：リポート転送
- DMAC0.DMTMD レジスタ：リポート領域選択ビット：転送元側がリポート領域
- DMAC0.DMOFR レジスタ：オフセットアドレス：10h
- DMAC0.DMCRA レジスタ：リポートサイズ：4h
- DMAC0.DMINT レジスタ：リポートサイズ終了割り込みを許可に設定

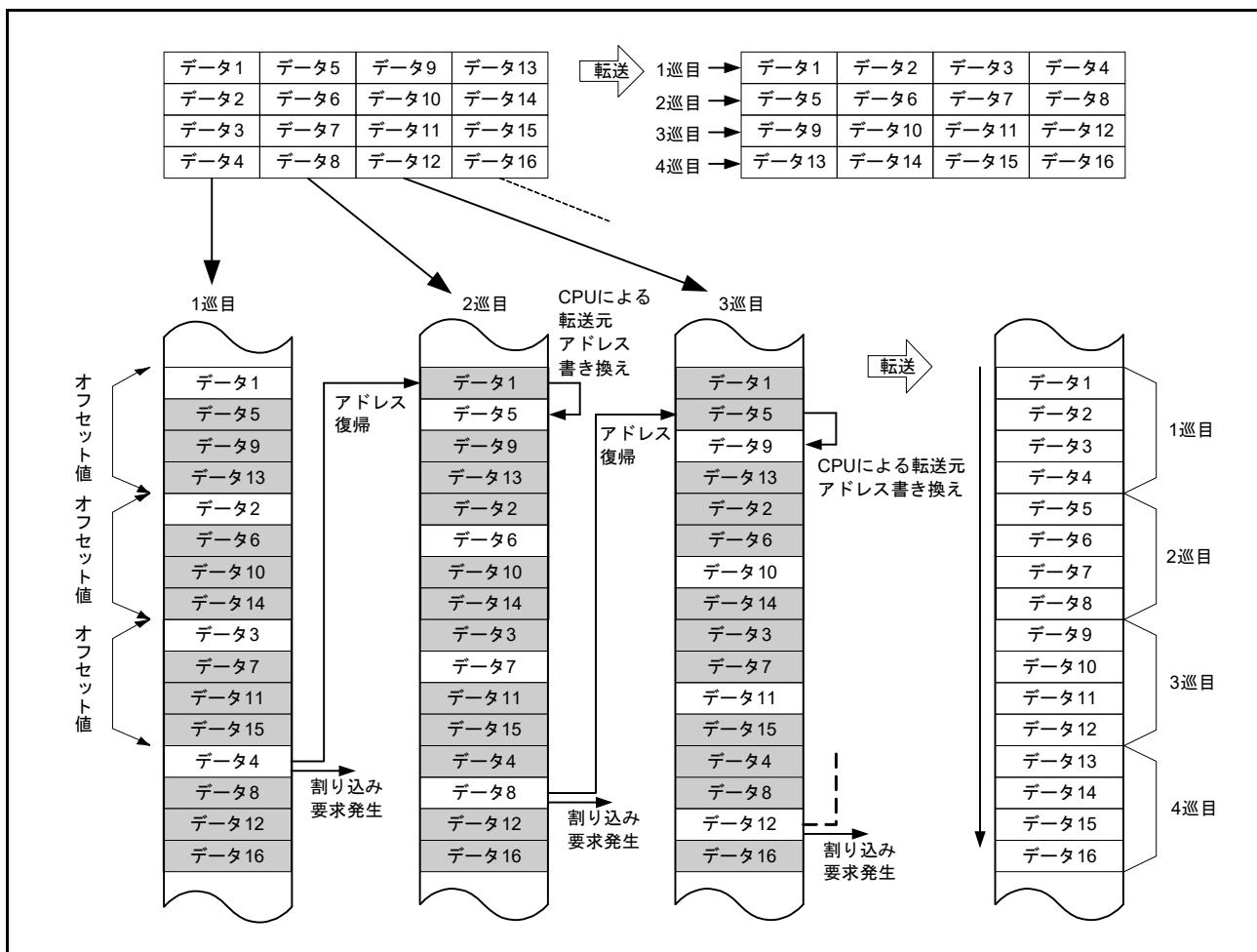


図 18.8 リポート転送モード + オフセット加算による XY 変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“データ 4”までのデータが転送されると、リポートサイズ分のデー

データを転送したことになり、DMACは転送元のアドレスを転送開始時のアドレス(転送元“データ1”のアドレス)に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により、いったん転送が中断します。割り込みで以下の処理を行ってください。

- DMAC0.DMSARレジスタ：DMA転送元アドレスを“データ5”のアドレスに書き換え
(上記の例では“データ1”のアドレスに4を加算した値に書き換え)

- DMAC0.DMCNTレジスタ：DTEビットに“1”書き込み

DMA転送が中断した状態から引き続きDMA転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先にXY変換されて転送されます。

図18.9にXY変換の処理フローを示します。

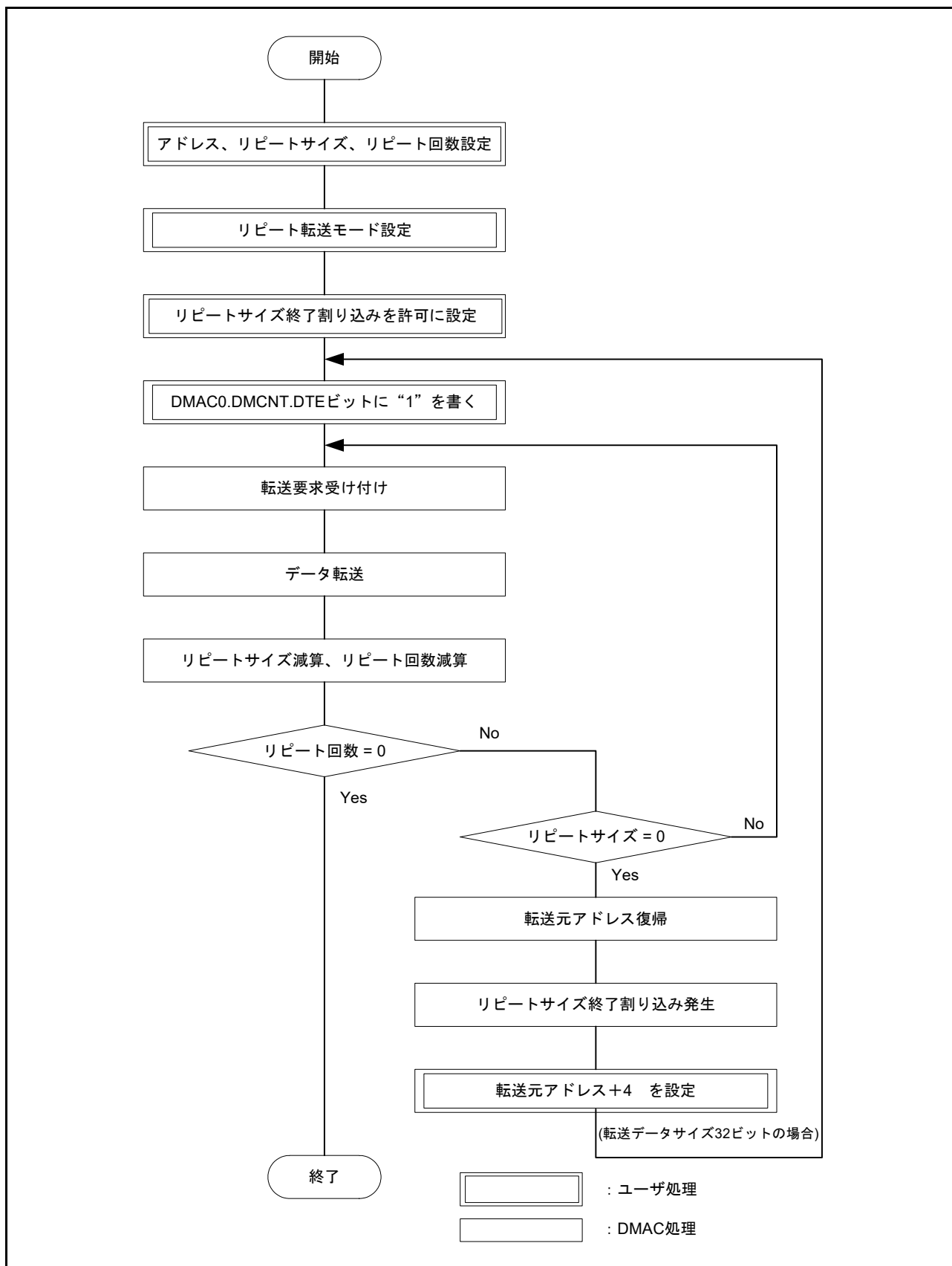


図 18.9 リピート転送モード+オフセット加算によるXY変換のフロー

18.3.4 起動要因

DMAC の起動要因には、ソフトウェア、周辺モジュールからの割り込み要求、外部割り込み要求があります。これらの起動要因の選択は DMACm.DMTMD.DCTG[1:0] ビットで設定できます。

(1) ソフトウェアによる起動

DMACm.DMTMD.DCTG[1:0] ビットを “00b” にするとソフトウェアによる起動が可能となります。

ソフトウェアによる起動により DMA 転送を開始するには、DMACm.DMTMD.DCTG[1:0] ビットを “00b” にした後に、DMACm.DMCNT.DTE ビットを “1” (DMA 転送許可) にしてください。また、DMAST.DMST ビットを “1” (DMAC 動作) にしてください。その後、DMACm.DMREQ.SWREQ ビットに “1” (DMA 転送要求あり) を書くと DMA 動作が開始します。

DMACm.DMREQ.CLRS ビットが “0” でソフトウェア起動を行った場合、DMA 転送要求に対する転送が開始されると DMACm.DMREQ.SWREQ ビットが “0” になります。DMACm.DMREQ.CLRS ビットが “1” でソフトウェア起動を行った場合は、転送を開始しても DMACm.DMREQ.SWREQ ビットは “0” になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

(2) 周辺モジュール / 外部割り込み要求による起動

周辺モジュールからの割り込み要求、または外部割り込み要求を DMA 転送起動要因に指定することができます。起動要因の選択は割り込みコントローラ (ICU) の ICU.DMRSRm レジスタ (m = 0 ~ 7) で選択します。チャンネルごとに独立して設定可能です。

周辺モジュールからの割り込み要求、外部割り込み要求により DMA を起動するには、DMACm.DMTMD.DCTG[1:0] ビットを “01b” (周辺モジュールおよび外部割り込み端子からの割り込み) にした後に、DMACm.DMCNT.DTE ビットを “1” (DMA 転送を許可) にしてください。また、DMAST.DMST ビットを “1” (DMAC 動作) にしてください。その後に割り込み要求が発生すると、DMA 動作を開始します。

DMAC の起動要因となる割り込み要因一覧は、「15. 割り込みコントローラ (ICUE)」の「表 15.5 割り込みベクタテーブル」を参照してください。

18.3.5 動作タイミング

図 18.10、図 18.11 に DMAC の動作タイミングの例を示します。

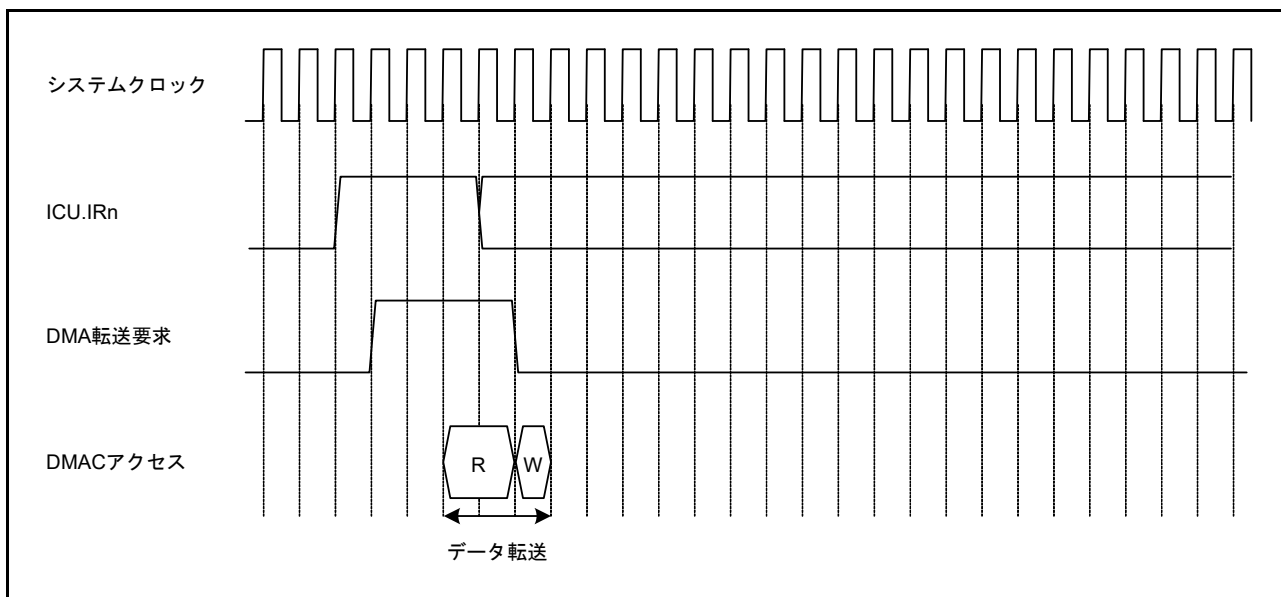


図 18.10 DMAC 動作タイミング例 (1) (周辺モジュール / 外部割り込み入力端子からの割り込みによる DMA 転送、ノーマル転送モード、リピート転送モードの場合)

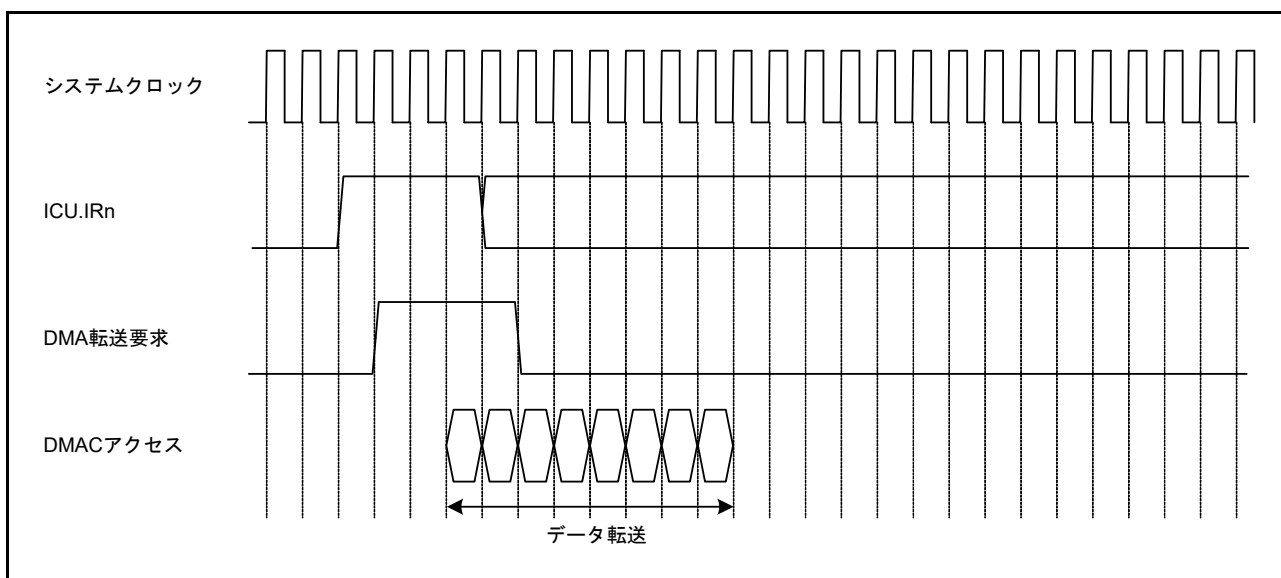


図 18.11 DMAC 動作タイミング例 (2) (周辺モジュール / 外部割り込み入力端子からの割り込みによる DMA 転送、ブロック転送モード、ブロックサイズ = 4 の場合)

18.3.6 DMACの実行サイクル

表 18.7 に DMAC の 1 回のデータ転送の実行状態を示します。

表 18.7 DMACの実行サイクル

転送モード	データ転送(リード)	データ転送(ライト)
ノーマル	Cr + 1	Cw
リピート	Cr + 1	Cw
ブロック(注1)	P × Cr	P × Cw

注1. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (DMCRAH レジスタの設定値)

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

Cr、Cwはアクセス先で異なります。アクセス先ごとのサイクル数は、「53. RAM」、「55. フラッシュメモリ (FLASH)」、「5. I/O レジスタ」、「16.2.7 外部バス」を参照してください。

データ転送(リード)の「+1」の単位はシステムクロック (ICLK) です。

動作例は「18.3.5 動作タイミング」を参照してください。

18.3.7 DMAC の起動

図 18.12 にレジスタの設定手順を示します。



図 18.12 レジスタの設定手順

18.3.8 DMA 転送の開始

DMACm.DMCNT.DTE ビットを“1”(DMA 転送許可)にして、DMAST.DMST ビットを“1”(DMAC 動作)にすると、チャンネル m ($m=0 \sim 7$) の DMA 転送が可能になります。

他の DMAC チャンネル、DTC の転送中は新たな転送要求は受け付けません。先行する転送が終了した時点で最も優先順位の高いチャンネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送が開始すると、DMACm.DMSTS.ACT フラグが“1”(DMAC 動作中)になります。

18.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、DMACm.DMSTS です。

(1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 18.3 ~ 表 18.5 を参照してください。

(2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 18.3 ~ 表 18.5 を参照してください。

(3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 18.3 ~ 表 18.5 を参照してください。

(4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 18.3 ~ 表 18.5 を参照してください。

(5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送状態によって以下のいずれかの条件が成立した場合は、自動的に DMACm.DMCNT.DTE ビットが“0”になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバーフロー割り込み要求が発生し、転送が終了したとき

DMACm.DMCNT.DTE ビットが“1”になっているチャンネルのレジスタの書き込みは禁止です (DMACm.DMCNT レジスタを除く)。DMACm.DMCNT.DTE ビットに“0”を設定した状態で、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ (DMACm.DMSTS.ACT)

DMACm が停止中か動作中であることを示します。DMACm.DMSTS.ACT フラグは DMAC が転送動作を開始すると“1”にセットされ、1 転送要求に対するデータ転送を終了すると“0”になります。

DMA 転送中に DMACm.DMCNT.DTE ビットに“0”をライトし、DMA 転送を停止させた場合でも、DMA 転送が終了するまで“1”を保持します。

(7) 転送終了割り込みフラグ (DMACm.DMSTS.DTIF)

DMA 転送によって総転送サイズ分の転送を終了すると、DMACm.DMSTS.DTIF フラグは“1”にセットされます。

DMACm.DMSTS.DTIF フラグが“1”にセットされ、DMACm.DMINT.DTIE ビットが“1”にセットされていると転送終了割り込み要求を発生します。

DMACm.DMSTS.DTIF フラグが“1”にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT フラグが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.DTIF フラグが“0”クリアされます。

(8) 転送エスケープ割り込みフラグ (DMACm.DMSTS.ESIF)

リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは“1”にセットされます。DMACm.DMSTS.ESIF フラグが“1”にセットされ、DMACm.DMINT.ESIE ビットが“1”にセットされていると転送エスケープ割り込み要求を発生します。

DMACm.DMSTS.ESIF フラグに“1”がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT フラグが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.ESIF フラグが“0”にクリアされます。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。

18.3.10 チャネルの優先順位

DMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 > チャンネル 4 > チャンネル 5 > チャンネル 6 > チャンネル 7 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行い、優先順位の高いチャネルの転送が開始されます。

18.4 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが“1”から“0”になり、DMA 転送が終了したことを示します。

18.4.1 設定した総データ転送による転送終了

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) のとき

DMACm.DMCRAL レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。

18.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが“1”にセットされているときに、1 リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。またこの状態から DMACm.DMCNT.DTE ビットを“1”にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求が発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に、同様にリピートサイズ終了割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。

18.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが“1”にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。

18.5 割り込み

DMACはチャンネルごとに、1要求分の転送完了後にCPUまたはDTCに割り込み要求を出力させることができます。転送先が外部バス、または内部周辺バスの場合、実転送先への書き込み完了ではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求を発行します。

割り込みの要因、フラグ、許可ビットの関係を表18.8に、割り込み出力の概略論理図(DMAC0～DMAC3)を図18.13に、割り込み出力の概略論理図(DMAC4～DMAC7)を図18.14に示します。また、DMAC割り込み処理で、DMA転送を再開/中止する手順を図18.15に示します。

表18.8 割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力許可
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピートエリアオーバーフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピートエリアオーバーフロー	DMACm.DMINT.DARIE		

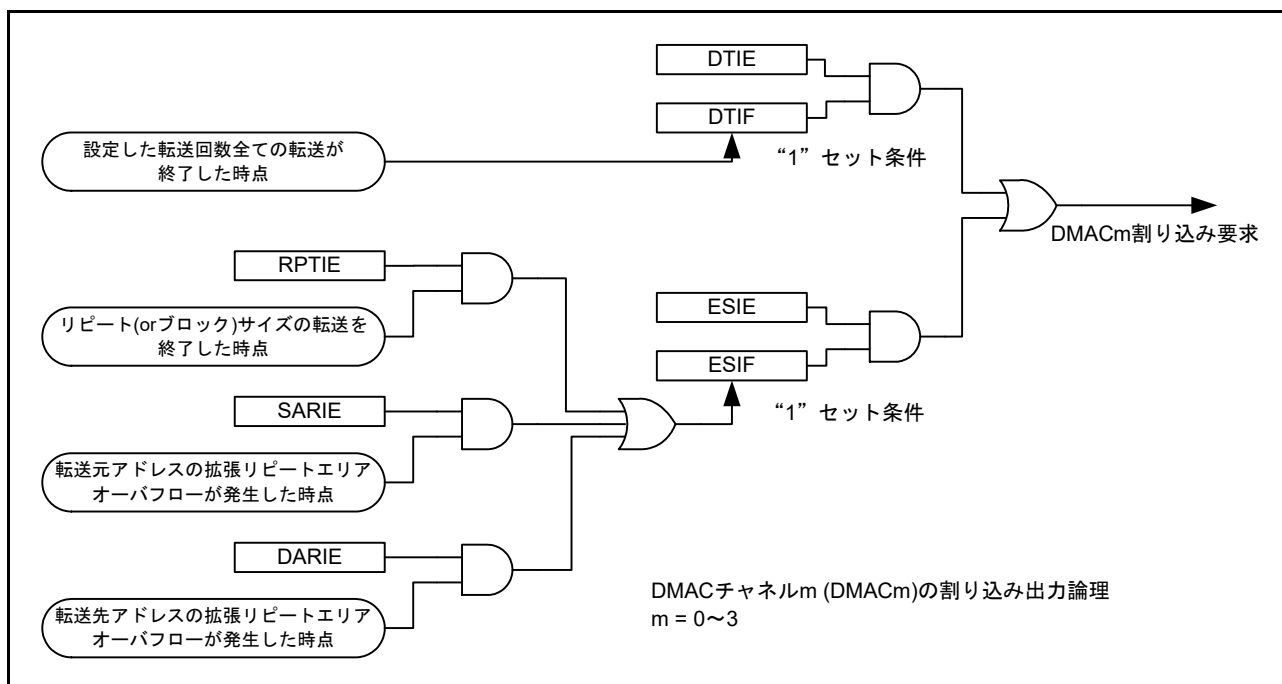


図18.13 割り込み出力の概略論理図(DMAC0～DMAC3)

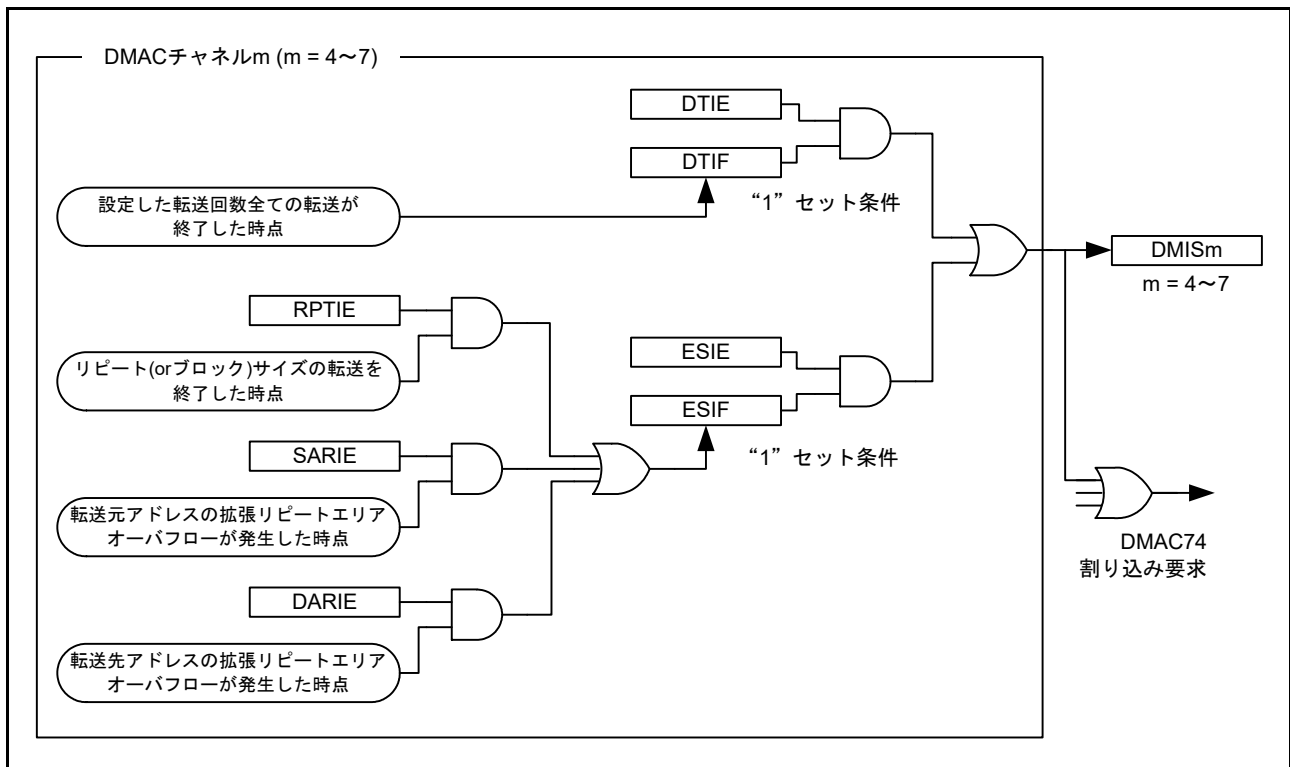


図 18.14 割り込み出力の概略論理図 (DMAC4 ~ DMAC7)

割り込み処理ルーチンで、割り込みを解除して DMA 転送を再開する方法は、DMA 転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1) DMA 転送を終了または中止させる場合

転送終了割り込みの場合は DMACm.DMSTS.DTIF フラグに、リピートサイズ割り込みおよび拡張リピートエリアオーバーフロー割り込みの場合は DMACm.DMSTS.ESIF フラグに“0”を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後新たな DMA 転送を行う場合は、必要なレジスタに設定値を書き込み、DMACm.DMCNT.DTE ビットに“1” (DMA 転送許可) を書き込んでください。

(2) DMA 転送を継続させる場合

DMACm.DMCNT.DTE ビットに“1”を書き込んでください。自動的に DMACm.DMSTS.ESIF フラグが“0”にクリア (割り込み要因がクリア) され、転送が再開します。

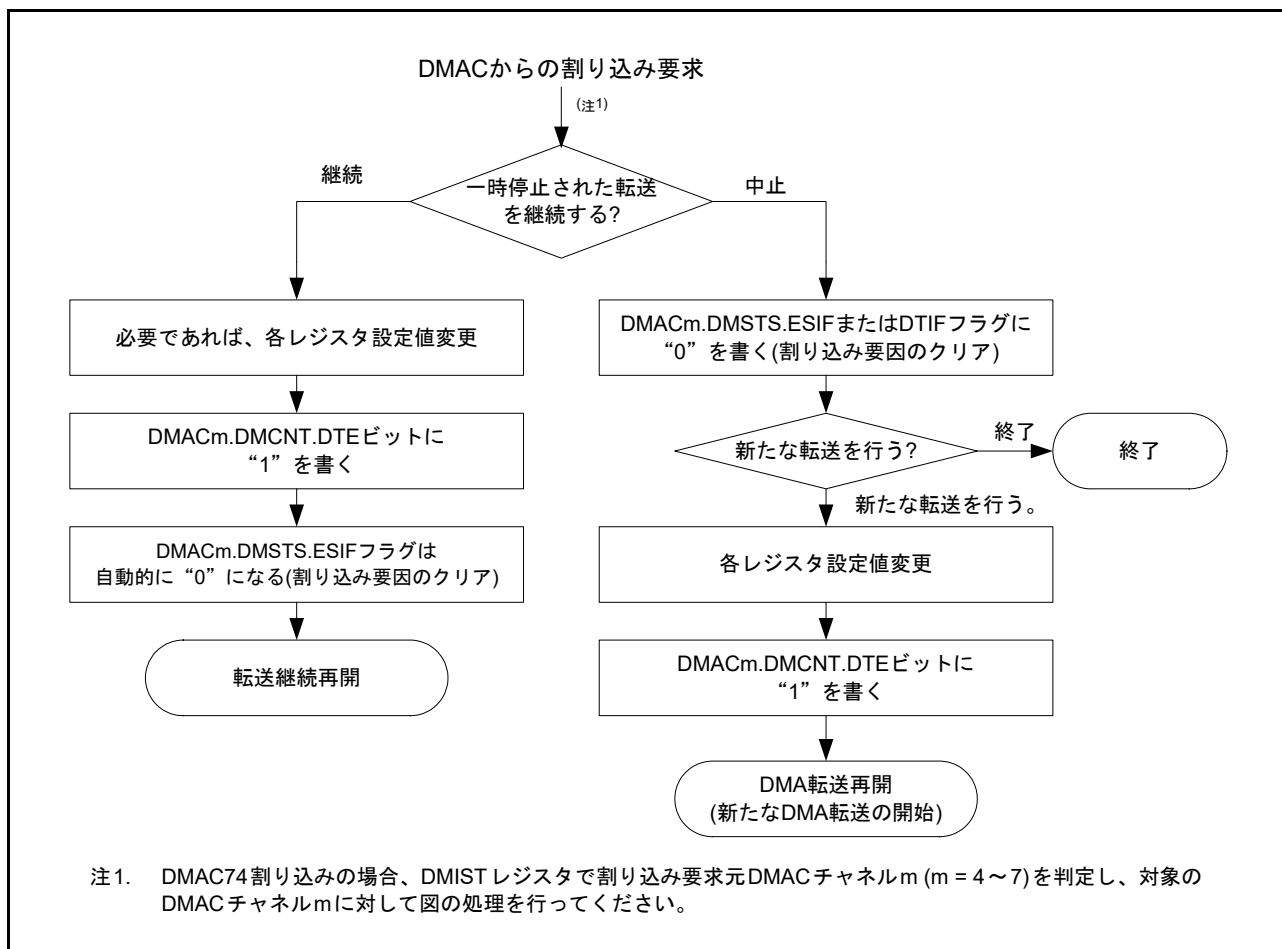


図 18.15 DMAC 割り込み処理で DMA 転送を再開 / 中止する手順

18.6 イベントリンク

各 DMAC チャンネルは、1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を出力します。ただし、転送先が「外部バス」、もしくは、「内部周辺バス」の場合、ライトバッファへの書き込みが受け付けられた時点で、イベントリンク要求を発行します。

18.7 消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DMAST.DMST ビットに“0” (DMAC 停止) を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1” を書いたときに DMA 転送動作中の場合、DMA 転送の終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1” のとき、DMAC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DMAC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の「11.6.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合は、DMA 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに“0” を書くことにより、DMAC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」、もしくは「11.6.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットに“1” を書いてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DMAC 起動でなく CPU 割り込みとする場合は、「15. 割り込みコントローラ (ICUE)」の「15.7.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

18.8 使用上の注意事項

18.8.1 外部デバイスを使用する場合

外部デバイスへの DMA 転送では、最後のデータライトが開始されてから外部バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが“0” (DMAC 停止中) になることがあります。

18.8.2 周辺モジュールへ DMA 転送する場合

周辺モジュールへの DMA 転送では、最後のデータライトが開始されてから周辺バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが“0” (DMAC 停止中) になることがあります。

18.8.3 DMA 動作中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが“1” (DMAC 動作中)、または DMACm.DMCNT.DTE ビットが“1” (DMA 転送許可) の状態で、同じチャンネルの設定レジスタ (DMSAR, DMDAR, DMCRA, DMCRA, DMCRB, DMTMD, DMINT, DMAMD, DMOFR, DMCSL) への書き込みは行わないでください。

18.8.4 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域についての詳細は「4. アドレス空間」を参照してください。

18.8.5 DMAC 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの割り込み要求について

DMACm.DMCSL.DISEL ビットを“1”に設定すると、1回の DMA 転送要求に対する転送が終了する度に CPU へ割り込み要求を発生させることができます。このとき発生する割り込みは、DMAC が出力する転送終了割り込み、エスケープ終了割り込みとは異なり、DMAC の起動要因となった割り込みフラグを DMA 転送終了時に“0”クリアせずに割り込み要求先を CPU に切り替えることにより、CPU への割り込み要求が発生します。割り込みフラグは、CPU 割り込み受け付け時にクリアされます。

割り込みフラグ、割り込み要求先変更については、「15. 割り込みコントローラ (ICUE)」を参照してください。また、DMACm.DMCSL.DISEL ビットの設定は、「18.2.12 DMAC 起動要因フラグ制御レジスタ (DMCSL)」を参照してください。

18.8.6 割り込みコントローラの DMAC 起動要因選択レジスタ (ICU.DMRSRm) の設定

DMAC 起動要因選択レジスタ (ICU.DMRSRm) の設定は、DMA 転送許可ビット (DMACm.DMCNT.DTE ビット) が“0” (DMA 転送を禁止) のときに行ってください。また、ICU.DMRSRm レジスタで設定したベクタ番号と同じベクタ番号に対応する DTC 転送要求許可レジスタ (ICU.DTCERn) を“1”にしないでください。ICU.DTCERn、ICU.DMRSRm レジスタの詳細は、「15. 割り込みコントローラ (ICUE)」を参照してください。

18.8.7 DMA 転送の保留 / 再開方法

DMA 転送要求を保留する場合は、起動要因の割り込み許可ビット (ICU.IERn.IENj ビット) を“0”にしてください。DMA 転送を再開する場合は「18.3.7 DMAC の起動」を設定した状態で、ICU.IERn.IENj ビットを“1”にしてください。

19. EXDMA コントローラ (EXDMACa)

本 MCU は、2 チャンネルの外部バス転送専用 DMAC (EXDMAC) を内蔵しています。

EXDMAC は、CPU を介さずにデータ転送を行います。EXDMAC は転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

19.1 概要

表 19.1 に EXDMAC の仕様を、図 19.1 に EXDMAC のブロック図を示します。

表 19.1 EXDMAC の仕様

項目	内容	
チャンネル数	2チャンネル(EXDMAC0, EXDMAC1)	
転送空間	512Mバイト (0000 0000h ~ 0FFF FFFFh と F000 0000h ~ FFFF FFFFh のうち予約領域を除く外部領域)	
最大転送データ数	1Mデータ (ブロック転送モード最大総転送数 : 1024データ×1024ブロック)	
DMAC 起動要因	<ul style="list-style-type: none"> チャンネルごとに3種類の起動要因を選択可能 ソフトウェアトリガ 外部DMA転送要求入力 周辺モジュール(TPU1.TRGAまたはMTU1.TRGA)からのDMA転送要求 (チャンネル0 : ICU.SLIBR144で選択したTPU1.TRGAの選択型割り込みB要求、またはICU.SLIAR208で選択したMTU1.TRGAの選択型割り込みA要求、チャンネル1 : ICU.SLIBR145で選択したTPU1.TRGAの選択型割り込みB要求、またはICU.SLIAR209で選択したMTU1.TRGAの選択型割り込みA要求) 	
チャンネル優先順位	チャンネル0 > チャンネル1 (チャンネル0が最優先)	
転送データ	1データ	ビット長 : 8ビット、16ビット、32ビット
	ブロックサイズ	データ数 : 1 ~ 1024データ
	クラスタサイズ	データ数 : 1 ~ 8データ
転送モード	ノーマル転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 総データ転送数を指定しない設定(フリーランニングモード)が可能
	リピート転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 リピートサイズは最大1024回設定可能
	ブロック転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1ブロックのデータを転送 ブロックサイズは最大1024データ設定可能
	クラスタ転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1クラスタのデータを転送 クラスタサイズは最大8データ(32バイト)設定可能
アドレスモード	シングルアドレスモード	<ul style="list-style-type: none"> 転送元または転送先の周辺デバイスをEDACK_n信号(n = 0, 1)でアクセスし、もう一方をアドレス指定してデータを転送 ノーマル転送モード、リピート転送モード、ブロック転送モードで使用可能
	デュアルアドレスモード	<ul style="list-style-type: none"> 転送元、転送先双方をアドレス指定しデータを転送 ノーマル転送モード、リピート転送モード、ブロック転送モード、クラスタ転送モードで使用可能
選択機能	拡張リピートエリア機能	<ul style="list-style-type: none"> 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	ノーマル転送モードの場合、指定回数の転送が終了したときに発生 リピート転送モードの場合、指定リピート回数の転送が終了したときに発生 ブロック転送モードの場合、指定ブロック数の転送が終了したときに発生 クラスタ転送モードの場合、指定クラスタ数の転送が終了したときに発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
消費電力低減機能	モジュールストップ状態への設定が可能	

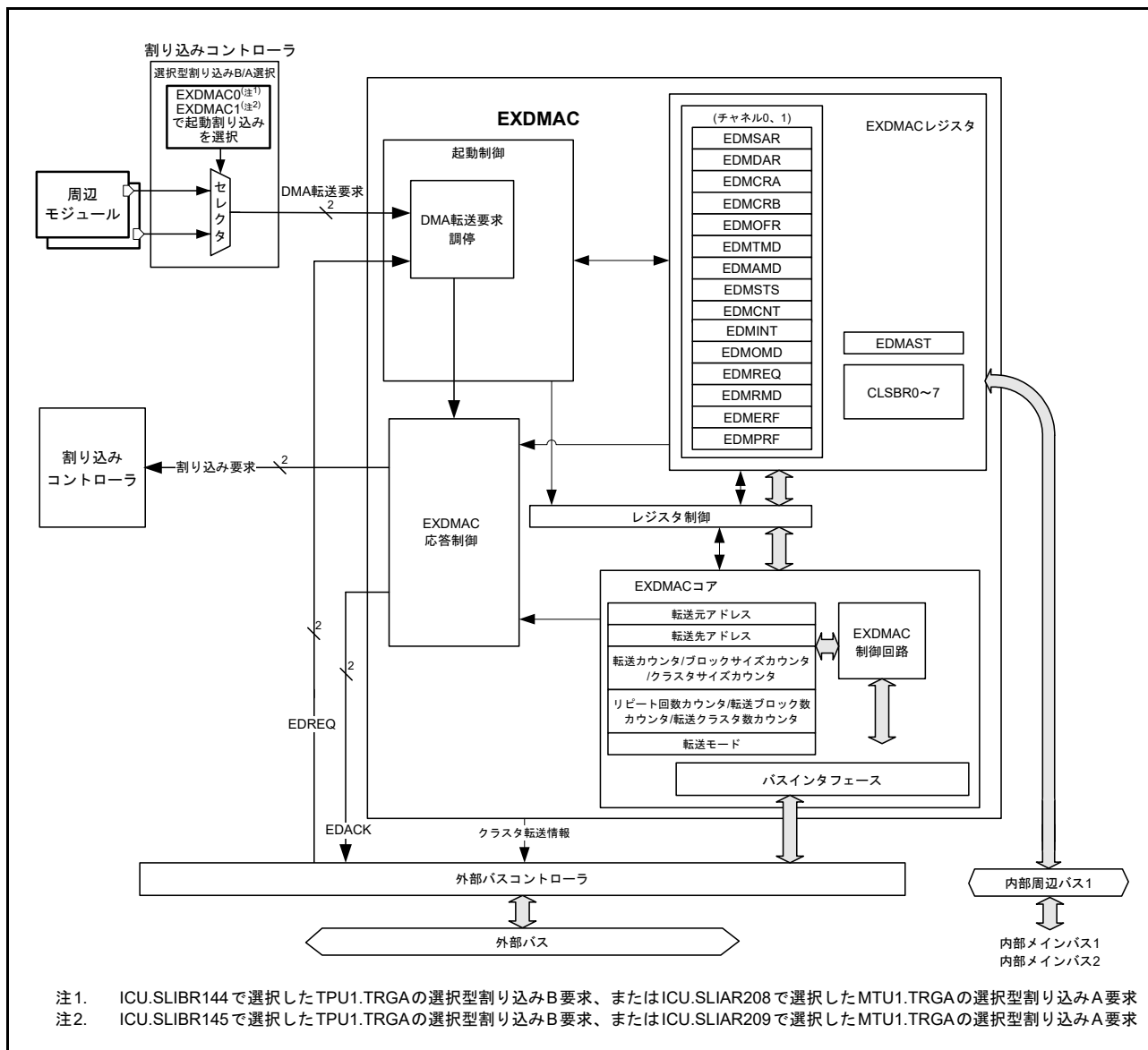


図 19.1 EXDMAC のブロック図

EXDMAC の入出力端子を表 19.2 に示します。

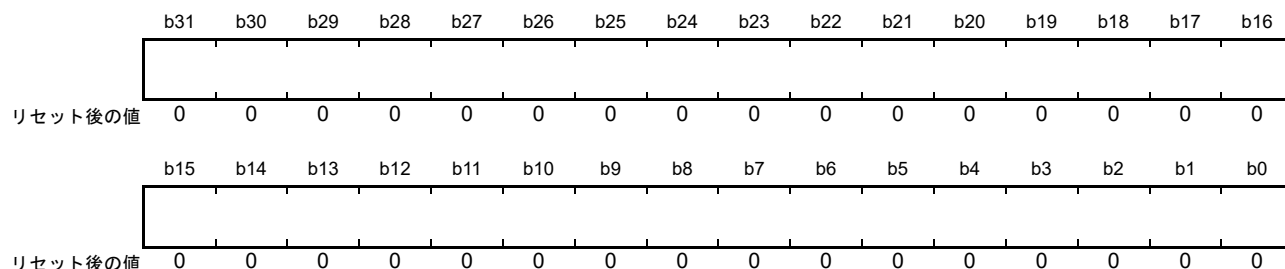
表 19.2 EXDMAC の入出力端子

チャンネル	端子	入出力	機能
EXDMAC0	EDREQ0	入力	EXDMAC0の外部DMA転送要求
	EDACK0	出力	EXDMAC0のシングルアドレス転送アクリッジ
EXDMAC1	EDREQ1	入力	EXDMAC1の外部DMA転送要求
	EDACK1	出力	EXDMAC1のシングルアドレス転送アクリッジ

19.2 レジスタの説明

19.2.1 EXDMA 転送元アドレスレジスタ (EDMSAR)

アドレス EXDMAC0.EDMSAR 0008 2800h, EXDMAC1.EDMSAR 0008 2840h



ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

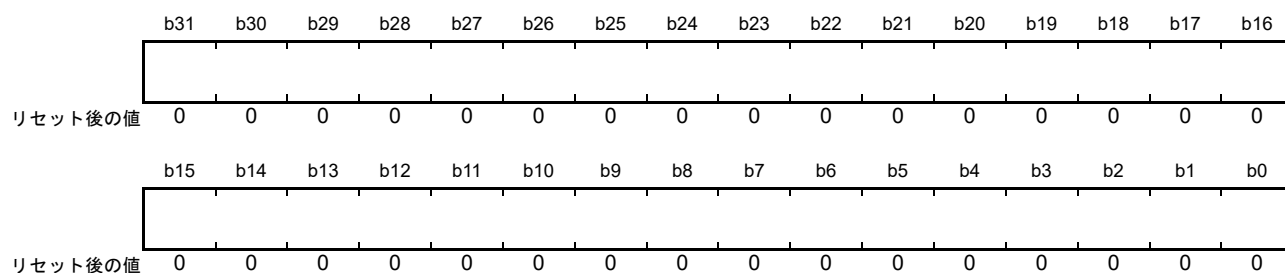
EDMSAR レジスタは、転送元の開始アドレスを設定するレジスタです。

EDMSAR レジスタを設定する場合は、EXDMAC 停止 (EDMAST.DMST ビット = 0)、または DMA 転送禁止 (EDMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。EDMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

19.2.2 EXDMA 転送先アドレスレジスタ (EDMDAR)

アドレス EXDMAC0.EDMDAR 0008 2804h, EXDMAC1.EDMDAR 0008 2844h



ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

EDMDAR レジスタは、転送先の開始アドレスを設定するレジスタです。

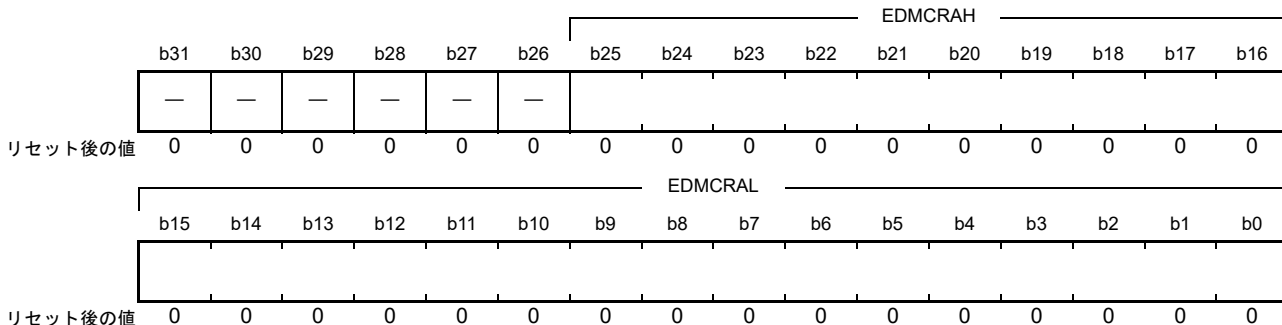
EDMDAR レジスタを設定する場合は、EXDMAC 停止 (EDMAST.DMST ビット = 0)、または DMA 転送禁止 (EDMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。EDMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

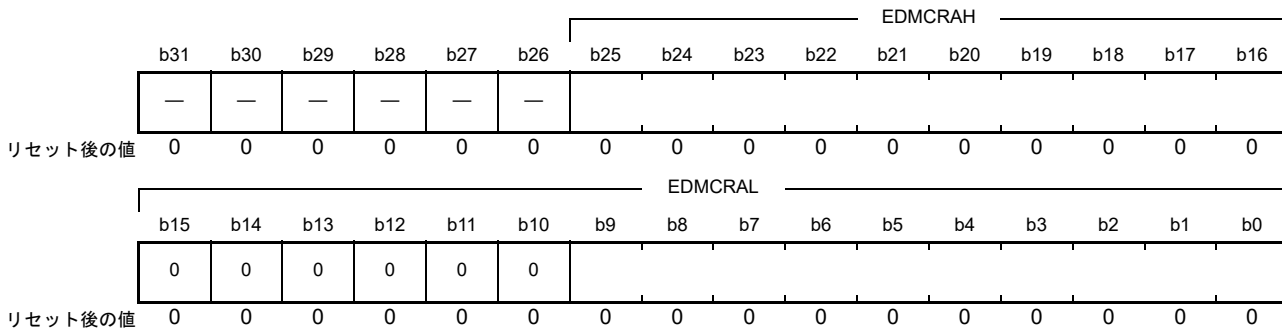
19.2.3 EXDMA 転送カウントレジスタ (EDMCRA)

アドレス EXDMAC0.EDMCRA 0008 2808h, EXDMAC1.EDMCRA 0008 2848h

・ノーマル転送モード

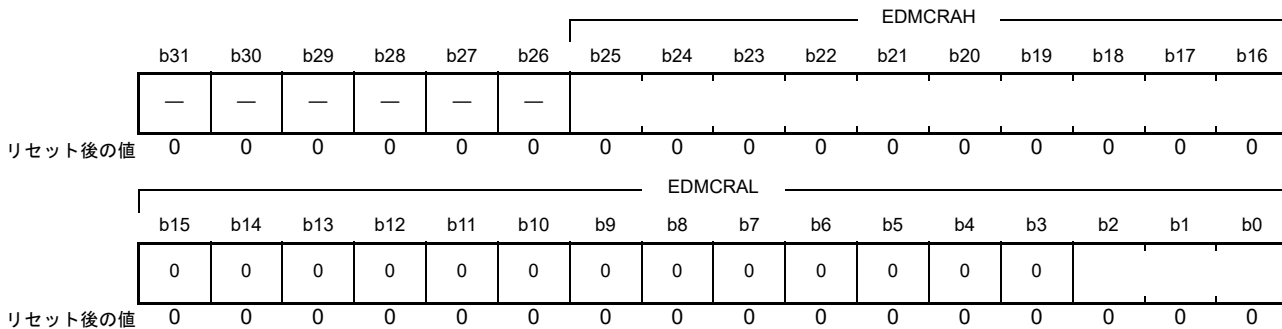


・リピート転送モード、ブロック転送モード



注. 転送モードによって機能が異なります。

・クラスタ転送モード



シンボル	ビット名	機能	R/W
EDMCRAL	転送カウント下位ビット	転送回数を設定	R/W
EDMCRAH	転送カウント上位ビット		R/W

注. リピート転送モード時、ブロック転送モード時およびクラスタ転送モード時は、EDMCRAH, EDMCRAL レジスタには同じ値を設定してください。

EDMCRA レジスタは、DMA の転送回数を指定するレジスタです。転送モードによって機能が異なります。

(1) ノーマル転送モード (EXDMACn.EDMTMD.MD[1:0] ビット = 00b) のとき

EDMCRAL レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは 1 回、“FFFFh”のときは 65535 回となります。1 回のデータ転送を行うたびにデクリメント (-1) します。

設定値が“0000h”のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは EDMCRAH レジスタを使用しません。EDMCRAH レジスタへは“0000h”を書いてください。

(2) リピート転送モード (EXDMACn.EDMTMD.MD[1:0] ビット = 01b) のとき

EDMCRAH レジスタはリピートサイズを保持し、EDMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が“001h”のときは 1 回、“3FFh”のときは 1023 回、“000h”のときは 1024 回となります。リピート転送モード時の EDMCRAH, EDMCRAL レジスタの設定範囲は、いずれも 000h ~ 3FFh (転送回数 : 1 ~ 1024) です。

EDMCRAL レジスタのビット 15 ~ 10 の設定値は無効です。EDMCRAL レジスタのビット 15 ~ 10 へは“0”を書いてください。

EDMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (-1) され、“000h”になると EDMCRAH レジスタの値が転送されます。

(3) ブロック転送モード (EXDMACn.EDMTMD.MD[1:0] ビット = 10b) のとき

EDMCRAH レジスタはブロックサイズを保持し、EDMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

設定値が“001h”のときはブロックサイズが 1、“3FFh”のときはブロックサイズが 1023、“000h”のときはブロックサイズが 1024 となります。ブロック転送モード時の EDMCRAH, EDMCRAL レジスタの設定範囲は、いずれも 000h ~ 3FFh (1 回 ~ 1024 回) です。

EDMCRAL レジスタのビット 15 ~ 10 の設定値は無効です。EDMCRAL レジスタのビット 15 ~ 10 へは“0”を書いてください。

EDMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (-1) され、“000h”になると EDMCRAH レジスタの値が転送されます。

(4) クラスタ転送モード (EXDMACn.EDMTMD.MD[1:0] ビット = 11b) のとき

EDMCRAH レジスタはクラスタサイズを保持し、EDMCRAL レジスタは 3 ビットのクラスタサイズカウンタとして機能します。

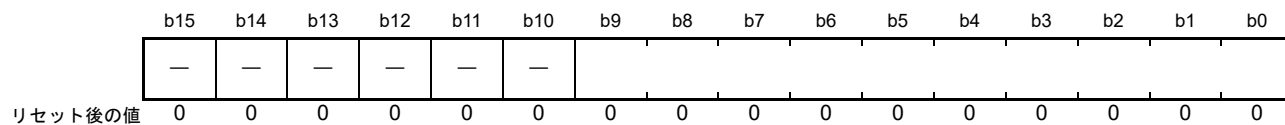
設定値が“001h”のときはクラスタサイズが 1、“007h”のときはクラスタサイズが 7、“000h”のときはクラスタサイズが 8 となります。クラスタ転送モード時の EDMCRAH, EDMCRAL レジスタの設定範囲は、いずれも 000h ~ 007h (1 回 ~ 8 回) です。

EDMCRAL レジスタのビット 15 ~ 3 の設定値は無効です。EDMCRAL レジスタのビット 15 ~ 3 へは“0”を書いてください。

EDMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (-1) され、“000h”になると EDMCRAH レジスタの値が転送されます。

19.2.4 EXDMA ブロック転送カウントレジスタ (EDMCRB)

アドレス EXDMAC0.EDMCRB 0008 280Ch, EXDMAC1.EDMCRB 0008 284Ch



ビット	機能	設定範囲	R/W
b9-b0	ブロック転送時の転送ブロック数、リピート転送時のリピート回数、または、クラスタ転送時の転送クラスタ数を設定	001h~3FFh (1~1023回) 000h (1024回)	R/W
b15-b10	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMCRB レジスタは、ブロック転送モード時の転送ブロック数、リピート転送モード時のリピート回数、または、クラスタ転送モード時の転送クラスタ数を指定するレジスタです。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (-1) されます。

ブロック転送モードの場合、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。

クラスタ転送モードの場合、1 クラスタサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モード設定時は、EDMCRB レジスタを使用しません。設定値は無効です。

19.2.5 EXDMA 転送モードレジスタ (EDMTMD)

アドレス EXDMAC0.EDMTMD 0008 2810h, EXDMAC1.EDMTMD 0008 2850h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0: ソフトウェア 0 1: 設定しないでください 1 0: 外部DMA転送要求端子 (EDREQn端子) 1 1: 周辺モジュール (TPU1.TRGA または MTU1.TRGA) からのDMA転送要求 (注1)	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0: 8ビット転送 0 1: 16ビット転送 1 0: 32ビット転送 1 1: 設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0: 転送先側がリピート領域またはブロック領域 0 1: 転送元側がリピート領域またはブロック領域 1 0: リピート領域、ブロック領域は設定しない 1 1: 設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0: ノーマル転送 0 1: リピート転送 1 0: ブロック転送 1 1: クラスタ転送	R/W

注1. EXDMAC0: ICU.SLIBR144で選択したTPU1.TRGAの選択型割り込みB要求、またはICU.SLIAR208で選択したMTU1.TRGAの選択型割り込みA要求
EXDMAC1: ICU.SLIBR145で選択したTPU1.TRGAの選択型割り込みB要求、またはICU.SLIAR209で選択したMTU1.TRGAの選択型割り込みA要求
設定手順は「19.5.1 起動要因の(3)」を参照してください。

EDMTMD レジスタは DMA 転送モードを設定するレジスタです。

DCTG[1:0] ビット (転送要求選択ビット)

EXDMAC の起動要因をソフトウェアによる起動、または外部 DMA 転送要求端子による起動、周辺モジュールからの DMA 転送要求による起動から選択します。

SZ[1:0] ビット (データ転送サイズビット)

1回のデータ転送におけるデータサイズを8ビット、16ビット、32ビットから選択します。

DTS[1:0] ビット (リピート領域選択ビット)

リピート転送モードあるいはブロック転送モード、クラスタ転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

MD[1:0] ビット (転送モード設定ビット)

DMA 転送モードをノーマル転送、リピート転送、ブロック転送、クラスタ転送から設定します。

19.2.6 EXDMA 出力設定レジスタ (EDMOMD)

アドレス EXDMAC0.EDMOMD 0008 2812h, EXDMAC1.EDMOMD 0008 2852h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	DACKS	DACK E	DACK W	DACKS EL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DACKSEL	EDACKn 端子トグル選択ビット	0 : EDACKn 端子のトグルを禁止 1 : EDACKn 端子のトグルを許可	R/W
b1	DACKW	EDACKn 端子ネゲートウェイトビット	0 : EDACKn 端子は RD# 端子、WRn# と同時にネゲート 1 : EDACKn 端子は RD# 端子の 1BCLK 前にネゲート、WRn# 端子の 1BCLK 後にネゲート	R/W
b2	DACK E	EDACKn 端子出力許可ビット	0 : EDACKn 端子の出力を禁止 1 : EDACKn 端子の出力を許可	R/W
b3	DACKS	EDACKn 端子極性設定ビット	0 : EDACKn 端子の極性を Low アクティブ 1 : EDACKn 端子の極性を High アクティブ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMOMD レジスタは、EXDMAC の出力信号の設定を行うレジスタです。

DACKSEL ビット (EDACKn 端子トグル選択ビット)

SDRAM 領域とのシングルアドレスモードでのノーマル転送、リピータ転送、ブロック転送における EDACKn 端子のトグル出力の禁止 / 許可を設定します。

SDRAM 領域とのシングルアドレスモード (EDMAMD.AMS ビット = 1) でのノーマル転送、リピータ転送またはブロック転送のとき、DACKSEL ビットが“0”であれば、EDACKn 端子は、データ有効期間中アサートされます。DACKSEL ビットが“1”であれば、EDACKn 端子は、データ有効期間の後半の 1/2 SDCLK のみアサートされます。

CS 領域の場合、DACKSEL ビットの値は無効です。

また、デュアルアドレスモードでの転送、およびクラスタ転送時は DACKSEL ビットの値は無効です。EDACKn 端子は出力されません。

DACKW ビット (EDACKn 端子ネゲートウェイトビット)

CS 領域とのシングルアドレスモードでのノーマル転送、リピータ転送、ブロック転送における EDACKn 端子のネゲートタイミングを設定します。

CS 領域とのシングルアドレスモード (EDMAMD.AMS ビット = 1) でのノーマル転送、リピータ転送またはブロック転送のとき、DACKW ビットが“0”であれば、EDACKn 端子は RD# 端子もしくは WRn# 端子のネゲートタイミングと同時にネゲートします。DACKW ビットが“1”であれば、EDACKn 端子は RD# 端子のネゲートタイミングの 1BCLK サイクル前に、もしくは WRn# 端子のネゲートタイミングの 1 BCLK サイクル後にネゲートされます。

SDRAM 領域の場合、DACKW ビットの値は無効です。EDACKn 端子のネゲートタイミングの変更はできません。

また、デュアルアドレスモードでの転送、およびクラスタ転送時は DACKW ビットの値は無効です。EDACKn 端子は出力されません。

DACKE ビット (EDACKn 端子出力許可ビット)

EDACKn 端子の出力を許可または禁止します。また、デュアルアドレスモードでの転送時、およびクラスタ転送時、DACKE ビットの値は無効です (EDACKn 端子出力なし)。

19.2.7 EXDMA 割り込み設定レジスタ (EDMINT)

アドレス EXDMAC0.EDMINT 0008 2813h, EXDMAC1.EDMINT 0008 2853h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0: リピートサイズ終了割り込みを禁止 1: リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0: エスケープ割り込みを禁止 1: エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0: 転送終了割り込みを禁止 1: 転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMINT レジスタは、EXDMAC の割り込み要求出力を設定するレジスタです。

DARIE ビット (転送先アドレス拡張リピートエリア オーバフロー割り込み許可ビット)

DARIE ビットを“1”にしたとき、転送先アドレスの拡張リピートエリアオーバーフローが発生すると、EDMCNT.DTE ビットが“0” (DMA 転送禁止) になります。同時に EDMSTS.ESIF フラグが“1”になり、転送先アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みによって転送終了したチャンネルの EDMCNT.DTE ビットを“1” (DMA 転送許可) にすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合は、DARIE ビットの設定値は無効です。

SARIE ビット (転送元アドレス拡張リピートエリア オーバフロー割り込み許可ビット)

SARIE ビットを“1”にしたとき、転送元アドレスの拡張リピートエリアオーバーフローが発生すると、EDMCNT.DTE ビットが“0” (DMA 転送禁止) になります。同時に EDMSTS.ESIF フラグが“1”になり、転送元アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みによって転送終了したチャンネルの EDMCNT.DTE ビットを“1” (DMA 転送許可) にすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット (リピートサイズ終了割り込み許可ビット)

リピート転送モードで、RPTIE ビットを“1”にしたとき、1 リピートサイズ分の転送終了後に EDMCNT.DTE ビットが“0” (DMA 転送禁止) になります。同時に EDMSTS.ESIF フラグが“1”になり、リピートサイズ終了割り込み要求が発生したことを示します。EDMTMD.DTS[1:0] ビットが“10b” (リピート領域、ブロック領域に指定しない) のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、RPTIE ビットを“1”にしたときも同様に 1 ブロックの転送終了後に EDMCNT.DTE ビットが“0”になります。同時に EDMSTS.ESIF フラグが“1”になり、リピートサイズ終了割り込み要求が発生したことを示します。EDMTMD.DTS[1:0] ビットが“10b” のときでも、リピートサイズ終了割り込み要求が発生させることができます。

クラスタ転送モードで、RPTIE ビットを“1”にしたときも同様に 1 クラスタの転送終了後に EDMCNT.DTE ビットが“0”になります。同時に EDMSTS.ESIF フラグが“1”になり、リピートサイズ終了割り込み要求が発生したことを示します。EDMTMD.DTS[1:0] ビットが“10b” のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット (転送エスケープ終了割り込み許可ビット)

DMA 転送中に発生したエスケープ割り込み要求 (リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込み) を許可または禁止します。

ESIE ビットを“1”にすると、EDMSTS.ESIF フラグが“1”になったとき、転送エスケープ終了割り込みが発生します。転送エスケープ終了割り込みは ESIE ビットを“0”にするか、EDMSTS.ESIF フラグを“0”にすると解除されます。

DTIE ビット (転送終了割り込み許可ビット)

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを“1”にすると、EDMSTS.DTIF フラグが“1”になったとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを“0”にするか、EDMSTS.DTIF フラグを“0”にすると解除されます。

19.2.8 EXDMA アドレスモードレジスタ (EDMAMD)

アドレス EXDMAC0.EDMAMD 0008 2814h, EXDMAC1.EDMAMD 0008 2854h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AMS	DIR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SM[1:0]	—	SARA[4:0]				—	DM[1:0]	—	DARA[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます。設定値詳細は表 19.3を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定ビット	b7 b6 0 0: アドレス固定 0 1: オフセット加算(注1) 1 0: インクリメント 1 1: デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます。設定値詳細は表 19.3を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定ビット	b15 b14 0 0: アドレス固定 0 1: オフセット加算(注1) 1 0: インクリメント 1 1: デクリメント	R/W
b16	DIR	シングルアドレス方向選択ビット	0: EDMSARレジスタを転送元アドレスとしてシングル転送。 転送先へはEDACKn出力 1: EDMDARレジスタを転送先アドレスとしてシングル転送。 転送元へはEDACKn出力	R/W
b17	AMS	アドレスモード選択ビット	0: デュアルアドレスモード 1: シングルアドレスモード	R/W
b31-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. オフセット加算はEXDMAC0のみ設定可能です。

EDMAMD レジスタは、EXDMACn のアドレスモードを設定するレジスタです。

DARA[4:0] ビット (転送先アドレス拡張リピートエリア設定ビット)

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リピートエリアのサイズは2バイトから 128M バイトまで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスの増減によって拡張リピートエリアからオーバフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送、ブロック転送またはクラスタ転送のとき、EDMTMD.DTS[1:0]を“00b”(転送先側がリピート領域またはブロック領域)に設定している場合、DARA[4:0]ビットには“00000b”を書いてください。

EDMINT.DARIE ビットが“1”のとき、拡張リポートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 19.3 に拡張リポートエリアの設定と範囲を示します。

DM[1:0] ビット (転送先アドレス更新モード設定ビット)

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、EDMTMD.SZ[1:0] = 00b のとき +1、EDMTMD.SZ[1:0] = 01b のとき +2、EDMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、EDMTMD.SZ[1:0] = 00b のとき -1、EDMTMD.SZ[1:0] = 01b のとき -2、EDMTMD.SZ[1:0] = 10b のとき -4 されます。

オフセット加算を選択したとき、EXDMAC0.EDMOFR レジスタで設定した値が加算されます。オフセット加算設定は、EXDMAC0 のみ可能です。

SARA[4:0] ビット (転送元アドレス拡張リポートエリア設定ビット)

転送元アドレスに拡張リポートエリアを設定することができます。拡張リポートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リポートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減によって拡張リポートエリアからオーバーフローした下位アドレスはアドレスが増加すると拡張リポートエリアの先頭アドレスになり、アドレスが減少すると拡張リポートエリアの最後のアドレスとなります。

転送元にリポート領域またはブロック領域を設定している場合、転送元アドレス拡張リポートエリアを設定しないでください。リポート転送、ブロック転送またはクラスタ転送のとき、EDMTMD.DTS[1:0] ビットを“01b” (転送元側がリポート領域またはブロック領域) に設定している場合、SARA[4:0] ビットには“00000b”を書いてください。

EDMINT.SARIE ビットが“1”にされているとき、拡張リポートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 19.3 に拡張リポートエリアの設定と範囲を示します。

SM[1:0] ビット (転送元アドレス更新モード設定ビット)

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、EDMTMD.SZ[1:0] = 00b のとき +1、EDMTMD.SZ[1:0] = 01b のとき +2、EDMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、EDMTMD.SZ[1:0] = 00b のとき -1、EDMTMD.SZ[1:0] = 01b のとき -2、EDMTMD.SZ[1:0] = 10b のとき -4 されます。

オフセット加算を選択したとき、EXDMAC0.EDMOFR レジスタで設定した値が加算されます。オフセット加算設定は、EXDMAC0 のみ可能です。

DIR ビット (シングルアドレス方向選択ビット)

シングルアドレスモード時のアドレス方向を選択します。

- ノーマル転送 / リポート転送 / ブロック転送のとき

DIR ビットを“0”に設定すると、EDMSAR レジスタを転送元アドレスとして、シングル転送を行います。このとき EDMOMD.DACKE ビットを“1” (EDACK_n を出力) にすると、転送先側のデバイスに EDACK_n を出力することができます。

DIR ビットを“1”にすると、EDMDAR レジスタを転送先アドレスとしてシングル転送を行います。このとき EDMOMD.DACKE ビットを“1” (EDACK_n を出力) にすると、転送元側のデバイスに EDACK_n を出力することができます。DIR ビットの設定値は、AMS = 1 (シングルアドレスモード) のときに有効となります。AMS = 0 (デュアルアドレスモード) のときは無効です。

- クラスタ転送のとき

DIR ビットを“0”にすると EDMSAR レジスタを転送元アドレスとして、クラスタ転送リードアドレスモードで転送を行います。外部デバイスからクラスタバッファへの転送が行えます。

DIR ビットを“1”にすると EDMDAR レジスタを転送先アドレスとして、クラスタ転送ライトアドレスモードで転送を行います。クラスタバッファから外部デバイスへの転送が行えます。

DIR ビットの設定値は、AMS = 1 (シングルアドレスモード) のときに有効となります。AMS = 0 (デュアルアドレスモード) のときは無効です。

AMS ビット (アドレスモード選択ビット)

アドレスモードを選択します。

- ノーマル転送 / リピート転送 / ブロック転送のとき

AMS ビットを“0”にするとデュアルアドレスモードとなります。AMS ビットを“1”にするとシングルアドレスモードとなります。

シングルアドレスモードに設定する場合、転送元 / 転送先いずれにアドレスを出力するかを EDMAMD.DIR ビットで設定してください。

- クラスタ転送のとき

AMS ビットを“0”にするとデュアルアドレスモードとなります。AMS ビットを“1”にするとリードアドレスモードあるいはライトアドレスモードとなります。

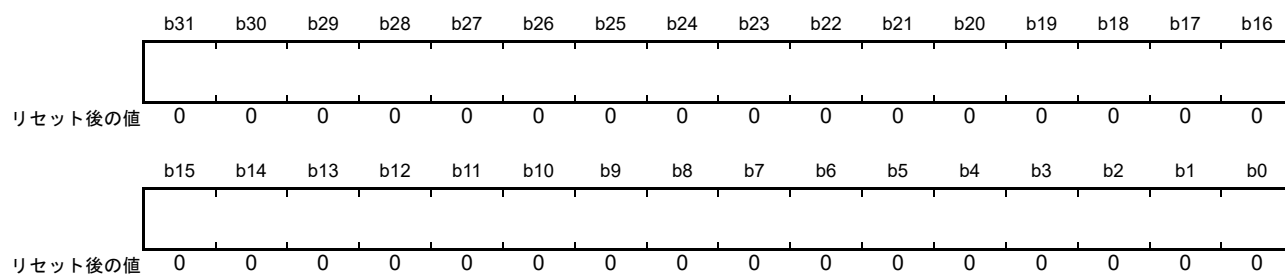
リードアドレスモード、ライトアドレスモードの選択は EDMAMD.DIR ビットで設定してください。

表 19.3 拡張リポートエリアの設定と範囲

SARA[4:0]/ DARA[4:0]の値	拡張リポートエリアの範囲
00000b	拡張リポートエリアを設定しない
00001b	当該アドレスの下位1ビット(2バイト)を拡張リポートエリアに設定
00010b	当該アドレスの下位2ビット(4バイト)を拡張リポートエリアに設定
00011b	当該アドレスの下位3ビット(8バイト)を拡張リポートエリアに設定
00100b	当該アドレスの下位4ビット(16バイト)を拡張リポートエリアに設定
00101b	当該アドレスの下位5ビット(32バイト)を拡張リポートエリアに設定
00110b	当該アドレスの下位6ビット(64バイト)を拡張リポートエリアに設定
00111b	当該アドレスの下位7ビット(128バイト)を拡張リポートエリアに設定
01000b	当該アドレスの下位8ビット(256バイト)を拡張リポートエリアに設定
01001b	当該アドレスの下位9ビット(512バイト)を拡張リポートエリアに設定
01010b	当該アドレスの下位10ビット(1Kバイト)を拡張リポートエリアに設定
01011b	当該アドレスの下位11ビット(2Kバイト)を拡張リポートエリアに設定
01100b	当該アドレスの下位12ビット(4Kバイト)を拡張リポートエリアに設定
01101b	当該アドレスの下位13ビット(8Kバイト)を拡張リポートエリアに設定
01110b	当該アドレスの下位14ビット(16Kバイト)を拡張リポートエリアに設定
01111b	当該アドレスの下位15ビット(32Kバイト)を拡張リポートエリアに設定
10000b	当該アドレスの下位16ビット(64Kバイト)を拡張リポートエリアに設定
10001b	当該アドレスの下位17ビット(128Kバイト)を拡張リポートエリアに設定
10010b	当該アドレスの下位18ビット(256Kバイト)を拡張リポートエリアに設定
10011b	当該アドレスの下位19ビット(512Kバイト)を拡張リポートエリアに設定
10100b	当該アドレスの下位20ビット(1Mバイト)を拡張リポートエリアに設定
10101b	当該アドレスの下位21ビット(2Mバイト)を拡張リポートエリアに設定
10110b	当該アドレスの下位22ビット(4Mバイト)を拡張リポートエリアに設定
10111b	当該アドレスの下位23ビット(8Mバイト)を拡張リポートエリアに設定
11000b	当該アドレスの下位24ビット(16Mバイト)を拡張リポートエリアに設定
11001b	当該アドレスの下位25ビット(32Mバイト)を拡張リポートエリアに設定
11010b	当該アドレスの下位26ビット(64Mバイト)を拡張リポートエリアに設定
11011b	当該アドレスの下位27ビット(128Mバイト)を拡張リポートエリアに設定
11100b~11111b	設定しないでください

19.2.9 EXDMA オフセットレジスタ (EDMOFR)

アドレス EXDMAC0.EDMOFR 0008 2818h



ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定	00000000h~00FFFFFFh (0バイト~(16M-1)バイト) FF000000h~FFFFFFFh (-16Mバイト~-1バイト)	R/W

EDMOFR レジスタは、アドレスオフセット値を設定するレジスタです。

EDMOFR レジスタを設定する場合は、データ転送中でなく、EXDMAC 停止、または DMA 転送が禁止されているときに書いてください。

ビット 31 ~ 25 への設定値は無効です、ビット 31 ~ 25 へはビット 24 の値がビット拡張されます。EDMOFR レジスタを読んだ場合、ビット拡張された値が読めます。

19.2.10 EXDMA 転送許可レジスタ (EDMCNT)

アドレス EXDMAC0.EDMCNT 0008 281Ch, EXDMAC1.EDMCNT 0008 285Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA転送許可ビット	0 : DMA転送を禁止 1 : DMA転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMCNT レジスタは、対応するチャンネルへの DMA 転送を許可または禁止するレジスタです。

DTE ビット (DMA 転送許可ビット)

EDMAST.DMST ビットが“1” (EXDMAC 動作) で、DTE ビットが“1” (DMA 転送を許可) のとき、対応するチャンネルの DMA 転送を開始することができます。

また、DMA 転送中に DTE ビットを“0”にすると、実行中の 1 転送要求に対するデータ転送が終了した後に、DMA 転送が一時停止します。この状態で、再度 DTE ビットを“1”にすることにより、継続して DMA 転送を行うことが可能です。

DTE ビットが“1”のとき、対応する EXDMAC チャンネルの DTE ビット以外のレジスタへの書き込みは禁止です。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- 設定の総転送データ数の転送を終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピートエリアオーバーフロー割り込みによって DMA 転送が停止したとき

19.2.11 EXDMA ソフトウェア起動レジスタ (EDMREQ)

アドレス EXDMAC0.EDMREQ 0008 281Dh, EXDMAC1.EDMREQ 0008 285Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CLRS	—	—	—	SWREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動ビット	0 : DMA転送要求なし 1 : DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMAソフトウェア起動ビット 自動クリア選択ビット	0 : ソフトウェア起動後にSWREQビットをクリアする 1 : ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMREQ レジスタは、ソフトウェアで DMA を起動させるためのレジスタです。

SWREQ ビット (DMA ソフトウェア起動ビット)

SWREQ ビットを“1”にすると DMA 転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが“0”の場合、SWREQ ビットは“0”になります。CLRS ビットが“1”の場合、SWREQ ビットは“0”になりません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、EDMTMD.DCTG[1:0] ビットを“00b” (DMA 起動要因がソフトウェア) に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

EDMTMD.DCTG[1:0] ビットが“00b”以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS = 0 でソフトウェア起動を行う場合、SWREQ ビットが“0”であることを確認してから SWREQ ビットに“1”を書いてください。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- CLRS ビットが“0” (ソフトウェア起動後に SWREQ ビットをクリアする) のときに、ソフトウェアによる要求が受け付けられデータ転送が開始したとき
- “0”を書いたとき

CLRS ビット (DMA ソフトウェア起動ビット 自動クリア選択ビット)

SWREQ ビットへの“1”書き込みによる DMA 転送要求に対する転送が開始したときに、SWREQ ビットを“0”にするかしないを設定します。CLRS ビットが“0”の場合、転送が開始されると SWREQ ビットは“0”になります。CLRS ビットが“1”の場合は、SWREQ ビットは“0”になりません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

19.2.12 EXDMA ステータスレジスタ (EDMSTS)

アドレス EXDMAC0.EDMSTS 0008 281Eh, EXDMAC1.EDMSTS 0008 285Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	DTIF	—	—	—	ESIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0: 転送エスケープ割り込み発生なし 1: 転送エスケープ割り込み発生あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0: 転送終了割り込みなし 1: 転送終了割り込みあり	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	EXDMA アクティブフラグ	0: EXDMACが停止中 1: EXDMACが動作中	R

EDMSTS レジスタは、DMA の状態を示すレジスタです。

ESIF フラグ (転送エスケープ割り込みフラグ)

転送エスケープ割り込みが発生したことを示すフラグです。

[“1”になる条件]

- EDMINT.RPTIE ビットが“1”に設定されており、リピート転送モードにおいて1リピートサイズ分の転送終了後
- EDMINT.RPTIE ビットが“1”に設定されており、ブロック転送モードにおいて1ブロックの転送終了後
- EDMINT.RPTIE ビットが“1”に設定されており、クラスタ転送モードにおいて1クラスタの転送終了後
- EDMINT.SARIE ビットが“1”に設定され、EDMAMD.SARA[4:0] ビットが“00000b”以外(転送元アドレスを拡張リピートエリアに指定)に設定されているときに、転送元アドレスの拡張リピートエリアオーバーフローが発生したとき
- EDMINT.DARIE ビットが“1”に設定され、EDMAMD.DARA[4:0] ビットが“00000b”以外(転送先アドレスを拡張リピートエリアに指定)に設定されているときに、転送先アドレスの拡張リピートエリアオーバーフローが発生したとき

[“0”になる条件]

- “0”を書いたとき
- EDMCNT.DTE ビットに“1”を書いたとき

DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示すフラグです。

[“1”になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき
(EDMCRAL レジスタが“0”になり転送が終了したとき)
- リピート転送モードにおいて指定リピート回数の転送が終了したとき
(EDMCRB が“0”になり転送が終了したとき)
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき

(EDMCRB が“0”になり転送が終了したとき)

- クラスタ転送モードにおいて指定クラスタ数の転送が終了したとき
(EDMCRB が“0”になり転送が終了したとき)

["0"になる条件]

- “0”を書いたとき
- EDMCNT.DTE ビットに“1”を書いたとき

ACT フラグ (EXDMA アクティブフラグ)

EXDMAC が動作中か停止中であることを示すフラグです。

["1"になる条件]

- EXDMAC が転送動作を開始したとき

["0"になる条件]

- 1 転送要求に対する転送がすべて終了したとき

19.2.13 EXDMA 外部要求センスモードレジスタ (EDMRMD)

アドレス EXDMAC0.EDMRMD 0008 2820h, EXDMAC1.EDMRMD 0008 2860h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	DREQS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DREQS[1:0]	要求入力センスモード設定ビット	b1 b0 0 0 : 立ち上がりエッジ 0 1 : 立ち下りエッジ 1 0 : Low 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMRMD レジスタは、EDREQ_n 端子のセンスモードを設定するレジスタです。

DREQS[1:0] ビット (要求入力センスモード設定ビット)

外部 DMA 転送要求信号 (EDREQ_n 端子) のセンスモードを設定します。

19.2.14 EXDMA 外部要求フラグレジスタ (EDMERF)

アドレス EXDMAC0.EDMERF 0008 2821h, EXDMAC1.EDMERF 0008 2861h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EREQ	外部要求フラグ	0 : 要求なし 1 : 要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”書き込みは無効です。

EDMERF レジスタは、EDREQn 端子からの要求検出フラグレジスタです。

EREQ フラグ (外部要求フラグ)

外部 DMA 転送要求信号 (EDREQn 端子) からの DMA 転送要求検出フラグです。

[“1”になる条件]

- EXDMACn.EDMRMD.DREQS[1:0] = “00b” (立ち上がりエッジ)のときにEDREQn端子が“0”から“1”に変化したとき
- EXDMACn.EDMRMD.DREQS[1:0] = “01b” (立ち下がりエッジ)のときにEDREQn端子が“1”から“0”に変化したとき
- EXDMACn.EDMRMD.DREQS[1:0] = “10b” (Low) のときに EDREQn 端子が “0” のとき

[“0”になる条件]

- EXDMACn.EDMRMD.DREQS[1:0] = “00b” (立ち上がりエッジ)または“01b” (立ち下がりエッジ)のときに DMA 転送が開始したとき
- EXDMACn.EDMRMD.DREQS[1:0] = “00b” (立ち上がりエッジ)または“01b” (立ち下がりエッジ)のときに “1” を書いたとき
- EXDMACn.EDMRMD.DREQS[1:0] = 10b (Low) のときに EDREQn 端子が “1” のとき

19.2.15 EXDMA 周辺要求フラグレジスタ (EDMPRF)

アドレス EXDMAC0.EDMPRF 0008 2822h, EXDMAC1.EDMPRF 0008 2862h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PREQ	周辺モジュール要求フラグ	0: 要求なし 1: 要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0” 書き込みは無効です。

EDMPRF レジスタは、周辺モジュールからの DMA 要求フラグレジスタです。

PREQ フラグ (周辺モジュール要求フラグ)

周辺モジュールからの DMA 転送要求検出フラグです。

[“1” になる条件]

- 周辺モジュールから DMA 転送要求が発生したとき

[“0” になる条件]

- 周辺モジュールから DMA 転送要求が発生し、DMA 転送が開始したとき
- “1” を書いたとき

19.2.16 EXDMAC モジュール起動レジスタ (EDMAST)

アドレス 0008 2A00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	EXDMAC 動作許可ビット	0 : EXDMAC 停止 1 : EXDMAC 動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMAST レジスタは、EXDMAC 全チャンネルの起動許可または禁止するレジスタです。

DMST ビット (EXDMAC 動作許可ビット)

DMST ビットを“1”にすると、EXDMAC の全チャンネルが転送要求を受け付けるようになります。

全チャンネルの EXDMACn.EDMCNT.DTE ビットに“1” (DMA 転送を許可) を書いた後に DMST ビットを“1”にすると、全チャンネルを同時に転送要求受け付け可能状態にすることができます。

また、DMA 転送中に DMST ビットを“0”にすると、実行中の 1 転送要求に対するデータ転送が終了した後に、全チャンネルの DMA 転送動作が停止します。この状態で、再度 DMST ビットを“1”にすると継続して DMA 転送を行うことができます。

[“1”になる条件]

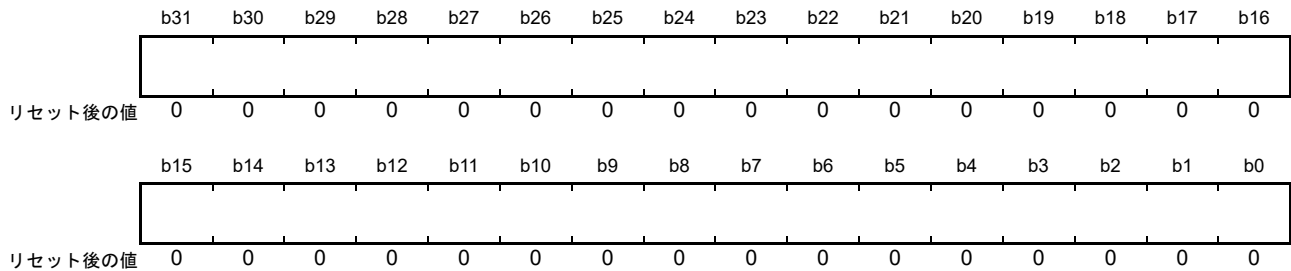
- “1”を書いたとき

[“0”になる条件]

- “0”を書いたとき

19.2.17 クラスタバッファレジスタ y (CLSBRy) (y = 0 ~ 7)

アドレス CLSBR0 0008 2BE0h, CLSBR1 0008 2BE4h, CLSBR2 0008 2BE8h, CLSBR3 0008 2BECh,
CLSBR4 0008 2BF0h, CLSBR5 0008 2BF4h, CLSBR6 0008 2BF8h, CLSBR7 0008 2BFCh



ビット	機能	R/W
b31-b0	クラスタ転送時の一時バッファとして使用	R/W

CLSBRy レジスタは、クラスタ転送時の転送用バッファレジスタです。

クラスタ転送中は CLSBR0 レジスタから順に転送データが格納されます。クラスタ転送または CPU で書き込まれたデータは、次のクラスタ転送、または CPU による書き込みを行うまで値を保持します。なお、クラスタ転送によって格納されたデータを CPU で読む場合は、クラスタ転送の完了を確認し、転送の際に指定したクラスタサイズ分のデータのみ参照してください。それ以外のデータに関しては無効です。

クラスタ転送では、すべてのチャンネルで同一の CLSBRy レジスタを使用します。CPU による CLSBRy レジスタへの書き込みとクラスタ転送が競合した場合は転送されるデータは保証されません。クラスタ転送リードアドレスモード、クラスタ転送ライトアドレスモードに設定した場合は、他のチャンネルがクラスタ転送に設定されていると転送されるデータは書き換えられる可能性があります。

クラスタバッファは転送サイズ (EXDMACn.EDMTMD.SZ[1:0] ビット) の設定によって、データの格納方法が変わります。

(1) 転送サイズが 8 ビットのとき (EXDMACn.EDMTMD.SZ[1:0] = 00b)

クラスタバッファの下位 8 ビットに格納されます。このとき上位 24 ビットは無効です。クラスタサイズを最大値 8 にした場合、8 バイトのデータが 1 クラスタ単位となります。

転送順は CLSBR0 ~ CLSBRj (j = クラスタサイズ - 1) の順です。

(2) 転送サイズが 16 ビットのとき (EXDMACn.EDMTMD.SZ[1:0] = 01b)

クラスタバッファの下位 16 ビットに格納されます。このとき上位 16 ビットは無効です。クラスタサイズを最大値 8 にした場合、16 バイトのデータが 1 クラスタ単位となります。

転送順は CLSBR0 ~ CLSBRj (j = クラスタサイズ - 1) の順です。

(3) 転送サイズが 32 ビットのとき (EXDMACn.EDMTMD.SZ[1:0] = 10b)

クラスタバッファの全 32 ビットに格納されます。クラスタサイズを最大値 8 にした場合、32 バイトのデータが 1 クラスタ単位となります。

転送順は CLSBR0 ~ CLSBRj (j = クラスタサイズ - 1) の順です。

19.3 動作説明

19.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは1回の転送要求について1データの転送を行います。EXDMACn.EDMCRAレジスタで最大65535データの指定転送回数を設定できます。またEXDMACn.EDMCRALレジスタを“0000h”に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います(フリーランニングモード)。EXDMACn.EDMCRBレジスタはノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を表19.4に、ノーマル転送モードの動作を図19.2に示します。

表19.4 ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
EXDMACn.EDMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)
EXDMACn.EDMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)
EXDMACn.EDMCRAL	転送カウンタ	1減算/更新なし(フリーランニングモード時)
EXDMACn.EDMCRAH	—	更新されません(ノーマル転送モードでは使用しません)
EXDMACn.EDMCRB	—	更新されません(ノーマル転送モードでは使用しません)

注1. オフセット加算はEXDMAC0のみ設定可能です。

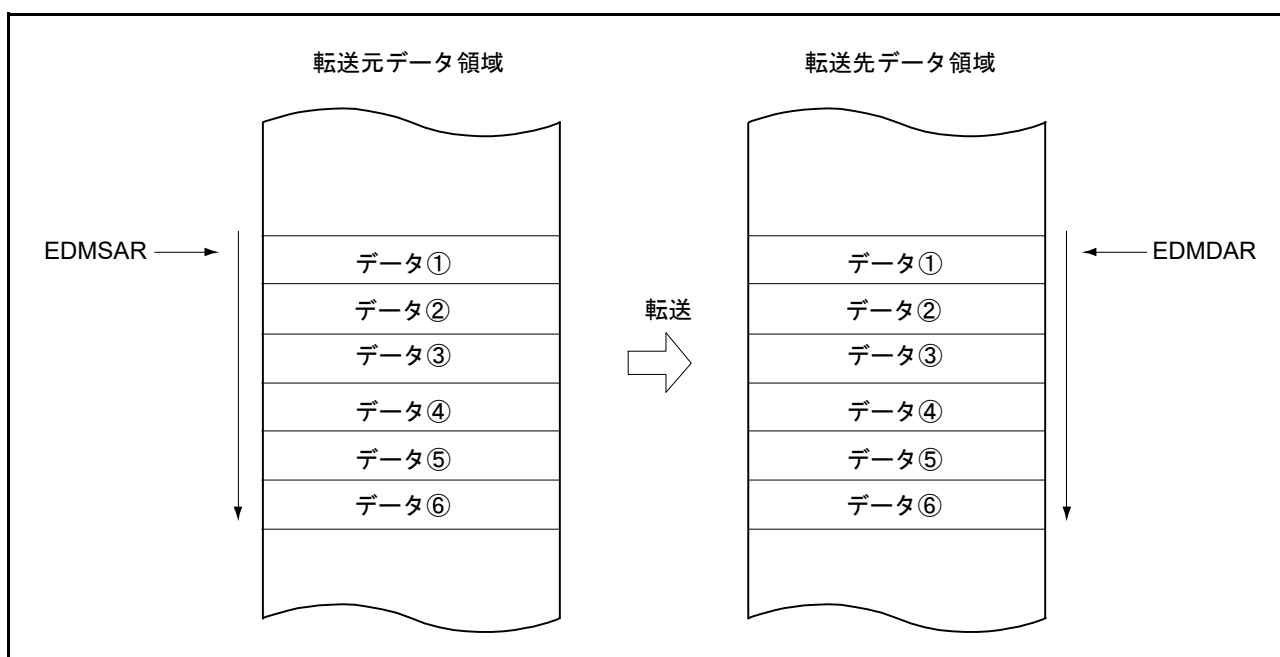


図19.2 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。

EXDMACn.EDMCRA レジスタで最大 1K データのリピートサイズを設定できます。

また、EXDMACn.EDMCRB レジスタで最大 1K 回の指定リピート回数を設定できます。総データ転送数は最大 1K データ × 1K 回 = 1M データの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ (EXDMACn.EDMSAR または EXDMACn.EDMDAR) は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に DMA を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、EXDMACn.EDMCNT.DTE ビットに“1”を書くと DMA 転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を表 19.5 に、リピート転送モードの動作を図 19.3 に示します。

表 19.5 リピート転送モードでのレジスタ更新値

レジスタ	機能	1 転送要求に対する転送終了後の更新値	
		EXDMACn.EDMCRAL レジスタが 1 以外のとき	EXDMACn.EDMCRAL レジスタが 1 のとき (リピートサイズの最終データ転送)
EXDMACn.EDMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)	<ul style="list-style-type: none"> EXDMACn.EDMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算(注1) EXDMACn.EDMTMD.DTS[1:0] = 01b EDMSAR の初期値 EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算(注1)
EXDMACn.EDMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)	<ul style="list-style-type: none"> EXDMACn.EDMTMD.DTS[1:0] = 00b EDMDAR の初期値 EXDMACn.EDMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算(注1) EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算(注1)
EXDMACn.EDMCRAH	リピートサイズ	保持	保持
EXDMACn.EDMCRAL	転送カウンタ	1減算	EXDMACn.EDMCRAH
EXDMACn.EDMCRB	リピート回数カウンタ	保持	1減算

注1. オフセット加算はEXDMAC0のみ設定可能です。

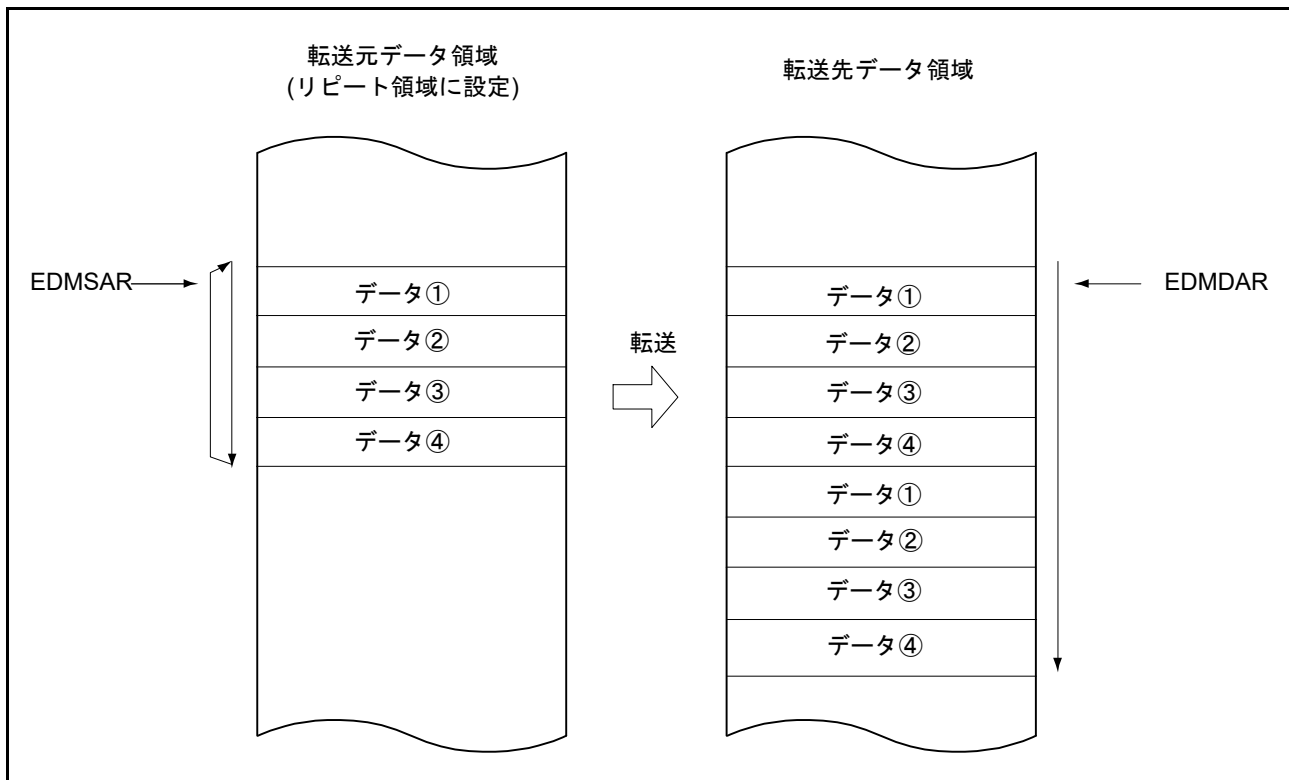


図 19.3 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックサイズの転送を行います。

EXDMACn.EDMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、EXDMACn.EDMCRB レジスタで最大 1K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ × 1K ブロック = 1M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (EXDMACn.EDMSAR または EXDMACn.EDMDAR) は、1ブロックのデータ転送が終了すると、初期アドレスに回復します。ブロック転送モードでは、1ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、EXDMACn.EDMCNT.DTE ビットに“1”を書くと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を表 19.6 に、ブロック転送モードの動作を図 19.4 に示します。

表 19.6 ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
EXDMACn.EDMSAR	転送元アドレス	<ul style="list-style-type: none"> EXDMACn.EDMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算(注1) EXDMACn.EDMTMD.DTS[1:0] = 01b EDMSARの初期値 EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算(注1)
EXDMACn.EDMDAR	転送先アドレス	<ul style="list-style-type: none"> EXDMACn.EDMTMD.DTS[1:0] = 00b EDMDARの初期値 EXDMACn.EDMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算(注1) EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算(注1)
EXDMACn.EDMCRAH	ブロックサイズ	保持
EXDMACn.EDMCRAL	ブロックサイズ カウンタ	EXDMACn.EDMCRAH
EXDMACn.EDMCRB	転送ブロック数 カウンタ	1減算

注1. オフセット加算はEXDMAC0のみ設定可能です。

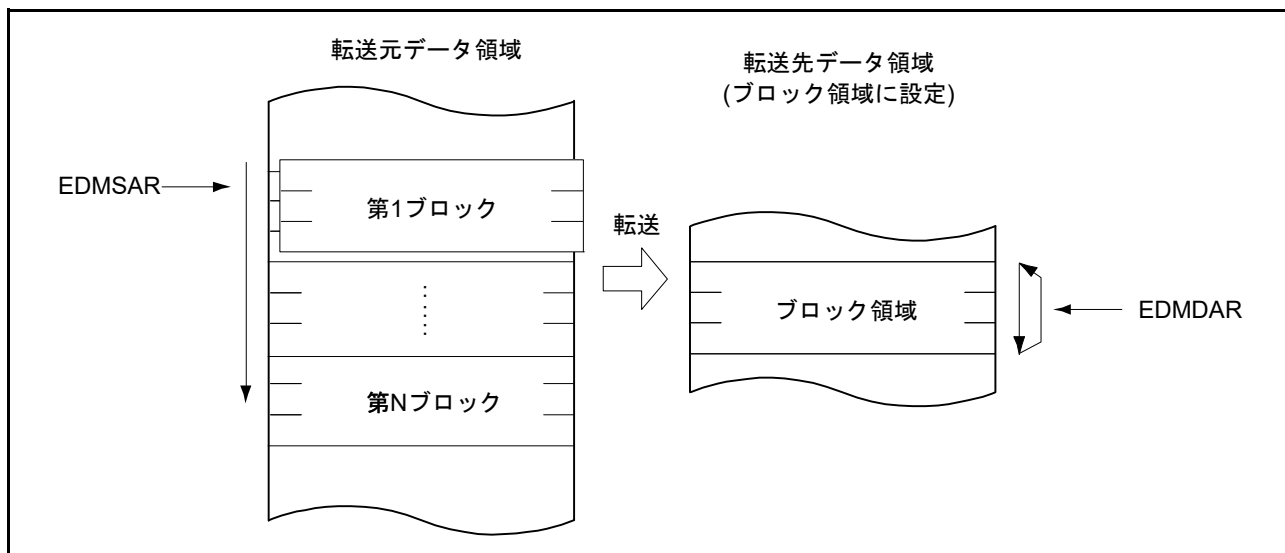


図 19.4 ブロック転送モードの動作

(4) クラスタ転送モード

クラスタ転送モードは、1回の転送要求について1クラスタサイズの転送を行います。

EXDMACn.EDMCRA レジスタで最大8データのクラスタサイズを設定できます。

また、EXDMACn.EDMCRB レジスタで最大1K回の指定クラスタ回数を設定できます。総データ転送数は最大8データ×1K回=8Kデータの指定が可能です。

クラスタ転送モードには、クラスタ転送デュアルアドレスモード、クラスタ転送リードアドレスモード、クラスタ転送ライトアドレスモードが選択できます。

- クラスタ転送デュアルアドレスモード

(EXDMACn.EDMTMD.MD[1:0] = 11b, EXDMACn.EDMAMD.AMS = 0)

1回の転送要求でまず、転送元アドレスからクラスタバッファへ1クラスタサイズ分のデータ転送を行います。その後、クラスタバッファから転送先アドレスで1クラスタ分のデータ転送を行います。

- クラスタ転送リードアドレスモード

(EXDMACn.EDMTMD.MD[1:0] = 11b, EXDMACn.EDMAMD.AMS = 1, EXDMACn.EDMAMD.DIR = 0)

1回の転送要求で、転送元アドレスからクラスタバッファへ1クラスタサイズ分のデータ転送を行います。

- クラスタ転送ライトアドレスモード

(EXDMACn.EDMTMD.MD[1:0] = 11b, EXDMACn.EDMAMD.AMS = 1, EXDMACn.EDMAMD.DIR = 1)

1回の転送要求で、クラスタバッファから転送先アドレスへ1クラスタサイズ分のデータ転送を行います。

クラスタ転送モードでは、1クラスタのデータ転送が終了した後にDMA転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、EXDMACn.EDMCNT.DTEビットに“1”を書くとDMA転送を再開することができます。

また、指定クラスタ回数の転送終了後に転送終了割り込み要求を発生させることができます。

クラスタ転送モードでのレジスタ更新値を表19.7に、クラスタ転送モードの動作を図19.5に示します。

表19.7 クラスタ転送モードでのレジスタ更新値(デュアルアドレスモード)

レジスタ	機能	1転送要求に対する1クラスタ転送終了後の更新値
EXDMACn.EDMSAR	転送元アドレス	<ul style="list-style-type: none"> ● EXDMACn.EDMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算(注1) ● EXDMACn.EDMTMD.DTS[1:0] = 01b EDMSARの初期値 ● EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算(注1)
EXDMACn.EDMDAR	転送先アドレス	<ul style="list-style-type: none"> ● EXDMACn.EDMTMD.DTS[1:0] = 00b EDMDARの初期値 ● EXDMACn.EDMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算(注1) ● EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算(注1)
EXDMACn.EDMCRAH	クラスタサイズ	保持
EXDMACn.EDMCRAL	クラスタサイズカウンタ	EXDMACn.EDMCRAH
EXDMACn.EDMCRB	転送クラスタ数カウンタ	1減算

注1. オフセット加算はEXDMAC0のみ設定可能です。
リードアドレスモード時は転送先アドレスEXDMACn.EDMDARは固定(無効)です。
ライトアドレスモード時は転送元アドレスEXDMACn.EDMSARは固定(無効)です。

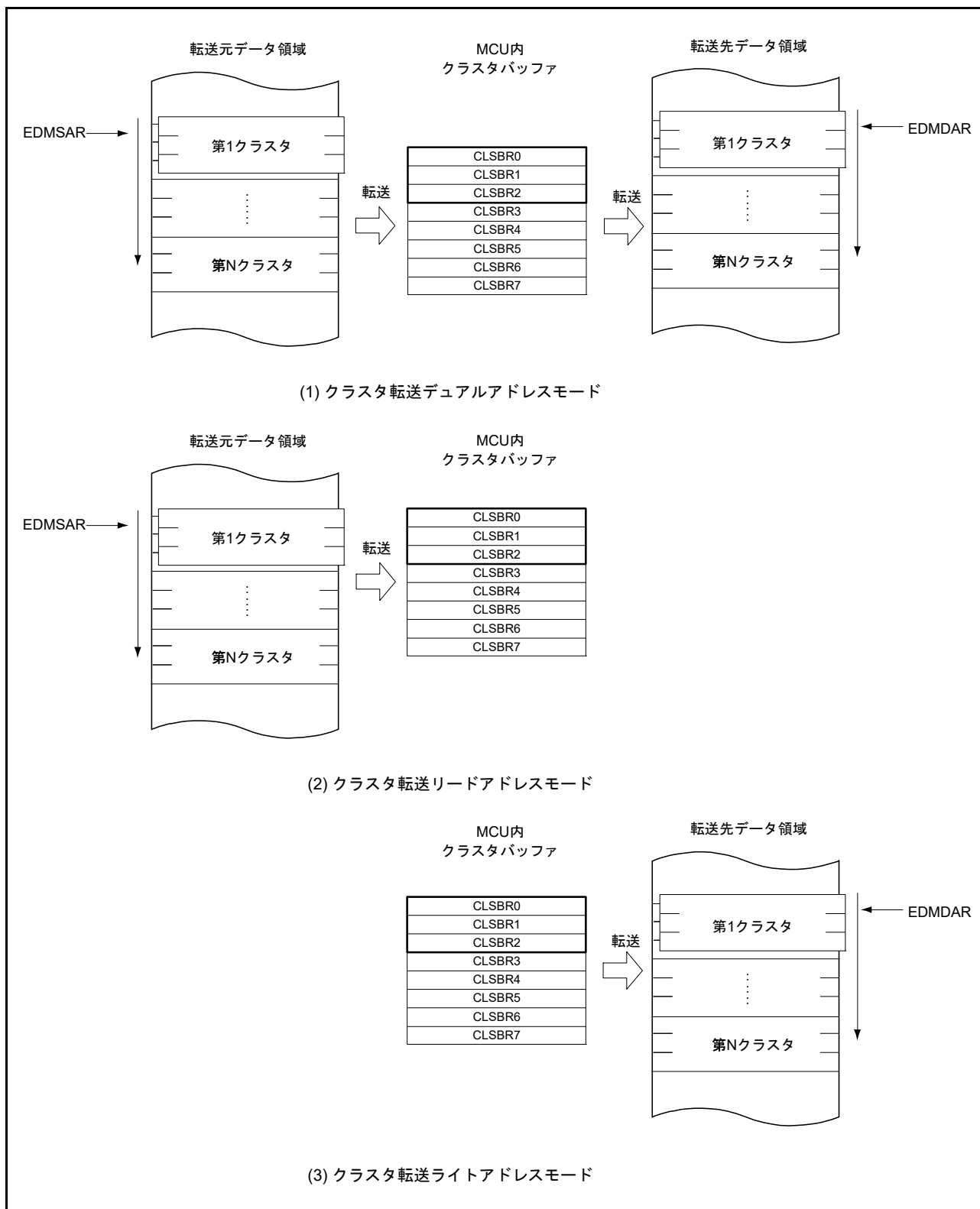


図 19.5 クラスタ転送モードの動作

19.3.2 拡張リピートエリア機能

EXDMACには転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、EXDMACn.EDMSARレジスタ(転送元アドレスレジスタ)、EXDMACn.EDMDARレジスタ(転送先アドレスレジスタ)に独立して設定できます。

転送元アドレスの拡張リピートエリアはEXDMACn.EDMAMD.SARA[4:0]ビットで設定します。転送先アドレスの拡張リピートエリアはEXDMACn.EDMAMD.DARA[4:0]ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定した領域(転送元または転送先)を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA転送を一時停止させて、拡張リピートエリアオーバーフロー割り込み要求を発生させることができます。EXDMACn.EDMINT.SARIEビットを“1”にすると、転送元アドレスの拡張リピートエリアがオーバーフローしたときにEXDMACn.EDMSTS.ESIFフラグが“1”になり、EXDMACn.EDMCNT.DTEビットを“0”にしてDMA転送を終了します。このとき、EXDMACn.EDMINT.ESIEビットが“1”であれば、拡張リピートエリアオーバーフロー割り込み要求を発生します。

EXDMACn.EDMINT.DARIEビットを“1”にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバーフロー割り込み処理で、EXDMACn.EDMCNT.DTEビットを“1”にすると、DMA転送を再開することができます。

図19.6に拡張リピートエリア機能の例を示します。

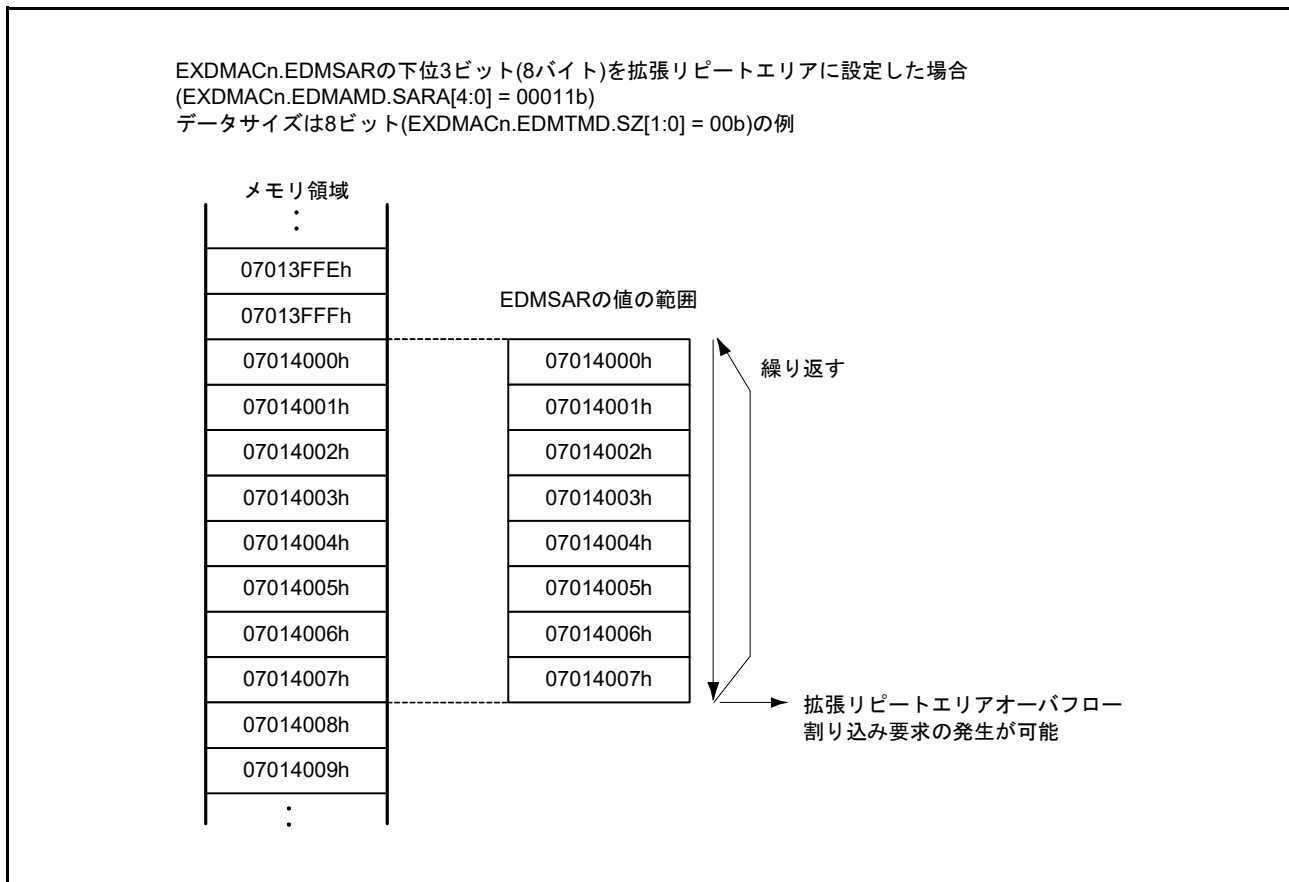


図 19.6 拡張リピートエリア機能の例

拡張リピートエリアオーバーフロー割り込みをブロック転送モードまたはクラスタ転送モードと併用するときは、以下の注意が必要です。

拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズ(またはクラスタサイズ)を2のべき乗になるように設定するか、またはブロックサイズ(またはクラスタサイズ)の切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックサイズを転送中(または1クラスタサイズを転送中)に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックサイズ(または1クラスタサイズ)の転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

図 19.7 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

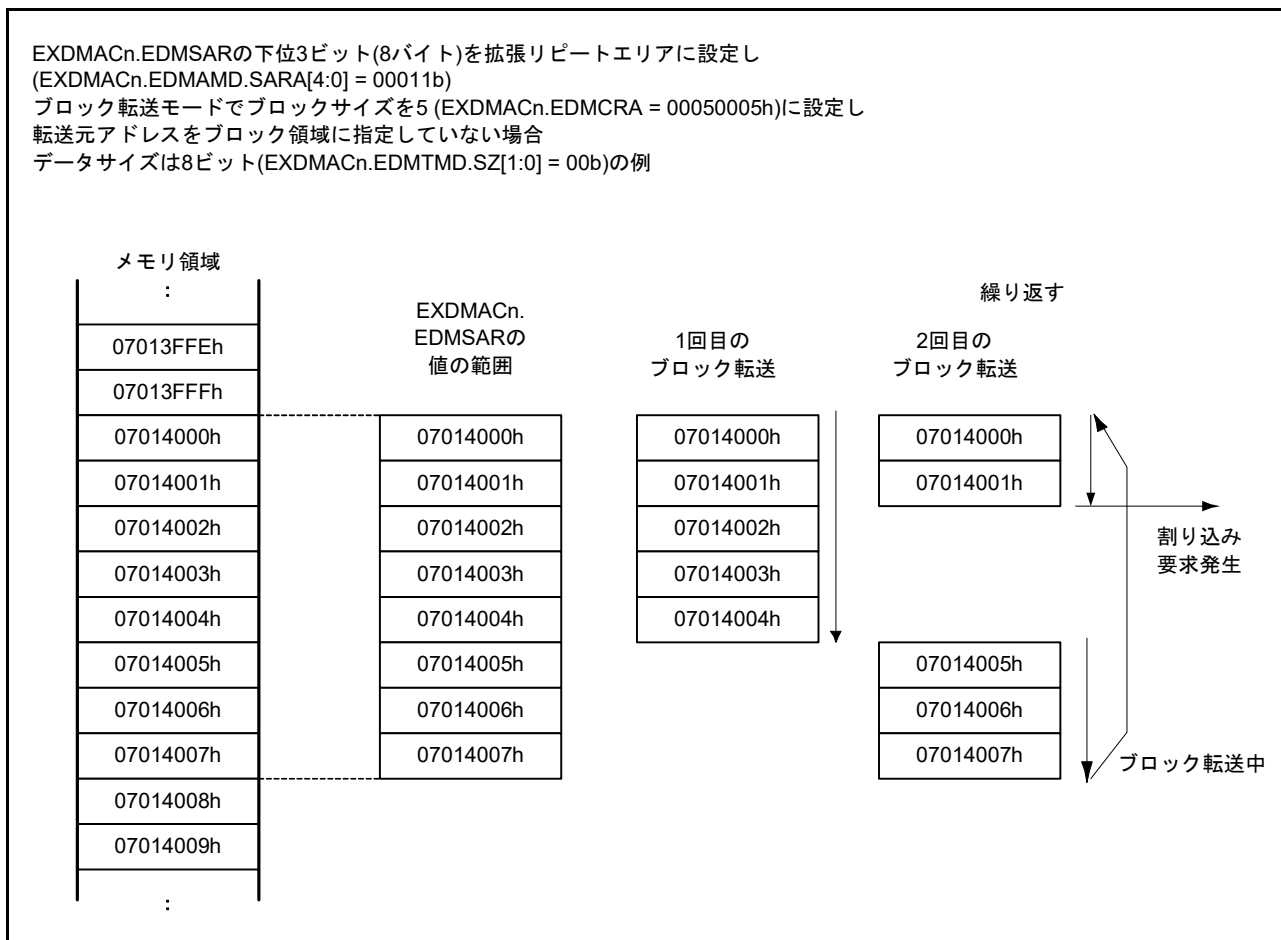


図 19.7 ブロック転送モードと拡張リピートエリア機能を併用した例

19.3.3 オフセットを使ったアドレス更新機能

転送元、転送先アドレスの更新方法は、固定、インクリメント、デクリメントの他にオフセット加算があります。オフセット加算では、1データの転送を行うたびに、EXDMA オフセットレジスタ (EXDMAC0.EDMOFR) に設定した値を加算します。この機能によって、途中のアドレスを飛ばしてデータ転送ができます。

また、EXDMAC0.EDMOFR レジスタに2の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャンネルは EXDMAC0 のみです。

各アドレス更新モードでのアドレス更新方法を表 19.8 に示します。

表 19.8 各アドレス更新モードでのアドレス更新方法

アドレス更新モード	EXDMACn.EDMAMD.SM[1:0] EXDMACn.EDMAMD.DM[1:0] アドレス更新モード設定値	更新方法 (EXDMACn.EDMTMD.SZ[1:0] 設定値別更新方法)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+EXDMAC0.EDMOFR (注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注1. EXDMAオフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現 = $\sim(\text{オフセット値}) + 1$ (\sim : ビット反転)

(1) オフセット加算を使った基本的な転送

オフセットによるアドレス更新機能の動作例を図 19.8 に示します。

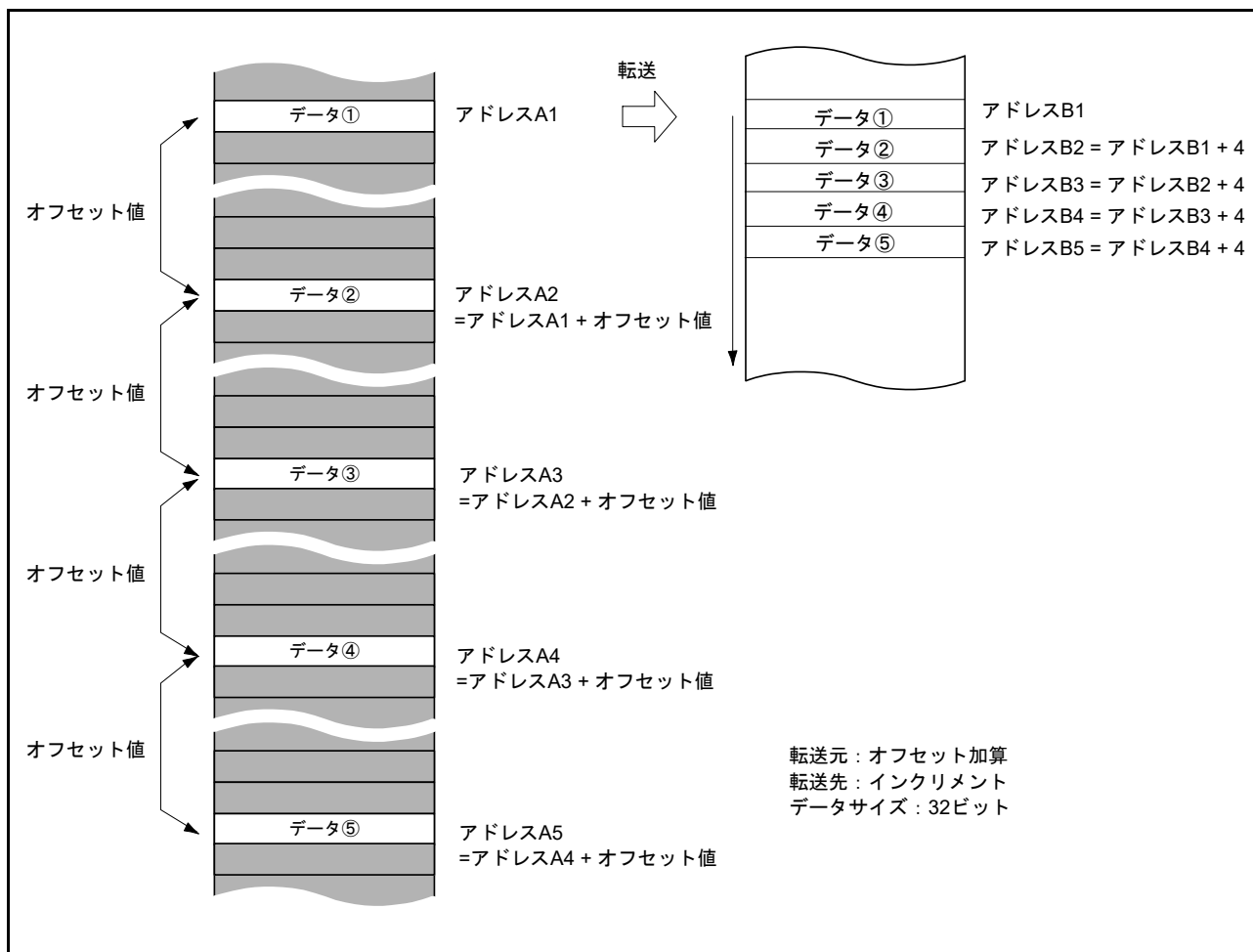


図 19.8 オフセットによるアドレス更新機能の動作例

図 19.8 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けて読み出したデータは、転送先では連続した領域に書き込まれます。

(2) オフセット加算を使ったXY変換例

図 19.9 にリポート転送モードと「オフセット加算」を組み合わせることでXY変換を行うときの動作を示します。

設定方法は以下のとおりです。

- EXDMAC0.EDMAMD レジスタ：転送元アドレス更新モード設定 (オフセット加算)
- EXDMAC0.EDMAMD レジスタ：転送先アドレス更新モード設定 (インクリメント)
- EXDMAC0.EDMTMD レジスタ：データ転送サイズ設定 (32 ビット転送)
- EXDMAC0.EDMTMD レジスタ：転送モード設定 (リポート転送)
- EXDMAC0.EDMTMD レジスタ：リポート領域選択 (転送元側がリポート領域)
- EXDMAC0.EDMOFR レジスタ：アドレスオフセット値設定 (10h)
- EXDMAC0.EDMCRA レジスタ：リポートサイズ設定 (4h)
- EXDMAC0.EDMINT レジスタ：リポートサイズ終了割り込みを許可に設定

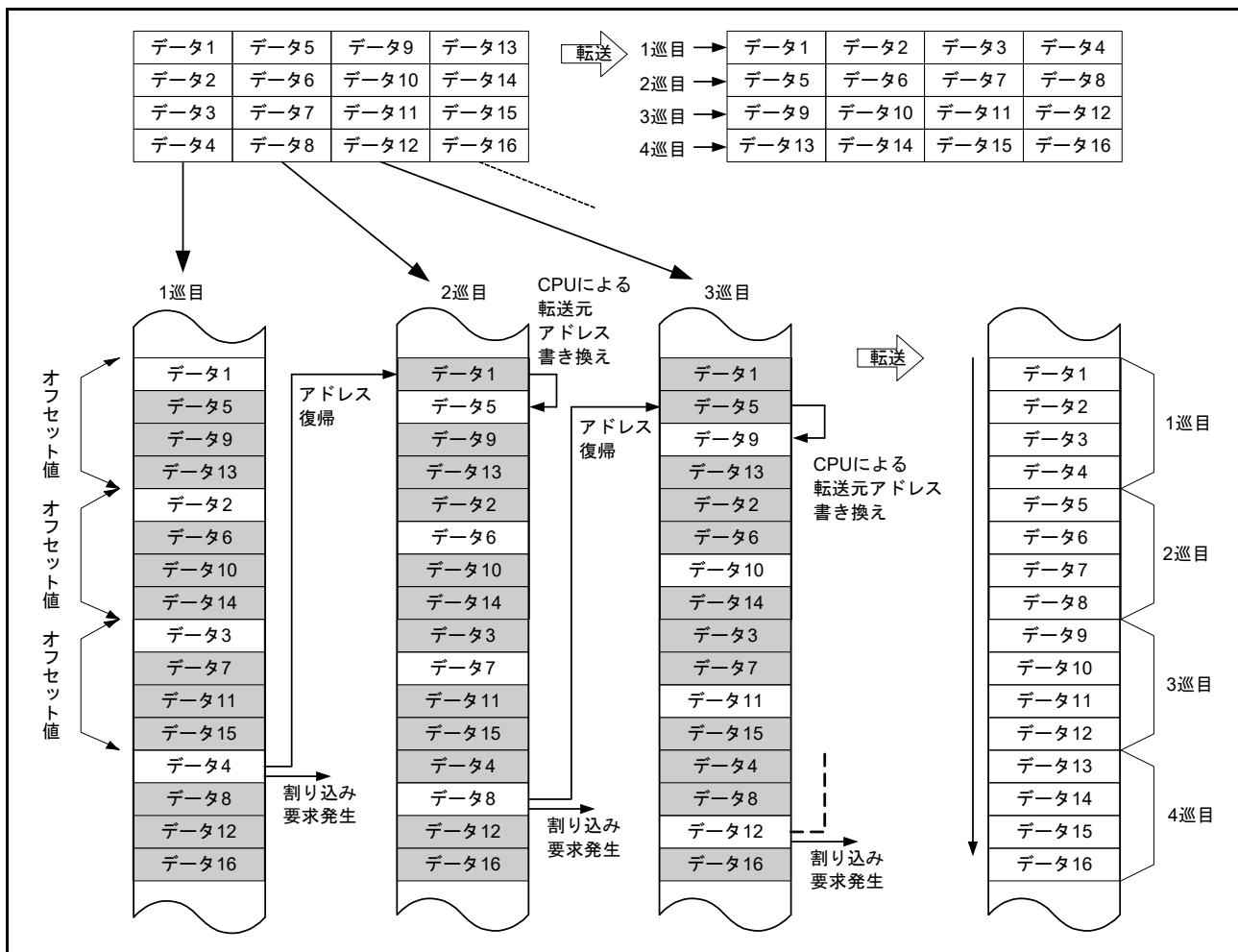


図 19.9 リポート転送モード+オフセット加算によるXY変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“データ4”までのデータが転送されると、リポートサイズ分のデータを転送したことになり、EXDMACは転送元のアドレスを転送開始時のアドレス(転送元“データ1”のアドレス)に復帰させます。また、同時にリポートサイズ終了割り込み要求を発生させます。この割り込み要求によって、いったん転送が中断します。割り込みで以下の処理を行ってください。

- EXDMAC0.EDMSAR レジスタ：DMA 転送元アドレスを“データ 5”のアドレスに書き換え
(上記の例では“データ 1”のアドレスに 4 を加算した値に書き換え)
- EXDMAC0.EDMCNT レジスタ：DTE ビットに“1”を書く

DMA 転送が中断した状態から引き続き DMA 転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 19.10 に XY 変換の処理フローを示します。

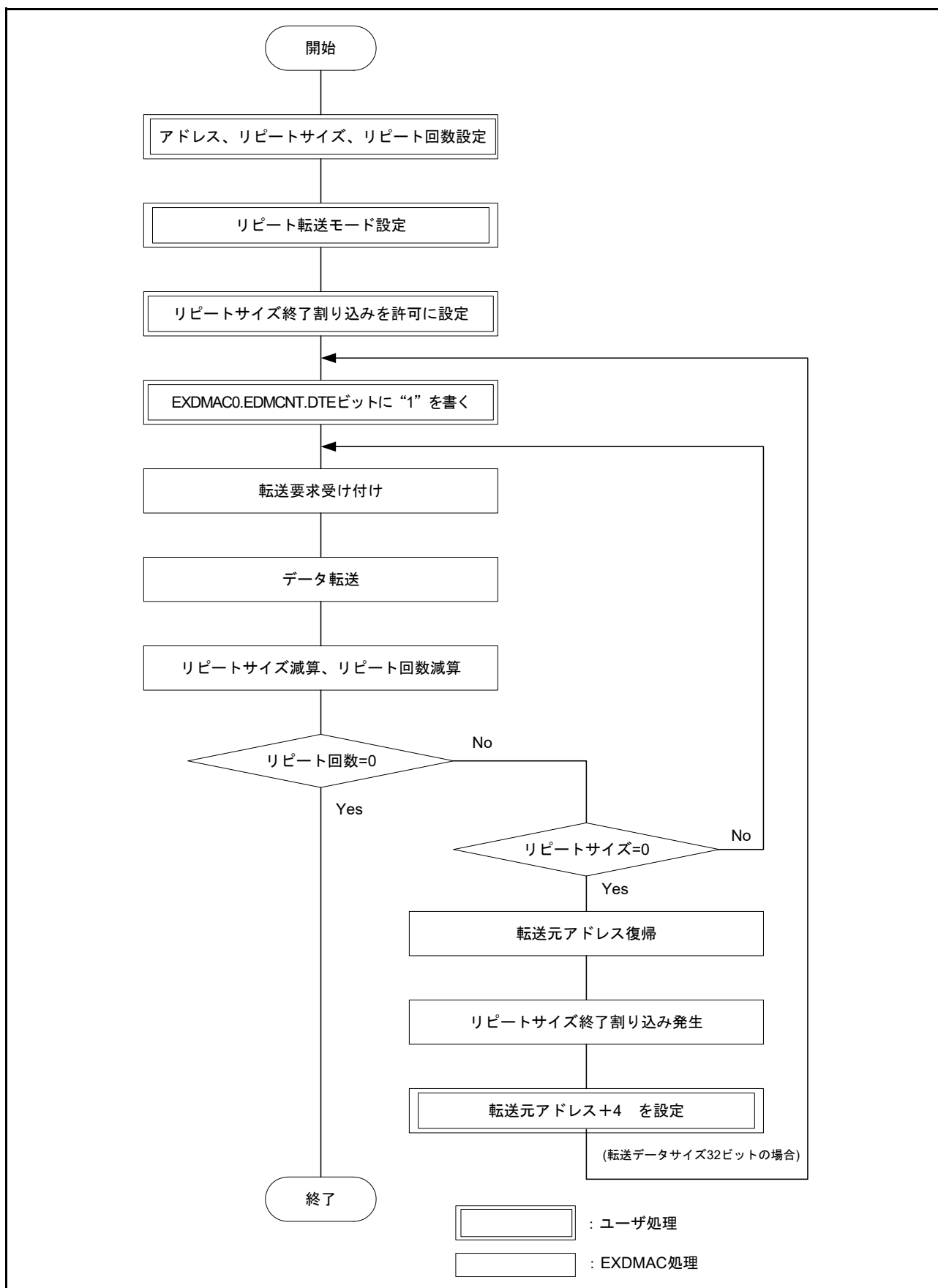


図 19.10 リピート転送モード + オフセット加算による XY 変換のフロー

19.3.4 アドレスモード

EXDMACはデュアルアドレスモードとシングルアドレスモード(クラスタ転送ではリードアドレスモードまたはライトアドレスモード)の設定が可能です。転送モードとアドレスモードの関係を表19.9に示します。

表 19.9 転送モードとアドレスモードの関係

転送モード	アドレスモード	シングルアドレス方向	EXDMAC動作
ノーマル転送モード (EDMTMD.MD[1:0] = 00b)	デュアルアドレスモード (EDMAMD.AMS = 0)	—	リード動作の後にライト動作
	シングルアドレスモード (EDMAMD.AMS = 1)	転送元 (EDMAMD.DIR = 0)	リード動作のみ、ライト側デバイスにEDACKnを出力。本MCUはリードデータを受け取らない
		転送先 (EDMAMD.DIR = 1)	ライト動作のみ、リード側デバイスにはEDACKnを出力。本MCUはライトデータを出力しない
リピート転送モード (EDMTMD.MD[1:0] = 01b)	デュアルアドレスモード (EDMAMD.AMS = 0)	—	リード動作の後にライト動作
	シングルアドレスモード (EDMAMD.AMS = 1)	転送元 (EDMAMD.DIR = 0)	リード動作のみ、ライト側デバイスにはEDACKnを出力。本MCUはリードデータを受け取らない
		転送先 (EDMAMD.DIR = 1)	ライト動作のみ、リード側デバイスにはEDACKnを出力。本MCUはライトデータを出力しない
ブロック転送モード (EDMTMD.MD[1:0] = 10b)	デュアルアドレスモード (EDMAMD.AMS = 0)	—	EDMTMD.SZ[1:0] (転送データサイズ)ごとにリード/ライト交互に動作
	シングルアドレスモード (EDMAMD.AMS = 1)	転送元 (EDMAMD.DIR = 0)	リード動作のみ、ライト側デバイスにはEDACKnを出力。本MCUはリードデータを受け取らない
		転送先 (EDMAMD.DIR = 1)	ライト動作のみ、リード側デバイスにはEDACKnを出力。本MCUはライトデータを出力しない
クラスタ転送モード (EDMTMD.MD[1:0] = 11b)	デュアルアドレスモード (EDMAMD.AMS = 0)	—	クラスタサイズ分リード動作し、その後クラスタサイズ分ライト動作
	リードアドレスモード (EDMAMD.AMS = 1)	転送元 (EDMAMD.DIR = 0)	クラスタサイズ分のリード動作のみ。転送先はクラスタバッファ
	ライトアドレスモード (EDMAMD.AMS = 1)	転送先 (EDMAMD.DIR = 1)	クラスタサイズ分のライト動作のみ。転送元はクラスタバッファ

19.4 転送動作

EXDMAC 転送動作例を以下に示します。

EXDMAC は外部バスクロック (BCLK) に同期して動作します。以下、特にことわりがない場合、外部バスクロック (BCLK) と BCLK 端子出力が同一周波数とした場合の動作例を説明しています。

注. アクセスとアクセスの間には、外部バスのリカバリサイクルの設定によってアイドルサイクルが挿入されます。ただし、リードアクセスとライトアクセスの間は、リカバリサイクルの設定が“0”であっても1サイクルのアイドルサイクルが挿入されます。リカバリサイクルの詳細は「16. バス」を参照してください。

19.4.1 ノーマル転送モード / リピート転送モードの転送動作

(1) デュアルアドレスモード

ノーマル転送デュアルアドレスモードでのバスサイクル例を示します。図 19.11 は 16 ビット、2 サイクルアクセスのデバイスから 16 ビット 2 サイクルアクセスのデバイスへ、データサイズ 16 ビット (EXDMACn.EDMTMD.SZ[1:0]=01b) で 1 データの転送を EDREQn 立ち下がりエッジ起動によって動作した例です。

リピート転送モードのバスサイクルはノーマル転送モードと同じです。

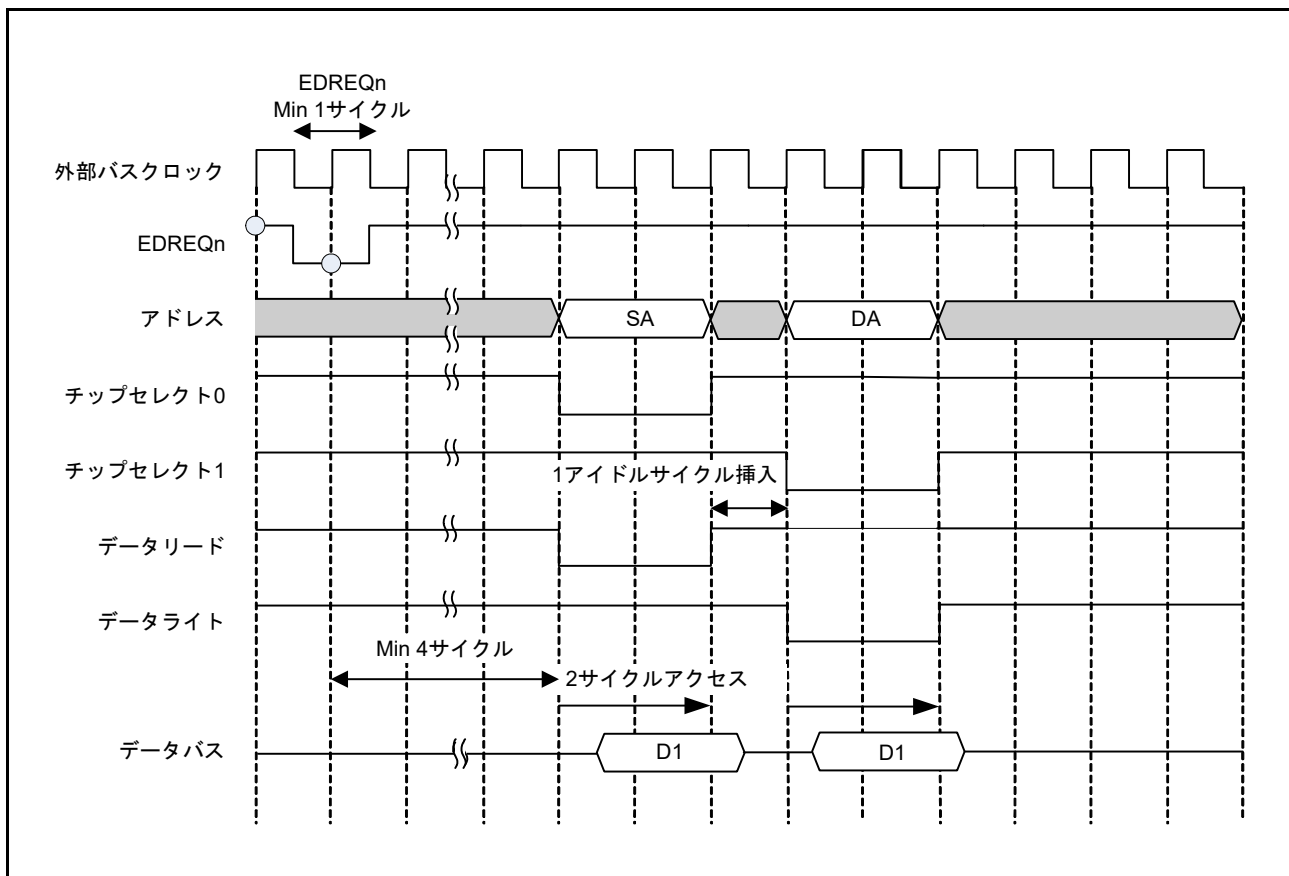


図 19.11 ノーマル転送デュアルアドレスモードでのバスサイクル例

(2) シングルアドレスモード

シングルアドレスモードでは、転送元アドレスを読み出したときに読み出したデータをMCUに取り込まず、直接転送先デバイスへ転送を行います。このとき、EDACK_nを転送元または転送先いずれか一方の外部デバイスに出力すると同時に、もう一方の転送相手にアドレスを出力してアクセスします。

EXDMAC_n.EDMAMD.DIR ビットが“0”のとき、外部バスには転送元アドレスを出力し、転送先にEDACK_nを出力します。EXDMAC_n.EDMAMD.DIR ビットが“1”のとき、外部バスには転送先アドレスを出力し、転送元にEDACK_nを出力します。図 19.12 にシングルアドレスモードでのデータの流れ(EDMAMD.DIR = 1 の場合)を示します。

図 19.13 にノーマル転送シングルアドレスモードでEXDMAC_n.EDMAMD.DIR ビットが“1”(転送先アドレス出力)のときと、EXDMAC_n.EDMAMD.DIR ビットが“0”(転送元アドレス出力)のときに、2サイクルアクセスでそれぞれ1データを転送したときのバスサイクルの例を示します。

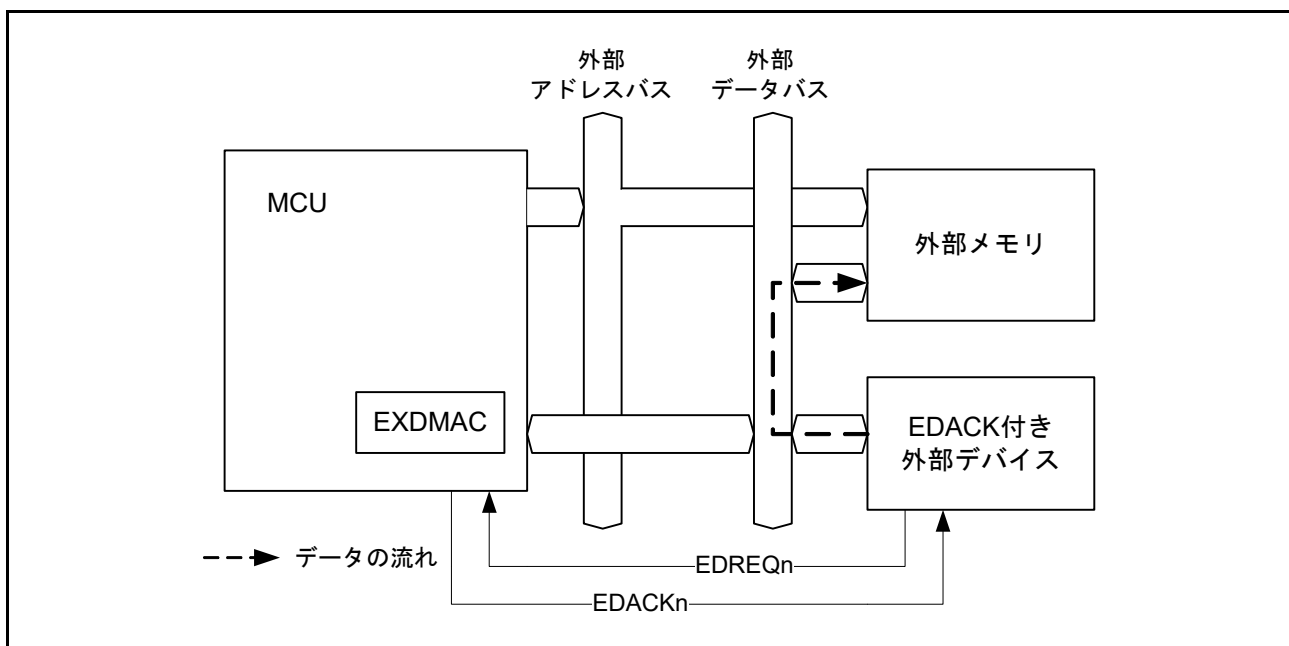


図 19.12 シングルアドレスモードでのデータの流れ (EDMAMD.DIR = 1 の場合)

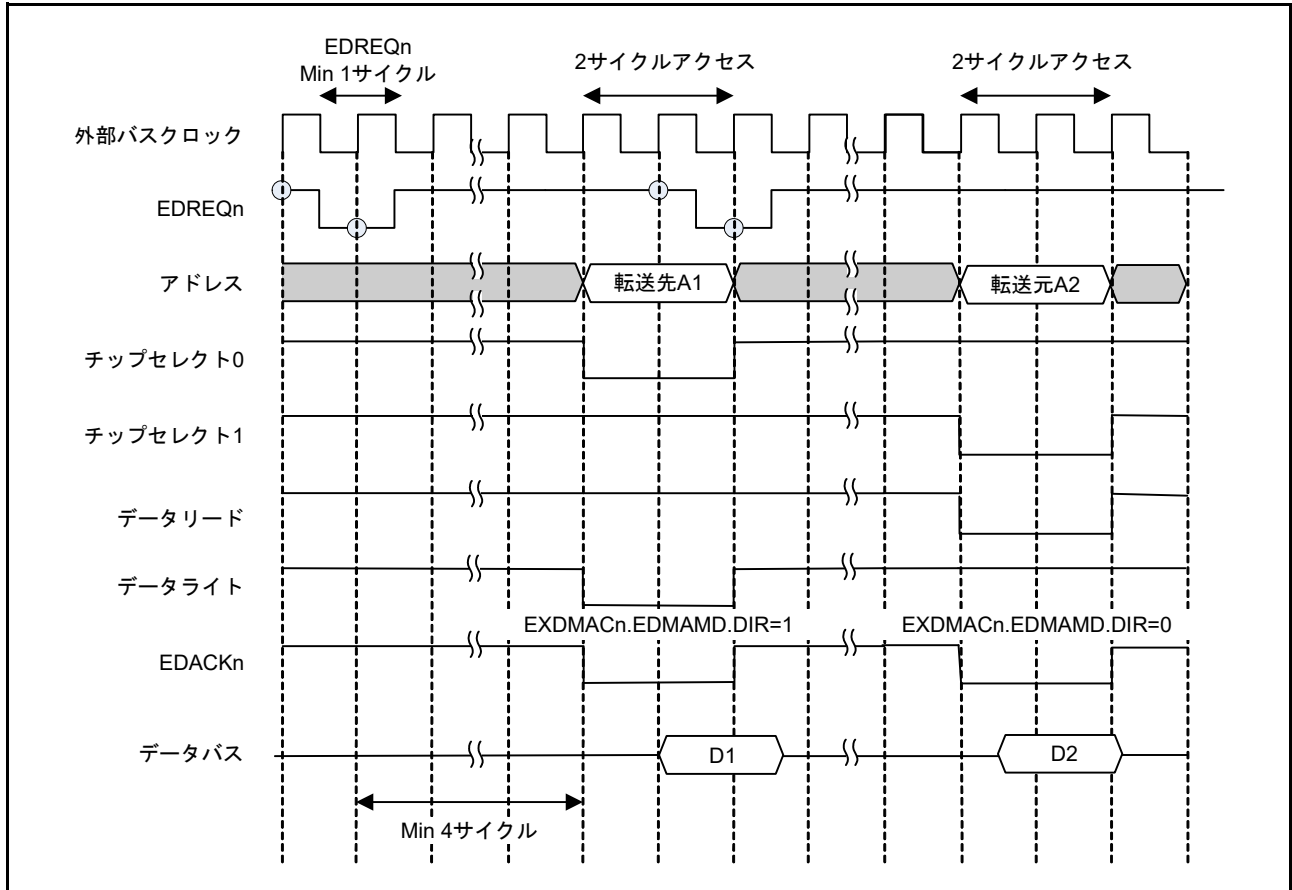


図 19.13 ノーマル転送シングルアドレスモードでのバスサイクル例

19.4.2 ブロック転送モードの転送動作

(1) デュアルアドレスモード

ブロック転送デュアルアドレスモードでのバスサイクル例を示します。図 19.14 は 16 ビット、2 サイクルアクセスのデバイスから 16 ビット 2 サイクルアクセスのデバイスへ、データサイズ 16 ビット (EXDMACn.EDMTMD.SZ[1:0] = 01b) でブロックサイズ 3 を転送した動作例です。

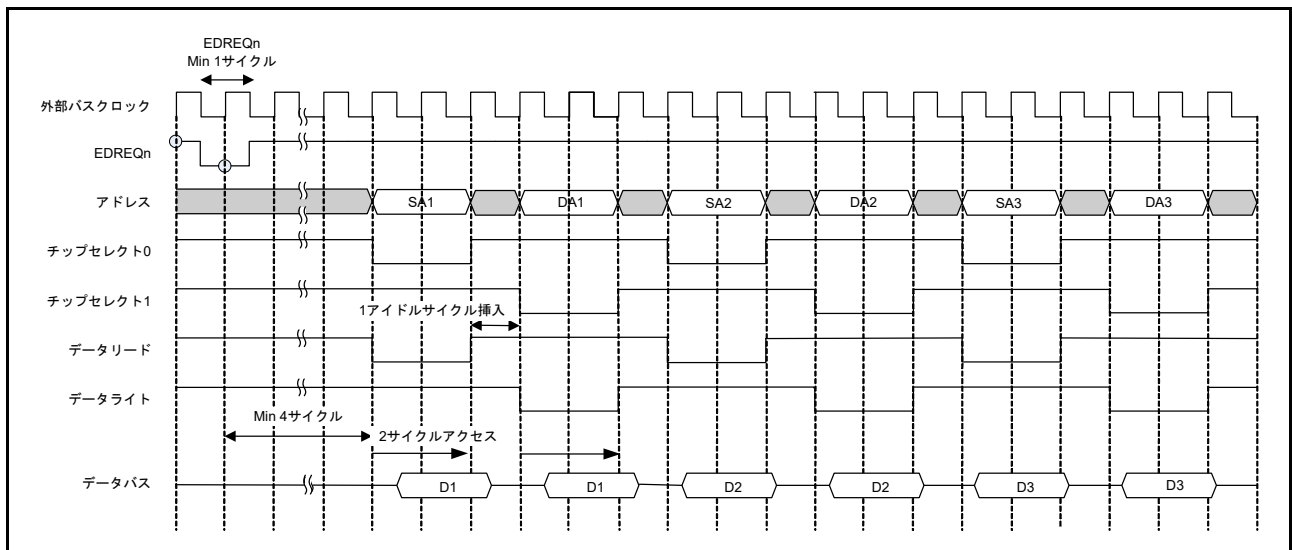


図 19.14 ブロック転送デュアルアドレスモードでのバスサイクル例

(2) シングルアドレスモード

ブロック転送シングルアドレスモードでのバスサイクル例を示します。図 19.15 は 16 ビットアクセスの EDACKn 付きデバイスから 16 ビットアクセスのデバイスへ、データサイズ 16 ビット (EXDMACn.EDMTMD.SZ[1:0] = 01b) でブロックサイズ 3 を 1 バスサイクル 3 サイクルで転送した動作例です。

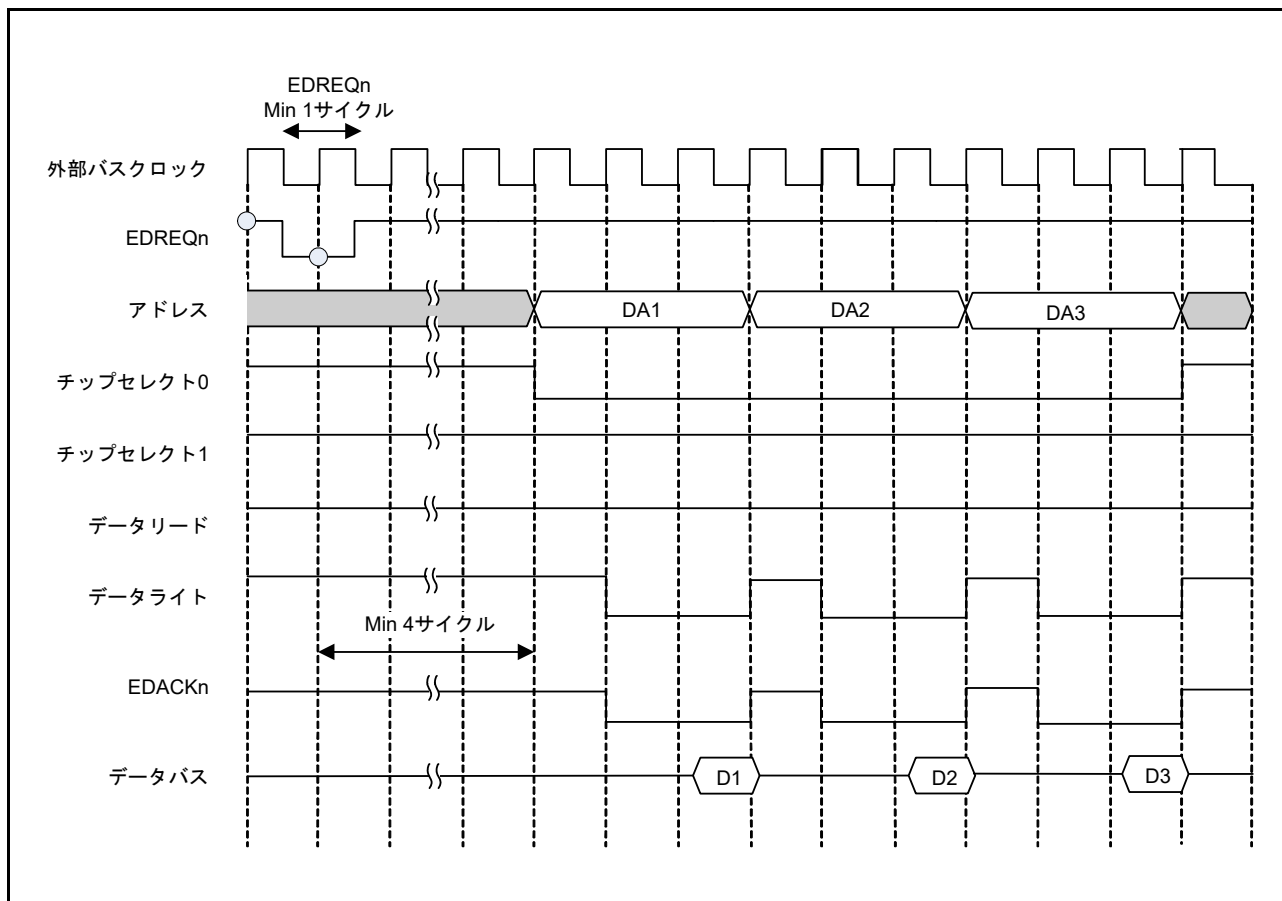


図 19.15 ブロック転送シングルアドレスモードでのバスサイクル例

19.4.3 クラスタ転送モードの転送動作

(1) デュアルアドレスモード

クラスタ転送デュアルアドレスモードは、クラスタサイズのデータをクラスタバッファを中継して転送元外部デバイスから転送先外部デバイスへ転送を行います。図 19.16 にクラスタ転送デュアルアドレスモードのデータの流れを、図 19.17 にクラスタサイズ3で1クラスタを2クロックサイクルで転送したときのバスサイクルの例を示します。

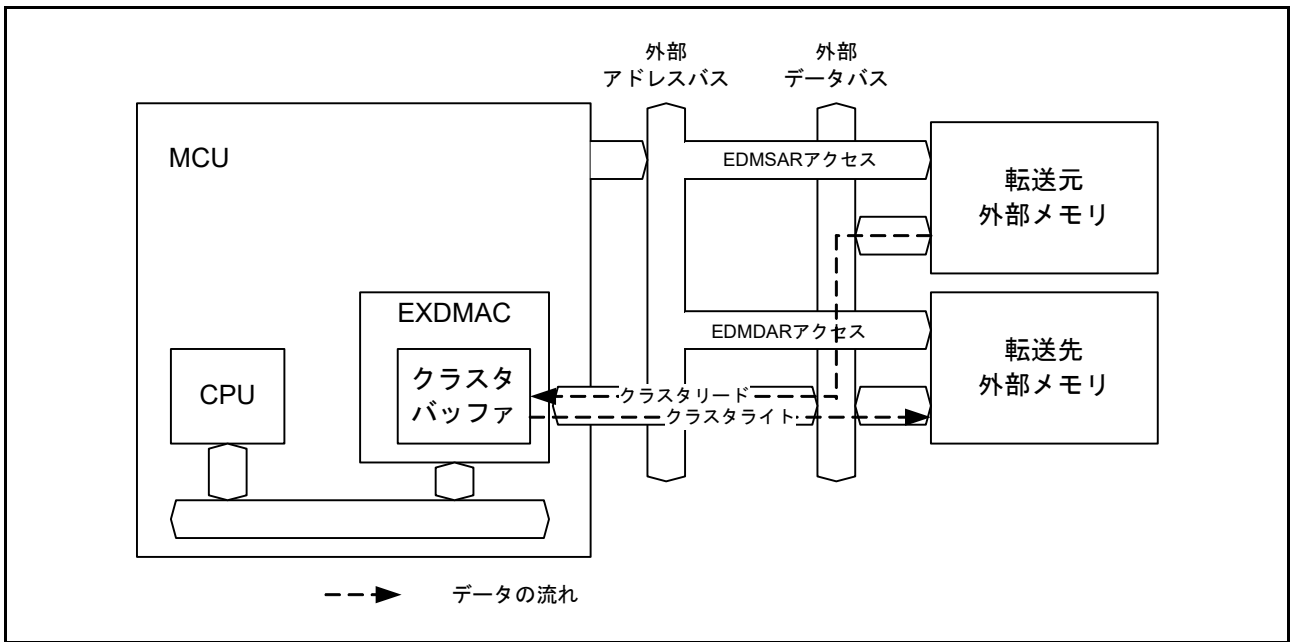


図 19.16 クラスタ転送デュアルアドレスモードのデータの流れ

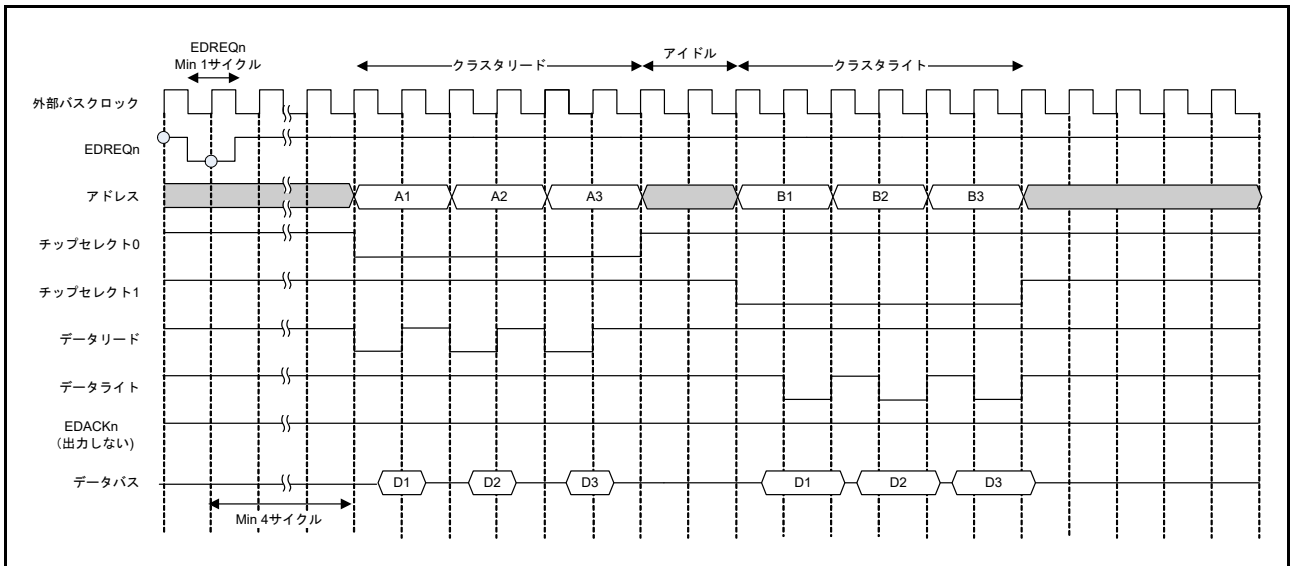


図 19.17 クラスタ転送デュアルアドレスモードでのバスサイクル例

(2) リードアドレスモード

クラスタ転送リードアドレスモードは、クラスタサイズのデータを転送元外部デバイスからクラスタバッファへ転送します。転送されたクラスタバッファ内のデータはCPUから読出しできます。図 19.18 にクラスタ転送リードアドレスモードのデータの流れを、図 19.19 にクラスタサイズ6で1クラスタを2クロックサイクルで転送したときのバスサイクルの例を示します。

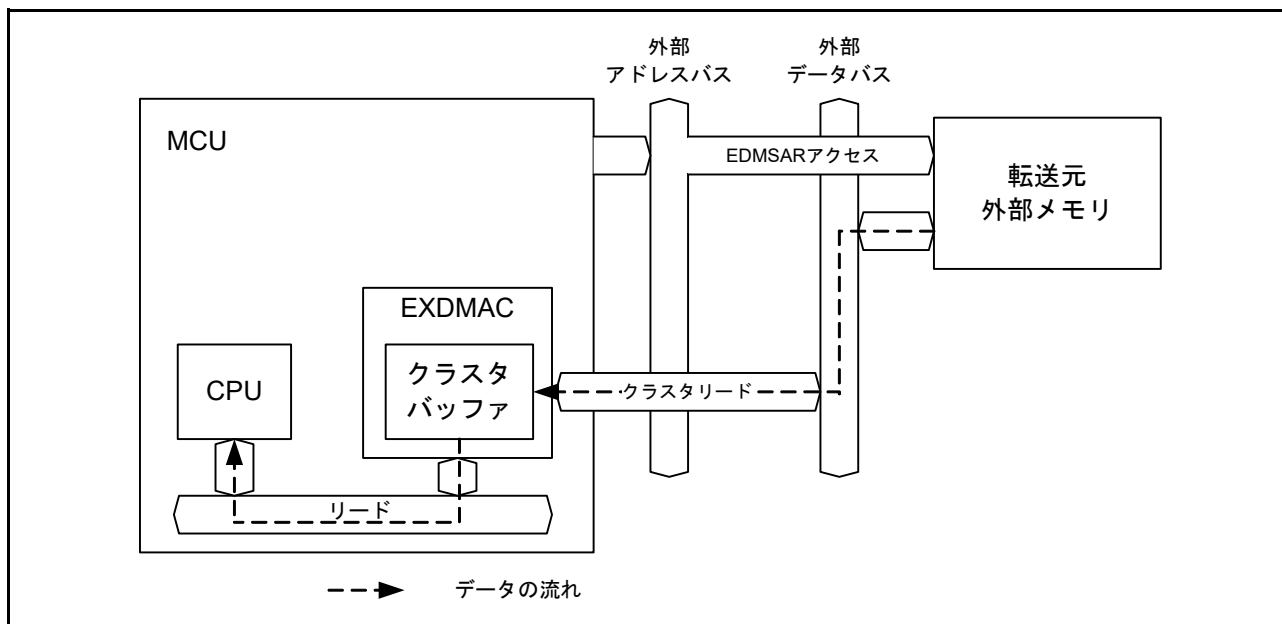


図 19.18 クラスタ転送リードアドレスモードのデータの流れ

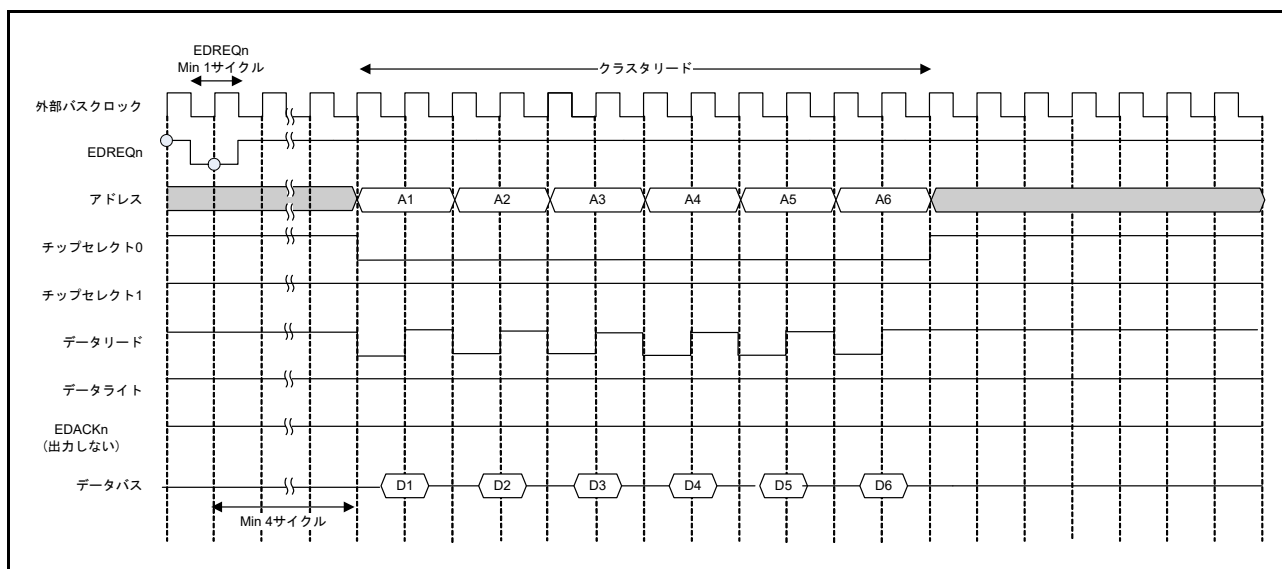


図 19.19 クラスタ転送リードアドレスモードでのバスサイクル例

(3) ライトアドレスモード

クラスタ転送ライトアドレスモードは、CPU/DMAC/DTC など内部バスマスタによって書き込まれたクラスタバッファのデータを転送先外部デバイスへ転送します。図 19.20 にクラスタ転送ライトアドレスモードのデータの流れを、図 19.21 にクラスタサイズ 6 で 1 クラスタを 1 バスサイクル 2 サイクルで転送したときのバスサイクルの例を示します。

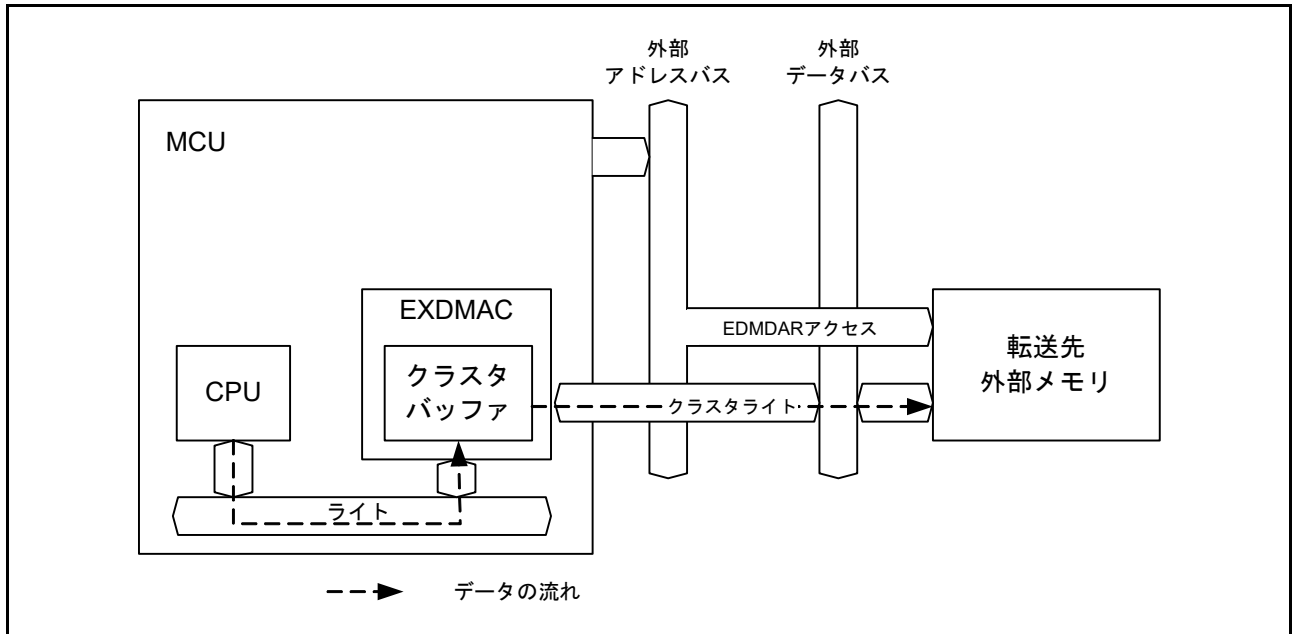


図 19.20 クラスタ転送ライトアドレスモードのデータの流れ

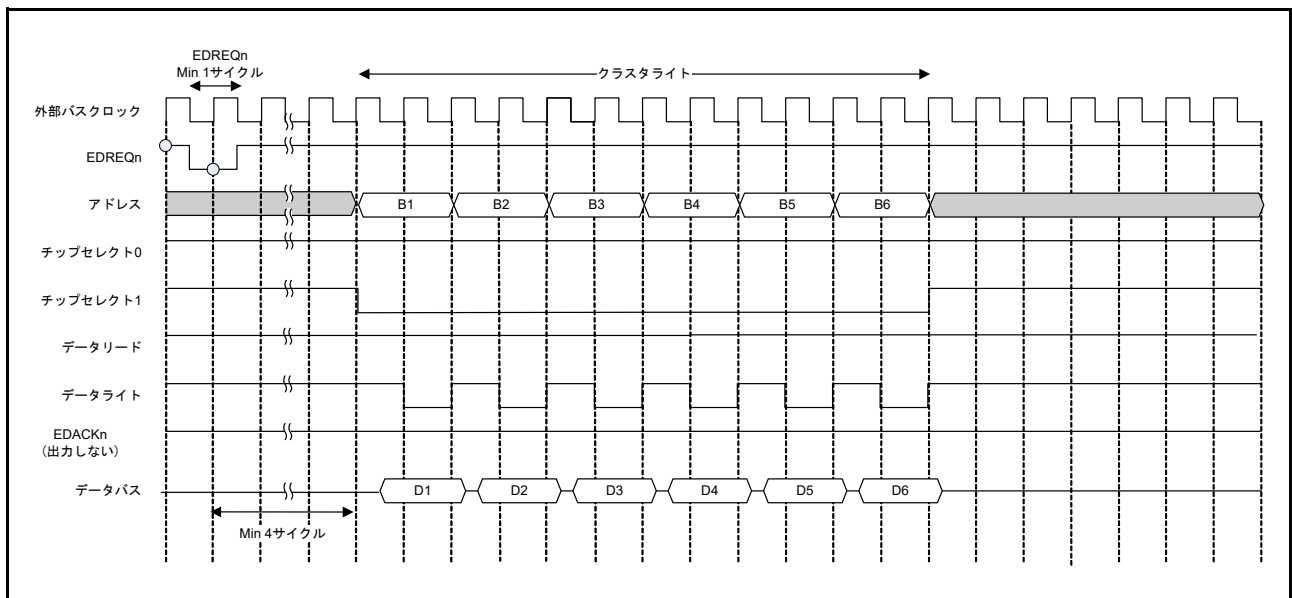


図 19.21 クラスタ転送ライトアドレスモードでのバスサイクル例

19.5 起動要因と起動手順

19.5.1 起動要因

EXDMAC の起動要因には、ソフトウェア、外部 DMA 転送要求端子 (EDREQn 端子)、周辺モジュール (チャンネル 0 は選択型割り込み B 要因選択レジスタ 144 (SLIBR144)、または選択型割り込み A 要因選択レジスタ 208 (SLIAR208) を設定、チャンネル 1 は選択型割り込み B 要因選択レジスタ 145 (SLIBR145)、または選択型割り込み A 要因選択レジスタ 209 (SLIAR209) を設定) からの DMA 転送要求があります。これらの起動要因は EXDMACn.EDMTMD.DCTG[1:0] ビットで選択します。

(1) ソフトウェアによる起動

EXDMACn.EDMTMD.DCTG[1:0] ビットを “00b” にするとソフトウェアによる起動が可能となります。ソフトウェアによる起動によって DMA 転送を開始するには、以下の手順で行ってください。

1. EXDMACn.EDMREQ.SWREQ ビットが “0” (DMA 転送要求なし) であることを確認する
2. EXDMACn.EDMTMD.DCTG[1:0] ビットを “00b” (ソフトウェアによる起動) にする
3. EXDMACn.EDMCNT.DTE ビットを “1” (DMA 転送を許可) にする
4. EXDMACn.EDMREQ.CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択) の設定、および EXDMACn.EDMREQ.SWREQ ビットを “1” (DMA 転送要求あり) にする

EXDMACn.EDMREQ.CLRS ビットが “0” (ソフトウェア起動後に SWREQ ビットをクリアする) の場合、要求に対する転送が開始されると、EXDMACn.EDMREQ.SWREQ ビットが “0” になります。

EXDMACn.EDMREQ.CLRS ビットが “1” (ソフトウェア起動後に SWREQ ビットをクリアしない) の場合、EXDMACn.EDMREQ.SWREQ ビットは “0” になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

(2) 外部 DMA 転送要求端子 (EDREQn) による起動

EXDMACn.EDMTMD.DCTG[1:0] ビットを “10b” にすると外部 DMA 転送要求端子による起動が可能となります。

外部 DMA 転送要求端子によって DMA 転送を開始するには、以下の手順で行ってください。

1. EXDMACn.EDMRMD.DREQS[1:0] ビットで検出方法を設定
2. EXDMACn.EDMTMD.DCTG[1:0] ビットを “10b” (外部 DMA 転送要求端子) にする
3. EXDMACn.EDMERF.EREQ フラグに “1” を書いて、EREQ フラグを “0” にする
4. EXDMACn.EDMCNT.DTE ビットを “1” (DMA 転送許可) にする

EXDMACn.EDMRMD.DREQS[1:0] ビットで “立ち下がりエッジ検出” または “立ち上がりエッジ検出” を設定した場合、外部 DMA 転送要求端子のエッジを検出すると、EXDMACn.EDMERF.EREQ フラグが “1” (DMA 転送要求あり) になります。EXDMACn.EDMERF.EREQ フラグは、外部要求によって DMA 転送が開始すると “0” (DMA 転送要求なし) になります。また、“1” を書くことによって “0” になります。

EXDMACn.EDMRMD.DREQS[1:0] ビットで “Low 検出” に設定した場合、外部 DMA 転送要求端子が “Low” であれば EXDMACn.EDMERF.EREQ フラグは “1” になり、外部 DMA 転送要求端子が “High” であれば EXDMACn.EDMERF.EREQ フラグは “0” になります。また、“Low 検出” の場合は外部要求によって DMA 転送が開始されたとき、もしくは “1” を書いたときに EXDMACn.EDMERF.EREQ フラグは “0” になりません。

EXDMACn.EDMERF.EREQ フラグが “1” のとき、EDMAST.DMST ビットが “1” (EXDMAC 動作) で、EXDMACn.EDMCNT.DTE ビットが “1” (DMA 転送許可) であれば DMA 動作が開始します。

EDMAST.DMST ビット、EXDMACn.EDMCNT.DTE ビットの値にかかわらず、EXDMACn.EDMERF.EREQ フラグは保持されます。

図 19.22 に立ち下がりエッジ検出による外部 DMA 転送要求のタイミング、図 19.23 に Low 検出による外部 DMA 転送要求のタイミングを示します。

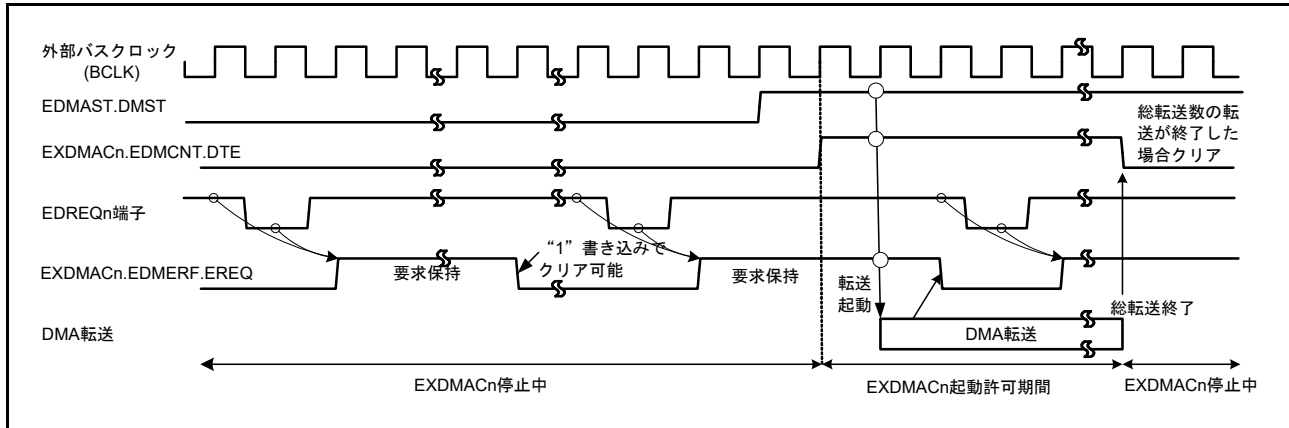


図 19.22 立ち下がりエッジ検出による外部 DMA 転送要求のタイミング

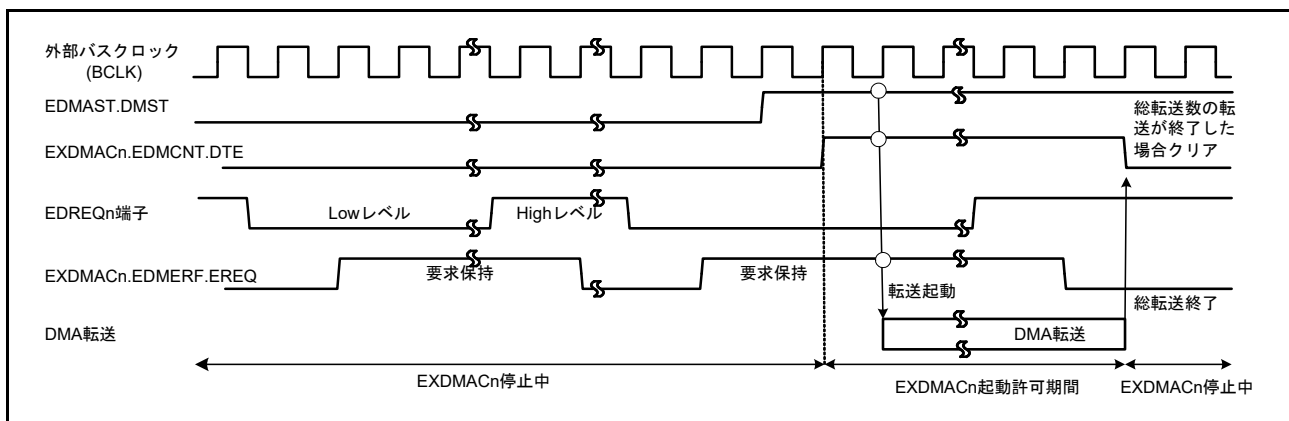


図 19.23 Low 検出による外部 DMA 転送要求のタイミング

(3) 周辺モジュールからの DMA 転送要求による起動

EXDMACn.EDMTMD.DCTG[1:0] ビットを“11b”に設定すると周辺モジュール (選択型割り込み B 要因選択レジスタ (ICU.SLIBR144, ICU.SLIBR145)、または選択型割り込み A 要因選択レジスタ (ICU.SLIAR208, ICU.SLIAR209) で指定された割り込み) からの DMA 転送要求による起動が可能となります。

周辺モジュールによって DMA 転送を開始するには、以下の手順で行ってください。

1. チャンネル 0 は選択型割り込み B 要因選択レジスタ 144 (SLIBR144)、または選択型割り込み A 要因選択レジスタ 208 (SLIAR208) を設定、チャンネル 1 は選択型割り込み B 要因選択レジスタ 145 (SLIBR145)、または選択型割り込み A 要因選択レジスタ 209 (SLIAR209) を設定 (設定手順は、「15. 割り込みコントローラ (ICUE)」の「15.4.5 選択型割り込み」に従ってください。)
2. EXDMACn.EDMTMD.DCTG[1:0] ビットを“11b” (周辺モジュールからの DMA 転送要求) にする
3. EXDMACn.EDMPRF.PREQ フラグに“1”を書いて、PREQ フラグを“0”にする
4. EXDMACn.EDMCNT.DTE ビットを“1” (DMA 転送許可) にする

周辺モジュールからの EXDMACn 起動は、割り込み要求許可ビット (IERm.IENj) の影響を受けません。

周辺モジュールからの DMA 転送要求が発生したときは、EXDMACn.EDMPRF.PREQ フラグが“1” (DMA 転送要求あり) になります。EXDMACn.EDMPRF.PREQ フラグは、周辺モジュールからの要求によって DMA 転送を開始すると“0” (DMA 転送要求なし) になります。また、“1” を書くことによって“0” になります。

EXDMACn.EDMPRF.PREQ フラグが“1” の状態で、EDMAST.DMST ビットが“1” (EXDMAC 動作) で、EXDMACn.EDMCNT.DTE ビットが“1” (DMA 転送許可) であれば DMA 動作が開始します。

EDMAST.DMST ビット、EXDMACn.EDMCNT.DTE ビットの値にかかわらず、EXDMACn.EDMPRF.PREQ フラグは保持されます。

モジュールストップビットの状態に関係なく、内部周辺モジュールからの EXDMACn 起動が発生すると、EXDMACn.EDMPRF.PREQ フラグは“1” になります。

19.5.2 EXDMAC の起動

図 19.24 にレジスタの設定手順を示します。

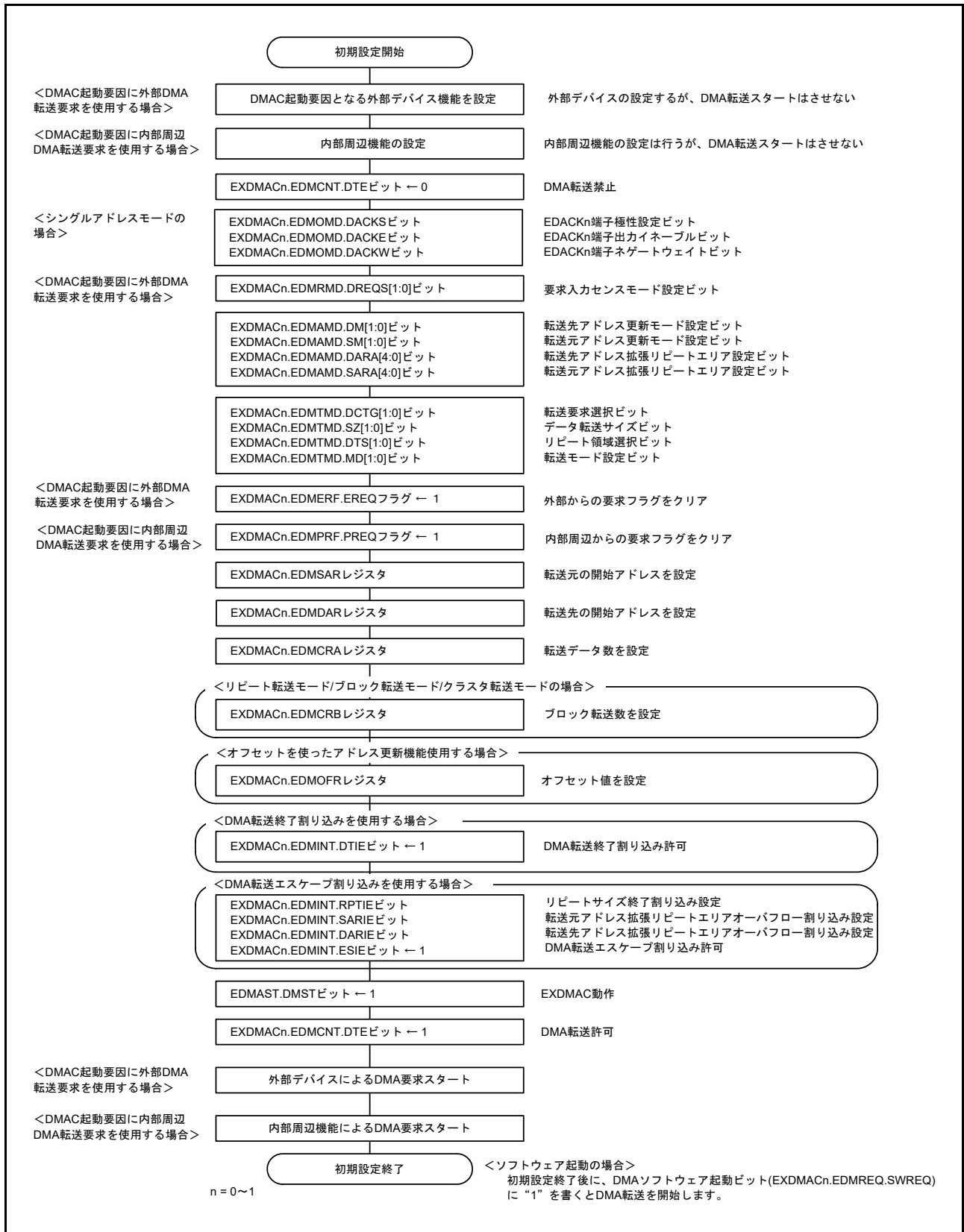


図 19.24 レジスタの設定手順

19.5.3 DMA 転送の開始

EXDMACn.EDMCNT.DTE ビットを“1”(DMA 転送許可)にして、EDMAST.DMST ビットを“1”(EXDMAC 動作)にすると、チャンネル n (n=0, 1) の DMA 転送が可能になります。

DMA 転送要求が発生するとチャンネル調停を行い、優先順位の高いチャンネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送要求が受け付けられ DMA 転送が開始すると、EXDMACn.EDMSTS.ACT フラグが“1”(データ転送中)になります。

19.5.4 DMA 転送中のレジスタ

EXDMAC のレジスタは、DMA 転送処理によって値を更新します。更新される値は、各種設定や転送の状態によって異なります。更新されるレジスタは、EXDMACn.EDMSAR, EXDMACn.EDMDAR, EXDMACn.EDMCRA, EXDMACn.EDMCRB, EXDMACn.EDMCNT, EXDMACn.EDMSTS です。

(1) EXDMA 転送元アドレスレジスタ (EXDMACn.EDMSAR)

1 転送要求に対するデータ転送を終了すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は、表 19.4 ~ 表 19.7 を参照してください。

(2) EXDMA 転送先アドレスレジスタ (EXDMACn.EDMDAR)

1 転送要求に対するデータ転送を終了すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は、表 19.4 ~ 表 19.7 を参照してください。

(3) EXDMA 転送カウンタレジスタ (EXDMACn.EDMCRA)

1 転送要求に対するデータ転送を終了すると、カウンタ値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は、表 19.4 ~ 表 19.7 を参照してください。

(4) EXDMA ブロック転送カウンタレジスタ (EXDMACn.EDMCRB)

1 転送要求に対するデータ転送を終了すると、カウンタ値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は、表 19.4 ~ 表 19.7 を参照してください。

(5) DMA 転送許可ビット (EXDMACn.EDMCNT.DTE ビット)

EXDMACn.EDMCNT.DTE ビットはレジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送によって以下のいずれかの状態になると、EXDMACn.EDMCNT.DTE ビットは“0”になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバフロー割り込み要求が発生し、転送が終了したとき

EXDMACn.EDMCNT.DTE ビットが“1”のチャンネルのレジスタへの書き込みは禁止です (EXDMACn.EDMCNT レジスタを除く)。

EXDMACn.EDMCNT.DTE ビットに“0”を書いてから、各レジスタの設定を変更してください。

(6) EXDMA アクティブフラグ (EXDMACn.EDMSTS.ACT フラグ)

EXDMACn が停止中か動作中であることを示します。EXDMACn.EDMSTS.ACT フラグは EXDMACn が転送動作を開始すると“1”になり、1 転送要求に対するデータ転送を終了すると“0”になります。

DMA 転送中に EXDMACn.EDMCNT.DTE ビットに“0”を書いて、DMA 転送を停止させた場合でも、DMA 転送が終了するまで“1”を保持します。

(7) 転送終了割り込みフラグ (EXDMACn.EDMSTS.DTIF フラグ)

DMA 転送によって総転送サイズ分の転送を終了すると、EXDMACn.EDMSTS.DTIF フラグは“1”になります。

EXDMACn.EDMSTS.DTIF フラグが“1”で、EXDMACn.EDMINT.DTIE ビットが“1”のとき、転送終了割り込み要求が発生します。

EXDMACn.EDMSTS.DTIF フラグが“1”になるタイミングは、DMA 転送のバスサイクルが終了して、EXDMACn.EDMSTS.ACT フラグが“0”になって転送を終了したときです。

割り込み処理中に EXDMACn.EDMCNT.DTE ビットに“1”を書いた場合、自動的に EXDMACn.EDMSTS.DTIF フラグが“0”になります。

(8) 転送エスケープ割り込みフラグ (EXDMACn.EDMSTS.ESIF フラグ)

リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、EXDMACn.EDMSTS.ESIF フラグは“1”になります。EXDMACn.EDMSTS.ESIF フラグが“1”で、EXDMACn.EDMINT.ESIE ビットが“1”のとき、転送エスケープ割り込み要求が発生します。

EXDMACn.EDMINT.F フラグに“1”になるタイミングは、割り込み要求が発生させる要因になった DMA 転送のバスサイクルが終了して、EXDMACn.EDMSTS.ACT フラグが“0”になって転送を終了したときです。

割り込み処理中に EXDMACn.EDMCNT.DTE ビットに“1”を書いた場合、自動的に EXDMACn.EDMSTS.ESIF フラグが“0”になります。

EXDMACn からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。

19.5.5 チャネルの優先順位

EXDMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 > チャネル 1 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行い、優先順位の高いチャネルの転送が開始されます。

19.6 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、EXDMACn.EDMCNT.DTE ビットと EXDMACn.EDMSTS.ACT フラグが“1”から“0”になり、DMA 転送が終了したことを示します。

19.6.1 設定した総データ転送による転送終了

(1) ノーマル転送モード (EXDMACn.EDMTMD.MD[1:0] = 00b) のとき

EXDMACn.EDMCRAL レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、EXDMACn.EDMCNT.DTE ビットが“0”になり、同時に EXDMACn.EDMSTS.DTIF フラグが“1”になります。このとき EXDMACn.EDMINT.DTIE ビットが“1”であれば、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード (EXDMACn.EDMTMD.MD[1:0] = 01b) のとき

EXDMACn.EDMCRB の値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、EXDMACn.EDMCNT.DTE ビットが“0”になり、同時に EXDMACn.EDMSTS.DTIF フラグが“1”になります。このとき EXDMACn.EDMINT.DTIE ビットが“1”であれば、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード (EXDMACn.EDMTMD.MD[1:0] = 10b) のとき

EXDMACn.EDMCRB の値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、EXDMACn.EDMCNT.DTE ビットが“0”になり、同時に EXDMACn.EDMSTS.DTIF フラグが“1”になります。このとき EXDMACn.EDMINT.DTIE ビットが“1”であれば、CPU または DTC に割り込み要求が発生します。

(4) クラスタ転送モード (EXDMACn.EDMTMD.MD[1:0] = 11b) のとき

EXDMACn.EDMCRB の値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、EXDMACn.EDMCNT.DTE ビットが“0”になり、同時に EXDMACn.EDMSTS.DTIF フラグが“1”になります。このとき EXDMACn.EDMINT.DTIE ビットが“1”であれば、CPU または DTC に割り込み要求が発生します。

EXDMACn からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳しくは「15. 割り込みコントローラ (ICUE)」を参照してください。

19.6.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、EXDMACn.EDMINT.RPTIE ビットが“1”のときに、1 リピートサイズ分の転送終了後に、リピートサイズ終了割り込み要求が発生します。割り込み要求の発生によって DMA 転送を終了し、EXDMACn.EDMCNT.DTE ビットが“0”になり、同時に EXDMACn.EDMSTS.ESIF フラグが“1”になります。このとき EXDMACn.EDMINT.ESIE ビットが“1”であれば、CPU または DTC に割り込み要求が発生します。また、この状態から EXDMACn.EDMCNT.DTE ビットを“1”にすると転送を再開させることができます。

ブロック転送モード (またはクラスタ転送モード) においても、リピートサイズ終了割り込み要求が発生させることができます。ブロック転送モード (またはクラスタ転送モード) では、1 ブロック (または 1 クラスタ) 分の転送終了後に、同様にリピートサイズ終了割り込み要求が発生します。

EXDMACn からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳しくは「15. 割り込みコントローラ (ICUE)」を参照してください。

19.6.3 拡張リピートエリアオーバーフロー割り込みによる転送終了

拡張リピートエリアを指定し、EXDMACn.EDMINT.SARIE ビットまたは EXDMACn.EDMINT.DARIE ビットが“1”のときに、アドレスの拡張リピートエリアがオーバーフローすると、拡張リピートエリアオーバーフロー割り込み要求が発生します。割り込み要求の発生によって DMA 転送は終了し、

EXDMACn.EDMCNT.DTE ビットが“0”になり、同時に EXDMACn.EDMSTS.ESIF フラグが“1”になります。このとき EXDMACn.EDMINT.ESIE ビットが“1”であれば、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバーフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モード(またはクラスタ転送モード)では、1ブロック(または1クラスタ)分の転送中に拡張リピートエリアオーバーフロー割り込み要求が発生しても1ブロック(または1クラスタ)分の転送は実行されます。拡張リピートエリアオーバーフロー割り込みによる転送終了は、ブロックサイズ(クラスタサイズ)の区切りで発生します。

EXDMACn からの割り込み要求を CPU または DTC に伝達させるためには、割り込み割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ(ICUE)」を参照してください。

19.7 割り込み

EXDMACはチャンネルごとにCPUまたはDTCに割り込み要求を出力させることができます。割り込みの要因、フラグ、許可ビットの関係を表19.10に、割り込み出力の概略論理図を図19.25に示します。また、EXDMAC割り込み処理でDMA転送を再開/中止する手順を図19.26に示します。

表19.10 割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力ライン
転送終了		—	EXDMACn.EDMSTS.DTIF	EXDMACn.EDMINT.DTIE
エスケープ 転送終了	リピートサイズ終了	EXDMACn.EDMINT.RPTIE	EXDMACn.EDMSTS.ESIF	EXDMACn.EDMINT.ESIE
	転送元アドレス拡張リピート エリアオーバーフロー	EXDMACn.EDMINT.SARIE		
	転送先アドレス拡張リピート エリアオーバーフロー	EXDMACn.EDMINT.DARIE		

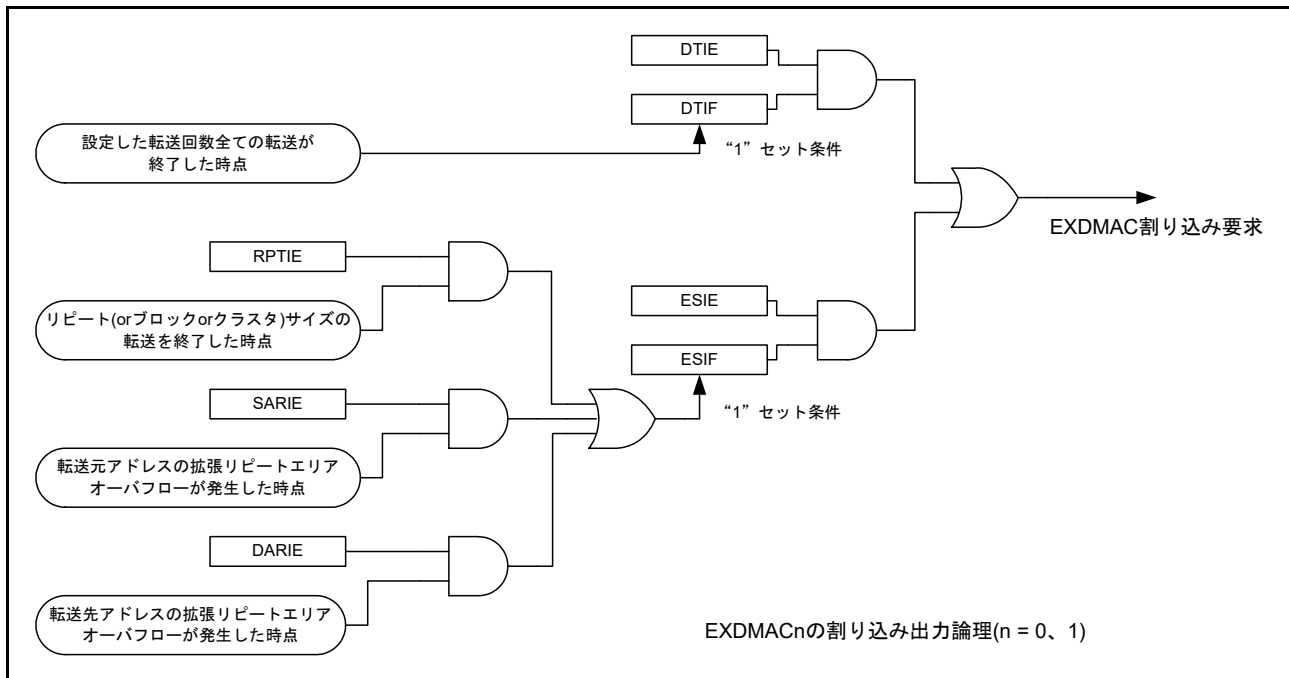


図19.25 割り込み出力の概略論理図

割り込みを解除してDMA転送を再開する方法は、DMA転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1) DMA転送を終了または中止させる場合

転送終了割り込みの場合、EXDMACn.EDMSTS.DTIFフラグに“0”を書いて、割り込み要因をクリアしてください。リピートサイズ割り込み、および拡張リピートエリアオーバーフロー割り込みの場合は、EXDMACn.EDMSTS.ESIFフラグに“0”を書いて、割り込み要因をクリアしてください。EXDMACnは停止状態を保ちます。その後、新たなDMA転送を行う場合は、必要なレジスタに設定値を書き込み、EXDMACn.EDMCNT.DTEビットに“1”を書いてください。

(2) DMA転送を継続させる場合

EXDMACn.EDMCNT.DTEビットに“1”を書いてください。自動的にEXDMACn.EDMSTS.ESIFフラグがクリアされ(割り込み要因がクリアされ)転送が再開します。

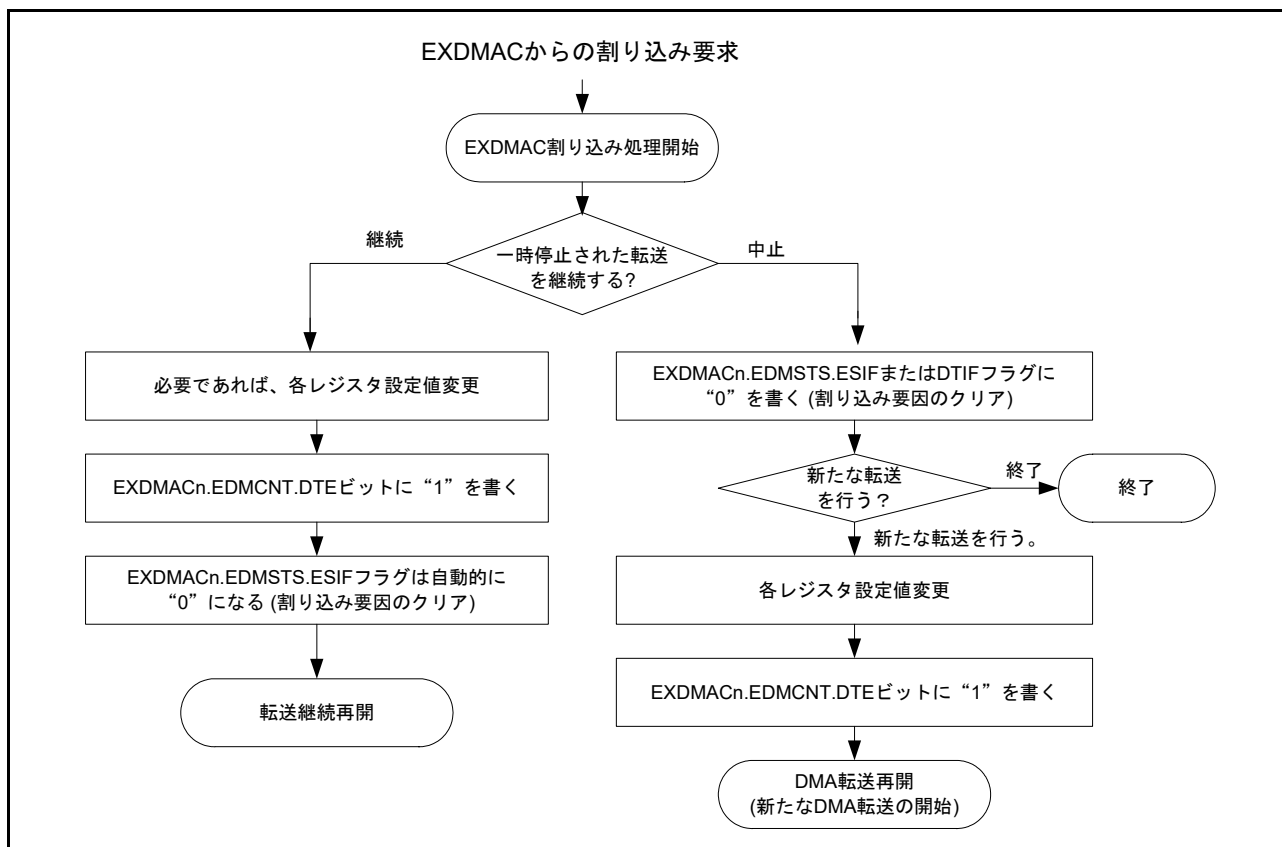


図 19.26 EXDMA 割り込み処理で DMA 転送を再開 / 中止する手順

19.8 消費電力低減機能

EXDMAC のモジュールストップ機能および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、EDMAST.DMST ビットを“0” (EXDMAC 停止) にした後、以下の処理を行ってください。

(1) モジュールストップ機能

MSTPCRA.MSTPA29 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、EXDMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA29 ビットに“1” を書いた時点で DMA 転送動作中の場合、DMA 転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA29 ビットが“1” のとき、EXDMAC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA29 ビットに“0” (モジュールストップ状態の解除) を書くことによって、EXDMAC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の「11.6.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定を行ってください。WAIT 命令実行時点で DMA 転送動作中の場合は、DMA 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA29 ビットに“0” を書くことによって、EXDMAC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」または「11.6.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定を行ってください。WAIT 命令実行時点で DMA 転送動作中の場合は、DMA 転送終了後にソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 EDMAST.DMST ビットを“1” にしてください。

19.9 シングルアドレスモード時の EDACK_n 動作

シングルアドレスモードでは、EDACK_n を転送元または転送先いずれか一方の外部デバイスに出力すると同時に、もう一方の転送相手にアドレスを出力してアクセスします。

EDACK_n を受ける外部デバイスの転送相手が CS 領域の場合、EXDMAC_n.EDMOMD.DACKW ビットを設定することによって、EDACK_n のネゲートタイミングを 1BCLK サイクル調整 (外部デバイスが転送先の場合 1BCLK サイクル前、転送元の場合 1BCLK サイクル後) することができます。転送相手が SDRAM 領域の場合、EXDMAC_n.EDMOMD.DACKW ビットでは、EDACK_n のネゲートタイミング調整はできません。

EDACK_n を受ける外部デバイスの転送相手が、SDRAM 領域アクセスの場合、EXDMAC_n.EDMOMD.DACKSEL ビットを“1”にすることにより、データ有効期間後半の 1/2 SDCLK サイクルのみ EDACK_n 信号をアサートすることができます。転送相手が CS 領域の場合、EXDMAC_n.EDMOMD.DACKSEL ビットによる EDACK_n 信号アサート期間の調整はできません。

CS 領域、SDRAM 領域のアドレスに関しては「4. アドレス空間」を参照してください。

シングルアドレスモードでのノーマル転送、ブロック転送で CS 領域、SDRAM 領域それぞれに対して転送を行った場合の EDACK_n 動作例を示します。

19.9.1 シングルアドレスモードノーマル転送 (CS 領域) EDACK_n 動作例

図 19.27 にノーマル転送で CS 領域から EDACK_n 付きデバイスへ転送した場合の動作例を示します。EXDMAC_n.EDMOMD.DACKW ビットを“1”にすることによって、データリード信号ネゲートタイミングの 1BCLK サイクル前に EDACK_n をネゲートすることができます。

図 19.28 にノーマル転送で EDACK_n 付きデバイスから CS 領域へ転送した場合の動作例を示します。EXDMAC_n.EDMOMD.DACKW ビットを“1”にすることによって、データライト信号ネゲートタイミングの 1BCLK サイクル後に EDACK_n をネゲートすることができます。

データリード信号、データライト信号および CS 領域アクセスタイミング設定レジスタの詳細に関しては「16. バス」を参照してください。

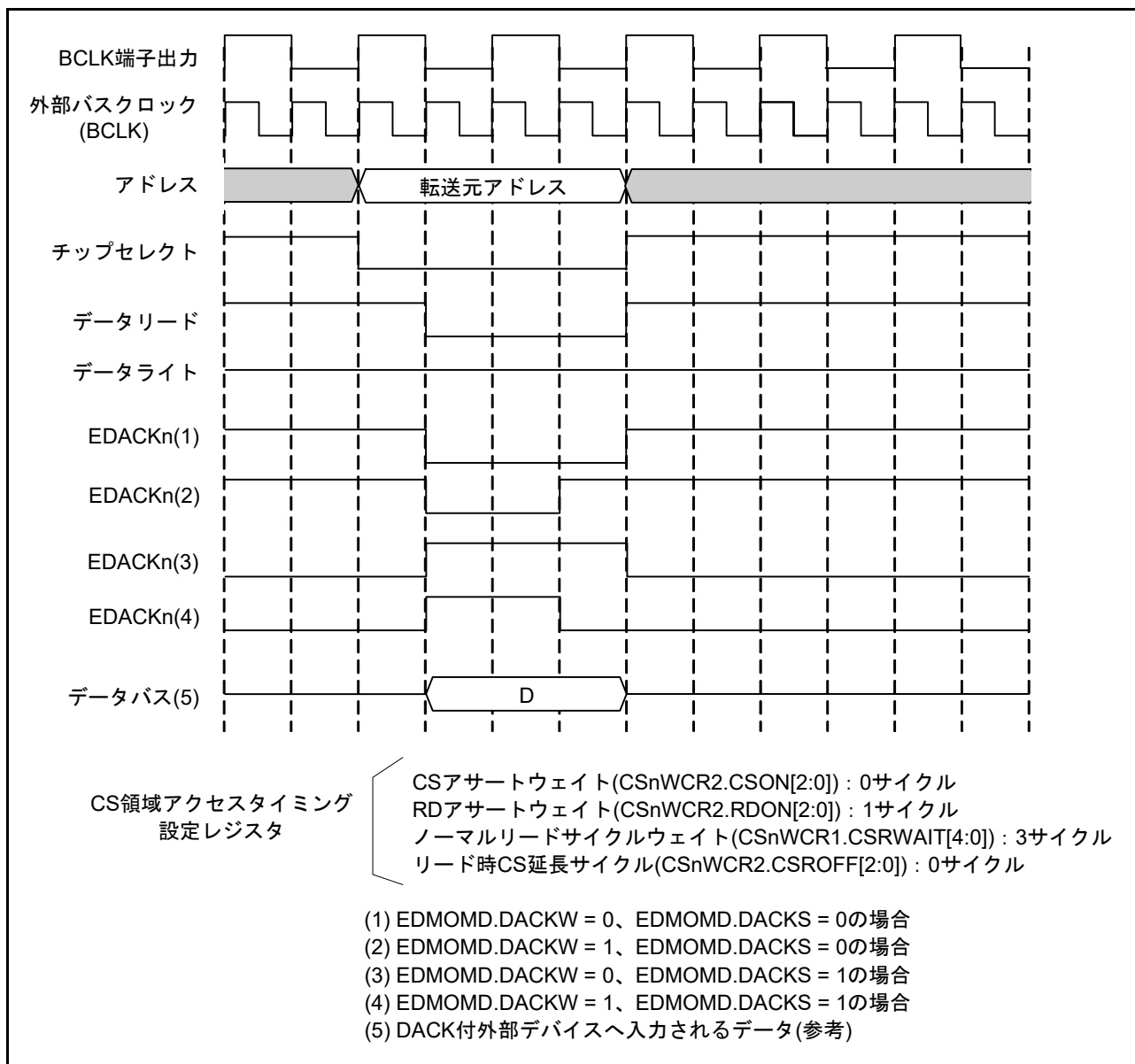


図 19.27 シングルアドレスモードノーマル転送 (CS 領域リード) 動作例

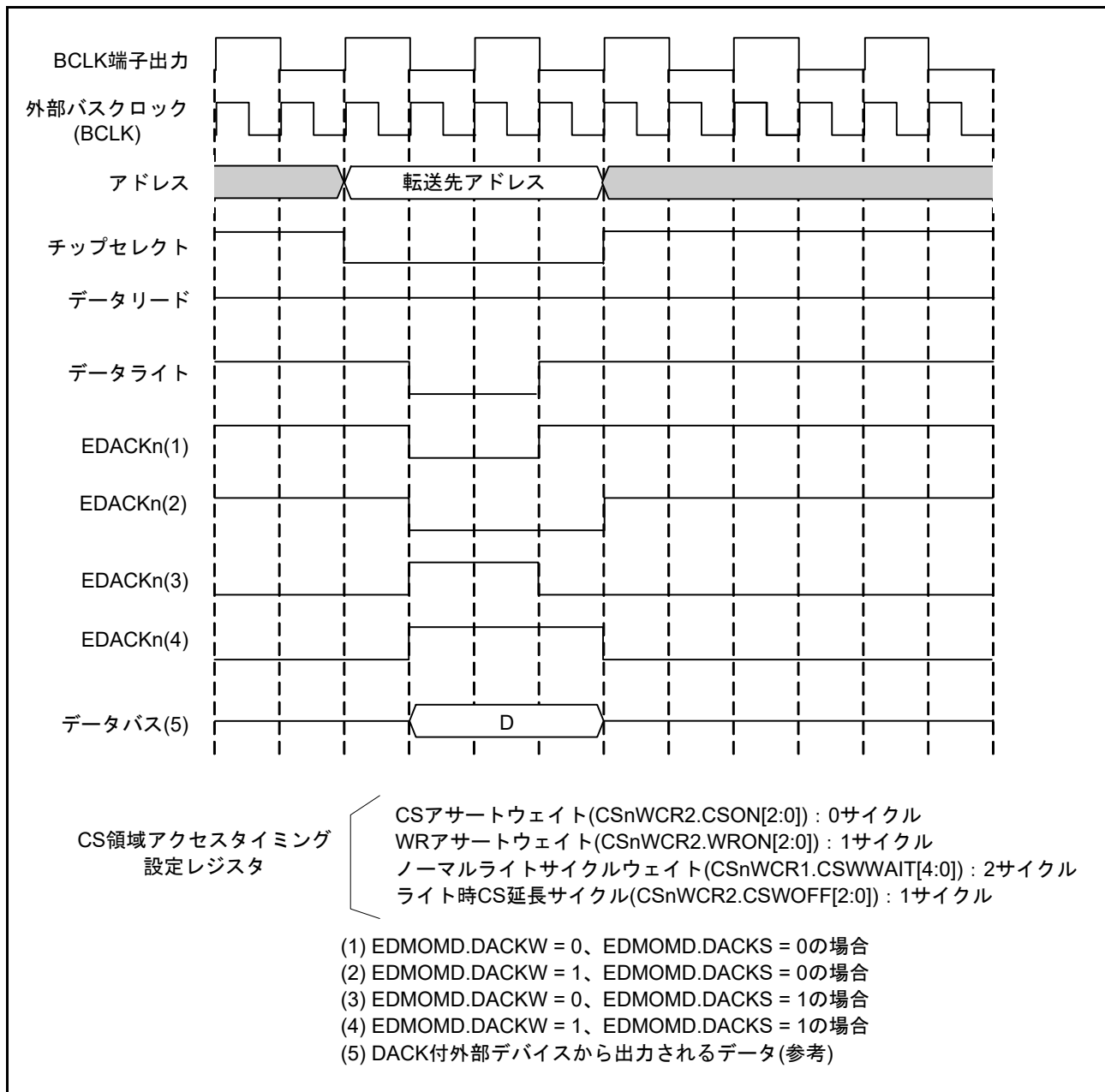


図 19.28 シングルアドレスモードノーマル転送 (CS 領域ライト) 動作例

19.9.2 シングルアドレスモードノーマル転送 (SDRAM 領域) EDACKn 動作例

図 19.29 にノーマル転送で SDRAM から EDACKn 付きデバイスへ転送した場合の動作例を示します。EDACKn は SDRAM からのデータ出力サイクルの期間アサートします。

図 19.30 にノーマル転送で EDACKn 付きデバイスから SDRAM へ転送した場合の動作例を示します。EDACKn は SDRAM ライトサイクルの期間アサートします。

SDRAM コマンド、SDRAM アクセスタイミング設定レジスタの詳細に関しては「16. バス」を参照してください。

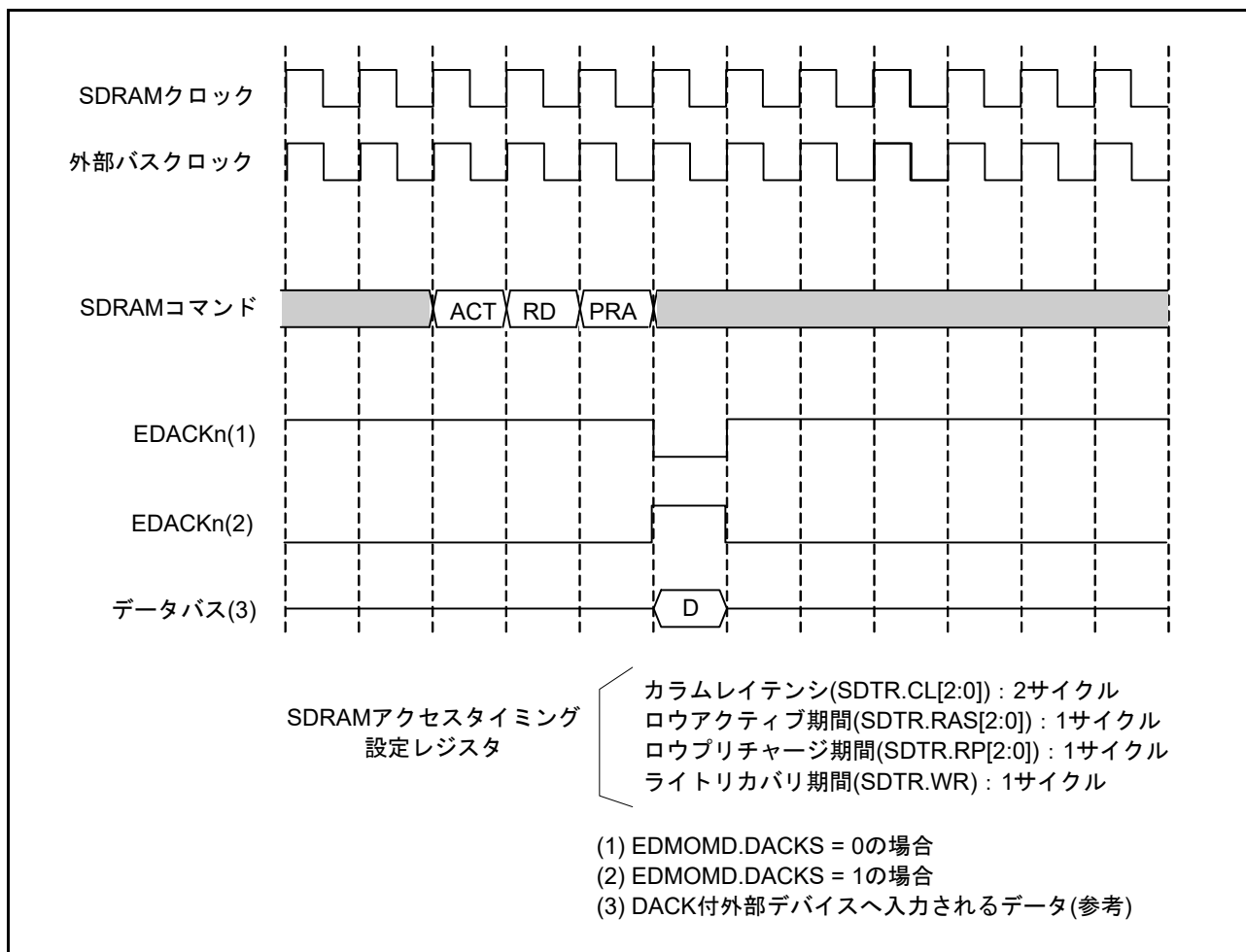


図 19.29 シングルアドレスモードノーマル転送 (SDRAM 領域リード) 動作例

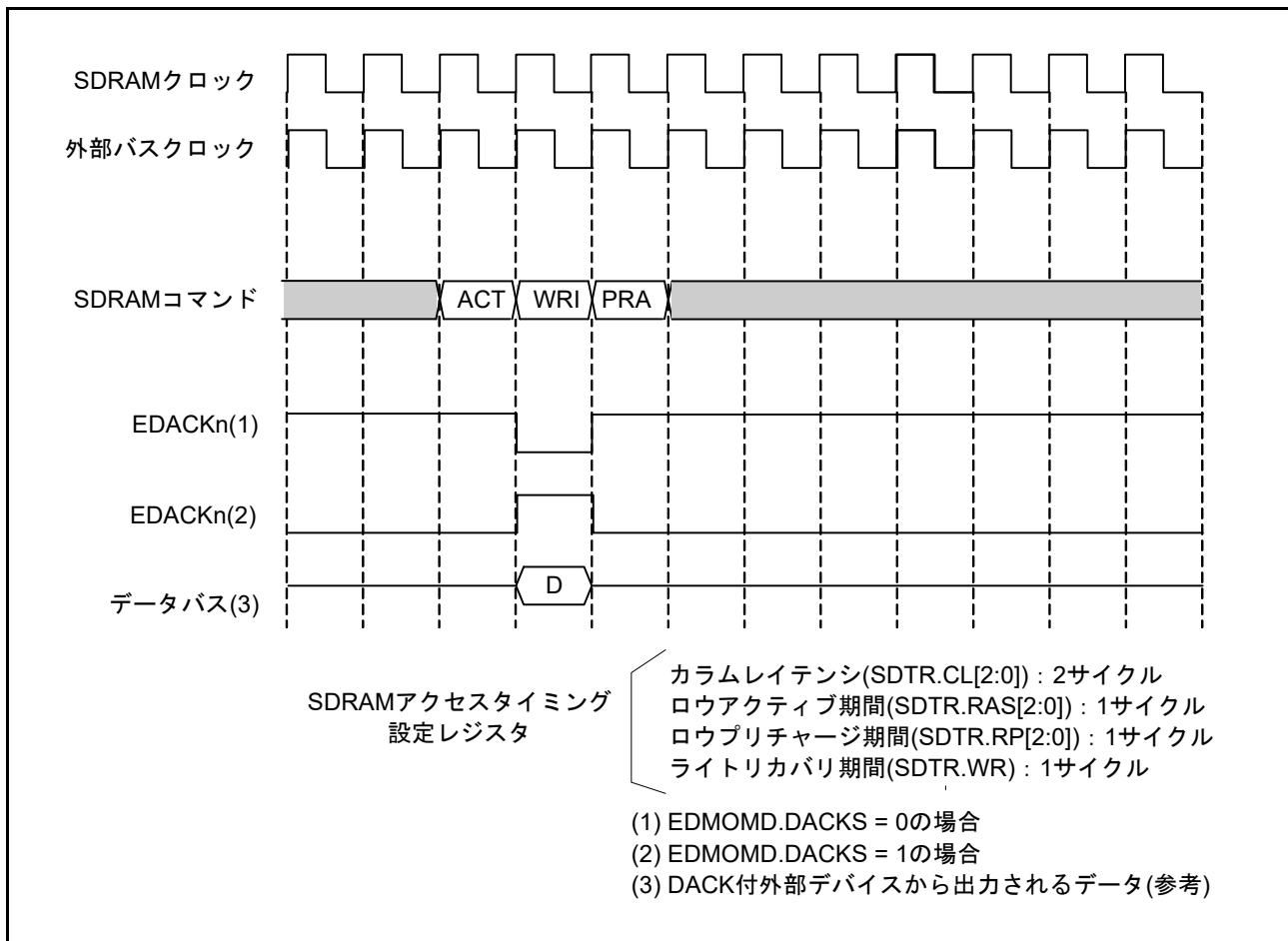


図 19.30 シングルアドレスモードノーマル転送 (SDRAM 領域ライト) 動作例

19.9.3 シングルアドレスモードブロック転送 (CS 領域) EDACKn 動作例

図 19.31 にブロック転送 (ブロックサイズ 2) で CS 領域から EDACKn 付きデバイスへ転送した場合の動作例を示します。EXDMACn.EDMOMD.DACKW ビットを“1”にすることによって、データリード信号ネゲートタイミングの 1BCLK サイクル前に EDACKn をネゲートすることができます。

図 19.32 にブロック転送 (ブロックサイズ 2) で EDACKn 付きデバイスから CS 領域へ転送した場合の動作例を示します。EXDMACn.EDMOMD.DACKW ビットを“1”にすることによって、データライト信号ネゲートタイミングの 1BCLK サイクル後に EDACKn をネゲートすることができます。

データリード信号、データライト信号および CS 領域アクセスタイミング設定レジスタの詳細に関しては「16. バス」を参照してください。

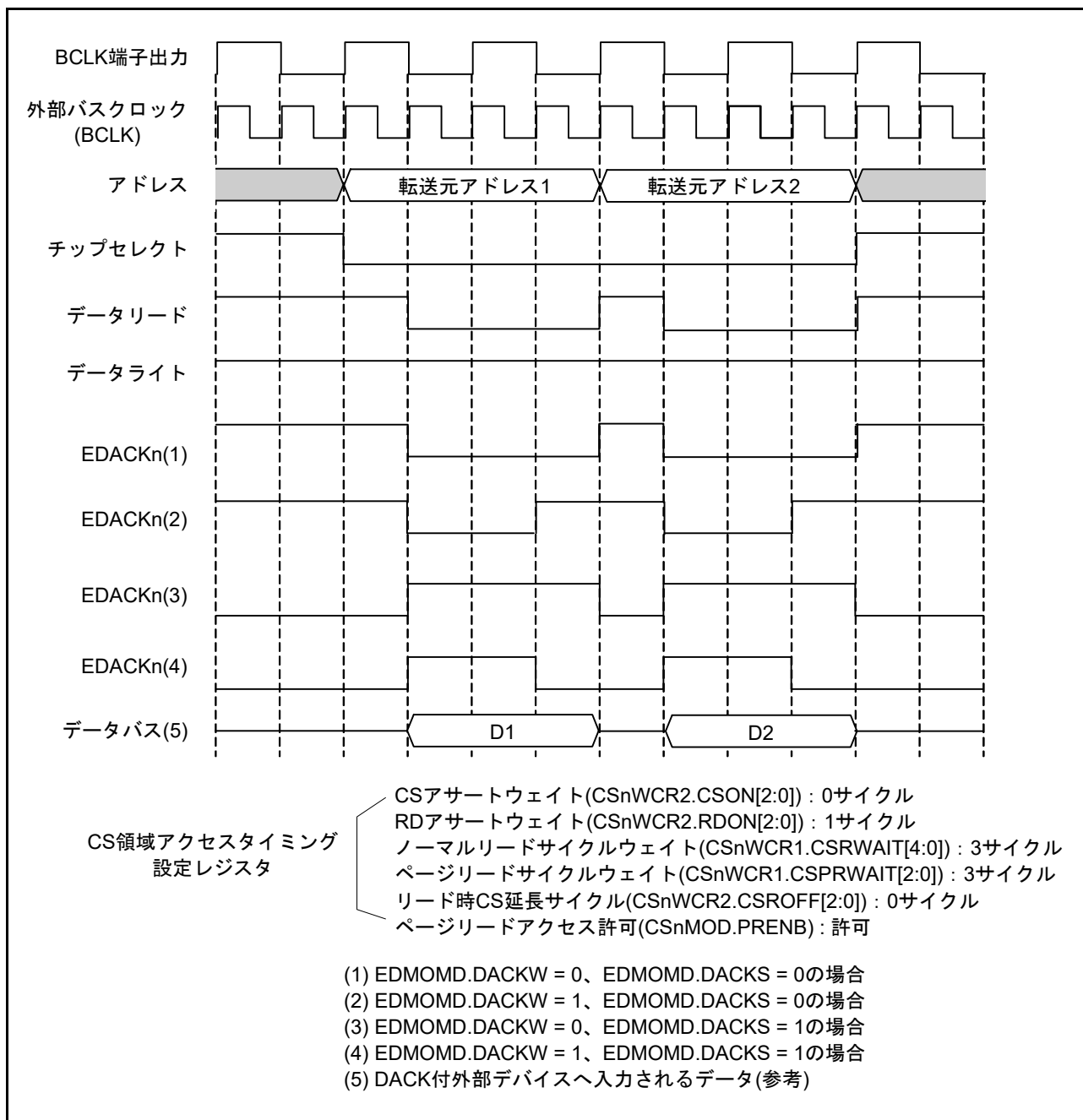


図 19.31 シングルアドレスモードブロック転送 (CS 領域リード) 動作例

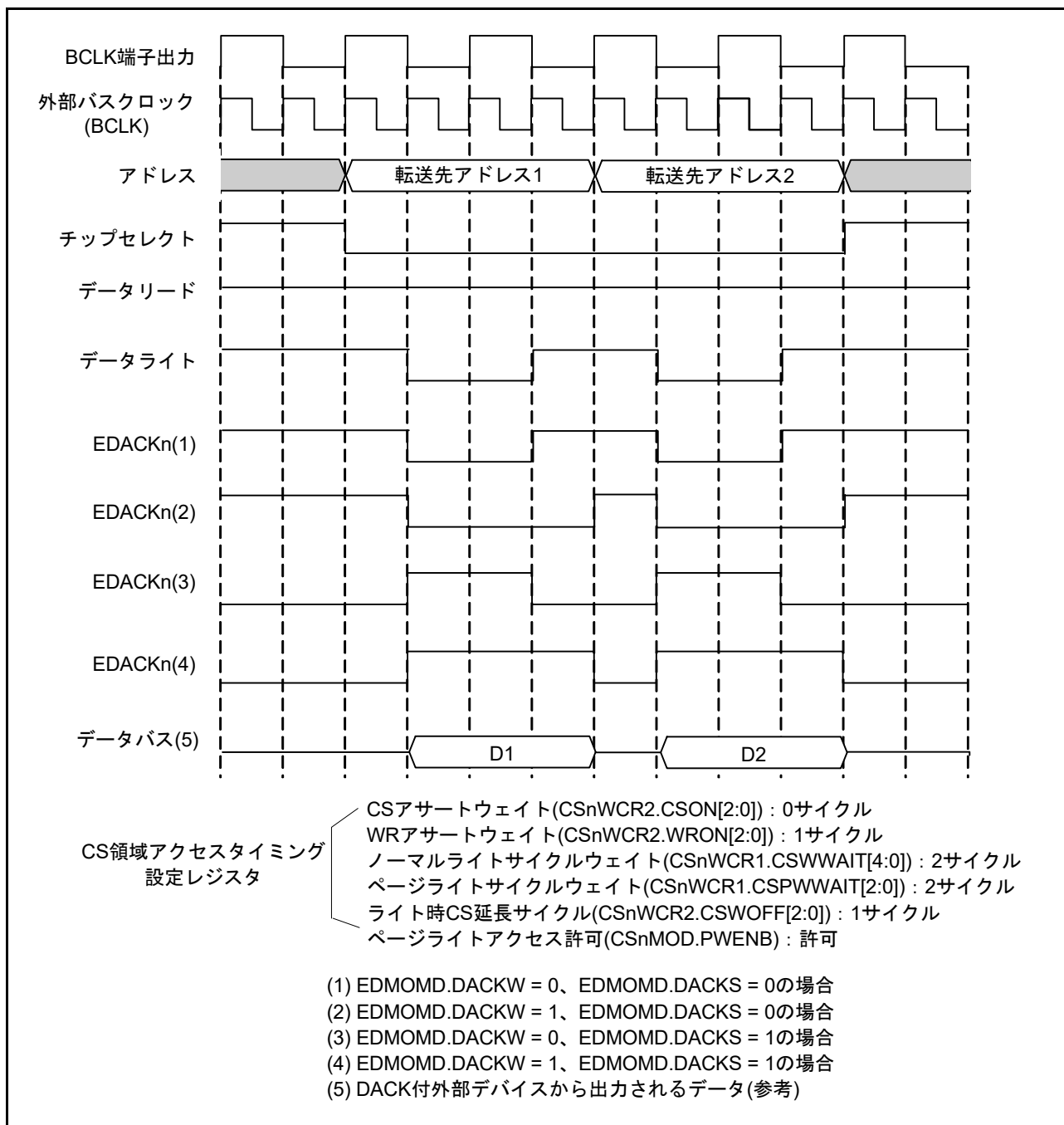


図 19.32 シングルアドレスモードブロック転送 (CS 領域ライト) 動作例

19.9.4 シングルアドレスモードブロック転送 (SDRAM 領域) EDACK_n 動作例

図 19.33 に SDRAM 連続アクセスイネーブルを許可 (SDAMOD.BE = 1)、EXDMAC_n.EDMOMD.DACKSEL = 0 にし、ブロック転送 (ブロックサイズ 4) で SDRAM から EDACK_n 付きデバイスへ転送した場合の動作例を示します。EDACK_n は SDRAM からのデータ出力サイクルの期間アサートします。

図 19.34 に SDRAM 連続アクセスイネーブルを許可 (SDAMOD.BE = 1)、EXDMAC_n.EDMOMD.DACKSEL = 0 にし、ブロック転送 (ブロックサイズ 4) で EDACK_n 付きデバイスから SDRAM へ転送した場合の動作例を示します。EDACK_n は SDRAM ライトサイクルの期間アサートします。

図 19.35 に SDRAM 連続アクセスイネーブルを許可 (SDAMOD.BE = 1)、EXDMAC_n.EDMOMD.DACKSEL = 1 にし、ブロック転送 (ブロックサイズ 4) で SDRAM から EDACK_n 付きデバイスへ転送した場合の動作例を示します。EDACK_n は SDRAM からのデータ出力サイクルの期間アサートします。

図 19.36 に SDRAM 連続アクセスイネーブルを許可 (SDAMOD.BE = 1)、EXDMAC_n.EDMOMD.DACKSEL = 1 にし、ブロック転送 (ブロックサイズ 4) で EDACK_n 付きデバイスから SDRAM へ転送した場合の動作例を示します。EDACK_n は SDRAM ライトサイクルの期間アサートします。

図 19.37 に SDRAM 連続アクセスイネーブルを禁止 (SDAMOD.BE = 0)、EXDMAC_n.EDMOMD.DACKSEL = 0 にし、ブロック転送 (ブロックサイズ 2) で SDRAM から EDACK_n 付きデバイスへ転送した場合の動作例を示します。EDACK_n は SDRAM からのデータ出力サイクルの期間アサートします。

図 19.38 に SDRAM 連続アクセスイネーブルを禁止 (SDAMOD.BE = 0)、EXDMAC_n.EDMOMD.DACKSEL = 0 にし、ブロック転送 (ブロックサイズ 2) で EDACK_n 付きデバイスから SDRAM へ転送した場合の動作例を示します。EDACK_n は SDRAM ライトサイクルの期間アサートします。

SDRAM コマンド、SDRAM アクセスタイミング設定レジスタの詳細に関しては「16. バス」を参照してください。

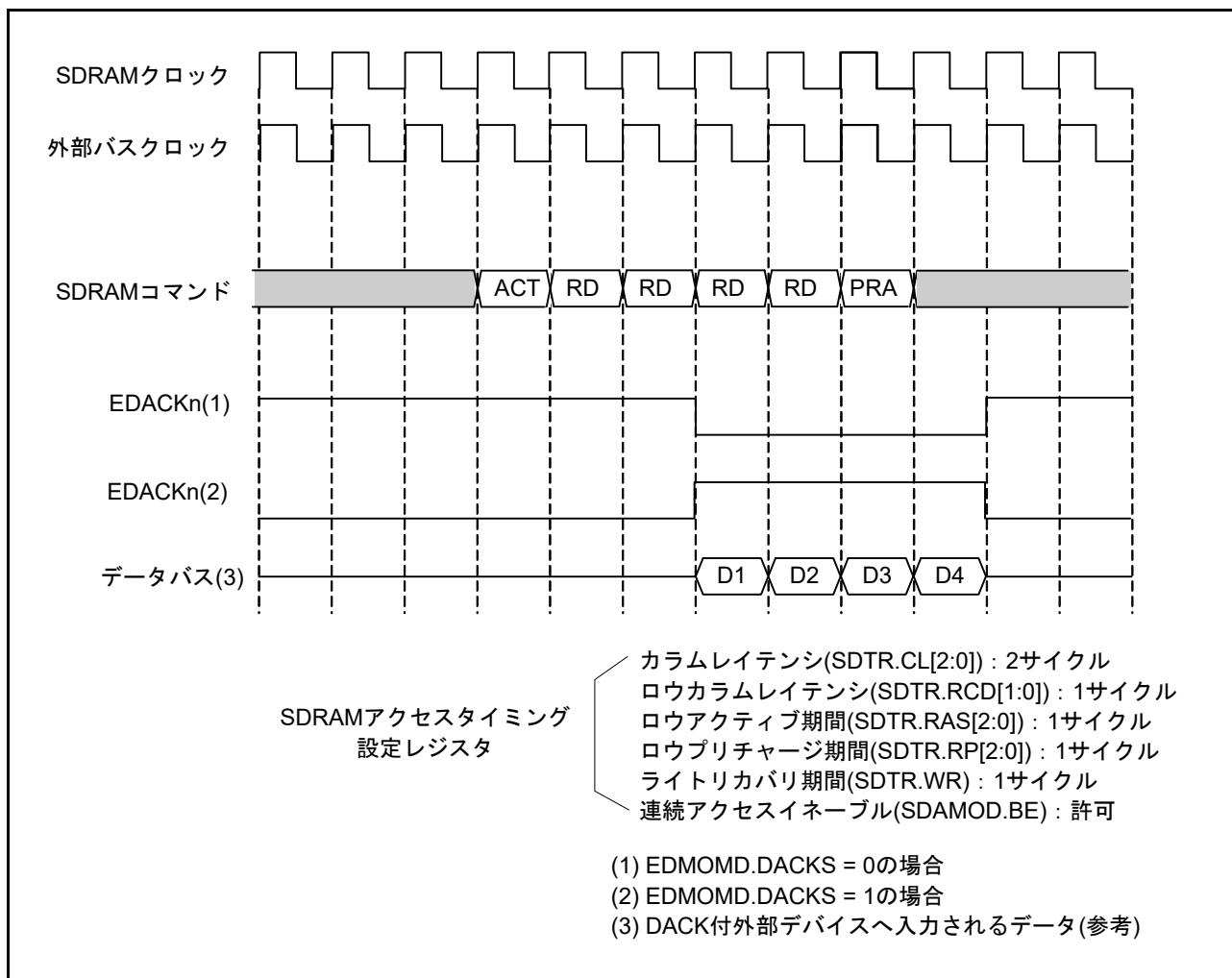


図 19.33 シングルアドレスモードブロック転送 (SDRAM 領域リード : 連続アクセス許可、EXDMACn.EDMOMD.DACKSEL : 0 設定時) 動作例

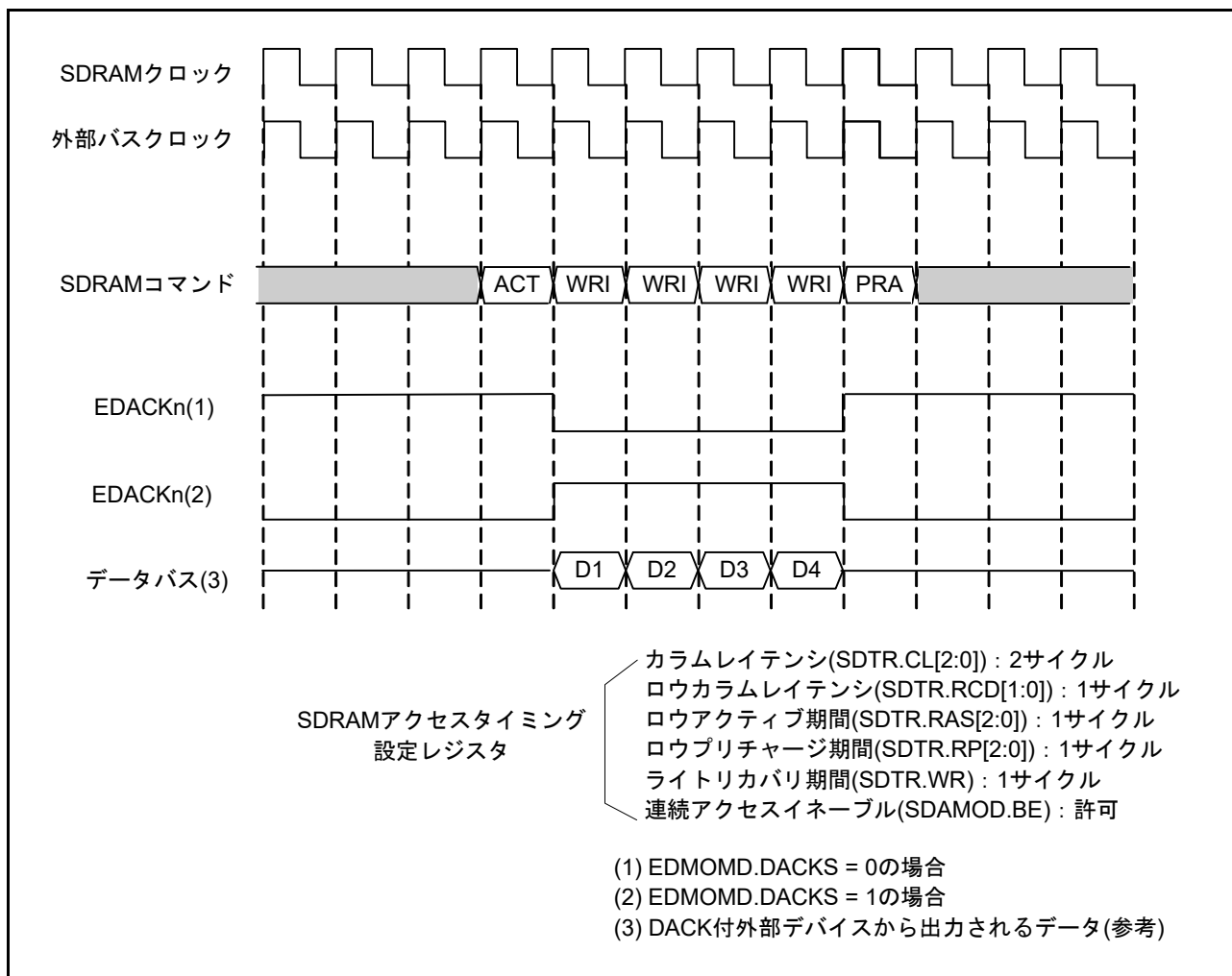


図 19.34 シングルアドレスモードブロック転送 (SDRAM 領域ライト : 連続アクセス許可、EXDMACn.EDMOMD.DACKSEL : 0 設定時) 動作例

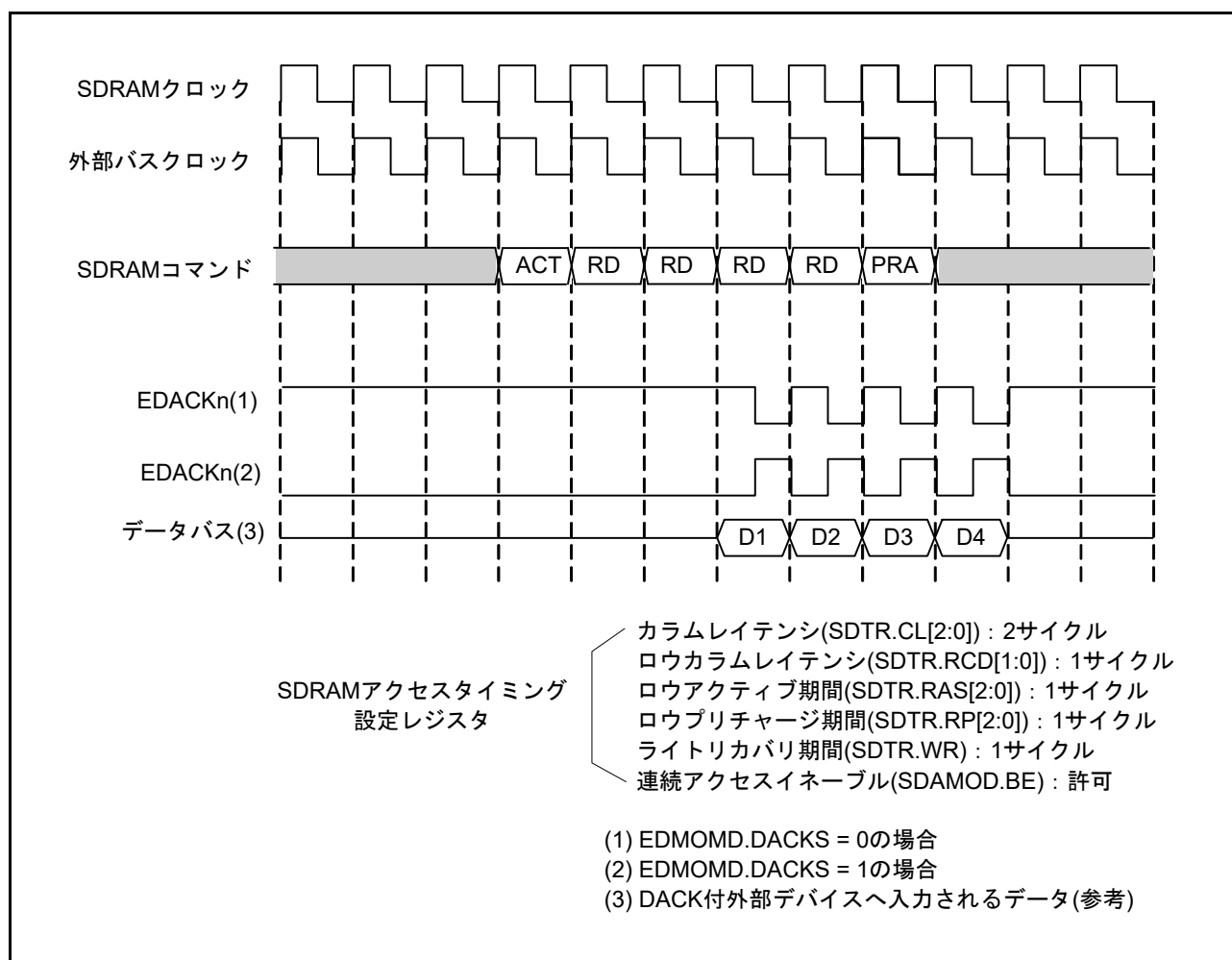


図 19.35 シングルアドレスモードブロック転送 (SDRAM 領域リード : 連続アクセス許可、EXDMACn.EDMOMD.DACKSEL : 1 設定時) 動作例

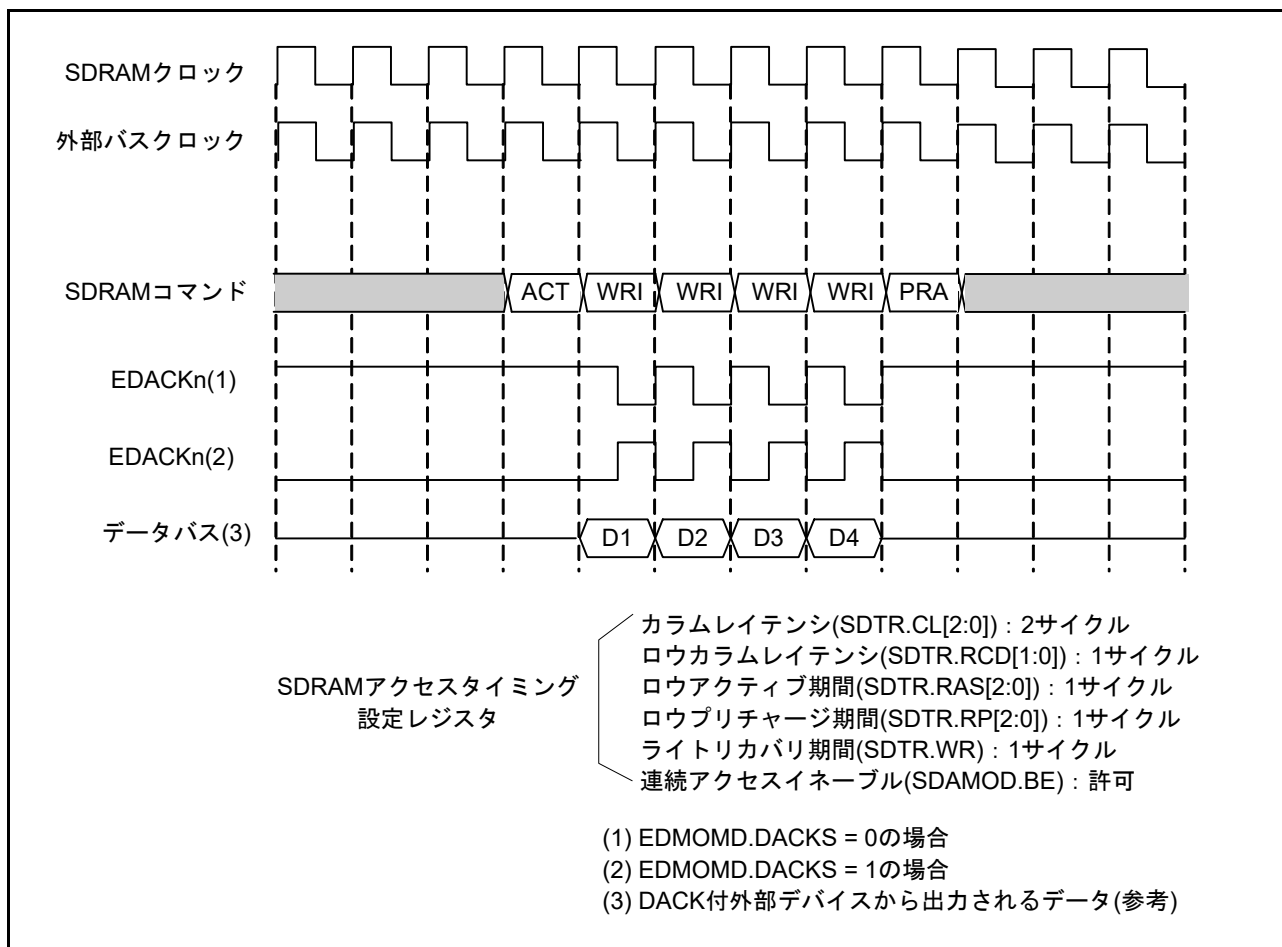


図 19.36 シングルアドレスモードブロック転送 (SDRAM 領域ライト : 連続アクセス許可、EXDMACn.EDMOMD.DACKSEL : 1 設定時) 動作例

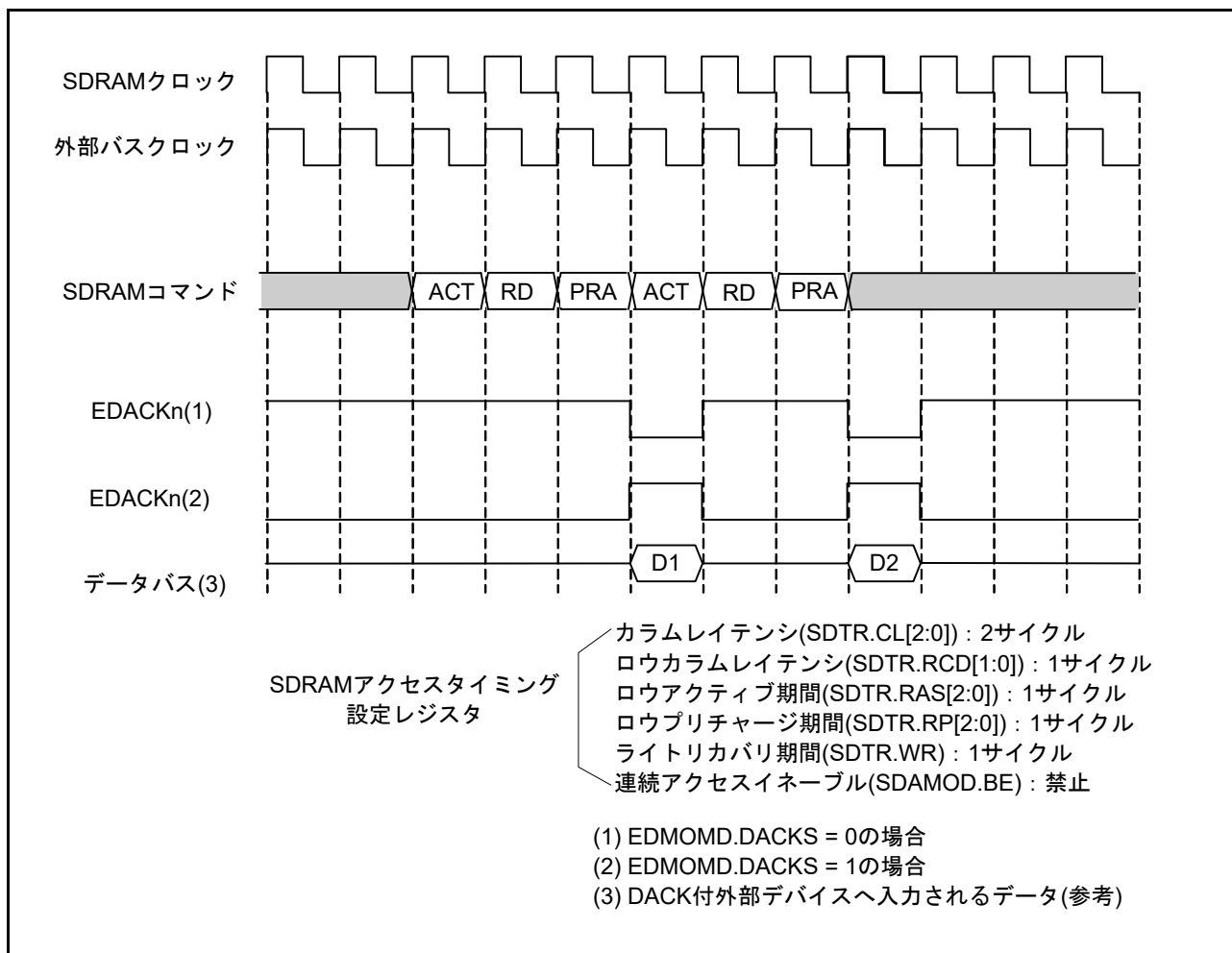


図 19.37 シングルアドレスモードブロック転送 (SDRAM 領域リード : 連続アクセス禁止、EXDMACn.EDMOMD.DACKSEL : 0 設定時) 動作例

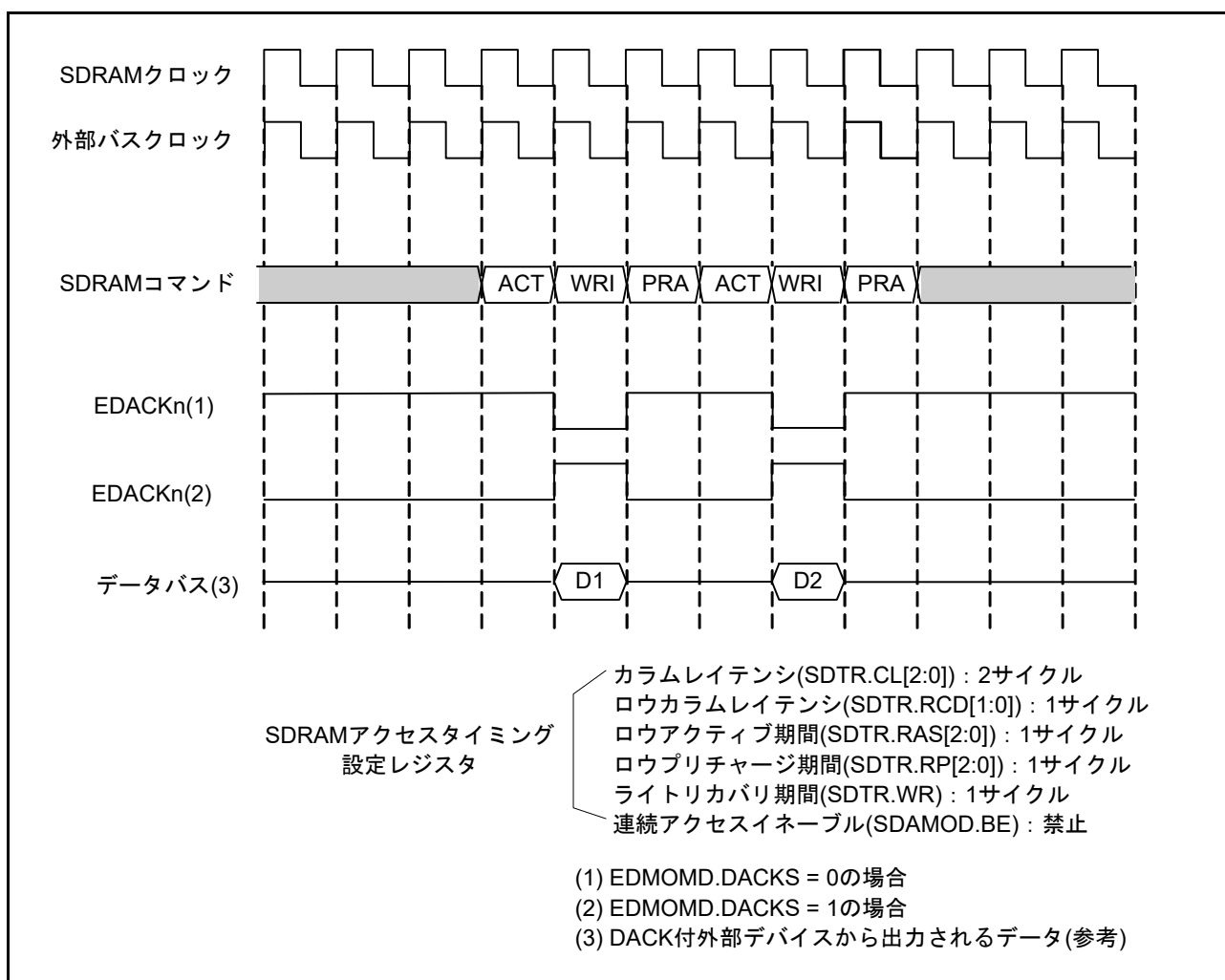


図 19.38 シングルアドレスモードブロック転送 (SDRAM 領域ライト : 連続アクセス禁止、EXDMACn.EDMOMD.DACKSEL : 0 設定時) 動作例

19.10 使用上の注意事項

19.10.1 クラスタバッファについて

EXDMAC は、32 ビットのクラスタバッファを 8 本 (CLSBR0 ~ CLSBR7) 内蔵しています。転送サイズ (EXDMACn.EDMTMD.SZ[1:0] ビット) の設定によって、データの格納方法が変わります。

図 19.39 にクラスタバッファへのデータ格納方法を示します。

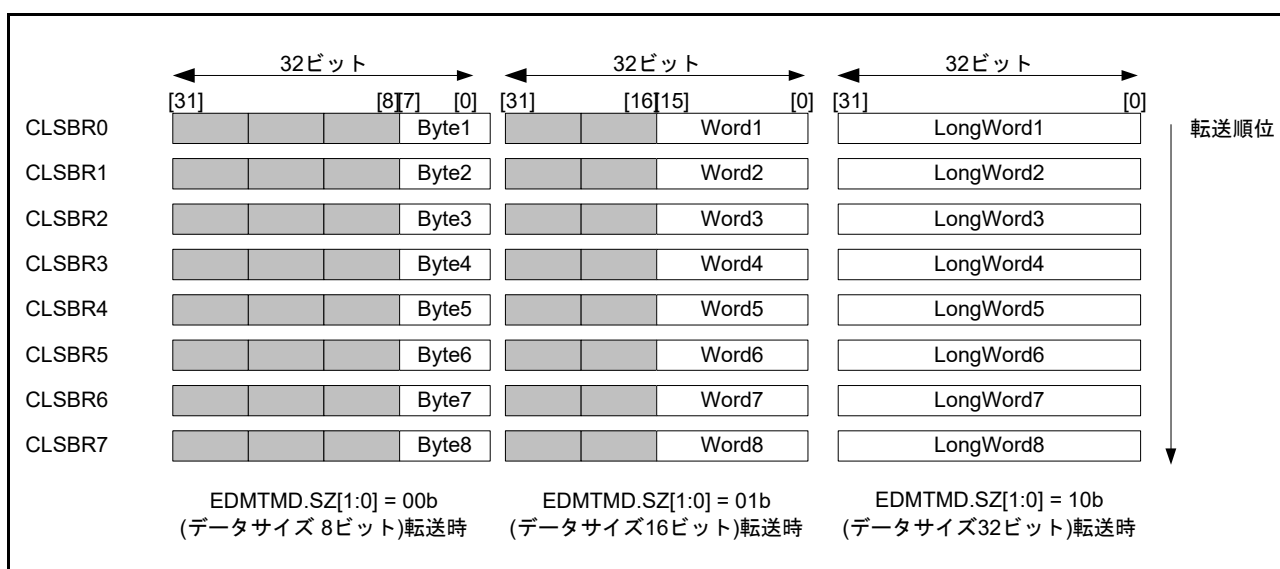


図 19.39 クラスタバッファへのデータ格納方法

19.10.2 DMA 動作中のレジスタアクセスについて

EXDMACn.EDMSTS.ACT フラグが “1” (DMA 動作中) または、EXDMACn.EDMCNT.DTE ビットが “1” (DMA 転送を許可) のときに、同じチャンネルの設定レジスタ (EDMSAR, EDMDAR, EDMCRA, EDMCRB, EDTMD, EDMOMD, EDMINT, EDMAMD, EDMOFR, EDMRMD) への書き込みは行わないでください。

19.10.3 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域についての詳細は「4. アドレス空間」を参照してください。

20. データトランスファコントローラ (DTCb)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。

DTC は、割り込み要求によって起動し、データ転送を行うことができます。

DTCb では、従来の DTC の転送方式 (ノーマル転送、リピート転送、ブロック転送、チェーン転送) に加え、これらを組み合わせて一連の転送として実行するシーケンス転送をサポートしています。シーケンス転送では、最初に転送したデータの値によって、最大 256 のシーケンスの中から 1 つを選択して実行できます。また、シーケンスの組み方によって、1 つのシーケンスを複数回に分けて実行することもできます。

20.1 概要

表 20.1 に DTC の仕様を、図 20.1 に DTC のブロック図を示します。

表 20.1 DTC の仕様

項目	内容
転送チャンネル数	<ul style="list-style-type: none"> DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1つのデータを転送する リピート転送モード 1回の起動で1つのデータを転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大256回設定可能で、256 × 32ビットで、最大1024バイト転送可能 ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは、最大256 × 32ビット = 1024バイト設定可能
チェーン転送機能	<ul style="list-style-type: none"> 1回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
シーケンス転送	<p>複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能</p> <ul style="list-style-type: none"> シーケンス転送の起動要因は同時に1つのみ選択可能 シーケンスは、1つの起動要因に対し最大256通り 転送要求によって最初に転送されたデータがシーケンスを決定 シーケンスは、1回の転送要求で最後まで実行することも、途中で止めて次の転送要求で再開する(シーケンス分割)ことも可能
転送空間	<ul style="list-style-type: none"> ショートアドレスモードのとき16Mバイト ("0000 0000h" ~ "007F FFFFh" と "FF80 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域) フルアドレスモードのとき4Gバイト ("0000 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域)
データ転送単位	<ul style="list-style-type: none"> 1データ：1バイト(8ビット)、1ワード(16ビット)、1ロングワード(32ビット) 1ブロックサイズ：1~256データ
CPU 割り込み要求	<ul style="list-style-type: none"> DTC を起動した割り込みで CPU への割り込み要求を発生可能 1回のデータ転送終了後に CPU への割り込み要求を発生可能 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
ライトバックディスエーブル	転送情報のライトバックを実行しない設定が可能
ディスプレイースメント加算	転送元アドレスにディスプレイースメントを加算可能(転送情報ごとに選択)
消費電力低減機能	モジュールストップ状態への遷移が可能

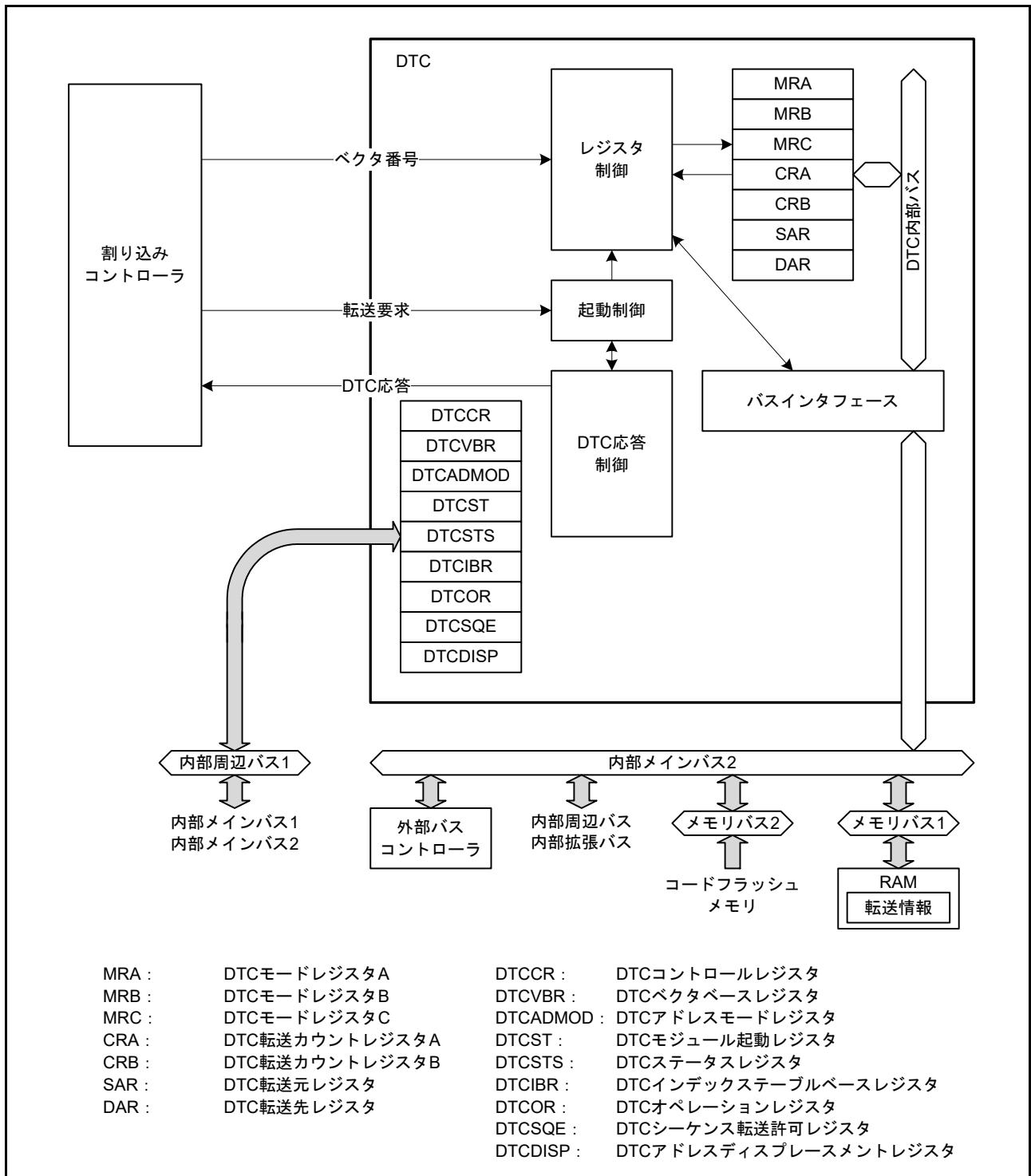


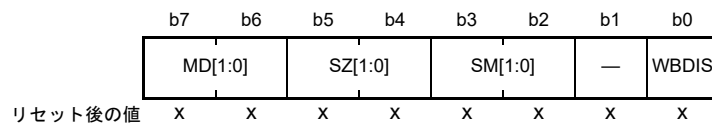
図 20.1 DTC のブロック図

20.2 レジスタの説明

MRA、MRB、MRC、SAR、DAR、CRA、CRB レジスタは DTC の内部レジスタです。CPU から直接アクセスすることはできません。これら内部レジスタの設定値は RAM 領域に転送情報として配置します。DTC は転送要求を受け付けると、RAM 領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、更新された内部レジスタの値は転送情報として RAM 領域にライトバックされます。

20.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	WBDIS	ライトバックディスエーブルビット	0: データ転送終了時、転送情報をライトバックする 1: データ転送終了時、転送情報をライトバックしない	—
b1	—	予約ビット	"0"にしてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0: SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1: SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0: 転送後SARレジスタをインクリメント (SZ[1:0]ビットが"00b"のとき+1、 "01b"のとき+2、"10b"のとき+4) 1 1: 転送後SARレジスタをデクリメント (SZ[1:0]ビットが"00b"のとき-1、 "01b"のとき-2、"10b"のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0: バイト(8ビット)転送 0 1: ワード(16ビット)転送 1 0: ロングワード(32ビット)転送 1 1: 設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定しないでください	—

MRA レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

WBDIS ビット (ライトバックディスエーブルビット)

データ転送終了時、転送情報をライトバックするかどうかを選択します。

WBDIS ビットが "0" の場合は、更新された転送情報をライトバックします。

WBDIS ビットが "1" の場合は、転送後にアドレスがインクリメントされるような設定をしても転送情報のライトバックは行わず、転送要求ごとに毎回同じデータ転送を行います。転送情報がライトバックされないため、転送情報を ROM 上に配置することができます。

WBDIS ビットが "1" の場合、転送モードごとに下記の動作を行います。

(1) ノーマル転送モード、リピート転送モード

1回の転送要求で、1バイト、1ワード、1ロングワードの転送を行います。転送アドレス、転送回数は更新しませんので、転送要求ごとに同じ転送を繰り返します。転送回数が1の場合もICU.DTCERn.DTCE ビットを“0”にせず、次の転送要求でデータ転送を継続します。

(2) ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。転送アドレス、ブロック転送回数は更新しませんので、転送要求ごとに同じブロック転送を繰り返します。ブロック転送回数が1の場合もICU.DTCERn.DTCE ビットを“0”にせず、次の転送要求でデータ転送を継続します。

なお、MRC.DISPE ビットを“1”にする場合、WBDIS ビットも“1”(ライトバックしない)にしてください。また、WBDIS ビットを“1”にした転送情報が1つでもある場合は、DTCCR.RRS ビットを“0”(リードスキップを行わない)にしてください。

20.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	INDX	SQEND	
リセット後の値	X	X	X	X	X	X	X	X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	SQEND	シーケンス転送終了ビット	0 : シーケンス転送を継続 1 : シーケンス転送を終了	—
b1	INDX	インデックステーブル参照ビット	0 : インデックステーブルを参照しない 1 : 転送したデータを元にインデックステーブルを参照する(注1)	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0 : DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 0 1 : DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 1 0 : 転送後、DARレジスタをインクリメント (MRA.SZ[1:0]ビットが"00b"のとき+1、 "01b"のとき+2、"10b"のとき+4) 1 1 : 転送後DARレジスタをデクリメント (MRA.SZ[1:0]ビットが"00b"のとき-1、 "01b"のとき-2、"10b"のとき-4)	—
b4	DTS	DTC転送モード選択ビット	0 : 転送先がリピート領域またはブロック領域 1 : 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC割り込み選択ビット	0 : 指定した回数のデータ転送が終了したとき、CPUへの割り込み要求が発生 1 : データ転送のたびに、CPUへの割り込み要求が発生	—
b6	CHNS	DTCチェーン転送選択ビット	0 : 転送が終了するたびにチェーン転送を行う 1 : 転送カウンタが1 → 0、または1 → CRAHとなったとき、チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可ビット	0 : チェーン転送禁止 1 : チェーン転送許可	—

注1. INDXビットを“1”にする場合、MRA.MD[1:0]ビットを“00b”(ノーマル転送モード)にしてください。

MRBレジスタは、DTCの動作モードを選択するレジスタです。CPUから直接アクセスすることはできません。

SQEND ビット (シーケンス転送終了ビット)

シーケンス転送を継続するか、終了するかを選択します。詳細は表 20.2 を参照してください。

DTCインデックステーブルにより参照される転送情報でのみ“1”にできます。DTCベクタテーブルにより参照される転送情報では“0”にしてください。

INDX ビット (インデックステーブル参照ビット)

INDXビットが“1”になった転送情報が読み込まれると、シーケンス転送が開始されます。詳細は表 20.2 を参照してください。

シーケンス転送と関係のない転送情報、シーケンス転送を開始しない転送情報では“0”にしてください。また、DTCSCQEレジスタに設定した要因と異なる要因の転送情報でINDXビットを“1”にしている場合、その要因からの転送要求が発生しないようにしてください。

表20.2 シーケンス転送におけるCHNE、SQEND、INDXビットの設定値とDTCの動作

CHNEビット	SQENDビット	INDXビット	動作	使用場所
0	0	1	シーケンス転送を開始	DTCSQEレジスタに設定した要因からの転送要求によって、最初に読み込まれる転送情報で使用
1	0	0	シーケンス転送を継続	シーケンス内の最初または途中の転送情報で使用
0	0	0	シーケンス転送を一時中断	シーケンス内の最初または途中の転送情報で使用
0	1	0	シーケンス転送を終了	シーケンス内の最後の転送情報で使用
0	1	1	シーケンス転送を終了し、新たなシーケンス転送を開始	シーケンス内の最後の転送情報で使用

注. 上記以外の設定は使用しないでください。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域にするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが“0”のときはCHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 20.4 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可ビット)

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。チェーン転送の詳細は、「20.4.6 チェーン転送」を参照してください。

シーケンス転送で使用する場合の設定値については、表 20.2 を参照してください。

20.2.3 DTC モードレジスタ C (MRC)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DISPE
リセット後の値	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	DISPE	ディスプレイメント加算ビット	0: 転送元アドレスにディスプレイメント値を加算しない 1: 転送元アドレスにディスプレイメント値を加算する	—
b7-b1	—	予約ビット	"0"にしてください	—

MRC レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

フルアドレスモード時のみ使用できます。ショートアドレスモードでは使用できませんので、ディスプレイメント加算機能を使う場合は DTCADM.SHORT ビットを“0”(フルアドレスモード)にしてください。

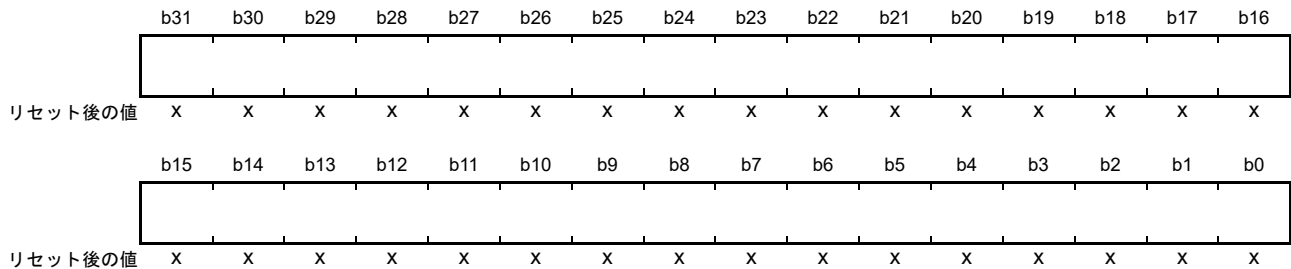
DISPE ビット (ディスプレイメント加算ビット)

転送元アドレスとして SAR + DTCDISP の値を使用するかどうかを指定します。

DISPE ビットを“1”にする場合は、MRA.WBDIS ビットを“1”(ライトバックしない)、DTCCR.RRS ビットを“0”(リードスキップを行わない)にしてください。

20.2.4 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)



x: 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

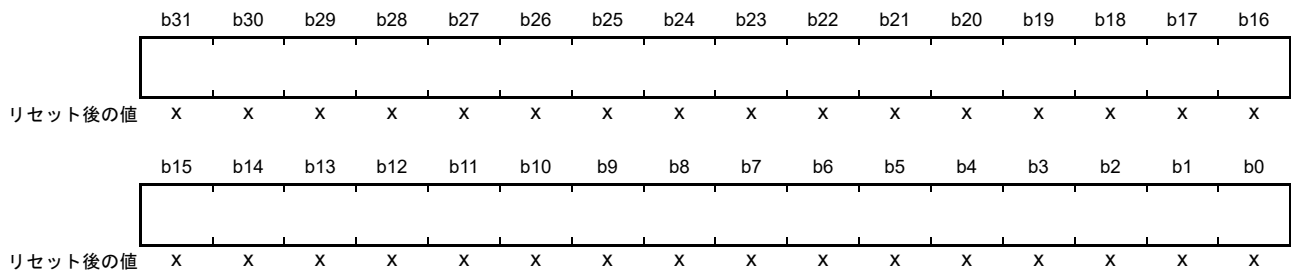
フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

20.2.5 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)



x: 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

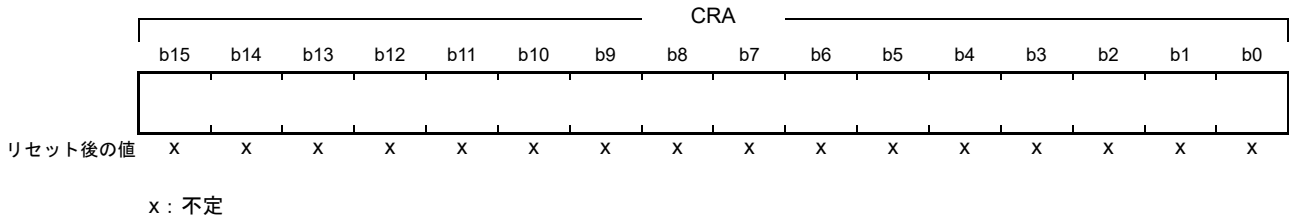
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

20.2.6 DTC 転送カウントレジスタ A (CRA)

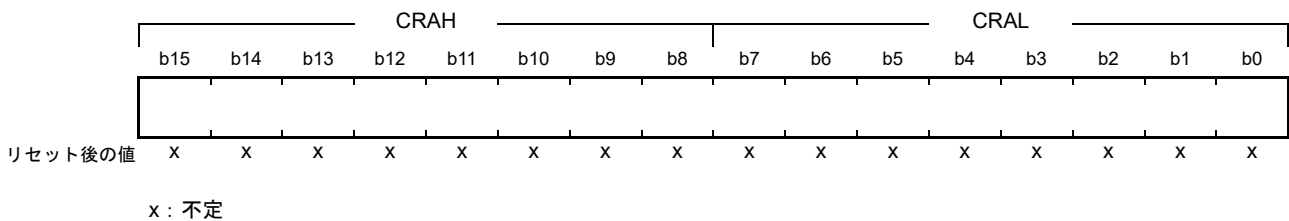
- ノーマル転送モード

アドレス (CPUから直接アクセス不可)



- リピート転送モード、ブロック転送モード

アドレス (CPUから直接アクセス不可)



シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定します。転送中はカウンタとして動作します	—
CRAH	転送カウンタA上位レジスタ	転送回数を設定します。転送中はリロードレジスタとして動作します	—

注. 転送モードによって機能が異なります。

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタには同じ値を設定してください。

CRA レジスタは転送回数をカウントするレジスタです。CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは 1 回、“FFFFh”のときは 65535 回、“0000h”のときは 65536 回となります。

データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が“01h”のときは 1 回、“FFh”のときは 255 回、“00h”のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h”になると CRAH レジスタの値がリロードされます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

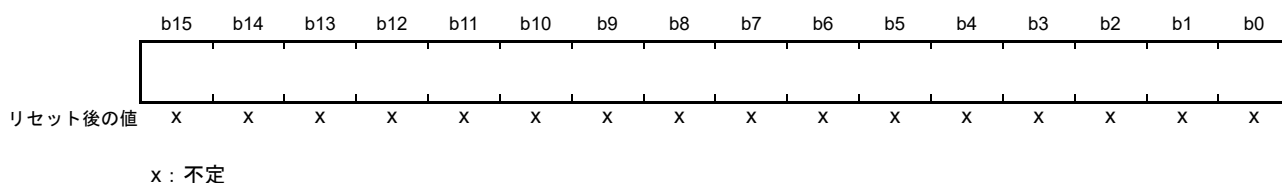
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が“01h”のときは 1 回、“FFh”のときは 255 回、“00h”のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h”になると CRAH レジスタの値がリロードされます。

20.2.7 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。CPU から直接アクセスすることはできません。

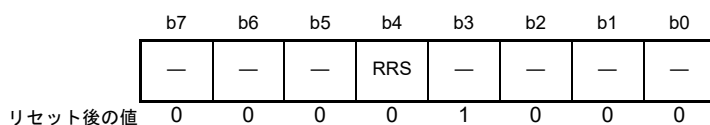
転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

1ブロックサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

20.2.8 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC 転送情報リードスキップ許可ビット(注1)	0 : 転送情報リードスキップを行わない 1 : ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. シーケンス転送を使用するときは、“0”にしてください。

DTCCR レジスタは、DTC の動作を制御するレジスタです。

RRS ビット (DTC 転送情報リードスキップ許可ビット)

DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

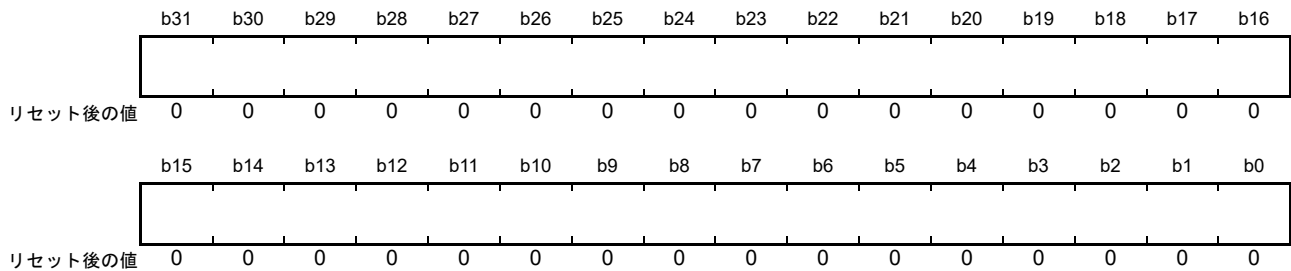
また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

MRA.WBDIS ビットを“1”にした転送情報が1つでもある場合は、RRS ビットを“0”にしてください。なお、MRC.DISPE ビットを“1”にする場合は、MRA.WBDIS ビットも“1”にする必要があります。

また、シーケンス転送は、チェーン転送と同様に複数のデータ転送を実行しますので、前回行った最後の転送を繰り返さないように、RRS ビットを“0”にして使用してください。

20.2.9 DTC ベクタベースレジスタ (DTCVBR)

アドレス DTC.DTCVBR 0008 2404h

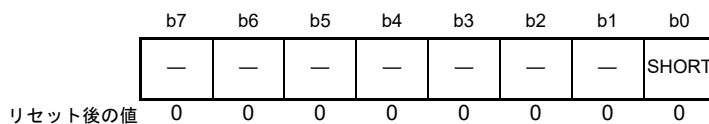


DTCVBR レジスタは、DTC ベクタの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

20.2.10 DTC アドレスモードレジスタ (DTCADM0D)

アドレス DTC.DTCADM0D 0008 2408h



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット (注1)	0: フルアドレスモード 1: ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. シーケンス転送を使用するときは、“0”(フルアドレスモード)にしてください。

DTCADM0D レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

SAR レジスタ、DAR レジスタのアドレスモードを選択するビットです。

フルアドレスモードでは、4G バイト空間 (0000 0000h ~ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ~ 007F FFFFh と FF80 0000h ~ FFFF FFFFh) のアクセスが可能です。

20.2.11 DTC モジュール起動レジスタ (DTCST)

アドレス DTC.DTCST 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能にするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

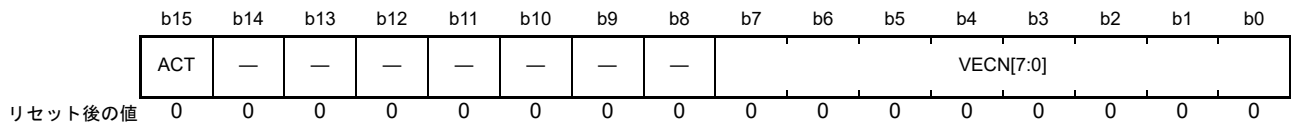
モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモードから復帰した後、DTCST ビットを“1”にすると、データ転送が再開できます。

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行については「20.9 消費電力低減機能」、および「11. 消費電力低減機能」を参照してください。

20.2.12 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 0008 240Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTC アクティブベクタ番号モニタフラグ	データ転送実行中にその起動要因をベクタ番号で示します データ転送実行中 (ACT フラグが“1”のとき) にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTC アクティブフラグ	0 : データ転送は実行していない 1 : データ転送実行中	R

VECN[7:0] フラグ (DTC アクティブベクタ番号モニタフラグ)

データ転送を実行中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1” (データ転送実行中) であれば、VECN[7:0] フラグの値は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0” (データ転送は実行していない) であれば、VECN[7:0] フラグの値は無効値です。

DTC 起動要因とベクタアドレスの関係は、「15. 割り込みコントローラ (ICUE)」の「表 15.5 割り込みベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

データ転送の実行状態を示します。

[“1” になる条件]

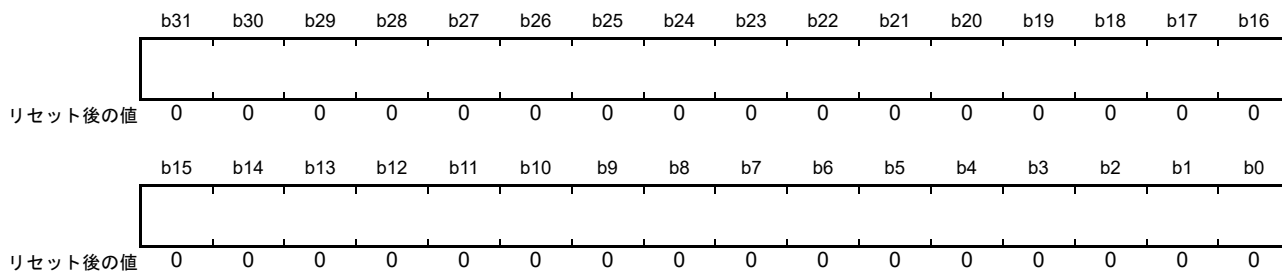
- 転送要求に対して DTC が起動したとき
- シーケンス転送が再開されたとき

[“0” になる条件]

- 1 回の転送要求に対するデータ転送が終了したとき
- シーケンス転送が一時中断したとき

20.2.13 DTC インデックステーブルベースレジスタ (DTCIBR)

アドレス DTC.DTCIBR 0008 2410h



DTCIBR レジスタは DTC インデックスの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および、F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

20.2.14 DTC オペレーションレジスタ (DTCOR)

アドレス DTC.DTCOR 0008 2414h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SQTFRL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SQTFRL	シーケンス転送終了ビット	“1”を書くと実行中のシーケンス転送を強制的に終了させることができます。読むと“0”が読めます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

DTCOR レジスタは、DTC モジュールのオペレーションを設定するレジスタです。

SQTFRL ビット (シーケンス転送終了ビット)

SQTFRL ビットを“1”にすると、実行中のシーケンス転送が終了します。

DTCSQE.ESPSEL ビットが“1” (シーケンス転送を使用する) の場合、**図 20.2** の手順でシーケンス転送を終了させてください。

シーケンス転送が実行されていない場合に SQTFRL ビットに“1”を書いても、何も起こりません。

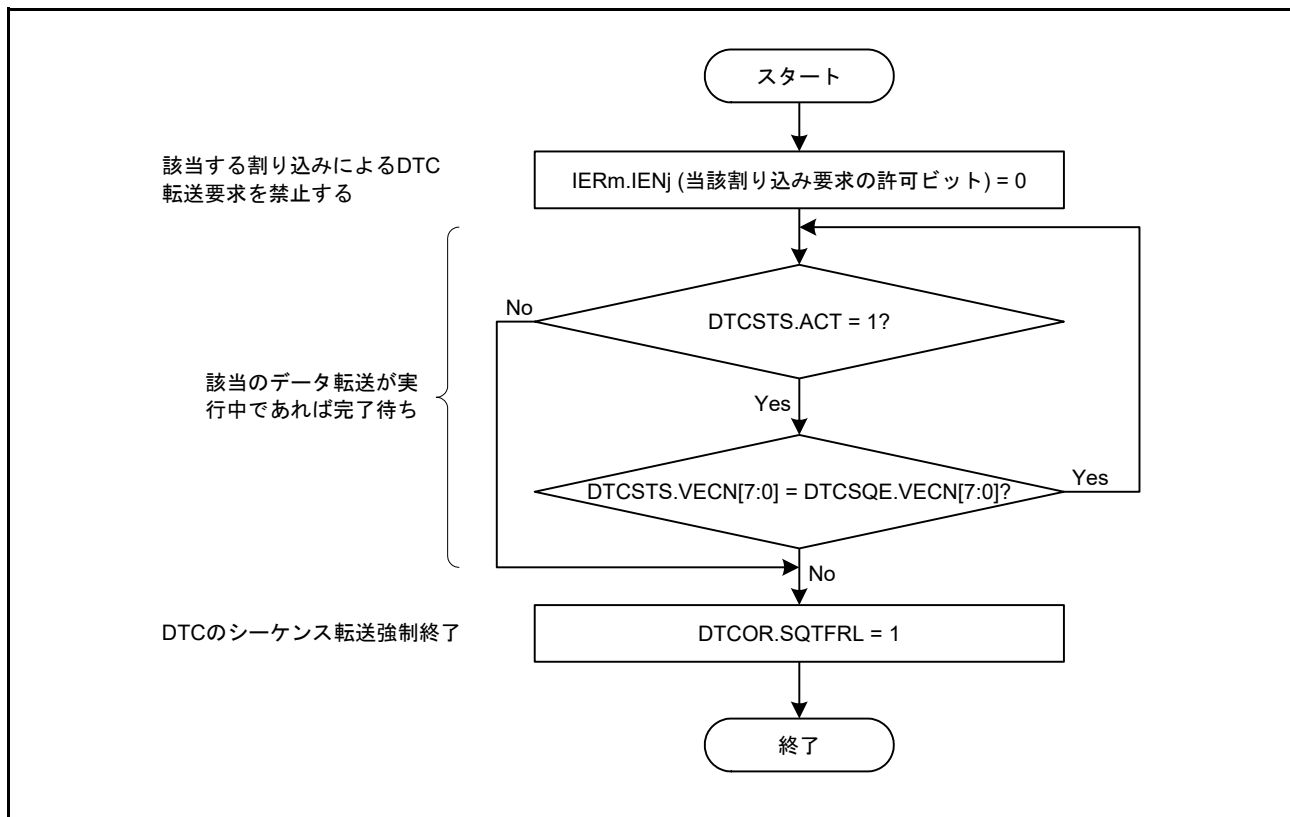
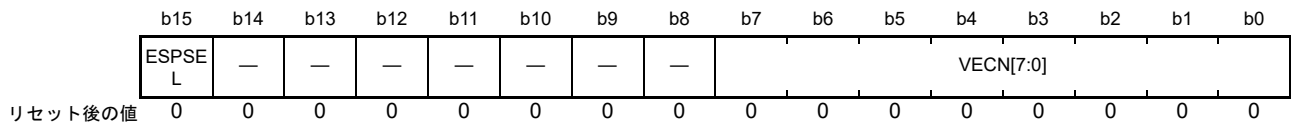


図 20.2 シーケンス転送強制終了手順

20.2.15 DTC シーケンス転送許可レジスタ (DTCSQE)

アドレス DTC.DTCSQE 0008 2416h



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	シーケンス転送ベクタ番号指定ビット	シーケンス転送を許可するベクタ番号を指定します。ESPSELビットが“1”の時のみ有効です。	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15	ESPSEL	シーケンス転送許可ビット	0 : シーケンス転送を使用しない 1 : シーケンス転送を使用する	R/W

DTCSQE レジスタは、DTC のシーケンス転送を指定するレジスタです。設定手順は図 20.24 に従ってください。

VECN[7:0] ビット (シーケンス転送ベクタ番号指定ビット)

シーケンス転送を使用するベクタ番号を選択します。シーケンス転送は1つの起動要因でのみ動作可能です。

起動要因とベクタ番号の関係は「15. 割り込みコントローラ (ICUE)」の「表 15.5 割り込みベクタテーブル」を参照してください。

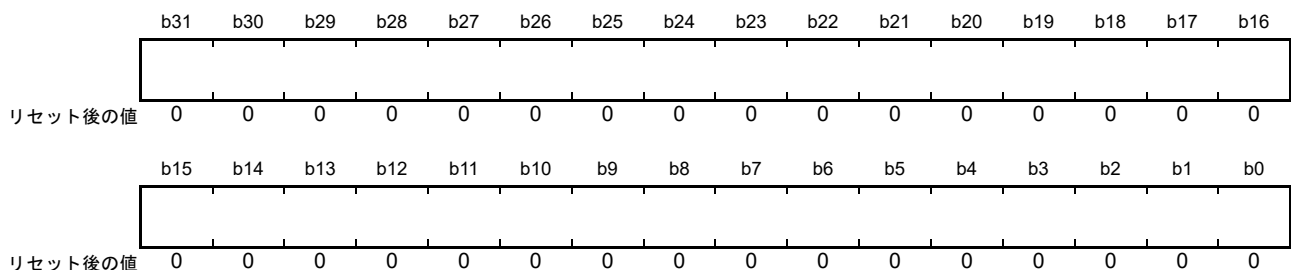
ESPSEL ビット (シーケンス転送許可ビット)

シーケンス転送を使用するかどうかを指定します。

ESPSEL ビットを“1”にする場合、DTCADM.DTCSQE.SHORT ビットを“0”(フルアドレスモード)にしてください。

20.2.16 DTC アドレスディスプレイレジスタ (DTCDISP)

アドレス DTC.DTCDISP 0008 2418h



DTCDISP レジスタは、DTC の転送元アドレスに加算するディスプレイレジスタ値を指定するレジスタです。

MRC.DISPE ビットが“1”の場合、転送元アドレスとして SAR + DTCDISP の値を使用します。

20.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込み要求に対応する ICU.DTCERn.DTCE ビット (n = 割り込みベクタ番号) を “1” にすると DTC の起動要因になります。

DTC 起動要因とベクタアドレスの関係は、「15. 割り込みコントローラ (ICUE)」の「表 15.5 割り込みベクタテーブル」を参照してください。また、ソフトウェア起動については、「15. 割り込みコントローラ (ICUE)」の「15.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」および「15.2.6 ソフトウェア割り込み 2 起動レジスタ (SWINT2R)」を参照してください。

DTC が一度、転送要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな転送要求を受け付けません。DMAC/DTC のデータ転送中に複数の転送要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTCST.DTCST ビットが “0” (DTC モジュール停止) の状態で複数の転送要求が発生した場合も、その後、DTCST.DTCST ビットを “1” (DTC モジュール動作) にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に ICU.DTCERn.DTCE ビットを “0” にして CPU に割り込みを要求します。
- MRB.DISEL ビットが “1” のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを “0” にします。

20.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別に DTC ベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

DTC ベクタテーブルは、ベースアドレス (先頭アドレス) の下位 10 ビットが “0” になるように、1K バイト境界に配置してください。DTC ベクタテーブルのベースアドレスは、DTC ベクタベースレジスタ (DTCVBR) に設定してください。

転送情報は、RAM 領域に配置します。ただし、MRA.WBDIS ビットを “1” (ライトバックしない) にした場合は、ROM 領域に配置することもできます。ベクタ番号 n に対する転送情報 n の先頭アドレスは、 $DTCVBR + 4n$ 番地に格納してください。

転送情報は、4 バイト境界に配置してください。ショートアドレスモードの場合、12 バイト、フルアドレスモード場合、16 バイト使用します。DTCADMOD.SHORT ビットで、ショートアドレスモード (SHORT ビット = 1)、フルアドレスモード (SHORT ビット = 0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 20.3 に示します。

RAM 領域上の転送情報の配置を図 20.4 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「20.10.2 転送情報の配置」を参照してください。

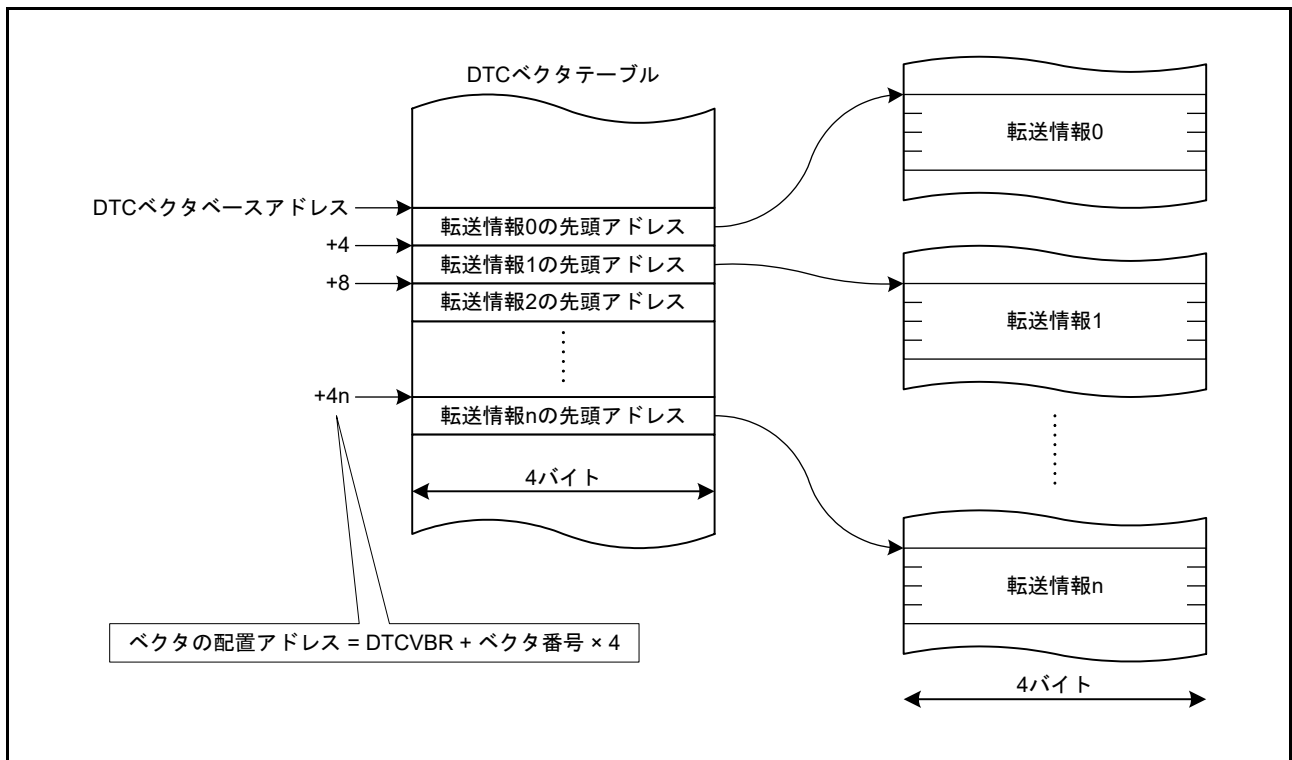


図 20.3 DTC ベクタテーブルと転送情報の対応

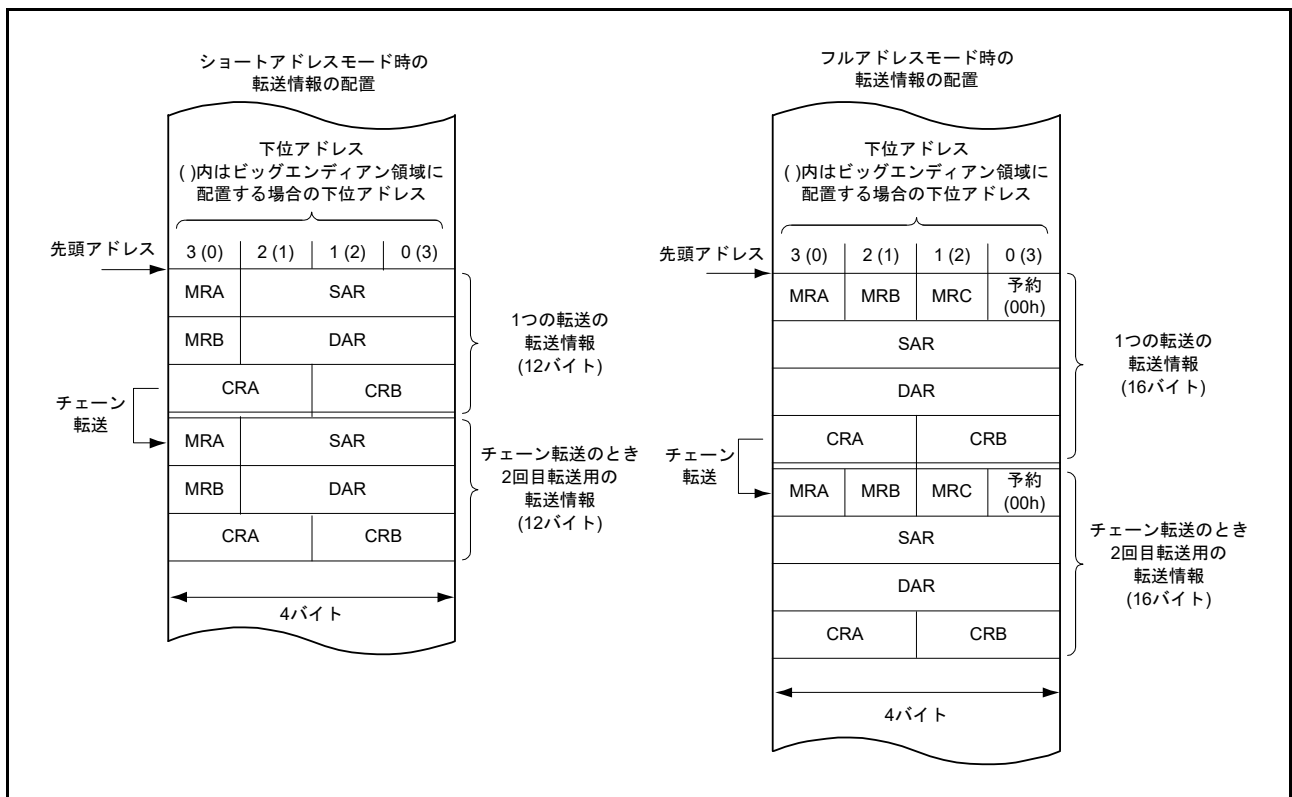


図 20.4 RAM 領域上の転送情報の配置

20.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読み出します。次に DTC ベクタが示すアドレスから転送情報を読み出してデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

転送元アドレスは SAR レジスタ、転送先アドレスは DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、それぞれの設定(インクリメント/デクリメント/固定)に従って、転送後に更新されます。

DTC の転送モードを表 20.3 に示します。

表 20.3 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード(注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回(注3)
ブロック転送モード(注2)	CRAHレジスタで指定したブロックサイズ(1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続(リピート)する。

また、MRB.CHNE ビットを“1”にしておくことにより、1回の転送要求で複数の転送を行うことができます(チェーン転送)。MRB.CHNS ビットの設定で、指定された回数のデータ転送が終了したときにチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 20.5 に示します。チェーン転送の条件を表 20.4 に示します。

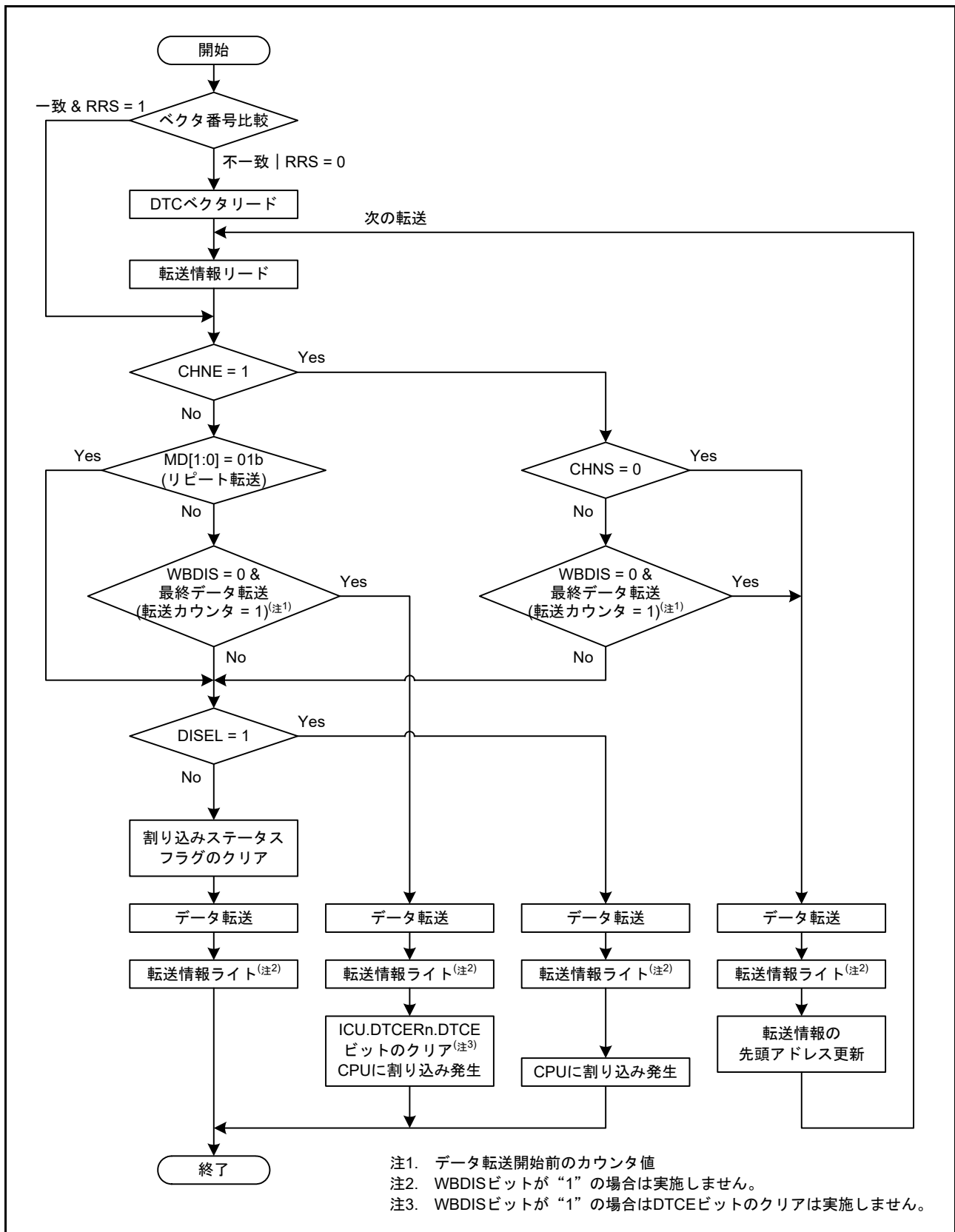


図 20.5 DTC 動作フローチャート

表 20.4 チェーン転送の条件

第1の転送				第2の転送(注3)				データ転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1 → 0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1 → 0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1 → *) 以外	—	—	—	—	第1転送で終了
1	1	—	(1 → *)	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1 → *) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。

ノーマル転送モード：CRAレジスタ、リポート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1 → 0)、リポート転送モードでは(1 → CRAH)となります。表中の(1 → *)はこの両方を指しています。

注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

20.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、DTC ベクタのリードと転送情報のリードをスキップすることができます。

DTC 転送要求が入力されたとき、今回起動する DTC ベクタ番号と前回起動した DTC ベクタ番号が比較されます。比較結果が一致し、DTCCR.RRS ビットが“1”のとき、DTC ベクタのリードと転送情報のリードを行わず、DTC 内部に残っている転送情報に従ってデータ転送を行います。前回の起動がチェーン転送のときは、DTC ベクタのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 20.14 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを“1”にしてください。DTCCR.RRS ビットを“0”にすることによって DTC の内部に保持されていたベクタ番号は破棄されます。次の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。

20.4.2 転送情報ライトバックスキップ機能

20.4.2.1 アドレス固定によるライトバックスキップ

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定 (“00b” または “01b”) に設定すると、転送情報の一部がライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。

転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 20.5 に示します。なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。

また、フルアドレスモードの場合、MRA レジスタ、MRB レジスタ、MRC レジスタはライトバックスキップされます。

表 20.5 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

20.4.2.2 MRA.WBDIS ビットによるライトバックスキップ

MRA.WBDIS ビットが “1” の場合、転送情報の設定内容にかかわらず転送情報 (SAR, DAR, CRA, CRB) はライトバックされません。

メモリ上の転送情報を更新しませんので、転送情報を ROM から RAM にコピーすることなく DTC のデータ転送を実行することができます。また、ライトバックを省略することで、データ転送の後処理にかかる時間が短縮できます。

20.4.3 ノーマル転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表20.6に、ノーマル転送モードのメモリマップを図20.6に示します。

表20.6 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値(注1)
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)
DAR	転送先アドレス	インクリメント/デクリメント/固定(注2)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新されない

注1. MRA.WBDISビットが“1”のときは、ライトバックはスキップされます。

注2. アドレス固定のときは、ライトバックはスキップされます。

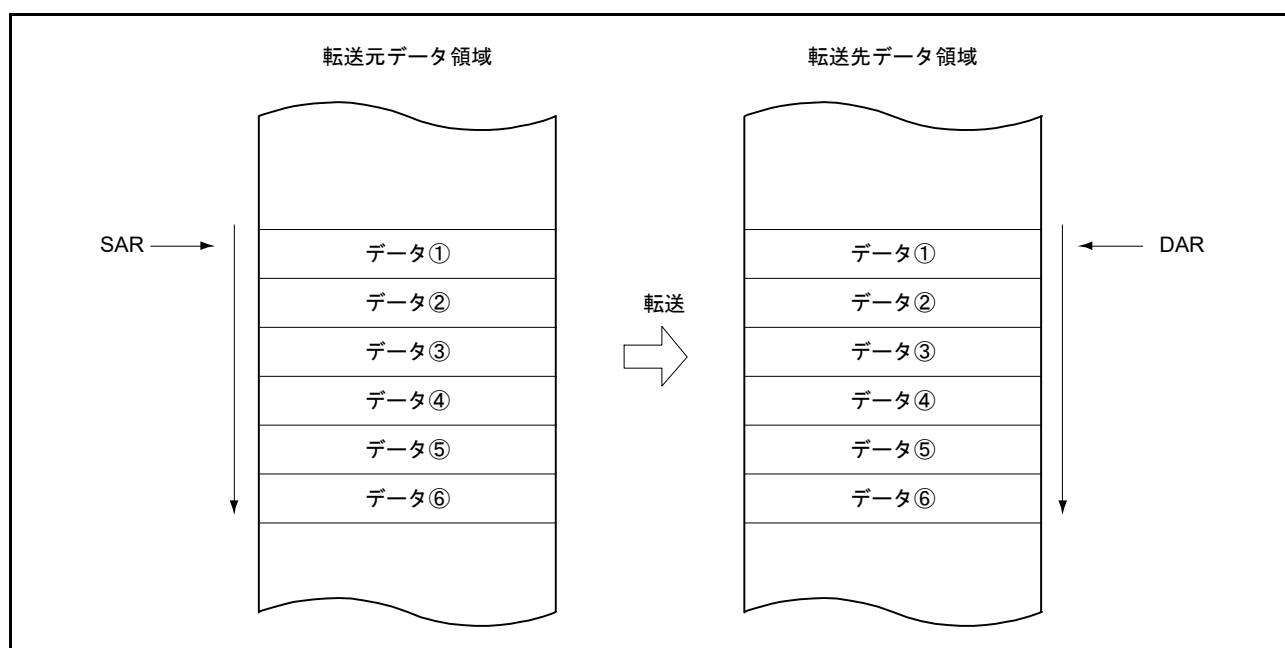


図20.6 ノーマル転送モードのメモリマップ

20.4.4 リピート転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”(指定した回数のデータ転送が終了したとき、CPU への割り込みが発生)の場合は CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 20.7 に、リピート転送モードのメモリマップを図 20.7 に示します。

表 20.7 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値(注1)		
		CRAL ≠ 1 のとき	CRAL = 1 のとき	
			MRB.DTS ビット=0 のとき	MRB.DTS ビット=1 のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)	インクリメント/デクリメント/固定(注2)	SAR レジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定(注2)	DAR レジスタの初期値	インクリメント/デクリメント/固定(注2)
CRAH	転送カウンタ初期値保持	CRAH	CRAH	
CRAL	転送カウンタ A	CRAL - 1	CRAH	
CRB	転送カウンタ B	更新されない	更新されない	

注1. MRA.WBDIS ビットが“1”のときは、ライトバックはスキップされます。

注2. アドレス固定のときは、ライトバックはスキップされます。

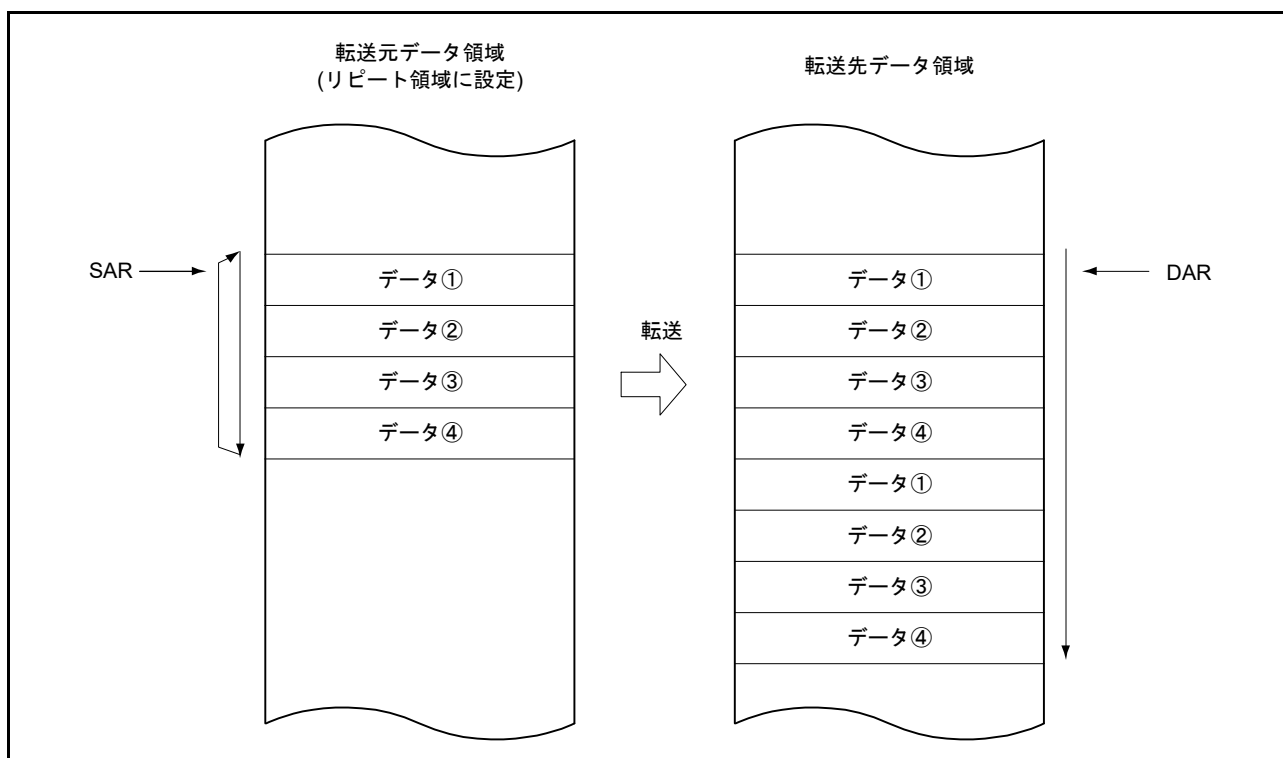


図 20.7 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

20.4.5 ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト、1～256ワードまたは1～256ロングワードの指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数(ブロック回数)は、1～65536まで指定可能です。指定回数のブロック転送が終了すると、CPUへの割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 20.8 に、ブロック転送モードのメモリマップを図 20.8 に示します。

表 20.8 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値(注1)	
		MRB.DTSビット=0のとき	MRB.DTSビット=1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)	SARレジスタの初期値
DAR	転送先アドレス	DARレジスタの初期値	インクリメント/デクリメント/固定(注2)
CRAH	ブロックサイズ初期値保持	CRAH	
CRAL	ブロックサイズカウンタ	CRAH	
CRB	ブロック転送回数カウンタ	CRB - 1	

注1. MRA.WBDISビットが“1”のときは、ライトバックはスキップされます。

注2. アドレス固定のときは、ライトバックはスキップされます。

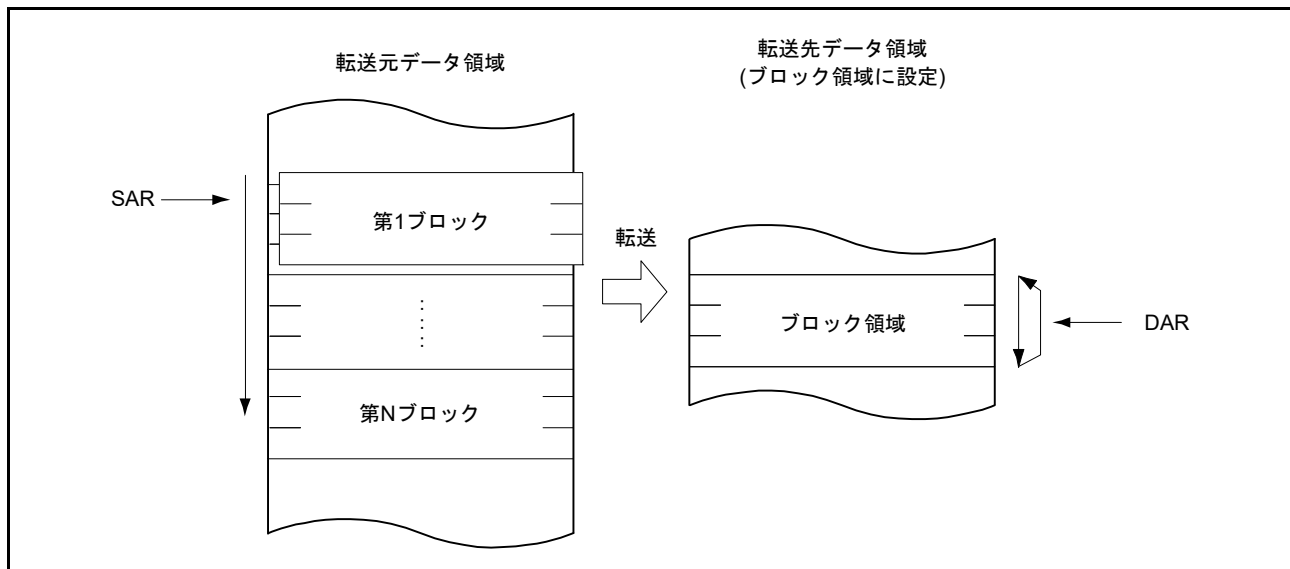


図 20.8 ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

20.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1回の転送要求で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した回数のデータ転送が終了したときも、MRB.DISEL ビットを“1”(データ転送のたびに、CPU への割り込み要求が発生)にしているときも、CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグにも影響を与えません。

データ転送を定義する転送情報(SAR, DAR, CRA, CRB, MRA, MRB, MRC)はそれぞれ個別に設定できます。図 20.9 にチェーン転送の動作を示します。

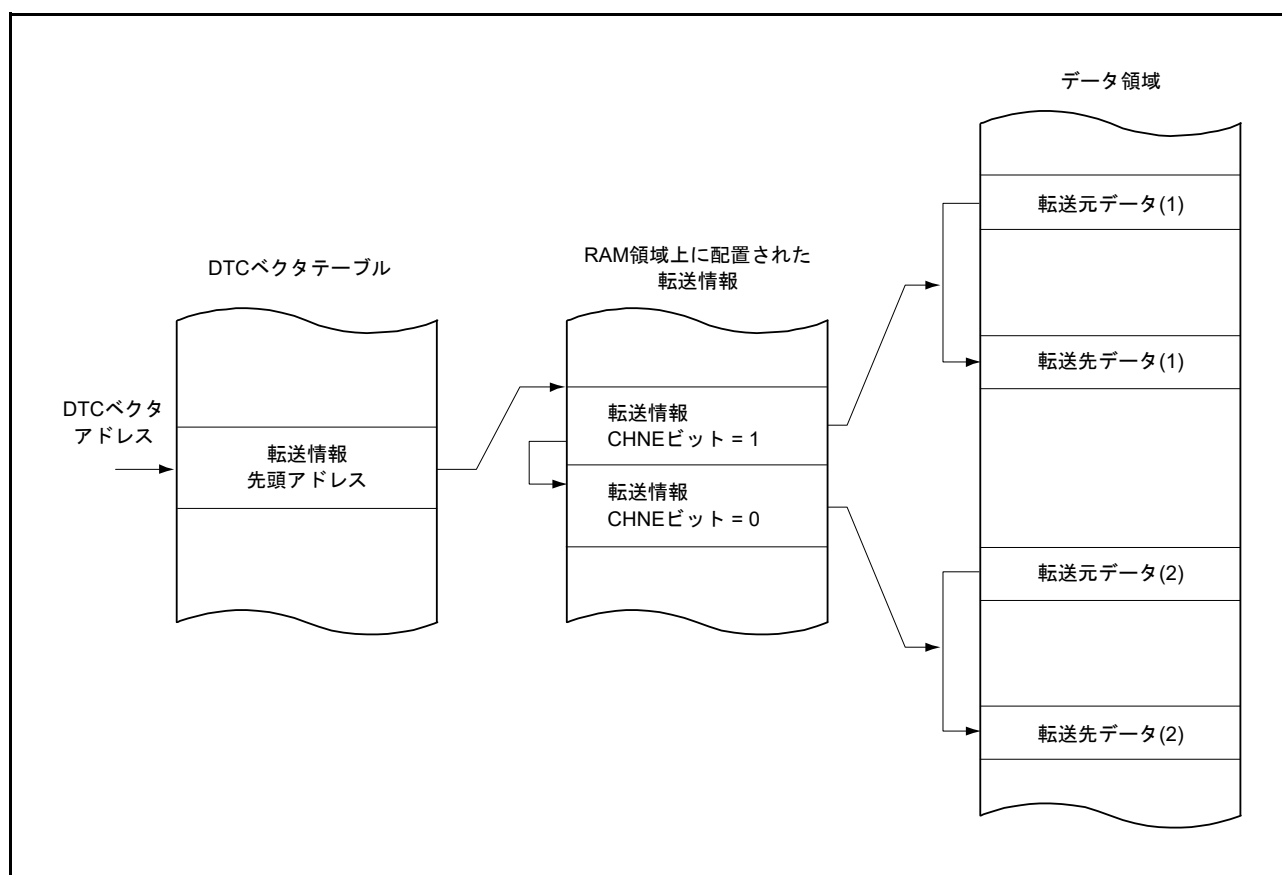


図 20.9 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定された回数のデータ転送が終了したときのみチェーン転送を行います。リピート転送モードでも、指定された回数のデータ転送が終了したときにチェーン転送を行います。

チェーン転送の条件の詳細については、表 20.4 のチェーン転送の条件を参照してください。

20.4.7 動作タイミング

DTC の動作タイミングの例を図 20.10 ~ 図 20.14 に示します。

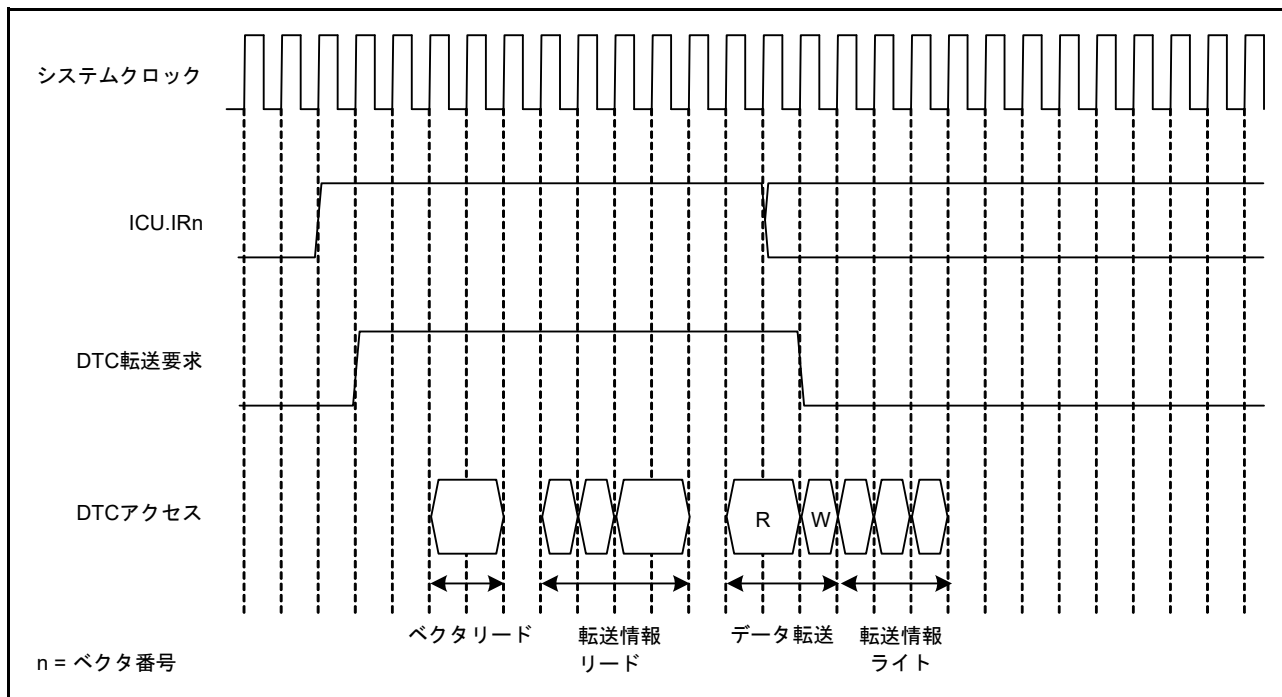


図 20.10 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

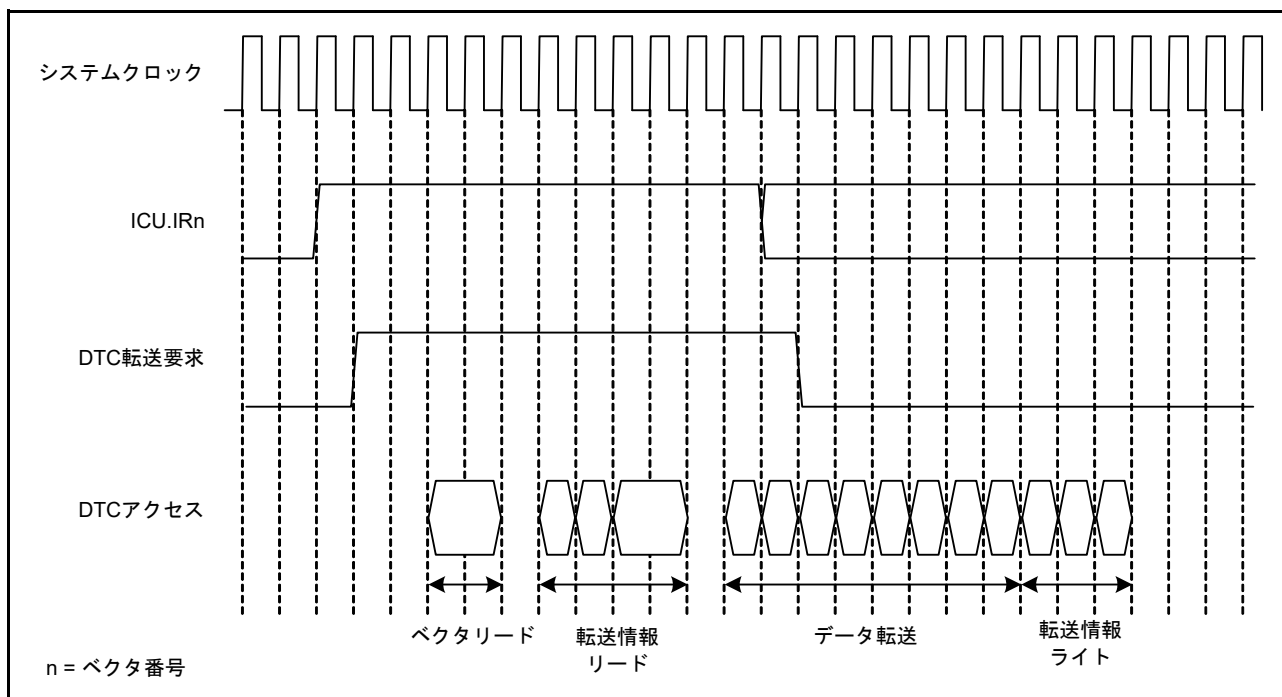


図 20.11 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

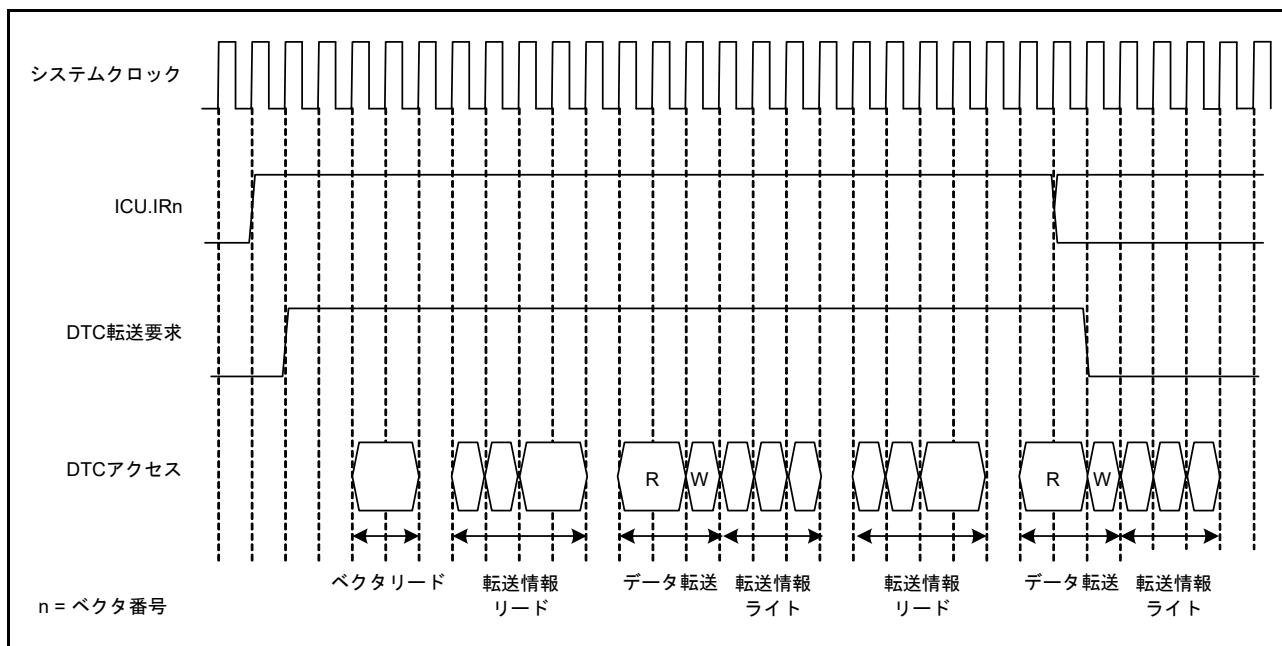


図 20.12 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

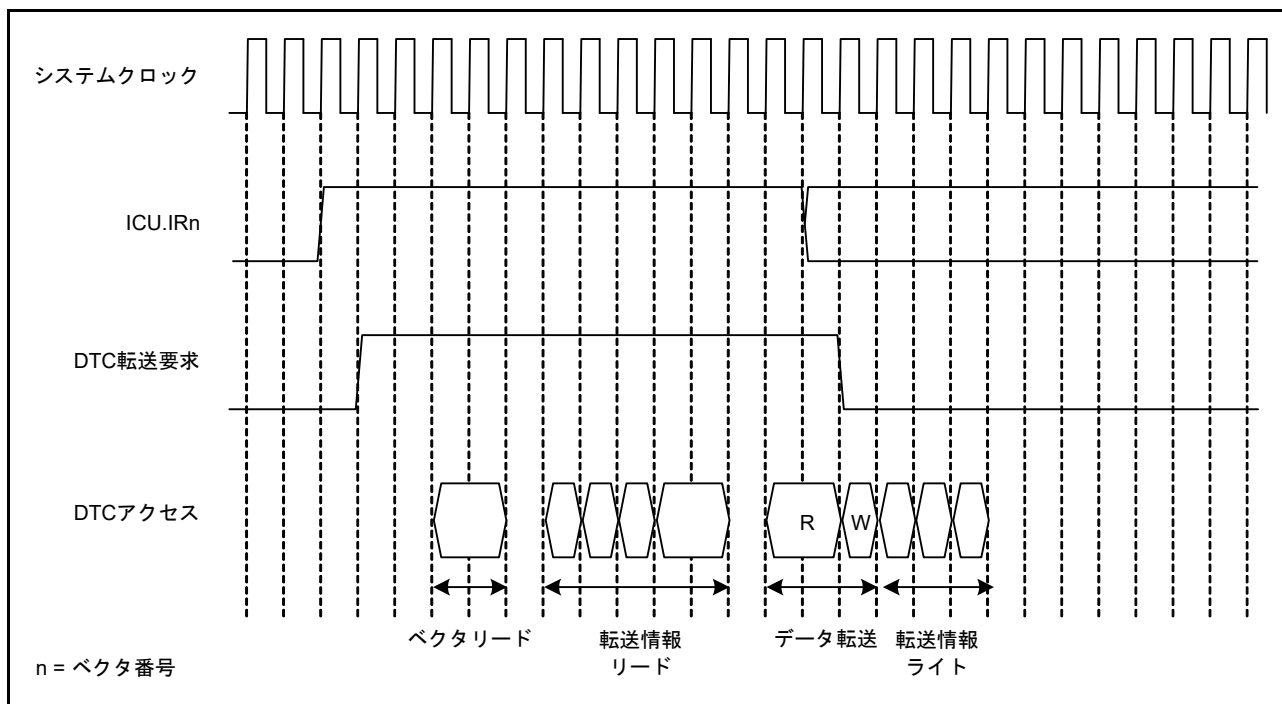


図 20.13 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

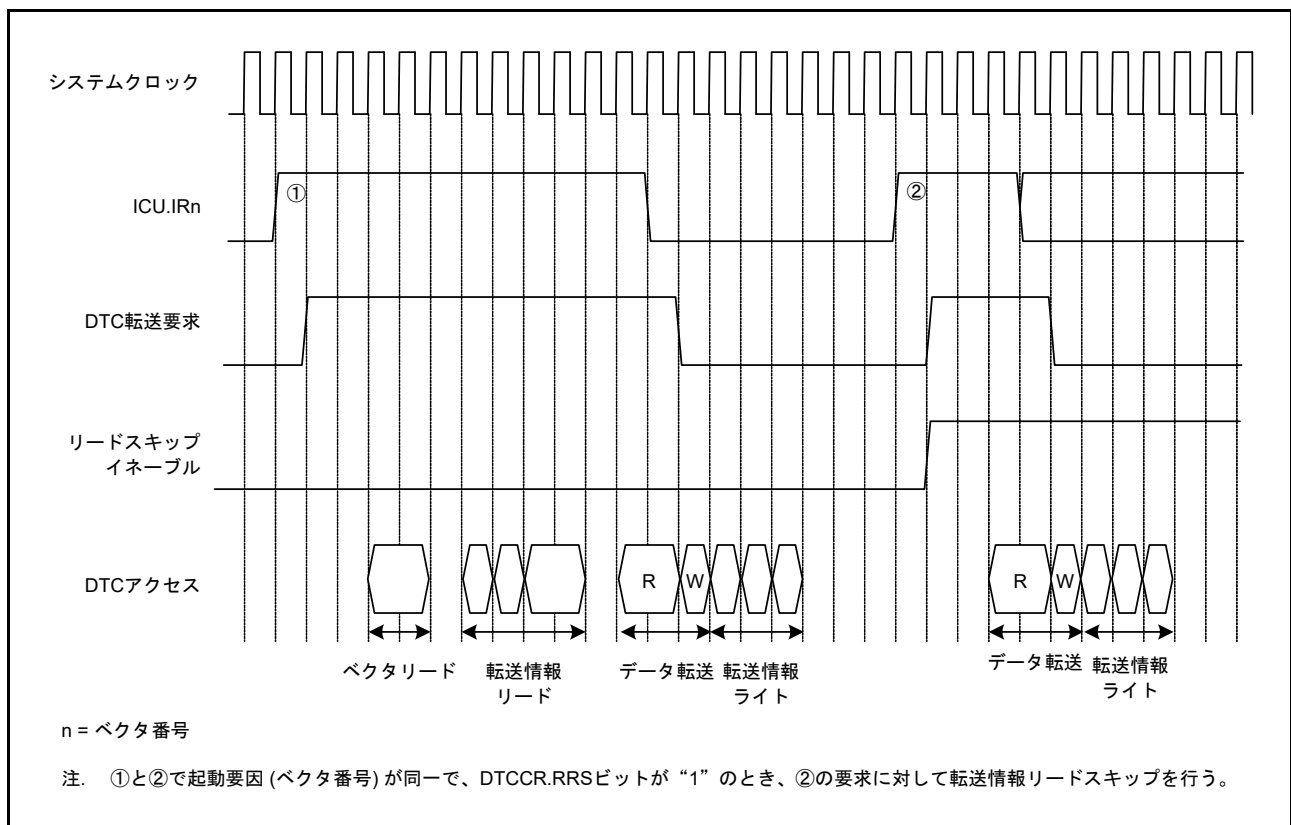


図 20.14 転送情報リードスキップ時の動作例
(ベクタ、転送情報、転送先がRAM、転送元は周辺モジュールの場合)

20.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 20.9 に示します。

各処理状態の実施順序は、「20.4.7 動作タイミング」を参照してください。

表 20.9 DTC の実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv + 1	0 (注 1)	4 × Ci + 1 (注 2)	3 × Ci + 1 (注 3)	0 (注 1)	3 × Ci (注 4)	2 × Ci (注 5)	Ci (注 6)	Cr + 1	Cw	2	0 (注 1)
リピート									Cr + 1	Cw		
ブロック (注 7)									P × Cr	P × Cw		

注 1. 転送情報リードスキップのとき

注 2. フルアドレスモード動作のとき

注 3. ショートアドレスモード動作のとき

注 4. SAR レジスタ、DAR レジスタがともにアドレス固定でないとき

注 5. SAR レジスタ、または DAR レジスタがアドレス固定のとき

注 6. SAR レジスタと DAR レジスタがともにアドレス固定のとき

注 7. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv : ベクタ転送情報格納先アクセスサイクル

Ci : 転送情報格納先アドレスアクセスサイクル

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「53. RAM」、「59. フラッシュメモリ (FLASH)」、「5. I/O レジスタ」、「16.2.7 外部バス」を参照してください。)

20.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「16. バス」を参照してください。

20.4.10 シーケンス転送

DTCSQE レジスタで設定した起動要因に対してシーケンス転送を実行することができます。MRB.INDX ビットを“1”にするとシーケンス転送を開始し、MRB.SQEND ビットを“1”にするとシーケンス転送を終了します。またシーケンス転送実行中でも DTCOR.SQTFRL ビットを“1”にすることでシーケンス転送を強制的に終了させ、次の DTC 転送要求でインデックステーブル参照から開始することができます。

シーケンス転送は下記の処理を行います。

- (1) DTCSQE レジスタに設定された要因からの DTC 転送要求を受けて、DTC ベクタテーブルを参照し最初のデータ転送を実行
- (2) (1) で転送した最初のデータの下位 8 ビットの値 (シーケンス番号) に基づいて DTC インデックステーブルを参照
- (3) DTC インデックステーブルから取得したアドレスから、転送情報を読み出し
- (4) 転送情報に従ってデータ転送を実行。転送後、MRB.CHNE ビットと MRB.SQEND ビットの値によって以下のいずれかの動作を実施
 - CHNE ビットが“1”の場合、チェーン転送を実行 → 次の転送情報を読み出し → (4) へ
 - CHNE ビットが“0”かつ SQEND ビットが“0”の場合、シーケンス転送を一時中断 → (5) へ
 - CHNE ビットが“0”かつ SQEND ビットが“1”の場合、シーケンス転送を終了
- (5) DTCSQE レジスタに設定された要因から DTC 転送要求が入る (注 1) と、中断していたシーケンスを再開、次の転送情報を読み出し → (4) へ

注 1. データ転送の結果 ICU.DTCERn.DTCE ビットが“0”になると、DTC 転送要求が発生しません。シーケンス転送を再開するには、DTCE ビットを“1”にしてください。DTCE ビットが“0”になる条件は、図 20.5 または「15. 割り込みコントローラ (ICUE)」を参照してください。

シーケンス転送の基本動作を図 20.15、図 20.16 に示します。

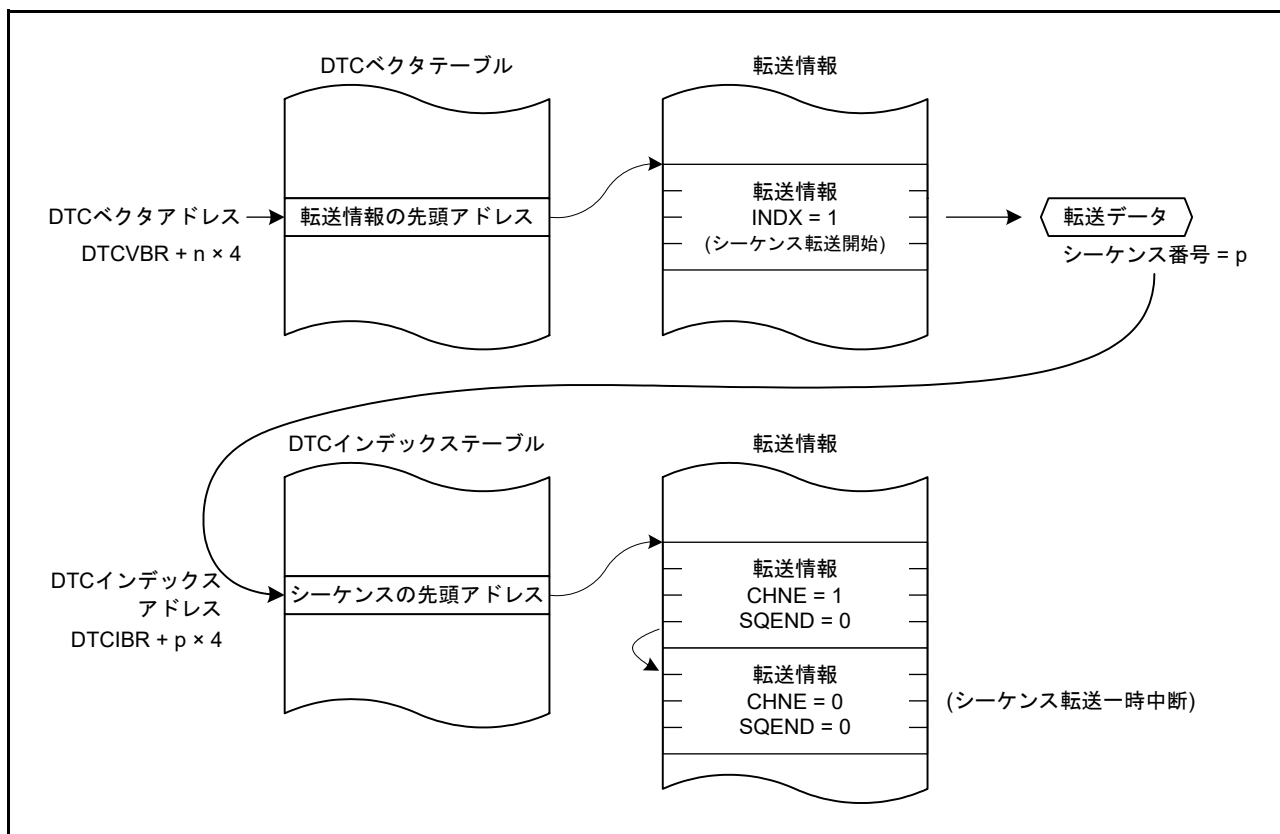


図 20.15 シーケンス転送の開始と一時中断

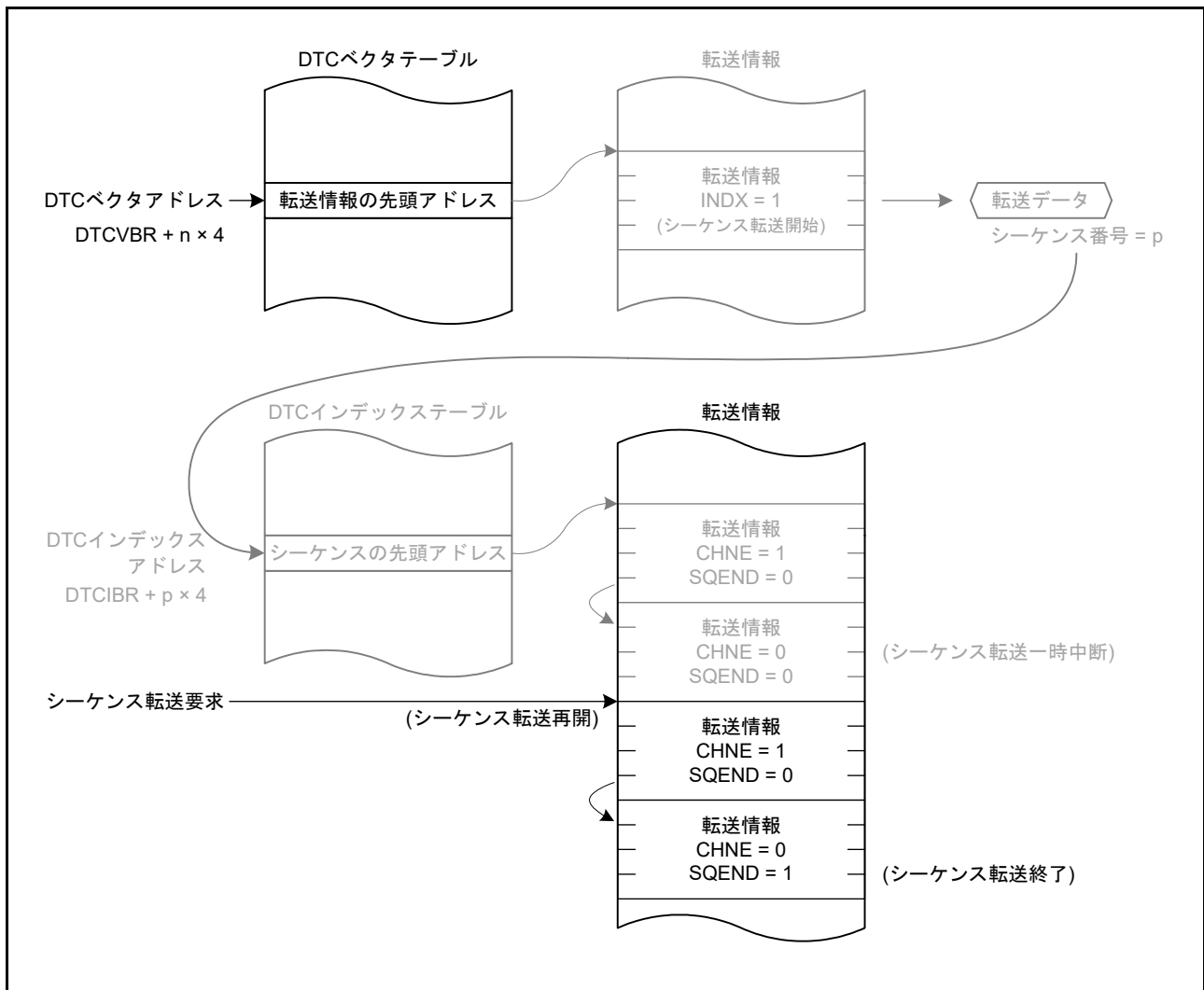


図 20.16 シーケンス転送の再開と終了

シーケンス転送実行時の CHNE、SQEND、INDX ビットの設定を表 20.10 に示します。

表 20.10 シーケンス転送と CHNE、SQEND、INDX ビット

DTCの動作	CHNEビット	SQENDビット	INDXビット
シーケンス転送開始	0	0	1(注1)
シーケンス転送継続	1	0	0
シーケンス転送一時中断(注2)	0	0	0
シーケンス転送終了	0	1	0
シーケンス転送終了、新たなシーケンス転送を開始	0	1	1(注1)
シーケンス転送以外	—	0	0

注. 上記以外の設定は使用しないでください。

注1. INDXビットを“1”にする転送情報では、MRA.MD[1:0]ビットを“00b”(ノーマル転送モード)にしてください。

注2. シーケンス転送が一時中断した場合、ICU.DTCERn.DTCEビットが“0”になっていることがあります。シーケンス転送を再開するにはDTCEビットを“1”にしてください。

シーケンス転送が一時中断していても、シーケンス転送が終了するまでは、新たなシーケンス転送は開始できません。シーケンス転送が一時中断しているときにシーケンス転送要求が入ると、中断していたシーケンス転送が再開されます。

20.4.11 DTC インデックステーブル

DTC インデックステーブルは、DTCIBR レジスタに設定されたアドレスを開始アドレスとする領域に配置されます。

シーケンス番号の値 p に対する転送情報テーブル p の先頭アドレスは、 $DTCIBR + p \times 4$ 番地に格納してください。

DTC インデックスの上位 30 ビットには、先頭アドレスの上位 30 ビットを設定します。CPUSEL ビットには、転送情報を読み出してシーケンスを開始するか、シーケンスを開始せずに CPU に割り込み要求を出力するかを設定します。DTC では処理しきれない複雑なシーケンスに対しては、CPUSEL ビットに“1”を設定し、CPU で処理を行います。

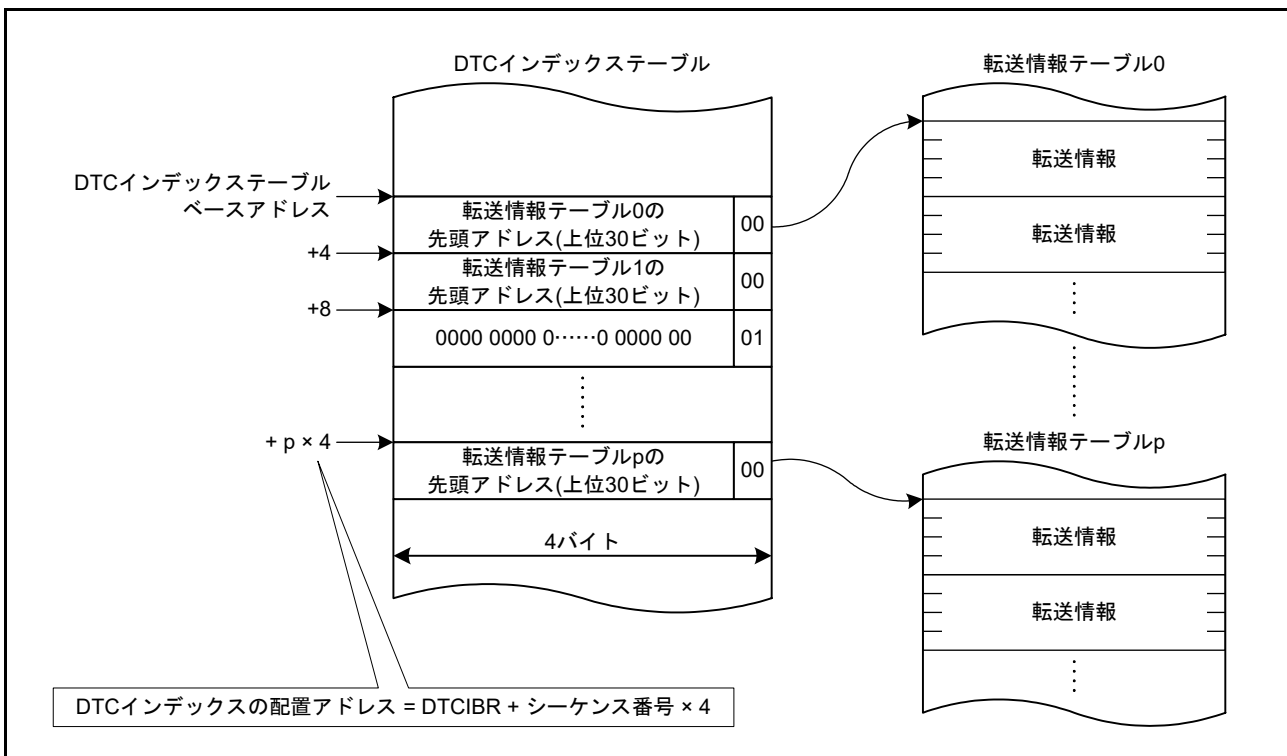
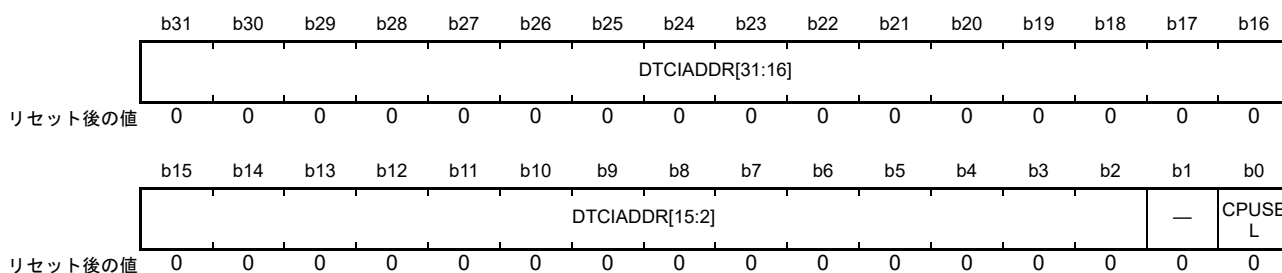


図 20.17 DTC インデックステーブル

- DTC インデックス

アドレス DTCIBR + p × 4



ビット	シンボル	ビット名	機能	R/W
b0	CPUSEL	シーケンス転送/CPU割り込み 選択ビット	0 : シーケンス転送を継続(シーケンスを開始) 1 : シーケンス転送を終了し、CPUに割り込み要求を出力	—
b1	—	予約ビット	“0”にしてください	—
b31-b2	DTCIADDR[31:2]	転送情報テーブルアドレス	転送情報テーブルの先頭アドレスの上位30ビットを設定 します。上位4ビット(b31-b28)への書き込みは無視され、 b31-b28の値はb27と同じ値になります。	—

取得したシーケンス番号が示す DTC インデックスの CPUSEL ビットが“1”の場合、CPU への割り込み要求が発生します。このとき ICU.DTCERn.DTCE ビットが“0”になりますので、これ以降、DTCSQE レジスタに設定した起動要因からの割り込み要求信号は、DTC ではなく CPU に伝えられます。CPU の割り込み処理が終わったら、次のシーケンス転送を開始できるように ICU.DTCERn.DTCE ビットを“1”にして DTC 転送要求を有効にしてください。

20.4.12 シーケンス転送の動作例

シーケンス転送の代表例を図 20.18 に、図中の転送例に対する転送情報の構成を図 20.19 ~ 図 20.23 に示します。

これらの例では、ベクタ番号 n の割り込み要因をシーケンス転送の要因に設定 (DTCSQE.VECN[7:0] ビット = n) しています。ベクタ番号 n の割り込み要因からの DTC 転送要求 (以降、単に「転送要求 n 」と記載) が入力されると、DTC は DTC ベクタテーブルを参照し、対応する転送情報を読み出します。この転送情報に従って転送されたデータの下位 8 ビットがシーケンス番号になり、256 通りのシーケンスの中から 1 つのシーケンスが選択されます。

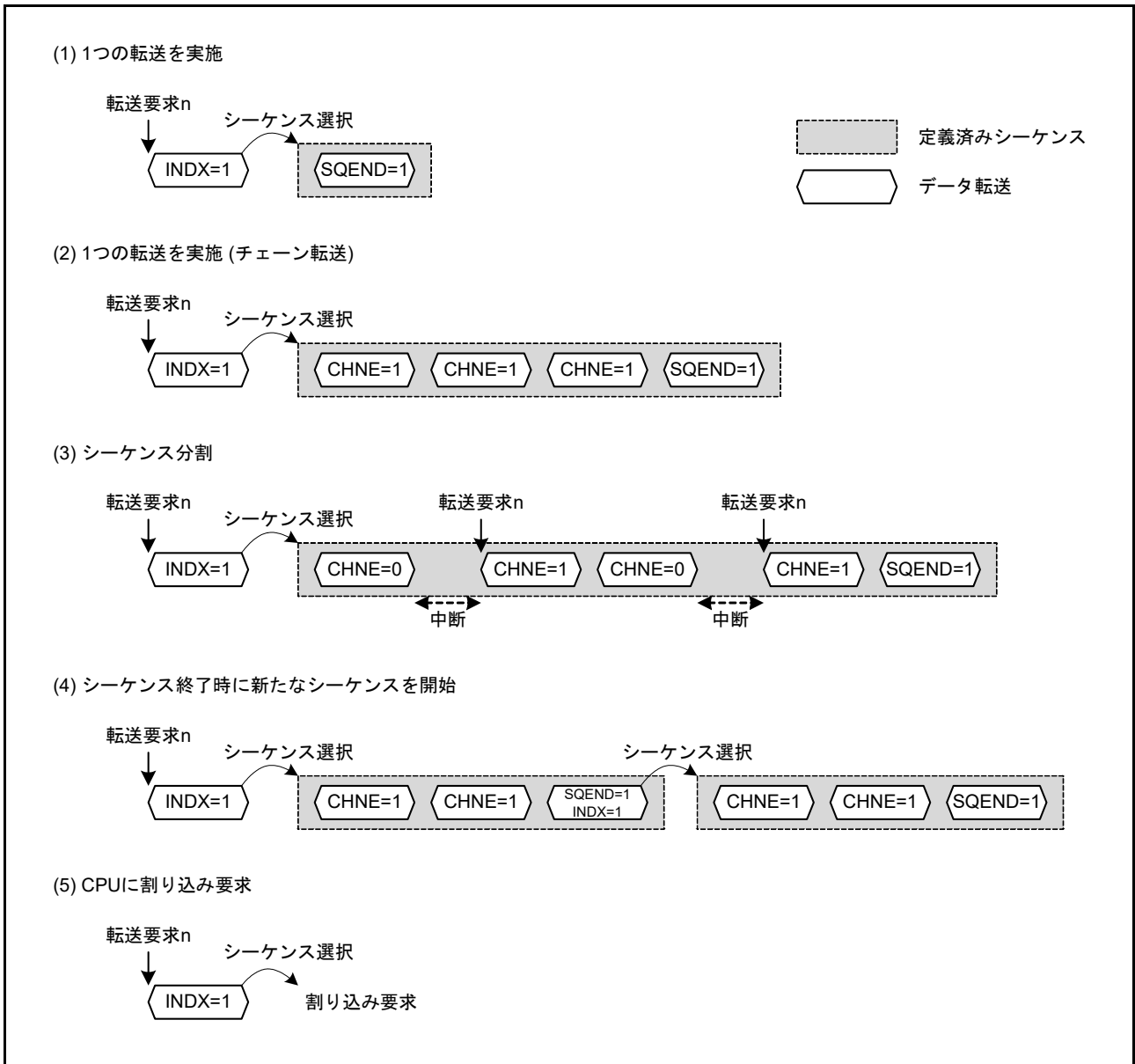


図 20.18 シーケンス転送の例

(1) 1つの転送を実施する場合

図 20.19 は、1つの転送(ノーマル転送、リピート転送、ブロック転送)を行うシーケンスの例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 p に対応する転送情報を読み出します。

転送情報中の CHNE、INDX、SQEND ビットがそれぞれ“0”、“0”、“1”なので、指定された転送を行うとシーケンスを終了します。

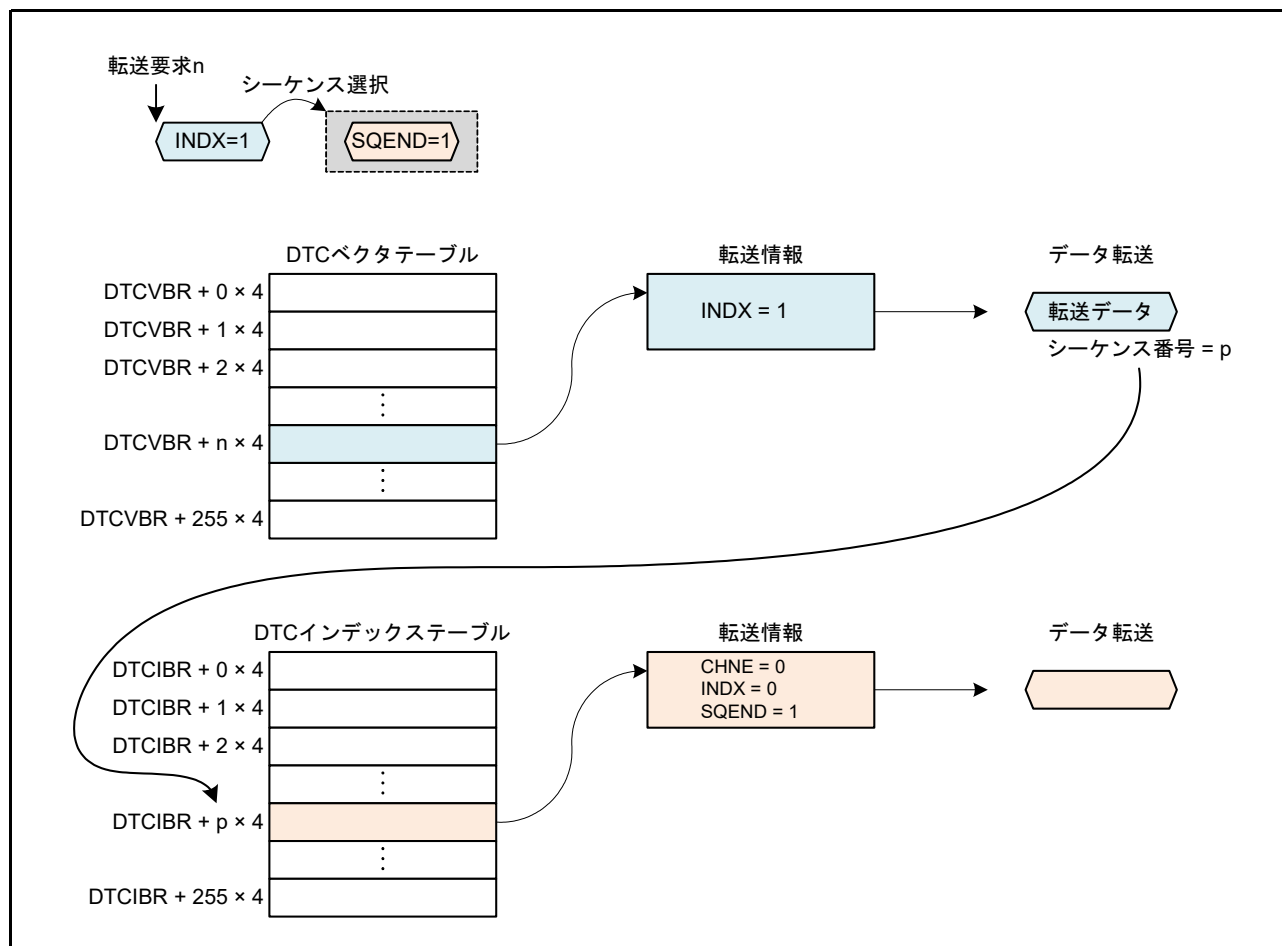


図 20.19 1つの転送を実施するシーケンスの例

(2) 1つのチェーン転送を実施する場合

図 20.20 は、1つのチェーン転送を行うシーケンスの例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 q に対応する転送情報を読み出します。

転送情報中の CHNE、INDX、SQEND ビットがそれぞれ “1”、“0”、“0” の間は、指定されたチェーン転送を行います。CHNE、INDX、SQEND ビットがそれぞれ “0”、“0”、“1” の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

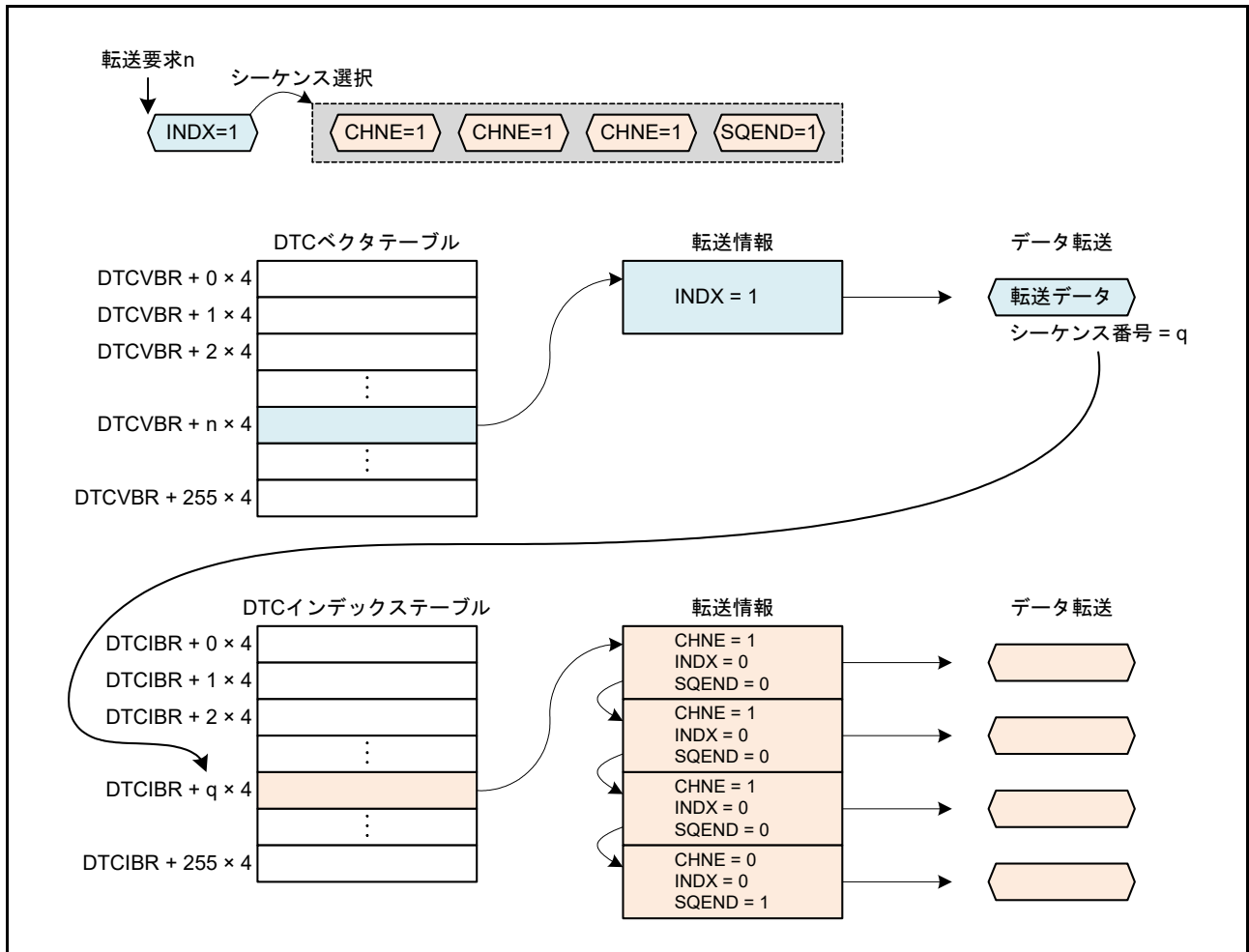


図 20.20 1つのチェーン転送を実施するシーケンスの例

(3) シーケンスを分割して実施する場合

図 20.21 は、1つのシーケンスを3つに分割して行うシーケンスの例です。

DTCは、DTCインデックステーブルを参照し、取得したシーケンス番号 r に対応する転送情報を読み出します。

転送情報中のCHNE、INDX、SQENDビットがそれぞれ“0”、“0”、“0”なので、指定された転送を行うと、シーケンスを中断して次の転送要求 n を待ちます。シーケンス転送実行中に転送要求 n が入力されると、DTCベクタテーブルは参照されず、中断していたシーケンスが再開されます。

CHNE、INDX、SQENDビットがそれぞれ“0”、“0”、“1”の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

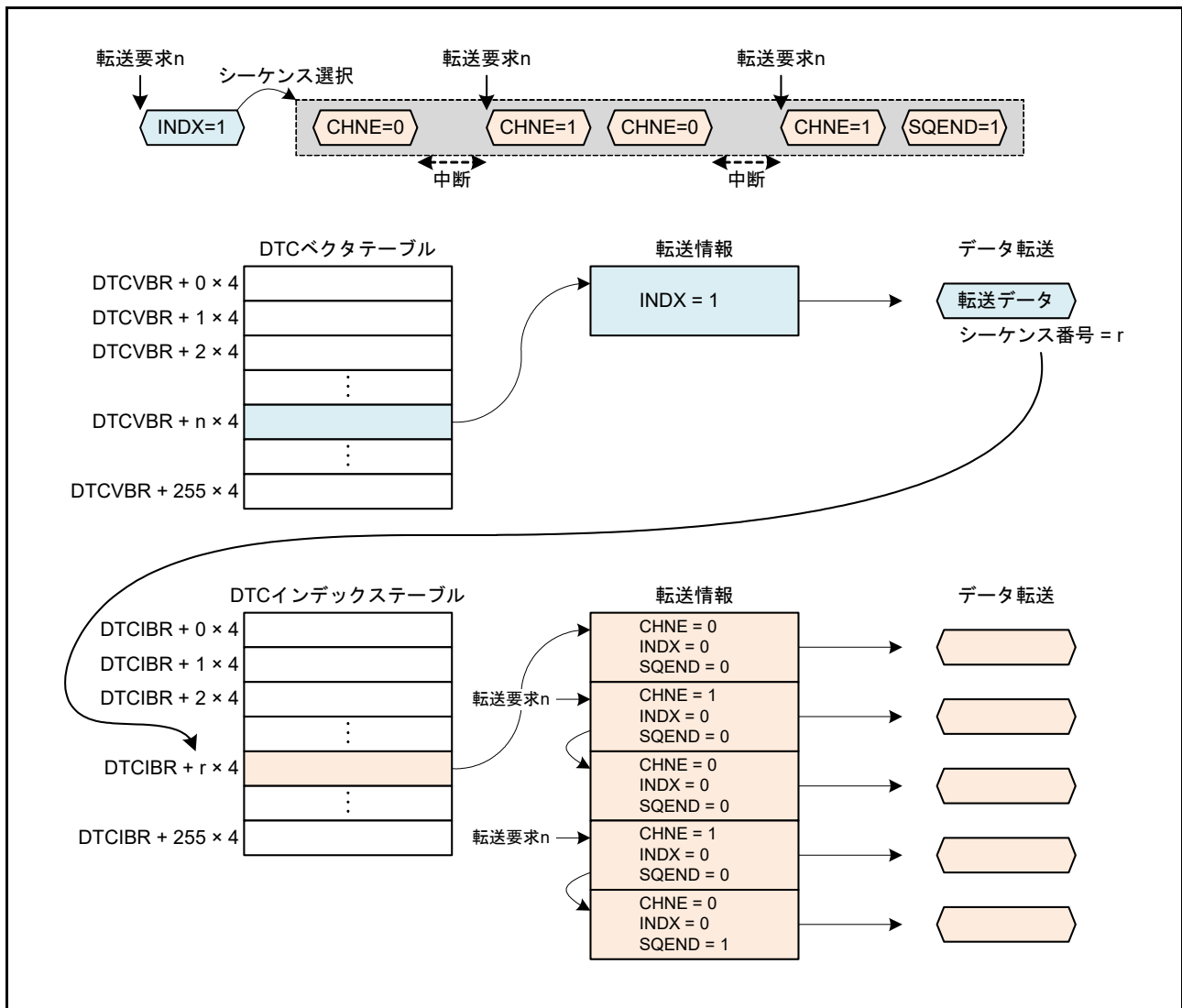


図 20.21 シーケンスを分割して実施する例

(4) シーケンス終了時に新たなシーケンスを開始する場合

図 20.22 は、1つ目のシーケンス転送終了時に次の新たなシーケンス転送を開始する例です。

DTCは、DTCインデックステーブルを参照し、取得したシーケンス番号sに対応する転送情報を読み出します。

CHNE、INDX、SQENDビットがそれぞれ“0”、“1”、“1”の転送情報を読み出すと、指定された転送を行い、転送されたデータの低位8ビットから新たなシーケンス番号を取得します。DTCは再びDTCインデックステーブルを参照し、取得したシーケンス番号kに対応する転送情報を読み出し、新たなシーケンスを開始します。

CHNE、INDX、SQENDビットがそれぞれ“0”、“0”、“1”の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

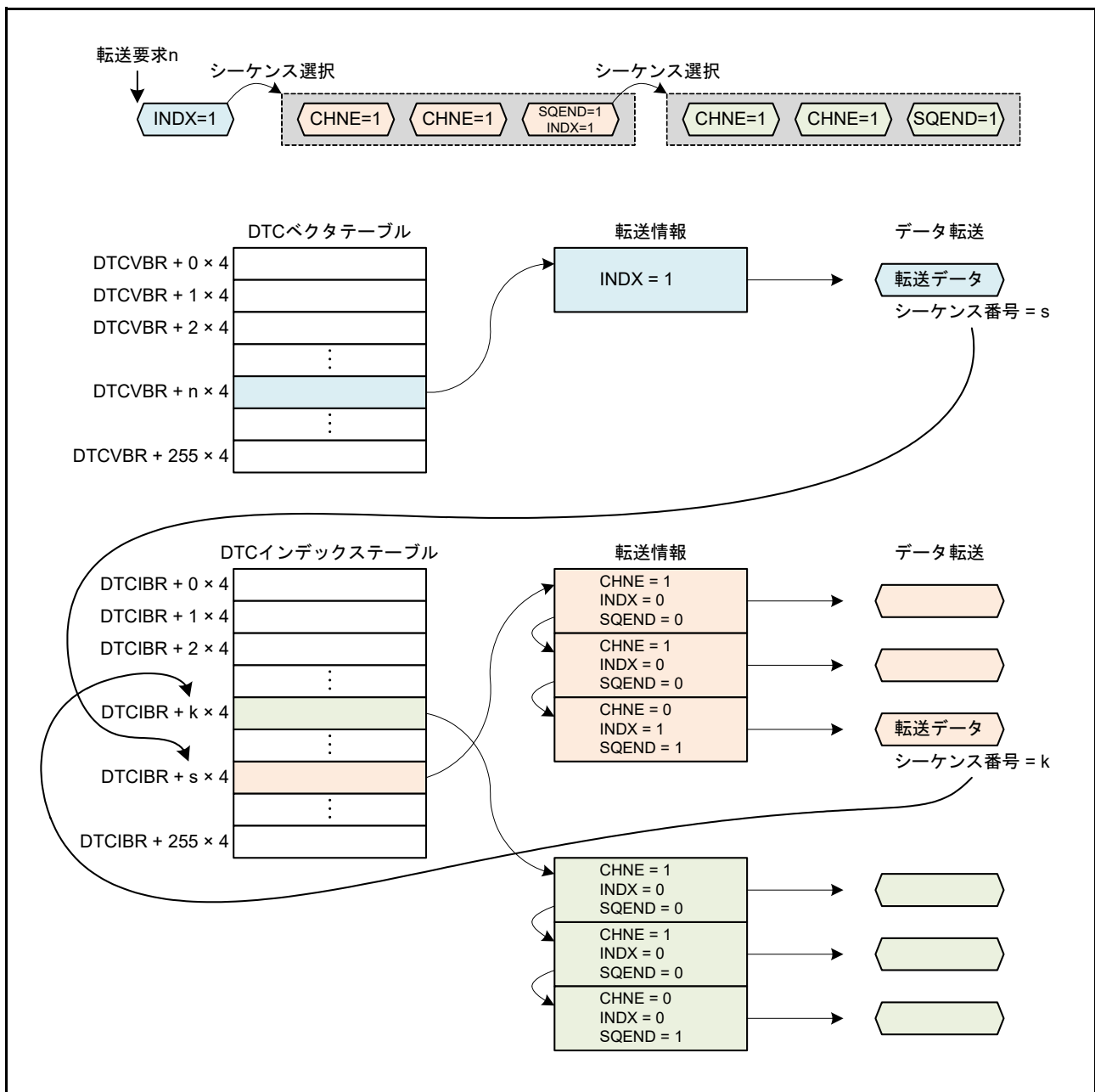


図 20.22 シーケンス終了時に新たなシーケンスを開始する例

(5) CPUに割り込み要求を出力する場合

図 20.23 は、シーケンスを開始せずに CPU に割り込み要求を出力する例です。

DTC は、取得したシーケンス番号 t に対応する DTC インデックスを取得します。取得した DTC インデックスの CPUSEL ビットが“1”であると、DTC はシーケンスを開始せずにシーケンス転送を終了し、CPU に割り込み要求を出力します。

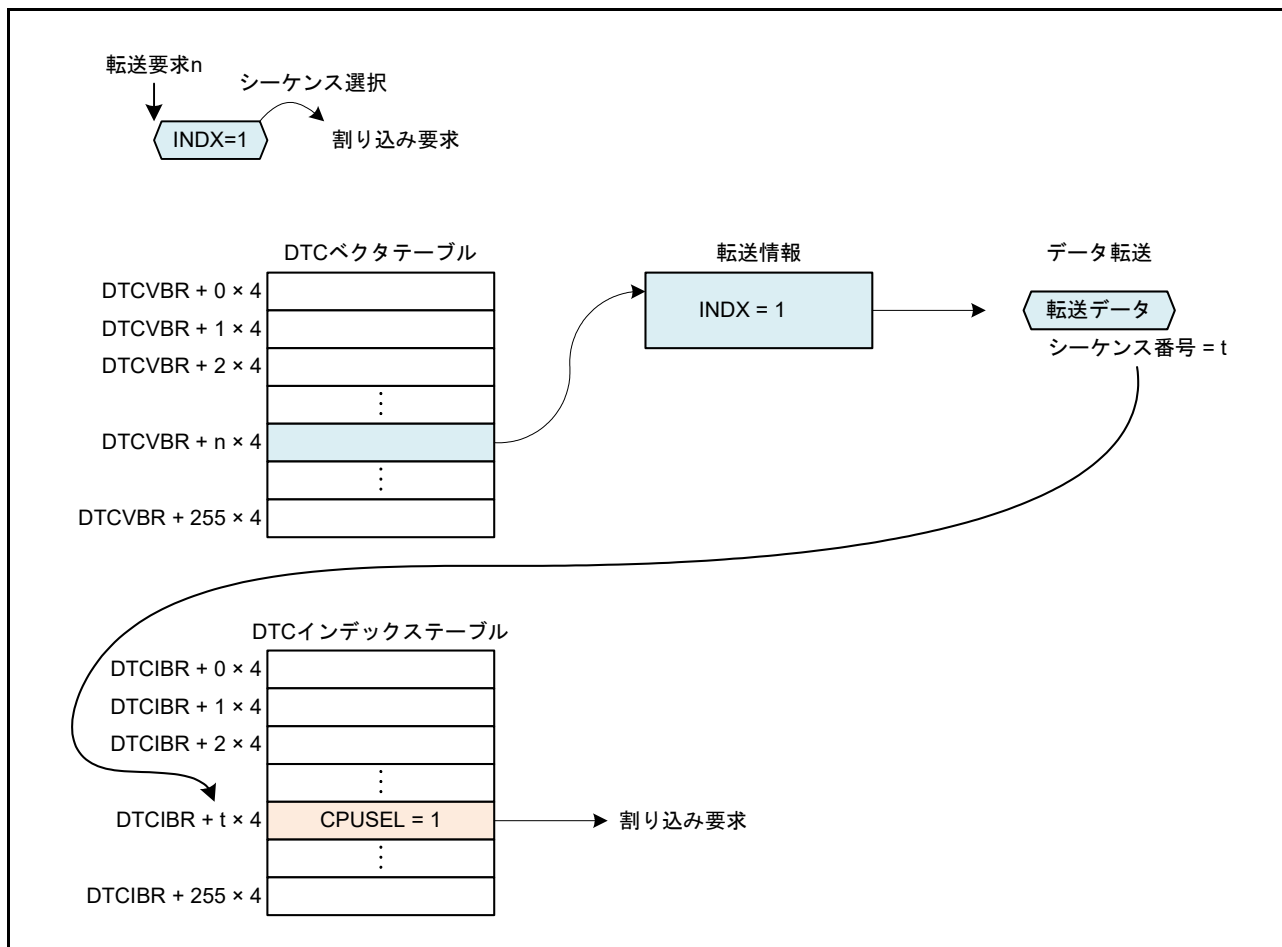


図 20.23 CPUに割り込み要求を出力する例

20.5 DTCの設定手順

DTCを使用する前に、DTCベクタベースレジスタ(DTCVBR)を設定してください。シーケンス転送を使用する場合はDTCインデックステーブルベースレジスタ(DTCIBR)も設定してください。

図 20.24 に DTC の起動に必要な設定手順を示します。

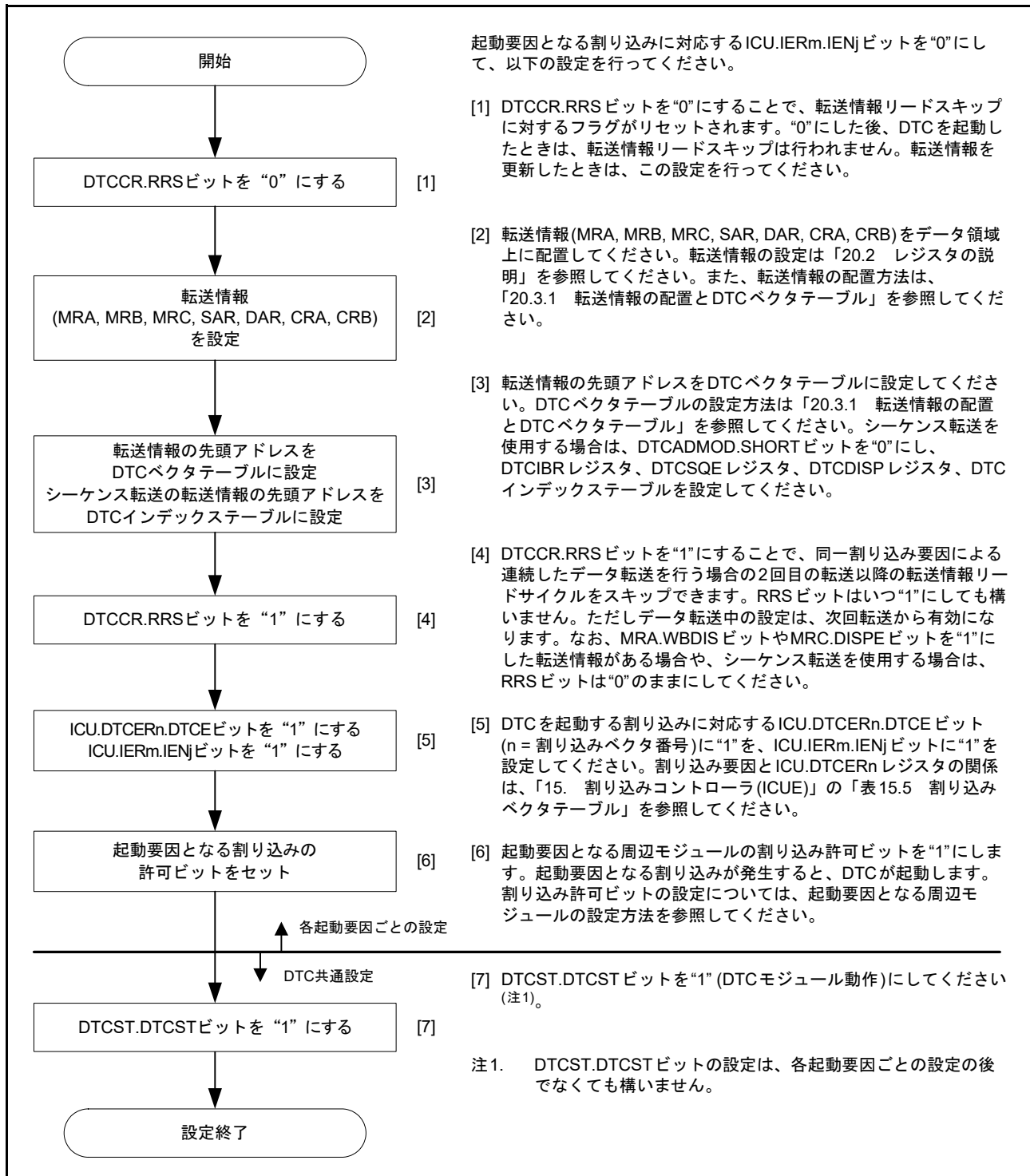


図 20.24 DTC の設定手順

20.6 DTC 使用例

20.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定回数のデータ転送終了時、割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタをインクリメント) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値にすることができます。

(2) DTC ベクタテーブルの設定

受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI で 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送が終了後、CRA レジスタが “0” になると、CPU に RXI 割り込み要求が出力されます。割り込み処理ルーチンで終了処理を行ってください。

20.6.2 チェーン転送

DTC のチェーン転送の例として、PPG によるパルス出力を行う例を示します。

(本文中で使用している x、y、k は、それぞれユニット番号、チャンネル番号、ビット番号を示します)

チェーン転送を使ってパルス出力データの転送と、PPG 出力トリガの周期の変更を行うことができます。チェーン転送の前半で PPGx.NDRH、PPGx.NDRL レジスタへのリポート転送モード、後半で MTUy.TGR レジスタへのノーマル転送モードを設定します。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェーン転送の後半 (MRB.CHNE ビット = 0 のときの転送) に限られるためです。

以下に MTUy.TRGA レジスタのコンペアマッチ割り込みを DTC の起動要因として使用する例を示します。

(1) 第1転送の転送情報の設定

PPGx.NDRH、PPGx.NDRL レジスタへの転送の設定を行います。MRA レジスタの MD[1:0] ビットを “01b” (リピート転送モード)、SZ[1:0] ビットを “01b” (ワード転送)、SM[1:0] ビットを “10b” (転送後 SAR レジスタをインクリメント) に設定します。MRB レジスタの CHNE ビットを “1” (チェーン転送許可)、CHNS ビットを “0” (転送が終了するたびにチェーン転送を行う)、DTS ビットを “1” (転送元がリピート領域)、DM[1:0] ビットを “00b” (転送先アドレス固定) に設定します。SAR レジスタにはデータテーブルの先頭アドレス、DAR レジスタには PPGx.NDRH レジスタのアドレス、CRAH、CRAL レジスタにはデータテーブルサイズを設定します。CRB レジスタは任意の値にすることができます。

(2) 第2転送の転送情報の設定

MTUy.TGRA レジスタへの転送の設定を行います。MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “01b” (ワード転送)、SM[1:0] ビットを “10b” (転送後 SAR レジスタをインクリメント) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定回数の転送終了時、割り込み発生)、DM[1:0] ビットを “00b” (転送先アドレス固定) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタにはデータテーブルの先頭アドレス、DAR レジスタには MTUy.TGRA レジスタのアドレス、CRA レジスタにはデータテーブルサイズを設定します。CRB レジスタは任意の値にすることができます。

(3) 転送情報の配置方法

第1転送の転送情報を配置したアドレスに続けて、第2転送の転送情報を配置します。

(4) DTC ベクタテーブルの設定

第1転送の転送情報の先頭アドレスを DTC ベクタテーブルに設定します。

(5) ICU の設定と DTC モジュール起動

TGIA 割り込みに対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(6) MTU の設定

MTUy.TIOR レジスタで MTUy.TGRA レジスタをアウトプットコンペアレジスタ (出力禁止) に設定し、MTUy.TIER レジスタで TGIA_n 割り込み要求を許可します。

(7) PPG の設定

PPGx.PODRH、PPGx.PODRL レジスタに出力初期値を設定し、PPGx.NDRH、PPGx.NDRL レジスタに次の出力値を設定します。PORTm.PDR、PPGx.NDRH、PPGx.NDRL レジスタの出力を行うビットを “1” にします。また、PPGx.PCR レジスタで出力トリガとなる MTU のコンペアマッチ信号を選択します。

(8) MTU の起動

MTU.TSTR.CSTk ビットを “1” にし、MTUy.TCNT カウンタのカウント動作を開始します。

(9) DTC 転送

MTUy.TGRA レジスタのコンペアマッチが発生するたびに次の出力値が PPGx.NDRH、PPGx.NDRL レジスタへ、次の出力トリガ周期の設定値が MTUy.TGRA レジスタへそれぞれ転送されます。

(10) 割り込み処理

指定した回数のデータ転送が終了すると (第2転送の CRA レジスタが “0” になると)、CPU に TGIA_n 割り込み要求が出力されます。割り込み処理ルーチンで終了処理を行ってください。

20.6.3 カウンタが“0”のときのチェーン転送

第1のデータ転送の転送カウンタが“0”になったときのみ第2のデータ転送を行い、第2のデータ転送において第1の転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が256回を超えるリピート転送を行うことができます。

128K バイトの入力バッファを 20 0000h ~ 21 FFFFh 番地に構成する例を示します (入力バッファは下位アドレス “0000h” から始まるように設定します)。カウンタが“0”のときのチェーン転送を図 20.25 に示します。

- (1) 第1のデータ転送は、入力データ用にノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタは “0000h” (65536 回)、MRB.CHNE ビットは “1” (チェーン転送許可)、MRB.CHNS ビットは “1” (転送カウンタが “0” になったときのみチェーン転送を行う)、MRB.DISEL ビットは “0” (指定された回数 of データ転送が終了したとき CPU への割り込みが発生) にしてください。
- (2) 第1のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビット (この例の場合は “21h” と “20h”) を別の領域 (ROM など) に用意してください。
- (3) 第2のデータ転送は、第1のデータ転送の転送先アドレス再設定用にリピート転送モード (転送元をリピート領域) にします。転送先は第1の転送情報内の DAR レジスタの上位 8 ビットが配置されているアドレスです。このとき MRB.CHNE ビットは “0” (チェーン転送禁止)、MRB.DISEL ビットは “0” (指定された回数 of データ転送が終了したとき CPU への割り込みが発生) にしてください。この例の場合は、転送カウンタを “2” にしてください。
- (4) DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが “0” になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを “21h” にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは、“0000h” になっています。
- (5) 引き続き、DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが “0” になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを “20h” にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは “0000h” になっています。
- (6) 上記 (4)、(5) を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPU への割り込み要求は発生しません。

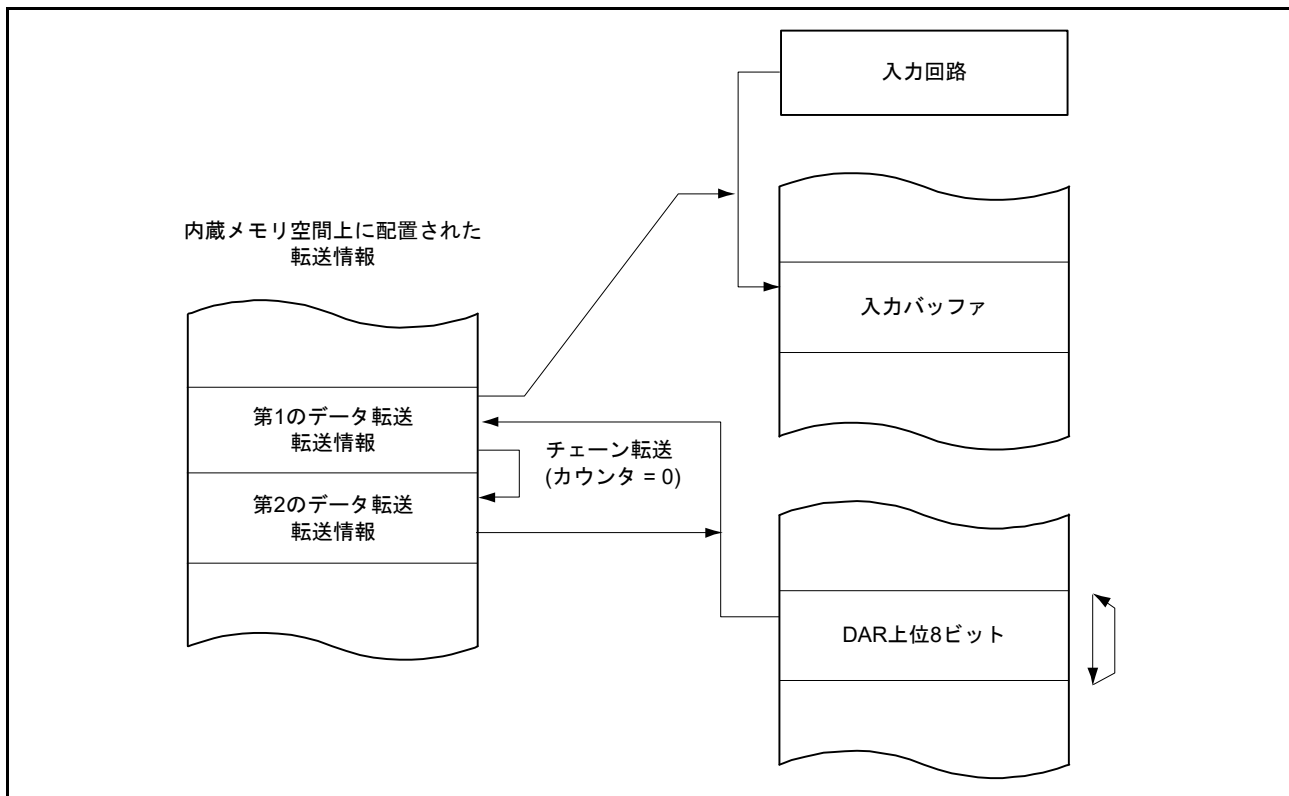


図 20.25 カウンタが“0”のときのチェーン転送

20.6.4 シーケンス転送

SCIの受信割り込みをシーケンス転送の起動要因にする例を示します。

(1) 転送情報の設定

MRAレジスタのMD[1:0]ビットを“00b”(ノーマル転送モード)、SZ[1:0]ビットを“00b”(バイト転送)、SM[1:0]ビットを“00b”(転送元アドレス固定)に設定します。MRBレジスタのCHNEビットを“0”(チェーン転送禁止)、DISELビットを“0”(指定された回数のデータ転送が終了したとき割り込み発生)、DM[1:0]ビットを“10b”(転送後DARレジスタインクリメント)、INDXビットを“1”(シーケンス転送開始)、SQENDビットを“0”(シーケンス転送継続)に設定します。MRB.DTSビットは、任意の値にすることができます。SARレジスタにSCIk.RDRレジスタのアドレス、DARレジスタにデータを格納するRAMの先頭アドレスを設定します。

WBDISビットを“1”(ライトバックしない)にした場合、CRAレジスタ、CRBレジスタの値は無視されます。

(2) DTCベクタテーブルの設定

対象となる受信完了割り込み(RXI)用の転送情報の先頭アドレスを、DTCベクタテーブルに設定します。

(3) DTCインデックステーブルの設定

シーケンスごとの転送情報の先頭アドレスを、DTCインデックステーブルに設定します。

(4) ICUの設定とDTCモジュールの起動

対応するICU.DTCERn.DTCEビットを“1”に、ICU.IERm.IENjビットを“1”にします。DTCST.DTCSTビットを“1”にします。

(5) SCI の設定

SCIk.SCR.RIE ビットを“1”にし、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(6) シーケンス転送の開始

SCI で 1 バイトのデータ受信が完了すると RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCIk.RDR レジスタから RAM へ転送されます。この受信データの値(シーケンス番号)によって DTC インデックステーブルを参照し、引き続きシーケンス番号に対応したデータ転送を実行します。

DTC インデックスの CPUSEL ビットが“1”の場合は、転送情報をリードせず、ICU.DTCERn.DTCE ビットを“0”にし、CPU に割り込み要求を出力してシーケンス転送を終了します。

(7) シーケンス転送一時中断中

ICU.DTCERn.DTCE ビットが“0”になっている場合は、“1”にします。対象となる RXI 割り込みによる DTC 転送要求が発生するたびに、続きのデータ転送を行います。

(8) シーケンス転送終了

シーケンス転送の最後の転送情報の MRB.SQEND ビットを“1”に設定します。このデータ転送を実行後、シーケンス転送を終了し、次に対象となる RXI 割り込みによる DTC 転送要求が発生した時は、DTC ベクタテーブルの参照から開始します。

20.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが“1”(データ転送のたびに、CPU への割り込みが発生)のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット(割り込み許可ビット)、PSW.IPL[3:0] ビット(プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

20.8 イベントリンク

DTC は 1 要求分の転送完了後にイベント信号を出力します。ただし、転送先が「外部バス」、もしくは、「内部周辺バス」の場合、ライトバッファへの書き込みが完了した時点で、イベント信号を出力します。

20.9 消費電力低減機能

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを“0” (DTC モジュール停止) にした後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1” を書いたときにデータ転送が実行中であった場合、データ転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1” のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DTC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の「11.6.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合は、データ転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに“0” を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」、もしくは「11.6.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定手順については、「11. 消費電力低減機能」の「11.7.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、データ転送を行うには、再度 DTCST.DTCST ビットを“1” にしてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 転送要求でなく CPU への割り込み要求にする場合は、「15. 割り込みコントローラ (ICUE)」の「15.7.3.1 割り込み要求先の設定手順」の設定方法に沿って、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

20.10 使用上の注意事項

20.10.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4の倍数を指定してください。4の倍数以外を指定すると、アドレスの最下位2ビットは“00b”としてアクセスします。

20.10.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 20.26 に示すとおり配置してください。

たとえば、CRA、CRB 設定データを 16 ビットで書く場合、ビッグエンディアンの場合は +8h (+Ch) 番地に CRA 設定データ、+Ah (+Eh) 番地に CRB 設定データを書いてください。リトルエンディアンの場合は +8h (+Ch) 番地に CRB 設定データ、+Ah (+Eh) 番地に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンにかかわらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して +8h (+Ch) 番地に書いてください。

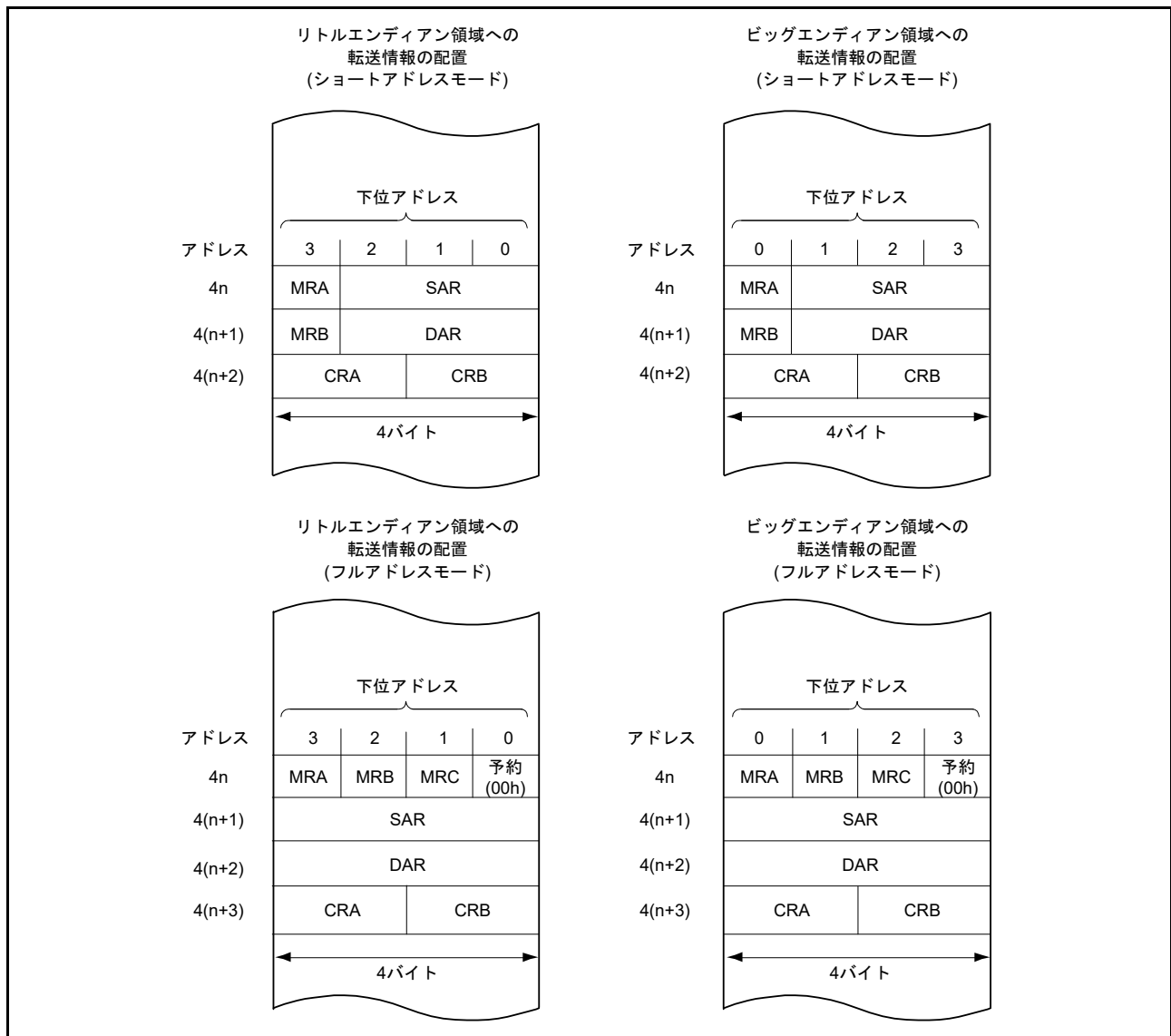


図 20.26 転送情報の配置

20.10.3 割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定

ICU.DTCERn.DTCE ビットを“1”(DTC の起動要因に設定する)にした割り込みベクタ番号と同じベクタ番号を DMAC 起動要因選択レジスタ (ICU.DMRSRm (m = DMAC チャンネル番号)) に設定して DMAC を起動しないでください。ICU.DTCERn レジスタ、ICU.DMRSRm レジスタの詳細は、「15. 割り込みコントローラ (ICUE)」を参照してください。

20.10.4 シーケンス転送使用時の注意事項

シーケンス転送は、DTCADM.SHORT ビットを“0”(フルアドレスモード)、DTCCR.RRS ビットを“0”(リードスキップを行わない)にして使用してください。

また、MRB.INDX ビットを“1”(シーケンス転送開始)にするとき、あるいは MRB.SQEND ビットを“1”(シーケンス転送終了)にするときは、MRB.CHNE ビットを“0”(チェーン転送禁止)にしてください。

21. イベントリンクコントローラ (ELC)

21.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続 (リンク) します。これにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

表 21.1 に ELC の仕様を示します。図 21.1 に ELC のブロック図を示します。

表21.1 ELCの仕様

項目	内容
イベントリンク機能	<ul style="list-style-type: none"> 99種類のイベント信号を、直接周辺モジュールへリンク可能 タイマ系の周辺モジュールは、イベント信号入力時の動作を選択可能 ポートB、ポートEのイベントリンク動作が可能 シングルポート(注1): 指定した1本のポートにイベントリンクの動作設定が可能 ポートグループ(注1): 最大8本あるポートの内、指定した複数本のポートをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. 入力に設定されているシングルポート、ポートグループでは、対応する端子への入力信号が変化するとイベントが発生します。

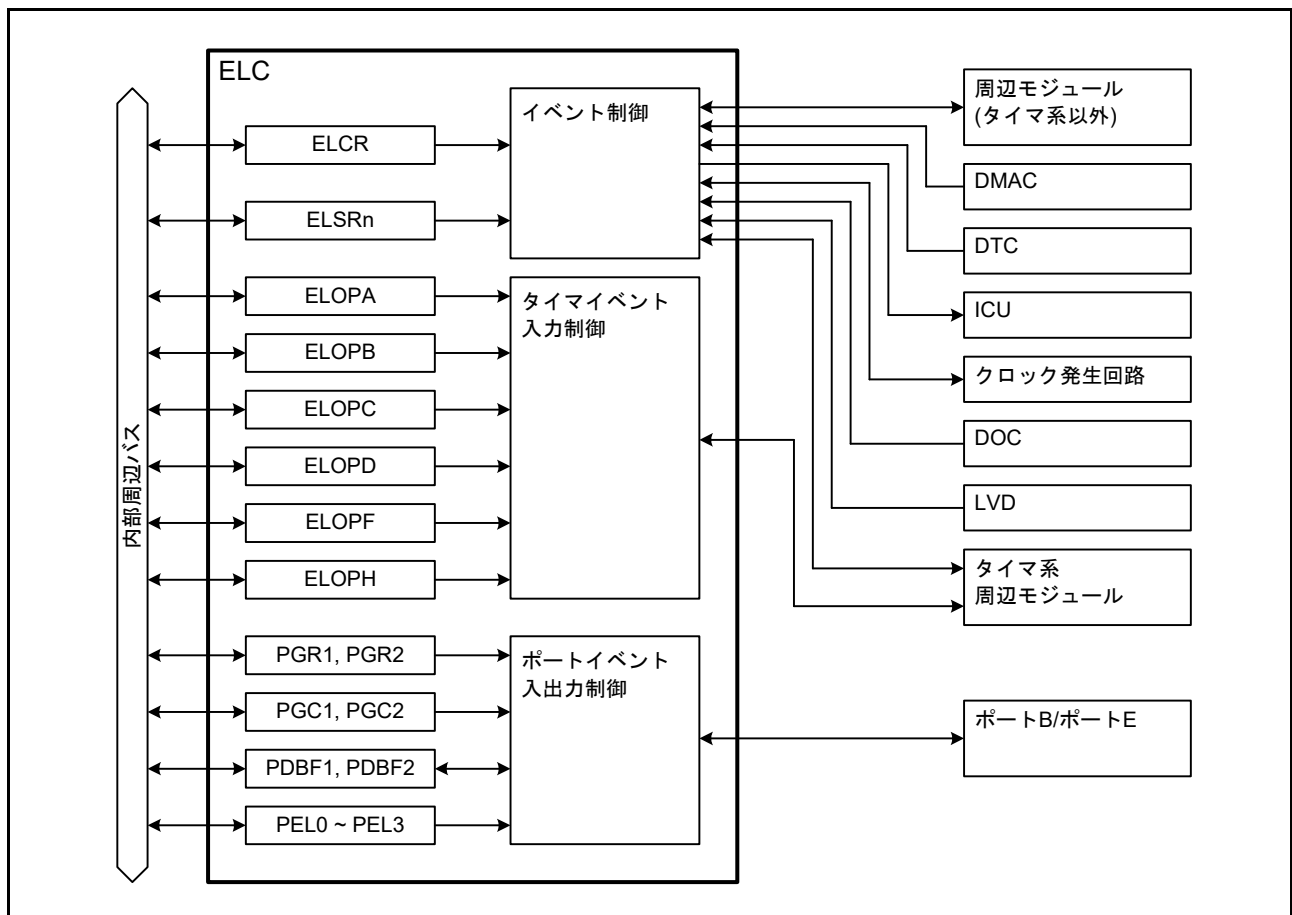


図 21.1 ELC のブロック図 (n = 0, 3, 4, 7, 10 ~ 15, 18 ~ 28, 33, 35 ~ 38, 45)

21.2 レジスタの説明

21.2.1 イベントリンクコントロールレジスタ (ELCR)

アドレス ELC.ELCR 0008 B100h

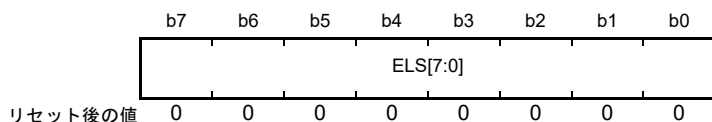
	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンク許可ビット	0 : ELC機能は無効 1 : ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

21.2.2 イベントリンク設定レジスタ n (ELSRn) (n = 0, 3, 4, 7, 10 ~ 15, 18 ~ 28, 33, 35 ~ 38, 45)

アドレス ELC.ELSR0 0008 B101h, ELC.ELSR3 0008 B104h, ELC.ELSR4 0008 B105h, ELC.ELSR7 0008 B108h,
ELC.ELSR10 0008 B10Bh, ELC.ELSR11 0008 B10Ch, ELC.ELSR12 0008 B10Dh, ELC.ELSR13 0008 B10Eh,
ELC.ELSR14 0008 B10Fh, ELC.ELSR15 0008 B110h, ELC.ELSR18 0008 B113h, ELC.ELSR19 0008 B114h,
ELC.ELSR20 0008 B115h, ELC.ELSR21 0008 B116h, ELC.ELSR22 0008 B117h, ELC.ELSR23 0008 B118h,
ELC.ELSR24 0008 B119h, ELC.ELSR25 0008 B11Ah, ELC.ELSR26 0008 B11Bh, ELC.ELSR27 0008 B11Ch,
ELC.ELSR28 0008 B11Dh, ELC.ELSR33 0008 B131h, ELC.ELSR35 0008 B133h, ELC.ELSR36 0008 B134h,
ELC.ELSR37 0008 B135h, ELC.ELSR38 0008 B136h, ELC.ELSR45 0008 B13Dh



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択ビット	00h : 該当する周辺モジュールへのイベント信号の出力は無効 01h~DFh : リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 21.2 に示します。また、ELSRn レジスタに設定する値とイベント信号の対応を表 21.3 に示します。

表21.2 ELSRnレジスタと周辺モジュールの対応

レジスタ名	周辺モジュール
ELSR0	MTU0
ELSR3	MTU3
ELSR4	MTU4
ELSR7	CMT1
ELSR10	TMR0
ELSR11	TMR1
ELSR12	TMR2
ELSR13	TMR3
ELSR14	CTSU
ELSR15	S12AD (ELCTRG00N)
ELSR18	ICU (割り込み1)(注1)
ELSR19	ICU (割り込み2)(注1)
ELSR20	出力ポートグループ1
ELSR21	出力ポートグループ2
ELSR22	入力ポートグループ1
ELSR23	入力ポートグループ2
ELSR24	シングルポート0
ELSR25	シングルポート1
ELSR26	シングルポート2
ELSR27	シングルポート3
ELSR28	クロックソースをLOCOへ切り替え
ELSR33	CMTW0
ELSR35	TPU0
ELSR36	TPU1
ELSR37	TPU2
ELSR38	TPU3
ELSR45	S12AD1 (ELCTRG10N)

注1. イベント信号は“63h”～“6Ah”の中から指定してください。これ以外の値は、設定しないでください。

表21.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (1/3)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号	
01h	マルチファンクションタイマ パルスユニット3	MTU0・コンペアマッチ0A	
02h		MTU0・コンペアマッチ0B	
03h		MTU0・コンペアマッチ0C	
04h		MTU0・コンペアマッチ0D	
05h		MTU0・コンペアマッチ0E	
06h		MTU0・コンペアマッチ0F	
07h		MTU0・オーバーフロー	
10h		MTU3・コンペアマッチ3A	
11h		MTU3・コンペアマッチ3B	
12h		MTU3・コンペアマッチ3C	
13h		MTU3・コンペアマッチ3D	
14h		MTU3・オーバーフロー	
15h		MTU4・コンペアマッチ4A	
16h		MTU4・コンペアマッチ4B	
17h		MTU4・コンペアマッチ4C	
18h		MTU4・コンペアマッチ4D	
19h		MTU4・オーバーフロー	
1Ah		MTU4・アンダフロー	
1Fh		コンペアマッチタイマ	CMT1・コンペアマッチ1
22h		8ビットタイマ	TMR0・コンペアマッチA0
23h	TMR0・コンペアマッチB0		
24h	TMR0・オーバーフロー		
25h	TMR1・コンペアマッチA1		
26h	TMR1・コンペアマッチB1		
27h	TMR1・オーバーフロー		
28h	TMR2・コンペアマッチA2		
29h	TMR2・コンペアマッチB2		
2Ah	TMR2・オーバーフロー		
2Bh	TMR3・コンペアマッチA3		
2Ch	TMR3・コンペアマッチB3		
2Dh	TMR3・オーバーフロー		
2Eh	リアルタイムクロック		RTC・周期イベント(1/256秒、1/128秒、1/64秒、1/32秒、1/16秒、1/8秒、1/4秒、1/2秒、1秒、2秒から選択)
31h	独立ウォッチドッグタイマ		IWDT・アンダフロー・リフレッシュエラー
3Ah	シリアルコミュニケーション インタフェース	SCI5・エラー(受信エラー・エラーシグナル検出)	
3Bh		SCI5・受信データフル	
3Ch		SCI5・送信データエンプティ	
3Dh		SCI5・送信完了	
4Eh	I ² Cバスインタフェース	RIIC0・通信エラー、イベント発生	
4Fh		RIIC0・受信データフル	
50h		RIIC0・送信データエンプティ	
51h		RIIC0・送信終了	

表21.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (2/3)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
52h	シリアルペリフェラルインタフェース	RSPI0・エラー(モードフォルト・オーバラン・アンダラン・パリティエラー)
53h		RSPI0・アイドル
54h		RSPI0・受信バッファフル
55h		RSPI0・送信バッファエンpty
56h		RSPI0・通信完了
58h	12ビットA/Dコンバータ	S12AD・A/D変換終了
5Bh	電圧検出回路	LVD1・電圧検出
5Ch		LVD2・電圧検出
5Dh	DMAコントローラ	DMAC0・転送終了
5Eh		DMAC1・転送終了
5Fh		DMAC2・転送終了
60h		DMAC3・転送終了
61h	データトランスファコントローラ	DTC・転送終了
62h	クロック発生回路	クロック発生回路・発振停止検出
63h	I/Oポート	入力ポートグループ1・入力エッジ検出
64h		入力ポートグループ2・入力エッジ検出
65h		シングル入力ポート0・入力エッジ検出
66h		シングル入力ポート1・入力エッジ検出
67h		シングル入力ポート2・入力エッジ検出
68h		シングル入力ポート3・入力エッジ検出
69h	イベントリンクコントローラ	ソフトウェアイベント
6Ah	データ演算回路	DOC・データ演算条件成立
6Ch	12ビットA/Dコンバータ	S12AD1・A/D変換終了
7Eh	コンペアマッチタイマW	CMTW0・コンペアマッチ
ACh	16ビットタイマパルスユニット	TPU0・コンペアマッチA
ADh		TPU0・コンペアマッチB
A Eh		TPU0・コンペアマッチC
AFh		TPU0・コンペアマッチD
B0h		TPU0・オーバフロー
B1h		TPU1・コンペアマッチA
B2h		TPU1・コンペアマッチB
B3h		TPU1・オーバフロー
B4h		TPU1・アンダフロー
B5h		TPU2・コンペアマッチA
B6h		TPU2・コンペアマッチB
B7h		TPU2・オーバフロー
B8h		TPU2・アンダフロー
B9h		TPU3・コンペアマッチA
BAh		TPU3・コンペアマッチB
BBh		TPU3・コンペアマッチC
BCh		TPU3・コンペアマッチD
BDh		TPU3・オーバフロー

表21.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (3/3)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
D0h	シリアルコミュニケーションインタフェース	RSCI10・エラー
D1h		RSCI10・受信データフル
D2h		RSCI10・受信データ一致
D3h		RSCI10・送信データエンプティ
D4h		RSCI10・送信完了
D5h		RSCI10・受信データ不一致
D6h		RSCI10・有効エッジ検出
D7h	ハイスピードI ² Cバスインタフェース	RIICHS0・通信エラー、イベント発生
D8h		RIICHS0・受信データフル
D9h		RIICHS0・送信データエンプティ
DAh		RIICHS0・送信終了
DBh	シリアルペリフェラルインタフェース	RSPIA0・エラー
DCh		RSPIA0・アイドル
DDh		RSPIA0・受信バッファフル
DEh		RSPIA0・送信バッファエンプティ
DFh		RSPIA0・通信完了
上記以外は設定しないでください		

21.2.3 イベントリンクオプション設定レジスタ A (ELOPA)

アドレス ELC.ELOPA 0008 B11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	MTU3MD[1:0]	—	—	—	—	—	MTU0MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU0MD[1:0]	MTU0動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : インพุットキャプチャ(注1) 1 1 : イベント出力禁止	R/W
b5-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b6	MTU3MD[1:0]	MTU3動作選択ビット	b7 b6 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : インพุットキャプチャ(注2) 1 1 : イベント出力禁止	R/W

注1. MTU0.TCNTレジスタの値がMTU0.TGRAレジスタにキャプチャされます。

注2. MTU3.TCNTレジスタの値がMTU3.TGRAレジスタにキャプチャされます。

ELOPAレジスタは、イベント信号が入力されたときのMTU0、MTU3の動作を設定するレジスタです。ELC機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

21.2.4 イベントリンクオプション設定レジスタ B (ELOPB)

アドレス ELC.ELOPB 0008 B120h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MTU4MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU4MD[1:0]	MTU4動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : インพุットキャプチャ(注1) 1 1 : イベント出力禁止	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU4.TCNTレジスタの値がMTU4.TGRAレジスタにキャプチャされます。

ELOPBレジスタは、イベント信号が入力されたときのMTU4の動作を設定するレジスタです。ELC機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

21.2.5 イベントリンクオプション設定レジスタ C (ELOPC)

アドレス ELC.ELOPC 0008 B121h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CMT1MD[1:0]	—	—	—
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPC レジスタは、イベント信号が入力されたときの CMT1 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

21.2.6 イベントリンクオプション設定レジスタ D (ELOPD)

アドレス ELC.ELOPD 0008 B122h

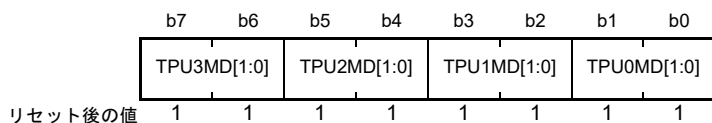
b7	b6	b5	b4	b3	b2	b1	b0
TMR3MD[1:0]	TMR2MD[1:0]	TMR1MD[1:0]	TMR0MD[1:0]	—	—	—	—
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TMR0MD[1:0]	TMR0動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b3-b2	TMR1MD[1:0]	TMR1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b5-b4	TMR2MD[1:0]	TMR2動作選択ビット	b5 b4 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b7-b6	TMR3MD[1:0]	TMR3動作選択ビット	b7 b6 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W

ELOPD レジスタは、イベント信号が入力されたときの TMR0 ~ TMR3 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

21.2.7 イベントリンクオプション設定レジスタ F (ELOPF)

アドレス ELC.ELOPF 0008 B13Fh



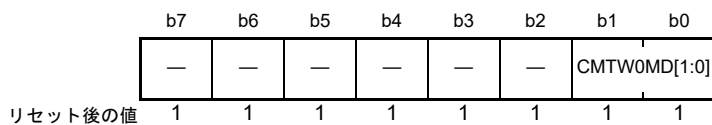
ビット	シンボル	ビット名	機能	R/W
b1-b0	TPU0MD[1:0]	TPU0動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : インพุットキャプチャ(注1) 1 1 : イベント出力禁止	R/W
b3-b2	TPU1MD[1:0]	TPU1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : インพุットキャプチャ(注2) 1 1 : イベント出力禁止	R/W
b5-b4	TPU2MD[1:0]	TPU2動作選択ビット	b5 b4 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : インพุットキャプチャ(注3) 1 1 : イベント出力禁止	R/W
b7-b6	TPU3MD[1:0]	TPU3動作選択ビット	b7 b6 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : インพุットキャプチャ(注4) 1 1 : イベント出力禁止	R/W

- 注1. TPU0.TCNTレジスタの値がTPU0.TGRAレジスタにキャプチャされます。
 注2. TPU1.TCNTレジスタの値がTPU1.TGRAレジスタにキャプチャされます。
 注3. TPU2.TCNTレジスタの値がTPU2.TGRAレジスタにキャプチャされます。
 注4. TPU3.TCNTレジスタの値がTPU3.TGRAレジスタにキャプチャされます。

ELOPFレジスタは、イベント信号が入力されたときのTPU0～TPU3の動作を設定するレジスタです。
 ELC機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

21.2.8 イベントリンクオプション設定レジスタ H (ELOPH)

アドレス ELC.ELOPH 0008 B141h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CMTW0MD[1:0]	CMTW0動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPH レジスタは、イベント信号が入力されたときの CMTW0 の動作を設定するレジスタです。
ELC 機能を使用しないときは、“11b” (イベント出力禁止) にしてください。

21.2.9 ポートグループ指定レジスタ n (PGRn) (n = 1, 2)

アドレス ELC.PGR1 0008 B123h, ELC.PGR2 0008 B124h

	b7	b6	b5	b4	b3	b2	b1	b0
	PGR7	PGR6	PGR5	PGR4	PGR3	PGR2	PGR1	PGR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGR0	ポートグループ指定0ビット	0: ポートグループに指定しない 1: ポートグループに指定する	R/W
b1	PGR1	ポートグループ指定1ビット		R/W
b2	PGR2	ポートグループ指定2ビット		R/W
b3	PGR3	ポートグループ指定3ビット		R/W
b4	PGR4	ポートグループ指定4ビット		R/W
b5	PGR5	ポートグループ指定5ビット		R/W
b6	PGR6	ポートグループ指定6ビット		R/W
b7	PGR7	ポートグループ指定7ビット		R/W

PGRn レジスタは、I/O ポートのグループ設定をするレジスタです。8 ビットのポートの内、このレジスタで“1”にしたビットに対応するポートがポートグループに選択されます。

たとえば、PGR1.PGR6 ビットと PGR1.PGR3 ビットを“1”にした場合、PB6 端子と PB3 端子がポートグループに選択されます。

表 21.4 に PGRn レジスタとポートの対応を示します。

表21.4 ポートグループ関連レジスタとポート番号の対応

ポート番号	ポートグループ指定レジスタ (PGRn)	ポートグループコントロールレジスタ (PGCn)	ポートバッファレジスタ (PDBFn)
ポートB	PGR1レジスタ	PGC1レジスタ	PDBF1レジスタ
ポートE	PGR2レジスタ	PGC2レジスタ	PDBF2レジスタ

21.2.10 ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)

アドレス ELC.PGC1 0008 B125h, ELC.PGC2 0008 B126h



ビット	シンボル	ビット名	機能	R/W
b1-b0	PGCI[1:0]	イベント出力エッジ選択ビット	b1 b0 0 0 : ポートへの入力信号の立ち上がりエッジを検出して、イベント信号を出力 0 1 : ポートへの入力信号の立ち下がりエッジを検出して、イベント信号を出力 1 x : ポートへの入力信号の立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力	R/W
b2	PGCOVE	PDBFn上書き指定ビット	0 : PDBFnレジスタへの上書き無効 1 : PDBFnレジスタへの上書き有効	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	PGCO[2:0]	ポートグループ動作セレクトビット	b6 b4 0 0 0 : イベント信号が入力されると、Lowを出力 0 0 1 : イベント信号が入力されると、Highを出力 0 1 0 : イベント信号が入力されると、トグル(反転)出力 0 1 1 : イベント信号が入力されると、バッファ値を出力 1 x x : イベント信号が入力されると、ポートグループ内でビットローテート出力(MSB→LSBへローテート)	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PGCn レジスタは、出力に設定されたポートグループに対して、イベント信号が入力されたときにポートから出力する信号の形式を指定するレジスタです。また、入力に設定されたポートグループに対して、PDBFn レジスタへの上書き有効/無効の指定およびイベント発生条件(ポートへの入力信号の変化)の設定を行うレジスタです。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

PGCn レジスタとポートの対応については、表 21.4 を参照してください。

21.2.11 ポートバッファレジスタ n (PDBFn) (n = 1, 2)

アドレス ELC.PDBF1 0008 B127h, ELC.PDBF2 0008 B128h

	b7	b6	b5	b4	b3	b2	b1	b0
	PDBF7	PDBF6	PDBF5	PDBF4	PDBF3	PDBF2	PDBF1	PDBF0
リセット後の値	0	0	0	0	0	0	0	0

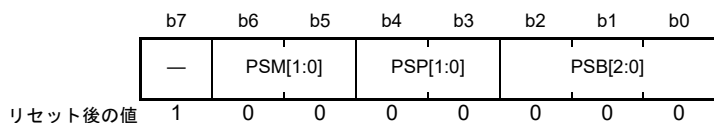
ビット	シンボル	ビット名	機能	R/W
b0	PDBF0	ポートバッファ 0 ビット	イベント信号が入力されたときにPODRレジスタに転送するデータを設定します。設定した値は、PGCn.PGCO[2:0]ビットが“011b”、“1xxb”の場合に有効です。入力ポートグループに指定したビットへの書き込みは無効となります。詳細は、「21.3 動作説明」を参照してください	R/W
b1	PDBF1	ポートバッファ 1 ビット		R/W
b2	PDBF2	ポートバッファ 2 ビット		R/W
b3	PDBF3	ポートバッファ 3 ビット		R/W
b4	PDBF4	ポートバッファ 4 ビット		R/W
b5	PDBF5	ポートバッファ 5 ビット		R/W
b6	PDBF6	ポートバッファ 6 ビット		R/W
b7	PDBF7	ポートバッファ 7 ビット		R/W

PDBFn レジスタは、PGRn レジスタと対になる 8 ビットのレジスタです。PDBFn レジスタの動作については、「21.3.6 I/O ポートのイベント信号入力時の動作とイベント生成」を参照してください。

PDBFn レジスタとポートの対応については、表 21.4 を参照してください。

21.2.12 イベント接続ポート指定レジスタ m (PELm) (m = 0 ~ 3)

アドレス ELC.PEL0 0008 B129h, ELC.PEL1 0008 B12Ah, ELC.PEL2 0008 B12Bh, ELC.PEL3 0008 B12Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	PSB[2:0]	ビット番号指定ビット	シングルポートに指定したいポートのビット番号を設定してください	R/W
b4-b3	PSP[1:0]	ポート番号指定ビット	b4 b3 0 0 : 設定無効 0 1 : ポート B (PGR1 レジスタに対応) 1 0 : ポート E (PGR2 レジスタに対応) 1 1 : 設定しないでください	R/W
b6-b5	PSM[1:0]	イベントリンク指定ビット	<ul style="list-style-type: none"> • 出力ポートに設定したとき : ポート出力データを指定 b6 b5 0 0 : イベント信号が入力されると、Low を出力 0 1 : イベント信号が入力されると、High を出力 1 x : イベント信号が入力されると、トグル (反転) 出力 • 入力ポートに設定したとき : イベント出力エッジ選択 b6 b5 0 0 : 立ち上がりエッジを検出して、イベント信号を出力 0 1 : 立ち下がりエッジを検出して、イベント信号を出力 1 x : 立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力 	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PELm レジスタは、シングルポートの指定、イベント信号が入力されたときの動作、およびイベント出力の条件を設定するレジスタです。本 MCU では、ポート B およびポート E のビットに対して、最大 4 つのシングルポートを設定できます。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

21.2.13 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)

アドレス ELC.ELSEGR 0008 B12Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0 : 通常動作 1 : ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEGビット書き込み許可ビット	0 : SEGビットへの書き込み禁止 1 : SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止ビット	0 : ELSEGRレジスタへの書き込み許可 1 : ELSEGRレジスタへの書き込み禁止	W

本レジスタへの書き込みは MOV 命令を使用してください。

SEG ビット (ソフトウェアイベント発生ビット)

WE ビットが“1”の状態、本ビットに“1”を書き込むとソフトウェアイベントが発生します。本ビットは読むと“0”が読めます。“1”を書いても“1”になりません。

WE ビット (SEG ビット書き込み許可ビット)

WE ビットが“1”のときのみ、SEG ビットに対する書き込みが可能になります。
WE ビットを“1”にするには、WI ビットに“0”、WE ビットに“1”を同時に書いてください。
WE ビットを“0”にするには、WI ビットに“0”、WE ビットに“0”を同時に書いてください。

WI ビット (ELSEGR レジスタ書き込み禁止ビット)

WI ビットの書き込み値が“0”のときのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと“1”が読めます。

21.3 動作説明

21.3.1 割り込み処理とイベントリンクの関係

本MCUに内蔵している周辺モジュールには、割り込みステータスフラグと、これらの割り込み要求の許可/禁止を制御する割り込み許可ビットがあります。各周辺モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグが“1”になり、割り込み要求が許可のとき、CPUに対して割り込みを要求します。

これに対して、ELCは、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続(リンク)することにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作をさせることができます。イベント信号は、対応する割り込み許可ビットの設定に関係なく出力することができます。図21.2に割り込み処理とELCの関係を示します。

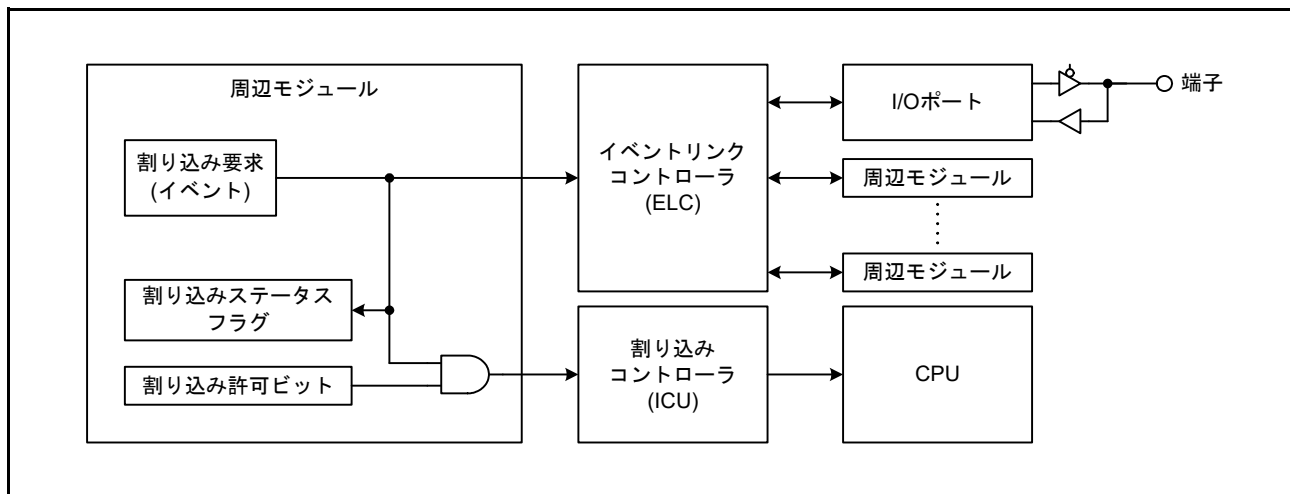


図 21.2 割り込み処理と ELC の関係

21.3.2 イベントのリンク

ELSRn レジスタにイベントを設定することにより、設定したイベントが発生した場合に対応する周辺モジュールを動作させることができます。1つの周辺モジュールに、1種類のイベントのみリンクできます。イベントにより動作させる周辺モジュールの初期設定が完了してから、ELSRn レジスタを設定してください。表 21.5 にイベント信号を入力したときの周辺モジュール別動作一覧を示します。

表 21.5 イベント信号入力時の周辺モジュール別動作一覧

周辺モジュール	イベント信号入力時の動作		
MTU CMT CMTW TMR TPU	ELOPA～ELOPD、ELOPF、ELOPHレジスタの設定により以下の動作が選択できます。 <ul style="list-style-type: none"> イベント信号が入力されると、カウントスタート(MTU, CMT, CMTW, TMR, TPU) イベント信号が入力されると、カウントリスタート(MTU, CMT, CMTW, TMR, TPU) 入力したイベント数をカウント(CMT, CMTW, TMR) イベント信号が入力されると、キャプチャ動作(MTU, TPU) 		
CTSU	イベント信号が入力されると、静電容量の計測を開始		
A/Dコンバータ	イベント信号が入力されると、A/D変換を開始		
I/Oポート(出力)	イベント信号が入力されると、PODRレジスタ(ポート出力データレジスタ)の値が変化(出力端子のレベルが変化)	ポートグループ	<ul style="list-style-type: none"> PODRレジスタの値が、指定された値に変化 PDBFnレジスタ(n = 1, 2)の値をPODRレジスタに転送 ローテート出力
		シングルポート	PODRレジスタの値が指定された値に変化
I/Oポート(入力)	入力端子のレベルが変化	ポートグループ	イベント発生
		シングルポート	
	イベント信号入力時	ポートグループ	入力端子の信号レベルをPDBFnレジスタに転送
		シングルポート	この組み合わせは使用できません
クロック発生回路	イベント信号が入力されると、クロックソースを低速オンチップオシレータへ切り替え(注1)		
割り込み制御	イベント信号が入力されると、CPUに割り込みを要求、DMA転送開始、DTC転送開始		

注1. プロテクトレジスタ(PRCR.PRC0)の値にかかわらず、SCKCR3.CKSEL[2:0]ビットが“000b”(LOCO選択)に書き換わります。

21.3.3 タイマ系周辺モジュールのイベント信号入力時の動作

タイマ系周辺モジュールは、ELOPA ~ ELOPD、ELOPF、ELOPH レジスタによりイベント信号入力時の動作を設定します。

(1) カウントスタート動作

イベント信号が入力されると、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット(注1)が“1”になります。カウントスタートビットが“1”のときに入力されたイベント信号は無視されます。

(2) カウントリスタート動作

イベント信号が入力されると、タイマのカウンタをクリアします。各タイマの制御レジスタのカウントスタートビット(注1)は保持されるため、カウントスタートビットが“1”のときにイベント信号を入力するとカウンタは0からカウントを再開します。

(3) イベントカウンタ動作

タイマのカウントソースとして、イベント信号を使用します。イベント信号が入力されると、カウンタがインクリメントされます。

(4) インプットキャプチャ動作

イベント信号が入力されると、カウンタの値をキャプチャします。

注1. 各タイマ系周辺モジュール章にあるタイマスタートに関するレジスタの説明を参照してください。

21.3.4 CTSU のイベント信号入力時の動作

CTSUCR0.CTSUCAP ビット、CTSUSTRT ビットが“1”のときにイベント信号が入力されると、計測が開始されます。詳細はCTSUCR0.CTSUSTRT ビットの説明を参照してください。

21.3.5 A/D コンバータのイベント信号入力時の動作

ADCSR.ADST ビット(注1)が“1”になり、A/D 変換がスタートします。

注1. A/D コンバータ章のビット説明を参照してください。

21.3.6 I/O ポートのイベント信号入力時の動作とイベント生成

I/O ポートのイベント信号入力時の動作とイベント生成条件の設定は ELC 内のレジスタで行います。イベントリンクが設定できる I/O ポートはポート B とポート E です。

(1) シングルポートとポートグループ

I/O ポートへのイベントリンクは、8 本ある I/O ポートの内の任意の 1 本へのイベントリンク(シングルポートへのイベントリンク)と、8 本ある I/O ポートの内の任意の複数本へのイベントリンク(ポートグループへのイベントリンク)ができます。

シングルポートの設定は、PELm.PSP[1:0] ビットと PSB[2:0] ビット(m=0~3)で行います。ポートグループの設定は、PGRn レジスタ(n=1,2)により任意のビット(2 ビット以上)を“1”にすることで行いま

す。PGR_n レジスタで“1”にしたポートの内、出力に設定したポートは出力ポートグループに、入力に設定したポートは入力ポートグループになります。

1本のポートに対してシングルポートとポートグループの両方の設定をした場合、入力ポートでは両方の機能が有効になり、出力ポートではポートグループの機能のみが有効になります。

I/Oポートの入力、出力は、PDRレジスタにより設定してください。

(2) シングル入力ポートでのイベント発生

入力に設定されているシングルポートは、対応する端子への入力信号が変化するとイベント信号を出力します。イベント発生条件は、PEL_m.PSM[1:0]ビット (m=0~3) で設定します。図 21.3 (1) にシングルポートのイベントリンク動作を示します。

(3) シングル出力ポートへのイベント信号入力

出力に設定されているシングルポートにイベント信号が入力されると、対応する端子のレベル (PODRレジスタの値) が PEL_m.PSM[1:0]ビットで指定したとおりに変化します。図 21.3 (2) にシングルポートのイベントリンク動作を示します。

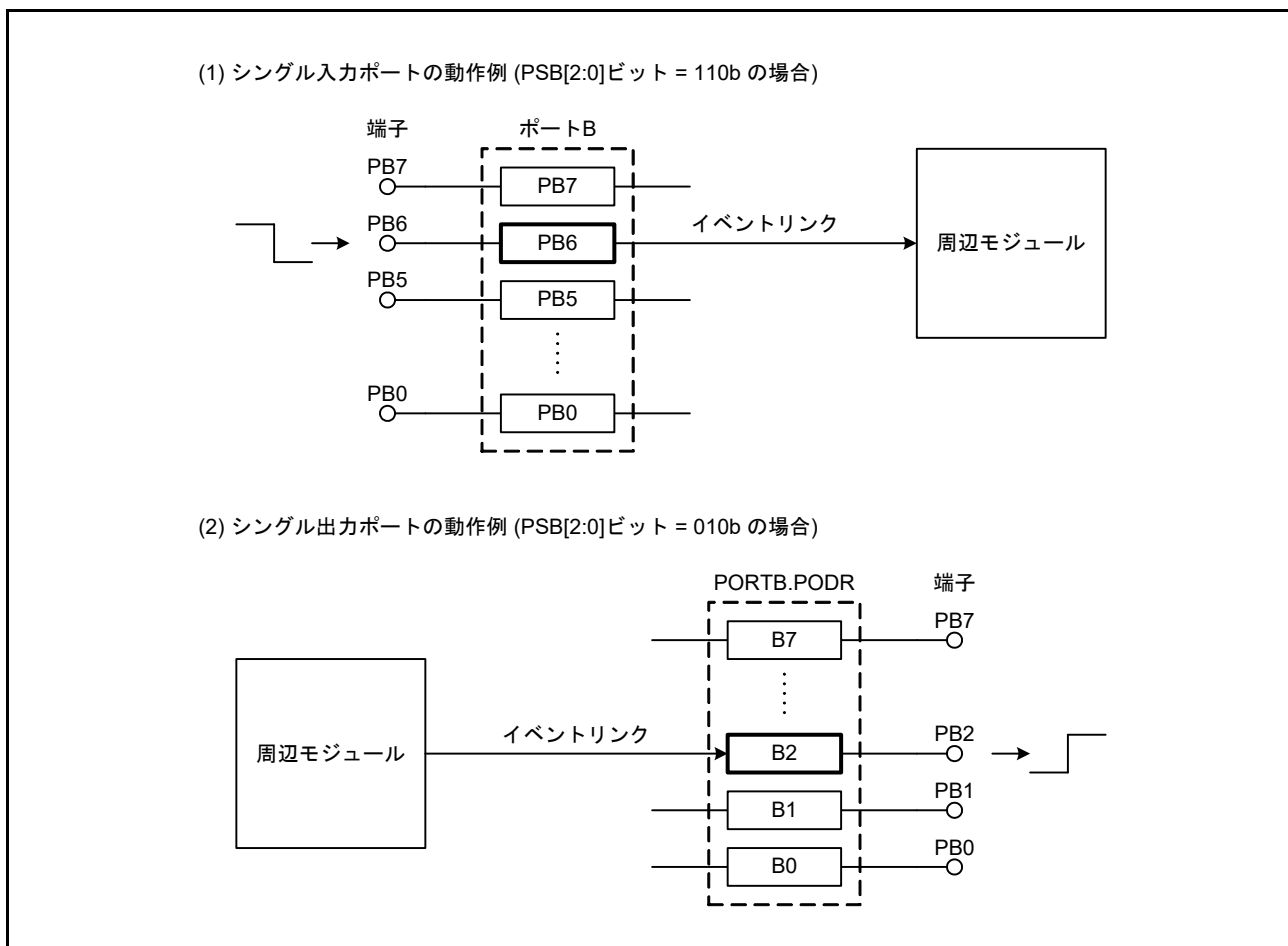


図 21.3 シングルポートのイベントリンク動作 (ポート B の場合)

(4) 入力ポートグループでのイベント発生

入力ポートグループは、対応する端子への入力信号のいずれかが変化すると、イベント信号を出力します。イベント発生条件は PGC_n.PGCI[1:0]ビット (n=1, 2) で設定します。

(5) 入力ポートグループへのイベント信号の入力

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBFn レジスタに転送されます。入力ポートグループに指定されていないポートに対応するビットの値は変化しません。図 21.4 に入力ポートグループのイベントリンク動作を示します。

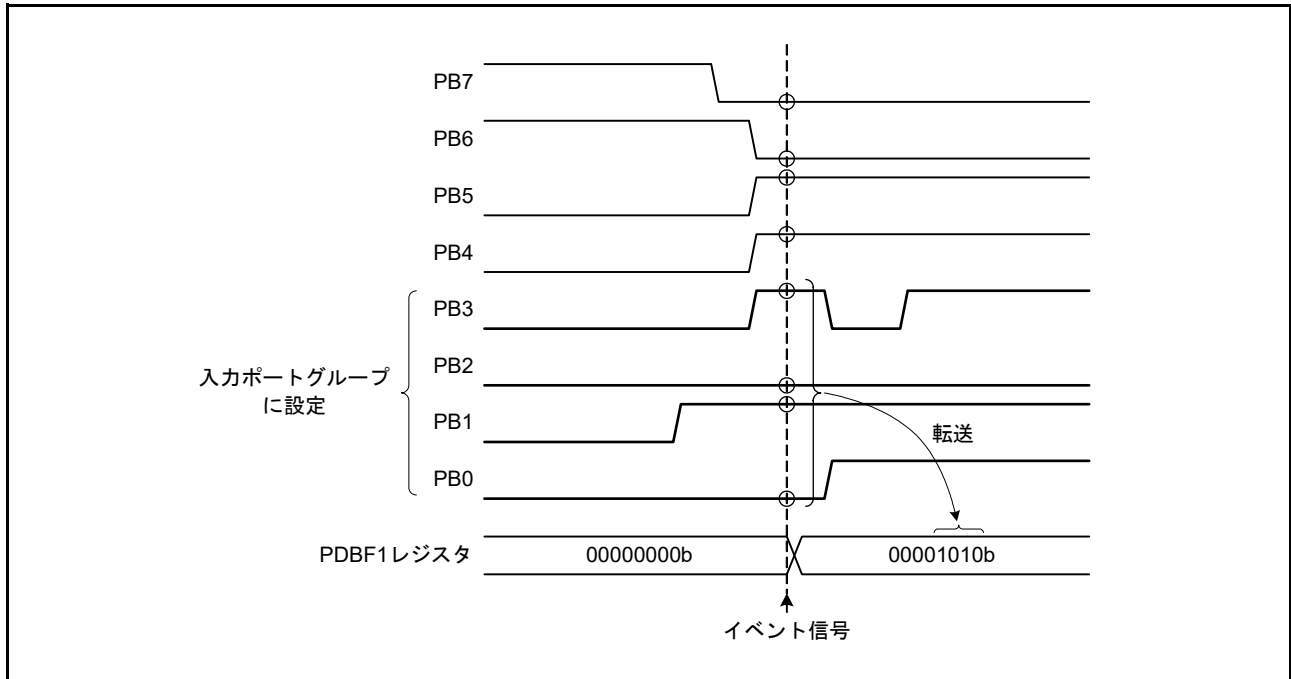


図 21.4 入力ポートグループのイベントリンク動作 (ポート B の場合)

(6) 出力ポートグループへのイベント信号の入力

出力ポートグループにイベント信号が入力されると、対応する PODR レジスタの値が PGCn.PGCO[2:0] ビット (n=1, 2) で設定されたとおりに変化します。図 21.5 に出力ポートグループのイベントリンク動作を示します。

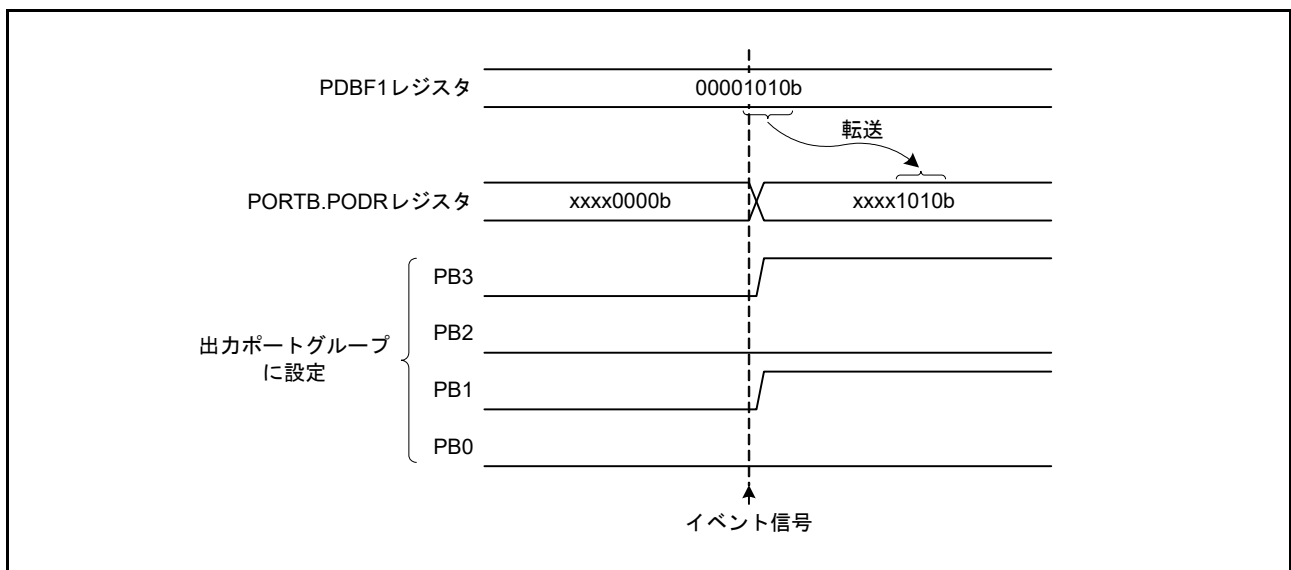


図 21.5 出力ポートグループのイベントリンク動作 (ポート B の場合)

(7) PDBFn レジスタの動作

(a) 入力ポートグループ

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBFn レジスタ ($n = 1, 2$) に転送されます。この状態で、再度入力ポートグループにイベント信号が入力された場合、PGCn.PGCOVE ビットの設定によって以下のように異なる動作をします。

- PGCn.PGCOVE ビット = 0 (上書き無効) のとき
 前回のイベント信号入力により PDBFn レジスタに転送された値が、CPU または DTC によってリードされている場合、そのときの端子のレベルが PDBFn レジスタに転送されます。リードされていない場合、端子のレベルは PDBFn レジスタに転送されず、入力したイベント信号は無効となります。
- PGCn.PGCOVE ビット = 1 (上書き有効) のとき
 入力ポートグループにイベント信号が入力されると、対応する端子のレベルが、PDBFn レジスタに転送されます。

(b) 出力ポートグループ

出力ポートグループが PDBFn レジスタの値を出力する設定 (PGCn.PGCO[2:0] ビット = 011b) になっている場合、出力ポートグループにイベント信号が入力されると、PDBFn レジスタの値が PODR レジスタに転送されます。出力ポートグループに設定されていないポートに対応するビットには、データは転送されません。

出力ポートグループがグループ内でのビットローテート出力 (PGCn.PGCO[2:0] ビット = 1xxb) に設定されている場合、1 回目のイベント信号で PDBFn レジスタから PODR レジスタにデータが転送され、2 回目以降のイベント信号で当該グループ内で PODR レジスタ値が MSB → LSB にローテートします。

図 21.6 にビットローテートの動作を示します。

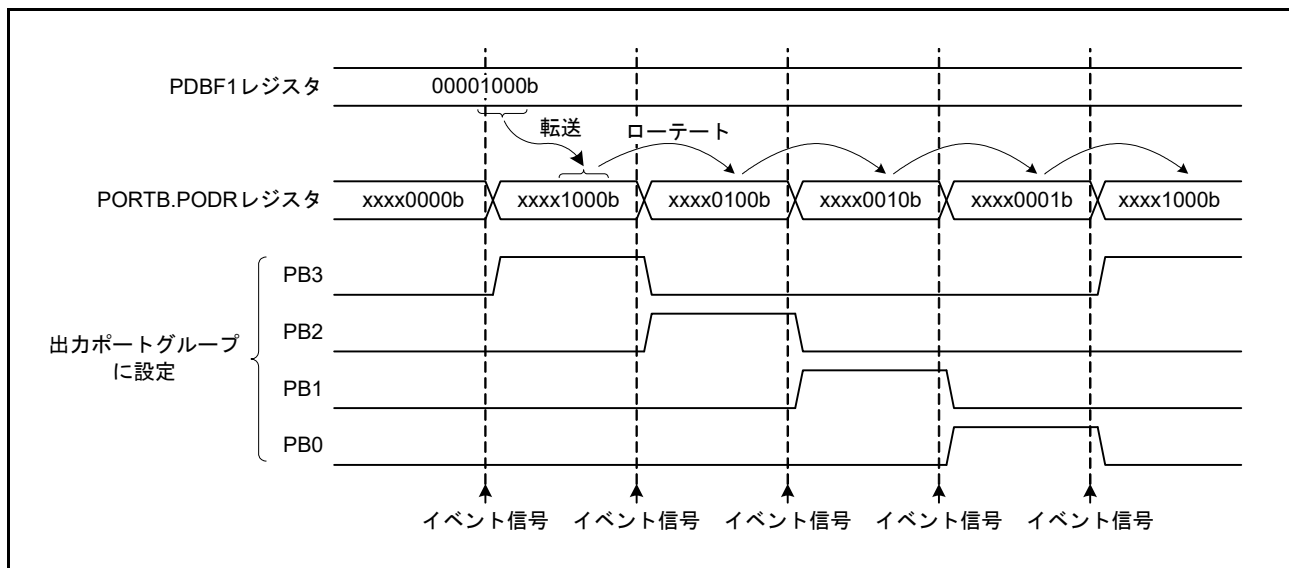


図 21.6 出力ポートグループのビットローテート動作 (ポート B の場合)

(8) PODR レジスタ、PDBFn レジスタへの書き込み制限

ELCR.ELCON ビットが“1”(ELC 機能は有効)のとき、下記の条件で PODR レジスタ、PDBFn レジスタ (n = 1, 2) への書き込みが無効となります。

- 入力ポートグループに指定しイベントリンクを設定すると、対応する PDBFn レジスタのビットへの書き込みは無効になります。
- 出力ポートグループに指定すると、対応する PODR レジスタのビットへの書き込みは無効になります。
- シングル出力ポートに指定されているとき、当該ポートへのイベント接続設定 (ELSRn レジスタの設定) を行うと、対応する PODR レジスタのビットへの書き込みは無効になります。

21.3.7 イベントリンクの動作設定手順例

イベントリンクの動作手順を以下に示します。

- (1) イベント信号により動作する (リンク先) 周辺モジュールの初期設定を行います。
- (2) ポートに対してイベントリンクを設定するときは、対応するポートの下記レジスタを設定します。
PODR レジスタ： 出力に設定したポートの初期値を設定します。
PDR レジスタ： ポートの入出力方向を設定します。
PGRn レジスタ： ポートグループとして動作させる場合、グループ化の対象となるポートを設定します (n = 1, 2)。
PGCn レジスタ： ポートグループとして動作させる場合の動作を設定します。
PELm レジスタ： シングルポートとして動作させる場合、対象となるポートとイベント信号入力時の動作およびイベント発生条件を設定します (m = 0 ~ 3)。
- (3) リンク先の周辺モジュールに対応する ELSRn レジスタに、リンクするイベント信号の番号を設定します。
- (4) リンク先の周辺モジュールがタイマ系の周辺モジュールの場合は、必要に応じて ELOPA ~ ELOPD、ELOPF、ELOPH レジスタを設定します。
- (5) ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全周辺モジュールのイベントリンク動作が有効となります。
- (6) イベント信号を出力する (リンク元) 周辺モジュールの初期設定を行い、起動させます。周辺モジュールから出力されるイベント信号により、リンク先の周辺モジュールが事前に設定した動作を開始します。
- (7) 周辺モジュール単位でイベントリンク動作を停止するときは、対応する ELSRn レジスタに“00h”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全周辺モジュールのイベントリンク動作が停止します。

注． RTC のイベント信号出力を使用する場合、RTC の設定 (初期化、時刻設定など) を行った後、ELC の設定を行ってください。ELC 設定後に RTC の設定を行うと、意図しないイベント信号が出力されることがあります。

注． LVD のイベント信号出力を使用する場合、LVD の設定を行った後、ELC の設定を行ってください。LVD を無効にする場合も、先に該当する ELSRn レジスタに“00h”を設定してから実施してください。

21.4 使用上の注意事項

21.4.1 ELSRn レジスタの設定について

(1) ELSR18、ELSR19 レジスタの設定

イベント信号は“63h”～“6Ah”の中から指定してください。これ以外の値は、設定しないでください。

21.4.2 出力ポートグループのビットローテート動作の設定について

出力ポートグループのビットローテート動作モードで、PDBFn レジスタ (n = 1, 2) の値を変更する場合、変更後に ELSRn レジスタを再設定してください。また、ビットローテート動作に使用するイベントの発生間隔は、1 PCLKB 以上にしてください。

21.4.3 DMA/DTC 転送終了のイベント信号使用時の注意事項

DMA/DTC 転送終了のイベント信号を使用する場合、データ転送先の周辺モジュールとリンク先の周辺モジュールを同じにしないでください。周辺モジュールへの DMA/DTC 転送が完了する前に周辺モジュールが起動する可能性があります。

21.4.4 クロック設定について

イベントリンクを使用するには ELC の設定の他に、ELC と対象の周辺モジュールが動作可能である必要があります。対象の周辺モジュールがモジュールストップ状態の場合や、周辺モジュールが停止するモード (全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード) の場合は動作できません。

21.4.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、ELC の動作を禁止 / 許可することが可能です。リセット解除後は、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

22. I/Oポート

22.1 概要

I/Oポートは、汎用入出力ポートと周辺モジュールの入出力、割り込み入力端子、またはバス制御端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODRy) (y = 0, 1)、入力プルアップ抵抗のオン/オフを制御するプルアップ制御レジスタ (PCR)、駆動能力の切り替えを制御する駆動能力制御レジスタ (DSCR, DSCR2)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMR レジスタの詳細については、「23. マルチファンクションピンコントローラ (MPC)」を参照してください。

パッケージによって、I/Oポートの構成が異なります。表 22.1 に I/Oポートの仕様を、表 22.2 に I/Oポートの機能を示します。

表 22.1 I/Oポートの仕様

ポート シンボル	パッケージ		パッケージ		パッケージ		パッケージ				
	145ピン、144ピン	本数	100ピン	本数	64ピン	本数	48ピン	本数			
PORT0	P00~P03, P05, P07	6	P05, P07	2	P05 (注1)	1	なし	0			
PORT1	P12~P17	6	P12~P17	6	P12, P13, P16, P17	4	P12, P13, P16, P17	4			
PORT2	P20~P27	8	P20~P27	8	P26, P27	2	P26, P27	2			
PORT3	P30~P37	8	P30~P37	8	P30, P31, P34~P37	6	P30, P31, P34~P37	6			
PORT4	P40~P47	8	P40~P47	8	P40~P43	4	P40~P43	4			
PORT5	P50~P56	7	P50~P55	6	P53	1	P53	1			
PORT6	P60~P67	8	なし	0	なし	0	なし	0			
PORT7	P70~P77 (注2)	8	なし	0	なし	0	なし	0			
PORT8	P80~P83, P86, P87	6	なし	0	なし	0	なし	0			
PORT9	P90~P93	4	なし	0	なし	0	なし	0			
PORTA	PA0~PA7	8	PA0~PA7	8	PA1, PA2, PA4, PA6, PA7	5	PA1, PA2, PA4, PA6	4			
PORTB	PB0~PB7	8	PB0~PB7	8	PB5~PB7	3	PB5~PB7	3			
PORTC	PC0~PC7	8	PC0~PC7	8	PC0, PC1, PC4~PC7	6	PC4~PC7	4			
PORTD	PD0~PD7	8	PD0~PD7	8	PD2~PD7	6	PD2~PD5	4			
PORTE	PE0~PE7	8	PE0~PE7	8	PE0~PE2, PE6, PE7	5	PE6, PE7	2			
PORTF	PF5	1	なし	0	なし	0	なし	0			
PORTH	PH1, PH2	2	PH1, PH2	2	PH1, PH2	2	なし	0			
PORTJ	PJ3, PJ5	2	PJ3	1	なし	0	なし	0			
ポートの合計数		114	ポートの合計数		81	ポートの合計数		45	ポートの合計数		34

注1. 64ピンTFBGAにはありません。

注2. 145ピンTFLGA (0.65mmピッチ)にはP71、P72はありません。

表22.2 I/Oポートの機能 (1 / 2)

ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	5Vトレラント
PORT0	P00～P02	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	—
	P03, P05	○	○	高駆動出力固定	—
	P07	○	○	高駆動出力固定	○
PORT1	P12～P14	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	○
	P15, P16	○	○	高駆動出力固定	○
	P17	○	○	高駆動 / 高速インタフェース用高駆動	○
PORT2	P20, P21	○	○	高駆動 / 高速インタフェース用高駆動	○
	P22, P23	○	○	高駆動 / 高速インタフェース用高駆動	—
	P24～P26	○	○	高駆動出力固定	—
	P27	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	—
PORT3	P30, P31	○	○	高駆動 / 高速インタフェース用高駆動	○ (注1)
	P32, P33	○	○	高駆動出力固定	○ (注1)
	P34, P37	○	○	高駆動出力固定	—
	P35	—	—	—	—
	P36	○	○	通常出力固定	—
PORT4	P40～P47	○	○	通常出力固定	—
PORT5	P50～P52, P54～P56	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	—
	P53	○	○	高駆動 / 高速インタフェース用高駆動	—
PORT6	P60～P66	○	○	高駆動出力固定	—
	P67	○	○	高駆動出力固定	○
PORT7	P70	○	○	高駆動 / 高速インタフェース用高駆動	—
	P71	○	○	高駆動出力固定	—
	P72, P74～P77	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	—
	P73	○	○	高駆動 / 高速インタフェース用高駆動	○
PORT8	P80～P83	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	—
	P86, P87	○	○	高駆動 / 高速インタフェース用高駆動	—
PORT9	P90～P93	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	—
PORTA	PA0～PA7	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	—
PORTB	PB0～PB7	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	—
PORTC	PC0～PC3	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	○
	PC4～PC7	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	—

表22.2 I/Oポートの機能 (2 / 2)

ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	5Vトレラント
PORTD	PD0～PD7	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	—
PORTE	PE0～PE7	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	—
PORTF	PF5	○	○	高駆動出力固定	—
PORTH	PH1, PH2	○	○	通常 / 高駆動 / 高速インタフェース用高駆動	—
PORTJ	PJ3	○	○	高駆動出力固定	○ (注1)
	PJ5	○	○	高駆動出力固定	—

注1. P30、P31、P32をTAMPIn/RTClCn (n = 0～2)機能にした場合、およびPJ3をEXCIN機能にした場合、それぞれの端子は5Vトレラントでなくなります。

入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え機能、5Vトレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

22.2 入出力ポートの構成

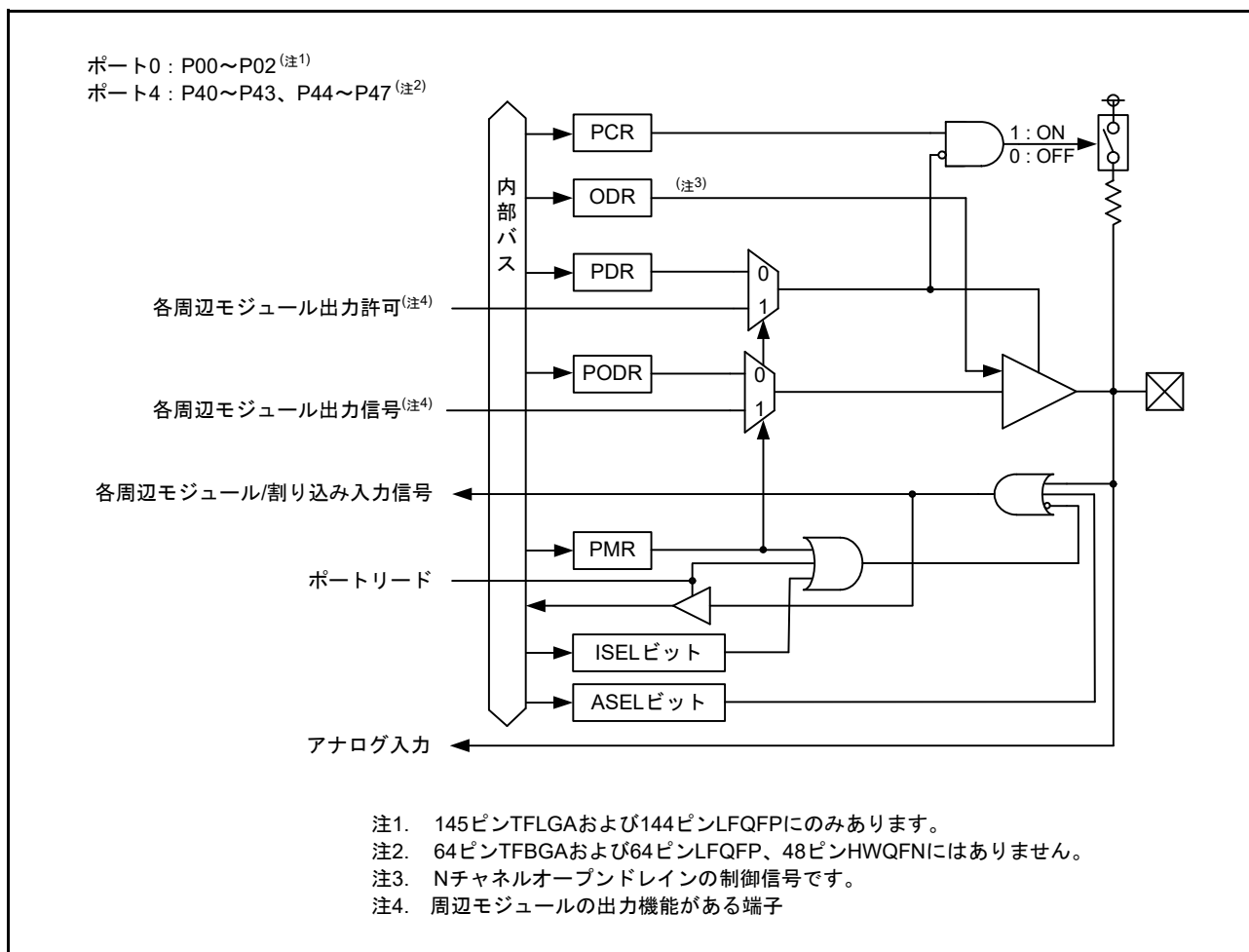


図 22.1 入出力ポートの構成 (1)

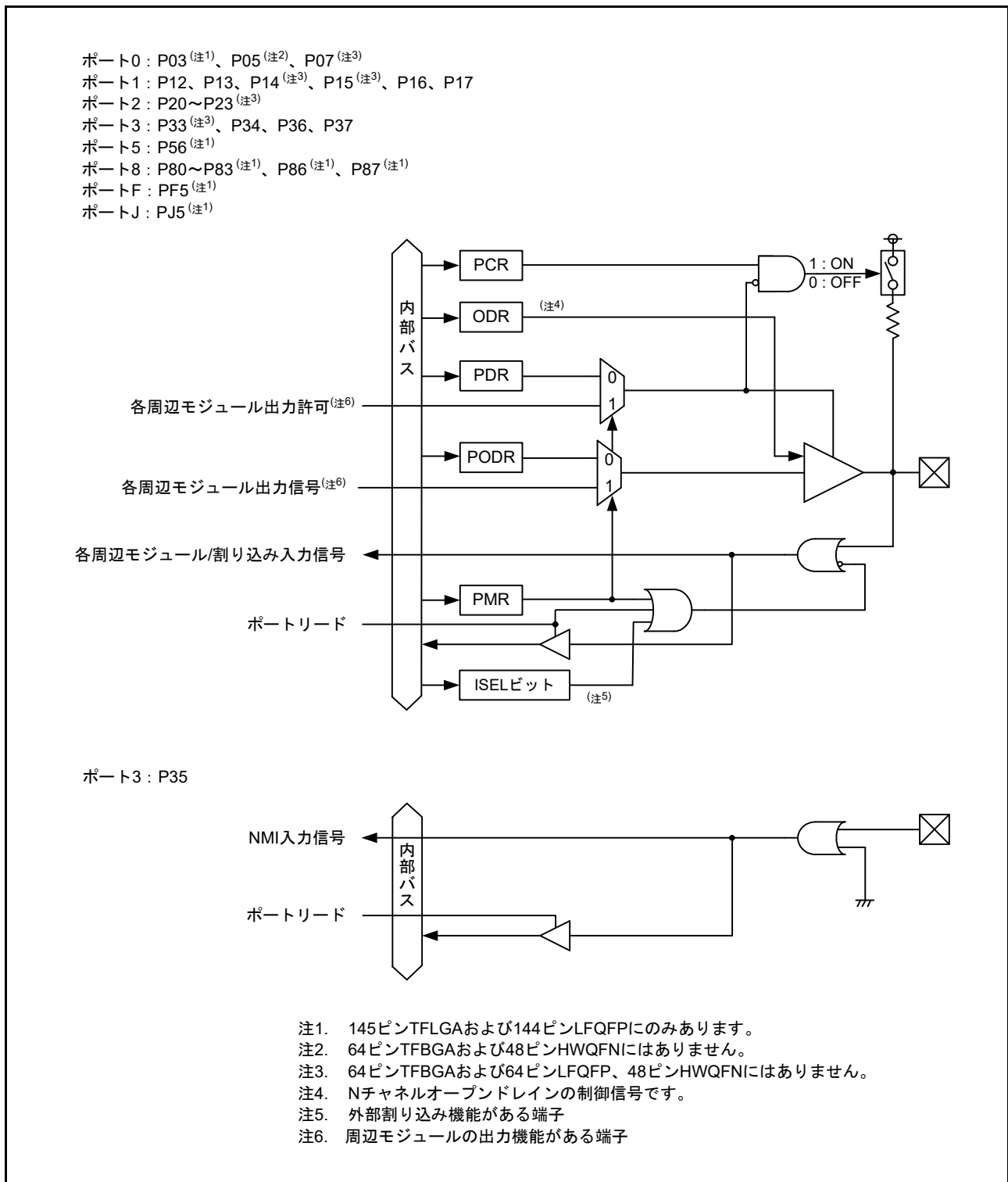


図 22.2 入出力ポートの構成 (2)

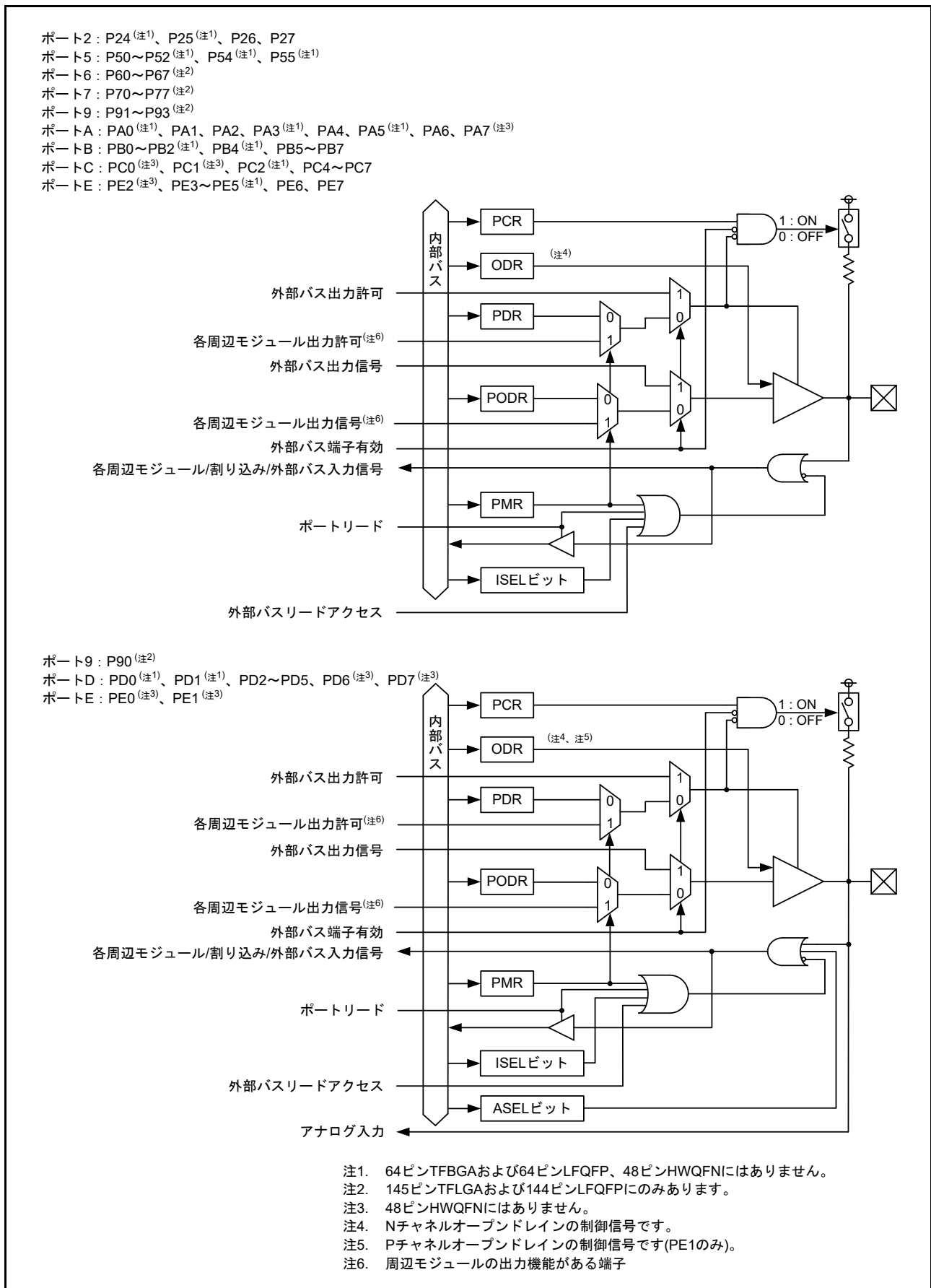


図 22.3 入出力ポートの構成 (3)

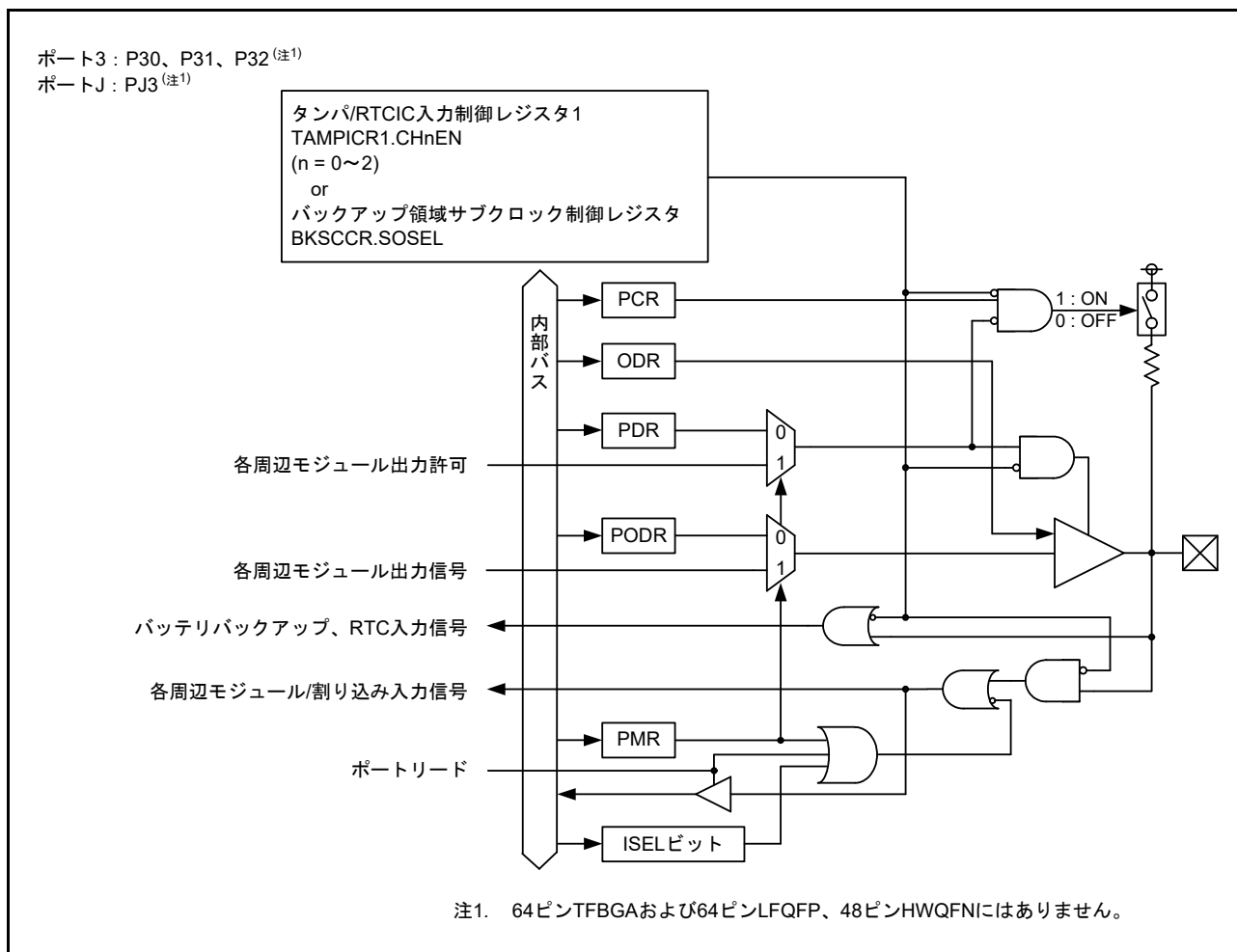


図 22.4 入出力ポートの構成 (4)

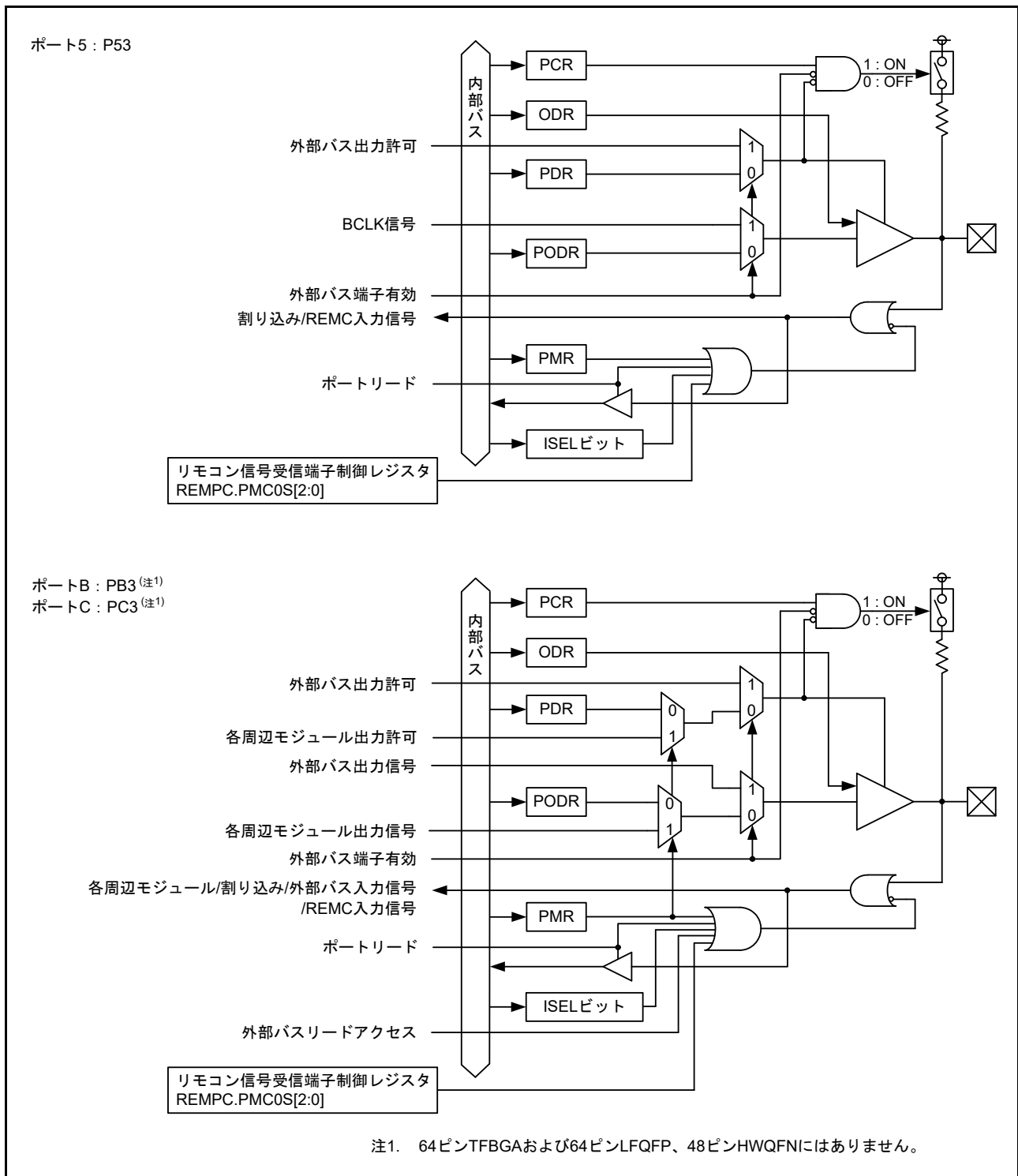


図 22.5 入出力ポートの構成 (5)

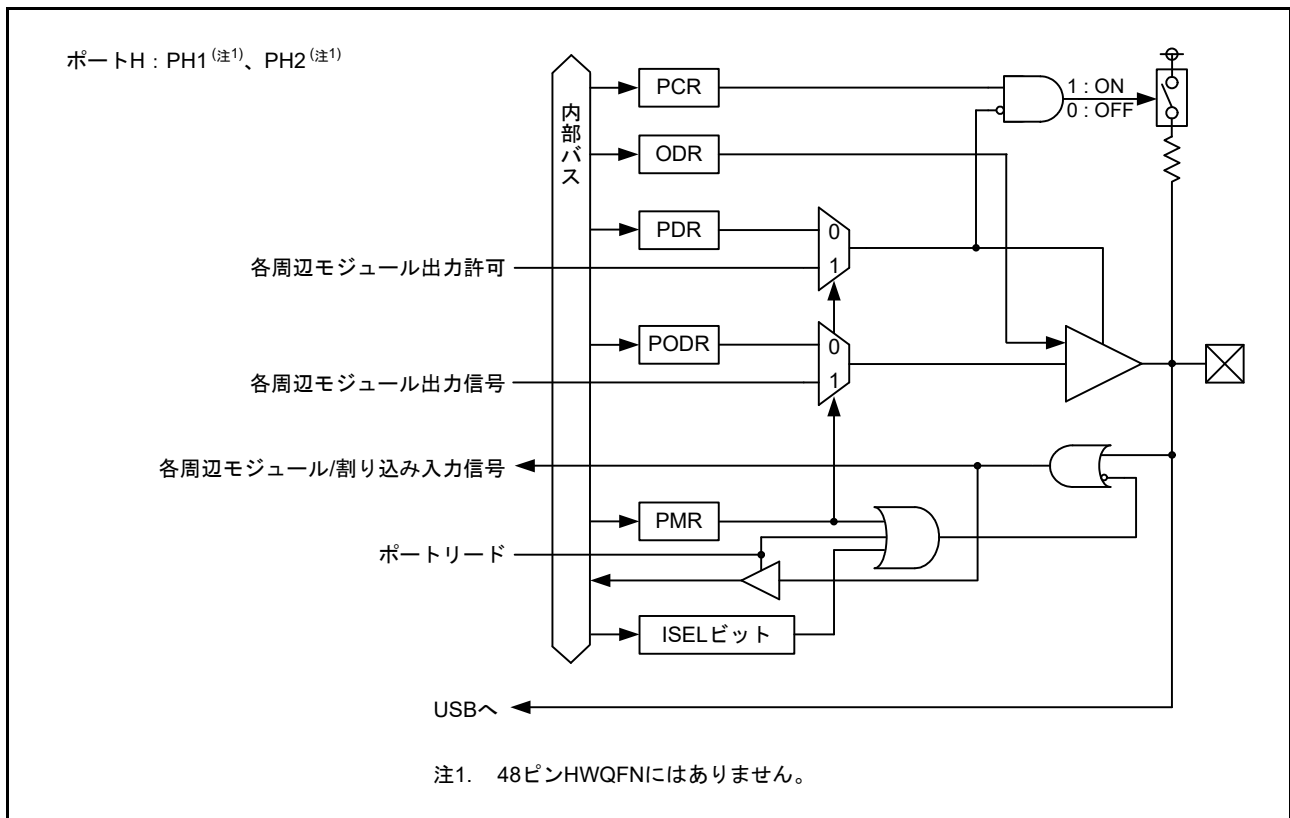


図 22.6 入出力ポートの構成 (6)

22.3 レジスタの説明

22.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h, PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h, PORT3.PDR 0008 C003h, PORT4.PDR 0008 C004h, PORT5.PDR 0008 C005h, PORT6.PDR 0008 C006h, PORT7.PDR 0008 C007h, PORT8.PDR 0008 C008h, PORT9.PDR 0008 C009h, PORTA.PDR 0008 C00Ah, PORTB.PDR 0008 C00Bh, PORTC.PDR 0008 C00Ch, PORTD.PDR 0008 C00Dh, PORTE.PDR 0008 C00Eh, PORTF.PDR 0008 C00Fh, PORTH.PDR 0008 C011h, PORTJ.PDR 0008 C012h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0 : 入力(入力ポートとして機能) 1 : 出力(出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ~ 9, A ~ F, H, J

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。ただし、144 ピン未満の製品については、144 ピンに対して存在しないポート m の端子のビットは予約ビットです。“1” (出力) を書いてください。

存在しないポート m の端子に対応している PDR レジスタの各ビットは予約ビットです。「22.4 ポート方向レジスタ (PDR) の初期化」に従って、設定してください。

P35 端子は入力専用のため、PORT3.PDR.B5 ビットは予約ビットです。

22.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h, PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h, PORT3.PODR 0008 C023h, PORT4.PODR 0008 C024h, PORT5.PODR 0008 C025h, PORT6.PODR 0008 C026h, PORT7.PODR 0008 C027h, PORT8.PODR 0008 C028h, PORT9.PODR 0008 C029h, PORTA.PODR 0008 C02Ah, PORTB.PODR 0008 C02Bh, PORTC.PODR 0008 C02Ch, PORTD.PODR 0008 C02Dh, PORTE.PODR 0008 C02Eh, PORTF.PODR 0008 C02Fh, PORTH.PODR 0008 C031h, PORTJ.PODR 0008 C032h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	0 : Low出力 1 : High出力	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 9, A ~ F, H, J

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

144ピン未満のピン数の製品については、144ピンに対して存在しないポート m の端子のビットは予約ビットです。“0” (Low 出力) を書いてください。

P35 端子は入力専用のため、PORT3.PODR.B5 ビットは予約ビットです。値を書いても端子に影響しません。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

22.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h, PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h, PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT5.PIDR 0008 C045h, PORT6.PIDR 0008 C046h, PORT7.PIDR 0008 C047h, PORT8.PIDR 0008 C048h, PORT9.PIDR 0008 C049h, PORTA.PIDR 0008 C04Ah, PORTB.PIDR 0008 C04Bh, PORTC.PIDR 0008 C04Ch, PORTD.PIDR 0008 C04Dh, PORTE.PIDR 0008 C04Eh, PORTF.PIDR 0008 C04Fh, PORTH.PIDR 0008 C051h, PORTJ.PIDR 0008 C052h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 X X X X X X X X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0ビット	0 : Low入力 1 : High入力	R
b1	B1	Pm1ビット		R
b2	B2	Pm2ビット		R
b3	B3	Pm3ビット		R
b4	B4	Pm4ビット		R
b5	B5	Pm5ビット		R
b6	B6	Pm6ビット		R
b7	B7	Pm7ビット		R

m = 0 ~ 9, A ~ F, H, J

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR レジスタ の値に関係なく端子の状態が読めます。

P35 端子はNMI端子の状態が読み出されます。ただし、PmnPFS.ASEL ビットが“1”に設定された端子は、端子状態を読むことはできません。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

22.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h, PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h, PORT3.PMR 0008 C063h,
PORT4.PMR 0008 C064h, PORT5.PMR 0008 C065h, PORT6.PMR 0008 C066h, PORT7.PMR 0008 C067h,
PORT8.PMR 0008 C068h, PORT9.PMR 0008 C069h, PORTA.PMR 0008 C06Ah, PORTB.PMR 0008 C06Bh,
PORTC.PMR 0008 C06Ch, PORTD.PMR 0008 C06Dh, PORTE.PMR 0008 C06Eh, PORTF.PMR 0008 C06Fh,
PORTH.PMR 0008 C071h, PORTJ.PMR 0008 C072h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺モジュールとして使用	R/W
b1	B1	Pm1端子モード制御ビット		R/W
b2	B2	Pm2端子モード制御ビット		R/W
b3	B3	Pm3端子モード制御ビット		R/W
b4	B4	Pm4端子モード制御ビット		R/W
b5	B5	Pm5端子モード制御ビット		R/W
b6	B6	Pm6端子モード制御ビット		R/W
b7	B7	Pm7端子モード制御ビット		R/W

m = 0 ~ 9, A ~ F, H, J

PMR レジスタは、ポートの端子機能を指定するレジスタです。

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。ただし、144 ピン未満の製品については、144 ピンに対して存在しないポート m の端子のビットは予約ビットです。“0” (汎用入出力ポート) を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

22.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT0.ODR0 0008 C080h, PORT1.ODR0 0008 C082h, PORT2.ODR0 0008 C084h, PORT3.ODR0 0008 C086h, PORT4.ODR0 0008 C088h, PORT5.ODR0 0008 C08Ah, PORT6.ODR0 0008 C08Ch, PORT7.ODR0 0008 C08Eh, PORT8.ODR0 0008 C090h, PORT9.ODR0 0008 C092h, PORTA.ODR0 0008 C094h, PORTB.ODR0 0008 C096h, PORTC.ODR0 0008 C098h, PORTD.ODR0 0008 C09Ah, PORTE.ODR0 0008 C09Ch, PORTH.ODR0 0008 C0A2h, PORTJ.ODR0 0008 C0A4h

b7	b6	b5	b4	b3	b2	b1	b0
—	B6	—	B4	B3	B2	—	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W													
b0	B0	Pm0出力形態指定ビット	<ul style="list-style-type: none"> ポートPE1以外の場合 <table border="0"> <tr> <td>奇数</td> <td>偶数</td> </tr> <tr> <td>ビット</td> <td>ビット</td> </tr> <tr> <td>x</td> <td>0 : CMOS出力</td> </tr> <tr> <td>x</td> <td>1 : Nチャネルオープンドレイン</td> </tr> </table> (b1, b3, b5, b7 : 予約ビット) ポートPE1の場合 <table border="0"> <tr> <td>b3 b2</td> <td>0 0 : CMOS出力</td> </tr> <tr> <td>0 1 : Nチャネルオープンドレイン</td> </tr> <tr> <td>1 0 : Pチャネルオープンドレイン</td> </tr> <tr> <td>1 1 : 設定しないでください</td> </tr> </table> 	奇数	偶数	ビット	ビット	x	0 : CMOS出力	x	1 : Nチャネルオープンドレイン	b3 b2	0 0 : CMOS出力	0 1 : Nチャネルオープンドレイン	1 0 : Pチャネルオープンドレイン	1 1 : 設定しないでください	R/W
奇数	偶数																
ビット	ビット																
x	0 : CMOS出力																
x	1 : Nチャネルオープンドレイン																
b3 b2	0 0 : CMOS出力																
0 1 : Nチャネルオープンドレイン																	
1 0 : Pチャネルオープンドレイン																	
1 1 : 設定しないでください																	
b1	—	予約ビット	R/W														
b2	B2	Pm1出力形態指定ビット	R/W														
b3	B3 (注1)	PE1出力形態指定ビット	R/W														
b4	B4	Pm2出力形態指定ビット	R/W														
b5	—	予約ビット	R/W														
b6	B6	Pm3出力形態指定ビット	R/W														
b7	—	予約ビット	R/W														

m = 0 ~ 9, A ~ E, H, J

注1. PE1以外は予約ビットです。

ODR0 レジスタは、ポートの端子の出力形態を選択するレジスタです。

PORTE.ODR0 レジスタ以外の奇数ビット (b1, b3, b5, b7) は予約ビットです。

ただし、ポート PE1 は b3 と b2 の組み合わせで出力形態を指定します。

144ピン未満のピン数の製品については、144ピンに対して存在しないポート m の端子のビットは予約ビットです。“0” (CMOS出力) を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

22.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT0.ODR1 0008 C081h, PORT1.ODR1 0008 C083h, PORT2.ODR1 0008 C085h, PORT3.ODR1 0008 C087h, PORT4.ODR1 0008 C089h, PORT5.ODR1 0008 C08Bh, PORT6.ODR1 0008 C08Dh, PORT7.ODR1 0008 C08Fh, PORT8.ODR1 0008 C091h, PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h, PORTC.ODR1 0008 C099h, PORTD.ODR1 0008 C09Bh, PORTE.ODR1 0008 C09Dh, PORTF.ODR1 0008 C09Fh, PORTJ.ODR1 0008 C0A5h

b7	b6	b5	b4	b3	b2	b1	b0
—	B6	—	B4	—	B2	—	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	—	予約ビット		R/W
b2	B2	Pm5出力形態指定ビット		R/W
b3	—	予約ビット		R/W
b4	B4	Pm6出力形態指定ビット		R/W
b5	—	予約ビット		R/W
b6	B6	Pm7出力形態指定ビット		R/W
b7	—	予約ビット		R/W

m = 0 ~ 8, A ~ F, J

ODR1 レジスタは、ポートの端子の出力形態を選択するレジスタです。

ODR1 レジスタの奇数ビット (b1, b3, b5, b7) は予約ビットです。

144ピン未満のピン数の製品については、144ピンに対して存在しないポート m の端子のビットは予約ビットです。“0” (CMOS出力) を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

22.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h, PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h, PORT3.PCR 0008 C0C3h,
PORT4.PCR 0008 C0C4h, PORT5.PCR 0008 C0C5h, PORT6.PCR 0008 C0C6h, PORT7.PCR 0008 C0C7h,
PORT8.PCR 0008 C0C8h, PORT9.PCR 0008 C0C9h, PORTA.PCR 0008 C0CAh, PORTB.PCR 0008 C0CBh,
PORTC.PCR 0008 C0CCh, PORTD.PCR 0008 C0CDh, PORTE.PCR 0008 C0CEh, PORTF.PCR 0008 C0CFh,
PORTH.PCR 0008 C0D1h, PORTJ.PCR 0008 C0D2h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 0 ~ 9, A ~ F, H, J

PCR レジスタは、ポートの入力プルアップ抵抗の有効 / 無効を制御するレジスタです。

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

外部バス端子 (WAIT 端子除く)、汎用ポート出力、周辺モジュールの出力として使用している場合には、“0”にしてください。ただし、アドレスバス、バス制御信号として使用している場合は、スタンバイコントロールレジスタの出力ポート許可ビット (SBYCR.OPE) が“0”に設定された状態で、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ遷移すると、PCR レジスタの設定値が有効になります。

リセット中もプルアップ抵抗は無効になります。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

22.3.8 駆動能力制御レジスタ (DSCR)

アドレス PORT0.DSCR 0008 C0E0h, PORT1.DSCR 0008 C0E1h, PORT2.DSCR 0008 C0E2h, PORT5.DSCR 0008 C0E5h, PORT7.DSCR 0008 C0E7h, PORT8.DSCR 0008 C0E8h, PORT9.DSCR 0008 C0E9h, PORTA.DSCR 0008 C0EAh, PORTB.DSCR 0008 C0EBh, PORTC.DSCR 0008 C0ECh, PORTD.DSCR 0008 C0EDh, PORTE.DSCR 0008 C0EEh, PORTH.DSCR 0008 C0F1h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 駆動能力制御ビット	0 : 通常出力 1 : 高駆動出力	R/W
b1	B1	Pm1 駆動能力制御ビット		R/W
b2	B2	Pm2 駆動能力制御ビット		R/W
b3	B3	Pm3 駆動能力制御ビット		R/W
b4	B4	Pm4 駆動能力制御ビット		R/W
b5	B5	Pm5 駆動能力制御ビット		R/W
b6	B6	Pm6 駆動能力制御ビット		R/W
b7	B7	Pm7 駆動能力制御ビット		R/W

m = 0 ~ 2, 5, 7 ~ 9, A ~ E, H

DSCR レジスタは、ポートの駆動能力の切り替えを制御するレジスタです。

DSCR2 レジスタで端子を高速インタフェース用高駆動出力に設定している場合、駆動能力の変更はできません。DSCR レジスタと DSCR2 レジスタの設定による駆動能力の設定は「表 22.3 DSCR レジスタと DSCR2 レジスタによる駆動能力設定」を参照ください。

高駆動能力への切り替え、または駆動能力の切り替えができない端子の当該ビットは、読み出し/書き込み可能ですが、駆動能力の切り替えはできません。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

22.3.9 駆動能力制御レジスタ 2 (DSCR2)

アドレス PORT0.DSCR2 0008 C128h, PORT1.DSCR2 0008 C129h, PORT2.DSCR2 0008 C12Ah, PORT3.DSCR2 0008 C12Bh, PORT5.DSCR2 0008 C12Dh, PORT7.DSCR2 0008 C12Fh, PORT8.DSCR2 0008 C130h, PORT9.DSCR2 0008 C131h, PORTA.DSCR2 0008 C132h, PORTB.DSCR2 0008 C133h, PORTC.DSCR2 0008 C134h, PORTD.DSCR2 0008 C135h, PORTE.DSCR2 0008 C136h, PORTH.DSCR2 0008 C139h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 駆動能力制御ビット2	0 : 通常/高駆動出力 (注1) 1 : 高速インタフェース用高駆動出力	R/W
b1	B1	Pm1 駆動能力制御ビット2		R/W
b2	B2	Pm2 駆動能力制御ビット2		R/W
b3	B3	Pm3 駆動能力制御ビット2		R/W
b4	B4	Pm4 駆動能力制御ビット2		R/W
b5	B5	Pm5 駆動能力制御ビット2		R/W
b6	B6	Pm6 駆動能力制御ビット2		R/W
b7	B7	Pm7 駆動能力制御ビット2		R/W

m = 0 ~ 3, 5, 7 ~ 9, A ~ E, H

注1. DSCRレジスタによる駆動能力切り替えに対応する端子の場合、DSCRレジスタの設定に依存します。

DSCR2 レジスタは、ポートの駆動能力の切り替えを制御するレジスタです。

表 22.3 に DSCR レジスタと DSCR2 レジスタによる駆動能力設定を示します。

高速インタフェース用高駆動出力へ切り替え、または駆動能力の切り替えができない端子の当該ビットは、読み出し / 書き込み可能ですが、駆動能力の切り替えはできません。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

本レジスタは、アプリケーションガイドに指示があった場合にのみ設定してください。

表22.3 DSCRレジスタとDSCR2レジスタによる駆動能力設定

PORTm.DSCR2.Bx	PORTm.DSCR.Bx	駆動能力 (注1)
0	0	通常駆動出力
0	1	高駆動出力
1	Don't care	高速インタフェース用高駆動出力

注1. 駆動能力が固定、またはそれぞれの駆動能力へ切り替えができない端子の駆動能力は変更できません。

22.4 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 22.4、表 22.5、表 22.6、表 22.7 を参照して初期化してください。

- 表 22.4、表 22.5、表 22.6、表 22.7 の空欄は、「表 22.1 I/O ポートの仕様」に記載されている端子に対応するビットです。

使用するシステムに応じて“1”(出力)か“0”(入力)を設定してください。

ただし、入力専用である P35 端子の PORT3.PDR.B5 ビットは予約ビットです。

このビットには“0”(入力)を設定してください。

- 表 22.4、表 22.5、表 22.6、表 22.7 の空欄以外は、予約ビットです。

予約ビットには表 22.4、表 22.5、表 22.6、表 22.7 に従って“0”(入力)または“1”(出力)を設定ください。

予約ビットを設定する場合は、バイト単位でアクセスしてください。

表 22.4 145ピン、144ピンのPDRレジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0		1		1				
PORT1							1	1
PORT2								
PORT3			0					
PORT4								
PORT5	1							
PORT6								
PORT7 (注1)								
PORT8			1	1				
PORT9	1	1	1	1				
PORTA								
PORTB								
PORTC								
PORTD								
PORTE								
PORTF	1	1		1	1	1	1	1
PORTH	1	1	1	1	1			1
PORTJ	1	1		1		1	1	1

注1. 145ピンTFLGA (0.65mmピッチ)にはP71、P72はありませんので、b1、b2には“1”を設定してください。

表 22.5 100ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0		1		1	1	1	1	1
PORT1							1	1
PORT2								
PORT3			0					
PORT4								
PORT5	1	1						
PORT6	1	1	1	1	1	1	1	1
PORT7	1	1	1	1	1	1	1	1
PORT8	1	1	1	1	1	1	1	1
PORT9	1	1	1	1	1	1	1	1
PORTA								
PORTB								
PORTC								
PORTD								
PORTE								
PORTF	1	1	1	1	1	1	1	1
PORTH	1	1	1	1	1			1
PORTJ	1	1	1	1		1	1	1

表 22.6 64ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0(注1)	1	1		1	1	1	1	1
PORT1			1	1			1	1
PORT2			1	1	1	1	1	1
PORT3			0		1	1		
PORT4	1	1	1	1				
PORT5	1	1	1	1		1	1	1
PORT6	1	1	1	1	1	1	1	1
PORT7	1	1	1	1	1	1	1	1
PORT8	1	1	1	1	1	1	1	1
PORT9	1	1	1	1	1	1	1	1
PORTA			1		1			1
PORTB				1	1	1	1	1
PORTC					1	1		
PORTD							1	1
PORTE			1	1	1			
PORTF	1	1	1	1	1	1	1	1
PORTH	1	1	1	1	1			1
PORTJ	1	1	1	1	1	1	1	1

注1. 64ピンTFBGAにはP05はありませんので、b5には“1”を設定してください。

表22.7 48ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1	1	1	1	1	1
PORT1			1	1			1	1
PORT2			1	1	1	1	1	1
PORT3			0		1	1		
PORT4	1	1	1	1				
PORT5	1	1	1	1		1	1	1
PORT6	1	1	1	1	1	1	1	1
PORT7	1	1	1	1	1	1	1	1
PORT8	1	1	1	1	1	1	1	1
PORT9	1	1	1	1	1	1	1	1
PORTA	1		1		1			1
PORTB				1	1	1	1	1
PORTC					1	1	1	1
PORTD	1	1					1	1
PORTE			1	1	1	1	1	1
PORTF	1	1	1	1	1	1	1	1
PORTH	1	1	1	1	1	1	1	1
PORTJ	1	1	1	1	1	1	1	1

22.5 未使用端子の処理

表 22.8 に未使用端子の処理内容を示します。

表 22.8 未使用端子の処理内容

端子名	処理内容
EMLE	抵抗を介してVSSに接続(プルダウン)
BSCANP	抵抗を介してVSSに接続(プルダウン)
MD	(モード端子として使用)
RES#	抵抗を介してVCCに接続(プルアップ)
VCC_USB	VCCに接続
VSS_USB	VSSに接続
VBATT	VCCに接続
USB1_DP	端子を開放
USB1_DM	
P35/NMI	抵抗を介してVCCに接続(プルアップ)
P36/EXTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(メインクロック発振器停止)に設定 ポートP36としても使用しない場合は、ポート0~9、A~F、Jの処理と同様
P37/XTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(メインクロック発振器停止)に設定 ポートP37としても使用しない場合は、ポート0~9、A~F、Jの処理と同様 EXTAL端子に外部クロックを入力する場合は、端子を開放
PJ3/EXCIN	EXCINとして使用しない場合は、BKSCCR.SOSELビットを“0”に設定 ポートPJ3としても使用しない場合は、ポート0~9、A~F、Jの処理と同様
PH1/USB0_DP	USB0_DPとして使用しない場合は、MSTPB.MSTPB19ビットを“1”に設定 ポートPH1としても使用しない場合は、ポート0~9、A~F、Jの処理と同様
PH2/USB0_DM	USB0_DMとして使用しない場合は、MSTPB.MSTPB19ビットを“1”に設定 ポートPH2としても使用しない場合は、ポート0~9、A~F、Jの処理と同様
XCIN	抵抗を介してVSSに接続(プルダウン)
XCOUT	端子を開放
ポート0~9、A~F、J	<ul style="list-style-type: none"> • 入力に設定(PORTn.PDRビット=0)し、1端子ごと抵抗を介してVCCに接続(プルアップ)、または1端子ごと抵抗を介してVSSに接続(プルダウン)(注1) • 出力に設定(PORTn.PDRビット=1)し、端子を開放(注1、注2)
VREFH0	AVCC0に接続
VREFL0	AVSS0に接続
AVCC0	12ビットA/Dコンバータ(ユニット0)を使用しない場合は、VCCに接続
AVSS0	12ビットA/Dコンバータ(ユニット0)を使用しない場合は、VSSに接続
AVCC1	12ビットA/Dコンバータ(ユニット1)を使用しない場合は、VCCに接続
AVSS1	12ビットA/Dコンバータ(ユニット1)を使用しない場合は、VSSに接続

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL、PmnPFS.ASELビットを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

23. マルチファンクションピンコントローラ (MPC)

23.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力および割り込み入力信号を複数のポートから選択し割り付ける機能です。また、外部バス関連信号のポート割り付けも行います。

表 23.1 に多機能端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、×で示します。同一機能を複数端子で有効にすることは禁止です。

表 23.1 多機能端子の割り当て端子一覧 (1 / 18)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
割り込み		NMI (入力)	P35	○	○	○	○
EXDMAコントローラ	EXDMAC0	EDREQ0 (入力)	P22	○	○	×	×
			P55	○	○	×	×
			P80	○	×	×	×
		EDACK0 (出力)	P23	○	○	×	×
			P54	○	○	×	×
			P81	○	×	×	×
	EXDMAC1	EDREQ1 (入力)	P24	○	○	×	×
			P33	○	○	×	×
			P82	○	×	×	×
		EDACK1 (出力)	P25	○	○	×	×
			P56	○	×	×	×
			P83	○	×	×	×
PJ3	○	○	×	×			
割り込み	IRQ0	IRQ0-DS (入力)	P30	○	○	○	○
		IRQ0 (入力)	P50	○	○	×	×
			P60	○	×	×	×
			P70	○	×	×	×
			P90	○	×	×	×
			PA0	○	○	×	×
			PD0	○	○	×	×
	PH1	○	○	○	×		
	IRQ1	IRQ1-DS (入力)	P31	○	○	○	○
		IRQ1 (入力)	P51	○	○	×	×
			P61	○	×	×	×
			P71	○ (注2)	×	×	×
			PD1	○	○	×	×
	PH2	○	○	○	×		
	IRQ2	IRQ2-DS (入力)	P32	○	○	×	×
		IRQ2 (入力)	P12	○	○	○	○
			P52	○	○	×	×
			P62	○	×	×	×
			P82	○	×	×	×
	PB2	○	○	×	×		
	PD2	○	○	○	○		
	IRQ3	IRQ3-DS (入力)	P33	○	○	×	×
		IRQ3 (入力)	P13	○	○	○	○
			P23	○	○	×	×
			P53	○	○	○	○
			P63	○	×	×	×
P83			○	×	×	×	
PB3	○	○	×	×			
PD3	○	○	○	○			

表 23.1 多機能端子の割り当て端子一覧 (2 / 18)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
割り込み	IRQ4	IRQ4-DS (入力)	PB1	○	○	×	×
		IRQ4 (入力)	P14	○	○	×	×
			P34	○	○	○	○
			P54	○	○	×	×
			P64	○	×	×	×
			PB4	○	○	×	×
			PD4	○	○	○	○
			PF5	○	×	×	×
	IRQ5	IRQ5-DS (入力)	PA4	○	○	○	○
		IRQ5 (入力)	P15	○	○	×	×
			P25	○	○	×	×
			PA5	○	○	×	×
			PC5	○	○	○	○
			PD5	○	○	○	○
			PE5	○	○	×	×
	IRQ6	IRQ6-DS (入力)	PA3	○	○	×	×
		IRQ6 (入力)	P16	○	○	○	○
			P26	○	○	○	○
			P56	○	×	×	×
			PB6	○	○	○	○
			PD6	○	○	○	×
	PE6	○	○	○	○		
	IRQ7	IRQ7-DS (入力)	PE2	○	○	○	×
		IRQ7 (入力)	P17	○	○	○	○
			P27	○	○	○	○
			P77	○	×	×	×
			PA7	○	○	○	×
			PD7	○	○	○	×
	PE7	○	○	○	○		
	IRQ8	IRQ8-DS (入力)	P40	○	○	○	○
		IRQ8 (入力)	P00	○	×	×	×
			P20	○	○	×	×
			P73	○	×	×	×
P80			○	×	×	×	
PE0	○	○	○	×			
IRQ9	IRQ9-DS (入力)	P41	○	○	○	○	
	IRQ9 (入力)	P01	○	×	×	×	
		P21	○	○	×	×	
		P81	○	×	×	×	
		P91	○	×	×	×	
PE1	○	○	○	×			

表 23.1 多機能端子の割り当て端子一覧 (3 / 18)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
割り込み	IRQ10	IRQ10-DS (入力)	P42	○	○	○	○
		IRQ10 (入力)	P02	○	×	×	×
			P55	○	○	×	×
			P72	○ (注2)	×	×	×
			P92	○	×	×	×
			PA2	○	○	○	○
			PC2	○	○	×	×
	IRQ11	IRQ11-DS (入力)	P43	○	○	○	○
		IRQ11 (入力)	P03	○	×	×	×
			P93	○	×	×	×
			PA1	○	○	○	○
			PC3	○	○	×	×
			PE3	○	○	×	×
			PJ3	○	○	×	×
	IRQ12	IRQ12-DS (入力)	P44	○	○	×	×
		IRQ12 (入力)	P24	○	○	×	×
			P74	○	×	×	×
			PB0	○	○	×	×
			PC1	○	○	○	×
			PC4	○	○	○	○
			PE4	○	○	×	×
	IRQ13	IRQ13-DS (入力)	P45	○	○	×	×
		IRQ13 (入力)	P05	○	○	○ (注3)	×
			P65	○	×	×	×
			P75	○	×	×	×
			PB5	○	○	○	○
			PC6	○	○	○	○
			PJ5	○	×	×	×
	IRQ14	IRQ14-DS (入力)	P46	○	○	×	×
		IRQ14 (入力)	P66	○	×	×	×
			P76	○	×	×	×
			P86	○	×	×	×
			PA6	○	○	○	○
			PC0	○	○	○	×
			PC7	○	○	○	○
	IRQ15	IRQ15-DS (入力)	P47	○	○	×	×
IRQ15 (入力)		P07	○	○	×	×	
		P22	○	○	×	×	
		P67	○	×	×	×	
		P87	○	×	×	×	
		PB7	○	○	○	○	

表23.1 多機能端子の割り当て端子一覧(4 / 18)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
マルチファンクション タイマユニット3	MTU0	MTIOC0A (入出力)	P34	○	○	○	○
			PB3	○	○	×	×
		MTIOC0B (入出力)	P13	○	○	○	○
			P15	○	○	×	×
			PA1	○	○	○	○
		MTIOC0C (入出力)	P32	○	○	×	×
	PB1		○	○	×	×	
	MTIOC0D (入出力)	P33	○	○	×	×	
		PA3	○	○	×	×	
	MTU1	MTIOC1A (入出力)	P20	○	○	×	×
			PE4	○	○	×	×
		MTIOC1B (入出力)	P21	○	○	×	×
			PB5	○	○	○	○
	MTU2	MTIOC2A (入出力)	P26	○	○	○	○
			PB5	○	○	○	○
		MTIOC2B (入出力)	P27	○	○	○	○
	PE5		○	○	×	×	
	MTU3	MTIOC3A (入出力)	P14	○	○	×	×
			P17	○	○	○	○
			PC1	○	○	○	×
			PC7	○	○	○	○
		MTIOC3B (入出力)	P17	○	○	○	○
			P22	○	○	×	×
			P80	○	×	×	×
			PB7	○	○	○	○
			PC5	○	○	○	○
			PE1	○	○	○	×
		MTIOC3C (入出力)	P16	○	○	○	○
			P56	○	×	×	×
			PC0	○	○	○	×
			PC6	○	○	○	○
			PJ3	○	○	×	×
		MTIOC3D (入出力)	P16	○	○	○	○
	P23		○	○	×	×	
	P81		○	×	×	×	
	PB6		○	○	○	○	
PC4	○		○	○	○		
PE0	○		○	○	×		

表 23.1 多機能端子の割り当て端子一覧 (5 / 18)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
マルチファンクション タイマユニット3	MTU4	MTIOC4A (入出力)	P21	○	○	×	×
			P24	○	○	×	×
			P82	○	×	×	×
			PA0	○	○	×	×
			PB3	○	○	×	×
			PE2	○	○	○	×
		MTIOC4B (入出力)	P17	○	○	○	○
			P30	○	○	○	○
			P54	○	○	×	×
			PC2	○	○	×	×
			PD1	○	○	×	×
			PE3	○	○	×	×
		MTIOC4C (入出力)	P25	○	○	×	×
			P83	○	×	×	×
			P87	○	×	×	×
			PB1	○	○	×	×
			PE1	○	○	○	×
			PE5	○	○	×	×
	MTIOC4D (入出力)	P31	○	○	○	○	
		P55	○	○	×	×	
		P86	○	×	×	×	
		PC3	○	○	×	×	
		PD2	○	○	○	○	
		PE4	○	○	×	×	
	MTU5	MTIC5U (入力)	P12	○	○	○	○
			PA4	○	○	○	○
			PD7	○	○	○	×
		MTIC5V (入力)	PA6	○	○	○	○
			PD6	○	○	○	×
		MTIC5W (入力)	PB0	○	○	×	×
	PD5		○	○	○	○	
	MTU6	MTIOC6A (入出力)	PE7	○	○	○	○
			PA5	○	○	×	×
PE6			○	○	○	○	
PA0			○	○	×	×	
MTU7	MTIOC7A (入出力)	PA2	○	○	○	○	
		PA1	○	○	○	○	
		P67	○	×	×	×	
		P66	○	×	×	×	
MTU8	MTIOC8A (入出力)	PD6	○	○	○	×	
		PD4	○	○	○	○	
		PD5	○	○	○	○	
		PD3	○	○	○	○	

表 23.1 多機能端子の割り当て端子一覧 (6 / 18)

モジュール/機能	チャネル	端子機能	割り当て ポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
マルチファンクション タイマユニット3	MTU	MTCLKA (入力)	P14	○	○	×	×
			P24	○	○	×	×
			PA4	○	○	○	○
			PC6	○	○	○	○
		MTCLKB (入力)	P15	○	○	×	×
			P25	○	○	×	×
			PA6	○	○	○	○
			PC7	○	○	○	○
		MTCLKC (入力)	P22	○	○	×	×
			PA1	○	○	○	○
			PC4	○	○	○	○
		MTCLKD (入力)	P23	○	○	×	×
	PA3		○	○	×	×	
	PC5		○	○	○	○	
	ポートアウトプット イネーブル3	POE0	POE0# (入力)	P32	○	○	×
P93				○	×	×	×
PC4				○	○	○	○
PD1				○	○	×	×
PD7				○	○	○	×
POE4		POE4# (入力)	P33	○	○	×	×
			P92	○	×	×	×
			PB5	○	○	○	○
			PD0	○	○	×	×
			PD6	○	○	○	×
POE8		POE8# (入力)	P17	○	○	○	○
			P30	○	○	○	○
			PD3	○	○	○	○
			PE3	○	○	×	×
			PJ5	○	×	×	×
POE10		POE10# (入力)	P32	○	○	×	×
			P34	○	○	○	○
			PA6	○	○	○	○
			PD5	○	○	○	○
POE11		POE11# (入力)	P33	○	○	×	×
			PB3	○	○	×	×
	PD4		○	○	○	○	

表 23.1 多機能端子の割り当て端子一覧 (7 / 18)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
16ビットタイマパルス ユニット	TPU0	TIOCA0 (入出力)	P86	○	×	×	×
			PA0	○	○	×	×
		TIOCB0 (入出力)	P17	○	○	○	○
			PA1	○	○	○	○
		TIOCC0 (入出力)	P32	○	○	×	×
		TIOCD0 (入出力)	P33	○	○	×	×
	TPU1	TIOCA1 (入出力)	P56	○	×	×	×
			PA4	○	○	○	○
		TIOCB1 (入出力)	P16	○	○	○	○
			PA5	○	○	×	×
	TPU2	TIOCA2 (入出力)	P87	○	×	×	×
			PA6	○	○	○	○
		TIOCB2 (入出力)	P15	○	○	×	×
			PA7	○	○	○	×
	TPU3	TIOCA3 (入出力)	P21	○	○	×	×
			PB0	○	○	×	×
		TIOCB3 (入出力)	P20	○	○	×	×
			PB1	○	○	×	×
		TIOCC3 (入出力)	P22	○	○	×	×
			PB2	○	○	×	×
	TIOCD3 (入出力)	P23	○	○	×	×	
		PB3	○	○	×	×	
	TPU4	TIOCA4 (入出力)	P25	○	○	×	×
			PB4	○	○	×	×
		TIOCB4 (入出力)	P24	○	○	×	×
			PB5	○	○	○	○
	TPU5	TIOCA5 (入出力)	P13	○	○	○	○
			PB6	○	○	○	○
		TIOCB5 (入出力)	P14	○	○	×	×
			PB7	○	○	○	○
	TPU (ユニット0)	TCLKA (入力)	P14	○	○	×	×
			PC2	○	○	×	×
		TCLKB (入力)	P15	○	○	×	×
			PA3	○	○	×	×
			PC3	○	○	×	×
		TCLKC (入力)	P16	○	○	○	○
			PB2	○	○	×	×
			PC0	○	○	○	×
	TCLKD (入力)	P17	○	○	○	○	
		PB3	○	○	×	×	
		PC1	○	○	○	×	

表 23.1 多機能端子の割り当て端子一覧 (8 / 18)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
プログラマブルパルスジェネレータ	PPG0	PO0 (出力)	P20	○	○	×	×
		PO1 (出力)	P21	○	○	×	×
		PO2 (出力)	P22	○	○	×	×
		PO3 (出力)	P23	○	○	×	×
		PO4 (出力)	P24	○	○	×	×
		PO5 (出力)	P25	○	○	×	×
		PO6 (出力)	P26	○	○	×	×
		PO7 (出力)	P27	○	○	×	×
		PO8 (出力)	P30	○	○	×	×
		PO9 (出力)	P31	○	○	×	×
		PO10 (出力)	P32	○	○	×	×
		PO11 (出力)	P33	○	○	×	×
		PO12 (出力)	P34	○	○	×	×
		PO13 (出力)	P13	○	○	×	×
			P15	○	○	×	×
	PO14 (出力)	P16	○	○	×	×	
	PO15 (出力)	P14	○	○	×	×	
		P17	○	○	×	×	
	PPG1	PO16 (出力)	P73	○	×	×	×
			PA0	○	○	×	×
		PO17 (出力)	PA1	○	○	×	×
			PC0	○	○	×	×
			PE1	○	○	×	×
		PO18 (出力)	PA2	○	○	×	×
			PC1	○	○	×	×
		PO19 (出力)	P74	○	×	×	×
			PA3	○	○	×	×
		PO20 (出力)	P75	○	×	×	×
			PA4	○	○	×	×
		PO21 (出力)	PA5	○	○	×	×
			PC2	○	○	×	×
		PO22 (出力)	P76	○	×	×	×
			PA6	○	○	×	×
	PO23 (出力)	P77	○	×	×	×	
PA7		○	○	×	×		
PE2		○	○	×	×		
PO24 (出力)	PB0	○	○	×	×		
	PC3	○	○	×	×		
PO25 (出力)	PB1	○	○	×	×		
	PC4	○	○	×	×		
PO26 (出力)	P80	○	×	×	×		
	PB2	○	○	×	×		
	PE3	○	○	×	×		

表 23.1 多機能端子の割り当て端子一覧 (9 / 18)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ				
				145ピン 144ピン	100ピン	64ピン	48ピン	
プログラマブルパルス ジェネレータ	PPG1	PO27 (出力)	P81	○	×	×	×	
			PB3	○	○	×	×	
		PO28 (出力)	P82	○	×	×	×	
			PB4	○	○	×	×	
			PE4	○	○	×	×	
		PO29 (出力)	PB5	○	○	×	×	
			PC5	○	○	×	×	
		PO30 (出力)	PB6	○	○	×	×	
			PC6	○	○	×	×	
		PO31 (出力)	PB7	○	○	×	×	
			PC7	○	○	×	×	
		8ビットタイマ	TMR0	TMO0 (出力)	P22	○	○	×
PB3	○				○	×	×	
PH1	○				○	○	×	
TMC10 (入力)	P01			○	×	×	×	
	P21			○	○	×	×	
	PB1			○	○	×	×	
TMR10 (入力)	P00			○	×	×	×	
	P20			○	○	×	×	
	PA4			○	○	○	○	
	PH2			○	○	○	×	
TMR1	TMO1 (出力)			P17	○	○	○	○
				P26	○	○	○	○
	TMC11 (入力)		P02	○	×	×	×	
			P12	○	○	○	○	
			P54	○	○	×	×	
	TMR11 (入力)		PC4	○	○	○	○	
P24			○	○	×	×		
TMR2	TMO2 (出力)		PB5	○	○	○	○	
			PC7	○	○	○	○	
	TMC12 (入力)		P16	○	○	○	○	
			P15	○	○	×	×	
	TMR12 (入力)		P31	○	○	○	○	
			PC6	○	○	○	○	
TMR3	TMO3 (出力)		P14	○	○	×	×	
			PC5	○	○	○	○	
			P13	○	○	○	○	
	TMC13 (入力)		P32	○	○	×	×	
			P55	○	○	×	×	
			P27	○	○	○	○	
	TMR13 (入力)		P34	○	○	○	○	
		PA6	○	○	○	○		
		P30	○	○	○	○		
			P33	○	○	×	×	

表 23.1 多機能端子の割り当て端子一覧 (10 / 18)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
コンペアマッチ タイマW	CMTW0	TOC0 (出力)	PC7	○	○	○	○
		TIC0 (入力)	PC6	○	○	○	○
		TOC1 (出力)	PE7	○	○	○	○
		TIC1 (入力)	PE6	○	○	○	○
	CMTW1	TOC2 (出力)	PD3	○	○	○	○
		TIC2 (入力)	PD2	○	○	○	○
		TOC3 (出力)	PE3	○	○	×	×
		TIC3 (入力)	PE2	○	○	○	×
リアルタイムクロック	RTCOUT (出力)		P16	○	○	○	×
			P32	○	○	×	×
	RTCIC0 (入力) (注1)	P30	○	○	○	×	
	RTCIC1 (入力) (注1)	P31	○	○	○	×	
バッテリーバックアップ	TAMPI0 (入力) (注1)	P30	○	○	○	×	
	TAMPI1 (入力) (注1)	P31	○	○	○	×	
	TAMPI2 (入力) (注1)	P32	○	○	×	×	
シリアル コミュニケーション インタフェース	SCIO	RXD0 (入力) / SMISO0 (入出力) / SSCL0 (入出力)	P21	○	○	×	×
			P33	○	○	×	×
		TXD0 (出力) / SMOSI0 (入出力) / SSDA0 (入出力)	P20	○	○	×	×
			P32	○	○	×	×
		SCK0 (入出力)	P22	○	○	×	×
			P34	○	○	×	×
		CTS0# (入力) / RTS0# (出力) / SS0# (入力)	P23	○	○	×	×
			PJ3	○	○	×	×
	SC11	RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力)	P15	○	○	×	×
			P30	○	○	○	○
		TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力)	P16	○	○	○	○
			P26	○	○	○	○
		SCK1 (入出力)	P17	○	○	○	○
			P27	○	○	○	○
	CTS1# (入力) / RTS1# (出力) / SS1# (入力)	P14	○	○	×	×	
		P31	○	○	○	○	
	SC12	RXD2 (入力) / SMISO2 (入出力) / SSCL2 (入出力)	P12	○	○	○	○
			P52	○	○	×	×
		TXD2 (出力) / SMOSI2 (入出力) / SSDA2 (入出力)	P13	○	○	○	○
			P50	○	○	×	×
SCK2 (入出力)		P51	○	○	×	×	
CTS2# (入力) / RTS2# (出力) / SS2# (入力)		P54	○	○	×	×	
	PJ5	○	×	×	×		

表 23.1 多機能端子の割り当て端子一覧 (11 / 18)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
シリアル コミュニケーション インタフェース	SCI3	RXD3 (入力) /SMISO3 (入出力) / SSCL3 (入出力)	P16	○	○	○	○
			P25	○	○	×	×
		TXD3 (出力) /SMOSI3 (入出力) / SSDA3 (入出力)	P17	○	○	○	○
			P23	○	○	×	×
		SCK3 (入出力)	P15	○	○	×	×
			P24	○	○	×	×
	CTS3# (入力) /RTS3# (出力) / SS3# (入力)	P26	○	○	○	○	
	SCI4	RXD4 (入力) /SMISO4 (入出力) / SSCL4 (入出力)	PB0	○	×	×	×
			PB1	○	×	×	×
		TXD4 (出力) /SMOSI4 (入出力) / SSDA4 (入出力)	PB3	○	×	×	×
			PB2	○	×	×	×
	SCI5	RXD5 (入力) /SMISO5 (入出力) / SSCL5 (入出力)	PA2	○	○	○	○
			PA3	○	○	×	×
			PC2	○	○	×	×
		TXD5 (出力) /SMOSI5 (入出力) / SSDA5 (入出力)	PA4	○	○	○	○
			PC3	○	○	×	×
			SCK5 (入出力)	PA1	○	○	○
		PC1		○	○	○	×
		CTS5# (入力) /RTS5# (出力) / SS5# (入力)	PC4	○	○	○	○
	PA6		○	○	○	○	
	SCI6	RXD6 (入力) /SMISO6 (入出力) / SSCL6 (入出力)	PC0	○	○	○	×
			P01	○	×	×	×
			P33	○	○	×	×
		TXD6 (出力) /SMOSI6 (入出力) / SSDA6 (入出力)	PB0	○	○	×	×
			P00	○	×	×	×
			P32	○	○	×	×
		SCK6 (入出力)	PB1	○	○	×	×
			P02	○	×	×	×
P34			○	○	×	×	
CTS6# (入力) /RTS6# (出力) / SS6# (入力)		PB3	○	○	×	×	
		PB2	○	○	×	×	
SCI7	RXD7 (入力) /SMISO7 (入出力) / SSCL7 (入出力)	PJ3	○	○	×	×	
		P92	○	×	×	×	
	TXD7 (出力) /SMOSI7 (入出力) / SSDA7 (入出力)	P55	○	×	×	×	
		P90	○	×	×	×	
	SCK7 (入出力)	P56	○	×	×	×	
		P91	○	×	×	×	
	CTS7# (入力) /RTS7# (出力) / SS7# (入力)	P93	○	×	×	×	

表 23.1 多機能端子の割り当て端子一覧 (12 / 18)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
シリアル コミュニケーション インタフェース	SCI8	RXD8 (入力) / SMISO8 (入出力) / SSCL8 (入出力)	PC6	○	○	○	○
		TXD8 (出力) / SMOSI8 (入出力) / SSDA8 (入出力)	PC7	○	○	○	○
		SCK8 (入出力)	PC5	○	○	○	○
		CTS8# (入力) / RTS8# (出力) / SS8# (入力)	PC4	○	○	○	○
	SCI9	RXD9 (入力) / SMISO9 (入出力) / SSCL9 (入出力)	PB6	○	○	○	○
		TXD9 (出力) / SMOSI9 (入出力) / SSDA9 (入出力)	PB7	○	○	○	○
		SCK9 (入出力)	PB5	○	○	○	○
		CTS9# (入力) / RTS9# (出力) / SS9# (入力)	PB4	○	○	×	×
	SCI10	RXD10 (入力) / SMISO10 (入出力) / SSCL10 (入出力)	P81	○	×	×	×
			P86	○	×	×	×
			PC6	○	○	○	○
		TXD10 (出力) / SMOSI10 (入出力) / SSDA10 (入出力)	P82	○	×	×	×
			P87	○	×	×	×
			PC7	○	○	○	○
		SCK10 (入出力)	P80	○	×	×	×
			P83	○	×	×	×
			PC5	○	○	○	○
			P80	○	×	×	×
	RTS10# (出力)	P80	○	×	×	×	
	CTS10# (入力) / SS10# (入力)	P83	○	×	×	×	
	CTS10# (入力) / RTS10# (出力) / SS10# (入力)	PC4	○	○	○	○	
	SCI11	RXD11 (入力) / SMISO11 (入出力) / SSCL11 (入出力)	P76	○	×	×	×
			PB6	○	○	○	○
		TXD11 (出力) / SMOSI11 (入出力) / SSDA11 (入出力)	P77	○	×	×	×
			PB7	○	○	○	○
		SCK11 (入出力)	P75	○	×	×	×
			PB5	○	○	○	○
		RTS11# (出力)	P75	○	×	×	×
	CTS11# (入力) / SS11# (入力)	P74	○	×	×	×	
	SCI12	RXD12 (入力) / SMISO12 (入出力) / SSCL12 (入出力) / RXDX12 (入力)	PE2	○	○	○	×
			PA2	○	○	○	○
		TXD12 (出力) / SMOSI12 (入出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力)	PE1	○	○	○	×
PA4			○	○	○	○	
SCK12 (入出力)		PE0	○	○	○	×	
		PA1	○	○	○	○	
CTS12# (入力) / RTS12# (出力) / SS12# (入力)		PE3	○	○	×	×	
		PA6	○	○	○	○	

表23.1 多機能端子の割り当て端子一覧 (13 / 18)

モジュール/機能	チャネル	端子機能	割り当て ポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
シリアル コミュニケーション インタフェース	RSCI10	RXD010(入力)/SMISO010(入出力)/ SSCL010(入出力)	P81	○	×	×	×
			P86	○	×	×	×
			PC6	○	○	○	○
		TXD010(出力)/SMOSI010(入出力)/ SSDA010(入出力)	P82	○	×	×	×
			P87	○	×	×	×
			PC7	○	○	○	○
		SCK010(入出力)	P80	○	×	×	×
			P83	○	×	×	×
			PC5	○	○	○	○
		RTS010#(出力)	P80	○	×	×	×
		CTS010#(入力)/SS010#(入力)	P83	○	×	×	×
		CTS010#(入力)/RTS010#(出力)/ SS010#(入力)	PC4	○	○	○	○
	DE010(出力)	P80	○	×	×	×	
		PC4	○	○	○	○	
	RSCI11	RXD011(入力)/SMISO011(入出力)/ SSCL011(入出力)	P76	○	×	×	×
			PB6	○	○	○	○
			PC0	○	○	○	×
		TXD011(出力)/SMOSI011(入出力)/ SSDA011(入出力)	P77	○	×	×	×
			PB7	○	○	○	○
			PC1	○	○	○	×
		SCK011(入出力)	P75	○	×	×	×
			PB5	○	○	○	○
		TXDA011(出力)	PC1	○	○	○	×
		TXDB011(出力)	PC2	○	○	×	×
RTS011#(出力)		P75	○	×	×	×	
CTS011#(入力)/SS011#(入力)		P74	○	×	×	×	
CTS011#(入力)/RTS011#(出力)/ SS011#(入力)	PB4	○	○	×	×		
DE011(出力)	P75	○	×	×	×		
	PB4	○	○	×	×		
I ² Cバス インタフェース	RIIC0	SCL0[FM+](入出力)	P12	○	○	○	○
		SDA0[FM+](入出力)	P13	○	○	○	○
	RIIC1	SCL1(入出力)	P21	○	○	×	×
		SDA1(入出力)	P20	○	○	×	×
	RIIC2	SCL2-DS(入出力)	P16	○	○	○	○
		SDA2-DS(入出力)	P17	○	○	○	○
ハイスピードI ² Cバス インタフェース	RIICHS0	SCLHS0[FM+/HS](入出力)	P12	○	○	○	○
		SDAHS0[FM+/HS](入出力)	P13	○	○	○	○

表 23.1 多機能端子の割り当て端子一覧 (14 / 18)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ				
				145ピン 144ピン	100ピン	64ピン	48ピン	
USB2.0FSホスト/ ファンクション モジュール	USB0	USB0_DP(入出力)(注1)	PH1	○	○	○	×	
		USB0_DM(入出力)(注1)	PH2	○	○	○	×	
		USB0_VBUS (入力)	P16	○	○	○	×	
		USB0_EXICEN (出力)	P21	○	○	×	×	
			USB0_VBUSEN (出力)	P16	○	○	×	×
				P24	○	○	×	×
			P32	○	○	×	×	
		USB0_OVRCURA (入力)	P14	○	○	×	×	
		USB0_OVRCURB (入力)	P16	○	○	×	×	
	P22		○	○	×	×		
	USB0_ID (入力)	P20	○	○	×	×		
	USB1	USB1_VBUS (入力)	P73	○(注4)	×	×	×	
		USB1_EXICEN (出力)	P80	○(注4)	×	×	×	
		USB1_VBUSEN (出力)	P73	○(注4)	×	×	×	
			P74	○(注4)	×	×	×	
			P82	○(注4)	×	×	×	
		USB1_OVRCURA (入力)	P75	○(注4)	×	×	×	
		USB1_OVRCURB (入力)	P73	○(注4)	×	×	×	
P81			○(注4)	×	×	×		
USB1_ID (入力)	P77	○(注4)	×	×	×			
CANモジュール	CAN0	CRX0 (入力)	P33	○	○	×	×	
			PD2	○	○	×	×	
		CTX0 (出力)	P32	○	○	×	×	
			PD1	○	○	×	×	
	CAN1	CRX1-DS (入力)	P15	○	○	×	×	
		CRX1 (入力)	P55	○	○	×	×	
		CTX1 (出力)	P14	○	○	×	×	
			P54	○	○	×	×	
シリアルペリフェラル インターフェース	RSPIO	RSPCKA (入出力)	PA5	○	○	×	×	
			PC5	○	○	○	○	
		MOSIA (入出力)	PA6	○	○	○	○	
			PC6	○	○	○	○	
		MISOA (入出力)	PA7	○	○	○	×	
			PC7	○	○	○	○	
		SSLA0 (入出力)	PA4	○	○	○	○	
			PC4	○	○	○	○	
		SSLA1 (出力)	PA0	○	○	×	×	
			PC0	○	○	○	×	
		SSLA2 (出力)	PA1	○	○	○	○	
			PC1	○	○	○	×	
SSLA3 (出力)	PA2	○	○	○	○			
	PC2	○	○	×	×			

表 23.1 多機能端子の割り当て端子一覧 (15 / 18)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
シリアルペリフェラル インタフェース	RSP11	RSPCKB (入出力)	P27	○	○	○	○
			PE5	○	○	×	×
		MOSIB (入出力)	P26	○	○	○	○
			PE6	○	○	○	○
		MISOB (入出力)	P30	○	○	○	○
			PE7	○	○	○	○
		SSLB0 (入出力)	P31	○	○	○	○
			PE4	○	○	×	×
		SSLB1 (出力)	P50	○	○	×	×
			PE0	○	○	○	×
		SSLB2 (出力)	P51	○	○	×	×
			PE1	○	○	○	×
		SSLB3 (出力)	P52	○	○	×	×
			PE2	○	○	○	×
	RSP12	RSPCKC (入出力)	P56	○	×	×	×
			PD3	○	○	×	×
		MOSIC (入出力)	P54	○	○	×	×
			PD1	○	○	×	×
		MISOC (入出力)	P55	○	○	×	×
			PD2	○	○	×	×
		SSLC0 (入出力)	PD4	○	○	×	×
SSLC1 (出力)		PD5	○	○	×	×	
SSLC2 (出力)	PD6	○	○	×	×		
SSLC3 (出力)	PD7	○	○	×	×		
シリアルペリフェラル インタフェース	RSP1A0	RSPCK0 (入出力)	PA5	○	○	×	×
			PC5	○	○	○	○
		MOSI0 (入出力)	PA6	○	○	○	○
			PC6	○	○	○	○
		MISO0 (入出力)	PA7	○	○	○	×
			PC7	○	○	○	○
		SSL00 (入出力)	PA4	○	○	○	○
			PC4	○	○	○	○
		SSL01 (出力)	PA0	○	○	×	×
			PC0	○	○	○	×
		SSL02 (出力)	PA1	○	○	○	○
			PC1	○	○	○	×
		SSL03 (出力)	PA2	○	○	○	○
			PC2	○	○	×	×

表 23.1 多機能端子の割り当て端子一覧 (16 / 18)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
クワッドSPIメモリアンタフェース		QSPCLK (出力)	P77	○	×	×	×
			PD5	○	○	○	○
		QSSL (出力)	P76	○	×	×	×
			PD4	○	○	○	○
		QIO0 (入出力)	PC3	○	○	×	×
			PD6	○	○	○	×
			PE6	○	○	○	○
		QIO1 (入出力)	PC4	○	○	○	○
			PD7	○	○	○	×
			PE7	○	○	○	○
		QIO2 (入出力)	P80	○	×	×	×
			PD2	○	○	○	○
		QIO3 (入出力)	P81	○	×	×	×
			PD3	○	○	○	○
シリアルサウンド インタフェース	SSIE	AUDIO_CLK (入力)	P22	○	○	×	×
			PC4	○	○	○	○
	SSIE0	SSIBCK0 (入出力)	P23	○	○	×	×
			PC5	○	○	○	○
		SSILRCK0 (入出力)	P21	○	○	×	×
			PC6	○	○	○	○
	SSIRXD0 (入力)	P20	○	○	×	×	
		P53	○	○	○	○	
	SSITXD0 (出力)	P17	○	○	○	○	
		PC7	○	○	○	○	
SDホストインタフェース		SDHI_CLK (出力)	P21	○	○	×	×
			P77	○	×	×	×
			PD5	○	○	○	○
		SDHI_CMD (入出力)	P20	○	○	×	×
			P76	○	×	×	×
			PD4	○	○	○	○
		SDHI_CD (入力)	P25	○	○	×	×
			P81	○	×	×	×
			PA1	○	○	○	○
			PE6	○	○	○	○
		SDHI_WP (入力)	P24	○	○	×	×
			P80	○	×	×	×
			PA2	○	○	○	○
			PE7	○	○	○	○
		SDHI_D0 (入出力)	P22	○	○	×	×
			PC3	○	○	×	×
PD6	○		○	○	×		
PE6	○		○	○	○		

表23.1 多機能端子の割り当て端子一覧 (17 / 18)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
SDホストインタフェース	SDHI_D1 (入出力)	P23	○	○	×	×	
		PC4	○	○	○	○	
		PD7	○	○	○	×	
		PE7	○	○	○	○	
	SDHI_D2 (入出力)	P75	○	×	×	×	
		P87	○	×	×	×	
		PD2	○	○	○	○	
	SDHI_D3 (入出力)	P17	○	○	○	○	
		PC2	○	○	×	×	
		PD3	○	○	○	○	
12ビットA/Dコンバータ	AN000 (入力)(注1)	P40	○	○	○	○	
	AN001 (入力)(注1)	P41	○	○	○	○	
	AN002 (入力)(注1)	P42	○	○	○	○	
	AN003 (入力)(注1)	P43	○	○	○	○	
	AN004 (入力)(注1)	P44	○	○	×	×	
	AN005 (入力)(注1)	P45	○	○	×	×	
	AN006 (入力)(注1)	P46	○	○	×	×	
	AN007 (入力)(注1)	P47	○	○	×	×	
	ADTRG0# (入力)	P07	○	○	×	×	
		P16	○	○	○	○	
		P25	○	○	×	×	
	AN100 (入力)(注1)	PD7	○	○	○	×	
	AN101 (入力)(注1)	PD6	○	○	○	×	
	AN102 (入力)(注1)	PD5	○	○	○	○	
	AN103 (入力)(注1)	PD4	○	○	○	○	
	AN104 (入力)(注1)	PD3	○	○	○	○	
	AN105 (入力)(注1)	PD2	○	○	○	○	
	AN106 (入力)(注1)	PD1	○	○	×	×	
	AN107 (入力)(注1)	PD0	○	○	×	×	
	AN108 (入力)(注1)	P90	○	×	×	×	
	AN109 (入力)(注1)	P02	○	×	×	×	
	AN110 (入力)(注1)	P01	○	×	×	×	
	AN111 (入力)(注1)	P00	○	×	×	×	
	ANEX0 (出力)(注1)	PE0	○	○	○	×	
	ANEX1 (入力)(注1)	PE1	○	○	○	×	
	ADTRG1# (入力)	P13	○	○	○	○	
P17		○	○	○	○		
クロック発生回路	CLKOUT (出力)	P25	○	○	×	×	
	EXCIN (入力)(注1)	PJ3	○	○	×	×	
	EXTAL (入力)(注1)	P36	○	○	○	○	
	XTAL (出力)(注1)	P37	○	○	○	○	
クロック周波数精度測定回路	CACREF (入力)	PA0	○	○	×	×	
		PC7	○	○	○	○	

表 23.1 多機能端子の割り当て端子一覧 (18 / 18)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ			
				145ピン 144ピン	100ピン	64ピン	48ピン
静電容量式タッチセンサ		TSCAP (—)	PC4	○	○	○	○
		TS0 (出力)	P34	○	○	○	○
		TS1 (出力)	P33	○	○	×	×
		TS2 (出力)	P27	○	○	○	○
		TS3 (出力)	P26	○	○	○	○
		TS4 (出力)	P25	○	○	×	×
		TS5 (出力)	P24	○	○	×	×
		TS6 (出力)	P23	○	○	×	×
		TS7 (出力)	P22	○	○	×	×
		TS8 (出力)	P21	○	○	×	×
		TS9 (出力)	P20	○	○	×	×
		TS10 (出力)	P15	○	○	×	×
		TS11 (出力)	P14	○	○	×	×
		TS12 (出力)	P53	○	○	○	○
		TS13 (出力)	PC6	○	○	○	○
		TS14 (出力)	PC5	○	○	○	○
		TS15 (出力)	PC1	○	○	○	×
TS16 (出力)	PC0	○	○	○	×		
リモコン信号受信機能	REMC0	PMC0-DS (入力) ^(注1)	P53	○	○	○	○
			PB3	○	○	×	×
			PC3	○	○	×	×

注1. この端子を使用する場合は、該当端子の設定を汎用入力にしてください(PORTm.PDR.BnビットおよびPORTm.PMR.Bnビットを“0”にする)。

注2. 145ピンTFLGA(0.65mmピッチ)にはありません。

注3. 64ピンTFBGAにはありません。

注4. 145ピンTFLGA(0.65mmピッチ)のみ対応。

23.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

23.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス 0008 C11Fh

b7	b6	b5	b4	b3	b2	b1	b0
B0WI	PFSWE	—	—	—	—	—	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可	R/W
b7	B0WI	PFSWEビット書き込み禁止ビット	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

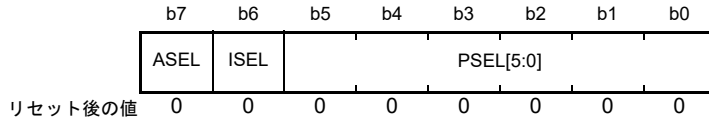
PFSWE ビットを“1”にする場合は、B0WI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

B0WI ビット (PFSWE ビット書き込み禁止ビット)

B0WI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

23.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0 ~ 3, 5, 7)

アドレス P00PFS 0008 C140h, P01PFS 0008 C141h, P02PFS 0008 C142h, P03PFS 0008 C143h,
P05PFS 0008 C145h, P07PFS 0008 C147h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.2、表23.3を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P00 : IRQ8 (145/144ピン) P01 : IRQ9 (145/144ピン) P02 : IRQ10 (145/144ピン) P03 : IRQ11 (145/144ピン) P05 : IRQ13 (145/144/100/64ピン) P07 : IRQ15 (145/144/100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P00 : AN111 (145/144ピン) P01 : AN110 (145/144ピン) P02 : AN109 (145/144ピン)	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。PSEL[5:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を2つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ (PORTm.PMR) で汎用入出力ポートを選択し、ポート方向レジスタ (PORTm.PDR) で入力としてください。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

IRQn 機能のない端子の ISEL ビットは予約です。アナログ入出力機能のない端子の ASEL ビットは予約です。

表23.2 145ピンTFLGA, 144ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	P00	P01	P02	P07
000000b (初期値)	Hi-Z			
000101b	TMRI0	TMCI0	TMCI1	—
001001b	—	—	—	ADTRG0#
001010b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6	—

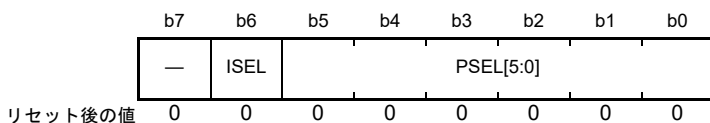
— : 設定しないでください。

表 23.3 100ピンTFLGA, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子
000000b (初期値)	Hi-Z
001001b	ADTRG0#

23.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 2 ~ 7)

アドレス P12PFS 0008 C14Ah, P13PFS 0008 C14Bh, P14PFS 0008 C14Ch, P15PFS 0008 C14Dh, P16PFS 0008 C14Eh, P17PFS 0008 C14Fh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.4、表23.5を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P12 : IRQ2 (145/144/100/64/48ピン) P13 : IRQ3 (145/144/100/64/48ピン) P14 : IRQ4 (145/144/100ピン) P15 : IRQ5 (145/144/100ピン) P16 : IRQ6 (145/144/100/64/48ピン) P17 : IRQ7 (145/144/100/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表23.4 145ピンTFLGA, 144ピンLFQFP, 100ピンTFLGA, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子					
	P12	P13	P14	P15	P16	P17
000000b (初期値)	Hi-Z					
000001b	MTIC5U	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
000010b	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
000011b	—	TIOCA5	TIOCB5	TIOCB2	TIOCB1	TIOCB0
000100b	—	—	TCLKA	TCLKB	TCLKC	TCLKD
000101b	TMCI1	TMO3	TMRI2	TMCI2	TMO2	TMO1
000110b	—	PO13	PO15	PO13	PO14	PO15
000111b	—	—	—	—	RTCOUT	POE8#
001000b	—	—	—	—	—	MTIOC4B
001001b	—	ADTRG1#	—	—	ADTRG0#	ADTRG1#
001010b	RXD2 SMISO2 SSCL2	TXD2 SMOSI2 SSDA2	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
001011b	—	—	CTS1# RTS1# SS1#	SCK3	RXD3 SMISO3 SSCL3	TXD3 SMOSI3 SSDA3
001111b	SCL0[FM+]	SDA0[FM+]	—	—	SCL2-DS	SDA2-DS
010000b	—	—	CTX1	CRX1-DS	—	—
010001b	—	—	—	—	USB0_VBUS	—
010010b	—	—	USB0_OVRC URA	—	USB0_VBUS N	—
010011b	—	—	—	—	USB0_OVRC URB	—
010111b	—	—	—	—	—	SSITXD0
011010b	—	—	—	—	—	SDHI_D3-C
101011b	—	—	TS11	TS10	—	—
101111b	SCLHS0[FM+/ HS]	SDAHS0[FM+/ HS]	—	—	—	—

— : 設定しないでください。

表23.5 64ピンTFBGA, 64ピンLFQFP, 48ピンHWQFN端子入出力機能レジスタ設定

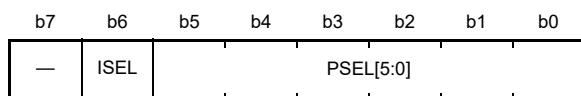
PSEL[5:0]ビット 設定値	端子			
	P12	P13	P16	P17
000000b (初期値)	Hi-Z			
000001b	MTIC5U	MTIOC0B	MTIOC3C	MTIOC3A
000010b	—	—	MTIOC3D	MTIOC3B
000011b	—	TIOCA5	TIOCB1	TIOCB0
000100b	—	—	TCLKC	TCLKD
000101b	TMCI1	TMO3	TMO2	TMO1
000111b	—	—	RTCOUT (注1)	POE8#
001000b	—	—	—	MTIOC4B
001001b	—	ADTRG1#	ADTRG0#	ADTRG1#
001010b	RXD2 SMISO2 SSCL2	TXD2 SMOSI2 SSDA2	TXD1 SMOSI1 SSDA1	SCK1
001011b	—	—	RXD3 SMISO3 SSCL3	TXD3 SMOSI3 SSDA3
001111b	SCL0[FM+]	SDA0[FM+]	SCL2-DS	SDA2-DS
010001b (注1)	—	—	USB0_VBUS	—
010111b	—	—	—	SSITXD0
011010b	—	—	—	SDHI_D3-C
101111b	SCLHS0[FM+/ HS]	SDAHS0[FM+/ HS]	—	—

— : 設定しないでください。

注1. 48ピンは未対応

23.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7)

アドレス P20PFS 0008 C150h, P21PFS 0008 C151h, P22PFS 0008 C152h, P23PFS 0008 C153h,
P24PFS 0008 C154h, P25PFS 0008 C155h, P26PFS 0008 C156h, P27PFS 0008 C157h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.6、表23.7を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P20 : IRQ8 (145/144/100ピン) P21 : IRQ9 (145/144/100ピン) P22 : IRQ15 (145/144/100ピン) P23 : IRQ3 (145/144/100ピン) P24 : IRQ12 (145/144/100ピン) P25 : IRQ5 (145/144/100ピン) P26 : IRQ6 (145/144/100/64/48ピン) P27 : IRQ7 (145/144/100/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 23.6 145ピンTFLGA, 144ピンLFQFP, 100ピンTFLGA, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
000000b (初期値)	Hi-Z							
000001b	MTIOC1A	MTIOC1B	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	MTIOC2A	MTIOC2B
000010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB	—	—
000011b	TIOCB3	TIOCA3	TIOCC3	TIOCD3	TIOCB4	TIOCA4	—	—
000101b	TMRI0	TMCIO	TMO0	—	TMRI1	—	TMO1	TMCIO3
000110b	PO0	PO1	PO2	PO3	PO4	PO5	PO6	PO7
001000b	—	MTIOC4A	—	—	—	—	—	—
001001b	—	—	—	—	—	ADTRG0#	—	—
001010b	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0	TXD3 SMOSI3 SSDA3	SCK3	RXD3 SMISO3 SSCL3	TXD1 SMOSI1 SSDA1	SCK1
001011b	—	—	—	CTS0# RTS0# SS0#	—	—	CTS3# RTS3# SS3#	—
001101b	—	—	—	—	—	—	MOSIB-A	RSPCKB-A
001111b	SDA1	SCL1	—	—	—	—	—	—
010011b	USB0_ID	USB0_EXICE N	USB0_OVRC URB	—	USB0_VBUSE N	—	—	—
010111b	SSIRXD0	SSILRCK0	AUDIO_CLK	SSIBCK0	—	—	—	—
011000b	—	—	EDREQ0	EDACK0	EDREQ1	EDACK1	—	—
011010b	SDHI_CMD-C	SDHI_CLK-C	SDHI_D0-C	SDHI_D1-C	SDHI_WP	SDHI_CD	—	—
101010b	—	—	—	—	—	CLKOUT	—	—
101011b	TS9	TS8	TS7	TS6	TS5	TS4	TS3	TS2

— : 設定しないでください。

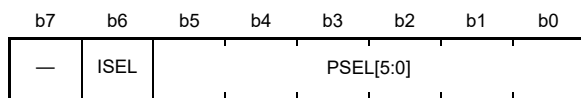
表 23.7 64ピンTFBGA, 64ピンLFQFP, 48ピンHWQFN端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子	
	P26	P27
000000b (初期値)	Hi-Z	
000001b	MTIOC2A	MTIOC2B
000101b	TMO1	TMCI3
001010b	TXD1 SMOS1 SSDA1	SCK1
001011b	CTS3# RTS3# SS3#	—
001101b	MOSIB-A	RSPCKB-A
101011b	TS3	TS2

— : 設定しないでください。

23.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 4)

アドレス P30PFS 0008 C158h, P31PFS 0008 C159h, P32PFS 0008 C15Ah, P33PFS 0008 C15Bh, P34PFS 0008 C15Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.8、表23.9を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P30 : IRQ0-DS (145/144/100/64/48ピン) P31 : IRQ1-DS (145/144/100/64/48ピン) P32 : IRQ2-DS (145/144/100ピン) P33 : IRQ3-DS (145/144/100ピン) P34 : IRQ4 (145/144/100/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表23.8 145ピンTFLGA, 144ピンLFQFP, 100ピンTFLGA, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子				
	P30	P31	P32	P33	P34
000000b (初期値)	Hi-Z				
000001b	MTIOC4B	MTIOC4D	MTIOC0C	MTIOC0D	MTIOC0A
000011b	—	—	TIOCC0	TIOCD0	—
000101b	TMRI3	TMCI2	TMO3	TMRI3	TMCI3
000110b	PO8	PO9	PO10	PO11	PO12
000111b	POE8#	—	RTCOUT	—	POE10#
001000b	—	—	POE0#	POE4#	—
001010b	RXD1 SMISO1 SSCL1	—	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6
001011b	—	CTS1# RTS1# SS1#	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0
001101b	MISOB-A	SSLB0-A	—	—	—
010000b	—	—	CTX0	CRX0	—
010011b	—	—	USB0_VBUSEN	—	—
011000b	—	—	—	EDREQ1	—
100001b	—	—	POE10#	POE11#	—
101011b	—	—	—	TS1	TS0

— : 設定しないでください。

表 23.9 64ピンTFBGA, 64ピンLFQFP, 48ピンHWQFN端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子		
	P30	P31	P34
000000b (初期値)	Hi-Z		
000001b	MTIOC4B	MTIOC4D	MTIOC0A
000101b	TMRI3	TMCI2	TMCI3
000111b	POE8#	—	POE10#
001010b	RXD1 SMISO1 SSCL1	—	—
001011b	—	CTS1# RTS1# SS1#	—
001101b	MISOB-A	SSLB0-A	—
101011b	—	—	TS0

— : 設定しないでください。

23.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)

アドレス P40PFS 0008 C160h, P41PFS 0008 C161h, P42PFS 0008 C162h, P43PFS 0008 C163h,
P44PFS 0008 C164h, P45PFS 0008 C165h, P46PFS 0008 C166h, P47PFS 0008 C167h

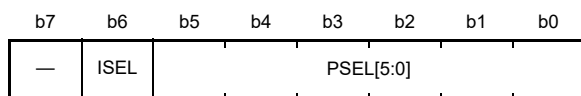
b7	b6	b5	b4	b3	b2	b1	b0
ASEL	ISEL	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P40 : IRQ8-DS (145/144/100/64/48ピン) P41 : IRQ9-DS (145/144/100/64/48ピン) P42 : IRQ10-DS (145/144/100/64/48ピン) P43 : IRQ11-DS (145/144/100/64/48ピン) P44 : IRQ12-DS (145/144/100ピン) P45 : IRQ13-DS (145/144/100ピン) P46 : IRQ14-DS (145/144/100ピン) P47 : IRQ15-DS (145/144/100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000 (145/144/100/64/48ピン) P41 : AN001 (145/144/100/64/48ピン) P42 : AN002 (145/144/100/64/48ピン) P43 : AN003 (145/144/100/64/48ピン) P44 : AN004 (145/144/100ピン) P45 : AN005 (145/144/100ピン) P46 : AN006 (145/144/100ピン) P47 : AN007 (145/144/100ピン)	R/W

23.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 6)

アドレス P50PFS 0008 C168h, P51PFS 0008 C169h, P52PFS 0008 C16Ah, P53PFS 0008 C16Bh,
P54PFS 0008 C16Ch, P55PFS 0008 C16Dh, P56PFS 0008 C16Eh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.10、表23.11、表23.12を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P50 : IRQ0 (145/144/100ピン) P51 : IRQ1 (145/144/100ピン) P52 : IRQ2 (145/144/100ピン) P53 : IRQ3 (145/144/100/64/48ピン) P54 : IRQ4 (145/144/100ピン) P55 : IRQ10 (145/144/100ピン) P56 : IRQ6 (145/144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表23.10 145ピンTFLGA, 144ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子						
	P50	P51	P52	P53	P54	P55	P56
000000b (初期値)	Hi-Z						
000001b	—	—	—	—	MTIOC4B	MTIOC4D	MTIOC3C
000011b	—	—	—	—	—	—	TIOCA1
000101b	—	—	—	—	TMCI1	TMO3	—
001010b	TXD2 SMOSI2 SSDA2	SCK2	RXD2 SMISO2 SSCL2	—	—	TXD7 SMOSI7 SSDA7	SCK7
001011b	—	—	—	—	CTS2# RTS2# SS2#	—	—
001101b	SSLB1-A	SSLB2-A	SSLB3-A	—	MOSIC-B	MISOC-B	RSPCKC-B
010000b	—	—	—	—	CTX1	CRX1	—
010111b	—	—	—	SSIRXD0	—	—	—
011000b	—	—	—	—	EDACK0	EDREQ0	EDACK1
101011b	—	—	—	TS12	—	—	—

— : 設定しないでください。

表 23.11 100ピンTFLGA, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子					
	P50	P51	P52	P53	P54	P55
000000b (初期値)	Hi-Z					
000001b	—	—	—	—	MTIOC4B	MTIOC4D
000101b	—	—	—	—	TMCI1	TMO3
001010b	TXD2 SMOSI2 SSDA2	SCK2	RXD2 SMISO2 SSCL2	—	—	—
001011b	—	—	—	—	CTS2# RTS2# SS2#	—
001101b	SSLB1-A	SSLB2-A	SSLB3-A	—	MOSIC-B	MISOC-B
010000b	—	—	—	—	CTX1	CRX1
010111b	—	—	—	SSIRXD0	—	—
011000b	—	—	—	—	EDACK0	EDREQ0
101011b	—	—	—	TS12	—	—

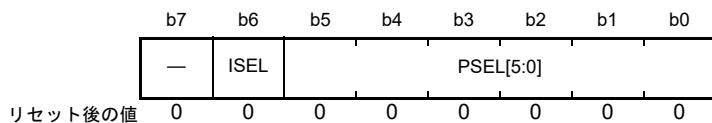
— : 設定しないでください。

表 23.12 64ピンTFBGA, 64ピンLFQFP, 48ピンHWQFN端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子
	P53
000000b (初期値)	Hi-Z
010111b	SSIRXD0
101011b	TS12

23.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ~ 7)

アドレス P60PFS 0008 C170h, P61PFS 0008 C171h, P62PFS 0008 C172h, P63PFS 0008 C173h,
P64PFS 0008 C174h, P65PFS 0008 C175h, P66PFS 0008 C176h, P67PFS 0008 C177h



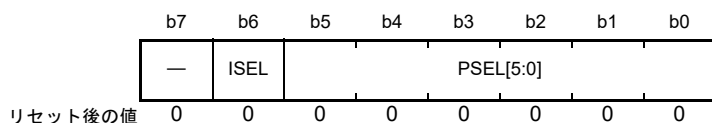
ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.13を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P60 : IRQ0 (145/144ピン) P61 : IRQ1 (145/144ピン) P62 : IRQ2 (145/144ピン) P63 : IRQ3 (145/144ピン) P64 : IRQ4 (145/144ピン) P65 : IRQ13 (145/144ピン) P66 : IRQ14 (145/144ピン) P67 : IRQ15 (145/144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 23.13 145ピンTFLGA, 144ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子	
	P66	P67
000000b (初期値)	Hi-Z	
001000b	MTIOC7D	MTIOC7C

23.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ~ 7)

アドレス P70PFS 0008 C178h, P71PFS 0008 C179h, P72PFS 0008 C17Ah, P73PFS 0008 C17Bh,
P74PFS 0008 C17Ch, P75PFS 0008 C17Dh, P76PFS 0008 C17Eh, P77PFS 0008 C17Fh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.14を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P70 : IRQ0 (145/144ピン) P71 : IRQ1 (145/144ピン) ^(注1) P72 : IRQ10 (145/144ピン) ^(注1) P73 : IRQ8 (145/144ピン) P74 : IRQ12 (145/144ピン) P75 : IRQ13 (145/144ピン) P76 : IRQ14 (145/144ピン) P77 : IRQ7 (145/144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 145ピンTFLGA (0.65mmピッチ)にはP71、P72はありません。

表23.14 145ピンTFLGA, 144ピンLFQFP端子入出力機能レジスタ設定

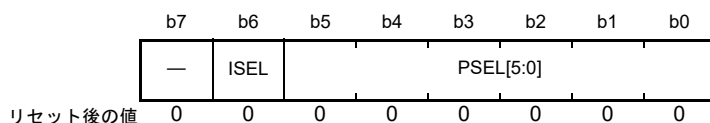
PSEL[5:0]ビット 設定値	端子				
	P73	P74	P75	P76	P77
000000b (初期値)	Hi-Z				
000110b	PO16	PO19	PO20	PO22	PO23
001010b	—	—	SCK11	RXD11 SMISO11 SSCL11	TXD11 SMOSI11 SSDA11
001011b	—	CTS11# SS11#	RTS11#	—	—
010001b ^(注1)	USB1_VBUS	—	—	—	—
010010b ^(注1)	USB1_VBUSEN	—	USB1_OVRCURA	—	—
010011b ^(注1)	USB1_OVRCURB	USB1_VBUSEN	—	—	USB1_ID
011010b	—	—	SDHI_D2-A	SDHI_CMD-A	SDHI_CLK-A
011011b	—	—	—	QSSL-A	QSPCLK-A
101100b	—	—	SCK011	RXD011 SMISO011 SSCL011	TXD011 SMOSI011 SSDA011
101101b	—	CTS011# SS011#	RTS011#	—	—
101110b	—	—	DE011	—	—

— : 設定しないでください。

注1. 145ピンTFLGA (0.65mmピッチ)のみ対応

23.2.10 P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ~ 3, 6, 7)

アドレス P80PFS 0008 C180h, P81PFS 0008 C181h, P82PFS 0008 C182h, P83PFS 0008 C183h, P86PFS 0008 C186h, P87PFS 0008 C187h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.15を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P80 : IRQ8 (145/144ピン) P81 : IRQ9 (145/144ピン) P82 : IRQ2 (145/144ピン) P83 : IRQ3 (145/144ピン) P86 : IRQ14 (145/144ピン) P87 : IRQ15 (145/144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表23.15 145ピンTFLGA, 144ピンLFQFP端子入出力機能レジスタ設定

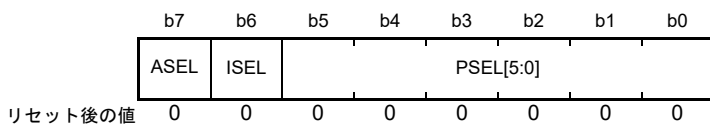
PSEL[5:0]ビット 設定値	端子					
	P80	P81	P82	P83	P86	P87
000000b (初期値)	Hi-Z					
000001b	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	—	—
000011b	—	—	—	—	TIOCA0	TIOCA2
000110b	PO26	PO27	PO28	—	—	—
001000b	—	—	—	—	MTIOC4D	MTIOC4C
001010b	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10
001011b	RTS10#	—	—	CTS10# SS10#	—	—
010011b (注1)	USB1_EXICEN	USB1_OVRCURB	USB1_VBUSEN	—	—	—
011000b	EDREQ0	EDACK0	EDREQ1	EDACK1	—	—
011010b	SDHI_WP	SDHI_CD	—	—	—	SDHI_D2-C
011011b	QIO2-A	QIO3-A	—	—	—	—
101100b	SCK010	RXD010 SMISO010 SSCL010	TXD010 SMOSI010 SSDA010	SCK010	RXD010 SMISO010 SSCL010	TXD010 SMOSI010 SSDA010
101101b	RTS010#	—	—	CTS010# SS010#	—	—
101110b	DE010	—	—	—	—	—

— : 設定しないでください。

注1. 145ピンTFLGA (0.65mmピッチ)のみ対応

23.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 3)

アドレス P90PFS 0008 C188h, P91PFS 0008 C189h, P92PFS 0008 C18Ah, P93PFS 0008 C18Bh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.16を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P90 : IRQ0 (145/144ピン) P91 : IRQ9 (145/144ピン) P92 : IRQ10 (145/144ピン) P93 : IRQ11 (145/144ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P90 : AN108 (145/144ピン)	R/W

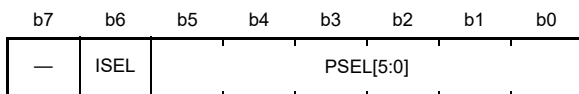
表23.16 145ピンTFLGA, 144ピンLFQFP 端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	P90	P91	P92	P93
000000b (初期値)	Hi-Z			
001000b	—	—	POE4#	POE0#
001010b	TXD7 SMOSI7 SSDA7	SCK7	RXD7 SMISO7 SSCL7	—
001011b	—	—	—	CTS7# RTS7# SS7#

— : 設定しないでください。

23.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)

アドレス PA0PFS 0008 C190h, PA1PFS 0008 C191h, PA2PFS 0008 C192h, PA3PFS 0008 C193h, PA4PFS 0008 C194h, PA5PFS 0008 C195h, PA6PFS 0008 C196h, PA7PFS 0008 C197h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.17、表23.18、表23.19を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PA0 : IRQ0 (145/144/100ピン) PA1 : IRQ11 (145/144/100/64/48ピン) PA2 : IRQ10 (145/144/100/64/48ピン) PA3 : IRQ6-DS (145/144/100ピン) PA4 : IRQ5-DS (145/144/100/64/48ピン) PA5 : IRQ5 (145/144/100ピン) PA6 : IRQ14 (145/144/100/64/48ピン) PA7 : IRQ7 (145/144/100/64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表23.17 145ピンTFLGA, 144ピンLFQFP, 100ピンTFLGA, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
000000b (初期値)	Hi-Z							
000001b	MTIOC4A	MTIOC0B	—	MTIOC0D	MTIC5U	—	MTIC5V	—
000010b	—	MTCLKC	—	MTCLKD	MTCLKA	—	MTCLKB	—
000011b	TIOCA0	TIOCB0	—	TIOC0D	TIOCA1	TIOCB1	TIOCA2	TIOCB2
000100b	—	—	—	TCLKB	—	—	—	—
000101b	—	—	—	—	TMRI0	—	TMCI3	—
000110b	PO16	PO17	PO18	PO19	PO20	PO21	PO22	PO23
000111b	CACREF	—	—	—	—	—	POE10#	—
001000b	MTIOC6D	MTIOC7B	MTIOC7A	—	—	MTIOC6B	—	—
001010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—	—
001011b	—	—	—	—	—	—	CTS5# RTS5# SS5#	—
001100b	—	SCK12	RXD12 SMISO12 SSCL12 RXDX12	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	CTS12# RTS12# SS12#	—
001101b	SSLA1-B	SSLA2-B	SSLA3-B	—	SSLA0-B	RSPCKA-B	MOSIA-B	MISOA-B
001110b	SSL01-B	SSL02-B	SSL03-B	—	SSL00-B	RSPCK0-B	MOSI0-B	MIS00-B
110001b	—	SDHI_CD	SDHI_WP	—	—	—	—	—

— : 設定しないでください。

表 23.18 64ピンTFBGA, 64ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子				
	PA1	PA2	PA4	PA6	PA7
000000b (初期値)	Hi-Z				
000001b	MTIOC0B	—	MTIC5U	MTIC5V	—
000010b	MTCLKC	—	MTCLKA	MTCLKB	—
000011b	TIOCB0	—	TIOCA1	TIOCA2	TIOCB2
000101b	—	—	TMRI0	TMCI3	—
000111b	—	—	—	POE10#	—
001000b	MTIOC7B	MTIOC7A	—	—	—
001010b	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—
001011b	—	—	—	CTS5# RTS5# SS5#	—
001100b	SCK12	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	CTS12# RTS12# SS12#	—
001101b	SSLA2-B	SSLA3-B	SSLA0-B	MOSIA-B	MISOA-B
001110b	SSL02-B	SSL03-B	SSL00-B	MOSI0-B	MIS00-B
110001b	SDHI_CD	SDHI_WP	—	—	—

— : 設定しないでください。

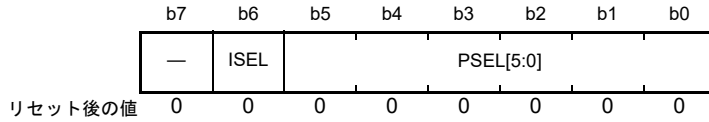
表 23.19 48ピンHWQFN端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	PA1	PA2	PA4	PA6
000000b (初期値)	Hi-Z			
000001b	MTIOC0B	—	MTIC5U	MTIC5V
000010b	MTCLKC	—	MTCLKA	MTCLKB
000011b	TIOCB0	—	TIOCA1	TIOCA2
000101b	—	—	TMRI0	TMCI3
000111b	—	—	—	POE10#
001000b	MTIOC7B	MTIOC7A	—	—
001010b	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
001011b	—	—	—	CTS5# RTS5# SS5#
001100b	SCK12	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	CTS12# RTS12# SS12#
001101b	SSLA2-B	SSLA3-B	SSLA0-B	MOSIA-B
001110b	SSL02-B	SSL03-B	SSL00-B	MOSI0-B
110001b	SDHI_CD	SDHI_WP	—	—

— : 設定しないでください。

23.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)

アドレス PB0PFS 0008 C198h, PB1PFS 0008 C199h, PB2PFS 0008 C19Ah, PB3PFS 0008 C19Bh,
PB4PFS 0008 C19Ch, PB5PFS 0008 C19Dh, PB6PFS 0008 C19Eh, PB7PFS 0008 C19Fh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.20、表23.21を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PB0 : IRQ12 (145/144/100ピン) PB1 : IRQ4-DS (145/144/100ピン) PB2 : IRQ2 (145/144/100ピン) PB3 : IRQ3 (145/144/100ピン) PB4 : IRQ4 (145/144/100ピン) PB5 : IRQ13 (145/144/100/64/48ピン) PB6 : IRQ6 (145/144/100/64/48ピン) PB7 : IRQ15 (145/144/100/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表23.20 145ピンTFLGA, 144ピンLFQFP, 100ピンTFLGA, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
000000b (初期値)	Hi-Z							
000001b	MTIC5W	MTIOC0C	—	MTIOC0A	—	MTIOC2A	MTIOC3D	MTIOC3B
000010b	—	MTIOC4C	—	MTIOC4A	—	MTIOC1B	—	—
000011b	TIOCA3	TIOCB3	TIOCC3	TIOC3D	TIOCA4	TIOCB4	TIOCA5	TIOCB5
000100b	—	—	TCLKC	TCLKD	—	—	—	—
000101b	—	TMCIO	—	TMO0	—	TMR1	—	—
000110b	PO24	PO25	PO26	PO27	PO28	PO29	PO30	PO31
000111b	—	—	—	POE11#	—	POE4#	—	—
001010b	RXD4 (注1) SMISO4 (注1) SSCL4 (注1)	TXD4 (注1) SMOSI4 (注1) SSDA4 (注1)	CTS4# (注1) RTS4# (注1) SS4# (注1)	SCK4 (注1)	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
001011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	CTS6# RTS6# SS6#	SCK6	CTS9# RTS9# SS9#	—	—	—
100100b	—	—	—	—	CTS11# RTS11# SS11#	SCK11	RXD11 SMISO11 SSCL11	TXD11 SMOSI11 SSDA11
101100b	—	—	—	—	CTS011# (注2) RTS011# (注2) SS011#	SCK011	RXD011 SMISO011 SSCL011	TXD011 SMOSI011 SSDA011
101110b	—	—	—	—	DE011	—	—	—

— : 設定しないでください。

注1. 100ピンは未対応

注2. SCR1.CRSEP = 1のとき、CTS011#として使用できません。RTS011#としては使用できます。

表23.21 64ピンTFBGA, 64ピンLFQFP, 48ピンHWQFN端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子		
	PB5	PB6	PB7
00000b (初期値)	Hi-Z		
000001b	MTIOC2A	MTIOC3D	MTIOC3B
000010b	MTIOC1B	—	—
000011b	TIOCB4	TIOCA5	TIOCB5
000101b	TMR1	—	—
000111b	POE4#	—	—
001010b	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
100100b	SCK11	RXD11 SMISO11 SSCL11	TXD11 SMOSI11 SSDA11
101100b	SCK011	RXD011 SMISO011 SSCL011	TXD011 SMOSI011 SSDA011

— : 設定しないでください。

23.2.14 PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)

アドレス PC0PFS 0008 C1A0h, PC1PFS 0008 C1A1h, PC2PFS 0008 C1A2h, PC3PFS 0008 C1A3h, PC4PFS 0008 C1A4h, PC5PFS 0008 C1A5h, PC6PFS 0008 C1A6h, PC7PFS 0008 C1A7h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.22、表23.23、表23.24を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PC0 : IRQ14 (145/144/100/64ピン) PC1 : IRQ12 (145/144/100/64ピン) PC2 : IRQ10 (145/144/100ピン) PC3 : IRQ11 (145/144/100ピン) PC4 : IRQ12 (145/144/100/64/48ピン) PC5 : IRQ5 (145/144/100/64/48ピン) PC6 : IRQ13 (145/144/100/64/48ピン) PC7 : IRQ14 (145/144/100/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 23.22 145ピンTFLGA, 144ピンLFQFP, 100ピンTFLGA, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
000000b (初期値)	Hi-Z							
000001b	MTIOC3C	MTIOC3A	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
000010b	—	—	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
000011b	TCLKC	TCLKD	TCLKA	TCLKB	—	—	—	—
000101b	—	—	—	—	TMC11	TMR12	TMC12	TMO2
000110b	PO17	PO18	PO21	PO24	PO25	PO29	PO30	PO31
000111b	—	—	—	—	POE0#	—	—	CACREF
001010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
001011b	CTS5# RTS5# SS5#	—	—	—	CTS8# RTS8# SS8#	—	—	—
001101b	SSLA1-A	SSLA2-A	SSLA3-A	—	SSLA0-A	RSPCKA-A	MOSIA-A	MISOA-A
001110b	SSL01-A	SSL02-A	SSL03-A	—	SSL00-A	RSPCK0-A	MOSI0-A	MISO0-A
010111b	—	—	—	—	AUDIO_CLK	SSIBCK0	SSILRCK0	SSITXD0
011010b	—	—	SDHI_D3-A	SDHI_D0-A	SDHI_D1-A	—	—	—
011011b	—	—	—	QIO0-A	QIO1-A	—	—	—
011101b	—	—	—	—	—	—	TIC0	TOC0
100100b	—	—	—	—	CTS10# RTS10# SS10#	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10
101011b	TS16	TS15	—	—	TSCAP	TS14	TS13	—
101100b	RXD011 SMISO011 SSCL011	TXD011 SMOSI011 SSDA011 TXDA011	TXDB011	—	CTS010#(注1) RTS010#(注1) SS010#	SCK010	RXD010 SMISO010 SSCL010	TXD010 SMOSI010 SSDA010
101110b	—	—	—	—	DE010	—	—	—

— : 設定しないでください。

注1. SCR1.CRSEP = 1のとき、CTS010#として使用できません。RTS010#としては使用できます。

表 23.23 64ピンTFBGA, 64ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子					
	PC0	PC1	PC4	PC5	PC6	PC7
000000b (初期値)	Hi-Z					
000001b	MTIOC3C	MTIOC3A	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
000010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
000011b	TCLKC	TCLKD	—	—	—	—
000101b	—	—	TMCI1	TMRI2	TMCI2	TMO2
000111b	—	—	POE0#	—	—	CACREF
001010b	—	SCK5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
001011b	CTS5# RTS5# SS5#	—	CTS8# RTS8# SS8#	—	—	—
001101b	SSLA1-A	SSLA2-A	SSLA0-A	RSPCKA-A	MOSIA-A	MISOA-A
001110b	SSL01-A	SSL02-A	SSL00-A	RSPCK0-A	MOSI0-A	MISO0-A
010111b	—	—	AUDIO_CLK	SSIBCK0	SSILRCK0	SSITXD0
011010b	—	—	SDHI_D1-A	—	—	—
011011b	—	—	QIO1-A	—	—	—
011101b	—	—	—	—	TIC0	TOC0
100100b	—	—	CTS10# RTS10# SS10#	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10
101011b	TS16	TS15	TSCAP	TS14	TS13	—
101100b	RXD011 SMISO011 SSCL011	TXD011 SMOSI011 SSDA011 TXDA011	CTS010#(注1) RTS010#(注1) SS010#	SCK010	RXD010 SMISO010 SSCL010	TXD010 SMOSI010 SSDA010
101110b	—	—	DE010	—	—	—

— : 設定しないでください。

注1. SCR1.CRSEP = 1のとき、CTS010#として使用できません。RTS010#としては使用できます。

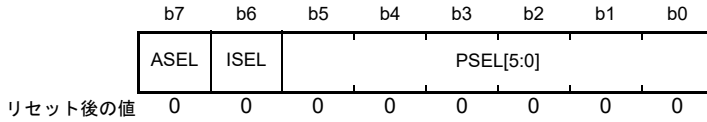
表 23.24 48ピンHWQFN端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	PC4	PC5	PC6	PC7
000000b (初期値)	Hi-Z			
000001b	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
000010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
000101b	TMCI1	TMRI2	TMCI2	TMO2
000111b	POE0#	—	—	CACREF
001010b	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
001011b	CTS8# RTS8# SS8#	—	—	—
001101b	SSLA0-A	RSPCKA-A	MOSIA-A	MISOA-A
001110b	SSL00-A	RSPCK0-A	MOSI0-A	MISO0-A
010111b	AUDIO_CLK	SSIBCK0	SSILRCK0	SSITXD0
011010b	SDHI_D1-A	—	—	—
011011b	QIO1-A	—	—	—
011101b	—	—	TIC0	TOC0
100100b	CTS10# RTS10# SS10#	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10
101011b	TSCAP	TS14	TS13	—
101100b	CTS010# RTS010# SS010#	SCK010	RXD010 SMISO010 SSCL010	TXD010 SMOSI010 SSDA010
101110b	DE010	—	—	—

— : 設定しないでください。

23.2.15 PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 7)

アドレス PD0PFS 0008 C1A8h, PD1PFS 0008 C1A9h, PD2PFS 0008 C1AAh, PD3PFS 0008 C1ABh, PD4PFS 0008 C1ACh, PD5PFS 0008 C1ADh, PD6PFS 0008 C1AEh, PD7PFS 0008 C1AFh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.25、表23.26、表23.27を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PD0 : IRQ0 (145/144/100ピン) PD1 : IRQ1 (145/144/100ピン) PD2 : IRQ2 (145/144/100/64/48ピン) PD3 : IRQ3 (145/144/100/64/48ピン) PD4 : IRQ4 (145/144/100/64/48ピン) PD5 : IRQ5 (145/144/100/64/48ピン) PD6 : IRQ6 (145/144/100/64ピン) PD7 : IRQ7 (145/144/100/64ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PD0 : AN107 (145/144/100ピン) PD1 : AN106 (145/144/100ピン) PD2 : AN105 (145/144/100/64/48ピン) PD3 : AN104 (145/144/100/64/48ピン) PD4 : AN103 (145/144/100/64/48ピン) PD5 : AN102 (145/144/100/64/48ピン) PD6 : AN101 (145/144/100/64ピン) PD7 : AN100 (145/144/100/64ピン)	R/W

表23.25 145ピンTFLGA, 144ピンLFQFP, 100ピンTFLGA, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	PD0	PD1	PD2	PD3	PD4	PD5	PD6	PD7
000000b (初期値)	Hi-Z							
000001b	—	MTIOC4B	MTIOC4D	—	—	MTIC5W	MTIC5V	MTIC5U
000111b	—	—	—	POE8#	POE11#	POE10#	POE4#	POE0#
001000b	POE4#	POE0#	—	MTIOC8D	MTIOC8B	MTIOC8C	MTIOC8A	—
001101b	—	MOSIC-A	MISOC-A	RSPCKC-A	SSLC0-A	SSLC1-A	SSLC2-A	SSLC3-A
010000b	—	CTX0	CRX0	—	—	—	—	—
011010b	—	—	SDHI_D2-B	SDHI_D3-B	SDHI_CMD-B	SDHI_CLK-B	SDHI_D0-B	SDHI_D1-B
011011b	—	—	QIO2-B	QIO3-B	QSSL-B	QSPCLK-B	QIO0-B	QIO1-B
011101b	—	—	TIC2	TOC2	—	—	—	—

— : 設定しないでください。

表 23.26 64ピンTFBGA, 64ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子					
	PD2	PD3	PD4	PD5	PD6	PD7
000000b (初期値)	Hi-Z					
000001b	MTIOC4D	—	—	MTIC5W	MTIC5V	MTIC5U
000111b	—	POE8#	POE11#	POE10#	POE4#	POE0#
001000b	—	MTIOC8D	MTIOC8B	MTIOC8C	MTIOC8A	—
011010b	SDHI_D2-B	SDHI_D3-B	SDHI_CMD-B	SDHI_CLK-B	SDHI_D0-B	SDHI_D1-B
011011b	QIO2-B	QIO3-B	QSSL-B	QSPCLK-B	QIO0-B	QIO1-B
011101b	TIC2	TOC2	—	—	—	—

— : 設定しないでください。

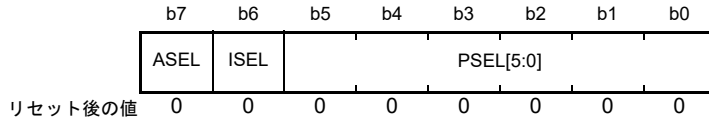
表 23.27 48ピンHWQFN端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	PD2	PD3	PD4	PD5
000000b (初期値)	Hi-Z			
000001b	MTIOC4D	—	—	MTIC5W
000111b	—	POE8#	POE11#	POE10#
001000b	—	MTIOC8D	MTIOC8B	MTIOC8C
011010b	SDHI_D2-B	SDHI_D3-B	SDHI_CMD-B	SDHI_CLK-B
011011b	QIO2-B	QIO3-B	QSSL-B	QSPCLK-B
011101b	TIC2	TOC2	—	—

— : 設定しないでください。

23.2.16 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)

アドレス PE0PFS 0008 C1B0h, PE1PFS 0008 C1B1h, PE2PFS 0008 C1B2h, PE3PFS 0008 C1B3h,
PE4PFS 0008 C1B4h, PE5PFS 0008 C1B5h, PE6PFS 0008 C1B6h, PE7PFS 0008 C1B7h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.28、表23.29、表23.30を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PE0 : IRQ8 (145/144/100/64ピン) PE1 : IRQ9 (145/144/100/64ピン) PE2 : IRQ7-DS (145/144/100/64ピン) PE3 : IRQ11 (145/144/100ピン) PE4 : IRQ12 (145/144/100ピン) PE5 : IRQ5 (145/144/100ピン) PE6 : IRQ6 (145/144/100/64/48ピン) PE7 : IRQ7 (145/144/100/64/48ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PE0 : ANEX0 (145/144/100/64ピン) PE1 : ANEX1 (145/144/100/64ピン)	R/W

表23.28 145ピンTFLGA, 144ピンLFQFP, 100ピンTFLGA, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	PE0	PE1	PE2	PE3	PE4	PE5	PE6	PE7
000000b (初期値)	Hi-Z							
000001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C	—	—
000010b	—	—	—	—	MTIOC1A	MTIOC2B	—	—
000110b	—	PO18	PO23	PO26	PO28	—	—	—
000111b	—	—	—	POE8#	—	—	—	—
001000b	MTIOC3D	MTIOC3B	—	—	—	—	MTIOC6C	MTIOC6A
001100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—	—	—	—
001101b	SSLB1-B	SSLB2-B	SSLB3-B	—	SSLB0-B	RSPCKB-B	MOSIB-B	MISOB-B
011010b	—	—	—	—	—	—	SDHI_CD	SDHI_WP
011011b	—	—	—	—	—	—	QIO0-B	QIO1-B
011101b	—	—	TIC3	TOC3	—	—	TIC1	TOC1
110001b	—	—	—	—	—	—	SDHI_D0-B	SDHI_D1-B

— : 設定しないでください。

表 23.29 64ピンTFBGA, 64ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子				
	PE0	PE1	PE2	PE6	PE7
000000b (初期値)	Hi-Z				
000001b	—	MTIOC4C	MTIOC4A	—	—
001000b	MTIOC3D	MTIOC3B	—	MTIOC6C	MTIOC6A
001100b	SCK12	TXD12 SMOS12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	—	—
001101b	SSLB1-B	SSLB2-B	SSLB3-B	MOSIB-B	MISOB-B
011010b	—	—	—	SDHI_CD	SDHI_WP
011011b	—	—	—	QIO0-B	QIO1-B
011101b	—	—	TIC3	TIC1	TOC1
110001b	—	—	—	SDHI_D0-B	SDHI_D1-B

— : 設定しないでください。

表 23.30 48ピンHWQFN端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子	
	PE6	PE7
000000b (初期値)	Hi-Z	
001000b	MTIOC6C	MTIOC6A
001101b	MOSIB-B	MISOB-B
011010b	SDHI_CD	SDHI_WP
011011b	QIO0-B	QIO1-B
011101b	TIC1	TOC1
110001b	SDHI_D0-B	SDHI_D1-B

23.2.17 PFn 端子機能制御レジスタ (PFnPFS) (n = 5)

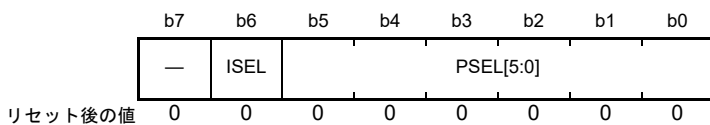
アドレス PF5PFS 0008 C1BDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PF5 : IRQ4 (145/144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

23.2.18 PHn 端子機能制御レジスタ (PHnPFS) (n = 1, 2)

アドレス PH1PFS 0008 C1C9h, PH2PFS 0008 C1CAh



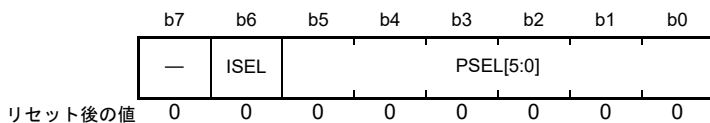
ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表23.31を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PH1 : IRQ0 (145/144/100/64ピン) PH2 : IRQ1 (145/144/100/64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表23.31 145ピンTFLGA, 144ピンLFQFP, 100ピンTFLGA, 100ピンLFQFP, 64ピンTFBGA, 64ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子	
	PH1	PH2
000000b (初期値)	Hi-Z	
000101b	TMO0	TMRI0

23.2.19 PJn 端子機能制御レジスタ (PJnPFS) (n = 3, 5)

アドレス PJ3PFS 0008 C1D3h, PJ5PFS 0008 C1D5h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 23.32、表 23.33 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PJ3 : IRQ11 (145/144/100 ピン) PJ5 : IRQ13 (145/144 ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 23.32 145 ピン TFLGA, 144 ピン LFQFP 端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子	
	PJ3	PJ5
000000b (初期値)	Hi-Z	
000001b	MTIOC3C	—
001010b	CTS6# RTS6# SS6#	—
001011b	CTS0# RTS0# SS0#	CTS2# RTS2# SS2#
011000b	EDACK1	—
100001b	—	POE8#

— : 設定しないでください。

表 23.33 100 ピン TFLGA, 100 ピン LFQFP 端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子
	PJ3
000000b (初期値)	Hi-Z
000001b	MTIOC3C
001010b	CTS6# RTS6# SS6#
001011b	CTS0# RTS0# SS0#
011000b	EDACK1

23.2.20 CS 出力許可レジスタ (PFCSE)

アドレス 0008 C100h

b7	b6	b5	b4	b3	b2	b1	b0
CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CS0E	CS0 許可ビット	0 : CSn# 出力禁止 1 : CSn# 出力許可 (n = 0 ~ 7)	R/W
b1	CS1E	CS1 許可ビット		R/W
b2	CS2E	CS2 許可ビット		R/W
b3	CS3E	CS3 許可ビット		R/W
b4	CS4E	CS4 許可ビット		R/W
b5	CS5E	CS5 許可ビット		R/W
b6	CS6E	CS6 許可ビット		R/W
b7	CS7E	CS7 許可ビット		R/W

CSnE ビット (CSn 許可ビット) (n = 0 ~ 7)

対応する CSn# 出力の許可 / 禁止を選択します。

CSn# を出力する場合には、対応する PFCSE.CSnE ビットを“1”にしてください。

23.2.21 CS 出力端子選択レジスタ 0 (PFCSS0)

アドレス 0008 C102h

b7	b6	b5	b4	b3	b2	b1	b0
CS3S[1:0]	CS2S[1:0]	CS1S[1:0]	—	CS0S			

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CS0S	CS0#出力端子選択ビット (注1)	0 : P60をCS0#出力端子として設定 1 : PC7をCS0#出力端子として設定	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	CS1S[1:0]	CS1#出力端子選択ビット (注2)	b3 b2 0 0 : P61をCS1#出力端子として設定 0 1 : P71をCS1#出力端子として設定 1 x : PC6をCS1#出力端子として設定	R/W
b5-b4	CS2S[1:0]	CS2#出力端子選択ビット (注3)	b5 b4 0 0 : P62をCS2#出力端子として設定 0 1 : P72をCS2#出力端子として設定 1 x : PC5をCS2#出力端子として設定	R/W
b7-b6	CS3S[1:0]	CS3#出力端子選択ビット (注4)	b7 b6 0 0 : P63をCS3#出力端子として設定 0 1 : P73をCS3#出力端子として設定 1 x : PC4をCS3#出力端子として設定	R/W

x : Don't care

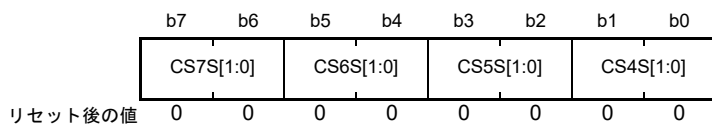
- 注1. 100ピン版にはP60がないため、CS0#出力を使用する場合は、“1”を設定してください。
- 注2. 100ピン版にはP61, P71がないため、CS1#出力を使用する場合は、“1xb”を設定してください。P71は、145ピンTFLGA (0.65mmピッチ)にはありません。
- 注3. 100ピン版にはP62, P72がないため、CS2#出力を使用する場合は、“1xb”を設定してください。P72は、145ピンTFLGA (0.65mmピッチ)にはありません。
- 注4. 100ピン版にはP63, P73がないため、CS3#出力を使用する場合は、“1xb”を設定してください。

CS0S ビット (CS0# 出力端子選択ビット)**CSnS[1:0] ビット (CSn# 出力端子選択ビット) (n = 1 ~ 3)**

CSn# 出力許可時 (PFCSE.CSnE ビット = 1)、CSn# の出力端子を選択します。

23.2.22 CS 出力端子選択レジスタ 1 (PFCSS1)

アドレス 0008 C103h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CS4S[1:0]	CS4#出力端子選択ビット (注1)	b1 b0 0 0 : P64 を CS4#出力端子として設定 0 1 : P74 を CS4#出力端子として設定 1 x : P24 を CS4#出力端子として設定	R/W
b3-b2	CS5S[1:0]	CS5#出力端子選択ビット (注2)	b3 b2 0 0 : P65 を CS5#出力端子として設定 0 1 : P75 を CS5#出力端子として設定 1 x : P25 を CS5#出力端子として設定	R/W
b5-b4	CS6S[1:0]	CS6#出力端子選択ビット (注3)	b5 b4 0 0 : P66 を CS6#出力端子として設定 0 1 : P76 を CS6#出力端子として設定 1 x : P26 を CS6#出力端子として設定	R/W
b7-b6	CS7S[1:0]	CS7#出力端子選択ビット (注4)	b7 b6 0 0 : P67 を CS7#出力端子として設定 0 1 : P77 を CS7#出力端子として設定 1 x : P27 を CS7#出力端子として設定	R/W

x : Don't care

- 注1. 100ピン版にはP64, P74がないため、CS4#出力を使用する場合は、“1xb”を設定してください。
 注2. 100ピン版にはP65, P75がないため、CS5#出力を使用する場合は、“1xb”を設定してください。
 注3. 100ピン版にはP66, P76がないため、CS6#出力を使用する場合は、“1xb”を設定してください。
 注4. 100ピン版にはP67, P77がないため、CS7#出力を使用する場合は、“1xb”を設定してください。

CSnS[1:0] ビット (CSn# 出力端子選択ビット) (n = 4 ~ 7)

CSn# 出力許可時 (PFCSE.CSnE ビット = 1)、CSn# の出力端子を選択します。

23.2.23 アドレス出力許可レジスタ 0 (PFAOE0)

アドレス 0008 C104h

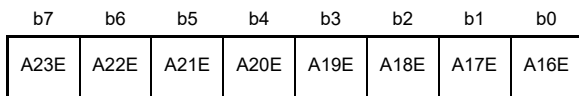
b7	b6	b5	b4	b3	b2	b1	b0
A15E	A14E	A13E	A12E	A11E	A10E	A9E	A8E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	A8E	アドレスA8出力許可ビット	0 : A8出力禁止 1 : A8出力許可	R/W
b1	A9E	アドレスA9出力許可ビット	0 : A9出力禁止 1 : A9出力許可	R/W
b2	A10E	アドレスA10出力許可ビット	0 : A10出力禁止 1 : A10出力許可	R/W
b3	A11E	アドレスA11出力許可ビット	0 : A11出力禁止 1 : A11出力許可	R/W
b4	A12E	アドレスA12出力許可ビット	0 : A12出力禁止 1 : A12出力許可	R/W
b5	A13E	アドレスA13出力許可ビット	0 : A13出力禁止 1 : A13出力許可	R/W
b6	A14E	アドレスA14出力許可ビット	0 : A14出力禁止 1 : A14出力許可	R/W
b7	A15E	アドレスA15出力許可ビット	0 : A15出力禁止 1 : A15出力許可	R/W

23.2.24 アドレス出力許可レジスタ 1 (PFAOE1)

アドレス 0008 C105h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0 : A16出力禁止 1 : A16出力許可	R/W
b1	A17E	アドレスA17出力許可ビット	0 : A17出力禁止 1 : A17出力許可	R/W
b2	A18E	アドレスA18出力許可ビット	0 : A18出力禁止 1 : A18出力許可	R/W
b3	A19E	アドレスA19出力許可ビット	0 : A19出力禁止 1 : A19出力許可	R/W
b4	A20E	アドレスA20出力許可ビット	0 : A20出力禁止 1 : A20出力許可	R/W
b5	A21E	アドレスA21出力許可ビット	0 : A21出力禁止 1 : A21出力許可	R/W
b6	A22E	アドレスA22出力許可ビット	0 : A22出力禁止 1 : A22出力許可	R/W
b7	A23E	アドレスA23出力許可ビット	0 : A23出力禁止 1 : A23出力許可	R/W

23.2.25 外部バス制御レジスタ 0 (PFBCR0)

アドレス 0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	WR1B C1E	—	DHE	BCLKO	ADRH MS2	ADRH MS	ADRLE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADRLE	A0～A7出力許可ビット	0 : PA0～PA7をI/Oポートとして設定 1 : PA0～PA7を外部アドレスバスA0～A7として設定	R/W
b1	ADRHMS	A16～A23出力許可ビット	表23.34を参照してください	R/W
b2	ADRHMS2	A16～A23出力許可2ビット		R/W
b3	BCLKO	BCLK強制出力ビット	0 : BCLKをEXBE = 1で出力し、EXBE = 0で出力しない 1 : BCLKをEXBEの値に関係なく出力する	R/W
b4	DHE	D8～D15出力許可ビット	0 : PE0～PE7をI/Oポートとして設定 1 : PE0～PE7を外部データバスD8～D15として設定	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0 : P51をI/Oポートとして設定 1 : P51をWR1#またはBC1#として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BCLKO ビット (BCLK 強制出力ビット)

BCLK 端子の強制出力許可 / 禁止を選択します。

本ビットを“0”に設定した場合、EXBE ビットの状態で BCLK 出力許可 / 禁止が選択されますが、本ビットを“1”に設定した場合、EXBE ビットの状態に関係なく BCLK を出力します。

また、本ビットを“1”に設定した場合、PMR レジスタに関係なく BCLK が出力されますので注意してください。

[設定手順]

出力許可 : PSTOP1 (停止) → BCLKO = 1 → PSTOP1 (動作)

出力禁止 : PSTOP1 (動作) → PSTOP1 (停止) → BCLKO = 0

表23.34 外部アドレスバスA16～A23の設定

ADRHMSビット	ADRHMS2ビット	外部アドレスバスA16～A23の設定
0	0	PC0～PC7を設定
0	1	PC0、PC1、P71、P72、P74、PC5～PC7を設定(注1)
1	0	P90～P93を設定(A20～A23の割り当てなし)
1	1	設定しないでください

注1. 145ピンTFLGA(0.65mmピッチ)にはP71、P72がないため、外部アドレスバスA16～A23を使用する場合は、ADRHMSビット、ADRHMS2ビットには“00b”または“10b”を設定してください。

23.2.26 外部バス制御レジスタ 1 (PFBCR1)

アドレス 0008 C107h

	b7	b6	b5	b4	b3	b2	b1	b0
	SDCLK E	DQM1E	—	MDSDE	—	ALEOE	WAITS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	WAITS[1:0]	WAIT 選択ビット	b1 b0 0 0 : WAIT# 入力端子を割り当てない 0 1 : P55 を WAIT# 入力端子として設定 1 0 : PC5 を WAIT# 入力端子として設定 1 1 : P51 を WAIT# 入力端子として設定	R/W
b2	ALEOE	ALE 出力許可ビット	0 : ALE 端子出力を禁止 1 : ALE 端子出力を許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MDSDE	SDRAM 端子許可ビット	0 : SDRAM 端子 (CKE, SDACS#, RAS#, CAS#, WE#, DQM0) の出力禁止 1 : SDRAM 端子 (CKE, SDACS#, RAS#, CAS#, WE#, DQM0) の出力許可	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	DQM1E	DQM1 許可ビット	0 : DQM1 出力禁止 1 : DQM1 出力許可	R/W
b7	SDCLKE	SDCLK 許可ビット	0 : SDCLK 出力禁止 1 : SDCLK 出力許可	R/W

WAITS[1:0] ビット (WAIT 選択ビット)

外部バス有効時、外部ウェイトを使用する場合は、CSn モードレジスタの外部ウェイト許可ビット (CSnMOD.EWENB) を“1” (外部ウェイト許可) にした上で、WAITS[1:0] = 00 以外の値で WAIT# 端子を指定し、必ず該当端子の PMR、PDR を 0 にしてください。

外部バス有効時、いずれの CS 領域でも WAIT# 端子を使用しない場合は、CSnMOD.EWENB ビット (n = 0 ~ 7) を“0” (外部ウェイト禁止)、WAITS[1:0] ビットを“00b”にすることで、WAIT# 入力の代わりに入出力ポートや周辺機能の入出力端子として使用できます。

ALEOE ビット (ALE 出力許可ビット)

ALE 端子の出力許可 / 禁止を選択します。

MDSDE ビット (SDRAM 端子許可ビット)

SDRAM 端子 (CKE, SDACS#, RAS#, CAS#, WE#, DQM0) の出力許可 / 禁止を選択します。

DQM1 端子は、MDSDE ビットを“1”にした状態で、DQM1E ビットにより個別に出力許可 / 禁止が選択可能です。SDCLK 端子は、MDSDE ビットの設定によらず、SDCLKE ビットにより独立して出力許可 / 禁止が選択可能です。

DQM1E ビット (DQM1 許可ビット)

DQM1 端子の出力許可 / 禁止を選択します。

MDSDE ビットを“1”にすると DQM1E ビットの設定が有効になります。MDSDE ビットを“0”にすると DQM1E ビットの設定は無視されます。

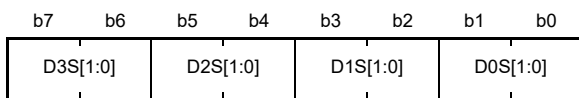
SDCLKE ビット (SDCLK 許可ビット)

SDCLK 端子の出力許可 / 禁止を選択します。

SDCLKE ビットの設定を変更する場合は、SCKCR.PSTOP0 ビットを“1”にしてから変更してください。

23.2.27 外部バス制御レジスタ 2 (PFBCR2)

アドレス 0008 C108h



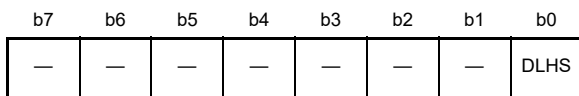
リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	D0S[1:0]	D0選択ビット	b1 b0 0 0 : PD0をD0端子として設定 0 1 : PE0をD0端子として設定(注1) 1 0 : P55をD0端子として設定 1 1 : P61をD0端子として設定(注2)	R/W
b3-b2	D1S[1:0]	D1選択ビット	b3 b2 0 0 : PD1をD1端子として設定 0 1 : PE1をD1端子として設定(注1) 1 0 : P54をD1端子として設定 1 1 : P62をD1端子として設定(注2)	R/W
b5-b4	D2S[1:0]	D2選択ビット	b5 b4 0 0 : PD2をD2端子として設定 0 1 : PE2をD2端子として設定(注1) 1 0 : PC6をD2端子として設定 1 1 : P63をD2端子として設定(注2)	R/W
b7-b6	D3S[1:0]	D3選択ビット	b7 b6 0 0 : PD3をD3端子として設定 0 1 : PE3をD3端子として設定(注1) 1 0 : PC5をD3端子として設定 1 1 : P64をD3端子として設定(注2)	R/W

注1. PFBCR0.DHE = 1でPE0~PE7を外部データバスD8~D15と設定した場合は、この設定をしないでください。
 注2. 100ピン版にはPORT6がないため、Dx入出力(x = 0~3)を使用する場合は、“11b”以外を設定してください。

23.2.28 外部バス制御レジスタ 3 (PFBCR3)

アドレス 0008 C109h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DLHS	D4~D7選択ビット	0 : PD4~PD7をD4~D7端子として設定 1 : PE4~PE7をD4~D7端子として設定(注1)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. PFBCR0.DHE = 1でPE0~PE7を外部データバスD8~D15と設定した場合は、この設定をしないでください。

23.3 各ポートの外部バス端子有効化手順

外部バスインタフェースを使用する場合は、システムコントロールレジスタ 0 の外部バス有効ビット (SYSCR0.EXBE) を“1”にした後、「表 23.35 外部バスインタフェース設定方法」のとおり各ポートの設定をしてください。

表 23.35 に各ポートの外部バスインタフェース設定方法を示します。

該当する MPC のレジスタの詳細は、「23.2 レジスタの説明」を参照してください。

表 23.35 外部バスインタフェース設定方法 (1 / 3)

ポート	バス信号名	MPCのレジスタの設定	
		145ピン、144ピン	100ピン
P24	CS4#	PFCSE.CS4E = 1, PFCSS1.CS4S[1:0] = 10/11	
P25	CS5#	PFCSE.CS5E = 1, PFCSS1.CS5S[1:0] = 10/11	
P26	CS6#	PFCSE.CS6E = 1, PFCSS1.CS6S[1:0] = 10/11	
P27	CS7#	PFCSE.CS7E = 1, PFCSS1.CS7S[1:0] = 10/11	
P50	WR0#/WR#	—	
P51	WR1#/BC1#	PFBCR0.WR1BC1E = 1	
	WAIT#	PFBCR1.WAITS[1:0] = 11	
P52	RD#	—	
P53	BCLK	—	
P54	ALE	PFBCR1.ALEOE = 1	
	D1[A1/D1]	PFBCR2.D1S[1:0] = 10	
P55	WAIT#	PFBCR1.WAITS[1:0] = 01	
	D0[A0/D0]	PFBCR2.D0S[1:0] = 10	
P60	CS0#	PFCSE.CS0E = 1, PFCSS0.CS0S = 0	(ピンなし)
P61	CS1#	PFCSE.CS1E = 1, PFCSS0.CS1S[1:0] = 00	(ピンなし)
	SDCS#	PFBCR1.MDSDE = 1	(ピンなし)
	D0[A0/D0]	PFBCR2.D0S[1:0] = 11	(ピンなし)
P62	CS2#	PFCSE.CS2E = 1, PFCSS0.CS2S[1:0] = 00	(ピンなし)
	RAS#	PFBCR1.MDSDE = 1	(ピンなし)
	D1[A1/D1]	PFBCR2.D1S[1:0] = 11	(ピンなし)
P63	CS3#	PFCSE.CS3E = 1, PFCSS0.CS3S[1:0] = 00	(ピンなし)
	CAS#	PFBCR1.MDSDE = 1	(ピンなし)
	D2[A2/D2]	PFBCR2.D2S[1:0] = 11	(ピンなし)
P64	CS4#	PFCSE.CS4E = 1, PFCSS1.CS4S[1:0] = 00	(ピンなし)
	WE#	PFBCR1.MDSDE = 1	(ピンなし)
	D3[A3/D3]	PFBCR2.D3S[1:0] = 11	(ピンなし)
P65	CS5#	PFCSE.CS5E = 1, PFCSS1.CS5S[1:0] = 00	(ピンなし)
	CKE	PFBCR1.MDSDE = 1	(ピンなし)
P66	CS6#	PFCSE.CS6E = 1, PFCSS1.CS6S[1:0] = 00	(ピンなし)
	DQM0	PFBCR1.MDSDE = 1	(ピンなし)
P67	CS7#	PFCSE.CS7E = 1, PFCSS1.CS7S[1:0] = 00	(ピンなし)
	DQM1	PFBCR1.MDSDE = 1, PFBCR1.DQM1E = 1	(ピンなし)
P70	SDCLK	PFBCR1.SDCLKE = 1	(ピンなし)
P71 (注1)	CS1#	PFCSE.CS1E = 1, PFCSS0.CS1S[1:0] = 01	(ピンなし)
	A18	PFAOE1.A18E = 1, PFBCR0.ADRHMS = 0, PFBCR0.ADRHMS2 = 1	(ピンなし)

表 23.35 外部バスインタフェース設定方法 (2 / 3)

ポート	バス信号名	MPCのレジスタの設定	
		145ピン、144ピン	100ピン
P72(注1)	CS2#	PFCSE.CS2E = 1, PFCSS0.CS2S[1:0] = 01	(ピンなし)
	A19	PFAOE1.A19E = 1, PFBCR0.ADRHMS = 0, PFBCR0.ADRHMS2 = 1	(ピンなし)
P73	CS3#	PFCSE.CS3E = 1, PFCSS0.CS3S[1:0] = 01	(ピンなし)
P74	CS4#	PFCSE.CS4E = 1, PFCSS1.CS4S[1:0] = 01	(ピンなし)
	A20	PFAOE1.A20E = 1, PFBCR0.ADRHMS = 0, PFBCR0.ADRHMS2 = 1	(ピンなし)
P75	CS5#	PFCSE.CS5E = 1, PFCSS1.CS5S[1:0] = 01	(ピンなし)
P76	CS6#	PFCSE.CS6E = 1, PFCSS1.CS6S[1:0] = 01	(ピンなし)
P77	CS7#	PFCSE.CS7E = 1, PFCSS1.CS7S[1:0] = 01	(ピンなし)
P90	A16	PFAOE1.A16E = 1, PFBCR0.ADRHMS = 1, PFBCR0.ADRHMS2 = 0	(ピンなし)
P91	A17	PFAOE1.A17E = 1, PFBCR0.ADRHMS = 1, PFBCR0.ADRHMS2 = 0	(ピンなし)
P92	A18	PFAOE1.A18E = 1, PFBCR0.ADRHMS = 1, PFBCR0.ADRHMS2 = 0	(ピンなし)
P93	A19	PFAOE1.A19E = 1, PFBCR0.ADRHMS = 1, PFBCR0.ADRHMS2 = 0	(ピンなし)
PA0	A0	PFBCR0.ADRLE = 1, CSnMOD.WRMOD = 0	
	BC0#	PFBCR0.ADRLE = 1, CSnMOD.WRMOD = 1	
PA1	A1	PFBCR0.ADRLE = 1	
PA2	A2	PFBCR0.ADRLE = 1	
PA3	A3	PFBCR0.ADRLE = 1	
PA4	A4	PFBCR0.ADRLE = 1	
PA5	A5	PFBCR0.ADRLE = 1	
PA6	A6	PFBCR0.ADRLE = 1	
PA7	A7	PFBCR0.ADRLE = 1	
PB0	A8	PFAOE0.A8E = 1	
PB1	A9	PFAOE0.A9E = 1	
PB2	A10	PFAOE0.A10E = 1	
PB3	A11	PFAOE0.A11E = 1	
PB4	A12	PFAOE0.A12E = 1	
PB5	A13	PFAOE0.A13E = 1	
PB6	A14	PFAOE0.A14E = 1	
PB7	A15	PFAOE0.A15E = 1	
PC0	A16	PFAOE1.A16E = 1, PFBCR0.ADRHMS = 0	
PC1	A17	PFAOE1.A17E = 1, PFBCR0.ADRHMS = 0	
PC2	A18	PFAOE1.A18E = 1, PFBCR0.ADRHMS = 0, PFBCR0.ADRHMS2 = 0	
PC3	A19	PFAOE1.A19E = 1, PFBCR0.ADRHMS = 0, PFBCR0.ADRHMS2 = 0	
PC4	A20	PFAOE1.A20E = 1, PFBCR0.ADRHMS = 0, PFBCR0.ADRHMS2 = 0	
	CS3#	PFCSE.CS3E = 1, PFCSS0.CS3S[1:0] = 10/11	
PC5	A21	PFAOE1.A21E = 1, PFBCR0.ADRHMS = 0	
	CS2#	PFCSE.CS2E = 1, PFCSS0.CS2S[1:0] = 10/11	
	WAIT#	PFBCR1.WAITS[1:0] = 10	
	D3[A3/D3]	PFBCR2.D3S[1:0] = 10	

表23.35 外部バスインタフェース設定方法 (3 / 3)

ポート	バス信号名	MPCのレジスタの設定	
		145ピン、144ピン	100ピン
PC6	A22	PFAOE1.A22E = 1, PFBCR0.ADRHMS = 0	
	CS1#	PFCSE.CS1E = 1, PFCSS0.CS1S[1:0] = 10/11	
	D2[A2/D2]	PFBCR2.D2S[1:0] = 10	
PC7	A23	PFAOE1.A23E = 1, PFBCR0.ADRHMS = 0	
	CS0#	PFCSE.CS0E = 1, PFCSS0.CS0S = 1	
PD0	D0[A0/D0]	PFBCR2.D0S[1:0] = 00	
PD1	D1[A1/D1]	PFBCR2.D1S[1:0] = 00	
PD2	D2[A2/D2]	PFBCR2.D2S[1:0] = 00	
PD3	D3[A3/D3]	PFBCR2.D3S[1:0] = 00	
PD4	D4[A4/D4]	PFBCR3.DLHS = 0	
PD5	D5[A5/D5]	PFBCR3.DLHS = 0	
PD6	D6[A6/D6]	PFBCR3.DLHS = 0	
PD7	D7[A7/D7]	PFBCR3.DLHS = 0	
PE0	D8[A8/D8]	PFBCR0.DHE = 1	
	D0[A0/D0]	PFBCR2.D0S[1:0] = 01	
PE1	D9[A9/D9]	PFBCR0.DHE = 1	
	D1[A1/D1]	PFBCR2.D1S[1:0] = 01	
PE2	D10[A10/D10]	PFBCR0.DHE = 1	
	D2[A2/D2]	PFBCR2.D2S[1:0] = 01	
PE3	D11[A11/D11]	PFBCR0.DHE = 1	
	D3[A3/D3]	PFBCR2.D3S[1:0] = 01	
PE4	D12[A12/D12]	PFBCR0.DHE = 1	
	D4[A4/D4]	PFBCR3.DLHS = 1	
PE5	D13[A13/D13]	PFBCR0.DHE = 1	
	D5[A5/D5]	PFBCR3.DLHS = 1	
PE6	D14[A14/D14]	PFBCR0.DHE = 1	
	D6[A6/D6]	PFBCR3.DLHS = 1	
PE7	D15[A15/D15]	PFBCR0.DHE = 1	
	D7[A7/D7]	PFBCR3.DLHS = 1	

注1. 145ピンTFLGA (0.65mmピッチ)にはありません。

23.4 使用上の注意事項

23.4.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

- (1) 当該端子のポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
- (2) 周辺モジュールにおいて、当該端子にアサインする入出力信号を設定します。
- (3) 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします。(m = 0 ~ 9, A ~ F, H, J, n = 0 ~ 7)
- (4) PmnPFS.PSEL[5:0] ビットにより端子入出力機能を設定します。
- (5) PWPR.PFSWE ビットを“0”にして、PmnPFS レジスタへの書き込み禁止してください。
- (6) 必要に応じて PMR レジスタを“1”にして、選択された端子入出力機能に切り替えます。

23.4.2 MPC レジスタ設定する場合の注意事項

- (1) Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。当該端子の PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は意図しないパルスが出力されたりする可能性があります。
- (2) PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合動作は保証されません。
- (3) MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
- (4) ポート 0, 4, 9, D, E は A/D コンバータのアナログ入出力端子の機能も兼ねています。アナログ入出力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットを“0”にして、ポート方向レジスタ (PDR) の当該ビットに“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。
- (5) 時間キャプチャ制御レジスタ y (RTCCRy) (y = 0 ~ 2) の時間キャプチャイベント入力端子イネーブルビット (TCEN) は、リセット後の初期値は不定です。不要な入力を禁止するために、同ビットを“0”に設定してください。
- (6) 複数の機能が割り当てられている端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 23.36 に示します。端子状態の読み出しは、ASEL ビットが“0”のとき可能です。PSEL[5:0] ビットの変更は、PMR.Bj ビットが“0”のときに行ってください。

表 23.36 レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[5:0]	
リセット解除後	0	0	0	0	000000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	x	割り込み入力と併用する場合は、PmnPFS.ISEL ビットを“1”にしてください
汎用出力ポート	0	1	0	0	x	
周辺機能	1	x	0	0/1	周辺機能 (表 23.2 ~ 表 23.33 参照)	割り込み入力と併用する場合は、PmnPFS.ISEL ビットを“1”にしてください
割り込み入力	0	0	0	1	x	
NMI	x	x	x	x (注1)	x	レジスタの設定は不要です
アナログ入出力	0	0	1	x (注1)	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
時間キャプチャイベント入力端子	0	0	x	0/1	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
外部バス	0	x (注2)	0	0	x	PMR.Bn ビットを“0”にして、周辺機能を選択しないでください
JTAGインタフェース	0	x	x	0	x	PMR.Bn ビットを“0”に、PmnPFS.ISEL ビットを“0”にして入力バッファをOFFにしてください
FINE インタフェース	0	x	x	0	x	PMR.Bn ビットを“0”に、PmnPFS.ISEL ビットを“0”にして入力バッファをOFFにしてください
EXTAL/XTAL	0	0	x	x (注1)	x	出力バッファをOFFするため、汎用入力ポートに設定してください

x : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がアサインされている場合)

注1. PmnPFS.ISEL ビットを“1”にしても、IRQn 入力端子として機能しません。

注2. WAIT# 入力端子を使用する場合、対応する PORTm.PDR レジスタの該当ビットを“0”にしてください。

- 注 .
- 端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。
 - PmnPFS.PSEL[5:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。
 - RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります)。
 - 時間キャプチャイベント入力端子を使用しない場合は、同入力の時間キャプチャ制御レジスタ y (RTCCRY) (y = 0 ~ 2) の時間キャプチャイベント入力端子イネーブルビット (RTCCRY.TCEN) を“0” (無効) にしてください。なお、リセット後の RTCCRY.TCEN ビットの値は不定です。
 - 同一端子に複数の外部バス信号を設定しないでください。

23.4.3 アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にし、当該端子を汎用入力ポートにしてから、Pmn 端子機能制御レジスタの端子機能選択ビット (PmnPFS.ASEL) を“1”にしてください。

23.4.4 静電容量式タッチセンサ (CTSUS) 機能を使う場合の注意事項

静電容量式タッチセンサ (CTSUS) 機能 (TSn (n = 0 ~ 16) 端子、TSCAP 端子) を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”、プルアップ制御レジスタ (PCR) の当該ビットを“0”にし、PmnPFS.PSEL[5:0] ビットにより CTSUS 機能を選択してから、PMR レジスタを“1”に設定してください。また静電容量式タッチセンサの端子機能を使用するときは、該当ビットの ISEL 設定に関わらず IRQ 入力端子として使用しないでください。

24. マルチファンクションタイマパルスユニット 3 (MTU3a)

24.1 概要

本 MCU は、8 チャンネルの 16 ビットタイマと 1 チャンネルの 32 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 3 (MTU3a) を内蔵しています。

表 24.1 に MTU の仕様を、表 24.2 に MTU の機能一覧を示します。また、図 24.1、図 24.2 に MTU のブロック図を示します。

表 24.1 MTU の仕様

項目	内容
パルス入出力	最大 28 本
パルス入力	3 本
カウントクロック	チャンネルごとに 11 種類 (MTU0 は 14 種類、MTU2 は 12 種類、MTU5 は 10 種類、MTU1 & MTU2 (LWA = 1 のとき) は 4 種類)
設定可能動作	【MTU0～MTU4, MTU6, MTU7, MTU8】 <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能(ノイズフィルタ設定可能) カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み (MTU8 を除く) コンペアマッチ/インプットキャプチャによる同時クリア (MTU8 を除く) カウンタの同期動作による各レジスタの同期入出力 (MTU8 を除く) 同期動作と組み合わせることによる最大 12 相の PWM 出力 (MTU8 を除く)
	【MTU0, MTU3, MTU4, MTU6, MTU7, MTU8】 <ul style="list-style-type: none"> バッファ動作を設定可能
	【MTU1, MTU2】 <ul style="list-style-type: none"> 独立に位相計数モードを設定可能 MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能 (TMDR3.LWA = 1 設定時) カスケード接続動作が可能
	【MTU3, MTU4, MTU6, MTU7】 <ul style="list-style-type: none"> MTU3/MTU4、および MTU6/MTU7 の連動動作による相補 PWM、リセット同期 PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 相補 PWM モード時、タイマカウンタの山または谷のとき、またはバッファレジスタ (MTU4.TGRD, MTU7.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 相補 PWM モードでダブルバッファ機能を設定可能
	【MTU3, MTU4】 <ul style="list-style-type: none"> MTU0 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能
	【MTU5】 <ul style="list-style-type: none"> デッドタイム補償用カウンタとして使用することが可能
	【MTU0/MTU5, MTU1, MTU2, MTU8】 MTU1、MTU2 を組み合わせて、MTU0/MTU5、MTU8 と連動させて、32 ビット位相計数モードに設定可能
	相補 PWM モード時に、カウンタの山、谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み間引き機能	相補 PWM モード時に、カウンタの山、谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み要因	43 種類
バッファ動作	レジスタデータの自動転送 (バッファレジスタからタイマレジスタへの転送)
トリガ生成	A/D コンバータの変換開始トリガを生成可能
	A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

表 24.2 MTUの機能一覧 (1/2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5	MTU6	MTU7	MTU8
カウントク ロック	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB MTCLKC MTCLKD MTIOC1A	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB MTCLKC	MTCLKA MTCLKB MTCLKC MTCLKD	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTIOC1A	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB
位相計数 モードの 外部クロック	—	MTCLKA MTCLKB	MTCLKA MTCLKB MTCLKC MTCLKD	MTCLKA MTCLKB MTCLKC MTCLKD	—	—	—	—	—	—
ジェネラルレ ジスタ (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRALW TGRBLW	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW	TGRA TGRB	TGRA TGRB	TGRA TGRB
ジェネラルレ ジスタ/パッ ファレジスタ	TGRC TGRD TGRF	—	—	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	TGRC TGRD
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC1A MTIOC1B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	MTIC5U MTIC5V MTIC5W	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	MTIOC7A MTIOC7B MTIOC7C MTIOC7D	MTIOC8A MTIOC8B MTIOC8C MTIOC8D
カウンタク リア機能	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRALW/ TGRBLWの コンペアマ ッチまたは インプット キャプチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ
コン ペア マッ チ出 力	0出力 1出力 トグル 出力	○ ○ ○	○ ○ ○	○ ○ ○	○ ○ ○	○ ○ ○	— — —	○ ○ ○	○ ○ ○	○ ○ ○
インプット キャプチャ機 能	○	○	○	○(注1)	○	○	○	○	○	○(注2)
同期動作	○	○	○	—	○	○	—	○	○	—
PWMモード1	○	○	○	—	○	○	—	○	○	—
PWMモード2	○	○	○	—	—	—	—	—	—	—
相補PWM モード	—	—	—	—	○	○	—	○	○	—
リセット同期 PWMモード	—	—	—	—	○	○	—	○	○	—
AC同期モー タ駆動モード	○	—	—	—	○	○	—	—	—	—
位相計数モー ド	—	○	○	○	—	—	—	—	—	—
パルファ動作	○	—	—	—	○	○	—	○	○	○
デッドタイム 補償用カウン タ機能	—	—	—	—	—	—	○	—	—	—
DMAC/DTCの 起動	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRALW/ TGRBLWの コンペアマ ッチまたは インプット キャプチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャとTCNT オーバフロー/ アンダフロー (注3)	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャとTCNT オーバフロー/ アンダフロー (注3)	TGRのコン ペアマッチ またはイン プットキャ プチャ
A/D変換開始 トリガ	TGRAのコン ペアマッチ またはイン プットキャ プチャ TGREのコン ペアマッチ	TGRAのコン ペアマッチ またはイン プットキャ プチャ	TGRAのコン ペアマッチ またはイン プットキャ プチャ	TGRALWの コンペアマ ッチまたは インプット キャプチャ	TGRAのコン ペアマッチ またはイン プットキャ プチャ	TGRAのコン ペアマッチ またはイン プットキャ プチャ、または 相補PWMモ ード時TCNT のアンダフロー (谷)	—	TGRAのコン ペアマッチ またはイン プットキャ プチャ	TGRAのコン ペアマッチ またはイン プットキャ プチャ、または 相補PWMモ ード時TCNT のアンダフロー (谷)	—

表24.2 MTUの機能一覧 (2/2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5	MTU6	MTU7	MTU8
割り込み要因	7要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ0A コンペア マッチ/インプットキャプチャ0B コンペア マッチ/インプットキャプチャ0C コンペア マッチ/インプットキャプチャ0D コンペア マッチ0E コンペア マッチ0F オーバフロー 	4要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ1A コンペア マッチ/インプットキャプチャ1B オーバフロー アンドフロー 	4要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ2A コンペア マッチ/インプットキャプチャ2B オーバフロー アンドフロー 	4要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ1A コンペア マッチ/インプットキャプチャ1B オーバフロー アンドフロー 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ3A コンペア マッチ/インプットキャプチャ3B コンペア マッチ/インプットキャプチャ3C コンペア マッチ/インプットキャプチャ3D オーバフロー 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ4A コンペア マッチ/インプットキャプチャ4B コンペア マッチ/インプットキャプチャ4C コンペア マッチ/インプットキャプチャ4D オーバフロー/アンドフロー(注3) 	3要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ5U コンペア マッチ/インプットキャプチャ5V コンペア マッチ/インプットキャプチャ5W 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ6A コンペア マッチ/インプットキャプチャ6B コンペア マッチ/インプットキャプチャ6C コンペア マッチ/インプットキャプチャ6D オーバフロー 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ7A コンペア マッチ/インプットキャプチャ7B コンペア マッチ/インプットキャプチャ7C コンペア マッチ/インプットキャプチャ7D オーバフロー/アンドフロー(注3) 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ8A コンペア マッチ/インプットキャプチャ8B コンペア マッチ/インプットキャプチャ8C コンペア マッチ/インプットキャプチャ8D オーバフロー
イベントリンク機能 (出力)	7要因 <ul style="list-style-type: none"> コンペア マッチ0A コンペア マッチ0B コンペア マッチ0C コンペア マッチ0D コンペア マッチ0E コンペア マッチ0F オーバフロー 	—	—	—	5要因 <ul style="list-style-type: none"> コンペア マッチ3A コンペア マッチ3B コンペア マッチ3C コンペア マッチ3D オーバフロー 	6要因 <ul style="list-style-type: none"> コンペア マッチ4A コンペア マッチ4B コンペア マッチ4C コンペア マッチ4D オーバフロー アンドフロー(注3) 	—	—	—	—
イベントリンク機能 (入力)	<ul style="list-style-type: none"> カウンタスタート動作 インプットキャプチャ動作 (TGRAにキャプチャ) カウンタリスタート(カウンタクリア)動作 	—	—	—	<ul style="list-style-type: none"> カウンタスタート動作 インプットキャプチャ動作 (TGRAにキャプチャ) カウンタリスタート(カウンタクリア)動作 	<ul style="list-style-type: none"> カウンタスタート動作 インプットキャプチャ動作 (TGRAにキャプチャ) カウンタリスタート(カウンタクリア)動作 	—	—	—	—
A/D変換開始要求ディレイド機能	—	—	—	—	—	TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—	—	TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—
割り込み間引き機能1	—	—	—	—	TGRAのコンペアマッチ割り込みを間引き	TCIV割り込みを間引き	—	TGRAのコンペアマッチ割り込みを間引き	TCIV割り込みを間引き	—
割り込み間引き機能2	—	—	—	—	—	TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—	—	TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—
モジュールストップ	MSTPCRA.MSTPA9(注4)									

○：可能 —：不可能

注1. LWA = 1の場合、TGRALWのキャプチャ要因はMTIOC1Aからの入力またはMTU0.TGRAのコンペアマッチ/インプットキャプチャイベントから選択可能です。TGRBLWのキャプチャ要因はMTIOC1Bからの入力、MTU0.TGRCのコンペアマッチ/インプットキャプチャイベントまたはMTU8.TGRCのコンペアマッチイベントから選択可能です。

注2. MTU8のキャプチャはノーマルモードのみサポートします。

注3. アンダフローは相補PWMモード時のみ有効。

注4. モジュールストップの詳細については、「11. 消費電力低減機能」を参照してください。

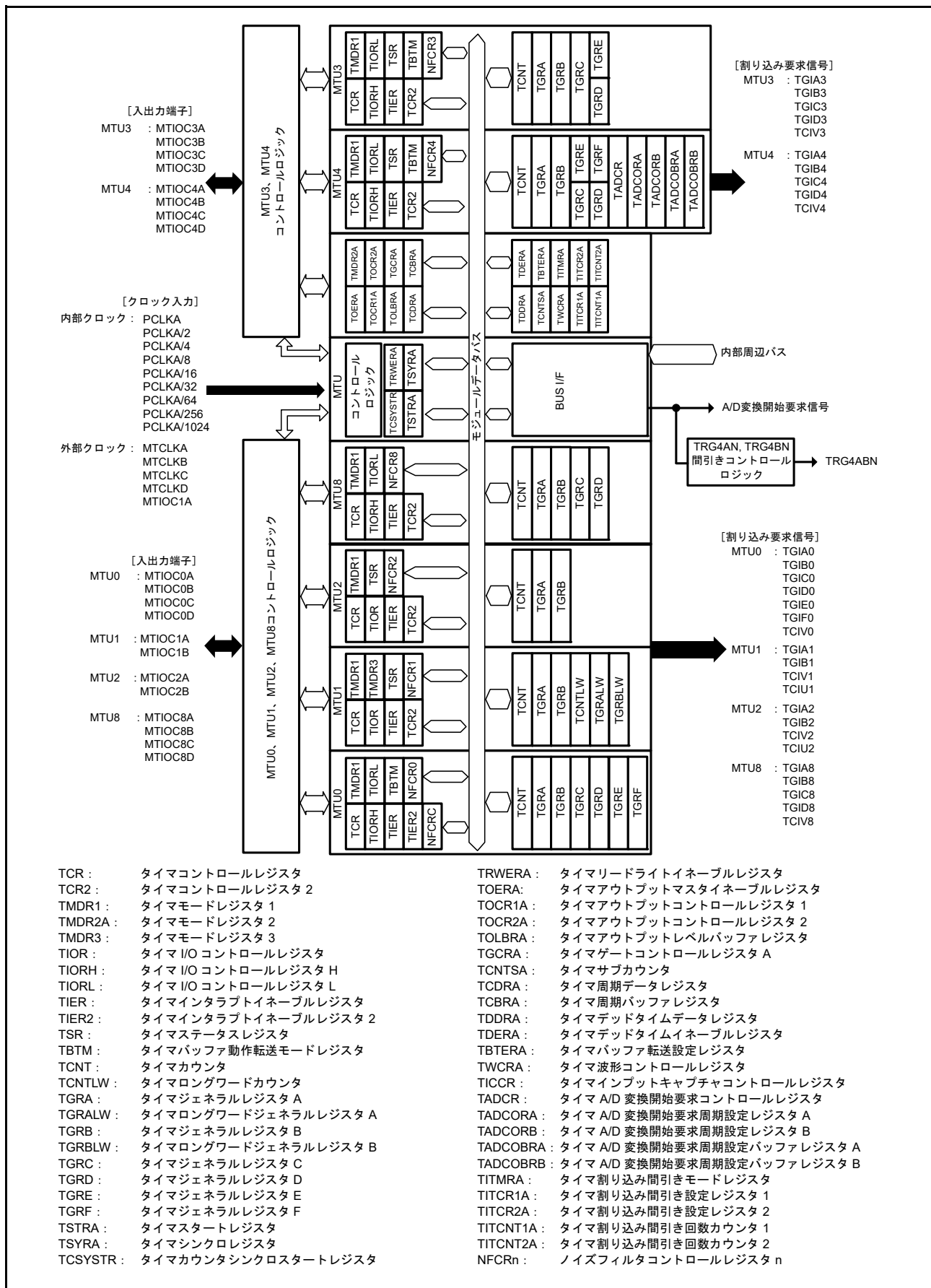


図 24.1 MTU のブロック図 (MTU0 ~ MTU4, MTU8)

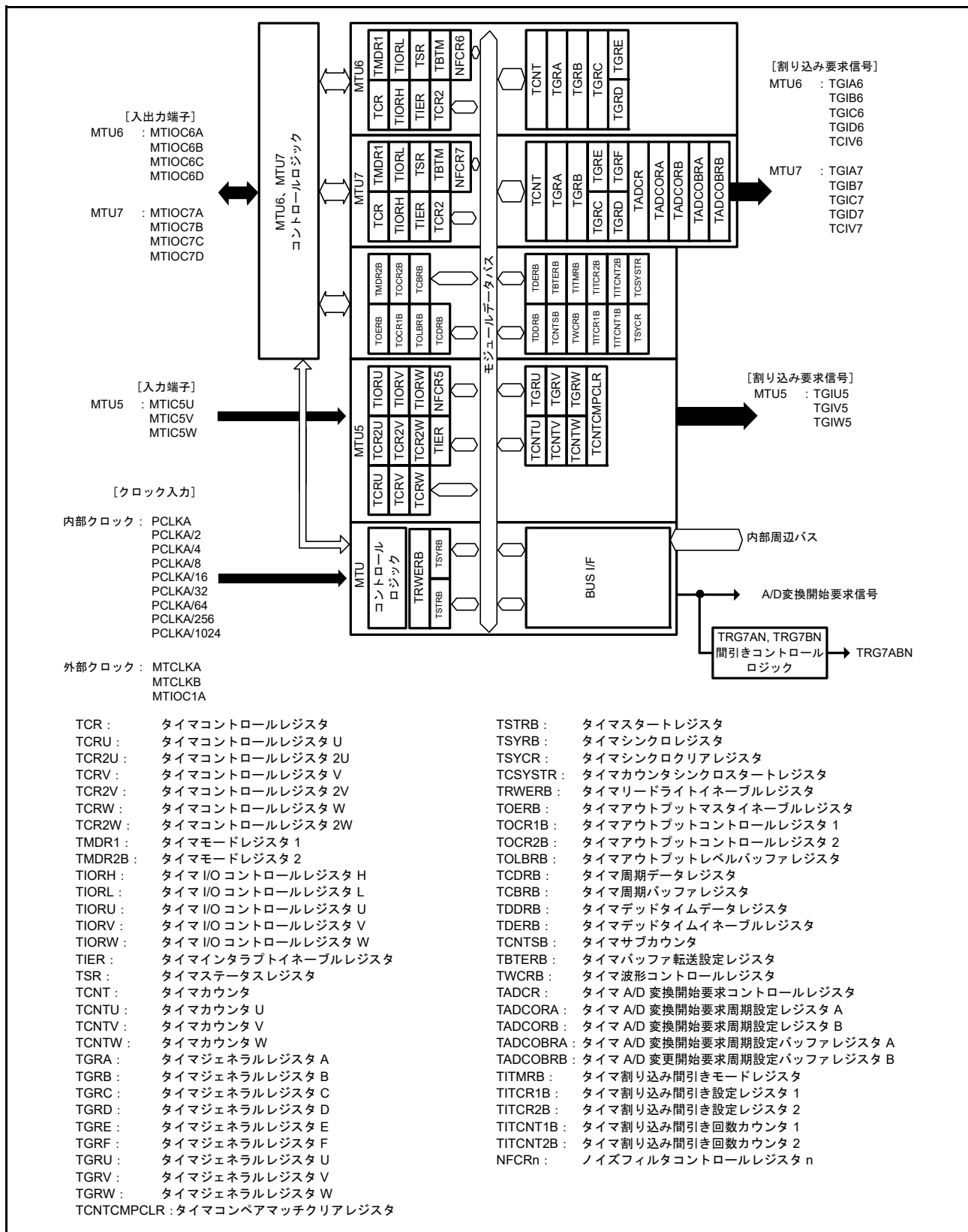


図 24.2 MTU のブロック図 (MTU5 ~ MTU7)

表 24.3 に MTU で使用する入出力端子を示します。

表 24.3 MTUの入出力端子

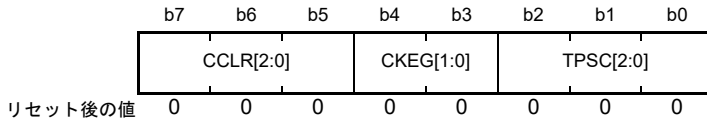
チャンネル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子(MTU1、MTU2の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子(MTU1、MTU2の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子(MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子(MTU2の位相計数モードB相入力)
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	MTU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	MTU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	MTU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	MTU4.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力/外部パルス入力端子
MTU6	MTIOC6A	入出力	MTU6.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6B	入出力	MTU6.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6C	入出力	MTU6.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6D	入出力	MTU6.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU7	MTIOC7A	入出力	MTU7.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7B	入出力	MTU7.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7C	入出力	MTU7.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7D	入出力	MTU7.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU8	MTIOC8A	入出力	MTU8.TGRAのインプットキャプチャ入力/アウトプットコンペア出力端子
	MTIOC8B	入出力	MTU8.TGRBのインプットキャプチャ入力/アウトプットコンペア出力端子
	MTIOC8C	入出力	MTU8.TGRCのインプットキャプチャ入力/アウトプットコンペア出力端子
	MTIOC8D	入出力	MTU8.TGRDのインプットキャプチャ入力/アウトプットコンペア出力端子

24.2 レジスタの説明

24.2.1 タイマコントロールレジスタ (TCR)

- MTU0.TCR, MTU1.TCR, MTU2.TCR, MTU3.TCR, MTU4.TCR, MTU6.TCR, MTU7.TCR, MTU8.TCR

アドレス MTU0.TCR 000C 1300h, MTU1.TCR 000C 1380h, MTU2.TCR 000C 1400h, MTU3.TCR 000C 1200h, MTU4.TCR 000C 1201h, MTU6.TCR 000C 1A00h, MTU7.TCR 000C 1A01h, MTU8.TCR 000C 1600h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 24.6～表 24.9を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット	表 24.4、表 24.5を参照してください	R/W

x : Don't care

TCR レジスタは、TCR2 と組み合わせて各チャネルの TCNT を制御します。MTU0～MTU4、MTU6、MTU7、MTU8 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 11 本の TCR レジスタがあります。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は表 24.6～表 24.9 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

カウントクロックソース (MTIOC1A 端子含む) のエッジを選択します。内部クロックを両エッジでカウントすると、カウントクロックの周期が 1/2 になります (例: PCLKA/4 の両エッジ = PCLKA/2 の立ち上がりエッジ)。MTU1、MTU2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、カウントクロックソースが PCLKA/2 もしくはそれより遅い場合に有効です。カウントクロックソースに PCLKA/1、あるいは他のチャネルのオーバフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット (カウンタクリア要因選択ビット)

TCNT のカウンタクリア要因を選択します。詳細は表 24.4、表 24.5 を参照してください。

表 24.4 CCLR[2:0] (MTU0, MTU3, MTU4, MTU6, MTU7, MTU8)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR[2]	CCLR[1]	CCLR[0]	
MTU0	0	0	0	TCNTのクリア禁止
MTU3	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
MTU4	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
MTU6	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)
MTU7	1	0	0	TCNTのクリア禁止
MTU8	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)

注1. 同期動作の設定は、TSYRA.SYNcNビット、TSYRB.SYNcNビットを“1”にすることにより行います。ただし、MTU8を除きます。

注2. TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

表 24.5 CCLR[2:0] (MTU1, MTU2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR[1]	CCLR[0]	
MTU1	0	0	0	TCNTのクリア禁止
MTU2	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア(LWA = 0のとき) TGRALWのコンペアマッチ/インプットキャプチャでTCNTLWクリア(LWA = 1のとき)
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア(LWA = 0のとき) TGRBLWのコンペアマッチ/インプットキャプチャでTCNTLWクリア(LWA = 1のとき)
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)

注1. 同期動作の設定は、TSYRA.SYNcNビット、TSYRB.SYNcNビットを“1”にすることにより行います。

注2. MTU1、MTU2ではビット7は予約ビットです。読むと“0”が読めます。書き込みは無効となります。

- MTU5.TCRU, MTU5.TCRV, MTU5.TCRW

アドレス MTU5.TCRU 000C 1C84h, MTU5.TCRV 000C 1C94h, MTU5.TCRW 000C 1CA4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TPSC[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケラ選択ビット	表 24.10 を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

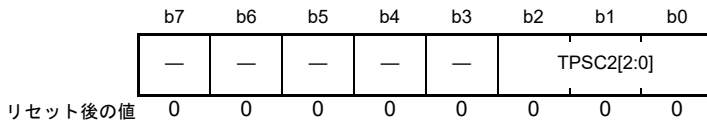
TPSC[1:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウントクロックソースを選択します。詳細は表 24.10 を参照してください。

24.2.2 タイマコントロールレジスタ 2 (TCR2)

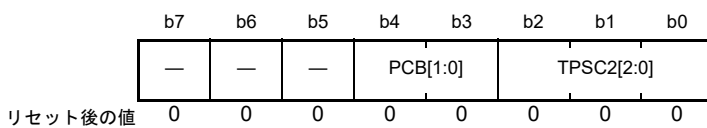
- MTU0.TCR2, MTU3.TCR2, MTU4.TCR2, MTU6.TCR2, MTU7.TCR2, MTU8.TCR2

アドレス MTU0.TCR2 000C 1328h, MTU3.TCR2 000C 124Ch, MTU4.TCR2 000C 124Dh, MTU6.TCR2 000C 1A4Ch, MTU7.TCR2 000C 1A4Dh, MTU8.TCR2 000C 1606h



- MTU1.TCR2, MTU2.TCR2

アドレス MTU1.TCR2 000C 1394h, MTU2.TCR2 000C 140Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケラ選択ビット	表 24.6～表 24.9を参照してください	R/W
b4-b3	PCB[1:0]	位相計数モード機能拡張制御ビット	位相計数モード2、3、5モードの機能拡張を制御	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR2 レジスタは、TCR と組み合わせて各チャンネルの TCNT を制御します。MTU0～MTU4、MTU6、MTU7、MTU8 に各 1 本、MTU5 には TCR2U/V/W の 3 本、計 11 本の TCR2 レジスタがあります。TCR2 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC2[2:0] ビット (タイマプリスケラ選択ビット)

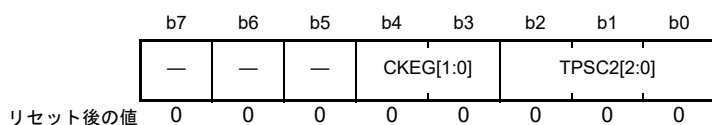
TCNT のカウントクロックソースを選択します。各チャンネル独立に選択することができます。詳細は表 24.6～表 24.9 を参照してください。

PCB[1:0] ビット (位相計数モード機能拡張制御ビット)

MTU1 と MTU2 の位相計数モード 2、3、5 の機能拡張制御ビットです。詳細は「24.3.6 位相計数モード」を参照してください。

- MTU5.TCR2U, MTU5.TCR2V, MTU5.TCR2W

アドレス MTU5.TCR2U 000C 1C85h, MTU5.TCR2V 000C 1C95h, MTU5.TCR2W 000C 1CA5h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケラ選択ビット	表 24.10 を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

TPSC2[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウントクロックソースを選択します。詳細は表 24.10 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

MTIOC1A 端子によるカウントクロックソースのエッジを選択します。

表 24.6 TPSC[2:0], TPSC2[2:0] (MTU0)

チャネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU0	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック : MTCLKC端子入力でカウント
	0	0	0	1	1	1	外部クロック : MTCLKD端子入力でカウント
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	内部クロック : PCLKA/256でカウント
	1	0	1	x	x	x	内部クロック : PCLKA/1024でカウント
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	外部クロック : MTIOC1A端子入力でカウント	

x : Don't care

表24.7 TPSC[2:0], TPSC2[2:0] (MTU1)

チャンネル	TCR2 レジスタ			TCR レジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU1	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB端子入力でカウント
	0	0	0	1	1	0	内部クロック : PCLKA/256でカウント
	0	0	0	1	1	1	MTU2.TCNTのオーバフロー/アンダフロー
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	内部クロック : PCLKA/1024でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	設定しないでください	

x : Don't care

注. MTU1が位相計数モード時、この設定は無効になります。

表24.8 TPSC[2:0], TPSC2[2:0] (MTU2)

チャンネル	TCR2 レジスタ			TCR レジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU2	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック : MTCLKC端子入力でカウント
	0	0	0	1	1	1	内部クロック : PCLKA/1024でカウント
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	内部クロック : PCLKA/256でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	設定しないでください	

x : Don't care

注. MTU2が位相計数モード時、この設定は無効になります。

表 24.9 TPSC[2:0], TPSC2[2:0] (MTU3, MTU4, MTU6, MTU7, MTU8)

チャンネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU3	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
MTU4	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
MTU6	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
MTU7	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
MTU8	0	0	0	1	0	0	内部クロック : PCLKA/256でカウント
	0	0	0	1	0	1	内部クロック : PCLKA/1024でカウント
	0	0	0	1	1	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	1	1	外部クロック : MTCLKB端子入力でカウント
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	設定しないでください
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x : Don't care

表 24.10 TPSC[1:0], TPSC2[2:0] (MTU5)

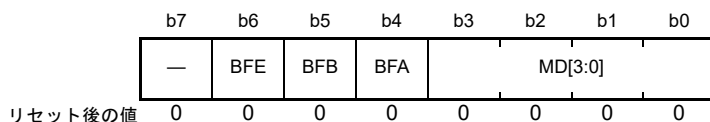
チャンネル	TCR2レジスタ			TCRレジスタ		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[1]	TPSC[0]	
MTU5	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	1	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	内部クロック : PCLKA/256でカウント
	1	0	1	x	x	内部クロック : PCLKA/1024でカウント
	1	1	0	x	x	設定しないでください
	1	1	1	x	x	外部クロック : MTIOC1A端子入力

x : Don't care

24.2.3 タイマモードレジスタ 1 (TMDR1)

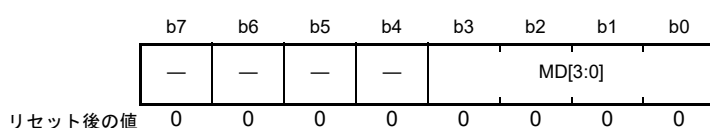
- MTU0.TMDR1

アドレス MTU0.TMDR1 000C 1301h



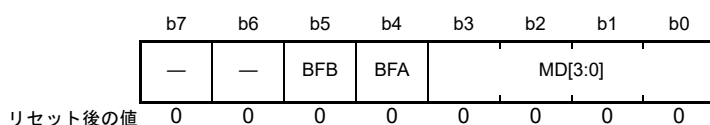
- MTU1.TMDR1, MTU2.TMDR1

アドレス MTU1.TMDR1 000C 1381h, MTU2.TMDR1 000C 1401h



- MTU3.TMDR1, MTU4.TMDR1, MTU6.TMDR1, MTU7.TMDR1, MTU8.TMDR1

アドレス MTU3.TMDR1 000C 1202h, MTU4.TMDR1 000C 1203h, MTU6.TMDR1 000C 1A02h, MTU7.TMDR1 000C 1A03h, MTU8.TMDR1 000C 1601h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表24.11を参照してください	R/W
b4	BFA	バッファ動作Aビット	0: TGRAとTGRCレジスタは通常動作 1: TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0: TGRBとTGRDレジスタは通常動作 1: TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0: MTU0.TGREとMTU0.TGRFは通常動作 1: MTU0.TGREとMTU0.TGRFはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR1 レジスタは、各チャネルの動作モードの設定を行うレジスタです。MTU0～MTU4、MTU6、MTU7、MTU8に各1本、計8本のTMDR1レジスタがあります。TMDR1レジスタの設定は、TCNTの動作が停止した状態で行ってください。

表 24.11 MD[3:0]ビットによる動作モードの設定 (MTU0～MTU4, MTU6～MTU8)

ビット3	ビット2	ビット1	ビット0	説明	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU6	MTU7	MTU8
MD[3]	MD[2]	MD[1]	MD[0]										
0	0	0	0	ノーマルモード	○	○	○		○	○	○	○	○
0	0	0	1	設定しないでください									
0	0	1	0	PWMモード1	○	○	○		○	○	○	○	
0	0	1	1	PWMモード2	○	○	○						
0	1	0	0	位相計数モード1		○	○	○					
0	1	0	1	位相計数モード2		○	○	○					
0	1	1	0	位相計数モード3		○	○	○					
0	1	1	1	位相計数モード4		○	○	○					
1	0	0	0	リセット同期PWMモード(注1)					○		○		
1	0	0	1	位相計数モード5		○	○	○					
1	0	1	x	設定しないでください									
1	1	0	0	設定しないでください									
1	1	0	1	相補PWMモード1 (山で転送) (注1)					○		○		
1	1	1	0	相補PWMモード2 (谷で転送) (注1)					○		○		
1	1	1	1	相補PWMモード3 (山と谷で転送) (注1)					○		○		

x : Don't care

注. 各チャンネルで該当以外の動作モードは設定しないでください。

注1. リセット同期PWMモード、相補PWMモードの設定は、MTU3、MTU6のみ可能です。

MTU3、MTU6をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4、MTU7の設定は無効となり自動的にMTU3、MTU6の設定に従います。MTU4、MTU7には初期値（ノーマルモード）を設定してください。

BFA ビット (バッファ動作 A ビット)

TGRA レジスタを通常動作させるか、TGRA と TGRC レジスタを組み合わせるバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIEC ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は、MTU3.TMDR1 (MTU6.TMDR1) の BFA ビットの設定に従い動作します。MTU4.TMDR1 (MTU7.TMDR1) の BFA ビットを“0”にしてください。

TGRC レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、図 24.50 を参照してください。

BFB ビット (バッファ動作 B ビット)

TGRB レジスタを通常動作させるか、TGRB と TGRD レジスタを組み合わせるバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIED ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は、MTU3.TMDR1 (MTU6.TMDR1) の BFB ビットの設定に従い動作します。MTU4.TMDR1 (MTU7.TMDR1) の BFB ビットを“0”にしてください。

TGRD レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、図 24.50 を参照してください。

BFE ビット (バッファ動作 E ビット)

MTU0.TGRE と MTU0.TGRF を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。

MTU1 ~ MTU4、MTU6、MTU7、MTU8 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

24.2.4 タイマモードレジスタ 2m (TMDR2m) (m = A, B)

アドレス MTU.TMDR2A 000C 1270h, MTU.TMDR2B 000C 1A70h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DRS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRS	ダブルバッファ選択ビット	0: ダブルバッファ機能は無効 1: ダブルバッファ機能は有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR2A、TMDR2B レジスタは、相補 PWM モード 3 (山と谷で転送) 時、ダブルバッファ機能の設定を行うレジスタです。MTU3 (TMDR2A)、MTU6 (TMDR2B) に各 1 本、計 2 本の TMDR2m レジスタがあります。TMDR2A、TMDR2B レジスタの設定は、TCNT の動作が停止した状態で行ってください。

DRS ビット (ダブルバッファ選択ビット)

相補 PWM モード時、ダブルバッファ機能の有効/無効を選択します。

24.2.5 タイマモードレジスタ 3 (TMDR3)

アドレス MTU1.TMDR3 000C 1391h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PHCKSEL	LWA
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LWA	ロングワードアクセス制御ビット	0 : 16ビットアクセス可能 1 : 32ビットアクセス可能	R/W
b1	PHCKSEL	外部入力位相クロック選択ビット	0 : 外部入力位相クロックはMTCLKA、MTCLKB 1 : 外部入力位相クロックはMTCLKC、MTCLKD	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR3 レジスタは、MTU1 と MTU2 を組み合わせた 32 ビットのレジスタ、カウンタのロングワードアクセスを制御します。MTU1 のみに一本あります。MTU1 と MTU2 のカウンタ (TCNTLW)、ジェネラルレジスタ A (TGRALW)、ジェネラルレジスタ B (TGRBLW) は表 24.12 のような組み合わせでアクセスされます。

LWA ビット (ロングワードアクセス制御ビット)

MTU1 と MTU2 のレジスタを組み合わせて 32 ビットでのアクセスを選択します。

LWA ビットが“0”の場合、MTU1 と MTU2 はそれぞれ独立した 16 ビットタイマとして動作するため、TCNTLW、TGRALW、TGRBLW レジスタはアクセスできません。

LWA ビットが“1”の場合、MTU1 と MTU2 はカスケード接続された 32 ビットタイマとして動作し、タイマの制御は MTU1.TCR、MTU1.TCR2、MTU1.TIOR、MTU1.TMDR1 レジスタで行います。MTU2.TCR、MTU2.TCR2、MTU2.TIOR、MTU2.TMDR1 レジスタの設定は無効で、MTU1、MTU2 の 16 ビットレジスタ (TCNT、TGRA、TGRB レジスタ) へのアクセスもできません。また、MTU2 のインプットキャプチャとコンペアマッチも無効となり、MTU2 の要因で ELC との連動はできません。

なお、LWA ビットを“1”にした MTU1 と MTU2 のカスケード接続は、位相計数モードでのみ使用できません。ノーマルモード、PWM1 モード、PWM2 モードでは使用できません。LWA ビットを“1”にする場合、位相計数モードを選択してください。

LWA ビットを“1”にする場合は、事前に MTU1 と MTU2 の TCNT、TGRA、TGRB レジスタを初期化してください。

PHCKSEL ビット (外部入力位相クロック選択ビット)

MTU1 と MTU2 のレジスタを組み合わせて、32 ビット位相計数モードまたは MTU2 の位相計数モードで、外部入力クロックから A 相、B 相信号を選択します。詳細は「表 24.65 位相計数モードクロック入力端子」を参照してください。

表24.12 TMDR3レジスタの設定と組み合わせ

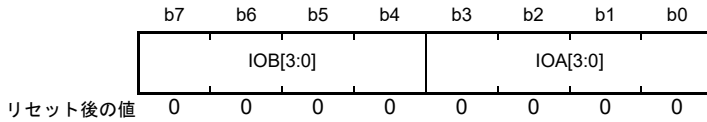
レジスタ	TMDR3.LWA = 0		TMDR3.LWA = 1	
	シンボル	アクセス方式	シンボル	アクセス方式
MTU1のカウンタ(注1)	MTU1.TCNT	ワード	MTU1.TCNTLW	ロングワード
MTU2のカウンタ	MTU2.TCNT	ワード		
MTU1のジェネラルレジスタA	MTU1.TGRA	ワード	MTU1.TGRALW	ロングワード
MTU2のジェネラルレジスタA	MTU2.TGRA	ワード		
MTU1のジェネラルレジスタB	MTU1.TGRB	ワード	MTU1.TGRBLW	ロングワード
MTU2のジェネラルレジスタB	MTU2.TGRB	ワード		

注1. LWA = 1にした場合、MTU1のカウントクロックをMTU2.TCNTのオーバフロー/アンダフローに設定する必要はありません。

24.2.6 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH, MTU1.TIOR, MTU2.TIOR, MTU3.TIORH, MTU4.TIORH, MTU6.TIORH, MTU7.TIORH, MTU8.TIORH

アドレス MTU0.TIORH 000C 1302h, MTU1.TIOR 000C 1382h, MTU2.TIOR 000C 1402h, MTU3.TIORH 000C 1204h,
MTU4.TIORH 000C 1206h, MTU6.TIORH 000C 1A04h, MTU7.TIORH 000C 1A06h, MTU8.TIORH 000C 1602h

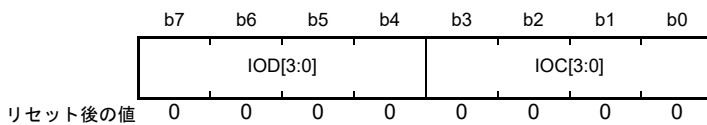


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/OコントロールAビット(注1)	下記の表を参照してください MTU0.TIORH : 表 24.27 MTU1.TIOR : 表 24.29 MTU2.TIOR : 表 24.30 MTU3.TIORH : 表 24.31 MTU4.TIORH : 表 24.33 MTU6.TIORH : 表 24.35 MTU7.TIORH : 表 24.37 MTU8.TIORH : 表 24.39	R/W
b7-b4	IOB[3:0]	I/OコントロールBビット(注1)	下記の表を参照してください MTU0.TIORH : 表 24.13 MTU1.TIOR : 表 24.15 MTU2.TIOR : 表 24.16 MTU3.TIORH : 表 24.17 MTU4.TIORH : 表 24.19 MTU6.TIORH : 表 24.21 MTU7.TIORH : 表 24.23 MTU8.TIORH : 表 24.25	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0] (m = A, B)の値を出力禁止 (“0000b”または“0100b”)へ変更するとHi-Zになります。

- MTU0.TIORL, MTU3.TIORL, MTU4.TIORL, MTU6.TIORL, MTU7.TIORL, MTU8.TIORL

アドレス MTU0.TIORL 000C 1303h, MTU3.TIORL 000C 1205h, MTU4.TIORL 000C 1207h, MTU6.TIORL 000C 1A05h,
MTU7.TIORL 000C 1A07h, MTU8.TIORL 000C 1603h

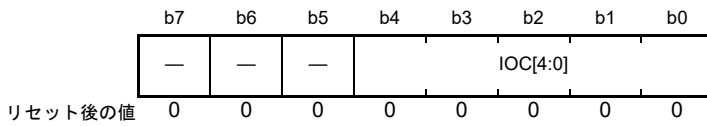


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット(注1)	下記の表を参照してください MTU0.TIORL : 表 24.28 MTU3.TIORL : 表 24.32 MTU4.TIORL : 表 24.34 MTU6.TIORL : 表 24.36 MTU7.TIORL : 表 24.38 MTU8.TIORL : 表 24.40	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット(注1)	下記の表を参照してください MTU0.TIORL : 表 24.14 MTU3.TIORL : 表 24.18 MTU4.TIORL : 表 24.20 MTU6.TIORL : 表 24.22 MTU7.TIORL : 表 24.24 MTU8.TIORL : 表 24.26	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0] (m = C, D)の値を出力禁止 (“0000b”または“0100b”)へ変更するとHi-Zになります。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス MTU5.TIORU 000C 1C86h, MTU5.TIORV 000C 1C96h, MTU5.TIORW 000C 1CA6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU, MTU5.TIORV, MTU5.TIORW : 表24.41	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TIORレジスタは、TGR_mレジスタを制御します。MTU0、MTU3、MTU4、MTU6、MTU7、MTU8に各2本、MTU1、MTU2に各1本、MTU5にはMTU5.TIORU/V/Wの3本、計17本のTIORがあります。TIORレジスタはTMDRレジスタの設定が、ノーマルモード、PWMモード、位相計数モードの場合に設定します。

TIORレジスタはTMDR1レジスタの設定により影響を受けますので注意してください。

TIORレジスタで指定した初期出力はカウンタ停止した（TSTRA.CST_nビットおよびTSTRB.CST_nビットを“0”にした）状態で有効になります。また、PWMモード2の場合にはカウンタが“0000h”になった時点での出力を指定します。

TGRCレジスタ、あるいはTGRDレジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表24.13 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) の カウントアップ/カウントダウンでインプットキャプチャ(注1)

x : Don't care

注1. MTU1のカウントクロックにPCLKA/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表24.14 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) の カウントアップ/カウントダウンでインプットキャプチャ(注2)

x : Don't care

注1. MTU0.TMDR1.BFBビットを"1"にして、MTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLKA/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表24.15 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB/TGRBLW レジスタの機能	MTIOC1B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	0		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生 でインプットキャプチャ
1	1	1	x		MTU8.TGRCのコンペアマッチの発生でインプットキャプチャ

x : Don't care

表24.16 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC2B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表24.17 TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC3B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表24.18 TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRD レジスタの機能	MTIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR1.BFBビットを“1”にして、MTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 24.19 TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC4B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 24.20 TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRD レジスタの機能	MTIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR1.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表24.21 TIORH (MTU6)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC6B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表24.22 TIORL (MTU6)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRD レジスタの機能	MTIOC6D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU6.TMDR1.BFBビットを“1”にして、MTU6.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表24.23 TIORH (MTU7)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC7B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表24.24 TIORL (MTU7)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRD レジスタの機能	MTIOC7D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU7.TMDR1.BFBビットを“1”にして、MTU7.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表24.25 TIORH (MTU8)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC8B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) のカウントアップ/カウントダウンでインプットキャプチャ	

x : Don't care

表24.26 TIORL (MTU8)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC8D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU8.TMDR1.BFBビットを“1”にして、MTU8.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表24.27 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	0		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) の カウントアップ/カウントダウンでインプットキャプチャ(注1)
1	1	1	x		MTU8.TGRCのコンペアマッチの発生でインプットキャプチャ

x : Don't care

注1. MTU1のカウントクロックにPCLKA/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表24.28 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC0C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) の カウントアップ/カウントダウンでインプットキャプチャ(注2)

x : Don't care

注1. MTU0.TMDR1.BFAビットを“1”にして、MTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウンタクロックにPCLKA/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表 24.29 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA/TGRALW レジスタの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生 でインプットキャプチャ

x : Don't care

表 24.30 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表24.31 TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC3A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表24.32 TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU3.TMDR1.BFAビットを“1”にして、MTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表24.33 TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表24.34 TIORL (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU4.TMDR1.BFAビットを“1”にして、MTU4.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 24.35 TIORH (MTU6)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC6A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 24.36 TIORL (MTU6)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC6C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU6.TMDR1.BFAビットを“1”にして、MTU6.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表24.37 TIORH (MTU7)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC7A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表24.38 TIORL (MTU7)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC7C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU7.TMDR1.BFAビットを“1”にして、MTU7.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 24.39 TIORH (MTU8)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC8A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 24.40 TIORL (MTU8)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC8C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU8.TMDR1.BFAビットを“1”にして、MTU8.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表24.41 TIORU, TIORV, TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC[4]	IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRU、TGRV、 TGRWレジスタの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	アウトプットコンペア レジスタ	機能なし
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャ レジスタ(注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		MTU8.TGRCのコンペアマッチの発生でキャプチャ
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x : Don't care

注1. IOC[4:0]ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時か、MTU6、MTU7と連動したデッドタイム補償機能使用時のみとしてください。詳細は「24.3.11 外部パルス幅測定機能」、「24.3.12 デッドタイム補償機能」を参照してください。

24.2.7 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 000C 1CB6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの“0000h”クリアを禁止 1 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの“0000h”クリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの“0000h”クリアを禁止 1 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの“0000h”クリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの“0000h”クリアを禁止 1 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの“0000h”クリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定するレジスタです。MTU5 に 1 本の TCNTCMPCLR レジスタがあります。

24.2.8 タイマインタラプトイネーブルレジスタ (TIER)

- MTU1.TIER, MTU2.TIER

アドレス MTU1.TIER 000C 1384h, MTU2.TIER 000C 1404h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU0.TIER, MTU3.TIER, MTU6.TIER

アドレス MTU0.TIER 000C 1304h, MTU3.TIER 000C 1208h, MTU6.TIER 000C 1A08h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU4.TIER, MTU7.TIER

アドレス MTU4.TIER 000C 1209h, MTU7.TIER 000C 1A09h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU8.TIER

アドレス MTU8.TIER 000C 1604h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR 割り込み許可 A ビット	0: 割り込み要求 (TGIA) を禁止 1: 割り込み要求 (TGIA) を許可	R/W
b1	TGIEB	TGR 割り込み許可 B ビット	0: 割り込み要求 (TGIB) を禁止 1: 割り込み要求 (TGIB) を許可	R/W
b2	TGIEC	TGR 割り込み許可 C ビット	0: 割り込み要求 (TGIC) を禁止 1: 割り込み要求 (TGIC) を許可	R/W
b3	TGIED	TGR 割り込み許可 D ビット	0: 割り込み要求 (TGID) を禁止 1: 割り込み要求 (TGID) を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み要求 (TCIV) を禁止 1: 割り込み要求 (TCIV) を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0: 割り込み要求 (TCIU) を禁止 1: 割り込み要求 (TCIU) を許可	R/W
b6	TTGE2	A/D 変換開始要求許可 2 ビット	0: MTUn.TCNT のアンダフロー (谷) による A/D 変換要求を禁止 1: MTUn.TCNT のアンダフロー (谷) による A/D 変換要求を許可	R/W
b7	TTGE	A/D 変換開始要求許可ビット	0: A/D 変換開始要求の生成を禁止 1: A/D 変換開始要求の生成を許可	R/W

n = 4, 7

TIER レジスタは、各チャンネルの割り込み要求の許可、禁止を制御するレジスタです。MTU0 に 2 本、MTU1 ~ MTU8 に各 1 本、計 10 本の TIER レジスタがあります。

TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)

割り込み要求 (TGIm) を許可または禁止します (m = A, B)。

TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)

割り込み要求 (TGIm) を許可または禁止します (m = C, D)。

MTU1、MTU2 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み要求 (TCIV) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

割り込み要求 (TCIU) を許可または禁止します。

MTU0、MTU3、MTU4、MTU6、MTU7、MTU8 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

相補 PWM モードで、MTUn.TCNT のアンダフロー (谷) による A/D 変換要求の生成を許可または禁止します (n = 4, 7)。

MTU0 ~ MTU3、MTU6、MTU8 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TGRA レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータの開始要求の生成を許可または禁止します。

MTU8 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

- MTU0.TIER2

アドレス MTU0.TIER2 000C 1324h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE2	—	—	—	—	—	TGIEF	TGIEE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可Eビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可Fビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTGE2	A/D変換開始要求許可2ビット	0 : MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を禁止 1 : MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を許可	R/W

TGIEE、TGIEF ビット (TGR 割り込み許可 E、F ビット)

MTU0.TCNT と MTU0.TGR_m のコンペアマッチによる割り込み要求の生成を許可または禁止します (m = E, F)。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D 変換開始要求の生成を許可または禁止します。

- MTU5.TIER

アドレス MTU5.TIER 000C 1CB2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可5Wビット	0 : TGIV5 割り込み要求を禁止 1 : TGIV5 割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可5Vビット	0 : TGIV5 割り込み要求を禁止 1 : TGIV5 割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可5Uビット	0 : TGIU5 割り込み要求を禁止 1 : TGIU5 割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5_m ビット (TGR 割り込み許可 5_m ビット)

割り込み要求 (TGI_m5) を許可または禁止します (m = U, V, W)。

24.2.9 タイマステータスレジスタ (TSR)

- MTU1.TSR, MTU2.TSR

アドレス MTU1.TSR 000C 1385h, MTU2.TSR 000C 1405h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

- MTU3.TSR, MTU4.TSR, MTU6.TSR, MTU7.TSR

アドレス MTU3.TSR 000C 122Ch, MTU4.TSR 000C 122Dh, MTU6.TSR 000C 1A2Ch, MTU7.TSR 000C 1A2Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0 : TCNTはダウンカウント 1 : TCNTはアップカウント	R

TSR レジスタは、各チャンネルのステータスの表示を行うレジスタです。MTU1 ~ MTU4、MTU6、MTU7に各1本、計6本のTSRレジスタがあります。

TCFD フラグ (カウント方向フラグ)

MTU1 ~ MTU4、MTU6、MTU7のTCNTのカウント方向を示すステータスフラグです。

24.2.10 タイマバッファ動作転送モードレジスタ (TBTM)

• MTU0.TBTM

アドレス MTU0.TBTM 000C 1326h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TTSE	TTSB	TTSA

リセット後の値 0 0 0 0 0 0 0 0

• MTU3.TBTM, MTU4.TBTM, MTU6.TBTM, MTU7.TBTM

アドレス MTU3.TBTM 000C 1238h, MTU4.TBTM 000C 1239h, MTU6.TBTM 000C 1A38h, MTU7.TBTM 000C 1A39h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TTSB	TTSA

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0 : TGRCからTGRAへの転送タイミングは各チャンネルのコンペアマッチA発生時 1 : TGRCからTGRAへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0 : TGRDからTGRBへの転送タイミングは各チャンネルのコンペアマッチB発生時 1 : TGRDからTGRBへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0 : MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0のコンペアマッチE発生時 1 : MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0.TCNTクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTMレジスタは、PWMモード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7に各1本、計5本のTBTMレジスタがあります。

TTSAビット (タイミング選択Aビット)

各チャンネルのバッファ動作時のTGRCレジスタからTGRAレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSAビットを“1”にしないでください。

TTSBビット (タイミング選択Bビット)

各チャンネルのバッファ動作時のTGRDレジスタからTGRBレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSBビットを“1”にしないでください。

TTSEビット (タイミング選択Eビット)

バッファ動作時のMTU0.TGRFからMTU0.TGREへの転送タイミングを設定します。MTU3、MTU4、MTU6、MTU7では予約ビットです。読むと“0”が読めます。書く場合、“0”にしてください。

なお、PWMモード以外で使用するチャンネルでは、TTSEビットを“1”にしないでください。

24.2.11 タイムインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 000C 1390h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0: MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加しない 1: MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0: MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加しない 1: MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0: MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加しない 1: MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0: MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加しない 1: MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御するレジスタです。MTU1 に 1 本の TICCR レジスタがあります。

24.2.12 タイマシンクロクリアレジスタ (TSYCR)

アドレス MTU6.TSYCR 000C 1A50h

b7	b6	b5	b4	b3	b2	b1	b0
CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CE2B	クリア許可2Bビット	0 : MTU2のTGIB2割り込み発生タイミングでのクリア禁止 1 : MTU2のTGIB2割り込み発生タイミングでのクリア許可	R/W
b1	CE2A	クリア許可2Aビット	0 : MTU2のTGIA2割り込み発生タイミング(注1)でのクリア禁止 1 : MTU2のTGIA2割り込み発生タイミング(注1)でのクリア許可	R/W
b2	CE1B	クリア許可1Bビット	0 : MTU1のTGIB1割り込み発生タイミング(注1)でのクリア禁止 1 : MTU1のTGIB1割り込み発生タイミング(注1)でのクリア許可	R/W
b3	CE1A	クリア許可1Aビット	0 : MTU1のTGIA1割り込み発生タイミング(注1)でのクリア禁止 1 : MTU1のTGIA1割り込み発生タイミング(注1)でのクリア許可	R/W
b4	CE0D	クリア許可0Dビット	0 : MTU0のTGID0割り込み発生タイミング(注1)でのクリア禁止 1 : MTU0のTGID0割り込み発生タイミング(注1)でのクリア許可	R/W
b5	CE0C	クリア許可0Cビット	0 : MTU0のTGIC0割り込み発生タイミング(注1)でのクリア禁止 1 : MTU0のTGIC0割り込み発生タイミング(注1)でのクリア許可	R/W
b6	CE0B	クリア許可0Bビット	0 : MTU0のTGIB0割り込み発生タイミング(注1)でのクリア禁止 1 : MTU0のTGIB0割り込み発生タイミング(注1)でのクリア許可	R/W
b7	CE0A	クリア許可0Aビット	0 : MTU0のTGIA0割り込み発生タイミング(注1)でのクリア禁止 1 : MTU0のTGIA0割り込み発生タイミング(注1)でのクリア許可	R/W

注1. TIERn.TGIEmビットの設定値によりません (n = 0, 1, 2、m = A, B, C, D)。

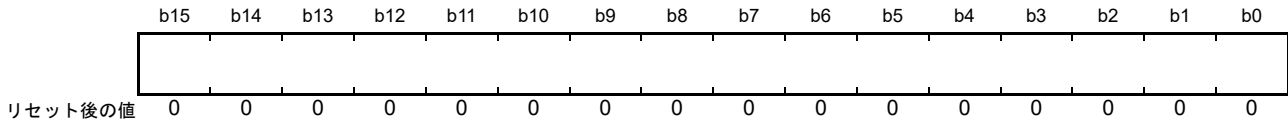
TSYCR レジスタは、MTU の MTU6.TCNT、MTU7.TCNT の同期クリア条件の設定を行うレジスタです。MTU6 に 1 本の TSYCR レジスタがあります。

CE_nm ビット (クリア許可 **nm** ビット) (n = 0, 1, 2、m = A, B, C, D)MTU_n.TGI_mn 割り込み発生タイミングでのクリア禁止 / 許可を設定します。

24.2.13 タイマカウンタ (TCNT)

- MTU0.TCNT ~ MTU7.TCNT

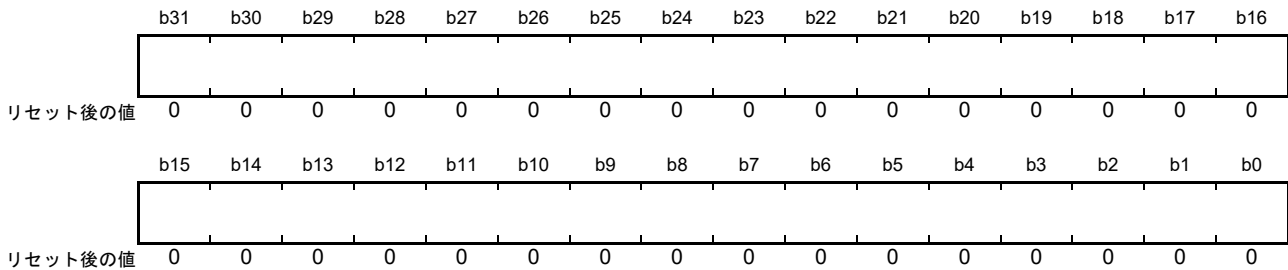
アドレス MTU0.TCNT 000C 1306h, MTU1.TCNT 000C 1386h, MTU2.TCNT 000C 1406h, MTU3.TCNT 000C 1210h,
MTU4.TCNT 000C 1212h, MTU5.TCNTU 000C 1C80h, MTU5.TCNTV 000C 1C90h, MTU5.TCNTW 000C 1CA0h,
MTU6.TCNT 000C 1A10h, MTU7.TCNT 000C 1A12h



注. TCNTの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

- MTU8.TCNT

アドレス MTU8.TCNT 000C 1608h



注. 8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

MTU0.TCNT ~ MTU7.TCNT は、16ビットの読み出し/書き込み可能なカウンタで、MTU8.TCNT は、32ビットの読み出し/書き込み可能なカウンタです。MTU0 ~ MTU4、MTU6、MTU7、MTU8 に各1本、MTU5 に TCNTU、TCNTV、TCNTW の3本、計11本のTCNTがあります。

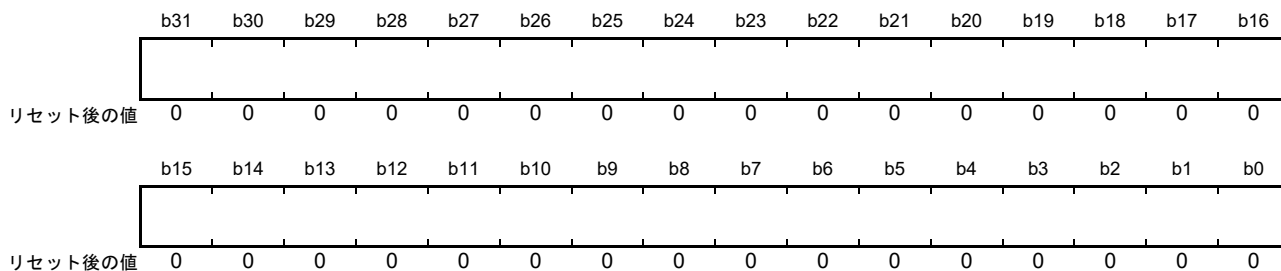
MTU0 ~ MTU4、MTU6、MTU7のTCNTは、リセット時に“0000h”に初期化され、MTU8.TCNTは“0000 0000h”に初期化されます。MTU5のTCNTU、TCNTV、TCNTWは、リセット時に“0000h”に初期化されます。

TCNTの8ビット単位でのアクセスは禁止です。MTU0 ~ MTU4、MTU6、MTU7のTCNTは、16ビット単位でアクセスしてください。MTU8のTCNTは、8/16ビットのアクセスは禁止で、32ビット単位でアクセスしてください。

MTU1.TCNT、MTU2.TCNTは、TMDR3.LWA=1のときは“0000h”が読み出されます。詳細は「24.2.5 タイマモードレジスタ3 (TMDR3)」を参照してください。

24.2.14 タイマロングワードカウンタ (TCNTLW)

アドレス MTU1.TCNTLW 000C 13A0h



注. 8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

TCNTLW カウンタは、TMDR3.LWA = 1 のときのみ有効で、MTU1.TCNT と MTU2.TCNT で構成される、32ビットの読み出し/書き込み可能なカウンタです。MTU1 に 1 本あります。

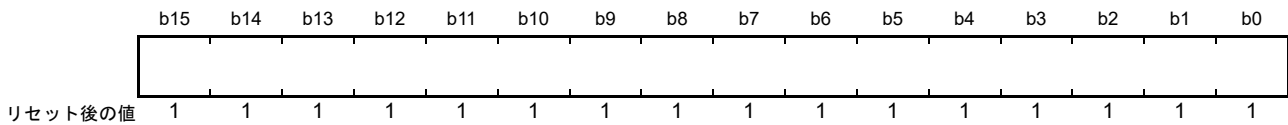
TCNTLW カウンタは、リセット時に“0000 0000h”に初期化されます。また、TMDR3.LWA = 0 のときは“0000 0000h”が読み出されます。詳細は「24.2.5 タイマモードレジスタ 3 (TMDR3)」を参照してください。

本レジスタは 32 ビット位相計数モードのときのみ使用可能です。

24.2.15 タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W)

- MTU0.TGRm ~ MTU7.TGRm

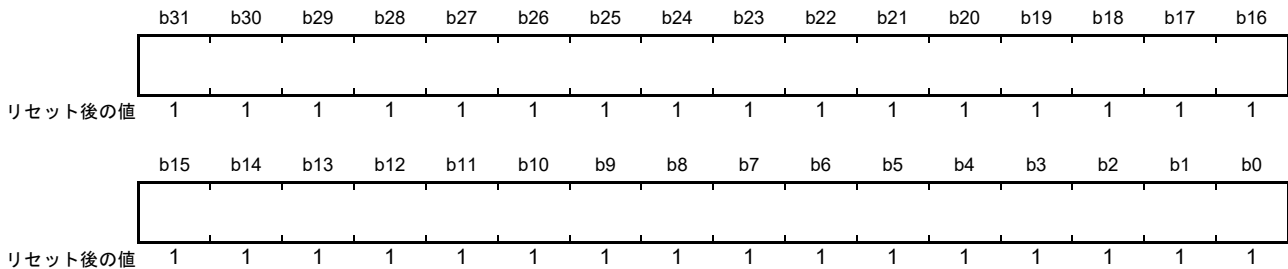
MTU0.TGRA 000C 1308h, MTU0.TGRB 000C 130Ah, MTU0.TGRC 000C 130Ch, MTU0.TGRD 000C 130Eh,
 MTU0.TGRE 000C 1320h, MTU0.TGRF 000C 1322h,
 MTU1.TGRA 000C 1388h, MTU1.TGRB 000C 138Ah,
 MTU2.TGRA 000C 1408h, MTU2.TGRB 000C 140Ah,
 MTU3.TGRA 000C 1218h, MTU3.TGRB 000C 121Ah, MTU3.TGRC 000C 1224h, MTU3.TGRD 000C 1226h,
 MTU3.TGRE 000C 1272h,
 アドレス MTU4.TGRA 000C 121Ch, MTU4.TGRB 000C 121Eh, MTU4.TGRC 000C 1228h, MTU4.TGRD 000C 122Ah,
 MTU4.TGRE 000C 1274h, MTU4.TGRF 000C 1276h,
 MTU5.TGRU 000C 1C82h, MTU5.TGRV 000C 1C92h, MTU5.TGRW 000C 1CA2h,
 MTU6.TGRA 000C 1A18h, MTU6.TGRB 000C 1A1Ah, MTU6.TGRC 000C 1A24h, MTU6.TGRD 000C 1A26h,
 MTU6.TGRE 000C 1A72h,
 MTU7.TGRA 000C 1A1Ch, MTU7.TGRB 000C 1A1Eh, MTU7.TGRC 000C 1A28h, MTU7.TGRD 000C 1A2Ah,
 MTU7.TGRE 000C 1A74h, MTU7.TGRF 000C 1A76h



注. TGRmレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。TGRmレジスタの初期値は、“FFFFh”です。

- MTU8.TGRm

アドレス MTU8.TGRA 000C 160Ch, MTU8.TGRB 000C 1610h, MTU8.TGRC 000C 1614h, MTU8.TGRD 000C 1618h



注. 8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

MTU0.TGRm ~ MTU7.TGRm レジスタは、16ビットの読み出し/書き込み可能なレジスタです。MTU8.TGRm レジスタは、32ビットの読み出し/書き込み可能なレジスタです。MTU0に6本、MTU1、MTU2に各2本、MTU3、MTU6に各5本、MTU4、MTU7に各6本、MTU5に3本、MTU8に4本、計39本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7、MTU8のTGRCレジスタとTGRDレジスタは、バッファレジスタとして動作設定することができます。TGRmレジスタとバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRDになります。

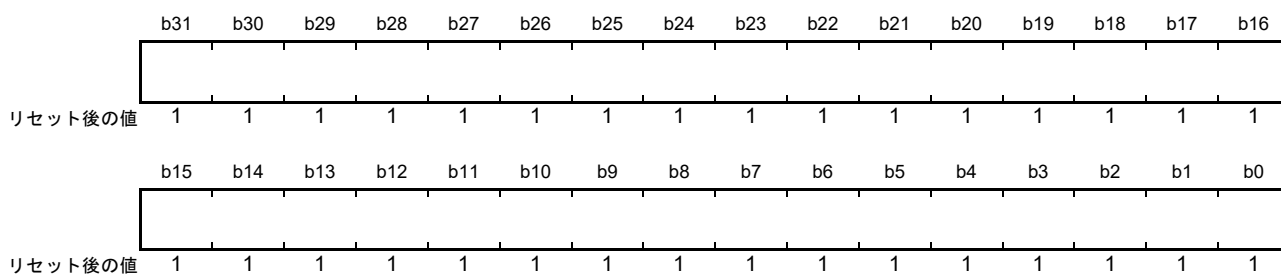
MTU0.TGRE、MTU0.TGRF レジスタはコンペアレジスタとして機能し、MTU0.TCNTカウンタとMTU0.TGREレジスタが一致したとき、A/D変換開始要求を生成することができます。TGRFレジスタは、バッファレジスタとして動作設定することができます。TGRmレジスタとバッファレジスタの組み合わせは、TGRE-TGRFになります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRW レジスタはコンペアマッチ/インプットキャプチャ/外部パルス幅測定兼用のレジスタです。

MTU1.TGRA、MTU2.TGRA、MTU1.TGRB、MTU2.TGRB レジスタは、TMDR3.LWA = 1のときは“0000h”が読み出されます。詳細は「24.2.5 タイマモードレジスタ3 (TMDR3)」を参照してください。

24.2.16 タイマロングワードジェネラルレジスタ m (TGRmLW) (m = A, B)

アドレス MTU1.TGRALW 000C 13A4h, MTU1.TGRBLW 000C 13A8h



注. 8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

TGRmLW レジスタは、TMDR3.LWA = 1 のときのみ有効で、MTU1.TGRm レジスタと MTU2.TGRm レジスタで構成される、32 ビットの読み出し / 書き込み可能なレジスタです。MTU1 に 2 本あります。

TGRmLW レジスタは、リセット時に“FFFF FFFFh”に初期化されますが、TMDR3.LWA = 0 のときは“0000 0000h”が読み出されます。詳細は「24.2.5 タイマモードレジスタ 3 (TMDR3)」を参照してください。

TGRALW レジスタ、TGRBLW レジスタは、32 ビット位相計数モードでのみ使用可能なコンペアマッチ / インプットキャプチャ兼用のレジスタです。

24.2.17 タイマスタートレジスタ (TSTRA, TSTRB, TSTR)

- MTU.TSTRA (MTU0, MTU1, MTU2, MTU3, MTU4, MTU8)

アドレス MTU.TSTRA 000C 1280h

b7	b6	b5	b4	b3	b2	b1	b0
CST4	CST3	—	—	CST8	CST2	CST1	CST0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTはカウント停止 1 : MTU0.TCNTはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTはカウント停止 1 : MTU1.TCNTはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTはカウント停止 1 : MTU2.TCNTはカウント動作	R/W
b3	CST8	カウンタスタート8ビット	0 : MTU8.TCNTはカウント停止 1 : MTU8.TCNTはカウント動作	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0 : MTU3.TCNTはカウント停止 1 : MTU3.TCNTはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0 : MTU4.TCNTはカウント停止 1 : MTU4.TCNTはカウント動作	R/W

注. TCSYSTRレジスタを“1”にしたときは、TSTRAレジスタの対応するビットが自動的に“1”になります。

TSTRA レジスタはMTU0～MTU4、MTU8のTCNTの動作/停止を選択するレジスタです。

TSTRB レジスタはMTU6、MTU7のTCNTの動作/停止を選択するレジスタです。

TSTR レジスタはMTU5のTCNTの動作/停止を選択するレジスタです。

TMDR1 レジスタへ動作モードを設定する場合やTCR レジスタへTCNTのカウントクロックを設定する場合は、TCNTのカウント動作を停止してから行ってください。

CSTn ビット (カウンタスタート n ビット) (n = 0, 1, 2, 3, 4, 8)

各チャンネルのTCNTの動作または停止を選択します。

MTIOC端子を出力状態で動作中に、CSTnビットに“0”を書くとカウンタが停止します。このとき、相補PWMモード/リセット同期PWMモードでは、MTIOC端子からTOCR1AレジスタまたはTOCR2Aレジスタで設定した初期出力レベルが出力されます。

相補PWMモード/リセット同期PWMモード以外では、MTIOC端子のアウトプットコンペア出力レベルは保持されます。CSTnビットが“0”の状態ではTIORレジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU.TSTRB (MTU6, MTU7)

アドレス MTU.TSTRB 000C 1A80h

b7	b6	b5	b4	b3	b2	b1	b0
CST7	CST6	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST6	カウンタスタート6ビット	0 : MTU6.TCNTはカウント停止 1 : MTU6.TCNTはカウント動作	R/W
b7	CST7	カウンタスタート7ビット	0 : MTU7.TCNTはカウント停止 1 : MTU7.TCNTはカウント動作	R/W

注. TCSYSTRレジスタを“1”にしたときは、TSTRBレジスタの対応するビットが自動的に“1”になります。

CSTn ビット (カウンタスタート n ビット) (n = 6, 7)

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタが停止します。このとき、相補 PWM モード / リセット同期 PWM モードでは、MTIOC 端子から TOCR1B レジスタまたは TOCR2B レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード / リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU5.TSTR (MTU5)

アドレス MTU5.TSTR 000C 1CB4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CSTU5	CSTV5	CSTW5

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWはカウント停止 1 : MTU5.TCNTWはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVはカウント停止 1 : MTU5.TCNTVはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUはカウント停止 1 : MTU5.TCNTUはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

24.2.18 タイマシンクロレジスタ m (TSYRm) (m = A, B)

- MTU.TSYRA (MTU0, MTU1, MTU2, MTU3, MTU4)

アドレス MTU.TSYRA 000C 1281h

b7	b6	b5	b4	b3	b2	b1	b0
SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0 : MTU0.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU0.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット	0 : MTU1.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU1.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b2	SYNC2	タイマ同期2ビット	0 : MTU2.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU2.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0 : MTU3.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU3.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b7	SYNC4	タイマ同期4ビット	0 : MTU4.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU4.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W

TSYRA レジスタは MTU0 ~ MTU4 の TCNT の独立動作または同期動作を選択するレジスタです。
TSYRB レジスタは MTU6、MTU7 の TCNT の独立動作または同期動作を選択するレジスタです。
対応するビットを“1”にしたチャンネルが同期動作を行います。

SYNCn ビット (タイマ同期 n ビット) (n = 0, 1, 2, 3, 4)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャンネルの SYNC ビットを“1”にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

- MTU.TSYRB (MTU6, MTU7)

アドレス MTU.TSYRB 000C 1A81h

b7	b6	b5	b4	b3	b2	b1	b0
SYNC7	SYNC6	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC6	タイマ同期6ビット	0 : MTU6.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU6.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b7	SYNC7	タイマ同期7ビット	0 : MTU7.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU7.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W

SYNCn ビット (タイマ同期 n ビット) (n = 6, 7)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低2チャンネルの SYNC ビットを“1”にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

24.2.19 タイマカウンタシンクスタートレジスタ (TCSYSTR)

アドレス MTU.TCSYSTR 000C 1282h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCH0	SCH1	SCH2	SCH3	SCH4	—	SCH6	SCH7
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SCH7	シンクスタート7ビット	0 : MTU7.TCNTをシンクスタートしない 1 : MTU7.TCNTをシンクスタートする	R/(W) (注1)
b1	SCH6	シンクスタート6ビット	0 : MTU6.TCNTをシンクスタートしない 1 : MTU6.TCNTをシンクスタートする	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b3	SCH4	シンクスタート4ビット	0 : MTU4.TCNTをシンクスタートしない 1 : MTU4.TCNTをシンクスタートする	R/(W) (注1)
b4	SCH3	シンクスタート3ビット	0 : MTU3.TCNTをシンクスタートしない 1 : MTU3.TCNTをシンクスタートする	R/(W) (注1)
b5	SCH2	シンクスタート2ビット	0 : MTU2.TCNTをシンクスタートしない 1 : MTU2.TCNTをシンクスタートする	R/(W) (注1)
b6	SCH1	シンクスタート1ビット	0 : MTU1.TCNTをシンクスタートしない 1 : MTU1.TCNTをシンクスタートする	R/(W) (注1)
b7	SCH0	シンクスタート0ビット	0 : MTU0.TCNTをシンクスタートしない 1 : MTU0.TCNTをシンクスタートする	R/(W) (注1)

注1. “1”を書くことのみ可能です。カウントがスタートすると、自動的に“0”になります。

TCSYSTR レジスタはカウンタの同期スタートを行うレジスタです。

SCH7 ビット (シンクスタート7ビット)

MTU7.TCNT のシンクスタートを制御します。

[“0”になる条件]

SCH7 ビットが“1”の状態ですべてのTSTRB.CST7 ビットを“1”にしたとき

SCH6 ビット (シンクスタート6ビット)

MTU6.TCNT のシンクスタートを制御します。

[“0”になる条件]

SCH6 ビットが“1”の状態ですべてのTSTRB.CST6 ビットを“1”にしたとき

SCH4 ビット (シンクスタート4ビット)

MTU4.TCNT のシンクスタートを制御します。

[“0”になる条件]

SCH4 ビットが“1”の状態ですべてのTSTRA.CST4 ビットを“1”にしたとき

SCH3 ビット (シンクスタート3ビット)

MTU3.TCNT のシンクスタートを制御します。

[“0”になる条件]

SCH3 ビットが“1”の状態ですべてのTSTRA.CST3 ビットを“1”にしたとき

SCH2 ビット (シンクロスタート2ビット)

MTU2.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH2 ビットが“1”の状態 で TSTRA.CST2 ビットを“1”にしたとき

SCH1 ビット (シンクロスタート1ビット)

MTU1.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH1 ビットが“1”の状態 で TSTRA.CST1 ビットを“1”にしたとき

SCH0 ビット (シンクロスタート0ビット)

MTU0.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH0 ビットが“1”の状態 で TSTRA.CST0 ビットを“1”にしたとき

24.2.20 タイマリードライトイネーブルレジスタ m (TRWERm) (m = A, B)

アドレス MTU.TRWERA 000C 1284h, MTU.TRWERB 000C 1A84h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0: レジスタのリードライトを禁止する 1: レジスタのリードライトを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWERA レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を指定するレジスタです。

TRWERB レジスタは、MTU6、MTU7 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を指定するレジスタです。

RWE ビット (リードライト許可ビット)

誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。

[“0”になる条件]

- RWE = 1 の状態で RWE ビットを読んだ後、RWE ビットに “0” を書いたとき

- **誤書き込み防止の対象レジスタおよび対象カウンタ (TRWERA)**

MTUn.TCR, MTUn.TCR2, MTUn.TMDR1, MTUn.TIORH, MTUn.TIORL, MTUn.TIER, MTUn.TGRA, MTUn.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA と MTUn.TCNT の計 24 レジスタです (n = 3, 4)。

- **誤書き込み防止の対象レジスタおよび対象カウンタ (TRWERB)**

MTUn.TCR, MTUn.TCR2, MTUn.TMDR1, MTUn.TIORH, MTUn.TIORL, MTUn.TIER, MTUn.TGRA, MTUn.TGRB, MTU.TOERB, MTU.TOCR1B, MTU.TOCR2B, MTU.TCDRB, MTU.TDDRБ と MTUn.TCNT の計 23 レジスタです (n = 6, 7)。

24.2.21 タイマアウトプットマスタイネーブルレジスタ m (TOERm) (m = A, B)

• MTU.TOERA

アドレス MTU.TOERA 000C 120Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータ方向レジスタ (PDR)、ポート出力データレジスタ (PODR) に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ (PMR) で汎用入出力ポート使用に切り替えてください。詳細は、「22. I/Oポート」を参照してください。

TOERA レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可 / 禁止を行うレジスタです。

これらの端子は TOERA レジスタの各ビットの設定をしないと正しく出力されません。TOERA レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERA レジスタは、MTU.TSTRA レジスタの CST3、CST4 ビットを“0”にした後で設定してください。

- MTU.TOERB

アドレス MTU.TOERB 000C 1A0Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE7D	OE7C	OE6D	OE7B	OE7A	OE6B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE6B	マスタ許可MTIOC6Bビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b1	OE7A	マスタ許可MTIOC7Aビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b2	OE7B	マスタ許可MTIOC7Bビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b3	OE6D	マスタ許可MTIOC6Dビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b4	OE7C	マスタ許可MTIOC7Cビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b5	OE7D	マスタ許可MTIOC7Dビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータ方向レジスタ (PDR)、ポート出力データレジスタ (PODR) に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ (PMR) で汎用入出力ポート使用に切り替えてください。詳細は、「22. I/Oポート」を参照してください。

TOERB レジスタは、出力端子の MTIOC7D、MTIOC7C、MTIOC6D、MTIOC7B、MTIOC7A、MTIOC6B の出力設定の許可 / 禁止を行うレジスタです。

これらの端子は TOERB レジスタの各ビットの設定をしないと正しく出力されません。TOERB レジスタは MTU6、MTU7 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERB レジスタは、MTU.TSTRB レジスタの CST6、CST7 ビットを“0”にした後で設定してください (図 24.44、図 24.48 参照)。

24.2.22 タイマアウトプットコントロールレジスタ 1m (TOCR1m) (m = A, B)

アドレス MTU.TOCR1A 000C 120Eh, MTU.TOCR1B 000C 1A0Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット(注1、注3)	表 24.42を参照してください	R/W
b1	OLSN	出力レベル選択Nビット(注1、注3)	表 24.43を参照してください	R/W
b2	TOCS	TOC 選択ビット	0 : TOCR1mの設定を有効にする (m = A, B) 1 : TOCR2mの設定を有効にする	R/W
b3	TOCL	TOC レジスタ書き込み禁止ビット(注2、注4)	0 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM 同期出力許可ビット	0 : トグル出力を禁止 1 : トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOCR1m.TOCSビットを“0”にすることにより、本設定が有効になります。

注2. TOCR1m.TOCLビットを“1”にすることにより、CPU暴走時の誤書き込みを防止することができます。

注3. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。

注4. リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1A、TOCR1B レジスタは、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行うレジスタです。

OLSP ビット (出力レベル選択 P ビット)

リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。

カウンタが停止した状態では、初期出力が選択されます。

OLSN ビット (出力レベル選択 N ビット)

リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。

カウンタが停止した状態では、初期出力が選択されます。

TOCS ビット (TOC 選択ビット)

相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1m レジスタと TOCR2m レジスタ (m = A, B) のどちらの設定を有効にするか選択します。

TOCL ビット (TOC レジスタ書き込み禁止ビット)

TOCR1m レジスタ (m = A, B) の TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。

PSYE ビット (PWM 同期出力許可ビット)

PWM 周期に同期したトグル出力を、MTIOC3A、MTIOC6A 端子から出力するかどうかを設定します。

表 24.42 出力レベル選択機能

ビット0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 24.43 出力レベル選択機能

ビット1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例（1 相分）を図 24.3 に示します。

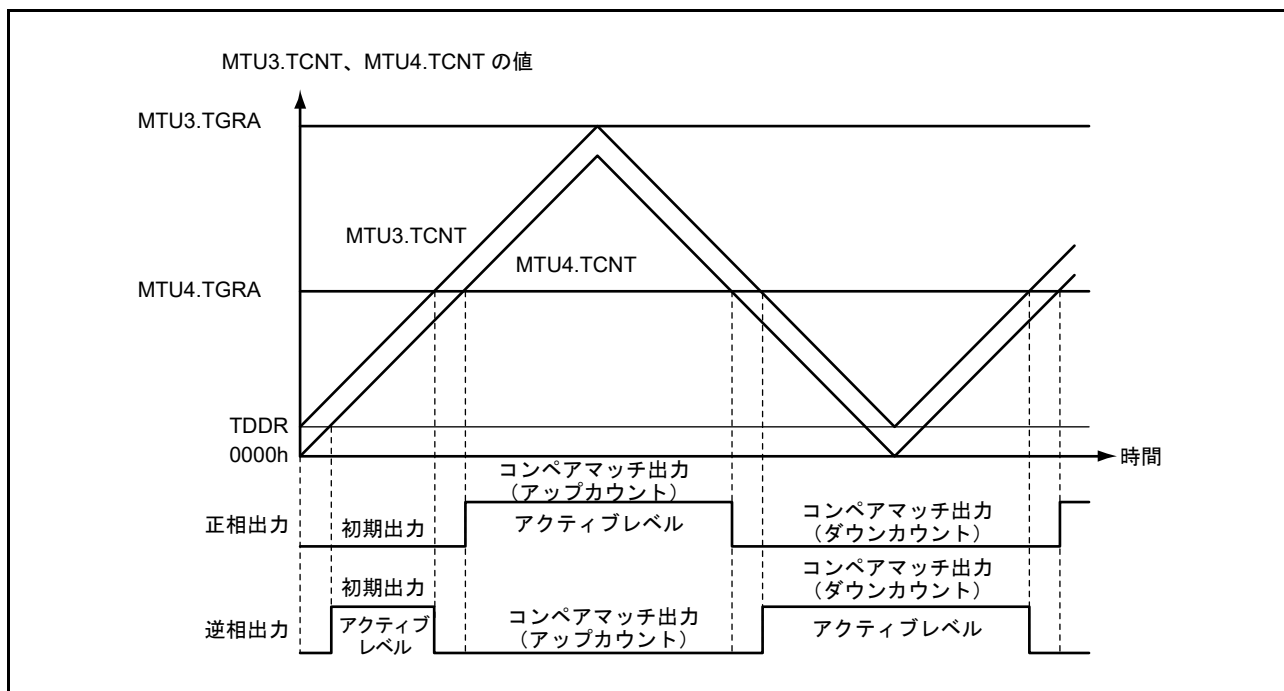


図 24.3 相補 PWM モードの出力レベルの例

24.2.23 タイマアウトプットコントロールレジスタ 2m (TOCR2m) (m = A, B)

アドレス MTU.TOCR2A 000C 120Fh, MTU.TOCR2B 000C 1A0Fh

b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値		0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択 1P ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3B/MTIOC6Bの出力レベルを選択します 表24.44を参照してください	R/W
b1	OLS1N	出力レベル選択 1N ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3D/MTIOC6Dの出力レベルを選択します 表24.45を参照してください	R/W
b2	OLS2P	出力レベル選択 2P ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4A/MTIOC7Aの出力レベルを選択します 表24.46を参照してください	R/W
b3	OLS2N	出力レベル選択 2N ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4C/MTIOC7Cの出力レベルを選択します 表24.47を参照してください	R/W
b4	OLS3P	出力レベル選択 3P ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4B/MTIOC7Bの出力レベルを選択します 表24.48を参照してください	R/W
b5	OLS3N	出力レベル選択 3N ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4D/MTIOC7Dの出力レベルを選択します 表24.49を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング 選択ビット	TOLBRmからTOCR2mへのバッファ転送タイミングを 選択します 詳細は表24.50を参照してください	R/W

m = A, B

注1. TOCR1m.TOCSビットを“1”にすることにより、本設定が有効になります。

注2. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLS*i*Pビットのみ有効となります。
(i = 1, 2, 3)

TOCR2A、TOCR2B レジスタは、相補PWMモード/リセット同期PWMモードにおけるPWM出力の出力レベル反転の制御を行うレジスタです。

カウンタが停止した状態では、初期出力が選択されます。

表24.44 MTIOCnB出力レベル選択機能

ビット0	機能			
	初期出力	アクティブ レベル	コンペアマッチ出力	
アップカウント			ダウンカウント	
0	High	Low	Low	High
1	Low	High	High	Low

n = 3, 6

表 24.45 MTIOcNd 出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 3, 6

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 24.46 MTIOcNa 出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 4, 7

表 24.47 MTIOcNc 出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 4, 7

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 24.48 MTIOcNb 出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 4, 7

表 24.49 MTIOcNd 出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 4, 7

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表24.50 TOCR2m.BF[1:0]ビットの設定

ビット7 BF[1]	ビット6 BF[0]	説明	
		相補PWMモード時	リセット同期PWMモード時
0	0	バッファレジスタ (TOLBRm) から TOCR2m へ転送しない	バッファレジスタ (TOLBRm) から TOCR2m へ転送しない
0	1	MTUn.TCNTの山でバッファレジスタ (TOLBRm) から TOCR2m へ転送する	MTUk.TCNT、MTUn.TCNT カウンタクリア時にバッファレジスタ (TOLBRm) から TOCR2m へ転送する
1	0	MTUn.TCNTの谷でバッファレジスタ (TOLBRm) から TOCR2m へ転送する	設定しないでください
1	1	MTUn.TCNTの山と谷でバッファレジスタ (TOLBRm) から TOCR2m へ転送する	設定しないでください

n = 4, 7、k = 3, 6、m = A, B

24.2.24 タイマアウトプットレベルバッファレジスタ m (TOLBRm) (m = A, B)

アドレス MTU.TOLBRA 000C 1236h, MTU.TOLBRB 000C 1A36h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2mのOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2mのOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2mのOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2mのOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2mのOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2mのOLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = A, B

TOLBRA、TOLBRBレジスタはTOCR2A、TOCR2Bレジスタのバッファレジスタで、相補PWMモード/リセット同期PWMモードにおけるPWM出力レベルの設定を行うレジスタです。

PWM出力レベルの設定をバッファ動作で行う場合の設定手順例を図24.4に示します。

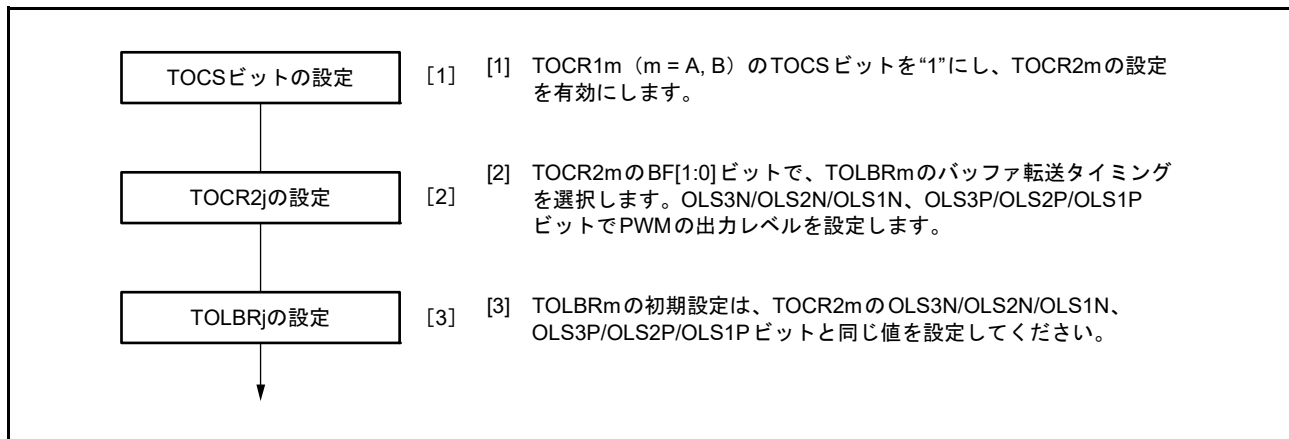


図 24.4 PWM出力レベルの設定をバッファ動作で行う場合の設定手順例

24.2.25 タイマゲートコントロールレジスタ A (TGCRA)

アドレス MTU.TGCRA 000C 120Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	BDC	N	P	FB	WF	VF	UF

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はFBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりになります。表 24.51 を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替えは、外部入力（入力元は、MTU0の TGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCRAのUF、VF、WFの設定値）	R/W
b4	P	正相出力(P)制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力(N)制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能は有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCRA レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、TGCRA レジスタの設定は無効です。

UF、VF、WF ビット（出力相切り替えビット）

これらのビットの設定はFB ビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりになります。表 24.51 を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相/逆相の出力の切り替えをMTU0のTGRA、TGRB、TGRCレジスタのインプットキャプチャ信号で自動的に行うか、TGCRAレジスタのビット2～0に“0”または“1”を書き込むことによって行うかを選択します。

TGCRA.FB ビットが“0”の場合、MTU0のTGRA、TGRB、TGRCレジスタのインプットキャプチャ信号により、MTU3、MTU4の出力を切り替えます。

P ビット（正相出力(P)制御ビット）

正相端子（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子）を出力時、レベル出力をするか、リセット同期 PWM/相補 PWM 出力するかを選択します。

N ビット（逆相出力(N)制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子）を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。

BDC ビット (ブラシレス DC モータビット)

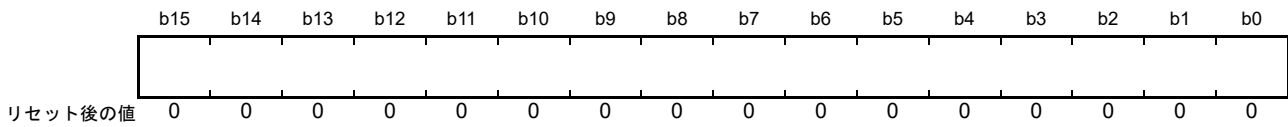
TGCRA レジスタの機能を有効にするか、無効にするかを選択します。

表24.51 出力レベル選択機能

ビット2	ビット1	ビット0	機能					
			MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
WF	VF	UF	U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

24.2.26 タイマサブカウンタ m (TCNTSm) (m = A, B)

アドレス MTU.TCNTSA 000C 1220h, MTU.TCNTSB 000C 1A20h

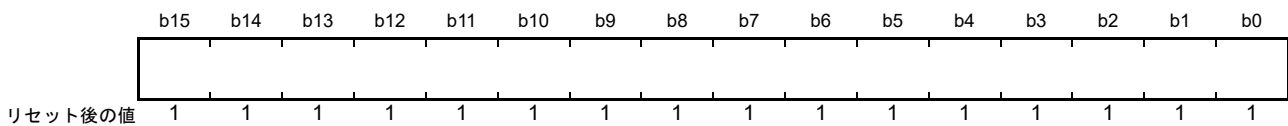


注. TCNTSA、TCNTSBレジスタの8ビット単位でアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTSA、TCNTSB レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTSA、TCNTSB レジスタのリセット後の値は“0000h”です。

24.2.27 タイマ周期データレジスタ m (TCDRm) (m = A, B)

アドレス MTU.TCDRA 000C 1214h, MTU.TCDRB 000C 1A14h

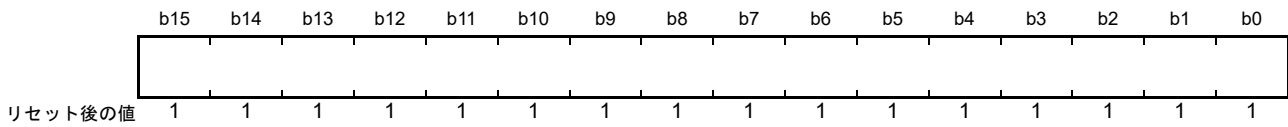


注. TCDRA、TCDRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCDRA、TCDRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し/書き込み可能なレジスタです。TCDRA、TCDRB レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。TCDRA、TCDRB レジスタは、相補 PWM モード時 TCNTSA、TCNTSB カウンタと常時比較され、一致すると TCNTSA、TCNTSB カウンタはカウント方向を切り替えます (ダウンカウント→アップカウント)。TCDRA、TCDRB レジスタのリセット後の値は“FFFFh”です。

24.2.28 タイマ周期バッファレジスタ m (TCBRm) (m = A, B)

アドレス MTU.TCBRA 000C 1222h, MTU.TCBRB 000C 1A22h

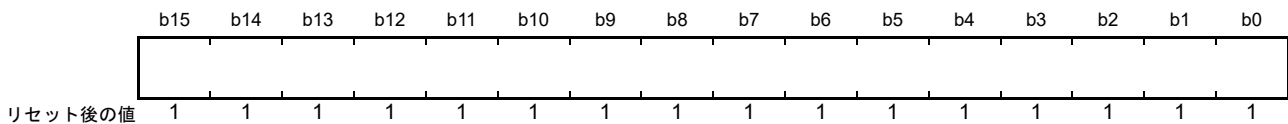


注. TCBRA、TCBRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCBRA、TCBRBレジスタは、相補PWMモード時のみ使用される16ビットの読み出し/書き込み可能なレジスタで、TCDRA、TCDRBレジスタのバッファレジスタとして機能します。TMDR1レジスタで設定した転送タイミングでTCBRA、TCBRBレジスタの値がTCDRA、TCDRBレジスタに転送されます。TCBRA、TCBRBレジスタのリセット後の値は“FFFFh”です。

24.2.29 タイマデッドタイムデータレジスタ m (TDDRm) (m = A, B)

アドレス MTU.TDDRA 000C 1216h, MTU.TDDRB 000C 1A16h



注. TDDRA、TDDRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TDDRA、TDDRBレジスタは、相補PWMモード時のみ使用される16ビットの読み出し/書き込み可能なレジスタで、相補PWMモード時MTU3.TCNT (MTU6.TCNT) とMTU4.TCNT (MTU7.TCNT) カウンタのオフセット値を設定します。相補PWMモード時にMTU3.TCNT (MTU6.TCNT)、MTU4.TCNT (MTU7.TCNT) カウンタをクリアして再スタートするときは、TDDRA (TDDRB) レジスタの値がMTU3.TCNT (MTU6.TCNT) カウンタにロードされカウント動作を開始します。TDDRA、TDDRBレジスタのリセット後の値は“FFFFh”です。

24.2.30 タイマデッドタイムイネーブルレジスタ m (TDERm) (m = A, B)

アドレス MTU.TDERA 000C 1234h, MTU.TDERB 000C 1A34h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイムイネーブルビット	0: デッドタイムを生成しない 1: デッドタイムを生成する(注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDRA ≥ 1、TDDRБ ≥ 1に設定してください。

TDERA、TDERB レジスタは、TDERA は MTU3、TDERB は MTU6 に各 1 本あり、相補 PWM モードのデッドタイム生成を制御するレジスタです。TDERA、TDERB レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット (デッドタイムイネーブルビット)

デッドタイムの生成をする / しないを設定します。

[“0”になる条件]

- TDER = 1 の状態で TDER を読んだ後、TDER に “0” を書いたとき

24.2.31 タイマバッファ転送設定レジスタ m (TBTERm) (m = A, B)

アドレス MTU.TBTERA 000C 1232h, MTU.TBTERB 000C 1A32h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタ(注1)からテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定します 詳細は表24.52を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 対象バッファレジスタ (TBTERA)
MTU3.TGRC, MTU3.TGRD, MTU4.TGRC, MTU4.TGRD, MTU.TCBRA
対象バッファレジスタ (TBTERB)
MTU6.TGRC, MTU6.TGRD, MTU7.TGRC, MTU7.TGRD, MTU.TCBRB

TBTERA、TBTERB レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定するレジスタです。

表24.52 TBTERA.BTE[1:0]ビット、TBTERB.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE[1]	BTE[0]	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない(注1) また、割り込み間引き機能1と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能1と連動する(注2)
1	1	設定しないでください

注1. TMDR1.MD[3:0]ビットの設定に従い転送します。詳細は「24.3.8 相補PWMモード」を参照してください。
注2. 割り込み間引きが禁止のとき(タイマ割り込み間引き設定レジスタ (TITCR1A (TITCR1B)) のT3AEN、T4VEN (T6AEN, T7VEN) ビットを“0”にしたとき、またはTITCR1A (TITCR1B) の間引き回数設定ビット (T3ACOR、T4VCOR (T6ACOR, T7VCOR)) を“0”にしたとき)は、バッファ転送を割り込み間引きと連動しない設定(タイマバッファ転送レジスタ (TBTERA (TBTERB)) のBTE1ビットを“0”にする)にしてください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

24.2.32 タイマ波形コントロールレジスタ m (TWCRm) (m = A, B)

アドレス MTU.TWCRA 000C 1260h, MTU.TWCRB 000C 1A60h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	SCC	WRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	波形保持許可ビット	0 : TOCR1A, TOCR2A (TOCR1B, TOCR2B) レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する	R/(W) (注3)
b1	SCC	同期クリアコントロールビット(注1、注3)	(TWCRB レジスタのみ有効) 0 : MTU0、MTU1、MTU2—MTU6、MTU7 同期クリア機能による MTU6.TCNT、MTU7.TCNT のクリア有効 1 : MTU0、MTU1、MTU2—MTU6、MTU7 同期クリア機能による MTU6.TCNT、MTU7.TCNT のクリア無効	R/(W)
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE	コンペアマッチクリア許可ビット(注2)	0 : MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをしない 1 : MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする	R/(W)

注1. TWCRB レジスタのみ有効です、TWCRA レジスタでは予約ビットです。

注2. 相補PWMモード1のとき以外は、“1”を書かないでください。

注3. 相補PWMモードのとき以外は、“1”を書かないでください。

TWCRA、TWCRB レジスタは、相補 PWM モードで MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする / しないを設定します。

TWCRA、TWCRB レジスタの CCE、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

WRE ビット (波形保持許可ビット)

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の T_b 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) スタート直後の谷の T_b 区間で同期クリアが発生した場合も、TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで設定した初期値を出力します。

相補 PWM モードの谷の T_b 区間については、図 24.50 を参照してください。

[“1”になる条件]

- WRE = 0 で WRE ビットを読んだ後、WRE ビットに“1”を書いたとき

SCC ビット (同期クリアコントロールビット)

相補 PWM モードで MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアが発生したときに、MTU6.TCNT、MTU7.TCNT をクリアする / しないを設定します。

本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。また、カウンタの動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。

SCC ビットの設定により MTU からの同期クリアが無効になるのは、谷の T_b 区間以外で同期クリアが発生したときのみです。MTU6.TCNT、MTU7.TCNT スタート直後を含む谷の T_b 区間で同期クリアが発生した場合は、MTU6.TCNT、MTU7.TCNT がクリアされます。

相補 PWM モードの谷の T_b 区間については、[図 24.50](#) を参照してください。

[“1”になる条件]

- SCC = 0 で SCC ビットを読んだ後、SCC ビットに“1”を書いたとき

TWCRA レジスタでは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

CCE ビット (コンペアマッチクリア許可ビット)

相補 PWM モードで、MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする / しないを設定します。

[“1”になる条件]

- CCE = 0 で CCE ビットを読んだ後、CCE ビットに“1”を書いたとき

24.2.33 ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ~ 4, 6, 7, 8, C)

- MTU0.NFCR0, MTU1.NFCR1, MTU2.NFCR2, MTU3.NFCR3, MTU4.NFCR4, MTU6.NFCR6, MTU7.NFCR7, MTU8.NFCR8

アドレス MTU0.NFCR0 000C 1290h, MTU1.NFCR1 000C 1291h, MTU2.NFCR2 000C 1292h, MTU3.NFCR3 000C 1293h, MTU4.NFCR4 000C 1294h, MTU6.NFCR6 000C 1A93h, MTU7.NFCR7 000C 1A94h, MTU8.NFCR8 000C 1298h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタA許可ビット	0 : MTIOCnA端子のノイズフィルタは無効 1 : MTIOCnA端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタB許可ビット	0 : MTIOCnB端子のノイズフィルタは無効 1 : MTIOCnB端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタC許可ビット(注1)	0 : MTIOCnC端子のノイズフィルタは無効 1 : MTIOCnC端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタD許可ビット(注1)	0 : MTIOCnD端子のノイズフィルタは無効 1 : MTIOCnD端子のノイズフィルタは有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKA/1 0 1 : PCLKA/8 1 0 : PCLKA/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. MTU1、MTU2では予約ビットです。読むと“0”が読めます。書き込みは無効です。

NFCRn レジスタ (n = 0 ~ 4, 6, 7, 8) は、対応するチャネルのインプットキャプチャ入力端子のノイズフィルタ機能を設定します。

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTIOCnA 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTIOCnB 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTIOCnC 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTIOcNd 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。本ビットを“11b”に設定しカウントソースを外部クロックとした場合、本ビット設定後外部クロックを2回入力した後インプットキャプチャ機能に設定してください。

- MTU0.NFCRC

アドレス MTU0.NFCRC 000C 1299h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0 : MTCLKA 端子のノイズフィルタは無効 1 : MTCLKA 端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0 : MTCLKB 端子のノイズフィルタは無効 1 : MTCLKB 端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット	0 : MTCLKC 端子のノイズフィルタは無効 1 : MTCLKC 端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタ D 許可ビット	0 : MTCLKD 端子のノイズフィルタは無効 1 : MTCLKD 端子のノイズフィルタは有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKA/1 0 1 : PCLKA/2 1 0 : PCLKA/8 1 1 : PCLKA/32	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCRC レジスタは、各チャネル共通で外部クロック端子のノイズフィルタ機能を設定します。

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTCLKA 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTCLKB 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTCLKC 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図

しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTCLKD 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。

24.2.34 ノイズフィルタコントロールレジスタ 5 (NFCR5)

アドレス MTU5.NFCR5 000C 1A95h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	—	NFWE N	NFVEN	NFUEN	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0 : MTIC5U端子のノイズフィルタは無効 1 : MTIC5U端子のノイズフィルタは有効	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0 : MTIC5V端子のノイズフィルタは無効 1 : MTIC5V端子のノイズフィルタは有効	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0 : MTIC5W端子のノイズフィルタは無効 1 : MTIC5W端子のノイズフィルタは有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKA/1 0 1 : PCLKA/8 1 0 : PCLKA/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFUEN ビット (ノイズフィルタ U 許可ビット)

MTIC5U 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFVEN ビット (ノイズフィルタ V 許可ビット)

MTIC5V 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFWEN ビット (ノイズフィルタ W 許可ビット)

MTIC5W 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。

24.2.35 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

• MTU4.TADCR

アドレス MTU4.TADCR 000C 1240h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D 変換の開始要求 (TRG4BN) を TCIV4 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4BN) を TCIV4 割り込み間引き機能1と連動する	R/W
b1	ITB3AE	TGIA3 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D 変換の開始要求 (TRG4BN) を TGIA3 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4BN) を TGIA3 割り込み間引き機能1と連動する	R/W
b2	ITA4VE	TCIV4 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D 変換の開始要求 (TRG4AN) を TCIV4 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4AN) を TCIV4 割り込み間引き機能1と連動する	R/W
b3	ITA3AE	TGIA3 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D 変換の開始要求 (TRG4AN) を TGIA3 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4AN) を TGIA3 割り込み間引き機能1と連動する	R/W
b4	DT4BE	ダウンカウンタ TRG4BN 許可ビット(注3)	0: MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b5	UT4BE	アップカウンタ TRG4BN 許可ビット	0: MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b6	DT4AE	ダウンカウンタ TRG4AN 許可ビット(注3)	0: MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b7	UT4AE	アップカウンタ TRG4AN 許可ビット	0: MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/TADCOBRB 転送タイミング選択ビット	MTU4.TADCOBRA、MTU4.TADCOBRB から MTU4.TADCORA、MTU4.TADCORB への転送タイミングを選択します。詳細は表 24.53 を参照してください	R/W

注. MTU4.TADCR レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引きが禁止のとき TITCR1A.T3AEN、T4VEN ビットを“0”にしたとき、または TITCR1A.T3ACOR、T4VCOR ビットを“0”にしたときは、“0”にしてください。

注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

注3. 相補 PWM モードのとき以外は、“0”にしてください。

TADCR レジスタは、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。MTU には、MTU4、MTU7 に各 1 本の TADCR レジスタがあります。

表24.53 TADCR.BF[1:0]ビットによる転送タイミングの設定(MTU4)

ビット15	ビット14	説明			
		相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

- MTU7.TADCR

アドレス MTU7.TADCR 000C 1A40h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT7AE	DT7AE	UT7BE	DT7BE	ITA6AE	ITA7VE	ITB6AE	ITB7VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB7VE	TCIV7 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D変換の開始要求 (TRG7BN) をTCIV7 割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7BN) をTCIV7 割り込み間引き機能1と連動する	R/W
b1	ITB6AE	TGIA6 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D変換の開始要求 (TRG7BN) をTGIA6 割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7BN) をTGIA6 割り込み間引き機能1と連動する	R/W
b2	ITA7VE	TCIV7 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D変換の開始要求 (TRG7AN) をTCIV7 割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7AN) をTCIV7 割り込み間引き機能1と連動する	R/W
b3	ITA6AE	TGIA6 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D変換の開始要求 (TRG7AN) をTGIA6 割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7AN) をTGIA6 割り込み間引き機能1と連動する	R/W
b4	DT7BE	ダウンカウントTRG7BN許可ビット(注3)	0: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7BN) を禁止 1: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7BN) を許可	R/W
b5	UT7BE	アップカウントTRG7BN許可ビット	0: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7BN) を禁止 1: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7BN) を許可	R/W
b6	DT7AE	ダウンカウントTRG7AN許可ビット(注3)	0: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7AN) を禁止 1: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7AN) を許可	R/W
b7	UT7AE	アップカウントTRG7AN許可ビット	0: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7AN) を禁止 1: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU7.TADCOBRA/TADCOBRB転送タイミング選択ビット	MTU7.TADCOBRA、MTU7.TADCOBRBからMTU7.TADCORA、MTU7.TADCORBへの転送タイミングを選択します。詳細は表24.54を参照してください	R/W

注. MTU7.TADCRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引きが禁止のときTITCR1B.T6AEN、T7VENビットを“0”に設定したとき、またはTITCR1B.T6ACOR、T7VCORビットを“0”にしたときは、“0”にしてください。

注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。

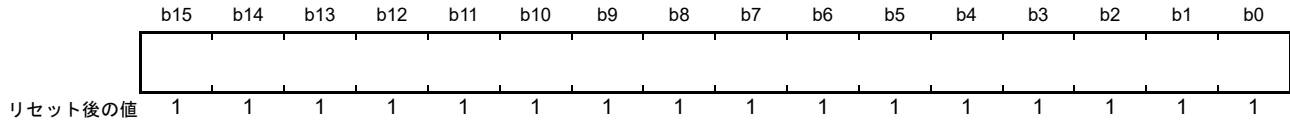
注3. 相補PWMモードのとき以外は、“0”にしてください。

表24.54 TADCR.BF[1:0]ビットによる転送タイミングの設定(MTU7)

ビット15	ビット14	説明			
		相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から、周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から、周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から、周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から、周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送しない
0	1	MTU7.TCNTの山で周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	MTU6.TCNTがMTU6.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する
1	0	MTU7.TCNTの谷で周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU7.TCNTの山と谷で周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

24.2.36 タイマ A/D 変換開始要求周期設定レジスタ m (TADCORm) (m = A, B)

アドレス MTU4.TADCORA 000C 1244h, MTU4.TADCORB 000C 1246h, MTU7.TADCORA 000C 1A44h,
MTU7.TADCORB 000C 1A46h



注. TADCORA、TADCORBは8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能（詳細は「24.3.9(5) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能」を参照）を使用する場合は、本レジスタの値は“0002h”～MTU4：TCDRAの設定値-2、MTU7：TCDRBの設定値-2の値を設定してください。

注2. 割り込み間引き機能2を使用し、かつTADCORAレジスタ値とTADCORBレジスタ値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでのA/D変換要求が発生しない場合があります。以下の設定条件で使用してください。

(1) 間引き機能2、間引き回数が“0”の場合

- TADCORAレジスタ値とTADCORBレジスタ値との間隔が「4」以上
- TADCORAのコンペア間隔が4 PCLKA以上（TADCORAレジスタの更新値を「前値+4以上」、「前値-4以下」に設定）
- TADCORBのコンペア間隔が4 PCLKA以上（TADCORBレジスタの更新値を「前値+4以上」、「前値-4以下」に設定）

(2) 間引き機能2、間引き回数が1以上の場合

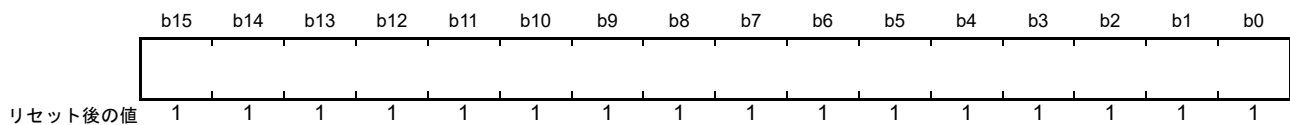
- TADCORAレジスタ値とTADCORBレジスタ値との間隔が「2」以上
- TADCORBのコンペア間隔が2 PCLKA以上（TADCORBレジスタの更新値を「前値+2以上」、「前値-2以下」に設定）

TADCORA、TADCORBレジスタは16ビットの読み出し/書き込み可能なレジスタで、MTUn.TCNT (n=4,7) と一致したとき、対応するA/D変換開始要求を生成します。

TADCORA、TADCORBレジスタのリセット後の値は“FFFFh”です。

24.2.37 タイマ A/D 変換開始要求周期設定バッファレジスタ m (TADCOBRm) (m = A, B)

アドレス MTU4.TADCOBRA 000C 1248h, MTU4.TADCOBRB 000C 124Ah, MTU7.TADCOBRA 000C 1A48h,
MTU7.TADCOBRB 000C 1A4Ah



注. TADCOBRA、TADCOBRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCOBRA、TADCOBRBレジスタは16ビットの読み出し/書き込み可能なレジスタで、TADCORA、TADCORBのバッファレジスタです。TADCOBRA、TADCOBRBから山か谷でTADCORA、TADCORBに転送します。

TADCOBRA、TADCOBRBレジスタのリセット後の値は“FFFFh”です。

24.2.38 タイマ割り込み間引きモードレジスタ m (TITMRm) (m = A, B)

アドレス MTU.TITMRA 000C 123Ah, MTU.TITMRB 000C 1A3Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TITM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TITM	割り込み間引き機能選択ビット	2種類の割り込み間引き機能を選択します。 0: 割り込み間引き機能1(注1) 1: 割り込み間引き機能2(注2)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TITCR1A、TITCR1Bレジスタを設定することにより割り込み間引き機能1が有効になります。

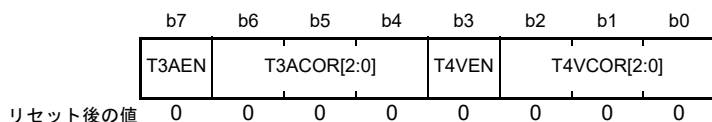
注2. TITCR2A、TITCR2Bレジスタを設定することにより割り込み間引き機能2が有効になります。

TITMRA、TITMRBレジスタは、2種類の間引き機能を選択するレジスタです。

24.2.39 タイマ割り込み間引き設定レジスタ 1m (TITCR1m) (m = A, B)

• MTU.TITCR1A

アドレス MTU.TITCR1A 000C 1230h

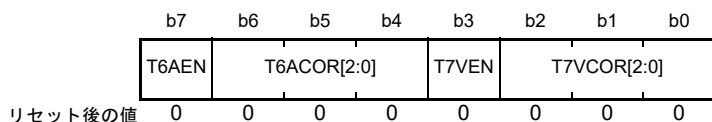


ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4 割り込み間引き回数設定ビット	TCIV4 割り込みの間引き回数を0~7回で設定します 詳細は表 24.55 を参照してください	R/W
b3	T4VEN	T4VEN ビット	0 : TCIV4 割り込みの間引きを禁止する 1 : TCIV4 割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3 割り込み間引き回数設定ビット	TGIA3 割り込みの間引き回数を0~7回で設定します(注1) 詳細は表 24.56 を参照してください	R/W
b7	T3AEN	T3AEN ビット	0 : TGIA3 割り込みの間引きを禁止する 1 : TGIA3 割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1A.T3AEN、TITCR1A.T4VEN ビットを“0”にして間引き回数カウンタ (TITCNT1A) をクリアしてください。

• MTU.TITCR1B

アドレス MTU.TITCR1B 000C 1A30h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCOR[2:0]	TCIV7 割り込み間引き回数設定ビット	TCIV7 割り込みの間引き回数を0~7回で設定します。 詳細は表 24.57 を参照してください	R/W
b3	T7VEN	T7VEN ビット	0 : TCIV7 割り込みの間引きを禁止する 1 : TCIV7 割り込みの間引きを許可する	R/W
b6-b4	T6ACOR[2:0]	TGIA6 割り込み間引き回数設定ビット	TGIA6 割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表 24.58 を参照してください	R/W
b7	T6AEN	T6AEN ビット	0 : TGIA6 割り込みの間引きを禁止する 1 : TGIA6 割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1B.T6AEN、TITCR1B.T7VEN ビットを“0”にして間引き回数カウンタ (TITCNT1B) をクリアしてください。

TITCR1A、TITCR1B レジスタは、割り込み間引きの禁止 / 許可、割り込み間引き回数の設定を制御します。この設定はそれぞれ TITMRA.TITM、TITMRB.TITM ビットを“0”としたときのみ有効になります。また、TITMRA.TITM (TITMRB.TITM) ビットを“1”にした場合、TITCR1A (TITCR1B) レジスタの値はクリアされます。

表24.55 T4VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T4VCOR[2]	ビット1 T4VCOR[1]	ビット0 T4VCOR[0]	説明
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表24.56 T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T3ACOR[2]	ビット5 T3ACOR[1]	ビット4 T3ACOR[0]	説明
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

表24.57 T7VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T7VCOR[2]	ビット1 T7VCOR[1]	ビット0 T7VCOR[0]	説明
0	0	0	TCIV7の割り込み間引きを行わない
0	0	1	TCIV7の割り込み間引き回数を1回に設定
0	1	0	TCIV7の割り込み間引き回数を2回に設定
0	1	1	TCIV7の割り込み間引き回数を3回に設定
1	0	0	TCIV7の割り込み間引き回数を4回に設定
1	0	1	TCIV7の割り込み間引き回数を5回に設定
1	1	0	TCIV7の割り込み間引き回数を6回に設定
1	1	1	TCIV7の割り込み間引き回数を7回に設定

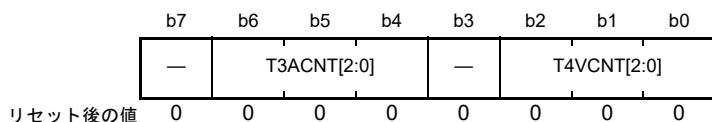
表24.58 T6ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T6ACOR[2]	ビット5 T6ACOR[1]	ビット4 T6ACOR[0]	説明
0	0	0	TGIA6の割り込み間引きを行わない
0	0	1	TGIA6の割り込み間引き回数を1回に設定
0	1	0	TGIA6の割り込み間引き回数を2回に設定
0	1	1	TGIA6の割り込み間引き回数を3回に設定
1	0	0	TGIA6の割り込み間引き回数を4回に設定
1	0	1	TGIA6の割り込み間引き回数を5回に設定
1	1	0	TGIA6の割り込み間引き回数を6回に設定
1	1	1	TGIA6の割り込み間引き回数を7回に設定

24.2.40 タイマ割り込み間引き回数カウンタ 1m (TITCNT1m) (m = A, B)

- MTU.TITCNT1A

アドレス MTU.TITCNT1A 000C 1231h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4 割り込みカウンタビット	TITCR1AのT4VENビットが“1”のとき、TCIV4 割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	T3ACNT[2:0]	TGIA3 割り込みカウンタビット	TITCR1AのT3AENビットが“1”のとき、TGIA3 割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注. TITCNT1Aレジスタの値をクリアするには、TITCR1A.T3AENビットとTITCR1A.T4VENビットを“0”にしてください。

TITCNT1A、TITCNT1B レジスタは、8ビットの読み出し可能なカウンタです。TITCNT1A、TITCNT1Bは、MTU3.TCNT および MTU4.TCNT (MTU6.TCNT および MTU7.TCNT) のカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット (TCIV4 割り込みカウンタビット)

[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T4VEN ビットが“0”のとき
- TITCR1A.T4VCOR[2:0] ビットが“000b”のとき
- TITCR1A.T4VCOR[2:0] ビットと TITCNT1A.T4VCNT[2:0] ビットが一致したとき

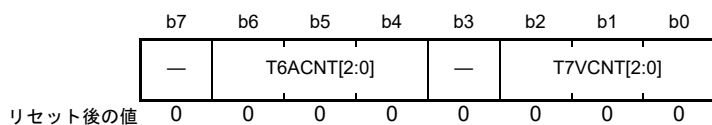
T3ACNT[2:0] ビット (TGIA3 割り込みカウンタビット)

[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T3AEN ビットが“0”のとき
- TITCR1A.T3ACOR[2:0] ビットが“000b”のとき
- TITCR1A.T3ACOR[2:0] ビットと TITCNT1A.T3ACNT[2:0] ビットが一致したとき

- MTU.TITCNT1B

アドレス MTU.TITCNT1B 000C 1A31h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCNT[2:0]	TCIV7 割り込みカウンタビット	TITCR1BのT7VENビットを“1”にしたとき、TCIV7割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	T6ACNT[2:0]	TGIA6 割り込みカウンタビット	TITCR1BのT6AENビットを“1”にしたとき、TGIA6割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注. TITCNT1Bの値をクリアするには、TITCR1B.T6AENビットとTITCR1B.T7VENビットを“0”にしてください。

T7VCNT[2:0] ビット (TCIV7 割り込みカウンタビット)

[“0”になる条件]

- TITMRB.TITM ビットが“1”のとき
- TITCR1B.T7VEN ビットが“0”のとき
- TITCR1B.T7VCOR[2:0] ビットが“000b”のとき
- TITCR1B.T7VCOR[2:0] ビットと TITCNT1B.T7VCNT[2:0] ビットが一致したとき

T6ACNT[2:0] ビット (TGIA6 割り込みカウンタビット)

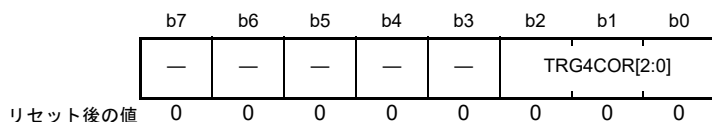
[“0”になる条件]

- TITMRB.TITM ビットが“1”のとき
- TITCR1B.T6AEN ビットが“0”のとき
- TITCR1B.T6ACOR[2:0] ビットが“000b”のとき
- TITCR1B.T6ACOR[2:0] ビットと TITCNT1B.T6ACNT[2:0] ビットが一致したとき

24.2.41 タイマ割り込み間引き設定レジスタ 2m (TITCR2m) (m = A, B)

- MTU.TITCR2A

アドレス MTU.TITCR2A 000C 123Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4COR[2:0]	TRG4AN/TRG4BN 割り込み 間引き回数設定ビット	TRG4AN/TRG4BN 割り込みの間引き回数を0~7回で 設定します。詳細は表24.59を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TITCR2A、TITCR2B レジスタは、TRG4AN と TRG4BN (TRG7AN と TRG7BN) の割り込み間引き回数を設定するレジスタです。

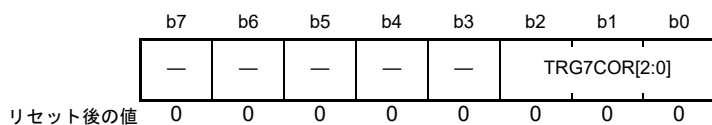
この設定は TITMRA、TITMRB レジスタを“1”にしたときのみ有効になります。

表24.59 TRG4COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG4COR[2]	TRG4COR[1]	TRG4COR[0]	
0	0	0	TRG4AN と TRG4BN の割り込み回数間引きを行わない
0	0	1	TRG4AN と TRG4BN の割り込み回数を1回に設定
0	1	0	TRG4AN と TRG4BN の割り込み回数を2回に設定
0	1	1	TRG4AN と TRG4BN の割り込み回数を3回に設定
1	0	0	TRG4AN と TRG4BN の割り込み回数を4回に設定
1	0	1	TRG4AN と TRG4BN の割り込み回数を5回に設定
1	1	0	TRG4AN と TRG4BN の割り込み回数を6回に設定
1	1	1	TRG4AN と TRG4BN の割り込み回数を7回に設定

- MTU.TITCR2B

アドレス MTU.TITCR2B 000C 1A3Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7COR[2:0]	TRG7AN/TRG7BN 割り込み 間引き回数設定ビット	TRG7AN/TRG7BN 割り込みの間引き回数を0~7回で 設定します。詳細は表 24.60 を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

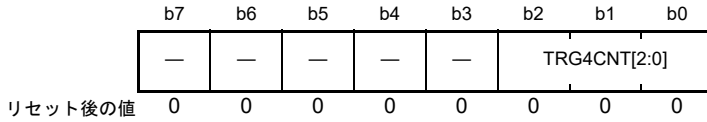
表 24.60 TRG7COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG7COR[2]	TRG7COR[1]	TRG7COR[0]	
0	0	0	TRG7ANとTRG7BNの割り込み回数間引きを行わない
0	0	1	TRG7ANとTRG7BNの割り込み回数を1回に設定
0	1	0	TRG7ANとTRG7BNの割り込み回数を2回に設定
0	1	1	TRG7ANとTRG7BNの割り込み回数を3回に設定
1	0	0	TRG7ANとTRG7BNの割り込み回数を4回に設定
1	0	1	TRG7ANとTRG7BNの割り込み回数を5回に設定
1	1	0	TRG7ANとTRG7BNの割り込み回数を6回に設定
1	1	1	TRG7ANとTRG7BNの割り込み回数を7回に設定

24.2.42 タイマ割り込み間引き回数カウンタ 2m (TITCNT2m) (m = A, B)

- MTU.TITCNT2A

アドレス MTU.TITCNT2A 000C 123Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4CNT[2:0]	TRG4AN/TRG4BN 割り込みカウンタビット	TRG4COR[2:0]ビットで設定した値から、TRG4AN、TRG4BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

TITCNT2A、TITCNT2B レジスタは、TRG4COR[2:0] ビット、TRG7COR[2:0] ビットで設定した値から、TRG4AN、TRG4BN (TITCNT2A) および TRG7AN、TRG7BN (TITCNT2B) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みおよび TRG7AN、TRG7BN の割り込みが有効になります。

TRG4CNT[2:0] ビット (TRG4AN/TRG4BN 割り込みカウンタビット)

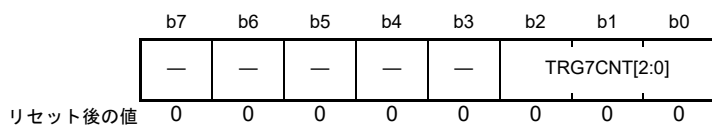
TRG4COR[2:0] ビットで設定した値から、TRG4AN および TRG4BN 割り込みが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

[“0”になる条件]

- TITMRA.TITM ビットが“0”のとき
- TITCR2A.TRG4COR[2:0] ビットが“000b”のとき
- TITCR2A.TRG4COR[2:0] ビットと TRG4AN および TRG4BN の発生回数が一致したとき

- MTU.TITCNT2B

アドレス MTU.TITCNT2B 000C 1A3Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7CNT[2:0]	TRG7AN/TRG7BN 割り込み カウンタビット	TRG7COR[2:0]ビットで設定した値から、TRG7AN、 TRG7BNが発生するごとにカウントダウンし、カウンタ値が “0”になり、リロードが起きたとき、TRG7AN、TRG7BNの 割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

TRG7CNT[2:0] ビット (TRG7AN/TRG7BN 割り込みカウンタビット)

TRG7COR[2:0] ビットで設定した値から、TRG7AN および TRG7BN 割り込みが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG7AN、TRG7BN 割り込みが有効になります。

[“0”になる条件]

- TITMRB.TITM ビットが“0”のとき
- TITCR2B.TRG7COR[2:0] ビットが“000b”のとき
- TITCR2B.TRG7COR[2:0] ビットと TRG7AN および TRG7BN の発生回数が一致したとき

24.3 動作説明

24.3.1 基本動作

各チャンネルには、TCNTとTGRレジスタがあります。TCNTは、アップカウント動作を行い、フリーランニングカウント動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGRレジスタは、それぞれ入力キャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRAレジスタのCST0～CST4、CST8ビット、TSTRBレジスタのCST6、CST7ビット、MTU5.TSTRレジスタのCSTU5、CSTV5、CSTW5ビットを“1”にすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウント動作、周期カウント動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図24.5に示します。

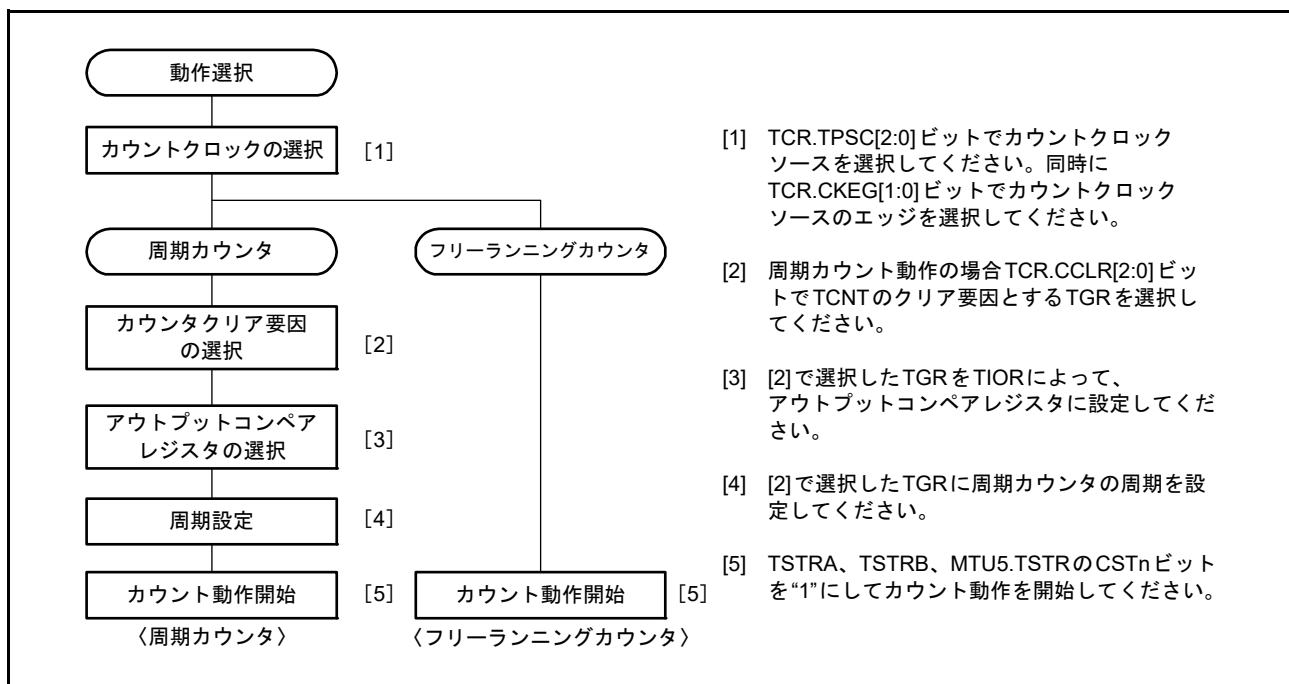


図 24.5 カウント動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRA、TSTRB、MTU5.TSTR レジスタのCSTnビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー（FFFFh→0000h）すると、対応するTIER.TCIEVビットが“1”ならば、CPUへの割り込み要求を発行します。TCNTはオーバーフロー後、“0000h”からアップカウント動作を継続します。

フリーランニングカウンタの動作を図24.6に示します。

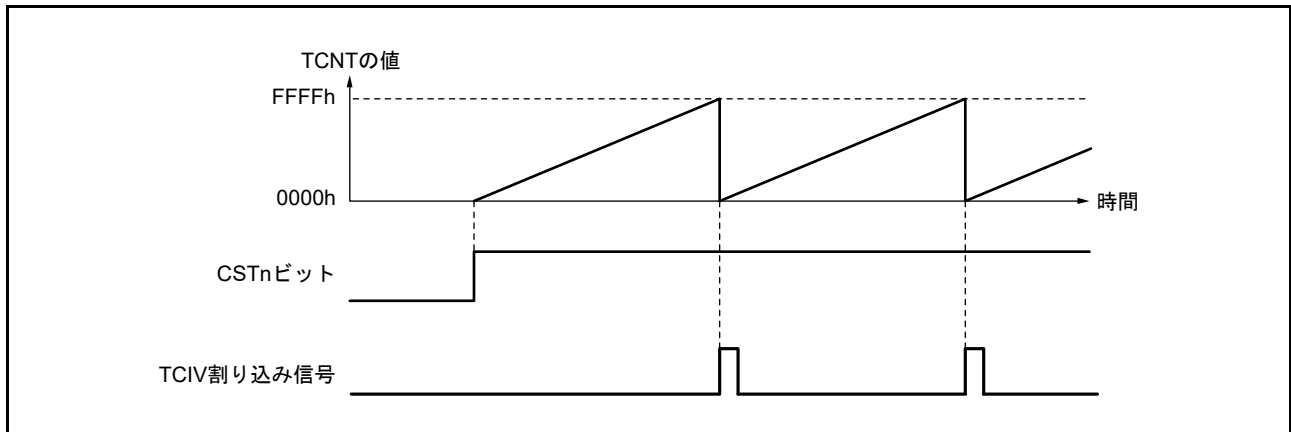


図 24.6 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0]ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA、TSTRB、MTU5.TSTR レジスタのCSTnビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TCNTは“0000h”になります。

このとき対応するTIER.TGIEビットが“1”ならば、CPUへの割り込み要求を発行します。TCNTはコンペアマッチ後、“0000h”からアップカウント動作を継続します。

周期カウンタの動作を図24.7に示します。

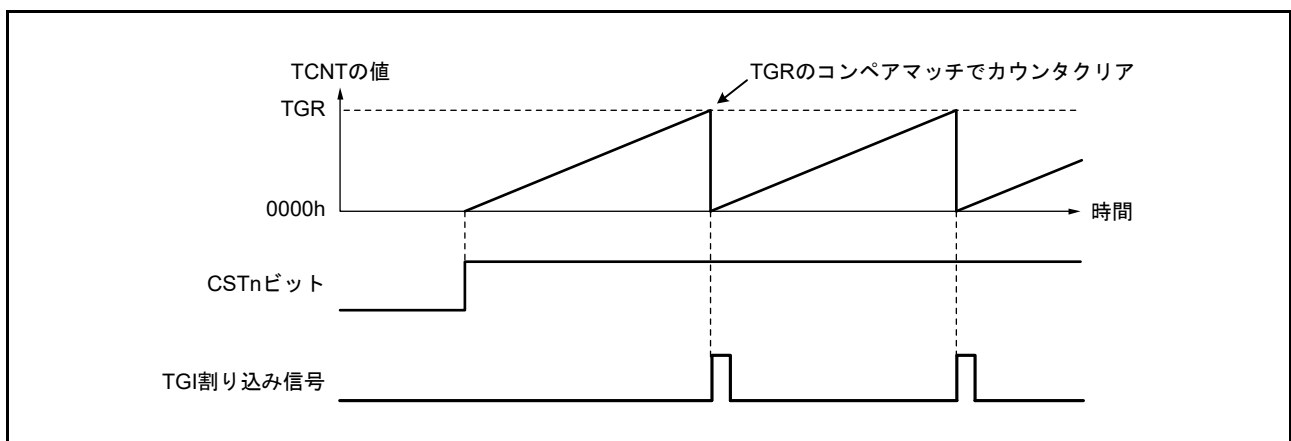


図 24.7 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

コンペアマッチにより対応する出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 24.8 に示します。

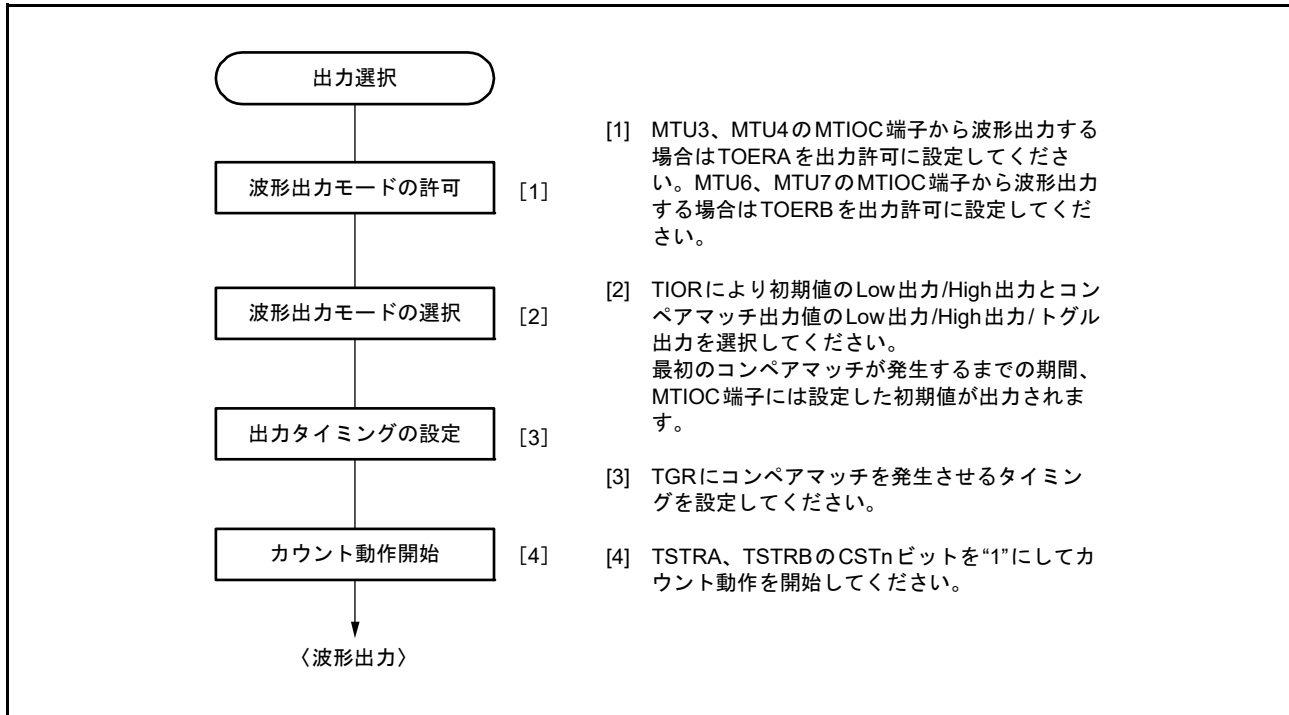


図 24.8 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low 出力 / High 出力例を図 24.9 に示します。

TCNT をフリーランニングカウンタ動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

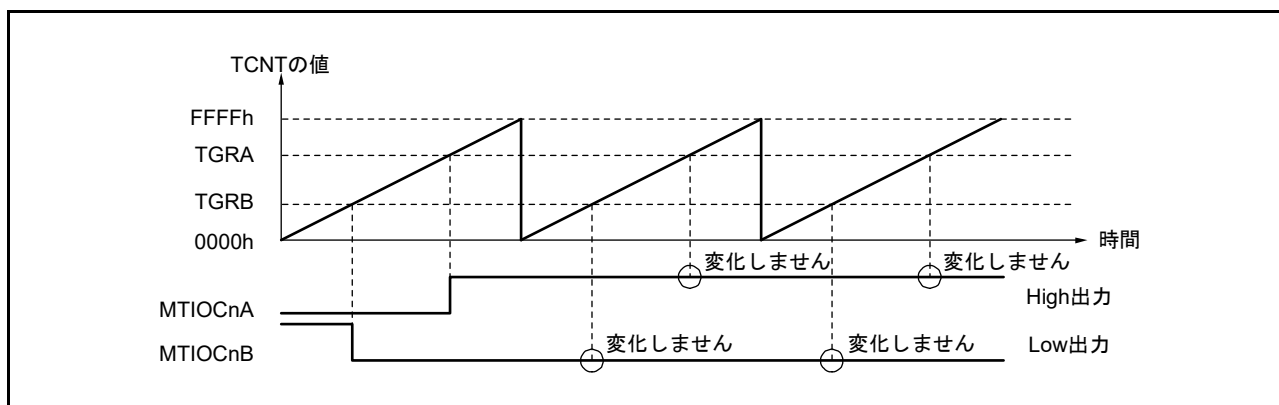


図 24.9 Low 出力 / High 出力の動作例 (n = 0 ~ 4, 6, 7, 8)

トグル出力の例を図 24.10 に示します。

TCNT を周期カウンタ動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

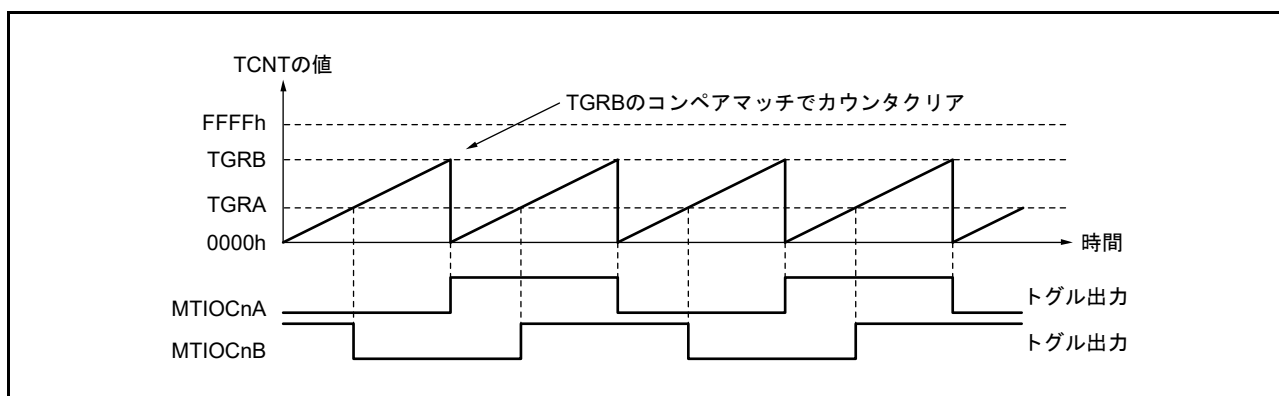


図 24.10 トグル出力の動作例 (n = 0 ~ 4, 6, 7, 8)

(3) インพุットキャプチャ機能

MTIOCnm 端子 (n=0~4, 6, 7, 8、m=A~D)、および MTIC5m 端子 (m=U, V, W) の入力エッジを検出して TCNT の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、MTU1 は別のチャンネルのカウントクロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注. MTU0、MTU1 で別のチャンネルのカウントクロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウントクロックに PCLKA/1 を選択しないでください。PCLKA/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 24.11 に示します。

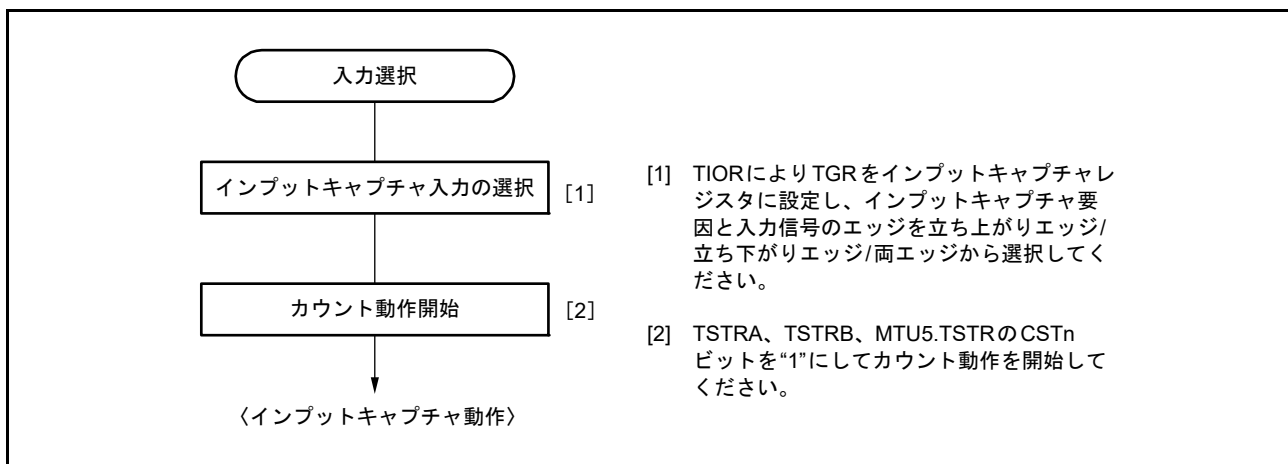


図 24.11 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 24.12 に示します。

MTIOcNA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また MTIOcNB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です (n = 0 ~ 4, 6, 7, 8)。

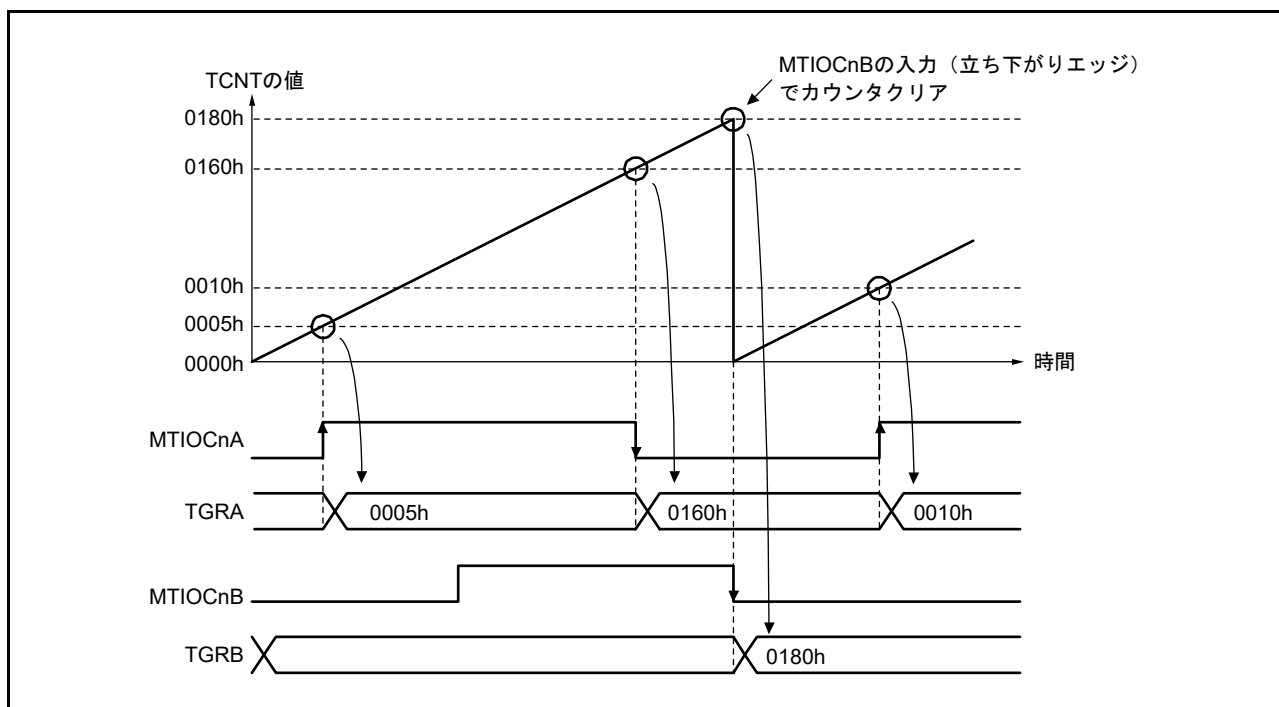


図 24.12 インพุットキャプチャ動作例 (n = 0 ~ 4, 6, 7, 8)

24.3.2 同期動作

同期動作を使って、複数の TCNT の値を同時に書き換えることができます（同期セット）。また、TCR レジスタの設定によって複数の TCNT を同時に“0”にすることができます（同期クリア）。

同期動作によって、1つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。

MTU0～MTU4、MTU6、MTU7 はすべて同期動作の設定が可能です。

MTU5、MTU8 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 24.13 に示します。

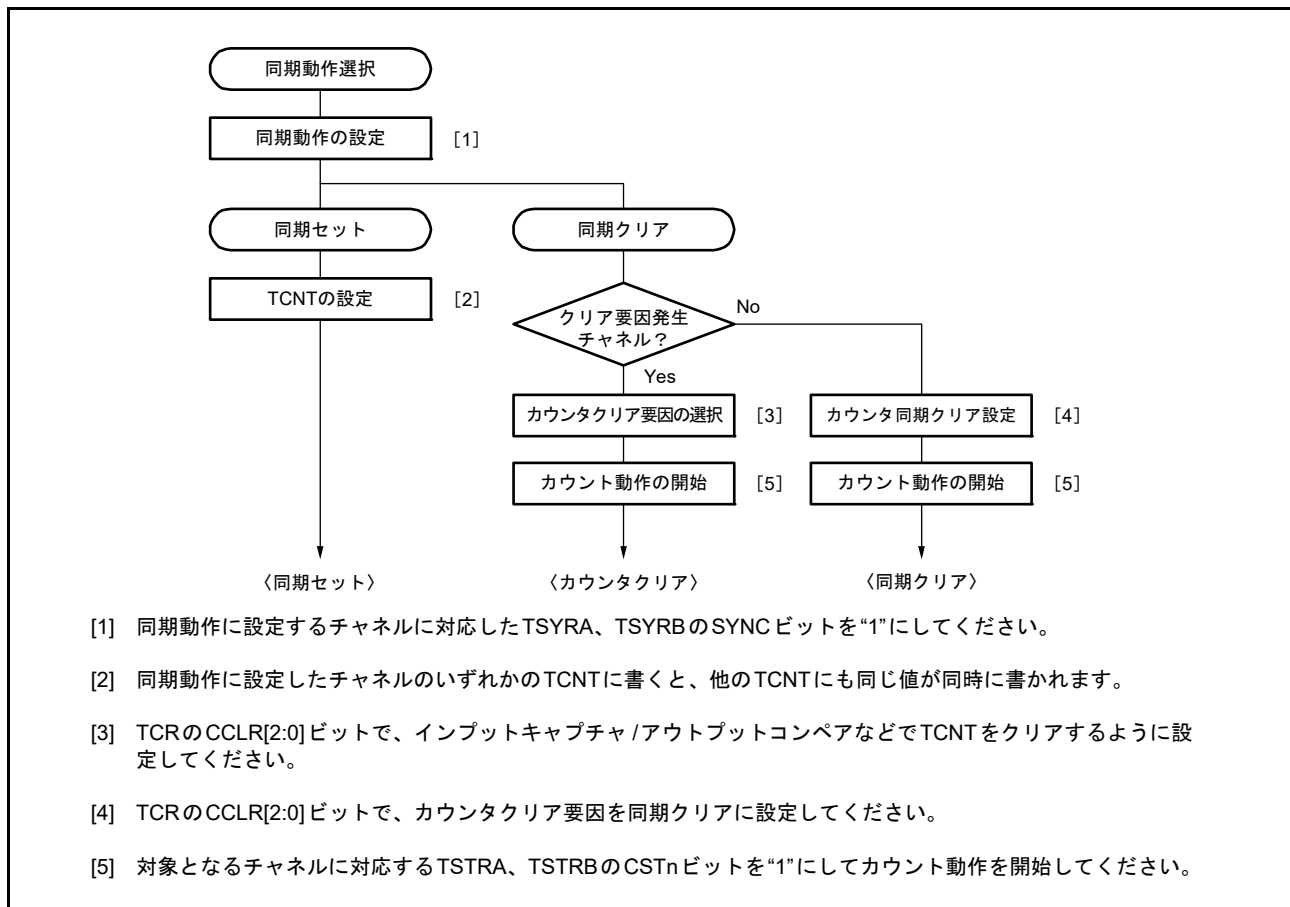


図 24.13 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 24.14 に示します。

MTU0 ~ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ MTU2 の TCNT は同期セット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、「24.3.5 PWM モード」を参照してください。

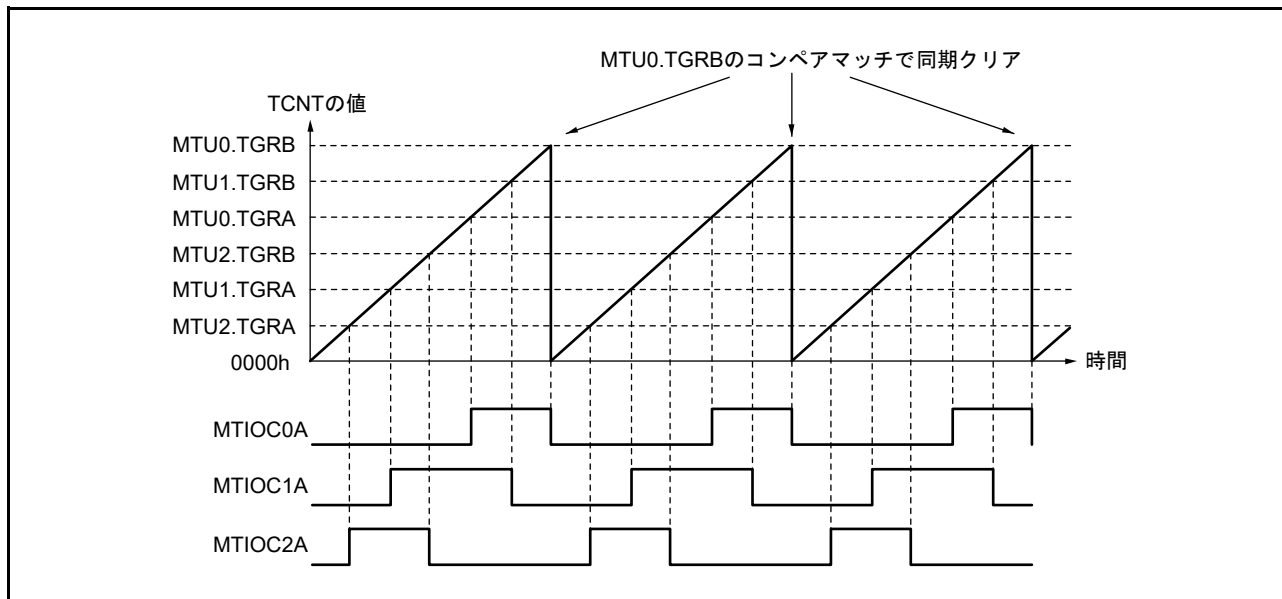


図 24.14 同期動作の動作例

24.3.3 バッファ動作

バッファ動作は、MTU0、MTU3、MTU4、MTU6、MTU7、MTU8 が持つ機能です。TGRC と TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGRE はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 24.61 にバッファ動作時のレジスタの組み合わせを示します。

表 24.61 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD
MTU6	TGRA	TGRC
	TGRB	TGRD
MTU7	TGRA	TGRC
	TGRB	TGRD
MTU8	TGRA	TGRC
	TGRB	TGRD

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 24.15 に示します。

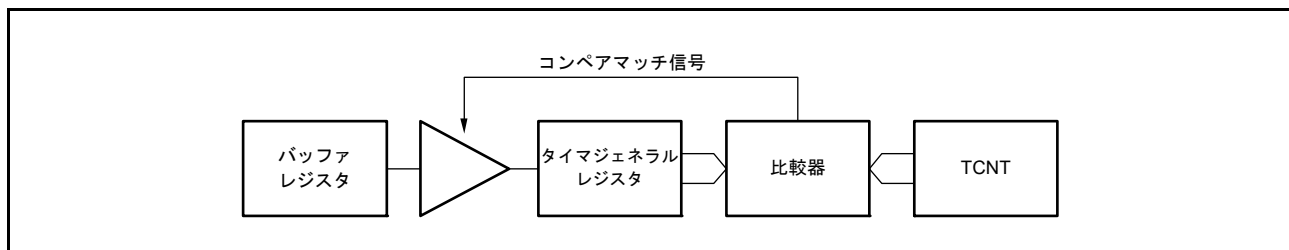


図 24.15 コンペアマッチバッファ動作

- TGR が入力キャプチャレジスタの場合

入力キャプチャが発生すると、TCNT の値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 24.16 に示します。

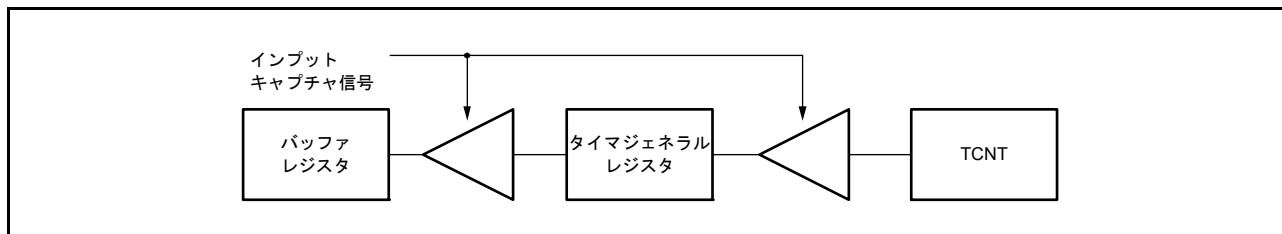


図 24.16 インพุットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 24.17 に示します。

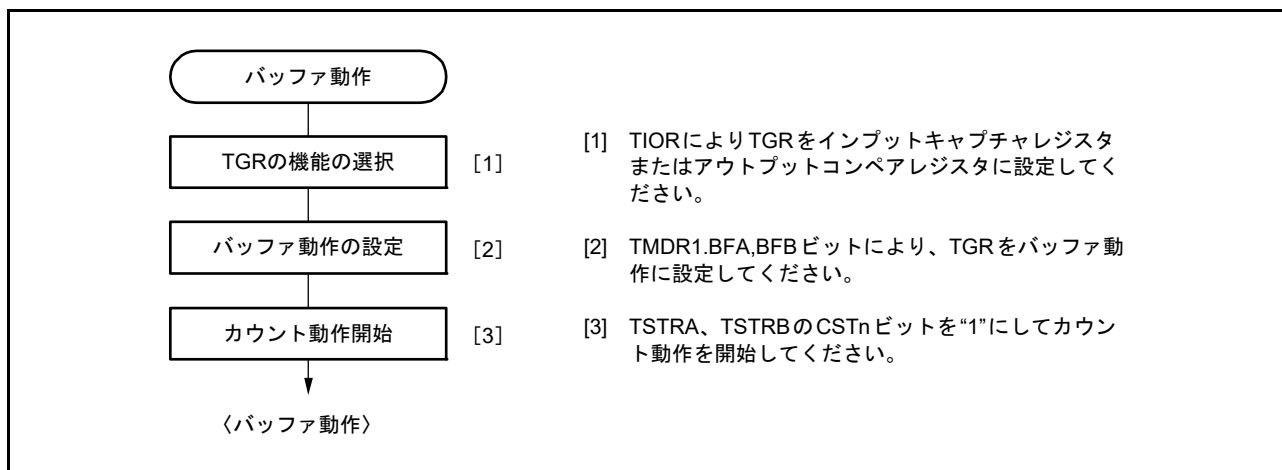


図 24.17 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGRがアウトプットコンペアレジスタの場合

MTU0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図24.18に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAでHigh出力、コンペアマッチBでLow出力に設定した例です。この例では、TBTM.TTSAビットは“0”にしています。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「24.3.5 PWMモード」を参照してください。

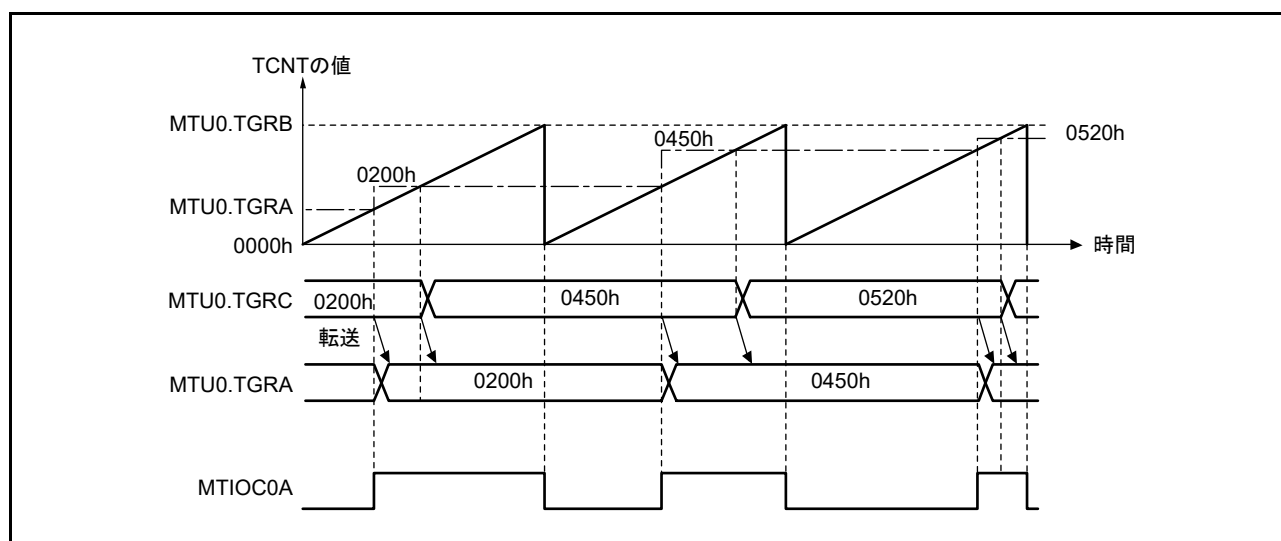


図 24.18 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 24.19 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、MTIOCnA 端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています (n = 0 ~ 4, 6, 7, 8)。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に転送されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

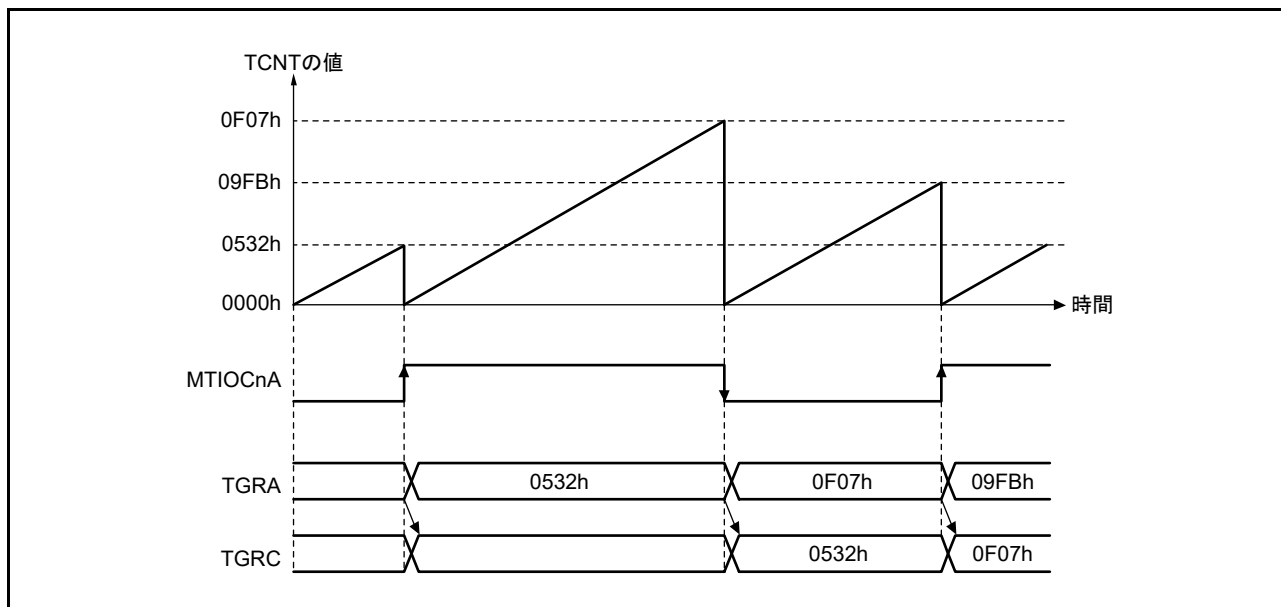


図 24.19 バッファ動作例 (2) (n = 0 ~ 4, 6, 7, 8)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (MTUn.TBTM) (n=0, 3, 4, 6, 7) を設定することで、MTU0 では PWM モード 1、2 時の、MTU3、MTU4、MTU6、MTU7 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (リセット後の値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバーフローしたとき (FFFFh → 0000h)
- カウンタの動作中、TCNT に“0000h”が書かれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT が“0000h”になったとき

注. TBTM レジスタの設定は TCNT が停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 24.20 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは“1”にしています。

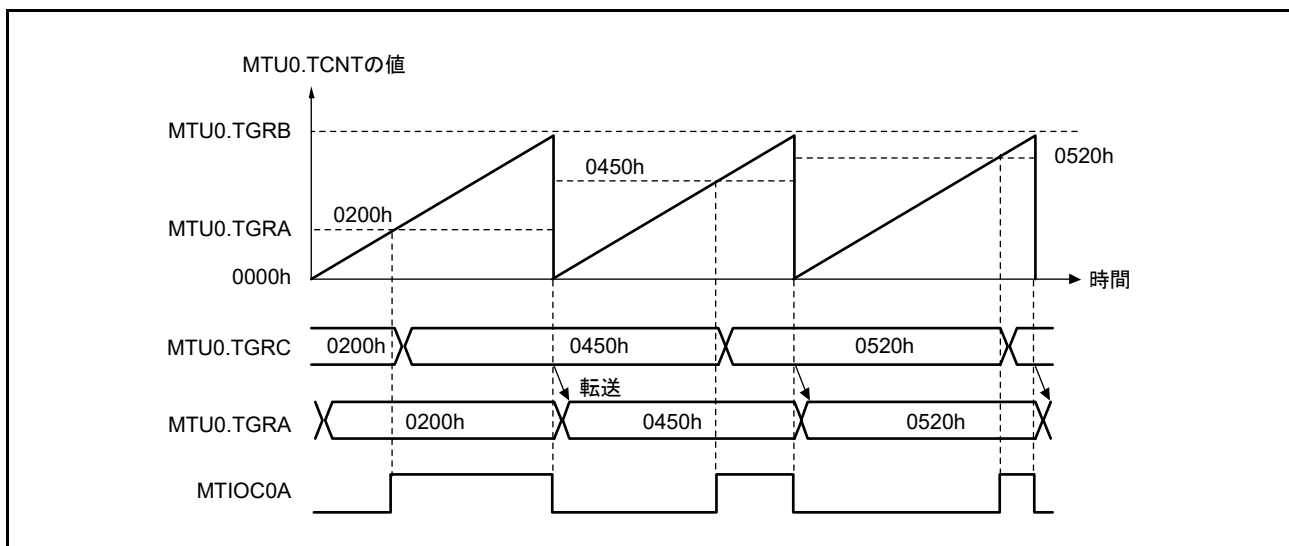


図 24.20 MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

24.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

MTU1とMTU2を接続して32ビットカウンタとして使用する機能には、MTU1.TMDR3.LWAビットを“0”のときに設定するカスケード接続と、MTU1.TMDR3.LWAビットを“1”に設定するカスケード接続32ビット位相計数モードがあります。カスケード接続32ビット位相計数モードについては「24.3.6.2 カスケード接続32ビット位相計数モード」を参照してください。本章では、MTU1.TMDR3.LWAビットを“0”のときに設定するカスケード接続機能について説明します。

この機能は、MTU1.TMDR3.LWAビットを“0”に設定し、MTU1.TCR.TPSC[2:0]ビットでMTU1.TCNTをMTU2.TCNTのオーバフロー/アンダフローによりカウントするように設定することで動作します。なお、アンダフローが発生するのは、下位16ビットが割り当てられたMTU2が位相計数モードのときのみです。

表 24.62 にカスケード接続の組み合わせを示します。

注． MTU1を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表 24.62 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
MTU1とMTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNTとMTU2.TCNTの同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方がHighのとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4) カスケード接続動作例(c)」を参照してください。カスケード接続時のインプットキャプチャについては「24.6.21 カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ」を参照してください。

TICCRレジスタの設定値とインプットキャプチャ入力端子の対応を表 24.63 に示します。

表 24.63 TICCRレジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット=0 (初期値)	MTIOC1A
	I2AEビット=1	MTIOC1A、MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット=0 (初期値)	MTIOC1B
	I2BEビット=1	MTIOC1B、MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット=0 (初期値)	MTIOC2A
	I1AEビット=1	MTIOC2A、MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット=0 (初期値)	MTIOC2B
	I1BEビット=1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 24.21 に示します。

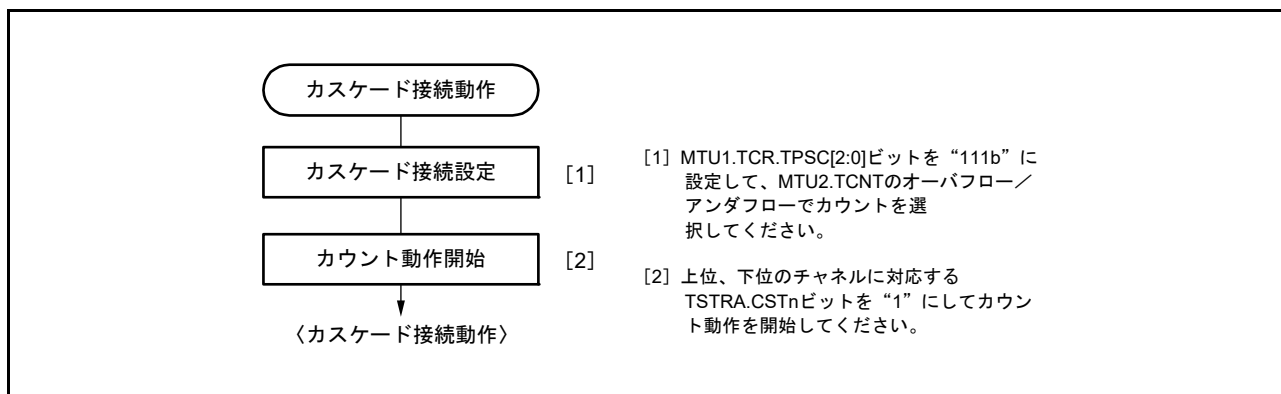


図 24.21 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、MTU1.TCNT は MTU2.TCNT のオーバーフロー/アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 24.22 に示します。

MTU1.TCNT は MTU2.TCNT のオーバーフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

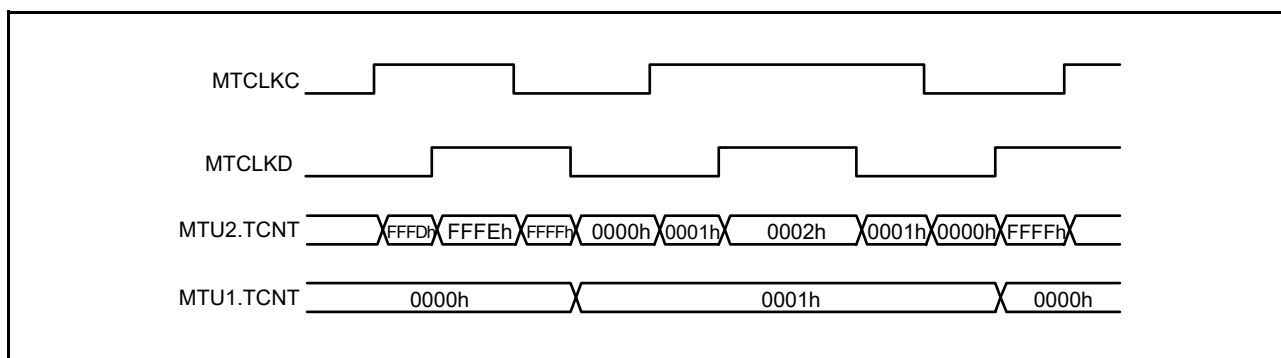


図 24.22 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 24.23 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTIOC1A の立ち上がりエッジで入力キャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA の入力キャプチャ条件に設定されます。また、MTU2.TGRA の入力キャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

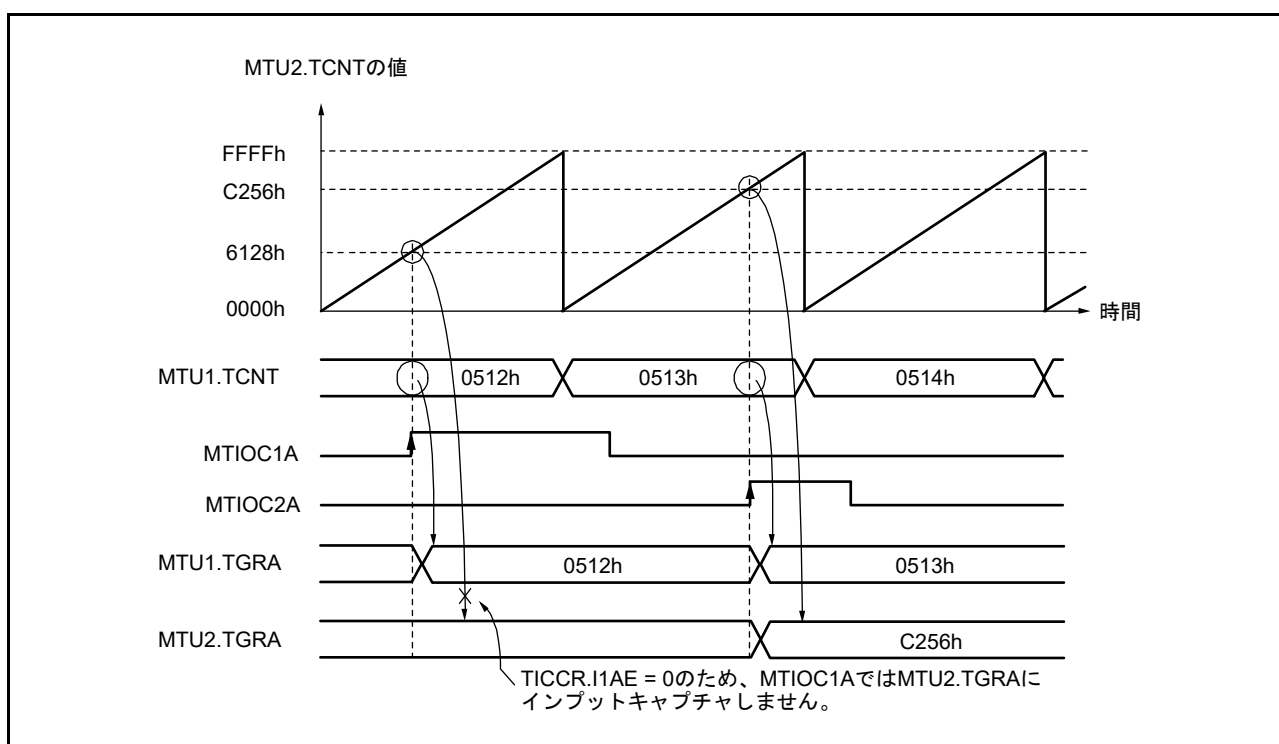


図 24.23 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT、MTU2.TCNTをカスケード接続し、TICCR.I2AE,I1AEビットを“1”にして、MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加し、MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加した場合の動作を図24.24に示します。この例ではMTU1.TIOR、MTU2.TIORのIOA[3:0]ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1AとMTIOC2A入力のORがMTU1.TGRAおよびMTU2.TGRAのインプットキャプチャ条件となります。

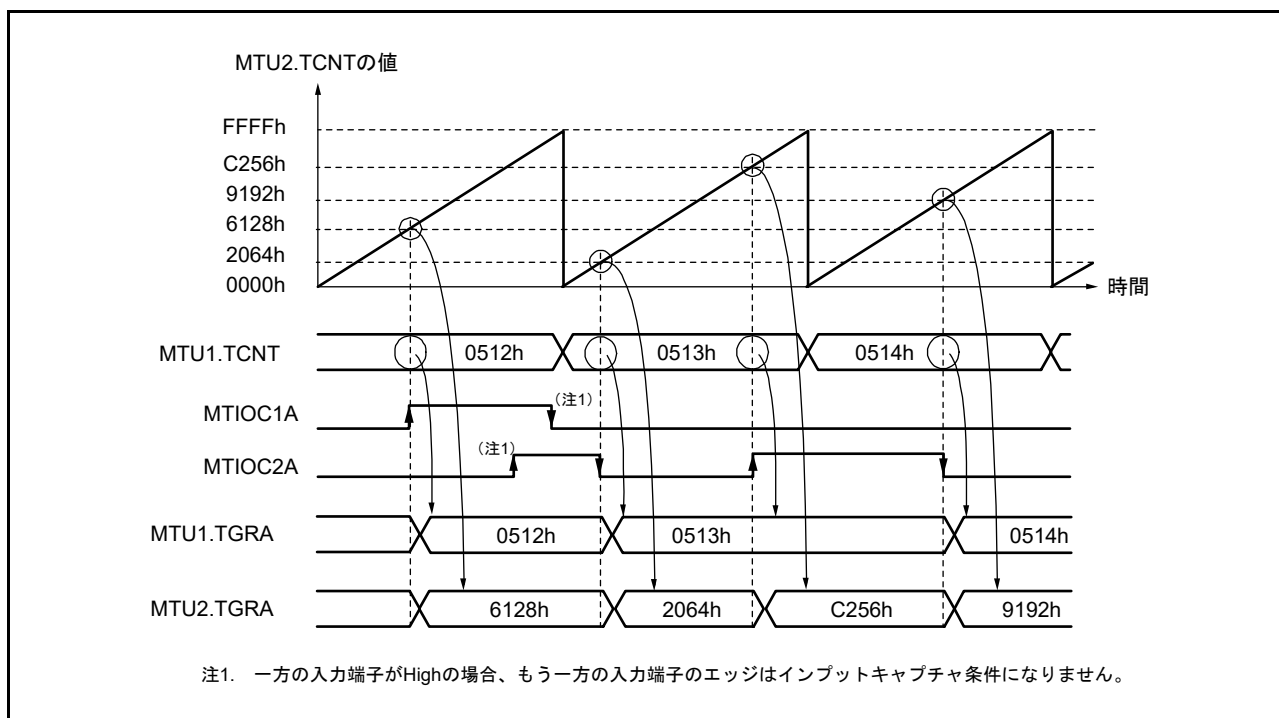


図 24.24 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 24.25 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャのため、TICCR.I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA の入力キャプチャ条件になることはありません。

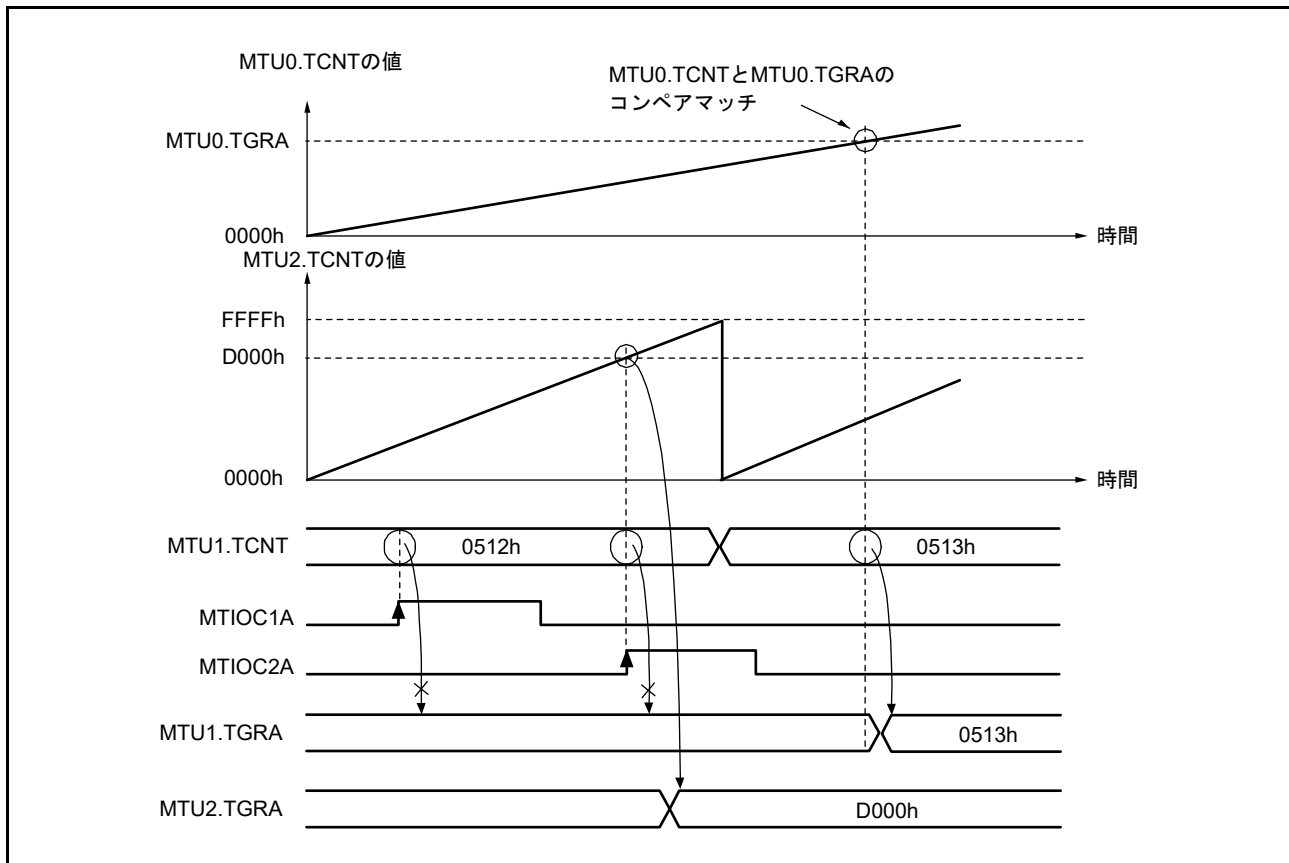


図 24.25 カスケード接続動作例 (d)

24.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ~ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。MTU5、MTU8 を除くすべてのチャンネルは、個々に PWM モードに設定できます。PWM モードに設定したチャンネルの同期動作、および PWM モードに設定したチャンネルと他のモードに設定したチャンネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA レジスタと TGRB レジスタ、TGRC レジスタと TGRD レジスタをペアで使用して、MTIOChA 端子、MTIOChC 端子から PWM 波形を出力します。MTIOChA 端子、MTIOChC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、TIOR.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、TIOR.IOD[3:0] ビットで指定した出力を行います (n = 0 ~ 4, 6, 7)。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 12 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、PWM モード 2 を設定できないチャンネルの同期クリアを同期動作として併用することにより最大 8 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 24.64 に示します。

表 24.64 各PWM出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	TGRA	MTIOC0A	MTIOC0A
	TGRB		MTIOC0B
	TGRC	MTIOC0C	MTIOC0C
	TGRD		MTIOC0D
MTU1	TGRA	MTIOC1A	MTIOC1A
	TGRB		MTIOC1B
MTU2	TGRA	MTIOC2A	MTIOC2A
	TGRB		MTIOC2B
MTU3	TGRA	MTIOC3A	設定できません
	TGRB		
	TGRC	MTIOC3C	
	TGRD		
MTU4	TGRA	MTIOC4A	
	TGRB		
	TGRC	MTIOC4C	
	TGRD		
MTU6	TGRA	MTIOC6A	
	TGRB		
	TGRC	MTIOC6C	
	TGRD		
MTU7	TGRA	MTIOC7A	
	TGRB		
	TGRC	MTIOC7C	
	TGRD		

注. PWMモード2のとき、周期を設定したTGRのPWM波形は出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 24.26 に示します。

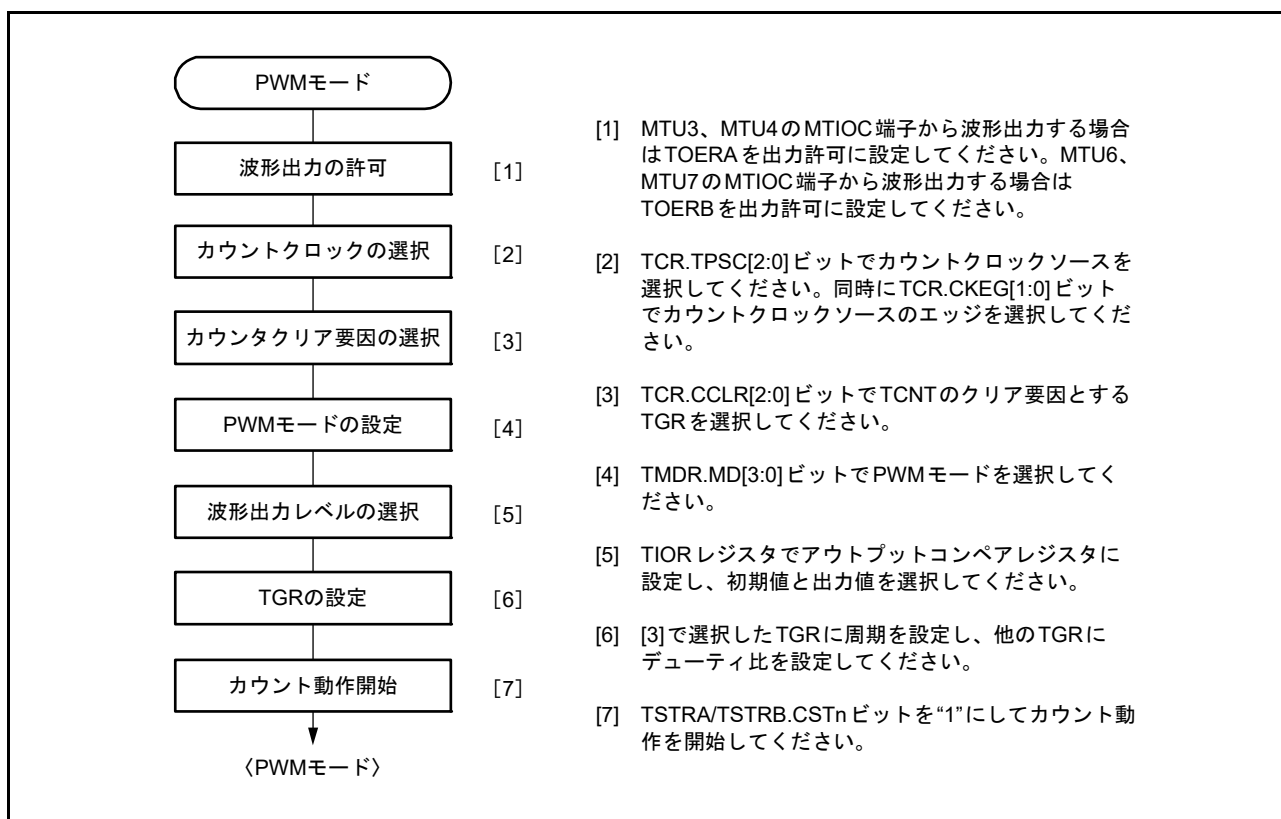


図 24.26 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 24.27 に示します。

この図は、TCNTのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値を“0”、TGRBレジスタの出力値を“1”にした場合の例です。

この場合、TGRAレジスタに設定した値が周期となり、TGRBレジスタに設定した値がデューティ比になります。

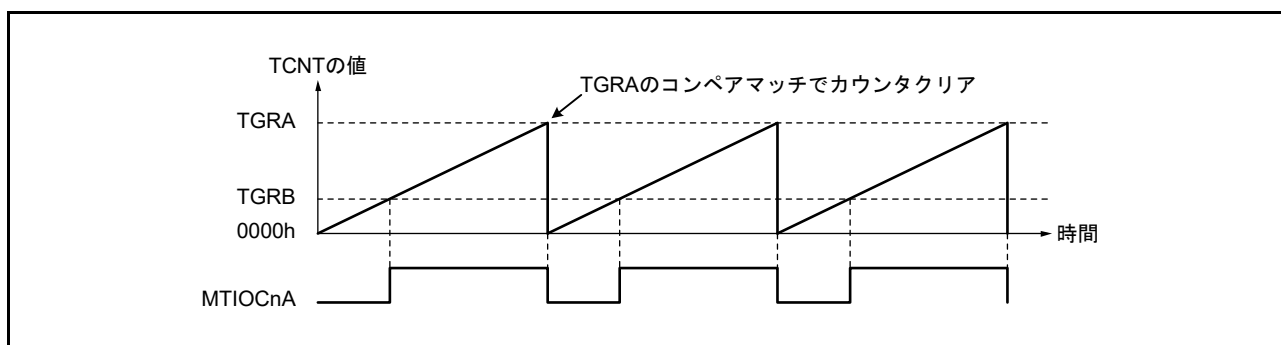


図 24.27 PWM モード1の動作例 (n = 0 ~ 4, 6, 7)

PWM モード2の動作例を図 24.28 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) の初期出力値を Low、出力値を High にして5相のPWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) に設定した値がデューティ比になります。

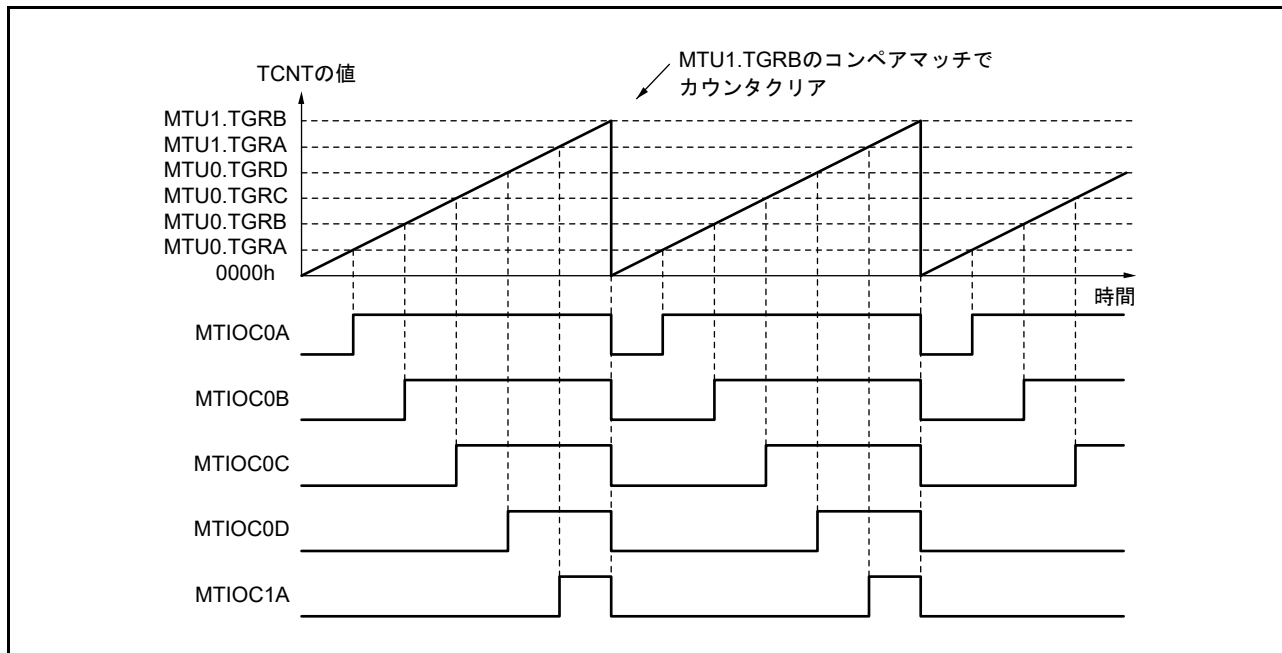


図 24.28 PWM モード2の動作例

PWMモード1で、デューティ比0%、デューティ比100%のPWM波形を出力する例を図24.29に示します。この図は、TCNTカウンタのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TGRBレジスタの出力値をHighに設定した場合の例です。

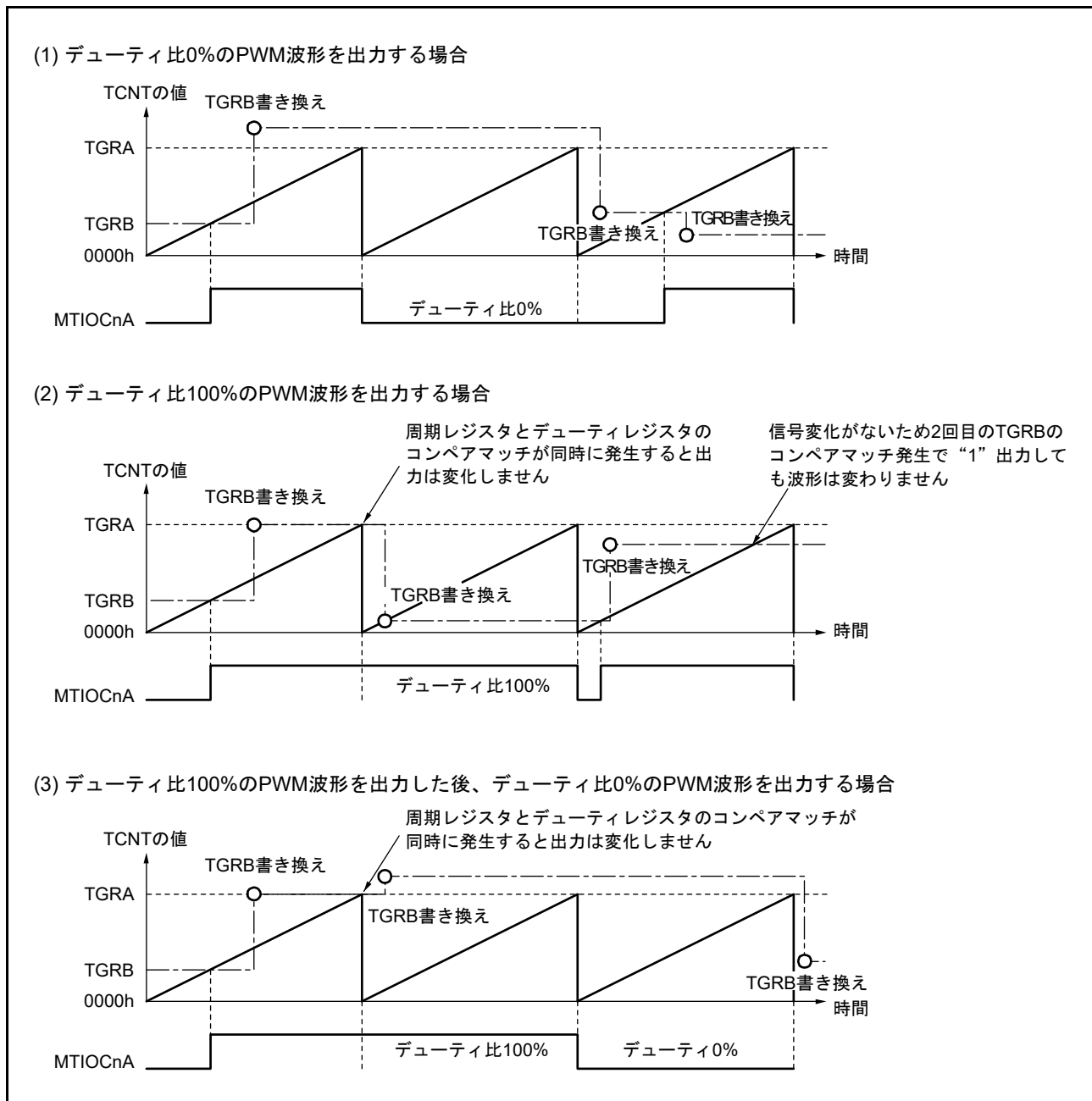


図24.29 PWMモード動作例 (デューティ0%、デューティ100%のPWM波形を出力する例)
($n = 0 \sim 4, 6, 7$)

24.3.6 位相計数モード

位相計数モードには MTU1 と MTU2 がそれぞれ独立に動作する 16 ビット位相計数モードと MTU1, MTU2 をカスケード接続したカスケード接続 32 ビット位相計数モードがあります。

位相計数モードでは 2 つの外部クロック入力の位相差を検出して、対応する TCNT をアップカウント / ダウンカウントします。

各位相計数モードでの 2 つの外部クロック入力端子は、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0] の設定にかかわらず。MTU2 の 16 ビット位相計数モードとカスケード接続 32 ビット位相計数モードの 2 つの外部クロック入力、MTU1.TMDR3.PHCKSEL で選択を行うことができます。MTU2 の 16 ビット位相計数モードとカスケード接続 32 ビット位相計数モード以外の位相計数モードでは、A 相 / B 相に MTCLKA/MTCLKB が選択されます。位相計数モードでは、外部クロック端子 MTCLKA、MTCLKB、MTCLKC、MTCLKD を 2 相エンコーダパルスの入力として使用できます。

それぞれの位相計数モードで接続される外部クロック入力端子を表 24.65 に示します。

表 24.65 位相計数モードクロック入力端子

位相計数モード	TMDR3.PHCKSEL ビット	外部クロック端子	
		A相	B相
MTU1 16 ビット位相計数モード	x (Don't care)	MTCLKA	MTCLKB
MTU2 16 ビット位相計数モード	0	MTCLKA	MTCLKB
	1 (初期値)	MTCLKC	MTCLKD
カスケード接続 32 ビット位相計数モード	0	MTCLKA	MTCLKB
	1 (初期値)	MTCLKC	MTCLKD

24.3.6.1 16 ビット位相計数モード

MTU1.TMDR3.LWA = 0 のとき、MTU1 と MTU2 には各々独立して 16 ビット位相計数モードが設定できます。

16 ビット位相計数モードでは、2 本の外部クロック入力の位相差を検出して対応するチャンネルの 16 ビットカウンタ TCNT をアップカウント / ダウンカウントします。

16 ビット位相計数モードに設定すると、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0] の設定にかかわらずカウンタクロックは外部クロックが選択され、TCNT はアップカウンタ / ダウンカウンタとして動作します。なお、TCR.CCLR[1:0]、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能が使用できます。

これら外部クロック端子は、2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウントしているときにオーバフローが発生すると、対応する TIER.TCIEV ビットが“1”であれば、TCIV 割り込みが発生します。

また、ダウンカウントしているときにアンダフローが発生すると、対応する TIER.TCIEU ビットが“1”であれば、TCIU 割り込みが発生します。

TSR.TCFD フラグはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

(1) 16ビット位相計数モードの設定手順例

位相計数モードの設定手順例を図 24.30 に示します。

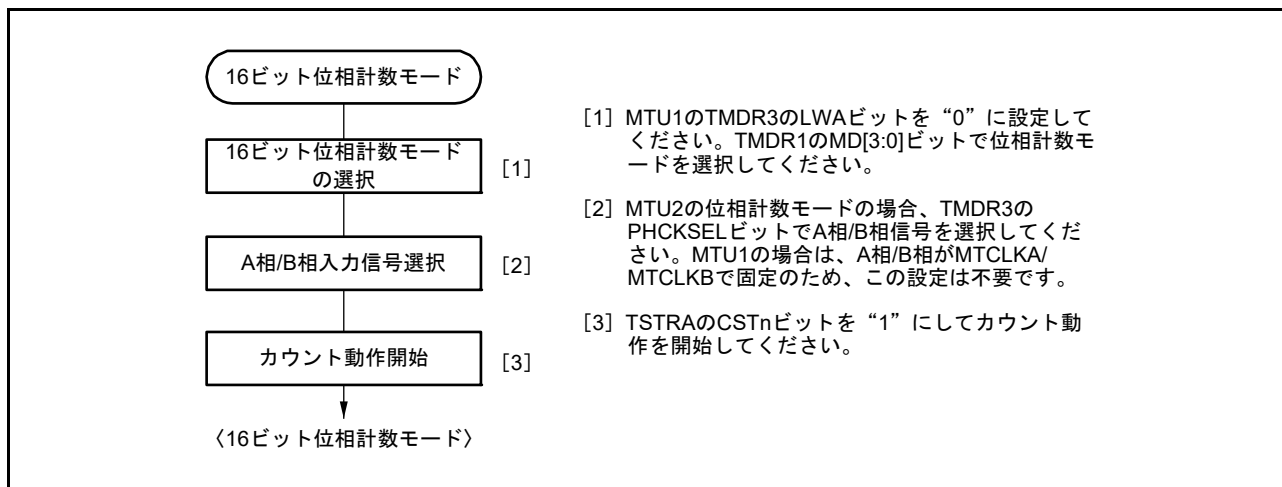


図 24.30 16ビット位相計数モードの設定手順例

(2) 16ビット位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップカウント/ダウンカウントします。なお、カウント条件により5つのモードがあり、各モードはPHCKSEL=1の条件で、つまりMTU1の位相クロックはMTCLKA, MTCLKBから入力、MTU2の位相クロックはMTCLKC, MTCLKDから入力として説明します。

(a) 位相計数モード1

位相計数モード1の動作例を図24.31に、TCNTのアップカウント/ダウンカウント条件を表24.66に示します。

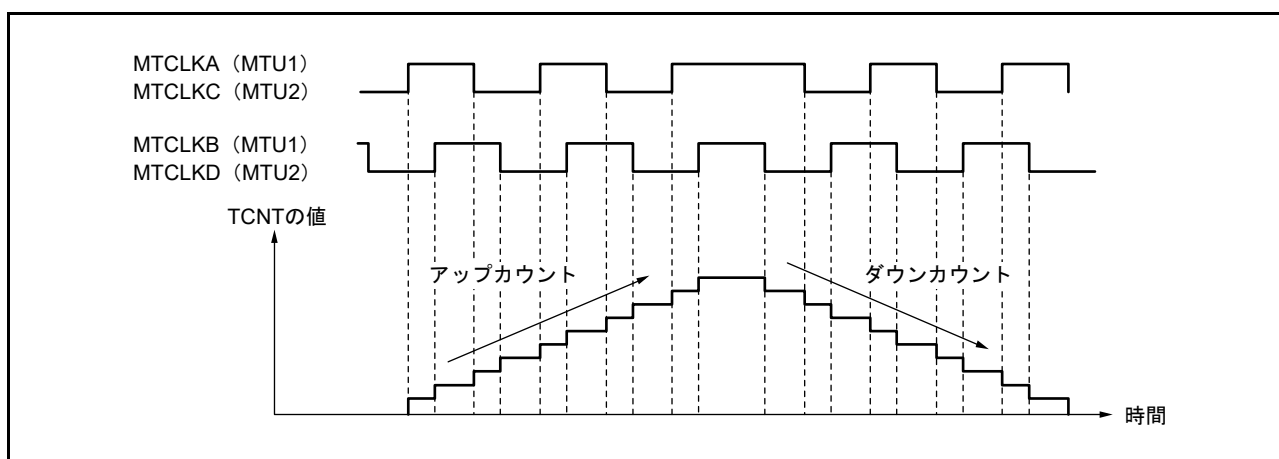


図 24.31 位相計数モード1の動作例

表 24.66 位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図24.32～図24.34に、TCNTのアップカウント/ダウンカウント条件を表24.67に示します。

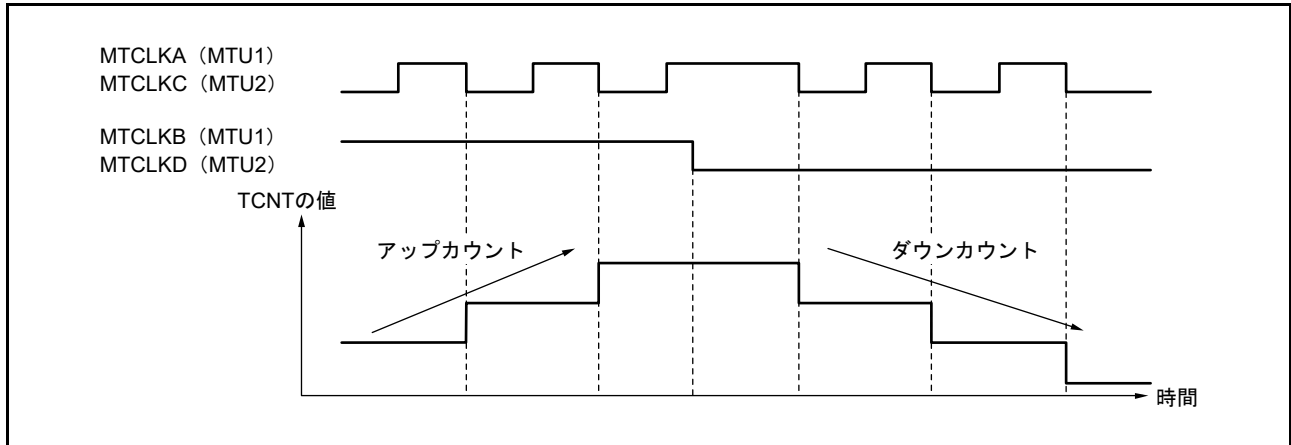


図 24.32 位相計数モード2の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

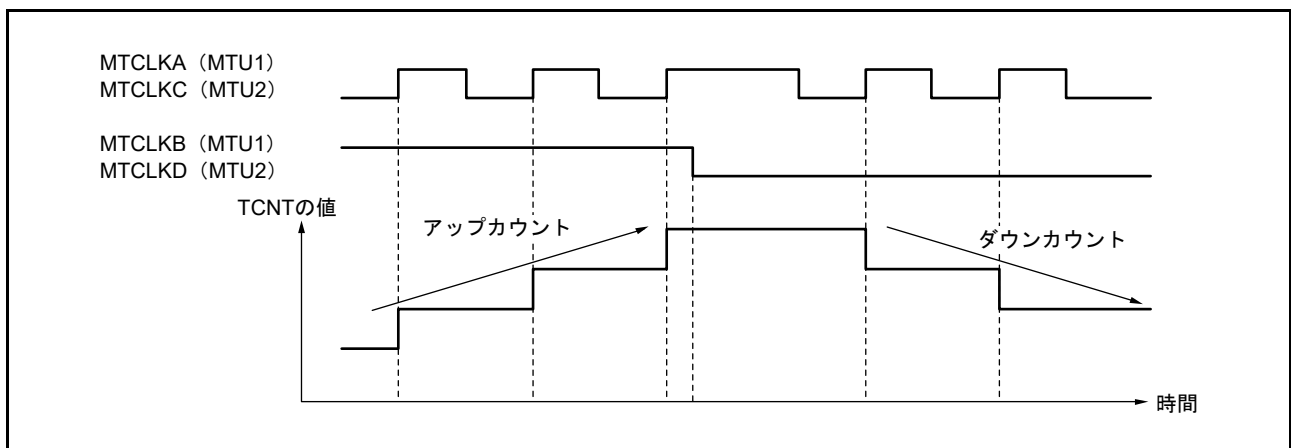


図 24.33 位相計数モード2の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

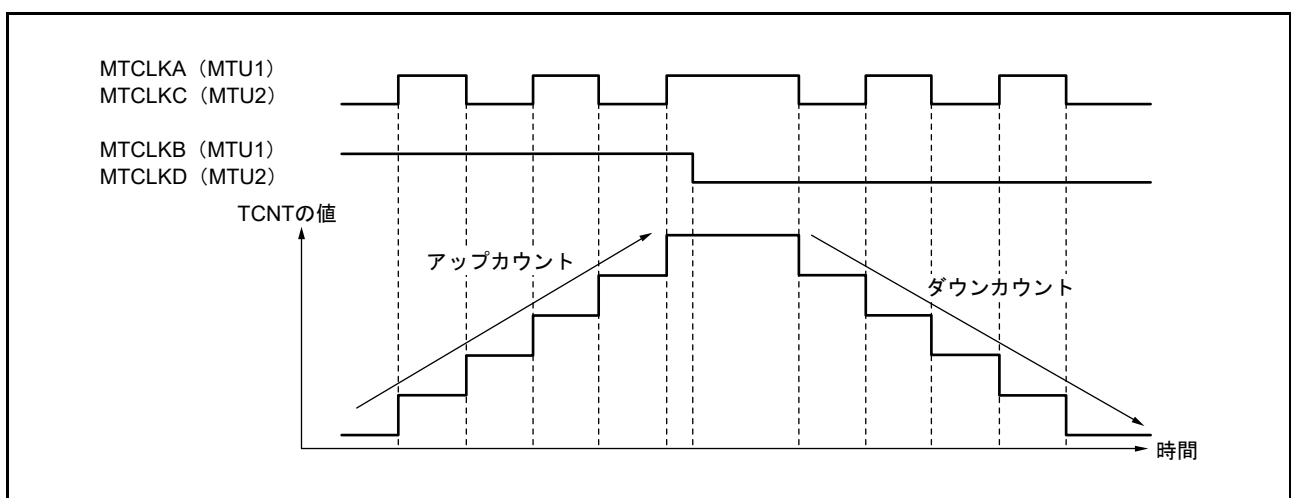




























図 24.34 位相計数モード2の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表 24.67 位相計数モード2のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		カウントしない (Don't care)
	Low		
		High	ダウンカウント
		Low	
01	High		カウントしない (Don't care)
	Low		
		Low	ダウンカウント
		High	カウントしない (Don't care)
	High		
	Low		アップカウント
		High	
		Low	カウントしない (Don't care)
1x	High		カウントしない (Don't care)
	Low		
		Low	ダウンカウント
		High	アップカウント
	High		カウントしない (Don't care)
	Low		
		High	アップカウント
		Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図24.35～図24.37に、TCNTのアップカウント/ダウンカウント条件を表24.68に示します。

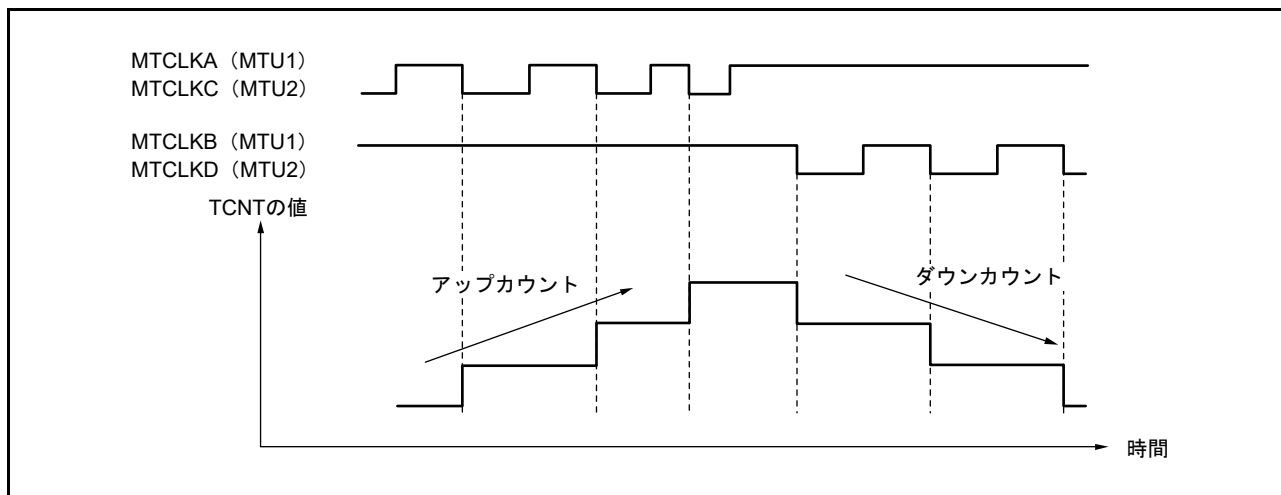


図 24.35 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

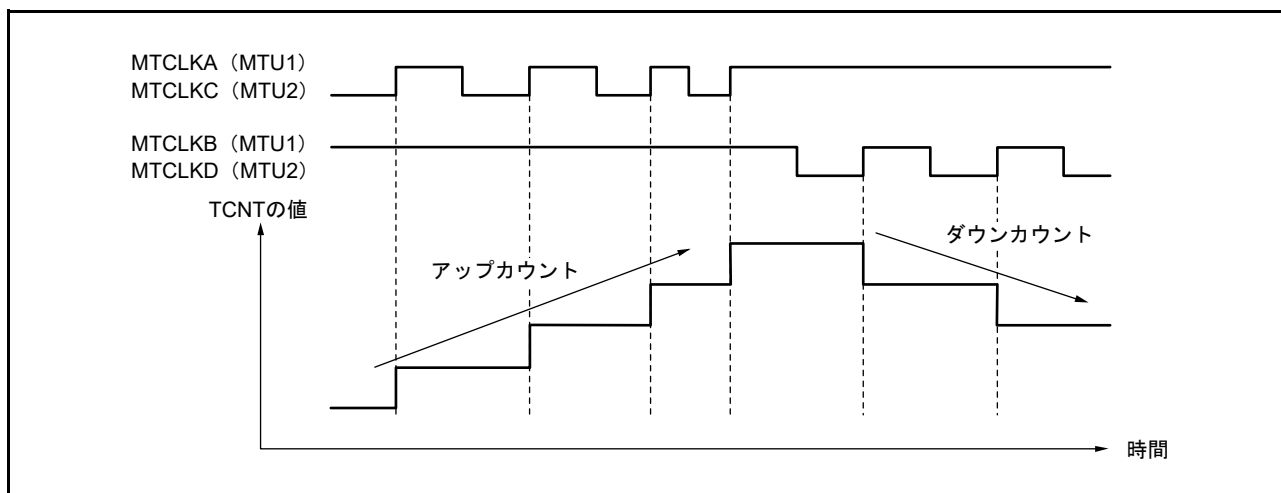


図 24.36 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

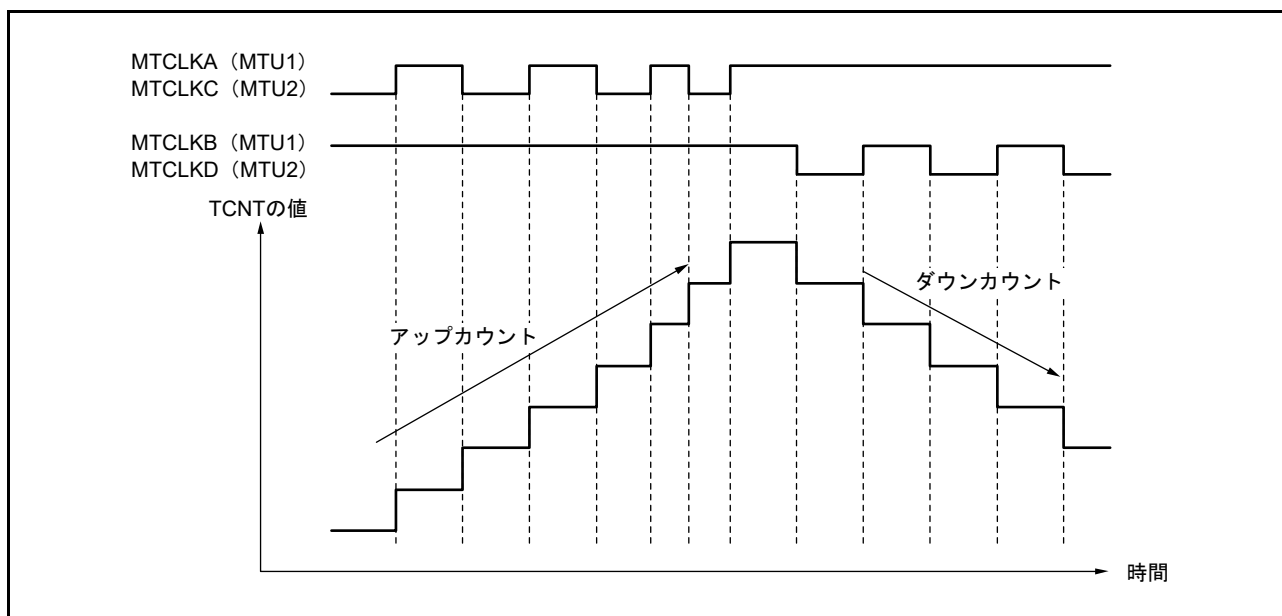






図 24.37 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表 24.68 位相計数モード3のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		ダウンカウント
	Low		カウントしない (Don't care)
		High	
		Low	
01	High		ダウンカウント
	Low		カウントしない (Don't care)
		Low	
		High	
	High		アップカウント
	Low		
		High	
		Low	カウントしない (Don't care)
1x	High		ダウンカウント
	Low		カウントしない (Don't care)
		Low	
		High	アップカウント
	High		ダウンカウント
	Low		カウントしない (Don't care)
		High	
		Low	アップカウント
		Low	カウントしない (Don't care)

: 立ち上がりエッジ

: 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図24.38に、TCNTのアップカウント/ダウンカウント条件を表24.69に示します。

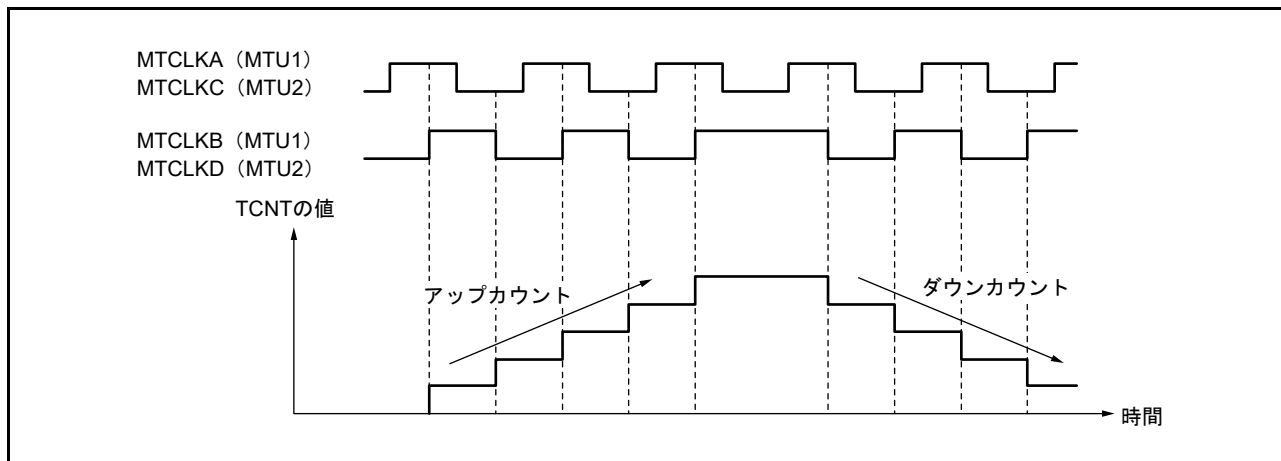


図 24.38 位相計数モード4の動作例

表24.69 位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない (Don't care)
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない (Don't care)
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(e) 位相計数モード5

位相計数モード5の動作例を図24.39、図24.40に、TCNTのアップカウント/ダウンカウント条件を表24.70に示します。

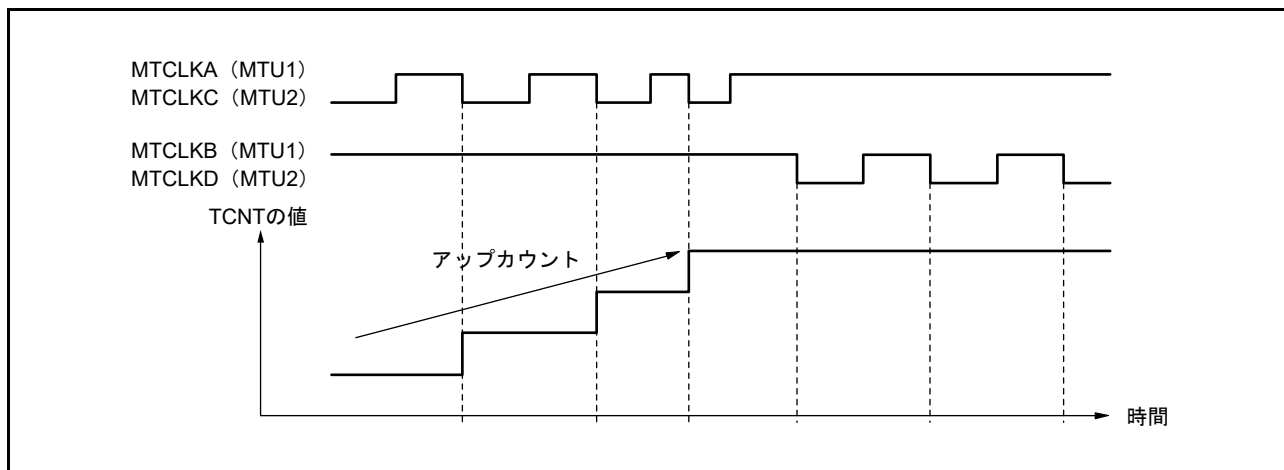


図 24.39 位相計数モード5の動作例 (MTUn.TCR2.PCB[1:0] = 0xb のとき (n = 1, 2))

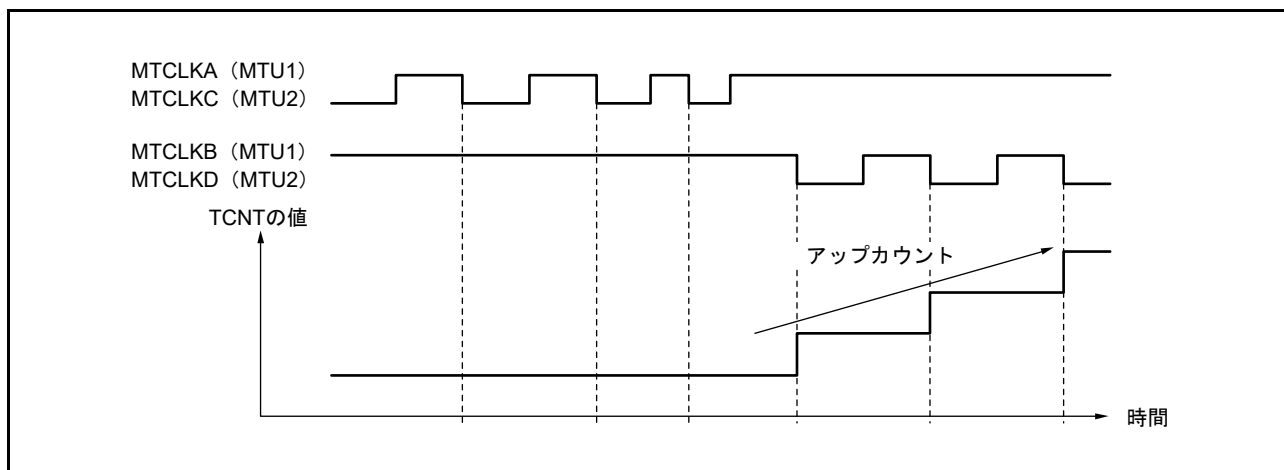




図 24.40 位相計数モード5の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表24.70 位相計数モード5のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
0x	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		カウントしない (Don't care)
	Low		
		High	アップカウント
		Low	
1x	High		カウントしない (Don't care)
	Low		アップカウント
		Low	カウントしない (Don't care)
		High	
	High		アップカウント
	Low		カウントしない (Don't care)
		High	
		Low	

: 立ち上がりエッジ

: 立ち下がりエッジ

(3) 16ビット位相計数モード応用例

MTU1を位相計数モードに設定し、MTU0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図24.41に示します。

MTU1は位相計数モード1に設定し、MTCLKAとMTCLKBにエンコーダパルスのA相、B相を入力します。

MTU0はTCNTをMTU0.TGRCのコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRAとMTU0.TGRCはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRBは入力キャプチャ機能で使用し、MTU0.TGRBとMTU0.TGRDをバッファ動作させます。MTU0.TGRBの入力キャプチャ要因は、MTU1のカウンタクロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

MTU1のMTU1.TGRAとMTU1.TGRBは、入力キャプチャ機能に設定し、入力キャプチャ要因はMTU0のMTU0.TGRAとMTU0.TGRCのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

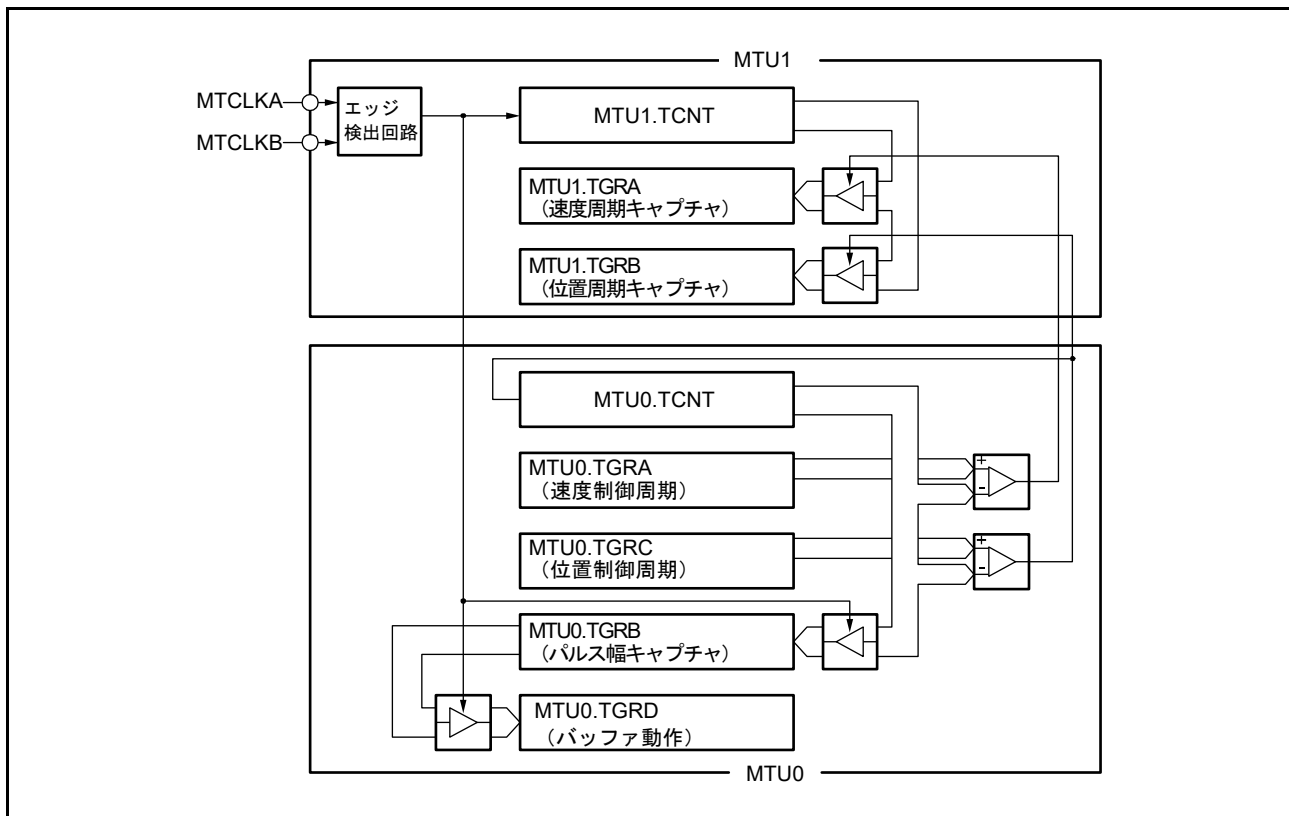


図 24.41 16ビット位相計数モードの応用例

24.3.6.2 カスケード接続 32 ビット位相計数モード

MTU1.TMDR3.LWA = 1 で MTU1 に位相計数モードを設定した場合、図 24.42 のように MTU1 と MTU2 が連結され、カスケード接続 32 ビット位相計数モードとして機能します。カスケード接続 32 ビット位相計数モードの場合、TCR, TCR2, TIOR, TIER, TGR, TSR レジスタは MTU1 の制御になり、MTU2 の設定は無効になります。カスケード接続 32 ビット位相計数モードの設定手順は、図 24.43 を参照してください。

カスケード接続 32 ビット位相計数モードは、A 相、B 相と Z 相の三相信号の入力が可能です。A 相 /B 相に外部入力位相クロック MTCLKA/MTCLKB または MTCLKC/MTCLKD、Z 相に MTIOC1A をそれぞれエンコーダパルスの信号とします。A 相 /B 相の外部クロック入力の選択は、表 24.69 を参照してください。A 相、B 相のパルスによりカウンタイベントを生成し、32 ビットカウンタ MTU1.TCNTLW でカウンタイベントをカウントします。

また、Z 相信号によりインプットキャプチャを発生させることができるので、ジェネラルレジスタにキャプチャされた値から角速度が測定できます。

さらに、MTU8 は 1 ms 時間間隔測定チャネルとして使用でき、1 ms 間隔でカスケード接続 32 ビット位相計数モードとして動作している MTU1 と MTU2 にコンペアマッチ信号を出力することが可能です。つまり、MTU1 と MTU2 は、MTU8 のコンペアマッチ信号をキャプチャ信号として使用し、1 ms 期間での A 相、B 相パルス回数を測定することが可能です。

MTU0 または MTU5 を Z 相信号パルス測定チャネルに指定した場合、MTU8.TGRC レジスタのコンペアマッチ信号をキャプチャ信号およびクリア信号として MTU0 または MTU5 に入力することができ、これにより 1 ms 間隔での Z 相カウントが測定できます。

また、組み合わせされている MTU1, MTU2 のカウンタイベント信号を MTU8.TGRD レジスタのキャプチャ信号として使用することができ、A 相パルス間隔、B 相パルス間隔、その二相パルス間隔を含めての測定が可能です。この場合は、MTU8.TGRD レジスタをバッファ動作に設定してください。

なお、カスケード接続 32 ビット位相計数モード以外で MTU1, MTU2 を接続するカスケード接続機能については、「24.3.4 カスケード接続動作」を参照してください。

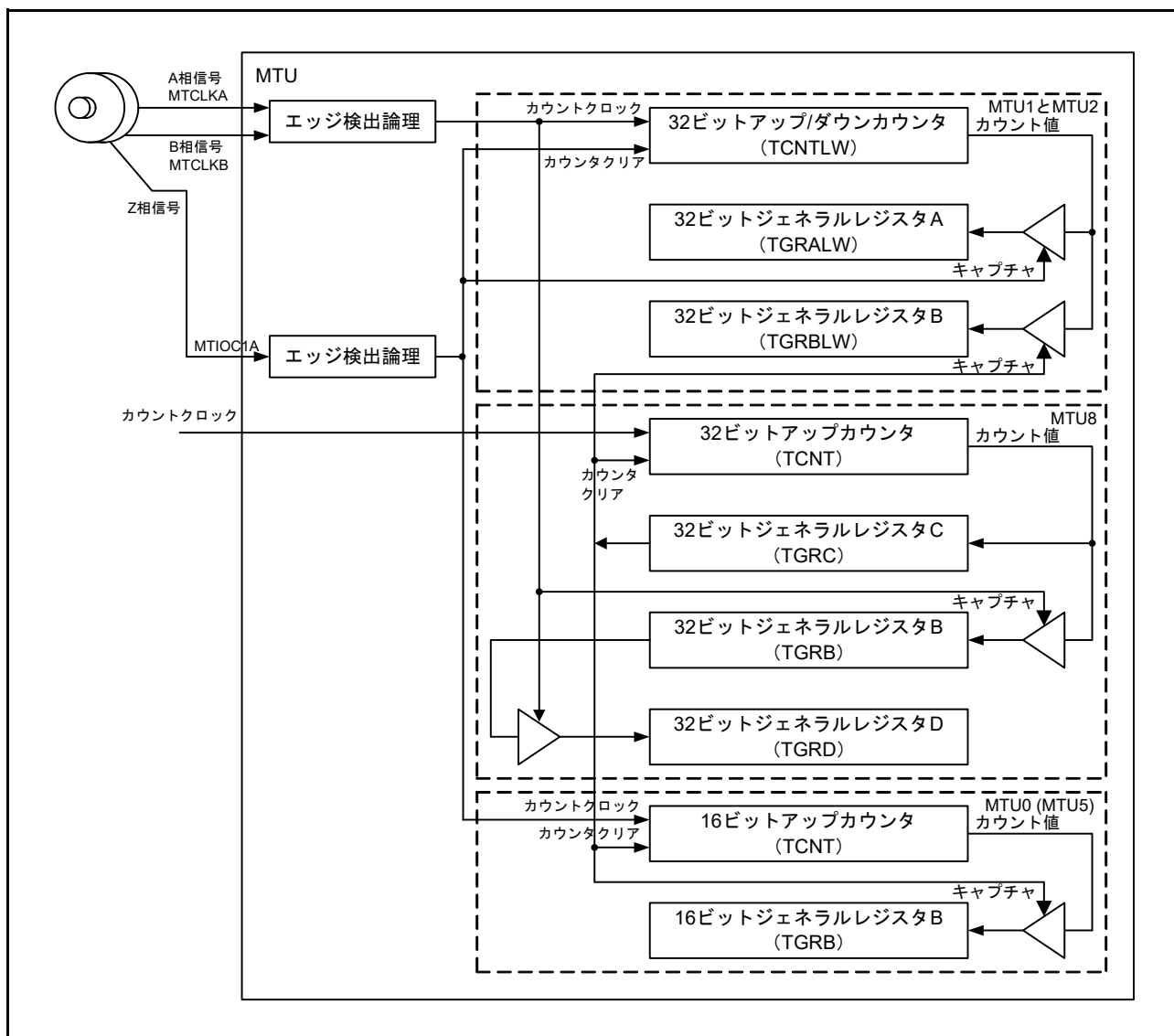


図 24.42 カスケード接続 32 ビット位相計数モード動作ブロック概要

(1) カスケード接続 32 ビット位相計数モードの設定例

カスケード接続 32 ビット位相計数モードの設定手順例を図 24.43 に示します。

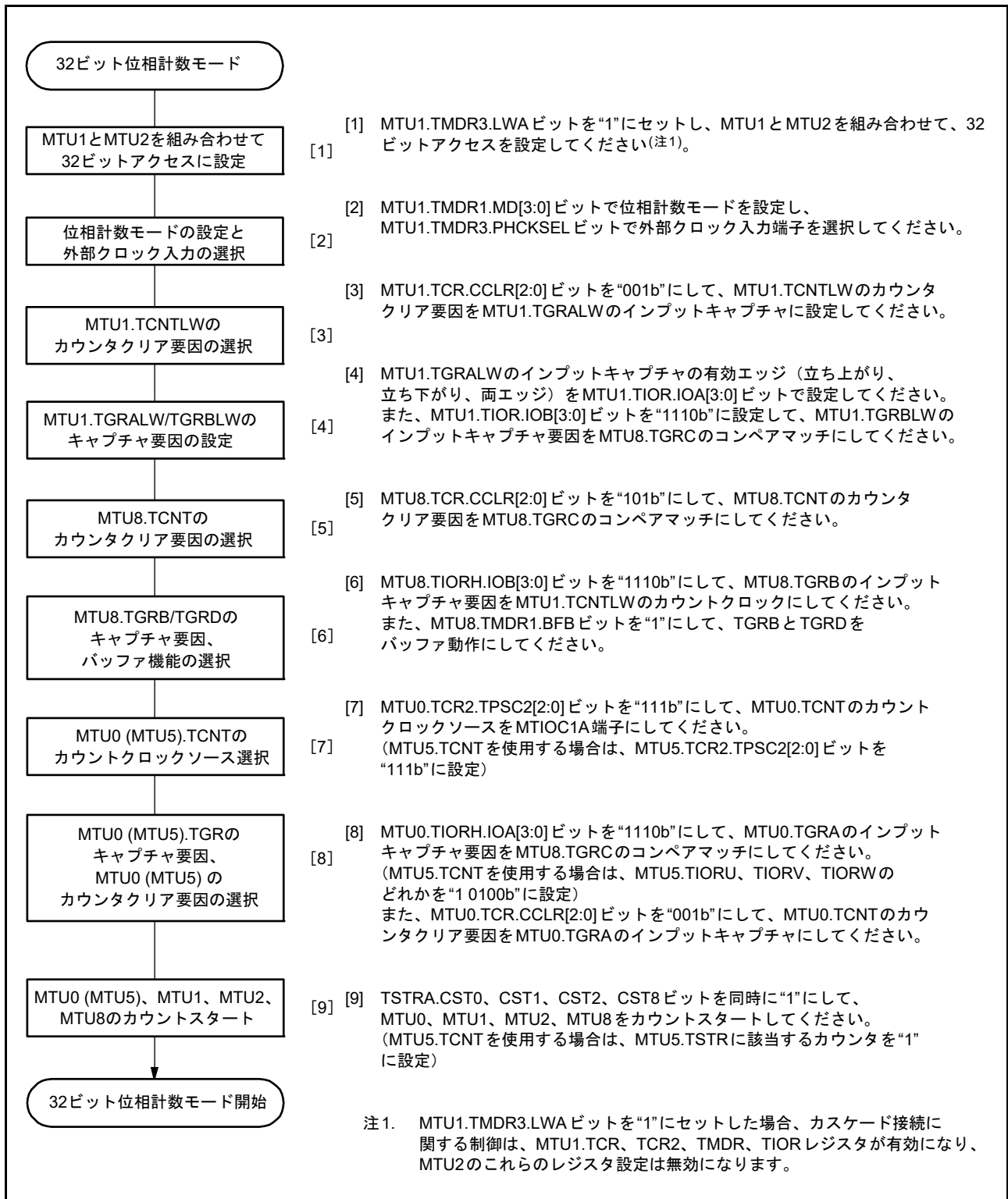


図 24.43 カスケード接続 32 ビット位相計数モード設定手順

24.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 および MTU6、MTU7 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を各 6 相、合計 12 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D 端子は PWM 出力端子となり、タイマカウンタ 3、6 (MTU3.TCNT, MTU6.TCNT) はアップカウンタとして機能します。

使用される PWM 出力端子を表 24.71 に、使用するレジスタの設定を表 24.72 に示します。

表 24.71 リセット同期PWMモード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1'（PWM出力1の逆相波形）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2の逆相波形）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3の逆相波形）
MTU6	MTIOC6A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC6B	PWM出力端子4
	MTIOC6D	PWM出力端子4'（PWM出力4の逆相波形）
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5'（PWM出力5の逆相波形）
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6'（PWM出力6の逆相波形）

表 24.72 リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	"0000h"を初期設定
MTU4.TCNT	"0000h"を初期設定
MTU3.TGRA	MTU3.TCNTのカウンタ周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定
MTU6.TCNT	"0000h"を初期設定
MTU7.TCNT	"0000h"を初期設定
MTU6.TGRA	MTU6.TCNTのカウンタ周期を設定
MTU6.TGRB	MTIOC6B、MTIOC6D端子より出力されるPWM波形の変化点を設定
MTU7.TGRA	MTIOC7A、MTIOC7C端子より出力されるPWM波形の変化点を設定
MTU7.TGRB	MTIOC7B、MTIOC7D端子より出力されるPWM波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 24.44 に示します。

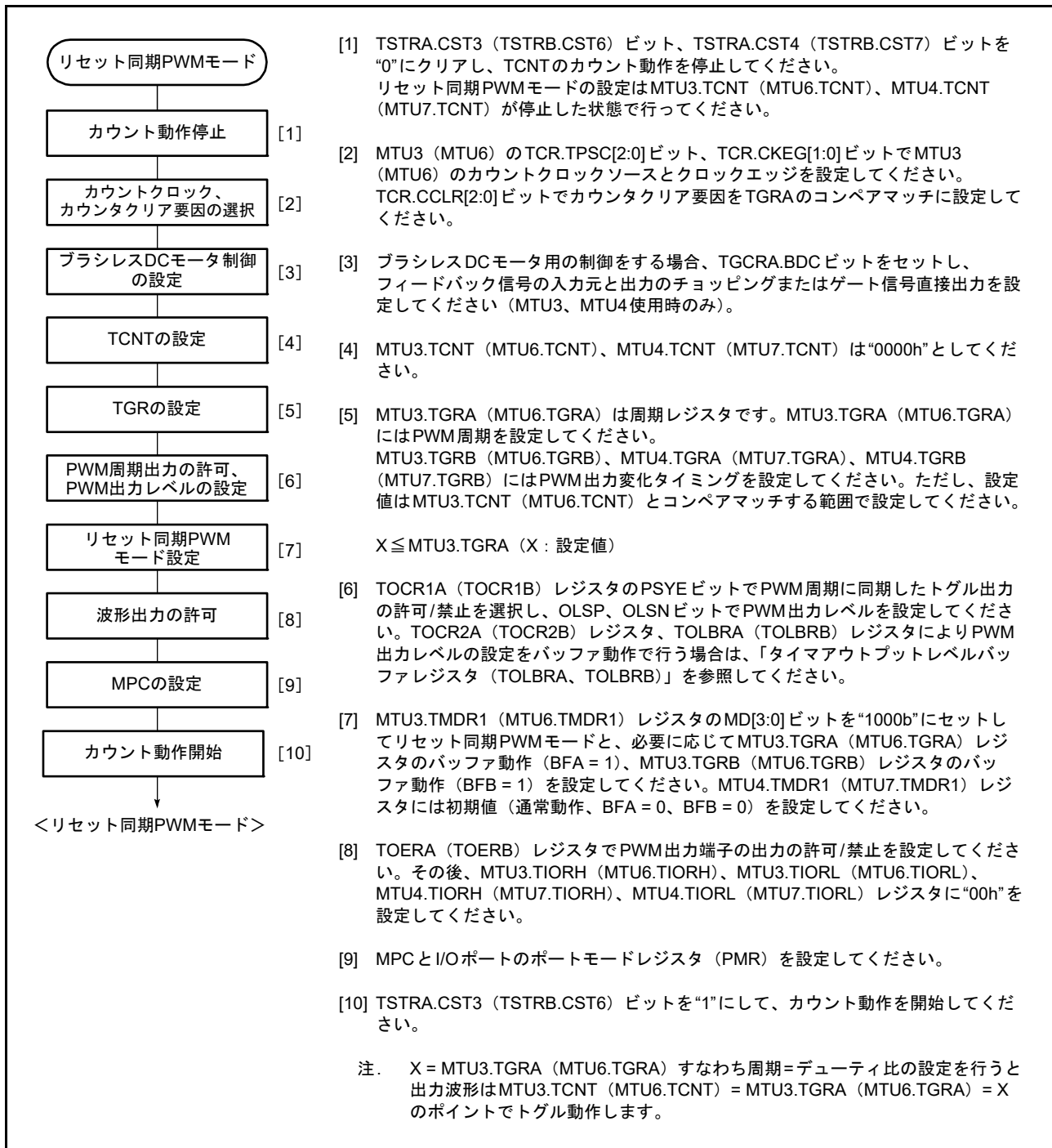


図 24.44 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 24.45 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT (MTU6.TCNT と MTU7.TCNT) はアップカウンタとして動作します。MTU3.TCNT (MTU6.TCNT) が MTU3.TGRA (MTU6.TGRA) とコンペアマッチするとカウンタはクリアされ“0000h”からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB (MTU6.TGRB)、MTU4.TGRA (MTU7.TGRA)、MTU4.TGRB (MTU7.TGRB) のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

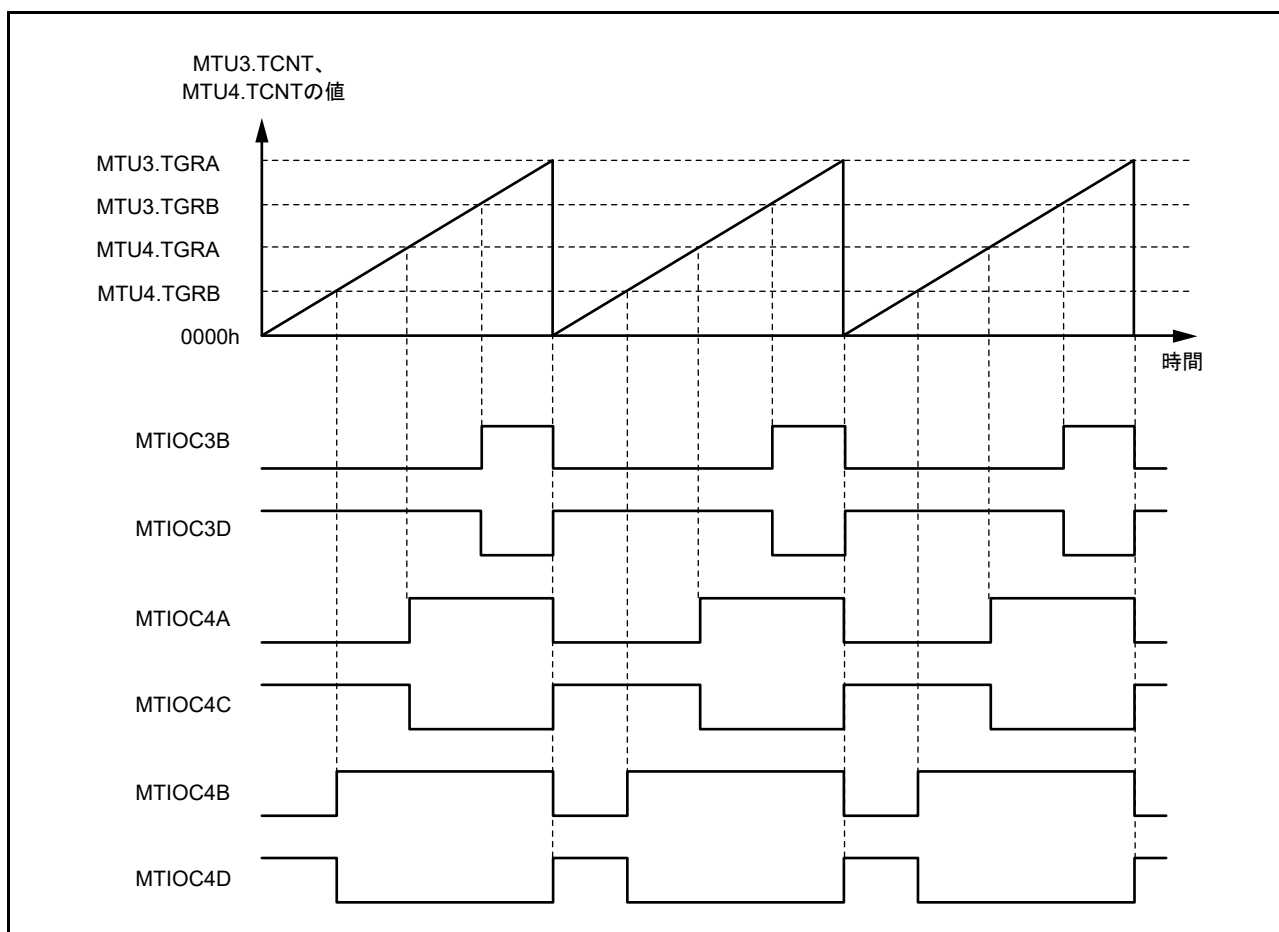


図 24.45 リセット同期 PWM モードの動作例
(MTU3、MTU4、TOCR1A の OLSN = 1、OLSP = 1 にした場合)

24.3.8 相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 および MTU6、MTU7 を組み合わせることによりデッドタイムを設定した PWM 波形（正相・逆相）を各 6 相、合計 12 相出力します。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D 端子は PWM 出力端子となり、MTIOC3A、MTIOC6A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT、MTU4.TCNT、MTU6.TCNT、MTU7.TCNT はアップカウンタ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 24.73 に、使用するレジスタの設定を表 24.74 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 24.73 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM 出力端子 1
	MTIOC3C	入出力ポート(注1)
	MTIOC3D	PWM 出力端子 1'（PWM 出力 1 の逆相波形出力）
MTU4	MTIOC4A	PWM 出力端子 2
	MTIOC4C	PWM 出力端子 2'（PWM 出力 2 の逆相波形出力）
	MTIOC4B	PWM 出力端子 3
	MTIOC4D	PWM 出力端子 3'（PWM 出力 3 の逆相波形出力）
MTU6	MTIOC6A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC6B	PWM 出力端子 4
	MTIOC6C	入出力ポート(注1)
	MTIOC6D	PWM 出力端子 4'（PWM 出力 4 の逆相波形出力）
MTU7	MTIOC7A	PWM 出力端子 5
	MTIOC7C	PWM 出力端子 5'（PWM 出力 5 の逆相波形出力）
	MTIOC7B	PWM 出力端子 6
	MTIOC7D	PWM 出力端子 6'（PWM 出力 6 の逆相波形出力）

注 1. MTIOC3C、MTIOC6C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 24.74 相補PWMモード時のレジスタ設定 (1/2)

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
MTU3	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERAレジスタの設定によりマスク可能(注1)
	TGRA	MTU3.TCNTの上限値を設定 (キャリア周期の1/2 + デッドタイム)	TRWERAレジスタの設定によりマスク可能(注1)
	TGRB	PWM出力1のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能(注1)
	TGRC	MTU3.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU3.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
MTU4	TCNT	"0000h"を初期設定しカウントアップスタート	TRWERAレジスタの設定によりマスク可能(注1)
	TGRA	PWM出力2のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能(注1)
	TGRB	PWM出力3のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能(注1)
	TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU4.TGRAのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
	TGRF	MTU4.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
MTU6	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERBレジスタの設定によりマスク可能(注2)
	TGRA	MTU6.TCNTの上限値を設定 (キャリア周期の1/2 + デッドタイム)	TRWERBレジスタの設定によりマスク可能(注2)
	TGRB	PWM出力4のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能(注2)
	TGRC	MTU6.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力4/MTU6.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU6.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
MTU7	TCNT	"0000h"を初期設定しカウントアップスタート	TRWERBレジスタの設定によりマスク可能(注2)
	TGRA	PWM出力5のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能(注2)
	TGRB	PWM出力6のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能(注2)
	TGRC	PWM出力5/MTU7.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力6/MTU7.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU7.TGRAのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
	TGRF	MTU7.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能

注1. TRWERAレジスタ (タイマリードライトイネーブルレジスタA) の設定によりアクセスの許可/禁止が可能です。

注2. TRWERBレジスタ (タイマリードライトイネーブルレジスタB) の設定によりアクセスの許可/禁止が可能です。

表24.75 相補PWMモード時のレジスタ設定 (2/2)

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
	タイマデッドタイムデータ レジスタA (TDDRA)	MTU4.TCNTとMTU3.TCNTのオフセット値（デッドタイムの値）を設定	TRWERAの設定によりマスク可能(注1)
	タイマデッドタイムデータ レジスタB (TDDRB)	MTU7.TCNTとMTU6.TCNTのオフセット値（デッドタイムの値）を設定	TRWERBの設定によりマスク可能(注2)
	タイマ周期データレジスタA (TCDRA)	MTU4.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERAの設定によりマスク可能(注1)
	タイマ周期データレジスタB (TCDRB)	MTU7.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERBの設定によりマスク可能(注2)
	タイマ周期バッファレジスタA (TCBRA)	TCDRAのバッファレジスタ	読み出し/書き込み可能
	タイマ周期バッファレジスタB (TCBRB)	TCDRBのバッファレジスタ	読み出し/書き込み可能
	サブカウンタA (TCNTSA)	デッドタイム生成のためのサブカウンタA	読み出しのみ可能
	サブカウンタB (TCNTSB)	デッドタイム生成のためのサブカウンタB	読み出しのみ可能
	テンポラリレジスタ1A (TEMP1A)	PWM出力1/MTU3.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
	テンポラリレジスタ1B (TEMP1B)	PWM出力1/MTU3.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
	テンポラリレジスタ2A (TEMP2A)	PWM出力2/MTU4.TGRAのテンポラリレジスタA	読み出し/書き込み不可能
	テンポラリレジスタ2B (TEMP2B)	PWM出力2/MTU4.TGRAのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
	テンポラリレジスタ3A (TEMP3A)	PWM出力3/MTU4.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
	テンポラリレジスタ3B (TEMP3B)	PWM出力3/MTU4.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
	テンポラリレジスタ4A (TEMP4A)	PWM出力4/MTU6.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
	テンポラリレジスタ4B (TEMP4B)	PWM出力4/MTU6.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
	テンポラリレジスタ5A (TEMP5A)	PWM出力5/MTU7.TGRAのテンポラリレジスタA	読み出し/書き込み不可能
	テンポラリレジスタ5B (TEMP5B)	PWM出力5/MTU7.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
	テンポラリレジスタ6A (TEMP6A)	PWM出力6/MTU7.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
	テンポラリレジスタ6B (TEMP6B)	PWM出力6/MTU7.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能

注1. TRWERAレジスタ（タイマリードライトイネーブルレジスタA）の設定によりアクセスの許可/禁止が可能です。

注2. TRWERBレジスタ（タイマリードライトイネーブルレジスタB）の設定によりアクセスの許可/禁止が可能です。

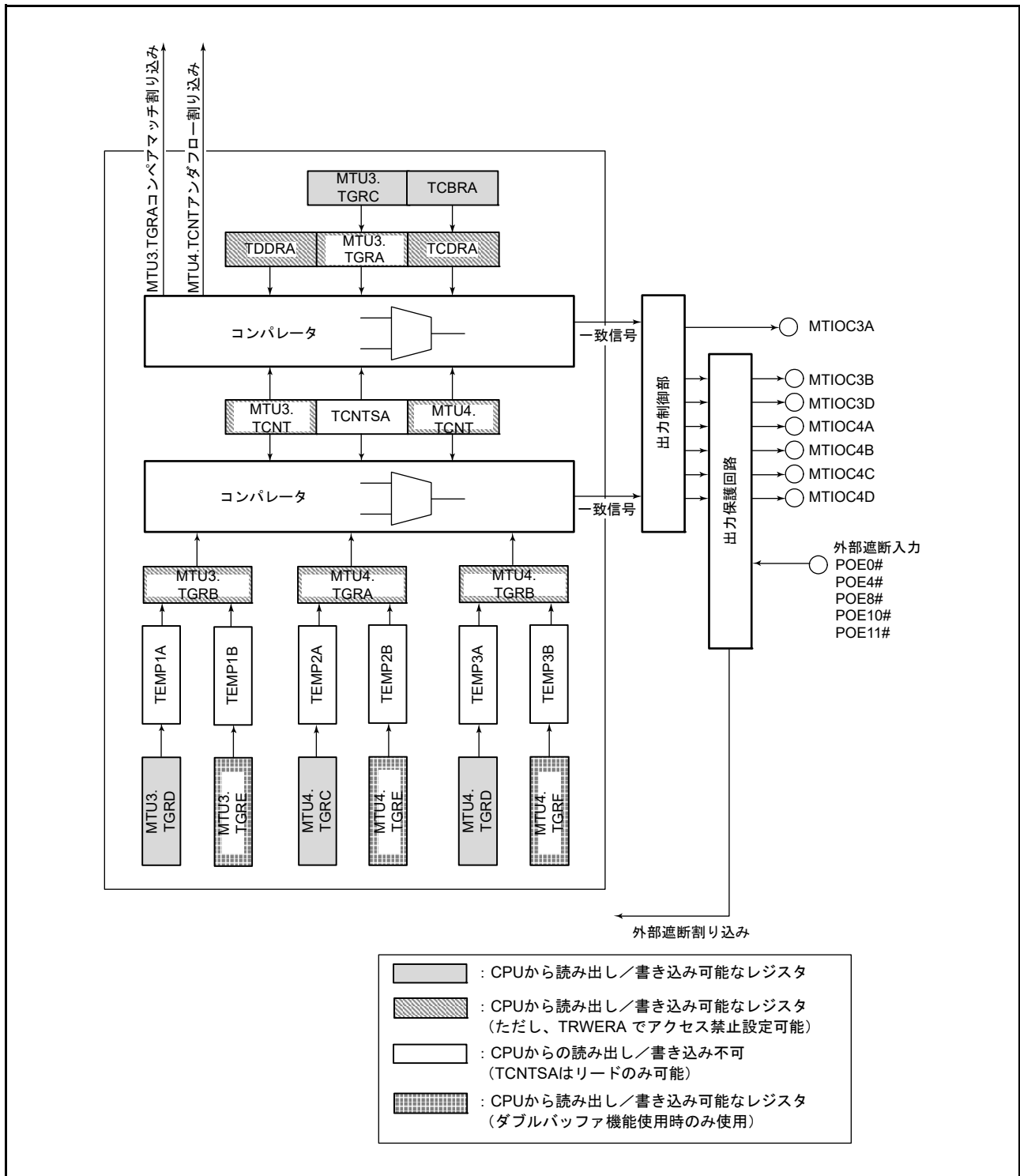


図 24.46 相補 PWM モード時の MTU3、MTU4 ブロック図

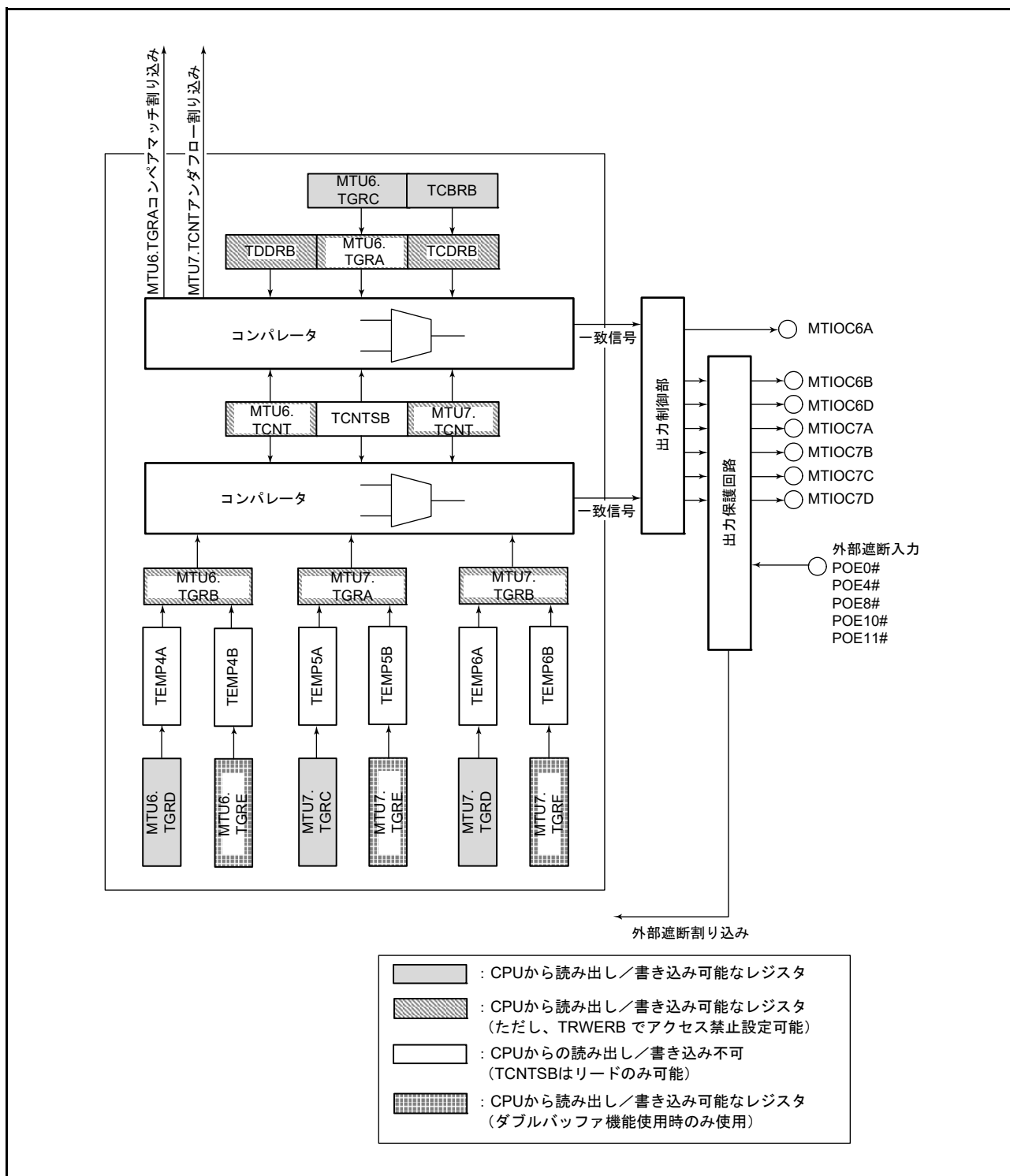


図 24.47 相補 PWM モード時の MTU6、MTU7 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 24.48 に示します。



図 24.48 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6相（正相3本、逆相3本）の PWM 出力が可能です。図 24.49 に相補 PWM モードのカウンタの動作 (MTU3, MTU4) を示します。図 24.50 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT、MTU7.TCNT および TCNTSB) レジスタの3本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT (MTU6.TCNT) は、相補 PWM モードに設定され TSTRA (TSTRB) の CST3 ビットが“0”のとき、TDDRA (TDDRb) に設定された値が自動的に初期値として設定されます。CST3 ビットが“1”になると、MTU3.TGRA (MTU6.TGRA) に設定された値までアップカウント動作を行い、MTU3.TGRA (MTU6.TGRA) と一致するとダウンカウントに切り替わります。その後、MTU4.TCNT (MTU7.TCNT) が“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT (MTU7.TCNT) には、初期値として“0000h”を設定します。CST4 ビットが“1”に設定されると、MTU3.TCNT (MTU6.TCNT) に同期して動作しアップカウントを行い、MTU3.TCNT (MTU6.TCNT) が MTU3.TGRA (MTU6.TGRA) と一致するとダウンカウントに切り替わります。この後、“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTSA (TCNTSB) は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) がアップカウント時、MTU3.TCNT (MTU6.TCNT) が TCDRA (TCDRB) と一致するとダウンカウントを開始し、MTU3.TCNT (MTU6.TCNT) が MTU3.TGRA (MTU6.TGRA) と一致するとアップカウントに切り替わります。

また、MTU4.TCNT (MTU7.TCNT) と TDDRA (TDDRb) が一致すると TCNTSA (TCNTSB) は MTU3.TGRA (MTU6.TGRA) の値が設定され、カウントを停止します。MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) がダウンカウント時、MTU4.TCNT (MTU7.TCNT) が TDDRA (TDDRb) と一致するとアップカウントを開始し、MTU4.TCNT (MTU7.TCNT) が“0000h”と一致するとダウンカウントに切り替わります。

また、MTU3.TCNT (MTU6.TCNT) と TCDRA (TCDRB) が一致すると TCNTSA (TCNTSB) は“0000h”になり、カウントを停止します。

TCNTSA (TCNTSB) は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

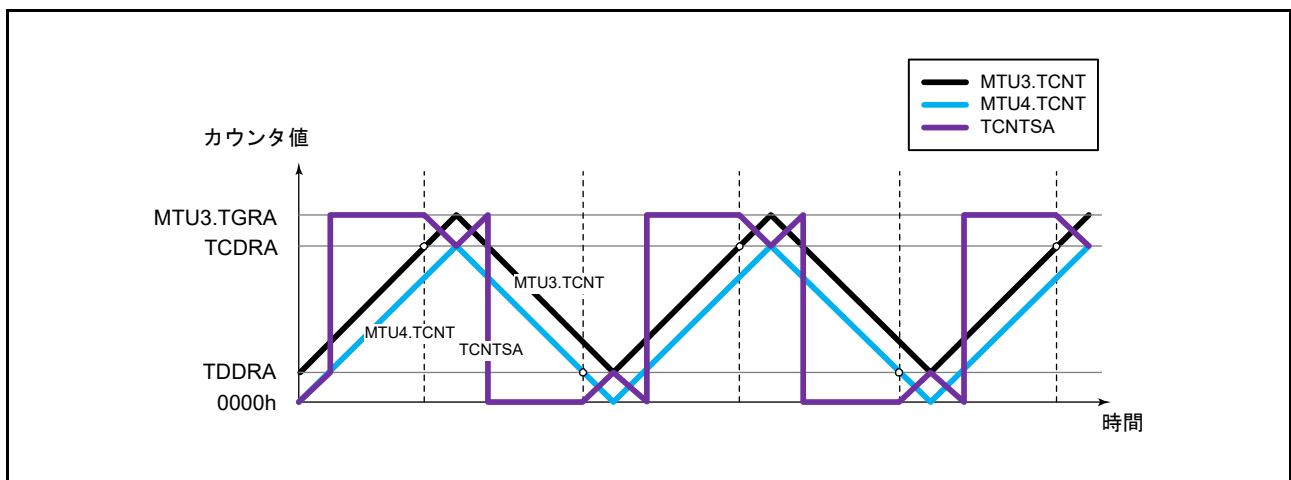


図 24.49 相補 PWM モードのカウント動作 (MTU3, MTU4)

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの9本のレジスタを使用して、PWM 出力のデューティ制御を行います。図 24.50 に相補 PWM モードの動作例 (MTU3, MTU4) を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB (MTU6.TGRB, MTU7.TGRA, MTU7.TGRB) です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR1A, TOCR1B) の OLSN、OLSP ビットで設定した値が PWM 出力端子から出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD (MTU6.TGRD, MTU7.TGRC, MTU7.TGRD) です。

また、ダブルバッファ機能使用時は、バッファレジスタ B の MTU3.TGRE、MTU4.TGRE、MTU4.TGRF (MTU6.TGRE, MTU7.TGRE, MTU7.TGRF) も使用されます。動作の詳細は「24.3.8 (2) (s) 相補 PWM モードのダブルバッファ機能」を参照してください。

バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、読み出し/書き込みが可能です。

バッファレジスタのデータを書き替える場合は、最後に MTU4.TGRD (MTU7.TGRD) への書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBRA (TCBRB) レジスタ、MTU3.TGRC (MTU6.TGRC) レジスタからテンポラリレジスタへの転送も許可されます。転送は5本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後にテンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了したとき (TCNTSA (TCNTSB) がアップカウント時に MTU3.TGRA (MTU6.TGRA) と一致したとき)、または Tb2 区間が終了したとき (TCNTSA (TCNTSB) がダウンカウント時に “0000h” と一致したとき) にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ 1 (TMDR1) の MD[3:0] ビットで選択できます。図 24.50 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 24.50 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1相の出力に対して2本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT, MTU7.TCNT および TCNTSB) の3本のカウンタとコンペアレジスタ、テンポラリレジスタの2本のレジスタが比較され、PWM 出力を制御します。

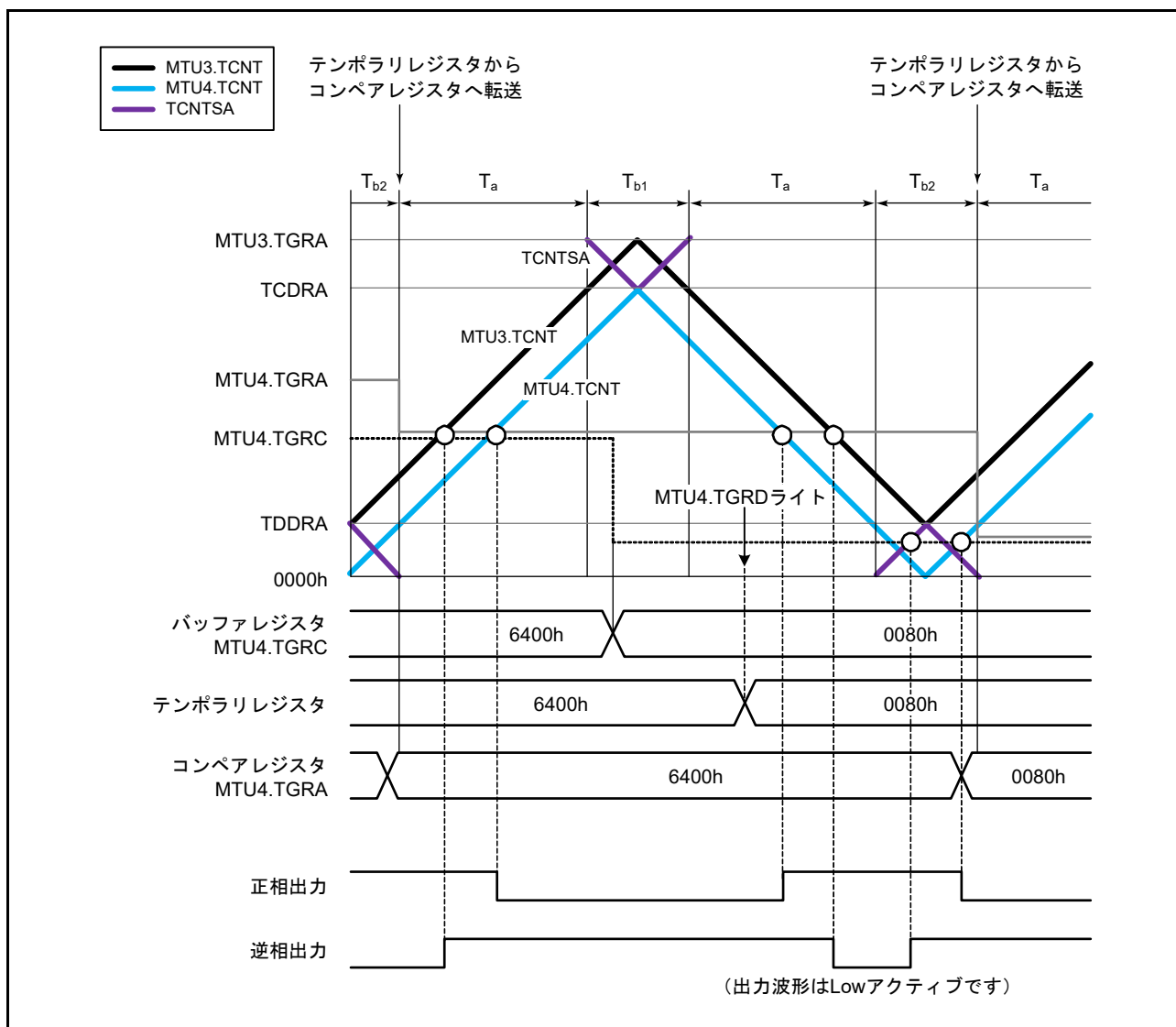


図 24.50 相補 PWM モード動作例 (MTU3, MTU4)

(c) 初期設定

相補 PWM モードでは、初期設定の必要なレジスタが9本あります。また、デッドタイム生成の有無を設定するレジスタが1本あります（デッドタイムを生成しない場合のみ設定してください）。

MTU3.TMDR1.MD[3:0] (MTU6.TMDR1.MD[3:0]) ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TOCR1A、TOCR2A、TOCR1B、TOCR2B レジスタは、PWM 出力レベルを設定します。MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして動作し、PWM 周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBRA, TCBRB) は、タイマ周期データレジスタ (TCDRA, TCDRB) のバッファレジスタとして動作し、PWM 周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDRA, TDDRB) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDERA, TDERB) の TDER ビットを“0”にし、MTU3.TGRC、MTU3.TGRA (MTU6.TGRC, MTU6.TGRA) には、PWM キャリア周期の $1/2 + 1$ を、TDDRA (TDDRB) を“1”にします。

バッファレジスタ A (MTU3.TGRD、MTU4.TGRC、MTU4.TGRD (MTU6.TGRD, MTU7.TGRC, MTU7.TGRD)) の3本には、それぞれ PWM デューティの初期値を設定します。

バッファレジスタ B (MTU3.TGRE、MTU4.TGRE、MTU4.TGRF (MTU6.TGRE, MTU7.TGRE, MTU7.TGRF)) の3本には、ダブルバッファ機能使用時のみ、それぞれ PWM デューティの初期値 - 1 を設定します。

TDDRA (TDDRB) を除く5本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT (MTU7.TCNT) は、相補 PWM モードに設定する前に“0000h”にしてください。

表 24.76 初期設定の必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
TOCR1A, TOCR2A, TOCR1B, TOCR2B	PWM 出力レベルを設定
MTU3.TGRC MTU6.TGRC	PWM 周期の $1/2 + \text{デッドタイム } T_d$ TDERA/TDERB でデッドタイム生成をなしに設定した場合は PWM 周期の $1/2 + 1$
TDDRA, TDDRB	デッドタイム T_d (TDERA/TDERB でデッドタイム生成をなしに設定した場合“1”)
TCBRA, TCBRB	PWM 周期の $1/2$
MTU3.TGRD, MTU4.TGRC, MTU4.TGRD MTU6.TGRD, MTU7.TGRC, MTU7.TGRD	各相の PWM デューティ比の初期値
MTU3.TGRE, MTU4.TGRE, MTU4.TGRF MTU6.TGRE, MTU7.TGRE, MTU7.TGRF	各相の PWM デューティ比の初期値 - 1 (ダブルバッファ機能使用時のみ)
MTU4.TCNT MTU7.TCNT	“0000h”

注. MTU3.TGRC (MTU6.TGRC) の設定値は、TCBRA (TCBRB) に設定する PWM 周期の $1/2$ の値と TDDRA (TDDRB) に設定するデッドタイム T_d の値の和としてください。ただし、TDERA (TDERB) レジスタでデッドタイム生成をなしに設定した場合は、PWM 周期の $1/2 + 1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM 出力の出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1A, TOCR1B) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2A, TOCR2B) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、PWM 出力にデッドタイムを設定できます。

デッドタイムは、タイマデッドタイムデータレジスタ (TDDRA, TDDRB) に設定します。TDDRA (TDDRB) に設定した値が、MTU3.TCNT (MTU6.TCNT) のカウンタスタート値となり、MTU3.TCNT (MTU6.TCNT) と MTU4.TCNT (MTU7.TCNT) のノンオーバーラップを生成します。TDDRA (TDDRB) の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDERA, TDERB) の TDER ビットを“0”にします。TDERA (TDERB) は、TDER ビット=1 の状態で TDER ビットを読んだ後、TDER ビットに“0”を書いたときのみ、“0”にできます。

MTU3.TGRA、MTU3.TGRC (MTU6.TGRA, MTU6.TGRC) にはPWM 周期の $1/2 + 1$ を設定し、タイマデッドタイムデータレジスタ (TDDRA, TDDRB) を“1”にします。

デッドタイムを生成しない設定にすると、デッドタイムなしのPWM 波形を出力できます。図 24.51 にデッドタイムを生成しない場合の動作例 (MTU3, MTU4) を示します。

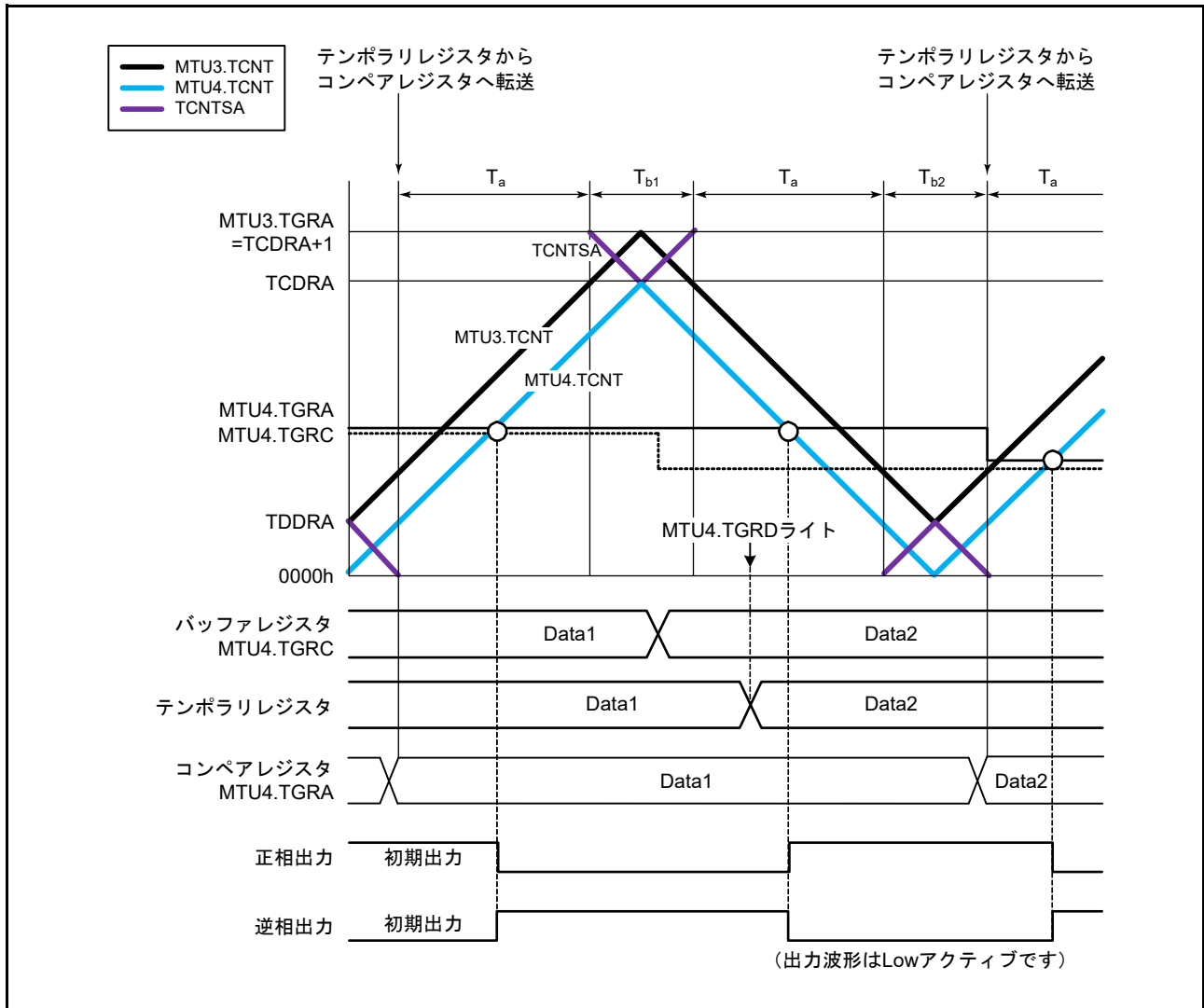


図 24.51 デッドタイムを生成しない場合の動作例 (MTU3, MTU4)

(g) PWM 周期の設定

相補 PWM モードでは、PWM 周期を MTU3.TCNT (MTU6.TCNT) の上限値を設定する MTU3.TGRA (MTU6.TGRA) と MTU4.TCNT (MTU7.TCNT) の上限値を設定する TCDRA (TCDRB) の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : MTU3.TGRA (MTU6.TGRA) の設定値 = TCDRA (TCDRB) の設定値 + TDDRA (TDDRB) の設定値

デッドタイム生成なし : MTU3.TGRA (MTU6.TGRA) の設定値 = TCDRA (TCDRB) の設定値 + 1

また、TCDRA (TCDRB) レジスタと TDDRA (TDDRB) レジスタの関係が、次の関係になるように設定してください。

$TCDRA (TCDRB) の設定値 > TDDRA (TDDRB) の設定値 \times 2 + 2$

また、MTU3.TGRA、TCDRA (MTU6.TGRA, TCDRB) の設定は、バッファレジスタの MTU3.TGRC、TCBRA (MTU6.TGRC, TCBRB) に値を設定することで行ってください。MTU4.TGRD (MTU7.TGRD) への書き込みを行い転送を許可すると MTU3.TGRC、TCBRA (MTU6.TGRC, TCBRB) に設定した値は、MTU3.TMDR1.MD[3:0] (MTU6.TMDR1.MD[3:0]) ビットで選択した転送タイミングで MTU3.TGRA、TCDRA (MTU6.TGRA, TCDRB) に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 24.52 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次項の「(h) レジスタデータの更新」を参照してください。

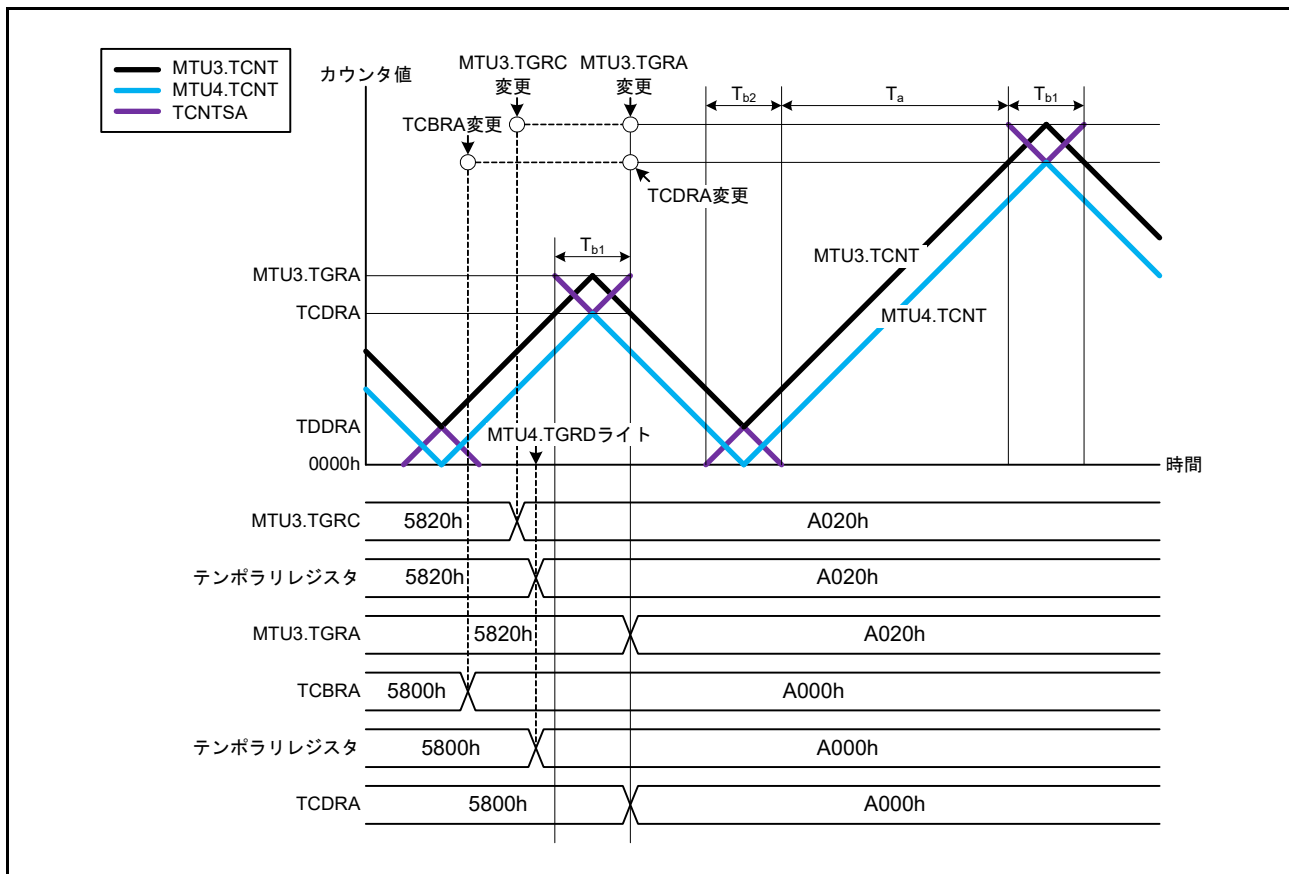


図 24.52 PWM 周期の変更例 (MTU3, MTU4)

(h) レジスタデータの更新

相補 PWM モードで、PWM デューティ用および PWM 周期用のコンペアレジスタ (5 本) のデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTSA (TCNTSB) がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換わります。TCNTSA (TCNTSB) がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTSA (TCNTSB) が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、MTU3.TMDR1.MD[3:0] (MTU6.TMDR1.MD[3:0]) ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 24.53 に相補 PWM モード時のデータ更新例 (MTU3、MTU4) を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD (MTU7.TGRD) への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD (MTU7.TGRD) に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD (MTU7.TGRD) のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD (MTU7.TGRD) に書き込み動作を行ってください。またこのとき、MTU4.TGRD (MTU7.TGRD) に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

ダブルバッファ機能使用時のデータ更新については、「24.3.8 (2) (s) 相補 PWM モードのダブルバッファ機能」を参照してください。

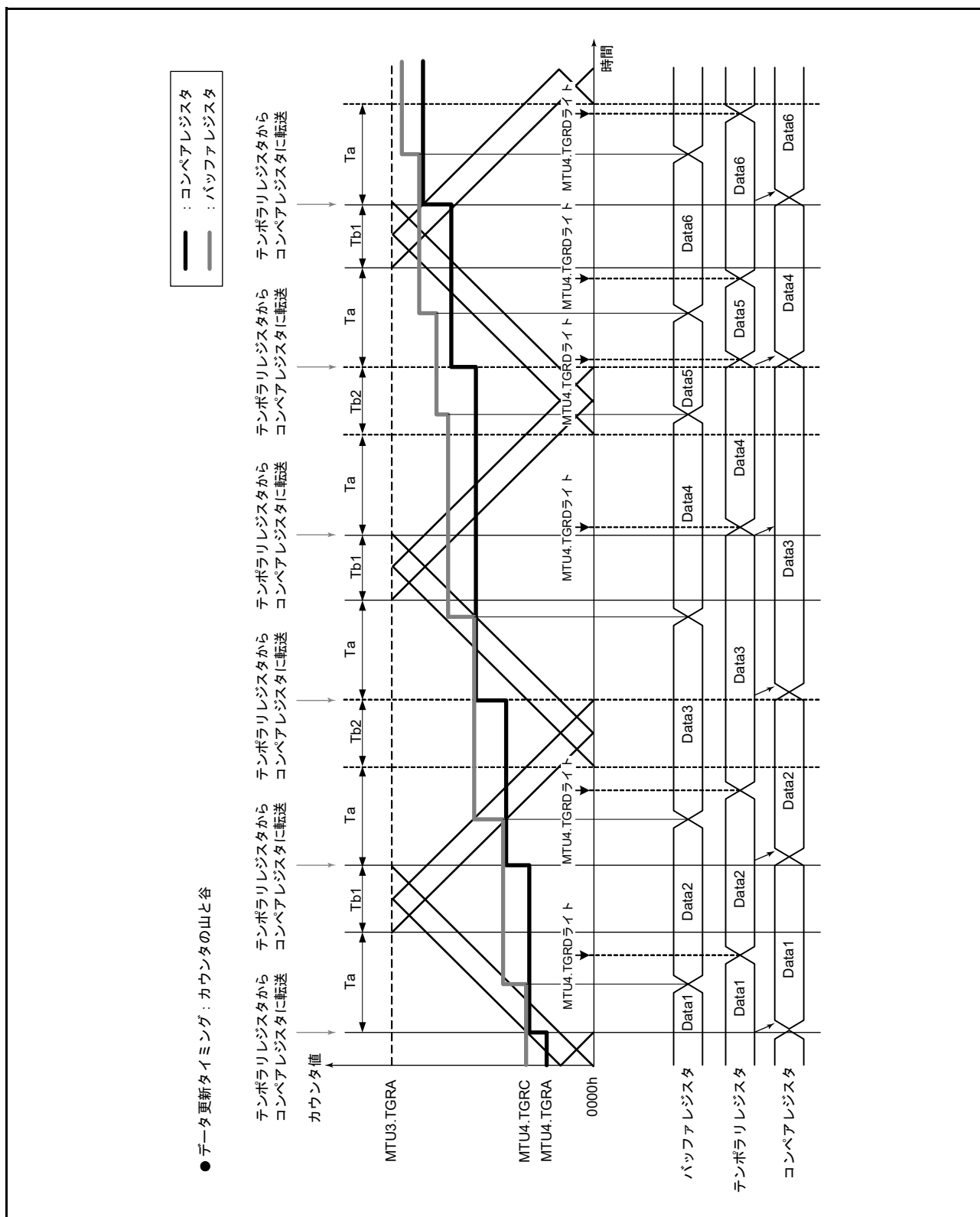


図 24.53 相補 PWM モードのデータ更新例 (MTU3, MTU4)

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、TOCR1A (TOCR1B) レジスタの OLSN、OLSP ビットの設定または、TOCR2A (TOCR2B) レジスタの OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM 出力の非アクティブレベルで、MTU3.TMDR1 (MTU6.TMDR1) で相補 PWM モードを設定してから MTU4.TCNT (MTU7.TCNT) が TDDRA (TDDRB) レジスタに設定された値より大きくなるまで出力されます。図 24.54 に相補 PWM モードの初期出力例を示します。

また、PWM デューティ比の初期値が TDDRA (TDDRB) の値より小さい場合の波形例を図 24.55 に示します。

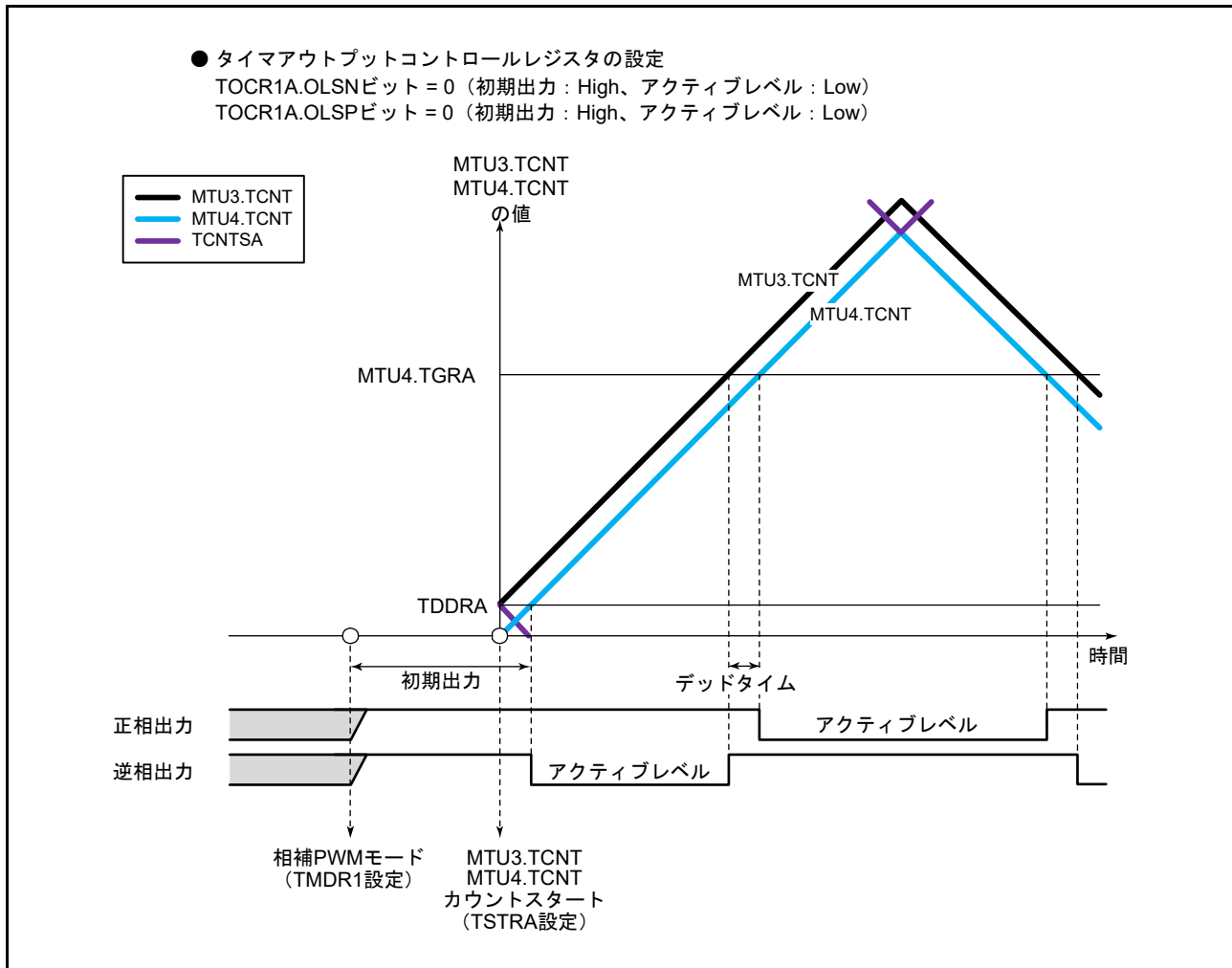


図 24.54 相補 PWM モードの初期出力例 (MTU3, MTU4) (1)

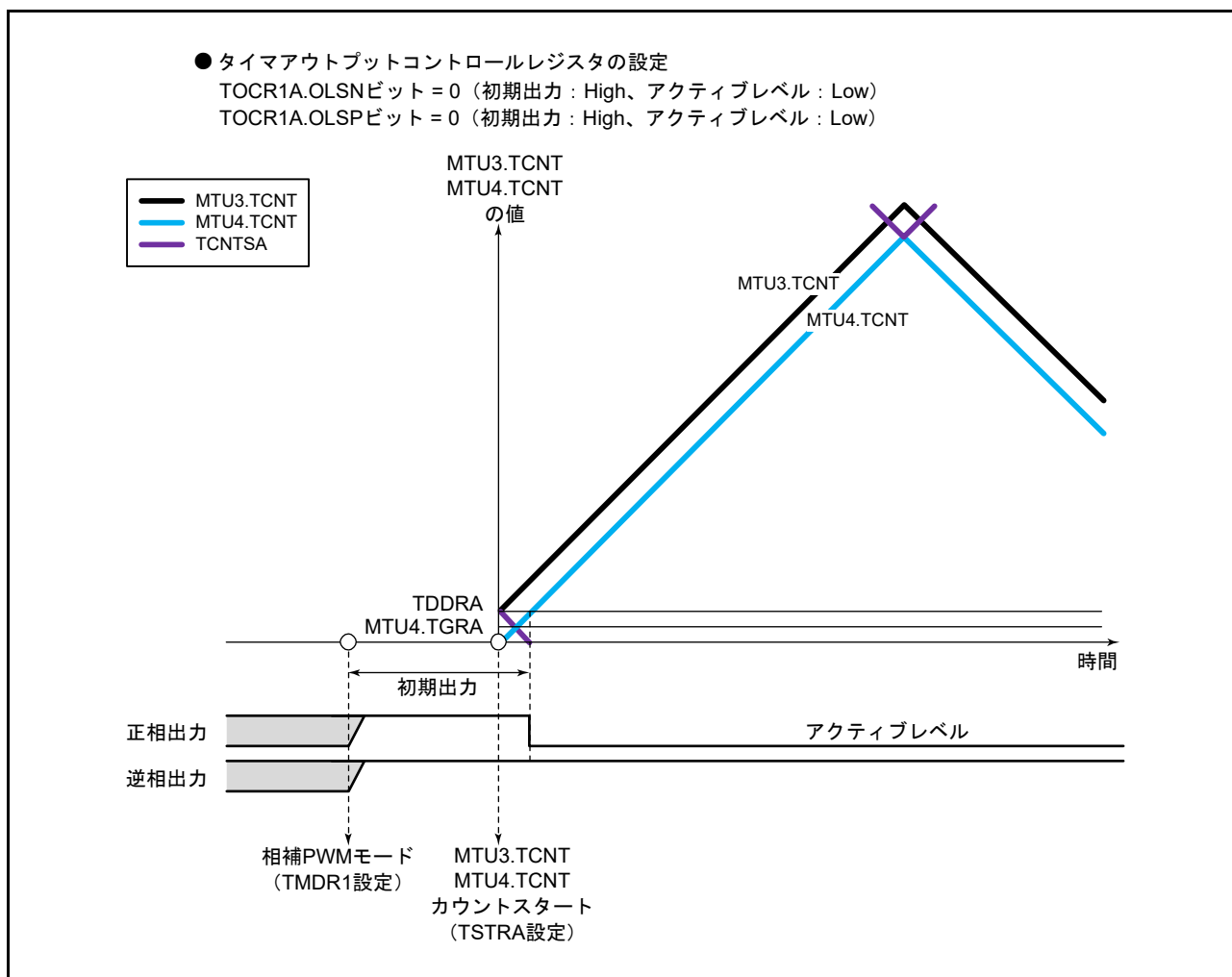


図 24.55 相補 PWM モードの初期出力例 (MTU3, MTU4) (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは 6 相（正相 3 本、逆相 3 本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTSA (TCNTSB) がカウント動作する期間では、デューティ 0% ~ 100% まで連続した PWM 出力を作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 24.56 ~ 図 24.58 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 24.56 に示すように通常の場合のコンペアマッチは、 $a \rightarrow b \rightarrow c \rightarrow d$ （または $c \rightarrow d \rightarrow a' \rightarrow b'$ ）の順番で発生します。

コンペアマッチが $a \rightarrow b \rightarrow c \rightarrow d$ の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または $c \rightarrow d \rightarrow a' \rightarrow b'$ の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 24.57 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 24.58 に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

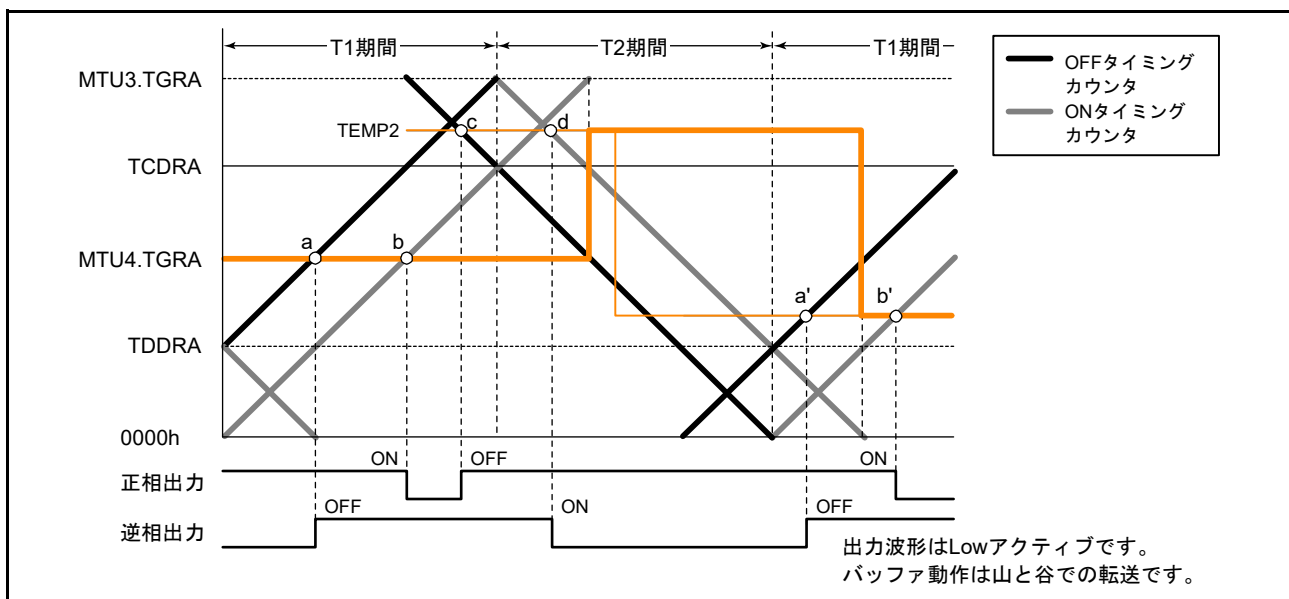


図 24.56 相補 PWM モード波形出力例 (MTU3, MTU4) (1)

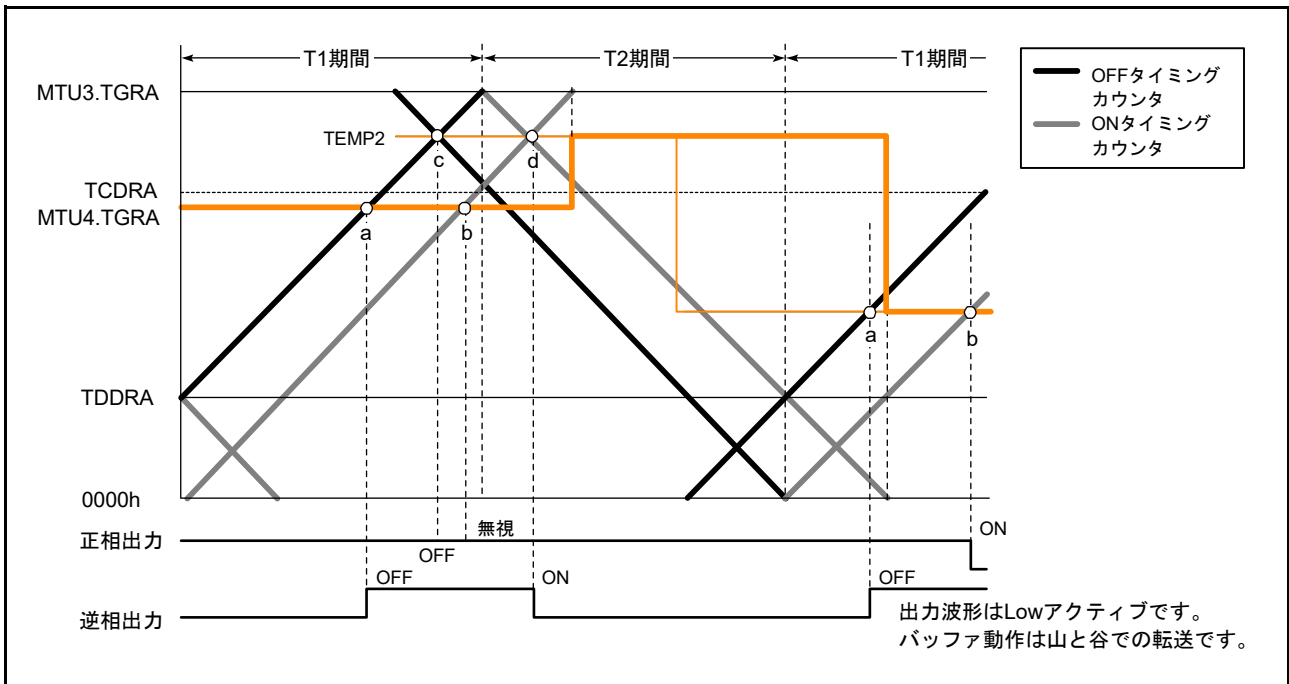


図 24.57 相補 PWM モード波形出力例 (MTU3, MTU4) (2)

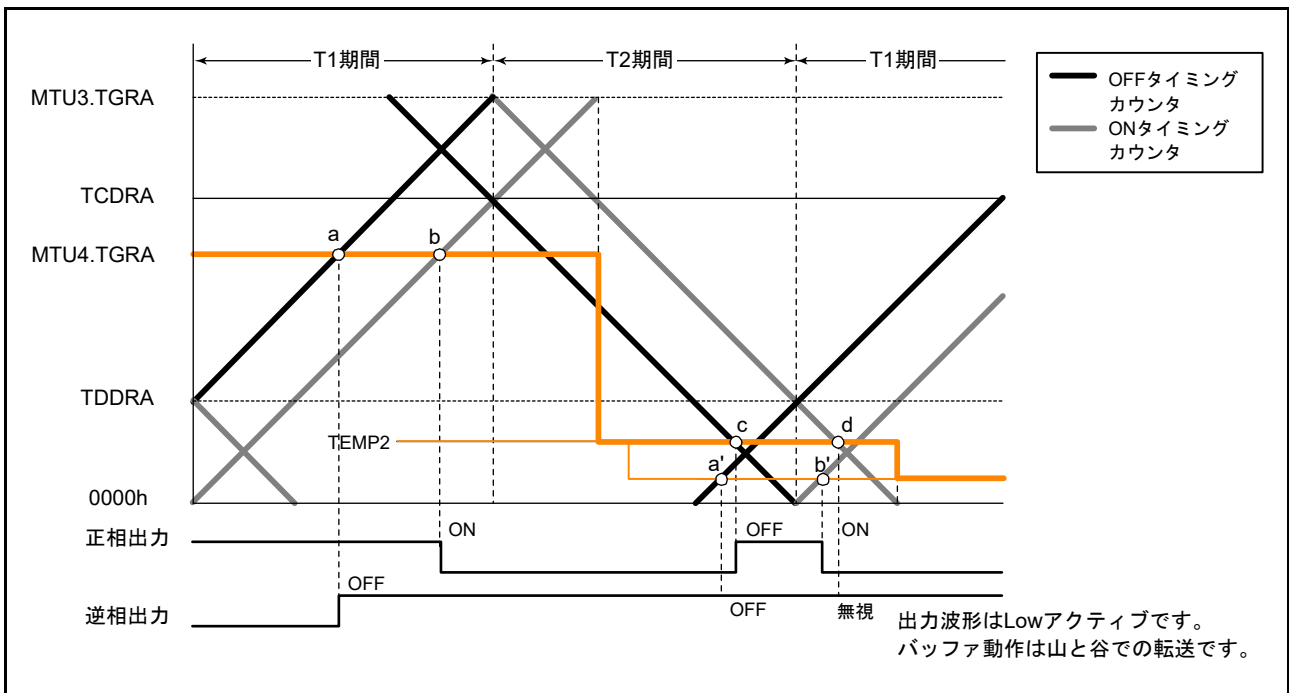


図 24.58 相補 PWM モード波形出力例 (MTU3, MTU4) (3)

(k) 相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% の PWM 出力を任意に出力可能です。図 24.59 ~ 図 24.63 に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を “0000h” にすると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA (MTU6.TGRA) の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

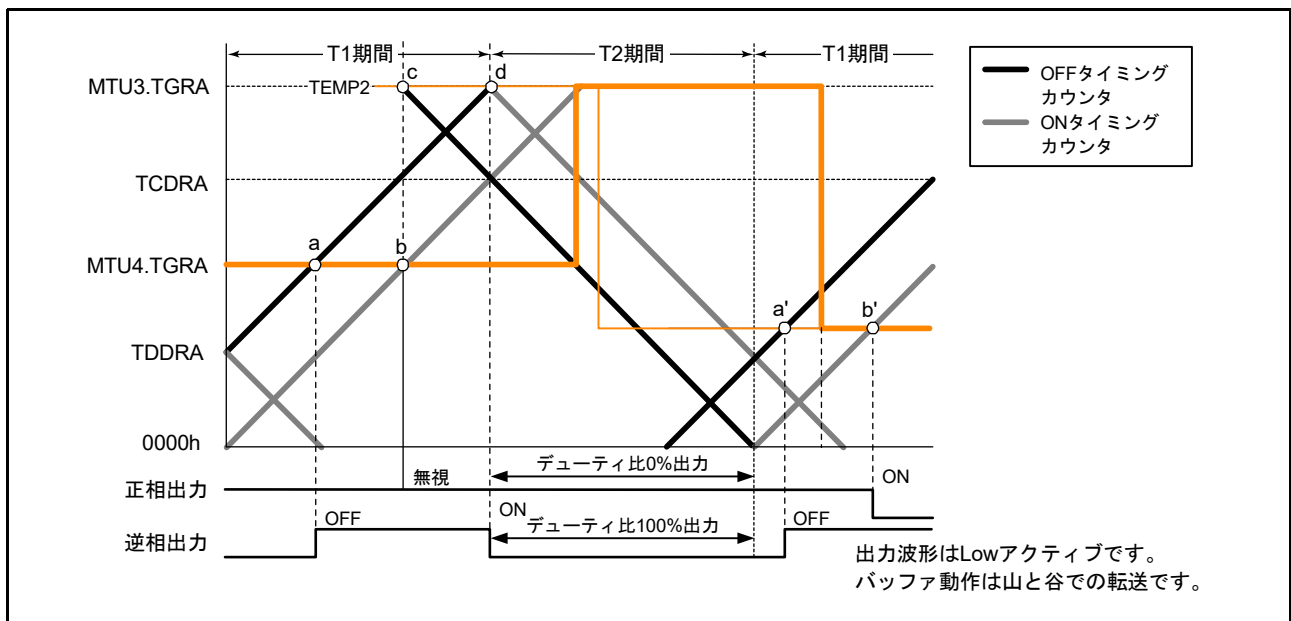


図 24.59 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (1)

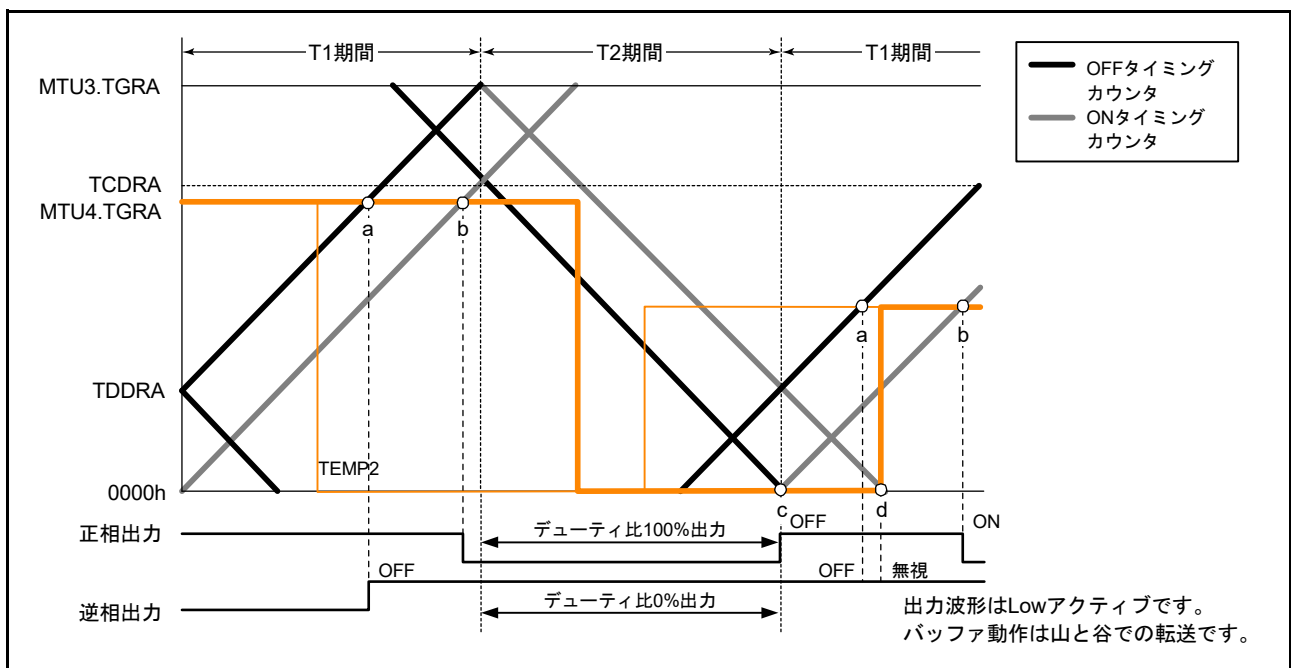


図 24.60 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (2)

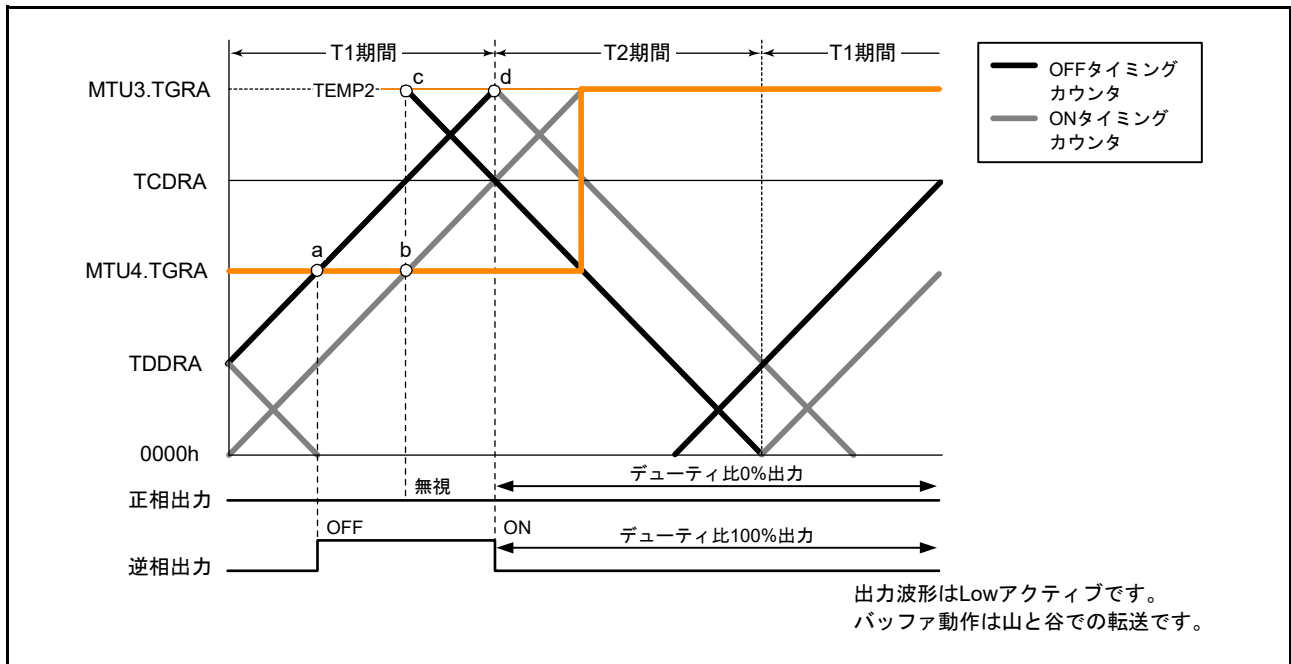


図 24.61 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (3)

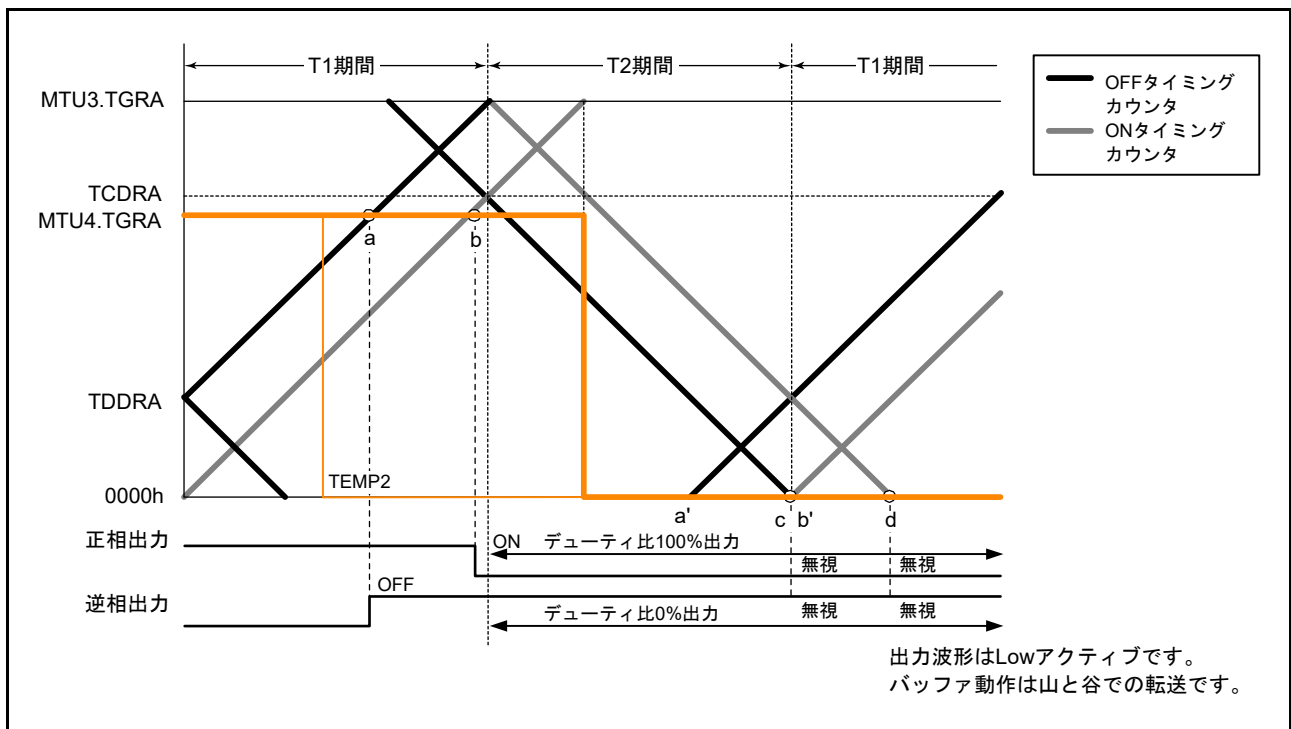


図 24.62 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (4)

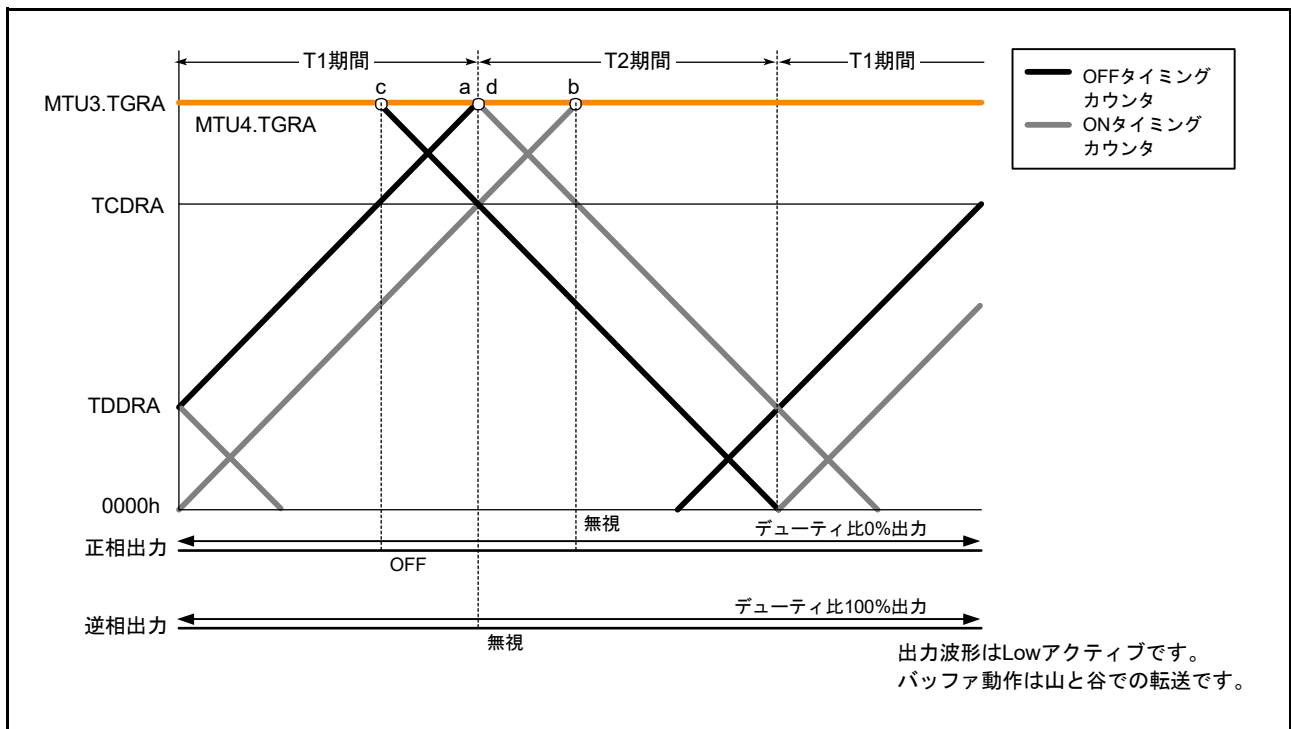


図 24.63 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、TOCR1A (TOCR1B) レジスタの PSYE ビットを “1” にすることにより PWM 出力端子から PWM 周期に同期したトグル出力が可能です。トグル出力の波形例を図 24.64 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA (MTU6.TCNT と MTU6.TGRA) のコンペアマッチと MTU4.TCNT (MTU7.TCNT) と “0000h” のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A (MTIOC6A) 端子です。また、初期出力は “High” 出力です。

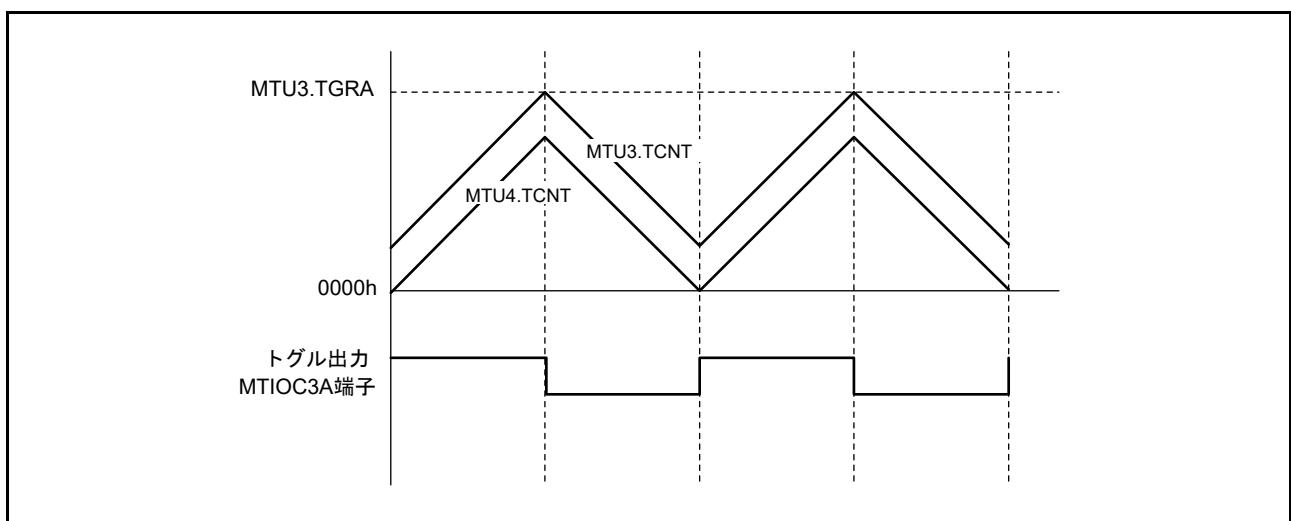


図 24.64 PWM 出力に同期したトグル出力波形例 (MTU3, MTU4)

(m) 他のチャネルによるカウンタクリア

相補PWMモード時、TSYRA (TSYRB) レジスタにより他のチャネルとの同期モードに設定し、またMTU3.TCR.CCLR[2:0] (MTU6.TCR.CCLR[2:0]) ビットで同期クリアを選択することにより他のチャネルの要因でMTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT、MTU7.TCNT および TCNTSB) をクリアをすることが可能です。

図 24.65 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

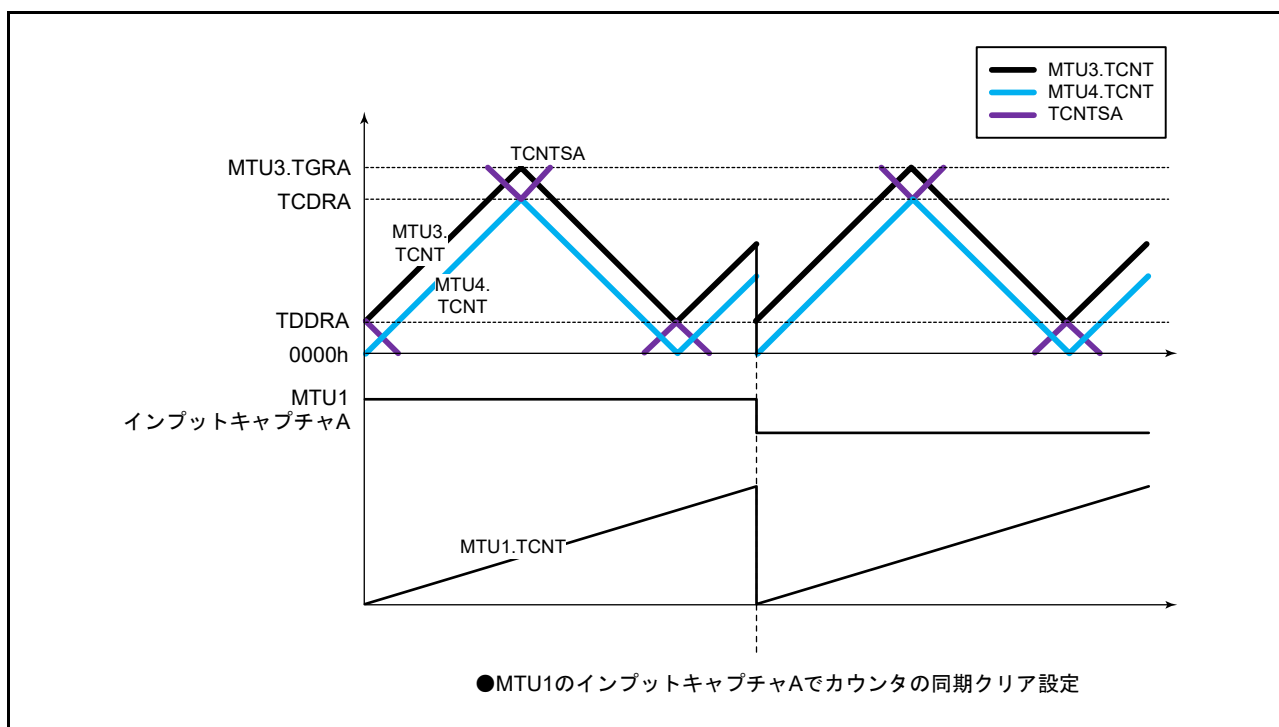


図 24.65 他のチャネルに同期したカウンタクリア (MTU3, MTU4)

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCRA (TWCRB) レジスタの WRE ビットを“1”にすることにより、相補 PWM モードの谷の Tb 区間 (Tb2 区間) で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを“1”にすることで初期出力を抑止することができるのは、同期クリアが図 24.66 の⑩、⑪のような Tb2 区間に入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1A (TOCR1B) レジスタの OLSN ビット、OLSP ビットで設定した初期値が出力されます。また、Tb2 区間であっても、図 24.66 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU3、MTU4—MTU6、MTU7 のどちらでも使用することができます。MTU3、MTU4—MTU6、MTU7 のカウンタクリア要因はそれぞれ、MTU3、MTU4 では MTU0 ~ MTU2 からの同期クリア、MTU6、MTU7 では MTU0 ~ MTU2 のコンペアマッチ/インプットキャプチャです。

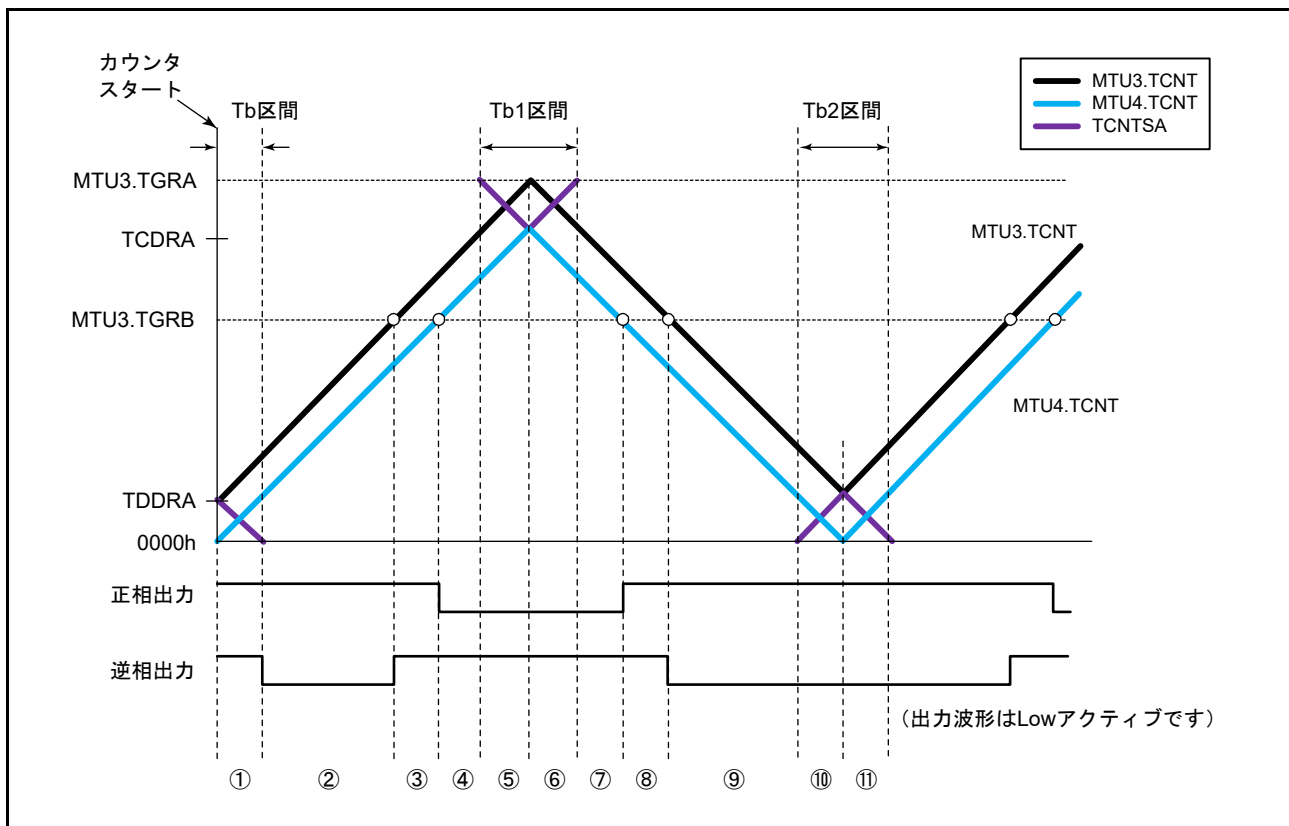


図 24.66 同期カウンタクリアタイミング (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例
相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 24.67 に示します。

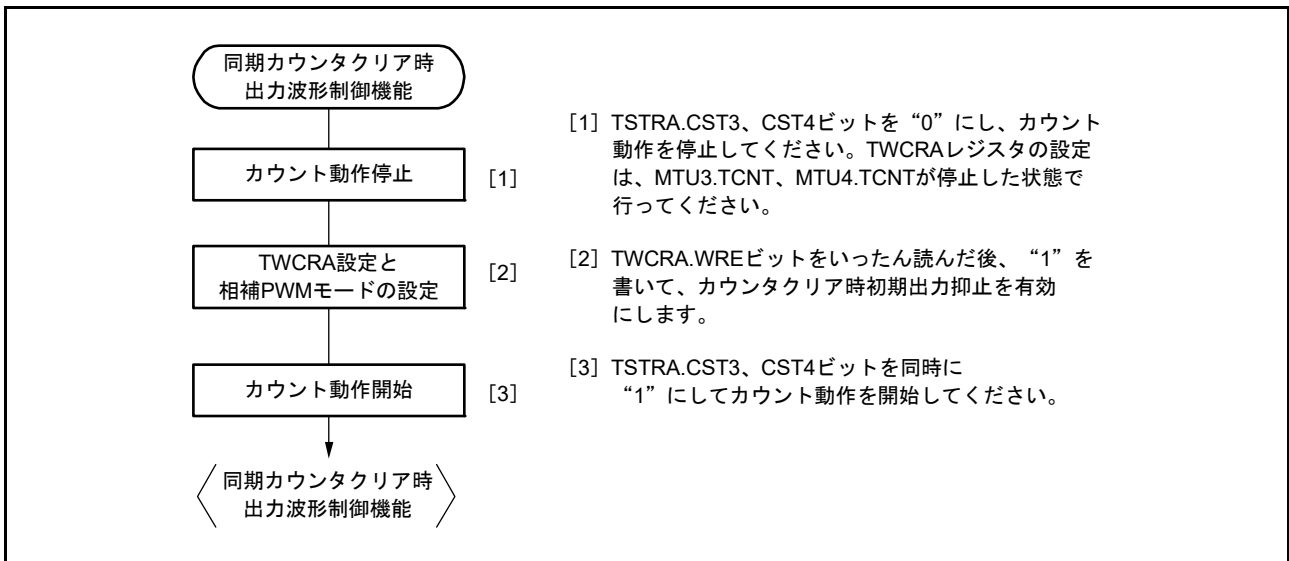


図 24.67 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例 (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 24.68 ~ 図 24.71 に、TWCRA.WRE ビットを“1”にした状態で MTU3、MTU4 を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 24.68 ~ 図 24.71 の同期カウンタクリアのタイミングは、それぞれ図 24.66 の③、⑥、⑧、⑪で示したタイミングです。

この例は、MTU6、MTU7 では TWCRA.SCC ビットを“0”、WRE ビットを“1”にした状態で MTU6、MTU7 を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

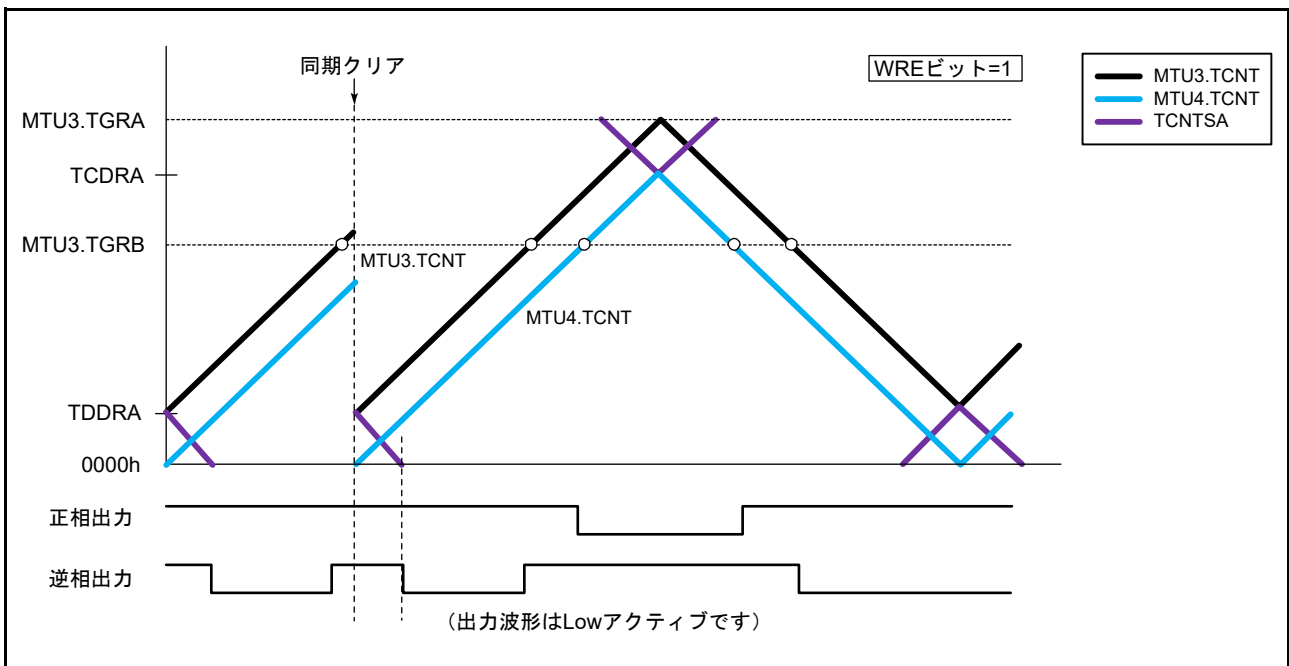


図 24.68 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 24.66 のタイミング③、TWCRA レジスタの WRE ビット = 1)

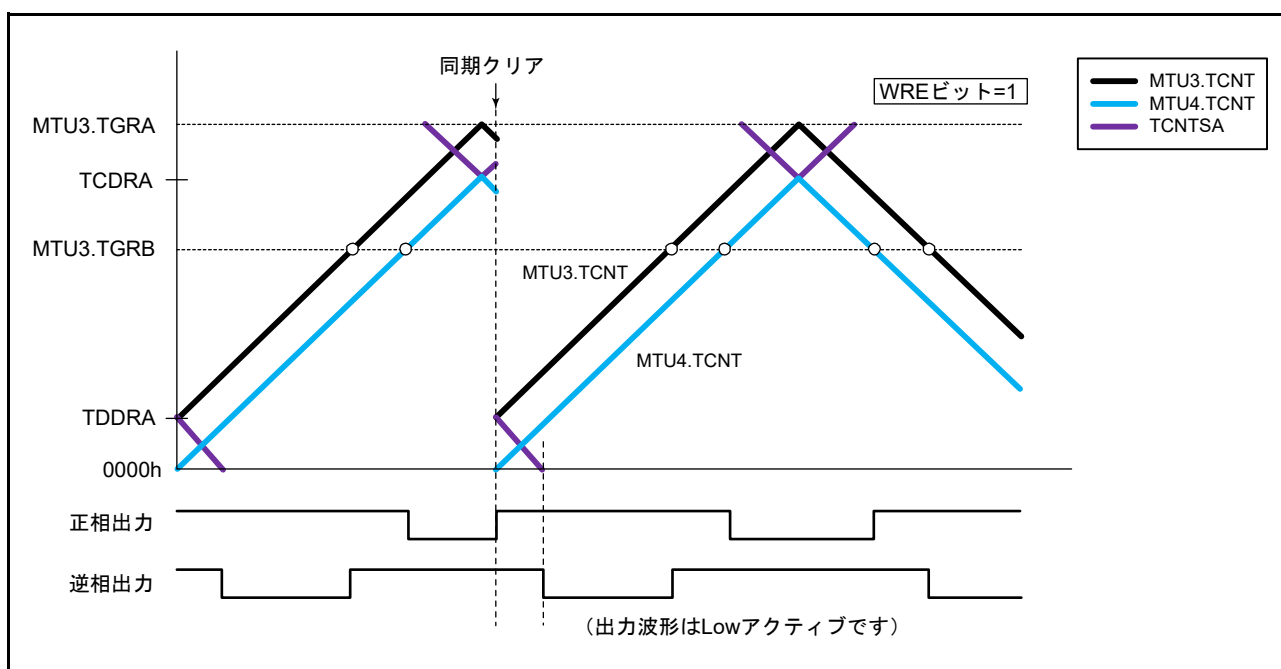


図 24.69 Tb1 区間で同期クリアが発生した場合
(図 24.66 のタイミング⑥、TWCRA レジスタの WRE ビット = 1)

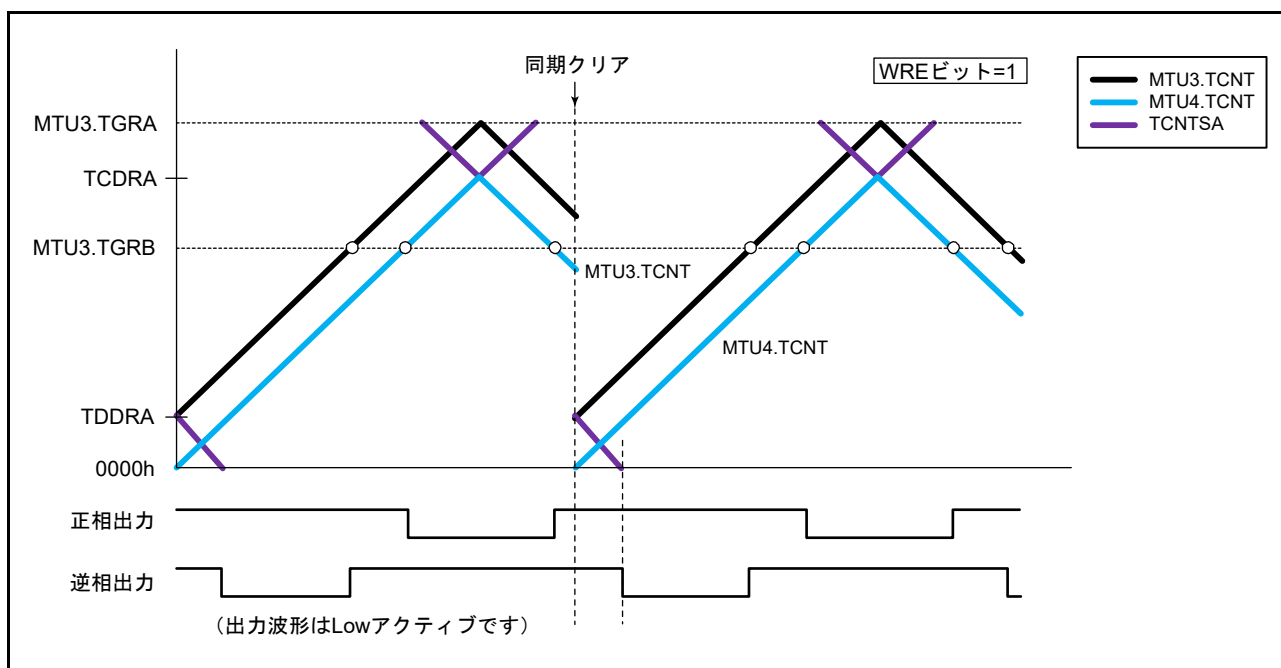


図 24.70 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 24.66 のタイミング⑧、TWCRA レジスタの WRE ビット = 1)

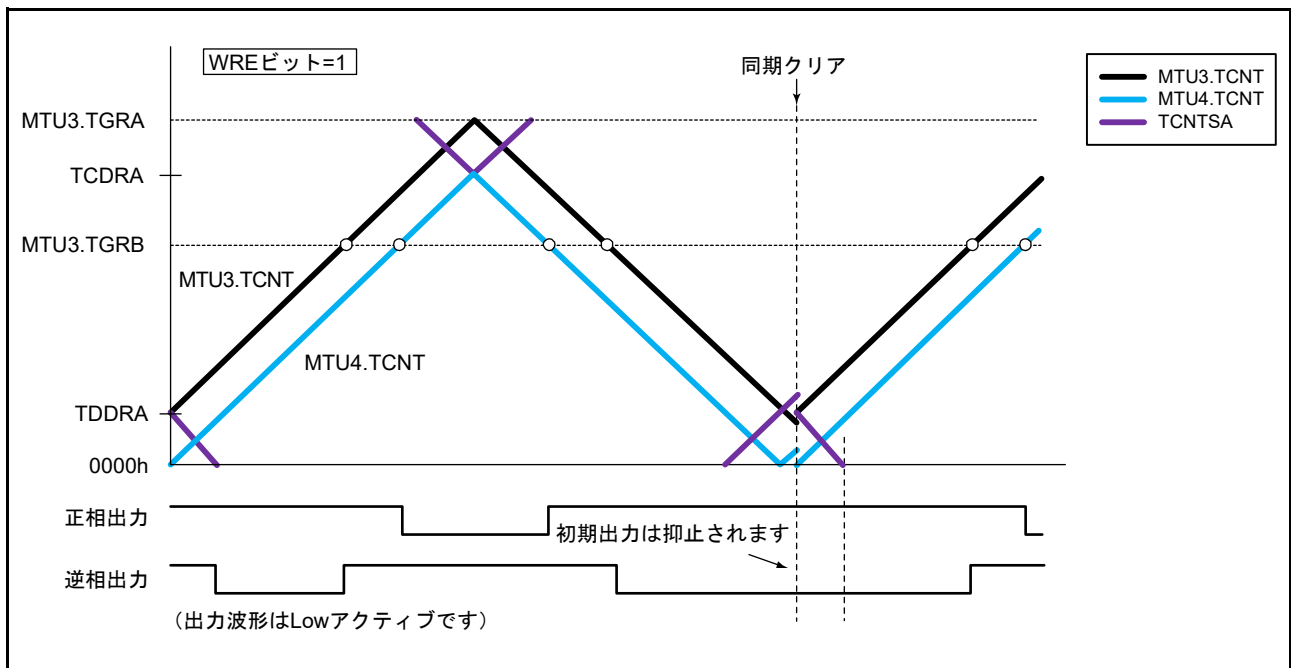


図 24.71 Tb2 区間で同期クリアが発生した場合
 (図 24.66 のタイミング①、TWCRA レジスタの WRE ビット = 1)

(o) MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアの抑止機能

MTU6、MTU7 では、TWCRB.SCC ビットを“1”にすることにより、MTU0、MTU1、MTU2 からの同期クリアを抑止することができます。

SCC ビットの設定によって MTU0、MTU1、MTU2 からの同期クリアが抑止できるのは、図 24.72 で示す区間です。

また、本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。

MTU0、MTU1、MTU2 からの同期クリアについての詳細は、「24.3.10 (2) MTU6、MTU7 カウンタ同期クリア」を参照してください。

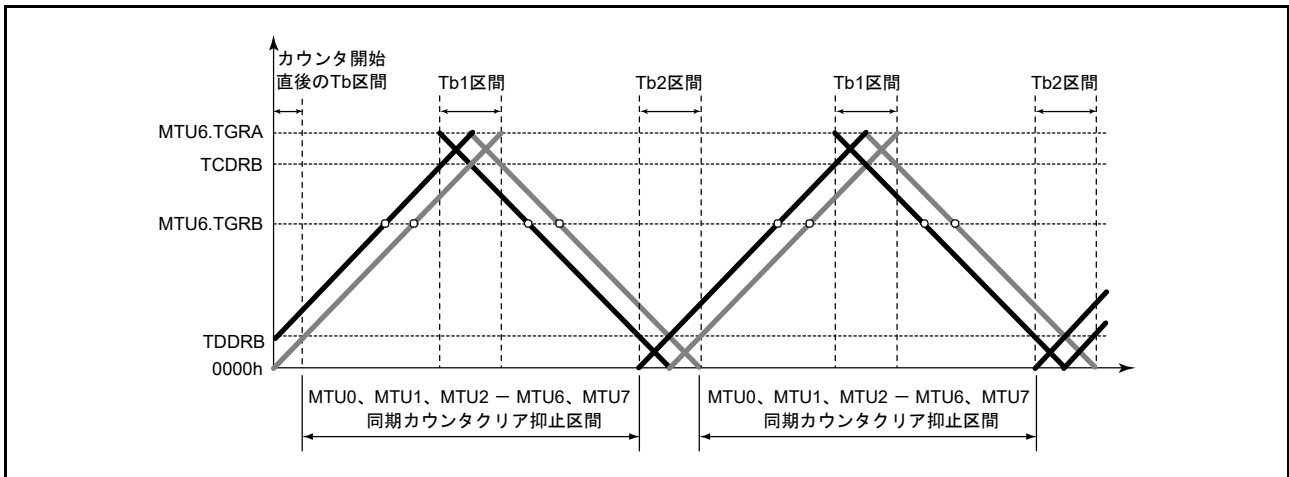


図 24.72 TWCRB.SCC ビットセットによる MTU0、MTU1、MTU2—MTU6、MTU7 同期クリア抑止区間

• MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例を図 24.73 に示します。

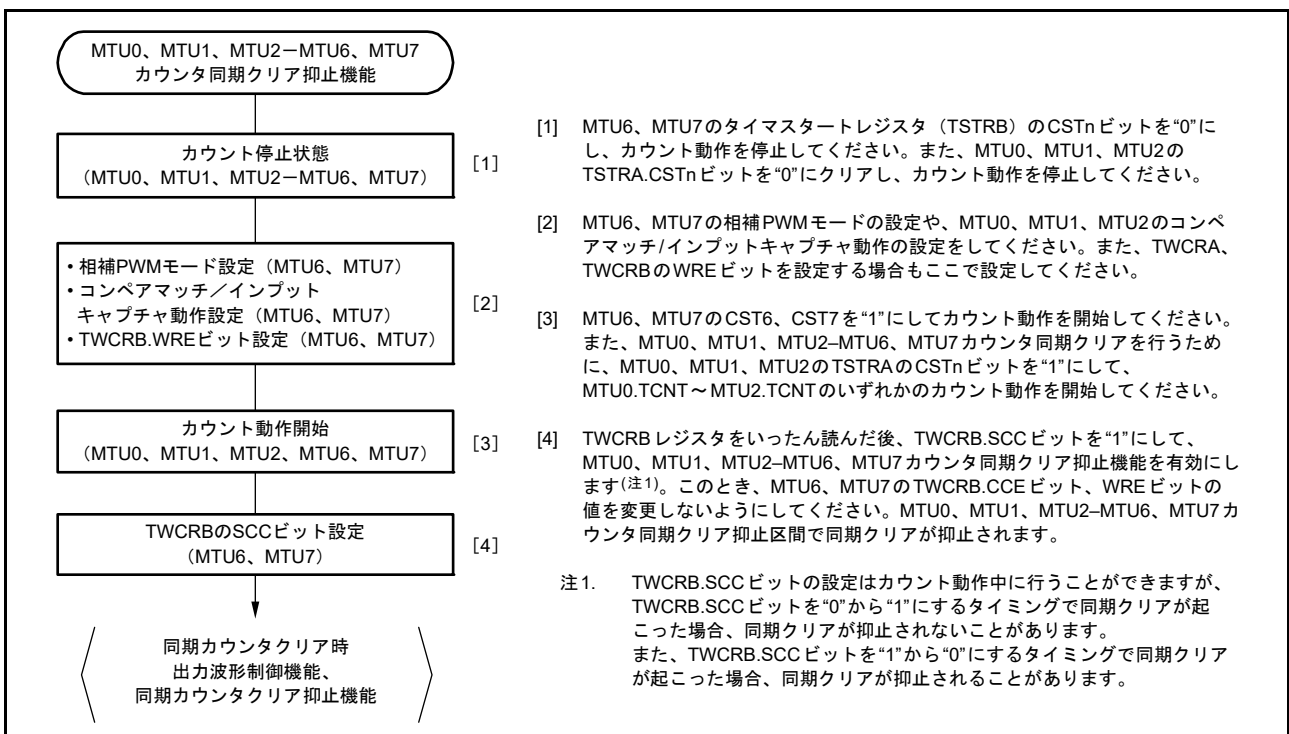


図 24.73 MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

- MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の動作例

図 24.74 ~ 図 24.77 に、MTU6、MTU7 の TWCRCB の SCC ビットを “1” にして MTU6、MTU7 を相補 PWM 動作をさせ、MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 24.74 ~ 図 24.77 の同期カウンタクリアのタイミングは、それぞれ図 24.66 の③、⑥、⑧、⑪で示したタイミングです。また、この例では MTU6、MTU7 の TWCRCB.WRE ビットは “1” にしています。

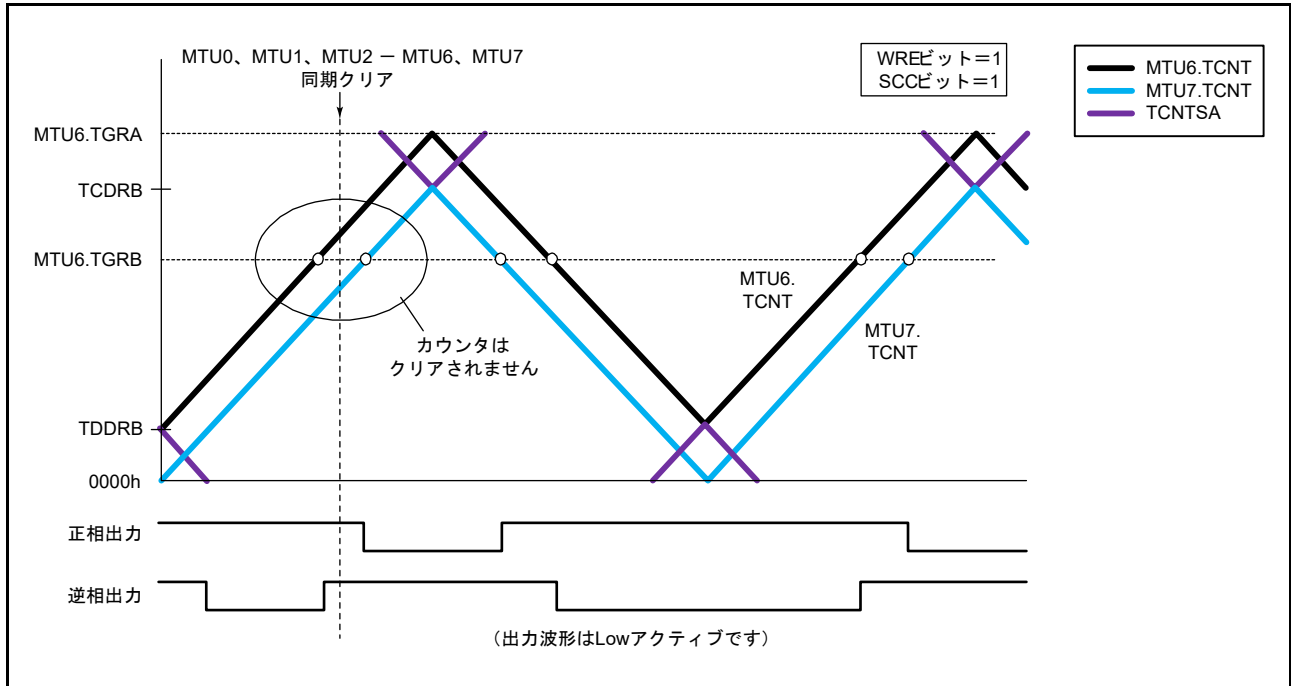


図 24.74 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 24.66 のタイミング③、MTU6、MTU7 の TWCRCB レジスタの WRE ビット = 1、SCC ビット = 1)

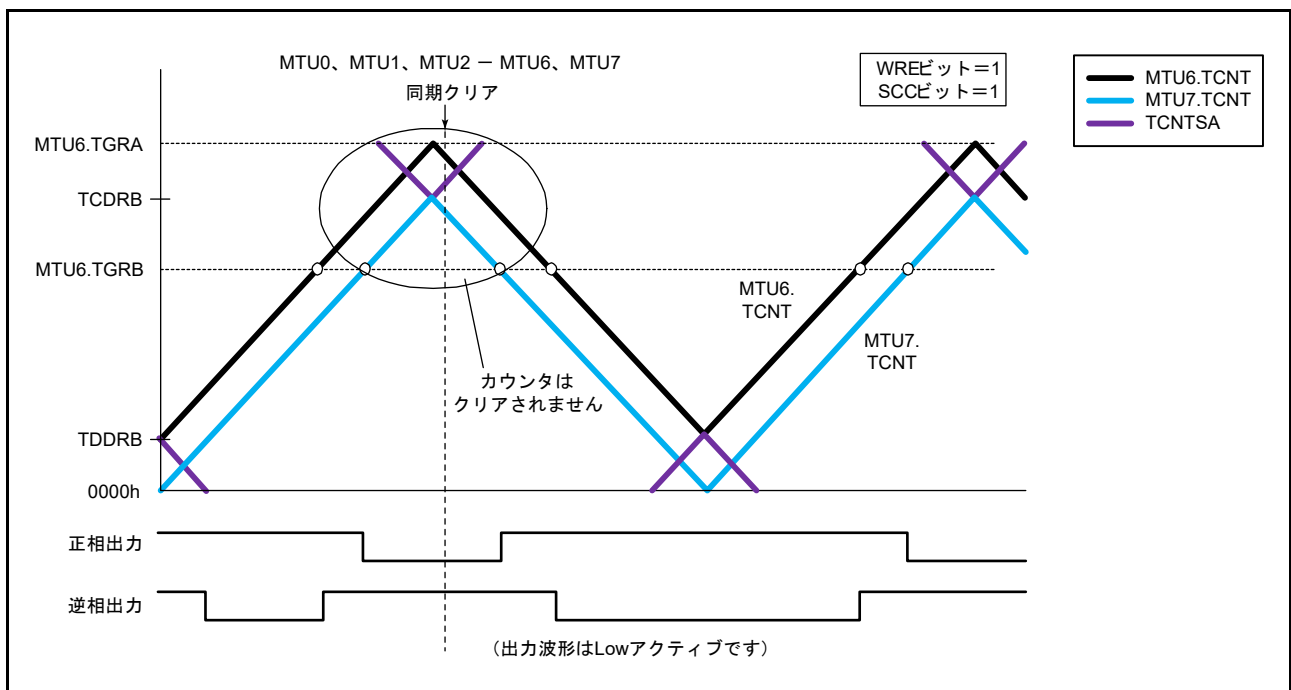


図 24.75 Tb1 区間で同期クリアが発生した場合 (図 24.66 のタイミング⑥、MTU6、MTU7 の TWCRCB レジスタの WRE ビット = 1、SCC ビット = 1)

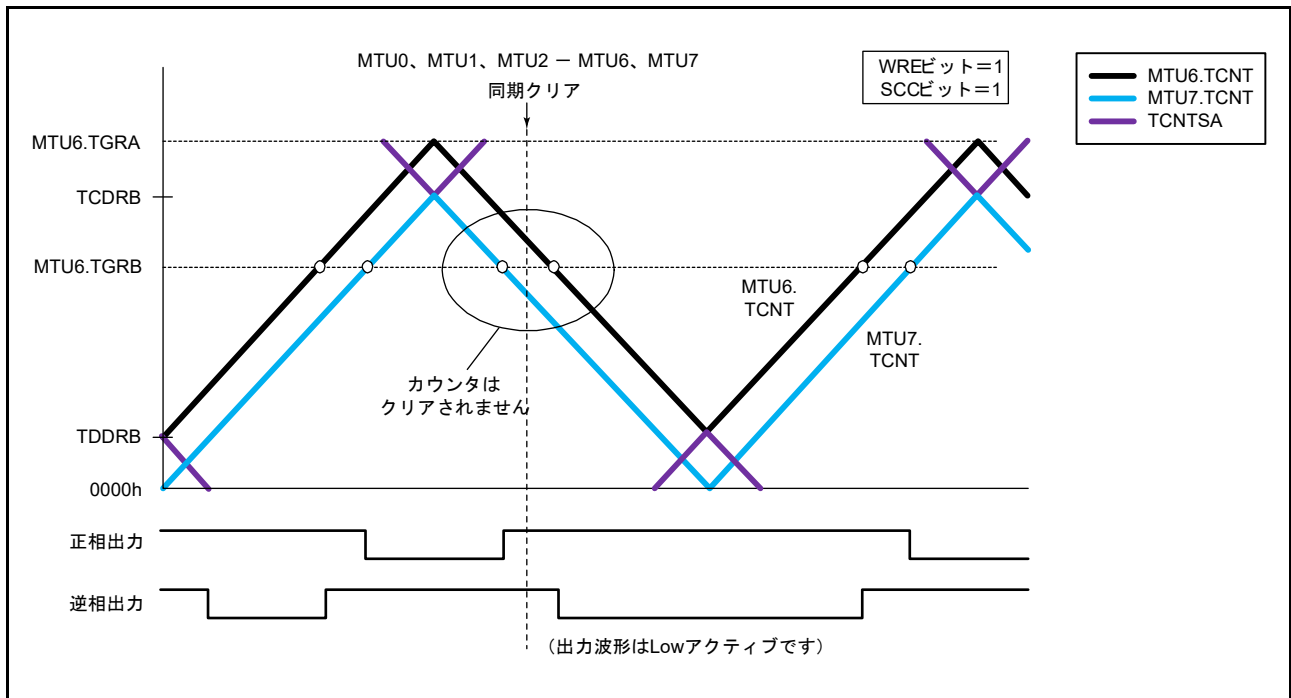


図 24.76 ダウンカウント中のデッドタイム時に同期クリアが発生した場合 (図 24.66 のタイミング⑧、MTU6、MTU7 のTWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

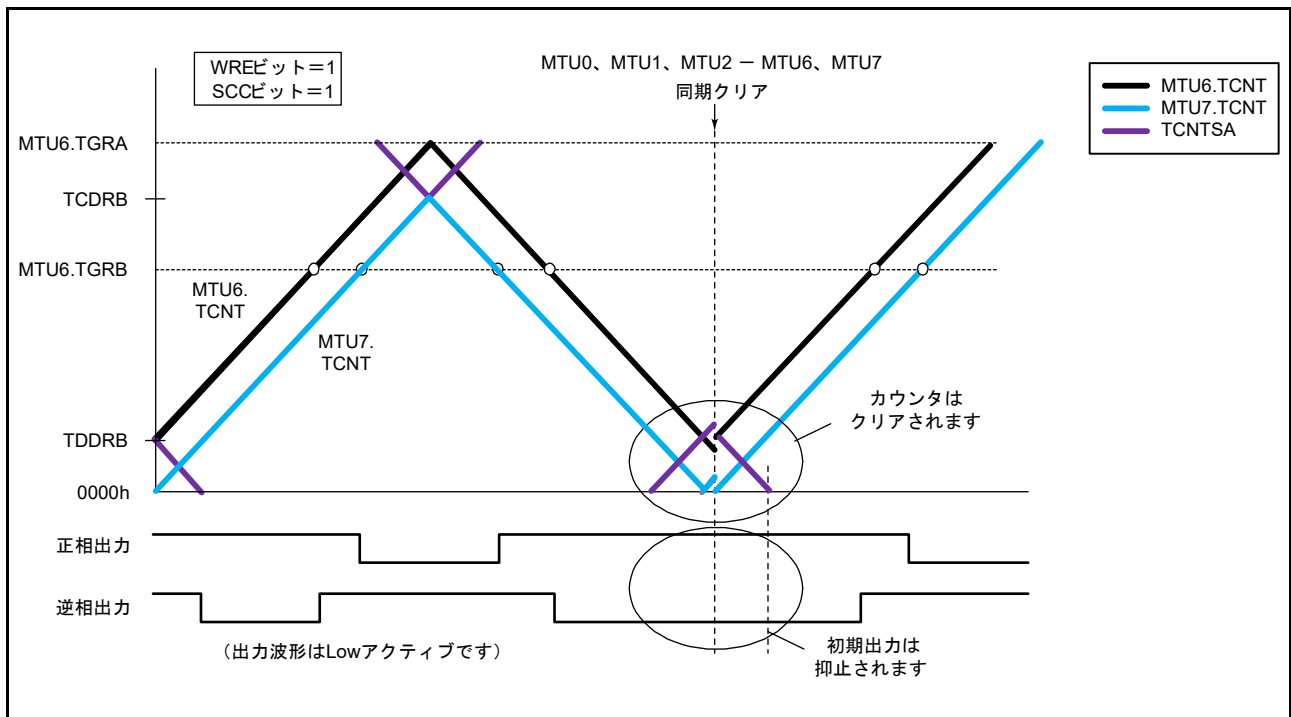


図 24.77 Tb2 区間で同期クリアが発生した場合 (図 24.66 のタイミング⑩、MTU6、MTU7 のTWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

(p) MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリア

相補 PWM モードでは、TWCRA.CCE (TWCRB.CCE) ビットを設定することにより、MTU3.TGRA (MTU6.TGRA) のコンペアマッチで MTU3.TCNT (MTU6.TCNT)、MTU4.TCNT (MTU7.TCNT) および TCNTSA (TCNTSB) をクリアすることが可能です。

図 24.78 に動作例を示します。

- 注 1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
- 注 2. 他のチャンネルとの同期クリア機能に設定しないでください (タイマシンクロレジスタ (TSYRA、TSYRB) の SYNC0 ~ SYNC4 ビット、SYNC6、SYNC7 ビットを "1" に、タイマシンクロクリアレジスタ (TSYCR) の CE0A ~ CE0D ビット、CE1A、CE1B ビット、CE2A、CE2B ビットを "1" に設定しないでください)。
- 注 3. PWM デューティは、"0000h" を設定しないでください。
- 注 4. タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B) の PSYE ビットを "1" に設定しないでください。

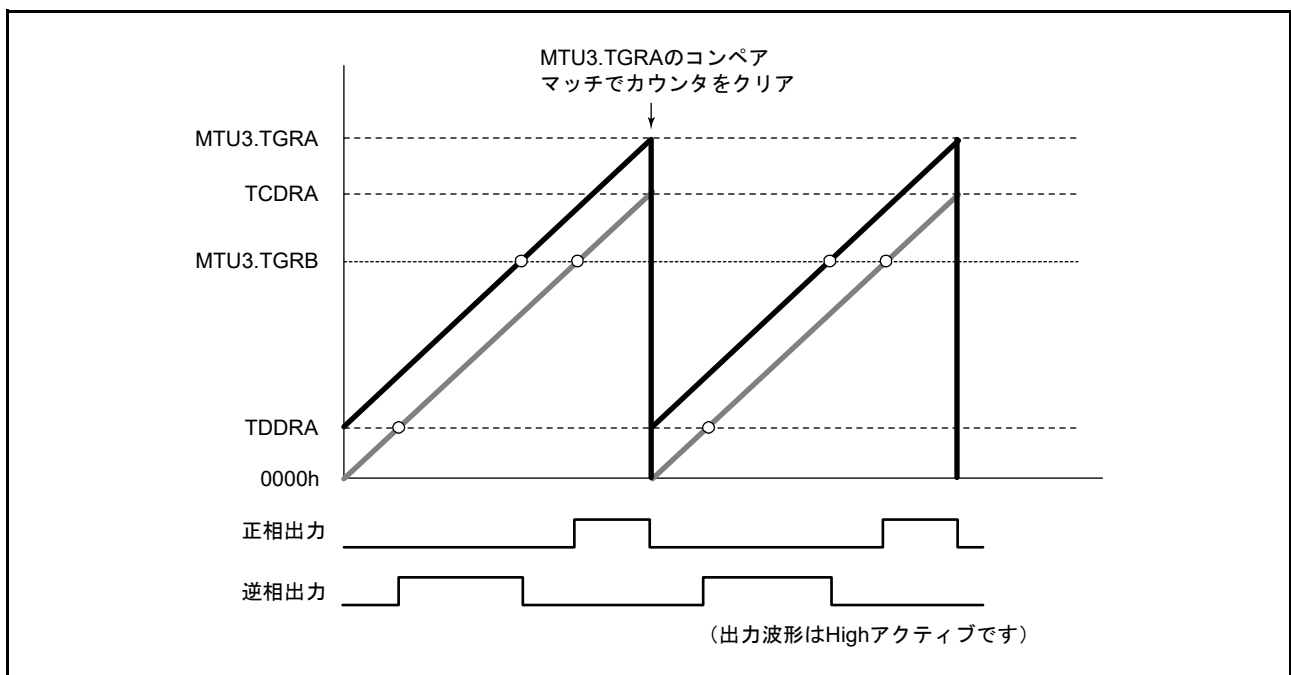


図 24.78 MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(q) AC同期モータ (ブラシレス DC モータ) の駆動波形出力例

MTU3、MTU4 を使用した相補 PWM モードでは、TGCRA レジスタを使ってブラシレス DC モータを簡単に制御することができます。図 24.79 ~ 図 24.82 に TGCRA を使用したブラシレス DC モータの駆動波形例を示します。

3相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCRA.FB ビットを“0”にします。この場合、磁極位置を示す外部信号を MTU0 の MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します (MPC と I/O ポートのポートモードレジスタ (PMR) で設定してください)。MTIOC0A、MTIOC0B、MTIOC0C 端子の3つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

TGCRA.FB ビットが“1”の場合は、TGCRA の UF、VF、WF ビットの各ビットを“0”または“1”にすると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの6相 PWM 出力端子から出力されます。

この6相出力は TGCRA レジスタの N ビットまたは P ビットを“1”にすることにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが“0”の場合は、レベル出力になります。

また、6相出力のアクティブレベル (ON 出力時レベル) は、N ビットおよび P ビットの設定にかかわらず、TOCR1A.OLSN、TOCR1A.OLSP ビットで設定できます。

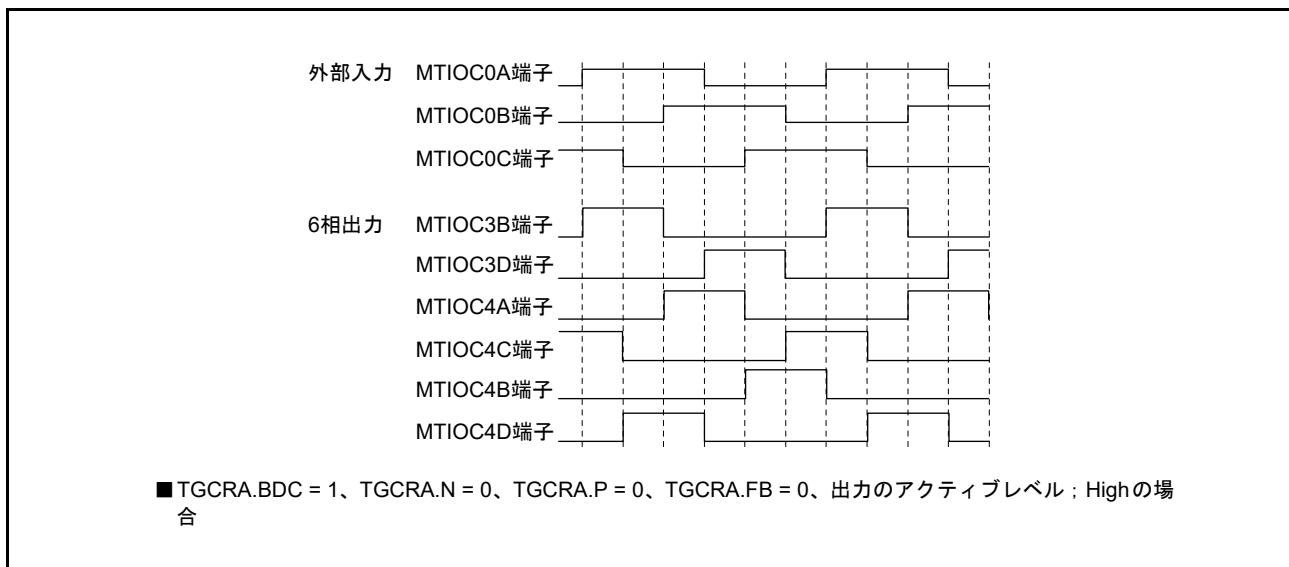


図 24.79 外部入力による出力相の切り替え動作例 (1)

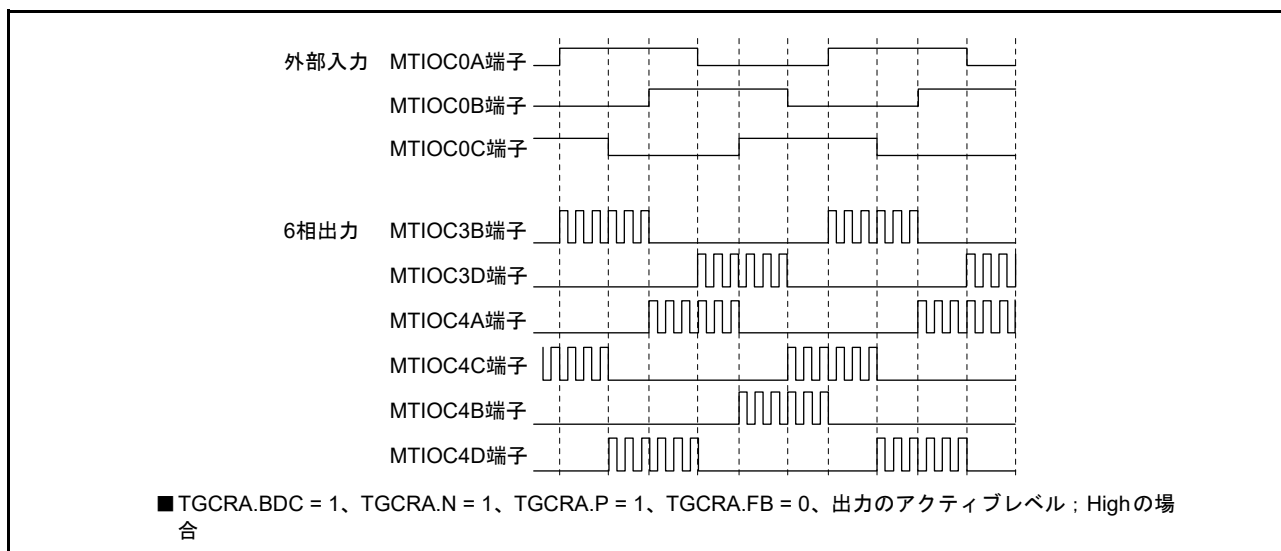


図 24.80 外部入力による出力相の切り替え動作例 (2)

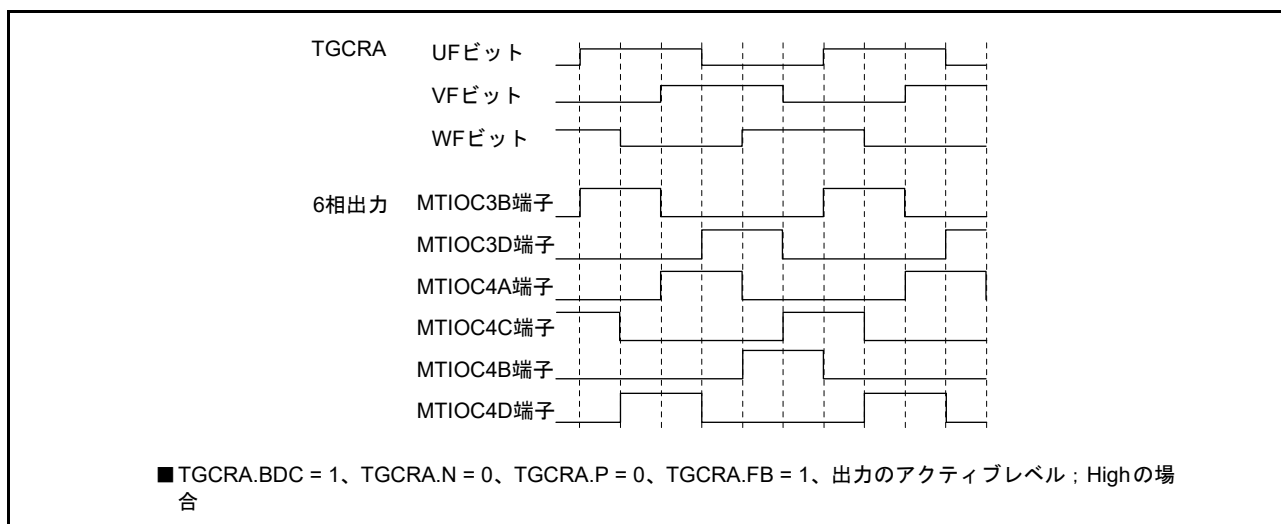


図 24.81 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

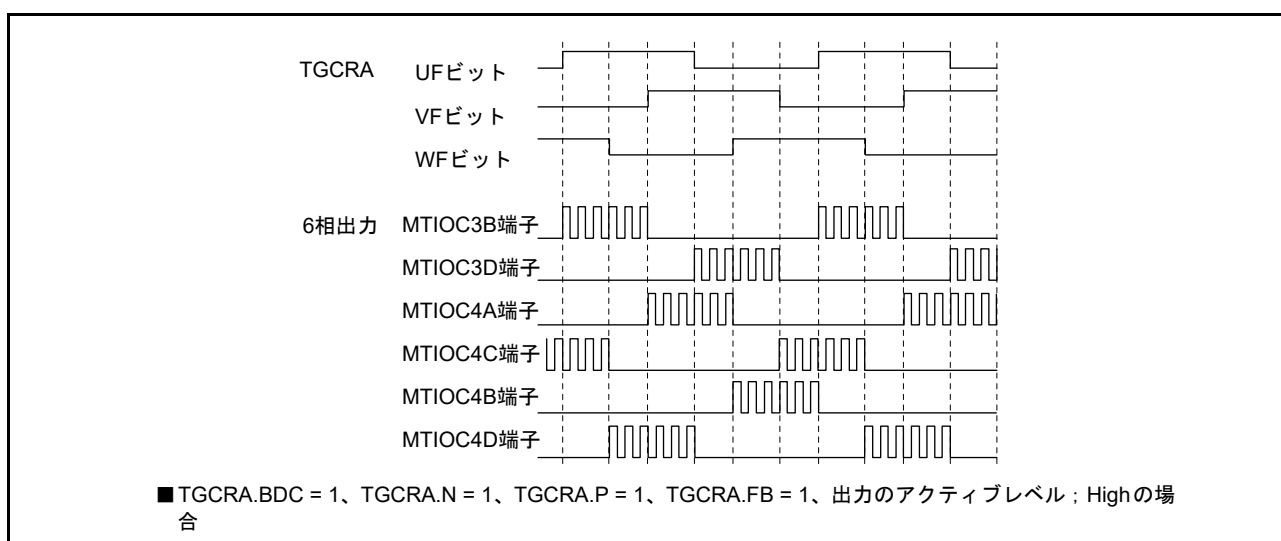


図 24.82 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(r) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA (MTU6.TGRA) のコンペアマッチ、MTU4.TCNT (MTU7.TCNT) のアンダフロー (谷)、MTU3、MTU4 (MTU6、MTU7) 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA (MTU6.TGRA) のコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT (MTU6.TCNT) の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、TIER.TTGE ビットを“1”にすることで設定できます。MTU4.TCNT (MTU7.TCNT) のアンダフロー (谷) の A/D 変換の開始要求は、MTU4.TIER.TTGE2 (MTU7.TIER.TTGE2) ビットを“1”にすることで設定できます。

(s) 相補 PWM モードのダブルバッファ機能

相補 PWM モード 3 (山と谷で転送) 時、TMDR2A.DRS (TMDR2B.DRS) ビットを“1”にすることにより、PWM 変更時の PWM 出力の最小分解能を ± 2 から ± 1 にすることが可能です。

バッファレジスタ A (MTU3.TGRD, MTU4.TGRC, MTU4.TGRD, MTU6.TGRD, MTU7.TGRC, MTU7.TGRD) を設定する際は、バッファレジスタ B (MTU3.TGRE, MTU4.TGRE, MTU4.TGRF, MTU6.TGRE, MTU7.TGRE, MTU7.TGRF) も同時に設定してください。また、バッファレジスタ B の値はバッファレジスタ A の値、またはバッファレジスタ A の値 - 1 を設定してください。設定手順の詳細は「24.3.8 (1) 相補 PWM モードの設定手順例」を参照してください。

注. バッファレジスタ B の値にバッファレジスタ A の値を設定した場合、PWM 出力が左右対称になります。バッファレジスタ B の値にバッファレジスタ A の値 - 1 を設定した場合、PWM 出力が非対称になります。

図 24.83 にダブルバッファ機能の動作例を示します。

各レジスタのデータ転送方式は下記のとおりです。

- MTU4.TGRD、MTU7.TGRD (バッファ A) 書き込み時に MTU4.TGRD、MTU7.TGRD (バッファ A) → TEMP3A、TEMP6A (テンポラリ A)、および MTU4.TGRF、MTU7.TGRF (バッファ B) → TEMP3B、TEMP6B (テンポラリ B) へのデータ転送
- ①のタイミングで TEMP3A、TEMP6A (テンポラリ A) → MTU4.TGRB、MTU7.TGRB (コンペア) へのデータ転送
- ②のタイミングで TEMP3B、TEMP6B (テンポラリ B) → MTU4.TGRB、MTU7.TGRB (コンペア) へのデータ転送

山区間 (Tb1 区間) ではコンペアレジスタとテンポラリレジスタ A、谷区間 (Tb2 区間) ではコンペアレジスタとテンポラリレジスタ B が有効

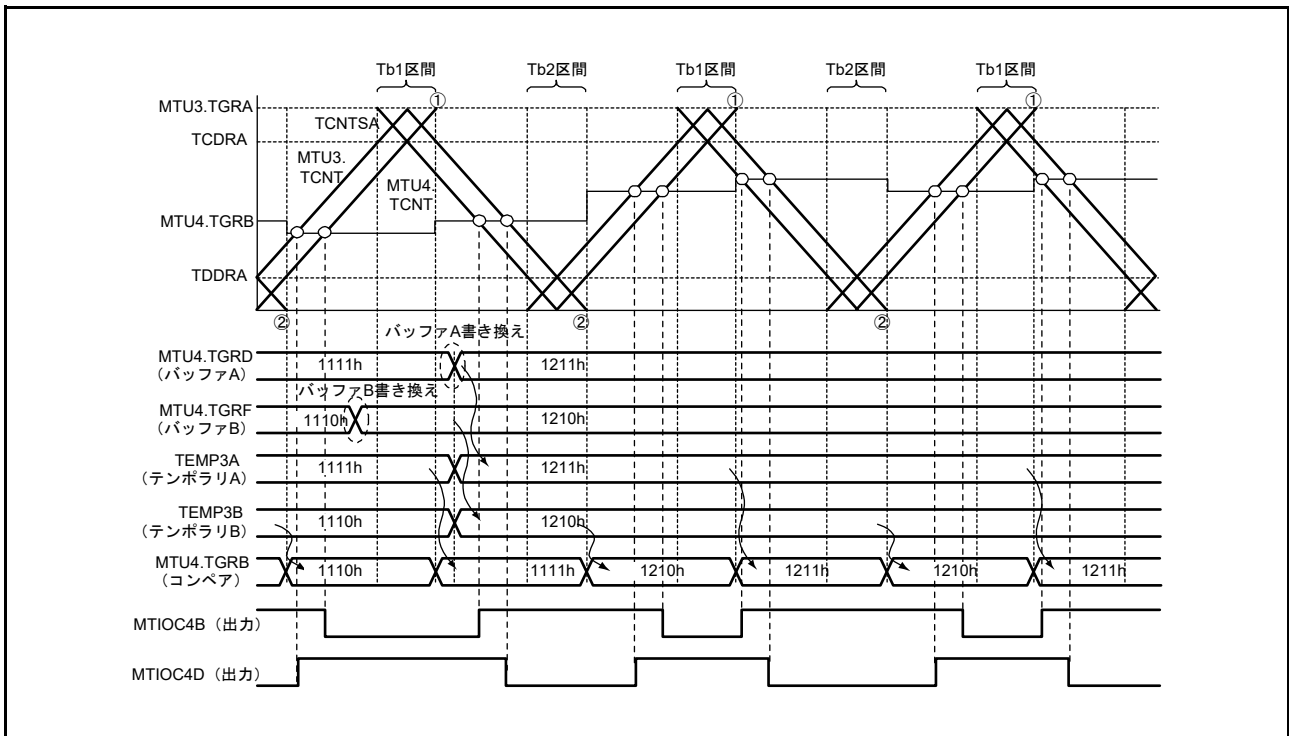


図 24.83 ダブルバッファ機能の動作例

バッファへの書き込み値が TDDRA (TDDRB) レジスタより小さい場合を図 24.84 に、TCDRA (TCDRB) レジスタより大きい場合を図 24.85 に示します。

山区間では、コンペアレジスタまたはテンポラリレジスタ A とのコンペアマッチで出力制御し、谷区間ではコンペアレジスタまたはテンポラリレジスタ B とのコンペアマッチで出力制御します。

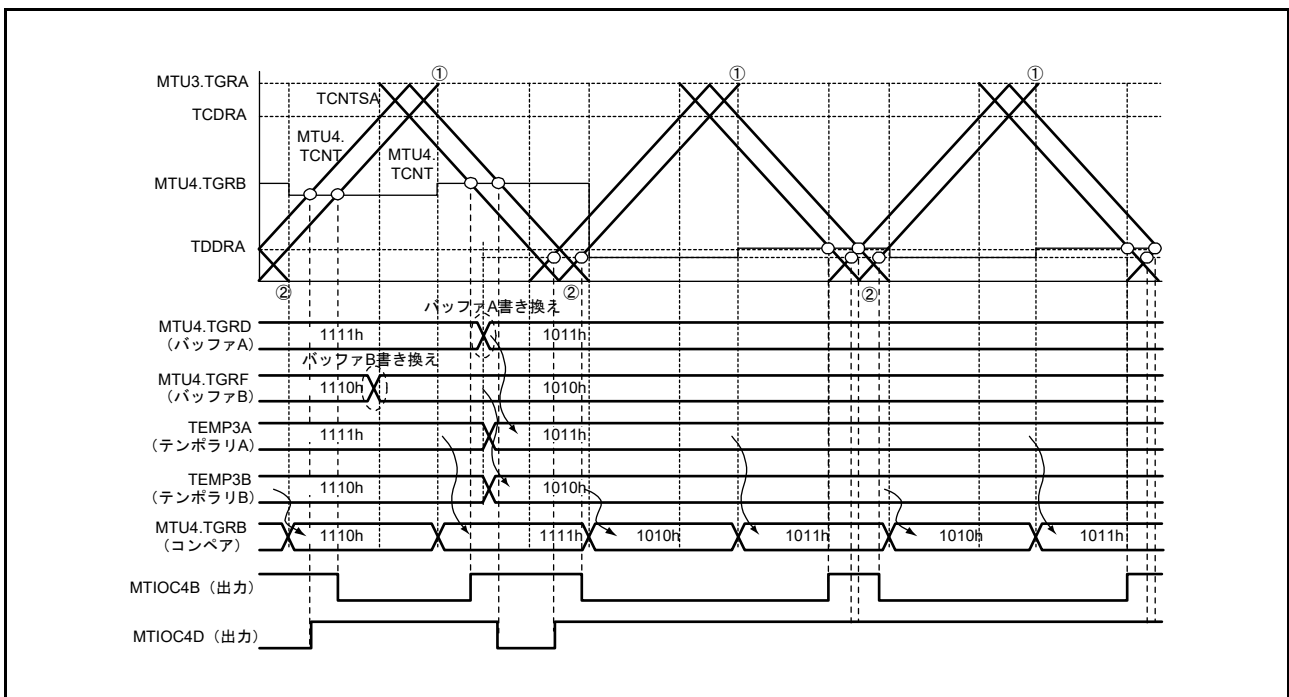


図 24.84 ダブルバッファ機能の動作例 (バッファへの書き込み値が TDDRA より小さい場合)

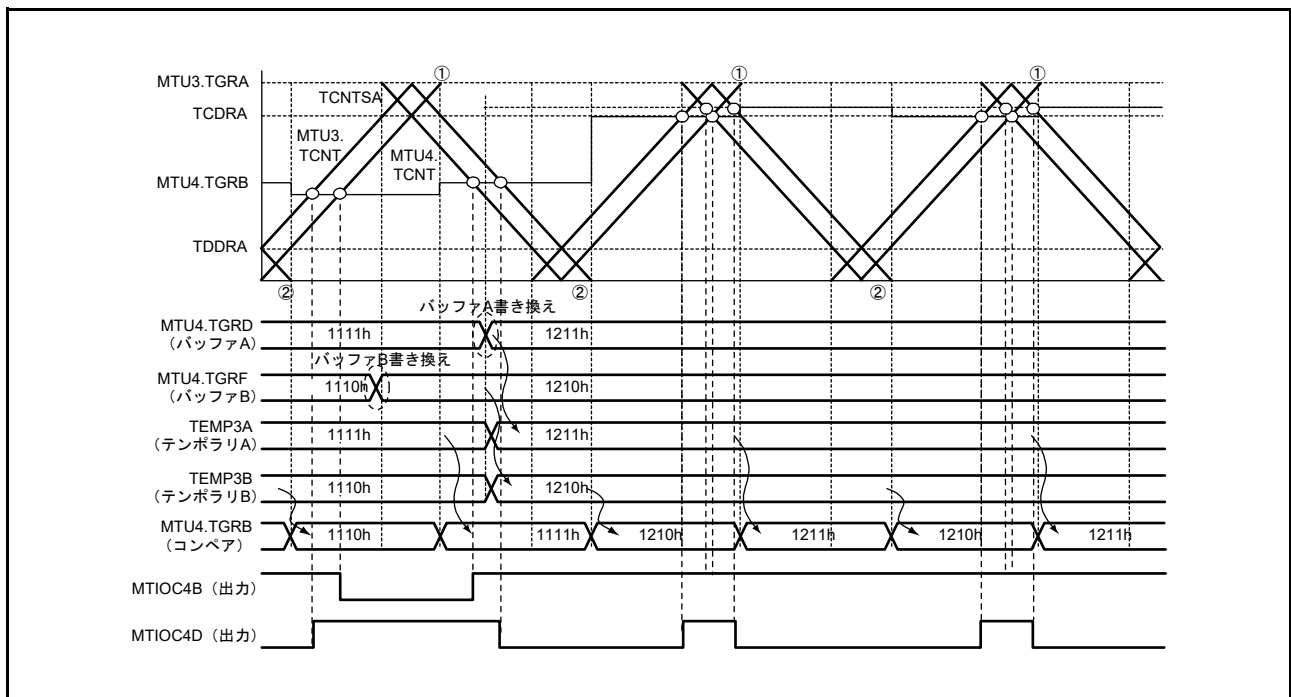


図 24.85 ダブルバッファ機能の動作例 (バッファへの書き込み値がTCDRAより大きい場合)

(3) 相補 PWM モードの割り込み間引き機能 1

MTU3、MTU4 (MTU6, MTU7) の TGIA3 (TGIA6) (山の割り込み)、および TCIV4 (TCIV7) (谷の割り込み) は、TITCR1A (TITCR1B) レジスタを設定することにより、最大で7回まで割り込みを間引くことが可能です。

TBTERA (TBTERB) レジスタを設定することにより、バッファレジスタからテンポラリレジスタ/コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

MTU4.TADCR (MTU7.TADCR) レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「24.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TITCR1A (TITCR1B) レジスタの設定は、タイマ割り込み間引きモードレジスタ (TITMRA、TITMRB) の TITM ビットを“0”にし、割り込み間引き機能1を選択し、かつ MTU3.TIER (MTU6.TIER) レジスタの設定で TGIA3 (TGIA6) 割り込み要求を禁止した状態、MTU4.TIER (MTU7.TIER) レジスタの設定で TCIV4 (TCIV7) 割り込み要求を禁止した状態、かつコンペアマッチが発生しないタイミングで行ってください。また、間引き回数の変更前に、T3AEN (T6AEN)、T4VEN (T7VEN) ビットを“0”にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能1の設定手順例

割り込み間引き機能1の設定手順例を図 24.86 に示します。また、割り込み間引き回数の変更可能期間を図 24.87 に示します。

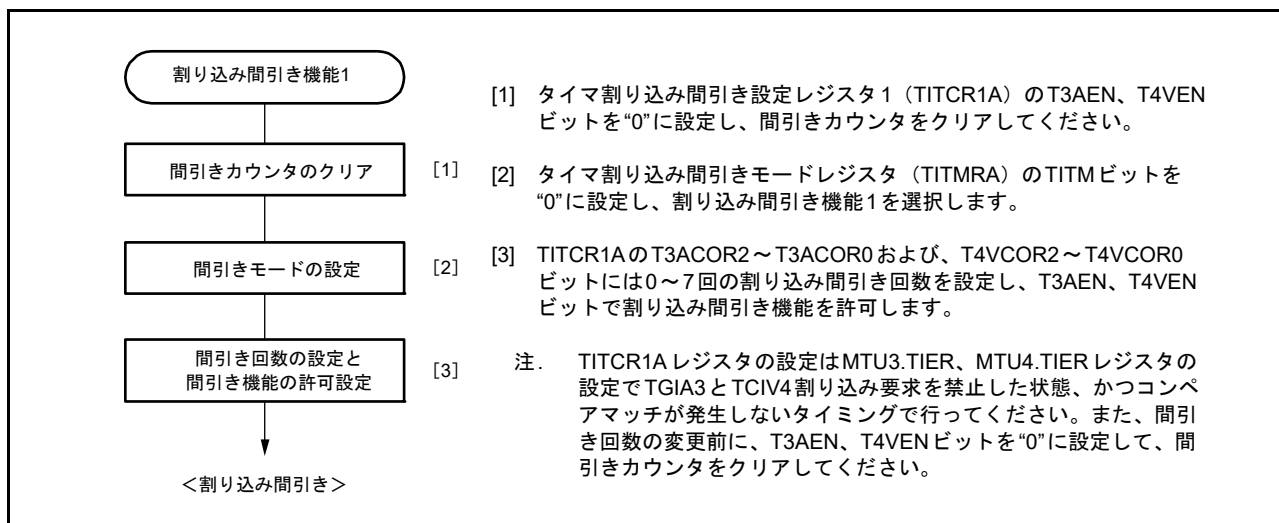


図 24.86 割り込み間引き機能1の設定手順例

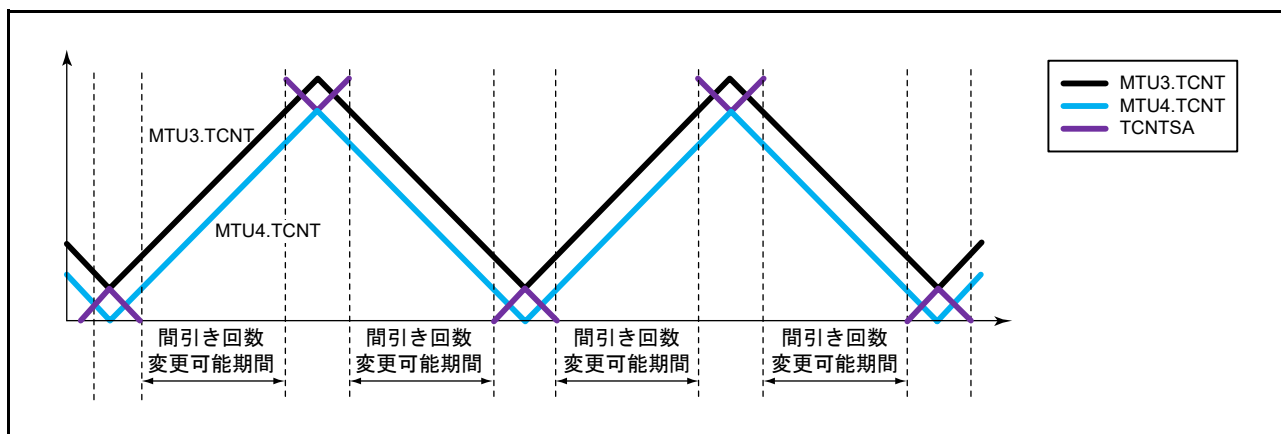


図 24.87 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能 1 の動作例

TITCR1A (TITCR1B) レジスタの T3ACOR (T6ACOR) ビットで割り込みの間引き回数を 3 回に設定し、T3AEN (T6AEN) ビットを“1”にした場合の、TGIA3 (TGIA6) 割り込み間引きの動作例を図 24.88 に示します。

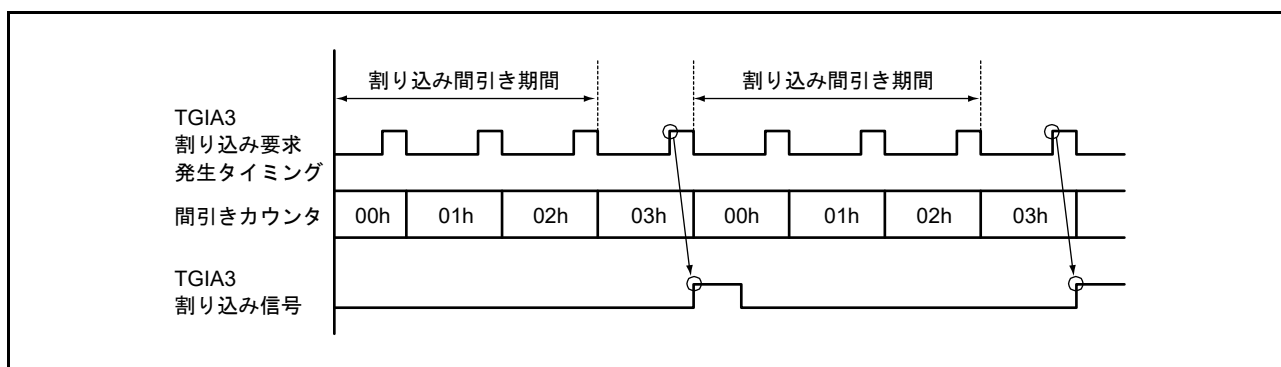


図 24.88 割り込み間引き機能 1 の動作例

(c) 割り込み間引きと連動したバッファ転送制御

TBTERA (TBTERB) レジスタの BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑制する設定 (BTE[1:0] = 01b) にした場合の動作例を図 24.89 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例を図 24.90 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、TITCR1A (TITCR1B) レジスタの T3AEN (T6AEN) ビットのみを“1”にした場合、T4VEN (T7VEN) ビットのみを“1”にした場合、TITCR1A (TITCR1B) レジスタの T3AEN、T4VEN (T6AEN、T7VEN) ビット両方を“1”にした場合で、それぞれバッファ転送許可期間が異なります。TITCR1A (TITCR1B) レジスタの T3AEN、T4VEN (T6AEN、T7VEN) ビットの設定とバッファ転送許可期間の関係を図 24.91 に示します。

注. 本機能は、割り込み間引き機能 1 と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ 1 (TITCR1A, TITCR1B) の T3AEN、T4VEN (T6AEN, T7VEN) ビットを“0”に設定したとき、または TITCR1A (TITCR1B) の間引き回数設定ビット (T3ACOR, T4VCOR (T6ACOR, T7VCOR)) を“0”に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTERA, TBTERB の BTE1 ビットを“0”に設定) してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

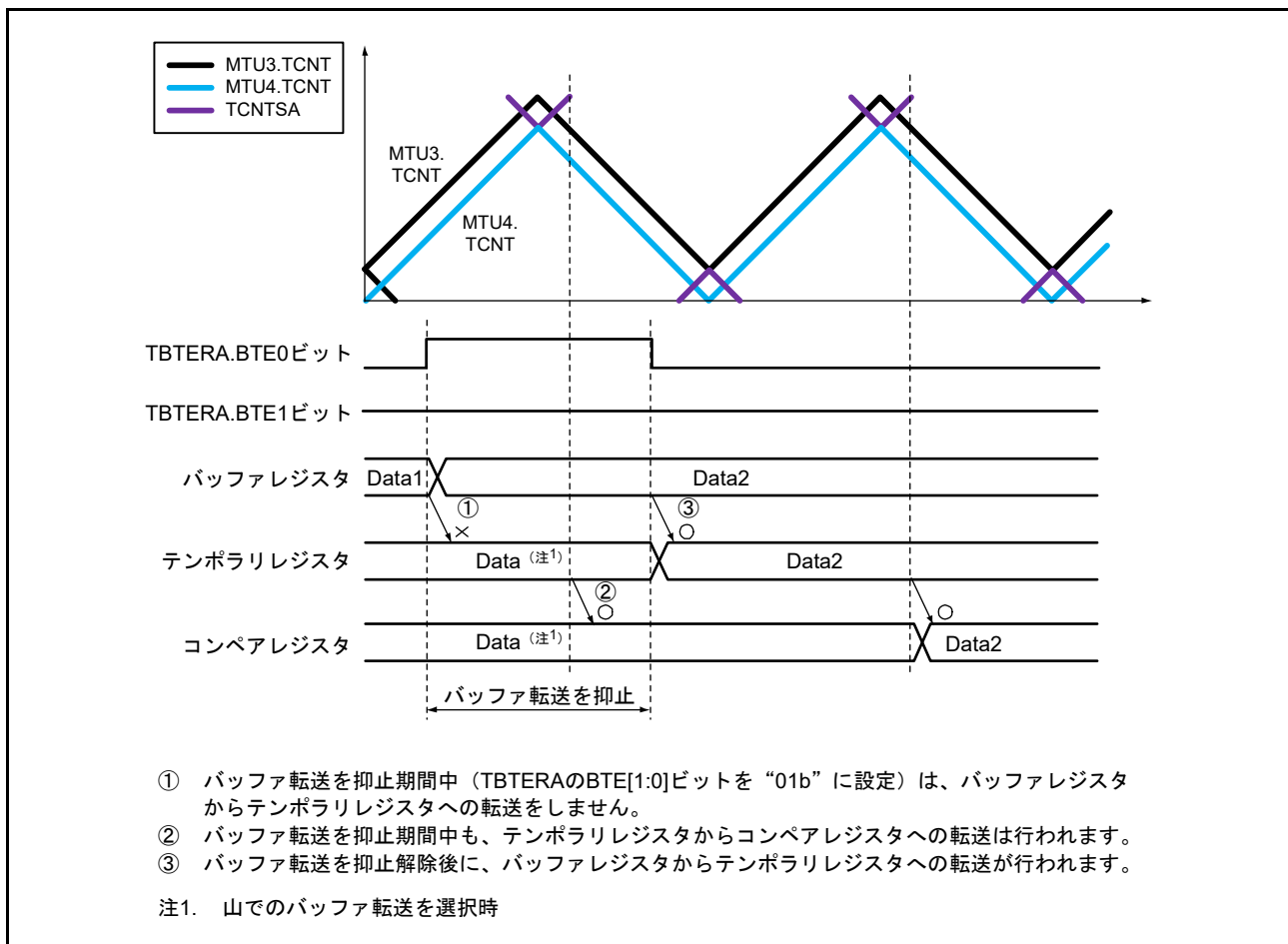


図 24.89 バッファ転送を抑制する設定 (BTE[1:0] = 01b) にした場合の動作例

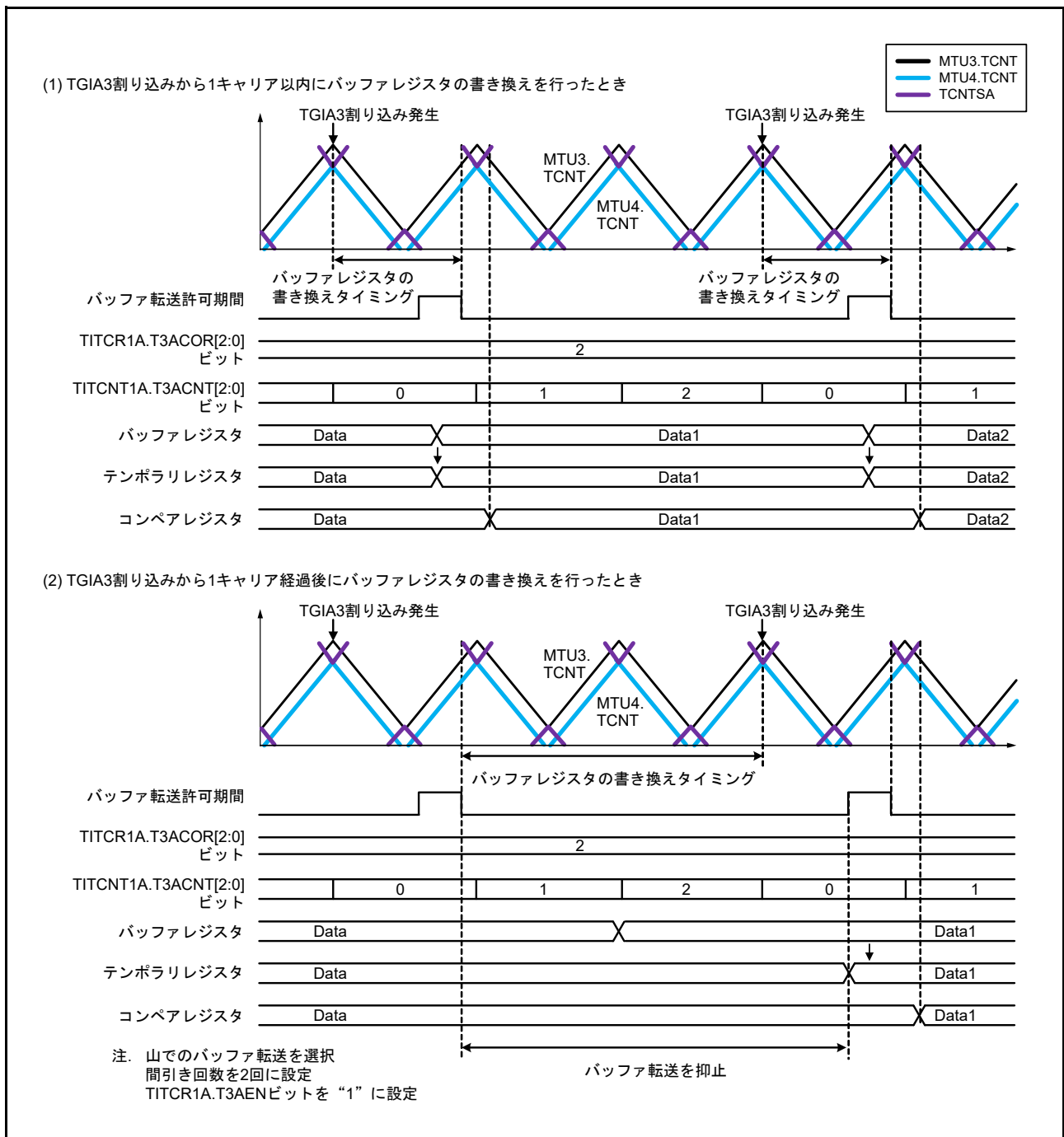


図 24.90 バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例

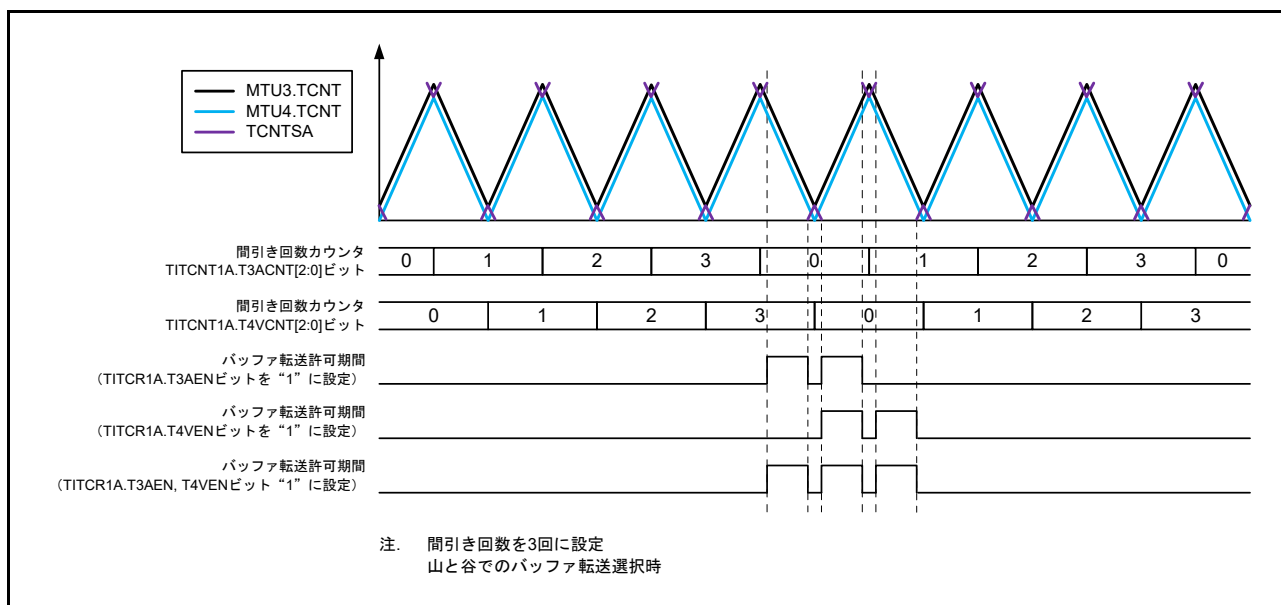


図 24.91 TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

モードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、TRWERA (TRWERB) レジスタの RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタは MTU3、MTU4、MTU6、MTU7 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR, MTU4.TCR, MTU3.TCR2, MTU4.TCR2, MTU3.TMDR1, MTU4.TMDR1, MTU3.TIORH, MTU4.TIORH, MTU3.TIORL, MTU4.TIORL, MTU3.TIER, MTU4.TIER, MTU3.TCNT, MTU4.TCNT, MTU3.TGRA, MTU4.TGRA, MTU3.TGRB, MTU4.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA,
MTU6.TCR, MTU7.TCR, MTU6.TCR2, MTU7.TCR2, MTU6.TMDR1, MTU7.TMDR1, MTU6.TIORH, MTU7.TIORH, MTU6.TIORL, MTU7.TIORL, MTU6.TIER, MTU7.TIER, MTU6.TCNT, MTU7.TCNT, MTU6.TGRA, MTU7.TGRA, MTU6.TGRB, MTU7.TGRB, MTU.TOERB, MTU.TOCR1B, MTU.TOCR2B, MTU.TCDRB, MTU.TDDRB

計 47 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効になります。

(b) 外部信号による PWM 出力の停止機能

MTU0、MTU3、MTU4、MTU6、MTU7 の PWM 出力端子は、自動的にハイインピーダンス状態にすることが可能です。

詳細は、「25. ポートアウトプットイネーブル 3 (POE3a)」を参照してください。

24.3.9 A/D 変換開始要求ディレイド機能

MTU4 または MTU7 のタイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR, MTU7.TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB, MTU7.TADCORA, MTU7.TADCORB)、タイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB, MTU7.TADCOBRA, MTU7.TADCOBRB) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB (MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB) を比較し、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB (MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB) が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN (TRG7AN, TRG7BN)) を行います。

また、MTU4.TADCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE (MTU7.TADCR レジスタの ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求 (TRG4AN, TRG4BN (TRG7AN, TRG7BN)) を間引くことが可能です。

(1) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 24.92 に示します。

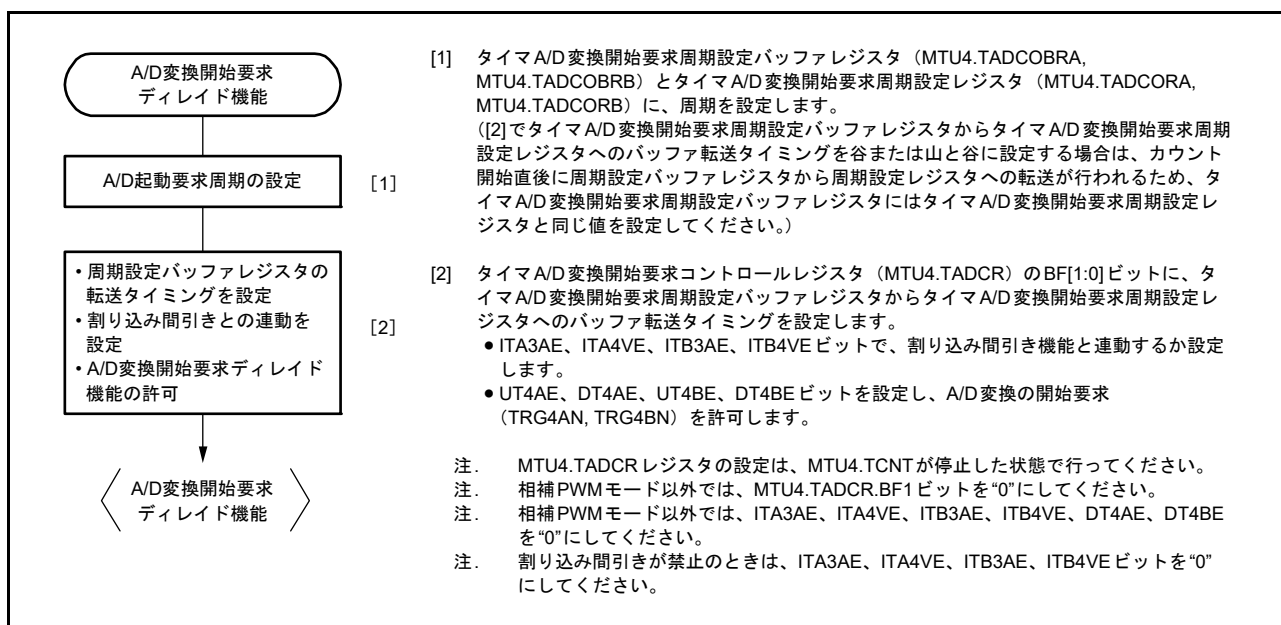


図 24.92 A/D 変換開始要求ディレイド機能の設定手順例 (MTU3, MTU4)

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT (MTU7.TCNT) の谷に設定し、MTU4.TCNT (MTU7.TCNT) のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) の基本動作例を図 24.93 に示します。

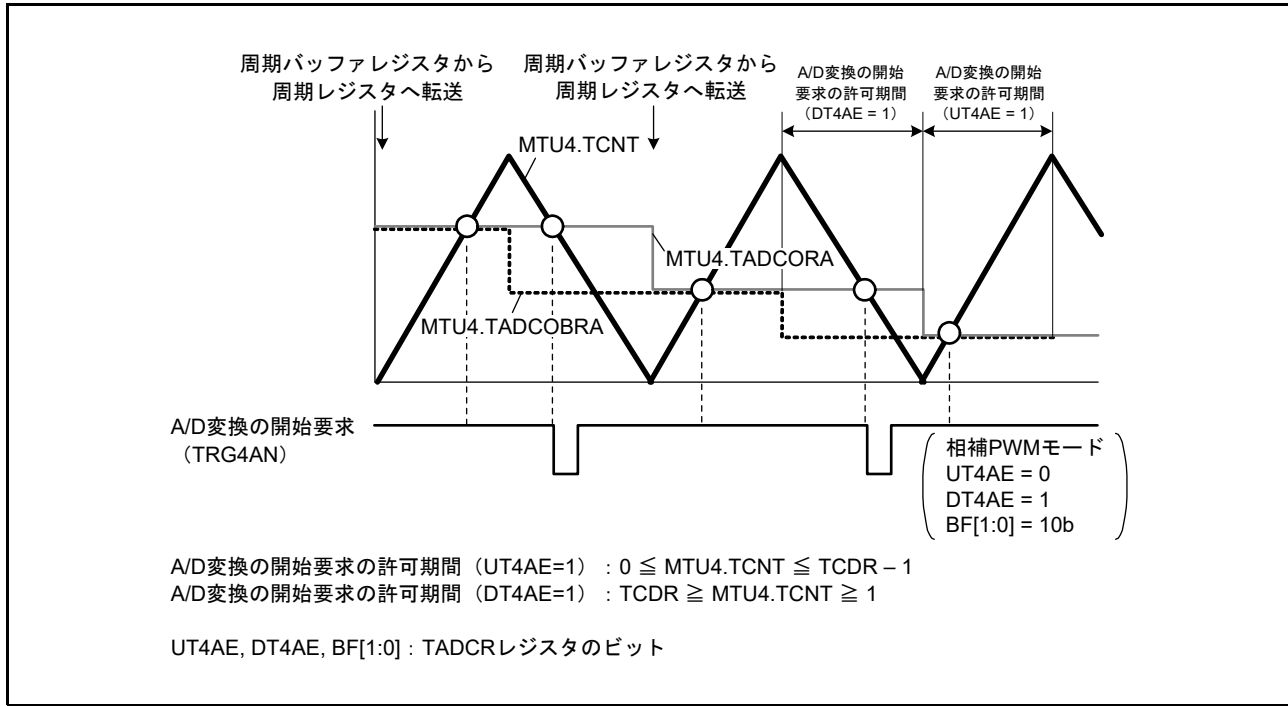


図 24.93 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) A/D 変換の開始要求の許可期間

MTU4.TADCR (MTU7.TADCR) レジスタの UT4AE、UT4BE (UT7AE, UT7BE) ビットで許可した期間内に MTU4.TCNT (MTU7.TCNT) カウンタと MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA, MTU7.TADCORB) レジスタが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

相補 PWM モードで MTU4.TADCR (MTU7.TADCR) レジスタの UT4AE、UT4BE (UT7AE, UT7BE) ビットを“1”にすると、MTU4.TCNT (MTU7.TCNT) カウンタのアップカウント期間 ($0 \leq \text{MTU4.TCNT}$ (MTU7.TCNT) $\leq \text{TCDR} - 1$) に A/D 変換の開始要求を許可します。MTU4.TADCR (MTU7.TADCR) レジスタの DT4AE、DT4BE (DT7AE, DT7BE) ビットを“1”にすると、MTU4.TCNT (MTU7.TCNT) カウンタのダウンカウント期間 ($\text{TCDR} \geq \text{MTU4.TCNT}$ (MTU7.TCNT) ≥ 1) に A/D 変換の開始要求を許可します (図 24.93)。

(5) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能

相補PWMモードでは、MTU4.TADCR (MTU7.TADCR) レジスタのITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE, ITA7VE, ITB6AE, ITB7VE) ビットの設定により、割り込み間引き機能1と連動してA/D変換の開始要求 (TRG4AN, TRG4BN (TRG7AN, TRG7BN)) を行うことが可能です。

MTU4.TCNT (MTU7.TCNT) のアップカウント時、およびダウンカウント時に TRG4AN (TRG7AN) 出力を許可する設定にし、割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN (TRG7AN)) の動作例を図24.95に示します。

また、MTU4.TCNT (MTU7.TCNT) のアップカウント時に TRG4AN (TRG7AN) 出力を許可する設定にし、割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN (TRG7AN)) の動作例を図24.96に示します。

相補PWMモード以外では、割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能は使用できません。

MTU4.TADCR (MTU7.TADCR) レジスタのITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE, ITA7VE, ITB6AE, ITB7VE) ビットを“0”にしてください。

- 注. 本機能は割り込み間引き機能1と組み合わせて使用してください。
 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR1A (TITCR1B)) のT3AEN、T4VEN (T6AEN, T7VEN) ビットを“0”にしたとき、またはTITCR1A (TITCR1B) レジスタの間引き回数設定ビット (T3ACOR、T4VCOR (T6ACOR, T7VCOR)) を“0”にしたとき) は、割り込み間引き機能1と連動しない (MTU4.TADCR (MTU7.TADCR) レジスタのITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE, ITA7VE, ITB6AE, ITB7VE) ビットを“0”にする) 設定にしてください。
 また、本機能使用時、MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA, MTU7.TADCORB) には“0002h” ~ TCDRAの設定値 - 2 (TCDRBの設定値 - 2) の値にしてください。

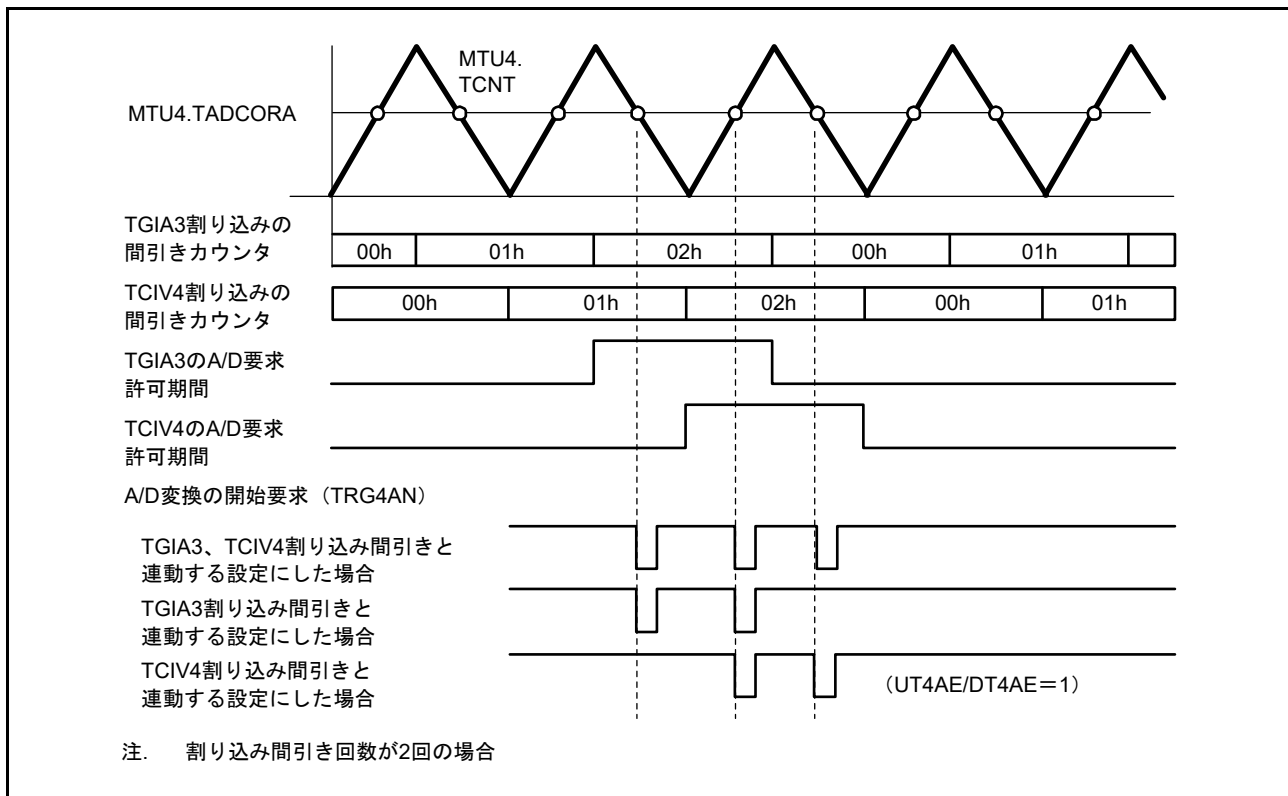


図 24.95 割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN) の動作例 (UT4AE、DT4AE = 1)

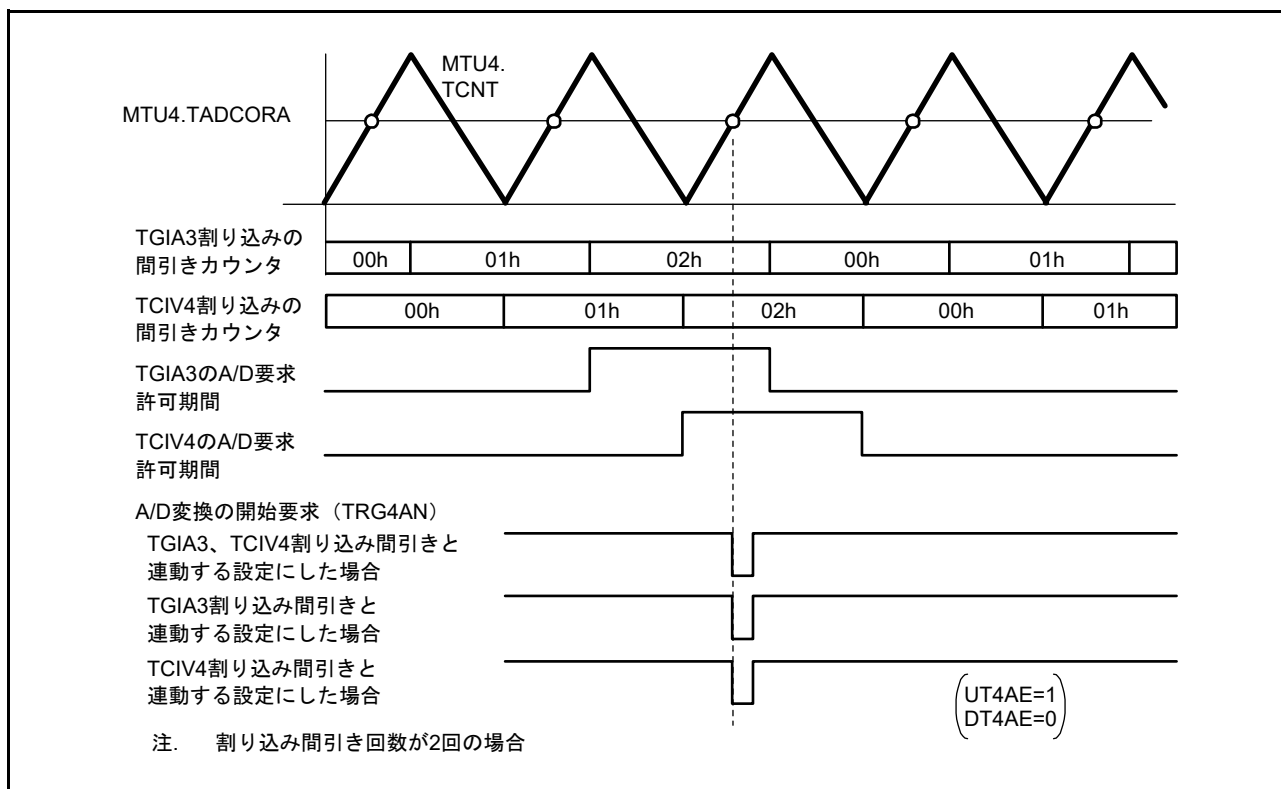


図 24.96 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE = 1, DT4AE = 0)

(6) 割り込み間引き機能2と連動したA/D変換開始要求ディレイド機能

TITMRA (TITMRB) レジスタのTITMビットを“1”にし、TITCR2A (TITCR2B) レジスタのTRG4COR[2:0] (TRG7COR[2:0]) ビットで設定した値 (0 ~ 7) から、既存のA/D変換開始トリガ (TRG4AN および TRG4BN (TRG7AN および TRG7BN)) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN および TRG4BN (TRG7AN および TRG7BN) の割り込みが有効になり、A/D変換開始要求信号 (TRG4ABN (TRG7ABN)) が出力されます。

この機能はA/D変換開始要求ディレイド機能の使用時のみ有効になります。

(a) 割り込み間引き機能2の設定手順例

図 24.97 に割り込み間引き機能2の設定手順例を示します。

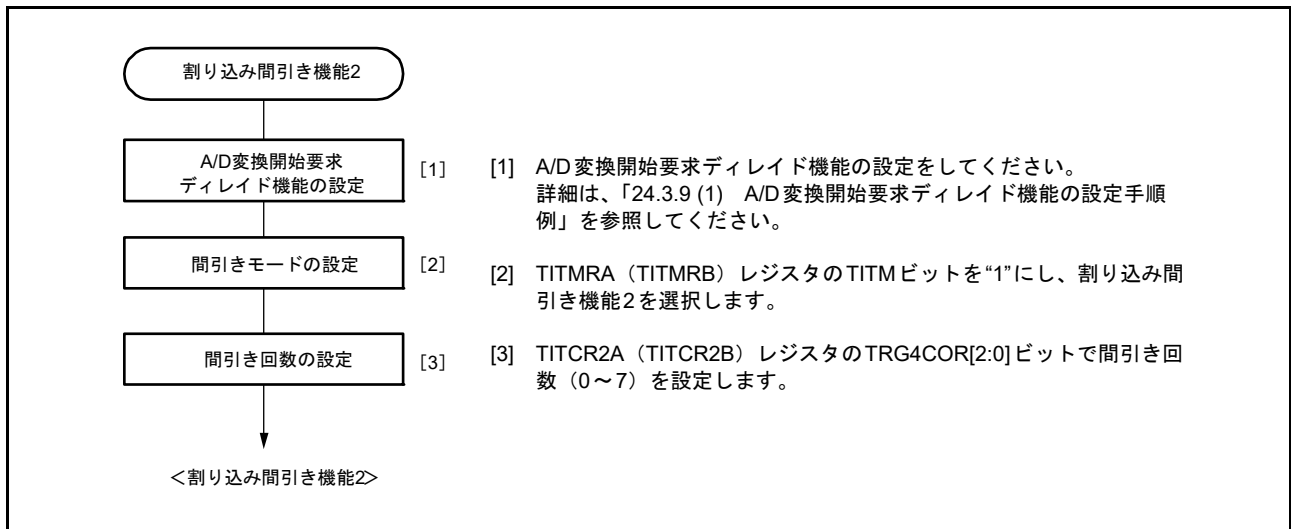


図 24.97 割り込み間引き機能2の設定手順例

(b) 割り込み間引き機能2の動作例

図 24.98 に割り込み間引き機能2の動作例を示します。

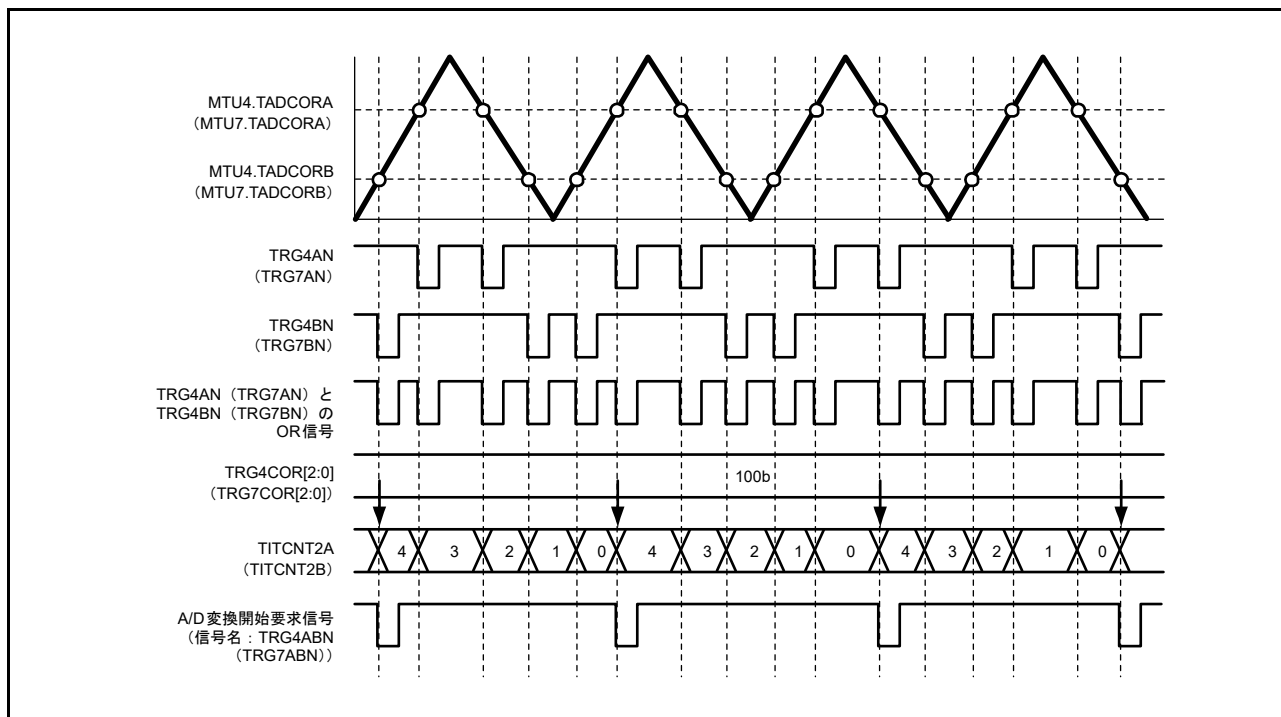


図 24.98 割り込み間引き機能2の動作例 (間引き回数を4回とした場合)

24.3.10 MTU0 ~ MTU4、MTU6、MTU7 の同期動作

(1) MTU0 ~ MTU4、MTU6、MTU7 カウンタ同期スタート

TCSYSTR レジスタを設定することにより、MTU0 ~ MTU4、MTU6、MTU7 のカウンタを同期スタートすることができます。

(a) MTU0 ~ MTU4、MTU6、MTU7 カウンタ同期スタートの設定手順例

図 24.99 に MTU0 ~ MTU4、MTU6、MTU7 カウンタ同期スタートの設定手順例を示します。

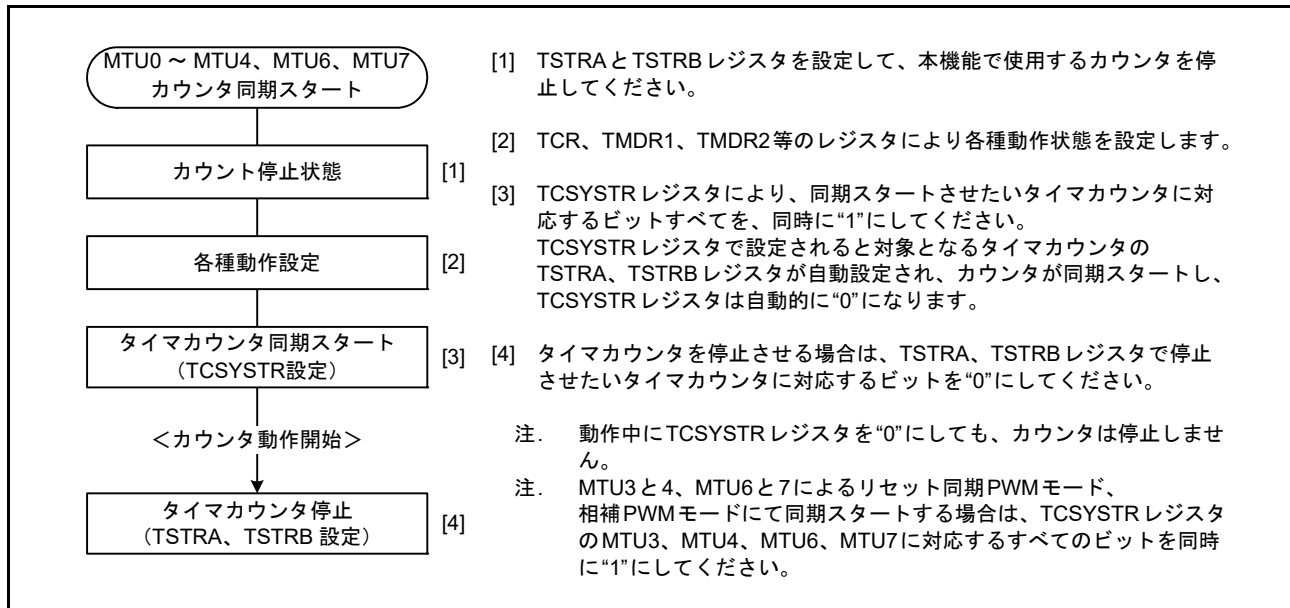


図 24.99 MTU0 ~ MTU4、MTU6、MTU7 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 24.100 に MTU0 ~ MTU4、MTU6、MTU7 カウンタ同期スタートの動作例を示します。

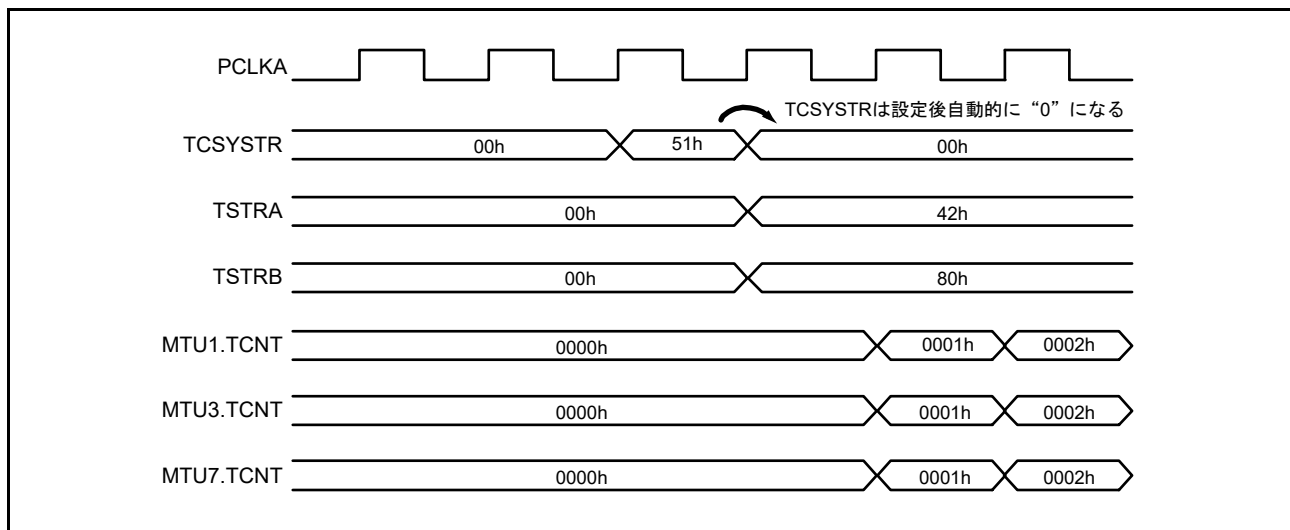


図 24.100 MTU0 ~ MTU4、MTU6、MTU7 カウンタ同期スタートの動作例

(2) MTU6、MTU7 カウンタ同期クリア

MTU6、MTU7はTSYCRレジスタを設定することにより、TGImm 割り込み発生タイミング (m=A~D, n=0~2) を利用して、カウンタクリアすることができます。

(a) MTU6、MTU7 カウンタ同期クリアの設定手順例

図 24.101 に割り込み発生タイミングを利用した MTU6、MTU7 カウンタ同期クリアの設定手順例を示します。

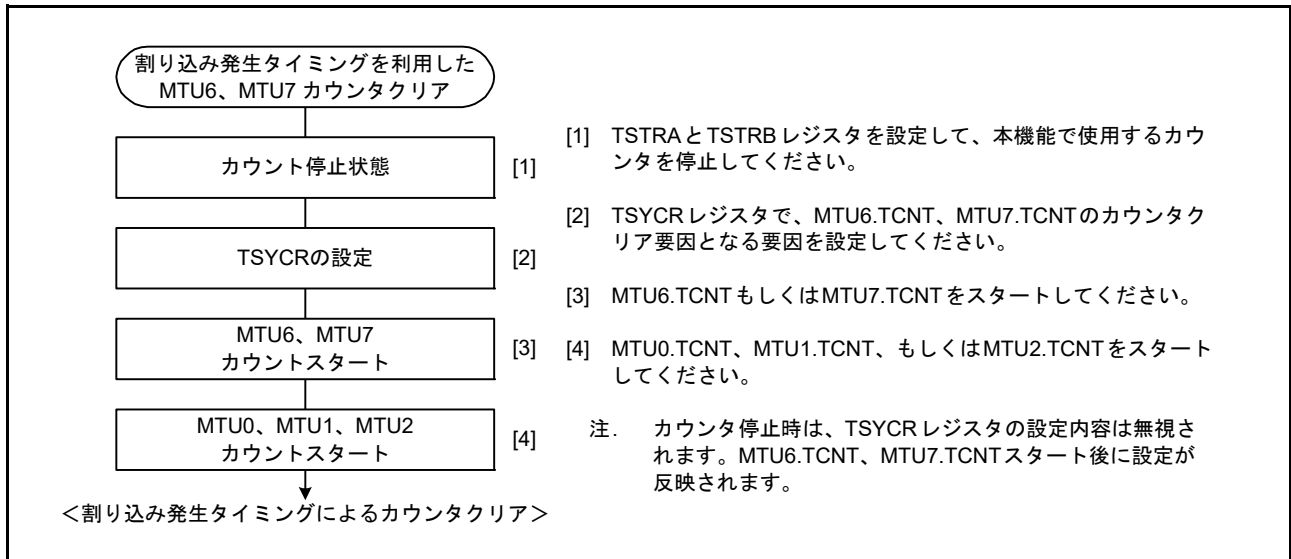


図 24.101 MTU6、MTU7 カウンタ同期クリアの設定手順例

(b) MTU6、MTU7 カウンタ同期クリアの動作例

図 24.102、図 24.103 に割り込み発生タイミングを利用した MTU6、MTU7 カウンタ同期クリアの動作例を示します。

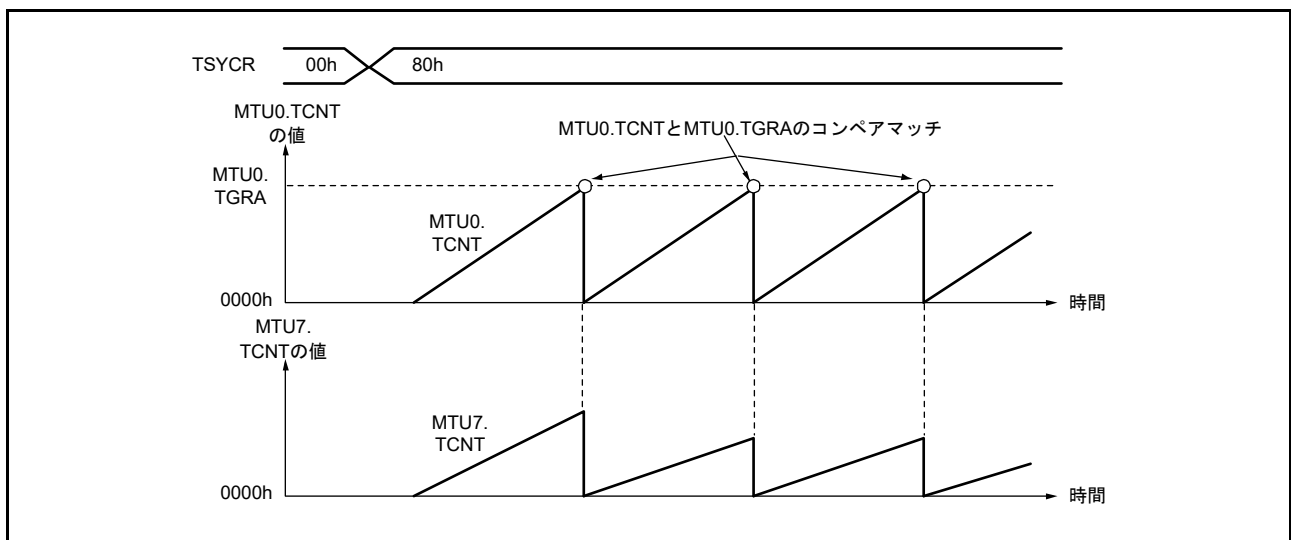


図 24.102 MTU6、MTU7 カウンタ同期クリアの動作例 (1)

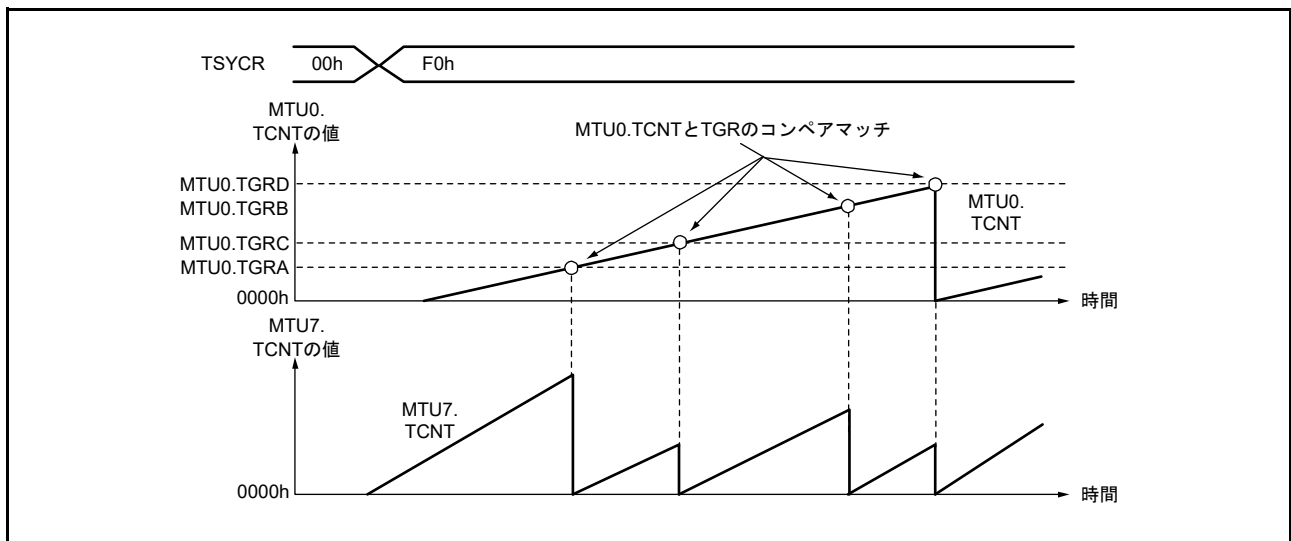


図 24.103 MTU6、MTU7 カウンタ同期クリアの動作例 (2)

24.3.11 外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

MTU5.TIORU、MTU5.TIORV、MTU5.TIORW の IOC[4:0] ビットにパルス幅測定条件を設定すると、MTIC5U 端子、MTIC5V 端子、MTIC5W 端子に入力された信号のパルス幅を測定します。IOC[4:0] ビットで指定したレベルが入力されている間、TCNTU、TCNTV、TCNTW はカウントアップします。

外部パルス幅測定の設定例を図 24.104 に、動作例を図 24.105 に示します。

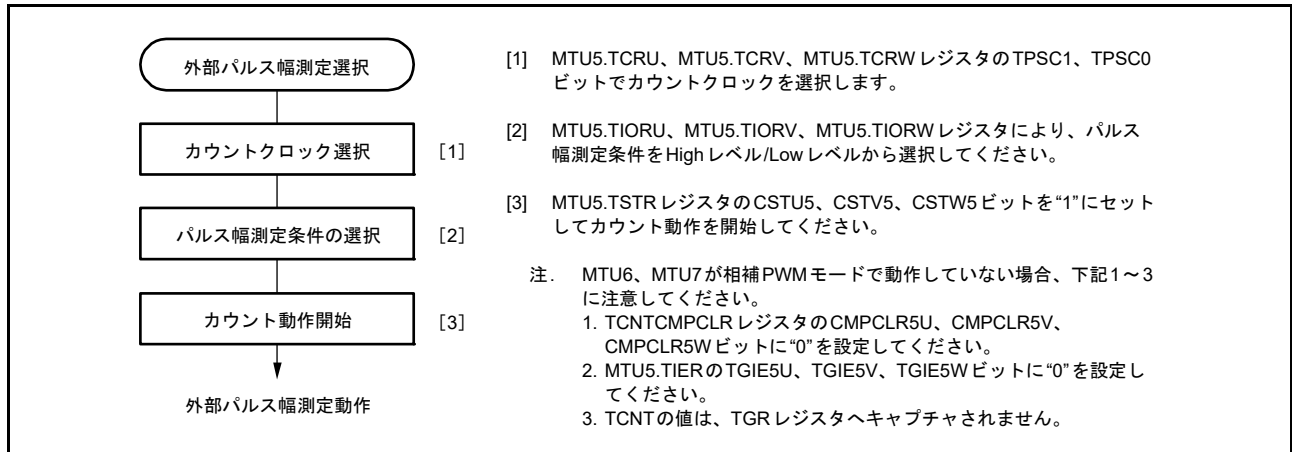


図 24.104 外部パルス幅測定の設定手順例

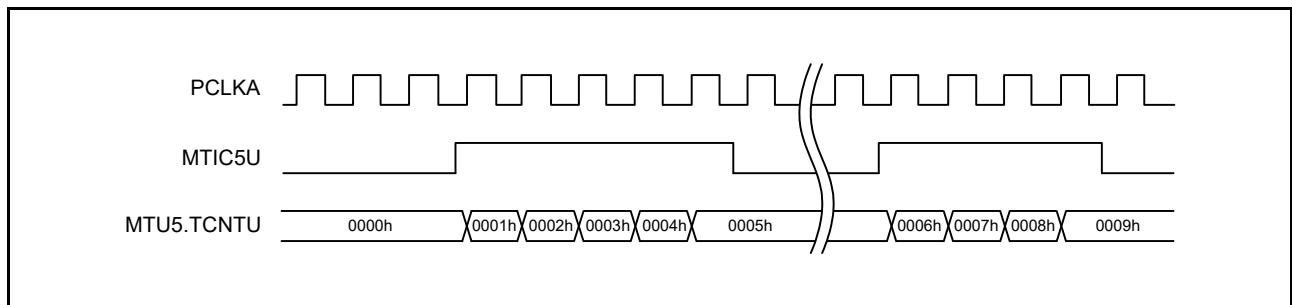


図 24.105 外部パルス幅測定の動作例 (High パルス幅測定)

24.3.12 デッドタイム補償機能

MTU5～MTU7を組み合わせて、デッドタイム遅れ（相補PWM出力とインバータ出力間の遅延）を補償することができます。図24.106に、MTU5～MTU7を組み合わせて、デッドタイム遅れを補償するモータ制御の回路例を示します。MTU5の外部パルス測定機能で相補PWM出力とインバータ出力間の遅延を測定して、PWM出力のコンペアレジスタに設定するデューティを補正することで、MTU6、MTU7を使用した相補PWM動作時のPWM出力波形に対するデッドタイムを補償することができます（図24.107）。MTU5～MTU7を使用したデッドタイム補償の設定手順を図24.108に示します。このときのMTU5の動作については、「24.3.13 相補PWMモード時の山と谷でのTCNTU, TCNTV, TCNTWキャプチャ動作」を参照してください。

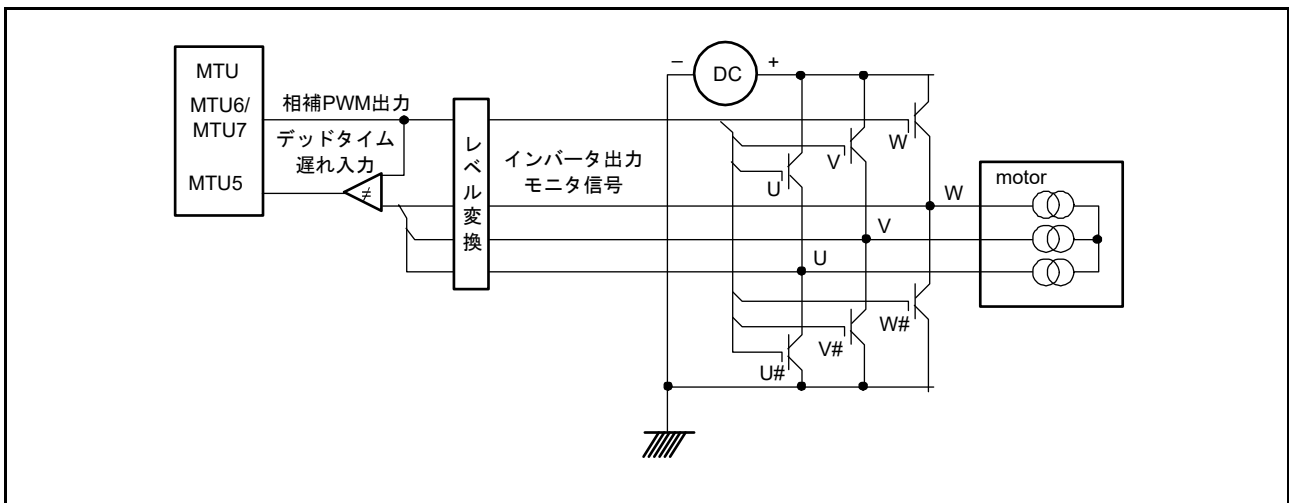


図 24.106 モータ制御回路例

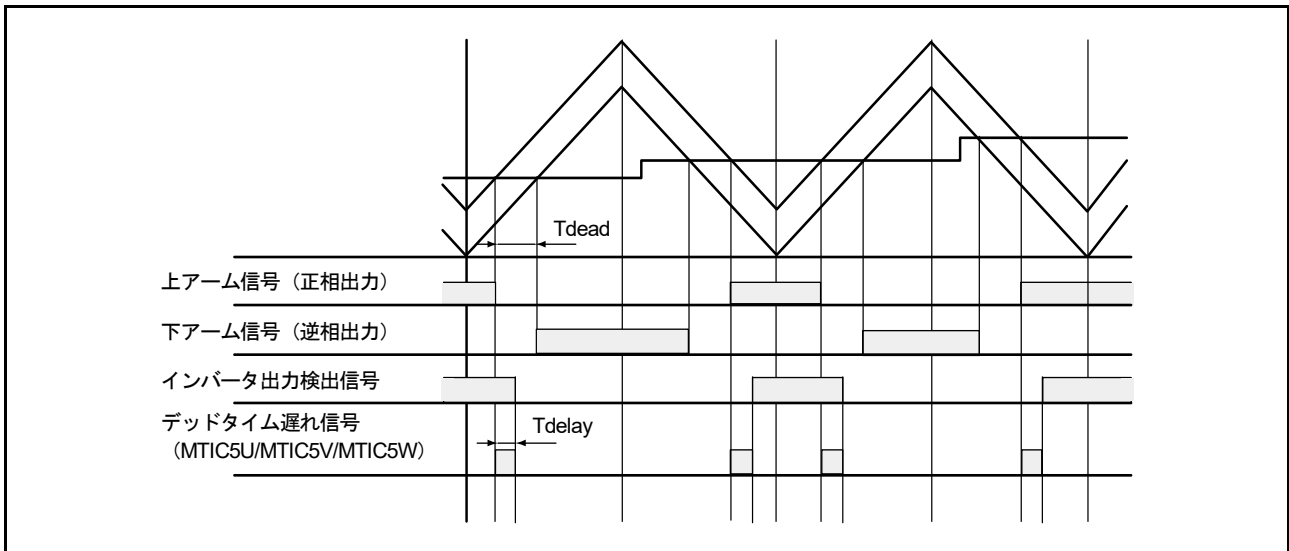


図 24.107 相補PWM動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

MTU5の3本のカウンタを使用したデッドタイム補償機能の設定手順例を図24.108に示します。

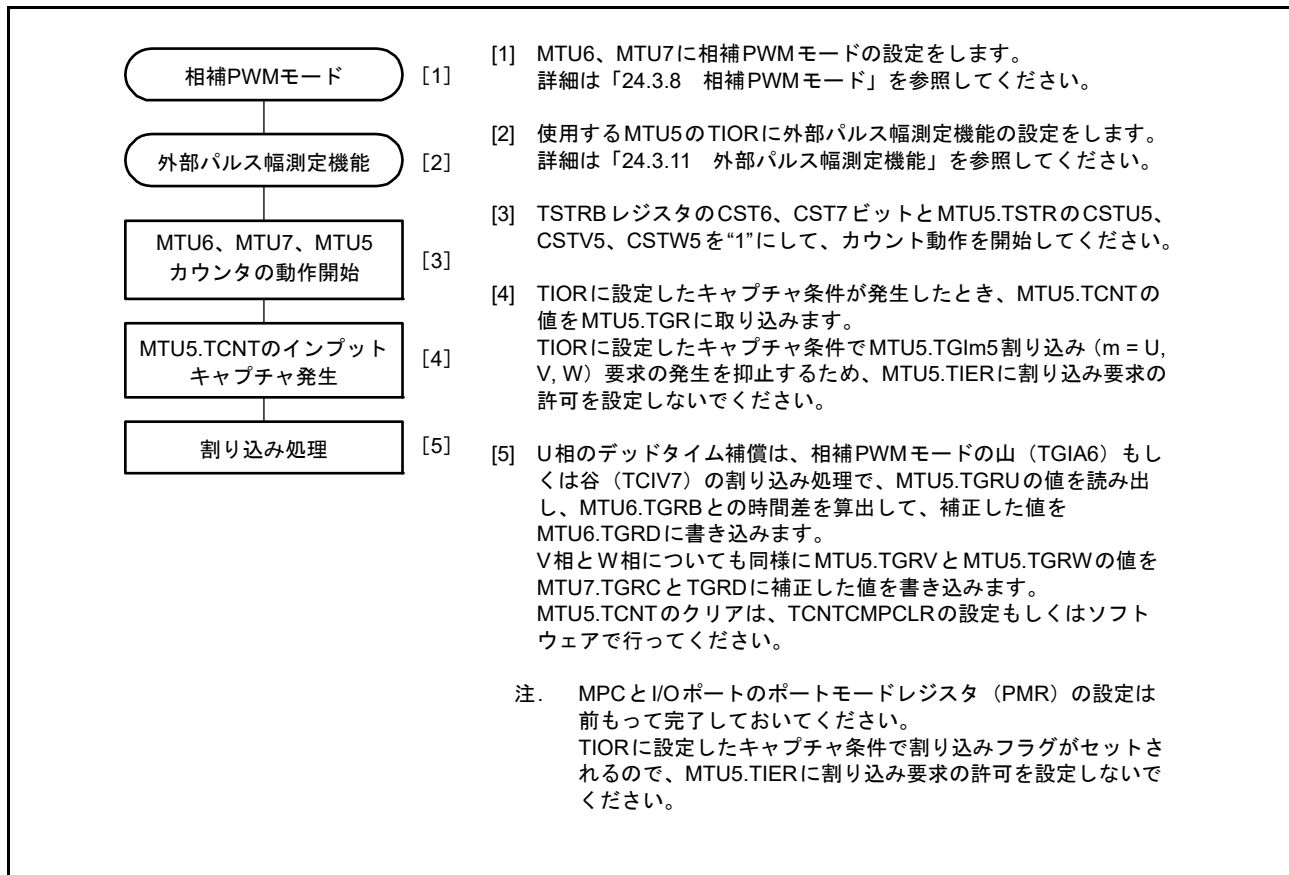


図 24.108 デッドタイム補償機能の設定手順例

24.3.13 相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作

MTU5 の外部パルス幅測定機能は、MTU6、MTU7 を相補 PWM モードで動作させたときに、相補 PWM の山、谷、または山と谷で TCNTU, TCNTV, TCNTW の値を TGRU, TGRV, TGRW に転送する機能です。転送タイミングは TIORU, TIORV, TIORW に設定します。また TCNTCMPCLR レジスタの CMPCLR5U, CMPCLR5V, CMPCLR5W ビットを“1”にすると、TGRU, TGRV, TGRW への転送タイミングで TCNTU, TCNTV, TCNTW が“0000h”になります。

なお、MTU3、MTU4 を相補 PWM モードで動作させるとき、相補 PWM の山、谷、または山と谷で MTU5 の TCNTU、TCNTV、TCNTW のキャプチャ動作は実行できません。

図 24.109 は TCNTU をフリーランでクリアせずに使用し、相補 PWM モードの山と谷で TGRU にキャプチャを行った動作例です。

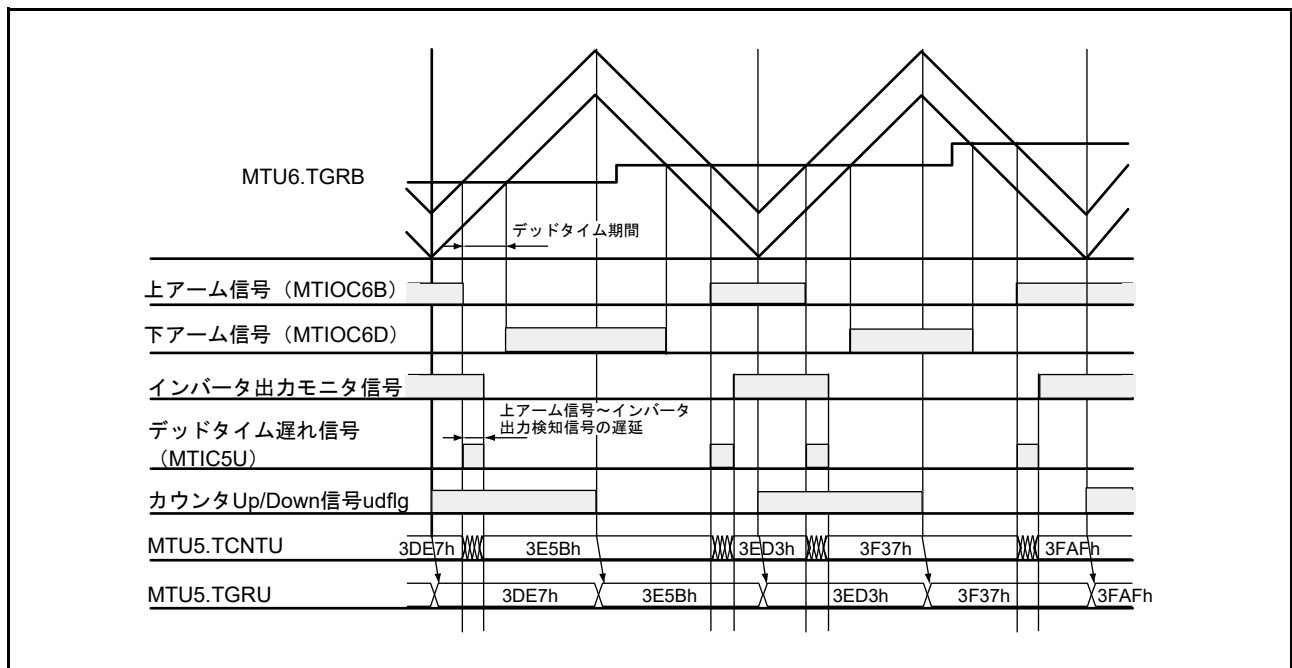


図 24.109 相補 PWM の山と谷での TCNTU キャプチャ動作

24.3.14 ノイズフィルタ機能

インプットキャプチャ入力端子、および外部クロック入力端子にはノイズフィルタ機能があります。

NFCRn レジスタ (n=0~7, C) にノイズフィルタ機能の有効/無効、およびサンプリングクロックの設定をしてください。ノイズフィルタ機能の有効/無効は端子ごとに設定でき、サンプリングクロックの設定はチャンネルごとに設定できます。図 24.110 にノイズフィルタのタイミングを示します。

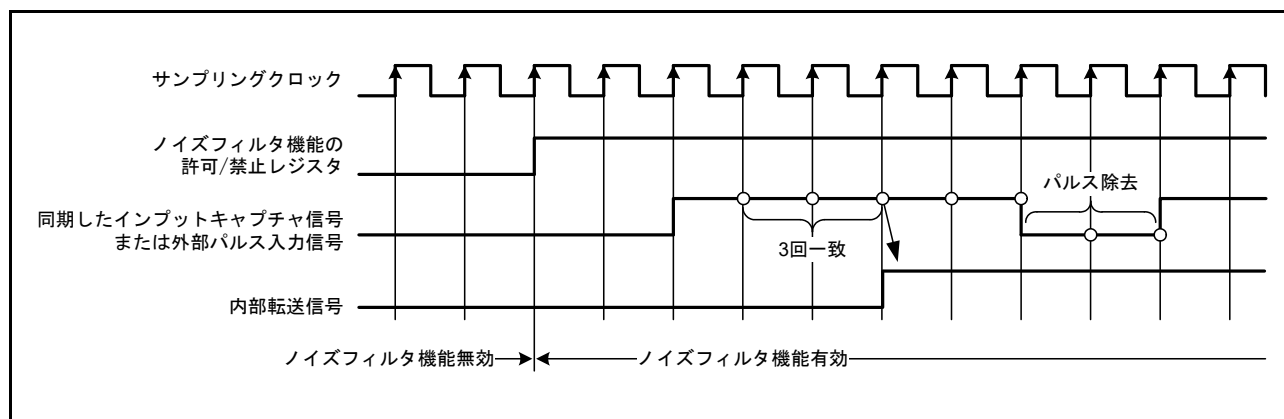


図 24.110 ノイズフィルタのタイミング

24.4 割り込み要因

24.4.1 割り込み要因と優先順位

割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用の許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可 / 禁止ビットが“1”ならば、割り込みを要求します。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。表 24.77 に MTU の割り込み要因の一覧を示します。

表 24.77 MTU 割り込み要因

チャンネル	名称	割り込み要因	DMAC/DTCの起動
MTU0	TGIA0	MTU0.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB0	MTU0.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TGIC0	MTU0.TGRCのインพุットキャプチャ/コンペアマッチ	可能
	TGID0	MTU0.TGRDのインพุットキャプチャ/コンペアマッチ	可能
	TCIV0	MTU0.TCNTのオーバフロー	不可能
	TGIE0	MTU0.TGREのコンペアマッチ	不可能
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能
MTU1	TGIA1	MTU1.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB1	MTU1.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TCIV1	MTU1.TCNTのオーバフロー	不可能
	TCIU1	MTU1.TCNTのアンダフロー	不可能
MTU2	TGIA2	MTU2.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB2	MTU2.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TCIV2	MTU2.TCNTのオーバフロー	不可能
	TCIU2	MTU2.TCNTのアンダフロー	不可能
MTU3	TGIA3	MTU3.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB3	MTU3.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TGIC3	MTU3.TGRCのインพุットキャプチャ/コンペアマッチ	可能
	TGID3	MTU3.TGRDのインพุットキャプチャ/コンペアマッチ	可能
	TCIV3	MTU3.TCNTのオーバフロー	不可能
MTU4	TGIA4	MTU4.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB4	MTU4.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TGIC4	MTU4.TGRCのインพุットキャプチャ/コンペアマッチ	可能
	TGID4	MTU4.TGRDのインพุットキャプチャ/コンペアマッチ	可能
	TCIV4	MTU4.TCNTのオーバフロー/アンダフロー(注1)	可能
MTU5	TGIU5	MTU5.TGRUのインพุットキャプチャ/コンペアマッチ	可能
	TGIV5	MTU5.TGRVのインพุットキャプチャ/コンペアマッチ	可能
	TGIW5	MTU5.TGRWのインพุットキャプチャ/コンペアマッチ	可能
MTU6	TGIA6	MTU6.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB6	MTU6.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TGIC6	MTU6.TGRCのインพุットキャプチャ/コンペアマッチ	可能
	TGID6	MTU6.TGRDのインพุットキャプチャ/コンペアマッチ	可能
	TCIV6	MTU6.TCNTのオーバフロー	不可能
MTU7	TGIA7	MTU7.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB7	MTU7.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TGIC7	MTU7.TGRCのインพุットキャプチャ/コンペアマッチ	可能
	TGID7	MTU7.TGRDのインพุットキャプチャ/コンペアマッチ	可能
	TCIV7	MTU7.TCNTのオーバフロー/アンダフロー(注1)	可能
MTU8	TGIA8	MTU8.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB8	MTU8.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TGIC8	MTU8.TGRCのインพุットキャプチャ/コンペアマッチ	可能
	TGID8	MTU8.TGRDのインพุットキャプチャ/コンペアマッチ	可能
	TCIV8	MTU8.TCNTのオーバフロー	不可能

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

注1. アンダフローは相補PWMモード時のみ有効

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチが発生したとき、TIER.TGIE ビットが“1”であれば、割り込みを要求します。MTUには、MTU0に6本、MTU3、MTU4、MTU6、MTU7、MTU8に各4本、MTU1、MTU2に各2本、MTU5に3本、計33本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローが発生したとき、TIER.TCIEV ビットが“1”であれば、割り込みを要求します。MTUには、MTU5を除く各チャンネルに1本、計8本のオーバフロー割り込みがあります。

なお、相補PWMモードで動作時は、MTU4.TCNT、MTU7.TCNTのアンダフロー発生時もオーバフロー割り込みが発生します。

(3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローが発生したとき、TIER.TCIEU ビットが“1”であれば、割り込みを要求します。MTUには、MTU1、MTU2に各1本、計2本のアンダフロー割り込みがあります。

24.4.2 DTC/DMACの起動

(1) DTCの起動

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチ割り込み、MTU4、MTU7のオーバフロー割り込みによって、DTCを起動することができます。詳細は「20. データトランスファコントローラ (DTCb)」を参照してください。

MTUでは、MTU0、MTU3、MTU6、MTU8が各4本、MTU1、MTU2が各2本、MTU4、MTU7が各5本、MTU5が3本、計33本のインพุットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みをDTCの起動要因とすることができます。

(2) DMACの起動

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチ割り込み、MTU4、MTU7のオーバフロー割り込みによって、DMACを起動することができます。詳細は「18. DMAコントローラ (DMACAb)」を参照してください。

MTUでは、MTU0、MTU3、MTU6、MTU8が各4本、MTU1、MTU2が各2本、MTU4、MTU7が各5本、MTU5が3本、計33本のインพุットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みをDMACの起動要因とすることができます。

MTUによるDMAC起動時は、DMACが内部バス権を要求するときに起動要因がクリアされます。したがって、内部バスの状態によっては、起動要因がクリアされてもDMAC転送が開始待ち状態になる期間が発生します。

(3) EXDMACの起動

MTU割り込みによって、EXDMACを起動することができます。詳細は「19. EXDMAコントローラ (EXDMACa)」を参照してください。

24.4.3 A/D コンバータの起動

MTUでは、次の3種類の方法でA/Dコンバータを起動することができます。
各割り込み要因とA/D変換開始要求の対応を、表24.78に示します。

(1) TGRAのインプットキャプチャ/コンペアマッチと、相補PWMモード時のMTU4.TCNT (MTU7.TCNT)の谷でのA/D起動

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチによって、A/Dコンバータを起動することができます。また、MTU4.TIER (MTU7.TIER)のTTGE2ビットを“1”にした状態で、相補PWM動作をさせた場合は、MTU4.TCNT (MTU7.TCNT)が谷 (MTU4.TCNT (MTU7.TCNT) = 0000h) になったときもA/Dコンバータを起動することができます。

次に示す条件で、A/Dコンバータに対してA/D変換の開始要求 (TRGAnN (n = 0 ~ 4, 6, 7)) を行います。

- 各チャンネルのTGRAのインプットキャプチャ/コンペアマッチが発生したとき、TIER.TTGEビットが“1”になっていた場合
- MTU4.TIER (MTU7.TIER)のTTGE2ビットが“1”の状態、相補PWM動作をさせ、MTU4.TCNT (MTU7.TCNT)が谷 (MTU4.TCNT (MTU7.TCNT) = 0000h) になった場合

これらのときA/Dコンバータ側でMTUの変換開始トリガTRGAnNが選択されていれば、A/D変換が開始されます。

(2) MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D起動

MTU0.TCNTとMTU0.TGREのコンペアマッチによって、A/D変換の開始要求 (TRG0N) を行い、A/Dコンバータを起動することができます。

MTU0.TCNTとMTU0.TGREのコンペアマッチが発生したとき、MTU0.TIER2のTTGE2ビットが“1”になっていれば、A/Dコンバータに対してA/D変換の開始要求 (TRG0N) を行います。このとき、A/Dコンバータ側でMTUの変換開始トリガTRG0Nが選択されていれば、A/D変換が開始されます。

(3) A/D変換開始要求ディレイド機能によるA/D起動

A/D変換開始要求コントロールレジスタ (MTU4.TADCR (MTU7.TADCR))のUT4AE、DT4AE、UT4BE、DT4BE (UT7AE, DT7AE, UT7BE, DT7BE) ビットを“1”にした場合、MTU4.TADCORA、MTU4.TADCORBとMTU4.TCNT (MTU7.TADCORA, MTU7.TADCORBとMTU7.TCNT)の一致によって、TRG4AN、TRG4BN (TRG7AN, TRG7BN)を生成し、A/Dコンバータを起動することができます。また、TRG4AN (TRG7AN)の発生またはTRG4BN (TRG7BN)の発生にてTRG4ABN (TRG7ABN)を出力し、A/Dコンバータを起動することができます。詳細は「24.3.9 A/D変換開始要求ディレイド機能」を参照してください。

TRG4AN (TRG7AN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4AN (TRG7AN)が選択されているとき、TRG4BN (TRG7BN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4BN (TRG7BN)が選択されているとき、TRG4ABN (TRG7ABN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4ABN (TRG7ABN)が選択されているとき、おのおのA/D変換が開始されます。

表 24.78 各割り込み要因とA/D変換開始要求信号の対応

対象	割り込み要因	A/D変換開始要求信号
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGA0N
MTU1.TGRAとMTU1.TCNT		TRGA1N
MTU2.TGRAとMTU2.TCNT		TRGA2N
MTU3.TGRAとMTU3.TCNT		TRGA3N
MTU4.TGRAとMTU4.TCNT(注1)		TRGA4N
MTU4.TCNT	相補PWMモード時のMTU4.TCNTの谷	
MTU6.TGRAとMTU6.TCNT	インプットキャプチャ/コンペアマッチ	TRGA6N
MTU7.TGRAとMTU7.TCNT(注1)		TRGA7N
MTU7.TCNT	相補PWMモード時のMTU7.TCNTの谷	
MTU0.TGREとMTU0.TCNT	コンペアマッチ	TRG0N
MTU4.TADCORAとMTU4.TCNT		TRG4AN
MTU4.TADCORBとMTU4.TCNT		TRG4BN
MTU7.TADCORAとMTU7.TCNT		TRG7AN
MTU7.TADCORBとMTU7.TCNT		TRG7BN
MTU4.TADCORAとMTU4.TCNT、 MTU4.TADCORBとMTU4.TCNT	コンペアマッチ (割り込み間引き機能2)	TRG4ABN
MTU7.TADCORAとMTU7.TCNT、 MTU7.TADCORBとMTU7.TCNT		TRG7ABN

注1. 相補PWMモード時はPWM波形を生成するため、MTU4.TGRA (MTU7.TGRA) はMTU4.TCNT (MTU7.TCNT) だけではなく、MTU3.TCNT (MTU6.TCNT) やTCNTSA (TCNTSB) とコンペアマッチの検出を行っています。そのため、MTU3.TCNT (MTU6.TCNT) やTCNTSA (TCNTSB) とコンペアマッチが起こった際もTRGA4N (TRGA7N) を生成します。MTU3、MTU4 (MTU6、MTU7) を相補PWMモードで動作させて、A/D変換の開始要求を行う場合はMTU4.TCNT (MTU7.TCNT) とMTU4.TADCORA/TADCORB (MTU7.TADCORA/TADCORB) とのコンペアマッチによるA/D変換開始要求を使用してください。

24.5 動作タイミング

24.5.1 入出力タイミング

(1) TCNTのカウントタイミング

内部クロック動作の場合のTCNTのカウントタイミングを図24.111、図24.112に示します。また、外部クロック動作（ノーマルモード）の場合のTCNTのカウントタイミングを図24.113に、外部クロック動作（位相計数モード）の場合のTCNTのカウントタイミングを図24.114に示します。

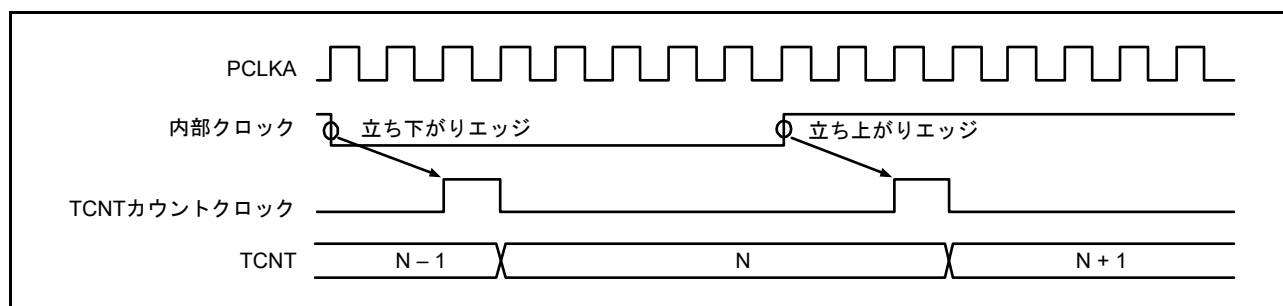


図 24.111 内部クロック動作時のカウントタイミング (MTU0 ~ MTU4, MTU6 ~ MTU8)

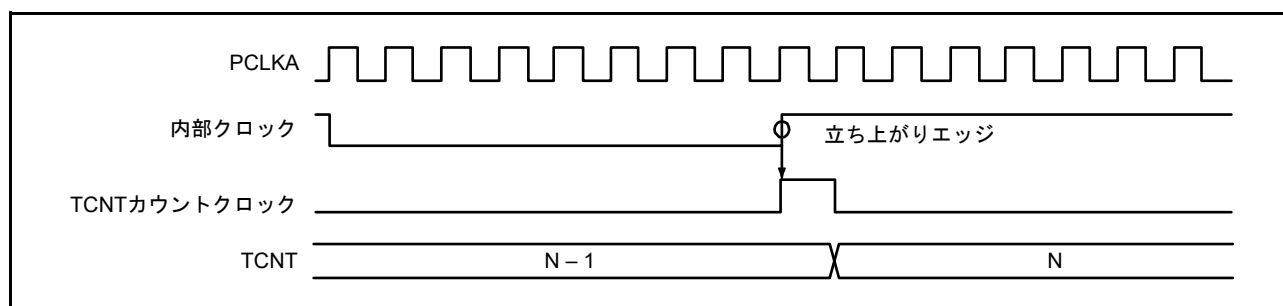


図 24.112 内部クロック動作時のカウントタイミング (MTU5)

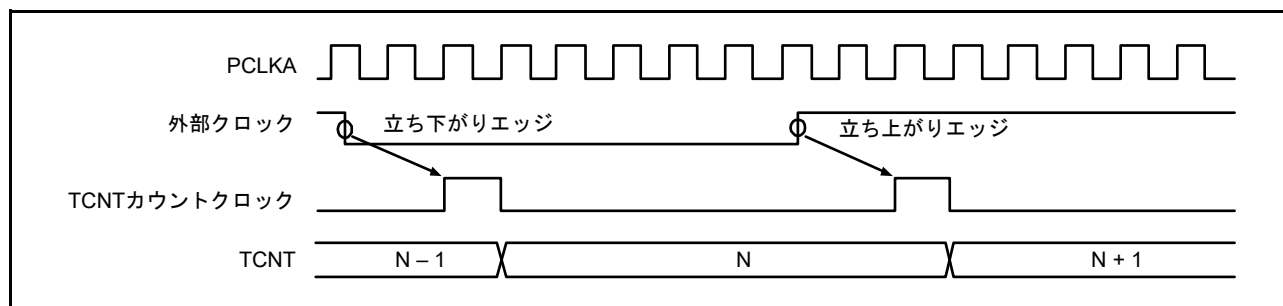


図 24.113 外部クロック動作時のカウントタイミング (MTU0 ~ MTU4, MTU6 ~ MTU8)

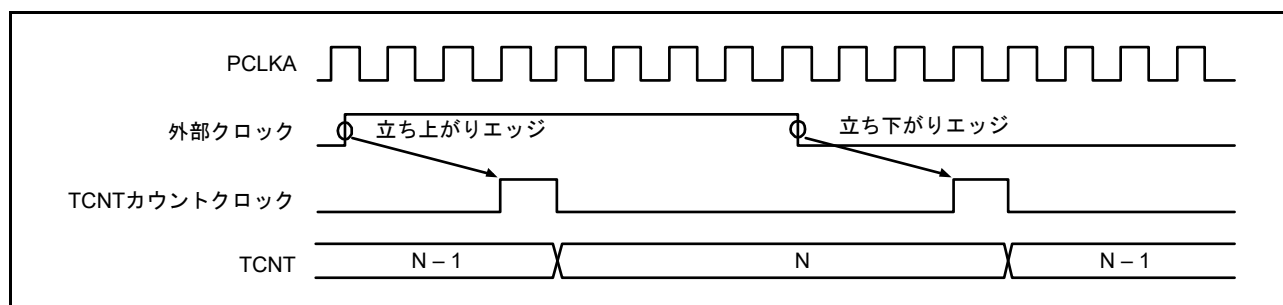


図 24.114 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとTGRが一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIORレジスタで設定した出力値がMTIOCnm端子（ $n=0\sim 4, 6, 7, 8, m=A\sim D$ ）に出力されます。TCNTとTGRが一致した後、TCNTカウントクロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWMモード）を図24.115に、アウトプットコンペア出力タイミング（相補PWMモード、リセット同期PWMモード）を図24.116に示します。

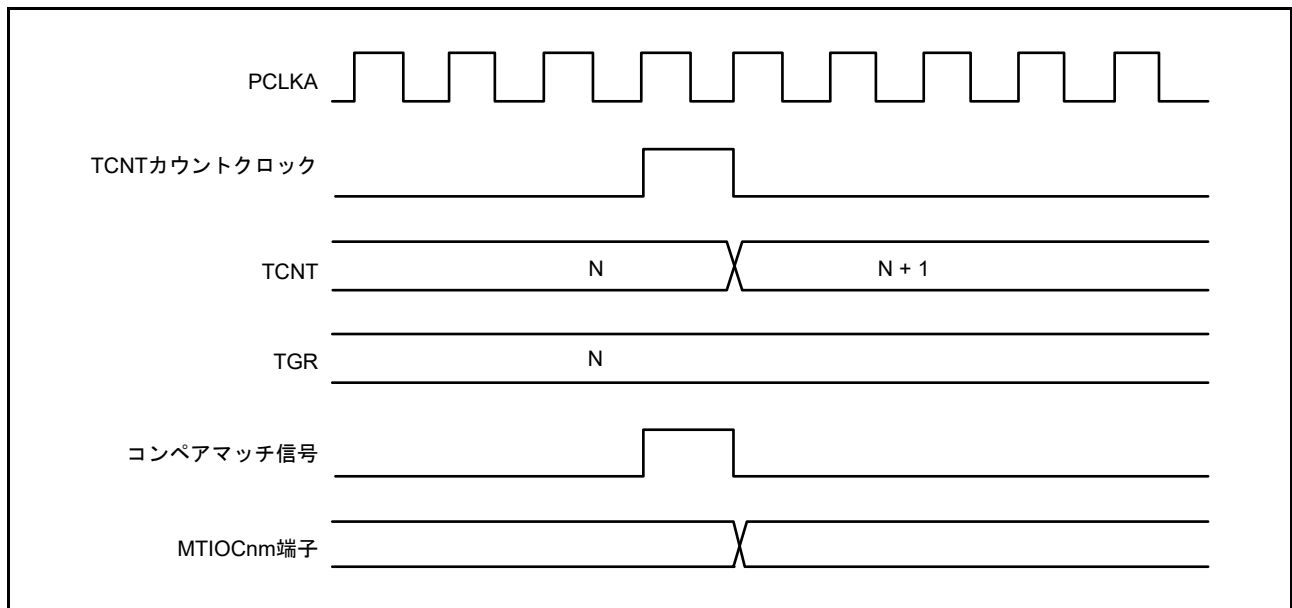


図 24.115 アウトプットコンペア出力タイミング (ノーマルモード、PWMモード)
($n=0\sim 4, 6, 7, 8, m=A\sim D$)

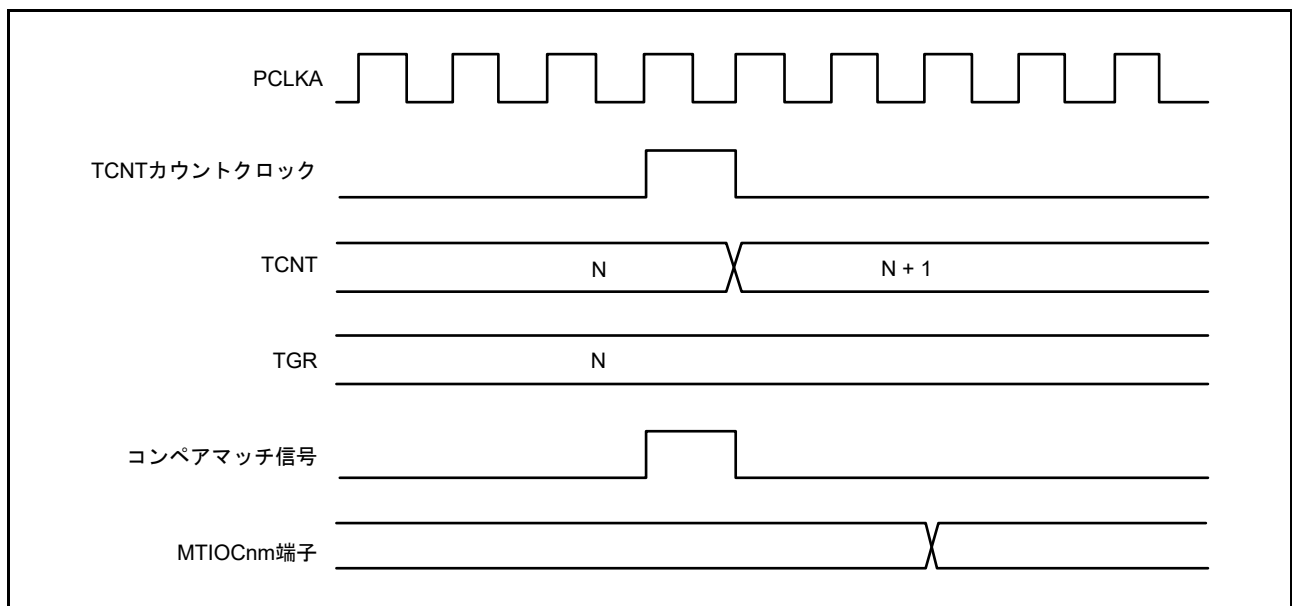


図 24.116 アウトプットコンペア出力タイミング (相補PWMモード、リセット同期PWMモード)
($n=0\sim 4, 6, 7, 8, m=A\sim D$)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 24.117 に示します。

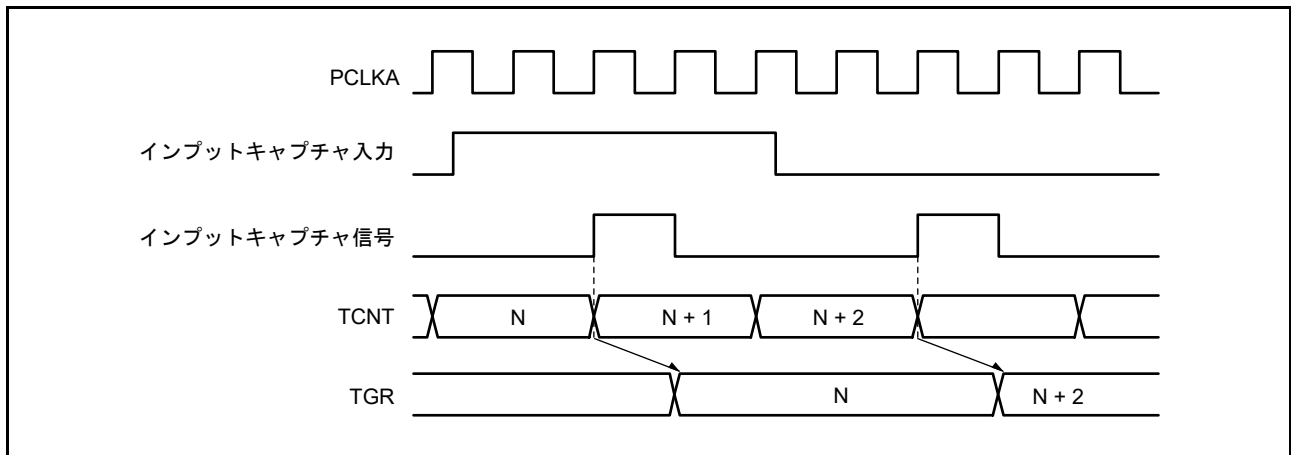


図 24.117 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 24.118、図 24.119 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 24.120 に示します。

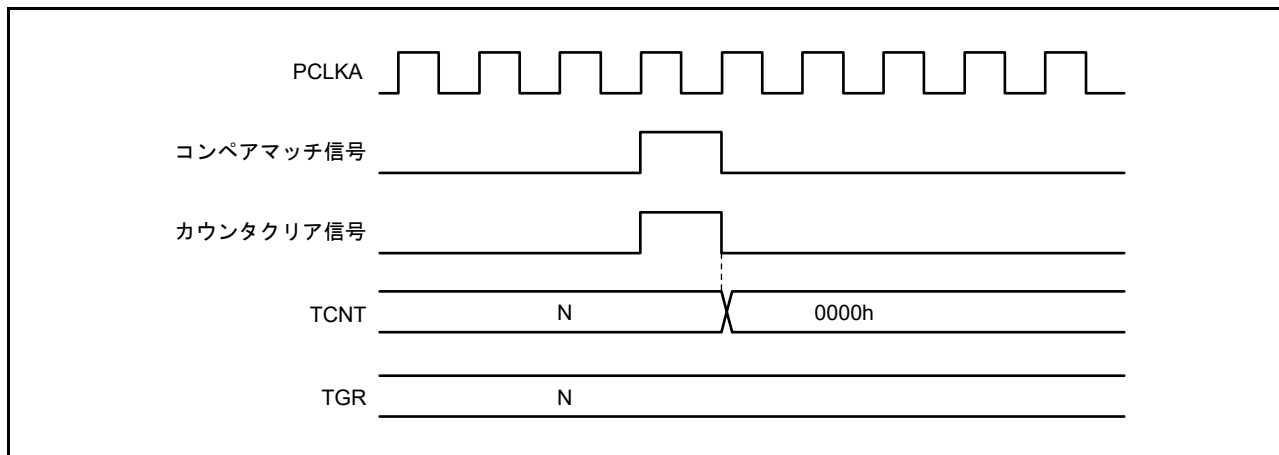


図 24.118 カウンタクリアタイミング (コンペアマッチ) (MTU0 ~ MTU4, MTU6 ~ MTU8)

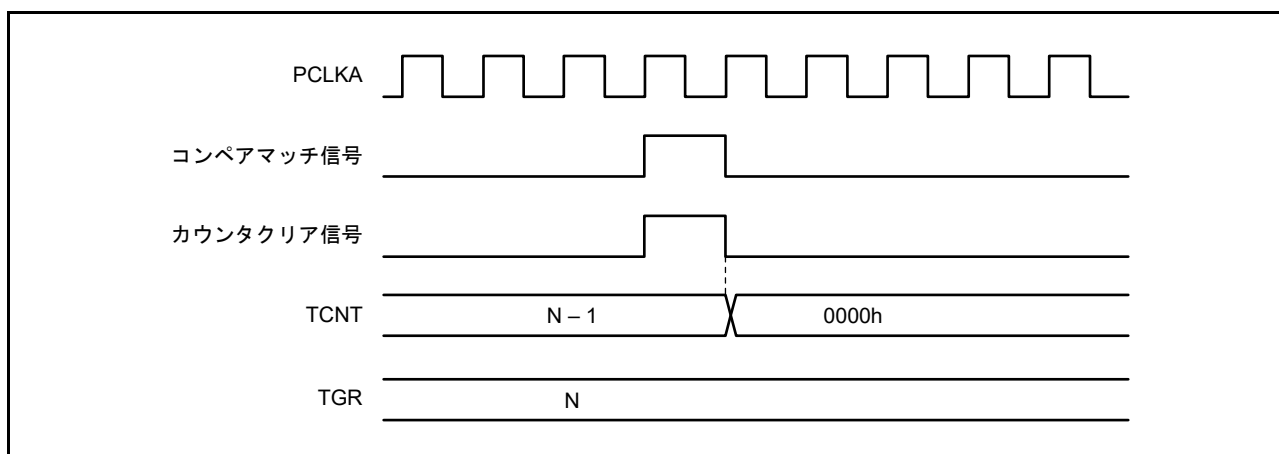


図 24.119 カウンタクリアタイミング (コンペアマッチ) (MTU5)

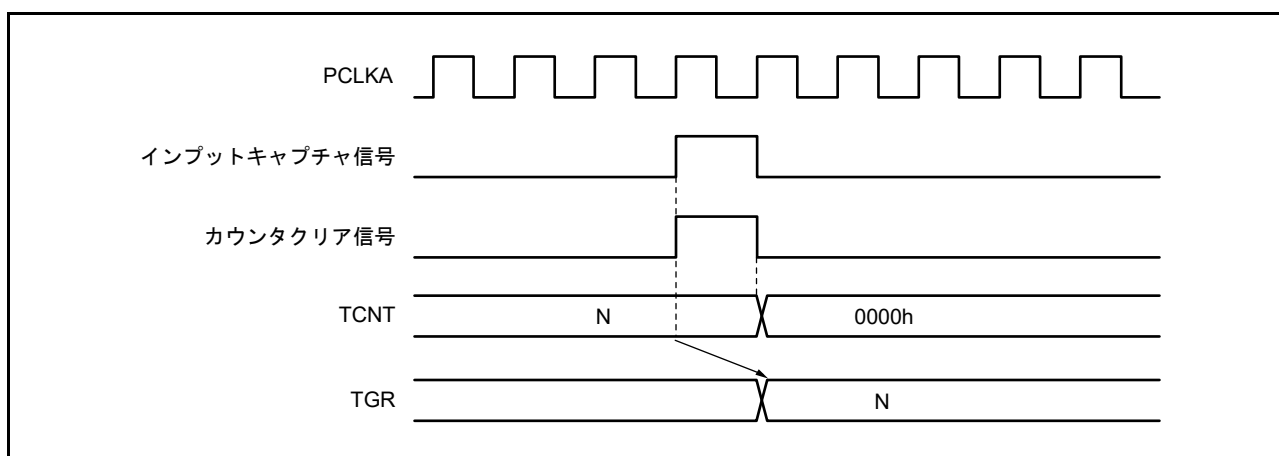


図 24.120 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ~ MTU8)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 24.121 ~ 図 24.123 に示します。

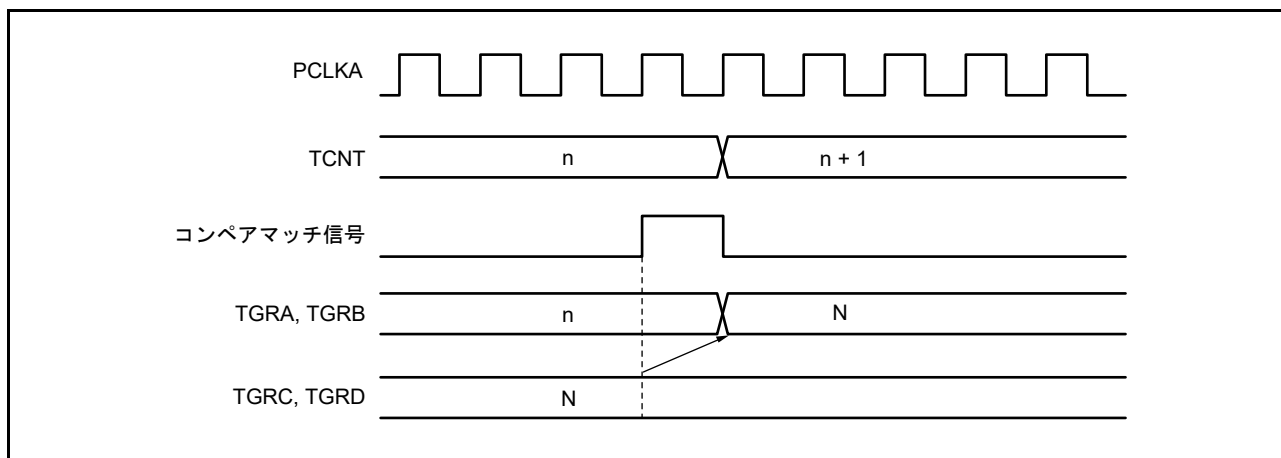


図 24.121 バッファ動作タイミング (コンペアマッチ)

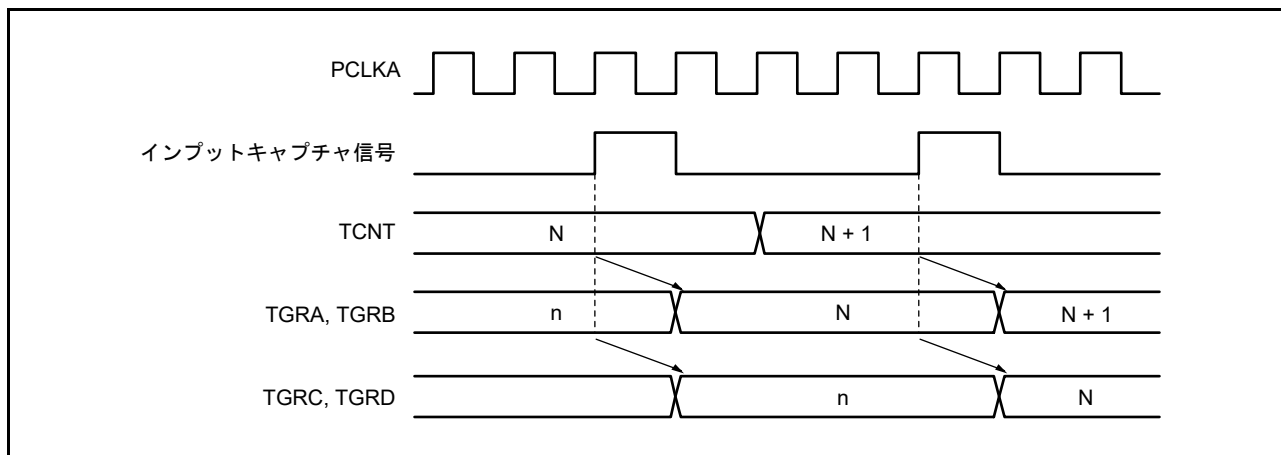


図 24.122 バッファ動作タイミング (インプットキャプチャ)

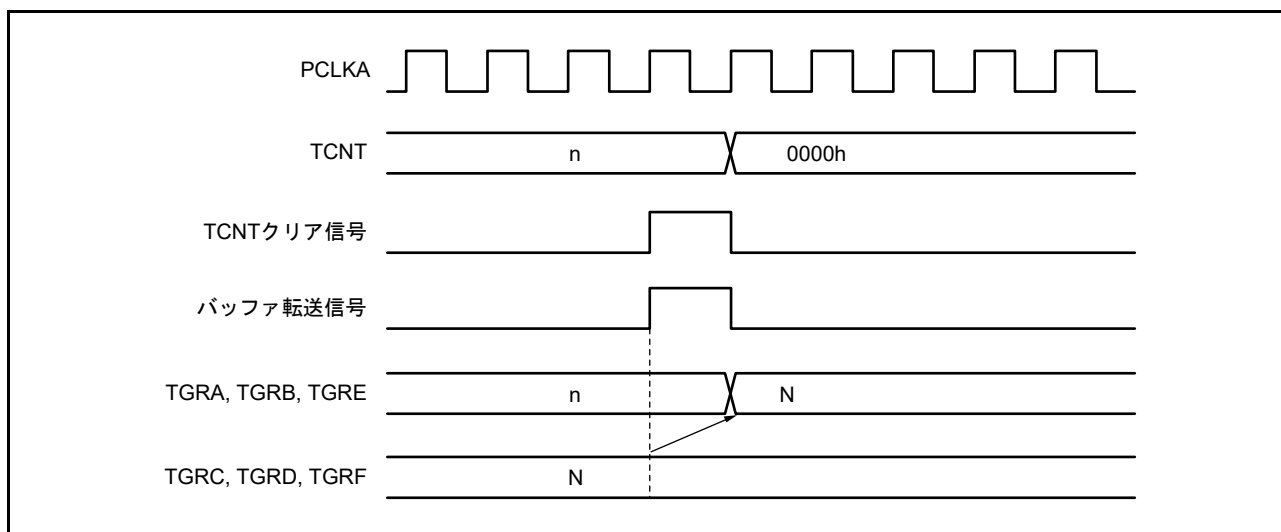


図 24.123 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 24.124 ~ 図 24.126 に示します。

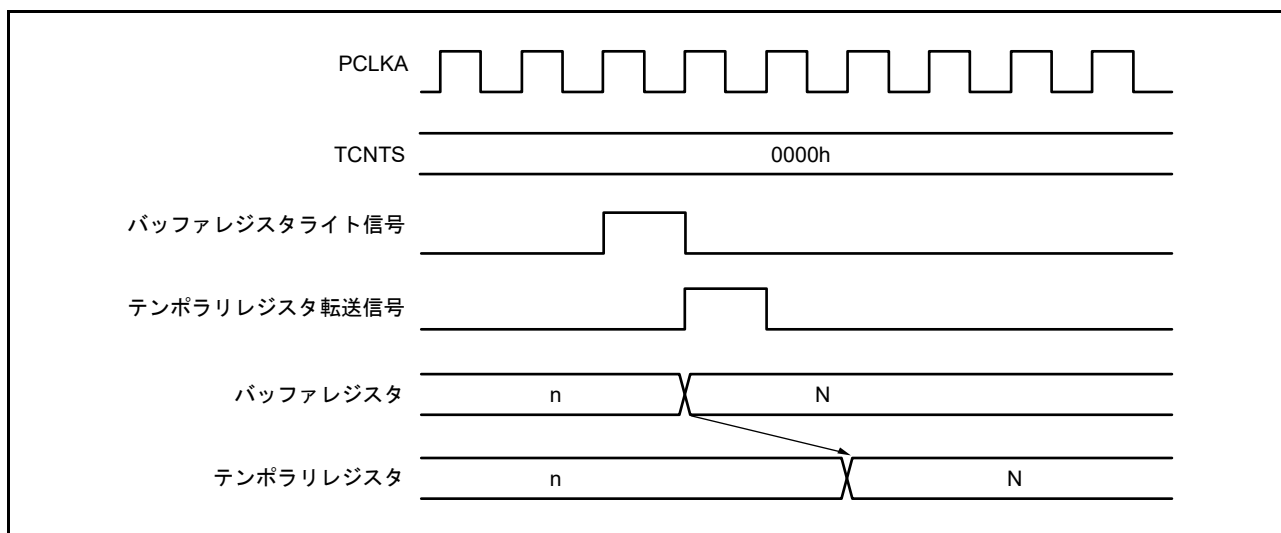


図 24.124 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 停止中)

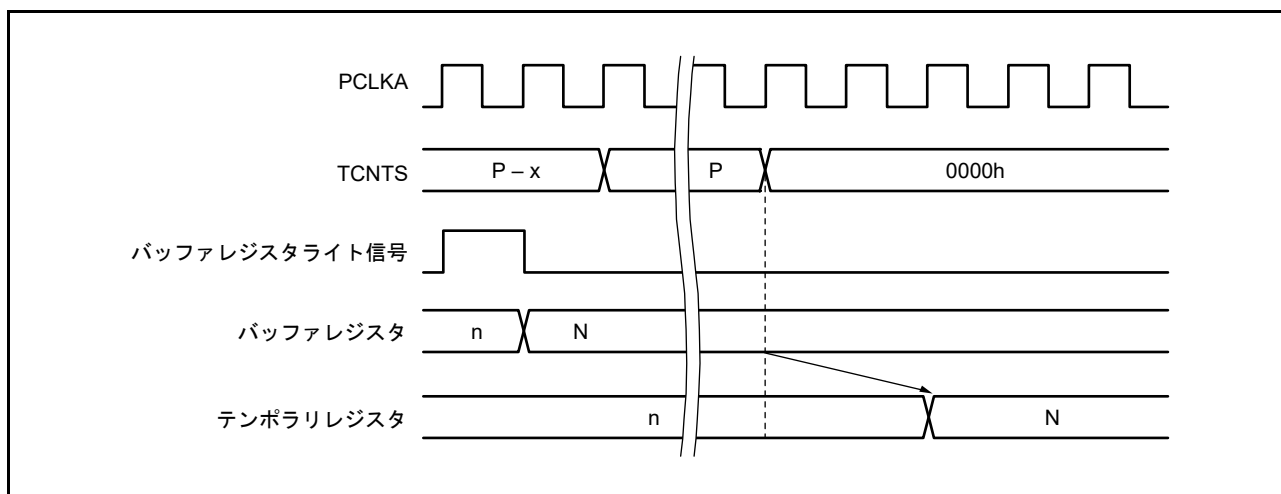


図 24.125 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 動作中)

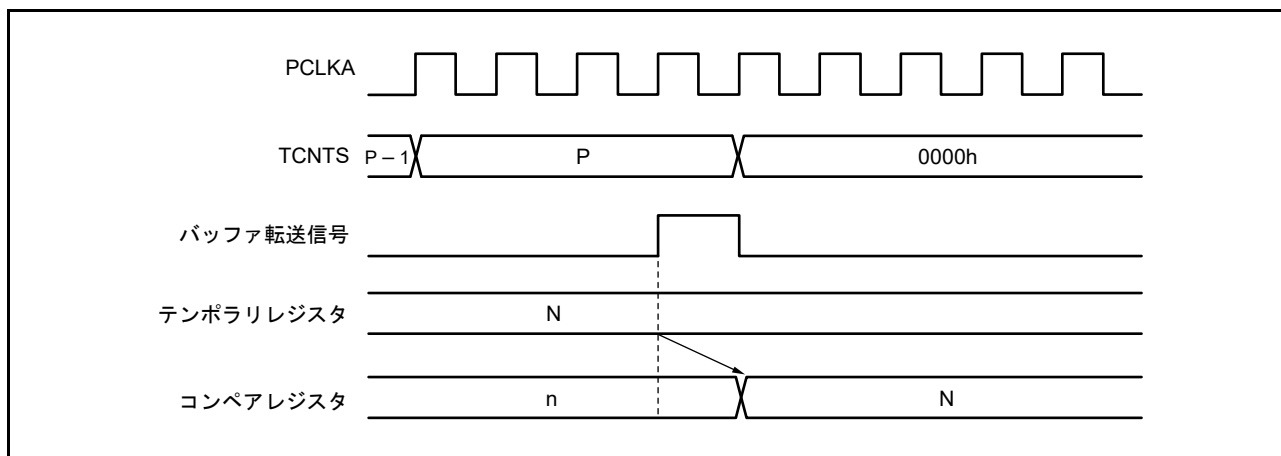


図 24.126 テンポラリレジスタからコンペアレジスタへの転送タイミング

24.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチが発生したときの TGI 割り込み要求信号のタイミングを図 24.127、図 24.128 に示します。

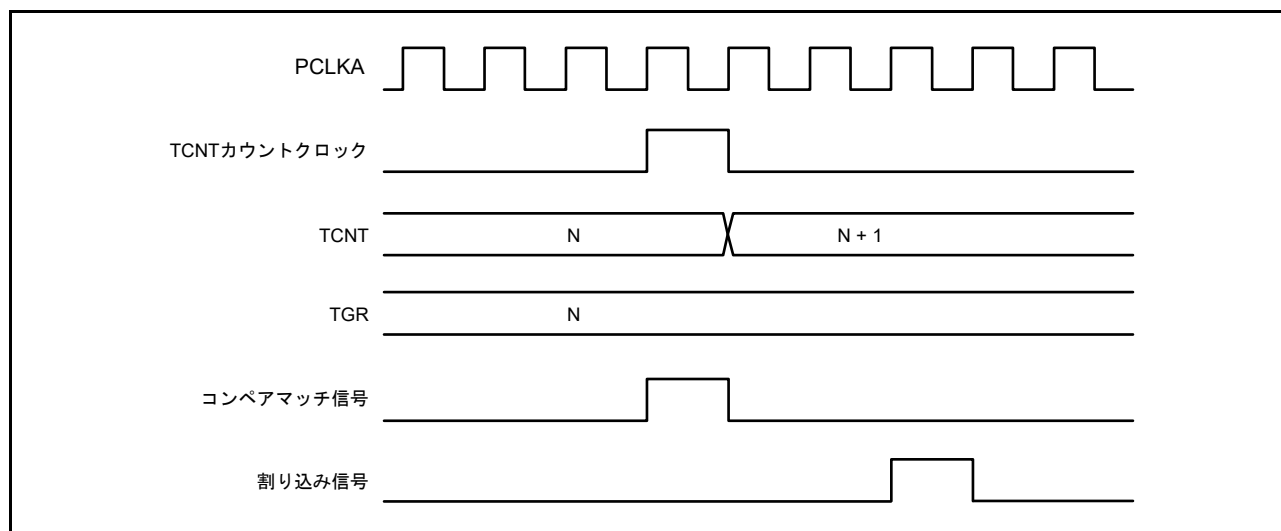


図 24.127 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ~ MTU4, MTU6 ~ MTU8)

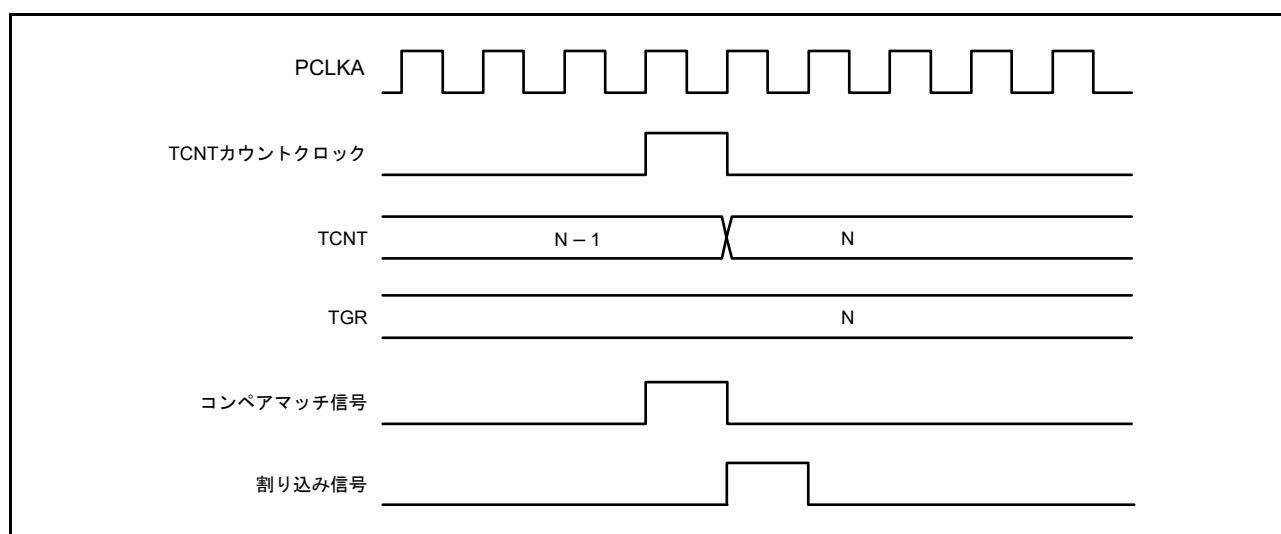


図 24.128 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インพุットキャプチャ時の TGI 割り込みタイミング

インพุットキャプチャが発生したときの TGI 割り込み要求信号のタイミングを図 24.129、図 24.130 に示します。

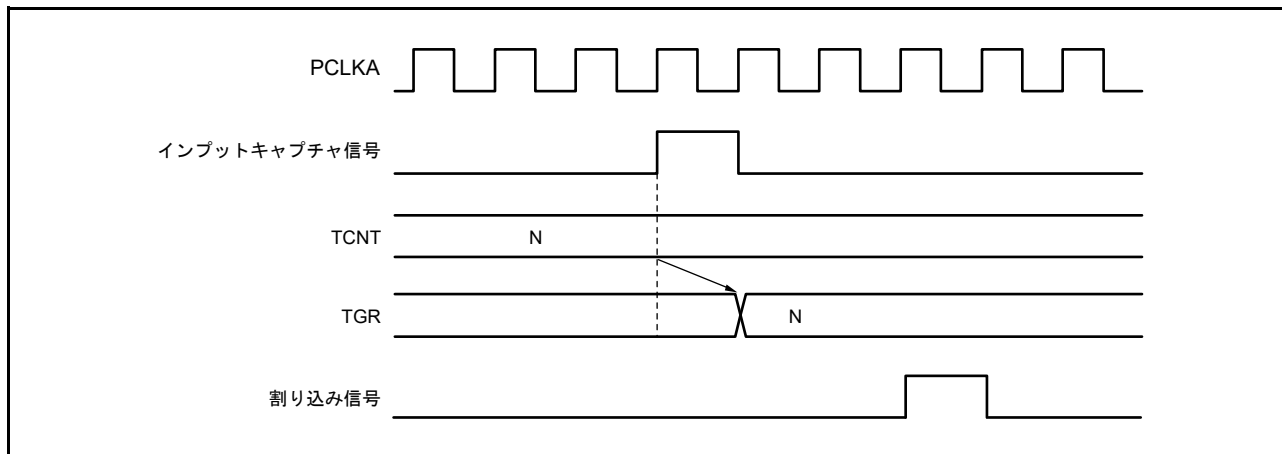


図 24.129 TGI 割り込みタイミング (インพุットキャプチャ) (MTU0 ~ MTU4, MTU6 ~ MTU8)

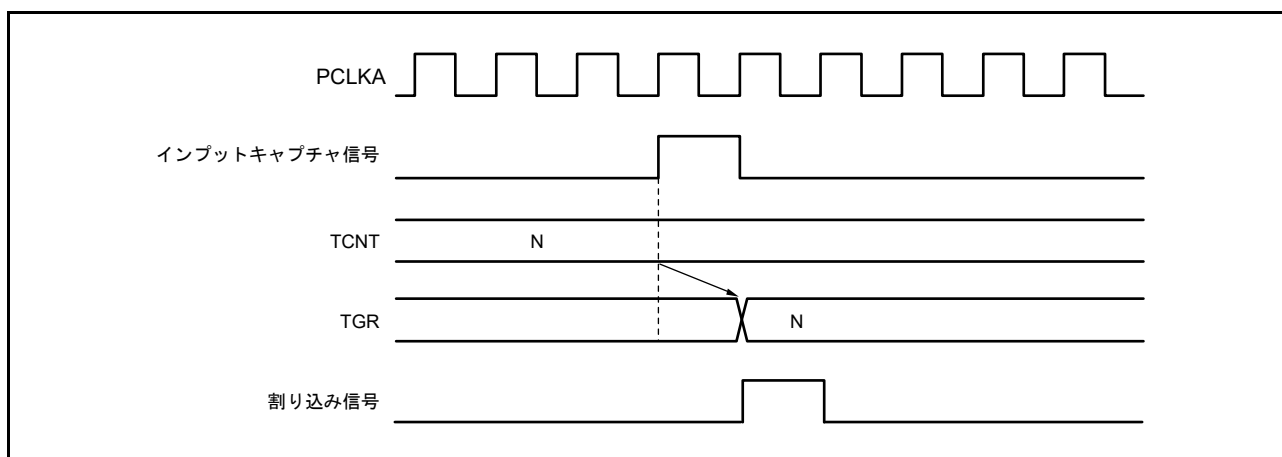


図 24.130 TGI 割り込みタイミング (インพุットキャプチャ) (MTU5)

(3) TCIV/TCIU 割り込みタイミング

オーバーフローが発生したときの TCIV 割り込み要求信号のタイミングを図 24.131 に示します。
アンダフローが発生したときの TCIU 割り込み要求信号のタイミングを図 24.132 に示します。

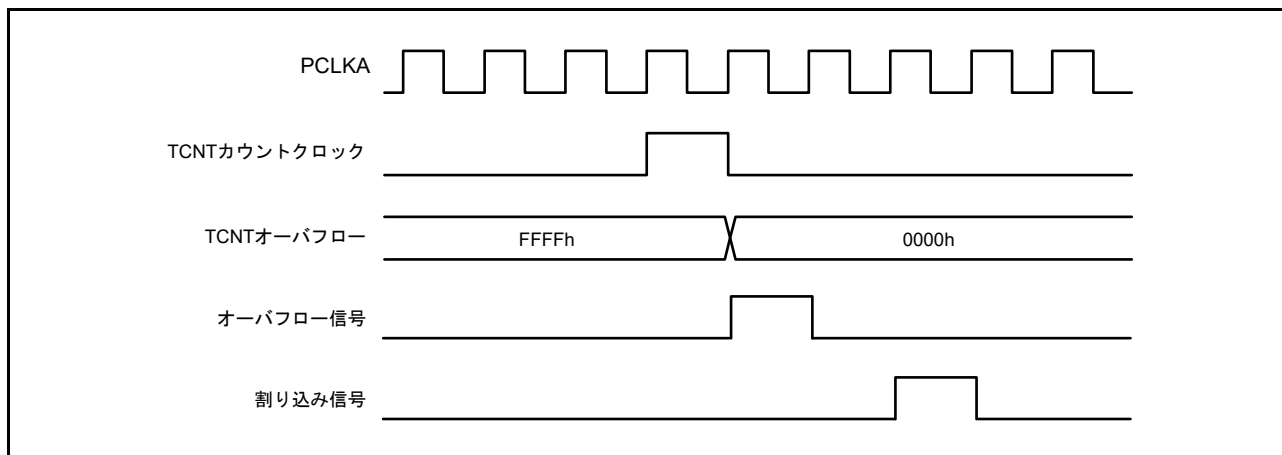


図 24.131 TCIV 割り込みタイミング

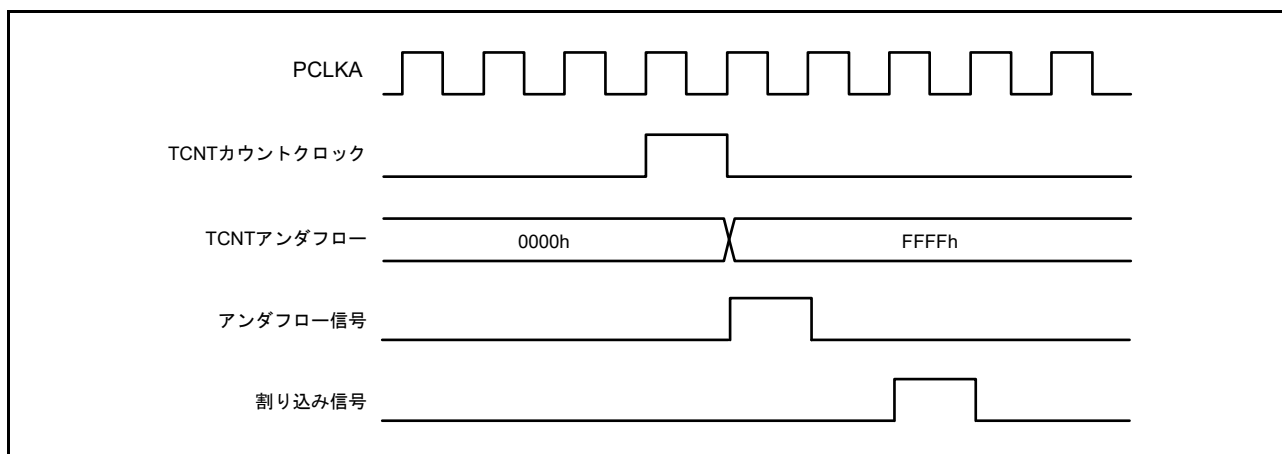


図 24.132 TCIU 割り込みタイミング

24.6 使用上の注意事項

24.6.1 モジュールストップ機能の設定

MTUは、モジュールストップコントロールレジスタにより、MTUの動作禁止/許可を設定することが可能です。初期値では、MTUの動作は停止しています。モジュールクロックストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

24.6.2 カウントクロックの制限事項

カウントクロックソースのパルス幅は、単エッジの場合は1.5 PCLKA以上、両エッジの場合は2.5 PCLKA以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ1.5 PCLKA以上、パルス幅は2.5 PCLKA以上必要です。位相計数モードの入力クロックの条件を図24.133に示します。

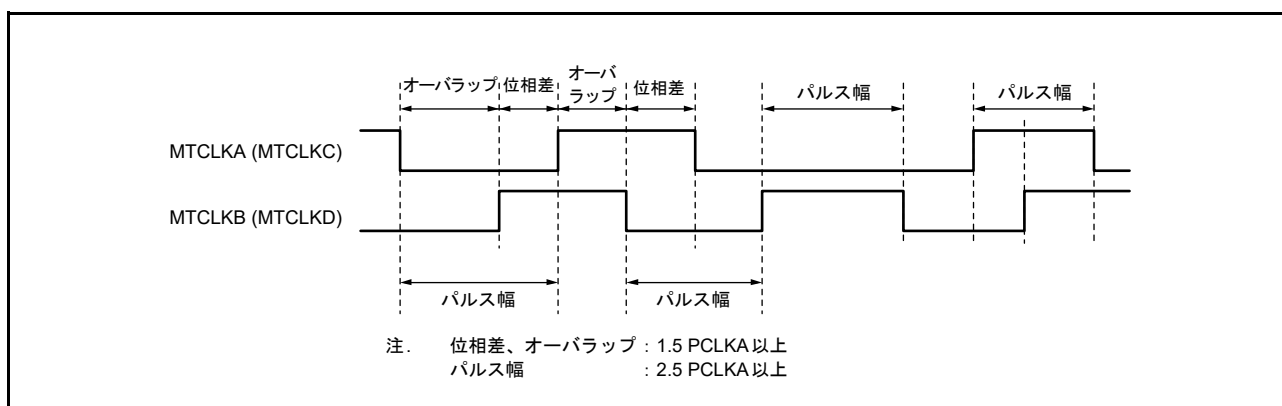


図 24.133 位相計数モード時の位相差、オーバーラップ、およびパルス幅

24.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRレジスタの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

- MTU0 ~ MTU4, MTU6 ~ MTU8 の場合

$$f = \frac{\text{CNTCLK}}{N + 1}$$

- MTU5 の場合

$$f = \frac{\text{CNTCLK}}{N}$$

f : カウンタ周波数

CNTCLK : TCR の TPSC[2:0]、TCR2 の TPSC2[2:0] で設定したカウントクロックの周波数

N : TGR の設定値

24.6.4 TCNT への書き込みとクリアの競合

TCNT の書き込みサイクル中にカウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 24.134 に示します。

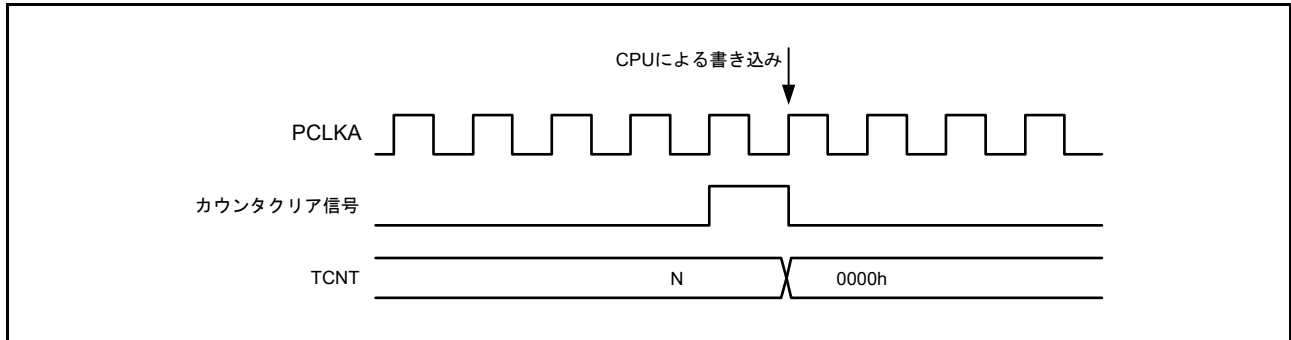


図 24.134 TCNT への書き込みとカウンタクリアの競合

24.6.5 TCNT への書き込みとカウントアップの競合

TCNT の書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 24.135 に示します。

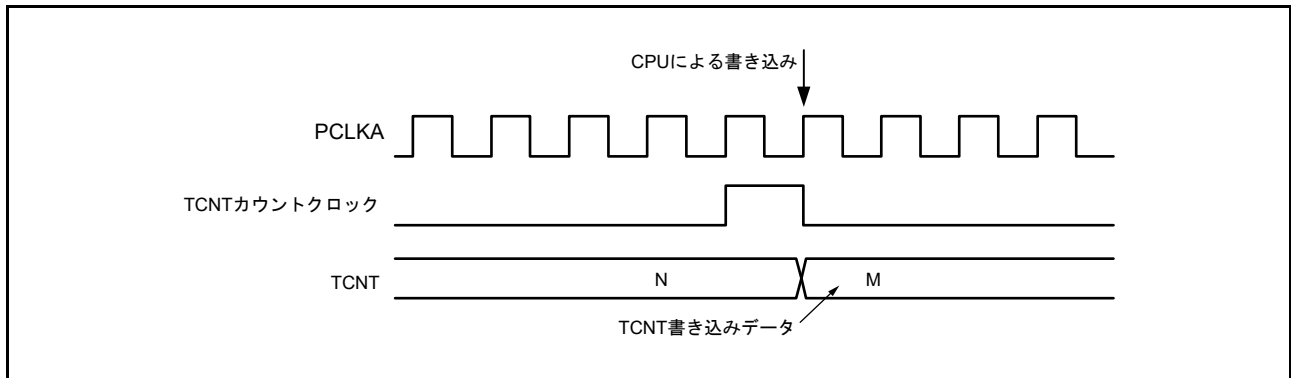


図 24.135 TCNT への書き込みとカウントアップの競合

24.6.6 TGR レジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 24.136 に示します。

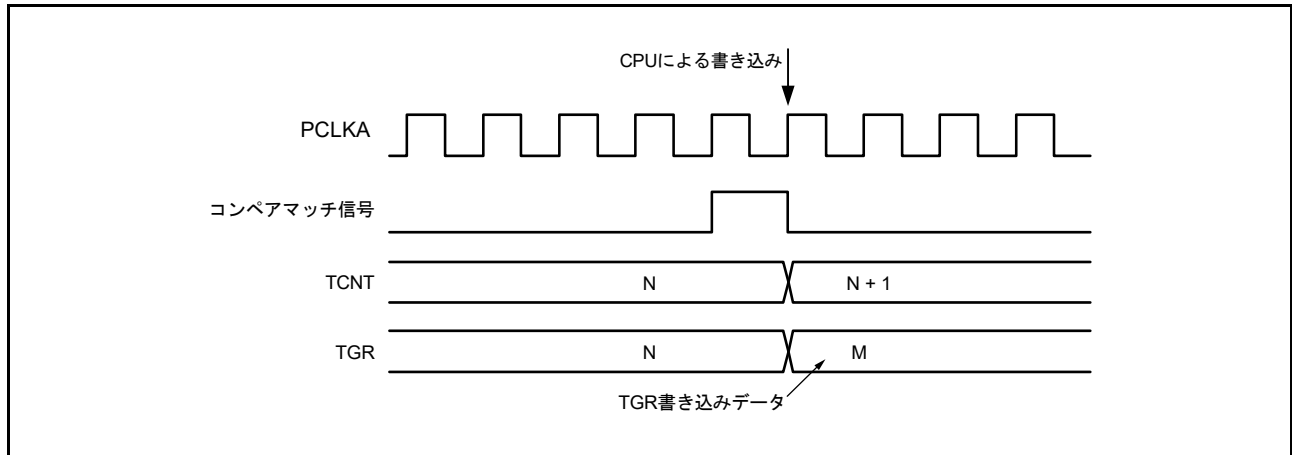


図 24.136 TGR レジスタのライトとコンペアマッチの競合

24.6.7 バッファレジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 24.137 に示します。

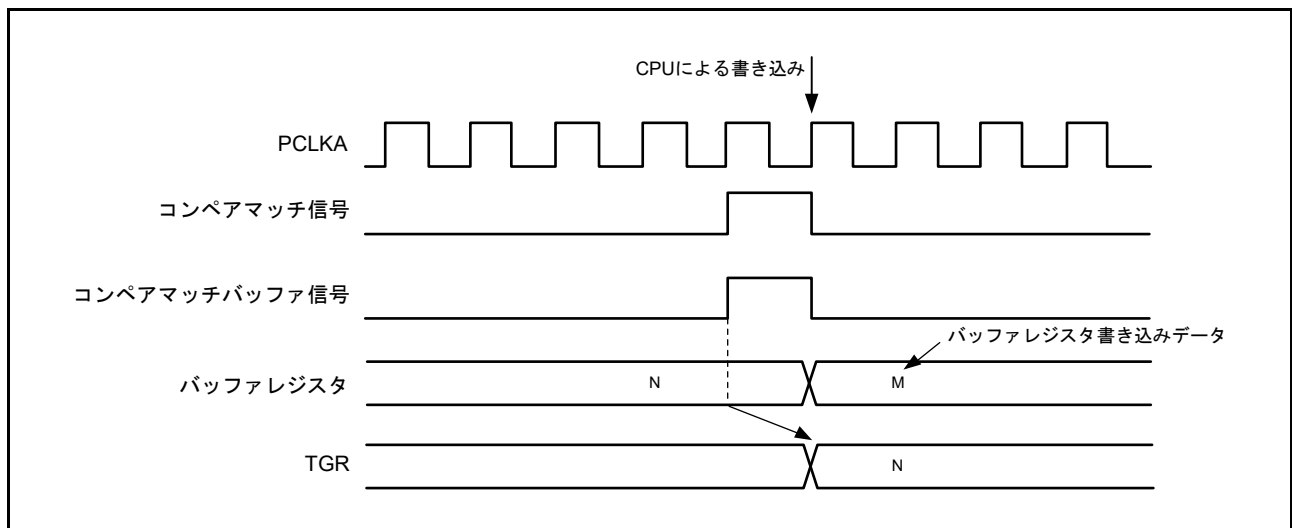


図 24.137 バッファレジスタへの書き込みとコンペアマッチの競合

24.6.8 バッファレジスタへの書き込みと TCNT クリアの競合

タイマバッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR の書き込みサイクル中に TCNT クリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 24.138 に示します。

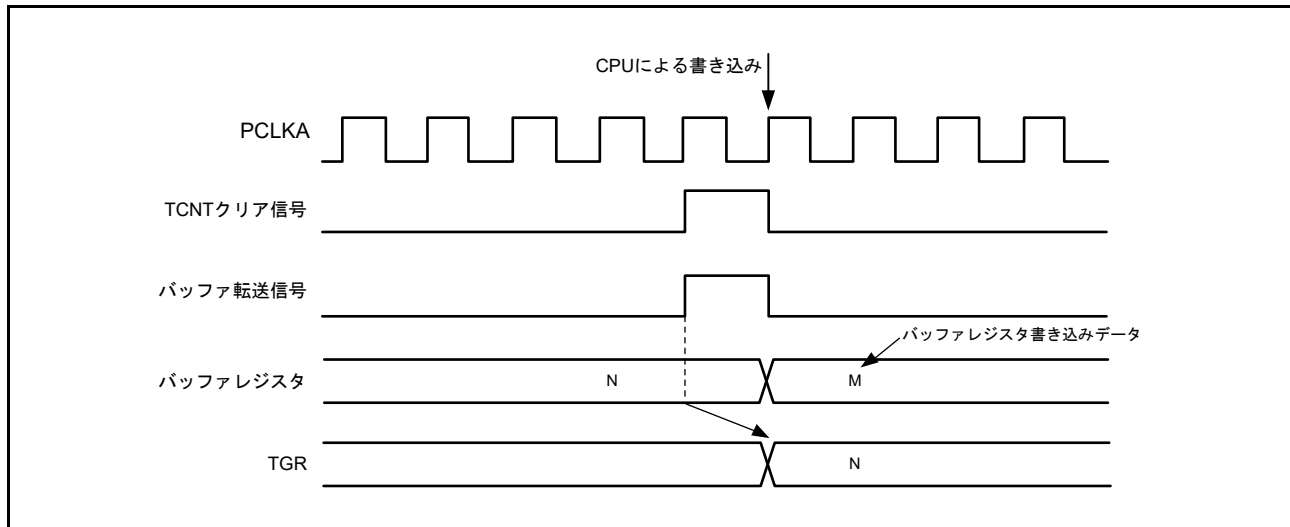


図 24.138 バッファレジスタへの書き込みと TCNT クリアの競合

24.6.9 TGR レジスタの読み出しとインプットキャプチャの競合

TGR レジスタの読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出されるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 24.139 に示します。

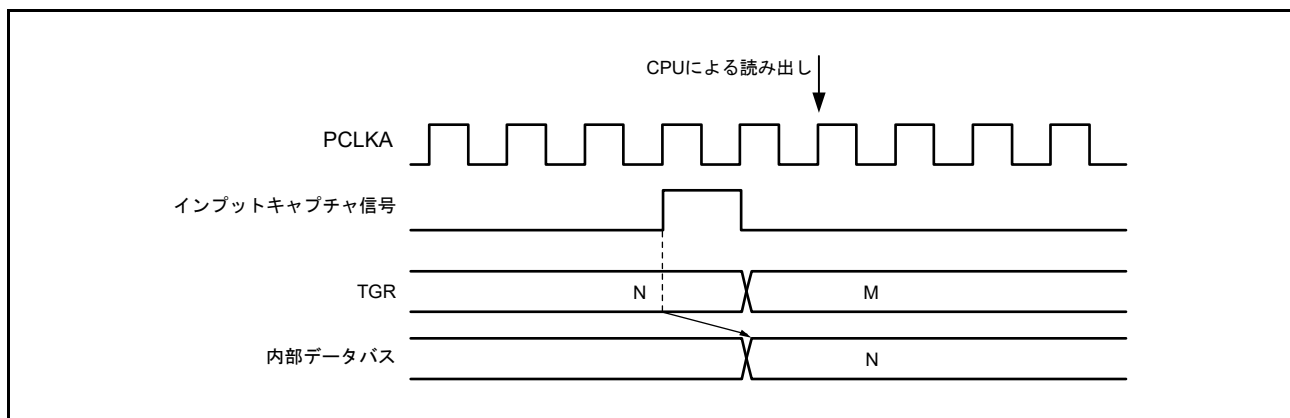


図 24.139 TGR レジスタの読み出しとインプットキャプチャの競合 (MTU0 ~ MTU8)

24.6.10 TGR レジスタへの書き込みと入力キャプチャの競合

TGR レジスタの書き込みサイクル中に入力キャプチャ信号が発生すると、MTU0 ~ MTU4、MTU6 ~ MTU8 では TGR レジスタへの書き込みは行われず、入力キャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、入力キャプチャ信号も発生します。

このタイミングを図 24.140、図 24.141 に示します。

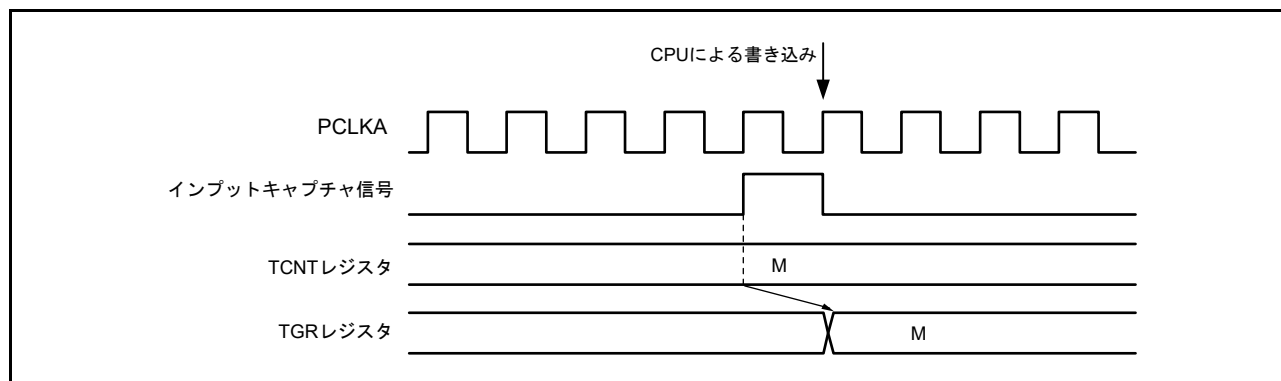


図 24.140 TGR レジスタへの書き込みと入力キャプチャの競合 (MTU0 ~ MTU4, MTU6 ~ MTU8)

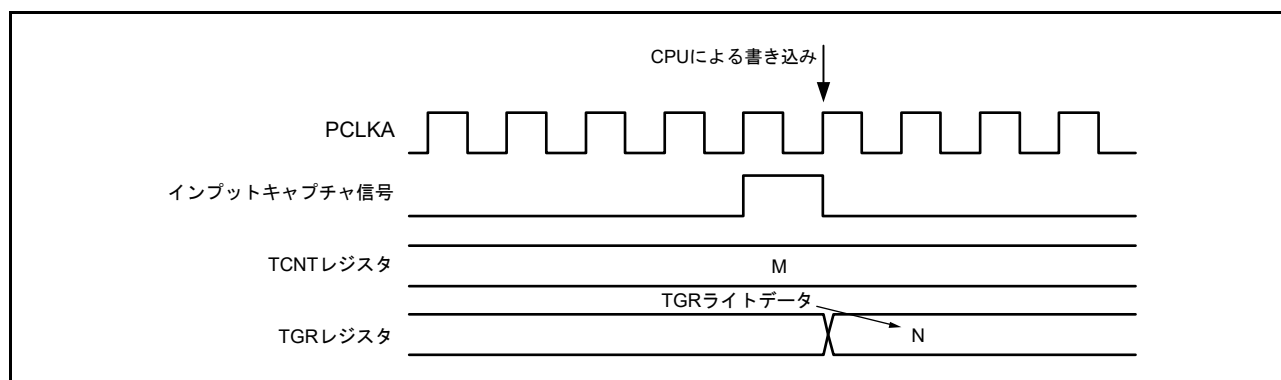


図 24.141 TGR レジスタへの書き込みと入力キャプチャの競合 (MTU5)

24.6.11 バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 24.142 に示します。

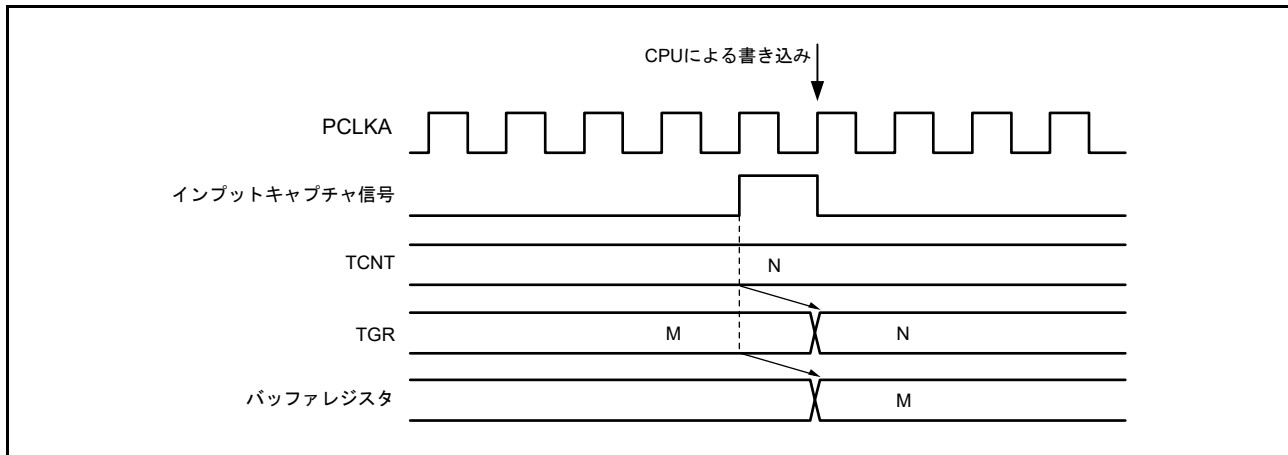


図 24.142 バッファレジスタへの書き込みとインプットキャプチャ競合

24.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバフロー/アンダフローの競合

タイマカウンタ (MTU1.TCNT と MTU2.TCNT) をカスケード接続し、MTU1.TCNT がカウントする瞬間 (MTU2.TCNT がオーバフロー/アンダフローする瞬間) と MTU2.TCNT の書き込みが競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 のインプットキャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD はインプットキャプチャ動作します。さらに MTU1.TGRB のインプットキャプチャ要因に MTU0.TGRC のコンペアマッチ/インプットキャプチャを選択した場合には、MTU1.TGRB はインプットキャプチャ動作します。

このタイミングを図 24.143 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

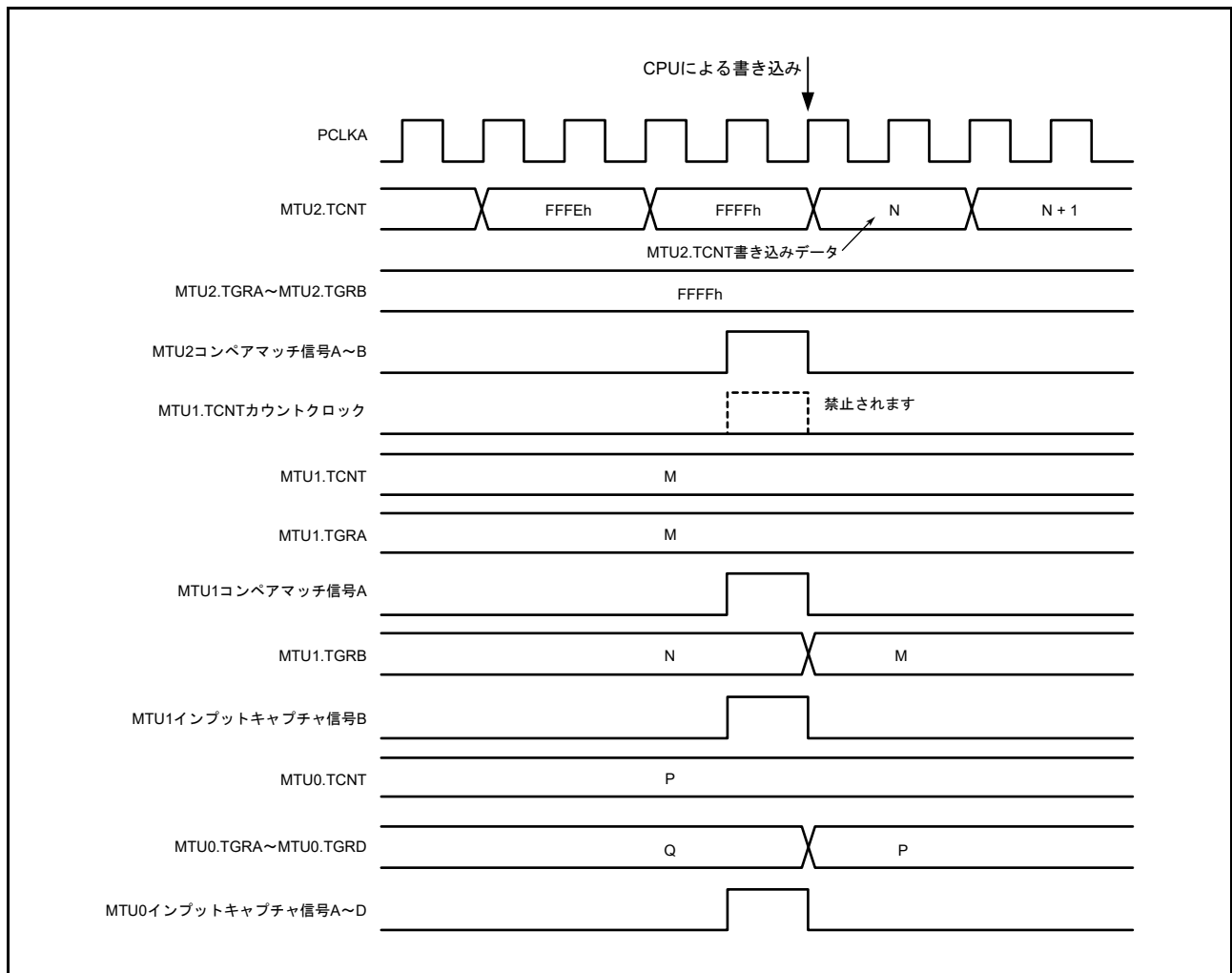


図 24.143 カスケード接続における MTU2.TCNT の書き込みとオーバフロー/アンダフローの競合

24.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) が相補 PWM モードで動作しているときにカウント動作を停止すると、MTU3.TCNT (MTU6.TCNT) はタイマデッドタイムレジスタ (TDDRA (TDDRB)) の値、MTU4.TCNT (MTU7.TCNT) は“0000h”になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 24.144 に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) にカウント初期値の設定を行ってください。

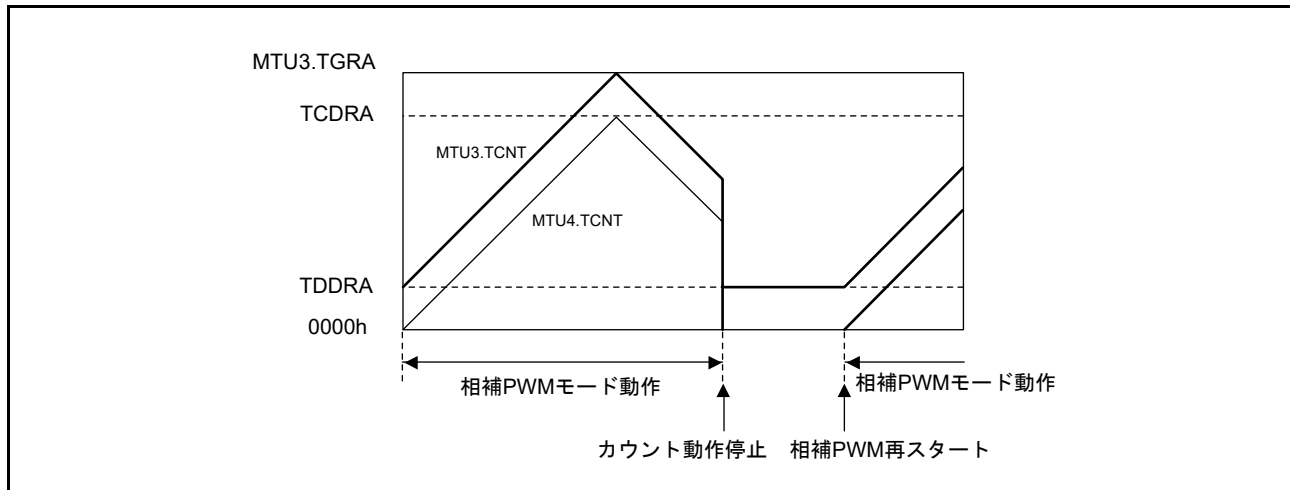


図 24.144 相補 PWM モード停止時のカウンタ値

24.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MTU3.TGRA, MTU6.TGRA)、タイマ周期データレジスタ (TCDRA, TCDRB)、デューティ設定レジスタ (MTU3.TGRB, MTU3.TGRA, MTU4.TGRB, MTU6.TGRB, MTU7.TGRA, MTU7.TGRB) の書き換えは、バッファ動作で行ってください。

また、MTU4.TMDR1.BFA (MTU7.TMDR1.BFA) ビット、MTU4.TMDR1.BFB (MTU7.TMDR1.BFB) ビットを“0”にしてください。MTU4.TMDR1.BFA (MTU7.TMDR1.BFA) ビットを“1”にすると、MTIOC4C (MTIOC7C) 端子の波形出力ができなくなります。同様に、MTU4.TMDR1.BFB (MTU7.TMDR1.BFB) ビットを“1”にすると、MTIOC4D (MTIOC7D) 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は、MTU3.TMDR1.BFA (MTU6.TMDR1.BFA) ビット、MTU3.TMDR1.BFB (MTU6.TMDR1.BFB) ビットの設定に従い動作します。MTU3.TMDR1.BFA (MTU6.TMDR1.BFA) ビットを“1”にした場合、MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして機能します。同時に MTU4.TGRC (MTU7.TGRC) は MTU4.TGRA (MTU7.TGRA) のバッファレジスタとして機能し、さらに TCBRA (TCBRB) は TCDRA (TCDRB) のバッファレジスタとして機能します。

24.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR1.BFA ビット (MTU7.TMDR1.BFA ビット)、MTU4.TMDR1.BFB ビット (MTU7.TMDR1.BFB ビット) を“0”にしてください。MTU4.TMDR1.BFA ビット (MTU7.TMDR1.BFA ビット) を“1”にすると、MTIOC4C (MTIOC7C) 端子の波形出力ができなくなります。

同様に、MTU4.TMDR1.BFB ビット (MTU7.TMDR1.BFB ビット) を“1”にすると、MTIOC4D (MTIOC7D) 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は MTU3.TMDR1.BFA ビット (MTU6.TMDR1.BFA ビット)、MTU3.TMDR1.BFB ビット (MTU6.TMDR1.BFB ビット) の設定に従い動作します。たとえば、MTU3.TMDR1.BFA ビット (MTU6.TMDR1.BFA ビット) を“1”にした場合、MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして機能します。同時に MTU4.TGRC (MTU7.TGRC) は MTU4.TGRA (MTU7.TGRA) のバッファレジスタとして機能します。

MTU3.TGRC (MTU6.TGRC)、MTU3.TGRD (MTU6.TGRD) がバッファレジスタとして動作している場合、TGImn 割り込み (m = C, D, n = 3, 4, 6, 7) は発生しません。

MTU3.TMDR1.BFA ビット (MTU6.TMDR1.BFA ビット)、MTU3.TMDR1.BFB ビット (MTU6.TMDR1.BFB ビット) を“1”にし、MTU4.TMDR1.BFA ビット (MTU7.TMDR1.BFA ビット)、MTU4.TMDR1.BFB ビット (MTU7.TMDR1.BFB ビット) を“0”にした場合の MTU3.TGR (MTU6.TGR)、MTU4.TGR (MTU7.TGR)、MTIOC3 (MTIOC6)、MTIOC4 (MTIOC7) の動作例を図 24.145 に示します。

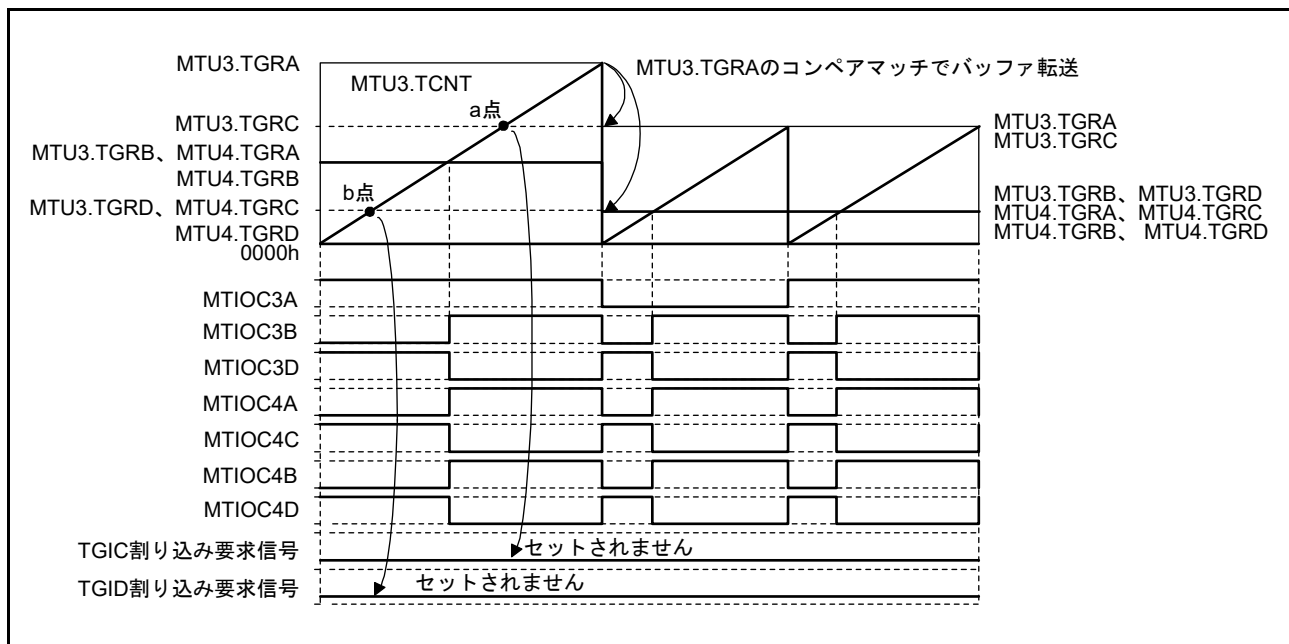


図 24.145 リセット同期 PWM モードのバッファ動作とコンペアマッチ

24.6.16 リセット同期 PWM モードのオーバーフロー

リセット同期 PWM モードを設定し、TSTRA (TSTRB) の CST3 (CST6) ビットを“1”にすると、MTU3.TCNT と MTU4.TCNT (MTU6.TCNT と MTU7.TCNT) のカウント動作が開始します。このとき、MTU4.TCNT (MTU7.TCNT) のカウントクロックソースとカウントエッジは MTU3.TCR (MTU6.TCR) の設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA (MTU6.TGRA) の設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA (MTU6.TGRA) のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) がアップカウントし“FFFFh”になると、MTU3.TGRA (MTU6.TGRA) とのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) ともにクリアされます。このとき、TCIV_n 割り込み (n=3, 4, 6, 7) は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA (MTU6.TGRA) の設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA (MTU6.TGRA) のコンペアマッチを指定した場合の動作例を図 24.146 に示します。

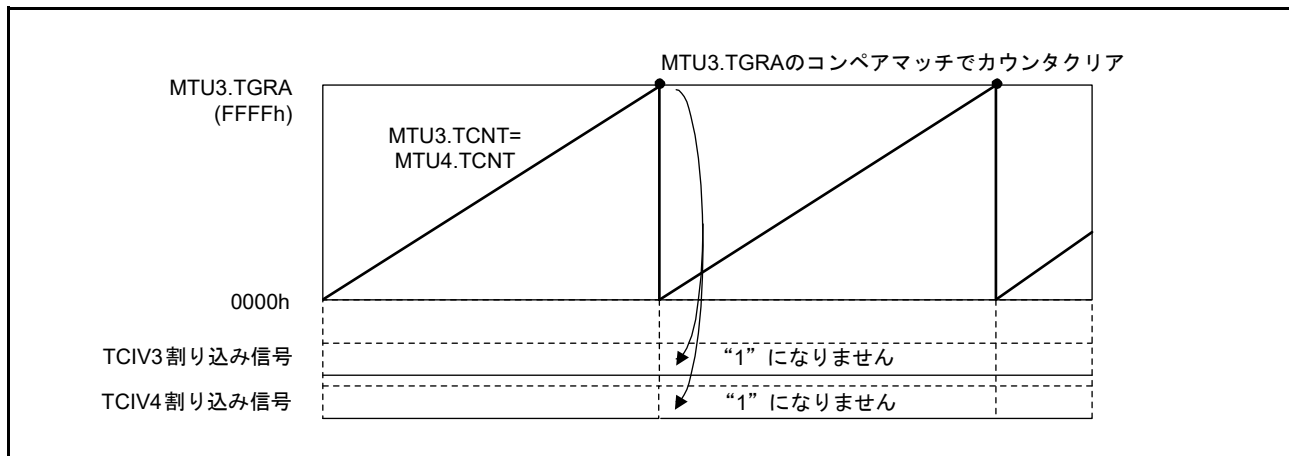


図 24.146 リセット同期 PWM モードのオーバーフロー

24.6.17 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TCIV_n 割り込み ($n=0\sim 4, 6\sim 8$)、TCIU_n 割り込み ($n=1, 2$) は発生せず、TCNT のクリアが優先されます。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタを“FFFFh”にした場合の動作タイミングを図 24.147 に示します。

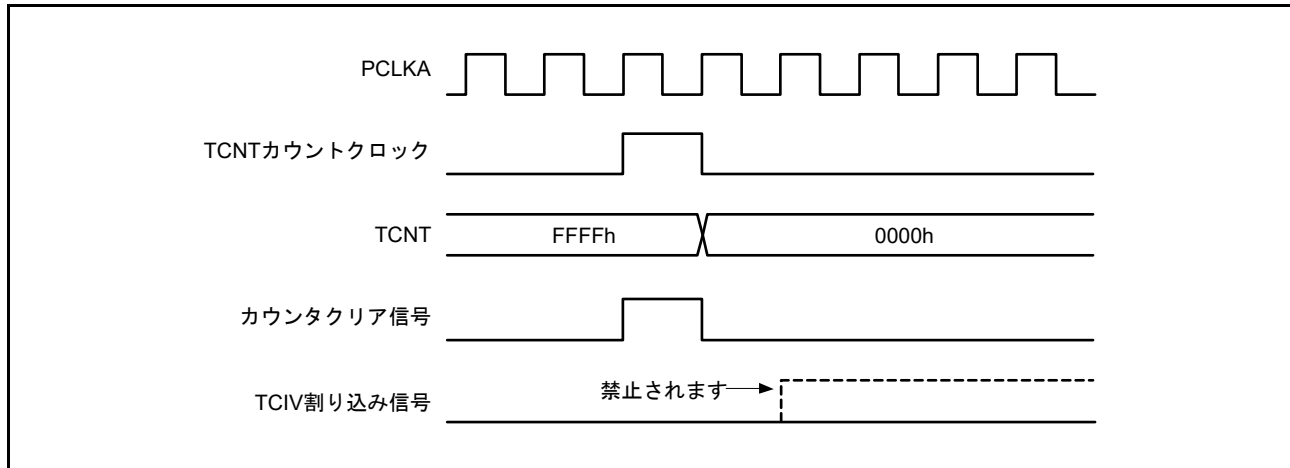


図 24.147 オーバフローとカウンタクリアの競合

24.6.18 TCNT への書き込みとオーバフロー/アンダフローの競合

TCNT の書き込みサイクルで、アップカウント/ダウンカウントが発生し、オーバフロー/アンダフローが発生しても、TCNT への書き込みが優先されます。TCIV_n 割り込み ($n=0\sim 4, 6\sim 8$)、TCIU_n 割り込み ($n=1, 2$) は発生しません。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 24.148 に示します。

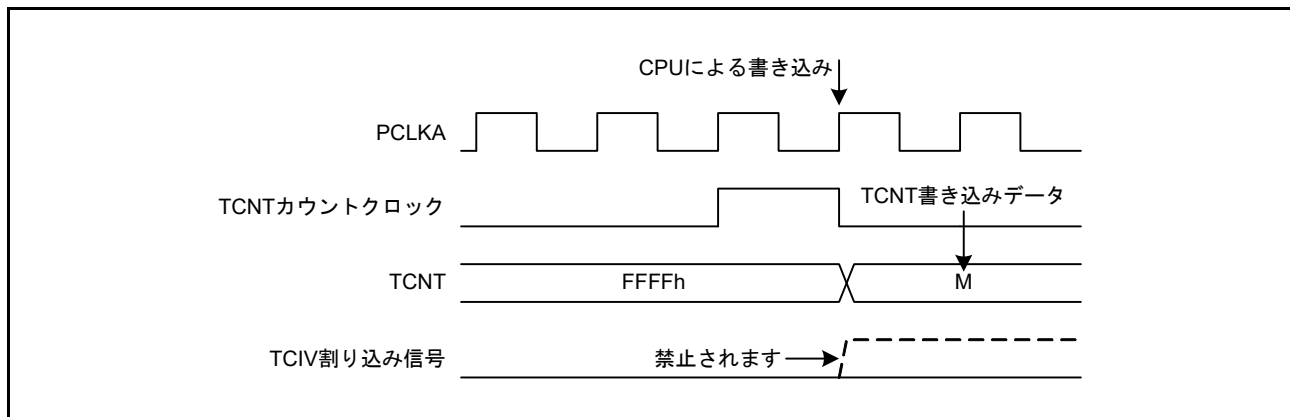


図 24.148 TCNT への書き込みとオーバフローの競合

24.6.19 ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ 遷移する場合の注意事項

MTU3、MTU4 (MTU6, MTU7) のノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移させる場合、出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D, MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) を High の状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんので注意してください。

ノーマルモードからリセット同期 PWM モードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL (MTU6.TIORH, MTU6.TIORL, MTU7.TIORH, MTU7.TIORL) レジスタに “11h” を書いて出力端子を Low に初期化した後、レジスタの初期値 “00h” を書いてからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値 “00h” を書いてからリセット同期 PWM モードに遷移してください。

24.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

MTU3、MTU4 (MTU6, MTU7) が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルは TOCR1A.OLSP ビット、TOCR1A.OLSN ビット、TOCR1B.OLSP ビット、TOCR1B.OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIO レジスタは “00h” にしてください。

相補 PWM モードで TDERA.TDER (TDERB.TDER) ビットを “0” (デッドタイムを生成しない) に設定した場合の逆相の出力レベルは、TOCR1A.OLSN (TOCR1B.OLSN) ビットの設定によらず、TOCR1A.OLSP (TOCR1B.OLSP) ビットの設定による正相出力の反転レベルとなります。

24.6.21 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプット キャプチャ

タイマカウンタ 1、2 (MTU1.TCNT と MTU2.TCNT) をカスケード接続して、32 ビットカウンタとして動作させている場合、MTIOC1A と MTIOC2A、または MTIOC1B と MTIOC2B に同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNT に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、または MTIOC1B と MTIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT (上位 16 ビットのカウンタ) が MTU2.TCNT (下位 16 ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは MTU1.TCNT = FFF1h、MTU2.TCNT = 0000h の値を MTU1.TGRA と MTU2.TGRA、もしくは MTU1.TGRB と MTU2.TGRB に転送すべきところを誤って MTU1.TCNT = FFF0h、MTU2.TCNT = 0000h の値を転送します。

1 本のインプットキャプチャ入力で MTU1.TCNT と MTU2.TCNT を同時にキャプチャできる機能を使用すれば、MTU1.TCNT と MTU2.TCNT のキャプチャタイミングのずれなく、32 ビットカウンタの取り込みを行うことができます。詳細は「24.2.11 タイムインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

24.6.22 割り込み間引き機能 2

割り込み間引き機能 2 を使用し、かつ MTU4.TADCORA 値と MTU4.TADCORB 値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。以下の設定条件で使用してください。

MTU6、MTU7 の場合は、MTU7.TADCORA、MTU7.TADCORB も同様の設定が必要となります。

(1) 間引き機能 2、間引き回数が“0”の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「4」以上
- MTU4.TADCORA のコンペア間隔が 4 PCLKA 以上 (MTU4.TADCORA レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)
- MTU4.TADCORB のコンペア間隔が 4 PCLKA 以上 (MTU4.TADCORB レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)

(2) 間引き機能 2、間引き回数が“1”以上の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「2」以上
- MTU4.TADCORB のコンペア間隔が 2 PCLKA 以上 (MTU4.TADCORB レジスタの更新値を「前値+2 以上」、「前値-2 以下」に設定)

24.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態が有効となっております。詳細は、「25. ポートアウトプットイネーブル 3 (POE3a)」を参照ください。

24.6.24 タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の注意事項

MTU5.TCNT_m (m = U, V, W) のカウント動作を停止した状態で、MTU5.TGR_m に MTU5.TCNT_m 値 + 1 の値を設定しないでください。MTU5.TCNT_m のカウント動作を停止した状態で、MTU5.TGR_m に MTU5.TCNT_m 値 + 1 の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット (MTU5.TIER.TGIE5_m ビット) が“1” (許可) になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが“1” (許可) になっていると、MTU5.TCNT_m カウンタは、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると“0000h”に自動クリアされます。

24.6.25 相補 PWM モード同期クリアするときの異常動作防止の注意事項

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効 (TWCRA.WRE ビット=1、または TWCRB.WRE ビット=1) である状態で、条件 1、条件 2 のいずれかを満たすと、下記の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる (もしくは消失する)
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に、同期クリアした場合 (図 24.149 参照)

条件 2 初期出力の抑止期間⑩、⑪にて、 $MTU3.TGRB (MTU6.TGRB) \leq TDDRA (TDDRB)$ 、 $MTU4.TGRA (MTU7.TGRA) \leq TDDRA (TDDRB)$ 、 $MTU4.TGRB (MTU7.TGRB) \leq TDDRA (TDDRB)$ のいずれかが成立する状態で、同期クリアする (図 24.150 参照)

本現象は下記の方法により、回避することができます。

コンペアレジスタ MTU3.TGRB (MTU6.TGRB)、MTU4.TGRA (MTU7.TGRA)、MTU4.TGRB (MTU7.TGRB) のすべてが、TDDRA レジスタ (TDDRB レジスタ) の 2 倍以上になるように設定した状態で、同期クリアする

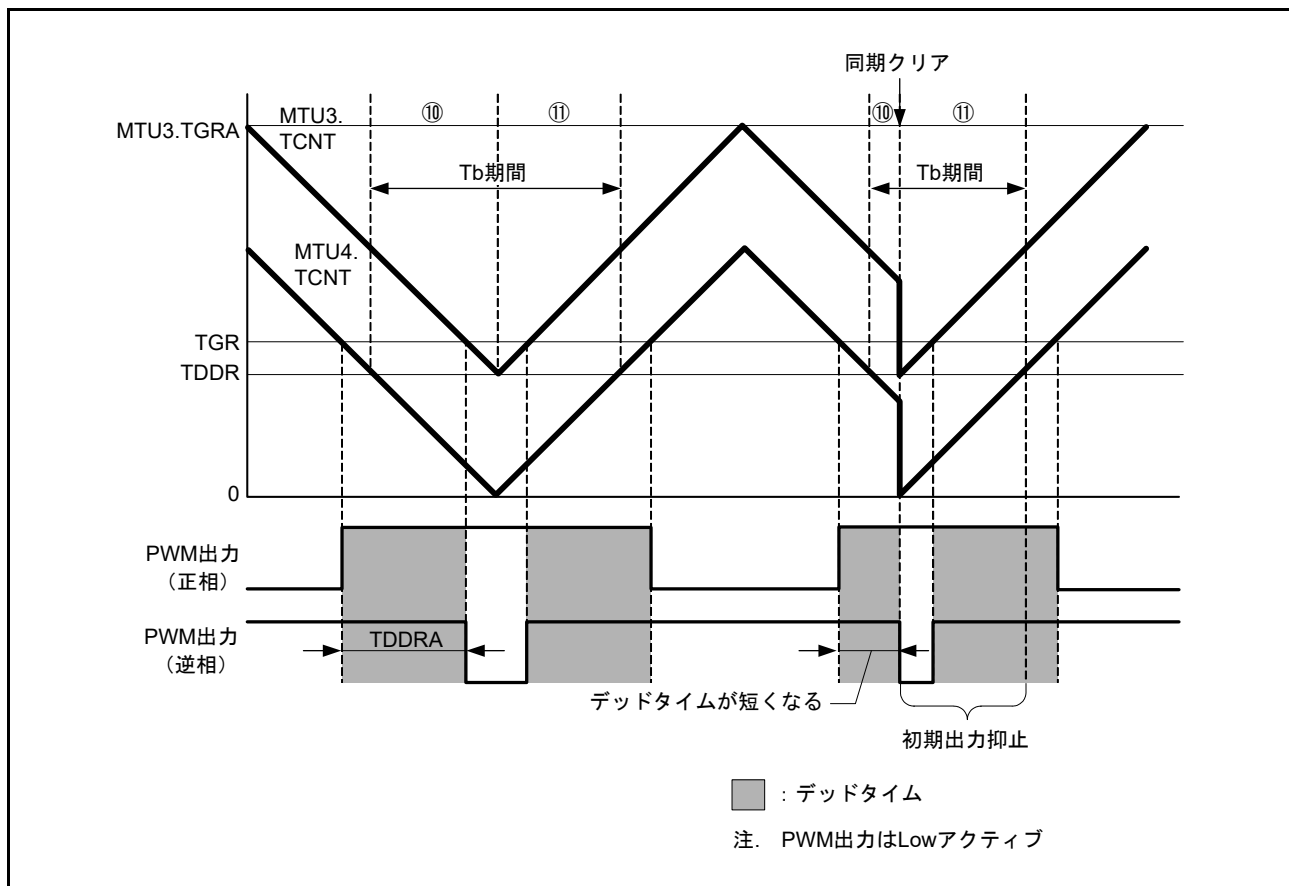


図 24.149 同期クリア例 (条件 1 の場合)

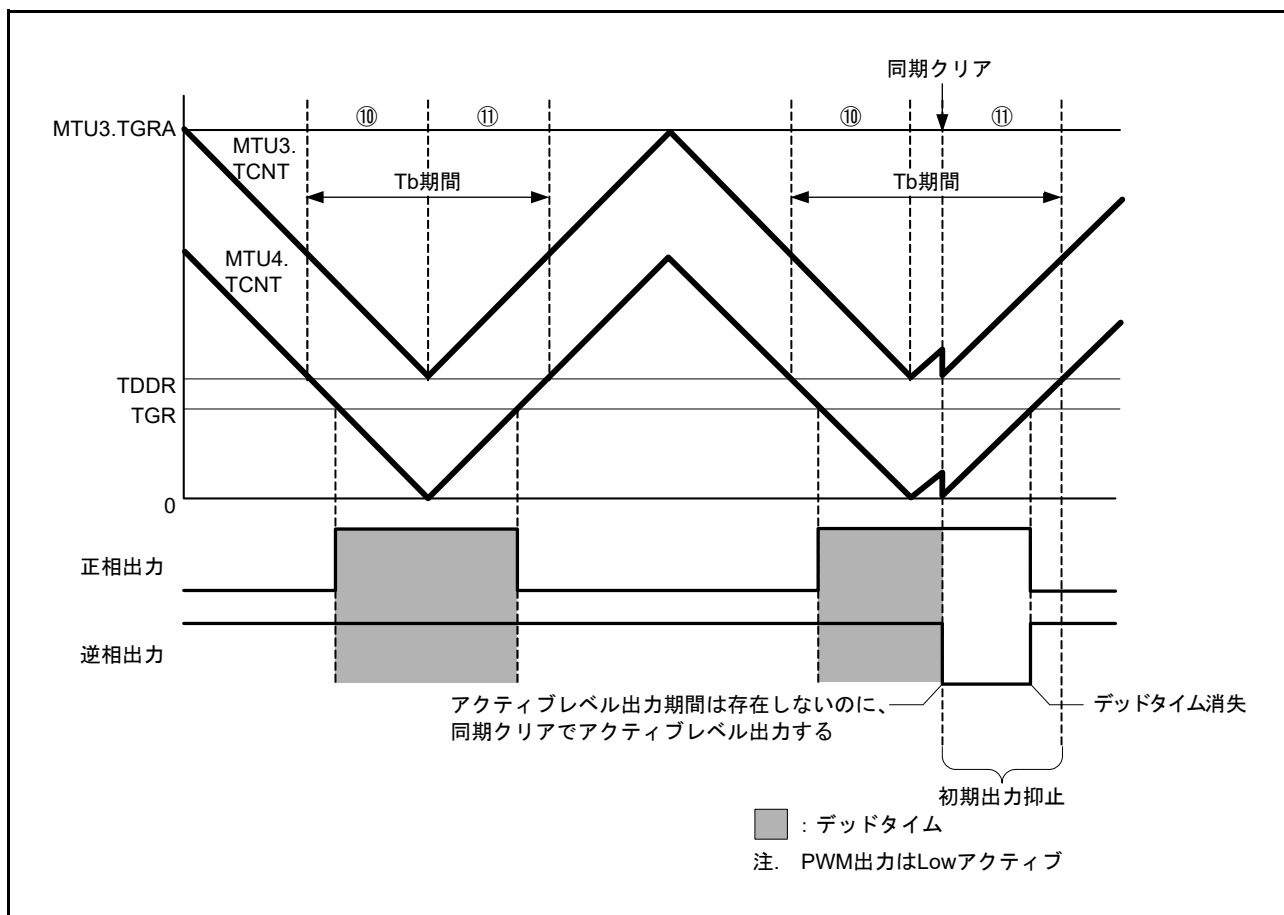


図 24.150 同期クリア例 (条件2の場合)

24.6.26 ELC イベント入力の時タイマモードレジスタ設定の注意事項

MTU を ELC のアクション動作に設定する場合は、該当チャンネルのタイマモードレジスタ (TMDR) は初期値 (00h) に設定してください。

24.6.27 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウントクロックを PCLKA/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

コンペアマッチによる割り込み信号の連続出力タイミングを図 24.151 に示します。

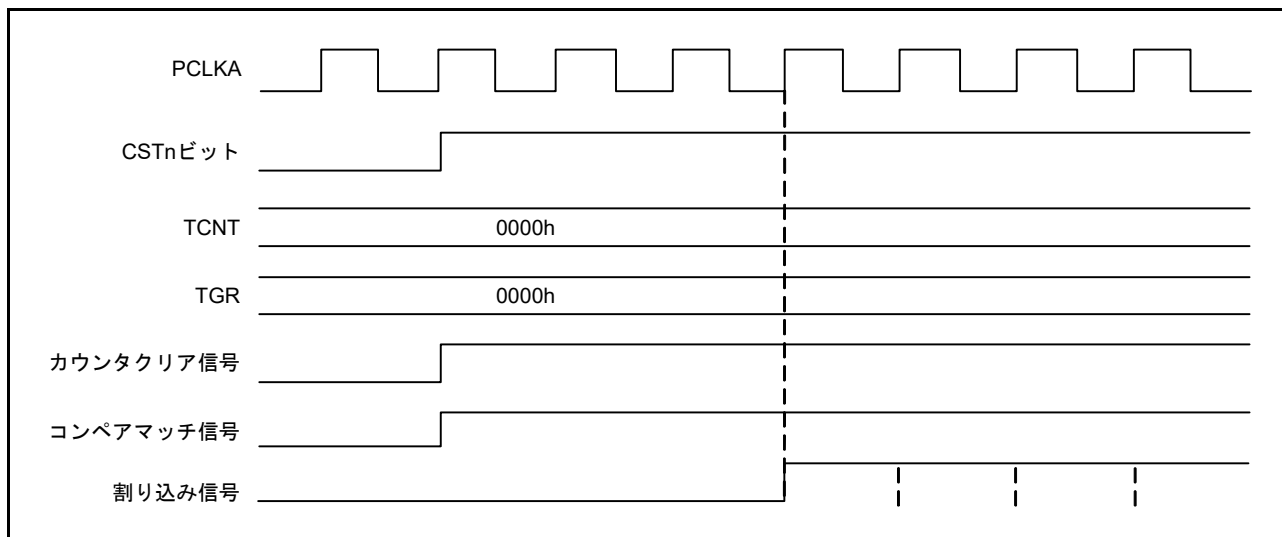


図 24.151 コンペアマッチによる割り込み信号の連続出力

24.6.28 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- MTU4.TADCOBRA、MTU4.TADCOBRB (MTU7.TADCOBRA, MTU7.TADCOBRB) レジスタに“0”、かつ、MTU4.TADCR (MTU7.TADCR) レジスタの UT4AE、UT4BE (UT7AE, UT7BE) ビットに“1”を設定して、MTU4.TCNT (MTU7.TCNT) カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません (図 24.152)。
- MTU4.TADCOBRA、MTU4.TADCOBRB (MTU7.TADCOBRA, MTU7.TADCOBRB) レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR (MTU7.TADCR) レジスタの DT4AE、DT4BE (DT7AE, DT7BE) ビットに“1”を設定して、MTU4.TCNT (MTU7.TCNT) カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません (図 24.153)。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \leq \text{MTUn.TADCORA/TADCORB} \leq \text{TCDR} - 2$ を満たすように MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA, MTU7.TADCORB) レジスタを設定してください (n = 4, 7)。

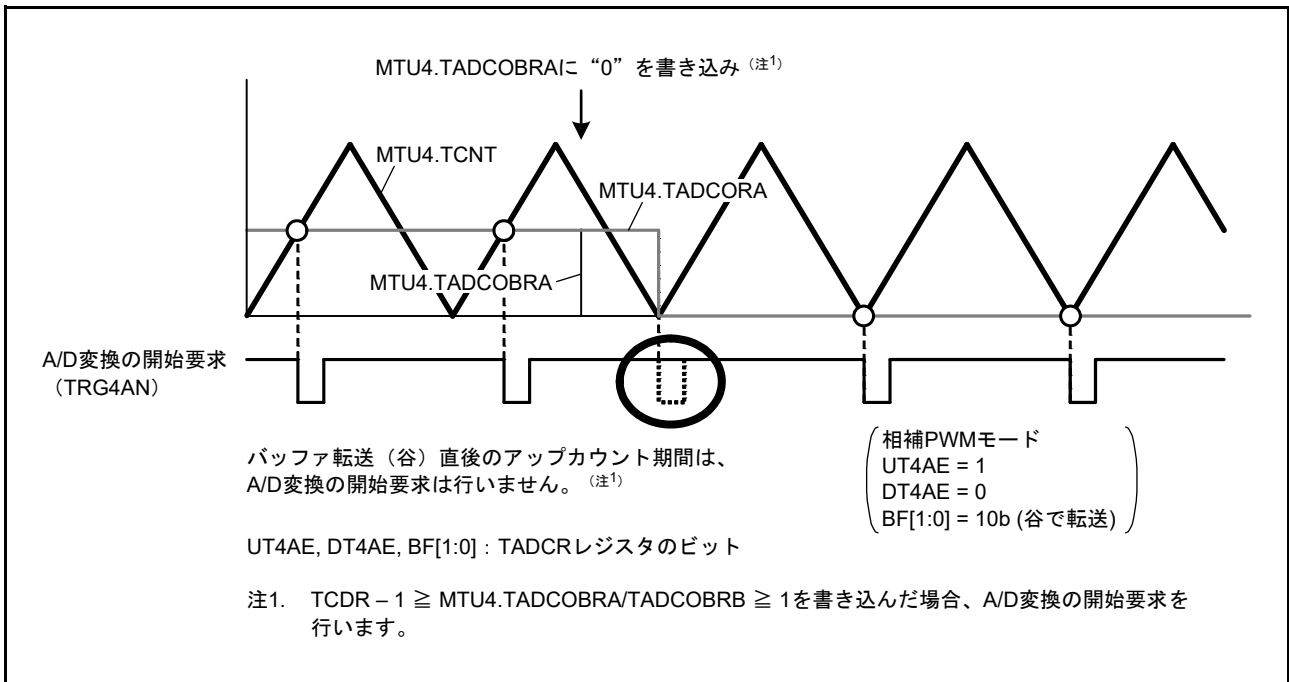


図 24.152 MTU4.TADCOBRA に“0”を書き込んだときの A/D 変換の開始要求 (MTU4)

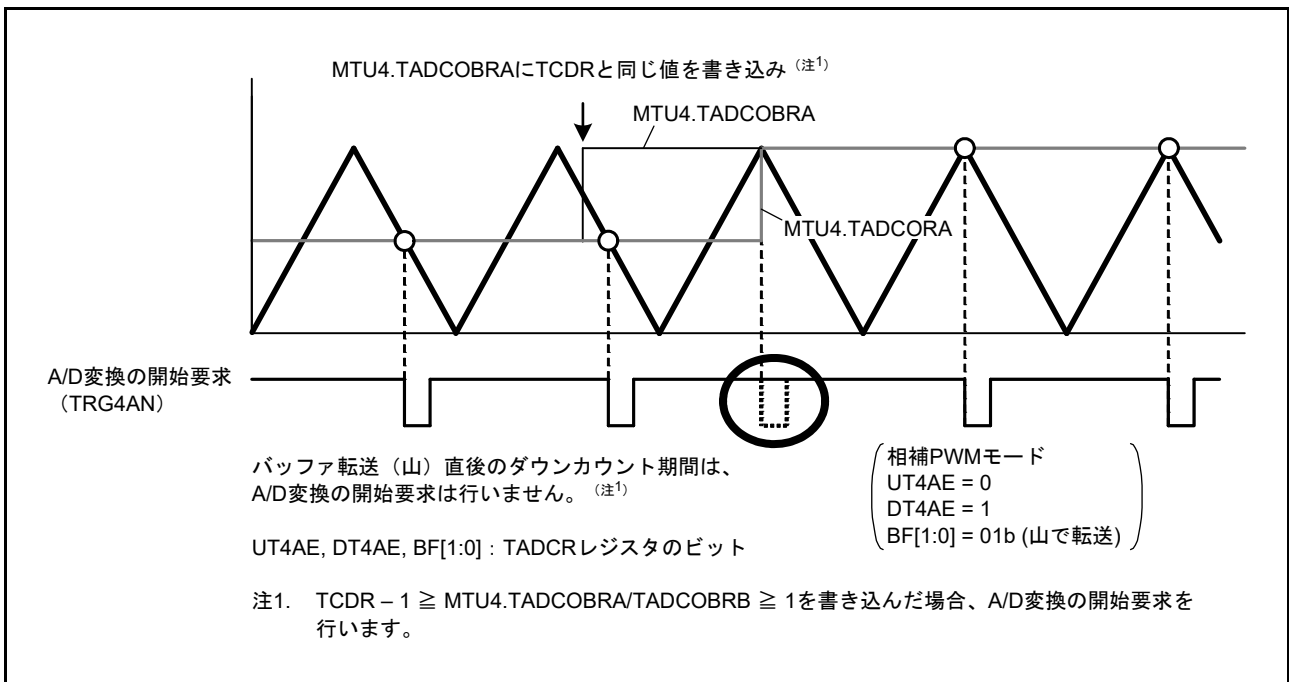


図 24.153 MTU4.TADCOBRA に TCDR と同じ値を書き込んだときの A/D 変換の開始要求 (MTU4)

24.7 MTU 出力端子の初期化方法

24.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ~ MTU4, MTU6 ~ MTU8)
- PWM モード 1 (MTU0 ~ MTU4, MTU6, MTU7)
- PWM モード 2 (MTU0 ~ MTU2)
- 位相計数モード 1 ~ 5 (MTU1, MTU2)
- 相補 PWM モード (MTU3, MTU4, MTU6, MTU7)
- リセット同期 PWM モード (MTU3, MTU4, MTU6, MTU7)

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

24.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D, MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) は、TOERA、TOERB レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットインネーブル 3 (POE3) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード移行の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない移行が存在します。この一覧表を表 24.79 に示します。

表 24.79 モード移行の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

Normal : ノーマルモード

PWM1 : PWM モード 1

PWM2 : PWM モード 2

PCM : 位相計数モード 1 ~ 5

CPWM : 相補 PWM モード

RPWM : リセット同期 PWM モード

24.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要

- タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal, PWM1, PWM2, PCM) に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOcnB/MTIOcnD 端子 (n = 3, 4, 6, 7) に波形が出力されません。端子の機能を MTIOcnB/MTIOcnD に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。端子の機能を MTIOcnm 端子 (n = 0 ~ 2, m = A ~ D) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、対応する MTIOcnC/MTIOcnD 端子 (n = 0, 3, 4, 6, 7) に波形が出力されません。端子の機能を MTIOcnC/MTIOcnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、対応する MTIOcnC/MTIOcnD 端子 (n = 0, 3, 4, 6, 7) に波形が出力されません。端子の機能を MTIOcnC/MTIOcnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- タイマアウトプットコントロールレジスタ (TOCR1A, TOCR2A, TOCR1B, TOCR2B) の設定で端子の出力レベルを選択するモード (CPWM, RPWM) に移行する場合は、タイマアウトプットマスタイネーブルレジスタ (TOERA, TOERB) で MTU3、MTU4 (MTU6, MTU7) を 1 度出力禁止にしてください。このとき、端子の機能を MTIOcnm 端子 (n = 3, 4, 6, 7, m = A ~ D) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順 (TOCR1A 設定、TOCR2A 設定、TMDR1 設定、TOERA 設定 (TOCR1B 設定、TOCR2B 設定、TMDR1 設定、TOERB 設定)) に従い動作させてください。

注. 特に断りがない場合、本項記述中の n にはチャンネル番号が入ります。

以下、表 24.79 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 24.154 に示します。

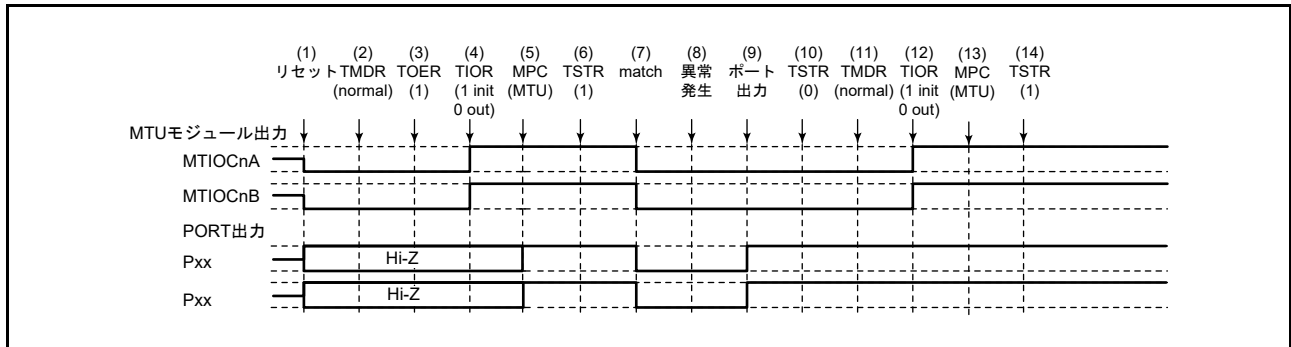


図 24.154 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR1 レジスタはノーマルモード設定になります。
- (3) MTU3、MTU4 (MTU6, MTU7) では TIOR レジスタで端子を初期化する前に TOERA (TOERB) レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です)。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA (TSTRB) レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA (TSTRB) レジスタでカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA (TSTRB) レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 24.155 に示します。

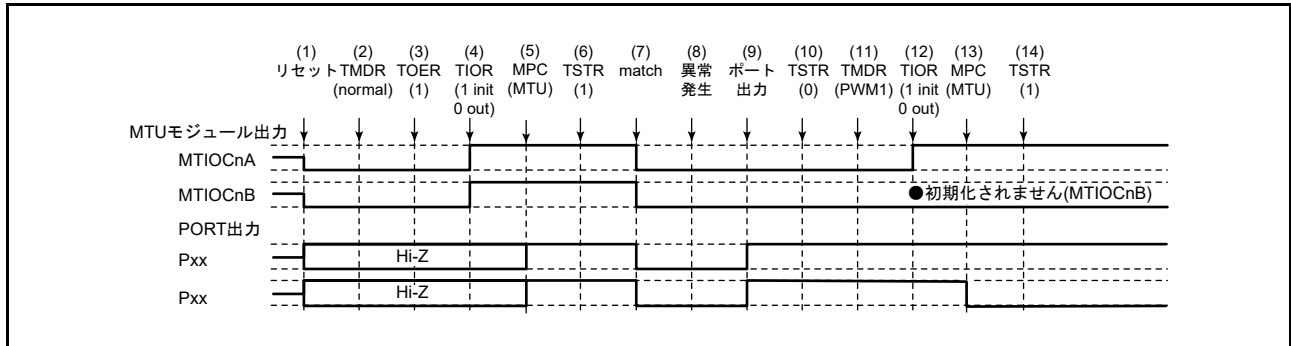


図 24.155 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 24.154 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA (TSTRB) レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード2で再スタートする場合の説明図を図 24.156 に示します。

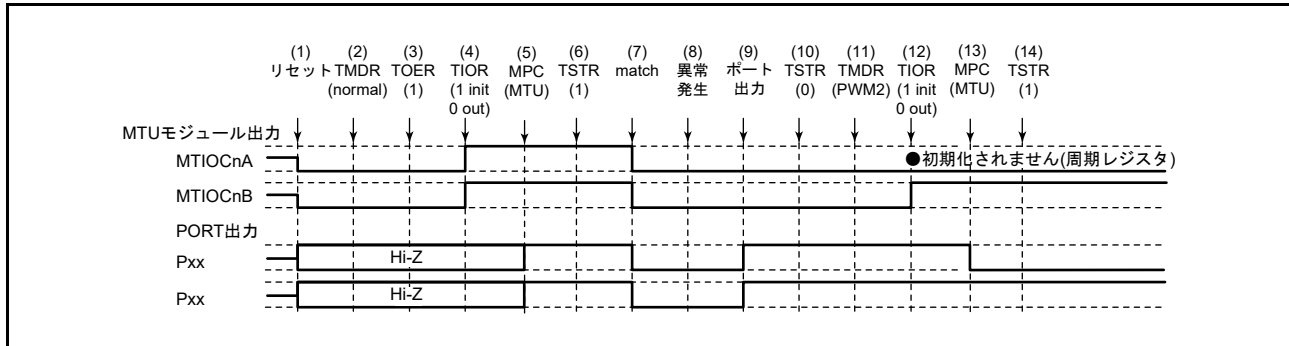


図 24.156 ノーマルモードで異常が発生し、PWM モード2で復帰する場合

(1) ~ (10) は図 24.154 と共通です。

(11) PWM モード2を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード2では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注. PWM モード2は MTU0 ~ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 24.157 に示します。

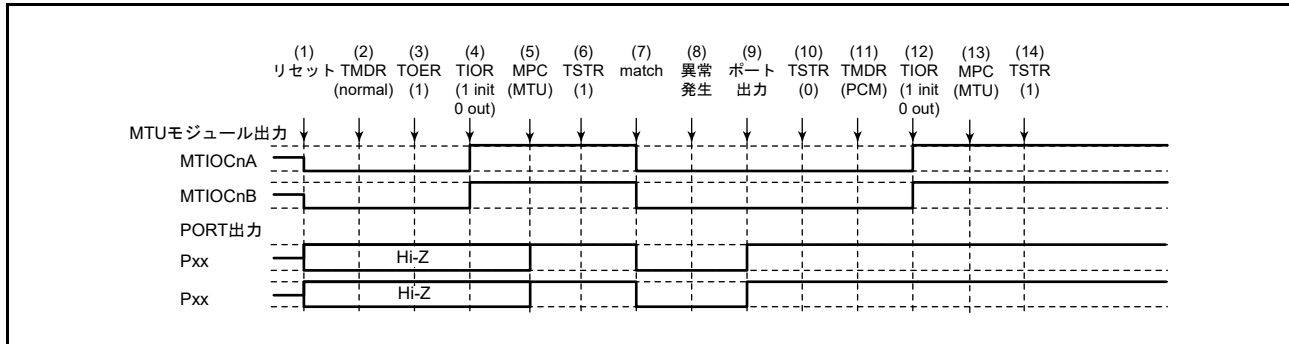


図 24.157 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 24.154 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注. 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 24.158 に示します。

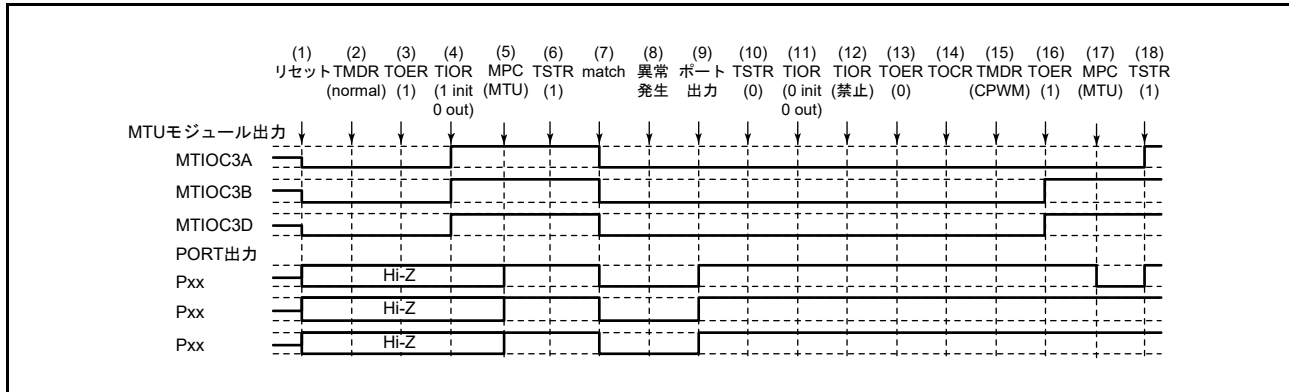


図 24.158 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 24.154 と共通です。

- (11) TIOR レジスタでノーマルモードの波形生成部を初期化してください。
- (12) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。
- (13) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。
- (14) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (15) 相補 PWM を設定します。
- (16) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。
- (17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (18) TSTRA (TSTRB) レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 24.159 に示します。

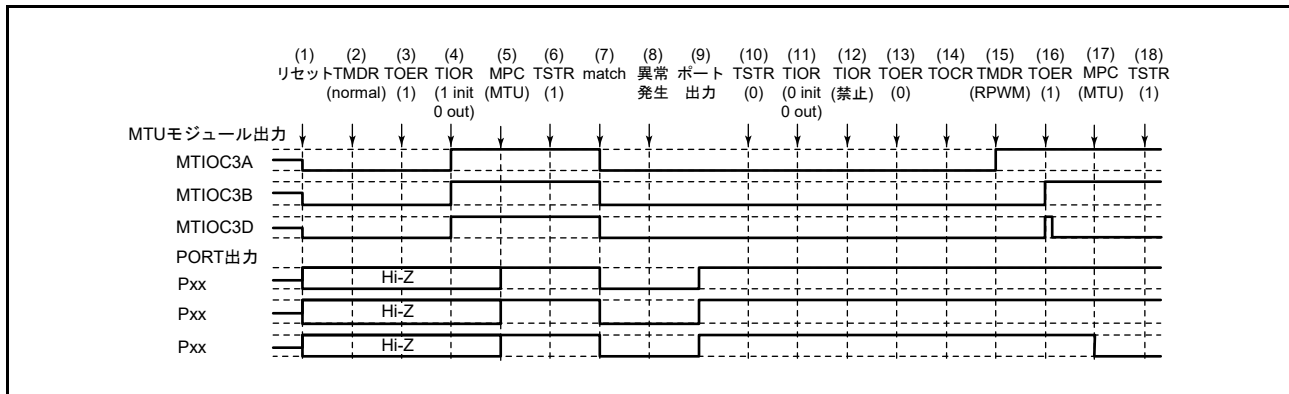


図 24.159 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (13) は図 24.158 と共通です。

(14) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(18) TSTRA (TSTRB) レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 24.160 に示します。

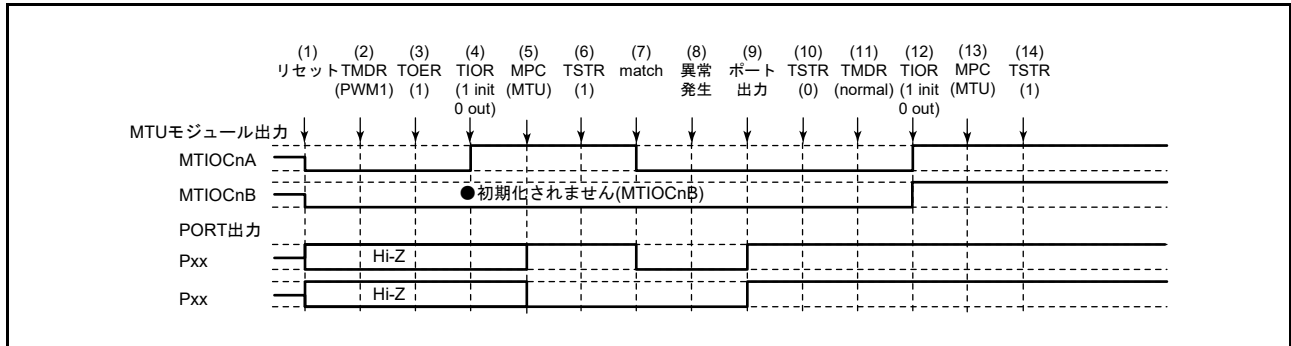


図 24.160 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) MTU3、MTU4 (MTU6、MTU7) では TIOR レジスタで端子を初期化する前に TOERA (TOERB) レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOCnB 側は初期化されません)。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA (TSTRB) レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA (TSTRB) レジスタでカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA (TSTRB) レジスタで再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 24.161 に示します。

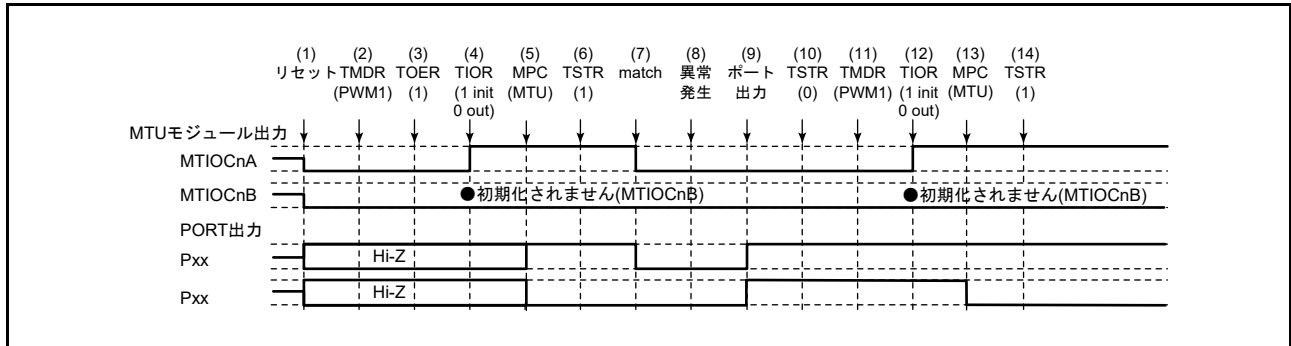


図 24.161 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 24.160 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA (TSTRB) レジスタで再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 24.162 に示します。

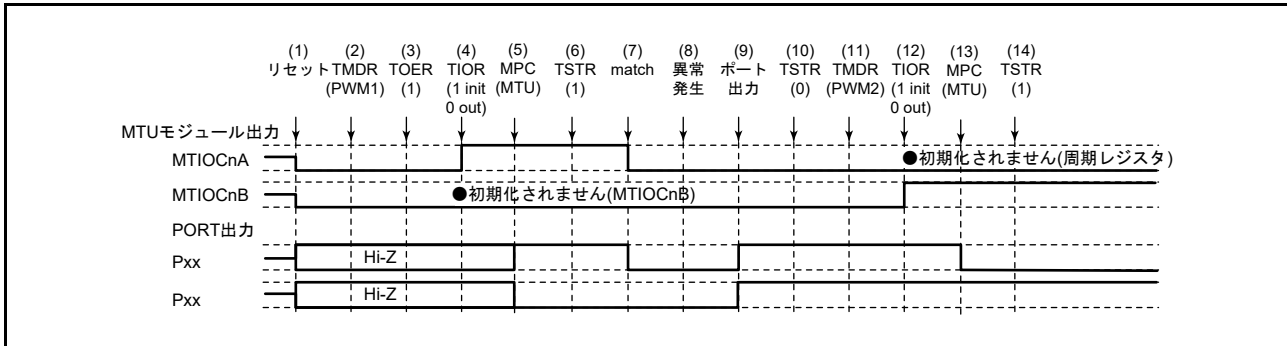


図 24.162 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 24.160 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注. PWM モード 2 は MTU0 ~ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 24.163 に示します。

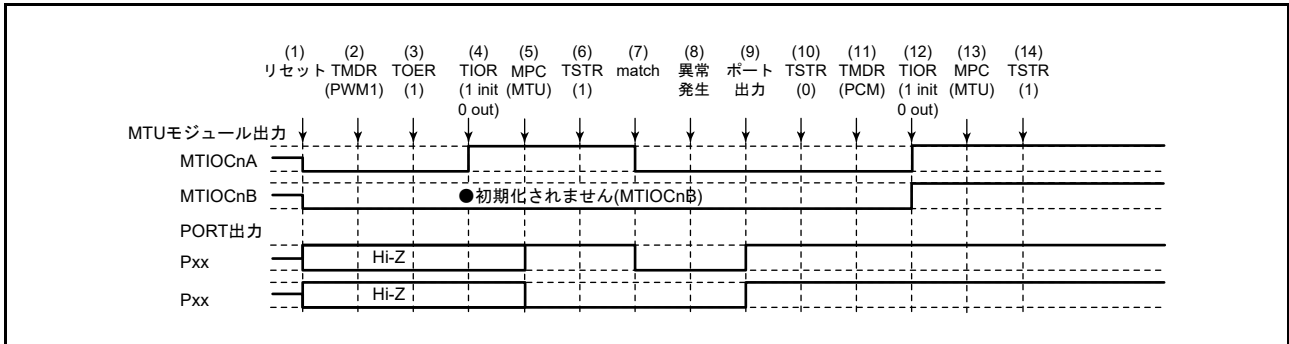


図 24.163 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 24.160 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注. 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 24.164 に示します。

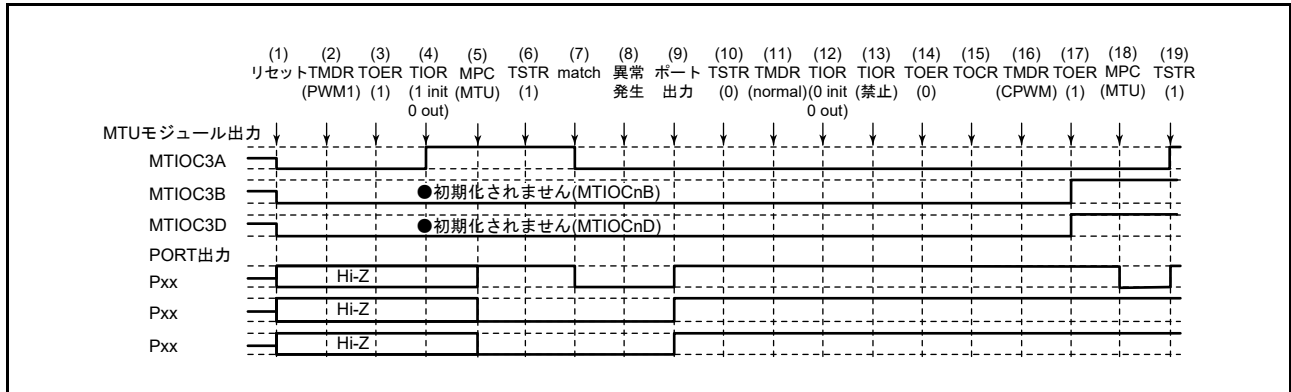


図 24.164 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 24.160 と共通です。

- (11) 波形生成部の初期化のためノーマルモードを設定してください。
- (12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください
- (14) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。
- (15) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (16) 相補 PWM を設定します。
- (17) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。
- (18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (19) TSTRA (TSTRB) レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 24.165 に示します。

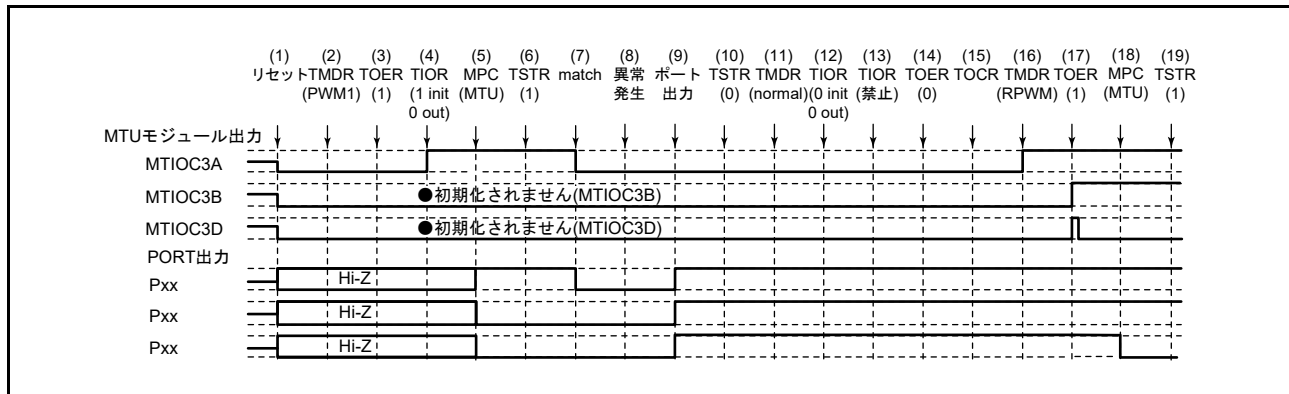


図 24.165 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 24.164 と共通です。

(15) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(19) TSTRA (TSTRB) レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 24.166 に示します。

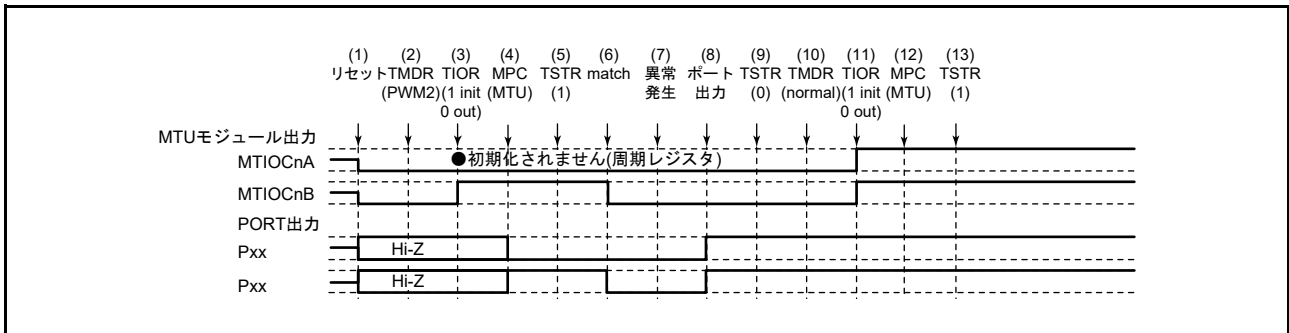


図 24.166 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子は初期化されません。例は MTU_n.TGRA レジスタを周期レジスタに使用した場合です）。
- (4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (5) TSTRA レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTRA レジスタでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (13) TSTRA レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 24.167 に示します。

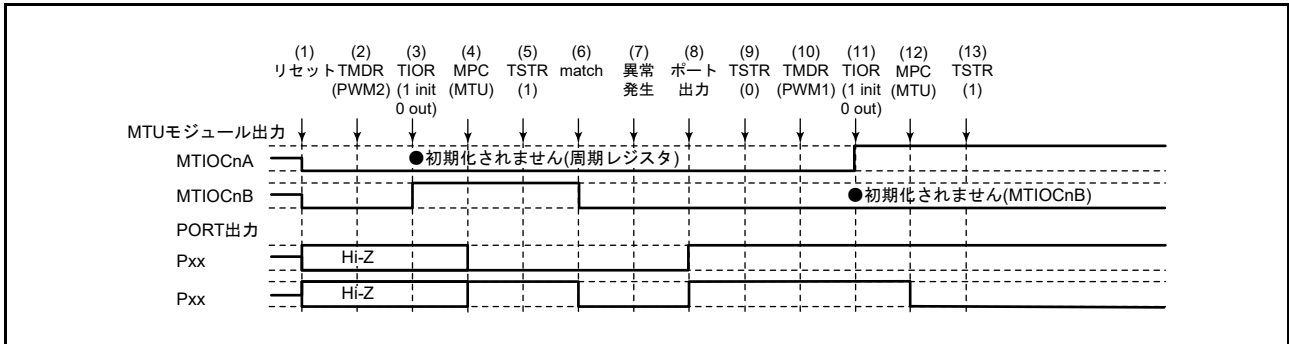


図 24.167 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 24.166 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 24.168 に示します。

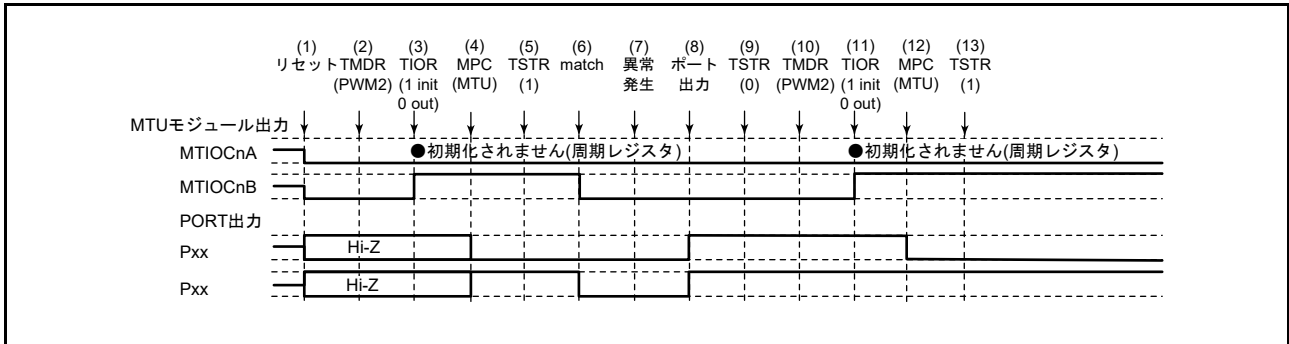


図 24.168 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 24.166 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 24.169 に示します。

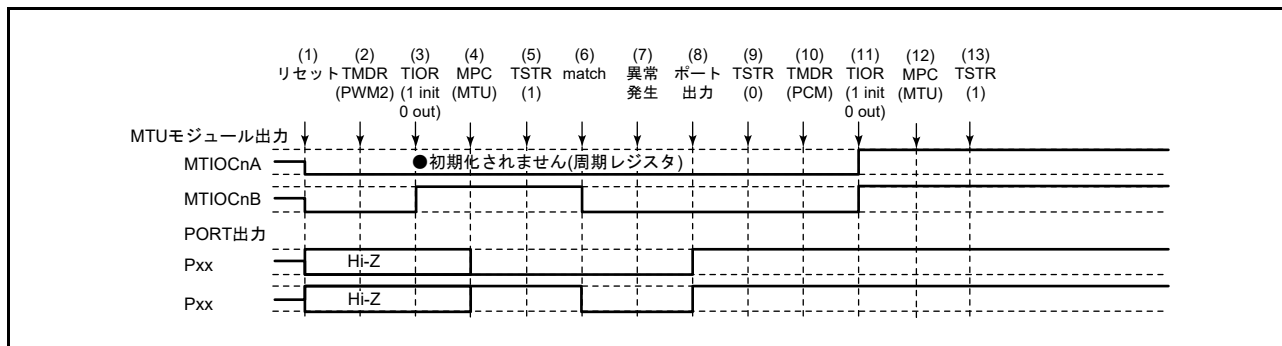


図 24.169 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 24.166 と共通です。

(10) 位相計数モードを設定します。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 24.170 に示します。

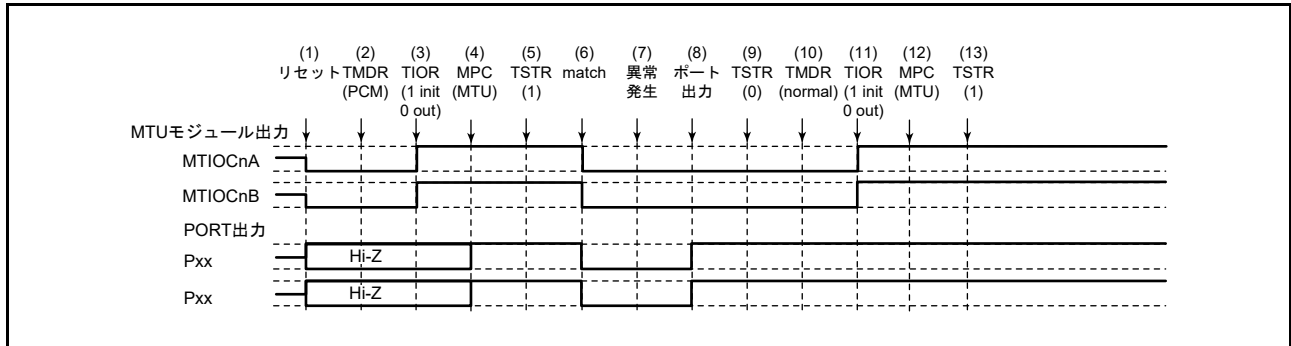


図 24.170 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (4) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 24.171 に示します。

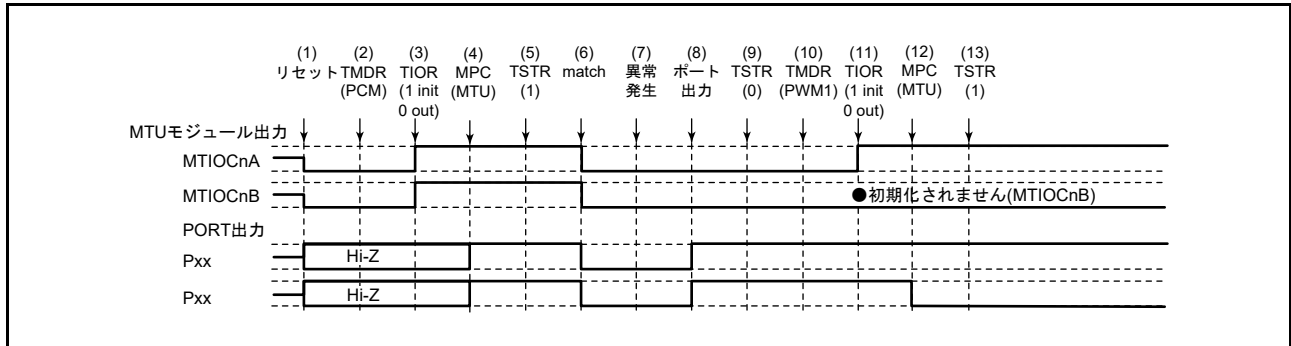


図 24.171 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 24.170 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 24.172 に示します。

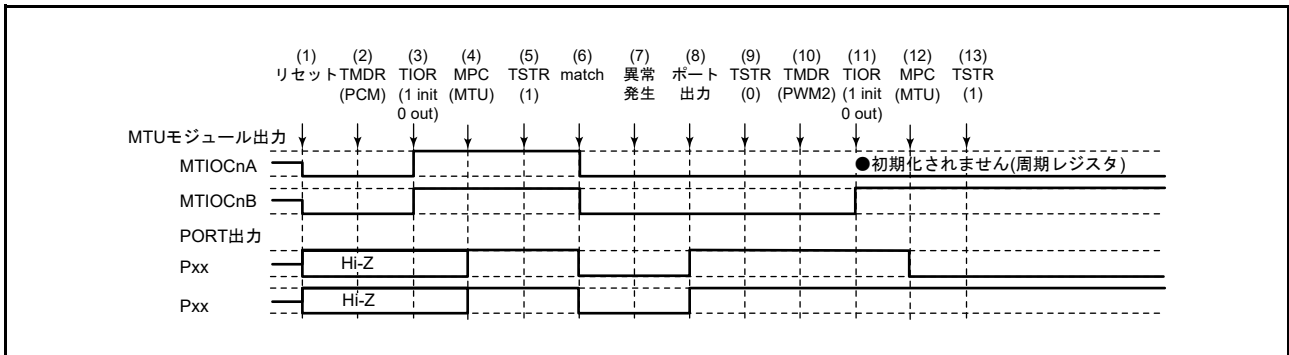


図 24.172 位相計数モードで異常が発生し、PWM モード2で復帰する場合

(1)～(9)は図 24.170 と共通です。

(10) PWM モード2を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード2では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 24.173 に示します。

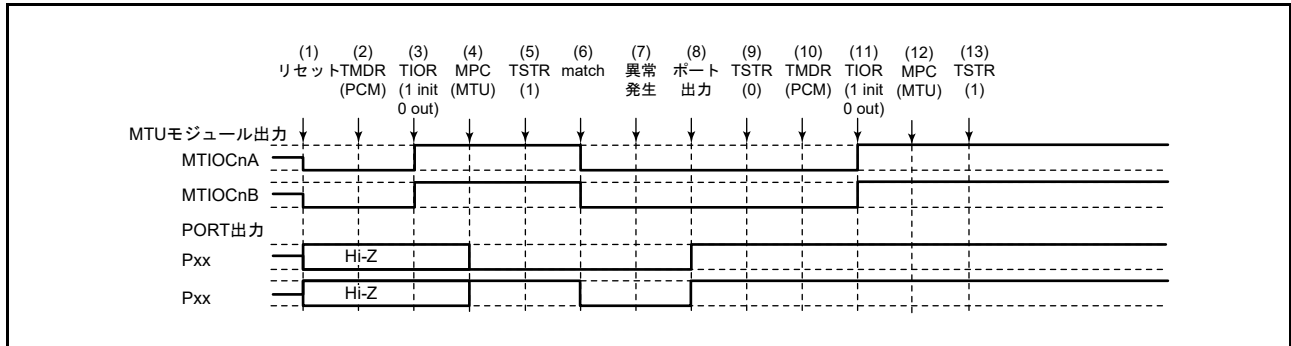


図 24.173 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1)～(9)は図 24.170 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 24.174 に示します。

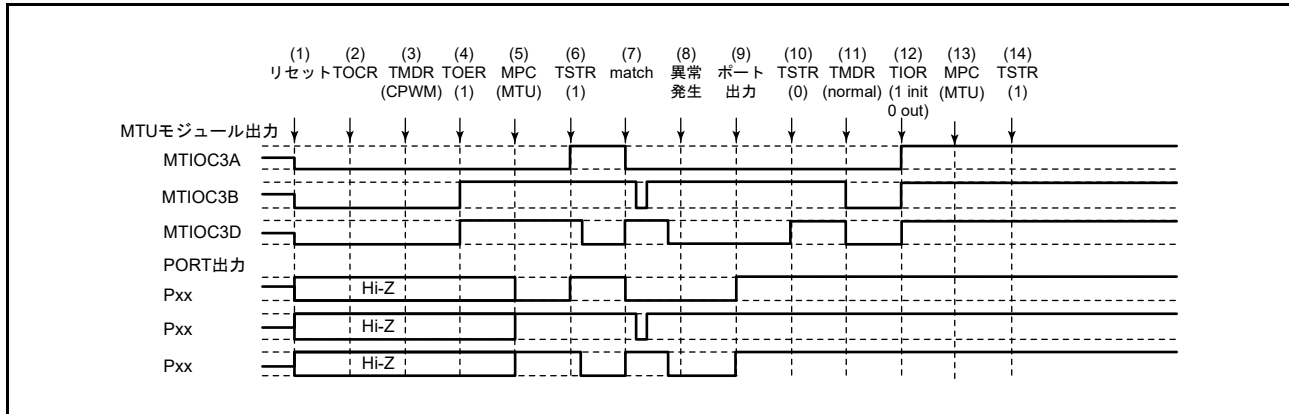


図 24.174 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA (TSTRB) レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA (TSTRB) レジスタでカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は Low となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA (TSTRB) レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 24.175 に示します。

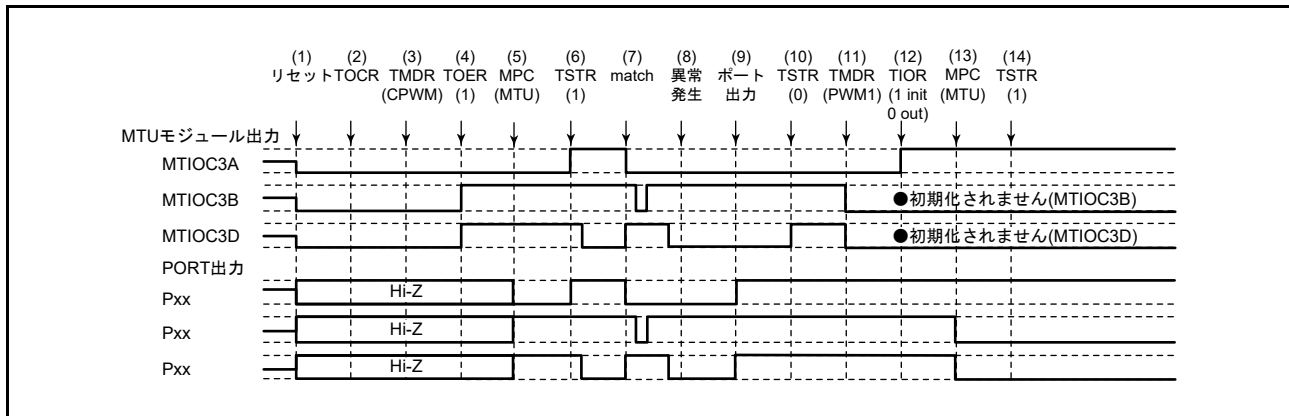


図 24.175 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 24.174 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は Low となります)。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA (TSTRB) レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 24.176 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

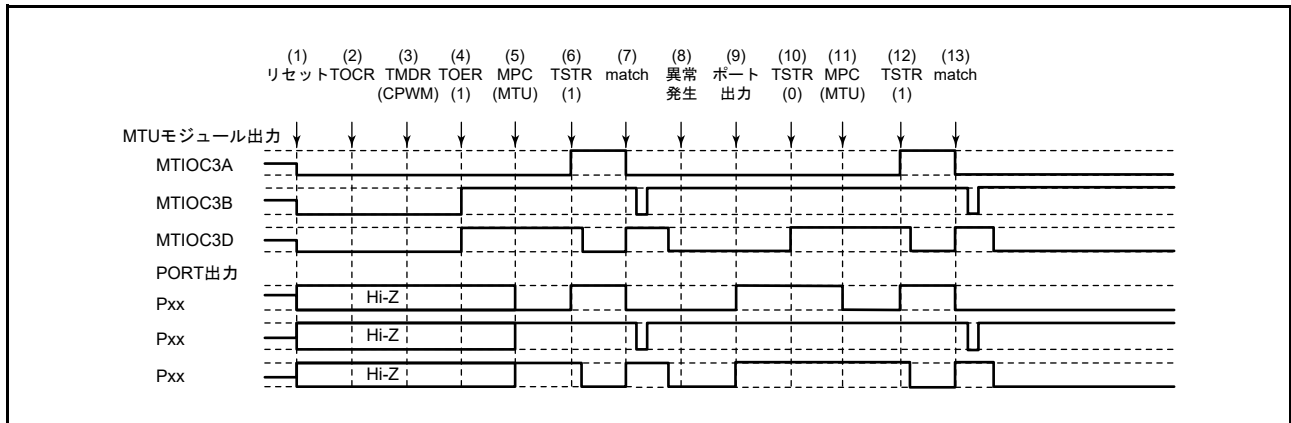


図 24.176 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (1)

(1) ~ (10) は図 24.174 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTR (TSTRB) レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 24.177 に示します（周期、デューティ比設定を全く新しい設定値で再スタートする場合）。

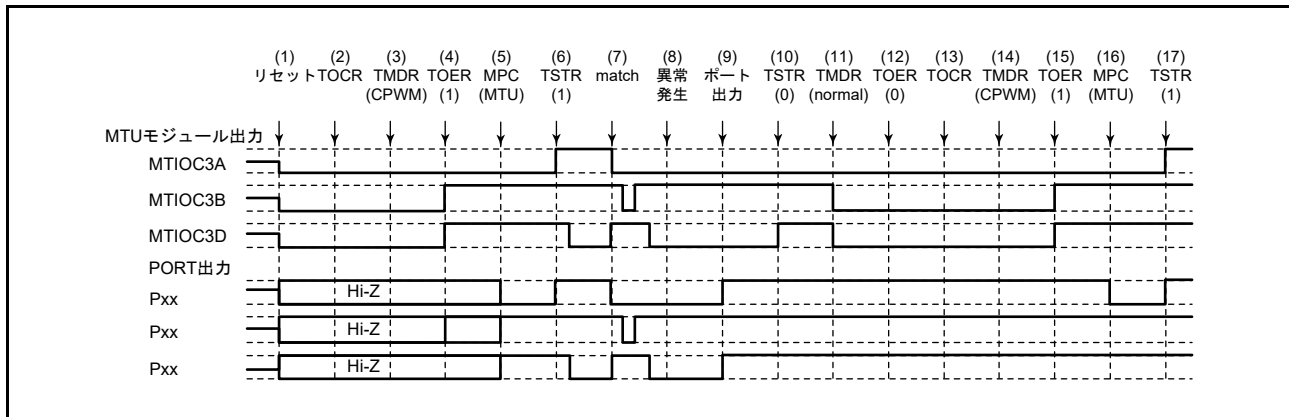


図 24.177 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (2)

(1) ~ (10) は図 24.174 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください（MTU 出力は Low となります）。

(12) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。

(13) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(17) TSTRA (TSTRB) レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 24.178 に示します。

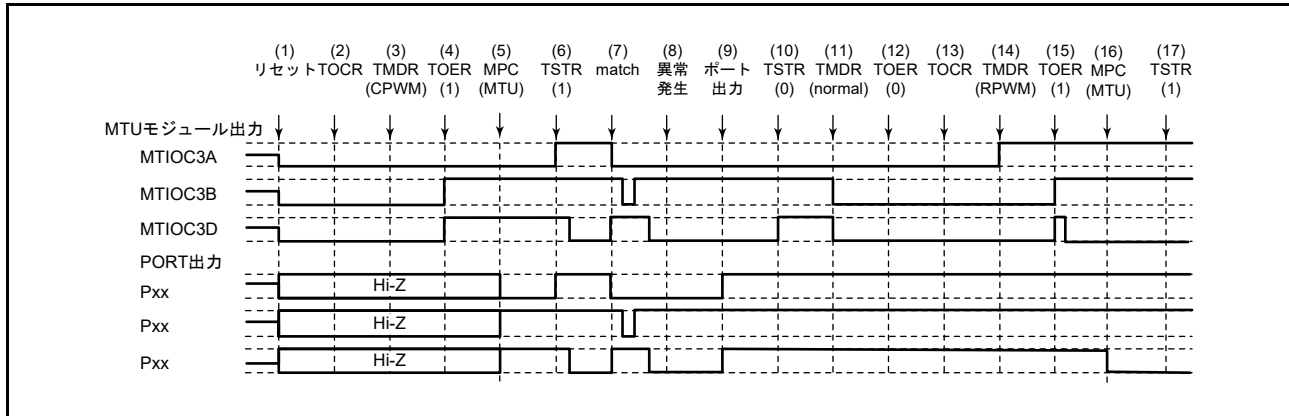


図 24.178 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 24.174 と共通です。

(11) ノーマルモードを設定してください (MTU 出力は Low となります)。

(12) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。

(13) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) リセット同期 PWM を設定します。

(15) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(17) TSTRA (TSTRB) レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 24.179 に示します。

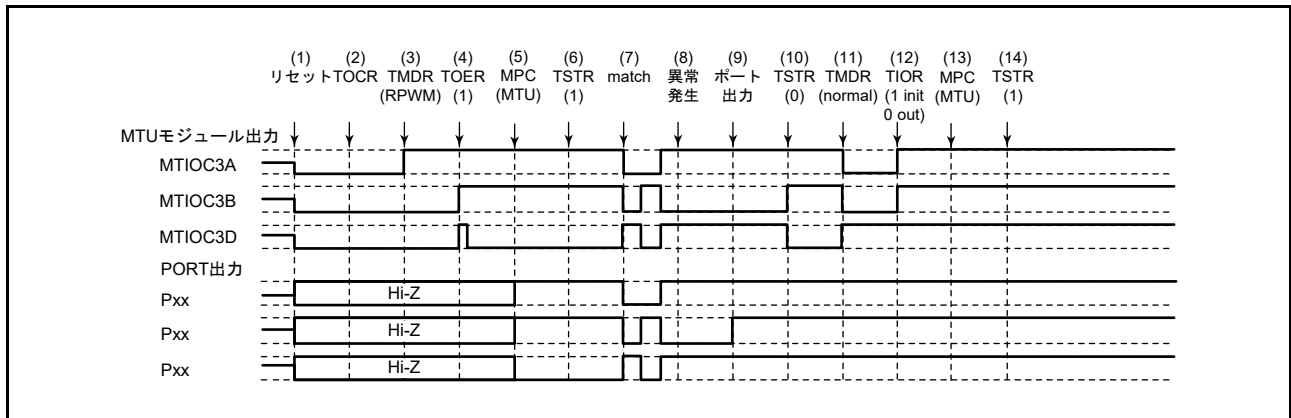


図 24.179 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A (TOCR1B、TOCR2B) レジスタでリセット同期 PWM の出力レベルと周期出力の許可/禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6、MTU7) の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA (TSTRB) レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA (TSTRB) レジスタでカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側が Low、逆相側が High となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA (TSTRB) レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 24.180 に示します。

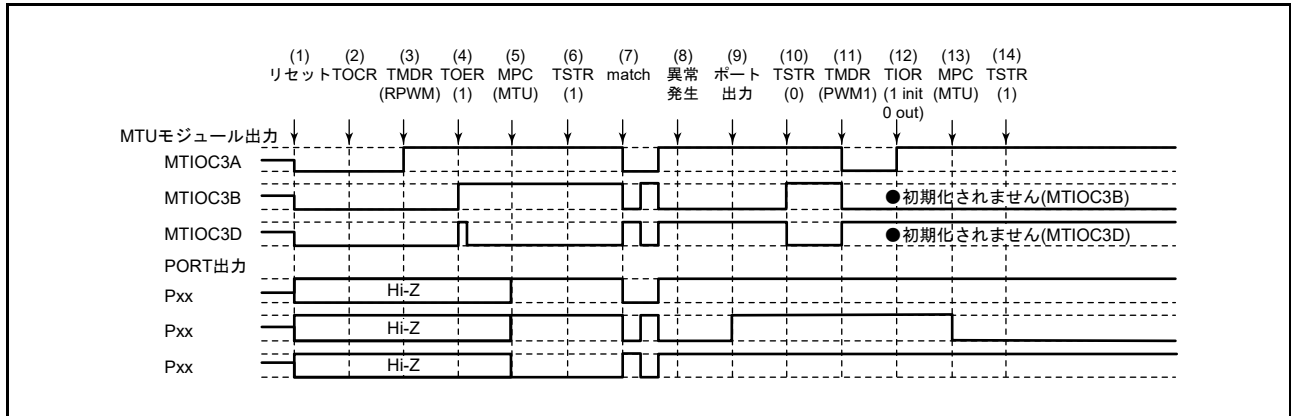


図 24.180 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 24.179 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は正相側が Low、逆相側が High となります)。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA (TSTRB) レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 24.181 に示します。

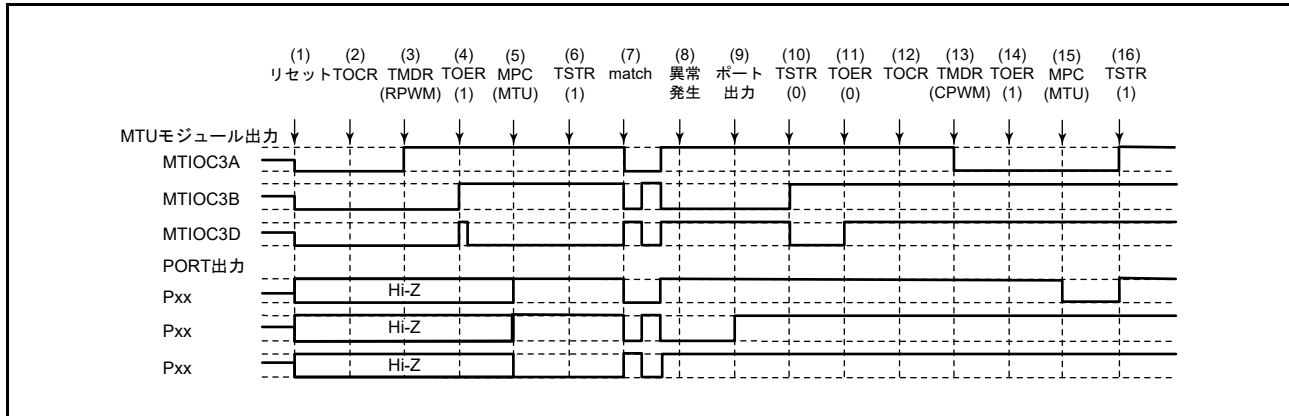


図 24.181 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 24.179 と共通です。

- (11) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。
- (12) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (13) 相補 PWM を設定します (MTU の周期出力端子は Low になります)。
- (14) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。
- (15) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (16) TSTRA (TSTRB) レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 24.182 に示します。

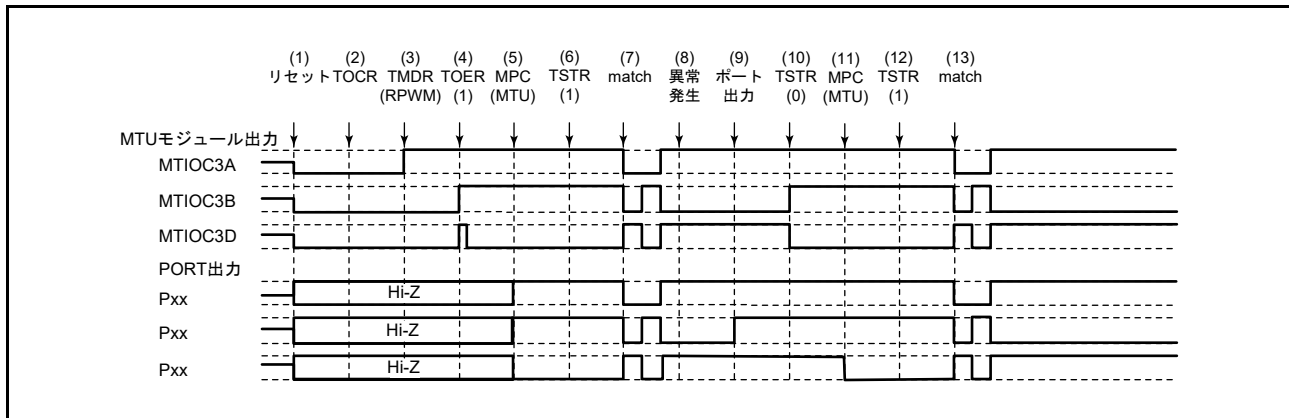


図 24.182 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 24.179 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTR (TSTRB) レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

24.8 ELCによるリンク動作

24.8.1 ELC へのイベント信号出力

MTU はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

24.8.2 ELC からのイベント信号受信によるアクション動作

MTU はイベントリンクコントローラ (ELC) の ELSR_n の設定により、あらかじめ設定したイベントによる次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPA、ELOPB レジスタで MTU のカウントスタート動作を選択してください。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4 の動作を制御します。ELSR_n レジスタで指定したイベントが発生すると、表 24.80 に示した TSTRA レジスタの CST_n ビットが“1”になり、MTU のカウントがスタートします。

ただし、TSTRA レジスタの CST_n ビットが“1”になっているときに指定したイベントが発生した場合は、そのイベントは無効となります。各チャンネルに対して使用する TSTRA レジスタのビットは表 24.80 を参照してください。

表24.80 ELCによってセットされるカウントスタートビット

チャンネル番号	カウントスタートビット
MTU0	TSTRA.CST0ビット
MTU3	TSTRA.CST3ビット
MTU4	TSTRA.CST4ビット

(2) インプットキャプチャ動作

ELC の ELOPA、ELOPB レジスタで MTU のインプットキャプチャ動作を選択してください。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4 の動作を制御します。ELSR_n レジスタで指定したイベントが発生すると、TCNT の値が TGR レジスタにキャプチャされます。イベントリンクによるインプットキャプチャ動作を使用する場合は、MTU の TIOR レジスタのビットをインプットキャプチャに設定し、TSTRA レジスタの CST_n ビットを“1”にしてカウンタをスタートさせてください。

このとき TIOChA 端子 (インプットキャプチャ端子) の入力は無効となります。

各チャンネルに対して使用するタイマジェネラルレジスタ、I/O コントロールビットは表 24.81 を参照してください。

表24.81 ELCのインプットキャプチャ動作で使用するレジスタ、ビット

チャンネル番号	タイマジェネラルレジスタ	I/O コントロールビット
MTU0	MTU0.TGRA	MTU0.TIORH.IOA[3:0]ビット
MTU3	MTU3.TGRA	MTU3.TIORH.IOA[3:0]ビット
MTU4	MTU4.TGRA	MTU4.TIORH.IOA[3:0]ビット

(3) カウントリスタート (カウンタクリア) 動作

ELC の ELOPA、ELOPB レジスタで MTU のカウントリスタート動作を選択してください。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4 の動作を制御します。ELSRn レジスタで指定したイベントが発生すると、TCNT がクリアされます。このとき TSTRA レジスタの CSTn ビットが“1”になっていればカウント動作を継続することができます。対応する TSTRA レジスタの CSTn ビットは表 24.80 を参照してください。

24.8.3 ELC からのイベント信号受信による動作に関する注意事項

MTU をイベントリンクによる動作で使用するときは、以下のことに注意してください。

(1) カウントスタート動作

TSTRA レジスタの CSTn ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TSTRA レジスタの CSTn ビットへの書き込みサイクルは行われず、イベント発生による“1”設定が優先されます。

(2) カウントリスタート (カウンタクリア) 動作

TCNT へのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT への書き込みサイクルは行われず、イベント発生によるカウンタのクリアが優先されます。

また、MTU3、MTU4 の相補 PWM モードを使用する場合、ELC によるカウントリスタート動作は使用しないでください。

25. ポートアウトプットイネーブル 3 (POE3a)

本 MCU は、各種条件で MTU の出力を停止させることができるポートアウトプットイネーブル 3 (POE3a) を搭載しています。出力停止時の端子の状態はハイインピーダンスです。

なお、本章に記載している PCLK とは PCLKB を指します。

25.1 概要

表 25.1 に POE3 の仕様を、図 25.1 に POE3 のブロック図を示します。

表 25.1 POE3 の仕様

項目	内容														
出力停止時の端子の状態	<ul style="list-style-type: none"> ハイインピーダンス 														
ハイインピーダンス制御対象端子	<ul style="list-style-type: none"> MTU の出力端子 MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) MTU3 端子 (MTIOC3B, MTIOC3D) MTU4 端子 (MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) MTU6 端子 (MTIOC6B, MTIOC6D) MTU7 端子 (MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) 														
ハイインピーダンス要求発生条件	<ul style="list-style-type: none"> 入力端子の変化 POE0#, POE4#, POE8#, POE10#, POE11# 端子に信号が入力されたとき 出力端子の短絡 以下の組み合わせの出力信号レベル(アクティブレベル)が1サイクル以上一致(短絡)したとき <table border="1" data-bbox="459 996 901 1272"> <thead> <tr> <th></th> <th>MTU 相補 PWM 出力端子</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>MTIOC3B と MTIOC3D</td> </tr> <tr> <td>2</td> <td>MTIOC4A と MTIOC4C</td> </tr> <tr> <td>3</td> <td>MTIOC4B と MTIOC4D</td> </tr> <tr> <td>4</td> <td>MTIOC6B と MTIOC6D</td> </tr> <tr> <td>5</td> <td>MTIOC7A と MTIOC7C</td> </tr> <tr> <td>6</td> <td>MTIOC7B と MTIOC7D</td> </tr> </tbody> </table> SPOER レジスタを設定したとき メインクロック発生回路の発振停止を検出したとき 		MTU 相補 PWM 出力端子	1	MTIOC3B と MTIOC3D	2	MTIOC4A と MTIOC4C	3	MTIOC4B と MTIOC4D	4	MTIOC6B と MTIOC6D	5	MTIOC7A と MTIOC7C	6	MTIOC7B と MTIOC7D
	MTU 相補 PWM 出力端子														
1	MTIOC3B と MTIOC3D														
2	MTIOC4A と MTIOC4C														
3	MTIOC4B と MTIOC4D														
4	MTIOC6B と MTIOC6D														
5	MTIOC7A と MTIOC7C														
6	MTIOC7B と MTIOC7D														
機能	<ul style="list-style-type: none"> POE0#, POE4#, POE8#, POE10#, POE11# の各入力端子に立ち下がりエッジ、PCLK/8×16 回、PCLK/16×16 回、PCLK/128×16 回の Low サンプリングの設定が可能です POE0#, POE4#, POE8#, POE10#, POE11# 端子の立ち下がりエッジ、または Low サンプリングによって、すべての制御対象端子の出力をハイインピーダンスにできます クロック発生回路の発振停止を検出した場合、すべての制御対象端子の出力をハイインピーダンスにできます MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、MTU 相補 PWM 出力端子の出力をハイインピーダンスにできます POE3 のレジスタの設定により、すべての制御対象端子の出力をハイインピーダンスにできます 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です 														

POE3 は図 25.1 のブロック図に示すように、入力レベル検出回路、端子選択回路、出力レベル比較回路、およびハイインピーダンス要求 / 割り込み要求生成回路から構成されます。

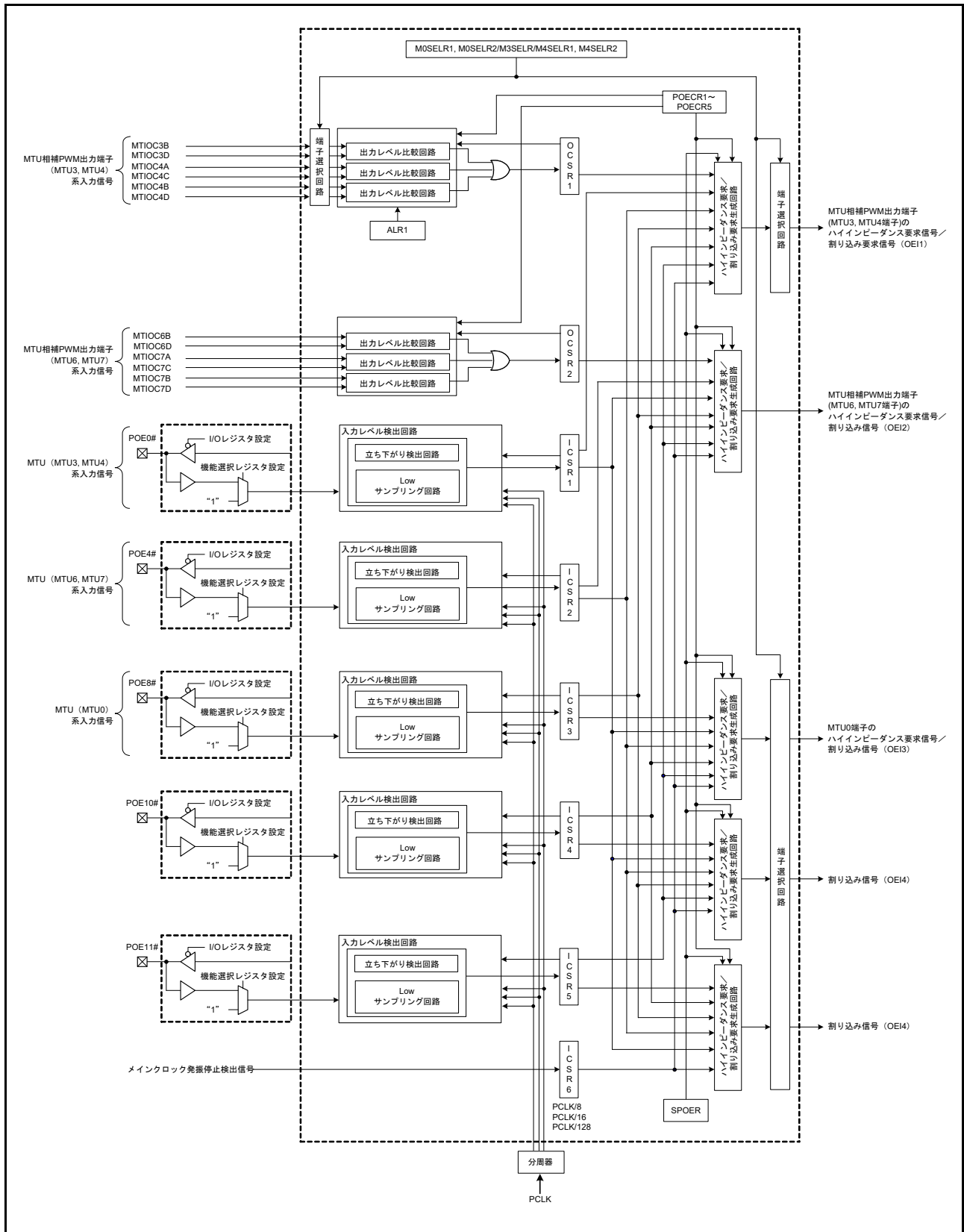


図 25.1 POE3 のブロック図

表 25.2 に POE3 で使用する入出力端子を示します。

表 25.2 POE3の入出力端子

端子名	入出力	機能
POE0#	入力	MTU相補PWM出力端子(MTU3, MTU4端子)の出力をハイインピーダンスにする要求信号。レジスタの設定によって他の制御対象端子も制御できます
POE4#	入力	MTU相補PWM出力端子(MTU6, MTU7端子)の出力をハイインピーダンスにする要求信号。レジスタの設定によって他の制御対象端子も制御できます
POE8#	入力	MTU0端子の出力をハイインピーダンスにする要求信号。レジスタの設定によって他の制御対象端子も制御できます
POE10#	入力	レジスタの設定によってすべての制御対象端子を制御できます
POE11#	入力	レジスタの設定によってすべての制御対象端子を制御できます

表 25.3 に示す端子の組み合わせで出力レベルの比較を行います。

表 25.3 端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(ALR1.OLSENビットが“0”かつMTU.TOCR1A.TOCSビットが“0”のときに、MTU.TOCR1A.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR1.OLSENビットが“0”かつMTU.TOCR1A.TOCSビットが“1”のときに、MTU.TOCR2A.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR1.OLSENビットが“1”のときに、ALR1.OLSG0A, OLSG0B, OLSG1A, OLSG1B, OLSG2A, OLSG2Bビットが“0”の場合はLow出力、“1”の場合はhigh出力)が続いた場合、M3SELR/M4SELR1/M4SELR2レジスタで設定したMTU相補PWM出力端子(MTU3, MTU4端子)の出力をハイインピーダンスにします。どの組み合わせに対して出力比較を行い端子制御を行うかは、POE3のレジスタで設定できます
MTIOC4AとMTIOC4C	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(MTU.TOCR1B.TOCSビットが“0”のときに、MTU.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTU.TOCR1B.TOCSビットが“1”のときに、MTU.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU6, MTU7端子)の出力をハイインピーダンスにします。どの組み合わせに対して出力比較を行い端子制御を行うかは、POE3のレジスタで設定できます
MTIOC4BとMTIOC4D	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(MTU.TOCR1B.TOCSビットが“0”のときに、MTU.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTU.TOCR1B.TOCSビットが“1”のときに、MTU.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU6, MTU7端子)の出力をハイインピーダンスにします。どの組み合わせに対して出力比較を行い端子制御を行うかは、POE3のレジスタで設定できます
MTIOC6BとMTIOC6D	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(MTU.TOCR1B.TOCSビットが“0”のときに、MTU.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTU.TOCR1B.TOCSビットが“1”のときに、MTU.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU6, MTU7端子)の出力をハイインピーダンスにします。どの組み合わせに対して出力比較を行い端子制御を行うかは、POE3のレジスタで設定できます
MTIOC7AとMTIOC7C	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(MTU.TOCR1B.TOCSビットが“0”のときに、MTU.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTU.TOCR1B.TOCSビットが“1”のときに、MTU.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU6, MTU7端子)の出力をハイインピーダンスにします。どの組み合わせに対して出力比較を行い端子制御を行うかは、POE3のレジスタで設定できます
MTIOC7BとMTIOC7D	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(MTU.TOCR1B.TOCSビットが“0”のときに、MTU.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTU.TOCR1B.TOCSビットが“1”のときに、MTU.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU6, MTU7端子)の出力をハイインピーダンスにします。どの組み合わせに対して出力比較を行い端子制御を行うかは、POE3のレジスタで設定できます

25.2 レジスタの説明

POE3 のレジスタは、リセットで初期化されます。

25.2.1 入力レベルコントロール / ステータスレジスタ 1 (ICSR1)

アドレス POE3.ICSR1 0008 C4C0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE0F	—	—	—	PIE1	—	—	—	—	—	—	POE0M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 0 0 : POE0#端子入力の立ち下がリエッジで要求を受け付け 0 1 : POE0#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE0#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE0#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE1	ポート割り込み許可1ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0 : POE0#端子にハイインピーダンス要求なし 1 : POE0#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR1 レジスタは、POE0# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

POE0M[1:0] ビット (POE0 モード選択ビット)

POE0# 端子の入力モードを選択します。

PIE1 ビット (ポート割り込み許可1ビット)

POE0F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

["1"になる条件]

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

["0"になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE0M[1:0] ビットでLowサンプリングを設定している場合、“0”を書くには、POE0#端子にHighを入力する必要があります。

詳細は、「25.3.7 ハイインピーダンス状態の解除」を参照してください。

25.2.2 入力レベルコントロール / ステータスレジスタ 2 (ICSR2)

アドレス POE3.ICSR2 0008 C4C4h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE4F	—	—	—	PIE2	—	—	—	—	—	—	POE4M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE4M[1:0]	POE4モード選択ビット	b1 b0 0 0 : POE4#端子入力の立ち下がリエッジで要求を受け付け 0 1 : POE4#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE4#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE4#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE2	ポート割り込み許可2ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE4F	POE4フラグ	0 : POE4#端子にハイインピーダンス要求なし 1 : POE4#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR2 レジスタは、POE4# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

POE4M[1:0] ビット (POE4 モード選択ビット)

POE4# 端子の入力モードを選択します。

PIE2 ビット (ポート割り込み許可2ビット)

POE4F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE4F フラグ (POE4 フラグ)

POE4# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE4# 端子に POE4M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE4M[1:0] ビットでLowサンプリングを設定している場合、“0”を書くには、POE4#端子にHighを入力する必要があります。

詳細は、「25.3.7 ハイインピーダンス状態の解除」を参照してください。

25.2.3 入力レベルコントロール / ステータスレジスタ 3 (ICSR3)

アドレス POE3.ICSR3 0008 C4C8h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE8F	—	—	POE8E	PIE3	—	—	—	—	—	—	POE8M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 0 0 : POE8#端子入力の立ち下がりエッジで要求を受け付け 0 1 : POE8#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE8#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE8#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE3	ポート割り込み許可3ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0 : POE8#信号により端子の出力をハイインピーダンスにしない 1 : POE8#信号により端子の出力をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0 : POE8#端子にハイインピーダンス要求なし 1 : POE8#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR3 レジスタは、POE8# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

POE8M[1:0] ビット (POE8 モード選択ビット)

POE8# 端子の入力モードを選択します。

PIE3 ビット (ポート割り込み許可3ビット)

POE8F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 ハイインピーダンス許可ビット)

POE8F フラグが“1”になったときに、端子の出力をハイインピーダンスにするかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE8M[1:0] ビットでLowサンプリングを設定している場合、“0”を書くには、POE8#端子にHighを入力する必要があります。

詳細は、「25.3.7 ハイインピーダンス状態の解除」を参照してください。

25.2.4 入力レベルコントロール / ステータスレジスタ 4 (ICSR4)

アドレス POE3.ICSR4 0008 C4D6h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE10 F	—	—	POE10 E	PIE4	—	—	—	—	—	—	POE10M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE10M[1:0]	POE10モード選択ビット	b1 b0 0 0 : POE10#端子入力の立ち下がりエッジで要求を受け付け 0 1 : POE10#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE10#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE10#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE4	ポート割り込み許可4ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE10E	POE10ハイインピーダンス許可ビット	0 : POE10#信号により端子の出力をハイインピーダンスにしない 1 : POE10#信号により端子の出力をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE10F	POE10フラグ	0 : POE10#端子にハイインピーダンス要求なし 1 : POE10#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR4 レジスタは、POE10# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

POE10M[1:0] ビット (POE10 モード選択ビット)

POE10# 端子の入力モードを選択します。

PIE4 ビット (ポート割り込み許可4ビット)

POE10F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE10E ビット (POE10 ハイインピーダンス許可ビット)

POE10F フラグが“1”になったときに、端子の出力をハイインピーダンスにするかどうかを指定します。

POE10F フラグ (POE10 フラグ)

POE10# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE10# 端子に POE10M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE10M[1:0]ビットでLowサンプリングを設定している場合、“0”を書くには、POE10#端子にHighを入力する必要があります。

詳細は、「25.3.7 ハイインピーダンス状態の解除」を参照してください。

25.2.5 入力レベルコントロール / ステータスレジスタ 5 (ICSR5)

アドレス POE3.ICSR5 0008 C4D8h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE11F	—	—	POE11E	PIE5	—	—	—	—	—	—	POE11M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE11M[1:0]	POE11モード選択ビット	b1 b0 0 0 : POE11#端子入力の立ち下がリエッジで要求を受け付け 0 1 : POE11#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE11#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE11#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE5	ポート割り込み許可5ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE11E	POE11ハイインピーダンス許可ビット	0 : POE11#信号により端子の出力をハイインピーダンスにしない 1 : POE11#信号により端子の出力をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE11F	POE11フラグ	0 : POE11#端子にハイインピーダンス要求なし 1 : POE11#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR5 レジスタは、POE11# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示します。

POE11M[1:0] ビット (POE11 モード選択ビット)

POE11# 端子の入力モードを選択します。

PIE5 ビット (ポート割り込み許可 5 ビット)

POE11F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE11E ビット (POE11 ハイインピーダンス許可ビット)

POE11F フラグが“1”になったときに、端子の出力をハイインピーダンスにするかどうかを指定します。

POE11F フラグ (POE11 フラグ)

POE11# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE11# 端子に POE11M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE11M[1:0]ビットでLowサンプリングを設定している場合、“0”を書くには、POE11#端子にHighを入力する必要があります。

詳細は、「25.3.7 ハイインピーダンス状態の解除」を参照してください。

25.2.6 入力レベルコントロール / ステータスレジスタ 6 (ICSR6)

アドレス POE3.ICSR6 0008 C4DCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTST F	—	—	OSTST E	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	発振停止時ハイインピーダンス許可ビット	0：発振停止検出時に制御対象端子の出力をハイインピーダンスにしない 1：発振停止検出時に制御対象端子の出力をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	発振停止検出フラグ	0：発振停止によるハイインピーダンス要求なし 1：発振停止によるハイインピーダンス要求あり	R/W (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR6 レジスタは、発振停止時の制御、およびステータスを示すレジスタです。

OSTSTE ビット (発振停止時ハイインピーダンス許可ビット)

発振停止検出時に制御対象端子の出力をハイインピーダンスにするかしないかを設定します。

OSTSTF フラグ (発振停止検出フラグ)

OSTSTF フラグは、発振停止によるハイインピーダンス要求を示すステータスフラグです。

メインクロックの発振が停止すると“1”になります。OSTSTF フラグを“0”にするときは、OSTSTF フラグが“1”になった後 PCLK で 10 サイクル以上経過し、かつ OSTDSR.OSTDF フラグが“0”のときに“0”を書いてください。OSTDSR.OSTDF フラグが“1”のときに OSTSTF フラグに“0”を書いても“0”になりません。OSTSTF フラグをクリアした後は“0”になったことを確認してください。

[“1”になる条件]

- 発振停止状態を検出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

25.2.7 出力レベルコントロール / ステータスレジスタ 1 (OCSR1)

アドレス POE3.OCSR1 0008 C4C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE1	出力短絡時ハイインピーダンス許可1ビット	0：出力短絡時に端子の出力をハイインピーダンスにしない 1：出力短絡時に端子の出力をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR1 レジスタは、出力レベルの比較許可 / 禁止、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

OIE1 ビット (出力短絡割り込み許可1ビット)

OSF1 フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡時ハイインピーダンス許可1ビット)

OSF1 フラグが“1”になったときに、端子の出力をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ (出力短絡フラグ1)

MTU 相補 PWM 出力端子 (MTU3, MTU4 端子) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、当該端子のハイインピーダンス制御が許可されていない場合、OSF1 フラグは“1”になりません。

アクティブレベルの設定については「25.2.9 アクティブレベルレジスタ 1 (ALR1)」を参照してください。

[“1”になる条件]

- POE3.MTU3BDZE ビットが“1”の場合に、MTIOC3B 端子と MTIOC3D 端子が PCLK の 1 サイクル以上同時にアクティブレベル(注1)になったとき
- POE3.MTU4ACZE ビットが“1”の場合に、MTIOC4A 端子と MTIOC4C 端子が PCLK の 1 サイクル以上同時にアクティブレベル(注1)になったとき
- POE3.MTU4BDZE ビットが“1”の場合に、MTIOC4B 端子と MTIOC4D 端子が PCLK の 1 サイクル以上同時にアクティブレベル(注1)になったとき

注1. MPC.PmnPFS レジスタの設定内容にかかわらず、端子のレベルだけで判断します。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

“0”を書くには、MTU相補PWM出力端子から非アクティブレベルを出力する必要があります。詳細は、「25.3.7 ハイインピーダンス状態の解除」を参照してください。

25.2.8 出力レベルコントロール / ステータスレジスタ 2 (OCSR2)

アドレス POE3.OCSR2 0008 C4C6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF2	—	—	—	—	—	OCE2	OIE2	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE2	出力短絡割り込み許可2ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	OCE2	出力短絡時ハイインピーダンス許可2ビット	0: 出力短絡時に端子の出力をハイインピーダンスにしない 1: 出力短絡時に端子の出力をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF2	出力短絡フラグ2	0: 同時にアクティブレベルになっていない 1: 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR2レジスタは、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

OIE2 ビット (出力短絡割り込み許可2ビット)

OSF2フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

OCE2 ビット (出力短絡時ハイインピーダンス許可2ビット)

OSF2フラグが“1”になったときに、端子の出力をハイインピーダンスにするかどうかを指定します。

OSF2 フラグ (出力短絡フラグ2)

MTU相補PWM出力端子(MTU6, MTU7端子)の比較する3組の2相出力のうち、1組以上が同時にアクティブレベルになったことを示すフラグです。ただし、当該端子のハイインピーダンス制御が許可されていない場合、OSF2フラグは“1”になりません。

アクティブレベルの設定については「24. マルチファンクションタイムパルスユニット3 (MTU3a)」を参照してください。

["1"になる条件]

- POE2R2.MTU6BDZEビットが“1”の場合に、MTIOC6B端子とMTIOC6D端子がPCLKの1サイクル以上同時にアクティブレベル(注1)になったとき
- POE2R2.MTU7ACZEビットが“1”の場合に、MTIOC7A端子とMTIOC7C端子がPCLKの1サイクル以上同時にアクティブレベル(注1)になったとき
- POE2R2.MTU7BDZEビットが“1”の場合に、MTIOC7B端子とMTIOC7D端子がPCLKの1サイクル以上同時にアクティブレベル(注1)になったとき

注1. MPC.PmnPFS レジスタの設定内容にかかわらず、端子のレベルだけで判断します。

["0"になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

“0”を書くには、MTU相補PWM出力端子から非アクティブレベルを出力する必要があります。詳細は、「25.3.7 ハイインピーダンス状態の解除」を参照してください。

25.2.9 アクティブレベルレジスタ 1 (ALR1)

アドレス POE3.AL1 0008 C4DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2 B	OLSG2 A	OLSG1 B	OLSG1 A	OLSG0 B	OLSG0 A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	MTIOC3B端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b1	OLSG0B	MTIOC3D端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b2	OLSG1A	MTIOC4A端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b3	OLSG1B	MTIOC4C端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b4	OLSG2A	MTIOC4B端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b5	OLSG2B	MTIOC4D端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0 : 無効 1 : 有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR1レジスタは、MTU出力をOCSR1レジスタで出力短絡を検出する場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (MTIOC3B 端子アクティブレベル設定ビット)

MTIOC3B出力のアクティブレベルを設定します。OLSG0Aビットが“0”の場合はLowをアクティブレベル、“1”の場合はHighをアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (MTIOC3D 端子アクティブレベル設定ビット)

MTIOC3D出力のアクティブレベルを設定します。OLSG0Bビットが“0”の場合はLowをアクティブレベル、“1”の場合はHighをアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (MTIOC4A 端子アクティブレベル設定ビット)

MTIOC4A 出力のアクティブレベルを設定します。OLSG1A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (MTIOC4C 端子アクティブレベル設定ビット)

MTIOC4C 出力のアクティブレベルを設定します。OLSG1B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (MTIOC4B 端子アクティブレベル設定ビット)

MTIOC4B 出力のアクティブレベルを設定します。OLSG2A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (MTIOC4D 端子アクティブレベル設定ビット)

MTIOC4D 出力のアクティブレベルを設定します。OLSG2B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n=0~2、m=A,B) によるアクティブレベル設定の有効/無効を設定します。OLSEN ビットが“0”の場合は OLSGnm ビットの設定は無効となり、MTU 出力のアクティブレベルは MTU.TOCR1j および MTU.TOCR2j レジスタ (j=A,B) の設定となります。OLSEN ビットが“1”の場合は、MTU 出力のアクティブレベルは OLSGnm ビットの設定となります。

25.2.10 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス POE3.SPOER 0008 C4CAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTUC H0HIZ	MTUC H67HIZ	MTUC H34HIZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTUCH34HIZ	MTU3, MTU4端子ハイインピーダンス許可ビット	0: 端子の出力をハイインピーダンスにしない 1: 端子の出力をハイインピーダンスにする	R/W
b1	MTUCH67HIZ	MTU6, MTU7端子ハイインピーダンス許可ビット	0: 端子の出力をハイインピーダンスにしない 1: 端子の出力をハイインピーダンスにする	R/W
b2	MTUCH0HIZ	MTU0端子ハイインピーダンス許可ビット	0: 端子の出力をハイインピーダンスにしない 1: 端子の出力をハイインピーダンスにする	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPOER レジスタは、端子のハイインピーダンス制御を行うレジスタです。

MTUCH34HIZ ビット (MTU3, MTU4 端子ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) の出力をハイインピーダンスにする制御を行います。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

MTUCH67HIZ ビット (MTU6, MTU7 端子ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) の出力をハイインピーダンスにする制御を行います。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

MTUCH0HIZ ビット (MTU0 端子ハイインピーダンス許可ビット)

MTU0 端子の出力をハイインピーダンスにする制御を行います。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

25.2.11 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス POE3.POECR1 0008 C4CBh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	MTU0D ZE	MTU0C ZE	MTU0B ZE	MTU0A ZE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AZE	MTIOC0A端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b1	MTU0BZE	MTIOC0B端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b2	MTU0CZE	MTIOC0C端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b3	MTU0DZE	MTIOC0D端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR1 レジスタは、MTU0 端子のハイインピーダンス制御を行うレジスタです。

MTU0AZE ビット (MTIOC0A 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5、m = 0, 4, 10, 11) のうち、どれか1つでも“1”になったときに、MTIOC0A 出力をハイインピーダンスにするかどうかを設定します。

MTU0BZE ビット (MTIOC0B 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5、m = 0, 4, 10, 11) のうち、どれか1つでも“1”になったときに、MTIOC0B 出力をハイインピーダンスにするかどうかを設定します。

MTU0CZE ビット (MTIOC0C 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5、m = 0, 4, 10, 11) のうち、どれか1つでも“1”になったときに、MTIOC0C 出力をハイインピーダンスにするかどうかを設定します。

MTU0DZE ビット (MTIOC0D 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5、m = 0, 4, 10, 11) のうち、どれか1つでも“1”になったときに、MTIOC0D 出力をハイインピーダンスにするかどうかを設定します。

25.2.12 ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)

アドレス POE3.POECR2 0008 C4CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTU3B DZE	MTU4A CZE	MTU4B DZE	—	—	—	—	—	MTU6B DZE	MTU7A CZE	MTU7B DZE
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MTU7BDZE	MTIOC7B/MTIOC7D端子ハイインピーダンス許可ビット (注2)	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b1	MTU7ACZE	MTIOC7A/MTIOC7C端子ハイインピーダンス許可ビット (注2)	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b2	MTU6BDZE	MTIOC6B/MTIOC6D端子ハイインピーダンス許可ビット (注2)	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BDZE	MTIOC4B/MTIOC4D端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b9	MTU4ACZE	MTIOC4A/MTIOC4C端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b10	MTU3BDZE	MTIOC3B/MTIOC3D端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. MTU6, MTU7を使用しない場合は、“0”にしてください。

POECR2 レジスタは、MTU 相補 PWM 出力端子 (MTU3, MTU4, MTU6, MTU7 端子) のハイインピーダンス制御を行うレジスタです。

MTU7BDZE ビット (MTIOC7B/MTIOC7D 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, m = 0, 8, 10, 11) のうち、どれか 1 つでも“1”になったときに、MTIOC7B 出力と MTIOC7D 出力をハイインピーダンスにするかどうかを設定します。

MTU7ACZE ビット (MTIOC7A/MTIOC7C 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, m = 0, 8, 10, 11) のうち、どれか 1 つでも“1”になったときに、MTIOC7A 出力と MTIOC7C 出力をハイインピーダンスにするかどうかを設定します。

MTU6BDZE ビット (MTIOC6B/MTIOC6D 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, m = 0, 8, 10, 11) のうち、どれか 1 つでも“1”になったときに、MTIOC6B 出力と MTIOC6D 出力をハイインピーダンスにするかどうかを設定します。

MTU4BDZE ビット (MTIOC4B/MTIOC4D 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 2 ~ 5、m = 4, 8, 10, 11) のうち、どれか1つでも“1”になったときに、MTIOC4B 出力と MTIOC4D 出力をハイインピーダンスにするかどうかを設定します。

MTU4ACZE ビット (MTIOC4A/MTIOC4C 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 2 ~ 5、m = 4, 8, 10, 11) のうち、どれか1つでも“1”になったときに、MTIOC4A 出力と MTIOC4C 出力をハイインピーダンスにするかどうかを設定します。

MTU3BDZE ビット (MTIOC3B/MTIOC3D 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 2 ~ 5、m = 4, 8, 10, 11) のうち、どれか1つでも“1”になったときに、MTIOC3B 出力と MTIOC3D 出力をハイインピーダンスにするかどうかを設定します。

25.2.13 ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)

アドレス POE3.POECR4 0008 C4D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IC5ADD MT67ZE	IC4ADD MT67ZE	IC3ADD MT67ZE	—	IC1ADD MT67ZE	—	—	—	IC5ADD MT34ZE	IC4ADD MT34ZE	IC3ADD MT34ZE	IC2ADD MT34ZE	—	—
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	IC2ADDMT34ZE	MTU3, MTU4ハイインピーダンス条件POE4F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b3	IC3ADDMT34ZE	MTU3, MTU4ハイインピーダンス条件POE8F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b4	IC4ADDMT34ZE	MTU3, MTU4ハイインピーダンス条件POE10F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b5	IC5ADDMT34ZE	MTU3, MTU4ハイインピーダンス条件POE11F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b8-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	IC1ADDMT67ZE	MTU6, MTU7ハイインピーダンス条件POE0F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b11	IC3ADDMT67ZE	MTU6, MTU7ハイインピーダンス条件POE8F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b12	IC4ADDMT67ZE	MTU6, MTU7ハイインピーダンス条件POE10F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b13	IC5ADDMT67ZE	MTU6, MTU7ハイインピーダンス条件POE11F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR4 レジスタは、MTU 相補 PWM 出力端子 (MTU3, MTU4, MTU6, MTU7 端子) のハイインピーダンス制御条件を拡張するレジスタです。

IC2ADDMT34ZE ビット (MTU3, MTU4 ハイインピーダンス条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU3, MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) のハイインピーダンス制御条件に追加します。

IC3ADDMT34ZE ビット (MTU3, MTU4 ハイインピーダンス条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU3, MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) のハイインピーダンス制御条件に追加します。

IC4ADDMT34ZE ビット (MTU3, MTU4 ハイインピーダンス条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU3, MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) のハイインピーダンス制御条件に追加します。

IC5ADDMT34ZE ビット (MTU3, MTU4 ハイインピーダンス条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU3, MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) のハイインピーダンス制御条件に追加します。

IC1ADDMT67ZE ビット (MTU6, MTU7 ハイインピーダンス条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) のハイインピーダンス制御条件に追加します。

IC3ADDMT67ZE ビット (MTU6, MTU7 ハイインピーダンス条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) のハイインピーダンス制御条件に追加します。

IC4ADDMT67ZE ビット (MTU6, MTU7 ハイインピーダンス条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) のハイインピーダンス制御条件に追加します。

IC5ADDMT67ZE ビット (MTU6, MTU7 ハイインピーダンス条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) のハイインピーダンス制御条件に追加します。

25.2.14 ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)

アドレス POE3.POECR5 0008 C4D2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	IC5ADD MT0ZE	IC4ADD MT0ZE	—	IC2ADD MT0ZE	IC1ADD MT0ZE	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	IC1ADDMT0ZE	MTU0ハイインピーダンス条件 POE0F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b2	IC2ADDMT0ZE	MTU0ハイインピーダンス条件 POE4F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	IC4ADDMT0ZE	MTU0ハイインピーダンス条件 POE10F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b5	IC5ADDMT0ZE	MTU0ハイインピーダンス条件 POE11F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR5 レジスタは、MTU0 端子のハイインピーダンス制御条件を拡張するレジスタです。

IC1ADDMT0ZE ビット (MTU0 ハイインピーダンス条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) のハイインピーダンス制御条件に追加します。

IC2ADDMT0ZE ビット (MTU0 ハイインピーダンス条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) のハイインピーダンス制御条件に追加します。

IC4ADDMT0ZE ビット (MTU0 ハイインピーダンス条件 POE10F 追加ビット)

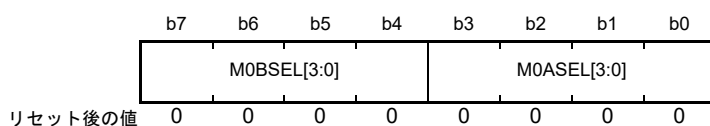
ICSR4.POE10F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) のハイインピーダンス制御条件に追加します。

IC5ADDMT0ZE ビット (MTU0 ハイインピーダンス条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) のハイインピーダンス制御条件に追加します。

25.2.15 MTU0 端子選択レジスタ 1 (M0SELR1)

アドレス POE3.M0SELR1 0008 C4E4h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M0ASEL[3:0]	MTU0-A (MTIOC0A)端子選択ビット (注2)	b3 b0 0000 : P34をMTIOC0A端子としてハイインピーダンス制御する 0010 : PB3をMTIOC0A端子としてハイインピーダンス制御する(注3) 上記以外は設定しないでください	R/W (注1)
b7-b4	M0BSEL[3:0]	MTU0-B (MTIOC0B)端子選択ビット	b7 b4 0000 : P13をMTIOC0B端子としてハイインピーダンス制御する 0001 : P15をMTIOC0B端子としてハイインピーダンス制御する(注3) 0010 : PA1をMTIOC0B端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

注2. 100ピン以上の製品でのみ有効です。100ピン未満の製品では"0000b"にしてください。

注3. 100ピン以上の製品で選択可能です。

M0SELR1 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、ハイインピーダンス制御の対象となる MTU0-A/B の端子を選択します。

M0ASEL[3:0] ビット (MTU0-A (MTIOC0A) 端子選択ビット)

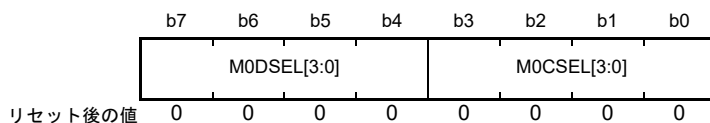
ハイインピーダンス制御の対象となる MTIOC0A 端子を選択します。

M0BSEL[3:0] ビット (MTU0-B (MTIOC0B) 端子選択ビット)

ハイインピーダンス制御の対象となる MTIOC0B 端子を選択します。

25.2.16 MTU0 端子選択レジスタ 2 (M0SELR2)

アドレス POE3.M0SELR2 0008 C4E5h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M0CSEL[3:0]	MTU0-C (MTIOC0C)端子選択ビット (注2)	b3 b0 0000 : P32をMTIOC0C端子としてハイインピーダンス制御する 0010 : PB1をMTIOC0C端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)
b7-b4	M0DSEL[3:0]	MTU0-D (MTIOC0D)端子選択ビット (注2)	b7 b4 0000 : P33をMTIOC0D端子としてハイインピーダンス制御する 0010 : PA3をMTIOC0D端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

注2. 100ピン以上の製品でのみ有効です。100ピン未満の製品では"0000b"にしてください。

M0SELR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、ハイインピーダンス制御の対象となる MTU0-C/D の端子を選択します。

M0CSEL[3:0] ビット (MTU0-C (MTIOC0C) 端子選択ビット)

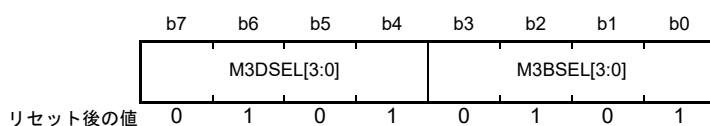
ハイインピーダンス制御の対象となる MTIOC0C 端子を選択します。

M0DSEL[3:0] ビット (MTU0-D (MTIOC0D) 端子選択ビット)

ハイインピーダンス制御の対象となる MTIOC0D 端子を選択します。

25.2.17 MTU3 端子選択レジスタ (M3SELR)

アドレス POE3.M3SELR 0008 C4E6h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M3BSEL[3:0]	MTU3-B (MTIOC3B)端子選択ビット	b3 b0 0000 : PE1をMTIOC3B端子としてハイインピーダンス制御する(注2) 0001 : P22をMTIOC3B端子としてハイインピーダンス制御する(注3) 0010 : P80をMTIOC3B端子としてハイインピーダンス制御する(注4) 0011 : PC5をMTIOC3B端子としてハイインピーダンス制御する 0100 : PB7をMTIOC3B端子としてハイインピーダンス制御する 0101 : P17をMTIOC3B端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)
b7-b4	M3DSEL[3:0]	MTU3-D (MTIOC3D)端子選択ビット	b7 b4 0000 : PE0をMTIOC3D端子としてハイインピーダンス制御する(注2) 0001 : P23をMTIOC3D端子としてハイインピーダンス制御する(注3) 0010 : PC4をMTIOC3D端子としてハイインピーダンス制御する 0011 : P81をMTIOC3D端子としてハイインピーダンス制御する(注4) 0100 : PB6をMTIOC3D端子としてハイインピーダンス制御する 0101 : P16をMTIOC3D端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)

- 注1. リセット後、1回のみ書き込み可能です。
 注2. 64ピン以上の製品で選択可能です。
 注3. 100ピン以上の製品で選択可能です。
 注4. 144ピン以上の製品で選択可能です。

M3SELR レジスタは、読み出し/書き込み可能な8ビットのレジスタで、ハイインピーダンス制御の対象となるMTU3-B/Dの端子を選択します。

M3BSEL[3:0] ビット (MTU3-B (MTIOC3B) 端子選択ビット)

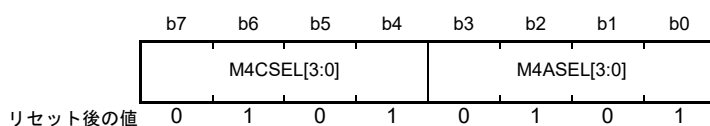
ハイインピーダンス制御の対象となるMTIOC3B端子を選択します。

M3DSEL[3:0] ビット (MTU3-D (MTIOC3D) 端子選択ビット)

ハイインピーダンス制御の対象となるMTIOC3D端子を選択します。

25.2.18 MTU4 端子選択レジスタ 1 (M4SELR1)

アドレス POE3.M4SELR1 0008 C4E7h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M4ASEL[3:0]	MTU4-A (MTIOC4A) 端子選択ビット (注2)	b3 b0 0000 : PE2をMTIOC4A端子としてハイインピーダンス制御する(注3) 0001 : P21をMTIOC4A端子としてハイインピーダンス制御する(注4) 0010 : PB3をMTIOC4A端子としてハイインピーダンス制御する(注4) 0011 : P82をMTIOC4A端子としてハイインピーダンス制御する(注5) 0100 : PA0をMTIOC4A端子としてハイインピーダンス制御する(注4) 0101 : P24をMTIOC4A端子としてハイインピーダンス制御する(注4) 上記以外は設定しないでください	R/W (注1)
b7-b4	M4CSEL[3:0]	MTU4-C (MTIOC4C) 端子選択ビット (注6)	b7 b4 0000 : PE5をMTIOC4C端子としてハイインピーダンス制御する(注4) 0001 : P87をMTIOC4C端子としてハイインピーダンス制御する(注5) 0010 : PB1をMTIOC4C端子としてハイインピーダンス制御する(注4) 0011 : P83をMTIOC4C端子としてハイインピーダンス制御する(注5) 0100 : PE1をMTIOC4C端子としてハイインピーダンス制御する(注3) 0101 : P25をMTIOC4C端子としてハイインピーダンス制御する(注4) 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

注2. 100ピン以上の製品でのみ有効です。64ピンの製品では“0000b”にしてください。48ピンの製品では“0101b”のままにしてください。

注3. 64ピン以上の製品で選択可能です。

注4. 100ピン以上の製品で選択可能です。

注5. 144ピン以上の製品で選択可能です。

注6. 100ピン以上の製品でのみ有効です。64ピンの製品では“0100b”にしてください。48ピンの製品では“0101b”のままにしてください。

M4SELR1 レジスタは、読み出し/書き込み可能な8ビットのレジスタで、ハイインピーダンス制御の対象となるMTU4-A/Cの端子を選択します。

M4ASEL[3:0] ビット (MTU4-A (MTIOC4A) 端子選択ビット)

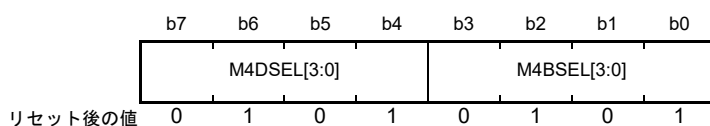
ハイインピーダンス制御の対象となるMTIOC4A端子を選択します。

M4CSEL[3:0] ビット (MTU4-C (MTIOC4C) 端子選択ビット)

ハイインピーダンス制御の対象となるMTIOC4C端子を選択します。

25.2.19 MTU4 端子選択レジスタ 2 (M4SELR2)

アドレス POE3.M4SELR2 0008 C4E8h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M4BSEL[3:0]	MTU4-B (MTIOC4B) 端子選択ビット	b3 b0 0000 : PE3をMTIOC4B端子としてハイインピーダンス制御する(注2) 0001 : P17をMTIOC4B端子としてハイインピーダンス制御する 0010 : P54をMTIOC4B端子としてハイインピーダンス制御する(注2) 0011 : PC2をMTIOC4B端子としてハイインピーダンス制御する(注2) 0100 : PD1をMTIOC4B端子としてハイインピーダンス制御する(注2) 0101 : P30をMTIOC4B端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)
b7-b4	M4DSEL[3:0]	MTU4-D (MTIOC4D) 端子選択ビット	b7 b4 0000 : PE4をMTIOC4D端子としてハイインピーダンス制御する(注2) 0001 : P86をMTIOC4D端子としてハイインピーダンス制御する(注3) 0010 : P55をMTIOC4D端子としてハイインピーダンス制御する(注2) 0011 : PC3をMTIOC4D端子としてハイインピーダンス制御する(注2) 0100 : PD2をMTIOC4D端子としてハイインピーダンス制御する 0101 : P31をMTIOC4D端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

注2. 100ピン以上の製品で選択可能です。

注3. 144ピン以上の製品で選択可能です。

M4SELR2 レジスタは、読み出し/書き込み可能な8ビットのレジスタで、ハイインピーダンス制御の対象となるMTU4-B/Dの端子を選択します。

M4BSEL[3:0] ビット (MTU4-B (MTIOC4B) 端子選択ビット)

ハイインピーダンス制御の対象となるMTIOC4B端子を選択します。

M4DSEL[3:0] ビット (MTU4-D (MTIOC4D) 端子選択ビット)

ハイインピーダンス制御の対象となるMTIOC4D端子を選択します。

25.3 動作説明

以下にハイインピーダンス制御の対象になる端子と条件を示します。

(1) MTU3 端子 (MTIOC3B, MTIOC3D)

POECR2.MTU3BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# 端子の入力レベル検出動作
ICSR1.POE0F フラグが“1”になったとき
- MTIOC3B 端子と MTIOC3D 端子の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC2ADDMT34ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(2) MTU4 端子 (MTIOC4A, MTIOC4C)

POECR2.MTU4ACZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# 端子の入力レベル検出動作
ICSR1.POE0F フラグが“1”になったとき
- MTIOC4A 端子と MTIOC4C 端子の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC2ADDMT34ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(3) MTU4 端子 (MTIOC4B, MTIOC4D)

POECR2.MTU4BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイイン

ピーダンスにします。

- POE0# 端子の入力レベル検出動作
ICSR1.POE0F フラグが“1”になったとき
- MTIOC4B 端子と MTIOC4D 端子の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC2ADDMT34ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(4) MTU6 端子 (MTIOC6B, MTIOC6D)

POECR2.MTU6BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE4# 端子の入力レベル検出動作
ICSR2.POE4F フラグが“1”になったとき
- MTIOC6B 端子と MTIOC6D 端子の出力レベル比較動作
OCSR2.OCE2 ビットが“1”の状態、OCSR2.OSF2 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH67HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC1ADDMT67ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR4.IC3ADDMT67ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT67ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT67ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(5) MTU7 端子 (MTIOC7A, MTIOC7C)

POECR2.MTU7ACZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE4# 端子の入力レベル検出動作
ICSR2.POE4F フラグが“1”になったとき
- MTIOC7A 端子と MTIOC7C 端子の出力レベル比較動作
OCSR2.OCE2 ビットが“1”の状態、OCSR2.OSF2 フラグが“1”になったとき

- SPOER レジスタ設定
SPOER.MTUCH67HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC1ADDMT67ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR4.IC3ADDMT67ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT67ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT67ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(6) MTU7 端子 (MTIOC7B, MTIOC7D)

POECR2.MTU7BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE4# 端子の入力レベル検出動作
ICSR2.POE4F フラグが“1”になったとき
- MTIOC7B 端子と MTIOC7D 端子の出力レベル比較動作
OCSR2.OCE2 ビットが“1”の状態、OCSR2.OSF2 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH67HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC1ADDMT67ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR4.IC3ADDMT67ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT67ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT67ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(7) MTU0 端子 (MTIOC0A)

POECR1.MTU0AZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC2ADDMT0ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき

POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき

- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(8) MTU0 端子 (MTIOC0B)

POECR1.MTU0BZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC2ADDMT0ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(9) MTU0 端子 (MTIOC0C)

POECR1.MTU0CZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC2ADDMT0ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(10) MTU0 端子 (MTIOC0D)

POECR1.MTU0DZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定

SPOER.MTUCH0HIZビットを“1”にしたとき

- POECR5レジスタで追加された条件

POECR5.IC1ADDMT0ZEビットが“1”の状態、ICSR1.POE0Fフラグが“1”になったとき

POECR5.IC2ADDMT0ZEビットが“1”の状態、ICSR2.POE4Fフラグが“1”になったとき

POECR5.IC4ADDMT0ZEビットとICSR4.POE10Eビットが“1”の状態、ICSR4.POE10Fフラグが“1”になったとき

POECR5.IC5ADDMT0ZEビットとICSR5.POE11Eビットが“1”の状態、ICSR5.POE11Fフラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTFビットが“1”の状態、ICSR6.OSTSTEビットが“1”になったとき

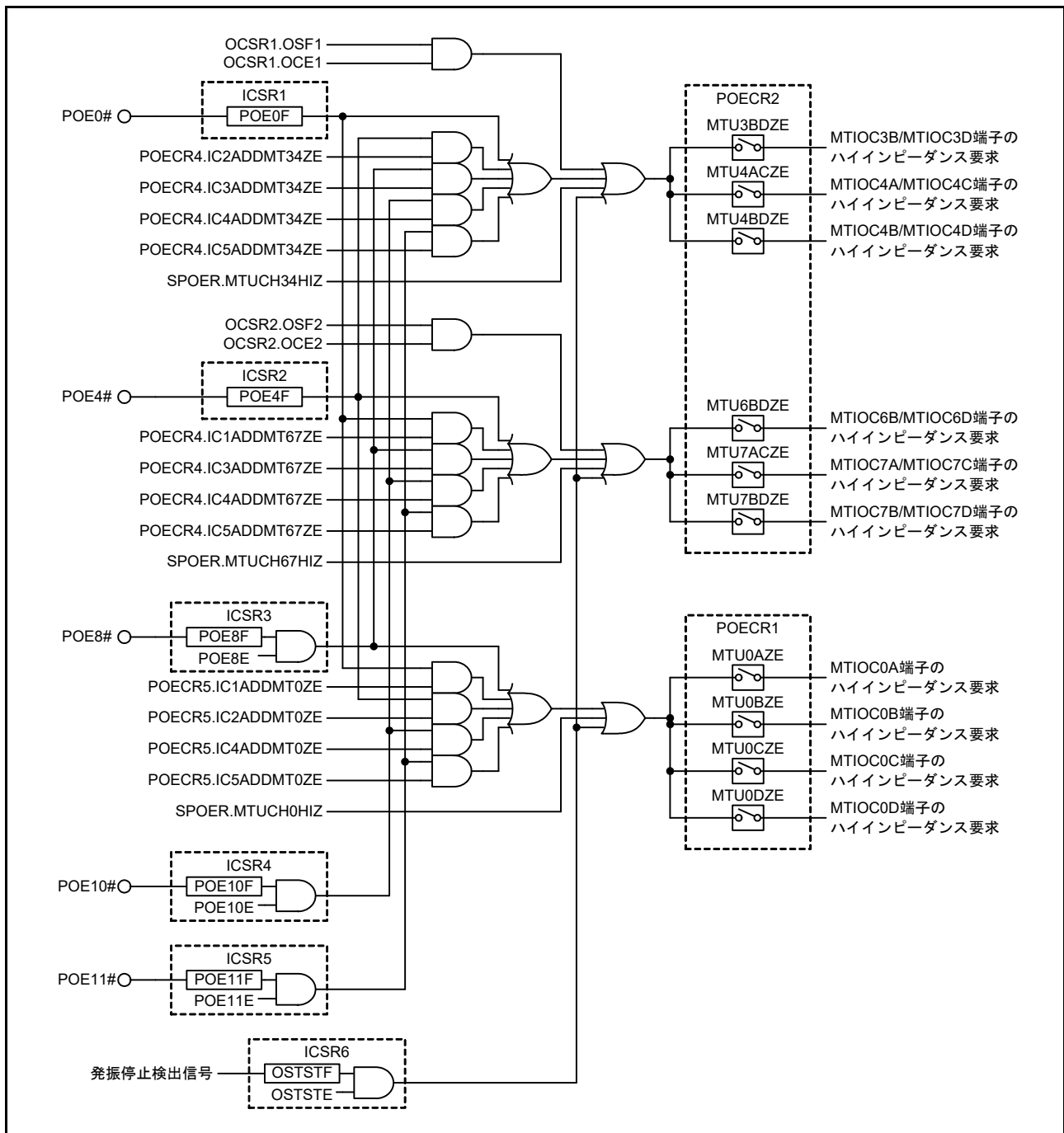


図 25.2 ハイインピーダンス制御の対象と条件

25.3.1 MTU 端子選択

本 MCU では、MTU 用の各端子機能が各々複数のポートに割り当てられています。どのポートをハイインピーダンス制御対象とするかは POE3 の端子選択レジスタ (M0SELR1/M0SELR2/M3SELR/M4SELR1/M4SELR2 レジスタ) で選択できます。表 25.4 に MTU 端子と選択レジスタの対応を示します。

なお、MTU として使用する端子は、別途マルチファンクションピンコントローラ (MPC) のレジスタで設定する必要があります。POE3 のレジスタで選択した端子と MPC のレジスタで選択した端子に乖離がないよう注意してください。

表 25.4 MTU 端子と選択レジスタの対応

MTU 端子機能	対応ポート	選択レジスタ	
MTIOC0A	P34	M0SELR1	
	PB3 (注1)		
MTIOC0B	P13		
	P15 (注1)		
	PA1		
MTIOC0C (注1)	P32 (注1)		M0SELR2
	PB1 (注1)		
MTIOC0D (注1)	P33 (注1)		
	PA3 (注1)		
MTIOC3B	PE1 (注2)		M3SELR
	P22 (注1)		
	P80 (注3)		
	PC5		
	PB7		
P17			
MTIOC3D	PE0 (注2)		
	P23 (注1)		
	PC4		
	P81 (注3)		
	PB6		
P16			
MTIOC4A (注2)	PE2 (注2)	M4SELR1	
	P21 (注1)		
	PB3 (注1)		
	P82 (注3)		
	PA0 (注1)		
P24 (注1)			
MTIOC4C (注2)	PE5 (注1)		
	P87 (注3)		
	PB1 (注1)		
	P83 (注3)		
	PE1 (注2)		
P25 (注1)			

MTU 端子機能	対応ポート	選択レジスタ
MTIOC4B	PE3 (注1)	M4SELR2
	P17	
	P54 (注1)	
	PC2 (注1)	
	PD1 (注1)	
P30		
MTIOC4D	PE4 (注1)	
	P86 (注3)	
	P55 (注1)	
	PC3 (注1)	
PD2		
P31		
MTIOC6B (注1)	PA5 (注1)	—
MTIOC6D (注1)	PA0 (注1)	—
MTIOC7A	PA2	—
MTIOC7C (注3)	P67 (注3)	—
MTIOC7B	PA1	—
MTIOC7D (注3)	P66 (注3)	—

注1. 100ピン以上の製品にのみあります。

注2. 64ピン以上の製品にのみあります。

注3. 144ピン以上の製品にのみあります。

25.3.2 入力レベル検出動作

ICSR1 ~ ICSR5 レジスタで設定した入力条件が POE0#、POE4#、POE8#、POE10#、POE11# 端子に発生した場合、MTU 相補 PWM 出力端子 (MTU3, MTU4 端子または MTU6, MTU7 端子) および MTU0 端子の出力をハイインピーダンスにします。ただし、MTU 相補 PWM 出力端子および MTU0 端子をマルチプレクスしている端子が、MTU 機能を選択していない場合でも出力はハイインピーダンスになります。

(1) 立ち下がりエッジ検出

POE0#、POE4#、POE8#、POE10#、POE11# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 端子がマルチプレクスされている端子の出力をハイインピーダンスにします。

立ち下がりエッジは、PCLK でサンプリングを行った後、検出します。POE0#、POE4#、POE8#、POE10#、POE11# 端子に 1 PCLK クロック以上の Low を入力してください。

POE0#、POE4#、POE8#、POE10#、POE11# 端子入力から端子がハイインピーダンスになるまでのタイミング例を図 25.3 に示します。

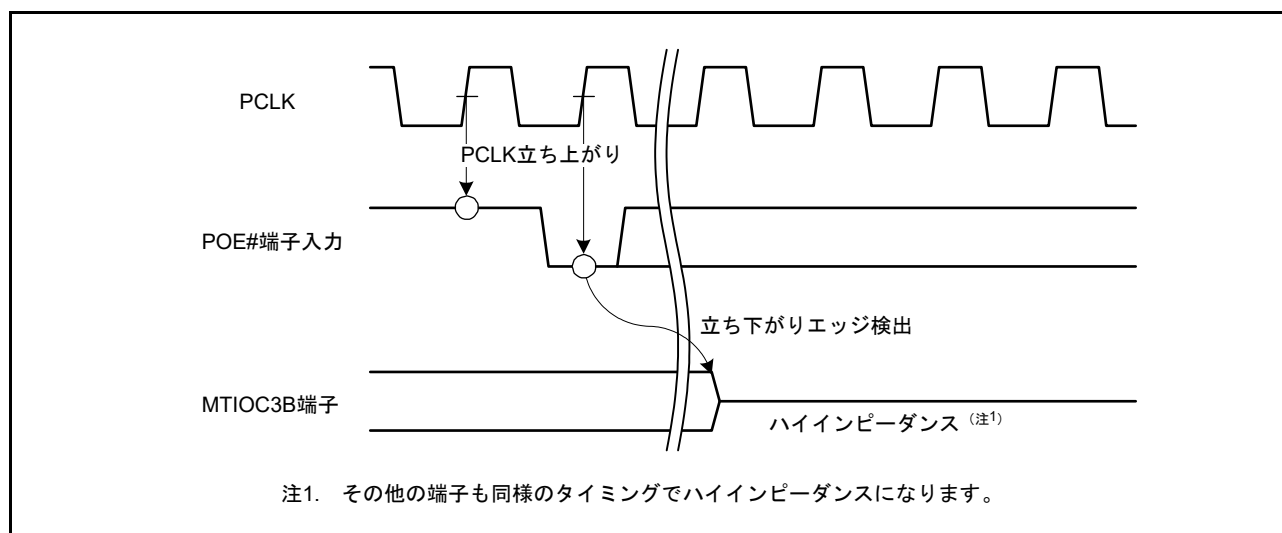


図 25.3 立ち下がりエッジ検出を選択した場合の動作

(2) Low 検出

図 25.4 に Low 検出で端子をハイインピーダンスにする場合の動作例を示します。ICSR1 ~ ICSR5 レジスタで設定したサンプリングクロックで、16 回連続して Low を検出すると Low 検出とみなし、MTU 相補 PWM 出力端子、MTU0 端子の出力をハイインピーダンスにします。このとき、一度でも High を検出した場合は Low 検出とみなしません。

また、サンプリングクロックから MTU 相補 PWM 出力端子および MTU0 端子の出力がハイインピーダンスになるタイミングは、立ち下がりエッジ検出、Low 検出ともに同じです。

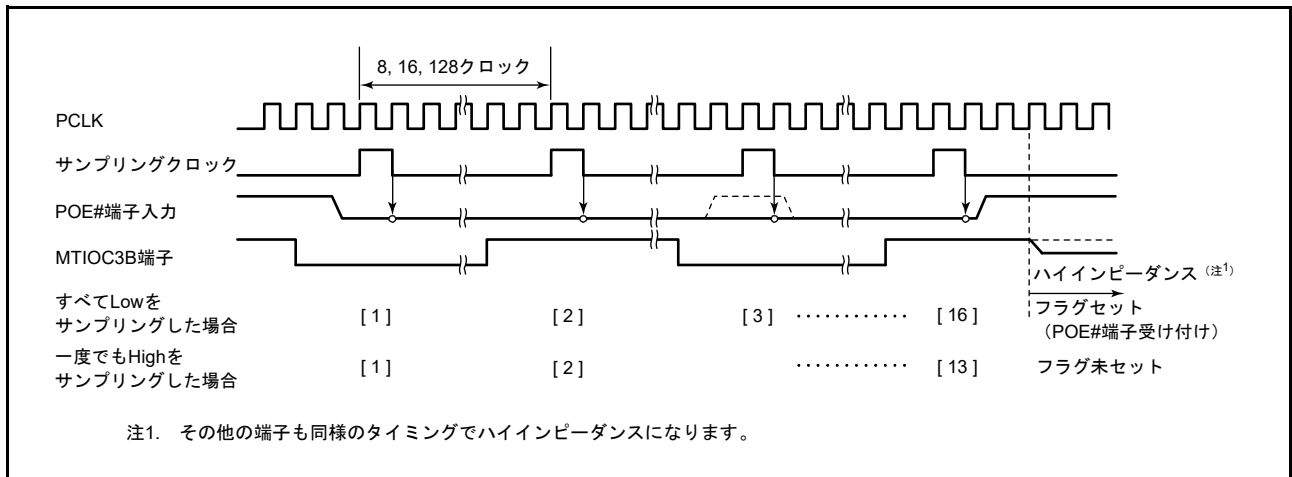


図 25.4 Low 検出を選択した場合の動作

25.3.3 出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、出力レベル比較動作を図 25.5 に示します。他の端子の組み合わせについても同様です。

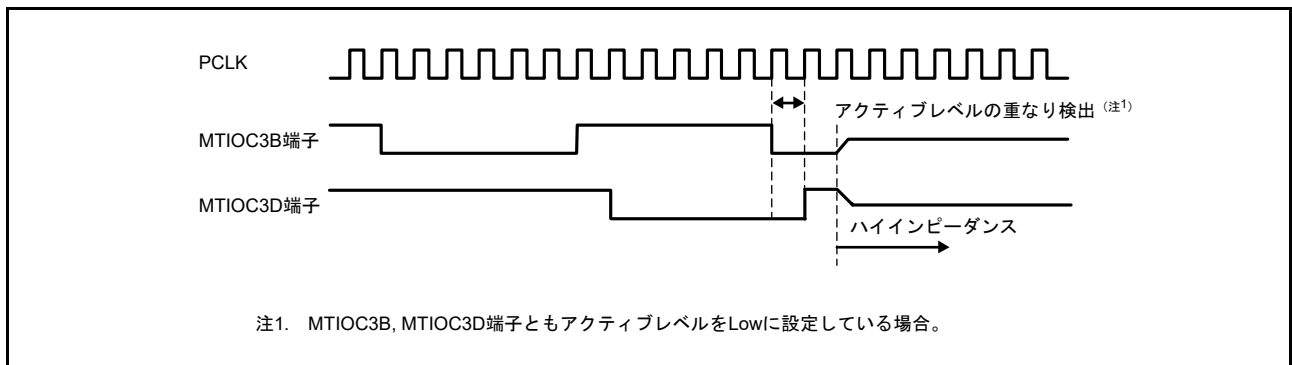


図 25.5 出力レベル検出動作

25.3.4 レジスタによるハイインピーダンス制御

SPOER レジスタにより、直接、MTU 端子 (MTU0, MTU3, MTU4, MTU6, MTU7) のハイインピーダンス制御を行います。

たとえば、SPOER.MTUCH34HIZ ビットを“1”にすることで、POECR2 レジスタで設定した MTU3, MTU4 の端子をハイインピーダンスにできます。

他の端子についても、SPOER レジスタ内のビット設定により同様にハイインピーダンス制御が行えます。

25.3.5 発振停止検出検知によるハイインピーダンス制御

ICSR6.OSTSTE ビットが“1”のとき、クロック発生回路の発振停止検出機能により発振停止が検出されると、POECR1、POECR2 レジスタで設定した MTU 相補 PWM 出力端子、MTU0 端子をハイインピーダンスにできます。

25.3.6 ハイインピーダンス制御条件の追加機能

POECR4、POECR5 レジスタの設定により、MTU 相補 PWM 出力端子、MTU0 端子のハイインピーダンス制御条件を追加することができます。

たとえば、MTU3, MTU4 の端子のハイインピーダンス制御条件に、下記を追加することができます。

- POECR4.IC2ADDMT34ZE ビットを“1”にして、POE4# 端子による入力レベル検出を追加
- POECR4.IC3ADDMT34ZE ビットを“1”にして、POE8# 端子による入力レベル検出を追加
- POECR4.IC4ADDMT34ZE ビットを“1”にして、POE10# 端子による入力レベル検出を追加
- POECR4.IC5ADDMT34ZE ビットを“1”にして、POE11# 端子による入力レベル検出を追加

他の端子についても、POECR4、POECR5 レジスタの設定により同様にハイインピーダンス制御条件の追加が行えます。

25.3.7 ハイインピーダンス状態の解除

入力レベル検出で出力がハイインピーダンスになった端子は、リセットで初期状態に戻すか、ICSR1.POE0F フラグ、ICSR2.POE4F フラグ、ICSR3.POE8F フラグ、ICSR4.POE10F フラグ、ICSR5.POE11F フラグをクリアすることによって解除されます。ただし、ICSR1.POE0M[1:0] ビット、ICSR2.POE4M[1:0] ビット、ICSR3.POE8M[1:0] ビット、ICSR4.POE10M[1:0] ビット、ICSR5.POE11M[1:0] ビットで Low サンプルリングに設定している場合には、POE0#、POE4#、POE8#、POE10#、POE11# 端子から High を入力して High を検出した後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。

出力レベル検出で出力がハイインピーダンスになった端子は、リセットで初期状態に戻すか、OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグを“0”にすることによって解除されます。ただし、端子から非アクティブレベルを出力するようにした後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。非アクティブレベル出力は、MTU の場合はカウント動作停止後に初期出力状態にすることで行うことができます。

発振停止検出で出力がハイインピーダンスになった端子は、リセットで初期状態に戻すか、SYSTEM.OSTDSR.OSTDF フラグを“0”にして ICSR6.OSTSTF フラグを“0”にすることによって解除されません。

25.4 POE3 設定手順

POE3 の設定手順を図 25.6 に示します。例として MTU3 端子 (MTIOC3B/MTIOC3D) の出力レベル比較によるハイインピーダンス制御を示します。図 25.6 では MTIOC3B 端子に P22、MTIOC3D 端子に P23 を使用します。

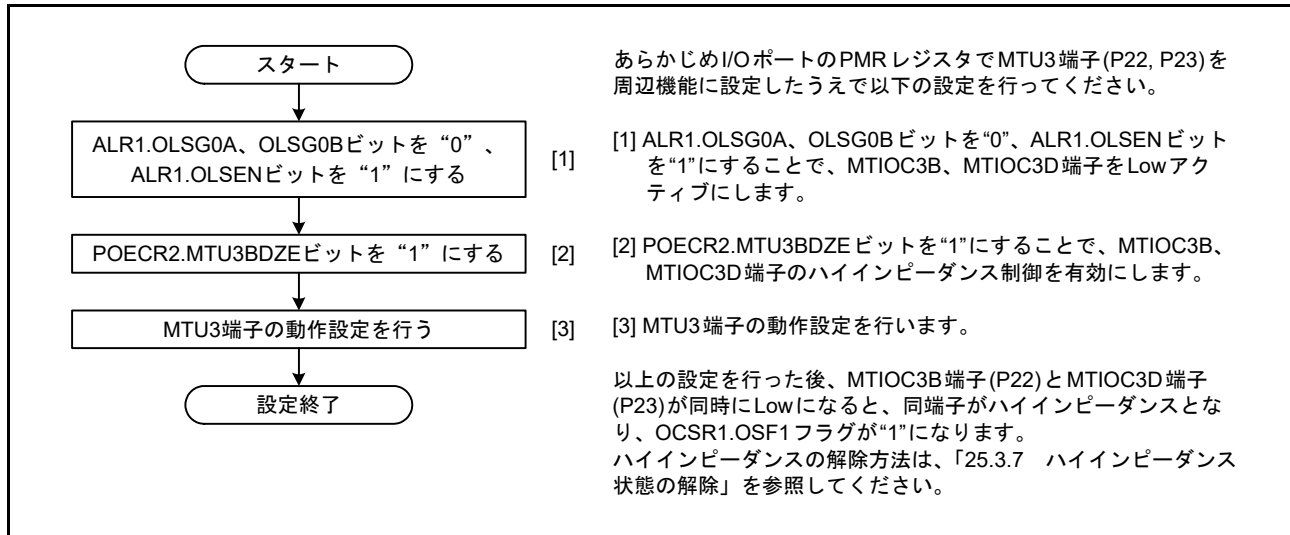


図 25.6 POE3 の設定手順

25.5 割り込み

POE3 は入力レベル検出動作または出力レベル比較動作において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 25.5 に割り込みの種類と割り込み要求を出す条件を示します。

表 25.5 割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F, OSF1	ICSR1.PIE1ビットが“1”の状態(ICSR1.POE0Fフラグが“1”になったとき、またはOCSR1.OIE1ビットが“1”の状態(OCSR1.OSF1フラグが“1”になったとき)
OEI2	アウトプットイネーブル割り込み2	POE4F, OSF2	ICSR2.PIE2ビットが“1”の状態(ICSR2.POE4Fフラグが“1”になったとき、またはOCSR2.OIE2ビットが“1”の状態(OCSR2.OSF2フラグが“1”になったとき)
OEI3	アウトプットイネーブル割り込み3	POE8F	ICSR3.PIE3ビットが“1”の状態(ICSR3.POE8Fフラグが“1”になったとき)
OEI4	アウトプットイネーブル割り込み4	POE10F, POE11F	ICSR4.PIE4ビットが“1”の状態(ICSR4.POE10Fフラグが“1”になったとき、またはICSR5.PIE5ビットが“1”の状態(ICSR5.POE11Fフラグが“1”になったとき)

25.6 使用上の注意事項

25.6.1 低消費電力モードへの遷移

POE3を使用する場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、POE3の動作が停止するため、端子のハイインピーダンス制御はできません。

25.6.2 MTU 端子非選択時のハイインピーダンス制御

POECR1、POECR2レジスタでMTU端子のハイインピーダンス制御を有効にしているときに制御条件を満たすと、MTU機能がマルチプレクスされている端子はMTU機能を選択していない場合でも、出力がハイインピーダンスになります。

意図せず端子の出力がハイインピーダンスになるのを避けるため、MPCのPmnPFSレジスタで選択したMTU端子と、POE3の端子選択レジスタで選択したMTU端子が一致するように設定を行ってください。

25.6.3 POE3を使用しない場合について

POE3による端子のハイインピーダンス制御は、リセット後から有効となっている端子があります。POE3を使用しない場合は、POECR1、POECR2レジスタの対象ビットに“0”を書いてください。

26. 16ビットタイマパルスユニット(TPUa)

本MCUは、6チャンネルの16ビットタイマで構成される16ビットタイマパルスユニット(TPU)を内蔵しています。

本章に記載しているPCLKとはPCLKBを指します。

26.1 概要

表 26.1 に TPU の仕様を、表 26.2 に TPU の機能一覧を示します。

図 26.1 に TPU のブロック図を示します。

表 26.1 TPUの仕様

項目	内容
パルス入出力	最大16本
カウントクロック	各チャンネルに7種類または8種類
設定可能動作	<ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能(ノイズフィルタ設定可能) カウンタクリア動作 複数のタイマカウンタ(TCNT)への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 同期動作と組み合わせることによる最大15相のPWM出力 カスケード接続動作
TPU0, TPU3	バッファ動作を設定可能
TPU1, TPU2, TPU4, TPU5	位相計数モードを設定可能
割り込み要因	26種類
バッファ動作	レジスタデータの自動転送
トリガ生成	プログラマブルパルスジェネレータ(PPG)の出力トリガを生成可能 A/Dコンバータの変換開始トリガを生成可能
イベントリンク機能(出力)	イベント6種類をELCに出力可能 <ul style="list-style-type: none"> コンペアマッチA(TPU0~TPU3) コンペアマッチB(TPU0~TPU3) コンペアマッチC(TPU0, TPU3) コンペアマッチD(TPU0, TPU3) オーバフロー(TPU0~TPU3) アンダフロー(TPU1, TPU2)
イベントリンク機能(入力)	イベント入力により、以下の3種類のいずれかの動作が可能 <ul style="list-style-type: none"> カウントスタート動作(TPU0~TPU3) カウントリスタート動作(TPU0~TPU3) インプットキャプチャ動作(TPU0~TPU3)
消費電力低減機能	モジュールストップ状態への遷移が可能

表26.2 TPUの機能一覧 (1/2)

項目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
カウントクロック	PCLK/1 PCLK/4 PCLK/16 PCLK/64 TCLKA TCLKB TCLKC TCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKB TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 PCLK/4096 TCLKA	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKC TCLKD
位相計数モードの外部クロック	—	TCLKA TCLKB	TCLKC TCLKD	—	TCLKC TCLKD	TCLKA TCLKB
タイマジェネラルレジスタ	TGRA TGRB TGRC(注1) TGRD(注1)	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC(注1) TGRD(注1)	TGRA TGRB	TGRA TGRB
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア機能 (y = A~D)	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ
コンペアマッチ出力	Low出力	○	○	○	○	○
	High出力	○	○	○	○	○
	トグル出力	○	○	○	○	○
インプットキャプチャ機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWMモード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTCの起動(y = A~D)	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ
DMACの起動	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ
A/D変換開始トリガ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	—
PPGトリガ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	—	—

表 26.2 TPUの機能一覧 (2/2)

項目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
割り込み要因	5要因 ・コンペアマッチ/インプットキャプチャ0A ・コンペアマッチ/インプットキャプチャ0B ・コンペアマッチ/インプットキャプチャ0C ・コンペアマッチ/インプットキャプチャ0D ・オーバフロー	4要因 ・コンペアマッチ/インプットキャプチャ1A ・コンペアマッチ/インプットキャプチャ1B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ/インプットキャプチャ2A ・コンペアマッチ/インプットキャプチャ2B ・オーバフロー ・アンダフロー	5要因 ・コンペアマッチ/インプットキャプチャ3A ・コンペアマッチ/インプットキャプチャ3B ・コンペアマッチ/インプットキャプチャ3C ・コンペアマッチ/インプットキャプチャ3D ・オーバフロー	4要因 ・コンペアマッチ/インプットキャプチャ4A ・コンペアマッチ/インプットキャプチャ4B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ/インプットキャプチャ5A ・コンペアマッチ/インプットキャプチャ5B ・オーバフロー ・アンダフロー
イベントリンク機能(出力)	5要因 ・コンペアマッチ0A ・コンペアマッチ0B ・コンペアマッチ0C ・コンペアマッチ0D ・オーバフロー	4要因 ・コンペアマッチ1A ・コンペアマッチ1B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ2A ・コンペアマッチ2B ・オーバフロー ・アンダフロー	5要因 ・コンペアマッチ3A ・コンペアマッチ3B ・コンペアマッチ3C ・コンペアマッチ3D ・オーバフロー	—	—
イベントリンク機能(入力)	・カウントスタート動作 ・カウントリスタート動作 ・インプットキャプチャ動作(TGRAにキャプチャ)	・カウントスタート動作 ・カウントリスタート動作 ・インプットキャプチャ動作(TGRAにキャプチャ)	・カウントスタート動作 ・カウントリスタート動作 ・インプットキャプチャ動作(TGRAにキャプチャ)	・カウントスタート動作 ・カウントリスタート動作 ・インプットキャプチャ動作(TGRAにキャプチャ)	—	—
モジュールストップの設定(注2)	MSTPCRA.MSTPA13 ビット					

○ : 可能
 — : 不可能

注1. TGRCレジスタとTGRDレジスタは、バッファレジスタとして設定できます。
 注2. 詳細は「11. 消費電力低減機能」を参照してください。

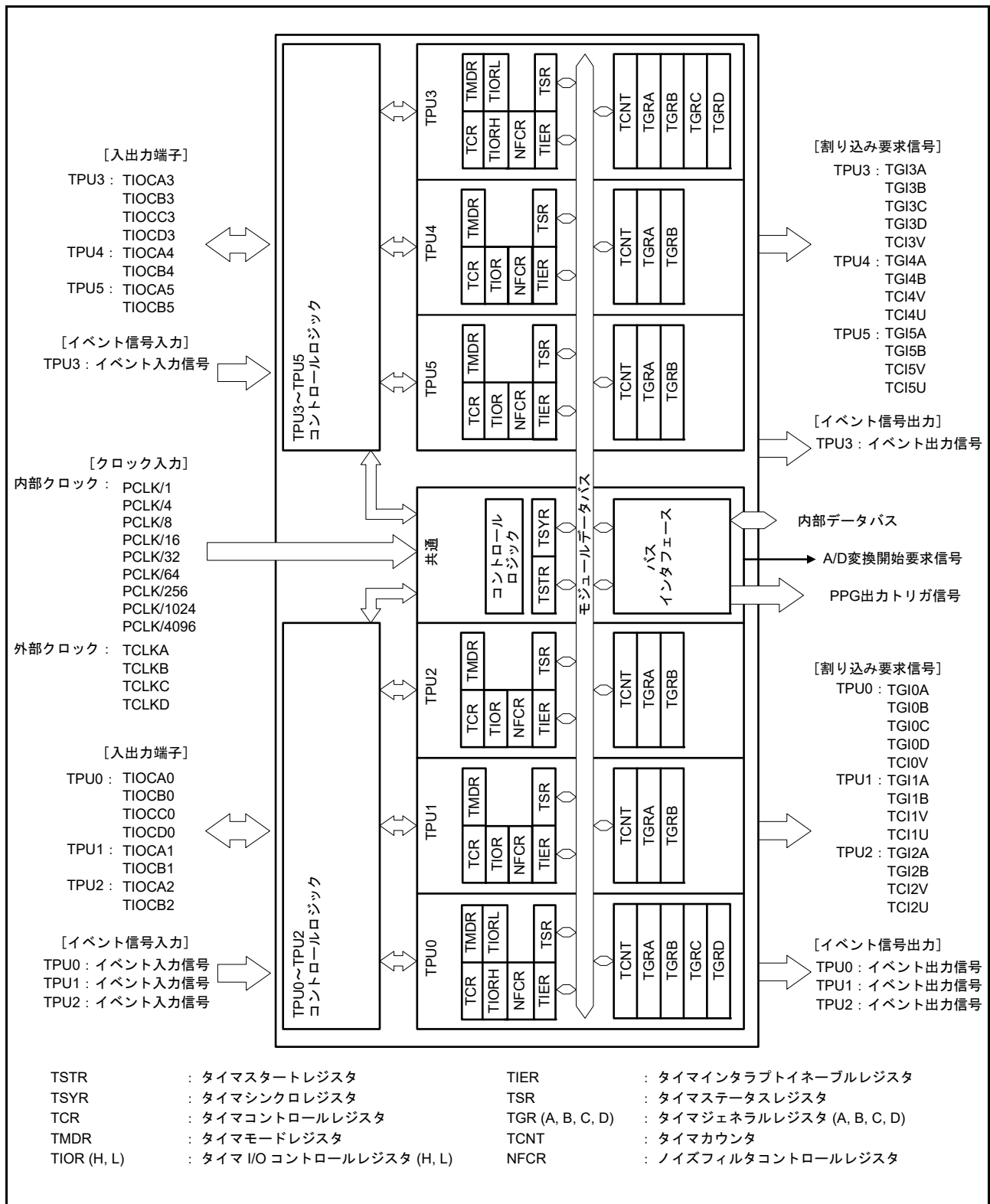


図 26.1 TPU のブロック図

表 26.3 に TPU で使用する入出力端子を示します。

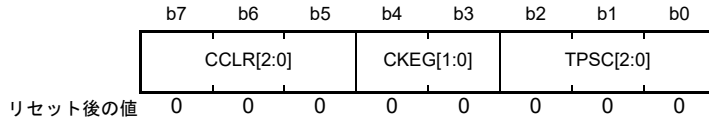
表 26.3 TPUの入出力端子

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロックA入力端子(TPU1、TPU5の位相計数モードA相入力)
	TCLKB	入力	外部クロックB入力端子(TPU1、TPU5の位相計数モードB相入力)
	TCLKC	入力	外部クロックC入力端子(TPU2、TPU4の位相計数モードA相入力)
	TCLKD	入力	外部クロックD入力端子(TPU2、TPU4の位相計数モードB相入力)
TPU0	TIOCA0	入出力	TPU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB0	入出力	TPU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCC0	入出力	TPU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCD0	入出力	TPU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU1	TIOCA1	入出力	TPU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB1	入出力	TPU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU2	TIOCA2	入出力	TPU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB2	入出力	TPU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU3	TIOCA3	入出力	TPU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB3	入出力	TPU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCC3	入出力	TPU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCD3	入出力	TPU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU4	TIOCA4	入出力	TPU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB4	入出力	TPU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU5	TIOCA5	入出力	TPU5.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB5	入出力	TPU5.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

26.2 レジスタの説明

26.2.1 タイマコントロールレジスタ (TCR)

アドレス TPU0.TCR 0008 8110h, TPU1.TCR 0008 8120h, TPU2.TCR 0008 8130h,
TPU3.TCR 0008 8140h, TPU4.TCR 0008 8150h, TPU5.TCR 0008 8160h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 26.4～表 26.9を参照してください	R/W
b4-b3	CKEG[1:0]	入力クロックエッジ選択ビット	表 26.10を参照してください	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット(注1)	表 26.11、表 26.12を参照してください	R/W

注1. TPU1、TPU2、TPU4、TPU5では、b7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUm.TCR レジスタの設定は、TPUm.TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のクロックを選択します。チャンネルごとにクロックソースを選択することができます。

クロックに外部クロックを選択する場合は、該当する端子のポート方向レジスタ (PDR) のビットを“0” (入力ポート) に、ポートモードレジスタ (PMR) のビットを“1” (周辺機能として使用) にしてください。詳細は、「22. I/O ポート」を参照してください。

CKEG[1:0] ビット (入力クロックエッジ選択ビット)

入力クロックのエッジを選択します。

内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: PCLK/4 の両エッジ = PCLK/2 の立ち上がりエッジ)。

内部クロックのエッジ選択は、入力クロックが PCLK/4、もしくはそれより遅い場合に有効です。入力クロックに PCLK/1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、この設定は無視されます。

表 26.4 TPSC[2:0]ビット(TPU0)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU0	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKA端子入力でカウント
	1	0	1	外部クロック : TCLKB端子入力でカウント
	1	1	0	外部クロック : TCLKC端子入力でカウント
	1	1	1	外部クロック : TCLKD端子入力でカウント

表 26.5 TPSC[2:0]ビット(TPU1)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU1	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKA端子入力でカウント
	1	0	1	外部クロック : TCLKB端子入力でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	TPU2.TCNTのオーバフロー/アンダフローでカウント

注. TPU1が位相計数モード時、この設定は無効になります。

表 26.6 TPSC[2:0]ビット(TPU2)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU2	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKA端子入力でカウント
	1	0	1	外部クロック : TCLKB端子入力でカウント
	1	1	0	外部クロック : TCLKC端子入力でカウント
	1	1	1	内部クロック : PCLK/1024でカウント

注. TPU2が位相計数モード時、この設定は無効になります。

表 26.7 TPSC[2:0]ビット(TPU3)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU3	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKA端子入力でカウント
	1	0	1	内部クロック : PCLK/1024でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	内部クロック : PCLK/4096でカウント

表 26.8 TPSC[2:0]ビット(TPU4)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU4	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKA端子入力でカウント
	1	0	1	外部クロック : TCLKC端子入力でカウント
	1	1	0	内部クロック : PCLK/1024でカウント
	1	1	1	TPU5.TCNTのオーバフロー/アンダフローでカウント

注. TPU4が位相計数モード時、この設定は無効になります。

表 26.9 TPSC[2:0]ビット(TPU5)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU5	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKA端子入力でカウント
	1	0	1	外部クロック : TCLKC端子入力でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	外部クロック : TCLKD端子入力でカウント

注. TPU5が位相計数モード時、この設定は無効になります。

表 26.10 CKEG[1:0]ビット

CKEG[1:0]ビット		入力クロック	
b4	b3	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	0	両エッジでカウント	両エッジでカウント
1	1	両エッジでカウント	両エッジでカウント

表 26.11 CCLR[2:0]ビット (TPU0, TPU3)

チャンネル	CCLR[2:0]ビット			機能
	b7	b6	b5	
TPU0, TPU3	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注2)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア(注1)
	1	1	0	TGRDレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア(注1)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注2)

注1. TGRC、またはTGRDレジスタをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

注2. 同期動作の設定はTPUA.TSYR.SYNCjビット(j = 0, 3)を“1”にすることによって行います。

表 26.12 CCLR[2:0]ビット (TPU1, TPU2, TPU4, TPU5)

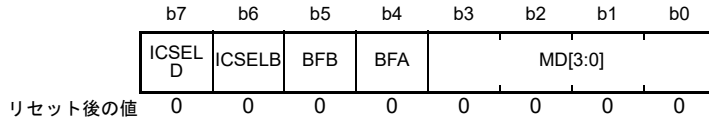
チャンネル	CCLR[2:0]ビット			機能
	b7 (注1)	b6	b5	
TPU1, TPU2, TPU4, TPU5	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注2)
	1	0	0	設定しないでください
	1	0	1	設定しないでください
	1	1	0	設定しないでください
	1	1	1	設定しないでください

注1. TPU1、TPU2、TPU4、TPU5では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. 同期動作の設定は、TPUA.TSYR.SYNCjビット(j = 1, 2, 4, 5)を“1”にすることによって行います。

26.2.2 タイマモードレジスタ (TMDR)

アドレス TPU0.TMDR 0008 8111h, TPU1.TMDR 0008 8121h, TPU2.TMDR 0008 8131h,
TPU3.TMDR 0008 8141h, TPU4.TMDR 0008 8151h, TPU5.TMDR 0008 8161h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	b3 b0 0 0 0 0 : 通常動作 0 0 0 1 : 設定しないでください 0 0 1 0 : PWMモード1 0 0 1 1 : PWMモード2 0 1 0 0 : 位相計数モード1(注1) 0 1 0 1 : 位相計数モード2(注1) 0 1 1 0 : 位相計数モード3(注1) 0 1 1 1 : 位相計数モード4(注1) 上記以外は設定しないでください	R/W
b4	BFA	バッファ動作Aビット(注2)	0 : TPUm.TGRAレジスタは通常動作 1 : TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作 (m = 0, 3)	R/W
b5	BFB	バッファ動作Bビット(注2)	0 : TPUm.TGRBレジスタは通常動作 1 : TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作 (m = 0, 3)	R/W
b6	ICSELB	TGRBインプットキャプチャ入力選択ビット	0 : インプットキャプチャ入力元はTIOCBn端子 1 : インプットキャプチャ入力元はTIOCBn端子(n = 0~5)	R/W
b7	ICSELD	TGRDインプットキャプチャ入力選択ビット(注2)	0 : インプットキャプチャ入力元はTIOCDn端子 1 : インプットキャプチャ入力元はTIOCDn端子(n = 0, 3)	R/W

注1. TPU0、TPU3では、位相計数モードの設定はできません。b2は“0”にしてください。

注2. TGRC、TGRDレジスタを持たないTPU1、TPU2、TPU4、TPU5では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUm.TMDR レジスタの設定は、TPUm.TCNT の動作が停止した状態で行ってください。

BFA ビット (バッファ動作 A ビット)

TPUm.TGRA レジスタ (m = 0, 3) を通常動作させるか、TPUm.TGRA レジスタと TPUm.TGRC レジスタ (m = 0, 3) を組み合わせてバッファ動作させるかを選択します。

TGRC レジスタをバッファレジスタとして使用した場合は、TGRC レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

BFB ビット (バッファ動作 B ビット)

TPUm.TGRB レジスタ (m = 0, 3) を通常動作させるか、TPUm.TGRB レジスタと TPUm.TGRD レジスタ (m = 0, 3) を組み合わせてバッファ動作させるかを選択します。

TGRD レジスタをバッファレジスタとして使用した場合は、TGRD レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

ICSELB ビット (TGRB インพุットキャプチャ入力選択ビット)

TPUm.TGRB レジスタ (m = 0 ~ 5) のインพุットキャプチャ入力を選択します。この機能を使用して 1 本の TIOCA_n 入力端子で入力パルスの High 幅と周期を測定できます。

ICSELD ビット (TGRD インพุットキャプチャ入力選択ビット)

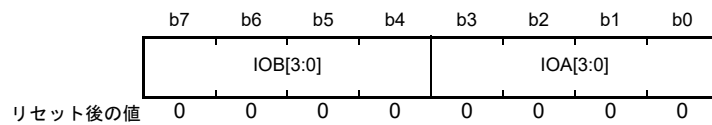
TPUm.TGRD レジスタ (m = 0, 3) のインพุットキャプチャ入力を選択します。

この機能を使用して 1 本の TIOCC_n 入力端子で入力パルスの High 幅と周期を測定できます。

26.2.3 タイマ I/O コントロールレジスタ (TIORH, TIORL, TIOR)

- TPU0.TIORH, TPU1.TIOR, TPU2.TIOR, TPU3.TIORH, TPU4.TIOR, TPU5.TIOR

アドレス TPU0.TIORH 0008 8112h, TPU1.TIOR 0008 8122h, TPU2.TIOR 0008 8132h,
TPU3.TIORH 0008 8142h, TPU4.TIOR 0008 8152h, TPU5.TIOR 0008 8162h

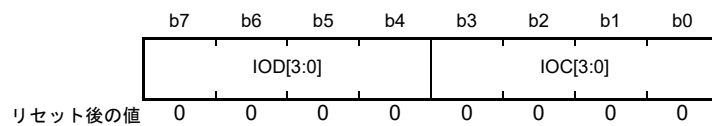


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	TGRA レジスタコントロールビット	表 26.13 ~ 表 26.18 を参照してください(注1)	R/W
b7-b4	IOB[3:0]	TGRB レジスタコントロールビット	表 26.13 ~ 表 26.18 を参照してください(注1)	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO_n[3:0]ビット (n = A, B)の値を出力禁止("0000b"または"0100b")へ変更するとHi-Zになります。

- TPU0.TIORL, TPU3.TIORL

アドレス TPU0.TIORL 0008 8113h, TPU3.TIORL 0008 8143h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	TGRC レジスタコントロールビット	表 26.19、表 26.20 を参照してください(注1)	R/W
b7-b4	IOD[3:0]	TGRD レジスタコントロールビット	表 26.19、表 26.20 を参照してください(注1)	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO_n[3:0]ビット (n = C, D)の値を出力禁止("0000b"または"0100b")へ変更するとHi-Zになります。

TPU には、TPU0、TPU3 に各 1 本、計 2 本の TIORH レジスタ、TPU0、TPU3 に各 1 本、計 2 本の TIORL レジスタ、TPU1、TPU2、TPU4、TPU5 に各 1 本、計 4 本の TIOR レジスタがあります。総計 8 本のタイマ I/O コントロールレジスタがあります。

TIORH、TIORL、TIOR レジスタは、TGRA ~ TGRD レジスタを制御するレジスタです。

TIORH、TIORL、TIOR レジスタは、TMDR レジスタの設定の影響を受けますので注意してください。

詳細は表 26.13 ~ 表 26.20 を参照してください。

TIORH、TIORL、TIORレジスタで指定した初期出力は、カウンタのカウント動作が停止した状態(TPUA.TSTR.CSTjビット(j=0~5)が“0”)の有効になります。また、PWMモード2の場合の初期出力には、TCNTが“0”になった時点での出力を指定します。

TGRCレジスタまたはTGRDレジスタをバッファ動作に設定した場合、IOC[3:0]ビットまたはIOD[3:0]ビットで設定したレジスタの機能は無効となり、TGRCレジスタまたはTGRDレジスタはバッファレジスタとして動作します。

TIORH、TIORL、TIORレジスタでインプットキャプチャとしての機能を選択する場合は、該当する端子のポート方向レジスタ(PDR)のビットを“0”(入力ポート)に、ポートモードレジスタ(PMR)のビットを“1”(周辺機能として機能)にしてください。詳細は、「22. I/Oポート」を参照してください。

IOA[3:0]ビット(TGRAレジスタコントロールビット)

TPUm.TGRAレジスタ(m=0~5)の機能を選択します。

IOB[3:0]ビット(TGRBレジスタコントロールビット)

TPUm.TGRBレジスタ(m=0~5)の機能を選択します。

IOC[3:0]ビット(TGRCレジスタコントロールビット)

TPUm.TGRCレジスタ(m=0,3)の機能を選択します。

IOD[3:0]ビット(TGRDレジスタコントロールビット)

TPUm.TGRDレジスタ(m=0,3)の機能を選択します。

表26.13 TPU0.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU0.TGRAレジスタの機能	TIOCA0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA0端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA0端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA0端子、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU1のカウンタクロック、TPU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注1)

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU0.TGRBレジスタの機能	TIOCB0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB0/TIOCA0端子(注2)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB0/TIOCA0端子(注2)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB0/TIOCA0端子(注2)、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU1のカウンタクロック、TPU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注1)

x : Don't care

注1. TPU1.TCR.TPSC[2:0]ビットを“000b”とし、TPU1.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。

注2. TPU0.TMDR.ICSELBビットで選択します。

表 26.14 TPU1.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU1.TGRAレジスタの機能	TIOCA1端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA1端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA1端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA1端子、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャ、TPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU1.TGRBレジスタの機能	TIOCB1端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB1/TIOCA1端子(注1)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB1/TIOCA1端子(注1)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB1/TIOCA1端子(注1)、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャ、TPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

注1. TPU1.TMDR.ICSELBビットで選択します。

表 26.15 TPU2.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU2.TGRAレジスタの機能	TIOCA2端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA2端子、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCA2端子、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCA2端子、両エッジでインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU2.TGRBレジスタの機能	TIOCB2端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB2/TIOCA2端子(注1)、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCB2/TIOCA2端子(注1)、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCB2/TIOCA2端子(注1)、両エッジでインプットキャプチャ

x : Don't care

注1. TPU2.TMDR.ICSELBビットで選択します。

表 26.16 TPU3.TIORH

IOA[3:0] ビット				説明	
b3	b2	b1	b0	TPU3.TGRA レジスタの機能	TIOCA3 端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA3端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA3端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA3端子、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU4のカウンタクロック、TPU4.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注1)

IOB[3:0] ビット				説明	
b7	b6	b5	b4	TPU3.TGRB レジスタの機能	TIOCB3 端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB3/TIOCA3端子(注2)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB3/TIOCA3端子(注2)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB3/TIOCA3端子(注2)、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU4のカウンタクロック、TPU4.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注1)

x : Don't care

注1. TPU4.TCR.TPSC[2:0]ビットを“000b”とし、TPU4.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。

注2. TPU3.TMDR.ICSELBビットで選択します。

表 26.17 TPU4.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU4.TGRAレジスタの機能	TIOCA4端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA4端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA4端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA4端子、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャ、TPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU4.TGRBレジスタの機能	TIOCB4端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB4/TIOCA4端子(注1)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB4/TIOCA4端子(注1)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB4/TIOCA4端子(注1)、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャ、TPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

注1. TPU4.TMDR.ICSELBビットで選択します。

表 26.18 TPU5.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU5.TGRAレジスタの機能	TIOCA5端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元はTIOCA5端子、立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元はTIOCA5端子、両エッジでインプットキャプチャ	

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU5.TGRBレジスタの機能	TIOCB5端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元はTIOCB5/TIOCA5端子(注1)、立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元はTIOCB5/TIOCA5端子(注1)、両エッジでインプットキャプチャ	

x : Don't care

注1. TPU5.TMDR.ICSELBビットで選択します。

表 26.19 TPU0.TIORL

IOC[3:0] ビット				説明	
b3	b2	b1	b0	TPU0.TGRC レジスタの機能	TIOCC0 端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	キャプチャ入力元はTIOCC0端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCC0端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCC0端子、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU1のカウンタクロック、TPU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注3)

IOD[3:0] ビット				説明	
b7	b6	b5	b4	TPU0.TGRD レジスタの機能	TIOCD0 端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注2)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注2)	キャプチャ入力元はTIOCD0/TIOCC0端子(注4)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCD0/TIOCC0端子(注4)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCD0/TIOCC0端子(注4)、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU1のカウンタクロック、TPU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注3)

x : Don't care

- 注1. TPU0.TMDR.BFAビットを“1”(TPU0.TGRAレジスタとTPU0.TGRCレジスタはバッファ動作)にして、TPU0.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注2. TPU0.TMDR.BFBビットを“1”(TPU0.TGRBレジスタとTPU0.TGRDレジスタはバッファ動作)にして、TPU0.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注3. TPU1.TCR.TPSC[2:0]ビットを“000b”とし、TPU1.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。
- 注4. TPU0.TMDR.ICSELDビットの設定で選択します。

表 26.20 TPU3.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPU3.TGRCレジスタの機能	TIOCC3端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	キャプチャ入力元はTIOCC3端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCC3端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCC3端子、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU4のカウンタクロック、TPU4.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注3)

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPU3.TGRDレジスタの機能	TIOCD3端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注2)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注2)	キャプチャ入力元はTIOCD3/TIOCC3端子(注4)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCD3/TIOCC3端子(注4)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCD3/TIOCC3端子(注4)、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU4のカウンタクロック、TPU4.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注3)

x : Don't care

- 注1. TPU3.TMDR.BFAビットを“1”(TPU3.TGRAレジスタとTPU3.TGRCレジスタはバッファ動作)にして、TPU3.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注2. TPU3.TMDR.BFBビットを“1”(TPU3.TGRBレジスタとTPU3.TGRDレジスタはバッファ動作)にして、TPU3.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注3. TPU4.TCR.TPSC[2:0]ビットを“000b”とし、TPU4.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。
- 注4. TPU3.TMDR.ICSELDビットの設定で選択します。

26.2.4 タイマ割り込み許可レジスタ (TIER)

アドレス TPU0.TIER 0008 8114h, TPU1.TIER 0008 8124h, TPU2.TIER 0008 8134h,
TPU3.TIER 0008 8144h, TPU4.TIER 0008 8154h, TPU5.TIER 0008 8164h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA

リセット後の値 0 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGRA割り込み許可ビット	0: 割り込み(TGImA)を禁止 1: 割り込み(TGImA)を許可 (m = 0~5)	R/W
b1	TGIEB	TGRB割り込み許可ビット	0: 割り込み(TGImB)を禁止 1: 割り込み(TGImB)を許可 (m = 0~5)	R/W
b2	TGIEC	TGRC割り込み許可ビット(注1)	0: 割り込み(TGImC)を禁止 1: 割り込み(TGImC)を許可 (m = 0, 3)	R/W
b3	TGIED	TGRD割り込み許可ビット(注1)	0: 割り込み(TGImD)を禁止 1: 割り込み(TGImD)を許可 (m = 0, 3)	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み(TCImV)を禁止 1: 割り込み(TCImV)を許可 (m = 0~5)	R/W
b5	TCIEU	アンダフロー割り込み許可ビット(注2)	0: 割り込み(TCImU)を禁止 1: 割り込み(TCImU)を許可 (m = 1, 2, 4, 5)	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TTGE	A/D変換開始要求許可ビット(注3)	0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W

注1. TPU1、TPU2、TPU4、TPU5では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. TPU0、TPU3では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注3. TPU5では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TPUm.TGRA レジスタ (m = 0~4) のインプットキャプチャ/コンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。

26.2.5 タイマステータスレジスタ (TSR)

アドレス TPU0.TSR 0008 8115h, TPU1.TSR 0008 8125h, TPU2.TSR 0008 8135h,
TPU3.TSR 0008 8145h, TPU4.TSR 0008 8155h, TPU5.TSR 0008 8165h

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGFA	インプットキャプチャ/アウト プットコンペアフラグA	0 : TPUm.TGRAのインプットキャプチャまたはコンペアマッ チが発生していない 1 : TPUm.TGRAのインプットキャプチャまたはコンペアマッ チが発生 (m = 0~5)	R/W (注1)
b1	TGFB	インプットキャプチャ/アウト プットコンペアフラグB	0 : TPUm.TGRBのインプットキャプチャまたはコンペアマッ チが発生していない 1 : TPUm.TGRBのインプットキャプチャまたはコンペアマッ チが発生 (m = 0~5)	R/W (注1)
b2	TGFC	インプットキャプチャ/アウト プットコンペアフラグC(注2)	0 : TPUm.TGRCのインプットキャプチャまたはコンペアマッ チが発生していない 1 : TPUm.TGRCのインプットキャプチャまたはコンペアマッ チが発生 (m = 0, 3)	R/W (注1)
b3	TGFD	インプットキャプチャ/アウト プットコンペアフラグD(注2)	0 : TPUm.TGRDのインプットキャプチャまたはコンペアマッ チが発生していない 1 : TPUm.TGRDのインプットキャプチャまたはコンペアマッ チが発生 (m = 0, 3)	R/W (注1)
b4	TCFV	オーバフローフラグ	0 : TPUm.TCNTのオーバフローが発生していない 1 : TPUm.TCNTのオーバフローが発生 (m = 0~5)	R/W (注1)
b5	TCFU	アンダフローフラグ(注3)	0 : TPUm.TCNTのアンダフローが発生していない 1 : TPUm.TCNTのアンダフローが発生 (m = 1, 2, 4, 5)	R/W (注1)
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ(注4)	0 : TPUm.TCNTはダウンカウント 1 : TPUm.TCNTはアップカウント (m = 1, 2, 4, 5)	R

注1. フラグをクリアするための“0”を書くことのみ可能です。

注2. TPU1、TPU2、TPU4、TPU5では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注3. TPU0、TPU3では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注4. TPU0、TPU3では予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。

TGFA フラグ (インプットキャプチャ/アウトプットコンペアフラグ A)

TPUm.TGRA (m = 0 ~ 5) のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

["1" になる条件]

- TPUm.TGRA がアウトプットコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRA になったとき
- TPUm.TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRA に転送されたとき

["0" になる条件]

- TGImA 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFA = 1 を読んだ後、TGFA フラグに "0" を書いたとき

TGFB フラグ (インプットキャプチャ/アウトプットコンペアフラグ B)

TPUm.TGRB (m = 0 ~ 5) のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

["1" になる条件]

- TPUm.TGRB がアウトプットコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRB になったとき
- TPUm.TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRB に転送されたとき

["0" になる条件]

- TGImB 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFB = 1 を読んだ後、TGFB フラグに "0" を書いたとき

TGFC フラグ (インプットキャプチャ/アウトプットコンペアフラグ C)

TPUm.TGRC (m = 0, 3) のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

["1" になる条件]

- TPUm.TGRC がアウトプットコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRC になったとき
- TPUm.TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRC に転送されたとき

["0" になる条件]

- TGImC 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFC = 1 を読んだ後、TGFC フラグに "0" を書いたとき

TGFD フラグ (インプットキャプチャ/アウトプットコンペアフラグ D)

TPUm.TGRD (m = 0, 3) のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

[“1”になる条件]

- TPUm.TGRD がアウトプットコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRD になったとき
- TPUm.TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRD に転送されたとき

[“0”になる条件]

- TGImD 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが“0”のとき
- TGFD = 1 を読んだ後、TGFD フラグに“0”を書いたとき

TCFV フラグ (オーバフローフラグ)

TPUm.TCNT (m = 0 ~ 5) のオーバフローの発生を示すステータスフラグです。

[“1”になる条件]

- TPUm.TCNT の値がオーバフローしたとき (“FFFFh” → “0000h”)

[“0”になる条件]

- TCFV = 1 を読んだ後、TCFV フラグに“0”を書いたとき

TCFU フラグ (アンダフローフラグ)

TPUm.TCNT (m = 1, 2, 4, 5) のアンダフローの発生を示すステータスフラグです。

[“1”になる条件]

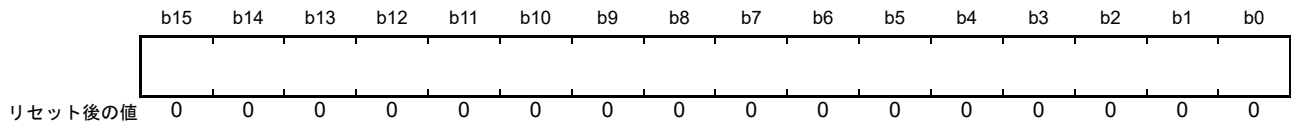
- TPUm.TCNT の値がアンダフローしたとき (“0000h” → “FFFFh”)

[“0”になる条件]

- TCFU = 1 を読んだ後、TCFU フラグに“0”を書いたとき

26.2.6 タイマカウンタ (TCNT)

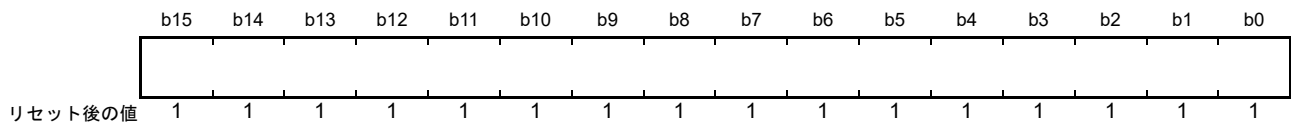
アドレス TPU0.TCNT 0008 8116h, TPU1.TCNT 0008 8126h, TPU2.TCNT 0008 8136h,
TPU3.TCNT 0008 8146h, TPU4.TCNT 0008 8156h, TPU5.TCNT 0008 8166h



TPUm.TCNT は、内部クロックまたは外部イベントをカウントする読み出し / 書き込み可能なカウンタです。

26.2.7 タイマジェネラルレジスタ A (TGRA) タイマジェネラルレジスタ B (TGRB) タイマジェネラルレジスタ C (TGRC) タイマジェネラルレジスタ D (TGRD)

アドレス TPU0.TGRA 0008 8118h, TPU0.TGRB 0008 811Ah, TPU0.TGRC 0008 811Ch, TPU0.TGRD 0008 811Eh,
TPU1.TGRA 0008 8128h, TPU1.TGRB 0008 812Ah,
TPU2.TGRA 0008 8138h, TPU2.TGRB 0008 813Ah,
TPU3.TGRA 0008 8148h, TPU3.TGRB 0008 814Ah, TPU3.TGRC 0008 814Ch, TPU3.TGRD 0008 814Eh,
TPU4.TGRA 0008 8158h, TPU4.TGRB 0008 815Ah,
TPU5.TGRA 0008 8168h, TPU5.TGRB 0008 816Ah



TPU には、TPU0、TPU3 に各 4 本、TPU1、TPU2、TPU4、TPU5 に各 2 本、計 16 本のタイマジェネラルレジスタがあります。

TPUm.TGRA (m = 0 ~ 5)、TPUm.TGRB (m = 0 ~ 5)、TPUm.TGRC (m = 0, 3)、TPUm.TGRD (m = 0, 3) レジスタは、アウトプットコンペア / インプットキャプチャ兼用のレジスタで、読み出し / 書き込みが可能です。

TPUm.TGRC レジスタと TPUm.TGRD レジスタは、バッファレジスタとして動作設定することができます。バッファ動作時のレジスタの組み合わせは、TPUm.TGRA レジスタと TPUm.TGRC レジスタ、TPUm.TGRB レジスタと TPUm.TGRD レジスタになります。

26.2.8 タイマスタートレジスタ (TSTR)

アドレス TPUA.TSTR 0008 8100h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CST5	CST4	CST3	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0: TCNTのカウンタ動作は停止 1: TCNTはカウンタ動作	R/W
b1	CST1	カウンタスタート1ビット		R/W
b2	CST2	カウンタスタート2ビット		R/W
b3	CST3	カウンタスタート3ビット		R/W
b4	CST4	カウンタスタート4ビット		R/W
b5	CST5	カウンタスタート5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPUA.TSTR レジスタは、TPU0～TPU5のTCNTの動作/停止を選択するレジスタです。

TPUm.TMDR レジスタで動作モードを設定する場合や、TPUm.TCR レジスタでTPUm.TCNTのカウンタクロックを設定する場合は、TPUm.TCNTのカウンタ動作を停止させてから行ってください。

CSTn ビット (カウンタスタート n ビット) (n = 0 ~ 5)

TCNTの動作/停止を選択します。

CSTn ビットが“1”で、対応するTIOCyn端子 (y = A ~ D, n = 0 ~ 5) が出力状態のときに、CSTn ビットを“0”にするとカウンタ動作は停止しますが、対応するTIOCyn端子のアウトプットコンペア出力レベルは保持されます。

CSTn ビットが“0”のとき、TIORH、TIORL、TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

26.2.9 タイマシンクロレジスタ (TSYR)

アドレス TPUA.TSYR 0008 8101h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0: TCNTは単独動作 (TCNTのセット/クリアは、他のチャンネルとは無関係) 1: TCNTは同期動作(注1) (TCNTの同期セット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット		R/W
b2	SYNC2	タイマ同期2ビット		R/W
b3	SYNC3	タイマ同期3ビット		R/W
b4	SYNC4	タイマ同期4ビット		R/W
b5	SYNC5	タイマ同期5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 同期動作の設定には、最低2チャンネルのSYNCnビット(n = 0~5)を“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTのクリア要因を選択する必要があります。

TPUA.TSYR レジスタはTPU0 ~ TPU5 のTCNTの単独動作または同期動作を選択するレジスタです。

SYNCn ビット (タイマ同期 n ビット) (n = 0 ~ 5)

TCNTが他のチャンネルのTCNTと同期動作をするか、単独動作にするかを選択します。

同期動作を選択すると、複数のTCNTの同期セットや、他のチャンネルのカウンタクリアによる同期クリアが可能となります。

26.2.10 ノイズフィルタコントロールレジスタ (NFCR)

アドレス TPU0.NFCR 0008 8108h, TPU1.NFCR 0008 8109h, TPU2.NFCR 0008 810Ah,
TPU3.NFCR 0008 810Bh, TPU4.NFCR 0008 810Ch, TPU5.NFCR 0008 810Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ許可Aビット	0 : TIOCAmのノイズフィルタは無効 1 : TIOCAmのノイズフィルタは有効 (m = 0~5)	R/W
b1	NFBEN	ノイズフィルタ許可Bビット	0 : TIOCBmのノイズフィルタは無効 1 : TIOCBmのノイズフィルタは有効 (m = 0~5)	R/W
b2	NFCEN	ノイズフィルタ許可Cビット(注1)	0 : TIOCCmのノイズフィルタは無効 1 : TIOCCmのノイズフィルタは有効 (m = 0, 3)	R/W
b3	NFDEN	ノイズフィルタ許可Dビット(注1)	0 : TIOCDmのノイズフィルタは無効 1 : TIOCDmのノイズフィルタは有効 (m = 0, 3)	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	b5 b4 0 0 : PCLK/1 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと"0"が読めます。書き込みはできません	R

注1. TPU1、TPU2、TPU4、TPU5では予約ビットです。読むと"0"が読めます。書き込みはできません。

TPUm.NFCR レジスタの設定は、TPUm.TCNT の動作が停止した状態で行ってください。

NFAEN ビット (ノイズフィルタ許可 A ビット)

TIOCAm 端子 (m = 0 ~ 5) のノイズフィルタ機能の有効 / 無効を設定します。

NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ許可 B ビット)

TIOCBm 端子 (m = 0 ~ 5) のノイズフィルタ機能の有効 / 無効を設定します。

NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ許可 C ビット)

TIOCCm 端子 (m = 0, 3) のノイズフィルタ機能の有効 / 無効を設定します。

NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ許可 D ビット)

TIOCDm 端子 (m = 0, 3) のノイズフィルタ機能の有効 / 無効を設定します。

NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリングクロックを選択します。

NFCS[1:0] ビットを“11b”としてカウントソースを選択した場合、サンプリングクロックの対象となるのは、TPSC[2:0] ビットで設定される PCLK/1 以外の内部クロックおよび外部クロックです。カウントクロックとサンプリングクロックを両方とも PCLK/1 にしたい場合は、NFCS[1:0] ビットを“00b”としてください。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが 3 回連続して一致した場合に、そのレベルをインプットキャプチャ信号として通過し、一致しない場合は前のレベルを保持します。

NFCS[1:0] ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

26.3 動作説明

26.3.1 概要

各チャンネルには、TPUm.TCNT と TPUm.TGRy レジスタ ($y = A \sim D$) があります。

TCNT は、16 ビットのアップカウンタで、フリーランカウンタ、周期カウンタ、またはイベントカウンタとして動作させることができます。

TGRy レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TPUA.TSTR.CSTj ビット ($j = 0 \sim 5$) を“1”にすると、対応するチャンネルの TCNT はカウント動作を開始します。

(a) カウント動作の設定手順例

カウント動作設定手順例を図 26.2 に示します。

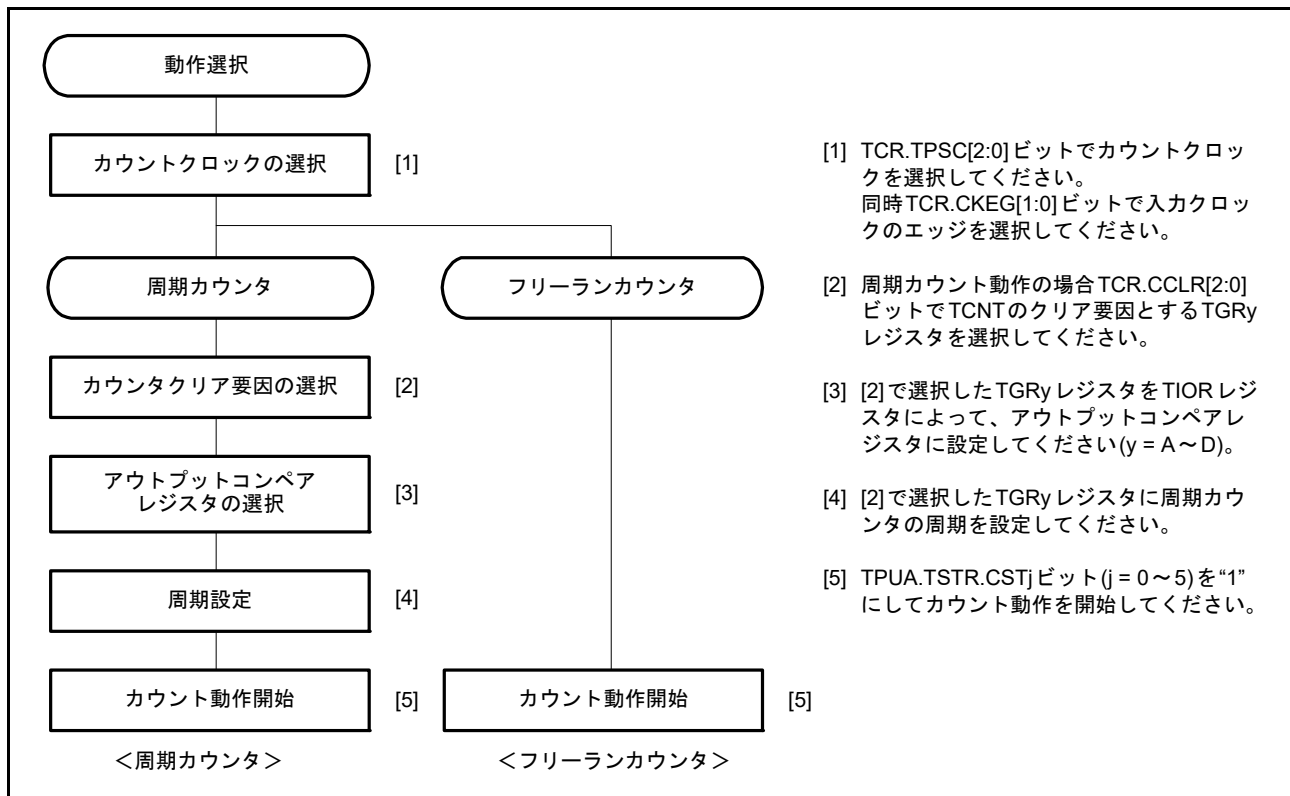


図 26.2 カウント動作設定手順例

(b) フリーランカウンタ動作と周期カウンタ動作

TPUm.TCNTは、リセット直後はすべてフリーランカウンタの設定となっており、TPUA.TSTRレジスタの対応するビットを“1”にするとフリーランカウンタとしてアップカウントを開始します。TCNTがオーバーフロー(“FFFFh”→“0000h”)すると、TPUは割り込みを要求します。TCNTはオーバーフロー後、“0000h”からアップカウントを継続します。

フリーランカウンタの動作を図26.3に示します。

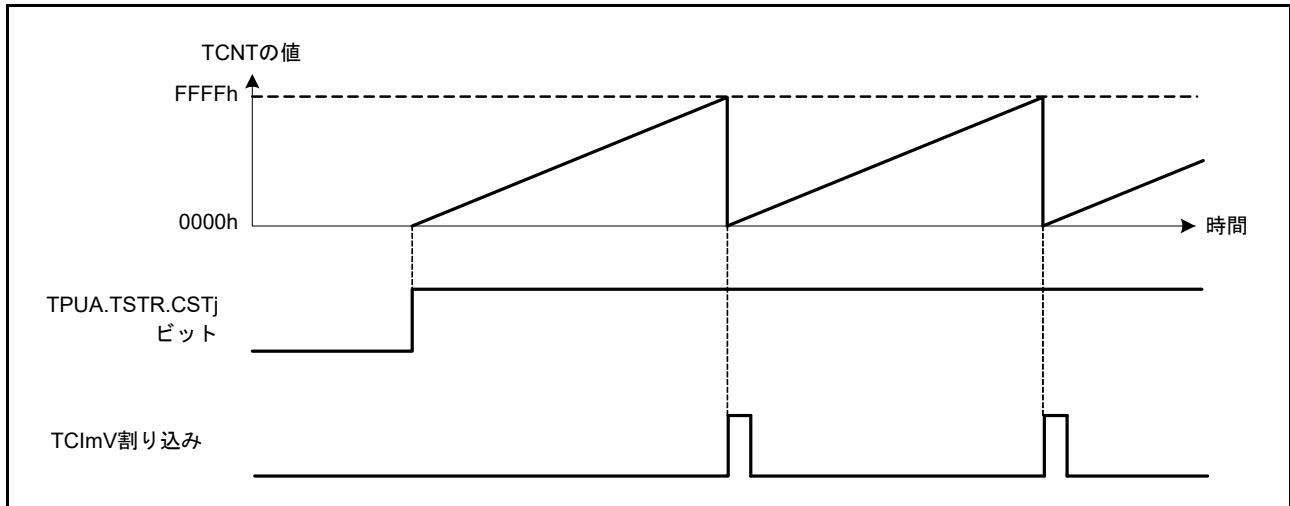


図 26.3 フリーランカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTPUm.TGRyレジスタをアウトプットコンペアレジスタに設定し、TPUm.TCR.CCLR[2:0]ビットでコンペアマッチによるカウンタクリアを選択します。設定後、TPUA.TSTRレジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウントを開始します。カウント値がTGRyレジスタの値と一致するとTCNTは“0000h”になります。

このとき、TPUは割り込みを要求します。TCNTはコンペアマッチ後、“0000h”からアップカウントを継続します。

周期カウンタの動作を図26.4に示します。

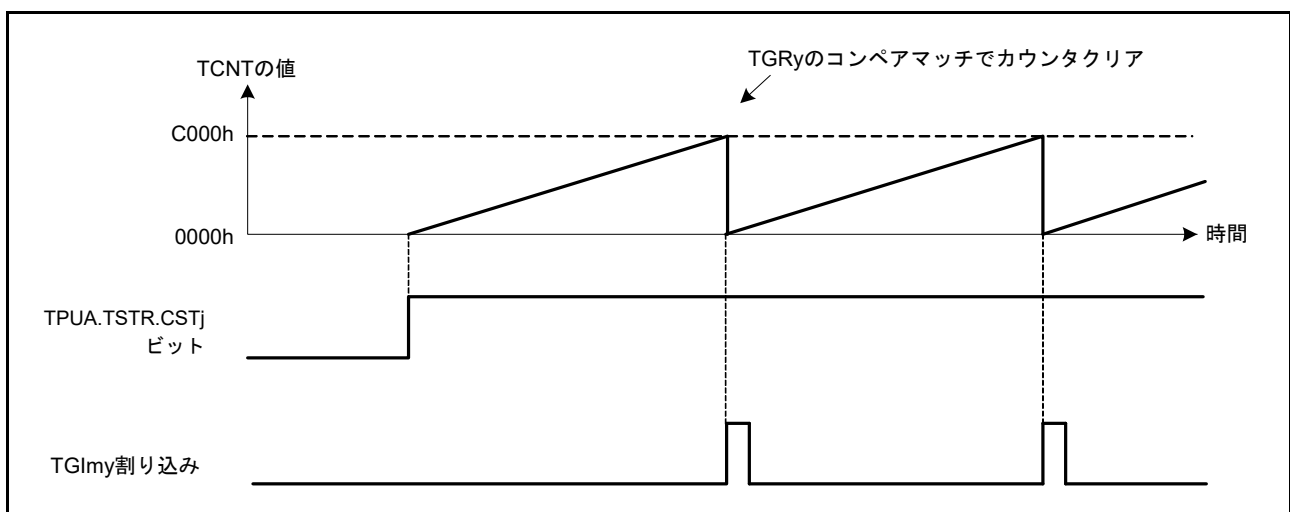


図 26.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPUは、コンペアマッチによって対応する出力端子からLow出力/High出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 26.5 に示します。

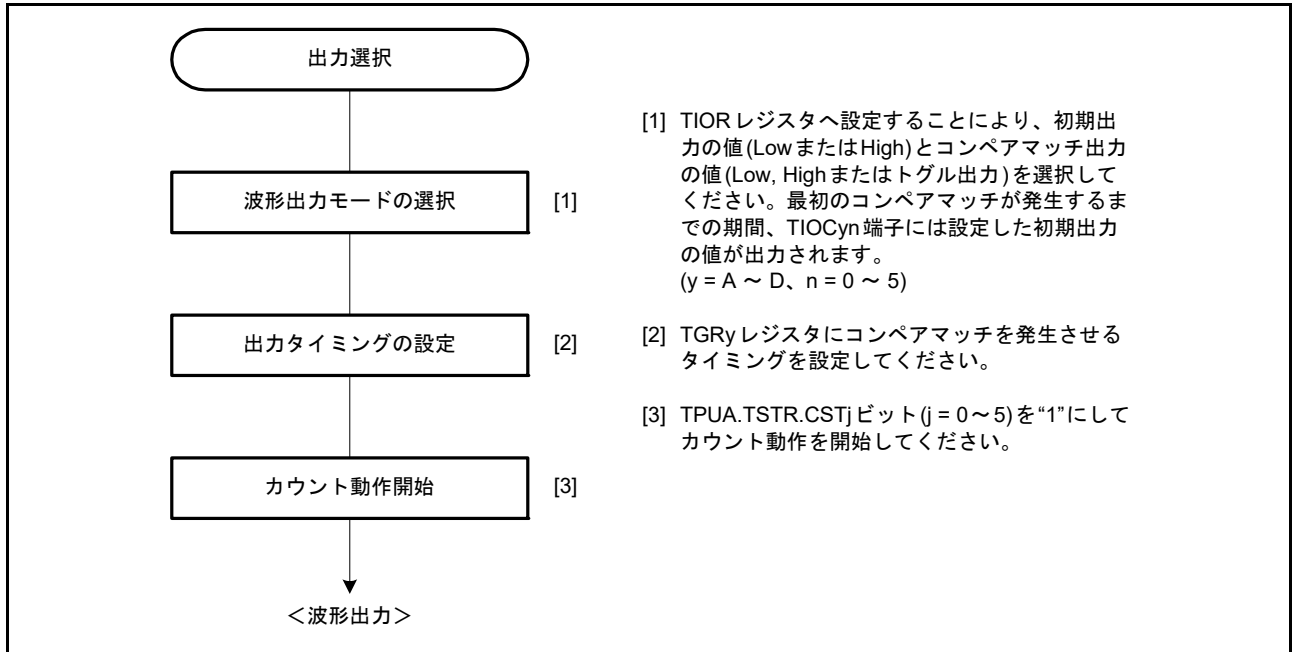


図 26.5 コンペアマッチによる波形出力動作の設定手順例

(b) 波形出力動作例

Low出力/High出力の動作例を図 26.6 に示します。

TPUm.TCNTをフリーランニングカウント動作とし、コンペアマッチAでHigh出力、コンペアマッチBでLow出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

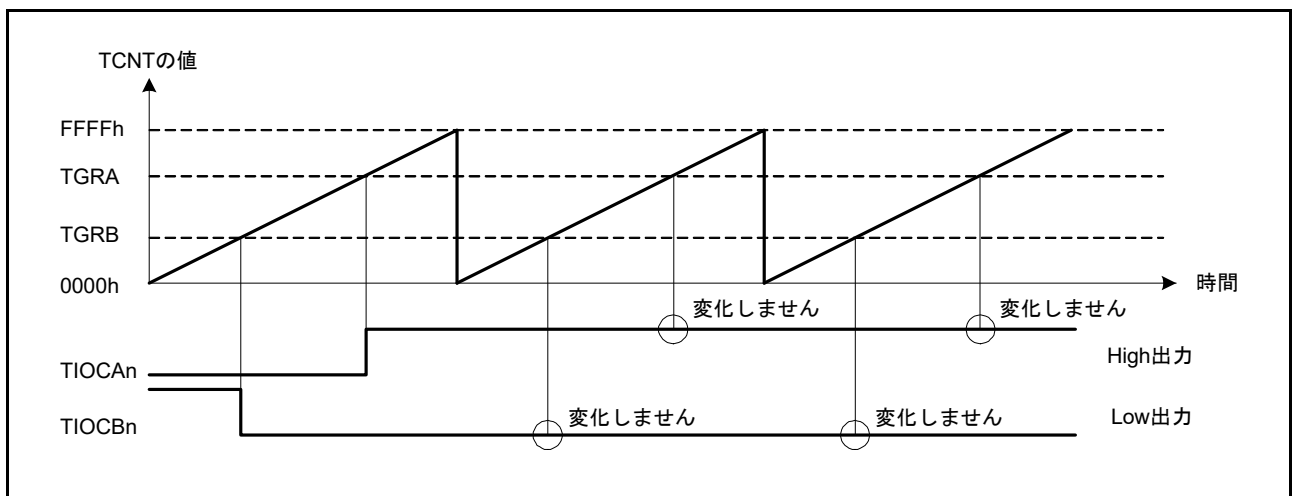


図 26.6 Low出力/High出力の動作例 (n = 0 ~ 5)

トグル出力の動作例 ($n=0\sim 5$) を図 26.7 に示します。

TPUm.TCNT を周期カウント動作 (コンペアマッチ B によってカウンタクリア) に、コンペアマッチ A およびコンペアマッチ B ともトグル出力となるように設定した場合の例です。

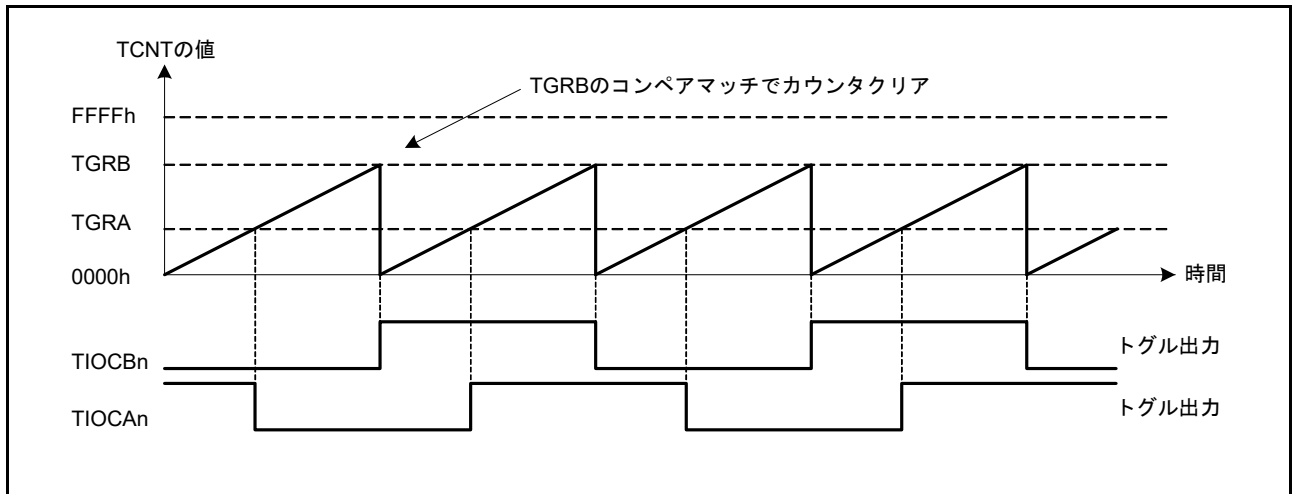


図 26.7 トグル出力の動作例 ($n=0\sim 5$)

(3) インพุットキャプチャ機能

TIOCyn 端子 ($y=A\sim D, n=0\sim 5$) の入力エッジを検出して TPUm.TCNT の値を TPUm.TGRy レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、TPU0、TPU1、TPU3、TPU4 のカウントクロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。また、インพุットキャプチャ入力にノイズフィルタをかけることができます。

- 注． カウンタが停止していても、インพุットキャプチャは発生し、フラグおよび割り込み信号を生成します。
- 注． TPU0、TPU3 で別のチャンネルのカウントクロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウントクロックに PCLK/1 を選択しないでください。PCLK/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 26.8 に示します。

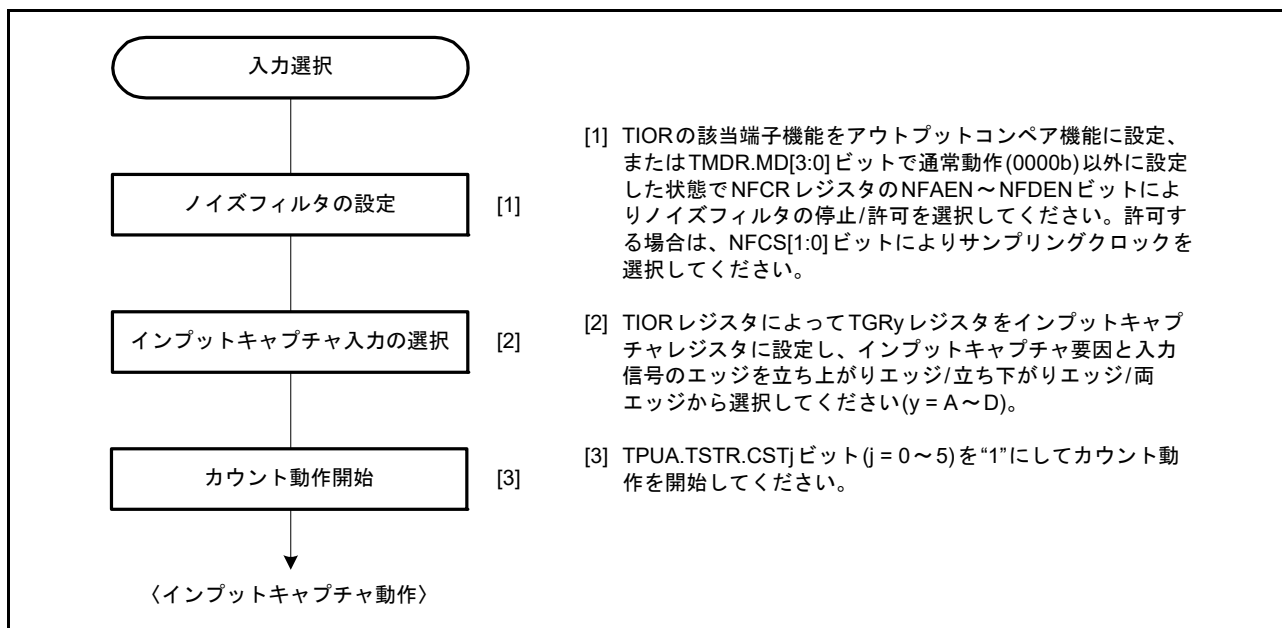


図 26.8 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

ノイズフィルタを停止した場合のインพุットキャプチャ動作例を図 26.9 に示します。

TIOCA_n 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下りの両エッジ、また TIOCB_n 端子のインพุットキャプチャ入力エッジは立ち下りエッジを選択し、TPUm.TCNT は TPUm.TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

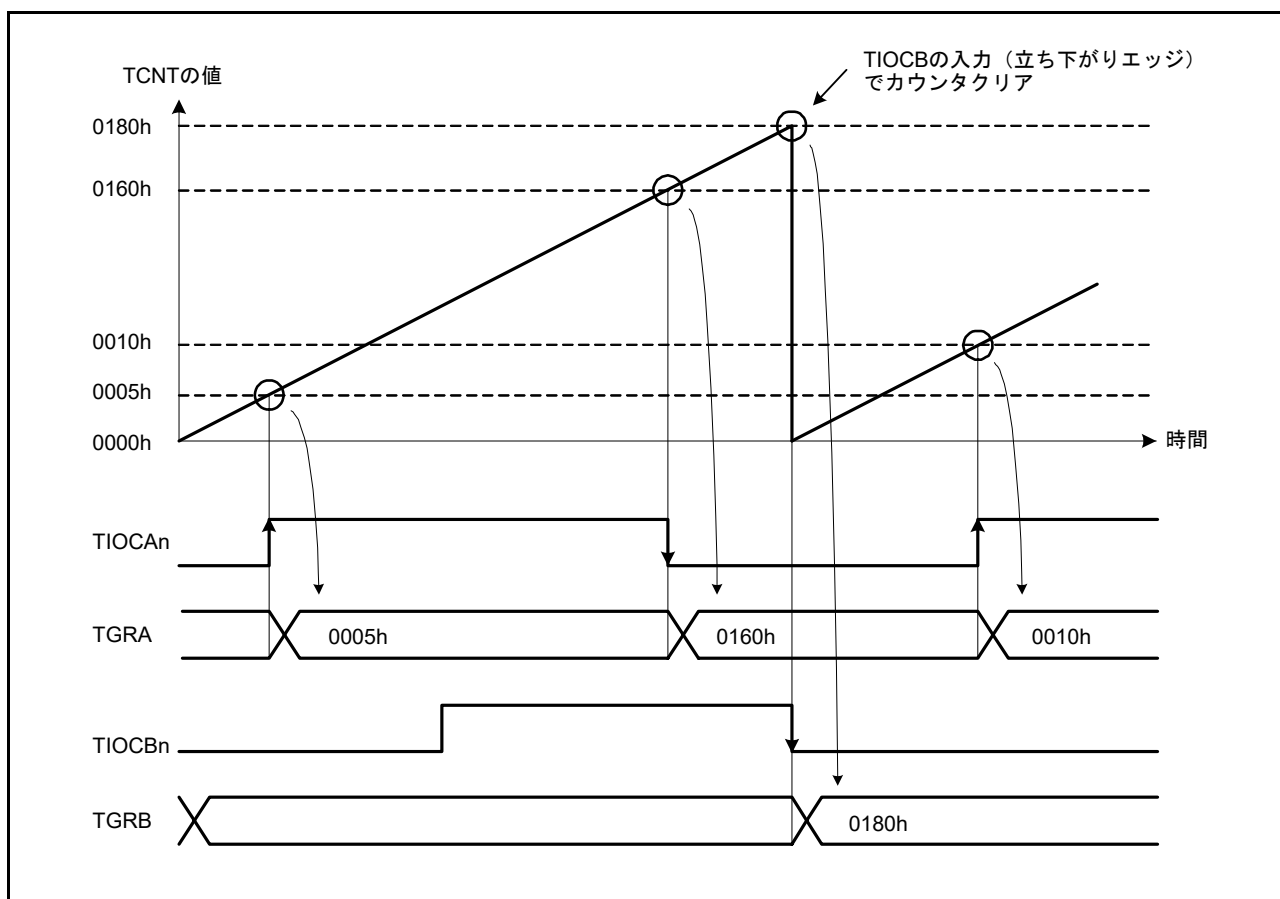


図 26.9 インพุットキャプチャ動作例 (ノイズフィルタ停止) (n = 0 ~ 5)

ノイズフィルタを許可した場合は、図 26.30 を参照してください。

26.3.2 同期動作

同期動作を使って、複数の TPUm.TCNT の値を同時に書き換えることができます(同期セット)。また、TPUm.TCR レジスタの設定によって複数の TCNT を同時にクリアすることができます(同期クリア)。

同期動作によって、1つのタイムベースに対して TPUm.TGRy レジスタを増加させることができます。TPU0～TPU5は、すべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 26.10 に示します。

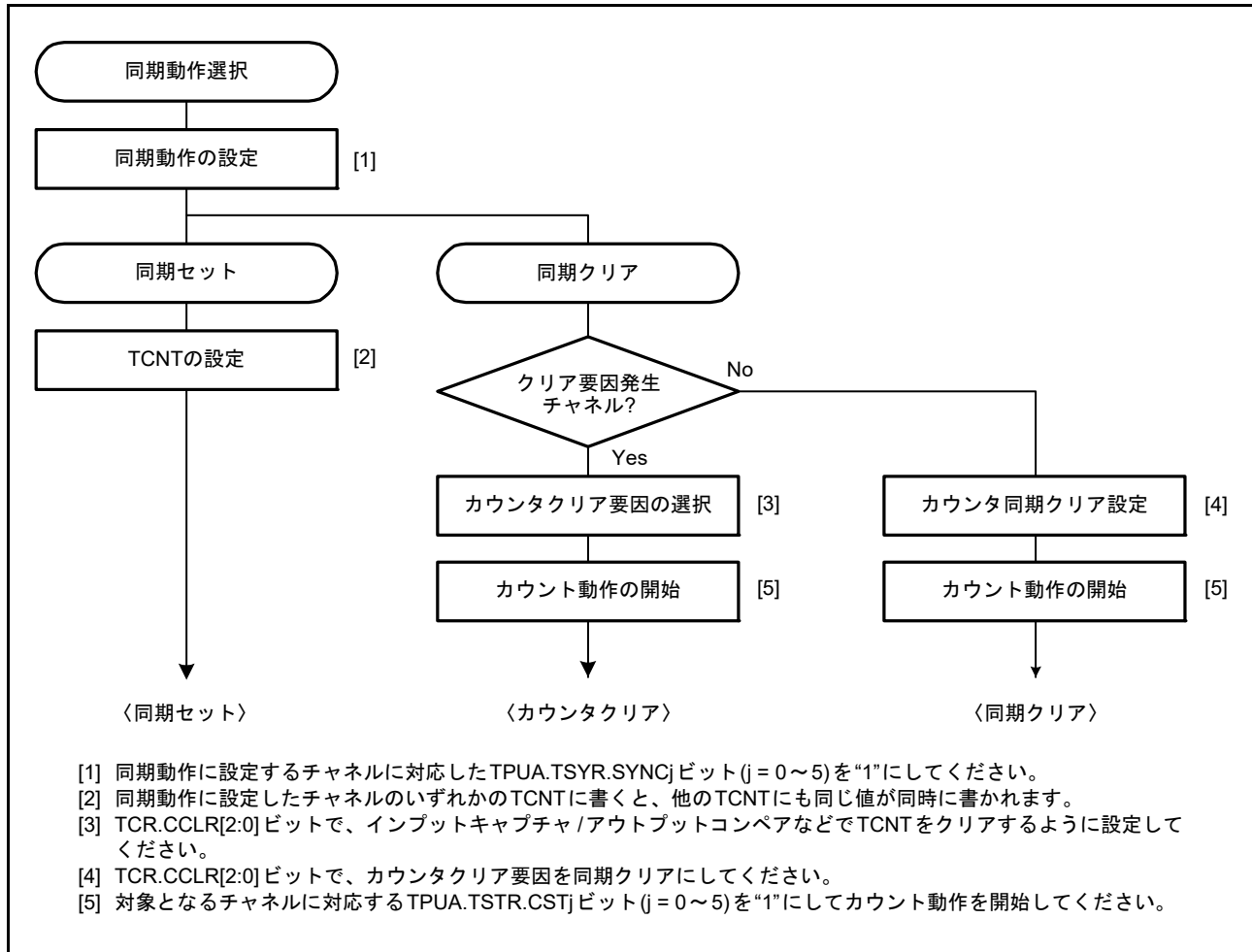


図 26.10 同期動作の設定手順例

(2) 同期動作の例

同期動作の動作例を図 26.11 に示します。

TPU0～TPU2を同期動作かつPWMモード1に設定し、TPU0のカウンタクリア要因をTPU0.TGRBレジスタのコンペアマッチ、またTPU1、TPU2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOCA0、TIOCA1、TIOCA2端子から出力します。このとき、TPU0～TPU2のTPUm.TCNTは同期セット、TPU0.TGRBレジスタのコンペアマッチによる同期クリアを行い、TPU0.TGRBレジスタに設定したデータがPWM周期となります。

PWMモードについては、「26.3.5 PWMモード」を参照してください。

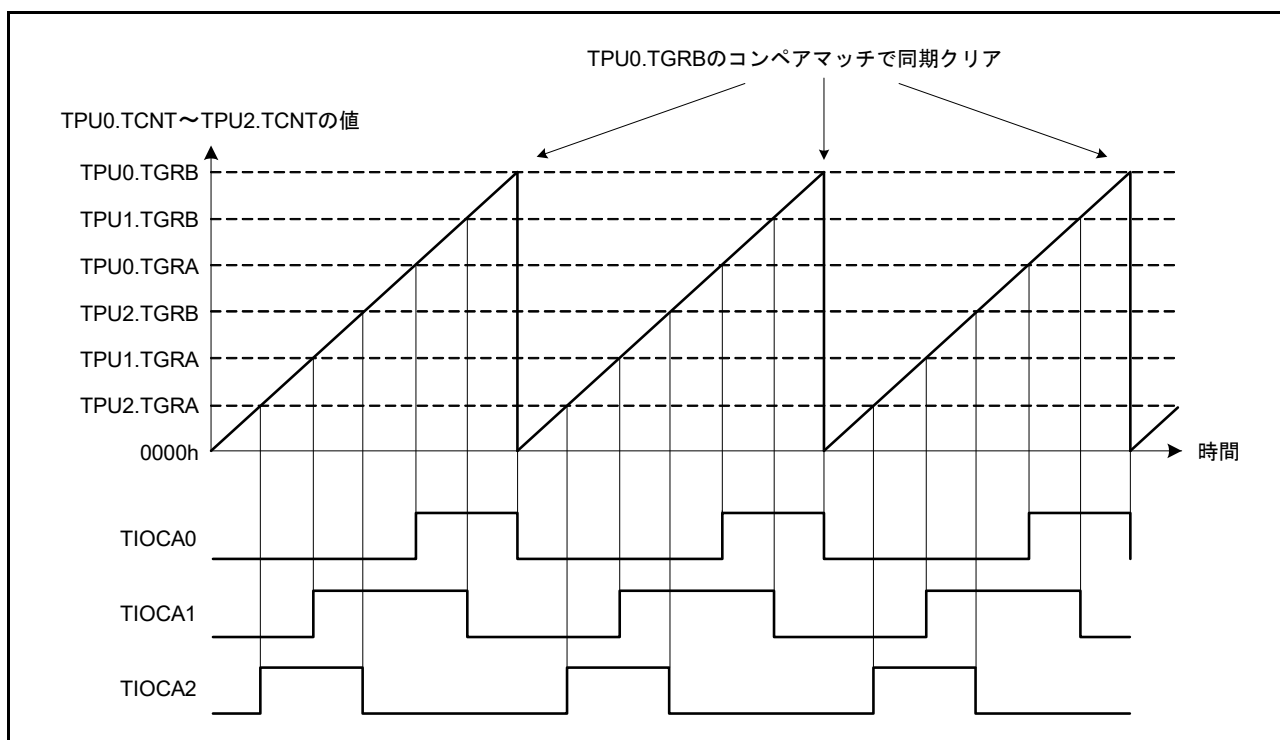


図 26.11 同期動作の動作例

26.3.3 バッファ動作

バッファ動作は、TPU0、TPU3 が持つ機能です。TPUm.TGRC レジスタと TPUm.TGRD レジスタをバッファレジスタとして使用することができます。

バッファ動作は、TPUm.TGRy レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合で動作内容が異なります。

表 26.21 にバッファ動作時のレジスタの組み合わせを示します。

表 26.21 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
TPU0	TPU0.TGRA	TPU0.TGRC
	TPU0.TGRB	TPU0.TGRD
TPU3	TPU3.TGRA	TPU3.TGRC
	TPU3.TGRB	TPU3.TGRD

- TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 26.12 に示します。

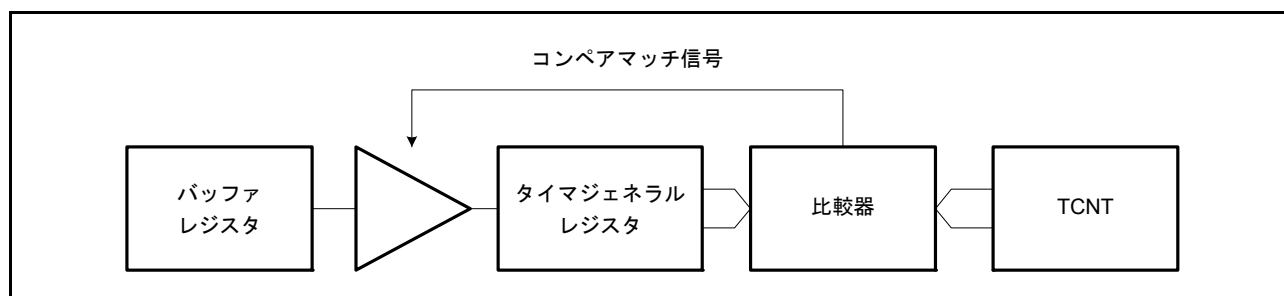


図 26.12 コンペアマッチバッファ動作

- TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TPUm.TCNT の値を TGRy レジスタに転送すると同時に、それまで格納されていた TGRy レジスタの値をバッファレジスタに転送します。

この動作を図 26.13 に示します。

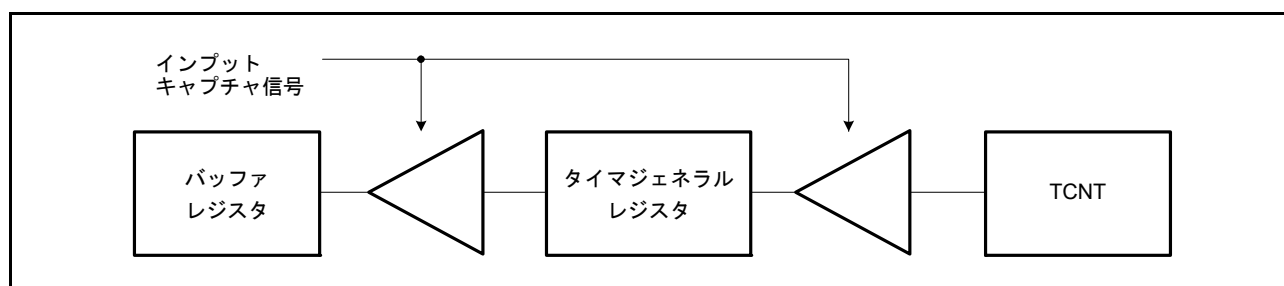


図 26.13 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 26.14 に示します。

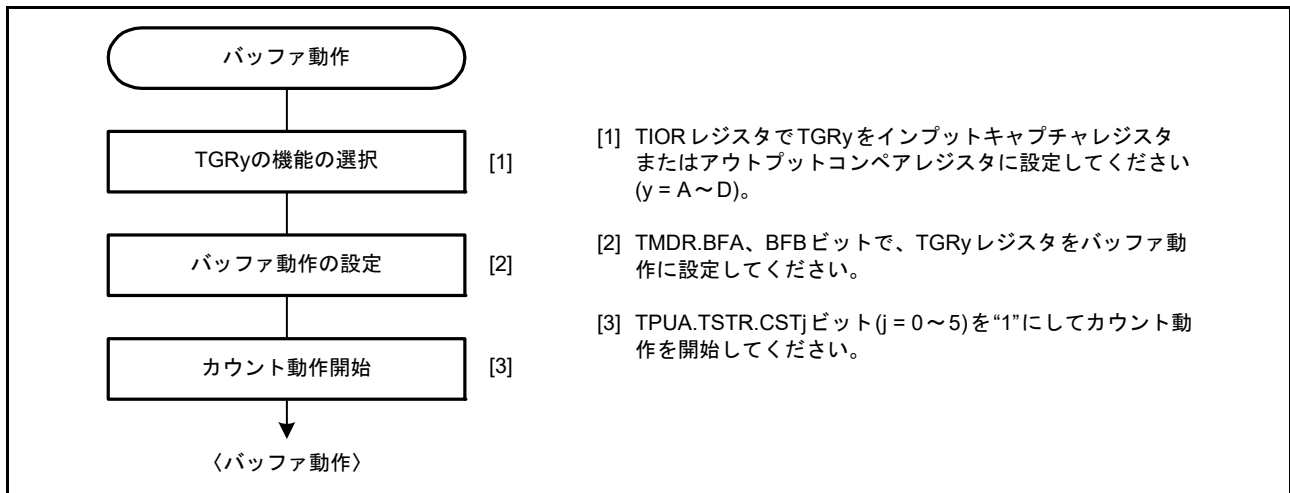


図 26.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

TPU0をPWMモード1に設定し、TPU0.TGRAレジスタとTPU0.TGRCレジスタをバッファ動作に設定した場合の動作例を図 26.15 に示します。TPU0.TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAでHigh出力、コンペアマッチBでLow出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、TPU0.TGRCレジスタの値がTPU0.TGRAレジスタに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「26.3.5 PWMモード」を参照してください。

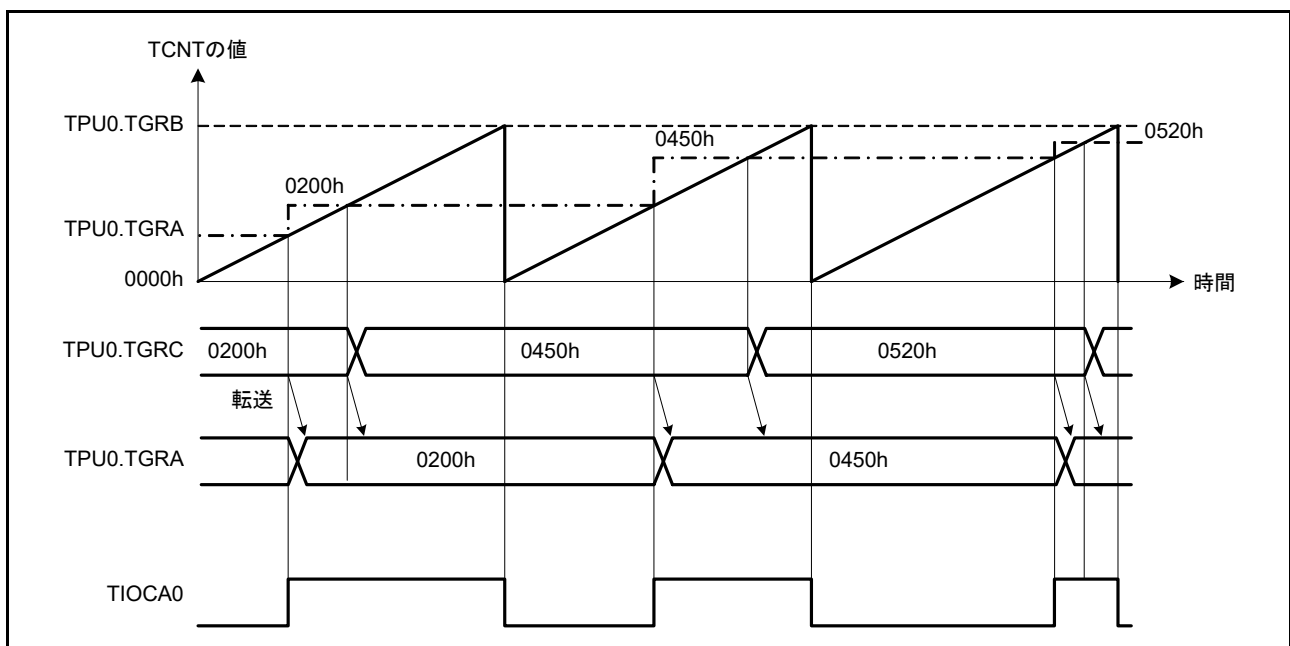


図 26.15 バッファ動作例 (1)

(b) TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

TPUm.TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TPUm.TGRC レジスタをバッファ動作に設定したときの動作例を図 26.16 に示します。

TPUm.TCNT は TGRA レジスタのインプットキャプチャでカウンタクリア、TIOCA_n 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA レジスタに格納されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

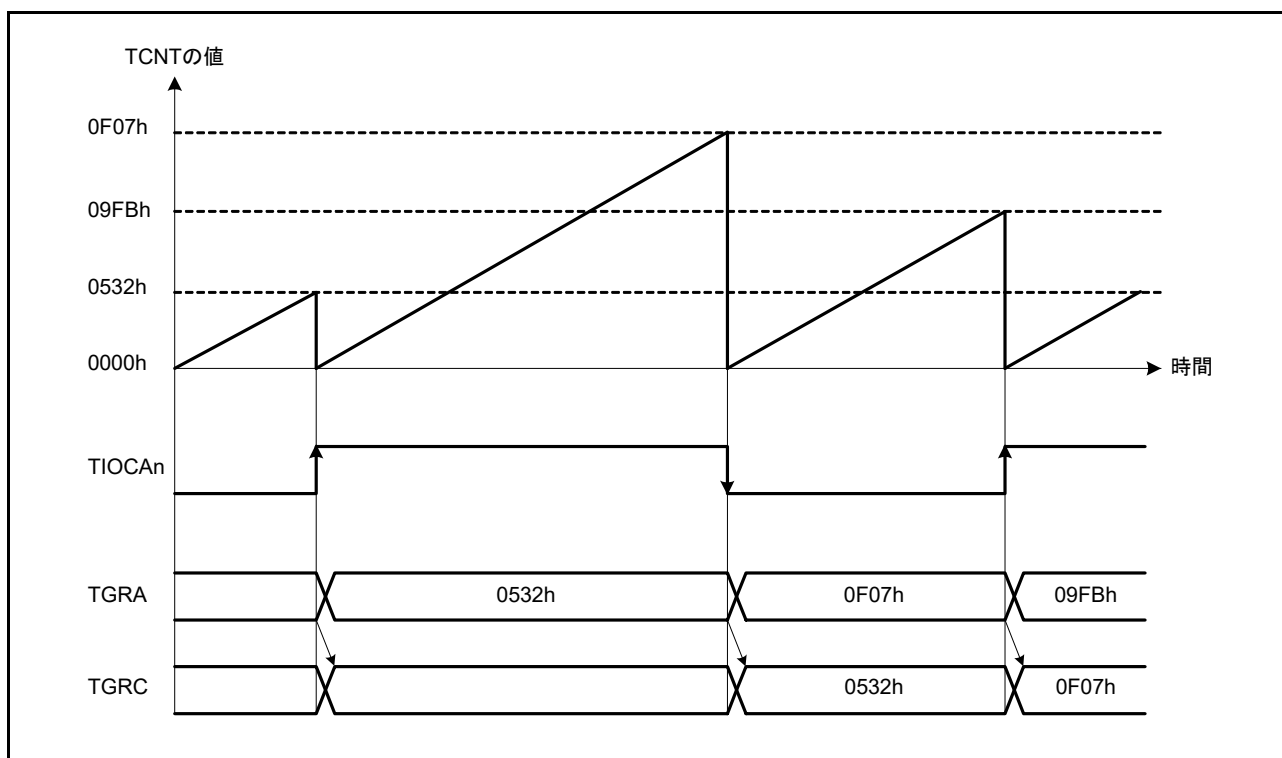


図 26.16 バッファ動作例 (2) (n = 0 ~ 5)

26.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

TPU1 (TPU4) のカウントクロックを TPU1.TCR.TPSC[2:0] (TPU4.TCR.TPSC[2:0]) ビットで、TPU2.TCNT (TPU5.TCNT) のオーバフロー/アンダフローでカウントに設定することによって動作します。

アンダフローが発生するのは、下位16ビットの TPU m .TCNT が位相計数モードのときのみです。

表 26.22 にカスケード接続組み合わせを示します。

注. TPU1、TPU4 を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表 26.22 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
TPU1とTPU2	TPU1.TCNT	TPU2.TCNT
TPU4とTPU5	TPU4.TCNT	TPU5.TCNT

(1) カスケード接続動作の設定手順例

カスケード接続動作設定手順例を図 26.17 に示します。

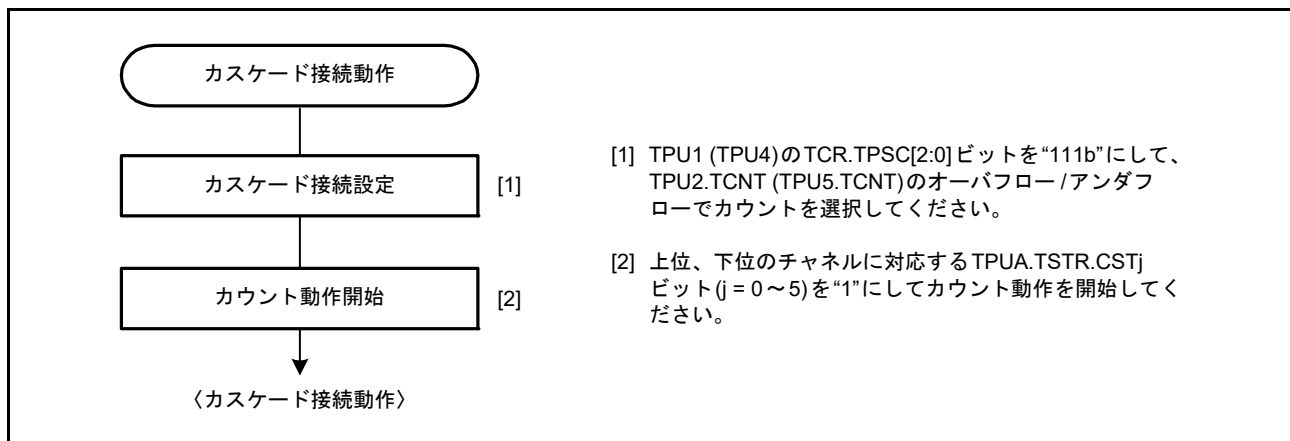


図 26.17 カスケード接続動作設定手順例

(2) カスケード接続動作例

TPU1.TCNTはTPU2.TCNTのオーバフロー/アンダフローでカウント、TPU1.TGRAレジスタとTPU2.TGRAレジスタをインプットキャプチャレジスタに設定し、TIOCA1端子とTIOCA2端子の立ち上がりエッジを選択したときの動作を図26.18に示します。

TIOCA1端子とTIOCA2端子に立ち上がりエッジを同時に入力することにより、TPU1.TGRAレジスタに上位16ビット、TPU2.TGRAレジスタに下位16ビットの32ビットデータが転送されます。なお、カスケード接続時の同時インプットキャプチャについては、「26.10.11 カスケード接続時のTCNT同時インプットキャプチャ」に示す注意事項があります。

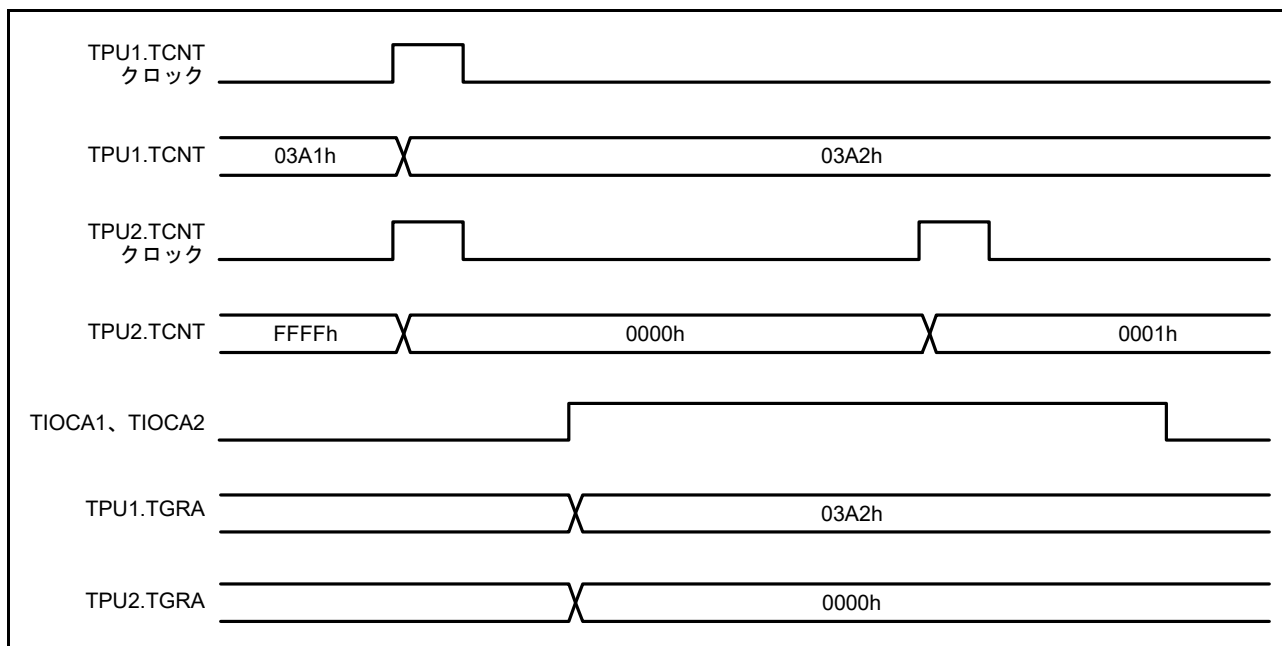


図 26.18 カスケード接続動作例 (1)

TPU1.TCNTはTPU2.TCNTのオーバフロー/アンダフローでカウント、TPU2を位相計数モード1に設定したときの動作を図26.19に示します。

TPU1.TCNTは、TPU2.TCNTのオーバフローでアップカウント、TPU2.TCNTのアンダフローでダウンカウントされます。

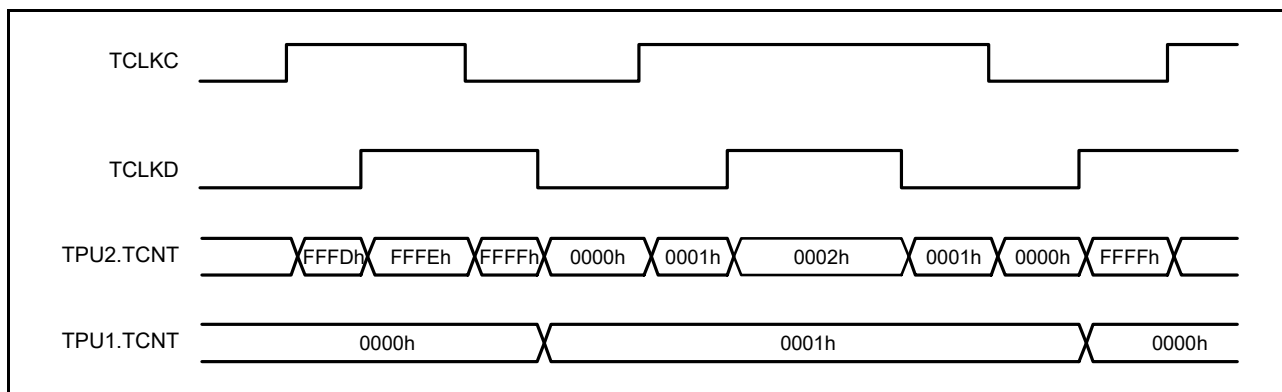


図 26.19 カスケード接続動作例 (2)

26.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TPUm.TGRy レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGRy レジスタの設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGRy レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

1. PWM モード 1

TPUm.TGRA レジスタと TPUm.TGRB レジスタ、TPUm.TGRC レジスタと TPUm.TGRD レジスタをペアで使用して、TIOCA_n、TIOCC_n 端子から PWM 波形を出力します。TIOCA_n、TIOCC_n 端子からコンペアマッチ A、C によって TPUm.TIOR(H).IOA[3:0] ビット、TPUm.TIORL.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TPUm.TIOR(H).IOB[3:0] ビット、TPUm.TIORL.IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA レジスタ、TGRC レジスタに設定した値になります。ペアで使用する TGRy レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

2. PWM モード 2

TPUm.TGRy レジスタの 1 本を周期レジスタ、他の TGRy レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタで指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIORH、TIORL、TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 26.23 に示します。

表 26.23 各PWM出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
TPU0	TPU0.TGRA	TIOCA0	TIOCA0
	TPU0.TGRB		TIOCB0
	TPU0.TGRC	TIOCC0	TIOCC0
	TPU0.TGRD		TIOCD0
TPU1	TPU1.TGRA	TIOCA1	TIOCA1
	TPU1.TGRB		TIOCB1
TPU2	TPU2.TGRA	TIOCA2	TIOCA2
	TPU2.TGRB		TIOCB2
TPU3	TPU3.TGRA	TIOCA3	TIOCA3
	TPU3.TGRB		TIOCB3
	TPU3.TGRC	TIOCC3	TIOCC3
	TPU3.TGRD		TIOCD3
TPU4	TPU4.TGRA	TIOCA4	TIOCA4
	TPU4.TGRB		TIOCB4
TPU5	TPU5.TGRA	TIOCA5	TIOCA5
	TPU5.TGRB		TIOCB5

注. PWMモード2のとき、周期を設定したTPUm.TGRyレジスタのPWM波形は出力できません。

(1) PWMモードの設定手順例

PWMモードの設定手順例を図26.20に示します。

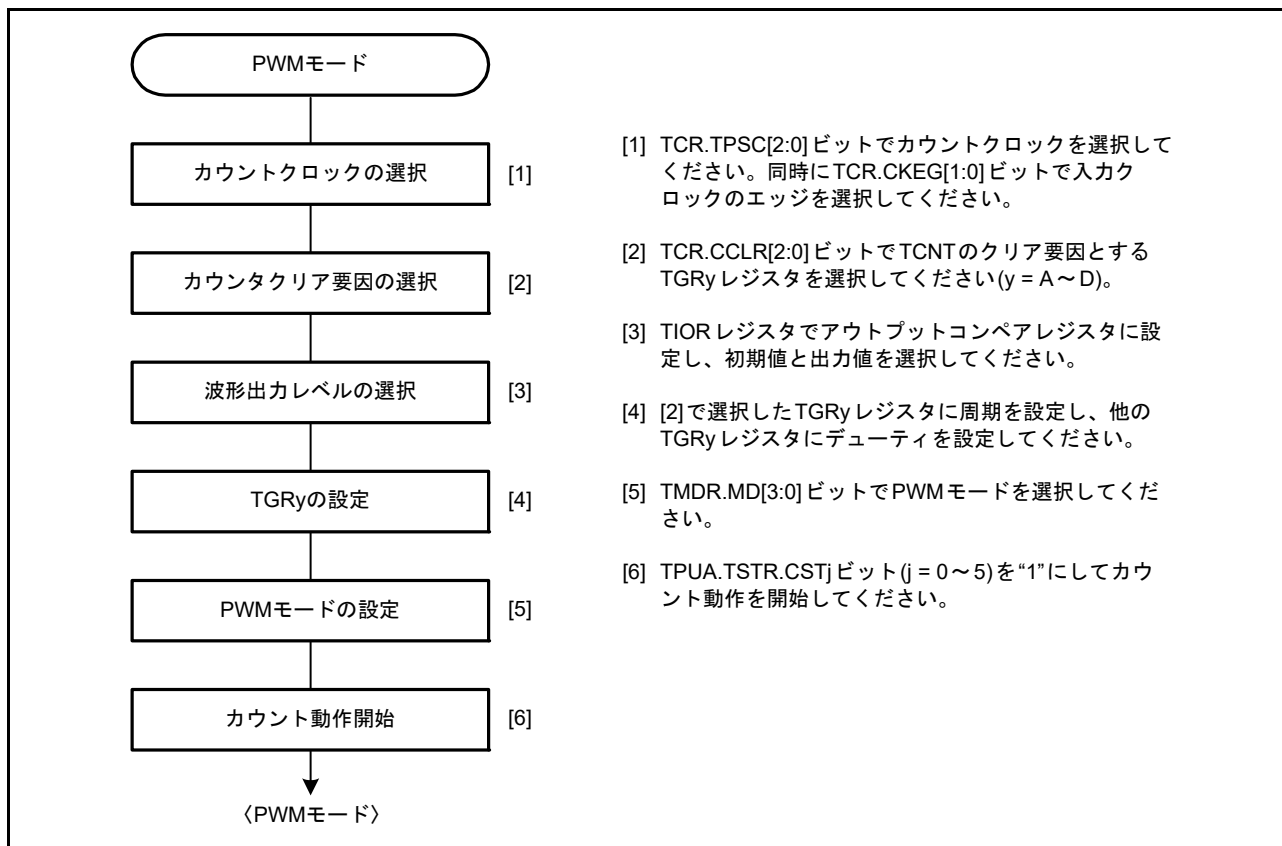


図 26.20 PWMモードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 26.21 に示します。

この図は、TPUm.TCNTのクリア要因をTPUm.TGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TPUm.TGRBレジスタの出力値をHighに設定した場合の例です。

この場合、TGRAレジスタで周期を設定し、TGRBレジスタでデューティを設定しています。

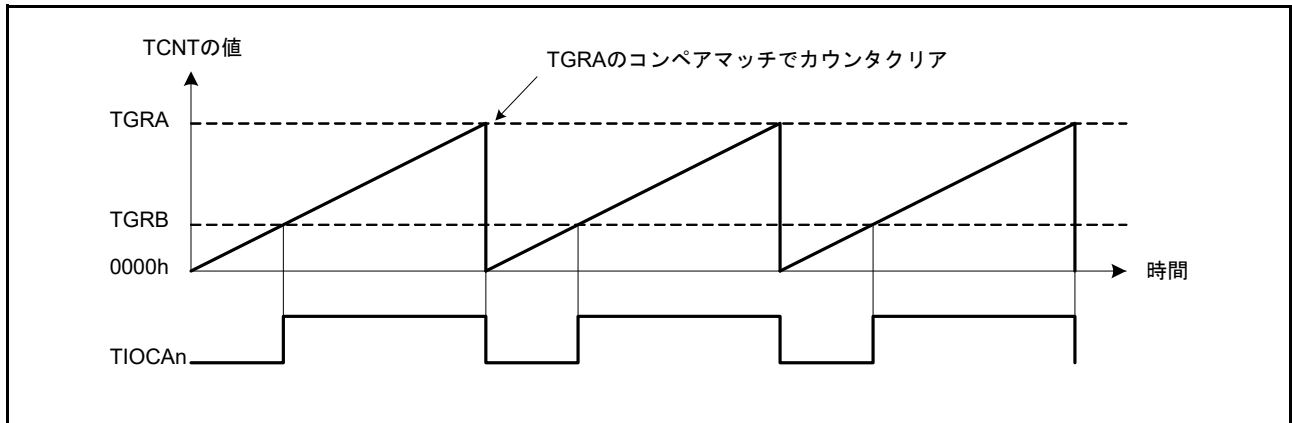


図 26.21 PWM モードの動作例 (1) (n = 0 ~ 5)

PWM モード2の動作例を図 26.22 に示します。

この図は、TPU0とTPU1を同期動作させ、TPUm.TCNTのクリア要因をTPU1.TGRBのコンペアマッチとし、他のTPUm.TGRyレジスタ (TPU0.TGRA ~ TPU0.TGRD, TPU1.TGRA)の初期出力値をLow、出力値をHighにして5相のPWM波形を出力させた場合の例です。

この場合、TPU1.TGRBレジスタに設定した値が周期となり、他のTGRyレジスタに設定した値がデューティになります。

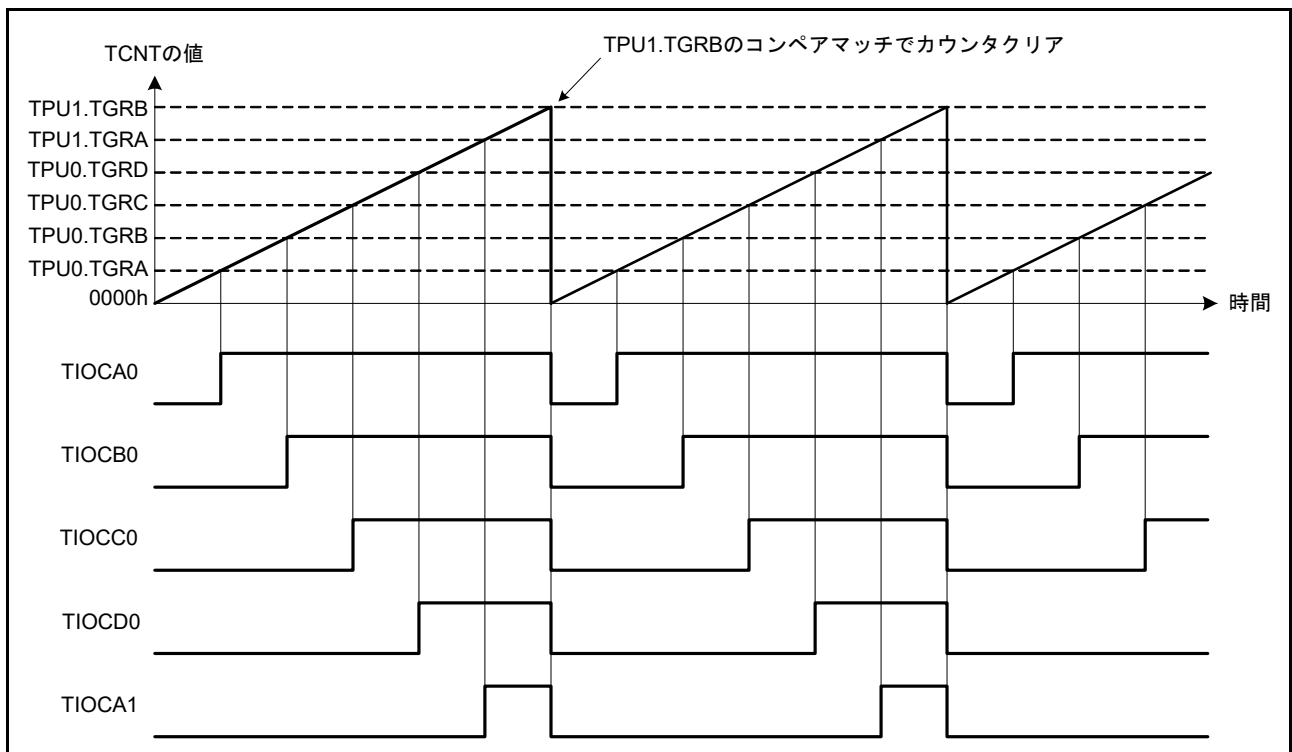


図 26.22 PWM モードの動作例 (2)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図26.23に示します。

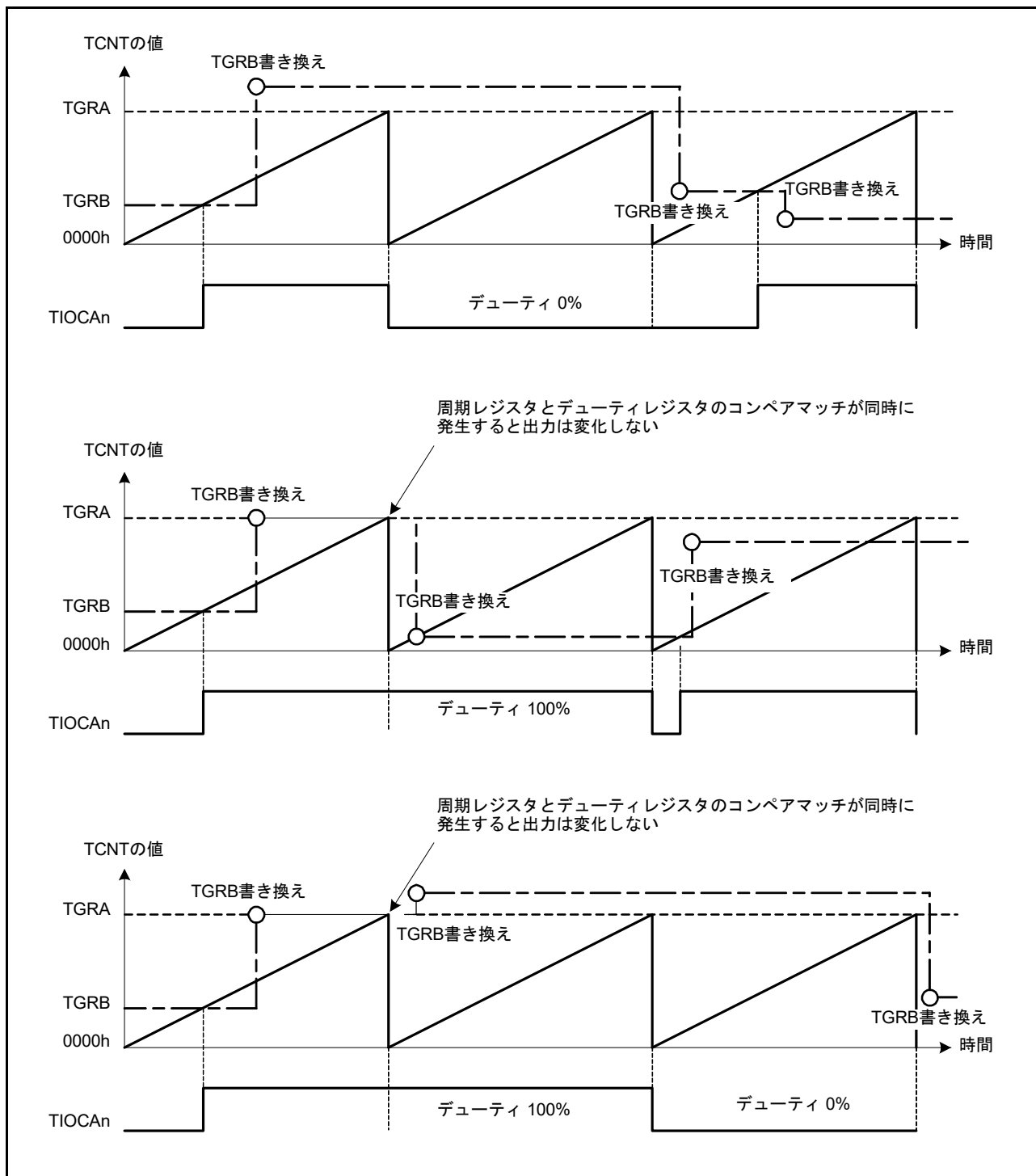


図 26.23 PWMモード動作例(3) (n = 0 ~ 5)

26.3.6 位相計数モード

位相計数モードでは、チャンネル1, 2, 4, 5の設定によって、2本の外部クロック入力の位相差を検出し、TPUm.TCNTをアップ/ダウンカウントします。

位相計数モードに設定すると、TPUm.TCR.TPSC[2:0]、CKEG[1:0]ビットの設定にかかわらずカウントクロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TPUm.TCR.CCLR[2:0]ビットの下位2ビット、TPUm.TIORH、TPUm.TIORL、TPUm.TIORレジスタ、TPUm.TIERレジスタ、TPUm.TGRyレジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNTがアップカウント時、オーバフローが発生するとするとTCIV割り込み要求が発生します。また、ダウンカウント時にアンダフローが発生すると、TCIU割り込み要求が発生します。TPUm.TSR.TCFDフラグはカウント方向フラグです。TCFDフラグを読むことにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

位相計数モードでは、外部クロック端子TCLKA、TCLKB、TCLKC、TCLKDを2相エンコーダパルスの入力として使用できます。

表 26.24 に外部クロック端子とチャンネルの対応を示します。

表 26.24 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
TPU1またはTPU5を位相計数モードとするとき	TCLKA	TCLKB
TPU2またはTPU4を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 26.24 に示します。

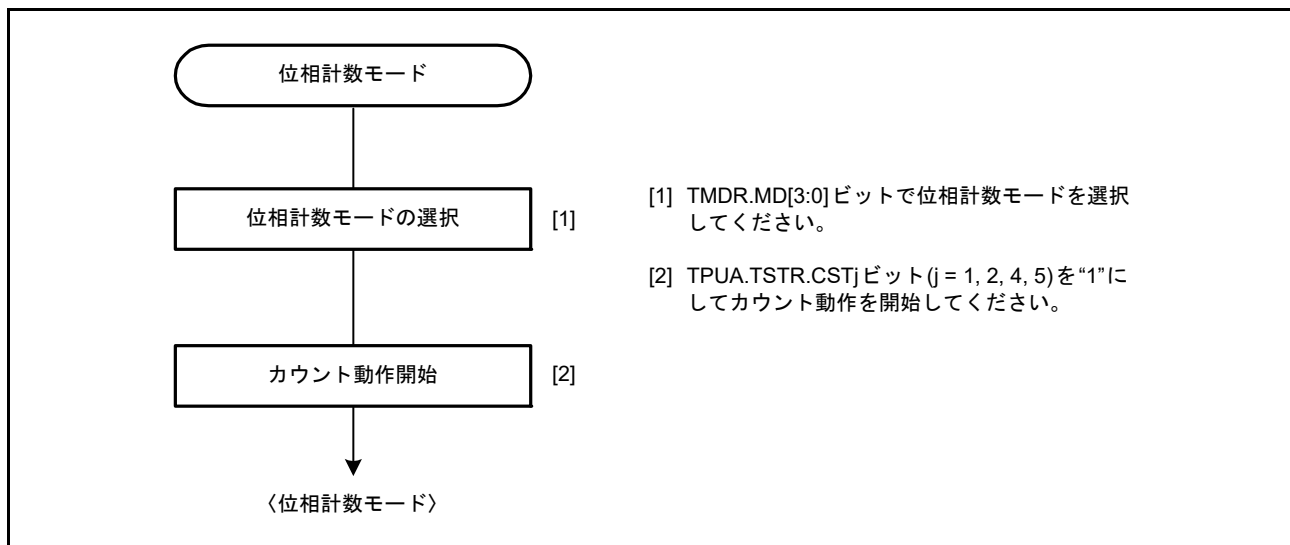


図 26.24 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTPUm.TCNTがアップ/ダウンカウントします。なお、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図26.25に、TPUm.TCNTのアップ/ダウンカウント条件を表26.25に示します。

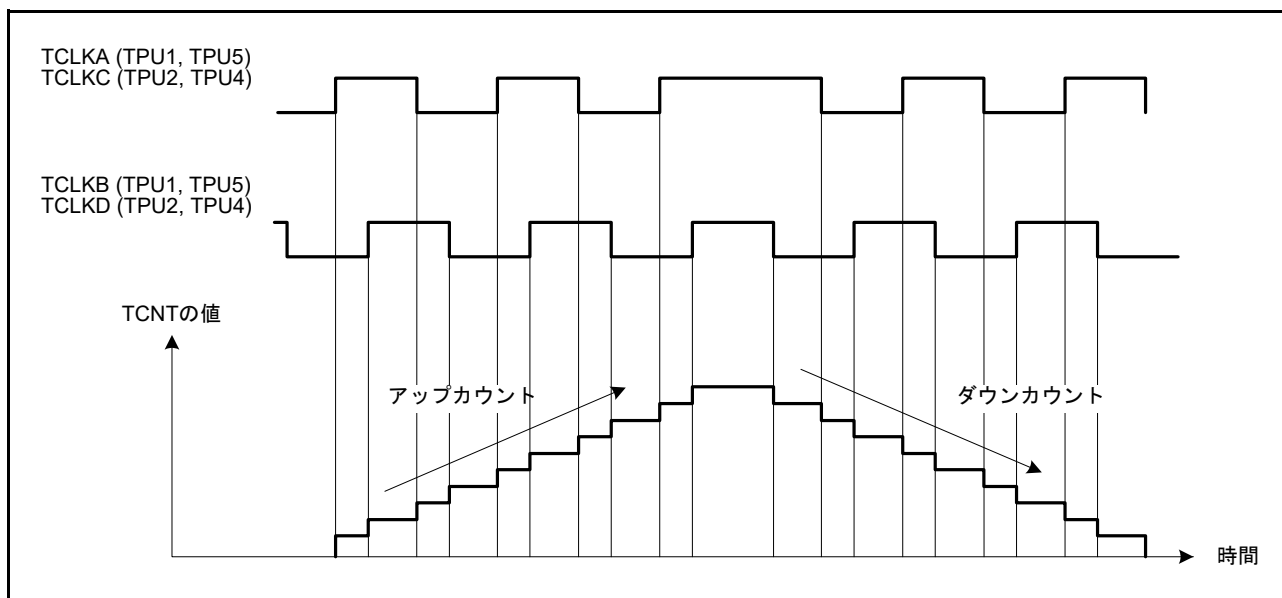


図 26.25 位相計数モード1の動作例

表26.25 位相計数モード1のアップ/ダウンカウント条件

TCLKA (TPU1, TPU5) TCLKC (TPU2, TPU4)	TCLKB (TPU1, TPU5) TCLKD (TPU2, TPU4)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図26.26に、TPUm.TCNTのアップ/ダウンカウント条件を表26.26に示します。

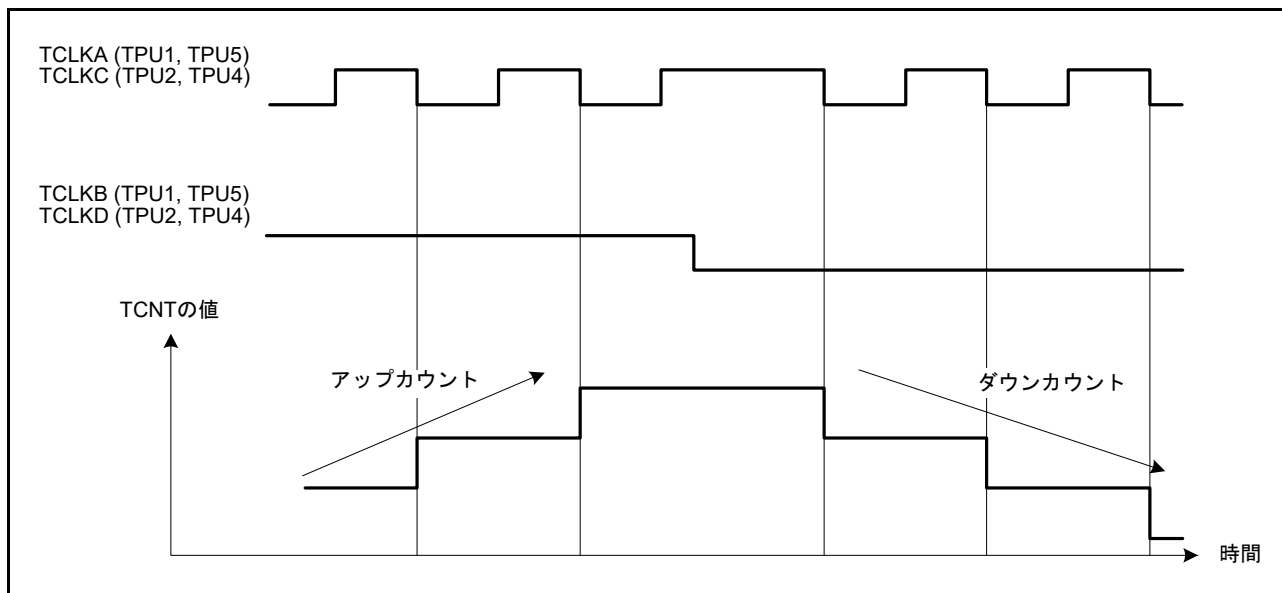


図 26.26 位相計数モード2の動作例

表 26.26 位相計数モード2のアップ/ダウンカウント条件

TCLKA (TPU1, TPU5) TCLKC (TPU2, TPU4)	TCLKB (TPU1, TPU5) TCLKD (TPU2, TPU4)	動作内容
High		Don't care
Low		Don't care
	Low	Don't care
	High	アップカウント
High		Don't care
Low		Don't care
	High	Don't care
	Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図26.27に、TPUm.TCNTのアップ/ダウンカウント条件を表26.27に示します。

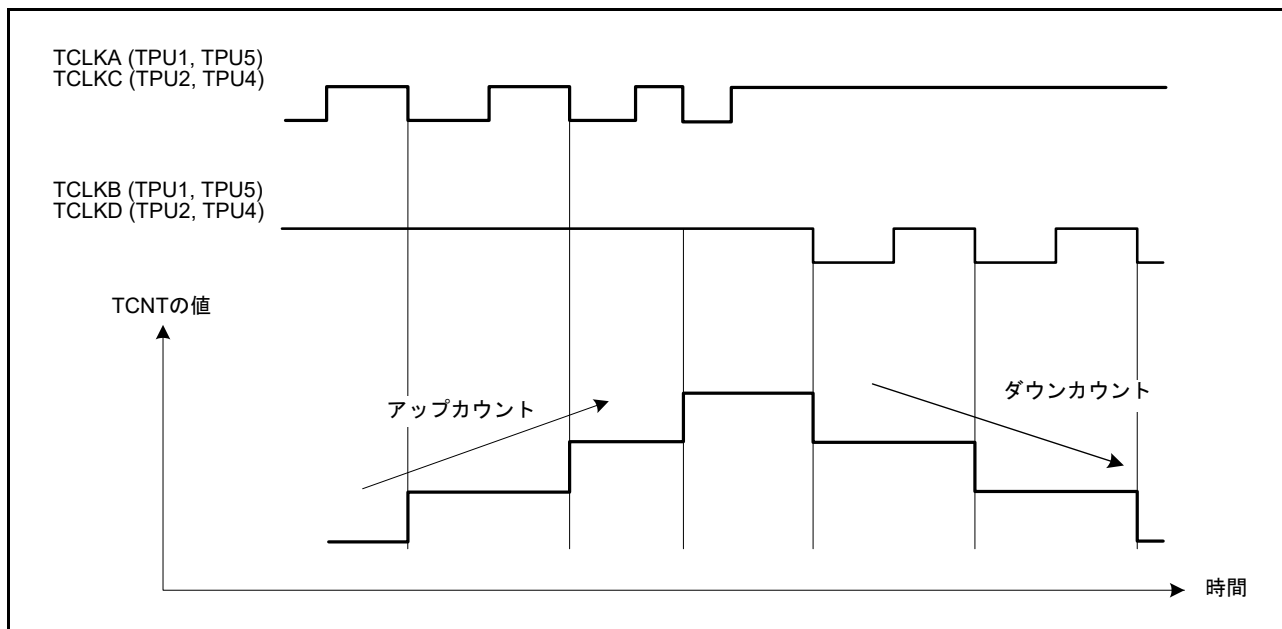


図 26.27 位相計数モード3の動作例

表 26.27 位相計数モード3のアップ/ダウンカウント条件

TCLKA (TPU1, TPU5) TCLKC (TPU2, TPU4)	TCLKB (TPU1, TPU5) TCLKD (TPU2, TPU4)	動作内容
High	↑	Don't care
Low	↓	Don't care
↑	Low	Don't care
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	Don't care
↑	High	Don't care
↓	Low	Don't care

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図26.28に、TPUm.TCNTのアップ/ダウンカウント条件を表26.28に示します。

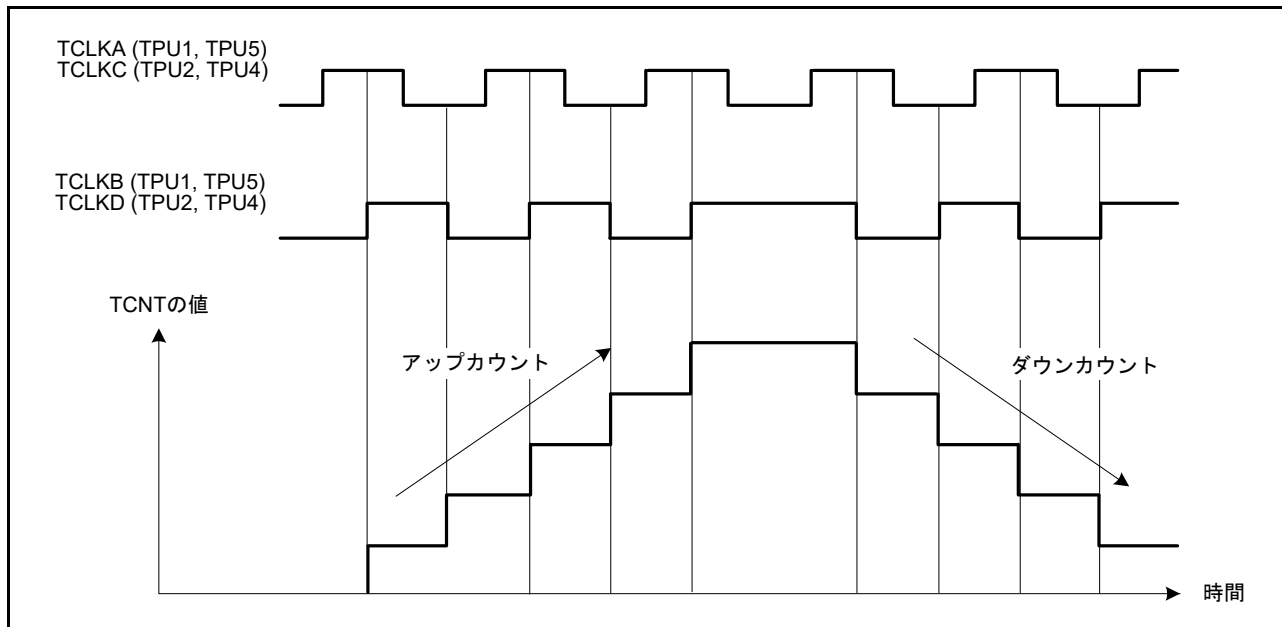


図 26.28 位相計数モード4の動作例

表 26.28 位相計数モード4のアップ/ダウンカウント条件

TCLKA (TPU1, TPU5) TCLKC (TPU2, TPU4)	TCLKB (TPU1, TPU5) TCLKD (TPU2, TPU4)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	Don't care
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	Don't care
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

26.3.6.1 位相計数モード応用例

TPU1を位相計数モードに設定し、TPU0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図26.29に示します。

TPU1は位相計数モード1に設定し、TCLKA端子とTCLKB端子にエンコーダパルスのA相、B相を入力します。

TPU0はTPU0.TCNTをTPU0.TGRCレジスタのコンペアマッチでカウンタクリアとして動作させ、TPU0.TGRAレジスタとTPU0.TGRCレジスタはコンペアマッチ機能で使用する、速度制御周期と位置制御周期を設定します。TPU0.TGRBレジスタは入力キャプチャ機能で使用する、TPU0.TGRBレジスタとTPU0.TGRDレジスタをバッファ動作させます。TPU0.TGRBレジスタの入力キャプチャ要因は、TPU1のカウンタクロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

TPU1のTPU1.TGRAレジスタとTPU1.TGRBレジスタは、入力キャプチャ機能に設定し、入力キャプチャ要因はTPU0のTPU0.TGRAレジスタとTPU0.TGRCレジスタのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

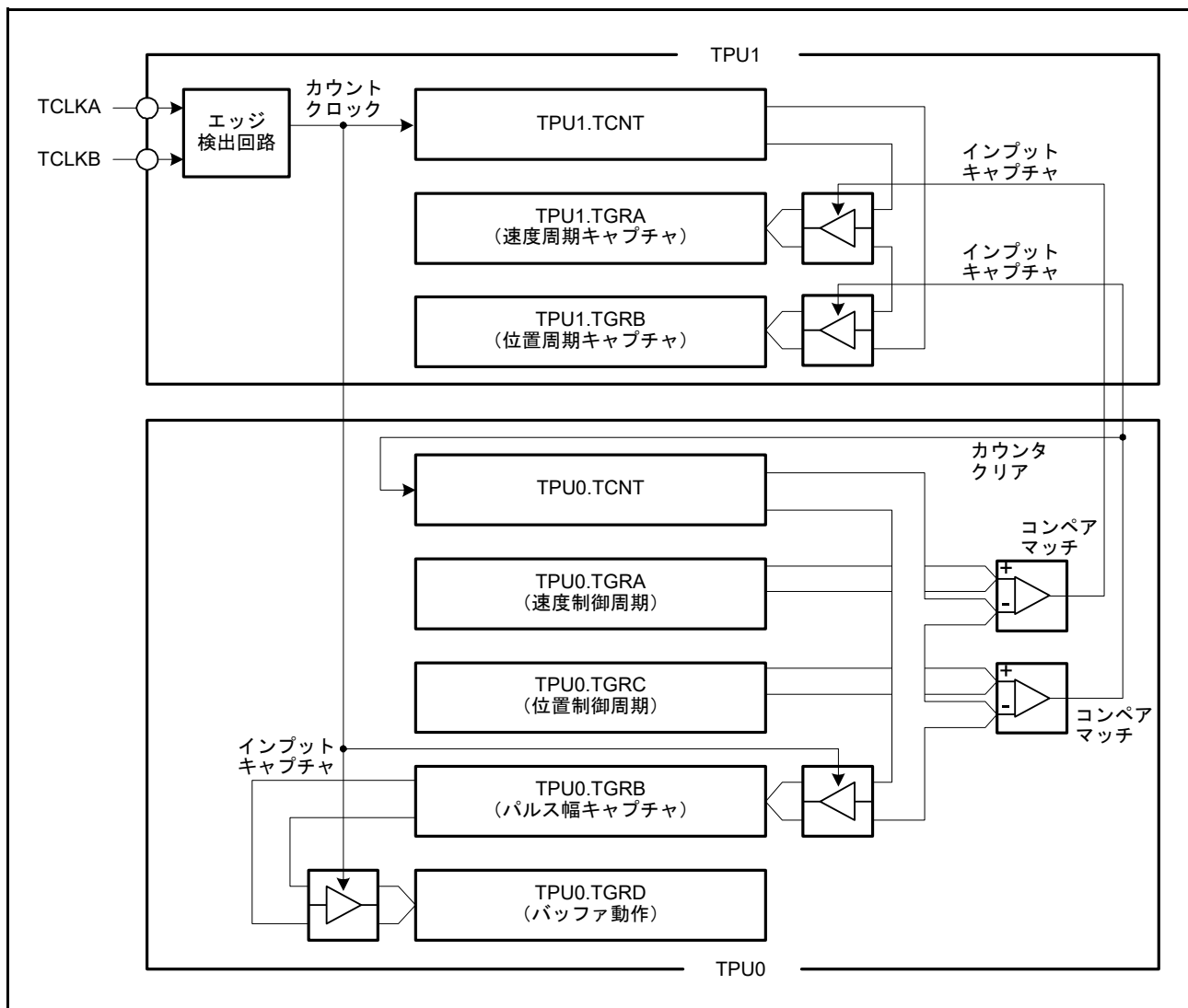


図 26.29 位相計数モードの応用例

26.3.7 ノイズフィルタ機能

TPUのインプットキャプチャ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで、内部へは同じレベルを伝達し続けます。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可/停止が設定できます。また、サンプリングクロックは、チャンネル単位での設定が可能です。

図 26.30 にノイズフィルタのタイミングチャートを示します。

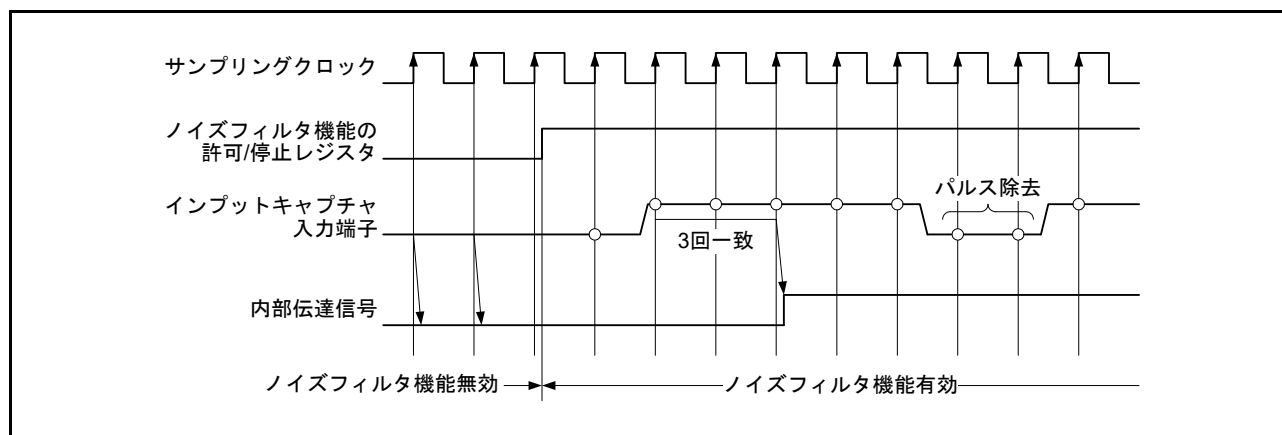


図 26.30 ノイズフィルタのタイミングチャート

ノイズフィルタ機能を設定した場合は、インプットキャプチャ入力に対するノイズフィルタリングによって最短で「サンプリングサイクル×2+PCLK」だけ遅延したノイズフィルタ後の信号のエッジに対してインプットキャプチャ動作が行われます。

26.4 割り込み要因

TPUの割り込み要因には、TPUm.TGRyレジスタのインプットキャプチャ/コンペアマッチ、TPUm.TCNTのオーバフロー、アンダフローの3種類があります。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は変更できません。詳細は「15. 割り込みコントローラ(ICUE)」を参照してください。

表 26.29 に TPU の割り込み要因の一覧を示します。

表 26.29 TPU 割り込み一覧

チャンネル	名称	割り込み要因	DTCの起動	DMACの起動
TPU0	TGI0A	TPU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI0B	TPU0.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI0C	TPU0.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI0D	TPU0.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI0V	TPU0.TCNTのオーバフロー	不可能	不可能
TPU1	TGI1A	TPU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI1B	TPU1.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI1V	TPU1.TCNTのオーバフロー	不可能	不可能
	TCI1U	TPU1.TCNTのアンダフロー	不可能	不可能
TPU2	TGI2A	TPU2.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI2B	TPU2.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI2V	TPU2.TCNTのオーバフロー	不可能	不可能
	TCI2U	TPU2.TCNTのアンダフロー	不可能	不可能
TPU3	TGI3A	TPU3.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI3B	TPU3.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI3C	TPU3.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI3D	TPU3.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI3V	TPU3.TCNTのオーバフロー	不可能	不可能
TPU4	TGI4A	TPU4.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI4B	TPU4.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI4V	TPU4.TCNTのオーバフロー	不可能	不可能
	TCI4U	TPU4.TCNTのアンダフロー	不可能	不可能
TPU5	TGI5A	TPU5.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI5B	TPU5.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI5V	TPU5.TCNTのオーバフロー	不可能	不可能
	TCI5U	TPU5.TCNTのアンダフロー	不可能	不可能

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャネルの TPUm.TGRy レジスタのインพุットキャプチャ/コンペアマッチの発生により、TPUm.TIER.TGIEy ビット (y=A, B, C, D) が“1”なら、割り込みを要求します。TPUには、TPU0、TPU3に各4本、TPU1、TPU2、TPU4、TPU5に各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャネルの TPUm.TCNT のオーバフローの発生により、TPUm.TIER.TCIEV ビットが“1”なら、割り込みを要求します。TPUには、各チャネルに1本、計6本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャネルの TPUm.TCNT のアンダフローの発生により、TPUm.TIER.TCIEU ビットが“1”なら、割り込みを要求します。TPUには、TPU1、TPU2、TPU4、TPU5に各1本、計4本のアンダフロー割り込みがあります。

26.5 DTC の起動

各チャネルの TPUm.TGRy レジスタのインพุットキャプチャ/コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「20. データトランスファコントローラ (DTCb)」を参照してください。

TPUでは、TPU0、TPU3が各4本、TPU1、TPU2、TPU4、TPU5が各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

26.6 DMAC の起動

各チャネルの TPUm.TGRA レジスタのインพุットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「18. DMA コントローラ (DMACAb)」を参照してください。

TPUでは、各チャネルに1本、計6本の TPUm.TGRA レジスタのインพุットキャプチャ/コンペアマッチ割り込みをDMACの起動要因とすることができます。

26.7 A/D コンバータの起動

TPUは、各チャネルの TPUm.TGRA レジスタのインพุットキャプチャ/コンペアマッチによって、A/D コンバータを起動することができます。

各チャネルの TPUm.TGRA レジスタのインพุットキャプチャ/コンペアマッチが発生したとき、TPUm.TIER.TTGE ビットが“1”なら、TPUはA/D コンバータに対してA/D変換の開始を要求します。

26.8 PPG トリガ

TPU0～TPU3の TGRA および TGRB レジスタのインพุットキャプチャ/コンペアマッチを、PPG1の波形生成トリガにすることができます。

詳細は「27. プログラマブルパルスジェネレータ (PPG)」を参照してください。

26.9 動作タイミング

26.9.1 入出力タイミング

(1) TPUm.TCNT のカウントタイミング

内部クロック動作の場合の TPUm.TCNT のカウントタイミングを図 26.31 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 26.32 に示します。

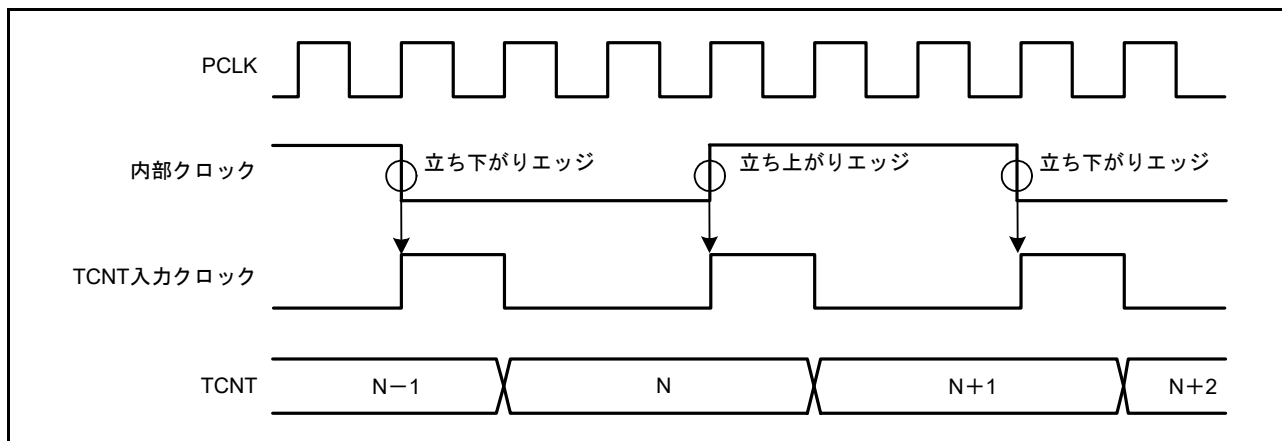


図 26.31 内部クロック動作時のカウントタイミング

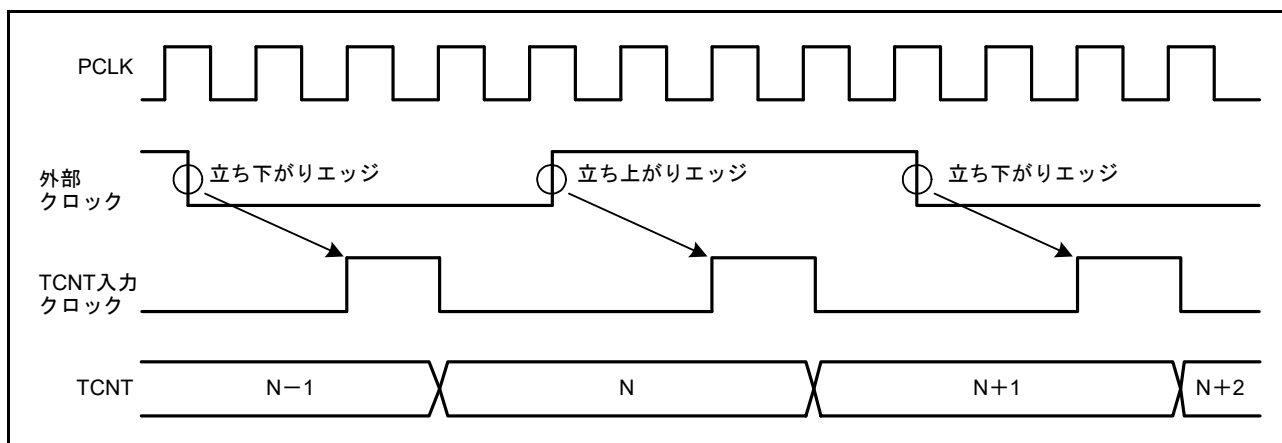


図 26.32 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TPUm.TCNTとTPUm.TGRyレジスタが一致した最後のステート(TCNTが一致したカウント値を更新するタイミング)で発生します。コンペアマッチ信号が発生したとき、TPUm.TIORH、TPUm.TIORL、TPUm.TIORレジスタで設定した出力値がアウトプットコンペア出力端子(TIOCyn(y = A ~ D, n = 0 ~ 5)端子)に出力されます。TCNTとTGRyレジスタが一致した後、TCNT入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図26.33に示します。

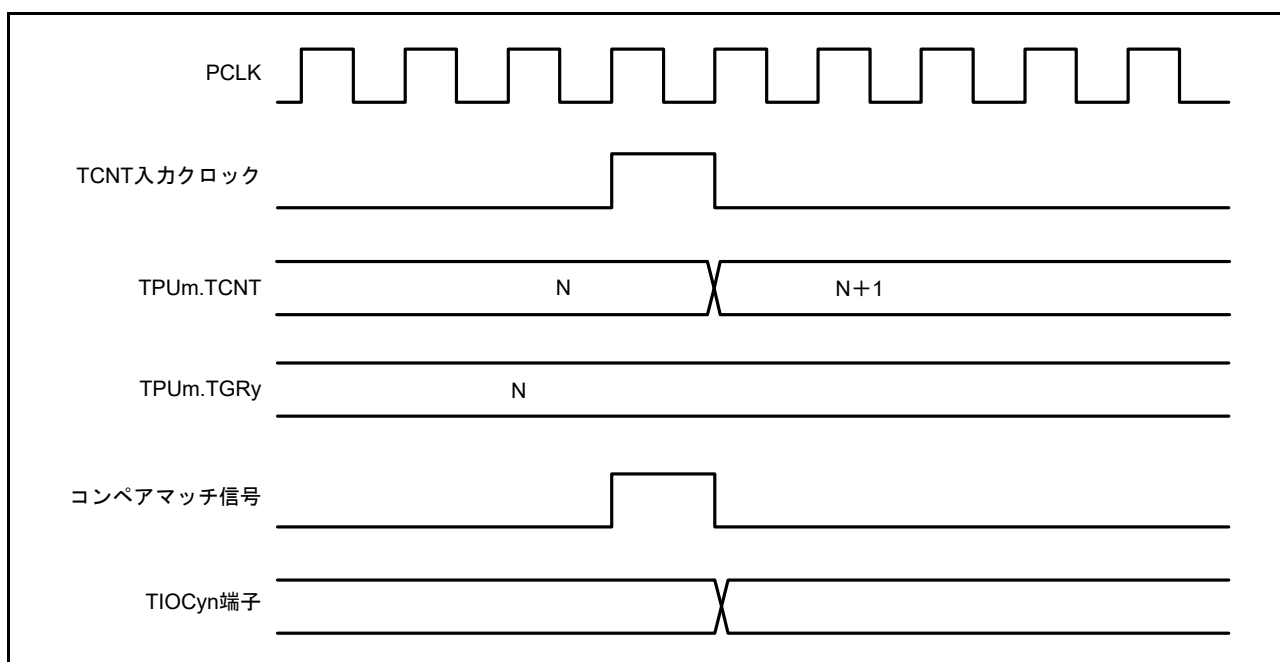


図 26.33 アウトプットコンペア出力タイミング

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図26.34に示します。

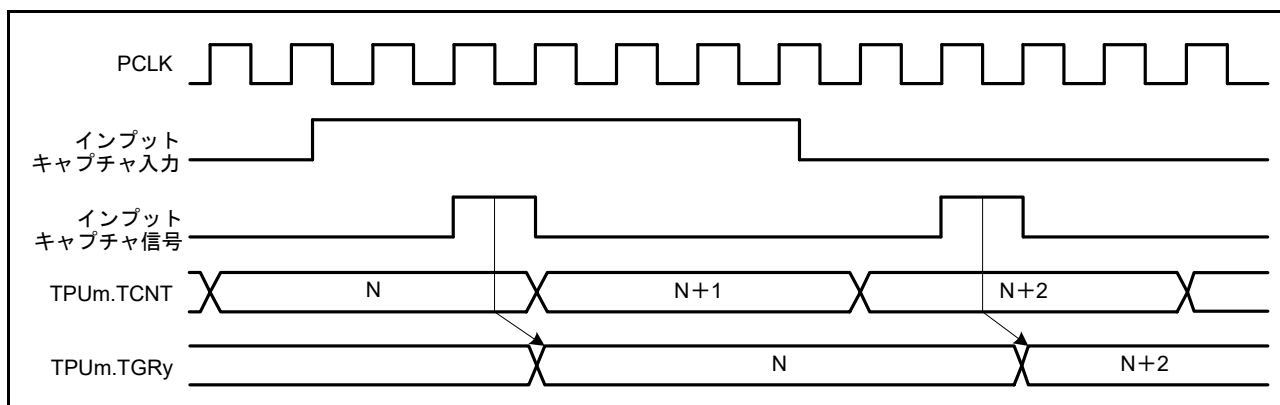


図 26.34 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 26.35 に示します。
 インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 26.36 に示します。

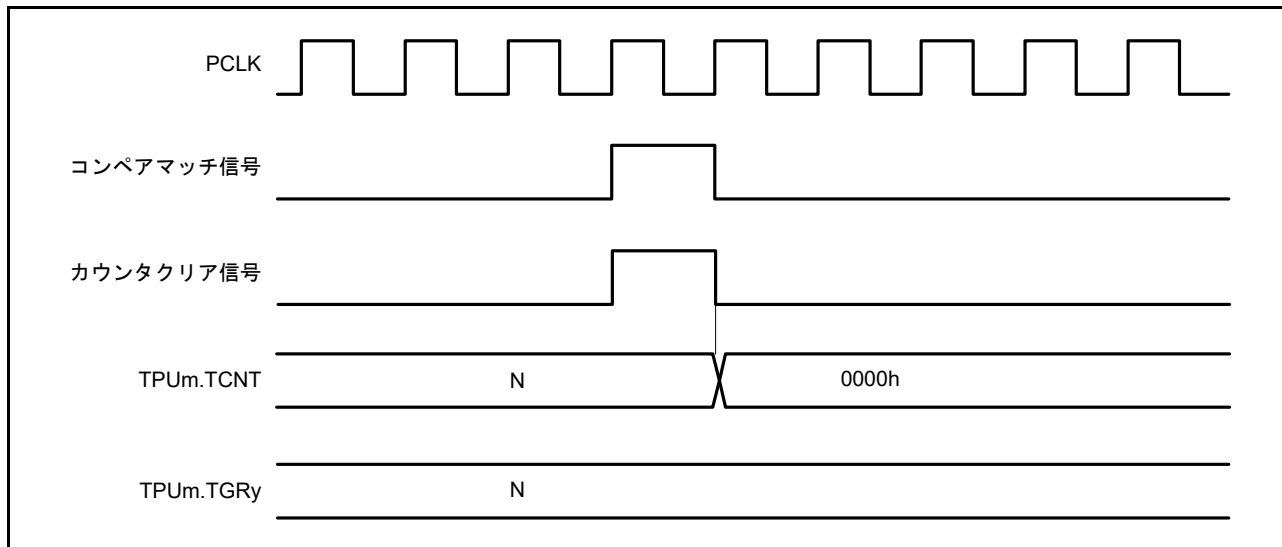


図 26.35 カウンタクリアタイミング (コンペアマッチ)

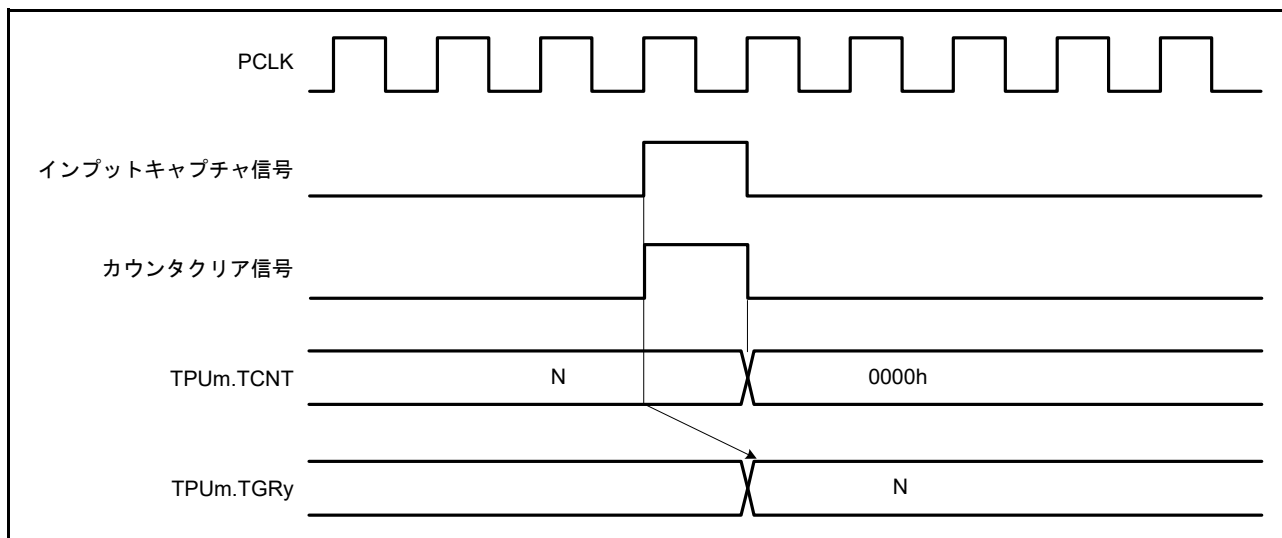


図 26.36 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 26.37、図 26.38 に示します。

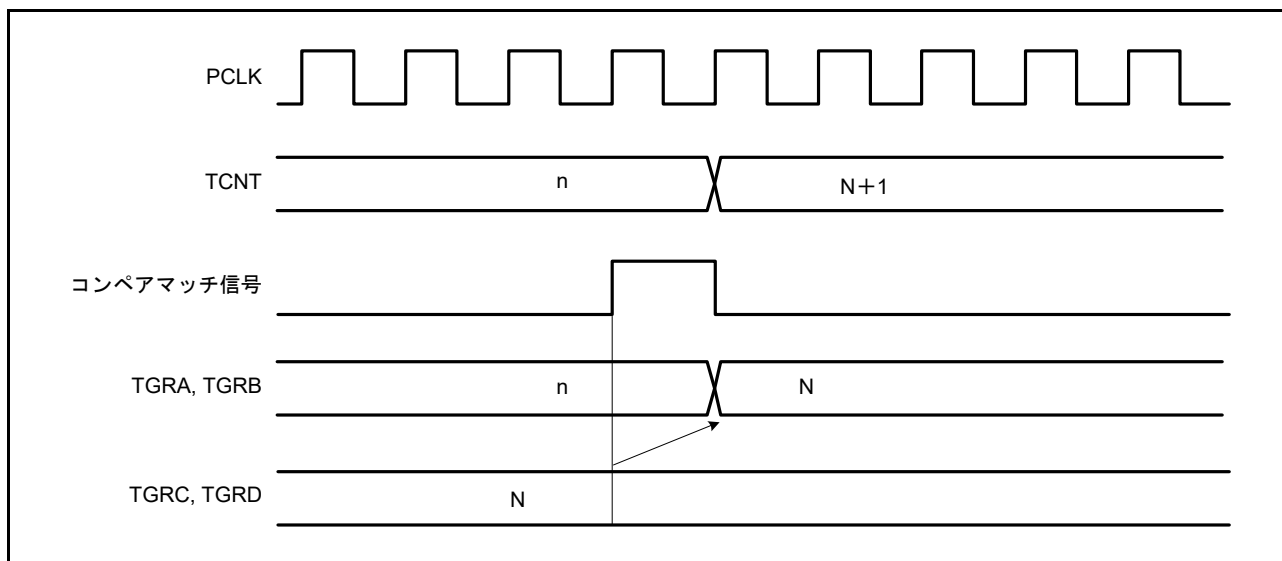


図 26.37 バッファ動作タイミング (コンペアマッチ)

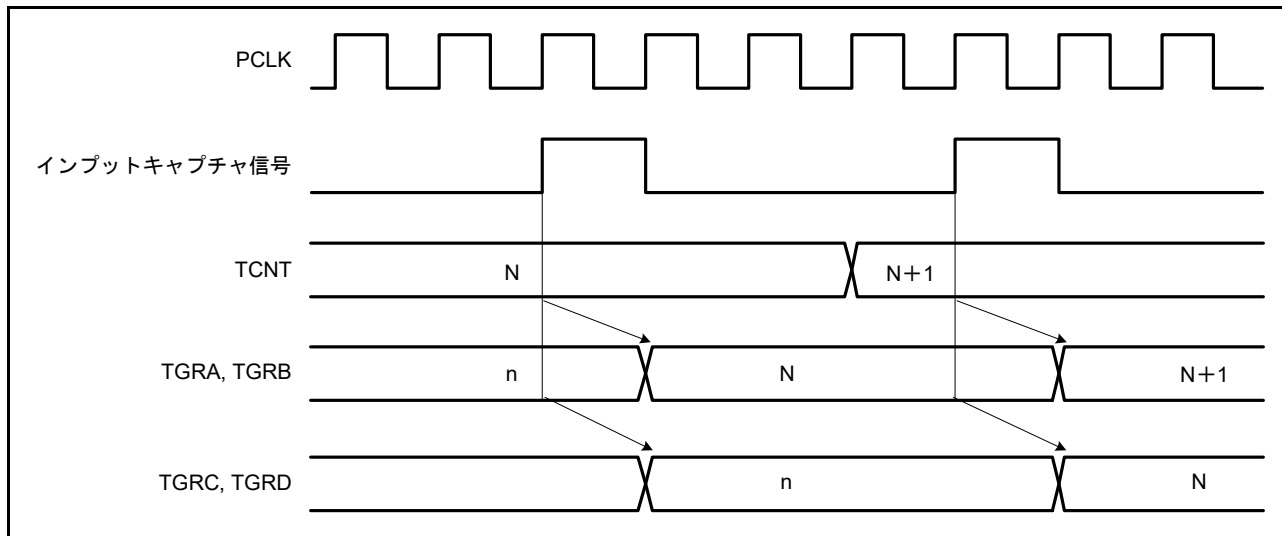


図 26.38 バッファ動作タイミング (インพุットキャプチャ)

26.9.2 割り込み信号タイミング

(1) コンペアマッチ時の割り込み信号のセットタイミング

コンペアマッチの発生による割り込み信号のタイミングを図 26.39 に示します。

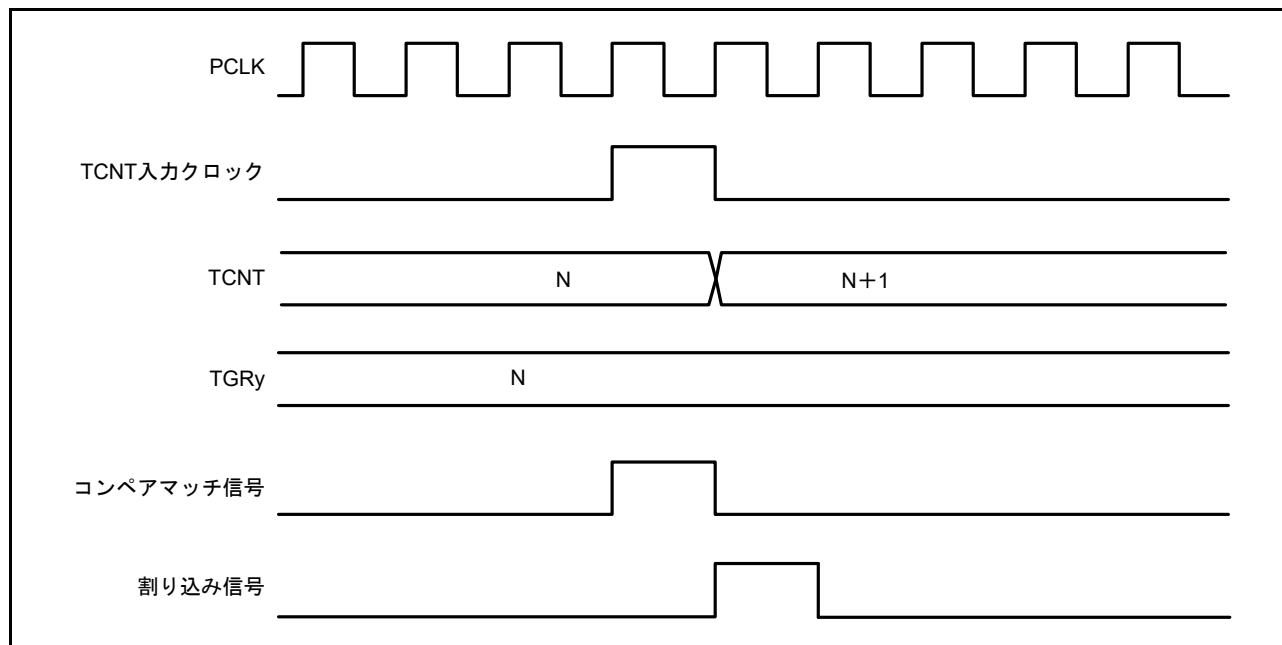


図 26.39 TGImy 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の割り込み信号のセットタイミング

インพุットキャプチャの発生による割り込み信号のタイミングを図 26.40 に示します。

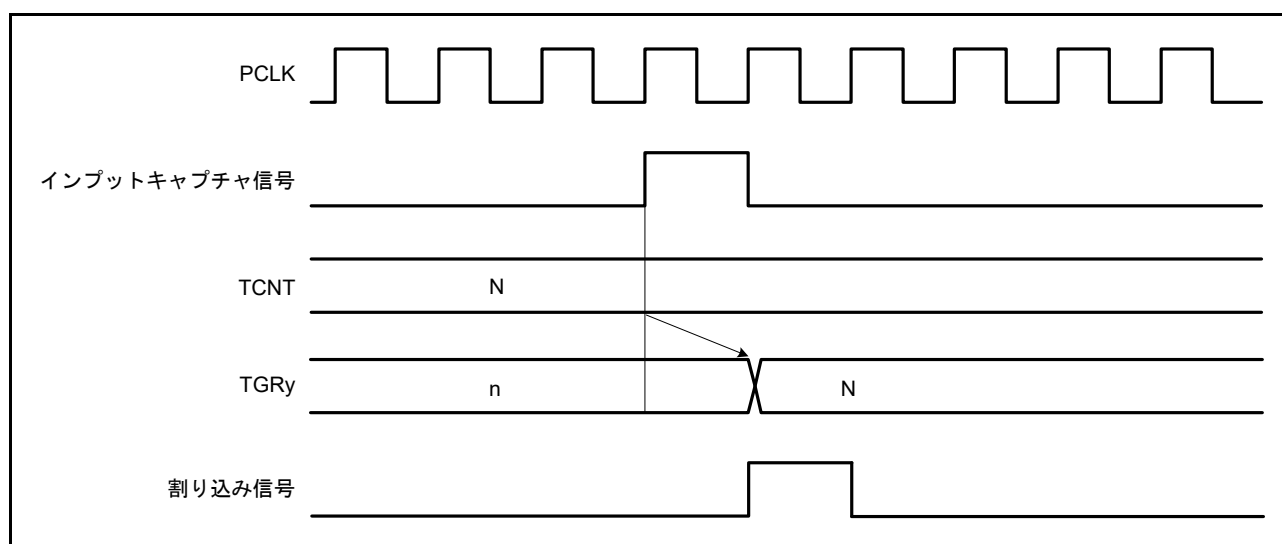


図 26.40 TGImy 割り込みタイミング (インพุットキャプチャ)

(3) TCImV、TCImU 割り込み信号のセットタイミング

オーバフローの発生による TCImV 割り込み信号のタイミングを図 26.41 に示します。
 アンダフローの発生による TCImU 割り込み信号のタイミングを図 26.42 に示します。

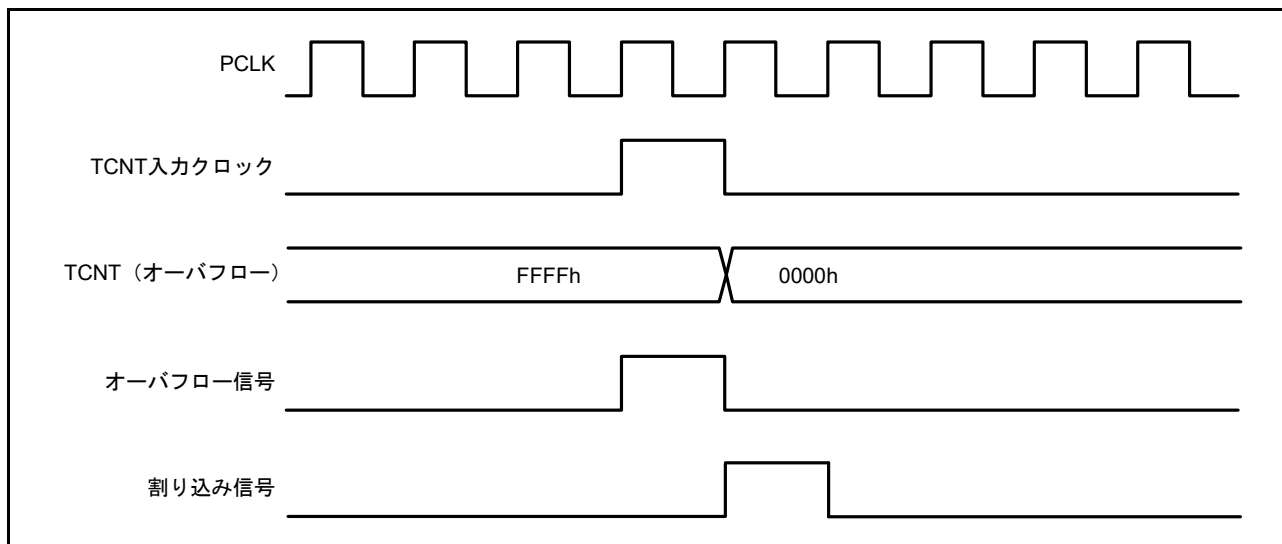


図 26.41 TCImV 割り込みのセットタイミング

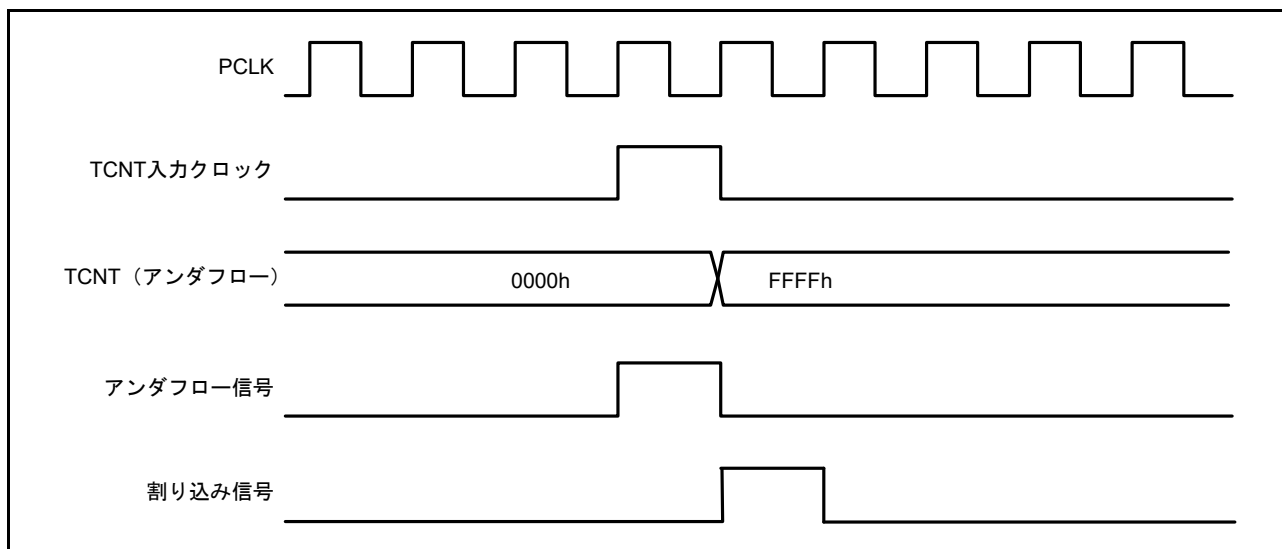


図 26.42 TCImU 割り込みのセットタイミング

26.10 使用上の注意事項

26.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、TPUの動作禁止/許可を設定することが可能です。初期値では、TPUの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

26.10.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は1.5 PCLK以上、両エッジの場合は2.5 PCLK以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ1.5 PCLK以上、パルス幅は2.5 PCLK以上必要です。位相計数モードの入力クロックの条件を図26.43に示します。

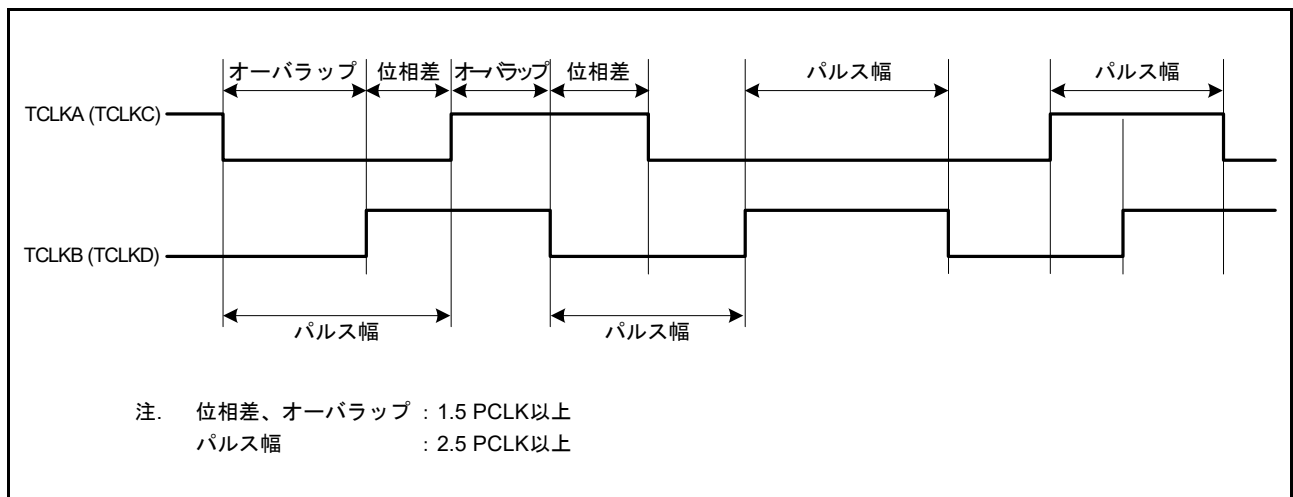


図 26.43 位相計数モード時の位相差、オーバーラップ、およびパルス幅

26.10.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TPUm.TCNTはTPUm.TGRyレジスタの値と一致した最後のステート(TCNTが一致したカウント値を更新するタイミング)でクリアされます。このため、実際のカウンタの周波数は以下の式ようになります。

$$f = \frac{f_{\text{TCNT_CLK}}}{(N+1)}$$

f : カウンタ周波数

$f_{\text{TCNT_CLK}}$: カウントクロックの周波数

N : TGRyレジスタの設定値

26.10.4 TPUm.TCNT への書き込みとクリアの競合

TCNT のライトサイクルでカウンタクリア信号が発生すると、TCNT への書き込みは行われずに TCNT のクリアが優先されます。このタイミングを図 26.44 に示します。

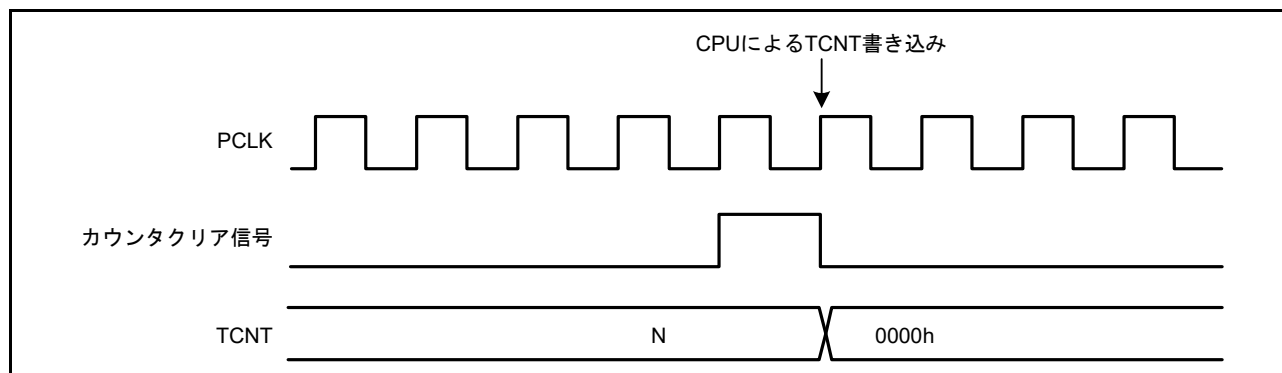


図 26.44 TPUm.TCNT への書き込みとクリアの競合

26.10.5 TPUm.TCNT への書き込みとカウントアップの競合

TCNT のライトサイクルでカウントアップが発生してもカウントアップされず、TCNT への書き込みが優先されます。このタイミングを図 26.45 に示します。

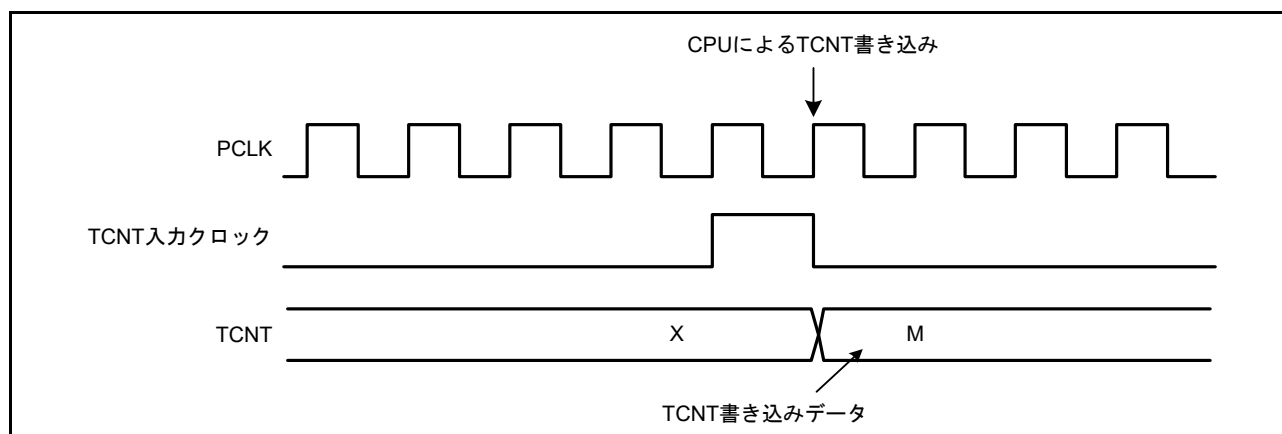


図 26.45 TPUm.TCNT への書き込みとカウントアップの競合

26.10.6 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

TGRy レジスタのライトサイクルでコンペアマッチが発生しても TGRy レジスタへの書き込みが優先され、コンペアマッチ信号は禁止されます。前回と同じ値を書いた場合でもコンペアマッチは発生しません。このタイミングを図 26.46 に示します。

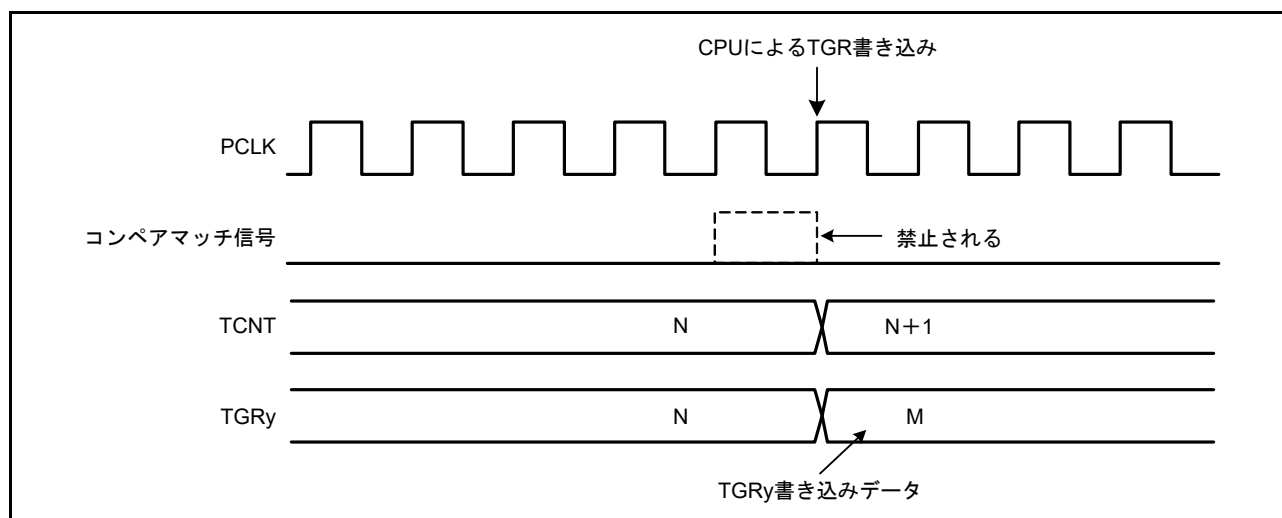


図 26.46 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

26.10.7 バッファレジスタへの書き込みとコンペアマッチの競合

TPUm.TGRy レジスタのライトサイクルでコンペアマッチが発生すると、バッファ動作によって TGRy レジスタに転送されるデータは書き込み前のデータとなります。このタイミングを図 26.47 に示します。

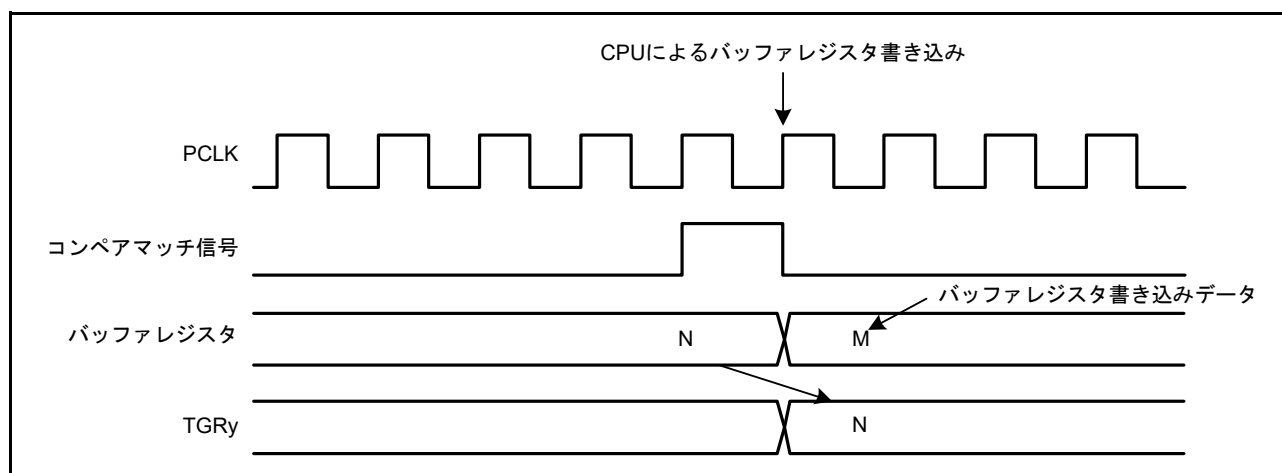


図 26.47 バッファレジスタへの書き込みとコンペアマッチの競合

26.10.8 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

TGRy レジスタのリードサイクルでインプットキャプチャ信号が発生すると、読み出しデータはインプットキャプチャ転送前のデータとなります。

このタイミングを図 26.48 に示します。

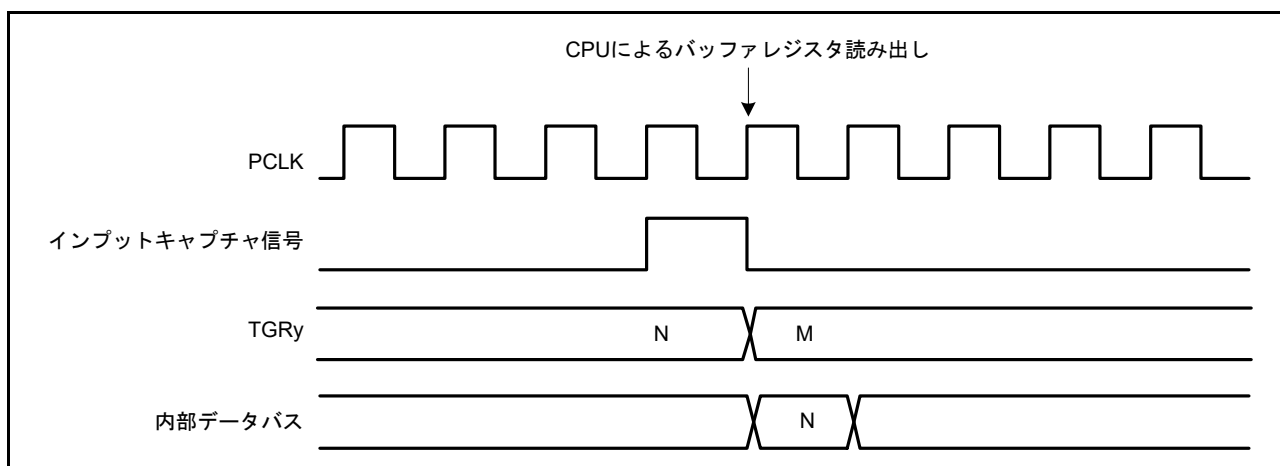


図 26.48 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

26.10.9 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

TGRy レジスタのライトサイクルでインプットキャプチャ信号が発生すると、TGRy レジスタへの書き込みは行われず、インプットキャプチャが優先されます。このタイミングを図 26.49 に示します。

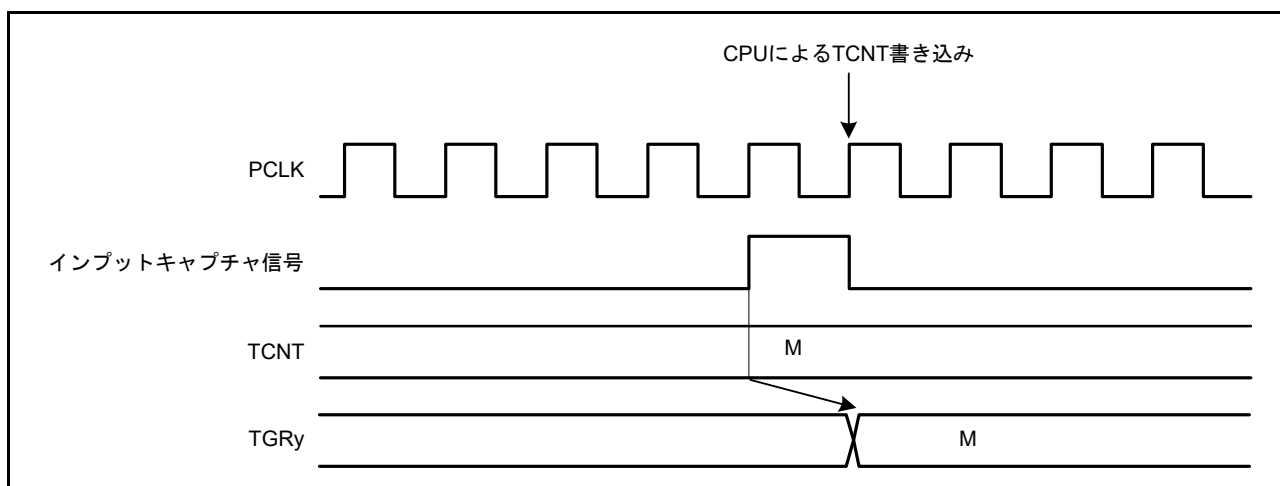


図 26.49 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

26.10.10 バッファレジスタへの書き込みと入力キャプチャの競合

バッファレジスタのライトサイクルで入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。このタイミングを図 26.50 に示します。

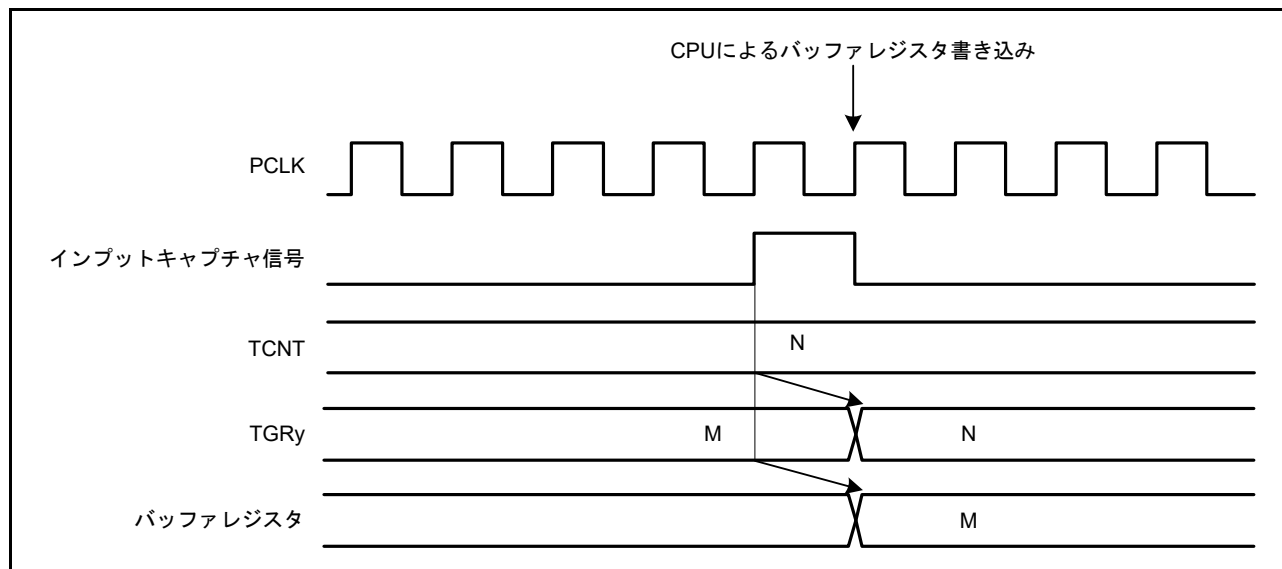


図 26.50 バッファレジスタへの書き込みと入力キャプチャの競合

26.10.11 カスケード接続時の TCNT 同時入力キャプチャ

TPU1.TCNT と TPU2.TCNT をカスケード接続して、32 ビットカウンタとして動作させる場合、TIOC1A 端子と TIOC2A 端子、または TIOC1B 端子と TIOC2B 端子に同時に入力キャプチャ信号を入力しても、内部遅延の差により TPU1.TCNT、TPU2.TCNT に入力されるキャプチャ信号に最大 1 クロックのずれが生じ、カウンタの値を正常にキャプチャできない場合があります。

たとえば、“03A1 FFFFh” から “03A2 0000h” へのカウントアップ時のように、TPU2.TCNT がオーバフローするタイミングでキャプチャした場合、“03A1 0000h” や “03A2 FFFFh” がキャプチャされることがあります。

TPU4.TCNT と TPU5.TCNT をカスケード接続した場合も同様です。

26.10.12 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリア(注1)が同時に発生すると、コンペアマッチ割り込みが発生するとともに、TPUm.TCNTのクリアが行われオーバフロー割り込みが発生します。

TPUm.TGRyレジスタのコンペアマッチをクリア要因とし、TGRyレジスタを“FFFFh”にした場合の動作タイミングを図26.51に示します。

注1. カウンタクリアの要因は以下の4種類です。

- コンペアマッチ
- インプットキャプチャ
- 同期クリア
- イベント信号によるカウンタリスタート動作

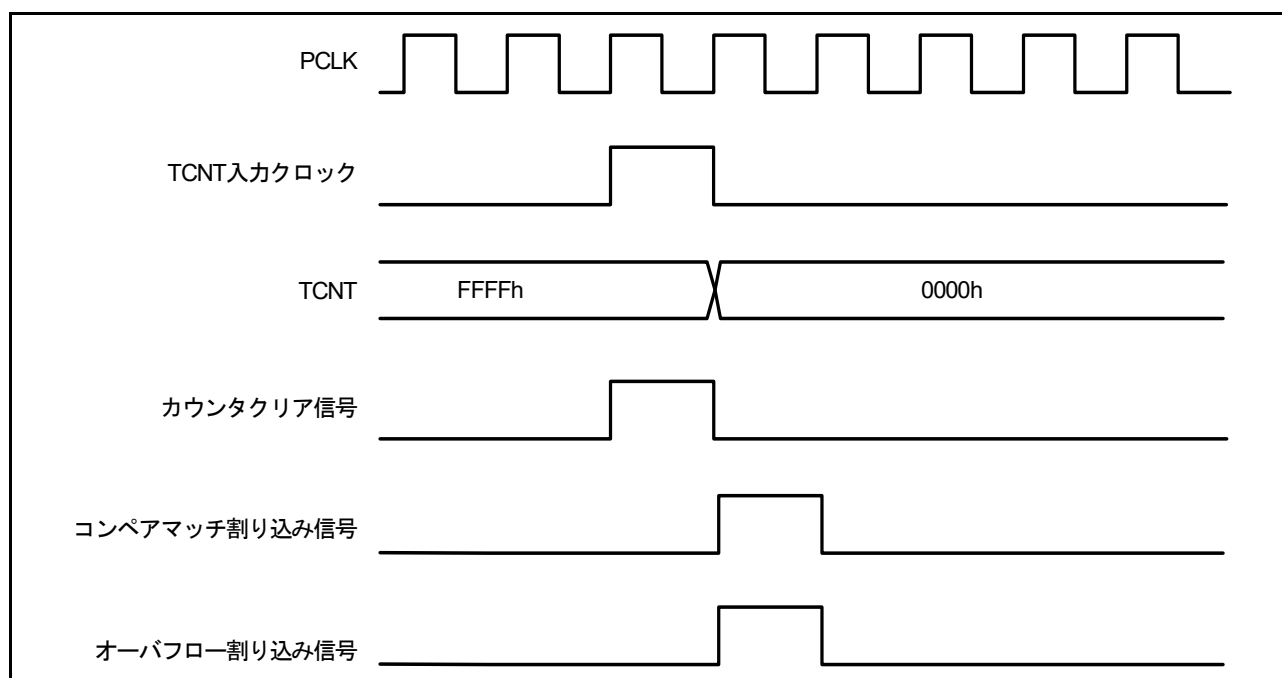


図 26.51 オーバフローとカウンタクリアの競合

26.10.13 TPUm.TCNT への書き込みとオーバフロー/アンダフローの競合

TCNT のライトサイクルでカウントアップ/カウントダウンが発生し、オーバフロー/アンダフローが発生しても TCNT への書き込みが優先されます。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 26.52 に示します。

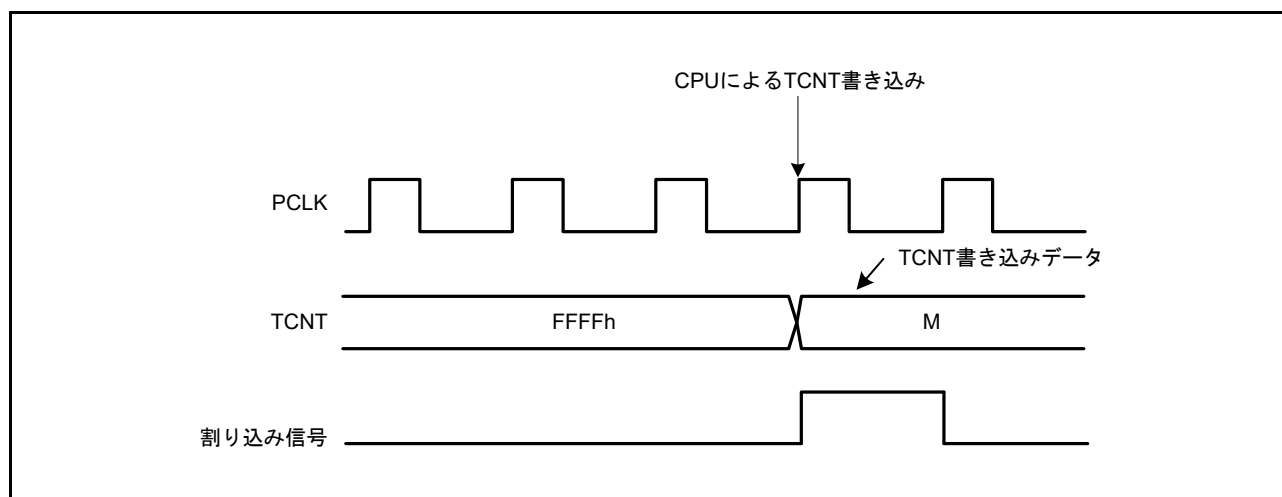


図 26.52 TPUm.TCNT への書き込みとオーバフローの競合

26.10.14 入出力端子の兼用

本 MCU では、TCLKA 入力と TIOCB5 入出力、TCLKB 入力と TIOCB2 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCC3 入出力、TCLKD 入力と TIOCD3 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

26.10.15 コンペアマッチパルス割り込みの連続出力

TGR を“0000h”に設定して、カウントクロックを PCLK/1 としたコンペアマッチでカウンタクリアすると、TCNT は“0000h”のまま更新されず、パルスのコンペアマッチ割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチパルス割り込みが連続出力する動作タイミングを図 26.53 に示します。

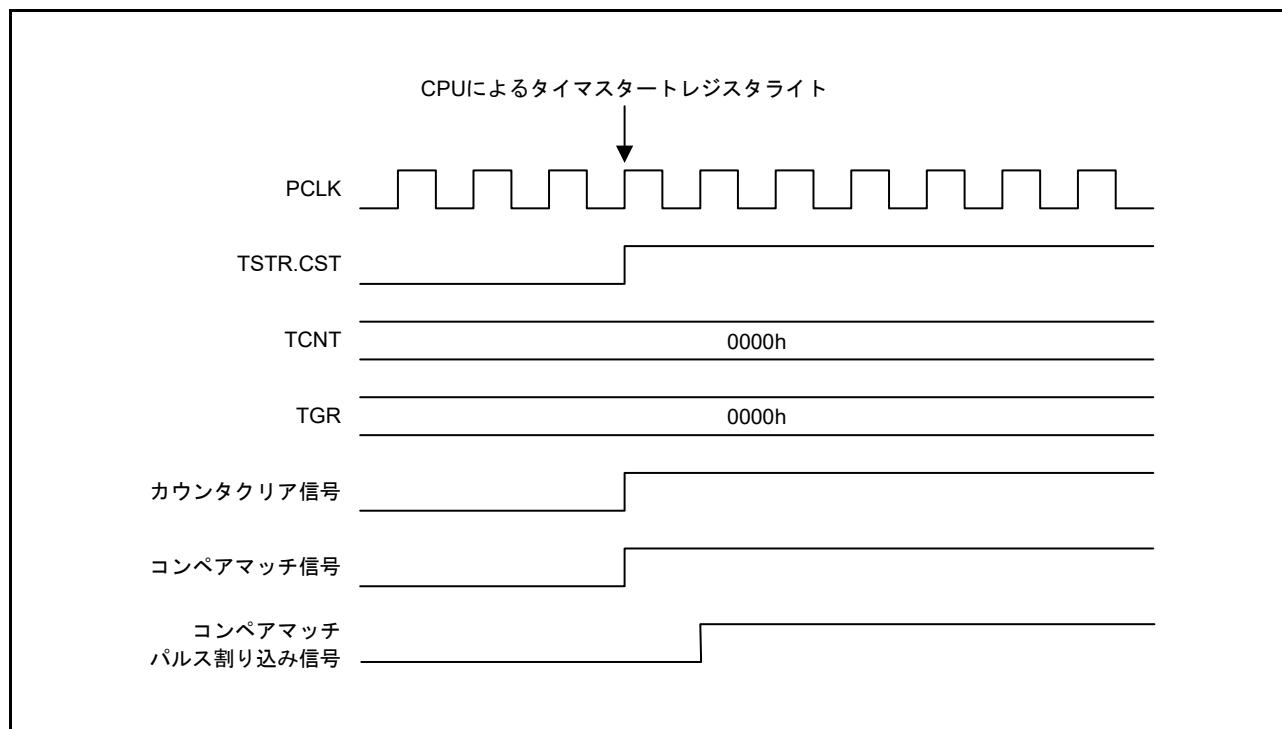


図 26.53 コンペアマッチパルス割り込みの連続出力

26.10.16 インพุットキャプチャパルス割り込みの連続出力

インพุットキャプチャを両エッジに指定し、インพุットキャプチャ入力が内部サンプリングによってIPCLK サイクルとして検出されるパルス幅の場合、立ち上がりエッジと立ち下がりエッジによるインพุットキャプチャが連続して発生するために、パルスのインพุットキャプチャ割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

インพุットキャプチャパルス割り込みが連続出力する動作タイミングを図 26.54 に示します。

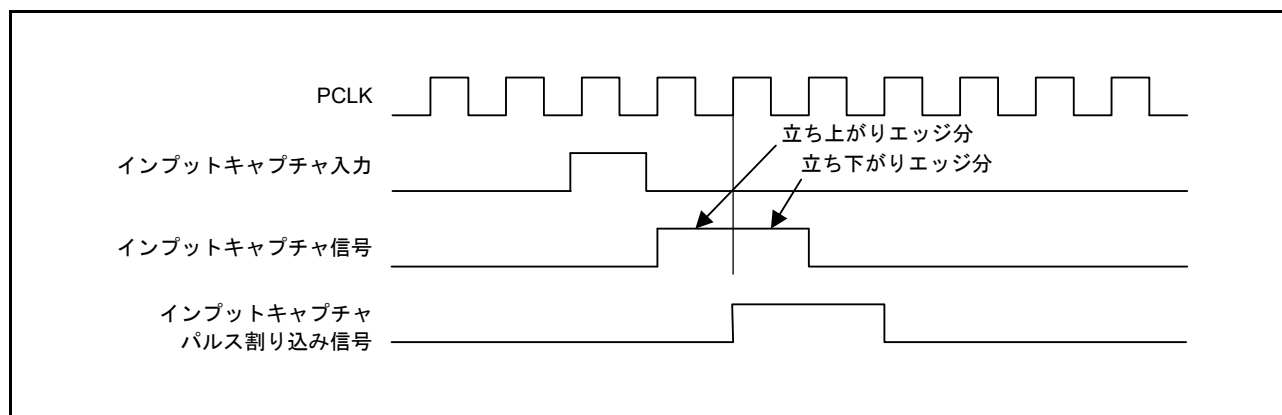


図 26.54 インพุットキャプチャパルス割り込みの連続出力

26.10.17 アンダフローパルス割り込みの連続出力

位相計数モード1で、TGRを“0000h”、カウンタクリア要因をコンペアマッチとして動作させ、TCNTが“0000h”のときに、位相計数の対象となる2本の外部クロックの同方向のエッジがPCLKの2サイクル内で発生した場合、TCNTは“0000h”のまま更新されず、パルスのコンペアマッチ割り込みとアンダフロー割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは連続する割り込みの2つ目を検出できなくなります。

アンダフローパルス割り込みが連続出力する動作タイミングを図26.55に示します。

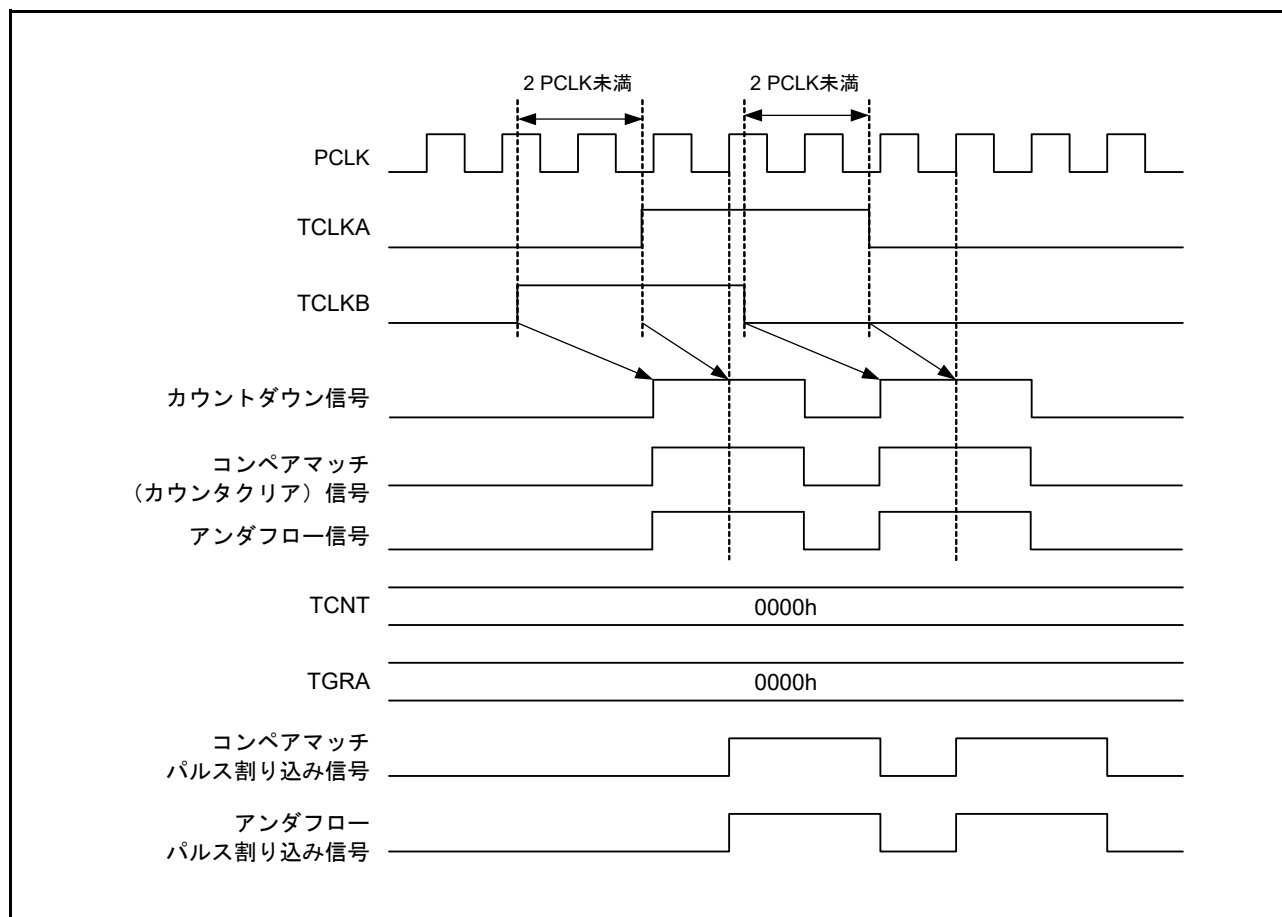


図 26.55 アンダフローパルス割り込みの連続出力

26.11 イベントリンク動作

26.11.1 ELC へのイベント信号出力

TPU は ELC (イベントリンクコントローラ) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は該当する割り込み要求許可ビット (TGIEA, TGIEB, TGIEC, TGIED, TCIEV, TCIEU) の設定に関係なく出力することができます。

26.11.2 ELC からのイベント信号入力

ELC (イベントリンクコントローラ) のイベントリンク設定レジスタの設定により、3種類の動作ができます。

(1) カウントスタート動作

TPU のカウントスタート動作が選択された状態でイベント信号が入力されると、TSTRA レジスタ (タイマスタートレジスタ) の CSTn ビットが“1”にセットされ、カウントがスタートします。

ただし、CSTn ビットが“1”にセットされているチャンネルでこのイベントが発生した場合、イベントは無効になります。

各チャンネルに対して使用する TSTRA.CSTn ビットを表 26.30 に示します。

また、カウントスタート動作のタイミングを図 26.56 に示します。

カウントスタート動作の設定手順の詳細については「26.3.1 (1) カウンタの動作」を参照ください。

表 26.30 チャンネルと TSTRA.CSTn ビットの対応表

チャンネル番号	TSTRA.CSTn ビット
TPU0	CST0
TPU1	CST1
TPU2	CST2
TPU3	CST3

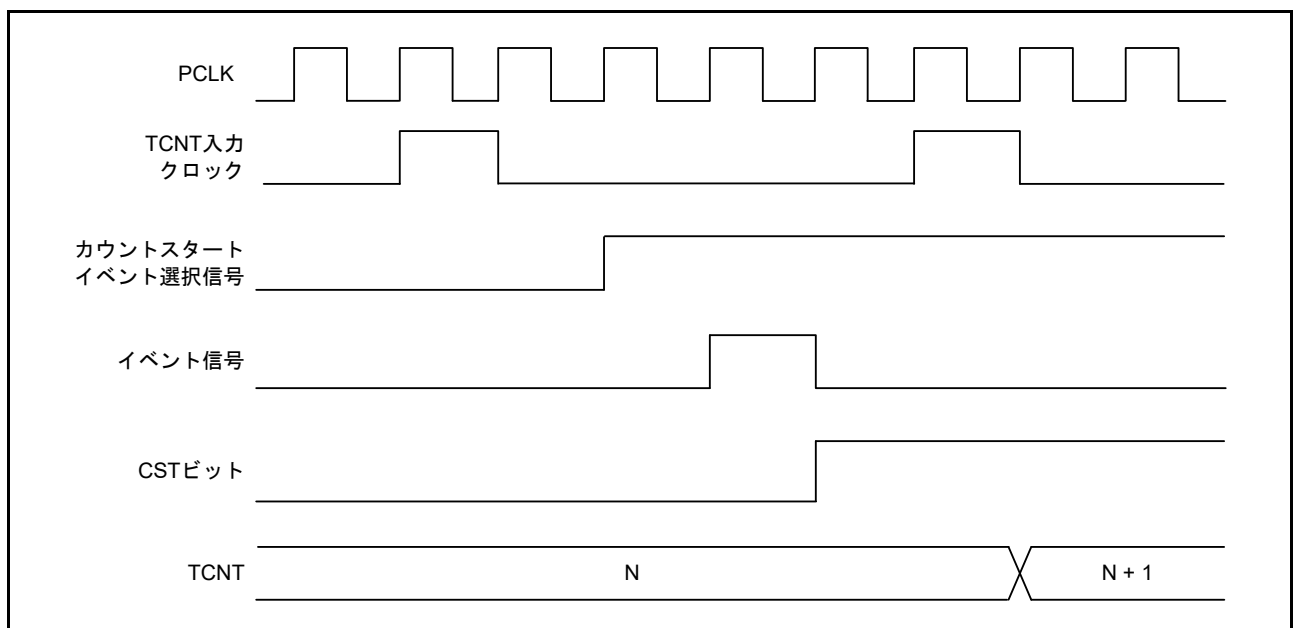


図 26.56 イベント信号入力によるカウントスタート動作

(2) カウントリスタート動作

TPUのカウントリスタート動作が選択された状態でイベント信号が入力されると、TCNTnカウンタ(タイマカウンタレジスタ)の値が初期値(0000h)に書き換わります。その後、TSTRAレジスタ(タイマスタートレジスタ)レジスタのCSTnビットが“1”にセットされていればカウント動作を継続することができます。

各チャンネルに対して使用するTSTRA.CSTnビットは表26.30を参照ください。

カウントリスタート動作のタイミングを図26.57に示します。

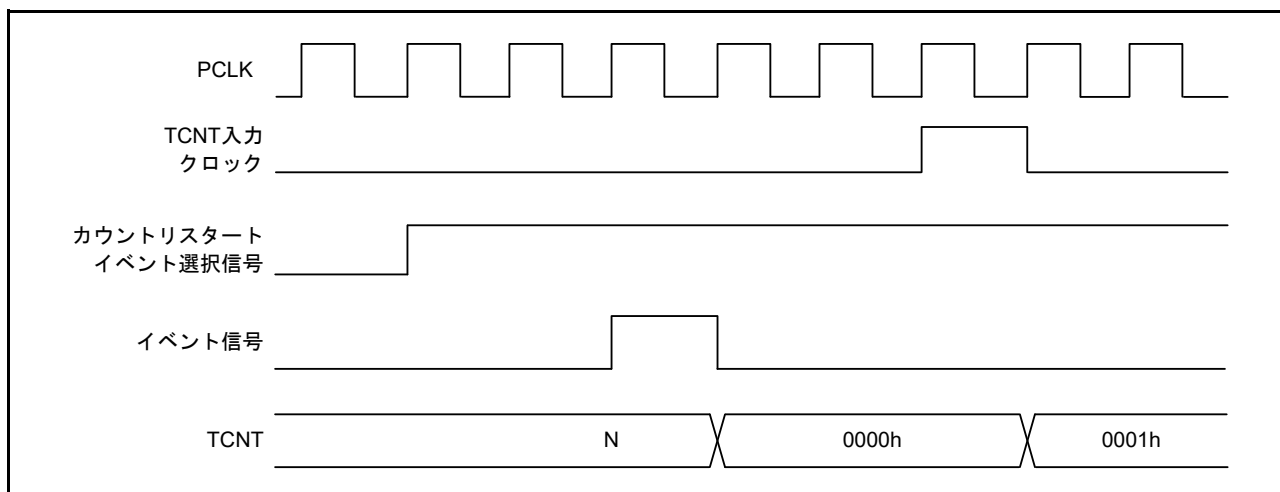


図 26.57 イベント信号入力によるカウントリスタート動作

(3) インพุットキャプチャ動作

TPUのインพุットキャプチャ動作が選択された状態でイベント信号が入力されると、対応するチャンネルのTCNTカウンタ(タイマカウントレジスタ)の値をTGRレジスタ(タイマジェネラルレジスタ)へキャプチャします。イベントリンクによるインพุットキャプチャを使用する場合は、TIOR(タイマI/Oコントロールレジスタ)のビットをインพุットキャプチャに設定し、TSTRAレジスタ(タイマスタートレジスタ)のCSTnビットを“1”にしてカウントスタートさせてください。

各チャンネルに対して使用するTGRレジスタとTIORレジスタのビット名を表26.31に示します。また、各チャンネルに対して使用するTSTRA.CSTnビットは表26.30を参照ください。

インพุットキャプチャ動作のタイミングを図26.58に示します。

イベントリンクによるインพุットキャプチャ動作が選択されているとき、TIORレジスタの設定と対応する(TIOcnA端子(インพุットキャプチャ端子)入力と他チャンネルの特定動作との連動)インพุットキャプチャは無効になります。(イベント選択信号“1”と同時の時含む)

インพุットキャプチャの設定手順の詳細は「26.3.1(3) インพุットキャプチャ機能」を参照ください。

表26.31 ELC動作時のインพุットキャプチャ動作で使用するTGRとTIOR

チャンネル番号	キャプチャ先のレジスタ名	TIORのビット名
TPU0	TGRAレジスタ(チャンネル0)	IOA[3:0]ビット(TIORH0)
TPU1	TGRAレジスタ(チャンネル1)	IOA[3:0]ビット(TIOR1)
TPU2	TGRAレジスタ(チャンネル2)	IOA[3:0]ビット(TIOR2)
TPU3	TGRAレジスタ(チャンネル3)	IOA[3:0]ビット(TIORH3)

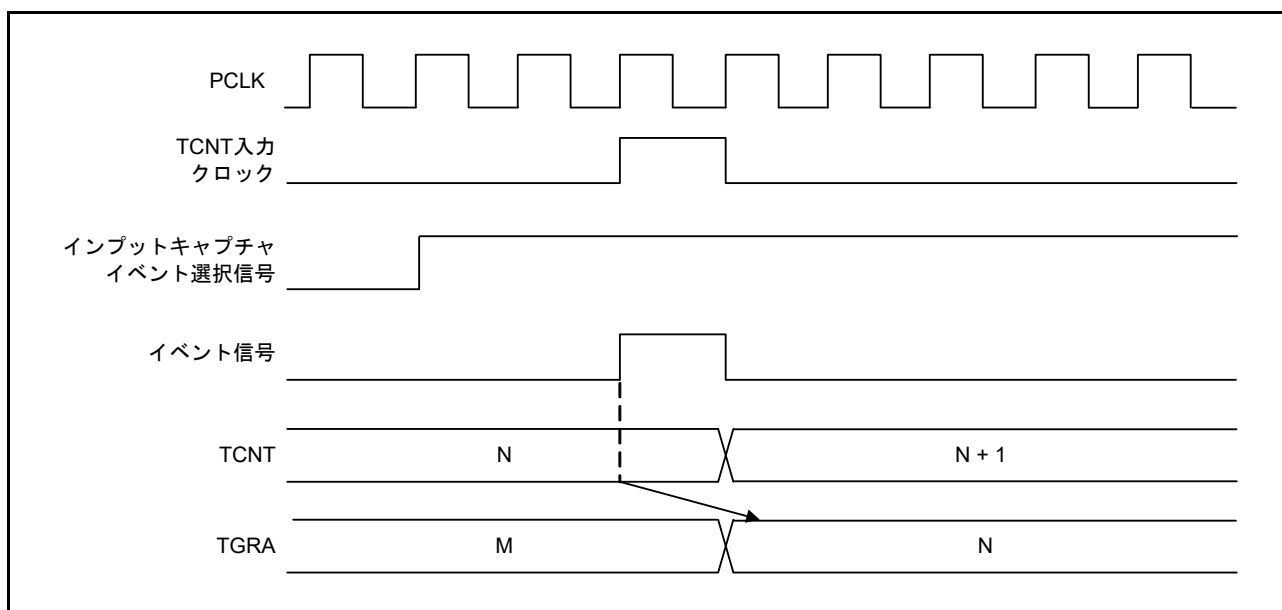


図 26.58 イベント信号入力によるインพุットキャプチャ動作

26.11.3 イベント信号入力による動作の注意事項

以下に TPU をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TSTRA レジスタ (タイマスタートレジスタ) の CSTn ビットへのライトサイクルとカウントスタート動作が競合した場合、TSTRA.CSTn ビットへの書き込みは行われず、イベントによる“1”セットが優先されます。

このタイミングを図 26.59 に示します。

また、イベントリンクによるカウントスタート動作が選択されている時でも、イベント信号が Low ならば CPU による TSTRA.CSTn ビットへの書き込みは行われます。

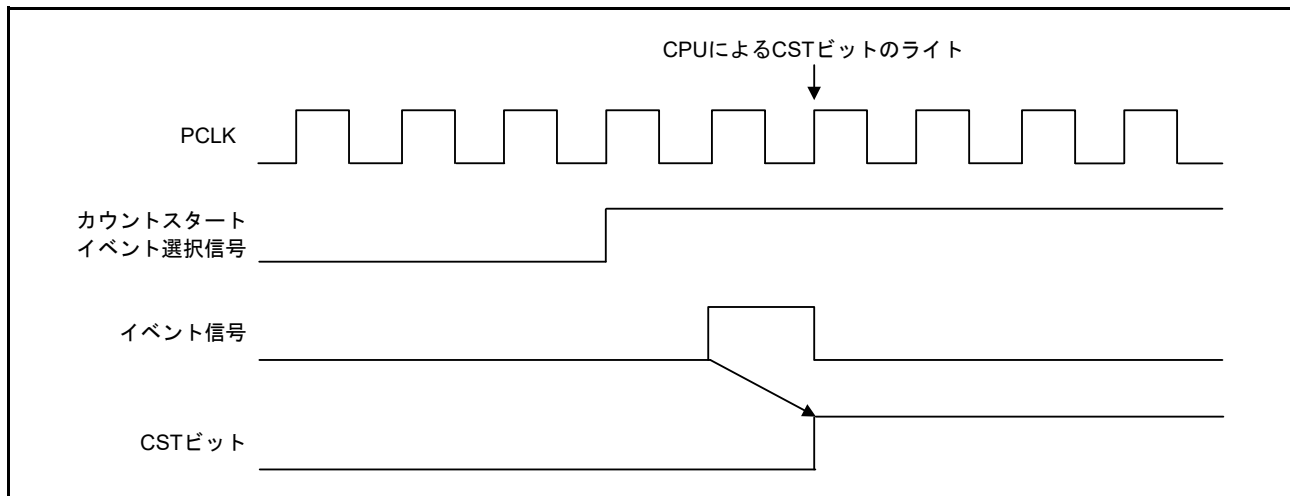


図 26.59 CSTn ビットへのライトサイクルとカウントスタート動作信号の競合

(2) カウントリスタート動作

TCNTn カウンタ (タイマカウンタレジスタ) へのライトサイクルとカウントリスタート動作が競合した場合、TCNTn カウンタへの書き込みは行われず、カウントリスタート動作によるカウント値の初期化が優先されます。

このタイミングを図 26.60 に示します。

また、イベントリンクによるカウントリスタート動作が選択されている時でも、イベント信号が Low ならば CPU による TCNTn カウンタへの書き込みは行われます。

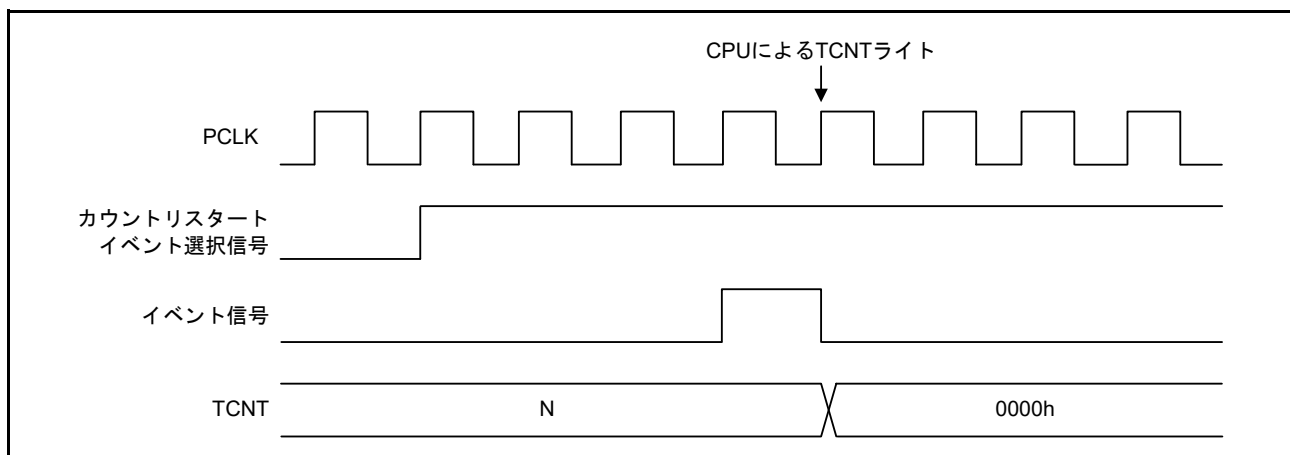


図 26.60 TCNTn へのライトサイクルとカウントリスタート動作の競合

(3) インพุットキャプチャ動作

TGRA レジスタ (タイマジェネラルレジスタ) へのリード/ライトサイクルとインพุットキャプチャ動作が競合した場合、それぞれ下記の動作になります。

(a) TGR へのリードサイクルとインพุットキャプチャの競合

内部データバスにはインพุットキャプチャ転送前のデータがリードされます。
このタイミングを図 26.61 に示します。

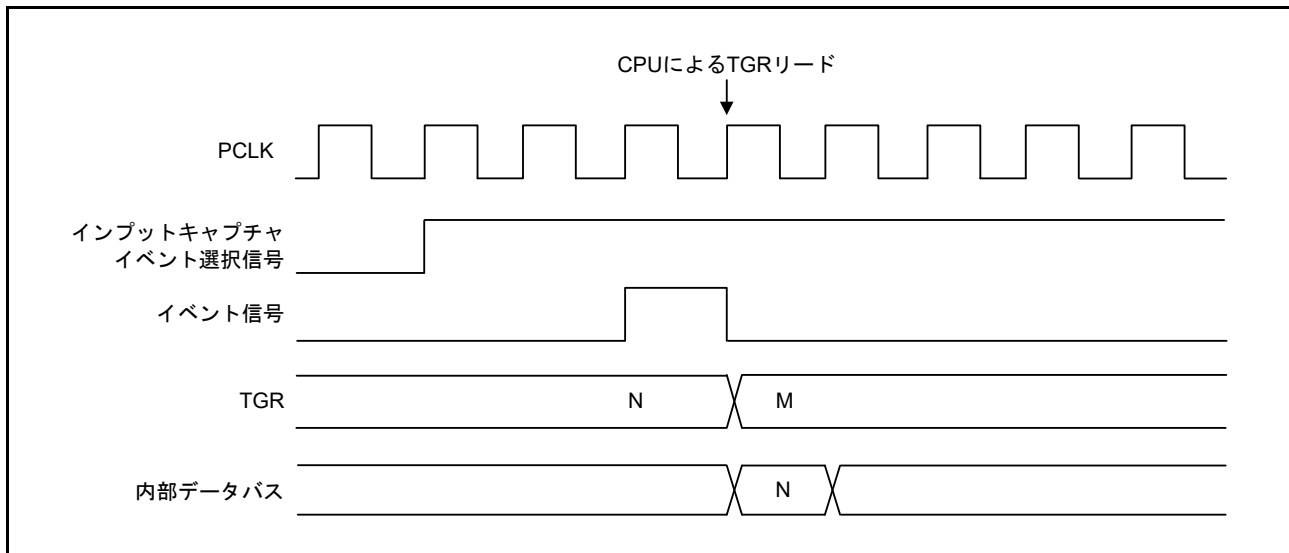


図 26.61 TGR へのリードサイクルとインพุットキャプチャ動作の競合

(b) TGR へのライトサイクルとインพุットキャプチャの競合

TGR への書き込みは行われずインพุットキャプチャが優先されます。

このタイミングを図 26.62 に示します

また、イベントリンクによるインพุットキャプチャ動作が選択されている時でも、イベント信号が Low ならば CPU による TGR への書き込みは行われます。

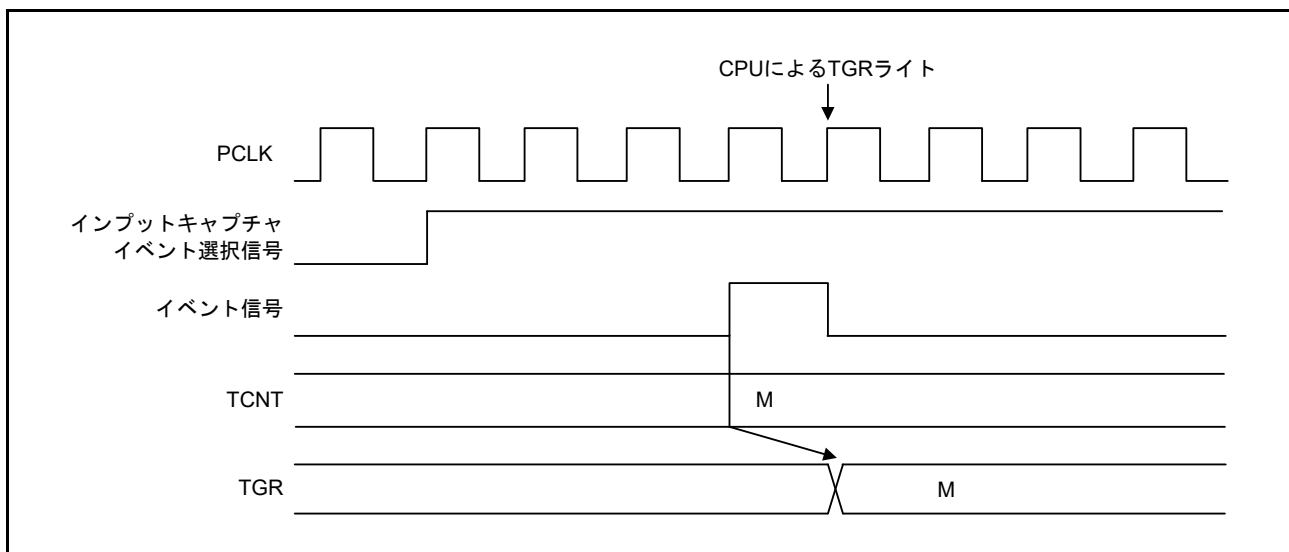


図 26.62 TGR へのライトサイクルとインพุットキャプチャ動作の競合

26.11.4 イベント信号出力動作の注意事項

以下にイベントリンク信号出力動作における注意点を記載します。

(1) コンペアマッチイベント出力動作

TGR レジスタを“0000h”、カウンタクロックを PCLK/1 (TCRn.TPSC[2:0] = 000b)、コンペアマッチでカウンタクリアに設定した場合、TCNT は“0000h”のままとなり、イベント出力信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。

コンペアマッチによるイベント出力信号の連続出力タイミングを図 26.63 に示します。

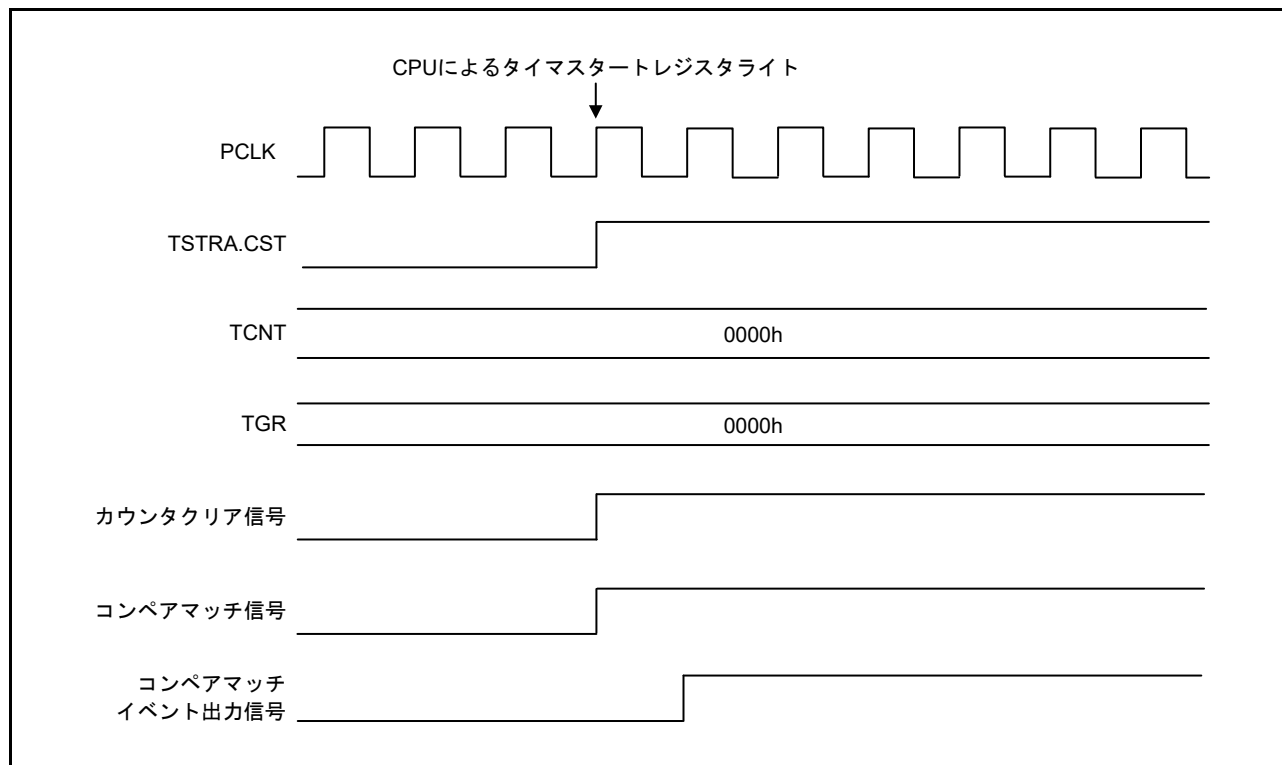


図 26.63 コンペアマッチイベント出力信号の連続出力

(2) アンダフローイベント出力動作

位相計数モード1、TGRレジスタを“0000h”、カウンタクリア要因をコンペアマッチに設定し、TCNTカウンタが“0000h”の状態の時にカウントダウン(位相計数の対象となる2本の外部クロックの同方向のエッジ)がPCLKの2サイクル内で発生した場合、TCNTカウンタは“0000h”のままとなり、コンペアマッチイベント出力とアンダフローイベント出力がレベル状の連続出力信号となります。

アンダフローによるイベント出力信号の連続出力タイミングを図26.64に示します。

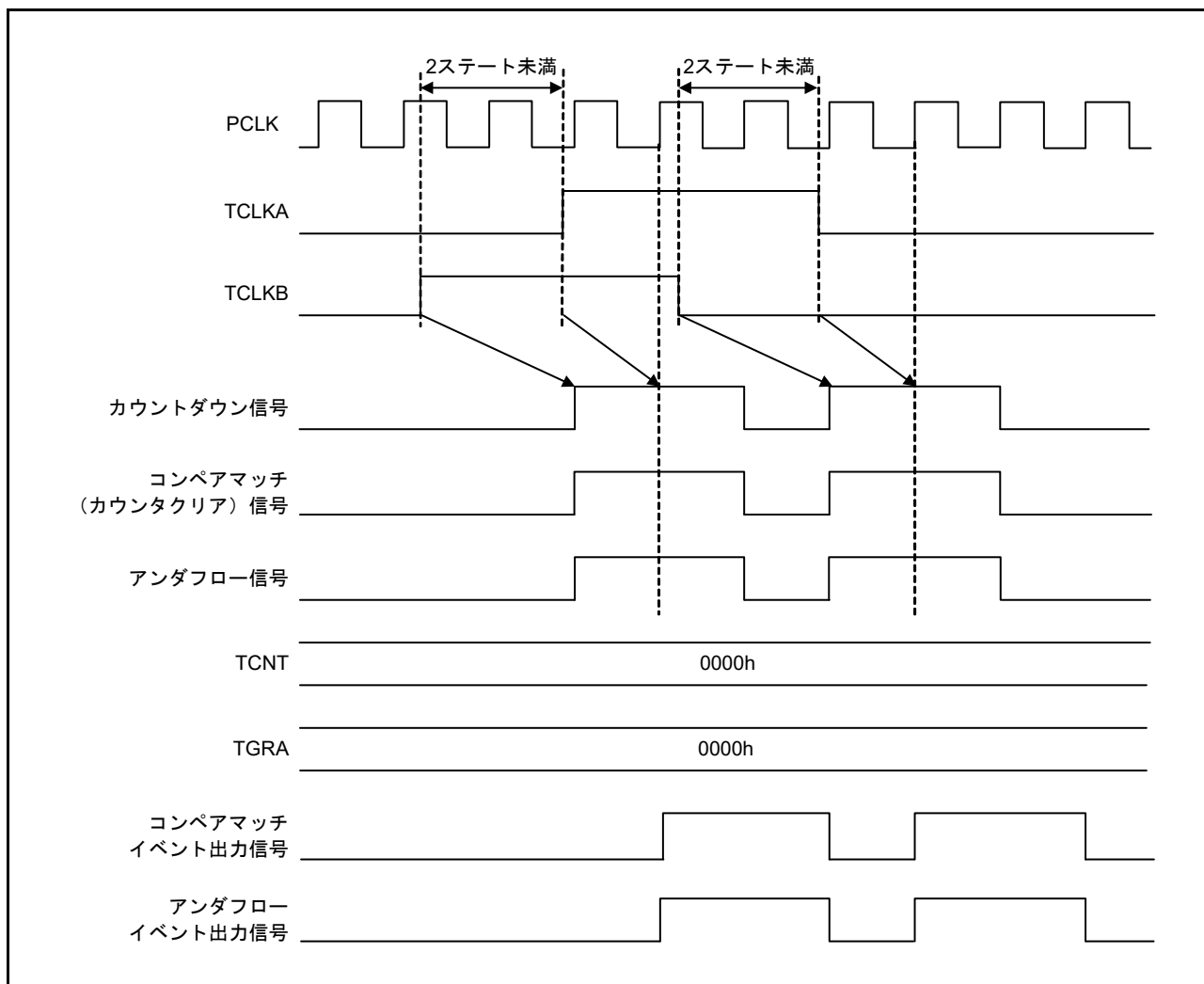


図 26.64 アンダフローイベント出力信号の連続出力

27. プログラマブルパルスジェネレータ (PPG)

プログラマブルパルスジェネレータ (PPG) は、16ビットタイマパルスユニット (TPU) とマルチファンクションタイマパルスユニット 3 (MTU) をタイムベースとしてパルスを出力します。

本 MCU は、2 ユニットの PPG を内蔵しています。1 ユニットの、16 ビットのパルス出力端子を持ち、4 ビット単位を 1 つのパルス出力グループとして構成しています。各パルス出力グループは同時に動作させることも、個別に動作させることもできます。

27.1 概要

表 27.1 に PPG の仕様を、表 27.2 に PPG 機能一覧を示します。

図 27.1、図 27.2 に PPG のブロック図を示します。

表 27.1 PPG の仕様

項目	内容
出力ビット数	最大 32 ビット (注1)
パルス出力	<ul style="list-style-type: none"> 4 グループ×2 ユニットの出力可能 出力トリガ信号を選択可能 ノンオーバーラップ動作可能 反転出力の指定可能
出力データ転送	DTC、DMAC との連携動作可能 (TPU と MTU の割り込み機能を使用時)
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

注1. PPG 出力トリガを MTU に設定する場合、PCLKA は PCLKB と同一周波数に設定してください。

表 27.2 PPG 機能一覧

項目			PPG0	PPG1
PPG 出力トリガ	MTU のチャンネル 0~3 (MTU0~MTU3) (注1)	コンペアマッチ	○	○
		インプットキャプチャ	○	○
	TPU (ユニット 0) のチャンネル 0~3 (TPU0~TPU3)	コンペアマッチ	—	○
		インプットキャプチャ	—	○
ノンオーバーラップ動作			○	○
出力データ転送	DTC	○	○	
	DMAC	○	○	
反転出力の指定			○	○
モジュールストップの設定 (注2)			MSTPCRA.MSTPA11 ビット	MSTPCRA.MSTPA10 ビット

○ : 可能

— : 不可能

注1. PPG 出力トリガを MTU に設定する場合、PCLKA は PCLKB と同一周波数に設定してください。

注2. 詳細は「11. 消費電力低減機能」を参照してください。

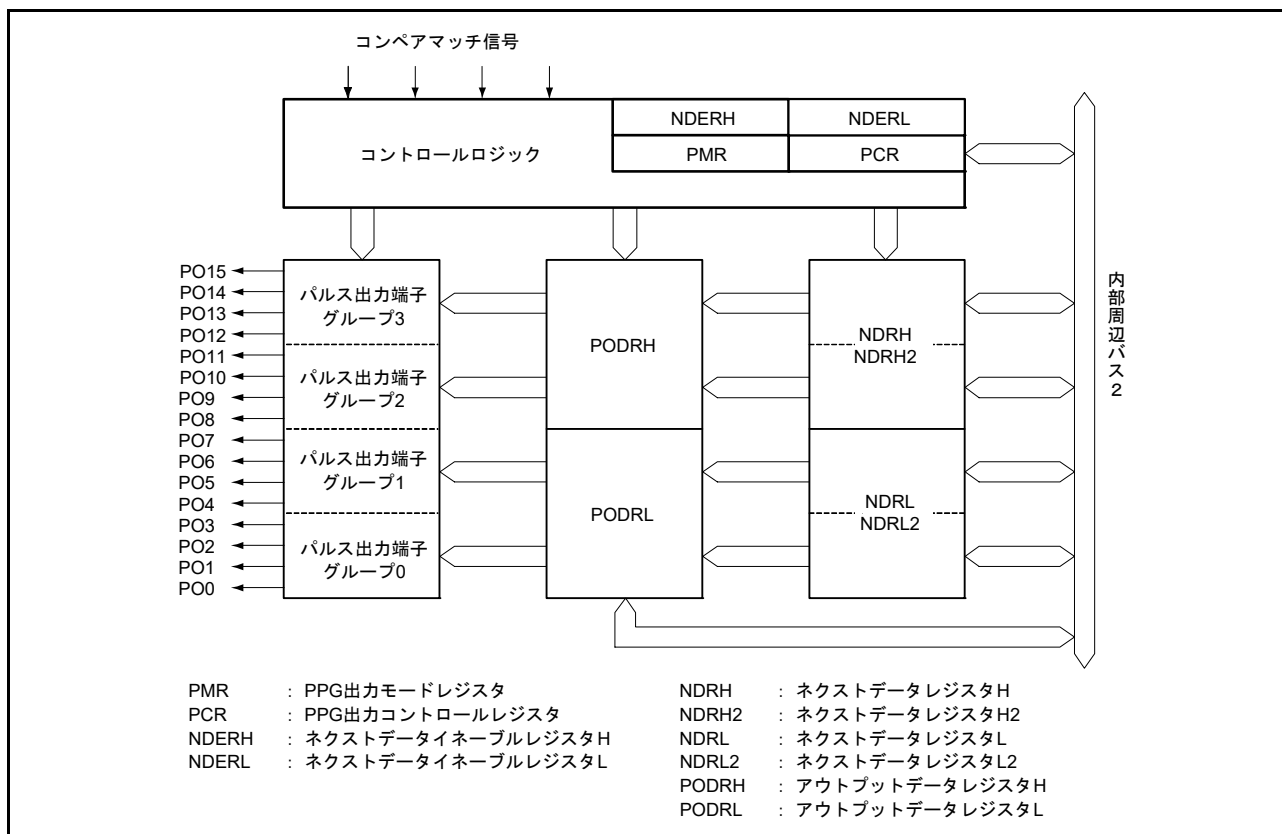


図 27.1 PPG0 のブロック図

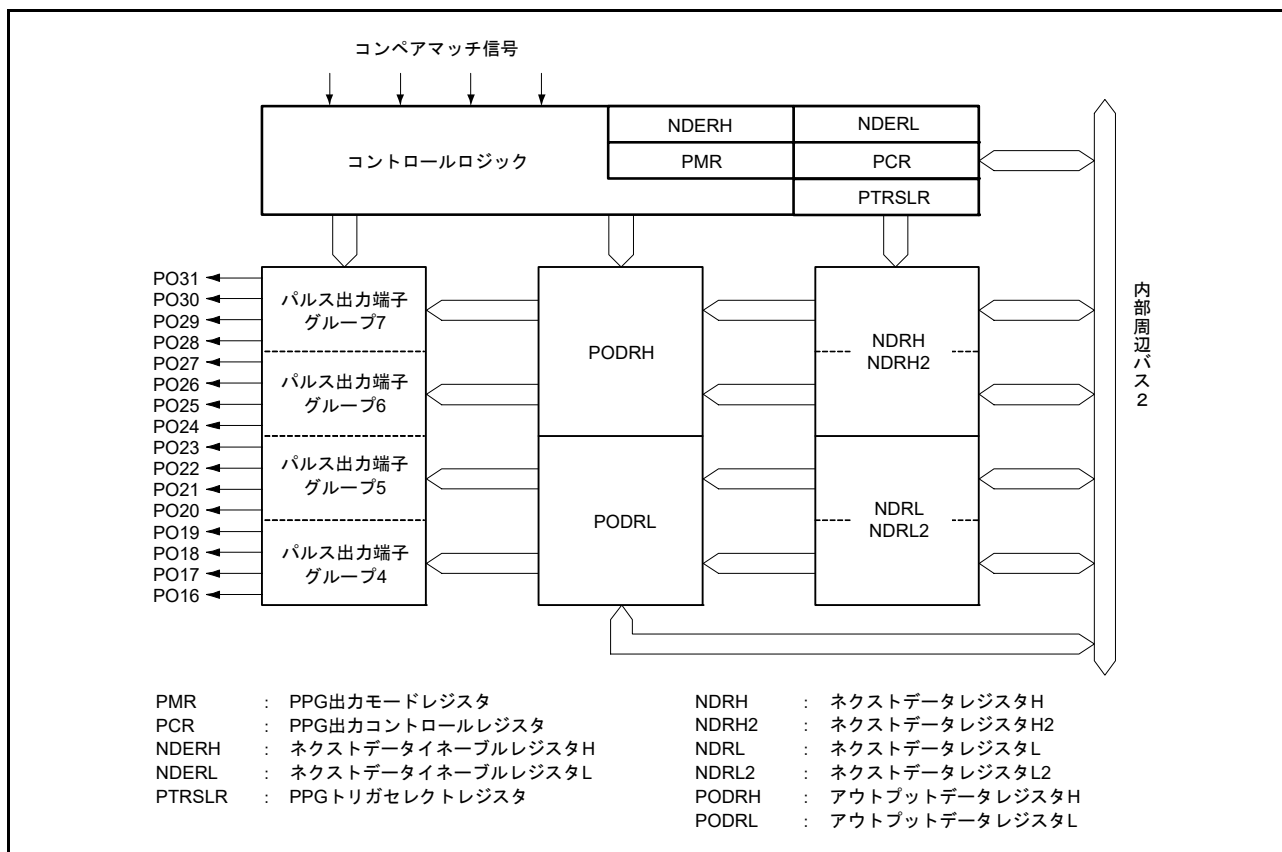


図 27.2 PPG1 のブロック図

表 27.3 に PPG の入出力端子を示します。

表 27.3 PPG の入出力端子

ユニット	端子名	入出力	機能	
PPG0	PO0	出力	パルス出力グループ0のパルス出力	
	PO1	出力		
	PO2	出力		
	PO3	出力		
	PO4	出力	パルス出力グループ1のパルス出力	
	PO5	出力		
	PO6	出力		
	PO7	出力		
	PO8	出力	パルス出力グループ2のパルス出力	
	PO9	出力		
	PO10	出力		
	PO11	出力		
	PPG1	PO12	出力	パルス出力グループ3のパルス出力
		PO13	出力	
		PO14	出力	
PO15		出力		
PPG1		PO16	出力	パルス出力グループ4のパルス出力
		PO17	出力	
		PO18	出力	
		PO19	出力	
PPG1		PO20	出力	パルス出力グループ5のパルス出力
		PO21	出力	
	PO22	出力		
	PO23	出力		
PPG1	PO24	出力	パルス出力グループ6のパルス出力	
	PO25	出力		
	PO26	出力		
	PO27	出力		
PPG1	PO28	出力	パルス出力グループ7のパルス出力	
	PO29	出力		
	PO30	出力		
	PO31	出力		

27.2 レジスタの説明

27.2.1 PPGトリガセレクトレジスタ (PTRSLR)

アドレス 0008 81F0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PTRSL
リセット後の値	0	0	0	0	0	0	0	1

- PPG1.PTRSLR

ビット	シンボル	ビット名	機能	R/W
b0	PTRSL	PPGトリガ選択ビット	0 : PPG1のトリガはMTUのMTU0～MTU3 1 : PPG1のトリガはTPUのTPU0～TPU3	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PTRSL ビット (PPGトリガ選択ビット)

PPG1のトリガ入力をMTUのMTU0～MTU3またはTPUのTPU0～TPU3のいずれかの系統から選択します。

“0”にするとPPG1へのトリガはMTUのMTU0～MTU3に、“1”にするとPPG1へのトリガはTPUのTPU0～TPU3になります。

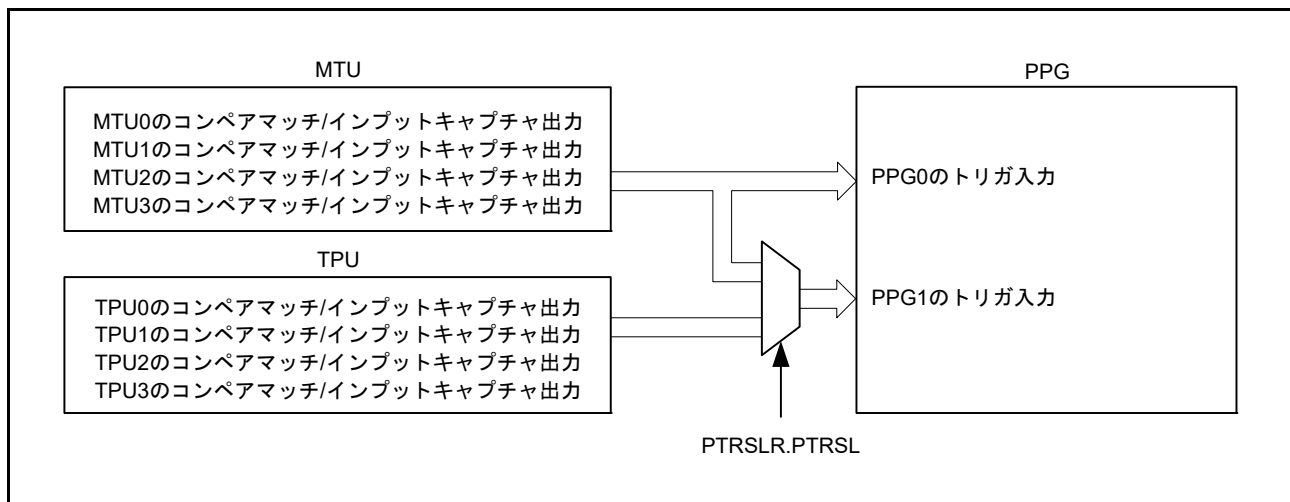


図 27.3 PPGトリガセレクトのブロック図

27.2.2 ネクストデータイネーブルレジスタ H (NDERH)、 ネクストデータイネーブルレジスタ L (NDERL)

アドレス 0008 81E8h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81E9h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
リセット後の値	0	0	0	0	0	0	0	0

• PPG0.NDERH

ビット	シンボル	ビット名	機能	R/W
b0	NDER8	ネクストデータ転送許可ビット	0: データ転送禁止 1: データ転送許可	R/W
b1	NDER9	ネクストデータ転送許可ビット		R/W
b2	NDER10	ネクストデータ転送許可ビット		R/W
b3	NDER11	ネクストデータ転送許可ビット		R/W
b4	NDER12	ネクストデータ転送許可ビット		R/W
b5	NDER13	ネクストデータ転送許可ビット		R/W
b6	NDER14	ネクストデータ転送許可ビット		R/W
b7	NDER15	ネクストデータ転送許可ビット		R/W

PPG0.NDERH レジスタは、PPG による PO8 ~ PO15 へのパルス出力をビット単位で許可 / 禁止します。

NDER_i ビット (ネクストデータ転送許可ビット) (i = 15 ~ 8)

“1” にすると、PPG0.PCR レジスタで選択したトリガが発生したときに、PPG0.NDRH、PPG0.NDRH2 レジスタの対応するビットから PPG0.PODRH レジスタへデータが転送されます。“0” のビットは、PPG0.NDRH、PPG0.NDRH2 レジスタから PPG0.PODRH レジスタへのデータ転送は行われません。

- PPG0.NDERL

ビット	シンボル	ビット名	機能	R/W
b0	NDER0	ネクストデータ転送許可ビット	0: データ転送禁止 1: データ転送許可	R/W
b1	NDER1	ネクストデータ転送許可ビット		R/W
b2	NDER2	ネクストデータ転送許可ビット		R/W
b3	NDER3	ネクストデータ転送許可ビット		R/W
b4	NDER4	ネクストデータ転送許可ビット		R/W
b5	NDER5	ネクストデータ転送許可ビット		R/W
b6	NDER6	ネクストデータ転送許可ビット		R/W
b7	NDER7	ネクストデータ転送許可ビット		R/W

PPG0.NDERL レジスタは、PPG による PO0 ~ PO7 へのパルス出力をビット単位で許可 / 禁止します。

NDER_i ビット (ネクストデータ転送許可ビット) (i = 7 ~ 0)

“1” にすると、PPG0.PCR レジスタで選択したトリガが発生したときに、PPG0.NDRL、PPG0.NDRL2 レジスタの対応するビットから PPG0.PODRL レジスタへデータが転送されます。“0” のビットは、PPG0.NDRL、PPG0.NDRL2 レジスタから PPG0.PODRL レジスタへのデータ転送は行われません。

アドレス 0008 81F8h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDERH	NDER 31	NDER 30	NDER 29	NDER 28	NDER 27	NDER 26	NDER 25	NDER 24
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81F9h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDERL	NDER 23	NDER 22	NDER 21	NDER 20	NDER 19	NDER 18	NDER 17	NDER 16
リセット後の値	0	0	0	0	0	0	0	0

- PPG1.NDERH

ビット	シンボル	ビット名	機能	R/W
b0	NDER 24	ネクストデータ転送許可ビット	0: データ転送禁止 1: データ転送許可	R/W
b1	NDER 25	ネクストデータ転送許可ビット		R/W
b2	NDER 26	ネクストデータ転送許可ビット		R/W
b3	NDER 27	ネクストデータ転送許可ビット		R/W
b4	NDER 28	ネクストデータ転送許可ビット		R/W
b5	NDER 29	ネクストデータ転送許可ビット		R/W
b6	NDER 30	ネクストデータ転送許可ビット		R/W
b7	NDER 31	ネクストデータ転送許可ビット		R/W

PPG1.NDERH レジスタは、PPG による PO24 ~ PO31 へのパルス出力をビット単位で許可 / 禁止します。

NDER_i ビット (ネクストデータ転送許可ビット) (i = 31 ~ 24)

“1” にすると、PPG1.PCR レジスタで選択したトリガが発生したときに、PPG1.NDRH、PPG1.NDRH2 レジスタの対応するビットから PPG1.PODRH レジスタへデータが転送されます。“0” のビットは、PPG1.NDRH、PPG1.NDRH2 レジスタから PPG1.PODRH レジスタへのデータ転送は行われません。

- PPG1.NDERL

ビット	シンボル	ビット名	機能	R/W
b0	NDER 16	ネクストデータ転送許可ビット	0 : データ転送禁止 1 : データ転送許可	R/W
b1	NDER 17	ネクストデータ転送許可ビット		R/W
b2	NDER 18	ネクストデータ転送許可ビット		R/W
b3	NDER 19	ネクストデータ転送許可ビット		R/W
b4	NDER 20	ネクストデータ転送許可ビット		R/W
b5	NDER 21	ネクストデータ転送許可ビット		R/W
b6	NDER 22	ネクストデータ転送許可ビット		R/W
b7	NDER 23	ネクストデータ転送許可ビット		R/W

PPG1.NDERL レジスタは、PPG による PO16 ~ PO23 へのパルス出力をビット単位で許可 / 禁止します。

NDER_i ビット (ネクストデータ転送許可ビット) (i = 23 ~ 16)

“1” にすると、PPG1.PCR レジスタで選択したトリガが発生したときに、PPG1.NDRL、PPG1.NDRL2 レジスタの対応するビットから PPG1.PODRL レジスタへデータが転送されます。“0” のビットは、PPG1.NDRL、PPG1.NDRL2 レジスタから PPG1.PODRL レジスタへのデータ転送は行われません。

27.2.3 アウトプットデータレジスタ H (PODRH)、 アウトプットデータレジスタ L (PODRL)

アドレス 0008 81EAh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81EBh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
リセット後の値	0	0	0	0	0	0	0	0

• PPG0.PODRH

ビット	シンボル	ビット名	機能	R/W
b0	POD8	アウトプットデータレジスタビット	0 : POi端子から Low を出力 1 : POi端子から High を出力 (i = 15 ~ 8)	R/W
b1	POD9	アウトプットデータレジスタビット		R/W
b2	POD10	アウトプットデータレジスタビット		R/W
b3	POD11	アウトプットデータレジスタビット		R/W
b4	POD12	アウトプットデータレジスタビット		R/W
b5	POD13	アウトプットデータレジスタビット		R/W
b6	POD14	アウトプットデータレジスタビット		R/W
b7	POD15	アウトプットデータレジスタビット		R/W

PPG0.PODRH レジスタは、パルス出力値が格納されます。PPG0.NDERH レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG0.NDRH、PPG0.NDRH2 レジスタの値がこのレジスタに転送されます。

PODi ビット (アウトプットデータレジスタビット) (i = 15 ~ 8)

PPG0.NDERH レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG0.NDRH、PPG0.NDRH2 レジスタの値がこのレジスタに転送されます。PPG0.NDERH.NDERi (i = 15 ~ 8) ビットのいずれかが“1”の期間、CPU からの書き込みはできません。PPG0.NDERH レジスタが“00h”の状態では、パルスの初期出力値を設定することができます。

• PPG0.PODRL

ビット	シンボル	ビット名	機能	R/W
b0	POD0	アウトプットデータレジスタビット	0 : POi端子から Low を出力 1 : POi端子から High を出力 (i = 7 ~ 0)	R/W
b1	POD1	アウトプットデータレジスタビット		R/W
b2	POD2	アウトプットデータレジスタビット		R/W
b3	POD3	アウトプットデータレジスタビット		R/W
b4	POD4	アウトプットデータレジスタビット		R/W
b5	POD5	アウトプットデータレジスタビット		R/W
b6	POD6	アウトプットデータレジスタビット		R/W
b7	POD7	アウトプットデータレジスタビット		R/W

PPG0.PODRL レジスタは、パルス出力値が格納されます。PPG0.NDERL レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG0.NDRL、PPG0.NDRL2 レジスタの値がこのレジスタに転送されます。

PODi ビット (アウトプットデータレジスタビット) (i = 7 ~ 0)

PPG0.NDERL レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG0.NDRL、PPG0.NDRL2 レジスタの値がこのレジスタに転送されます。PPG0.NDERL.NDERi (i = 7 ~ 0) ビットのいずれかが“1”の期間、CPU からの書き込みはできません。PPG0.NDERL レジスタが“00h”の状態では、パルスの初期出力値を設定することができます。

アドレス 0008 81FAh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.PODRH	POD31	POD30	POD29	POD28	POD27	POD26	POD25	POD24
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81FBh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.PODRL	POD23	POD22	POD21	POD20	POD19	POD18	POD17	POD16
リセット後の値	0	0	0	0	0	0	0	0

• PPG1.PODRH

ビット	シンボル	ビット名	機能	R/W
b0	POD24	アウトプットデータレジスタビット	0 : POi端子からLowを出力 1 : POi端子からHighを出力 (i = 31 ~ 24)	R/W
b1	POD25	アウトプットデータレジスタビット		R/W
b2	POD26	アウトプットデータレジスタビット		R/W
b3	POD27	アウトプットデータレジスタビット		R/W
b4	POD28	アウトプットデータレジスタビット		R/W
b5	POD29	アウトプットデータレジスタビット		R/W
b6	POD30	アウトプットデータレジスタビット		R/W
b7	POD31	アウトプットデータレジスタビット		R/W

PPG1.PODRH レジスタは、パルス出力値が格納されます。PPG1.NDERH レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG1.NDRH、PPG1.NDRH2 レジスタの値がこのレジスタに転送されます。

PODi ビット (アウトプットデータレジスタビット) (i = 31 ~ 24)

PPG1.NDERH レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG1.NDRH、PPG1.NDRH2 レジスタの値がこのレジスタに転送されます。PPG1.NDERH.NDERi (i = 31 ~ 24) ビットのいずれかが“1”の期間、CPU から書き込みはできません。PPG1.NDERH レジスタが“00h”の状態では、パルスの初期出力値を設定することができます。

- PPG1.PODRL

ビット	シンボル	ビット名	機能	R/W
b0	POD16	アウトプットデータレジスタビット	0 : POi端子からLowを出力 1 : POi端子からHighを出力 (i = 23 ~ 16)	R/W
b1	POD17	アウトプットデータレジスタビット		R/W
b2	POD18	アウトプットデータレジスタビット		R/W
b3	POD19	アウトプットデータレジスタビット		R/W
b4	POD20	アウトプットデータレジスタビット		R/W
b5	POD21	アウトプットデータレジスタビット		R/W
b6	POD22	アウトプットデータレジスタビット		R/W
b7	POD23	アウトプットデータレジスタビット		R/W

PPG1.PODRL レジスタは、パルス出力値が格納されます。PPG1.NDERL レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG1.NDRL、PPG1.NDRL2 レジスタの値がこのレジスタに転送されます。

PODi ビット (アウトプットデータレジスタビット) (i = 23 ~ 16)

PPG1.NDERL レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG1.NDRL、PPG1.NDRL2 レジスタの値がこのレジスタに転送されます。PPG1.NDERL.NDERi (i = 23 ~ 16) ビットのいずれかが“1”の期間、CPU から書き込みはできません。PPG1.NDERL レジスタが“00h”の状態では、パルスの初期出力値を設定することができます。

27.2.4 ネクストデータレジスタ H (NDRH)、ネクストデータレジスタ L (NDRL)、ネクストデータレジスタ H2 (NDRH2)、ネクストデータレジスタ L2 (NDRL2)

アドレス 0008 81ECh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRH	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81EDh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRL	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81EEh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRH2	—	—	—	—	NDR11	NDR10	NDR9	NDR8
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81EFh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRL2	—	—	—	—	NDR3	NDR2	NDR1	NDR0
リセット後の値	0	0	0	0	0	0	0	0

• PPG0.NDRH

PPG0.NDRH レジスタは、パルス出力の次のデータを格納します。PPG0.NDRH レジスタのビット配置は、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 2、3 の出力トリガが同一の場合

パルス出力グループ 2、3 の出力トリガを同一にすると、8 ビットすべて NDRH レジスタにマッピングされ、8 ビット同時にアクセスできます。

ビット	シンボル	ビット名	機能	R/W
b0	NDR8	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR9	ネクストデータレジスタビット		R/W
b2	NDR10	ネクストデータレジスタビット		R/W
b3	NDR11	ネクストデータレジスタビット		R/W
b4	NDR12	ネクストデータレジスタビット		R/W
b5	NDR13	ネクストデータレジスタビット		R/W
b6	NDR14	ネクストデータレジスタビット		R/W
b7	NDR15	ネクストデータレジスタビット		R/W

(2) パルス出力グループ 2 とパルス出力グループ 3 で出力トリガが異なる場合

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、上位 4 ビットにパルス出力グループ 3 がマッピングされます。

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR12	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRH レジスタの対応するビットに転送されます	R/W
b5	NDR13	ネクストデータレジスタビット		R/W
b6	NDR14	ネクストデータレジスタビット		R/W
b7	NDR15	ネクストデータレジスタビット		R/W

- PPG0.NDRH2

PPG0.NDRH2 レジスタは、パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、下位 4 ビットにパルス出力グループ 2 がマッピングされます。

パルス出力グループ 2 とパルス出力グループ 3 で同一の出力トリガを選択するときは使用しません。この設定にした場合、読み出したときの値は FFh です。書き込みはできません。

ビット	シンボル	ビット名	機能	R/W
b0	NDR8	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR9	ネクストデータレジスタビット		R/W
b2	NDR10	ネクストデータレジスタビット		R/W
b3	NDR11	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

- PPG0.NDRL

PPG0.NDRL レジスタは、パルス出力の次のデータを格納します。PPG0.NDRL レジスタのビット配置は、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 0、1 の出力トリガが同一の場合

パルス出力グループ 0、1 の出力トリガを同一にすると、8 ビットすべて NDRL レジスタにマッピングされ、8 ビット同時にアクセスできます。

ビット	シンボル	ビット名	機能	R/W
b0	NDR0	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR1	ネクストデータレジスタビット		R/W
b2	NDR2	ネクストデータレジスタビット		R/W
b3	NDR3	ネクストデータレジスタビット		R/W
b4	NDR4	ネクストデータレジスタビット		R/W
b5	NDR5	ネクストデータレジスタビット		R/W
b6	NDR6	ネクストデータレジスタビット		R/W
b7	NDR7	ネクストデータレジスタビット		R/W

(2) パルス出力グループ 0 とパルス出力グループ 1 で出力トリガが異なる場合

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、上位 4 ビットにパルス出力グループ 1 がマッピングされます。

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR4	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRL レジスタの対応するビットに転送されます	R/W
b5	NDR5	ネクストデータレジスタビット		R/W
b6	NDR6	ネクストデータレジスタビット		R/W
b7	NDR7	ネクストデータレジスタビット		R/W

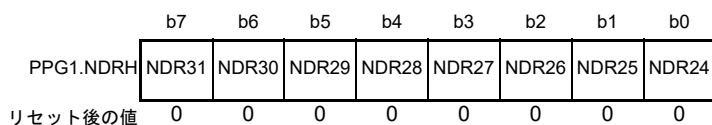
- PPG0.NDRL2

PPG0.NDRL2 レジスタは、パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、下位 4 ビットにパルス出力グループ 0 がマッピングされます。

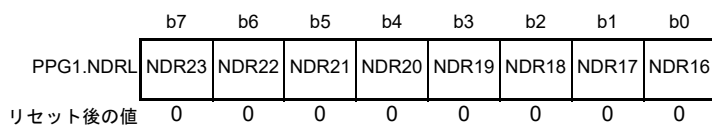
パルス出力グループ 0 とパルス出力グループ 1 で同一の出力トリガを選択するときは使用しません。この設定にした場合、読み出したときの値は FFh です。書き込みはできません。

ビット	シンボル	ビット名	機能	R/W
b0	NDR0	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR1	ネクストデータレジスタビット		R/W
b2	NDR2	ネクストデータレジスタビット		R/W
b3	NDR3	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

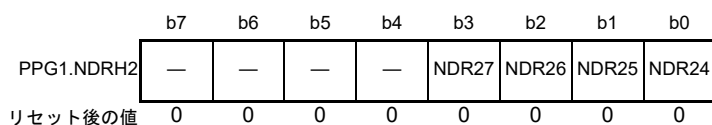
アドレス 0008 81FCh



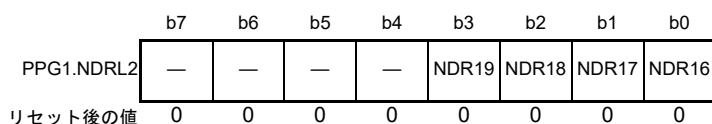
アドレス 0008 81FDh



アドレス 0008 81FEh



アドレス 0008 81FFh



● PPG1.NDRH

PPG1.NDRH レジスタは、パルス出力の次のデータを格納します。PPG1.NDRH レジスタのビット配置は、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 6、7 の出力トリガが同一の場合

パルス出力グループ 6、7 の出力トリガを同一にすると、8 ビットすべて NDRH レジスタにマッピングされ、8 ビット同時にアクセスできます。

ビット	シンボル	ビット名	機能	R/W
b0	NDR24	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG1.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR25	ネクストデータレジスタビット		R/W
b2	NDR26	ネクストデータレジスタビット		R/W
b3	NDR27	ネクストデータレジスタビット		R/W
b4	NDR28	ネクストデータレジスタビット		R/W
b5	NDR29	ネクストデータレジスタビット		R/W
b6	NDR30	ネクストデータレジスタビット		R/W
b7	NDR31	ネクストデータレジスタビット		R/W

(2) パルス出力グループ 6 とパルス出力グループ 7 で出力トリガが異なる場合

パルス出力グループ 6 とパルス出力グループ 7 で異なる出力トリガを選択すると、上位 4 ビットにパルス出力グループ 7 がマッピングされます。

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR28	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG1.PODRH レジスタの対応するビットに転送されます	R/W
b5	NDR29	ネクストデータレジスタビット		R/W
b6	NDR30	ネクストデータレジスタビット		R/W
b7	NDR31	ネクストデータレジスタビット		R/W

- PPG1.NDRH2

PPG1.NDRH2 レジスタは、パルス出力グループ 6 とパルス出力グループ 7 で異なる出力トリガを選択すると、下位 4 ビットにパルス出力グループ 6 がマッピングされます。

パルス出力グループ 6 とパルス出力グループ 7 で同一の出力トリガを選択するときは使用しません。この設定にした場合、読み出したときの値は FFh です。書き込みはできません。

ビット	シンボル	ビット名	機能	R/W
b0	NDR24	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG1.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR25	ネクストデータレジスタビット		R/W
b2	NDR26	ネクストデータレジスタビット		R/W
b3	NDR27	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

- PPG1.NDRL

PPG1.NDRL レジスタは、パルス出力の次のデータを格納します。PPG1.NDRL レジスタのビット配置は、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 4、5 の出力トリガが同一の場合

パルス出力グループ 4、5 の出力トリガを同一にすると、8 ビットすべて NDRL レジスタにマッピングされ、8 ビット同時にアクセスできます。

ビット	シンボル	ビット名	機能	R/W
b0	NDR16	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG1.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR17	ネクストデータレジスタビット		R/W
b2	NDR18	ネクストデータレジスタビット		R/W
b3	NDR19	ネクストデータレジスタビット		R/W
b4	NDR20	ネクストデータレジスタビット		R/W
b5	NDR21	ネクストデータレジスタビット		R/W
b6	NDR22	ネクストデータレジスタビット		R/W
b7	NDR23	ネクストデータレジスタビット		R/W

(2) パルス出力グループ 4 とパルス出力グループ 5 で出力トリガが異なる場合

パルス出力グループ 4 とパルス出力グループ 5 で異なる出力トリガを選択すると、上位 4 ビットにパルス出力グループ 5 がマッピングされます。

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR20	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG1.PODRL レジスタの対応するビットに転送されます	R/W
b5	NDR21	ネクストデータレジスタビット		R/W
b6	NDR22	ネクストデータレジスタビット		R/W
b7	NDR23	ネクストデータレジスタビット		R/W

- PPG1.NDRL2

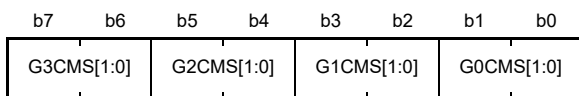
PPG1.NDRL2 レジスタは、パルス出力グループ 4 とパルス出力グループ 5 で異なる出力トリガを選択すると、下位 4 ビットにパルス出力グループ 4 がマッピングされます。

パルス出力グループ 4 とパルス出力グループ 5 で同一の出力トリガを選択するときは使用しません。この設定にした場合、読み出したときの値は FFh です。書き込みはできません。

ビット	シンボル	ビット名	機能	R/W
b0	NDR16	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG1.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR17	ネクストデータレジスタビット		R/W
b2	NDR18	ネクストデータレジスタビット		R/W
b3	NDR19	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

27.2.5 PPG 出力コントロールレジスタ (PCR)

アドレス PPG0.PCR 0008 81E6h, PPG1.PCR 0008 81F6h



リセット後の値 1 1 1 1 1 1 1 1

• PPG0.PCR

ビット	シンボル	ビット名	機能	R/W
b1-b0	G0CMS[1:0]	グループ0コンペアマッチ選択ビット	b1 b0 0 0 : MTU0のコンペアマッチ 0 1 : MTU1のコンペアマッチ 1 0 : MTU2のコンペアマッチ 1 1 : MTU3のコンペアマッチ	R/W
b3-b2	G1CMS[1:0]	グループ1コンペアマッチ選択ビット	b3 b2 0 0 : MTU0のコンペアマッチ 0 1 : MTU1のコンペアマッチ 1 0 : MTU2のコンペアマッチ 1 1 : MTU3のコンペアマッチ	R/W
b5-b4	G2CMS[1:0]	グループ2コンペアマッチ選択ビット	b5 b4 0 0 : MTU0のコンペアマッチ 0 1 : MTU1のコンペアマッチ 1 0 : MTU2のコンペアマッチ 1 1 : MTU3のコンペアマッチ	R/W
b7-b6	G3CMS[1:0]	グループ3コンペアマッチ選択ビット	b7 b6 0 0 : MTU0のコンペアマッチ 0 1 : MTU1のコンペアマッチ 1 0 : MTU2のコンペアマッチ 1 1 : MTU3のコンペアマッチ	R/W

• PPG1.PCR

ビット	シンボル	ビット名	機能	R/W
b1-b0	G0CMS[1:0]	グループ4コンペアマッチ選択ビット	<ul style="list-style-type: none"> PPG1.PTRSLR.PTRSLビットが“0”の場合 b1 b0 0 0 : MTU0のコンペアマッチ 0 1 : MTU1のコンペアマッチ 1 0 : MTU2のコンペアマッチ 1 1 : MTU3のコンペアマッチ PPG1.PTRSLR.PTRSLビットが“1”の場合 b1 b0 0 0 : TPU0のコンペアマッチ 0 1 : TPU1のコンペアマッチ 1 0 : TPU2のコンペアマッチ 1 1 : TPU3のコンペアマッチ 	R/W
b3-b2	G1CMS[1:0]	グループ5コンペアマッチ選択ビット	<ul style="list-style-type: none"> PPG1.PTRSLR.PTRSLビットが“0”の場合 b3 b2 0 0 : MTU0のコンペアマッチ 0 1 : MTU1のコンペアマッチ 1 0 : MTU2のコンペアマッチ 1 1 : MTU3のコンペアマッチ PPG1.PTRSLR.PTRSLビットが“1”の場合 b3 b2 0 0 : TPU0のコンペアマッチ 0 1 : TPU1のコンペアマッチ 1 0 : TPU2のコンペアマッチ 1 1 : TPU3のコンペアマッチ 	R/W
b5-b4	G2CMS[1:0]	グループ6コンペアマッチ選択ビット	<ul style="list-style-type: none"> PPG1.PTRSLR.PTRSLビットが“0”の場合 b5 b4 0 0 : MTU0のコンペアマッチ 0 1 : MTU1のコンペアマッチ 1 0 : MTU2のコンペアマッチ 1 1 : MTU3のコンペアマッチ PPG1.PTRSLR.PTRSLビットが“1”の場合 b5 b4 0 0 : TPU0のコンペアマッチ 0 1 : TPU1のコンペアマッチ 1 0 : TPU2のコンペアマッチ 1 1 : TPU3のコンペアマッチ 	R/W
b7-b6	G3CMS[1:0]	グループ7コンペアマッチ選択ビット	<ul style="list-style-type: none"> PPG1.PTRSLR.PTRSLビットが“0”の場合 b7 b6 0 0 : MTU0のコンペアマッチ 0 1 : MTU1のコンペアマッチ 1 0 : MTU2のコンペアマッチ 1 1 : MTU3のコンペアマッチ PPG1.PTRSLR.PTRSLビットが“1”の場合 b7 b6 0 0 : TPU0のコンペアマッチ 0 1 : TPU1のコンペアマッチ 1 0 : TPU2のコンペアマッチ 1 1 : TPU3のコンペアマッチ 	R/W

PPGn.PCR レジスタ (n = 0, 1) は、パルス出力トリガ信号をグループ単位で選択します。

出力トリガの選択については、「27.2.6 PPG 出力モードレジスタ (PMR)」を参照してください。

27.2.6 PPG 出力モードレジスタ (PMR)

アドレス PPG0.PMR 0008 81E7h, PPG1.PMR 0008 81F7h

b7	b6	b5	b4	b3	b2	b1	b0
G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV

リセット後の値 1 1 1 1 0 0 0 0

• PPG0.PMR

ビット	シンボル	ビット名	機能	R/W
b0	G0NOV	グループ0ノンオーバーラップビット	0: 通常動作 (選択されたMTUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたMTUnのコンペアマッチA、Bで出力値を更新) (n = 0~3)	R/W
b1	G1NOV	グループ1ノンオーバーラップビット	0: 通常動作 (選択されたMTUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたMTUnのコンペアマッチA、Bで出力値を更新) (n = 0~3)	R/W
b2	G2NOV	グループ2ノンオーバーラップビット	0: 通常動作 (選択されたMTUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたMTUnのコンペアマッチA、Bで出力値を更新) (n = 0~3)	R/W
b3	G3NOV	グループ3ノンオーバーラップビット	0: 通常動作 (選択されたMTUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたMTUnのコンペアマッチA、Bで出力値を更新) (n = 0~3)	R/W
b4	G0INV	グループ0出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b5	G1INV	グループ1出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b6	G2INV	グループ2出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b7	G3INV	グループ3出力極性変更ビット	0: 反転出力 1: 直接出力	R/W

• PPG1.PMR

ビット	シンボル	ビット名	機能	R/W
b0	G0NOV	グループ4ノンオーバーラップビット	<ul style="list-style-type: none"> • PPG1.PTRSLR.PTRSLビットが“0”の場合 0: 通常動作 (選択されたMTUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたMTUnのコンペアマッチA、Bで出力値を更新) (n = 0~3) • PPG1.PTRSLR.PTRSLビットが“1”の場合 0: 通常動作 (選択されたTPUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたTPUnのコンペアマッチA、Bで出力値を更新) (n = 0~3) 	R/W
b1	G1NOV	グループ5ノンオーバーラップビット	<ul style="list-style-type: none"> • PPG1.PTRSLR.PTRSLビットが“0”の場合 0: 通常動作 (選択されたMTUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたMTUnのコンペアマッチA、Bで出力値を更新) (n = 0~3) • PPG1.PTRSLR.PTRSLビットが“1”の場合 0: 通常動作 (選択されたTPUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたTPUnのコンペアマッチA、Bで出力値を更新) (n = 0~3) 	R/W
b2	G2NOV	グループ6ノンオーバーラップビット	<ul style="list-style-type: none"> • PPG1.PTRSLR.PTRSLビットが“0”の場合 0: 通常動作 (選択されたMTUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたMTUnのコンペアマッチA、Bで出力値を更新) (n = 0~3) • PPG1.PTRSLR.PTRSLビットが“1”の場合 0: 通常動作 (選択されたTPUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたTPUnのコンペアマッチA、Bで出力値を更新) (n = 0~3) 	R/W
b3	G3NOV	グループ7ノンオーバーラップビット	<ul style="list-style-type: none"> • PPG1.PTRSLR.PTRSLビットが“0”の場合 0: 通常動作 (選択されたMTUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたMTUnのコンペアマッチA、Bで出力値を更新) (n = 0~3) • PPG1.PTRSLR.PTRSLビットが“1”の場合 0: 通常動作 (選択されたTPUnのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたTPUnのコンペアマッチA、Bで出力値を更新) (n = 0~3) 	R/W
b4	G0INV	グループ4出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b5	G1INV	グループ5出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b6	G2INV	グループ6出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b7	G3INV	グループ7出力極性変更ビット	0: 反転出力 1: 直接出力	R/W

PPGn.PMR レジスタ (n = 0, 1) は、PPG のパルス出力モードをグループ単位で設定します。

反転出力に設定すると PPGn.PODRH レジスタ、PPGn.PODRL レジスタの値が“1”のとき端子に Low を、PPGn.PODRH レジスタ、PPGn.PODRL レジスタの値が“0”のとき端子に High を出力します。また、ノンオーバーラップ動作に設定すると PPG は、出力トリガとなる MTU または TPU のコンペアマッチ A、B で出力値を更新します。

詳細は、「27.3.4 パルス出力ノンオーバーラップ動作」を参照してください。

27.3 動作説明

PPG 概要図を図 27.4 に示します。

PPG は、PPGn.NDERH、PPGn.NDERL レジスタ (n = 0, 1) の対応するビットをそれぞれ“1”(データ転送許可)に設定することにより、パルス出力状態となります。

初期出力値は、対応する PPGn.PODRH、PPGn.PODRL レジスタの初期設定値に依存します。その後、PPGn.PCR レジスタで指定したコンペアマッチが発生すると、対応する PPGn.NDRH、PPGn.NDRH2、PPGn.NDRL、PPGn.NDRL2 レジスタの値がそれぞれ PPGn.PODRH、PPGn.PODRL レジスタに転送されて出力値が更新されます。

次のコンペアマッチが発生するまでに PPGn.NDRH、PPGn.NDRH2、PPGn.NDRL、PPGn.NDRL2 レジスタに出力データを書くことにより、コンペアマッチのたびに最大 16 ビットのデータを順次出力することができます。

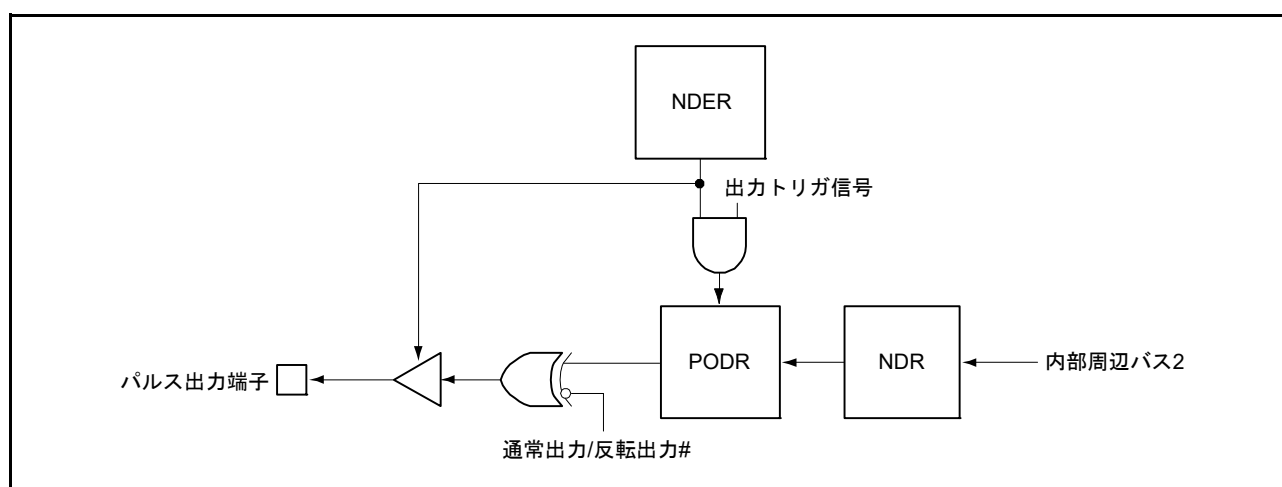


図 27.4 PPG 概要図

27.3.1 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、PPGn.NDRH、PPGn.NDRH2、PPGn.NDRL、PPGn.NDRL2 レジスタ ($n = 0, 1$) の値が PPGn.PODRH、PPGn.PODRL レジスタに転送され、出力されます。

このタイミングを図 27.5 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

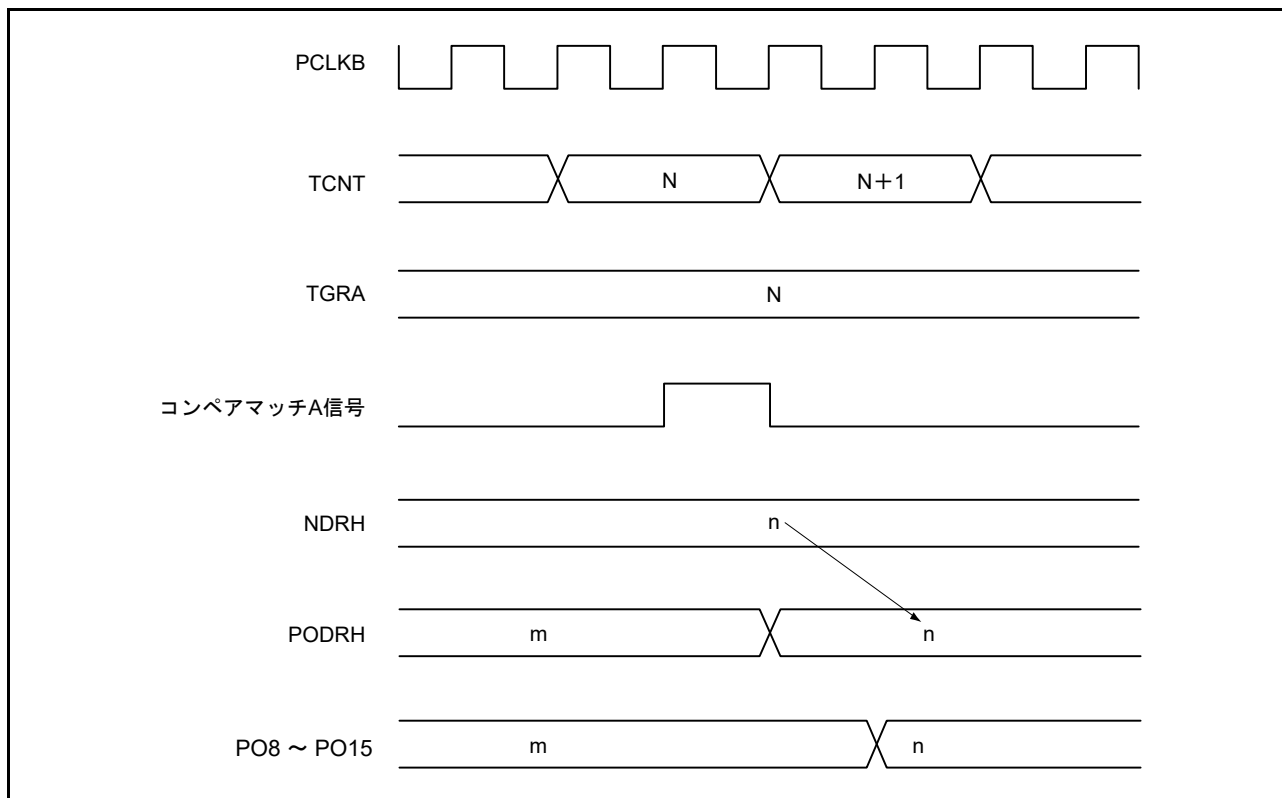


図 27.5 NDR の内容が転送・出力されるタイミング例

27.3.2 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 27.6、図 27.7 に示します。

(1) PPG0 の設定

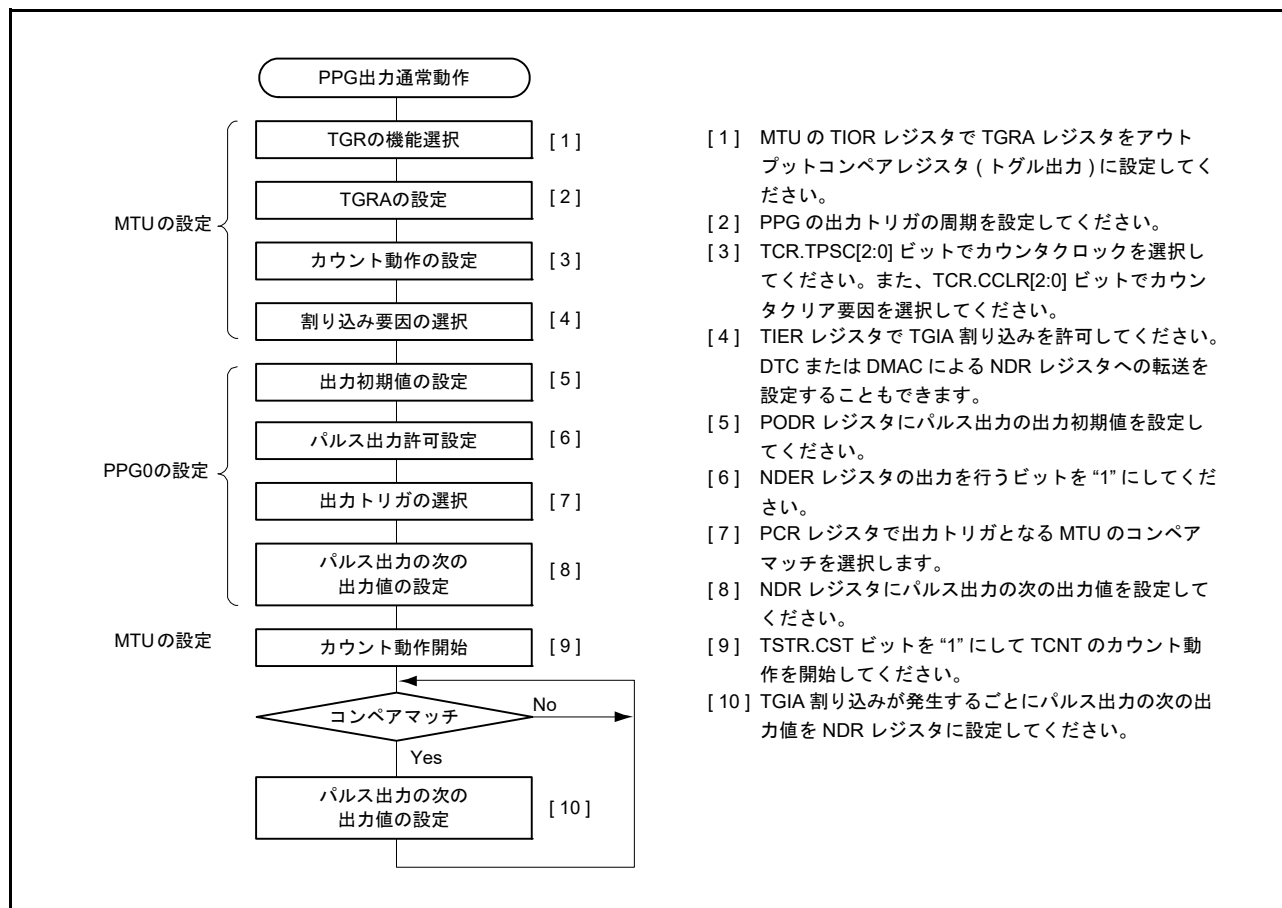


図 27.6 パルス出力通常動作の設定手順例 (PPG0 の設定)

(2) PPG1 の設定

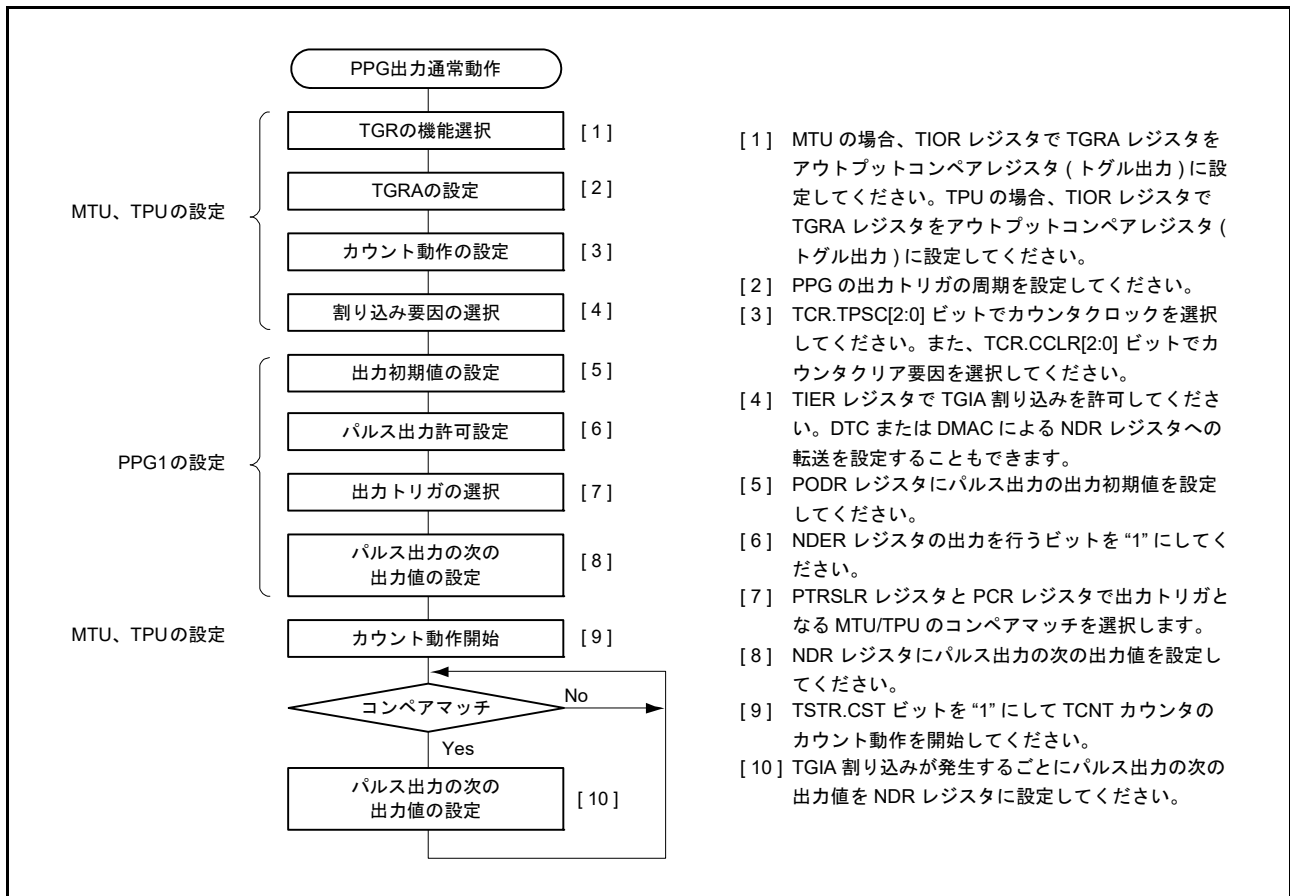


図 27.7 パルス出力通常動作の設定手順例 (PPG1 の設定)

27.3.3 パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた PPG0 の例を図 27.8 に示します。

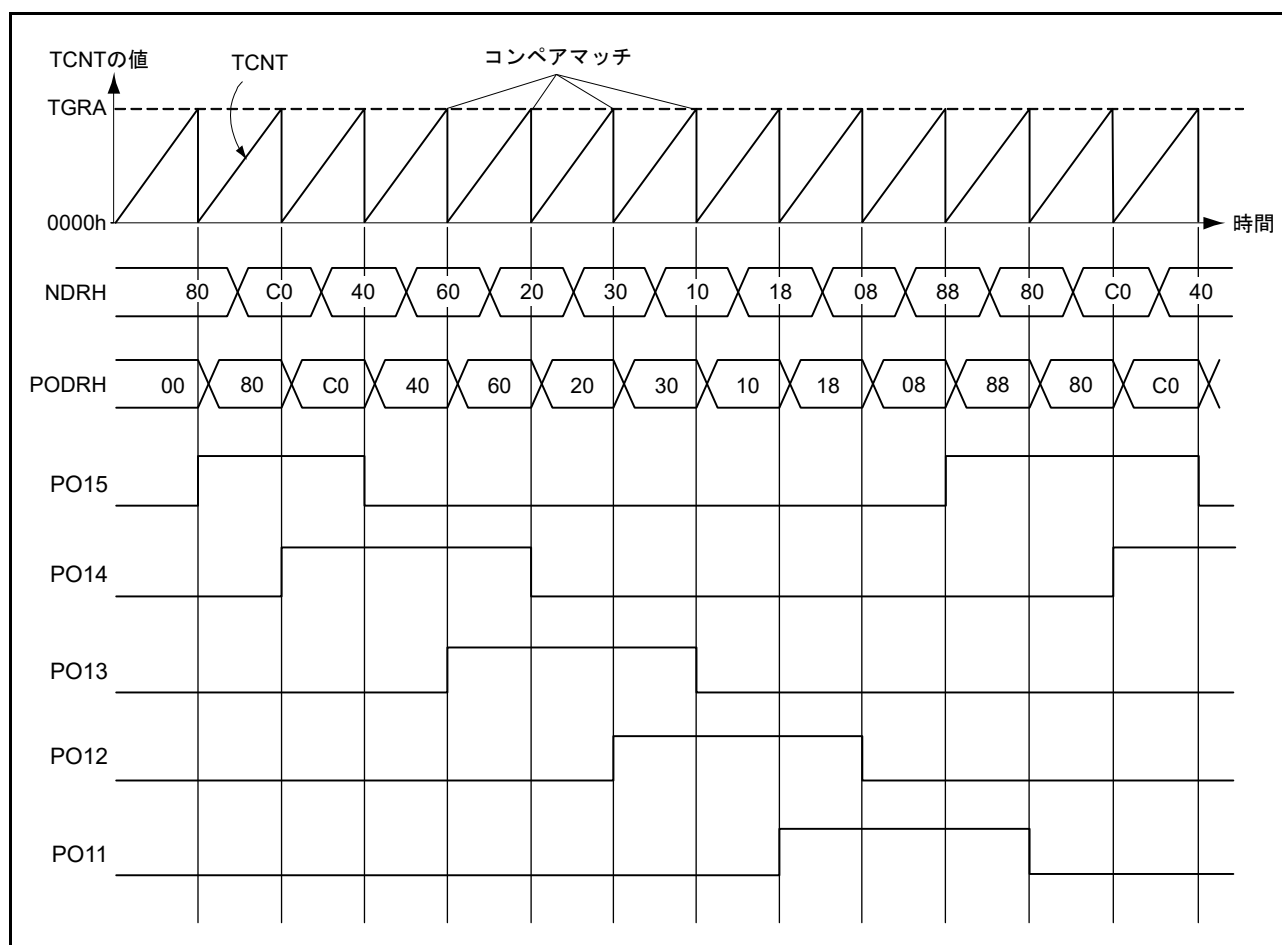


図 27.8 パルス出力通常動作例 (5相パルス出力例)

- 出力トリガとする MTU の MTUn.TGRA レジスタ ($n=0 \sim 3$) をアウトプットコンペアレジスタに設定します。TGRA レジスタには周期を設定し、コンペアマッチ A によるカウンタクリアを選択します。また、MTUn.TIER.TGIEA ビットを“1”にして、コンペアマッチ/インプットキャプチャ A (TGIA_n) 割り込み要求を許可します。
- PPG0.NDRH レジスタに F8h を書き、PPG0.PCR.G3CMS[1:0] ビットおよび G2CMS[1:0] ビットにより、上記 1. で選択した MTUn のコンペアマッチに出力トリガを設定します。PPG0.NDRH レジスタに出力データ 80h を書きます。
- MTU の当該チャンネルの動作を開始しコンペアマッチ A が発生すると、PPG0.NDRH レジスタの値が PPG0.PODRH レジスタに転送され出力されます。TGIA_n 割り込み処理で、PPG0.NDRH レジスタに次の出力データ C0h を書きます。
- 以後、TGIA_n 割り込みで順次 40h、60h、20h、30h、10h、18h、08h、88h... を書くことで、5相の 1 - 2 相パルス出力を行うことができます。
TGIA_n 割り込みで DTC または DMAC を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

27.3.4 パルス出力ノンオーバーラップ動作

ノンオーバーラップ動作時の PPGn.NDRH、PPGn.NDRH2、PPGn.NDRL、PPGn.NDRL2 レジスタ (n = 0, 1) から PPGn.PODRH、PPGn.PODRL レジスタへの転送は、以下のようになっています。

- コンペアマッチ A では PPGn.NDRH、PPGn.NDRH2、PPGn.NDRL、PPGn.NDRL2 レジスタの値を PPGn.PODRH、PPGn.PODRL レジスタへ転送します。
 - コンペアマッチ B では PPGn.NDRH、PPGn.NDRH2、PPGn.NDRL、PPGn.NDRL2 レジスタの転送するビットの内容が“0”のときのみ転送を行います。“1”のときは転送を行いません。
- ノンオーバーラップ時のパルス出力動作を図 27.9 に示します。

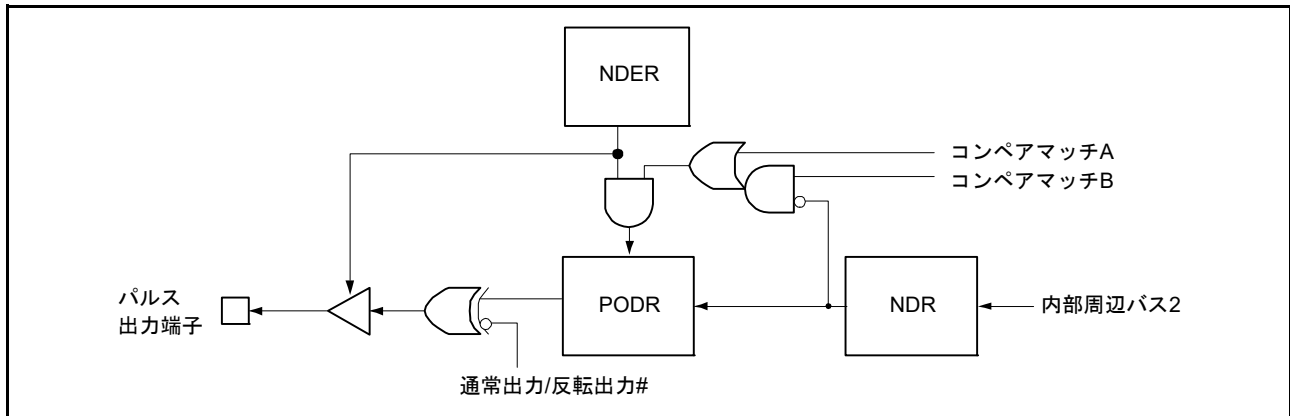


図 27.9 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことができます。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまでの間 (ノンオーバーラップ期間)、PPGn.NDRH、PPGn.NDRH2、PPGn.NDRL、PPGn.NDRL2 レジスタの値を変更しないようにしてください。そのためには TGIA 割り込みの割り込み処理ルーチンで、PPGn.NDRH、PPGn.NDRH2、PPGn.NDRL、PPGn.NDRL2 レジスタに次のデータを書き込んでください。また、TGIA 割り込みで DTC または DMAC を起動することもできます。ただし、この書き込みは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 27.10 に示します。

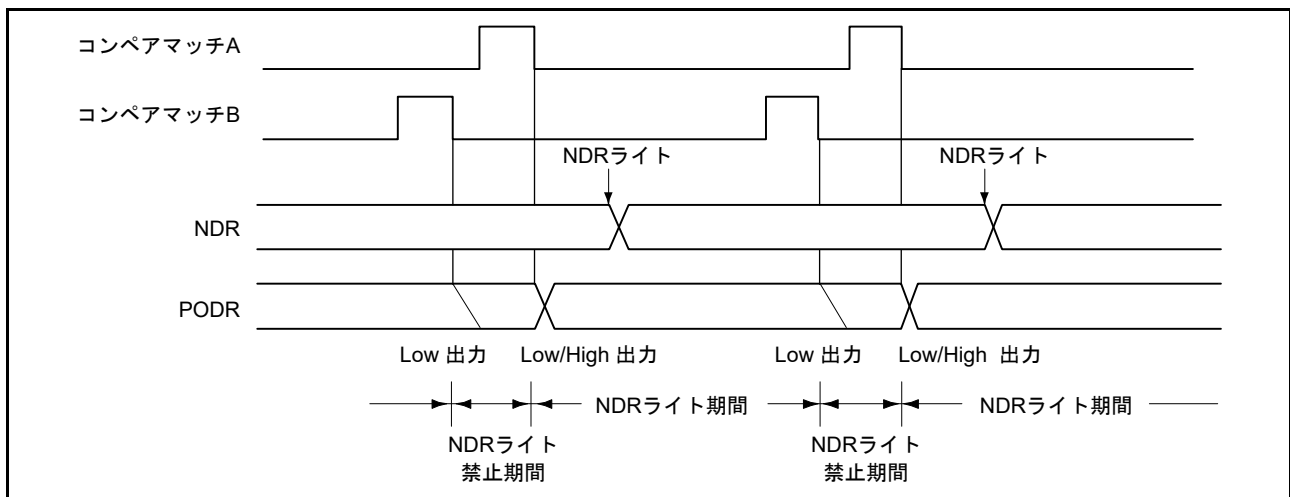


図 27.10 ノンオーバーラップ動作と PPGn.NDRH、PPGn.NDRH2、PPGn.NDRL、PPGn.NDRL2 レジスタ書き込みタイミング

27.3.5 ノンオーバーラップ動作のパルス出力設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 27.11、図 27.12 に示します。

(1) PPG0 の設定

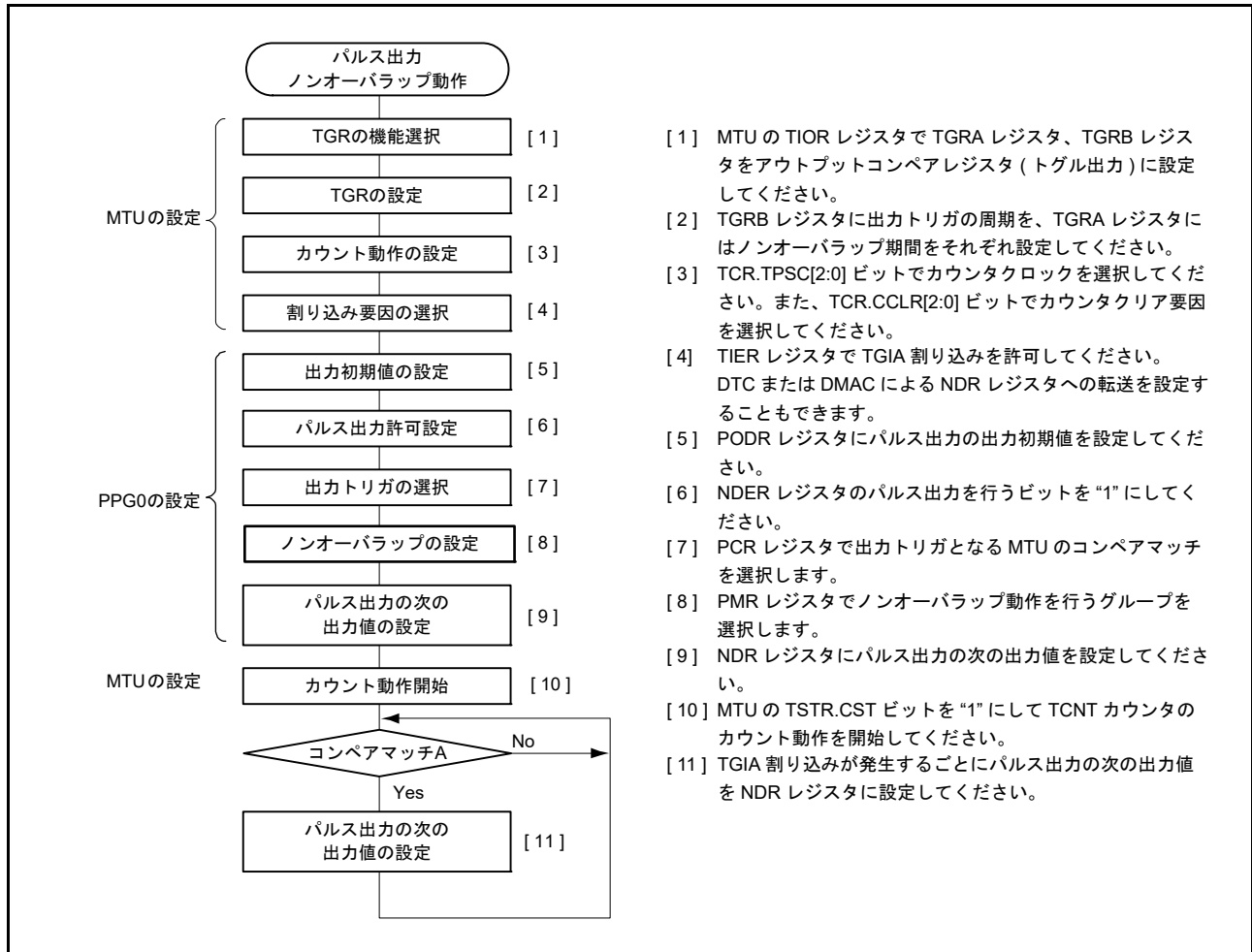


図 27.11 パルス出力ノンオーバーラップ動作の設定手順例 (PPG0 の設定)

(2) PPG1 の設定

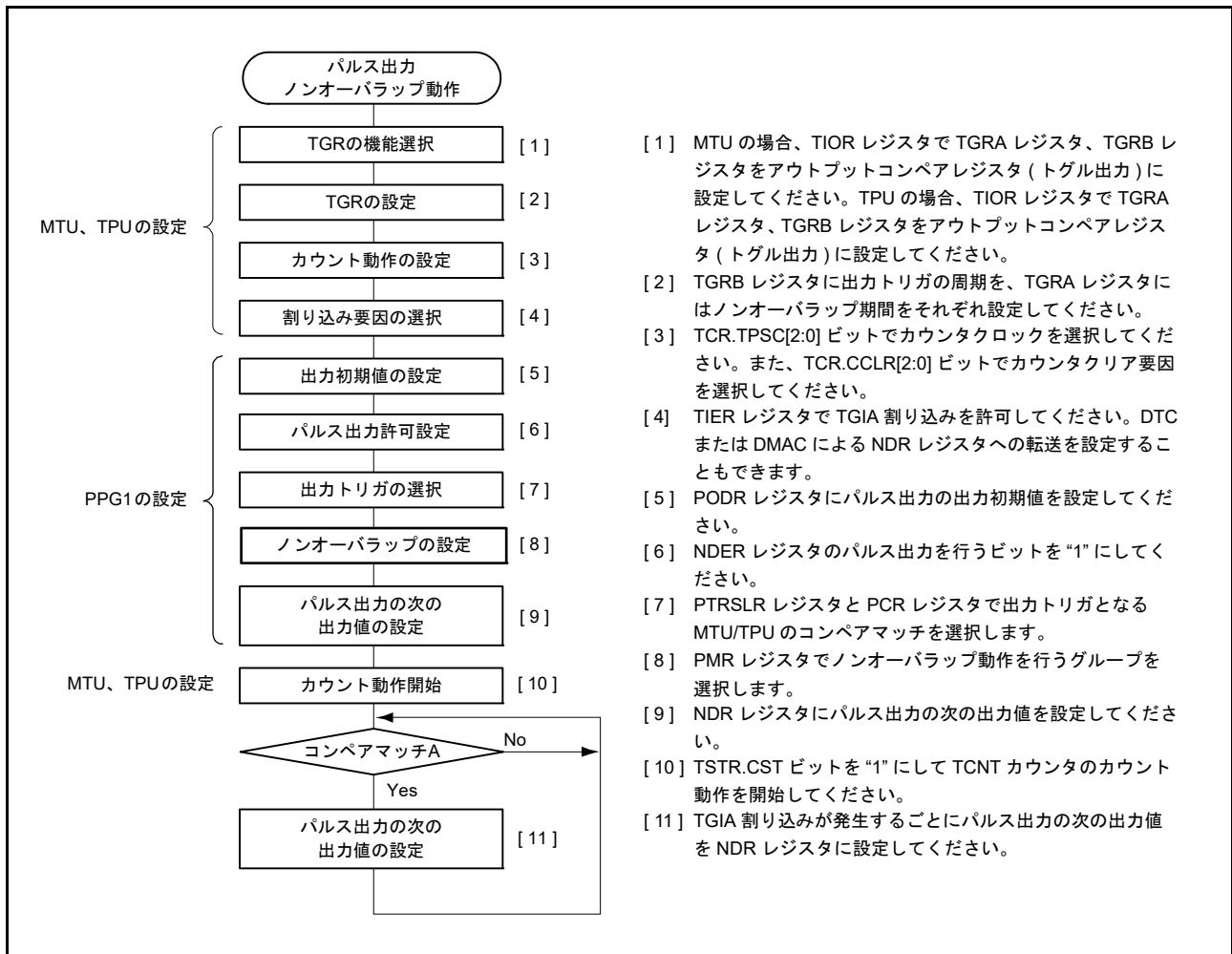


図 27.12 パルス出力ノンオーバーラップ動作の設定手順例 (PPG1 の設定)

27.3.6 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

パルス出力を使用して4相の相補ノンオーバーラップのパルスを出力させた PPG0 の例を図 27.13 に示します。

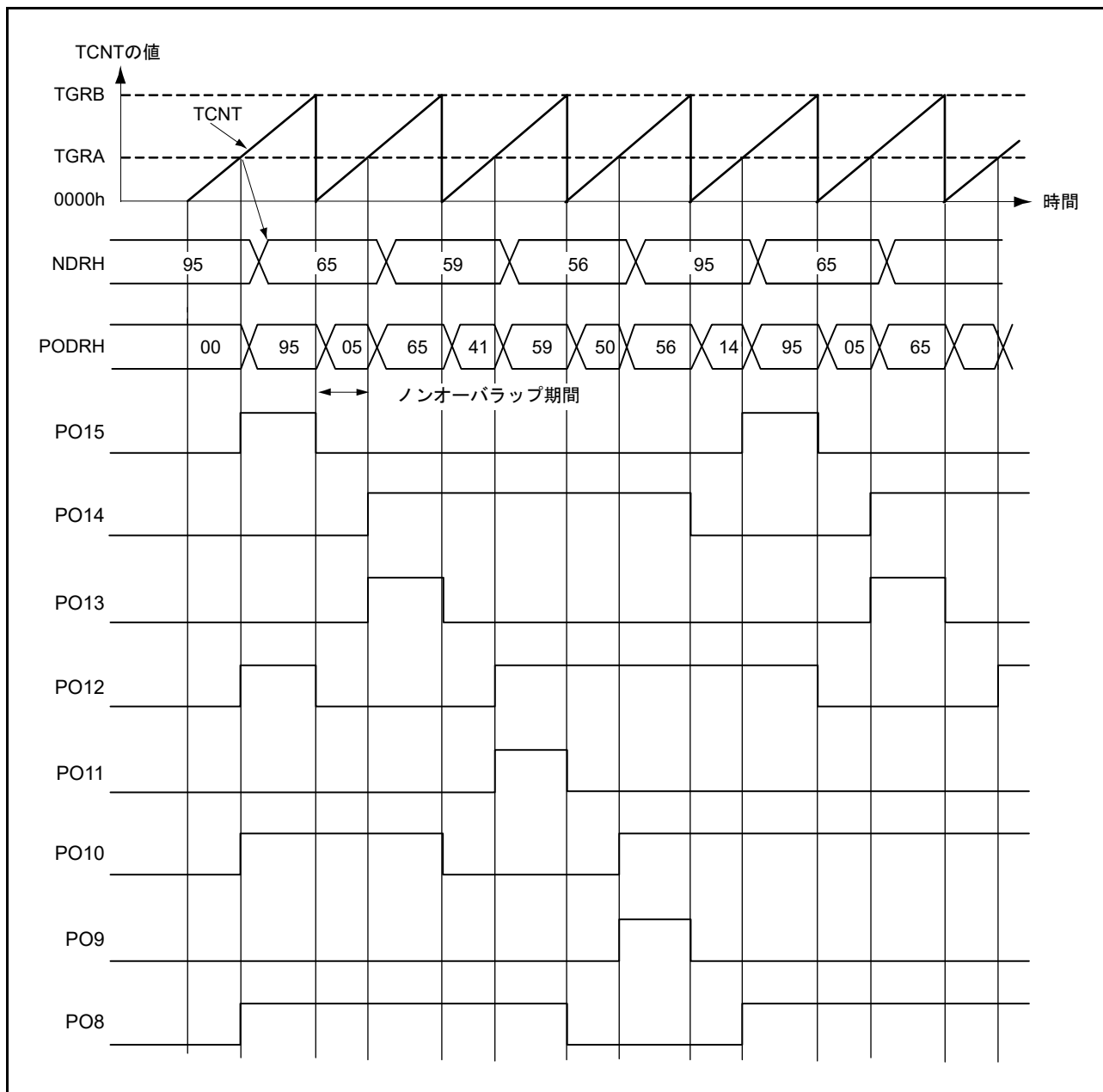


図 27.13 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力)

1. 出力トリガとする MTU の MTUn.TGRA、TGRB レジスタ ($n=0 \sim 3$) をアウトプットコンペアレジスタに設定します。TGRB レジスタには周期、TGRA レジスタにはノンオーバーラップ期間を設定し、コンペアマッチ B によるカウンタクリアを選択します。また、MTUn.TIER.TGIEA ビットを“1”にして、コンペアマッチ/インプットキャプチャ A (TGIA_n) 割り込み要求を許可します。
2. PPG0.NDERH レジスタに FFh を書き、PPG0.PCR.G3CMS[1:0] ビットおよび G2CMS[1:0] ビットにより、上記 1. で選択した MTUn のコンペアマッチに出力トリガを設定します。
PPG0.PMR.G3NOV,G2NOV ビットをそれぞれ“1”にして、ノンオーバーラップ動作を設定します。
PPG0.NDRH レジスタに出力データ 95h を書きます。
3. MTU の当該チャンネルの動作を開始すると、TGRB レジスタのコンペアマッチで High 出力 → Low 出力の変化、TGRA レジスタのコンペアマッチで Low 出力 → High 出力の変化を行います (Low 出力 → High 出力の変化は TGRA レジスタの設定値分遅延することになります)。
TGIA_n 割り込み処理で PPG0.NDRH レジスタに次の出力データ 65h を書きます。
4. 以後、TGIA_n 割り込みで順次 59h、56h、95h... を書くことで、4 相の相補ノンオーバーラップ出力を行うことができます。
TGIA_n 割り込みで DTC または DMAC を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

27.3.7 パルス反転出力

PPG0.PMR.G3INV、G2INV、G1INV、G0INV ビットを“0”にすると、PPG0.PODRH、PPG0.PODRL レジスタの値に対する反転値を端子出力することができます。

図 27.13 の設定で、さらに G3INV、G2INV ビットを“0”にしたときの端子出力の様子を図 27.14 に示します。

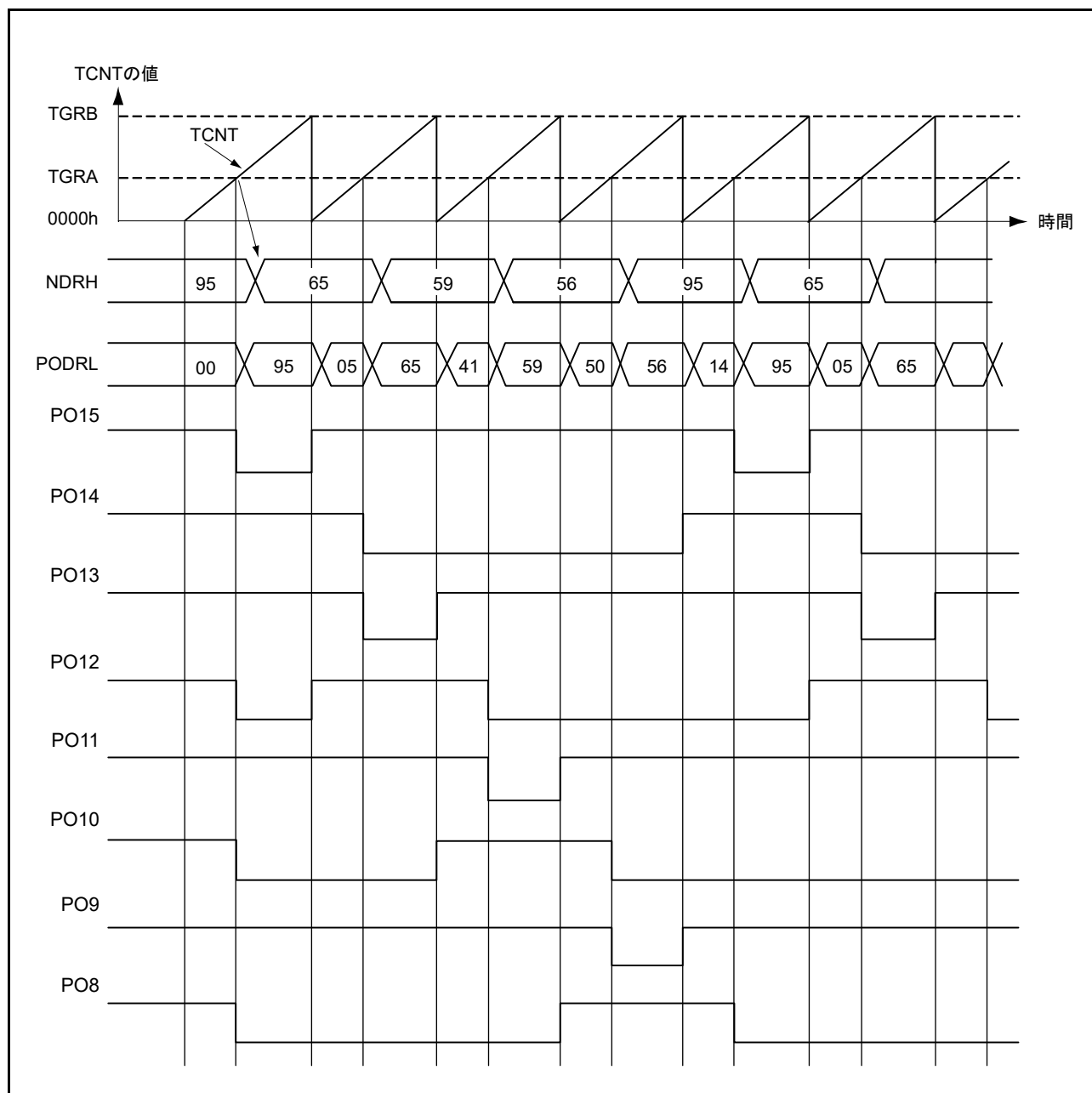


図 27.14 パルス反転出力例

27.3.8 インพุットキャプチャによるパルス出力

PPG0 のパルス出力は、MTU のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PPG0.PCR レジスタによって選択された MTU の MTUn.TGRA レジスタ ($n=0\sim 3$) がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 27.15 に示します。

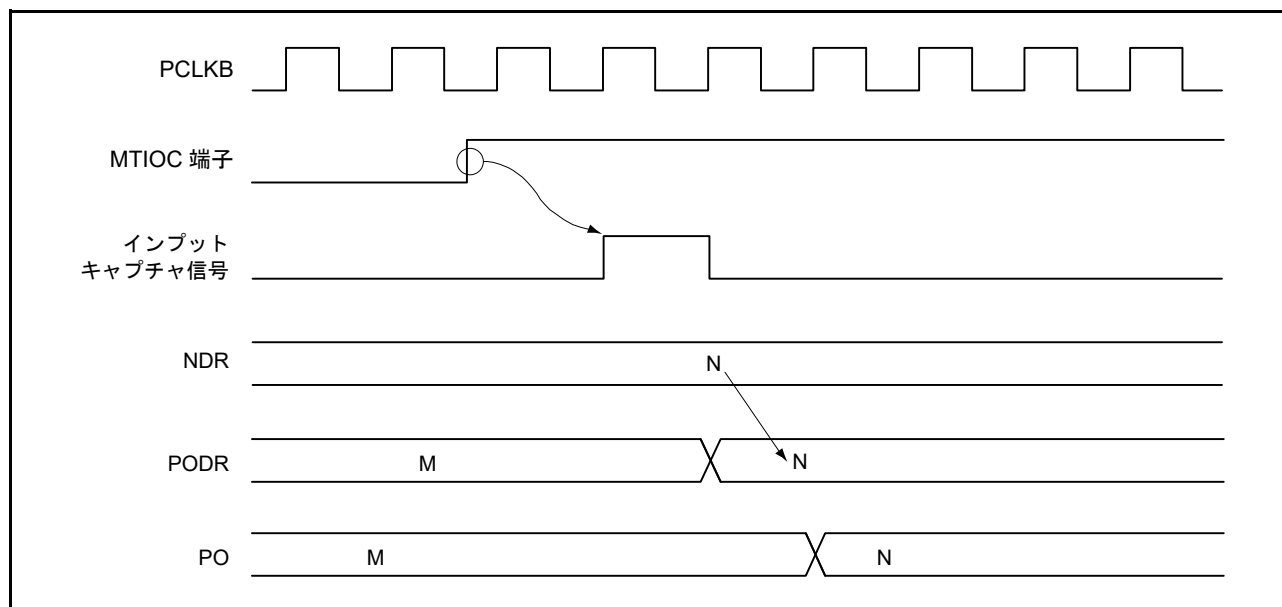


図 27.15 インพุットキャプチャによるパルス出力例

27.4 使用上の注意事項

27.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、PPG の動作を禁止 / 許可することができます。初期値では、PPG の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

28. 8ビットタイマ (TMRb)

本MCUは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ(TMR)を2ユニット(ユニット0、ユニット1)、合計4チャンネル内蔵しています。外部イベントのカウントが可能のほか、2本のレジスタとのコンペアマッチ信号により、カウンタのクリア、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット0、ユニット1は同一機能です。また、SCIの基本クロックおよびREMC(リモコン信号受信機能)の動作クロックを生成することができます。

本章に記載しているPCLKとはPCLKBを指します。

28.1 概要

表28.1にTMRの仕様を、表28.2にTMRの機能一覧を示します。

図28.1にユニット0、図28.2にユニット1のブロック図を示します。

表28.1 TMRの仕様

項目	仕様
カウントクロック	<ul style="list-style-type: none"> 内部クロック：PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 外部クロック：外部カウントクロック
チャンネル数	(8ビット×2チャンネル)×2ユニット
コンペアマッチ	<ul style="list-style-type: none"> 8ビットモード(コンペアマッチA、コンペアマッチB) 16ビットモード(コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャンネルのカスケード接続	<ul style="list-style-type: none"> 16ビットカウントモード TMR0を上位、TMR1を下位(TMR2を上位、TMR3を下位)とする16ビットタイマ コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント(TMR3はTMR2のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
イベントリンク機能(出力)	コンペアマッチA、コンペアマッチB、オーバフロー(TMR0～3)
イベントリンク機能(入力)	イベント受付により、3種類のうち1つの動作が可能 (1) カウントスタート動作(TMR0～3) (2) イベントカウンタ動作(TMR0～3) (3) カウンタリスタート動作(TMR0～3)
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
A/Dコンバータの変換開始トリガ	TMR0、TMR2のコンペアマッチA
SCIの基本クロック生成	SCIの基本クロックを生成(注1)
REMC動作クロック生成	REMC(リモコン信号受信機能)の動作クロックを生成(注2)
消費電力低減機能	ユニットごとにモジュールストップ状態への遷移が可能

注1. 詳細は「35. シリアルコミュニケーションインタフェース(SCIk, SCIm, SCIlh)」を参照してください。

注2. 詳細は「46. リモコン信号受信機能(REMCa)」を参照してください。

表 28.2 TMRの機能一覧

項目		ユニット0			ユニット1		
		8ビット		16ビット	8ビット		16ビット
カウンタモード		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
チャンネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI0	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI2	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3
カウンタクリア		TMR0.TCORA TMR0.TCORB TMR10	TMR1.TCORA TMR1.TCORB TMR11	TMR0.TCORA + TMR1.TCORA TMR0.TCORB + TMR1.TCORB TMR10	TMR2.TCORA TMR2.TCORB TMR12	TMR3.TCORA TMR3.TCORB TMR13	TMR2.TCORA + TMR3.TCORA TMR2.TCORB + TMR3.TCORB TMR12
コンペア マッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出 力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起 動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフ ロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバフ ロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1の オーバフ ロー	TMR0の コンペア マッチA	—	TMR3の オーバフ ロー	TMR2の コンペア マッチA	—
A/Dコンバータの変換開始トリガ(注1)		○	—	○	○	—	○
SCIの基本クロックの生成(注2)		○		—	○		—
REMC動作クロック生成(注3)		○	—	—	—	—	—
ELC出力 イベント	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフ ロー	○	○	○	○	○	○
ELC入力 イベント	カウントスタート	○	○	—	○	○	—
	イベントカウンタ	○	○	—	○	○	—
	カウントリスタート	○	○	—	○	○	—
モジュールストップの設定(注4)		(ユニット0) MSTPCRA.MSTPA5ビット、(ユニット1) MSTPCRA.MSTPA4ビット					

○：可能

—：不可能

注1. 詳細は「50. 12ビットA/Dコンバータ(S12ADFa)」を参照してください。

注2. 詳細は「35. シリアルコミュニケーションインタフェース(SCI_k, SCI_m, SCI_h)」を参照してください。

注3. 詳細は「46. リモコン信号受信機能(REMCa)」を参照してください。

注4. 詳細は「11. 消費電力低減機能」を参照してください。

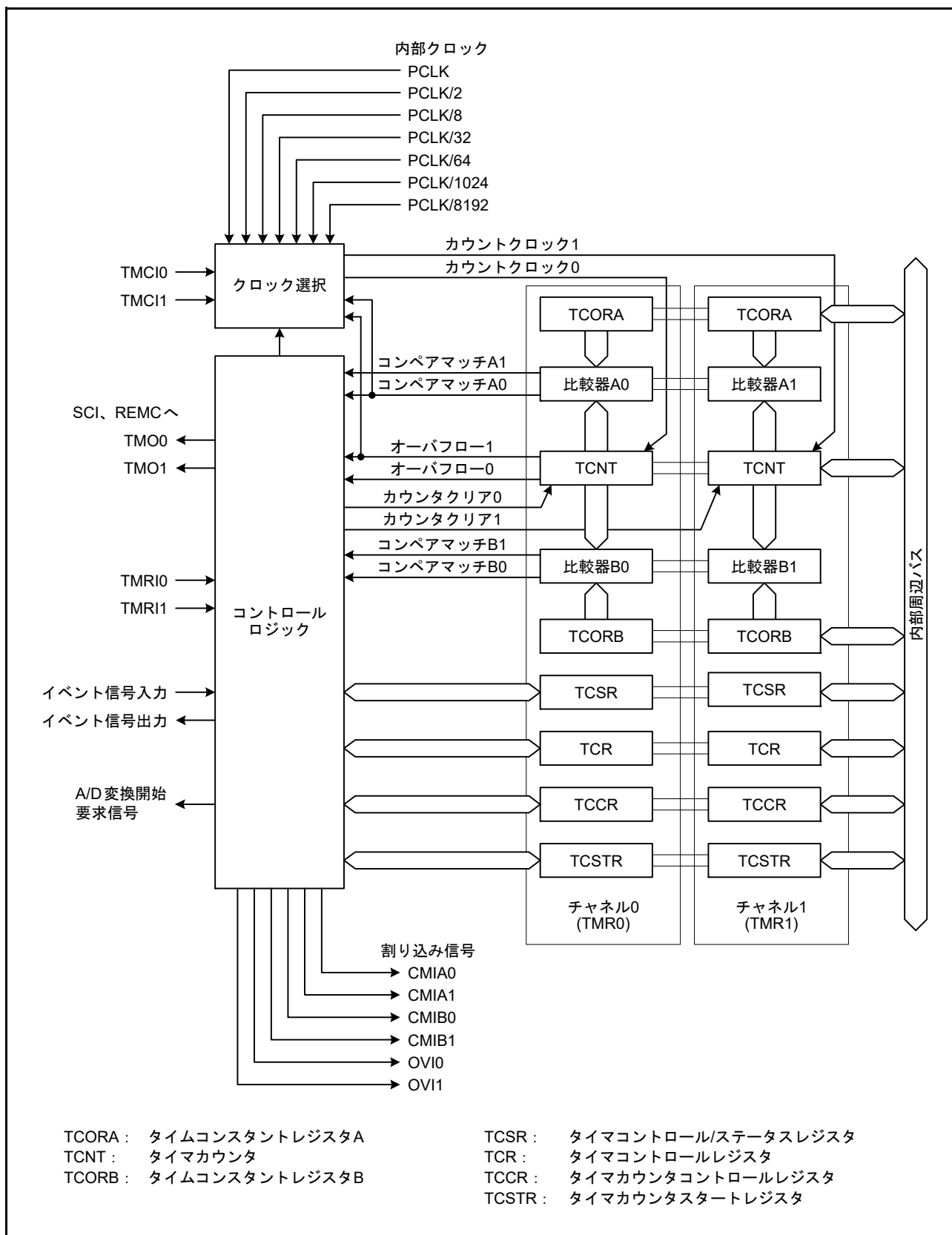


図 28.1 TMR (ユニット0) のブロック図

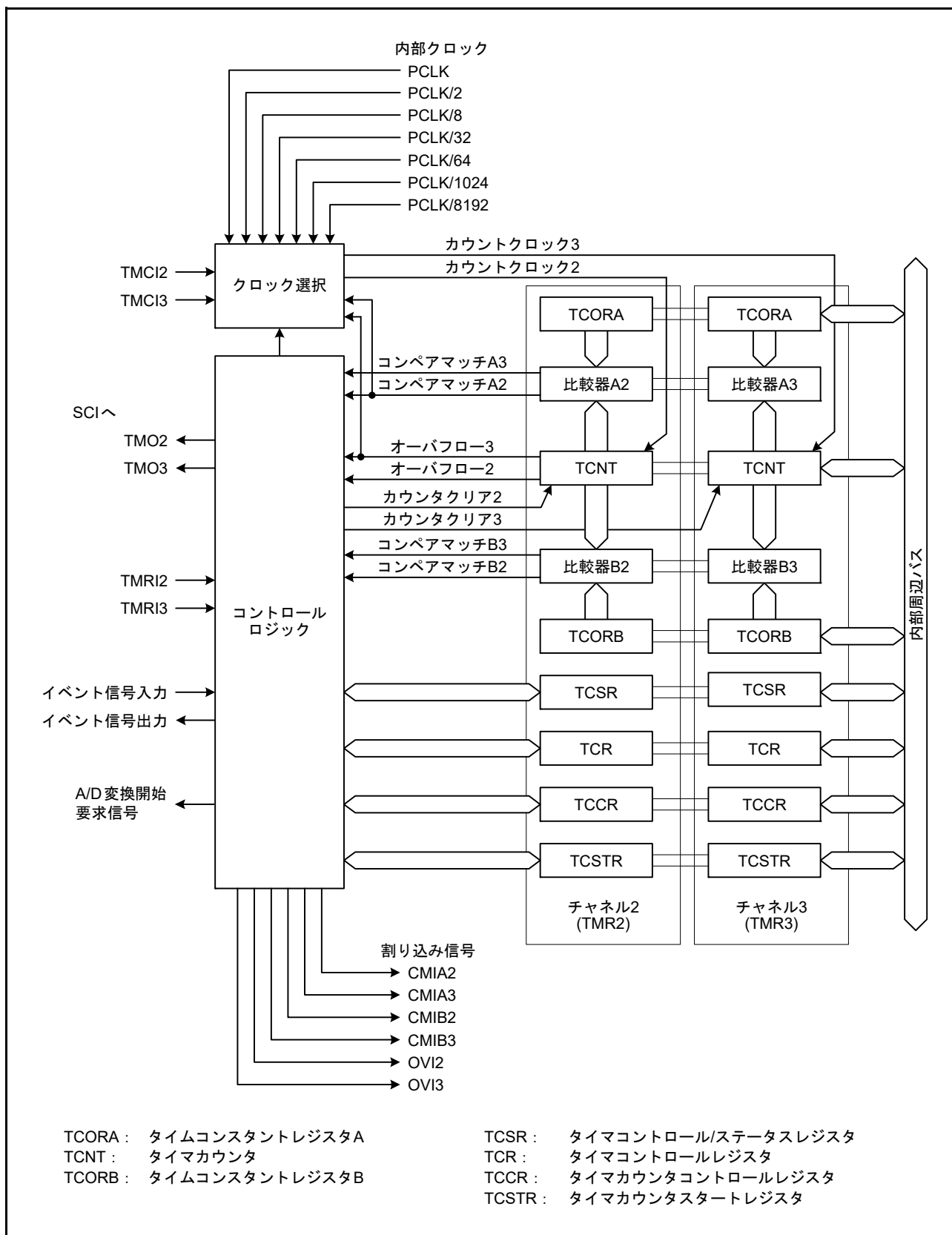


図 28.2 TMR (ユニット1) のブロック図

表 28.3 に TMR で使用する入出力端子を示します。

表 28.3 TMRの入出力端子

ユニット	チャンネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMC10	入力	外部カウントクロック入力
		TMR10	入力	外部カウンタリセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMC11	入力	外部カウントクロック入力
		TMR11	入力	外部カウンタリセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMC12	入力	外部カウントクロック入力
		TMR12	入力	外部カウンタリセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMC13	入力	外部カウントクロック入力
		TMR13	入力	外部カウンタリセット入力

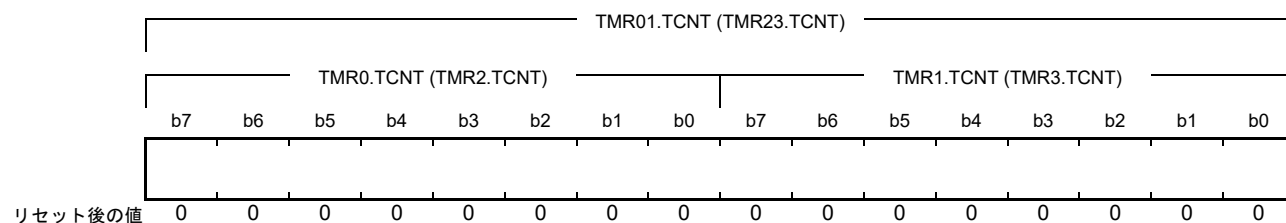
28.2 レジスタの説明

表 28.4 16ビットアクセスのレジスタ配置

アドレス	レジスタ	上位8ビット	下位8ビット
0008 8208h	TMR01.TCNT	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR01.TCORA	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR01.TCORB	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR01.TCCR	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR23.TCNT	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR23.TCORA	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR23.TCORB	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR23.TCCR	TMR2.TCCR	TMR3.TCCR

28.2.1 タイマカウンタ (TCNT)

アドレス TMR0.TCNT 0008 8208h, TMR1.TCNT 0008 8209h, TMR2.TCNT 0008 8218h, TMR3.TCNT 0008 8219h,
TMR01.TCNT 0008 8208h, TMR23.TCNT 0008 8218h



TCNT カウンタは、8ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ) を 16ビットカウンタ (TMR01.TCNT, TMR23.TCNT) として 16ビット単位でアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0], CKS[2:0] ビットで選択します。

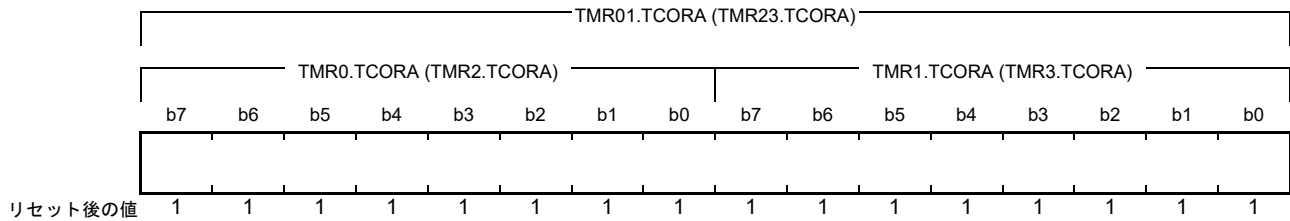
TCNT カウンタは、外部カウンタリセット信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバーフロー (“FFh”→“00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバーフロー割り込みを出力します。

なお、対応する割り込みベクタ番号は、「15. 割り込みコントローラ (ICUE)」と「表 28.6 TMR の割り込み要因」を参照してください。

28.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h,
TMR01.TCORA 0008 8204h, TMR23.TCORA 0008 8214h



TCORA レジスタは、8 ビットのリード/ライト可能なレジスタです。

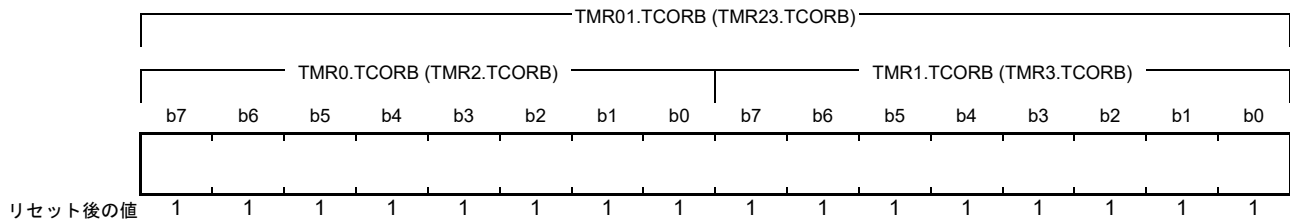
TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ) を 16 ビットレジスタ (TMR01.TCORA, TMR23.TCORA) として 16 ビット単位でアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込みを出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

28.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h,
TMR01.TCORB 0008 8206h, TMR23.TCORB 0008 8216h



TCORB レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ) を 16 ビットレジスタ (TMR01.TCORB, TMR23.TCORB) として 16 ビット単位でアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込みを出力します。

ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSR.OSB[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

28.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h, TMR1.TCR 0008 8201h, TMR2.TCR 0008 8210h, TMR3.TCR 0008 8211h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMIEB	CMIEA	OVIE	CCLR[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット	b4 b3 0 0 : クリアを禁止 0 1 : コンペアマッチAによりクリア 1 0 : コンペアマッチBによりクリア 1 1 : 外部カウンタリセット信号によりクリア (注1) (TCCR.TMRIS ビットでエッジまたはレベルを選択)	R/W
b5	OVIE	オーバフロー割り込み許可ビット	0 : オーバフローによる割り込み要求(OVIn)を禁止 1 : オーバフローによる割り込み要求(OVIn)を許可	R/W
b6	CMIEA	コンペアマッチA割り込み許可ビット	0 : コンペアマッチAによる割り込み要求(CMIAAn)を禁止 1 : コンペアマッチAによる割り込み要求(CMIAAn)を許可	R/W
b7	CMIEB	コンペアマッチB割り込み許可ビット	0 : コンペアマッチBによる割り込み要求(CMIBn)を禁止 1 : コンペアマッチBによる割り込み要求(CMIBn)を許可	R/W

注1. 外部カウンタリセット信号を使用する場合は、該当する端子の設定が必要です。詳細については「22. I/Oポート」、および「23. マルチファンクションピンコントローラ(MPC)」を参照してください。

CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

OVIE ビット (オーバフロー割り込み許可ビット)

TCNT カウンタのオーバフローによる割り込み要求(OVIn)の許可または禁止を選択します。

CMIEA ビット (コンペアマッチ A 割り込み許可ビット)

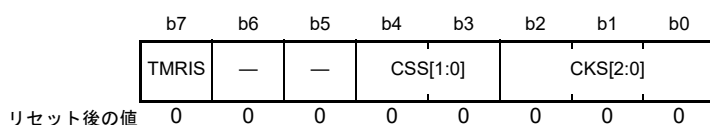
TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求(CMIAAn)の許可または禁止を選択します。

CMIEB ビット (コンペアマッチ B 割り込み許可ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求(CMIBn)の許可または禁止を選択します。

28.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh, TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh,
TMR01.TCCR 0008 820Ah, TMR23.TCCR 0008 821Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表28.5を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表28.5を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0 : 外部カウンタリセット信号の立ち上がりでクリア 1 : 外部カウンタリセット信号のHighでクリア	R/W

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「22. I/Oポート」、および「23. マルチファンクションピンコントローラ(MPC)」を参照してください。

TCCR レジスタはカウンタの基本動作を設定する8ビットのレジスタです。偶数チャンネルのアドレスに対して16ビットアクセスすると、同時に2つのTCCRレジスタにアクセスできます。

CKS[2:0] ビット (クロック選択ビット)**CSS[1:0] ビット (クロックソース選択ビット)**

CKS[2:0] ビットおよびCSS[1:0] ビットは、カウントクロックを選択します。詳細は、表28.5を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR[1:0] ビットが“11b” (外部カウンタリセット信号によりクリア) のとき有効となり、カウンタのリセット検出条件 (レベルまたはエッジ) を選択します。

表28.5 TCNTカウンタに入力するクロックとカウント条件

チャンネル	TCCRレジスタ					機能	
	CSS[1:0]		CKS[2:0]				
	b4	b3	b2	b1	b0		
TMR0 (TMR2)	0	0	—	0	0	クロック入力を禁止	
					1	外部カウントクロックの立ち上がりエッジでカウント(注1)	
					0	外部カウントクロックの立ち下がりエッジでカウント(注1)	
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント(注1)	
	0	1	0	0	0	内部クロック：PCLKでカウント	
					1	内部クロック：PCLK/2でカウント	
					0	内部クロック：PCLK/8でカウント	
					1	内部クロック：PCLK/32でカウント	
				1	0	0	内部クロック：PCLK/64でカウント
						1	内部クロック：PCLK/1024でカウント
						0	内部クロック：PCLK/8192でカウント
						1	クロック入力を禁止
	1	0	—	—	—	設定しないでください	
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT)のオーバフロー信号でカウント(注2)	
TMR1 (TMR3)	0	0	—	0	0	クロック入力を禁止	
					1	外部カウントクロックの立ち上がりエッジでカウント(注1)	
					0	外部カウントクロックの立ち下がりエッジでカウント(注1)	
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント(注1)	
	0	1	0	0	0	内部クロック：PCLKでカウント	
					1	内部クロック：PCLK/2でカウント	
					0	内部クロック：PCLK/8でカウント	
					1	内部クロック：PCLK/32でカウント	
			1	0	0	内部クロック：PCLK/64でカウント	
					1	内部クロック：PCLK/1024でカウント	
					0	内部クロック：PCLK/8192でカウント	
					1	クロック入力を禁止	
	1	0	—	—	—	設定しないでください	
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT)のコンペアマッチAでカウント(注2)	

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「22. I/Oポート」、および「23. マルチファンクションピンコントローラ(MPC)」を参照してください。

注2. TMR0 (TMR2)のクロック入力をTMR1.TCNT (TMR3.TCNT)カウンタのオーバフロー信号とし、TMR1 (TMR3)のクロック入力をTMR0.TCNT (TMR2.TCNT)カウンタのコンペアマッチ信号とすると、TCNTカウンタクロックが発生しません。この設定は行わないでください。

28.2.6 タイマコントロール/ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h, TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADTE	OSB[1:0]	OSB[1:0]	OSA[1:0]	OSA[1:0]
リセット後の値	x	x	x	0	0	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b4	ADTE	A/Dトリガ許可ビット	0: コンペアマッチAによるA/D変換開始要求を禁止 1: コンペアマッチAによるA/D変換開始要求を許可	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h, TMR3.TCSR 0008 8213h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	1	0	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

28.2.7 タイマカウンタスタートレジスタ (TCSTR)

アドレス TMR0.TCSTR 0008 820Ch, TMR1.TCSTR 0008 820Dh, TMR2.TCSTR 0008 821Ch, TMR3.TCSTR 0008 821Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCS
リセット後の値	x	x	x	x	x	x	x	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	TCS	タイマカウンタステータスビット	0 : ELCによるカウント停止状態 1 : ELCによるカウント開始状態	R/W
b7-b1	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

TCS ビット (タイマカウンタステータスビット)

ELC によるタイマカウントの状態を確認できます。

読み出し値が“1”のとき、ELC によるタイマ開始状態で、“0”のとき、タイマカウント停止状態です。

このビットをクリアするには、“0”を書いてください。“1”の書き込みは無効です。

TCS ビットは、イベントリンクコントローラ (ELC) の ELOPD レジスタでカウントスタート動作が選択されたときのみに有効となります。

詳細は、「28.7 ELC によるリンク動作」および、「21. イベントリンクコントローラ (ELC)」を参照してください。

28.3 動作説明

28.3.1 パルス出力

任意のデューティパルスを出力させる例を図 28.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“01b”(コンペアマッチ A によりクリア)に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b”(High 出力)、TCSR.OSB[1:0] ビットを“01b”(Low 出力)にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介在なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子は Low です。

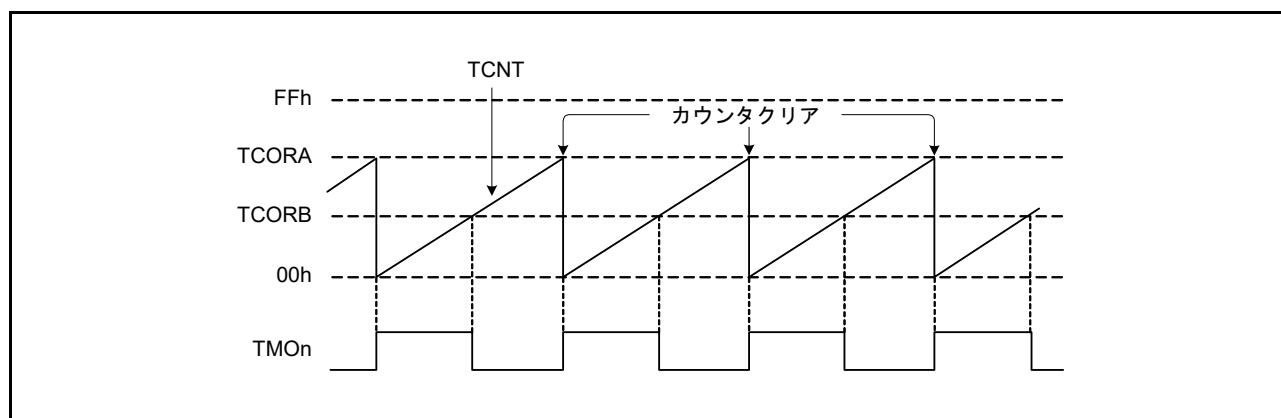


図 28.3 パルス出力例 (n = 0 ~ 3)

28.3.2 外部カウンタリセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 28.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“11b”(外部カウンタリセット信号によりクリア)にし、TCCR.TMRIS ビットを“1”(外部カウンタリセット信号の High でクリア)にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b”(High 出力)、TCSR.OSB[1:0] ビットを“01b”(Low 出力)にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB – TCORA) の波形を出力できます。

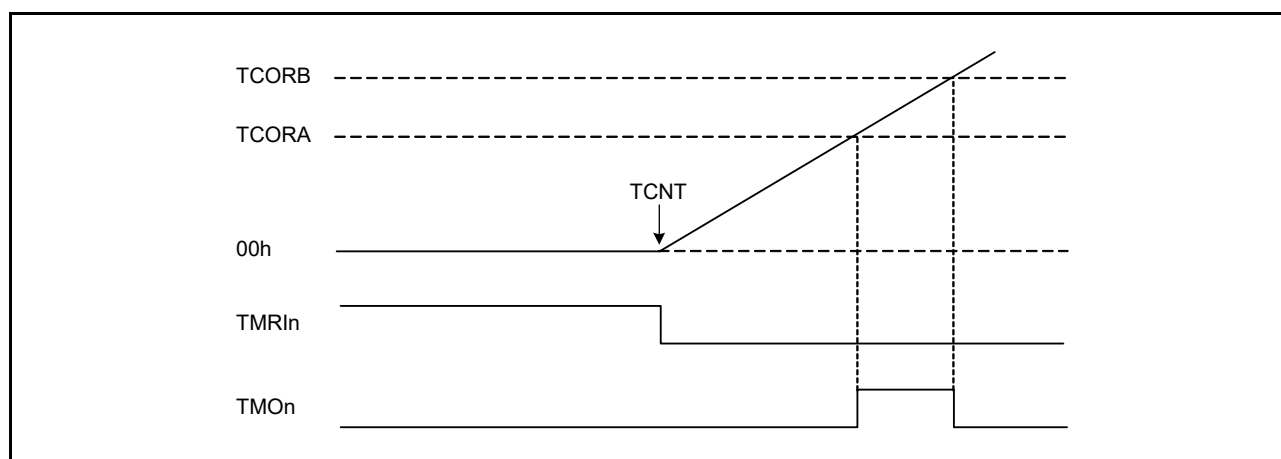


図 28.4 外部カウンタリセット信号入力例 (n = 0 ~ 3)

28.4 動作タイミング

28.4.1 TCNTカウンタのカウントタイミング

内部クロック動作の場合のTCNTカウンタのカウントタイミングを図28.5に示します。また、外部クロック動作の場合のTCNTカウンタのカウントタイミングを図28.6に示します。

なお外部クロックのパルス幅は、片エッジの場合は1.5 PCLK以上、両エッジの場合は2.5 PCLK以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

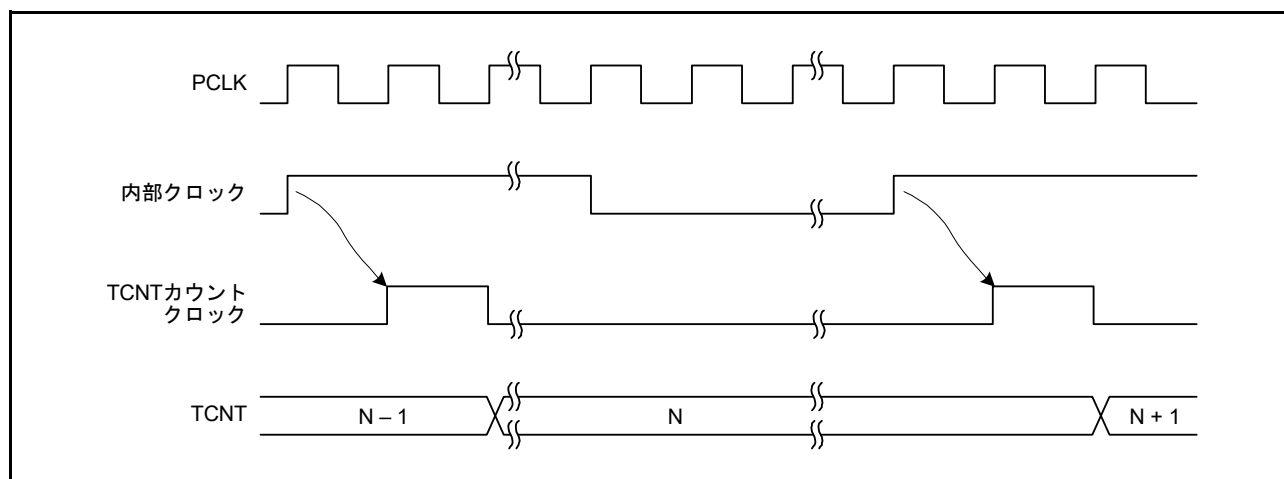


図 28.5 内部クロック動作時のカウントタイミング

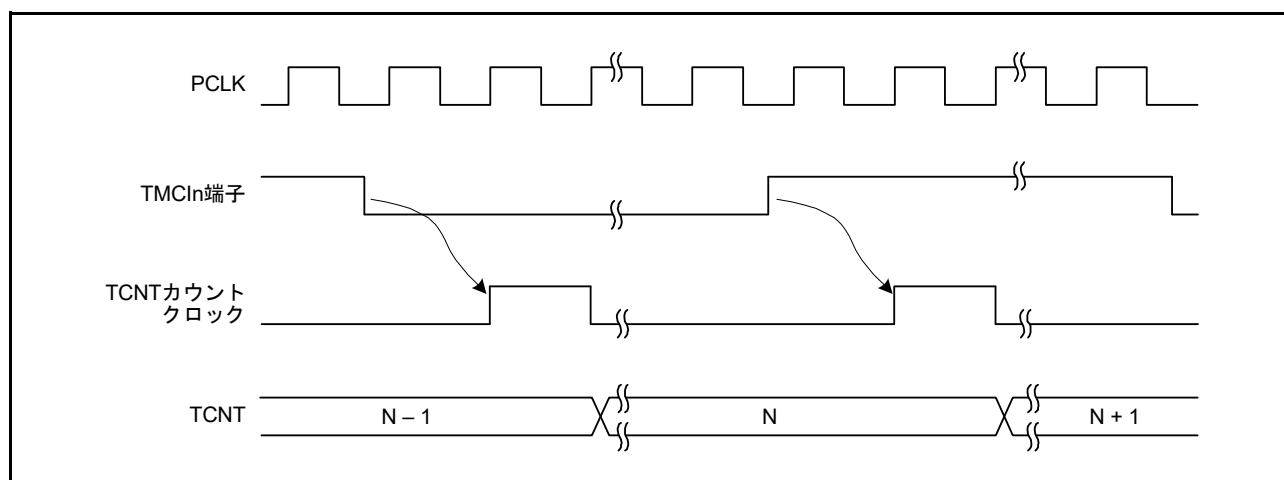


図 28.6 外部クロック動作時のカウントタイミング (両エッジの場合)

28.4.2 コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウントクロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 28.7 に示します。

なお、対応する割り込みベクタ番号は、「15. 割り込みコントローラ (ICUE)」と表 28.6 を参照してください。

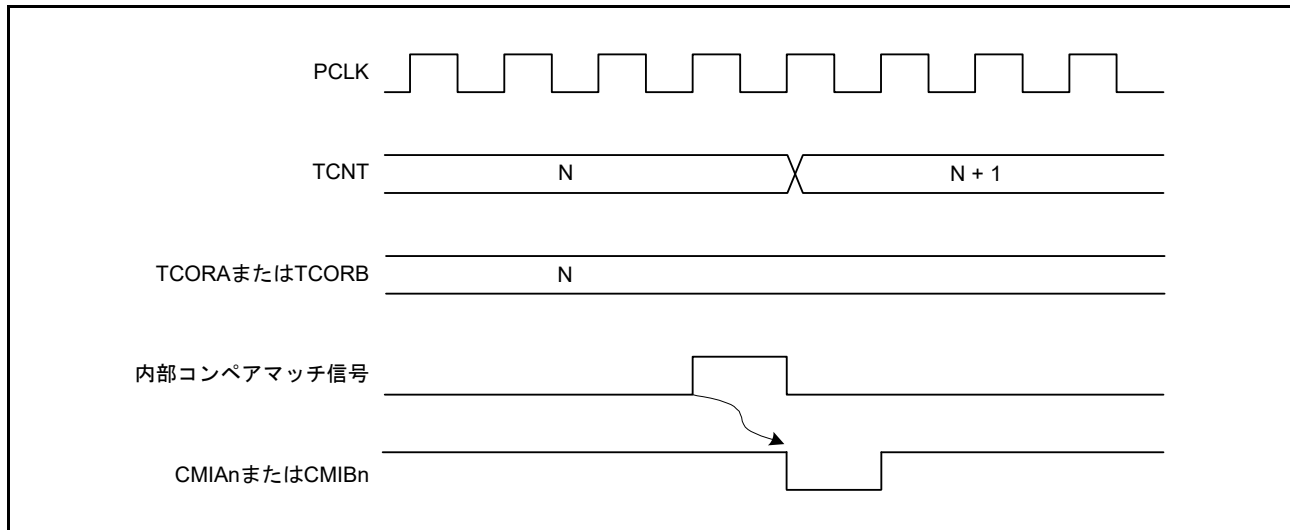


図 28.7 コンペアマッチ時の割り込みタイミング (n = 0 ~ 3)

28.4.3 コンペアマッチ時の出力信号タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMO_n) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合の出力信号タイミングを図 28.8 に示します。

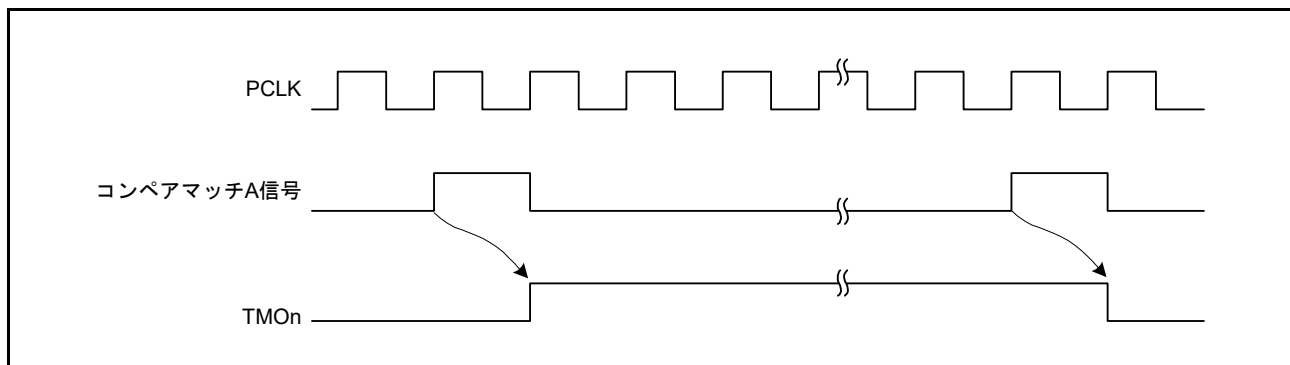


図 28.8 コンペアマッチ A 信号による出力信号タイミング (n = 0 ~ 3)

28.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 28.9 に示します。

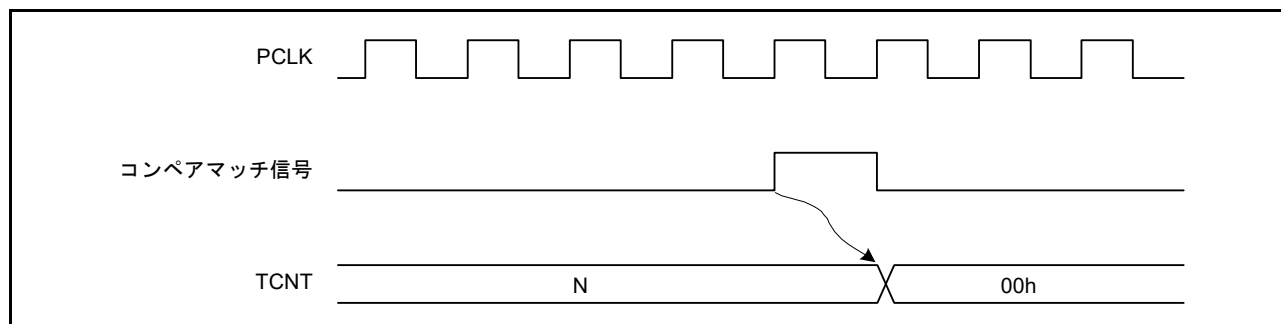


図 28.9 コンペアマッチによるカウンタクリアタイミング

28.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択により外部カウンタリセット信号の立ち上がりエッジ、または High でクリアされます。リセットを入力してから TCNT カウンタのクリアまでは 2PCLK 以上必要となります。

外部カウンタリセット信号によるクリアタイミングを図 28.10、図 28.11 に示します。

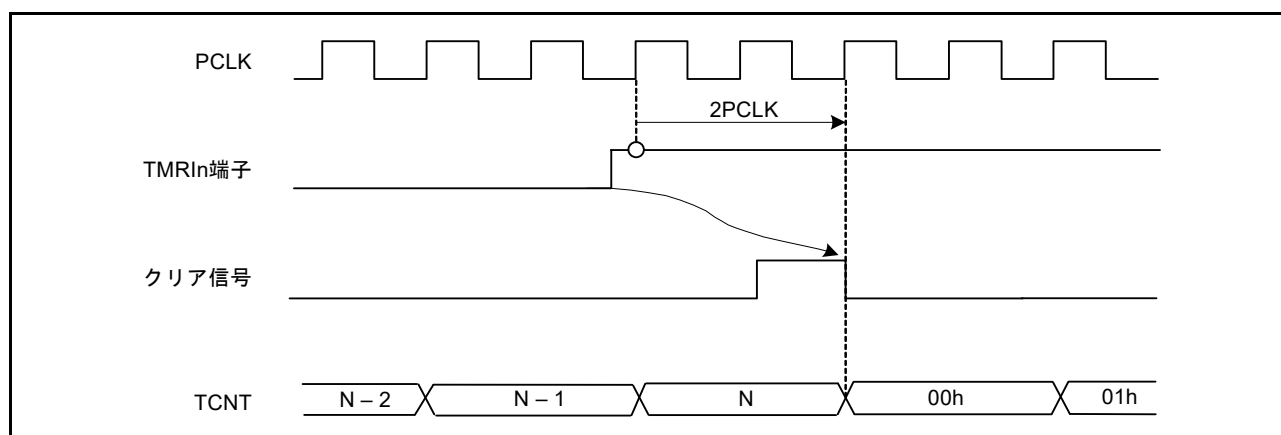


図 28.10 外部カウンタリセット信号によるクリアタイミング (立ち上がりエッジ)

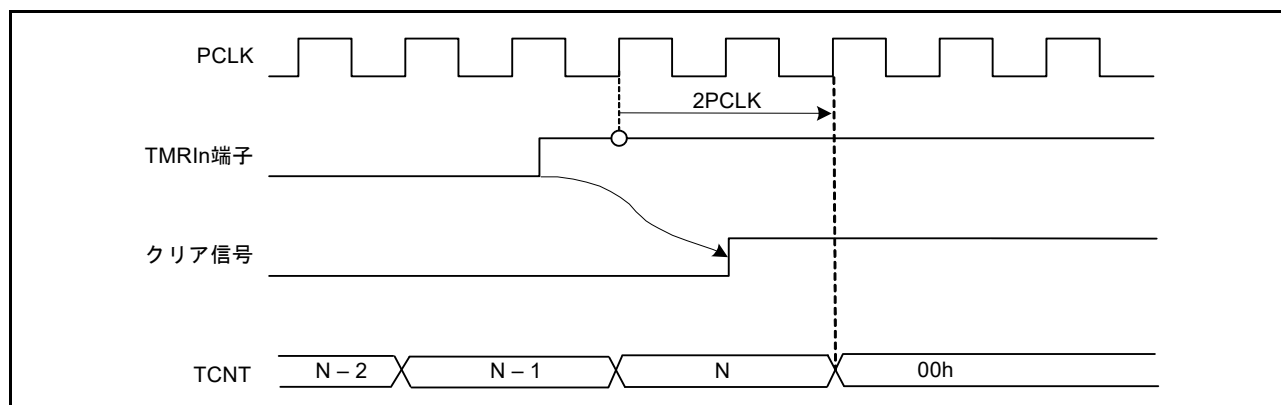


図 28.11 外部カウンタリセット信号によるクリアタイミング (High)

28.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 28.12 に示します。

なお、対応する割り込みベクタ番号は、「15. 割り込みコントローラ (ICUE)」と表 28.6 を参照してください。

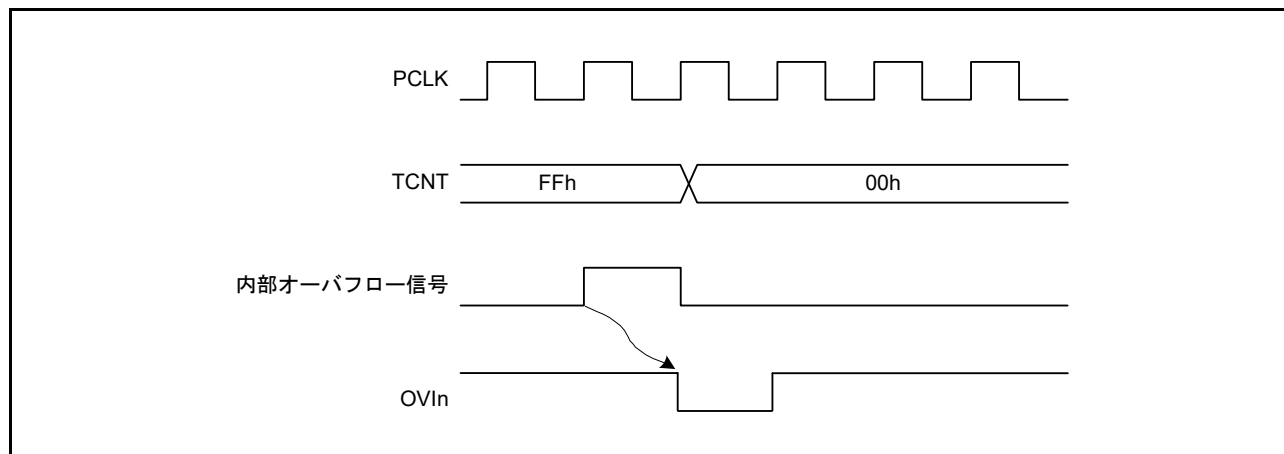


図 28.12 オーバフローによる割り込みタイミング (n = 0 ~ 3)

28.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを“11b”にすると、2チャンネルの TMR はカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

なお、この節ではユニット0について説明しています。ユニット1のカスケード接続時の動作についても、ユニット0と同様です。

28.5.1 16ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが“11b”のとき、TMR0 を上位8ビット、TMR1 を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が16ビットカウンタに対して有効になります。
TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生すると16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO0 端子の出力制御は、16ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO1 端子の出力制御は、下位8ビットのコンペアマッチ条件に従います。

28.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが“11b”のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMO_n 端子 (n = 0, 1) の出力、カウンタクリアなどは各チャンネルの設定に従います。

28.6 割り込み要因

28.6.1 割り込み要因と DTC 起動

TMRn の割り込み要因は、CMIA_n、CMIB_n、OVIn の 3 種類があります。表 28.6 に各割り込み要因と優先順位を示します。

なお、CMIA_n、CMIB_n 割り込みにより DTC を起動することができます。

表 28.6 TMRの割り込み要因

名称	割り込み要因	DTCの起動
CMIA0	TMR0.TCORAのコンペアマッチ	可能
CMIB0	TMR0.TCORBのコンペアマッチ	可能
OVI0	TMR0.TCNTのオーバーフロー	不可能
CMIA1	TMR1.TCORAのコンペアマッチ	可能
CMIB1	TMR1.TCORBのコンペアマッチ	可能
OVI1	TMR1.TCNTのオーバーフロー	不可能
CMIA2	TMR2.TCORAのコンペアマッチ	可能
CMIB2	TMR2.TCORBのコンペアマッチ	可能
OVI2	TMR2.TCNTのオーバーフロー	不可能
CMIA3	TMR3.TCORAのコンペアマッチ	可能
CMIB3	TMR3.TCORBのコンペアマッチ	可能
OVI3	TMR3.TCNTのオーバーフロー	不可能

28.6.2 A/D コンバータの起動

TMR0、TMR2 のコンペアマッチ A で、A/D コンバータを起動することができます。

TMRn.TCSR.ADTE ビットが“1”(コンペアマッチ A による A/D 変換開始要求を許可)の状態、コンペアマッチ A の発生により、A/D コンバータに対して A/D 変換の開始を要求します。このとき A/D コンバータ側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

表 28.7 A/Dコンバータの起動

A/Dコンバータ	TMRユニット番号	対象	A/D変換開始要求
S12AD, S12AD1 (12ビットA/Dコンバータ)	0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	TMTRG0AN_0
	1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	TMTRG0AN_1

28.7 ELC によるリンク動作

28.7.1 ELC へのイベント信号出力

TMR はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。TMR はコンペアマッチ A、コンペアマッチ B、および、オーバフローのイベント信号を出力します。対応するチャンネルは TMR0 ~ TMR3 です。

イベント信号は該当する割り込み要求許可ビット (TMRn.TCR.OVIE, TMRn.TCR.CMIEA, TMRn.TCR.CMIEB (n=0~3)) の設定に関係なく出力することができます。詳細は、「21. イベントリンクコントローラ (ELC)」を参照してください。

カスケード接続の動作にも、イベント出力機能は対応しています。

28.7.2 ELC からのイベント信号受信による TMR 動作

TMR は ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。ただし、カスケード接続の動作には ELC は対応しておりません。

(1) カウントスタート動作

ELC の ELOPD レジスタで TMR のカウントスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCSTR.TCS ビットが“1”にセットされ、TMR のカウントがスタートします。カウントソースは、ELC の ELOPD レジスタで TMR のカウントスタート動作を選択した後、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定により選択してください。

TCS ビットが“1”にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

カウントを停止させるためには、TCSTR.TCS ビットへ“0”を書いてください。

カウント停止状態でカウントスタートのイベントが入力されると、再び CKS[2:0]、CSS[1:0] ビットに従ってカウントします。

TCS ビットは、ELC の ELOPD.TMR0MD[1:0]、ELOPD.TMR1MD[1:0]、ELOPD.TMR2MD[1:0]、ELOPD.TMR3MD[1:0] ビットにおいてカウントスタートが選択されたときのみ有効となります。

(2) イベントカウンタ動作

ELC の ELOPD レジスタで TMR のイベントカウンタ動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウンタ動作します。カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELC の ELOPD レジスタで TMR のカウントリスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。CKS[2:0] ビット、CSS[1:0] ビットの設定が「クロック入力禁止」以外になっていれば、カウンタ動作を継続することができます。

28.7.3 ELCからのイベント信号受信によるTMRの注意事項

以下にTMRをイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TCSTR.TCSビットへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCSTR.TCSビットへの書き込みサイクルは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

TCNTカウンタへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCNTカウンタへの書き込みサイクルは行われずイベント発生によるカウント動作が優先されます。

(3) カウントリスタート動作

TCNTカウンタへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCNTカウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

28.8 使用上の注意事項

28.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMRの動作禁止/許可を設定することが可能です。初期値では、TMRの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

28.8.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNTカウンタはTCORA、TCORBレジスタの値と一致した最後のPCLK(TCNTカウンタが一致したカウント値を更新するタイミング)でクリアされます。このため、カウンタの周波数は以下の式になります(f :カウンタ周波数、PCLK:動作周波数、 N :TCORA、TCORBレジスタの設定値)。

$$f = \text{PCLK} / (N + 1)$$

28.8.3 TCNTカウンタへの書き込みとカウンタクリアの競合

図28.13のようにCPUによるTCNTカウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

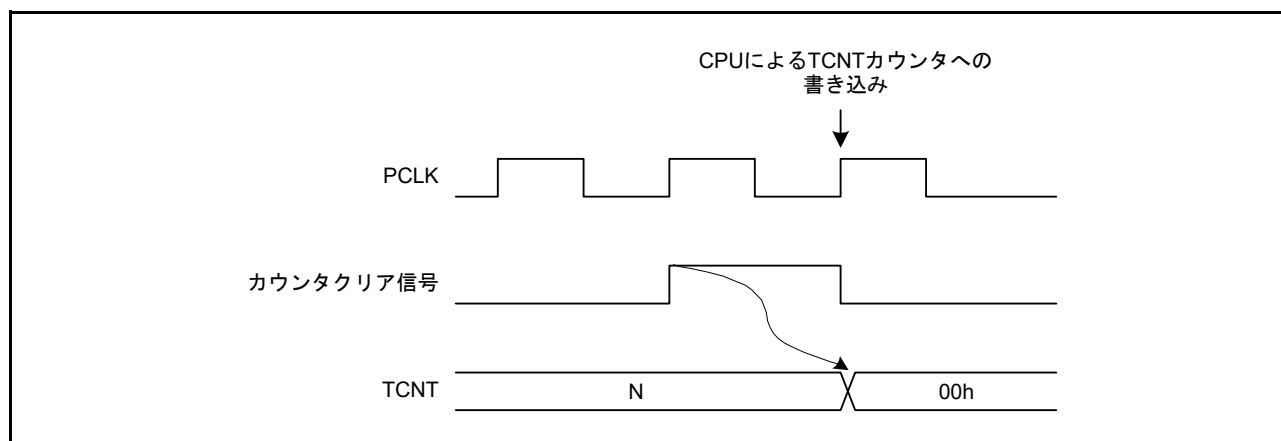


図 28.13 TCNTカウンタへの書き込みとカウンタクリアの競合

28.8.4 TCNT カウンタへの書き込みとカウントアップの競合

図 28.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

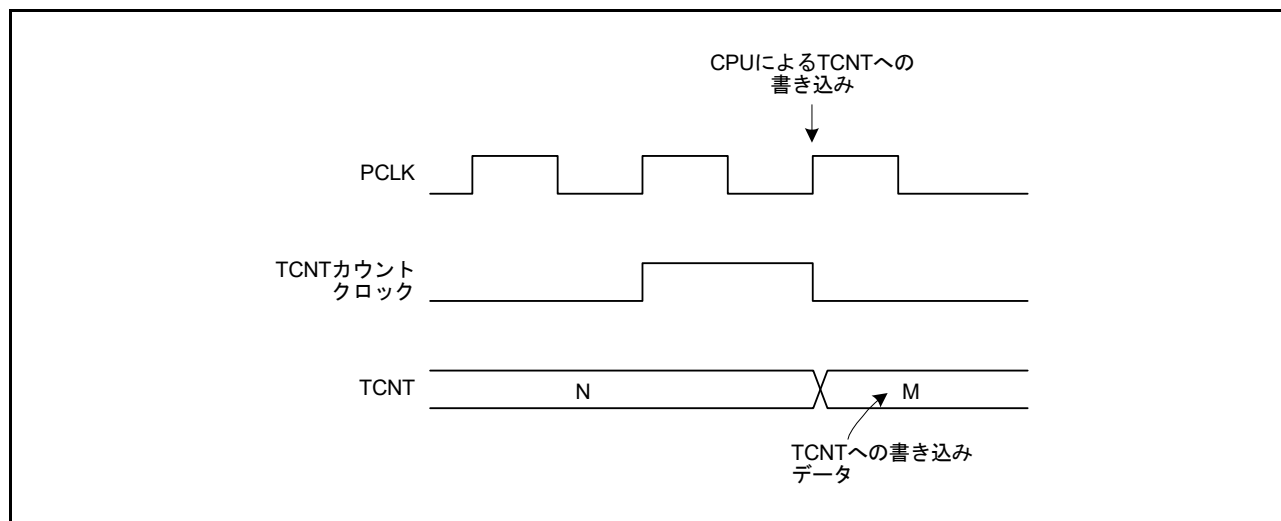


図 28.14 TCNT カウンタへの書き込みとカウントアップの競合

28.8.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 28.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチ信号は High になりません。

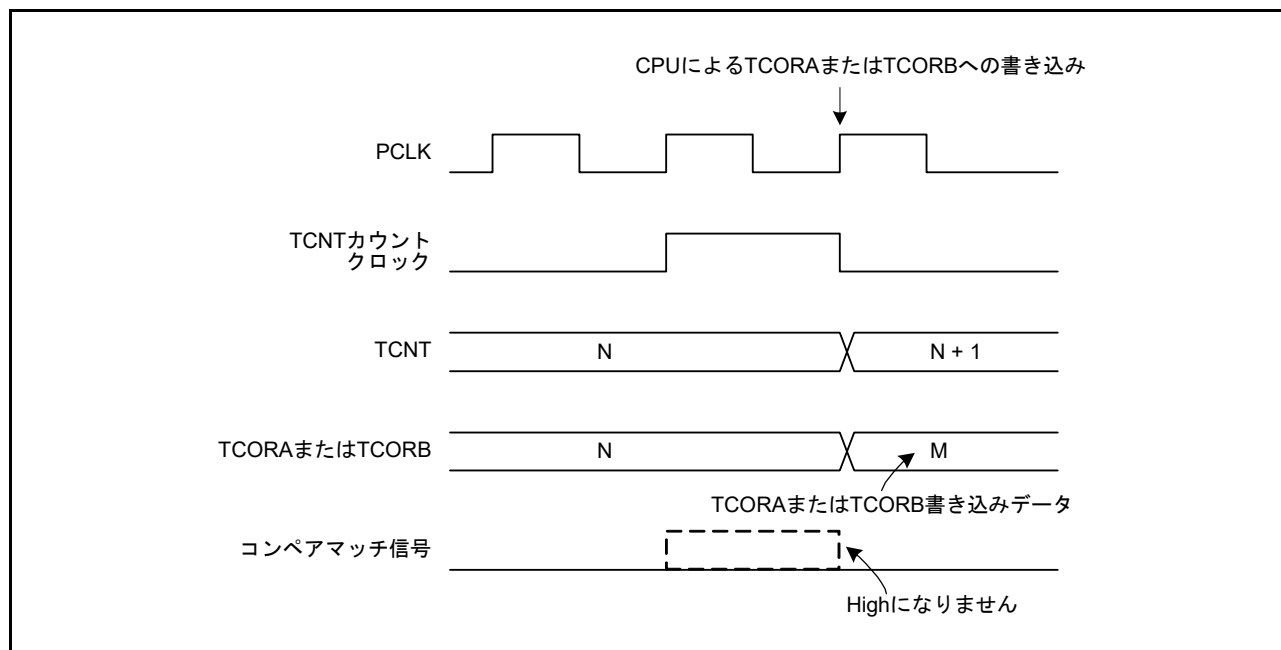


図 28.15 TCORA、TCORB レジスタのライトとコンペアマッチの競合

28.8.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力方法と、コンペアマッチ B に対して設定されている出力方法のうち、表 28.8 に示す出力設定の優先順位の高い方が出力されます。

表 28.8 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

28.8.7 内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 28.9 に示します。

内部クロックから TCNT カウントクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば表 28.9 の No.2 のように、Low→High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウントクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表 28.9 内部クロックの切り替えと TCNT カウンタの動作 (1/2)

No.	TCCR.CKS[2:0] ビット書き換えタイミング	TCNT カウンタの動作
1	Low→Low (注1)の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT カウントクロック</p> <p>TCNT</p> <p>TCCR.CKS[2:0] ビット書き換え</p>

表 28.9 内部クロックの切り替えとTCNTカウンタの動作 (2/2)

No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNTカウンタの動作
2	Low→High (注2)の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウントクロック</p> <p>TCNT N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0]ビット書き換え</p>
3	High→Low (注4)の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウントクロック</p> <p>TCNT N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0]ビット書き換え</p>
4	High→Highの切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウントクロック</p> <p>TCNT N N+1 N+2</p> <p>TCCR.CKS[2:0]ビット書き換え</p>

- 注1. Low→停止、および停止→Lowの場合を含みます。
- 注2. 停止→Highの場合を含みます。
- 注3. 切り替えのタイミングをエッジとみなすために発生し、TCNTカウンタはカウントアップされてしまいます。
- 注4. High→停止の場合を含みます。

28.8.8 カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ) のカウントクロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

28.8.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを“00h”に、内部クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“00h”のままで更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 28.16 に示します。

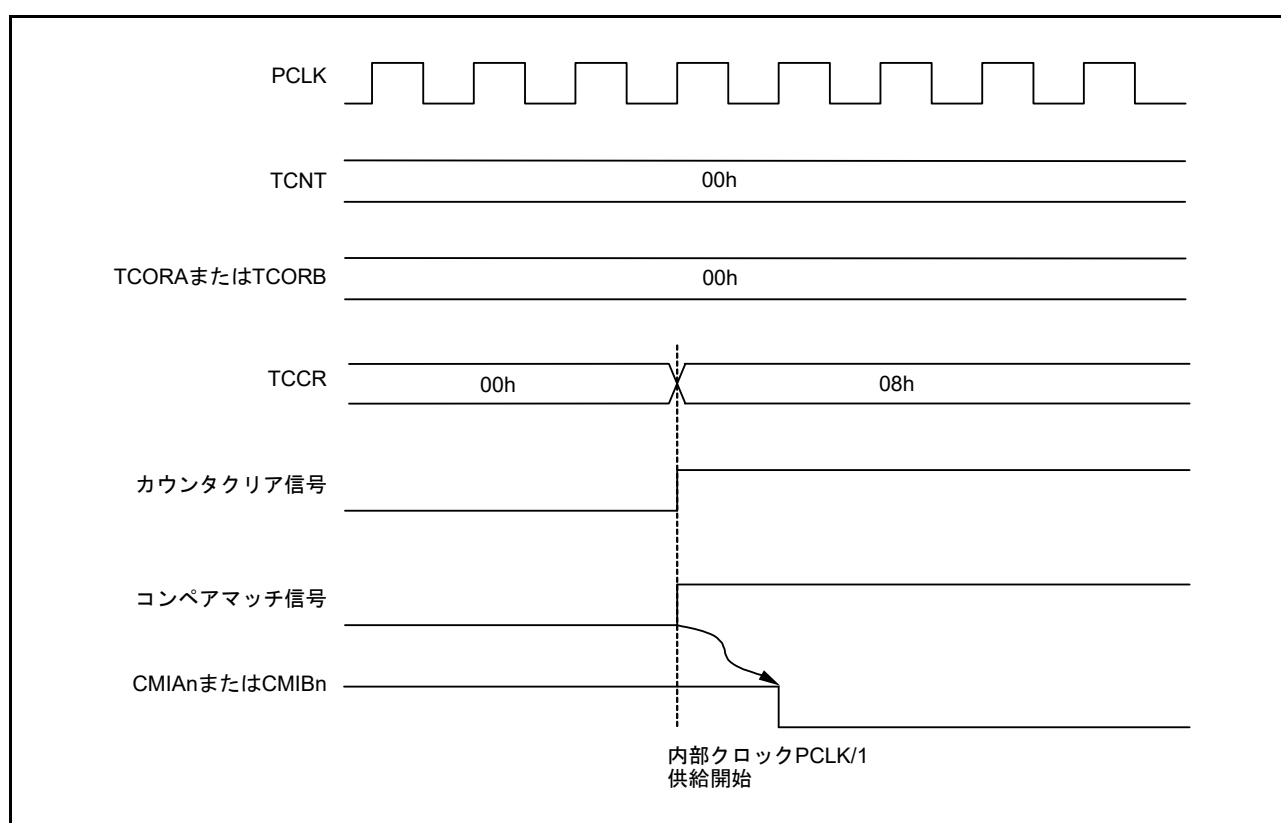


図 28.16 コンペアマッチ割り込みの連続出力 (n = 0 ~ 3)

29. コンペアマッチタイマ (CMT)

本 MCU は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を 2 ユニット (ユニット 0、ユニット 1)、合計 4 チャンネル内蔵しています。CMT は、16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載している PCLK とは PCLKB を指します。

29.1 概要

表 29.1 に CMT の仕様を示します。

図 29.1 に CMT (ユニット 0) のブロック図を示します。2 チャンネルの CMT で 1 ユニットの構成し、ユニット 0 とユニット 1 は同じ仕様です。ユニット 0 のコンペアマッチタイマスタートレジスタ 0 (CMSTR0)、コンペアマッチ割り込み (CMI0, CMI1) が、ユニット 1 ではコンペアマッチタイマスタートレジスタ 1 (CMSTR1)、コンペアマッチ割り込み (CMI2, CMI3) に対応します。

表 29.1 CMT の仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> 4種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中からチャンネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャンネルごとに要求することが可能
イベントリンク機能(出力)	CMT1のコンペアマッチによりイベント信号出力
イベントリンク機能(入力)	設定したモジュールに対してリンク動作が可能 CMT1のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

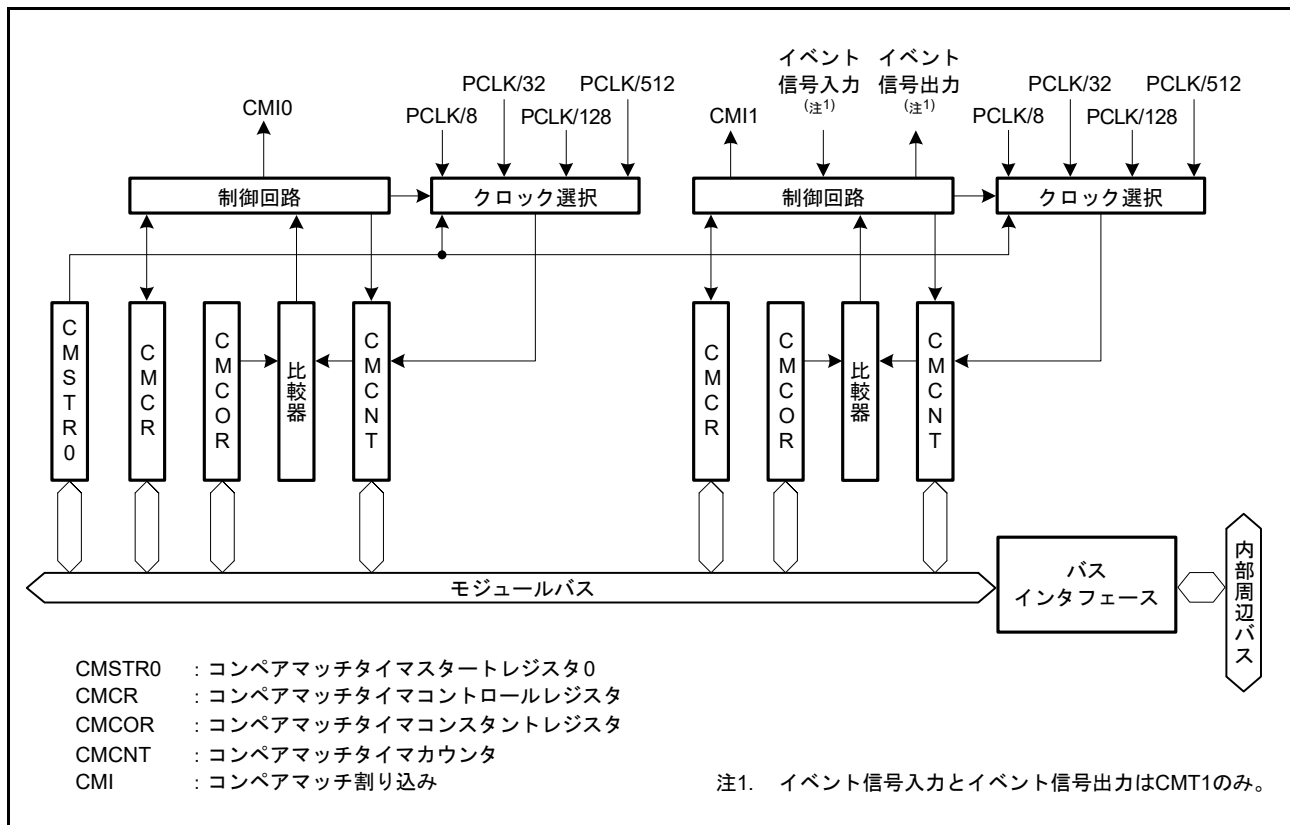


図 29.1 CMT (ユニット 0) のブロック図

29.2 レジスタの説明

29.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス CMT.CMSTR0 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウンタ動作停止 1 : CMT0.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウンタ動作停止 1 : CMT1.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

29.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス CMT.CMSTR1 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0 : CMT2.CMCNTカウンタのカウンタ動作停止 1 : CMT2.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR3	カウントスタート3ビット	0 : CMT3.CMCNTカウンタのカウンタ動作停止 1 : CMT3.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

29.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h, CMT2.CMCR 0008 8012h, CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み(CMIn)を禁止 1 : コンペアマッチ割り込み(CMIn)を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

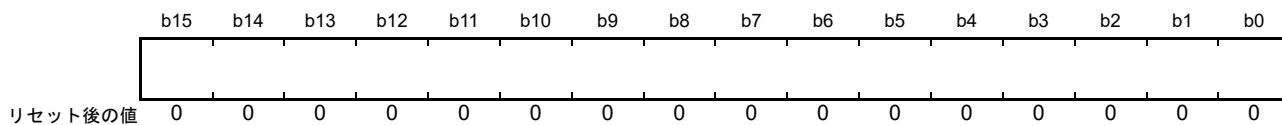
CMSTRm.STRn ビット (m = 0, 1, n = 0 ~ 3) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n = 0 ~ 3) の発生を許可するか禁止するかを選択します。

29.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah, CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah



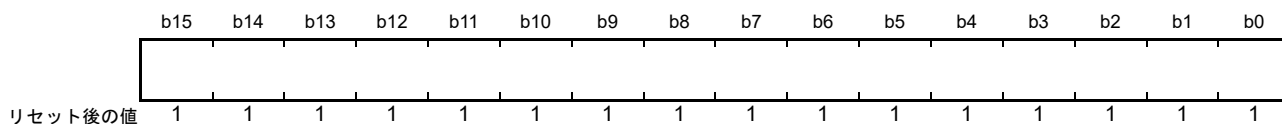
CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット (m = 0, 1, n = 0 ~ 3) を“1”にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMIn) (n = 0 ~ 3) が発生します。

29.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch, CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

29.3 動作説明

29.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット ($m=0, 1$, $n=0 \sim 3$) を“1”にすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、コンペアマッチ割り込み (CMIn) ($n=0 \sim 3$) が発生します。CMCNT カウンタは“0000h”からカウントアップを再開します。CMCNT カウンタの動作を図 29.2 に示します。

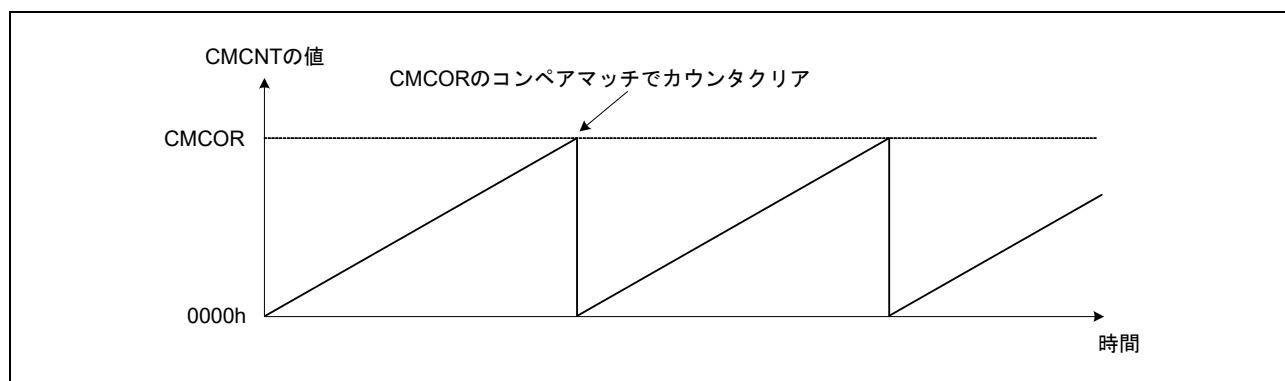


図 29.2 CMCNT カウンタの動作

29.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した 4 種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) から CMCNT カウンタに入力するカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 29.3 に示します。

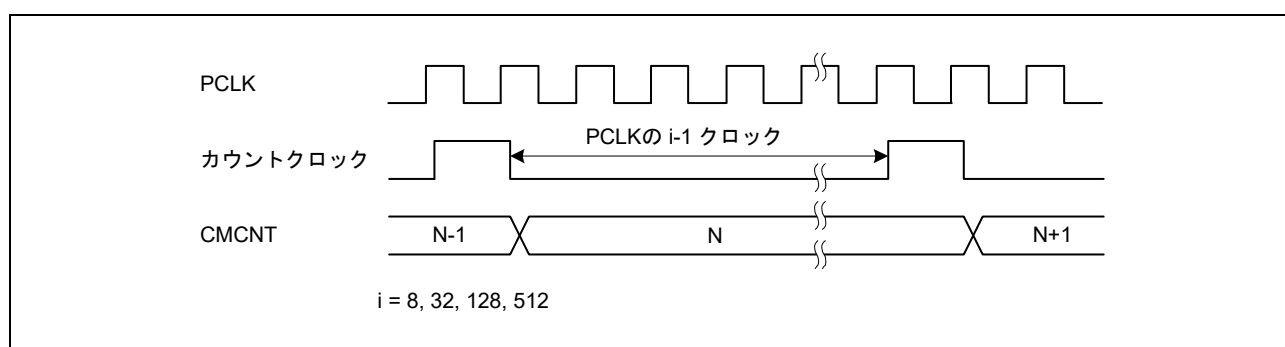


図 29.3 CMCNT カウンタのカウントタイミング

29.4 割り込み

29.4.1 割り込み要因

CMTは、チャンネルごとにコンペアマッチ割り込み(CMI_n)($n=0\sim 3$)があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求によりCPU割り込みを発生させる場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「15. 割り込みコントローラ(ICUE)」を参照してください。

表29.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
CMI0	CMT0のコンペアマッチ	可能	可能
CMI1	CMT1のコンペアマッチ	可能	可能
CMI2	CMT2のコンペアマッチ	可能	可能
CMI3	CMT3のコンペアマッチ	可能	可能

29.4.2 コンペアマッチ割り込みの発生タイミング

CMCNTカウンタの値とCMCORレジスタの値が一致したときに、コンペアマッチ割り込み(CMI_n)($n=0\sim 3$)が発生します。

コンペアマッチ信号は、一致した最後のステート(CMCNTカウンタが一致したカウント値を更新するタイミング)で発生します。したがって、CMCNTカウンタの値とCMCORレジスタの値とが一致した後、CMCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図29.4に示します。

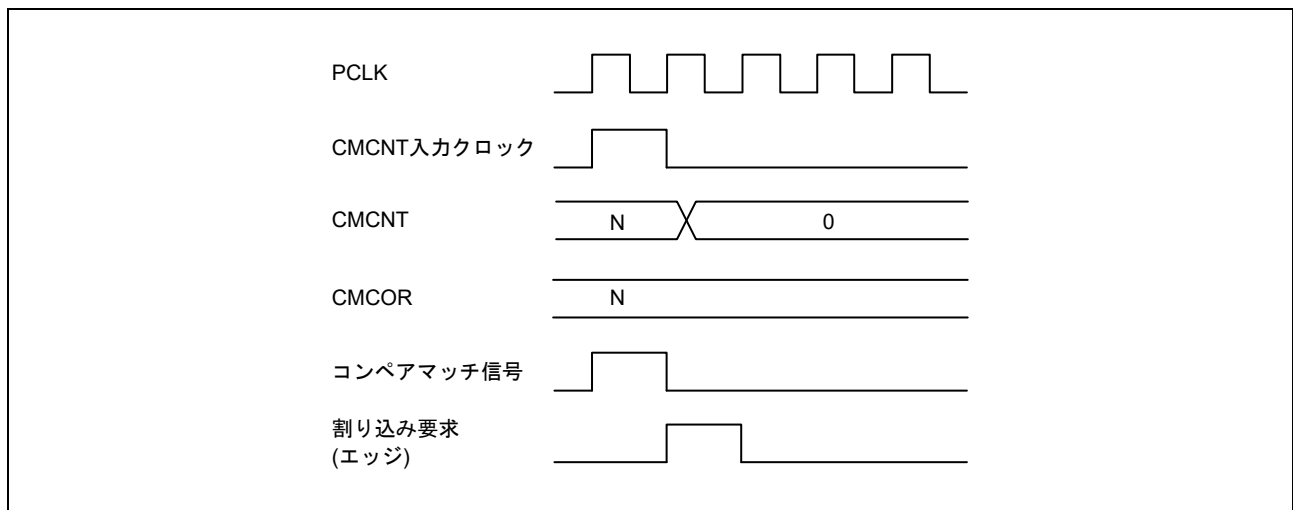


図 29.4 コンペアマッチ割り込みタイミング

29.5 ELC によるリンク動作

29.5.1 ELC へのイベント信号出力

CMT はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。CMT1 のコンペアマッチによりイベント信号を出力します。

イベント信号は該当する割り込み要求許可ビット (CMTn.CMCR.CMIE ビット) の設定に関係なく出力することができます。

29.5.2 ELC からのイベント信号受信による CMT の動作

CMT は ELC の ELSR7 レジスタにあらかじめ設定したイベントにより次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPC レジスタで CMT のカウントスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットが“1”になり、CMT のカウントがスタートします。

ただし、CMSTR0.STR1 ビットが“1”になった状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPC レジスタで CMT のイベントカウンタ動作を選択します。CMSTR0.STR1 ビットが“1”の状態、ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCR.CKS[1:0] ビットの設定に関係なくそのイベントをカウンタソースとして、イベントカウンタ動作を行います。カウンタ値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウンタリスタート動作

ELC の ELOPC レジスタで CMT のカウンタリスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタの値が初期値に書き換わります。CMSTR0.STR1 ビットが“1”の状態であればカウンタ動作を継続することができます。

29.5.3 ELC からのイベント信号受信による CMT の注意事項

以下に CMT をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

CMSTR0.STR1 ビットへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットへの書き込みは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ動作が優先されます。

(3) カウンタリスタート動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ値の初期化が優先されます。

29.6 使用上の注意事項

29.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作を禁止/許可することが可能です。リセット後、CMTはモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

29.6.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図29.5に示します。

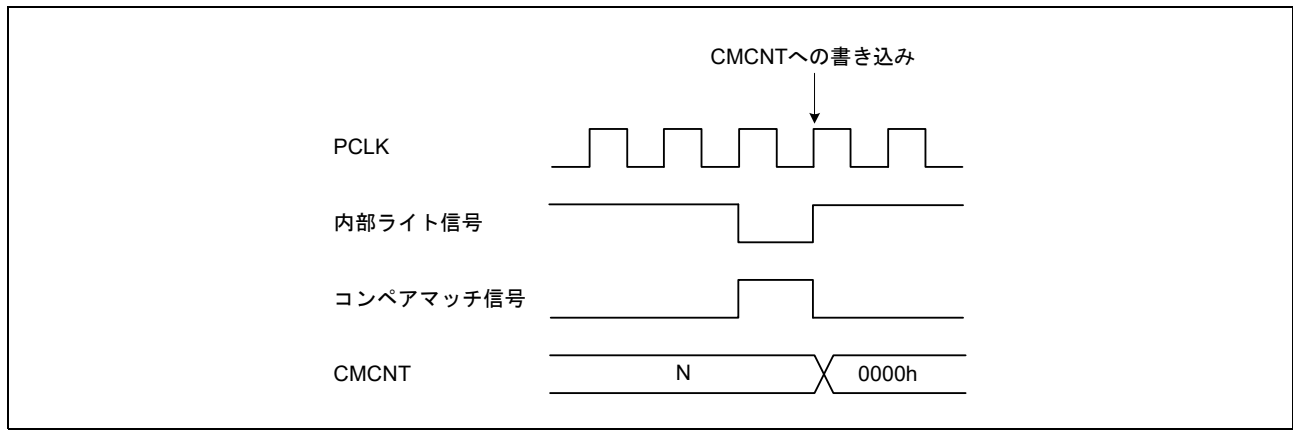


図 29.5 CMCNTカウンタへの書き込みとコンペアマッチの競合

29.6.3 CMCNTカウンタへの書き込みとカウントアップの競合

CMCNTカウンタへの書き込みと、カウントアップが競合した場合、CMCNTカウンタへの書き込みが優先されます。このタイミングを図29.6に示します。

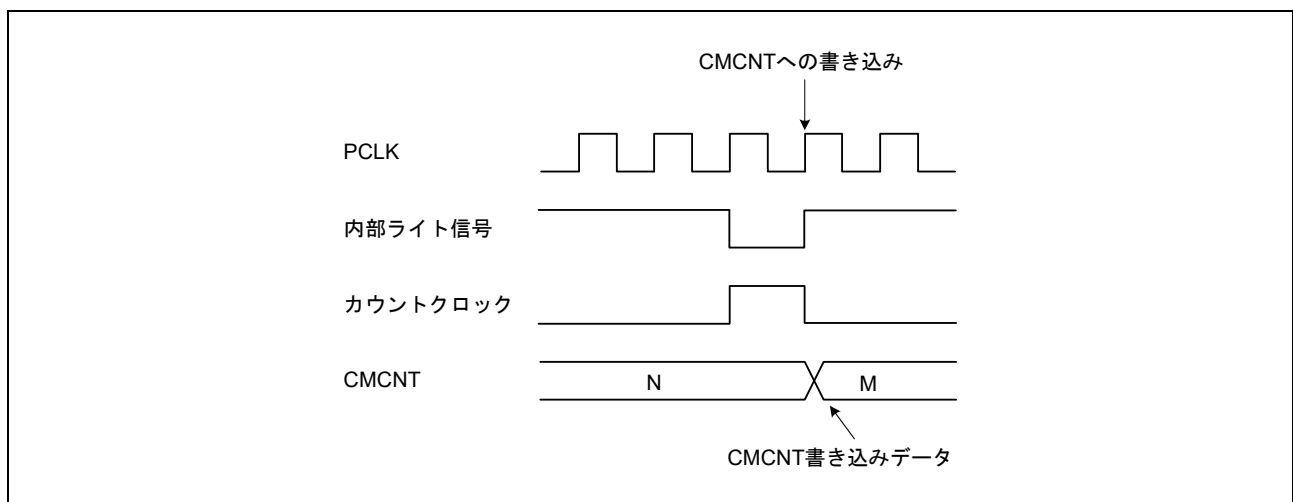


図 29.6 CMCNTカウンタへの書き込みとカウントアップの競合

30. コンペアマッチタイマ W (CMTW)

本 MCU は、1 チャンネルの 32 ビットタイマにより構成されるコンペアマッチタイマ W (CMTW) を 2 ユニット (ユニット 0、ユニット 1)、合計 2 チャンネル内蔵しています。CMTW は、32 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載している PCLK とは PCLKB を指します。

30.1 概要

表 30.1 に CMTW の仕様を示します。

図 30.1 に CMTW0 のブロック図を、図 30.2 に CMTW1 のブロック図を示します。

表 30.1 CMTW の仕様

項目	機能
チャンネル数	2チャンネル(ユニット0、ユニット1)
タイマカウンタ	16ビット/32ビット切り替え可能なアップカウンタ コンペアマッチ後に0000 0000hに戻る
プリスケアラ	4種類の分周クロックを出力 PCLK/8, PCLK/32, PCLK/128, PCLK/512の中から選択可能
インプットキャプチャ	最大2本のインプットキャプチャ入力が可能
アウトプットコンペア	最大2本のアウトプットコンペア出力が可能
コンペアマッチ	1本のコンペアマッチが可能(アウトプットコンペア出力端子なし)
割り込み	コンペアマッチ割り込み インプットキャプチャ0、インプットキャプチャ1割り込み アウトプットコンペア0、アウトプットコンペア1割り込み
イベントリンク機能(出力) (ユニット0)	コンペアマッチ
イベントリンク機能(入力) (ユニット0)	イベント受け付けにより、3種類のうち1つの動作が可能 <ul style="list-style-type: none"> ・ カウントスタート動作 ・ イベントカウント動作 ・ カウントリスタート動作
消費電力低減機能	ユニットごとにモジュールストップ状態への遷移が可能

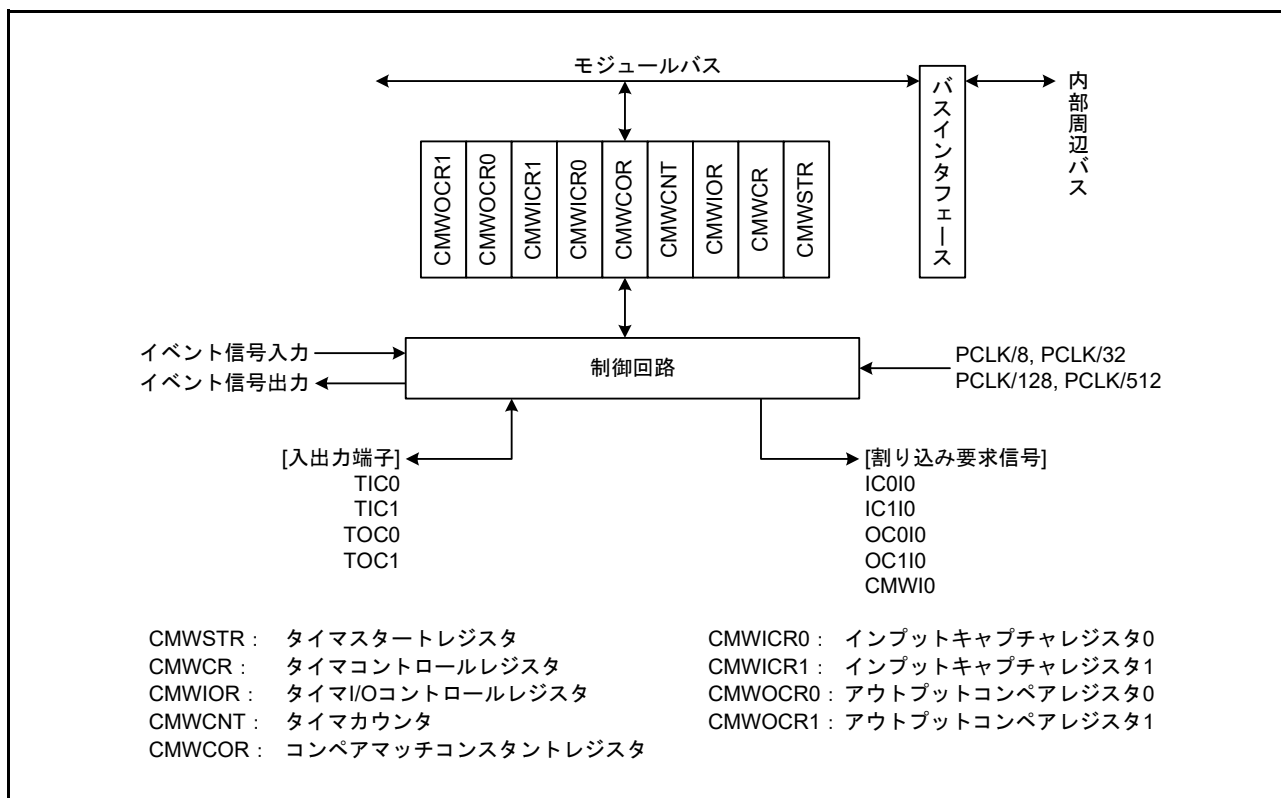


図 30.1 CMTW0 のブロック図

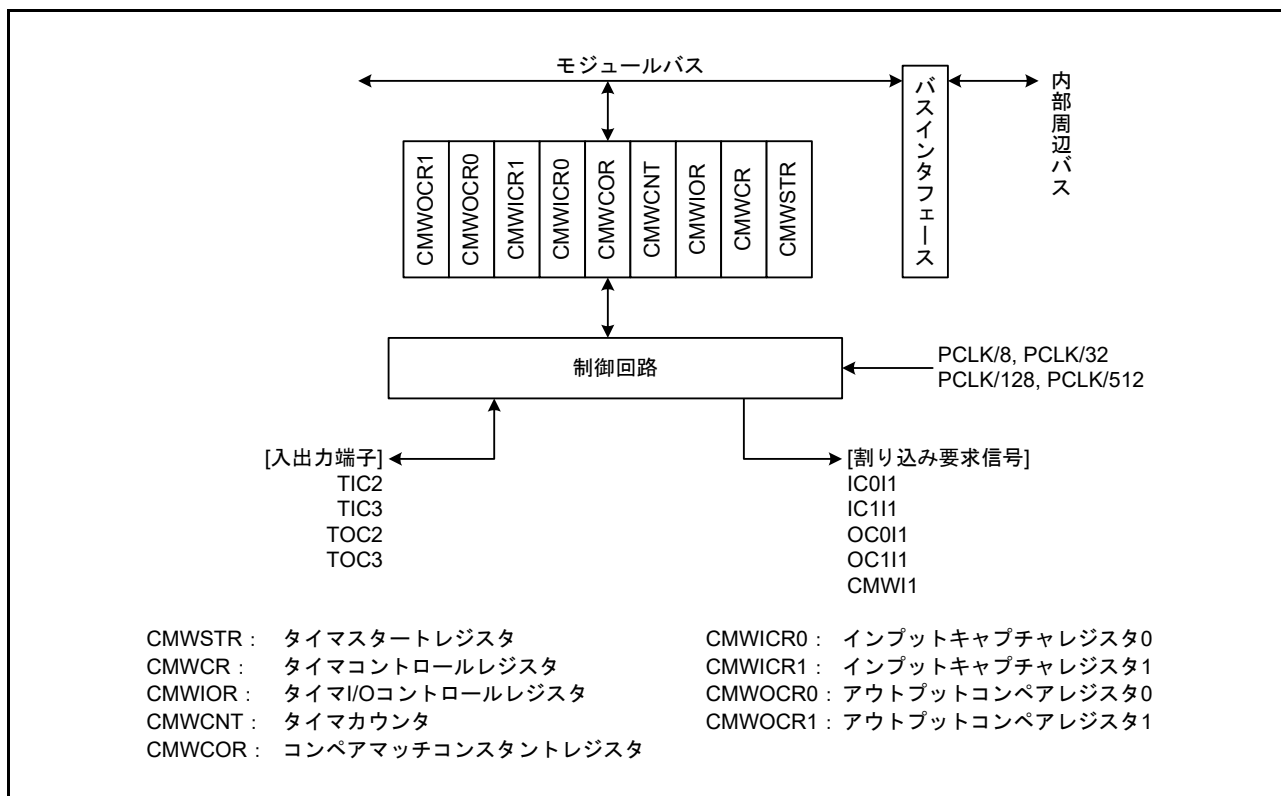


図 30.2 CMTW1 のブロック図

表 30.2 に CMTW の入出力端子を示します。

表 30.2 CMTWの入出力端子

ユニット	端子名	入出力	機能
CMTW0	TIC0	入力	CMTW0.CMWICR0 レジスタのインプットキャプチャ入力
	TIC1	入力	CMTW0.CMWICR1 レジスタのインプットキャプチャ入力
	TOC0	出力	CMTW0.CMWOCR0 レジスタのアウトプットコンペア出力
	TOC1	出力	CMTW0.CMWOCR1 レジスタのアウトプットコンペア出力
CMTW1	TIC2	入力	CMTW1.CMWICR0 レジスタのインプットキャプチャ入力
	TIC3	入力	CMTW1.CMWICR1 レジスタのインプットキャプチャ入力
	TOC2	出力	CMTW1.CMWOCR0 レジスタのアウトプットコンペア出力
	TOC3	出力	CMTW1.CMWOCR1 レジスタのアウトプットコンペア出力

30.2 レジスタの説明

30.2.1 タイマスタートレジスタ (CMWSTR)

アドレス CMTW0.CMWSTR 0009 4200h, CMTW1.CMWSTR 0009 4280h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR	カウントスタートビット	0 : CMWCNTカウンタはカウントを停止 (カウント動作停止直前の値を保持して、カウント動作を停止) 1 : CMWCNTカウンタはカウントを開始	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

STR ビット (カウントスタートビット)

タイマカウンタの動作 / 停止を選択します。STR ビットの設定に従って、対応するプリスケアラも連動して動作 / 停止します。

30.2.2 タイマコントロールレジスタ (CMWCR)

アドレス CMTW0.CMWCR 0009 4204h, CMTW1.CMWCR 0009 4284h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CCLR[2:0]		—	—	—	CMS	—	OC1IE	OC0IE	IC1IE	IC0IE	CMWIE	—	CKS[1:0]		
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	CMWIE	コンペアマッチ割り込み要求許可ビット	0 : 割り込み要求 (CMWI) を禁止 1 : 割り込み要求 (CMWI) を許可	R/W
b4	IC0IE	インプットキャプチャ0割り込み要求許可ビット	0 : 割り込み要求 (IC0I) を禁止 1 : 割り込み要求 (IC0I) を許可	R/W
b5	IC1IE	インプットキャプチャ1割り込み要求許可ビット	0 : 割り込み要求 (IC1I) を禁止 1 : 割り込み要求 (IC1I) を許可	R/W
b6	OC0IE	アウトプットコンペア0割り込み要求許可ビット	0 : 割り込み要求 (OC0I) を禁止 1 : 割り込み要求 (OC0I) を許可	R/W
b7	OC1IE	アウトプットコンペア1割り込み要求許可ビット	0 : 割り込み要求 (OC1I) を禁止 1 : 割り込み要求 (OC1I) を許可	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	CMS	タイマカウンタサイズビット	0 : 32ビット 1 : 16ビット	R/W
b12-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b13	CCLR[2:0]	カウンタクリアビット	b15 b13 0 0 0 : CMWCORレジスタのコンペアマッチでCMWCNTカウンタのクリア 0 0 1 : CMWCNTカウンタのクリア禁止 0 1 0 : CMWCNTカウンタのクリア禁止 0 1 1 : CMWCNTカウンタのクリア禁止 1 0 0 : CMWICR0レジスタのインプットキャプチャでCMWCNTカウンタのクリア 1 0 1 : CMWICR1レジスタのインプットキャプチャでCMWCNTカウンタのクリア 1 1 0 : CMWOCR0レジスタのコンペアマッチでCMWCNTカウンタのクリア 1 1 1 : CMWOCR1レジスタのコンペアマッチでCMWCNTカウンタのクリア	R/W

CMWCR レジスタの設定は、CMWCNT カウンタの動作が停止した状態で行ってください。

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周した 4 種類の内部クロックから CMWCNT カウンタに入力するクロックを選択します。CMWSTR.STR ビットを“1”に設定すると、CMWCR.CKS[1:0] ビットにより選択されたクロックでカウントを開始します。

CMWIE ビット (コンペアマッチ割り込み要求許可ビット)

CMWCNT カウンタと CMWCOR レジスタの値が一致したとき、コンペアマッチ割り込み要求 (CMWI) の発生を許可するか禁止するかを選択します。

IC0IE ビット (インプットキャプチャ 0 割り込み要求許可ビット)

CMWICR0 レジスタにインプットキャプチャが発生したとき、インプットキャプチャ 0 割り込み要求 (IC0I) の発生を許可するか禁止するかを選択します。

IC1IE ビット (インプットキャプチャ 1 割り込み要求許可ビット)

CMWICR1 レジスタにインプットキャプチャが発生したとき、インプットキャプチャ 1 割り込み要求 (IC1I) の発生を許可するか禁止するかを選択します。

OC0IE ビット (アウトプットコンペア 0 割り込み要求許可ビット)

CMWCNT カウンタと CMWOCR0 レジスタの値が一致したとき、アウトプットコンペア 0 割り込み要求 (OC0I) の発生を許可するか禁止するかを選択します。

OC1IE ビット (アウトプットコンペア 1 割り込み要求許可ビット)

CMWCNT カウンタと CMWOCR1 レジスタの値が一致したとき、アウトプットコンペア 1 割り込み要求 (OC1I) の発生を許可するか禁止するかを選択します。

CMS ビット (タイマカウンタサイズビット)

CMWCNT カウンタを 16 ビットカウンタとして使うか 32 ビットカウンタとして使うかを選択します。CMS ビットで設定したサイズが CMWCOR、CMWICR0、CMWICR1、CMWOCR0、CMWOCR1 レジスタで有効ビットサイズになります。

CCLR[2:0] ビット (カウンタクリアビット)

CMWCNT カウンタのカウンタクリア要因を選択します。

30.2.3 タイマ I/O コントロールレジスタ (CMWIOR)

アドレス CMTW0.CMWIOR 0009 4208h, CMTW1.CMWIOR 0009 4288h

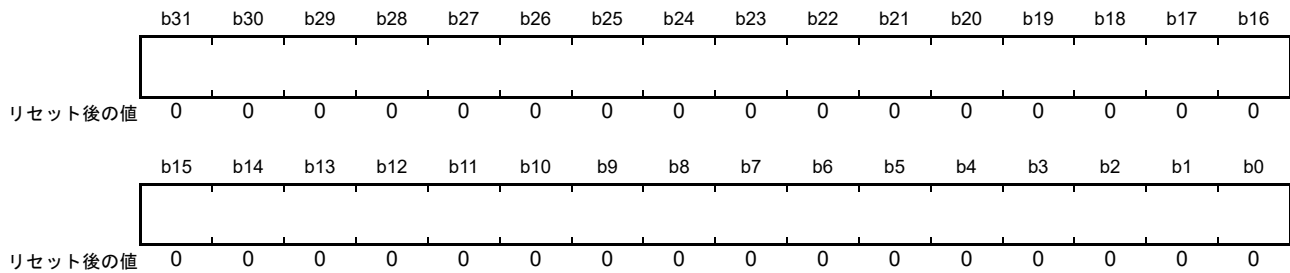
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMWE	—	OC1E	OC0E	OC1[1:0]	OC0[1:0]	—	—	IC1E	IC0E	IC1[1:0]	IC0[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IC0[1:0]	インプットキャプチャ0制御ビット	b1 b0 0 0 : 立ち上がりエッジでインプットキャプチャ 0 1 : 立ち下がりエッジでインプットキャプチャ 1 0 : 両エッジでインプットキャプチャ 1 1 : 設定しないでください	R/W
b3-b2	IC1[1:0]	インプットキャプチャ1制御ビット	b3 b2 0 0 : 立ち上がりエッジでインプットキャプチャ 0 1 : 立ち下がりエッジでインプットキャプチャ 1 0 : 両エッジでインプットキャプチャ 1 1 : 設定しないでください	R/W
b4	IC0E	インプットキャプチャ0許可ビット	0 : インプットキャプチャ0動作を禁止 1 : インプットキャプチャ0動作を許可	R/W
b5	IC1E	インプットキャプチャ1許可ビット	0 : インプットキャプチャ1動作を禁止 1 : インプットキャプチャ1動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	OC0[1:0]	アウトプットコンペア0制御ビット	b9 b8 0 0 : 出力保持(注1) 0 1 : 初期出力はLow出力 コンペアマッチでトグル出力 1 0 : 初期出力はHigh出力 コンペアマッチでトグル出力 1 1 : 設定しないでください	R/W
b11-b10	OC1[1:0]	アウトプットコンペア1制御ビット	b11 b10 0 0 : 出力保持(注1) 0 1 : 初期出力はLow出力 コンペアマッチでトグル出力 1 0 : 初期出力はHigh出力 コンペアマッチでトグル出力 1 1 : 設定しないでください	R/W
b12	OC0E	アウトプットコンペア0許可ビット	0 : アウトプットコンペア0動作を禁止 1 : アウトプットコンペア0動作を許可	R/W
b13	OC1E	アウトプットコンペア1許可ビット	0 : アウトプットコンペア1動作を禁止 1 : アウトプットコンペア1動作を許可	R/W
b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	CMWE	コンペアマッチ許可ビット	0 : コンペア動作を禁止 1 : コンペア動作を許可	R/W

注1. リセット後、CMWIORレジスタを設定するまではLowが出力されます。

30.2.4 タイマカウンタ (CMWCNT)

アドレス CMTW0.CMWCNT 0009 4210h, CMTW1.CMWCNT 0009 4290h



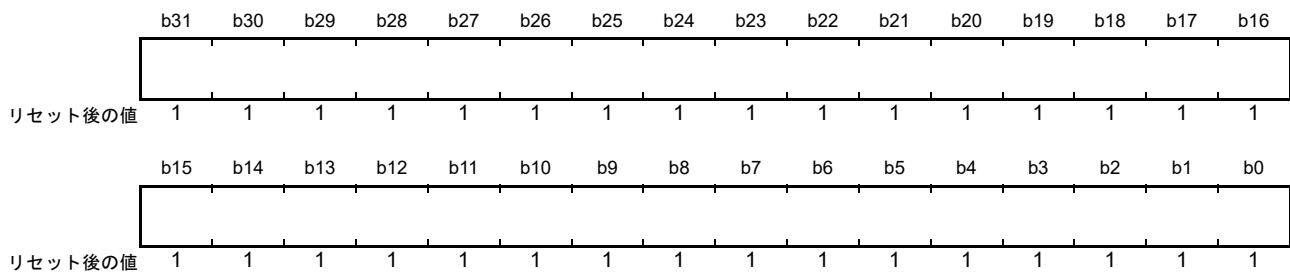
CMWCNT カウンタは、書き込み / 読み出し可能なアップカウンタです。

カウント動作を開始する前に、CMWCR レジスタの設定を完了してください。CMWCR.CMS ビットで 16 ビットカウントに設定した場合、CMWCNT カウンタの b15 ~ b0 が有効となります。書き込む際には、上位 16 ビットを“0000h”にして 32 ビットで書き込みを行ってください。CMWCNT カウンタはロングワードアクセスのみ可能です。

なお、CMWSTR.STR ビットを“1”にした場合は、CMWCNT カウンタはカウント動作を開始し、CMWSTR.STR ビットを“0”にした場合は、CMWCNT カウンタはカウント動作停止直前の値を保持して停止します。

30.2.5 コンペアマッチコンスタントレジスタ (CMWCOR)

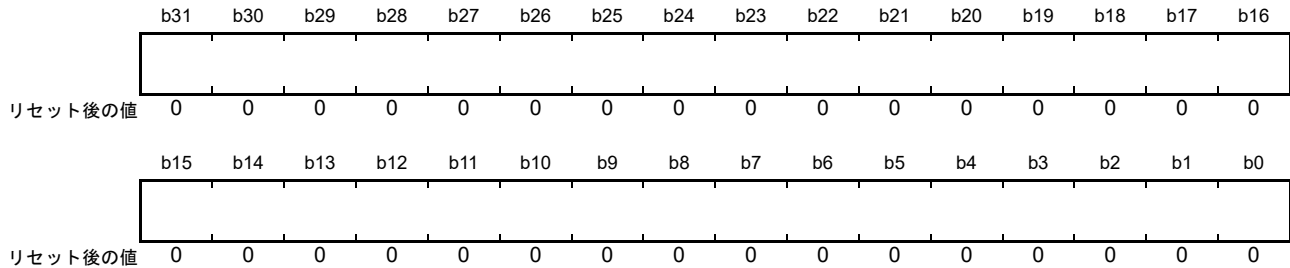
アドレス CMTW0.CMWCOR 0009 4214h, CMTW1.CMWCOR 0009 4294h



CMWCOR レジスタは書き込み / 読み出し可能なレジスタで、CMWCNT カウンタとコンペアマッチするまでの期間を設定します。CMWCR.CMS ビットで 16 ビットカウントに設定した場合、CMWCOR レジスタの b15 ~ b0 が有効となります。書き込む際には、上位 16 ビットを“0000h”にして 32 ビットで書き込みを行ってください。CMWCOR レジスタはロングワードアクセスのみ可能です。オーバフロー検出は、CMWCOR レジスタを“FFFF FFFFh” (32 ビットカウント動作) または“0000 FFFFh” (16 ビットカウント動作) に設定し、CMWCNT カウンタが“0”になったときにコンペアマッチ割り込み要求 (CMWI) をオーバフロー検出信号として使用できます。

30.2.6 インプットキャプチャレジスタ n (CMWICRn) (n = 0, 1)

アドレス CMTW0.CMWICR0 0009 4218h, CMTW0.CMWICR1 0009 421Ch,
CMTW1.CMWICR0 0009 4298h, CMTW1.CMWICR1 0009 429Ch

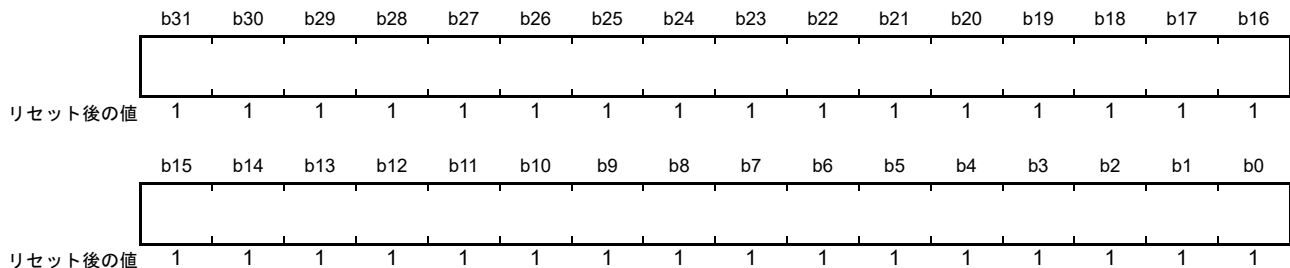


CMWICRn レジスタは、インプットキャプチャ時の CMWCNT カウンタの値を格納する読み出し専用のレジスタです。

CMWCR.CMS ビットで 16 ビットカウンタに設定した場合、CMWICRn レジスタの b15 ~ b0 が有効となります。CMWICRn レジスタへの書き込みは無効です。CMWICRn レジスタはロングワードアクセスのみ可能です。

30.2.7 アウトプットコンペアレジスタ n (CMWOCRn) (n = 0, 1)

アドレス CMTW0.CMWOCR0 0009 4220h, CMTW0.CMWOCR1 0009 4224h,
CMTW1.CMWOCR0 0009 42A0h, CMTW1.CMWOCR1 0009 42A4h



CMWOCRn レジスタは、アウトプットコンペア時のコンペア値を設定する書き込み / 読み出し可能なレジスタです。

CMWCR.CMS ビットで 16 ビットカウンタに設定した場合、CMWOCRn レジスタの b15 ~ b0 が有効となります。書き込む際には、上位 16 ビットを“0000h”にして 32 ビットで書き込みを行ってください。CMWOCRn レジスタはロングワードアクセスのみ可能です。CMWOCR0 レジスタ、CMWOCR1 レジスタの初期値は、“FFFF FFFFh”です。

30.3 動作説明

CMTWはCMWCRレジスタの設定後にCMWSTR.STRビットを“1”にすることによって、カウント動作を開始します。CMWSTR.STRビットを“0”にすることによって、CMWCNTカウンタはカウント動作停止直前の値を保持して、カウント動作を停止します。また、CMWIORレジスタを設定することにより、コンペアマッチ機能、インプットキャプチャ入力機能、およびアウトプットコンペア出力機能を使用することが可能です。

30.3.1 周期カウント動作

CMWCR.CKS[1:0]ビットでカウンタクロックを選択し、CMWSTR.STRビットを“1”にすると、選択したクロックによってCMWCNTカウンタはカウント動作を開始します。CMWCR.CCLR[2:0]ビットでカウンタクリアを選択した場合は、カウンタクリア要因が発生するとCMWCNTカウンタは“0000 0000h”になり、カウント動作を続けます。カウンタクリアを選択しない場合、32ビットカウント動作時は“FFFF FFFFh”→“0000 0000h”、16ビットカウント動作時は“0000 FFFFh”→“0000 0000h”でオーバフローが発生し、カウント動作を続けます。

30.3.2 コンペアマッチ機能

CMWCNTカウンタの値がCMWCORレジスタの値と一致すると、CMWCNTカウンタは“0000 0000h”になります。このとき、コンペアマッチ割り込み要求(CMWI)が発生します。CMWCNTカウンタは“0000 0000h”からカウント動作を再開します。

オーバフロー検出を行いたい場合は、CMWCORレジスタの値を“FFFF FFFFh”(32ビットカウント動作時)または、“0000 FFFFh”(16ビットカウント動作時)にしてください。CMWCNTカウンタの値がCMWCORレジスタの値と一致すると、CMWCNTカウンタは“0000 0000h”になります。このとき、コンペアマッチ割り込み要求(CMWI)が発生します。CMWCNTカウンタは“0000 0000h”からカウント動作を再開します。

コンペアマッチ動作の設定手順例を図30.3に示します。

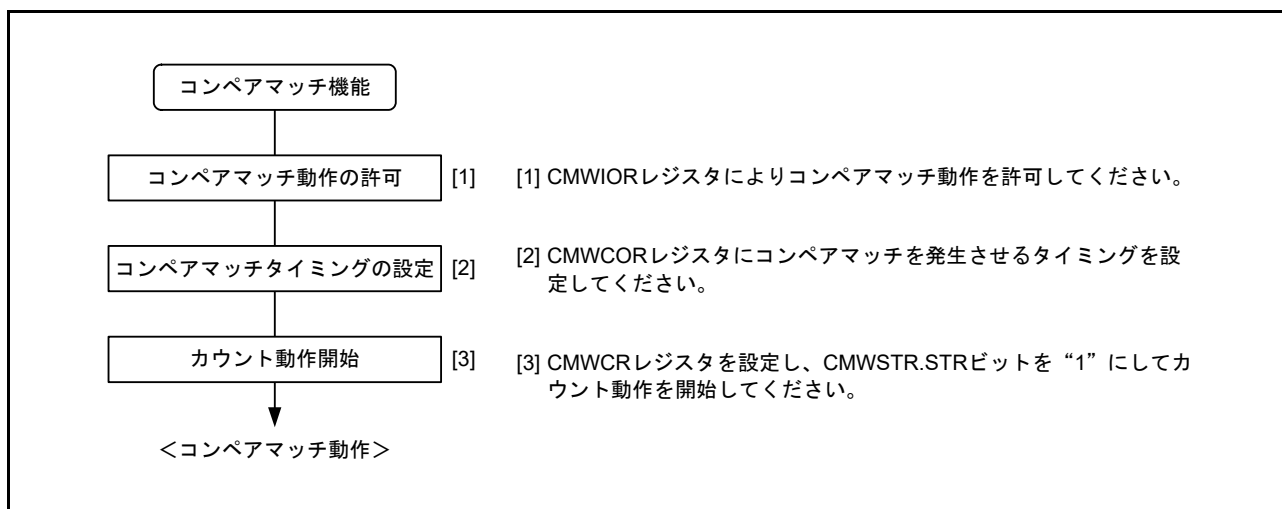


図 30.3 コンペアマッチ動作の設定手順例

CMWCORレジスタとのコンペアマッチをカウンタクリア要因とした場合の例を図30.4に示します。

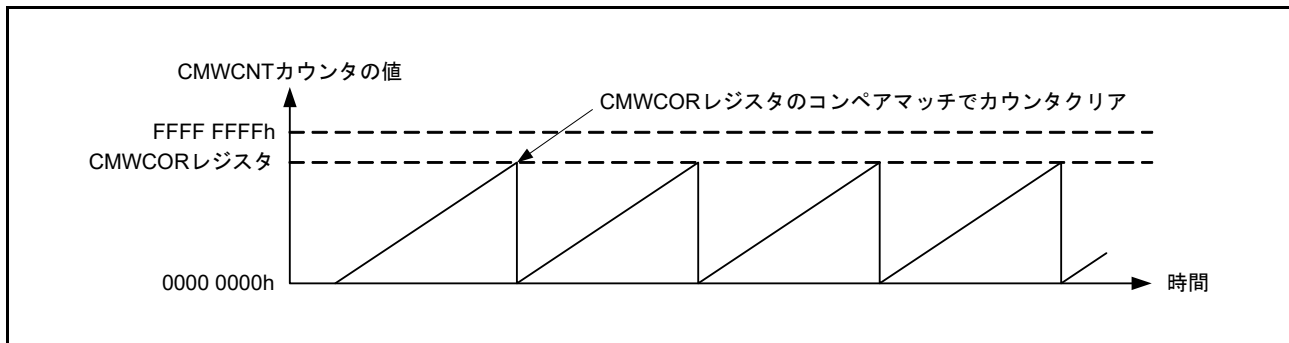


図 30.4 コンペアマッチ動作例

CMWCORレジスタ = FFFF FFFFh とし、オーバーフロー検出をした場合の例を図30.5に示します。

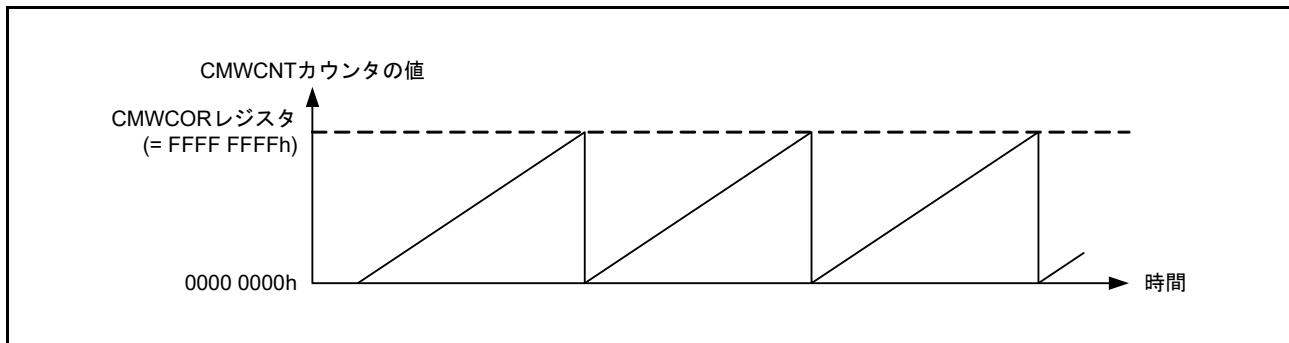


図 30.5 コンペアマッチ動作例 (オーバーフロー検出時)

30.3.3 アウトプットコンペア機能

アウトプットコンペアにより対応する出力端子からトグル波形出力を行うことができます。CMWCNT カウンタの値が CMWOCR0 レジスタまたは CMWOCR1 レジスタの値と一致すると、アウトプットコンペア割り込み要求 (OC0I または OC1I) が発生します。アウトプットコンペア動作の設定手順例を図 30.6 に示します。

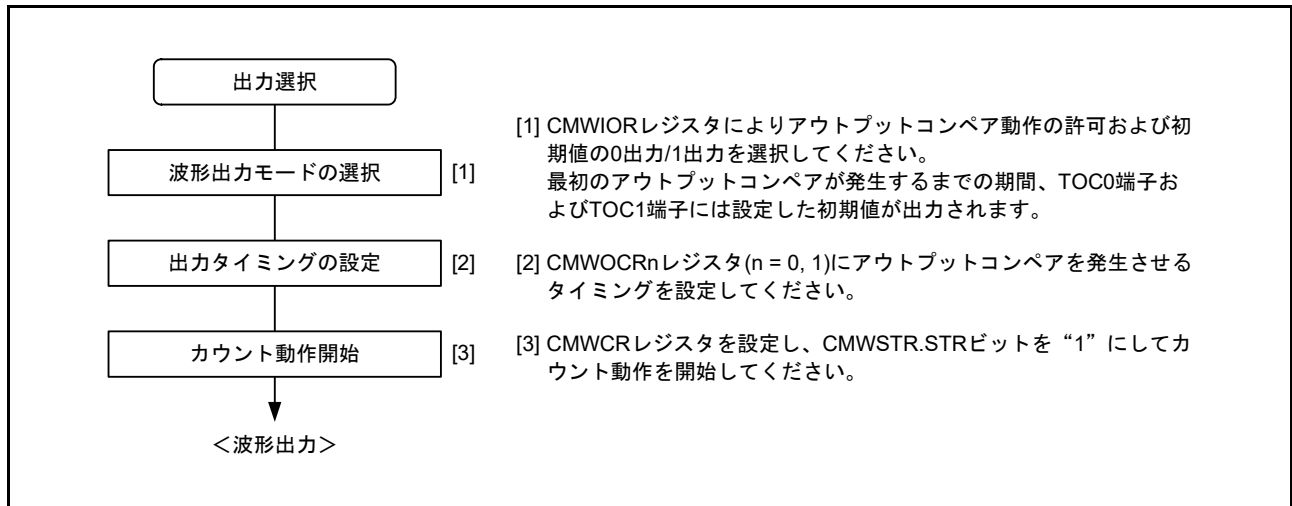


図 30.6 アウトプットコンペア動作の設定手順例

CMWOCR1 レジスタのコンペアマッチでカウンタがクリアされるように設定した場合の、TOC0 端子および TOC1 端子のトグル出力波形の例を図 30.7 に示します。

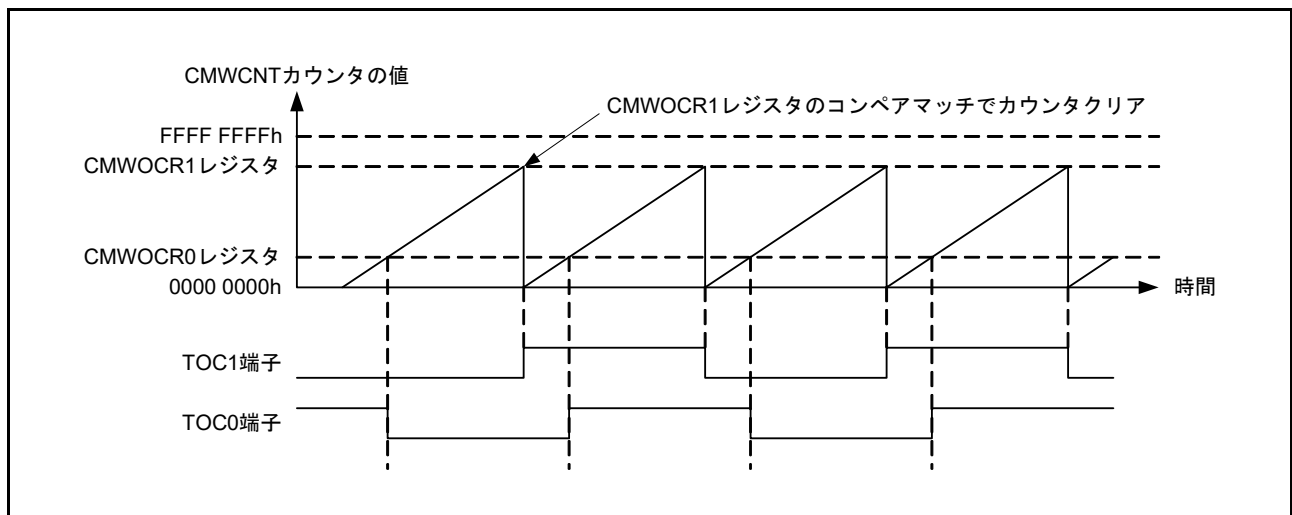


図 30.7 アウトプットコンペア動作例 (ユニット 0)

30.3.4 インพุットキャプチャ機能

TIC0 端子、TIC1 端子の入力エッジを検出して CMWCNT カウンタの値を CMWICR0 レジスタ、CMWICR1 レジスタにそれぞれ転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、インพุットキャプチャにより CMWCNT カウンタの値が CMWICR0 レジスタまたは CMWICR1 レジスタに転送されると、インพุットキャプチャ割り込み要求 (IC0I または IC1I) が発生します。インพุットキャプチャ動作の設定手順例を図 30.8 に示します。

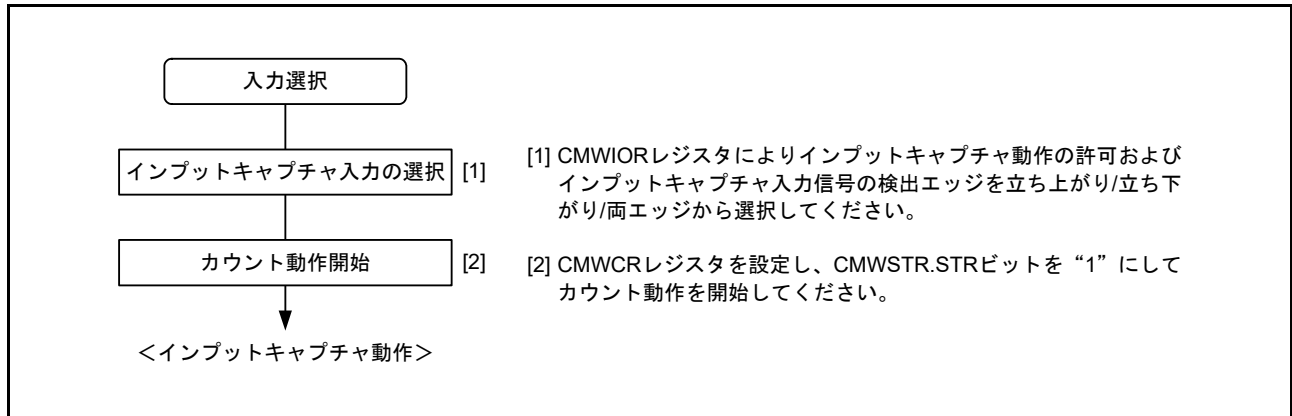


図 30.8 インพุットキャプチャ動作の設定手順例

TIC0 端子のインพุットキャプチャ検出エッジは両エッジ、TIC1 端子は立ち下がりエッジを選択し、CMWICR1 レジスタのインพุットキャプチャで CMWCNT カウンタがクリアされるように設定した場合の例を図 30.9 に示します。

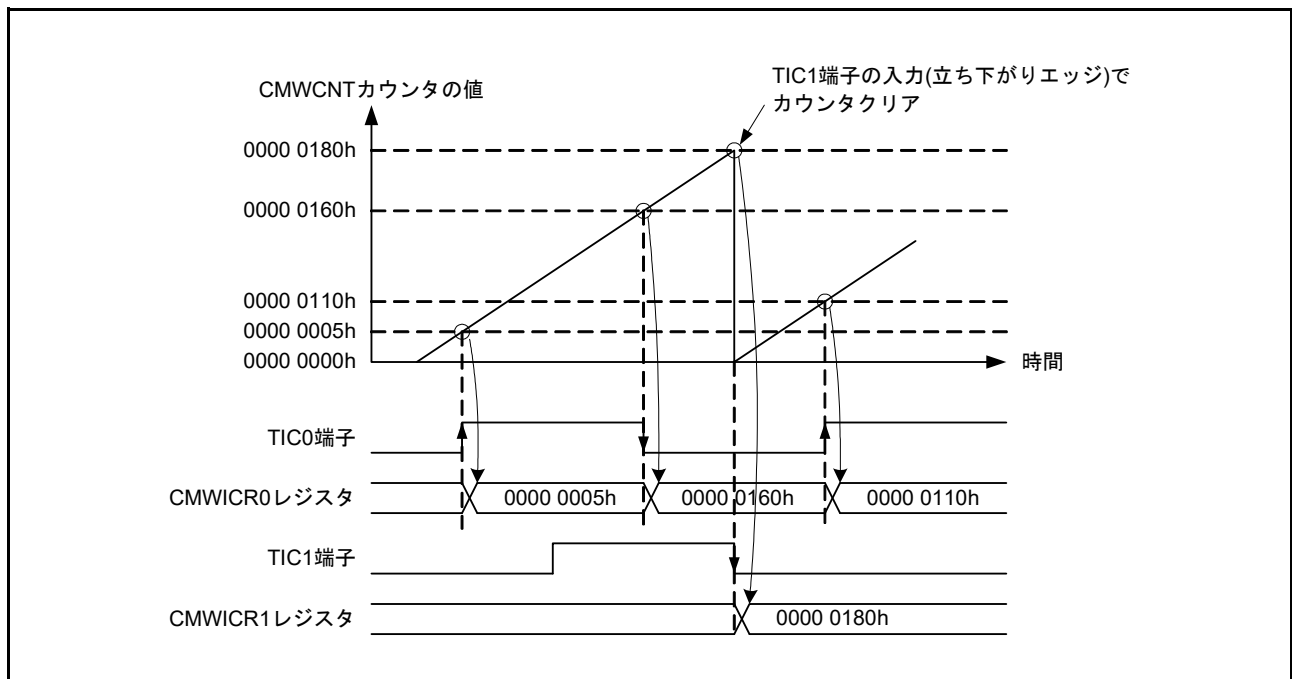


図 30.9 インพุットキャプチャ動作例 (ユニット 0)

30.3.5 カウンタサイズ

CMTW はカウンタサイズを 16 ビットまたは 32 ビットから選択可能です。カウンタサイズの選択は CMWCR.CMS ビットで行います。

16 ビットカウンタとして使う場合、CMWCOR レジスタの値は上位 16 ビットを “0000h” にして 32 ビットで設定してください。オーバーフロー検出を行うときは “0000 FFFFh” にします。CMWOCR0 レジスタ、CMWOCR1 レジスタの値は上位 16 ビットを “0000h” にして 32 ビットで設定してください。CMWICR0 レジスタ、CMWICR1 レジスタは 32 ビットで読み出してください。上位 16 ビットは “0000h” が読み出せます。

30.3.6 CMWCNT カウンタのカウンタタイミング

CMWCR.CKS[1:0] ビットにより、周辺モジュールクロック (PCLK) を分周して得られた 4 種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512) から CMWCNT カウンタに入力するカウンタクロックを選択できます。PCLK/8 選択時の CMWCNT カウンタのカウンタタイミングを図 30.10 に示します。

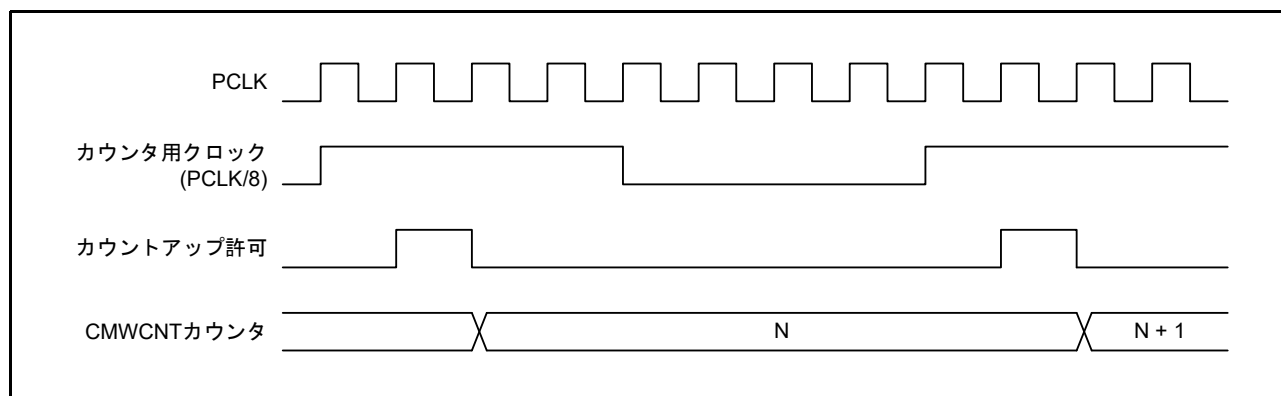


図 30.10 CMWCNT カウンタのカウンタタイミング (PCLK/8 のとき)

30.3.7 アウトプットコンペア出力タイミング

CMWOCRn レジスタ ($n=0, 1$) と CMWCNT カウンタが一致した最後のステート (CMWCNT カウンタの値が更新されるタイミング) でコンペアマッチ信号が発生します。CMWOCRn レジスタと CMWCNT カウンタが一致した後、CMWCNT カウンタのカウンタアップ許可信号が入力されるとコンペアマッチ信号が発生します。コンペアマッチ信号が発生したとき、アウトプットコンペア出力端子 (TOC 端子) の出力がトグルします。アウトプットコンペア出力タイミングを図 30.11 に示します。

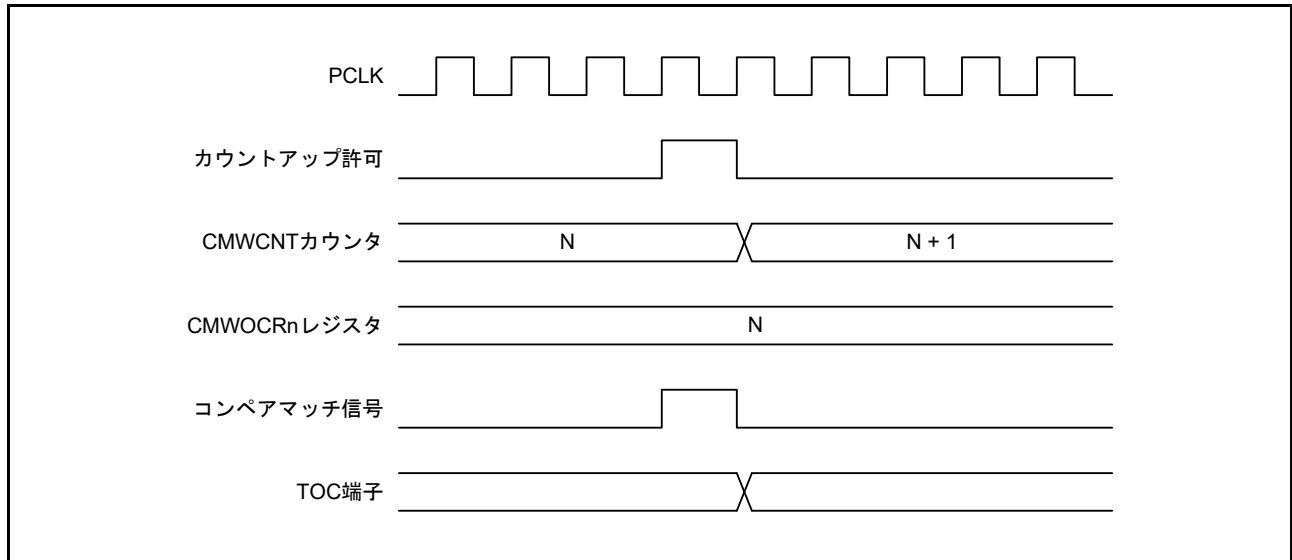


図 30.11 アウトプットコンペア出力タイミング

30.3.8 インプットキャプチャタイミング

両エッジでインプットキャプチャ動作したときのタイミングを図 30.12 に示します。

TIC0 端子、TIC1 端子のエッジ検出により、CMWCNT カウンタの値を CMWICR0 レジスタ、CMWICR1 レジスタにそれぞれ転送することができます。

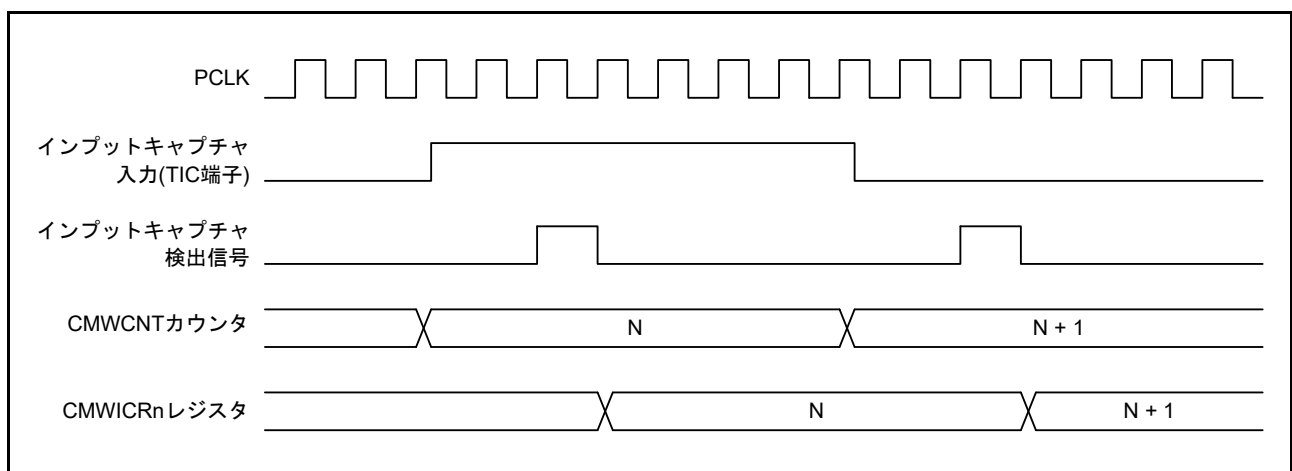


図 30.12 インプットキャプチャタイミング (ユニット 0、両エッジ検出) ($n=0, 1$)

30.4 割り込み

30.4.1 CMTWの割り込み要因とDMAC/DTC

CMTWはインプットキャプチャ割り込み要求(IC0I, IC1I)、アウトプットコンペア割り込み要求(OC0I, OC1I)と、コンペアマッチ割り込み要求(CMWI)の5種類の割り込み要因を持っています。

表30.3に各割り込み要因を示します。各割り込み要因は、CMWCR.IC0IE、IC1IE、OC0IE、OC1IE、CMWIEビットで許可または禁止ができます。各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

また、各割り込み要求で、DMACまたはDTCを起動することができます。DMACによるデータ転送時は、CPUへの割り込み要求は発生しません。DTCによるデータ転送時のCPUへの割り込み要求の発生については、「20. データトランスファコントローラ(DTCb)」を参照してください。

表30.3 CMTWの割り込み要因

ユニット	名称	割り込み要因	割り込み要求許可ビット	DMAC/DTCの起動
CMTW0	CMWI0	CMTW0.CMWCR レジスタのコンペアマッチ	CMTW0.CMWCR.CMWIE	可能
	IC0I0	CMTW0.CMWICR0 レジスタのインプットキャプチャ	CMTW0.CMWCR.IC0IE	可能
	IC1I0	CMTW0.CMWICR1 レジスタのインプットキャプチャ	CMTW0.CMWCR.IC1IE	可能
	OC0I0	CMTW0.CMWOCR0 レジスタのアウトプットコンペア	CMTW0.CMWCR.OC0IE	可能
	OC1I0	CMTW0.CMWOCR1 レジスタのアウトプットコンペア	CMTW0.CMWCR.OC1IE	可能
CMTW1	CMWI1	CMTW1.CMWCR レジスタのコンペアマッチ	CMTW1.CMWCR.CMWIE	可能
	IC0I1	CMTW1.CMWICR0 レジスタのインプットキャプチャ	CMTW1.CMWCR.IC0IE	可能
	IC1I1	CMTW1.CMWICR1 レジスタのインプットキャプチャ	CMTW1.CMWCR.IC1IE	可能
	OC0I1	CMTW1.CMWOCR0 レジスタのアウトプットコンペア	CMTW1.CMWCR.OC0IE	可能
	OC1I1	CMTW1.CMWOCR1 レジスタのアウトプットコンペア	CMTW1.CMWCR.OC1IE	可能

30.4.2 コンペアマッチ割り込みの発生タイミング

CMWCNT カウンタと CMWCOR レジスタの値が一致したときに、コンペアマッチ割り込み要求 (CMWI) が発生します。コンペアマッチ信号は、一致した最後のステート (CMWCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMWCNT カウンタの値と CMWCOR レジスタの値とが一致した後、カウントアップ許可信号が発生するまでコンペアマッチ信号は発生しません。図 30.13 にコンペアマッチ割り込みの発生タイミングを示します。

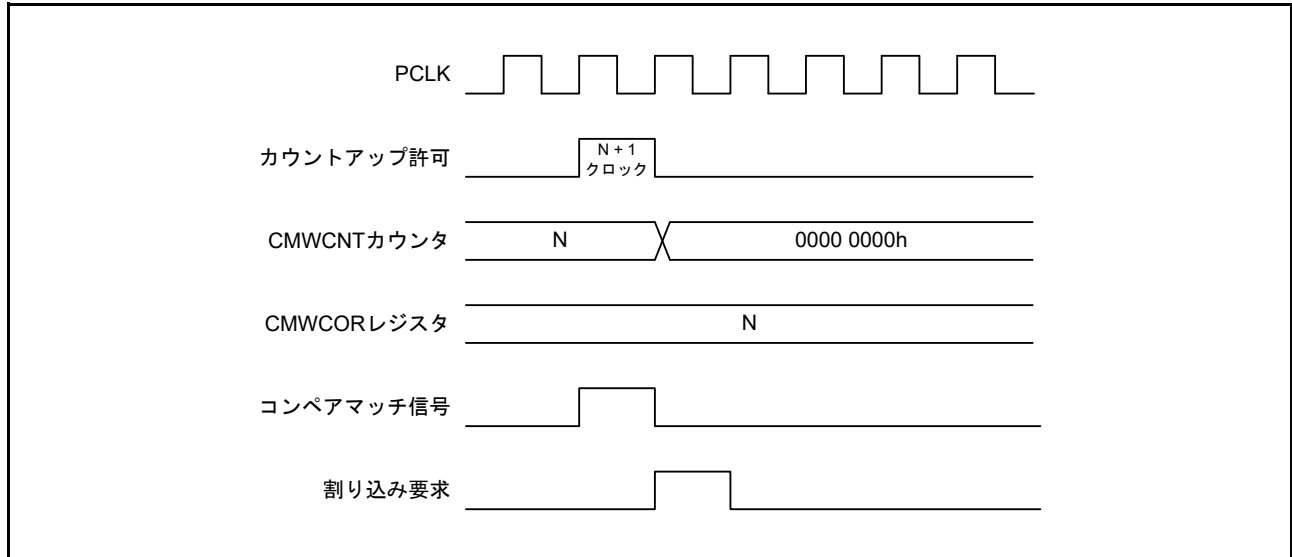


図 30.13 コンペアマッチ割り込みの発生タイミング

(a) アウトプットコンペア割り込みの発生タイミング

図 30.14 にアウトプットコンペア割り込みの発生タイミングを示します。

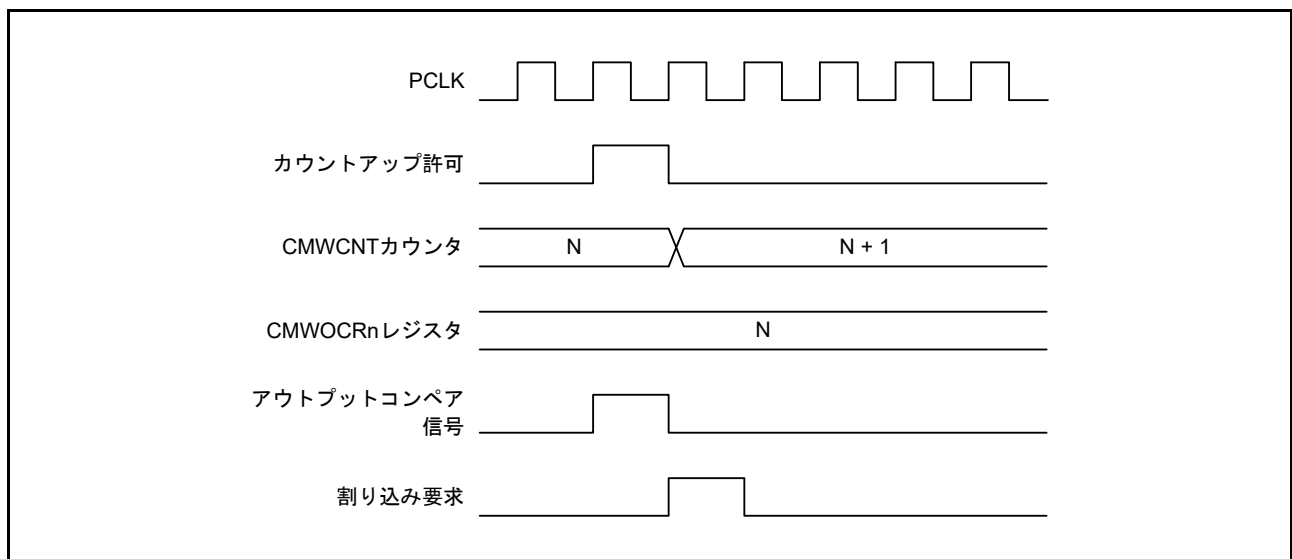


図 30.14 アウトプットコンペア割り込みの発生タイミング ($n = 0, 1$)

(b) インพุットキャプチャ割り込みの発生タイミング

図 30.15 にインพุットキャプチャ割り込みの発生タイミングを示します。

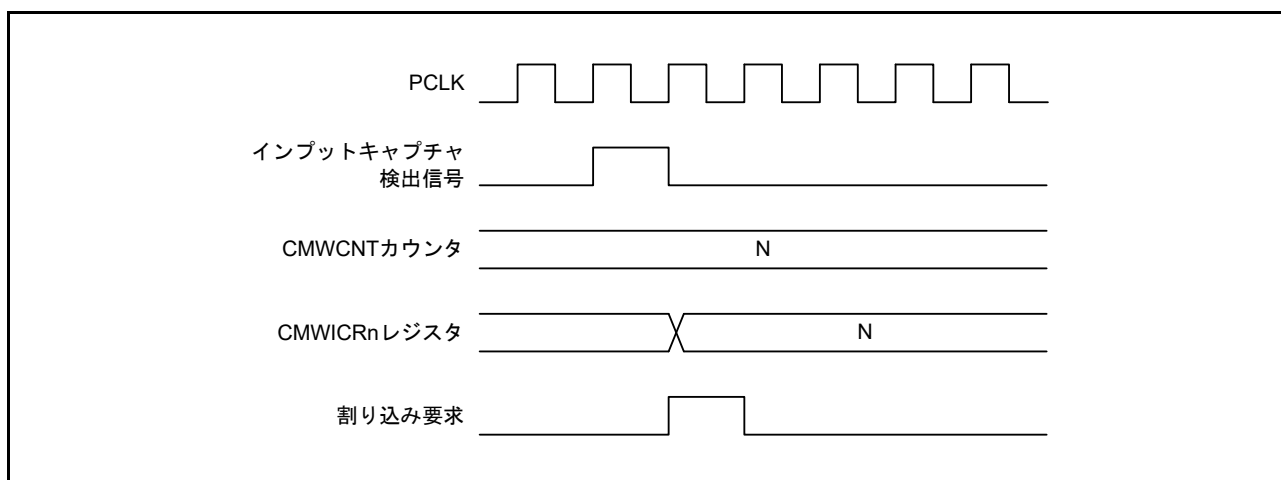


図 30.15 インพุットキャプチャ割り込みの発生タイミング (n = 0, 1)

30.5 ELC によるリンク動作

30.5.1 ELC へのイベント信号出力

CMTW はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

CMTW はコンペアマッチのイベント信号を出力します。対応するチャンネルはチャンネル0です。イベント信号は該当する割り込み要求許可ビット (CMWCR.CMWIE ビット) の設定に関係なく出力することができます。

詳細は、「21. イベントリンクコントローラ (ELC)」を参照してください。

(1) コンペアマッチイベント

CMTW はコンペアマッチが発生すると割り込みを要求しますが、同時に ELC へコンペアマッチイベントを発行します。このイベントは、対応する割り込みの割り込み要求許可ビット (CMWCR.CMWIE ビット) の設定に関係なく発行されます。

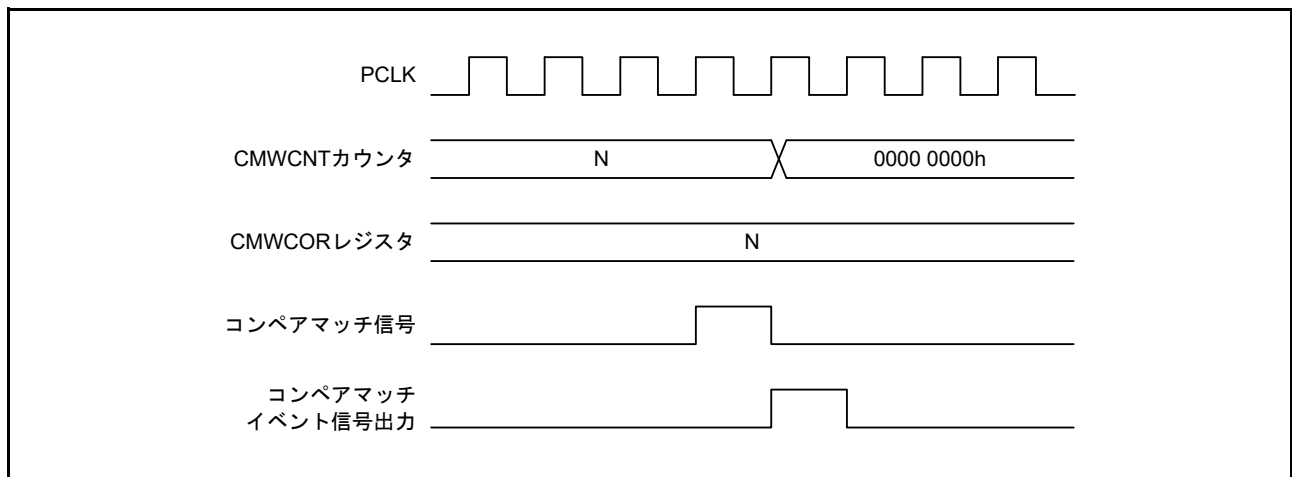


図 30.16 コンペアマッチイベント発行タイミング

30.5.2 ELCからのイベント信号受信によるCMTWの動作

CMTWは、ELCのELSR_nレジスタにあらかじめ設定したイベントにより、次の動作が可能です。

(1) カウントスタート動作

ELCのELOPHレジスタでCMTWのカウントスタート動作を選択します。

ELSR_nレジスタで指定したイベントが発生すると、CMWSTR.STRビットが“1”になり、CMTWのカウントがスタートします。

CMWSTR.STRビットが“1”になった状態で指定したイベントが発生した場合、そのイベントは無効となります。

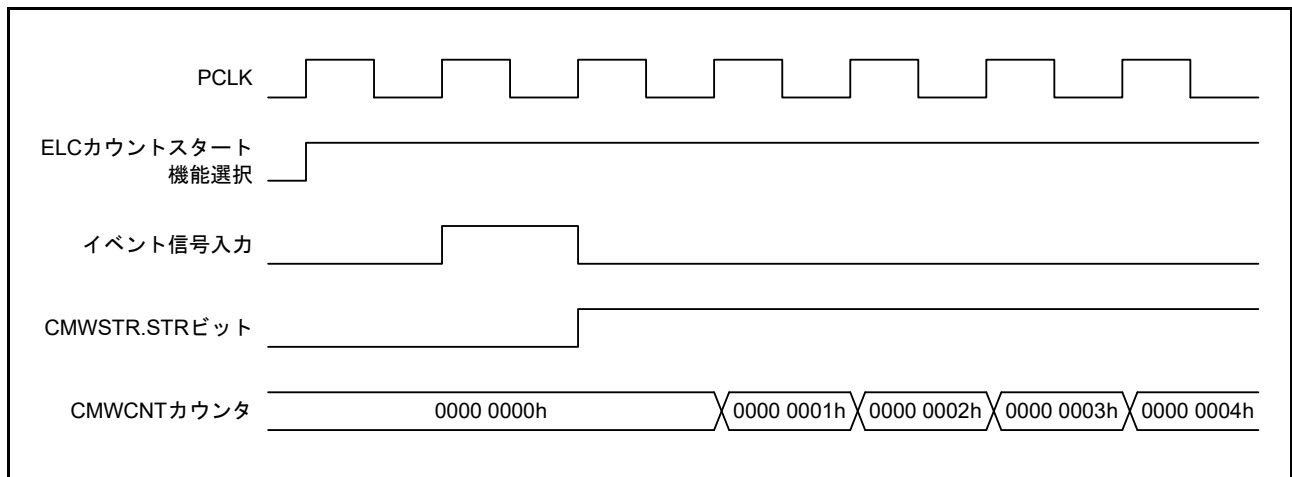


図 30.17 イベント受け付けによるカウントスタート動作

(2) イベントカウント動作

ELCのELOPHレジスタでCMTWのイベントカウント動作を選択します。

CMWSTR.STRビットが“1”のときに、ELSR_nレジスタで指定したイベントが発生すると、CMWCR.CKS[1:0]ビットの設定に関係なく、そのイベントをカウントソースとして、イベントカウント動作を行います。

カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

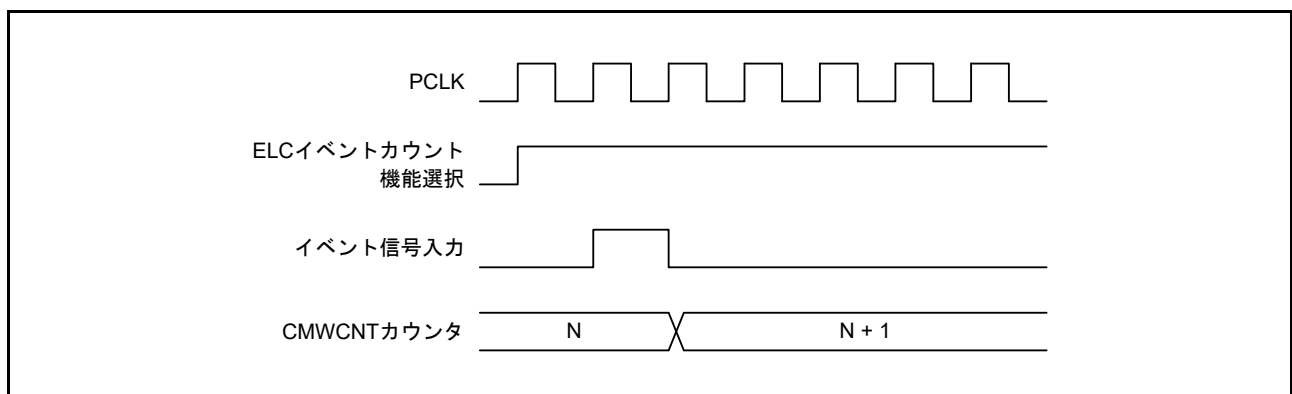


図 30.18 イベント受け付けによるイベントカウント動作

(3) カウントリスタート動作

ELCのELOPHレジスタでCMTWのカウントリスタート動作を選択します。ELSRnレジスタで指定したイベントが発生すると、CMWCNTカウンタの値が“0000 0000h”になります。CMWSTR.STRビットが“1”のときはカウント動作を継続することができます。

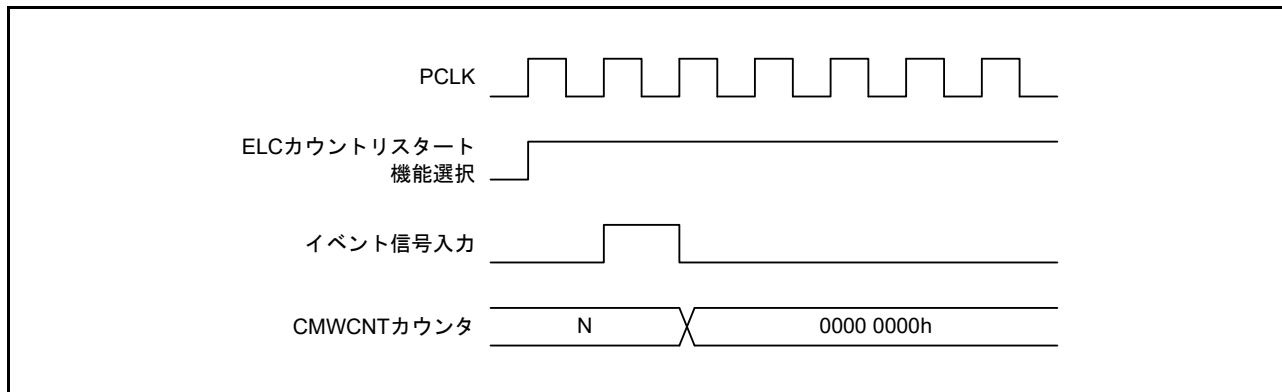


図 30.19 イベント受け付けによるカウントリスタート動作

30.5.3 イベントリンク動作とレジスタアクセスの競合

CMTW をイベントリンクによる動作で使用する際の注意事項を以下に示します。

表 30.4 にイベントリンク動作とレジスタアクセス競合時のカウント動作を示します。

表30.4 イベントリンク動作とレジスタアクセス競合時のカウント動作(n = 0, 1)

イベントリンク動作	レジスタアクセス	CMWCNTの状態	実行される動作
カウントスタート	CMWSTR.STRビットへの書き込み	停止状態	カウントスタート
		コンペアマッチ	カウントスタート
		カウントアップ	カウントスタート
イベントカウント	CMWCNTカウンタへの書き込み	—	イベントカウント
	CMWCORレジスタへの書き込み	コンペアマッチ	コンペアマッチ
カウントリスタート	CMWCNTカウンタへの書き込み	コンペアマッチ以外	カウントリスタート
	CMWCNTカウンタへの書き込み	コンペアマッチ	コンペアマッチ
	(レジスタアクセスなし)	コンペアマッチ	コンペアマッチ
(イベントなし)	CMWCNTカウンタへの書き込み	コンペアマッチ	コンペアマッチの割り込み要求を出力 CMWCNTカウンタへの書き込み
		カウントアップ	CMWCNTカウンタへの書き込み
	CMWCORレジスタへの書き込み	コンペアマッチ	コンペアマッチ
	CMWOCRnレジスタへの書き込み	コンペアマッチ	コンペアマッチ
	CMWCNTカウンタの読み出し	カウントアップ	カウントアップとその前の値の読み出し

(1) カウントスタート動作

CMWSTR.STR ビットへのライトアクセスとイベント受け付けが競合すると、CMWSTR.STR ビットへの書き込みは行われず、イベント受け付けによる“1”の設定が優先されます。

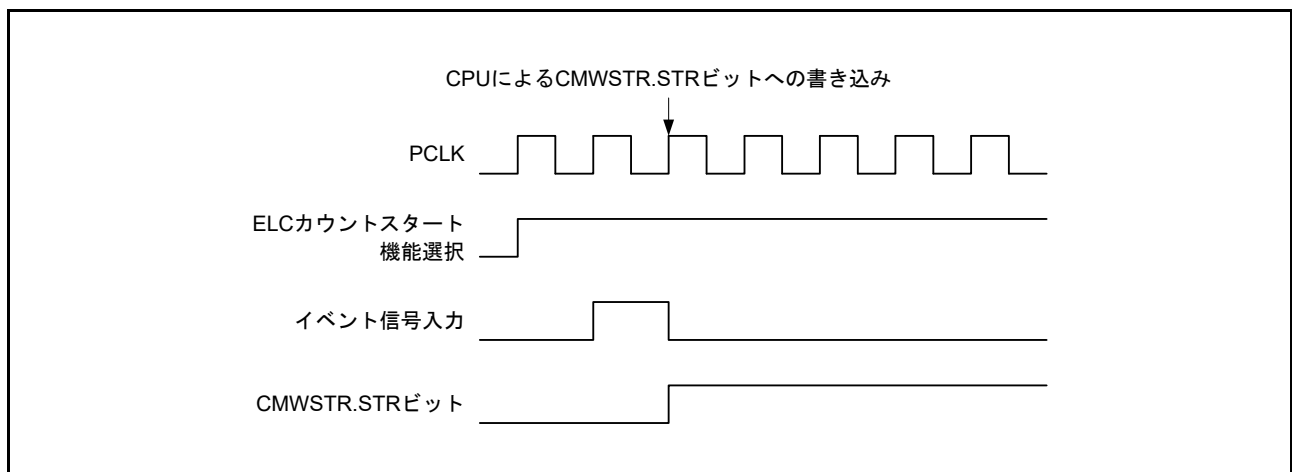


図 30.20 カウントスタート動作でのイベント受け付けとレジスタアクセスの競合

(2) イベントカウント動作

CMWCNT カウンタへのライトアクセスとイベント受け付けが競合すると、CMWCNT カウンタへの書き込みは行われず、イベント受け付けによるカウント動作が優先されます。

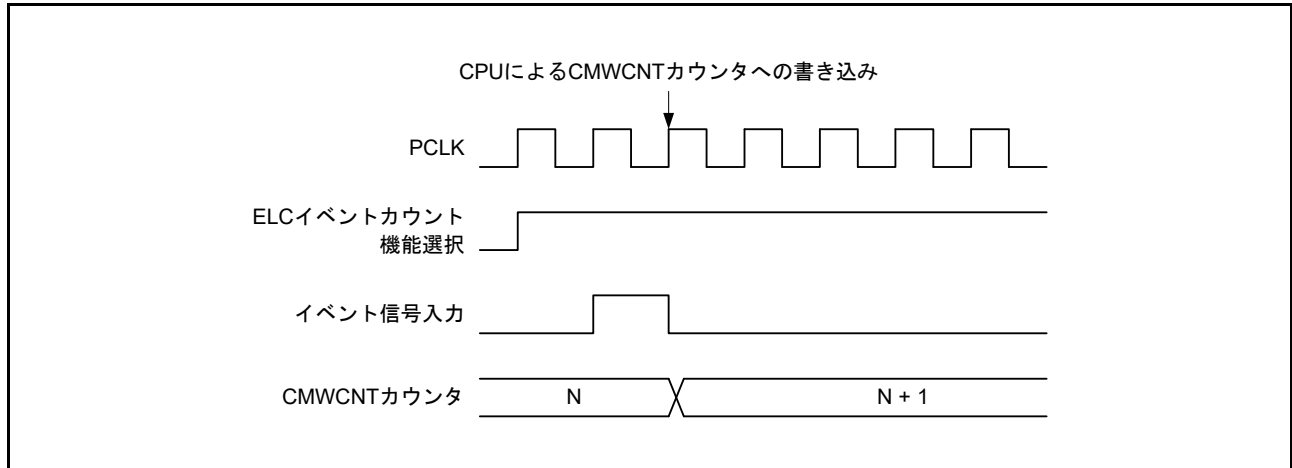


図 30.21 イベントカウント動作でのイベント受け付けとレジスタアクセスの競合

(3) カウントリスタート動作

CMWCNT カウンタへのライトアクセスとイベント受け付けが競合すると、CMWCNT カウンタへの書き込みは行われず、イベント受け付けによるカウント値の初期化が優先されます。

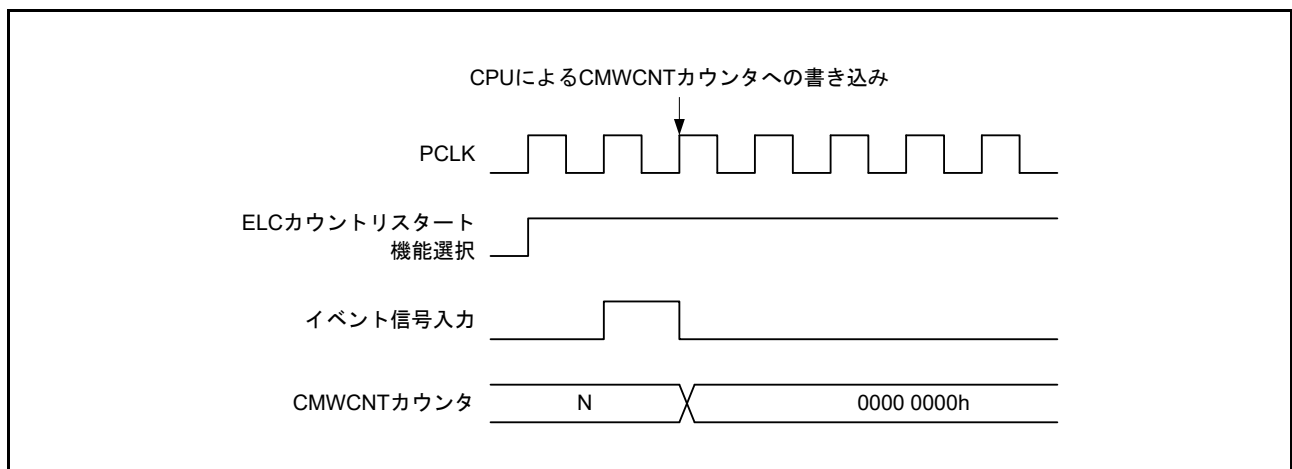


図 30.22 カウントリスタート動作でのイベント受け付けとレジスタアクセスの競合

30.6 使用上の注意事項

30.6.1 モジュールストップ機能の設定

MSTPCRA レジスタにより、CMTW の動作を禁止 / 許可することが可能です。リセット解除後、CMTW の動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

30.6.2 CMWCNT カウンタへの書き込みとコンペアマッチの競合

CMWCNT カウンタへの書き込みサイクル中にコンペアマッチ信号が発生しても、コンペアマッチ割り込み要求は出力されませんが、CMWCNT カウンタはクリアされずに CMWCNT カウンタへの書き込みが優先されます。

このタイミングを図 30.23 に示します。

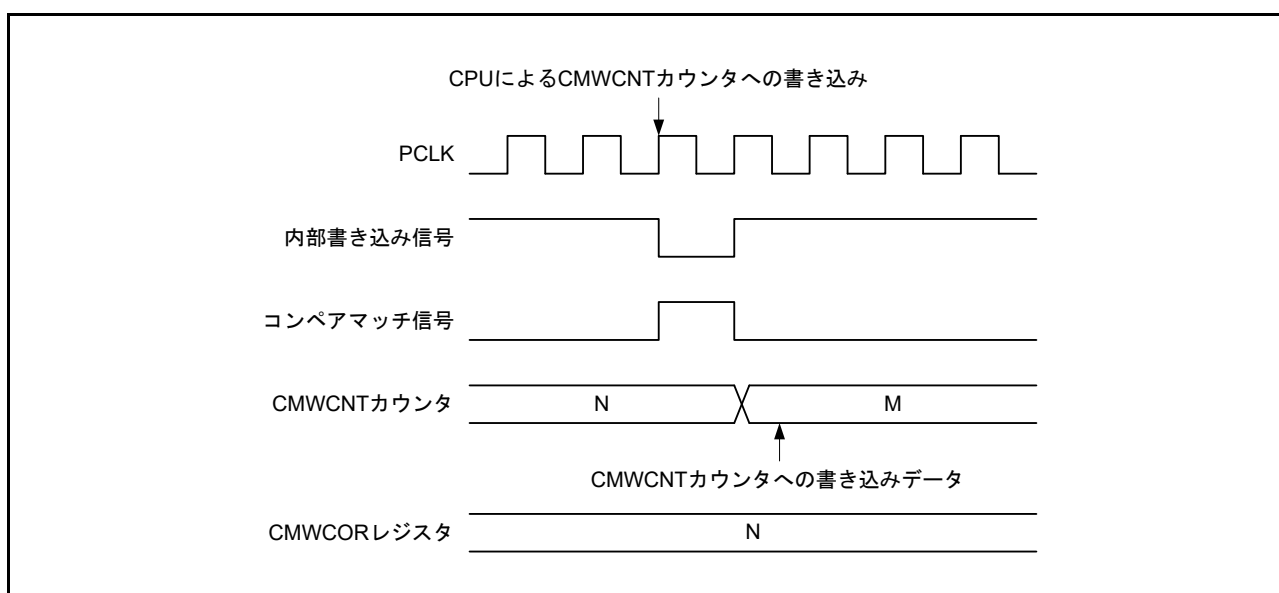


図 30.23 CMWCNT カウンタへの書き込みとコンペアマッチの競合

30.6.3 CMWCNT カウンタへの書き込みとカウントアップ/カウンタクリアの競合

CMWCNT カウンタへの書き込み中にカウントアップまたはカウンタクリアが発生しても、CMWCNT カウンタはカウントアップまたはクリアされずに CMWCNT カウンタへの書き込みが優先されます。

このタイミングを図 30.24 に示します。

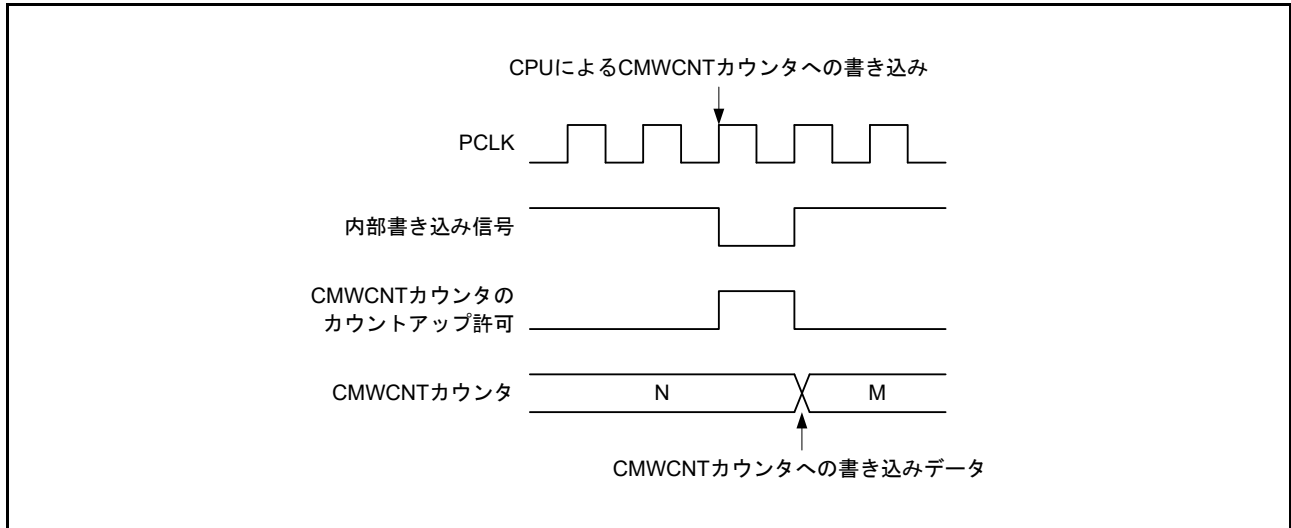


図 30.24 CMWCNT カウンタへの書き込みとカウントアップの競合

30.6.4 CMWCOR レジスタへの書き込みとコンペアマッチの競合

CMWCOR レジスタへの書き込みサイクル中にコンペアマッチが発生した場合、CMWCOR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図 30.25 に示します。

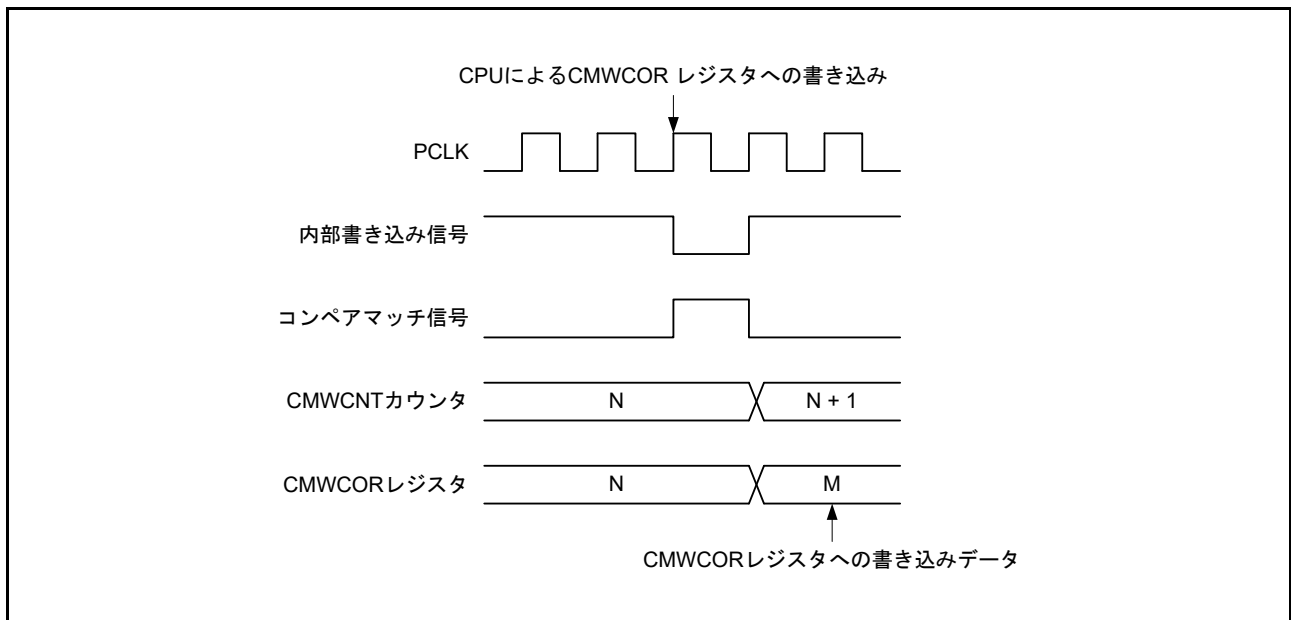


図 30.25 CMWCOR レジスタへの書き込みとコンペアマッチの競合

30.6.5 CMWOCRn レジスタへの書き込みとコンペアマッチの競合 (n = 0, 1)

CMWOCRn レジスタへの書き込みサイクル中にコンペアマッチが発生した場合、CMWOCRn レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図 30.26 に示します。

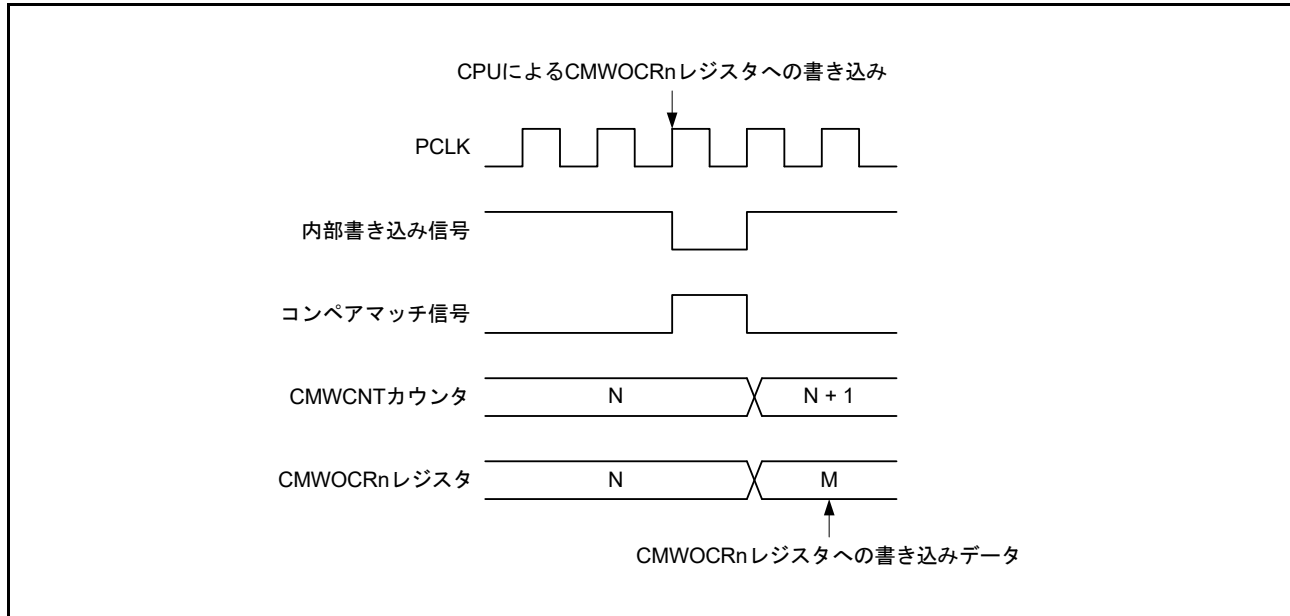


図 30.26 CMWOCRn レジスタへの書き込みとコンペアマッチの競合

30.6.6 CMWCNT カウンタの読み出しとカウントアップ/カウンタクリアの競合

CMWCNT カウンタのデータの読み出しと同時にカウントアップまたはカウンタクリアが発生した場合、読み出し値はカウントアップまたはカウンタクリア前のカウント値が読み出されます。

CMWCNT カウンタの読み出しとカウントアップが競合した場合のタイミングを図 30.27 に示します。

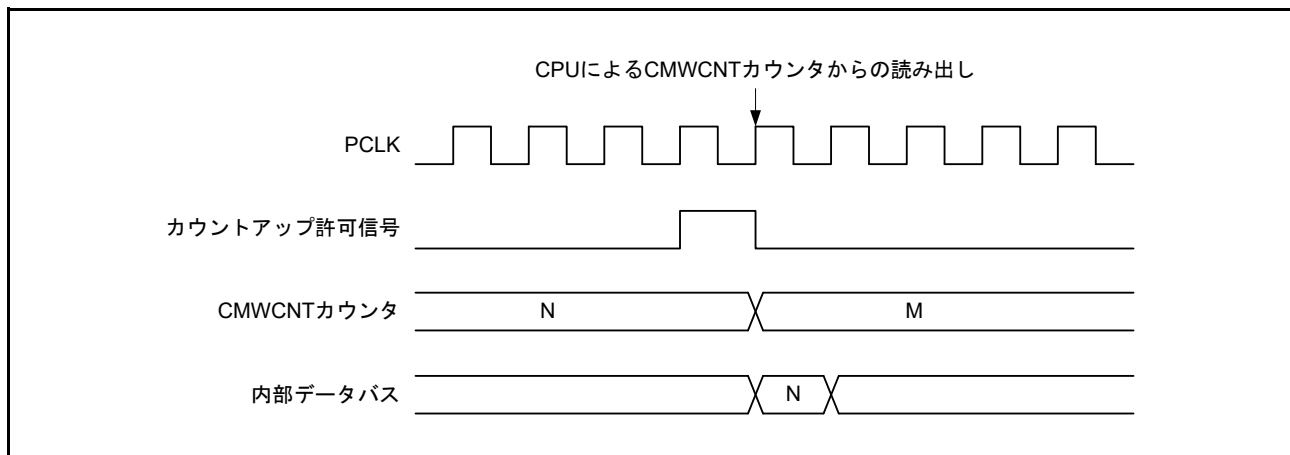


図 30.27 CMWCNT カウンタの読み出しとカウントアップの競合

30.6.7 CMWICRn レジスタの読み出しとインプットキャプチャの競合 (n = 0, 1)

CMWICRn レジスタの読み出しと同時にインプットキャプチャ検出信号が発生した場合、読み出し値はインプットキャプチャ転送前の値が読み出されます。

CMWICRn レジスタの読み出しとインプットキャプチャが競合した場合のタイミングを図 30.28 に示します。

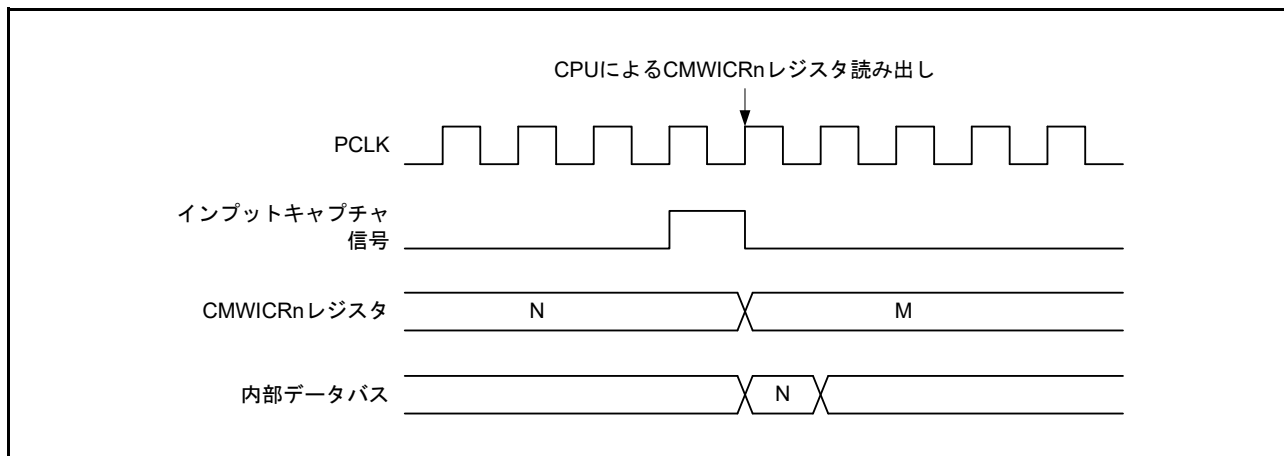


図 30.28 CMWICRn レジスタの読み出しとインプットキャプチャの競合

31. リアルタイムクロック (RTCd)

31.1 概要

RTCはカウントモードとして、カレンダーカウントモードとバイナリカウントモードの2種類を持ち、レジスタの設定により切り替えて使用します。

カレンダーカウントモードは、2000年から2099年の100年間を、うるう年を自動で判定してカウントするモードです。

バイナリカウントモードは、年、月、日、曜日、時、分の概念を持たず、秒のみをカウントし、その情報をシリアル値として保持するモードで、西暦以外のカレンダーに対応できます。

時計カウンタのクロックソースは、サブクロックとメインクロックの2種類から選択できます。

RTCは、クロックソースをプリスケアラで分周した128 Hzのクロックを基準クロックとして年、月、日、曜日、午前/午後(12時間モード時)、時、分、秒、または32ビットバイナリを1/128秒単位でカウントします。

表 31.1 に RTC の仕様を、図 31.1 に RTC のブロック図を、表 31.2 に RTC の入出力端子を示します。

表31.1 RTCの仕様

項目	内容
カウントモード	カレンダーカウントモード/バイナリカウントモード
クロックソース(注1)	サブクロック(XCINまたはEXCIN)またはメインクロック(EXTAL)
時計/カレンダー機能	<ul style="list-style-type: none"> • カレンダーカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD表示 12時間/24時間モード切り替え機能 30秒調整機能(30秒未満は00秒に切り捨て、30秒以降は1分に桁上げ) うるう年自動補正機能 • バイナリカウントモード 秒を32ビットでカウント、バイナリ表示 • 両モード共通 スタート/ストップ機能 秒以下の桁のバイナリ表示(1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hz, 32 Hz, 64 Hz) 時計誤差補正機能 クロック(1 Hz/64 Hz)出力
割り込み	<ul style="list-style-type: none"> • アラーム割り込み(ALM) アラーム割り込み条件として、以下のいずれと比較するか選択可能 • カレンダーカウントモード：年、月、日、曜日、時、分、秒 • バイナリカウントモード：32ビットバイナリカウンタの各ビット • 周期割り込み(PRD) 割り込み周期として、2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒 周期から選択可能 • 桁上げ割り込み(CUP) 次のいずれかのタイミングで割り込み要求発生 • 64 Hzカウンタから秒カウンタへの桁上げが発生したとき • 64 Hzカウンタの変化とR64CNTレジスタの読み出しタイミングが重なったとき • アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	<ul style="list-style-type: none"> • 時間キャプチャイベント入力端子のエッジ検出によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ、または32ビットバイナリカウンタ値をキャプチャ
イベントリンク機能	周期イベント出力

注1. 周辺モジュールクロック周波数(PCLKB) ≥ クロックソース周波数となるようにしてください。

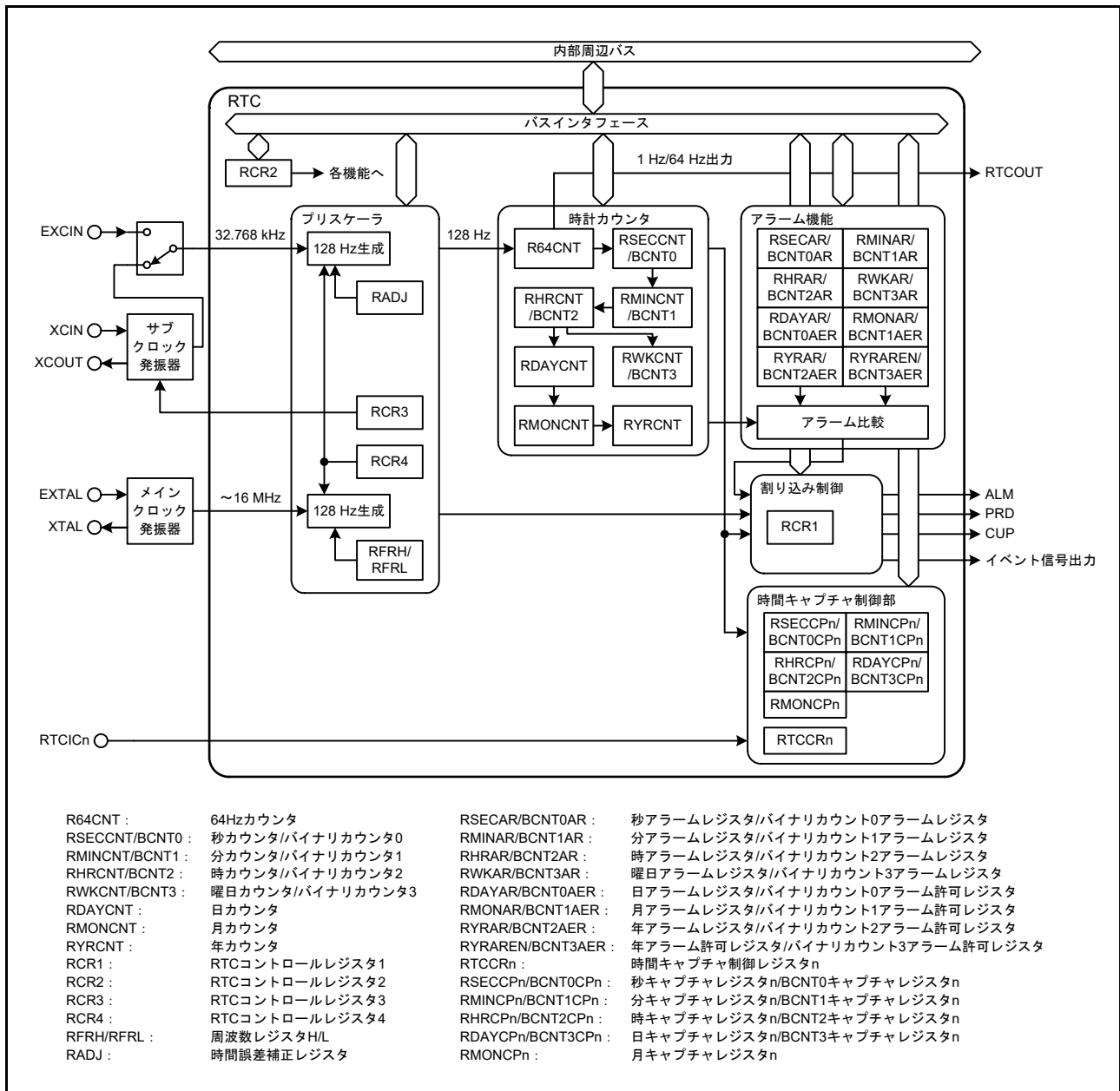


図 31.1 RTCのブロック図 (n = 0 ~ 2)

表 31.2 RTCの入出力端子

端子名	入出力	機能
XTAL	出力	メインクロック用の発振子を接続する端子です。EXTAL 端子は外部クロックの入力も可能。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
XCIN	入力	サブクロック用の 32.768 kHz の水晶振動子を接続する端子です
XCOU	出力	
EXCIN	入力	サブクロック用の 32.768 kHz の外部クロックを入力する端子です
RTCOUT	出力	1 Hz/64 Hz の波形を出力します。デープソフトウェアスタンバイモード時には出力しません
RTCIC0	入力	時間キャプチャイベントを入力する端子です
RTCIC1	入力	
RTCIC2	入力	

31.2 レジスタの説明

RTC のレジスタの書き込み / 読み出しは、「31.6.5 レジスタの書き込み / 読み出し時の注意事項」に従って行う必要があります。

RTC のレジスタのビットで、リセット後の値が x (不定) のビットは、リセットでは初期化されません。また、カウント動作時 (RCR2.START ビット=1 のとき) にリセット状態または低消費電力状態へ遷移した場合、年 / 月 / 曜日 / 日 / 時 / 分 / 秒 / 64 Hz カウンタは動作を継続します。ただし、クロックソースがメインクロックの場合、ディープソフトウェアスタンバイリセットを除くリセットではメインクロックは停止します。詳細は、「表 6.2 リセット種別ごとの初期化対象」を参照ください。レジスタ書き込みおよびレジスタ更新処理中にリセットが発生した場合は、レジスタ値を破壊する可能性がありますので、ご注意ください。また、レジスタ設定直後にソフトウェアスタンバイモードやディープソフトウェアスタンバイモードへ遷移しないでください。詳細は、「31.6.4 レジスタ設定後の低消費電力モード移行について」を参照ください。

31.2.1 64 Hz カウンタ (R64CNT)

アドレス RTC.R64CNT 0008 C400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ

リセット後の値 0 x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64 Hz ビット	秒以下の桁の 1 Hz ~ 64 Hz の状態を示します	R
b1	F32HZ	32 Hz ビット		R
b2	F16HZ	16 Hz ビット		R
b3	F8HZ	8 Hz ビット		R
b4	F4HZ	4 Hz ビット		R
b5	F2HZ	2 Hz ビット		R
b6	F1HZ	1 Hz ビット		R
b7	—	予約ビット	読むと "0" が読めます。書き込みは無効になります	R

R64CNT カウンタは、カレンダーカウントモード / バイナリカウントモード共通で使用します。

R64CNT カウンタは、128 Hz の基準クロックでアップカウントするカウンタで、秒周期を生成します。

R64CNT カウンタを読み出すことで、秒以下の状態が確認できます。

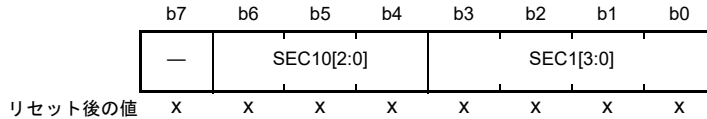
RTC ソフトウェアリセットまたは 30 秒調整を実行すると "00h" になります。

読み出し時は、「31.3.5 64 Hz カウンタおよび時刻読み出し手順」に従ってください。

31.2.2 秒カウンタ (RSECCNT)/ バイナリカウンタ 0 (BCNT0)

(1) カレンダカウントモード時

アドレス RTC.RSECCNT 0008 C402h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒カウントビット	一秒の位は1秒ごとに0から9をカウントします。桁上げが発生すると、十秒の位が+1されます	R/W
b6-b4	SEC10[2:0]	10秒カウントビット	十秒の位は0から5をカウントして、60秒のカウントを行います	R/W
b7	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W

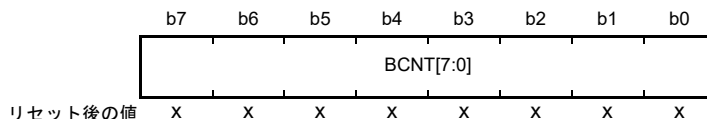
RSECCNT カウンタは、BCD コード化された秒部分の設定、カウント用のカウンタであり、64 Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RSECCNT カウンタを書き換えた場合、値が書き変わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「31.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT0 0008 C402h



x: 不定

BCNT0 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b7～b0 です。

32 ビットバイナリカウンタは、64 Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

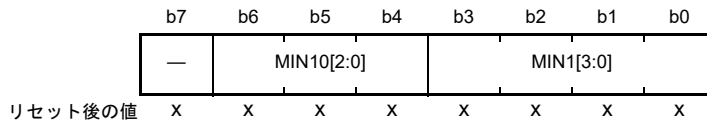
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「31.3.5 64 Hz カウンタおよび時刻読み出し手順」に従ってください。

31.2.3 分カウンタ (RMINCNT)/ バイナリカウンタ 1 (BCNT1)

(1) カレンダカウントモード時

アドレス RTC.RMINCNT 0008 C404h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分カウントビット	一分の位は1分ごとに0から9をカウントします。桁上げが発生すると、十分の位が+1されます	R/W
b6-b4	MIN10[2:0]	10分カウントビット	十分の位は0から5をカウントして、60分のカウントを行います	R/W
b7	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W

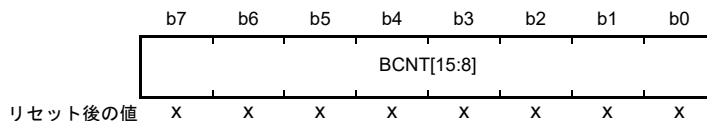
RMINCNT カウンタは、BCD コード化された分部分の設定、カウント用のカウンタであり、秒カウンタの1分ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RMINCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「31.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT1 0008 C404h



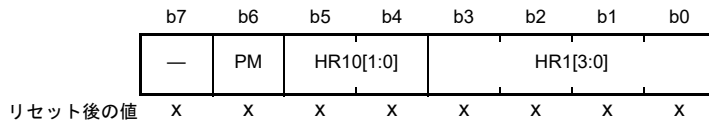
x: 不定

BCNT1 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b15～b8 です。32 ビットバイナリカウンタは、64 Hz カウンタの 1 秒ごとの桁上げによってカウント動作を行います。書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。読み出し時は、「31.3.5 64 Hz カウンタおよび時刻読み出し手順」に従ってください。

31.2.4 時カウンタ (RHCNT)/ バイナリカウンタ 2 (BCNT2)

(1) カレンダカウントモード時

アドレス RTC.RHCNT 0008 C406h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間カウントビット	一時間の位は1時間ごとに0から9をカウントします。桁上げが発生すると、十時間の位が+1されます	R/W
b5-b4	HR10[1:0]	10時間カウントビット	十時間の位は一時間の位の桁上げごとに0から2をカウントします	R/W
b6	PM	PMビット	時カウンタのAM/PMの設定 0: 午前 1: 午後	R/W
b7	—	予約ビット	"0"を設定してください。読むと設定値が読めず	R/W

RHCNT カウンタは、BCD コード化された時部分の設定、カウント用のカウンタであり、分カウンタの1時間ごとの桁上げによってカウント動作を行います。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが "0" : 10進 (BCD) で "00" ~ "11"

RCR2.HR24 ビットが "1" : 10進 (BCD) で "00" ~ "23"

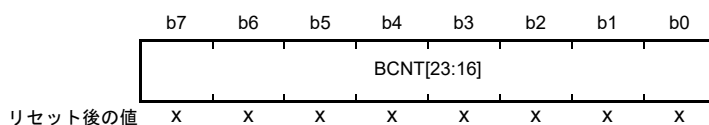
上記以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RHCNT カウンタを読み出す場合は、RCR2.HR24 ビットが "0" の場合のみ PM ビットが有効になります。RCR2.HR24 ビットが "1" の場合は、PM ビットの値を無視してください。

RHCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「31.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT2 0008 C406h



x: 不定

BCNT2 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b23 ~ b16 です。

32 ビットバイナリカウンタは、64 Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

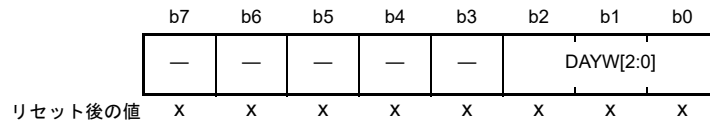
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「31.3.5 64 Hz カウンタおよび時刻読み出し手順」に従ってください。

31.2.5 曜日カウンタ (RWKCNT)/ バイナリカウンタ 3 (BCNT3)

(1) カレンダーカウントモード時

アドレス RTC.RWKCNT 0008 C408h



x: 不定

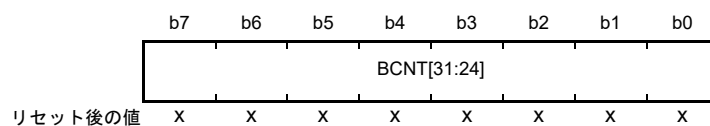
ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日カウントビット	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定しないでください	R/W
b7-b3	—	予約ビット	"0"を設定してください。読むと設定値が読めず	R/W

RWKCNT カウンタはコード化された曜日部分の設定、カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。設定可能範囲は、10進で“0”～“6”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

レジスタの書き込み/読み出しの注意事項については「31.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT3 0008 C408h

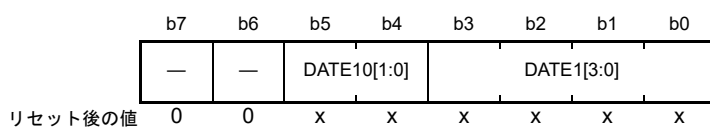


x: 不定

BCNT3 カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb31～b24です。32ビットバイナリカウンタは、64 Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。読み出し時は、「31.3.5 64 Hz カウンタおよび時刻読み出し手順」に従ってください。

31.2.6 日カウンタ (RDAYCNT)

アドレス RTC.RDAYCNT 0008 C40Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日カウントビット	一日の位は1日ごとに0~9をカウントします。桁上げが発生すると十日の位が+1されます	R/W
b5-b4	DATE10[1:0]	10日カウントビット	十日の位は一日の位の桁上げごとに0~3をカウントします	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RDAYCNT カウンタは、カレンダーカウントモード時に使用します。

RDAYCNT カウンタは、BCD コード化された日部分の設定、カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。また、うるう年、月に対応したカウント動作を行います。

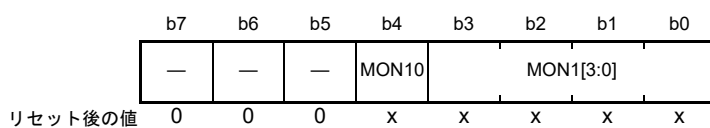
うるう年は年カウンタ (RYRCNT) の“00”を2000年とみなして2000年から2099年を、400、100、4で割り切れるかどうかによって計算されます。

設定可能範囲は、10進 (BCD) で“01”～“31”です。それ以外の値が設定されると、正常に動作しません (月ごとおよびうるう年によって設定可能範囲が変化しますので、確認の上、設定してください)。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RDAYCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「31.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

31.2.7 月カウンタ (RMONCNT)

アドレス RTC.RMONCNT 0008 C40Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月カウントビット	一月の位は1月ごとに0~9をカウントします。桁上げが発生すると十月の位が+1されます	R/W
b4	MON10	10月カウントビット	十月の位は一月の位の桁上げごとに0~1をカウントします	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMONCNT カウンタは、カレンダーカウントモード時に使用します。

RMONCNT カウンタは、BCD コード化された月部分の設定、カウント用のカウンタであり、日カウンタの月ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“01”～“12”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RMONCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「31.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

31.2.8 年カウンタ (RYRCNT)

アドレス RTC.RYRCNT 0008 C40Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年カウントビット	一年の位は1年ごとに0~9をカウントします。桁上げが発生すると十年の位が+1されます	R/W
b7-b4	YR10[3:0]	10年カウントビット	十年の位は一年の位の桁上げごとに0~9をカウントします	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRCNT カウンタは、カレンダーカウントモード時に使用します。

RYRCNT カウンタは、BCD コード化された年部分の設定、カウント用のカウンタであり、月カウンタの1年ごとの桁上げによって、カウント動作を行います。

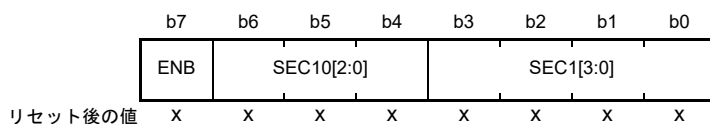
設定可能範囲は、10進(BCD)で“00”～“99”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RYRCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「31.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

31.2.9 秒アラームレジスタ (RSECAR)/ バイナリカウンタ 0 アラームレジスタ (BCNT0AR)

(1) カレンダカウントモード時

アドレス RTC.RSECAR 0008 C410h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒ビット	一秒の位の設定値	R/W
b6-b4	SEC10[2:0]	10秒ビット	十秒の位の設定値	R/W
b7	ENB	ENBビット	0 : RSECCNTカウンタの値と比較を行わない 1 : RSECCNTカウンタの値と比較を行う	R/W

RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RSECAR レジスタの値と RSECCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、アラーム割り込みに対応した IR フラグ (ICU.IR092.IR フラグ) が“1”になります。

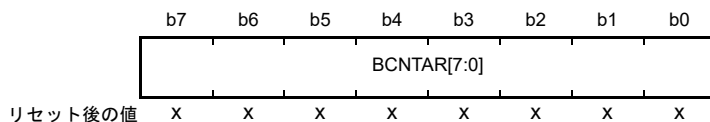
設定可能範囲は、10 進 (BCD) で“00”～“59”であり、それ以外の値が設定されると、正常に動作しません。

RSECAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「31.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT0AR 0008 C410h



x : 不定

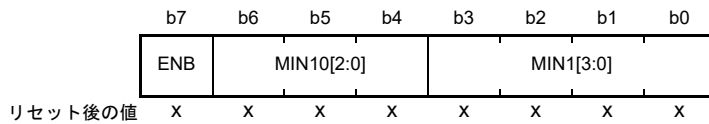
BCNT0AR レジスタは、32 ビットバイナリカウンタの b7～b0 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

31.2.10 分アラームレジスタ (RMINAR)/ バイナリカウンタ 1 アラームレジスタ (BCNT1AR)

(1) カレンダカウントモード時

アドレス RTC.RMINAR 0008 C412h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分ビット	一分の位の設定値	R/W
b6-b4	MIN10[2:0]	10分ビット	十分の位の設定値	R/W
b7	ENB	ENBビット	0 : RMINCNTカウンタの値と比較を行わない 1 : RMINCNTカウンタの値と比較を行う	R/W

RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMINAR レジスタの値と RMINCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、アラーム割り込みに対応した IR フラグ (ICU.IR092.IR フラグ) が“1”になります。

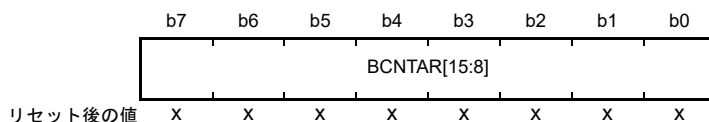
設定可能範囲は、10 進 (BCD) で“00”～“59”であり、それ以外の値が設定されると、正常に動作しません。

RMINAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「31.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT1AR 0008 C412h



x : 不定

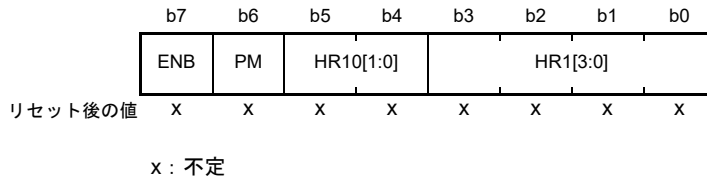
BCNT1AR レジスタは、32 ビットバイナリカウンタの b15 ～ b8 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

31.2.11 時アラームレジスタ (RHRAR)/ バイナリカウンタ 2 アラームレジスタ (BCNT2AR)

(1) カレンダカウントモード時

アドレス RTC.RHRAR 0008 C414h



ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間ビット	一時間の位の設定値	R/W
b5-b4	HR10[1:0]	10時間ビット	十時間の位の設定値	R/W
b6	PM	PMビット	時アラームのAM/PMの設定 0 : 午前 1 : 午後	R/W
b7	ENB	ENBビット	0 : RHCNTカウンタの値と比較を行わない 1 : RHCNTカウンタの値と比較を行う	R/W

RHRAR レジスタは、BCD コード化された時カウンタ (RHCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RHRAR レジスタの値と RHCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、アラーム割り込みに対応した IR フラグ (ICU.IR092.IR フラグ) が“1”になります。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが“0” : 10 進 (BCD) で“00”～“11”

RCR2.HR24 ビットが“1” : 10 進 (BCD) で“00”～“23”

上記以外の値が設定されると、正常に動作しません。

RCR2.HR24 ビットが“0”の場合は、PM ビットの設定も行ってください。

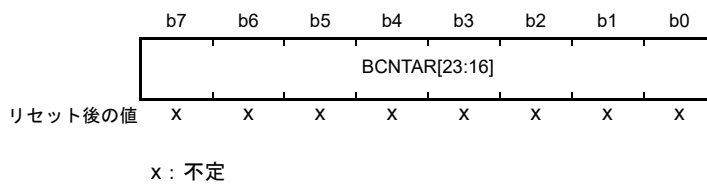
RCR2.HR24 ビットが“1”の場合は、PM ビットの値は無効となります。

RHRAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「31.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT2AR 0008 C414h



BCNT2AR レジスタは、32 ビットバイナリカウンタの b23 ~ b16 に対応する書き込み / 読み出し可能なア
ラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

31.2.12 曜日アラームレジスタ (RWKAR)/ バイナリカウンタ 3 アラームレジスタ (BCNT3AR)

(1) カレンダーカウントモード時

アドレス RTC.RWKAR 0008 C416h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	DAYW[2:0]		
リセット後の値	X	X	X	X	X	X	X	X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日の設定値ビット	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定しないでください	R/W
b6-b3	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0: RWKCNTカウンタの値と比較を行わない 1: RWKCNTカウンタの値と比較を行う	R/W

RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RWKAR レジスタの値と RWKCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、アラーム割り込みに対応した IR フラグ (ICU.IR092.IR フラグ) が“1”になります。

設定可能範囲は、10進で“0”～“6”であり、それ以外の値が設定されると、正常に動作しません。

RWKAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「31.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT3AR 0008 C416h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCNTAR[31:24]							
リセット後の値	X	X	X	X	X	X	X	X

x: 不定

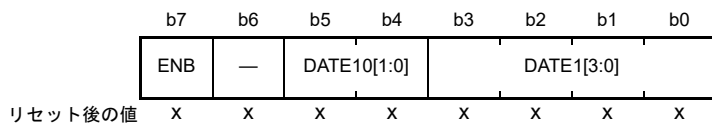
BCNT3AR レジスタは、32ビットバイナリカウンタの b31～b24 に対応する書き込み/読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

31.2.13 日アラームレジスタ (RDAYAR)/ バイナリカウンタ 0 アラーム許可レジスタ (BCNT0AER)

(1) カレンダーカウントモード時

アドレス RTC.RDAYAR 0008 C418h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日ビット	一日の位の設定値	R/W
b5-b4	DATE10[1:0]	10日ビット	十日の位の設定値	R/W
b6	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RDAYCNTカウンタの値と比較を行わない 1 : RDAYCNTカウンタの値と比較を行う	R/W

RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RDAYAR レジスタの値と RDAYCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、アラーム割り込みに対応した IR フラグ (ICU.IR092.IR フラグ) が“1”になります。

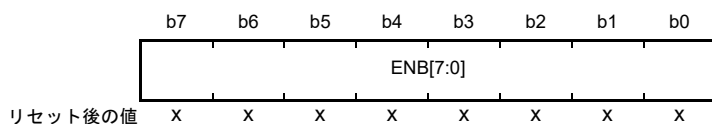
設定可能範囲は、10 進 (BCD) で“01”～“31”であり、それ以外の値が設定されると、正常に動作しません。

RDAYAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「31.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT0AER 0008 C418h



x : 不定

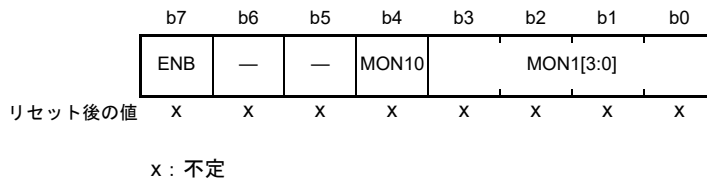
BCNT0AER レジスタは、32 ビットバイナリカウンタの b7～b0 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのがすべて一致するとき、アラーム割り込みに対応した IR フラグ (ICU.IR092.IR フラグ) が“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

31.2.14 月アラームレジスタ (RMONAR)/ バイナリカウンタ 1 アラーム許可レジスタ (BCNT1AER)

(1) カレンダーカウントモード時

アドレス RTC.RMONAR 0008 C41Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月ビット	一月の位の設定値	R/W
b4	MON10	10月ビット	十月の位の設定値	R/W
b6-b5	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RMONCNTカウンタの値と比較を行わない 1 : RMONCNTカウンタの値と比較を行う	R/W

RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMONAR レジスタの値と RMONCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、アラーム割り込みに対応した IR フラグ (ICU.IR092.IR フラグ) が“1”になります。

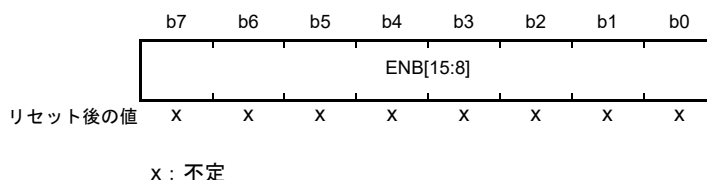
設定可能範囲は、10 進 (BCD) で“01”～“12”であり、それ以外の値が設定されると、正常に動作しません。

RMONAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「31.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT1AER 0008 C41Ah



BCNT1AER レジスタは、32 ビットバイナリカウンタの b15～b8 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、アラーム割り込みに対応した IR フラグ (ICU.IR092.IR フラグ) が“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

31.2.15 年アラームレジスタ (RYRAR)/ バイナリカウンタ 2 アラーム許可レジスタ (BCNT2AER)

(1) カレンダーカウントモード時

アドレス RTC.RYRAR 0008 C41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年ビット	一年の位の設定値	R/W
b7-b4	YR10[3:0]	10年ビット	十年の位の設定値	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。設定可能範囲は、10 進 (BCD) で“00”～“99”であり、それ以外の値が設定されると、正常に動作しません。

RYRAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「31.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“0000h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT2AER 0008 C41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ENB[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x: 不定

BCNT2AER レジスタは、32 ビットバイナリカウンタの b23～b16 に対応するアラーム許可を設定する書き込み / 読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、アラーム割り込みに対応した IR フラグ (ICU.IR092.IR フラグ) が“1”になります。

RTC ソフトウェアリセットを実行すると“0000h”になります。

31.2.16 年アラーム許可レジスタ (RYRAREN)/ バイナリカウンタ 3 アラーム許可レジスタ (BCNT3AER)

(1) カレンダーカウントモード時

アドレス RTC.RYRAREN 0008 C41Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENB ビット	0 : RYRCNTカウンタの値と比較を行わない 1 : RYRCNTカウンタの値と比較を行う	R/W

RYRAREN レジスタは、ENB ビットが“1”であれば、RYRAR レジスタの値と RYRCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、アラーム割り込みに対応した IR フラグ (ICU.IR092.IR フラグ) が“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT3AER 0008 C41Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB[31:24]							
リセット後の値	X	X	X	X	X	X	X	X

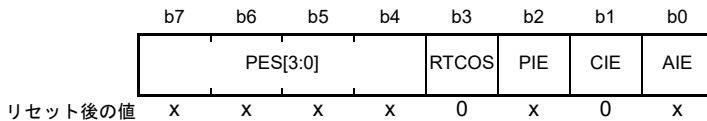
x : 不定

BCNT3AER レジスタは、32 ビットバイナリカウンタの b31 ~ b24 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、アラーム割り込みに対応した IR フラグ (ICU.IR092.IR フラグ) が“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

31.2.17 RTC コントロールレジスタ 1 (RCR1)

アドレス RTC.RCR1 0008 C422h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	AIE	アラーム割り込み許可ビット	0 : アラーム割り込み要求を禁止 1 : アラーム割り込み要求を許可	R/W
b1	CIE	桁上げ割り込み許可ビット	0 : 桁上げ割り込み要求を禁止 1 : 桁上げ割り込み要求を許可	R/W
b2	PIE	周期割り込み許可ビット	0 : 周期割り込み要求を禁止 1 : 周期割り込み要求を許可	R/W
b3	RTCOS	RTCOUT 出力選択ビット	0 : RTCOUT は 1 Hz を出力 1 : RTCOUT は 64 Hz を出力	R/W
b7-b4	PES[3:0]	周期割り込み選択ビット	b7 b4 0 1 1 0 : 周期割り込み発生時の周期は 1/256 秒ごと(注1) 0 1 1 1 : 周期割り込み発生時の周期は 1/128 秒ごと 1 0 0 0 : 周期割り込み発生時の周期は 1/64 秒ごと 1 0 0 1 : 周期割り込み発生時の周期は 1/32 秒ごと 1 0 1 0 : 周期割り込み発生時の周期は 1/16 秒ごと 1 0 1 1 : 周期割り込み発生時の周期は 1/8 秒ごと 1 1 0 0 : 周期割り込み発生時の周期は 1/4 秒ごと 1 1 0 1 : 周期割り込み発生時の周期は 1/2 秒ごと 1 1 1 0 : 周期割り込み発生時の周期は 1 秒ごと 1 1 1 1 : 周期割り込み発生時の周期は 2 秒ごと 上記以外は、周期割り込みを発生しない	R/W

注1. メインクロック選択時(RCR4.RCKSEL=1)は、PES[3:0]=0110bの割り込み発生周期は1/128秒ごとになります。

RCR1 レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

AIE、PIE、PES[3:0] ビットは、クロックソースに同期して更新されるので、RCR1 レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

AIE ビット (アラーム割り込み許可ビット)

アラーム割り込み要求の許可または禁止を選択します。

ディープソフトウェアスタンバイモード中にカウンタとアラーム時刻が一致した場合、AIE ビットの設定に関係なくディープソフトウェアスタンバイモードから復帰します。

CIE ビット (桁上げ割り込み許可ビット)

秒カウンタ (RSECCNT)/バイナリカウンタ 0 (BCNT0) への桁上げ、または 64 Hz カウンタ (R64CNT) 読み出しと、64 Hz カウンタへの桁上げが重なったときの割り込み要求の許可または禁止を選択します。

PIE ビット (周期割り込み許可ビット)

周期割り込み要求の許可または禁止を選択します。

ディープソフトウェアスタンバイモード中に PES[3:0] ビットで選択した周期と一致した場合、PIE ビットの設定に関係なくディープソフトウェアスタンバイモードから復帰します。

RTCOS ビット (RTCOUT 出力選択ビット)

RTCOUT の出力周期を選択するビットです。RTCOS ビットは、カウント動作停止中 (RCR2.START ビット = 0) かつ RTCOUT 出力禁止 (RCR2.RTCOE ビット = 0) のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットを有効にしてください。

PES[3:0] ビット (周期割り込み選択ビット)

周期割り込みの周期を設定します。PES[3:0] ビットで設定した周期に応じて周期割り込みを要求します。

31.2.18 RTC コントロールレジスタ 2 (RCR2)

アドレス RTC.RCR2 0008 C424h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTM D	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタートビット(注4)	0: プリスケアラとカウンタは停止 1: プリスケアラとカウンタは通常動作	R/W
b1	RESET	RTCソフトウェアリセット ビット	<ul style="list-style-type: none"> 書き込み時 0: 書き込み無効 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ(注1)を初期化 読み出し時 0: 通常の時計動作またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット中 	R/W
b2	ADJ30	30秒調整ビット(注2)	<ul style="list-style-type: none"> 書き込み時 0: 書き込み無効 1: 30秒調整の実行 読み出し時 0: 通常の時計動作または30秒調整が完了 1: 30秒調整中 	R/W
b3	RTCOE	RTCOUT出力許可ビット	0: RTCOUT出力禁止 1: RTCOUT出力許可	R/W
b4	AADJE	自動補正機能許可ビット(注3、 注4)	0: 自動補正機能禁止 1: 自動補正機能許可	R/W
b5	AADJP	自動補正周期選択ビット(注3、 注4)	0: 1分(バイナリカウンタモード時は32秒)ごとにRADJ.ADJ[5:0] ビットをプリスケアラのカウンタ値から加減する 1: 10秒(バイナリカウンタモード時は8秒)ごとにRADJ.ADJ[5:0] ビットをプリスケアラのカウンタ値から加減する	R/W
b6	HR24	時間モードビット(注2、注4)	0: RTCは12時間モードで動作 1: RTCは24時間モードで動作	R/W
b7	CNTMD	カウントモード選択ビット(注 4)	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAR/BCNT3AER, RADJ, RTCCRn, RSECCPn/BCNT0CPn, RMINCPn/BCNT1CPn, RHRCpN/BCNT2CPn, RDAYCPn/BCNT3CPn, RMONCPn, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2. バイナリカウンタモードでは予約ビットです。書く場合は"0"を書いてください。

注3. メインクロック選択時は本ビットの設定は無効です。

注4. このビットを書き換えた場合、値が書き変わったことを確認してから次の処理を実施してください。AADJE, AADJP, HR24ビットについては「31.6.5 レジスタの書き込み/読み出し時の注意事項」も参照してください。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、カウント制御に関するレジスタです。

START ビット (スタートビット)

プリスケアラおよびカウンタ (時計) の停止または動作を制御するビットです。

START ビットは、クロックソースに同期して更新されるので、START ビットを書き換えた場合は、値が更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセットビット)

プリスケアラおよび RTC ソフトウェアリセット対象レジスタを初期化するビットです。

RESET ビットに“1”が書き込まれた場合、クロックソースに同期して初期化が実行され、初期化が完了すると RESET ビットは自動的に“0”になります。

RESET ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

ADJ30 ビット (30 秒調整ビット)

30 秒調整を行うビットです。

ADJ30 ビットに“1”が書き込まれたときの RSECCNT カウンタの値が 30 秒未満の場合は 00 秒に切り捨て、30 秒以上の場合は 1 分に桁上げします。

30 秒調整は、クロックソースに同期して行われます。ADJ30 ビットに“1”が書き込まれた場合、30 秒調整が完了すると ADJ30 ビットは自動的に“0”になります。ADJ30 ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

30 秒調整が行われると、プリスケアラおよび R64CNT カウンタもリセットされます。

RTC ソフトウェアリセットを実行すると ADJ30 ビットは、“0”になります。

バイナリカウンタモードでは予約ビットです。書く場合、“0”を書いてください。

RTC OE ビット (RTC OUT 出力許可ビット)

RTC OUT (1 Hz/64 Hz クロック) の出力を許可するビットです。

RTC OE ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。カウント動作を停止する (START ビットに“0”を書く) ときは、同時に RTC OE ビットの値を書き換えしないでください。

RTC OUT を外部端子に出力する場合は、RTC OE ビットを許可にし、かつポート制御の設定もしてください。

AADJE ビット (自動補正機能許可ビット)

自動補正機能の禁止、許可を制御するビットです。

AADJE ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJE ビットは、“0”になります。

AADJP ビット (自動補正周期選択ビット)

自動補正周期を選択するビットです。

AADJP ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJP ビットは、“0”になります。

HR24 ビット (時間モードビット)

RTC の時間モードを 12 時間モードで動作させるか、24 時間モードで動作させるかを指定するビットです。

HR24 ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。START ビットと同時に HR24 ビットの値を書き換えしないでください。

バイナリカウンタモードでは予約ビットです。書く場合、“0”を書いてください。

CNTMD ビット (カウントモード選択ビット)

RTC のカウントモードを、カレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定するビットです。

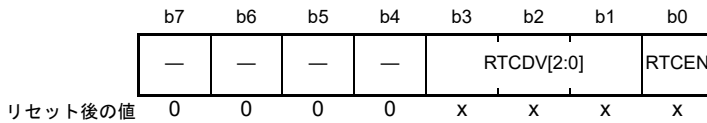
カウントモードを設定した後は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。

CNTMD ビットはクロックソースに同期して更新されるので、書き換えた場合は、値が更新されたことを確認してから RTC ソフトウェアリセットを実行してください。RTC ソフトウェアリセット実行後、設定したカウントモードに切り替わります。

初期設定の詳細は、「31.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

31.2.19 RTC コントロールレジスタ 3 (RCR3)

アドレス RTC.RCR3 0008 C426h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	RTCEN	サブクロック発振器制御ビット	0 : サブクロック発振器停止 1 : サブクロック発振器動作	R/W
b3-b1	RTCDV[2:0]	サブクロック発振器ドライブ能力制御ビット	b3 b1 0 0 1 : 低CL用ドライブ能力 1 1 0 : 標準CL用ドライブ能力 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RCR3 レジスタは、クロック発生回路にあるサブクロック発振器を制御するためのレジスタです。サブクロック発振器の制御については、「9. クロック発生回路」を参照してください。

本レジスタはカレンダーカウントモード/バイナリカウントモードで共通の機能です。

本レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTCEN ビット (サブクロック発振器制御ビット)

サブクロック発振器の動作/停止を制御します。

サブクロック発振器の動作/停止は、RTCEN ビットおよびクロック発生回路のレジスタ (SOSCCR.SOSTP ビット) で制御され、いずれかのビットが“動作”に設定されているとサブクロック発振器は動作状態となります。

サブクロックを RTC のクロックソースとして使用する場合は、RTCEN ビットでサブクロック発振器の動作設定を行ってください。

なお、メインクロック選択時 (RCR4.RCKSEL ビット = 1) は、RTCEN ビットの値にかかわらず SOSCCR.SOSTP ビットでのみサブクロック発振器の動作/停止が制御されます。

RTCDV[2:0] ビット (サブクロック発振器ドライブ能力制御ビット)

サブクロック発振器のドライブ能力を制御します。

RTCDV[2:0] ビットの書き換えは、サブクロック発振器を停止させてから行ってください。なお、メインクロック選択時 (RCR4.RCKSEL ビット = 1) は、RTCEN ビットの値にかかわらず SOSCCR.SOSTP ビットでのみサブクロック発振器の動作/停止が制御されます。

31.2.19.1 低 CL 水晶振動子の使用に関する注意事項

RCR3.RTCDV[2:0] ビットを“001b”(低 CL 用ドライブ能力)にした場合、ノイズの影響を受けやすくなります。特に、XCIN 端子や XCOUT 端子の近傍の信号が変化すると、サブクロック発振器の発振精度に影響する可能性があります。影響の大きさは、基板の配線パターンや近傍の信号変化の状況により異なります。低 CL 水晶振動子を使用した基板を作成する際には、アプリケーションノート「メインクロック回路、サブクロック回路のデザインガイド」(R01AN7202JJ0100)を参考に、ノイズ対策を実施してください。

発振精度に与える影響が大きい例を以下に示します。

(1) FINED 端子にオンチップデバッグエミュレータを接続する場合

FINED 端子 (FINE インタフェース端子) は、XCIN 端子、XCOUT 端子の近傍に存在するため、この端子を使用してデバッグを行うと、サブクロック発振器の発振精度に影響します。FINED 端子を使用してデバッグを行う際は、RCR3.RTCDV[2:0] ビットに“001b”(低 CL 用ドライブ能力)を設定し、常温で実施してください。

(2) メインクロック発振器に外部クロックを供給する場合

EXTAL 端子に外部クロックを入力すると、サブクロック発振器の発振精度に影響を与える可能性があります。さらに、XTAL 端子に反転した外部クロックを入力すると、より影響が大きくなります。

31.2.20 RTC コントロールレジスタ 4 (RCR4)

アドレス RTC.RCR4 0008 C428h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RCKSEL L
リセット後の値	0	0	0	0	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	RCKSEL	クロックソース選択ビット	0: サブクロックを選択 1: メインクロックを選択	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RCR4 レジスタは、クロックソース選択レジスタです。本レジスタはカレンダーカウントモード/バイナリカウントモードで共通の機能です。

RCKSEL ビットが“0”のときサブクロックを使用して時計のカウント動作を行い、RCKSEL ビットが“1”であればメインクロックを使用して時計のカウントを行います。

RCKSEL ビット (クロックソース選択ビット)

クロックソースを、サブクロック/メインクロックから選択します。

クロックソースの選択は、電源投入後、RTC のレジスタ初期設定前に一度だけ行ってください。

31.2.21 周波数レジスタ H/L (RFRH/RFRL)

アドレス RTC.RFRH 0008 C42Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFC[16] J
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

x: 不定

アドレス RTC.RFRL 0008 C42Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFC[15:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

● RFRH レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	RFC[16]	周波数分周比設定ビット	メインクロックから 128 Hz の基準クロックを生成するための分周比を設定します。RFC[16:0] ビットの設定値を n とするとメインクロックを n+1 分周します	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- RFRL レジスタ

ビット	シンボル	ビット名	機能	R/W
b15-b0	RFC[15:0]	周波数分周比設定ビット	メインクロックから128 Hzの基準クロックを生成するための分周比を設定します。RFC[16:0]ビットの設定値をnとするとメインクロックをn+1分周します	R/W

RFRH/RFRL レジスタは、メインクロック選択時のプリスケアラを制御するレジスタです。

RTCの時計カウンタは、128 Hzのクロックを基準クロックとして動作します。このため、メインクロック動作時は、プリスケアラでメインクロックを分周し128 Hzのクロックを生成します。RFC[16:0]ビットには、メインクロック周波数から128 Hzを生成するための分周比を設定します。計算方法は以下を参照してください。

RFC[16:0]ビットに設定可能な値の範囲は、0 0007h ~ 1 FFFFhです。それ以外の値を設定すると、正常に動作しません。また、書き込みは、RCR2.STARTビットが“0”(カウント停止)のときに行ってください。

なお、128 Hzのクロックを生成できるメインクロックの周波数は、1.024 kHz ~ 16.778 MHzです。

また、周辺モジュールクロックとメインクロックの動作周波数は、「周辺モジュールクロック ≧ メインクロック」となるようにしてください。

- 周波数比較値計算方法

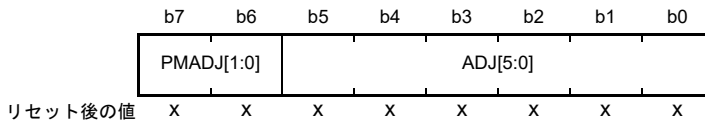
$$\text{RFC}[16:0] = (\text{メインクロック周波数}) \div 128 - 1$$

表31.3 メインクロック周波数によるRFRH/RFRLレジスタ設定例

メインクロック周波数	RFRH/RFRLレジスタ設定値
4 MHz	0000 7A11h
8 MHz	0000 F423h
10 MHz	0001 312Ch
12 MHz	0001 6E35h
16 MHz	0001 E847h

31.2.22 時間誤差補正レジスタ (RADJ)

アドレス RTC.RADJ 0008 C42Eh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正值ビット	誤差補正值を設定します	R/W
b7-b6	PMADJ[1:0]	プラスマイナスビット	b7 b6 0 0 : 補正動作を行いません 0 1 : 時計を進める 1 0 : 時計を遅らせる 1 1 : 設定しないでください	R/W

RADJ レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

時計を誤差補正值に応じて進めるか、遅らせることによって、補正を行います。

自動補正機能許可ビット (RCR2.AADJE) が“0”の場合は、RADJ レジスタを書き込むときに補正動作を行います。

RCR2.AADJE ビットが“1”の場合は、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正動作を行います。

ソフトウェア設定 (自動補正しない設定) による補正時は、レジスタ設定後、クロックソースで 320 サイクル以内に次の補正值を設定すると前回の補正設定が無効となる場合があります。連続して補正を行う場合は、レジスタ設定後、クロックソースで 320 サイクル以上待ってから再設定してください。

RADJ レジスタは、クロックソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

サブクロック選択時のみ本レジスタの設定が有効になります。

メインクロック選択時は、本レジスタに値を設定しても補正動作を行いません。

ADJ[5:0] ビット (補正值ビット)

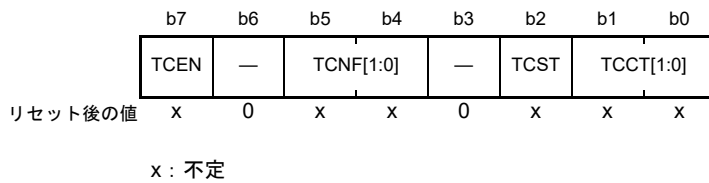
時計の誤差に応じて補正值 (サブクロックのクロックサイクル数) を設定します。

PMADJ[1:0] ビット (プラスマイナスビット)

ADJ[5:0] ビットで設定した誤差補正值に応じて時計を進めるか、遅らせるかを選択します。

31.2.23 時間キャプチャ制御レジスタ n (RTCCRn) (n = 0 ~ 2)

アドレス RTC.RTCCR0 0008 C440h, RTC.RTCCR1 0008 C442h, RTC.RTCCR2 0008 C444h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TCCT[1:0]	時間キャプチャ制御ビット	b1 b0 0 0 : イベント検出しない 0 1 : 立ち上がりエッジ検出 1 0 : 立ち下がりエッジ検出 1 1 : 両エッジ検出	R/W
b2	TCST	時間キャプチャステータスフラグ	0 : イベント検出なし 1 : イベント検出あり	R/(W) (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	TCNF[1:0]	時間キャプチャノイズフィルタ制御ビット	b5 b4 0 0 : ノイズフィルタ OFF 0 1 : 設定しないでください 1 0 : ノイズフィルタ ON (クロックソース) 1 1 : ノイズフィルタ ON (クロックソースの32分周)	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TCEN	時間キャプチャイベント入力端子許可ビット	0 : RTCICn 端子が時間キャプチャイベント入力端子として無効 1 : RTCICn 端子が時間キャプチャイベント入力端子として有効	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

RTCCRn レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

RTCCR0 レジスタが RTCIC0 端子、RTCCR1 レジスタが RTCIC1 端子、RTCCR2 レジスタが RTCIC2 端子をそれぞれ制御します。

RTCCRn レジスタは、クロックソースに同期して更新されます。RTCCRn レジスタを書き換えた場合は、TCST フラグを除く全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

TCCT[1:0] ビット (時間キャプチャ制御ビット)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のエッジ検出を制御するビットです。

検出するエッジの選択が可能です。TCCT[1:0] ビットは、RCR2.START ビットと TCEN ビットが“1”の状態を設定してください。

TCST フラグ (時間キャプチャステータスフラグ)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のイベントが検出されたことを示すフラグです。

TCST フラグが“0”の場合は、イベントが検出されていないことを示します。

TCST フラグが“1”の場合は、該当する端子のイベントが検出されたことを示し、そのキャプチャレジスタが有効になります。複数回イベントが検出された場合は、最初のキャプチャ時刻を保持します。

TCST フラグに“0”を書き込むことで、TCST フラグを“0”にできます。また、“0”以外の値の書き込みは無効になります。

TCST フラグを“0”にするときは、TCCT[1:0] ビットを“00b” (イベント検出しない) にした状態で行って

ください。

TCST フラグは、クロックソースに同期して“0”になります。TCST フラグを“0”にした場合は、値が更新されたことを確認してから次の処理を実行してください。

TCNF[1:0] ビット (時間キャプチャノイズフィルタ制御ビット)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のノイズフィルタを制御するビットです。

ノイズフィルタが ON の場合、クロックソースの 1 分周、32 分周のどちらかを選択することが可能です。このとき、時間キャプチャイベント入力端子の入力レベルが選択されたサンプル間隔で 3 回連続で一致すると、入力レベルを決定します。

TCNF[1:0] ビットの設定は、TCCT[1:0] ビットを“00b”(イベント検出しない)にした状態で行ってください。ノイズフィルタを使用する場合は、TCEN ビットを“1”にし、TCNF[1:0] ビットを設定した後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0] ビットの設定を行ってください。

TCEN ビット (時間キャプチャイベント入力端子許可ビット)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) の有効 / 無効を制御するビットです。

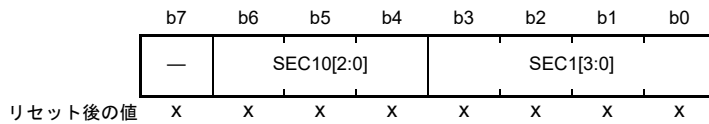
サブクロック選択時 (RCR4.RCKSEL ビット = 0) かつサブクロック発振器停止時 (RCR3.RTCEN ビット = 0) は、TCEN ビットの値に関わらず時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) は無効となります。時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) に複数の機能が割り当てられている場合、先に端子の機能を汎用入力ポートに設定した後、TAMPICR1.CHnEN ビット (n = 0 ~ 2) を“1”にし(注 1)、本ビットを“1”にしてください。本ビットを“0”にする場合、TCCT[1:0] ビットも“00b”にしてください。

注 1. 詳細は「12. バッテリバックアップ機能 (VBATTB)」を参照してください。

31.2.24 秒キャプチャレジスタ n (RSECCPn) (n = 0 ~ 2)/ BCNT0 キャプチャレジスタ n (BCNT0CPn) (n = 0 ~ 2)

(1) カレンダカウントモード時

アドレス RTC.RSECCP0 0008 C452h, RTC.RSECCP1 0008 C462h, RTC.RSECCP2 0008 C472h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒キャプチャビット	一秒の位のキャプチャ値を示します	R
b6-b4	SEC10[2:0]	10秒キャプチャビット	十秒の位のキャプチャ値を示します	R
b7	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RSECCPn レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

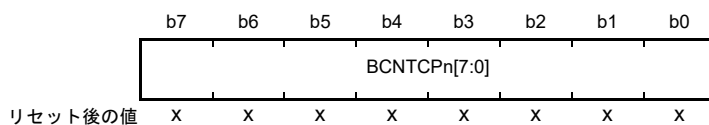
RTCIC0 端子によるイベント検出時は RSECCP0 レジスタに、RTCIC1 端子によるイベント検出時は RSECCP1 レジスタに、RTCIC2 端子によるイベント検出時は RSECCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT0CP0 0008 C452h, RTC.BCNT0CP1 0008 C462h, RTC.BCNT0CP2 0008 C472h



x : 不定

BCNT0CPn レジスタは、時間キャプチャイベント検出時に BCNT0 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は BCNT0CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT0CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT0CP2 レジスタにそれぞれのイベント検出時刻を格納します。

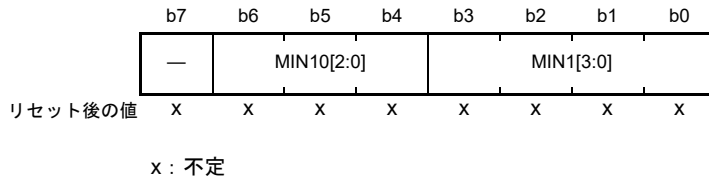
RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

31.2.25 分キャプチャレジスタ n (RMINCPn) (n = 0 ~ 2)/ BCNT1 キャプチャレジスタ n (BCNT1CPn) (n = 0 ~ 2)

(1) カレンダーカウントモード時

アドレス RTC.RMINCP0 0008 C454h, RTC.RMINCP1 0008 C464h, RTC.RMINCP2 0008 C474h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分キャプチャビット	一分の位のキャプチャ値を示します	R
b6-b4	MIN10[2:0]	10分キャプチャビット	十分の位のキャプチャ値を示します	R
b7	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RMINCPn レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

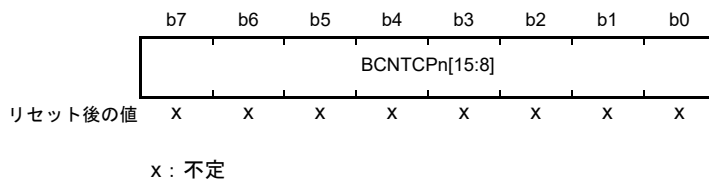
RTCIC0 端子によるイベント検出時は RMINCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMINCP1 レジスタに、RTCIC2 端子によるイベント検出時は RMINCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT1CP0 0008 C454h, RTC.BCNT1CP1 0008 C464h, RTC.BCNT1CP2 0008 C474h



BCNT1CPn レジスタは、時間キャプチャイベント検出時に BCNT1 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は BCNT1CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT1CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT1CP2 レジスタにそれぞれのイベント検出時刻を格納します。

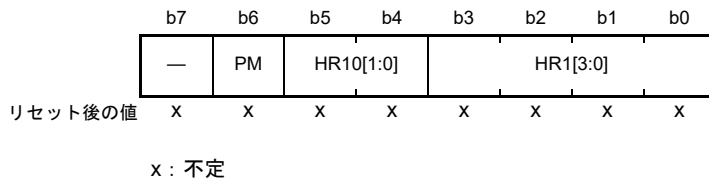
RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

31.2.26 時キャプチャレジスタ n (RHRCPn) (n = 0 ~ 2)/ BCNT2 キャプチャレジスタ n (BCNT2CPn) (n = 0 ~ 2)

(1) カレンダーカウントモード時

アドレス RTC.RHRCP0 0008 C456h, RTC.RHRCP1 0008 C466h, RTC.RHRCP2 0008 C476h



ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間キャプチャビット	一時間の位のキャプチャ値を示します	R
b5-b4	HR10[1:0]	10時間キャプチャビット	十時間の位のキャプチャ値を示します	R
b6	PM	PMビット	0 : 午前 1 : 午後	R
b7	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RHRCPn レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RHRCP0 レジスタに、RTCIC1 端子によるイベント検出時は RHRCP1 レジスタに、RTCIC2 端子によるイベント検出時は RHRCP2 レジスタにそれぞれのイベント検出時刻を格納します。

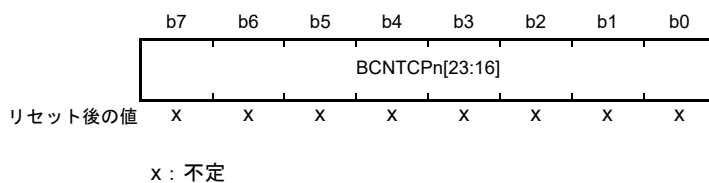
RCR2.HR24 ビットが“0” (12 時間モードで動作) の場合のみ、PM ビットが有効になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT2CP0 0008 C456h, RTC.BCNT2CP1 0008 C466h, RTC.BCNT2CP2 0008 C476h



BCNT2CPn レジスタは、時間キャプチャイベント検出時に BCNT2 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は BCNT2CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT2CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT2CP2 レジスタにそれぞれのイベント検出時刻を格納します。

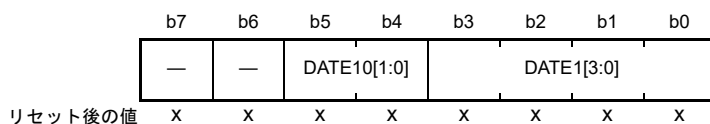
RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

31.2.27 日キャプチャレジスタ n (RDAYCPn) (n = 0 ~ 2)/ BCNT3 キャプチャレジスタ n (BCNT3CPn) (n = 0 ~ 2)

(1) カレンダーカウントモード時

アドレス RTC.RDAYCP0 0008 C45Ah, RTC.RDAYCP1 0008 C46Ah, RTC.RDAYCP2 0008 C47Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日キャプチャビット	一日の位のキャプチャ値を示します	R
b5-b4	DATE10[1:0]	10日キャプチャビット	十日の位のキャプチャ値を示します	R
b7-b6	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RDAYCPn レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

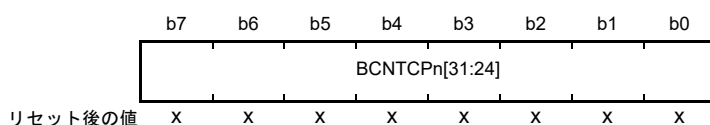
RTCIC0 端子によるイベント検出時は RDAYCP0 レジスタに、RTCIC1 端子によるイベント検出時は RDAYCP1 レジスタに、RTCIC2 端子によるイベント検出時は RDAYCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT3CP0 0008 C45Ah, RTC.BCNT3CP1 0008 C46Ah, RTC.BCNT3CP2 0008 C47Ah



x : 不定

BCNT3CPn レジスタは、時間キャプチャイベント検出時に BCNT3 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

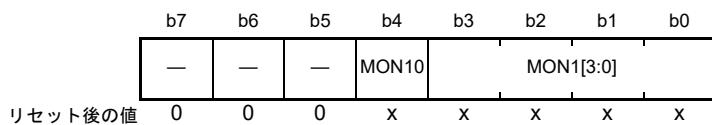
RTCIC0 端子によるイベント検出時は BCNT3CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT3CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT3CP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

31.2.28 月キャプチャレジスタ n (RMONCPn) (n = 0 ~ 2)

アドレス RTC.RMONCP0 0008 C45Ch, RTC.RMONCP1 0008 C46Ch, RTC.RMONCP2 0008 C47Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月キャプチャビット	一月の位のキャプチャ値を示します	R
b4	MON10	10月キャプチャビット	十月の位のキャプチャ値を示します	R
b7-b5	—	予約ビット	読むと“0”が読めます	R

RMONCPn レジスタは、時間キャプチャイベント検出時に RMONCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMONCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMONCP1 レジスタに、RTCIC2 端子によるイベント検出時は RMONCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

31.3 動作説明

31.3.1 電源投入後のレジスタの初期設定概要

電源投入後、クロック設定、カウントモード設定、時刻設定、時計誤差補正、アラーム、割り込み、時間キャプチャ制御レジスタの初期設定をしてください。

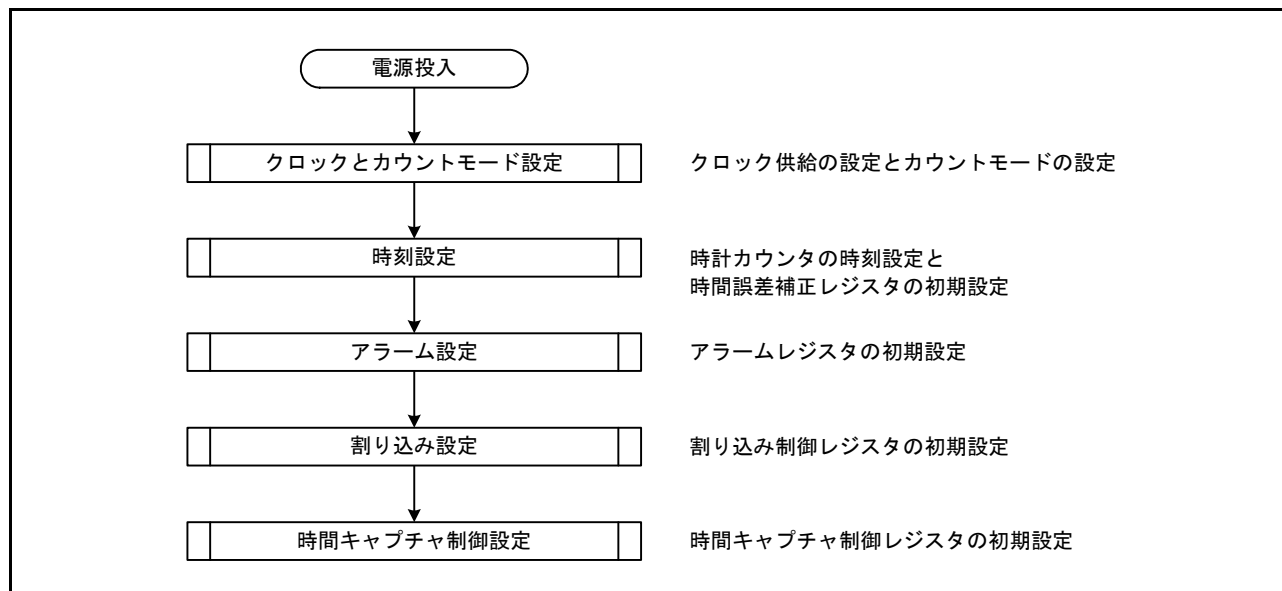


図 31.2 電源投入後の初期設定概要

31.3.2 クロックとカウントモード設定手順

図 31.3、図 31.4、図 31.5 にクロックとカウントモードの設定手順を示します。

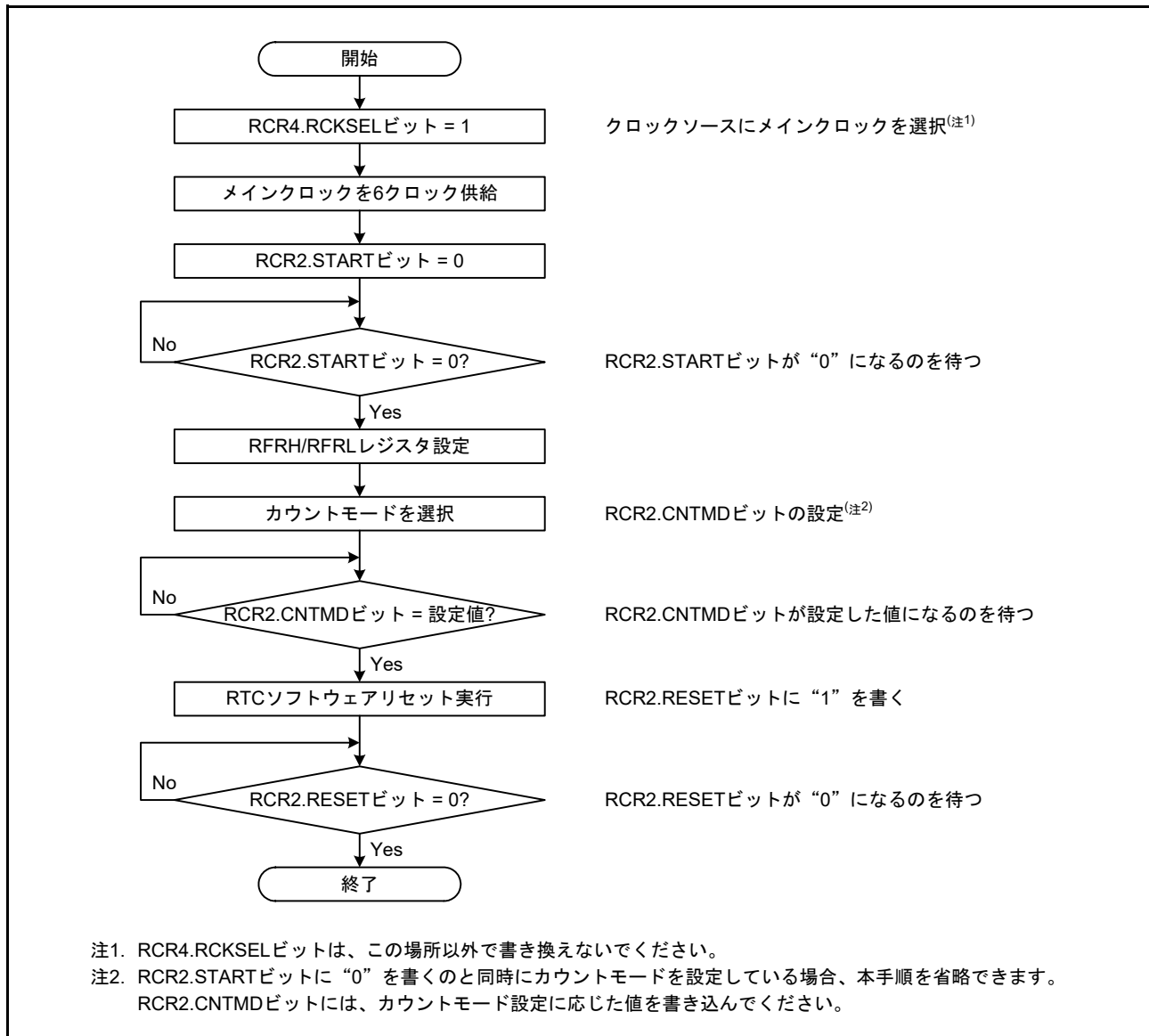


図 31.3 クロック、カウントモード設定手順 (メインクロック使用時)

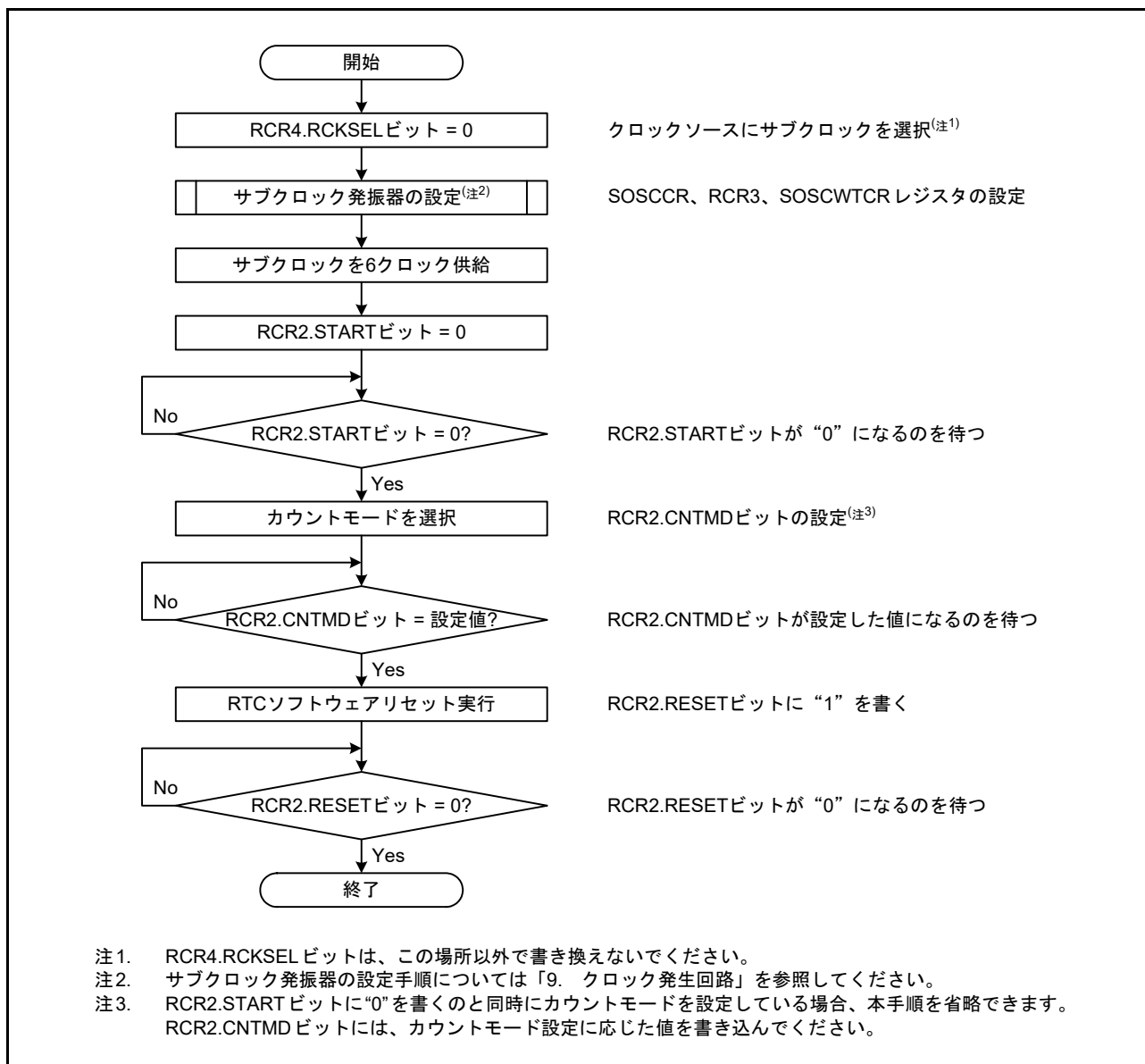


図 31.4 クロック、カウントモード設定手順 (サブクロック発振器使用時)

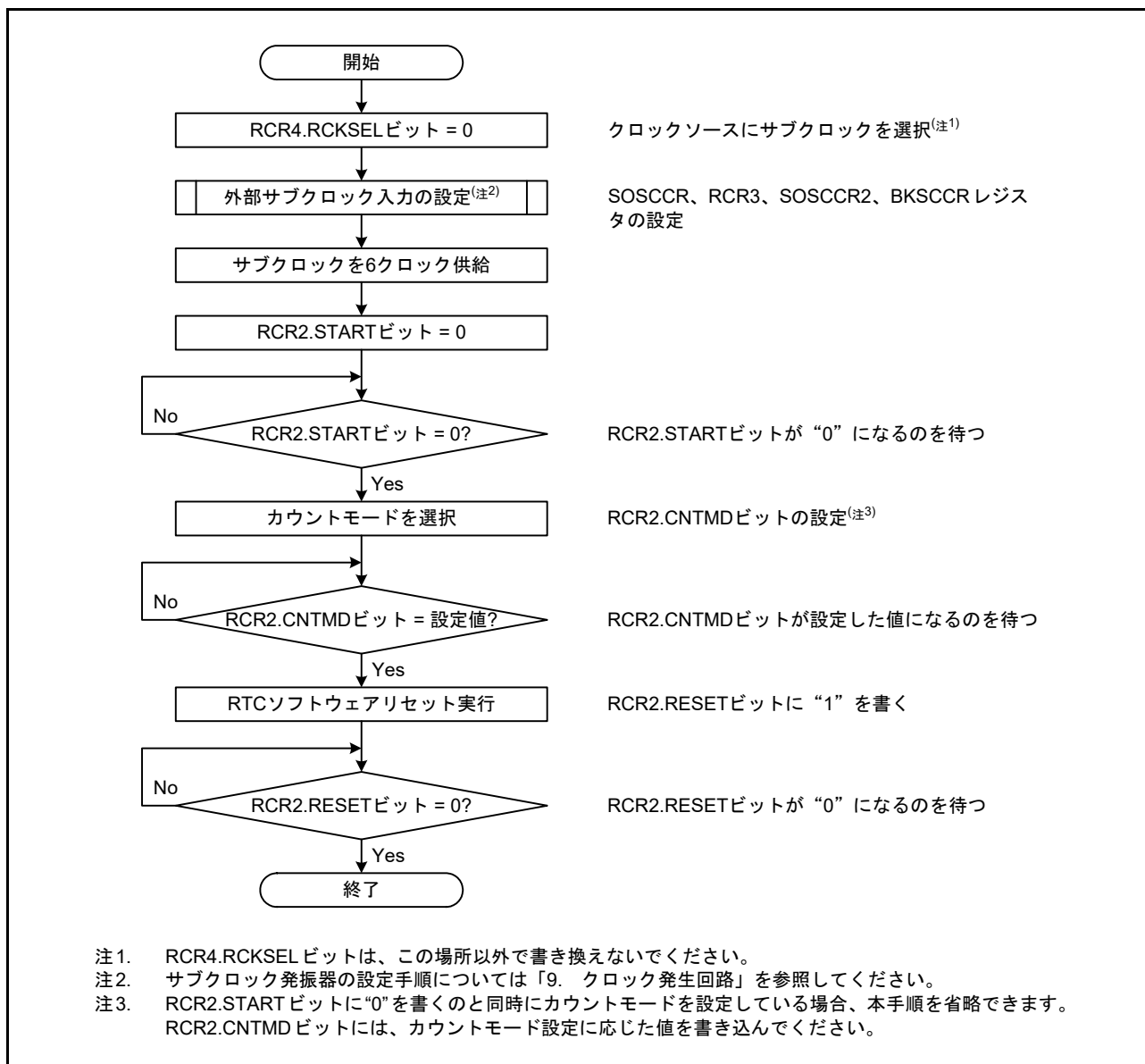


図 31.5 クロック、カウントモード設定手順 (外部サブクロック入力使用時)

31.3.3 時刻設定手順

図 31.6、図 31.7 に時刻設定手順を示します。

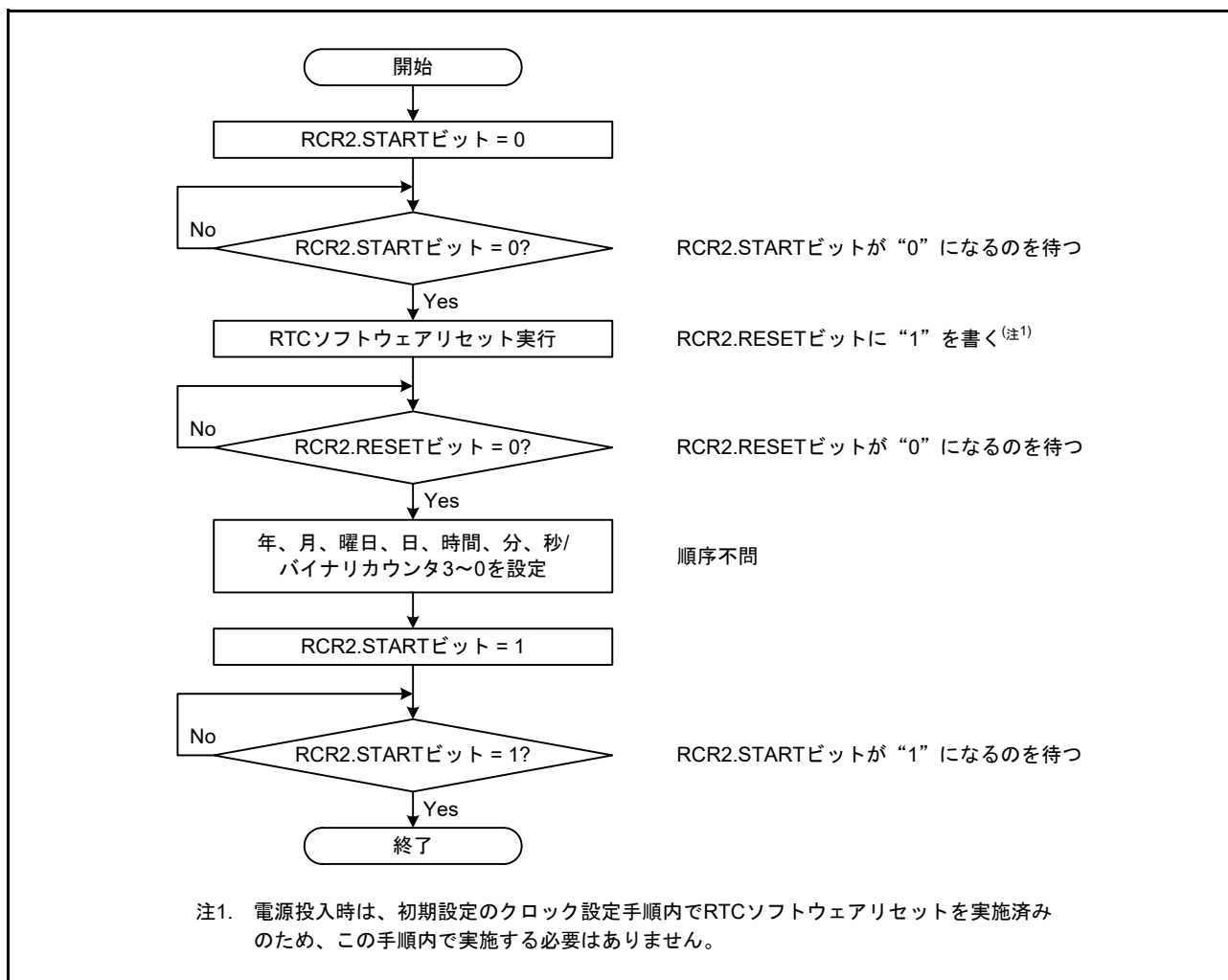


図 31.6 時刻設定手順 (メインクロック使用時)

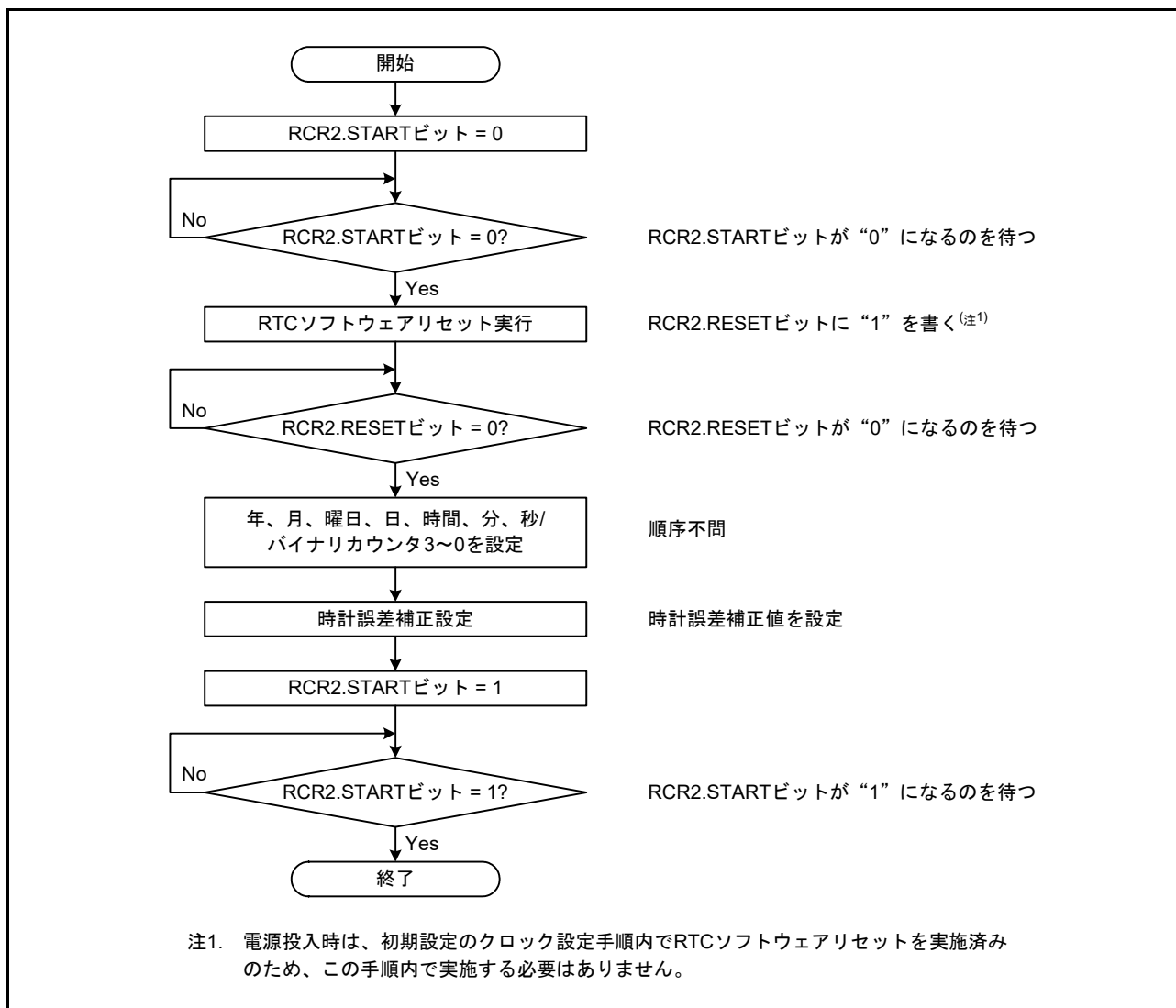


図 31.7 時刻設定手順 (サブクロック使用時)

31.3.4 30秒調整手順

図 31.8 に 30 秒調整手順を示します。30 秒調整機能はカレンダーカウントモードでのみ使用可能です。

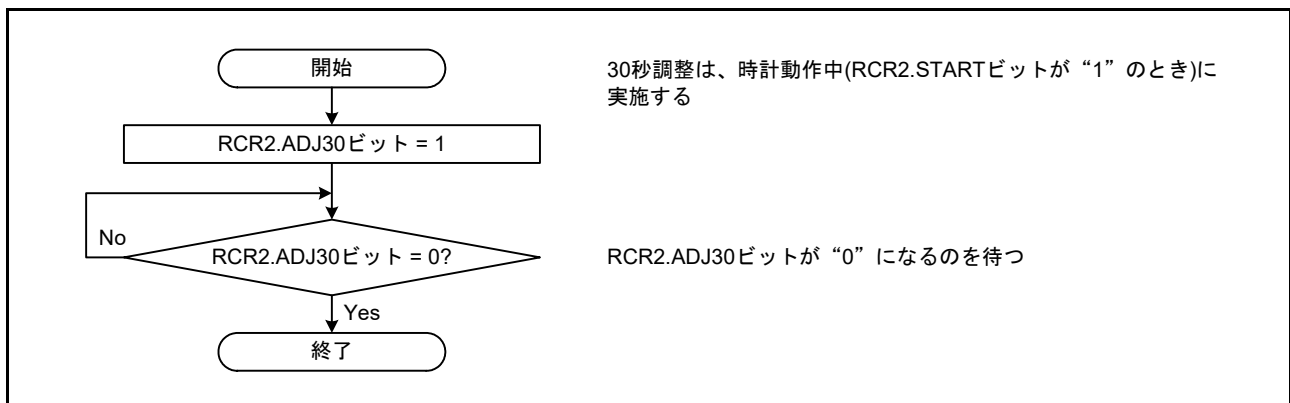


図 31.8 30秒調整手順

31.3.5 64 Hz カウンタおよび時刻読み出し手順

図 31.9 に 64 Hz カウンタおよび時刻読み出し手順を示します。

64 Hz カウンタおよび時刻読み出し中に桁上げが起ると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 31.9 の (a) に、桁上げ割り込みを使用する方法を図 31.9 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

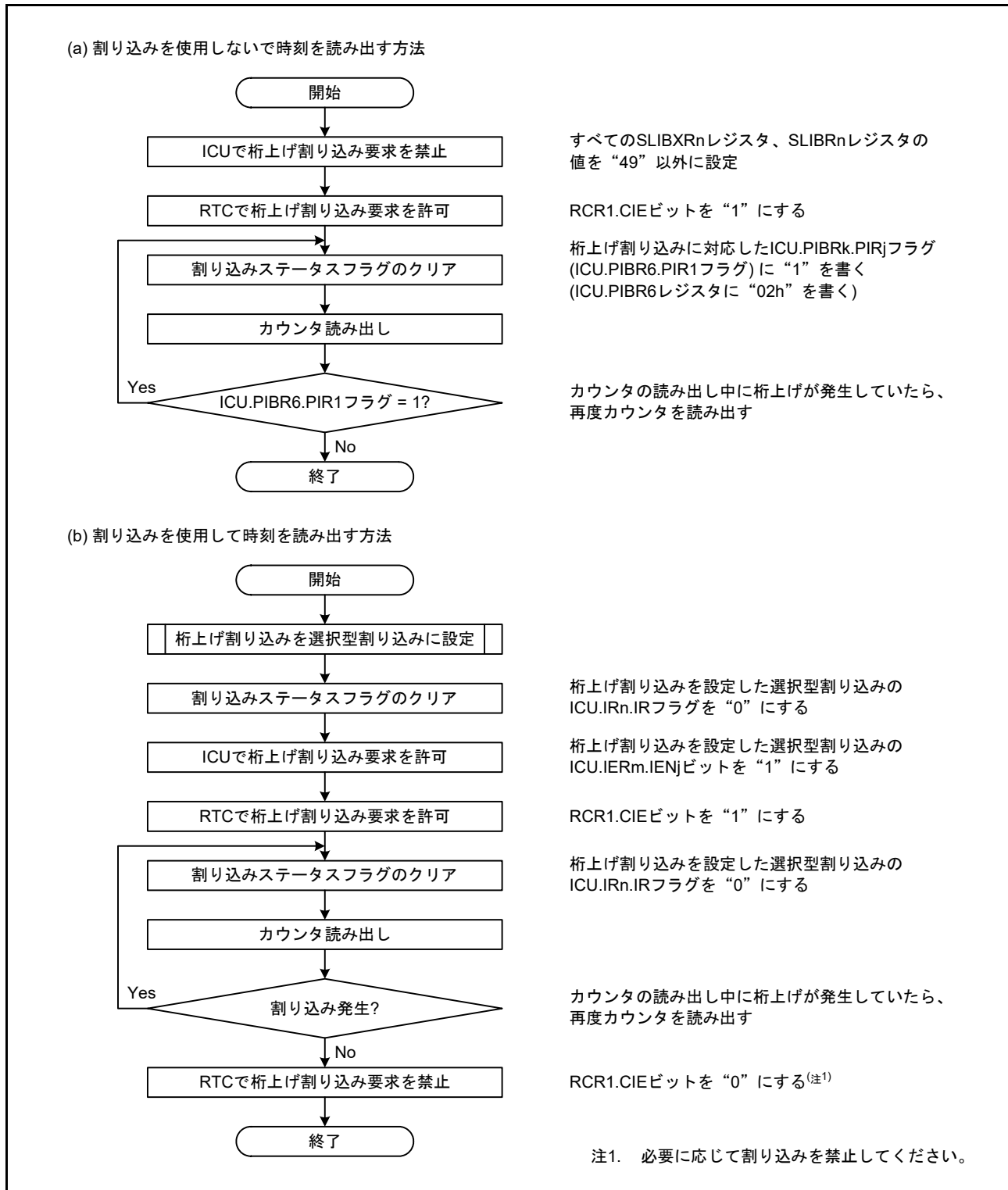


図 31.9 時刻読み出し手順

31.3.6 アラーム機能

図 31.10 にアラーム機能の使用方法を示します。

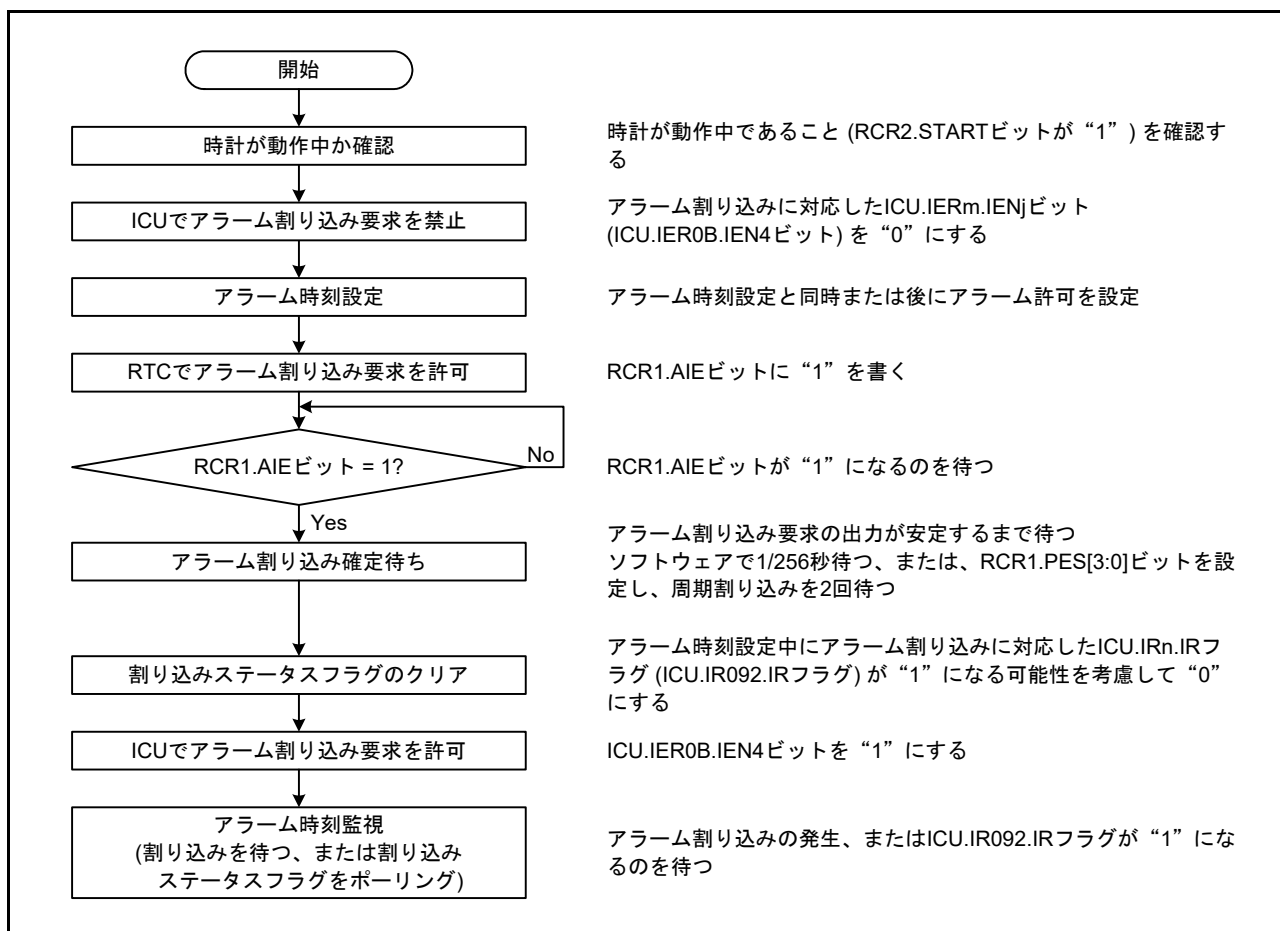


図 31.10 アラーム機能の使用方法

カレンダーカウントモードでは、アラームは、年、月、日、曜日、時、分、秒のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とする各アラームレジスタの ENB ビットに“1”を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに“0”を書き込みます。

バイナリカウントモードでは、32 ビットの任意のビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラーム許可レジスタの ENB ビットに“1”を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットには、アラーム許可レジスタの ENB ビットに“0”を書き込みます。

カウンタとアラーム時刻が一致した場合は、アラーム割り込みに対応した IR フラグ (ICU.IR092.IR フラグ) が“1”になります。アラームの検出はこのフラグを読み出すことによって確認できますが、通常は割り込みで行います。アラーム割り込みに対応した割り込み要求許可ビット (ICU.IER0B.IEN4 ビット) に“1”が書き込まれている場合、アラーム割り込みが発生しアラームを検出することができます。

ICU.IR092.IR フラグは“0”を書き込むと“0”になります。

低消費電力状態のときにカウンタとアラーム時刻が一致すると低消費電力状態から復帰します。また、ディープソフトウェアスタンバイモード時は、アラーム割り込み要求が禁止の場合でも、ディープソフトウェアスタンバイモードから復帰します。

31.3.7 アラーム割り込み禁止手順

図 31.11 に許可状態のアラーム割り込み要求を禁止する手順を示します。

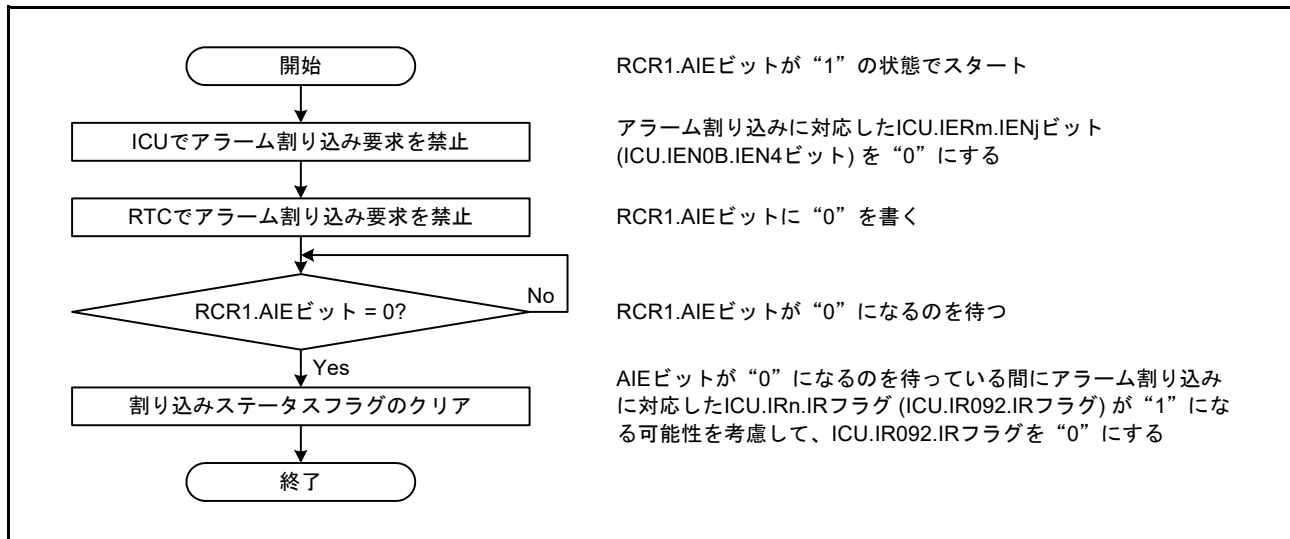


図 31.11 アラーム割り込み要求を禁止する手順

31.3.8 時計誤差補正機能

時計誤差補正機能は、サブクロックの発振精度による時計の誤差 (遅れる / 進む) を補正します。サブクロック選択時、32,768 クロックサイクルを 1 秒として動作するため、サブクロックの周波数が高い場合は時計が進み、低い場合は時計が遅れます。本機能により、時計を進めるか、遅らせることで誤差を補正することができます。

時計誤差補正機能には、自動補正とソフトウェアによる補正の 2 種類の補正機能があります。

自動補正、ソフトウェアによる補正の選択は、RCR2.AADJE ビットで設定してください。

31.3.8.1 自動補正機能

RCR2.AADJE ビットが“1”の場合、自動補正機能が有効です。

自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに RADJ レジスタ設定に応じて時計を進めるか、遅らせます。以下に例を示します。

例 1) サブクロック周波数 = 32.769 kHz

補正方法：

サブクロックの周波数が 32.769 kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は、32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みません。1 分なら 60 クロックサイクル分、時計が進むため、1 分ごとに 60 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 0 の場合)

- RCR2.AADJP ビット = 0 (1 分ごとに補正)
- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 60 (3Ch)

例 2) サブクロック周波数 = 32.766 kHz

補正方法：

サブクロックの周波数が 32.766 kHz の場合、32,766 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 2 クロックサイクル分、時計が遅れます。10 秒なら 20 クロックサイクル分、時計が遅れるため、10 秒ごとに 20 クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 0 の場合)

- RCR2.AADJP ビット = 1 (10 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 20 (14h)

例 3) サブクロック周波数 = 32.764 kHz

補正方法：

サブクロックの周波数が 32.764 kHz の場合、32,764 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 4 クロックサイクル分、時計が遅れます。8 秒なら 32 クロックサイクル分、時計が遅れるため、8 秒ごとに“32”クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 1 の場合)

- RCR2.AADJP ビット = 1 (8 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 32 (20h)

31.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットが“0”の場合、ソフトウェアによる補正が有効です。

ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで RADJ レジスタ設定に応じて時計を進めるか、遅らせます。

例 1) サブクロック周波数 = 32.769 kHz

補正方法：

サブクロックの周波数が 32.769 kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。1 秒ごとに 1 クロックサイクル分、時計が進むため、1 秒ごとに 1 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：

- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 1 (01h)
1 秒の割り込みごとに RADJ レジスタに書き込む

31.3.8.3 補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを“00b”(補正しない)にした後、RCR2.AADJE ビットを変更してください。

ソフトウェアによる補正から、自動補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b”(補正しない)にする
- (2) RCR2.AADJE ビットを“1”(自動補正機能許可)にする
- (3) RCR2.AADJP ビットで補正周期を選択する
- (4) RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットに時計誤差補正值を設定する

自動補正から、ソフトウェアによる補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b”(補正しない)にする
- (2) RCR2.AADJE ビットを“0”(ソフトウェアによる補正機能有効)にする
- (3) 任意のタイミングで RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットに時計誤差補正值を書き込むと補正を行う。以降、RADJ レジスタに書き込むごとに補正を行う。

31.3.8.4 補正機能の停止手順

補正機能を停止する場合は、RADJ.PMADJ[1:0] ビットを“00b”(補正しない)にしてください。

31.3.9 時間キャプチャ機能

RTCは時間キャプチャイベント入力端子のエッジ検出によって、月、日、時、分、秒/バイナリカウンタ3～0の値を格納します。

また、RTCの時間キャプチャイベント入力端子には、ノイズフィルタを使用することができます。ノイズフィルタを有効にした場合、端子の入力レベルが、3回一致することでTCSTフラグが“1”になります。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタのON/OFFを設定できます。

ノイズフィルタOFFの場合の動作を図31.12に、ノイズフィルタONの場合の動作を図31.13に示します。

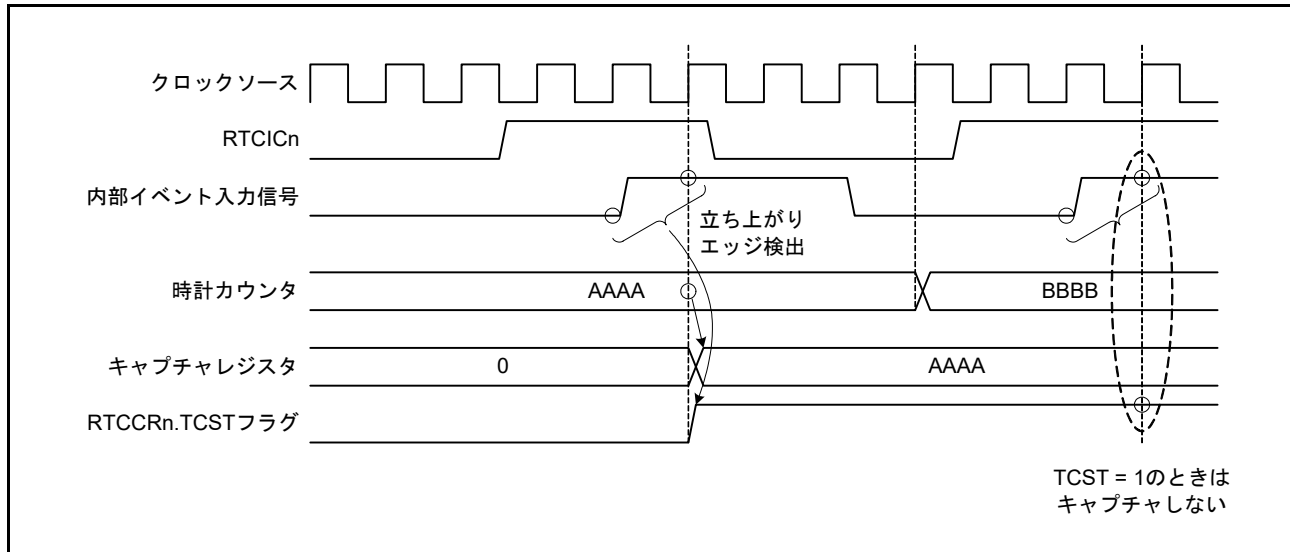


図 31.12 時間キャプチャ機能動作タイミング (フィルタ OFF) (n = 0 ~ 2)

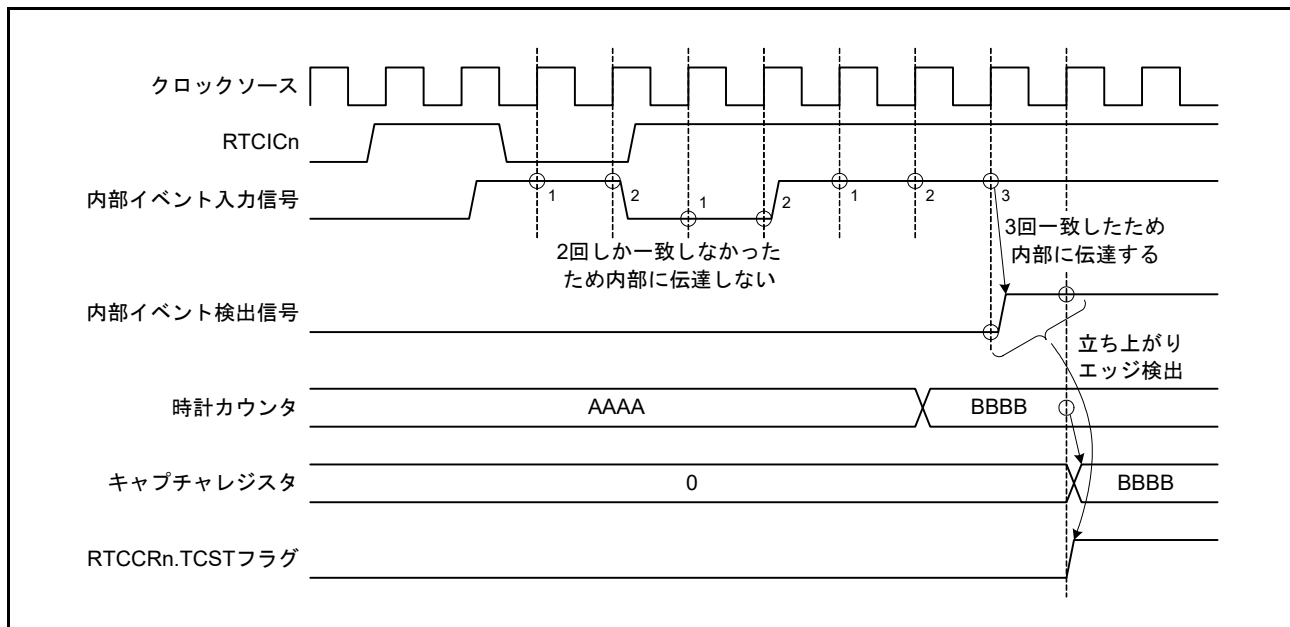


図 31.13 時間キャプチャ機能動作タイミング (フィルタ ON) (n = 0 ~ 2)

31.4 割り込み要因

RTC の割り込み要因には、以下の 3 種類があります。表 31.4 に RTC の割り込み要因を示します。

表 31.4 RTCの割り込み要因

名称	割り込み要因	割り込みステータスフラグ	割り込み要求許可ビット
ALM	アラーム割り込み	IR092.IR	IER0B.IEN4
PRD	周期割り込み	IR093.IR	IER0B.IEN5
CUP	桁上げ割り込み	PIBR6.PIR1	— (選択型割り込み B)

(1) アラーム割り込み (ALM)

アラームレジスタと時計カウンタとの比較結果によって割り込みが発生します (詳細は「31.3.6 アラーム機能」を参照してください)。

アラームレジスタの設定中に時計カウンタと一致し、割り込みフラグが“1”になる可能性があるため、アラームレジスタの変更後、アラーム時刻設定の確定を待ち、一度 ICU.IR092.IR フラグを“0”にしてください。アラーム割り込みの割り込みフラグは、一度“0”にすると、再度アラームレジスタと時計カウンタが不一致状態になった後、再び一致するかアラームの再設定を行うまで“1”になりません。

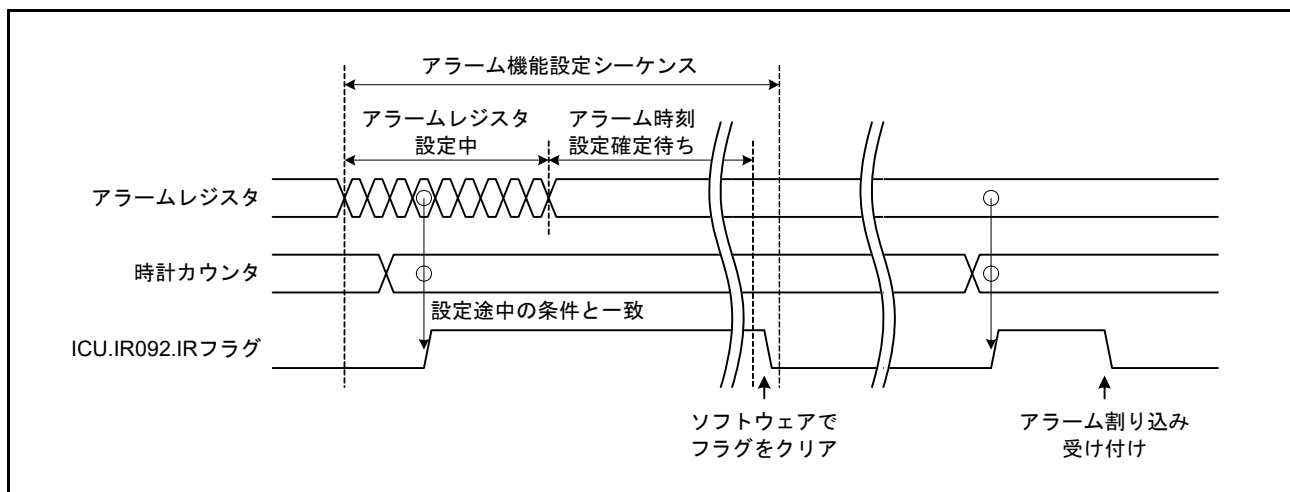


図 31.14 アラーム割り込みのタイミングチャート

(2) 周期割り込み (PRD)

2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期で発生する割り込みです。RCR1.PES[3:0] ビットによって周期の選択が可能です。

(3) 桁上げ割り込み (CUP)

秒カウンタ/バイナリカウンタ 0 への桁上げが発生したとき、または 64 Hz カウンタ読み出しと R64CNT カウンタへの桁上げが重なったときに発生する割り込みです。

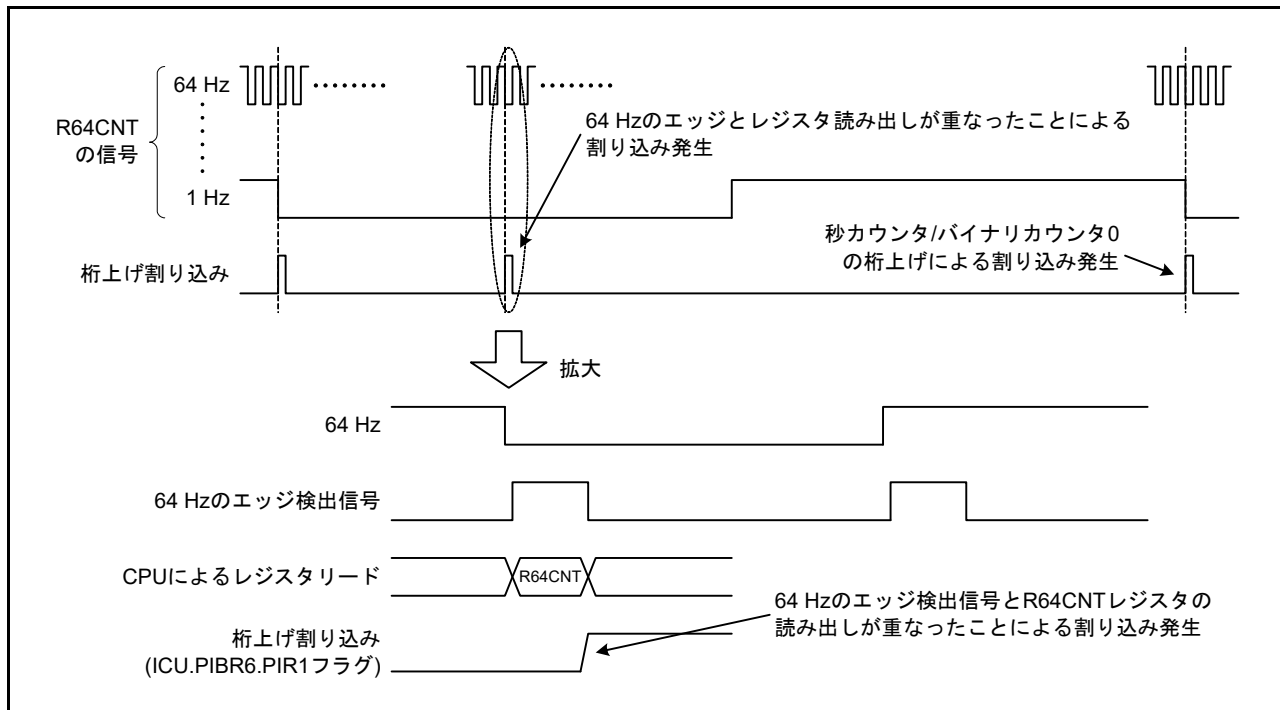


図 31.15 桁上げ割り込みのタイミングチャート

31.5 イベントリンク出力機能

RTC はイベントリンクコントローラ (ELC) へ以下のイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

(1) 周期イベント出力

RCR1.PES[3:0] ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期から選択された周期でイベントを出力します。

また、イベント発生周期選択直後のイベント発生周期は保証されません。

注． RTC のイベントリンク出力機能を使用する場合は、RTC の設定 (初期化、時刻設定など) 後、ELC を設定して行ってください。ELC 設定後に RTC を設定すると、意図しないイベントが出力することがあります。

31.5.1 割り込み処理とイベントリンクの関係

RTC には、周期割り込みの許可 / 禁止を制御するビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

注． ソフトウェアスタンバイモード中、ディープソフトウェアスタンバイモード中もアラーム割り込み、周期割り込み出力することができますが、ELC 用の周期イベント信号は出力しません。

31.6 使用上の注意事項

31.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時 (RCR2.START ビット = 1 のとき) は、以下のレジスタに書き込みを行わないでください。

RSECCNT/BCNT0, RMINCNT/BCNT1, RHRCNT/BCNT2, RDAYCNT, RWKCNT/BCNT3, RMONCNT, RYRCNT, RCR1.RTCOS, RCR2.RTCOE, RCR2.HR24, RFRH, RFRL

上記のレジスタへの書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

31.6.2 周期割り込みの使用について

周期割り込みの使用方法を図 31.16 に示します。

周期割り込みは、RCR1.PES[3:0] ビットの設定によって割り込みの発生および周期を切り替えることができます。しかし、割り込み発生にプリスケアラ、R64CNT、RSECCNT/BCNT0 カウンタを使用しているため、RCR1.PES[3:0] ビット設定直後の割り込み発生周期は保証されません。

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、割り込み発生周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值の分だけ周期がずれます。

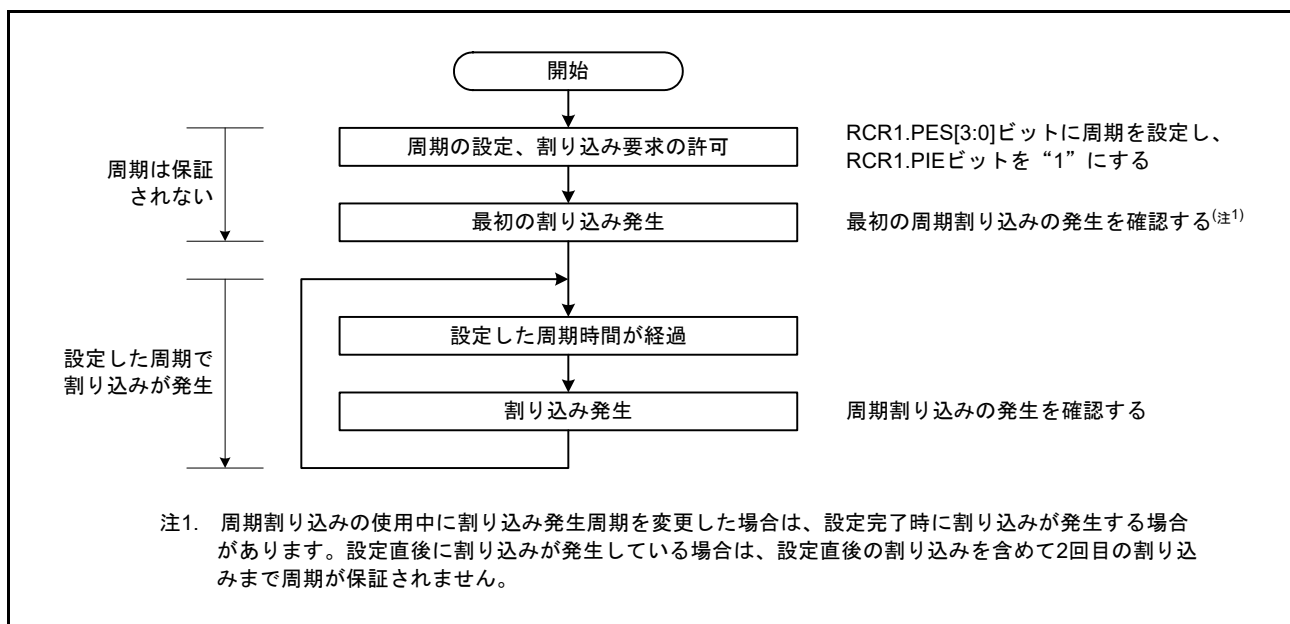


図 31.16 周期割り込み機能の使用方法

31.6.3 RTCOUT (1 Hz/64 Hz) 出力について

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、RTCOUT (1 Hz/64 Hz) 出力の周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の RTCOUT (1 Hz/64 Hz) 出力の周期は、補正值の分だけ周期がずれます。

31.6.4 レジスタ設定後の低消費電力モード移行について

RTC 内レジスタへの書き込み、およびレジスタ更新処理中に低消費電力状態 (ソフトウェアスタンバイモード/ディープソフトウェアスタンバイモード/バッテリバックアップ機能) へ遷移すると、レジスタ値を破壊する可能性があります。レジスタ設定後は、設定されたことを確認してから低消費電力状態に遷移してください。

31.6.5 レジスタの書き込み / 読み出し時の注意事項

- 秒カウンタ / バイナリカウンタ 0 など、カウントレジスタの読み出しは、「31.3.5 64 Hz カウンタおよび時刻読み出し手順」に従ってください。
- カウントレジスタ、アラームレジスタ、年アラーム許可レジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR3 レジスタ、RCR4 レジスタ、RFRH/RFRLL レジスタに書いた値は、書き込み後 4 回目の読み出しから反映されます。
- RCR1.CIE、RTCOS ビット、RCR2.RTCOE ビットは、書き込み後すぐに書いた値を読み出すことができます。
- リセットまたはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、バッテリバックアップ状態から復帰した後に時計カウンタの値を読み出すときは、時計動作中 (RCR2.START ビット = 1) で 1/128 秒待ってから読み出しを行ってください。
- リセット発生後、RTC レジスタへの書き込みは、クロックソース 6 サイクル経過後に行ってください。

31.6.6 カウントモードの変更について

カウントモード (カレンダー / バイナリ) を変更する場合には、RCR2.START ビットを “0” に設定し、カウント動作を停止させてから初期設定からやり直してください。初期設定の詳細は「31.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

31.6.7 時間キャプチャ機能を使用する場合の注意事項

時間キャプチャ機能を使用する場合、RTCCRn.TCEN ビット (n = 0 ~ 2) 以外に TAMPICR1.CHnEN ビットも “1” にする必要があります。

タンパ検出を行わない場合、タンパ検出回路内の TAMPICR、TCECR、TAMPICR2、TAMPIMR レジスタは初期値のままにしてください。

タンパ検出のタイムスタンプ取得に時間キャプチャ機能を使用する場合、ノイズフィルタはタンパ検出回路のものを使用し、RTCCRn.TCNF[1:0] ビットを “00b” (RTC のノイズフィルタは OFF) にしてください。

31.6.8 リアルタイムクロックを使用しない場合の初期化手順

RTC 内のレジスタは、リセットによる初期化が行われなかったため、初期状態によっては意図しない割り込み要求が発生したり、カウンタが動作したりすることにより、電力消費量が多くなります。

RTC を必要としない製品では、**図 31.17** または **図 31.18** に示す初期化手順に従って、レジスタを初期化してください。

サブクロックもメインクロックも使用しない場合、RCR1 レジスタや RCR2 レジスタが初期化できません。RCR4.RCKSEL ビットを“0” (サブクロックを選択) にした後、「9.10.6.3 サブクロックを使用しない場合」に従ってサブクロックを停止させることで RTC が動作しないようにしてください。また、念のため各割り込み要因に対応した割り込みステータスフラグをクリアしてください。

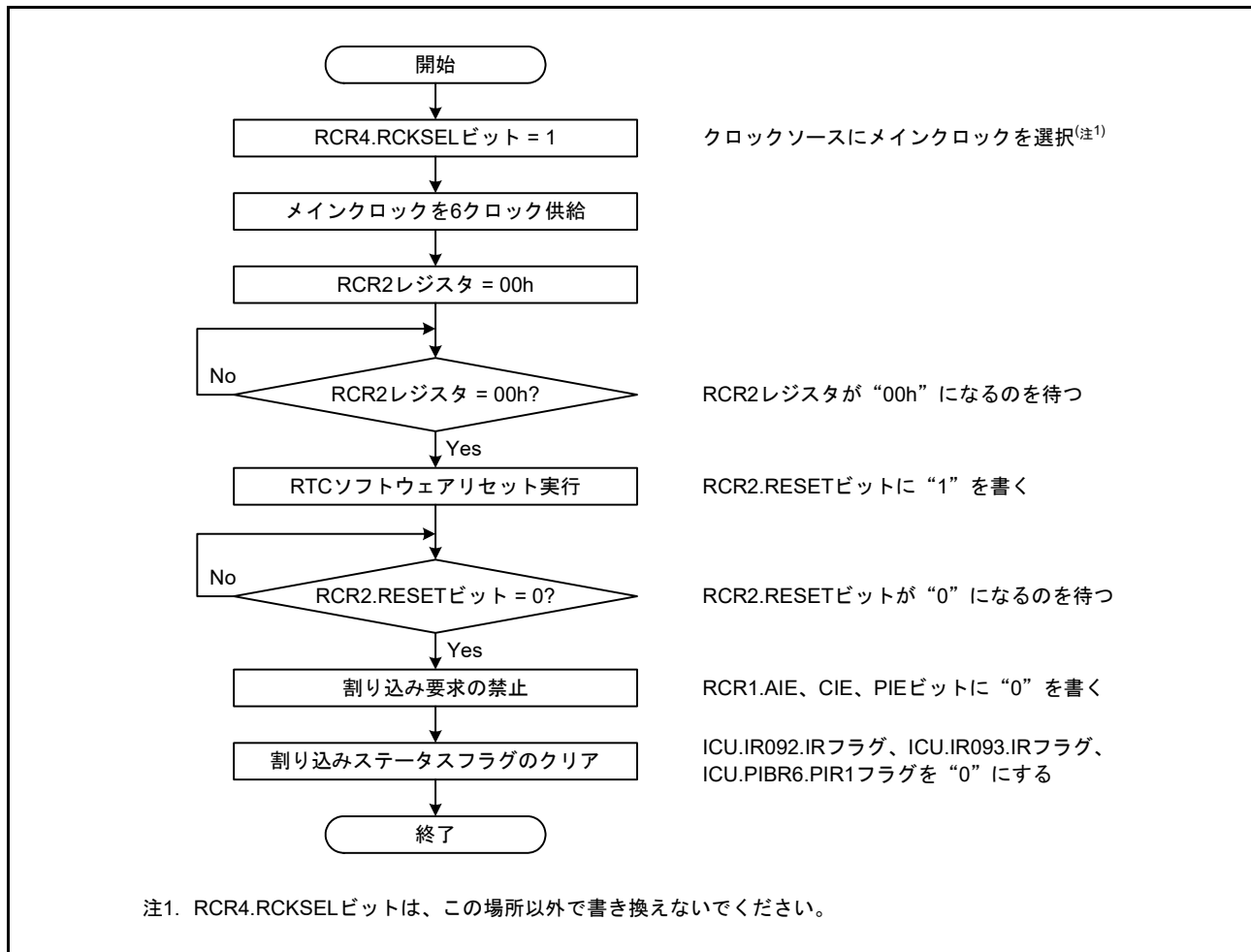


図 31.17 初期化手順 (メインクロック使用時)

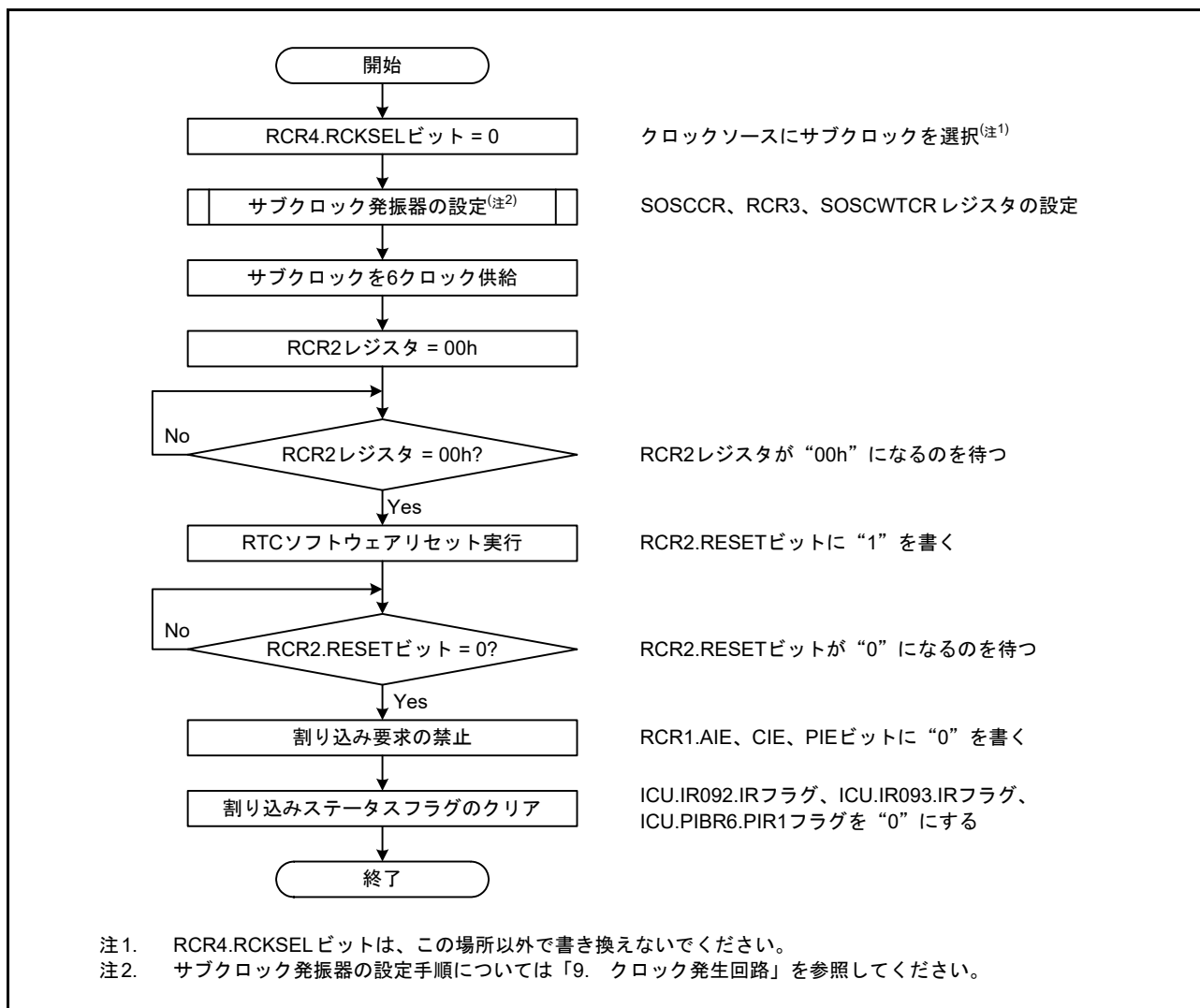


図 31.18 初期化手順 (サブクロック使用時)

32. ウォッチドッグタイマ (WDTA)

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタで、システムの暴走などによりカウンタの値がリフレッシュされずにアンダフローすると、MCU をリセットします。

また、アンダフロー時に、ノンマスカブル割り込みやマスカブル割り込みを発生させることもできます。

カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、同許可期間を暴走検知の条件とすることができます。

32.1 概要

表 32.1 に WDT の仕様を、図 32.1 に WDT のブロック図を示します。

表 32.1 WDT の仕様

項目	内容
カウントソース	周辺モジュールクロック (PCLKB)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウント動作	14ビットのカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> オートスタートモード：リセット解除後、自動的にカウント開始 レジスタスタートモード：リフレッシュ動作 (WDTRR レジスタに "00h" を書き込み後、"FFh" を書き込む) により、カウント開始
カウント停止条件	<ul style="list-style-type: none"> リセット 低消費電力状態 アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> カウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
ノンマスカブル割り込み/ マスカブル割り込み要因	<ul style="list-style-type: none"> カウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、カウンタのカウント値の読み出しが可能

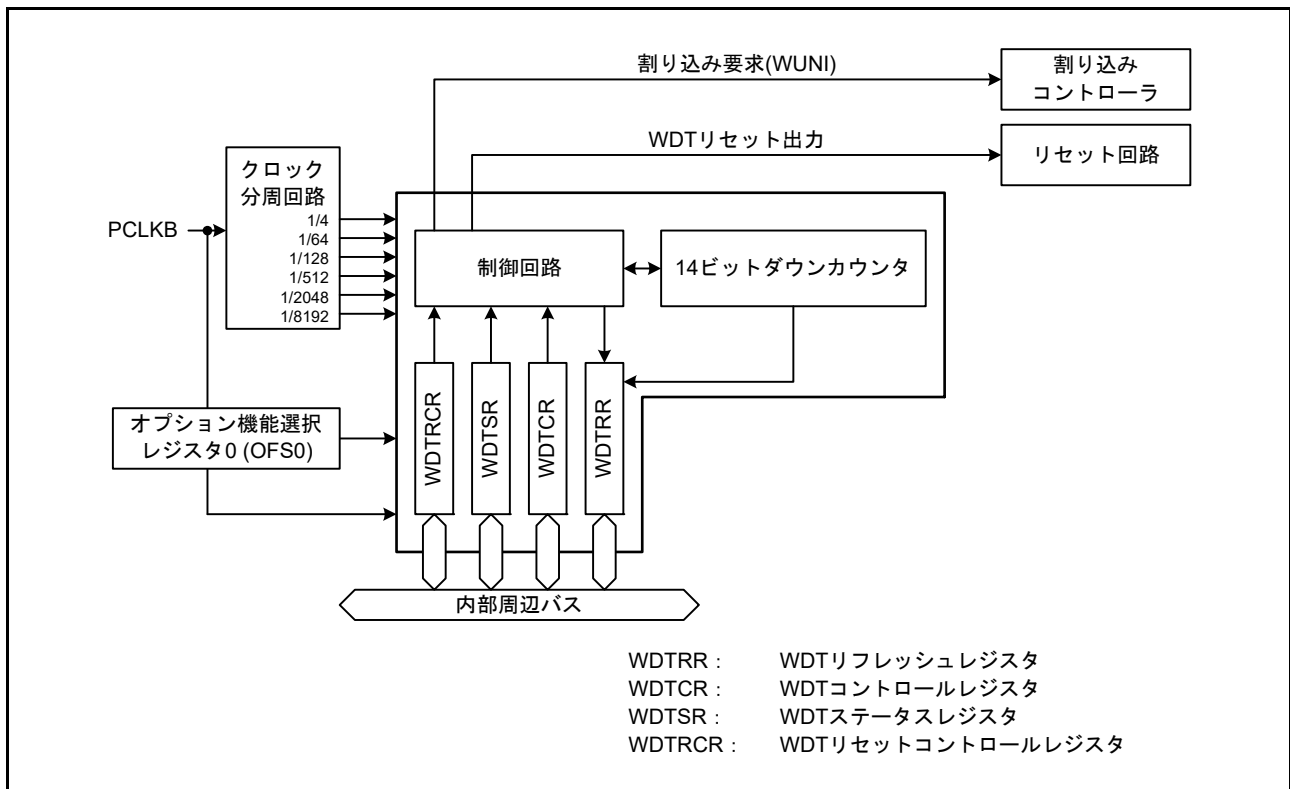
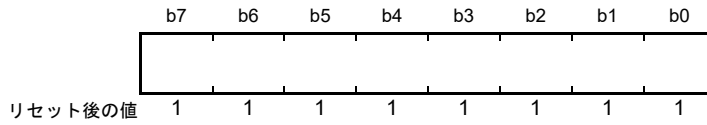


図 32.1 WDT のブロック図

32.2 レジスタの説明

32.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス WDT.WDTRR 0008 8020h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

WDTRR レジスタは、WDT のカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む(リフレッシュ動作)により WDT のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の WDTTOPS[1:0] ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、WDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを行います。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「32.3.2 リフレッシュ動作」を参照してください。

32.2.2 WDT コントロールレジスタ (WDTCR)

アドレス WDT.WDTCR 0008 8022h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル(03FFh) 0 1 : 4096サイクル(0FFFh) 1 0 : 8192サイクル(1FFFh) 1 1 : 16384サイクル(3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 1 : 4分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 1 0 : 512分周 0 1 1 1 : 2048分周 1 0 0 0 : 8192分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウト時間、リフレッシュ許可期間を設定するレジスタです。オートスタートモードの場合は、WDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「32.3.6 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLKB 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 32.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および PCLKB 数の関係を示します。

表 32.2 タイムアウト期間設定表

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLKB 数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	4分周	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	64分周	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	128分周	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	512分周	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	2048分周	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	8192分周	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット (クロック分周比選択ビット)

カウンタで使用するクロックの分周比を設定します。分周比は、PCLKB の 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択できます。TOPS[1:0] ビット設定と合わせて、WDT のカウント期間を PCLKB の 4096 ~ 134217728 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

リフレッシュ許可期間を示すウィンドウの終了位置を設定します。ウィンドウの終了位置はタイムアウト期間の、75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

リフレッシュ許可期間を示すウィンドウの開始位置を設定します。ウィンドウの開始位置はタイムアウト期間の、25%、50%、75%、100% から選択します。

設定値は、ウィンドウ開始位置 > ウィンドウ終了位置となるように設定してください。

ウィンドウ開始位置 ≤ ウィンドウ終了位置と設定した場合、ウィンドウ終了位置は、0% になります。

RPSS[1:0]、RPES[1:0]、TOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウンタ値を表 32.3 に、設定されるリフレッシュ許可期間を図 32.2 に示します。

表 32.3 ウィンドウ開始、終了位置とカウンタ値の対応表

TOPS[1:0] ビット		タイムアウト期間		ウィンドウ開始、終了のカウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

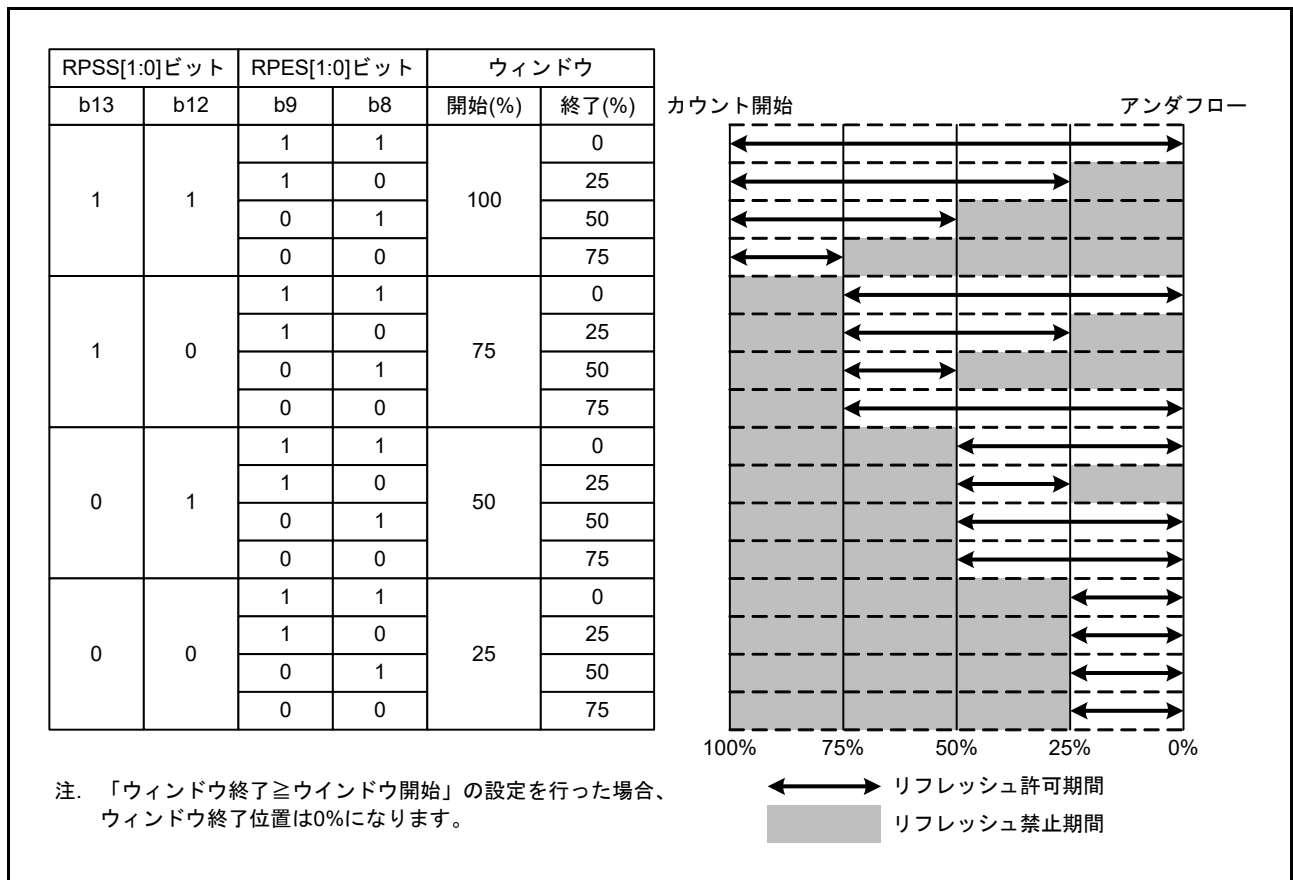
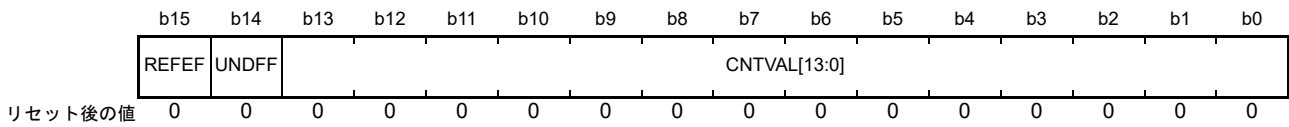


図 32.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

32.2.3 WDT ステータスレジスタ (WDTSR)

アドレス WDT.WDTSR 0008 8024h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

32.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス WDT.WDTRCR 0008 8026h

	b7	b6	b5	b4	b3	b2	b1	b0
RSTIR QS	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0 : ノンマスクブル割り込み要求、またはマスクブル割り込み要求を出力 1 : リセット信号を出力	R/W

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウトまたはリフレッシュエラー発生時の動作を設定するレジスタです。

オートスタートモードの場合は、WDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「32.3.6 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

32.2.5 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタについては、「32.3.6 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

32.3 動作説明

32.3.1 カウント開始条件別の各動作

WDTはリセット解除後、自動的にカウントを開始するオートスタートモードと、リフレッシュ動作(レジスタ書き込み)によりカウントを開始するレジスタスタートモードの2種類のモードがあります。

オートスタートモードは、リセット解除後、オプション機能選択レジスタ0(OFS0)の設定に従い、自動的にカウントを開始します。

レジスタスタートモードは、リセット解除後に各レジスタの設定後、リフレッシュ動作(レジスタ書き込み)により、カウントを開始します。

オートスタートモード、もしくはレジスタスタートモードの選択は、OFS0レジスタのWDTSTRTビットで行います。

オートスタートモード選択時は、WDTCRレジスタ、WDTRCRレジスタの設定は無効となり、OFS0レジスタの設定が有効となります。

一方、レジスタスタートモード選択時は、OFS0レジスタの設定は無効となり、WDTCRレジスタ、WDTRCRレジスタの設定が有効となります。

32.3.1.1 レジスタスタートモード

OFS0.WDTSTRTビットが“1”の場合、レジスタスタートモードとなり、WDTCRレジスタ、WDTRCRレジスタが有効となります。

リセット解除後、WDTCRレジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、またWDTRCRレジスタにリセット信号出力/割り込み要求出力の設定を行います。その後、リフレッシュ動作を行うことにより、カウンタは、WDTCR.TOPS[1:0]ビットで設定した値からダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDTはリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDTはリセット信号、もしくは割り込み要求(WUNI)を出力します。リセット信号出力、または割り込み要求出力の選択は、WDTRCR.RSTIRQSビットの設定により行います。

図 32.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- リセット出力許可 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

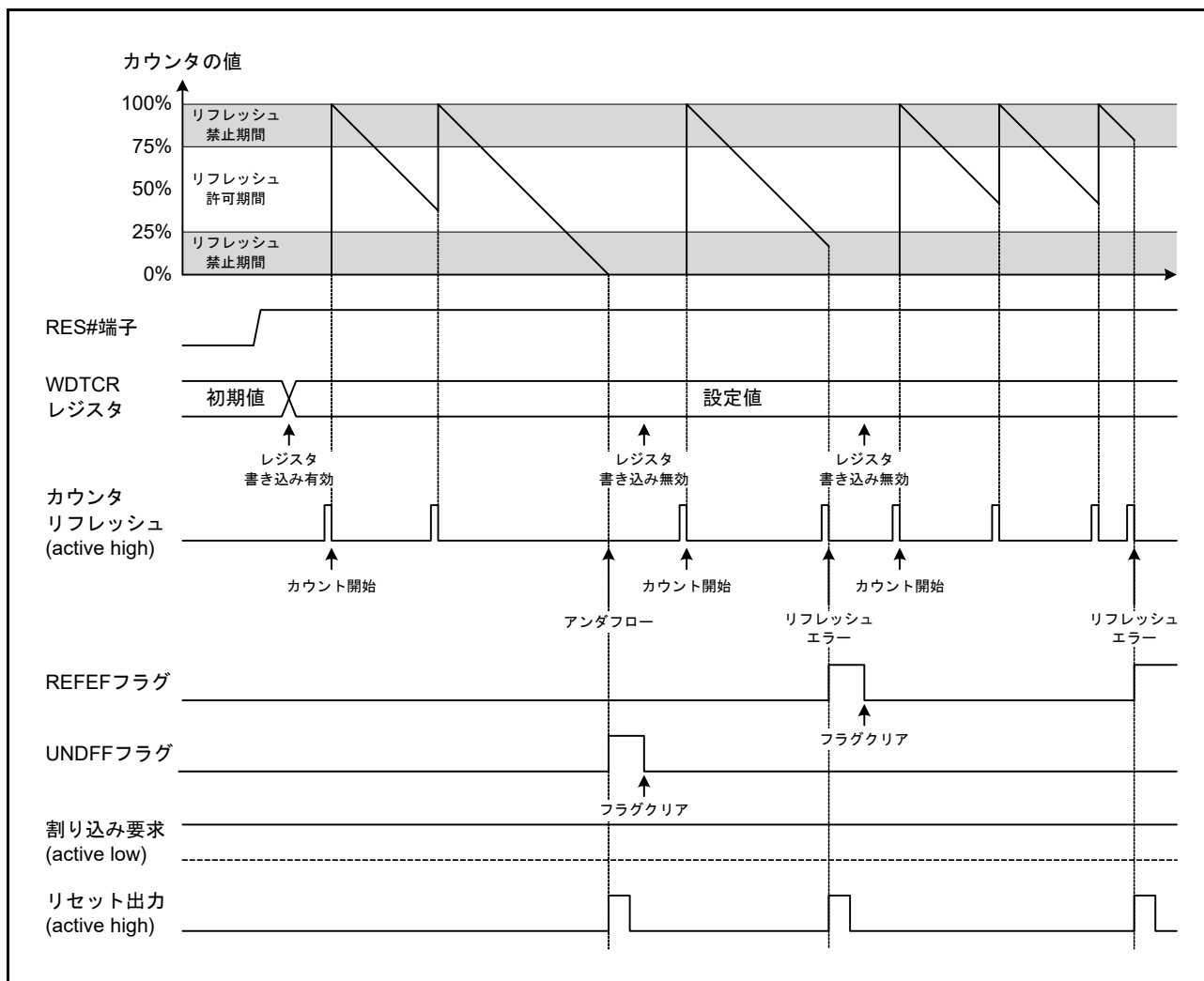


図 32.3 レジスタスタートモード動作例

32.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDTSTRT ビットが“0”の場合、オートスタートモードとなり、WDTCR レジスタ、WDTRCR レジスタが無効となり、OFS0 レジスタの設定が有効になります。

リセット期間中に OFS0 レジスタの設定値 (クロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求) が WDT のレジスタに設定されます。その後、リセット解除でカウンタに OFS0.WDTPS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセット信号、もしくは割り込み要求 (WUNI) を出力します。リセット信号または割り込み要求を 1 カウントサイクル出力後、カウンタはタイムアウト期間の値がセットされ、カウント動作を再開します。リセット信号出力、または割り込み要求出力の選択は、OFS0.WDTRSTIRQS ビットの設定により行います。

図 32.4 に以下の条件での動作例 (ノンマスカブル割り込み) を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- 割り込み要求出力許可 (OFS0.WDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)

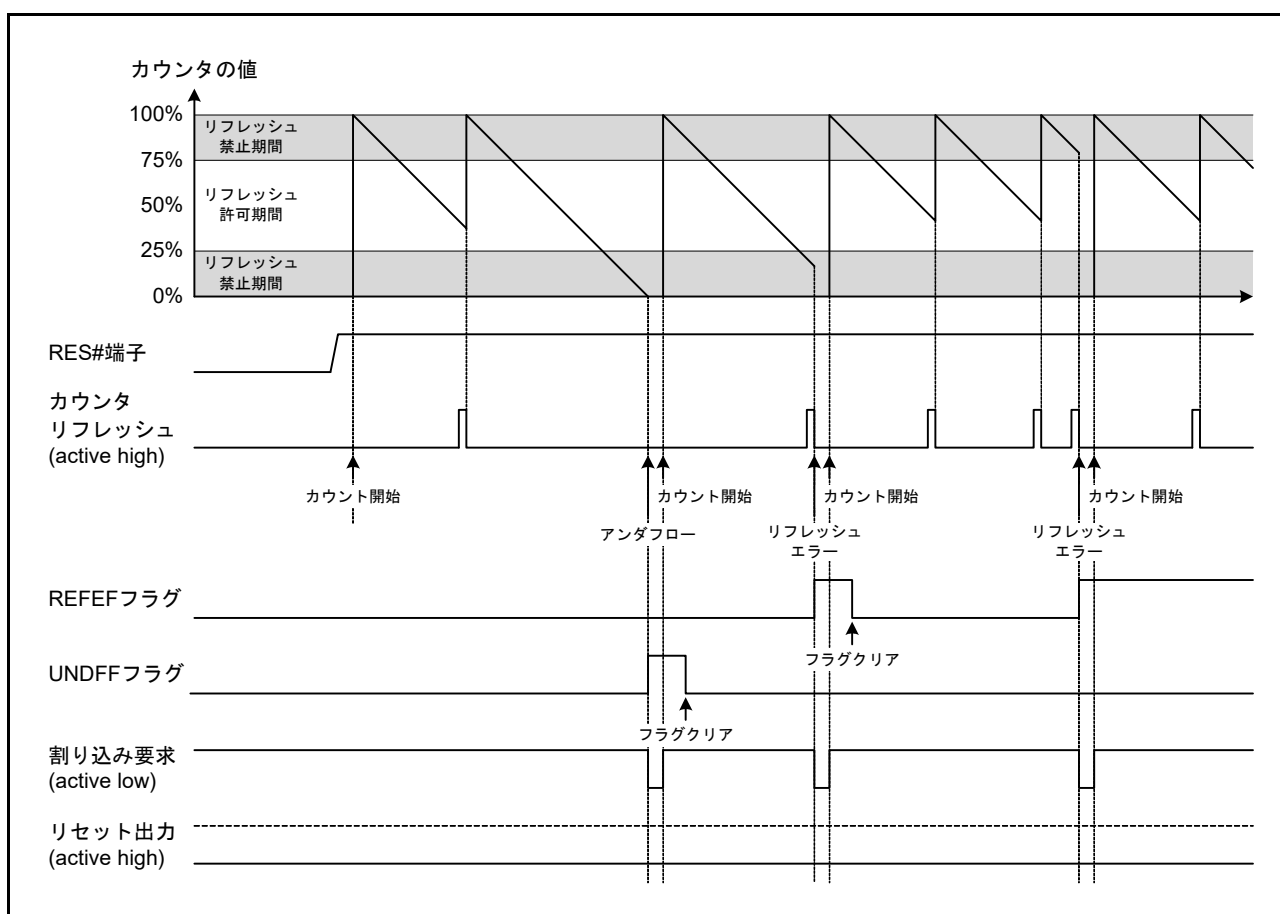


図 32.4 オートスタートモード動作例

32.3.2 リフレッシュ動作

カウンタのリフレッシュを行うには、WDTRRレジスタへ“00h”を書き込んだ後、続けて“FFh”書き込みを行ってください。“00h”の書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、WDTRRレジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

WDTRRレジスタへの“00h”書き込みと“FFh”書き込みの間に、WDTRRレジスタ以外へのアクセス、またはWDTRRレジスタの読み出しを行った場合でもリフレッシュを行います。

リフレッシュのための書き込みは、リフレッシュ許可期間内に行う必要があります。書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh”の書き込み時に行っています。このため“00h”の書き込みがリフレッシュ許可期間外であってもリフレッシュは正常に行われます。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは WDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

カウンタがリフレッシュされるタイミングは、WDTRRレジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります。そのため、カウンタがアンダフローする4カウント前までに、WDTRRレジスタへの“FFh”書き込みを完了してください。

図 32.5 にカウントクロックが PCLKB/64 の場合の WDT リフレッシュ動作波形を示します。

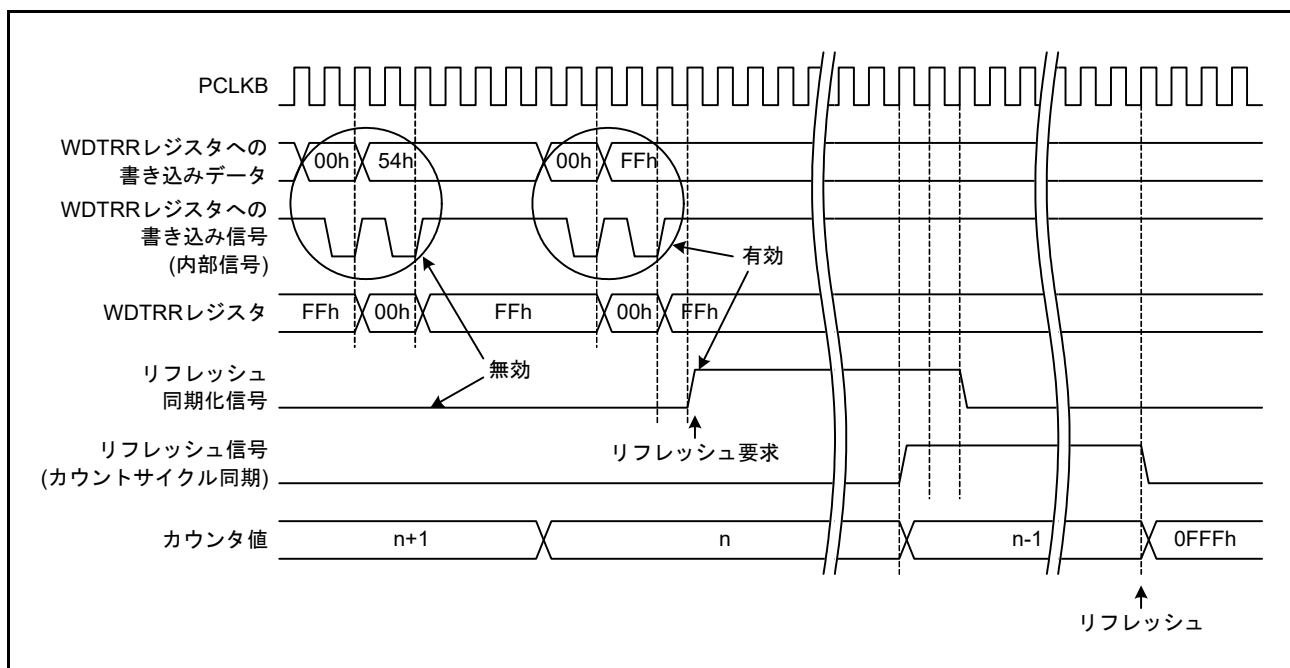


図 32.5 WDT リフレッシュ動作波形 (WDTA.CKS[3:0] = 0100b、WDTA.TOPS[1:0] = 01b)

32.3.3 リセット出力

レジスタスタートモード時、WDTRCR.RSTIRQS ビットを“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDTRSTIRQS ビットを“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (“0000h”) で停止します。リセット解除後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

32.3.4 割り込み要因

レジスタスタートモード時、WDTRCR.RSTIRQS ビットを“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDTRSTIRQS ビットを“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスクابل割り込みまたはマスクابل割り込みとして使用できます。詳細は、「15. 割り込みコントローラ (ICUE)」を参照してください。

表 32.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	カウンタのアンダフロー リフレッシュエラー	不可能	不可能

32.3.5 カウンタ値の読み出し

WDTはカウンタ値を WDTSR.CNTVAL[13:0] ビットに格納します。WDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、カウンタ値を確認することができます。

図 32.6 にカウンタクロックが PCLKB/64 の場合のカウンタ値の読み出し処理を示します。

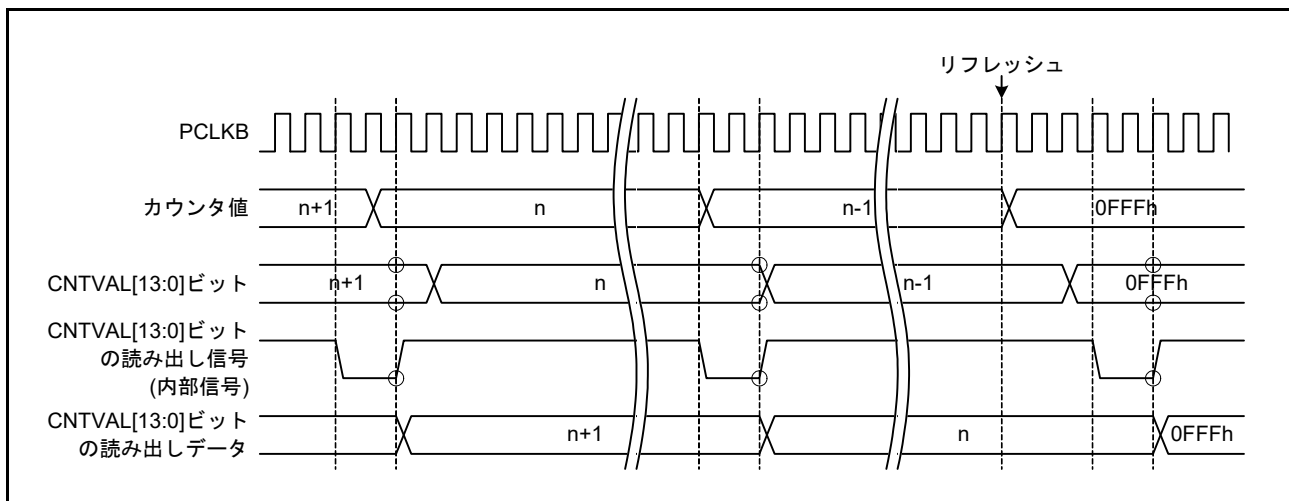


図 32.6 WDT カウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

32.3.6 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

表 32.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタについては、「7.2.3 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 32.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモード時有効) OFS0.WDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.WDTPPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTCR.RSTIRQS

33. 独立ウォッチドッグタイマ (IWDTa)

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために使用できます。IWDT のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースはIWDT 専用クロック (IWDTCLK) を分周したもの (周辺モジュールクロックの影響を受けない)
- 低消費電力状態で、カウンタを停止させない選択が可能 (IWDTCSLTPR.SLCSTP ビットまたは、OFS0.IWDTSLCSTP ビットで選択)

33.1 概要

表 33.1 に IWDT の仕様を示します。

表 33.1 IWDT の仕様

項目	内容
カウントソース(注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> • オートスタートモード：リセット解除後、自動的にカウント開始 • レジスタスタートモード：リフレッシュ動作 (IWDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	<ul style="list-style-type: none"> • リセット • 低消費電力状態 (レジスタ設定による(注2)) • アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> • カウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
ノンマスクابل割り込み/ マスクابل割り込み要因	<ul style="list-style-type: none"> • カウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、カウンタのカウント値の読み出しが可能
イベントリンク機能(出力)	<ul style="list-style-type: none"> • カウンタのアンダフローイベント出力 • リフレッシュエラーイベント出力
オートスタートモード (オプション機能選択レジスタ0 (OFS0)制御)	<ul style="list-style-type: none"> • リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) • 低消費電力状態でのカウンタ動作/停止の選択 (OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDT レジスタ制御)	<ul style="list-style-type: none"> • リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (IWDTCCR.RSTIRQS ビット) • 低消費電力状態でのカウンタ動作/停止の選択 (IWDTCSLTPR.SLCSTP ビット)

注1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

注2. オートスタートモード時、OFS0.IWDTSLCSTP ビットが“1”の場合、レジスタスタートモード時、IWDTCSLTPR.SLCSTP ビットが“1”の場合。

図 33.1 に IWDT のブロック図を示します。

IWDT では、バスインタフェース部とレジスタ部は周辺モジュールクロック (PCLKB) で動作し、14 ビットダウンカウンタと制御回路は IWDTCLK で動作します。

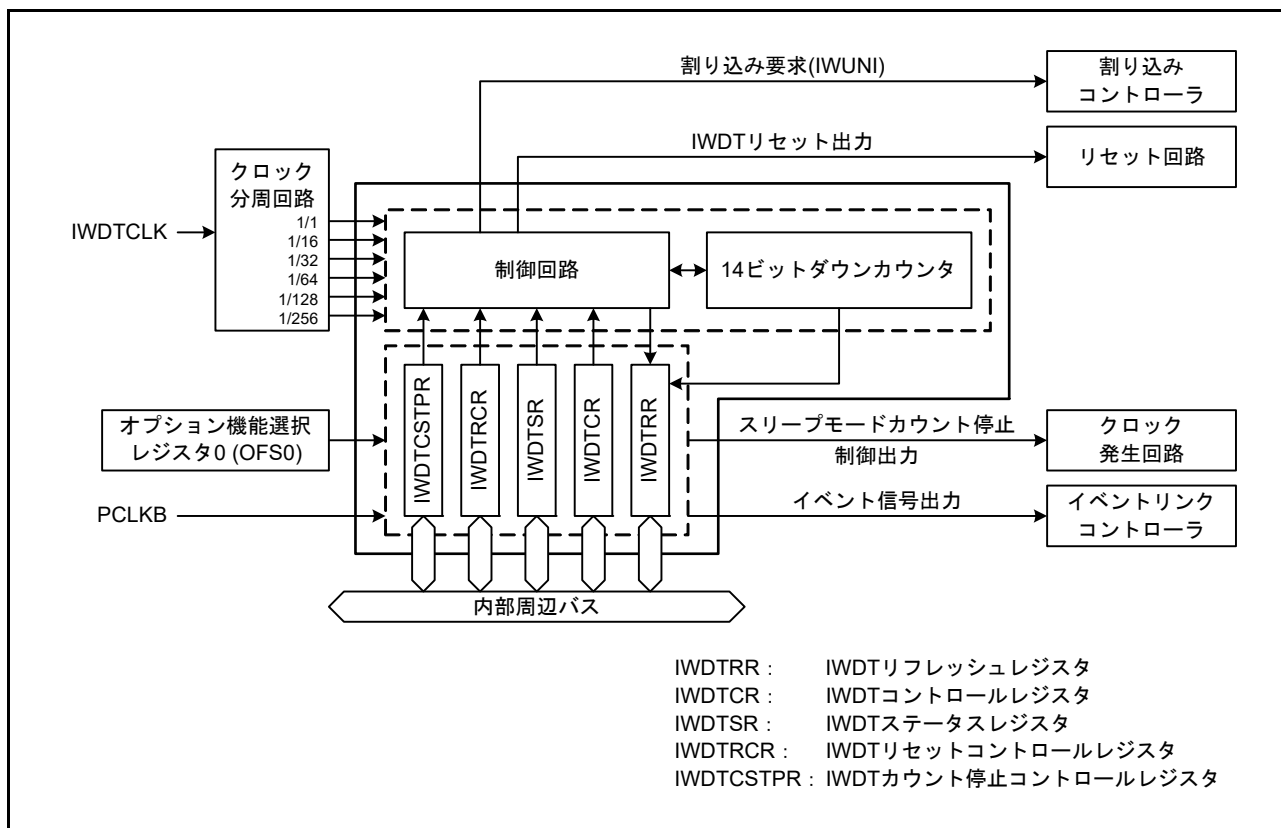
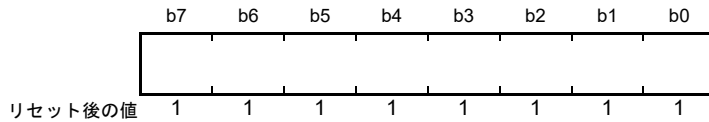


図 33.1 IWDT のブロック図

33.2 レジスタの説明

33.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス IWDT.IWDTRR 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDTRR レジスタは、IWDT のカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間中に、IWDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む(リフレッシュ動作)により IWDT のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDTTOPS[1:0] ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「33.3.2 リフレッシュ動作」を参照してください。

33.2.2 IWDT コントロールレジスタ (IWDTCR)

アドレス IWDT.IWDTCR 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル(03FFh) 0 1 : 4096サイクル(0FFFh) 1 0 : 8192サイクル(1FFFh) 1 1 : 16384サイクル(3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16分周 0 0 1 1 : 32分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 0 1 : 256分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウト時間、リフレッシュ許可期間を設定するレジスタです。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「33.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 33.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCCLK 数の関係を示します。

表 33.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCCLK数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	分周なし	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	0	1	0	0	0	16分周	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	0	1	1	0	0	32分周	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	0	0	0	0	64分周	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	128分周	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	0	1	0	0	256分周	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

CKS[3:0] ビット (クロック分周比選択ビット)

IWDTCCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。

TOPS[1:0] ビットと組み合わせて、IWDTC のカウント期間を IWDTCCLK の 1024 ~ 4194304 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 33.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウンタ値を示します。

表 33.3 タイムアウト期間とウィンドウ許可 / 終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可 / 終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 33.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

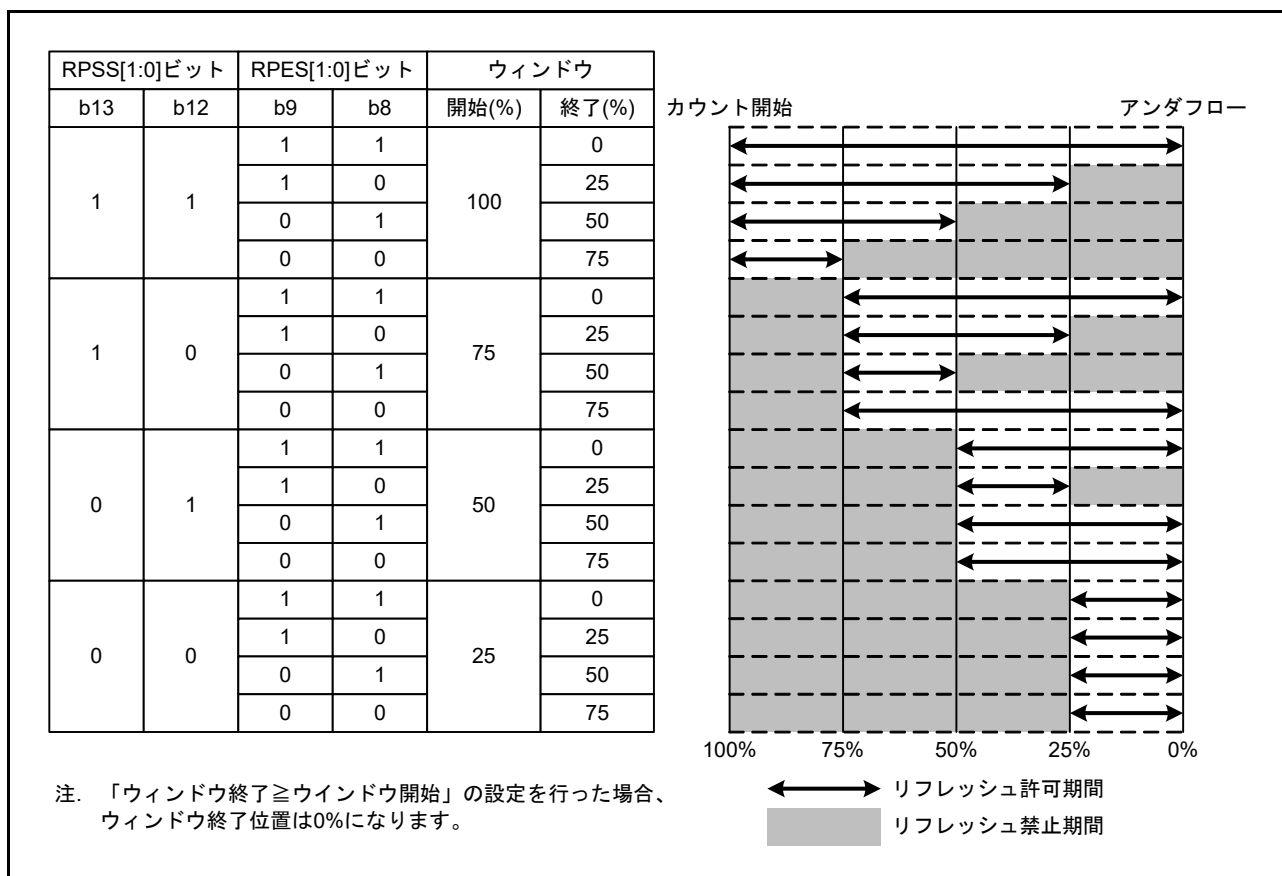
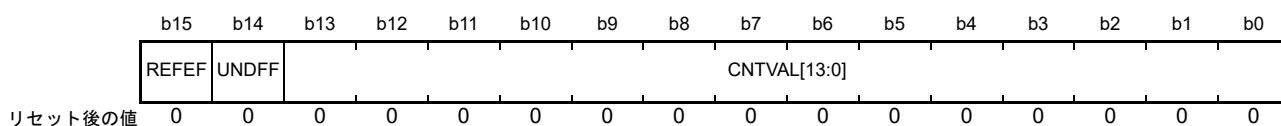


図 33.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

33.2.3 IWDt ステータスレジスタ (IWDTSR)

アドレス IWDt.IWDTSR 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

33.2.4 IWDT リセットコントロールレジスタ (IWDTRCR)

アドレス IWDT.IWDTRCR 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0: ノンマスクブル割り込み要求、またはマスクブル割り込み要求を出力 1: リセット信号を出力	R/W

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウトまたはリフレッシュエラー発生時の動作を設定するレジスタです。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「33.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

33.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSTPR)

アドレス IWDT.IWDTCSTPR 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0 : 低消費電力状態でもカウンタが動作(注1) 1 : 低消費電力状態でカウンタが停止	R/W

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

注1. スリープモード、全モジュールクロックストップモード、またはソフトウェアスタンバイモードでカウンタがカウントを継続します。ディープソフトウェアスタンバイモードには遷移しません。

レジスタスタートモード使用時に、低消費電力状態でカウンタを動作させるかどうかを設定するレジスタです。

オートスタートモードの場合は、IWDTCSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「33.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

低消費電力状態でのカウンタの動作 / 停止を選択します。

33.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「33.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

33.3 動作説明

33.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットで行います。

OFS0.IWDTSTRT ビットが“1” (レジスタスタートモード) の場合、IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSSTPR レジスタの設定が有効となり、IWDTRR レジスタへのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが“0” (オートスタートモード) の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

33.3.1.1 レジスタスタートモード

OFS0.IWDTSTRT ビットが“1” の場合、レジスタスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSSTPR レジスタが有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力/割り込み要求出力、また IWDTCSSTPR レジスタに低消費電力状態におけるカウンタ動作/停止の設定を行います。その後、リフレッシュ動作でカウンタに IWDTCR.TOPS[1:0] ビットで選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセット信号、もしくは割り込み要求 (IWUNI) を出力します。IWDTRCR.RSTIRQS ビットで、リセット信号出力、または割り込み要求出力のいずれかを選択します。

図 33.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.IWDTSTRT = 1)
- リセット出力許可 (IWDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (IWDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (IWDTCR.RPES[1:0] = 10b)

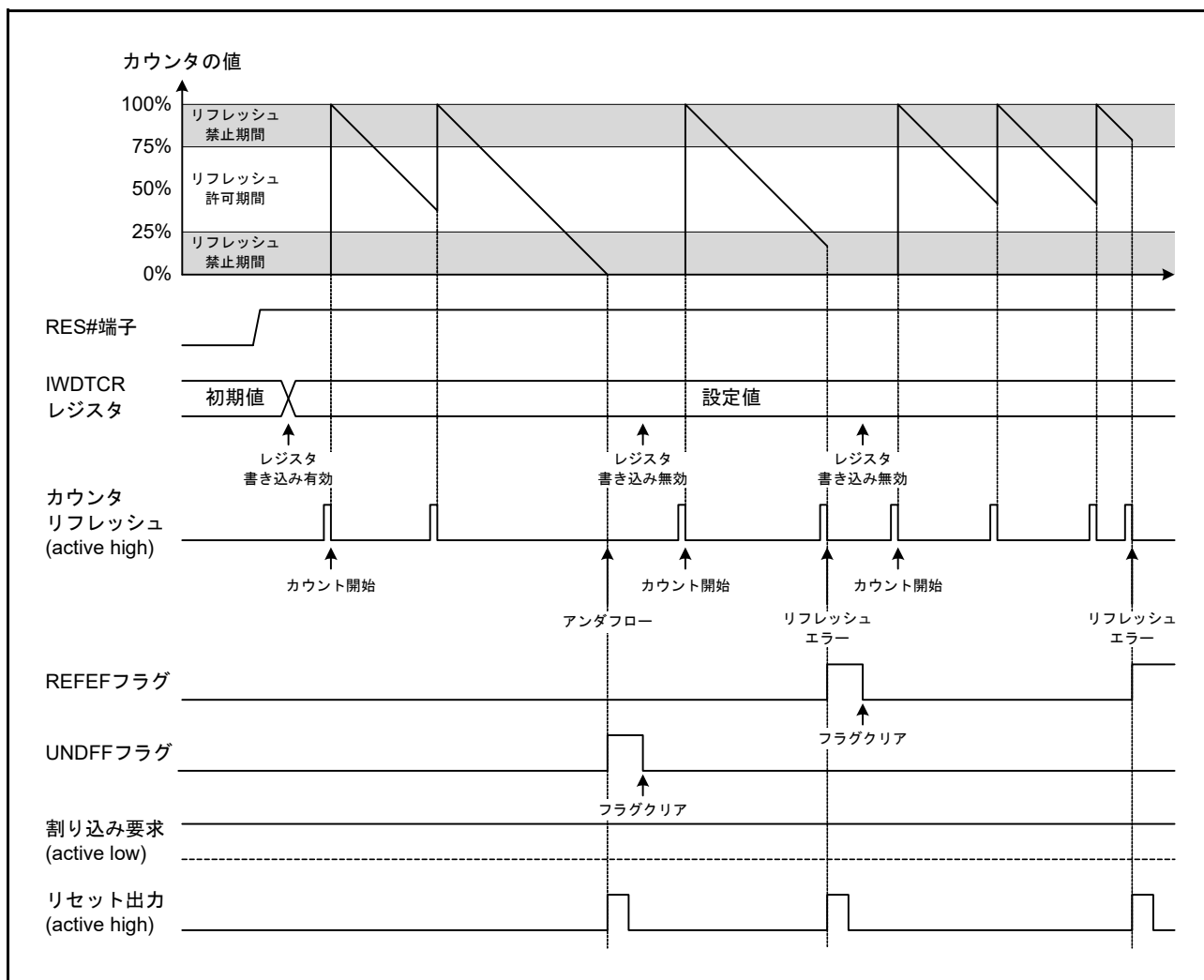


図 33.3 レジスタスタートモード動作例

33.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットが“0”の場合、オートスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSTPR レジスタが無効となります。

また、リセット期間中に OFS0 レジスタの値を使ってクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力状態におけるカウンタ動作/停止の設定が行われます。その後、リセット解除でカウンタに OFS0.IWDTTOPS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセット信号、もしくは割り込み要求 (IWUNI) を出力します。リセット信号または割り込み要求を出力後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウント動作を再開します。OFS0.IWDTRSTIRQS ビットで、リセット信号出力、または割り込み要求出力のいずれかを選択します。

図 33.4 に以下の条件での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- 割り込み要求出力許可 (OFS0.IWDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.IWDRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDRPES[1:0] = 10b)

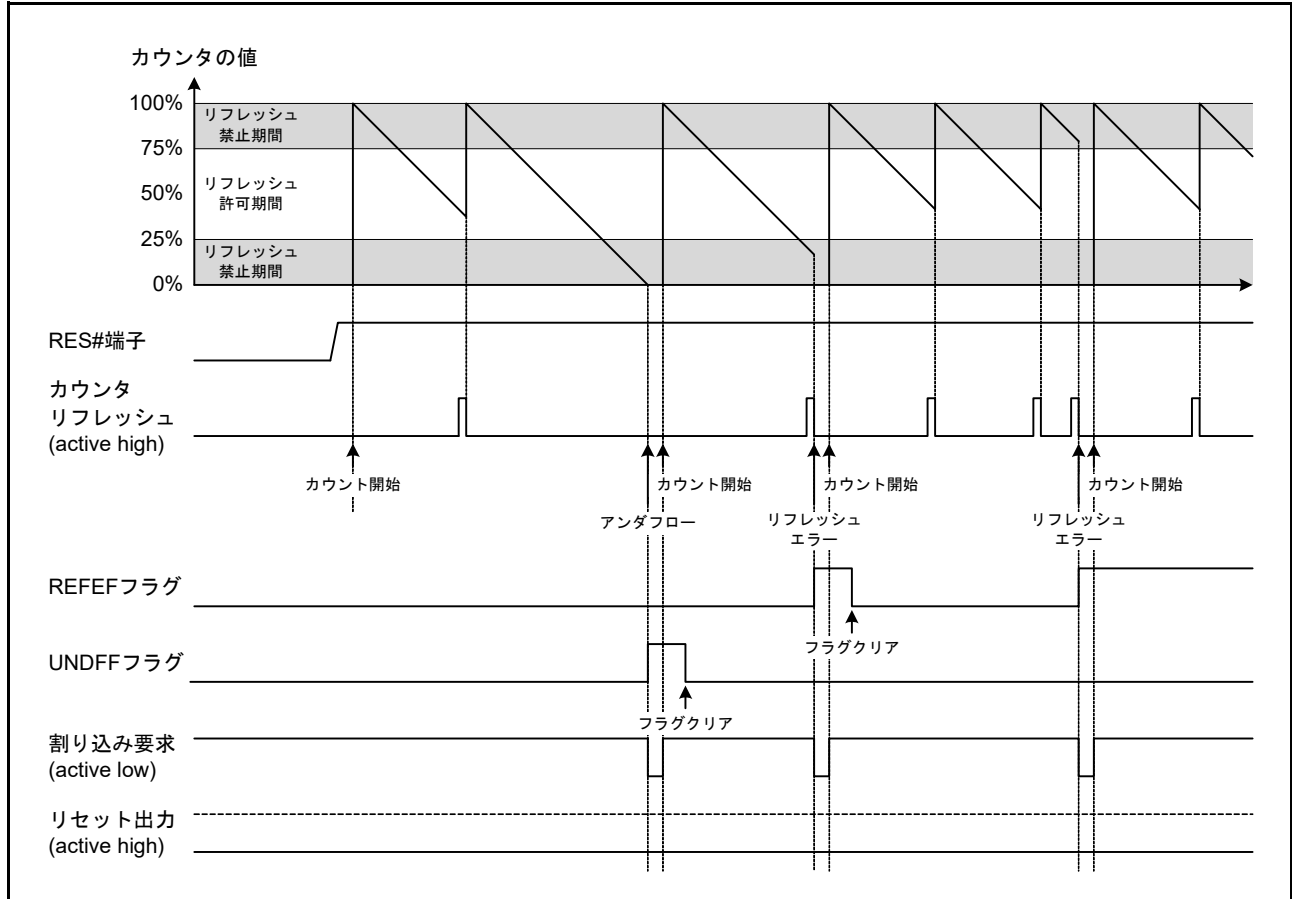


図 33.4 オートスタートモード動作例

33.3.2 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始 (リフレッシュによるカウント開始) を行うには、IWDTRR レジスタへの“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h” (1 回目) → “00h” (2 回目) の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h” → “FFh” 順の書き込み動作が成立するため、“00h” (n-1 回目) → “00h” (n 回目) → “FFh” のような書き込み動作も有効となり、リフレッシュを行います。“00h” 以前の書き込みが“00h”以外でも同様に、“00h” → “FFh” 順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは IWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに“FFh”を書き込み後、カウントサイクル数で最大 4 サイクル必要となります (1 サイクル間の IWDTCCLK の数は、IWDTCR.CKS[3:0] ビットの設定値により異なります)。そのため、リフレッシュ許可期間終了位置から 4 カウント前、もしくはカウンタがアンダフローする 4 カウント前までに、IWDTRR レジスタへの“FFh”書き込みを完了してください。カウンタの値は IWDTSR.CNTVAL[13:0] ビットで確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を“01FFh”とした場合、IWDTRR レジスタへの“00h”の書き込みが“01FFh”より前 (たとえば“0202h”) であっても、IWDTSR.CNTVAL[13:0] ビットの値が“01FFh”になってから、IWDTRR レジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置を“01FFh”とした場合、IWDTRR レジスタへ“00h” → “FFh”を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して“0203h” (“01FFh”の 4 カウント前) 以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前までリフレッシュが可能となりますが、この場合 IWDTRR レジスタへ“00h” → “FFh”を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して“0003h” (アンダフローの 4 カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 33.5 に PCLKB > IWDTCLK、カウントクロックが IWDTCLK/1 の場合の IWDT リフレッシュ動作波形を示します。

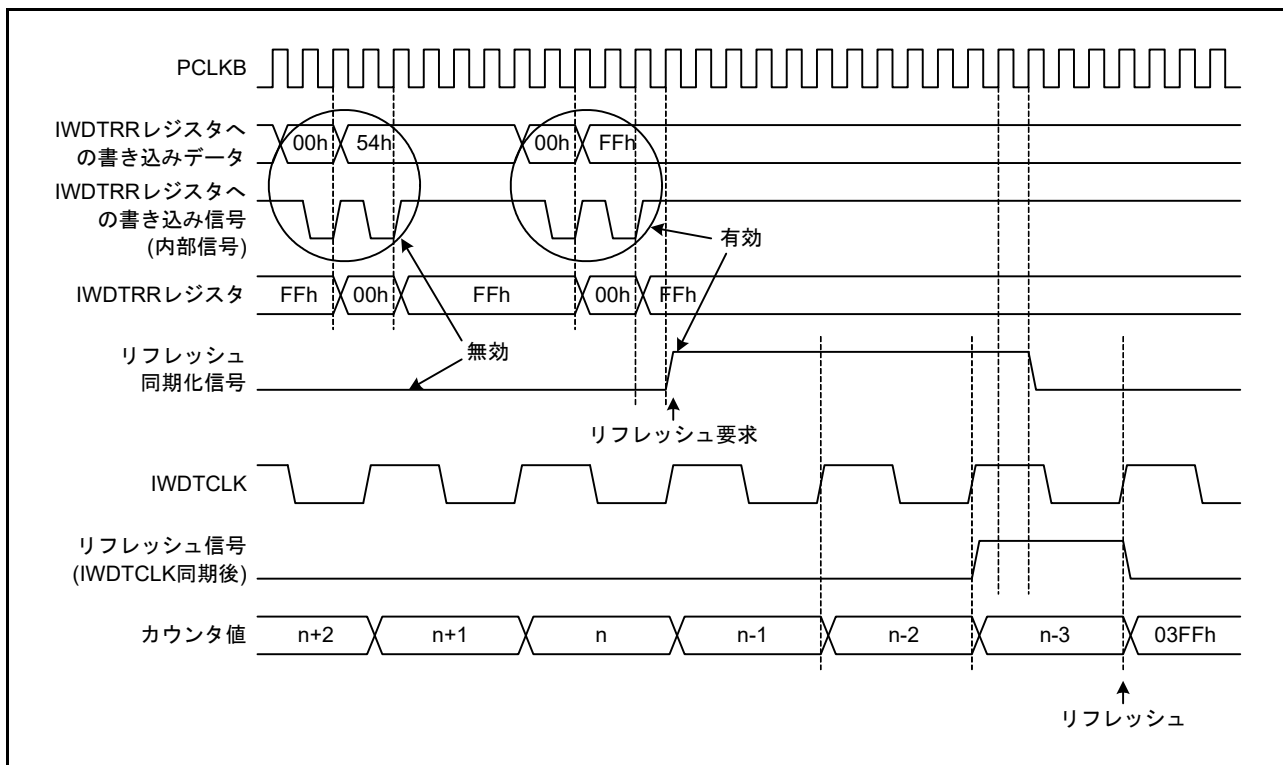


図 33.5 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 00b)

33.3.3 ステータスフラグ

IWDTSR.REFEF フラグ、IWDTSR.UNDFE フラグは、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEF フラグ、または IWDTSR.UNDFE フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大で IWDTCLK 3 クロックと PCLKB 2 クロック必要です。

33.3.4 リセット出力

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDTRSTIRQS ビットを“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (“0000h”) で停止します。リセット解除後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

33.3.5 割り込み要因

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを“0”にした場合、またはオートスタートモード時、OFS0.IWDTRSTIRQS ビットを“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生すると、割り込み (IWUNI) が発生します。本割り込みはノンマスカブル割り込みまたはマスカブル割り込みとして使用できます。詳細は、「15. 割り込みコントローラ (ICUE)」を参照してください。

表 33.4 IWDT の割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
IWUNI	カウンタのアンダフロー リフレッシュエラー	不可能	不可能

33.3.6 カウンタ値の読み出し

IWDT のカウンタは IWDTCLK で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を PCLKB で同期化し、IWDTSR.CNTVAL[13:0] ビットに格納します。IWDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLKB で数クロック (最大 4 クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 33.6 に PCLKB > IWDTCLK、カウントクロックが IWDTCLK/1 の場合の IWDT カウンタ値の読み出し処理を示します。

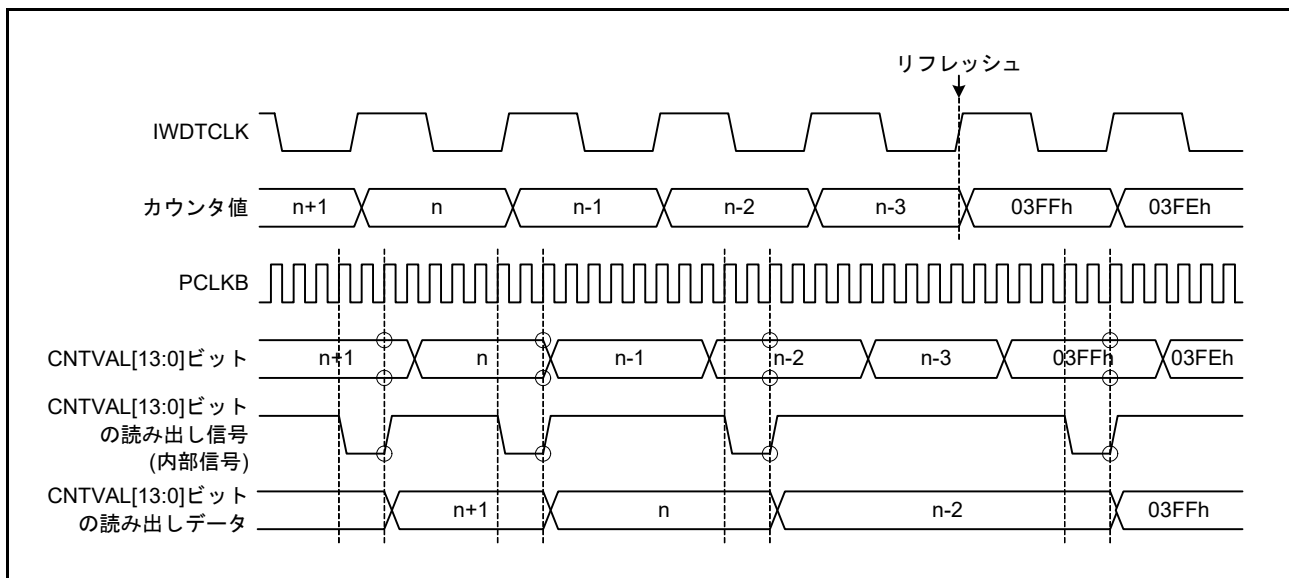


図 33.6 IWDT カウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 00b)

33.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 33.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタについては、「7.2.3 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表33.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDTCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.IWDTSLCSTP	IWDTCSLTPR.SLCSTP

33.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) は IWDT が生成する割り込み要求をイベント信号として使用します。IWDT が割り込み要求を出力すると、あらかじめ設定したモジュールに対してイベントが発生します。カウンタのアンダフロー、およびリフレッシュエラーによりイベント信号を出力します。

レジスタスタートモード時の IWDTCR.RSTIRQS ビット、もしくはオートスタートモード時の OFS0.IWDRSTIRQS ビットの設定に関わらず、イベント信号を出力します。また、IWDTSR.REFEF フラグ、または IWDTSR.UNDFE フラグが、“1” の状態で、次の割り込み要因が発生した場合でもイベント信号出力が可能です。

詳細は、「21. イベントリンクコントローラ (ELC)」を参照してください。

33.5 使用上の注意事項

33.5.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLKB と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

33.5.2 クロック分周比の設定

PCLKB の周波数 $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

34. USB2.0FSホスト/ファンクションモジュール(USBb)

34.1 概要

本MCUは、USB2.0FSホスト/ファンクションモジュールを2チャンネル(USB0, USB1)内蔵しています。

USBは、ホストコントローラとファンクションコントローラを備えたUSBコントローラです。

ホストコントローラと、ファンクションコントローラは、USB(Universal Serial Bus)規格2.0のフルスピードおよびロースピード転送(ホストコントローラのみ)に対応します。また、USBはUSBトランシーバを内蔵し、USB規格2.0で定義されている全転送タイプに対応しています。

データ転送用にバッファメモリを内蔵し、最大10本のパイプを使用できます。また、パイプ1~9に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

表34.1にUSBの仕様を示します。

表34.1 USBの仕様

項目	内容
特長	<ul style="list-style-type: none"> USB2.0に対応したUDC(USB Device Controller)およびトランシーバを内蔵 ホストコントローラ機能/ファンクションコントローラ機能/OTG(On-The-Go)に対応(2チャンネル) ホストコントローラ機能とファンクションコントローラ機能はソフトウェアで切り替え可能 セルフパワーモードおよびバスパワーモードを選択可能
	ホストコントローラ機能選択時 <ul style="list-style-type: none"> フルスピード転送(12 Mbps)およびロースピード転送(1.5 Mbps)に対応 SOF、パケット送信のスケジュールを自動化 アイソクロナス転送、インタラプト転送の転送インターバル設定機能 ハブを1段階越し、複数の周辺デバイスと接続し通信が可能
	ファンクションコントローラ機能選択時 <ul style="list-style-type: none"> フルスピード転送(12 Mbps)に対応(注1) コントロール転送ステージ管理機能 デバイスステート管理機能 SET_ADDRESSリクエストに対する自動応答機能 SOF補完機能
通信データ転送タイプ	<ul style="list-style-type: none"> コントロール転送 バルク転送 インタラプト転送 アイソクロナス転送
パイプコンフィギュレーション	<ul style="list-style-type: none"> USB通信用バッファメモリを内蔵 最大10本のパイプを選択可能(デフォルトコントロールパイプを含む) パイプ1~9は任意のエンドポイント番号を割り付け可能
	各パイプの設定可能な転送条件 <ul style="list-style-type: none"> パイプ0: コントロール転送、64バイトシングルバッファ パイプ1、2: バルク転送時、64バイトダブルバッファ指定可能 アイソクロナス転送時、256バイトダブルバッファ指定可能 パイプ3~5: バルク転送、64バイトダブルバッファ指定可能 パイプ6~9: インタラプト転送、64バイトシングルバッファ
その他の機能	<ul style="list-style-type: none"> トランザクションカウントによる受信トランスファ終了機能 BRDY割り込みイベント通知タイミング変更機能(BFRE) DnFIFOポート(n=0, 1)で指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM) トランスファ終了による応答PIDのNAK設定機能(SHTNAK) D+/D-のブルアップ抵抗、ブルダウン抵抗をチップに内蔵
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. ファンクションコントローラ機能選択時、ロースピード転送(1.5 Mbps)に対応していません。

図 34.1 に USB のブロック図を示します。

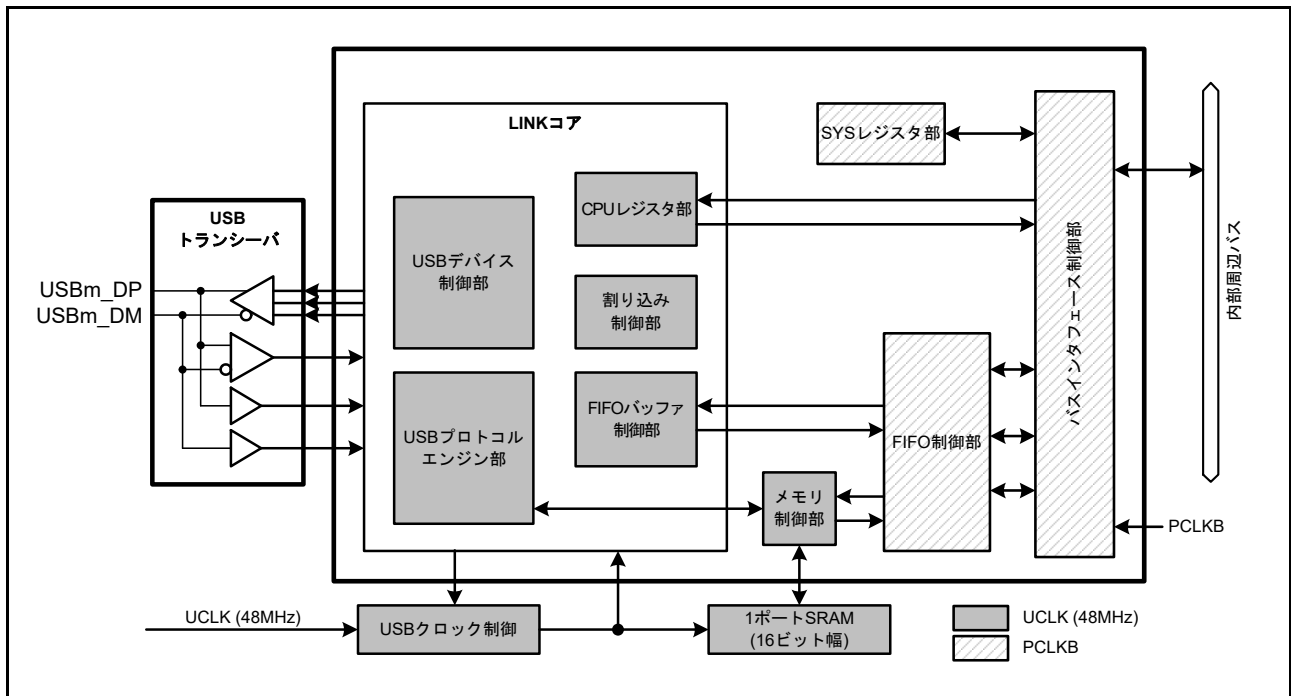


図 34.1 USB のブロック図 (m = 0, 1)

表 34.2 に USB の入出力端子を示します。

表 34.2 USBの入出力端子

ポート	端子名	入出力	機能
USB0	USB0_DP	入出力	USB内蔵トランシーバD+入出力端子。USBバスのD+端子に接続してください
	USB0_DM	入出力	USB内蔵トランシーバD-入出力端子。USBバスのD-端子に接続してください
	USB0_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。ファンクション動作時のVBUSの接続/切断を検出することができます
	USB0_EXICEN	出力	外部電源(OTG)チップのローパワー制御信号
	USB0_VBUSEN	出力	外部電源チップへのVBUS (5 V)の供給許可信号
	USB0_OVRCURA USB0_OVRCURB	入力	外部オーバカレント検出信号を接続します。また、OTG電源チップとの接続時にはVBUSコンパレータ信号を接続します
	USB0_ID	入力	OTG動作時MicroABコネクタのID入力信号を接続します
USB1	USB1_DP	入出力	USB内蔵トランシーバD+入出力端子。USBバスのD+端子に接続してください
	USB1_DM	入出力	USB内蔵トランシーバD-入出力端子。USBバスのD-端子に接続してください
	USB1_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。ファンクション動作時のVBUSの接続/切断を検出することができます
	USB1_EXICEN	出力	外部電源(OTG)チップのローパワー制御信号
	USB1_VBUSEN	出力	外部電源チップへのVBUS (5 V)の供給許可信号
	USB1_OVRCURA USB1_OVRCURB	入力	外部オーバカレント検出信号を接続します。また、OTG電源チップとの接続時にはVBUSコンパレータ信号を接続します
	USB1_ID	入力	OTG動作時MicroABコネクタのID入力信号を接続します
共通	VCC_USB	入力	USB用電源端子
	VSS_USB	入力	USB用グランド端子

34.2 レジスタの説明

34.2.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

アドレス USB0.SYSCFG 000A 0000h, USB1.SYSCFG 000A 0200h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKE	—	—	—	DCFM	DRPD	DPRPU	—	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USB動作許可ビット	0 : USBの動作禁止 1 : USBの動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DPRPU	D+ライン抵抗制御ビット	0 : プルアップ禁止 1 : プルアップ許可	R/W
b5	DRPD	D+/D-ライン抵抗制御ビット	0 : プルダウン禁止 1 : プルダウン許可	R/W
b6	DCFM	コントローラ機能選択ビット	0 : ファンクションコントローラ機能を選択 1 : ホストコントローラ機能を選択	R/W
b9-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	SCKE	USBクロック許可ビット(注1)	0 : USBへのクロック供給停止 1 : USBへのクロック供給許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCKEビットに“1”を書いた後、SCKEビットを読み出し、“1”となっていることを確認してください。

USBE ビット (USB動作許可ビット)

USBの動作禁止/許可を指定します。

USBEビットを“1”から“0”に変更したときに初期化されるレジスタとビットを表34.3に示します。

USBEビットの変更は、SCKEビットが“1”のときに行ってください。

ホストコントローラ機能選択時は、DRPDビットを“1”にした後、SYSSTS0.LNST[1:0]フラグのチャタリング除去を行い、USBバスの状態が安定したことを確認した後で、USBEビットを“1”にしてください。

表34.3 USBEビットへの“0”書き込みにより初期化されるレジスタ

選択機能	レジスタ	ビット	備考
ファンクションコントローラ機能	SYSSTS0	LNST[1:0]	ホストコントローラ機能選択時は値保持
	DVSTCTR0	RHST[2:0]	
	INTSTS0	DVSQ[2:0]	ホストコントローラ機能選択時は値保持
	USBADDR	USBADDR[6:0]	ホストコントローラ機能選択時は値保持
	USBREQ	BREQUEST[7:0], BMREQUESTTYPE[7:0]	ホストコントローラ機能選択時は値保持
	USBVAL	—	ホストコントローラ機能選択時は値保持
	USBINDX	—	ホストコントローラ機能選択時は値保持
	USBLENG	—	ホストコントローラ機能選択時は値保持
ホストコントローラ機能	DVSTCTR0	RHST[2:0]	
	FRMNUM	FRNM[10:0]	ファンクションコントローラ機能選択時は値保持

DPRPU ビット (D+ ライン抵抗制御ビット)

ファンクションコントローラ機能選択時、D+ ラインのプルアップの禁止 / 許可を指定します。

ファンクションコントローラ機能選択時に DPRPU ビットを“1”にすると、USB は D+ ラインをプルアップし、USB ホストに対してアタッチを通知することができます。また、DPRPU ビットを“1”から“0”に変更することにより、USB は D+ ラインをプルアップしないため、USB ホストに対してデタッチしたと見せることができます。

DPRPU ビットへの“1”書き込みは、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、“0”にしてください。

DRPD ビット (D+/D- ライン抵抗制御ビット)

ホストコントローラ機能選択時、D+/D- ラインのプルダウンの禁止 / 許可を指定します。

DRPD ビットへの“1”書き込みは、ホストコントローラ機能選択時に行ってください。ファンクションコントローラ機能選択時は、“0”にしてください。

DCFM ビット (コントローラ機能選択ビット)

USB の機能を選択します。

DCFM ビットの変更は、DPRPU ビットが“0”、かつ DRPD ビットが“0”のときに行ってください。

SCKE ビット (USB クロック許可ビット)

USB への 48 MHz クロック供給の停止 / 許可を指定します。

SCKE ビットが“0”の場合、SYSCFG レジスタのみ、読み出し / 書き込みができます。

USB 関連の他のレジスタは、SCKE ビットが“0”の場合には、読み出し / 書き込みはできません。

34.2.2 システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)

アドレス USB0.SYSSTS0 000A 0004h, USB1.SYSSTS0 000A 0204h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OVCMON[1:0]	—	—	—	—	—	—	—	—	HTACT	SOFEA	—	—	IDMON	LNST[1:0]	

リセット後の値 0 (注1) 0 (注1) 0 0 0 0 0 0 0 0 0 0 0 0 (注1) 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USBデータラインステータスマニタフラグ	表 34.4 を参照してください	R
b2	IDMON	ID入力端子モニタフラグ	0 : USBm_ID端子 (m = 0, 1) が Low 1 : USBm_ID端子が High	R
b4-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b5	SOFEA	ホストコントローラ機能選択時 SOF アクティブモニタフラグ	SOF出力状態が表示されます。 0 : SOF出力停止状態 1 : SOF出力動作状態	R
b6	HTACT	USBホストシーケンサステータスマニタフラグ	0 : USBのホストシーケンサが完全に停止している 1 : USBのホストシーケンサが完全に停止していない	R
b13-b7	—	予約ビット	読むと“0”が読み出されます。書き込みは無効になります	R
b15-b14	OVCMON[1:0]	OVRCURA/OVRCURB入力端子モニタフラグ	OVCMON[1]フラグにUSBm_OVRCURA端子 (m = 0, 1) の状態が表示されます OVCMON[0]フラグにUSBm_OVRCURB端子の状態が表示されます	R

注1. USBm_OVRCURA/USBm_OVRCURB端子およびUSBm_ID端子 (m = 0, 1) の状態に依存します。

LNST[1:0] フラグ (USB データラインステータスマニタフラグ)

USB データバスライン (D+ ライン、D- ライン) のステータスが表示されます。詳細は表 34.4 を参照してください。

LNST[1:0] フラグの参照は、ファンクションコントローラ機能選択時にはアタッチ処理 (SYSCFG.DPRPU ビットを“1”にする) 以後、ホストコントローラ機能選択時には、プルダウン許可 (SYSCFG.DRPD ビットを“1”にする) 以後に行ってください。

SOFEA フラグ (ホストコントローラ機能選択時 SOF アクティブモニタフラグ)

ホストモード使用状態で USB サスペンドした場合、DVSTCTR0.UACT ビット = 0 にしてから最後の SOF が出力し終わったかを確認できます。

ホストモード通信状態で、SYSCFG.USBE ビット = 0 にて USB を停止させ、SYSCFG.SCKE ビットを“0”にしてクロックを停止するときには、HTACT フラグと SOFEA フラグがともに“0”である事を確認してください。

HTACT フラグ (USB ホストシーケンサステータスマニタフラグ)

USB のホストシーケンサが完全に停止しているとき、HTACT フラグは“0”になります。

ホストモード通信状態で DVSTCTR0.UACT ビット = 0 にて USB サスペンド状態にし、SCKE ビットを“0”にしてクロックを停止するときには、HTACT フラグが“0”である事を確認してください。

OVCMON[1:0] フラグ (OVRCURA/OVRCURB 入力端子モニタフラグ)

外部電源チップからのオーバカレントのステータスが表示されます。

表 34.4 USB データバスライン(D+ライン、D-ライン)のステータス

LNST[1:0]フラグ	ロースピード動作時 (ホストコントローラ機能選択時のみ)	フルスピード動作時
00b	SE0	SE0
01b	K-State	J-State
10b	J-State	K-State
11b	SE1	SE1

34.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTR0)

アドレス USB0.DVSTCTR0 000A 0008h, USB1.DVSTCTR0 000A 0208h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP	RWUPE	USBRS	RESUME	UACT	—	RHST[2:0]		
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータスフラグ	<ul style="list-style-type: none"> • ホストコントローラ機能選択時 b2 b0 0 0 0: 通信速度不定(パワーオン時あるいは非接続時) 1 x x: USBバスリセット処理中 0 0 1: ロースピード接続時 0 1 0: フルスピード接続時 • ファンクションコントローラ機能選択時 b2 b0 0 0 0: 通信速度不定 0 0 1: USBバスリセット処理中 0 1 0: USBバスリセット処理中またはフルスピード接続時 	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	UACT	USBバス許可ビット	0: ダウンポート動作禁止(SOF送出禁止) 1: ダウンポート動作許可(SOF送出許可)	R/W
b5	RESUME	レジューム出力ビット	0: レジューム信号を出力しない 1: レジューム信号を出力する	R/W
b6	USBRS	USBバスリセット出力ビット	0: USBバスリセット信号を出力しない 1: USBバスリセット信号を出力する	R/W
b7	RWUPE	ウェイクアップ検出許可ビット	0: ダウンポートリモートウェイクアップ禁止 1: ダウンポートリモートウェイクアップ許可	R/W
b8	WKUP	ウェイクアップ出力ビット	0: リモートウェイクアップ信号を出力しない 1: リモートウェイクアップ信号を出力する	R/W
b9	VBUSEN	VBUSEN出力端子制御ビット	0: USBm_VBUSEN端子(m = 0, 1)からLowを出力する 1: USBm_VBUSEN端子からHighを出力する	R/W
b10	EXICEN	EXICEN出力端子制御ビット	0: USBm_EXICEN端子(m = 0, 1)からLowを出力する 1: USBm_EXICEN端子からHighを出力する	R/W
b11	HNPBTOA	ホストネゴシエーションプロトコル(HNP)制御ビット	OTGにて使用時に、BデバイスからAデバイスに切り替えるときに使用します。HNPBTOAビットが“1”であれば、内部ファンクション制御はSYSCFG.DPRPU = 0またはSYSCFG.DCFM = 1にしてもHNP処理が終了するまでサスペンド状態を維持します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

RHST[2:0] フラグ (USB バスリセットステータスフラグ)

USB バスリセットの状態を表示します。

ホストコントローラ機能選択時に、ソフトウェアで USBRST ビットに“1”を書いた後、RHST[2:0] フラグは“100b”を示します。

ソフトウェアで USBRST ビットに“0”を書き、USB が SE0 ドライブを終了した時点で、USB は RHST[2:0] フラグの値を確定します。

ファンクションコントローラ機能選択時に、USB が USB バスリセットを検出すると、RHST[2:0] フラグは“010b” (DPRPU = 1 にてアタッチ時) を示し、DVST 割り込みが発生します。

UACT ビット (USB バス許可ビット)

ホストコントローラ機能選択時に、USB バス動作許可 (USB バス上への SOF パケットの送出制御) を行います。

UACT ビットを“1”にすると、USB は USB ポートを USB バス許可状態にし、SOF パケット出力およびデータ送受信を行います。

ソフトウェアで UACT ビットに“1”を書いてから、1 フレーム時間以内に SOF パケット出力を開始します。

UACT ビットを“0”にした場合、USB は SOF パケット出力後アイドル状態に遷移します。

以下の場合に、USB は UACT ビットを“0”にします。

- 通信中 (UACT ビットが“1”のとき) に DTCH 割り込みを検出した場合
- 通信中 (UACT ビットが“1”のとき) に EOFERR 割り込みを検出した場合

UACT ビットに“1”を書くときは、USB バスリセット処理終了時 (USBRST ビットへの“0”書き込み)、または、サスペンドからのレジューム処理終了時 (RESUME ビットへの“0”書き込み) のいずれかのタイミングで行ってください。

ファンクションコントローラ機能選択時は、“0”にしてください。

RESUME ビット (レジューム出力ビット)

ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。

RESUME ビットを“1”にすると、USB はポートを K-State ドライブし、レジューム出力を行います。

RWUPE = 1 かつ USB サスペンド状態でリモートウェイクアップ信号を検出したときに、USB は RESUME ビットを“1”にします。

USB は、RESUME ビットが“1”の期間 (ソフトウェアで RESUME ビットに“0”を書き込むまで) K-State 出力を継続します。RESUME ビットが“1”の期間 (レジューム期間) は USB 規格 2.0 に準拠した時間を確保してください。

RESUME ビットへの“1”書き込みは、サスペンド中にのみ行ってください。

レジューム終了 (RESUME ビットへの“0”書き込み) と同時に UACT ビットに“1”を書いてください。

ファンクションコントローラ機能選択時は、“0”にしてください。

USBRST ビット (USB バスリセット出力ビット)

ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。

ホストコントローラ機能選択時、USBRST ビットを“1”にすると、USB は USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。

USB は、USBRST ビットが“1”の期間 (ソフトウェアで USBRST ビットに“0”を書くまで) SE0 出力を継続します。USBRST ビットが“1”の期間 (USB バスリセット期間) は USB 規格 2.0 に準拠した時間を確保してください。

通信中 (UACT ビットが“1”) またはレジューム中 (RESUME ビットが“1”) に USBRST ビットに“1”を書いた場合、USB は UACT ビットが“0”かつ RESUME ビットが“0”の状態になるまで USB バスリセットを開始しません。

USB バスリセット終了 (USBRST ビットへの“0”書き込み) と同時に UACT ビットに“1”を書いてください。

ファンクションコントローラ機能選択時は、“0”にしてください。

RWUPE ビット (ウェイクアップ検出許可ビット)

ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ (レジューム信号出力) の禁止 / 許可を指定します。

RWUPE ビットを“1”にすると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号 (2.5 μ s 間の K-State) を検出し、レジューム処理 (K-State のドライブ) を行います。

RWUPE ビットを“0”にした場合、USB が USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を検出しても無視します。

RWUPE ビットを“1”にしたときには、サスペンド中であっても内部クロックを停止しないでください (SYSCFG.SCKE ビットを“1”にしてください)。

ファンクションコントローラ機能選択時は、“0”にしてください。

WKUP ビット (ウェイクアップ出力ビット)

ファンクションコントローラ機能選択時に、USB バス上へのリモートウェイクアップ (レジューム信号出力) 禁止 / 許可を指定します。

USB は、リモートウェイクアップ信号の出力時間を管理しています。WKUP ビットを“1”にすると、USB は 10 ms の K-State を出力した後、WKUP ビットを“0”にします。

USB 規格 2.0 では、リモートウェイクアップ信号の送信までに最短 5 ms の USB バスアイドル状態を保持する必要があります。このため、USB は、サスペンド状態を検出した直後に WKUP ビットに“1”を書いて、2 ms 待ってから K-State を出力します。

WKUP ビットへの“1”書き込みは、デバイスステートがサスペンド (INTSTS0.DVSSQ[2:0] フラグが“1xxb”) であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。

WKUP ビットを“1”にする場合は、サスペンド中であっても内部クロックを停止しないでください (SYSCFG.SCKE ビットが“1”の状態に WKUP ビットに“1”を書いてください)。

ホストコントローラ機能選択時は、“0”を書いてください。

HNPBTOA ビット (ホストネゴシエーションプロトコル (HNP) 制御ビット)

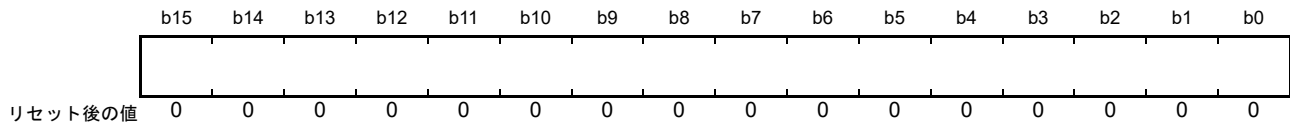
OTG にて使用時に、B デバイスから A デバイスに切り替えるときに使用します。HNPBTOA ビットが“1”であれば、内部ファンクション制御は SYSCFG.DPRPU ビットを“0”または SYSCFG.DCFM ビットを“1”にしても HNP 処理が終了するまでサスペンド状態を維持します。このとき、D+ の立ち下がりを検出しても、レジューム (RESM) 割り込みは発生しません。

“1”にした後、ホストアタッチ (相手のプルアップ) 検出または HNP 処理タイムアウト時にソフトウェアにて“0”を書き、HNP 処理を終了させます。

34.2.4 CFIFO ポートレジスタ (CFIFO)、 D0FIFO ポートレジスタ (D0FIFO)、 D1FIFO ポートレジスタ (D1FIFO)

(1) MBW ビットが“1”の場合

アドレス USB0.CFIFO 000A 0014h, USB0.D0FIFO 000A 0018h, USB0.D1FIFO 000A 001Ch,
USB1.CFIFO 000A 0214h, USB1.D0FIFO 000A 0218h, USB1.D1FIFO 000A 021Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

(2) MBW ビットが“0”の場合

アドレス USB0.CFIFO.L 000A 0014h, USB0.D0FIFO.L 000A 0018h, USB0.D1FIFO.L 000A 001Ch,
USB1.CFIFO.L 000A 0214h, USB1.D0FIFO.L 000A 0218h, USB1.D1FIFO.L 000A 021Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の3つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータの読み出し/書き込みを行うポートレジスタ (CFIFO, D0FIFO, D1FIFO) 以外に、FIFO ポートに割り当てるパイプを選択するポート選択レジスタ (CFIFOSEL, D0FIFOSEL, D1FIFOSEL)、ポートコントロールレジスタ (CFIFOCTR, D0FIFOCTR, D1FIFOCTR) で構成されています。

各 FIFO ポートには、以下の注意事項があります。

- DCP (コントロール転送) 用 FIFO バッファへのアクセスは、CFIFO ポートを通して行ってください。
- DMA/DTC 転送による FIFO バッファへのアクセスはD0FIFOあるいはD1FIFOポートを通して行ってください。
- CPU による D0FIFO あるいは D1FIFO ポートへのアクセスも可能です。
- FIFO ポート固有の機能を使用する場合は、ポート選択レジスタの CURPIPE[3:0] ビットに設定するパイプ番号 (選択パイプ) を変更できません (DMA/DTC 転送機能使用時など)。
- 同一パイプを別々の FIFO ポートに割り当てないでください。
- FIFO バッファの状況には、アクセス権がCPU側にある場合と Serial Interface Engine (SIE) 側にある場合の2種類があります。FIFO バッファのアクセス権が SIE 側にある場合は、CPU からアクセスできません。

FIFO ポートビット

FIFO ポートビットにアクセスすることにより、FIFO バッファからの受信データを読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。

FIFO ポートレジスタへのアクセスは、FIFO ポートコントロールレジスタ (CFIFOCTR, D0FIFOCTR, D1FIFOCTR) の FRDY フラグが“1”を示しているときのみ可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ (CFIFOSEL, D0FIFOSEL, D1FIFOSEL) の MBW ビットの設定値により異なります。

MBW ビットが“1”(16 ビット幅)の場合は、MDE.MDE[2:0] ビットの値と、BIGEND ビット (CFIFOSEL.BIGEND, D0FIFOSEL.BIGEND, D1FIFOSEL.BIGEND) の設定値との関係により、RAM 上とデータ配置が変わる場合があります。16 ビットアクセス時のエンディアン動作を表 34.5 に示します。

なお、送信データ総数が奇数バイトの場合、最後のデータを書くときは下位バイトにバイトアクセスしてください。

MBW ビットが“0”(8 ビット幅)の場合は、下位バイトにバイトアクセスしてください。

表 34.5 16ビットアクセス時のエンディアン動作表

MDE.MDE[2:0]ビット	CFIFOSEL.BIGENDビット D0FIFOSEL.BIGENDビット D1FIFOSEL.BIGENDビット	ビット15~8	ビット7~0	備考
000b (ビッグエンディアン)	0 (リトルエンディアン)	N+1 番地のデータ	N 番地のデータ	バイト逆転あり
	1 (ビッグエンディアン)	N 番地のデータ	N+1 番地のデータ	
111b (リトルエンディアン)	0 (リトルエンディアン)	N+1 番地のデータ	N 番地のデータ	
	1 (ビッグエンディアン)	N 番地のデータ	N+1 番地のデータ	バイト逆転あり

34.2.5 CFIFO ポート選択レジスタ (CFIFOSEL)、 D0FIFO ポート選択レジスタ (D0FIFOSEL)、 D1FIFO ポート選択レジスタ (D1FIFOSEL)

- CFIFOSEL

アドレス USB0.CFIFOSEL 000A 0020h, USB1.CFIFOSEL 000A 0220h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE [3:0]	CFIFOポートアクセスパイプ指定ビット	b3 b0 0000: DCP (デフォルトコントロールパイプ) 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ISEL	DCP選択時CFIFOポートアクセス方向ビット	0: バッファメモリ読み出し選択 1: バッファメモリ書き込み選択	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	CFIFOポートエンディアン制御ビット	0: リトルエンディアン 1: ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	CFIFOポートアクセスビット幅ビット	0: 8ビット幅 1: 16ビット幅	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	REW	バッファポインタリワインドビット	0: バッファポインタリワインドしない 1: バッファポインタリワインドする	R/W (注1)
b15	RCNT	リードカウントモードビット	0: CFIFOの全受信データ読み出し終了時にCFIFOCTR.DTLN[8:0]フラグを“000h”にする (ダブルバッファの場合は一面のみ読み出し終了時) 1: CFIFO受信データ読み出しごとにCFIFOCTR.DTLN[8:0]フラグをデクリメント	R/W

注1. 読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットの設定が“0000b”の場合には、パイプ指定なしとなります。

なお、DMA/DTC 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット (CFIFO ポートアクセスパイプ指定ビット)

CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

ISEL ビット (DCP 選択時 CFIFO ポートアクセス方向ビット)

選択パイプが DCP のときに、ISEL ビットを変更するときは、ISEL ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

ISEL ビットの設定は、CURPIPE[3:0] ビットの設定と同時に行ってください。

MBW ビット (CFIFO ポートアクセスビット幅ビット)

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、選択パイプが受信方向の場合、一度 CURPIPE[3:0] ビットに異なる値を設定してから、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。CURPIPE[3:0] ビットの変更手順は、CURPIPE[3:0] ビットの説明に従ってください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

REW ビット (バッファポインタリワインドビット)

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを“1”にすると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW ビットを“1”にすることと CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを“1”にするときは、FRDY フラグが“1”であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

- D0FIFOSEL、D1FIFOSEL

アドレス USB0.D0FIFOSEL 000A 0028h, USB0.D1FIFOSEL 000A 002Ch,
USB1.D0FIFOSEL 000A 0228h, USB1.D1FIFOSEL 000A 022Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE [3:0]	FIFOポートアクセスパイプ指定ビット	b3 b0 0000: DCP (デフォルトコントロールパイプ) 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	FIFOポートエンディアン制御ビット	0: リトルエンディアン 1: ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	FIFOポートアクセスビット幅ビット	0: 8ビット幅 1: 16ビット幅	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	DREQE	DMA/DTC転送要求許可ビット	0: DMA/DTC転送要求禁止 1: DMA/DTC転送要求許可	R/W
b13	DCLRM	選択パイプ読み出し後自動バッファメモリクリアモード	0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可	R/W
b14	REW	バッファポインタリワインドビット	0: バッファポインタリワインドしない 1: バッファポインタリワインドする	R/W (注1)
b15	RCNT	リードカウントモードビット	0: DnFIFOの全受信データ読み出し終了時に DnFIFOCTR.DTLN[8:0]フラグを“000h”にする (ダブルバッファの場合は一面のみ読み出し終了時) 1: DnFIFO受信データ読み出しごとに DnFIFOCTR.DTLN[8:0]フラグをデクリメント (n = 0, 1)	R/W

注1. 読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットを“0000b”にした場合には、パイプ指定なしとなります。

なお、DMA/DTC 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット (FIFOポートアクセスパイプ指定ビット)

D0FIFO/D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定し

ないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

MBW ビット (FIFO ポートアクセスビット幅ビット)

D0FIFO ポート、D1FIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、選択パイプが受信方向の場合、一度 CURPIPE[3:0] ビットに異なる値を設定してから、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。CURPIPE[3:0] ビットの変更手順は、CURPIPE[3:0] ビットの説明に従ってください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

DREQE ビット (DMA/DTC 転送要求許可ビット)

DMA/DTC 転送要求発行の禁止 / 許可を指定します。

DMA/DTC 転送要求発行を許可する場合、CURPIPE[3:0] ビット設定後に DREQE ビットを“1”にしてください。

CURPIPE[3:0] ビットの設定を変更するときには、CURPIPE[3:0] ビットを“0”にした後で変更を行ってください。

DCLRM ビット (選択パイプ読み出し後自動バッファメモリクリアモード)

選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止 / 許可を指定します。

DCLRM ビットを“1”にした場合、選択パイプに割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または PIPECFG.BFRE ビットを“1”にしたときにショートパケットを受信しデータ読み出しを完了時に、FIFO バッファへの BCLR ビットへの“1”書き込みを USB が行います。

SOFCFG.BRDYM ビットを“1”にして USB を使用するときには、DCLRM ビットを“0”にしてください。

REW ビット (バッファポインタリワインドビット)

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを“1”にすると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW ビットを“1”にすることと“1”の設定と CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを“1”にするときは、FRDY フラグが“1”であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット (リードカウントモードビット)

DnFIFOCTR.DTLN[8:0] フラグの読み出しモードを指定します。

PIPECFG.BFRE ビットを“1”にして DnFIFO にアクセスを行う場合は、RCNT ビットを“0”にしてください。

34.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR)、 D0FIFO ポートコントロールレジスタ (D0FIFOCTR)、 D1FIFO ポートコントロールレジスタ (D1FIFOCTR)

アドレス USB0.CFIFOCTR 000A 0022h, USB0.D0FIFOCTR 000A 002Ah, USB0.D1FIFOCTR 000A 002Eh,
USB1.CFIFOCTR 000A 0222h, USB1.D0FIFOCTR 000A 022Ah, USB1.D1FIFOCTR 000A 022Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長表示フラグ	受信データ長が表示されます。ポート選択レジスタのRCNTビットの設定により、表示が異なります。詳細は下記DTLN[8:0]フラグの説明を参照してください	R
b12-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	FRDY	FIFOポートレディフラグ	0: FIFOポートアクセス不可能 1: FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリアビット	0: 何もしない 1: CPU側バッファメモリクリア	R/W (注1)
b15	BVAL	バッファメモリ有効ビット	0: 無効 1: 書き込み終了	R/W

注1. 読むと“0”が読めます。

CFIFOCTR、D0FIFOCTR、D1FIFOCTR レジスタは、それぞれ CFIFO、D0FIFO、D1FIFO レジスタに対応しています。

DTLN[8:0] フラグ (受信データ長表示フラグ)

受信データ長が表示されます。

FIFO バッファ読み出し中の DTLN[8:0] フラグの値は、DnFIFOSEL.RCNT ビット (n = 0, 1) の設定値により以下のように異なります。

- RCNT ビットが“0”のとき

CPU または DMAC/DTC が FIFO バッファ 1 面分の受信データを読み出し完了するまで、USB は受信データ長を DTLN[8:0] フラグに表示します。

PIPECFG.BFRE ビットが“1”のときには、読み出しが完了しても BCLR = 1 を行うまでは USB は受信データ長を保持します。

- RCNT ビットが“1”のとき

読み出しごとに USB は DTLN[8:0] フラグの表示をダウンカウントします (MBW ビットが“0”のときは1ずつ、MBW ビットが“1”のときは2ずつダウンカウント)。

1 面分の FIFO バッファ読み出し完了時に、USB は DTLN[8:0] フラグを“0”にします。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を FIFO ポートコントロールレジスタの DTLN[8:0] フラグに表示します。

FRDY フラグ (FIFO ポートレディフラグ)

CPU または DMAC/DTC から FIFO ポートにアクセス可能かどうかが表示されます。

以下の場合には、USB は FRDY フラグを“1”にしますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR ビットを“1”にして FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- 選択パイプにアサインされている FIFO バッファが空の状態 Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが“1”のときに、ショートパケットを受信し、データ読み出しを完了した場合

BCLR ビット (CPU バッファクリアビット)

選択パイプの CPU 側の FIFO バッファをクリアする場合に“1”にします。

選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面ともに読み出し可能な状態である場合でも、USB は CPU 側の FIFO バッファのみをクリアします。

選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR ビットを“1”にすると、USB は FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の DCPCTR.PID[1:0] ビットを“00b” (NAK) に設定した後で BCLR ビットを“1”にしてください。

選択パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に“1”を書いた場合には、USB はそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

選択パイプが DCP 以外の場合、BCLR ビットへの“1”書き込みは、USB が FIFO ポートコントロールの FRDY フラグが“1”を示しているときに実施してください。

BVAL ビット (バッファメモリ有効ビット)

CURPIPE[3:0] ビットに指定したパイプ (選択パイプ) の CPU 側の FIFO バッファの書き込み終了時に“1”にします。

選択パイプが送信方向のとき、以下の場合に BVAL ビットを“1”にしてください。USB は CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

- ショートパケットの送信を行いたいとき、データ書き込み終了時に BVAL ビットを“1”にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に BVAL ビットを“1”にする

MaxPacketSize 分のデータを書くと、USB が BVAL ビットを“1”にし、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。

BVAL ビットへの“1”書き込みは、USB が FRDY フラグに“1”を示しているときに実施してください。

選択パイプが受信方向のときには、BVAL ビットへの“1”書き込みを行わないでください。

34.2.7 割り込み許可レジスタ 0 (INTENB0)

アドレス USB0.INTENB0 000A 0030h, USB1.INTENB0 000A 0230h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BRDYE	バッファレディ割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可ビット(注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可ビット(注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b13	SOFE	フレーム番号更新割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b14	RSME	レジューム割り込み許可ビット(注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15	VBSE	VBUS割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W

注1. RSMEビット、DVSEビットおよびCTREビットは、ファンクションコントローラ機能選択時のみ“1”にできます。ホストコントローラ機能選択時は、“0”にしてください。

ソフトウェアで INTENB0 レジスタを“1”にしたビットに対応する割り込みを USB が検出した場合に、USB は USB 割り込み要求を発生させます。

USB は、INTENB0 レジスタの設定値（割り込み通知の禁止 / 許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットは“1”になります。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが“1”の状態、ソフトウェアで INTENB0 レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は USB 割り込み要求を発生させます。

34.2.8 割り込み許可レジスタ 1 (INTENB1)

アドレス USB0.INTENB1 000A 0032h, USB1.INTENB1 000A 0232h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	—	DTCHE	ATTCH E	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACKE	セットアップトランザクション正常応答割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	SIGNE	セットアップトランザクションエラー割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	EOFERRE	EOFエラー検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCHE	接続検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b12	DTCHE	切断検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHGE	USBバス変化割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15	OVRCRE	オーバカレント入力変化割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W

注. INTENB1レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ“1”にできます。ファンクションコントローラ機能選択時は、“0”にしてください。

INTENB1レジスタは、ホストコントローラ機能選択時の割り込みマスクの設定、およびSETUPトランザクションの割り込みマスクレジスタの設定を行うレジスタです。

ソフトウェアでINTENB1レジスタを“1”にしたビットに対応する割り込みをUSBが検出した場合に、USBはUSB割り込み要求を発生させます。

USBは、INTENB1レジスタの設定値（割り込み通知の禁止/許可）にかかわらず、各割り込み要因の検出条件を満たしたときにINTSTS1レジスタの対応するステータスビットは“1”になります。

各割り込み要因に対応するINTSTS1レジスタのステータスビットが“1”の状態、ソフトウェアでINTENB1レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USBはUSB割り込み要求を発生させます。

ファンクションコントローラ機能選択時は、割り込み許可を行わないでください。

34.2.9 BRDY 割り込み許可レジスタ (BRDYENB)

アドレス USB0.BRDYENB 000A 0036h, USB1.BRDYENB 000A 0236h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9B RDYE	PIPE8B RDYE	PIPE7B RDYE	PIPE6B RDYE	PIPE5B RDYE	PIPE4B RDYE	PIPE3B RDYE	PIPE2B RDYE	PIPE1B RDYE	PIPE0B RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1BRDYE	パイプ1 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2BRDYE	パイプ2 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3BRDYE	パイプ3 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4BRDYE	パイプ4 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5BRDYE	パイプ5 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6BRDYE	パイプ6 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7BRDYE	パイプ7 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8BRDYE	パイプ8 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9BRDYE	パイプ9 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY フラグを“1”にすることを禁止するか、許可するかを指定します。

ソフトウェアで BRDYENB レジスタを“1”にしたパイプに対して、USB が BRDY 割り込みを検出した場合に、USB は BRDYSTS.PIPE_nBRDY フラグ (n=0~9) の対応するフラグを“1”にし、INTSTS0.BRDY フラグを“1”にします。このときに INTENB0.BRDYE ビットが“1”であれば、USB は BRDY 割り込みを発生させます。

BRDYSTS.PIPE_nBRDY フラグのうち、少なくとも1つのビットが“1”のときに、ソフトウェアで BRDYENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は BRDY 割り込みを発生させます。

34.2.10 NRDY 割り込み許可レジスタ (NRDYENB)

アドレス USB0.NRDYENB 000A 0038h, USB1.NRDYENB 000A 0238h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1NRDYE	パイプ1 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2NRDYE	パイプ2 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3NRDYE	パイプ3 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4NRDYE	パイプ4 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5NRDYE	パイプ5 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6NRDYE	パイプ6 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7NRDYE	パイプ7 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8NRDYE	パイプ8 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9NRDYE	パイプ9 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に INTSTS0.NRDY フラグを“1”にすることを禁止するか、許可するかを指定します。

ソフトウェアで NRDYENB レジスタを“1”にしたパイプに対して、USB が NRDY 割り込み要因を検出した場合に、USB は NRDYSTS.PIPE_nNRDYE フラグ (n = 0 ~ 9) の対応するビットを“1”にし、INTSTS0.NRDY フラグを“1”にします。このときに INTENB0.NRDYE = 1 であれば、USB は NRDY 割り込みを発生させません。

NRDYSTS.PIPE_nNRDYE フラグの少なくともひとつのフラグが“1”の状態、ソフトウェアで NRDYENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は NRDY 割り込み要求を発生させます。

34.2.11 BEMP 割り込み許可レジスタ (BEMPENB)

アドレス USB0.BEMPENB 000A 003Ah, USB1.BEMPENB 000A 023Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B EMPE	PIPE8B EMPE	PIPE7B EMPE	PIPE6B EMPE	PIPE5B EMPE	PIPE4B EMPE	PIPE3B EMPE	PIPE2B EMPE	PIPE1B EMPE	PIPE0B EMPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1BEMPE	パイプ1 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2BEMPE	パイプ2 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3BEMPE	パイプ3 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4BEMPE	パイプ4 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5BEMPE	パイプ5 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6BEMPE	パイプ6 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7BEMPE	パイプ7 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8BEMPE	パイプ8 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9BEMPE	パイプ9 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に INTSTS0.BEMP フラグを“1”にすることを禁止するか、許可するかを指定するレジスタです。

ソフトウェアで BEMPENB レジスタを“1”にしたパイプに対して、USB が BEMP 割り込み要因を検出した場合に、USB は BEMPSTS.PIPE_nBEMP フラグ (n = 0 ~ 9) の対応するフラグを“1”にし、INTSTS0.BEMP フラグを“1”にします。このときに INTENB0.BEMPE = 1 であれば、USB は BEMP 割り込みを発生させます。

BEMPSTS.PIPE_nBEMP フラグのうち、少なくともひとつのフラグが“1”の状態、ソフトウェアで BEMPENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は BEMP 割り込み要求を発生させます。

34.2.12 SOF 出力コンフィギュレーションレジスタ (SOFCFG)

アドレス USB0.SOFCFG 000A 003Ch, USB1.SOFCFG 000A 023Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TRNENSEL	—	BRDY M	—	EDGESTS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	EDGESTS	エッジ割り込み出力ステータスマニタフラグ(注1)	エッジ割り込み出力信号がエッジ処理中であるとき“1”を示します	R
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	BRDY M	BRDY 割り込みステータスクリアタイミング設定ビット	0 : ソフトウェアでステータスをクリア 1 : FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりUSBがステータスをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRNENSEL	トランザクション有効期間切り替えビット(注1)	0 : ロースピード未対応 1 : ロースピード対応	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. USBモジュールのクロックを停止するときには、本ビットが“0”であることを確認してください。

EDGESTS フラグ (エッジ割り込み出力ステータスマニタフラグ)

エッジ割り込み出力信号がエッジ処理中であるとき、“1”を示します。

USBのクロックを停止するときは、EDGESTS フラグが“0”であることを確認してください。

BRDY M ビット (BRDY 割り込みステータスクリアタイミング設定ビット)

各パイプのBRDY 割り込みステータスをクリアするタイミングを指定します。

TRNENSEL ビット (トランザクション有効期間切り替えビット)

フルスピードまたはロースピード通信中のポートにおいて、1フレーム中にUSBがトークン発行を行う期間(トランザクション有効期間)を指定します。

TRNENSEL ビットには、ロースピードデバイスが接続されたときに“1”にしてください。

TRNENSEL ビットは、ホストコントローラ機能選択時のみ有効です。

ファンクションコントローラ機能選択時は、“0”にしてください。

34.2.13 割り込みステータスレジスタ 0 (INTSTS0)

アドレス USB0.INTSTS0 000A 0040h, USB1.INTSTS0 000A 0240h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
VBINT	RESM	SOFR	DVST	CTRTR	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]		VALID	CTSQ[2:0]			
0	0	0	0/1 (注1)	0	0	0	0	0	0	0	0/1 (注3)	0	0	0	0

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージフラグ	b2 b0 0 0 0 : アイドルまたはセットアップステージ 0 0 1 : コントロールリードデータステージ 0 1 0 : コントロールリードステータスステージ 0 1 1 : コントロールライトデータステージ 1 0 0 : コントロールライトステータスステージ 1 0 1 : コントロールライト(NoData)ステータスステージ 1 1 0 : コントロール転送シーケンスエラー	R
b3	VALID	USBリクエストフラグ	0 : セットアップパケットを受信していない 1 : セットアップパケットを受信した	R/W (注4)
b6-b4	DVSQ[2:0]	デバイスステートフラグ	b6 b4 0 0 0 : Poweredステート 0 0 1 : Defaultステート 0 1 0 : Addressステート 0 1 1 : Configuredステート 1 x x : Suspendedステート	R
b7	VBSTS	VBUS入カステータスフラグ	0 : USBm_VBUS端子(m = 0, 1)がLow 1 : USBm_VBUS端子がHigh	R
b8	BRDY	バッファレディ割り込みステータスフラグ	0 : BRDY割り込み発生なし 1 : BRDY割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータスフラグ	0 : NRDY割り込み発生なし 1 : NRDY割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータスフラグ	0 : BEMP割り込み発生なし 1 : BEMP割り込み発生あり	R
b11	CTRTR	コントロール転送ステージ遷移割り込みステータスフラグ(注5)	0 : コントロール転送ステージ遷移割り込み発生なし 1 : コントロール転送ステージ遷移割り込み発生あり	R/W (注4)
b12	DVST	デバイスステート遷移割り込みステータスフラグ(注5)	0 : デバイスステート遷移割り込み発生なし 1 : デバイスステート遷移割り込み発生あり	R/W (注4)
b13	SOFR	フレーム番号更新割り込みステータスフラグ	0 : SOF割り込み発生なし 1 : SOF割り込み発生あり	R/W (注4)
b14	RESM	レジューム割り込みステータスフラグ(注5、注6)	0 : レジューム割り込み発生なし 1 : レジューム割り込み発生あり	R/W (注4)
b15	VBINT	VBUS割り込みステータスフラグ(注6)	0 : VBUS割り込み発生なし 1 : VBUS割り込み発生あり	R/W (注4)

x : Don't care

注1. MCUがリセットされると“0”、USBバスリセットのとき“1”になります。

注2. USBm_VBUS端子(m = 0, 1)がHighのとき“1”、Lowのとき“0”になります。

注3. MCUがリセットされると“000b”、USBバスリセットのとき“001b”になります。

注4. VBINTフラグ、RESMフラグ、SOFRフラグ、DVSTフラグ、CTRTRフラグまたはVALIDフラグをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。“0”を示しているステータスフラグへの“0”書き込みを行わないでください。

注5. RESMフラグ、DVSTフラグ、CTRTRフラグのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを“0”(禁止)にしてください。

注6. VBINTフラグ、RESMフラグが示すステータス変化をクロック停止中(SCKEビットが“0”)でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

CTSQ[2:0] フラグ (コントロール転送ステージフラグ)

ホストコントローラ機能選択時、読み出しは無効です。

VALID フラグ (USB リクエストフラグ)

ホストコントローラ機能選択時、読み出しは無効です。

DVSQ[2:0] フラグ (デバイスステートフラグ)

USB バスリセットで DVSQ[2:0] フラグは初期化されます。

ホストコントローラ機能選択時、読み出しは無効です。

BRDY フラグ (バッファレディ割り込みステータスフラグ)

BRDY 割り込みステータスが表示されます。

BRDYENB.PIPE_nBRDYE ビット (n = 0 ~ 9) を“1”にしたパイプに対応する BRDYSTS.PIPE_nBRDY フラグ (n = 0 ~ 9) のうち、少なくともひとつが“1”になったとき (ソフトウェアで BRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BRDY 割り込み状態を検出したとき) に、USB は BRDY フラグを“1”にします。

PIPE_nBRDY ステータスのアサート条件は、「34.3.3.1 BRDY 割り込み」を参照ください。

ソフトウェアで、PIPE_nBRDYE ビットで許可しているパイプに対応する PIPE_nBRDY フラグのすべてに“0”を書くと、USB は BRDY フラグを“0”にします。

ソフトウェアで BRDY フラグに対して“0”を書いても、BRDY フラグを“0”にすることはできません。

NRDY フラグ (バッファノットレディ割り込みステータスフラグ)

NRDYENB.PIPE_nNRDYE ビット (n = 0 ~ 9) を“1”にしたパイプに対応する NRDYSTS.PIPE_nNRDY フラグ (n = 0 ~ 9) のうち、少なくともひとつが“1”になったとき (ソフトウェアで NRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が NRDY 割り込み状態を検出したとき) に、USB は NRDY フラグを“1”にします。

PIPE_nNRDY ステータスのアサート条件は、「34.3.3.2 NRDY 割り込み」を参照ください。

ソフトウェアで、PIPE_nNRDYE ビットで許可しているパイプに対応する PIPE_nNRDY フラグのすべてに“0”を書くと、USB は NRDY フラグを“0”にします。

ソフトウェアで NRDY フラグに対して“0”を書いても、NRDY フラグを“0”にすることはできません。

BEMP フラグ (バッファエンプティ割り込みステータスフラグ)

BEMPENB.PIPE_nBEMPE ビット (n = 0 ~ 9) を“1”にしたパイプに対応する BEMPSTS.PIPE_nBEMP フラグ (n = 0 ~ 9) のうち、少なくともひとつが“1”になったとき (ソフトウェアで BEMP 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BEMP 割り込み状態を検出したとき) に、USB は BEMP フラグを“1”にします。

PIPE_nBEMP ステータスのアサート条件は、「34.3.3.3 BEMP 割り込み」を参照ください。

ソフトウェアで、PIPE_nBEMPE ビットで許可しているパイプに対応する PIPE_nBEMP フラグすべてに“0”を書くと、USB は BEMP フラグを“0”にします。

ソフトウェアで BEMP フラグに対して“0”を書いても、BEMP フラグを“0”にすることはできません。

CTRT フラグ (コントロール転送ステージ遷移割り込みステータスフラグ)

ファンクションコントローラ機能設定時、USB がコントロール転送のステージ遷移を検出したときに、USB は CTSQ[2:0] フラグの値を更新し、CTRT フラグを“1”にします。

コントロール転送ステージ遷移割り込みが発生したときには、USB がコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

DVST フラグ (デバイスステート遷移割り込みステータスフラグ)

ファンクションコントローラ機能設定時、USB がデバイスステートの変化を検出したときに、USB は DVSQ[2:0] フラグの値を更新し、DVST フラグを“1”にします。

デバイスステート遷移割り込みが発生したときには、USB が次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

SOFR フラグ (フレーム番号更新割り込みステータスフラグ)**(1) ホストコントローラ機能設定時**

ソフトウェアで DVSTCTR0.UACT ビットを“1”にしているとき、フレームナンバの更新タイミングで SOFR フラグを“1”にします (SOFR 割り込みは、1 ms ごとに検出します)。

(2) ファンクションコントローラ機能設定時

フレームナンバの更新時に USB は SOFR フラグを“1”にします (SOFR 割り込みは、1 ms ごとに検出します)。

USB ホストからの SOF パケットが破損したときでも、内部補完により、USB は SOFR 割り込みを検出します。

RESM フラグ (レジューム割り込みステータスフラグ)

ファンクションコントローラ機能設定時、USB がサスペンド状態 (DVSQ[2:0] フラグが“1xxb”) であり、かつ、USBm_DP 端子 (m=0, 1) の立ち下りを検出したときに、RESM フラグを“1”にします。

ホストコントローラ機能選択時、読み出し値は無効です。

VBINT フラグ (VBUS 割り込みステータスフラグ)

USB が USBm_VBUS 端子入力値の変化 (High から Low への変化あるいは Low から High への変化) を検出したときに、VBINT フラグを“1”にします。USB は USBm_VBUS 端子の入力値を、VBSTS フラグに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS フラグ読み出しの回数一致を行い、チャタリング除去を実施してください。

34.2.14 割り込みステータスレジスタ 1 (INTSTS1)

アドレス USB0.INTSTS1 000A 0042h, USB1.INTSTS1 000A 0242h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—	—	EOFERR	SIGN	SACK	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACK	セットアップトランザクション正常応答割り込みステータスフラグ	0 : SACK割り込み発生なし 1 : SACK割り込み発生あり	R/W (注1)
b5	SIGN	セットアップトランザクションエラー割り込みステータスフラグ	0 : SIGN割り込み発生なし 1 : SIGN割り込み発生あり	R/W (注1)
b6	EOFERR	EOFエラー検出割り込みステータスフラグ	0 : EOFERR割り込み発生なし 1 : EOFERR割り込み発生あり	R/W (注1)
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCH	ATTCH割り込みステータスフラグ	0 : ATTCH割り込み発生なし 1 : ATTCH割り込み発生あり	R/W (注1)
b12	DTCH	USB切断検出割り込みステータスフラグ	0 : DTCH割り込み発生なし 1 : DTCH割り込み発生あり	R/W (注1)
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHG	USBパス変化割り込みステータスフラグ (注2)	0 : BCHG割り込み発生なし 1 : BCHG割り込み発生あり	R/W (注1)
b15	OVRCR	オーパカレント入力変化割り込みステータスフラグ(注2)	0 : OVRCR割り込み発生なし 1 : OVRCR割り込み発生あり	R/W (注1)

注1. INTSTS1レジスタの各フラグが示すステータスをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。

注2. OVRCRフラグおよびBCHGフラグが示すステータス変化をクロック停止中(SYSCFG.SCKEビットが“0”)でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはSYSCFG.SCKEビットを“1”にした後に行ってください。OVRCRフラグおよびBCHGフラグ以外の割り込みは、クロック停止中(SYSCFG.SCKEビットが“0”)は検出しません。

INTSTS1レジスタは、ホストコントローラ機能選択時の各割り込みのステータスを確認するレジスタです。

INTSTS1レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

SACKフラグ (セットアップトランザクション正常応答割り込みステータスフラグ)

ホストコントローラ機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。

USBが発行したSETUPトランザクションにおいて、周辺デバイスからのACK応答を受信したときに、USBはSACK割り込みを検出し、SACKフラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USBはSACK割り込みを発生します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

SIGN フラグ (セットアップトランザクションエラー割り込みステータスフラグ)

ホストコントローラ機能選択時、セットアップトランザクションエラー割り込みステータスが表示されます。

USB が発行した SETUP トランザクションにおいて、周辺デバイスが ACK 応答を行わない状態が連続 3 回発生したときに、USB は SIGN 割り込みを検出し、SIGN フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は SIGN 割り込み発生をします。

USB の SIGN 割り込み検出条件は、具体的には 3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答が発生したときです。

- 周辺デバイスが何も応答しない状態で USB がタイムアウトを検出したとき
- ACK パケットが破損したとき
- ACK 以外のハンドシェイク (NAK、NYET、または STALL) を受信したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

EOFERR フラグ (EOF エラー検出割り込みステータスフラグ)

ホストコントローラ機能選択時、EOFERR 割り込みステータスが表示されます。

USB2.0 仕様に定められている EOF2 タイミング時点で通信が終了しないことを USB が検出したときに、EOFERR 割り込みを検出し、EOFERR フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は EOFERR 割り込みを発生します。

USB は、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定に関わらず）以下のハードウェア制御を行います。ソフトウェアで、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ファンクションコントローラ機能選択時、読み出し値は無効です。

ATTCH フラグ (ATTCH 割り込みステータスフラグ)

ホストコントローラ機能選択時、ATTCH 割り込みステータスが表示されます。

USB がポートにフルスピード信号レベルまたはロースピード信号レベルの J-State または K-State を 2.5 μ s 間検出したとき、USB は ATTCH 割り込みを検出し、ATTCH フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込み発生をします。

USB の ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μ s 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μ s 間継続したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

DTCH フラグ (USB 切断検出割り込みステータスフラグ)

ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。

USB バスディスコネクタ検出時に、USB は DTCH 割り込みを検出し、DTCH フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込み発生します。

USB は、USB 2.0 仕様に準じた基準でバスディスコネクタを検出します。

USB は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示
- DTCH 割り込みが発生したポートをアイドル状態に遷移

ファンクションコントローラ機能選択時、読み出し値は無効です。

BCHG フラグ (USB バス変化割り込みステータスフラグ)

USB バス変化割り込みステータスが表示されます。

USB ポートでフルスピード信号レベルまたはロースピード信号レベルでの状態変化が発生した（J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した）ときに、USB は BCHG 割り込みを検出し、BCHG フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込みを発生させます。

USB ポートの現在の入力状態を、SYSSTS0.LNST[1:0] フラグに表示します。BCHG 端子割り込み発生時は、ソフトウェアで LNST[1:0] フラグ読み出しの回数一致を行い、チャタリング除去を実施してください。

USB バス変化は、内部クロック停止状態でも検出します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

OVRCCR フラグ (オーバカレント入力変化割り込みステータスフラグ)

USBm_OVRCURA および USBm_OVRCURB 入力端子 (m = 0, 1) の変化割り込みステータスが表示されます。

USBm_OVRCURA または USBm_OVRCURB 端子入力値の少なくともどちらか一方が変化（High から Low への変化あるいは Low から High への変化）したときに、USB は OVRCCR 割り込みを検出し、OVRCCR フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込みを発生させます。

34.2.15 BRDY 割り込みステータスレジスタ (BRDYSTS)

アドレス USB0.BRDYSTS 000A 0046h, USB1.BRDYSTS 000A 0246h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B RDY	PIPE8B RDY	PIPE7B RDY	PIPE6B RDY	PIPE5B RDY	PIPE4B RDY	PIPE3B RDY	PIPE2B RDY	PIPE1B RDY	PIPE0B RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1BRDY	パイプ1 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2BRDY	パイプ2 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3BRDY	パイプ3 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4BRDY	パイプ4 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BRDY	パイプ5 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BRDY	パイプ6 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BRDY	パイプ7 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8BRDY	パイプ8 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9BRDY	パイプ9 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SOFCFG.BRDYMビットが“0”の場合、BRDYSTSレジスタの各フラグが示すステータスをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

注2. SOFCFG.BRDYMビットが“0”の場合、BRDY割り込みのクリアは、FIFOアクセスを行う前に実施してください。

34.2.16 NRDY 割り込みステータスレジスタ (NRDYSTS)

アドレス USB0.NRDYSTS 000A 0048h, USB1.NRDYSTS 000A 0248h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDY	PIPE8NRDY	PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1NRDY	パイプ1 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2NRDY	パイプ2 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3NRDY	パイプ3 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4NRDY	パイプ4 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5NRDY	パイプ5 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6NRDY	パイプ6 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7NRDY	パイプ7 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8NRDY	パイプ8 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9NRDY	パイプ9 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. NRDYSTSレジスタの各フラグが示すステータスを“0”にする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

34.2.17 BEMP 割り込みステータスレジスタ (BEMPSTS)

アドレス USB0.BEMPSTS 000A 004Ah, USB1.BEMPSTS 000A 024Ah

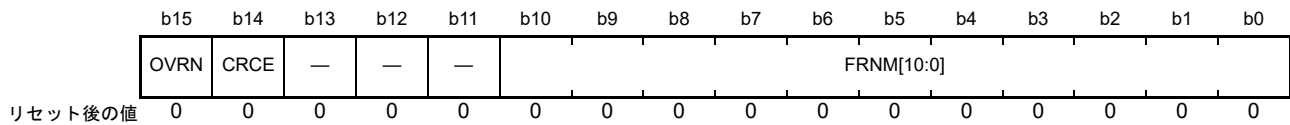
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B EMP	PIPE8B EMP	PIPE7B EMP	PIPE6B EMP	PIPE5B EMP	PIPE4B EMP	PIPE3B EMP	PIPE2B EMP	PIPE1B EMP	PIPE0B EMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1BEMP	パイプ1 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2BEMP	パイプ2 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3BEMP	パイプ3 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4BEMP	パイプ4 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BEMP	パイプ5 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BEMP	パイプ6 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BEMP	パイプ7 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8BEMP	パイプ8 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9BEMP	パイプ9 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. BEMPSTSレジスタの各フラグが示すステータスを“0”にする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

34.2.18 フレームナンバレジスタ (FRMNUM)

アドレス USB0.FRNUM 000A 004Ch, USB1.FRNUM 000A 024Ch



ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号フラグ	最新のフレーム番号	R
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	CRCE	受信データエラーフラグ	0: エラーなし 1: エラー発生	R/W (注1)
b15	OV RN	オーバラン/アンダラン検出ステータスフラグ	0: エラーなし 1: エラー発生	R/W (注1)

注1. 各ステータスを“0”にする場合は、クリアしたいフラグに“0”を、その他のフラグには“1”を書いてください。

FRNM[10:0] フラグ (フレーム番号フラグ)

USB は、1 ms に 1 回の SOF 発行タイミングまたは SOF 受信時に FRNM[10:0] フラグを書き換え、最新のフレーム番号を表示します。

CRCE フラグ (受信データエラーフラグ)

アイソクロナス転送中のパイプに対する CRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。

ソフトウェアで、CRCE フラグに“0”を書くことにより CRCE フラグを“0”にすることができます。このとき、FRMNUM レジスタの他のフラグには“1”を書いてください。

CRC エラーの検出時には、USB は内部 NRDY 割り込み要求を発生させます。

OVRN フラグ (オーバラン/アンダラン検出ステータスフラグ)

アイソクロナス転送を行っているパイプに対するオーバラン/アンダランエラー検出の有無が表示されます。

ソフトウェアで、OVRN フラグに“0”を書くことにより OVRN フラグを“0”にすることができます。このとき、FRMNUM レジスタの他のフラグには“1”を書いてください。

(1) ホストコントローラ機能選択時

以下のいずれかの場合に、USB が OVRN フラグを“1”にします。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき

(2) ファンクションコントローラ機能選択時

以下のいずれかの場合に、USB が OVRN フラグを“1”にします。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN トークンを受信したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき

34.2.19 デバイスステート切り替えレジスタ (DVCHGR)

アドレス USB0.DVCHGR 000A 004Eh

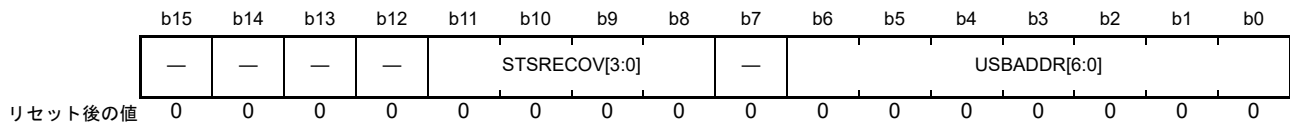
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DVCHG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	DVCHG	デバイスステート切り替えビット	0 : USBADDR.STSRECOV[3:0]ビットおよび USBADDR.USBADDR[6:0]ビットへの書き込み無効 1 : USBADDR.STSRECOV[3:0]ビットおよび USBADDR.USBADDR[6:0]ビットへの書き込み許可	R/W

詳細は「34.3.1.5 USB サスペンド/レジューム割り込みによる ディープソフトウェアスタンバイモードの解除」を参照してください。

34.2.20 USB アドレスレジスタ (USBADDR)

アドレス USB0.USBADDR 000A 0050h



ビット	シンボル	ビット名	機能	R/W
b6-b0	USBADDR[6:0]	USBアドレスビット	ファンクションコントローラ機能選択時、SET_ADDRESS リクエストを正常に処理したときに、ホストから割り付けられたUSBアドレスを表示します	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	STSRECOV[3:0]	ステータスリカバリービット	<ul style="list-style-type: none"> ファンクションコントローラ機能選択時の復帰 <ul style="list-style-type: none"> b11 b8 1 0 0 1: フルスピード状態に復帰(DVSTCTR0.RHST[2:0]フラグが“010b”)、INTSTS0.DVSQ[2:0]フラグが“001b” (Defaultステート) 1 0 1 0: フルスピード状態に復帰(DVSTCTR0.RHST[2:0]フラグが“010b”)、INTSTS0.DVSQ[2:0]フラグが“010b” (Addressステート) 1 0 1 1: フルスピード状態に復帰(DVSTCTR0.RHST[2:0]フラグが“010b”)、INTSTS0.DVSQ[2:0]フラグが“011b” (Configuredステート) 上記以外は設定しないでください ホストコントローラ機能選択時の復帰 <ul style="list-style-type: none"> b11 b8 1 0 0 0: フルスピード状態に復帰(DVSTCTR0.RHST[2:0]フラグが“010b”) 上記以外は設定しないでください 	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

USBADDR[6:0] ビット (USB アドレスビット)

USB が USB バスリセットを検出したとき、USBADDR[6:0] ビットを“00h”にします。

DVCHGR.DVCHG ビットを“1”にしているときに書き込み可能となり、USB 電源遮断から復帰時に、ソフトウェアにて遮断前の USB アドレスへ設定することができます。

ホストコントローラ機能選択時、USBADDR[6:0] ビットは無効です。

USBADDR[6:0] ビットは、USB バスリセット検出で初期化されます。

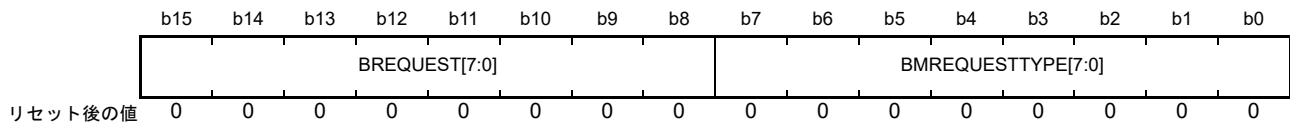
STSRECOV[3:0] ビット (ステータスリカバリービット)

USB 電源遮断から復帰するときの USB の内部シーケンサの状態を遮断前の状態に復帰させるときに使用します。詳細は「34.3.1.5 USB サスペンド/レジューム割り込みによる ディープソフトウェアスタンバイモードの解除」を参照してください。

STSRECOV[3:0] ビットは、DVCHGR.DVCHG ビットを“1”にしているときのみ書き込みが可能です。

34.2.21 USB リクエストタイプレジスタ (USBREQ)

アドレス USB0.USBREQ 000A 0054h, USB1.USBREQ 000A 0254h



ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプビット	USB リクエスト bmRequestType の値	R/W (注1)
b15-b8	BREQUEST[7:0]	リクエストビット	USB リクエスト bRequest の値	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ レジスタは、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

BMREQUESTTYPE[7:0] ビット (リクエストタイプビット)

USB リクエスト bmRequestType の値を格納します。

- ホストコントローラ機能選択時
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが“1”の状態では BMREQUESTTYPE[7:0] ビットの書き換えは行わないでください。
- ファンクションコントローラ機能選択時
SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

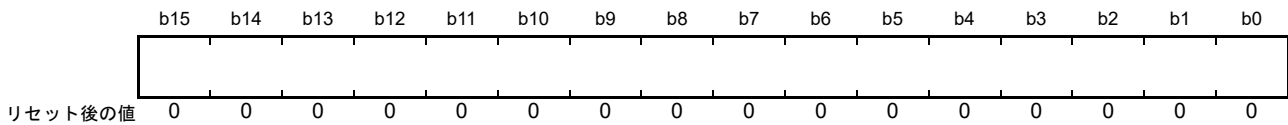
BREQUEST[7:0] ビット (リクエストビット)

USB リクエスト bRequest の値を格納します。

- ホストコントローラ機能選択時
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが“1”の状態では BREQUEST[7:0] ビットの書き換えは行わないでください。
- ファンクションコントローラ機能選択時
SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

34.2.22 USB リクエストバリュeregスタ (USBVAL)

アドレス USB0.USBVAL 000A 0056h, USB1.USBVAL 000A 0256h



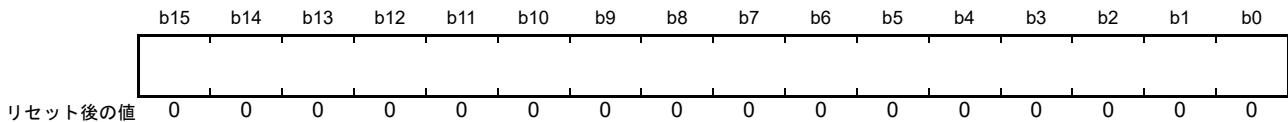
USBVAL レジスタは、ファンクションコントローラ機能選択時、受信した wValue の値が格納されます。ホストコントローラ機能選択時、送信する wValue の値を設定します。

USBVAL レジスタは、USB バスリセットで初期化されます。

- ホストコントローラ機能選択時
送信する SETUP トランザクションの USB リクエスト wValue の値を設定してください。
DCPCTR.SUREQ ビットが“1”の状態を書き換えしないでください。
- ファンクションコントローラ選択時
SETUP トランザクションで受信した USB リクエスト wValue の値を表示します。書き込みは無効です。

34.2.23 USB リクエストインデックスレジスタ (USBINDX)

アドレス USB0.USBINDX 000A 0058h, USB1.USBINDX 000A 0258h



USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

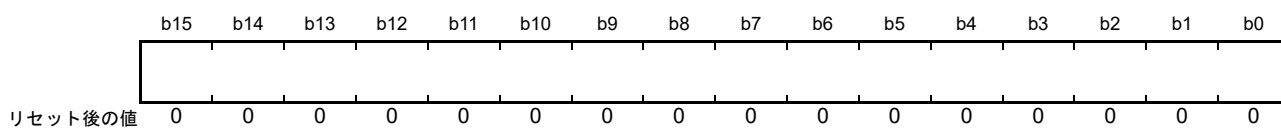
USBINDX レジスタは、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

USBINDX レジスタは、USB バスリセットで初期化されます。

- ホストコントローラ機能選択時
送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。
DCPCTR.SUREQ ビットが“1”の状態を書き換えしないでください。
- ファンクションコントローラ選択時
SETUP トランザクションで受信した USB リクエスト wIndex の値を表示します。書き込みは無効です。

34.2.24 USB リクエストレングスレジスタ (USBLENG)

アドレス USB0.USBLENG 000A 005Ah, USB1.USBLENG 000A 025Ah



USBLENG レジスタはコントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG レジスタは、ファンクションコントローラ機能選択時、受信した `wLength` の値が格納されます。ホストコントローラ機能選択時、送信する `wLength` の値を設定します。

USBLENG レジスタは、バスリセットで初期化されます。

- ホストコントローラ機能選択時
送信する `SETUP` トランザクションの `USB` リクエスト `wLength` の値を設定してください。
`DCPCTR.SUREQ` ビットが“1”の状態を書き換えしないでください。
- ファンクションコントローラ選択時
`SETUP` トランザクションで受信した `USB` リクエスト `wLength` の値を表示します。書き込みは無効です。

34.2.25 DCP コンフィギュレーションレジスタ (DCPCFG)

アドレス USB0.DCPCFG 000A 005Ch, USB1.DCPCFG 000A 025Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SHTNA K	—	—	DIR	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DIR	転送方向設定ビット(注1)	0: データ受信方向 1: データ送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット(注1)	0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

DIR ビット (転送方向設定ビット)

ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。

ファンクションコントローラ機能選択時には、DIR ビットを“0”にしてください。

SHTNAK ビット (トランスファ終了時のパイプ禁止ビット)

コントロール転送が受信方向の場合に、トランスファ終了時に DCPCTR.PID[1:0] ビットを“00b” (NAK) に変更するかどうかを指定します。

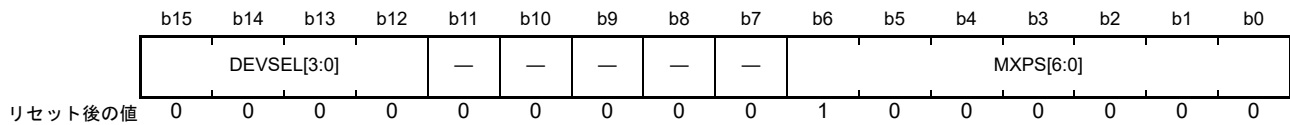
SHTNAK ビットは、受信方向である場合に有効なビットです。

SHTNAK ビットを“1”にしている場合、USBは、トランスファの終了を判定したときにDCPのDCPCTR.PID[1:0] ビットを“00b” (NAK) に変更します。USBは、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき

34.2.26 DCP マックスパケットサイズレジスタ (DCPMAXP)

アドレス USB0.DCPMAXP 000A 005Eh, USB1.DCPMAXP 000A 025Eh



ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	マックスパケットサイズビット(注1)	DCPの最大データペイロード(マックスパケットサイズ)設定	R/W
b11-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット(注2)	b15 b12 0 0 0 0 : アドレス 0000 0 0 0 1 : アドレス 0001 0 0 1 0 : アドレス 0010 0 0 1 1 : アドレス 0011 0 1 0 0 : アドレス 0100 0 1 0 1 : アドレス 0101 上記以外は設定しないでください	R/W

注1. MXPS[6:0]ビットの設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。またMXPS[6:0]ビットの設定変更後には、ポート選択レジスタのCURPIPE[3:0]ビットへDCPを設定後、ポートコントロールレジスタのBCLRビットを“1”にしてバッファクリア処理を実施してください。

注2. DEVSEL[3:0]ビットの設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態およびDCPCTR.SUREQビットが“0”の期間に実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

MXPS[6:0] ビット (マックスパケットサイズビット)

DCPの最大データペイロード(マックスパケットサイズ)をMXPS[6:0]ビットに設定してください。初期値は、40h (64 バイト)です。

MXPS[6:0]ビットの設定は、USB規格2.0に準拠した値を設定してください。

MXPS[6:0]ビットが“0”の状態ではFIFOバッファへの書き込み、またはPID[1:0] = 01b (BUF)の設定は行わないでください。

DEVSEL[3:0] ビット (デバイス選択ビット)

ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。

DEVSEL[3:0]ビットの設定値に対応するDEVADDn (n = 0 ~ 5)レジスタの設定を行ったあとで、DEVSEL[3:0]ビットを設定してください。例えば、DEVSEL[3:0]ビットを“0010b”にする場合、DEVADD2レジスタにアドレスの設定を行ってください。

ファンクションコントローラ機能選択時は、DEVSEL[3:0]ビットの値を“0000b”にしてください。

34.2.27 DCP コントロールレジスタ (DCPCTR)

アドレス USB0.DCPCTR 000A 0060h, USB1.DCPCTR 000A 0260h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	SUREQ	—	—	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK応答 0 1 : BUF応答(バッファ状態に従う) 1 0 : STALL応答 1 1 : STALL応答	R/W
b2	CCPL	コントロール転送終了許可ビット	0 : コントロール転送終了許可しない 1 : コントロール転送終了許可	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0 : DCPはトランザクションで未使用 1 : DCPはトランザクションで使用	R
b6	SQMON	シーケンストグルビットモニタフラグ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンストグルビットセットビット (注2)	0 : 書き込みは無効 1 : DATA1指定	R/W (注1)
b8	SQCLR	シーケンストグルビットクリアビット (注2)	0 : 書き込みは無効 1 : DATA0指定	R/W (注1)
b10-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	SUREQCLR	SUREQビットクリアビット	0 : 書き込みは無効 1 : SUREQビットをクリア	R/W
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	SUREQ	SETUPトークン送出ビット	0 : 書き込みは無効 1 : セットアップパケット送出	R/W
b15	BSTS	バッファステータスフラグ	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

注1. 読むと“0”が読めます。

注2. SQSETビットおよびSQCLRビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PID[1:0] ビット (応答PIDビット)

PID[1:0] ビットでコントロール転送における USB の応答を制御します。

(1) ホストコントローラ機能選択時

以下の手順でPID[1:0] ビットを“00b” (NAK) から“01b” (BUF)に変更してください。

● 送信方向設定時

DVSTCTR0.UACT ビットが“1”かつPID[1:0] = 00b (NAK)の状態ではFIFOバッファに送信データを書き込み完了し、“01b” (BUF 応答) を書いてください。PID[1:0] = 01b (BUF)の書き込み後、USBはOUTトランザクションを実行します。

● 受信方向設定時

DVSTCTR0.UACT ビットが“1”かつPID[1:0] = 00b (NAK)の状態ではFIFOバッファが空の状態であることを確認し(空の状態にし)、PID[1:0] = 01b (BUF)を書き込んでください。PID[1:0] = 01b (BUF)の書き

込み後、USB は IN トランザクションを実行します。

以下の場合に、USB が PID[1:0] ビットの値を変更します。

- ソフトウェアで PID[1:0] ビットに“01b” (BUF) を設定しているときに、USB が MaxPacketSize を超えるデータを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。
- CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB は PID[1:0] = 00b (NAK) を表示します。
- STALL ハンドシェイクを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。

(2) ファンクションコントローラ機能選択時

以下の場合に、USB が PID[1:0] ビットの値を変更します。

- USB が SETUP パケットを受信したときに、USB は PID[1:0] ビットを PID[1:0] = 00b (NAK) に変更します。このとき、USB は INTSTS0.VALID フラグを“1”にし、ソフトウェアで VALID フラグを“0”にするまでは、ソフトウェアで PID[1:0] ビットを変更できません。
- ソフトウェアで PID[1:0] ビットに“01b” (BUF) を設定しているときに、USB が MaxPacketSize を超えるデータを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。
- USB がコントロール転送シーケンスエラーを検出した場合、PID[1:0] = 1xb (STALL) を表示します。
- USB が USB バスリセットを検出した場合、PID[1:0] = 00b (NAK) を表示します。

SET_ADDRESS リクエスト処理（自動処理）時には、USB は PID[1:0] ビットの設定値を参照しません。PID[1:0] ビットは USB バスリセットで初期化されます。

CCPL ビット（コントロール転送終了許可ビット）

ファンクションコントローラ機能選択時に、CCPL ビットを“1”にすることによりコントロール転送のステータスステージの終了許可を設定します。

対応する PID[1:0] ビットが“01b” (BUF) のとき、ソフトウェアで CCPL ビットを“1”にすると、USB はコントロール転送のステータスステージを完了させます。

コントロールリード転送時では USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時では USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値に関係なく USB は SETUP ステージからステータスステージ完了まで自動応答を行います。

新たな SETUP パケットを受信したときに、USB は CCPL ビットを“1”から“0”に変更します。

INTSTS0.VALID フラグが“1”のとき、ソフトウェアで CCPL ビットへの“1”書き込みを行うことができません。

CCPL ビットは USB バスリセットで初期化されます。

ホストコントローラ機能選択時には、CCPL ビットへは“0”を書き込んでください。

PBUSY フラグ（パイプビジーフラグ）

DCP が PID[1:0] ビットを“01b” (BUF) から“00b” (NAK) に変更した場合に、DCP のトランザクションで使用されなくなったかを表示します。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY フラグを“0”から“1”に変更します。ひとつのトランザクションが終了したときに PBUSY フラグを“1”から“0”に変更します。

ソフトウェアで PID[1:0] = 00b (NAK) を設定した後、PBUSY フラグを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「34.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON フラグ (シーケンストグルビットモニタフラグ)

DCP の転送において、次のトランザクションのシーケンストグルビット値が表示されます。

トランザクションが正常処理すると USB は SQMON フラグをトグルさせます。ただし、受信方向転送時のデータ PID 不一致発生時には、SQMON フラグをトグルさせません。

ファンクションコントローラ機能選択時、SETUP パケット正常受信時に、USB は SQMON フラグを“1” (期待値を DATA1 に設定) にします。

また、ファンクションコントローラ機能選択時、USB はステータスステージの IN/OUT トランザクションでは SQMON フラグを参照しません。また正常終了してもトグルさせません。

SQSET ビット (シーケンストグルビットセットビット)

DCP の転送において、次のトランザクションのシーケンストグルビット値を DATA1 に設定することができます。

SQCLR ビットと SQSET ビットを同時に“1”にしないでください。

SQCLR ビット (シーケンストグルビットクリアビット)

DCP の転送において、次のトランザクションのシーケンストグルビット値を DATA0 に設定することができます。SQCLR ビットは“0”になります。

SQCLR ビットと SQSET ビットを同時に“1”にしないでください。

SUREQCLR ビット (SUREQ ビットクリアビット)

ホストコントローラ機能選択時に、SUREQCLR ビットを“1”にすることによって SUREQ ビットをクリアすることができます。SUREQCLR ビットは“0”になります。

SETUP トランザクションにおいて、SUREQ ビットが“1”のまま通信が停止したときに、ソフトウェアで SUREQCLR ビットを“1”にしてください。正常な SETUP トランザクションでは、トランザクション終了時に USB が自動的に SUREQ ビットを“0”にしますので、ソフトウェアによるクリア処理は不要です。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットの“0”による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。

ファンクションコントローラ機能選択時、SUREQCLR ビットへは“0”を書いてください。

SUREQ ビット (SETUP トークン送出ビット)

ホストコントローラ機能選択時、SUREQ ビットを“1”にすることにより、セットアップパケットを送信します。

SETUP トランザクション処理終了後、USB は SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、SUREQ ビットを“0”にします。

また、SUREQCLR ビットをソフトウェアで“1”にすることにより、USB は SUREQ ビットを“0”にします。

DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、SUREQ ビットを“1”にしてください。SUREQ ビットを“1”にする前に、DCP の PID[1:0] ビットを“00b” (NAK) に設定していることを確認してください。また、SUREQ ビットを“1”にした後、SETUP トランザクションが終了するまで (SUREQ ビットが“1”) の期間は DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。

SETUP トークンを出すときのみ SUREQ ビットを“1”にしてください。その他のときには、“0”を書いてください。

ファンクションコントローラ機能選択時、SUREQ ビットへは“0”を書いてください。

BSTS フラグ (バッファステータスフラグ)

DCP FIFO バッファへのアクセス可否ステータスが表示されます。

BSTS フラグの意味は、ポート選択レジスタの ISEL ビットの設定値により以下のように異なります。

- ISEL ビットが“0”のとき、受信データの読み出しが可能かどうかを表示
- ISEL ビットが“1”のとき、送信データの書き込みが可能かどうかを表示

34.2.28 パイプウィンドウ選択レジスタ (PIPESEL)

アドレス USB0.PIPESEL 000A 0064h, USB1.PIPESEL 000A 0264h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択ビット	b3 b0 0000: 未選択 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

パイプ1～9の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE、およびPIPEnTRNレジスタで行ってください。

PIPESELレジスタにて使用するパイプを設定した後、PIPECFG、PIPEMAXP、およびPIPEPERIレジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPEnTRE、およびPIPEnTRNレジスタは、PIPESELレジスタによるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0] ビット (パイプウィンドウ選択ビット)

書き込み/読み出しを対象とするPIPECFG、PIPEMAXP、PIPEPERIレジスタに対応するパイプ番号を指定します。

PIPESEL[3:0]ビットで指定したパイプ番号に対応するPIPECFG、PIPEMAXP、PIPEPERIレジスタの読み出し/書き込みができます。

PIPESEL[3:0]ビットを“0000b”にしたときは、PIPECFG、PIPEMAXPおよびPIPEPERIレジスタの各ビットは、すべて“0”が読めます。書き込みは無効です。

34.2.29 パイプコンフィギュレーションレジスタ (PIPECFG)

アドレス USB0.PIPECFG 000A 0068h, USB1.PIPECFG 000A 0268h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TYPE[1:0]	—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号ビット(注1)	選択パイプのエンドポイント番号を指定します。 0000bの設定は、未使用パイプを意味します	R/W
b4	DIR	転送方向指定ビット(注2、注3)	0: 受信方向 1: 送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット(注1)	0: トランスファ終了時にパイプの割り付けを継続 1: トランスファ終了時にパイプの割り付けを禁止	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	DBLB	ダブルバッファモードビット(注2、注3)	0: シングルバッファ 1: ダブルバッファ	R/W
b10	BFRE	BRDY 割り込み動作指定ビット(注2、注3)	0: データ送受信でBRDY 割り込み 1: データ読み出し完了時にBRDY 割り込み	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	TYPE[1:0]	転送タイプビット(注1)	<ul style="list-style-type: none"> パイプ1、2の場合 b15 b14 0 0: パイプを不使用 0 1: バルク転送 1 0: 設定しないでください 1 1: アイソクロナス転送 パイプ3~5の場合 b15 b14 0 0: パイプを不使用 0 1: バルク転送 1 0: 設定しないでください 1 1: 設定しないでください パイプ6~9の場合 b15 b14 0 0: パイプ不使用 0 1: 設定しないでください 1 0: インタラプト転送 1 1: 設定しないでください 	R/W

- 注1. TYPE[1:0]ビット、SHTNAKビットおよびEPNUM[3:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSY = 0を確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。
- 注2. BFREビット、DBLBビットおよびDIRビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。
- 注3. 選択パイプを使用したUSB通信を行った後、BFREビット、DBLBビットおよびDIRビットの設定を変更する場合には、注2.の注意事項の状態に加え、ソフトウェアでPIPEnCTR.ACLRMビットに“1”、“0”を連続して書き込み、選択パイプに割り付けられたFIFOバッファのクリアを実行してください。

PIPECFG レジスタは、パイプ1~9に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、またシングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をするレジスタです。

EPNUM[3:0] ビット (エンドポイント番号ビット)

選択パイプのエンドポイント番号を指定します。

“0000b” の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0] ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください (EPNUM[3:0] ビットが “0000b” の設定は重複可能です)。

DIR ビット (転送方向指定ビット)

選択パイプの転送方向を指定します。

ソフトウェアで DIR ビットを “0” にしている場合、USB は選択パイプを受信方向に、DIR ビットを “1” にしている場合、USB は選択パイプを送信方向に使用します。

SHTNAK ビット (トランスファ終了時のパイプ禁止ビット)

選択パイプが受信方向の場合に、トランスファ終了時に PID[1:0] ビットを “00b” (NAK) に変更するかどうかを指定します。

SHTNAK ビットは、選択パイプがパイプ 1～パイプ 5 であり、かつ、受信方向である場合に有効なビットです。

受信方向パイプに対してソフトウェアで SHTNAK ビットを “1” にしている場合、USB は、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PIPEnCTR.PID[1:0] ビットを “00b” (NAK) に変更します。USB は、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

DBLB ビット (ダブルバッファモードビット)

選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。

DBLB ビットはパイプ 1～5 選択時に有効です。

BFRE ビット (BRDY 割り込み動作指定ビット)

USB から CPU への選択パイプに関する BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを “1” にし、かつ選択パイプを受信方向で使用している場合、USB は、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生したときには、ソフトウェアでポートコントロールレジスタの BCLR ビットに “1” を書く必要があります。BCLR ビットに “1” を書くまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアで BFRE ビットを “1” にし、かつ、選択パイプを送信方向で使用している場合、USB は BRDY 割り込みを発生させません。

詳細は、「34.3.3.1 BRDY 割り込み」を参照してください。

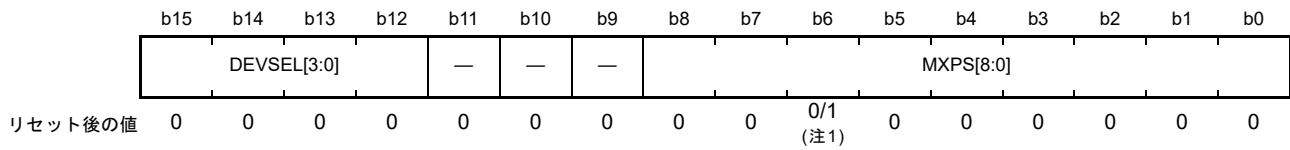
TYPE[1:0] ビット (転送タイプビット)

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ (選択パイプ) の転送タイプを指定します。

選択パイプを PID[1:0] = 01b (BUF) に設定する (選択したパイプを使用した USB 通信を開始する) 前に、TYPE[1:0] ビットを 00b 以外の値に設定してください。

34.2.30 パイプマックスパケットサイズレジスタ (PIPEMAXP)

アドレス USB0.PIPEMAXP 000A 006Ch, USB1.PIPEMAXP 000A 026Ch



ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS[8:0]	MAXパケットサイズビット(注2)	<ul style="list-style-type: none"> パイプ1、2 : 1バイト(001h)~256バイト(100h) パイプ3~5 : 8バイト(008h)、16バイト(010h)、 32バイト(020h)、64バイト(040h) パイプ6~9 : 1バイト(001h)~64バイト(040h) 	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット(注3)	b15 b12 0 0 0 0 : アドレス0000 0 0 0 1 : アドレス0001 0 0 1 0 : アドレス0010 0 0 1 1 : アドレス0011 0 1 0 0 : アドレス0100 0 1 0 1 : アドレス0101 上記以外は設定しないでください	R/W

注1. PIPESEL.PIPESEL[3:0]ビットでパイプを選択していないとき“0000h”、選択しているとき“0040h”です。

注2. MXPS[8:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. DEVSEL[3:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEMAXP レジスタは、パイプ1~9に対して、マックスパケットサイズを指定するレジスタです。

MXPS[8:0] ビット (MAX パケットサイズビット)

選択パイプの最大データペイロード (マックスパケットサイズ) を指定します。

MXPS[8:0] ビットの設定は、転送タイプごとに USB 規格 2.0 に準拠した値を設定してください。ただし、パイプ1、2の最大値は“256”です。MXPS[8:0] ビットが“000h”のとき、FIFO バッファへの書き込み、またはPIPEnCTR.PID[1:0] ビットを“01b” (BUF) にしないでください。

DEVSEL[3:0] ビット (デバイス選択ビット)

ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB デバイスアドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADDn (n=0~5) レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] ビットを“0010b”にする場合、DEVADD2 アドレスの設定を行ってください。

ファンクションコントローラ機能を選択したときは、DEVSEL[3:0] ビットの値を“0000b”にしてください。

34.2.31 パイプ周期制御レジスタ (PIPEPERI)

アドレス USB0.PIPEPERI 000A 006Eh, USB1.PIPEPERI 000A 026Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	IFIS	—	—	—	—	—	—	—	—	—	—	IITV[2:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0]	インターバルエラー検出間隔ビット (注1)	選択パイプのインターバルエラー検出間隔をフレーム タイミングの2のn乗で指定してください。	R/W
b11-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	IFIS	アイソクロナスINバッファフラッシュ ビット	0 : バッファフラッシュしない 1 : バッファフラッシュする	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. IITV[2:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプの PIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEPERI レジスタはパイプ 1～9 に対して、アイソクロナス IN 転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をするレジスタです。

IITV[2:0] ビット (インターバルエラー検出間隔ビット)

IITV[2:0] ビットを設定し、USB 通信を行った後で別の値に変更する場合には、PID[1:0] = 00b (NAK) 設定後 PIPEnCTR.ACLRM ビットを“1”にして、インターバルタイムの初期化を行ってください。

パイプ 3～5 に対しては、IITV[2:0] ビットは存在しません。パイプ 3～5 に対応する IITV[2:0] ビットの位置には“000b”を設定してください。

IFIS ビット (アイソクロナス IN バッファフラッシュビット)

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ (選択パイプ) がアイソクロナス IN 転送の場合に、バッファフラッシュ有無を指定します。

ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV[2:0] ビットに設定したインターバルごとのフレーム中に USB ホストから IN トークンを USB が受信しなかった場合に、USB が自動的に FIFO バッファをクリアする機能です。

ダブルバッファ設定時 (PIPECFG.DBLB ビットを“1”にしたとき) は、USB がクリアするのは古い方の 1 面分データのみです。

FIFO バッファクリアのタイミングは、IN トークンを受信するはずのフレーム直後の SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングにクリアを行います。

ホストコントローラ機能選択時には、IITV[2:0] ビットを“000b”にしてください。

選択パイプの転送タイプがアイソクロナス以外の場合は、IITV[2:0] ビットを“000b”にしてください。

34.2.32 パイプ n コントロールレジスタ (PIPE_nCTR) (n = 1 ~ 9)

- PIPE_nCTR (n = 1 ~ 5)

アドレス USB0.PIPE1CTR 000A 0070h, USB0.PIPE2CTR 000A 0072h, USB0.PIPE3CTR 000A 0074h,
USB0.PIPE4CTR 000A 0076h, USB0.PIPE5CTR 000A 0078h,
USB1.PIPE1CTR 000A 0270h, USB1.PIPE2CTR 000A 0272h, USB1.PIPE3CTR 000A 0274h,
USB1.PIPE4CTR 000A 0276h, USB1.PIPE5CTR 000A 0278h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	INBUFM	—	—	—	ATREPM	ACLARM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答 (バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用	R
b6	SQMON	シーケンストグルビット確認フラグ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンストグルビットセットビット (注2)	0 : 書き込み無効 1 : DATA1 指定	R/W (注1)
b8	SQCLR	シーケンストグルビットクリアビット (注2)	0 : 書き込み無効 1 : DATA0 指定	R/W (注1)
b9	ACLARM	自動バッファクリアモードビット (注3)	0 : 禁止 1 : 許可 (全バッファ初期化)	R/W
b10	ATREPM	自動応答モードビット(注2)	0 : 自動応答禁止 1 : 自動応答許可	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	INBUFM	送信バッファモニタフラグ	0 : バッファメモリに送信可能データなし 1 : バッファメモリに送信可能データあり	R
b15	BSTS	バッファステータスフラグ	0 : CPUからのバッファアクセス不可能 1 : CPUからのバッファアクセス可能	R

注1. 読むと“0”が読めます。

注2. ATREPMビットの設定の変更およびSQCLRビットまたはSQSETビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. ACLARMビットの設定の変更は、PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPE_nCTR レジスタの設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PID[1:0] ビット (応答 PID ビット)

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は“00b”(NAK)です。当該パイプで USB 転送を行う場合には PID[1:0] ビットを“01b”(BUF)に変更してください。PID[1:0] ビット設定値ごとの基本動作(通信パケットにエラーがない場合の動作)は表 34.6 および表 34.7 のとおりです。

当該パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットを“01b”(BUF)から“00b”(NAK)に変更する場合、“00b”(NAK)を書いた後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY フラグが“1”であることを確認してください。

以下の場合には USB が PID[1:0] ビットの値を変更します。

- 当該パイプが受信方向の場合、かつソフトウェアで選択パイプの PIPECFG.SHTNAK ビットを“1”にしている場合、USB がトランスファ終了を認識したときに、PID[1:0] = 00b (NAK) を表示します。
- 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。
- ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、USB は PID[1:0] = 00b (NAK) を表示します。
- ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB は PID[1:0] = 00b (NAK) を表示します。
- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、“10b”を書いてください。
- BUF (01b) 状態から STALL 状態にする場合には、“11b”を書いてください。
- STALL (11b) 状態から NAK 状態にする場合には、一度“10b”を書いてから“00b”を書いてください。
- STALL (11b) 状態から BUF 状態にする場合には、一度 NAK 状態にしてから“01b”を書いてください。
- STALL (10b) 状態から BUF 状態にする場合には、一度“00b”を書いてから“01b”を書いてください。

PBUSY フラグ (パイプビジーフラグ)

当該パイプを現在トランザクションで使用しているかが表示されます。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY フラグを“0”から“1”に変更します。ひとつのトランザクションが終了したときに PBUSY フラグを“1”から“0”に変更します。

ソフトウェアで PID[1:0] = 00b (NAK) を設定した後、PBUSY フラグを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「34.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON フラグ (シーケンストグルビット確認フラグ)

当該パイプの次回トランザクションにおけるシーケンストグルビット値が表示されます。

当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると USB は SQMON フラグをトグルさせます。ただし、受信方向転送時のデータ PID 不一致発生時には、SQMON フラグをトグルさせません。

SQSET ビット (シーケンストグルビットセットビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA1 にセットするときに“1”を指定します。

ソフトウェアで SQSET ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットを“0”にします。

SQCLR ビット (シーケンストグルビットクリアビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA0 にクリアするときに“1”を指定します。

ソフトウェアで SQCLR ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットを“0”にします。

ACLRM ビット (自動バッファクリアモードビット)

当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに“1”、“0”を連続して書いてください。

ACLRM ビットに“1”、“0”を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて表 34.8 に示します。

ATREPM ビット (自動応答モードビット)

当該パイプの自動応答禁止 / 許可を指定します。

ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、ATREPM ビットを“1”にすることが可能です。

ATREPM ビットを“1”にした場合、USB ホストからのトークンに対し USB は以下のように応答します。

(1) 当該パイプが Bulk-IN 転送 (PIPECFG.TYPE[1:0] ビットに“01b”かつ PIPECFG.DIR ビットに“1”を設定) の場合

ATREPM ビットが“1”かつ PID[1:0]=01b (BUF) にしている場合、IN トークンに対して USB は Zero-Length パケットを送信します。

USB ホストからの ACK 受信のたびに (1 トランザクションは IN トークン受信 → Zero Length パケット送信 → ACK 受信)、USB はシーケンストグルビット (データ PID) の更新 (トグル) を行います。

BRDY 割り込み、BEMP 割り込みは発生させません。

(2) 当該パイプが Bulk-OUT 転送 (PIPECFG.TYPE[1:0] ビットに“01b”かつ PIPECFG.DIR ビットに“0”を設定) の場合

ATREPM ビットが“1”かつ PID[1:0]=01b (BUF) にしている場合、OUT トークンに対して USB は NAK 応答を行い、NRDY 割り込みを発生させます。

ATREPM ビットを“1”にして USB 通信を行う場合、FIFO バッファは空の状態を設定を行ってください。ATREPM ビットを“1”にして USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。

当該パイプの転送タイプがアイソクロナス転送の場合、ATREPM ビットは“0”にしてください。

ホストコントローラ機能選択時には、ATREPM ビットは“0”を書いてください。

INBUFM フラグ (送信バッファモニタフラグ)

当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。

当該パイプを送信方向 (PIPECFG.DIR ビットが“1”) に設定している場合に、CPU または DMAC/DTC が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、USB は INBUFM フラグを“1”にします。

書き込みが完了している面の FIFO バッファ上のデータを USB がすべて送信完了したときに、USB は INBUFM フラグを“0”にします。ダブルバッファ使用時 (PIPECFG.DBLB ビットが“1”) には、USB が 2 面分のデータを送信完了しかつ CPU または DMAC/DTC が 1 面分のデータ書き込みを完了していないときに、

INBUFM フラグを“0”にします。

当該パイプを受信方向 (PIPECFG.DIR ビットが“0”) に設定している場合には、INBUFM フラグは BSTS フラグと同じ値を示します。

BSTS フラグ (バッファステータスフラグ)

当該パイプの FIFO バッファステータスが表示されます。

BSTS フラグの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 34.9 に示すように異なります。

表 34.6 PID[1:0]ビットによるUSBの動作一覧(ホストコントローラ機能選択時)

PID[1:0]ビット	転送タイプ	転送方向 (DIRビット)	USBの動作
“00b” (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
“01b” (BUF)	バルク または インタラプト	設定値に依存しない	DVSTCTRO.UACT ビットが“1”で、かつ当該パイプに対応する FIFO バッファが送受信可能な状態ならばトークンを発行する。DVSTCTRO.UACT ビットが“0”である、または送受信可能でなければトークンを発行しない
	アイソクロナス	設定値に依存しない	当該パイプに対応する FIFO バッファの状態にかかわらずトークンを発行する
“10b” (STALL) または “11b” (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表 34.7 PID[1:0]ビットによるUSBの動作一覧(ファンクションコントローラ機能選択時)

PID[1:0]ビット	転送タイプ	転送方向 (DIRビット)	USBの動作
“00b” (NAK)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにNAK応答を行う
	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う
“01b” (BUF)	バルク	受信方向 (DIRビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	インタラプト	受信方向 (DIRビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	バルク、または インタラプト	送信方向 (DIRビットが“1”)	対応する FIFO バッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければNAK応答を行う
	アイソクロナス	受信方向 (DIRビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する
送信方向 (DIRビットが“1”)		対応する FIFO バッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければZero-Lengthパケットを送信する	
“10b” (STALL) または “11b” (STALL)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにSTALL応答を行う
	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う

表 34.8 ACLRM = 1 設定時にUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けたFIFOバッファのすべての内容(ダブルバッファ設定時はFIFOバッファを2面ともクリア)	パイプの初期化をしたい場合
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFREビットに関する内部フラグ	PIPECFG.BFREビットの設定値変更時
4	FIFOバッファトグル制御	PIPECFG.DBLBビットの設定値変更時
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表 34.9 BSTSフラグの動作

DIRビット	BFREビット	DCLRMビット	BSTSフラグの機能
0	0	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了したときに“0”になります
		1	この組み合わせは設定しないでください
	1	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了した後でソフトウェアでポートコントロールレジスタのBCLRビットに“1”を書いたときに“0”になります
		1	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了したときに“0”になります
1	0	0	FIFOバッファへの送信データの書き込みが可能になったときに“1”になり、データの書き込みが完了したときに“0”になります
		1	この組み合わせは設定しないでください
	1	0	この組み合わせは設定しないでください
		1	この組み合わせは設定しないでください

- PIPE_nCTR (n = 6 ~ 9)

アドレス USB0.PIPE6CTR 000A 007Ah, USB0.PIPE7CTR 000A 007Ch, USB0.PIPE8CTR 000A 007Eh,
USB0.PIPE9CTR 000A 0080h,
USB1.PIPE6CTR 000A 027Ah, USB1.PIPE7CTR 000A 027Ch, USB1.PIPE8CTR 000A 027Eh,
USB1.PIPE9CTR 000A 0280h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答(バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0 : 当該パイプをUSBバスにて未使用 1 : 当該パイプはUSBバスにて使用	R
b6	SQMON	シーケンストグルビット確認フラグ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンストグルビットセットビット(注2)	0 : 無効 1 : DATA1指定	R/W (注1)
b8	SQCLR	シーケンストグルビットクリアビット(注2)	0 : 無効 1 : DATA0指定	R/W (注1)
b9	ACLRM	自動バッファクリアモードビット(注2、注3)	0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可(全バッファ初期化)	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	BSTS	バッファステータスフラグ	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

注1. 読むと“0”が読めます。“1”のみ書けます。

注2. SQCLRビットまたはSQSETビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. ACLRMビットの設定の変更は、PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PID[1:0] ビット (応答PIDビット)

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は“00b” (NAK) です。当該パイプでUSB転送を行う場合にはPID[1:0] ビットを“01b” (BUF)に変更してください。PID[1:0] ビットの設定値ごとの基本動作(通信パケットにエラーがない場合の動作)は表 34.6 および表 34.7 のとおりです。

当該パイプがUSB通信中であるときに、ソフトウェアでPID[1:0] ビットを“01b” (BUF)から“00b” (NAK)に変更する場合、“00b” (NAK)を書き込んだ後、実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにPBUSYフラグが“1”であることを確認してください。

以下の場合にはUSBがPID[1:0] ビットの値を変更します。

- 当該パイプに対し、MaxPacketSizeを超えるペイロードのデータパケットを受信した場合、USBはPID[1:0] = 11b (STALL)を表示します。
- ファンクションコントローラ機能選択時に、USBバスリセットを検出した場合、USBはPID[1:0] = 00b

(NAK) を表示します。

- ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB は PID[1:0] = 00b (NAK) を表示します。
- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、“10b” を書いてください。
- BUF (01b) 状態から STALL 状態にする場合には、“11b” を書いてください。
- STALL (11b) 状態から NAK 状態にする場合には、一度 “10b” を書いてから “00b” を書いてください。
- STALL (11b) 状態から BUF 状態にする場合には、一度 NAK 状態にしてから “01b” を書いてください。
- STALL (10b) 状態から BUF 状態にする場合には、一度 “00b” を書いてから “01b” を書いてください。

PBUSY フラグ (パイプビジーフラグ)

当該パイプを現在 USB バスで使用しているかどうかが表示されます。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY フラグを “0” から “1” に変更します。ひとつのトランザクションが終了したときに PBUSY フラグを “1” から “0” に変更します。

ソフトウェアで PID[1:0] = 00b (NAK) を設定した後、PBUSY フラグを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

SQMON フラグ (シーケンスストグルビット確認フラグ)

当該パイプの次回トランザクションにおけるシーケンスストグルビットの期待値が表示されます。

トランザクションが正常処理すると USB は SQMON フラグをトグルさせます。ただし、受信方向転送時のデータ PID 不一致発生時には、SQMON フラグをトグルさせません。

SQSET ビット (シーケンスストグルビットセットビット)

当該パイプの次回トランザクションにおけるシーケンスストグルビットの期待値を DATA1 にセットするときに “1” を指定します。

ソフトウェアで SQSET ビットを “1” にすると USB は当該パイプのシーケンスストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットを “0” にします。

SQCLR ビット (シーケンスストグルビットクリアビット)

当該パイプの次回トランザクションにおけるシーケンスストグルビットの期待値を DATA0 にクリアするときに “1” を指定します。

ソフトウェアで SQCLR ビットを “1” にすると USB は当該パイプのシーケンスストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットを “0” にします。

ACLRM ビット (自動バッファクリアモードビット)

当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに “1”、“0” を連続して書いてください。

ACLRM ビットに “1”、“0” を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて表 34.10 に示します。

BSTS フラグ (バッファステータスフラグ)

当該パイプのFIFO バッファステータスが表示されます。

BSTS フラグの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 34.9 に示すように異なります。

表34.10 ACLRMビットを“1”にしたときにUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けたFIFOバッファのすべての内容	パイプの初期化をしたい場合
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

34.2.33 パイプ n トランザクションカウンタインーブルレジスタ (PIPE_nTRE) (n = 1 ~ 5)

アドレス USB0.PIPE1TRE 000A 0090h, USB0.PIPE2TRE 000A 0094h, USB0.PIPE3TRE 000A 0098h,
USB0.PIPE4TRE 000A 009Ch, USB0.PIPE5TRE 000A 00A0h,
USB1.PIPE1TRE 000A 0290h, USB1.PIPE2TRE 000A 0294h, USB1.PIPE3TRE 000A 0298h,
USB1.PIPE4TRE 000A 029Ch, USB1.PIPE5TRE 000A 02A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRCLR	トランザクションカウンタクリアビット	0: 無効 1: カレントカウンタクリア	R/W
b9	TRENB	トランザクションカウンタ許可ビット	0: トランザクションカウンタ機能無効 1: トランザクションカウンタ機能有効	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. PIPE_nTRE レジスタの各ビットの変更は、PID[1:0] = 00b (NAK) 時に実施してください。
対応するパイプの PIPE_nCTR.PID[1:0] ビットを“01b” (BUF) から“00b” (NAK) へ変更したあとで各ビットの設定値を変更する場合には、PIPE_nCTR.PBUSY フラグが“0”であることを確認してから各ビットを変更してください。ただし、USB が PID[1:0] ビットを“00b” (NAK) に変更した場合には、ソフトウェアによる PBUSY フラグの確認は必要ありません。

TRCLR ビット (トランザクションカウンタクリアビット)

当該パイプに対応するトランザクションカウンタの現在のカウンタ値をクリアし、TRCLR ビットを“0”にします。

TRENB ビット (トランザクションカウンタ許可ビット)

トランザクションカウンタ無効/有効を指定します。

受信パイプに対して、ソフトウェアで PIPE_nTRN レジスタに総パケット数を設定した後で TRENB ビットを“1”にすると、USB は PIPE_nTRN レジスタの設定値と同数のパケット受信を終了したときに以下の制御を行います。

- PIPECFG.SHTNAK ビットが“1”のとき、PIPE_nTRN レジスタの設定値と同数のパケット受信を終了時点で対応するパイプの PIPE_nCTR.PID[1:0] ビットを“00b” (NAK) に変更します。
- PIPECFG.BFRE ビットが“1”のとき、PIPE_nTRN レジスタの設定値と同数のパケット受信し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします

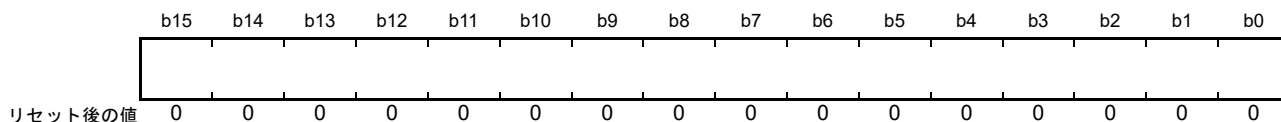
送信パイプについては、TRENB ビットを“0”にしてください。

トランザクションカウンタ機能を使用しない場合は、TRENB ビットを“0”にしてください。

トランザクションカウンタ機能を使用する場合、TRENB ビットを“1”にする前に PIPE_nTRN レジスタの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前に TRENB ビットを“1”にしてください。

34.2.34 パイプnトランザクションカウンタレジスタ (PIPE_nTRN) (n = 1 ~ 5)

アドレス USB0.PIPE1TRN 000A 0092h, USB0.PIPE2TRN 000A 0096h, USB0.PIPE3TRN 000A 009Ah,
 USB0.PIPE4TRN 000A 009Eh, USB0.PIPE5TRN 000A 00A2h,
 USB1.PIPE1TRN 000A 0292h, USB1.PIPE2TRN 000A 0296h, USB1.PIPE3TRN 000A 029Ah,
 USB1.PIPE4TRN 000A 029Eh, USB1.PIPE5TRN 000A 02A2h



PIPE_nTRN レジスタは、USB バスリセット時も設定値が保持されます。

- レジスタ書き込み時：
当該 PIPE が受信すべき総パケット数（トランザクション回数）を設定します。
- レジスタ読み出し時：
PIPE_nTRE.TRENB ビットが“0”の場合は、設定したトランザクション回数が表示されます。
PIPE_nTRE.TRENB ビットが“1”の場合は、カウント中のトランザクション回数が表示されます。

USB は、受信時の状態が以下のすべてを満たしたときに PIPE_nTRN レジスタを 1 インクリメントします。

- PIPE_nTRE.TRENB ビットが“1”である
- パケット受信時に (PIPE_nTRN 設定値 ≠ 現在のカウンタ値 + 1) である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した

USB は、以下のいずれかの条件が満たされたときに PIPE_nTRN レジスタの表示を“0000h”にします。

- 以下の条件がすべて満たされたとき
 - PIPE_nTRE.TRENB ビットが“1”である
 - パケット受信時に (PIPE_nTRN 設定値 = 現在のカウンタ値 + 1) である
 - 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した
- 以下の条件がすべて満たされたとき
 - PIPE_nTRE.TRENB ビットが“1”である
 - ショートパケットを受信した
- 以下の条件がすべて満たされたとき
 - PIPE_nTRE.TRENB ビットが“1”である
 - ソフトウェアで PIPE_nTRE.TRCLR ビットを“1”にした

送信パイプについては、PIPE_nTRN レジスタを“0000h”にしてください。

トランザクションカウンタ機能を使用しない場合は、PIPE_nTRN レジスタを“0000h”にしてください。

PIPE_nTRN レジスタのトランザクション回数の設定は、PIPE_nTRE.TRENB ビットが“0”のときのみ可能です。また、トランザクション回数設定値を変更する場合には、開始 (PIPE_nTRE.TRENB ビットが“1”) 前に PIPE_nTRE.TRCLR ビットに“1”を書いてください (カレントカウンタ値のクリア)。

34.2.35 デバイスアドレス n コンフィギュレーションレジスタ (DEVADDn) (n = 0 ~ 5)

アドレス USB0.DEVADD0 000A 00D0h, USB0.DEVADD1 000A 00D2h, USB0.DEVADD2 000A 00D4h,
USB0.DEVADD3 000A 00D6h, USB0.DEVADD4 000A 00D8h, USB0.DEVADD5 000A 00DAh,
USB1.DEVADD0 000A 02D0h, USB1.DEVADD1 000A 02D2h, USB1.DEVADD2 000A 02D4h,
USB1.DEVADD3 000A 02D6h, USB1.DEVADD4 000A 02D8h, USB1.DEVADD5 000A 02DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	USBSPD[1:0]	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	USBSPD[1:0]	通信対象デバイスの転送速度ビット	b7 b6 0 0 : DEVADDnレジスタ未使用 0 1 : ロースピード 1 0 : フルスピード 1 1 : 設定しないでください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DEVADDn レジスタは、パイプ 0 ~ 9 に対して、通信対象の周辺デバイスが接続されている通信速度を指定するレジスタです。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、DEVADDn レジスタの各ビットを設定してください。

DEVADDn レジスタの各ビットの変更は、各ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下両方の条件を満たしているパイプです。

- DEVSEL[3:0] ビットの設定が、DEVADDn レジスタを指定している
- 選択パイプの PID[1:0] ビットに“01b” (BUF) を設定しているとき、または選択パイプが DCP であり DCPCTR.SUREQ ビットが“1”になっている

USBSPD[1:0] ビット (通信対象デバイスの転送速度ビット)

通信対象の周辺デバイスの USB 転送速度を設定します。

HUB 経由でフルスピードデバイスが接続されたときには、“10b” にしてしてください。

ホストコントローラ機能選択時、USB は、USBSPD[1:0] ビットの設定値を参照してパケットを生成します。

ファンクションコントローラ機能選択時、“00b” にしてしてください。

34.2.36 PHYクロスポイント調整レジスタ (PHYSLEW)

アドレス USB0.PHYSLEW 000A 00F0h, USB1.PHYSLEW 000A 02F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SLEWF01	SLEWF00	SLEWR01	SLEWR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SLEWR00	ドライバのクロスポイント調整ビット00	“1”にしてください	R/W
b1	SLEWR01	ドライバのクロスポイント調整ビット01	“0”にしてください	R/W
b2	SLEWF00	ドライバのクロスポイント調整ビット00	“1”にしてください	R/W
b3	SLEWF01	ドライバのクロスポイント調整ビット01	“0”にしてください	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PHYSLEW レジスタは、ドライバのクロスポイントを調整します。

USB の動作を開始させる前に、このレジスタに値 (“00000005h”) を設定してください。

34.2.37 ディープスタンバイ USB トランシーバ制御 / 端子モニタレジスタ (DPUSR0R)

アドレス USB.DPUSR0R 000A 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DVBST S0	—	DOVCB 0	DOVCA 0	—	—	DM0	DP0
リセット後の値	0	0	0	0	0	0	0	0	x	0	x	x	0	0	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	FIXPH Y0	DRPD0	—	RPUE0	SRPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	SRPC0	USB0 シングルエンドレシーバ制御ビット	0 : D+/D-の入力は禁止状態となる 1 : D+/D-の入力は許可状態となる	R/W
b1	RPUE0 (注1)	USB0 D+ プルアップ抵抗制御ビット	0 : D+ プルアップ抵抗を禁止する 1 : D+ プルアップ抵抗を許可する	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DRPD0 (注1)	USB0 D+/D- プルダウン抵抗制御ビット	0 : D+/D- プルダウン抵抗を禁止する 1 : D+/D- プルダウン抵抗を許可する	R/W
b4	FIXPHY0	USB0 トランシーバ出力固定ビット	0 : 通常時、およびディープソフトウェアスタンバイモードからの復帰時 1 : ディープソフトウェアスタンバイモードへの移行時	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	DP0	USB0 D+ 入力フラグ	USB0 のD+ 入力信号を表示します	R
b17	DM0	USB0 D- 入力フラグ	USB0 のD- 入力信号を表示します	R
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	DOVCA0	USB0 OVRCURA 入力フラグ	USB0 のOVRCURA 入力信号を表示します	R
b21	DOVCB0	USB0 OVRCURB 入力フラグ	USB0 のOVRCURB 入力信号を表示します	R
b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23	DVBSTS0	USB0 VBUS 入力フラグ	USB0 のVBUS 入力信号を表示します	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ディープソフトウェアスタンバイモード実行時のみ使用してください。詳細は「34.3.1.5 USB サスペンド/レジューム割り込みによる ディープソフトウェアスタンバイモードの解除」を参照してください。

SRPC0 ビット (USB0 シングルエンドレシーバ制御ビット)

USB0 のトランシーバの D+/D- 入力制御を行います。

FIXPHY0 ビットが“1”のときに有効となります。

FIXPHY0 ビット (USB0 トランシーバ出力固定ビット)

USB0 のトランシーバへの出力をディスエーブル固定します。

34.2.38 ディープスタンバイ USB サスペンド/レジューム割り込みレジスタ (DPUSR1R)

アドレス USB.DPUSR1R 000A 0404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DVBINT0	—	DOVRCRB0	DOVRCRA0	—	—	DMINT0	DPINT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	DVBSE0	—	DOVRCRBE0	DOVRCRAE0	—	—	DMINTE0	DPINTE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DPINTE0	USB0 D+ 割り込み許可/クリアビット	0: ディープソフトウェアスタンバイモードからの復帰を禁止 1: ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b1	DMINTE0	USB0 D- 割り込み許可/クリアビット	0: ディープソフトウェアスタンバイモードからの復帰を禁止 1: ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOVRCRAE0	USB0 OVRCURA 割り込み許可/クリアビット	0: ディープソフトウェアスタンバイモードからの復帰を禁止 1: ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b5	DOVRCRBE0	USB0 OVRCURB 割り込み許可/クリアビット	0: ディープソフトウェアスタンバイモードからの復帰を禁止 1: ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DVBSE0	USB0 VBUS 割り込み許可/クリアビット	0: ディープソフトウェアスタンバイモードからの復帰を禁止 1: ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	DPINT0	USB0 D+ 割り込み要因による復帰表示フラグ	0: ディープソフトウェアスタンバイモードからの復帰なし 1: ディープソフトウェアスタンバイモードからの復帰あり	R
b17	DMINT0	USB0 D- 割り込み要因による復帰表示フラグ	0: ディープソフトウェアスタンバイモードからの復帰なし 1: ディープソフトウェアスタンバイモードからの復帰あり	R
b19-18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	DOVRCRA0	USB0 OVRCURA 割り込み要因による復帰表示フラグ	0: ディープソフトウェアスタンバイモードからの復帰なし 1: ディープソフトウェアスタンバイモードからの復帰あり	R
b21	DOVRCRB0	USB0 OVRCURB 割り込み要因による復帰表示フラグ	0: ディープソフトウェアスタンバイモードからの復帰なし 1: ディープソフトウェアスタンバイモードからの復帰あり	R
b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b23	DVBINT0	USB0 VBUS 割り込み要因による復帰表示フラグ	0: ディープソフトウェアスタンバイモードからの復帰なし 1: ディープソフトウェアスタンバイモードからの復帰あり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DPINTE0 ビット (USB0 D+ 割り込み許可 / クリアビット)

USB0 の D+ 入力によるディープソフトウェアスタンバイモードからの復帰を許可 / 禁止します。

DPINT0 フラグが“1”のときに DPINTE0 ビットに“0”を書くことにより、DPINTE0 フラグが“0”になります。

DMINTE0 ビット (USB0 D- 割り込み許可 / クリアビット)

USB0 の D- 入力によるディープソフトウェアスタンバイモードからの復帰を許可 / 禁止します。

DMINT0 フラグが“1”のときに DMINTE0 ビットに“0”を書くことにより、DMINT0 フラグが“0”になります。

DOVRCRAE0 ビット (USB0 OVRCURA 割り込み許可 / クリアビット)

USB0 の OVRCURA 入力によるディープソフトウェアスタンバイモードからの復帰を許可 / 禁止します。

DOVRCRA0 フラグが“1”のときに DOVRCRAE0 ビットに“0”を書くことにより、DOVRCRA0 フラグが“0”になります。

DOVRCRBE0 ビット (USB0 OVRCURB 割り込み許可 / クリアビット)

USB0 の OVRCURB 入力によるディープソフトウェアスタンバイモードからの復帰を許可 / 禁止します。

DOVRCRB0 フラグが“1”のときに DOVRCRBE0 ビットに“0”を書くことにより、DOVRCRB0 フラグが“0”になります。

DVBSE0 ビット (USB0 VBUS 割り込み許可 / クリアビット)

USB0 の VBUS 入力によるディープソフトウェアスタンバイモードからの復帰を許可 / 禁止します。

DVBINT0 フラグが“1”のときに DVBSE0 に“0”を書くことにより、DVBINT0 フラグが“0”になります。

DPINT0 フラグ (USB0 D+ 割り込み要因による復帰表示フラグ)

USB0 の D+ 入力が要因でディープソフトウェアスタンバイモードから復帰したことを表示します。

DPINTE0 ビットが“1”のときのみ、D+ 入力が要因でディープソフトウェアスタンバイモードからの復帰が可能となります。

DPINT0 フラグが“1”のときに DPINTE0 ビットに“0”を書くことにより、DPINT0 フラグが“0”になります。

DMINT0 フラグ (USB0 D- 割り込み要因による復帰表示フラグ)

USB0 の D- 入力が要因でディープソフトウェアスタンバイモードから復帰したことを表示します。

DMINTE0 ビットが“1”のときのみ、D- 入力が要因でディープソフトウェアスタンバイモードからの復帰が可能となります。

DMINT0 フラグが“1”のときに DMINTE0 ビットに“0”を書くことにより、DMINT0 フラグが“0”になります。

DOVRCRA0 フラグ (USB0 OVRCURA 割り込み要因による復帰表示フラグ)

USB0 の OVRCURA 入力が要因でディープソフトウェアスタンバイモードから復帰したことを表示しま

す。DOVRCRAE0ビットが“1”のときのみ、OVRCURA 入力が必要でディープソフトウェアスタンバイモードからの復帰が可能となります。

DOVRCRA0フラグが“1”のときにDOVRCRAE0ビットに“0”を書くことにより、DOVRCRA0フラグが“0”になります。

DOVRCRB0フラグ (USB0 OVRCURB 割り込み要因による復帰表示フラグ)

USB0のOVRCURB入力が必要でディープソフトウェアスタンバイモードから復帰したことを表示します。DOVRCRBE0ビットが“1”のときのみ、OVRCURB入力が必要でディープソフトウェアスタンバイモードからの復帰が可能となります。

DOVRCRB0フラグが“1”のときにDOVRCRBE0ビットに“0”を書くことにより、DOVRCRB0フラグが“0”になります。

DVBINT0フラグ (USB0 VBUS 割り込み要因による復帰表示フラグ)

USB0のVBUS入力が必要でディープソフトウェアスタンバイモードから復帰したことを表示します。

DVBSE0ビットが“1”のときのみ、VBUS入力が必要でディープソフトウェアスタンバイモードからの復帰が可能となります。

DVBINT0フラグが“1”のときにDVBSE0ビットに“0”を書くことにより、DVBINT0フラグが“0”になります。

34.3 動作説明

34.3.1 システム制御

USBの初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

34.3.1.1 USB関連レジスタの設定

USBへのクロック供給が開始された(SYSCFG.SCKEビットが“1”)状態で、SYSCFG.USBEビットを“1”にすることにより、動作が許可され、USBは動作を開始します。

34.3.1.2 コントローラ機能の選択設定

USBは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFMビットで行います。ただし、DCFMBITの設定は、リセット解除直後の初期設定時、またはD+のプルアップとD+/D-のプルダウンがともに禁止(SYSCFG.DPRPU=0かつDRPD=0)のときに行ってください。

34.3.1.3 USBデータバス抵抗制御

USBは、D+/D-のプルアップ抵抗およびプルダウン抵抗を内蔵しています。SYSCFG.DPRPU、DRPDビットの設定によりプルアップ、プルダウンを設定してください。

ファンクションコントローラ機能選択時は、USBホストへの接続を認識したあとで、DPRPUビットを“1”に設定し、D+(フルスピード時)をプルアップしてください。

また、PCと通信中にDPRPUビットに“0”を設定した場合は、USBデータラインのプルアップ抵抗を無効にするので、USBホストにデバイス切断を通知することができます。

ホストコントローラ機能選択時は、DRPDビットを“1”に設定し、D+/D-をプルダウンしてください。

表34.11 USBデータバス抵抗制御

SYSCFGレジスタ		D-	D+	機能
DRPDビット	DPRPUビット			
0	0	Open	Open	未使用時
0	1	Open	プルアップ	ファンクションコントローラ(フルスピード)として動作させる場合
1	0	プルダウン	プルダウン	ホストコントローラとして動作させる場合
1	1	—	—	設定しないでください

34.3.1.4 USB 外部接続回路例

図 34.2 にセルフパワー時の OTG デバイスと USB コネクタとの接続例を示します。

USB は、D+ 信号のプルアップ抵抗と D+、D- 信号のプルダウン抵抗を制御します。SYSCFG.DPRPU ビット、DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に DPRPU ビットに“0”を設定した場合は、USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイスの切断を通知することができます。

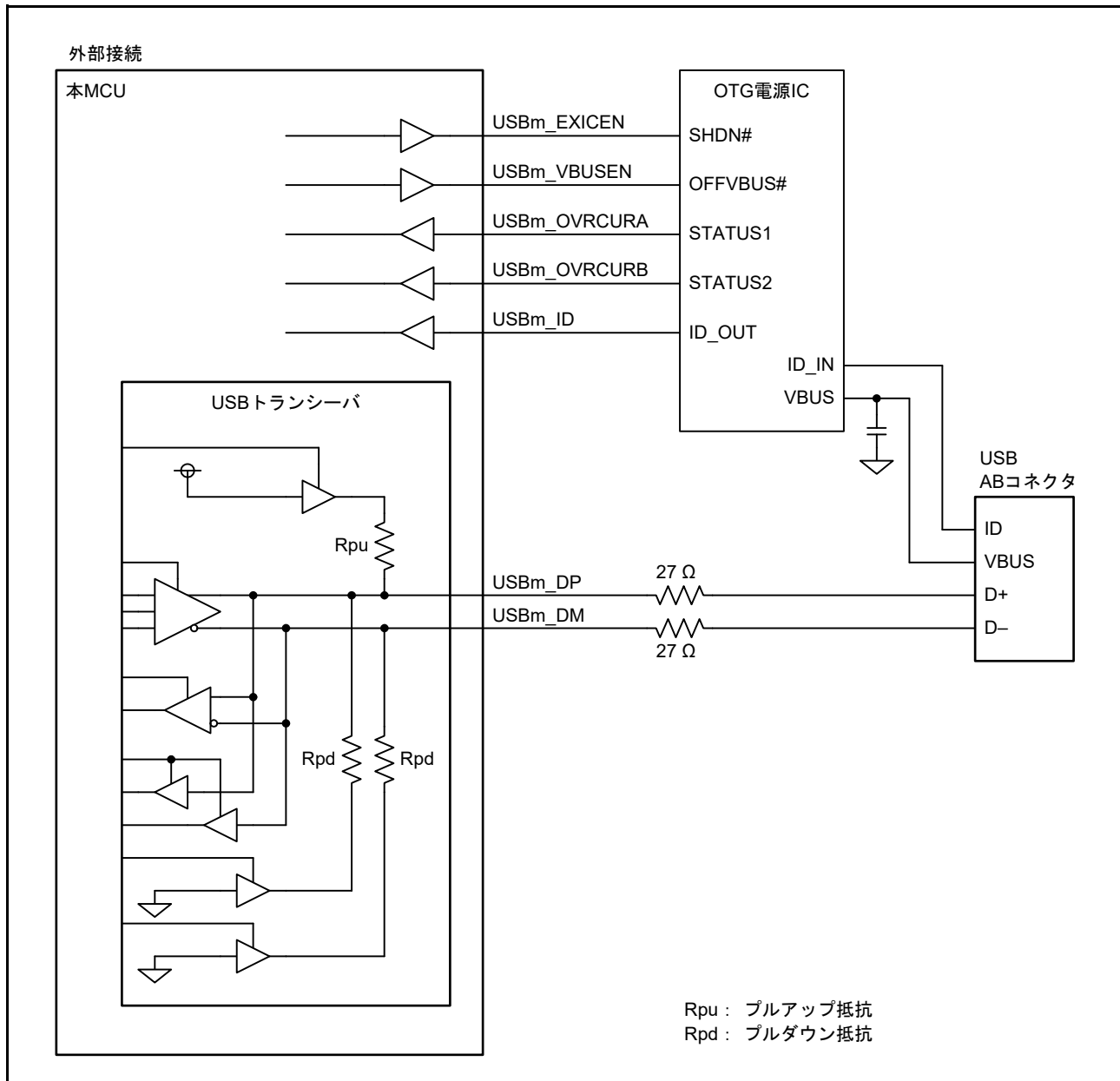


図 34.2 セルフパワー時の OTG デバイスと USB コネクタとの接続例 (m = 0, 1)

図 34.3 にセルフパワー時のファンクションコントローラと USB コネクタとの接続例を示します。

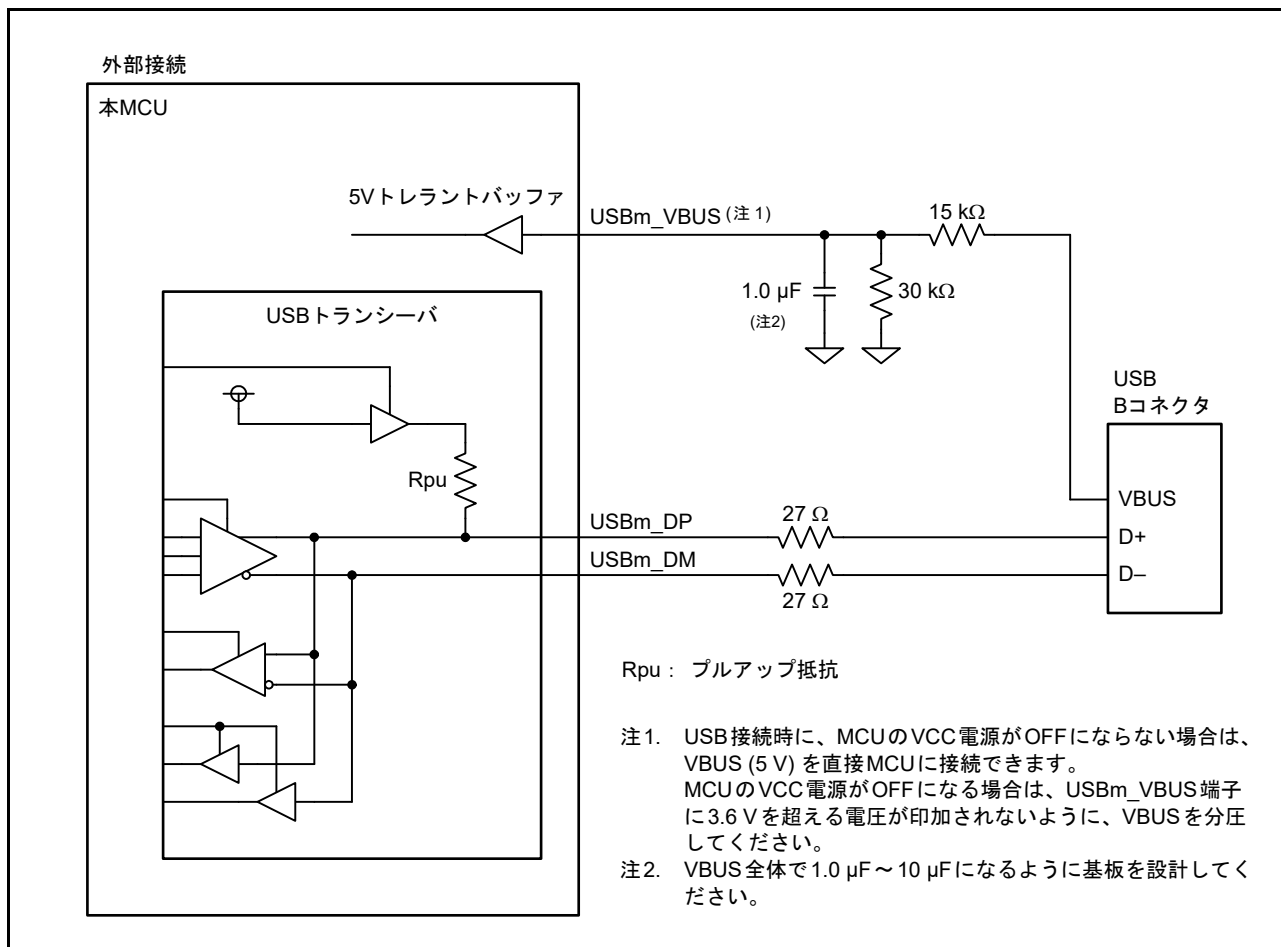


図 34.3 セルフパワー時のファンクションコントローラと USB コネクタとの接続例 (m = 0, 1)

図 34.4 にホストコントローラと USB コネクタとの接続例を示します。

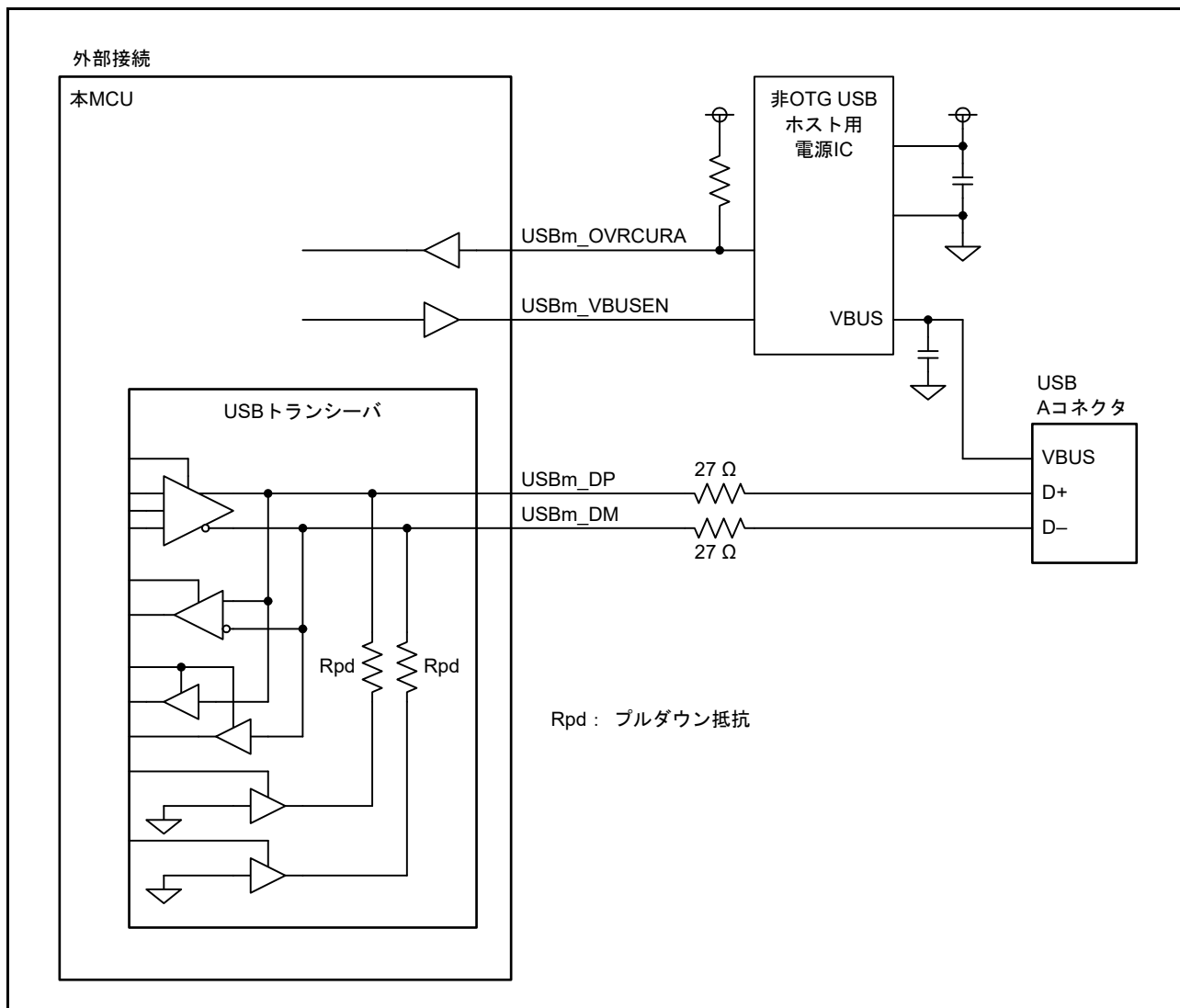


図 34.4 ホストコントローラと USB コネクタとの接続例 (m = 0, 1)

図 34.5 にバスパワー時のファンクションコントローラと USB コネクタとの接続例を示します。

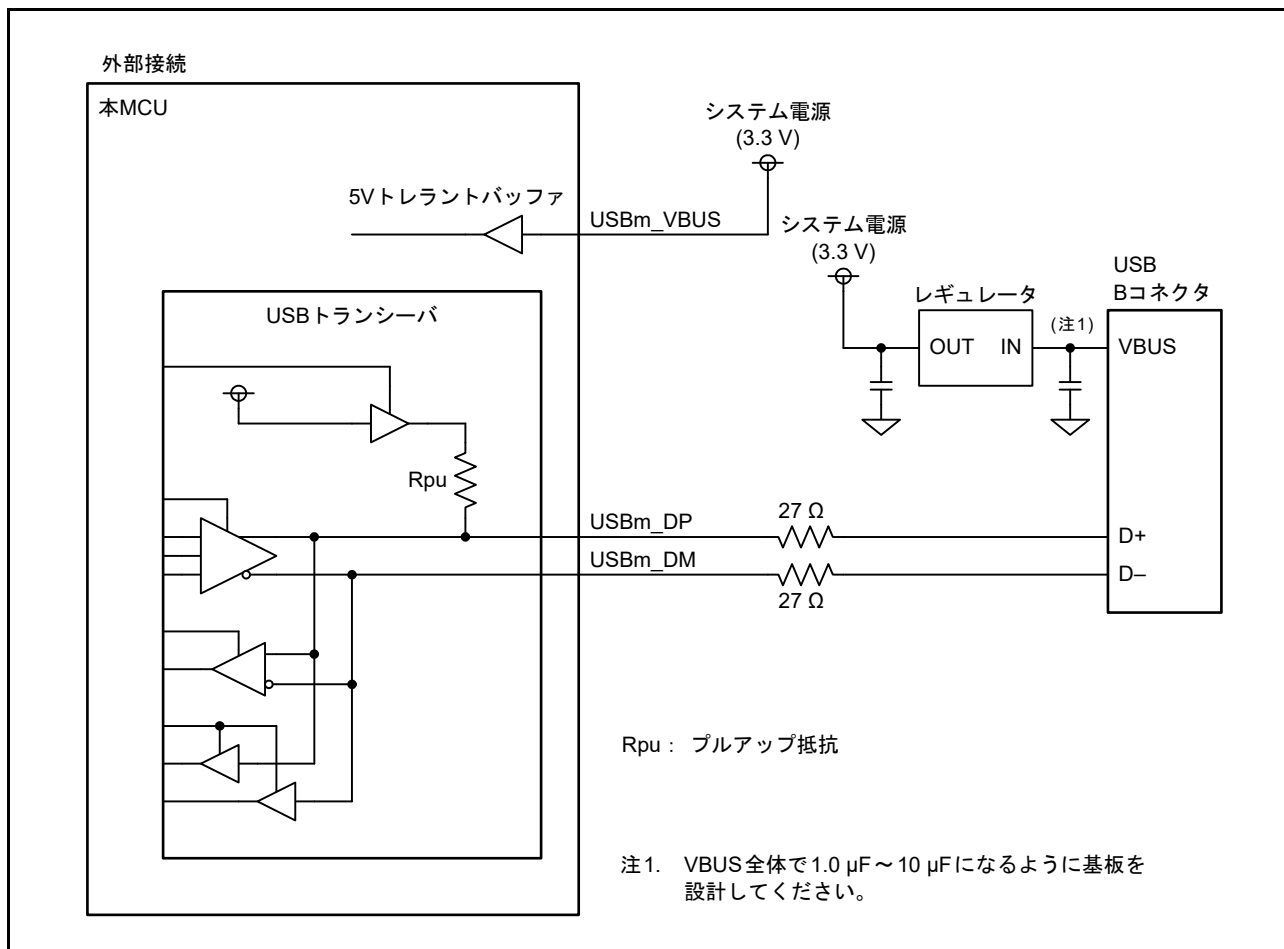


図 34.5 バスパワー時のファンクションコントローラと USB コネクタとの接続例 (m = 0, 1)

本章に記載した各外部回路例は、概略回路であり、すべてのシステムにおいて動作を保証するものではありません。

34.3.1.5 USB サスペンド/レジューム割り込みによる ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、USB0 のサスペンド/レジューム割り込みにより解除することが可能です。

USB0 のサスペンド/レジューム割り込みの検出は、USB レジューム検出部で行います。USB レジューム検出部は、USB0 用の入出力端子の制御およびモニタを行ない、サスペンド/レジューム割り込みを検出します。

図 34.6 に USB レジューム検出部と USB0 用入出力端子の接続概略図を示します。

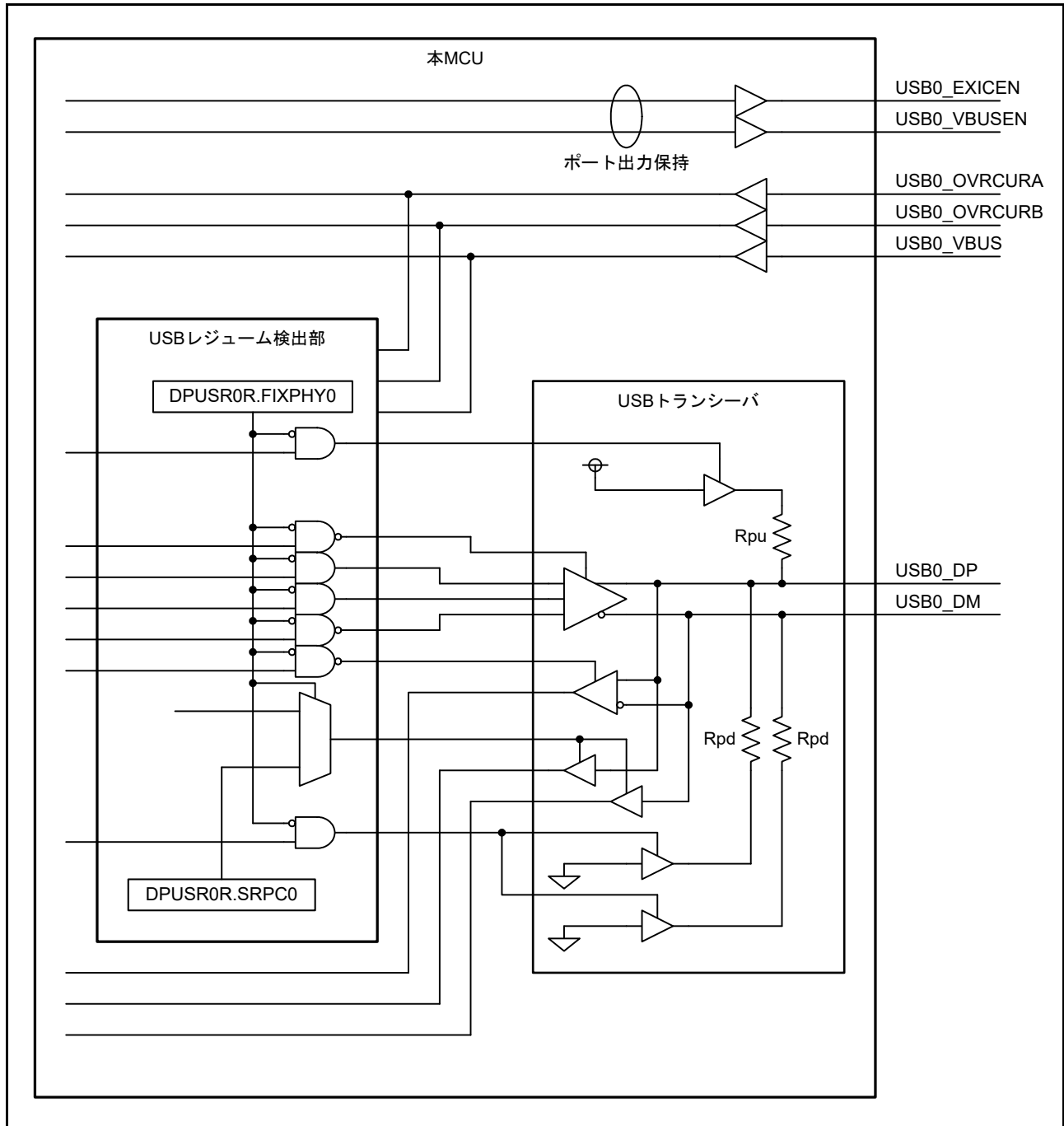


図 34.6 USB レジューム検出部と USB0 用入出力端子の接続概略図

USB0 のサスペンド/レジューム割り込みの要因と入出力端子の対応を表 34.12 に示します。

表 34.12 USB0のサスペンド/レジューム割り込みの要因と入出力端子の対応

USB動作モード	要因	端子名
ファンクション/OTG	レジューム	USB0_DP
ホスト/OTG	接続/切断	USB0_DP/USB0_DM
ファンクション	接続/切断	USB0_VBUS
ホスト	過電流検出	USB0_OVRCURA
OTG	過電流検出	USB0_OVRCURA/USB0_OVRCURB

図 34.7 にホスト時またはファンクション時のディープソフトウェアスタンバイモード遷移時の USB 設定フローを示します。図 34.8 にホスト時のディープソフトウェアスタンバイモード解除時の USB 設定フローを示します。図 34.9 にファンクション時のディープソフトウェアスタンバイモード解除時の USB 設定フローを示します。

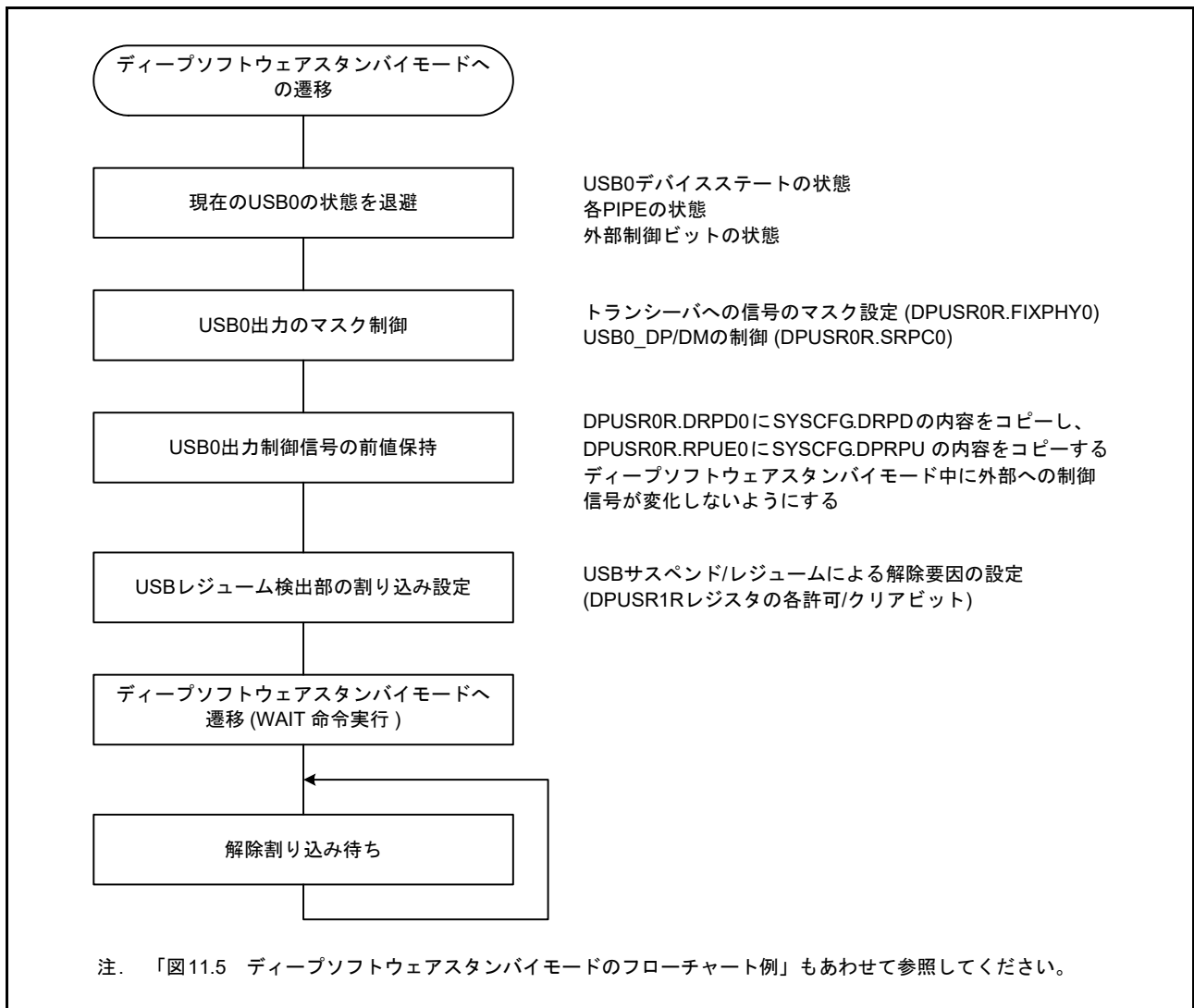


図 34.7 ホスト時またはファンクション時のディープソフトウェアスタンバイモード遷移時の USB 設定フロー

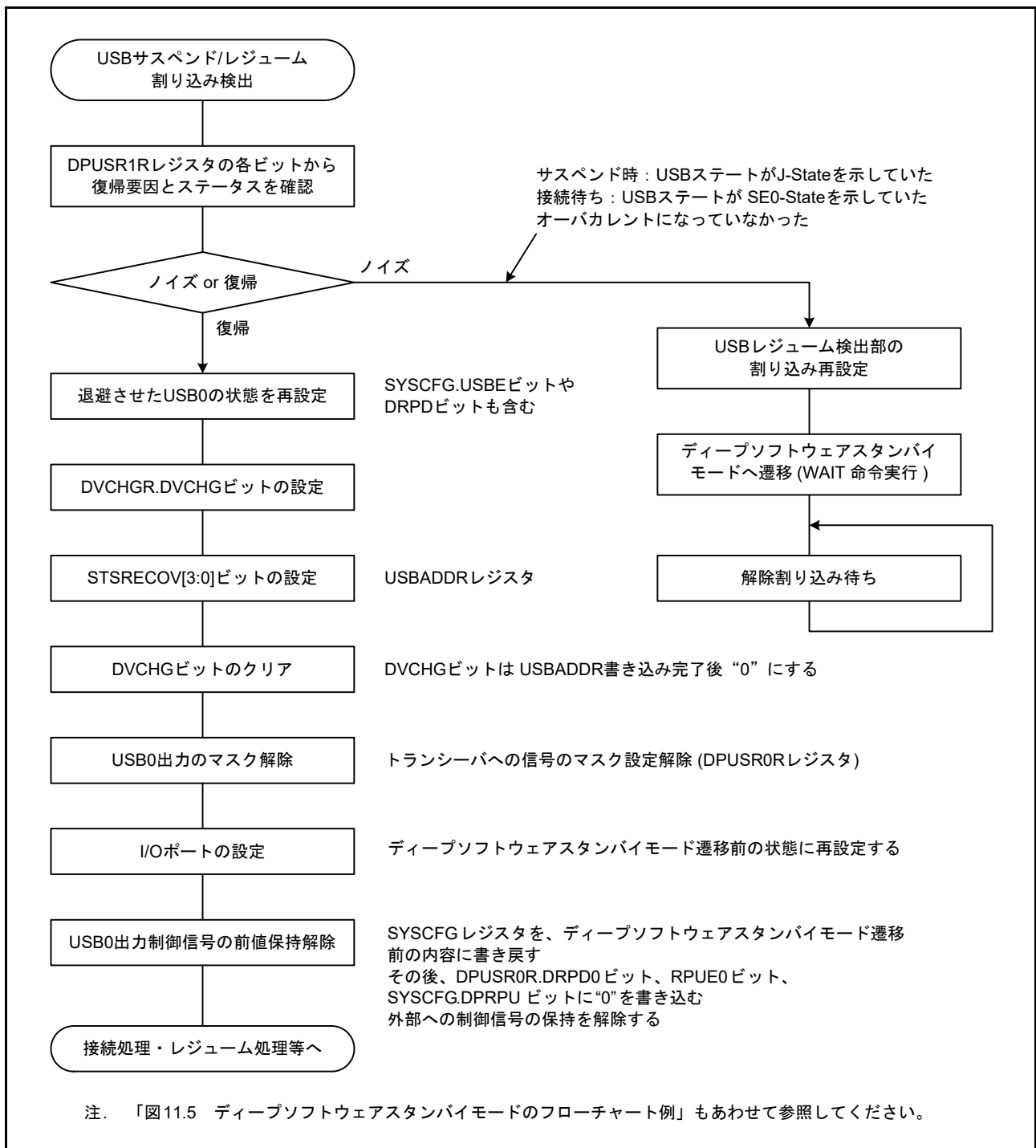


図 34.8 ホスト時のディープソフトウェアスタンバイモード解除時の USB 設定フロー

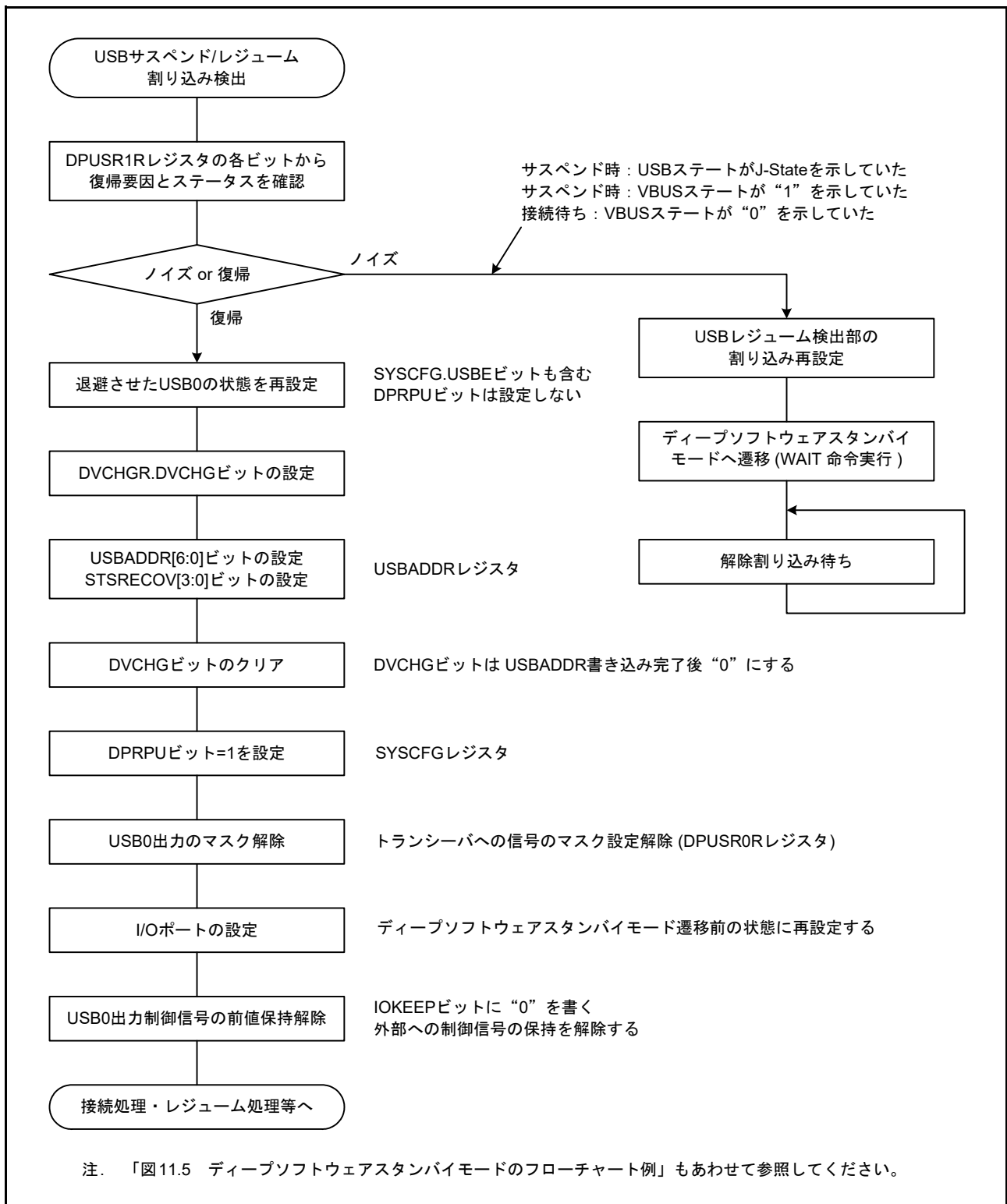


図 34.9 ファンクション時のディープソフトウェアスタンバイモード解除時の USB 設定フロー

34.3.2 割り込み要因

表 34.13 に USB の割り込み要因一覧を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USB は割り込みコントローラ (ICU) に対して USB 割り込み要求を発行し、USB 割り込みが発生します。

表 34.13 割り込み要因一覧(m = 0, 1)

設定するビット	名称	割り込み要因	発生する機能	ステータスフラグ
VBINT	VBUS割り込み	<ul style="list-style-type: none"> USBm_VBUS入力端子の状態変化を検出したとき(Low → High、High → Lowの両方の変化) 	ホスト/ ファンクション (注1)	INTSTS0. VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> サスペンド状態においてUSBバスの状態変化を検出したとき(J-State → K-StateまたはJ-State → SE0) 	ファンクション	—
SOFR	フレーム番号更新割り込み	[ホストコントローラ機能選択時] <ul style="list-style-type: none"> フレーム番号の異なるSOFパケットを送信したとき [ファンクションコントローラ機能選択時] <ul style="list-style-type: none"> フレーム番号の異なるSOFパケットを受信したとき 	ホスト/ ファンクション	—
DVST	デバイスステート遷移割り込み	<ul style="list-style-type: none"> デバイスステートの遷移を検出したとき(以下) USBバスリセット検出 サスペンド状態検出 SET_ADDRESSリクエストの受信 SET_CONFIGURATIONリクエストの受信 	ファンクション	INTSTS0. DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	<ul style="list-style-type: none"> コントロール転送のステージ遷移を検出したとき(以下) セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生 	ファンクション	INTSTS0. CTSQ[2:0]
BEMP	バッファエンピティ割り込み	<ul style="list-style-type: none"> バッファメモリ中の全データを送信してバッファが空になったとき マックスパケットサイズを超えたパケットを受信したとき 	ホスト/ ファンクション	BEMPSTS. PIPEnBEMP
NRDY	バッファノットレディ割り込み	[ホストコントローラ機能選択時] <ul style="list-style-type: none"> 発行したトークンに対して周辺デバイス側からのSTALLを受信したとき 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき(無応答が3回連続、またはパケット受信エラーが3回連続) アイソクロナス転送時にオーバーラン/アンダランが発生したとき [ファンクションコントローラ機能選択時] <ul style="list-style-type: none"> PID[1:0] = 01b (BUF)を設定しているときに、INトークン/OUTトークンに対してNAKを応答したとき アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフィングエラーが発生したとき アイソクロナス転送でデータ受信時にオーバーラン/アンダランが発生したとき 	ホスト/ ファンクション	NRDYSTS. PIPEnNRDY
BRDY	バッファレディ割り込み	<ul style="list-style-type: none"> バッファがレディ(リードまたはライト可能状態)になったとき 	ホスト/ ファンクション	BRDYSTS. PIPEnBRDY
OVRRCR	オーバカレント変化割り込み	<ul style="list-style-type: none"> USBm_OVRCURAおよびUSBm_OVRCURB入力端子の状態変化を検出したとき(Low → High、High → Lowの両方の変化) 	ホスト	INTSTS1. OVRRCR
BCHG	バス変化割り込み	<ul style="list-style-type: none"> USBバスステートの変化を検出したとき 	ホスト/ ファンクション	SYSSTS0. LNST[1:0]
DTCH	フルスピード動作時切断検出	<ul style="list-style-type: none"> フルスピード動作時周辺デバイスの切断を検出したとき 	ホスト	DVSTCTR0. RHST[2:0]
ATTCH	デバイス接続検出	<ul style="list-style-type: none"> USBバスステートが2.5 μs連続したJ-STATE、または2.5 μs連続したK-STATEを検出したとき。周辺デバイスの接続検出に使用可能。 	ホスト	—
EOFERR	EOFエラー検出	<ul style="list-style-type: none"> 周辺デバイスのEOFエラーを検出 	ホスト	—
SACK	SETUP正常	<ul style="list-style-type: none"> セットアップトランザクションの正常応答(ACK)を受信したとき 	ホスト	—
SIGN	SETUPエラー	<ul style="list-style-type: none"> セットアップトランザクションのエラー(無応答またはACKパケット破損)を3回連続で検出したとき 	ホスト	—

注1. 本割り込みは、ホスト機能時にも発生しますが、通常ホスト機能時には使用しません。

図 34.10 に USB0、図 34.11 に USB1 の割り込み関連図を示します。

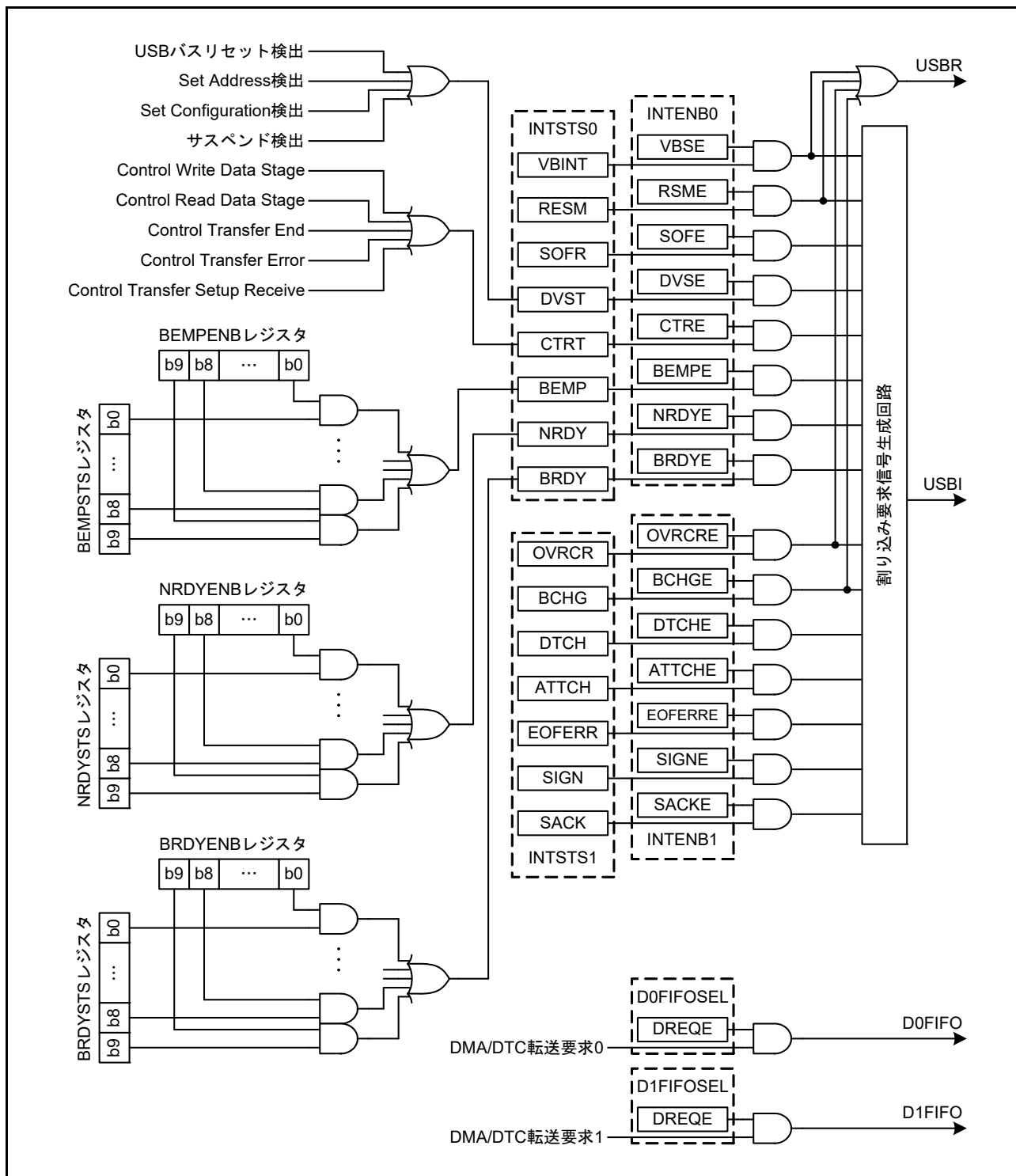


図 34.10 USB 割り込みの関連図 (USB0)

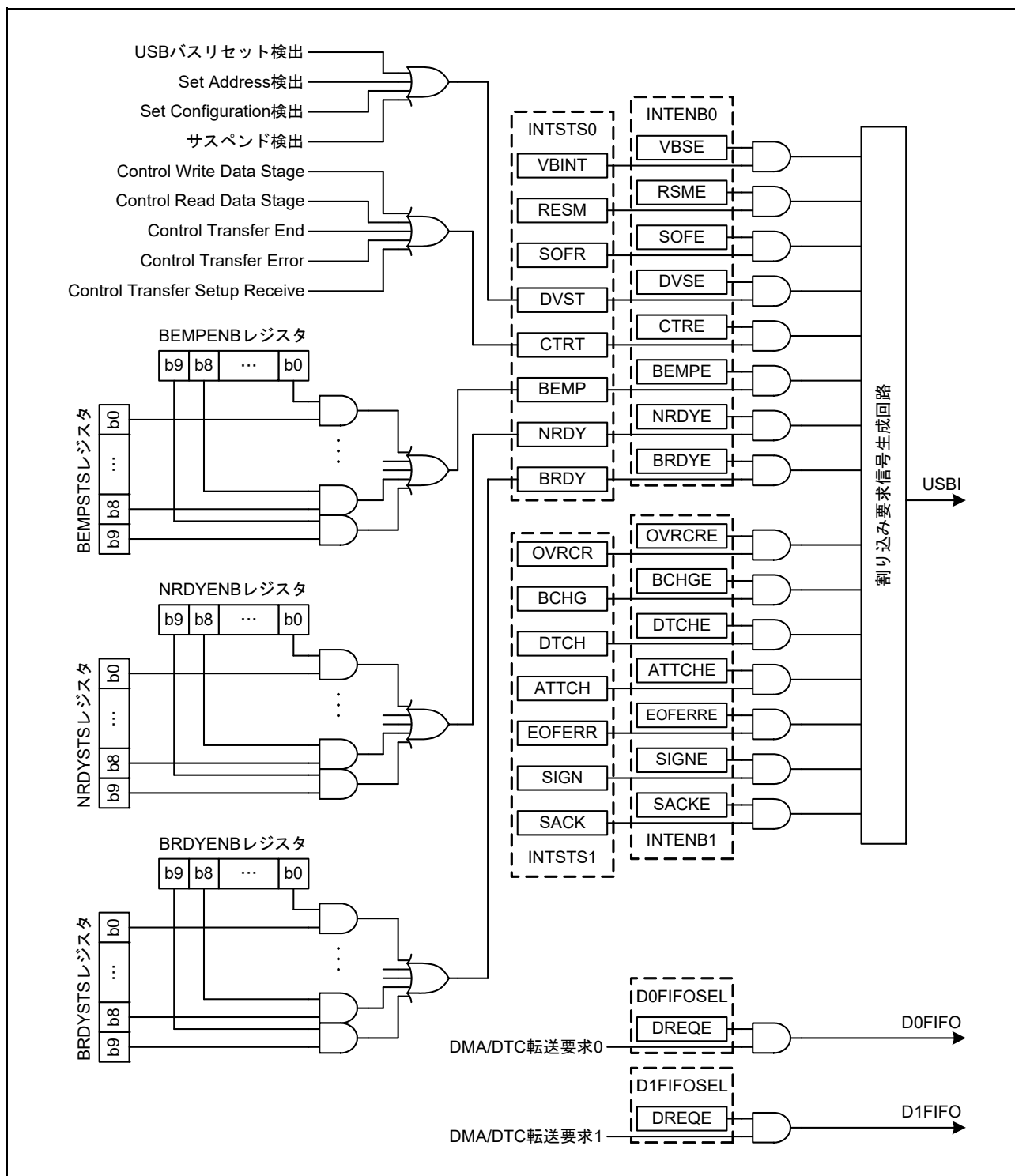


図 34.11 USB 割り込みの関連図 (USB1)

表 34.14 に USB の割り込み一覧を示します。

表 34.14 USB の割り込み一覧

割り込み名称	割り込みステータスフラグ	DTCの起動	DMACの起動
D0FIFO	DMA/DTC 転送要求 0	可能	可能
D1FIFO	DMA/DTC 転送要求 1	可能	可能
USB1	VBUS 割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバカレント変化割り込み、バス変化割り込み、フルスピード動作時切断検出、デバイス接続検出、EOF エラー検出、SETUP 正常、SETUP エラー	不可能	不可能
USBR(注1)	VBUS 割り込み、レジューム割り込み、オーバカレント変化割り込み、バス変化割り込み	不可能	不可能

注1. USB1にはありません。

34.3.3 割り込みの説明

34.3.3.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラ、ファンクションコントローラのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、USB は BRDYSTS レジスタの当該ビットを“1”にします。このとき、ソフトウェアで当該パイプに対応する BRDYENB.PIPEnBRDYE ビットを“1”にし、かつ、INTENB0.BRDYE ビットを“1”にしていれば、USB は BRDY 割り込みを発生させます。

BRDY 割り込みは、SOFCFG.BRDYM ビットおよび各パイプの PIPECFG.BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(1) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“0”のとき

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

USB は、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する BRDYSTS.PIPEnBRDY フラグを“1”にします。

(a) 送信方向に設定したパイプの場合

- ソフトウェアで DIR ビットを“0”から“1”に変更したとき
- 当該パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可能な状態のとき (BSTS フラグ読み出し値が“0”のとき) に、USB が当該パイプのバケット送信を完了したとき
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
- FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに“1”を書くことより、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては (すなわち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

(b) 受信方向に設定したパイプの場合

- 当該パイプに割り付けたFIFOバッファへのCPUからの読み出しが不可能な状態のとき(BSTSフラグ読み出し値が“0”のとき)に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき
データ PID 不一致のトランザクションに対し、要求トリガは発生しません。
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ読み出し完了時にもう一方のFIFO バッファも読み出し可能状態であったとき
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信では BRDY 割り込みは発生しません。

ソフトウェアで、当該パイプに対応する PIPE_nBRDY フラグに“0”を書くことにより、当該パイプの BRDY 割り込みステータスを“0”にすることができます。このとき、他のパイプに対応するビットには“1”を書いてください。

この割り込みステータスのクリアは、FIFO バッファへのアクセスを行う前に実施してください。

(2) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“1”のとき

この設定の場合、USB は、受信パイプにおいて1トランスファ分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、BRDYSTS レジスタの当該パイプに対応するビットを“1”にします。

USB は、以下のいずれかのときに1トランスファにおける最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- パイプ n トランザクションカウンタ (PIPE_nTRN) を使用し、PIPE_nTRN レジスタ設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USB は1トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態 Zero-Length パケット受信した場合は、FIFO ポートコントロールレジスタの BRDY フラグが“1”、DTLN[8:0] フラグが“0”の状態になった時点で、USB は1トランスファ分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応するポートコントロールレジスタの BCLR ビットにソフトウェアで“1”を書いてください。

この設定の場合には、USB は送信パイプに対して BRDY 割り込みを検出しません。

ソフトウェアで、当該パイプに対応する BRDYSTS.PIPE_nBRDY フラグに“0”を書くことにより、当該パイプの BRDY 割り込みステータスを“0”にすることができます。このとき他のパイプに対応するビットには“1”を書いてください。

このモードを使用するときには、トランスファ分の処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、PIPE_nCTR.ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(3) SOFCFG.BRDYM ビットが“1”かつ PIPECFG.BFRE ビットが“0”のとき

この設定の場合、BRDYSTS.PIPE_nBRDY フラグの値は各パイプの BSTS フラグに連動します。即ち、BRDY 割り込みステータスは FIFO バッファの状態によって USB が“1”、“0”にします。

(a) 送信方向に設定したパイプの場合

FIFO ポートにデータが書き込み可能な状態であれば“1”になり、書き込み不可能な状態になれば“0”になります。ただし、DCP の送信パイプが書き込み可能であっても、BRDY 割り込みは発生しません。

(b) 受信方向に設定したパイプの場合

FIFO ポートにデータが読み出し可能な状態であれば“1”になり、すべてのデータを読み出したら(読み出しが不可能の状態になったら)“0”になります。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアで BCLR = 1 を書くまで該当ビットには“1”が表示され BRDY 割り込みは発生し続けます。

受信方向に設定したパイプ設定時、ソフトウェアで、PIPE_nBRDY フラグを“0”にすることはできません。

SOFCFG.BRDYM ビットが“1”のときは、PIPECFG.BFRE ビットはすべて(全パイプ)“0”にしてください。

図 34.12 に、BRDY 割り込み発生タイミング図を示します。

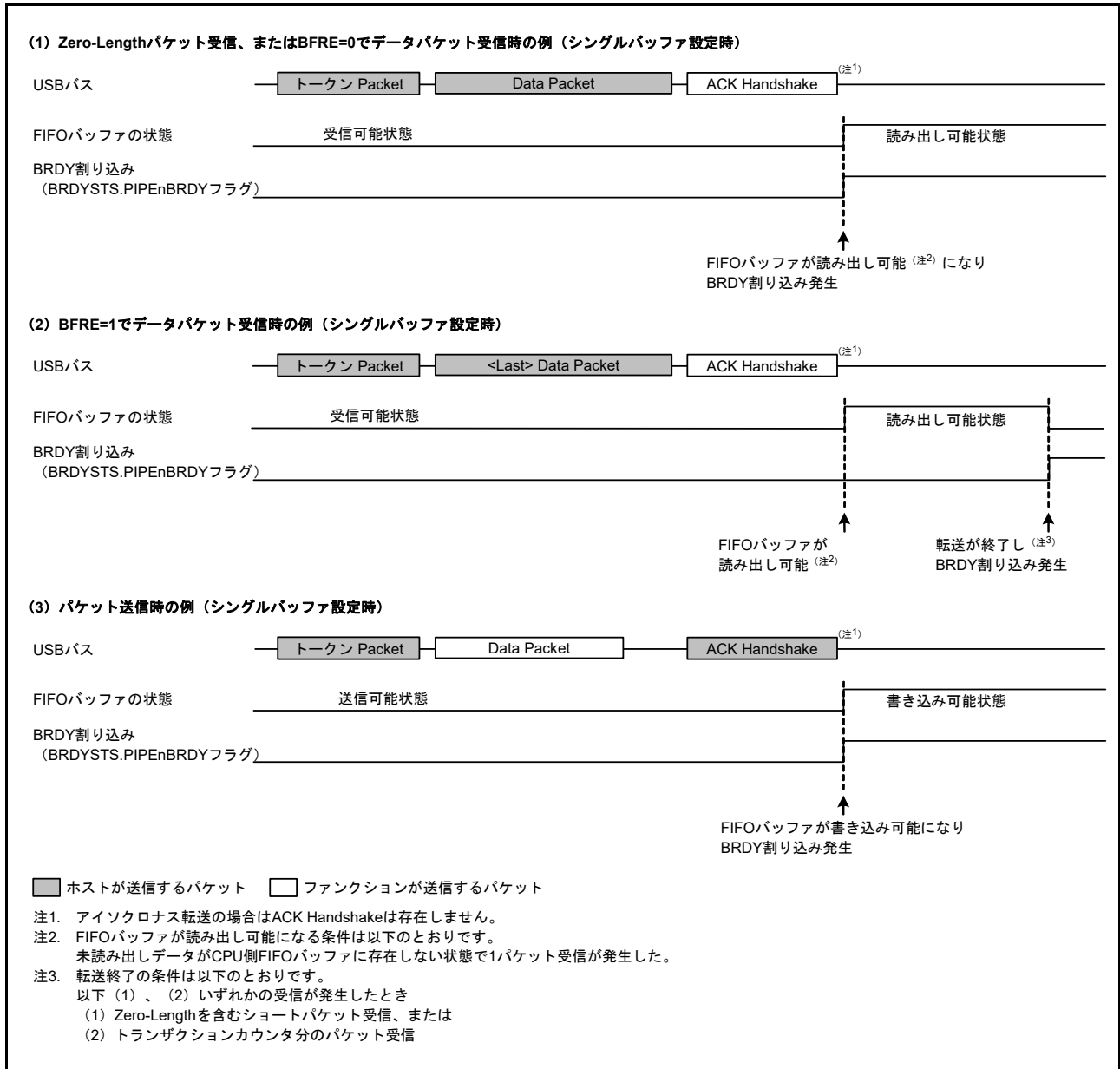


図 34.12 BRDY 割り込み発生タイミング図

USB が INTSTS0.BRDY フラグをクリアする条件は、SOFCFG.BRDYM ビットの設定値によって異なります。表 34.15 に BRDY フラグクリア条件表を示します。

表 34.15 BRDYフラグクリア条件表

BRDYMビット	BRDYフラグのクリア条件
0	ソフトウェアでBRDYSTSレジスタの全ビットを“0”にすると、USBはBRDYフラグを“0”にします
1	全パイプのBSTSフラグが“0”になったときに、USBはBRDYフラグを“0”にします

34.3.3.2 NRDY 割り込み

ソフトウェアで PID[1:0] = 01b (BUF) に設定したパイプに対して、USB が内部 NRDY 割り込み要求を発生させた場合に、USB は NRDYSTS.PIPE_nNRDY フラグの対応するビットを“1”にします。このとき、ソフトウェアによって NRDYENB レジスタの対応するビットを“1”にしている場合、USB は INTSTS0.NRDY フラグを“1”にし、USB 割り込みを発生させます。

USB が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時の SETUP トランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントローラ機能選択時の SETUP トランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(1) ホストコントローラ機能選択時

(a) 送信方向パイプの場合

USB は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき
このとき、USB は OUT トークンに続けて Zero-Length パケットを送信し、NRDYSTS.PIPE_nNRDY フラグの対応するフラグを“1”にし、FRMNUM.OVRN フラグも“1”にします。
- 転送タイプがアイソクロナス以外のパイプ、かつ SETUP トランザクション以外の通信において、周辺デバイスが無応答 (周辺デバイスからの Handshake パケットを検出しないままタイムアウトを検出) した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで 3 回連続して発生したとき
このとき、USB は、PIPE_nNRDY フラグの対応するビットを“1”にし、対応するパイプの PID[1:0] ビットを“00b” (NAK) に変更します。
- SETUP トランザクション以外の通信において、周辺デバイスから STALL Handshake を受信したとき
このとき USB は、PIPE_nNRDY フラグの対応するビットを“1”にし、対応するパイプの PID[1:0] ビットを“11b” (STALL) に変更します。

(b) 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに空きがない状態で IN トークン発行タイミングに達したとき
このとき USB は、IN トークンに対する受信データを破棄し、当該パイプに対応する PIPE_nNRDY フラグを“1”にし、OVRN フラグも“1”にします。
更に、IN トークンに対する受信データにパケットエラーを検出した場合には、FRMNUM.CRCE フラグも“1”にします。
- 転送タイプがアイソクロナス転送以外のパイプで、USB が発行した IN トークンに対して周辺デバイスが無応答 (周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出) した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで 3 回連続して発生したとき
このとき USB は、当該パイプに対応する PIPE_nNRDY フラグを“1”にし、対応するパイプの PID[1:0] ビットを“00b” (NAK) に変更します。

- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスが無応答 (周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出) した場合、または周辺デバイスからのパケットにエラーを検出したとき
このとき USB は、当該パイプに対応する PIPEnNRDY フラグを“1”にします (対応するパイプの PID[1:0] ビットの変更は行いません)。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッピングエラーを検出したとき
このとき USB は、当該パイプに対応する PIPEnNRDY フラグを“1”にし、CRCE フラグを“1”にします。
- STALL Handshake を受信したとき
このとき USB は、当該パイプに対応する PIPEnNRDY フラグを“1”にし、対応するパイプの PID[1:0] ビットを“11b” (STALL) に変更します。

(2) ファンクションコントローラ機能選択時

(a) 送信方向パイプの場合

- FIFO バッファに送信データがない状態で IN トークンを受信したとき
IN トークン受信時に USB は NRDY 割り込み要求を発生させ NRDYSTS.PIPEnNRDY フラグを“1”にします。
割り込み発生パイプの転送タイプがアイソクロナスの場合、USB は Zero-Length パケットを送信し、FRMNUM.OVRN フラグを“1”にします。

(b) 受信方向パイプの場合

- FIFO バッファに空きがない状態で OUT トークンを受信したとき
割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に USB は NRDY 割り込み要求を発生させ、PIPEnNRDY フラグを“1”にし、OVRN フラグを“1”にします。
割り込み発生パイプの転送タイプがアイソクロナス以外の場合、USB は、OUT トークンに続くデータ受信後 NAK Handshake を送信するときに NRDY 割り込み要求を発生させ、PIPEnNRDY フラグを“1”にします。
ただし、再送時 (データ PID 不一致発生時) には、NRDY 割り込み要求を発生させません。また、DATA パケットにエラーがある場合にも、発生させません。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき
SOF 受信のタイミングで USB は、NRDY 割り込み要求を発生させ、PIPEnNRDY フラグを“1”にします。

図 34.13 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

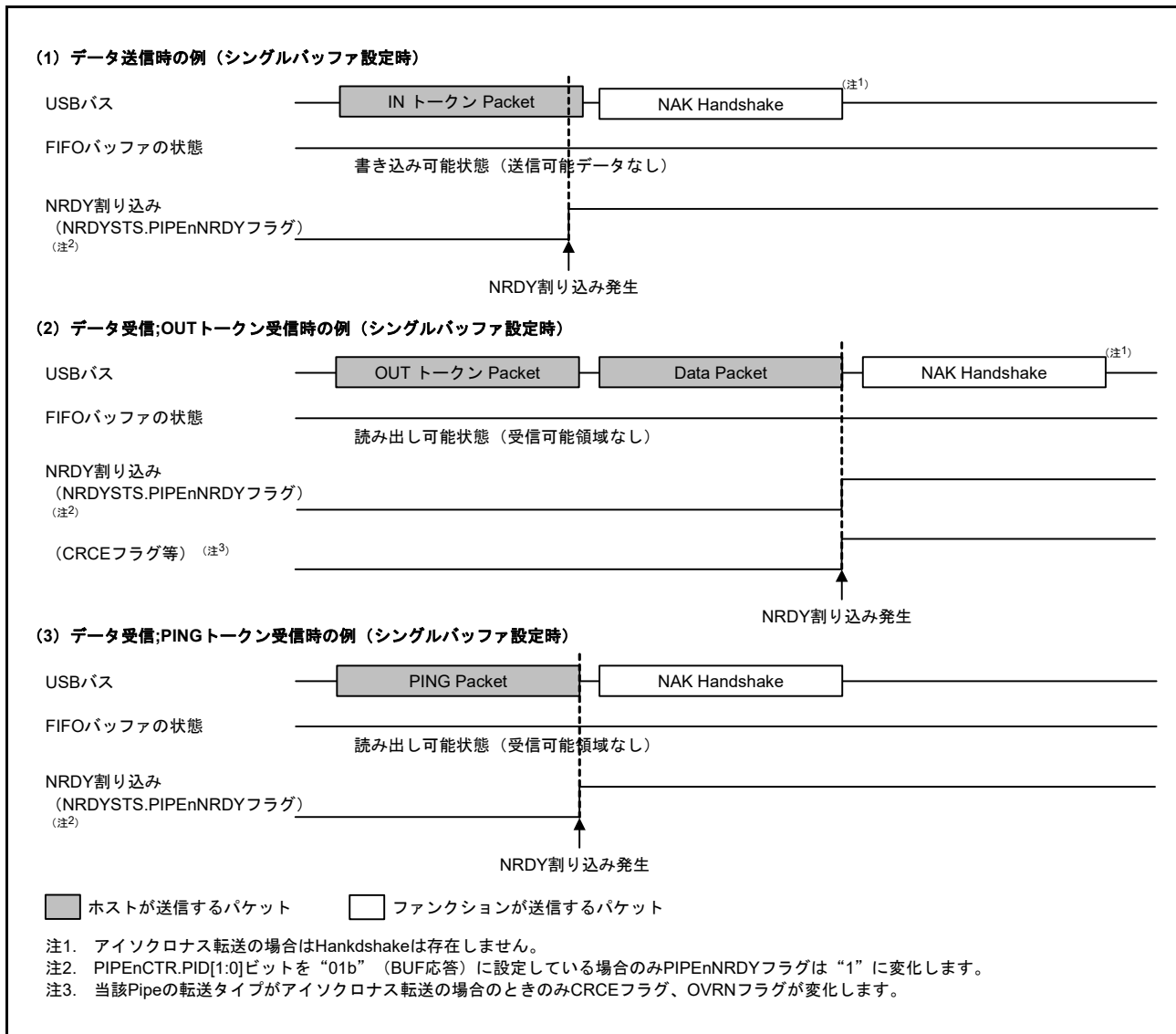


図 34.13 NRDY 割り込み発生タイミング図 (ファンクションコントローラ機能選択時)

34.3.3.3 BEMP 割り込み

ソフトウェアで PID[1:0]=01b (BUF) に設定したパイプに対して、USB が、BEMP 割り込みを検出した場合に、USB は BEMPSTS.PIPEnBEMP フラグの対応するフラグを“1”にします。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットを“1”にしている場合、USB は INTSTS0.BEMP フラグを“1”にし、USB 割り込みが発生します。

以下の場合に、USB は内部 BEMP 割り込み要求を発生させます。

(1) 送信方向パイプの場合

送信完了時 (Zero-Length パケットの送信時を含む) に、対応するパイプの FIFO バッファが空のとき、シングルバッファ設定時は、DCP 以外のパイプに対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- ダブルバッファ設定時に、1面分のデータ送信完了時にCPUまたはDMAC/DTCがCPU側のFIFOバッファに対する書き込みを開始している場合
- また、PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタのBCLR ビットに“1”を書くことによるバッファクリア (エンプティ)。
- ファンクションコントローラ機能設定時、コントロール転送 Status ステージのIN転送 (Zero-Length パケット送信) 時

(2) 受信方向パイプの場合

MaxPacketSize の設定値より大きなデータサイズを正常受信したとき、USB は、BEMP 割り込み要求を発生させ、BEMPSTS.PIPEnBEMP フラグの対応するビットを“1”にし、受信データを破棄し、対応するパイプのPID[1:0] ビットを“11b” (STALL) に変更します。このとき USB は、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時には STALL 応答を行います。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- 受信データに CRC エラー、またはビットスタッフィングエラー等を検出したとき
- SETUP トランザクション実行時
BEMPSTS.PIPEnBEMP フラグに“0”を書くことにより、ステータスをクリアすることができます。
BEMPSTS.PIPEnBEMP フラグに“1”を書いても、動作に影響ありません。

図 34.14 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

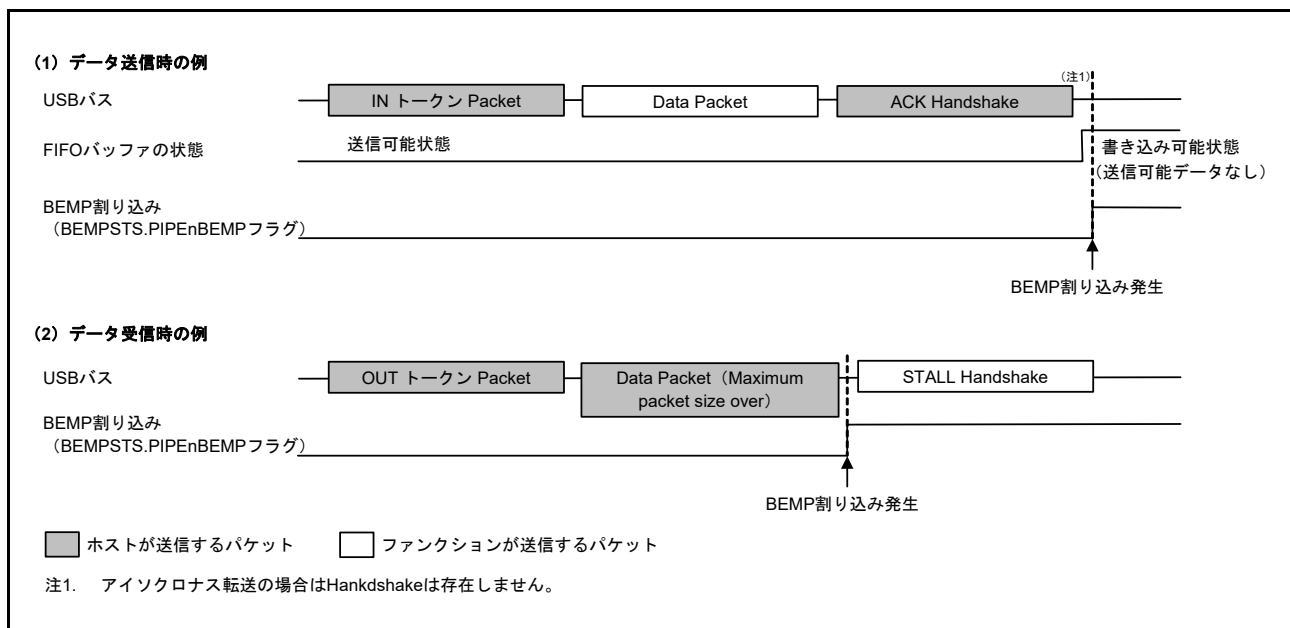


図 34.14 ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

34.3.3.4 デバイスステート遷移割り込み

図 34.15 に USB のデバイスステート遷移図を示します。USB は、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰 (レジューム信号検出) は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0.DVST[2:0] フラグにて確認できます。

デフォルトステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

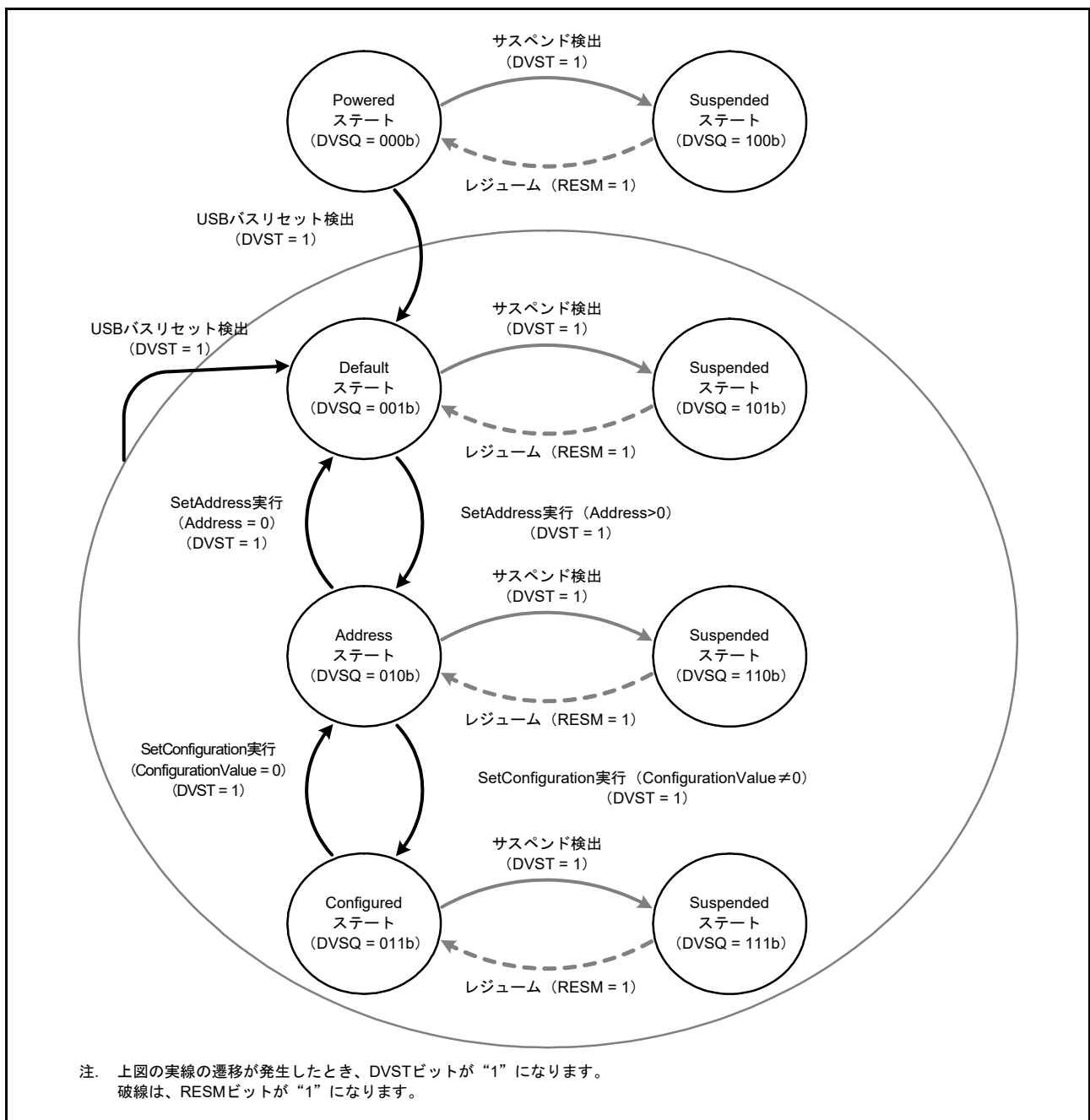


図 34.15 デバイスステート遷移図

34.3.3.5 コントロール転送ステージ遷移割り込み

図 34.16 に USB のコントロール転送ステージ遷移図を示します。USB は、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0.CTSQ[2:0] フラグにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントローラ機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが“1xb”(STALL 応答)になります。

コントロールリード転送時

- データステージの IN トークンに対して、1度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークン受信
- ステータスステージでデータパケットが“PID = DATA0”のパケットを受信

コントロールライト転送時

- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットが“PID = DATA0”のパケットを受信
- ステータスステージで OUT トークン受信

コントロールライトノーデータコントロール転送時

- ステータスステージで OUT トークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (INTSTS0.CTRT = 1) は、CTSQC[2:0] = 110b の値がシステムから CTRT フラグに“0”を書く (割り込みステータスクリア) まで保持されます。このため、CTSQC[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません (セットアップステージ完了は、USB で保持されており、ソフトウェアによる割り込みステータスクリア後に、CTRT 割り込みが発生します)。

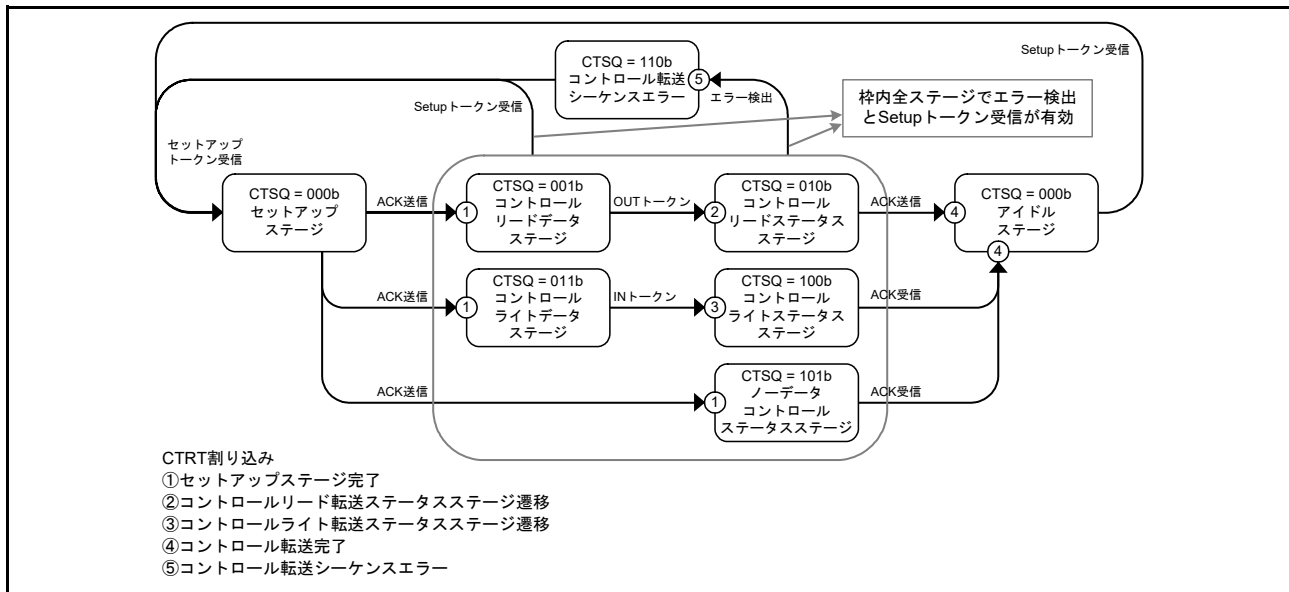


図 34.16 コントロール転送ステージ遷移図

34.3.3.6 フレーム番号更新割り込み

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたときに SOFR 割り込みが発生します。

ファンクションコントローラ機能を選択した場合、USB は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みが発生します。

34.3.3.7 VBUS 割り込み

USBm_VBUS 端子 (m = 0, 1) に変化があった場合に VBUS 割り込みが発生します。INTSTS0.VBSTS フラグにて USBm_VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、USBm_VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

34.3.3.8 レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態で USB バス状態が変化 (J-State → K-State または J-State → SE0) したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。

34.3.3.9 OVRCCR 割り込み

USBm_OVRCURA 端子または USBm_OVRCURB 端子に変化があった場合に OVRCCR 割り込みが発生します。SYSSTS0.OVCMON[1:0] フラグにて USBm_OVRCURA 端子および USBm_OVRCURB 端子のレベルを確認できます。OVRCCR 割り込みによって外部電源 IC からオーバカレント検出の確認ができます。また OTG 接続時には VBUS コンパレータ変化検出の確認ができます。

34.3.3.10 BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

34.3.3.11 DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。USB は、USB 規格 2.0 に準じた基準でバスディスコネクトを検出します。

USB は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示する
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

34.3.3.12 SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

34.3.3.13 SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合（無応答）や、ACK パケットの破損を検出することができます。

34.3.3.14 ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード信号レベルの J-State または K-State を 2.5 μ s 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μ s 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μ s 間継続したとき

34.3.3.15 EOFERR 割り込み

USB 2.0 規格で定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り込みを発生します。

USB は、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示する
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

34.3.4 パイプコントロール

表 34.16 に USB のパイプ設定項目一覧を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行います。USB にはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表 34.16 パイプ設定項目一覧

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE[1:0]	転送タイプを指定	パイプ1～9：設定可能
	BFRE	BRDY 割り込みモードを選択	パイプ1～5：設定可能
	DBLB	ダブルバッファを選択	パイプ1～5：設定可能
	DIR	転送方向を選択	INまたはOUT設定可能
	EPNUM[3:0]	エンドポイント番号	パイプ1～9：設定可能 パイプ使用時は“0000b”以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ1、2：設定可能(バルク転送選択時のみ設定可能) パイプ3～5：設定可能
DCPMAXP PIPEMAXP	DEVSEL[3:0]	デバイス選択	ホストコントローラ機能選択時のみ参照
	MXPS[8:0]	マックスパケットサイズ	USB規格2.0に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ1、2：設定可能(アイソクロナス転送選択時のみ) パイプ3～9：設定不可能
	IITV[2:0]	インターバルカウンタ	パイプ1、2：設定可能(アイソクロナス転送選択時のみ) パイプ3～5：設定不可能 パイプ6～9：ホストコントローラ機能選択時のみ設定可能
DCPCTR PIPECTR	BSTS	バッファステータス	DCPはISELビットにより、受信/送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	パイプ1～5のみ内蔵
	SUREQ	SETUPリクエスト	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	SUREQCLR	SUREQクリア	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	ATREPM	自動応答モード	パイプ1～5：設定可能 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1～9：設定可能
	SQCLR	シーケンスクリア	データグルビットのクリア
	SQSET	シーケンスセット	データグルビットのセット
	SQMON	シーケンス確認	データグルビットの確認
	PBUSY	パイプビジー確認	
	PID[1:0]	応答PID	「34.3.4.6 応答PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウント許可	パイプ1～5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1～5：設定可能
PIPEnTRN	—	トランザクションカウンタ	パイプ1～5：設定可能

34.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB通信が禁止 (PID[1:0]=00b (NAK)) されているときのみ書き換えが可能になります。

USB通信が許可 (PID[1:0]=01b (BUF)) されているとき、書き換えが禁止されているレジスタおよびビットを以下に示します。

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR, SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR.ATREPM, ACLRM, SQCLR, SQSET ビット
- PIPEnTRE レジスタ、PIPEnTRN レジスタの各ビット

USB通信許可 (PID[1:0]=01b (BUF)) 状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. 当該パイプの PID[1:0] ビットを“00b” (NAK) に変更します。
3. 当該パイプの PBUSY フラグが“0”になるまで待ちます。
4. パイプコントロールレジスタのビット変更が開始されます。

また、パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのいずれの CURPIPE[3:0] ビットにも設定されていないパイプ情報のみ書き換えが可能です。

CURPIPE[3:0] ビットに設定中に設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタの CURPIPE[3:0] ビットの設定を変更パイプ以外に指定してください。なお、DCPについてはパイプ情報修正後、ポートコントロールレジスタの BCLR ビットにてバッファのクリア処理をしてください。

34.3.4.2 転送タイプ

PIPECFG.TYPE[1:0] ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要（コントロール転送固定）です。
- パイプ 1、2：バルク転送またはアイソクロナス転送を設定してください。
- パイプ 3～5：バルク転送を設定してください。
- パイプ 6～9：インタラプト転送を設定してください。

34.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント“0”に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- DCP：設定不要（エンドポイント“0”固定）です。
- パイプ1～9：1から15までを選択して設定してください。
ただし、PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないように設定してください。

34.3.4.4 マックスパケットサイズ設定

DCPMAXP.MXPS[6:0] ビットおよび PIPEMAXP.MXPS[8:0] ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ1～5はUSB規格2.0で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ6～9は最大64バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前（PID[1:0]=01b (BUF)）に設定してください。

- DCP：8、16、32、64から選択して設定してください。
- パイプ1～5：バルク転送時は、8、16、32、64から選択して設定してください。
- パイプ1、2：アイソクロナス転送時は、1から256の値を設定してください。
- パイプ6～9：1から64の値を設定してください。

34.3.4.5 トランザクションカウンタ（パイプ1～5読み出し方向）

USBは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタには、トランザクション回数を指定する PIPE_nTRN レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、PIPECFG.SHTNAK ビット設定が“1”との組み合わせによりカレントカウンタが指定回数に一致すると、当該 PIPE_nCTR.PID[1:0] ビットを NAK 状態とし、次の転送を禁止状態にします。PIPE_nTRE.TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。PIPE_nTRE.TRENB ビットの設定により、PIPE_nTRN レジスタ読み出し時の情報が異なります。

- TRENB ビットが“0”：設定したトランザクションカウンタ値が読めます。
- TRENB ビットが“1”：内部でカウントしたカレントカウンタ値が読めます。

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID[1:0]=01b (BUF) の場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

34.3.4.6 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID[1:0] ビットにて各パイプの応答 PID を設定します。各設定における USB の動作は下記のとおりです。

(1) ホストコントローラ機能選択時の応答 PID 設定

応答 PID は、トランザクションの実施を指定します。

- NAK 設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF 設定：バッファメモリの状況に応じてトランザクションが実施されます。
OUT 方向の場合、バッファメモリに送信データがある場合、OUT トークンを発行します。
IN 方向の場合、バッファメモリに空きがあり受信可能な場合、IN トークンを発行します。
- STALL 設定：パイプ禁止状態です。トランザクションは実施されません。

注． DCP のセットアップトランザクションは、DCPCTR.SUREQ ビットで設定します。

(2) ファンクションコントローラ機能選択時の応答 PID 設定

応答 PID は、ホストからのトランザクションに対する応答を指定します。

- NAK 設定：発生したトランザクションに対して NAK 応答します。
- BUF 設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL 設定：発生したトランザクションに対して STALL 応答します。

注． セットアップトランザクションに対しては、PID[1:0] ビットの設定にかかわらず、ACK 応答し、レジスタに USB リクエストを格納します。

PID[1:0] ビットは、トランザクション結果により USB による書き込みが発生する場合があります。USB により PID[1:0] ビットへの書き込みが発生するのは以下の場合です。

(3) ホストコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID[1:0] = 00b (NAK) となり、トークンの発行を自動的に停止します。
アイソクロナス以外の転送で、NRDY 割り込みが発生したとき
(詳細は、「34.3.3.2 NRDY 割り込み」を参照してください)
ーバルク転送時に PIPECFG.SHTNAK ビットを“1”にした場合でショートパケットを受信したとき
ーバルク転送時に SHTNAK ビットを“1”にし、トランザクションカウンタが終了したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID[1:0] = 1xb (STALL) となり、トークンの発行を自動的に停止します。
ー送信したトークンに対して STALL を受信したとき
ー受信したデータパケットがマックスパケットサイズを超えたとき

(4) ファンクションコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID[1:0] = 00b (NAK) となり、トランザクションに対して NAK 応答します。
SETUP トークンを正常に受信したとき (DCP のみ)
バルク転送時に PIPECFG.SHTNAK ビットを“1”にし、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID[1:0] = 1xb (STALL) となり、トランザクションに対して STALL 応答します。
ー受信データパケットでマックスパケットサイズオーバーエラーを検出したとき
ーコントロール転送シーケンスエラーを検出したとき (DCP のみ)

34.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USB によりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON フラグにて確認できます。データ送信時は ACK ハンドシェイク受信タイミングで、データ受信時は ACK ハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時に USB が自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 になります。ステータスステージではシーケンスビットは参照せず、PID = DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、ソフトウェアでデータ PID シーケンスビットを設定する必要がありますので注意してください。

34.3.4.8 応答 PID = NAK 機能

USB には、PIPECFG.SHTNAK ビットを“1”にすることで、トランスファの最後（ショートパケット受信またはトランザクションカウンタでモジュールが自動識別）のデータパケット受信タイミングで、パイプ動作を禁止（応答 PID = NAK）する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可（応答 PID = BUF）設定を行う必要があります。

なお、応答 PID = NAK 機能はバルク転送時のみ動作することが可能です。

34.3.4.9 自動応答モード

バルク転送のパイプ（パイプ 1 ~ 5）において、PIPEnCTR.ATREPM ビットを“1”にすると、自動応答モードとなります。OUT 転送時（PIPECFG.DIR ビットが“0”）には OUT-NAK モードとなり、IN 転送時（DIR ビットが“1”）には Null 自動応答モードとなります。

34.3.4.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを“1”にすると、OUT トークンに対して NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ設定するためには、パイプ動作禁止状態（応答 PID = NAK）で OUT-NAK モードに設定して、パイプ動作許可（応答 PID = BUF）を行ってください。パイプ動作許可後に、OUT-NAK モードが有効になります。ただし、パイプ動作禁止にする直前で OUT トークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）で OUT-NAK モードを解除して、パイプ動作許可（応答 PID = BUF）を行ってください。通常モードでは、OUT データ受信が可能となります。

34.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを“1”にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態（応答 PID = NAK）で、Null 自動応答モードに設定して、パイプ動作許可（応答 PID = BUF）を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。PIPEnCTR.INBUFM フラグが“0”であることで確認してください。INBUFM フラグが“1”の場合には、バッファ内にデータが存在しているため、PIPEnCTR.ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）を Zero-Length パケット送信分ウェイト（約 10 μ s）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID = BUF）を行うことにより、ホストへのパケット送信が可能となります。

34.3.5 FIFO バッファメモリ

34.3.5.1 FIFO バッファメモリ

USB はデータ転送用の FIFO バッファメモリを内蔵します。各 PIPE の使用領域は、USB にて管理しています。FIFO バッファメモリの状況には、アクセス権がシステム (CPU 側) にある場合と USB (SIE 側) にある場合があります。

(1) バッファステータス

表 34.17 および表 34.18 に USB のバッファステータス表を示します。バッファメモリステータスを DCPCTR.BSTS フラグおよび PIPEnCTR.INBUFM フラグにて確認できます。バッファメモリの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット (DCP 選択時) で指定します。

なお、INBUFM フラグは送信方向のパイプ 1～5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS フラグは CPU 側のバッファの状態を、INBUFM フラグは SIE 側のバッファの状態を判断するために使用します。CPU または DMAC/DTC による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM フラグで送信完了を確認できます。

表 34.17 BSTS フラグによるバッファステータス

ISEL または DIR	BSTS	バッファメモリの状態
0 (受信方向)	0	受信データなし、または受信中 FIFO ポートからの読み出し不可能
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可能のためバッファクリアが必要
1 (送信方向)	0	送信を完了していない FIFO ポートへの書き込み不可能
1 (送信方向)	1	送信完了 CPU は書き込み可能

表 34.18 INBUFM フラグによるバッファステータス

DIR	INBUFM	バッファメモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データがFIFOポートから書き込まれた 送信可能データあり

34.3.5.2 FIFO バッファクリア

表 34.19 に USB による FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、PIPEnCTR.ACLRM ビットでクリアすることができます。

パイプ 1 ~ 5 は、PIPECFG.DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

表 34.19 各バッファクリア一覧

FIFO バッファ クリアの種類	CPU 側バッファメモリをクリア します	指定パイプのデータを読み出した後 で、自動でバッファメモリをクリア するモードです	受信したパケットをすべて破棄する 自動バッファクリアモードです
当該レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
当該ビット	BCLR ビット	DCLRM ビット	ACLARM ビット
“0”になる条件	“1”書き込みで“0”になる	1 : モード有効 0 : モード無効	1 : モード有効 0 : モード無効

(1) 自動バッファクリアモード機能

USB には、PIPEnCTR.ACLRM ビットを“1”にすることで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、自動バッファクリアモード機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLARM ビットを“1”にし、続けて“0”にすることで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLARM ビットへの“1”書き込みと“0”書き込みの間隔を 100ns 以上とってください。

34.3.5.3 FIFO ポートの機能

表 34.20 に USB の FIFO ポート機能設定表を示します。データ書き込み時は、マックスパケットサイズ数まで書き込みを行うと、自動的に送信可能状態となります。マックスパケットサイズ数未満のデータを送信可能状態にするには、ポートコントロールレジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時 (DTLN[8:0] フラグが“0”) は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0] フラグにて確認します。

表 34.20 FIFOポート機能設定

レジスタ	ビット	機能
CFIFOSEL, DnFIFOSEL (n = 0, 1)	RCNT	DTLN[8:0]読み出しモード選択
	REW	バッファメモリリwind(再読み出し、再書き込み)
	DCLRM	指定パイプの受信データ読み出し後自動クリア(DnFIFO専用)
	DREQE	DMA/DTC転送許可(DnFIFO専用)
	MBW	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアン選択
	ISEL	FIFOポートアクセス方向(DCP専用)
	CURPIPE[3:0]	カレントパイプ選択
CFIFOCTR, DnFIFOCTR (n = 0, 1)	BVAL	バッファメモリ書き込み終了
	BCLR	CPU側バッファメモリクリア
	DTLN[8:0]	受信データ長確認

(1) FIFO ポート選択

表 34.21 に各 FIFO ポートで選択可能なパイプ表を示します。ポート選択レジスタの CURPIPE[3:0] ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE[3:0] ビット値が正しく読み出せたのを確認してから (前回のパイプ番号が読み出された場合には、USB コントローラがパイプ変更処理中である事を示します)、ポートコントロールレジスタの FRDY フラグが“1”であることを確認し、FIFO ポートへアクセスしてください。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPECFG.DIR ビットに従います。ただし、DCP のみポート選択レジスタの ISEL ビットにより決定します。

表 34.21 パイプ別FIFOポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
パイプ1~9	CPUアクセス	CFIFOポートレジスタ D0FIFO/D1FIFOポートレジスタ
	DMAC/DTCアクセス	D0FIFO/D1FIFOポートレジスタ

(2) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、ポート選択レジスタの REW ビットを使用します。

ポート選択レジスタの CURPIPE[3:0] ビット設定と同時に REW ビットを“1”にしてパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、“0”にしパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、ポートコントロールレジスタの FRDY フラグが“1”であることを確認する必要があります。

34.3.5.4 DMA 転送 (D0FIFO/D1FIFO ポート)

(1) DMA 転送概要

パイプ 1～9 に対して、DMAC による FIFO ポートアクセスが可能です。DMAC に設定したパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL.MBW ビットにて FIFO ポートへの転送単位を、DnFIFOSEL.CURPIPE[3:0] ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(2) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

USB は、DnFIFOSEL.DCLRM ビットを“1”にすることで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

表 34.22 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。表 34.22 に示すように、PIPECFG.BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DnFIFOSEL.DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、DnFIFO 自動クリアモードはバッファメモリ読み出し方向のみ設定できます。

表 34.22 パケット受信とソフトウェアによるバッファメモリクリア処理の関連

パケット受信時の バッファ状態	レジスタの設定			
	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

34.3.6 DCP を使用したコントロール転送

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

34.3.6.1 ホストコントローラ機能選択時のコントロール転送

(1) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR.SUREQ ビットに“1”を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、“0”になります。SUREQ=1 中は上記 USB リクエストレジスタを操作しないでください。

接続されたファンクションデバイスのアタッチ検出後、そのデバイスに対する最初のセットアップトランザクションは、DCPMAXP.DEVSEL[3:0] ビットを“0”にし、DEVADD0.USBSPPD[1:0] ビットを設定し上記シーケンスでセットアップトランザクションを発行してください。

接続されたファンクションデバイスが Address ステートに遷移した以降は、DEVSEL[3:0] ビットに割り付けた USB Address 値を設定し、USB Address に対応する DEVADDn レジスタの各ビットを設定後に上記シーケンスでセットアップトランザクションを発行してください。例えば、PIPEMAXP.DEVSEL[3:0]=0010b のときは DEVADD2 レジスタを、PIPEMAXP.DEVSEL[3:0]=0101b のときは DEVADD5 レジスタを設定してください。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN フラグおよび SACK フラグ)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR.SQMON フラグの内容にかかわらず、DATA0 のデータパケット (USB リクエスト) が送信されます。

(2) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL.ISEL ビットでアクセス方向を指定してください。また、DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。

DCPCTR.SQSET ビットでデータ PID を DATA1 にセットし、PID[1:0] ビットを“01b” (BUF) に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

(3) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。

DCPCTR.SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR.DTLN[8:0] フラグで受信データ長を確認のうえ、CFIFOCTR.BCLR ビットでバッファメモリクリアを行ってください。

34.3.6.2 ファンクションコントローラ機能選択時のコントロール転送

(1) セットアップステージ

USBは、USBに対する正常なセットアップパケットに対してACK応答します。セットアップステージのUSBの動作を以下に示します。

新しいセットアップパケットを受信すると、USBは以下のビットをセットします。

- INTSTS0.VALIDフラグを“1”にする
- DCPCTR.PID[1:0]ビットを“00b”(NAK)にセット
- DCPCTR.CCPLビットを“0”にする

セットアップパケットに引き続きデータパケット受信すると、USBは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、VALIDフラグを“0”にした後にしてください。VALIDフラグが“1”の状態ではPID[1:0]=01b(BUF)設定が行えず、データステージを終了することができません。

VALIDフラグの機能により、USBは、コントロール転送中に新しいUSBリクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USBは、受信したUSBリクエストの方向ビット(bmRequestTypeのビット8)およびリクエストデータ長(wLength)を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。USBのステージ管理については図34.16を参照してください。

(2) データステージ

受信したUSBリクエストに対応したデータ転送をDCPにて行ってください。DCPバッファメモリへアクセスする前に、CFIFOSEL.ISELビットにてアクセス方向指定を行ってください。

転送データがDCPバッファメモリのサイズより大きい場合には、コントロールライト転送ではBRDY割り込みを、コントロールリード転送ではBEMP割り込みを使用してデータ転送を行ってください。

(3) ステータスステージ

DCPCTR.PID[1:0]ビットが“01b”(BUF)の状態、DCPCTR.CCPLビットを“1”にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USBが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合
USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合
USBはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。

(4) コントロール転送自動応答機能

USB は、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- bmRequestType が “00h” でない場合：コントロールライト転送以外
- wIndex が “00h” でない場合：リクエストエラー
- wLength が “00h” でない場合：ノーデータコントロール転送以外
- wValue が “7Fh” より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0] フラグが “011b” (Configured ステート) の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

34.3.7 バルク転送 (パイプ 1 ~ 5)

バルク転送は、バッファメモリ使用方法 (シングル/ダブルバッファ設定) の選択ができます。

USB は、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み選択機能 (PIPECFG.BFRE ビット：「34.3.3.1 (2) SOFCFG.BRDYM ビットが “0” かつ PIPECFG.BFRE ビットが “1” のとき」参照)
- トランザクションカウント機能
(PIPE_nTRE.TRENB, TRCLR ビット、PIPE_nTRN レジスタ：「34.3.4.5 トランザクションカウンタ (パイプ 1 ~ 5 読み出し方向)」参照)
- 応答 PID = NAK 機能 (PIPECFG.SHTNAK ビット：「34.3.4.8 応答 PID = NAK 機能」参照)
- 自動応答モード (PIPE_nCTR.ATREPM ビット：「34.3.4.9 自動応答モード」参照)

34.3.8 インタラプト転送 (パイプ6～9)

ファンクションコントローラ機能選択時、USBは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。

34.3.8.1 ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI.IITV[2:0]ビットに、トランザクションのインターバルを設定します。USBコントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

(1) カウンタの初期化

インターバルカウンタは、MCUがリセットされたとき、またはPIPEEnCTR.ACLRMビットを“1”にしたときに初期化されます。なお、ACLRMビットによる初期化時は、PIPEPERI.IITV[2:0]ビットは初期化されません。

以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USBバスリセット、USBサスペンド
IITV[2:0]ビットは初期化されません。DVSTCTR0.UACTビットを“1”にすることにより、USBバスリセット、USBサスペンド状態とする前の値からカウントを開始します。

(2) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PID[1:0]を“00b”(NAK)または“1xb”(STALL)に設定した場合
- IN方向(受信)の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT方向(送信)の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

34.3.9 アイソクロナス転送 (パイプ 1、2)

USB は、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ (PIPEPERL.IITV[2:0] ビット指定)
- アイソクロナス IN 転送データセットアップコントロール (IDLY 機能)
- アイソクロナス IN 転送バッファフラッシュ機能 (PIPEPERL.IFIS ビット指定)

34.3.9.1 アイソクロナス転送のエラー検出

USB は、アイソクロナス転送のエラー発生を、ソフトウェアで管理可能なように、下記のエラー情報の検出機能を持っています。表 34.23 および表 34.24 に USB がエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

(a) PID エラー

- 受信パケットの PID が不正な場合

(b) CRC エラー、ビットスタッフィングエラー

- 受信パケットの CRC にエラーがあった場合またはビットスタッフィングが不正な場合

(c) マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた場合

(d) オーバラン、アンダランエラー

- ホストコントローラ機能選択時
IN 方向 (受信) の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合
OUT 方向 (送信) の転送時にトークンの送信タイミングにバッファメモリにデータがない場合
- ファンクションコントローラ機能選択時
IN 方向 (送信) の転送時に IN トークン受信時にバッファメモリにデータがない場合
OUT 方向 (受信) の転送時に OUT トークン受信したがバッファメモリに空き領域がない場合

(e) インターバルエラー

ファンクションコントローラ機能選択時に、以下のときにインターバルエラーとします。

- アイソクロナス IN 転送でインターバルフレームに IN トークンを受信できなかった場合
- アイソクロナス OUT 転送でインターバルフレームに OUT トークンを受信できなかった場合

表 34.23 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず(破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず(破損パケットとして無視)
3	オーバラン、アンダランエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させ、FRMNUM.OVRN フラグを“1”にします。ファンクションコントローラ機能選択時は、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY 割り込みを発生させます。ホストコントローラ機能選択時は発生しません

表 34.24 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず(破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY割り込みを発生させて、FRMNUM.CRCE フラグを“1”にします
3	マックスパケットサイズオーバーエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、BEMP割り込みを発生させて、PID[1:0] ビットを 1xb (STALL) にセットします

34.3.9.2 データ PID

ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

IN 方向

- DATA0：データパケットの PID として送信します
- DATA1：送信しません
- DATA2：送信しません
- mData：送信しません

OUT 方向

- DATA0：データパケットの PID として正常受信します
- DATA1：データパケットの PID として正常受信します
- DATA2：パケットを無視します
- mData：パケットを無視します

34.3.9.3 インターバルカウンタ

PIPEPERI.IITV[2:0] ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 34.25 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表 34.25 ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナス IN 転送でインターバルフレームに IN トークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレームに OUT トークンを正常受信できない

インターバルのカウンタは、SOF の受信または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2IITV[2:0] フレームです。

(1) ファンクションコントローラ機能選択時でのカウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または PIPEEnCTR.ACLRM ビットを“1”にしたときに初期化されます。なお、ACLRM ビットによる初期化時は、PIPEPERI.IITV[2:0] ビットは初期化されません。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウンタを開始します。

1. PID[1:0] = 01b (BUF) 状態で IN トークンに対して、データを送信後の SOF 受信
2. PID[1:0] = 01b (BUF) 状態で OUT トークンのデータを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0] ビットを“00b” (NAK) または“1xb” (STALL) に設定した場合
インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
- USB バスリセットおよび USB サスペンド
IITV[2:0] ビットは初期化されません。SOF を受信すると、受信前の値からカウンタを開始します。

(2) ホストコントローラ機能選択時のインターバルカウンタと転送制御

PIPEPERI.IITV[2:0] ビットの設定値に従って USB はトークン発行間隔を制御します。USB は 2^{IITV[2:0]} 回のフレームに 1 回の間隔で選択パイプに対するトークンを発行します。

USB は、ソフトウェアで PID[1:0] ビットを“01b” (BUF) に設定した次のフレームからトークン発行間隔のカウンタを開始します。

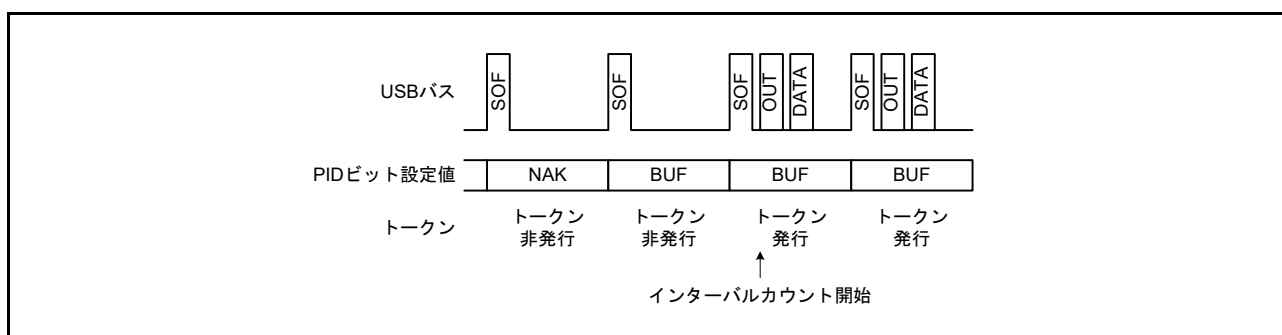


図 34.17 IITV[2:0] = 000b の場合のトークン発行有無

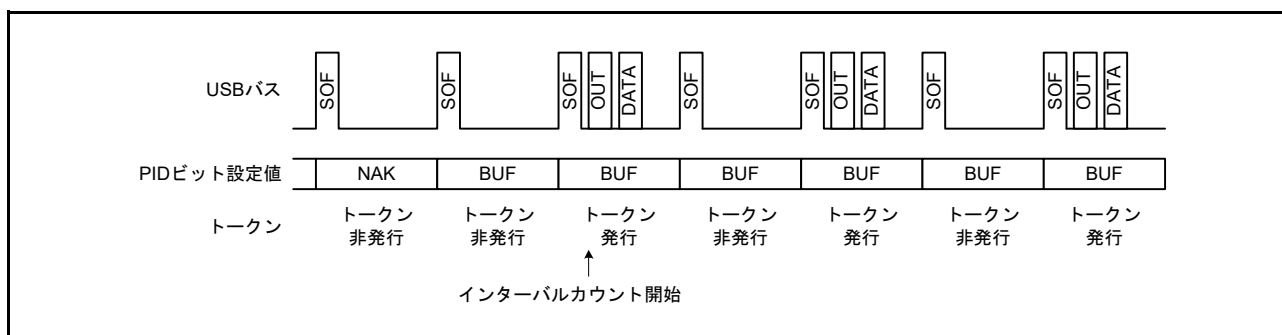


図 34.18 IITV[2:0] = 001b の場合のトークン発行有無

選択パイプの転送タイプがアイソクロナスの場合には、USB はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも USB はトークンを発行します。

(a) 選択パイプがアイソクロナス IN 転送パイプの場合

IN トークンを発行し、周辺デバイスから正常にパケットを受信しなかった場合（無応答やパケットエラー等の場合）に、NRDY 割り込みを発生させます。

CPU または DMAC/DTC が FIFO バッファからデータを読み出すのが遅いなどの原因で FIFO バッファがフルのために、USB がデータを受信できない状態で、IN トークン発行タイミングに至った場合、USB は FRMNUM.OVRN フラグを“1”にし、NRDY 割り込みを発生させます。

(b) 選択パイプがアイソクロナス OUT 転送パイプの場合

CPU または DMAC/DTC が FIFO バッファにデータを書き込むのが遅いなどの原因で、送信可能なデータが FIFO バッファに無い状態で OUT トークン発行タイミングに至った場合、USB は OVRN フラグを“1”にし、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

トークン発行間隔のリセット条件は以下の場合はです。

- USB が端子リセットされた場合
（このとき、IITV[2:0] ビットへの設定値も“0”になります）
- ソフトウェアで PIPEnCTR.ACLRM ビットを“1”にした場合

(3) ファンクションコントローラ機能選択時のインターバルカウントと転送制御**(a) 選択パイプがアイソクロナス OUT 転送パイプの場合**

PIPEPERI.IITV[2:0] ビットに設定したインターバルごとのフレーム中に DATA パケットを受信しなかったとき、USB は NRDY 割り込みを発生させます。

DATA パケットに CRC エラー等のエラーが発生したために受信できなかったとき、または FIFO バッファがフルのために USB がデータを受信できなかったときにも NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに割り込みを発生させます。

ただし IITV[2:0] = 000b 以外のときには、インターバルカウント開始後のインターバルごとの SOF パケット受信時に NRDY 割り込みを発生させます。

インターバルタイム起動後、ソフトウェアで PID[1:0] ビットに“00b” (NAK) を設定した場合、USB は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始条件は、IITV[2:0] ビットの設定値により異なります。

- IITV[2:0] = 000b の場合
選択パイプの PID[1:0] ビットを“01b” (BUF) に変更した時点でインターバルのカウントを開始します。

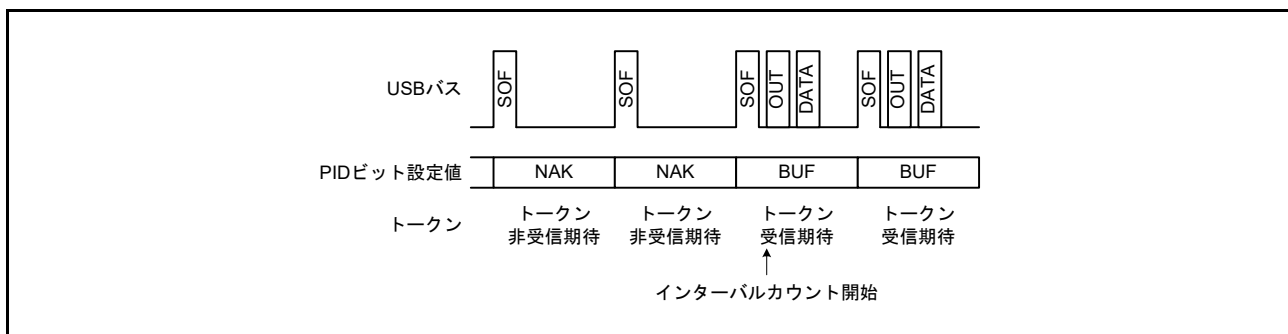


図 34.19 IITV[2:0] = 000b の場合のフレームとトークン受信期待有無の関係

- IITV[2:0] = 000b 以外の場合

選択パイプの PID[1:0] ビットを “01b” (BUF) に変更した後、最初の DATA パケット正常受信完了時点からインターバルのカウントを開始します。

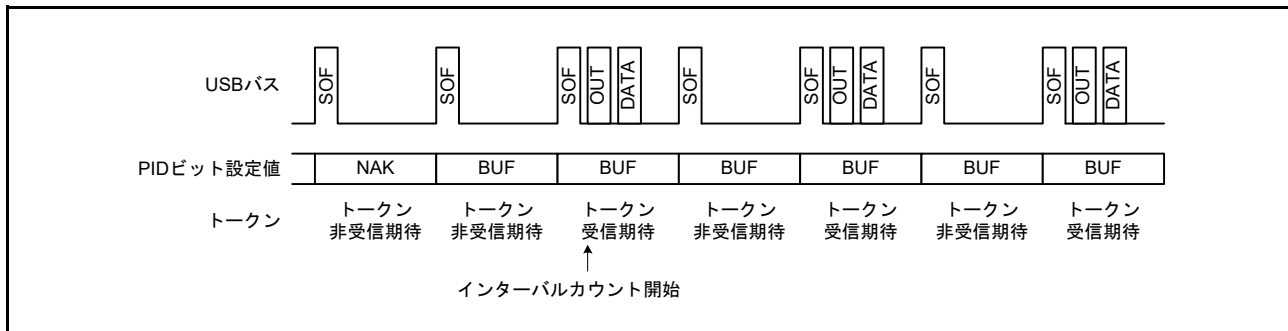


図 34.20 IITV[2:0] = 000b 以外の場合のフレームとトークン受信期待有無の関係

(b) 選択パイプがアイソクロナス IN 転送パイプの場合

PIPEPERLIFIS ビットを “1” にして使用します。

IFIS ビットが “0” の場合には PIPEPERL.IITV[2:0] ビットへの設定値とは関係なく、受信したトークンに応答してデータパケットを送信します。

IFIS ビットが “1” のときは、FIFO バッファに送信可能なデータが存在している状態で、IITV[2:0] ビットに設定したインターバルごとのフレーム中に IN トークンを受信しなかったとき、USB は FIFO バッファをクリアします。

IN トークンに CRC エラー等のバスエラーが発生したために USB が正常受信できなかった場合にもクリアを行います。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います。

インターバルのカウント開始条件は、IITV[2:0] ビットの設定値により異なります (OUT 時と同様です)。ファンクションコントローラ機能選択時のインターバルカウント条件は以下のいずれかの場合です。

- USB がハードウェアリセットされた場合 (このとき、IITV[2:0] ビットへの設定値も “000b” になります)
- ソフトウェアで PIPEnCTR.ACLRM ビットを “1” にした場合
- USB が USB バスリセットを検出した場合

(4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、USB のアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリは 1 パケット分だけとなります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダランエラーとなります。

図 34.21 に USB で、IITV[2:0] = 000b (毎フレーム) にした場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

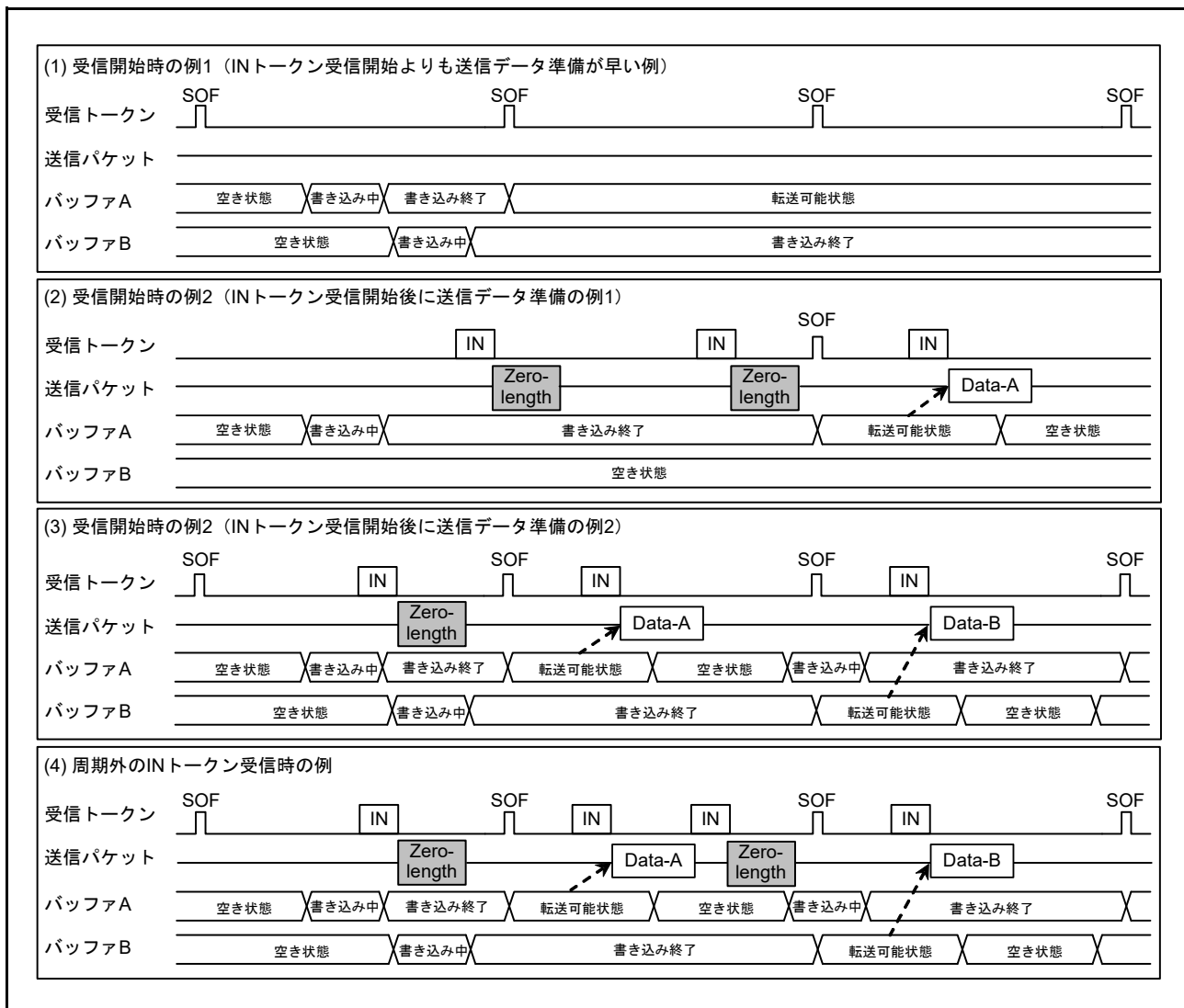


図 34.21 データセットアップ機能動作例

(5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、USB は、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は PIPEPERI.IITV[2:0] ビットの設定値により動作開始タイミングが異なります。

- IITV[2:0] = 000b の場合
パイプが有効となった次のフレームからバッファフラッシュ動作します。
- IITV[2:0] = 000b 以外の場合
最初の正常なトランザクション以降バッファフラッシュ動作します。

図 34.22 に USB のバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外(インターバルフレーム前のトークン)に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダランエラーとして Zero-Length パケットを送出します。

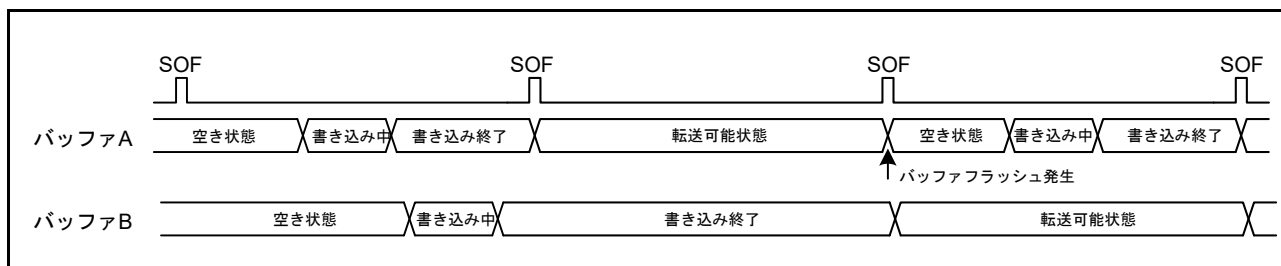


図 34.22 バッファフラッシュ機能動作例

図 34.23 に USB のインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は FRMNUM.OVRN フラグで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

【IN 方向】

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であれば Zero-Length パケット送信しアンダランエラー

【OUT 方向】

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバランエラー

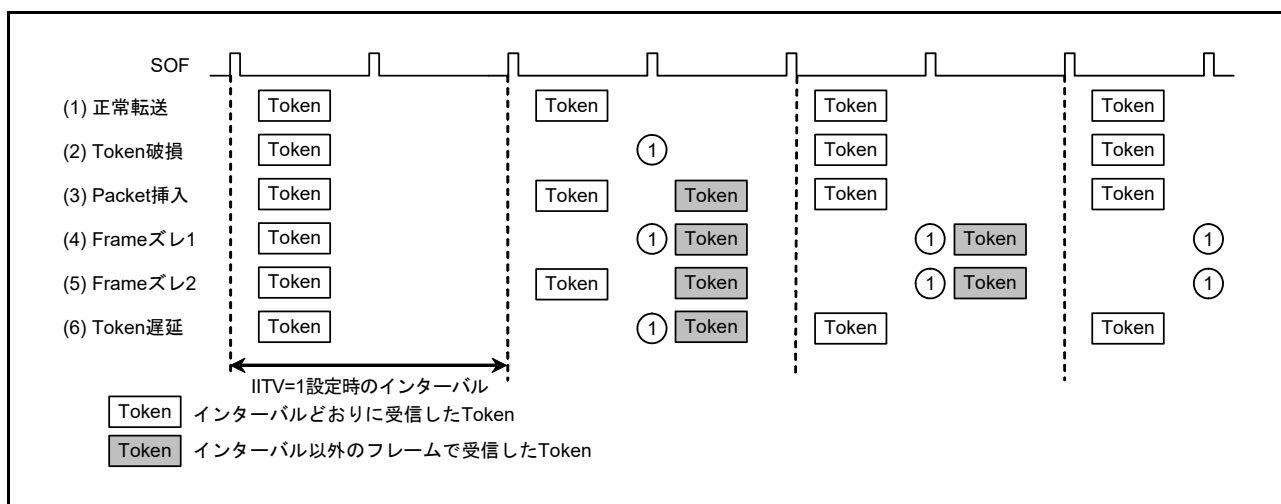


図 34.23 IITV[2:0] = 001b のときのインターバルエラー発生例

34.3.10 SOF 補完機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1 ms 間隔で SOF パケットを受信できなかった場合に、USB は SOF を補完します。SOF 補完動作の開始は SYSCFG.USBE ビットが“1”、SYSCFG.SCKE ビットが“1”かつ SOF パケット受信となります。また、下記の条件で補完機能が初期化されます。

- MCU のリセット
- USB バスリセット
- サスペンド検出

また、SOF 補完は次の仕様で動作します。

- SOF パケット受信までは補完機能は動作しない。
- 最初の SOF パケット受信後は内部クロック 48 MHz で 1 ms をカウントし補完する
- 2 回目以降の SOF パケットを受信後は前回の受信間隔を用いて補完する
- サスペンド時および USB バスリセット受信中は補完しない

USB は、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補完を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM.FRNM[10:0] フラグは更新されません。

34.3.11 パイプスケジュール

34.3.11.1 トランザクション発行条件

USB は、ホストコントローラ機能選択時、DVSTCTR0.UACT ビットを“1”にしたあと、表 34.26 に示す条件でトランザクションを発行します。

表 34.26 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID[1:0]	IITV[0]	バッファの状態	SUREQ
セットアップ	— (注 1)	— (注 1)	— (注 1)	— (注 1)	“1” 設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	— (注 1)
	OUT	BUF	無効	送信データあり	— (注 1)
インタラプト転送	IN	BUF	有効	受信領域あり	— (注 1)
	OUT	BUF	有効	送信データあり	— (注 1)
アイソクロナス転送	IN	BUF	有効	(注 2)	— (注 1)
	OUT	BUF	有効	(注 3)	— (注 1)

注 1. 表中の「—」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタに関わらず発行されることを示します。

注 2. 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。

注 3. 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

34.3.11.2 転送スケジュール

USBのフレーム内の転送スケジューリング方法について説明します。USBは、SOFを送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行

パイプ1 → パイプ2 → パイプ6 → パイプ7 → パイプ8 → パイプ9の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。

2. コントロール転送のセットアップトランザクション

DCPを確認してセットアップトランザクションが可能であれば送信します。

3. バルク、コントロール転送データステージ、ステータスステージの実行

DCP → パイプ1 → パイプ2 → パイプ3 → パイプ4 → パイプ5の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。

トランザクションを発行したとき、周辺デバイスからの応答がACKであってもNAKであっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3.を繰り返します。

34.3.11.3 USB通信許可

DVSTCTR0.UACTビットを“1”にすることにより、SOFの送信を開始し、トランザクションの発行が可能となります。

UACTビットを“0”にすると、SOFの送信を停止しサスペンドとなります。UACTビットを“1”から“0”にする場合、次のSOFを送信してから停止します。

34.4 使用上の注意事項

34.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタB(MSTPCRB)により、USBの動作を禁止または許可することができます。リセット後、USBの動作は停止しています。モジュールストップ状態を解除することによりレジスタにアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

35. シリアルコミュニケーションインタフェース (SCIk, SCIm, SCIlh)

本 MCU は、独立した 13 チャンネルのシリアルコミュニケーションインタフェース (SCI: Serial Communications Interface) を備えています。SCI は、SCIk モジュール (SCI0 ~ SCI9)、SCIm モジュール (SCI10, SCI11) と、SCIlh モジュール (SCI12) から構成されています。

SCIk (SCI0 ~ SCI9) と SCIm (SCI10, SCI11) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCIlh (SCI12) は、上記の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

本章に記載している PCLK とは、SCI0 ~ SCI9、SCI12 では PCLKB を、SCI10、SCI11 では PCLKA を指します。

35.1 概要

表 35.1 に SCIk の仕様を、表 35.2 に SCIm の仕様を、表 35.3 に SCIlh の仕様を、表 35.4 に SCI チャンネル別機能一覧を示します。

図 35.1 に SCI0 ~ SCI4、SCI7 ~ SCI9 のブロック図を、図 35.2 に SCI5、SCI6 のブロック図を、図 35.3 に SCI10、SCI11 のブロック図を、図 35.4 に SCI12 (SCIlh) のブロック図を示します。

表 35.1 SCIk の仕様 (1/2)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子	表 35.5 ~ 表 35.7 参照
データ転送	LSB ファースト/MSB ファースト選択可能 (注1)
入出力信号レベル反転	入力信号、出力信号のレベルをそれぞれ独立して反転可能
割り込み要因	送信終了、送信データエンpty、受信データフル、受信エラー、データ一致開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能	チャンネルごとにモジュールストップ状態への遷移が可能

表 35.1 SCIkの仕様 (2/2)

項目	内容	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS#端子、RTSn#端子を用いた送受信制御が可能
	データ一致検出	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	受信データサンプリングタイミング調整	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能
	送信信号変化タイミング調整	送信データの立ち下がリエッジまたは立ち上がりエッジのいずれかを遅延させることが可能
	ブ레이크検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出す、またはSPTR.RXDMONフラグを読み出すことでブ레이크を検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能(SCI5, SCI6)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTS#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インパースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「35.2.13 ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能	内蔵ボーレートジェネレータの出力補正により誤差を低減可能	
イベントリンク機能(SCI5のみ対応)	エラー(受信エラー・エラーシグナル検出)イベント出力	
	受信データフルイベント出力	
	送信データエンプティイベント出力	
	送信終了イベント出力	

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 35.2 SCImの仕様 (1/2)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易I²Cバス 簡易SPIバス

表 35.2 SCIm の仕様 (2/2)

項目		内容
転送速度		ポーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 35.5～表 35.7 参照
データ転送		LSB ファースト / MSB ファースト 選択可能 (注1)
入出力信号レベル反転		入力信号、出力信号のレベルをそれぞれ独立して反転可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、データ一致 開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	送信 16 段、受信 16 段の FIFO を利用可能
	データ一致検出	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能
	スタートビットの検出	Low または立ち下がりがエッジを選択可能
	受信データサンプリングタイミング調整	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能
	送信信号変化タイミング調整	送信データの立ち下がりがエッジまたは立ち上がりエッジのいずれかを遅延させることが可能
	ブ레이크検出	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出す、または SPTR.RXDMON フラグを読み出すことでブ레이크を検出可能
	クロックソース	内部クロック/外部クロックの選択が可能
	倍速モード	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	送信 16 段、受信 16 段の FIFO を利用可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	I ² C バスフォーマット
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	ファストモード対応 (転送速度は「35.2.13 ビットレートレジスタ (BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易 SPI モード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS 入力端子機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能
ビットレートモジュレーション機能		内蔵ポーレートジェネレータの出力補正により誤差を低減可能

注 1. 簡易 I²C モードでは、MSB ファーストでのみ使用可能です。

表 35.3 SCIlhの仕様 (1/2)

項目		内容
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易I²Cバス 簡易SPIバス
転送速度		ポーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 35.5～表 35.8参照
データ転送		LSBファースト/MSBファースト選択可能(注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー開始条件/再開条件/停止条件生成終了(簡易I ² Cモード用)
消費電力低減機能		モジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	ブ레이크検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出すことでブ레이크を検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能
	倍速モード	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インパースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「35.2.13 ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能

表 35.3 SCIlhの仕様 (2/2)

項目	内容	
拡張シリアルモード	Start Frame送信	<ul style="list-style-type: none"> Break Field Low widthの出力が可能/出力完了割り込み機能あり バス衝突検出機能あり/検出割り込み機能あり
	Start Frame受信	<ul style="list-style-type: none"> Break Field Low widthの検出が可能/検出完了割り込み機能あり Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 Break FieldがないStart Frameにも対応可能 Control Field 0がないStart Frameにも対応可能 ビットレート測定機能あり
	入出力制御機能	<ul style="list-style-type: none"> TXDX12/RXDX12信号の極性選択が可能 RXDX12信号にデジタルフィルタ機能を設定可能 RXDX12端子とTXDX12端子を兼用した半二重通信が可能 RXDX12端子受信データサンプリングタイミング選択可能
	タイマ機能	<ul style="list-style-type: none"> リロードタイマ機能として使用可能
ビットレートモジュレーション機能	内蔵ポーレートジェネレータの出力補正により誤差を低減可能	

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 35.4 SCIチャネル別機能一覧

項目	SCI0～SCI4, SCI7～SCI9	SCI5	SCI6	SCI10, SCI11	SCI12
調歩同期式モード	○	○	○	○	○
クロック同期式モード	○	○	○	○	○
スマートカードインタフェースモード	○	○	○	○	○
簡易I ² Cモード	○	○	○	○	○
簡易SPIモード	○	○	○	○	○
FIFOモード	—	—	—	○	—
データ一致検出	○	○	○	○	—
拡張シリアルモード	—	—	—	—	○
TMRクロック入力	—	○	○	—	○
イベントリンク機能	—	○	—	—	—
周辺モジュールクロック	PCLKB	PCLKB	PCLKB	PCLKA	PCLKB

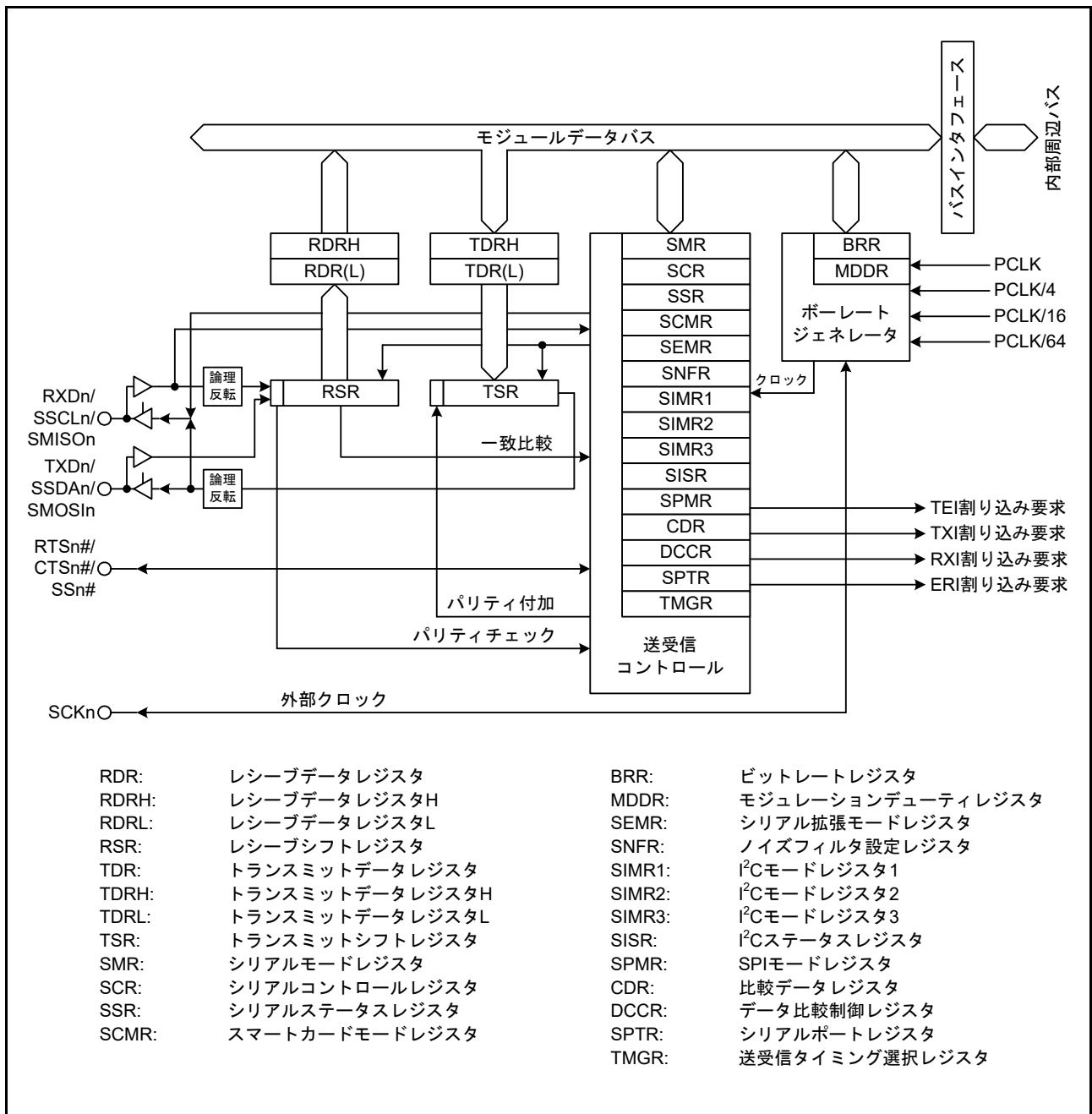


図 35.1 SCI (SCI0 ~ SCI4, SCI7 ~ SCI9) のブロック図

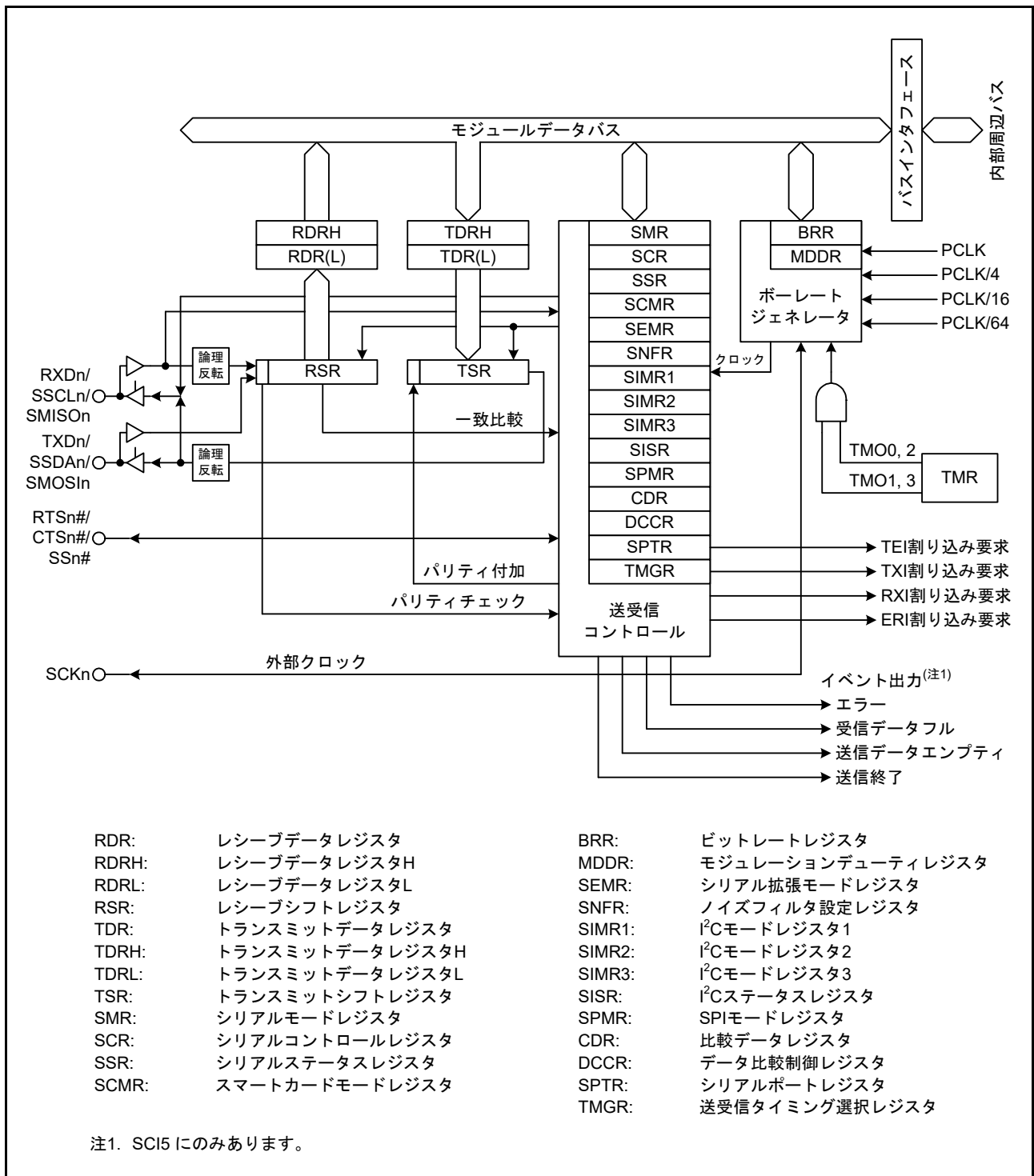


図 35.2 SCIk (SCI5, SCI6) のブロック図

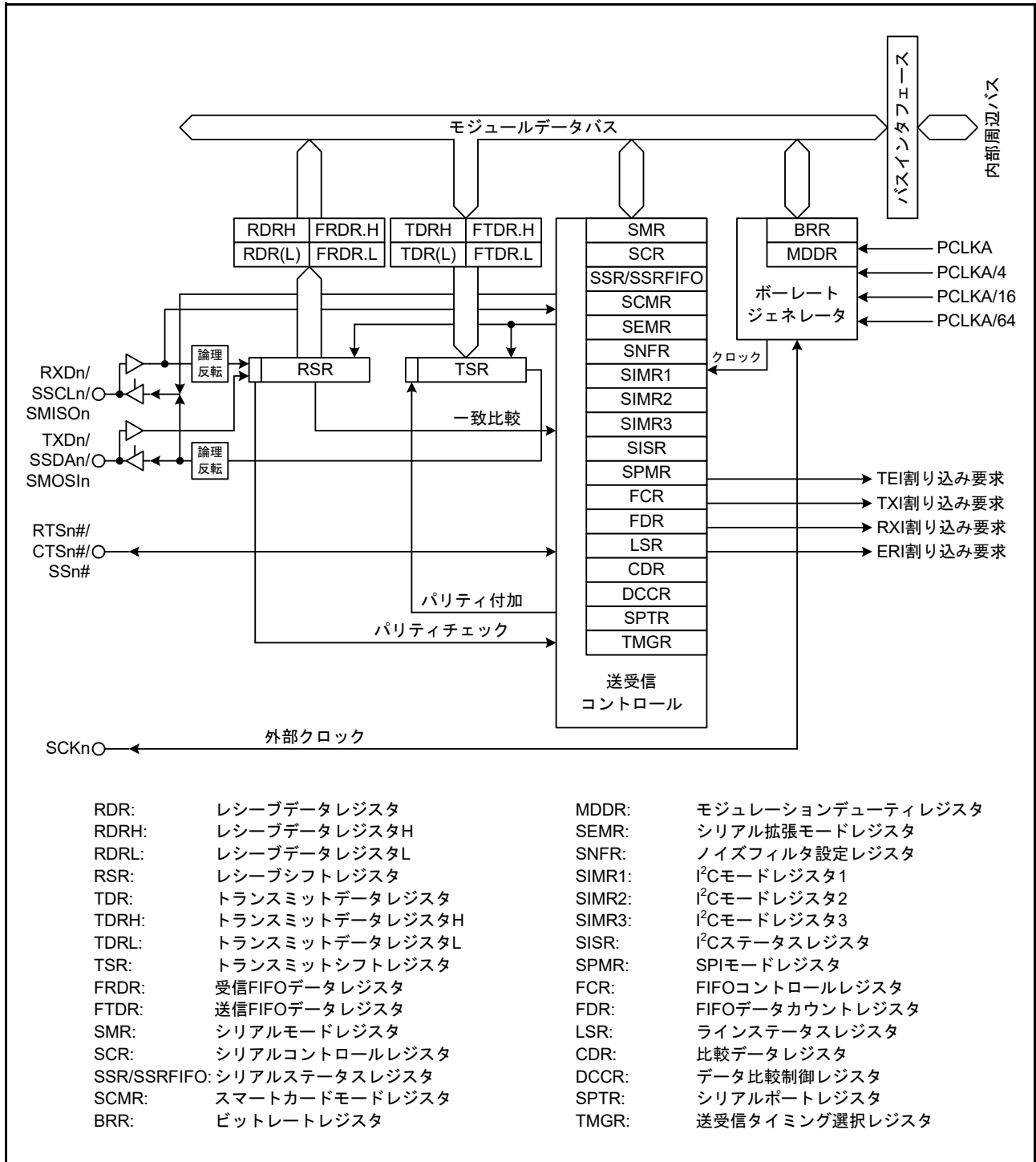


図 35.3 SCIm (SCI10, SCI11) のブロック図

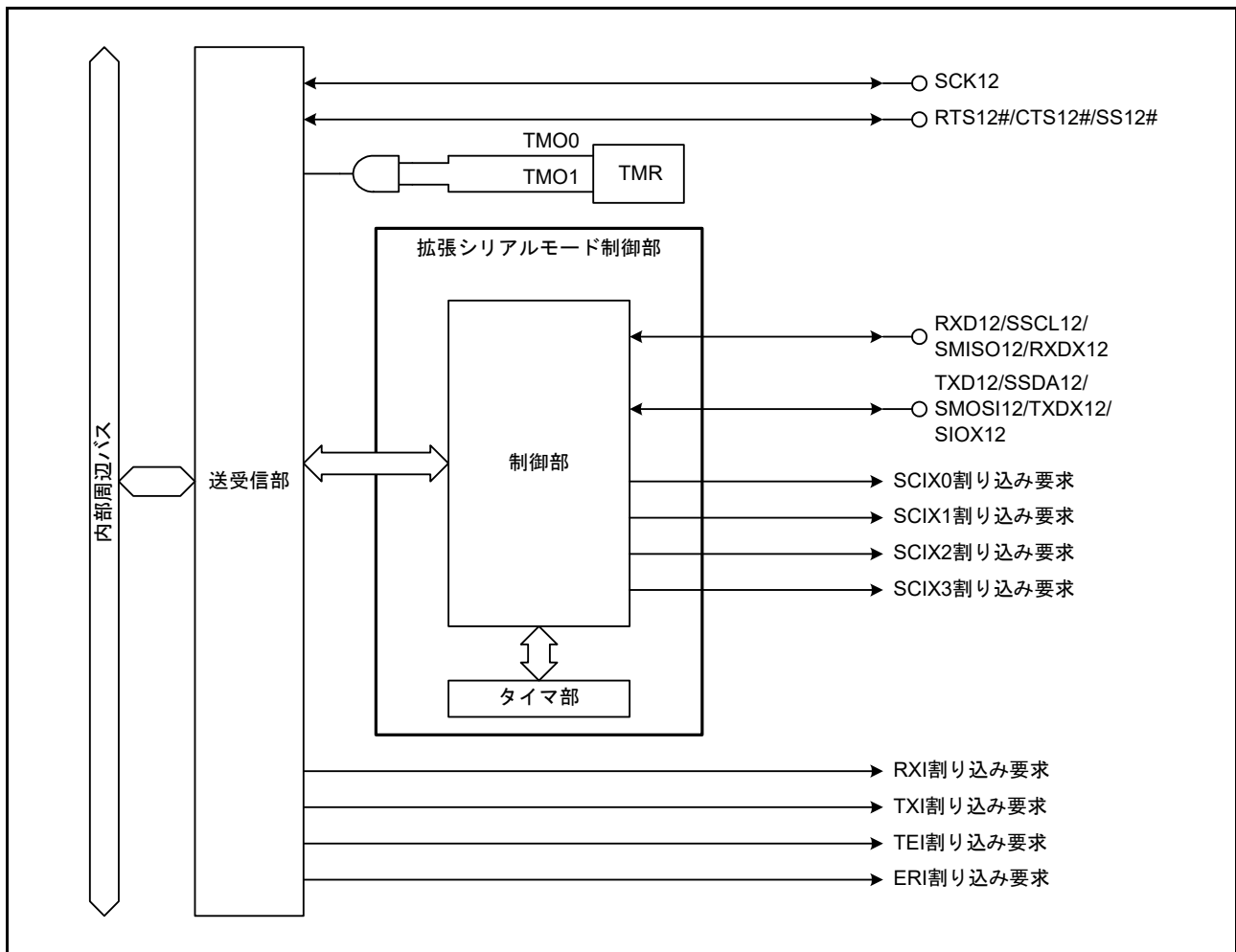


図 35.4 SCIlh (SCI12) のブロック図

表 35.5 ～表 35.8 に SCI の入出力端子をモード別に示します。

表 35.5 SCIの入出力端子(調歩同期式/クロック同期式モード)(1/2)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0	入力	SCI0の受信データ入力端子
	TXD0	出力	SCI0の送信データ出力端子
	CTS0#/RTS0#	入出力	SCI0送受信開始制御用入出力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	RXD2	入力	SCI2の受信データ入力端子
	TXD2	出力	SCI2の送信データ出力端子
	CTS2#/RTS2#	入出力	SCI2送受信開始制御用入出力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	RXD3	入力	SCI3の受信データ入力端子
	TXD3	出力	SCI3の送信データ出力端子
	CTS3#/RTS3#	入出力	SCI3送受信開始制御用入出力端子
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	RXD4	入力	SCI4の受信データ入力端子
	TXD4	出力	SCI4の送信データ出力端子
	CTS4#/RTS4#	入出力	SCI4送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子
SCI7	SCK7	入出力	SCI7のクロック入出力端子
	RXD7	入力	SCI7の受信データ入力端子
	TXD7	出力	SCI7の送信データ出力端子
	CTS7#/RTS7#	入出力	SCI7送受信開始制御用入出力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	RXD8	入力	SCI8の受信データ入力端子
	TXD8	出力	SCI8の送信データ出力端子
	CTS8#/RTS8#	入出力	SCI8送受信開始制御用入出力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9	入力	SCI9の受信データ入力端子
	TXD9	出力	SCI9の送信データ出力端子
	CTS9#/RTS9#	入出力	SCI9送受信開始制御用入出力端子

表 35.5 SCIの入出力端子(調歩同期式/クロック同期式モード)(2/2)

チャンネル	端子名	入出力	機能
SCI10	SCK10	入出力	SCI10のクロック入出力端子
	RXD10	入力	SCI10の受信データ入力端子
	TXD10	出力	SCI10の送信データ出力端子
	CTS10#/RTS10#	入出力	SCI10送受信開始制御用入出力端子
SCI11	SCK11	入出力	SCI11のクロック入出力端子
	RXD11	入力	SCI11の受信データ入力端子
	TXD11	出力	SCI11の送信データ出力端子
	CTS11#/RTS11#	入出力	SCI11送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表 35.6 SCIの入出力端子(簡易I²Cモード)

チャンネル	端子名	入出力	機能
SCI0	SSCL0	入出力	SCI0のI ² Cクロック入出力端子
	SSDA0	入出力	SCI0のI ² Cデータ入出力端子
SCI1	SSCL1	入出力	SCI1のI ² Cクロック入出力端子
	SSDA1	入出力	SCI1のI ² Cデータ入出力端子
SCI2	SSCL2	入出力	SCI2のI ² Cクロック入出力端子
	SSDA2	入出力	SCI2のI ² Cデータ入出力端子
SCI3	SSCL3	入出力	SCI3のI ² Cクロック入出力端子
	SSDA3	入出力	SCI3のI ² Cデータ入出力端子
SCI4	SSCL4	入出力	SCI4のI ² Cクロック入出力端子
	SSDA4	入出力	SCI4のI ² Cデータ入出力端子
SCI5	SSCL5	入出力	SCI5のI ² Cクロック入出力端子
	SSDA5	入出力	SCI5のI ² Cデータ入出力端子
SCI6	SSCL6	入出力	SCI6のI ² Cクロック入出力端子
	SSDA6	入出力	SCI6のI ² Cデータ入出力端子
SCI7	SSCL7	入出力	SCI7のI ² Cクロック入出力端子
	SSDA7	入出力	SCI7のI ² Cデータ入出力端子
SCI8	SSCL8	入出力	SCI8のI ² Cクロック入出力端子
	SSDA8	入出力	SCI8のI ² Cデータ入出力端子
SCI9	SSCL9	入出力	SCI9のI ² Cクロック入出力端子
	SSDA9	入出力	SCI9のI ² Cデータ入出力端子
SCI10	SSCL10	入出力	SCI10のI ² Cクロック入出力端子
	SSDA10	入出力	SCI10のI ² Cデータ入出力端子
SCI11	SSCL11	入出力	SCI11のI ² Cクロック入出力端子
	SSDA11	入出力	SCI11のI ² Cデータ入出力端子
SCI12	SSCL12	入出力	SCI12のI ² Cクロック入出力端子
	SSDA12	入出力	SCI12のI ² Cデータ入出力端子

表 35.7 SCIの入出力端子(簡易SPIモード)(1/2)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	SMISO0	入出力	SCI0のスレーブ送出データ入出力端子
	SMOSI0	入出力	SCI0のマスタ送出データ入出力端子
	SS0#	入力	SCI0チップセレクト入力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	SMISO2	入出力	SCI2のスレーブ送出データ入出力端子
	SMOSI2	入出力	SCI2のマスタ送出データ入出力端子
	SS2#	入力	SCI2チップセレクト入力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	SMISO3	入出力	SCI3のスレーブ送出データ入出力端子
	SMOSI3	入出力	SCI3のマスタ送出データ入出力端子
	SS3#	入力	SCI3チップセレクト入力端子
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	SMISO4	入出力	SCI4のスレーブ送出データ入出力端子
	SMOSI4	入出力	SCI4のマスタ送出データ入出力端子
	SS4#	入力	SCI4チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子
SCI7	SCK7	入出力	SCI7のクロック入出力端子
	SMISO7	入出力	SCI7のスレーブ送出データ入出力端子
	SMOSI7	入出力	SCI7のマスタ送出データ入出力端子
	SS7#	入力	SCI7チップセレクト入力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	SMISO8	入出力	SCI8のスレーブ送出データ入出力端子
	SMOSI8	入出力	SCI8のマスタ送出データ入出力端子
	SS8#	入力	SCI8チップセレクト入力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	SMISO9	入出力	SCI9のスレーブ送出データ入出力端子
	SMOSI9	入出力	SCI9のマスタ送出データ入出力端子
	SS9#	入力	SCI9チップセレクト入力端子
SCI10	SCK10	入出力	SCI10のクロック入出力端子
	SMISO10	入出力	SCI10のスレーブ送出データ入出力端子
	SMOSI10	入出力	SCI10のマスタ送出データ入出力端子
	SS10#	入力	SCI10チップセレクト入力端子

表 35.7 SCIの入出力端子(簡易SPIモード) (2/2)

チャンネル	端子名	入出力	機能
SCI11	SCK11	入出力	SCI11のクロック入出力端子
	SMISO11	入出力	SCI11のスレーブ送出データ入出力端子
	SMOSI11	入出力	SCI11のマスタ送出データ入出力端子
	SS11#	入力	SCI11チップセレクト入力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表 35.8 SCIの入出力端子(拡張シリアルモード)

チャンネル	端子名	入出力	機能
SCI12	RXDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

35.2 レジスタの説明

35.2.1 レシーブシフトレジスタ (RSR)

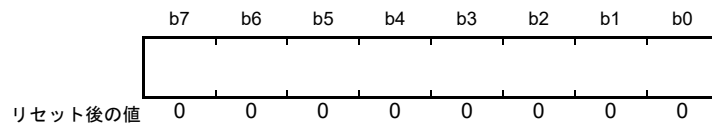
RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

35.2.2 レシーブデータレジスタ (RDR)

アドレス SCI0.RDR 0008 A005h, SCI1.RDR 0008 A025h, SCI2.RDR 0008 A045h, SCI3.RDR 0008 A065h,
SCI4.RDR 0008 A085h, SCI5.RDR 0008 A0A5h, SCI6.RDR 0008 A0C5h, SCI7.RDR 0008 A0E5h,
SCI8.RDR 0008 A105h, SCI9.RDR 0008 A125h, SCI10.RDR 000D 0045h, SCI11.RDR 000D 0065h,
SCI12.RDR 0008 B305h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

35.2.3 レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)

- レシーブデータレジスタ H (RDRH)

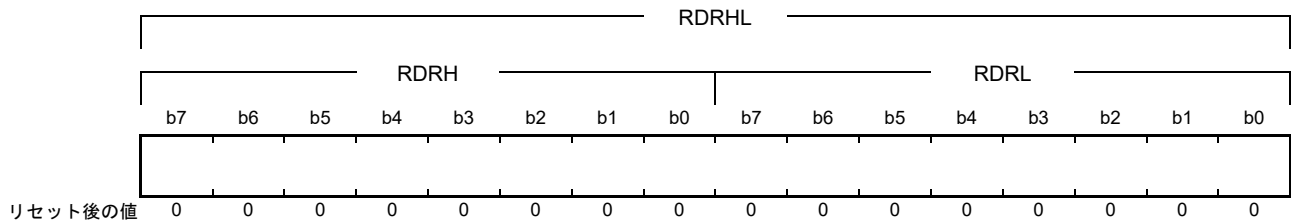
アドレス SCI0.RDRH 0008 A010h, SCI1.RDRH 0008 A030h, SCI2.RDRH 0008 A050h, SCI3.RDRH 0008 A070h, SCI4.RDRH 0008 A090h, SCI5.RDRH 0008 A0B0h, SCI6.RDRH 0008 A0D0h, SCI7.RDRH 0008 A0F0h, SCI8.RDRH 0008 A110h, SCI9.RDRH 0008 A130h, SCI10.RDRH 000D 0050h, SCI11.RDRH 000D 0070h, SCI12.RDRH 0008 B310h

- レシーブデータレジスタ L (RDRL)

アドレス SCI0.RDRL 0008 A011h, SCI1.RDRL 0008 A031h, SCI2.RDRL 0008 A051h, SCI3.RDRL 0008 A071h, SCI4.RDRL 0008 A091h, SCI5.RDRL 0008 A0B1h, SCI6.RDRL 0008 A0D1h, SCI7.RDRL 0008 A0F1h, SCI8.RDRL 0008 A111h, SCI9.RDRL 0008 A131h, SCI10.RDRL 000D 0051h, SCI11.RDRL 000D 0071h, SCI12.RDRL 0008 B311h

- レシーブデータレジスタ HL (RDRHL)

アドレス SCI0.RDRHL 0008 A010h, SCI1.RDRHL 0008 A030h, SCI2.RDRHL 0008 A050h, SCI3.RDRHL 0008 A070h, SCI4.RDRHL 0008 A090h, SCI5.RDRHL 0008 A0B0h, SCI6.RDRHL 0008 A0D0h, SCI7.RDRHL 0008 A0F0h, SCI8.RDRHL 0008 A110h, SCI9.RDRHL 0008 A130h, SCI10.RDRHL 000D 0050h, SCI11.RDRHL 000D 0070h, SCI12.RDRHL 0008 B310h



RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

RDRL レジスタは RDR レジスタのシャドウとなっており、RDRL レジスタへのアクセスは RDR レジスタへのアクセスになります。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこれらのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDRH レジスタおよび RDRL レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

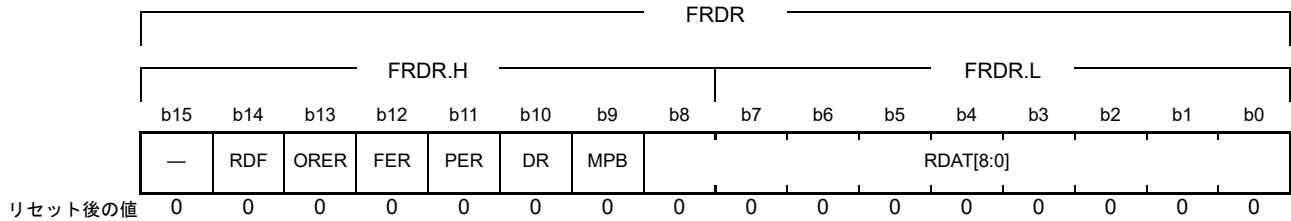
RDRH レジスタおよび RDRL レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに、RDRH レジスタ、RDRL レジスタの順に 1 回だけ行ってください。受信データを RDRL からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDRH レジスタおよび RDRL レジスタへは CPU から書き込みできません。RDRH レジスタの b1 から b7 は“0”に固定されており、読むと“0”が読めます。

RDRHL レジスタとして 16 ビットでもアクセスできます。

35.2.4 受信 FIFO データレジスタ (FRDR)

アドレス SCI10.FRDR 000D 0050h, SCI11.FRDR 000D 0070h,
SCI10.FRDR.H 000D 0050h, SCI11.FRDR.H 000D 0070h,
SCI10.FRDR.L 000D 0051h, SCI11.FRDR.L 000D 0071h



ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	受信データ	受信したデータが読めます	R
b9	MPB	マルチプロセッサビットモニタフラグ	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b10	DR	受信データレディフラグ (注1)	0: FRDR レジスタに有効なデータなし 1: FRDR レジスタに有効なデータあり	R
b11	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R
b12	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R
b13	ORER	オーバランエラーフラグ (注1)	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R
b14	RDF	受信 FIFO フルフラグ (注1)	0: 受信 FIFO 内の未読データ数がしきい値未満 1: 受信 FIFO 内の未読データ数がしきい値以上	R
b15	—	予約ビット	読んだ場合、その値は不定	R

注1. これらのフラグは SSRFIFO レジスタの同名のフラグと同じ内容です。フラグをクリアするには、SSRFIFO レジスタの該当するフラグをクリアしてください。

FRDR レジスタは 16 段の受信 FIFO の先頭データを読み出すためのレジスタです。このレジスタは FCR.FM ビットが“1” (FIFO モード) のとき有効です。

受信 FIFO が空になった後に FRDR レジスタを読むと不定値が読めます。

下位 8 ビット (FRDR.L) を読み出すと、FRDR レジスタの値が受信 FIFO 内の次のデータで更新されます。上位 8 ビット (FRDR.H) のみを読み出しても、FRDR レジスタの値は更新されません。FRDR レジスタを 8 ビットずつ読み出す場合は、FRDR.H、FRDR.L の順に読み出してください。

受信キャラクタ長が 8 ビットの場合、RDAT[8] ビットには“0”が格納され、7 ビットの場合、RDAT[8:7] ビットには“00b”が格納されます。

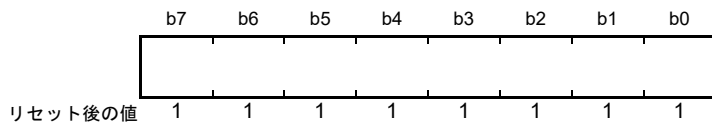
MPB フラグには、受信 FIFO の先頭データに付加されていたマルチプロセッサビットの値が格納されています。FCR.FM ビットが“1” (FIFO モード) のときは、SSR.MPB フラグは使用しません。

FER、PER フラグは、受信 FIFO の先頭データに該当のエラーがあるかどうかを示すフラグです。FRDR レジスタを読み出すごとに、値が更新されます。

RDF、ORER、DR の各フラグは SSRFIFO レジスタの同名のフラグと同じものです。これらのフラグを読んだときにその値が“1”であると、SSRFIFO レジスタの同名のフラグに“0”を書くだけでフラグがクリアできます。

35.2.5 トランスミットデータレジスタ (TDR)

アドレス SCI0.TDR 0008 A003h, SCI1.TDR 0008 A023h, SCI2.TDR 0008 A043h, SCI3.TDR 0008 A063h,
SCI4.TDR 0008 A083h, SCI5.TDR 0008 A0A3h, SCI6.TDR 0008 A0C3h, SCI7.TDR 0008 A0E3h,
SCI8.TDR 0008 A103h, SCI9.TDR 0008 A123h, SCI10.TDR 000D 0043h, SCI11.TDR 000D 0063h,
SCI12.TDR 0008 B303h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

TDR レジスタは CPU からリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

35.2.6 トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)

- トランスミットデータレジスタ H (TDRH)

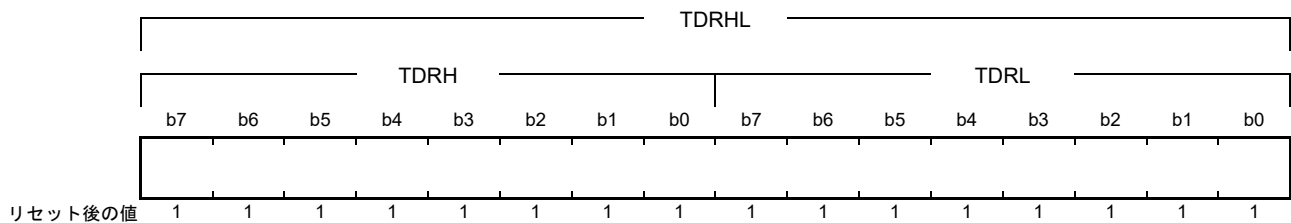
アドレス SCI0.TDRH 0008 A00Eh, SCI1.TDRH 0008 A02Eh, SCI2.TDRH 0008 A04Eh, SCI3.TDRH 0008 A06Eh, SCI4.TDRH 0008 A08Eh, SCI5.TDRH 0008 A0AEh, SCI6.TDRH 0008 A0CEh, SCI7.TDRH 0008 A0EEh, SCI8.TDRH 0008 A10Eh, SCI9.TDRH 0008 A12Eh, SCI10.TDRH 000D 004Eh, SCI11.TDRH 000D 006Eh, SCI12.TDRH 0008 B30Eh

- トランスミットデータレジスタ L (TDRL)

アドレス SCI0.TDRL 0008 A00Fh, SCI1.TDRL 0008 A02Fh, SCI2.TDRL 0008 A04Fh, SCI3.TDRL 0008 A06Fh, SCI4.TDRL 0008 A08Fh, SCI5.TDRL 0008 A0AFh, SCI6.TDRL 0008 A0CFh, SCI7.TDRL 0008 A0EFh, SCI8.TDRL 0008 A10Fh, SCI9.TDRL 0008 A12Fh, SCI10.TDRL 000D 004Fh, SCI11.TDRL 000D 006Fh, SCI12.TDRL 0008 B30Fh

- トランスミットデータレジスタ HL (TDRHL)

アドレス SCI0.TDRHL 0008 A00Eh, SCI1.TDRHL 0008 A02Eh, SCI2.TDRHL 0008 A04Eh, SCI3.TDRHL 0008 A06Eh, SCI4.TDRHL 0008 A08Eh, SCI5.TDRHL 0008 A0AEh, SCI6.TDRHL 0008 A0CEh, SCI7.TDRHL 0008 A0EEh, SCI8.TDRHL 0008 A10Eh, SCI9.TDRHL 0008 A12Eh, SCI10.TDRHL 000D 004Eh, SCI11.TDRHL 000D 006Eh, SCI12.TDRHL 0008 B30Eh



TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

TDRL レジスタは TDR レジスタのシャドウとなっており、TDRL レジスタへのアクセスは TDR レジスタへのアクセスになります。

TSR レジスタに空きを検出すると、TDRH レジスタおよび TDRL レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDRH レジスタおよび TDRL レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDRL レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

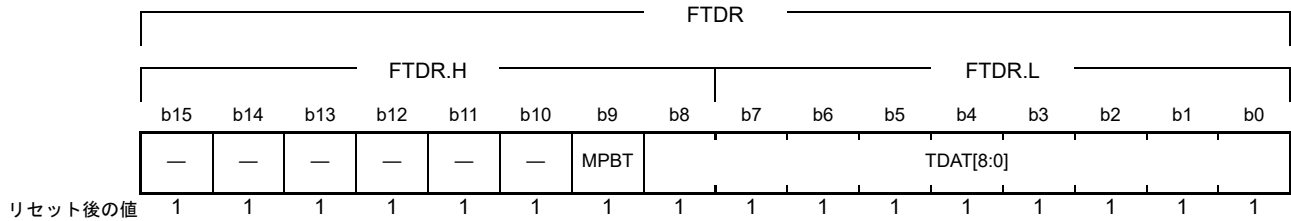
TDRH レジスタおよび TDRL レジスタは CPU からリード/ライト可能です。TDRH レジスタの b1 から b7 は“1”に固定されており、読むと“1”が読めます。書く場合、“1”としてください。

TDRH レジスタおよび TDRL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに、TDRH レジスタ、TDRL レジスタの順に 1 回だけ行ってください。

TDRHL レジスタとして 16 ビットでもアクセスできます。

35.2.7 送信 FIFO データレジスタ (FTDR)

アドレス SCI10.FTDR 000D 004Eh, SCI11.FTDR 000D 006Eh,
SCI10.FTDR.H 000D 004Eh, SCI11.FTDR.H 000D 006Eh,
SCI10.FTDR.L 000D 004Fh, SCI11.FTDR.L 000D 006Fh



ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	送信データ	送信したいデータを書きます	W
b9	MPBT	送信マルチプロセッサビット	送信フレーム中のマルチプロセッサビットの値を指定します 0: データ送信サイクル 1: ID送信サイクル	W
b15-b10	—	予約ビット	“1”を書いてください	W

FTDR レジスタは 16 段の送信 FIFO にデータを書き込むためのレジスタです。このレジスタは FCR.FM ビットが“1” (FIFO モード) かつ SCR.TE ビットが“1” のとき有効です。

送信 FIFO 内に 16 フレーム分のデータが入っているときは、FTDR レジスタに送信データを設定できません。

下位 8 ビット (FTDR.L) に値を書くと、FTDR レジスタの値が送信 FIFO に転送されます。上位 8 ビット (FTDR.H) のみに値を書いた場合、送信 FIFO にデータは転送されません。FTDR レジスタに 16 ビットのデータを 8 ビットずつ書き込む場合、FTDR.H、FTDR.L の順に書き込んでください。

MPBT ビット (送信マルチプロセッサビット)

送信フレームに付加するマルチプロセッサビットの値を設定します。FCR.FM ビットが“1” (FIFO モード) のときは、SSR.MPBT ビットは使用しません。

35.2.8 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

35.2.9 シリアルモードレジスタ (SMR)

SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SC10.SMR 0008 A000h, SC11.SMR 0008 A020h, SC12.SMR 0008 A040h, SC13.SMR 0008 A060h, SC14.SMR 0008 A080h, SC15.SMR 0008 A0A0h, SC16.SMR 0008 A0C0h, SC17.SMR 0008 A0E0h, SC18.SMR 0008 A100h, SC19.SMR 0008 A120h, SC110.SMR 000D 0040h, SC111.SMR 000D 0060h, SC112.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PEビット = 1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) • 送信時 0 : パリティビットなし 1 : パリティビットを付加 • 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効 (注2)) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 0 0 : データ長9ビットで送受信 0 1 : データ長9ビットで送受信 1 0 : データ長8ビットで送受信 (初期値) 1 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モード、または簡易I ² Cモードで動作 1 : クロック同期式モード、または簡易SPIモードで動作	R/W (注4)

注1. nは設定値の10進表示で、「35.2.13 ビットレートレジスタ(BRR)」中のnの値を表します。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7)は送信されません。

注4. SCR.TEビット = 0、SCR.REビット = 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「35.2.13 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット (ストップビットレングスビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティイネーブルビット)

PE ビットが“1” のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット (キャラクタレングスビット)

送受信データのデータ長を SCMR.CHR1 ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC10.SMR 0008 A000h, SMC11.SMR 0008 A020h, SMC12.SMR 0008 A040h, SMC13.SMR 0008 A060h,
SMC14.SMR 0008 A080h, SMC15.SMR 0008 A0A0h, SMC16.SMR 0008 A0C0h, SMC17.SMR 0008 A0E0h,
SMC18.SMR 0008 A100h, SMC19.SMR 0008 A120h, SMC110.SMR 000D 0040h, SMC111.SMR 000D 0060h,
SMC112.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクト ビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロック パルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表 35.9にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモード ビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注2)
b5	PE	パリティ イネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティ チェックを行います。スマートカードインタフェースモードでは、PEビットは “1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送 モードビット	0 : 非ブロック転送モードで動作します 1 : ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0 : 非GSMモードで動作します 1 : GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「35.2.13 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「35.2.13 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2ビットと組み合わせて選択します。

詳細は、「35.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

表 35.9 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「35.2.13 ビットレートレジスタ (BRR)」中のSの値を表します。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「35.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティイネーブルビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「35.6.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu: Elementary Time Unit、1ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「35.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「35.6.8 クロック出力制御」を参照してください。

35.2.10 シリアルコントロールレジスタ (SCR)

注. SCRレジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SCR 0008 A002h, SCI1.SCR 0008 A022h, SCI2.SCR 0008 A042h, SCI3.SCR 0008 A062h, SCI4.SCR 0008 A082h, SCI5.SCR 0008 A0A2h, SCI6.SCR 0008 A0C2h, SCI7.SCR 0008 A0E2h, SCI8.SCR 0008 A102h, SCI9.SCR 0008 A122h, SCI10.SCR 000D 0042h, SCI11.SCR 000D 0062h, SCI12.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	(調歩同期式の場合) b1 b0 0 0: 内蔵ポーレートジェネレータ SCKn端子はハイインピーダンスになります 0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x: 外部クロックまたはTMRクロック (注2) 外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください。 TMRクロック使用時 (注2)は、SCKn端子はハイインピーダンスになります。 (クロック同期式の場合) b1 b0 0 x: 内部クロック SCKn端子はクロック出力端子となります 1 x: 外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	0: TEI割り込み要求を禁止 1: TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	(調歩同期式モードで、SMR.MPビット=1のとき有効) 0: 通常の受信動作 1: マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF, ORER, FERの各ステータスフラグのセット (“1”)を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的に“0”になり、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注3)
b5	TE	トランスミットイネーブルビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注3)
b6	RIE	レシーブインタラプトイネーブル ビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SCI5、SCI6、SCI12のみ選択可能。

注3. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが“0”かつSIMR1のIICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCKn 端子の機能を選択します。

内蔵 TMR クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット (トランスミットエンド インタラプトイネーブルビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にすることで行うことができます。

簡易 I²C モードでは、開始 / 再開 / 停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF、ORER、FER フラグ (SCI10、SCI11 の場合は、DR フラグも) の各ステータスフラグは“1”になりません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「35.4 マルチプロセッサ通信機能」を参照してください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、RDRF、ORER、FER の各フラグ (SCI10、SCI11 の場合は、DR フラグも) のセット (“1”) は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、SSR.MPB ビットを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが“1”の場合) と、RDRF、ORER、FER フラグ (SCI10、SCI11 の場合は、DR フラグも) のセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”を書き込んでください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

FCR.FM ビットが“0” (非 FIFO モード) の場合に、RE ビットを“0”にして受信動作を停止しても、SSR.ORER、FER、PER、RDRF の各フラグは影響を受けず、状態を保持します。

FCR.FM ビットが“1” (FIFO モード) の場合に、RE ビットを“0”にして受信動作を停止しても、SSRFIFO.RDF、ORER、FER、PER、DR フラグは以前の状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

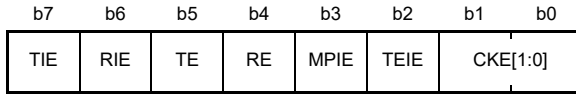
TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC10.SCR 0008 A002h, SMC11.SCR 0008 A022h, SMC12.SCR 0008 A042h, SMC13.SCR 0008 A062h, SMC14.SCR 0008 A082h, SMC15.SCR 0008 A0A2h, SMC16.SCR 0008 A0C2h, SMC17.SCR 0008 A0E2h, SMC18.SCR 0008 A102h, SMC19.SCR 0008 A122h, SMC110.SCR 000D 0042h, SMC111.SCR 000D 0062h, SMC112.SCR 0008 B302h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> • SMR.GMビット=0の場合 b1 b0 0 0 : 出力ディセーブル SCKn端子はハイインピーダンスになります 0 1 : クロック出力 1 x : 設定しないでください • SMR.GMビット=1の場合 b1 b0 0 0 : Low出力固定 x 1 : クロック出力 1 0 : High出力固定 	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ行ってください。

各割り込み要求については、「35.12 割り込み要因」を参照してください。

CKE[1:0] ビット (クロックイネーブルビット)

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「35.6.8 クロック出力制御」を参照してください。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR レジスタの ORER、FER、PER フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

35.2.11 シリアルステータスレジスタ (SSR/SSRFIFO)

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモード、FIFO モードと非 FIFO モードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードかつ非 FIFO モードのとき (SCMR.SMIF ビット = 0、FCR.FM ビット = 0)

アドレス SCI0.SSR 0008 A004h, SCI1.SSR 0008 A024h, SCI2.SSR 0008 A044h, SCI3.SSR 0008 A064h, SCI4.SSR 0008 A084h, SCI5.SSR 0008 A0A4h, SCI6.SSR 0008 A0C4h, SCI7.SSR 0008 A0E4h, SCI8.SSR 0008 A104h, SCI9.SSR 0008 A124h, SCI10.SSR 000D 0044h, SCI11.SSR 000D 0064h, SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに有効なデータなし 1: RDR レジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンptyフラグ	0: TDR レジスタに未送信のデータあり 1: TDR レジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

注2. 書く場合“1”としてください。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1"になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき

TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- データ一致検出機能が無効の場合に、受信中にパリティエラーを検出したとき (SCI0 ~ SCI11)
- 受信中にパリティエラーを検出したとき (SCI12)
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
PER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。
SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1"になる条件]

- データ一致検出機能が無効の場合に、ストップビットの“0”を検出したとき (SCI0 ~ SCI11)
- ストップビットが“0”のとき (SCI12)
2ストップモードのときは、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
FER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。
SCR.RE ビットを“0”にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1"になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”になった状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ORER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

["1"になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0"になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

["1"になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

["0"になる条件]

- TDR レジスタへ送信データを書いたとき

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC10.SSR 0008 A004h, SMC11.SSR 0008 A024h, SMC12.SSR 0008 A044h, SMC13.SSR 0008 A064h, SMC14.SSR 0008 A084h, SMC15.SSR 0008 A0A4h, SMC16.SSR 0008 A0C4h, SMC17.SSR 0008 A0E4h, SMC18.SSR 0008 A104h, SMC19.SSR 0008 A124h, SMC10.SSR 000D 0044h, SMC11.SSR 000D 0064h, SMC12.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT

リセット後の値 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは"0"としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。"0" としてください	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに有効なデータなし 1: RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに未送信のデータあり 1: TDRレジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための"0"書き込みのみ可能です。フラグをクリアする場合は、フラグが"1"であることを確認してから"0"を書いてください。

注2. 書く場合"1"としてください。

TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”になります。

["1"になる条件]

- SCR.TE ビット = 0 (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないとき
セットされるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5 etu 後
SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0 etu 後

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
PER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。
SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ERS フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。
SCR.RE ビットを“0”にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1”になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”になった状態では、以降のシリアル受信を続けることはできません。

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ORER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0”になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへ送信データを書いたとき

(3) 非スマートカードインタフェースモードかつ FIFO モードのとき (SCMR.SMIF ビット = 0、FCR.FM ビット = 1)

アドレス SCI10.SSRFIFO 000D 0044h, SCI11.SSRFIFO 000D 0064h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDFE	RDF	ORER	FER	PER	TEND	—	DR
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ (注1)	0: 受信中、または受信 FIFO が空 1: 受信完了、かつ受信 FIFO 内のデータ数がしきい値未満	R/(W) (注2)
b1	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R/(W) (注2)
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注2)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注2)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注2)
b6	RDF	受信 FIFO フルフラグ	0: 受信 FIFO 内の未読データ数がしきい値未満 1: 受信 FIFO 内の未読データ数がしきい値以上	R/(W) (注2)
b7	TDFE	送信 FIFO エンプティフラグ	0: 送信 FIFO 内の未送信データ数がしきい値を超えた 1: 送信 FIFO 内の未送信データ数がしきい値以下	R/(W) (注2)

注1. 調歩同期式モードでのみ有効です。クロック同期式モードでは“1”になりません。

注2. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

DR フラグ (受信データレディフラグ)

受信が完了した後、受信 FIFO 内のデータ数がしきい値 (FCR.RTRG[3:0]) 未満のまま、15 etu (Elementary Time Unit: 1 ビットの転送期間) の期間が経過したことを示します。

[“1”になる条件]

- 最後に受信したデータにフレーミングエラーもパリティエラーもなく、また、RSR レジスタからデータを転送したときに受信 FIFO 内のデータ数がしきい値未満で、かつ最後のストップビットから 15 etu の期間が経過しても、次の受信が完了しなかったとき

[“0”になる条件]

- 受信 FIFO 内のすべてのデータを読み出し、DR フラグが“1”であることを確認した後、DR フラグに“0”を書き込んだとき
- FCR.FM ビットを“0”から“1”にしたとき

FCR.DRES ビットが“1” (ERI 割り込み) のときに DR フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1" になる条件]

- 送信キャラクタの最終ビットの送信時、FTDR レジスタに有効な送信データがないとき

["0" になる条件]

- SCR.TE ビットが "1" のときに FTDR レジスタに送信データを書き込んだとき
- SCR.TE ビットが "1" のときに、TEND フラグが "1" であることを確認した後、"0" を書き込んだとき
- FCR.FM ビットを "0" から "1" にしたとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードかつデータ一致検出機能無効時に、受信 FIFO 内のいずれかのデータにパリティエラーがあることを示します。

["1" になる条件]

- データ一致検出機能が無効のときに、受信したデータにパリティエラーがあったとき

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき

PER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

非 FIFO モードの場合と異なり、パリティエラーのあるデータを受信した後も受信動作は続きます。

SCR.RE ビットを "0" (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードかつデータ一致検出機能無効時に、受信 FIFO 内のいずれかのデータを受信したときにフレーミングエラーがあったことを示します。

["1" になる条件]

- データ一致検出機能が無効のときに、受信したデータのストップビットが "0" のとき

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき

FER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

非 FIFO モードの場合と異なり、フレーミングエラーのあるデータを受信した後も受信動作は続きます。

SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1" になる条件]

- 受信 FIFO 内に 16 フレーム分のデータがあるときに、次のデータの受信が完了したとき

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき

ORER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDF フラグ (受信 FIFO フルフラグ)

受信 FIFO 内に格納されているデータ数がしきい値 (FCR.RTRG[3:0]) 以上になったことを示します。

[“1”になる条件]

- 受信 FIFO 内のデータ数がしきい値以上になったとき

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
 - DMA 転送または DTC 転送によって FRDR レジスタから受信データが読み出された後(ブロック転送の場合は 1 転送単位の最終データが読み出された後)、受信 FIFO 内のデータ数がしきい値未満であったとき
- “1”になる条件と“0”になる条件が同時に起こったとき、RDF フラグは一旦“0”になります。そのとき受信 FIFO 内のデータ数がしきい値以上であれば、1 PCLK 後に“1”になります。

TDFE フラグ (送信 FIFO エンプティフラグ)

送信 FIFO 内のデータが TSR レジスタに転送されて、送信 FIFO 内に残ったデータ数がしきい値 (FCR.TTRG[3:0]) 以下になったことを示します。

[“1”になる条件]

- SCR.TE ビットが“0”のとき
- 送信 FIFO 内のデータ数がしきい値以下になったとき

[“0”になる条件]

- DMA 転送、DTC 転送によって FTDR レジスタに送信データが書かれた後(ブロック転送の場合は 1 転送単位の最終データが書かれた後)、送信 FIFO 内のデータ数がしきい値を超えていたとき
 - “1”の状態を読み出した後、“0”を書き込んだとき
- SCR.TE ビットを“0”にすると、他の条件に関わらず TDFE フラグは“1”になります。これ以外の“1”になる条件と“0”になる条件が同時に起こったとき、TDFE フラグは一旦“0”になります。そのとき送信 FIFO 内のデータ数がしきい値以下であれば、1 PCLK 後に“1”になります。

DMA 転送、DTC 転送を使用する場合は、TDFE フラグに“0”を書かないでください。

35.2.12 スマートカードモードレジスタ (SCMR)

アドレス SCIO.SCMR 0008 A006h, SCI1.SCMR 0008 A026h, SCI2.SCMR 0008 A046h, SCI3.SCMR 0008 A066h, SCI4.SCMR 0008 A086h, SCI5.SCMR 0008 A0A6h, SCI6.SCMR 0008 A0C6h, SCI7.SCMR 0008 A0E6h, SCI8.SCMR 0008 A106h, SCI9.SCMR 0008 A126h, SCI10.SCMR 000D 0046h, SCI11.SCMR 000D 0066h, SCI12.SCMR 0008 B306h, SMCIO.SCMR 0008 A006h, SMC11.SCMR 0008 A026h, SMC12.SCMR 0008 A046h, SMC13.SCMR 0008 A066h, SMC14.SCMR 0008 A086h, SMC15.SCMR 0008 A0A6h, SMC16.SCMR 0008 A0C6h, SMC17.SCMR 0008 A0E6h, SMC18.SCMR 0008 A106h, SMC19.SCMR 0008 A126h, SMC110.SCMR 000D 0046h, SMC111.SCMR 000D 0066h, SMC112.SCMR 0008 B306h

b7	b6	b5	b4	b3	b2	b1	b0
BCP2	—	—	CHR1	SDIR	SINV	—	SMIF

リセット後の値 1 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I ² Cモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインパートビット (注2、注3)	0: TDRレジスタのデータビットをそのままTSRレジスタに転送、RSRレジスタのデータビットをそのままRDRレジスタに転送 1: TDRレジスタのデータビットを反転してTSRレジスタに転送、RSRレジスタのデータビットを反転してRDRレジスタに転送	R/W (注1)
b3	SDIR	送受信データトランスファディレクションビット(注2、注4)	0: LSBファーストで送受信 1: MSBファーストで送受信	R/W (注1)
b4	CHR1	キャラクタレングスビット1(注5)	SMR.CHRビットと組み合わせて選択します CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信(初期値) 1 1: データ長7ビットで送受信(注6)	R/W (注1)
b6-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します 表35.10にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

注2. スマートカードインタフェースモード、調歩同期式モード(マルチプロセッサモード)、クロック同期式モード、簡易SPIモードで使用可能です。

注3. 簡易I²Cモードで動作させる場合は、“0”にしてください

注4. 簡易I²Cモードで動作させる場合は、“1”にしてください

注5. 調歩同期式モードでのみ有効です。調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注6. LSBファースト固定となり、送信ではTDRレジスタのMSB(b7)は送信されません。

SMIF ビット (スマートカードインタフェース モードセレクトビット)

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

非スマートカードインタフェースモードである調歩同期式(マルチプロセッサモード含む)、クロック同期式モード、簡易SPIモード、および簡易I²Cモードで動作させるときは、“0”を設定します。

SINV ビット (送受信データインパートビット)

データレジスタとシフトレジスタ間のデータ転送時にロジックレベルを反転します。SINVビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PMビットを反転してください。

CHR1 ビット (キャラクタレンクスビット 1)

送受信データのデータ長を選択します。
 SMR.CHR ビットと組み合わせて選択します。
 調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット (基本クロックパルスビット 2)

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

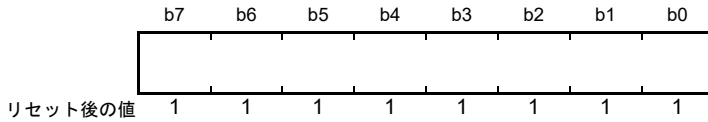
表 35.10 SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR.BCP[1:0] ビット		1 ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「35.2.13 ビットレートレジスタ (BRR)」中のSの値を表します。

35.2.13 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 0008 A001h, SCI1.BRR 0008 A021h, SCI2.BRR 0008 A041h, SCI3.BRR 0008 A061h, SCI4.BRR 0008 A081h, SCI5.BRR 0008 A0A1h, SCI6.BRR 0008 A0C1h, SCI7.BRR 0008 A0E1h, SCI8.BRR 0008 A101h, SCI9.BRR 0008 A121h, SCI10.BRR 000D 0041h, SCI11.BRR 000D 0061h, SCI12.BRR 0008 B301h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 35.11、表 35.12 に示します。

なお、SCI10、SCI11 では、SMR.CM ビットが“1”（クロック同期式モードまたは簡易 SPI モード）かつ、FCR.FM ビットが“1”（FIFO モード）、SMR.CKS[1:0] ビットが“00b”（PCLK）のとき、BRR レジスタに“00h”を設定しないでください。

BRR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 35.11 BRR レジスタの設定値 N とビットレート B の関係 (SCI0 ~ SCI11)

モード	SEMR レジスタの設定			BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
任意	任意	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$	
クロック同期式、簡易 SPI				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注1)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR レジスタの設定値 (0 ≤ N ≤ 255)

PCLK: 周辺モジュールクロック周波数 (MHz)

n と S: 表 35.14、表 35.15 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

表 35.12 BRRレジスタの設定値NとビットレートBの関係 (SCI12)

モード	SEMRレジスタの設定		BRRレジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0		
	1	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易SPI			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C (注1)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR レジスタの設定値 (0 ≤ N ≤ 255)

PCLK: 周辺モジュールクロック周波数 (MHz)

n と S: 表 35.14、表 35.15 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

表 35.13 SCL High/Low幅算出式

モード	SCL	算出式 (秒(s))
I ² C	High幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 35.14 クロックソースの設定

SMR.CKS[1:0]ビットの設定	クロックソース	n
0 0	PCLK	0
0 1	PCLK/4	1
1 0	PCLK/16	2
1 1	PCLK/64	3

表 35.15 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR.BCP[1:0]ビットの設定	1ビット期間中の基本クロックパルス数	S
0	00	93クロック	93
0	01	128クロック	128
0	10	186クロック	186
0	11	512クロック	512
1	00	32クロック	32
1	01	64クロック	64
1	10	372クロック	372
1	11	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 35.16 に、各動作周波数における設定可能な最高ビットレートを表 35.18 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 35.21 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 35.23 に、簡易 I²C モードにおける BRR レジスタの値 N の設定例を表 35.25 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「35.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 35.19、表 35.22 に外部クロック入力時の最高ビットレートを示します。

調歩同期式モードで SEMR.ABCS ビットまたは BGDM ビットのいずれか一方のビットを“1”にしたときのビットレートは表 35.16 の 2 倍に、両ビットとも“1”にしたときのビットレートは 4 倍になります。

表35.16 ビットレートに対するBRRの設定例(調歩同期式モード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

ビット レート (bps)	動作周波数PCLK (MHz)								
	50			60			120 (注1)		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	221	-0.02						
150	3	162	-0.15	3	194	0.16			
300	3	80	0.47	3	97	-0.35	3	194	0.16
600	2	162	-0.15	3	48	-0.35	3	97	-0.35
1200	2	80	0.47	2	97	-0.35	3	48	-0.35
2400	1	162	-0.15	2	48	-0.35	2	97	-0.35
4800	1	80	0.47	1	97	-0.35	2	48	-0.35
9600	0	162	-0.15	1	48	-0.35	1	97	-0.35
19200	0	80	0.47	0	97	-0.35	1	48	-0.35
31250	0	49	0.00	0	59	0.00	0	119	0.00
38400	0	40	-0.76	0	48	-0.35	0	97	-0.35

- 注. SEMR.ABCSビット、SEMR.ABCSEビット、SEMR.BGDMビットがすべて“0”のときの例です。
 ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
 ABCSビット、BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。
 ABCSEビットを“1”にしたときは、ビットレートが16/3倍になります。
- 注1. SCI10、SCI11のみ対応しています。

表 35.17 各動作周波数における最高ビットレート(調歩同期式モード) (SCI0~SCI11)

PCLK (MHz)	SEMRレジスタの設定値					最高ビットレート (bps)	PCLK (MHz)	SEMRレジスタの設定値					最高ビットレート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250000	9.8304	0	0	0	0	0	307200
		1	0	0	0	500000			1	0	0	0	614400
	1	0	0	0	0	1000000		0	0	0	0	1228800	
		1	0	0	0			0					
任意						1333333	任意						1638400
10	0	0	0	0	0	312500	12	0	0	0	0	0	375000
		1	0	0	0	625000			1	0	0	0	750000
	1	0	0	0	0	1250000		0	0	0	0	1500000	
		1	0	0	0			0					
任意						1666667	任意						2000000
12.288	0	0	0	0	0	384000	14	0	0	0	0	0	437500
		1	0	0	0	768000			1	0	0	0	875000
	1	0	0	0	0	1536000		0	0	0	0	1750000	
		1	0	0	0			0					
任意						2048000	任意						2333333
16	0	0	0	0	0	500000	17.2032	0	0	0	0	0	537600
		1	0	0	0	1000000			1	0	0	0	1075200
	1	0	0	0	0	2000000		0	0	0	0	2150400	
		1	0	0	0			0					
任意						2666667	任意						2867200
18	0	0	0	0	0	562500	19.6608	0	0	0	0	0	614400
		1	0	0	0	1125000			1	0	0	0	1228800
	1	0	0	0	0	2250000		0	0	0	0	2457600	
		1	0	0	0			0					
任意						3000000	任意						3276800
20	0	0	0	0	0	625000	25	0	0	0	0	0	781250
		1	0	0	0	1250000			1	0	0	0	1562500
	1	0	0	0	0	2500000		0	0	0	0	3125000	
		1	0	0	0			0					
任意						3333333	任意						4166667
30	0	0	0	0	0	937500	33	0	0	0	0	0	1031250
		1	0	0	0	1875000			1	0	0	0	2062500
	1	0	0	0	0	3750000		0	0	0	0	4125000	
		1	0	0	0			0					
任意						5000000	任意						5500000
40	0	0	0	0	0	1250000	50	0	0	0	0	0	1562500
		1	0	0	0	2500000			1	0	0	0	3125000
	1	0	0	0	0	5000000		0	0	0	0	6250000	
		1	0	0	0			0					
任意						6666667	任意						8333333
60	0	0	0	0	0	1875000	120(注1)	0	0	0	0	0	3750000
		1	0	0	0	3750000			1	0	0	0	7500000
	1	0	0	0	0	7500000		0	0	0	0	15000000	
		1	0	0	0			0					
任意						10000000	任意						20000000

注1. SCI10、SCI11のみ対応しています。

表35.18 各動作周波数における最高ビットレート(調歩同期式モード)(SCI12)

PCLK (MHz)	SEMRレジスタの設定値				最高ビットレート (bps)	PCLK (MHz)	SEMRレジスタの設定値				最高ビットレート (bps)
	BGDMビット	ABCSビット	n	N			BGDMビット	ABCSビット	n	N	
8	0	0	0	0	250000	9.8304	0	0	0	0	307200
		1	0	0	500000			1	0	0	614400
	1	0	0	0	1000000		1	0	0	0	
		1	0	0				1228800			
10	0	0	0	0	312500	12	0	0	0	0	375000
		1	0	0	625000			1	0	0	750000
	1	0	0	0	1250000		1	0	0	0	
		1	0	0				1500000			
12.288	0	0	0	0	384000	14	0	0	0	0	437500
		1	0	0	768000			1	0	0	875000
	1	0	0	0	1536000		1	0	0	0	
		1	0	0				1750000			
16	0	0	0	0	500000	17.2032	0	0	0	0	537600
		1	0	0	1000000			1	0	0	1075200
	1	0	0	0	2000000		1	0	0	0	
		1	0	0				2150400			
18	0	0	0	0	562500	19.6608	0	0	0	0	614400
		1	0	0	1125000			1	0	0	1228800
	1	0	0	0	2250000		1	0	0	0	
		1	0	0				2457600			
20	0	0	0	0	625000	25	0	0	0	0	781250
		1	0	0	1250000			1	0	0	1562500
	1	0	0	0	2500000		1	0	0	0	
		1	0	0				3125000			
30	0	0	0	0	937500	33	0	0	0	0	1031250
		1	0	0	1875000			1	0	0	2062500
	1	0	0	0	3750000		1	0	0	0	
		1	0	0				4125000			
40	0	0	0	0	1250000	50	0	0	0	0	1562500
		1	0	0	2500000			1	0	0	3125000
	1	0	0	0	5000000		1	0	0	0	
		1	0	0				6250000			
60	0	0	0	0	1875000						
		1	0	0	3750000						
	1	0	0	0	7500000						
		1	0	0							

表 35.19 外部クロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCS ビット = 0	SEMR.ABCS ビット = 1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000
50	12.5000	781250	1562500
60	15.0000	937500	1875000
120 (注1)	30.0000	1875000	3750000

注1. SCI10、SCI11のみ対応しています。

表 35.20 TMRクロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	TMRクロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCS ビット = 0	SEMR.ABCS ビット = 1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000
33	16.5	1031250	2062500
40	20	1250000	2500000
50	25	1562500	3125000
60	30	1875000	3750000

表 35.21 ビットレートに対するBRRの設定例(クロック同期式モード、簡易SPIモード)

ビット レート (bps)	動作周波数PCLK (MHz)																					
	8		10		16		20		25		30		33		40		50		60		120 (注1)	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																						
250	3	124	3	155	3	249																
500	2	249	3	77	3	124	3	155	3	194	3	233	3	255								
1k	2	124	2	155	2	249	3	77	3	97	3	116	3	128	3	155	3	194	3	233		
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249	3	77	3	93	3	187
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124	2	155	3	46	3	93
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249	2	77	2	93	3	46
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99	1	124	1	149	2	74
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49	1	61	1	74	1	149
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99	0	124	0	149	1	74
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39	0	49	0	59	1	29
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19	0	24	0	29	1	14
1M	0	1			0	3	0	4	—	—			—	—	0	9	—	—	0	14	0	29
2.5M			0	0 (注2)			0	1			0	2			0	3	0	4	0	5	0	11
5M							0	0 (注2)							0	1			0	2	0	5
7.5M											0	0 (注2)							0	1	0	3

空欄：誤差が5%を超えるため、設定できません。

—：設定可能ですが1～5%の誤差がでます。

注1. SCI10、SCI11のみ対応しています。

注2. SCI10、SCI11では、FCR.FMビットが“1”(FIFOモード)の場合、この設定は使用できません。

FCR.FMビットが“0”(非FIFOモード)、または他のチャンネルでこの設定を使用した場合、連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます(同期クロックの出力が1ビット期間停止します)。そのため、1フレーム(8ビット)のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表 35.22 外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000
33	5.5000	5.5000
40	6.6667	6.6667
50	8.3333	8.3333
60	10.0000	10.0000
120 (注1)	20.0000	20.0000

注1. SCI10、SCI11のみ対応しています。

表 35.23 ビットレートに対するBRRの設定例(スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	-30.00
	10.7136	0	1	-25.00
	13.00	0	1	-8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	-15.99
	20.00	0	2	-6.66
	25.00	0	3	-12.49
	30.00	0	3	5.01
	33.00	0	4	-7.59
	40.00	0	5	-6.66
	50.00	0	6	0.01
	60.00	0	7	5.01
120.00 (注1)	0	16	-1.17	

注1. SCI10、SCI11のみ対応しています。

表 35.24 各動作周波数における最高ビットレート(スマートカードインタフェースモードでS=32のとき)

PCLK (MHz)	最高ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0
50.00	781250	0	0
60.00	937500	0	0
120.00 (注1)	1875000	0	0

注1. SCI10、SCI11のみ対応しています。

表35.25 ビットレートに対するBRRの設定例(簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	30	0.8	0	49	0.0	0	62	-0.8	0	77	0.2
25k	0	9	0.0	0	12	-3.8	1	4	0.0	0	24	0.0	0	30	0.8
50k	0	4	0.0	0	5	4.2	0	9	0.0	0	12	-3.8	2	0	-2.3
100k	0	2	-16.7	1	0	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	0	25.0	0	1	0.0	0	2	-16.7	0	2	4.2
350k										0	1	-10.7	0	2	-25.6

ビット レート (bps)	動作周波数PCLK (MHz)														
	30			33			40			50			60		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	93	-0.3	0	102	0.1	0	124	0.0	1	38	0.2	1	46	-0.3
25k	0	37	-1.3	0	40	0.6	0	49	0.0	0	62	-0.8	0	74	0.0
50k	0	18	-1.3	0	20	-1.8	0	24	0.0	0	30	0.8	0	37	-1.3
100k	0	9	-6.3	0	10	-6.3	0	12	-3.8	2	0	-2.3	0	18	-1.3
250k	1	0	-6.3	1	0	3.1	0	4	0.0	0	5	4.2	1	1	-6.3
350k	0	2	-10.7	0	2	-1.8	1	0	-10.7	0	4	-10.7	0	4	7.1

ビット レート (bps)	動作周波数PCLK (MHz)		
	120 (注1)		
	n	N	誤差 (%)
10k	1	93	-0.3
25k	0	149	0.0
50k	0	74	0.0
100k	0	37	-1.3
250k	0	14	0.0
350k	0	10	-2.6

注1. SCI10、SCI11のみ対応しています。

表35.26 各ビットレート設定でのSCL High/Low幅最小値(簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	0	49	43.75/50.00	0	62	44.10/50.40
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	0	24	17.50/20.00
50k	0	4	8.75/10.00	0	5	8.40/9.60	0	9	8.75/10.00	0	12	9.10/10.40
100k	0	2	5.25/6.00	1	0	5.60/6.40	0	4	4.38/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

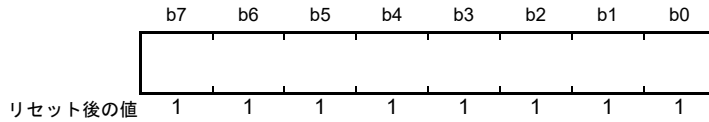
ビット レート (bps)	動作周波数PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	77	43.68/49.92	0	93	43.87/50.13	0	102	43.70/49.94	0	124	43.75/50.00
25k	0	30	17.36/19.84	0	37	17.73/20.27	0	40	17.39/19.88	0	49	17.50/20.00
50k	2	0	8.96/10.24	0	18	8.87/10.13	0	20	8.91/10.18	0	24	8.75/10.00
100k	1	1	4.48/5.12	0	9	4.67/5.33	0	10	4.67/5.33	0	12	4.55/5.20
250k	0	2	1.68/1.92	1	0	1.87/2.13	1	0	1.70/1.94	0	4	1.75/2.00
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	1	0	1.40/1.60

ビット レート (bps)	動作周波数PCLK (MHz)								
	50			60			120 (注1)		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	1	38	43.68/49.92	1	46	43.87/50.13	1	93	43.87/50.13
25k	0	62	17.64/20.16	0	74	17.50/20.00	0	149	17.50/20.00
50k	0	30	8.68/9.92	0	37	8.87/10.13	0	74	8.75/10.00
100k	2	0	4.48/5.12	0	18	4.43/5.07	0	37	4.43/5.07
250k	0	5	1.68/1.92	1	1	1.87/2.13	0	14	1.75/2.00
350k	0	4	1.40/1.60	0	4	1.17/1.33	0	10	1.28/1.47

注1. SCI10、SCI11のみ対応しています。

35.2.14 モジュレーションデューティレジスタ (MDDR)

アドレス SCI0.MDDR 0008 A012h, SCI1.MDDR 0008 A032h, SCI2.MDDR 0008 A052h, SCI3.MDDR 0008 A072h, SCI4.MDDR 0008 A092h, SCI5.MDDR 0008 A0B2h, SCI6.MDDR 0008 A0D2h, SCI7.MDDR 0008 A0F2h, SCI8.MDDR 0008 A112h, SCI9.MDDR 0008 A132h, SCI10.MDDR 000D 0052h, SCI11.MDDR 000D 0072h, SCI12.MDDR 0008 B312h



MDDR レジスタは BRR レジスタにより調整されたビットレートを補正するためのレジスタです。SEMR.BRME ビットが“1”にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に $M/256$ に補正します。MDDR レジスタの設定値 M とビットレート B の関係を表 35.27、表 35.28 に示します。

MDDR レジスタに設定できる値の範囲は、“80h”以上“FFh”以下です。これ以外の値は設定できません。MDDR レジスタへの書き込みは、SCR.TE ビット=0、SCR.RE ビット=0 の場合のみ可能です。

表 35.27 ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係 (SCI0～SCI11)

モード	SEMR レジスタの設定			BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
任意	任意	任意	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	0	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI (注1)				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注2)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR レジスタの設定値 ($128 \leq M \leq 255$)N: ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLK: 動作周波数 (MHz)

n と S: 「35.2.13 ビットレートレジスタ (BRR)」表 35.14、表 35.15 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. クロック同期モードおよび簡易SPIモードの最高速設定 (SMR.CKS[1:0]ビット=00b、かつSCR.CKE[1]ビット=0、かつBRR=0)では、本機能を使用しないでください。

注2. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

表 35.28 ビットレートモジュレーション機能使用時のMDDRレジスタ設定値MとビットレートBの関係 (SCI12)

モード	SEMRレジスタの設定		BRRレジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	1	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易SPI (注1)			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C (注2)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR レジスタの設定値 ($128 \leq M \leq 255$)

N: ボーレートジェネレータのBRRの設定値 ($0 \leq N \leq 255$)

PCLK: 動作周波数 (MHz)

n と S: 「35.2.13 ビットレートレジスタ (BRR)」表 35.14、表 35.15 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. クロック同期モードおよび簡易SPIモードの最高速設定 (SMR.CKS[1:0]ビット=00b、かつSCR.CKE[1]ビット=0、かつBRR=0)では、本機能を使用しないでください。

注2. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

なお、SMR.CKS[1:0] ビットの設定値を小さく、BRR レジスタの設定値を大きくした方が、1 ビット期間の長さの長短差が小さくなります。

35.2.15 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 0008 A007h, SCI1.SEMR 0008 A027h, SCI2.SEMR 0008 A047h, SCI3.SEMR 0008 A067h, SCI4.SEMR 0008 A087h, SCI5.SEMR 0008 A0A7h, SCI6.SEMR 0008 A0C7h, SCI7.SEMR 0008 A0E7h, SCI8.SEMR 0008 A107h, SCI9.SEMR 0008 A127h, SCI10.SEMR 000D 0047h, SCI11.SEMR 000D 0067h, SCI12.SEMR 0008 B307h

b7	b6	b5	b4	b3	b2	b1	b0
RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	ITE	ACS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードでのみ有効) 0: 外部クロック 1: TMRから出力される2つのコンペアマッチ出力の論理積(SCI5、SCI6、SCI12のみ有効) SCIのチャンネルごとに使用できるコンペアマッチ出力が異なります	R/W (注1)
b1	ITE	即時送信許可ビット(注2)	(調歩同期式モードでのみ有効) 0: 送信許可からデータ送信の開始までに内部待機期間あり 1: 送信許可にするとともにデータ送信開始	R/W (注1)
b2	BRME	ビットレートモジュレーションイネーブルビット	0: ビットレートモジュレーション機能無効 1: ビットレートモジュレーション機能有効	R/W (注1)
b3	ABCSE	調歩同期基本クロックセレクト拡張ビット(注2)	(調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0: 1ビット期間の転送レートはBGDMビットとABCSビットの設定に従う 1: 基本クロック6サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードでのみ有効) 0: 基本クロック16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn、SSDAn入力信号のノイズ除去機能無効 1: SSCLn、SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モードセレクトビット	(調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0: ポーレートジェネレータから通常の周波数のクロックを出力 1: ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	(調歩同期式モードでのみ有効) 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

注2. SCI12では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

ACS0 ビット (調歩同期クロックソースセレクトビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード (SMR.CM ビット = 0) で、外部クロック入力 (SCR.CKE[1:0] ビット = 10b, 11b) のときに有効です。外部クロックまたは、内蔵 TMR のコンペアマッチ出力の論理積を選択できます。

調歩同期式モード以外では、ACS0 ビットを“0”にしてください。

SCI5、SCI6、SCI12 では、TMR ユニット 0、1 の TMO_n (n = 0 ~ 3 出力を基本クロックソースにすることができます。詳細は表 35.29 を参照してください。

SCI0 ~ SCI4、SCI7 ~ SCI11 の ACS0 ビットは予約ビットです。SCI0 ~ SCI4、SCI7 ~ SCI11 では“0”にしてください。

表 35.29 SCIのチャネルと使用できるコンペアマッチ出力

SCI	TMR	コンペアマッチ出力
SCI5	ユニット0	TMO0, TMO1
SCI6	ユニット1	TMO2, TMO3
SCI12	ユニット0	TMO0, TMO1

TMR ユニット 0 の TMO0、TMO1 出力を選択したときの設定例を図 35.5 に示します。

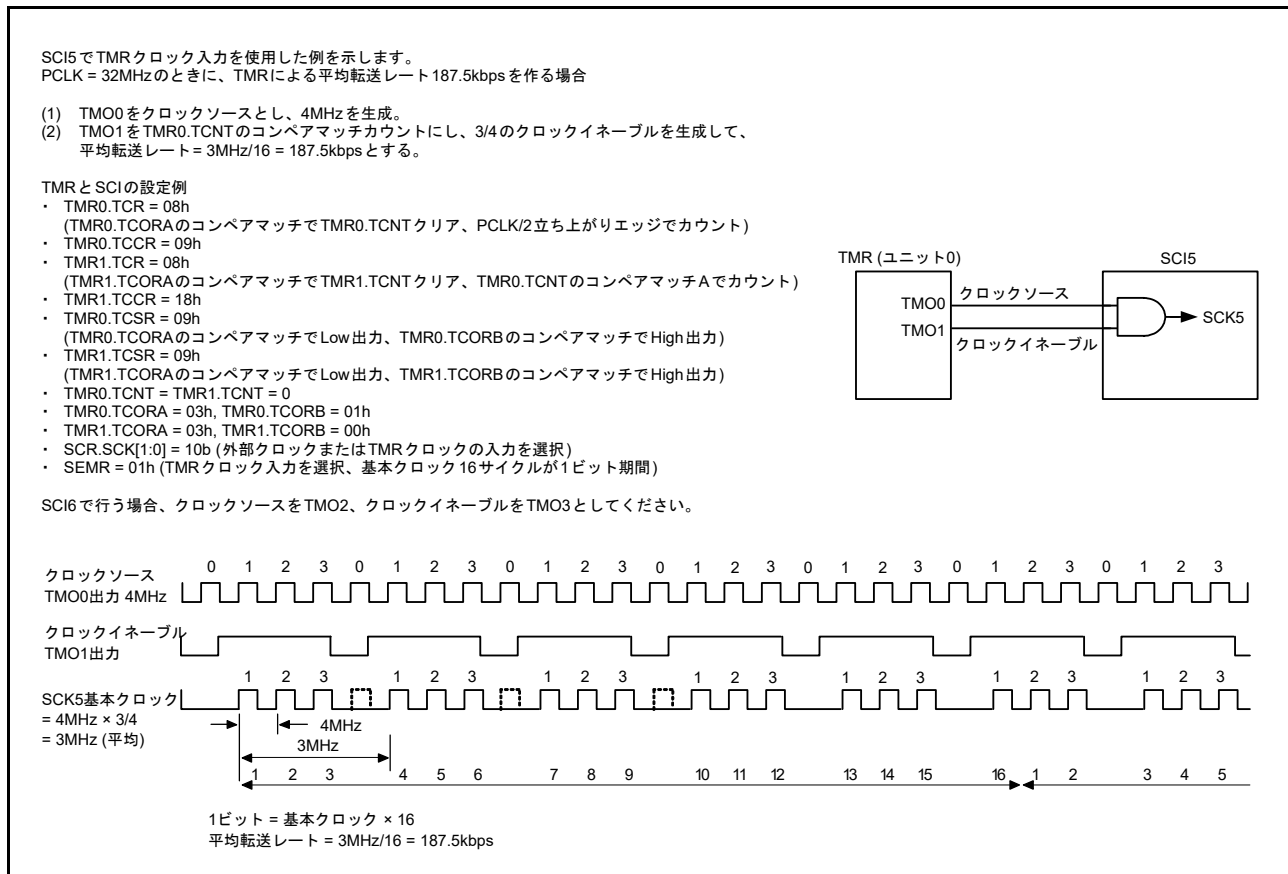


図 35.5 TMR クロック入力時の平均転送レート設定例

ITE ビット (即時送信許可ビット)

調歩同期式モードにおいて、内部待機期間なしでデータ送信を開始させるためのビットです。“0”の場合、SCR.TE ビットを“1”にしてからデータ送信が開始されるまでに、1 フレーム分の内部待機期間を確保します。“1”にすると、SCR.TE ビットを“1”にした直後にデータ送信が開始されます。

BRME ビット (ビットレートモジュレーションイネーブルビット)

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ポーレートジェネレータにより生成されるビットレートを平均的に補正します。

ABCSE ビット (調歩同期基本クロックセレクト拡張ビット)

このビットを“1”にすると、基本クロック 6 サイクルの期間が 1 ビット期間の転送レートになります。また、内蔵ポーレートジェネレータから 2 倍の周波数のクロックが出力されます。

調歩同期式モード (SMR.CM ビット = 0) で、クロックソースに内蔵ポーレートジェネレータを選択 (SCR.CKE[1] ビット = 0) したときに有効です。

なお、ビットレートを PCLK の 1/6 の周波数にする場合は、このビットを“1”にするとともに、SMR.CKS[1:0] ビットを“00b”に、BRR レジスタを“00h”にしてください。

NFEN ビット (デジタルノイズフィルタ機能イネーブルビット)

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I²C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

BGDM ビット (ポーレートジェネレータ倍速モードセレクトビット)

ポーレートジェネレータの出力クロックの周期を選択します。

調歩同期式モード (SMR.CM ビット = 0) で、クロックソースに内蔵ポーレートジェネレータを選択 (SCR.CKE[1] ビット = 0) したときに有効です。内蔵ポーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ポーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット = 1 を設定すると基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード以外では“0”を設定してください。

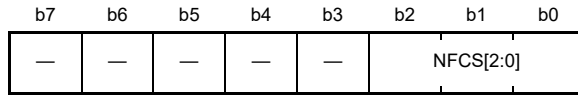
RXDESEL ビット (調歩同期スタートビットエッジ検出セレクトビット)

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は“1”を設定してください。

調歩同期式モード以外では“0”を設定してください。

35.2.16 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 0008 A008h, SCI1.SNFR 0008 A028h, SCI2.SNFR 0008 A048h, SCI3.SNFR 0008 A068h, SCI4.SNFR 0008 A088h, SCI5.SNFR 0008 A0A8h, SCI6.SNFR 0008 A0C8h, SCI7.SNFR 0008 A0E8h, SCI8.SNFR 0008 A108h, SCI9.SNFR 0008 A128h, SCI10.SNFR 000D 0048h, SCI11.SNFR 000D 0068h, SCI12.SNFR 0008 B308h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	<p>調歩同期式モード時、基本クロック基準で b2 b0 0 0 0 : 1分周のクロックをノイズフィルタに使用</p> <p>簡易I²Cモード時、SMR.CKS[1:0]ビットで選択した内蔵 ポーレートジェネレータのクロックソース基準で b2 b0 0 0 1 : 1分周のクロックをノイズフィルタに使用 0 1 0 : 2分周のクロックをノイズフィルタに使用 0 1 1 : 4分周のクロックをノイズフィルタに使用 1 0 0 : 8分周のクロックをノイズフィルタに使用</p> <p>上記以外は設定しないでください</p>	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

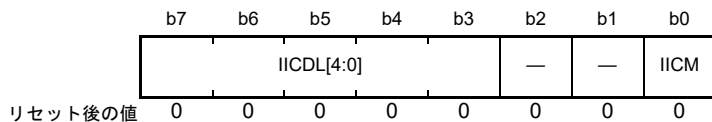
NFCS[2:0] ビット (ノイズフィルタクロックセレクトビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b”を設定してください。簡易I²Cモード時は“001b”～“100b”の中で設定してください。

35.2.17 I²C モードレジスタ 1 (SIMR1)

アドレス SCI0.SIMR1 0008 A009h, SCI1.SIMR1 0008 A029h, SCI2.SIMR1 0008 A049h, SCI3.SIMR1 0008 A069h,
SCI4.SIMR1 0008 A089h, SCI5.SIMR1 0008 A0A9h, SCI6.SIMR1 0008 A0C9h, SCI7.SIMR1 0008 A0E9h,
SCI8.SIMR1 0008 A109h, SCI9.SIMR1 0008 A129h, SCI10.SIMR1 000D 0049h, SCI11.SIMR1 000D 0069h,
SCI12.SIMR1 0008 B309h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I ² Cモードセレクトビット	SMIF IICM 0 0: 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易 SPIモード) 0 1: 簡易I ² Cモード 1 0: スマートカードインタフェースモード 1 1: 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 00000: 出力遅延なし 00001: 0~1サイクル 00010: 1~2サイクル 00011: 2~3サイクル 00100: 3~4サイクル 00101: 4~5サイクル : : 11110: 29~30サイクル 11111: 30~31サイクル	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR1レジスタは、簡易I²Cモード、およびSSDA出力遅延段数を選択するためのレジスタです。

IICMビット (簡易I²Cモードセレクトビット)

SCMR.SMIFビットとの組み合わせで、動作モードを選択します。

IICDL[4:0]ビット (SSDA出力遅延セレクトビット)

SSCLn端子出力の立ち上がりに対するSSDAn端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを1サイクルとし、遅延なし~31サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLKをSMR.CKS[1:0]ビットの設定により分周されたクロックを指します。簡易I²Cモード以外では“00000b”を設定してください。簡易I²Cモード時は、“00001b”~“11111b”のいずれかを設定してください。

35.2.18 I²C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 0008 A00Ah, SCI1.SIMR2 0008 A02Ah, SCI2.SIMR2 0008 A04Ah, SCI3.SIMR2 0008 A06Ah, SCI4.SIMR2 0008 A08Ah, SCI5.SIMR2 0008 A0AAh, SCI6.SIMR2 0008 A0CAh, SCI7.SIMR2 0008 A0EAh, SCI8.SIMR2 0008 A10Ah, SCI9.SIMR2 0008 A12Ah, SCI10.SIMR2 000D 004Ah, SCI11.SIMR2 000D 006Ah, SCI12.SIMR2 0008 B30Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	IICACK T	—	—	—	IICCSC	IICINT M

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモードセレクトビット)

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCSC ビットに“1”を設定します。

IICCSC ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

デバッグ時を除いて IICCSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

35.2.19 I²C モードレジスタ 3 (SIMR3)

アドレス SCI0.SIMR3 0008 A00Bh, SCI1.SIMR3 0008 A02Bh, SCI2.SIMR3 0008 A04Bh, SCI3.SIMR3 0008 A06Bh, SCI4.SIMR3 0008 A08Bh, SCI5.SIMR3 0008 A0ABh, SCI6.SIMR3 0008 A0CBh, SCI7.SIMR3 0008 A0EBh, SCI8.SIMR3 0008 A10Bh, SCI9.SIMR3 0008 A12Bh, SCI10.SIMR3 000D 004Bh, SCI11.SIMR3 000D 006Bh, SCI12.SIMR3 0008 B30Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	IICSCLS[1:0]		IICSDAS[1:0]		IICSTIF	IICSTP REQ	IICRST AREQ	IICSTA REQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開条件生成ビット	0 : 再開条件を生成しない 1 : 再開条件を生成 (注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSDAn端子はLowを出力 1 1 : SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

注1. SSCLn端子とSSDAn端子が両方もHigh (それぞれの端子に対応するPIDRレジスタのビットが“1”)のときに開始条件生成を行ってください。

注2. SSCLn端子がLow (対応するPIDRレジスタのビットが“0”)のときに再開条件生成または停止条件生成を行ってください。

注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。

注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。

注5. “1”の状態でも“0”を書き込まないでください。“1”の状態でも“0”を書きこむと、コンディション生成が中断します。

SIMR3レジスタは、簡易I²Cモードの開始条件、停止条件生成、および、SSDAn端子、SSCLn端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット (開始条件生成ビット)

開始条件の生成を行うときは、IICSTAREQビットを“1”にするとともに、IICSDAS[1:0]ビット、IICSCLS[1:0]ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット (再開条件生成ビット)

再開条件の生成を行うときは、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成ビット)

停止条件の生成を行うときは、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始 / 再開 / 停止条件生成完了フラグ)

各条件生成実行後、生成完了した状態を示します。IICRSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開 / 停止条件生成完了割り込み (STI) 要求が出力されます。

["1"になる条件]

- 開始 / 再開 / 停止の各条件の生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。)

["0"になる条件]

- “0”を書き込んだとき (IICSTIF フラグが“0”になったことを確認してください。)
- SIMR1.IICM ビットが“0”のとき (簡易 I²C モード以外の場合)
- SCR.TE ビットが“0”のとき

IICSDAS[1:0] ビット (SSDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット (SSCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

35.2.20 I²C ステータスレジスタ (SISR)

アドレス SCI0.SISR 0008 A00Ch, SCI1.SISR 0008 A02Ch, SCI2.SISR 0008 A04Ch, SCI3.SISR 0008 A06Ch, SCI4.SISR 0008 A08Ch, SCI5.SISR 0008 A0ACh, SCI6.SISR 0008 A0CCh, SCI7.SISR 0008 A0ECh, SCI8.SISR 0008 A10Ch, SCI9.SISR 0008 A12Ch, SCI10.SISR 000D 004Ch, SCI11.SISR 000D 006Ch, SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACKR
リセット後の値	0	0	x	x	0	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。

IICACKR フラグ (ACK 受信データフラグ)

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCLn クロックの立ち上がりのタイミングで更新されます。

35.2.21 SPI モードレジスタ (SPMR)

アドレス SCI0.SPMR 0008 A00Dh, SCI1.SPMR 0008 A02Dh, SCI2.SPMR 0008 A04Dh, SCI3.SPMR 0008 A06Dh, SCI4.SPMR 0008 A08Dh, SCI5.SPMR 0008 A0ADh, SCI6.SPMR 0008 A0CDh, SCI7.SPMR 0008 A0EDh, SCI8.SPMR 0008 A10Dh, SCI9.SPMR 0008 A12Dh, SCI10.SPMR 000D 004Dh, SCI11.SPMR 000D 006Dh, SCI12.SPMR 0008 B30Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn#端子機能イネーブルビット	0 : SSn#端子機能禁止 1 : SSn#端子機能許可	R/W (注1)
b1	CTSE	CTSイネーブルビット	0 : CTS機能禁止(RTS出力機能有効) 1 : CTS機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0 : SMOSIn端子 : 送信、SMISOn端子 : 受信(マスタモード) 1 : SMOSIn端子 : 受信、SMISOn端子 : 送信(スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0 : クロック極性反転なし 1 : クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0 : クロック遅れなし 1 : クロック遅れあり	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMRレジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SSn# 端子機能イネーブルビット)

SSn# 端子を用いて送受信制御を行う場合(簡易 SPI モード)は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易 SPI モードでも、マスタモード(SCR.CKE[1:0]ビット=00bかつMSSビット=0)かつシングルマスタで使用するときは、マスタ側のSSn#端子を用いた送受信制御は不要であり、SSEビットは“0”を設定します。SSEビット、CTSEビットの両方を有効にしないでください(設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

CTSE ビット (CTS イネーブルビット)

SSn# 端子をCTS制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態ではRTSn#信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²Cモード時は“0”を設定してください。CTSEビット、SSEビットの両方を有効にしないでください(設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

MSS ビット (マスタスレーブセレクトビット)

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSSビットを“1”にすると、SMOSIn端子から受信データを入力し、SMISOn端子から送信データを出力します。

簡易 SPI モード以外では“0”にしてください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

[“1”になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット = 1 かつ MSS ビット = 0) に、SSn# 端子入力が Low になったとき

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

CKPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。詳細は、[図 35.64](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

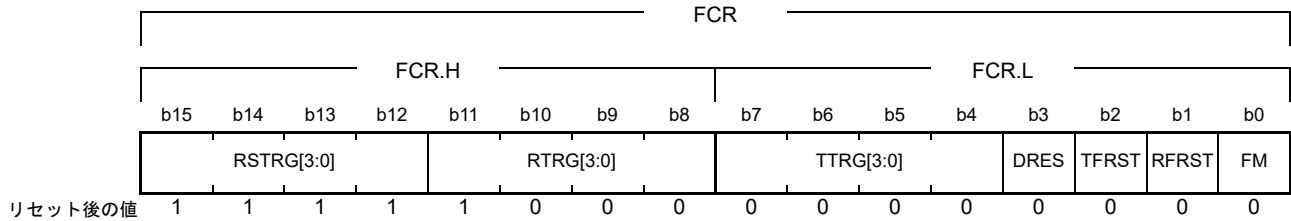
CKPH ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、[図 35.64](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

35.2.22 FIFO コントロールレジスタ (FCR)

アドレス SCI10.FCR 000D 0054h, SCI11.FCR 000D 0074h,
SCI10.FCR.H 000D 0054h, SCI11.FCR.H 000D 0074h,
SCI10.FCR.L 000D 0055h, SCI11.FCR.L 000D 0075h



ビット	シンボル	ビット名	機能	R/W
b0	FM	FIFOモード選択ビット (注1)	0 : 非FIFOモード(TDR、RDRレジスタを送受信に使用) 1 : FIFOモード(FTDR、FRDRレジスタを送受信に使用)	R/W (注2)
b1	RFRST	受信FIFOリセットビット (注3)	“1”を書くと受信FIFOの格納データ数を“0”にします	R/W
b2	TFRST	送信FIFOリセットビット (注3)	“1”を書くと送信FIFOの格納データ数を“0”にします	R/W
b3	DRES	受信データレディ割り込み選択ビット	0 : 受信データフル割り込み(RXI) 1 : エラー割り込み(ERI)	R/W (注2)
b7-b4	TTRG[3:0]	送信FIFOしきい値設定ビット (注1)	SSRFIFO.TDFEフラグを“1”にするしきい値を設定します。 b7 b4 0 0 0 0 : 送信FIFO内のデータ数が0のとき 0 0 0 1 : 送信FIFO内のデータ数が1以下のとき : : 1 1 1 1 : 送信FIFO内のデータ数が15以下のとき	R/W
b11-b8	RTRG[3:0]	受信FIFOしきい値設定ビット (注1)	SSRFIFO.RDFフラグを“1”にするしきい値を設定します。 b11 b8 0 0 0 0 : 設定しないでください 0 0 0 1 : 受信FIFO内のデータ数が1以上のとき : : 1 1 1 1 : 受信FIFO内のデータ数が15以上のとき	R/W
b15-b12	RSTRG[3:0]	RTSn#出力しきい値設定ビット (注4)	RTSn#端子をHighにするしきい値を設定します。 b15 b12 0 0 0 0 : 設定しないでください 0 0 0 1 : 受信FIFO内のデータ数が1以上のとき : : 1 1 1 1 : 受信FIFO内のデータ数が15以上のとき	R/W

注1. 調歩同期式モードまたはクロック同期式モードでのみ有効。

注2. SCR.TEビット、REビットがともに“0”のときのみ書き換え可能です。

注3. FMビットが“1”のときのみ有効。

注4. FMビットが“1”、かつSPMR.CTSEビットとSPMR.SSEビットが両方も“0” (RTSn#出力機能有効)のとき有効です。

FM ビット (FIFO モード選択ビット)

FIFO モードを有効にするためのビットです。“1”にするとFIFOが有効になり、送受信に使用するデータレジスタがFTDR、FRDRレジスタになります。

“0”にするとFIFOが無効になり、送受信に使用するデータレジスタがTDR、RDRレジスタまたはTDRHL、TDRH、TDRL、RDRHL、RDRH、RDRLレジスタになります。

調歩同期式モードまたはクロック同期式モードのときのみ有効です。その他のモードでは“0”にしてください。このビットを書き換える場合は、送受信禁止のときに行ってください。

RFRST ビット (受信FIFOリセットビット)

RFRSTビットを“1”にするとFDR.R[4:0]ビットの値が“0”になります。RFRSTビットの値は1PCLK後に自動的に“0”に戻ります。

TFRST ビット (送信 FIFO リセットビット)

TFRST ビットを“1”にすると FDR.T[4:0] ビットの値が“0”になります。TFRST ビットの値は 1 PCLK 後に自動的に“0”に戻ります。

DRES ビット (受信データレディ割り込み選択ビット)

SSRFIFO.DR フラグが“1”になったときに生成する割り込み要求を選択するビットです。

“0”にすると DR フラグが“1”のときに受信データフル割り込み (RXI) 要求が生成され、“1”にすると受信エラー割り込み (ERI) 要求が生成されます。

TTRG[3:0] ビット (送信 FIFO しきい値設定ビット)

FDR.T[4:0] ビットの値が TTRG[3:0] ビットで設定した値以下になると、SSRFIFO.TDFE フラグが“1”になります。このとき SCR.TIE ビットが“1”であると、送信データエンプティ割り込み (TXI) 要求が発生します。

RTRG[3:0] ビット (受信 FIFO しきい値設定ビット)

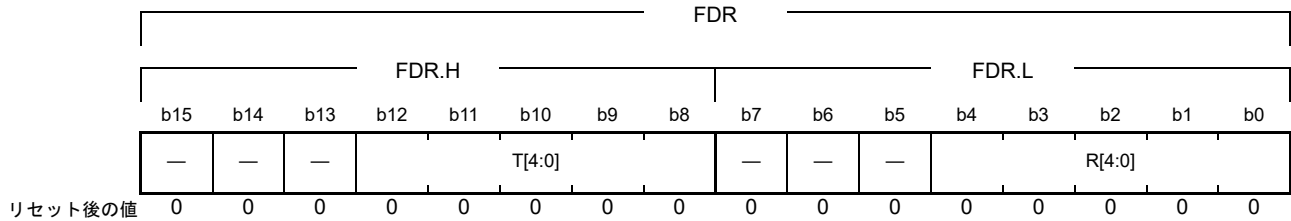
FDR.R[4:0] ビットの値が RTRG[3:0] ビットで設定した値以上になると、SSRFIFO.RDF フラグが“1”になります。このとき SCR.RIE ビットが“1”であると、受信データフル割り込み (RXI) 要求が発生します。

RSTRG[3:0] ビット (RTSn# 出力しきい値設定ビット)

FDR.R[4:0] ビットの値が RSTRG[3:0] ビットで設定した値以上になると、RTSn# 端子が High になります。この機能を使用する場合は、SPMR.CTSE ビットと SPMR.SSE ビットを両方とも“0”にして、RTSn# 出力機能を有効にしてください。

35.2.23 FIFO データカウントレジスタ (FDR)

アドレス SCI10.FDR 000D 0056h, SCI11.FDR 000D 0076h,
SCI10.FDR.H 000D 0056h, SCI11.FDR.H 000D 0076h,
SCI10.FDR.L 000D 0057h, SCI11.FDR.L 000D 0077h



ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	受信 FIFO データカウントビット (注1)	受信 FIFO 内に格納されているデータの数を示します	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	T[4:0]	送信 FIFO データカウントビット (注1)	送信 FIFO 内に格納されているデータの数を示します	R
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. 調歩同期式モードまたはクロック同期式モードでのみ有効。

R[4:0] ビット (受信 FIFO データカウントビット)

受信 FIFO 内の受信済みデータ数を示します。“00h”は FIFO 内に受信済みデータがないことを、“10h”は FIFO 内に 16 フレームの受信済みデータが格納されていることを示します。

“11h”～“1Fh”にはなりません。

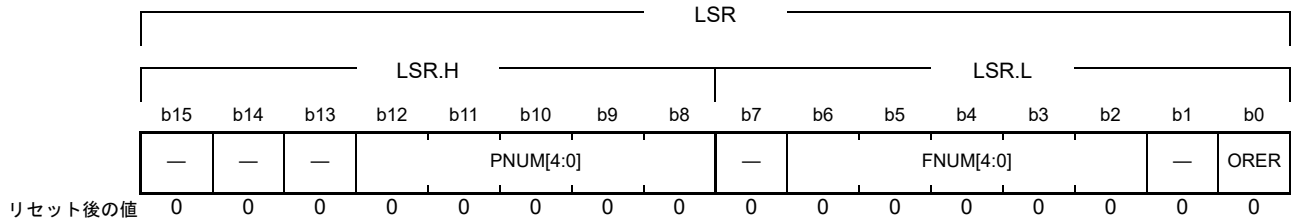
T[4:0] ビット (送信 FIFO データカウントビット)

送信 FIFO 内の未送信データ数を示します。“00h”は FIFO 内に未送信データがないことを、“10h”は FIFO 内に 16 フレームの未送信データが格納されていることを示します。

“11h”～“1Fh”にはなりません。

35.2.24 ラインステータスレジスタ (LSR)

アドレス SCI10.LSR 000D 0058h, SCI11.LSR 000D 0078h,
SCI10.LSR.H 000D 0058h, SCI11.LSR.H 000D 0078h,
SCI10.LSR.L 000D 0059h, SCI11.LSR.L 000D 0079h



ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバランエラーフラグ (注1)	SSRFIFO.ORERフラグと同じ値が読めます 0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R (注2)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6-b2	FNUM[4:0]	フレーミングエラーカウントビット	受信FIFO内に格納されているデータの内、フレーミングエラーのあるデータの数を示します	R
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	PNUM[4:0]	パリティエラーカウントビット	受信FIFO内に格納されているデータの内、パリティエラーのあるデータの数を示します	R
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. FIFOモードで、かつ調歩同期式モードまたはクロック同期式モードでのみ有効。

注2. このフラグをクリアするには、SSRFIFO.ORERフラグが“1”であることを確認してからSSRFIFO.ORERフラグに“0”を書いてください。

ORER フラグ (オーバランエラーフラグ)

オーバランエラーが発生すると“1”になります。SSRFIFO.ORER フラグの値が反映されます。このフラグをクリアするには、SSRFIFO.ORER フラグを“0”にしてください。

FNUM[4:0] ビット (フレーミングエラーカウントビット)

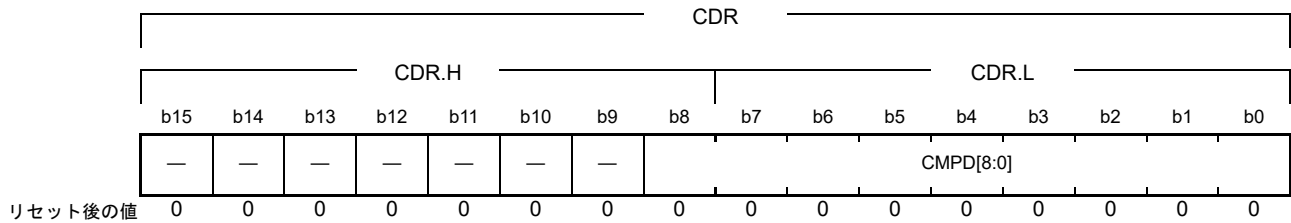
受信 FIFO 内の受信済みデータの内、フレーミングエラーが発生したデータの数を示します。

PNUM[4:0] ビット (パリティエラーカウントビット)

受信 FIFO 内の受信済みデータの内、パリティエラーが発生したデータの数を示します。

35.2.25 比較データレジスタ (CDR)

アドレス SCI0.CDR 0008 A01Ah, SCI1.CDR 0008 A03Ah, SCI2.CDR 0008 A05Ah, SCI3.CDR 0008 A07Ah,
 SCI4.CDR 0008 A09Ah, SCI5.CDR 0008 A0BAh, SCI6.CDR 0008 A0DAh, SCI7.CDR 0008 A0FAh,
 SCI8.CDR 0008 A11Ah, SCI9.CDR 0008 A13Ah, SCI10.CDR 000D 005Ah, SCI11.CDR 000D 007Ah,
 SCI0.CDR.H 0008 A01Ah, SCI1.CDR.H 0008 A03Ah, SCI2.CDR.H 0008 A05Ah, SCI3.CDR.H 0008 A07Ah,
 SCI4.CDR.H 0008 A09Ah, SCI5.CDR.H 0008 A0BAh, SCI6.CDR.H 0008 A0DAh, SCI7.CDR.H 0008 A0FAh,
 SCI8.CDR.H 0008 A11Ah, SCI9.CDR.H 0008 A13Ah, SCI10.CDR.H 000D 005Ah, SCI11.CDR.H 000D 007Ah,
 SCI0.CDR.L 0008 A01Bh, SCI1.CDR.L 0008 A03Bh, SCI2.CDR.L 0008 A05Bh, SCI3.CDR.L 0008 A07Bh,
 SCI4.CDR.L 0008 A09Bh, SCI5.CDR.L 0008 A0BBh, SCI6.CDR.L 0008 A0DBh, SCI7.CDR.L 0008 A0FBh,
 SCI8.CDR.L 0008 A11Bh, SCI9.CDR.L 0008 A13Bh, SCI10.CDR.L 000D 005Bh, SCI11.CDR.L 000D 007Bh



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	比較データビット	データ一致検出機能を使用する場合の比較元データを設定します	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

CMPD[8:0] ビット (比較データビット)

データ一致検出機能で使します。有効ビット長は、SMR.CHR ビットと SCMR.CHR1 ビットで設定したキャラクタ長と同じです。

受信データとこのビットに設定した値が一致すると、DCCR.DCMF フラグが“1”になります。

35.2.26 データ比較制御レジスタ (DCCR)

アドレス SCI0.DCCR 0008 A013h, SCI1.DCCR 0008 A033h, SCI2.DCCR 0008 A053h, SCI3.DCCR 0008 A073h,
SCI4.DCCR 0008 A093h, SCI5.DCCR 0008 A0B3h, SCI6.DCCR 0008 A0D3h, SCI7.DCCR 0008 A0F3h,
SCI8.DCCR 0008 A113h, SCI9.DCCR 0008 A133h, SCI10.DCCR 000D 0053h, SCI11.DCCR 000D 0073h

b7	b6	b5	b4	b3	b2	b1	b0
DCME	IDSEL	—	DFER	DPER	—	—	DCMF

リセット後の値 0 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DCMF	データ一致フラグ	0: データ不一致 1: データ一致	R/(W) (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DPER	一致データパリティエラーフラグ	0: 一致したデータにパリティエラーなし 1: 一致したデータにパリティエラーあり	R/(W) (注1)
b4	DFER	一致データフレーミングエラーフラグ	0: 一致したデータにフレーミングエラーなし 1: 一致したデータにフレーミングエラーあり	R/(W) (注1)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	IDSEL	IDフレーム選択ビット(注2)	0: すべての受信データを比較する 1: マルチプロセッサビットが“1”の受信データのみ比較する	R/W
b7	DCME	データ一致検出機能許可ビット(注2)	0: データ一致検出機能無効 1: データ一致検出機能有効	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアするには、“1”であることを確認した後、“0”を書いてください。

注2. 調歩同期モードでのみ有効です。

DCMF フラグ (データ一致フラグ)

受信データと CDR レジスタの値を比較した結果を示します。

["1"]になる条件]

- DCME ビットが“1”の場合に、受信データと CDR レジスタの値が一致したとき

["0"]になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
SCR.RE ビットを“0”にしても、DCMF フラグは影響を受けず以前の状態を保持します。

DPER フラグ (一致データパリティエラーフラグ)

一致したデータのパリティエラーの有無を示します。

["1"]になる条件]

- データ一致を検出した受信データにパリティエラーがあったとき

["0"]になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

DPER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

SCR.RE ビットを“0”にしても、DPER フラグは影響を受けず以前の状態を保持します。

DFER フラグ (一致データフレーミングエラーフラグ)

一致したデータのフレーミングエラーの有無を示します。

[“1”になる条件]

- データ一致を検出した受信フレームのストップビットが“0”であったとき

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

DFER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

SCR.RE ビットを“0”にしても、DFER フラグは影響を受けず以前の状態を保持します。

IDSEL ビット (ID フレーム選択ビット)

比較する受信データの条件を指定します。DCME ビットが“1”のときのみ有効です。

このビットを“1”にすると、マルチプロセッサビットが“1”の受信フレーム (ID フレーム) 内のデータだけを比較します。

このビットを“0”にすると、すべての受信データを比較します。

DCME ビット (データ一致検出機能許可ビット)

データ一致検出機能の有効/無効を設定するビットです。データ一致検出機能は調歩同期式モードでのみ有効です。これ以外のモードでは“0”にしてください。

このビットは、データの一致を検出すると自動的に“0”に戻ります。

35.2.27 シリアルポートレジスタ (SPTR)

アドレス SCI0.SPTR 0008 A01Ch, SCI1.SPTR 0008 A03Ch, SCI2.SPTR 0008 A05Ch, SCI3.SPTR 0008 A07Ch,
SCI4.SPTR 0008 A09Ch, SCI5.SPTR 0008 A0BCh, SCI6.SPTR 0008 A0DCh, SCI7.SPTR 0008 A0FCh,
SCI8.SPTR 0008 A11Ch, SCI9.SPTR 0008 A13Ch, SCI10.SPTR 000D 005Ch, SCI11.SPTR 000D 007Ch

b7	b6	b5	b4	b3	b2	b1	b0
TTADJ	RTADJ	TINV	RINV	—	SPB2IO	SPB2DT	RXDMON

リセット後の値 0 0 0 0 0 0 1 1

ビット	シンボル	ビット名	機能	R/W
b0	RXDMON	RXDラインモニタフラグ	RINVビットが“0”のとき 0 : RXDn端子はLow 1 : RXDn端子はHigh RINVビットが“1”のとき 0 : RXDn端子はHigh 1 : RXDn端子はLow	R
b1	SPB2DT	シリアルポートブ레이크データビット (注1)	SCR.TEビット、SPB2DTビット、SPB2IOビット、TINVビットを組み合わせ、TXDn端子を制御します。詳細は表 35.30を参照してください	R/W
b2	SPB2IO	シリアルポートブ레이크入出力ビット (注1)		R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	RINV	受信入力反転ビット (注2)	0 : RXD端子からの入力信号を反転しない 1 : RXD端子からの入力信号を反転する	R/W (注3)
b5	TINV	送信出力反転ビット (注2)	0 : TXD端子への出力信号を反転しない 1 : TXD端子への出力信号を反転する	R/W (注3)
b6	RTADJ	受信データサンプリングタイミング調整ビット (注4)	0 : 受信データのサンプリングポイントを調整しない 1 : 受信データのサンプリングポイントを調整する	R/W (注3)
b7	TTADJ	送信信号変化タイミング調整ビット (注4)	0 : 送信データの変化タイミングを調整しない 1 : 送信データの変化タイミングを調整する	R/W (注3)

注1. 調歩同期式モードでのみ有効です。

注2. スマートカードインタフェースモード、簡易I²Cモードで動作させる場合は、“0”にしてください。

注3. SCR.TEビットとREビットがともに“0”のときのみ書き換え可能です。

注4. 調歩同期式モードで、クロックソースに内蔵ポーレートジェネレータを選択したときのみ有効です。

RXDMON フラグ (RXDラインモニタフラグ)

RXDn端子のレベルをモニタするためのフラグです。

SPB2DT ビット (シリアルポートブ레이크データビット)

SCR.TEビットが“0”のときに、TXDn端子の出力レベルを指定するビットです。詳細は表 35.30を参照してください。

SPB2IO ビット (シリアルポートブ레이크入出力ビット)

SCR.TEビットが“0”のときに、TXDn端子の入出力を指定するビットです。TXDn端子をソフトウェアで制御する場合は、“1” (出力) に設定してください。

表 35.30 TXDn端子の制御

SCR.TE ビットの設定値	SPB2IO ビットの設定値	SPB2DT ビットの設定値	TINV ビットの設定値	TXDn端子の状態
0 (送信禁止)	0 (入力)	任意	任意	Hi-Z
	1 (出力)	0	0	Low を出力
			1	High を出力
		1	0	High を出力
			1	Low を出力
1 (送信許可)	任意	任意	任意	送信データ出力端子

RINV ビット (受信入力反転ビット)

RXDn 端子からの入力信号をレシーブシフトレジスタの手前で論理反転するビットです。データビットだけでなく、スタートビット、パリティビット、ストップビットも反転します。

TINV ビット (送信出力反転ビット)

トランスミットシフトレジスタの出力信号を TXDn 端子の手前で論理反転するビットです。データビットだけでなく、スタートビット、パリティビット、ストップビットも反転します。

RTADJ ビット (受信データサンプリングタイミング調整ビット)

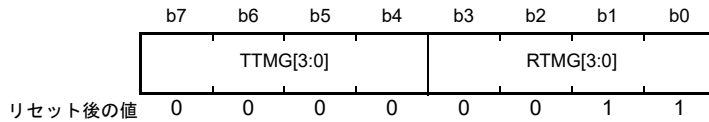
受信データのサンプリングポイントを、デフォルトの位置から変更するビットです。伝送線路や途中のデバイスの特性により、受信信号の High/Low 幅が変化してしまった場合などに、受信マージンを改善するために使用します。通常は“0”にしてください。

TTADJ ビット (送信信号変化タイミング調整ビット)

送信信号の High/Low が変化するタイミングを、デフォルトの位置から変更するビットです。伝送線路や途中のデバイスの特性により、送信信号の High/Low 幅が変化することが予想される場合などに、相手デバイスの受信マージンを改善するために使用します。通常は“0”にしてください。

35.2.28 送受信タイミング選択レジスタ (TMGR)

アドレス SCI0.TMGR 0008 A01Dh, SCI1.TMGR 0008 A03Dh, SCI2.TMGR 0008 A05Dh, SCI3.TMGR 0008 A07Dh, SCI4.TMGR 0008 A09Dh, SCI5.TMGR 0008 A0BDh, SCI6.TMGR 0008 A0DDh, SCI7.TMGR 0008 A0FDh, SCI8.TMGR 0008 A11Dh, SCI9.TMGR 0008 A13Dh, SCI10.TMGR 000D 005Dh, SCI11.TMGR 000D 007Dh



ビット	シンボル	ビット名	機能	R/W
b3-b0	RTMG[3:0]	受信データサンプリングタイミング選択ビット (注1)	b3 b0 1111: デフォルト位置から7クロック前でサンプリング 1110: デフォルト位置から6クロック前でサンプリング 1101: デフォルト位置から5クロック前でサンプリング 1100: デフォルト位置から4クロック前でサンプリング 1011: デフォルト位置から3クロック前でサンプリング 1010: デフォルト位置から2クロック前でサンプリング 1001: デフォルト位置から1クロック前でサンプリング x000: デフォルト位置でサンプリング 0001: デフォルト位置から1クロック後でサンプリング 0010: デフォルト位置から2クロック後でサンプリング 0011: デフォルト位置から3クロック後でサンプリング 0100: デフォルト位置から4クロック後でサンプリング 0101: デフォルト位置から5クロック後でサンプリング 0110: デフォルト位置から6クロック後でサンプリング 0111: デフォルト位置から7クロック後でサンプリング	R/W (注2)
b7-b4	TTMG[3:0]	送信信号変化タイミング選択ビット (注3)	b7 b4 1111: “1”から“0”への変化を7クロック遅らせる 1110: “1”から“0”への変化を6クロック遅らせる 1101: “1”から“0”への変化を5クロック遅らせる 1100: “1”から“0”への変化を4クロック遅らせる 1011: “1”から“0”への変化を3クロック遅らせる 1010: “1”から“0”への変化を2クロック遅らせる 1001: “1”から“0”への変化を1クロック遅らせる x000: 波形を変化させない 0001: “0”から“1”への変化を1クロック遅らせる 0010: “0”から“1”への変化を2クロック遅らせる 0011: “0”から“1”への変化を3クロック遅らせる 0100: “0”から“1”への変化を4クロック遅らせる 0101: “0”から“1”への変化を5クロック遅らせる 0110: “0”から“1”への変化を6クロック遅らせる 0111: “0”から“1”への変化を7クロック遅らせる	R/W (注4)

- 注1. SPTR.RTADJビットが“1”のときのみ有効です。
 注2. SPTR.RTADJビットが“0”のときのみ書き換え可能です。
 注3. SPTR.TTADJビットが“1”のときのみ有効です。
 注4. SPTR.TTADJビットが“0”のときのみ書き換え可能です。

TMGR レジスタは受信データのサンプリングタイミングや送信データの変化タイミングを調整するレジスタです。調歩同期式モードで、クロックソースに内蔵ボーレートジェネレータを選択したときのみ有効です。本レジスタは、SCI12にはありません。

RTMG[3:0] ビット (受信データサンプリングタイミング選択ビット)

受信データのサンプリングポイントを選択するビットです。SPTR.RTADJ ビットが“1”のときのみ有効です。RTMG[3] ビットが“0”の場合、デフォルト位置より後ろで、“1”の場合、前でサンプリングします。

RTMG[2:0] ビットにはサンプリングポイントの移動量を基本クロックの数で設定します。設定可能な値の範囲については、表 35.31 を参照してください。

表35.31 RTMG[2:0]ビットに設定可能な値の範囲

SEMR.ABCSEビットの設定値	SEMR.ABCSビットの設定値	データビットの幅	設定可能な値の範囲
0	0	16 サイクル	0~7 ("000b"~"111b")
0	1	8 サイクル	0~3 ("000b"~"011b")
1	任意	6 サイクル	0~2 ("000b"~"010b")

TTMG[3:0] ビット (送信信号変化タイミング選択ビット)

トランスミットシフトレジスタにおける送信信号の変化タイミングを選択するビットです。SPTR.TTADJビットが“1”のときのみ有効です。

TTMG[3] ビットが“0”の場合、“0”から“1”に変化するタイミングを、TTMG[3] ビットが“1”の場合、“1”から“0”に変化するタイミングを遅らせます。SPTR.TINV ビットの値により、TXDn 端子からの出力波形は以下のように変化します。

(1) SPTR.TINV ビットが“0”の場合

TTMG[3] ビットが“0”の場合、Low から High への変化 (立ち上がりエッジ) が遅れるため、High 幅が Low 幅より短くなります。

TTMG[3] ビットが“1”の場合、High から Low への変化 (立ち下がりエッジ) が遅れるため、High 幅が Low 幅より長くなります。

(2) TINV ビットが“1”の場合

TTMG[3] ビットが“0”の場合、High から Low への変化 (立ち下がりエッジ) が遅れるため、High 幅が Low 幅より長くなります。

TTMG[3] ビットが“1”の場合、Low から High への変化 (立ち上がりエッジ) が遅れるため、High 幅が Low 幅より短くなります。

TTMG[2:0] ビットには遅延量を基本クロックの数で設定します。設定可能な値の範囲については、表 35.32 を参照してください。

表35.32 TTMG[2:0]ビットに設定可能な値の範囲

SEMR.ABCSEビットの設定値	SEMR.ABCSビットの設定値	データビットの幅	設定可能な値の範囲
0	0	16 サイクル	0~7 ("000b"~"111b")
0	1	8 サイクル	0~7 ("000b"~"111b")
1	任意	6 サイクル	0~5 ("000b"~"101b")

35.2.29 拡張シリアルモード有効レジスタ (ESMER)

アドレス SCI12.ESMER 0008 B320h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ESME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0 : 拡張シリアルモード無効 1 : 拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ESME ビット (拡張シリアルモード有効ビット)

ESME ビットが“1”の場合、拡張シリアルモード制御部が有効となります。

ESME ビットを“0”にすると、拡張シリアルモード制御部は初期化された状態になります。

表35.33 ESME ビットの設定とタイマ動作モード

ESME ビット	タイマモード	Break Field Low width 判定モード	Break Field Low width 出力モード
0	使用可能(注1)	使用不可能	使用不可能
1	使用可能	使用可能	使用可能

注1. PCLK 選択時のみ動作します。

35.2.30 コントロールレジスタ 0 (CR0)

アドレス SCI12.CR0 0008 B321h

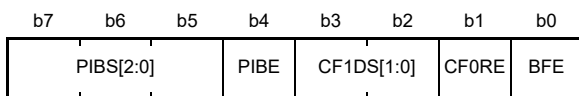
b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BRME	RXDSF	SFSF	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frame ステータスフラグ	0 : Start Frame 検出機能無効状態 1 : Start Frame 検出機能有効状態	R
b2	RXDSF	RXDX12 入力ステータスフラグ	0 : RXDX12 入力許可状態 1 : RXDX12 入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0 : ビットレート測定無効 1 : ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

35.2.31 コントロールレジスタ 1 (CR1)

アドレス SCI12.CR1 0008 B322h

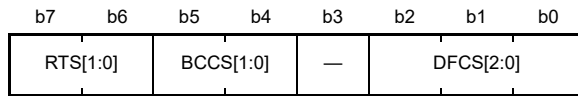


リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Fieldイネーブルビット	0 : Break Fieldの検出が無効 1 : Break Fieldの検出が有効	R/W
b1	CF0RE	Control Field 0受信イネーブルビット	0 : Control Field 0受信無効 1 : Control Field 0受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1データレジスタ選択ビット	b3 b2 00 : PCF1DRを比較データに選択 01 : SCF1DRを比較データに選択 10 : PCF1DRおよびSCF1DRを比較データに選択 11 : 設定しないでください	R/W
b4	PIBE	プラリオリティインタラプトビットイネーブルビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プラリオリティインタラプトビットセレクトビット	b7 b5 000 : Control Field 1 0ビット目 001 : Control Field 1 1ビット目 010 : Control Field 1 2ビット目 011 : Control Field 1 3ビット目 100 : Control Field 1 4ビット目 101 : Control Field 1 5ビット目 110 : Control Field 1 6ビット目 111 : Control Field 1 7ビット目	R/W

35.2.32 コントロールレジスタ 2 (CR2)

アドレス SCI12.CR2 0008 B323h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS[2:0]	RXDX12信号デジタルフィルタ クロック選択ビット	b2 b0 0 0 0 : フィルタ無効 0 0 1 : フィルタクロックは基本クロック (注1、注2) 0 1 0 : フィルタクロックはPCLK/8 0 1 1 : フィルタクロックはPCLK/16 1 0 0 : フィルタクロックはPCLK/32 1 0 1 : フィルタクロックはPCLK/64 1 1 0 : フィルタクロックはPCLK/128 1 1 1 : 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS[1:0]	バス衝突検出クロック選択 ビット	<ul style="list-style-type: none"> SEMR.BGDMビットが“0”または、SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”以外の場合 b5 b4 0 0 : 基本クロック 0 1 : 基本クロックの2分周 1 0 : 基本クロックの4分周 1 1 : 設定しないでください <ul style="list-style-type: none"> SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合 b5 b4 0 0 : 基本クロックの2分周 0 1 : 基本クロックの4分周 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b6	RTS[1:0]	RXDX12受信サンプリング タイミング選択ビット	<ul style="list-style-type: none"> SCI12.SEMR.ABCSビット=0の場合 b7 b6 0 0 : 基本クロックの8クロック目の立ち上がり 0 1 : 基本クロックの10クロック目の立ち上がり 1 0 : 基本クロックの12クロック目の立ち上がり 1 1 : 基本クロックの14クロック目の立ち上がり <ul style="list-style-type: none"> SCI12.SEMR.ABCSビット=1の場合 b7 b6 0 0 : 基本クロックの4クロック目の立ち上がり 0 1 : 基本クロックの5クロック目の立ち上がり 1 0 : 基本クロックの6クロック目の立ち上がり 1 1 : 基本クロックの7クロック目の立ち上がり	R/W

注. 基本クロックとは、SCI12.SEMR.ABCS = 0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS = 1のとき、1データ期間の1/8の周期です。

注1. 基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。

注2. SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合は基本クロックの2分周がフィルタクロックとなります。

35.2.33 コントロールレジスタ 3 (CR3)

アドレス SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0 : Start Frameの検出を行わない 1 : Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット (Start Frame 検出開始ビット)

SDST ビットを“1”にすると Start Frame の検出を開始します。読むと“0”が読み出されます。

35.2.34 ポートコントロールレジスタ (PCR)

アドレス SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RXDXP S	TXDXP S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0 : TXDX12信号極性を反転せずに出力 1 : TXDX12信号極性を反転して出力	R/W
b1	RXDXP S	RXD12信号極性選択ビット	0 : RXDX12極性を反転せずに入力 1 : RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXD12端子兼用選択ビット	0 : TXDX12端子、RXDX12端子独立 1 : TXDX12/RXD12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット (TXDX12/RXD12 端子兼用選択ビット)

SHARPS ビットが“1”の場合、TXDX12/RXD12 端子を兼用した半二重通信が可能となります。

35.2.35 割り込みコントロールレジスタ (ICR)

アドレス SCI12.ICR 0008 B326h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width 検出割り込み許可ビット	0 : Break Field Low width 検出割り込み禁止 1 : Break Field Low width 検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0 : Control Field 0一致割り込み禁止 1 : Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0 : Control Field 1一致割り込み禁止 1 : Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0 : プライオリティインタラプトビット検出割り込み禁止 1 : プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

35.2.36 ステータスレジスタ (STR)

アドレス SCI12.STR 0008 B327h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width 検出フラグ	["1"になる条件] • Break Field Low width 検出したとき • Break Field Low width 出力完了したとき • タイマがアンダフローしたとき ["0"になる条件] • STCR.BFDCL ビットに"1"を書いたとき	R
b1	CF0MF	Control Field 0 一致フラグ	["1"になる条件] • Control Field 0 受信データが設定データと一致したとき ["0"になる条件] • STCR.CF0MCL ビットに"1"を書いたとき	R
b2	CF1MF	Control Field 1 一致フラグ	["1"になる条件] • Control Field 1 受信データが設定データと一致したとき ["0"になる条件] • STCR.CF1MCL ビットに"1"を書いたとき	R
b3	PIBDF	プライオリティインタラプト ビット検出フラグ	["1"になる条件] • プライオリティインタラプトビットを検出したとき ["0"になる条件] • STCR.PIBDCL ビットに"1"を書いたとき	R
b4	BCDF	バス衝突検出フラグ	["1"になる条件] • バス衝突を検出したとき ["0"になる条件] • STCR.BCDCL ビットに"1"を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	["1"になる条件] • 有効エッジを検出したとき ["0"になる条件] • STCR.AEDCL ビットに"1"を書いたとき	R
b7-b6	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R

35.2.37 ステータスクリアレジスタ (STCR)

アドレス SCI12.STCR 0008 B328h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDCL	BCDCL	PIBDC L	CF1MC L	CF0MC L	BFDCCL

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDCCL	BFDFクリアビット	BFDCCLビットを“1”にするとSTR.BFDFフラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MFクリアビット	CF0MCLビットを“1”にするとSTR.CF0MFフラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MFクリアビット	CF1MCLビットを“1”にするとSTR.CF1MFフラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCCL	PIBDFクリアビット	PIBDCCLビットを“1”にするとSTR.PIBDFフラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDFクリアビット	BCDCLビットを“1”にするとSTR.BCDFフラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDFクリアビット	AEDCLビットを“1”にするとSTR.AEDFフラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

35.2.38 Control Field 0 データレジスタ (CF0DR)

アドレス SCI12.CF0DR 0008 B329h

b7	b6	b5	b4	b3	b2	b1	b0
[Empty Register]							

リセット後の値 0 0 0 0 0 0 0 0

CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

35.2.39 Control Field 0 コンペアイネーブルレジスタ (CF0CR)

アドレス SCI12.CF0CR 0008 B32Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0ビットコンペアイネーブルビット	0 : Control Field 0 ビット0コンペア無効 1 : Control Field 0 ビット0コンペア有効	R/W
b1	CF0CE1	Control Field 0 1ビットコンペアイネーブルビット	0 : Control Field 0 ビット1コンペア無効 1 : Control Field 0 ビット1コンペア有効	R/W
b2	CF0CE2	Control Field 0 2ビットコンペアイネーブルビット	0 : Control Field 0 ビット2コンペア無効 1 : Control Field 0 ビット2コンペア有効	R/W
b3	CF0CE3	Control Field 0 3ビットコンペアイネーブルビット	0 : Control Field 0 ビット3コンペア無効 1 : Control Field 0 ビット3コンペア有効	R/W
b4	CF0CE4	Control Field 0 4ビットコンペアイネーブルビット	0 : Control Field 0 ビット4コンペア無効 1 : Control Field 0 ビット4コンペア有効	R/W
b5	CF0CE5	Control Field 0 5ビットコンペアイネーブルビット	0 : Control Field 0 ビット5コンペア無効 1 : Control Field 0 ビット5コンペア有効	R/W
b6	CF0CE6	Control Field 0 6ビットコンペアイネーブルビット	0 : Control Field 0 ビット6コンペア無効 1 : Control Field 0 ビット6コンペア有効	R/W
b7	CF0CE7	Control Field 0 7ビットコンペアイネーブルビット	0 : Control Field 0 ビット7コンペア無効 1 : Control Field 0 ビット7コンペア有効	R/W

35.2.40 Control Field 0 受信データレジスタ (CF0RR)

アドレス SCI12.CF0RR 0008 B32Bh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。

35.2.41 プライマリ Control Field 1 データレジスタ (PCF1DR)

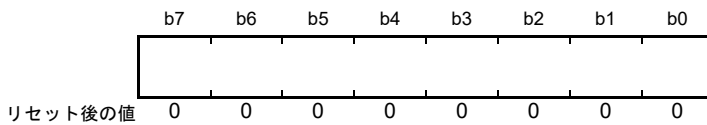
アドレス SCI12.PCF1DR 0008 B32Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

35.2.42 セカンダリ Control Field 1 データレジスタ (SCF1DR)

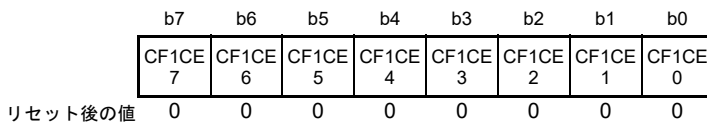
アドレス SCI12.SCF1DR 0008 B32Dh



SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

35.2.43 Control Field 1 コンペアイネーブルレジスタ (CF1CR)

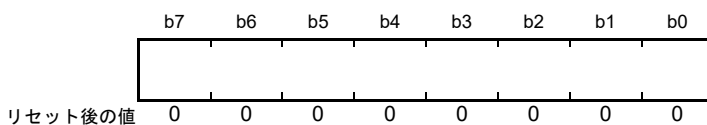
アドレス SCI12.CF1CR 0008 B32Eh



ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0ビットコンペアイネーブルビット	0 : Control Field 1 ビット0コンペアイネーブル無効 1 : Control Field 1 ビット0コンペアイネーブル有効	R/W
b1	CF1CE1	Control Field 1 1ビットコンペアイネーブルビット	0 : Control Field 1 ビット1コンペアイネーブル無効 1 : Control Field 1 ビット1コンペアイネーブル有効	R/W
b2	CF1CE2	Control Field 1 2ビットコンペアイネーブルビット	0 : Control Field 1 ビット2コンペアイネーブル無効 1 : Control Field 1 ビット2コンペアイネーブル有効	R/W
b3	CF1CE3	Control Field 1 3ビットコンペアイネーブルビット	0 : Control Field 1 ビット3コンペアイネーブル無効 1 : Control Field 1 ビット3コンペアイネーブル有効	R/W
b4	CF1CE4	Control Field 1 4ビットコンペアイネーブルビット	0 : Control Field 1 ビット4コンペアイネーブル無効 1 : Control Field 1 ビット4コンペアイネーブル有効	R/W
b5	CF1CE5	Control Field 1 5ビットコンペアイネーブルビット	0 : Control Field 1 ビット5コンペアイネーブル無効 1 : Control Field 1 ビット5コンペアイネーブル有効	R/W
b6	CF1CE6	Control Field 1 6ビットコンペアイネーブルビット	0 : Control Field 1 ビット6コンペアイネーブル無効 1 : Control Field 1 ビット6コンペアイネーブル有効	R/W
b7	CF1CE7	Control Field 1 7ビットコンペアイネーブルビット	0 : Control Field 1 ビット7コンペアイネーブル無効 1 : Control Field 1 ビット7コンペアイネーブル有効	R/W

35.2.44 Control Field 1 受信データレジスタ (CF1RR)

アドレス SCI12.CF1RR 0008 B32Fh



CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。

35.2.45 タイマコントロールレジスタ (TCR)

アドレス SCI12.TCR 0008 B330h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0 : タイマカウント停止 1 : タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

35.2.46 タイマモードレジスタ (TMR)

アドレス SCI12.TMR 0008 B331h

b7	b6	b5	b4	b3	b2	b1	b0
—	TCSS[2:0]		TWRC	—	TOMS[1:0]		—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット(注1)	b1 b0 0 0 : タイマモード 0 1 : Break Field Low width 判定モード 1 0 : Break Field Low width 出力モード 1 1 : 設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット(注1)	b6 b4 0 0 0 : PCLK 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

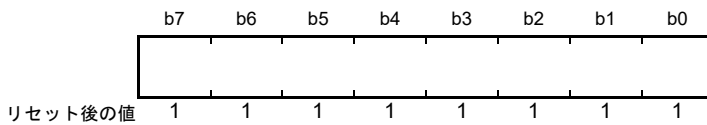
注1. TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時(TCST = 0)に行ってください。

TWRC ビット (カウンタ書き込み制御ビット)

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

35.2.47 タイムプリスケアラレジスタ (TPRE)

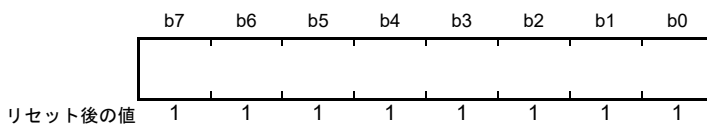
アドレス SCI12.TPRE 0008 B332h



TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

35.2.48 タイマカウントレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h



TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

35.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 35.6 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。また、SCI10、SCI11 には FIFO が搭載されていますので、より効率よく送受信が行えます。

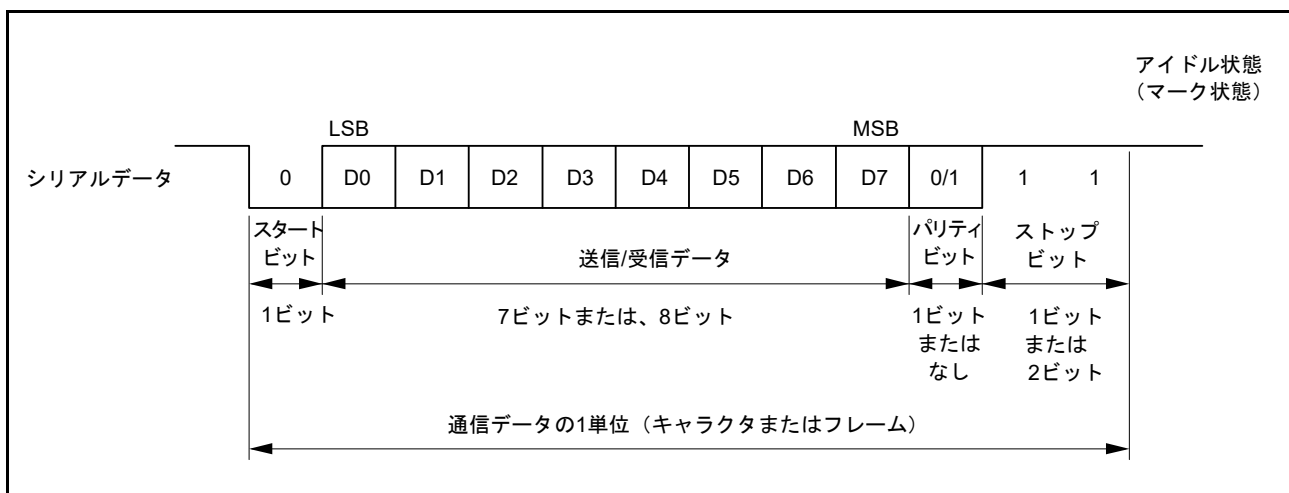


図 35.6 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

35.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 35.34 に示します。

フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「35.4 マルチプロセッサ通信機能」を参照してください。

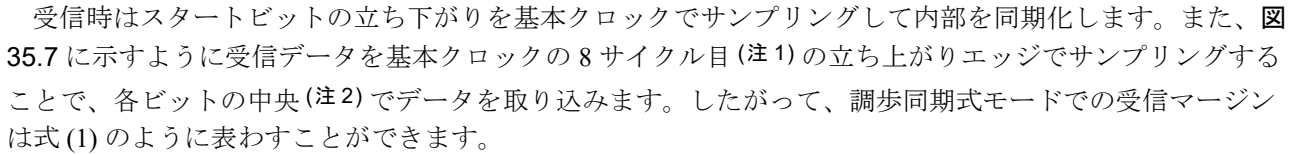
表 35.34 シリアル送信/受信フォーマット(調歩同期式モード)

SCMR の設定	SMRの設定				シリアル送信/受信フォーマットとフレーム長																	
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13				
0	0	0	0	0	0	S	9ビットデータ									STOP						
0	0	0	0	1	1	S	9ビットデータ									STOP	STOP					
0	0	1	0	0	0	S	9ビットデータ									P	STOP					
0	0	1	0	1	1	S	9ビットデータ									P	STOP	STOP				
1	0	0	0	0	0	S	8ビットデータ								STOP							
1	0	0	0	1	1	S	8ビットデータ								STOP	STOP						
1	0	1	0	0	0	S	8ビットデータ								P	STOP						
1	0	1	0	1	1	S	8ビットデータ								P	STOP	STOP					
1	1	0	0	0	0	S	7ビットデータ							STOP								
1	1	0	0	1	1	S	7ビットデータ							STOP	STOP							
1	1	1	0	0	0	S	7ビットデータ							P	STOP							
1	1	1	0	1	1	S	7ビットデータ							P	STOP	STOP						
0	0	—	1	0	0	S	9ビットデータ									MPB	STOP					
0	0	—	1	1	1	S	9ビットデータ									MPB	STOP	STOP				
1	0	—	1	0	0	S	8ビットデータ								MPB	STOP						
1	0	—	1	1	1	S	8ビットデータ								MPB	STOP	STOP					
1	1	—	1	0	0	S	7ビットデータ							MPB	STOP							
1	1	—	1	1	1	S	7ビットデータ							MPB	STOP	STOP						

S: スタートビット
 STOP: ストップビット
 P: パリティビット
 MPB: マルチプロセッサビット

35.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、 図35.7に示すように受信データを基本クロックの8サイクル目(注1)の立ち上がりエッジでサンプリングすることで、各ビットの中央(注2)でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 (\%) \quad \dots \text{式(1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SEMR.ABCSEビットが“0”、かつSEMR.ABCSビットが“0”のときN = 16
- SEMR.ABCSEビットが“0”、かつSEMR.ABCSビットが“1”のときN = 8
- SEMR.ABCSEビットが“1”のときN = 6

D: クロックのデューティ (D = 0.5 ~ 1.0)

L: フレーム長 (L = 9 ~ 13)

F: クロック周波数の偏差の絶対値

式(1)で、F = 0、D = 0.5とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875 (\%)$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20 ~ 30%の余裕を持たせてください。

注1. いずれもSEMR.ABCSEビットが“0”、かつSEMR.ABCSビットが“0”のときの値です。ABCSEビットが“0”、かつABCSビットが“1”のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。また、ABCSEビットが“1”のときは、ビットレートの6倍の周波数が基本クロックとなり、受信データは基本クロックの3番目の立ち上がりエッジでサンプリングします。

注2. SPTR.RTADJビットが“0”の場合。

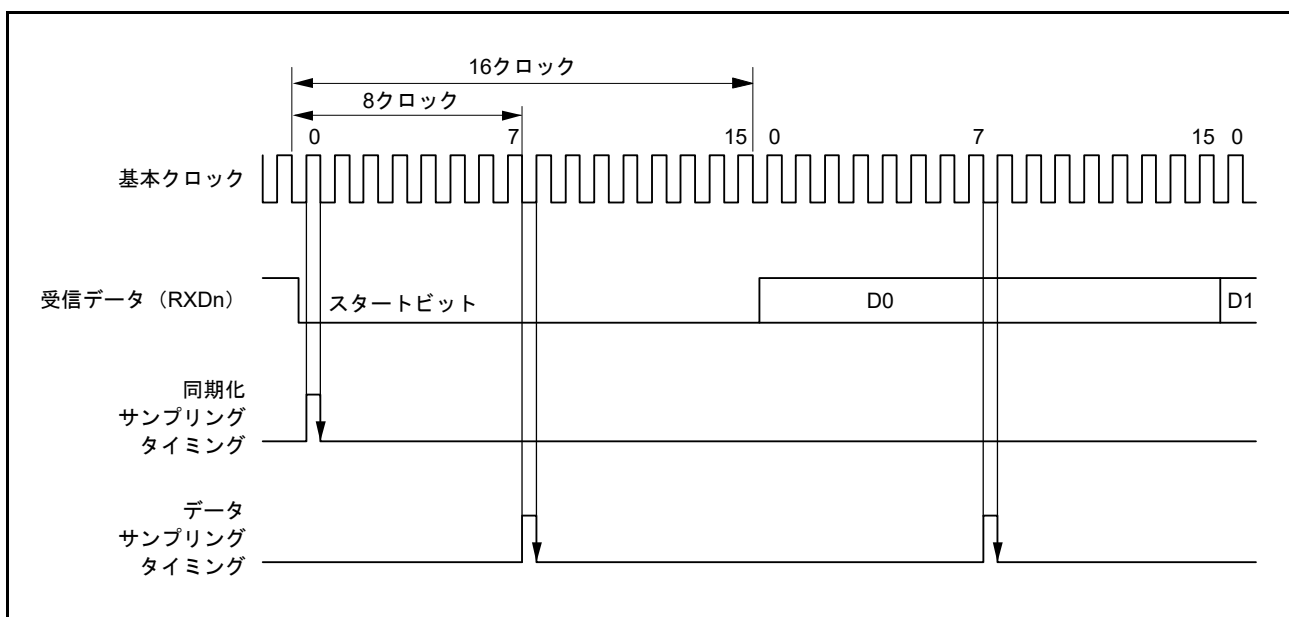


図 35.7 調歩同期式モードの受信データサンプリングタイミング

SCI0 ~ SCI11 には、通信線路上のデバイスの影響などにより信号の High 幅や Low 幅が変わってしまう場合に備え、受信データのサンプリングタイミングや送信データの変化タイミングを変更する機能があります。

35.3.2.1 受信データのサンプリングタイミング調整

立ち上がり時間と立ち下がり時間の差が大きく、High 幅と Low 幅に差ができてしまった波形を受信した場合、短い方のパルスの中央でデータをサンプリングするようにタイミングを調整します。Low 幅が短い場合はサンプリングタイミングを早め、High 幅が短い場合はサンプリングタイミングを遅らせます。

TMGR.RTMG[3:0] ビットにデフォルトのサンプリングポイントに対するオフセットを設定し、SPTR.RTADJ ビットを“1”にすると、設定した位置で受信データをサンプリングします。

図 35.8 にサンプリングタイミングの調整例を示します。

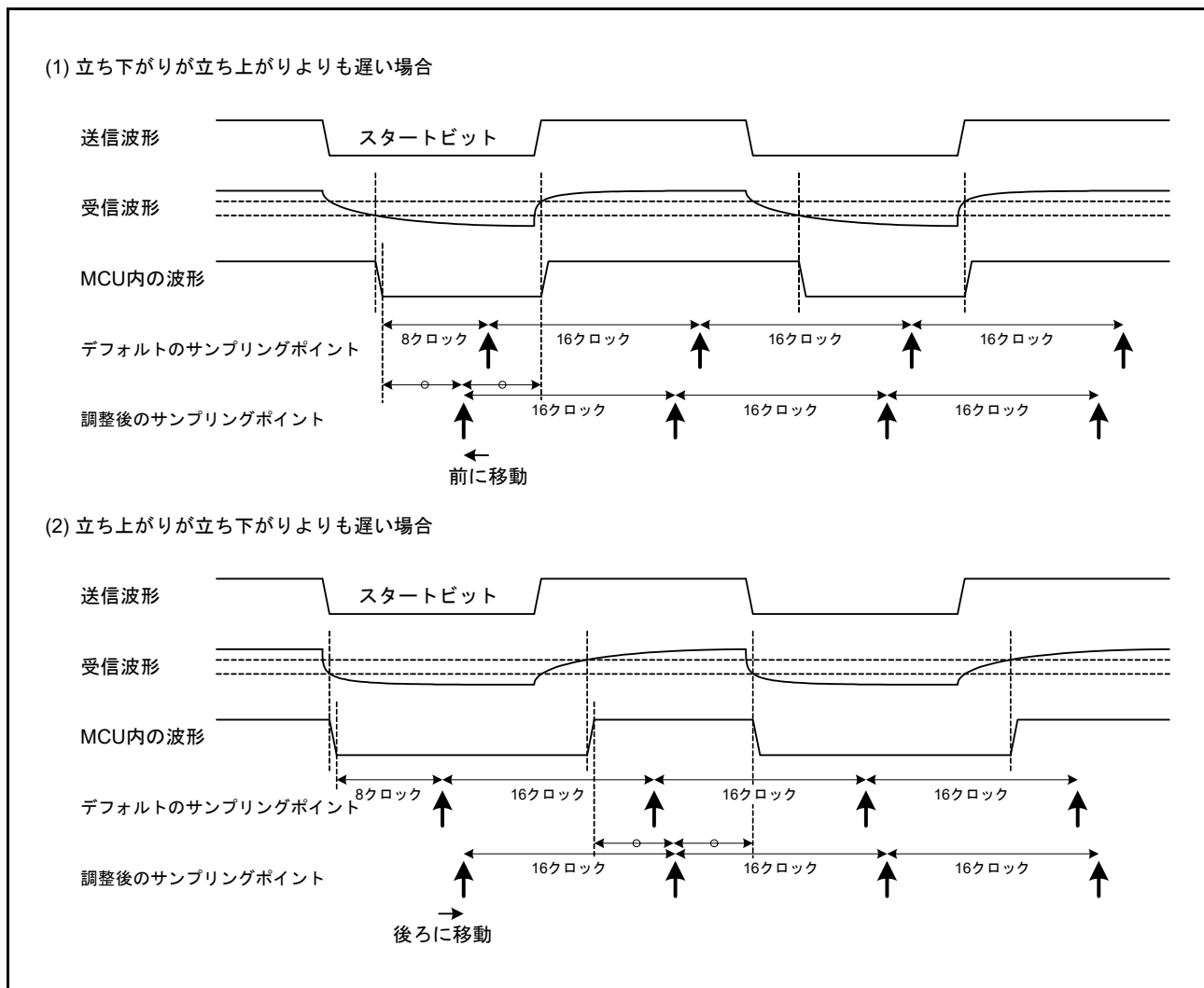


図 35.8 サンプリングタイミングの調整例 (SEMR.ABCSE ビット = 0, SEMR.ABCS ビット = 0)

35.3.2.2 送信データの変化タイミング調整

逆に、本MCUが送信した波形が受信側のデバイスでHigh幅とLow幅に差ができてしまうような場合に、送信時に前もってHigh幅とLow幅に差を持たせて、受信側で差がなくなるように調整することもできます。受信側でHigh幅が短くなる場合は立ち下がりエッジを遅らせることで送信時のHigh幅を広げ、Low幅が短くなる場合は立ち上がりエッジを遅らせることで送信時のLow幅を広げます。

TMGR.TTMG[3:0]ビットに変化させるエッジとその遅延量を設定し、SPTR.TTADJビットを“1”にすると、設定した位置で送信データが変化します。

図 35.9 に変化タイミングの調整例を示します。

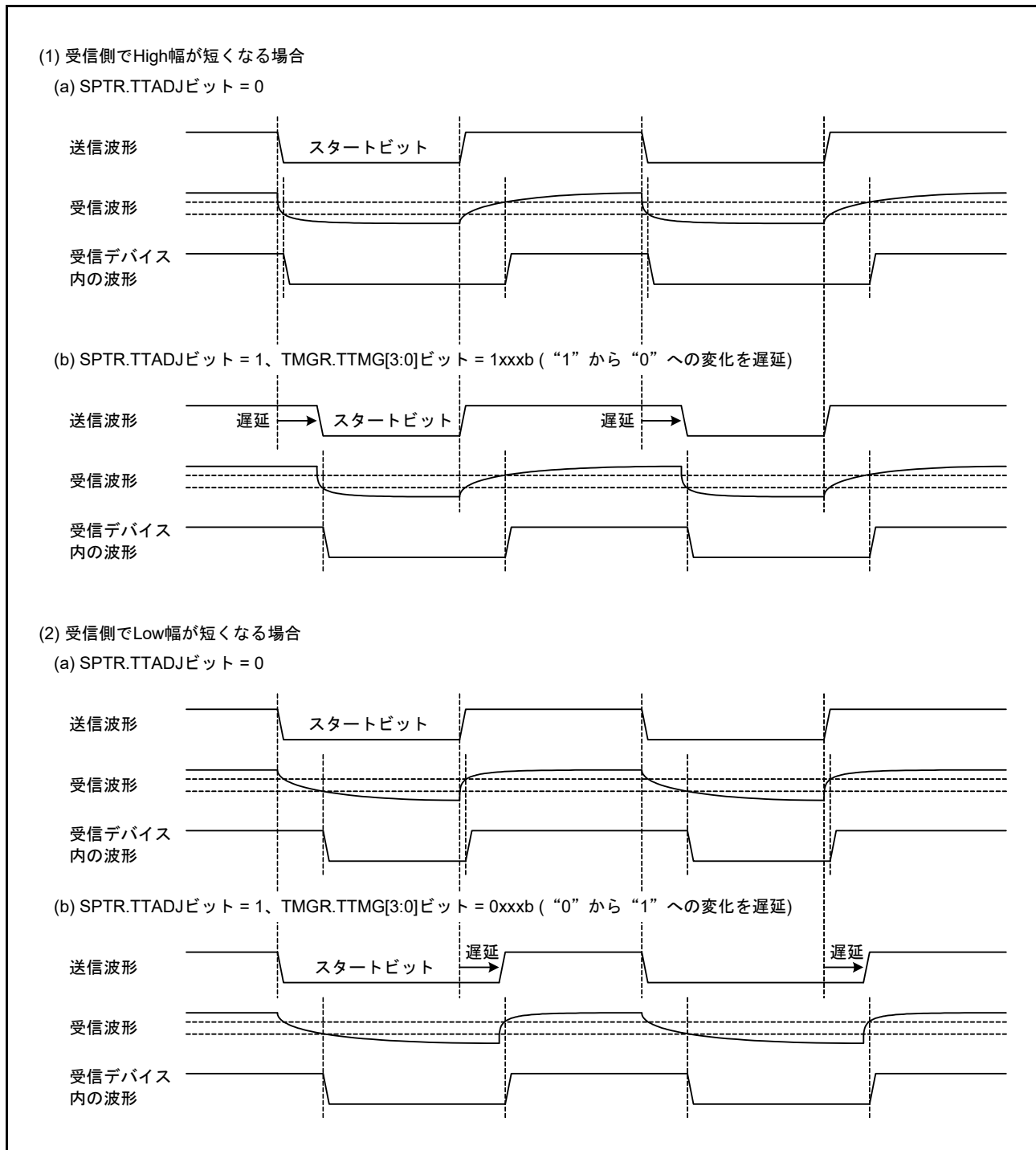


図 35.9 変化タイミングの調整例

35.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0ビット（n=5, 6, 12）の設定により、TMR0、TMR1からの基本クロックを選択することが可能です。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図35.10に示すように送信データの中央でクロックが立ち上がります。

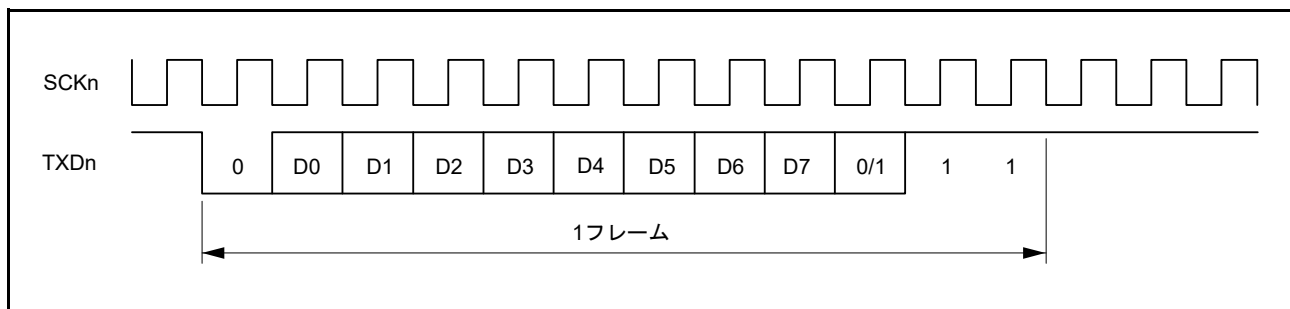


図 35.10 出カクロックと送信データの位相関係
(調歩同期式モード: SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

35.3.4 倍速モードと6分周モード

SEMR.BGDMビットを“1”にすることによって内蔵ポーレートジェネレータの出力クロック周波数が2倍となり、ビットレートが2倍の高速通信が可能となります。また、この状態からSEMR.ABCSビットを“1”にすると基本クロックのサイクル数が16から8になるため、ビットレートは初期状態から4倍に高速化されます。

また、SEMR.ABCSEビットを“1”にすると、1ビット期間中の基本クロックパルス数が6、かつ基本クロックの周期が1/2になり、SEMRレジスタのABCSビット、BGDMビット、ABCSEビットがすべて“0”の場合に比べ16/3倍のビットレートで動作します。

なお、「35.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式(1)が示すとおり、SEMR.ABCSビットを“1”にするとサイクル数が8になり、サンプリング間隔が粗くなるため受信マージンが減少します。したがって、ビットレート2倍の高速通信は、SEMR.BGDMビットを“0”、SEMR.ABCSビットを“1”にするよりも、SEMR.BGDMビットを“1”、SEMR.ABCSビットを“0”にする設定を推奨します。

35.3.5 CTS、RTS 機能

CTS 機能は、CTS#n 端子入力を使用して送信制御を行う機能です。

SPMR.CTSE ビットを“1”にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTS#n 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTS#n 端子を High にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTS#n 端子出力を使用して送信要求を行う機能で、受信可能状態になると Low を出力します。RTS#n 端子から Low、High を出力する条件は以下の通りです。

(a) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが“1”
- 受信動作中でない
- 未読の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて“0”

[High になる条件]

Low になる条件を満たさない場合

(b) FIFO 有効の SCI10、SCI11 の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが“1”
- 受信 FIFO 内の格納データ数がしきい値 (FCR.RTRG[3:0]) 未満
- SSRFIFO.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

なお、CTS/RTS はどちらか一方しか選択できません。

35.3.6 データ一致検出機能

データ一致検出機能は、SCI0 ~ SCI11 の調歩同期式モードで利用可能です。

DCCR.DCME ビットを“1”にすると、受信データと CDR.CMPD[8:0] ビットの内容が比較(注1)され、値が一致すると受信データフル割り込み (RXI) 要求が発生します。

SMR.MP ビットが“0”の場合は、すべての受信データが比較されます。

SMR.MP ビットを“1”にすると、DCCR.IDSEL ビットが“1”の場合は、マルチプロセッサビットが“1”のデータのみが比較され、“0”のデータは無視されます。DCCR.IDSEL ビットが“0”の場合は、マルチプロセッサビットの値にかかわらずすべての受信データが比較されます。

受信データが CDR.CMPD[8:0] ビットの値と一致するまでは、受信データの格納は行われず、フラグも更新されません。データが一致すると、DCCR.DCME ビットは自動的に“0”になり、DCMF フラグが“1”になります。このとき、DCCR.IDSEL ビットが“1”であると、SCR.MPIE ビットも自動的に“0”になります。また、SCR.RIE ビットが“1”であると、受信データフル割り込み (RXI) 要求が発生します。

一致したデータにフレーミングエラーがあった場合は、DCCR.DFER フラグが“1”になり、パリティエラーがあった場合は DCCR.DPER フラグが“1”になります。CDR.CMPD[8:0] ビットの値と一致した受信データは受信バッファに格納されず、SSR.RDRF フラグ (FCR.FM ビットが“1”の場合は SSRFIFO.RDF フ

ラグ) も“1”になりません。

データの一致を検出し、DCCR.DCME ビットが“0”になった後は、通常通りデータの受信が行われます。

DCCR.DFER フラグまたは DCCR.DPER フラグが“1”のときは、データの一致は検出されません。データ一致検出機能を有効にする前に、これらのフラグは“0”にしてください。

注 1. 比較対象は SMR.CHR ビット、SCMR.CHR1 ビットで指定したキャラクタ長に相当する部分です。

図 35.11、図 35.12 にデータ一致検出の例を示します。

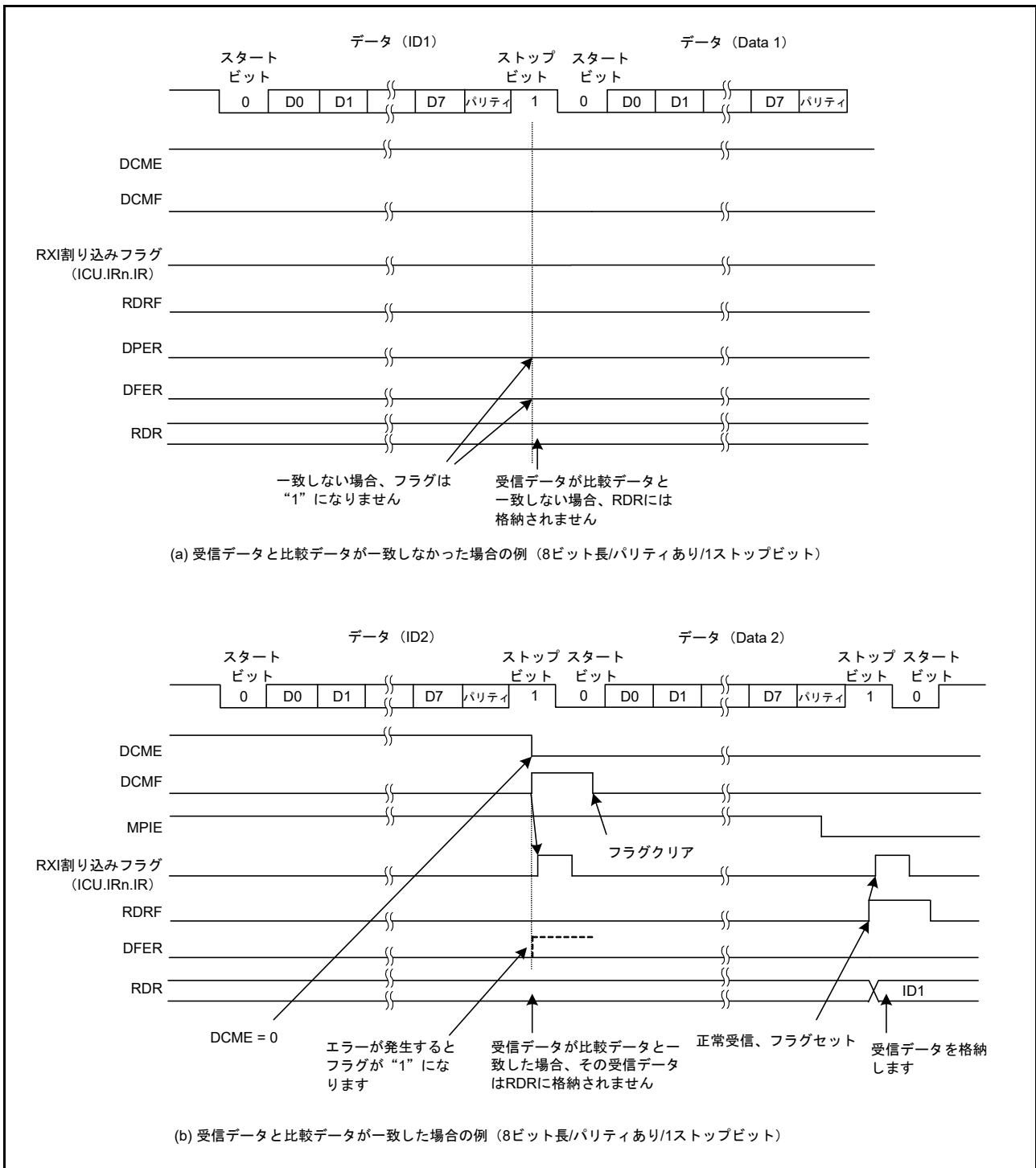


図 35.11 データ一致検出の例 (1) 非マルチプロセッサモード

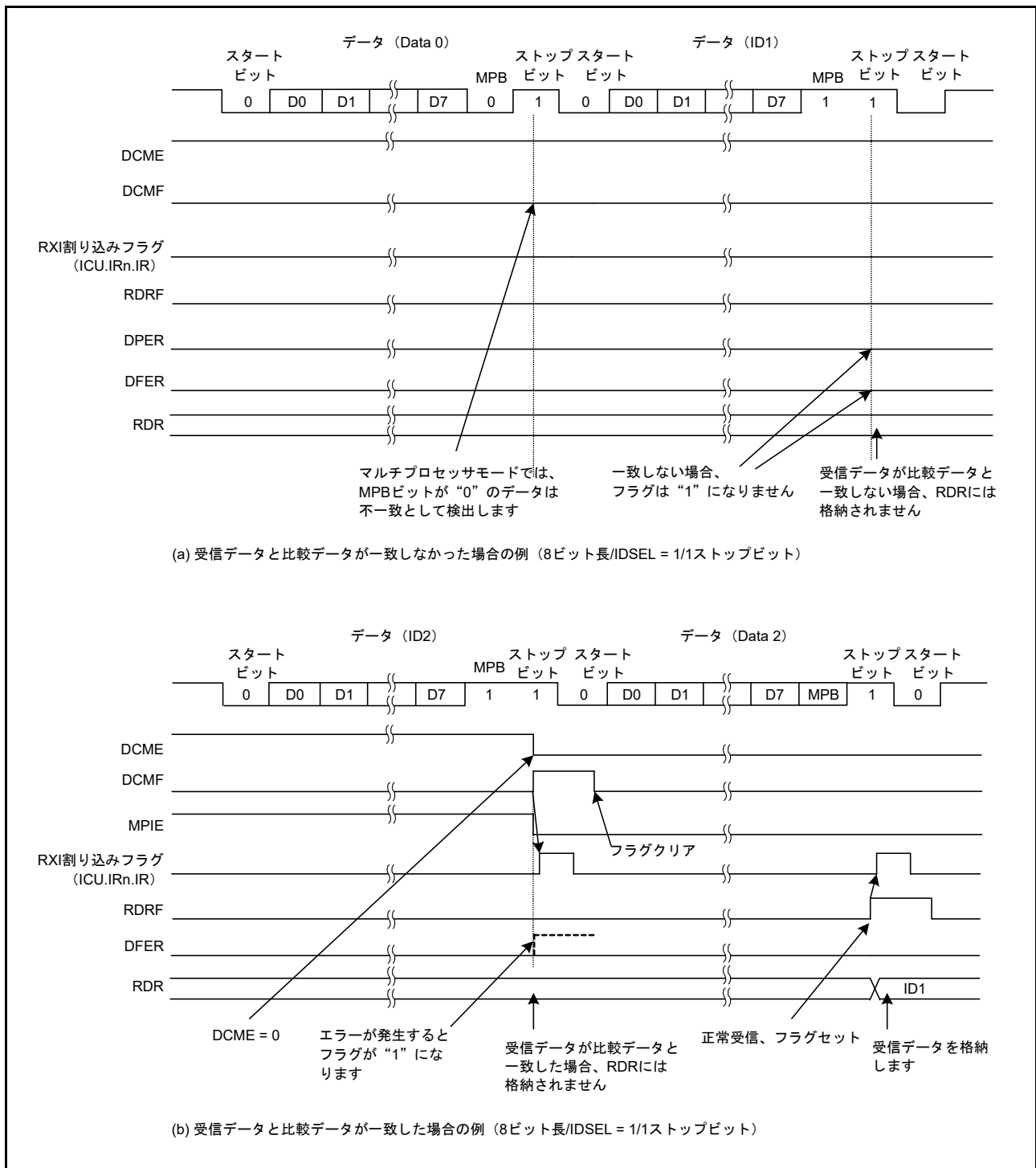


図 35.12 データ一致検出の例 (2) マルチプロセッサモード

35.3.7 SCIの初期化 (調歩同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 35.13 または図 35.14 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER、RDRF フラグ、SSRFIFO.RDF フラグ、および RDR、RDRH、RDRL レジスタは初期化されませんので注意してください。また、SCR.TE ビットを “0” にしても、SSRFIFO.TEND フラグは “1” になりませんので注意してください。

また、SCR レジスタの TIE ビット、TE ビット、TEIE ビットを同時に “1” にすると、送信データエンベティ割り込み (TXI) 要求が発生する前に送信終了割り込み (TEI) 要求が発生しますので注意してください。

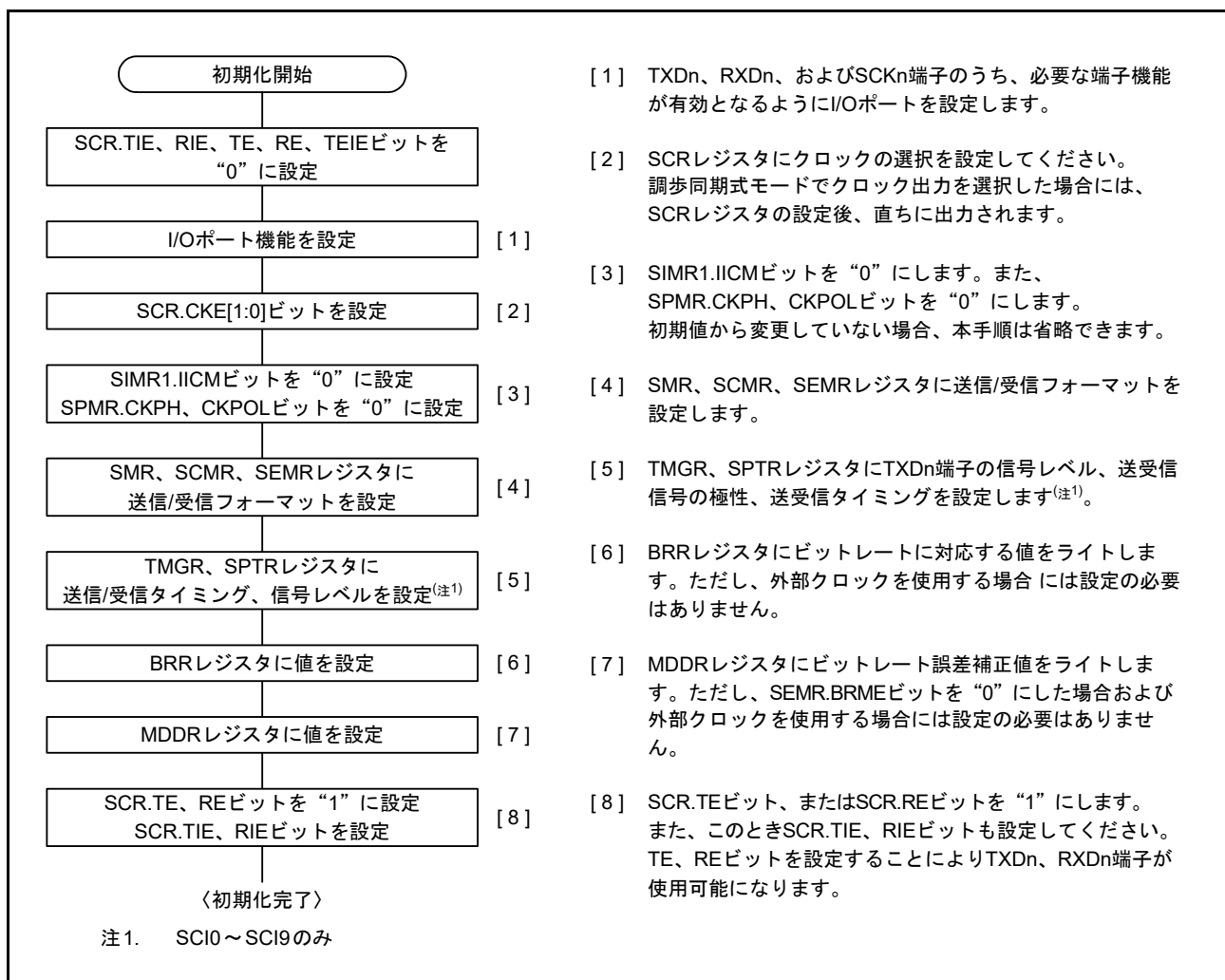


図 35.13 SCIの初期化フローチャートの例 (調歩同期式モード) (SCI0～SCI9, SCI12)



図 35.14 SCI の初期化フローチャートの例 (調歩同期式モード、FIFO 使用) (SCI10, SCI11)

図 35.15 は、リセット解除後に図 35.13 に従って SCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXD 端子に設定した時点では、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります(注1)。調歩同期式モードでは、この期間 TXD 端子は High になります。

注1. SEMR.ITE ビットが“0”の場合。ITE ビットが“1”の場合、この内部待機期間はありません。

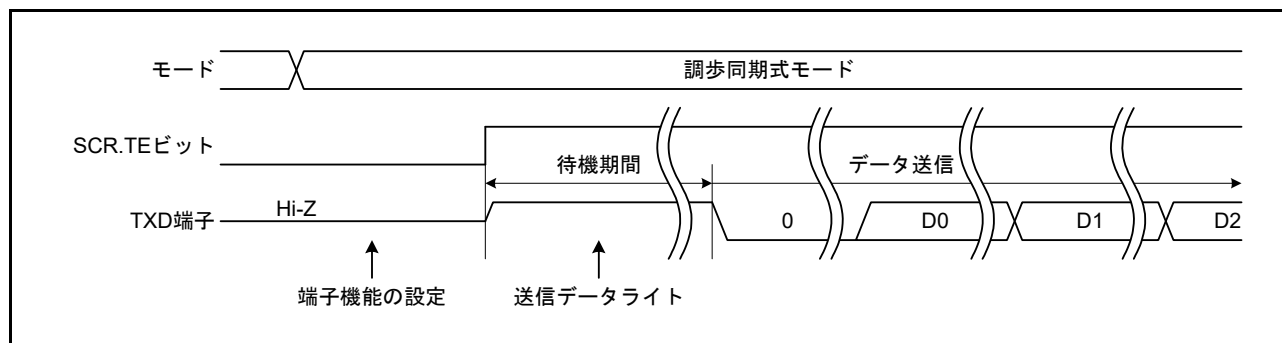


図 35.15 調歩同期式モード時のデータ送信タイミング例

35.3.8 シリアルデータの送信 (調歩同期式モード)

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

図 35.16 ~ 図 35.18 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタ (注 1) にデータが書き込まれると、TDR レジスタ (注 1) から TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、TDR レジスタ (注 1) から TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタ (注 1、注 2) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタ (注 1、注 2) に書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタ (注 3) の更新 (書き込み) をチェックします。
5. TDR レジスタ (注 3) が更新されていると、SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタ (注 1) から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタ (注 3) が更新されていない場合は、SSR.TEND フラグを“1”にし、ストップビット送出後、High を出力してマーク状態になります。このとき、SCR.TEIE ビットが“1”であると、SSR.TEND フラグが“1”になり TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRH および TDRL レジスタになります。

注 2. データ長 9 ビット選択時は、TDRH、TDRL レジスタの順にデータを書き込んでください。

注 3. データ長 9 ビット選択時は、TDRL レジスタ更新のみチェックします。TDRH レジスタ更新はチェックしません。

図 35.19 にシリアル送信のフローチャートの例を示します。

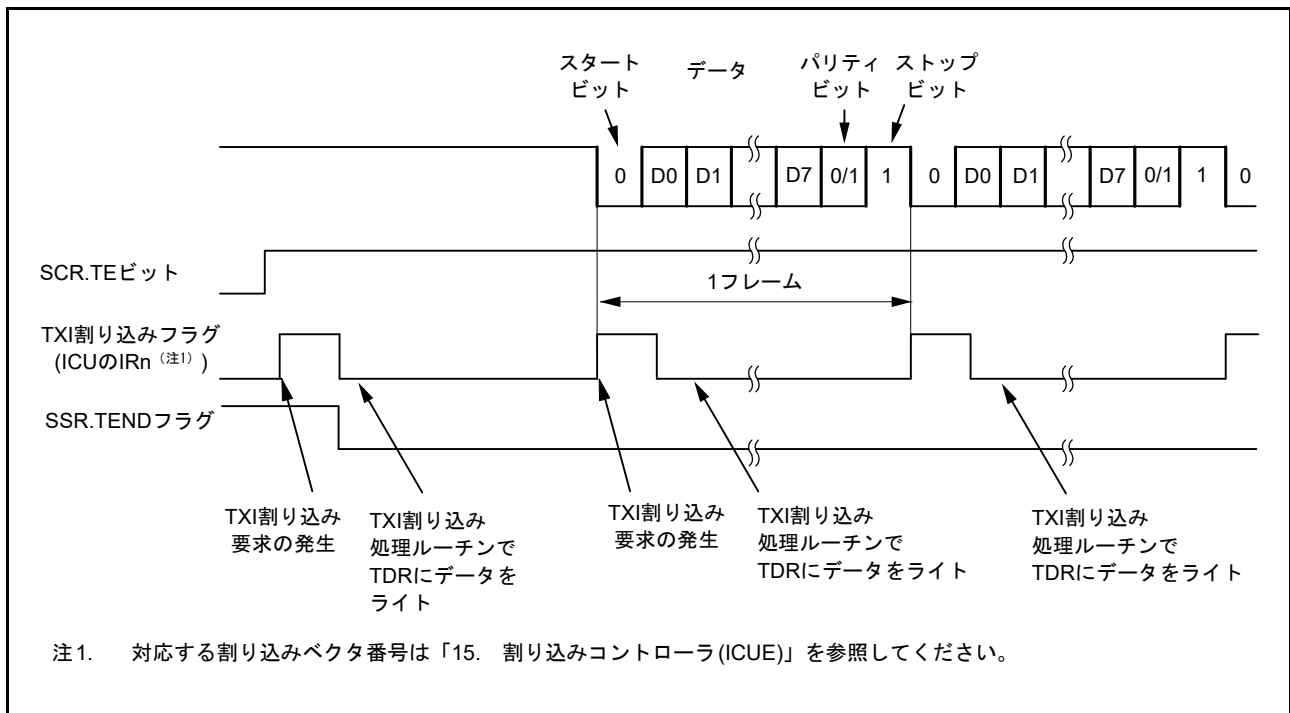


図 35.16 調歩同期式モードのシリアル送信の動作例(1)
(8ビットデータ/パリティあり/1ストップビット/CTS機能使用しない/送信開始時)

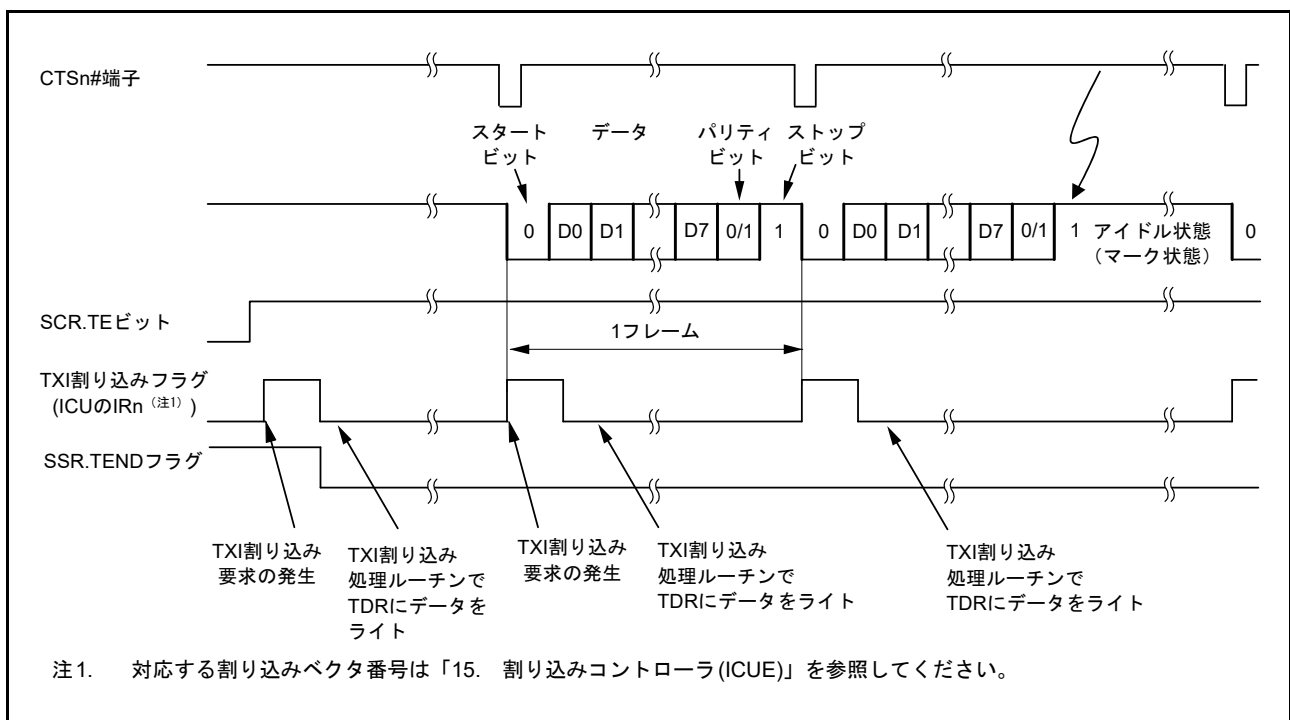


図 35.17 調歩同期式モードのシリアル送信の動作例(2)
(8ビットデータ/パリティあり/1ストップビット/CTS機能使用する/送信開始時)

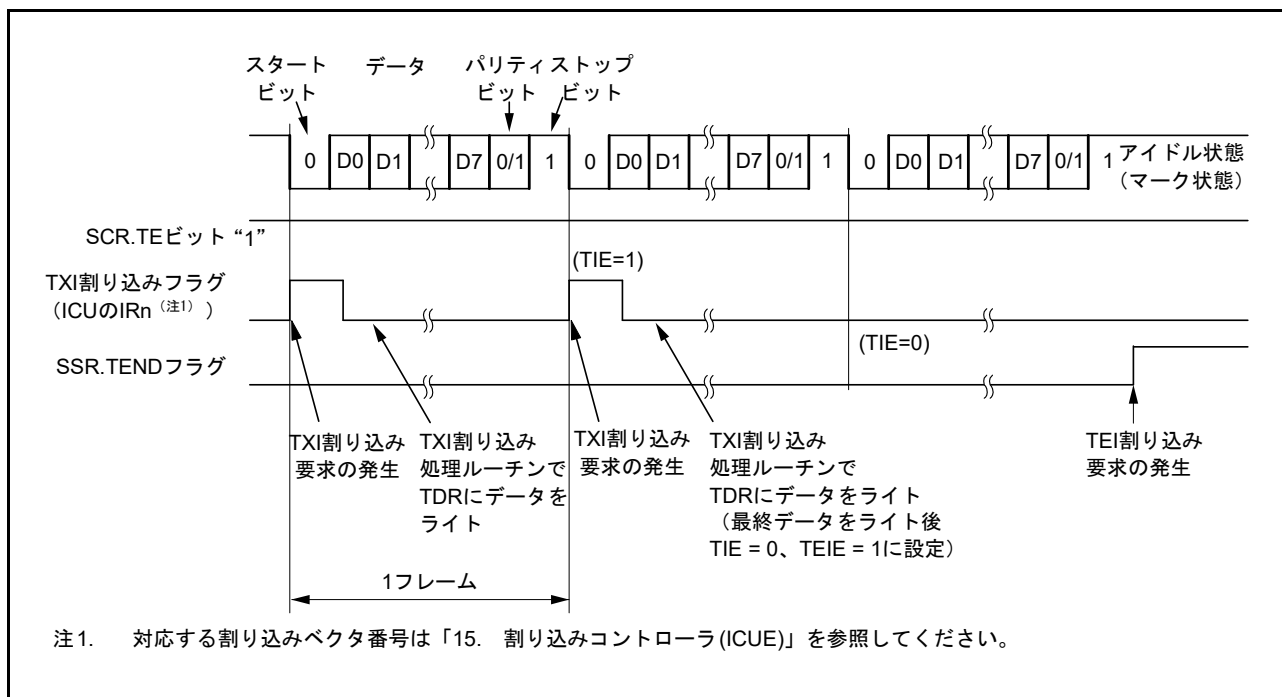


図 35.18 調歩同期式モードのシリアル送信の動作例 (3)
 (8ビットデータ / パリティあり / 1ストップビット / CTS機能使用しない / 送信中～送信終了時)

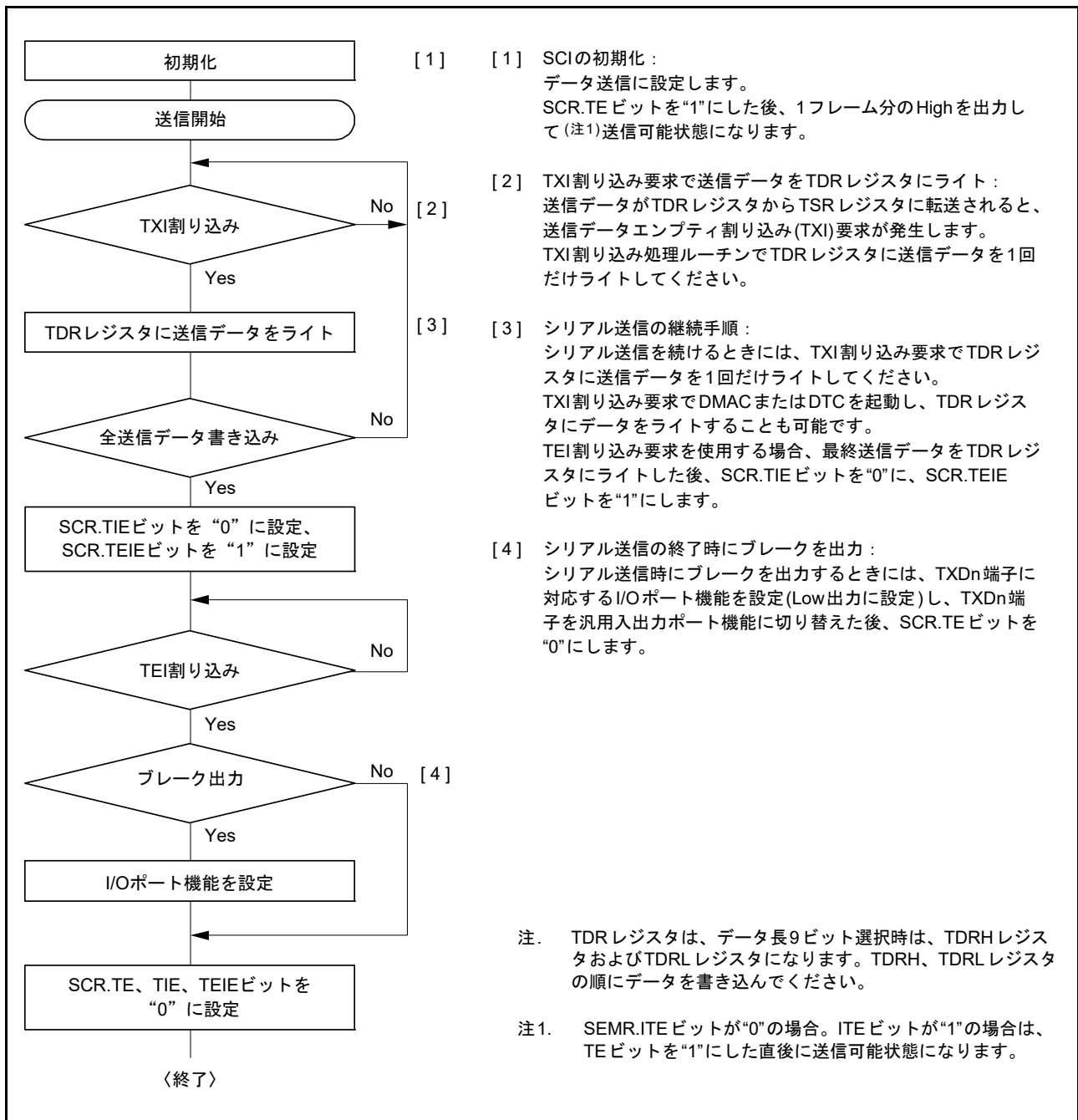


図 35.19 調歩同期式モードのシリアル送信のフローチャート例

(2) FIFO 有効の SCI10、SCI11 の場合

送信開始時の TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを同時に“1”にすることで発生します。

送信データは、TDR レジスタの代わりに FTDR レジスタ（7ビット、8ビットの場合は FTDR.L レジスタ）に設定します。送信 FIFO から TSR レジスタにデータが転送されたときに、送信 FIFO 内の格納データ数がしきい値 (FCR.TTRG[3:0]) 以下であると、送信データエンプティ割り込み (TXI) 要求が出力されます。TXI 割り込み処理ルーチンでは、最大 16 - FDR.T[4:0] フレーム分の送信データが設定できます。すべての送信データを設定し終わったら SSRFIFO.TDFE フラグを“0”にしてください。

DMAC や DTC を使用して送信データを設定する場合は、TDFE フラグは自動で“0”になります。

ブレークを出力する場合は、SPTR レジスタの SPB2IO ビットと SPB2DT ビットを使用します。設定が終わったら SCR.TE ビットを“0”にすると、ブレークが送出されます。

35.3.9 シリアルデータの受信 (調歩同期式モード)

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

図 35.20、図 35.21 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.OPER フラグをセットします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタ (注 1) に転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー (ストップビットが“0”のとき) を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタ (注 1) に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタ (注 2) に転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

注 1. データ長 9 ビット選択時は、RDRH および RDRL レジスタになります。

注 2. データ長 9 ビット選択時は、RDRL レジスタの読み出しのみチェックします。RDRH レジスタの読み出しはチェックしません。

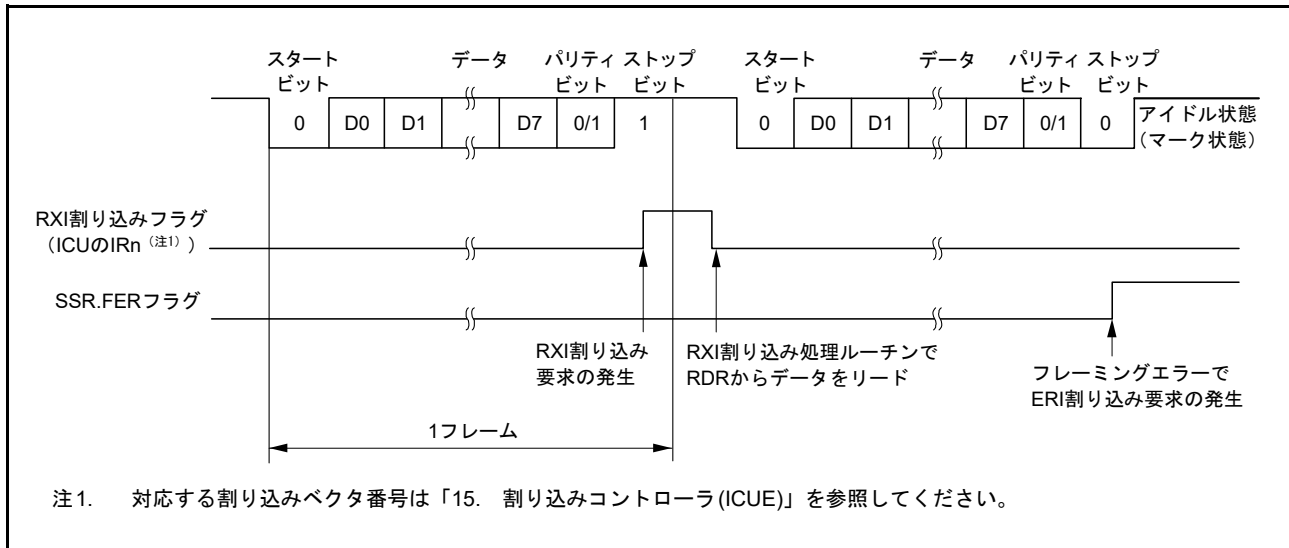


図 35.20 調歩同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)
(8 ビットデータ / パリティあり / 1 ストップビットの例)

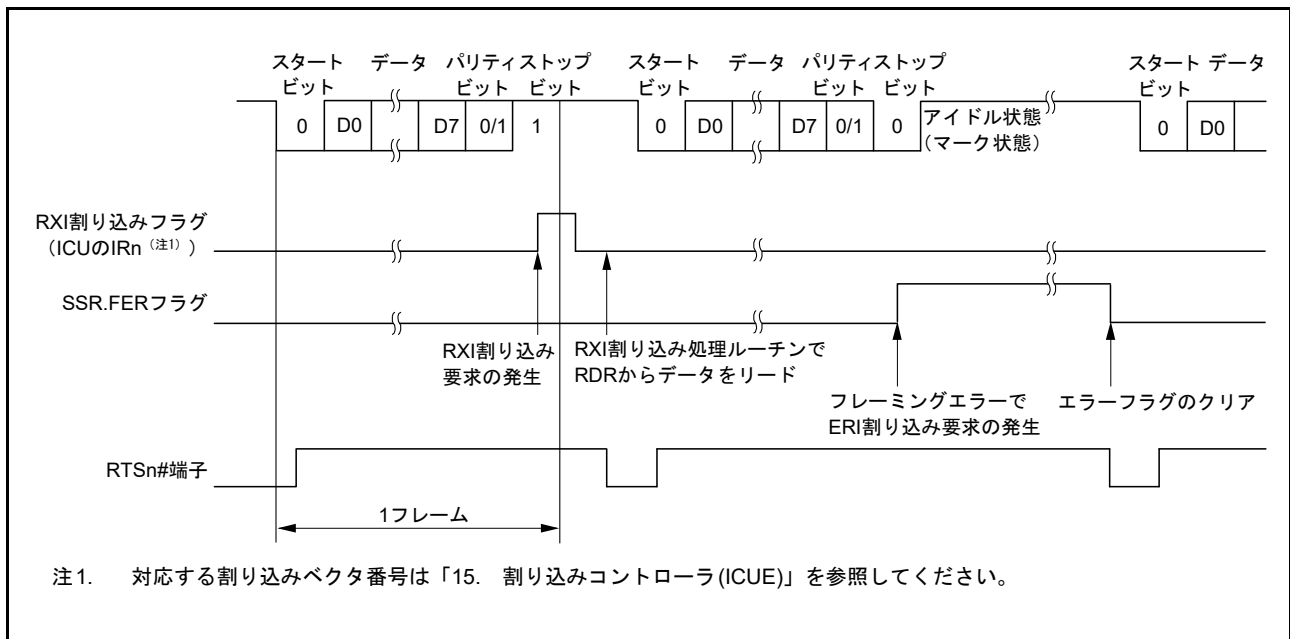


図 35.21 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時) (8ビットデータ/パリティあり/1ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 35.35 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では RDR (または RDRL) レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR (または RDRL) レジスタに読み出し前の受信データが残る場合があるため、RDR (または RDRL) レジスタをリードしてください。

図 35.22、図 35.23 にシリアル受信のフローチャートの例を示します。

表 35.35 SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR (注1)へ転送	フレーミングエラー
0	0	1	RDR (注1)へ転送	パリティエラー
1	1	0	消失	オーバランエラー+フレーミングエラー
1	0	1	消失	オーバランエラー+パリティエラー
0	1	1	RDR (注1)へ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

注1. データ長9ビット選択時はRDRH、RDRLレジスタになります。

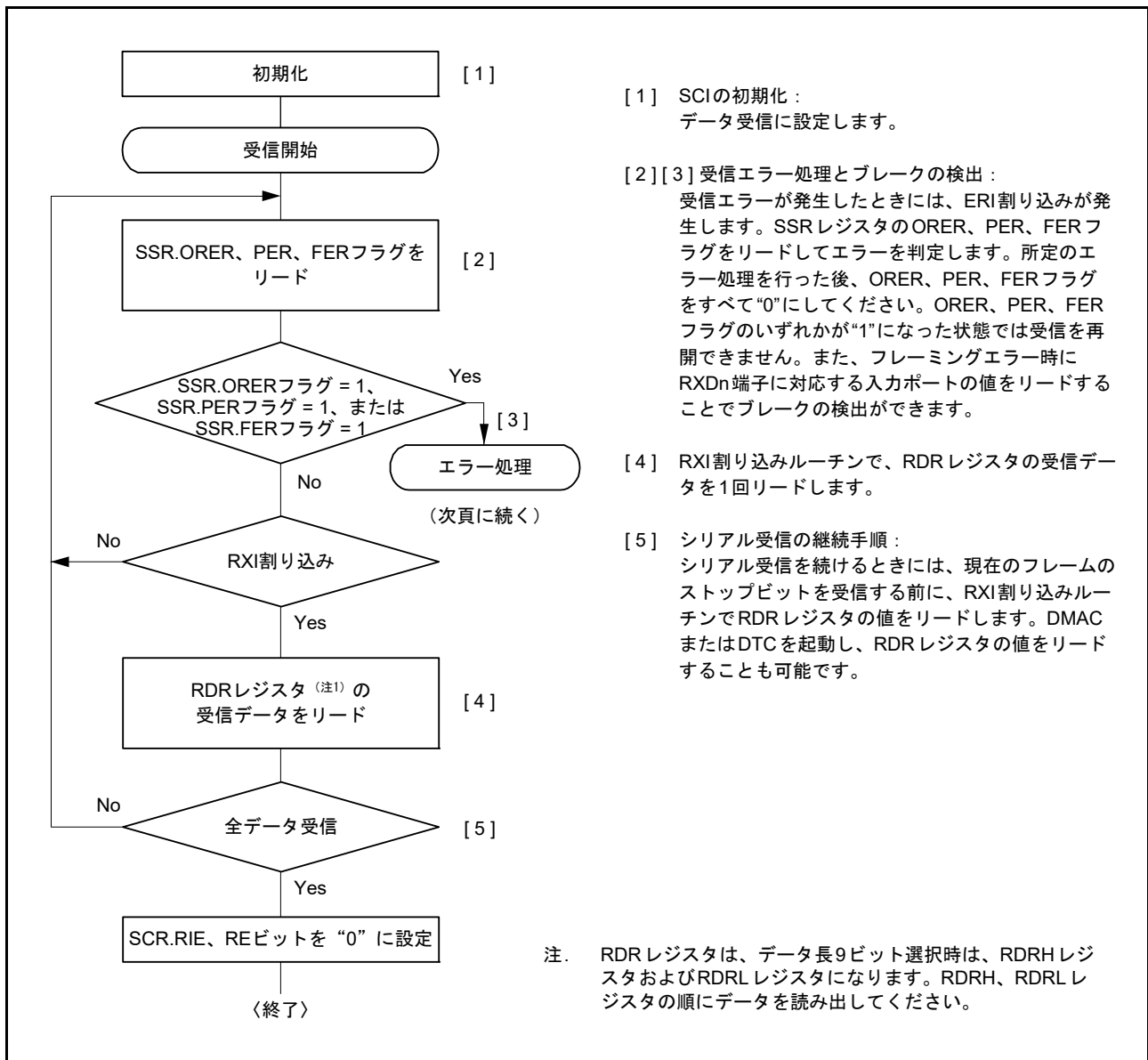


図 35.22 調歩同期式モードのシリアル受信のフローチャート例 (1)

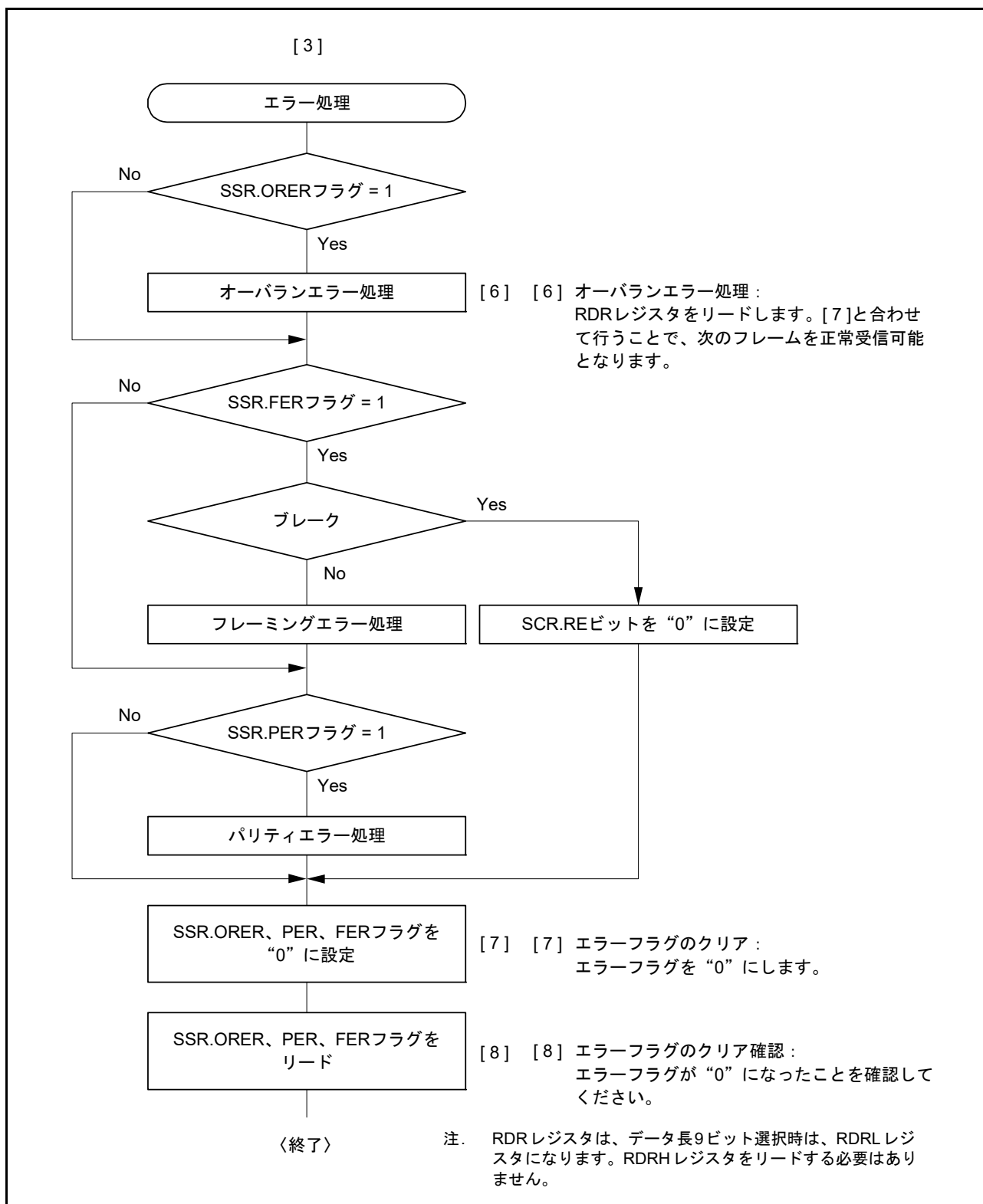


図 35.23 調歩同期式モードのシリアル受信のフローチャート例 (2)

(2) FIFO 有効の SCI10、SCI11 の場合

RDR レジスタの代わりに FRDR レジスタから受信データとステータスフラグを読み出します。バイト単位で読み出す場合は、FRDR.H、FRDR.L レジスタの順で読み出してください。FRDR.L レジスタを読むと、FRDR レジスタの FER フラグ、PER フラグ、RDAT[8:0] ビットが更新されます。FRDR レジスタの RDF フラグ、ORER フラグ、DR フラグは SSRFIFO レジスタの値と同じです。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. 受信 FIFO に空きがない場合は、オーバランエラーが発生します。オーバランエラーが発生したときは、SSRFIFO.ORER フラグを“1”にします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求を生成します。受信データは受信 FIFO に転送しません。
4. パリティエラーを検出した場合は、受信データを受信 FIFO に転送するとともに、受信 FIFO の PER フラグを“1”にします。このとき、RIE ビットが“1”であると、ERI 割り込み要求を生成します。
5. フレーミングエラー (ストップビットが“0”のとき) を検出した場合は、受信データを受信 FIFO に転送するとともに、受信 FIFO の FER フラグを“1”にします。このとき、RIE ビットが“1”であると、ERI 割り込み要求を生成します。
6. フレーミングエラーを検出した後、さらに 1 フレーム分の受信データがすべて“0”であると、受信動作を停止します。
7. 受信 FIFO に格納したデータの数がしきい値 (FCR.RTRG[3:0]) 未満のとき、最後に受信したデータのストップビットから 15 etu の期間が経過しても次のデータの受信が完了しないときは、SSRFIFO.DR フラグを“1”にします。このとき、SCR.RIE ビットが“1”であると、RXI 割り込み要求 (FCR.DRES ビットが“0”の場合) または ERI 割り込み要求 (FCR.DRES ビットが“1”の場合) を生成します。
8. 正常に受信したときは、受信データを受信 FIFO に転送します。受信 FIFO に格納したデータの数がしきい値 (FCR.RTRG[3:0]) 以上になると、SSRFIFO.RDF フラグを“1”にします。このとき、RIE ビットが“1”であると、RXI 割り込み要求を生成します。この RXI 割り込み処理ルーチンで、オーバランエラーが発生する前に RDRF レジスタから受信データを読み出すことで連続受信が可能です。受信 FIFO に転送された受信データが読み出され、未読データ数が FCR.RSTRG[3:0] ビットの値未満になると、RTSn# 端子出力を Low にします。

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に SSRFIFO レジスタの ORER、FER、および PER フラグを“0”にしてください。

オーバランエラー処理では、受信済みのデータを使用するかどうかで処理が異なります。

(a) 受信済みのデータを使用する場合

FRDR レジスタをリードしてから、SSRFIFO.ORER フラグを“0”にしてください。

(b) 受信済みのデータを使用しない場合

FCR.RFRST ビットに“1”を書いてから、SSRFIFO.ORER フラグを“0”にしてください。

また、受信動作中に SCR.RE ビットを“0”にして受信動作を強制終了した場合、FRDR レジスタに読み出し前の受信データが残る場合があります。受信 FIFO が空になるまで FRDR レジスタをリードするか、RFRST ビットに“1”を書いて受信 FIFO をリセットしてください。

35.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。図35.24にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

(1) SCI0～SCI9、SCI12、およびFIFO無効のSCI10、SCI11の場合

SCIはこの機能をサポートするため、SCR.MPIEビットが設けてあります。MPIEビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまでRSRレジスタからRDRレジスタ（データ長9ビット選択時はRDRH、RDRLレジスタ）への受信データの転送、および受信エラーの検出とSSRレジスタのRDRF、ORER、FERフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPBフラグが“1”になるとともにSCR.MPIEビットが“0”になって通常の受信動作に戻ります。このときSCR.RIEビットが“1”であるとRXI割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

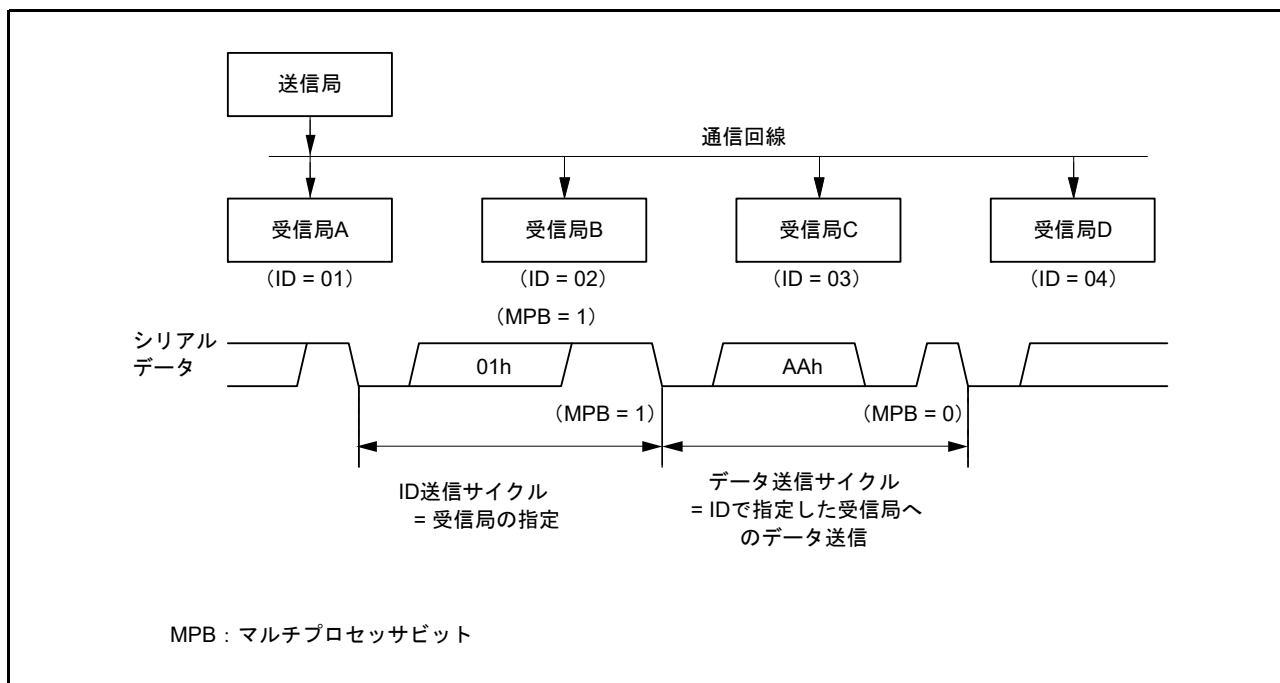


図 35.24 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ “AAh” の送信の例)

(2) FIFO 有効の SCI10、SCI11 の場合

送信時は SSR.MPBT ビットの代わりに FTDR.MPBT ビットを使用します。FTDR レジスタには送信データと同時に値を設定してください。

受信時は SSR.MPB フラグの代わりに FRDR.MPB フラグを使用します。受信完了時、RSR レジスタから受信 FIFO にデータが格納されるときに、マルチプロセッサビットの値も同時に格納されます。

SCR.MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから受信 FIFO への受信データの転送、受信エラーの検出、SSRFIFO レジスタの RDF、ORER、FER フラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、マルチプロセッサビットと受信データが受信 FIFO に格納されるとともに SCR.MPIE ビットが“0”になって通常の受信動作に戻ります。このとき SCR.RIE ビットが“1”であると RXI 割り込みを生成します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。

35.4.1 マルチプロセッサシリアルデータ送信

図 35.25 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

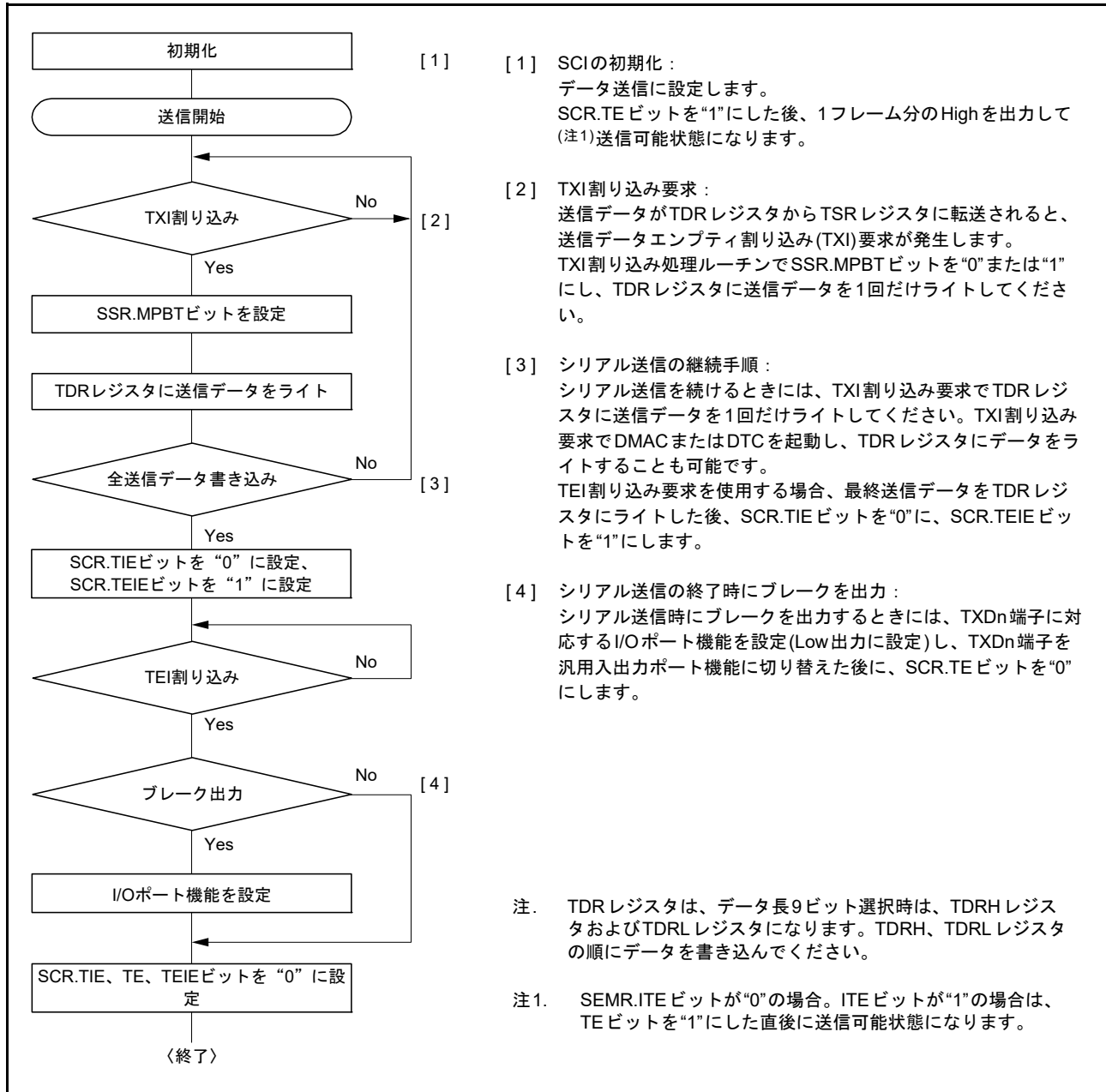


図 35.25 マルチプロセッサシリアル送信のフローチャートの例

35.4.2 マルチプロセッサシリアルデータ受信

図 35.27、図 35.28 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）に転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 35.26 に受信時の動作例を示します。

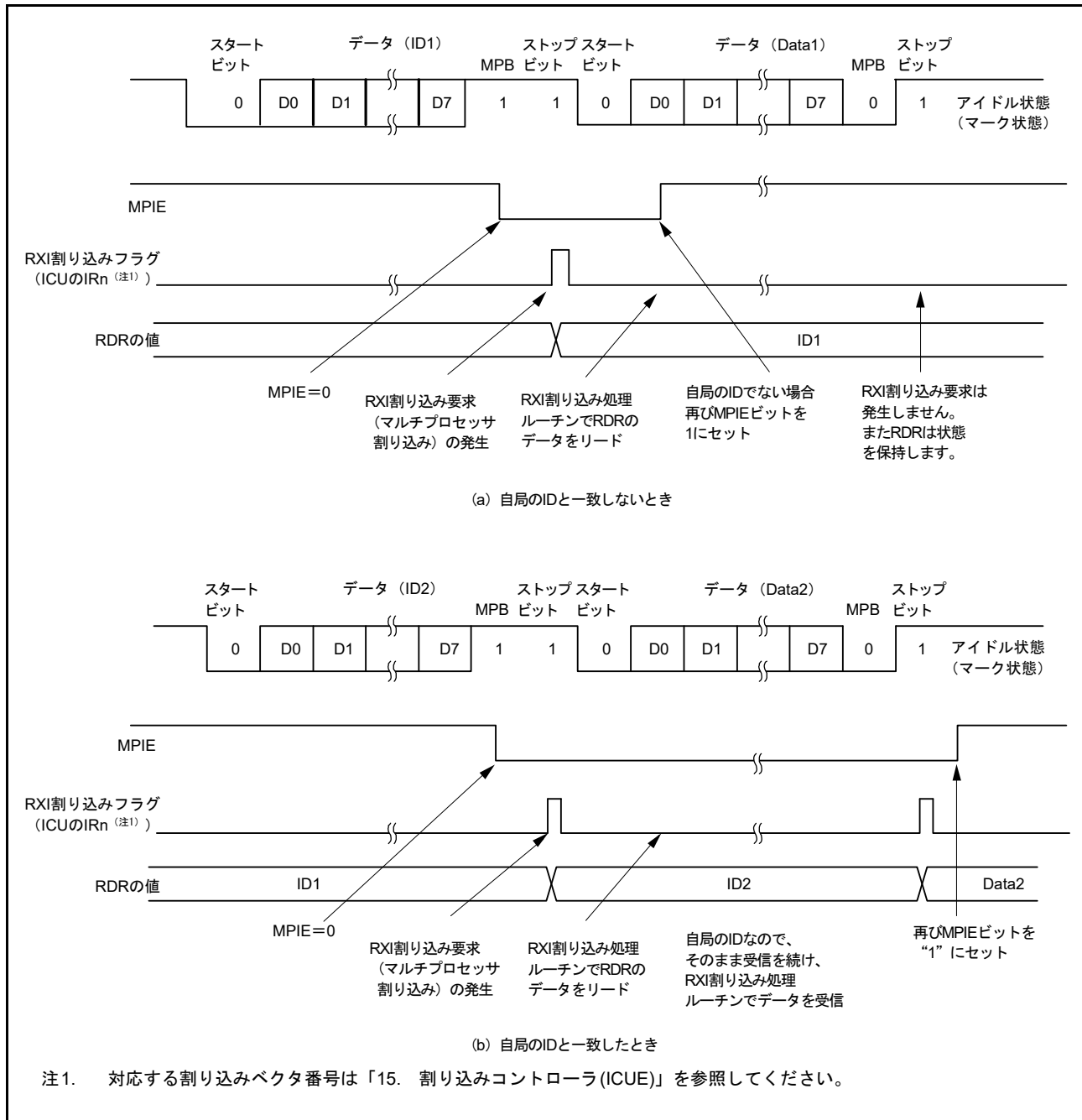


図 35.26 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

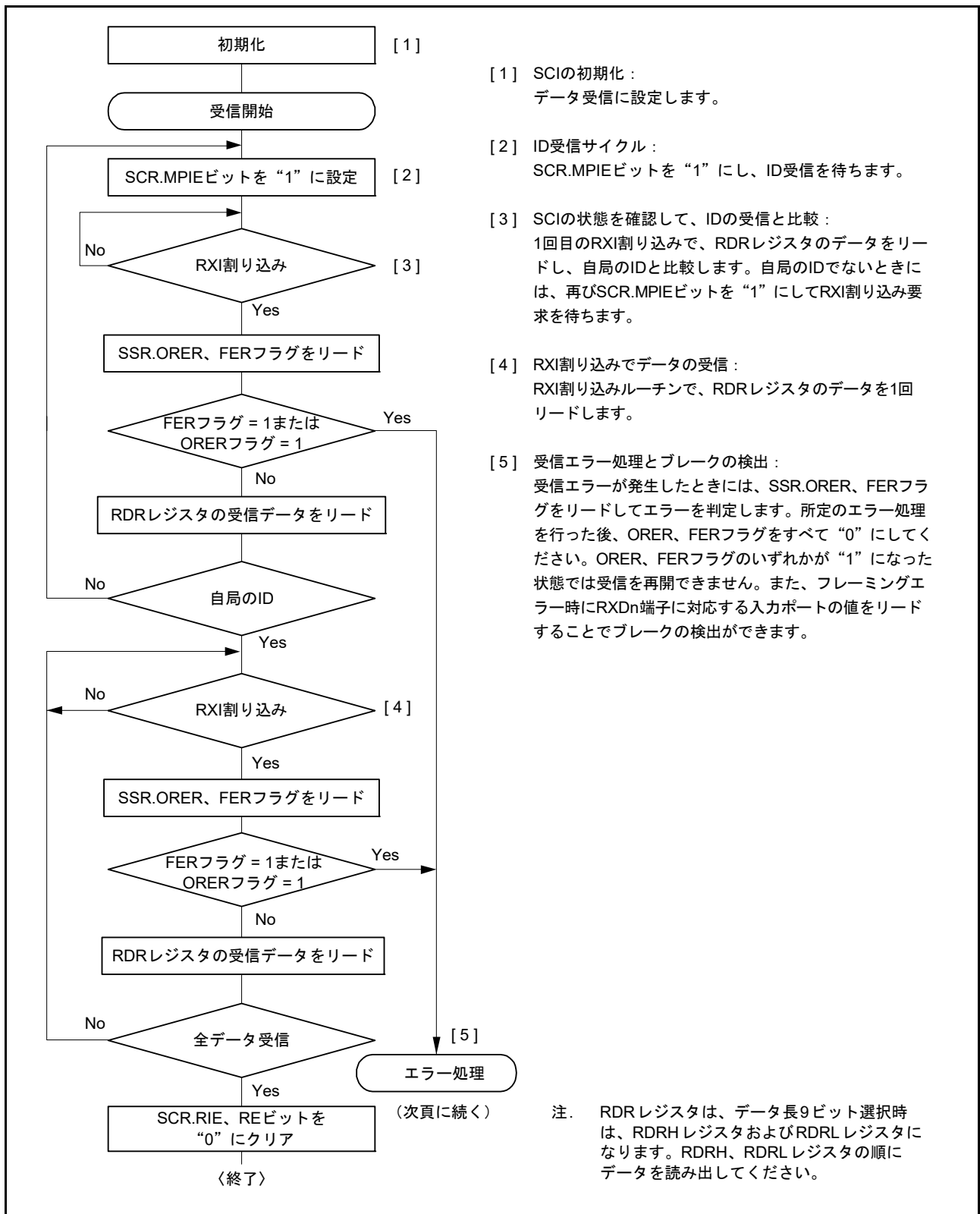


図 35.27 マルチプロセッサシリアル受信のフローチャートの例 (1)

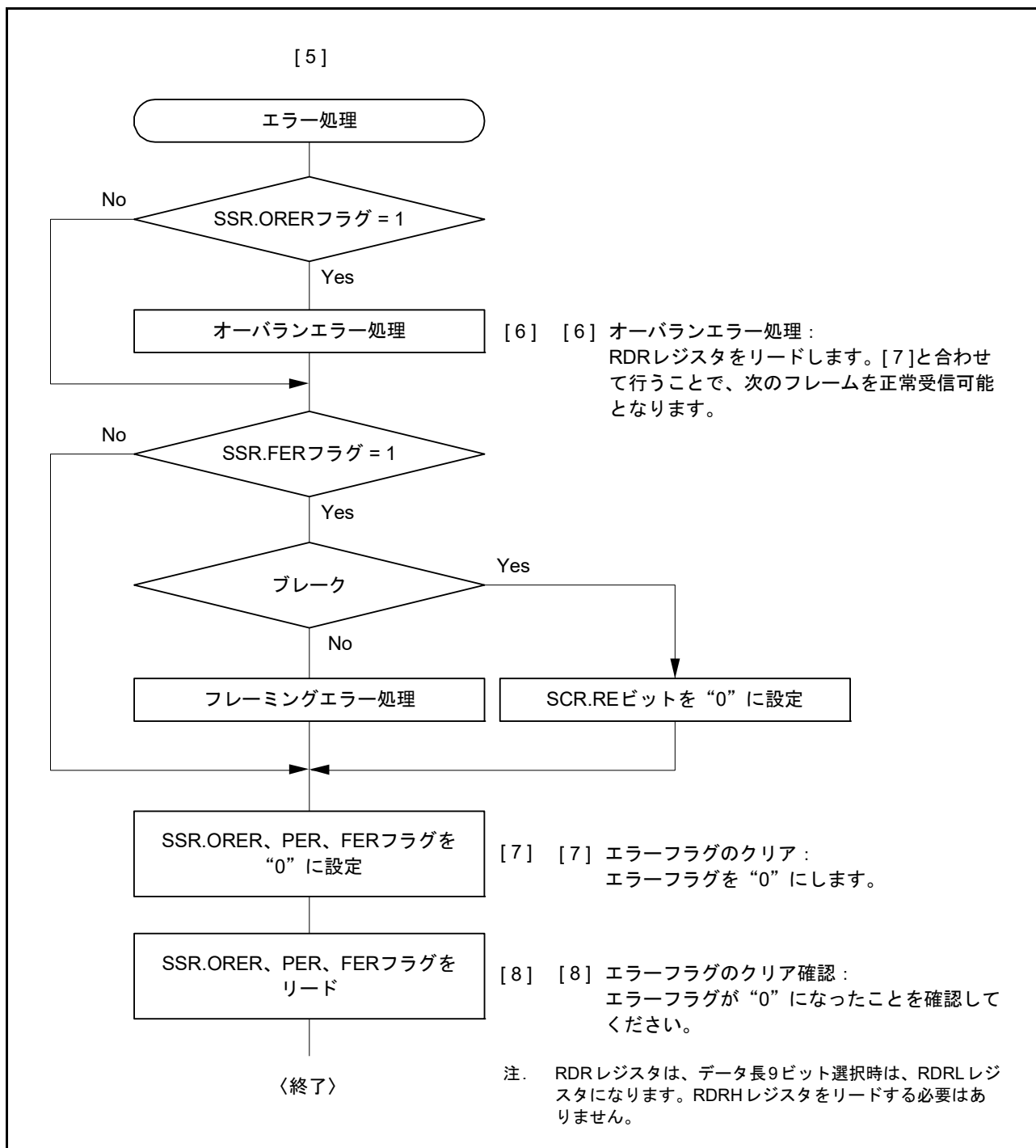


図 35.28 マルチプロセッサシリアル受信のフローチャートの例 (2)

35.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 35.29 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

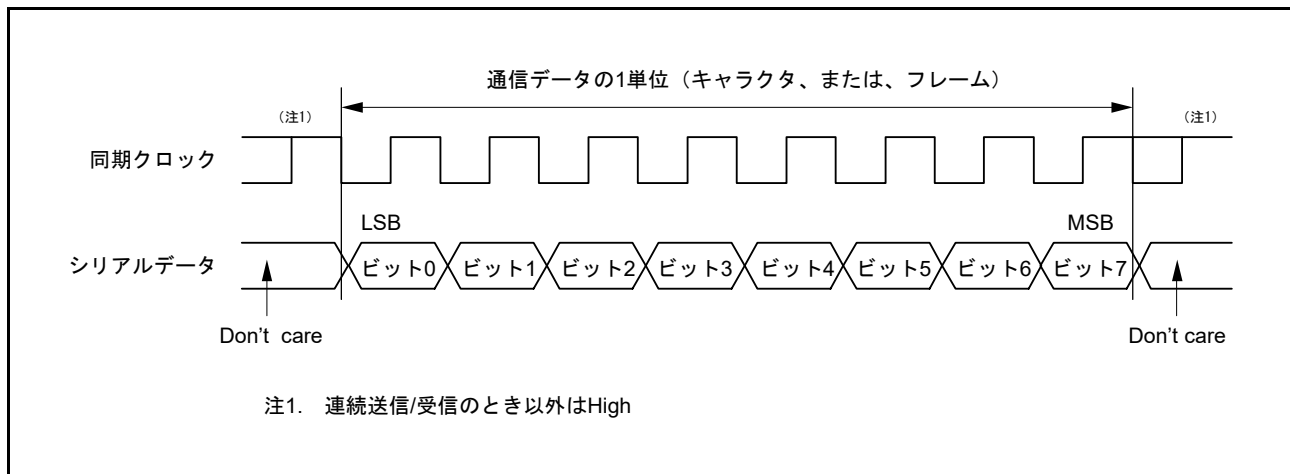


図 35.29 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

35.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを“1”にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが“0”のときに CTSn# 端子入力が High であれば、SCR.RE ビットを“1”にしてもクロック出力を開始しません。SCR.RE ビットを“1”にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

35.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビットを“1”にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

送受信動作中に CTSn# 端子を High にした場合、送受信中のフレームは影響を受けず送受信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

(a) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 未読の受信データがない (SCR.RE ビットが“1”のとき)
- 未送信のデータがある (SCR.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

(b) FIFO 有効の SCI10、SCI11 の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 受信 FIFO 内の格納データ数がしきい値 (FCR.RTRG[3:0]) 未満 (SCR.RE ビットが“1”のとき)
- 未送信のデータがある (SCR.TE ビットが“1”のとき)
- SSRFIFO.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

35.5.3 SCIの初期化(クロック同期式モード)

データの送受信前にSCRレジスタに初期値“00h”を書き込み、図35.30のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCRレジスタを初期値にしてから変更してください。

SCR.REビットを“0”にしても、SSRレジスタのORER、FER、PERフラグおよびRDRレジスタは初期化されませんので注意してください。

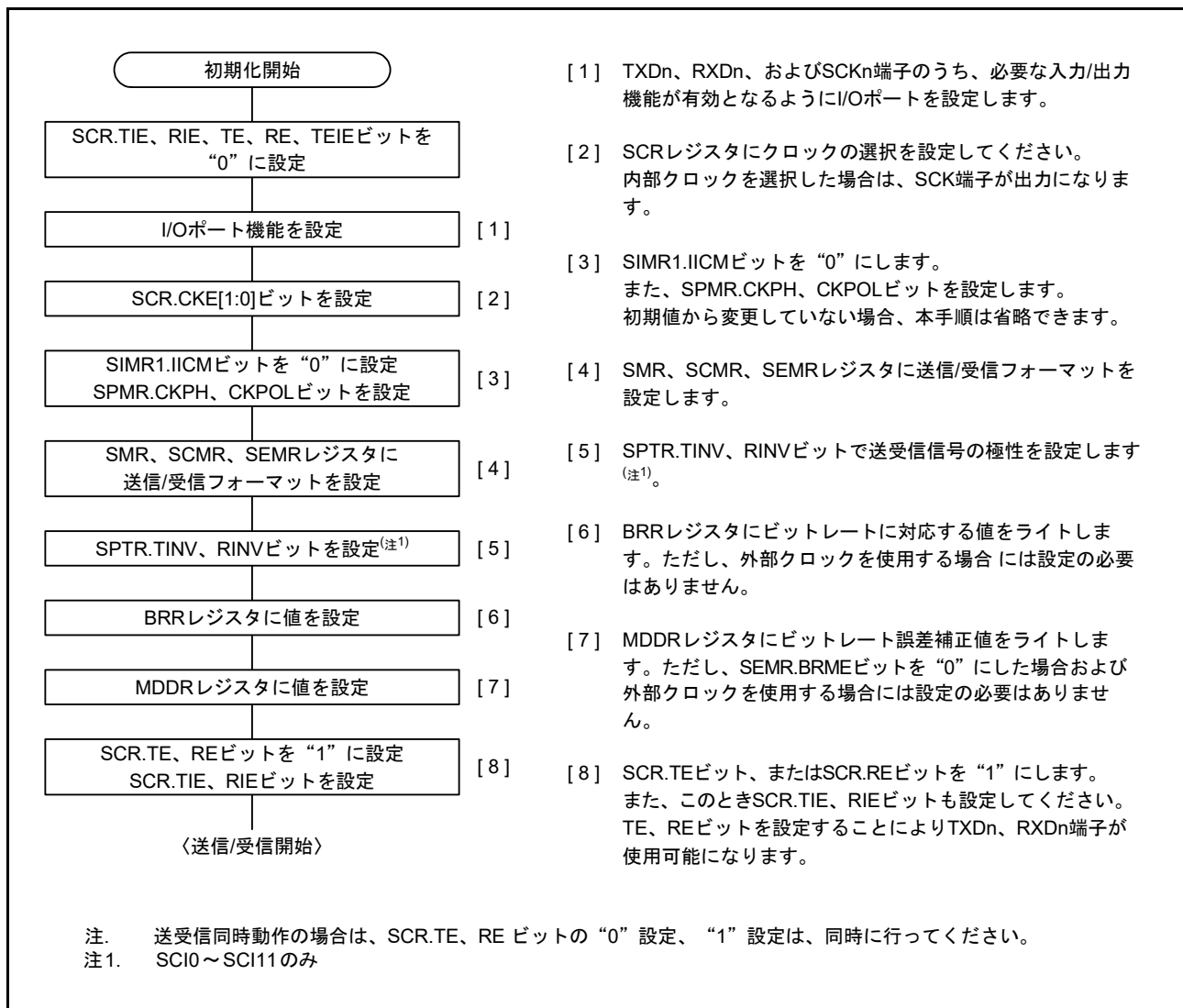


図 35.30 SCIの初期化フローチャートの例(クロック同期式モード)

35.5.4 シリアルデータの送信 (クロック同期式モード)

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

図 35.31、図 35.32、図 35.33 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1” (CTS 機能許可) のとき、CTS 信号入力 Low になるまで待つてから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 35.34 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ (SSR.ORER, FER, PER) が“1”になった状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にただけではクリアされませんので注意してください。

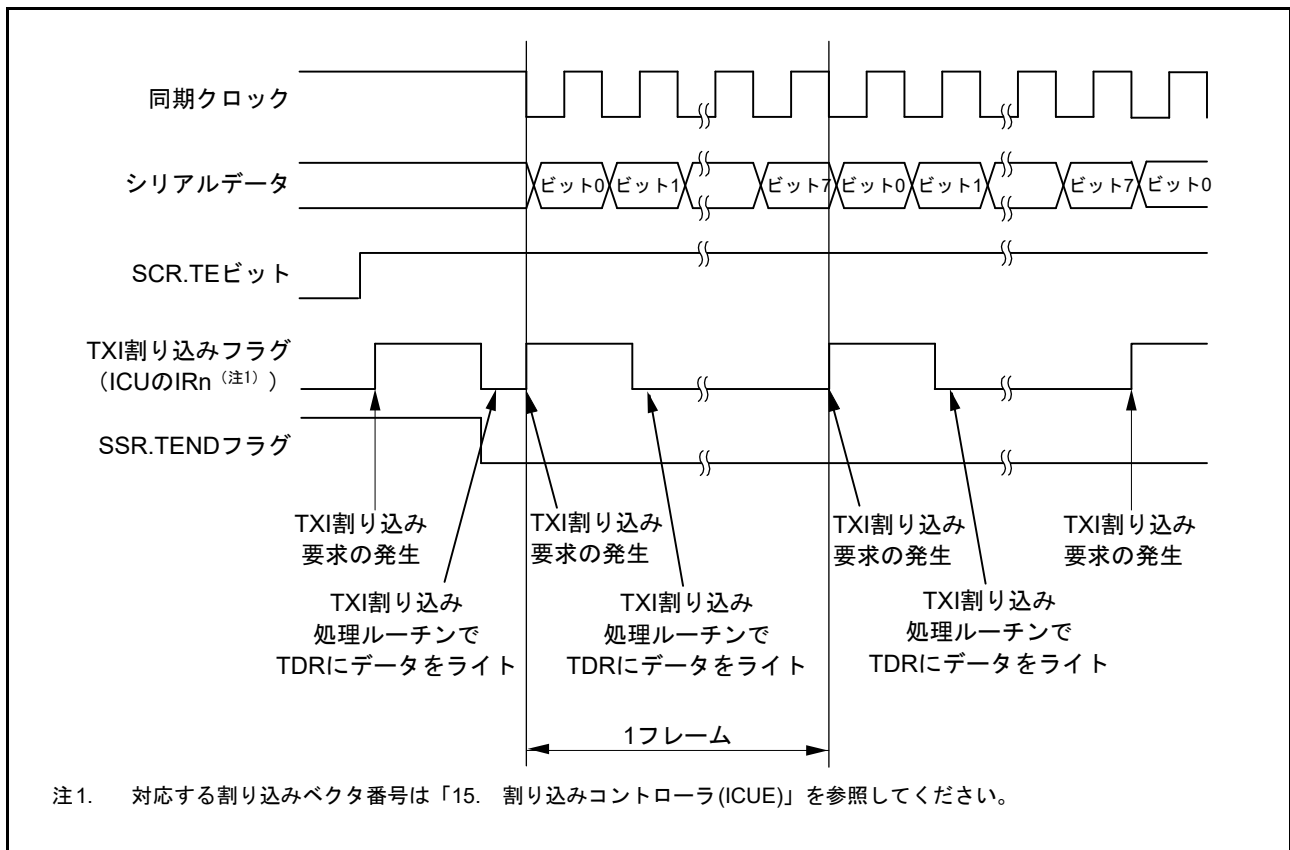


図 35.31 クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)

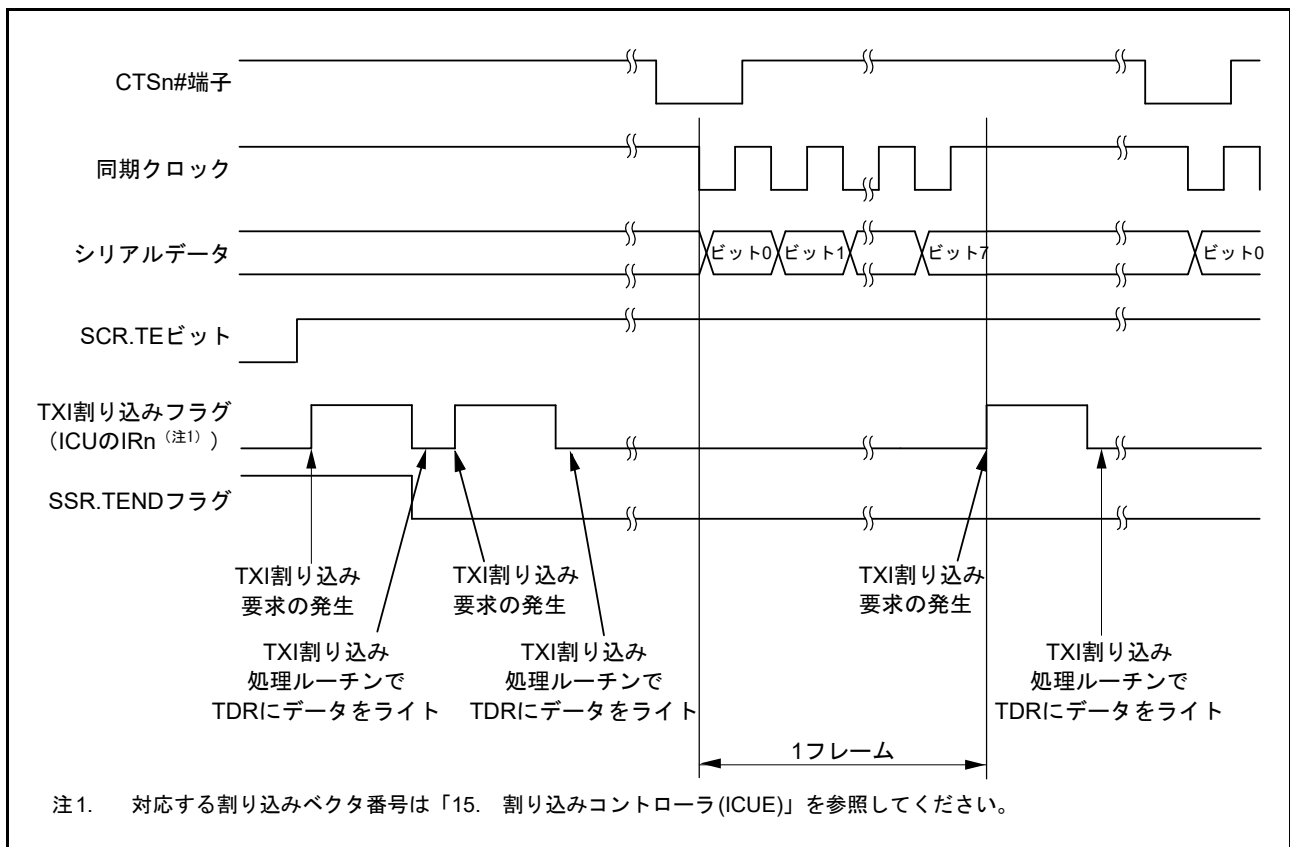


図 35.32 クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)

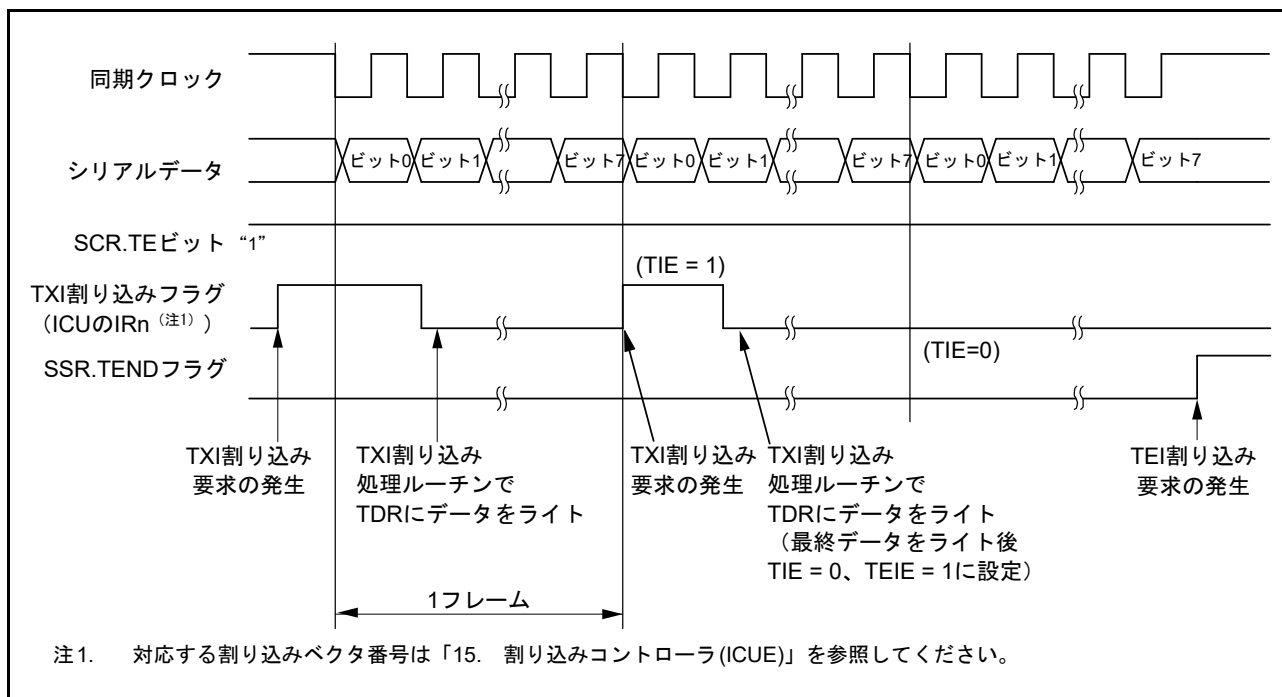


図 35.33 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)

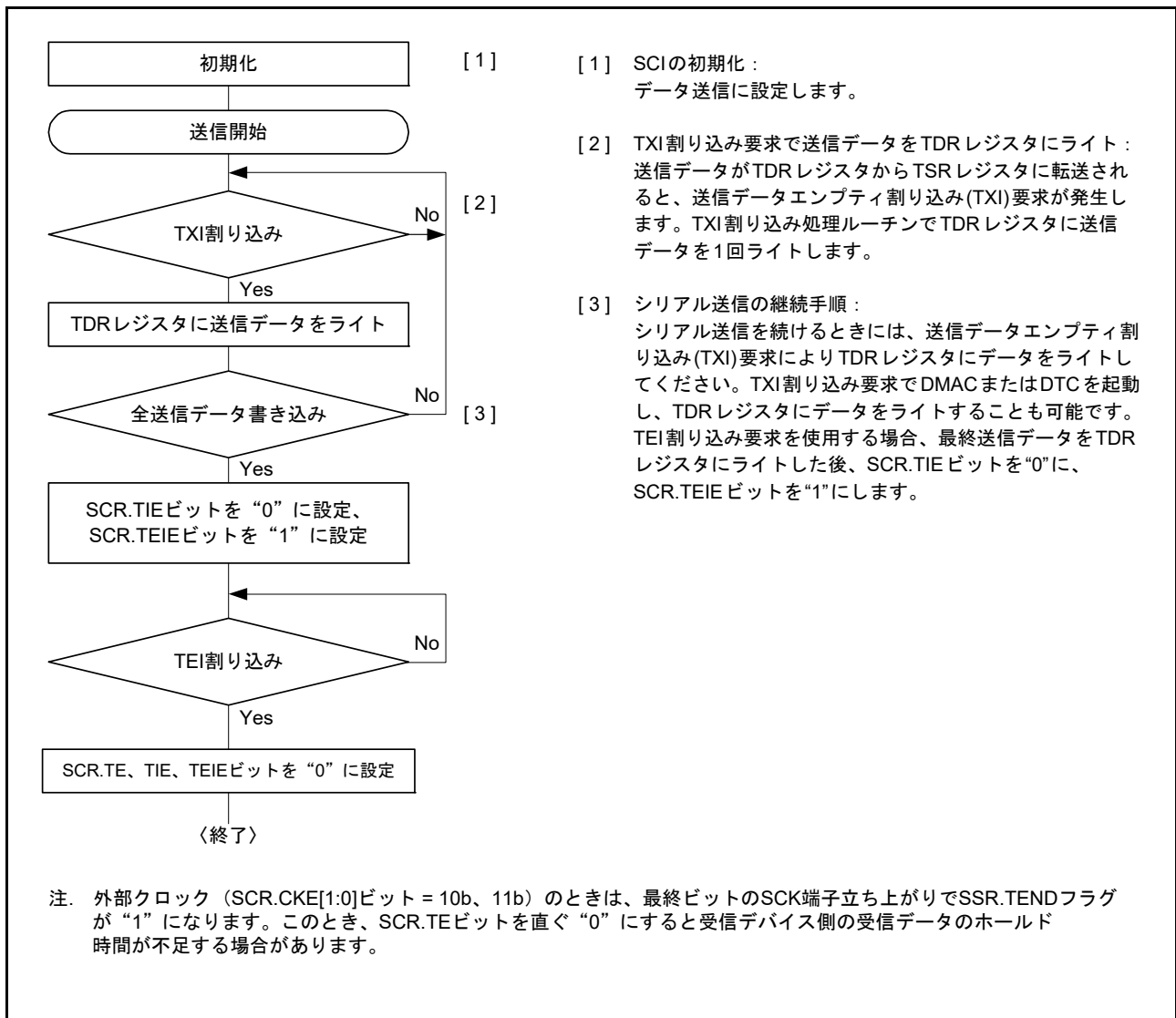


図 35.34 クロック同期式モードのシリアル送信のフローチャート例

(2) FIFO 有効の SCI10、SCI11 の場合

TDR レジスタの代わりに FTDR レジスタ (FTDR.L レジスタ) に送信データを設定します。送信 FIFO から TSR レジスタにデータが転送されたときに、送信 FIFO 内の格納データ数がしきい値 (FCR.TTRG[3:0]) 以下であると、送信データエンpty割り込み (TXI) 要求が出力されます。TXI 割り込み処理ルーチンでは、最大 $16 - \text{FDR.T}[4:0]$ フレーム分の送信データが設定できます。すべての送信データを設定し終わったら SSRFIFO.TDFE フラグを“0”にしてください。

DMAC や DTC を使用して送信データを設定する場合は、TDFE フラグは自動で“0”になります。シリアルデータの送信時、SCI は以下のように動作します。

1. SCR.TIE ビットと SCR.TE ビットが同時に“1”になると、TXI 割り込み要求を生成します。TXI 割り込み処理ルーチンで FTDR レジスタ (FTDR.L レジスタ) に設定できる最大データ数は、 $16 - \text{FDR.T}[4:0]$ バイトです。
2. TXI 割り込み処理ルーチンで FTDR レジスタに送信データが書かれると、送信 FIFO の先頭から順に TSR レジスタにデータを転送し、送信を開始します。送信 FIFO 内の未送信データ数が設定されたしきい値 (FCR.TTRG[3:0]) 以下になると、SSRFIFO.TDFE フラグが“1”になります。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求を生成します。送信 FIFO が空になる前に、TXI 割り込み処理ルーチンで FTDR レジスタに送信データを書くことで連続送信が可能です。TEI 割り込み要求を使用する場合は、TXI 割り込み処理ルーチンで最終送信データを FTDR レジスタに書き込んだ後、SCR.TIE ビットを“0”に、SCR.TEIE ビットを“1”にします。
3. SCR.CKE[1] ビットが“0” (内部クロック) の場合は、出力するクロックに同期して、SCR.CKE[1] ビットが“1” (外部クロック) の場合は、入力されるクロックに同期して TXDn 端子から 8 ビットのデータを出力します。SPMR.CTSE ビットが“1” (CTS 機能許可) の場合、CTS#n 端子に Low が入力されるまで待って送信を開始します。
4. SCI は、最終ビットを送出するときに、送信 FIFO に未送信データが残っているかどうかを確認します。
5. 送信 FIFO に未送信データがあった場合は、送信 FIFO から TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. 送信 FIFO に未送信データがなかった場合は、SSRFIFO.TEND フラグを“1”にし、TSR レジスタのシフトを停止します。このとき、SCR.TEIE ビットが“1”であると、TEI 割り込み要求を生成します。TXDn 端子は最終送信データの最終ビットの値に、SCKn 端子は High に固定されます。

35.5.5 シリアルデータの受信 (クロック同期式モード)

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

図 35.35、図 35.36 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 信号出力を Low にします (RTS 機能使用時)。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.OPER フラグをセットします。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします (RTS 機能使用時)。

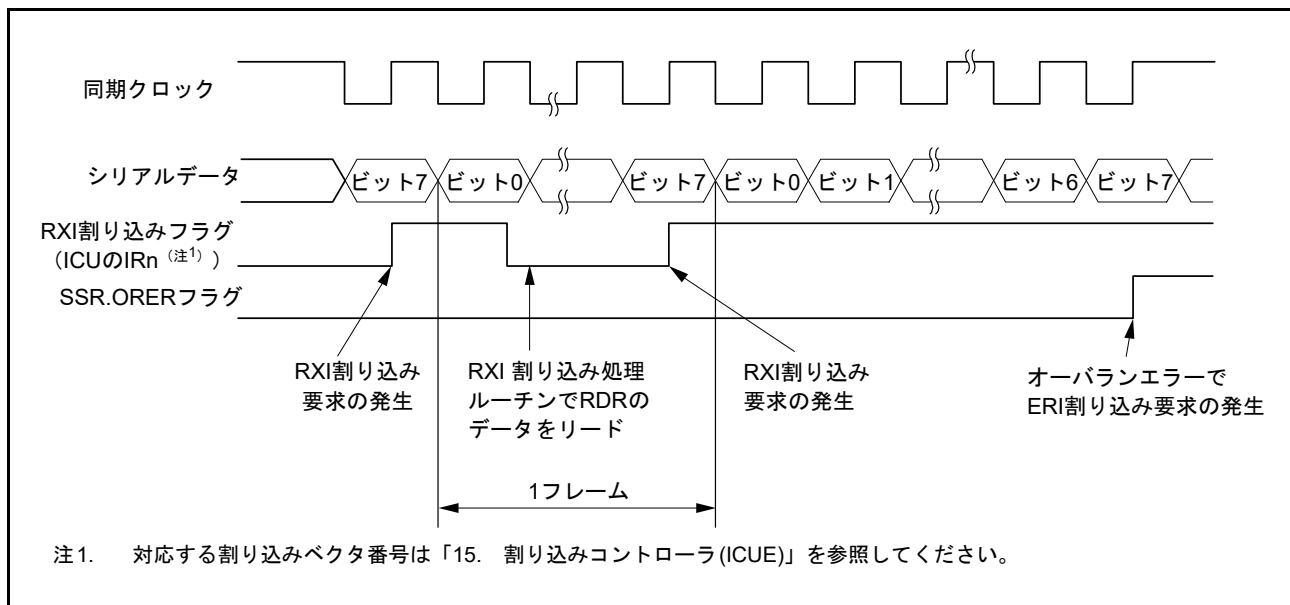


図 35.35 クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)

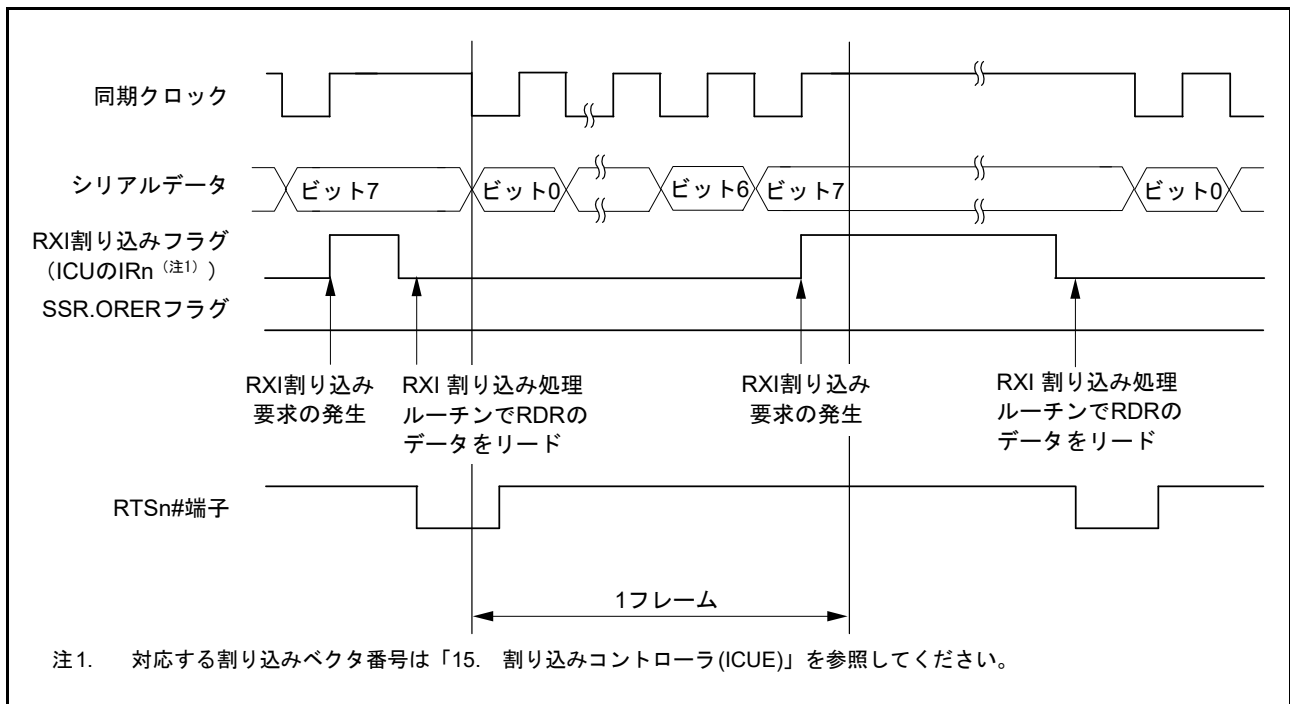


図 35.36 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、FER、PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 35.37 にシリアル受信のフローチャートの例を示します。

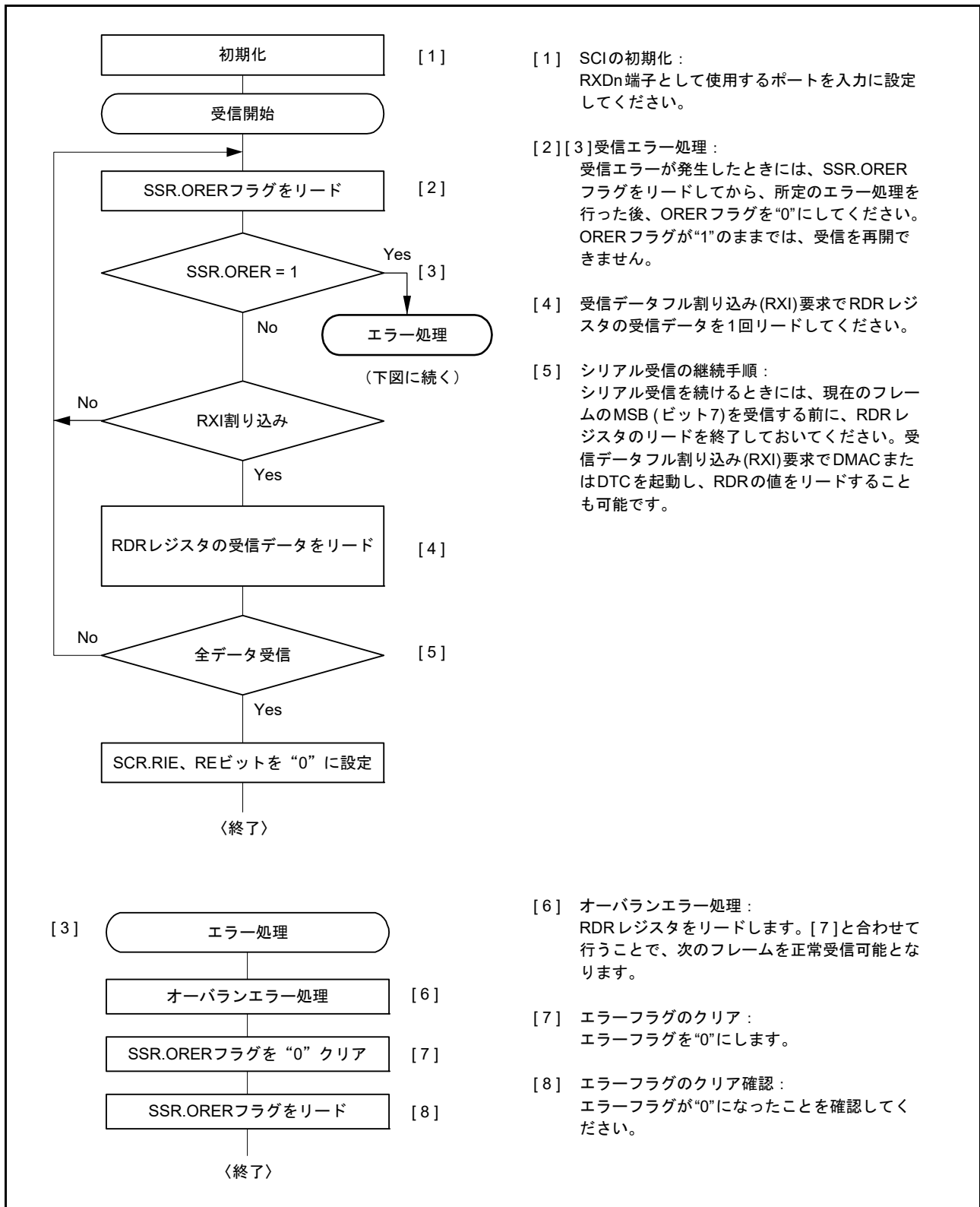


図 35.37 クロック同期式モードのシリアル受信のフローチャート例

(2) FIFO 有効の SCI10、SCI11 の場合

RDR レジスタの代わりに FRDR レジスタから受信データとステータスフラグを読み出します。バイト単位で読み出す場合は、FRDR.H、FRDR.L レジスタの順で読み出してください。FRDR.L レジスタを読むと、FRDR.RDAT[7:0] ビットが更新されます。FRDR レジスタの RDF フラグ、ORER フラグは SSRFIFO レジスタの値と同じです。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. SCI は同期クロックの入力、または出力に同期して受信を開始し、受信データを RSR レジスタに取り込みます。
3. 受信 FIFO に空きがない場合は、オーバランエラーが発生します。オーバランエラーが発生したときは、SSRFIFO.ORER フラグを“1”にします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求を生成します。受信データは受信 FIFO に転送しません。
4. 正常に受信したときは、受信データを受信 FIFO に転送します。受信 FIFO に格納したデータの数がしきい値 (FCR.RTRG[3:0]) 以上になると、SSRFIFO.RDF フラグを“1”にします。このとき、RIE ビットが“1”であると、RXI 割り込み要求を生成します。この RXI 割り込み処理ルーチンで、オーバランエラーが発生する前に RDRF レジスタから受信データを読み出すことで連続受信が可能です。受信 FIFO に転送された受信データが読み出され、未読データ数が FCR.RSTRG[3:0] ビットの値未満になると、RTSn# 端子出力を Low にします。

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に SSRFIFO レジスタの ORER、FER、および PER フラグを“0”にしてください。

オーバランエラー処理では、受信済みのデータを使用するかどうかで処理が異なります。

(a) 受信済みのデータを使用する場合

FRDR レジスタをリードしてから、SSRFIFO.ORER フラグを“0”にしてください。

(b) 受信済みのデータを使用しない場合

FCR.RFRST ビットに“1”を書いてから、SSRFIFO.ORER フラグを“0”にしてください。

また、受信動作中に SCR.RE ビットを“0”にして受信動作を強制終了した場合、FRDR レジスタに読み出し前の受信データが残る場合があります。受信 FIFO が空になるまで FRDR レジスタをリードするか、RFRST ビットに“1”を書いて受信 FIFO をリセットしてください。

35.5.6 シリアルデータの送受信同時動作 (クロック同期式モード)

図 35.38 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが“1”になっていることで確認してください。その後、SCR レジスタを初期化してから SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR レジスタの RIE、RE ビットを“0”にしてから、エラーフラグ (SSR.ORER, FER, PER) が“0”であることを確認した後、SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

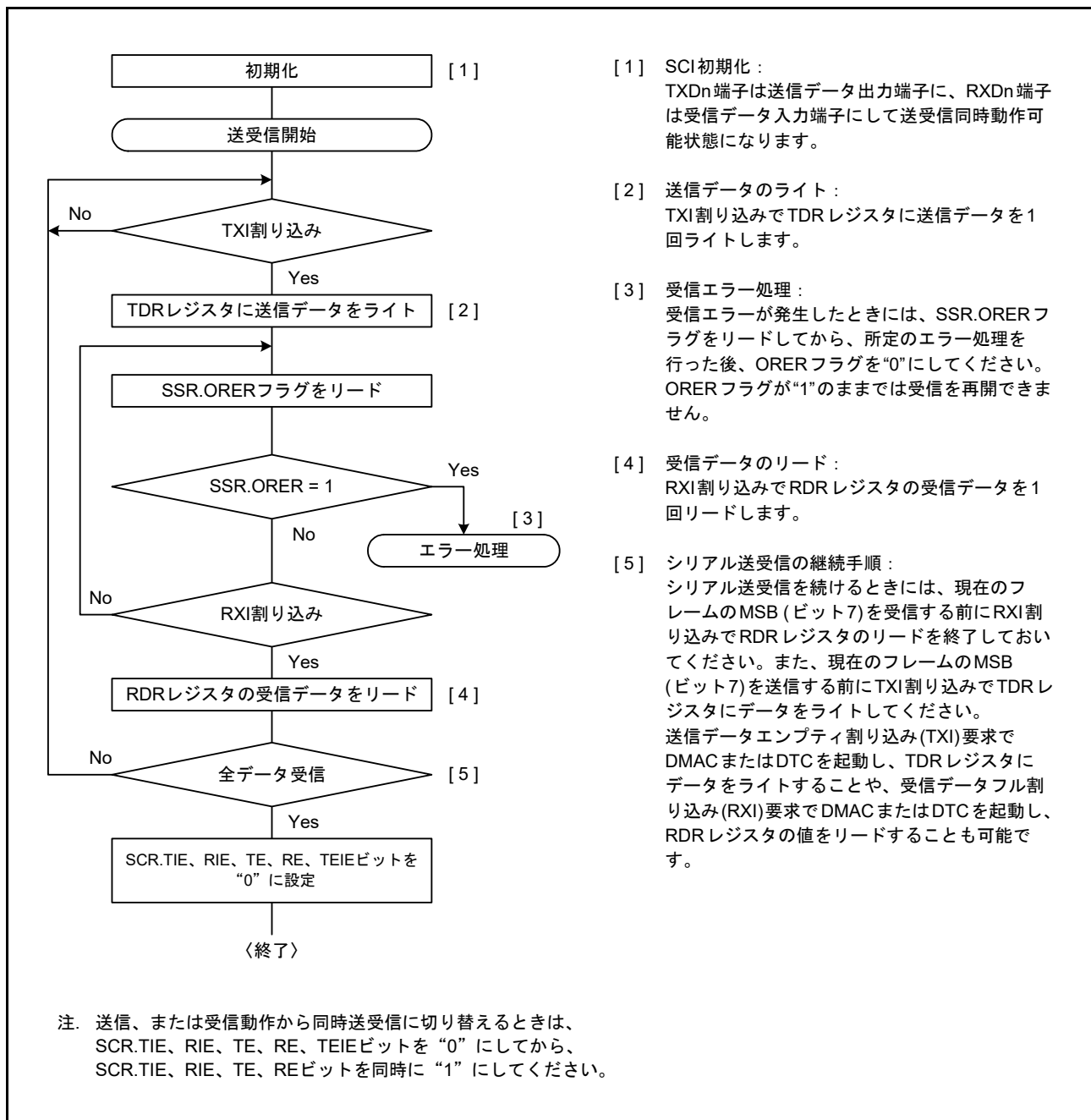


図 35.38 クロック同期式モードのシリアル送受信同時動作のフローチャート例

35.6 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

35.6.1 接続例

図 35.39 にスマートカード (IC カード) との接続例を示します。

IC カードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

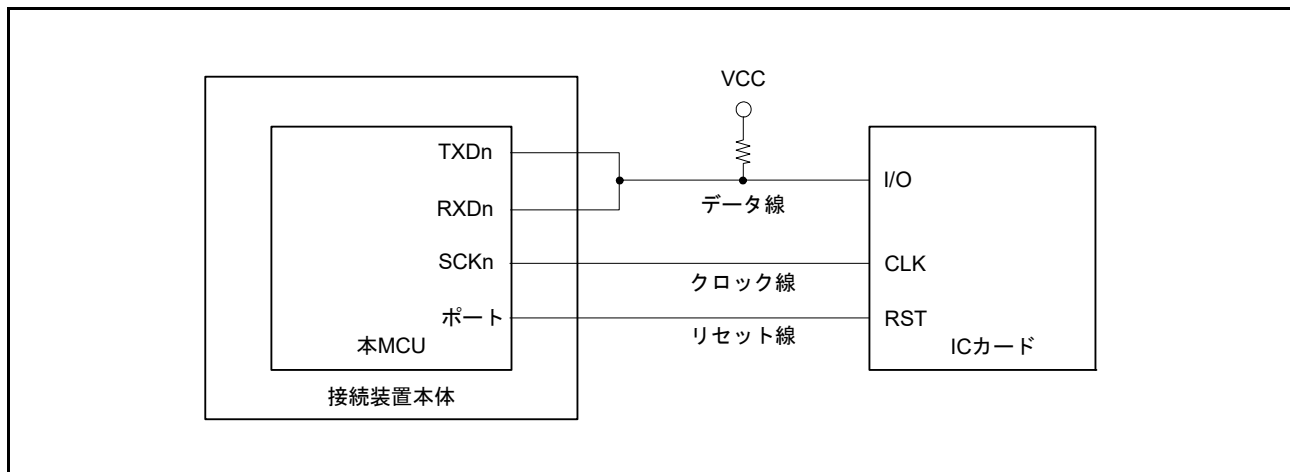


図 35.39 スマートカード (IC カード) との接続例

35.6.2 データフォーマット (ブロック転送モード時を除く)

図 35.40 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit: 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

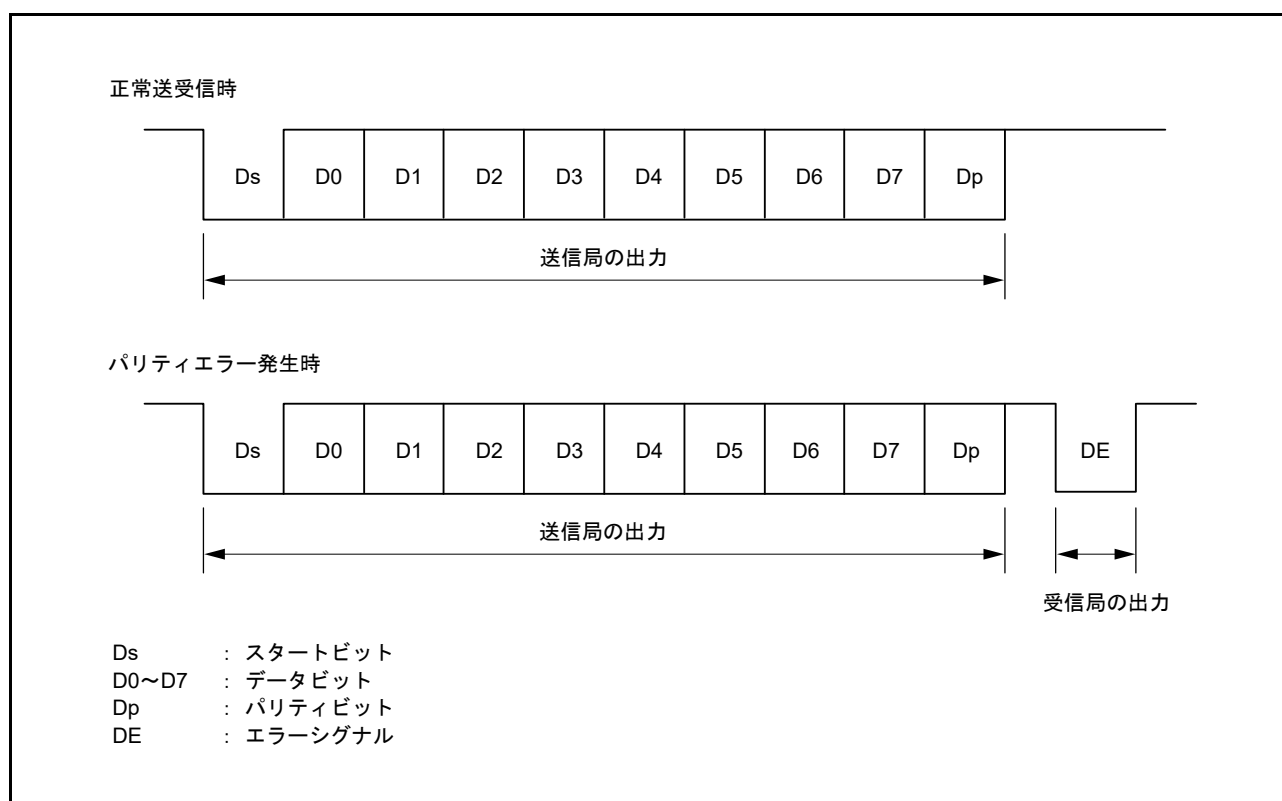


図 35.40 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 35.41**に示す開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。**図 35.41**の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCMRレジスタのSDIR、SINVビットをともに“0”にしてください。また、スマートカードの規定により偶数パリティとなるようSMR.PMビットには“0”を設定してください。

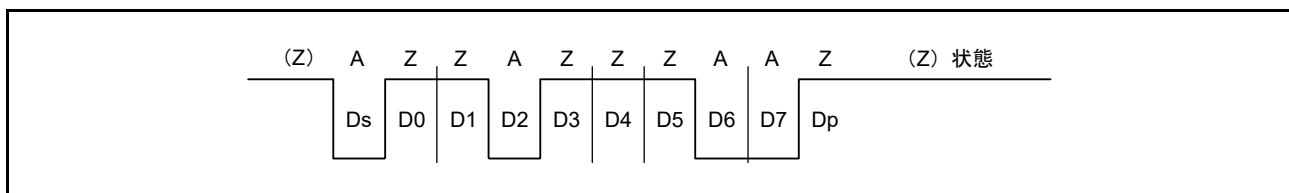


図 35.41 ダイレクトコンベンション
(SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。**図 35.42**の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCMRレジスタのSDIR、SINVビットをともに“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理0となり、状態Zが対応します。

本MCUでは、SINVビットはデータビットD7～D0のみ反転させます。このため、送受信ともSMR.PMビットに“1”を設定してパリティビットを反転させてください。

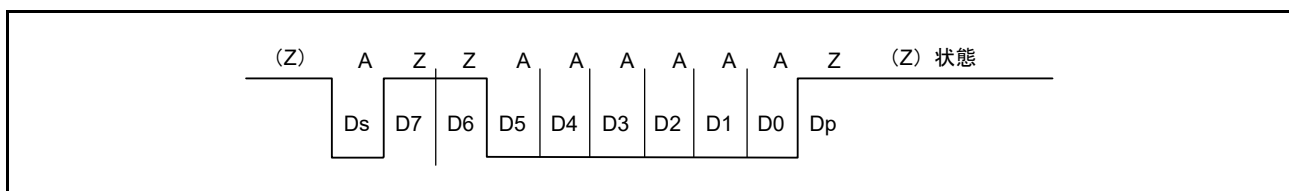


図 35.42 インバースコンベンション
(SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR.PM ビット = 1)

35.6.3 ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

35.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成した基本クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして同期化します。図 35.43 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 (\%)$$

- M: 受信マージン(%)
- N: クロックに対するビットレートの比(N = 32, 64, 372, 256)
- D: クロックデューティ (D = 0 ~ 1.0)
- L: フレーム長(L = 10)
- F: クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 (\%) = 49.866 (\%)$$

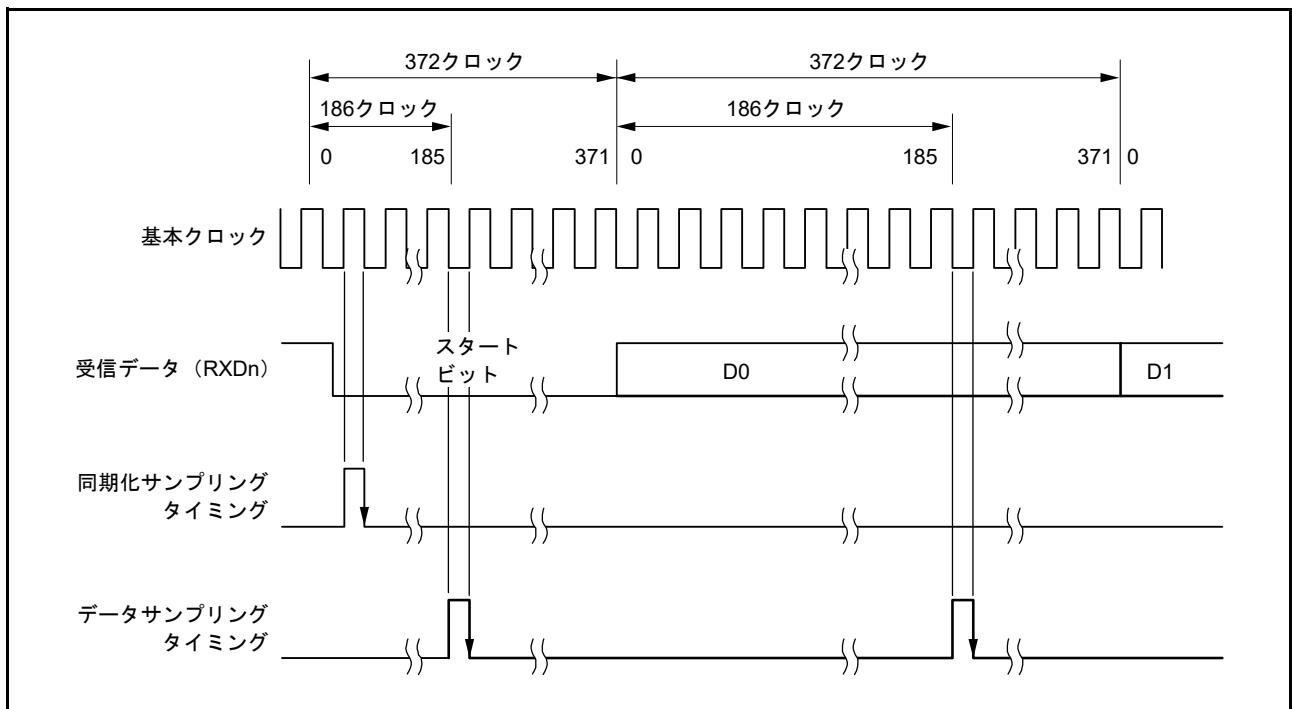


図 35.43 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

35.6.5 SCIの初期化(スマートカードインタフェースモード)

図 35.44 のフローチャート例に従って SCI を初期化してください。

送信モードと受信モードを切り替える場合も、SCR レジスタと SSR レジスタは初期化してください。ビットレートを変更しない場合、CKE[1:0] ビットを“00b”にする必要はありません。なお、RE ビットを“0”にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、図 35.44 の [1] と [3] を実施し、[11] で TE ビット=1、RE ビット=0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、または SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、図 35.44 の [1] と [3] を実施し、[11] で TE ビット=0、RE ビット=1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

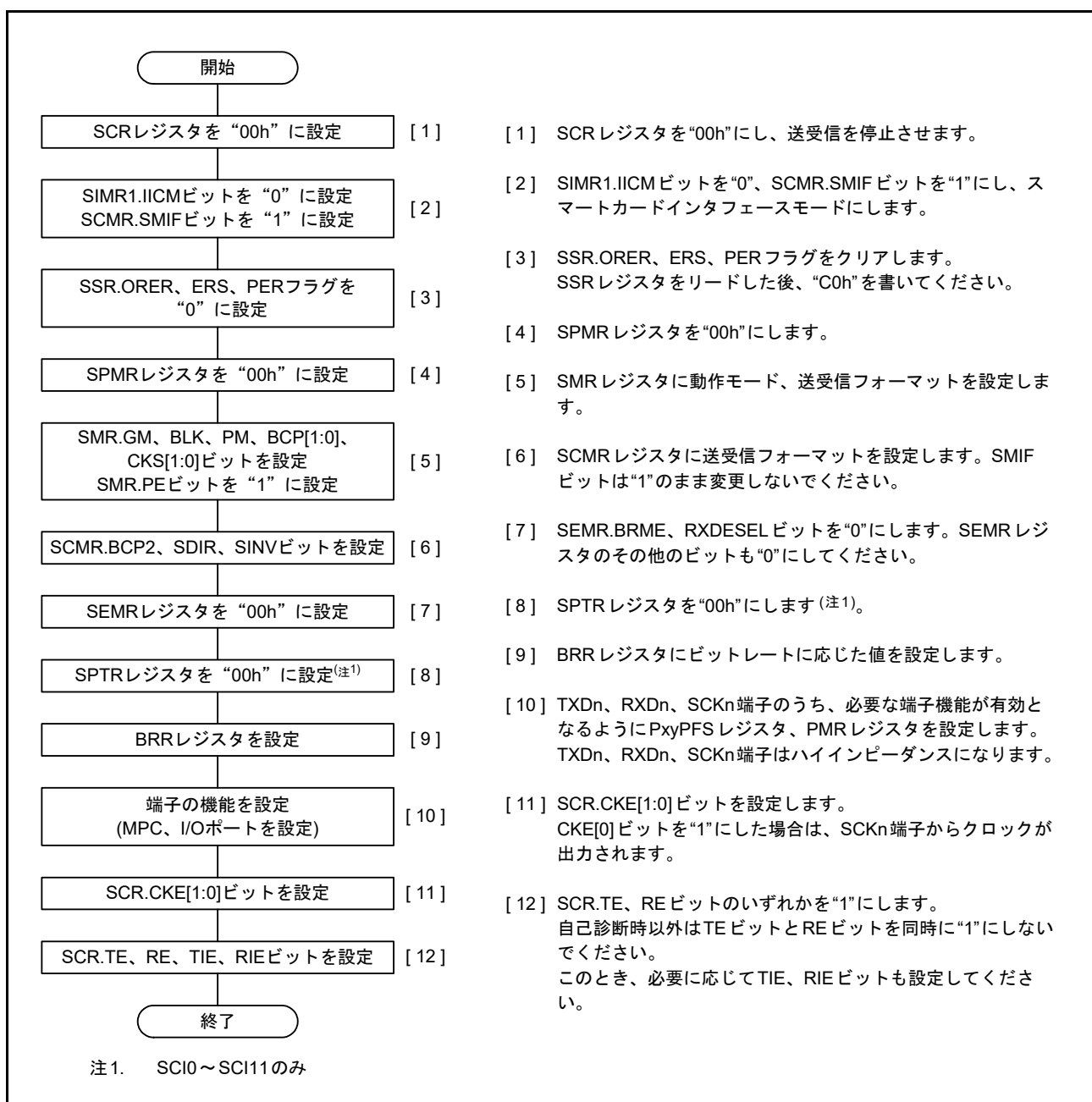


図 35.44 SCIの初期化フローチャートの例(スマートカードインタフェースモード)

図 35.45 は、リセット解除後に図 35.44 に従って SCI をスマートカードインタフェースモードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を SCK 端子、TXD 端子に設定した時点では、それぞれ SCR.CKE[0] ビット、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。CKE[0] ビットを“1”にすると SCK 端子からクロックが出力されます。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。スマートカードインタフェースモードでは、この期間 TXD 端子はハイインピーダンスになります。

スマートカードインタフェースモードでは、TE ビット、RE ビットが共に“0”になっている場合でも、CKE[0] ビットが“1”(クロック出力)であれば、クロックを出力し続けます。

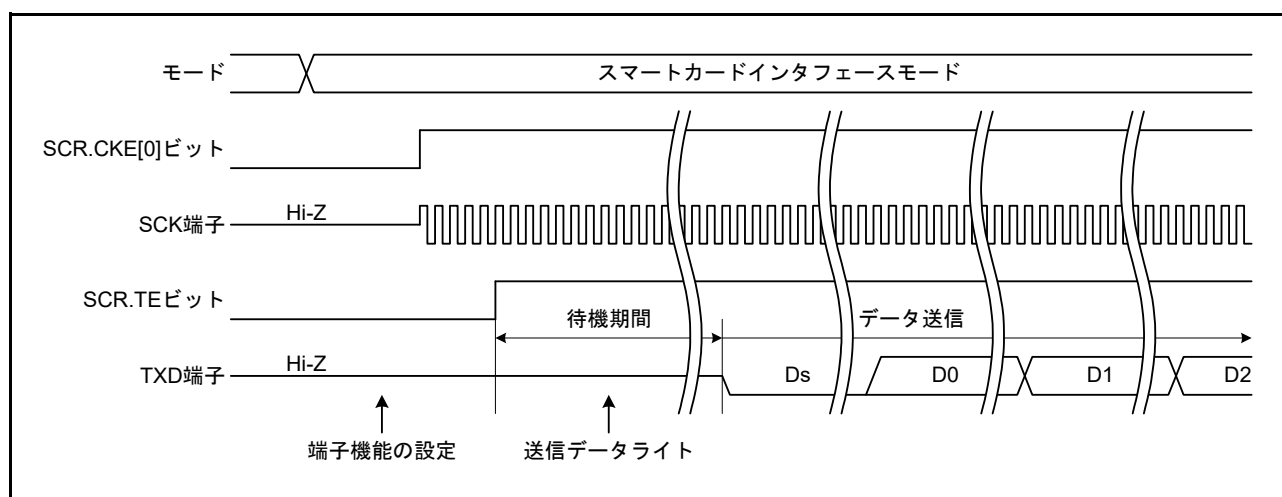


図 35.45 スマートカードインタフェースモード時のデータ送信タイミング例

35.6.6 シリアルデータの送信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります (ブロック転送モードを除く)。送信時の再送信動作を図 35.46 に示します。

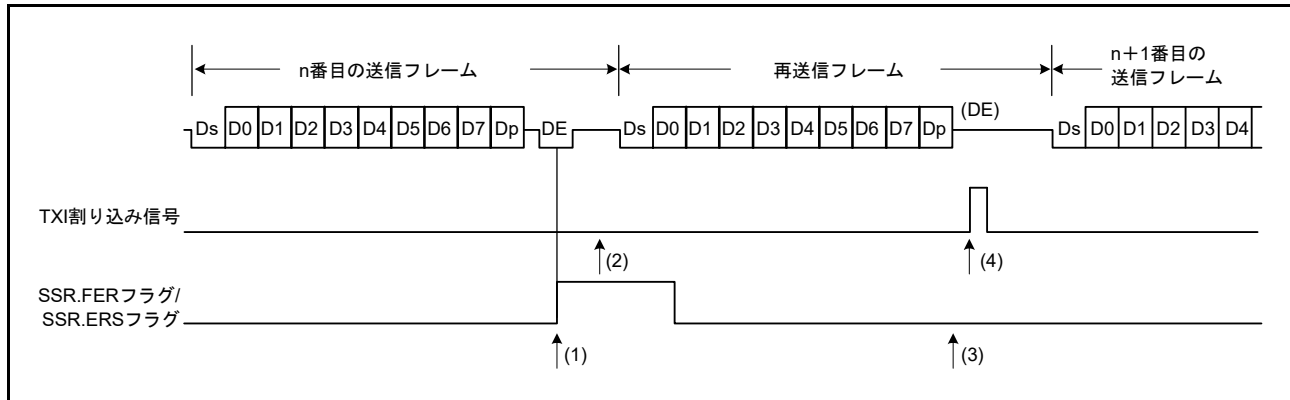


図 35.46 SCI 送信モードの場合の再送信動作 (送信時の再送信動作)

- (1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが“1”になります。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
- (2) エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
- (3) 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
- (4) 再送信を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR.TIE ビットが“1”であれば、TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 35.47 に示します。

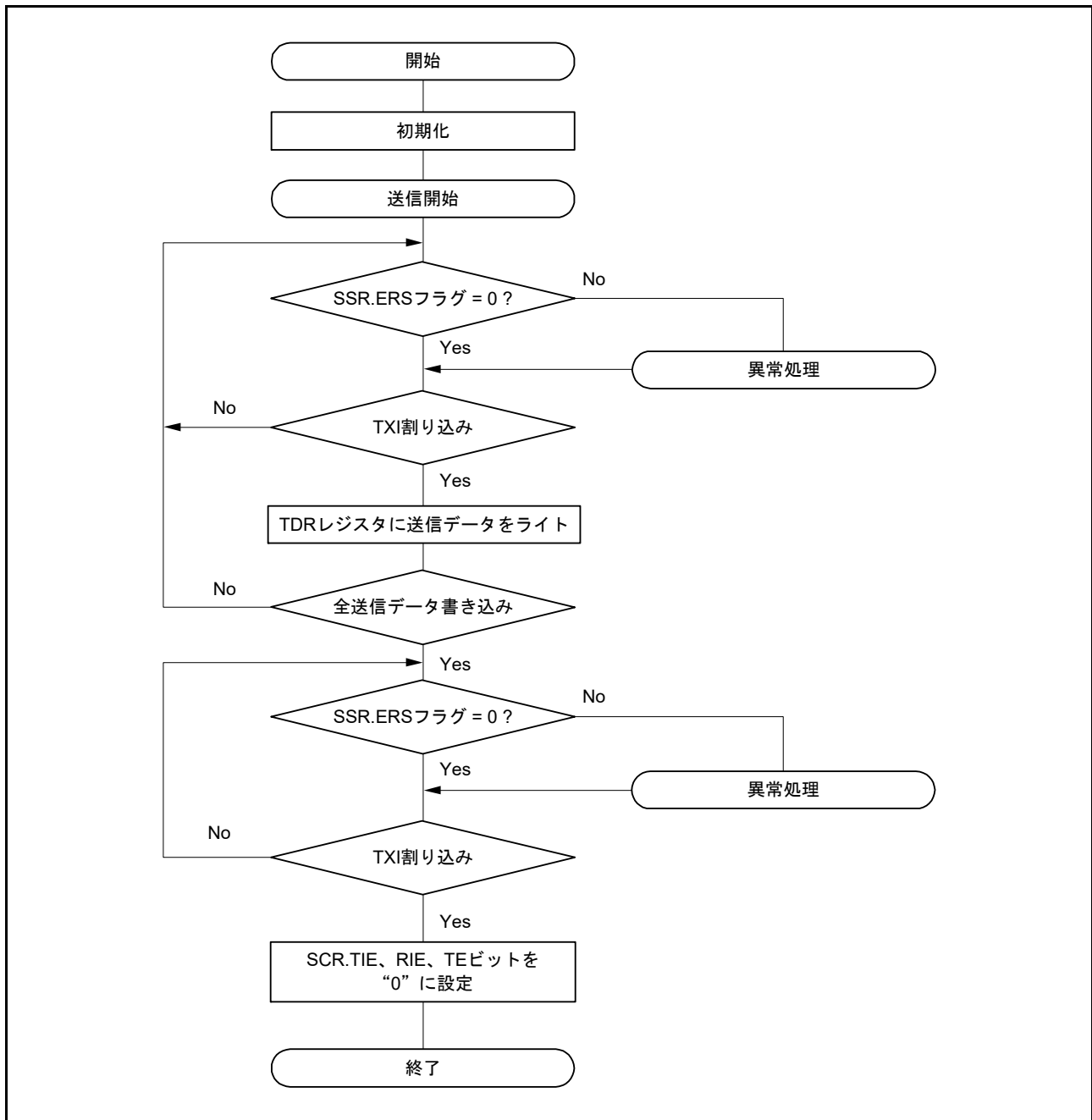


図 35.47 スマートカードインタフェース送信のフローチャート例

これらの一連の処理は、TXI 割り込み要因によって DTC または DMAC を起動することで自動的に行うことができます。

送信動作では、SCR.TIE ビットを“1”にしておくと、SSR.TEND フラグが“1”になったときに TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的

にはクリアされませんので、RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法は「20. データトランスファコントローラ (DTCb)」、「18. DMA コントローラ (DMACAb)」を参照してください。

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 35.48 に TEND フラグ発生タイミングを示します。

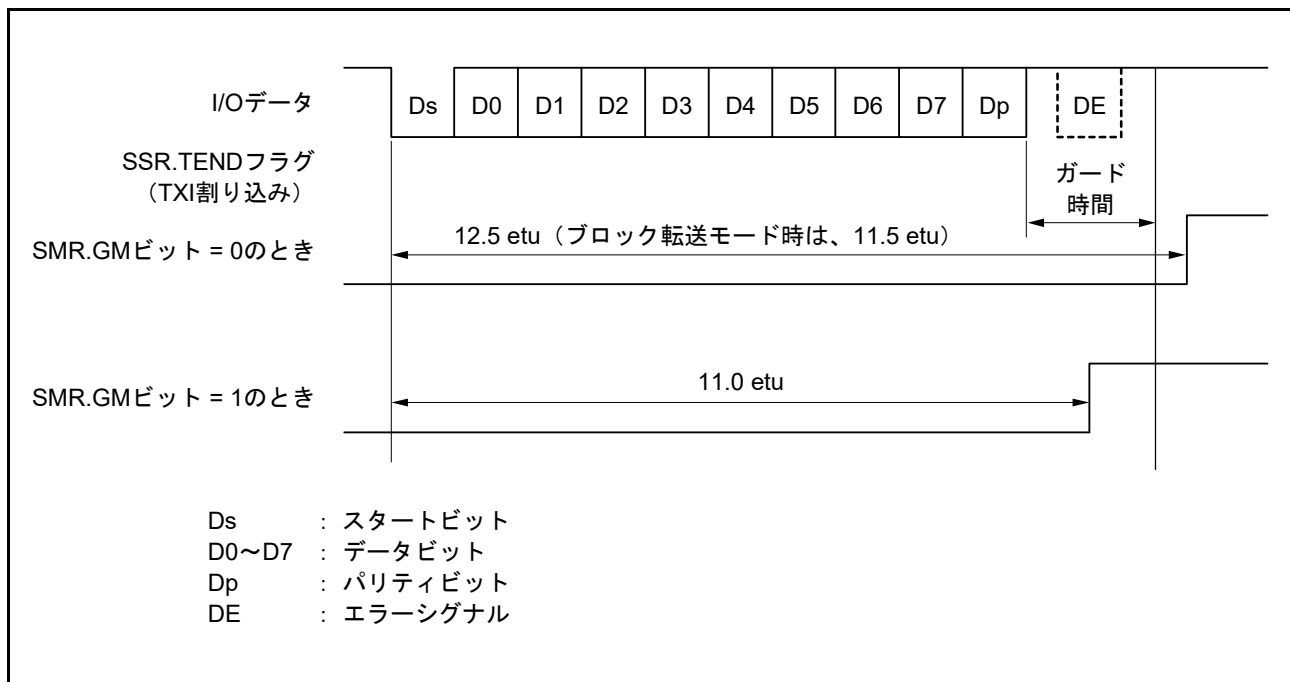


図 35.48 送信時の SSR.TEND フラグの発生タイミング

35.6.7 シリアル受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 35.49 に示します。

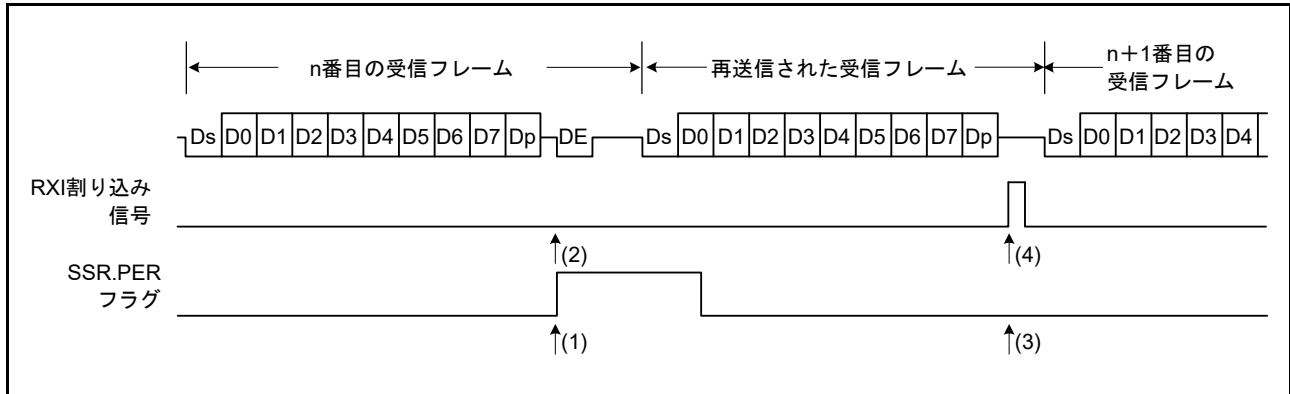


図 35.49 SCI 受信モードの場合の再送信動作 (受信時の再送信動作)

- (1) 受信データにパリティエラーを検出すると SSR.PER フラグが“1”になります。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに PER フラグをクリアしてください。
- (2) パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
- (3) パリティエラーが検出されない場合は、SSR.PER フラグはセットされません。
- (4) 正常に受信を完了したと判断して、RIE ビットが“1”であれば、RXI 割り込み要求を生成します。

シリアル受信のフローチャートの例を図 35.50 に示します。

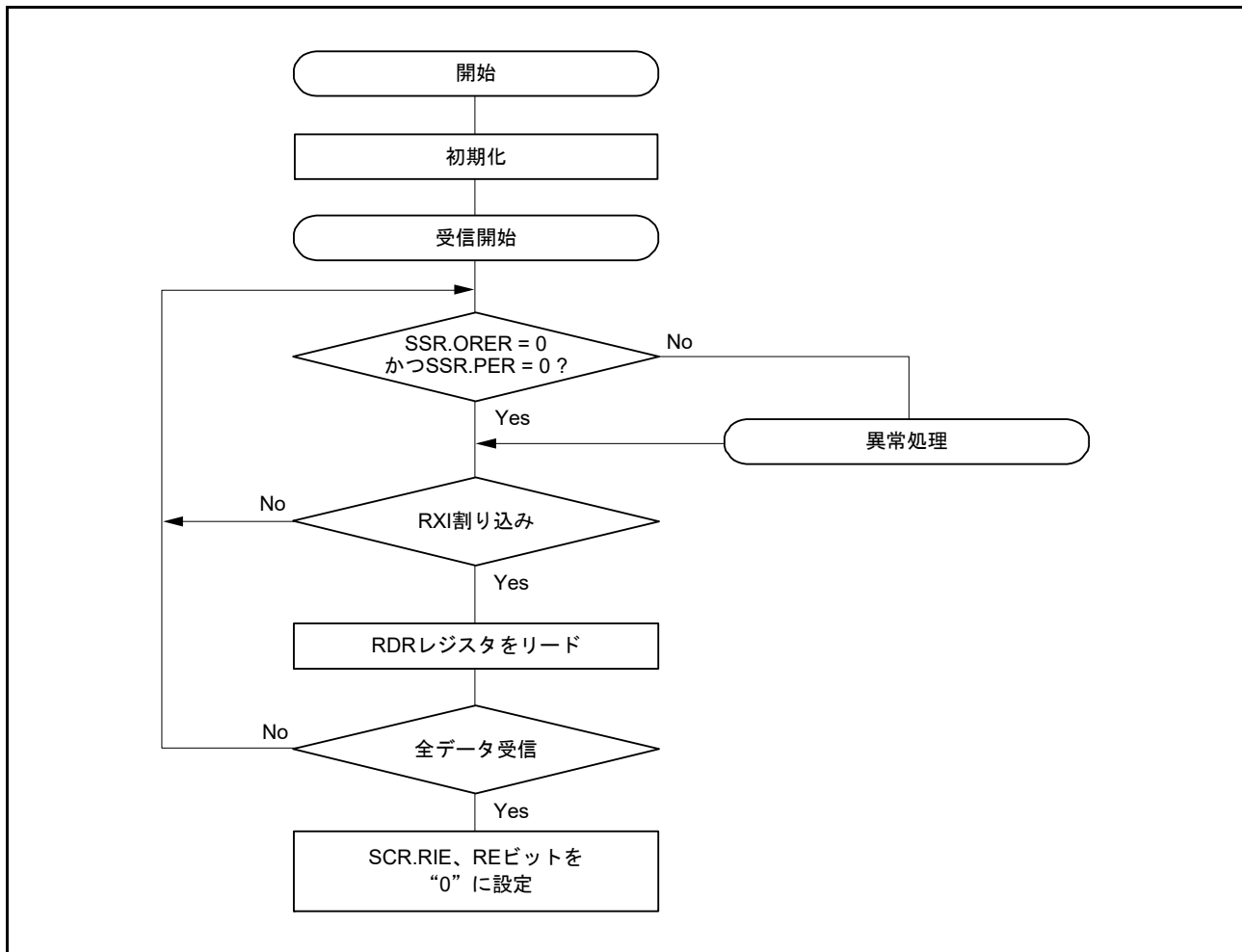


図 35.50 スマートカードインタフェース受信のフローチャート例

これらの一連の処理は、RXI 割り込み要求によって DTC または DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを“1”にしておくと、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC または DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、PER フラグのいずれかが“1”になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが“1”になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注. ブロック転送モードの場合は、「35.3 調歩同期式モードの動作」を参照してください。

35.6.8 クロック出力制御

SMR.GM ビットが“1”であるとき、SCR.CKE[1:0] ビットによってクロック出力を High や Low に固定することができます。CKE[1:0] ビットを“01b”(クロック出力)にすると、SCK 端子から基本クロックが出力されます。基本クロックの周波数(ビットレート)の設定については、「35.2.13 ビットレートレジスタ(BRR)」を参照してください。CKE[1:0] ビットを“00b”(Low 出力固定)や“10b”(High 出力固定)にすると、SCK 端子から Low や High を出力できます。

図 35.51 にクロック出力制御を行ったときのタイミング図を示します。

なお、SMR.GM ビットが“0”(非 GSM モード)の場合に CKE[1:0] ビットを変更すると、その結果がすぐに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力されることがあります。

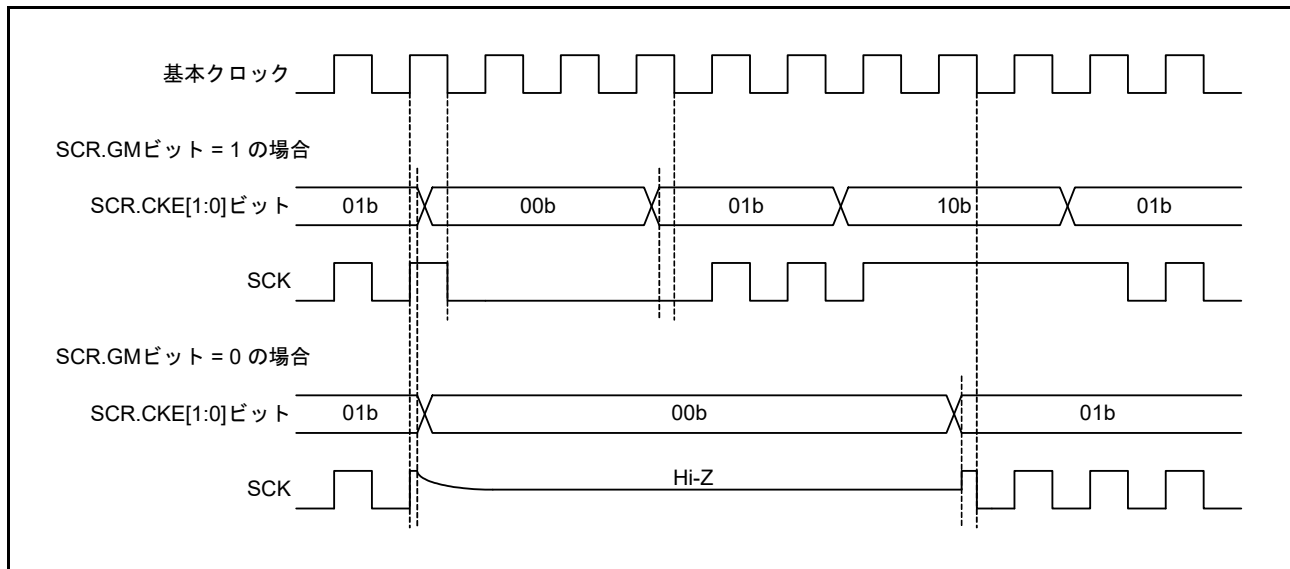


図 35.51 クロック出力制御

35.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 35.52 に I²C バスフォーマットを、図 35.53 に I²C バスタイミングを示します。

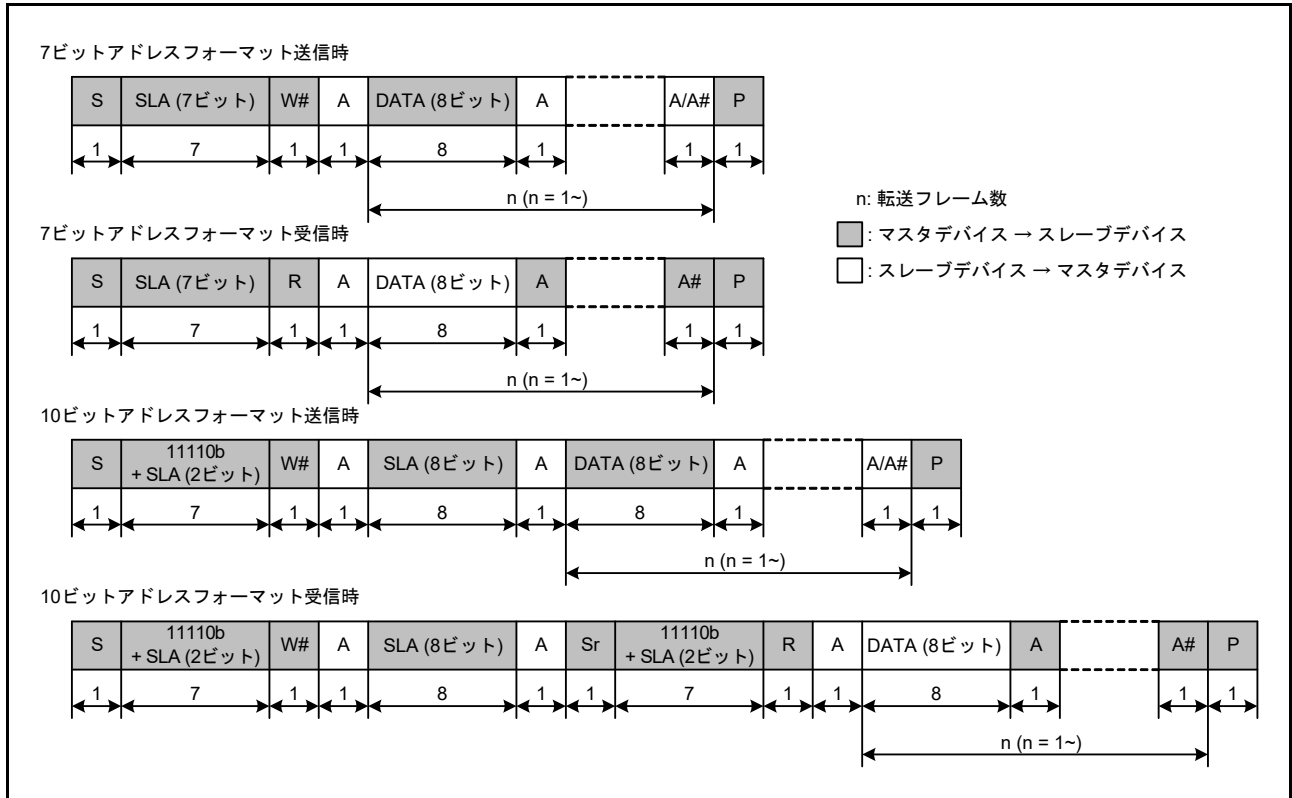


図 35.52 I²C バスフォーマット

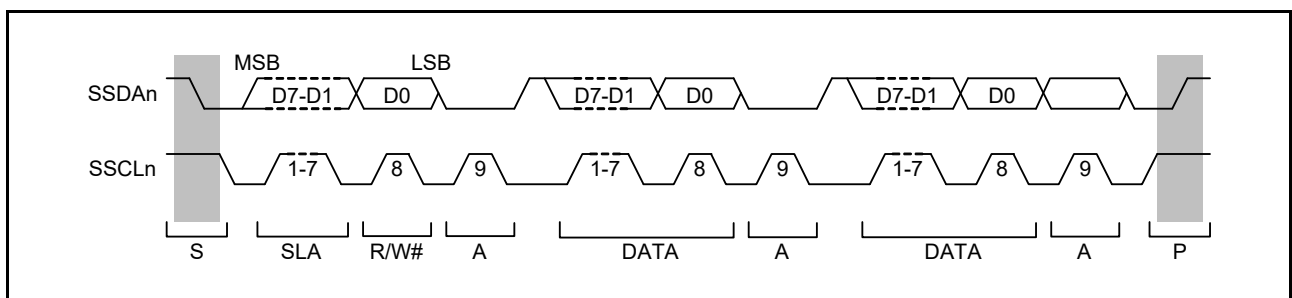


図 35.53 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態で SSDAn ラインが High から Low に変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#: アクノリッジを示します (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Low を返すことを ACK、High を返すことを NACK と言います。
- Sr: リスタートコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態でセットアップ時間経過後に SSDAn ラインが High から Low に遷移します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態で SSDAn ラインが Low から High に変化します。

35.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”にし、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”にし、停止条件生成割り込み要求を出力

図 35.54 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

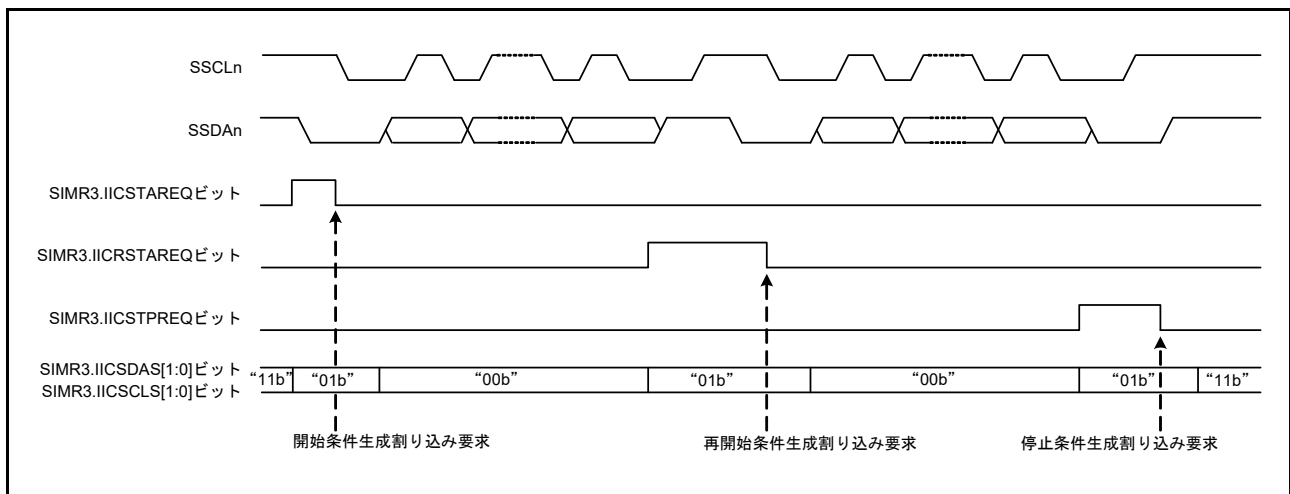


図 35.54 開始条件、再開始条件、停止条件生成の動作タイミング

35.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLK で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 35.55 にクロック同期化の動作例を示します。

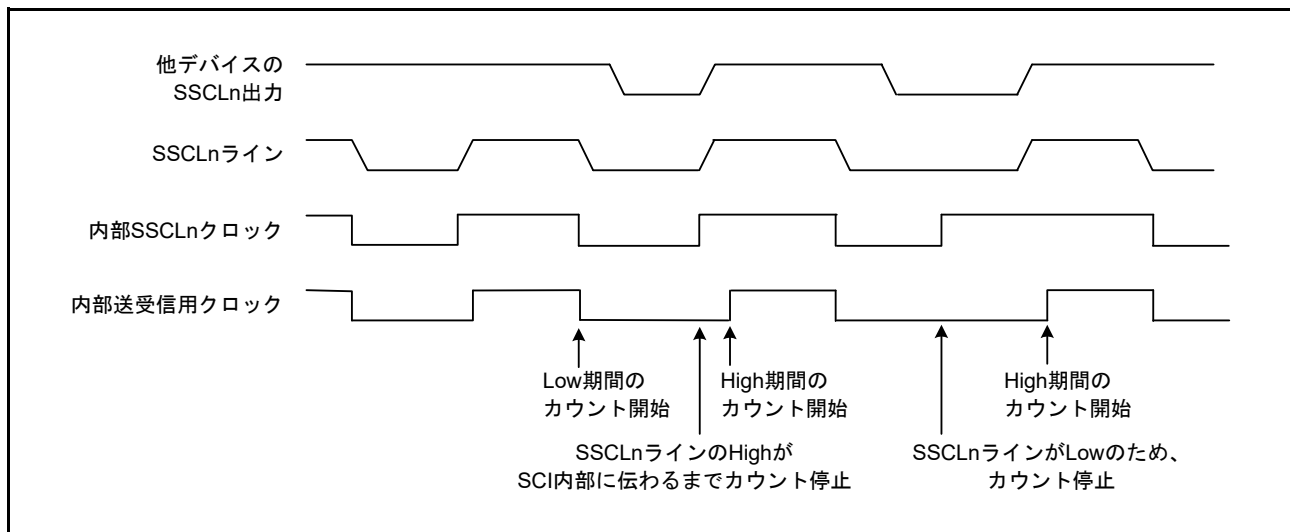


図 35.55 クロック同期化の動作例

35.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0～31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I²C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 35.56 に SSDA 出力遅延のタイミングを示します。

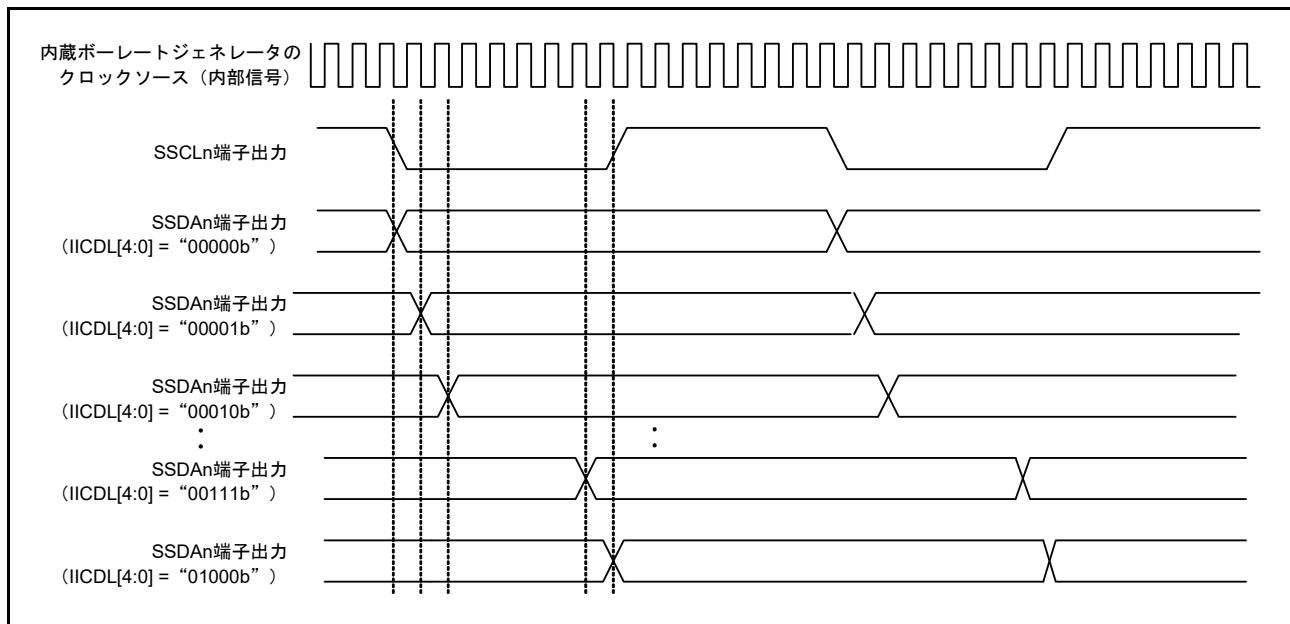


図 35.56 SSDA 出力遅延のタイミング

35.7.4 SCIの初期化(簡易I²Cモード)

データの送受信前に、SCRレジスタに初期値“00h”を書き込み、図35.57のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCRレジスタを初期値にしてから変更してください。また、簡易I²Cモード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

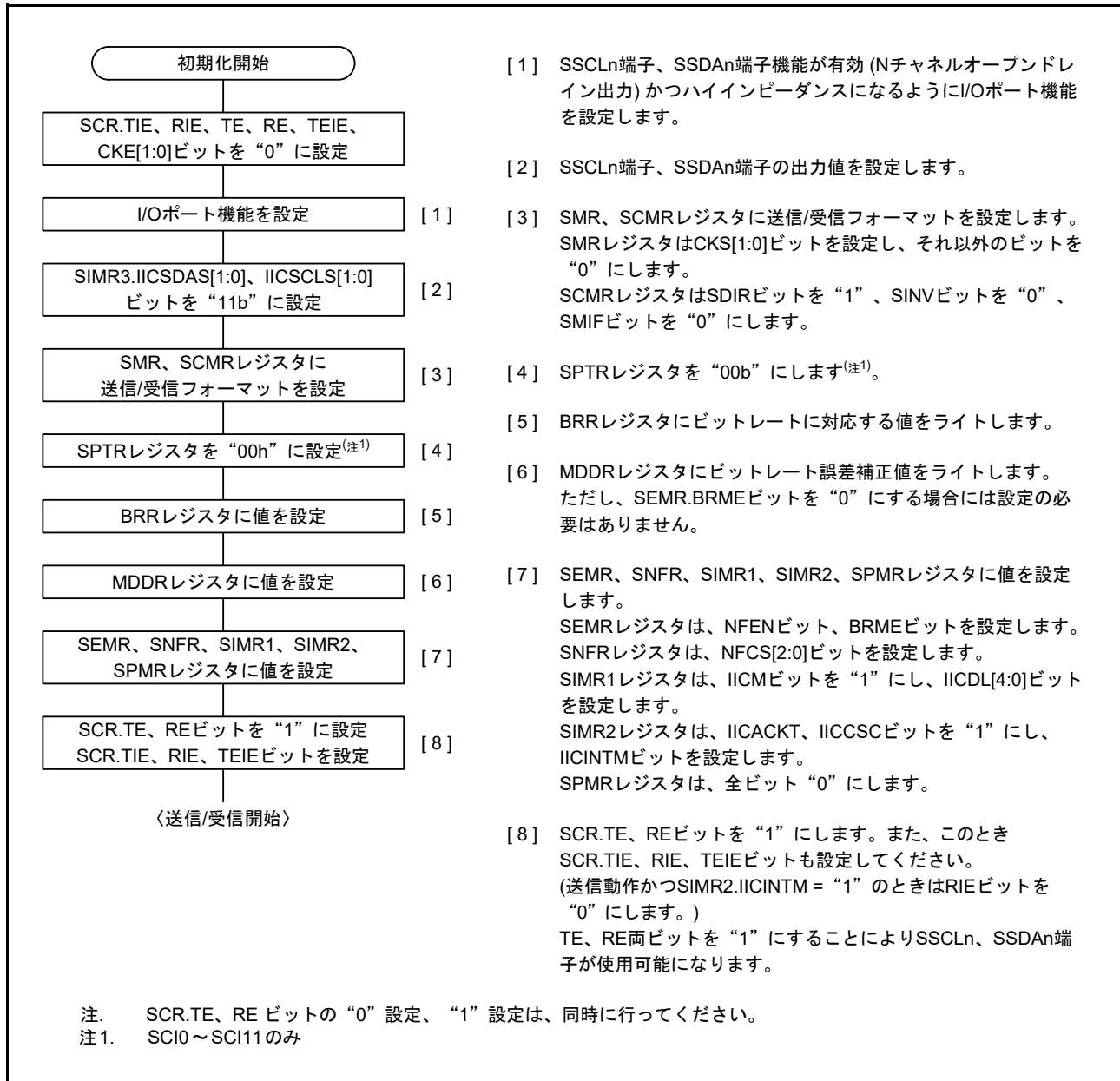


図35.57 SCIの初期化フローチャート例(簡易I²Cモード)

35.7.5 マスタ送信動作 (簡易 I²C モード)

図 35.58、図 35.59 に簡易 I²C モードのマスタ送信の動作例を、図 35.60 にデータ送信のフローチャートの例を示します。STI 割り込みについては、表 35.41 を参照してください。

10 ビットスレーブアドレス時は、図 35.60 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

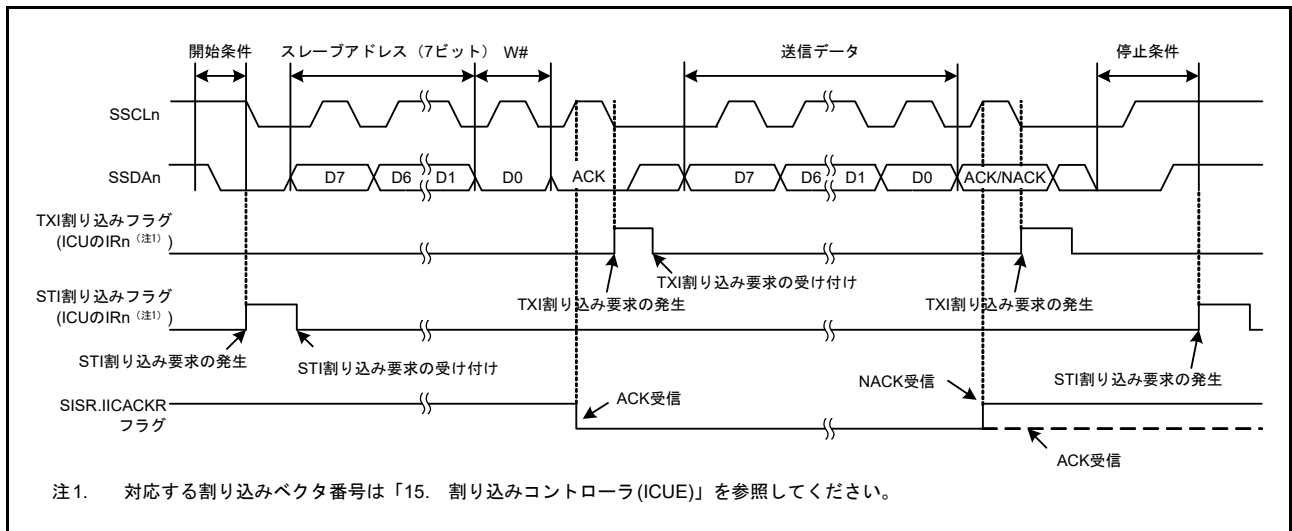


図 35.58 簡易 I²C バスモードのマスタ送信の動作例 1
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0” (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

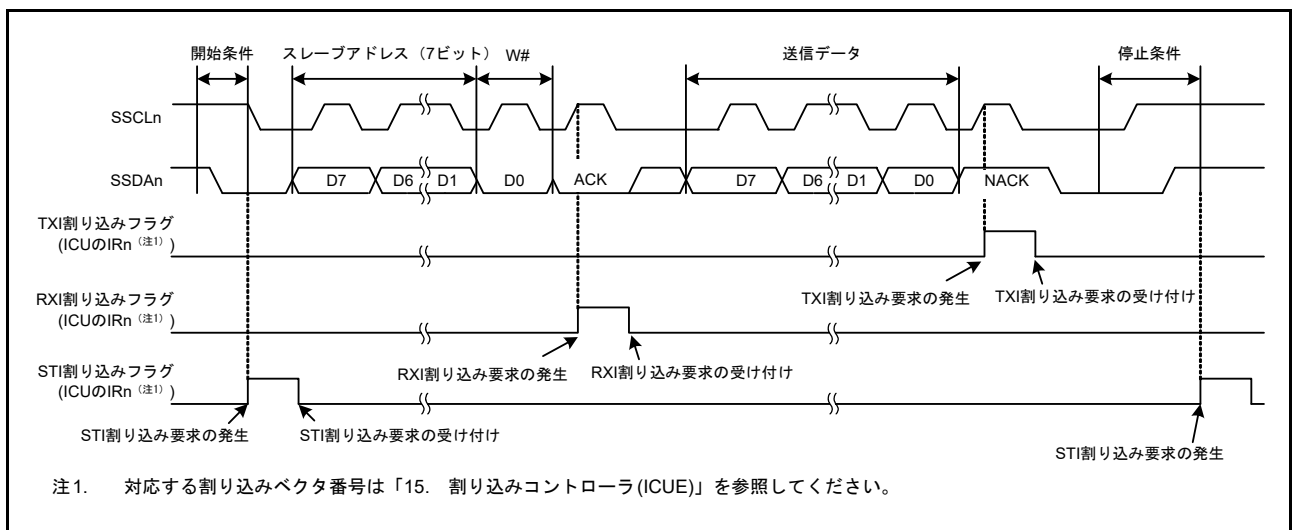


図 35.59 簡易 I²C バスモードのマスタ送信の動作例 2
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

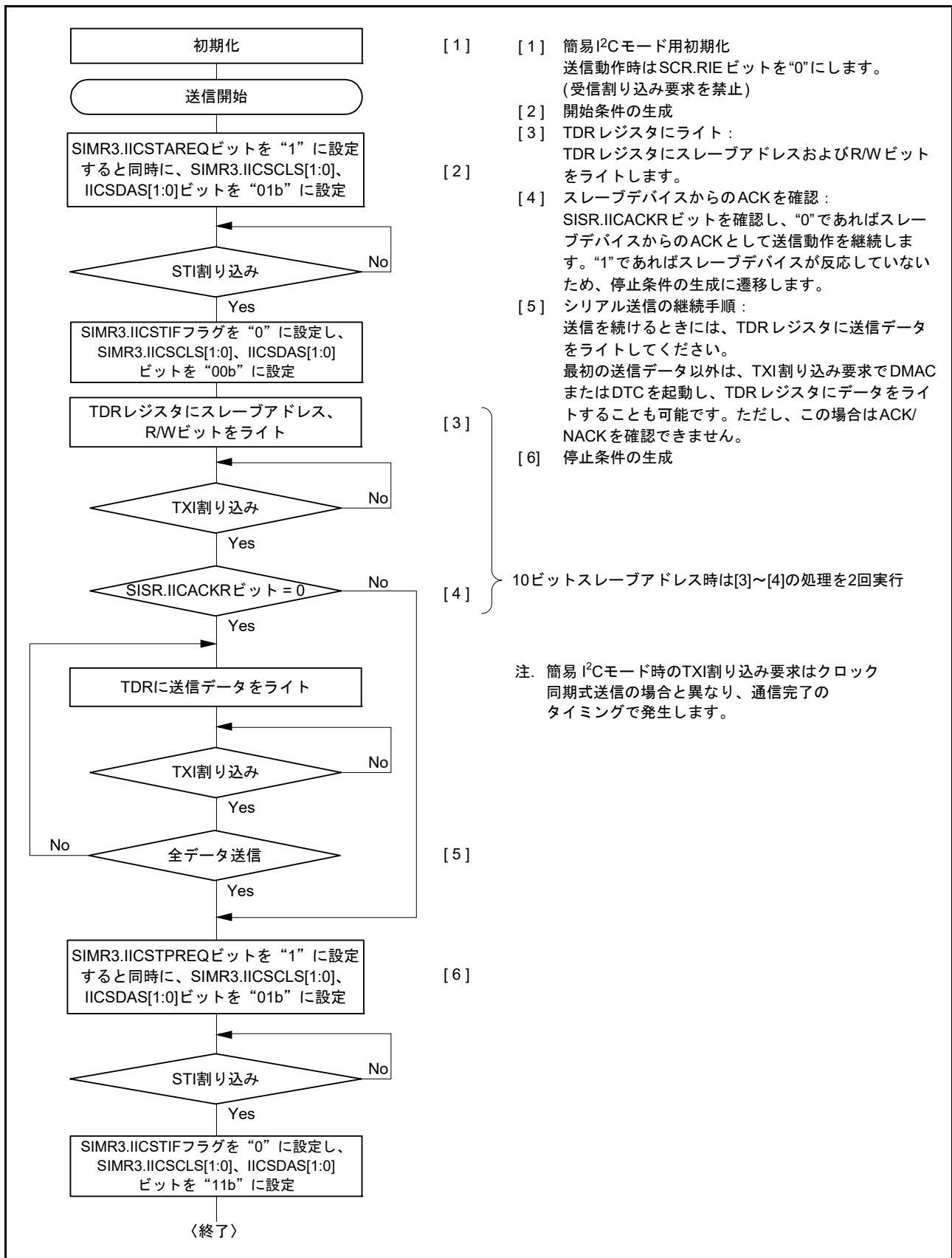


図 35.60 簡易 I²C モードのマスタ送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

35.7.6 マスタ受信動作 (簡易 I²C モード)

図 35.61 に簡易 I²C モードのマスタ受信の動作例を、図 35.62 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

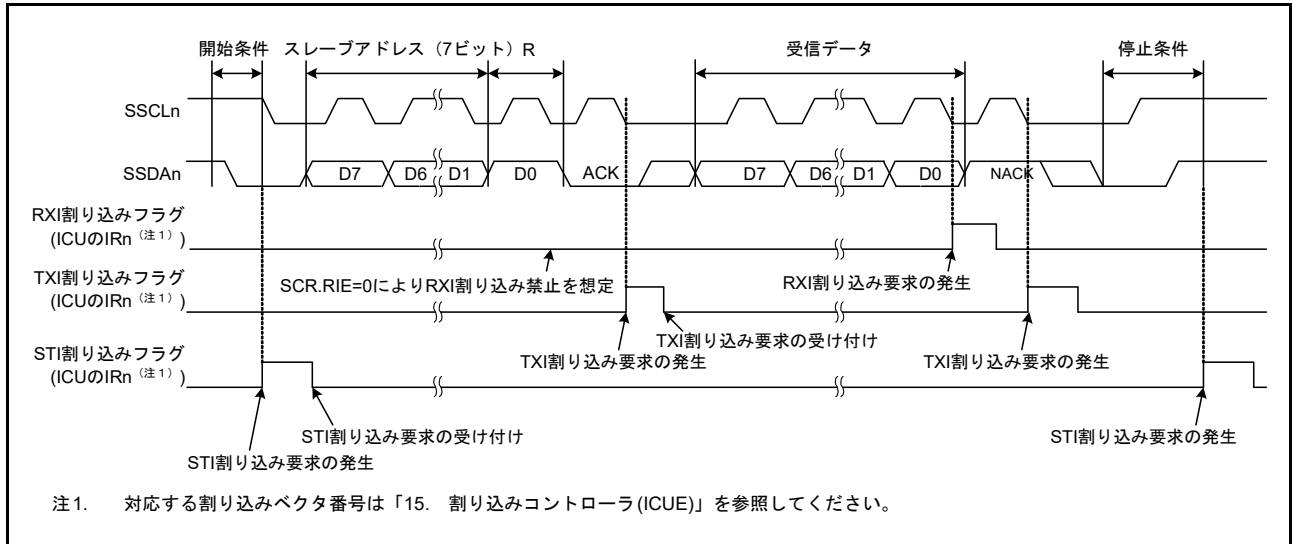


図 35.61 簡易 I²C バスモードのマスタ受信の動作例
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

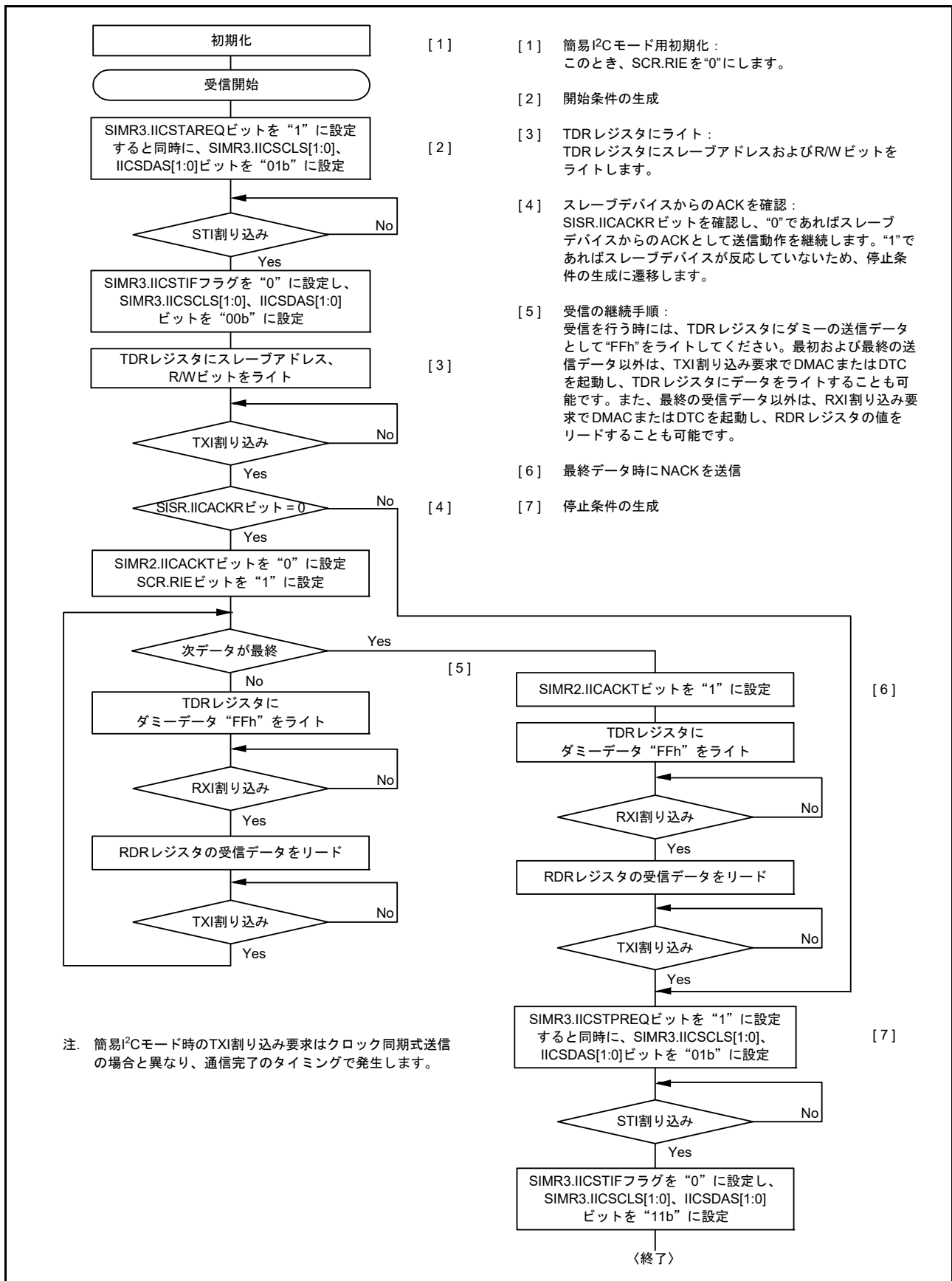


図 35.62 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

35.7.7 バスハングアップからの回復

通信不具合などで SCI の内部状態が異常になり、バスをスタックさせてしまった場合、以下の手順で SCI をリセットし、バスを解放してください。

- (1) SCR.TE ビットと RE ビットを同時に “0” にして、SCI をリセットする。
- (2) SIMR3 レジスタを “F0h” にして、バスを解放する。
- (3) SSR.RDRF フラグが “1” の場合は、RDR レジスタをダミーリードして RDRF フラグをクリアする。
- (4) SCR.TE ビットと RE ビットを同時に “1” にする。

35.8 簡易 SPI モードの動作

SCIの拡張機能として、1つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF ビット=0、SIMR1.IICM ビット=0、SMR.CM ビット=1)、かつ、SPMR.SSE ビットを“1”にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを“0”にします。

図 35.63 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを“1”にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部/受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

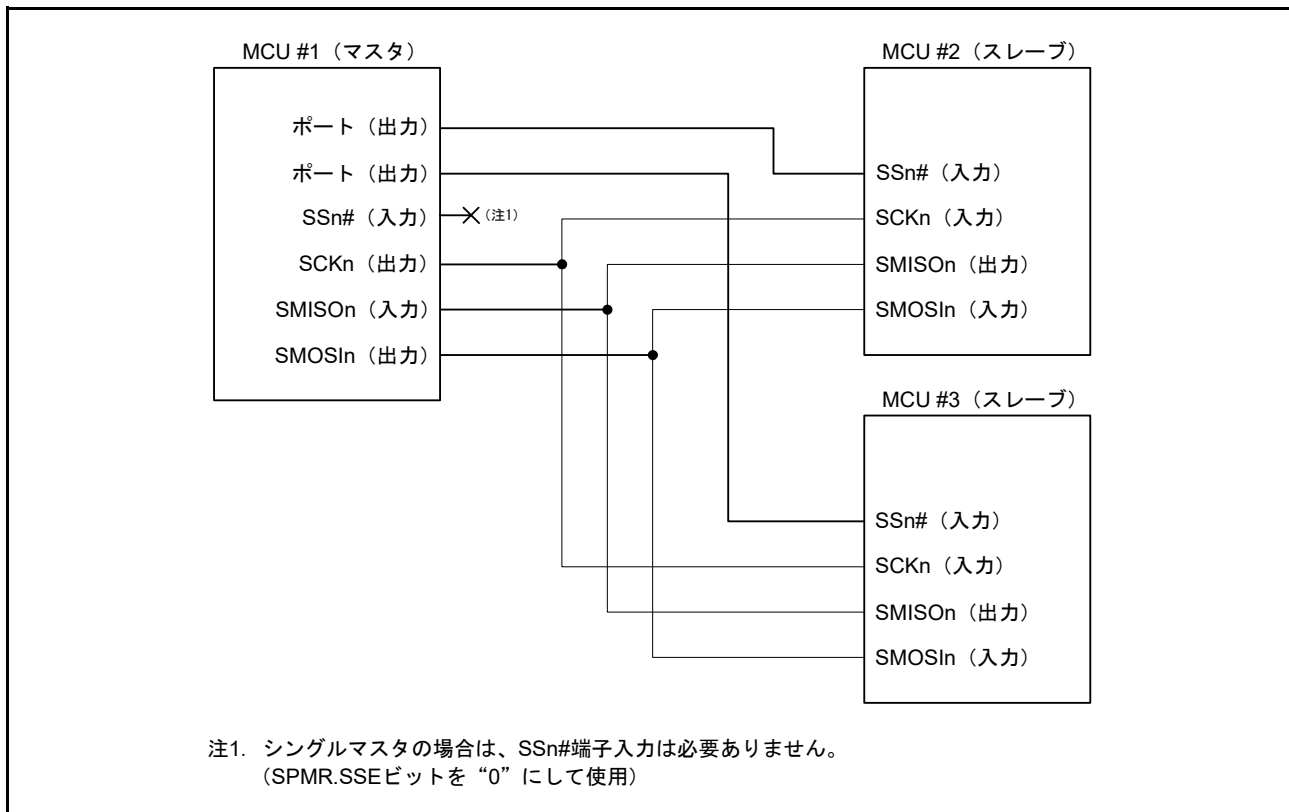


図 35.63 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

35.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = 0) とスレーブモード (SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = 1) で各端子の入出力方向が変わります。

表 35.36 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 35.36 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn# 端子入力	SMOSIn 端子状態	SMISOn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = 1) かつ送受信禁止時 (SCR.TE, RE ビット = 00b) はハイインピーダンスです。

35.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = 00b かつ SPMR.MSS = 0 を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力がハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

35.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = 10b かつ SPMR.MSS = 1 を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

35.8.4 クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 35.64 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

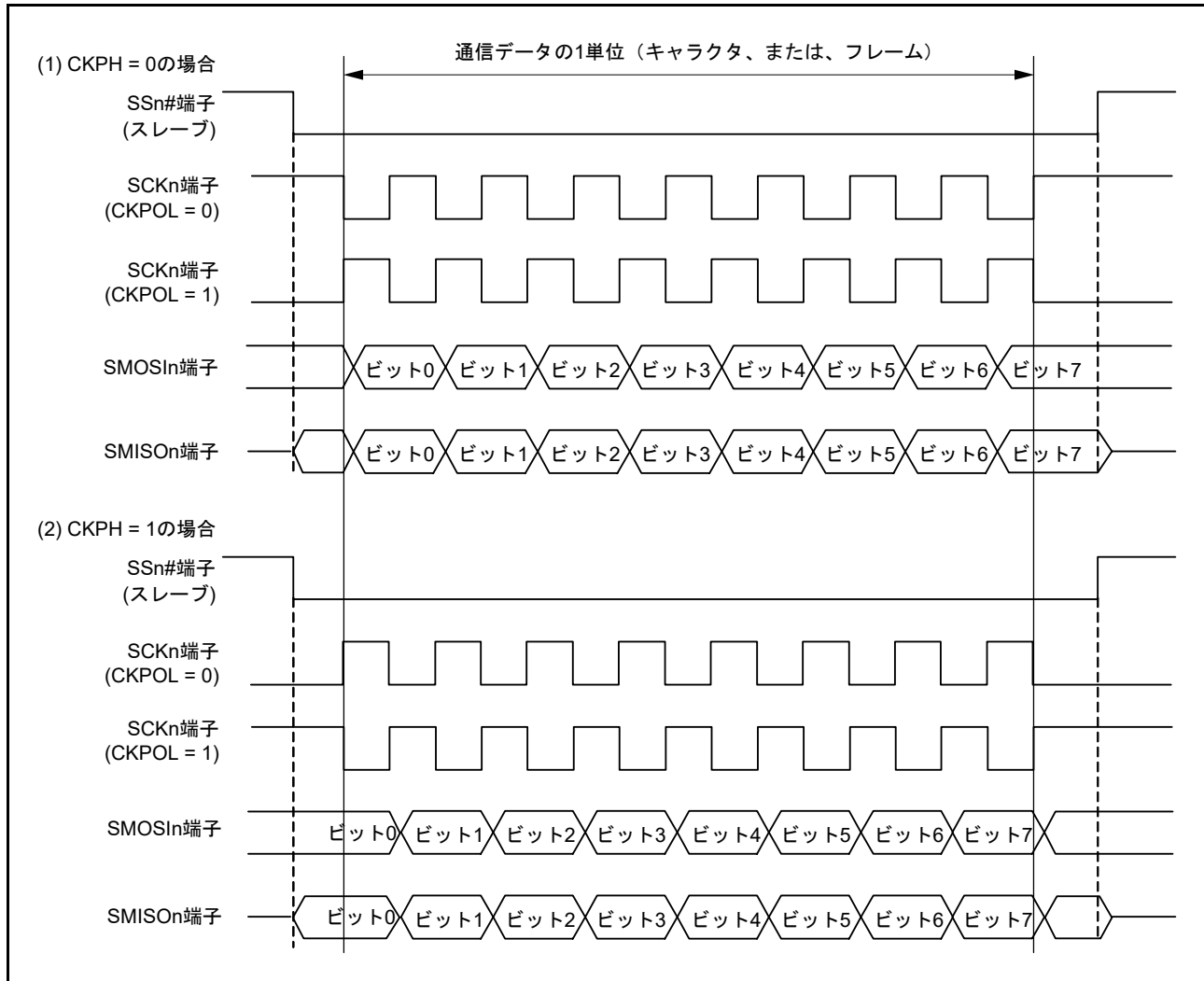


図 35.64 簡易 SPI モードのクロックと送受信データの関係

35.8.5 SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 35.30 の SCI の初期化フローチャート例) と同様です。SPMR レジスタの CKPOL、CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、FER、PER フラグ、および RDR レジスタは初期化されませんので注意してください。

35.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

35.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。

SEMR.BRME ビットが“1”のとき、ボーレートジェネレータは、入力されたクロック 256 個のうち MDDR レジスタに設定された個数だけを、平均的な間隔となるよう有効にし、カウントを行います。

調歩同期モードで SMR.CKS[1:0] ビットが“00b”で、BRR レジスタが“00h”、MDDR レジスタが“160”のときの例を、**図 35.65** に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

注． クロック同期式モードおよび簡易 SPI モードでは、最高速設定 (SMR.CKS[1:0] ビット = 00b、かつ SCR.CKE[1] ビット = 0、かつ BRR = 0) で本機能を使用しないでください。

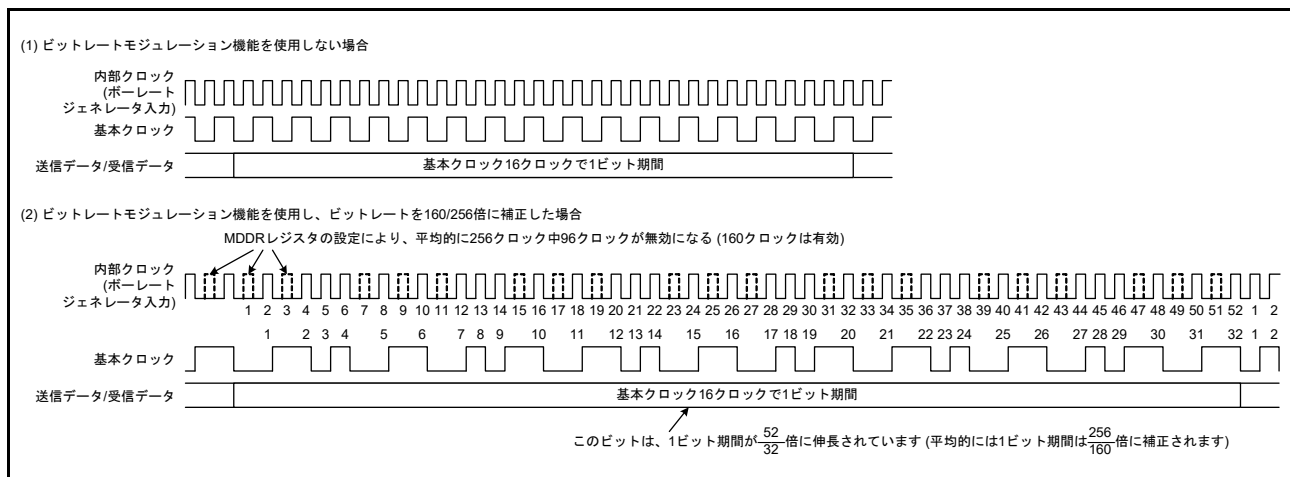


図 35.65 ビットレートモジュレーション機能使用時の基本クロックの例

なお、ボーレートジェネレータに入力されるクロックの周期が短いほど、生成される基本クロックの周期の差が小さくなり、また、ボーレートジェネレータの分周比も大きくなるため、結果として1ビット期間の長さの差も小さくなります。

35.10 拡張シリアルモード制御部の動作説明

35.10.1 シリアル通信プロトコル

SCI12の拡張シリアルモード制御部は、図35.66に示すようなStart Frame、Information Frameから構成されるシリアル通信プロトコルを実現します。

Start FrameはBreak FieldとControl Field 0、Control Field 1で構成されています。また、Information FrameはいくつかのData FieldとCRC16 Upper Field、CRC16 Lower Fieldで構成することができます。

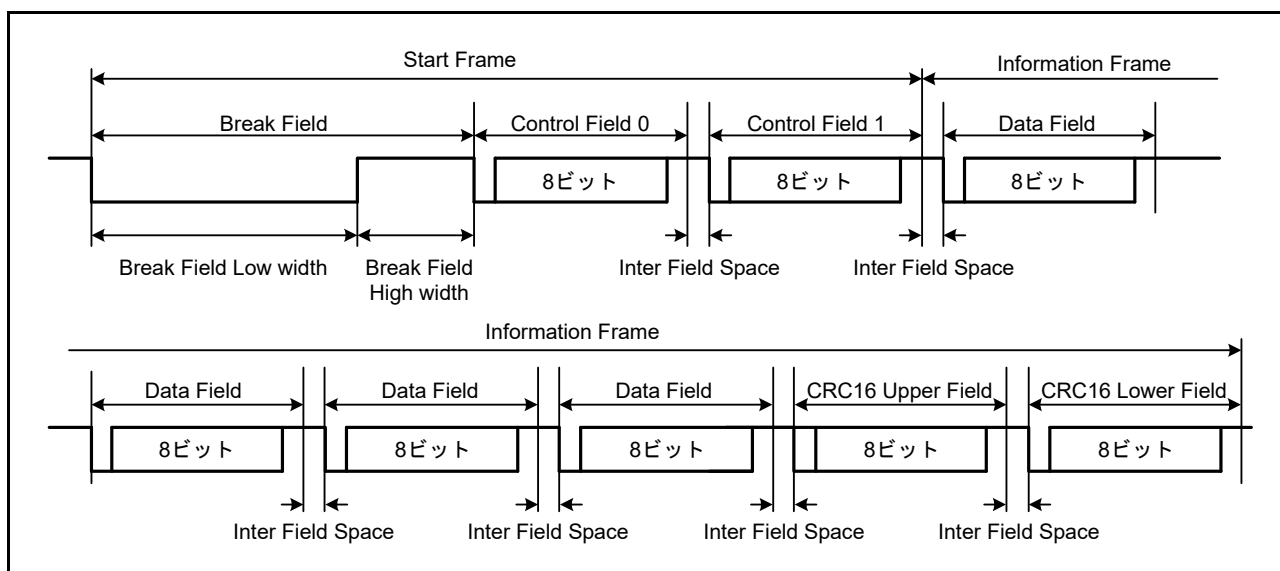


図 35.66 拡張シリアルモード制御部シリアル通信プロトコル

35.10.2 Start Frame 送信

図35.67にBreak Field Low width、Control Field 0およびControl Field 1で構成されるStart Frameの送信時の動作例を示します。また、図35.68、図35.69にStart Frameの送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame送信時、以下のように動作します。なお、SCI12は調歩同期式モードで使用します。

- (1) タイマの動作モードをBreak Field Low width出力モードにした状態で、TCR.TCSTビットに“1”を書き込むと、タイマがカウントを開始し、TCNT、TPREレジスタに設定した期間、TXDX12端子からLowが出力されます。
- (2) タイマがアンダフローするとTXDX12端子の出力が反転し、STR.BFDFフラグが“1”になります。また、ICR.BFDIEビットを“1”にしている場合は、SCIX0割り込みが発生します。
- (3) TCR.TCSTビットに“0”を書き込んでタイマのカウントを停止させた後、Control Field 0のデータを送信します。Break Field Low width出力後、次にアンダフローするまでにカウントを停止してください。
- (4) Control Field 0のデータの送信が完了した後、Control Field 1のデータを送信します。
- (5) Control Field 1のデータの送信が完了した後、Information Frameの通信を行います。

Start Frameの構成にあわせてBreak FieldおよびControl Field 0を省略してください。

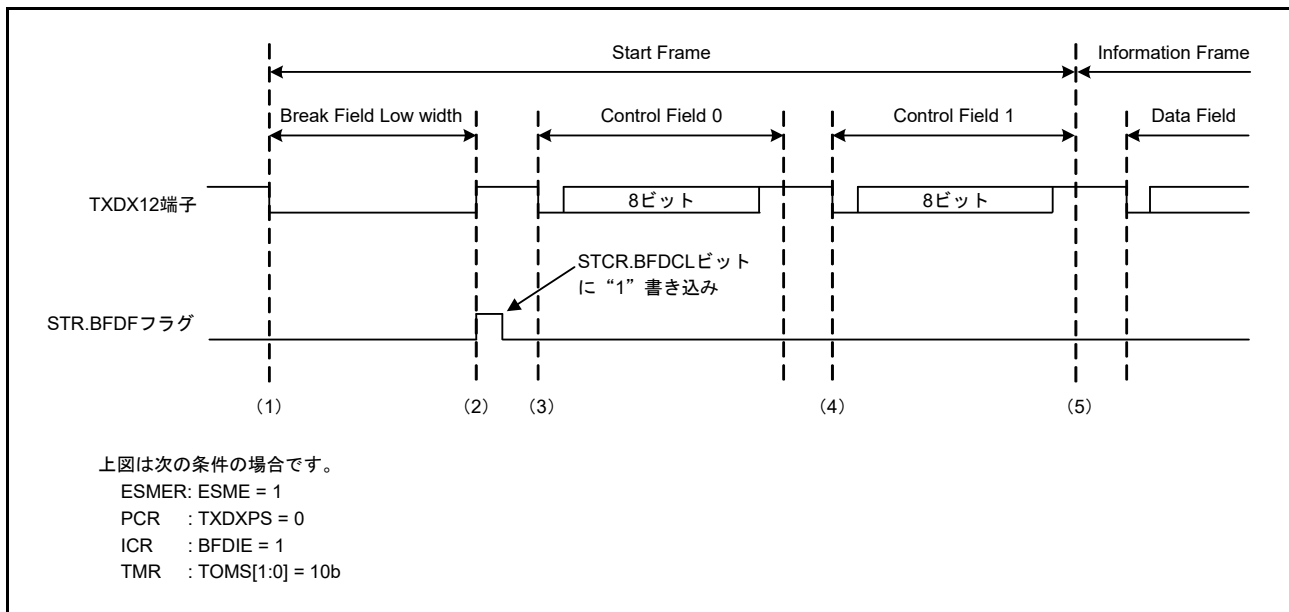


図 35.67 Start Frame 送信時の動作例

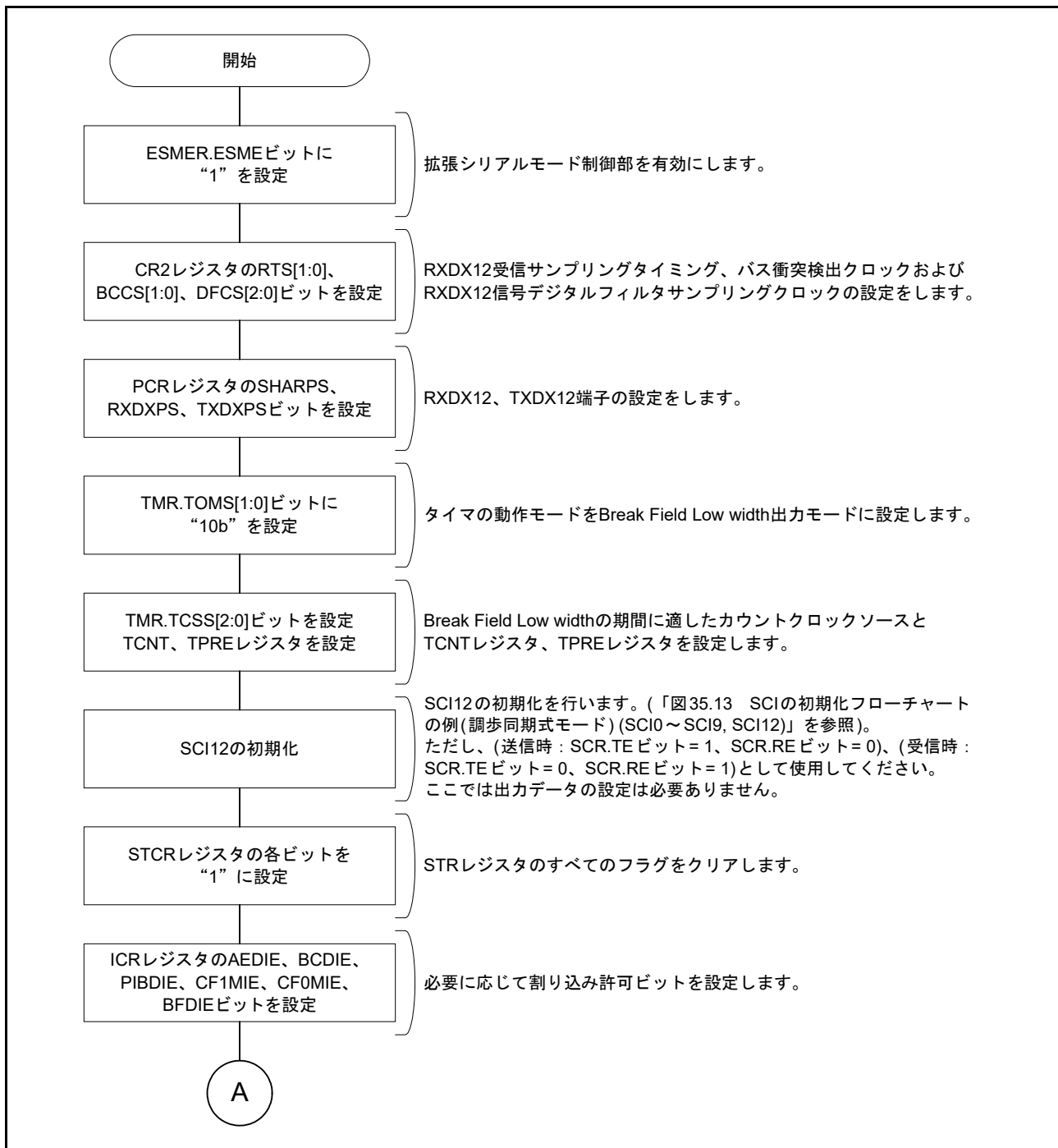


図 35.68 Start Frame 送信フローチャート例 (1)

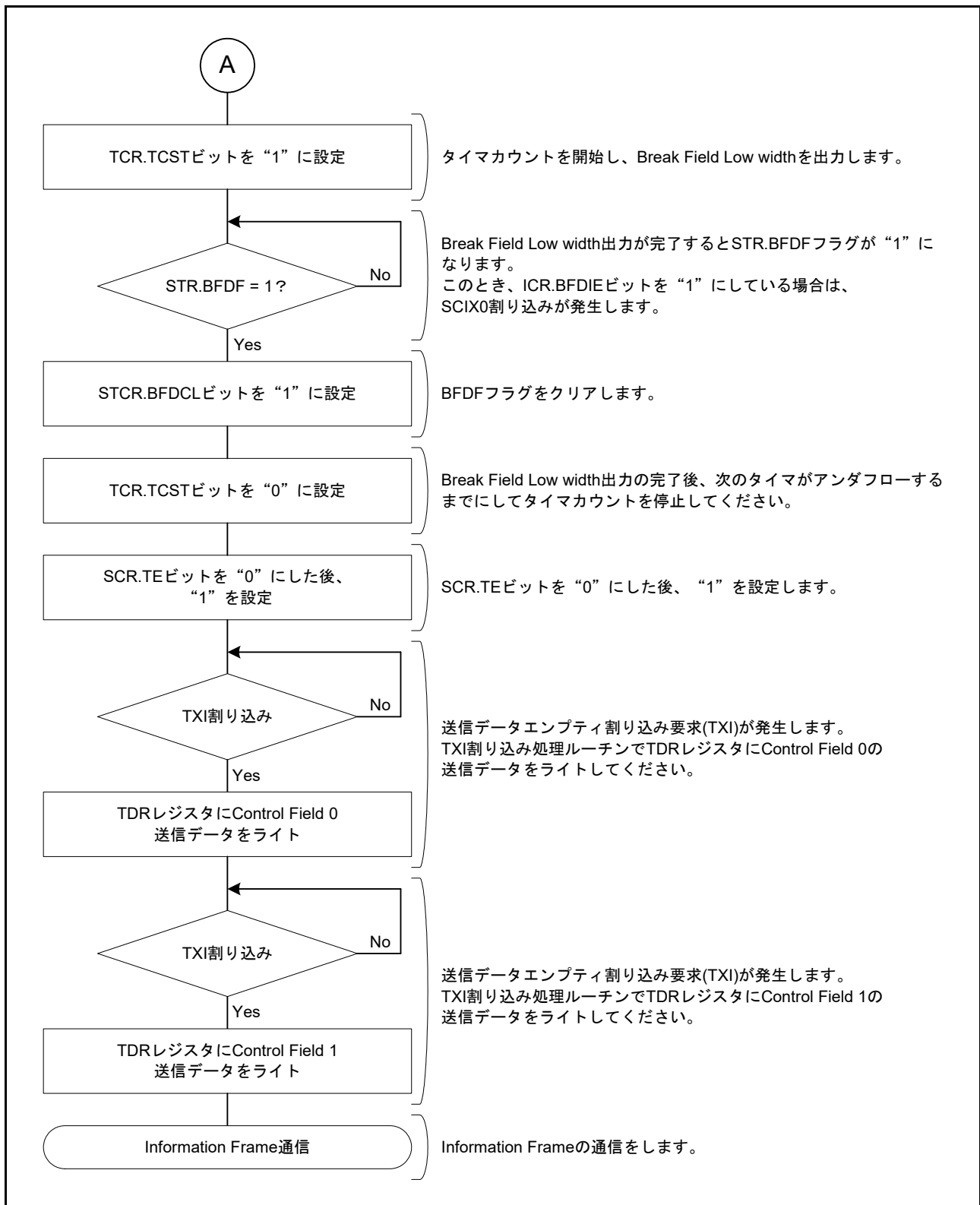


図 35.69 Start Frame 送信フローチャート例 (2)

35.10.3 Start Frame 受信

拡張シリアルモード制御部では、表 35.37 のような構成の Start Frame を検出することができます。

表 35.37 Start Frameの構成

ビットの設定		Start Frameの構成
BFE	CF0RE	
0	0	
0	1	
1	0	
1	1	

図 35.70 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の受信時の動作例を示します。また、図 35.71、図 35.72 に Start Frame の受信を行うためのフローチャート、図 35.73 に Start Frame 受信時の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3.SDST ビットに“1”を書き込むと、Break Field Low width 検出が可能になります。
- (2) タイマの TCNT、TPRE レジスタに設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0.RXDSF フラグが“0”になり、Control Field 0 の受信を開始します。
- (4) Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致した場合、STR.CF0MF フラグが“1”になります。また、ICR.CF0MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。
- (5) Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータと一致した場合、STR.CF1MF フラグが“1”になります。また、ICR.CF1MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

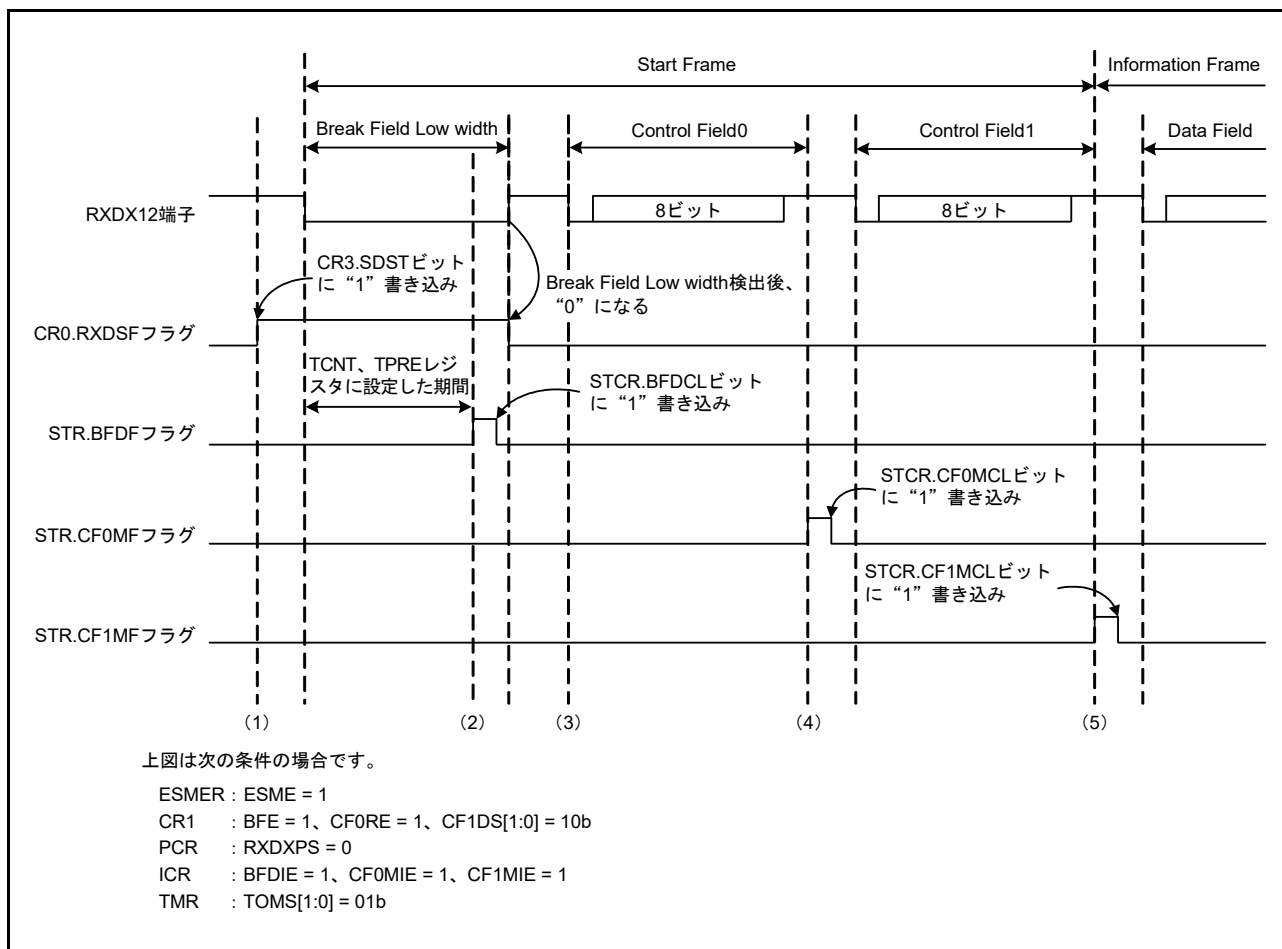


図 35.70 Start Frame 受信時の動作例

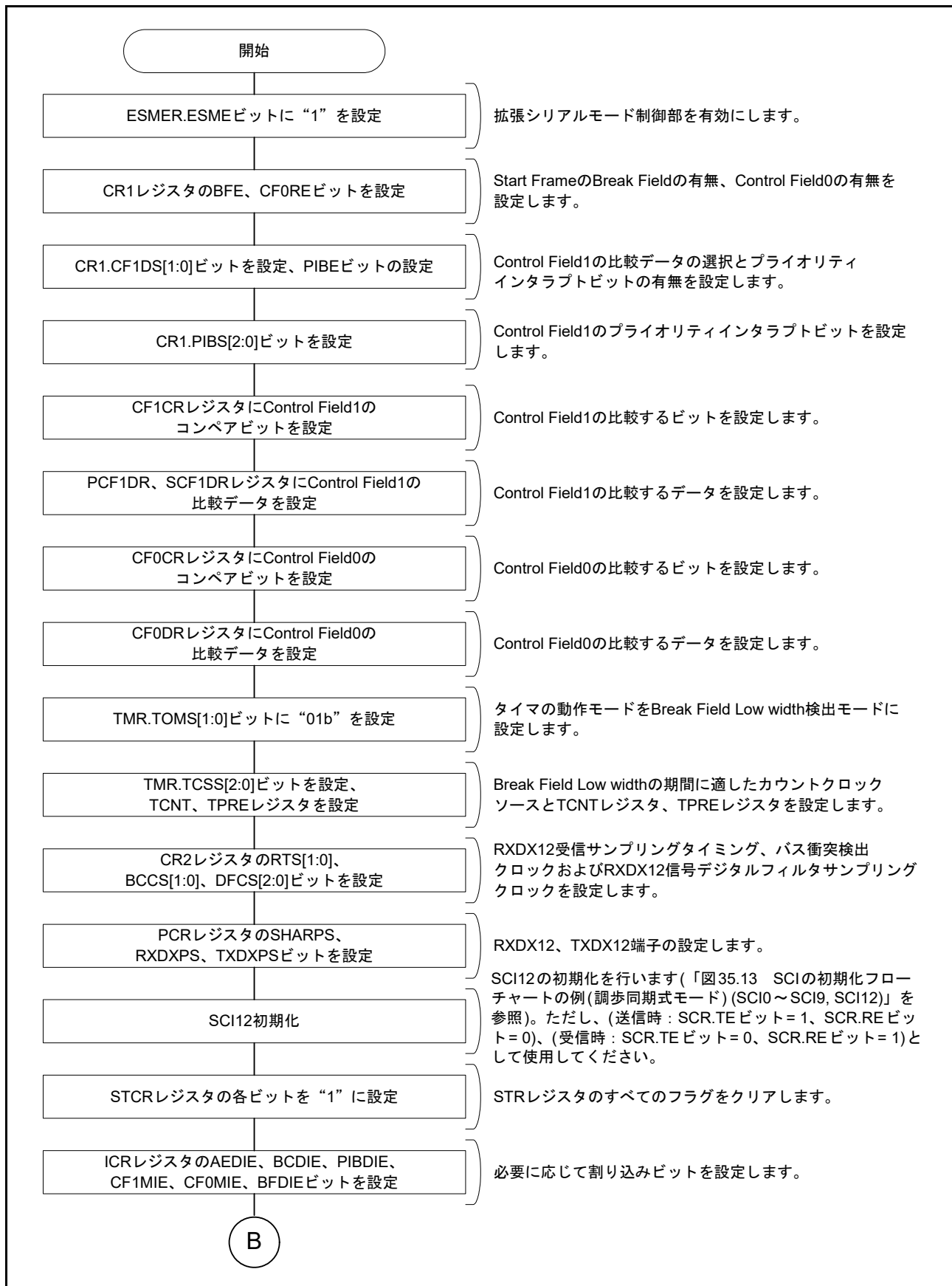


図 35.71 Start Frame 受信フローチャート例 (1)

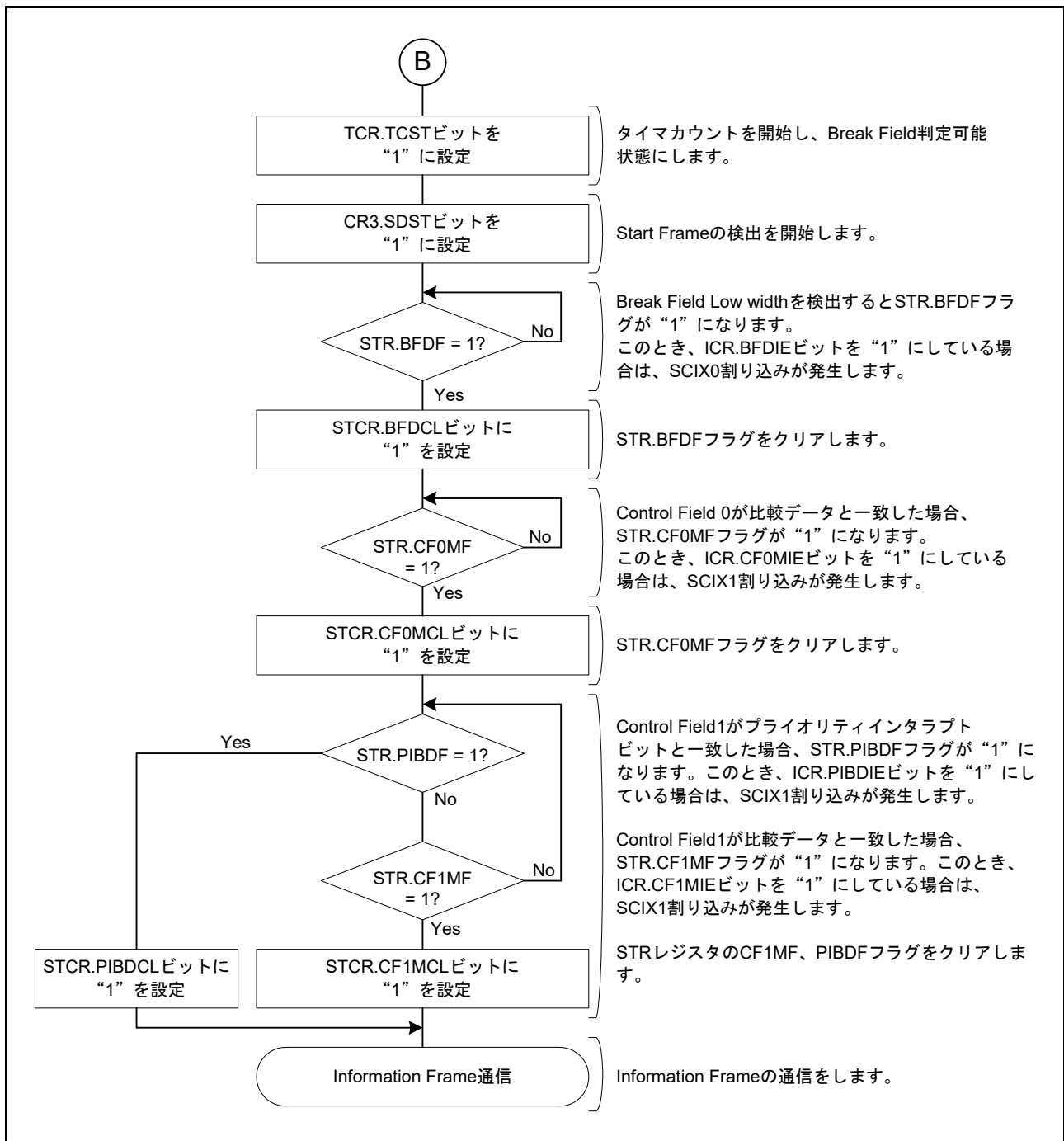


図 35.72 Start Frame 受信フローチャート例 (2)

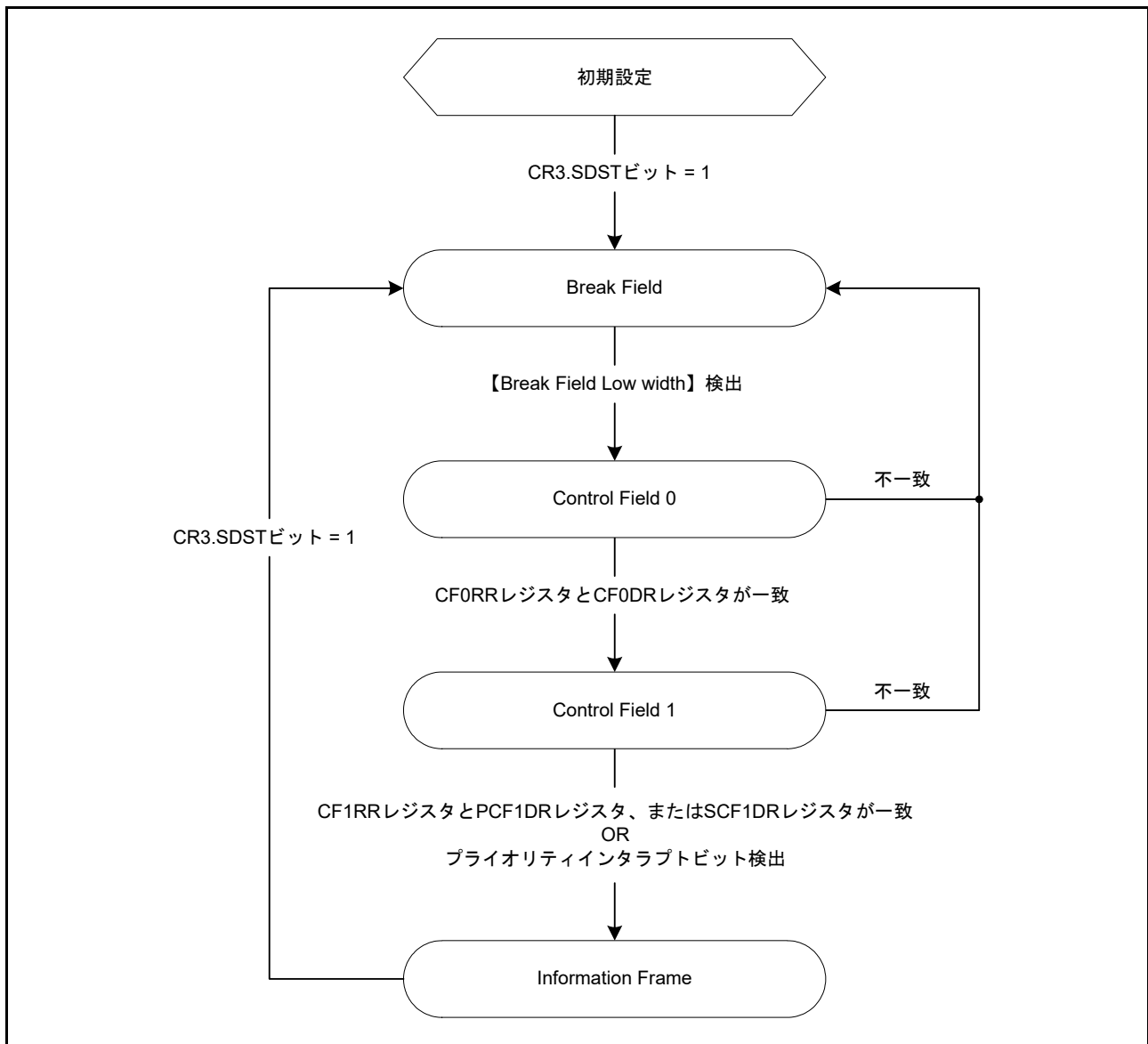


図 35.73 Start Frame 受信時の状態遷移図

35.10.3.1 プライオリティインタラプトビット

図 35.74 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1.PIBE ビットを“1”にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のよう動作します。

(1)～(4) は図 35.70 の Start Frame 受信時の動作例 (1)～(4) と同様になります。

(5) CR1.PIBS[2:0] ビットで指定したビットの値が PCF1DR レジスタに設定した値と一致した場合、STR.PIBDF フラグが“1”になります。また、ICR.PIBDIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

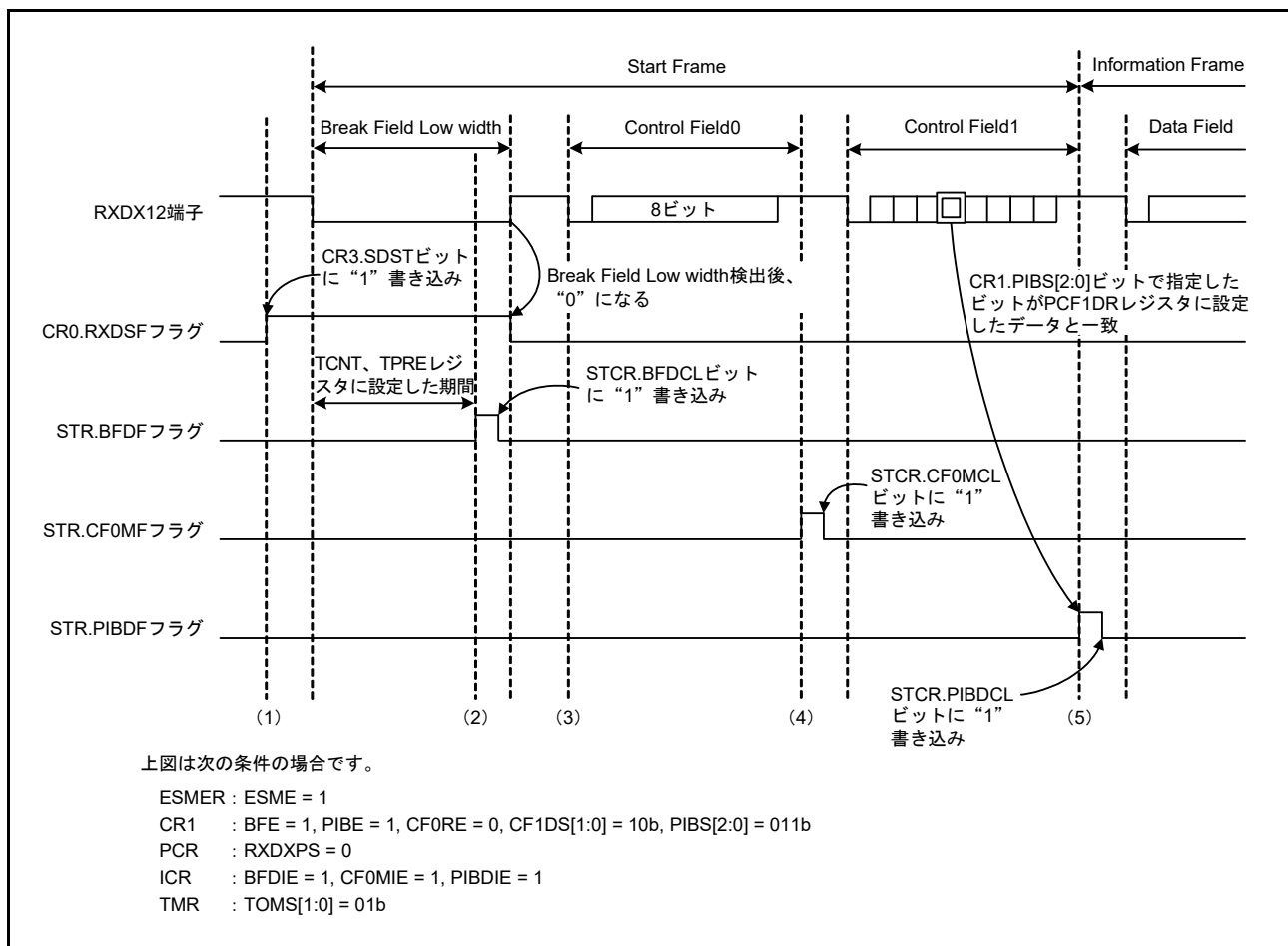


図 35.74 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

35.10.4 バス衝突検出機能

ESMER.ESME ビット = 1、かつ SCR.TE ビット = 1 の状態で、Break Field Low width 出力中およびデータ送信中にバス衝突検出機能が働きます。

図 35.75 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR.BCDF フラグが“1”になります。また、ICR.BCDIE ビットを“1”にしている場合は、SCIX2 割り込みが発生します。

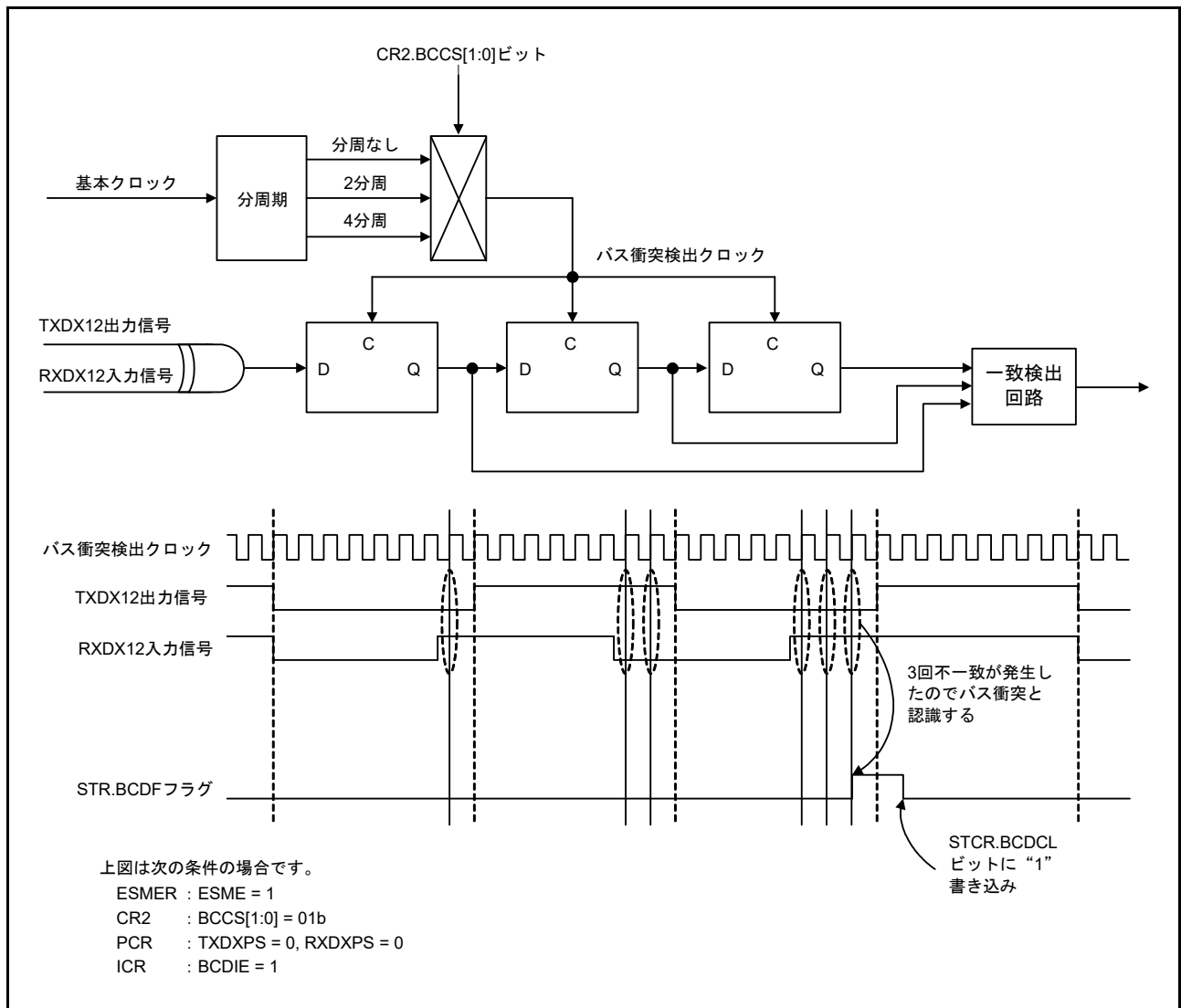


図 35.75 バス衝突検出機能の動作例

35.10.5 RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号はCR2.DFCS[2:0] ビットによって選択されたクロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3サンプリングクロック以上同一のレベルを保持した場合は信号として認識しますが、3サンプリングクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 35.76 にデジタルフィルタ機能の動作例を示します。

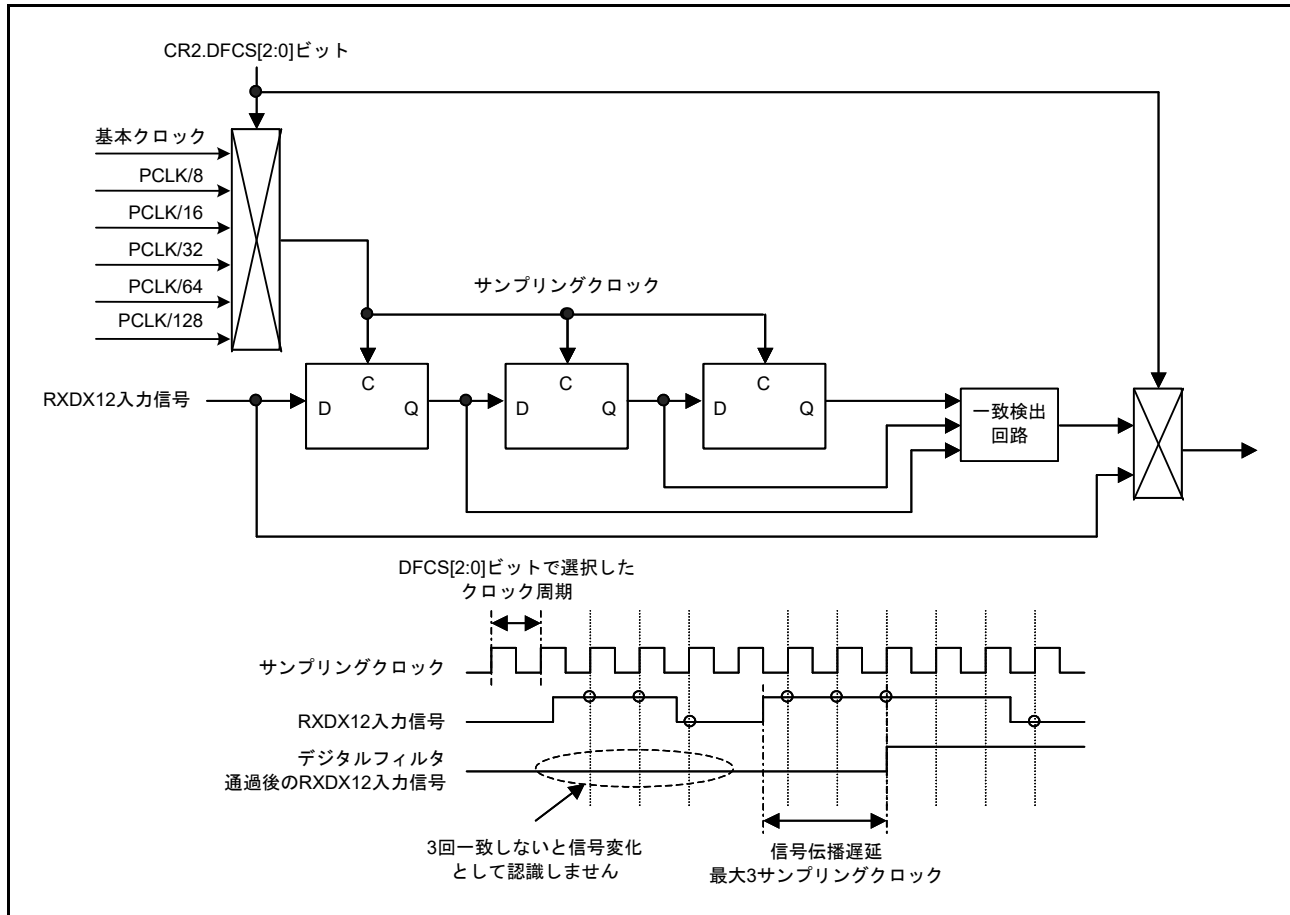


図 35.76 デジタルフィルタ機能の動作例

35.10.6 ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がり — 立ち下がり間または、立ち下がり — 立ち上がり間を測定する機能です。図 35.77 にビットレート測定機能の動作例を示します。

- (1) CR0.BRME ビットに“1”を書き込むとビットレート測定が有効となります。BRME ビットは、測定を行いたいときのみ“1”を設定してください。また、BRME ビットを“1”にしても Break Field 中は、ビットレートの測定動作を行いません。
- (2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
- (3) ビットレート測定開始後、RXDX12 端子から有効エッジ(立ち上がりエッジおよび立ち下がりエッジ)が入力されるとタイマはそのときのカウンタ値をリードバッファに保持し、カウンタをリロードします。ICR.AEDIE ビットを“1”にしている場合は、SCIX3 割り込みが発生します。TCNT、TPRE レジスタをリードすることで保持は解除されます。
- (4) 有効エッジ間のカウンタ値からビットレートを算出し、BRR レジスタの設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0.BRME ビットに“0”を書き込んでください。

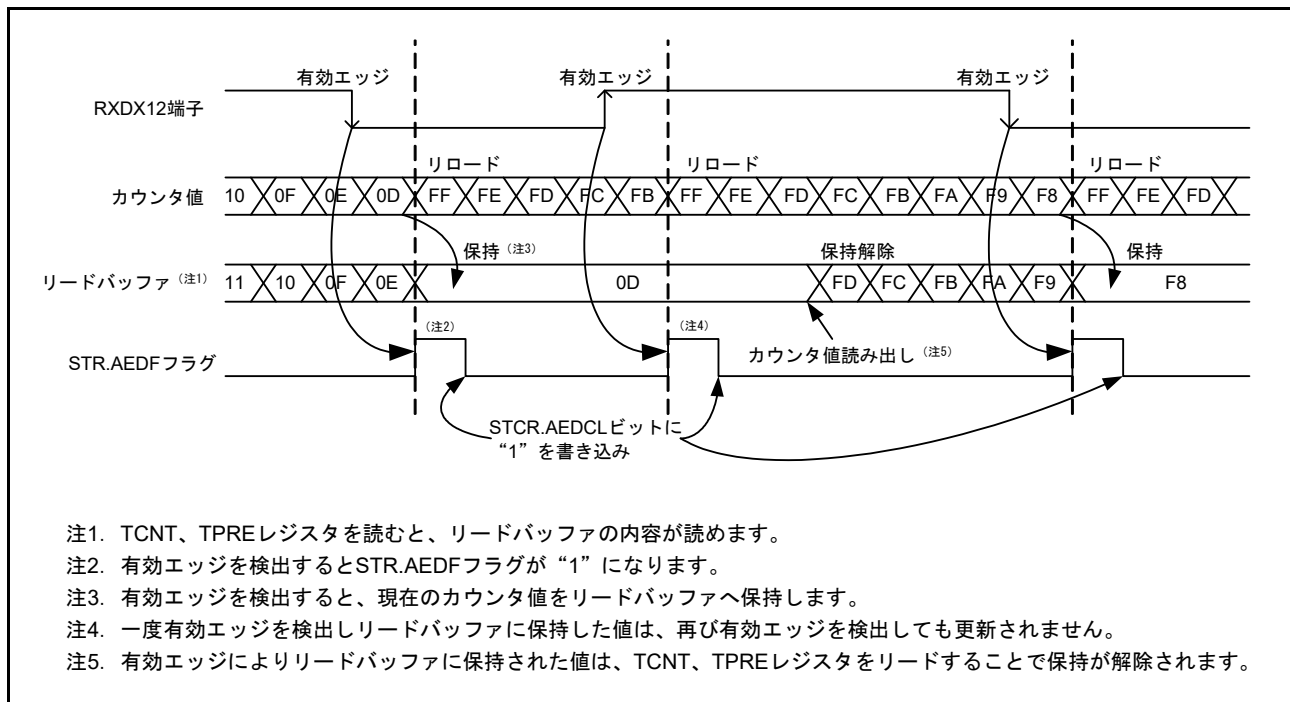


図 35.77 ビットレート測定機能動作例

35.10.7 RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、RXDX12 受信データのサンプリングタイミングを CR2.RTS[1:0] ビットにより、基本クロックの 8 クロック目の立ち上がり、10 クロック目の立ち上がり、12 クロック目の立ち上がりおよび 14 クロック目の立ち上がりから選択することができます。SEMR.ABCS ビットが“1”の場合は基本クロックの 4 クロック目の立ち上がり、5 クロック目の立ち上がり、6 クロック目の立ち上がりおよび 7 クロック目の立ち上がりから選択することができます。図 35.78 に RXDX12 受信データサンプリングタイミングを示します。

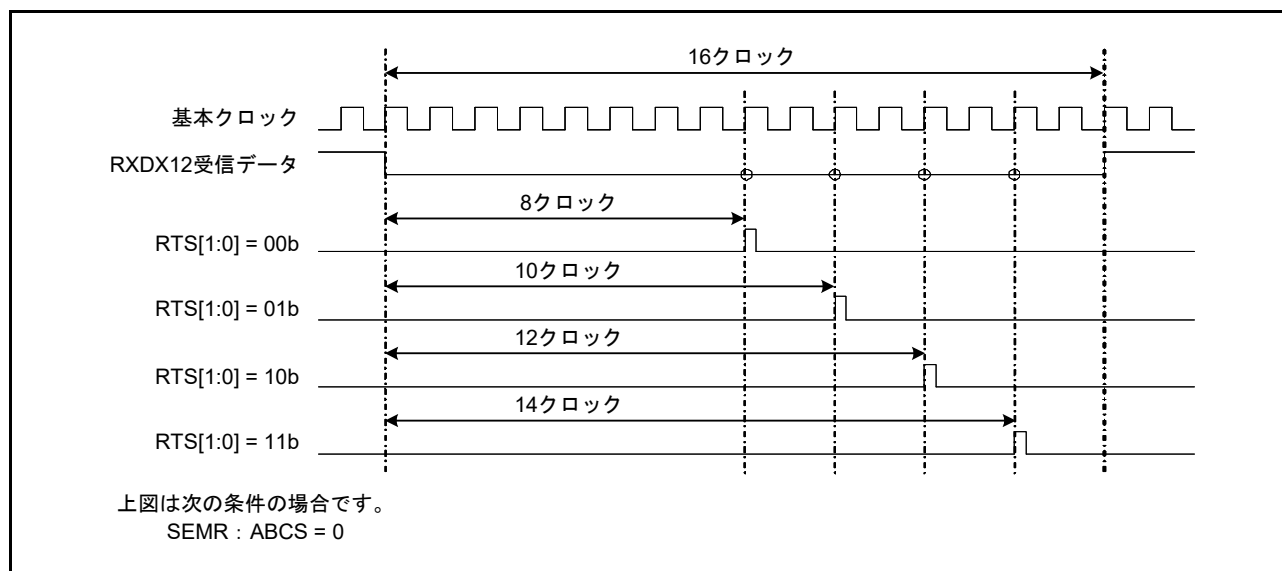


図 35.78 RXDX12 受信データサンプリングタイミング

35.10.8 タイマ

タイマには次の動作モードがあります。

(1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR.TOMS[1:0] ビットを“10b”に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。TCR.TCST ビットに“0”を書き込むと、TPRE レジスタおよび TCNT レジスタはリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 35.79 に Break Field Low width 出力モードの動作例を示します。

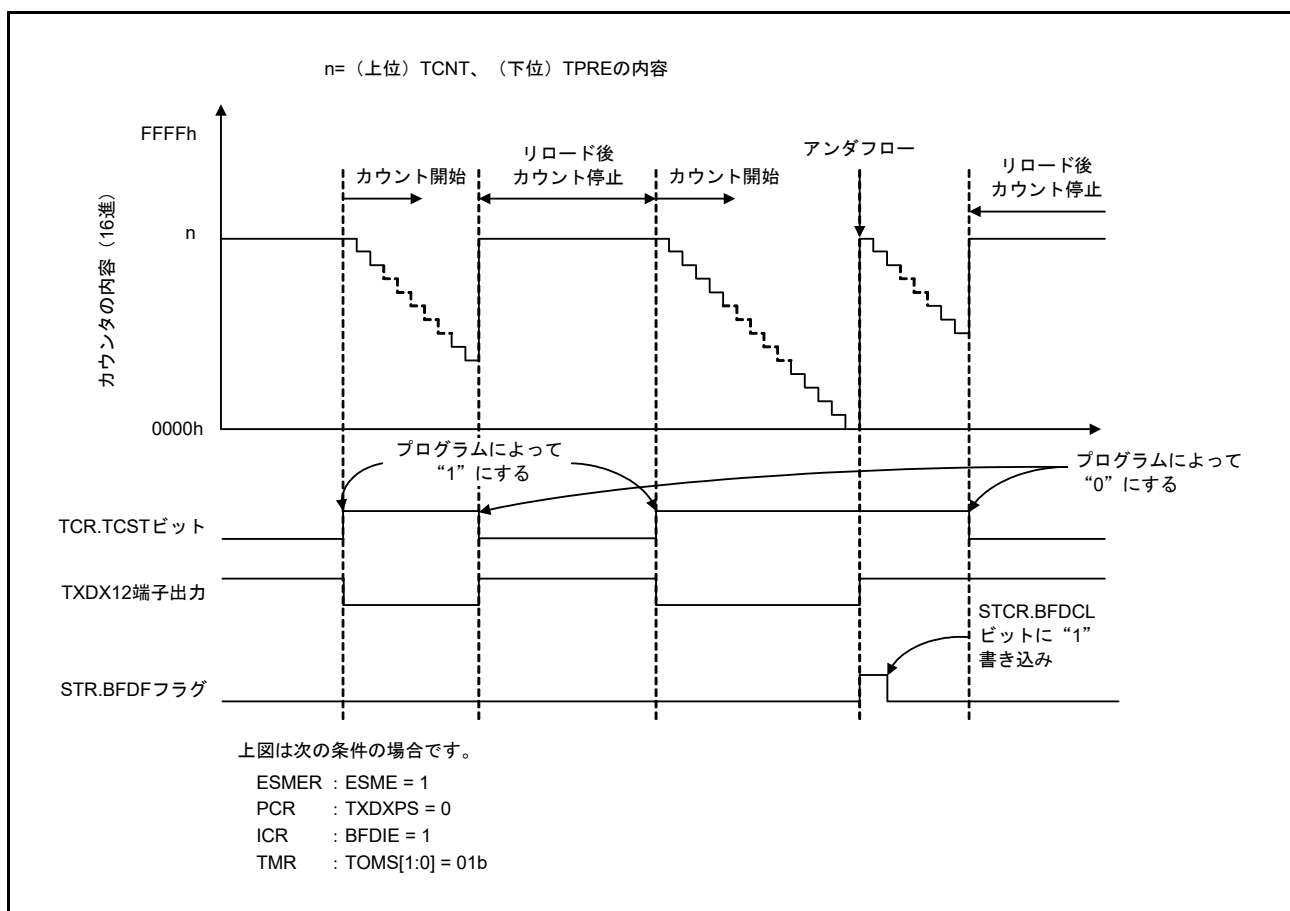


図 35.79 Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR.TOMS[1:0] ビットを“01b”に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRE レジスタおよび TCNT レジスタはリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 35.80 に Break Field Low width 判定モードの動作例を示します。

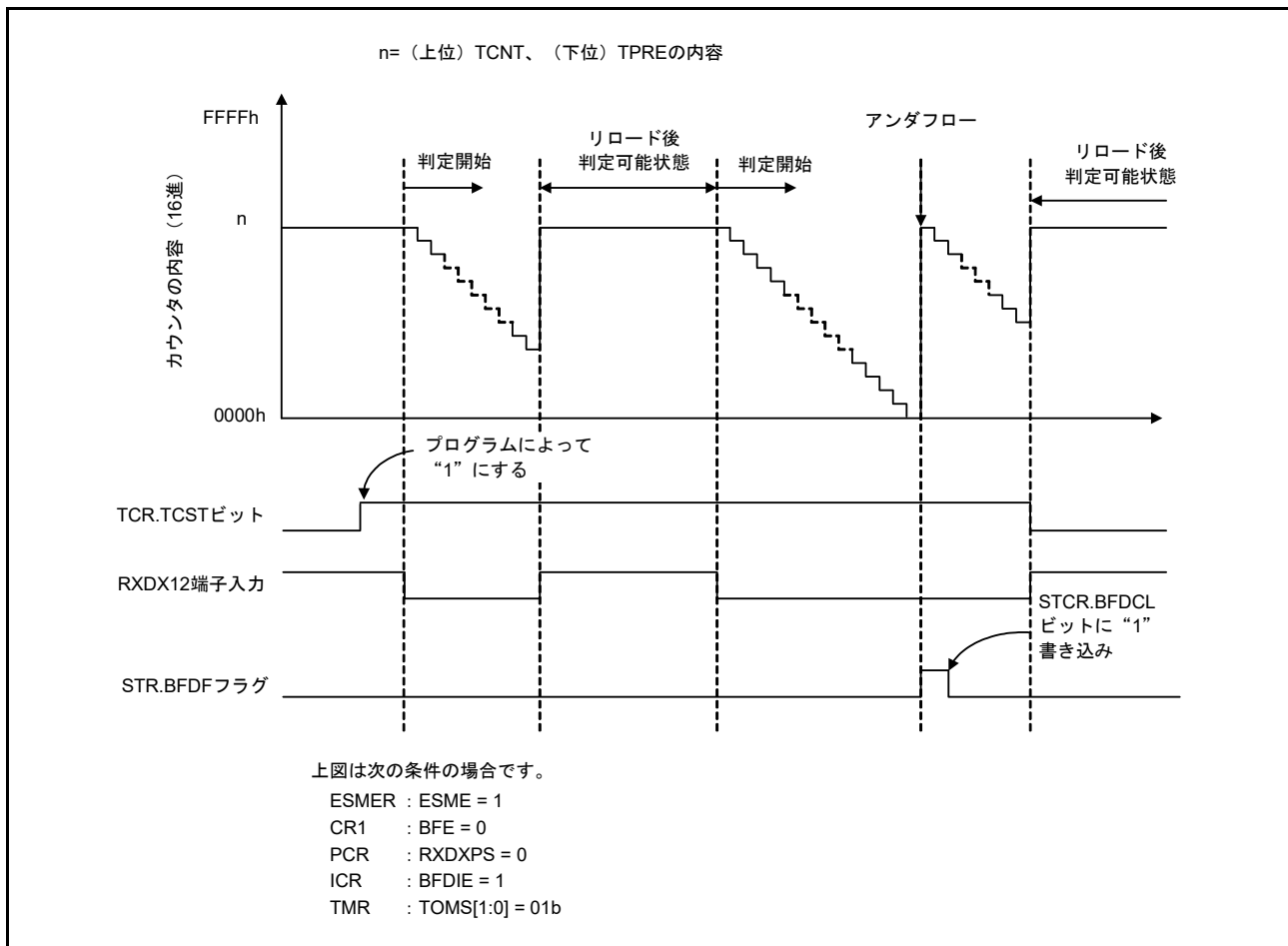


図 35.80 Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR.TOMS[1:0] ビットを“00b”に設定すると、タイマモード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、カウントを開始し、TCST ビットに“0”を書き込むとカウントを停止します。TPRE レジスタに入力するカウントクロックソースの周期で TPRE レジスタがダウンカウントします。TPRE レジスタのアンダフローをカウントクロックソースにして、TCNT レジスタがダウンカウントします。タイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。

35.11 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 35.81 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDnの入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCSE = 0 かつ SEMR.ABCS = 0 のとき1ビット期間の1/16、SEMR.ABCSE = 0 かつ SEMR.ABCS = 1 のとき1ビット期間の1/8、SEMR.ABCSE = 1 のとき1ビット期間の1/6) となります。

簡易 I²C モード時は SSDAn、SSCLn の入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ボーレートジェネレータのクロックソースの1/2/4/8分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット = 0、SCR.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

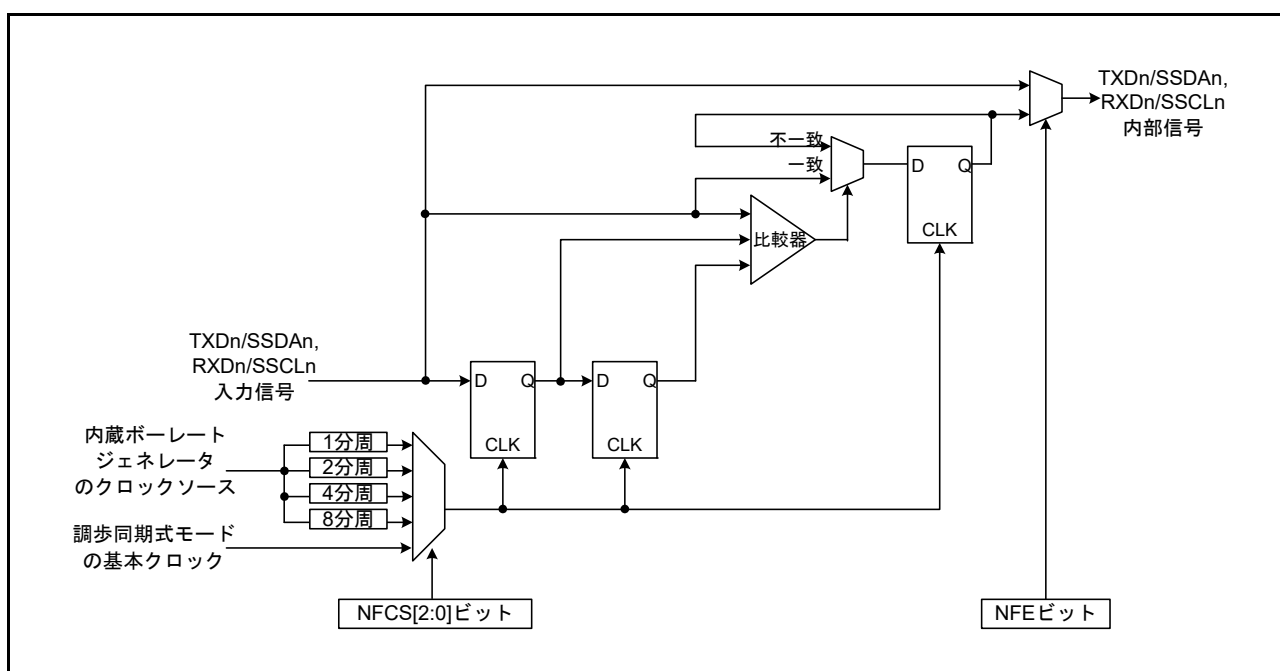


図 35.81 デジタルノイズフィルタのブロック図

35.12 割り込み要因

35.12.1 TXI 割り込みおよび RXI 割り込みバッファ動作

(1) SCI₀ ~ SCI₉、SCI₁₂、および FIFO 無効の SCI₁₀、SCI₁₁ の場合

TXI 割り込みおよび RXI 割り込みに関しては、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件が成立しても、SCI は割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが“0”になると、SCI は割り込みコントローラに対して保持していた割り込み要求を出力します。その後、保持していた割り込み要求をクリアします。なお、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を“0”にすることでクリアできます。

(2) FIFO 有効の SCI₁₀、SCI₁₁ の場合

FCR.FM ビットが“1”の場合は、割り込み要求の内部保持は行われません。割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件が成立した場合、ステータスフラグの更新は行われますが、割り込み要求は生成されません。

35.12.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

(1) SCI₀ ~ SCI₉、SCI₁₂、および FIFO 無効の SCI₁₀、SCI₁₁ の場合

表 35.38 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因は、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタ、または TDRL レジスタ(注1)から TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”にすることも発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”にした場合、および SCR.TE ビットが“1”の状態でも SCR.TIE ビットを“1”にした場合には発生しません。(注2)

ただし、SCR.TIE ビットが“1”の状態でも SCR.TE ビットを“0”にした場合、TXI 割り込み要求が発生しますのでご注意ください。

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタ、または TDRL レジスタ(注1)に次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”にしてから TDR レジスタ、または TDRL レジスタ(注1)に送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタ、または TDRL レジスタ(注1)にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタ、または RDRL レジスタ(注1)に格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR レジスタの ORER、FER、PER フラグのいずれかが“1”になると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 調歩同期モードかつデータ長 9 ビットを選択した場合

注 2. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 35.38 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー	ORER, FER, PER, DFER (注1), DPER (注1)	不可能	不可能
RXI	受信データフル	RDRF	可能	可能
	データ一致 (注1)	DCMF (注1)		
TXI	送信データエンプティ	TDRE	可能	可能
TEI	送信終了	TEND	不可能	不可能

注 1. SCI0 ~ SCI11 にのみ存在します。

(2) FIFO 有効の SCI10、SCI11 の場合

表 35.39 に FIFO 有効時の調歩同期モード、クロック同期モードにおける割り込み要因を示します。各割り込み要因は、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが“1”のとき、送信 FIFO 内の未送信データの数がしきい値 (FCR.TTRG[3:0]) 以下になると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TE ビットを“1”にした後で SCR.TIE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを同時に“1”にすることも発生します。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”にした場合や、SCR.TIE ビットが“1”の状態でも SCR.TE ビットを“1”にした場合には発生しません。

ただし、SCR.TE ビットが“0”の状態でも SCR.TIE ビットを“1”にした場合、TXI 割り込み要求が発生しますのでご注意ください。

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに FTDR レジスタに次のデータをライトしていないと、SSRFIFO.TEND フラグが“1”になり、TEI 割り込み要求が発生します。

SCR.RIE ビットが“1”のとき、受信 FIFO に格納されたデータの数がしきい値 (FCR.RTRG[3:0]) 以上になると、RXI 割り込み要求が発生します。

SCR.RIE ビットが“1”のとき、SSRFIFO.ORER フラグが“1”になるか、フレーミングエラーまたはパリティエラーの発生したデータが受信 FIFO に格納されると、ERI 割り込み要求が発生します。このとき受信 FIFO に格納されたデータの数がしきい値 (FCR.RTRG[3:0]) 以上であると、RXI 割り込み要求も発生します。SSRFIFO レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

表 35.39 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー	ORER, FER, PER, DFER, DPER	不可能	不可能
		DR (FCR.DRES = 1 の場合)		
RXI	受信 FIFO フル	RDF	可能	可能
	受信データレディ	DR (FCR.DRES = 0 の場合)		
	データ一致	DCMF		
TXI	送信 FIFO エンプティ	TDRE	可能	可能
TEI	送信終了	TEND	不可能	不可能

35.12.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 35.40 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 35.40 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー、エラーシグナル検出	ORER, PER, ERS	不可能	不可能
RXI	受信データフル	—	可能	可能
TXI	送信データエンプティ	TEND	可能	可能

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”になると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「20. データトランスファコントローラ (DTCb)」、「18. DMA コントローラ (DMACAb)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI 割り込み要求を生成しますのでエラーフラグをクリアしてください。

35.12.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 35.41 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCL_n 端子立ち下がり、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCL_n 端子立ち下がり、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCL_n 端子立ち上がり、SSDAn 端子入力が Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力が High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 35.41 SCI 割り込み要因

名称	割り込み要因		割り込みフラグ	DTCの起動	DMACの起動
	IICINTMビット=0	IICINTMビット=1			
RXI	ACK検出	受信	—	可能	可能
TXI	NACK検出	送信	—	可能(注1)	可能(注1)
STI	開始条件、再開条件、停止条件生成終了		IICSTIF	不可能	不可能

注1. SIMR2.IICINTM ビット = 1 (受信割り込み、送信割り込みを選択) の場合のみ DTC、DMAC の起動が可能です。

35.12.5 拡張シリアルモード制御部の割り込み要求

SCIh の拡張シリアルモード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出) および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。各割り込み要因が発生するとステータスフラグが“1”になります。表 35.42 に各割り込み要求の内容を示します。

表 35.42 拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0 割り込み (Break Field Low width 検出)	BFDF	<ul style="list-style-type: none"> • タイマに設定した期間より長い Break Field Low width を検出したとき • タイマに設定した期間、Break Field Low width 出力が完了したとき • タイマがアンダフローしたとき
SCIX1 割り込み (Control Field 0 一致)	CF0MF	Control Field 0 の受信データが CF0DR に設定したデータと一致したとき
SCIX1 割り込み (Control Field 1 一致)	CF1MF	Control Field 1 の受信データが PCF1DR または SCF1DR に設定したデータと一致したとき
SCIX1 割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータが PCF1DR に設定したデータと一致したとき
SCIX2 割り込み (バス衝突検出)	BCDF	TXDX12 端子の出力と RXDX12 端子の入力をバス衝突検出クロックでサンプリングし、3 回連続不一致が発生するとき
SCIX3 割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

35.13 イベントリンク機能

SCI5は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定していたモジュールを動作させることができます。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力することができます。また、割り込みステータスフラグが“1”の状態でもイベントは出力可能です。

(1) エラー (受信エラー・エラーシグナル検出) イベント出力

- 受信時にパリティエラーが発生して異常終了したことを示します。
- 受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで送信時にエラーシグナルを検出したことを示します。

(2) 受信データフルイベント出力

- 受信データがレシーブデータレジスタ (RDR レジスタ、または RDRL レジスタ) にセットされたことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、ACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCL5 端子立ち下がりを検出したことを示します。
- 簡易 I²C モードのマスタ送信かつ SIMR2.IICINTM ビットが“1”のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

(3) 送信データエンptyイベント出力

- SCR.TE ビットが“0”から“1”に変化したことを示します。
- トランスミットデータレジスタ (TDR レジスタ、または TDRL レジスタ) からトランスミットシフトレジスタ (TSR レジスタ) に送信データを転送したことを示します。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、NACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、9 ビット目の SSCL5 端子立ち下がりを検出したことを示します。

(4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易 I²C モードで開始条件、再開条件、停止条件の生成が完了したことを示します。

35.14 使用上の注意事項

35.14.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) とモジュールストップコントロールレジスタ C (MSTPCRC) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

35.14.2 ブレークの検出と処理について

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すか、SCI0 ~ SCI11 では SPTR.RXDMON フラグの値を読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.FER フラグが“1” (フレーミングエラーの発生あり) になり、また SSR.PER フラグも“1” (パリティエラーの発生あり) になる可能性があります。SEMR.RXDESEL ビットが“0” のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを“0” (フレーミングエラーの発生なし) にしても、再び FER フラグが“1” になりますので注意してください。SEMR.RXDESEL ビットが“1” のとき、SCI は、SSR.FER フラグを“1” にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.FER フラグを“0” にすれば、ブレーク中は SSR.FER フラグの“0” を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりによってスタートビットの始まりを検出し、受信動作を開始します。

(2) FIFO 有効の SCI10、SCI11 の場合

フレーミングエラーを検出した後、さらに 1 フレーム分の受信データがすべて“0” であると、受信動作を停止します。フレーミングエラー検出時に、SPTR.RXDMON フラグの値をリードすることでブレークを検出できます。なお、RXDn 端子が High になりブレークが終了した後は、受信動作が再開します。

35.14.3 マーク状態とブレークの送出

SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき、TXDn 端子はハイインピーダンスになります。このとき TXDn 端子を強制的にマーク / スペース状態にするには、I/O ポート関連のレジスタを設定して TXDn 端子を汎用出力ポートに切り替えてください。

SCR.TE ビットを“1” (シリアル送信動作を許可) にするまで、通信回線をマーク状態 (“1” の状態) にするためには、対応する PODR レジスタのビットを“1” にして、汎用出力ポートから High を出力します。通信を開始する場合、TE ビットを“1” にしてから PMR レジスタの対応するビットを“1” にしてください。

データ送信時にブレーク (一定期間以上連続したスペース) を送出したいときは、対応する PODR レジスタのビットを“0” (Low 出力) にした後、PMR レジスタの対応するビットを“0” (汎用入出力ポート) にします。TE ビットを“0” にする場合、この後実施してください。TE ビットを“0” にすると現在の送信状態とは無関係に送信部は初期化されます。

SPTR レジスタがある場合、汎用出力ポートに切り替えることなくマーク / スペースを出力できます。SPTR.SPB2IO ビットを“1” (出力)、SPB2DT ビットを“1” (マーク) または“0” (スペース) にした後、TE ビットを“0” にしてください。

35.14.4 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が“1”になった状態では、TDR レジスタ (FTDR レジスタ) にデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを“0”にしておいてください。また、SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても受信エラーフラグは“0”になりませんので注意してください。

35.14.5 TDR レジスタへのライトについて

TDR、TDRH、TDRL レジスタへのデータのライトを行うことができます。しかし、TDR、TDRH、TDRL レジスタに送信データが残っている状態で新しいデータを TDR、TDRH、TDRL レジスタにライトすると、TDR、TDRH、TDRL レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR、TDRH、TDRL レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

35.14.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易SPIモード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU、DMAC または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください (図 35.82 参照)。

(2) 連続送信時

- ビット7の送信クロックの立ち上がり以前に、TDR レジスタまたは TDRL レジスタに次の送信データを書き込んでください (図 35.82 参照)。
- ビット7送信開始以降に TDR レジスタを更新する場合は、同期クロックが Low の期間に TDR レジスタを更新し、かつビット7の送信クロックの High 幅を、4 PCLK 以上にしてください (図 35.82 参照)。

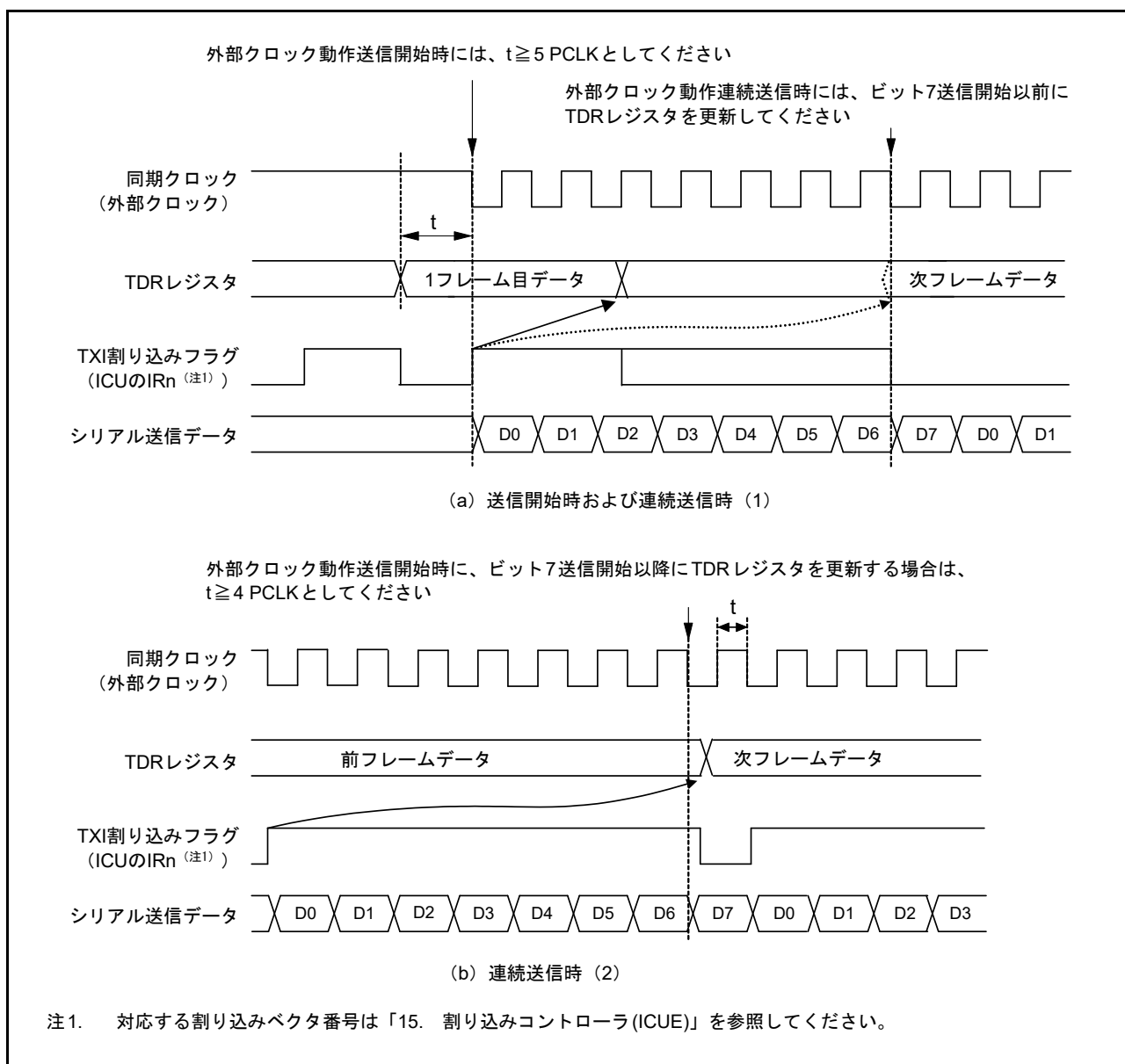


図 35.82 クロック同期式モード送信での外部クロック使用の制約事項

35.14.7 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR、RDRH、RDRL レジスタのリードを行うときは起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

35.14.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IR_n.IR ビット) が“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、または SCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「15. 割り込みコントローラ (ICUE)」を参照してください。

- 通信が停止していること (SCR.TE ビットまたは SCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IR_n.IR ビット) に“0”を設定

35.14.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への遷移、またはソフトウェアスタンバイモードへの遷移は、TXD_n 端子を汎用入出力ポート機能に切り替えるか、SPTR レジスタで出力レベルを固定 (SCI0 ~ SCI11) した後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよび SSR.TEND フラグは初期化されます。なお、SCI10、SCI11 の SSRFIFO.TEND フラグは初期化されません。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定または SPTR レジスタの設定 (SCI0 ~ SCI11) に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 35.83 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 35.84、図 35.85 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC/DMA 転送による送信からモジュールストップ状態への遷移、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後、DTC/DMAC による送信を再開する場合は、TE ビット=1、TIE ビット=1 に設定すると TXI 割り込みフラグが立ち、DTC/DMAC による送信が始まります。

(2) 受信

(a) 低消費電力状態の解除に、データ一致機能を使用しない場合

モジュールストップ状態への遷移または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 35.86 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

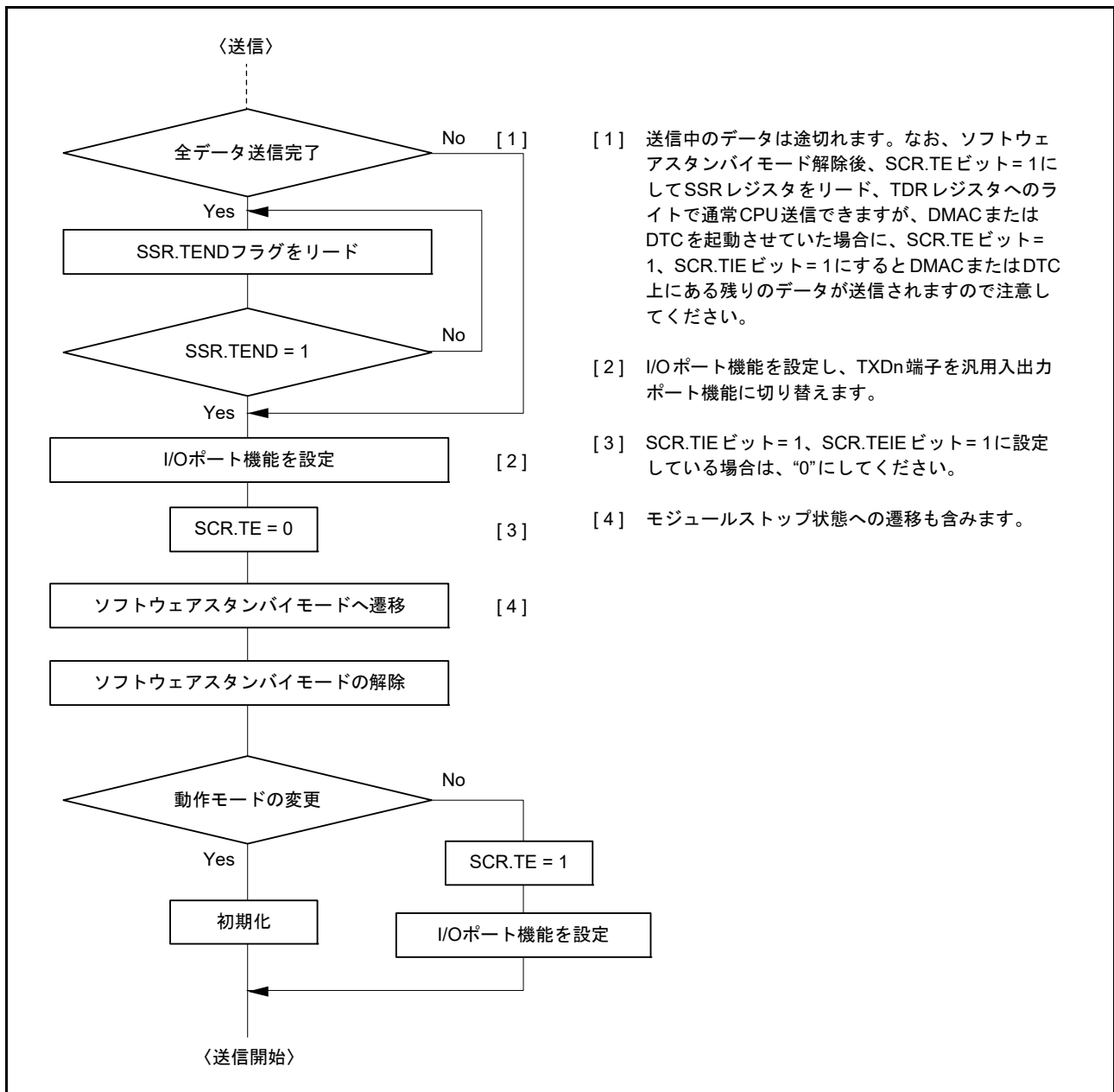


図 35.83 送信時のソフトウェアスタンバイモード遷移フローチャートの例

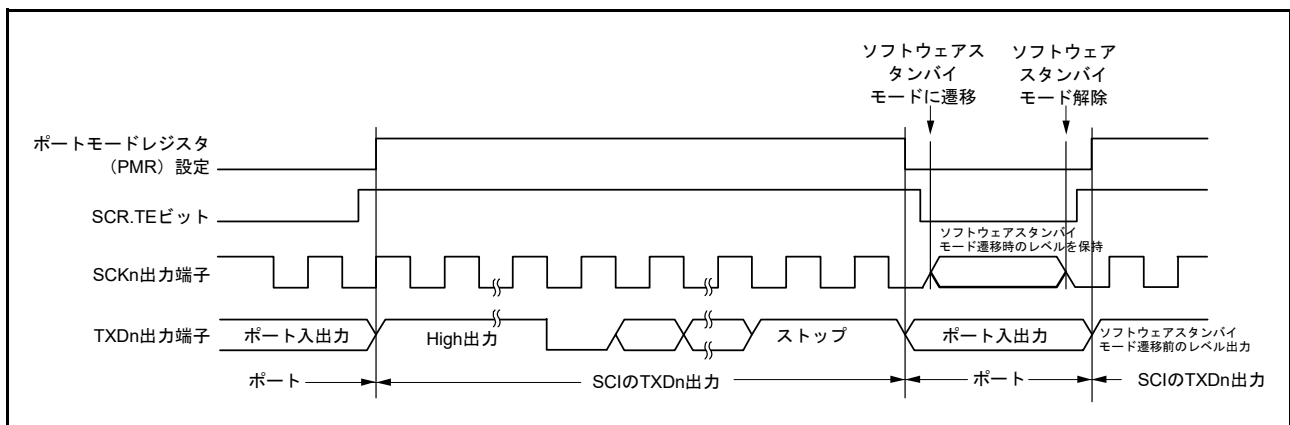


図 35.84 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

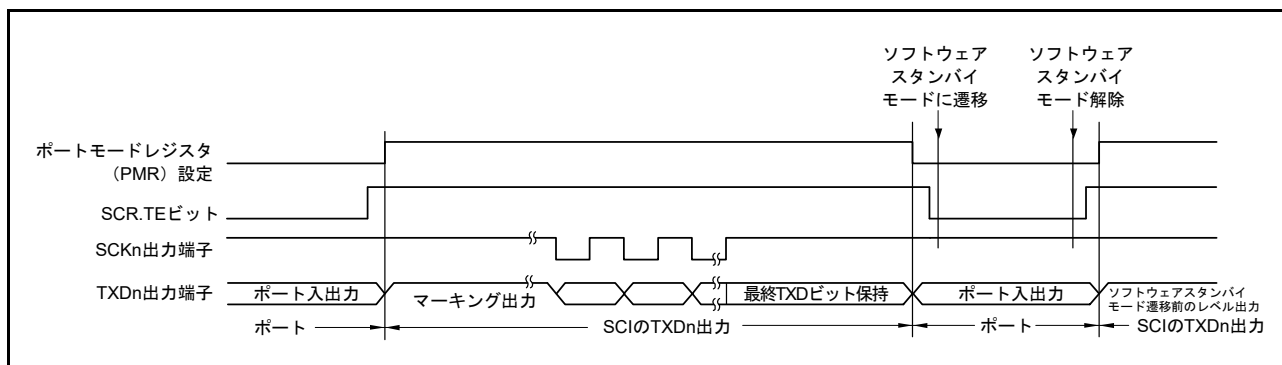


図 35.85 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

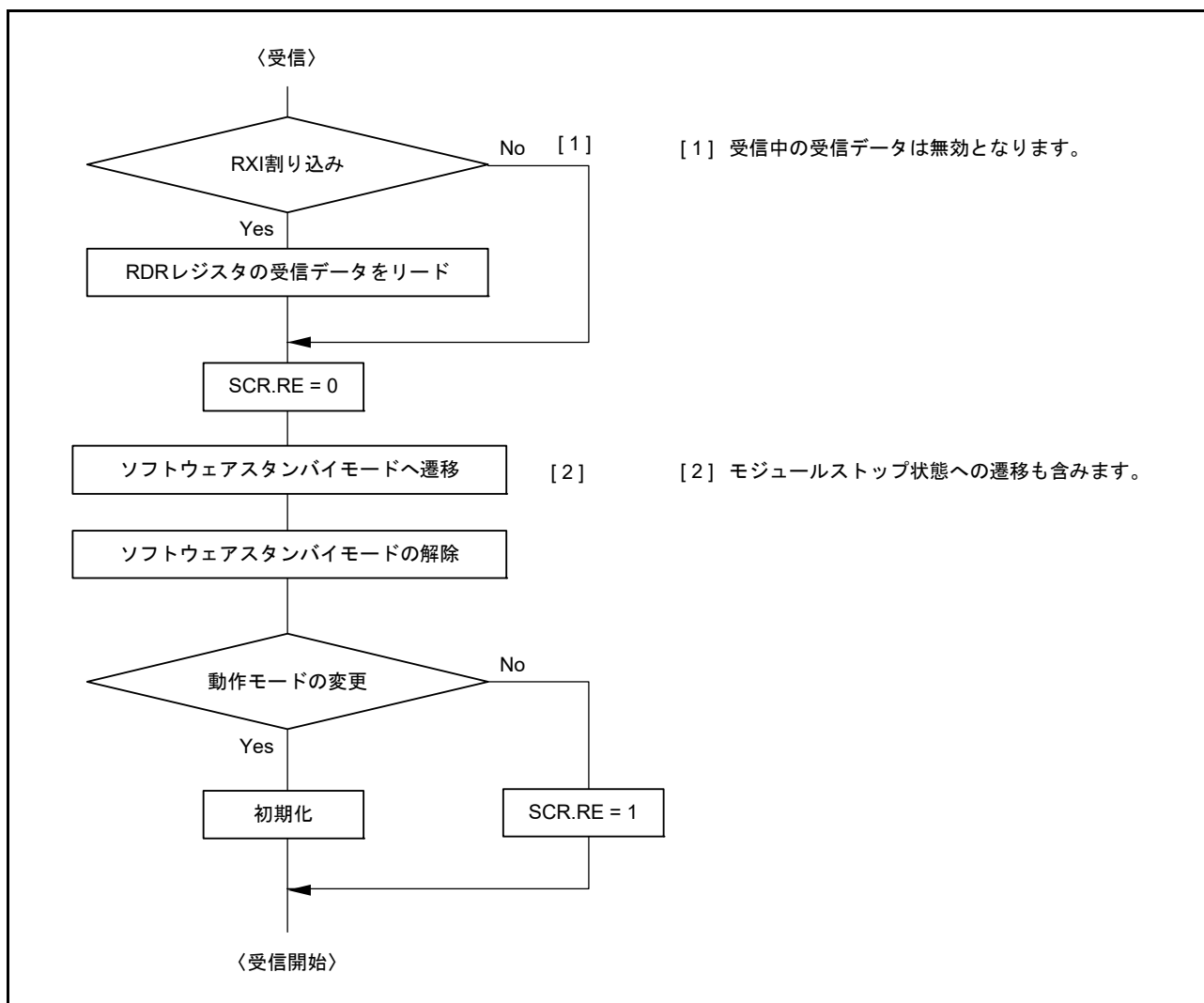


図 35.86 受信時のソフトウェアスタンバイモード遷移フローチャートの例

(b) 低消費電力状態の解除に、データ一致機能を使用する場合

消費電力低減機能を使用し、SCIの消費電力を低減する前に、消費電力解除後の動作モードを設定してください。その後、CDR.CMPD[8:0]ビットに比較データを設定し、DCCR.DCMEビットを“1”にしてから、SCR.REビットを“1”にしたままで、低消費電力状態に遷移してください。

RXD_n端子がLowのときに低消費電力状態に遷移する可能性があるときはSEMR.RXDESELビットを“0”に設定してください。SEMR.RXDESELビットが“1”の場合、低消費電力状態解除時にスタートビットを検出できないことがあります。

35.14.10 クロック同期式モードおよび簡易SPIモードにおける外部クロック入力

クロック同期式モードおよび簡易SPIモード時、外部クロックSCK_nへの入力信号は、High幅およびLow幅を2PCLK以上、周期を6PCLK以上としてください。

35.14.11 簡易SPIモードの制約事項**(1) マスタモード**

- SPMR.SSEビットが“1”のとき、SPMR.CKPH、CKPOLビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
SCR.TEビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、またSCR.TEビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードでSPMR.SSEビットが“0”のときは、SCR.TEビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定（SPMR.CKPHビット=1）の場合、**図 35.87**に示すようにSCK_n端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み（RXI）が発生します。このとき、SCRレジスタのTE、REビットをSCK_n端子の最終クロックエッジより前に“0”に設定するとSCK_n端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI割り込み後、SCK_n端子の最終クロックエッジより前に接続先スレーブに対するSS_n#端子入力信号をHighにするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SS_n#端子入力がLowの間SCK_n端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

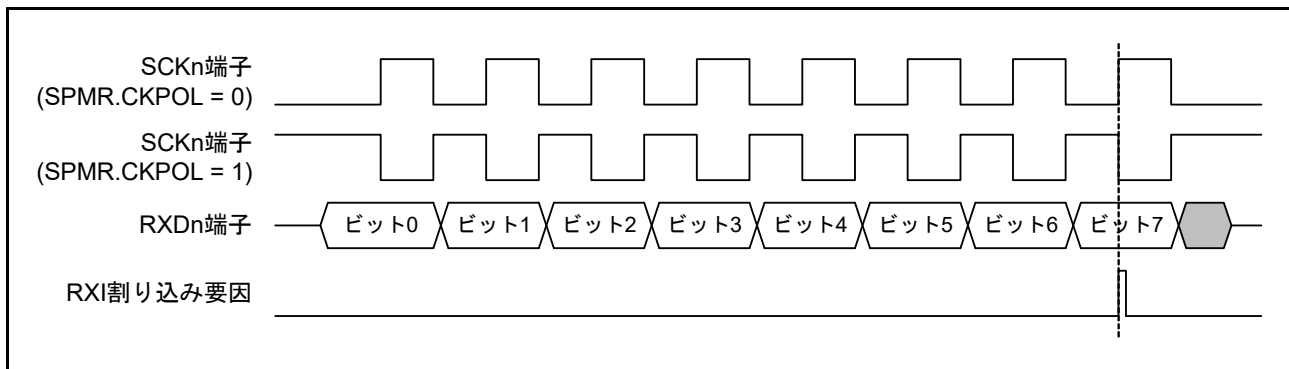


図 35.87 簡易SPIモード(クロック遅れあり)RXI割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから外部クロック入力開始まで 5 PCLK 以上の時間を確保し、また SSn# 端子への Low 入力から外部クロック入力開始までについても 5 PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力を送受信キャラクタの途中で Low から High に変化した場合は、SCR レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

35.14.12 拡張シリアルモード制御部の使用上の制約事項 1

PCR.SHARPS ビットを“1”にした場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- タイマを Break Field Low width 出力モードで TCR.TCST ビットを“1”にしたとき (TCR.TCST ビットを“1”にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。)
- SCR.TE ビットが“1”のとき

35.14.13 拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、TXI、RXI、ERI、TEI 割り込み要求は生成されます。Start Frame 受信中は拡張シリアルモード制御部が受信データフル信号を使用するため、RXI 割り込みを許可しないでください。Information Frame 受信時に RXI 割り込みを使用する場合、以下のいずれかの手順で使用してください。なお、受信エラーを検出したときは、[図 35.88](#) のフローチャートの例に従って受信エラーフラグのクリアと拡張シリアルモード制御部の初期化を実施してください。

- (1) SCR.RIE ビットを“0”にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、Start Frame の受信終了タイミングで、SSR レジスタのエラーフラグを確認してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、SCR.RIE ビットを“1”に切り替えてください。
- (2) SCR.RIE ビットを“1”にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り替えてください。

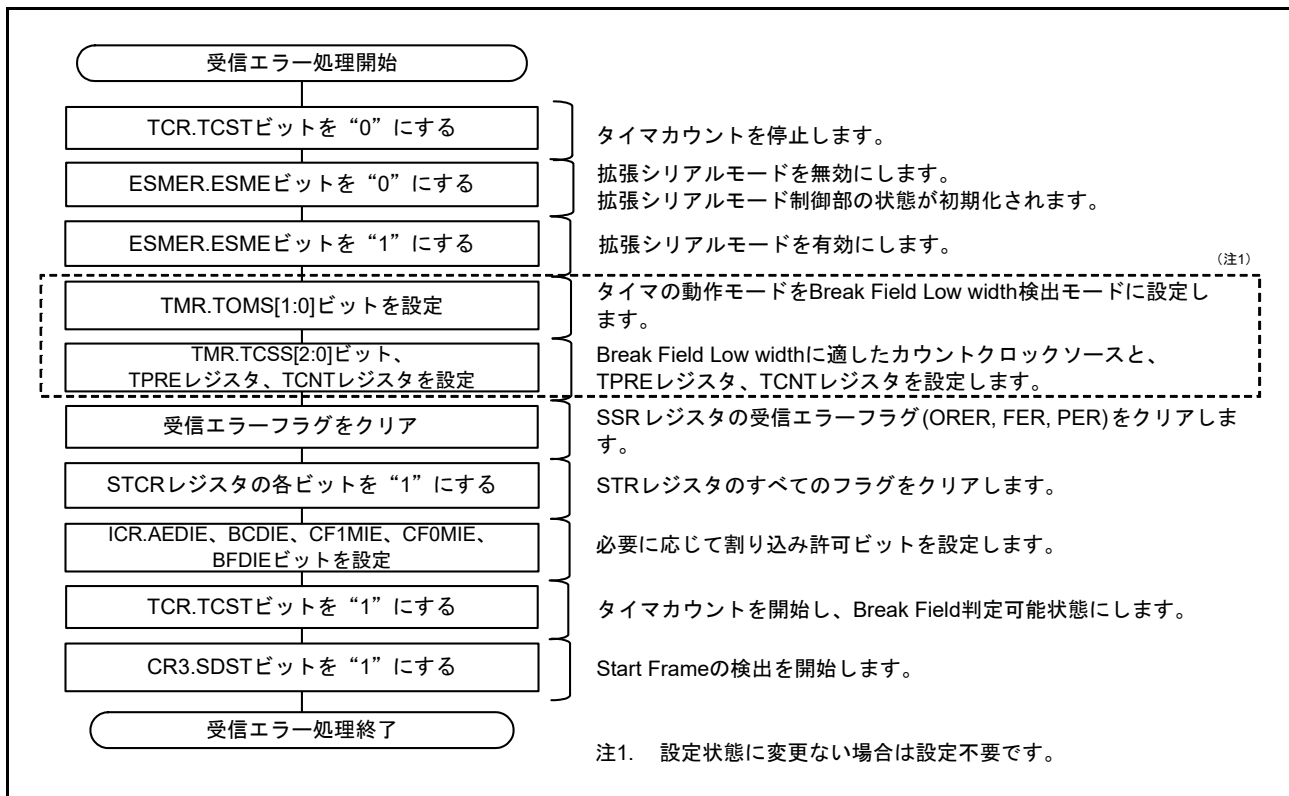


図 35.88 受信エラー処理のフローチャートの例 (Start Frame 受信中)

35.14.14 トランスミットイネーブルビット (TE ビット) に関する注意事項

SCR.TE ビットが“0”(シリアル送信動作を禁止)のときに端子の機能を「TXDn」にしたり、端子の機能が「TXDn」になっているときに TE ビットを“0”にしたりすると、TXDn 端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗またはプルダウン抵抗を接続する。
- (2) TE ビットを“1”にしてから、端子の機能を「TXDn」に切り替える(注1)。また、TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート」に切り替えて、High または Low を出力させる。
- (3) SPTR.SPB2IO ビットを“1”にしてから、端子の機能を「TXDn」にする。また、その後も SPB2IO ビットを“1”にしたままにする (SCI0 ~ SCI11)。

注1. TXI 割り込みが許可されているときに TE ビットを“1”にすると、割り込みが発生します (SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合)。このことが問題になる場合は、端子の機能を「TXDn」にした後に、対応する ICR.IERm.IENj ビットを“1”にしてください。

35.14.15 調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項

調歩同期式モードでは、SCR.RE ビットを“0”にしてから RTS 信号生成回路が停止するまでに、PCLK で 1 サイクル必要です。

RE ビットを“0”にしてから RDR (または RDRL) レジスタを読み出す場合は、これら 2 つの処理が連続して行われないように、RE ビットが“0”になったのを確認してから RDR (または RDRL) レジスタを読み出してください。

36. シリアルコミュニケーションインタフェース (RSCI)

本章に記載している PCLK とは、PCLKA を指します。

36.1 概要

RSCI は、調歩同期式とクロック同期式のシリアル通信が可能です。また送信 / 受信部に 32 段の FIFO バッファ構成を選択可能で、効率的な連続通信が可能です。

調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。

このほか、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェース、マンチェスタコードによる通信、拡張シリアル通信をサポートしています。また、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。さらに、調歩同期式では、ホームバスシステム (HBS) 通信で使用する 50% デューティ負論理 AMI 符号を生成するためのサポート機能があります。

表 36.1 に RSCI の仕様を示します。

表 36.1 RSCI の仕様 (1/3)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 マンチェスタ クロック同期式 スマートカードインタフェース 簡易 I²C 簡易 SPI (4 線式シリアルバス) 拡張シリアル
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
半二重通信	TXDn 端子を用いた半二重通信が可能
データ転送	LSB ファースト / MSB ファースト 選択可能
入出力信号レベル反転	入力信号、出力信号のレベルをそれぞれ独立して反転可能
割り込み要因	送信完了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、受信データ一致 Break Field 検出 / 送出、バス衝突検出、有効エッジ検出 スタートコンディション / リスタートコンディション / ストップコンディション生成終了
RS-485 ドライバ制御機能	外部トランシーバーの送信モードを有効にする DE 信号を出力
ループバック機能	IP 内部で TXD と RXD を接続することで通信機能の自己診断が可能
消費電力低減機能	チャンネルごとにモジュールストップ状態への遷移が可能

表 36.1 RSCIの仕様 (2/3)

項目	内容	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送信部/受信部	1段レジスタ/32段FIFOバッファ構成を選択可能
	データ一致検出機能	受信データと比較データ内容との一致を検出して割り込み要求を出力可能
	スタートビットの検出	RXDn端子のLowレベル/立ち下がりがエッジ検出を選択可能
	受信データサンプリングタイミング調整	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能
	送信信号変化タイミング調整	送信データの立ち下がりがエッジまたは立ち上がりがエッジのいずれかを遅延させる
	ブレイク検出	フレーミングエラー発生時、レジスタをリードすることでブレイクを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
HBSサポートモード	反転RZI (Return to Zero, Inverted) 符号による送受信が可能	
マンチェスタモード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー、マンチェスタコードエラー、プリフェースエラー、スタートビットエラー、受信 Syncエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	クロックソース	内部クロックを使用(マンチェスタモード時、外部クロックは、動作保証対象外のため、設定禁止です)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
	マンチェスタ符号化/復号化機能	送受信データをマンチェスタ符号化/復号化し、マンチェスタコードを用いて通信する機能
	プリフェース設定/検出機能	プリフェースパターンからフレーム先頭を検出する機能。プリフェースパターンは4種から選択が可能。長さも0~15bitで可変可能
	スタートビット設定/検出機能	スタートビット長を1bitか3bitに設定可能。3bit長の場合は2種類のパターンで後続のデータの種類の判定することが可能
受信リタイミング機能	マンチェスタコードがビット中央にエッジを持つことを利用して、ビット中央エッジごとにタイミング補正を行う機能	
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
拡張シリアルモード	Start Frame 送信	Break Field 送出可能、Break Field 送出完了割り込み出力可能、バス衝突検出可能、バス衝突検出割り込み出力可能
	Start Frame 受信	Break Field 検出可能、Break Field 検出割り込み出力可能 Control Field 0/1 データの比較機能 Control Field 1にはプライマリ/セカンダリの2種類の比較データの設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 ビットレート測定機能あり

表 36.1 RSCIの仕様 (3/3)

項目		内容
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ(マルチマスタ動作は不可)
	転送速度	ファストモード対応(転送速度の設定については「36.2.7 制御レジスタ2 (SCR2)」を参照してください)
	ノイズ除去	SCL、SDA入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅は調整可能
クロック同期式モード	データ長	8ビット
	受信サンプリングタイミング調整機能	内部クロック使用時のみ、受信サンプリングタイミングをデフォルトタイミングの後方に調整可能
	受信エラーの検出	オーバランエラー
	クロックソース	内部クロック(マスタ)/外部クロック(スレーブ)の選択が可能
	倍速モード	ポーレートジェネレータの倍速モードを選択可能
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送信部/受信部	1段レジスタ/32段FIFOバッファ構成を選択可能
簡易SPI(4線式シリアルバス)モード	データ長	8ビット
	エラーの検出	オーバランエラー
	クロックソース	内部クロック(マスタ)/外部クロック(スレーブ)の選択が可能
	倍速モード	ポーレートジェネレータの倍速モードを選択可能
	受信サンプリングタイミング調整機能	内部クロック使用時のみ、受信サンプリングタイミングをデフォルトタイミングの後方に調整可能
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
	送信部/受信部	1段レジスタ/32段FIFOバッファ構成を選択可能
ビットレートモジュレーション機能		内蔵ポーレートジェネレータの出力補正により誤差を低減可能
イベントリンク機能		エラー(受信エラー・エラーシグナル検出)イベント出力 受信データフルイベント出力 送信データエンプティイベント出力 送信完了イベント出力 受信データ一致イベント出力 受信データ不一致イベント出力 有効エッジ検出イベント出力

図 36.1 に RSCI のブロック図を示します。

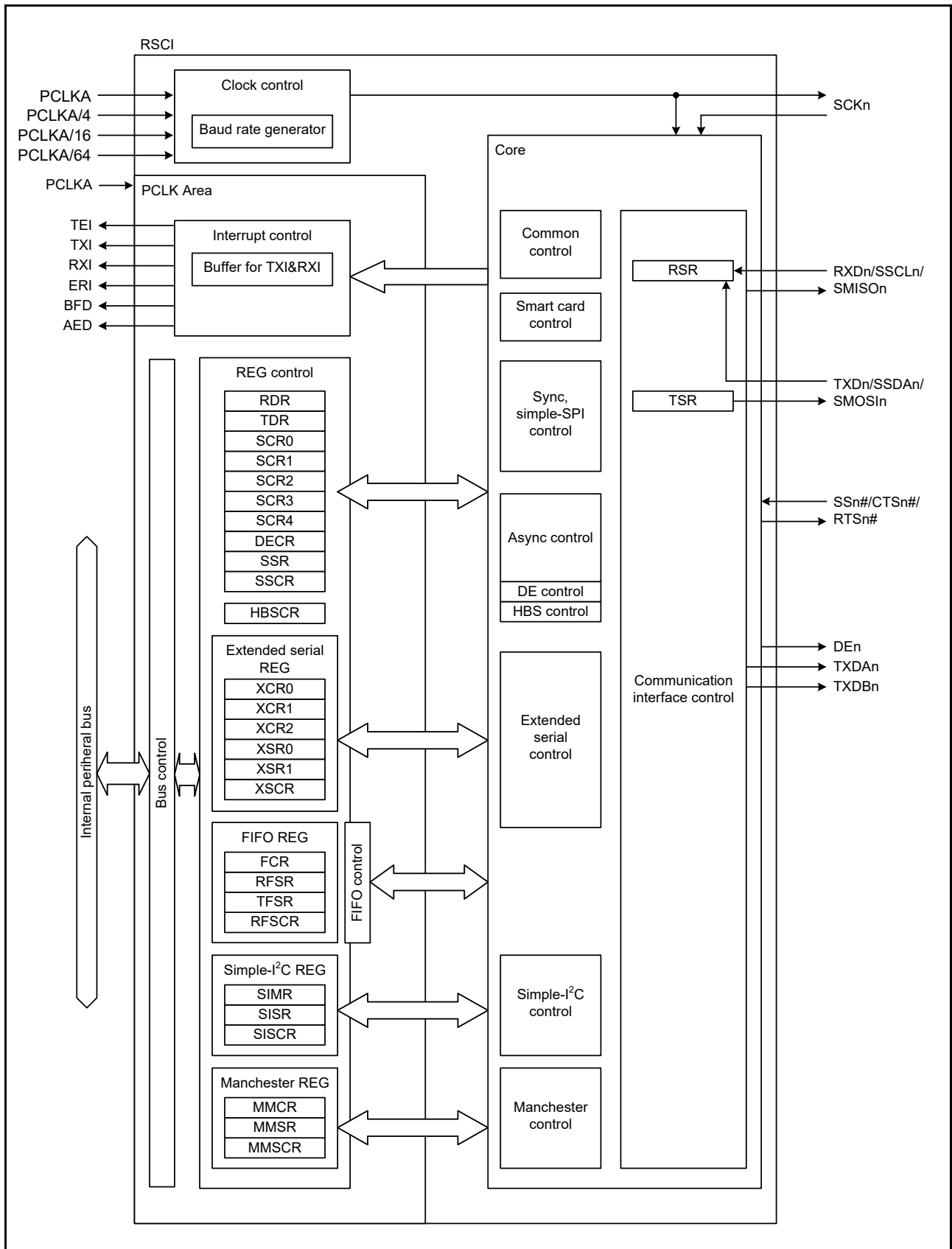


図 36.1 RSCI のブロック図 (n = 010, 011)

表 36.2 ～表 36.5 に RSCI で使用する入出力端子を示します。

表 36.2 RSCIの入出力端子(調歩同期式モード/クロック同期式モード/マンチェスタモード/拡張シリアルモード)

チャンネル	端子名	入出力	機能
RSCI10	SCK010	入出力	RSCI10のクロック入出力端子
	RXD010	入力	RSCI10の受信データ入力端子
	TXD010	出力	RSCI10の送信データ出力端子
	RTS010#	出力	RSCI10の送信要求信号出力端子
	CTS010#	入力	RSCI10の送信開始制御用入力端子
	DE010	出力	RSCI10のRS-485ドライバ制御用出力端子
RSCI11	SCK011	入出力	RSCI11のクロック入出力端子
	RXD011	入力	RSCI11の受信データ入力端子
	TXD011	出力	RSCI11の送信データ出力端子
	RTS011#	出力	RSCI11の送信要求信号出力端子
	CTS011#	入力	RSCI11の送信開始制御用入力端子
	DE011	出力	RSCI11のRS-485ドライバ制御用出力端子

表 36.3 RSCIの入出力端子(簡易I²Cモード)

チャンネル	端子名	入出力	機能
RSCI10	SSCL010	入出力	RSCI10のI ² Cクロック入出力端子
	SSDA010	入出力	RSCI10のI ² Cデータ入出力端子
RSCI11	SSCL011	入出力	RSCI11のI ² Cクロック入出力端子
	SSDA011	入出力	RSCI11のI ² Cデータ入出力端子

表 36.4 RSCIの入出力端子(簡易SPIモード)

チャンネル	端子名	入出力	機能
RSCI10	SCK010	入出力	RSCI10のクロック入出力端子
	SMISO010	入出力	RSCI10のスレーブ送出データ入出力端子
	SMOSI010	入出力	RSCI10のマスタ送出データ入出力端子
	SS010#	入力	RSCI10のスレーブセレクト入力端子
RSCI11	SCK011	入出力	RSCI11のクロック入出力端子
	SMISO011	入出力	RSCI11のスレーブ送出データ入出力端子
	SMOSI011	入出力	RSCI11のマスタ送出データ入出力端子
	SS011#	入力	RSCI11のスレーブセレクト入力端子

表 36.5 RSCIの入出力端子(HBSサポートモード)

チャンネル	端子名	入出力	機能
RSCI10	RXD010	入力	RSCI10の受信データ入力端子
	TXD010	出力	RSCI10の送信データ出力端子
RSCI11	RXD011	入力	RSCI11の受信データ入力端子
	TXD011	出力	RSCI11の送信データ出力端子
	TXDA011/TXDB011	出力	RSCI11の送信データ出力端子(交互出力時)

36.2 レジスタの説明

この章は RSCI が持つレジスタの説明と機能仕様、動作仕様について説明します。

36.2.1 受信シフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。CPU から直接アクセスすることはできません。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

36.2.2 受信データレジスタ (RDR)

アドレス RSCI10.RDR 000E 2000h, RSCI11.RDR 000E 2080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	AFER	APER	—	—	ORER	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FER	PER	DR	MPB	RDAT[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	受信データビット	受信データを格納するための9ビットの領域です。 受信データは、7ビットデータ長選択時はRDAT[6:0]ビットに、8ビットデータ長選択時はRDAT[7:0]ビットに、9ビットデータ長選択時はRDAT[8:0]ビットに格納され、未使用のビットには"0"が格納されます	R
b9	MPB	マルチプロセッサビットモニタフラグ	0: データ送信サイクル 1: ID送信サイクル	R
b10	DR	受信データレディフラグ	RFSR.DR値が読み出せます	R
b11	PER	パリティエラーフラグ	(調歩同期モードのみ有効) 0: 受信FIFO (RDRレジスタ)から読み出したデータにパリティエラーがない 1: 受信FIFO (RDRレジスタ)から読み出したデータにパリティエラーがある	R
b12	FER	フレーミングエラーフラグ	(調歩同期モードのみ有効) 0: 受信FIFO (RDRレジスタ)から読み出したデータにフレーミングエラーがない 1: 受信FIFO (RDRレジスタ)から読み出したデータにフレーミングエラーがある	R
b23-b13	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R
b24	ORER	オーバランエラーフラグ	SSR.ORER値が読み出せます	R
b26-b25	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R
b27	APER	総合パリティエラーフラグ	SSR.APER値が読み出せます	R
b28	AFER	総合フレーミングエラーフラグ	SSR.AFER値が読み出せます	R
b31-b29	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R

本レジスタは、FIFOモード (SCR3.FM ビット = 1) 時は、32 段の FIFO バッファ構成となります。

RDAT[8:0] ビット (受信データビット)

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

非 FIFO モード時、RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

また、FIFO モード時、32 段の FIFO バッファがいっぱいになるまで連続で受信できます。受信 FIFO (RDR レジスタ) に受信データがないときに受信 FIFO (RDR レジスタ) を読み出すと不定値が読めます。受信 FIFO (RDR レジスタ) が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

RDR レジスタへは CPU から書き込みできません。

また、調歩同期式、マンチェスタモードの 7 ビットおよび 8 ビット通信時は、受信されないビット位置 (RDAT[8] や RDAT[7]) には“0”が格納されます。

MPB フラグ (マルチプロセッサビットモニタフラグ)

調歩同期式モードおよびマンチェスタモードで、マルチプロセッサ通信 (SCR3.MP ビット = 1) 時、受信データ (RDAT[8:0]) に対応するマルチプロセッサビットの値が読み出せます。

PER フラグ (パリティエラーフラグ)

受信 FIFO から読み出したデータのパリティエラー有無を示します。

また、FER フラグと PER フラグは FIFO モード時のみ受信データのエラー情報が格納されます。非 FIFO モード時は、“0”が格納されます。

FER フラグ (フレーミングエラーフラグ)

受信 FIFO から読み出したデータのフレーミングエラー有無を示します。

また、FER フラグと PER フラグは FIFO モード時のみ受信データのエラー情報が格納されます。非 FIFO モード時は、“0”が格納されます。

36.2.3 送信データレジスタ (TDR)

アドレス RSCI10.TDR 000E 2004h, RSCI11.TDR 000E 2084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SYNC	—	—	MPBT	TDAT[8:0]								
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	送信データビット	送信データを設定するための9ビットの領域です。 送信データは、7ビットデータ長選択時はTDAT[6:0]ビットに、8ビットデータ長選択時はTDAT[7:0]ビットに、9ビットデータ長選択時はTDAT[8:0]ビットに書き込んでください。 バイトアクセス時は、TDR.LHを書いた後にTDR.LLを書いてください	R/W
b9	MPBT	送信マルチプロセッサビット	送信フレームに付加するマルチプロセッサビットの値の設定ビットです。本ビットは、調歩同期式モード、マンチェスタモード時に使用します。未使用時に書き込む場合は初期値を書いてください。 0：データ送信サイクル 1：ID送信サイクル	R/W
b11-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b12	SYNC	Syncパルス選択ビット	マンチェスタモードでMMCR.SBLENビット=1かつMMCR.SYNCEビット=1の場合有効となります。未使用時に書き込む場合は初期値を書いてください 0：スタートビットはデータSyncを出力 1：スタートビットはコマンドSyncを出力	R/W
b31-b13	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R

本レジスタは、FIFO モード (SCR3.FM ビット = 1) 時は、32 段の FIFO バッファ構成となります。

TDAT[8:0] ビット (送信データビット)

TDR レジスタは、送信データを格納するための9ビットの領域です。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

非 FIFO モード時、TDR レジスタは CPU から常にリード/ライト可能です。TDR レジスタへの送信データの書き込みは、SCR0.TE ビット = 1 の状態で、送信データエンプティ割り込み (TXI) 要求が発生したときに1回だけ行ってください。

また、FIFO モード時は、32 段の FIFO バッファが空になるまで連続で送信できます。FIFO が送信データでいっぱいになると、次の送信データを書き込むことはできません。書き込みを試みても、書き込んだデータは無視されます。

また、バイトアクセス時は、TDR.LH を書いた後に TDR.LL を書いてください。

MPBT ビット (送信マルチプロセッサビット)

送信フレームに付加するマルチプロセッサビットの値を設定します。

SYNC ビット (Sync パルス選択ビット)

本ビットはマンチェスタモード (SCR3.MOD[2:0] ビット = 101b) かつ MMCR.SYNCE ビット、MMCR.SBLEN ビットを“1”にした場合に有効になります。

送信フレームスタートビット領域の Sync 種別をデータ Sync かコマンド Sync に設定することができます。

36.2.4 送信シフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。CPU からは直接アクセスすることはできません。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

36.2.5 制御レジスタ 0 (SCR0)

アドレス RSCI10.SCR0 000E 2008h, RSCI11.SCR0 000E 2088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	SSE	—	—	TEIE	TIE	—	—	—	—	RIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IDSEL	DCME	MPIE	—	—	—	TE	—	—	—	RE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RE	受信許可ビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注1、注3)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	TE	送信許可ビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	MPIE	マルチプロセッサ割り込み許可ビット	(調歩同期モードおよびマンチェスタモードで、SCR3.MPビット=1のとき有効) 本ビットはスマートカードインタフェースモード時、“0”としてください 0: マルチプロセッサ機能を用いない受信動作 1: マルチプロセッサビットが“0”の受信データは読み飛ばし、各ステータスフラグのセット(“1”)を禁止します マルチプロセッサビットが“1”のデータを受信すると、このビットは自動的にクリア(“0”)され、マルチプロセッサ機能を用いない受信動作に戻ります。続けてマルチプロセッサ機能を用いた受信動作を行う場合は、次のフレームのSTOPビット受信より前に本ビットを“1”にしてください	R/W (注2)
b9	DCME	データ一致検出機能許可ビット	(調歩同期モードで有効) 0: データ一致検出機能無効 1: データ一致検出機能有効	R/W (注2)
b10	IDSEL	IDフレーム選択ビット	(調歩同期モードかつマルチプロセッサモードで有効) 0: マルチプロセッサビットの値によらず常に比較する 1: マルチプロセッサビットが“1”のデータ(IDデータ)のみ比較する	R/W (注4)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	RIE	受信割り込み許可ビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	TIE	送信割り込み許可ビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W
b21	TEIE	送信完了割り込み許可ビット	本ビットはスマートカードインタフェースモード時、“0”としてください 0: TEI割り込み要求を禁止 1: TEI割り込み要求を許可	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	SSE	SSn#端子機能許可ビット	(簡易SPIモードで有効) スレーブモード(SCR3.CKE[1:0]ビット=1xb)時は“1”を設定してください 0: SS端子機能禁止 1: SS端子機能許可	R/W (注4)
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

- 注1. クロック同期式モード(SCR3.MOD[2:0]ビット=010b)と簡易SPIモード(SCR3.MOD[2:0]ビット=011b)、および簡易I²Cモード(SCR3.MOD[2:0]ビット=100b)のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。いったん、TE、REビットのいずれかを“1”にした後はTEビット=0、REビット=0の書き込みのみ可能になります。それ以外のモードのときは任意のタイミングで書き込み可能です。
- 注2. 本ビットはハードウェアクリアされるビットです。本ビット以外のビットにビット操作命令で書き込むと、リードモディファイライト動作により、本ビットを意図せず“1”にしてしまう場合があります。
- 注3. クロック同期式モード、簡易SPIモードでは、内部クロック(マスターモード)時の受信オンリー設定は禁止です(TE=0かつRE=1設定は禁止)。
- 注4. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

RE ビット (受信許可ビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、受信可能状態になります。調歩同期式モードの場合はスタートビットを、マンチェスタモード時は RXD 入力の立ち下がり、クロック同期式モードの場合は同期クロック入力を、スマートカードインタフェースモード時はスタートビットをそれぞれ検出するとシリアル受信を開始します。

なお、RE ビットを“1”にする前に SCR0、SCR3 レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、非 FIFO モード時の SSR.RDRF、AFER、APER、ORER、および MMSR.MCER、SBER、SYER、PFER の各フラグ、FIFO モード時の RFSR.DR フラグ、スマートカードインタフェースモード時の SSR.AFER、APER、ORER の各フラグは影響を受けず、状態を保持します。

TE ビット (送信許可ビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、送信可能状態になります。TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SCR0、SCR3 レジスタの設定を行い、送信フォーマットを決定してください。

MPIE ビット (マルチプロセッサ割り込み許可ビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF、AFER、ORER、RFSR.DR および MMSR.MCER、SBER、SYER、PFER の各ステータスフラグは“1”にセットされません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、マルチプロセッサ機能を用いない受信動作に戻ります。詳細は「36.4 マルチプロセッサ通信機能」を参照してください。続けてマルチプロセッサ機能を用いて受信動作をしたい場合は、次の受信フレームの STOP ビット受信より十分早く、本ビットを“1”にしてください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、AFER および MMSR.MCER、SBER、SYER、PFER の各フラグのセット(“1”)は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、MPB フラグを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求(SCR0.RIE ビットが“1”に設定されている場合)と、AFER、ORER および MCER、SBER、SYER、PFER フラグのセット(“1”)が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”をライトして使用して下さい。

DCME ビット (データ一致検出機能許可ビット)

データ一致検出機能を選択します。

DCME ビット=1のとき、受信したデータと SCR4.CMPD[8:0] ビットに設定された値との一致を検出すると、DCME ビットは自動的にクリアされ、データ一致検出機能を用いない受信動作に戻ります。

詳細は「36.3.6 データ一致検出機能」を参照してください。

調歩同期式モード以外では“0”を設定してください。

IDSEL ビット (ID フレーム選択ビット)

データ一致検出機能を選択時に、マルチプロセッサビットの値によらず比較するか、マルチプロセッサビットが“1”のデータ (ID フレーム) のみを比較するか選択します。どちらを選択するか、データ一致検出機能選択時に同時に設定してください。

RIE ビット (受信割り込み許可ビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI および ERI 割り込み要求の禁止は、RIE ビットを“0”にクリアすることで行うことができます。

ERI 割り込み要求の解除は、SSR.AFER、APER、ORER の各フラグをクリアすることでも行うことができます。

マンチェスタモードの場合は MMSR.MCER、SBER、SYER、PFER の各フラグもエラー割り込み要求の要因となるため同様の処置が必要です。これらのフラグの詳細は「36.2.12 マンチェスタモード制御レジスタ (MMCR)」、 「36.2.21 マンチェスタモードステータスレジスタ (MMSR)」を参照してください。

TIE ビット (送信割り込み許可ビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”クリアすることで行うことができます。

送信開始時は TE と TIE を同時に“1”にしてください、TXI 割り込みが発生します。

TEIE ビット (送信完了割り込み許可ビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にクリアすることで行うことができます。

簡易 I²C モードでは、スタートコンディション/リスタートコンディション/ストップコンディション生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も同様に本ビットにより STI 割り込み要求を許可、また禁止することができます。

SSE ビット (SSn# 端子機能許可ビット)

簡易 SPI モード時に使用するビットです。それ以外の通信モードでは“0”を設定してください。CTSE ビットと両方を有効にしないでください (設定した場合、両ビットともに“0”を設定したときと同じ動作となります)。

スレーブモード (SCR3.CKE[1:0] ビット = 10b または 11b) 時は SSE ビットは“1”を設定してください。

マスタモード (SCR3.CKE[1:0] ビット = 00b または 01b) かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であるため、SSE ビットは“0”を設定します。

36.2.6 制御レジスタ 1 (SCR1)

アドレス RSCI10.SCR1 000E 200Ch, RSCI11.SCR1 000E 208Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	NFEN	—	NFCS[2:0]		—	—	—	HDSEL	—	—	—	—	LOOP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RINV	TINV	—	—	PM	PE	—	—	SPB2IO	SPB2DT	—	—	CRSEP	CTSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSE	CTS機能許可ビット	0 : CTS機能禁止 (RTS出力機能有効) 1 : CTS機能許可	R/W (注1)
b1	CRSEP	CTS/RTS分離ビット (注2)	0 : CTS機能、RTS機能のいずれかを使用 1 : CTS機能、RTS機能の両方を同時に使用	R/W (注1)
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SPB2DT	シリアルポートブレイクデータビット	SCR0.TEビット=0かつSPB2IOビット=1のときにTXDn (TXDAn/TXDBn (注5))端子に出力するレベルを選択します (注3) TINVビット=0のとき 0 : TXDn (TXDAn/TXDBn (注5))端子にLowレベルを出力 1 : TXDn (TXDAn/TXDBn (注5))端子にHighレベルを出力 TINVビット=1のとき 0 : TXDn (TXDAn/TXDBn (注5))端子にHighレベルを出力 1 : TXDn (TXDAn/TXDBn (注5))端子にLowレベルを出力	R/W
b5	SPB2IO	シリアルポートブレイク入出力ビット	SCR0.TEビット=0のときのTXDn (TXDAn/TXDBn (注5))端子への出力有無を選択します (注3) 0 : TXDn (TXDAn/TXDBn (注5))端子にSPB2DTビットの値を出力しない 1 : TXDn (TXDAn/TXDBn (注5))端子にSPB2DTビットの値を出力する	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	PE	パリティイネーブルビット	(調歩同期式モードおよびマンチェスタモードで有効、スマートカードインタフェース時は“1”にしてください) 送信時 0 : パリティビットなし 1 : パリティビットを付加 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注1)
b9	PM	パリティモードビット	(PEビット=1のとき有効なビットです) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	TINV	送信出力反転ビット (注4)	0 : TXDn (TXDAn/TXDBn (注5))端子からの出力を反転しない 1 : TXDn (TXDAn/TXDBn (注5))端子から出力を反転する	R/W (注1)
b13	RINV	受信入力反転ビット (注4)	0 : RXDn端子からの入力を反転しない 1 : RXDn端子からの入力を反転する	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	LOOP	ループバックモード設定ビット	調歩同期式モード内部クロック動作時、マンチェスタモード内部クロック動作時、クロック同期式モード内部クロック動作時に使用可能です 0 : 通常モード 1 : ループバックモード	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	HDSEL	半二重通信モード選択ビット	本ビットはスマートカードインタフェースモード時、簡易I ² Cモード時、および簡易SPIモード時は使用しないでください (設定値“0”で使用してください) 0: TXDn端子、RXDn端子独立 1: TXDn/RXDn端子兼用(TXDn端子を用いた半二重通信が可能)	R/W (注1)
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b26-b24	NFCS[2:0]	ノイズフィルタクロック選択ビット	(調歩同期式モード、マンチェスタモード、拡張シリアルモード、および簡易I ² Cモード時のみ有効) ノイズフィルタのクロックソースを選択します b ₂₆ b ₂₄ 0 0 0: 基本クロック1分周 0 0 1: 内蔵ポーレートジェネレータソースクロック (注6) 1分周 0 1 0: 内蔵ポーレートジェネレータソースクロック (注6) 2分周 0 1 1: 内蔵ポーレートジェネレータソースクロック (注6) 4分周 1 0 0: 内蔵ポーレートジェネレータソースクロック (注6) 8分周 上記以外: 設定禁止 簡易I ² Cモードでは“000b”を選択しないでください	R/W (注1)
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b28	NFEN	デジタルノイズフィルタ許可ビット	(調歩同期式モード、マンチェスタモード、拡張シリアルモード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn、SSDAn入力信号のノイズ除去機能無効 1: SSCLn、SSDAn入力信号のノイズ除去機能有効	R/W (注1)
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

注2. 調歩同期式モード、マンチェスタモードでのみ有効です。その他のモードでは“0”にしてください。

注3. 本ビットでTXDn端子状態を制御するのは調歩同期式モードおよびマンチェスタモードのみとしてください。他のモードの動作は保証しません。

注4. スマートカードインタフェースモードと簡易I²CモードではRINVビット=TINVビット=0としてください。

注5. HBSサポートモードで交互出力時

注6. SCR2.CKS[1:0]ビットで選択したクロック

CTSE ビット (CTS 機能許可ビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTS 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モード、拡張シリアルモード時は“0”を設定してください。

SSE ビットと両方を有効にしないでください (設定した場合、両ビットともに無効となります)。

CRSEP ビット (CTS/RTS 分離ビット)

CTSE ビットが“1”のとき、CTS/RTS 機能使用時の端子使用方法を選択します。

CTS 機能と RTS 機能のいずれかを使用する場合は“0”にしてください。

CTS 機能と RTS 機能の両方を同時に使用する場合は“1”にしてください。

CTSE ビットが“0”のとき、このビットは“0”にしてください。

CRSEP ビット、CTSE ビットの設定値と端子の機能の関係については表 36.6 を参照してください。

表 36.6 CRSEPビット、CTSEビットの設定と端子の機能

CTSEビット	CRSEPビット	CTSn#/RTSn#兼用端子	CTSn#専用端子	RTSn#専用端子
0	0	RTSn# 信号出力	無効	RTSn# 信号出力
1	0	CTSn# 信号入力	CTSn# 信号入力	無効
1	1	RTSn# 信号出力	CTSn# 信号入力	RTSn# 信号出力

SPB2DT ビット (シリアルポートブレイクデータビット)、 SPB2IO ビット (シリアルポートブレイク入出力ビット)

SCR0.TE ビット、SCR1.SPB2IO ビット、SCR1.SPB2DT ビットの組み合わせで決まる TXDn (TXDAn/
TXDBn) 端子の状態を表 36.7 に示します。

表 36.7 TXDn (TXDAn/TXDBn)端子の制御

SCR0.TEビット	SPB2IOビット	SPB2DTビット	TINVビット	TXDn (TXDAn/TXDBn)端子の状態
0 (送信禁止)	0 (入力)	任意	任意	Hi-Z
			0	Low を出力
	1 (出力)	0	0	High を出力
			1	High を出力
1 (送信許可)	任意	任意	0	Low を出力
			1	送信データ出力端子

PE ビット (パリティイネーブルビット)

このビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、このビットの設定にかかわらずパリティビットの付加、チェックは
行いません。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。マルチプロセッサモードでは、この
ビットの設定は無効です。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「36.7.2 データ
フォーマット (ブロック転送モード時を除く)」を参照してください。

TINV ビット (送信出力反転ビット)、RINV ビット (受信入力反転ビット)

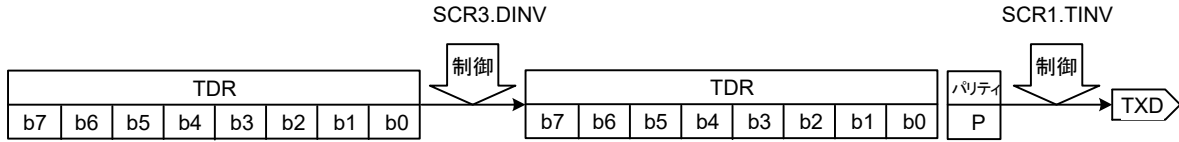
RDR レジスタに格納する値は、RINV ビットと SCR3.DINV ビットの組合せで決まります。また、TXDn
端子からの出力レベルは、TINV ビットと SCR3.DINV ビットの組合せで決まります。RINV/TINV ビットに
よる制御は、RXDn/TXDn 端子に対して行うため、全ての通信データを制御します (データビットだけでな
く、スタートビット、ストップビット、パリティビット等を含みます)。詳細説明は、図 36.2 を参照して
ください。TXDAn/TXDBn 端子使用時は、同様に TINV 値によってデータ反転します。

半二重通信時、および簡易 SPI モードでスレーブ動作時は、受信時に TXDn 端子を用いるため、受信デー
タの反転制御は TINV ビットで設定してください。

注. 本書内の説明文、タイミングチャートは、TINV/RINV 設定値を明記してない場合は、通信端子反転機能が OFF
の条件 (SCR1.TINV ビット = 0、SCR1.RINV ビット = 0) で記載しています。

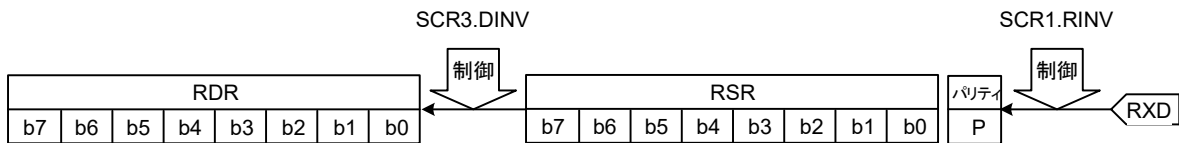
送信/受信データ制御説明(データ長8ビット、パリティチェック有効、MSBファースト送受信時)

送信データはSCR1.TINVとSCR3.DINVビットの組合せで制御します。



SCR3.DINV	SCR1.TINV	TDR格納値	TSR格納値	パリティ(偶数)	TXDn端子波形												
					1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	BEh	BEh	0	[Waveform: MSB (b7) is sampled first, followed by b6 to b0, then parity (P)]												
0	1	BEh	BEh	0	[Waveform: MSB (b7) is sampled last, followed by b6 to b0, then parity (P)]												
1	0	BEh	41h	0	[Waveform: MSB (b7) is sampled first, followed by b6 to b0, then parity (P)]												
1	1	BEh	41h	0	[Waveform: MSB (b7) is sampled last, followed by b6 to b0, then parity (P)]												

受信データはSCR1.RINVとSCR3.DINVビットの組合せで制御します。



SCR3.DINV	SCR1.RINV	RDR格納値	RSR格納値	パリティ(偶数)	RXDn端子波形												
					1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	BEh	BEh	0	[Waveform: MSB (b7) is sampled first, followed by b6 to b0, then parity (P)]												
1	0	41h	BEh	0	[Waveform: MSB (b7) is sampled first, followed by b6 to b0, then parity (P)]												
0	1	BEh	BEh	0	[Waveform: MSB (b7) is sampled last, followed by b6 to b0, then parity (P)]												
1	1	41h	BEh	0	[Waveform: MSB (b7) is sampled last, followed by b6 to b0, then parity (P)]												

図 36.2 送信 / 受信データ値制御説明

LOOP ビット (ループバックモード設定ビット)

本ビットを“1”にすると、RSCIはRXDからの入力経路を遮断し、TXDへの出力経路を受信データレジスタへ接続します(ループバックモード)。

TINV ビットと組み合わせることで、送信データを反転して受信することが可能です。

クロック同期式モードスレーブ動作時と調歩同期式モード外部クロック使用時、および拡張シリアルモード時は“0”を設定してください。

HDSEL ビット (半二重通信モード選択ビット)

本ビットを“1”にするとTXDn端子を用いて半二重通信ができます。ただし、簡易SPIモード、簡易I²Cモードおよびスマートカードインタフェースモードでは使用できません。

本ビットが“1”の設定のときに、SCR0.TE ビット=1、SCR0.RE ビット=0 とするとTXDn端子が通信出力になり、SCR0.TE ビット=0、SCR0.RE ビット=1 とするとTXDn端子が通信入力になります。詳細については「36.16 半二重通信機能」を参照してください。

NFCS[2:0] ビット (ノイズフィルタクロック選択ビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード、マンチェスタモード、および拡張シリアルモード時にノイズフィルタを使用する場合、“000b”～“100b”を設定してください。

簡易I²Cモード時は、“001b”～“100b”の中から選択してください。

NFEN ビット (デジタルノイズフィルタ許可ビット)

デジタルノイズフィルタ機能の有効、無効を選択します。有効にすると、調歩同期式モード、マンチェスタモード、および拡張シリアルモードの場合は、受信RXDn入力端子、簡易I²Cモードの場合はSSCLn/SSDAn入力端子のノイズ除去を行います。それ以外のモードではNFENビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

36.2.7 制御レジスタ 2 (SCR2)

アドレス RSCI10.SCR2 000E 2010h, RSCI11.SCR2 000E 2090h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
MDDR[7:0]								—	—	CKS[1:0]		—	—	—	BRME
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BRR[7:0]								—	ABCSE	ABCS	BGDM	—	BCP[2:0]		
リセット後の値	1	1	1	1	1	1	1	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BCP[2:0]	基本クロックパルスビット	スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロックパルス数を選択します b2 b0 0 0 0 : 93クロック (S = 93) (注2) 0 0 1 : 128クロック (S = 128) (注2) 0 1 0 : 186クロック (S = 186) (注2) 0 1 1 : 512クロック (S = 512) (注2) 1 0 0 : 32クロック (S = 32) (注2) (初期値) 1 0 1 : 64クロック (S = 64) (注2) 1 1 0 : 372クロック (S = 372) (注2) 1 1 1 : 256クロック (S = 256) (注2)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	BGDM	ポーレートジェネレータ倍速モード 選択ビット	ポーレートジェネレータの出力クロックの周期を選択します。 本ビットは、調歩同期式/マンチェスタ/クロック同期式/簡易SPIモードで、SCR3.CKE[1]ビット=0のとき有効です 0 : ポーレートジェネレータから1倍の周波数のクロックを出力 1 : ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b5	ABCS	調歩同期基本クロック選択ビット	(調歩同期モード、マンチェスタモードおよび拡張シリアルモードのみ有効) 0 : 基本クロック 16サイクルの期間が1ビット期間の転送レートになります 1 : 基本クロック 8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b6	ABCSE	調歩同期基本クロック選択拡張ビット	(調歩同期モードで、SCR3.CKE[1]ビット=0のときのみ有効) 0 : 1ビット期間あたりの基本クロック数はSCR2.BGDMビットおよびSCR2.ABCSビットの組み合わせで決まります 1 : 基本クロック 6サイクルの期間が1ビット期間の転送レートになり、かつポーレートジェネレータから2倍の周波数のクロックを出力します	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15-b8	BRR[7:0]	ビットレート設定ビット	ビットレートを調整するための8ビットの領域です	R/W (注1)
b16	BRME	ビットレートモジュレーション許可 ビット	0 : ビットレートモジュレーション機能無効 1 : ビットレートモジュレーション機能有効	R/W (注1)
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b21-b20	CKS[1:0]	クロック選択ビット	b21 b20 0 0 : PCLK (n = 0) (注3) 0 1 : PCLK/4 (n = 1) (注3) 1 0 : PCLK/16 (n = 2) (注3) 1 1 : PCLK/64 (n = 3) (注3)	R/W (注1)
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ビット	シンボル	ビット名	機能	R/W
b31-b24	MDDR[7:0]	モジュレーションデューティ設定ビット	BRR[7:0]ビットにより調整されたビットレートを補正するためのビットです	R/W (注1)

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

注2. SはBRR[7:0]ビット説明中のSの値を表します。

注3. nは設定値の10進表示で、BRR[7:0]ビット説明中のnの値を表します。

BCP[2:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロックパルス数を選択します。

詳細は、「36.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。

BGDM ビット (ポーレートジェネレータ倍速モード選択ビット)

調歩同期式モード (SCR3.MOD[2:0] ビット = 000b)、マンチェスタモード (SCR3.MOD[2:0] ビット = 101b)、クロック同期式モード (SCR3.MOD[2:0] ビット = 010b)、および簡易 SPI (SCR3.MOD[2:0] ビット = 011b) で、クロックソースに内蔵ポーレートジェネレータを選択 (SCR3.CKE[1] ビット = 0) のときに有効です。外部クロック選択時 (SCR3.CKE[1] ビット = 1) のときは、“0”を設定してください。内蔵ポーレートジェネレータから1倍の周波数のクロックを出力するか、2倍の周波数のクロックを出力するかを選択できます。ポーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット = 1 を設定すると基本クロックの周期が1/2倍になり、ビットレートが2倍になります。

調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI 以外では“0”を設定してください。

ABCS ビット (調歩同期基本クロック選択ビット)

1ビット期間の基本クロックのパルス数を選択します。

調歩同期式モードとマンチェスタモードと拡張シリアルモード以外では、“0”にしてください。

ABCSE ビット (調歩同期基本クロック選択拡張ビット)

1ビット期間の基本クロックのパルス数6、かつ、ポーレートジェネレータから2倍の周波数のクロック出力を選択します。

SCR2.CKS[1:0] ビット = 00b かつ BRR[7:0] ビット = 0 にしてビットレートをバスクロックの6分周に設定するときのみ使用してください。

調歩同期式モード以外では、“0”にしてください。調歩同期式モードで外部クロック選択時も“0”にしてください。

表 36.8 1bitあたりの基本クロックサイクル数早見表

ABCSE ビット	ABCS ビット	BGDM ビット	1ビット期間の基本クロック数	ポーレートジェネレータの出力周波数
0	0	0	16	1倍
0	0	1	16	2倍
0	1	0	8	1倍
1	1	1	8	2倍
1	—	—	6	2倍

— : 任意

BRR[7:0] ビット (ビットレート設定ビット)

BRR[7:0] ビットはビットレートを調整するための8ビットの領域です。

RSCIはチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。調歩同期式モード、マンチェスタモード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易SPIモード、簡易I²CモードにおけるBRR[7:0]ビットの設定値NとビットレートBの関係を表36.9に示します。

表36.9 BRR[7:0]ビットの設定値NとビットレートBの関係

モード	SCR2レジスタの設定			BRR[7:0]ビットの設定値	誤差 (%)
	BGDMビット	ABCSビット	ABCSEビット		
調歩同期式、マルチプロセッサ通信、マンチェスタモード、拡張シリアル(注3)モード	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1(注2)	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易SPI	0	0 (Initial value)	0 (Initial value)	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
	1	0 (Initial value)	0 (Initial value)	$N = \frac{PCLK \times 10^6}{4 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C(注1)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR[7:0] ビットの設定値 (0 ≤ N ≤ 255)

PCLK: 動作周波数 (MHz)

nとS: 「表36.11 クロックソースの設定」と「表36.12 スマートカードインタフェースモード時の基本クロックの設定」のとおりにSCR2レジスタの設定値によって決まります。

スマートカードインタフェース時のみ、分母は2⁽²ⁿ⁺¹⁾です。他は2⁽²ⁿ⁻¹⁾であることに注意してください。

注1. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

注2. マンチェスタモード時、ABCSEビット=1は設定禁止です。

注3. 拡張シリアルモード時、BGDMビット=0かつABCSEビット=0を設定してください。

表36.10 SCL High/Low幅算出式

モード	SCL	算出式(s)
I ² C	High幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 36.11 クロックソースの設定

SCR2レジスタの設定値 CKS[1:0]ビット	クロックソース	n
00	PCLK	0
01	PCLK/4	1
10	PCLK/16	2
11	PCLK/64	3

表 36.12 スマートカードインタフェースモード時の基本クロックの設定

SCR2レジスタの設定値 BCP[2:0]ビット	1ビット期間中の 基本クロックパルス数	S
000	93クロック	93
001	128クロック	128
010	186クロック	186
011	512クロック	512
100	32クロック	32
101	64クロック	64
110	372クロック	372
111	256クロック	256

調歩同期式モードおよびマンチェスタモードにおける BRR[7:0] ビットの値 N の設定例を表 36.13、表 36.14 に、各動作周波数における設定可能な最高ビットレートを表 36.15 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR[7:0] ビットの値 N の設定例を表 36.17 に、スマートカードインタフェースモードにおける BRR[7:0] ビットの値 N の設定例を表 36.19 に、簡易 I²C モードにおける BRR[7:0] ビットの値 N の設定例を表 36.21 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「36.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 36.16、表 36.18 に外部クロック入力時の最高ビットレートを示します。

調歩同期式モードおよびマンチェスタモードで SCR2 レジスタの調歩同期基本クロックセレクトビット (ABCS ビット) またはポーレートジェネレータ倍速モードセレクトビット (BGDM ビット) のいずれか一方のビットを“1”にしたときのビットレートは表 36.13、表 36.14 の 2 倍に、両ビットとも“1”にしたときのビットレートは 4 倍になります。

表36.13 ビットレートに対するBRR[7:0]ビットの設定例(調歩同期式モードおよびマンチェスタモード) (1)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

注. SCR2.ABCSビット=0、SCR2.BGDMビット=0、SCR2.ABCSEビット=0のときの例です。
 ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
 ABCSビット=1かつBGDMビット=1にしたときは、ビットレートが4倍になります。

表36.14 ビットレートに対するBRR[7:0]ビットの設定例(調歩同期式モードおよびマンチェスタモード)(2)

ビット レート (bps)	動作周波数PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

ビット レート (bps)	動作周波数PCLK (MHz)											
	50			60			100			120		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	3	221	-0.02	—	—	—	—	—	—	—	—	—
150	3	162	-0.15	3	194	0.16	—	—	—	—	—	—
300	3	80	0.47	3	97	-0.35	3	162	-0.15	3	194	0.16
600	2	162	-0.15	2	194	0.16	3	80	0.47	3	97	-0.35
1200	2	80	0.47	2	97	-0.35	2	162	-0.15	2	194	0.16
2400	1	162	-0.15	1	194	0.16	2	80	0.47	2	97	-0.35
4800	1	80	0.47	1	97	-0.35	1	162	-0.15	1	194	0.16
9600	0	162	-0.15	0	194	0.16	1	80	0.47	1	97	-0.35
19200	0	80	0.47	0	97	-0.35	0	162	-0.15	0	194	0.16
31250	0	49	0.00	0	59	0.00	1	24	0.00	0	119	0.00
38400	0	40	-0.76	0	48	-0.35	0	80	0.47	0	97	-0.35

注. SCR2.ABCS ビット = 0、SCR2.BGDM ビット = 0、SCR2.ABCSE ビット = 0 のときの例です。

ABCS ビットまたはBGDM ビット = 1 のいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。

ABCS ビット = 1 かつBGDM ビット = 1にしたときは、ビットレートが4倍になります。

表 36.15 各動作周波数における最高ビットレート(調歩同期式モードおよびマンチェスタモード)(1/2)

PCLK (MHz)	SCR2レジスタの設定値					最高ビット レート(bps)	PCLK (MHz)	SCR2レジスタの設定値					最高ビット レート(bps)		
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N			
8	0	0	0	0	0	250000	9.8304	0	0	0	0	0	307200		
		1	0	0	0	500000			1	0	0	0	614400		
	1	0	0	0	0	1000000		1	0	0	0	0	1228800		
		1	0	0	0				1	0	0	0		1638400	
10	0	0	0	0	0	312500	12	0	0	0	0	0	375000		
		1	0	0	0	625000			1	0	0	0	750000		
	1	0	0	0	0	1250000		1	0	0	0	0	1500000		
		1	0	0	0				1	0	0	0		2000000	
12.288	0	0	0	0	0	384000	14	0	0	0	0	0	437500		
		1	0	0	0	768000			1	0	0	0	875000		
	1	0	0	0	0	1536000		1	0	0	0	0	1750000		
		1	0	0	0				1	0	0	0		2333333	
16	0	0	0	0	0	500000	17.2032	0	0	0	0	0	537600		
		1	0	0	0	1000000			1	0	0	0	1075200		
	1	0	0	0	0	2000000		1	0	0	0	0	2150400		
		1	0	0	0				1	0	0	0		2867200	
18	0	0	0	0	0	562500	19.6608	0	0	0	0	0	614400		
		1	0	0	0	1125000			1	0	0	0	1228800		
	1	0	0	0	0	2250000		1	0	0	0	0	2457600		
		1	0	0	0				1	0	0	0		3276800	
20	0	0	0	0	0	625000	25	0	0	0	0	0	781250		
		1	0	0	0	1250000			1	0	0	0	1562500		
	1	0	0	0	0	2500000		1	0	0	0	0	3125000		
		1	0	0	0				1	0	0	0		4166667	
30	0	0	0	0	0	937500	33	0	0	0	0	0	1031250		
		1	0	0	0	1875000			1	0	0	0	2062500		
	1	0	0	0	0	3750000		1	0	0	0	0	4125000		
		1	0	0	0				1	0	0	0		5500000	
40	0	0	0	0	0	1250000	50	0	0	0	0	0	1562500		
		1	0	0	0	2500000			1	0	0	0	3125000		
	1	0	0	0	0	5000000		1	0	0	0	0	6250000		
		1	0	0	0				1	0	0	0		8333333	
任意	任意	1	0	0	0	1333333	任意	任意	1	0	0	0	1638400		
		任意	任意	1	0	0			1666667	任意	任意	1	0	0	2000000
	任意	任意	任意	1	0	0		2048000	任意	任意	任意	1	0	0	2333333
		任意	任意	任意	1	0				0	任意	任意	任意	1	

表 36.15 各動作周波数における最高ビットレート(調歩同期式モードおよびマンチェスタモード) (2/2)

PCLK (MHz)	SCR2レジスタの設定値					最高ビット レート(bps)	PCLK (MHz)	SCR2レジスタの設定値					最高ビット レート(bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
60	0	0	0	0	0	1875000	120	0	0	0	0	0	3750000
		1	0	0	0	3750000			1	0	0	0	0
	1	0	0	0	0	7500000		1	0	0	0	0	15000000
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	10000000		任意	任意	1	0	0	20000000

表 36.16 外部クロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート(bps)	
		SCR2.ABCSビット=0	SCR2.ABCSビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000
50	12.5000	781250	1562500
60	15.0000	937500	1875000
120	30.0000	1875000	3750000

表36.17 ビットレートに対するBRR[7:0]ビットの設定例(クロック同期式モード、簡易SPIモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			30			60			120		
	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N
250	0	3	124	0	3	177	—	—	—	—	—	—	—	—	—
500	0	2	249	0	3	77	0	3	233	—	—	—	—	—	—
1k	0	2	124	0	3	38	0	3	116	0	3	233	—	—	—
2.5k	0	2	49	0	1	249	0	3	46	0	3	93	0	3	187
5k	0	2	24	0	1	124	0	2	93	0	3	46	0	3	93
10k	0	1	49	0	0	249	0	2	46	0	2	93	0	3	46
25k	0	2	4	0	1	24	0	1	74	0	1	149	0	2	74
50k	0	1	9	0	0	49	0	0	149	0	1	74	0	1	149
100k	0	1	4	0	0	24	0	0	74	0	0	149	0	1	74
250k	0	1	1	0	0	9	0	0	29	0	1	14	0	1	29
500k	0	1	0	0	0	4	0	0	14	0	0	29	0	1	14
1M	0	0	1	1	0	4	1	0	14	0	0	14	0	0	29
2.5M	—	—	—	0	0	0	0	0	2	0	0	5	0	1	2
5M	—	—	—	1	0	0	1	0	2	0	0	2	0	0	5
7.5M	—	—	—	—	—	—	0	0	0	0	0	1	0	1	0
60M	—	—	—	—	—	—	—	—	—	—	—	—	1	0	0

— : 設定可能ですが10%以上の誤差がでます。

表36.18 外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (Mbps)
8	4	4
10	5	5
12	6	6
14	7	7
16	8	8
18	9	9
20	10	10
25	12.5	12.5
30	15	15
33	16.5	16.5
40	20	20
50	25	25
60	30	30
120	60	60

表 36.19 ビットレートに対するBRR[7:0]ビットの設定例(スマートカードインタフェースモードでS = 372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	-30.00
	10.7136	0	1	-25.00
	13.00	0	1	-8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	-15.99
	20.00	0	2	-6.66
	25.00	0	3	-12.49
	30.00	0	3	5.01
	33.00	0	4	-7.59
	40.00	0	5	-6.66
	50.00	0	6	0.01
	60.00	0	7	5.01
120.00	0	16	-1.17	

表 36.20 各動作周波数における最高ビットレート(スマートカードインタフェースモードでS = 32のとき)

PCLK (MHz)	最高ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0
50.00	781250	0	0
60.00	937500	0	0
120.00	1875000	0	0

表 36.21 ビットレートに対するBRR[7:0]ビットの設定例 (簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	30	0.8	0	49	0.0	0	62	-0.8	0	77	0.2
25k	0	9	0.0	0	12	-3.8	1	4	0.0	0	24	0.0	0	30	0.8
50k	0	4	0.0	0	5	4.2	0	9	0.0	0	12	-3.8	2	0	-2.3
100k	0	2	-16.7	1	0	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	0	25.0	0	1	0.0	0	2	-16.7	0	2	4.2
350k										0	1	-10.7	0	2	-25.6
384k										0	1	-18.6	0	2	-32.2

ビット レート (bps)	動作周波数PCLK (MHz)														
	30			33			40			50			60		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	93	-0.3	0	102	0.1	0	124	0.0	1	38	0.2	1	46	-0.3
25k	0	37	-1.3	0	40	0.6	0	49	0.0	0	62	-0.8	0	74	0.0
50k	0	18	-1.3	0	20	-1.8	0	24	0.0	0	30	0.8	0	37	-1.3
100k	0	9	-6.3	0	10	-6.3	0	12	-3.8	2	0	-2.3	0	18	-1.3
250k	1	0	-6.3	1	0	3.1	0	4	0.0	0	5	4.2	1	1	-6.3
350k	0	2	-10.7	0	2	-1.8	1	0	-10.7	0	4	-10.7	0	4	7.1
384k	0	2	-18.6	0	2	-10.5	1	0	-18.6	0	4	-18.6	0	4	-2.3

ビット レート (bps)	動作周波数PCLK (MHz)		
	120		
	n	N	誤差 (%)
10k	1	93	-0.3
25k	0	149	0.0
50k	0	74	0.0
100k	0	37	-1.3
250k	0	14	0.0
350k	0	10	-2.6
384k	0	9	-2.3

表 36.22 各ビットレート設定での SCL High/Low 幅最小値 (簡易 I²C モード)

ビット レート (bps)	動作周波数 PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	0	49	43.75/50.00	0	62	44.10/50.40
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	0	24	17.50/20.00
50k	0	4	8.75/10.00	0	5	8.40/9.60	0	9	8.75/10.00	0	12	9.10/10.40
100k	0	2	5.25/6.00	1	0	5.60/6.40	0	4	4.38/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60
384k										0	1	1.40/1.60

ビット レート (bps)	動作周波数 PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)
10k	0	77	43.68/49.92	0	93	43.87/50.13	0	102	43.70/49.94	0	124	43.75/50.00
25k	0	30	17.36/19.84	0	37	17.73/20.27	0	40	17.39/19.88	0	49	17.50/20.00
50k	2	0	8.96/10.24	0	18	8.87/10.13	0	20	8.91/10.18	0	24	8.75/10.00
100k	1	1	4.48/5.12	0	9	4.67/5.33	0	10	4.67/5.33	0	12	4.55/5.20
250k	0	2	1.68/1.92	1	0	1.87/2.13	1	0	1.70/1.94	0	4	1.75/2.00
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	1	0	1.40/1.60
384k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	1	0	1.40/1.60

ビット レート (bps)	動作周波数 PCLK (MHz)								
	50			60			120		
	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)
10k	1	38	43.68/49.92	1	46	43.87/50.13	1	93	43.87/50.13
25k	0	62	17.64/20.16	0	74	17.50/20.00	0	149	17.50/20.00
50k	0	30	8.68/9.92	0	37	8.87/10.13	0	74	8.75/10.00
100k	2	0	4.48/5.12	0	18	4.43/5.07	0	37	4.43/5.07
250k	0	5	1.68/1.92	1	1	1.87/2.13	0	14	17.5/2.00
350k	0	4	1.40/1.60	0	4	1.17/1.33	0	10	1.28/1.47
384k	0	4	1.40/1.60	0	4	1.17/1.33	0	9	1.17/1.33

BRME ビット (ビットレートモジュレーション許可ビット)

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に補正します。

調歩同期式モード、簡易 I²C モードでのみ“1”にできます。クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、拡張シリアルモードでは、“0”にしてください。

CKS[1:0] ビット (クロック選択ビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、本章の BRR[7:0] ビット説明を参照してください。

MDDR[7:0] ビット (モジュレーションデューティ設定ビット)

BRME ビットが“1”のとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に M/256 に補正します。MDDR[7:0] ビットの設定値 M とビットレート B の関係を表 36.23 に示します。

MDDR[7:0] ビットの初期値は“FFh”です。ビット7は“1”に固定されています。

表 36.23 ビットレートモジュレーション機能使用時のMDDR[7:0]ビット設定値MとビットレートBの関係

モード(注1)	SCR2レジスタの設定			BRR[7:0]ビットの設定値	誤差(%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C(注2)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR[7:0] ビットの設定値 ($128 \leq M \leq 255$)

N: BRR[7:0] ビットの設定値 ($0 \leq N \leq 255$)

PCLK: 動作周波数 (MHz)

n: 「表 36.11 クロックソースの設定」のとおり SCR2.CKS[1:0] ビットの設定値によって決まります。

注1. クロック同期式モード、簡易SPIモード、スマートカードインタフェースモード、マンチェスタモード、および拡張シリアルモードでは、本機能を使用しないでください。

注2. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

調歩同期式モードにおける BRR[7:0] ビットの値 N と MDDR[7:0] ビットの値 M の設定例を表 36.24、表 36.25 に示します。

表36.24 ビットレートに対するBRR[7:0]ビット、MDDR[7:0]ビットの設定例(調歩同期式モード) (1)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8					9.8304					10				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

ビット レート (bps)	動作周波数PCLK (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	0.26	0	0	135	1	0.14

ビット レート (bps)	動作周波数PCLK (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

注. SCR2.ABCSビット=0、SCR2.ABCSEビット=0のときの例です。

注1. ビットレートモジュレーション機能無効(SCR2.BRMEビット=0)設定(M=256に相当)を意味します。

表36.25 ビットレートに対するBRR[7:0]ビット、MDDR[7:0]ビットの設定例(調歩同期式モード) (2)

ビット レート (bps)	動作周波数PCLK (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	15	(256) (注1)	0	0.00	0	10	173	0	-0.01	0	11	151	0	0.00
57600	0	9	240	0	0.00	0	9	236	0	0.03	0	7	151	0	0.00
115200	0	4	240	0	0.00	0	4	236	0	0.03	0	3	151	0	0.00
230400	0	1	192	0	0.00	0	4	236	1	0.03	0	1	151	0	0.00
460800	0	0	192	0	0.00	0	0	189	0	0.14	0	0	151	0	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	30					33					40				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	36	194	1	0.01	0	14	143	0	0.01	0	21	173	0	-0.01
57600	0	10	173	0	-0.01	0	9	143	0	0.01	0	38	230	1	-0.01
115200	0	10	173	1	-0.01	0	4	143	0	0.01	0	9	236	0	0.03
230400	0	6	220	1	-0.09	0	4	143	1	0.01	0	4	236	0	0.03
460800	0	3	252	1	0.14	0	1	229	0	0.10	0	4	236	1	0.03

ビット レート (bps)	動作周波数PCLK (MHz)														
	50					60					120				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	23	151	0	0.00	0	36	194	0	0.01	0	73	194	0	0.01
57600	0	15	151	0	0.00	0	21	173	0	-0.01	0	58	232	0	0.00
115200	0	7	151	0	0.00	0	10	173	0	-0.01	0	21	173	0	-0.01
230400	0	3	151	0	0.00	0	10	173	1	-0.01	0	10	173	0	-0.01
460800	0	1	151	0	0.00	0	6	220	1	-0.09	0	10	173	1	-0.01

注. SCR2.ABCSビット=0、SCR2.ABCSEビット=0のときの例です。

注1. ビットレートモジュレーション機能無効(SCR2.BRMEビット=0)設定(M=256に相当)を意味します。

36.2.8 制御レジスタ 3 (SCR3)

アドレス RSCI10.SCR3 000E 2014h, RSCI11.SCR3 000E 2094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	BLK	GM	—	—	CKE[1:0]	—	—	DEEN	FM	MP	MOD[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	STOP	DINV	DDIR	—	—	CHR[1:0]	—	—	—	—	—	—	—	CPOL	CPHA
リセット後の値	0	0	0	1	0	0	1	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	クロック位相セレクトビット	(簡易SPIモードおよびクロック同期モードのみ有効です。SCR0.TEビット=0かつREビット=0のとき、設定してください) 0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 (クロック遅れあり) 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル (クロック遅れなし)	R/W (注1)
b1	CPOL	クロック極性セレクトビット	(簡易SPIモードおよびクロック同期モードのみ有効です。SCR0.TEビット=0かつREビット=0のとき、設定してください) 0: アイドル時のSCKnが“0” 1: アイドル時のSCKnが“1”	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b9-b8	CHR[1:0]	キャラクタ長選択ビット	送受信データのデータ長を選択します (調歩同期モードおよびマンチェスタモードのみ有効 (注2)) b9 b8 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	DDIR	転送データ方向選択ビット	0: MSBファーストで送受信 1: LSBファーストで送受信 簡易I ² Cモードで動作させる場合は“0”、拡張シリアルモードで動作させる場合は“1”にしてください	R/W (注1)
b13	DINV	転送データ反転ビット	0: TDRレジスタ格納データをそのままTSRレジスタへ転送、RSRレジスタ格納データをそのままRDRレジスタに格納 1: TDRレジスタ格納データを反転してTSRレジスタへ転送、RSRレジスタ格納データを反転してRDRレジスタに格納 簡易I ² Cモードで動作させる場合は、“0”にしてください。通信端子(TXDn/RXDn)データの最終的な信号レベルは、本ビットとSCR1.TINV/RINVビットの組合せで決まります。詳細は図36.2を参照してください	R/W (注1)
b14	STOP	ストップビット長選択ビット	(調歩同期モードおよびマンチェスタモード、拡張シリアルモードのみ有効) 0: 1ストップビット/Break delimiter長=1ビット長 1: 2ストップビット/Break delimiter長=2ビット長	R/W (注1)
b15	RXDESEL	調歩同期スタートビットエッジ検出選択ビット	(調歩同期モードのみ有効) 拡張シリアルモードで動作させる場合は、“1”にしてください 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b18-b16	MOD[2:0]	通信モード選択ビット	RSCIの通信モードを選択します b18 b16 0 0 0: 調歩同期式モード 0 0 1: スマートカードインタフェースモード 0 1 0: クロック同期式モード 0 1 1: 簡易SPIモード 1 0 0: 簡易I ² Cモード 1 0 1: マンチェスタモード 1 1 0: 拡張シリアル 1 1 1: 設定禁止	R/W (注1)
b19	MP	マルチプロセッサモードビット	(調歩同期式モードおよびマンチェスタモードのみ有効) 0: マルチプロセッサ通信禁止 1: マルチプロセッサ通信許可	R/W (注1)
b20	FM	FIFOモード選択ビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモードで有効) 0: TDRレジスタ、RDRレジスタが非FIFOバッファ構成 1: TDRレジスタ、RDRレジスタがFIFOバッファ構成	R/W (注1)
b21	DEEN	ドライバ制御機能有効ビット	(調歩同期式モードで有効) 0: RS-485ドライバ制御機能は無効です 1: RS-485ドライバ制御機能は有効です	R/W (注1)
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b25-b24	CKE[1:0]	クロックイネーブルビット	調歩同期式モードの場合 b25 b24 0 0: 内蔵ポーレートジェネレータ I/Oポートの設定によりSCKn端子は入出力ポートとして使用できます 0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x: 外部クロック • 外部クロック使用時は、SCKn端子からビットレートの16倍(SCR2.ABCSビット=0のとき)または8倍(SCR2.ABCSビット=1のとき)の周波数のクロックを入力してください マンチェスタ/拡張シリアルモードの場合 b25 b24 0 0: 内蔵ポーレートジェネレータ I/Oポートの設定によりSCKn端子は入出力ポートとして使用できます 上記以外: 禁止設定(未サポート)で使用できません クロック同期式/簡易SPIモードの場合 b25 b24 0 x: 内部クロック(マスタモード) SCKn端子はクロック出力端子となります 1 x: 外部クロック(スレーブモード) SCKn端子はクロック入力端子となります スマートカードインタフェースモードの場合 SCR3.GMビット=0の場合 b25 b24 0 0: 出力ディスエーブル(I/Oポートの設定によりSCKn端子は入出力ポートとして使用可) 0 1: クロック出力 1 x: (設定禁止) SCR3.GMビット=1の場合 b25 b24 0 0: Lowレベル出力固定 0 1: クロック出力 1 0: Highレベル出力固定 1 1: クロック出力	R/W (注1)
b26	—	予約ビット	“0”にしてください	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b28	GM	GSMモードビット	(スマートカードインタフェースモードのみ有効) 0: 非GSMモードで動作します 1: GSMモードで動作します	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b29	BLK	ブロック転送モードビット	(スマートカードインタフェースモードのみ有効) 0: 非ブロック転送モードで動作します 1: ブロック転送モードで動作します	R/W (注1)
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TE ビット=0、SCR0.RE ビット=0 のとき、書き込み可能です。

注2. 調歩同期式モードおよびマンチェスタモード以外では、設定は無効でデータ長は8ビット固定です。拡張シリアルモードでは“10b” (8ビット) にしてください。

注3. LSB ファースト固定となり、送信では TDR レジスタの MSB (b7) は送信されません。

CPHA ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。

詳細は、図 36.108 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“1”を設定して下さい。

CPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。

詳細は、図 36.108 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“1”を設定して下さい。

CHR[1:0] ビット (キャラクタ長選択ビット)

送受信データのデータ長を選択します。

調歩同期式モードおよびマンチェスタモード以外では、データ長は8ビット固定です。

DDIR ビット (転送データ方向選択ビット)

送受信データのデータを MSB ファーストで送受信するか LSB ファーストで送受信するか選択します。

DINV ビット (転送データ反転ビット)

送信データを TDR レジスタから TSR レジスタへ転送するタイミングでビット反転制御します。また、受信データを RSR レジスタから RDR レジスタへ転送するタイミングでビット反転制御します。DINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SCR1.PM ビットを反転してください。

STOP ビット (ストップビット長選択ビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

また、拡張シリアルモードで Start Frame 送信時、Break delimiter 長設定として使用します。

RXDESEL ビット (調歩同期スタートビットエッジ検出選択ビット)

調歩同期式モード受信動作における、スタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後に RXDn 端子入力を1フレーム期間以上 High レベルに保持せず受信を開始する場合は“1”を設定してください。

拡張シリアルモード時は、“1”を設定してください。調歩同期式モード、拡張シリアルモード以外では“0”を設定してください。

MOD[2:0] ビット (通信モード選択ビット)

RSCI の通信モードを選択します。

表 36.26 通信モード選択ビット (MOD[2:0]) とその他動作モード設定ビット

通信モード	調歩同期				スマート カード I/F	クロック 同期	簡易 SPI	簡易 I ² C	マンチエ スタ	拡張 シリアル
SCR3.MOD[2:0]	000b				001b	010b	011b	100b	101b	110b
SCR3.MP	0		1		—	—	—	—	0	1
SCR3.FM	0	1	0	1	—	0	1	—	—	—
SCR3.DEEN	0	1	0	1	0	1	0	1	—	—
SCR3.SSE	—				—	—	0	1	0	1

— : 設定禁止

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

FM ビット (FIFO モード選択ビット)

FM ビットを“1”にすると、TDR レジスタ / RDR レジスタが FIFO 構成に切り替わり、シリアル送信 / 受信に送信 FIFO (TDR レジスタ) / 受信 FIFO (RDR レジスタ) を使用できます。

DEEN ビット (ドライバ制御機能有効ビット)

RS-485 ドライバ制御機能の有効 / 無効を選択します。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCK_n 端子の機能を選択します。

スマートカードインタフェースモード時、SCK_n 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「36.7.8 クロック出力制御」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu : elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「36.7.6 シリアルデータの送信 (ブロック転送モードを除く)」、「36.7.8 クロック出力制御」を参照してください。

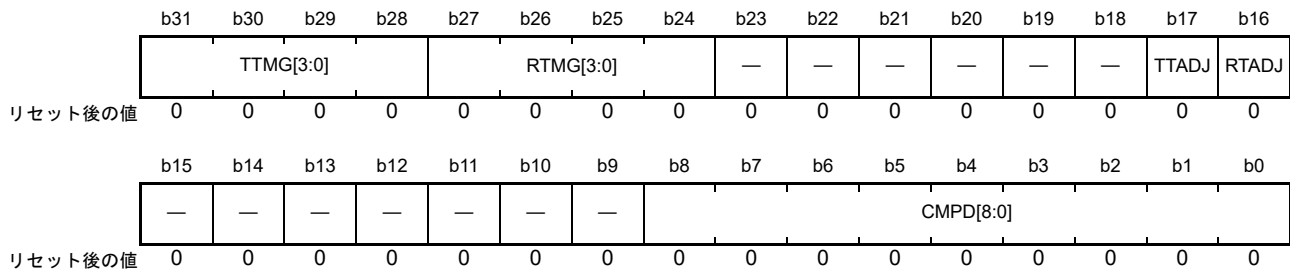
BLK ビット (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「36.7.3 ブロック転送モード」を参照してください。

36.2.9 制御レジスタ 4 (SCR4)

アドレス RSCI10.SCR4 000E 2018h, RSCI11.SCR4 000E 2098h



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	比較データビット	(調歩同期モード時のみ有効なビットです) データ一致検出機能を使用する場合の比較元データを設定します	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	RTADJ	受信データサンプリングタイミング変更ビット	(調歩同期モード内部クロック選択時、拡張シリアルモード内部クロック選択時、クロック同期モードマスタ動作時、簡易SPIモードマスタ動作時に有効なビットです) 0: 受信サンプリングタイミング調整機能無効 1: 受信サンプリングタイミング調整機能有効	R/W (注1)
b17	TTADJ	送信信号変化タイミング変更ビット	(調歩同期モードで内部クロック選択時のみ有効なビットです) 0: 送信タイミング調整機能無効 1: 送信タイミング調整機能有効	R/W (注1)
b23-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b27-b24	RTMG[3:0]	受信データサンプリングタイミング選択ビット	調歩同期式/拡張シリアルモードの場合 b27 b24 1111: デフォルト位置から7クロック前でサンプリング 1110: デフォルト位置から6クロック前でサンプリング 1101: デフォルト位置から5クロック前でサンプリング 1100: デフォルト位置から4クロック前でサンプリング 1011: デフォルト位置から3クロック前でサンプリング 1010: デフォルト位置から2クロック前でサンプリング 1001: デフォルト位置から1クロック前でサンプリング x000: デフォルト位置でサンプリング 0001: デフォルト位置から1クロック後でサンプリング 0010: デフォルト位置から2クロック後でサンプリング 0011: デフォルト位置から3クロック後でサンプリング 0100: デフォルト位置から4クロック後でサンプリング 0101: デフォルト位置から5クロック後でサンプリング 0110: デフォルト位置から6クロック後でサンプリング 0111: デフォルト位置から7クロック後でサンプリング クロック同期式/簡易SPIモードの場合 b27 b24 0000: 1PCLK遅延 0001: 2PCLK遅延 0010: 3PCLK遅延 0011: 4PCLK遅延 上記以外: 設定禁止	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b31-b28	TTMG[3:0]	送信信号変化タイミング選択ビット	b31 b28 1111: “1”から“0”への変化を7クロック遅らせる 1110: “1”から“0”への変化を6クロック遅らせる 1101: “1”から“0”への変化を5クロック遅らせる 1100: “1”から“0”への変化を4クロック遅らせる 1011: “1”から“0”への変化を3クロック遅らせる 1010: “1”から“0”への変化を2クロック遅らせる 1001: “1”から“0”への変化を1クロック遅らせる x000: 波形を変化させない 0001: “0”から“1”への変化を1クロック遅らせる 0010: “0”から“1”への変化を2クロック遅らせる 0011: “0”から“1”への変化を3クロック遅らせる 0100: “0”から“1”への変化を4クロック遅らせる 0101: “0”から“1”への変化を5クロック遅らせる 0110: “0”から“1”への変化を6クロック遅らせる 0111: “0”から“1”への変化を7クロック遅らせる	R/W (注1)

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

CMPD[8:0] ビット (比較データビット)

データ一致検出機能有効 (SCR0.DCME ビット=1) 時に、受信データと比較するデータを設定します。SCR0.DCME ビット=0のときに書き換えを行ってください。

比較するデータには、7ビットデータ長選択時は CMPD[6:0] ビット、8ビットデータ長選択時は CMPD[7:0] ビット、9ビットデータ長選択時は CMPD[8:0] ビットを使用します。

RTADJ ビット (受信データサンプリングタイミング変更ビット)

本ビットが“1”のとき、受信サンプリングタイミング調整機能が有効になります。調歩同期式、拡張シリアルモードとクロック同期式、簡易 SPI モードではそれぞれ制御が異なります。

調歩同期式モード内部クロック選択時の動作説明は「36.3.10 調歩同期式モードの受信サンプリングタイミング調整機能」を参照してください。

拡張シリアルモード内部クロック選択時の動作は調歩同期式モード内部クロック選択時と同じです。

クロック同期式モードマスタ動作時、および簡易 SPI モードマスタ動作時の動作説明は「36.10.7 クロック同期式モード内部クロック使用時の受信サンプリングタイミング調整機能」を参照してください。本ビットで制御できるのは、マスタモード受信サンプリングクロック (MRCLK) のデジタル遅延のみです。MRCLK のアナログ遅延は制御できません。

TTADJ ビット (送信信号変化タイミング変更ビット)

本ビットが“1”のとき、送信信号変化タイミング調整機能が有効になります。送信信号変化タイミング調整機能は、TXDn 端子から出力する波形のエッジタイミングを調整することができます。詳細は、「36.3.11 調歩同期式モードの送信タイミング調整機能」を参照してください。

RTMG[3:0] ビット (受信データサンプリングタイミング選択ビット)

RTADJ ビットが“1”のとき、本ビット設定値に応じて受信サンプリングタイミングを調整することができます。調歩同期式モード、拡張シリアルモード時の調整値は、基本クロック × RTMG[2:0] 設定値です。

TTMG[3:0] ビット (送信信号変化タイミング選択ビット)

TTMG[3:0] ビットで指定した TXDn 端子のエッジタイミングを、基本クロック × TTMG[2:0] 設定値で調整します。TTMG[2:0] ビットの設定値が1ビット期間の基本クロック数以上にならないようにしてください。

36.2.10 I²C モードレジスタ (SIMR)

アドレス RSCI10.SIMR 000E 2020h, RSCI11.SIMR 000E 20A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	IICSCLS[1:0]	IICSDAS[1:0]	—	IICSTP REQ	IICRST AREQ	IICSTA REQ		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACK T	—	—	—	IICCS C	IICINT M	—	—	—	IICDL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IICDL[4:0]	SDA出力遅延セレクトビット	内蔵ポーレートジェネレータのクロックソース基準で b4 b0 0 0 0 0 : 出力遅延なし 0 0 0 1 : 0~1サイクル 0 0 1 0 : 1~2サイクル 0 0 1 1 : 2~3サイクル 0 1 0 0 : 3~4サイクル 0 1 0 1 : 4~5サイクル : : 1 1 1 1 0 : 29~30サイクル 1 1 1 1 1 : 30~31サイクル	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	IICINTM	I ² C割り込みモード選択ビット	0 : ACK/NACK割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b9	IICCS C	クロック同期化ビット	0 : クロック同期を実施しない 1 : クロック同期を実施する	R/W (注1)
b12-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b13	IICACK T	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	IICSTAREQ	スタートコンディション生成ビット	0 : スタートコンディションを生成しない 1 : スタートコンディションを生成する(注2、注4、注5、注6)	R/W
b17	IICRSTAREQ	リスタートコンディション生成ビット	0 : リスタートコンディションを生成しない 1 : リスタートコンディションを生成する(注3、注4、注5、注6)	R/W
b18	IICSTPREQ	ストップコンディション生成ビット	0 : ストップコンディションを生成しない 1 : ストップコンディションを生成する(注3、注4、注5、注6)	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b21-b20	IICSDAS[1:0]	SDA出力セレクトビット	b21 b20 0 0 : シリアルデータ出力 0 1 : スタートコンディション、リスタートコンディション、ストップコンディションの生成 1 0 : SSdAn端子はLowレベルを出力 1 1 : SSdAn端子はHighレベルを出力	R/W
b23-b22	IICSCLS[1:0]	SCL出力セレクトビット	b23 b22 0 0 : シリアルクロック出力 0 1 : スタートコンディション、リスタートコンディション、ストップコンディションの生成 1 0 : SSCLn端子はLowレベルを出力 1 1 : SSCLn端子はHighレベルを出力	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

注2. パスフリー状態のときに、スタートコンディション生成を行ってください。

注3. パスビジー状態のときに、図36.78、図36.79で説明しているアクノリッジ後のSSCLn端子がLowレベルのときにリスタート

コンディション生成またはストップコンディション生成を行ってください。

注4. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。

注5. コンディション生成完了フラグ(IICSTIFフラグ)を“0”にしてから各コンディション生成を行ってください。

注6. “1”の状態では“0”を書き込まないでください。“1”の状態では“0”を書き込むとコンディション生成が中断します。

IICDL[4:0] ビット (SDA 出力遅延セレクトビット)

SSCLn 端子出力の立ち上がりに対する SSDAn 端子出力の遅延を選択します。

内蔵ポーレートジェネレータのクロックソース基準で、遅延なし～31 サイクルの中から選択可能です。内蔵ポーレートジェネレータのクロックソースとして、PCLK に対して SCR2.CKS[1:0] ビットの設定により選択された分周比のクロックが供給されます。

簡易 I²C モード以外では“00000b”を設定してください。

簡易 I²C モード時は、“00001b”～“11111b”のいずれかを設定してください。

IICINTM ビット (I²C 割り込みモード選択ビット)

簡易 I²C モード時の割り込み要求要因を選択します。

IICGSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で SSCLn 端子を Low レベルにした時、内部で生成する SCL を同期化する場合は IICGSC ビットに“1”を設定します。

IICGSC ビットに“0”を設定すると内部 SCL の同期化は行いません。SSCLn 端子入力のレベルに関わらず、BRR[7:0] ビットで設定したビットレートに従って SCL を生成します。

デバッグ時を除いて IICGSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

IICSTAREQ ビット (スタートコンディション生成ビット)

スタートコンディションの生成を行う時は、IICSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

ストップコンディション生成後にスタートコンディション生成を行う場合は、ストップコンディション生成割り込み要求出力から、ビットレートの半周期期間において、スタートコンディション生成を開始してください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- スタートコンディションの生成が完了したとき

IICRSTAREQ ビット (リスタートコンディション生成ビット)

リスタートコンディションの生成を行う時は、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- リスタートコンディションの生成が完了したとき

IICSTPREQ ビット (ストップコンディション生成ビット)

ストップコンディションの生成を行う時は、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- ストップコンディションの生成が完了したとき

IICSDAS[1:0] ビット (SDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

IICSCLS[1:0] ビット (SCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

36.2.11 FIFO 制御レジスタ (FCR)

アドレス RSCI10.FCR 000E 2024h, RSCI11.FCR 000E 20A4h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	RSTRG[4:0]				RFRST	—	—	RTRG[4:0]				—	—
リセット後の値	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TFRST	—	—	TTRG[4:0]				—	—	—	—	—	—	—	—	DRES
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRES	受信データレディ割り込み選択ビット	(調歩同期式モードのみで有効) 受信データレディを検出したときに発生させる割り込み要求を選択します 0: 受信データフル割り込み (RXI) 1: 受信エラー割り込み (ERI)	R/W (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	TTRG[4:0]	送信FIFOしきい値設定ビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモードで有効) b12 b8 0 0 0 0: しきい値0 : : 1 1 1 1: しきい値31	R/W (注1)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15	TFRST	送信FIFOリセットビット	(SCR3.FMビット=1のときのみ有効) 0: 無効、動作に影響しない 1: 送信FIFO (TDRレジスタ)に格納されたデータ数を“0”にする 読み出し時は、常に“0”となります	W (注1)
b20-b16	RTRG[4:0]	受信FIFOしきい値設定ビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモードで有効) b20 b16 0 0 0 0: しきい値0 : : 1 1 1 1: しきい値31	R/W (注1)
b22-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b23	RFRST	受信FIFOリセットビット	(SCR3.FMビット=1のときのみ有効) 0: 無効、動作に影響しない 1: 送信FIFO (RDRレジスタ)に格納されたデータ数を“0”にする 読み出し時は、常に“0”となります	W (注1)
b28-b24	RSTRG[4:0]	RTS#出力しきい値設定ビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モードで、SCR3.FMビット=1、SCR1.CTSEビット=0、かつSCR0.SSEビット=0のときのみ有効) b28 b24 0 0 0 0: しきい値0 : : 1 1 1 1: しきい値31	R/W (注1)
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

DRES ビット (受信データレディ割り込み選択ビット)

受信データレディを検出 (RFSR.DR フラグ = 1) したことを、RXI 割り込み要求の要因とするか、ERI 割り込み要求の要因とするかを選択します。

TTRG[4:0] ビット (送信 FIFO しきい値設定ビット)

送信 FIFO (TDR レジスタ) に格納されたデータ数が送信 FIFO しきい値以下になったとき、SSR.TDRE フラグが“1”になります。その際、SCR0.TIE ビットが“1”であれば、送信 FIFO データエンプティ割り込み (TXI) 要求が発生します。

TFRST ビット (送信 FIFO リセットビット)

TFRST ビットを“1”にすると、送信 FIFO (TDR レジスタ) に格納された送信データの数を“0”にします。

RTRG[4:0] ビット (受信 FIFO しきい値設定ビット)

受信 FIFO (RDR レジスタ) に格納されたデータ数が受信 FIFO しきい値以上になったとき、SSR.RDRF フラグが“1”になります。その際、SCR0.RIE ビットが“1”であれば、受信 FIFO データフル割り込み (RXI) 要求が発生します。受信 FIFO しきい値を“0”にした場合は、1つ以上のデータを受信しなければ RDRF フラグはセットされません。

RFRST ビット (受信 FIFO リセットビット)

RFRST ビットを“1”にすると、受信 FIFO (RDR レジスタ) に格納された受信データの数を“0”にします。

RSTRG[4:0] ビット (RTS# 出力しきい値設定ビット)

受信 FIFO (RDR レジスタ) に格納された受信データ数が RTS# 出力しきい値以上になったとき、RTSn# 信号が High になります。RTS# 出力しきい値を“0”にした場合は、1つ以上のデータを受信しなければ RTSn# 信号は High になりません。

36.2.12 マンチェスタモード制御レジスタ (MMCR)

アドレス RSCI10.MMCR 000E 202Ch, RSCI11.MMCR 000E 20ACh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	SBERI E	SYERI E	PFERI E	—	—	RPPAT[1:0]	RPLEN[3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	TPPAT[1:0]	TPLEN[3:0]			—	SBLEN	SYNCE	SBPTN	—	SADJE	ENCS	DECS		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DECS	デコード規則選択ビット	受信マンチェスタコードの極性設定 0: Low→Highの信号変化を“0”、High→Lowの信号変化を“1”に変換します 1: High→Lowの信号変化を“0”、Low→Highの信号変化を“1”に変換します	R/W (注1)
b1	ENCS	エンコード規則選択ビット	送信マンチェスタコードの極性設定 0: “0”をLow→Highの信号変化に、“1”をHigh→Lowの信号変化に変換します 1: “0”をHigh→Lowの信号変化に、“1”をLow→Highの信号変化に変換します	R/W (注1)
b2	SADJE	受信タイミング自己調整許可ビット	受信リタイミング機能の設定 0: 受信リタイミング機能をディセーブルとします 1: 受信リタイミング機能をイネーブルとします	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SBPTN	スタートビットパターン選択ビット	マンチェスタコード中のスタートビットのSync種別を設定します <スタートビットが1bitの場合 (SBLEN = 0)> • 送信時 0: スタートビットは0→1遷移として付加します 1: スタートビットは1→0遷移として付加します • 受信時 0: スタートビットは0→1遷移のみ受信、それ以外はエラーと判定 1: スタートビットは1→0遷移のみ受信、それ以外はエラーと判定 <スタートビットが3bitの場合 (SBLEN = 1)> • 送信時 0: スタートビットは0→1遷移として付加 1: スタートビットは1→0遷移として付加 • 受信時 本ビットの値によらず、スタートビットが3bitの場合、受信します	R/W (注1)
b5	SYNCE	Sync許可ビット	0: スタートビットのパターンはSBPTNビットで設定 1: スタートビットのパターンはSYNCビットで設定	R/W (注1)
b6	SBLEN	スタートビット長選択ビット	0: スタートビットは1bit 1: スタートビットはコマンド Sync/ データ Sync (3bit)	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b11-b8	TPLEN[3:0]	送信プリフェース長設定ビット	マンチェスタモード時、送信データのプリフェース長(ビット長)を設定します。“0000b”の場合、送信プリフェースの生成は行いません	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b13-b12	TPPAT[1:0]	送信プリフェースパターン選択ビット	送信データのプリフェースパターン設定です b13 b12 0 0 : ALL ZERO 0 1 : ZERO ONE 1 0 : ONE ZERO 1 1 : ALL ONE	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b19-b16	RPLEN[3:0]	受信プリフェース長設定ビット	マンチェスタモードイネーブル時、受信フレームのプリフェース長(ビット長)を設定します。“0000b”の場合、受信プリフェースの確認は行いません	R/W (注1)
b21-b20	RPPAT[1:0]	受信プリフェースパターン選択ビット	受信フレームのプリフェースパターン設定です b21 b20 0 0 : ALL ZERO 0 1 : ZERO ONE 1 0 : ONE ZERO 1 1 : ALL ONE	R/W (注1)
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	PFERIE	プリフェースエラー割り込み許可ビット	プリフェースエラーを割り込み要因として扱うかどうかを設定するビットです 0 : プリフェースエラーは割り込みとして扱わない 1 : プリフェースエラーを割り込みとして扱う	R/W (注1)
b25	SYERIE	Syncエラー割り込み許可ビット	受信Syncエラーを割り込み要因として扱うかどうかを設定するビットです 0 : 受信Syncエラーは割り込みとして扱わない 1 : 受信Syncエラーを割り込みとして扱う	R/W (注1)
b26	SBERIE	スタートビットエラー割り込み許可ビット	スタートビットエラーを割り込み要因として扱うかどうかを設定するビットです 0 : スタートビットエラーは割り込みとして扱わない 1 : スタートビットエラーを割り込みとして扱う	R/W (注1)
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

DECS ビット (デコード規則選択ビット)

受信マンチェスタコードの極性を設定できます。データ受信に関する詳細は「36.5.7 マンチェスタデータ受信」を参照してください。

ENCS ビット (エンコード規則選択ビット)

送信マンチェスタコード極性を設定できます。データ送信に関する詳細は「36.5.6 マンチェスタデータ送信」を参照してください。

SADJE ビット (受信タイミング自己調整許可ビット)

マンチェスタモード受信リタイミング機能の設定ができます。受信リタイミング機能については、「36.5.9 受信リタイミング」を参照してください。

SBPTN ビット (スタートビットパターン選択ビット)

本ビットの設定は、本レジスタの SYNCE ビット = 0 に設定された場合有効になります。

また、本ビットと SBLEN ビットの組み合わせで Sync 種別を設定することが可能です。

本ビットと SBLEN ビットの組み合わせで決定されるスタートビット領域については、[図 36.36](#)、[図 36.37](#)を参照してください。

SYNCE ビット (Sync 許可ビット)

本ビットは本レジスタ SBLEN ビット = 1 に設定された場合のみ、有効になります。
マンチェスタフレームに付加するスタートビット領域の Sync 種別の設定参照先を決定します。
本ビットが “0” に設定された場合、本レジスタ SBPTN ビットを参照します。
“1” に設定された場合、TDR.SYNC ビットを参照します。

SBLEN ビット (スタートビット長選択ビット)

本ビットはマンチェスタフレームのスタートビット領域に対する設定となります。
“1” に設定された場合、フレームに付加されるスタートビット領域が 3bit になり、本レジスタ SYNCE/
SBPTN ビットの設定が有効になります。
“0” に設定された場合、フレームに付加されるスタートビット領域が 1bit になります。

TPLEN[3:0] ビット (送信プリフェース長設定ビット)

本ビットでマンチェスタモード時の送信プリフェースビット長を設定します。
“0h” ~ “Fh” (0 ~ 15) で設定が可能で、“0h” で設定した場合、送信プリフェースはディセーブルとなり付
加されません。

TPPAT[1:0] ビット (送信プリフェースパターン選択ビット)

本ビットでマンチェスタモード時のプリフェースパターンを 4 種から設定できます。本ビット設定時の動
作イメージについて、図 36.35 を参照ください。

“00b” 設定時、ALL ZERO パターン→プリフェース領域を ALL0 で設定します。

“01b” 設定時、ZERO ONE パターン→プリフェース領域を 0 → 1 → 0 → 1... と繰り返すパターンとして設
定します。

“10b” 設定時、ONE ZERO パターン→プリフェース領域を 1 → 0 → 1 → 0... と繰り返すパターンとして設
定します。

“11b” 設定時、ALL ONE パターン→プリフェース領域を ALL1 で設定します。

RPLEN[3:0] ビット (受信プリフェース長設定ビット)

本ビットでマンチェスタモード時の受信プリフェースビット長を設定します。
“0h” ~ “Fh” (0 ~ 15) で設定が可能で、“0h” で設定した場合、受信プリフェースはディセーブルとなり付
加されていないものとして処理します。“1h” ~ “Fh” を設定した場合、設定値をそのまま受信プリフェース
ビット長として処理します。

RPPAT[1:0] ビット (受信プリフェースパターン選択ビット)

本ビットでマンチェスタモード時のプリフェースパターンを 4 種から設定できます。本ビット設定時の動
作イメージについて、図 36.35 を参照ください。

“00b” 設定時、ALL ZERO パターン→プリフェース領域を ALL0 として処理します。

“01b” 設定時、ZERO ONE パターン→プリフェース領域を 0 → 1 → 0 → 1... と繰り返すパターンとして処
理します。

“10b” 設定時、ONE ZERO パターン→プリフェース領域を 1 → 0 → 1 → 0... と繰り返すパターンとして処
理します。

“11b” 設定時、ALL ONE パターン→プリフェース領域を ALL1 で処理します。

PFERIE ビット (プリフェースエラー割り込み許可ビット)

本ビットはプリフェースエラーを割り込みとして扱うかどうかを設定するビットです。

“0”の場合は、プリフェースエラーは割り込みとして扱いません。“1”の場合はプリフェースエラーを割り込みとして扱います。

SYERIE ビット (Sync エラー割り込み許可ビット)

本ビットは受信 Sync エラーを割り込みとして扱うかどうかを設定するビットです。

“0”の場合は、受信 Sync エラーは割り込みとして扱いません。“1”の場合は受信 Sync エラーを割り込みとして扱います。

SBERIE ビット (スタートビットエラー割り込み許可ビット)

本ビットはスタートビットエラーを割り込みとして扱うかどうかを設定するビットです。

“0”の場合は、スタートビットエラーは割り込みとして扱いません。“1”の場合はスタートビットエラーを割り込みとして扱います。

36.2.13 DE 信号制御レジスタ (DECR)

アドレス RSCI10.DECR 000E 2030h, RSCI11.DECR 000E 20B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	DEHLD[4:0]				—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DESU[4:0]				—	—	—	—	—	—	—	—	DELVL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DELVL	DE信号アクティブレベル選択ビット	(調歩同期式モードのみ有効) 0: DE信号は、アクティブHigh 1: DE信号は、アクティブLow	R/W (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	DESU[4:0]	DE信号セットアップ時間設定ビット	(調歩同期式モードのみ有効) DE信号セットアップ時間を基本クロックのサイクル数で設定します。SCR3.DEENビットが“1”のとき有効です。 “0000b”は設定しないでください。	R/W (注1)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20-b16	DEHLD[4:0]	DE信号ホールド時間設定ビット	(調歩同期式モードのみ有効) DE信号ホールド時間を基本クロックのサイクル数で設定します。SCR3.DEENビットが“1”のとき有効です。 “0000b”は設定しないでください。	R/W (注1)
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

DELVL ビット (DE 信号アクティブレベル選択ビット)

DE (Driver Enable) 信号のアクティブレベルを選択します。

DESU[4:0] ビット (DE 信号セットアップ時間設定ビット)

DE 信号セットアップ時間 (DE 信号のアサートからスタートビット送出開始までの時間) を設定します。基本クロック (1/6、1/8 または 1/16 ビット時間) のサイクル数で指定します。なお、実際のスタートビットの送出は、ここで設定したセットアップ時間と送信待ち時間が経過した後に開始されます。

DEHLD[4:0] ビット (DE 信号ホールド時間設定ビット)

DE 信号ホールド時間 (最終送信メッセージのストップビット送出完了から DE 信号のネゲートまでの時間) を設定します。基本クロック (1/6、1/8 または 1/16 ビット時間) のサイクル数で指定します。ホールド時間中に送信データを書き込んだ場合、そのタイミングによって送信開始動作が異なります (DE 信号をネゲートせずに、送信待ち時間経過後にスタートビットの送出が開始される場合と、DE 信号が一旦ネゲートされて、セットアップ時間 + 送信待ち時間経過後に、スタートビットの送出が開始される場合があります)。

36.2.14 拡張シリアルモード制御レジスタ 0 (XCR0)

アドレス RSCI10.XCR0 000E 2034h, RSCI11.XCR0 000E 20B4h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	BCCS[1:0]	—	AEDIE	COFIE	BFDIE	—	—	BCDIE	BFOIE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PIBS[2:0]		PIBE	CF1DS[1:0]	CF0RE	BFE	—	—	—	—	—	—	—	—	TCSS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TCSS[1:0]	タイマカウントクロックソース選択ビット	拡張シリアルモジュール内のタイマカウントのクロックソースを選択します b1 b0 0 0 : PCLK 0 1 : PCLK/4 1 0 : PCLK/16 1 1 : PCLK/64	R/W (注1、注2)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	BFE	Break Field 検出許可ビット	Start Frame の Break Field 有無を設定します 0 : Break Field なし 1 : Break Field あり	R/W (注1、注4)
b9	CF0RE	Control Field 0 受信許可ビット	Start Frame の Control Field 0 有無を設定します 0 : Control Field 0 なし 1 : Control Field 0 あり	R/W (注1、注4)
b11-b10	CF1DS[1:0]	Control Field 1 比較データ選択ビット	Control Field 1 の比較データを選択します b11 b10 0 0 : XCR1.PCF1D[7:0] ビットを比較データに選択 0 1 : XCR1.SCF1D[7:0] ビットを比較データに選択 1 0 : XCR1.PCF1D[7:0] ビットおよびXCR1.SCF1D[7:0] ビットを比較データに選択 1 1 : 設定禁止	R/W (注1、注4)
b12	PIBE	プライオリティインタラプトビット許可ビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W (注1、注4)
b15-b13	PIBS[2:0]	プライオリティインタラプトビット選択ビット	Control Field 1 の0~7ビット目のいずれかをプライオリティインタラプトビットに指定します b15 b13 0 0 0 : Control Field 1、0ビット目 0 0 1 : Control Field 1、1ビット目 0 1 0 : Control Field 1、2ビット目 0 1 1 : Control Field 1、3ビット目 1 0 0 : Control Field 1、4ビット目 1 0 1 : Control Field 1、5ビット目 1 1 0 : Control Field 1、6ビット目 1 1 1 : Control Field 1、7ビット目	R/W (注1、注4)
b16	BFOIE	Break Field Low width 送出完了割り込み許可ビット	Break Field 送出完了を TXI 割り込み要因に入れるかどうかを選択します 0 : Break Field 送出完了を割り込み要因に入れない 1 : Break Field 送出完了を TXI 割り込み要因に入れる	R/W (注1)
b17	BCDIE	バス衝突検出割り込み許可ビット	バス衝突検出時、ERI 割り込みを出力するかどうかを選択します 0 : バス衝突検出を ERI に割り込み要因に入れない 1 : バス衝突検出を ERI 割り込み要因に入れる	R/W (注1)
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ビット	シンボル	ビット名	機能	R/W
b20	BFDIE	Break Field Low width検出割り込み許可ビット	Break Field検出時、BFD割り込みを出力するかどうかを選択します 0 : Break Field検出割り込み禁止 1 : Break Field検出割り込み許可	R/W (注1)
b21	COFIE	カウントオーバーフロー割り込み許可ビット	カウントオーバーフローをERI割り込み要因に入れるかどうかを選択します 0 : カウントオーバーフローをERI割り込み要因に入れない 1 : カウントオーバーフローをERI割り込み要因に入れる	R/W (注1)
b22	AEDIE	有効エッジ検出割り込み許可ビット	有効エッジ検出時、AED割り込みを出力するかどうかを選択します 0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W (注1)
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b25-b24	BCCS[1:0]	バス衝突検出クロック選択ビット	バス衝突検出回路のサンプリングクロックを選択します。 SCR2.ABCSビット=1設定時は、本ビットBCCS[1:0]ビット=1x設定は禁止です b25 b24 0 0 : 基本クロック (注3) 0 1 : 基本クロックの2分周 1 0 : 基本クロックの4分周 1 1 : 設定禁止	R/W (注1)
b31-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

注2. TCSS[1:0]ビットの書き替えはタイマ停止時(XCR1.TCSTビット=0、XCR1.SDSTビット=0、かつXCR1.BRMEビット=0)に行ってください。

注3. RSCI基本クロック : SCR2.ABCSビット=0の場合、1ビット期間の1/16の周期、SCR2.ABCSビット=1の場合、1ビット期間の1/8の周期。

注4. 本ビットは、Start Frame受信動作に必要な設定ビットです。Start Frame受信動作、送信動作していない時(XCR1.SDSTビット=0かつXCR1.TCSTビット=0)に書き換えてください。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

拡張シリアルモジュール内のタイマカウントのクロックソースを選択します。

BFE ビット (Break Field 検出許可ビット)

Start Frame の Break Field 有無を選択します。

CF0RE ビット (Control Field 0 受信許可ビット)

Start Frame の Control Field 0 有無を選択します。

CF1DS[1:0] ビット (Control Field 1 比較データ選択ビット)

Control Field 1 の比較データを選択します。

PIBE ビット (プライオリティインタラプトビット許可ビット)

Control Field 1 のプライオリティインタラプトビット比較を有効にするかどうかを選択します。本ビットが“1”のとき、XCR1.CF1CE[7:0] ビット設定値によらず、PIBS[2:0] ビットで指定したビットの値を Control Field 1 のプライマリ比較データ (XCR1.PCF1D[7:0] ビット) の該当ビット値と比較します。

PIBS[2:0] ビット (プライオリティインタラプトビット選択ビット)

Control Field 1 のビット N (N=0~7) をプライオリティインタラプトビットに指定します。

BFOIE ビット (Break Field Low width 送出完了割り込み許可ビット)

Break Field 送出完了を TXI 割り込み要因に入れるかどうかを選択します。Break Field 送出完了で TXI を出力するためには、SCR0.TIE ビット = 1 かつ SCR3.MOD[2:0] ビット = 110b である必要があります。

BCDIE ビット (バス衝突検出割り込み許可ビット)

バス衝突検出時、ERI 割り込みを出力するかどうかを選択します。拡張シリアルモード (SCR3.MOD[2:0] ビット = 110b) 時、かつ BCDIE = 1 時は、SCR0.RIE ビット = 0 であってもバス衝突検出時に、ERI 割り込みが出ます。

COFIE ビット (カウントオーバーフロー割り込み許可ビット)

カウントオーバーフローを ERI 割り込み要因に入れるかどうかを選択します。カウントオーバーフローで ERI 割り込みを出力するためには、SCR0.RIE ビット = 1 かつ SCR3.MOD[2:0] ビット = 110b である必要があります。

AEDIE ビット (有効エッジ検出割り込み許可ビット)

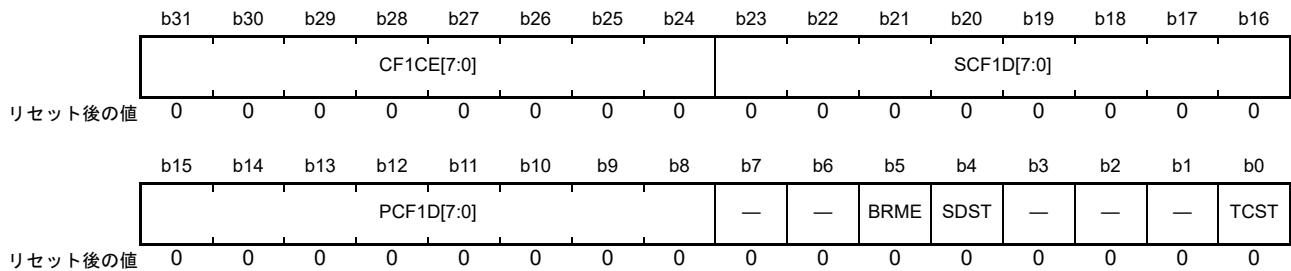
有効エッジ検出時、AED 割り込みを出力するかどうかを選択します。有効エッジ検出で AED 割り込みを出力するためには、XCR1.BRME ビット = 1 かつ SCR3.MOD[2:0] ビット = 110b である必要があります。

BCCS[1:0] ビット (バス衝突検出クロック選択ビット)

バス衝突検出回路のサンプリングクロックを選択します。

36.2.15 拡張シリアルモード制御レジスタ 1 (XCR1)

アドレス RSCI10.XCR1 000E 2038h, RSCI11.XCR1 000E 20B8h



ビット	シンボル	ビット名	機能	R/W
b0	TCST	Break Field Low width 出力タイマカウンタ開始ビット	0 : Break Field 送出タイマカウンタ停止 1 : Break Field 送出タイマカウンタ開始 本ビットとSDSTビットを同時に“1”にしないでください	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SDST	Start Frame 検出開始ビット	0 : Start Frame/Break Field の検出無効 1 : Start Frame/Break Field の検出有効 本ビットとTCSTビットを同時に“1”にしないでください	R/W (注1)
b5	BRME	ビットレート測定許可ビット	0 : ビットレート測定無効 1 : ビットレート測定有効 本ビットを“1”にする時はSDSTビットと同時に“1”にしてください。本ビットを“0”にする時は任意のタイミングで“0”にできます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15-b8	PCF1D[7:0]	プライマリ Control Field 1 比較データビット	Control Field 1 のプライマリ比較データ	R/W (注1)
b23-b16	SCF1D[7:0]	セカンダリ Control Field 1 比較データビット	Control Field 1 のセカンダリ比較データ	R/W (注1)
b31-b24	CF1CE[7:0]	Control Field 1 比較許可ビット	Control Field 1 の bit N をコンペアするかどうかを選択します (N = 0~7) 0 : Control Field 1 bit N コンペア無効 1 : Control Field 1 bit N コンペア有効	R/W (注1)

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

TCST ビット (Break Field Low width 出力タイマカウンタ開始ビット)

[0 になる条件]

- TCST ビットに“0”を書き込んだとき。Break Field 送出タイマカウンタを停止し、TXDn 端子の出力はアイドルレベルになります。
- XCR2.BFLW[15:0] ビットに設定した期間の Break Field 送出が完了したとき。

[1 になる条件]

- TCST ビットに“1”を書き込んだとき。TXDn 端子から Break Field 送出を開始します。Break Field 送出中“1”を保持します。

SDST ビット (Start Frame 検出開始ビット)

このビットに“1”を書くと Start Frame の検出を開始します。XCR0.BFE ビット=1 設定時は、Start Frame 検出中および、Start Frame 検出後も本ビットが“1”の間、Break Field を検出できます。XCR0.BFE ビット=0 設定時は、Break Field を検出しません。

このビットに“0”を書くと Start Frame 検出および、Break Field 検出を停止します。ただし、停止時に XSR0.RXDSF フラグ=0 であった場合、本ビットでデータ受信を停止することはできません。SCR0.RE ビットを“0”にし、受信動作を停止するか、受信完了後に受信完了処理 (SSR.RDRF フラグのクリア、もしくは RDR レジスタの読み出し) をしてください。

BRME ビット (ビットレート測定許可ビット)

本ビットを“1”にする場合は SDST ビットと同時に“1”にしてください。本ビットを“1”にすると、Control Field 0、Control Field 1 データの有効エッジ間隔を測定します。

PCF1D[7:0] ビット (プライマリ Control Field 1 比較データビット)

Control Field 1 のプライマリ比較データを設定します。

SCF1D[7:0] ビット (セカンダリ Control Field 1 比較データビット)

Control Field 1 のセカンダリ比較データを設定します。

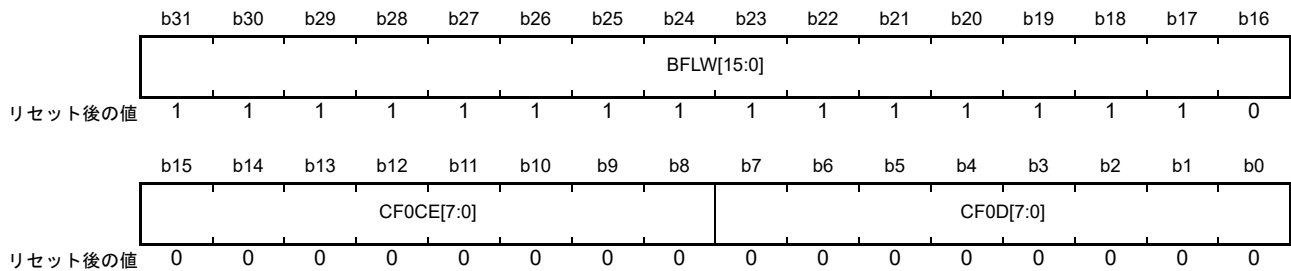
CF1CE[7:0] ビット (Control Field 1 比較許可ビット)

Control Field 1 のビット N (N=0～7) を比較するかどうかを設定します。

本ビットを全て“0”設定した場合 (CF1CE[7:0] ビット=00h)、受信完了時に Control Field 1 一致と判定し、XSR0.CF1MF フラグをセットします。本ビットは PCF1D[7:0] ビットもしくは SCF1D[7:0] ビットとの比較イネーブルであり、プライオリティインタラプトビットの比較イネーブルではありません。

36.2.16 拡張シリアルモード制御レジスタ 2 (XCR2)

アドレス RSCI10.XCR2 000E 203Ch, RSCI11.XCR2 000E 20BCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CF0D[7:0]	Control Field 0比較データビット	Control Field 0の比較データ	R/W (注1)
b15-b8	CF0CE[7:0]	Control Field 0比較許可ビット	Control Field 0のbit Nをコンペアするかどうかを選択します (N = 0~7) 0 : Control Field 0 bit Nコンペア無効 1 : Control Field 0 bit Nコンペア有効	R/W (注1)
b31-b16	BFLW[15:0]	Break Field Low width設定ビット	Break Field長を設定するビットです。 Break Field長は、(BFLW[15:0]設定値+ 1) × タイマカウンタクロックとなります。 本レジスタの設定許可上限値は、“FFFEh”です(“FFFFh”は設定禁止)	R/W (注1)

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

CF0D[7:0] ビット (Control Field 0 比較データビット)

Control Field 0 の比較データを設定します。

CF0CE[7:0] ビット (Control Field 0 比較許可ビット)

Control Field 0 のビット N (N = 0 ~ 7) を比較するかどうかを設定します。本ビットを全て“0”設定した場合 (CF0CE[7:0] ビット = 00h)、受信完了時に Control Field 0 一致と判定し、XSR0.CF0MF フラグをセットします。

BFLW[15:0] ビット (Break Field Low width 設定ビット)

BFLW[15:0] ビットは、16 ビットの Break Field 長設定ビットで、初期値は“FFFEh”です。

Break Field 長は 1 フレーム長以上を設定してください。LIN 規格では Break Field 長は 13bit 長以上と規定されています。

Break Field 送出時、TCST ビットに“1”を書き込むと、TXDn 端子から Break Field 送出を開始すると同時に、XCR0.TCSS[1:0] ビットで選択されたタイマカウンタクロックでアップカウントを行います。カウント値が本レジスタ設定値と一致すると、アップカウントを停止し、TXDn 端子からの Break Field 送出も停止します。

Break Field 検出時、SDST ビットに“1”を書き込むことにより、Start Frame 検出が可能になります。RXDn 信号の立ち上がりエッジを起点に、XCR0.TCSS[1:0] ビットで選択されたタイマカウンタクロックでアップカウントを行います。カウント値が本レジスタ設定値と一致すると、Break Field 検出と判定します。アップカウントは、次の有効エッジもしくは、カウンタがオーバーフローするまで続きます。

36.2.17 ステータスレジスタ (SSR)

アドレス RSCI10.SSR 000E 2048h, RSCI11.SSR 000E 20C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDRF	TEND	TDRE	AFER	APER	MFF	—	ORER	—	—	—	—	—	DFER	DPER	DCMF
リセット後の値	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXDMON	—	—	—	—	—	—	—	—	—	ERS	—	—	—	—	
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	ERS	エラーシグナルステータスフラグ	本ビットは、スマートカードインタフェースモード時のみ有効です 0：エラーシグナルLow応答なし 1：エラーシグナルLow応答あり	R
b14-b5	—	予約ビット	読むと“0”が読めます	R
b15	RXDMON	RXDラインモニタフラグ	RxDn端子の状態を示します RINVビット=0のとき 0：RxDn端子状態はLowレベル 1：RxDn端子状態はHighレベル RINVビット=1のとき 0：RxDn端子状態はHighレベル 1：RxDn端子状態はLowレベル	R
b16	DCMF	データ一致フラグ	(調歩同期モードのみ有効) 0：データ的一致検出なし 1：データ的一致検出あり	R
b17	DPER	一致データパリティエラーフラグ	(調歩同期モードのみ有効) 0：パリティエラーの発生なし 1：パリティエラーの発生あり	R
b18	DFER	一致データフレーミングエラーフラグ	(調歩同期モードのみ有効) 0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R
b23-b19	—	予約ビット	読むと“0”が読めます	R
b24	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R
b25	—	予約ビット	読むと“0”が読めます	R
b26	MFF	モードフォルトフラグ	本ビットは、簡易SPIモード時のみ有効です 0：モードフォルトなし 1：モードフォルトあり	R
b27	APER	総合パリティエラーフラグ	[非FIFOモード(SCR3.FMビット=0)時] 0：パリティエラーなし 1：パリティエラーあり [FIFOモード(SCR3.FMビット=1)時] 0：FIFO内の全受信データにパリティエラーの発生なし 1：FIFO内の1つ以上の受信データにパリティエラーの発生あり	R
b28	AFER	総合フレーミングエラーフラグ	[非FIFOモード(SCR3.FMビット=0)時] 0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり [FIFOモード(SCR3.FMビット=1)時] 0：FIFO内の全受信データにフレーミングエラーの発生なし 1：FIFO内の1つ以上の受信データにフレーミングエラーの発生あり	R

ビット	シンボル	ビット名	機能	R/W
b29	TDRE	送信データエンプティフラグ	[非FIFOモード(SCR3.FMビット=0)時] 0: TDRレジスタに書き込みデータあり 1: TDRレジスタに書き込みデータなし [FIFOモード(SCR3.FMビット=1)時] 0: 送信FIFOに書き込んだ送信データの数が、送信FIFOしきい値より多い 1: 送信FIFOに書き込んだ送信データの数が、送信FIFOしきい値以下	R
b30	TEND	送信完了フラグ	0: キャラクタを送信待機中または送信中 1: キャラクタを送信完了またはBreak Field送出中	R
b31	RDRF	受信データフルフラグ	[非FIFOモード(SCR3.FMビット=0)時] 0: RDRレジスタに受信データなし 1: RDRレジスタに受信データあり [FIFOモード(SCR3.FMビット=1)時] 0: 受信FIFO(RDRレジスタ)に格納された受信データ数が、受信FIFOしきい値より少ない 1: 受信FIFO(RDRレジスタ)に格納された受信データ数が、受信FIFOしきい値以上	R

ERS フラグ (エラーシグナルステータスフラグ)

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- SSCR.ERSC ビットに "1" を書き込んだとき

DCMF フラグ (データ一致フラグ)

受信したデータと SCR4.CMPD[8:0] ビットの一致を検出したことを示します。

SCR0.RE ビットをクリアしても、DCMF フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- SCR0.DCME ビットが "1" (データ一致検出機能有効) の状態で、受信完了したデータと SCR4.CMPD[8:0] ビットの値が一致したとき

["0"になる条件]

- SSCR.DCMFC ビットに "1" を書き込んだとき

DPER フラグ (一致データパリティエラーフラグ)

データ一致検出時にパリティエラーが発生したことを表示します。

SCR0.RE ビットをクリアしても、DPER フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- データ一致を検出したフレームでパリティエラーを検出したとき

["0"になる条件]

- SSCR.DPERC ビットに "1" を書き込んだとき

DPER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

DFER フラグ (一致データフレーミングエラーフラグ)

データ一致検出時にフレーミングエラーが発生したことを表示します。

SCR0.RE ビットをクリアしても、DFER フラグは影響を受けず以前の状態を保持します。

["1" になる条件]

- データ一致を検出したフレームのストップビットが“0”のとき
2ストップモードのときは、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。

["0" になる条件]

- SSCR.DFERC ビットに“1”を書き込んだとき
DFER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。SCR0.RE ビットをクリアしても、ORER フラグは影響を受けず以前の状態を保持します。簡易 I²C モードでは本ビットは使用しません。

["1" になる条件：非 FIFO モード (SCR3.FM ビット = 0) 時]

- 有効な受信エラーがない受信データが RDR レジスタに格納された状態で、RDR レジスタをリードしない
で次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに“1”がセットされた状態では、以降の受信データは RDR レジスタに転送されません。なお、クロック同期式モード、簡易 SPI モードでは、シリアル受信動作が停止します。

["1" になる条件：FIFO モード (SCR3.FM ビット = 1) 時]

- 受信 FIFO (RDR レジスタ) に 32 個のデータが格納されているときに、次のシリアルデータの受信を完了したとき

["0" になる条件]

- SSCR.ORERC ビットに“1”を書き込んだとき
ORER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

MFF フラグ (モードフォルトフラグ)

モードフォルトが発生したことを表示します。

マルチマスタ時は本ビットの読み出しによりモードフォルト判定を行ってください。

["1" になる条件]

- 簡易 SPI モードのマスタモード設定時 (SCR3.CKE[1:0] ビット = 00b または 01b) に、SSn# 端子入力が Low レベルになったとき

["0" になる条件]

- SSCR.MFFC ビットに“1”を書き込んだとき

APER フラグ (総合パリティエラーフラグ)

受信時にパリティエラーが発生して異常終了したことを表示します。SCR0.RE ビットをクリアしても、APER フラグは影響を受けず以前の状態を保持します。

クロック同期式モード、簡易 SPI モードおよび簡易 I²C モードでは本ビットは使用しません。

["1"になる条件]

- 受信時にパリティエラーを検出したとき (非 FIFO モード時)
- 受信 FIFO (RDR レジスタ)内の一つ以上の受信データにパリティエラーを検出したとき (FIFO モード時)
非 FIFO モード時にパリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、APER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- SSCR.APERC ビットに“1”を書き込んだとき
APER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

AFER フラグ (総合フレーミングエラーフラグ)

受信時にフレーミングエラーが発生して異常終了したことを表示します。SCR0.RE ビットをクリアしても、AFER フラグは影響を受けず以前の状態を保持します。

クロック同期式モード、簡易 SPI モードおよび簡易 I²C モードでは本ビットは使用しません。

["1"になる条件]

- 受信時にストップビットに“0”をサンプリングしたとき (非 FIFO モード時)
- 受信 FIFO (RDR レジスタ)内の一つ以上の受信データにフレーミングエラーを検出したとき (FIFO モード時)
- ストップビット1ビットに対して1/4と3/4のサンプリングポイントの2回のサンプリング結果が両方とも“1”でない場合 (マンチェスタモード時)

2ストップモードのときは、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。

なお、非 FIFO モード時にフレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、AFER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

拡張シリアルモードで XCR1.SDST ビット = 1 時、“1”になる条件が発生しても、Break Field である可能性があるため、最長で Break Field 判定タイミングまで AFER セットタイミングが遅れます。Break Field 判定タイミング前に RXD 信号にエッジを検出した場合は、AFER 検出となります。Break Field 判定タイミングまでに RXD 信号にエッジを検出なかった場合は、Break Field 検出となります。

["0"になる条件]

- SSCR.AFERC ビットに“1”を書き込んだとき
AFER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

TDRE フラグ (送信データエンptyフラグ)

(1) 非 FIFO モード (SCR3.FM ビット=0) 時

TDR レジスタ内の送信データの有無を示します。

SCR0.TE ビット=0 の条件は、“0”になる条件より優先されます。

これ以外の“1”になる条件と“0”になる条件が同時に成立した場合、TDRE フラグは“0”になります。

["1"になる条件]

- SCR0.TE ビットが“0”のとき
- TDR レジスタから TSR レジスタにデータが転送されたとき

["0"になる条件]

- SSCR.TDREC ビットに“1”を書き込んだとき
- SCR0.TE ビットが“1”の状態、TDR レジスタにデータを書き込んだとき

(2) FIFO モード (SCR3.FM ビット=1) 時

送信 FIFO から TSR レジスタにデータが転送され、送信 FIFO のデータ数が送信 FIFO しきい値以下になったことを示します。

“1”になる条件と“0”になる条件が同時に成立した場合、TDRE フラグは“0”になります。その後、送信 FIFO に格納されたデータ数を再判定し、しきい値以下であれば 1PCLK 後に再度“1”になります。

["1"になる条件]

- 送信 FIFO に書き込んだ送信データの数が送信 FIFO しきい値以下のとき (注 1)

["0"になる条件]

- SSCR.TDREC ビットに“1”を書き込んだとき
- DTC/DMA 転送 (ブロック転送時は、ブロックの最終転送) により、TDR レジスタに送信データを書き込んだとき

注 1. 送信 FIFO (TDR レジスタ) は 32 段の FIFO レジスタであるため、TDRE フラグが“1”のときに書き込むことができるデータの最大数は、「32 - TFSR.T[5:0]」になります。それ以上のデータを書き込もうとしてもデータは無視されます。

TEND フラグ (送信完了フラグ)

(1) 非 FIFO モード (SCR3.FM ビット=0)、かつ非スマートカードインタフェースモード (SCR3.MOD[2:0] ビット≠ 001b) 時

送信が終了したことを表示します

["1"になる条件]

- SCR0.TE ビットが“0”のとき
- SCR0.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき
- DE 制御機能有効時 (SCR3.DEEN ビット=1) は、DE 信号ホールド時間終了時、TDR レジスタが更新されていないとき
- Break Field 送出中

["0"になる条件]

- SCR0.TE ビットが“1”の状態、TDR レジスタへ送信データを書き込んだとき
- SCR0.TE ビットが“1”の状態、SSCR.TDREC ビットに“1”を書き込んだとき

TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

(2) 非 FIFO モード (SCR3.FM ビット = 0)、かつスマートカードインタフェースモード (SCR3.MOD[2:0] ビット = 001b) 時

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったときセットされます。

["1" になる条件]

- SCR0.TE ビット = 0 のとき
- SCR0.TE ビットを "0" から "1" にするときは、TEND フラグは影響を受けず "1" の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないときセットされるタイミングは、レジスタの設定により以下のように異なります。
GM = 0、BLK = 0 のとき、送信開始から 12.5 etu 後
GM = 0、BLK = 1 のとき、送信開始から 11.5 etu 後
GM = 1、BLK = 0 のとき、送信開始から 11.0 etu 後
GM = 1、BLK = 1 のとき、送信開始から 11.0 etu 後

["0" になる条件]

- SCR0.TE ビットが "1" の状態で TDR レジスタへの送信データ書き込み後
- SCR0.TE ビットが "1" の状態で、SSCR.TDREC ビットに "1" を書き込んだとき

(3) FIFO モード (SCR3.FM ビット = 1) 時

送信待機中または送信フレームの最後尾ビットの送信時に送信 FIFO (TDR レジスタ) に有効なデータがなく、送信を終了したことを示します。

["1" になる条件]

- 1 フレームの送信時、最後尾ビットを送信したときに送信 FIFO (TDR レジスタ) に送信データがないとき
- DE 制御機能有効時 (SCR3.DEEN ビット = 1) は、DE 信号ホールド時間終了時、TDR レジスタが更新されていないとき

["0" になる条件]

- SCR0.TE ビットが "1" の状態で、TDR.TDAT[7:0] ビットへの送信データ書き込み後

RDRF フラグ (受信データフルフラグ)

(1) 非 FIFO モード (SCR3.FM ビット=0) 時

RDR レジスタ内の受信データの有無を示します。

["1"になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタに受信データが転送されたとき

["0"になる条件]

- SSCR.RDRFC ビットに "1" を書き込んだとき
- RDR レジスタからデータを読み出したとき

(2) FIFO モード (SCR3.FM ビット=1) 時

受信データが受信 FIFO (RDR レジスタ) に転送されたときに、受信 FIFO (RDR レジスタ) に格納されたデータの数が、受信 FIFO しきい値以上になったことを示します。受信 FIFO しきい値を "0" にした場合は、1 つ以上のデータを受信しなければフラグはセットされません。

["1"になる条件]

- 受信 FIFO しきい値以上の受信データが受信 FIFO (RDR レジスタ) に格納されたとき (注2)

["0"になる条件]

- SSCR.RDRFC ビットに "1" を書き込んだとき
- DTC/DMA 転送 (ブロック転送時は、ブロックの最終転送) により、受信 FIFO (RDR レジスタ) から受信データを読み出したとき

"1"になる条件と "0"になる条件が同時に成立した場合、RDRF フラグは "0" になります。その後、受信 FIFO (RDR レジスタ) に格納されたデータ数を再判定し、しきい値以上であれば 1clkp 後に再度 "1" になります。

注2. 受信 FIFO は 32 段の FIFO レジスタであるため、RDRF フラグが "1" のときに読み出すことができるデータの最大数は、RFSR.R[5:0] ビットで示されます。受信 FIFO のすべてのデータを読み出した後、さらに読み出しを続けると不定が読めます。

注. 非 FIFO モード時、通信を中断する場合以外は、SSCR レジスタによって RDRF フラグと TDRE フラグをクリアしないでください。

36.2.18 I²C ステータスレジスタ (SISR)

アドレス RSCI10.SISR 000E 204Ch, RSCI11.SISR 000E 20CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIF	—	—	IICACKR
リセット後の値	0	0	0	0	0	0	0	0	0	0	x	x	0	x	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0: ACK受信 1: NACK受信	R
b1	—	予約ビット	読むと“0”が読めます	R
b2	—	予約ビット	読むと不定値が読めます	R
b3	IICSTIF	コンディション生成完了フラグ	0: 各コンディション生成要求がない状態、または生成中の状態 1: 各コンディション生成が完了した状態	R
b5-b4	—	予約ビット	読むと不定値が読めます	R
b31-b6	—	予約ビット	読むと“0”が読めます	R

IICACKR フラグ (ACK 受信データフラグ)

受信された ACK/NACK ビットを読み出せます。

本フラグの更新は、ACK/NACK を受信するビットの SSCLn の立ち上がりタイミングで行われます。

IICSTIF フラグ (コンディション生成完了フラグ)

各コンディション生成実行後、生成完了した状態を示します。IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各コンディションの生成を行うときは、本フラグをクリアしてから生成を実行してください。

SCR0.TEIE ビットで割り込み要求が許可された状態で、本フラグが“1”の場合にスタートコンディション / リスタートコンディション / ストップコンディション生成完了 (STI) 割り込み要求が出力されます。

[“1”になる条件]

- スタート/リスタート/ストップの各コンディションの生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます)

[“0”になる条件]

- SISCR.IICSTIFC ビットに“1”を書き込んだとき
- 簡易 I²C モード以外するとき
- TE ビットが“0”のとき

36.2.19 受信 FIFO ステータスレジスタ (RFSR)

アドレス RSCI10.RFSR 000E 2050h, RSCI11.RFSR 000E 20D0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	FEC[5:0]						—	—	PEC[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	R[5:0]						—	—	—	—	—	—	—	—	DR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ	0: 受信中、または正常に受信を完了した後受信FIFO (RDRレジスタ)の受信データをすべて読み出した(受信FIFOが空) 1: しきい値未満のデータを受信FIFO (RDRレジスタ)に格納した後、次の受信データが一定期間来ない	R
b1	—	予約ビット	読み出し値は不定です	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b13-b8	R[5:0]	受信FIFOデータカウントビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモードで、SCR3.FMビット=1のときのみ有効) 受信FIFO (RDRレジスタ)に格納された受信データの数を示します	R
b15-b14	—	予約ビット	読むと“0”が読めます	R
b21-b16	PEC[5:0]	パリティエラーカウントビット	(調歩同期式モードで有効です) 受信FIFO (RDRレジスタ)に格納されている受信データのうち、パリティエラーが発生したデータの数を示します	R
b23-b22	—	予約ビット	読むと“0”が読めます	R
b29-b24	FEC[5:0]	フレーミングエラーカウントビット	(調歩同期式モードで有効です) 受信FIFO (RDRレジスタ)に格納されている受信データのうち、フレーミングエラーが発生したデータの数を示します	R
b31-b30	—	予約ビット	読むと“0”が読めます	R

DR フラグ (受信データレディフラグ)

受信後に受信FIFOに格納されたデータの数が受信FIFOしきい値より少ない状態で15 etu経過したことを示します。このフラグは調歩同期式モード(マルチプロセッサモードを含む)でFIFOバッファを有効にしたときのみ“1”になり、他の動作モードでは“1”になりません。

["1"になる条件]

SSR.AFER、APERフラグが“0”でかつ受信FIFOしきい値未満のデータが受信FIFO (RDRレジスタ)に格納されたときに、最後のストップビットの検出から15 etu(注1)の時間が経過した後も次のデータが受信されないとき

["0"になる条件]

- SCR3.FMビットが“0”のとき
- 受信FIFO (RDRレジスタ)内の受信データをすべて読み出し、RFSCR.DRCビットに“1”を書き込んだとき
FCR.DRESビットを“1”にしてDRフラグを受信エラー割り込み要因に設定した場合、DRフラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

注1. 8ビット、1ストップビットのフォーマットの1.5フレーム分に相当します (etu : Element Time Unit : 要素時間単位)。

R[5:0] ビット (受信 FIFO データカウントビット)

受信 FIFO (RDR レジスタ) に格納された受信データの数を示します。

“00h” は受信データがないことを、“20h” は受信 FIFO (RDR レジスタ) がいっぱいであることを示します。

PEC[5:0] ビット (パリティエラーカウントビット)

受信 FIFO (RDR レジスタ) に格納されている受信データのうち、パリティエラーが発生したデータの数を示します。

FEC[5:0] ビット (フレーミングエラーカウントビット)

受信 FIFO (RDR レジスタ) に格納されている受信データのうち、フレーミングエラーが発生したデータの数を示します。

36.2.20 送信 FIFO ステータスレジスタ (TFSR)

アドレス RSCI10.TFSR 000E 2054h, RSCI11.TFSR 000E 20D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	T[5:0]					—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b5-b0	T[5:0]	送信FIFOデータカウントビット	(調歩同期式モード(マルチプロセッサモードを含む)またはクロック同期式モード、簡易SPIモードで、SCR3.FMビット=1のときのみ有効) 送信FIFO (TDRレジスタ)に格納された未送信データの数を示します	R
b31-b6	—	予約ビット	読むと“0”が読めます	R

T[5:0] ビット (送信 FIFO データカウントビット)

送信 FIFO (TDR レジスタ) に格納された未送信データの数を示します。

“00h” は未送信データがないことを示します。“20h” は送信 FIFO (TDR レジスタ) がいっぱいであることを示します。

36.2.21 マンチェスタモードステータスレジスタ (MMSR)

アドレス RSCI10.MMSR 000E 2058h, RSCI11.MMSR 000E 20D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	RSYNC	0	MCER	0	SBER	0	PFER

ビット	シンボル	ビット名	機能	R/W
b0	PFER	プリフェースエラーフラグ	プリフェース検出で、パターン不一致を検出した場合にセットされます 0: プリフェースエラー検出なし 1: プリフェースエラー検出あり	R
b1	SYER	Syncエラーフラグ	受信リタイミング動作時に、補正可能範囲にエッジを検出できなかった場合にセットされます 0: 受信Syncエラー検出なし 1: 受信Syncエラー検出あり	R
b2	SBER	スタートビットエラーフラグ	スタートビット検出時に、パターン不一致を検出した場合にセットされます 0: スタートビットエラー検出なし 1: スタートビットエラー検出あり	R
b3	—	予約ビット	読むと“0”が読めます	R
b4	MCER	マンチェスタコードエラーフラグ	マンチェスタモード時のみ有効 0: マンチェスタコードエラー発生なし 1: マンチェスタコードエラー発生あり	R
b5	—	予約ビット	読むと“0”が読めます	R
b6	RSYNC	受信Syncデータビット	マンチェスタモードで、MMCR.SBLENビット=1の場合有効となり、それ以外の場合読み出し値としては“0”となります 0: スタートビットはデータSyncを受信 1: スタートビットはコマンドSyncを受信	R
b31-b7	—	予約ビット	読むと“0”が読めます	R

PFER フラグ (プリフェースエラーフラグ)

マンチェスタモードでフレーム受信時にプリフェースエラーを検出したことを表示します。

SCR0.RE ビットをクリアしても、PFER フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- マンチェスタモードで受信を行い、プリフェースエラーを検出したとき
プリフェースエラーが発生したとき、以下の動作をします。

<MMCR.PFERIE ビット = 1 の場合>

受信データは RDR レジスタに転送されず、RXI 割り込み要求も発生せず、ERI 割り込み要求が発生しません。なお、PFER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

<MMCR.PFERIE ビット = 0 の場合>

受信データは RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。PFER フラグが“1”にセットされた状態でも、以降の受信動作に影響ありません。

["0"になる条件]

- MMSCR.PFERC ビットに“1”を書き込んだとき
PFER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

SYER フラグ (Sync エラーフラグ)

マンチェスタモードで、かつマンチェスタエッジリタイミングイネーブル設定時 (MMCR.SADJE ビット = 1) の場合、フレーム受信時に受信 Sync エラーを検出したことを表示します。

SCR0.RE ビットをクリアしても、SYER フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- マンチェスタモードで受信を行い、受信 Sync エラーを検出したとき
受信 Sync エラーが発生したとき、以下の動作をします。
<MMCR.SYERIE ビット = 1 の場合>
受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生せず、ERI 割り込み要求が発生します。なお、SYER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。
<MMCR.SYERIE ビット = 0 の場合>
受信データは RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。SYER フラグが“1”にセットされた状態でも、以降の受信動作に影響ありません。

["0"になる条件]

- MMSCR.SYERC ビットに“1”を書き込んだとき
SYER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

SBER フラグ (スタートビットエラーフラグ)

マンチェスタモードでフレーム受信時にスタートビットエラーを検出したことを表示します。

SCR0.RE ビットをクリアしても、SBER フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- マンチェスタモードで受信を行い、スタートビットエラーを検出したとき
スタートビットエラーが発生したとき、以下の動作をします。
<MMCR.SBERIE ビット = 1 の場合>
受信データは RDR レジスタに転送されず、RXI 割り込み要求も発生せず、ERI 割り込み要求が発生します。なお、SBER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。
<MMCR.SBERIE ビット = 0 の場合>
受信データは RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。SBER フラグが“1”にセットされた状態でも、以降の受信動作に影響ありません。

["0"になる条件]

- MMSCR.SBERC ビットに“1”を書き込んだとき
SBER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

MCER フラグ (マンチェスタコードエラーフラグ)

マンチェスタモードでデータ受信時にマンチェスタコードのエラーを検出して異常終了したことを表示します。

SCR0.RE ビットをクリアしても、MCER フラグは影響を受けず以前の状態を保持します。

[“1”になる条件]

- マンチェスタモードで受信を行い、受信フレームのデータ領域(パリティ/マルチプロセッサビットを含む)でマンチェスタコードエラーを検出した場合

エラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なおマンチェスタコードエラーフラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

マンチェスタコードエラーについて、詳細は「36.5.11 マンチェスタモードにおけるエラー」を参照してください。

[“0”になる条件]

- MMSCR.MCERC ビットに“1”を書き込んだとき

MCER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「15.5.2 レベル検出割り込み」の手順を参照してください。

RSYNC ビット (受信 Sync データビット)

マンチェスタモード選択時(SCR3.MOD[2:0] ビット = 101b)で MMCR.SBLEN ビット = 1 に設定されている場合、有効となり受信データ中のスタートビットの Sync モード(データ Sync/ コマンド Sync)を示します。それ以外の場合、読み出し値は“0”となります。

36.2.22 拡張シリアルモードステータスレジスタ 0 (XSR0)

アドレス RSCI10.XSR0 000E 205Ch, RSCI11.XSR0 000E 20DCh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CF1RD[7:0]								CF0RD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AEDF	COF	PIBDF	CF1MF	CF0MF	BFDF	BCDF	BFOF	—	—	—	—	—	—	RXDSF	SFSF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFSF	Start Frame ステータスフラグ	0 : Start Frame 検出機能無効状態、または Start Frame 検出完了 1 : Start Frame 検出前、または検出中	R (注1)
b1	RXDSF	RXD 入力ステータスフラグ	0 : RSCI コア部への RXD 入力許可状態 1 : RSCI コア部への RXD 入力禁止状態 (RSCI コア部へ RXD は入力されない)	R (注1)
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	BFOF	Break Field Low width 送出完了フラグ	0 : Break Field 送出中または送出していない 1 : Break Field の送出を完了した	R
b9	BCDF	バス衝突検出フラグ	0 : バス衝突を検出していない 1 : バス衝突を検出した	R
b10	BFDF	Break Field Low width 検出フラグ	0 : Break Field を検出していない 1 : Break Field を検出した	R
b11	CF0MF	Control Field 0 一致フラグ	0 : Control Field 0 受信データが設定データと不一致 1 : Control Field 0 受信データが設定データと一致	R
b12	CF1MF	Control Field 1 一致フラグ	0 : Control Field 1 受信データが設定データと不一致 1 : Control Field 1 受信データが設定データと一致	R
b13	PIBDF	プライオリティインタラプトビット検出フラグ	0 : プライオリティインタラプトビットを検出していない 1 : プライオリティインタラプトビットを検出した	R
b14	COF	カウントオーバーフローフラグ	0 : Break Field 検出用カウンタがオーバーフローしていない 1 : Break Field 検出用カウンタがオーバーフローした	R
b15	AEDF	有効エッジ検出フラグ	0 : 有効エッジを検出していない 1 : 有効エッジを検出した	R
b23-b16	CF0RD[7:0]	Control Field 0 受信データビット	Control Field 0 の受信データ	R
b31-b24	CF1RD[7:0]	Control Field 1 受信データビット	Control Field 1 の受信データ	R

注1. 受信データフル割り込み (RXI) から 1PCLK サイクル以上待ってから本レジスタを読み出してください。

SFSF フラグ (Start Frame ステータスフラグ)

Start Frame 検出中かどうかを示します。

[“1”になる条件]

- XCR1.SDST ビットに“1”を書いたとき
- Control Field 0、Control Field 1、Information Field フェーズで Break Field を検出し、Control Field 0 または Control Field 1 の受信ステータスに遷移したとき

[“0”になる条件]

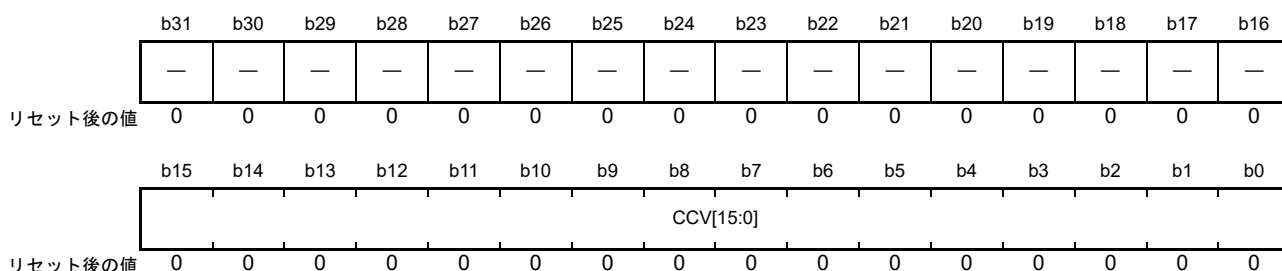
- XCR1.SDST ビットが“0”のとき
- Start Frame 検出完了したとき

RXDSF フラグ (RXD 入力ステータスフラグ)

RSCI コア部への RXD 入力ステータスを示します。本ビットが“1”のとき、RXD 入力は拡張シリアルモジュールでのみ受信して Break Field を検出しており、RSCI コア部へは入力されません。

36.2.23 拡張シリアルモードステータスレジスタ 1 (XSR1)

アドレス RSCI10.XSR1 000E 2060h, RSCI11.XSR1 000E 20E0h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CCV[15:0]	取得カウント値ビット	16ビットのカウンタキャプチャ値を格納します	R
b31-b16	—	予約ビット	読むと“0”が読めます	R

CCV[15:0] ビット (取得カウント値ビット)

拡張シリアルモジュール内の16ビットカウンタのキャプチャ値を格納します。

Start Frame 送信時

本レジスタは、前値を保持します。

Start Frame 受信 (ビットレート測定無効時)

Break Field 検出状態 (図 36.73) で Break Field を検出した場合は、Break Field 長をキャプチャし、保持します (RXD 立ち上がりエッジでカウント値をキャプチャ)。

Break Field 検出状態以外で Break Field を検出した場合は、前値を保持します。

カウンタがオーバフローした場合は、キャプチャしません。

Start Frame 受信 (ビットレート測定有効時)

有効エッジ (RXD 両エッジ) でカウント値をキャプチャし保持します。ただし、Break Field 検出状態では有効エッジが発生してもカウント値をキャプチャしません。なお、カウンタキャプチャ値の保持は、本レジスタを読み出すことにより解除されます。読む前に有効エッジが発生しても、カウント値はキャプチャされません。

36.2.24 ステータスクリアレジスタ (SSCR)

アドレス RSCI10.SSCR 000E 2068h, RSCI11.SSCR 000E 20E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDRFC	—	TDREC	AFERC	APERC	MFFC	—	ORERC	—	—	—	—	—	DFERC	DPERC	DCMFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	ERSC	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	ERSC	ERSクリアビット	本ビットを“1”にすると、SSR.ERSフラグをクリアします。読み出し値は常に0です	W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	DCMFC	DCMFクリアビット	本ビットを“1”にすると、SSR.DCMFフラグをクリアします。読み出し値は常に0です	W
b17	DPERC	DPERクリアビット	本ビットを“1”にすると、SSR.DPERフラグをクリアします。読み出し値は常に0です	W
b18	DFERC	DFERクリアビット	本ビットを“1”にすると、SSR.DFERフラグをクリアします。読み出し値は常に0です	W
b23-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	ORERC	ORERクリアビット	本ビットを“1”にすると、SSR.ORERフラグをクリアします。読み出し値は常に0です	W
b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b26	MFFC	MFFクリアビット	本ビットを“1”にすると、SSR.MFFフラグをクリアします。読み出し値は常に0です	W
b27	APERC	APERクリアビット	本ビットを“1”にすると、SSR.APERフラグをクリアします。読み出し値は常に0です	W
b28	AFERC	AFERクリアビット	本ビットを“1”にすると、SSR.AFERフラグをクリアします。読み出し値は常に0です	W
b29	TDREC	TDREクリアビット	本ビットを“1”にすると、SSR.TDREフラグをクリアします。読み出し値は常に0です	W
b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31	RDRFC	RDRFクリアビット	本ビットを“1”にすると、SSR.RDRFフラグをクリアします。読み出し値は常に0です	W

36.2.25 I²C ステータスクリアレジスタ (SISCR)

アドレス RSCI10.SISCR 000E 206Ch, RSCI11.SISCR 000E 20ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIF C	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b2	—	予約ビット	読むと“0”が読めます	R
b3	IICSTIFC	IICSTIFクリアビット	本ビットを“1”にすると、SISR.IICSTIFフラグをクリアします。 読み出し値は常に“0”です	W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

36.2.26 受信 FIFO ステータスクリアレジスタ (RFSCR)

アドレス RSCI10.RFSCR 000E 2070h, RSCI11.RFSCR 000E 20F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRC	DRクリアビット	本ビットを“1”にすると、RFSR.DRフラグをクリアします。 読み出し値は常に“0”です	W
b1	—	予約ビット	読むと“0”が読めます	R
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

36.2.27 マンチェスタモードステータスクリアレジスタ (MMSCR)

アドレス RSCI10.MMSCR 000E 2074h, RSCI11.MMSCR 000E 20F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	MCERC	—	SBERC	SYERC	PFERC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PFERC	PFERクリアビット	本ビットを“1”にすると、MMSR.PFERフラグをクリアします。 読み出し値は常に“0”です	W
b1	SYERC	SYERクリアビット	本ビットを“1”にすると、MMSR.SYERフラグをクリアします。 読み出し値は常に“0”です	W
b2	SBERC	SBERクリアビット	本ビットを“1”にすると、MMSR.SBERフラグをクリアします。 読み出し値は常に“0”です	W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	MCERC	MCERクリアビット	本ビットを“1”にすると、MMSR.MCERフラグをクリアします。 読み出し値は常に“0”です	W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

36.2.28 拡張シリアルモードステータスクリアレジスタ (XSCR)

アドレス RSCI10.XSCR 000E 2078h, RSCI11.XSCR 000E 20F8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AEDCL	COFC	PIBDC L	CF1MC L	CF0MC L	BFDCL	BCDCL	BFOC	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	BFOC	BFOFクリアビット	本ビットを“1”にすると、XSR0.BFOFフラグをクリアします。読み出し値は常に“0”です	W
b9	BCDCL	BCDFクリアビット	本ビットを“1”にすると、XSR0.BCDFフラグをクリアします。読み出し値は常に“0”です	W
b10	BFDCL	BFDLクリアビット	本ビットを“1”にすると、XSR0.BFDLフラグをクリアします。読み出し値は常に“0”です	W
b11	CF0MCL	CF0MFクリアビット	本ビットを“1”にすると、XSR0.CF0MFフラグをクリアします。読み出し値は常に“0”です	W
b12	CF1MCL	CF1MFクリアビット	本ビットを“1”にすると、XSR0.CF1MFフラグをクリアします。読み出し値は常に“0”です	W
b13	PIBDC	PIBDFクリアビット	本ビットを“1”にすると、XSR0.PIBDFフラグをクリアします。読み出し値は常に“0”です	W
b14	COFC	COFクリアビット	本ビットを“1”にすると、XSR0.COFフラグをクリアします。読み出し値は常に“0”です	W
b15	AEDCL	AEDFクリアビット	本ビットを“1”にすると、XSR0.AEDFフラグをクリアし、XSR1レジスタ保持を解除します。読み出し値は常に“0”です	W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

36.2.29 HBS サポートモード制御レジスタ (HBSCR)

アドレス RSCI10.HBSCR 000E 201Eh, RSCI11.HBSCR 000E 209Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LPS	AOE	—	HBSE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HBSE	HBSサポートモード許可ビット	0: データ“0”のパルス幅を100%にする(NRZ符号) 1: データ“0”のパルス幅を50%にする(RZI符号化してさらに論理反転)	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b2	AOE	交互出力許可ビット	0: TXDn 端子から出力 1: TXDAn 端子と TXDBn 端子からデータ“0”を交互に出力	R/W (注1)
b3	LPS	先行出力端子選択ビット	0: HBSE = 1かつAOEビット= 1時、TXDAn 端子から通信開始 1: HBSE = 1かつAOEビット= 1時、TXDBn 端子から通信開始	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TE ビット= 0、SCR0.RE ビット= 0 のとき、書き込み可能です。

HBSE ビット (HBS サポートモード許可ビット)

本ビットが“1”のとき送信データを負論理 RZI 符号にエンコードして送信し、受信信号を NRZ 符号にデコードして受信します。また TXDAn/TXDBn 端子から送信データを出力することもできます。調歩同期式モード時でのみ使用してください。

AOE ビット (交互出力許可ビット)

HBS サポートモード時に、TXDn 端子から出力するか、データ“0”を TXDAn 端子と TXDBn 端子に交互に出力するかを選択するビットです。

LPS ビット (先行出力端子選択ビット)

HBS サポートモード時で、AOE ビット= 1 のときに使用するビットです。

“0”にした場合、TXDAn 端子からスタートビットを送信し、TXDBn 端子 /TXDAn 端子交互にデータ“0”を出力します。

“1”にした場合、TXDBn 端子からスタートビットを送信し、TXDAn 端子 /TXDBn 端子交互にデータ“0”を出力します。

詳細は、「36.6 HBS サポートモード」の動作説明を参照ください。

36.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 36.3 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

RSCI は通信回線を監視し、SCR3.RXDESEL ビットが “0” のときはスペース (Low) を、SCR3.RXDESEL ビットが “1” のときはスペース (Low) への立ち下がりエッジを検出するとスタートビットとみなしてシリアル通信を開始します。

RSCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造 (FIFO バッファ構成も選択可能) になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

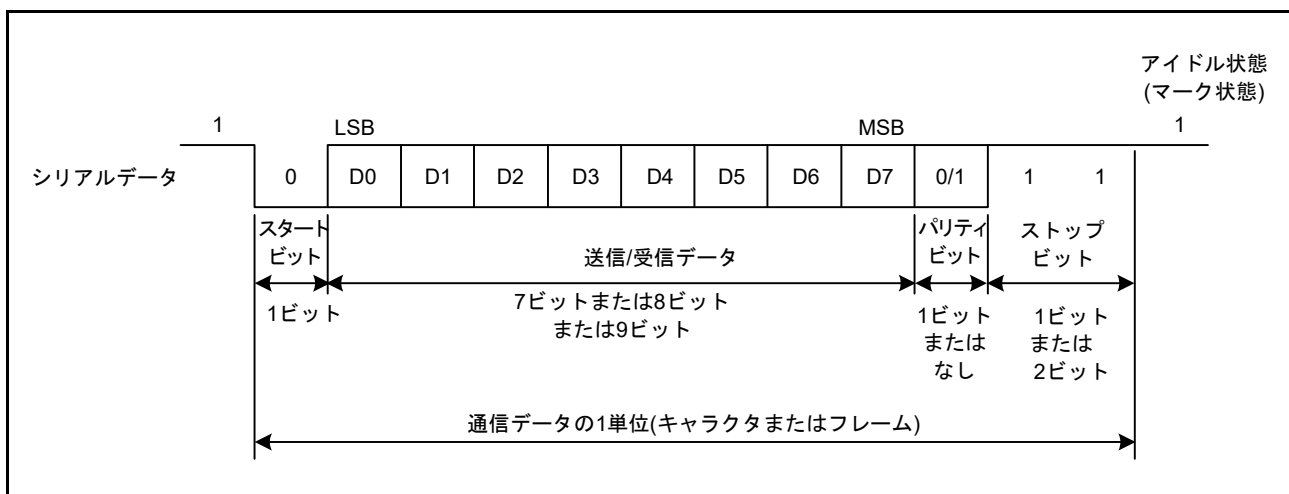


図 36.3 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

36.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 36.27 に示します。

フォーマットは 18 種類あり、SCR1 レジスタおよび SCR3 レジスタの設定により選択できます。マルチプロセッサ機能の詳細については「36.4 マルチプロセッサ通信機能」を参照してください。

表36.27 シリアル送信/受信フォーマット(調歩同期式モード)

SCR3の設定		SCR1 の設定	SCR3の設定		シリアル送信/受信フォーマットとフレーム長																				
CHR[1]	CHR[0]	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13								
0	0	0	0	0	S	9ビットデータ									STOP										
0	0	0	0	1	S	9ビットデータ									STOP	STOP									
0	0	1	0	0	S	9ビットデータ									P	STOP									
0	0	1	0	1	S	9ビットデータ									P	STOP	STOP								
1	0	0	0	0	S	8ビットデータ								STOP											
1	0	0	0	1	S	8ビットデータ								STOP	STOP										
1	0	1	0	0	S	8ビットデータ								P	STOP										
1	0	1	0	1	S	8ビットデータ								P	STOP	STOP									
1	1	0	0	0	S	7ビットデータ							STOP												
1	1	0	0	1	S	7ビットデータ							STOP	STOP											
1	1	1	0	0	S	7ビットデータ							P	STOP											
1	1	1	0	1	S	7ビットデータ							P	STOP	STOP										
0	0	—	1	0	S	9ビットデータ									MPB	STOP									
0	0	—	1	1	S	9ビットデータ									MPB	STOP	STOP								
1	0	—	1	0	S	8ビットデータ								MPB	STOP										
1	0	—	1	1	S	8ビットデータ								MPB	STOP	STOP									
1	1	—	1	0	S	7ビットデータ							MPB	STOP											
1	1	—	1	1	S	7ビットデータ							MPB	STOP	STOP										

S: スタートビット
 STOP: ストップビット
 P: パリティビット
 MPB: マルチプロセッサビット

36.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、RSCI はビットレートの 16 倍 (注 1) の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します (注 2)。また、サンプリング調整未実施時 (SCR4.RTADJ ビット = 0、あるいは、SCR4.RTADJ ビット = 1 かつ SCR4.RTMG[2:0] ビット = 000b) は、図 36.4 に示すように受信データを基本クロックの 8 サイクル目 (注 1) の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 (\%) \quad \dots \text{式(1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SCR2.ABCSE ビットが“0”、かつ SCR2.ABCS ビットが“0”のとき N = 16
- SCR2.ABCSE ビットが“0”、かつ SCR2.ABCS ビットが“1”のとき N = 8
- SCR2.ABCSE ビットが“1”のとき N = 6

D: クロックのデューティ (D = 0.5 ~ 1.0)

L: フレーム長 (L = 9 ~ 13)

F: クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875 (\%)$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

注 1. SCR2.ABCSE ビットが“0”、かつ SCR2.ABCS ビットが“0”のときの例です。ABCSE ビットが“0”、かつ ABCS ビットが“1”のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。また、ABCSE ビットが“1”のときは、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 番目の立ち上がりエッジでサンプリングします。

注 2. スタートビット判定条件を以下に示す。

受信サンプリングタイミング調整機能 OFF (RTADJ ビット = 0) 時:

スタートビット判定条件は、Low レベル検出から、半ビット長の Low が継続していることであり、データのサンプリングタイミングと一致しています。

図 36.4 の例の場合、1 ビット長が 16 クロックなので、Low レベルを検出してから、半ビット長 (8 クロック) の Low が継続する必要があります。半ビット長の Low が継続しなかった場合、立ち下がり検出はノイズであったと判断し、受信を開始せず次のスタートビットを待ちます。

受信サンプリングタイミング調整機能 ON (RTADJ ビット = 1) 時:

スタートビット判定条件は、Low レベル検出からデータサンプリングタイミングまで、Low が継続していることです。

そのため、サンプリングタイミングを前 (RTMG[3] ビット = 1) に調整した場合は、ノイズをスタートビットと誤判定する可能性が高くなります。

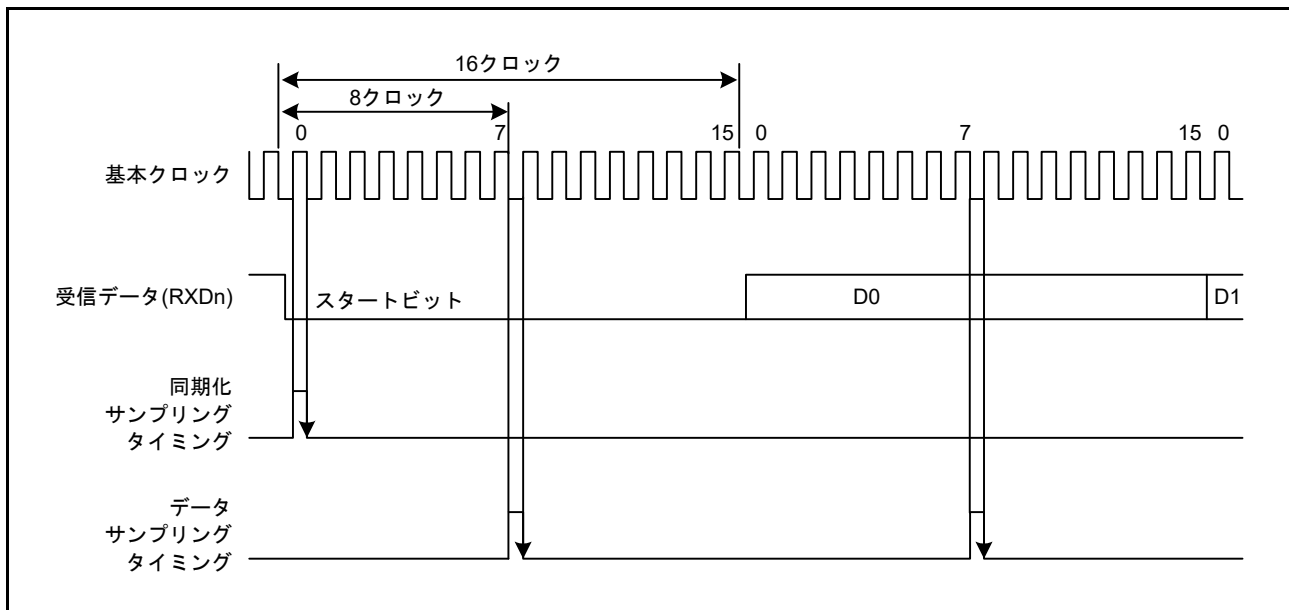


図 36.4 調歩同期式モードの受信データサンプリングタイミング

36.3.3 クロック

RSCIの送受信クロックは、SCR3.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍(SCR2.ABCSビット=0のとき)、8倍(SCR2.ABCSビット=1のとき)の周波数のクロックを入力してください。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図36.5に示すように送信データの中央でクロックが立ち上がります。クロック出力を選択した場合は、SCR0.TEビット=1もしくはSCR0.REビット=1に設定した後でクロック出力が行われます。

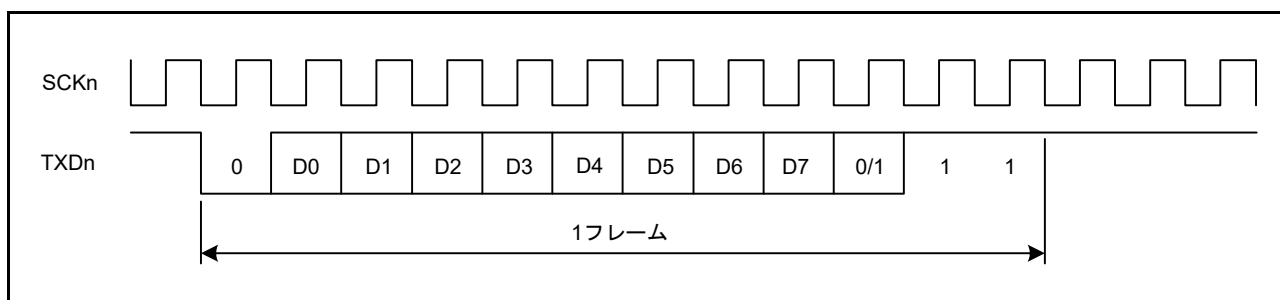


図 36.5 出力クロックと送信データの位相関係
(調歩同期式モード：SCR1.PEビット=1、SCR3.CHR[1:0]ビット=10b、MPビット=0、STOPビット=1)

36.3.4 倍速モードと6分周モード

SCR2.ABCSビットを“1”にすると、SCR2.ABCSビットを“0”に設定した場合の2倍のビットレートで動作します。また、SCR2.BGDMビットを“1”に設定すると、基本クロックの周期が1/2倍になり、SCR2.BGDMビットを“0”に設定した場合の2倍のビットレートで動作します。SCR3.CKE[1]ビットを“0”に設定し内蔵ボーレートジェネレータを選択した時は、SCR2.ABCSビットを“1”かつSCR2.BGDMビットを“1”に設定することで、SCR2.ABCSビットを“0”かつSCR2.BGDMビットを“0”の場合の4倍のビットレートで動作することができます。

また、SCR2.ABCSEビットを“1”にすると、1ビット期間中の基本クロックパルス数が6、かつ基本クロックの周期が1/2になり、SCR2レジスタのABCSビット、BGDMビット、ABCSEビットがすべて“0”の場合に比べ16/3倍のビットレートで動作します。

なお、「36.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式(1)が示すとおり、SCR2.ABCSビットまたはSCR2.ABCSEビットを“1”にすると受信マージンが減少します。SCR2.ABCSビットを“0”、SCR2.ABCSEビットを“0”にしても所望のビットレートが得られるのであれば、SCR2.ABCSビットを“0”、SCR2.ABCSEビットを“0”で使用することを推奨します。

36.3.5 CTS、RTS 機能

CTS 機能は、CTS#n 端子入力を使用して送信制御を行う機能です。

SCR1.CTSE ビットを“1”にすると CTS 機能が有効になります。また、CTS#n/RTS#n 端子は、1 端子でどちらかの機能を使用する兼用設定と、2 端子でそれぞれの機能を同時に使用する専用の設定が可能です。SCR1.CRSEP ビットでその設定を行います。

CTS 機能が有効のとき、CTS#n 端子入力が Low のときのみ送信動作を開始します。

送信開始後に CTS#n 端子が High になっても、送信中のフレームは影響を受けず送信を続けます。

RTS 機能は、RTS#n 端子出力を使用して送信要求を行う機能で、受信可能状態になると RTS#n 端子に Low を出力します。Low、High を出力する条件は以下の通りです。

(a) SCR3.FM ビットが“0” (非 FIFO モード) の場合

[Low になる条件]

以下の条件を全て満たす場合

- SCR0.RE ビットが“1”
- 読み出し前の受信データがない、かつ受信中でない
- SSR.ORER、AFER、APER フラグがすべて“0”

[High になる条件]

- Low になる条件を満たさない場合

(b) SCR3.FM ビットが“1” (FIFO モード) の場合

[Low になる条件]

以下の条件を全て満たす場合

- SCR0.RE ビットが“1”
- FIFO に格納された受信データの数が、FCR.RSTRG[4:0] 設定値より少ない
- SSR.ORER (RDR.ORER) フラグが“0”

[High になる条件]

- Low になる条件を満たさない場合

36.3.6 データ一致検出機能

データ一致検出機能は調歩同期式モードのみ使用できます。

SCR0.DCME ビットを“1”に設定(注1)すると、1 フレームごとの受信完了時に、受信したデータと SCR4.CMPD[8:0] ビットに設定した値との比較を行い、一致を検出したときに RXI 割り込み要求を出力することができます。

SCR3.MP ビットを“0”に設定した場合、受信したデータにおけるデータビットのみを SCR4.CMPD[8:0] ビット(注2)と比較します。SCR3.MP ビットを“1”(マルチプロセッサモード)に設定した場合、SCR0.IDSEL ビットを“1”に設定すると、マルチプロセッサビット (MPB) が“1”の受信データでは一致/不一致の検出を行い、MPB が“0”の受信データについては不一致を検出します。SCR0.IDSEL ビットを“0”に設定すると、受信データの MPB の値によらず、受信完了の度に一致/不一致の検出を行います。

RSCI は、受信したデータと SCR4.CMPD[8:0] ビットとの不一致を検出したときは、SSR.DFER、DPER フラグはセットしません。

受信したデータと SCR4.CMPD[8:0] ビットとの一致を検出すると、SCR0.DCME ビットが“0”になり、SSR.DCMF フラグが“1”になります。SCR0.IDSEL ビットを“1”に設定している場合、SCR0.MPIE ビットが“0”になり、SCR0.IDSEL ビットを“0”に設定している場合、SCR0.MPIE ビットの値は保持されます。このとき SCR0.RIE ビットが“1”であれば RXI 割り込み要求を発生します。一致を検出したフレームでフレーミ

ングエラーを検出した場合は SSR.DFER フラグが“1”になり、パリティエラーを検出した場合は SSR.DPER フラグが“1”になります。なお、一致を検出した受信データと MPB は RDR レジスタには格納せず、SSR.RDRF フラグは“0”を保持します。

受信したデータと SCR4.CMPD[8:0] ビットとの一致を検出し SCR0.DCME ビットが“0”になった後は、その時点のレジスタ設定に従い受信動作を継続します。

SSR.DFER、SSR.DPER フラグがセットされた状態ではデータの一致を検出しません。データ一致検出機能を有効にする前に、SSR.DFER、および SSR.DPER フラグを“0”にしてください。

図 36.6、図 36.7 にデータ一致検出の例を示します。

注 1. データ一致検出を行う受信フレームの、スタートビット受信前に SCR0.DCME ビットを“1”にしてください。

注 2. 7 ビット長選択時は CMPD[6:0] ビットを、8 ビット長選択時は CMPD[7:0] ビットを、9 ビット長選択時は CMPD[8:0] ビットと比較します。

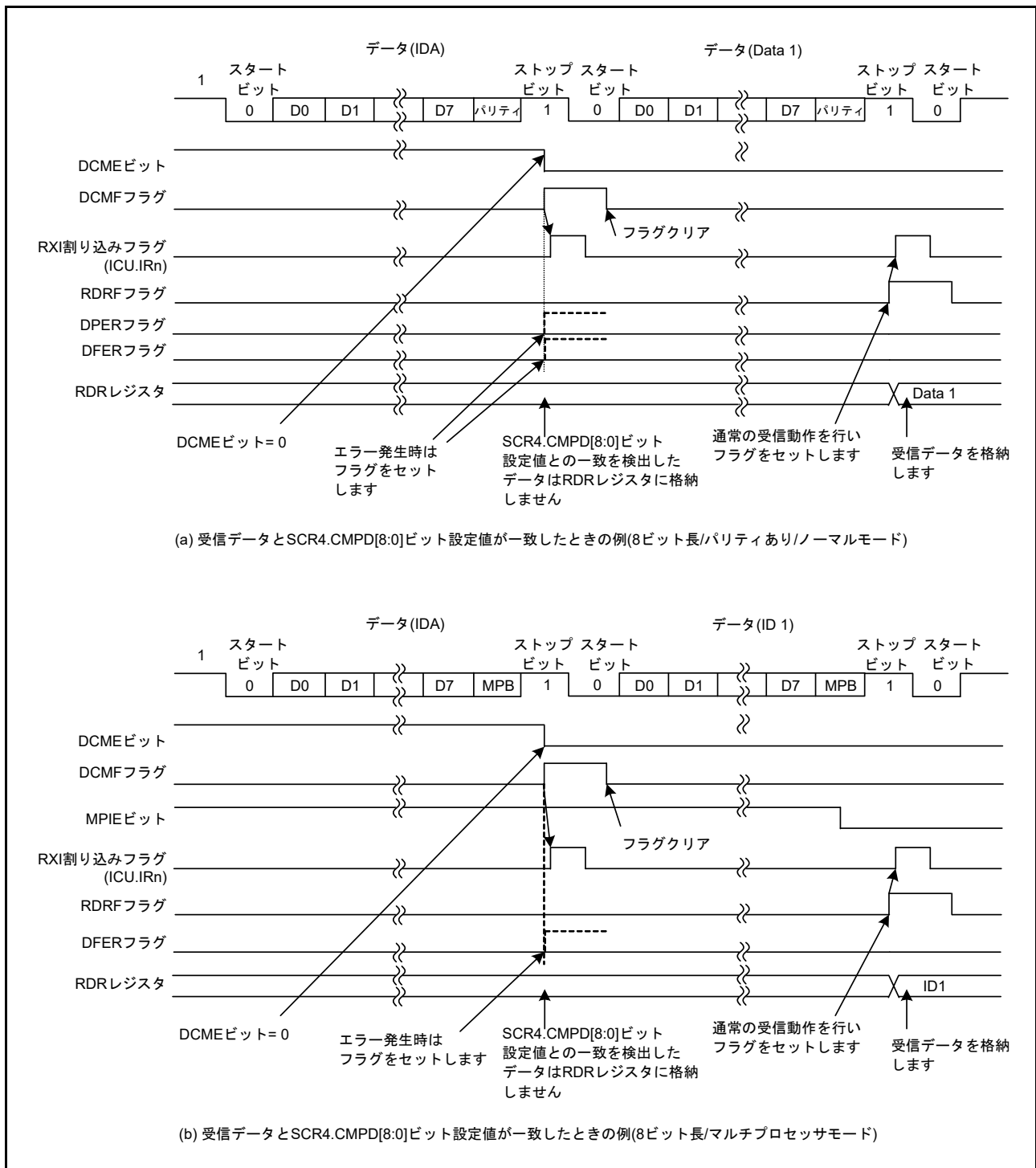


図 36.6 データ一致検出の例 (1) (8 ビットデータ)

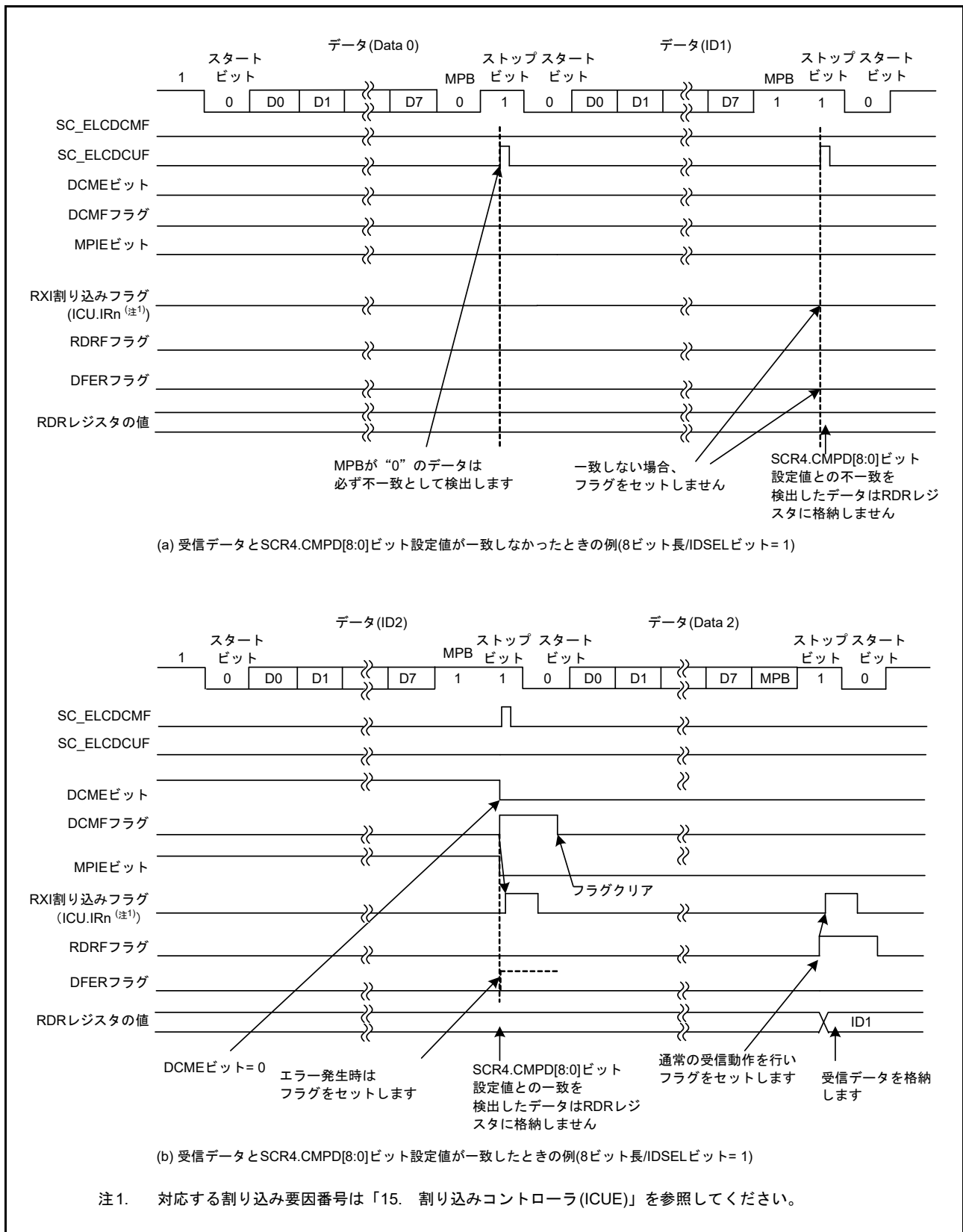


図 36.7 データ一致検出の例 (2) (8ビットデータ / マルチプロセッサモード)

36.3.7 RSCIの初期化(調歩同期式モード)

データの送受信前に、SCR0.TEビットとSCR0.REビットに“0”を書き込み(SCR0レジスタに初期値を書き込むでも可)、非FIFOモード時は図36.8、FIFOモード時は図36.9のフローチャート例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合もSCR0.TEビットとSCR0.REビットに“0”を書き込んでから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、REビットを“0”に設定しても、ORER、AFER、APER、RDRF、DRの各フラグ、およびRDRレジスタは初期化されませんので注意してください。また、TEビットを“0”に設定してもFIFOモード時のTENDフラグは初期化されませんので注意してください。動作モードの変更時にも注意してください。

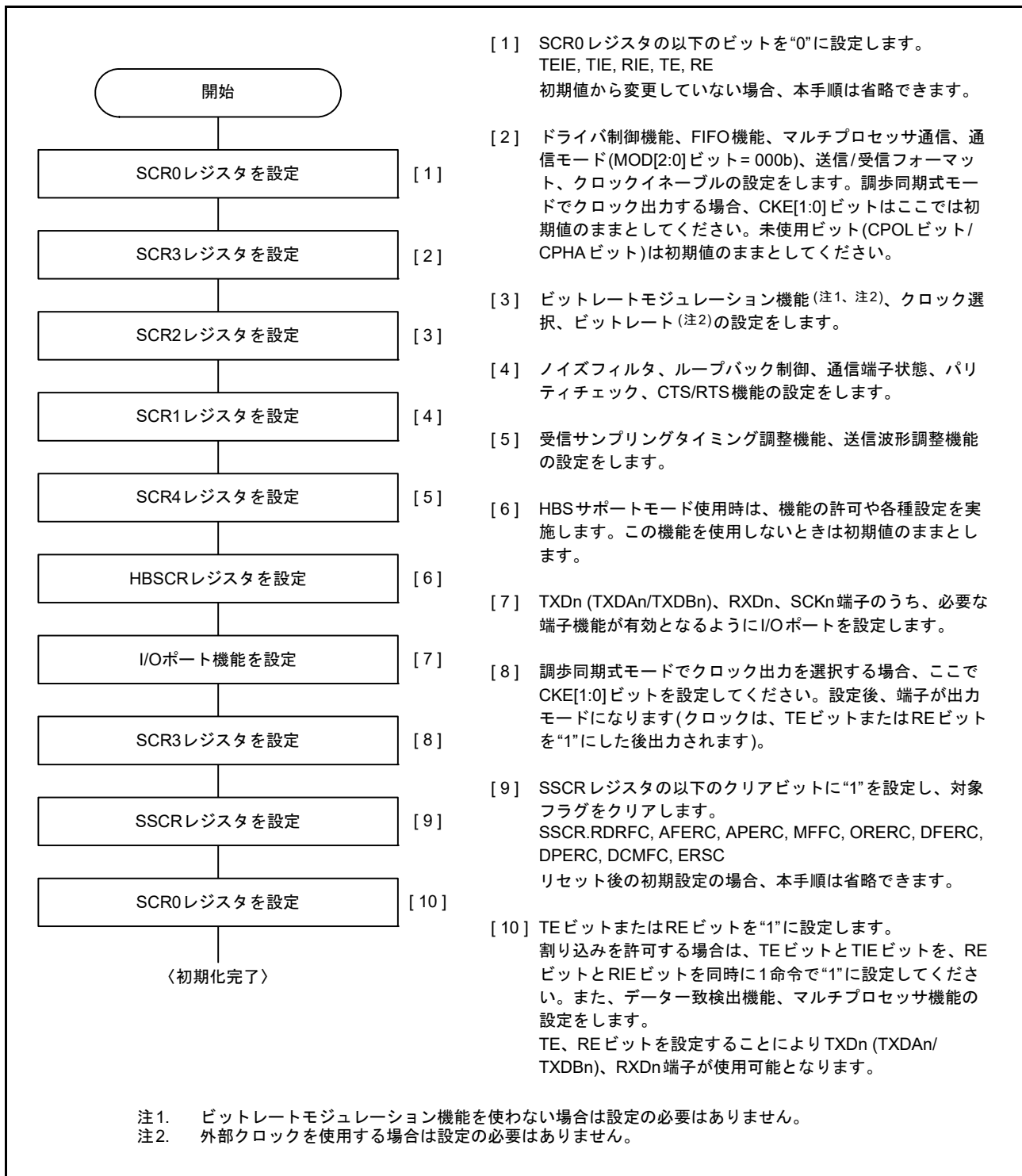


図 36.8 RSCIの初期化フローチャート例(調歩同期式モード/非FIFOモード時)

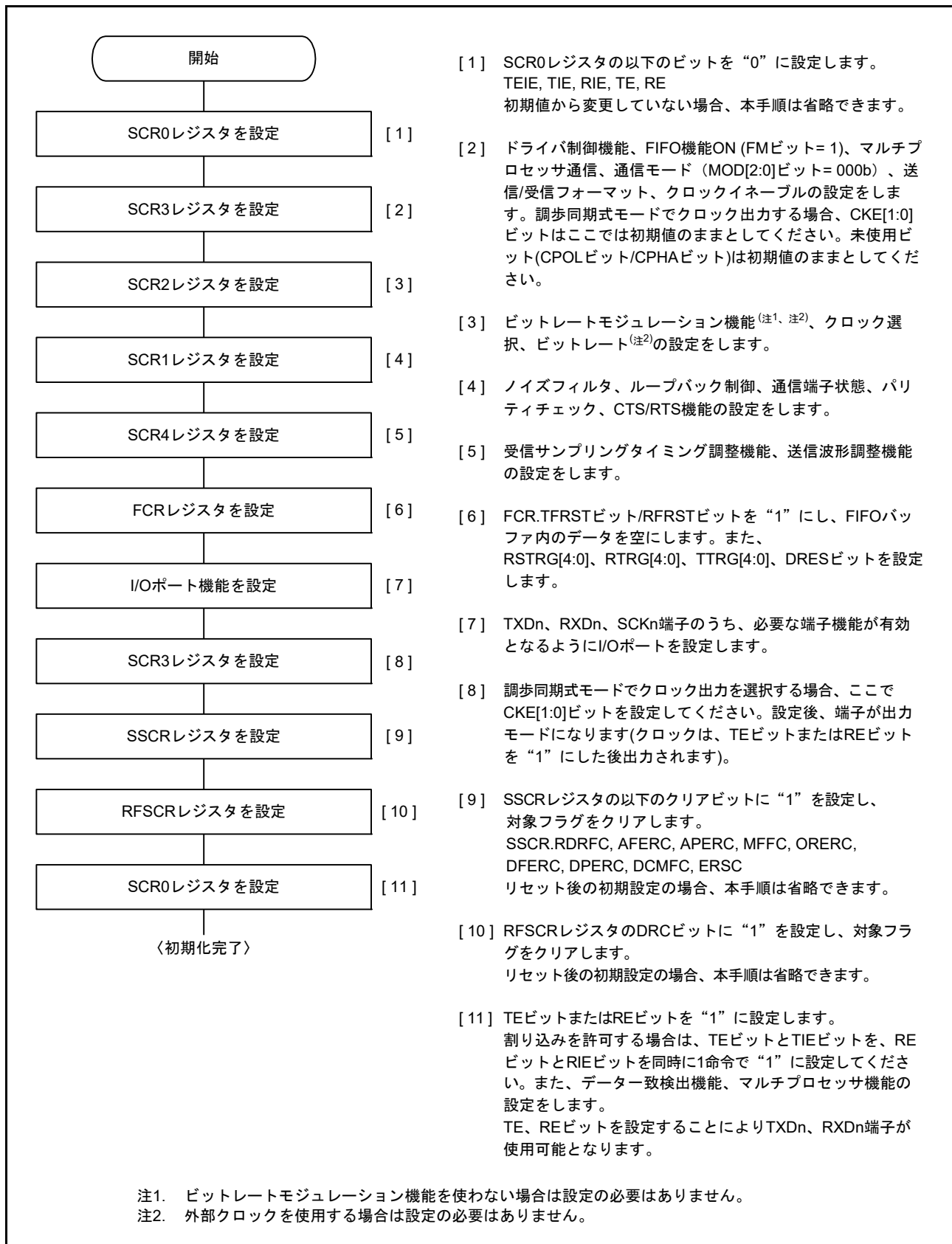


図 36.9 RSCIの初期化フローチャート例 (調歩同期式モード/FIFOモード時)

図 36.10 は、リセット解除後に図 36.8 もしくは図 36.9 に従って RSCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXDn 端子に設定した時点では、SCR0.TE ビットが“0”であるため端子はハイインピーダンスです。TE ビットを“1”にしてから送信データを書くと、データ送信が開始されます。TDR レジスタに送信データをライトしてからデータ送信が開始されるまでの送信待ち時間があります。調歩同期式モードでは、この期間 TXDn 端子は High になります。

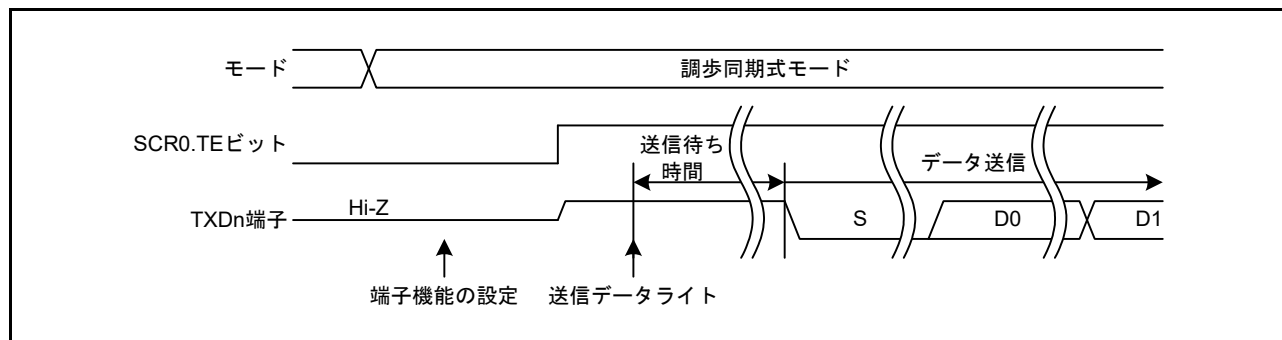


図 36.10 調歩同期式モード時のデータ送信タイミング例

36.3.8 シリアルデータの送信 (調歩同期式モード)

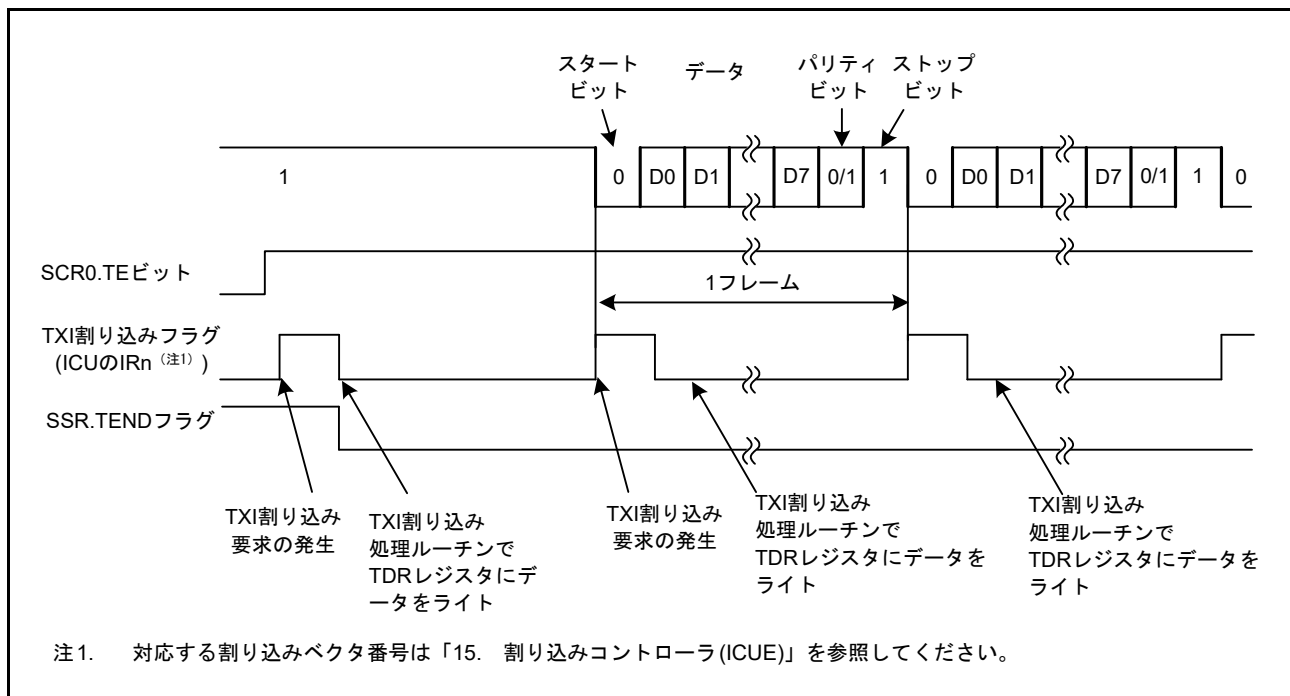
(1) 非 FIFO モード時

図 36.11 ~ 図 36.13 に調歩同期式モードのシリアル送信時の動作例を示します。

シリアルデータの送信時、RSCIは以下のように動作します。

1. RSCIは TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に“1”にしてください。すると TXI 割り込み要求が発生します。
2. SCR1.CTSE ビットが“0”(CTS 機能禁止)、または CTSn# 端子入力 が Low で、TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR0.TIE ビットが“1”であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み処理ルーチン内で最終送信データを TDR レジスタに書き込み、送信が開始した後 (TXI 割り込み要求出力後) に、SCR0.TIE ビットを“0”に、SCR0.TEIE ビットを“1”にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていると、SCR1.CTSE ビットが“0”(CTS 機能禁止)、または CTSn# 端子入力 が Low で、次の送信データを TDR レジスタから TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、ストップビット送出後、“1”を出力してマーク状態になります。このとき、SCR0.TEIE ビットが“1”であると TEI 割り込み要求が発生します。

図 36.15 にデータ送信のフローチャートの例を示します。



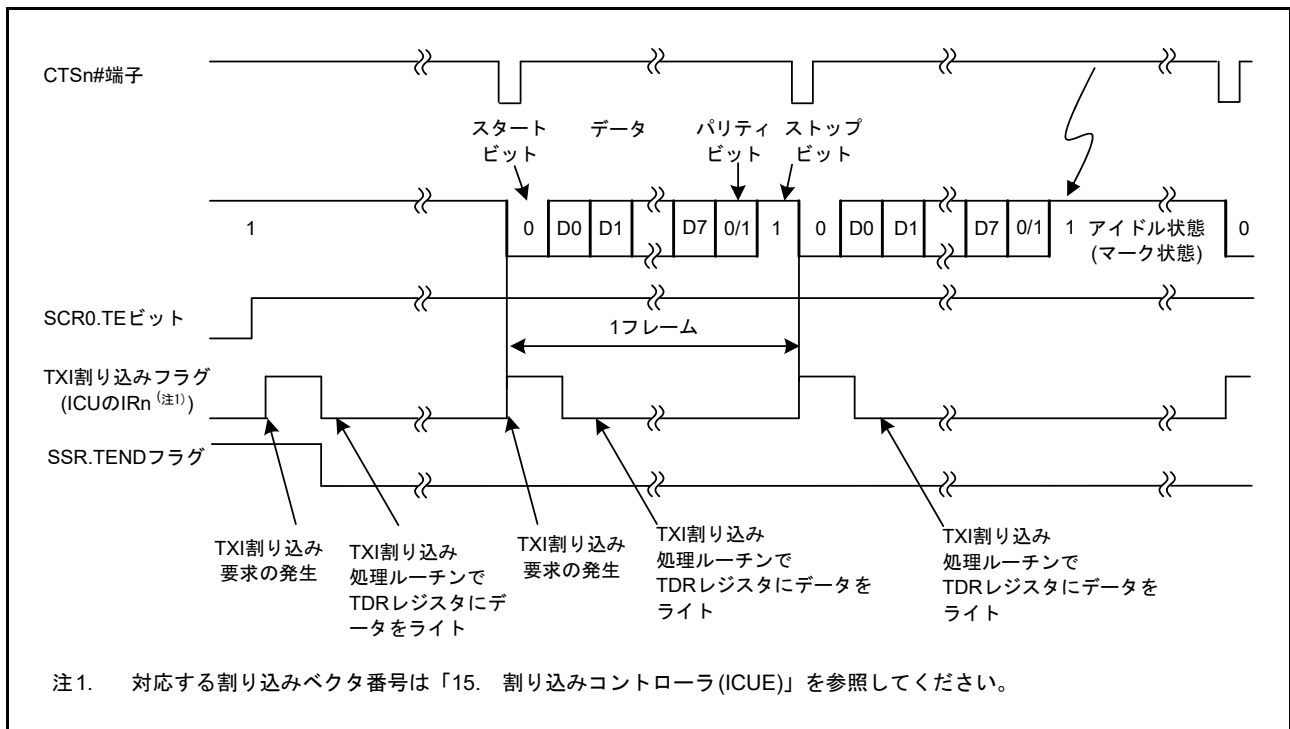


図 36.12 調歩同期式モードのシリアル送信の動作例 (2)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用する / 送信開始時)

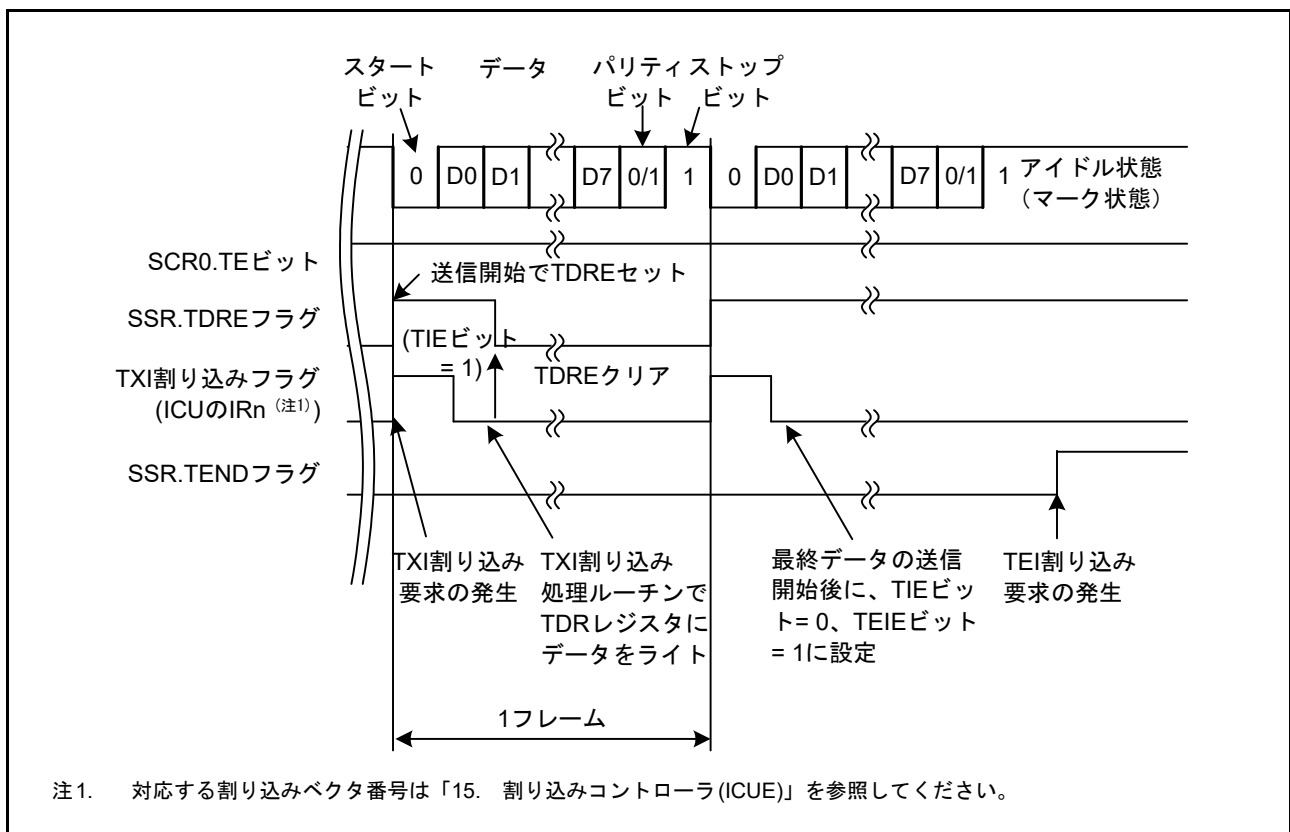


図 36.13 調歩同期式モードのシリアル送信の動作例 (3)
(8ビットデータ / パリティあり / 1ストップビット / 送信中～送信完了時)

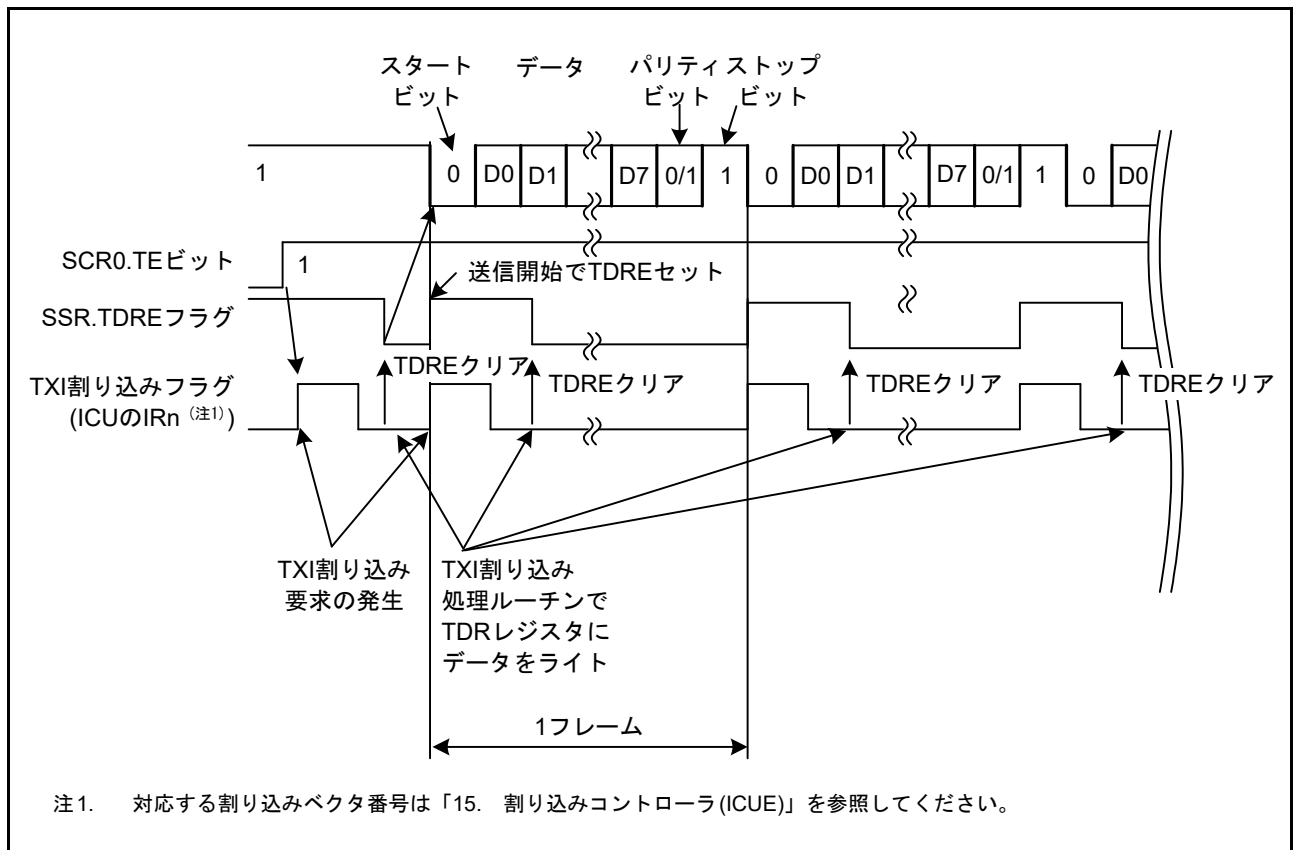


図 36.14 調歩同期式モードのシリアル送信の動作例 (4)
(8ビットデータ / パリティあり / 1ストップビット / 送信中)

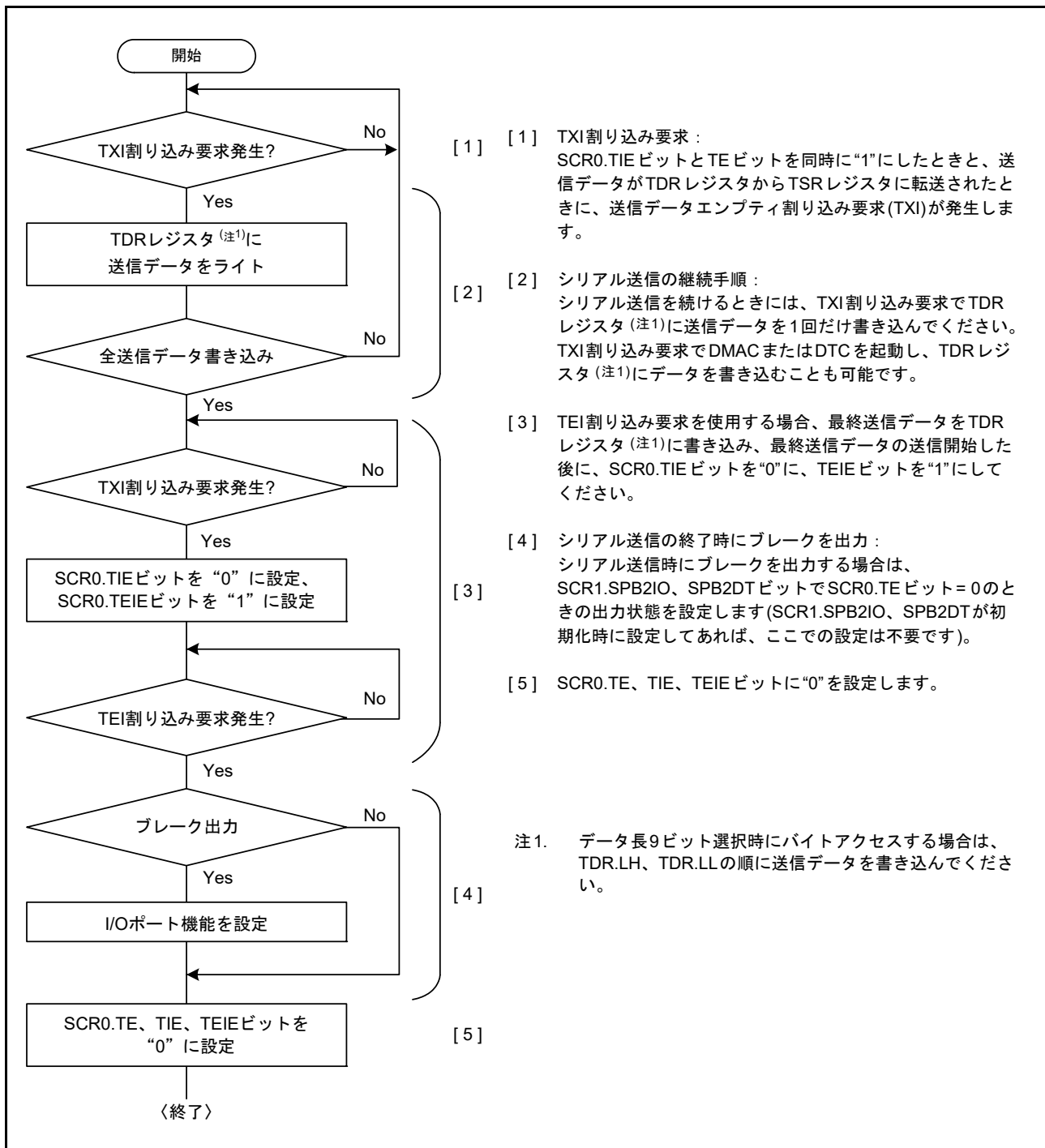


図 36.15 調歩同期式モードのシリアル送信のフローチャート例 (非 FIFO モード時)

(2) FIFO モード時

表 36.28 に調歩同期式モードで FIFO バッファを選択したときの、送信 FIFO (TDR レジスタ) への書き込みデータフォーマットを示します。

MPBT ビットは送信 FIFO (TDR レジスタ) のビット 9 に書き込んでください。データについては、7 ビットデータ長選択時は TDR.TDAT[6:0] ビットに、8 ビットデータ長選択時は TDR.TDAT[7:0] ビットに、9 ビットデータ長選択時は TDR.TDAT[8:0] ビットに書き込みます。未使用のビットには“0”を書き込んでください。なお、バイトアクセス時の書き込みは、TDR.LH、TDR.LL の順に行ってください。

表36.28 シリアル送信データの送信FIFO (TDRレジスタ)書き込みデータフォーマット(FIFOモード時)

データ長	レジスタの設定		TDR.Lレジスタの送信データ														
	SCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1
7ビット	1	1	—	—	—	—	—	—	MPBT	—	—	TDAT[6:0]					
8ビット	1	0	—	—	—	—	—	—	MPBT	—	TDAT[7:0]						
9ビット	0	任意	—	—	—	—	—	—	MPBT	TDAT[8:0]							

— : 使用しません。“0”にしてください。

シリアルデータの送信時、RSCIは以下のように動作します。

- RSCIはTXI割り込み処理ルーチンで送信FIFO (TDR レジスタ) にデータが書き込まれると、送信FIFO (TDR レジスタ) からTSRレジスタにデータを転送します。書き込み可能な送信データバイト数は(32 - 送信FIFO (TDR レジスタ) に格納された未送信データ数)です。なお、送信開始時は、SCR0.TIE ビットとSCR0.TE ビットを、1命令で同時に“1”にしてください。するとTXI割り込み要求を発生します。
- SCR1.CTSE ビットが“0”(CTS機能禁止)、またはCTS_n# 端子入力がLowレベルで、送信FIFO (TDR レジスタ) からTSRレジスタにデータを転送し、送信を開始します。送信FIFO (TDR レジスタ) に格納されたデータの数が送信FIFO しきい値以下になると、SSR.TDRE フラグが“1”になります。このとき、SCR0.TIE ビットが“1”にセットされているとTXI割り込み要求を発生します。TXI割り込み処理ルーチンで、送信FIFO (TDR レジスタ) に書き込んだデータの送信が終了するまでに送信FIFO (TDR レジスタ) に次の送信データを書き込むことで連続送信が可能です。TEI割り込み要求を使用する場合、TXI割り込み処理ルーチン内で最終送信データを送信FIFO (TDR レジスタ) に書き込んだ後、SCR0.TIE ビットを“0”に、TEIE ビットを“1”にします。
- TXD_n 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット(フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
- RSCIは、ストップビットを送り出すタイミングで送信FIFO (TDR レジスタ) に未送信のデータがあるかどうかをチェックします。
- 送信FIFO (TDR レジスタ) にデータがある場合、SCR1.CTSE ビットが“0”(CTS機能禁止)、またはCTS_n# 端子入力がLowレベルで、次の送信データを送信FIFO (TDR レジスタ) からTSRレジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
- 送信FIFO (TDR レジスタ) にデータがない場合、SSR.TEND フラグを“1”にし、ストップビット送出後、“1”を出力してマーク状態になります。このときSCR0.TEIE ビットが“1”にセットされているとTEI割り込み要求を発生します。

図 36.16 に FIFO バッファを選択したときのデータ送信のフローチャートの例を示します。

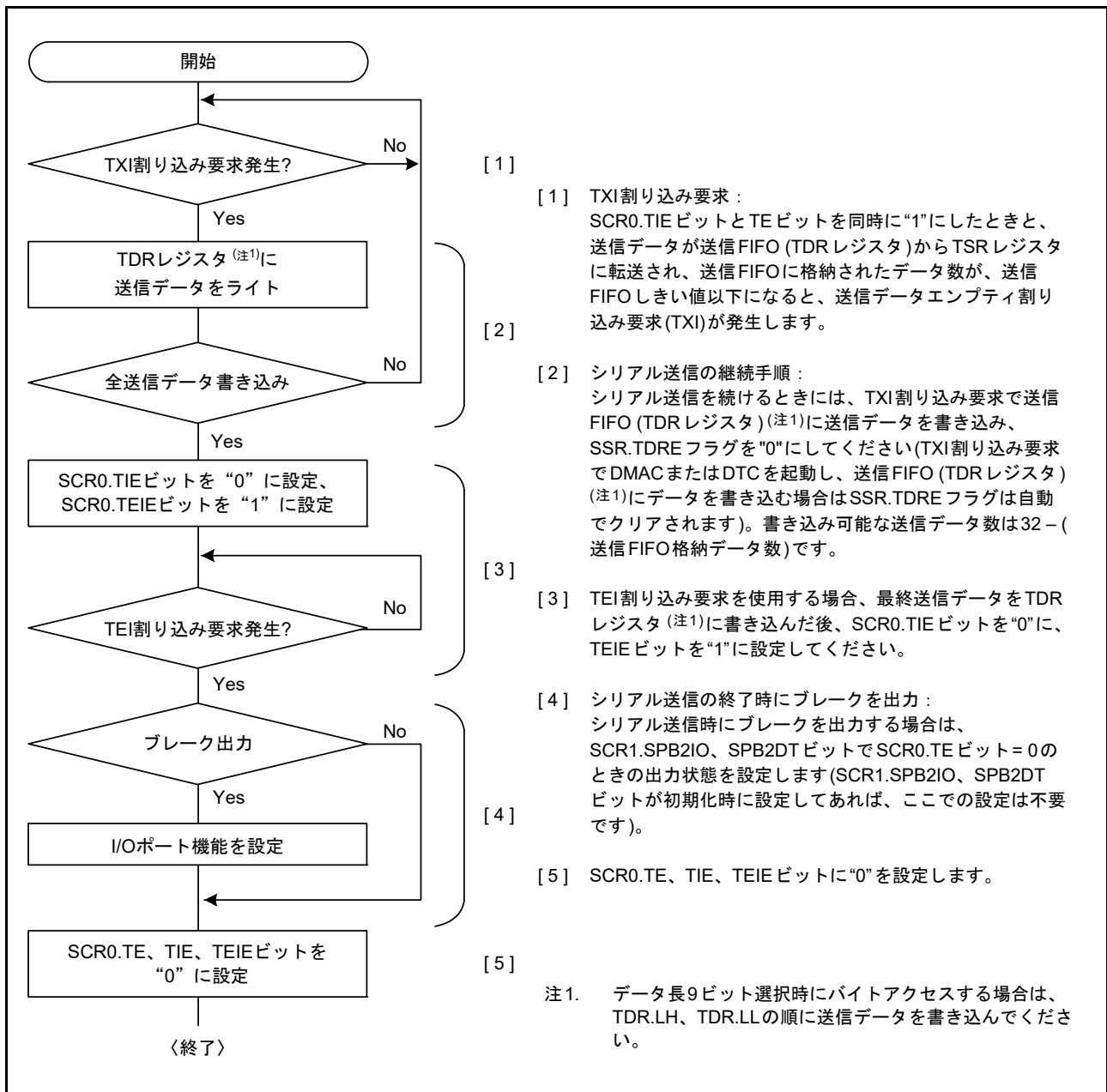


図 36.16 調歩同期式モードのシリアル送信のフローチャート例 (FIFO モード時)

36.3.9 シリアルデータの受信 (調歩同期式モード)

(1) 非 FIFO モード時

図 36.17、図 36.18 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、RSCI は以下のように動作します。

1. SCR0.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.OPER フラグをセットします。このとき、SCR0.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. パリティエラーを検出した場合は SSR.APER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー (ストップビットが“0”のとき) を検出した場合は SSR.AFER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子出力を Low にします (RTS 機能使用時)。最終データの受信後、RTSn# 端子出力を Low にしたくない場合は、RDR レジスタをリードする前に、SCR0.RE ビットを“0”にしてください。

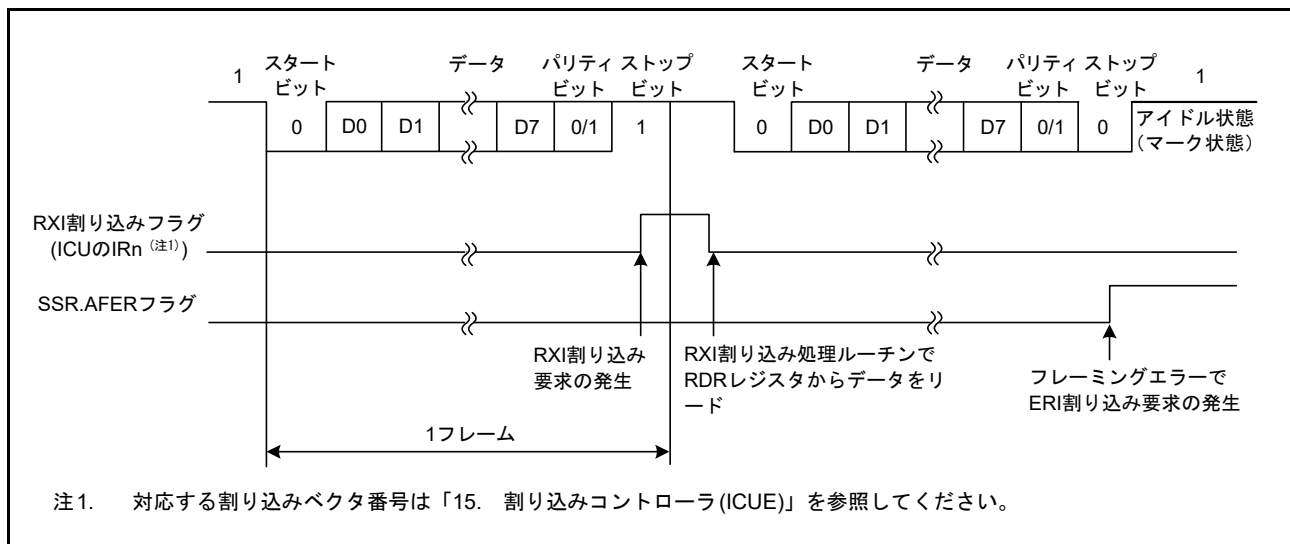


図 36.17 調歩同期式モードのシリアル受信時の動作例 (1)
(8 ビットデータ / パリティあり / 1 ストップビット / RTS 機能使用しない)

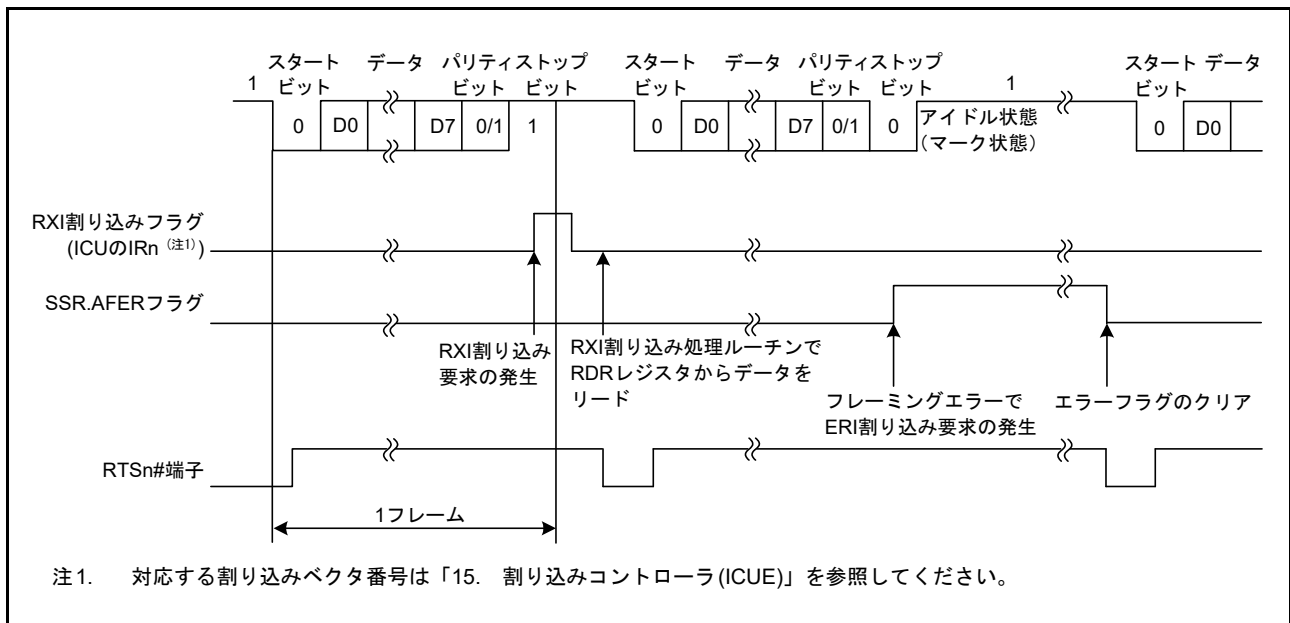


図 36.18 調歩同期式モードのシリアル受信時の動作例 (2)
(8ビットデータ / パリティあり / 1ストップビット / RTS 機能使用する)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 36.29 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、AFER、および APER フラグを“0”にしてください。また、オーバーランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR0.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 36.19、図 36.20 にシリアル受信のフローチャートの例を示します。

表 36.29 SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	AFER	APER		
1	0	0	消失	オーバーランエラー
0	1	0	RDRへ転送	フレーミングエラー
0	0	1	RDRへ転送	パリティエラー
1	1	0	消失	オーバーランエラー+フレーミングエラー
1	0	1	消失	オーバーランエラー+パリティエラー
0	1	1	RDRへ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバーランエラー+フレーミングエラー+パリティエラー

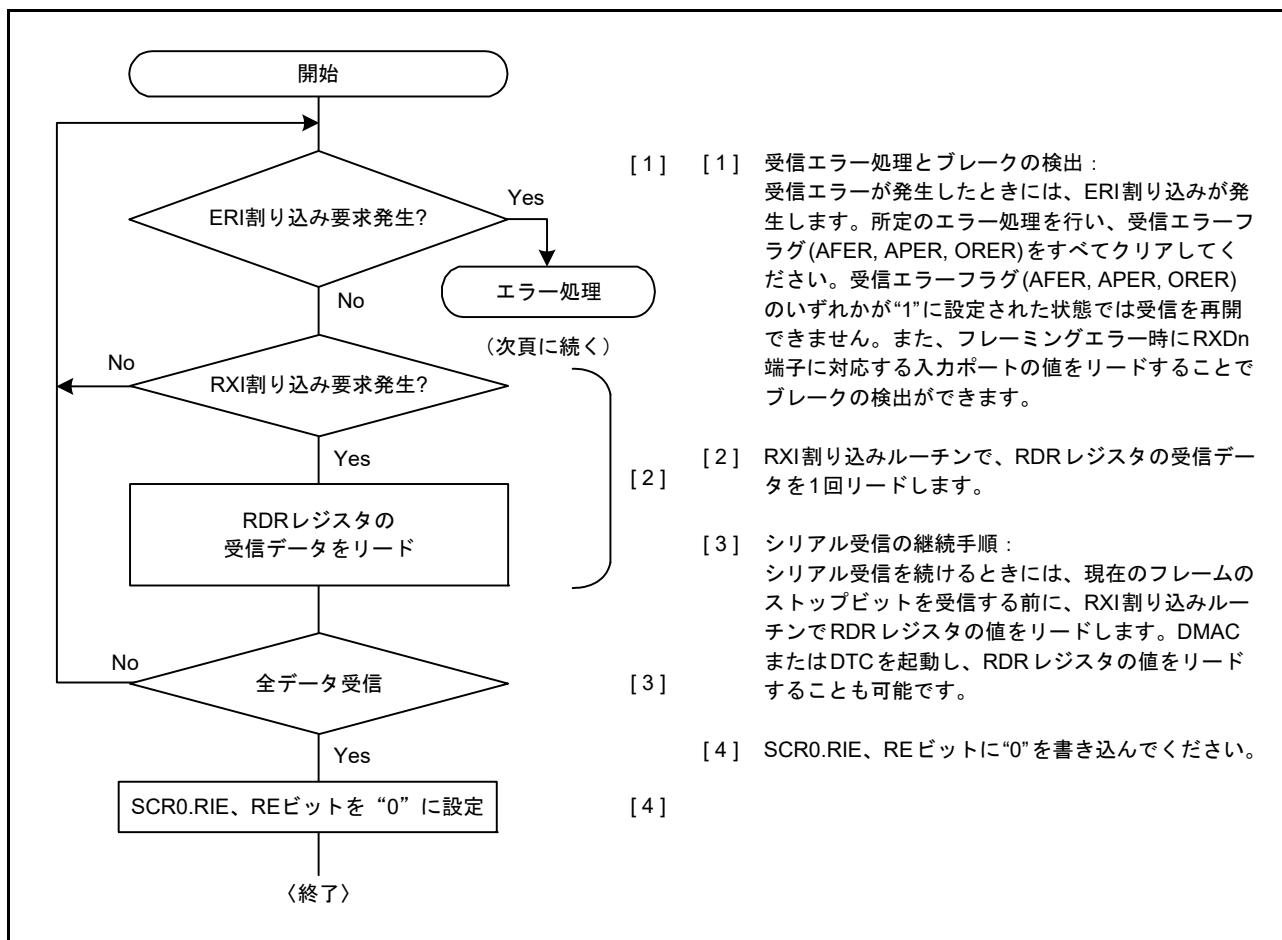


図 36.19 調歩同期式モードのシリアル受信のフローチャート例(1) (非FIFOモード時)

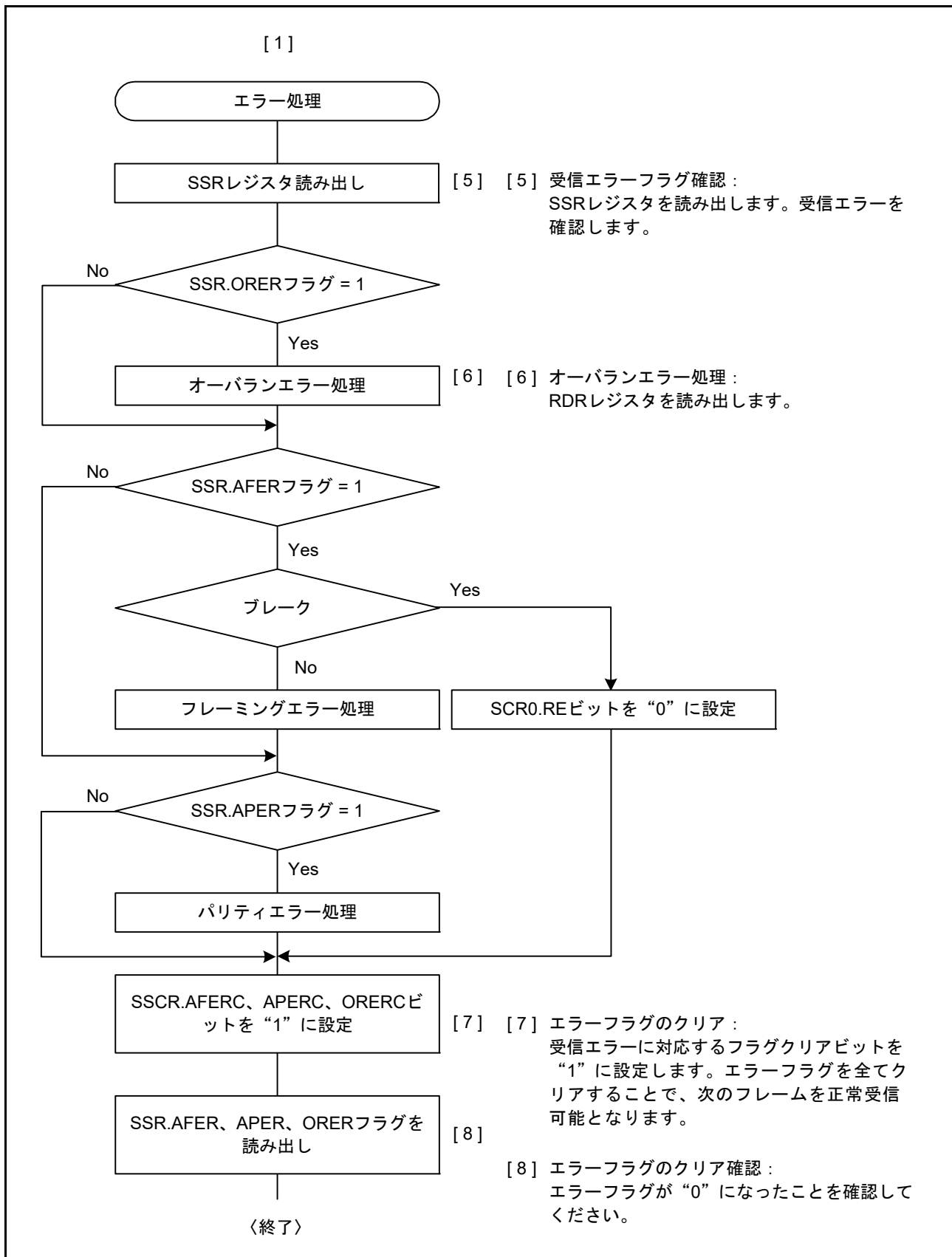


図 36.20 調歩同期式モードのシリアル受信のフローチャート例 (2) (非 FIFO モード時)

(2) FIFO モード時

表 36.30 に調歩同期式モードで FIFO バッファを選択したときの、受信 FIFO (RDR レジスタ) に格納される受信データフォーマットを示します。

MPB フラグ (受信 FIFO (RDR レジスタ) のビット 9) には“0”が格納されます。受信データは、7 ビットデータ長選択時は RDR.RDAT[6:0] ビットに、8 ビットデータ長選択時は RDR.RDAT[7:0] ビットに、9 ビットデータ長選択時は RDR.RDAT[8:0] ビットに格納され、未使用のビットには“0”が格納されます。受信 FIFO (RDR レジスタ) を読み出すと FER、PER フラグおよび受信データ (RDAT[8:0] ビット) が、次のデータに更新されます。受信 FIFO (RDR レジスタ) の AFER、APER、ORER、DR フラグには、SSR レジスタ、RFSR レジスタの対応するフラグの状態が常に反映されます。

表36.30 シリアル受信データの受信FIFO (RDRレジスタ)格納フォーマット(FIFOモード時)

データ長	レジスタの設定		RDRレジスタ内の受信フラグ、MPBフラグおよび受信データの配置															
	SCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	—	—	—	FER	PER	DR	MPB	0	0	RDAT[6:0]						
8ビット	1	0	—	—	—	FER	PER	DR	MPB	0	RDAT[7:0]							
9ビット	0	任意	—	—	—	FER	PER	DR	MPB	RDAT[8:0]								
データ長	SCR3.CHR[1:0]		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
7ビット	1	1	—	—	—	AFER	APER	—	—	ORE R	—	—	—	—	—	—	—	—
8ビット	1	0	—	—	—	AFER	APER	—	—	ORE R	—	—	—	—	—	—	—	—
9ビット	0	任意	—	—	—	AFER	APER	—	—	ORE R	—	—	—	—	—	—	—	—

注. MPBフラグ(RDRレジスタのビット9)からは常に“0”が読み出されます。
7ビットデータ長選択時、RDAT[8:7]ビットからは“0”が読み出されます。
8ビットデータ長選択時、RDAT[8]ビットからは“0”が読み出されます。

FIFO モード時に受信エラーを検出した場合の、各ステータスフラグの状態と受信データの処理を表 36.31 に示します。図 36.21、図 36.22 に FIFO モード時のシリアル受信のフローチャートの例を示します。

シリアルデータ受信時 RSCI は以下のように動作します。

- SCR0.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
- 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
- 受信 FIFO (RDR レジスタ) に空きがない場合は、オーバランエラーが発生します。オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR0.RIE ビットが“1”であると、ERI 割り込み要求を生成します。受信データは受信 FIFO (RDR レジスタ) に転送しません。
- パリティエラーを検出した場合は、エラーフラグおよび受信データを受信 FIFO (RDR レジスタ) に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求を生成します。
- フレーミングエラー (ストップビットが“0”のとき) を検出した場合は、エラーフラグおよび受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求を生成します。
- フレーミングエラーを検出した後、1 フレーム分の受信データすべてに“0”をサンプリングすると、受信動作が停止します。
- 受信 FIFO (RDR レジスタ) に格納した受信データの数が受信 FIFO しきい値未満のとき、最後に受信したデータのストップビットから 15 etu の期間が経過しても次のデータが受信されない (FIFO にデータが格納されない) と、RFSR.DR フラグを“1”にします。このとき、SCR0.RIE ビットが“1”であると、

FCR.DRES ビットが“0”のときはRXI 割り込み要求を発生し、FCR.DRES ビットが“1”のときはERI 割り込み要求を発生します。

- 正常に受信したときは、受信データを受信 FIFO (RDR レジスタ) に転送します。受信 FIFO (RDR レジスタ) に格納したデータの数がしきい値以上になると、SSR.RDRF フラグを“1”にします。このとき、RIE ビットが“1”であると、RXI 割り込み要求を生成します。このRXI 割り込み処理ルーチンで、受信 FIFO (RDR レジスタ) に転送された受信データをオーバーランエラーが発生するまでにリードすることで連続受信が可能です。受信 FIFO (RDR レジスタ) に転送された受信データが読み出され、RTS# 出力しきい値より少なくなると、RTSn# 端子出力を Low にします (RTS 機能使用時)。

表 36.31 FIFOモード時受信エラー検出時のステータスフラグの状態と受信データの処理

SSRレジスタ			受信データ	受信エラーの状態
ORER	AFER (注1)	APER (注1)		
1	0	0	消失	オーバーランエラー
0	1	0	RDRへ転送	フレーミングエラー
0	0	1	RDRへ転送	パリティエラー
1	1	0	消失	オーバーランエラー+フレーミングエラー
1	0	1	消失	オーバーランエラー+パリティエラー
0	1	1	RDRへ転送	フレーミングエラー+パリティエラー
1	0	0	消失	オーバーランエラー+フレーミングエラー+パリティエラー

注1. 受信完了時に受信データ内にエラーがあるかどうかを示すフラグです。

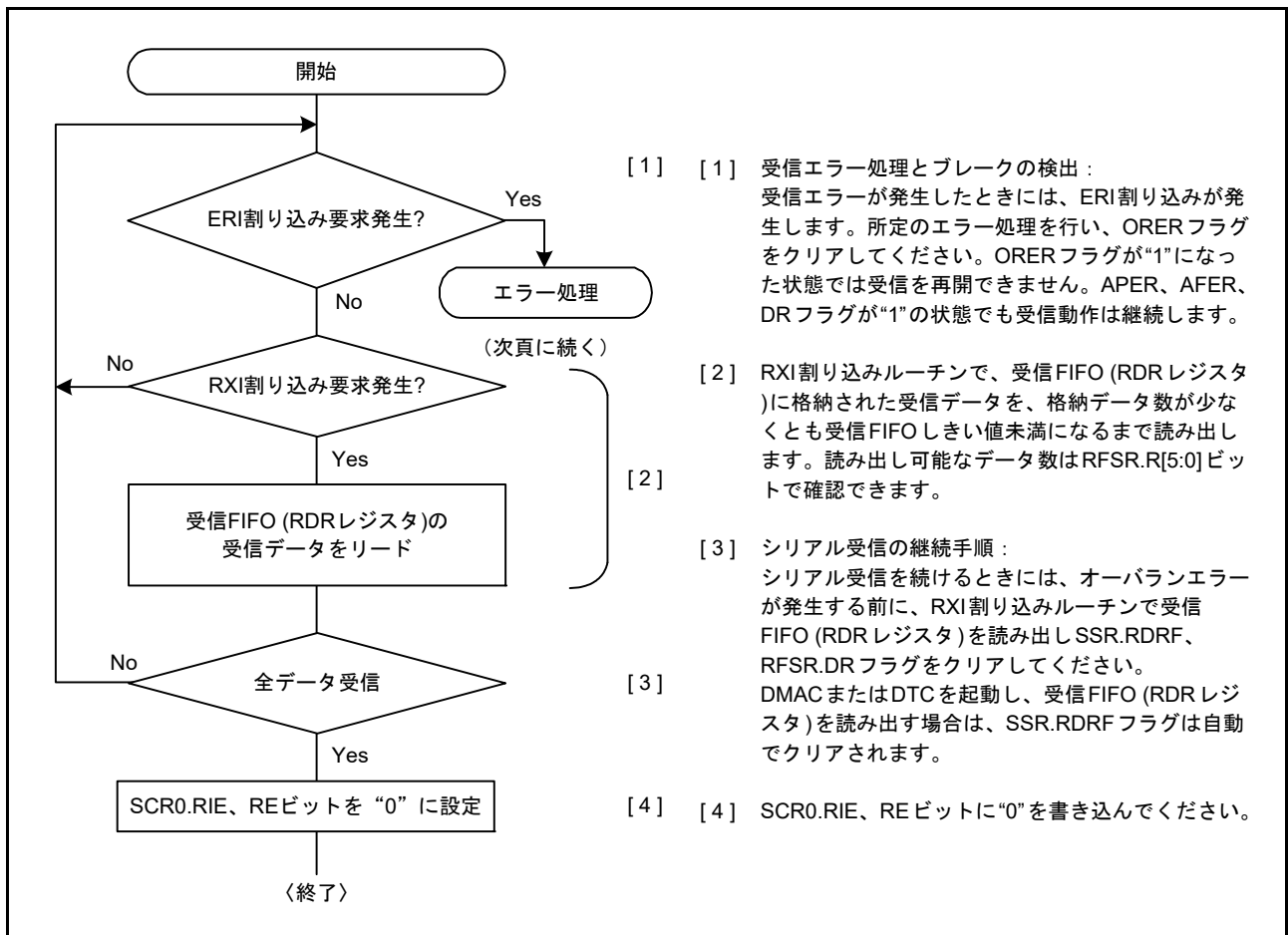


図 36.21 調歩同期式モードのシリアル受信のフローチャート例 (1) (FIFO モード時)

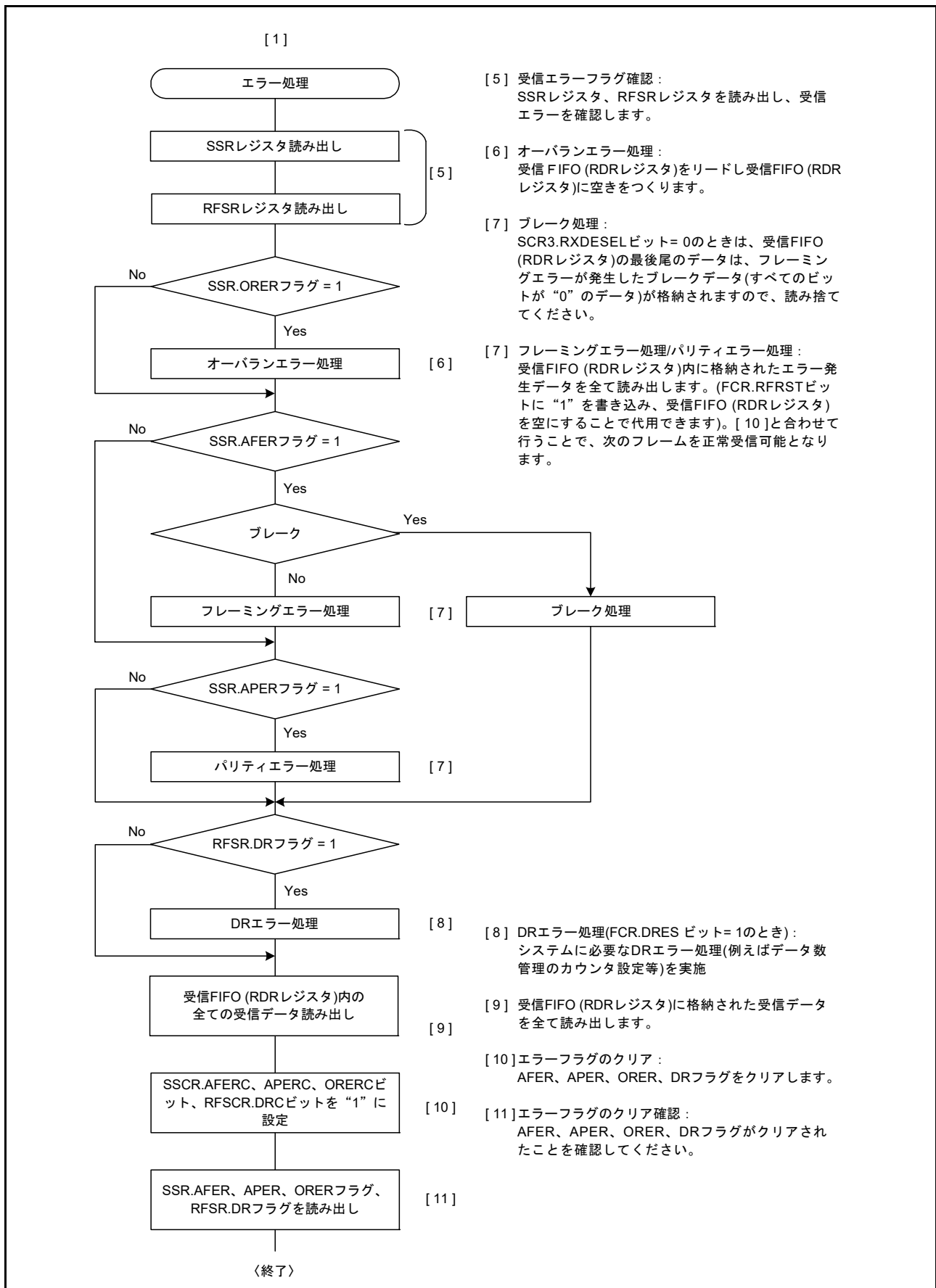


図 36.22 調歩同期式モードのシリアル受信のフローチャート例 (2) (FIFO モード時)

36.3.10 調歩同期式モードの受信サンプリングタイミング調整機能

立ち上がり時間と立ち下がり時間の差が大きく、High幅とLow幅に差ができてしまった波形を受信した場合、短い方のパルスの中央でデータをサンプリングするようにタイミングを調整します。Low幅が短い場合はサンプリングタイミングを早め、High幅が短い場合はサンプリングタイミングを遅らせます。

SCR4.RTMG[3:0]ビットにデフォルトのサンプリングポイントに対するオフセットを設定し、SCR4.RTADJビットを“1”にすると、設定した位置で受信データをサンプリングします。

図 36.23 にサンプリングタイミングの調整例を示します。

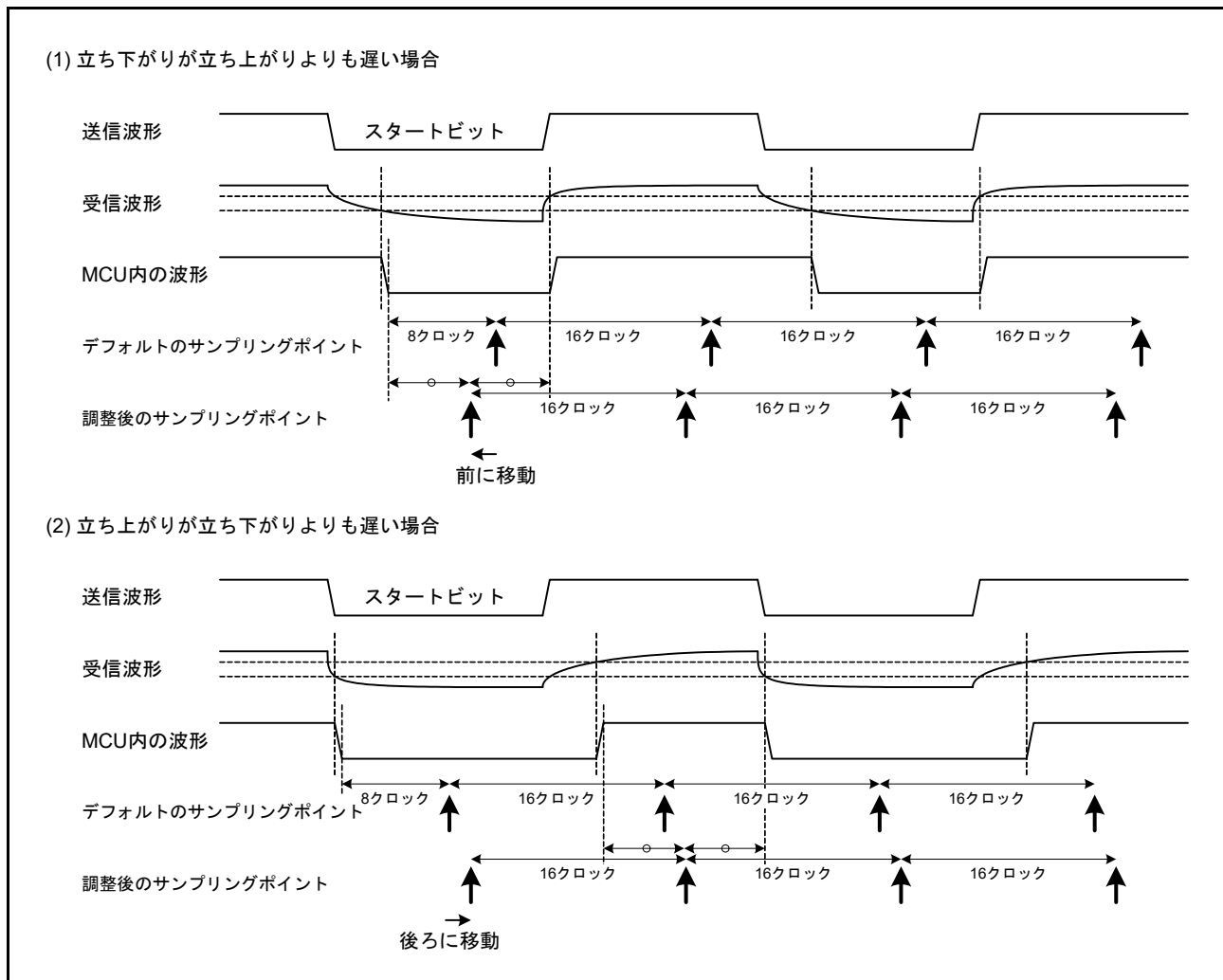


図 36.23 サンプリングタイミングの調整例 (SCR2.ABCSE ビット = 0、SCR2.ABCS ビット = 0)

36.3.11 調歩同期式モードの送信タイミング調整機能

本MCUが送信した波形が受信側のデバイスでHigh幅とLow幅に差ができてしまうような場合に、送信時に前もってHigh幅とLow幅に差を持たせて、受信側で差がなくなるように調整することができます。受信側でHigh幅が短くなる場合は立ち下がりエッジを遅らせることで送信時のHigh幅を拡げ、Low幅が短くなる場合は立ち上がりエッジを遅らせることで送信時のLow幅を拡げます。

SCR4.TTMG[3:0]ビットに変化させるエッジとその遅延量を設定し、SCR4.TTADJビットを“1”にすると、設定した位置で送信データが変化します。

図 36.24 に変化タイミングの調整例を示します。

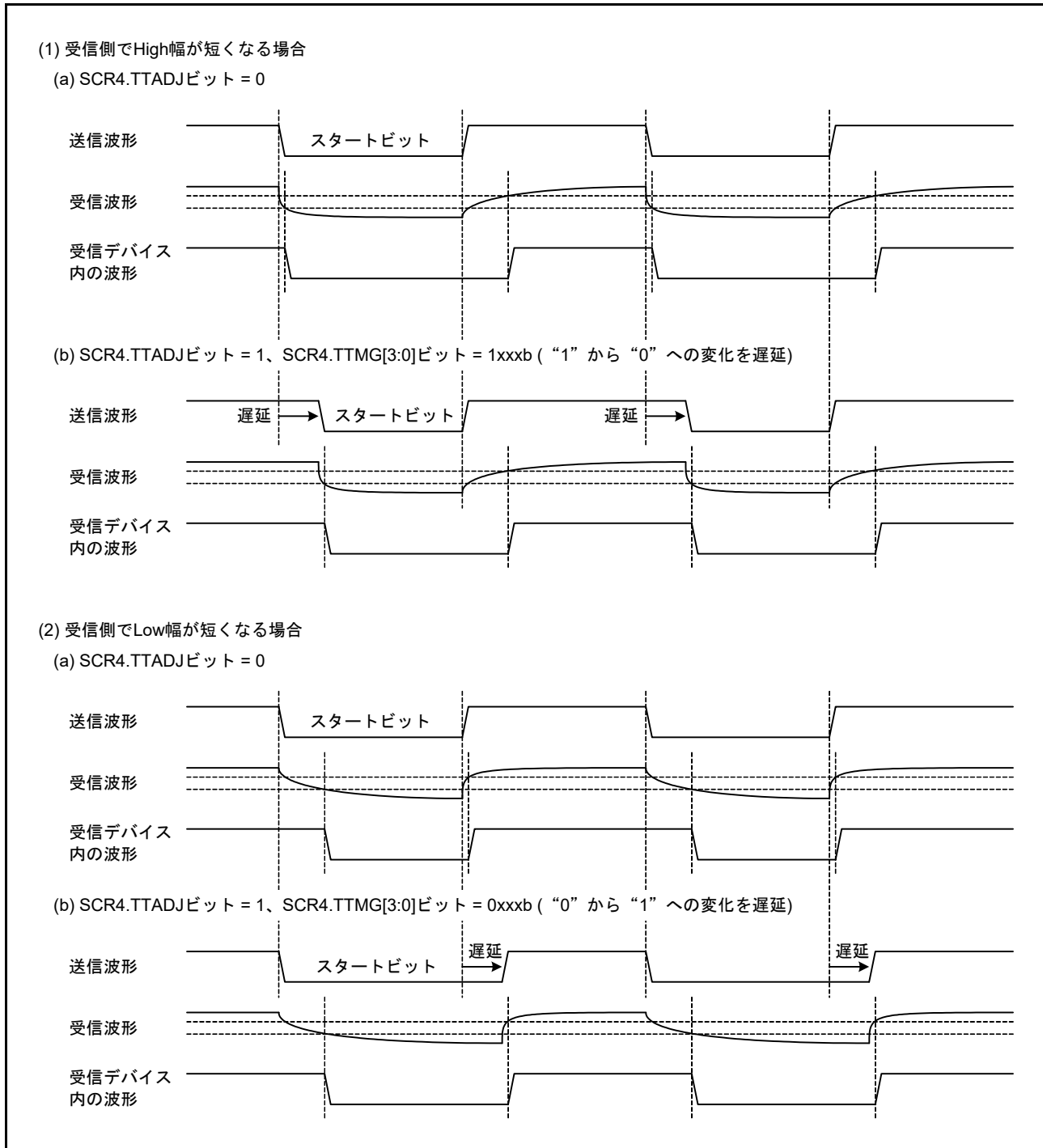


図 36.24 変化タイミングの調整例

36.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のとき ID 送信サイクル、“0”のときデータ送信サイクルとなります。図 36.25 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

このように 1 対多通信対応の機能なので、マルチプロセッサ通信機能の使用時は、RTS 制御は使えません。

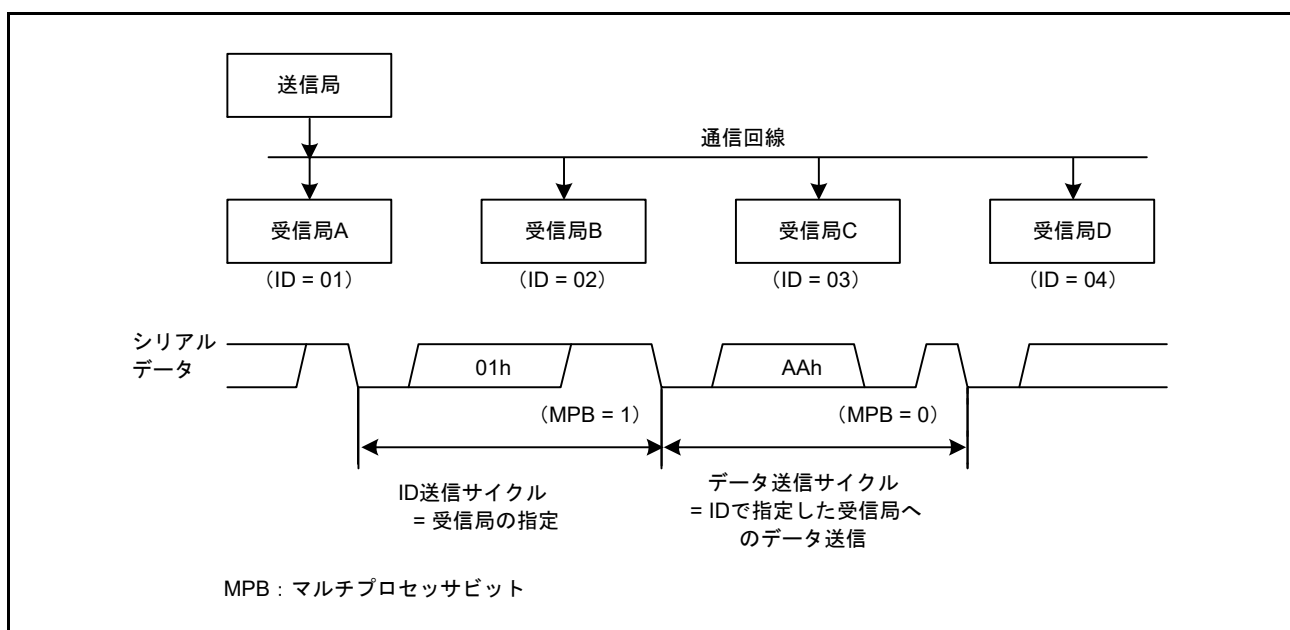


図 36.25 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ“AAh”の送信の例)

(1) 非 FIFO モード時

RSCIはこの機能をサポートするため、SCR0.MPIE ビットを設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と SSR.RDRF、ORER、AFER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、RDR.MPB フラグが“1”にセットされるとともに SCR0.MPIE ビットが自動的にクリアされて非マルチプロセッサの受信動作に戻ります。このとき SCR0.RIE ビットがセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は非マルチプロセッサの調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも非マルチプロセッサの調歩同期式モードと同一です。

(2) FIFO モード時

送信時には、送信フレームに付加するマルチプロセッサトランスファビットを、送信 FIFO (TDR レジスタ) の MPBT ビットに、TDAT[8:0] ビットへの送信データの書き込み時にいっしょに書き込んでください。受信時には、受信データに付加されたマルチプロセッサビットの値は、受信 FIFO (RDR レジスタ) の RDAT[8:0] ビットへの受信データの格納と同時に RDR.MPB フラグに格納されます。

SCR0.MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから RDR.RDAT[8:0] ビットへの受信データの転送、DR の検出、および受信エラーの検出と SSR.RDRF、AFER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、マルチプロセッサビットの値を RDR.MPB フラグに反映するとともに受信 FIFO (RDR レジスタ) に受信データを格納し、SCR0.MPIE ビットが自動的にクリアされて非マルチプロセッサの受信動作に戻ります。このとき SCR0.RIE ビットがセットされていると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は非マルチプロセッサの調歩同期式モードで FIFO バッファを選択したときの動作と変わりません。

36.4.1 マルチプロセッサシリアルデータ送信

(1) 非 FIFO モード時

図 36.26 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは TDR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは TDR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

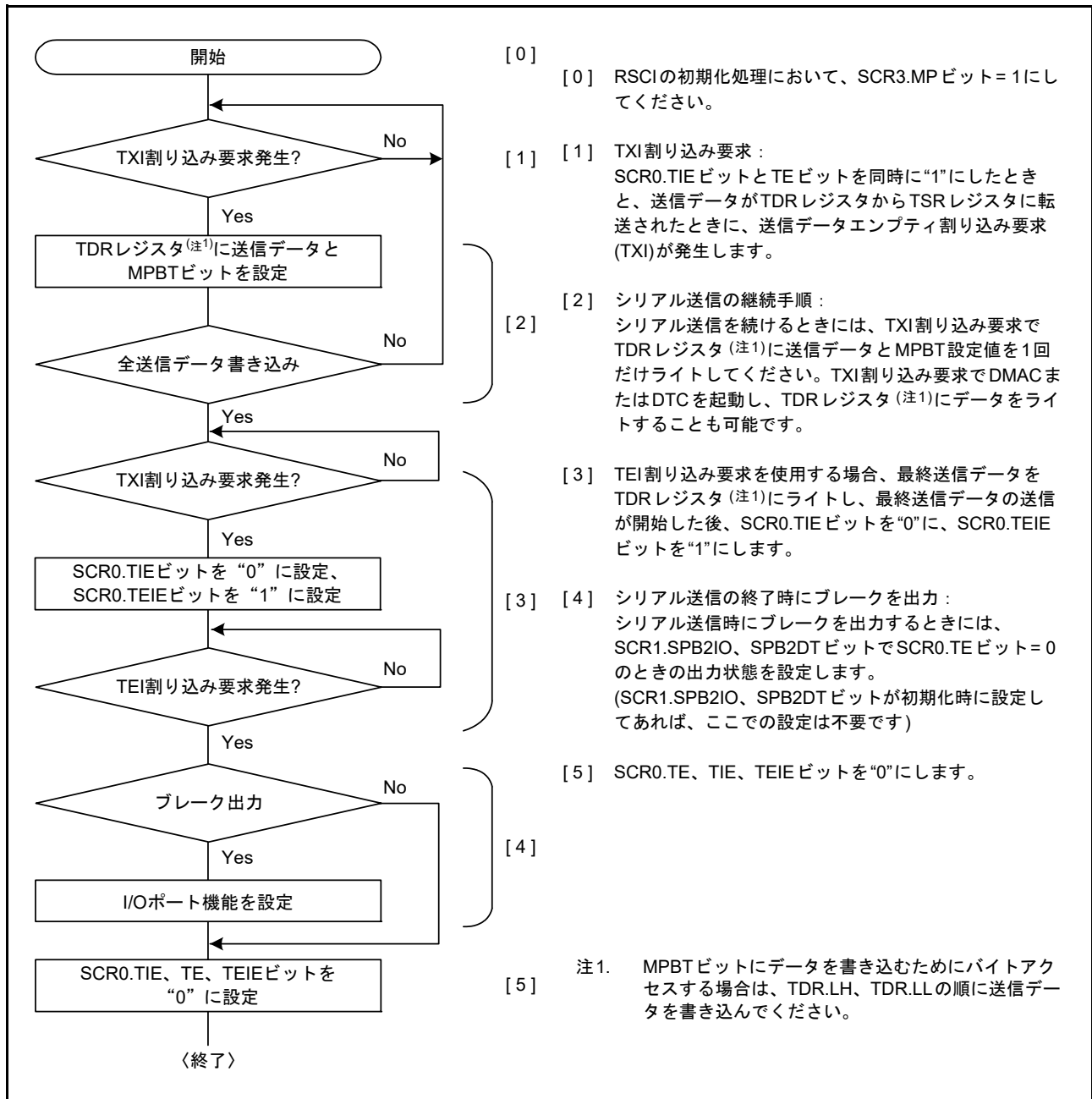


図 36.26 マルチプロセッサシリアル送信のフローチャートの例 (非 FIFO モード時)

(2) FIFO モード時

表 36.32 にマルチプロセッサデータ送信で FIFO バッファを選択したときの、送信 FIFO (TDR レジスタ) への書き込みデータフォーマットを示します。

MPBT ビットは送信 FIFO (TDR レジスタ) のビット 9 に書き込んでください。データについては、7 ビットデータ長選択時は TDR.TDAT[6:0] ビットに、8 ビットデータ長選択時は TDR.TDAT[7:0] ビットに、9 ビットデータ長選択時は TDR.TDAT[8:0] ビットに書き込みます。未使用のビットには“0”を書き込んでください。

表36.32 マルチプロセッサシリアル送信データの送信FIFO (TDRレジスタ)書き込みデータフォーマット(FIFOモード時)

データ長	レジスタの設定		TDR.Lレジスタの送信データ														
	SCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1
7ビット	1	1	—	—	—	—	—	—	MPBT	—	—	TDAT[6:0]					
8ビット	1	0	—	—	—	—	—	—	MPBT	—	TDAT[7:0]						
9ビット	0	任意	—	—	—	—	—	—	MPBT	TDAT[8:0]							

— : 使用しません。“0”にしてください。

図 36.27 にマルチプロセッサデータ送信で FIFO バッファを選択したときのフローチャートの例を示します。ID 送信サイクルでは TDR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードで FIFO バッファを選択したときの動作と同じです。

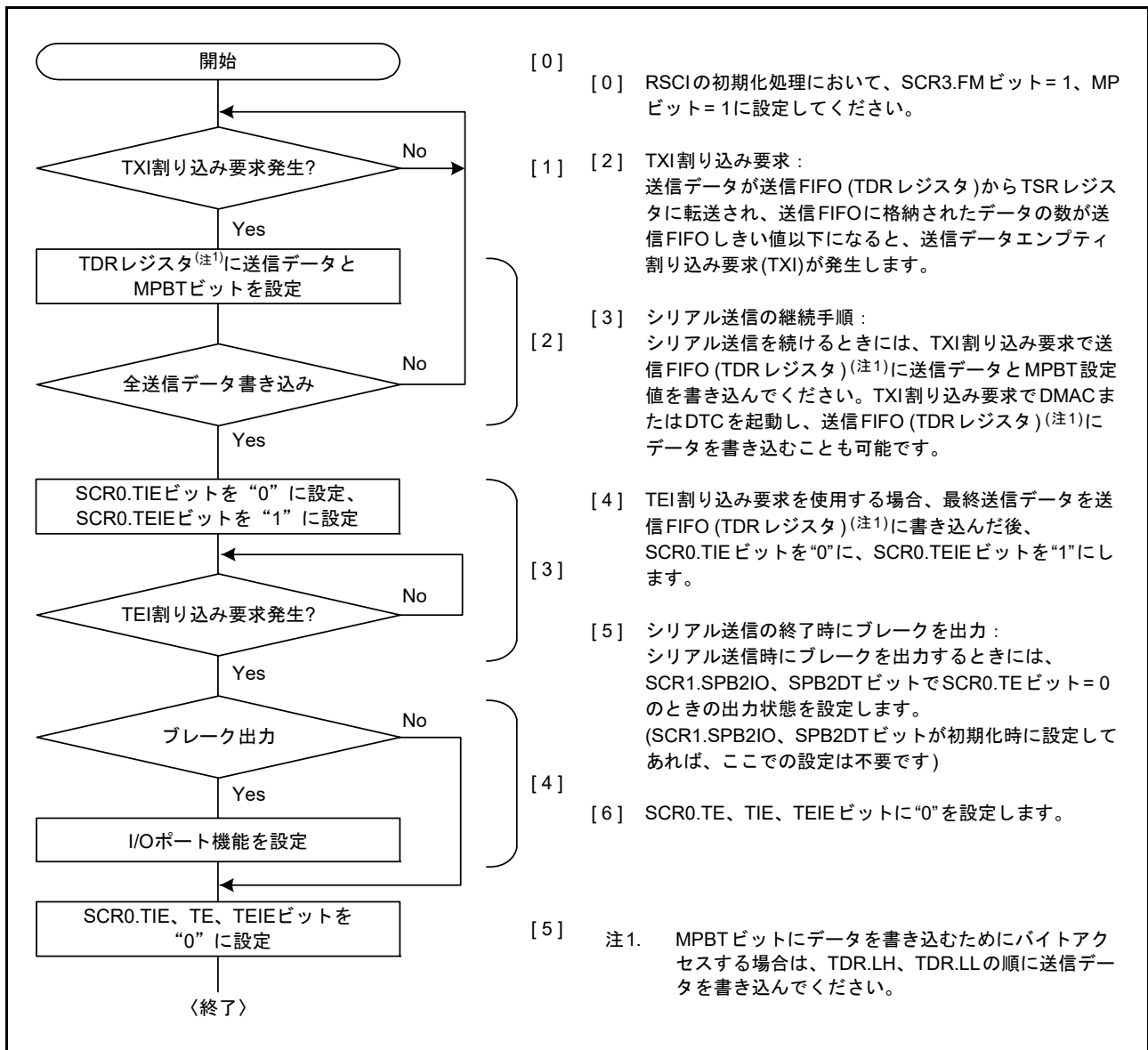


図 36.27 マルチプロセッサシリアル送信のフローチャートの例 (FIFO モード時)

36.4.2 マルチプロセッサシリアルデータ受信

(1) 非 FIFO モード時

図 36.29、図 36.30 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR0.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 36.28 に受信時の動作例を示します。

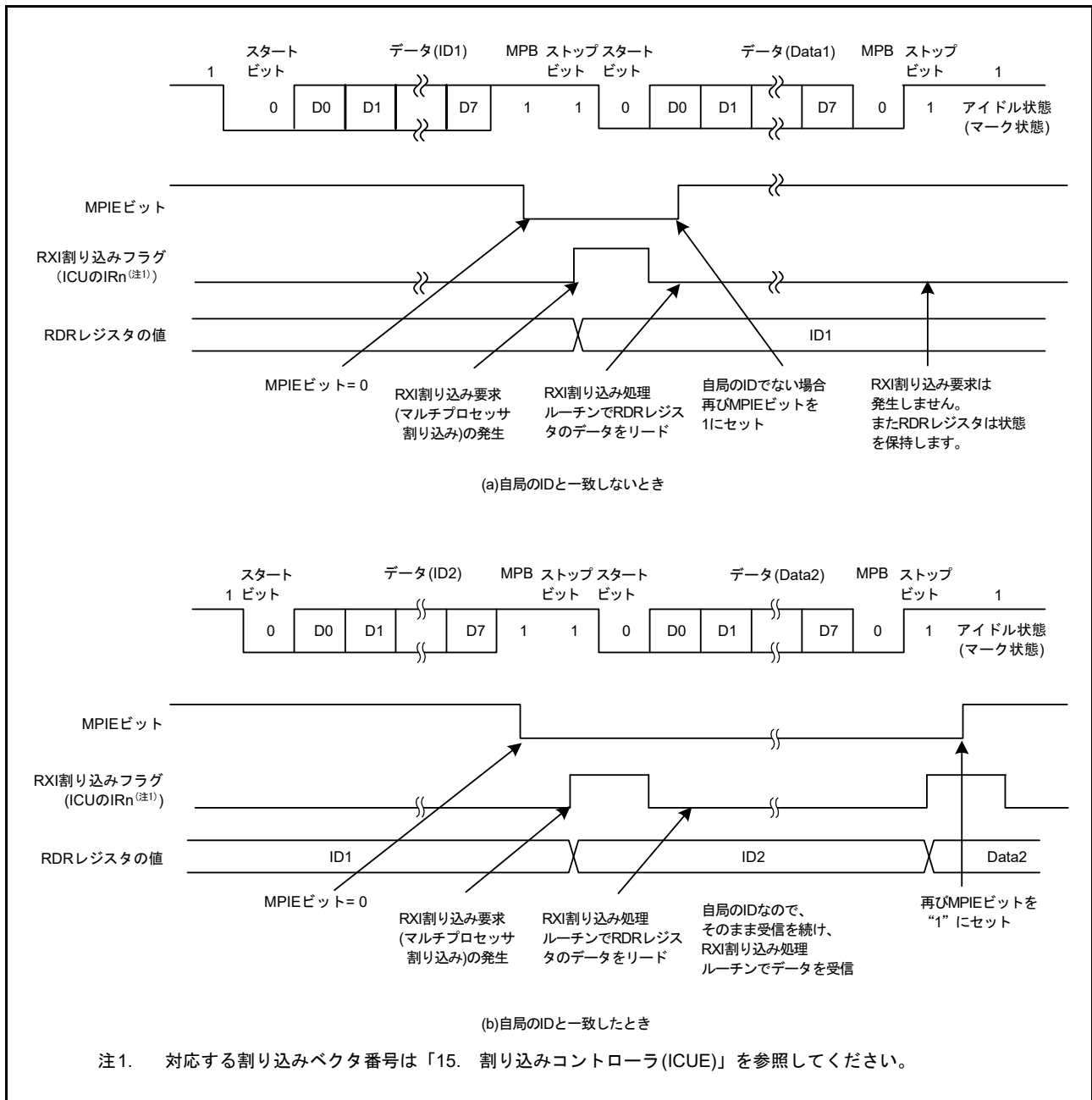


図 36.28 RSCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

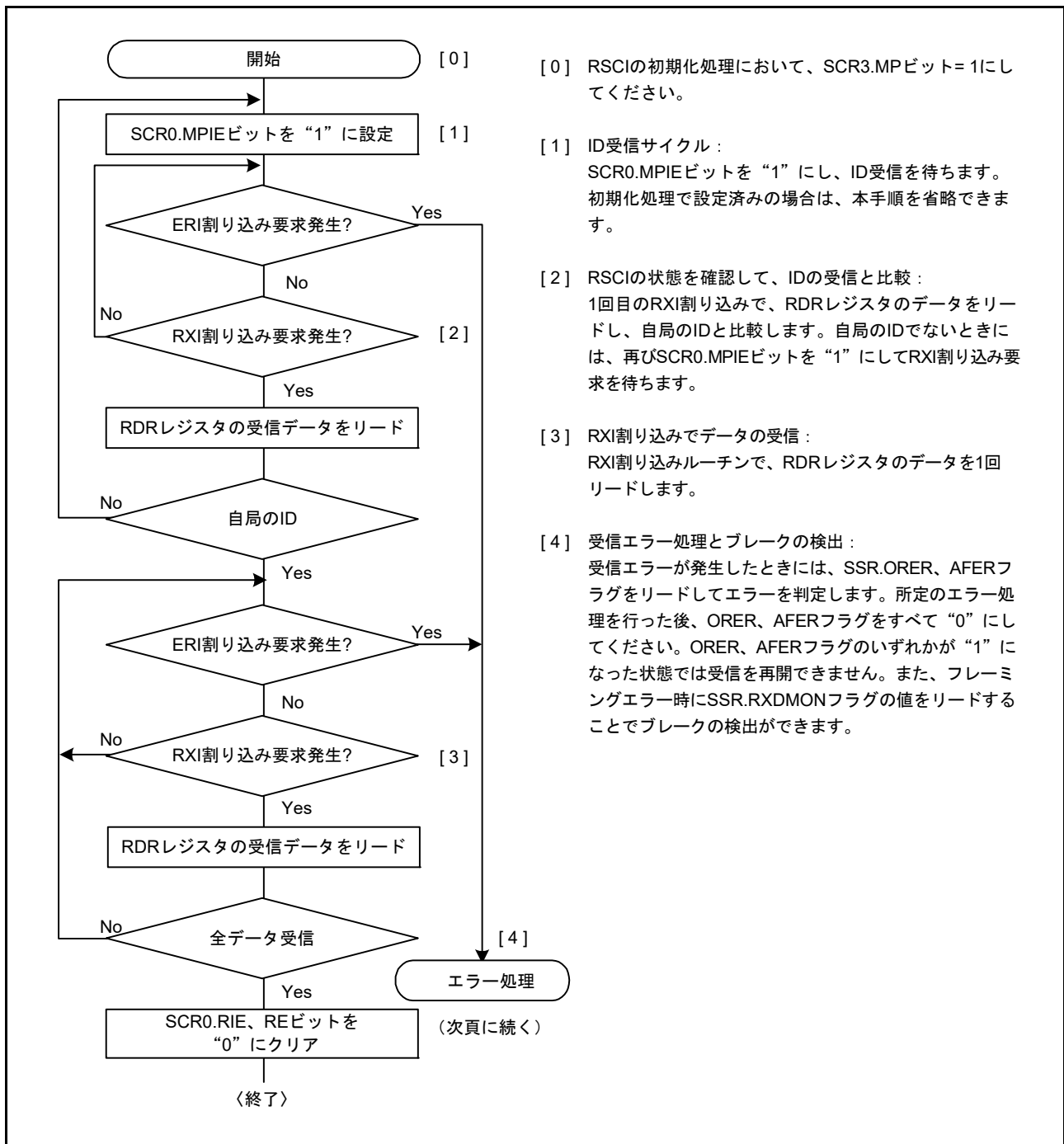


図 36.29 マルチプロセッサシリアル受信のフローチャートの例 (1) (非 FIFO モード時)

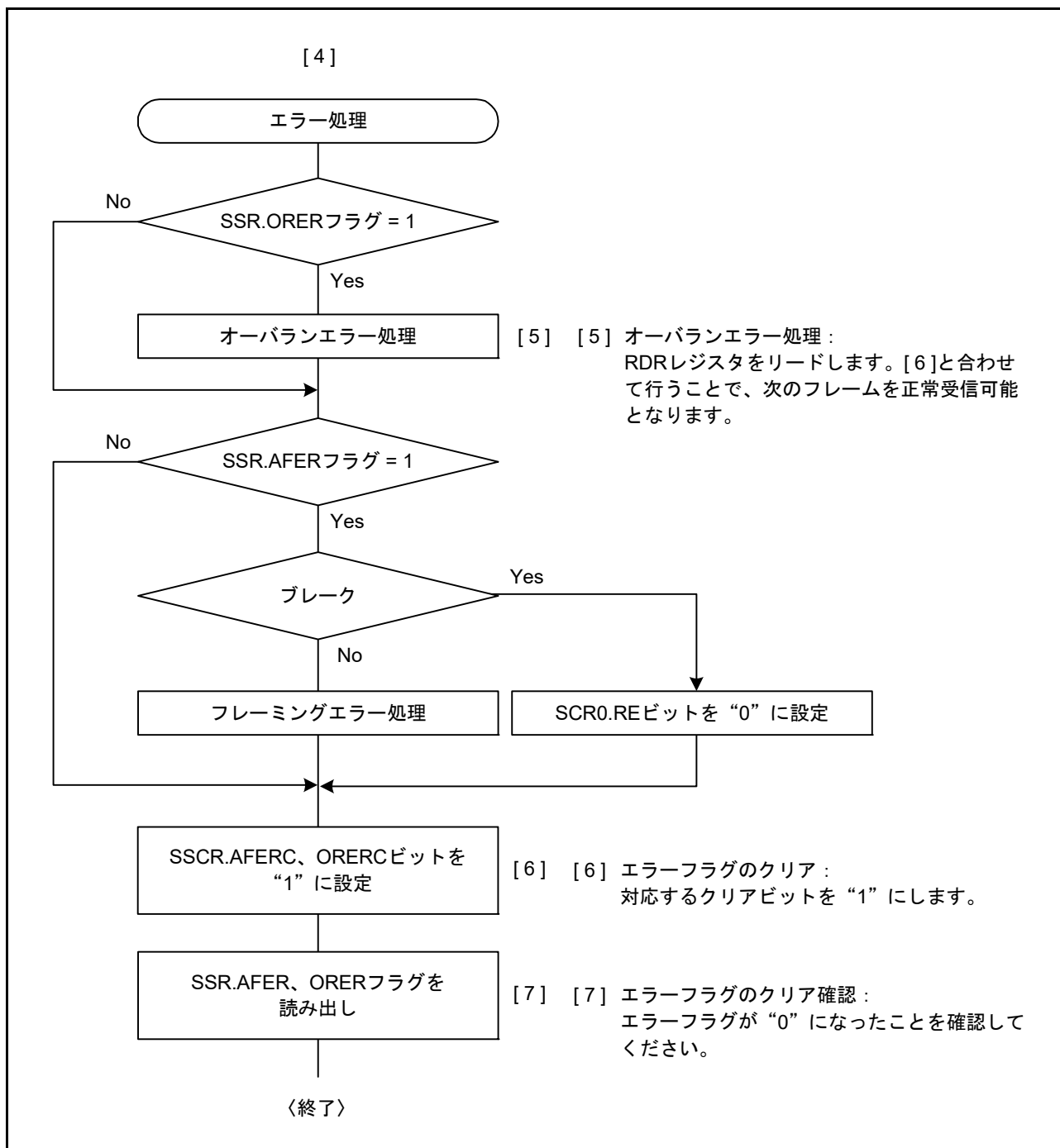


図 36.30 マルチプロセッサシリアル受信のフローチャートの例 (2) (非 FIFO モード時)

(2) FIFO モード時

表 36.33 にマルチプロセッサデータ受信で FIFO バッファを選択したときの、受信 FIFO (RDR レジスタ) に格納される受信データフォーマットを示します。

MPB フラグは RDR レジスタのビット 9 に格納され APER フラグ、PER フラグには“0”が格納されます。受信データは、7 ビットデータ長選択時は RDR.RDAT[6:0] ビットに、8 ビットデータ長選択時は RDR.RDAT[7:0] ビットに、9 ビットデータ長選択時は RDR.RDAT[8:0] ビットに格納され、未使用のビットには“0”が格納されます。受信 FIFO (RDR レジスタ) を読み出すと受信 FIFO (RDR レジスタ) 内の FER、PER、MPB フラグおよび受信データ (RDAT[8:0] ビット) が、次のデータに更新されます。受信 FIFO (RDR レジスタ) の AFER、APER、ORER フラグには、SSR レジスタ、RFSR レジスタの対応するフラグの状態が常に反映されます。

表36.33 マルチプロセッサシリアル受信データの受信FIFO (RDRレジスタ)格納フォーマット(FIFOモード時)

データ長	レジスタの設定		RDRレジスタの受信データ															
	SCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	0	0	0	FER	PER	DR	MPB	0	0	RDAT[6:0]						
8ビット	1	0	0	0	0	FER	PER	DR	MBT	0	RDAT[7:0]							
9ビット	0	任意	0	0	0	FER	PER	DR	MPB	RDAT[8:0]								
データ長	SCR3.CHR[1:0]		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
7ビット	1	1	0	0	0	AFER	APER	0	0	ORER	0	0	0	0	0	0	0	0
8ビット	1	0	0	0	0	AFER	APER	0	0	ORER	0	0	0	0	0	0	0	0
9ビット	0	任意	0	0	0	AFER	APER	0	0	ORER	0	0	0	0	0	0	0	0

注. 7ビットデータ長選択時、RDAT[8:7]ビットからは“0”が読み出されます。
8ビットデータ長選択時、RDAT[8]ビットからは“0”が読み出されます。

図 36.31 にマルチプロセッサデータ受信で FIFO バッファを選択したときのフローチャートの例を示します。SCR0.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると、MPIE ビットが“0”になり、受信フレーム中の MPB フラグと受信データ、および受信時に検出したフレーミングエラーの有無を、受信 FIFO (RDR レジスタ) に転送します。フレーミングエラーが発生し SSR.AFER フラグが“1”になった後、SSR.AFER フラグが“1”の状態でも受信動作は継続します。その他の動作は調歩同期式モードで FIFO バッファを選択したときの動作と同じです。

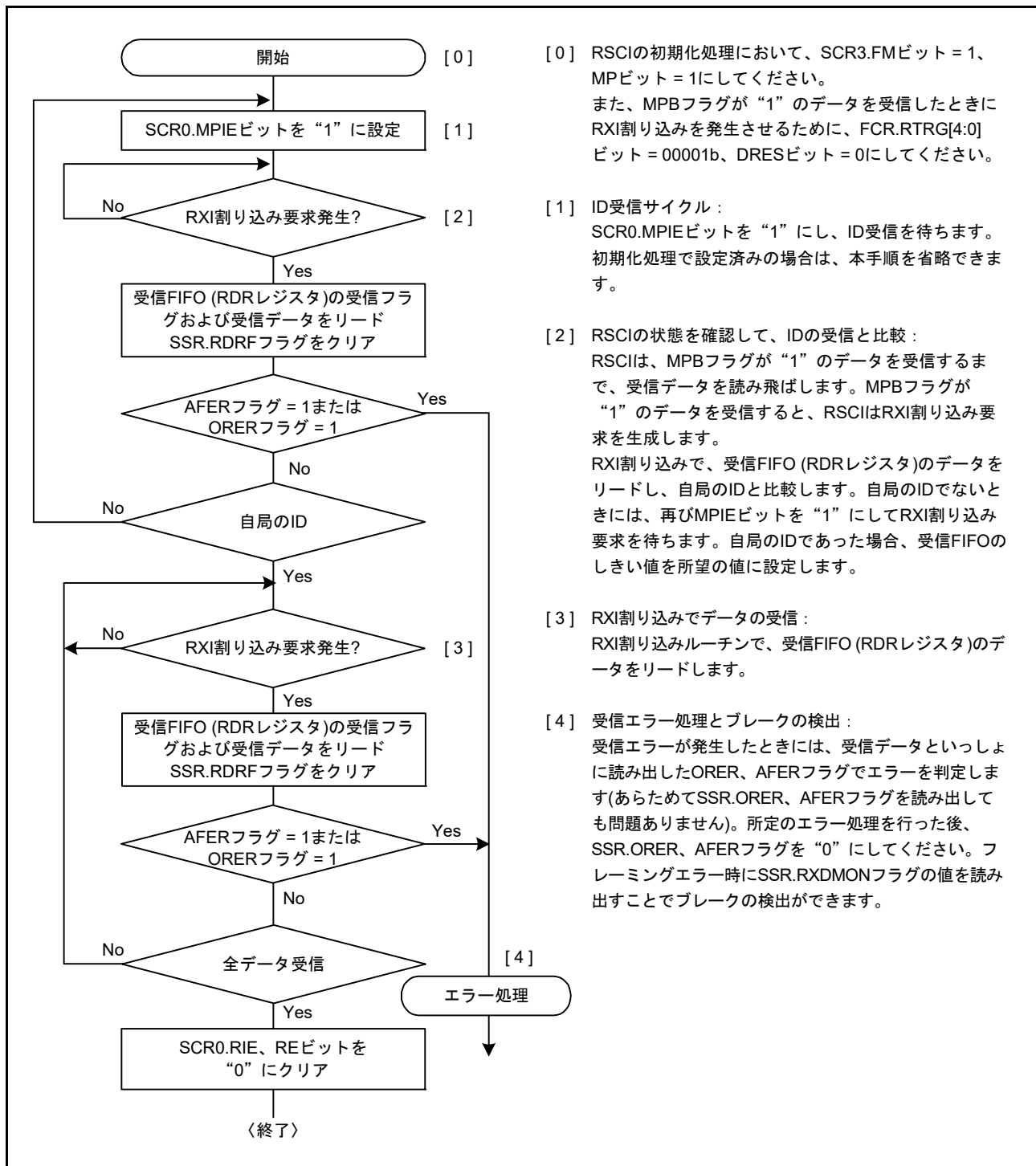


図 36.31 マルチプロセッサシリアル受信のフローチャートの例 (1) (FIFO モード時)

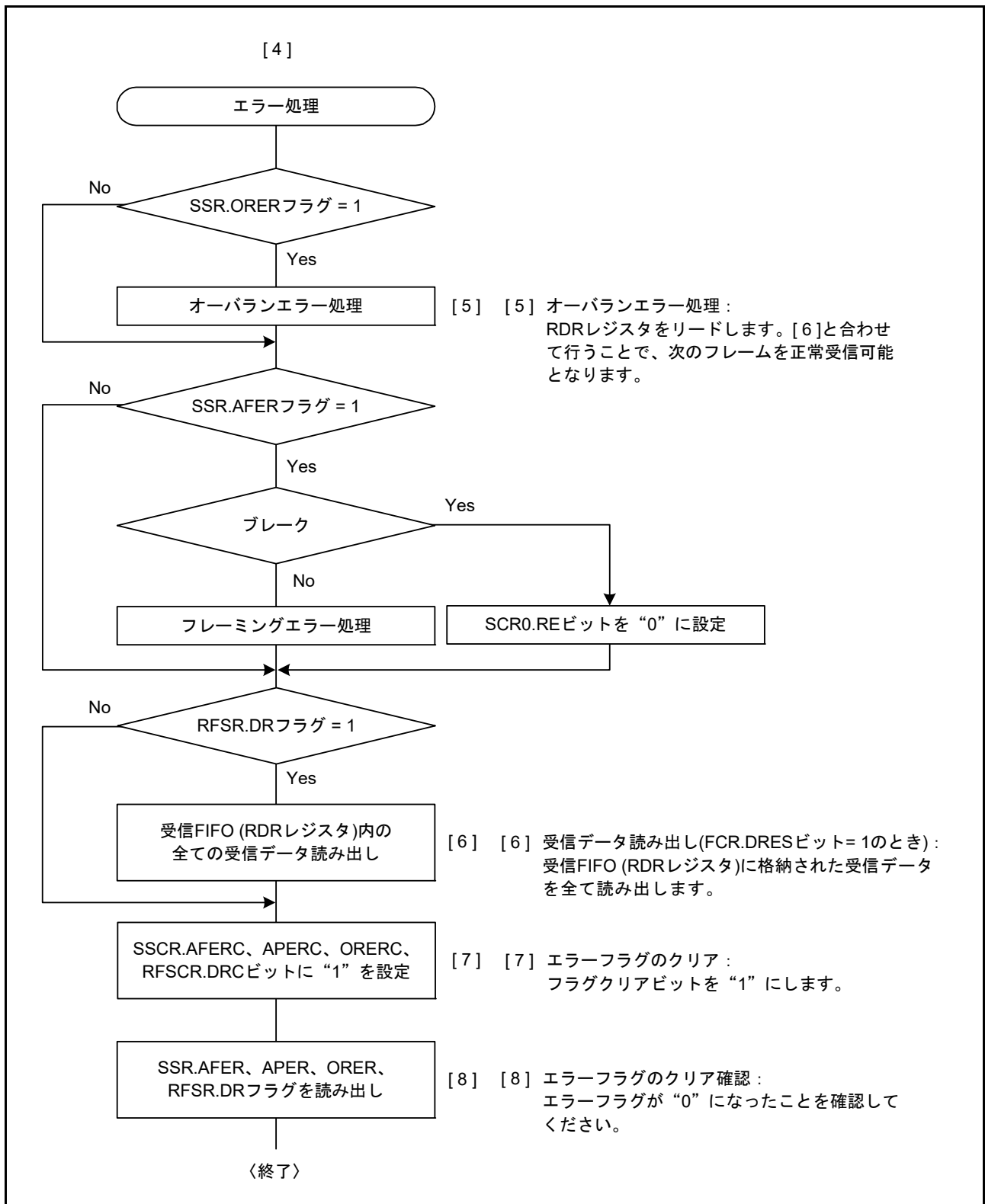


図 36.32 マルチプロセッサシリアル受信のフローチャートの例 (2) (FIFO モード時)

36.5 マンチェスタモード

マンチェスタモードを使用すると、送受信シリアルデータをマンチェスタコードで扱います。マンチェスタ符号化のイメージを図 36.33 に示します。

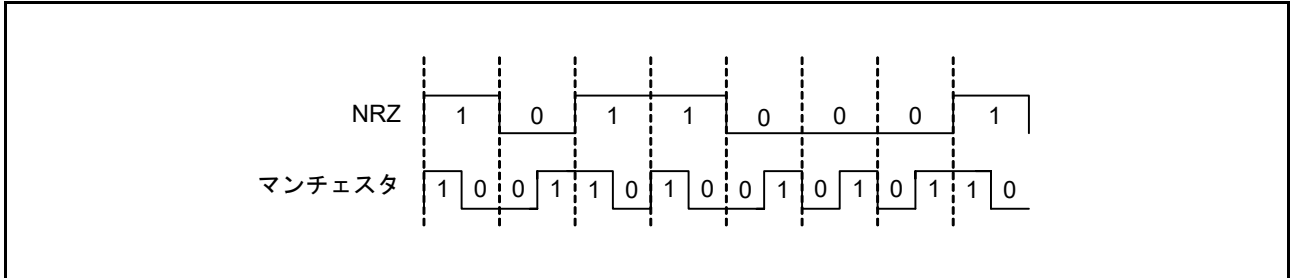


図 36.33 マンチェスタ符号化の例

マンチェスタモード時はレジスタに設定した送信データに対してプリフェースとスタートビット領域を付加し送信フレームを構築します。送信時はマンチェスタ符号化し、受信時は送信と同じフォーマットのフレームを検出し、NRZ 符号化してデータを受信します。

フレームフォーマットの詳細については「36.5.1 フレームフォーマット」を参照ください。

36.5.1 フレームフォーマット

図 36.34 がマンチェスタモードを使用した場合のフレームフォーマットです。

図の上部に記載しているのは、関連する設定レジスタです。

マンチェスタ符号化する領域は、プリフェース領域とデータ領域となります。

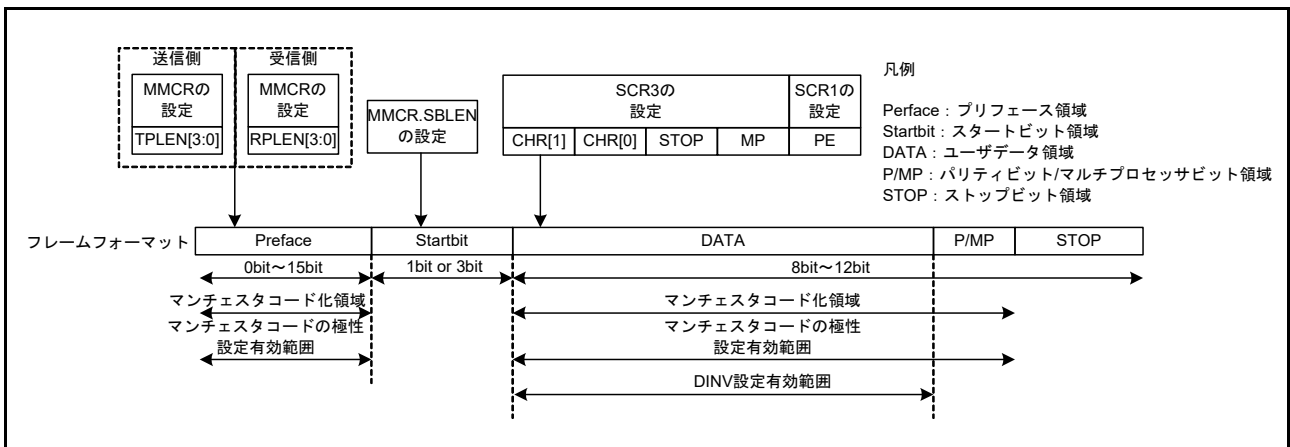


図 36.34 マンチェスタモード時のフレームフォーマット

(1) プリフェース領域

フレームの先頭を示す固定パターン領域です。

プリフェース領域は送信と受信で設定レジスタが異なります。送信時は MMCR.TPLEN[3:0] ビットの設定、受信時は MMCR.RPLEN[3:0] ビットの設定でプリフェース長が決定されます。

“0”にした場合、プリフェースはディセーブルとなり付加されません。1d ~ 15d に設定した場合、プリフェースはその設定に従った長さが付加されます (例えば 1d なら 1 ビット、15d なら 15 ビットになります)。

また、プリフェースパターンは設定で可変することが可能で、送信時は MMCR.TPPAT[1:0] ビット、受信

時は MMCR.RPPAT[1:0] ビットを設定することで 4 種類のパターンから選択できます。

プリフェースパターンの設定イメージを図 36.35 に示します。このプリフェース / スタートビット領域は毎通信に付加されます。

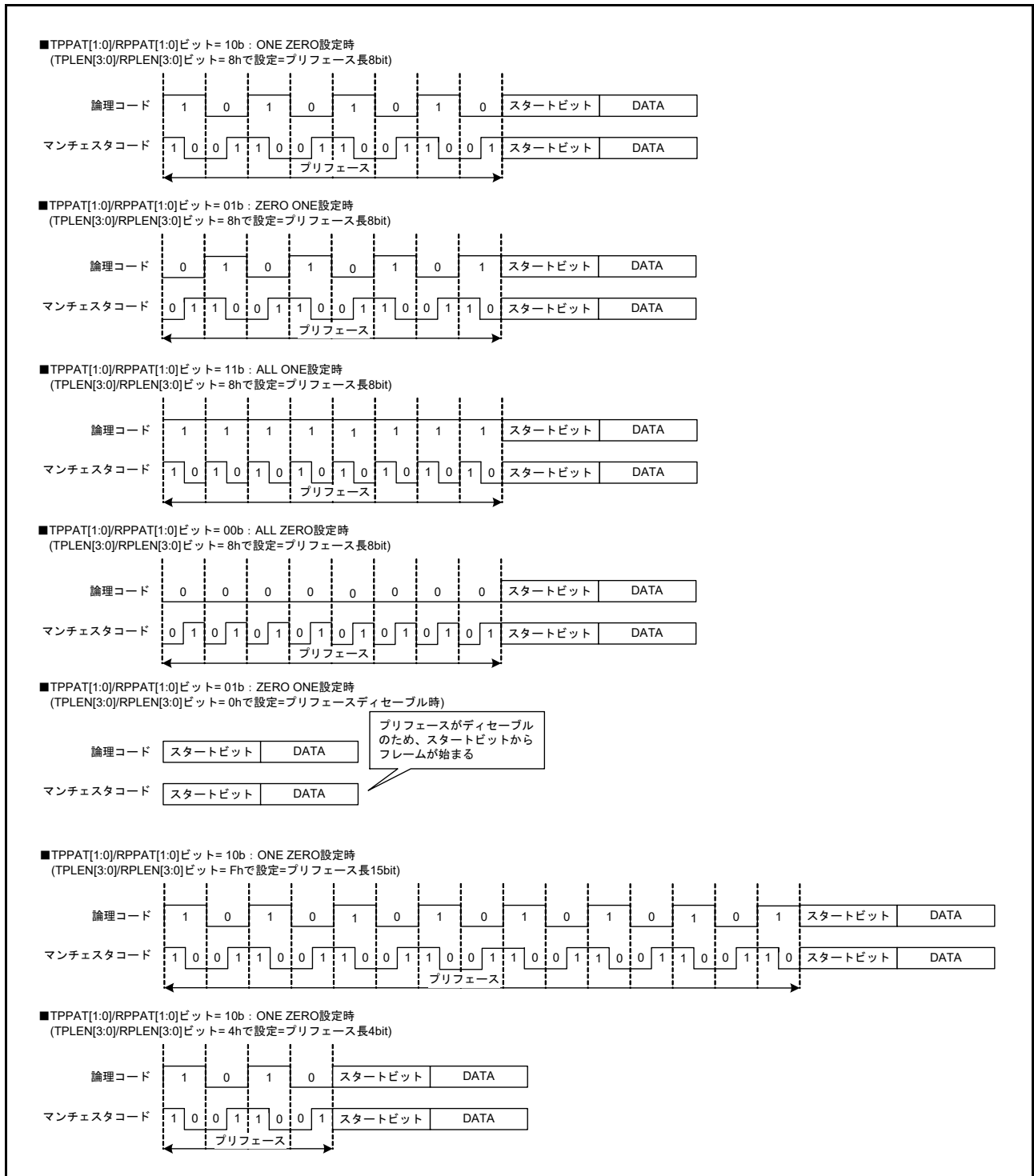


図 36.35 プリフェースパターン設定例

(2) スタートビット領域

フレームの有効データ先頭を示す領域です。プリフェース領域の後にアサインされています。

MMCR.SBLEN ビットの設定でスタートビット長が決定されます。MMCR.SBLEN ビット=0のときは、スタートビットは1ビットとなります。MMCR.SBLEN ビット=1のときは、スタートビットは3ビットとなります。

MMCR.SBLEN ビットを“1”にすると、Sync 種別を<コマンド Sync>と<データ Sync>の2種の中から設定することが可能です。

<コマンド Sync>とは、スタートビットが3bitであるときに、1→0遷移を行うパターンです。

また、<データ Sync>とは、スタートビットが3bitであるときに、0→1遷移を行うパターンです。

Sync 種別に関しては、MMCR.SYNCE と MMCR.SBPTN 設定および TDR.SYNC ビットの設定によって決定されます(受信時は MMSR.RSYNC ビットに受信結果が反映されます)。

MMCR.SBLEN ビットを“0”にすると、0→1遷移または1→0遷移を設定することが可能です。この選択は MMCR.SBPTN 設定によって決定されます。

MMCR.SYNCE ビットで、送信時の設定の参照先を指定します。“1”にした場合は MMCR.SBPTN ビットの設定を参照し、“0”にした場合は TDR.SYNC ビットの設定を参照します。

上記のスタートビット関連レジスタ(MMCR.SYNCE, MMCR.SBPTN, TDR.SYNC)を設定した場合のスタートビット領域の状態を、送信と受信に分けてそれぞれ図 36.36、図 36.37 に示します。

スタートビットは MMCR.ENCS/DECS ビットの設定の影響は受けません。

レジスタ設定				信号出力				スタートビット出力
MMCR			TDR	TXD出力波形				
SBLLEN	SYNCE	SBPTN	SYNC					
0	d.c.	0	d.c.					1bit 0 → 1遷移
0	d.c.	1	d.c.					1bit 1 → 0遷移
1	0	0	d.c.					3bit 0 → 1遷移
1	0	1	d.c.					3bit 1 → 0遷移
1	1	d.c.	0					3bit 0 → 1遷移
1	1	d.c.	1					3bit 1 → 0遷移

d.c. : 任意
 Preface : プリフェース領域
 START : スタートビット領域
 DATA : データ領域
 P : パリティビット領域
 MP : マルチプロセッサビット領域
 STOP : ストップビット領域

図 36.36 送信時のスタートビット関連設定とフォーマット

レジスタ設定				信号入力				スタートビット 検出結果(注1)	レジスタ表示
MMCR			TDR	RXD入力波形					MMSR.RSYNC
SBLEN	SYNCE	SBPTN	SYNC						
0	d.c.	0	d.c.		スタートビット 正常 (1bit 0 → 1遷移)	0			
					スタートビット エラー	0			
					スタートビット エラー	0			
					スタートビット エラー	0			
0	d.c.	1	d.c.		スタートビット エラー	0			
					スタートビット 正常 (1bit 1 → 0遷移)	0			
					スタートビット エラー	0			
					スタートビット エラー	0			
1	d.c.	d.c.	d.c.		スタートビット エラー	0			
					スタートビット エラー	0			
					データSync	0			
					コマンドSync	1			

d.c.: 任意
 Preface: プリフェース領域
 START: スタートビット領域
 DATA: データ領域
 P: パリティビット領域
 MP: マルチプロセスビット領域
 STOP: ストップビット領域
 注1. スタートビット以外は正常と仮定。

図 36.37 受信時のスタートビット関連設定と判定

(3) DATA

DATA 部分のフォーマットは調歩同期式モードと同じ設定になるので、「36.3.1 シリアル送信 / 受信フォーマット」を参照ください。

図 36.34 マンチェスタモード時のフレームフォーマットにも記載していますが、マンチェスタ符号化範囲にストップビットは含まれていませんので注意してください。

36.5.2 クロック

マンチェスタモードの送受信クロックは、SCR2.CKS[1:0] ビットを設定し、内蔵ポーレートジェネレータで生成するクロックを使用します。

また、SCR2.ABCS ビットでオーバサンプリング (1 ビット期間の転送レート) を設定することが可能です。SCR2.ABCS ビット = 0 に設定すると基本クロック 16 サイクルの期間を 1 ビット期間の転送レートとするオーバサンプリング 16 倍が選択され、SCR2.ABCS ビット = 1 にすると基本クロック 8 サイクルの期間を 1 ビット期間の転送レートとするオーバサンプリング 8 倍を選択できます。

36.5.3 マンチェスタモード時の RSCI 初期化

マンチェスタモードの初期化処理は、データの送受信前に、SCR0.TE ビットと SCR0.RE ビットに“0”を書き込み (SCR0 レジスタに初期値を書き込むでも可)、図 36.38 のフローチャート例に従って初期化してください。

動作モードの変更、通信フォーマットの変更の場合も SCR0.TE ビットと SCR0.RE ビットに“0”を書き込んでから変更してください。

なお SCR0.RE ビットを“0”にしても、SSR.ORER、AFER、APER、RDRF および MMSR.MCER、SYER、PFER、SBER の各フラグ、および RDR レジスタは初期化されませんので注意してください。

また SCR0.TIE ビットが“1”の場合、SCR0.TE ビットを“0”から“1”にすると、TXI 割り込み要求が発生します。

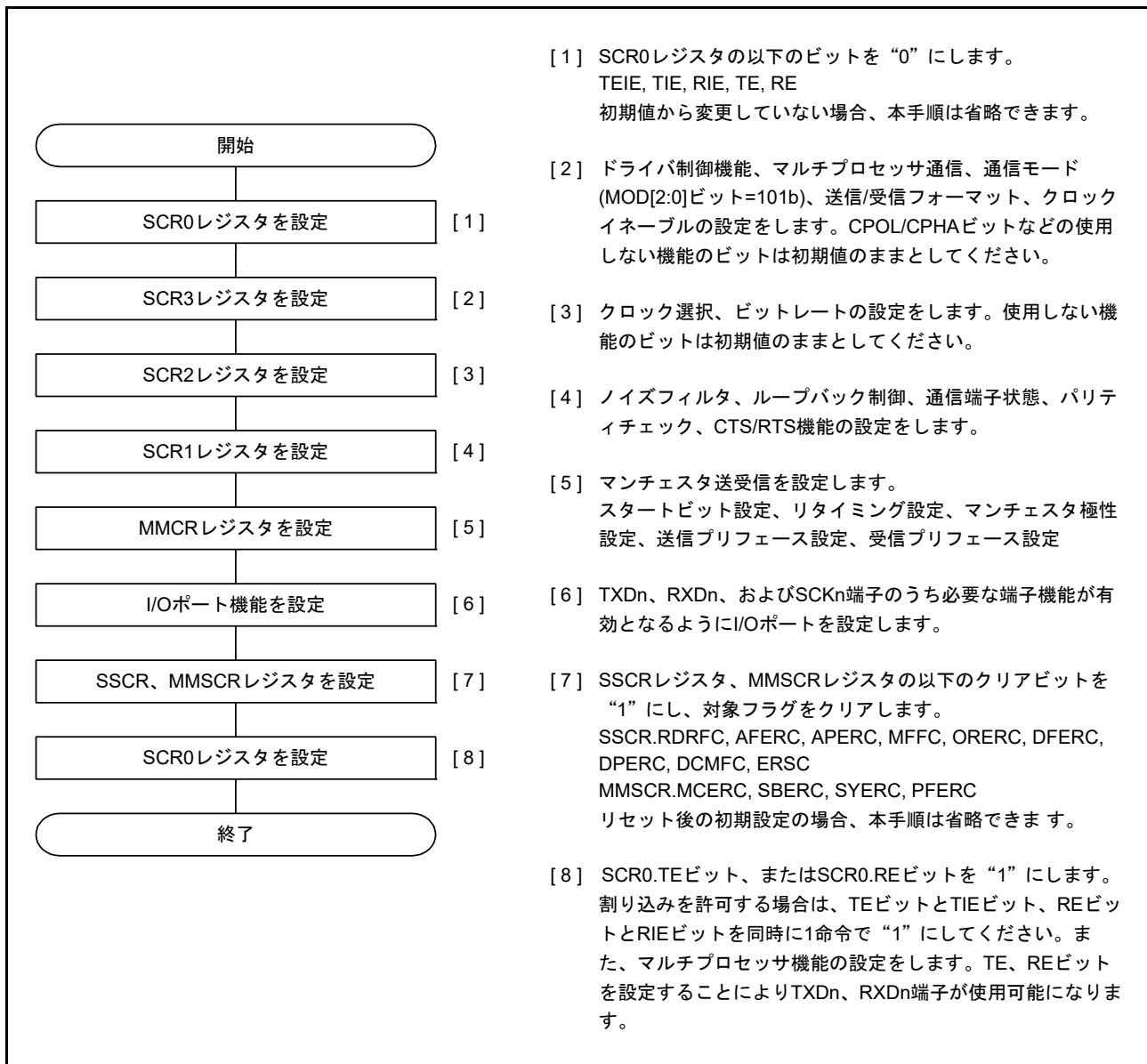


図 36.38 マンチェスタモード時の RSCI 初期化フロー

36.5.4 倍速動作

SCR2.ABCS ビットを“1”にし1ビット期間中の基本クロックパルス数8を選択すると、SCR2.ABCS ビットを“0”にした場合の2倍のビットレートで動作します。

また、SCR2.BGDM ビットを“1”にすると、基本クロックの周期が1/2倍になり、SCR2.BGDM ビットを“0”にした場合の2倍のビットレートで動作します。

SCR2.ABCS ビット=1かつSCR2.BGDM ビット=1にすることで、SCR2.ABCS ビット=0かつSCR2.BGDM ビット=0の場合の4倍のビットレートで動作することができます。

36.5.5 CTS、RTS 機能

CTS 機能は、CTS# 端子入力を使用して送信制御を行う機能です。SCR1.CTSE ビットを“1”にすると CTS 機能が有効になります。また、CTS#/RTS# 端子は、1 端子でどちらかの機能を使用する兼用設定と、2 端子でそれぞれの機能を同時に使用する専用の設定が可能です。SCR1.CRSEP ビットでその設定を行います。

CTS 機能が有効のとき、CTS# 端子入力が Low のときのみ送信動作を開始します。

送信開始後に CTS# 端子が High になっても、送信中のフレームは影響を受けず送信を続けます。

RTS 機能は、RTS# 端子出力を使用して送信要求を行う機能です。受信可能状態になると RTS# 端子に Low を出力します。Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件を全て満たす場合

- SCR0.RE ビットが“1”
- 読み出し前の受信データがない、かつ受信中でない
- SSR.ORER、AFER、APER フラグおよび MMSR.MCER、SBER (SBERIE = 1 の場合)、SYER (SYERIE = 1 の場合)、PFER (PFERIE = 1 の場合) フラグが全て“0”

[High になる条件]

Low になる条件を満たさない場合

36.5.6 マンチェスタデータ送信

データをマンチェスタ符号化して送信します。

極性設定 (MMCR.ENC5 ビット) が“0”に設定されている場合、論理コード 0 をマンチェスタコード 0 → 1 遷移に、論理コード 1 をマンチェスタコード 1 → 0 遷移に符号化します。

極性設定 (MMCR.ENC5 ビット) が“1”に設定されている場合、論理コード 0 をマンチェスタコード 1 → 0 遷移に、論理コード 1 をマンチェスタコード 0 → 1 遷移に符号化します。

そのため個々の論理データの間でマンチェスタ符号化したデータはレベル遷移が発生します (図 36.33 参照)。

送信部では、データに対してプリフェース領域の付加、スタートビット領域の設定を極性設定に従って、送信フレームのフォーマットを構築してシリアルデータの送信を行います。

フレームフォーマットについては「36.5.1 フレームフォーマット」を参照してください。

送信時のフローチャートは、図 36.39 に示します。送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に“1”にしてください。すると TXI 割り込み要求が発生します。

また、図 36.40 ~ 図 36.42 にマンチェスタモードのシリアル送信の動作例を示します。

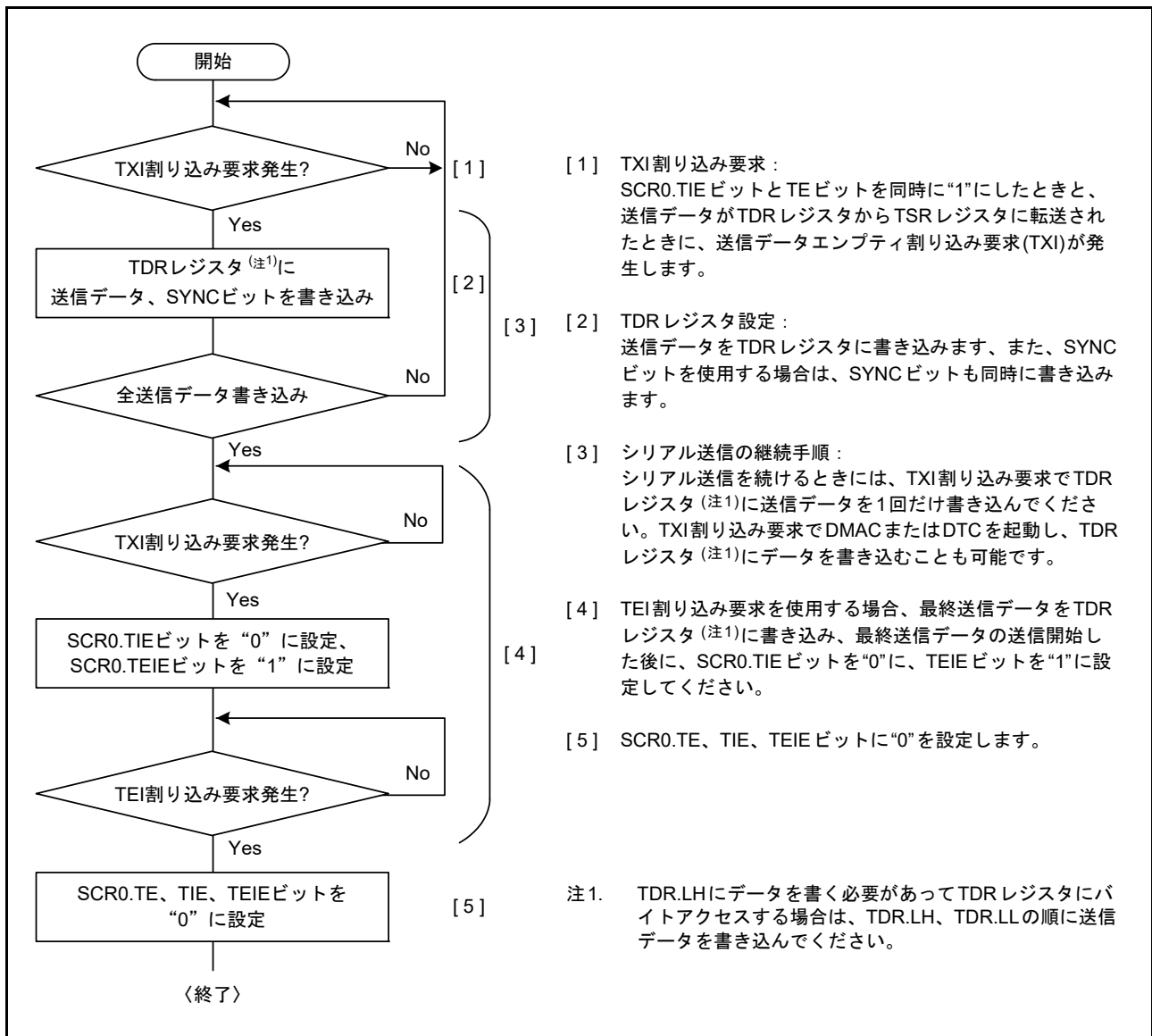


図 36.39 マンチェスタ送信フローチャート

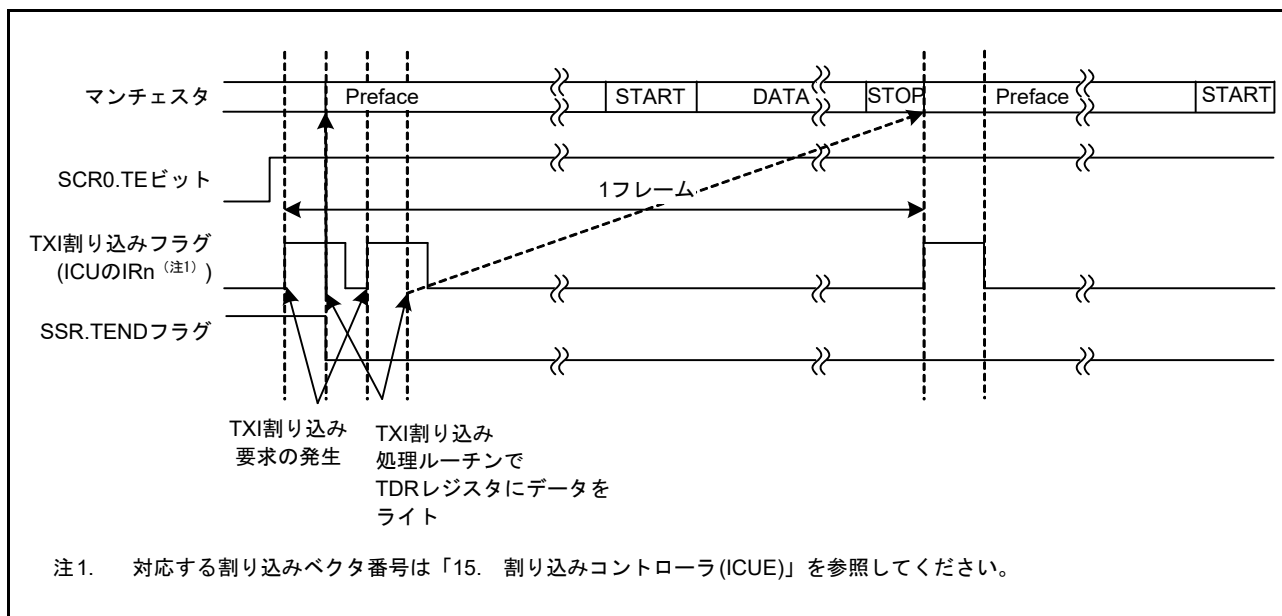


図 36.40 マンチェスタデータ送信例 (プリフェースあり /CTS 機能 OFF/ 送信開始)

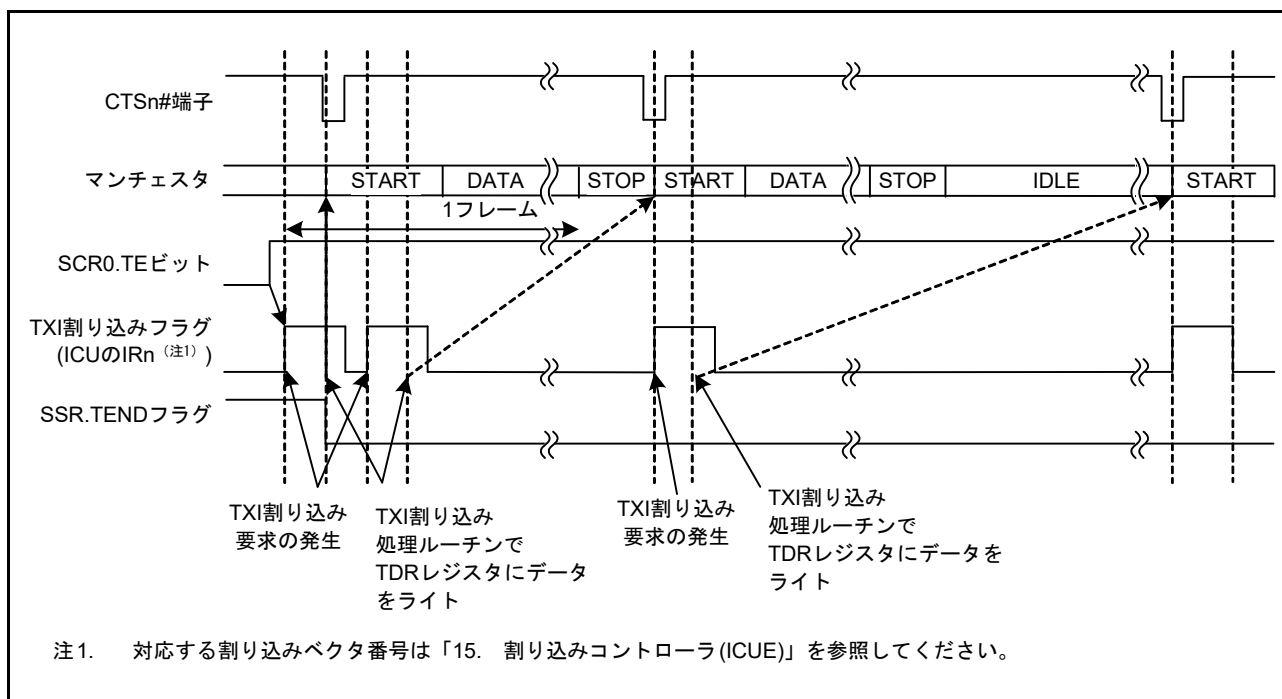


図 36.41 マンチェスタデータ送信例 (プリフェース無 /CTS 機能 ON/ 送信開始)

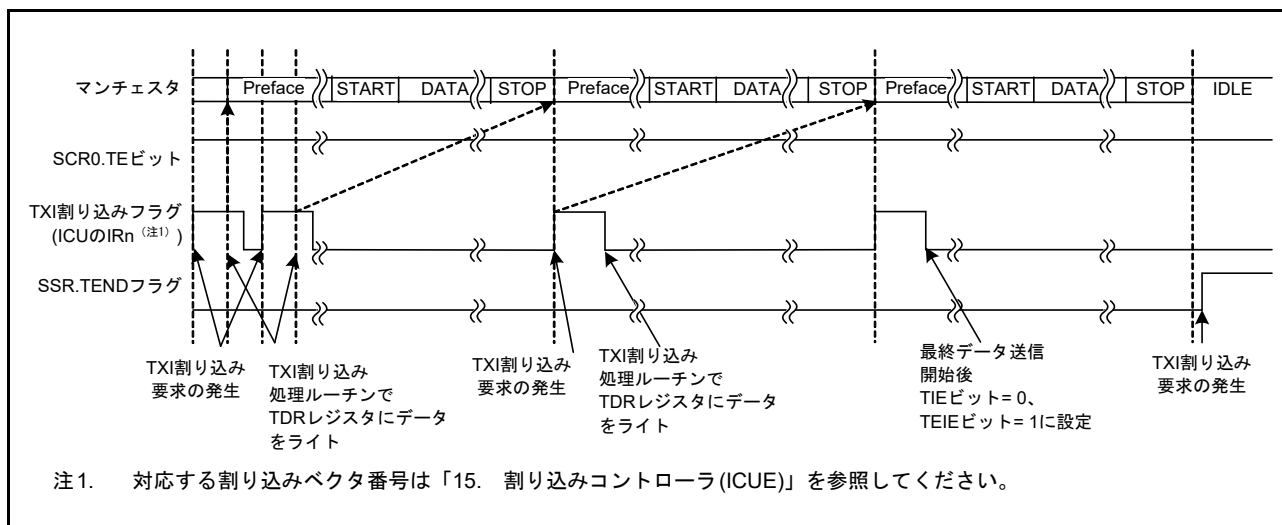


図 36.42 マンチェスタデータ送信例 (プリフェースあり /CTS 機能 OFF/ 送信完了)

36.5.7 マンチェスタデータ受信

マンチェスタモードでは、RSCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。受信時は受信データの立ち下がりから基本クロックでサンプリングして受信を開始します。図36.43に示すように、受信データの立ち下がりから受信を開始し、1/4ビットまで受信データがLowを維持すればその後の受信を続けます。1/4ビット以前に受信データがHighに戻った場合は、再度立ち下がりエッジを待ちます。

ビット前半がHighを期待する受信データの場合は、基本クロック1サイクル分のLowであればノイズと判断し、そのLowへの変化を無視します。

注1. SCR2.ABCSビット=0の場合です。SCR2.ABCSビット=1の場合は、ビットレートの8倍の周波数の基本クロックで動作します。

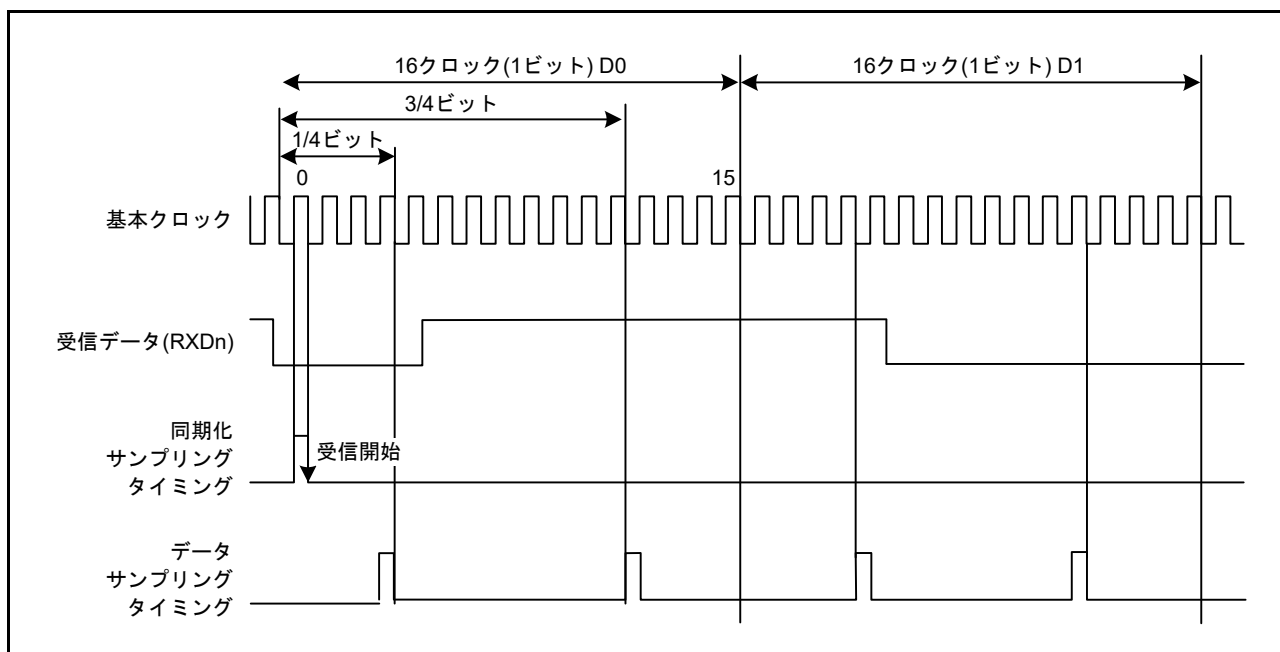


図 36.43 マンチェスタモードのデータ受信サンプリングタイミング

マンチェスタデータ受信では、まずプリフェースとスタートビットの検出を行います。

RXDn 端子からの入力に対して、MMCR.RPLEN[3:0] ビットの設定値からプリフェースが付加されているか判定します。

プリフェース無効 (MMCR.RPLEN[3:0] ビット = 0) 設定時は、プリフェース検出を行わずにスタートビット検出に移行します。

プリフェース有効時は、MMCR.RPPAT[1:0] ビットの設定値からプリフェースパターンを認識し、RXD 入力とパターン一致比較を行いプリフェースパターンの検出を行います。

プリフェースパターン一致を検出した時点で、正常プリフェースと判定し、スタートビット検出に遷移します。

プリフェースパターン不一致を検出した場合もしくはプリフェース領域でマンチェスタコードエラーを検出した場合は、プリフェースエラーと判定し、プリフェースエラーフラグ (PFER) をアサートします。

スタートビット検出はレジスタ設定 (MMCR.SBLEN ビット、SBPTN ビット) から期待値を選択し、RXD 入力に対してパターン一致比較を行い、スタートビットを検出します。スタートビットパターン一致を検出した時点で、正常スタートビットと判定しデータ処理に遷移します。

プリフェース検出とスタートビット検出が正常の場合のみ、続くデータ受信を行います。

スタートビットパターン不一致を検出した時点で、スタートビットエラーフラグ (SBER) をアサートします。

データ処理ではレジスタ設定 (SCR3.CHR[1:0] ビット) から受信データ長の期待値分のデータを、RSR レ

ジスタを通してシフトしていきます。受信データの1ビット内で2点のサンプリング点が同一である場合、マンチェスタコードエラーとして判断します。詳しくは、「36.5.11 マンチェスタモードにおけるエラー」(4)を参照して下さい。

パリティ機能がディセーブル (SCR1.PE ビット=0) の場合、ストップビット検出に移行します。パリティ機能がイネーブル (SCR1.PE ビット=1) の場合、パリティチェックを行います。パリティエラーを検出した場合、パリティエラーフラグ (APER) をアサートしその後、ストップビット検出に移行します。

ストップビット検出では受信フレームのストップビット領域で以下をチェックします。

1ビット内に2点のサンプリング点を持ち、2点とも High であれば正常なストップビットと認識し RDR レジスタへデータを格納します。1点でも Low であれば、異常なストップビットと判定しフレーミングエラーフラグ (AFER) をセットします。エラー検出時も異常データとして受信データは RDR レジスタへ格納します。

図 36.44 にマンチェスタモードの受信の動作例を示します。

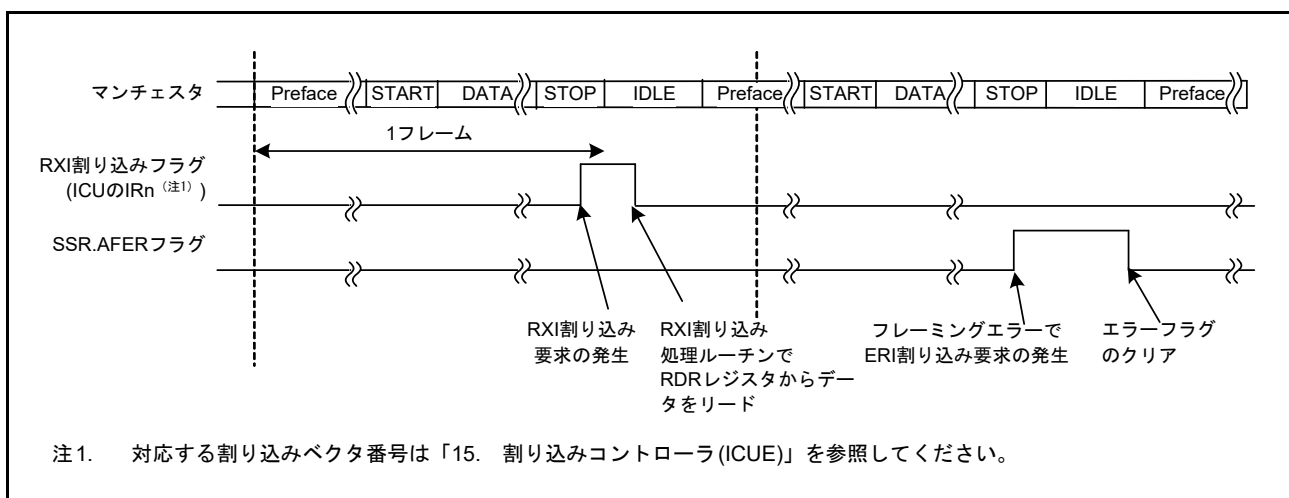


図 36.44 マンチェスタデータ受信 (プリフェースあり)

受信エラーを検出した場合の、SSR レジスタおよび MMSR レジスタの各ステータスフラグの状態と RXD 入力の処理に関しては、「36.5.11 マンチェスタモードにおけるエラー」を参照してください。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、AFER、APER、MCER、SYER (注2)、PFER (注2)、SBER (注2) フラグをクリアしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR0.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 36.45、図 36.46 にシリアル受信のフローチャートの例を示します。

注2. 対応するイネーブルビットが“1”の場合有効となります

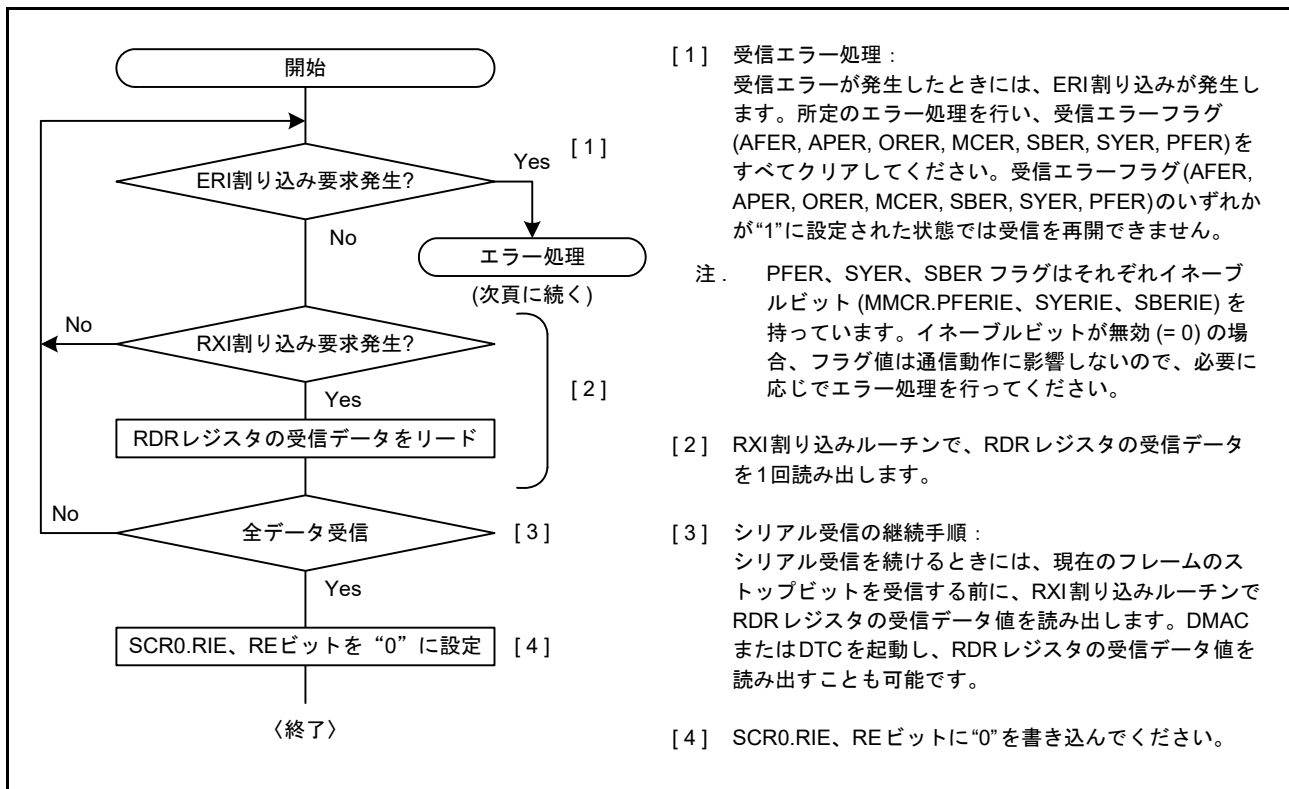


図 36.45 マンチェスタ受信フローチャート例 (通常)

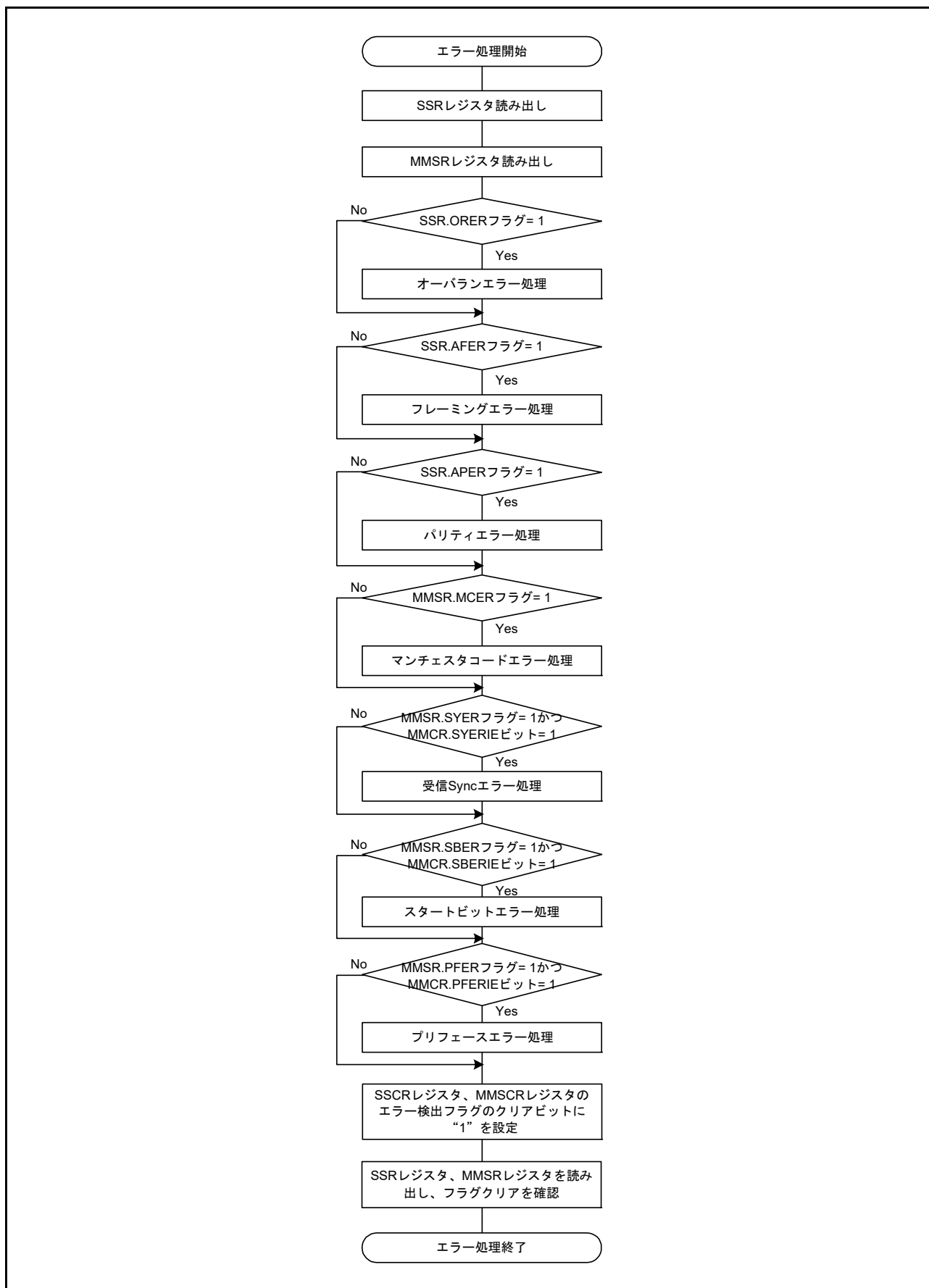


図 36.46 マンチェスタデータ受信フローチャート例 (エラー時)

36.5.8 マルチプロセッサビット使用時の動作

マルチプロセッサモード使用時のマンチェスタモードの動作については、「36.4 マルチプロセッサ通信機能」(1)と同じ動作になるので、そちらを参照してください。

マンチェスタモード時はフレームフォーマットにプリフェース、スタートビットを付加した形で読み替えてください。受信時のフローチャート (図 36.29) のエラー時処理については、マンチェスタモード時は図 36.46 を参照してください。各種エラー検出時の動作状態は、表 36.36 を参照してください。

36.5.9 受信リタイミング

マンチェスタコードがビット中央にエッジを持つことを利用して、そのビット中央エッジごとにタイミング補正を行う機能です。

受信リタイミング機能はレジスタ MMCR.SADJE ビットの設定によって、ON/OFF 設定が可能です。

受信リタイミング機能 OFF 時 (MMCR.SADJE ビット = 0) はリタイミングが行われないため、内部クロックと RXD 入力のずれが蓄積され、受信マージンが低下します

受信リタイミング機能 ON 時 (MMCR.SADJE ビット = 1) はプリフェース領域、スタートビット領域 (注 1) およびデータ領域 (ストップビットを除く) でタイミング補正を行います。

注 1. スタートビット領域に関して「プリフェース長 = 0」かつ「スタートビット 3 ビット」設定時はリタイミング対象外です。

例としてオーバサンプリング 16 倍設定時の受信リタイミングを示します。

RXD 入力のエッジを予定受信サイクルの 2 ~ 4 サイクル前に検出した場合、Sampling CLK で 1 サイクル受信処理を短縮します。

RXD 入力のエッジを予定受信サイクルの 2 ~ 3 サイクル後で検出した場合、Sampling CLK で 1 サイクル受信処理を伸ばします (クロックとデータのずれが 2 サイクル以上あっても、1 ビットあたりの補正幅としては 1 サイクルずつ補正します)。

図 36.47 に受信リタイミング範囲のイメージを示します。

図中の Tolerance 領域でエッジを検出した場合、補正は行わず、データを受け取ります。

図中の SyncJump 領域でエッジを検出した場合、補正を行い、データを受け取ります。

図中の SyncError 領域でエッジを検出した場合、補正は行わず、異常データとしてデータを受け取ります。

また、マンチェスタコードエラー (1/4 位相と 3/4 位相のサンプリングポイントでデータが一致した場合) はコードエラーとして値を受け取ります。

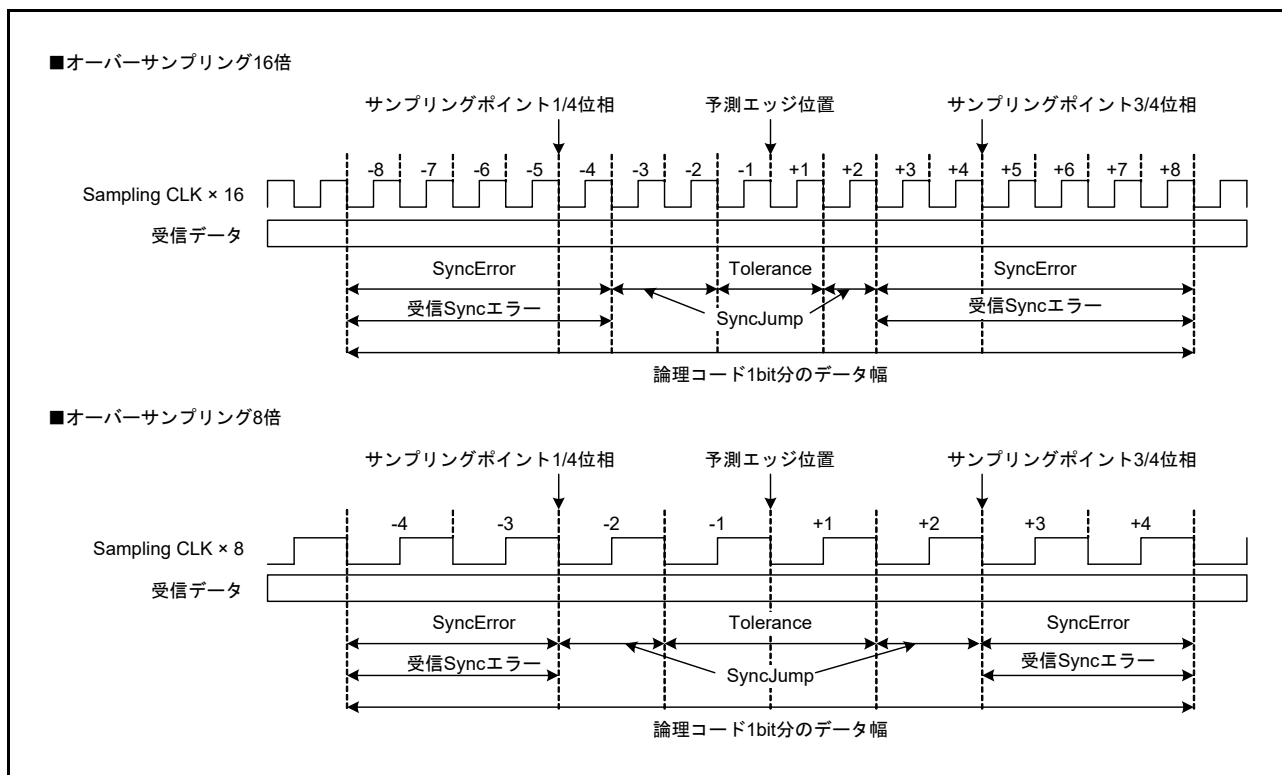


図 36.47 受信リタイミング範囲イメージ

36.5.10 マンチェスタコードの極性設定

マンチェスタモード制御レジスタ (MMCR) で、マンチェスタコードの極性設定が可能です。

送受信で別々に設定することが可能で、送信はMMCR.ENC5 ビット、受信はMMCR.DECS ビットにて設定することができます。

マンチェスタコードの極性設定の有効範囲はプリフェース領域、データ領域、パリティ/マルチプロセッサ領域となります。

マンチェスタコードの極性を初期設定 (ENC5/DECS ビット = 0) で処理した場合、論理コード 0 をマンチェスタコードで 0 → 1 遷移、論理コード 1 をマンチェスタコードで 1 → 0 遷移となりますが、設定を変更すると (ENC5/DECS ビット = 1)、論理コード 0 をマンチェスタコードで 1 → 0 遷移、論理コード 1 をマンチェスタコードで 0 → 1 遷移となります。設定と動作イメージを図 36.48 に示します。

また、データ領域に関しては上記機能とは別に送受信データインバート機能 (SCR3.DINV ビット) で送受信データを反転することができます。マンチェスタコードの極性設定 (MMCR.ENC5/DECS ビット) と送受信データインバート機能 (SCR3.DINV ビット) は、各々設定可能なので両方を反転 (MMCR.ENC5/DECS ビット = 1、SCR3.DINV ビット = 1) にした場合、両方の設定の有効範囲になっている送受信データは初期状態 (反転 + 反転 → 正転) となります。

スタートビット領域は、上記とは別なレジスタで極性を設定することが可能です。

設定レジスタが異なるため、上記のマンチェスタコードの極性設定の影響は受けません。

スタートビット領域の設定については、「36.5.1 フレームフォーマット」(2) を参照してください。

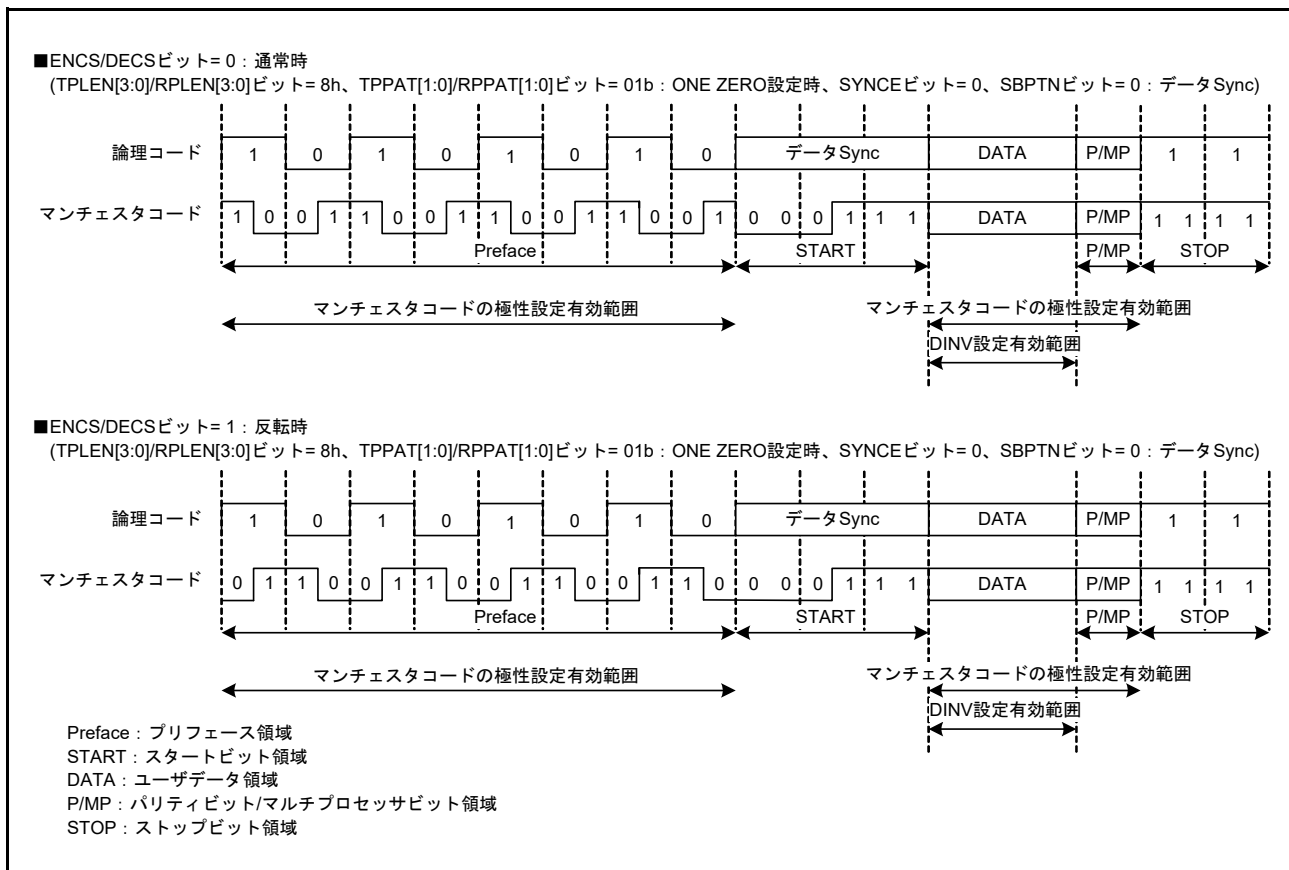


図 36.48 マンチェスタコードの極性設定有効範囲

36.5.11 マンチェスタモードにおけるエラー

マンチェスタモードでは、エラーに以下の種類があります。

- (1) パリティエラー
- (2) オーバランエラー
- (3) フレーミングエラー
- (4) マンチェスタコードエラー
- (5) プリフェースエラー
- (6) スタートビットエラー
- (7) 受信 Sync エラー

(1)～(3)のエラーに関しては、調歩同期式モードと同内容なので、「**36.3.9 シリアルデータの受信 (調歩同期式モード)**」(1)を参照してください。

各種エラーは各領域でその判定を行います。フラグや動作への反映は、STOP ビットの 3/4 ビットサンプリングのタイミングで行います。プリフェースエラーかスタートビットエラーを検出した場合は、以降のデータを受信しません。したがって、その他のエラー検出も行われず、エラーフラグは以前の情報を保持します。

エラーを検出した場合のシリアルステータスレジスタの状態と RDR レジスタへデータセットするかどうかの判定を表 36.34 に示します。また、マンチェスタフレームの各領域で検出可能なエラーを表 36.35 に示します。また、以前のフレームにエラーが検出されていた場合は、データを受信しませんが、プリフェース領域とスタートビット領域のエラーはそのフラグを更新します。この場合のフラグと動作を表したものを表 36.36 に示します。

(4) マンチェスタコードエラー

マンチェスタコードエラーは、マンチェスタコードのエラーを検出した場合にセットするエラーです。マンチェスタコードではビットの中央にエッジ (遷移) がないことはありません。

受信フレームのデータ領域 (パリティ / マルチプロセッサビットを含む) で受信した 1 ビットごとのデータに対して、1/4 と 3/4 のサンプリングポイントの値をチェックし、この 2 点の値が一致した場合マンチェスタコードエラーと判定します。

マンチェスタコードエラーを検出した場合、マンチェスタコードエラーフラグ (MMSR.MCER) をアサートします。

マンチェスタコードエラーが発生した場合、割り込み要因、イベント要因になります。エラーを検出した場合、フラグをクリアするまで次の受信を行いません。

(5) プリフェースエラー

プリフェースエラーは、プリフェースパターン不一致または、プリフェース領域でマンチェスタコードエラーを検出した場合にセットするエラーです。プリフェースエラーを検出した場合、プリフェースエラーフラグ (MMSR.PFER フラグ) をアサートします。

また MMCR レジスタの設定でプリフェースエラーを割り込み要因に含めるか含めないかを選択することができます。

MMCR.PFERIE ビット = 1 の場合、プリフェースエラーは、割り込み要因、イベント要因になります。そしてエラーを検出した場合、フラグをクリアするまで次の受信を行いません。

MMCR.PFERIE ビット = 0 の場合、プリフェースエラーが発生しても割り込み要因、イベント要因にはならず、次の受信を停止することはありません。ただしプリフェースエラーとして、MMSR.PFER フラグに通知は行われます。

(6) スタートビットエラー

スタートビットエラーは、受信フレームのスタートビット領域に対して設定されたスタートビットパターンと比較し、不一致した場合にセットするエラーです。スタートビットエラーを検出した場合、スタート

ビットエラーフラグ (MMSR.SBER) をアサートします。

また MMCR レジスタの設定でスタートビットエラーを割り込み要因に含めるか含めないかを選択することができます。

MMCR.SBERIE ビット=1 の場合、スタートビットエラーは、割り込み要因、イベント要因になります。そしてエラーを検出した場合、フラグをクリアするまで次の受信を行いません。

MMCR.SBERIE ビット=0 の場合、スタートビットエラーが発生しても割り込み要因、イベント要因にはならず、次の受信を停止することはありません。ただしスタートビットエラーとして、MMSR.SBER フラグに通知は行われます。

(7) 受信 Sync エラー (SyncError)

「36.5.9 受信リタイミング」で記載した受信リタイミングイネーブルを ON とすると受信リタイミング動作を行います。

受信リタイミング動作が行われている時に、受信リタイミングの範囲内 (図 36.47 内 SyncroError の領域) でエッジ検出しなかった場合にセットするエラーです。受信 Sync エラーを検出した場合、受信 Sync エラーフラグ (MMSR.SYER) をアサートします。受信リタイミング対象外の領域では受信 Sync エラーは検出されません。

受信リタイミング動作が行われる、プリフェース領域(注1)、スタートビット領域(注1、注2)およびデータ領域(ストップビットを除く)でチェックを行います

また、MMCR レジスタの設定で受信 Sync エラーを割り込み要因に含めるか含めないかを選択することができます。

MMCR.SYERIE ビット=1 の場合、受信 Sync エラーは、割り込み要因、イベント要因になります。そしてエラーを検出した場合、フラグをクリアするまで次の受信を行いません。

MMCR.SYERIE ビット=0 の場合、受信 Sync エラーが発生しても割り込み要因、イベント要因にはならず、次の受信を停止することはありません。ただし、受信 Sync エラーとして、MMSR.SYER フラグに通知は行われます。

- 注1. ビットの前半が High を期待するパターンで開始するフレームの場合は、リタイミング対象外です (プリフェース、およびスタートビット領域)。
- 注2. スタートビット領域において、「プリフェース長=0」かつ「スタートビット3ビット」設定時はリタイミング対象外です。また、スタートビット3ビット設定時のスタートビット領域の1ビット目と2ビット目もリタイミング対象外です。

表 36.34 ステータスフラグの状態と受信データの処理(マンチェスタモード)

SSRレジスタのステータスフラグ			MMSRレジスタのステータスフラグ				受信データ	受信エラーの状態(ERI割り込み/イベント生成)
ORER	AFER	APER	MCE R	SBER (注1)	PFER (注1)	SYER		
0	0	0	0	0	0	0	RDRへ転送	エラーなし
0	1	0	0	0	0	0	RDRへ転送	フレーミングエラー
0	0	1	0	0	0	0	RDRへ転送	パリティエラー
0	1	1	0	0	0	0	RDRへ転送	フレーミングエラー+パリティエラー
0	0	0	1	0	0	0	RDRへ転送	マンチェスタコードエラー
0	1	0	1	0	0	0	RDRへ転送	フレーミングエラー+マンチェスタコードエラー
0	0	1	1	0	0	0	RDRへ転送	パリティエラー+マンチェスタコードエラー
0	1	1	1	0	0	0	RDRへ転送	フレーミングエラー+パリティエラー+マンチェスタコードエラー
1	0	0	0	0	0	0	消失	オーバランエラー
1	1	0	0	0	0	0	消失	オーバランエラー+フレーミングエラー
1	0	1	0	0	0	0	消失	オーバランエラー+パリティエラー
1	1	1	0	0	0	0	消失	オーバランエラー+フレーミングエラー+パリティエラー
1	0	0	1	0	0	0	消失	オーバランエラー+マンチェスタコードエラー
1	1	0	1	0	0	0	消失	オーバランエラー+フレーミングエラー+マンチェスタコードエラー
1	0	1	1	0	0	0	消失	オーバランエラー+パリティエラー+マンチェスタコードエラー
1	1	1	1	0	0	0	消失	オーバランエラー+フレーミングエラー+パリティエラー+マンチェスタコードエラー
0	上記エラー組み合わせ			0	0	1	RDRへ転送	上記エラー+受信Syncエラー(注2)
1	上記エラー組み合わせ			0	0	1	消失	上記エラー+受信Syncエラー(注2)
保持	保持	保持	保持	0	1	0	消失	プリフェースエラー(注3)
保持	保持	保持	保持	1	0	0	消失	スタートビットエラー(注3)
保持	保持	保持	保持	0	1	1	消失	プリフェースエラー(注3)+受信Syncエラー(注2)
保持	保持	保持	保持	1	0	1	消失	スタートビットエラー(注3)+受信Syncエラー(注2)

注1. プリフェースエラーとスタートビットエラーは、同時に“1”にセットされません。

注2. MMCR.SYERIE = 1の場合、SYER要因でERI割り込み/イベントが生成されます。

注3. MMCR.PFERIE = 1およびMMCR.SBERIE = 1の場合に、対応するフラグセットされるとERI割り込み/イベントが生成されません。

表 36.35 各領域で検出可能なエラー

	プリフェースエラー (PFER)	スタートビットエラー (SBER)	マンチェスタコードエラー (MCE R)	受信Syncエラー (SYER)	パリティエラー (APER)	フレーミングエラー (AFER)
プリフェース領域	○	—	—(注1)	○(注2)	—	—
スタートビット領域	—	○	—	○(注2)	—	—
データ領域	—	—	○	○	—	—
パリティビット領域	—	—	○	○	○	—
マルチプロセッサビット領域	—	—	○	○	—	—
ストップビット領域	—	—	—	—	—	○

○：検出、—：未検出

注1. プリフェース領域でマンチェスタコードエラーが発生した場合、プリフェースエラーになります。

注2. 受信Syncエラー検出の対象外の場合があります。詳細は「36.5.11 マンチェスタモードにおけるエラー」(7)の注記を参照してください。

表 36.36 以前のフレームのエラー有無による動作状態およびマルチプロセッサモード時の動作状態一覧(SCR0.MPIEビット=0の場合)

以前のフレーム	当該フレームの各領域					PFER IE	SBER IE	SYER IE	受信データ	エラーフラグ	割り込み	イベント
	プリフェース	スタートビット	データ	パリティビット	ストップビット							
エラーなし	PFERあり、SYERなし(注1)	エラーなし	—	—	—	0	—	—	消失	PFERセット(注1)	出力しない	出力しない
						1					出力する	出力する
	エラーなし	SBERあり、SYERなし(注1)	—	—	—	—	0	—	消失	SBERセット(注1)	出力しない	出力しない
							1				出力する	出力する
	SYERあり、PFERなし	エラーなし	—	—	—	—	—	0	RDRへ転送	SYERセット	出力しない	出力しない
								1			消失	出力する
	エラーなし	SYERあり、SBERなし	—	—	—	—	—	0	RDRへ転送	SYERセット	出力しない	出力しない
								1			消失	出力する
	エラーなし	エラーなし	SYERあり		エラーなし	—	—	0	RDRへ転送	SYERセット	出力しない	出力しない
			1	消失				出力する			出力する	
	エラーなし	エラーなし	MCERあり		エラーなし	—	—	—	RDRへ転送	MCERセット	出力する	出力する
エラーなし	エラーなし	—	APERあり	エラーなし	—	—	—	RDRへ転送	APERセット	出力する	出力する	
エラーなし	エラーなし	—	—	AFERあり	—	—	—	RDRへ転送	AFERセット	出力する	出力する	
エラー含む					—	—	—	消失	セットする(注2)	出力する	出力する	
ORERあり												
エラーなし	エラーなし	エラーなし	エラーなし	エラーなし、ORERあり	—	—	—	消失	ORERセット	出力する	出力する	
エラーあり(注3、注6)	PFERあり、SYERなし(注1)	エラーなし	—	—	—	0	—	—	消失	PFERセット(注1)	出力する(注4)	出力しない(注5)
						1						
	エラーなし	SBERあり、SYERなし(注1)	—	—	—	—	0	—				
							1			SBERセット(注1)		
	SYERあり、PFERなし	エラーなし	—	—	—	—	0	—		SYERセット		
							1					
	エラーなし	SYERあり、SBERなし	—	—	—	—	0	—		SYERセット		
							1					
	エラーなし	エラーなし	SYERあり		エラーなし	—	0	—		セットしない		
			1									
	エラーなし	エラーなし	MCERあり		エラーなし	—	—	—				
1												
エラーなし	エラーなし	—	APERあり	エラーなし	—	—	—					
エラーなし	エラーなし	—	—	AFERあり	—	—	—					
エラー含む					—	—	—					
ORERあり												
エラーなし	エラーなし	エラーなし	エラーなし	エラーなし、ORERあり	—	—	—					

- 注1. SYERもあった場合は、SYERフラグもセットされ、他の動作は表のとおりです。
- 注2. ORER含む、その他のエラーフラグをセットします。
- 注3. STOPビット判定前にエラー要因が取り除かれ、フラグがクリアされた場合は、上記の以前のフレームにエラーなしと同じ動作となります。
- 注4. ERIエラーはレベル出力のため、当該フレームのエラー有無にかかわらず、以前のフレームのエラーによりアクティブのままとなります。
- 注5. ERIイベントはエラー要因が継続して発生しているため、当該フレームのエラー有無にかかわらず、新たに出力しません。
- 注6. MMSR.PFER、SBER、SYERフラグについては、各ENビットがディセーブル設定時はエラーなしとして扱います。

表 36.37 マルチプロセッサモード時の動作状態一覧(SCR0.MPIEビット=1の場合)

MPB (注1)	当該フレームの各領域					PFER IE	SBER IE	SYER IE	受信 データ	エラー フラグ	割り込み	イベント
	プリ フェース	スタート ビット	データ	パリティ ビット	ストップ ビット							
1	エラーなし	エラーなし	—	—	—	—	—	—	RDRへ転 送	エラーあれ ばそれを反 映	出力する (注2)	出力する (注2)
	PFERな し、SYER あり(注3)	SBERな し、SYER あり(注3)	—	—	—	—	—	0				
	PFERあり	エラーなし	—	—	—	—	—	—	消失	セットしな い	出力しない	出力しない
	エラーなし	SBERあり	—	—	—	—	—	1				

注1. 受信したMPBフラグ=0なら受信せず、表の受信データ消失と同じ動作となります。

注2. エラーがない場合はRXIの割り込みやイベントを出力、エラー検出の場合はERIの割り込みやイベントを出力します。

注3. SYERがプリフェース領域かスタートビット領域で検出された場合、MMCR.SYERIEビットによってエラーとして扱うかの動作が変わります。

36.6 HBS サポートモード

HBSCR.HBSE ビットを“1”にすると、ホームバスシステムが要求する信号波形 (AMI、50% デューティ、負論理) を生成するための負論理 RZI 符号に対応します。本機能は調歩同期式モードでのみ動作するため、設定や送信、受信フローは調歩同期式モードを参照してください。

36.6.1 HBS サポートモードの受信

HBS サポートモードの受信では、RXDn 端子からの入力の立ち下がりエッジを検出し、スタートビットと認識した以降の信号を受信します。設定したビットレートに従って1フレーム分のサンプリングを行い、STOP ビットまでエラー無く正しく受信できた場合、受信データレジスタ RDR にデータ値を格納します。

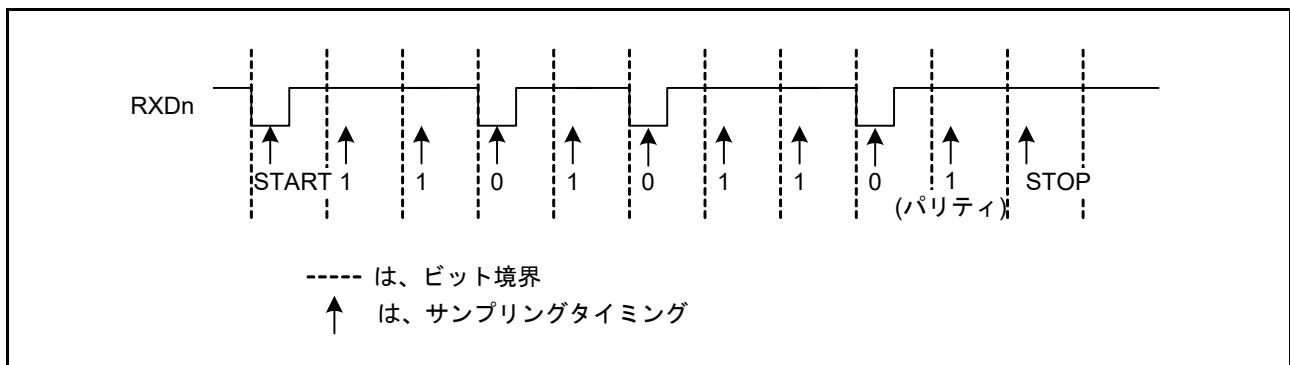


図 36.49 HBS サポートモードの受信タイミング図

HBS サポートモードの受信は、1 ビット期間の前半のパルスを取り込むために、1 ビットの 1/4 のタイミングでサンプリングする必要があります。サンプリングは、調歩同期式と同じくビットレートの 16 倍 (注 1) の周波数を基本クロックとして動作します。スタートビットの検出は RXD の立ち下がりから Low を基本クロックで連続 4 回検出することで行います。途中で High を検出した場合、ノイズとみなし次の立ち下がりを待ちます。

サンプリングタイミングを 1 ビット期間の 1/4 の位置にするため、SCR4.RTADJ ビットで受信サンプリングタイミング調整機能を有効にし、SCR4.RTMG[3:0] ビットを“1100b”にして、調整前のサンプリングタイミングであるビット中央から基本クロックの 4 クロック分前方に調整します。

受信サンプリングタイミング調整機能を使ってサンプリングタイミングを前後に調整することができるため、受信状態に応じてこのタイミングを調整することが可能になります。RTMG[3:0] ビット値を“1100b”から大きくするとサンプリングタイミングを前に、小さくすると後ろに移動させることができます。調整の詳細は「36.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」を参照してください。

スタートビットの認識後は、設定したビットレートに従ったタイミングのサンプリングを行います。波形の Low 幅や High 幅のチェックは行いません。したがって、通常の調歩同期式波形でも受信可能です。

注 1. HBS サポートモードでは SCR2.ABCS ビット = 0 かつ SCR2.ABCSE ビット = 0 のみサポートします。

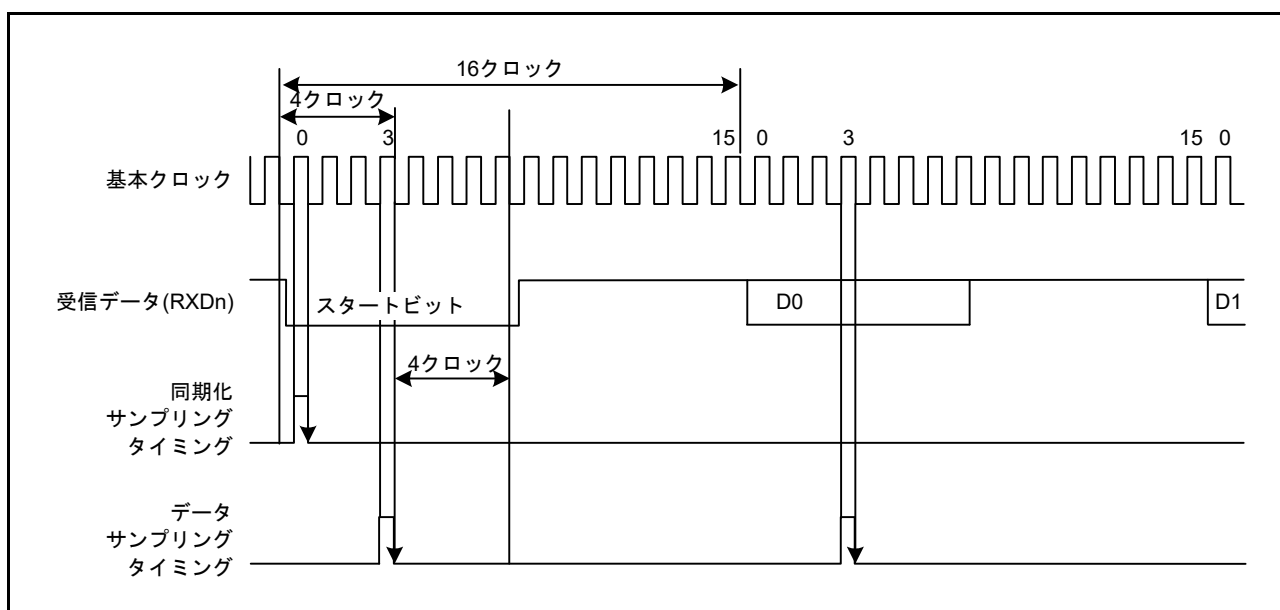


図 36.50 HBS サポートモードの受信サンプリングタイミング詳細

36.6.2 HBS サポートモードの送信

HBS サポートモードの送信は、データ“0”を1ビット期間の前半だけ Low パルスとして出力します。

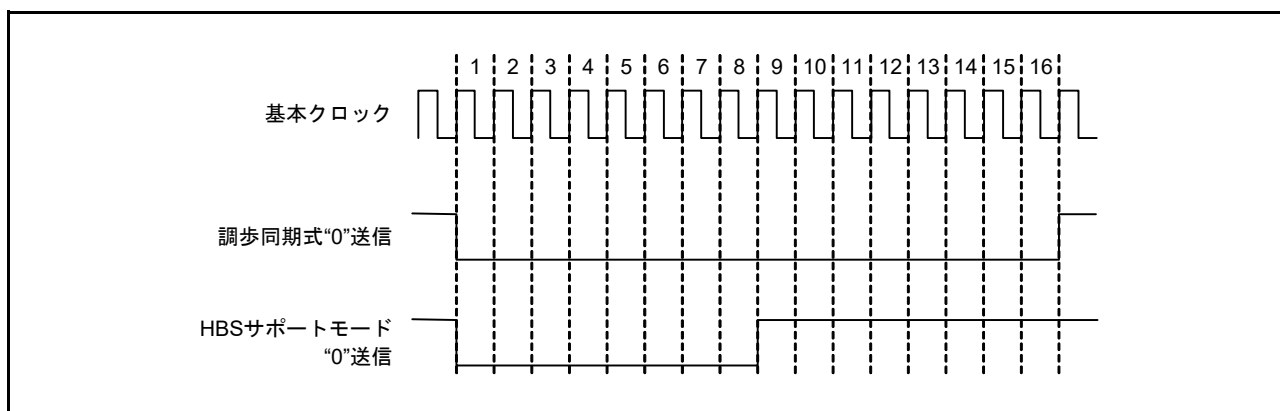


図 36.51 HBS サポートモードの送信波形

HBSCR.AOE ビット=0 の場合はすべてのビットを TXDn 端子から出力し、HBSCR.AOE ビット=1 の場合はデータ“0”を TXDAn 端子と TXDBn 端子から交互に出力します。どちらの送信端子からスタートビットの出力を開始するかを HBSCR.LPS ビットで選択します。

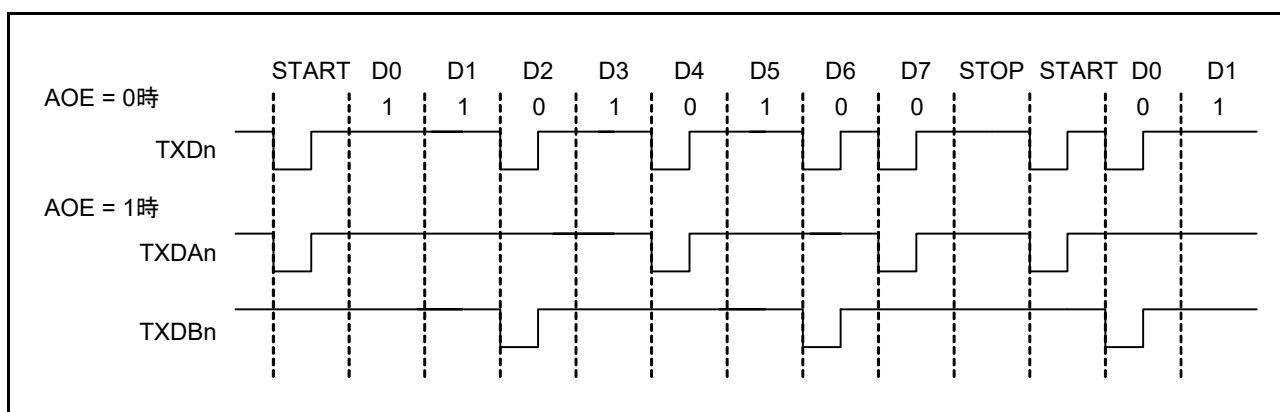


図 36.52 AOE ビットによる送信波形の違い (LPS ビット = 0 時)

図 36.52 は、HBSCR.AOE ビットの値による送信波形の違いの例です。AOE ビット = 0 のときは、TXDn 端子から波形が出力されますが、AOE ビット = 1 のときは、スタートビットを含むデータ “0” が TXDAn 端子と TXDBn 端子から交互に出力されます。

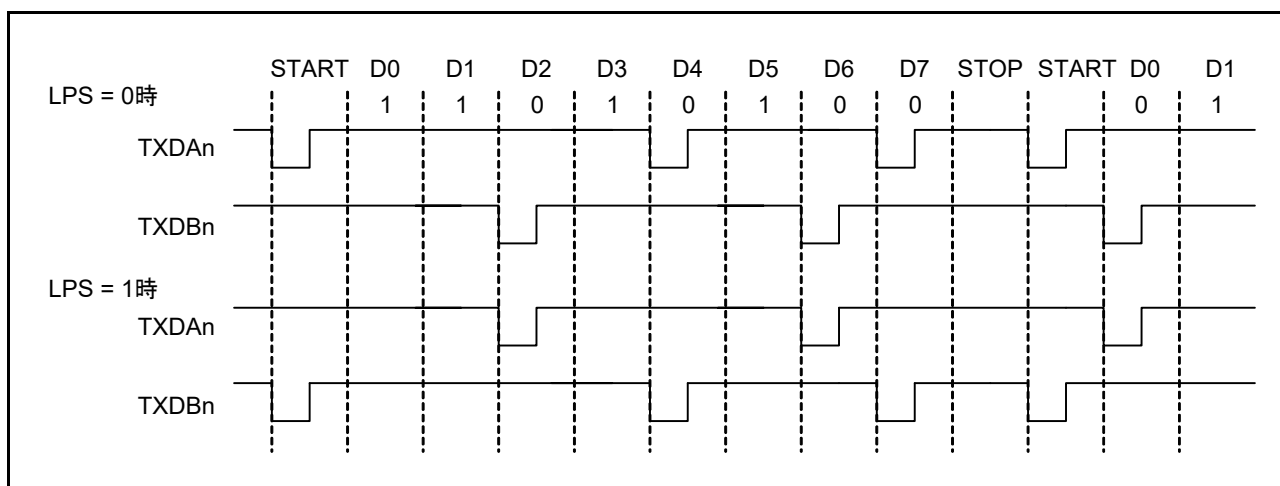


図 36.53 LPS ビットによる送信波形の違い (AOE ビット = 1 時)

図 36.53 は、HBSCR.LPS ビットの値による送信波形の違いの例です。LPS ビット = 0 のときは TXDAn 端子から、LPS ビット = 1 のときは TXDBn 端子からスタートビットの出力を開始し、データ “0” をそれぞれの端子から交互に出力します。次のフレームのスタートビットは、再び LPS ビットで指定した端子から出力開始します。

他のビットの設定に関わらず、HBSCR.HBSE ビット = 0 の場合は、TXDBn 端子は High になります。SCR0.TE ビット = 0 の場合は TXDn/TXDAn/TXDBn 端子ともハイインピーダンスになりますが、SCR1.SPB2IO ビットと SCR1.SPB2DT ビットによって制御することができます。このとき、TXDn/TXDAn/TXDBn 端子とも同じ出力になります。

36.6.3 HBS サポートモードのレジスタ設定

HBS サポートモードは調歩同期式の 1 機能ですが、本機能ではサポートしていない設定があります。制御レジスタの各ビットを表 36.38 のように設定して使用してください。未記載のレジスタ、ビットは調歩同期式と同様の設定が可能です。

表 36.38 HBS サポートモードの制御レジスタ設定値

レジスタビット	設定値	備考
SCR0.DCME	0	データ一致検出機能無効で使用してください
SCR1.NFCS[2:0]	000b	ノイズフィルタ使用時はこの設定としてください
SCR1.HDSEL	0	TXDn 端子での半二重通信は使用できません
SCR1.CTSE	0	CTS 機能禁止で使用してください
SCR2.BRME	0	モジュレーション機能は使用できません
SCR2.ABCSE	0	基本クロック 6 サイクルで 1 ビットの設定は使用できません
SCR2.ABCS	0	基本クロック 16 サイクルで 1 ビットの設定のみ使用可能です
SCR3.CKE[1:0]	00b	内部クロック、出力なしで使用してください
SCR3.DEEN	0	RS-485 ドライバ機能は無効で使用してください
SCR3.FM	0	FIFO モードは無効で使用してください
SCR3.MOD[2:0]	000b	調歩同期式モードに設定してください
SCR3.RXDESEL	1	RXDn 端子入力の立ち下がりエッジでスタートビットを検出して通信してください
SCR3.STOP	0	1 ストップビットで使用してください
SCR3.DINV	0	データ反転せずに使用してください
SCR3.DDIR	1	LSB ファーストで通信してください
SCR3.CHR[1:0]	10b	8 ビット長で通信してください
SCR4.RTMG[3:0]	1100b	HBS サポートモードの受信時はこの設定にしてください 注. 有効パルスの中央タイミングです。必要な場合は調整可能です
SCR4.TTADJ	0	送信タイミング調整機能は無効で使用してください
SCR4.RTADJ	1	HBS サポートモードの受信時はこの設定にしてください

36.7 スマートカードインタフェースモードの動作

RSCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

36.7.1 接続例

図 36.54 にスマートカード (IC カード) との接続例を示します。

IC カードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR0.TE ビット = 1、SCR0.RE ビット = 1 にすると、閉じた送信 / 受信が可能となり自己診断をすることができます。

RSCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

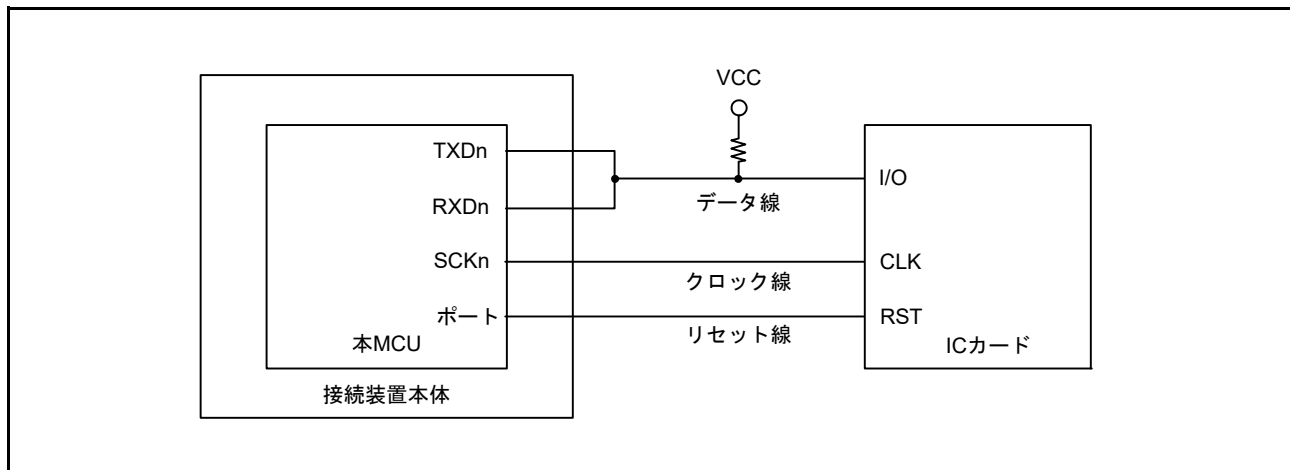


図 36.54 スマートカード (IC カード) との接続例

36.7.2 データフォーマット (ブロック転送モード時を除く)

図 36.55 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

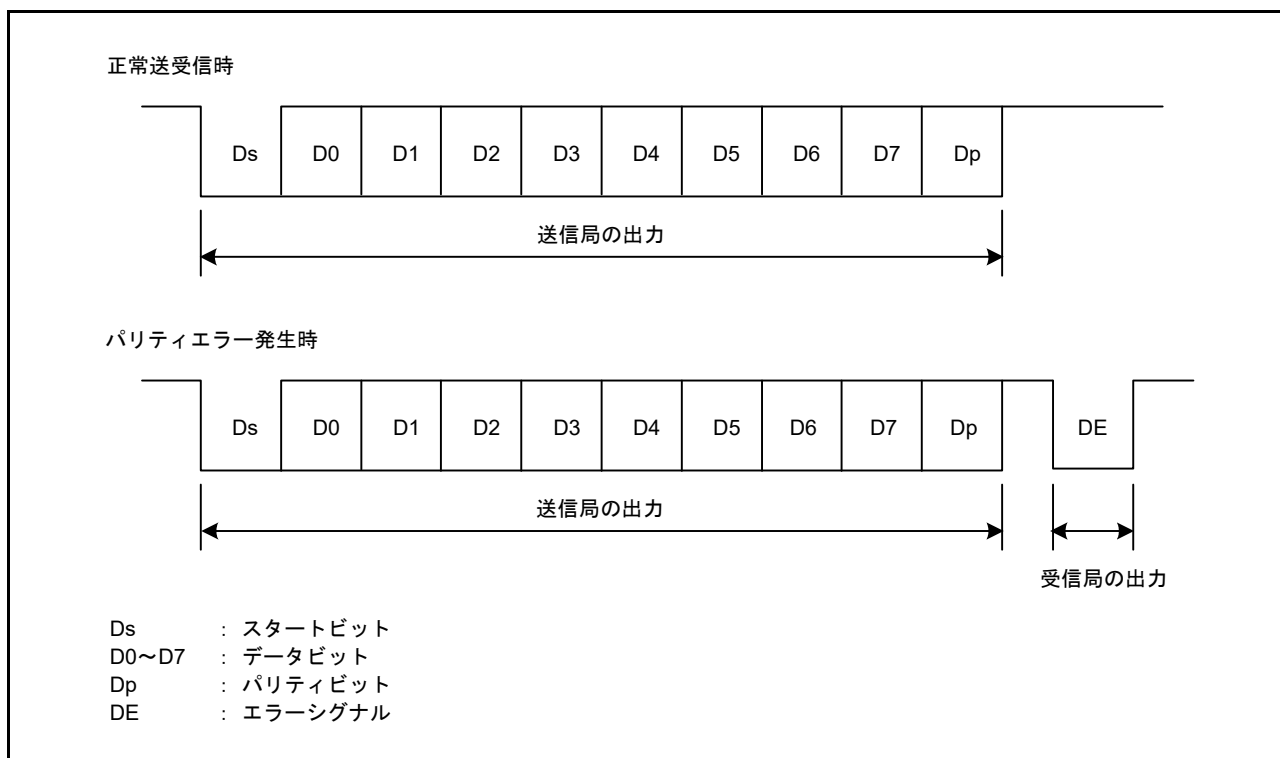


図 36.55 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 36.56** に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。**図 36.56** の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCR3.DDIR ビットを“1”に SCR3.DINV ビットを“0”にしてください。また、スマートカードの規定により偶数パリティとなるよう SCR1.PM ビットを“0”にしてください。

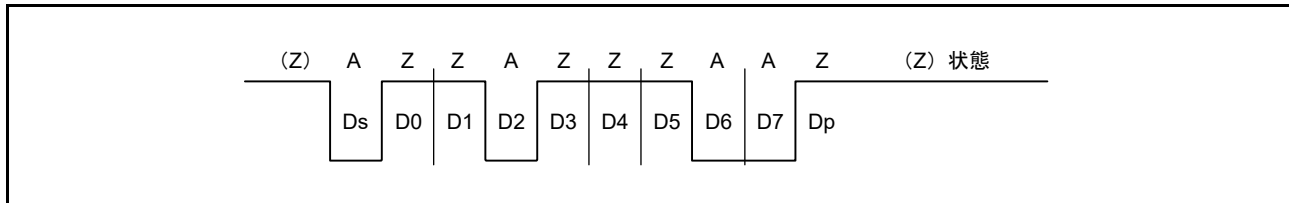


図 36.56 ダイレクトコンベンション
(SCR3.DDIR ビット = 1、SCR3.DINV ビット = 0、SCR1.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。**図 36.57** の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCR3.DDIR ビットを“0”に SCR3.DINV ビットを“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理 0 となり、状態 Z が対応します。

本 MCU では、DINV ビットはデータビット D7～D0 のみ反転させます。このため、送受信とも SCR1.PM ビットを“1”にしてパリティビットを反転させてください。

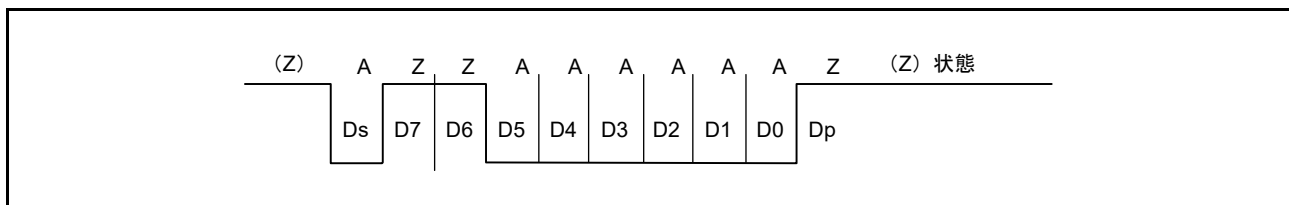


図 36.57 インバースコンベンション
(SCR3.DDIR ビット = 0、SCR3.DINV ビット = 1、SCR1.PM ビット = 1)

36.7.3 ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。SSR.APER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

36.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成した基本クロックのみです。

スマートカードインタフェースモードでは、SCR2.BCP[2:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして同期化します。図 36.58 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 (\%)$$

- M: 受信マージン(%)
 N: クロックに対するビットレートの比 (N = 32, 64, 372, 256)
 D: クロックデューティ (D = 0 ~ 1.0)
 L: フレーム長 (L = 10)
 F: クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 (\%) = 49.866 (\%)$$

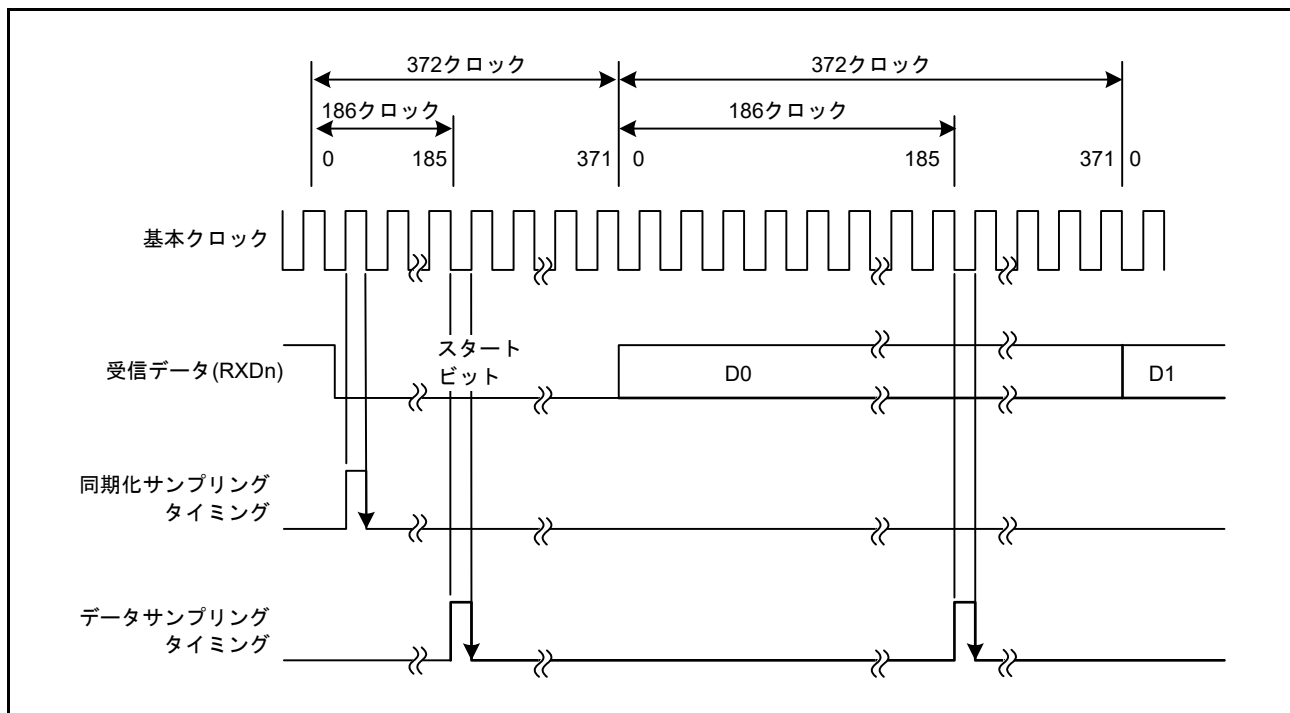


図 36.58 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

36.7.5 RSCIの初期化(スマートカードインタフェースモード)

データの送受信の前に、SCR0.TE ビットと SCR0.RE ビットに“0”を書き込み(SCR0レジスタに初期値を書き込むでも可)、**図 36.59**のフローチャート例に従って初期化してください。

送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいては、SCR0.TIE、RIE、TE、RE、TEIE ビットを初期値にしてから変更してください。なお、RE ビットを“0”にしても RDR レジスタは初期化されません。また、送信モード時、TIE ビットは TE ビットと同時に“1”にしてください。すると TXI 割り込み要求が発生します。受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TE ビット = 1、RE ビット = 0 にしてください。受信動作の完了は、RXI 割り込み要求、SSR.ORER、あるいは APER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE ビット = 0、RE ビット = 1 にしてください。送信動作の完了は SSR.TEND フラグで確認できます。

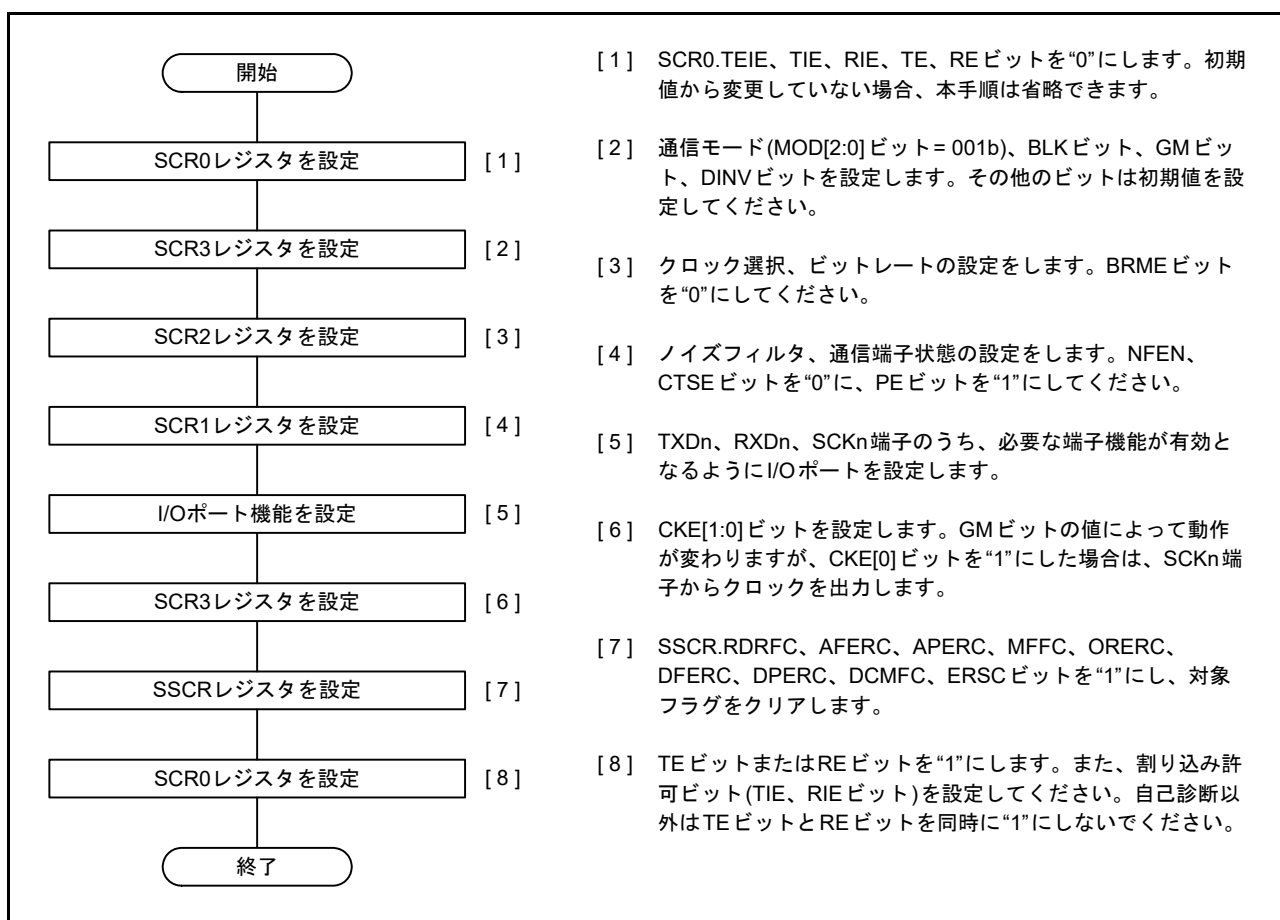


図 36.59 RSCIの初期化フローチャートの例(スマートカードインタフェースモード)

図 36.60 は、前記フローチャートに従って、スマートカードインタフェースモードへ遷移させて、データ送信を行った場合のタイミング図です。図は SCR3.GM ビット = 0 の場合を示します。図に示すように、端子機能を SCKn 端子に設定した時点では、SCR3.CKE[0] ビットが“0”であるため SCKn 端子はハイインピーダンスです。また、TXDn 端子に設定した時点では SCR0.TE ビットが“0”であるため TXDn 端子はハイインピーダンスです。SCR3.CKE[0] ビット = 1 のクロック出力設定で SCKn 端子にクロック出力を開始し、SCR0.TE ビット = 1 の後、送信データのライトによって、データ送信を開始します。

スマートカードインタフェースモードでは、SCR0.TE ビット = 0 および SCR0.RE ビット = 0 の通信をしていない場合でも、クロック出力設定としていればクロックを出力し続けます。

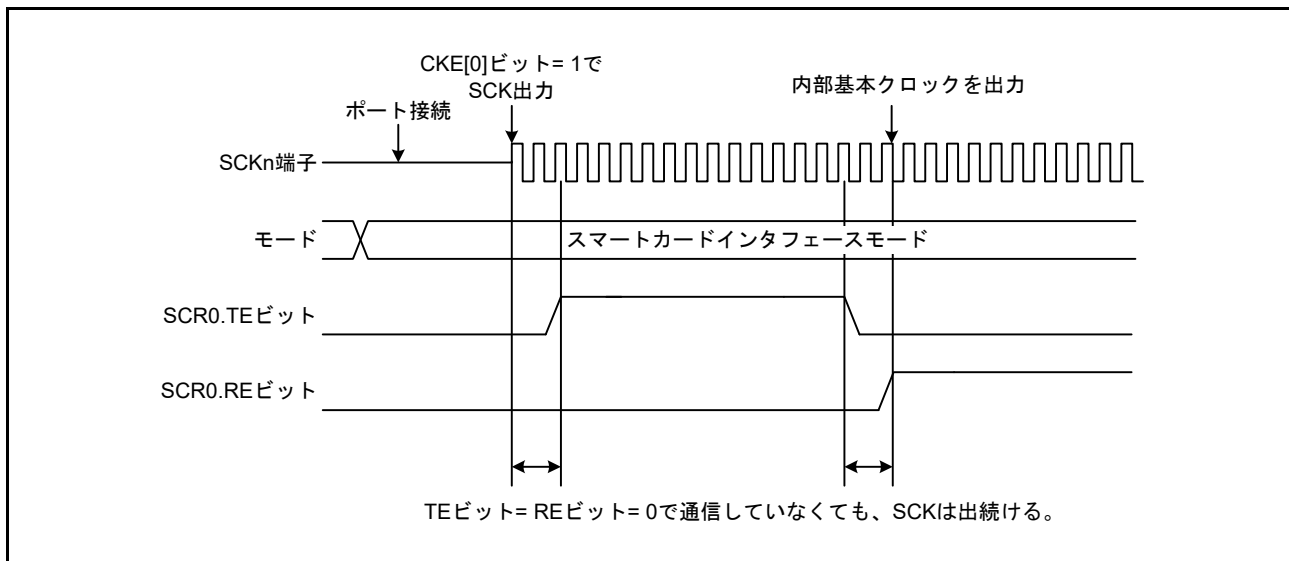


図 36.60 スマートカードインタフェースモード時のデータ送信タイミング例

36.7.6 シリアルデータの送信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります (ブロック転送モードを除く)。送信時の再送信動作を図 36.61 に示します。

- (1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが“1”になります。このとき SCR0.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
- (2) エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
- (3) 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
- (4) 再送信を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR0.TIE ビットが“1”であれば、TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

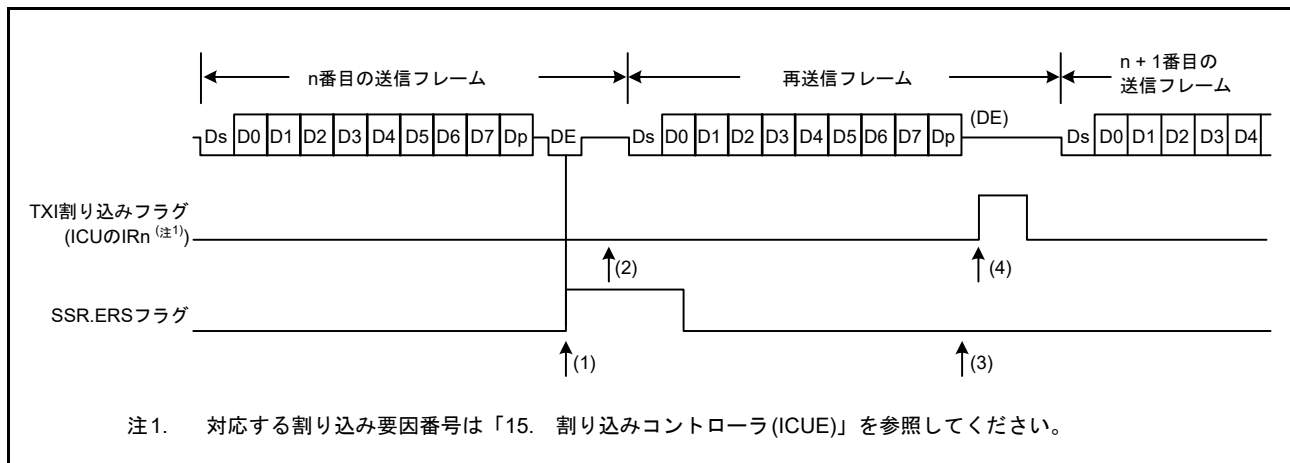


図 36.61 RSCI 送信モードの場合の再送信動作 (送信時の再送信動作)

送信処理フローの例を図 36.63 に示します。これら一連の処理は TXI 割り込み要因によって DTC または DMAC を起動することで、自動的に行うことができます。

送信動作では、TEND フラグが“1”にセットされると、SCR0.TIE ビットを“1”に設定しておくことで TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的にクリアされます。

エラーが発生した場合は RSCI が自動的に同じデータを再送信します。この間 TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、RSCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを“1”にし、エラー発生時に ERI 割り込み要求が発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSCI の設定を行ってください。

DTC または DMAC の設定方法は「18. DMA コントローラ (DMACAb)」、「20. データトランスファコントローラ (DTCb)」を参照してください。

なお、SCR3.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 36.62 に

TEND フラグをセットするタイミングを示します。

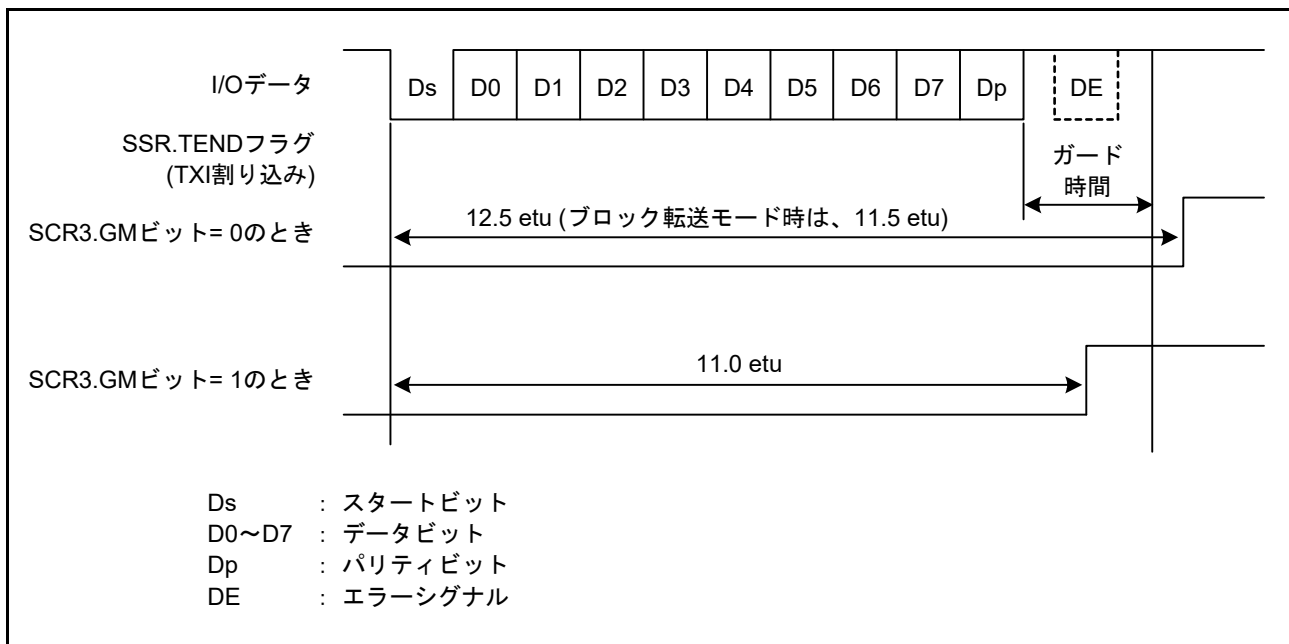


図 36.62 送信時の SSR.TEND フラグセットタイミング

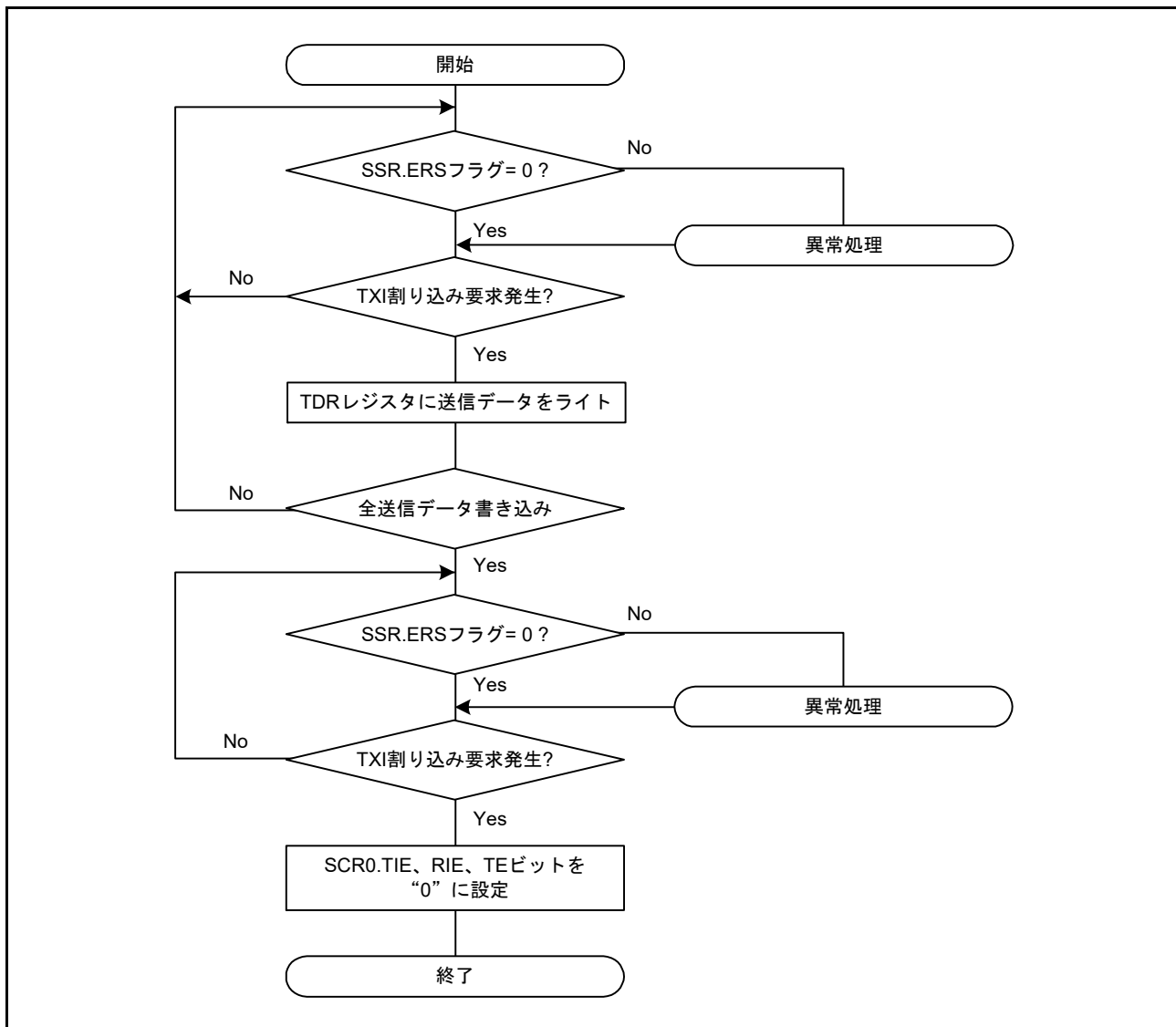


図 36.63 スマートカードインタフェース送信のフローチャート例

36.7.7 シリアル受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 36.64 に示します。

- (1) 受信データにパリティエラーを検出すると SSR.APER フラグが“1”になります。このとき、SCR0.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに APER フラグをクリアしてください。
- (2) パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
- (3) パリティエラーが検出されない場合は、SSR.APER フラグはセットされません。
- (4) 正常に受信を完了したと判断して、RIE ビットが“1”であれば、RXI 割り込み要求を生成します。

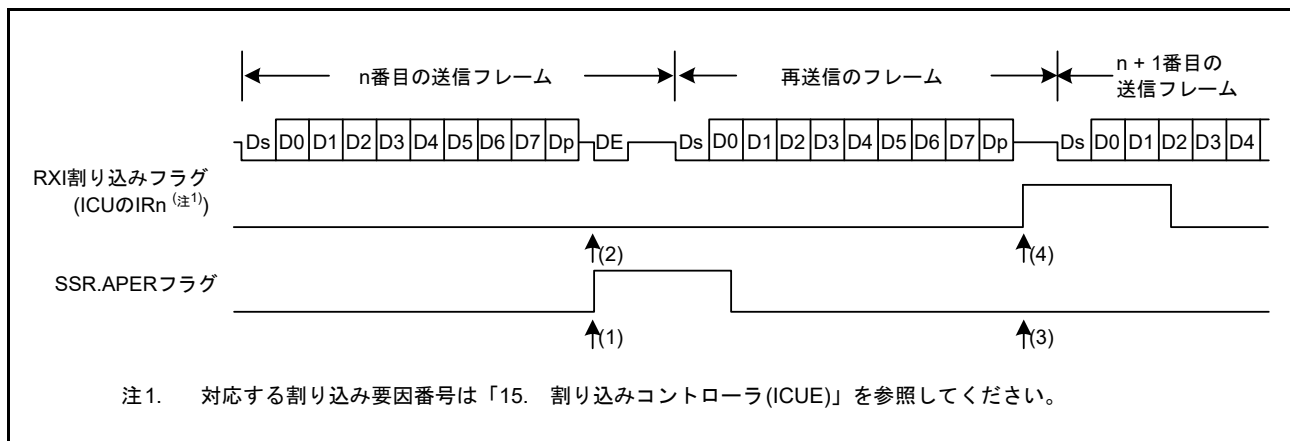


図 36.64 RSCI 受信モードの場合の再送信動作 (受信時の再送信動作)

受信フローチャートの例を図 36.65 に示します。

これらの一連の処理は、RXI 割り込み要求によって DTC または DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを“1”にしておくと、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC または DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、APER フラグのいずれかが“1”になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し APER フラグが“1”になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注. ブロック転送モードの場合は、「36.3 調歩同期式モードの動作」を参照してください。

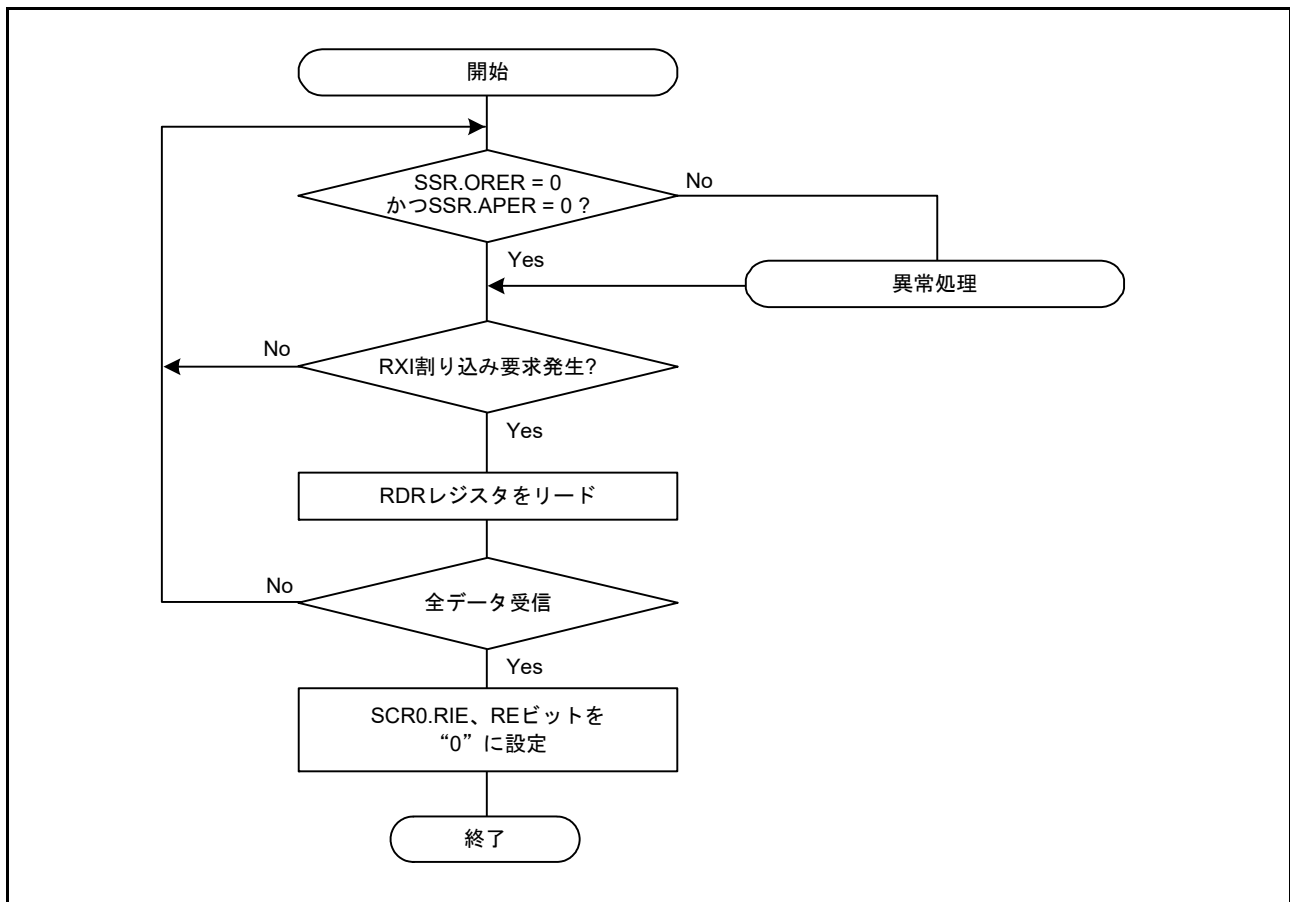


図 36.65 スマートカードインタフェース受信のフローチャート例

36.7.8 クロック出力制御

SCR3.GM ビットが“1”であるとき、SCR3.CKE[1:0] ビットによってクロック出力を制御することができます。制御の内容は、「36.2.8 制御レジスタ 3 (SCR3)」の SCR3.CKE[1:0] ビットの説明を参照してください。クロック出力の設定を行うと、「36.7.4 受信データサンプリングタイミングと受信マージン」に記載の基本クロックが出力されるため、クロックパルスの幅をビットレートの設定で指定した幅に保つことができます。ビットレートは、「36.2.7 制御レジスタ 2 (SCR2)」に記載しているように、SCR2.CKS[1:0] ビット、SCR2.BCP[2:0] ビット、BRR[7:0] ビットにより設定されます。

図 36.66 にクロック出力制御を説明したタイミングチャートを示します。SCR3.CKE[1] ビット = 0 とし、SCR3.CKE[0] ビットを制御した場合の例です。

SCR3.GM ビットが“0”の場合は、SCR3.CKE[0] ビットによる出力制御がすぐに SCKn 端子に反映されるため、SCKn 端子から意図しない幅のパルスが出力される可能性があります。

SCR3.GM ビットが“1”の場合は、SCR3.CKE[0] ビットによる出力制御は基本クロックの状態を元に制御するため、設定されたパルス幅を保ちます。

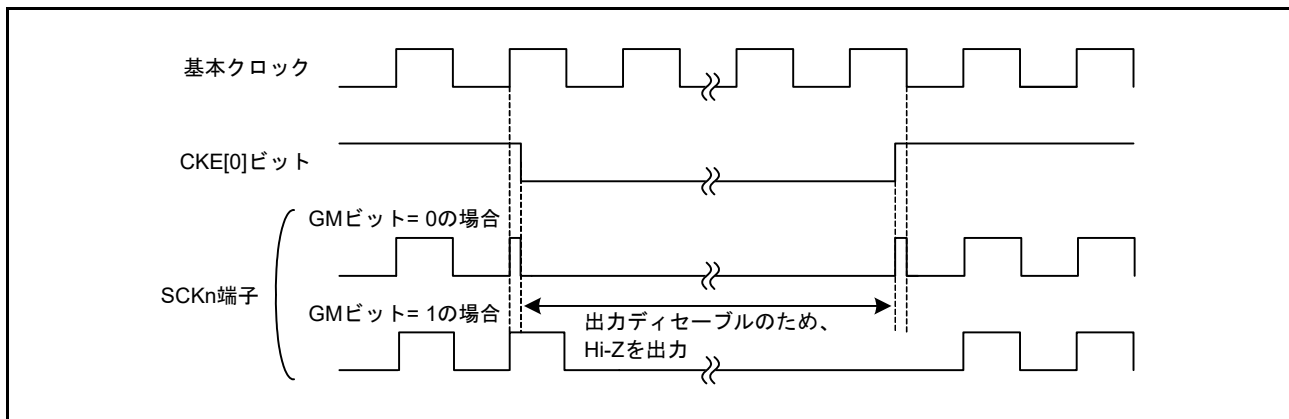


図 36.66 SCR3.GM ビットによるクロック制御の違いを表すタイミング図

36.8 拡張シリアルモードの動作

36.8.1 シリアル通信プロトコル

RSCIは、Start Frame、Information Frame から構成されるシリアル通信プロトコル (図 36.67) に対応することができます。SCR3.MOD[2:0] ビット = 110b にすることにより拡張シリアルモードになります。拡張シリアルモードは、Break Field 以外の送信 / 受信の制御は調歩同期式モードと同じ回路を使用しますので、通信の基本設定は調歩同期式モードと同様 (ただし SCR3.RXDESEL ビットは “1”) にしてください。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

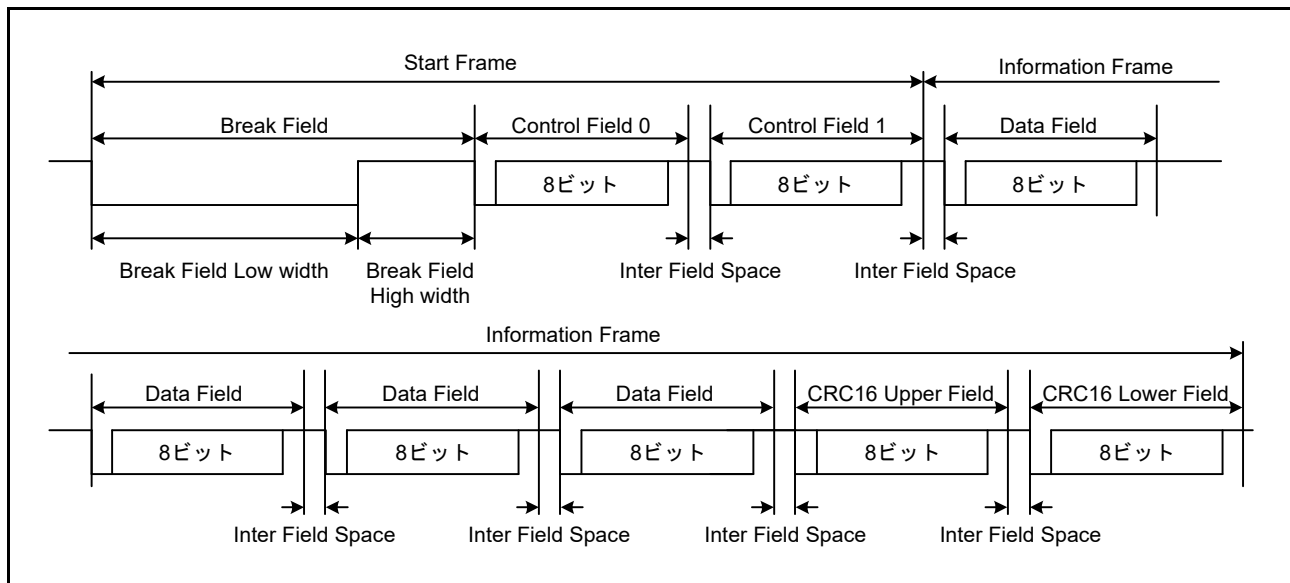


図 36.67 拡張シリアルモードのシリアル通信プロトコル

以降に拡張シリアルモード時の動作を説明します。本章の動作説明は、通信端子 (RXDn/TXDn) レベル反転機能を OFF (RINV ビット = TINV ビット = 0) の条件で記載しています。通信端子 (RXDn/TXDn) レベル反転機能 ON で使用する際は、RXD/TXD 信号レベルを反転して読み替えてください。

36.8.2 Start Frame 送信

図 36.68 に Break Field、Control Field 0 および Control Field 1 で構成される Start Frame の送信時の動作例を示します (Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください)。

また、図 36.69 に Start Frame の送信を行うためのフローチャートを示します。

RSCI は、Start Frame 送信時、以下のように動作します。

- (1) 調歩同期式モードの RSCI 初期化フロー (図 36.8) を参照して RSCI の初期設定をします。ただし、拡張シリアルモード時には、Break Field 前に TXI が出力することを避けるため、SCR0.TE ビットと TIE ビットを同時に“1”に設定しないでください。そのため、調歩同期式モードの RSCI 初期化フロー手順 [10] は以下の通り 2 段階に分けて設定してください。
 - SCR0.TIE ビット以外の設定ビットを設定する (SCR0.TIE ビット = 0、SCR0.TE ビット = 1、かつ SCR0.RE ビット = 0)
 - SCR0.TIE ビットを“1”にする
- (2) TCST に“1”を書き込むと、拡張シリアルモジュール内のタイマがカウントを開始し、XCR2.BFLW[15:0] ビットに設定した期間、TXDn 端子から Low (Break Field) を出力します。タイマカウントクロックソースは XCR0.TCSS[1:0] ビットで選択します。
なお、XCR1.TCST ビットに“0”を書き込むことで、Break Field の送出を中断できます。中断後は SCR0.TE ビット = 0 として送信状態も OFF にしてください。
- (3) タイマカウント値が XCR2.BFLW[15:0] ビット設定値と一致するとカウントを停止し、TXDn 端子の出力を反転し、XSR0.BFOF フラグを“1”にします (注 1)。また、XCR0.BFOIE ビットが“1”の場合は、TXI 割り込みが発生します。
- (4) BFOF フラグが“1”になっていることを確認した後、Control Field 0 のデータを送信します (注 2)。
- (5) Control Field 0 のデータの送信が完了後、Control Field 1 データを TDR レジスタに書き込み、送信します。
- (6) Control Field 1 のデータの送信が完了後、Information Frame の通信を行います。

注 1. XSR0.BFOF セット後、クリアしないまま XCR1.TCST ビットに“1”を書き込んだ場合、Break Field 送出完了タイミングで TXI 割り込みは出力されません。XCR1.TCST ビット書き込み前に XSR0.BFOF フラグをクリアしてください。

注 2. LIN 通信は Break Field 送出完了から次のデータ送信開始まで、1bit 長以上の Break delimiter (IDLE 期間) が必要です。そのため、Break Field 送出完了後、Break delimiter 長をカウントします。Break delimiter 長カウント中に送信データを書き込んだ場合、Break delimiter 長カウント完了まで送信開始しません。Break delimiter 長カウント完了後にデータ書き込んだ場合、通常のデータ送信と同じタイミングで送信開始します。

Break Field 送出後の Break delimiter 長カウント時間 : SCR3.STOP ビット = 0 時、1 ~ 2bit 長
SCR3.STOP ビット = 1 時、2 ~ 3bit 長

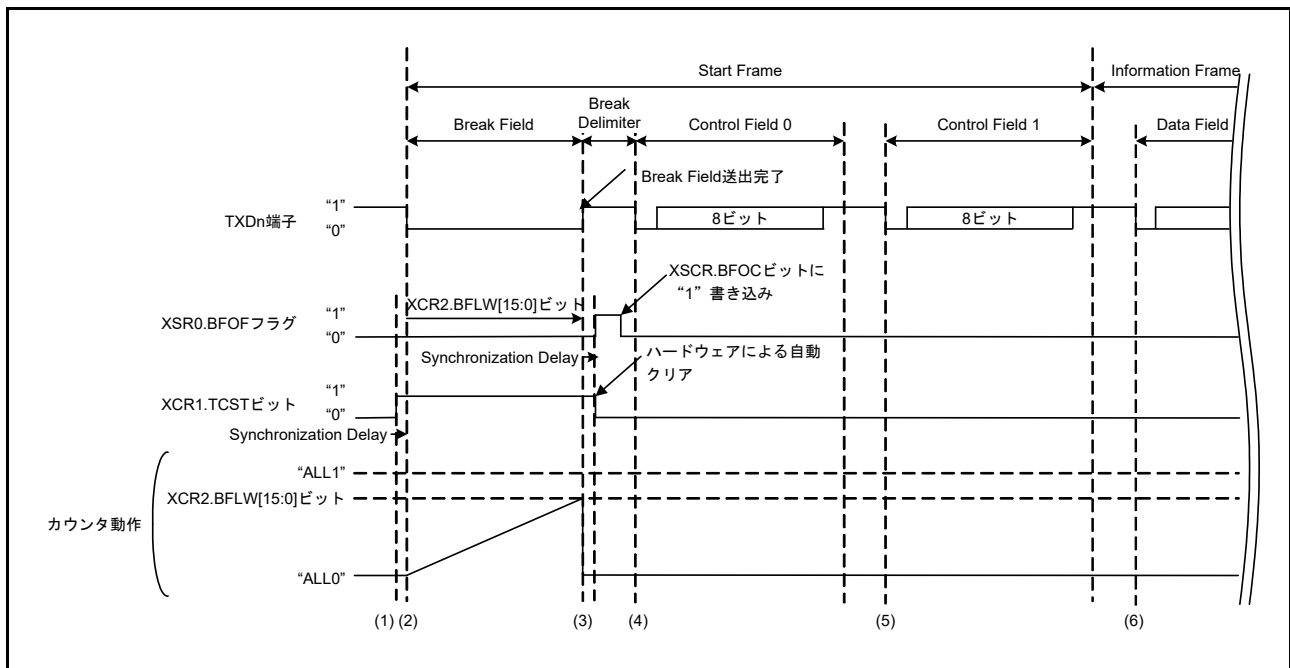


図 36.68 Start Frame 送信時の動作例

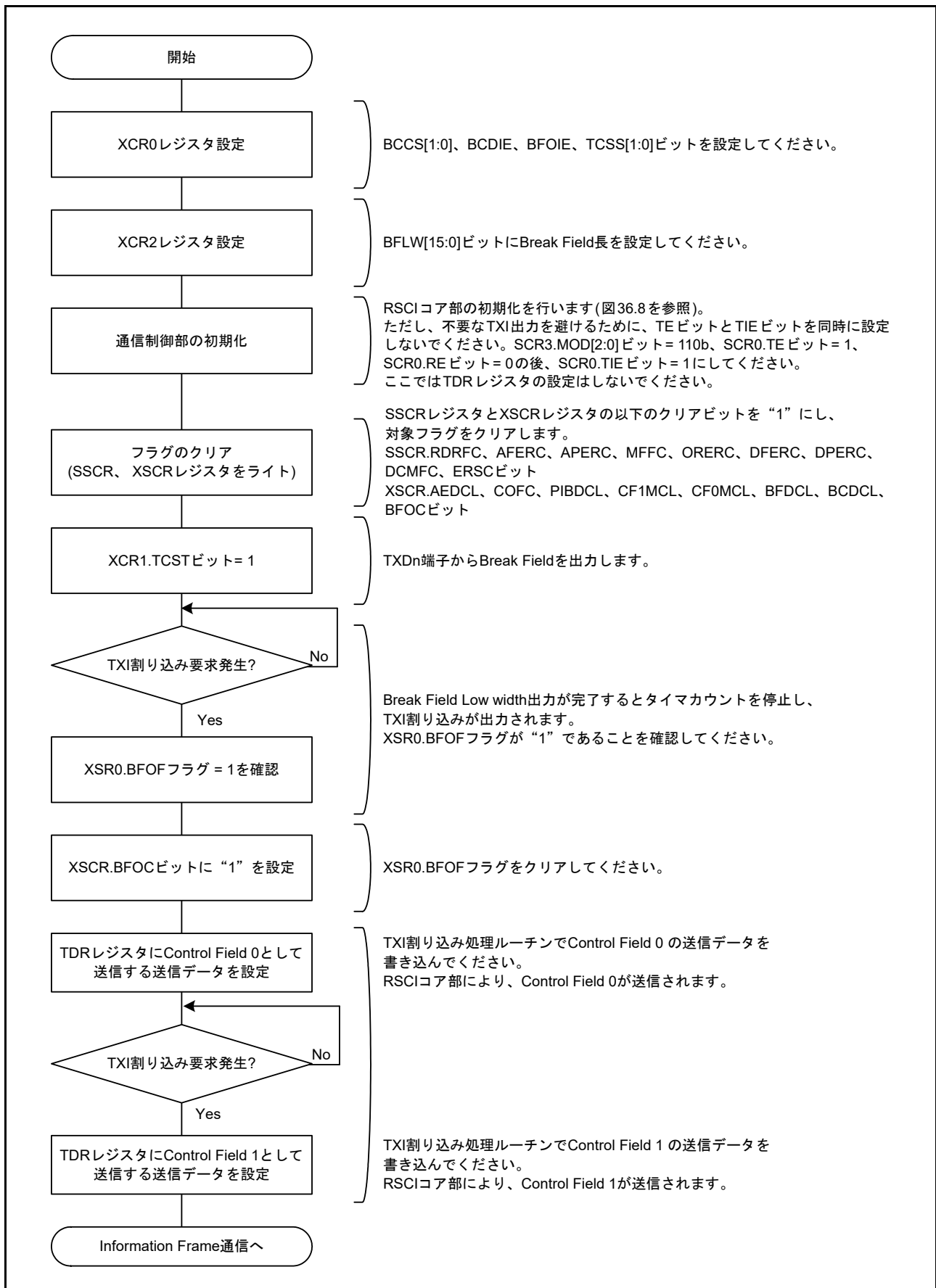
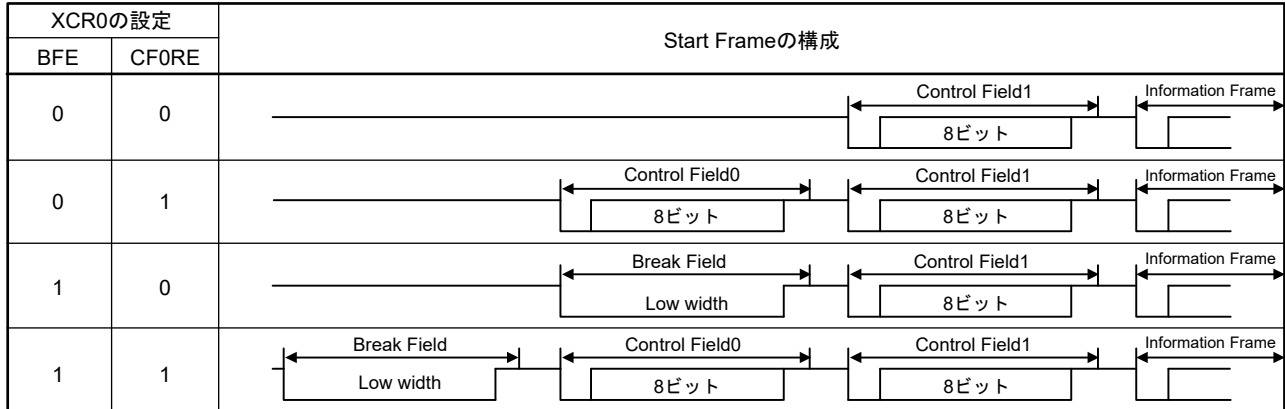


図 36.69 Start Frame 送信フローチャート例

36.8.3 Start Frame 受信

RSCI では、表 36.39 のような構成の Start Frame を検出することができます。

表 36.39 Start Frameの構成



36.8.3.1 PIB 未使用時、ノーマル受信

図 36.70 に Break Field、Control Field 0 および Control Field 1 で構成される Start Frame 受信時の動作例を示します。図 36.71 に、Control Field 1 途中で Break Field 検出を行う受信動作例を示します。また、図 36.72 に Start Frame の受信を行うためのフローチャート、図 36.73 に状態遷移図を示します。

RSCI は、Start Frame 受信時、以下のように動作します。Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

- (1) XCR1.SDST ビットに“1”を書き込むと、Start Frame の検出が可能になります。XCR0.BFE ビット=1 のとき、Break Field を検出するまで、RSCI コア部への RXD 入力は禁止となります (XSR0.RXDSF フラグが“1”にセットされます)。一度 Break Field 検出されると、RSCI コア部で RXD 入力の受信が可能になります (XSR0.RXDSF フラグ=0)。
- (2) RXDn 端子から Low が入力されると、Break Field 検出カウントを開始します。タイマカウントクロックソースは XCR0.TCSS[1:0] ビットで選択します。
- (3) XCR2.BFLW[15:0] ビットに設定した期間以上の Low が RXDn 端子から入力されると、Break Field と判定します。このとき、XSR0.BFDF フラグが“1”にセットされます。また、XCR0.BFDIE ビットを“1”にしている場合は、BFD 割り込みが発生します。
タイマカウントは、RXD 立ち上がりエッジもしくはカウントオーバーフローまで続きます。
- (4) Break Field 検出後、RXDn 端子からの入力が High になると、XCR1.BRME ビット=0 の場合は、XSR1.CCV[15:0] ビットにカウント値をキャプチャします。このとき、XSR0.RXDSF フラグが“0”になり、RSCI コア部で RXD 入力の受信を開始します。
- (5) RSCI コア部で Control Field 0 の受信を開始しますが、拡張シリアル制御部で継続してエッジ間隔をカウントしており、XCR2.BFLW[15:0] ビットに設定した期間以上の Low を Break Field 検出と判定します。Control Field 0 フェーズで Break Field を検出すると、再度、Control Field 0 の受信を待ちます (図 36.71)。
- (6) Control Field 0 の受信が完了すると、RXI 割り込みが発生します。XSR0.CF0RD[7:0] ビットに Control Field 0 データが格納されます。受信したデータが XCR2.CF0D[7:0] ビットに設定したデータと一致した場合、XSR0.CF0MF フラグが“1”にセットされます。受信したデータが XCR2.CF0D[7:0] ビットに設定したデータと一致しなかった場合、Break Field 検出前の状態に遷移します。

- (7) RSCI コア部で Control Field 1 の受信を開始します。BFE ビット = 1 の場合、Control Field 0 と同様に、SDST ビット = 1 の間、Break Field 検出機能は常に有効であり、Control Field 1 フェーズで Break Field を検出すると、再度、Control Field 0 の受信を待ちます。
- (8) Control Field 1 の受信が完了すると、RXI 割り込みが発生します。XSR0.CF1RD[7:0] ビットに Control Field 1 データが格納されます。受信したデータが XCR1.PCF1D[7:0] ビットまたは XCR1.SCF1D[7:0] ビットに設定したデータと一致した場合、XSR0.CF1MF フラグが“1”にセットされます。Control Field 1 で受信したデータが XCR1.PCF1D[7:0] ビットまたは XCR1.SCF1D[7:0] ビットに設定したデータのどちらとも一致しない場合は、Break Field 検出前の状態に遷移します。
- (9) RSCI コア部で Information Frame の通信を行います。
- (10) 通信が終了したら、XCR1.SDST ビットに“0”を書き込み、SCR0.RE ビットに“0”を書き込んで受信を停止させます。

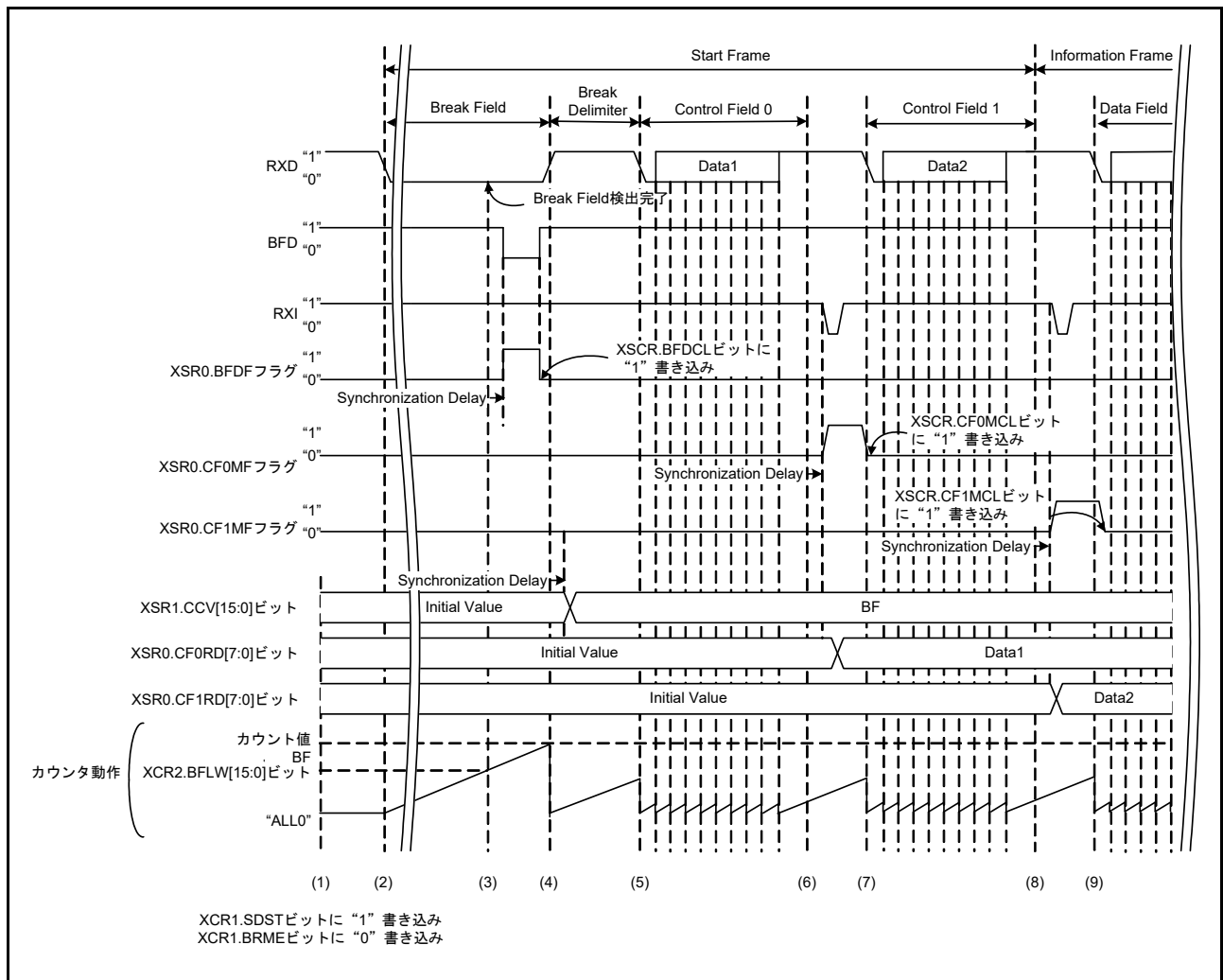


図 36.70 Start Frame 受信時の動作例 (PIB 未使用時) ノーマル受信

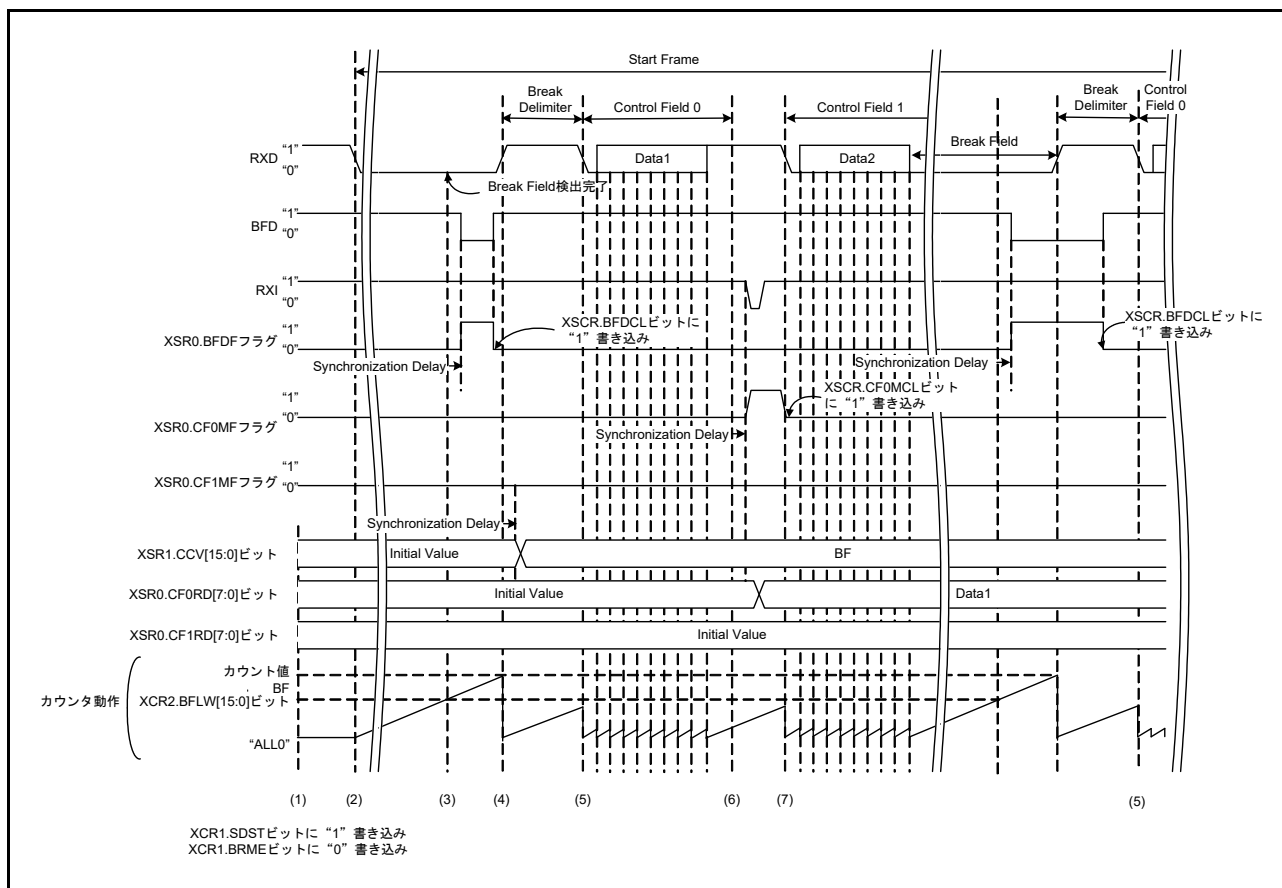


図 36.71 Start Frame 受信時の動作例 (PIB 未使用時)Control Field 1 で Break Field 検出

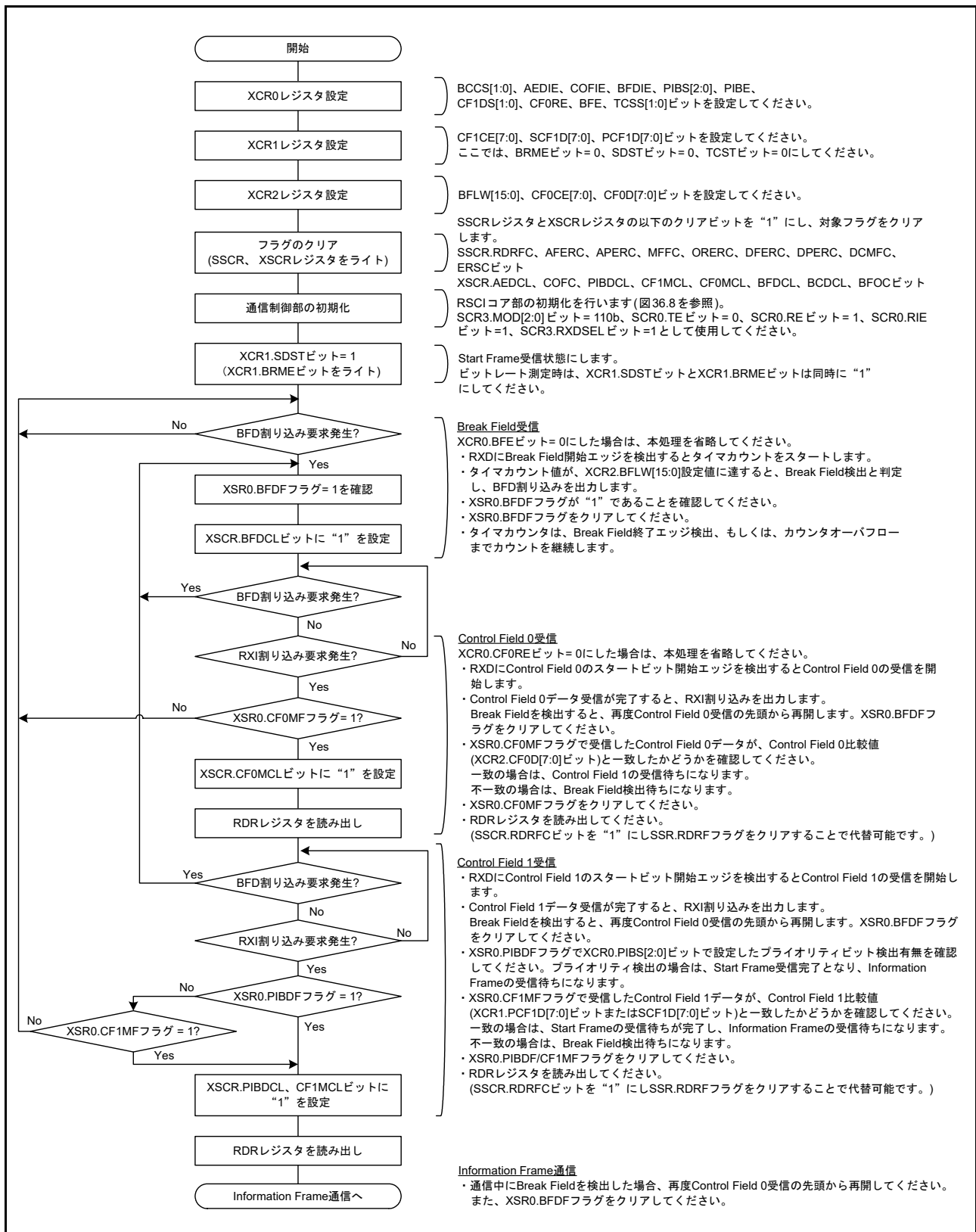


図 36.72 Start Frame 受信フローチャート例

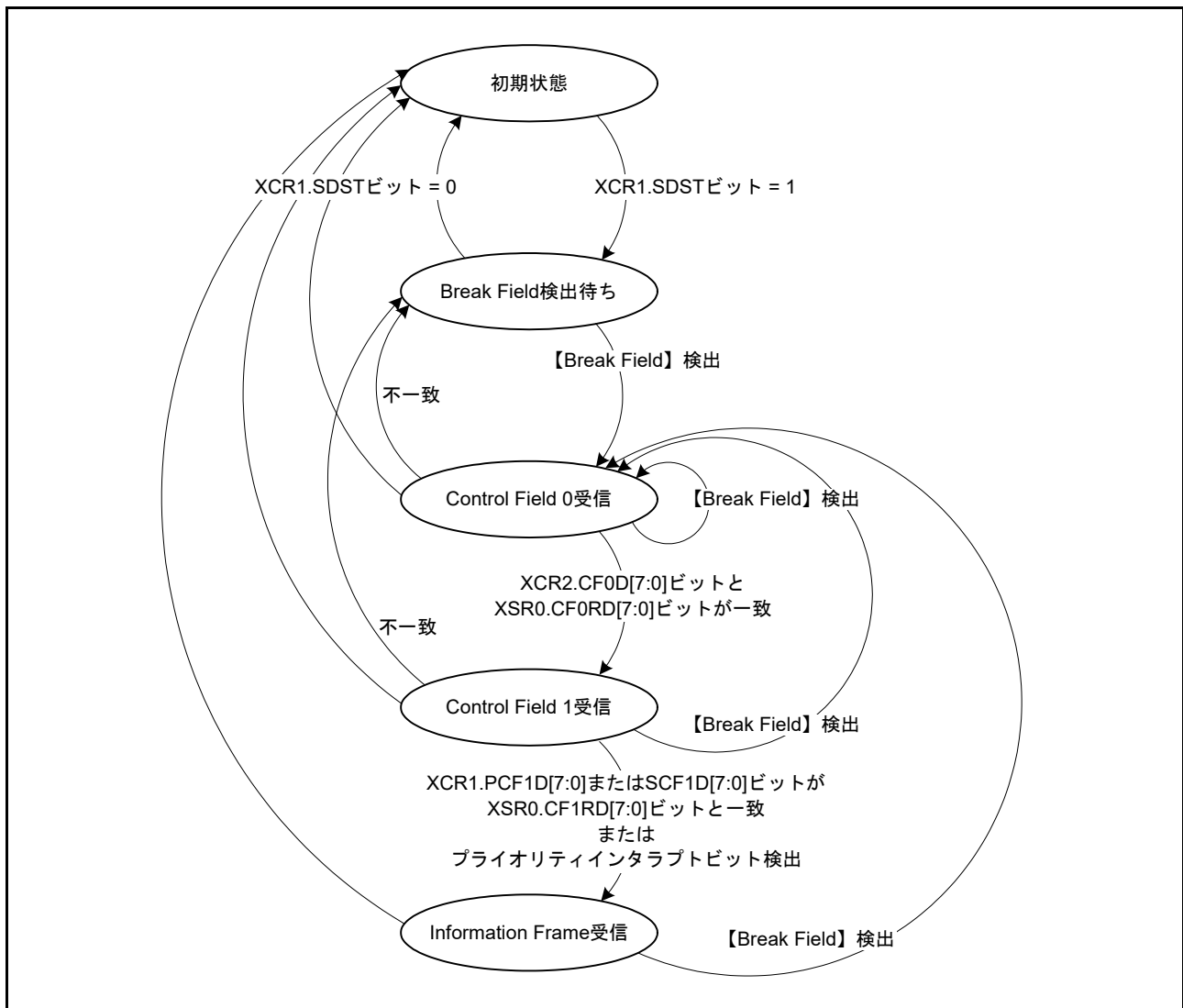


図 36.73 Start Frame 受信時の状態遷移図

36.8.3.2 プライオリティインタラプトビット

図 36.74 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは XCR0.PIBE ビットを“1”にすることで有効となります。

RSCI は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のように動作します。

- (1) ~ (7) は図 36.70 の Start Frame 受信時の動作例 (1) ~ (7) と同様になります。
- (8) XCR0.PIBS[2:0] ビットで指定したビットの値が XCR1.PCF1D[7:0] ビットに設定した値と一致した場合、XSR0.PIBDF フラグが“1”になります。そして、RSCI コア部により、Information Frame の通信を行います。Control Field 1 で受信したデータが XCR1.PCF1D[7:0] ビットまたは XCR1.SCF1D[7:0] ビットに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field 検出前の状態に遷移します。
- (9) RSCI コア部で Information Frame の通信を行います。

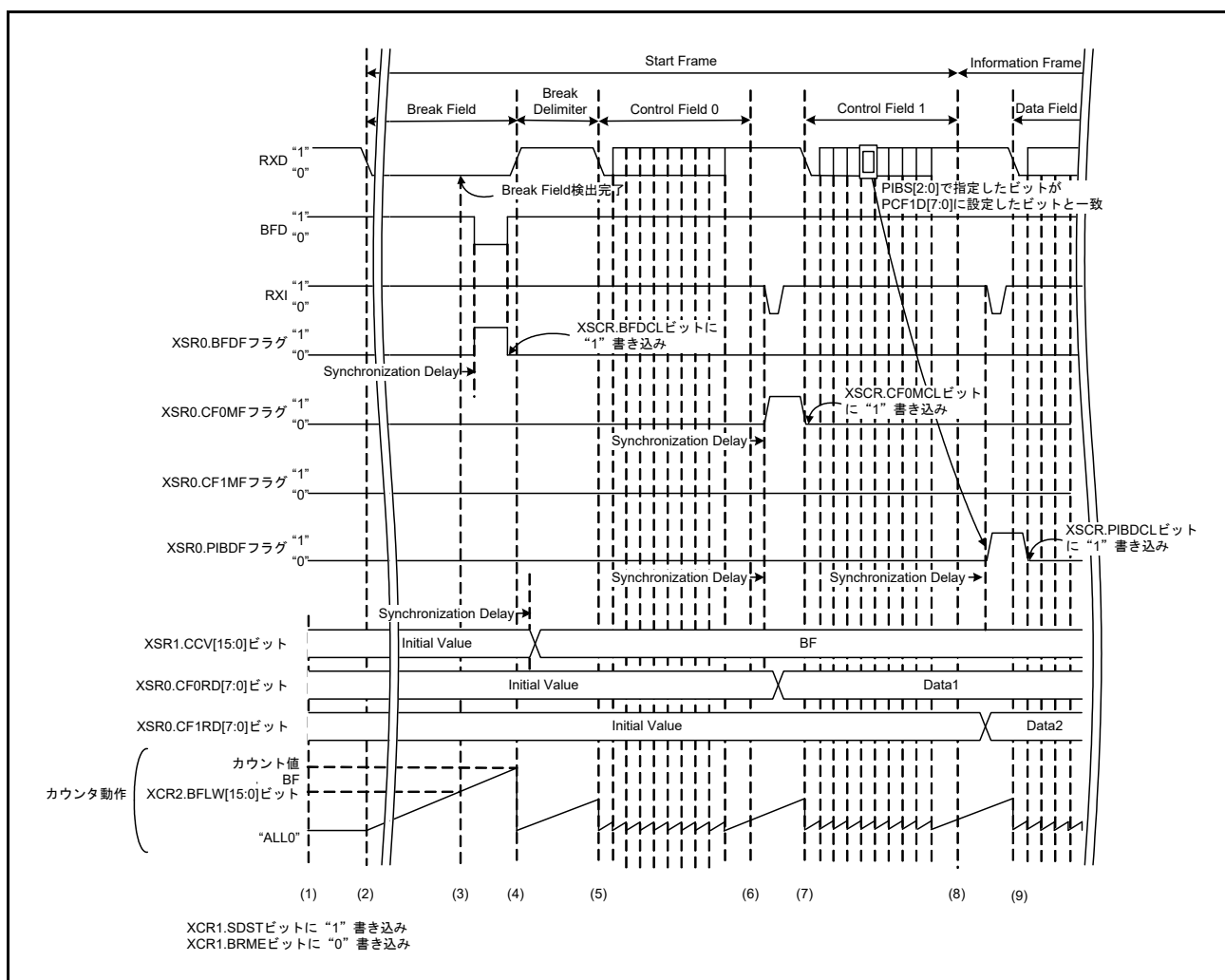


図 36.74 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

36.8.4 バス衝突検出機能

拡張シリアルモード (SCR3.MOD[2:0] ビット = 110b) で、TE ビット = 1 の場合、Break Field 送出中およびデータ送信中にバス衝突検出機能が動作します。

図 36.75 にバス衝突検出機能の動作例を示します。TXDn 端子の出力と RXDn 端子の入力を XCR0.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると XSR0.BCDF フラグが“1”になります。また、XCR0.BCDIE ビットを“1”にしている場合は、ERI 割り込みが発生します。

ERI 割り込みが発生した場合、図 36.76 に従って、送信動作を停止させてください。送信動作の再開は、バスの状態を確認して判断してください。

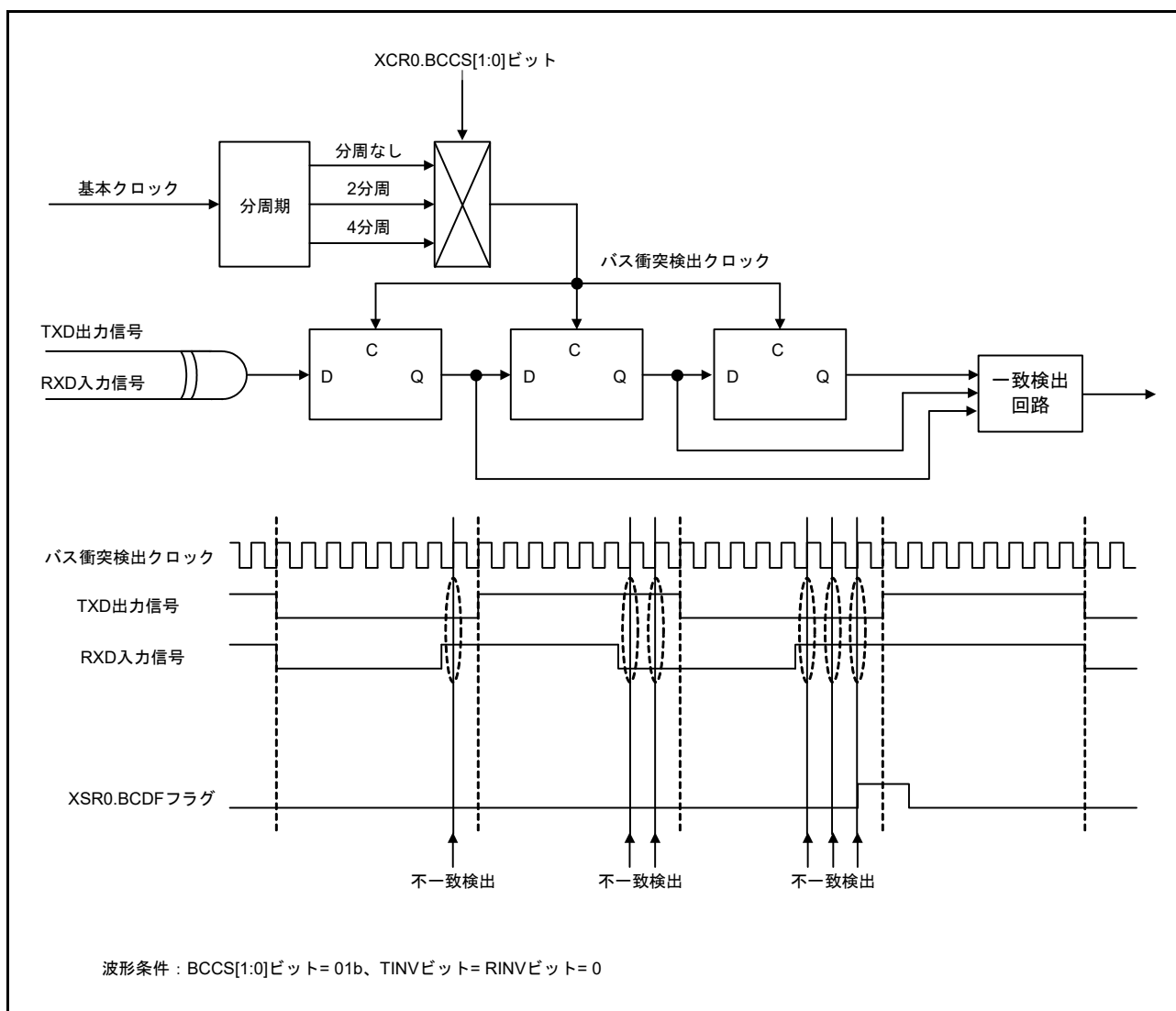


図 36.75 バス衝突検出機能の動作例

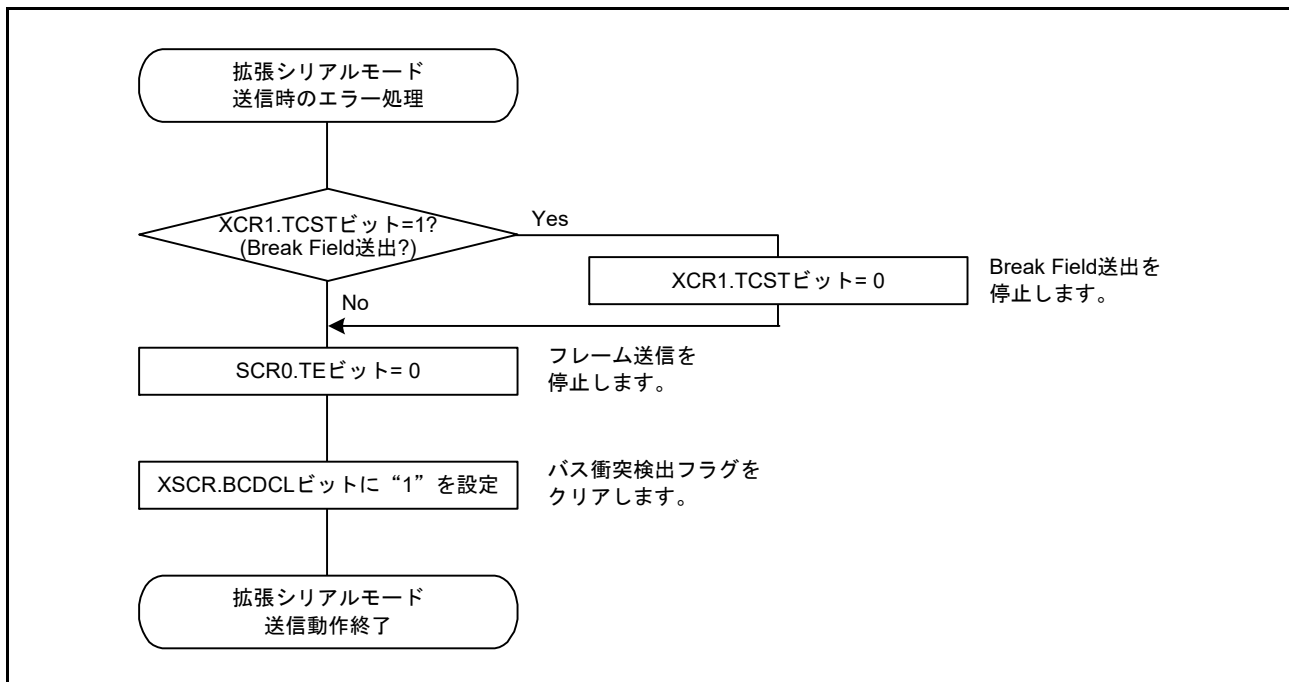


図 36.76 拡張シリアルモード送信動作時の ERI 割り込み処理フロー

36.8.5 ビットレート測定機能

RXDn 端子から入力される信号の有効エッジ間を測定する機能です。図 36.77 にビットレート測定機能の動作例を示します。

- (1) XCR1.SDST ビットと XCR1.BRME ビットに“1”を書き込むとビットレート測定が有効となり、Control Field 0 と Control Field 1 の有効エッジ間を測定します。Break Field と Break Delimiter の間は、ビットレートの測定動作を行いません。
XCR1.BRME ビットは、測定を行いたいときのみ、XCR1.SDST ビットと同時に“1”にしてください。
- (2) Break Field 中はビットレート測定動作を行わないため、Break Field 終了の立ち上がりエッジでは、有効エッジ検出フラグはセットされません。また、XSR1.CCV[15:0] ビットにカウンタのキャプチャ値は格納されません。
- (3) Control Field 0 のスタートビットの立ち下がりからカウントスタートします。Break Delimiter のカウント値は XSR1.CCV[15:0] ビットにキャプチャされません。
- (4) スタートビットの立ち上がりエッジを有効エッジとして検出し、XSR0.AEDF フラグをセットします。このとき、XCR0.AEDIE ビット=1 の場合は、AED 割り込みが出力されます。また、スタートビットのカウント値が XSR1.CCV[15:0] ビットに保持されます。XSR1.CCV[15:0] ビットは、有効キャプチャ値が読み出されるまで保持します。
- (5) RXD 入力端子から有効エッジが入ってきても、XSR1.CCV[15:0] ビットが読み出されておらず、保持が解除されていないため、この有効エッジタイミングのカウント値はキャプチャされません。この場合、AED 割り込みは出力しません。
- (6) XSR1.CCV[15:0] ビットを読み出します。これにより、XSR1.CCV[15:0] ビットの保持が解除され、ハードウェアにより、XSR0.AEDF フラグがクリアされます。
- (7) XSR1.CCV[15:0] ビット保持が解除されたため、有効エッジでカウント値がキャプチャされ保持します。同時に XSR0.AEDF フラグがセットされ、XCR0.AEDIE ビット=1 の場合は、AED 割り込みが出力されます。有効エッジ間のカウント値からビットレートをソフトウェアにて算出し、RSCI の設定を変更することで、ビットレートを調整することができます。
- (8) ビットレート測定動作を無効にする場合は、XCR1.BRME ビットに“0”を書き込んでください。
- (9) ビットレート測定機能が無効であるため、有効エッジタイミングで XSR0.AEDF フラグ、XSR1.CCV[15:0] ビットは変化しません。

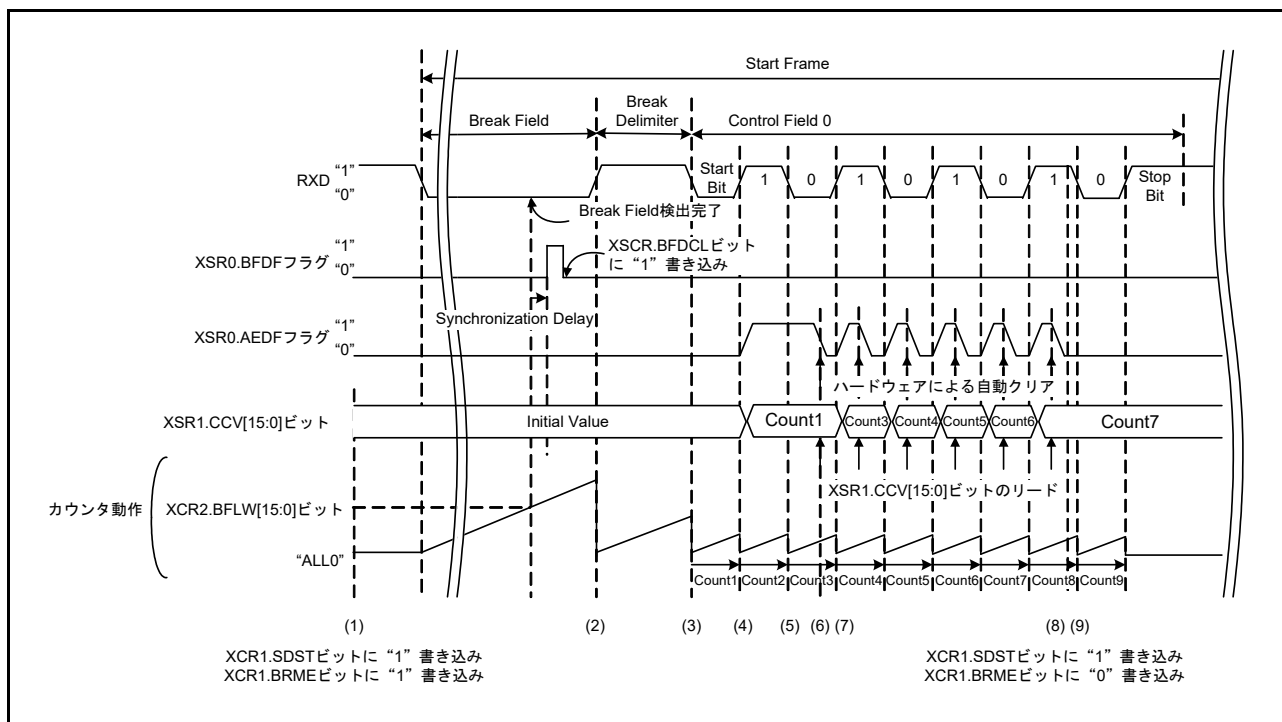


図 36.77 ビットレート測定機能動作例

36.9 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。スタートコンディション/リスタートコンディションに続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、ストップコンディションまで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 36.78 に I²C バスフォーマットを、図 36.79 に I²C バスタイミングを示します。

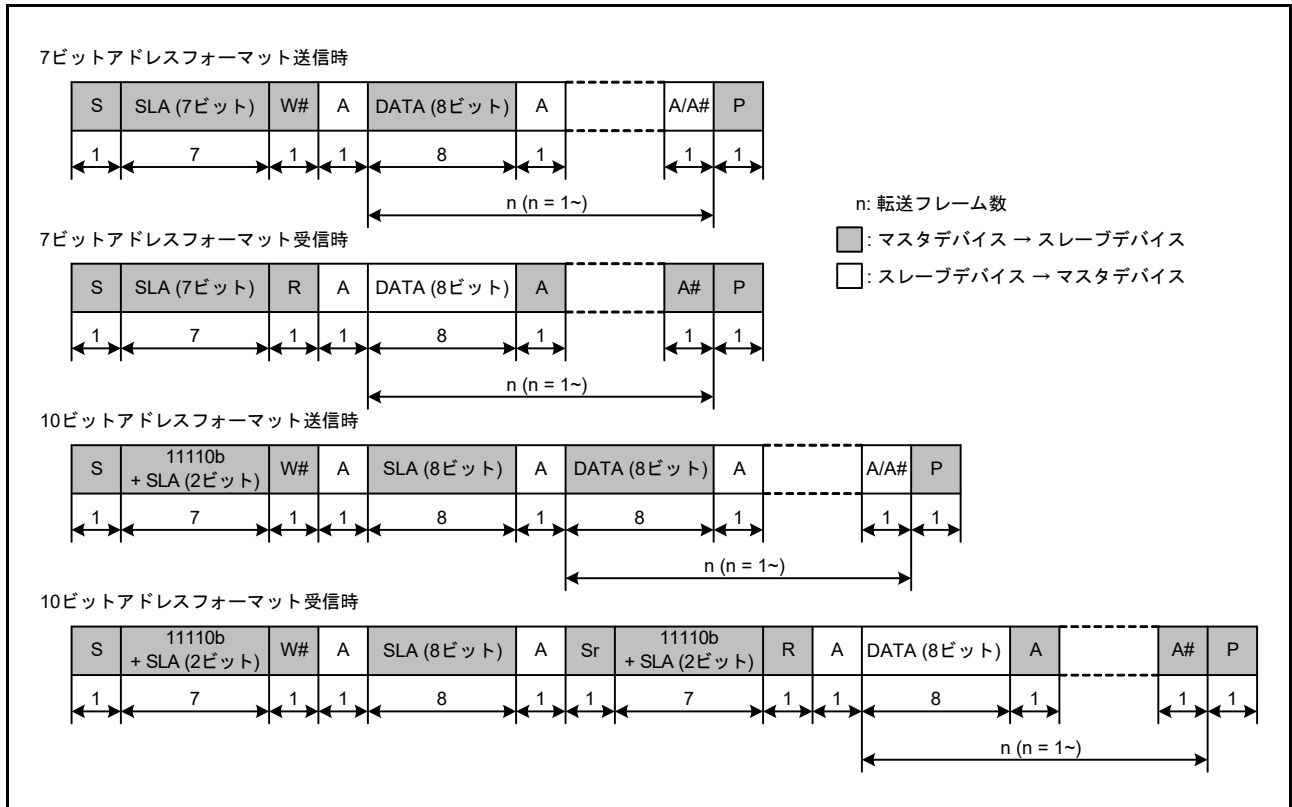


図 36.78 I²C バスフォーマット

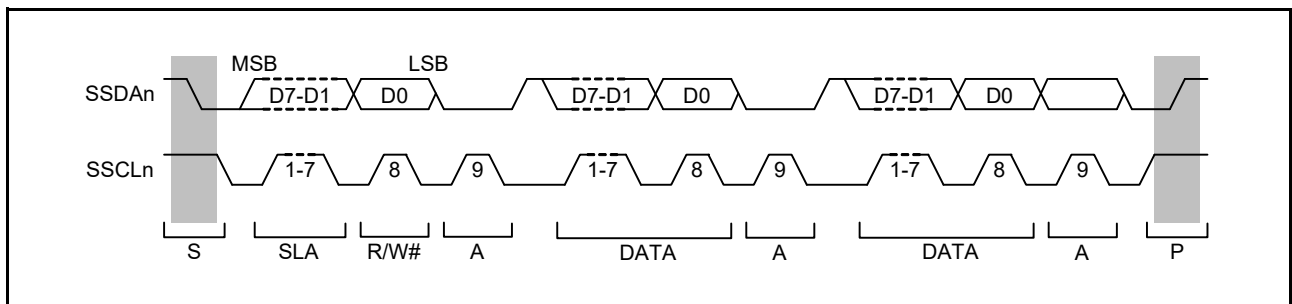


図 36.79 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態で SSDAn ラインが High から Low に変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。High のときスレーブデバイスからマスタデバイスへ、Low のときマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#: アクノリッジを示します (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Low を返すことを ACK、High を返すことを NACK と言います。
- Sr: リスタートコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態でセットアップ時間経過後に SSDAn ラインを High から Low に遷移させます。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態で SSDAn ラインを Low から High に遷移させます。

36.9.1 スタートコンディション、リスタートコンディション、ストップコンディションの生成

SIMR.IICSTAREQ ビットに“1”を書き込むことにより、スタートコンディションの生成を行います。スタートコンディションの生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR[7:0] ビットで設定したビットレートの半分の時間、スタートコンディションのホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR.IICSTAREQ ビットを“0”にし、スタートコンディション生成割り込み要求を出力

SIMR.IICRSTAREQ ビットに“1”を書き込むことにより、リスタートコンディションの生成を行います。リスタートコンディションの生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR[7:0] ビットで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR[7:0] ビットで設定したビットレートの半分の時間、リスタートコンディションのセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR[7:0] ビットで設定したビットレートの半分の時間、リスタートコンディションのホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR.IICRSTAREQ ビットを“0”にし、リスタートコンディション生成割り込み要求を出力

SIMR.IICSTPREQ ビットに“1”を書き込むことにより、ストップコンディションの生成を行います。ストップコンディションの生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR[7:0] ビットで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR[7:0] ビットで設定したビットレートの半分の時間、ストップコンディションのセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR.IICSTPREQ ビットを“0”にし、ストップコンディション生成割り込み要求を出力

図 36.80 にスタートコンディション、リスタートコンディション、ストップコンディション生成の動作タイミングを示します。

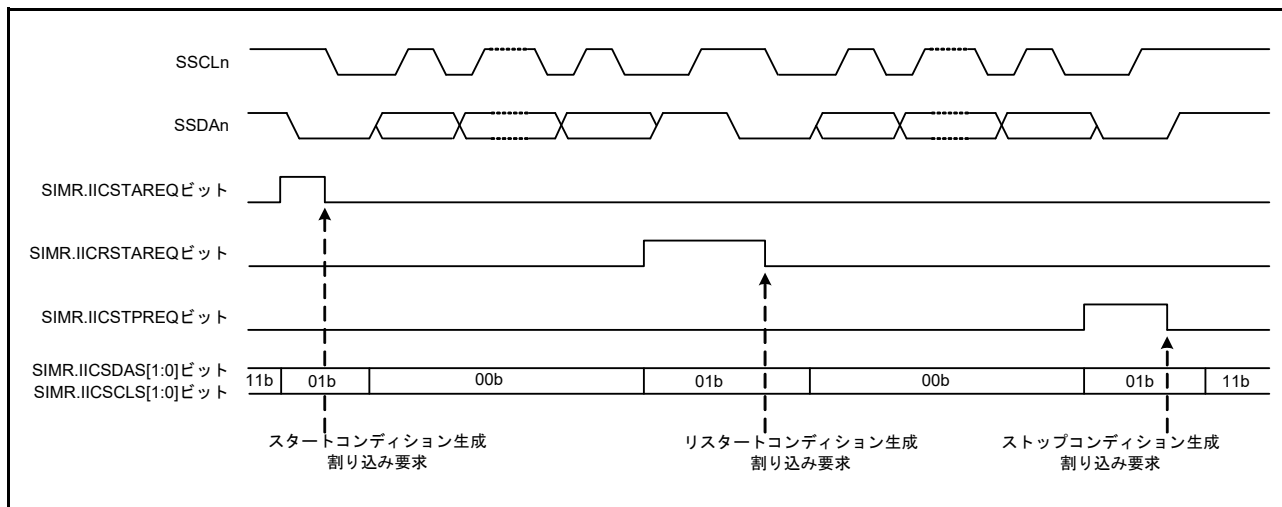


図 36.80 スタートコンディション、リスタートコンディション、ストップコンディション生成の動作タイミング

36.9.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR.IICCSC ビットを“1”にすると、内部 SCL が SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR.IICCSC ビットが“1”の場合、内部 SCL が Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLK で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SCL の High 期間は延長されます。

SIMR.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SCL の論理積に同期して行われます。SIMR.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SCL に同期して行われます。

スタートコンディション、リスタートコンディションおよびストップコンディション生成要求発行後、内部 SCL が Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SCL が High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 36.81 にクロック同期化の動作例を示します。

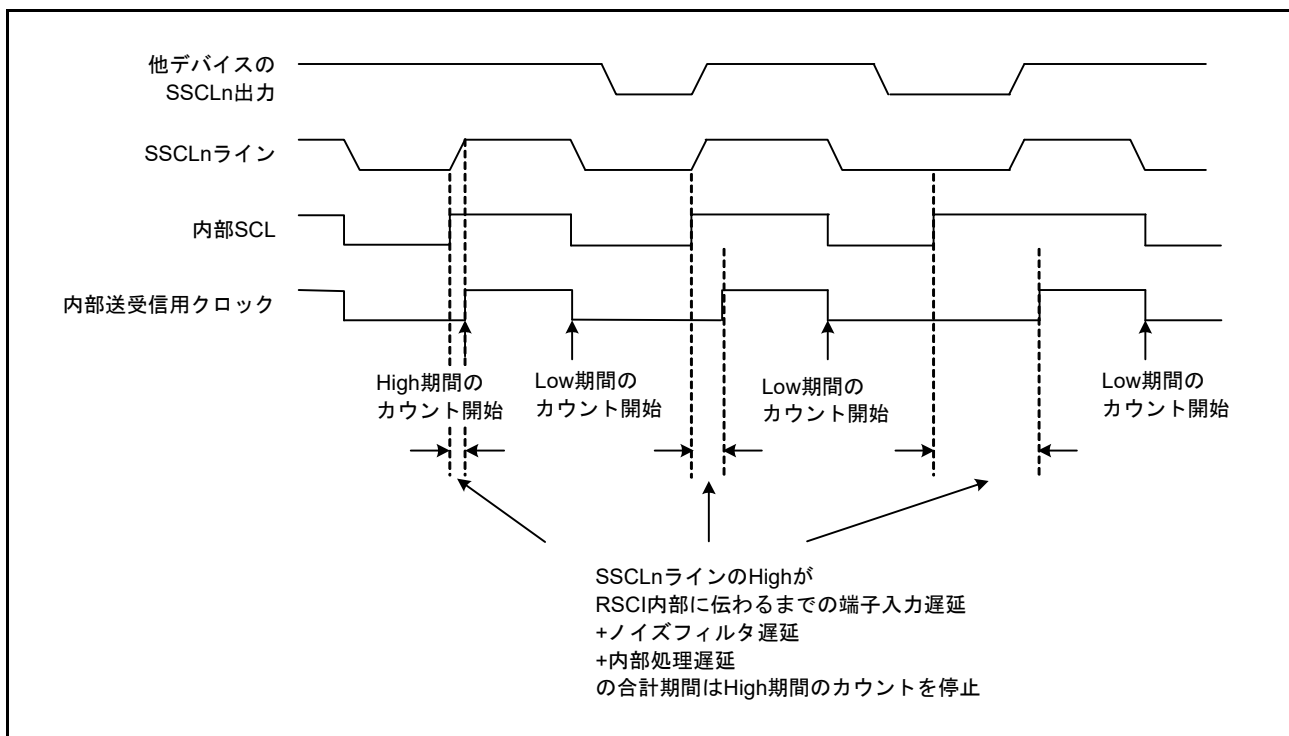


図 36.81 クロック同期化の動作例

36.9.3 SDA 出力遅延

SIMR.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準 (PCLK ベースに SCR2.CKS[1:0] ビットで選択された分周クロック) で 0 ~ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、スタートコンディション/リスタートコンディション/ストップコンディション信号と 8 ビットの送信データおよびアクノリッジです。

SDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値 (I²C の標準モード、ファストモードでは 300 ns) より大きくなるように設定してください。

図 36.82 に SDA 出力遅延のタイミングを示します。

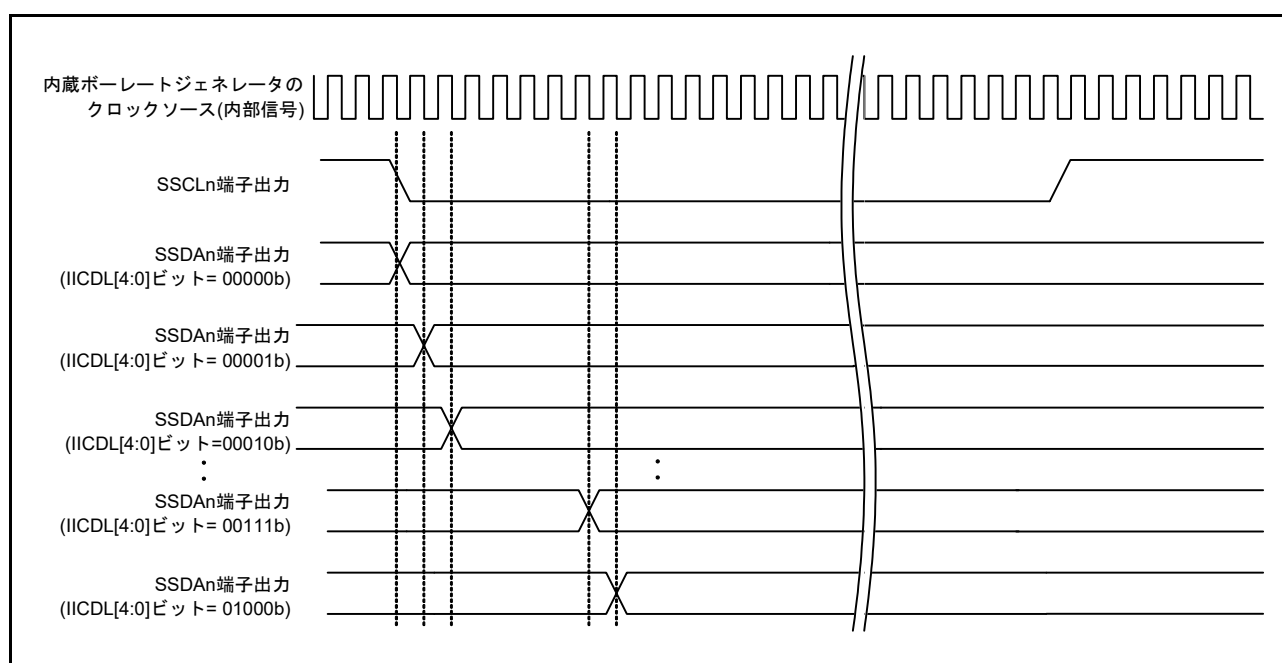


図 36.82 SDA 出力遅延のタイミング

36.9.4 RSCIの初期化(簡易I²Cモード)

データの送受信前に、SCR0レジスタに初期値“0000 0000h”を書き込み、図 36.83 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCR0.TE ビットと SCR0.RE ビットに“0”を書き込んで(SCR0レジスタに初期値を書き込むでも可)から変更してください。また、簡易I²Cモード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

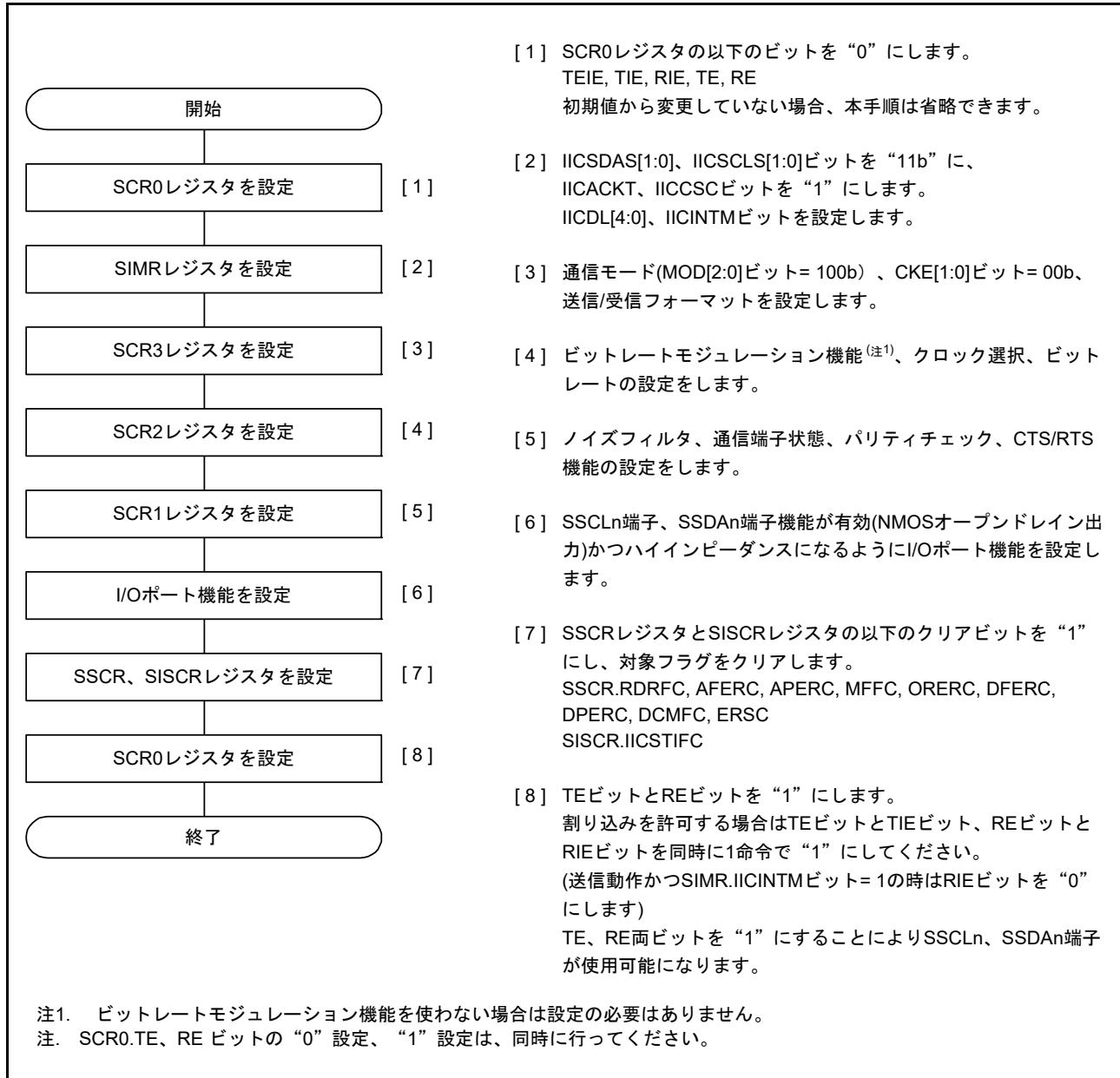


図 36.83 RSCIの初期化フローチャート例(簡易I²Cモード)

36.9.5 マスタ送信動作 (簡易 I²C モード)

図 36.84、図 36.85 に簡易 I²C モードのマスタ送信の動作例を、図 36.86 ~ 図 36.88 にマスタ送信のフローチャートの例を示します。STI 割り込みについては、表 36.46 を参照してください。

図 36.84 は、SIMR.IICINTM ビットを“1”(受信割り込み、送信割り込みを使用)にした場合の動作例を示します。この場合、TXI 割り込みをトリガに DTC または DMAC を起動することができますが、DTC または DMAC を使うと ACK/NACK の確認ができませんので、ACK/NACK の確認が必要な場合は CPU による送信データの準備を行って下さい。簡易 I²C モードでの送信完了 (TXI) 割り込みは、1 フレームの通信を完了した時点で発生します。また、マスタ送信動作では受信割り込みを使用しないので、SCR0.RIE ビットを“0”にしてください。

図 36.86 に SIMR.IICINTM ビット = 1 でアドレス送信に CPU、データ送信に DTC または DMAC を使用した場合を、図 36.87 にアドレス送信とデータ送信に CPU を使用した場合のフローチャートを示します。いずれも、10 ビットスレーブアドレス時は、図 36.86 の [3] ~ [4] の手順を 2 回繰り返します。

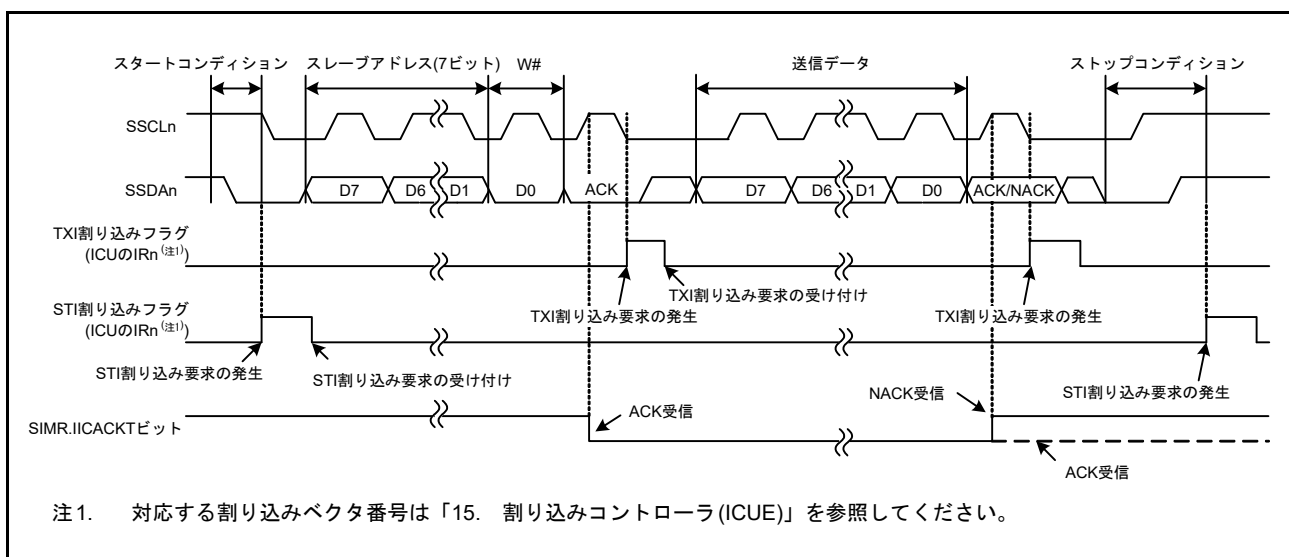


図 36.84 簡易 I²C モードのマスタ送信の動作例 (1)
(7 ビットスレーブアドレス、送信割り込み / 受信割り込み使用 (SIMR.IICINTM ビット = 1) 時)

図 36.85 は、SIMR.IICINTM ビットを“0”(ACK 割り込み、NACK 割り込みを使用)にした場合の動作例を示します。この場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

図 36.88 に SIMR.IICINTM ビット = 0 の場合のフローチャートを示します。

TDR に送信データを書いた後に、何らかの都合で通信を中断したあと再開する場合は、以下の手順を行ってください。

1. SCR0.TE ビットと SCR0.RE ビットを“0”に設定し、通信を停止する。
2. SIMR.IICSCLS[1:0] ビットと SIMR.IICSDAS[1:0] ビットを“11b”にし、I²C バスを解放し、各種条件生成要求をクリアする。
3. SSR.RDRF フラグが“1”の場合は、RDR レジスタをダミーリードして RDRF ビットを“0”にする。
4. SCR0.TE ビットと SCR0.RE ビットを“1”にし、通信を再開する。

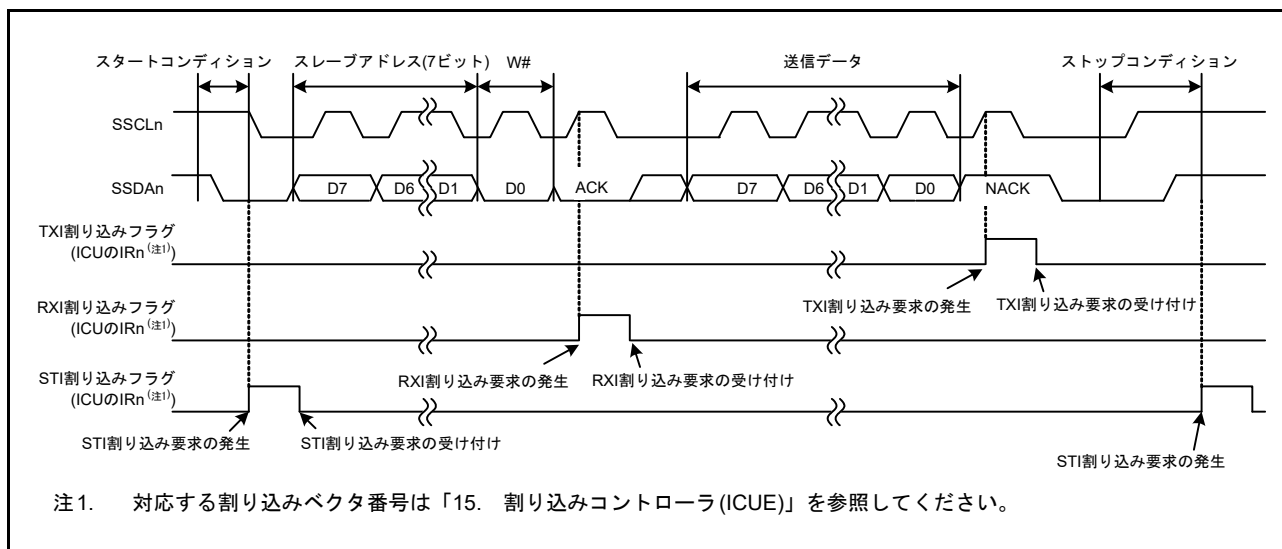


図 36.85 簡易 I²C モードのマスター送信の動作例 (2)
 (7ビットスレーブアドレス、ACK 割り込み /NACK 割り込み使用 (SIMR.IICINTM ビット = 0 時))

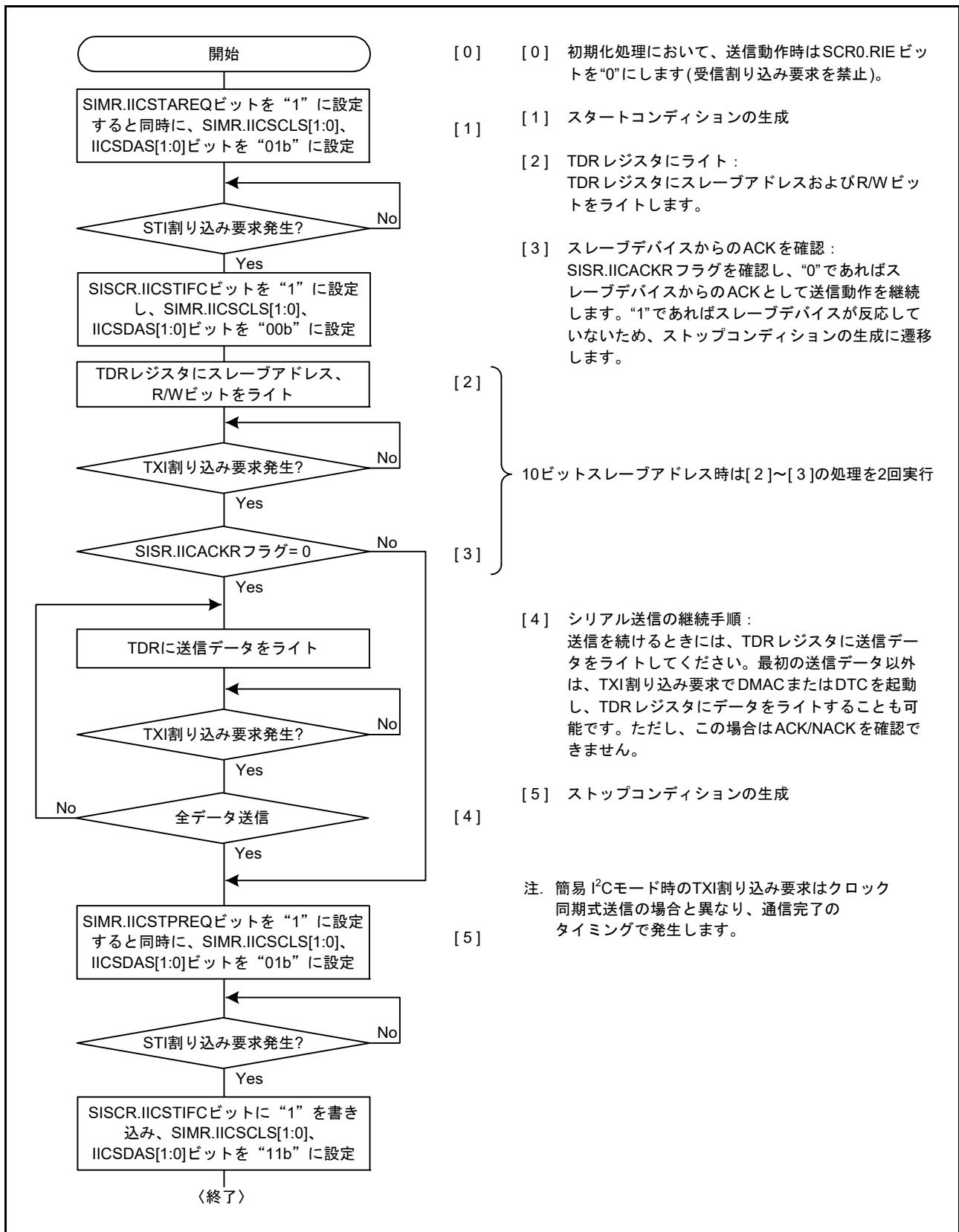


図 36.86 簡易 I²C モードのマスタ送信動作のフローチャート例 (SIMR.IICINTM ビット = 1 設定時、アドレス送信のみで ACK/NACK を確認する場合)

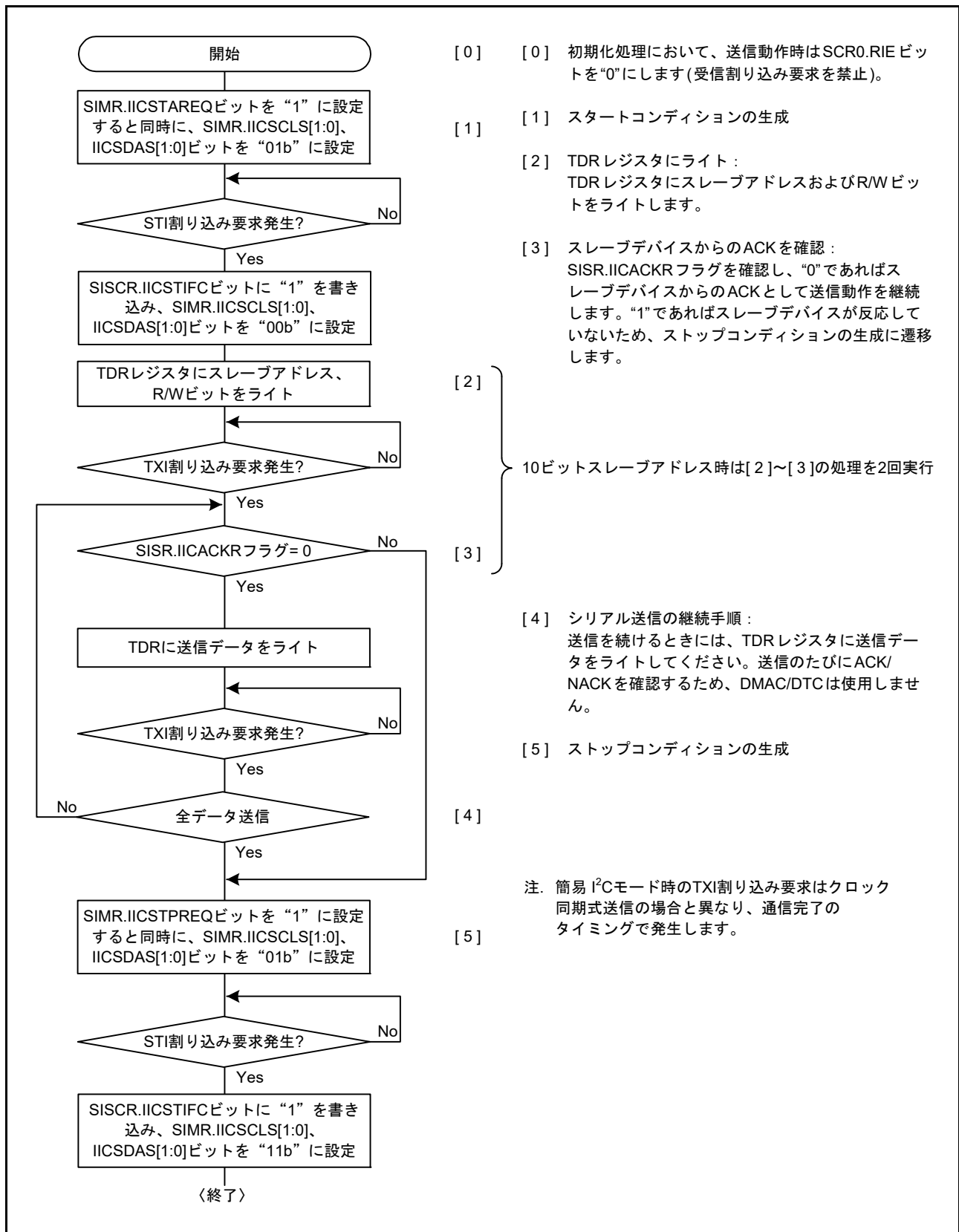


図 36.87 簡易 I²C モードのマスター送信動作のフローチャート例
(SIMR.IICINTM ビット = 1 設定時、全ての送信で ACK/NACK を確認する場合)

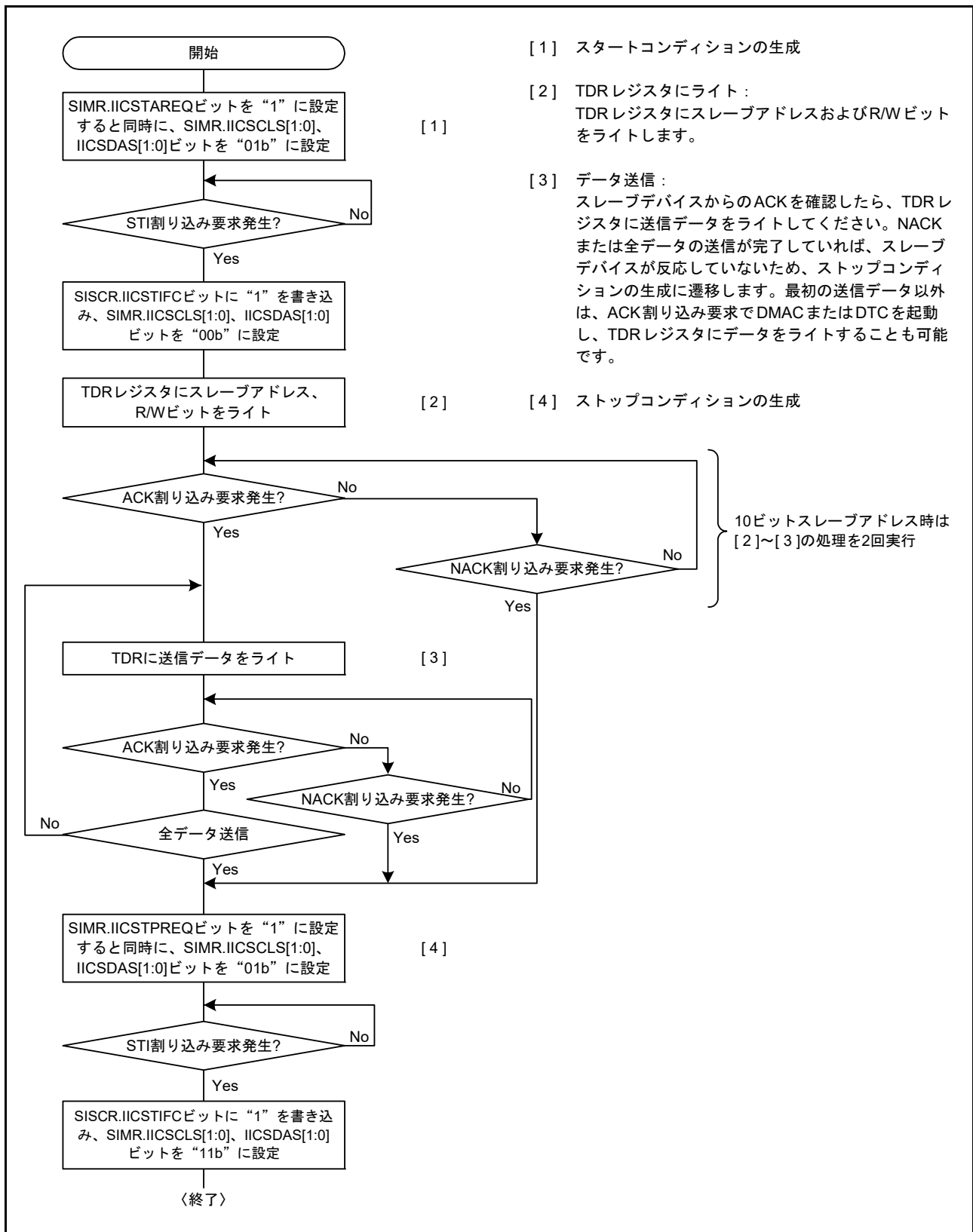


図 36.88 簡易 I2C モードのマスタ送信動作のフローチャート例 (SIMR.IICINTM ビット = 0 設定時)

36.9.6 マスタ受信動作 (簡易 I²C モード)

図 36.89、図 36.90 に簡易 I²C モードのマスタ受信の動作例を、図 36.91、図 36.92 にマスタ受信のフローチャートの例を示します。ともに SIMR.IICINTM ビットを“1”(受信割り込み、送信割り込みを使用)にした場合と SIMR.IICINTM ビットを“0”(ACK 割り込み、NACK 割り込みを使用)にした場合を想定しています。

簡易 I²C モードでの送信完了 (TXI) 割り込みは、1 フレームの通信を完了した時点で発生します。

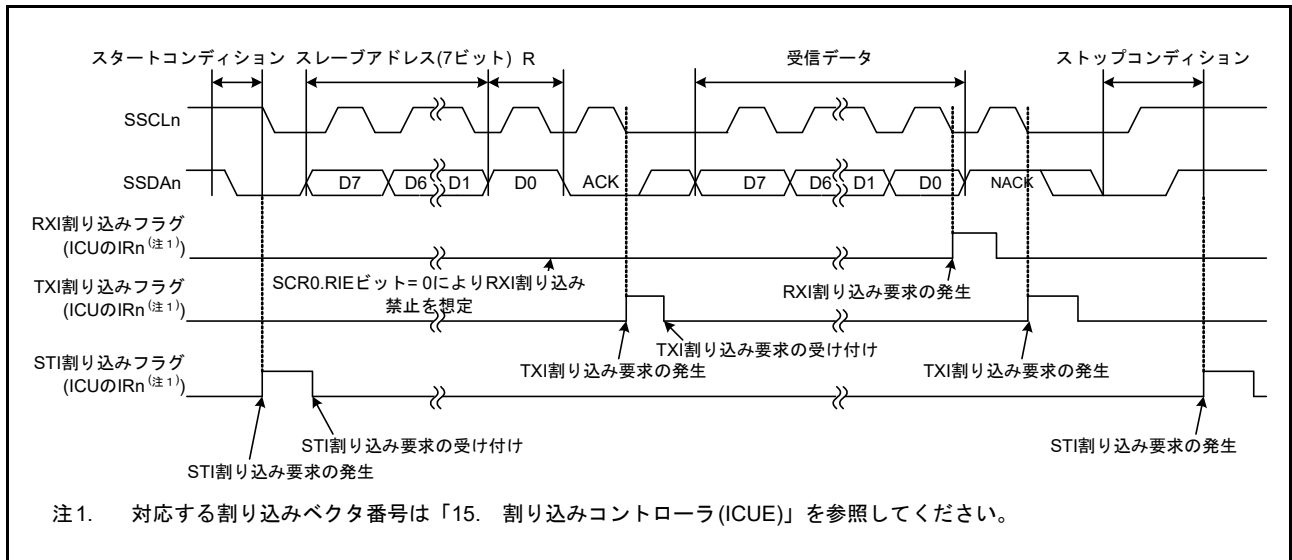


図 36.89 簡易 I²C モードのマスタ受信の動作例 (7ビットスレーブアドレス、送信割り込み / 受信割り込み使用 (SIMR.IICINTM ビット = 1) 時)

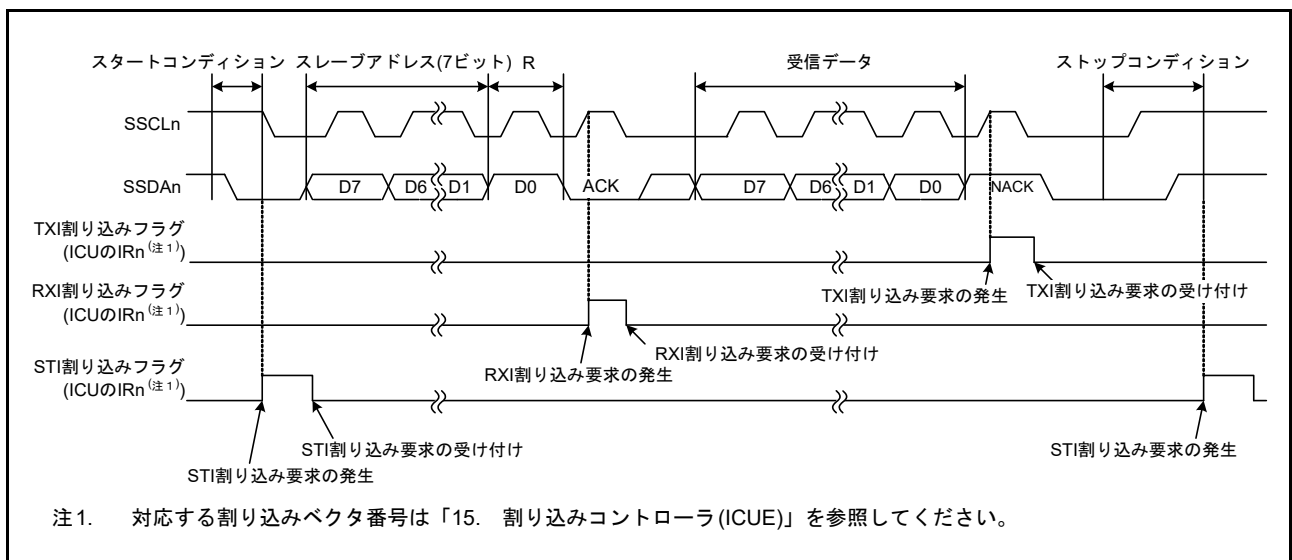


図 36.90 簡易 I²C モードのマスタ受信の動作例 (7ビットスレーブアドレス、ACK 割り込み / NACK 割り込み使用 (SIMR.IICINTM ビット = 0) 時)

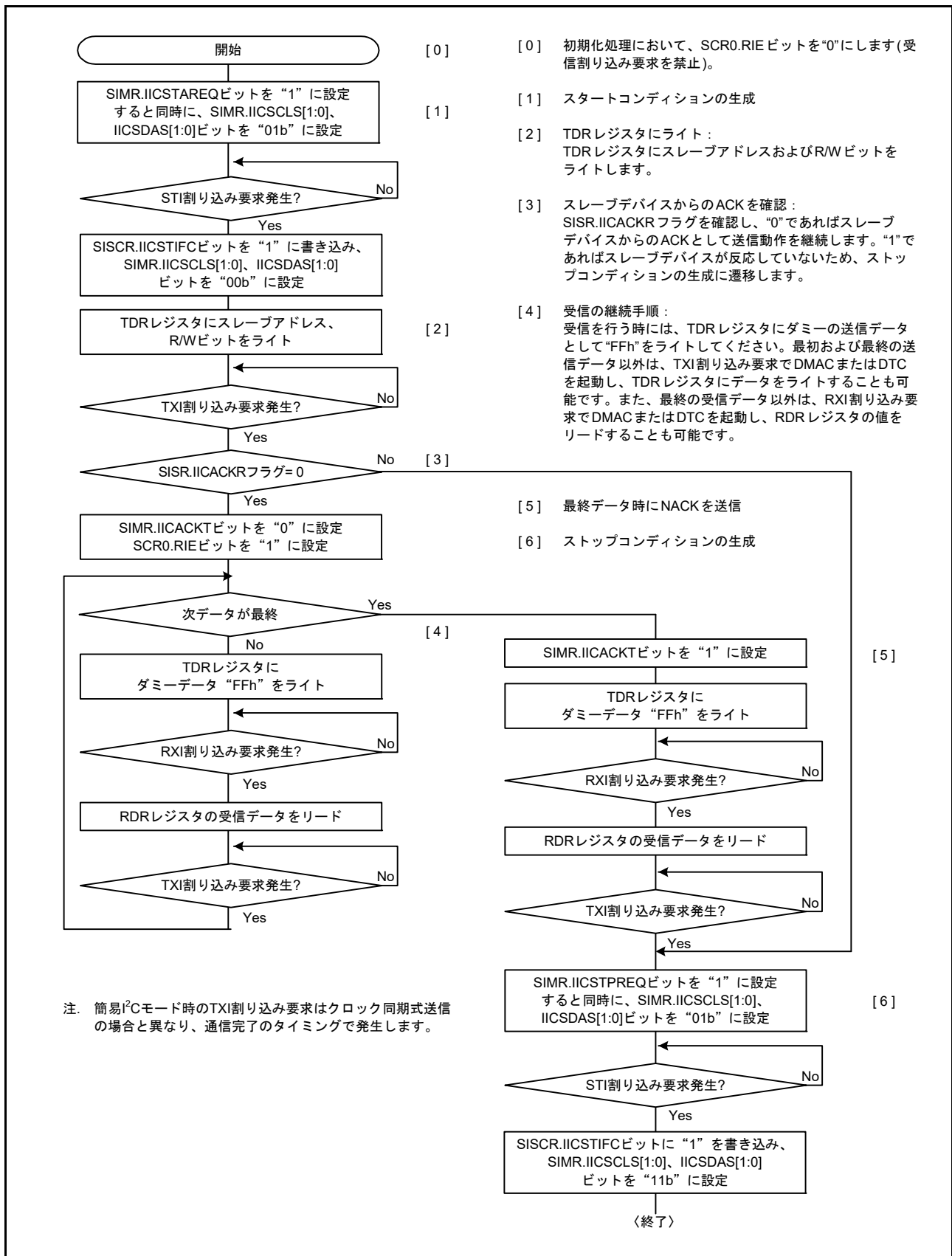


図 36.91 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み / 受信割り込み使用 (SIMR.IICINTM ビット = 1) 時)

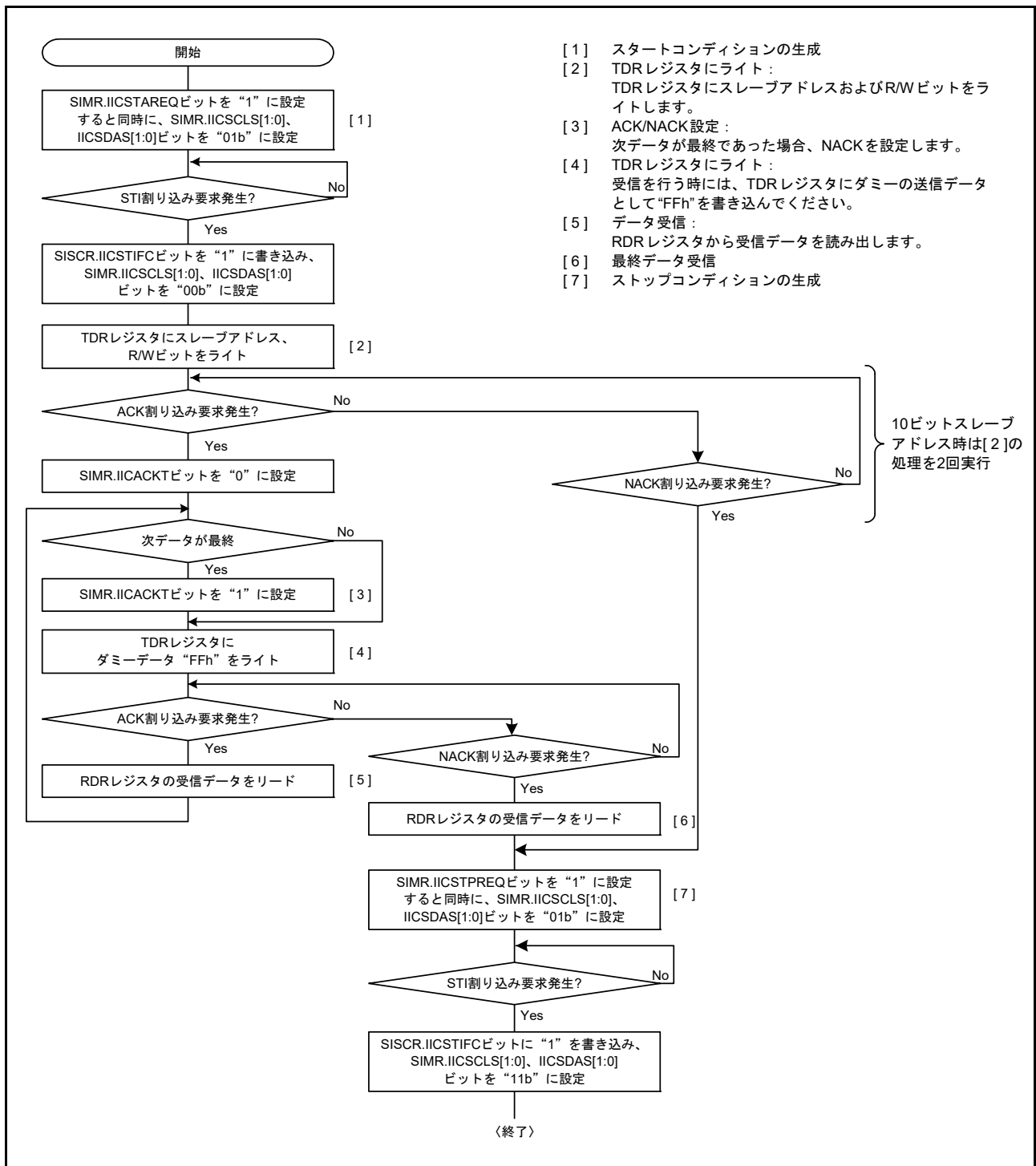


図 36.92 簡易 I2C モードのマスタ受信動作のフローチャート例
 (ACK 割り込み /NACK 割り込み使用 (SIMR.IICINTM ビット = 0) 時)

36.10 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 36.93 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

RSCIは、CPHAビット=1かつCPOLビット=1のとき、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。ただし、CPHAビット=0かつスレーブ通信時は先頭ビット値に戻って保持されます。

RSCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

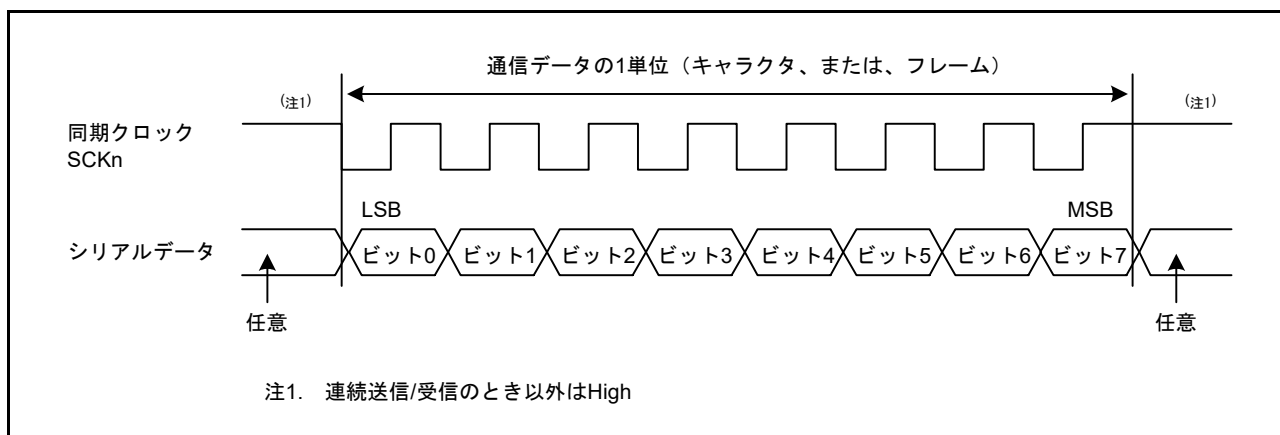


図 36.93 クロック同期式シリアル通信のデータフォーマット (LSB ファースト、CPHA ビット = 1、CPOL ビット = 1 の場合)

36.10.1 クロック

(1) 内部クロック選択時

SCR3.CKE[1:0] ビット = “00b” または “01b” 設定時 (マスタモード)、内蔵ボーレートジェネレータが生成する内部クロックを選択でき、SCKn 端子から同期クロックを出力します。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High (注1) に固定されます。また、送信のみおよび送受信時、送信データを準備しないと同期クロックを出力しません。

また、内部クロック選択時は受信サンプリングクロックに SCKn から遅延をつけたクロックを使用します。これにより高速通信時のデータセットアップホールド時間を確保します。

注1. SCR3.CPHA ビット = 0 かつ SCR3.CPOL ビット = 1、または SCR3.CPHA ビット = 1 かつ SCR3.CPOL ビット = 1 のときは High で停止します。また、SCR3.CPHA ビット = 0 かつ SCR3.CPOL ビット = 0、または SCR3.CPHA ビット = 1 かつ SCR3.CPOL ビット = 0 のときは Low で停止します。

(2) 外部クロック選択時

SCR3.CKE[1:0] ビット = “10b” または “11b” 設定時 (スレーブモード)、SCKn 端子から入力される外部クロックを使用して送受信を行います。

36.10.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SCR1.CTSE ビットを“1”にすると、CTS 機能が有効になります。クロック同期通信では内部クロック時に CTS 機能、外部クロック時に RTS 機能が使用可能ですので、CTS 機能と RTS 機能を同時に使うことはできません。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作および送信動作を開始します。

FIFO 使用時は、送信前から CTSn# 信号が High を維持した場合、送信開始しませんが、“TDR レジスタへ書き込んだ数 - 1”がデータ格納数となります (調歩同期式モードの FIFO 使用時と異なります)。これは、TDR レジスタ書き込み後に TSR レジスタへデータが転送されるためですが、CTSn# 信号を Low レベルにすると、TSR レジスタから送信が開始されるので、問題ありません。

送受信および送信動作中に CTSn# 端子を High にした場合、送受信および送信中のフレームは影響を受けず送受信および送信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用してシリアル通信開始要求を行う機能で、シリアル通信が可能な状態になると RTSn# 端子に Low を出力します。Low、High を出力する条件は以下のとおりです。

(a) SCR3.FM ビットが“0” (非 FIFO モード) の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR0.RE ビットまたは SCR0.TE ビットが“1”
- 読み出し前の受信データがない、かつ受信中でない (SCR0.RE ビットが“1”のとき)
- TDR レジスタに書いたデータが送信可能な状態になっている (SCR0.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

受信完了後 RDR レジスタを読み出さずに SCR0.RE ビット = 0 にして受信を終了させる場合は High のままです。この時は SCR0.RE ビット = 0 を書き込んでください。

(b) SCR3.FM ビットが“1” (FIFO モード) の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR0.RE ビットまたは SCR0.TE ビットが“1”
- 受信 FIFO (RDR レジスタ) 内に格納されているデータ数がしきい値 (FCR.RSTRG[4:0] ビット) 未満 (SCR0.RE ビットが“1”のとき)
- 送信 FIFO (TDR レジスタ) に書いた送信データが送信可能な状態になっている (SCR0.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

36.10.3 RSCIの初期化(クロック同期式モード)

データの送受信前に SCR0.TE ビットと SCR0.RE ビットに“0”を書き込み(SCR0レジスタに初期値を書き込むでも可)、図 36.94 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、TE ビットと RE ビットに“0”を書き込んでから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、AFER、APER、RDRF フラグおよび RDR レジスタは初期化されませんので注意してください。また、TE ビットを“0”にしても FIFO モード時の SSR.TEND フラグは初期化されませんので注意してください。動作モードの変更時にも注意してください。

TE ビットを“0”から“1”にすると、SCR0.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

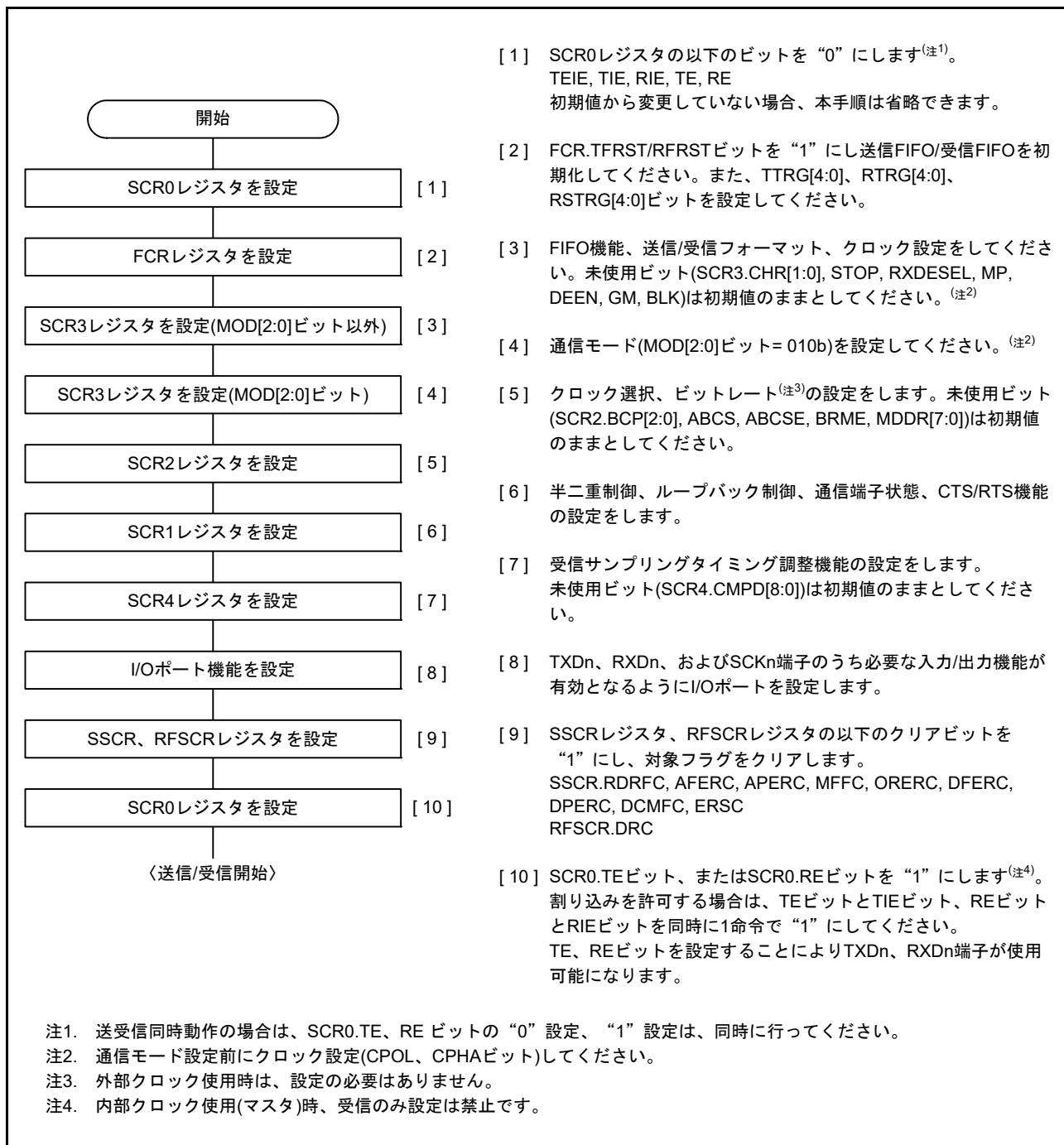


図 36.94 RSCIの初期化フローチャートの例(クロック同期式モード)

36.10.4 シリアルデータの送信 (クロック同期式モード)

(1) 非 FIFO モード時

図 36.95 ～図 36.97 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、RSCI は以下のように動作します。

1. RSCI は TXI 割り込みルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に“1”にしてください。すると TXI 割り込み要求が発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR0.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR0.TIE ビットを“0”(TXI 割り込み要求を禁止)に、SCR0.TEIE ビットを“1”(TEI 割り込み要求を許可)にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SCR1.CTSE ビットが“1”(CTS 機能許可)のとき、CTS 信号入力 Low になるまで待つてから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新(書き込み)をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR0.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 36.98 にデータ送信のフローチャートの例を示します。

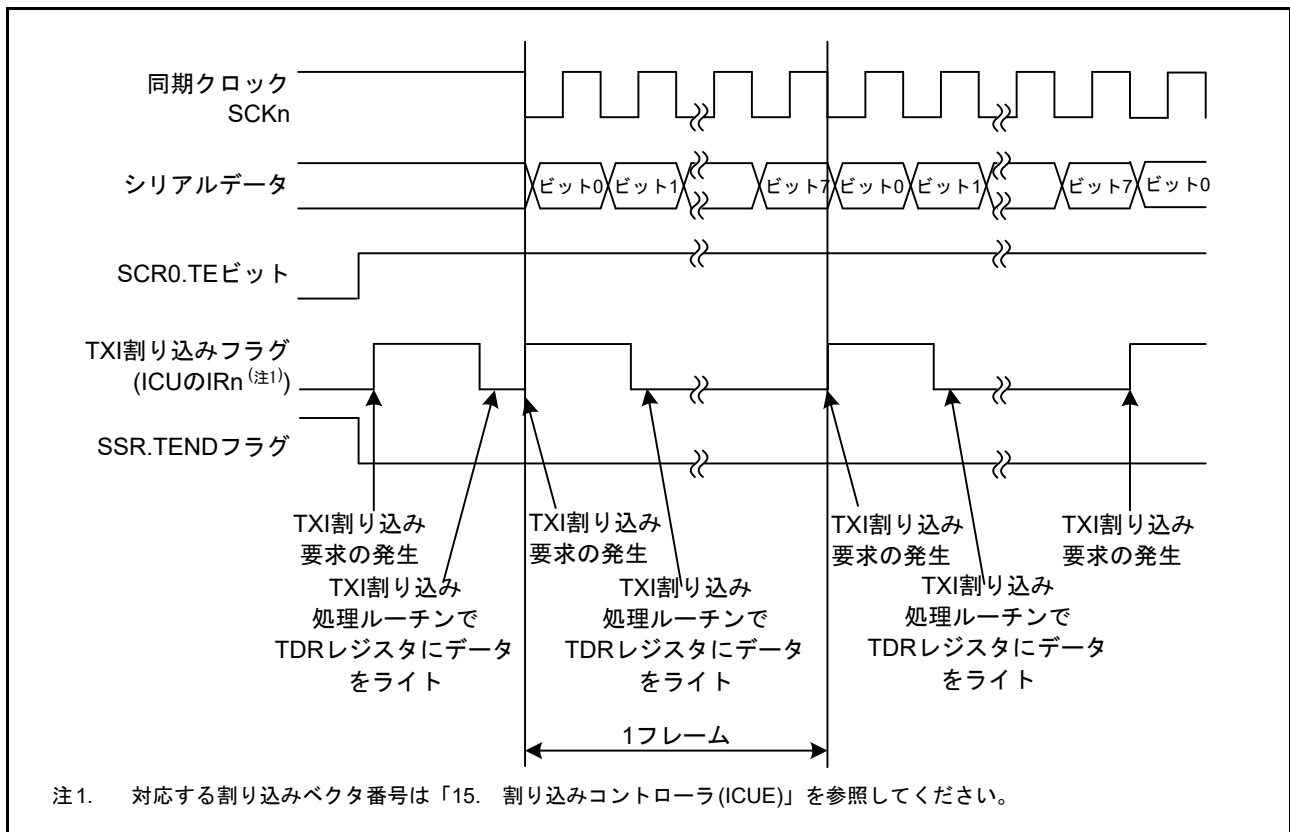


図 36.95 クロック同期式モードのシリアル送信の動作例 (1) (CTS 機能未使用時 / 送信開始時 / CPHA ビット = 1、CPOL ビット = 1)

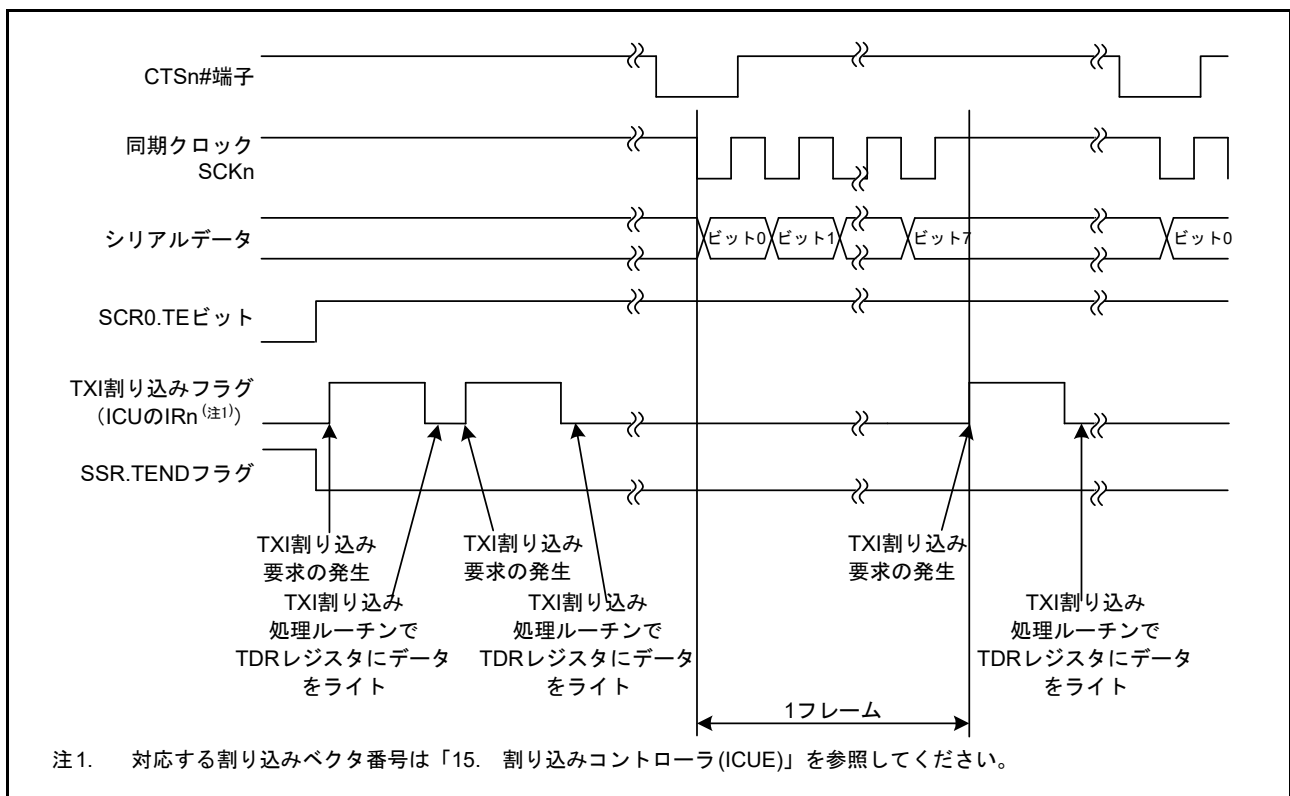


図 36.96 クロック同期式モードのシリアル送信の動作例 (2) (CTS 機能使用時 / 送信開始時 / CPHA ビット = 1、CPOL ビット = 1)

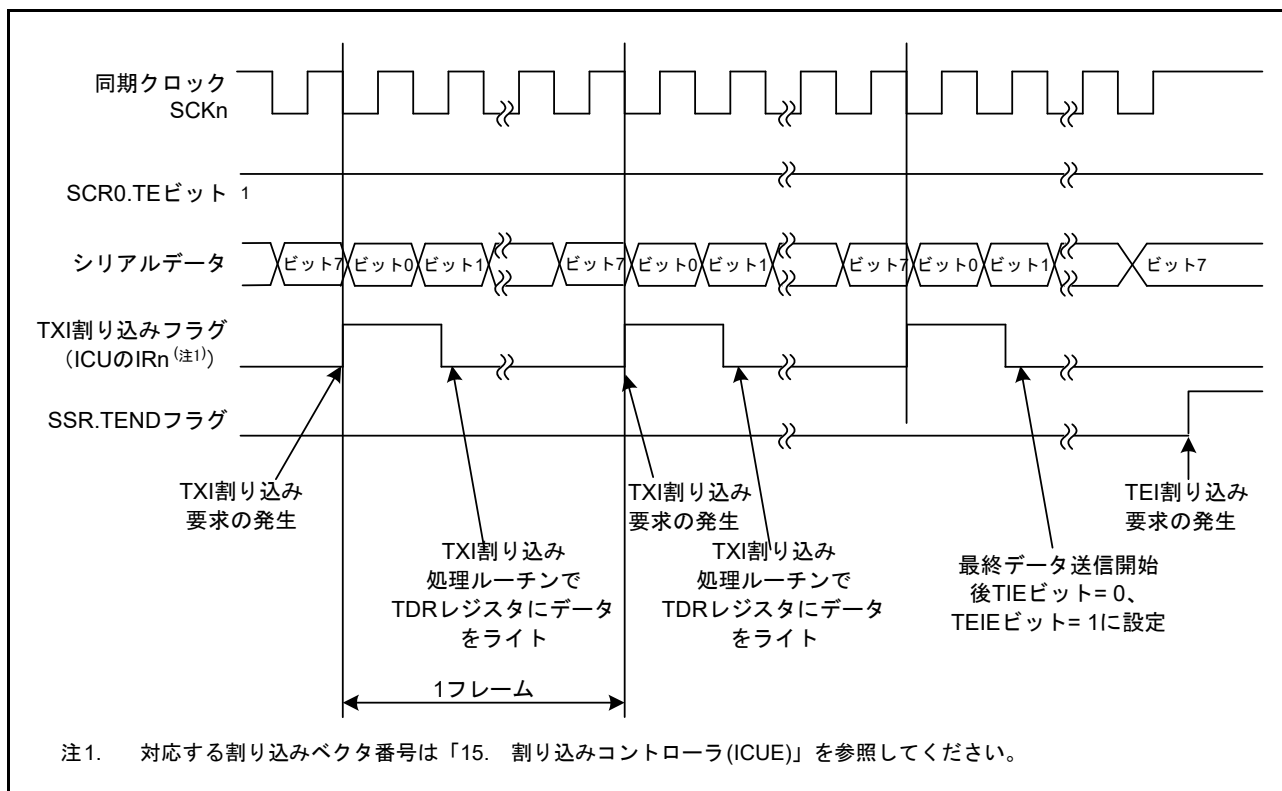


図 36.97 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信完了時 /CPHA ビット = 1、CPOL ビット = 1)

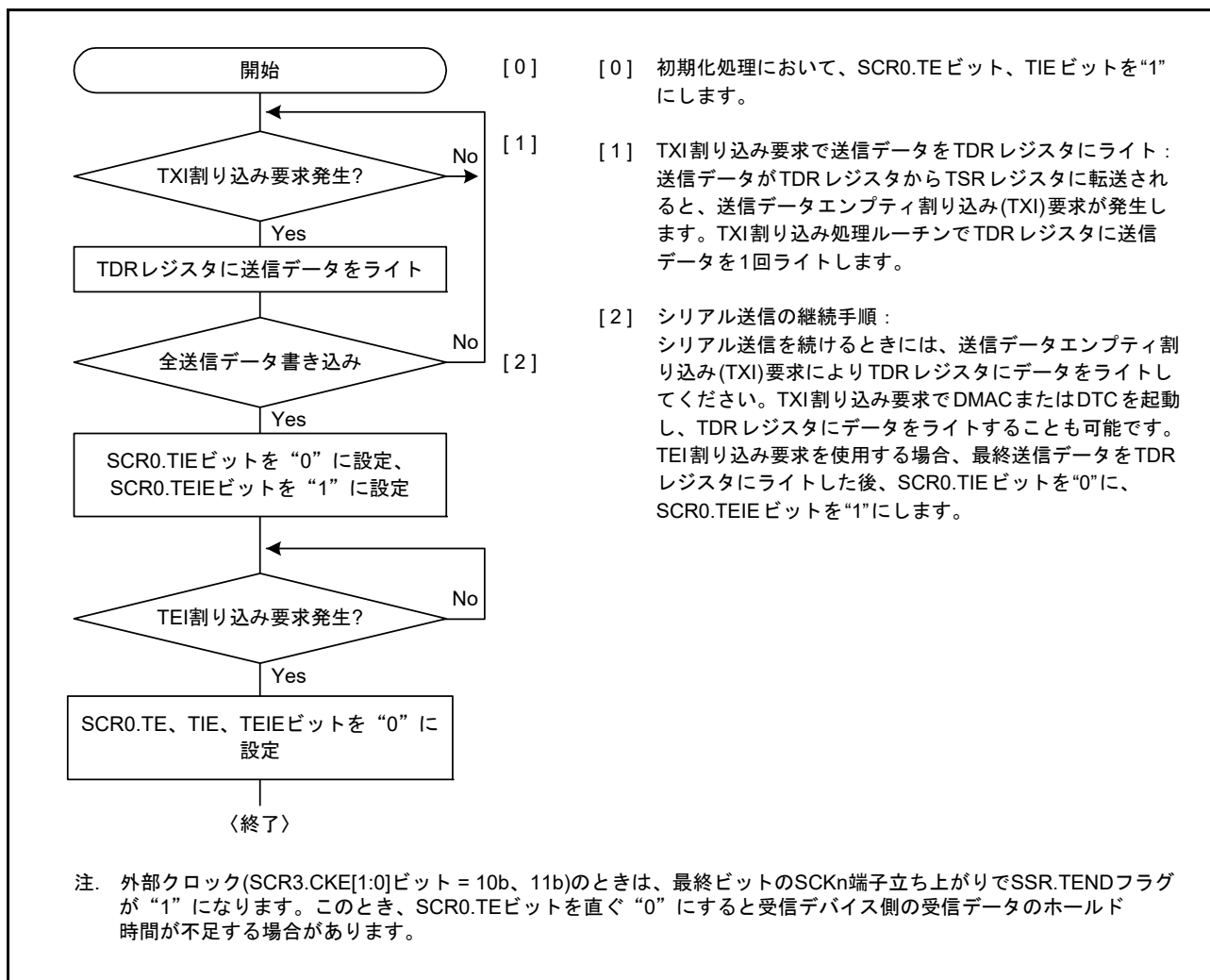


図 36.98 クロック同期式モードのシリアル送信のフローチャート例 (非 FIFO モード時)

(2) FIFO モード時

図 36.99 に FIFO モード時のクロック同期式モードのシリアル送信時のフローチャートの例を示します。シリアルデータの送信時、RSCI は以下のように動作します。

1. RSCI は TXI 割り込みルーチンで送信 FIFO (TDR レジスタ) にデータが書き込まれると、送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送します。書き込み可能な送信データバイト数は“32 – 送信 FIFO (TDR レジスタ) に格納された未送信データ数”です。なお、送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを同時に“1”にすると、TXI 割り込み要求が生成されます。
2. 送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送し、送信を開始します。送信 FIFO (TDR レジスタ) に格納されたデータの数が送信 FIFO しきい値以下になると、SSR.TDRE フラグが“1”になります。このとき、SCR0.TIE ビットが“1”にセットされていると TXI 割り込み要求が発生します。TXI 割り込みルーチンで、送信 FIFO (TDR レジスタ) に書き込んだデータの送信が終了するまでに送信 FIFO (TDR レジスタ) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み処理ルーチン内で最終送信データを送信 FIFO (TDR レジスタ) に書き込んだ後、SCR0.TIE ビットを“0”に、TEIE ビットを“1”にします。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入

カロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SCR1.CTSE ビットが“1”(CTS 機能許可)の場合、CTS# 端子に Low が入力されるまで待って送信を開始します。

4. RSCI は、最終ビットを送り出すタイミングで送信 FIFO (TDR レジスタ) (注 1) に未送信データが残っているかどうかを確認します。
5. 送信 FIFO (TDR レジスタ) に未送信データがあった場合、送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. 送信 FIFO (TDR レジスタ) に未送信データがなかった場合、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR0.TEIE ビットが“1”であると、TEI 割り込み要求を生成します。SCKn 端子は High に固定されます。

注 1. 送信 FIFO (TDR レジスタ) に格納された未送信データの数は TFSR.T[5:0] ビットで確認できます。

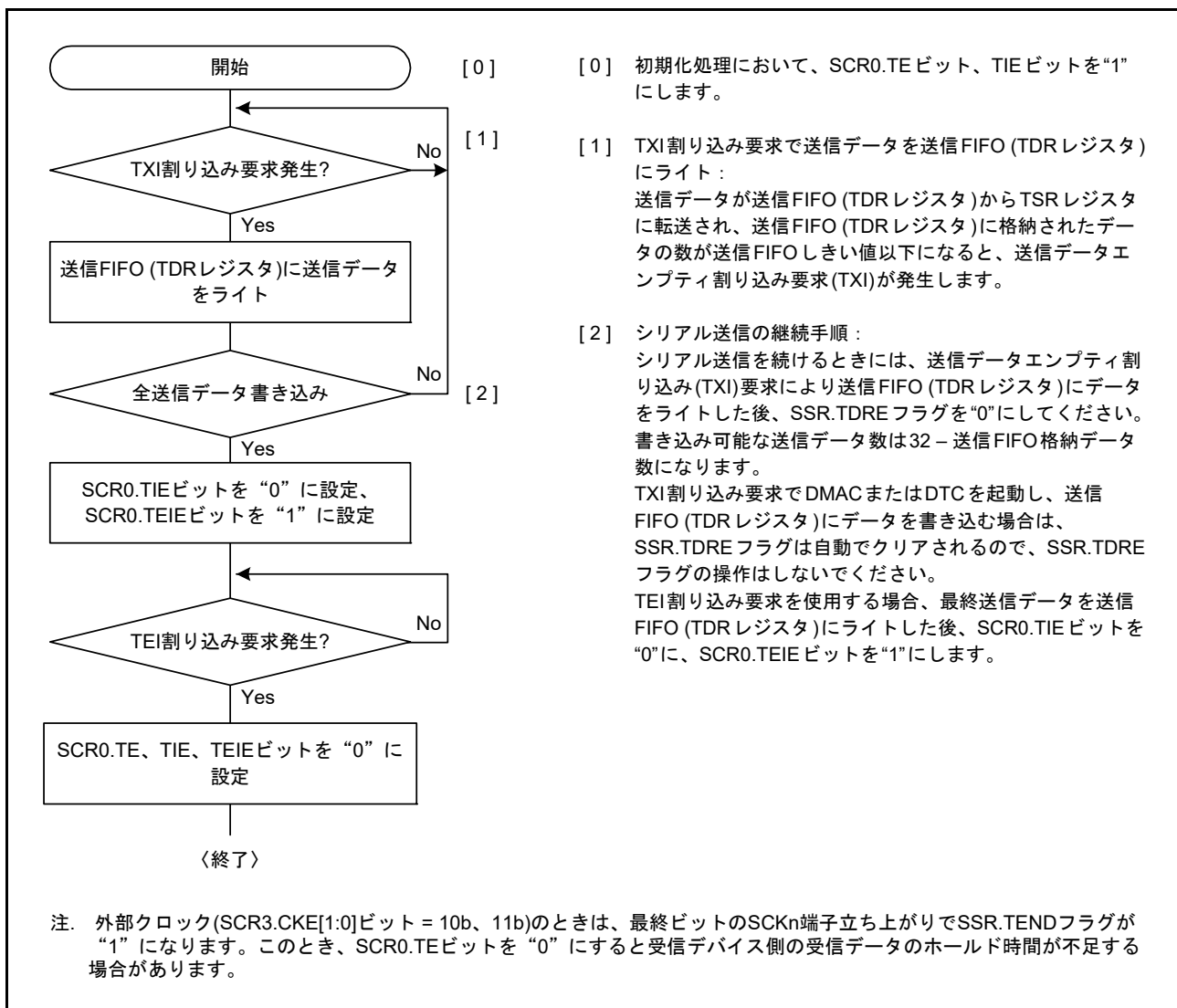


図 36.99 クロック同期式モードのシリアル送信のフローチャート例 (FIFO モード時)

36.10.5 シリアルデータの受信 (クロック同期式モード)

(1) 非 FIFO モード時

図 36.100、図 36.101 にクロック同期式モードのシリアル受信時の動作例を示します。

シリアルデータの受信時、RSCI は以下のように動作します。また、受信のみ動作はスレープモード時のみ可能です (マスタモード時は受信のみ動作は禁止です)。

1. SCR0.RE ビットが“1”になると、RTSn# 端子の出力を Low にします (RTS 機能使用時)。
2. RSCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR0.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子の出力を Low にします (RTS 機能使用時)。最終データの受信後、RTSn# 端子出力を Low にしたくない場合は、RDR レジスタを読み出す前に、SCR0.RE ビットを“0”にしてください。

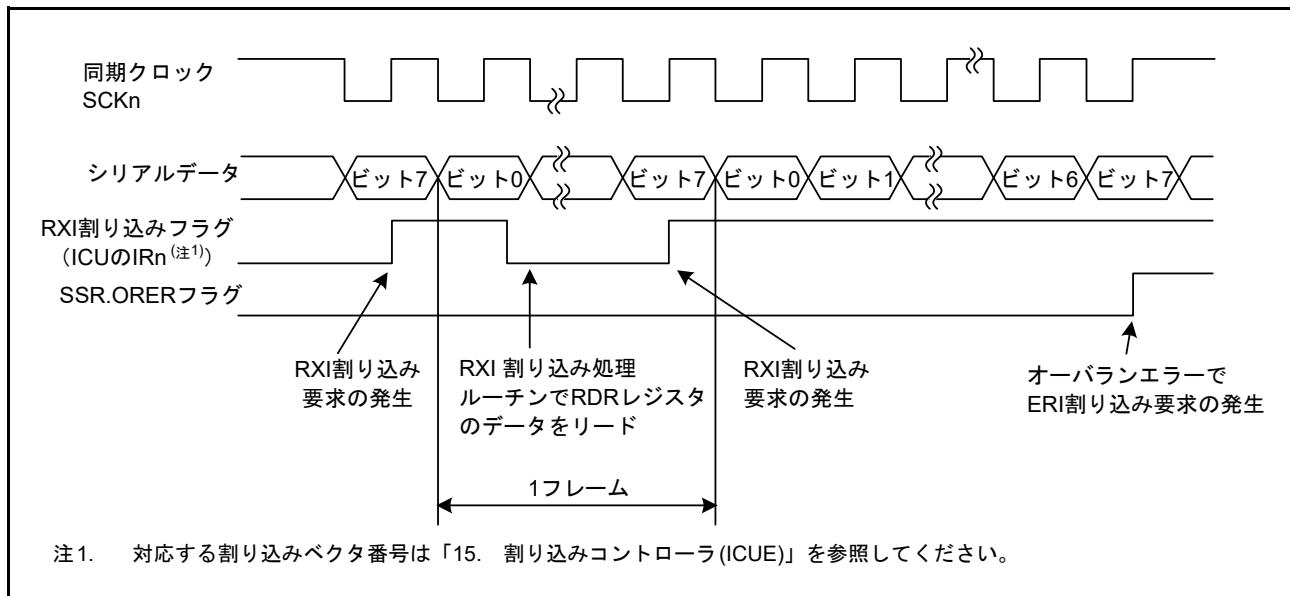


図 36.100 クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時 /CPHA ビット = 1、CPOL ビット = 1)

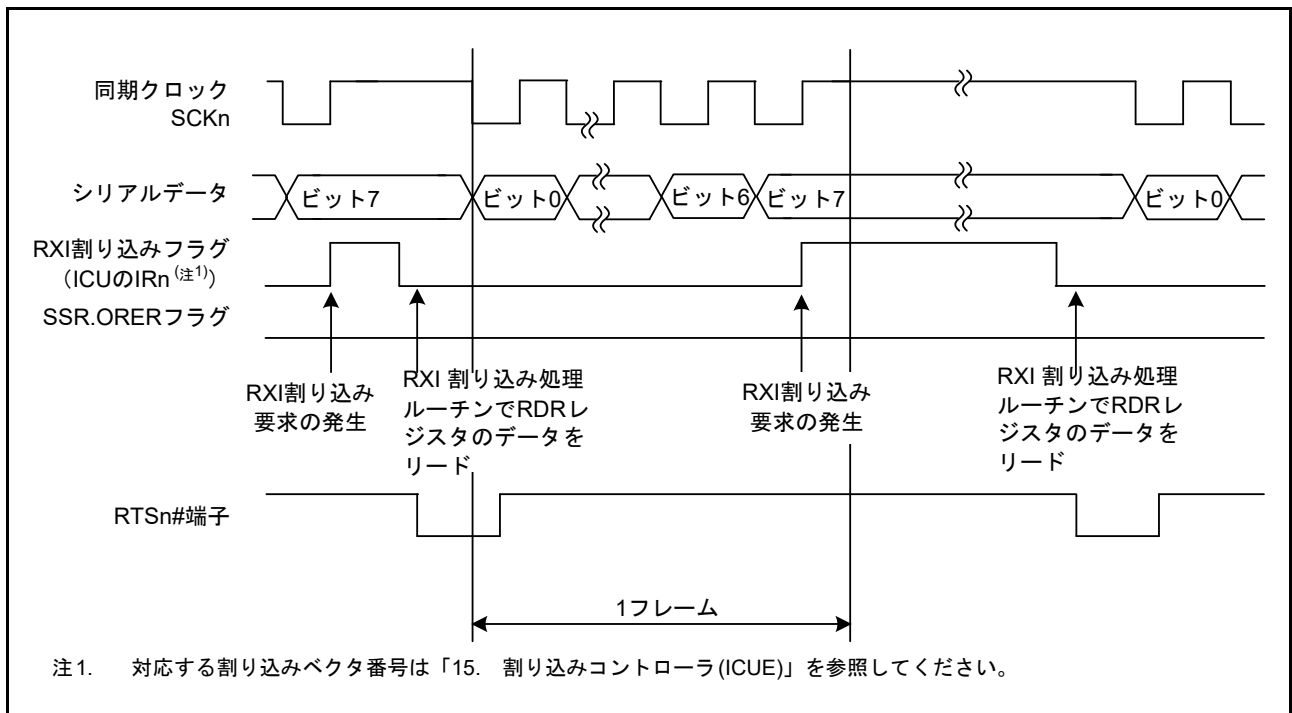


図 36.101 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時 /CPHA ビット = 1、CPOL ビット = 1)

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、AFER、APER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR0.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 36.102 にシリアル受信のフローチャートの例を示します。

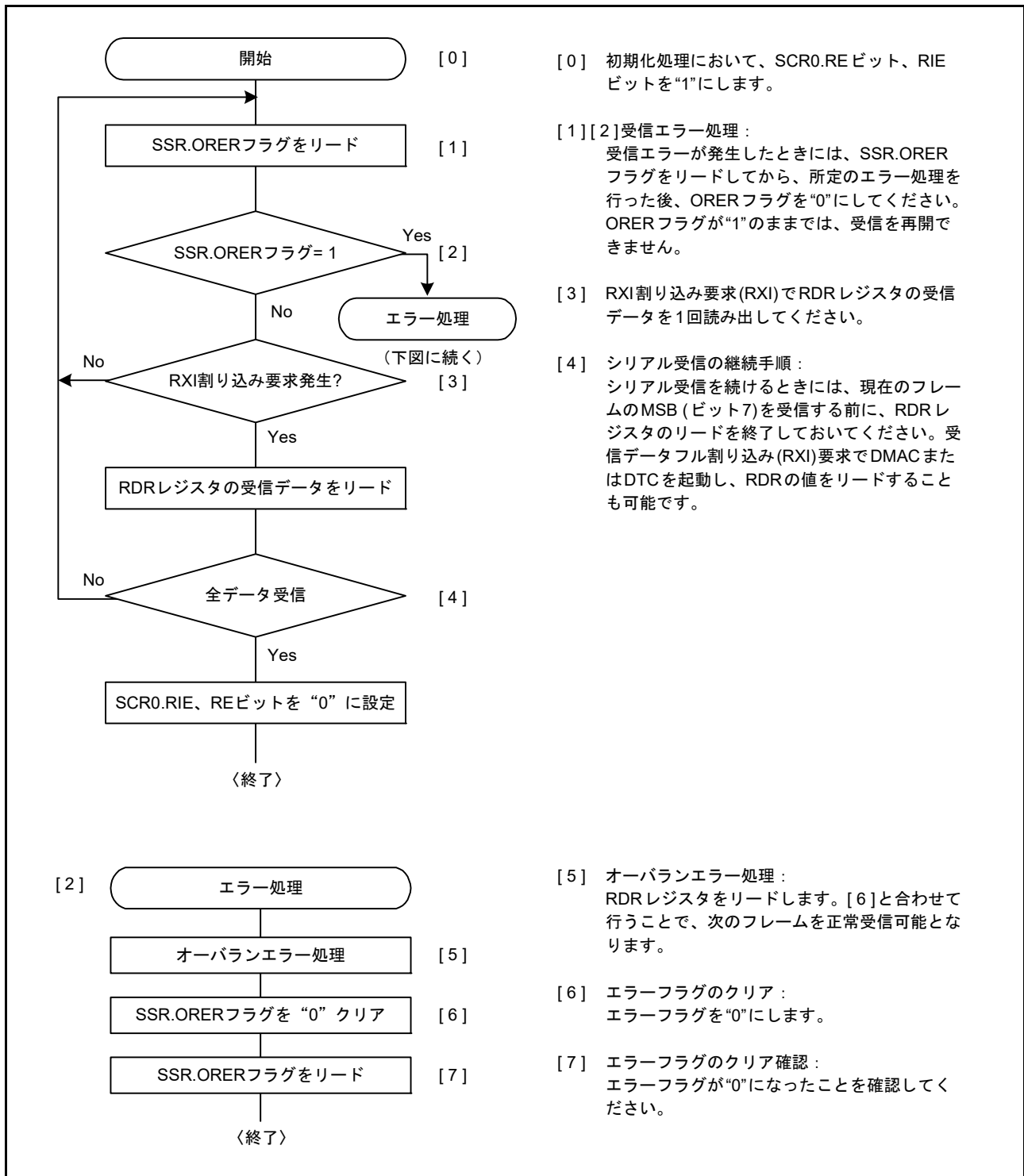


図 36.102 クロック同期式モードのシリアル受信のフローチャート例(非FIFOモード時)

(2) FIFO モード時

図 36.103 に FIFO モード時のクロック同期式モードのシリアル受信時のフローチャートの例を示します。シリアルデータの受信時、RSCI は以下のように動作します。また、受信のみ動作はスレーブモード時のみ可能です (マスタモード時は受信のみ動作は禁止です)。

1. SCR0.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. RSCI は同期クロックの入力、または出力に同期して受信を開始し、受信データを受信 FIFO (RDR レジスタ) に取り込みます。
3. オーバランエラーが発生したときは SSR.ORER フラグをセットします。このとき、SCR0.RIE ビットが“1”であると、ERI 割り込み要求を生成します。受信データは受信 FIFO (RDR レジスタ) (注 1) に転送しません。
4. 正常に受信したときは、受信データを受信 FIFO (RDR レジスタ) (注 1) に転送します。受信 FIFO (RDR レジスタ) に格納した受信データの数が受信 FIFO しきい値以上になると、SSR.RDRF フラグが“1”になります。このとき RIE ビットが“1”にセットされていると RXI 割り込み要求が発生します。RXI 割り込み処理ルーチンで受信 FIFO (RDR レジスタ) に転送された受信データをオーバランエラーが発生するまでに読み出すことで連続受信が可能です。受信 FIFO (RDR レジスタ) に転送された受信データが読み出され、RTS# 出力しきい値より少なくなると、RTSn# 端子出力を Low にします (RTS 機能使用時)。

注 1. RDR.RDAT[8] ビットは使用しません。

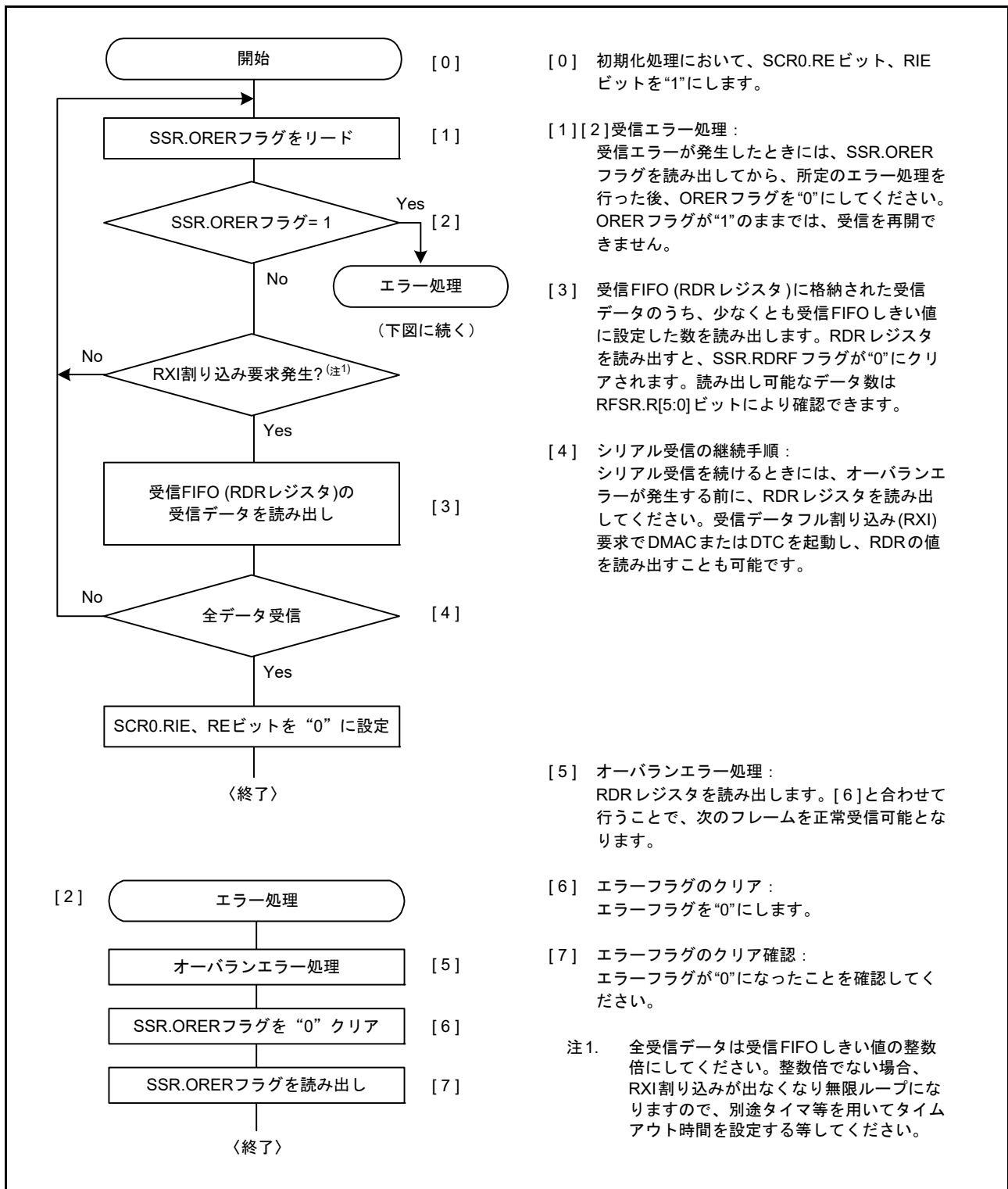


図 36.103 クロック同期式モードのシリアル受信のフローチャート例 (FIFO モード時)

36.10.6 シリアルデータの送受信同時動作 (クロック同期式モード)

クロック同期式モードでは送受信が同時に行われるため、送信データの数と受信データの数は同じです。

(1) 非 FIFO モード時

図 36.104 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、RSCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、RSCI が送信完了状態であることを SSR.TEND フラグが“1”であることで確認してください。その後、SCR0 レジスタの TE、RE ビットを“0”にしてから SCR0 レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、RSCI が受信完了状態であることを確認した後、SCR0 レジスタの TE、RE ビットを“0”にしてから、エラーフラグ (SSR.ORER, AFER, APER) が“0”であることを確認した後、SCR0 レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

送受信同時動作での RTS 機能使用時に、受信時と同様に最終データ受信後の RTSn# 端子出力を Low にしたくない場合は、RDR レジスタをリードする前に、SCR0.RE と TE ビットを同時に“0”にしてください。

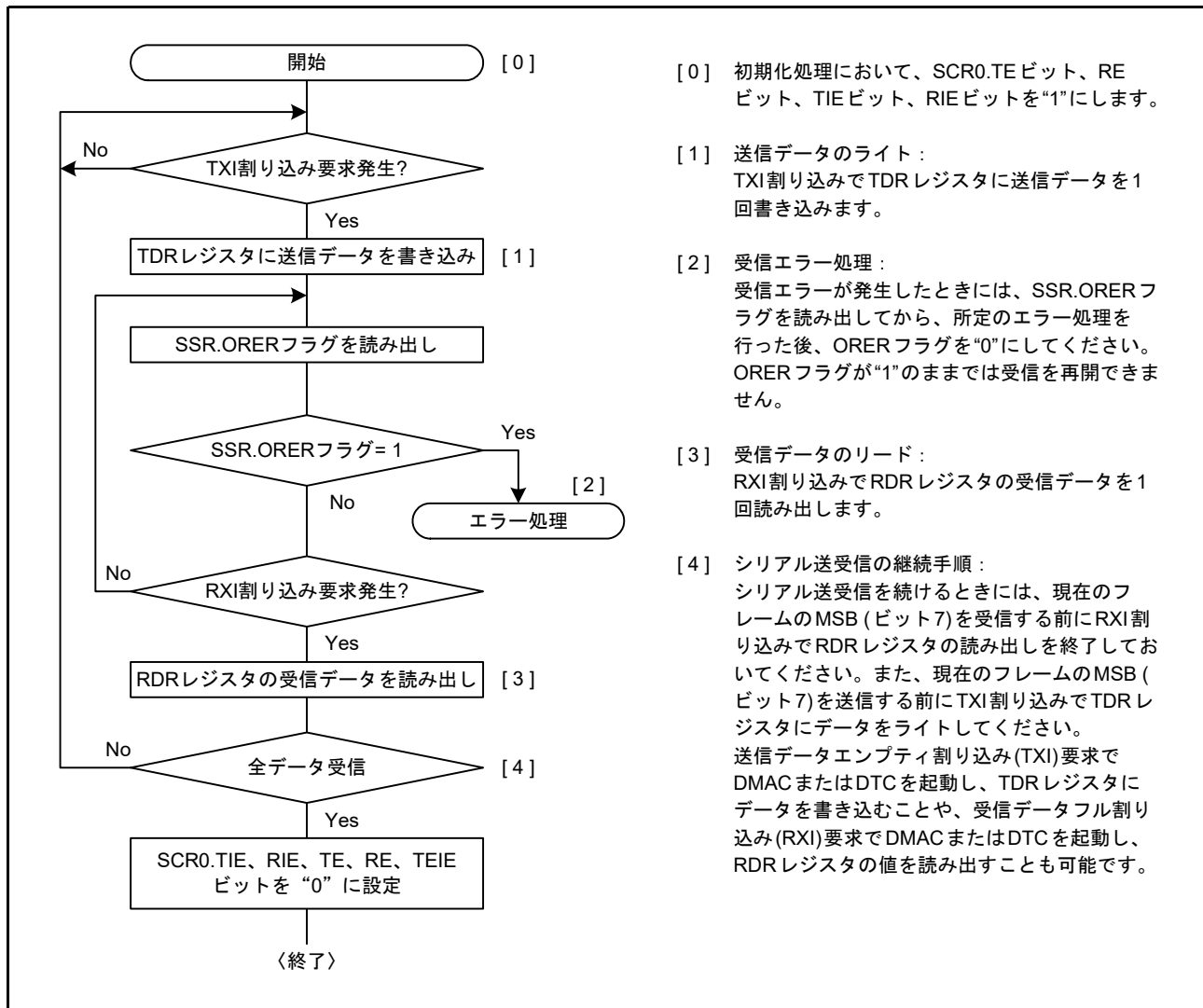


図 36.104 クロック同期式モードのシリアル送受信同時動作のフローチャート例 (非 FIFO モード時)

(2) FIFO モード時

図 36.105 に FIFO モード時のクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は RSCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、RSCI が送信完了状態であることを、SSR.TEND フラグが“1”であることで確認してください。その後、SCR0.TE ビット = 0 かつ RE ビット = 0 にしてから、SCR0.TE、および RE、TIE、RIE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、RSCI が受信完了状態であることを確認した後、SCR0.TE ビット = 0 かつ RE ビット = 0 にしてから、エラーフラグ (SSR.ORER, AFER, APER) が“0”であることを確認した後、SCR0.TE、および RE、TIE、RIE ビットを 1 命令で同時に“1”にしてください。

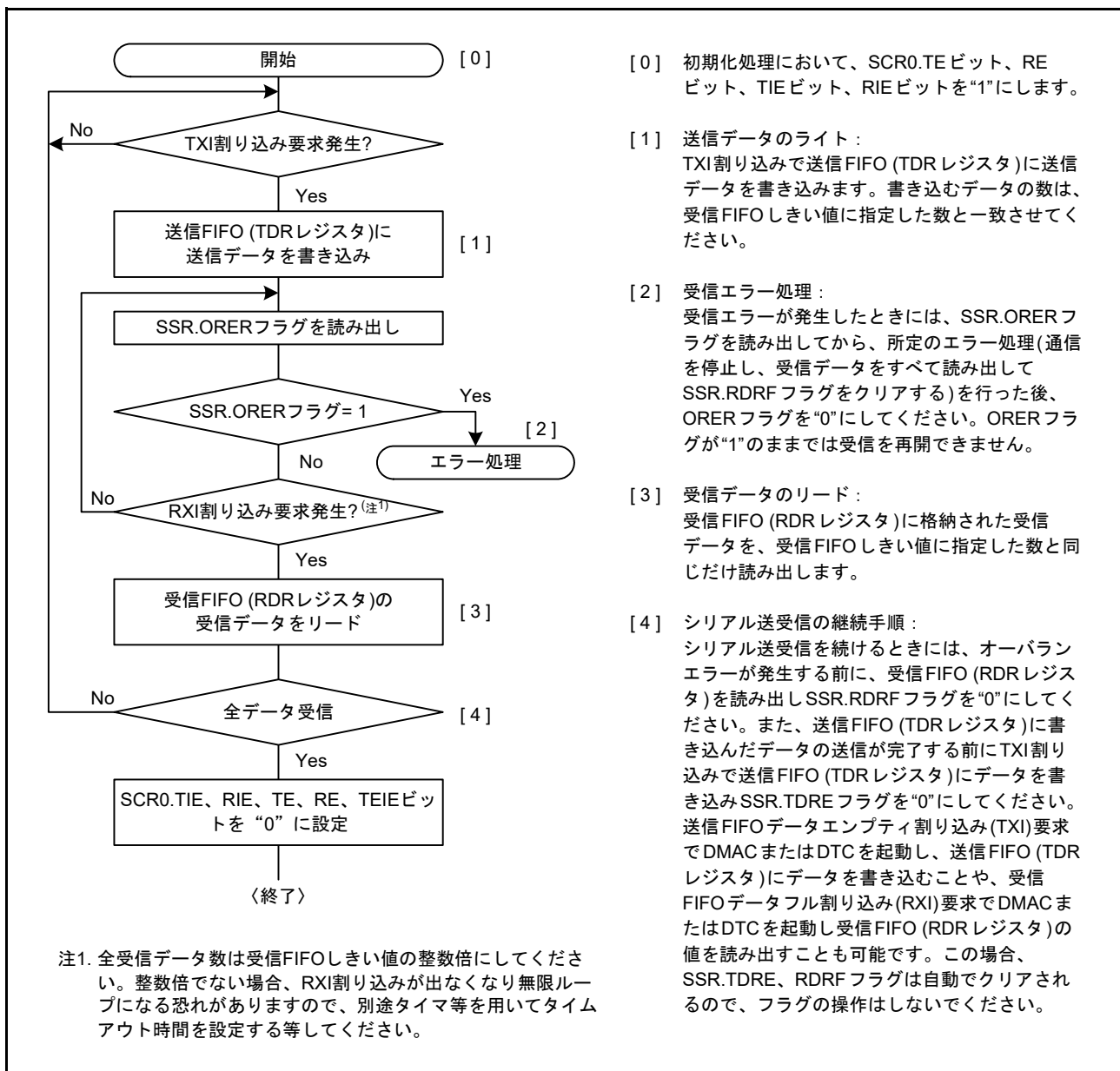


図 36.105 クロック同期式モードのシリアル送受信同時動作のフローチャート例 (FIFO モード時)

36.10.7 クロック同期式モード内部クロック使用時の受信サンプリングタイミング調整機能

クロック同期式モード内部クロック使用 (マスタモード) 時、受信サンプリングクロックに、MRCLK を使用します。

本機能は、MRCLK を 1 PCLK ~ 4 PCLK 遅延させデジタル遅延を付加することで、受信サンプリングタイミングを調整する機能です。MRCLK のアナログ遅延は調整できません。

本機能は、SCR4.RTADJ ビット = 1 とすることで使用可能です、遅延値は、SCR4.RTMG[3:0] ビットで設定します。

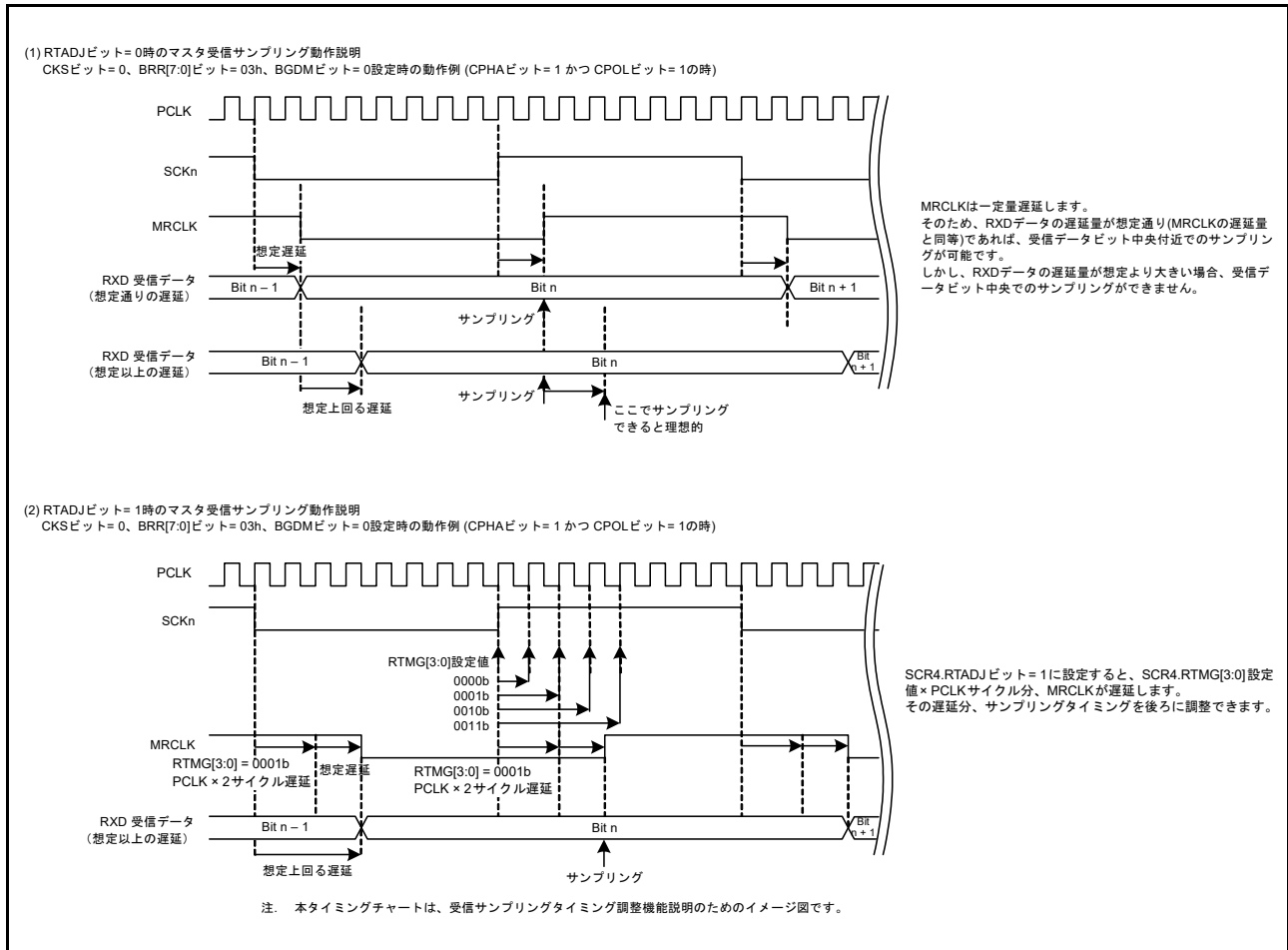


図 36.106 クロック同期式モードマスタ動作時、および簡易 SPI モードマスタ動作時の受信サンプリングタイミング調整動作説明

36.11 簡易 SPI モードの動作

RSCI の拡張機能として、1つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

簡易 SPI モードの設定 (SCR3.MOD[2:0] ビット = 011b)、かつ、SCR0.SSE ビットを“1”にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SCR0.SSE ビットを“0”にします。

図 36.107 に簡易 SPI モードの接続例を示します。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成され、パリティビットの付加はできません。

RSCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部/受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

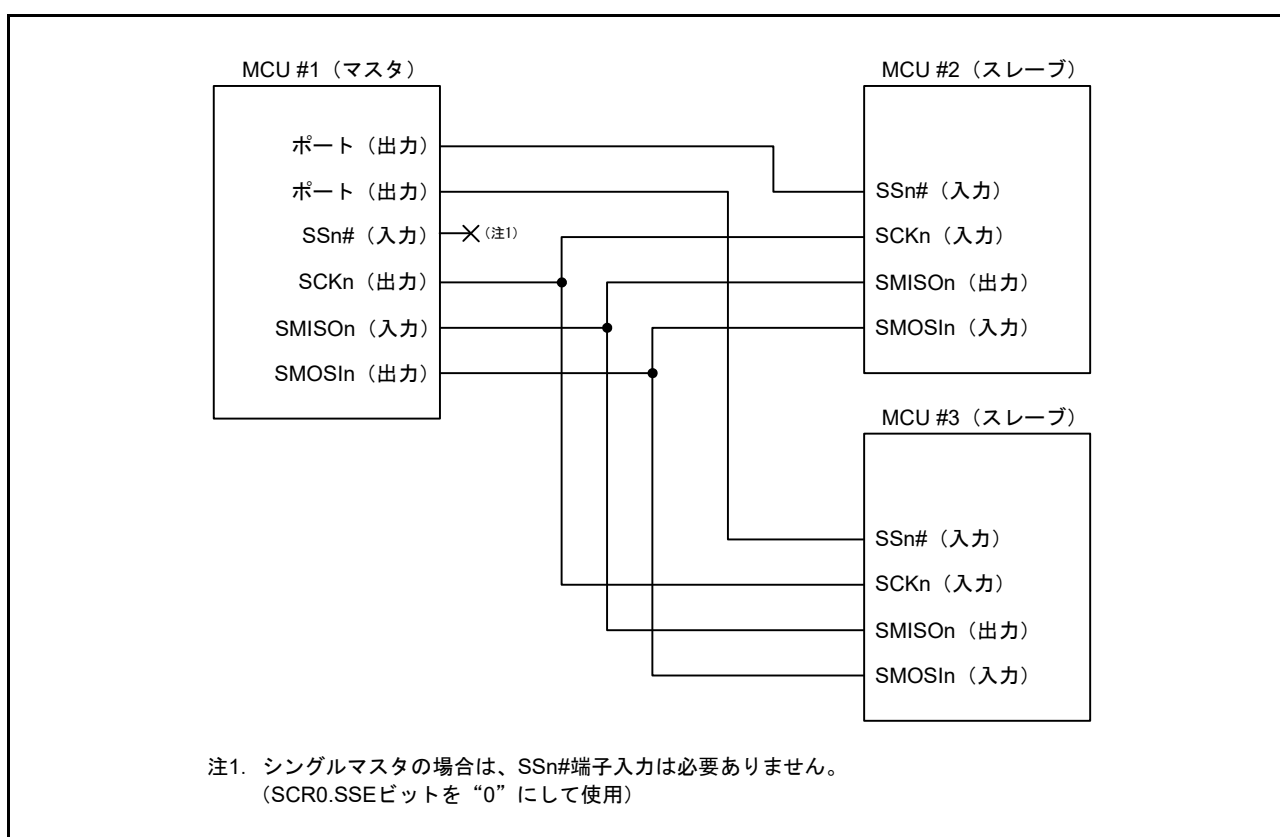


図 36.107 簡易 SPI モードの接続例

36.11.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR3.CKE[1:0] ビット = “00b” または “01b”) とスレーブモード (SCR3.CKE[1:0] ビット = “10b” または “11b”) で各端子の入出力方向が変わります。

表 36.40 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 36.40 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn# 端子入力	SMOSIn 端子状態	SMISOn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力 (注2)	クロック入力

注1. シングルマスタ時 (SCR0.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR0.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SCR0.SSE ビット = 1) かつ送受信禁止時 (SCR0.TE ビット = 0、RE ビット = 0) はハイインピーダンスです。

36.11.2 マスタモード時の SS 機能

SCR3.CKE[1:0] ビット = “00b” または “01b” を設定することで、マスタモードになります。

シングルマスタ時 (SCR0.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。SSn# 端子は別の用途で使用可能です。

マルチマスタ時 (SCR0.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SCR0.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき RSCI は TXDn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトとして SSR.MFF フラグが “1” になります。マルチマスタ時は SSR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生した場合、SSn# 端子入力が Low の期間中は SCKn 端子、TXDn 端子出力をハイインピーダンスにします。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

マスタモード時の SS 信号出力については、汎用ポートで制御してください。

36.11.3 スレーブモード時の SS 機能

SCR3.CKE[1:0] ビット = “10b” または “11b” を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、RXDn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、RXDn 端子出力をハイインピーダンスにし、即座に送受信動作を停止します。送信動作中であった場合、SSR.TEND フラグはセットせず、送信完了割り込みも出力しない、異常停止状態となりますので、スレーブ送受信動作中に SSn# 端子をネグートしないでください。異常停止状態となった場合、SCR0.RE ビットかつ SCR0.TE ビットを “0” にし送受信動作を停止させてください。送受信動作を再開する場合は、PCLK × 3 サイクル以上空けてから SCR0.RE、TE ビットを “1” にしてください。

36.11.4 クロックと送受信データの関係

SCR3.CPOL、CPHA ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 36.108 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

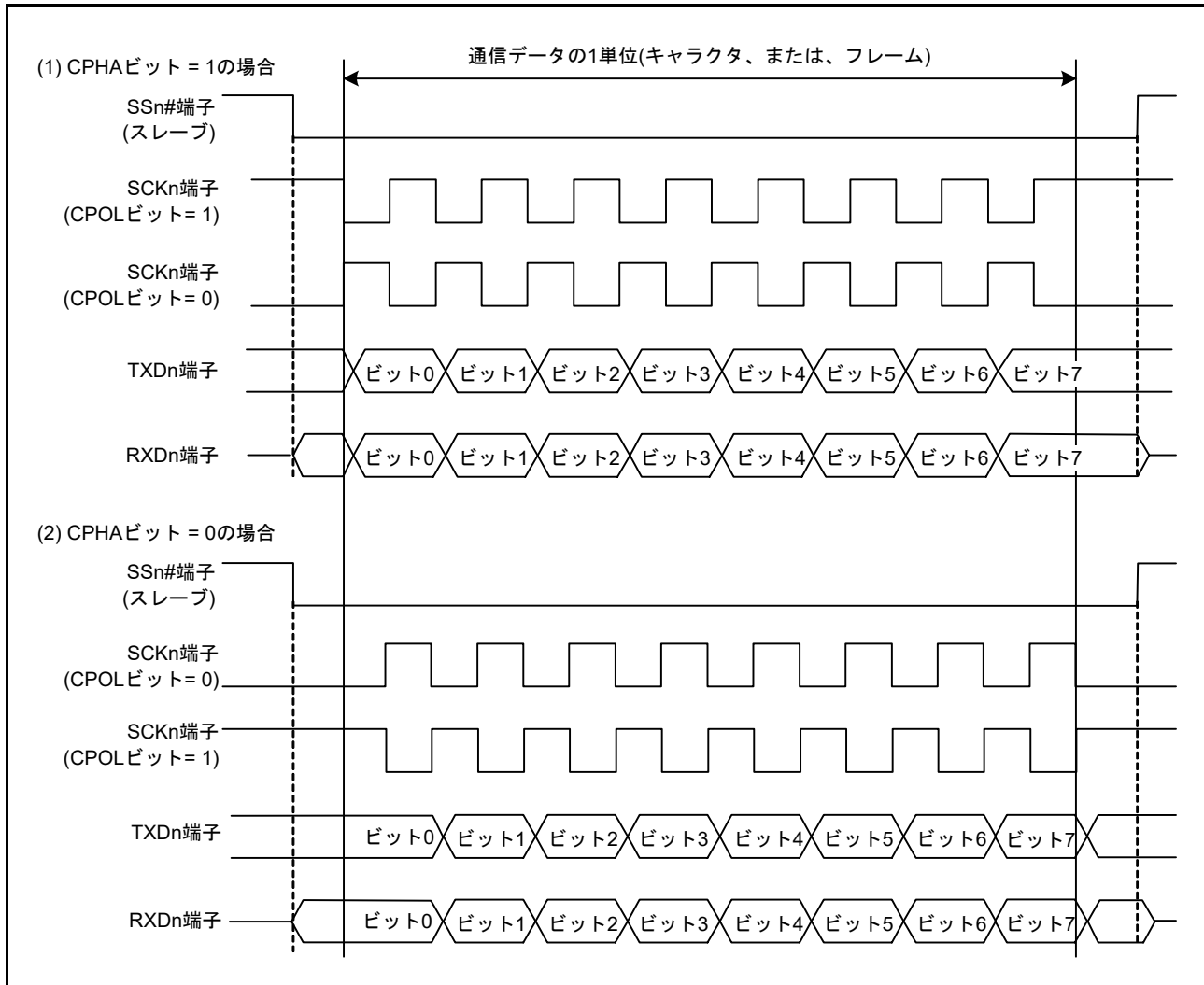


図 36.108 簡易 SPI モードのクロックと送受信データの関係

36.11.5 RSCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 36.94 の RSCI の初期化フローチャート例) と同様です。SCR3 レジスタの CPOL、CPHA ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、通信を停止 (SCR0.RE ビット = 0 かつ SCR0.TE ビット = 0) してから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、AFER、APER フラグ、および RDR レジスタは初期化されませんので注意してください。

TE ビットを“0”から“1”にすると、SCR0.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

36.11.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にしてください。送受信が終了したら、送受信先のスレーブデバイスの SSn# 端子を High にしてください。マスタモード時でも SCR0.SSE ビット=1 としたマルチマスタ動作の場合、SSn# 端子が Low ではモードフォルトとなります。そのため、通信開始前にモードフォルトが発生していないことを確認して通信を開始し、通信終了後にもモードが発生していないことを確認してください。モードフォルトが発生していたら、通信が不完全な可能性があるため、再送などの対策が必要になります。これ以外の手順はクロック同期式モードと同様です。

スレーブモード時は、SSn# 端子入力レベルに応じて動作します。それ以外の手順はクロック同期式モードと同様です。

36.11.7 簡易 SPI モード内部クロック使用時の受信サンプリングタイミング調整機能

簡易 SPI モードの受信サンプリングタイミング調整機能は、クロック同期式モードの受信サンプリングタイミング調整機能と同じです。動作説明は、「36.10.7 クロック同期式モード内部クロック使用時の受信サンプリングタイミング調整機能」を参照してください。

36.12 ビットレートモジュレーション機能

ビットレートモジュレーション機能は、SCR2.CKS[1:0] ビットで指定された内部クロックを、その 256 クロック中で SCR2.MDDR[7:0] ビットで指定した個数のクロックを平均的にイネーブルにすることによってビットレートを補正します。

調歩同期式モードで SCR2.CKS[1:0] ビットで PCLK を選択し、BRR[7:0] ビットが “00h”、MDDR[7:0] ビットが “160” のときの例を、図 36.109 に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックのイネーブルには偏りがあり、内部基本クロックのパルス幅は、選択した内部クロック分の伸縮が生じますので注意して下さい。

注． クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、および拡張シリアルモードでは、本機能を使用しないでください。

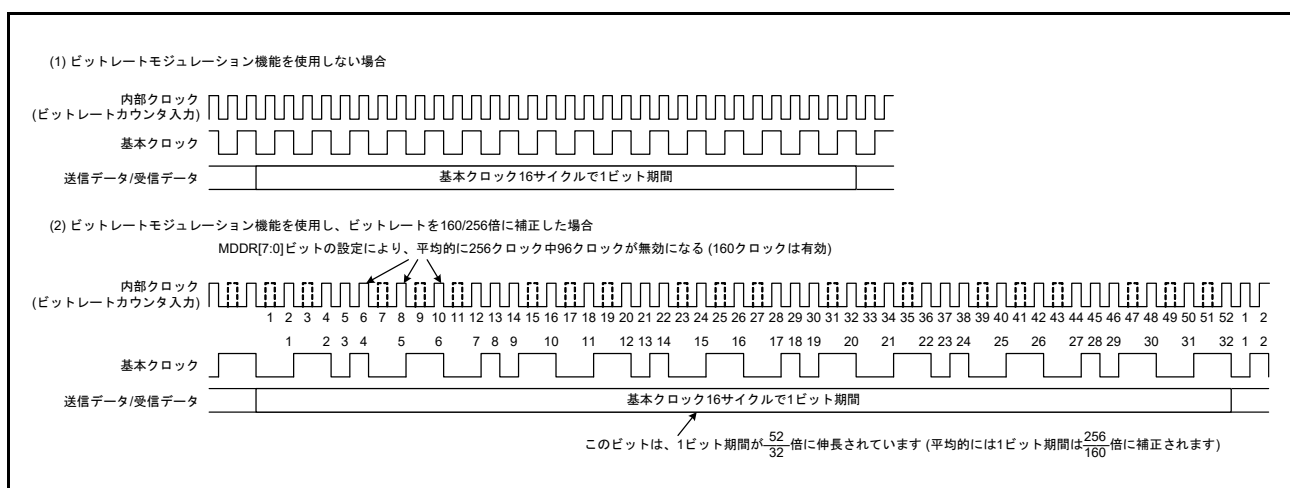


図 36.109 ビットレートモジュレーション機能使用時の基本クロックの例

36.13 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 36.110 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード、マンチェスタモード、および拡張シリアルモード時は、RXDnの入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期(SCR2.ABCSE ビット=0 かつ SCR2.ABCS ビット=0 のとき1ビット期間の1/16、SCR2.ABCSE ビット=0 かつ SCR2.ABCS ビット=1 のとき1ビット期間の1/8、SCR2.ABCSE ビット=1 のとき1ビット期間の1/6)、および内蔵ポーレートジェネレータのクロックソースの1/2/4/8分周クロックからSCR1.NFCS[2:0]ビットの設定により選択します。

簡易I²Cモード時はTXDn/SSDAn端子、RXDn/SSCLn端子からの各入力に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ポーレートジェネレータのクロックソースの1/2/4/8分周クロックからSCR1.NFCS[2:0]ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間にSCR0.TE ビット=0、SCR0.RE ビット=0にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

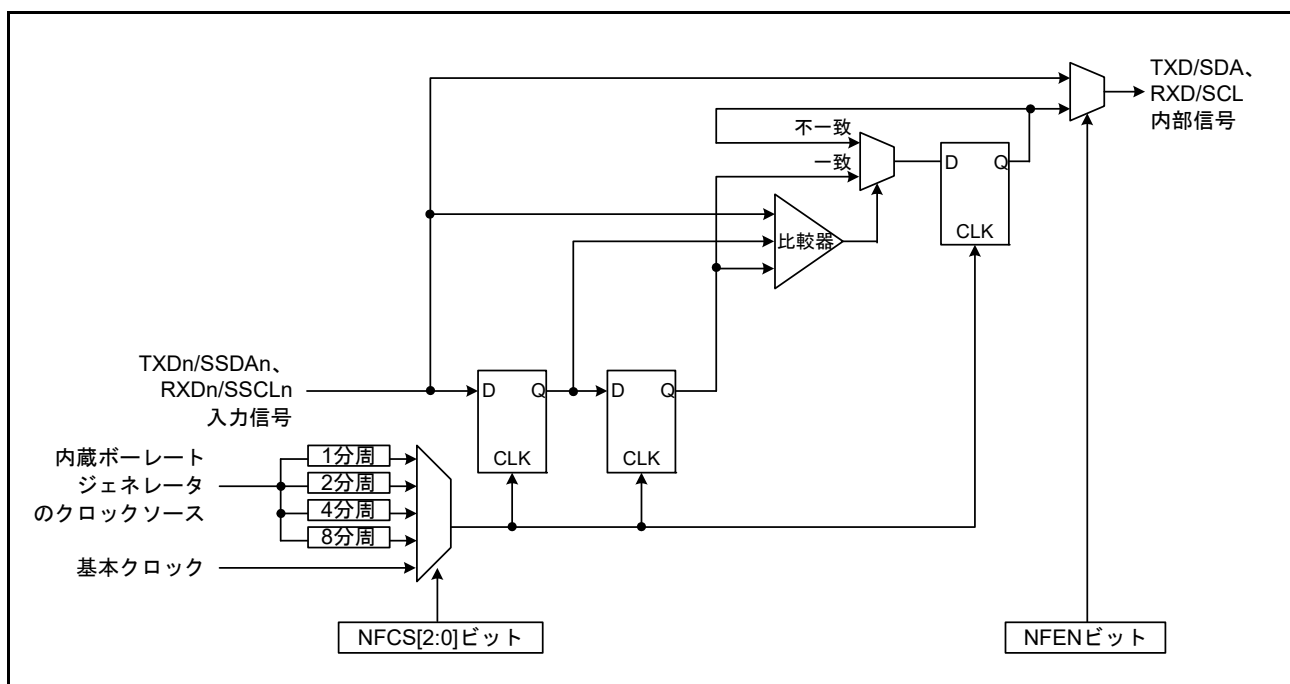


図 36.110 デジタルノイズフィルタのブロック図

36.14 RS-485 ドライバ制御機能

RSCI 制御レジスタ 3 (SCR3) の DEEN ビットを“1”にすることで、RS-485 ドライバ制御機能が有効になり、外部トランシーバーの送信モードを有効にする DE (Driver Enable) 信号を生成します。

DE 信号は、データ送信前後にセットアップ時間とホールド時間を付加した期間、有効レベルを出力します。DE 信号の有効レベルは、DE 信号制御レジスタ (DECR) の DELVL ビットで設定します。

セットアップ時間とは、DE 信号の有効からスタートビットの開始までの時間です。DE 信号制御レジスタ (DECR) の DESU[4:0] ビットで設定します。

ホールド時間とは、送信メッセージの最後のストップビットの終了から DE 信号の無効化までの時間で、DE 信号制御レジスタ (DECR) の DEHLD[4:0] ビットで設定します。

DESU[4:0] ビットおよび DEHLD[4:0] ビットは RSCI 基本クロック単位 (1/6、1/8 または 1/16 ビット時間) で表されます。詳細は、「36.2.13 DE 信号制御レジスタ (DECR)」を参照してください。

また、本機能使用時 (DEEN ビット = 1)、TEND セットタイミングと TEI 割り込み出力タイミングは DE 信号ホールド時間終了時になります。

送信が終了し、DE 信号がネゲートされるまでに次の送信データが書き込まれない場合、一度 DE 信号はネゲートされます。次の送信データを書き込むタイミングが上記に間に合わなかった場合、DE 信号はネゲート後再びアサートされ、設定したセットアップ時間を挿入して次のデータを送信します。DE 信号をアサートしたまま、次の送信を行いたい場合は、十分早く次の送信データを TDR へ書き込んでください。

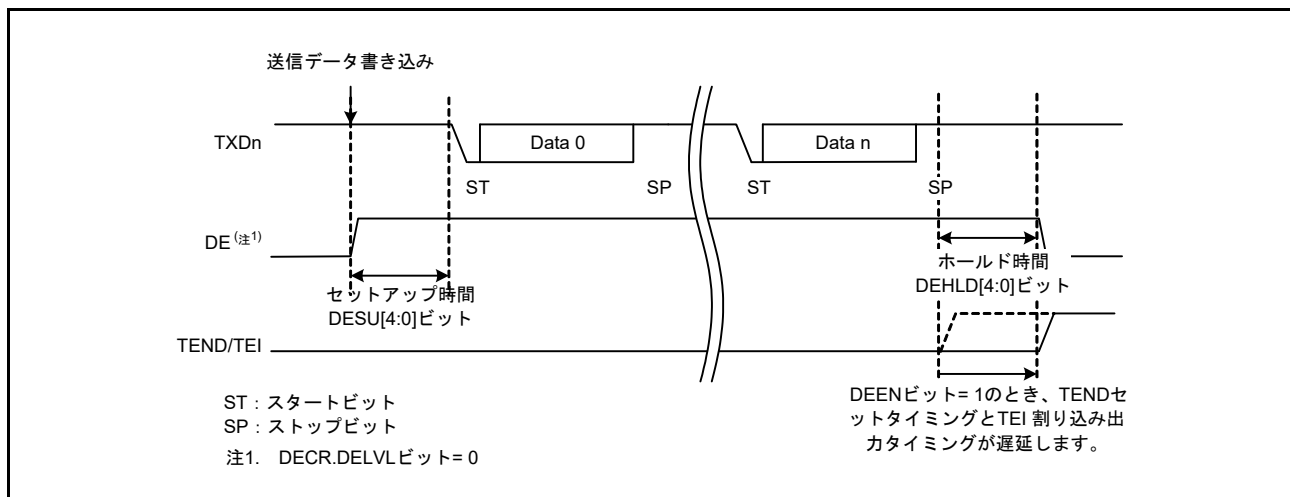


図 36.111 RS-485 ドライバ制御 DE 信号出力イメージ波形

36.15 ループバック機能

ループバック機能は、調歩同期式モード内部クロック動作時、マンチェスタモード内部クロック動作時、クロック同期式モード内部クロック動作時に使用可能です。

SCR1レジスタのLOOPビットに“1”を書き込むと、RSCIは、外部入力(RXD)の経路を遮断し、送信データレジスタの出力経路と受信データレジスタの入力経路を接続します。

また、TINVビット=1で本機能を利用すると、RSCIの送信データの反転がRSCIの受信データになります。ただし、TINVビット=1で本機能を使用できるのは、クロック同期式モード内部クロック動作時のみです。

TINVビット、LOOPビットの設定と受信データの関係を表36.41に示します。

表36.41 TINVビット、LOOPビットの設定と受信データ

TINV	LOOP	受信データ	使用許可モード		
			調歩同期式 内部クロック動作	マンチェスタ 内部クロック動作	クロック同期式 内部クロック動作
—	0	RXDn端子からの入力データ	可	可	可
0	1	送信データ	可	可	可
1	1	送信データの反転	不可	不可	可

—：任意

図36.112に、ループバックモードのシフトレジスタ入出力経路の構成を示します。

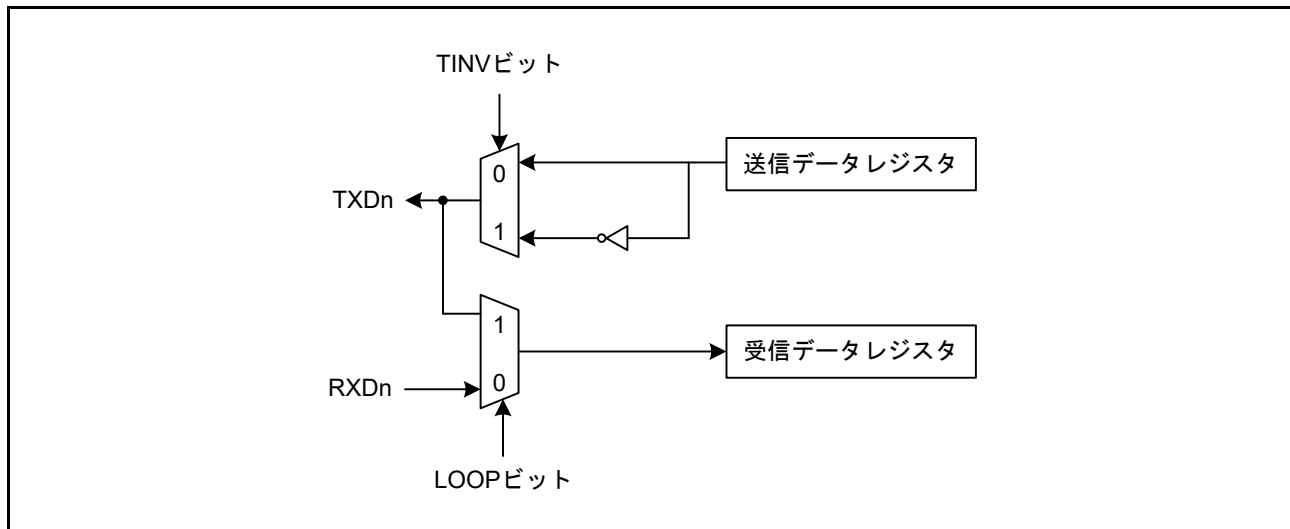


図36.112 ループバックモード時のシフトレジスタ入出力構成イメージ図

36.16 半二重通信機能

半二重通信機能は、簡易 I²C モード時、および簡易 SPI モード時、スマートカードインタフェースモード時は使用しないでください。

その他の通信モード時、SCR1.HDSEL ビットを“1”にした場合、TXD_n 端子を用いて半二重通信が可能になります。半二重通信を行う場合、送信と受信は排他的に行ってください、送受信設定 (SCR0.TE ビット = 1 かつ SCR0.RE ビット = 1) は禁止です。

ただし、クロック同期式モード時にマスタとして半二重通信の受信を行う場合は、送受信設定 (SCR0.TE ビット = 1 かつ SCR0.RE ビット = 1) をし、ダミー送信を行ってください。ダミー送信 (任意の送信データを TDR に書き込む) により、SCK_n が出力され、受信動作が可能になります。なお、ダミー送信データは、IP 内部で破棄され実際に送信されることはありません。

半二重通信時、使用する通信ポート端子は TXD_n 端子のみです。SCR0.TE ビット = 1 のとき出力、SCR0.TE ビット = 0 のとき入力となります。

36.17 割り込み信号

RSCIが有する割り込み信号を表 36.42 に示します。

各動作モードに応じた割り込み説明を 36.17.2 ~ 36.17.5 に記載しています。また、TXI と RXI には割り込みバッファ機能があります。「36.17.1 TXI 割り込みおよび RXI 割り込みバッファ動作」を参照してください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSCI の設定を行ってください。DTC または DMAC の設定方法は、「20. データトランスファコントローラ (DTCb)」、「18. DMA コントローラ (DMACAb)」を参照してください。

表 36.42 RSCI 割り込み一覧表

割り込みシンボル	割り込みの種類	パルス/レベル	パルス幅	アクティブレベル	同期クロック	備考
ERI	エラー割り込み バス衝突検出割り込み	レベル	—	Low	PCLK	
RXI	簡易 I ² C : 受信完了割り込み その他 : 受信データフル割り込み	パルス	1cycle	Low	PCLK	
TXI	簡易 I ² C、スマートカードインタフェース : 送信完了割り込み その他 : 送信データエンプティ割り込み、Break Field 送出完了割り込み	パルス	1cycle	Low	PCLK	
TEI	簡易 I ² C : スタートコンディション、リスタートコンディション、ストップコンディション生成終了 (STI 割り込み) その他 : 送信完了割り込み	レベル	—	Low	PCLK	
AED	有効エッジ検出割り込み	パルス	1cycle	Low	PCLK	拡張シリアルモード時のみ
BFD	Break Field 検出割り込み	レベル	—	Low	PCLK	

36.17.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みと RXI 割り込みには、割り込みバッファ機能があり、最初の割り込み要求が発生し、その割り込み処理中 (割り込みコントローラ (ICU) のステータスフラグが“1”のとき) に次の割り込み要求が発生した場合、RSCI は割り込み要求を出力せず、内部で保持します。保持できる割り込みは、1 要求までです。

36.17.2 調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

各割り込み要因には異なる割り込みベクタが割り当てられており、SCR0 レジスタのイネーブルビットにより独立にイネーブルにすることができます。

(1) 非 FIFO モード時

表 36.43 に調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。

SCR0.TIE ビットが“1”のとき、TDR レジスタから TSR レジスタに送信データが転送されると TXI 割り込み要求が発生します。また送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを 1 命令で同時に“1”にします。すると TXI 割り込み要求が発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、TE ビットが“1”の状態では発生しません(注 1)。

SCR0.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタに次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR0.TE ビットを“1”にしてから TDR レジスタに送信データをライトするまでの間は、TEND フラグは“1”を保持しており、TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタにデータを書き込むと、TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR0.RIE ビットが“1”のとき、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR0.RIE ビットが“1”のとき、SSR.ORER、AFER、APER、および MMSR.MCER、SYER (SYERIE = 1 の場合)(注 2)、PFER (PFERIE = 1 の場合)(注 2)、SBER (SBERIE = 1 の場合)(注 2) フラグのいずれかが“1”にセットされると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR.ORER、AFER、APER、および MMSR.MCER、SYER (SYERIE = 1 の場合)(注 2)、PFER (PFERIE = 1 の場合)(注 2)、SBER(SBERIE = 1 の場合)(注 2) のすべてのフラグをクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信完了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

注 2. マンチェスタモード時のみ、ERI 割り込みの要因に MMSR.SYER (SYERIE = 1 の場合)、PFER (PFERIE = 1 の場合)、SBER (SBERIE = 1 の場合) フラグが追加となります。

(2) FIFO モード時

表 36.44 に FIFO モード時の割り込み要因を示します。

SCR0.TIE ビットが“1”のとき、送信 FIFO (TDR レジスタ) に格納されたデータ数がしきい値以下になると TXI 割り込み要求が発生します。また送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に“1”にします。すると TXI 割り込み要求が発生します。

TXI 割り込み要求は、SCR0.TIE ビットが“0”の状態では TE ビットを“1”にした場合、および TE ビットが“1”の状態では TIE ビットを“1”にした場合には発生しません。

SCR0.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに送信 FIFO (TDR レジスタ) に次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。

SCR0.RIE ビットが“1”のとき、受信 FIFO (RDR レジスタ) に格納されたデータ数がしきい値以上になる

とき RXI 割り込み要求が発生します。しきい値を“0”にした場合は、1つ以上のデータを受信しなければ RXI 割り込み要求は発生しません。

SCR0.RIE ビットが“1”のとき、SSR.ORER フラグが“1”にセットされるか、フレーミングエラーまたはパリティエラーの発生したデータが受信 FIFO (RDR レジスタ) に格納されると ERI 割り込み要求が発生します。このとき受信 FIFO (RDR レジスタ) に格納したデータ数がしきい値以上であれば RXI 割り込み要求も発生します。SSR.ORER、AFER、APER のすべてのフラグをクリアすることにより ERI 割り込み要求を取り下げることができます。

表 36.43 RSCI 割り込み要因 (非 FIFO モード時)

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMAC の起動
ERI	受信エラー	ORER, AFER, APER, DFER, DPER, MCER, SYER (SYERIE = 1 の場合), PFER (PFERIE = 1 の場合), SBER (SBERIE = 1 の場合)	RIE	不可
RXI	受信データフル	RDRF	RIE	可
	受信データ一致	DCMF		
TXI	送信データエンプティ	TDRE	TIE	可
	TE = 0 → 1 検出時			
TEI	送信完了	TEND	TEIE	不可

表 36.44 RSCI 割り込み要因 (FIFO モード時)

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMAC の起動
ERI	受信エラー	ORER, AFER, APER, DFER, DPER, DR (FCR.DRES ビット = 1 のとき)	RIE	不可
RXI	受信 FIFO データフル	RDRF	RIE	可
	受信データレディ	DR (FCR.DRES ビット = 0 のとき)		
	受信データ一致	DCMF		
TXI	送信 FIFO データエンプティ	TDRE	TIE	可
	TE = 0 → 1 検出時			
TEI	送信完了	TEND	TEIE	不可

36.17.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 36.45 の割り込み要因があります。送信完了割り込み (TEI) 要求は使用できません。

表 36.45 RSCI割り込み要因(スマートカードインタフェースモード時)

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	受信エラー、エラーシグナル検出	ORER, APER, ERS	RIE	不可
RXI	受信データフル	RDRF	RIE	可
TXI	送信完了	TEND	TIE	可
	TE = 0 → 1検出時			

スマートカードインタフェースモードの場合も DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”にセットされると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”にクリアされます。

エラーが発生した場合は RSCI が自動的に同じデータを再送信します。この間 TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、RSCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR0.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、かわりに CPU に対し ERI 割り込み要求を発生しますのでエラーフラグをクリアしてください。

送受信動作時に、DTC または DMAC を使用する場合は、RSCI 設定を行う前に、DTC または DMAC を有効にする設定を行ってください。DTC または DMAC の設定方法は「20. データトランスファコントローラ (DTCb)」、「18. DMA コントローラ (DMACAb)」を参照してください。

36.17.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 36.46 の割り込み要因があります。

STI 割り込みは TEI 割り込み要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がりで、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がりで、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送が行えます (この場合は ACK/NACK を確認することができません)。

SIMR.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がりで、SSDAn 端子入力が Low レベルだと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力が High レベルだと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。また、送受信動作時に、DTC または DMAC を使用する場合は、RSCI 設定を行う前に、DTC または DMAC を有効にする設定を行ってください。

SIMR.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いてスタートコンディション、リスタートコンディション、ストップコンディションを生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 36.46 RSCI 割り込み要因 (簡易 I²C モード時)

名称	割り込み要因		割り込みフラグ	割り込み許可ビット	DTC/DMAC の起動
	IICINTM = 1	IICINTM = 0			
RXI	受信完了	—	—	RIE	可 (注1)
	—	ACK 検出	—		可
TXI	送信完了	—	—	TIE	可 (注1)
	—	NACK 検出	—		可
STI	スタートコンディション、リスタートコンディション、ストップコンディション生成終了		IICSTIF	TEIE	不可

注1. DTC、DMAC 使用時は、ACK/NACK の確認はできません。

36.17.5 拡張シリアルモードにおける割り込み

拡張シリアルモードでは、表 36.47 の割り込み要因があります。

表 36.47 RSCI割り込み要因(拡張シリアルモード時)

名称	割り込み要因	割り込み要因フラグ	割り込み要因ではないが確認が必要なフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	エラー	ORER, AFER, APER	—	RIE	不可
		BCDF		BCDIE	
		COF		RIE, COFIE	
RXI	受信データフル	RDRF	CF0MF, CF1MF, PIBDF	RIE	XSR0.SFSF フラグ=0 : 可 XSR0.SFSF フラグ=1 : 不可
AED	有効エッジ検出	AEDF	—	AEDIE	可
TXI	送信データエンブティ	TDRE	—	TIE	可
	TE = 0 → 1 検出時				
	Break Field 送出完了	BFOF		—	
TEI	送信完了	TEND	—	TEIE	不可
BFD	Break Field 検出	BDFD	—	BFDIE	不可(不要)

拡張シリアルモード時、受信エラー(オーバランエラー、フレーミングエラー、パリティエラー)に加え、送信時のバス衝突検出時、拡張シリアルモジュールのカウンタオーバーフロー発生時にも ERI 割り込み要求が出力されます。このとき、RXI 割り込み要求は出力しません。全てのフラグをクリアすることにより、ERI 割り込み要求を取り下げることができます。

Start Frame 送信時、SCR0.TIE ビット=1 かつ XCR0.BFOIE ビット=1 のとき、Break Field 送出が完了すると TXI 割り込み要求が出力されます。Control Field 0 データを TDR レジスタに書き込むとデータ送信を開始します。そのため、DTC または DMAC を用いた送信が可能です。

最後の送信データを TDR レジスタに書き込み、送信が開始した後(TXI 出力後)、SCR0.TEIE ビット=1 にしてください。

Start Frame 受信時(XSR0.SFSF フラグ=1)は、RXI 割り込みによる DTC または DMAC を用いた受信はできません。SSR レジスタと XSR0 レジスタを確認し、受信状態(図 36.72)を確認後、フラグをクリアしてください。また、データを受信した場合はオーバランエラーにならないように RDR レジスタを読み出してください(受信データ値の確認が不要であれば、RDR レジスタを読み出さずに RDRF フラグクリアしてください)。Control Field 1 の受信が完了(XSR0.CF1MF フラグ=1)すると、Start Frame 検出無効状態(XSR0.SFSF フラグ=0)となり、DTC または DMAC を用いた受信が可能です。前記と同様に RDR レジスタを読み出してください。

Start Frame/Break Field 検出有効(XCR1.SDST ビット=1)時、XCR2.BFLW[15:0] ビットで設定した期間以上の Break Field を受信すると、BDFD フラグをセットし、BFD 割り込み要求を出力し、RSCI は Start Frame 受信状態になります。BDFD フラグをクリアしてください。

Start Frame/Break Field 検出有効時(XCR1.SDST ビット=1)かつビットレート測定機能有効(XCR1.BRME ビット=1)時、有効エッジを検出すると AED 割り込み要因を出力します。タイマカウンタキャプチャ値(XSR1.CCV[15:0] ビット)を読み出してください。

36.18 イベントリンク機能

RSCI は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定していたモジュールを動作させることができます。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力することができます。また、割り込みステータスフラグが“1”の状態でもイベントは出力可能です。

イベント出力は全てパルス出力で、アサートの 1PCLK 後にネゲートされます。

表 36.48 に RSCI が有するイベントリンク信号一覧を示します。

表 36.48 RSCI イベントリンク信号一覧

イベントの種類	パルス/レベル	パルス幅	アクティブレベル	同期クロック
エラーイベント	パルス	1cycle	High	PCLK
受信データフルイベント	パルス	1cycle	High	PCLK
送信データエンプティイベント	パルス	1cycle	High	PCLK
送信完了イベント	パルス	1cycle	High	PCLK
受信データ一致イベント	パルス	1cycle	High	PCLK
受信データ不一致イベント	パルス	1cycle	High	PCLK
有効エッジ検出イベント	パルス	1cycle	High	PCLK

(1) エラー (受信エラー・エラーシグナル検出) イベント出力

- 受信時にパリティエラーが発生して異常終了したことを示します。
- 受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバランエラーが発生して異常終了したことを示します。
- 受信時にマンチェスタコードエラーが発生して異常終了したことを示します (マンチェスタモード時のみ)
- 受信時にプリフェースエラーが発生して異常終了したことを示します (マンチェスタモード時かつ MMCR.PFERIE ビット = 1 の場合のみ)
- 受信時にスタートビットエラーが発生して異常終了したことを示します (マンチェスタモード時かつ MMCR.SBERIE ビット = 1 の場合のみ)
- 受信時に受信 Sync エラーが発生して異常終了したことを示します (マンチェスタモード時かつ MMCR.SYERIE ビット = 1 の場合のみ)
- スマートカードインタフェースモードで送信時にエラーシグナルを検出したことを示します。
- FIFO モードかつ FCR.DRES ビット = 1 設定時に、SSR.AFER、APER フラグが“0”でかつ受信 FIFO しきい値より少ない受信データが受信 FIFO (RDR レジスタ) にセットされ、15 etu の時間が経過したことを示します。
- 拡張シリアルモード時、拡張シリアルモジュール内 16 ビットカウンタがオーバフローしたことを示します。
- 拡張シリアルモードで、送信動作時 (SCR0.TE ビット = 1) にバス衝突を検出したことを示します。

(2) 受信データフルイベント出力

- 非 FIFO モード時に、受信データが受信データレジスタ (RDR レジスタ) にセットされたことを示します。
- FIFO モード時に、受信 FIFO しきい値以上の受信データが受信 FIFO データレジスタ (RDR レジスタ) にセットされたことを示します。受信 FIFO しきい値を“0”にした場合は、1 つ以上のデータを受信しなければイベント出力は発生しません。しかし、FIFO モード時はイベントを処理する場合に不都合が起きるため、使用禁止とします。

- FIFOモード時かつFCR.DRESビット=0設定時に、SSR.AFER、APERフラグが“0”でかつ受信FIFOしきい値より少ない受信データが受信FIFO (RDRレジスタ) にセットされ、15 etuの時間が経過したことを示します。
- 簡易I²Cモードで、SIMR.IICINTMビットが“0”のとき、ACKを検出したことを示します。
- 簡易I²Cモードで、SIMR.IICINTMビットが“1”のとき、8ビット目のSSCLn端子立ち下がりを検出したことを示します。
- 簡易I²Cモードのマスタ送信かつSIMR.IICINTMビットが“1”のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

(3) 送信データエンプティイベント出力

- SCR0.TEビットが“0”から“1”に変化したことを示します。
- 非FIFOモード時に、送信データレジスタ (TDRレジスタ) から送信シフトレジスタ (TSRレジスタ) に送信データを転送したことを示します。
- FIFOモード時に、送信FIFO (TDRレジスタ) のデータ数が送信FIFOしきい値以下になったことを示します。しかし、FIFOモード時はイベントを処理する場合に不都合が起きるため、使用禁止とします。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易I²Cモードで、SIMR.IICINTMビットが“0”のとき、NACKを検出したことを示します。
- 簡易I²Cモードで、SIMR.IICINTMビットが“1”のとき、9ビット目のSSCLn端子立ち下がりを検出したことを示します。
- 拡張シリアルモードで、Break Field 送出が完了したことを示します。

(4) 送信完了イベント出力

- 送信が完了したことを示します。しかし、FIFOモード時はイベントを処理する場合に不都合が起きるため、使用禁止とします。
- 簡易I²Cモードでスタートコンディション、リスタートコンディション、ストップコンディションの生成が完了したことを示します。
- スマートカードインタフェースモードでは、送信完了イベントは出力しません。

(5) 受信データ一致イベント出力

- 調歩同期式モード(マルチプロセッサモード含む)で、受信完了したデータとSCR4.CMPD[8:0]ビット設定値との一致を検出したことを示します。

(6) 受信データ不一致イベント出力

- 調歩同期式モード(マルチプロセッサモード含む)で、受信完了したデータとSCR4.CMPD[8:0]ビット設定値との不一致を検出したことを示します。

(7) 有効エッジ検出イベント出力

- 拡張シリアルモードで、XCR1.BRMEビットが“1”のとき、RXD入力信号に有効エッジを検出したことを示します。

36.19 使用上の注意事項

36.19.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、RSCI の動作を禁止 / 許可することができます。リセット後の値では、RSCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

36.19.2 消費電力低減機能の注意事項

(1) 送信

消費電力低減機能を使用し、RSCI の消費電力を低減する場合、送信動作停止後 (SSR.TEND フラグ = 1) に低消費電力状態へ遷移させてください。このとき、SCR1.SPB2DT、SCR1.SPB2IO ビットに送信動作停止後の出力端子状態を設定したあと、動作を停止 (SCR0.TIE ビット = 0、TE ビット = 0、TEIE ビット = 0) してください。送信中に遷移させると、送信中のデータは不確定になります。

低消費電力状態からの解除のあと、動作モードを変えないで送信する場合は、TE ビット = 1 にし、SSR レジスタリード → TDR レジスタライトで送信開始できます。動作モードを変えて送信する場合は、初期設定から行ってください。

また、解除後に DMAC または DTC による送信を継続する場合は、TE ビット = 1、TIE ビット = 1 を同時に設定すると TXI 割り込みが発生し、その割り込みによって DMAC または DTC が送信データを書き込むことで送信が始まります。

図 36.113 に送信時のモード遷移フローチャートの例を示します。図 36.114、図 36.115 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

(2) 受信

消費電力低減機能を使用し、RSCI の消費電力を低減する場合、受信動作を停止 (SCR0.RE ビット = 0) してから行ってください。受信中に遷移させると、受信中のデータは無効になります。

図 36.116 に受信時のモード遷移フローチャートの例を示します。

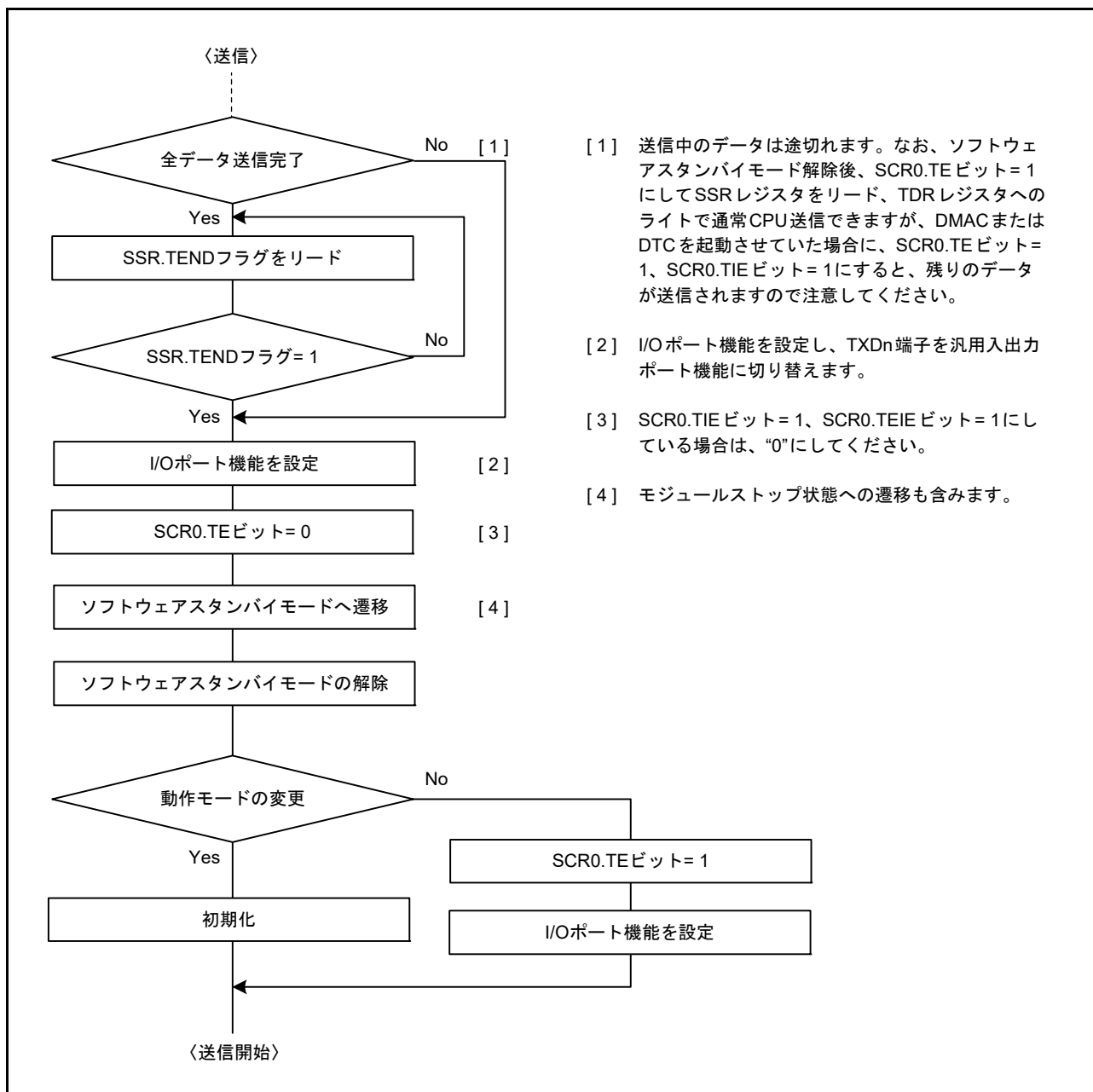


図 36.113 送信時のソフトウェアスタンバイモード遷移フローチャートの例

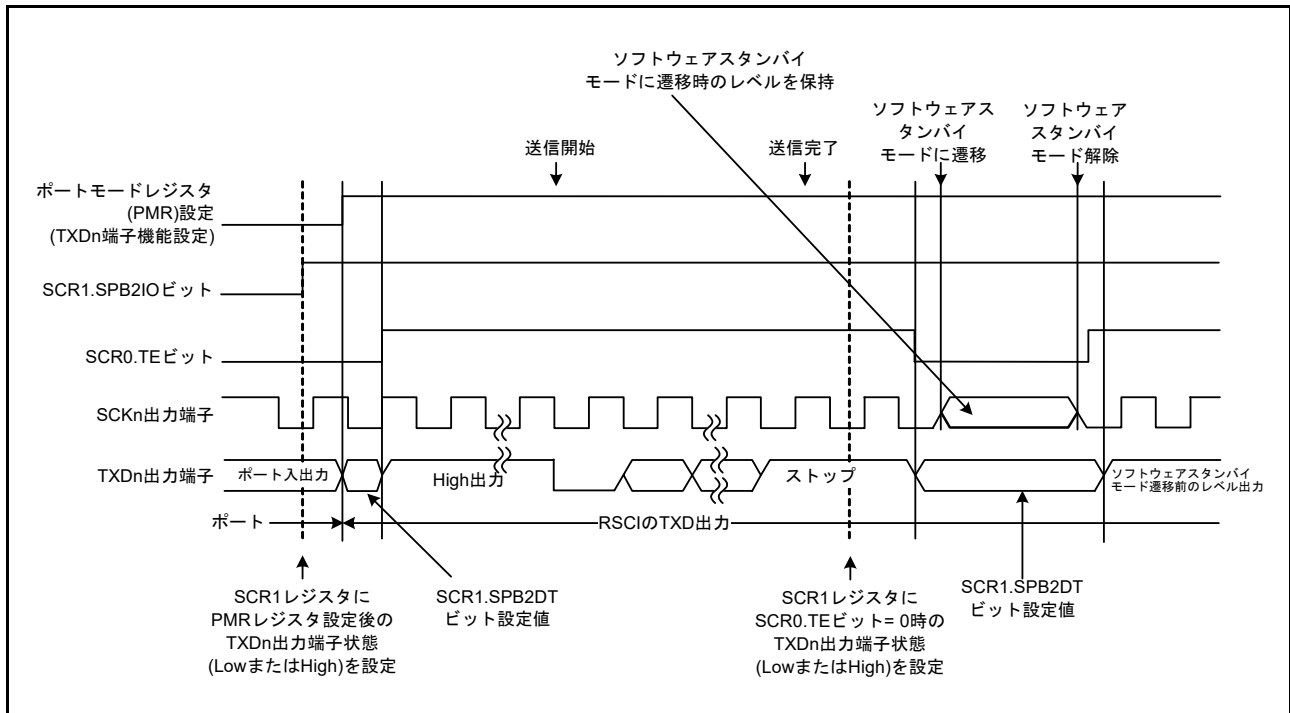


図 36.114 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

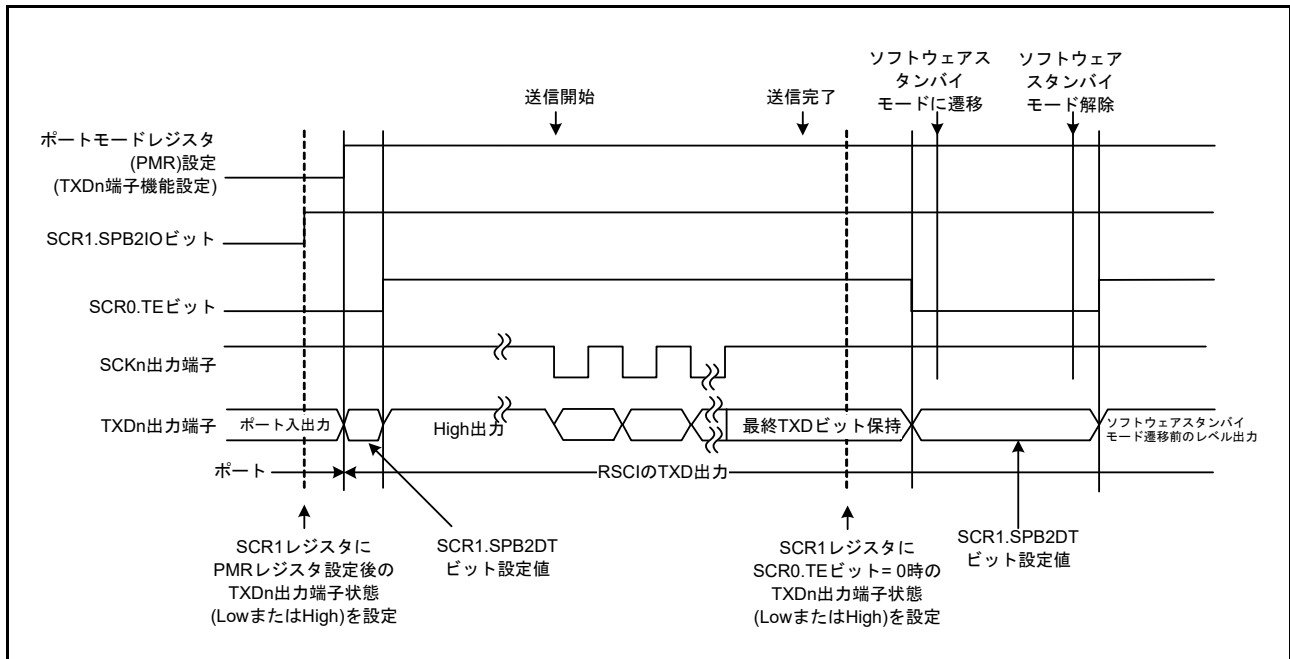


図 36.115 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

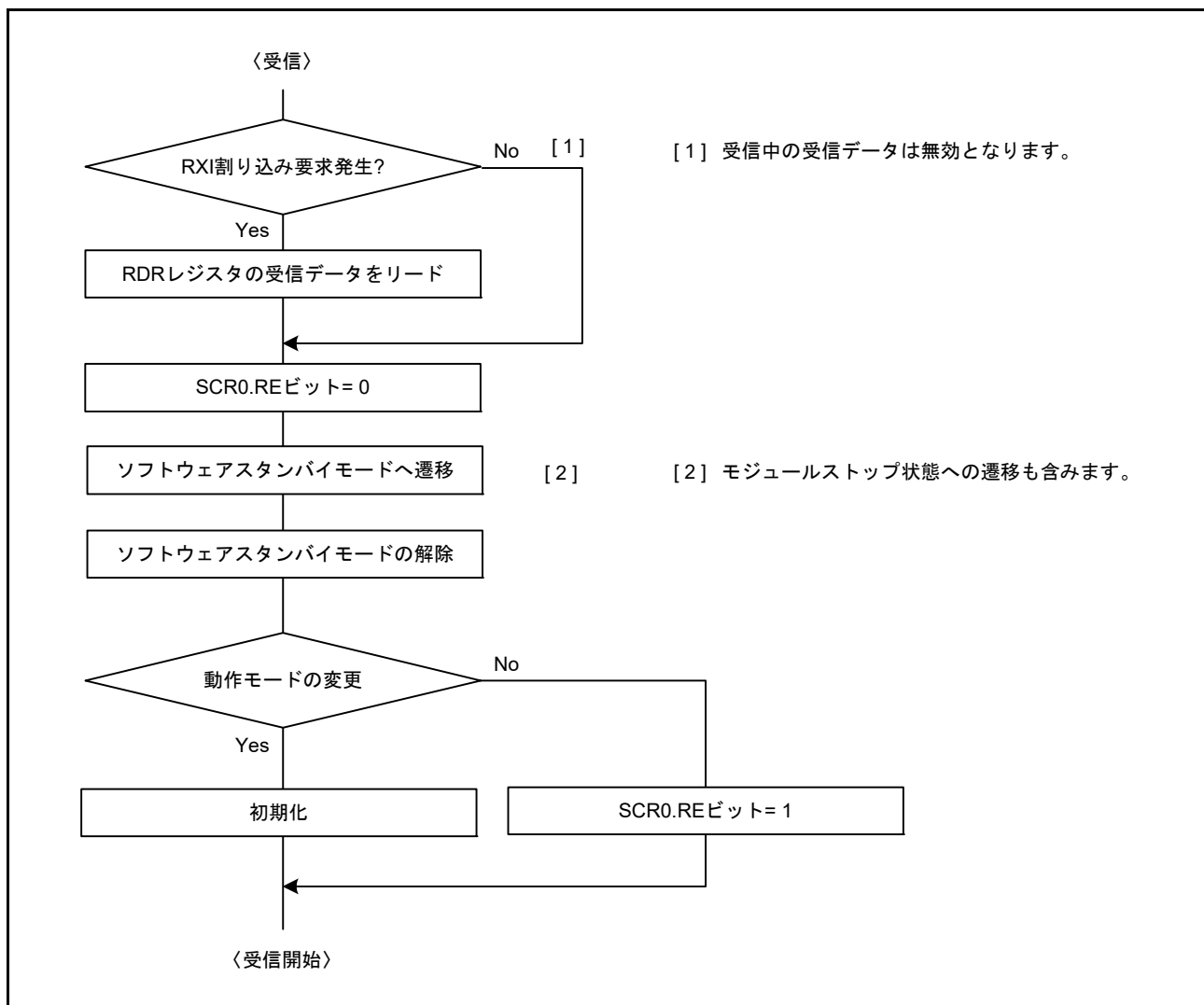


図 36.116 受信時のソフトウェアスタンバイモード遷移フローチャートの例

36.19.3 ブレークの検出と処理について

(1) 非 FIFO モード時

フレーミングエラー検出時に、SSR.RXDMON フラグの値を読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.AFER フラグが“1”(フレーミングエラーの発生あり)になり、また SSR.APER フラグも“1”(パリティエラーの発生あり)になる可能性があります。SCR3.RXDESEL ビットが“0”のとき、RSCI は、ブレークを受信した後も受信動作を続けます。したがって AFER フラグを“0”(フレーミングエラーの発生なし)にしても、再び AFER フラグが“1”になりますので注意してください。SCR3.RXDESEL ビットが“1”のとき、RSCI は、SSR.AFER フラグを“1”にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.AFER フラグを“0”にすれば、ブレーク中は SSR.AFER フラグの“0”を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりでスタートビットを検出し、受信動作を開始します。

(2) FIFO モード時

フレーミングエラーを検出した時点から、引き続き 1 フレーム以上のスペース (Low) を受信すると受信 FIFO (RDR レジスタ) へそのデータを格納した後を受信動作が停止します。フレーミングエラー検出時に、SSR.RXDMON フラグの値を読み出すことでブレークを検出できます。なお、RXD 信号がマーク状態になりブレークが終了したあとは受信 FIFO (RDR レジスタ) への受信データの格納が再開します。

36.19.4 マーク状態とブレークの送出

SCR0.TE ビットが“0”(シリアル送信動作を禁止)のときの TXDn 端子の状態とレベルは SCR1.SPB2IO ビットと SCR1.SPB2DT ビットで設定できます。これを利用して TXDn 端子をマーク状態にしたりブレークを送出したりすることができます。

SCR0.TE ビットを“1”(シリアル送信動作を許可)にするまで、通信回線をマーク状態(“1”の状態)にするためには、SCR1.SPB2IO ビットと SCR1.SPB2DT ビットで High を出力したあと、I/O ポート機能により TXDn 端子に切り替えます。一方、データ送信時にブレークを送出したいときは、SCR1.SPB2IO ビットと SCR1.SPB2DT ビットで Low を出力したあと、SCR0.TE ビットを“0”にします。TE ビットを“0”にすると現在の送信状態とは無関係に送信部は初期化されます。

36.19.5 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が“1”になった状態でも、TDR レジスタにデータをライトすると送信動作可能です。ただし、受信動作はできません。また、SCR0.RE ビットを“0”(シリアル受信動作を禁止)にしても受信エラーフラグは“0”になりませんので注意してください。

36.19.6 TDR レジスタへのライト

(1) 非 FIFO モード時

TDR レジスタへのデータのライトは、TE ビット=1 のとき、行うことができます。しかし、TDR レジスタに送信データが残っている状態で新しいデータをライトすると、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。DTC または DMAC を使用する場合は、TDR レジスタへの送信データの書き込みは、TXI 割り込み要求によって行ってください。

(2) FIFO モード時

送信 FIFO (TDR レジスタ) へのデータのライトは、TE ビット=1 のとき、行うことができます。TFSR.T[5:0] ビットで書き込み可能なデータ数を確認してください。

36.19.7 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU、DMAC または DTC による TDR レジスタの更新後、本製品の SMISO 端子の出力 AC 特性とマスタ受信の入力 AC 特性を勘案した時間 + 1 PCLK 以上経過した後に送信クロックを入力してください (図 36.117 参照)。

(2) 連続送信時

ビット 7 の送信クロックの立ち下がり (注 1) 以前に、TSR レジスタに次の送信データが転送されている必要があります。これを考慮して TDR レジスタに次の送信データを書き込んでください (図 36.117 参照)。送信データの書き込みが間に合わなかった場合、前フレームデータを再送します (図 36.117 参照)。

注 1. SCR3.CPOL ビット = 1 かつ SCR3.CPHA ビット = 0 または、SCR3.CPOL ビット = 0 かつ SCR3.CPHA ビット = 1 の場合です。SCR3.CPOL ビット = 0 かつ SCR3.CPHA ビット = 0 または、SCR3.CPOL ビット = 1 かつ SCR3.CPHA ビット = 1 の場合は、立ち上がりになります。

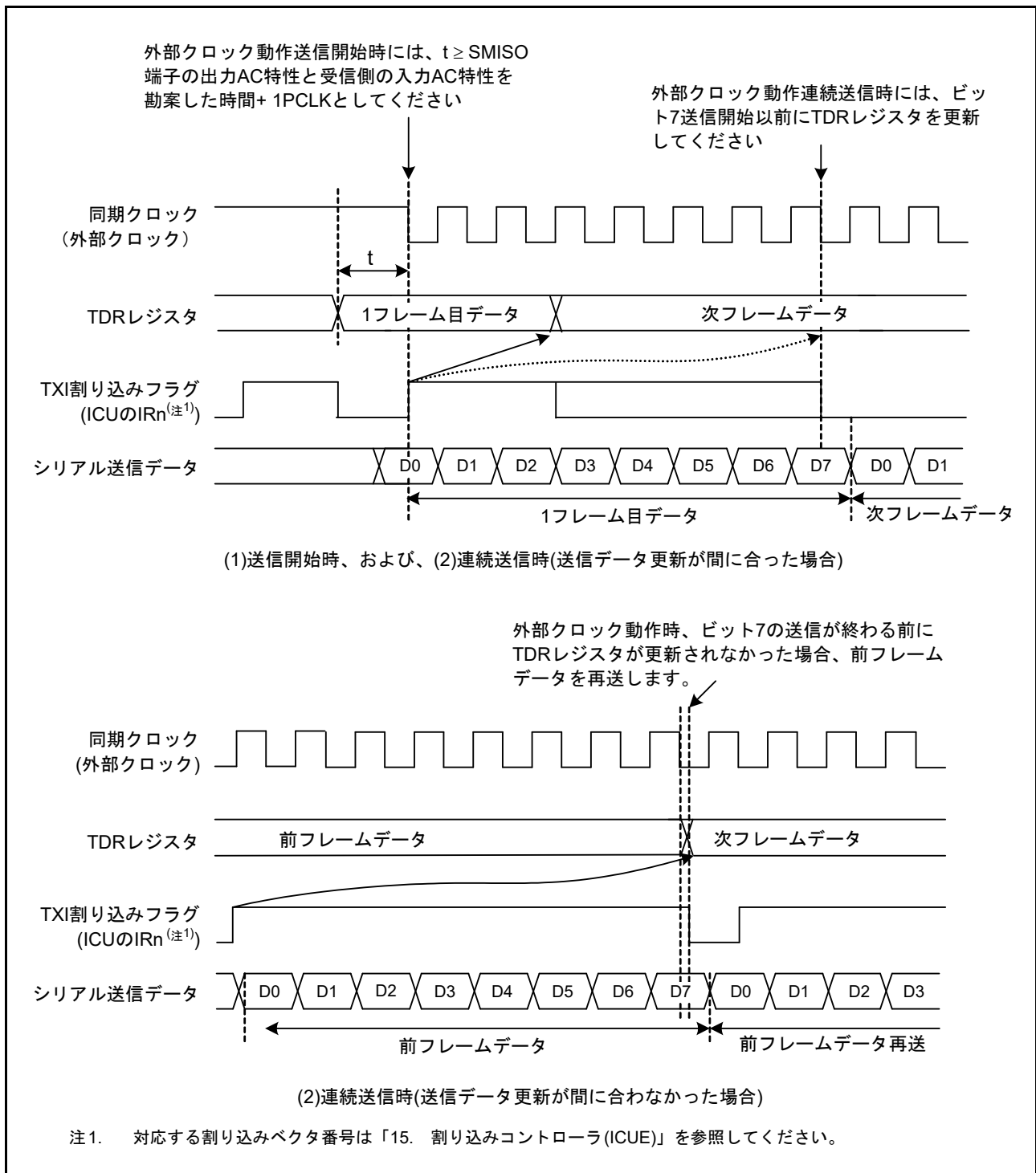


図 36.117 クロック同期式モード送信での外部クロック使用の制約事項

36.19.8 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR レジスタのリードを行うときは起動要因を当該 RSCI の受信データフル割り込み (RXI) に設定してください。

DMAC または DTC によるシリアル送信中 / 受信中に、DMAC/DTC の転送情報を再設定しないでください。

36.19.9 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が“1”のときは、動作許可 (SCR0.TE ビットを“1”に設定、または SCR0.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「15. 割り込みコントローラ (ICUE)」を参照してください。

- 通信が停止していること (SCR0.TE ビットまたは SCR0.RE ビットが“0”となっていること)を確認
- 対応する割り込みイネーブルビット (SCR0.TIE ビットまたは SCR0.RIE ビット)を“0”に設定
- 対応する割り込みイネーブルビット (SCR0.TIE ビットまたは SCR0.RIE ビット)を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット)に“0”を設定

36.19.10 簡易 SPI モードの制約事項

(1) マスタモード

- SCR0.SSE ビットが“1”のとき、SCR3.CPOL、CPHA ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ (プルダウン) してください。
SCR0.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR0.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SCR0.SSE ビットが“0”のときは、SCR0.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ (プルダウン) は不要です。
- クロック遅れあり設定 (SCR3.CPHA ビット=0) の場合、図 36.118 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR0 レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”にすると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

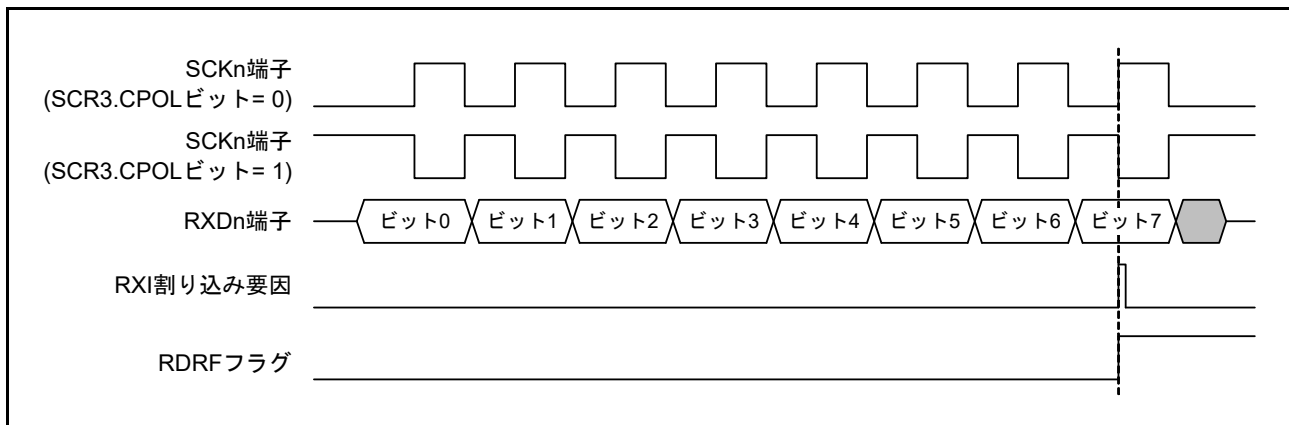


図 36.118 簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから RXDn 端子にデータが出力されるまで、「1PCLK + データ出力遅延時間 (AC 特性)」がかかります。これらを考慮して外部クロック入力開始を行ってください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn#端子へのLowレベル入力から外部クロック入力開始まではSS入力セットアップ時間(AC特性)を確保してください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR0 レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

36.19.11 トランスミットイネーブルビット (TE ビット) に関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR0.TE ビットを“0”(シリアル送信動作を禁止)にすると、端子の出力がハイインピーダンスになります(レジスタ初期値)。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- TXDn ラインにプルアップ抵抗またはプルダウン抵抗を接続。
- SCR1 レジスタを設定して、TE ビット = 0 時の TXDn 端子のレベルを決定。

36.19.12 拡張シリアルモードに関する注意事項

- 拡張シリアルモード (SCR3.MOD[2:0] ビット = 110b) 時、CTS、RTS 機能、マルチプロセッサ通信機能、ビットモジュレーション機能、ループバック機能は使用できません。また、FIFO バッファ構成を選択できません。

36.19.13 RS-485 ドライバ制御機能に関する注意事項

- RS-485 ドライバ制御機能は、調歩同期式モード時のみ、使用可能です。
- RS-485 ドライバ制御機能使用時(SCR3.DEENビット=1)、TENDセットタイミング/TEI出力タイミングが以下の通り変わります。RS-485 ドライバ制御機能使用時は、TEI 割り込みを待って、TE ビットを“0”にしてください。

RS-485 ドライバ制御機能未使用時 (DEEN ビット = 0) の

TEND セットタイミング /TEI 出力タイミング : STOP ビット出力完了時

RS-485 ドライバ制御機能使用時 (DEEN ビット = 1) の

TEND セットタイミング /TEI 出力タイミング : DE 信号ホールド時間終了時

36.19.14 ループバック機能に関する注意事項

ループバック機能は、調歩同期式モード内部クロック動作時、マンチェスタモード内部クロック動作時、クロック同期式モード内部クロック動作時にのみ、使用可能です。

調歩同期式の HBS サポートモード時も動作可能であり、HBSCR.AOE ビット = 1 時は TXDAn/TXDBn 端子出力の論理積をとった信号をループバックします (TINV ビット = RINV ビット = 0 で使用してください)。

36.19.15 動作中断時の注意事項

データ受信中に SCR0.RE ビットに“0”を書き込み、受信動作を中断した場合、タイミングによっては不正な状態になる可能性があるため、受信データ (RDR レジスタ格納値)、および各ステータスレジスタのフラグ値は使用しないでください。受信動作を中断する場合は、受信関連の割り込みやイベントリンクを禁止してから SCR0.RE ビットに“0”を書いてください。

37. I²Cバスインタフェース (RIICa)

本 MCU は、3 チャンネルの I²C バスインタフェース (RIIC0, RIIC1, RIIC2) を内蔵しています。

RIIC は、NXP 社が提唱する I²C バス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

37.1 概要

表 37.1 に RIIC の仕様を、図 37.1 に RIIC のブロック図を、表 37.2 に RIIC で使用する入出力端子を示します。

表 37.1 RIIC の仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモードプラス対応 (~1 Mbps)
シリアルクロック (SCL)	マスタ時、SCL のデューティ比を 4% ~ 96% の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> 異なるスレーブアドレスを 3 種類まで設定可能 7ビット/10ビットアドレスフォーマット対応(混在可能) ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	<ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジ応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCL ラインの Low ホールドによるウェイトが可能 8クロック目と9クロック目の間でウェイト 9クロック目と1クロック目の間でウェイト
SDA出力遅延機能	アクノリッジ送信を含むデータ送信出力の変化タイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとの SCL 衝突時、SCL の同期動作可能 スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL の長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4種類 <ul style="list-style-type: none"> 通信エラー/通信イベント アービトレーションロスト検出 NACK検出 タイムアウト検出 スタートコンディション検出(リスタートコンディション含む) ストップコンディション検出 受信データフル(スレーブアドレス一致時含む) 送信データエンプティ(スレーブアドレス一致時含む) 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能

表37.1 RIICの仕様 (2/2)

項目	内容
RIICの動作モード	<ul style="list-style-type: none"> 4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード
イベントリンク機能 (出力)	4種類 (RIIC0) <ul style="list-style-type: none"> 通信エラー/通信イベント アービトレーションロスト検出 NACK検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了

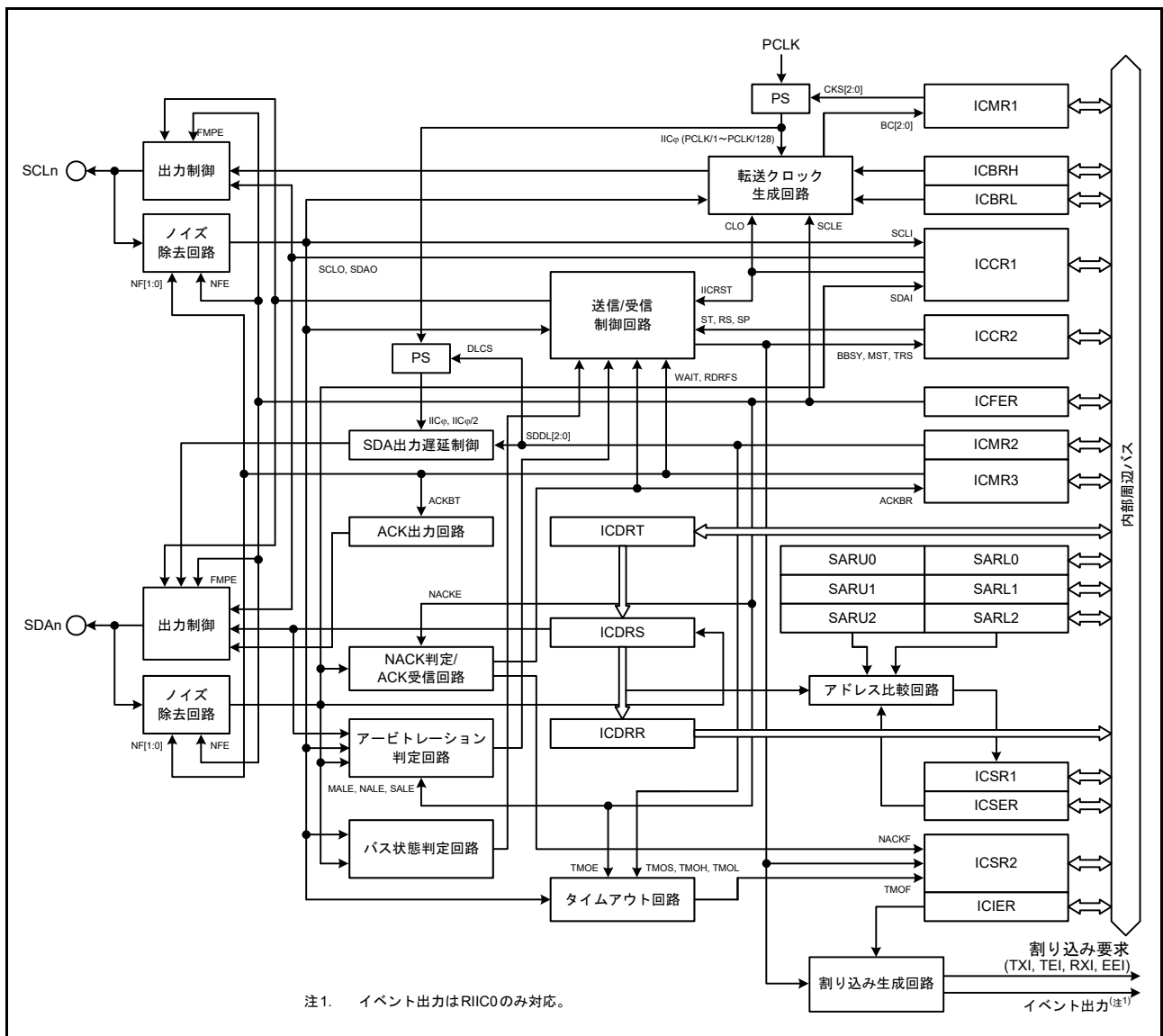


図 37.1 RIICのブロック図 (n = 0 ~ 2)

RIICの各信号の入力レベルは、I²Cバス選択時 (ICMR3.SMBS ビット = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット = 1) は TTL レベルです。

表37.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子
RIIC1	SCL1	入出力	RIIC1シリアルクロック入出力端子
	SDA1	入出力	RIIC1シリアルデータ入出力端子
RIIC2	SCL2	入出力	RIIC2シリアルクロック入出力端子
	SDA2	入出力	RIIC2シリアルデータ入出力端子

37.2 レジスタの説明

37.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h, RIIC1.ICCR1 0008 8320h, RIIC2.ICCR1 0008 8340h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0 : SDA _n ラインはLow 1 : SDA _n ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0 : SCL _n ラインはLow 1 : SCL _n ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> • リード時 0 : SDA_n端子をLowにしている 1 : SDA_n端子を解放している • ライト時 0 : SDA_n端子をLowにする 1 : SDA_n端子を解放する (外部プルアップ抵抗によりHigh出力) 	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> • リード時 0 : SCL_n端子をLowにしている 1 : SCL_n端子を解放している • ライト時 0 : SCL_n端子をLowにする 1 : SCL_n端子を解放する (外部プルアップ抵抗によりHigh出力) 	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換え許可 1 : SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCL追加出力ビット	0 : SCLを追加で出力しない(通常状態) 1 : SCLを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0 : RIICリセット、内部リセット解除 1 : RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCL _n /SDA _n 出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0 : 禁止(SCL _n 、SDA _n 端子非駆動状態) 1 : 許可(SCL _n 、SDA _n 端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIICが出力するSDA_n信号、SCL_n信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時にSOWPビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介してRIICに入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないうでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのときRIICが出力している信号の状態が読めます。

CLO ビット (SCL 追加出力ビット)

SCL を 1 クロックずつ追加で出力する機能で、デバッグ時または異常処理時に使用します。通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。本機能の詳細については、「37.11.2 SCL 追加出力機能」を参照してください。

IICRST ビット (I²C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 37.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1, ICSR2) および内部状態を初期化します。各レジスタのリセット状況については、「37.14 リセット時/コンディション検出時のレジスタおよび機能の初期化」を参照してください。

動作中 (ICE ビット=1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCLn 端子 / SDAn 端子をハイインピーダンスにしてバスを解放することができます。

注. スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、スレーブモード時に内部リセットを行う場合は、バスフリー中に実施してください。なお、RIIC がスレーブモード時に SCLn ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ずれの原因になります。

表 37.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCLn、SDAn 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 37.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときには、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCLn、SDAn 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCLn、SDAn 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCLn、SDAn 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

37.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h, RIIC1.ICCR2 0008 8321h, RIIC2.ICCR2 0008 8341h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態(バスフリー状態) 1: I ² Cバスが占有状態(バスビジー状態)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

STビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0”(バスフリー)のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「37.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.ALフラグが“1”になったとき (アービトレーションロスト)
- ICCR1.ICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注. STビットは、BBSYフラグが“0”(バスフリー)のとき、“1”(スタートコンディション発行要求)にしてください。

BBSYフラグが“1”(バスビジー)のとき、STビットを“1”(スタートコンディション発行要求)にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RSビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RSビットが“1”になるとリスタートコンディションの発行を要求し、BBSYフラグが“1”(バスビジー)でかつMSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「37.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを“1”にしないでください。

注. スレープモードでは RS ビットに“1”(リスタートコンディション発行要求)を書いた場合、リスタートコンディションは発行されずに RS ビットは“1”のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1”(バスビジー)でかつ MST ビットが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「37.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき (ストップコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグが“0”(バスフリー)のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット (送信 / 受信モードビット)

送信 / 受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行 / 検出および R/W# ビットの値で“1”または“0”になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが“1”の状態、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (RS ビットが“1”の状態、リスタートコンディションを検出したとき)

- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが IC SER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが IC SER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY フラグ = 1、ICCR2.MST ビット = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”または“0”になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが“1”の状態に、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) / 解放状態 (バスフリー) を示します。

SCLn ラインが High の状態で SDAn ラインが High から Low に変化すると、スタートコンディションが発行されると認識して“1”になります。

SCLn ラインが High の状態で SDAn ラインが Low から High に変化すると、ストップコンディションが発行されると認識し、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでスタートコンディションを検出しなかったとき“0”になります。

["1"になる条件]

- スタートコンディションを検出したとき

["0"になる条件]

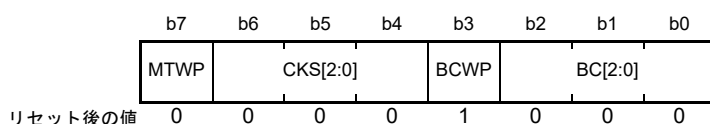
- ストップコンディションを検出後、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでス

ターゲットコンディションを検出しなかったとき

- ICCR1.ICE ビットが“0”の状態でも ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

37.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h, RIIC1.ICMR1 0008 8322h, RIIC2.ICMR1 0008 8342h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロック (IICφ) ソースを選択します b6 b4 0 0 0 : PCLK/1 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRSビットへの書き込み禁止 1 : ICCR2.MST, TRSビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にするのと同時に書き換えてください。

BC[2:0] ビット (ビットカウンタ)

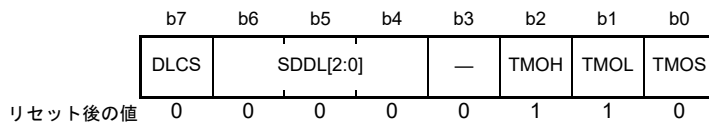
SCL_n ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し (データにアクリッジ1ビットが付加されて転送される)、転送バイト間にかつ SCL_n ラインが Low の状態で行ってください。

BC[2:0] ビットはアクリッジを含むデータ転送終了時、またはスタートコンディション検出 (リスタートコンディション含む) で自動的に“000b”に戻ります。

37.2.4 I²C バスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h, RIIC1.ICMR2 0008 8323h, RIIC2.ICMR2 0008 8343h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0 : ロングモードを選択 1 : ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0 : SCLn ラインがLow 期間中のカウントアップを禁止 1 : SCLn ラインがLow 期間中のカウントアップを許可	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0 : SCLn ラインがHigh 期間中のカウントアップを禁止 1 : SCLn ラインがHigh 期間中のカウントアップを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	SDDL[2:0]	SDA 出力遅延カウンタ	<ul style="list-style-type: none"> • ICMR2.DLCS ビット = 0 (IICφ) のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IICφ の 1 サイクル 0 1 0 : IICφ の 2 サイクル 0 1 1 : IICφ の 3 サイクル 1 0 0 : IICφ の 4 サイクル 1 0 1 : IICφ の 5 サイクル 1 1 0 : IICφ の 6 サイクル 1 1 1 : IICφ の 7 サイクル • ICMR2.DLCS ビット = 1 (IICφ/2) のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IICφ の 1~2 サイクル 0 1 0 : IICφ の 3~4 サイクル 0 1 1 : IICφ の 5~6 サイクル 1 0 0 : IICφ の 7~8 サイクル 1 0 1 : IICφ の 9~10 サイクル 1 1 0 : IICφ の 11~12 サイクル 1 1 1 : IICφ の 13~14 サイクル 	R/W
b7	DLCS	SDA 出力遅延クロックソース 選択ビット	0 : SDA 出力遅延カウンタのクロックソースに 内部基準クロック (IICφ) を選択 1 : SDA 出力遅延カウンタのクロックソースに 内部基準クロックの 2 分周 (IICφ/2) を選択 (注1)	R/W

注1. SCL 端子がLow のときのみ DLCS ビット = 1 (IICφ/2) の設定が有効になります。SCL 端子がHigh のとき DLCS ビット = 1 の設定は無効となり内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCLn ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「37.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) に SCLn ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウト H カウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) に SCLn ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス仕様 (データ有効時間 / アクノリッジ有効時間 (注 1) 以内) または SMBus 仕様 (データホールド時間 (300 ns) 以上、かつ「クロックの Low 幅 - データセットアップ時間 (250 ns)」以下) を満たすようにしてください。仕様外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「37.5 SDA 出力遅延機能」を参照してください。

注 1. データ有効時間 / アクノリッジ有効時間

3,450 ns (~ 100 kbps : スタンダードモード (Sm))

900 ns (~ 400 kbps : ファストモード (Fm))

450 ns (~ 1 Mbps : ファストモードプラス (Fm+))

37.2.5 I²Cバスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h, RIIC1.ICMR3 0008 8324h, RIIC2.ICMR3 0008 8344h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1 IICφ以下のノイズを除去(フィルタは1段) 0 1 : 2 IICφ以下のノイズを除去(フィルタは2段) 1 0 : 3 IICφ以下のノイズを除去(フィルタは3段) 1 1 : 4 IICφ以下のノイズを除去(フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信(ACK受信) 1 : アクノリッジビットに“1”を受信(NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出(ACK送信) 1 : アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : 9個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCLnラインをLowにホールドしない) 1 : 8個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCLnラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「37.6 デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅の設定は、SCLnラインのHigh/Low幅よりも狭くしてください。ノイズフィルタ幅を、[SCLのHigh幅またはLow幅のいずれか短い方] - 1.5 × t_{IICcyc} (内部基準クロック (IICφ)の周期)と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりシリアルクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1"になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“1”を受信したとき

["0"になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“0”を受信したとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アノリッジビット)

受信モード時にアノリッジのタイミングで送出するビットを設定します。

[“1”になる条件]

- ACKWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ACKWP ビットが“1”の状態では“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態では ストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび 8 個目の SCL の立ち下がりでは SCLn ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8クロック目の立ち下がりでは SCLn ラインの Low ホールドは行わず、9クロック目の立ち上がりでは RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8クロック目の立ち上がりでは“1”にし、8クロック目の立ち下がりでは SCLn ラインを Low にホールドします。この SCLn ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アノリッジビット送出前に SCLn ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I²C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL の 9クロック目と 1クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL の 9クロック目と 1クロック目の間の Low ホールドは行わず、受信動作をそのまま続けます。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCLn ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR レジスタを先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され IC SER.HOAE ビットが有効になります。

37.2.6 I²Cバスファンクション許可レジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h, RIIC1.ICFER 0008 8325h, RIIC2.ICFER 0008 8345h

b7	b6	b5	b4	b3	b2	b1	b0
FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE

リセット後の値 0 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0: マスターアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1: マスターアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ有効ビット	0: デジタルノイズフィルタを使用しない 1: デジタルノイズフィルタを使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	FMPE (注1)	ファストモードプラス有効ビット	0: SCLn端子/SDAn端子にFm+用スローブ制御回路を使用しない 1: SCLn端子/SDAn端子にFm+用スローブ制御回路を使用する	R/W

注1. ファストモードプラス有効ビット(FMPE)は、RIIC0のみ対応しています。RIIC1、RIIC2では、b7は予約ビットになります。

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「37.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスターアービトレーションロスト検出許可ビット)

マスターモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

NALE ビット (NACK送信アービトレーションロスト検出許可ビット)

受信モード時、NACK送出中にACKが検出された場合(同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など)にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合(同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など)にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「37.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、クロック同期を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0”(SCL 同期回路無効)にすると、クロック同期を行いません。この設定の場合、RIIC は SCL_n ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度のクロックを出力します。そのため、I²C バスラインの負荷が仕様に定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL 出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL 追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

FMPE ビット (ファストモードプラス有効ビット)

スロープ制御回路をファストモードプラス (Fm+) 用のスロープ制御回路を使用するかどうかを選択します。

FMPE ビットを“1”にすると I²C バスのファストモードプラス (Fm+) のスロープ制御仕様 (tof) に準拠したスロープ制御回路が選択され、“0”にすると I²C バスのスタンダードモード (Sm) およびファストモード (Fm) のスロープ制御仕様 (tof) に準拠したスロープ制御回路が選択されます。

通信速度を I²C バス仕様の～1 Mbps (ファストモードプラス (Fm+)) で使用する場合は“1”にし、それ以外の通信速度 (～100 kbps (Sm)、～400 kbps (Fm)) または SMBus (10 kbps～100 kbps) で使用する場合は“0”にしてください。

37.2.7 I²C バスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h, RIIC1.ICSER 0008 8326h, RIIC2.ICSER 0008 8346h

b7	b6	b5	b4	b3	b2	b1	b0
HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E

リセット後の値 0 0 0 0 1 0 0 1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0 (write) : All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第一バイトがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0” (write) のとき第二バイト目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第一バイトがデバイス ID アドレスと一致しても無視され、第一バイトを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「37.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつHOAE ビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”またはHOAE ビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

37.2.8 I²C バス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h, RIIC1.ICIER 0008 8327h, RIIC2.ICIER 0008 8347h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0: タイムアウト割り込み (TMOI) 要求の禁止 1: タイムアウト割り込み (TMOI) 要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0: アービトレーションロスト割り込み (ALI) 要求の禁止 1: アービトレーションロスト割り込み (ALI) 要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0: スタートコンディション検出割り込み (STI) 要求の禁止 1: スタートコンディション検出割り込み (STI) 要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0: ストップコンディション検出割り込み (SPI) 要求の禁止 1: ストップコンディション検出割り込み (SPI) 要求の許可	R/W
b4	NAKIE	NACK 受信割り込み要求許可ビット	0: NACK 受信割り込み (NAKI) 要求の禁止 1: NACK 受信割り込み (NAKI) 要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0: 受信データフル割り込み (RXI) 要求の禁止 1: 受信データフル割り込み (RXI) 要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0: 送信終了割り込み (TEI) 要求の禁止 1: 送信終了割り込み (TEI) 要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0: 送信データエンプティ割り込み (TXI) 要求の禁止 1: 送信データエンプティ割り込み (TXI) 要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可 / 禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが“1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

37.2.9 I²Cバスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h, RIIC1.ICSR1 0008 8328h, RIIC2.ICSR1 0008 8348h

b7	b6	b5	b4	b3	b2	b1	b0
HOA	—	DID	—	GCA	AAS2	AAS1	AAS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0: デバイスIDアドレス未検出 1: デバイスIDアドレス検出 • スタートコンディション直後の第一バイトがデバイスIDアドレス (1111 100b) + 0 (write) と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0: ホストアドレス未検出 1: ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス(0001 000b)と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[“1”になる条件]

[7ビットアドレスフォーマット選択時: SARUy.FS ビット = 0]

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと一致したとき、第一バイトの9個目の SCL の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット = 1]

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと一致したとき、第二バイトの9個目の SCL の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

[7ビットアドレスフォーマット選択時: SARUy.FS ビット = 0]

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと不一致のとき、第一バイトの9個目の SCL の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット = 1]

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと不一致のとき、第一バイトの9個目の SCL の立ち上がり

- ICSE.SARyEビットが“1”(スレーブアドレスy検出有効)の状態、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと不一致のとき、第二バイトの9個目の SCL の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1"になる条件]

- ICSE.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と一致したとき、第一バイトの9個目の SCL の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と不一致のとき、第一バイトの9個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

["1"になる条件]

- ICSE.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき、第一バイトの9個目の SCL の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき、第一バイトの9個目の SCL の立ち上がり
- ICSE.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、第二バイトの9個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

["1"になる条件]

- ICSE.HOAEビットが“1”(ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、第一バイトの9個目の SCL の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.HOAEビットが“1”(ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、第一バイトの9個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

37.2.10 I²Cバスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h, RIIC1.ICSR2 0008 8329h, RIIC2.ICSR2 0008 8349h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)SCL_n ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOEビットが“1”(タイムアウト検出機能有効)で、かつマスターモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL_n ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失(アービトレーションロスト)したことを示します。RIICは送信中にSDA_nラインのレベルを監視し、出力データとSDA_nラインのレベルが一致しない場合ALフラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、受信モード時のNACK送信中や、スレーブモード時のデータ送信中もアービトレーションロストの検出が可能です。

[“1”になる条件]

【マスターアービトレーションロスト検出有効時: ICFER.MALEビット=1】

- マスター送信モード時のデータ送信(スレーブアドレス送信含む)において、ACK期間を除くSCLの立ち上がり時に、出力したSDA信号とSDA_nライン上の信号の状態が不一致であったとき(内部SDA出力が

High 出力 (SDAn 端子はハイインピーダンス) で、SDAn ラインに Low を検出したとき)

- ICCR2.ST ビットが“1”(スタートコンディション発行要求)の状態ですスタートコンディションを検出したとき、出力した SDA 信号と SDAn ライン上の信号の状態が不一致であったとき
- ICCR2.BBSY フラグが“1”の状態ですICCR2.ST ビットが“1”(スタートコンディション発行要求)に設定したとき

【NACK アービトレーションロスト検出有効時 : ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL の立ち上がり時に、出力した SDA 信号と SDAn ライン上の信号の状態が不一致であったとき

【スレーブアービトレーションロスト検出有効時 : ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDAn ライン上の信号の状態が不一致であったとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 37.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST ビットが“1”の状態ですスタートコンディション検出時に出力した SDA 信号と SDAn ライン上の信号の状態が不一致のとき ICCR2.BBSY フラグが“1”の状態ですICCR2.ST ビットを“1”にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ(スレーブアドレス送信含む)とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ (スタートコンディション検出フラグ)

【“1”になる条件】

- スタートコンディション (リスタートコンディション含む) を検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

【“1”になる条件】

- ストップコンディションを検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

【“1”になる条件】

- ICFER.NACKE ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の場合、送信モード時に ICDRT レジスタへの書き込みを行ったり、受信モード時に ICDRR レジスタの読み出しを行ったりしても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

[“1”になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により 8 または 9 個目の SCL の立ち上がりで“1”になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1”になる条件]

- TDRE フラグが“1”の状態、9 個目の SCL の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1”になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

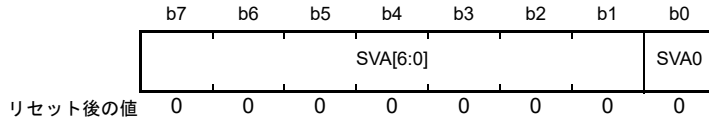
[“0”になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0”になったとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKE ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このときすでに、ICDRT レジスタに次の送信データが書き込まれていても (TDRE フラグが“0”)、ICDRS レジスタへのデータ転送は行われず ICDRT レジスタのデータが保持されるため、TDRE フラグは“1”になりません。

37.2.11 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC1.SARL0 0008 832Ah, RIIC2.SARL0 0008 834Ah,
RIIC0.SARL1 0008 830Ch, RIIC1.SARL1 0008 832Ch, RIIC2.SARL1 0008 834Ch,
RIIC0.SARL2 0008 830Eh, RIIC1.SARL2 0008 832Eh, RIIC2.SARL2 0008 834Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、10ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて10ビットアドレス下位8ビットを設定します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、7ビットアドレスとして機能し、10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、SVA0 ビットと合わせて10ビットアドレス下位8ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

37.2.12 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh, RIIC1.SARU0 0008 832Bh, RIIC2.SARU0 0008 834Bh,
RIIC0.SARU1 0008 830Dh, RIIC1.SARU1 0008 832Dh, RIIC2.SARU1 0008 834Dh,
RIIC0.SARU2 0008 830Fh, RIIC1.SARU2 0008 832Fh, RIIC2.SARU2 0008 834Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SVA[1:0]		FS

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7 ビット / 10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy、SARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy、SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

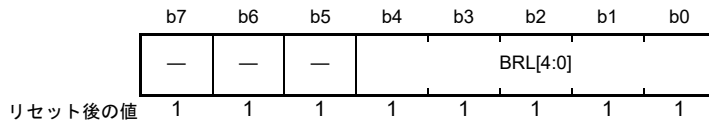
SVA[1:0] ビット (10 ビットアドレス上位ビット)

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

37.2.13 I²Cバスビットレート Low レジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h, RIIC1.ICBRL 0008 8330h, RIIC2.ICBRL 0008 8350h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL の Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時 (「37.8 SCL の自動 Low ホールド機能」参照) のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間(注1)以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロック (IIC ϕ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

注 1. データセットアップ時間 (t_{SU;DAT})

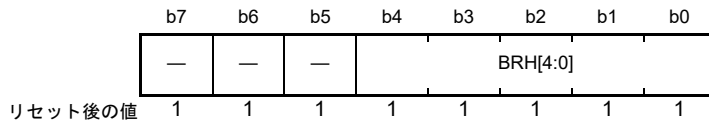
250 ns (~ 100 kbps : スタンダードモード (Sm))

100 ns (~ 400 kbps : ファストモード (Fm))

50 ns (~ 1 Mbps : ファストモードプラス (Fm+))

37.2.14 I²Cバスビットレート High レジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h, RIIC1.ICBRH 0008 8331h, RIIC2.ICBRH 0008 8351h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRH レジスタは SCL の High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロック (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRH レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

I²C 転送速度および SCL のデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ ((\text{ICBRH} + 1) + (\text{ICBRL} + 1)) / \text{IIC}\phi (\text{注1}) + \text{SCLn ライン立ち上がり時間 (tr)} \\ + \text{SCLn ライン立ち下がり時間 (tf)} \}$$

$$\text{デューティ比} = \{ \text{SCLn ライン立ち上がり時間 (tr)} (\text{注2}) + (\text{ICBRH} + 1) / \text{IIC}\phi \} / \{ \text{SCLn ライン立ち下がり時間 (tf)} (\text{注2}) \\ + (\text{ICBRL} + 1) / \text{IIC}\phi \}$$

注 1. IICφ = PCLK × 分周比

注 2. SCLn ライン立ち上がり時間 (tr)、SCLn ライン立ち下がり時間 (tf) は、バスライン総容量 (Cb) とプルアップ抵抗 (Rp) に依存します。詳細については NXP 社の I²C バス仕様書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 37.5 に示します。

表 37.5 転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)
1000	000b	2 (E2h)	3 (E3h)	000b	2 (E2h)	4 (E4h)	000b	3 (E3h)	6 (E6h)

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)
1000	000b	4 (E4h)	7 (E7h)	000b	5 (E5h)	9 (E9h)	000b	6 (E6h)	12 (ECh)

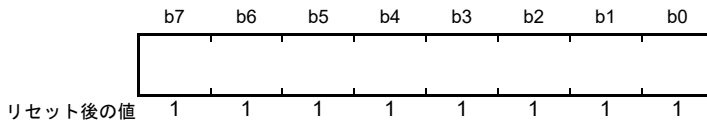
転送速度 (kbps)	動作周波数 PCLK (MHz)								
	30			32			33		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)	110b	22 (F6h)	26 (FAh)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)	100b	17 (F1h)	20 (F4h)
100	011b	14 (EEh)	17 (F1h)	011b	15 (EFh)	18 (F2h)	011b	16 (F0h)	19 (F3h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)	001b	9 (E9h)	21 (F5h)
1000	000b	7 (E7h)	14 (EEh)	000b	8 (E8h)	16 (F0h)	000b	8 (E8h)	16 (F0h)

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	40			50			60		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	111b	13 (EDh)	15 (EFh)	111b	16 (F0h)	20 (F4h)	111b	20 (F4h)	24 (F8h)
50	100b	21 (F5h)	24 (F8h)	100b	26 (FAh)	31 (FFh)	101b	15 (EFh)	18 (F2h)
100	011b	19 (F3h)	23 (F7h)	011b	24 (F8h)	29 (FDh)	100b	14 (EEh)	17 (F1h)
400	001b	11 (EBh)	25 (F9h)	010b	7 (E7h)	16 (F0h)	010b	8 (E8h)	19 (F3h)
1000	000b	10 (EAh)	20 (F4h)	000b	12 (ECh)	24 (F8h)	000b	15 (EFh)	29 (FDh)

注. SCLn ラインの立ち上がり時間(tr)を 100 kbps 以下 (Sm)は 1000 ns、400 kbps 以下 (Fm)は 300 ns、1 Mbps 以下 (Fm+)は 120 ns、SCLn ラインの立ち下がり時間(tf)を 400 kbps 以下 (Sm/Fm)は 300 ns、1 Mbps 以下 (Fm+)は 120 ns として計算した場合の設定例です。
SCLn ライン立ち上がり時間(tr)、SCLn ライン立ち下がり時間(tf)の値については NXP 社の I²C バス仕様書を参照してください。

37.2.15 I²C バス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h, RIIC1.ICDRT 0008 8332h, RIIC2.ICDRT 0008 8352h



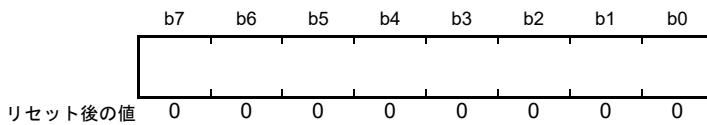
I²C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し / 書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

37.2.16 I²C バス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h, RIIC1.ICDRR 0008 8333h, RIIC2.ICDRR 0008 8353h



1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出さないまま (ICSR2.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグが次に“1”になるタイミングの 1 つ手前の SCL_n の立ち下がりで SCL_n ラインを Low にホールドします。

37.2.17 I²C バスシフトレジスタ (ICDRS)

ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDA_n 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

37.3 動作説明

37.3.1 通信データフォーマット

I²Cバスフォーマットは、8ビットのデータと1ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続く第一バイトは、アドレスバイトでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 37.2 に I²C バスフォーマットを、図 37.3 に I²C バスタイミングを示します。

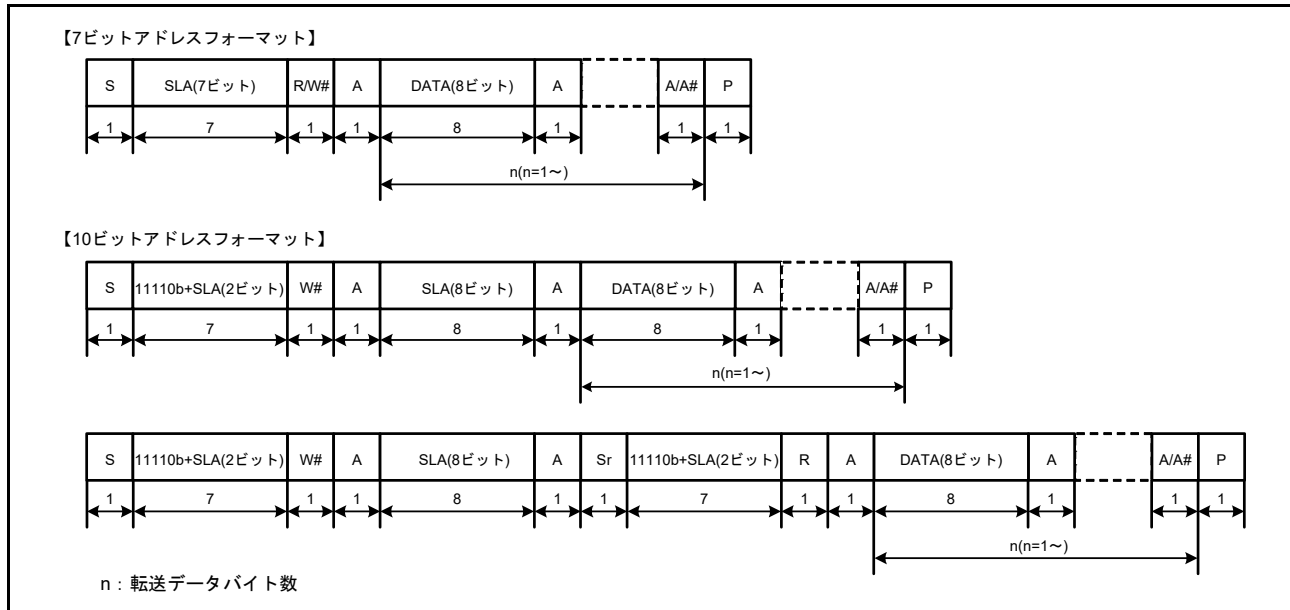


図 37.2 I²C バスフォーマット

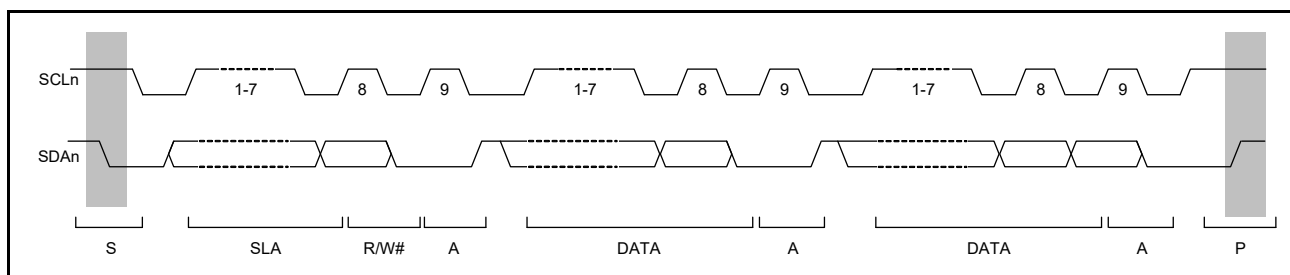


図 37.3 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SCLnラインがHighの状態でもSDAnラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A: アクノリッジを示します。受信デバイスがSDAnラインをLowにします(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A#: ノットアクノリッジを示します。受信デバイスがSDAnラインをHighにします。
- Sr: リスタートコンディションを示します。マスタデバイスが、SCLnラインがHighの状態でもセットアップ時間経過後にSDAnラインがHighからLowに変化します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SCLnラインがHighの状態でもSDAnラインがLowからHighに変化します。

37.3.2 初期設定

データの送信/受信を開始する場合、**図 37.4** に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを“0” (SCLn、SDAn 端子非駆動状態) にしたまま ICCR1.IICRST ビットを“1” (RIIC リセット) にした後、ICCR1.ICE ビットを“1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y = 0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については**図 37.4** 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0” (RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

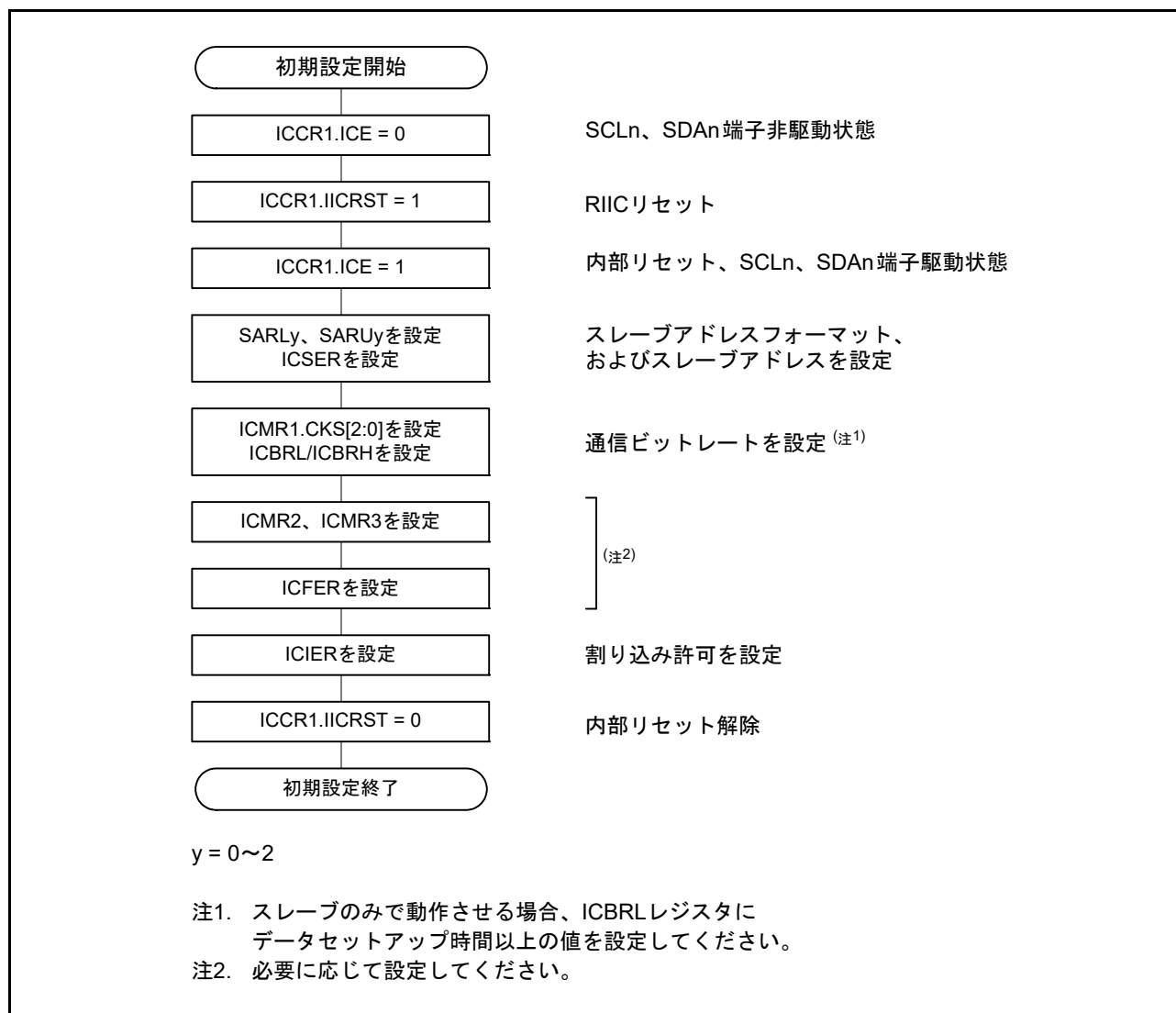


図 37.4 RIIC の初期化フローチャート例

37.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC がクロックを生成し、データを送信して、スレーブデバイスがアクノリッジを返します。図 37.5 にマスタ送信の使用例を、図 37.6 ~ 図 37.8 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「37.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます(スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA_n ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ(スレーブアドレスと R/W# ビット)を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“0”の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL_n ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.NACKF フラグが“1”になるか、ICSR2.TEND フラグが“1”になるまで待ってから ICCR2.SP ビットに“1”を書いてください(ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

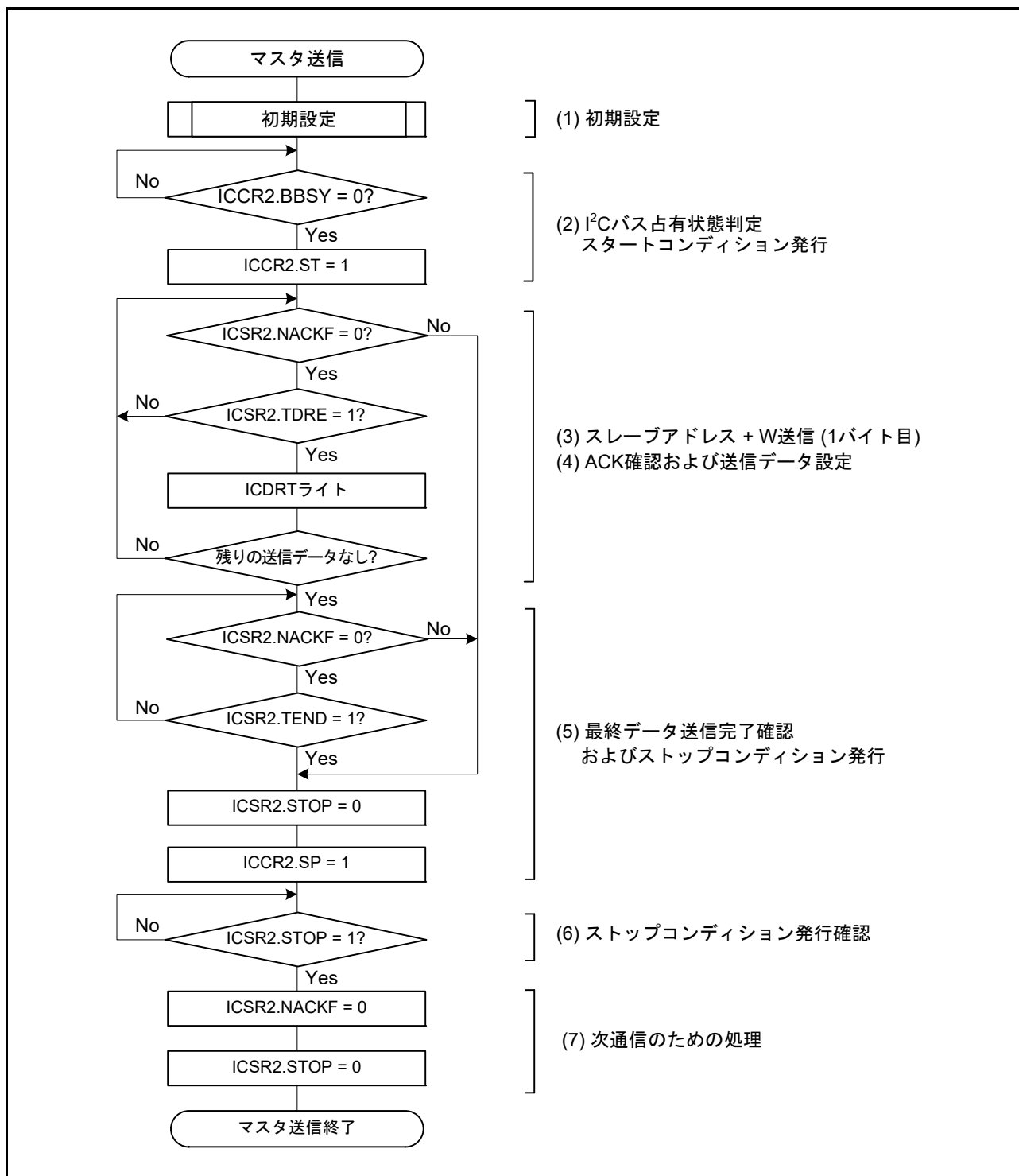


図 37.5 マスタ送信のフローチャート例

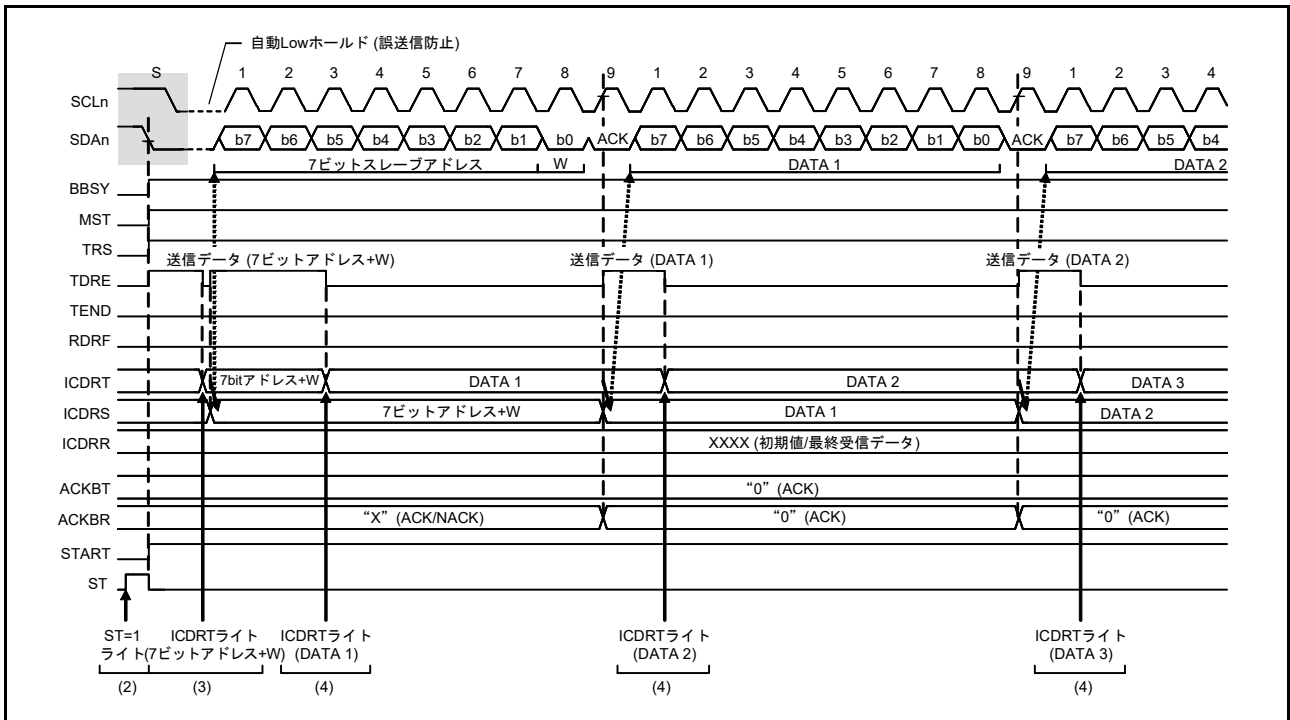


図 37.6 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットのとき)

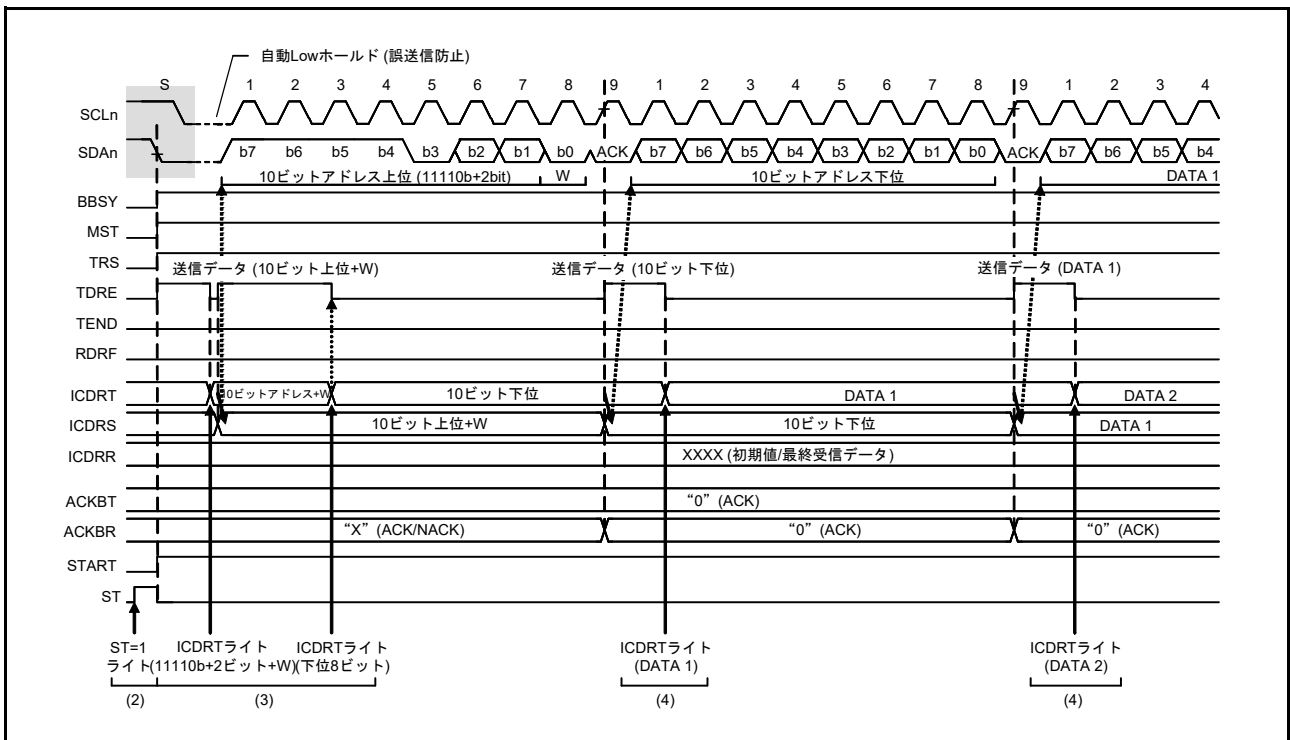


図 37.7 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットのとき)

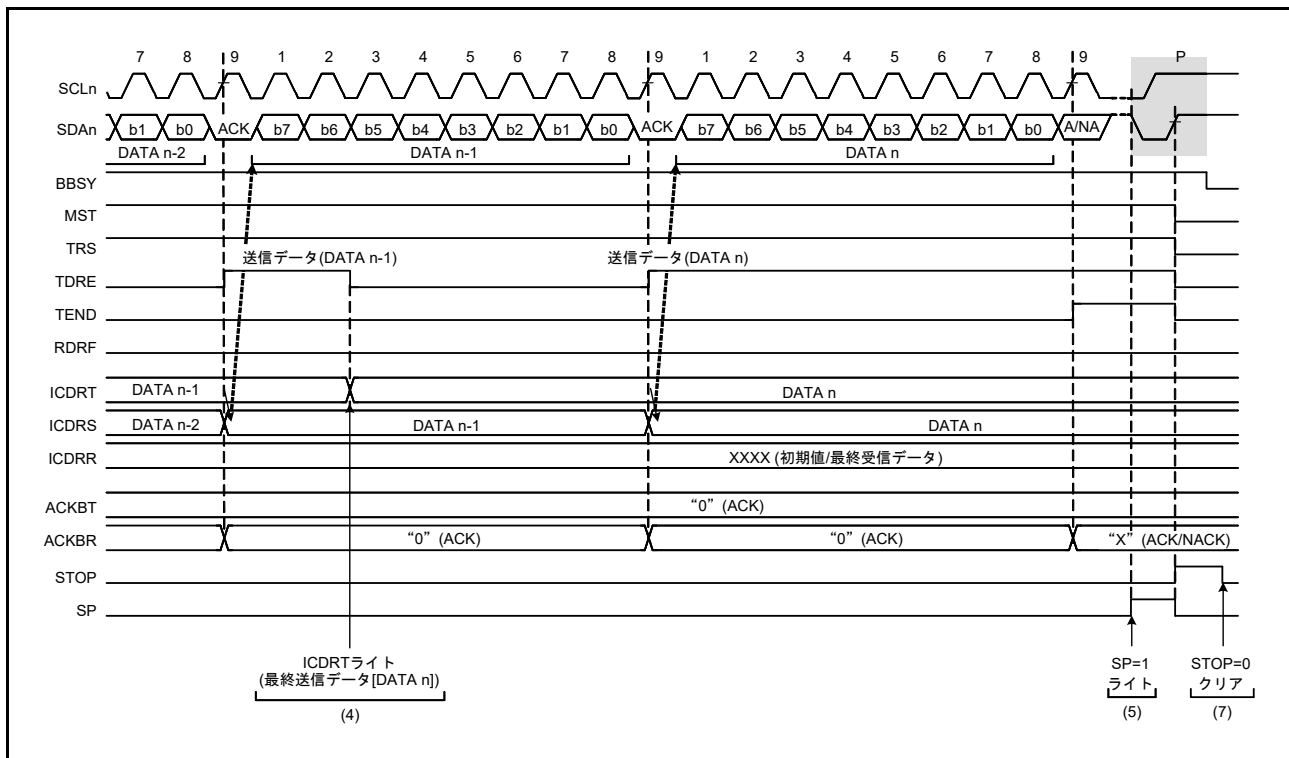


図 37.8 マスタ送信の動作タイミング (3)

37.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC がクロックを生成し、スレーブデバイスからデータを受信して、アックリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 37.9、図 37.10 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 37.11 ~ 図 37.13 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「37.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA_n ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“1”の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信

モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。

このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL を出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した 8 または 9 個目の SCL の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また 9 個目の SCL のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ (最終バイト - 2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がり で SCLn ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト - 1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCLn ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

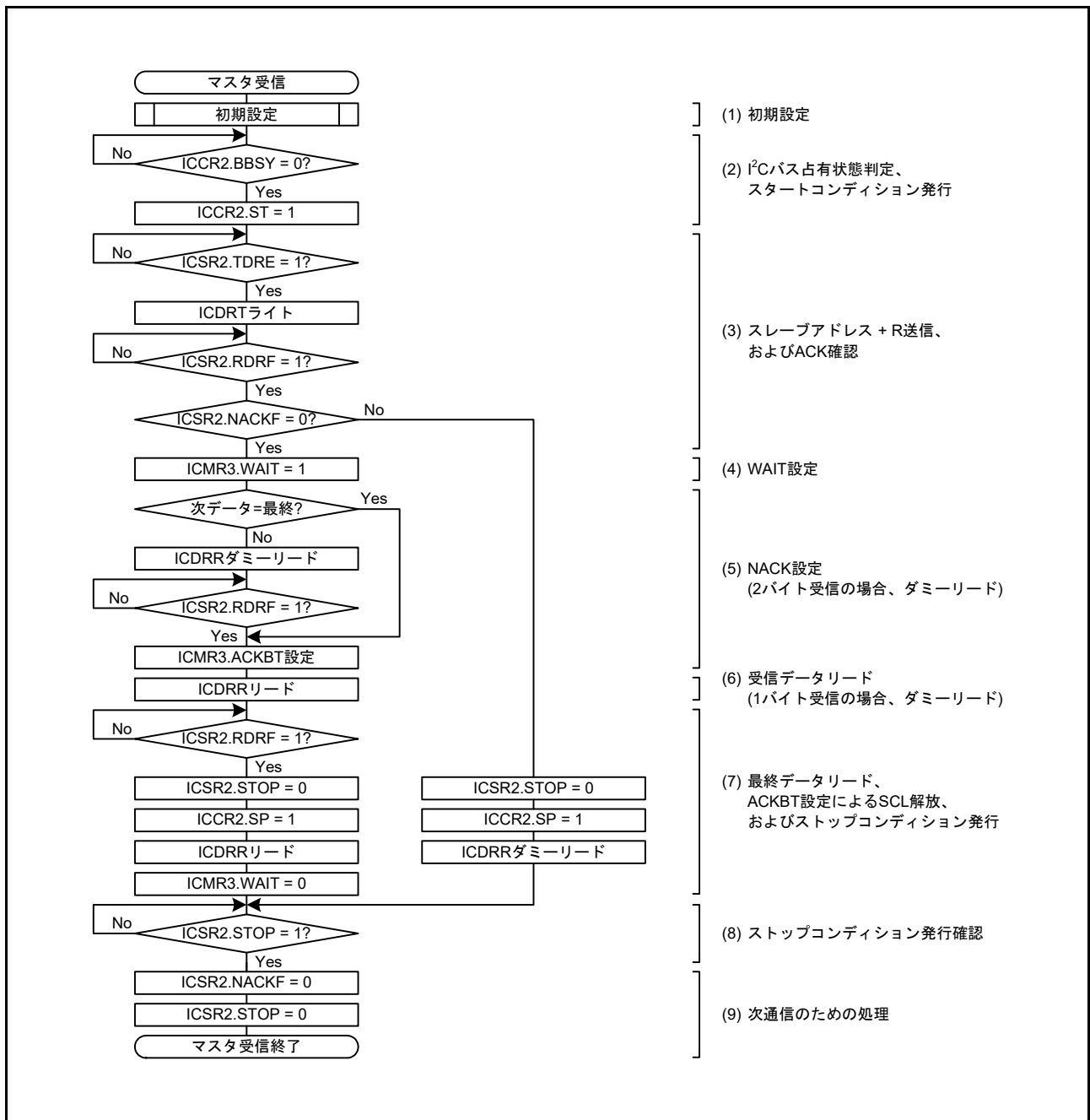


図 37.9 マスタ受信のフローチャート例 (7 ビットアドレスフォーマットの場合、2 バイト以下の場合)

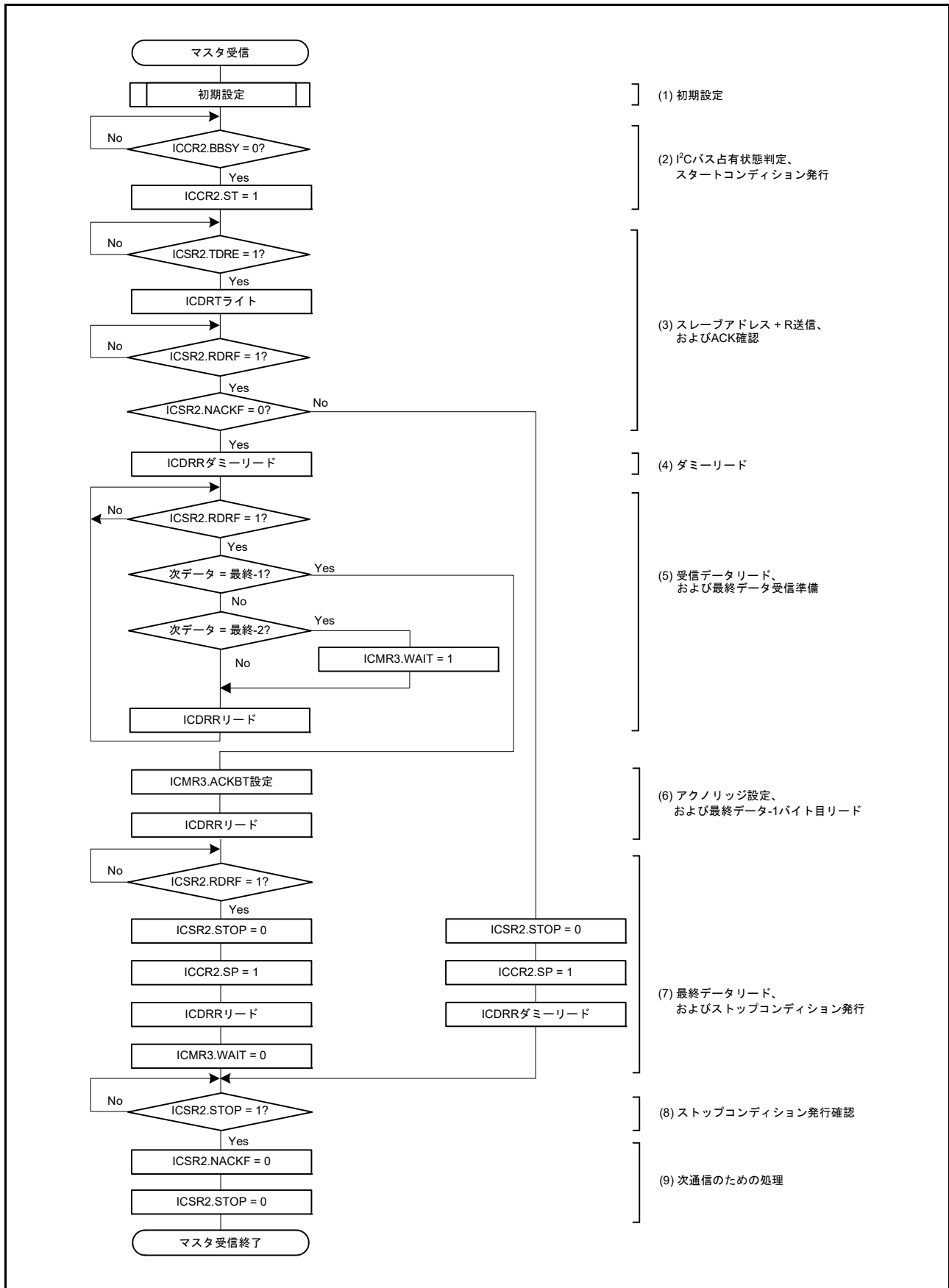


図 37.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

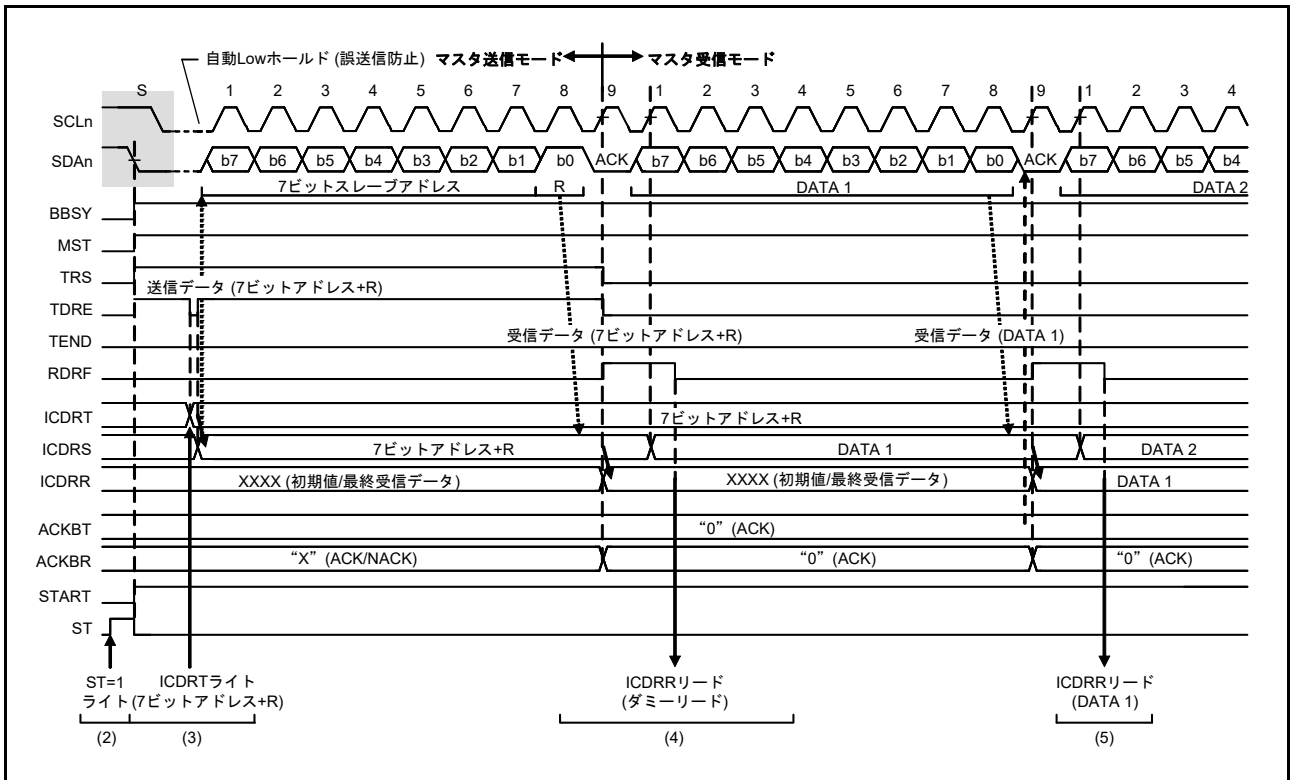


図 37.11 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

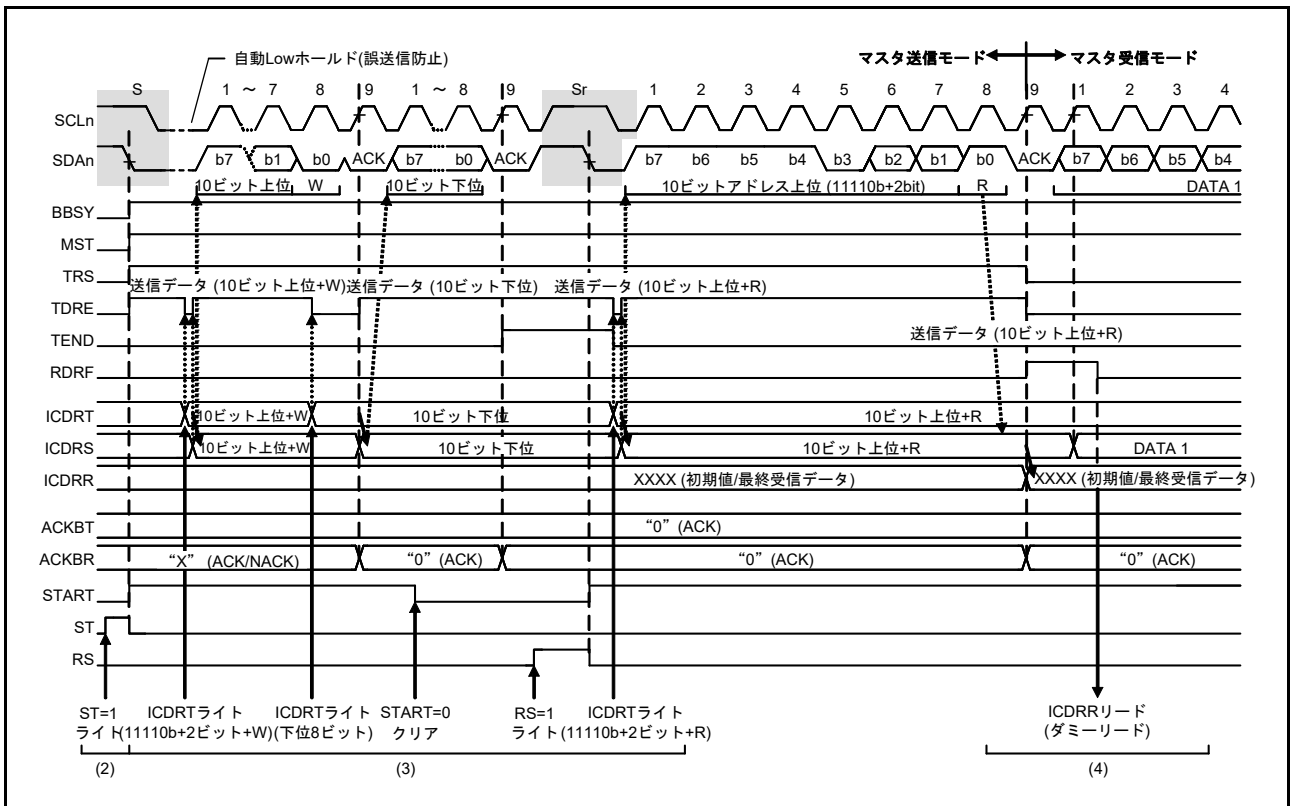


図 37.12 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

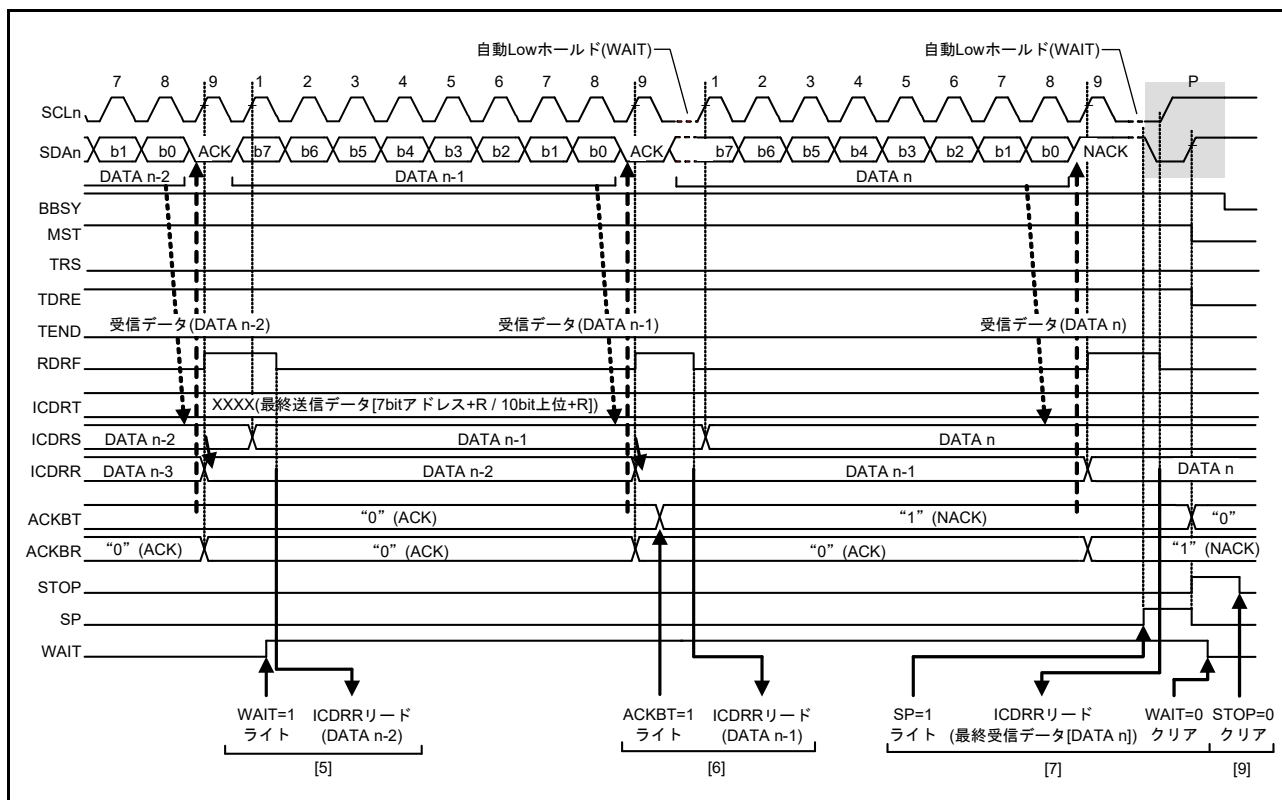


図 37.13 マスタ受信の動作タイミング (3) (RDRFS ビット = 0 のとき)

37.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL を出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクリッジを返します。

図 37.14 にスレーブ送信の使用例を示します。図 37.15、図 37.16 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「37.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0~2) のいずれかを“1”にし、9 個目の SCL のアクリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“1”のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが“1”の状態でもスタデバイスからアクリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが“1”になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが“1”の状態、ICSR2.TEND フラグが“1”になるまで待ってください。ICSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIIC は 9 クロック目の立ち下がり以降 SCLn ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが“1”または ICSR2.TEND フラグが“1”の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCLn ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0~2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に“0”にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

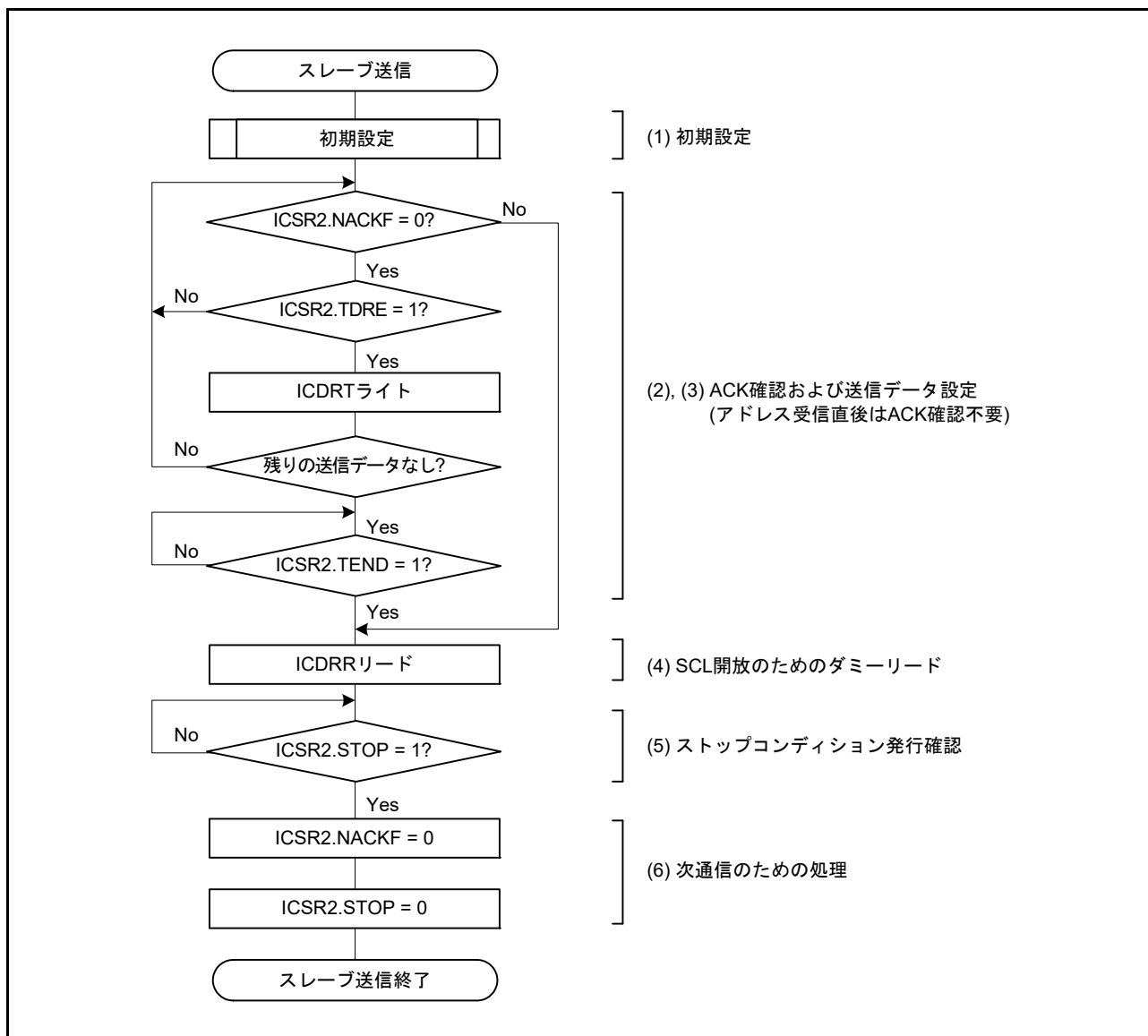


図 37.14 スレーブ送信のフローチャート例

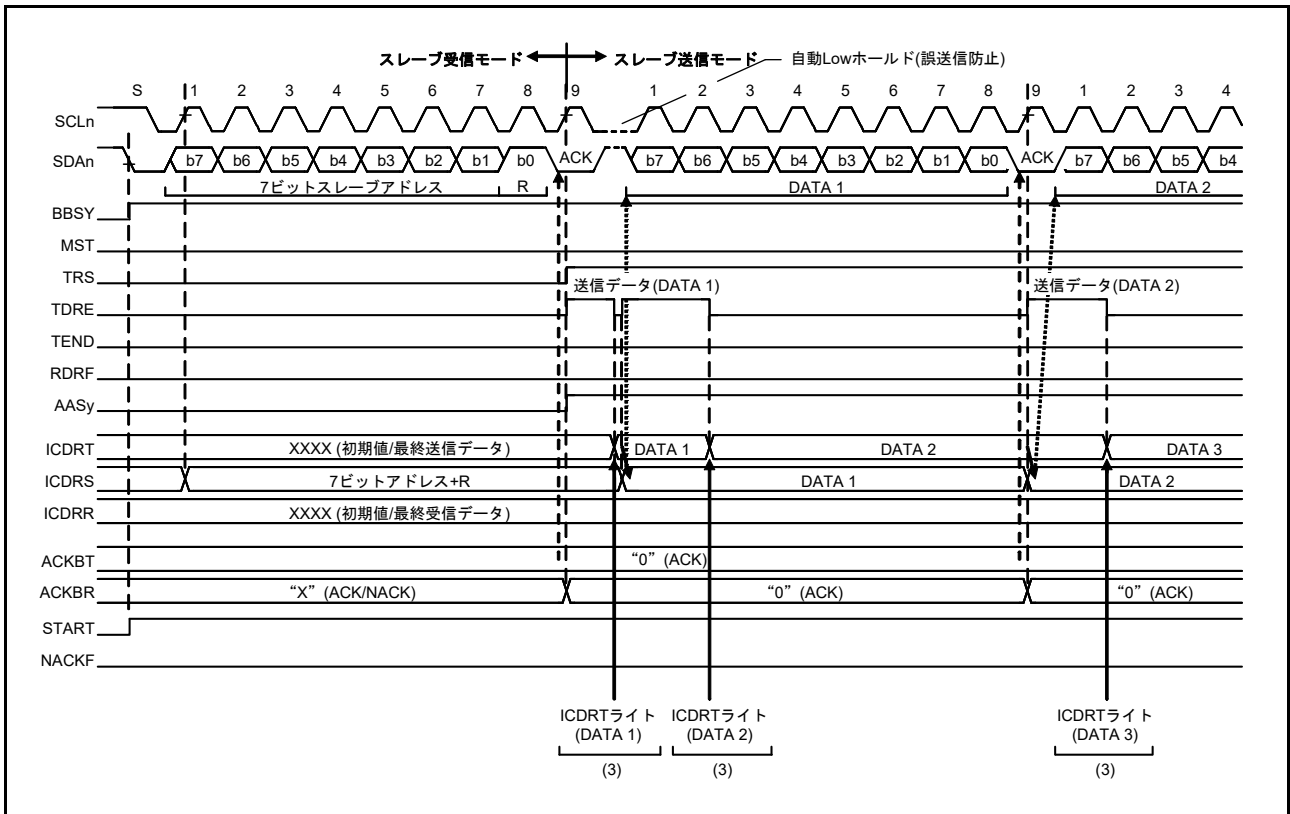


図 37.15 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

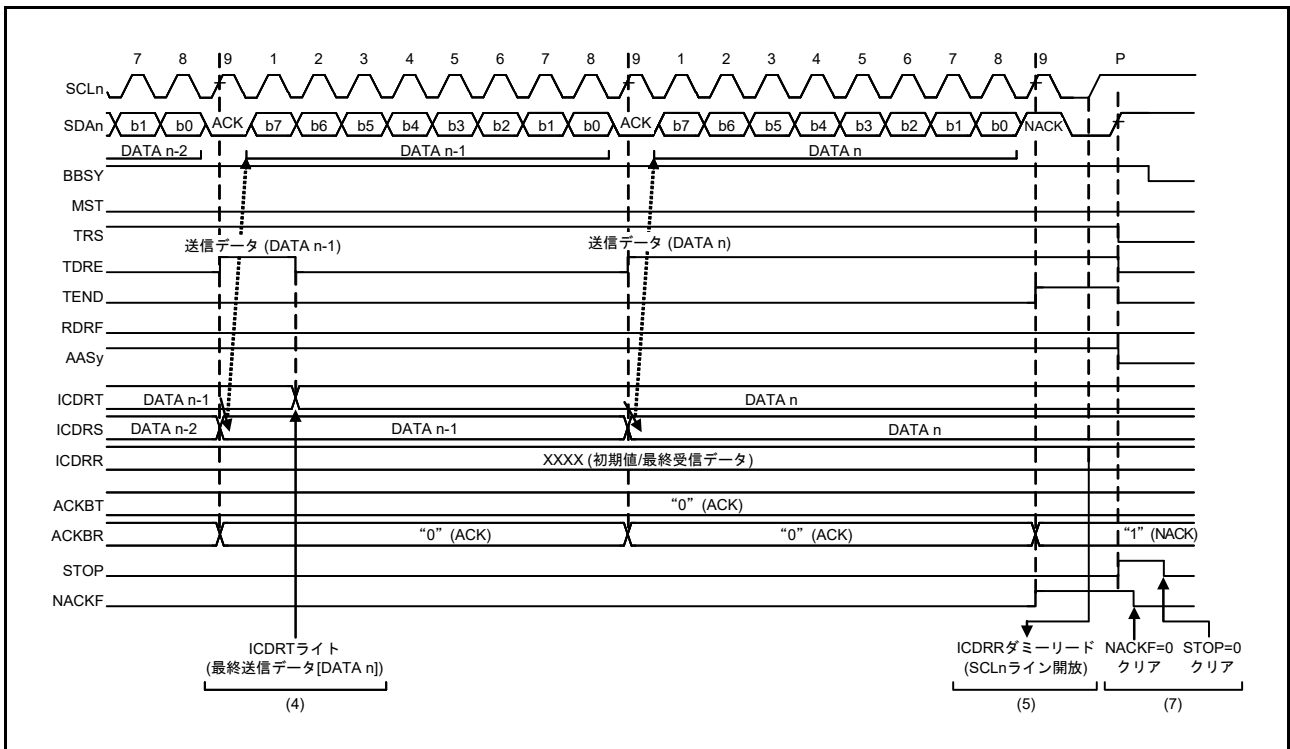


図 37.16 スレーブ送信の動作タイミング (2)

37.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL と送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 37.17 にスレーブ受信の使用例を図 37.18、図 37.19 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「37.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は 9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0~2) のいずれかを“1”にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に“0”にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL 立ち下がり SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCLn ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0~2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

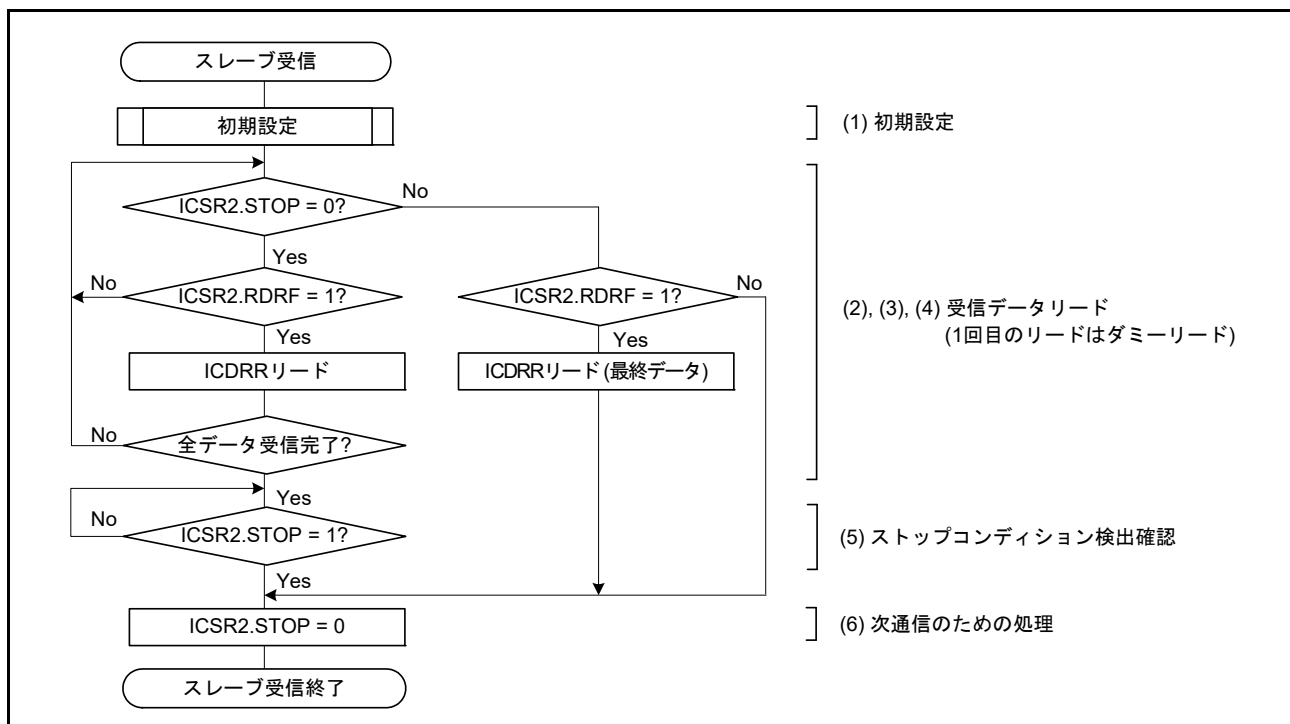


図 37.17 スレーブ受信のフローチャート例

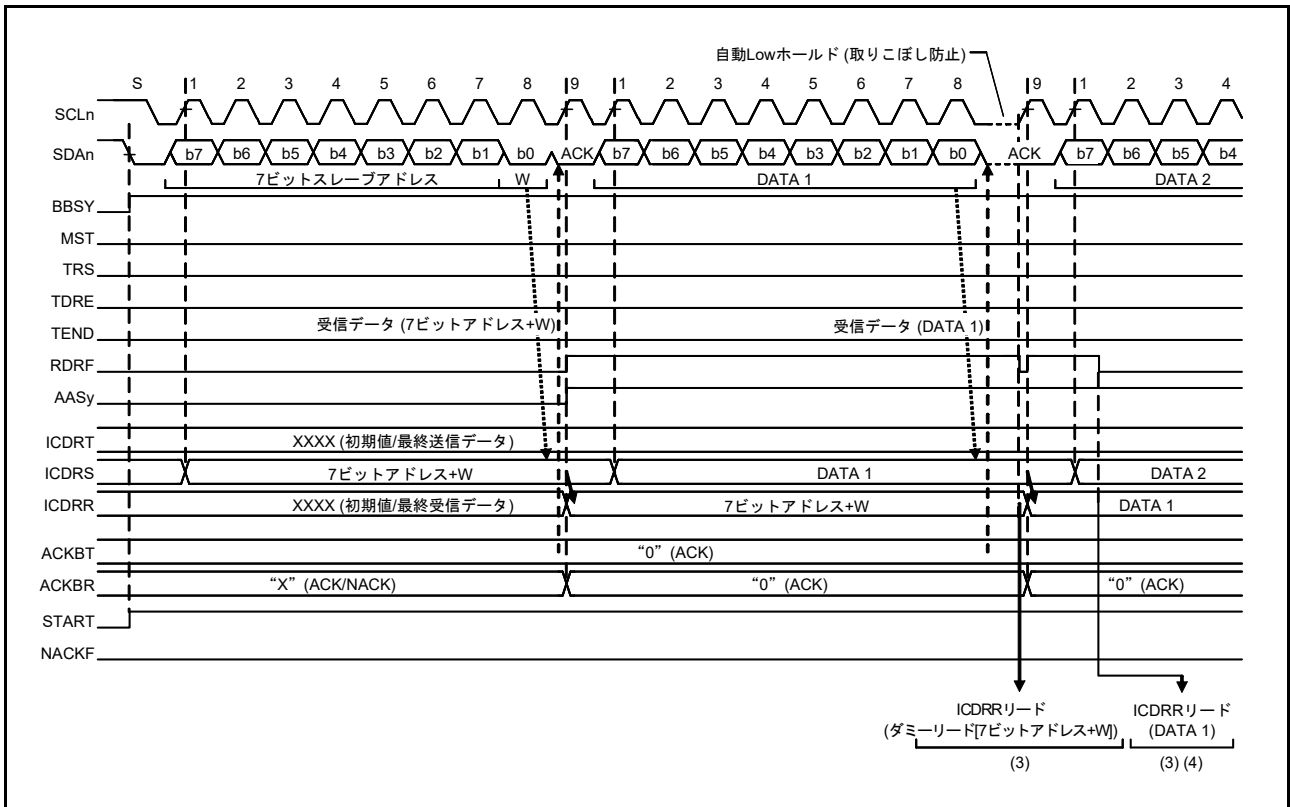


図 37.18 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

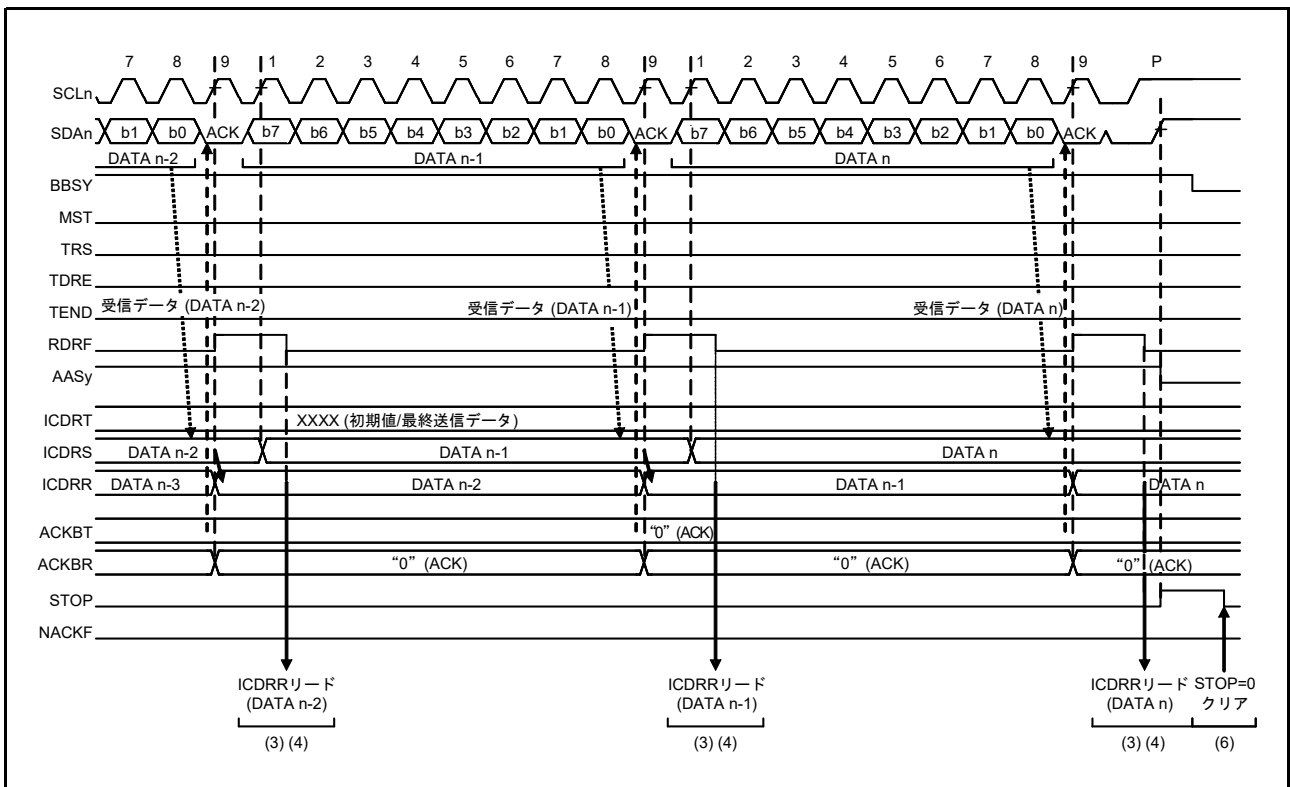


図 37.19 スレーブ受信の動作タイミング (2) (RDRFS ビット = 0 のとき)

37.4 SCL 同期回路

RIIC の SCL 生成は SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCLn ラインを Low にドライブして立ち下げます。また SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。これにより SCL を生成します。

I²C バスをマルチマスタで使用する場合、SCL は他のマスタデバイスとの競合により SCL 同士が衝突する場合があります。SCL が衝突した場合、マスタデバイスは SCL の同期化を行う必要があります。この SCL の同期はビットごとに行う必要があり、RIIC はマスタモード時に SCLn ラインを監視してビットごとに同期を取りながら SCL を生成する機能 (SCL 同期回路) を備えています。

RIIC が SCLn ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL 出力により SCLn ラインが立ち下げられた場合、RIIC は SCLn ラインの立ち下がりを検出すると High 幅のカウンタアップ動作を中断し、SCLn ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。このとき他のマスタデバイスの SCL の Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL の Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインが開放され SCL が立ち上がります。そのため SCL 出力衝突時の SCL の High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

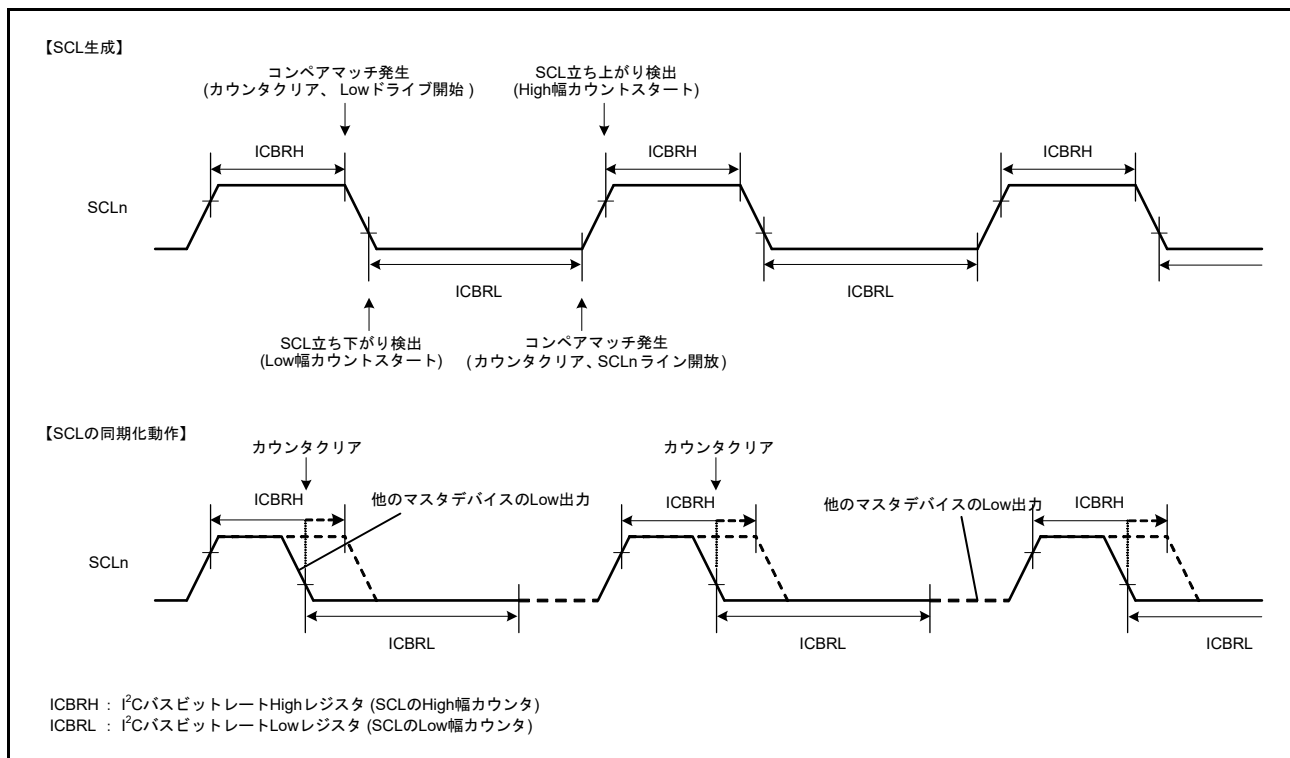


図 37.20 RIIC の SCL 生成および SCL 同期化動作

37.5 SDA出力遅延機能

RIICはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング(発行動作(スタート/リスタート/ストップコンディション)、データ出力、ACK/NACK出力)を遅延させることができます。

SDA出力遅延機能は、SCLの立ち下がり検出からSDA出力を遅延させ、確実にSCLのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用します。また、SMBusのデータホールド時間: 300 ns (min)の仕様を満たす目的でも使用することができます。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効(SDDL[2:0]ビットが“000b”以外)のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック(IICφ)またはその2分周クロック(IICφ/2)をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行います。遅延サイクル分のカウントが終了した時点でRIICはSDA出力(発行動作(スタート/リスタート/ストップコンディション)、データ出力、ACK/NACK出力)を行います。

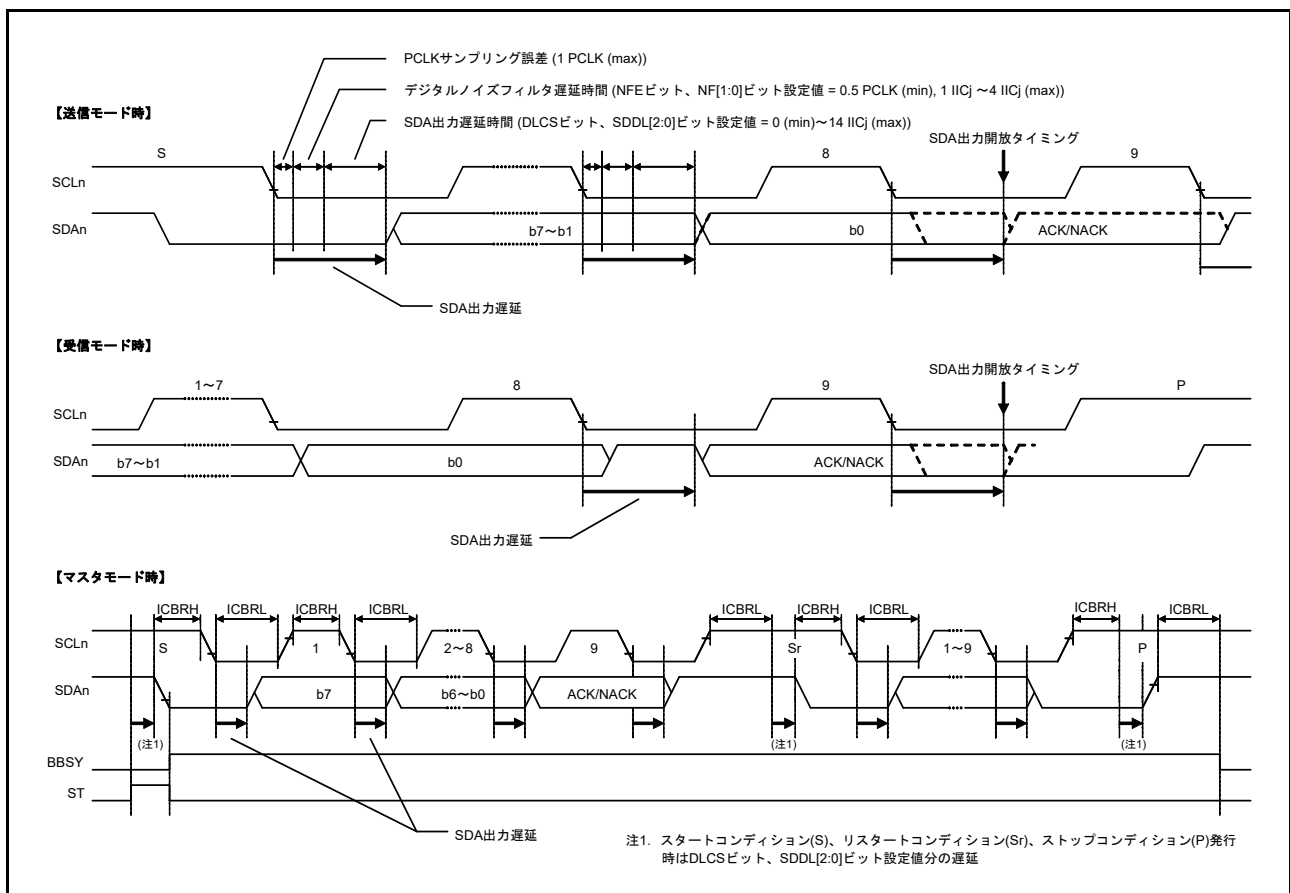


図 37.21 SDA出力遅延タイミング

37.6 デジタルノイズフィルタ回路

SCLn 端子および SDA_n 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。

図 37.22 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1 IIC_φ ~ 4 IIC_φ サイクル分となります。

SCLn 端子入力信号 (または SDA_n 端子入力信号) は IIC_φ の立ち下がりでもサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK = 4 MHz 時の 400 kbps 通信のように内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上、ノイズ発生時に必要な信号まで除去してしまう場合がありますので注意してください。

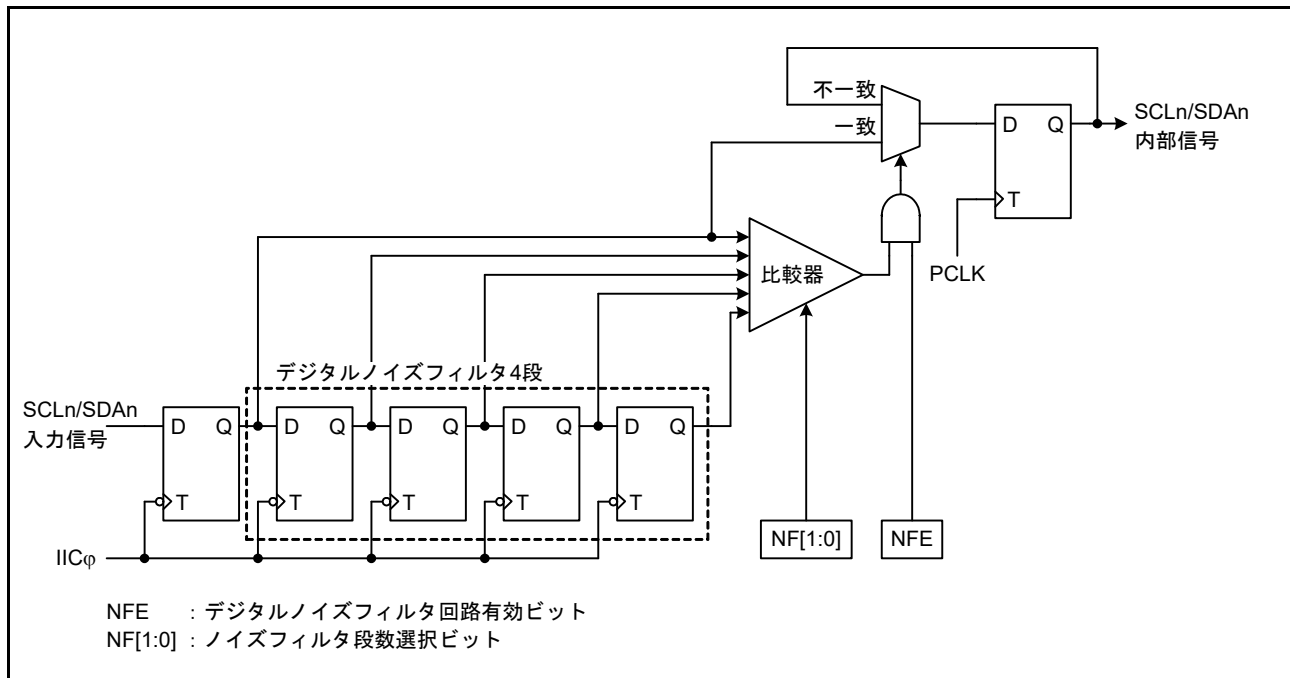


図 37.22 デジタルノイズフィルタ回路のブロック図

37.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

37.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット(y=0~2)が“1”のとき、SARUy/SARLyレジスタ(y=0~2)に設定されたスレーブアドレスを検出することができます。

RIICは設定されたスレーブアドレス一致を検出すると、9個目のSCLの立ち上がりで該当するICSR1.AASyフラグ(y=0~2)を“1”にし、このとき受信したR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み(RXI)または送信データエンピ割り込み(TXI)を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図37.23~図37.25にAASyフラグが“1”になるタイミングを示します。

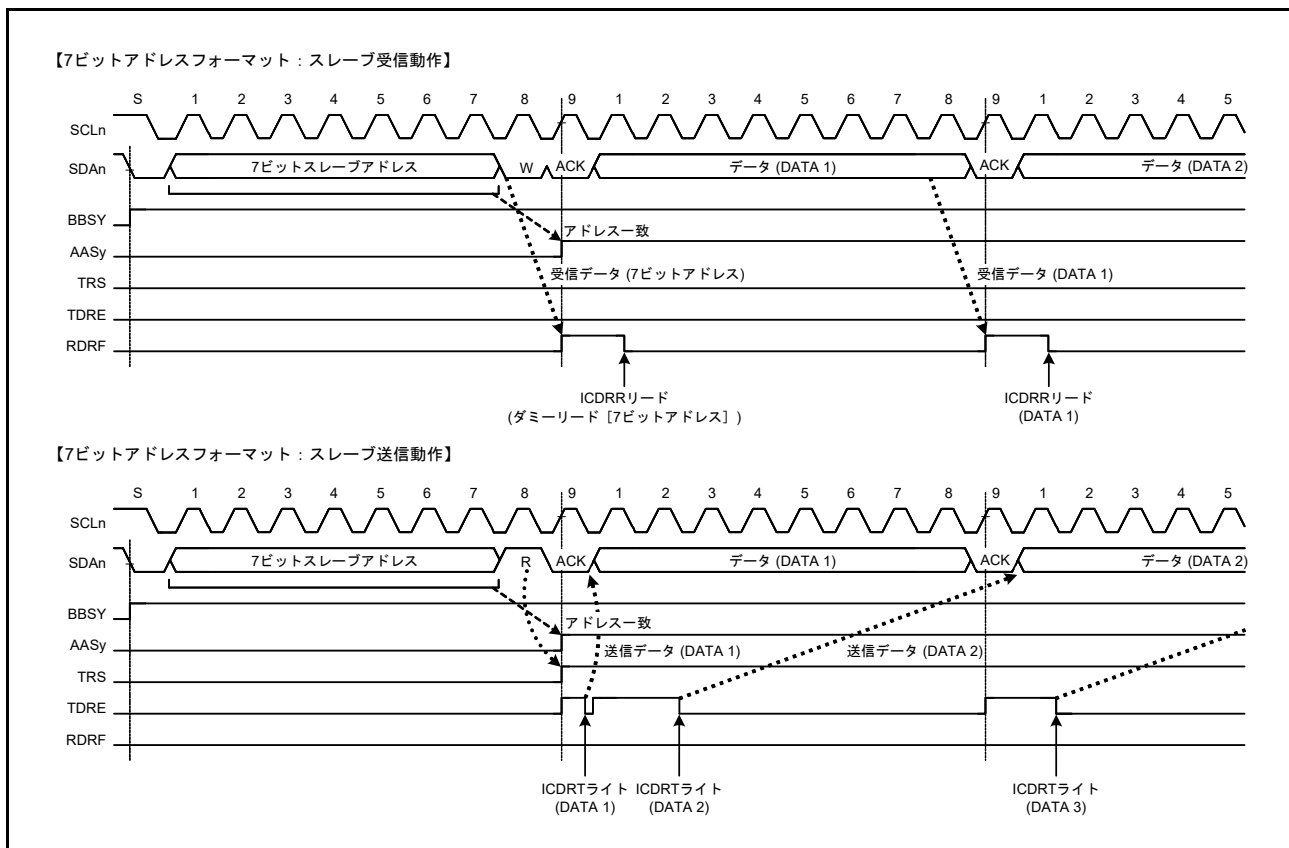


図 37.23 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

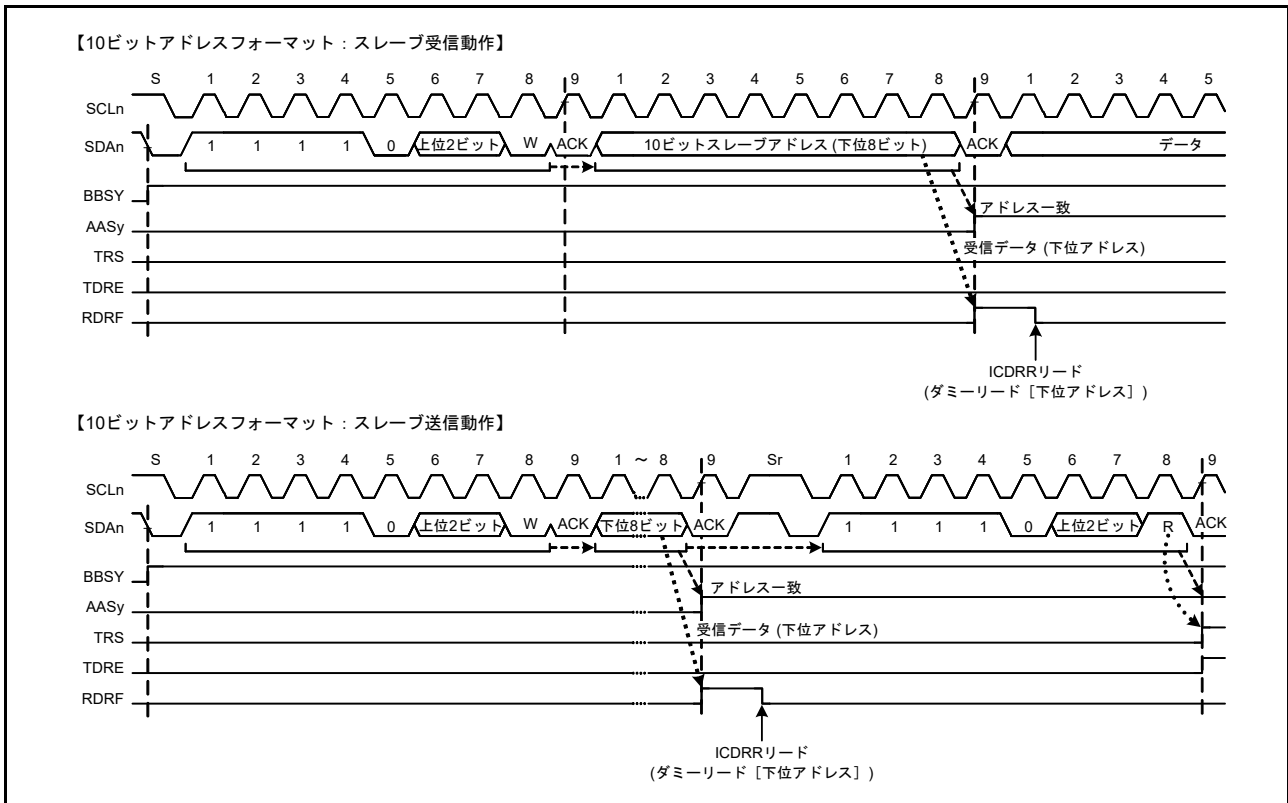


図 37.24 10ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

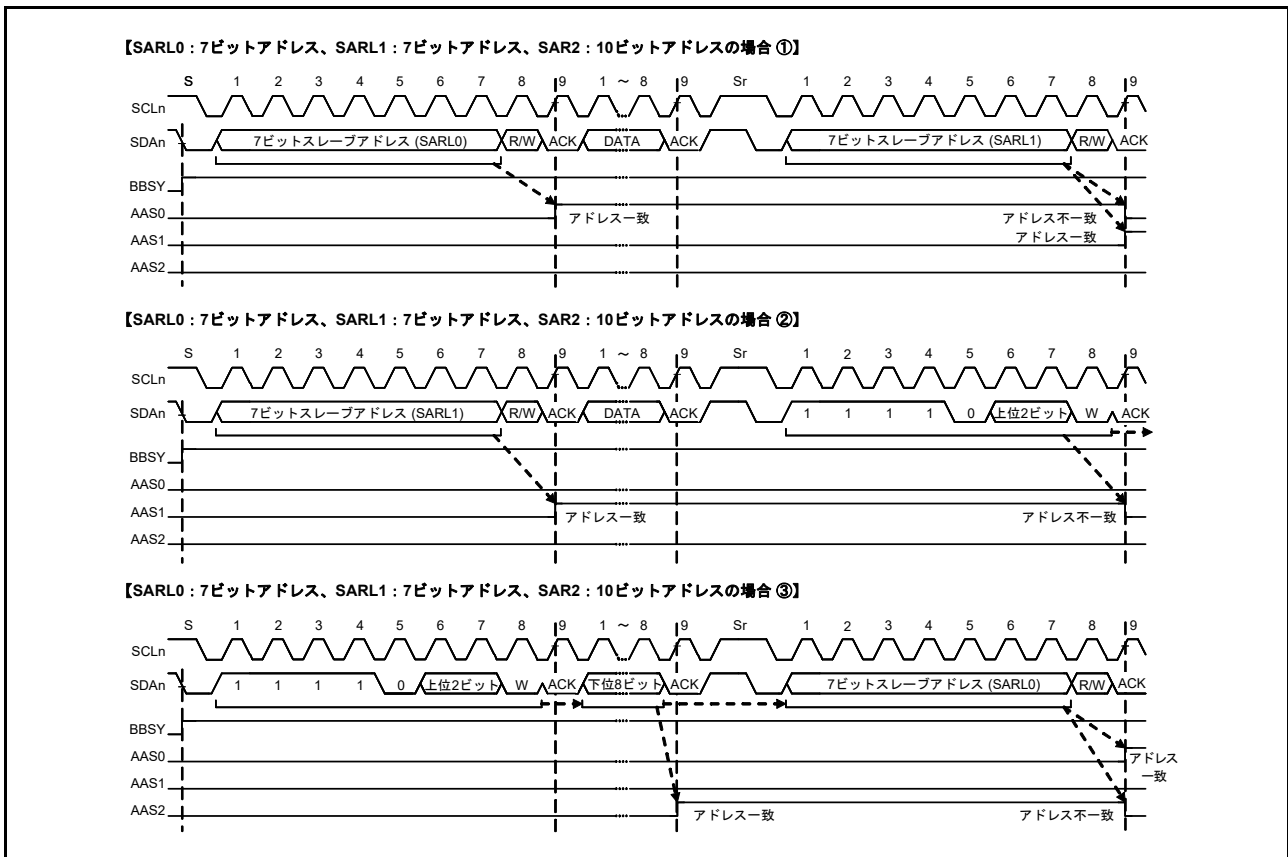


図 37.25 7ビット/10ビットアドレスフォーマット混在時にAASyフラグが“1”または“0”になるタイミング

37.7.2 ジェネラルコールアドレス検出機能

RIICはジェネラルコールアドレス (0000 000b + 0 (write)) の検出機能を備えています。ICSER.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1 (read) (スタートバイト) だった場合、RIICはこのアドレスを All “0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、9個目のSCLの立ち上がりでICSR1.GCAフラグを“1”にし、同時にICSR2.RDRFフラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCAフラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

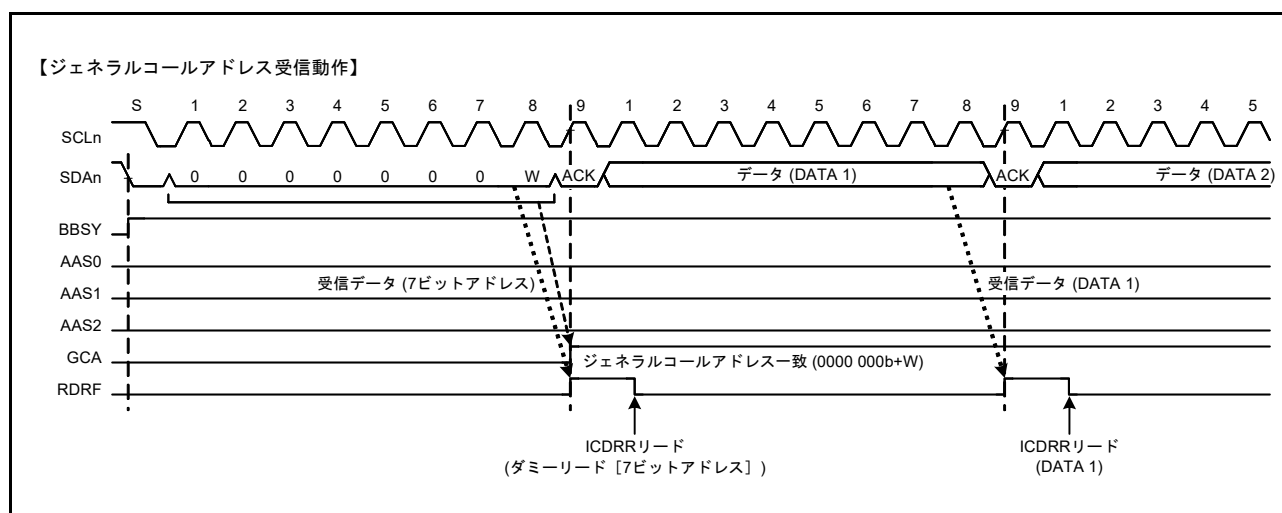


図 37.26 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

37.7.3 デバイス ID アドレス検出機能

RIICはI²Cバス仕様に準拠したデバイスIDアドレスの検出機能を備えています。ICSR.DIDEビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RIICはこのアドレスをデバイスIDアドレスと認識し、続くR/W#ビットが“0”のとき9個目のSCLの立ち上がりでICSR1.DIDフラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当するICSR1.AAS_yフラグ(y=0~2)が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイスIDアドレス(1111 100b)と一致し、続くR/W#ビットが“1”のときRIICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDREフラグを“1”にします。

デバイスIDアドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイスIDアドレスと不一致の場合、DIDフラグを“0”にし、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイスIDアドレス(1111 100b)と一致し、かつR/W#ビットが“0”のときDIDフラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W#ビットが“1”の場合、DIDフラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDREフラグが“1”であることを確認後DIDフラグをチェックすることで、デバイスIDを受信したことを確認することができます。

なお、一連のデバイスID受信後にホストに送信するデバイスIDフィールドとして必要な情報(3バイト分: メーカー[12ビット]+部品識別[9ビット]+リビジョン[3ビット])は、通常の送信データと同様あらかじめ準備してください。また、デバイスIDフィールドに必要な情報の詳細についてはNXP社にお問い合わせください。

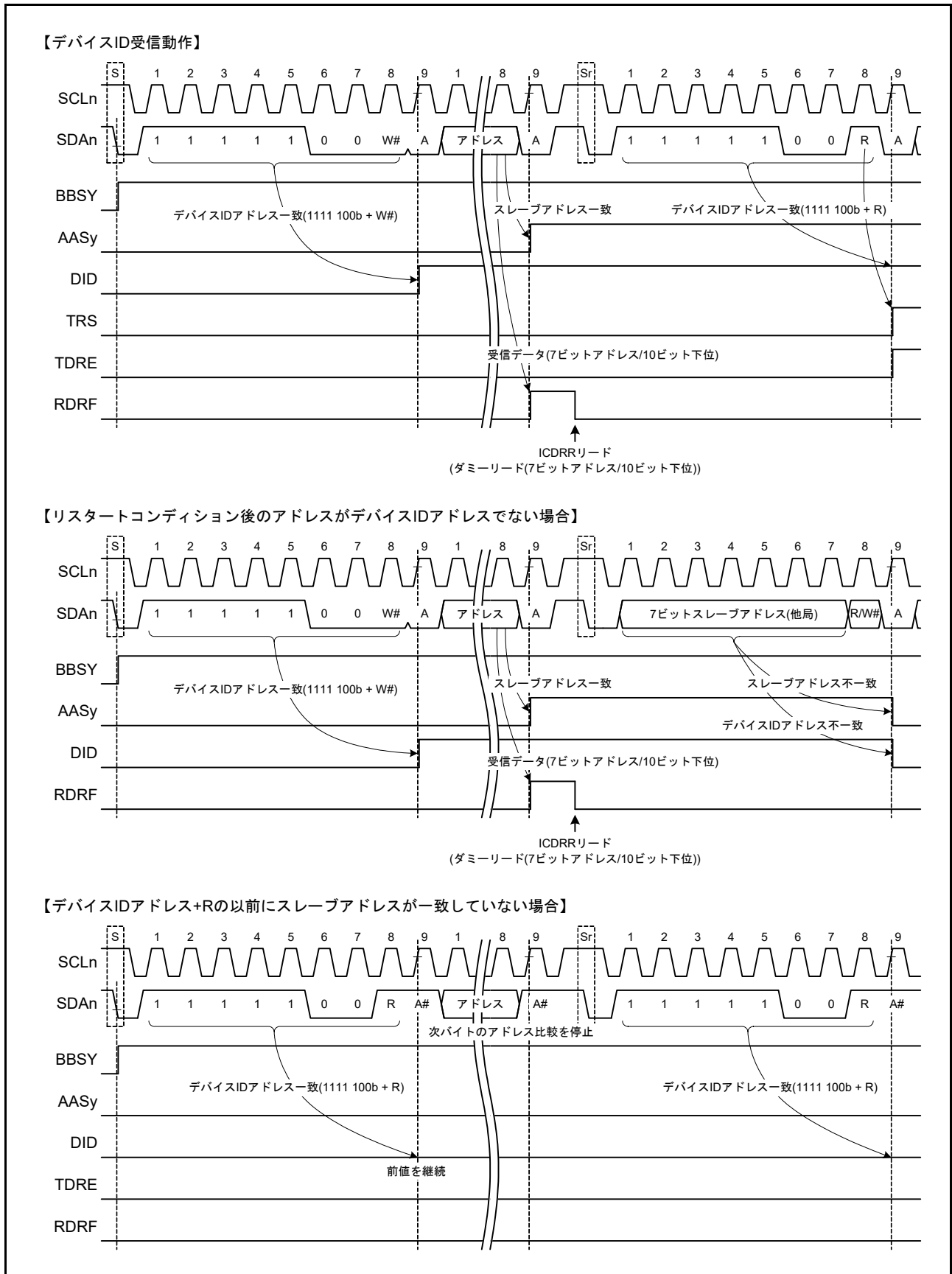


図 37.27 デバイス ID アドレス受信時の AASy、DID フラグセット / クリアタイミング

37.7.4 ホストアドレス検出機能

RIICには SMBus 動作時にホストアドレス検出機能を備えています。ICMR3.SMBS ビットが“1”のとき ICSEH.HOAE ビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRS ビット = 00b) にホストアドレス (0001 000b) を検出することが可能です。

RIICはホストアドレスを検出すると、9個目の SCL の立ち上がりで ICSR1.HOA フラグを“1”にし、Wr ビット (R/W# ビットに“0”を受信) のとき ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、HOA フラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

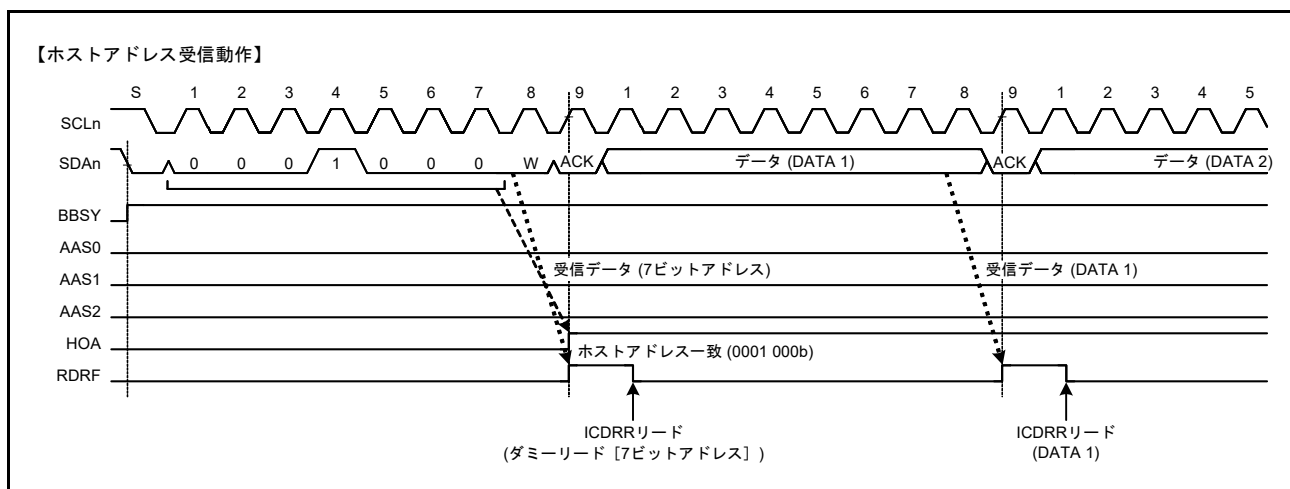


図 37.28 ホストアドレス受信時に HOA フラグが“1”になるタイミング

37.8 SCLの自動Lowホールド機能

37.8.1 送信データ誤送信防止機能

RIICは送信モード時 (ICCR2.TRS ビット=1)、シフトレジスタ (ICDRS レジスタ) が空の状態かつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の間の Low 区間

《スレーブ送信モード》

- 9クロック目と1クロック目の間の Low 区間

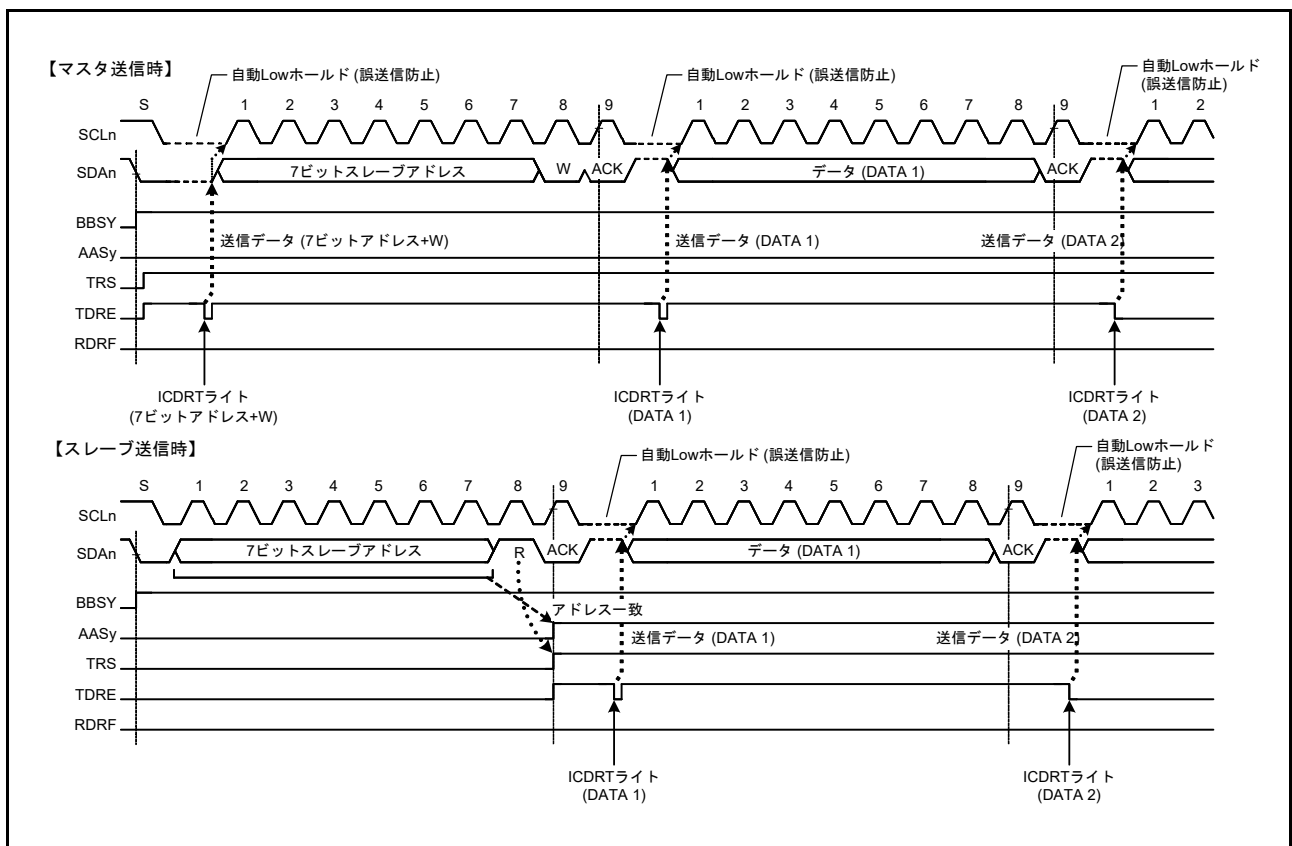


図 37.29 送信モードの自動 Low ホールド動作

37.8.2 NACK 受信転送中断機能

RIICは送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKE ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、9 個目の SCL の立ち上がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA_n ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。マスタ送信モードの場合には、リスタートコンディション発行後に NACKF フラグを “0” にして動作をやり直すか、ストップコンディション発行後に NACKF フラグを “0” にし、その後スタートコンディションの発行からやり直してください。

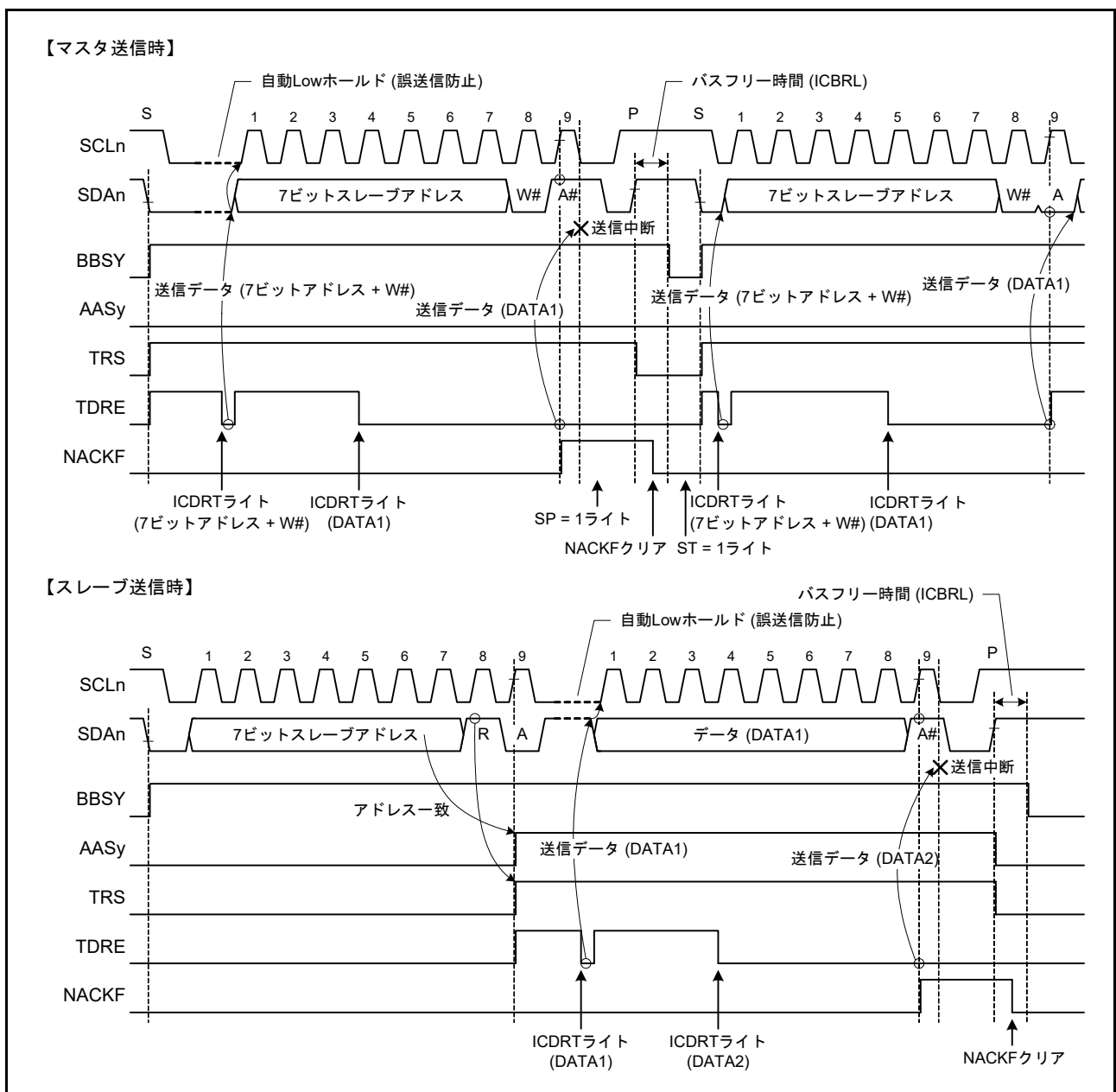


図 37.30 NACK 受信時の転送中断動作 (NACKE ビット = 1 のとき)

37.8.3 受信データ取りこぼし防止機能

RIICは受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが1転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の1つ手前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIICでは ICMR3.WAIT ビットと RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる1バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIICは WAIT ビット機能による1バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIICは SCL の8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9クロック目の立ち下がりを検出すると WAIT ビット機能により自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため1バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

(2) RDRFS ビットによる1バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIICは RDRFS ビット機能による1バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングが8個目の SCL の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

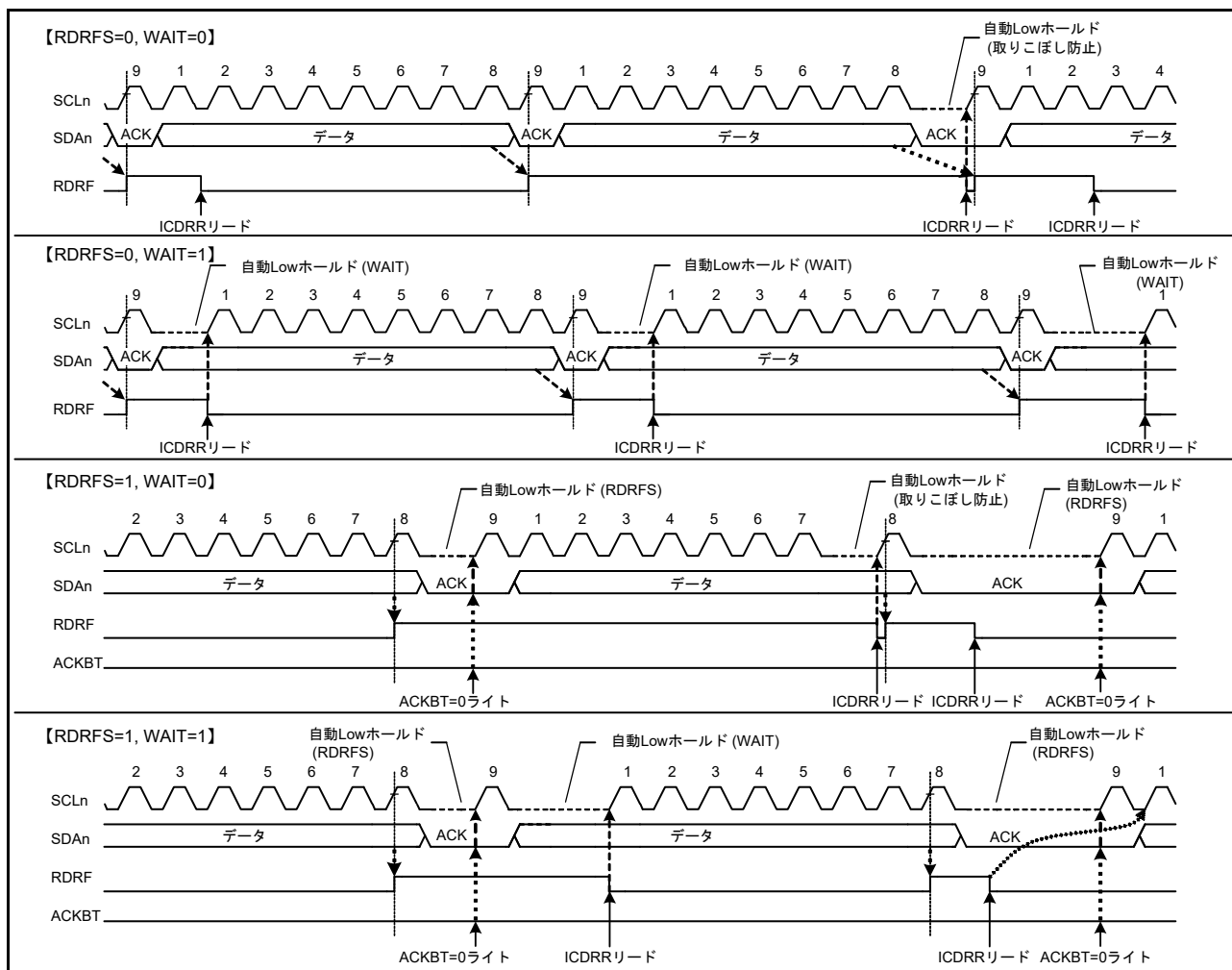


図 37.31 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

37.9 アービトレーションロスト検出機能

RIICにはI²Cバス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

37.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDAnラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAnラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1”(バスビジー)のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ(SDA信号)とSDAnラインに不一致が生じた場合(SDA出力がHigh(SDAn端子はハイインピーダンス)で、SDAnラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおRIICは、ICFER.MALEビットが“1”(マスタアービトレーションロスト検出許可)の状態以下に示す条件が成立したとき、マスタアービトレーションロストを検出します。

マスタアービトレーションロスト検出条件

- ICCR2.BBSYフラグが“0”の状態(ICCR2.STビットを“1”)にしてスタートコンディションを発行したときに、SDA信号とSDAnライン上の信号の状態が不一致のとき(スタートコンディション発行エラー)
- ICCR2.BBSYフラグが“1”の状態(ICCR2.STビットを“1”)にしたとき(スタートコンディション二重発行エラー)
- マスタ送信モード時(ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ(SDA信号)とSDAnライン上の信号の状態が不一致のとき

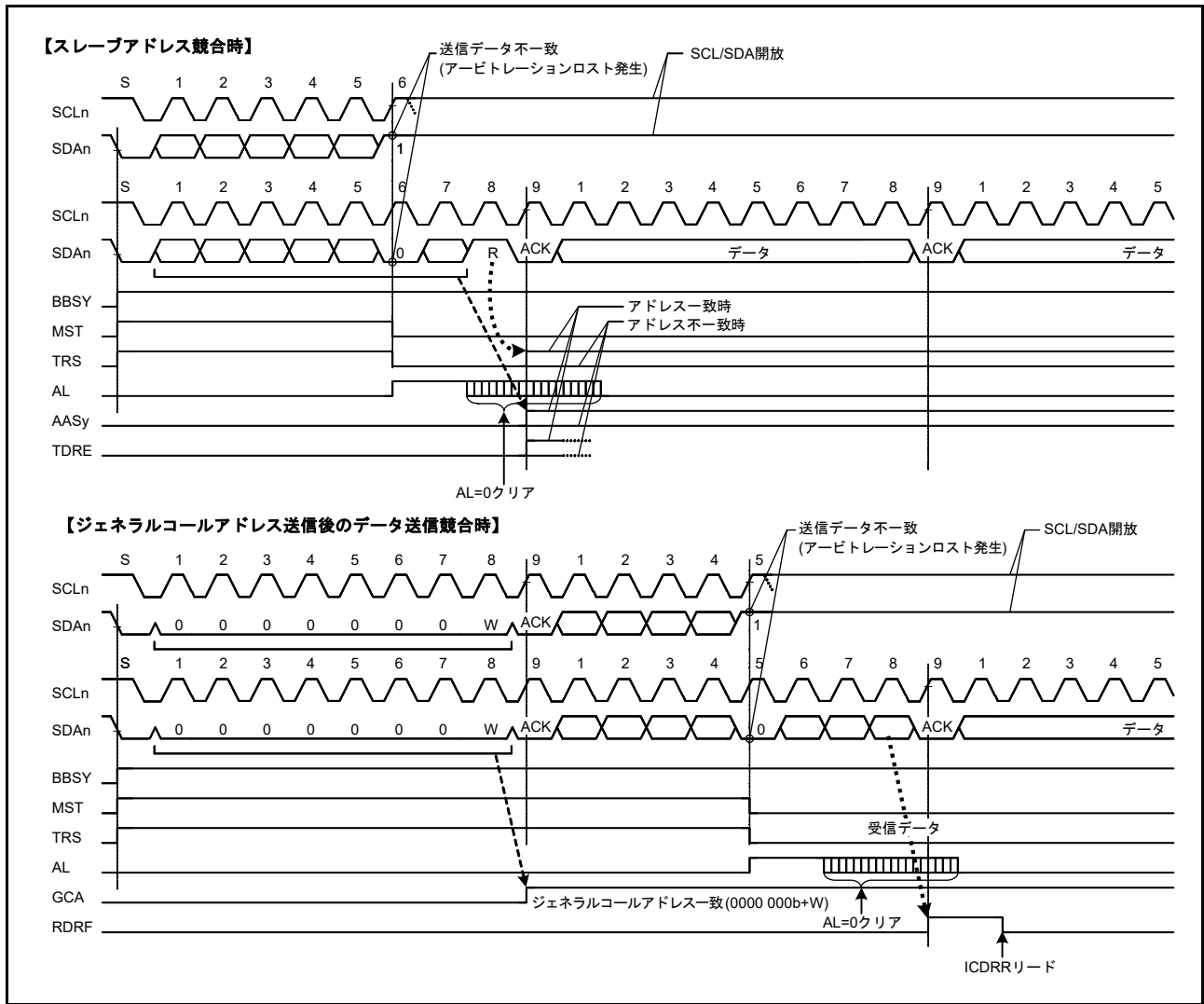


図 37.32 マスタアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

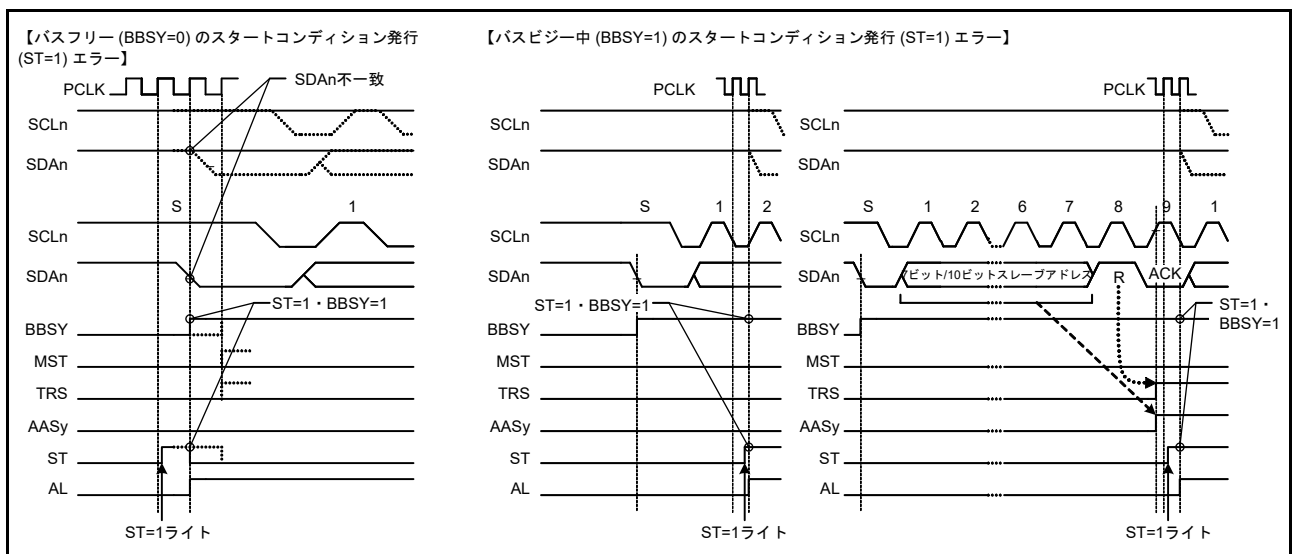


図 37.33 スタートコンディション発行時のアービトレーションロスト (MALE ビット = 1 のとき)

37.9.2 NACK 送信アービトレーションロス検出機能 (NALE ビット)

RIICは受信モード時でNACK送信時に出力したSDA信号とSDAnライン上の信号の状態が不一致の場合(SDA出力がHigh(SDAn端子はハイインピーダンス)で、SDAnラインにLowを検出したとき)、アービトレーションロストを発生させる機能を備えています。NACK送信アービトレーションロストは、主にマルチマスタのシステムにおいて2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK送信とACK送信が衝突することで発生します。これは2つ以上のマスタデバイスが1つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図37.34にNACK送信アービトレーションロス検出動作例を示します。

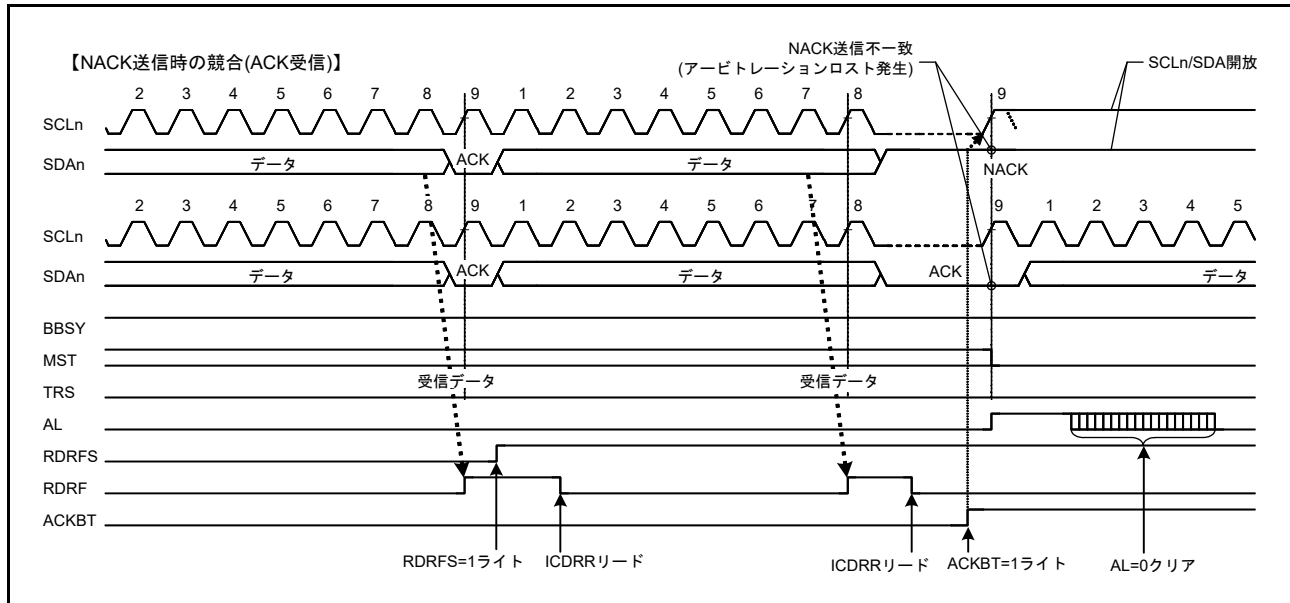


図 37.34 NACK 送信アービトレーションロス検出動作例 (NALE ビット = 1 のとき)

2つのマスタデバイス(マスタA、マスタB)と1つのスレーブデバイスがバス上に接続されている場合に挙げて説明します。マスタAはスレーブデバイスから2バイト受信、マスタBはスレーブデバイスから4バイト分のデータ受信を行うものとします。

このときマスタAとマスタBが同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタA、マスタBともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタA、マスタBともどちらもバス権を取得したものと認識して動作します。ここでマスタAは、スレーブデバイスから最終バイトである2バイト目の受信が完了した時点でNACKを送信します。一方マスタBは、スレーブデバイスから必要な4バイト受信に満たないためACK送信を行います。このときマスタAのNACK送信とマスタBのACK送信の衝突が発生します。このような状況が発生した場合、マスタAはマスタBが出したACK送信を検出できないままストップコンディション発行動作を行うため、マスタBのSCL出力と競合し通信を阻害します。

RIICはこのようなNACK送信時にACKを受信した場合、アービトレーションロストを発生させることができます。

NACK送信アービトレーションロストが発生した場合、RIICはスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

またSMBusのARPコマンド処理において、Assign AddressのUDID(Unique Device Identifier)不一致時のNACK送信以降、およびAssign Address確定後のGet UDID(General)のNACK送信以降の余剰処理(“FFh”送信処理)を省くことができます。

なお RIIC は、ICFER.NALE ビットが“1”(NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、NACK 送信アービトレーションロストを検出します。

NACK 送信アービトレーションロスト検出条件

- NACK 送信時(ICMR3.ACKBT ビット=1)、出力した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき (ACK を受信したとき)

37.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA_n ライン上の信号の状態に不一致が生じた場合 (SDA 出力が High (SDA_n 端子はハイインピーダンス) で、SDA_n ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (Unique Device Identifier) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なお RIIC は、ICFER.SALE ビットが“1”(スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、スレーブアービトレーションロストを検出します。

スレーブアービトレーションロスト検出条件

- スレーブ送信モード時(ICCR2.MST, TRS ビット=01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA_n ライン上の信号の状態が不一致のとき

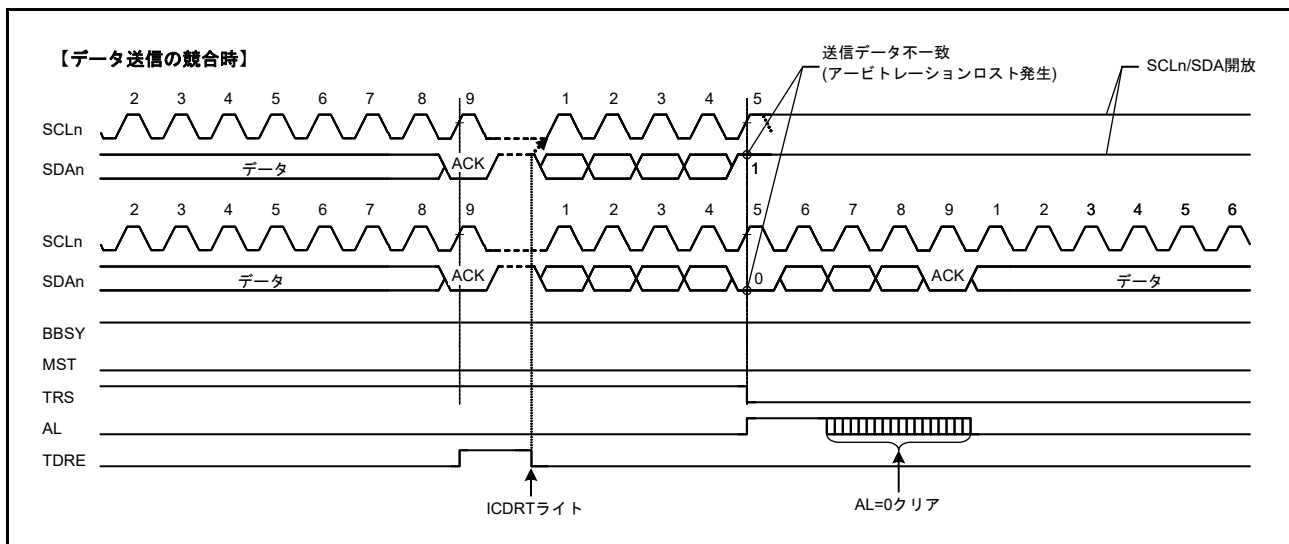


図 37.35 スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

37.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

37.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”(バスフリー)の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

スタートコンディション発行動作

- (1) SDA_nラインを立ち下げ (High から Low に遷移)
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL_nラインを立ち下げ (High から Low に遷移)
- (4) SCL_nラインのLowを検出後、ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保

37.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”(バスビジー)の状態かつICCR2.MSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

リスタートコンディション発行動作

- (1) SDA_nラインを開放
- (2) ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保
- (3) SCL_nラインを開放 (Low から High に遷移)
- (4) SCL_nラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA_nラインを立ち下げ (High から Low に遷移)
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL_nラインを立ち下げ (High から Low に遷移)
- (8) SCL_nラインのLowを検出後、ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保

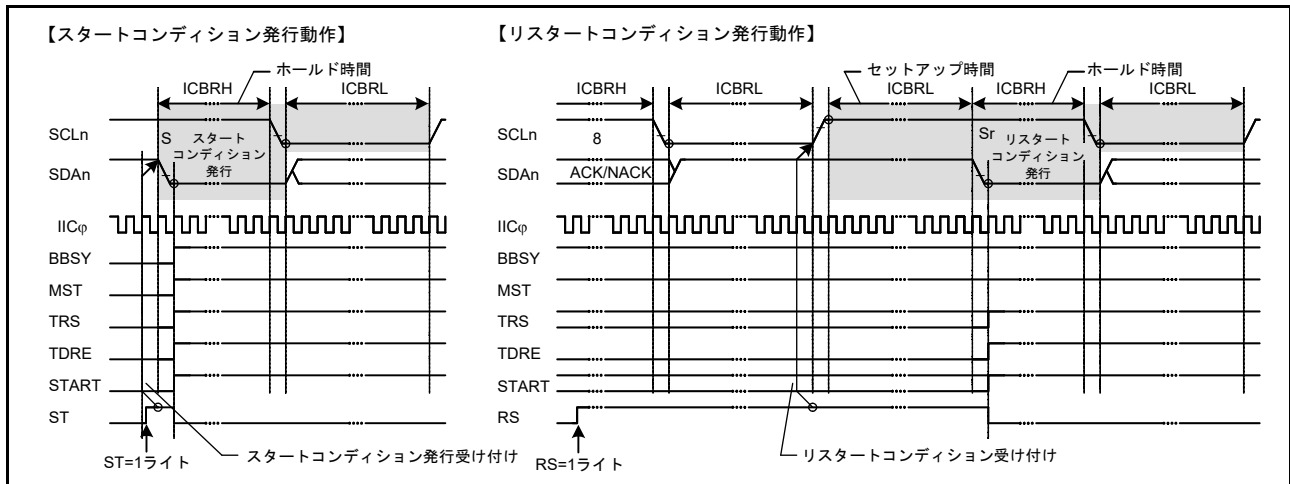


図 37.36 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

37.10.3 ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを“1”にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが“1” (バスビジー) の状態であつ ICCR2.MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

ストップコンディション発行動作

- (1) SDA_n ラインを立ち下げ (High から Low に遷移)
- (2) ICBRL レジスタで設定した時間 SCL_n ラインの Low 幅を確保
- (3) SCL_n ラインを開放 (Low から High に遷移)
- (4) SCL_n ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- (5) SDA_n ラインを開放 (Low から High に遷移)
- (6) ICBRL レジスタで設定した時間、バスフリー時間を確保
- (7) BBSY フラグクリア (バス権解放)

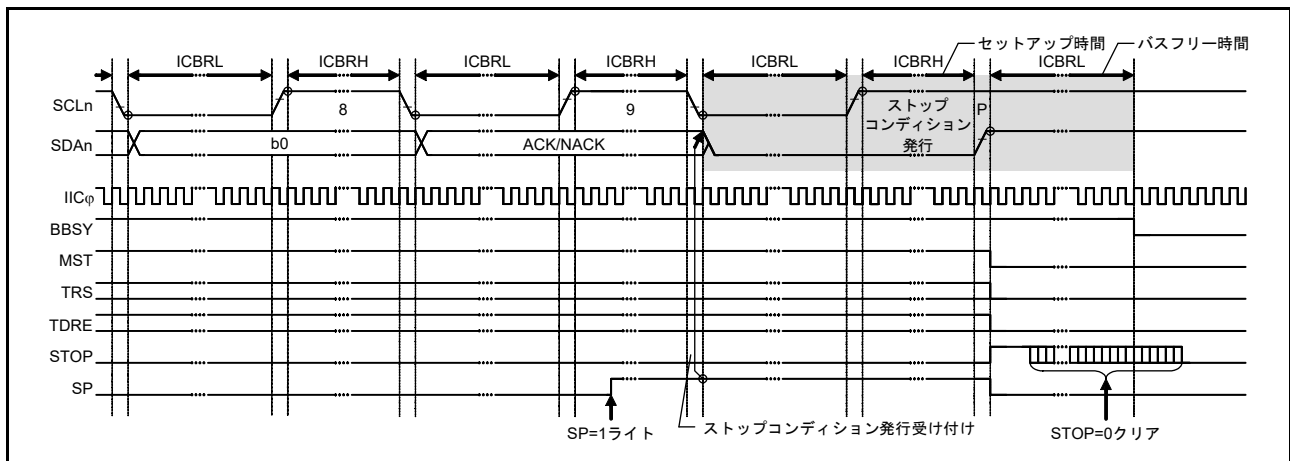


図 37.37 ストップコンディション発行動作タイミング (SP ビット)

37.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCLnラインやSDAnラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCLnラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するためのSCL追加出力機能およびRIICリセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAIビットを確認することで、RIIC自身がSCLnライン/SDAnラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

37.11.1 タイムアウト検出機能

RIICにはSCLnラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICは、SCLnラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCLnラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCLnラインに変化(立ち上がり/立ち下がり)があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLnラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCLnラインのLow固定またはHigh固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCLnラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH, TMOLビットの設定により選択することが可能です。なおTMOH, TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

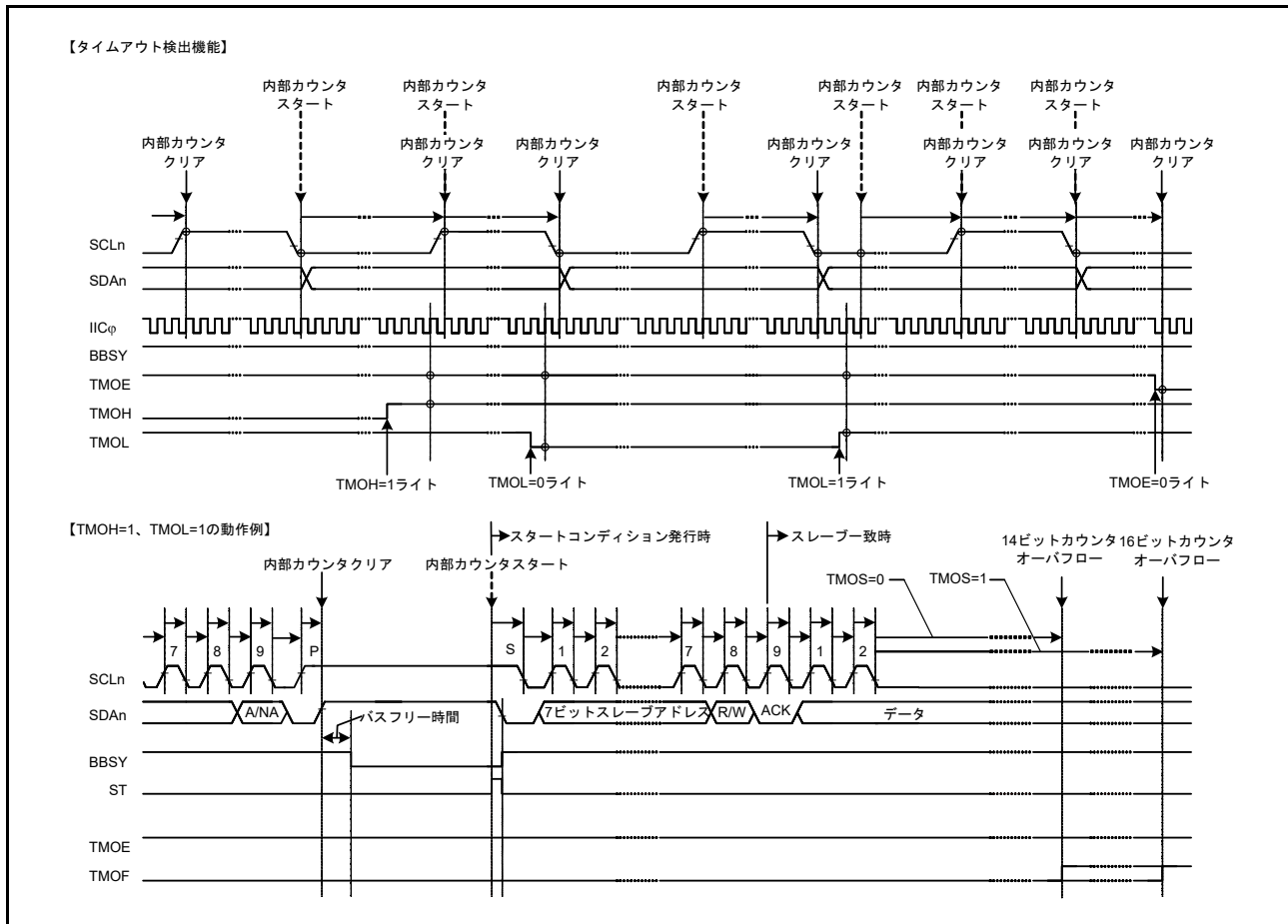


図 37.38 タイムアウト検出機能

37.11.2 SCL 追加出力機能

RIICにはマスタモード時、スレーブデバイスとの同期ずれによるスレーブデバイスのSDAnラインLow固定状態を開放するためのSCL追加出力機能を備えています。

SCL追加出力機能は、SCLを1クロックずつ追加で出力する機能で、主にマスタモード時にスレーブデバイスがSDAnラインをLow固定状態のままストップコンディションを発行できない場合に、スレーブデバイスのSDAnライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

ICCR1.CLOビットを“1”にすると、ICMR1.CKS[2:0]ビット、ICBRH、ICBRLレジスタで設定された周波数のクロックがSCLn端子から1クロック分追加で出力されます。1クロック分の追加クロック出力が終了するとCLOビットは自動的に“0”になります。このときICCR2.BBSYフラグが“1”であるとSCLn端子はLowになり、BBSYフラグが“0”であるとSCLn端子はHighになります。CLOビットが“0”であることを確認した後“1”を書くことにより、追加クロックを連続して出力することができます。

RIICがマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ずれが原因でスレーブデバイスがSDAnラインをLow固定状態のままストップコンディションを発行できないバスハングアップのとき、SCL追加出力機能を使用して追加クロックを1クロックずつ出力することでスレーブデバイスのSDAnラインのLow固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスのSDAnライン開放はICCR1.SDAIビットをチェックすることで確認することができます。スレーブデバイスのSDAnライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合はICFER.MALEビットを“0”(マスタアービトレーションロスト検出禁

止)にして使用してください。

ICCR1.CLO ビットの使用条件

- バスフリー状態(ICCR2.BBSYフラグ=0)またはマスタモード(ICCR2.MSTビット=1、BBSYフラグ=1の状態)のとき
- 通信デバイスが SCLn ラインを Low ホールドにしていない状態のとき

図 37.39 に SCL 追加出力機能 (CLO ビット) を示します。

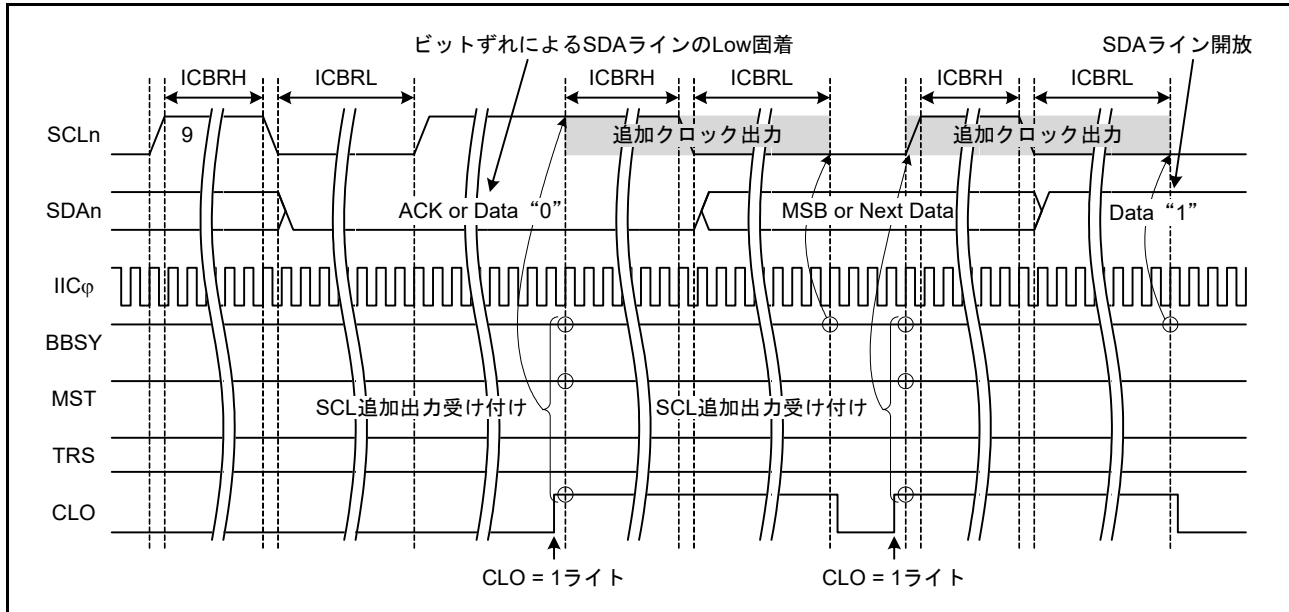


図 37.39 SCL 追加出力機能 (CLO ビット)

37.11.3 RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCLn 端子 /SDAn 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ずれを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット = 01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「37.14 リセット時 /コンディション検出時のレジスタおよび機能の初期化」を参照してください。

37.12 SMBus 動作

RIICはSMBus (Ver.2.0)に準拠した通信動作が可能です。SMBus通信を行うには、ICMR3.SMBSビットを“1”にしてください。転送速度はSMBus仕様の10 kbps～100 kbpsの範囲に収まるようICMR1.CKS[2:0]ビット、ICBRH、ICBRLレジスタを設定し、データホールド時間：300 ns (min)の仕様を守るようICMR2.DLCSビットおよびICMR2.SDDL[2:0]ビットの値を決定してください。RIICをスレーブデバイスからの動作で使用する場合には、転送速度の設定は不要ですが、ICBRLはデータセットアップ時間(250 ns)以上の値を設定してください。

なおSMBusデバイスデフォルトアドレス(1100 001b)はスレーブアドレスレジスタL0～L2(SARL0、SARL1、SARL2)のいずれか1本を使用し、該当するSARUy.FSビット(y=0～2)(7ビット/10ビットアドレスフォーマット選択ビット)を“0”(7ビットアドレスフォーマット)を選択してください。

また、UDID (Unique Device Identifier)送信時には、ICFER.SALEビットを“1”にしてスレーブアービトレーションロスト検出機能を有効にしてください。

37.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus通信では、スレーブデバイスは以下に示す区間(タイムアウト間隔： $t_{\text{LOW:SEXT}}$)を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIICのスタートコンディション検出割り込み(STI)、ストップコンディション検出割り込み(SPI)を利用してスタートコンディション検出からストップコンディション検出までの時間をMTUまたはTMRタイマを使用してその区間を計測することで行います。このタイムアウト測定時間はSMBus仕様のクロックLowの累積時間(スレーブデバイス) $t_{\text{LOW:SEXT}}$ ：25 ms (max)以内である必要があります。

MTUまたはTMRで計測した時間が、SMBus仕様のクロックLow検出のタイムアウト t_{TIMEOUT} ：25 ms (min)を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うにはICCR1.IICRSTビットに“1”を書き、RIICの内部リセットを行ってください。内部リセットを行うとRIICはSCLn端子/SDAn端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus通信のマスタデバイスは以下に示す区間(タイムアウト間隔： $t_{\text{LOW:MEXT}}$)を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIICのスタートコンディション検出割り込み(STI)、ストップコンディション検出割り込み(SPI)、および送信終了割り込み(TEI)または受信データフル割り込み(RXI)を利用して、それぞれの区間をMTUまたはTMRタイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間はSMBus仕様のクロックLowの累積時間(マスタデバイス) $t_{\text{LOW:MEXT}}$ ：10 ms (max)以内である必要があります。スタートコンディションからストップコンディションまでのすべての $t_{\text{LOW:MEXT}}$ を加算した結果が $t_{\text{LOW:SEXT}}$ ：25 ms (max)以内である必要があります。

ACK 受信タイミング (SCL の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見ることがあります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SCL の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $t_{LOW:MEXT} : 10 \text{ ms (max)}$ または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト $t_{TIMEOUT} : 25 \text{ ms (min)}$ を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

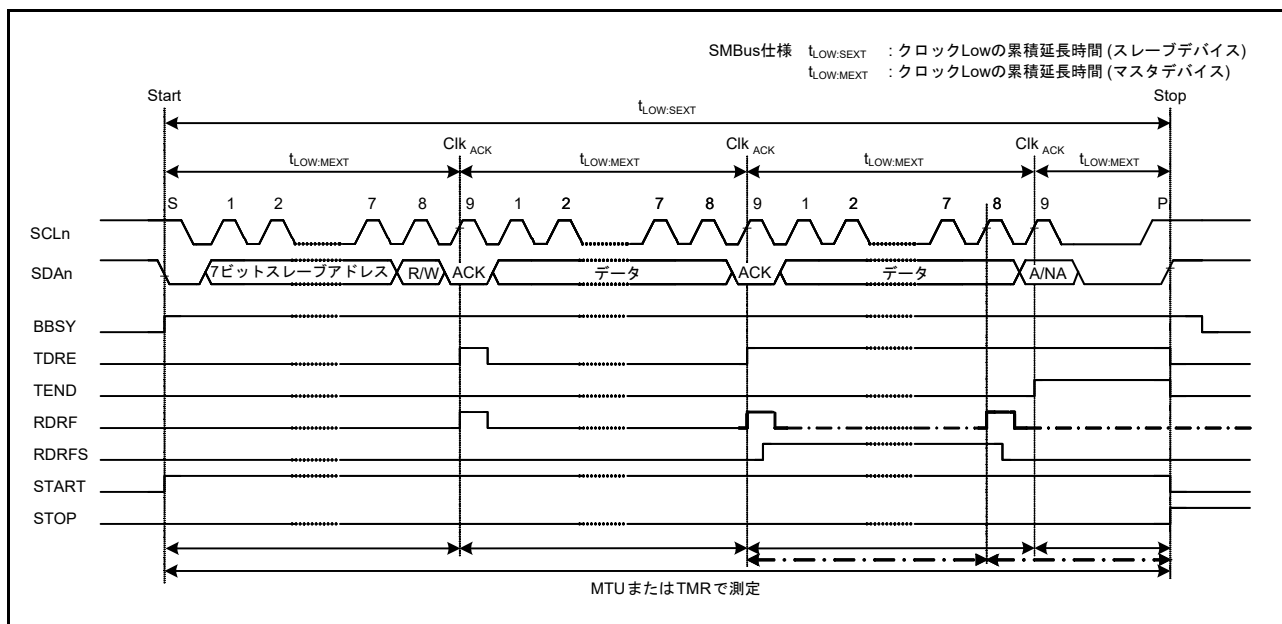


図 37.40 SMBus タイムアウト測定

37.12.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「43. CRC 演算器 (CRCA)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がり SCLn ラインを Low にホールドしてください。

37.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを“1”、ICSER.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

37.13 割り込み要因

RIICの割り込み要因には、通信エラー/通信イベント(アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があります。

表 37.6 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTCまたはDMACを起動してデータ転送を行うことができます。

表 37.6 割り込み要因

名称	割り込み要因	割り込みフラグ	DTC/DMACの起動	割り込み条件
EEI	通信エラー/通信イベント	AL	不可能	AL = 1かつALIE = 1
		NACKF		NACKF = 1かつNAKIE = 1
		TMOF		TMOF = 1かつTMOIE = 1
		START		START = 1かつSTIE = 1
		STOP		STOP = 1かつSPIE = 1
RXI(注2)	受信データフル	RDRF	可能	RDRF = 1かつRIE = 1
TXI(注1)	送信データエンプティ	TDRE	可能	TDRE = 1かつTIE = 1
TEI(注3)	送信終了	TEND	不可能	TEND = 1かつTEIE = 1

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

37.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、TXI 割り込みおよび RXI 割り込みに対応した ICU.IRn.IR フラグが“1”のときに割り込み発生条件が整った場合、ICU に対して割り込み要求を出力せず内部で保持します(内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICIER レジスタの対応する割り込み許可ビットを“0”にすることでクリアが可能です。

37.14 リセット時/コンディション検出時のレジスタおよび機能の初期化

RIICはMCUリセット、RIICリセットおよび内部リセットによってリセットできます。表37.7にリセット時/コンディション検出時のレジスタおよび機能のリセット状況を示します。

表37.7 リセット時/コンディション検出時のレジスタおよび機能のリセット状況

		MCU リセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出
ICCR1	SDAO, SCLO	リセット	リセット	リセット	保持	保持
	IICRST, ICE		保持	保持		
	その他		リセット			
ICCR2	ST, RS	リセット	リセット	リセット	リセット	保持
	SP				(注1)	リセット
	TRS					
	MST					
	BBSY					
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	その他					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	START	リセット	リセット	リセット	"1"になる	リセット
	STOP				保持	"1"になる
	TEND				(注1)	リセット
	TDRE					
	その他					
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

注1. リセットされません。条件に応じて"0"または"1"になります。

37.15 イベントリンク機能 (出力)

RIIC0は次の要因が発生すると、イベントリンクコントローラ (ELC) に対してイベント出力を行います。

- 通信エラー/通信イベント
- 受信データフル
- 送信データエンプティ
- 送信終了

37.15.1 割り込み処理とイベントリンクの関係

RIICの割り込みには、通信エラー/通信イベント (アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があり、それぞれに割り込み許可/禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合にICUに対して割り込み要求信号を出力します。

これに対してイベント信号は、割り込み許可ビットに依存せず、割り込み要因が発生すると出力され、ELCを介して他のモジュールに伝達されます。

割り込み要因については、表 37.6 を参照してください。

37.16 使用上の注意事項

37.16.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) またはモジュールストップコントロールレジスタ C (MSTPCRC) により、モジュールストップ状態への遷移/解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B および C の詳細は、「11. 消費電力低減機能」を参照してください。

37.16.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で RIIC の割り込みに対応した IR フラグが “1” のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが “1” で通信を開始 (ICCR1.ICE ビット = 1) すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが “0” であることを確認
- (2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を “0” にする
- (3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、“0”を確認
- (4) IR フラグを “0” にする

38. ハイスピードI²Cバスインタフェース (RIICHS)

本MCUは、1チャンネルのハイスピードI²Cバスインタフェース (RIICHS0) を内蔵しています。

RIICHSは、NXP社が提唱するI²Cバス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

38.1 概要

表38.1にRIICHSの仕様を、図38.1にRIICHSのブロック図を、表38.2にRIICHSで使用する入出力端子を示します。

表38.1 RIICHSの仕様 (1/2)

項目	内容
動作モード	4種類 <ul style="list-style-type: none"> マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード
通信フォーマット 転送速度	<ul style="list-style-type: none"> I²Cバスフォーマット <ul style="list-style-type: none"> スタンダードモード (Sm) : 0~100 kbps ファストモード (Fm) : 0~400 kbps ファストモードプラス (Fm+) : 0~1 Mbps ハイスピードモード (Hsモード) : 0~3.4 Mbps SMBusフォーマット : 10~100 kbps マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
シリアルクロック (SCL)	マスタ時、SCLのデューティ比を4%~96%の範囲で設定可能
コンディション発行・ コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、 スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
アドレス検出	<ul style="list-style-type: none"> スレーブアドレス(スタティックアドレス)(最大3種類) 7ビット/10ビットアドレスフォーマット対応 ジェネラルコールアドレス Hsモードマスタコード デバイスID ホストアドレス
アクノリッジ応答	<ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジ 応答のソフトウェア制御が可能
ウェイト機能 (クロックストレッチ)	<ul style="list-style-type: none"> 受信時、SCLラインのLowホールドによるウェイトが可能 8クロック目と9クロック目の間でウェイト 9クロック目と1クロック目の間でウェイト
SDA出力遅延機能	送信データビット、アクノリッジビットの出力変化タイミングをSCLの立ち下がりエッジ基準で遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとのSCL衝突時、SCLの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロ スト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディ ションの二重発行防止) ノットアクノリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出 可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLの長時間停止を検出可能
ノイズフィルタ	<ul style="list-style-type: none"> アナログノイズフィルタ デジタルノイズフィルタ

表 38.1 RIICHSの仕様 (2/2)

項目	内容
割り込み要因	4種類 <ul style="list-style-type: none"> 送信データエンプティ (TXI) 受信データフル (RXI) 送信終了 (TEI) 通信エラー/通信イベント (EEI) <ul style="list-style-type: none"> - スタートコンディション検出 (リスタートコンディション含む) - ストップコンディション検出 - NACK検出 - アービトレーションロスト - タイムアウト検出
イベントリンク機能(出力)	<ul style="list-style-type: none"> 送信データエンプティ 受信データフル 送信終了 通信エラー/通信イベント
消費電力低減機能	モジュールストップ状態への遷移が可能

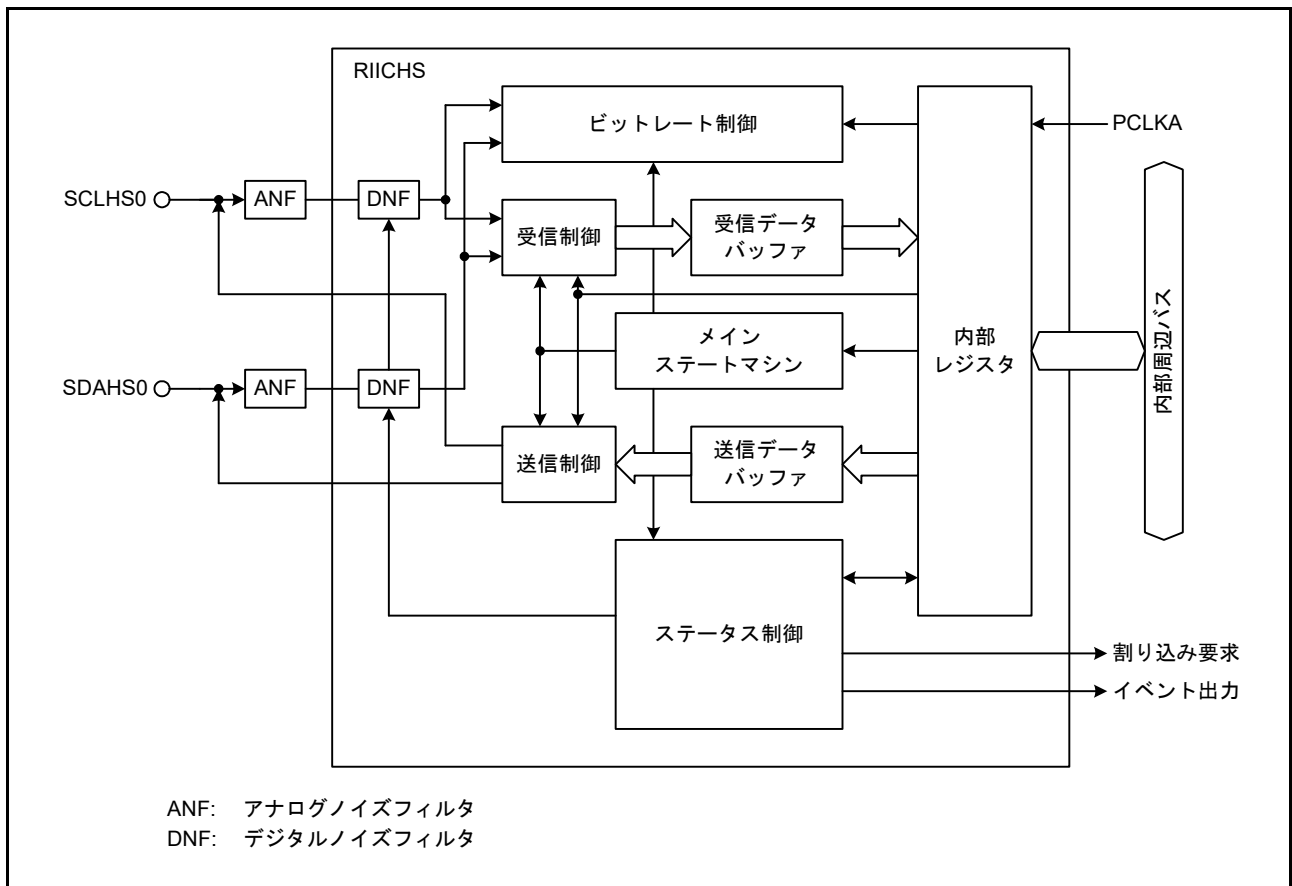


図 38.1 RIICHSのブロック図

表 38.2 RIICHSの入出力端子

チャンネル	端子名	入出力	機能
RIICHS0	SCLHS0	入出力	シリアルクロック入出力端子
	SDAHS0	入出力	シリアルデータ入出力端子

38.2 レジスタの説明

38.2.1 制御レジスタ (ICCR)

アドレス RIICHS0.ICCR 000E C014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ICE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31	ICE	バスインタフェース許可ビット	0 : I ² Cバス動作禁止 (SCLHS0、SDAHS0端子非駆動状態) 1 : I ² Cバス動作許可 (SCLHS0、SDAHS0端子駆動状態)	R/W

ICE ビット (バスインタフェース許可ビット)

このビットは、I²Cバス動作を許可もしくは禁止します。

RIICHSを使用するときは、このビットを“1”にしてください。ICEビットが“1”のとき、SCLHS0、SDAHS0端子が駆動状態になります。

RIICHSを使用しないときは、このビットを“0”にしてください。ICEビットが“0”のとき、SCLHS0、SDAHS0端子が非駆動状態になります。

このビットが“0”の場合、I²Cバス動作が禁止状態になっていることを示します。

38.2.2 リセット制御レジスタ (ICRCR)

アドレス RIICHS0.ICRCR 000E C020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ISRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MRST	モジュールリセットビット (注1)	“1”を書くと、すべてのレジスタと内部回路がリセットされます。リセットが完了すると、このビットは自動的に“0”に戻ります	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	ISRST	内部ステータスリセットビット	0：一部のレジスタと内部ステータスのリセットを解除 1：一部のレジスタと内部ステータスのリセットを実施	R/W
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. このビットが“1”のとき、このレジスタに値を書かないでください。

ISRST ビット (内部ステータスリセットビット)

このビットを“1”にすると、一部のレジスタと内部ステータスがリセットされます。リセット対象のレジスタについては、「38.7 リセットの説明」を参照してください。

リセットを解除するには、このビットを“0”にしてください。

38.2.3 動作モードモニタレジスタ (ICMMR)

アドレス RIICHS0.ICMMR 000E C024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MSWP	—	—	TRS	—	MST	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b2	MST	マスタ/スレーブモードフラグ	0：スレーブモード 1：マスタモード	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	TRS	送信/受信モードフラグ	0：受信モード 1：送信モード	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7	MSWP	MSTライトプロテクトビット	0：MSTフラグの書き換えを禁止 1：MSTフラグの書き換えを許可(書き込みたいビット値と同時に書き込む場合)	W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. MSTフラグに値を設定する場合、MSWPビットも同時に“1”にしてください。

MST フラグ (マスタ/スレーブモードフラグ)

マスタモード/スレーブモードを示すビットです。

MSTフラグが“0”のときスレーブモード、MSTフラグが“1”のときマスタモードを表し、TRSフラグとの組み合わせでRIICHSの動作モードを表します。

MSTフラグは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”または“0”になり、RIICHSの動作モードは自動的にマスタモードまたはスレーブモードに移行します。MSWPビットが“1”のとき書き込みはできますが、通常は書き込みの必要はありません。

[“1”になる条件]

- MSWPビットとMSTフラグに同時に“1”を書いたとき
- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ICCCR.STビットが“1”の状態、スタートコンディションを検出したとき)

[“0”になる条件]

- ICRCR.MRSTビットを“1”にしてRIICHSをリセットしたとき
- ICRCR.ISRSTビットを“1”にして内部ステータスをリセットしたとき
- MSWPビットを“1”にするのと同時にMSTフラグに“0”を書いたとき
- ストップコンディションを検出したとき
- ICSR2.ALフラグが“1”(アービトレーションロスト発生)になったとき

TRS フラグ (送信 / 受信モードフラグ)

送信 / 受信モードを示すフラグです。

TRS フラグが“0”のとき受信モード、TRS フラグが“1”のとき送信モードを表し、MST フラグとの組み合わせで RIICHS の動作モードを表します。

TRS フラグは、スタートコンディションの発行 / 検出および R/W# ビットの値で“1”または“0”になり、RIICHS の動作モードは自動的に送信モードまたは受信モードに移行します。

[“1”になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ICCGR.ST ビットが“1”の状態、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (ICCGR.RS ビットが“1”の状態、リスタートコンディションを検出したとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが ICSCR レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき

[“0”になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1” (アービトレーションロスト発生) になったとき
- マスタモード時に、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが ICSCR レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時に、リスタートコンディションを検出したとき (ICBSR.BFREE フラグが“0”および MST フラグが“0”の状態、スタートコンディションを検出したとき)
- ICRCR.MRST ビットまたは ICRCR.ISRST ビットに“1”を書き、RIICHS または内部ステータスをリセットしたとき

MSWP ビット (MST ライトプロテクトビット)

MST フラグの値を書き換えるときに使用します。

MST フラグに値を設定する場合、このビットも同時に“1”にしてください。

このビットは自動的に“0”になります。読んだ場合、“0”が読めます。

38.2.4 ファンクション許可レジスタ (ICFER)

アドレス RIICHS0.ICFER 000E C060h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	HSME	FMPE	—	SMBS	—	—	—	SCLE	—	—	—	—	—	SALE	NALE	MALE
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MALE	マスタアービトレーションロスト検出許可ビット	0: マスタアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICMMR.MST、TRSフラグの自動クリアを行わない) 1: マスタアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICMMR.MST、TRSフラグの自動クリアを行う)	R/W
b1	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b2	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	SMBS	SMBus/I ² Cバス選択ビット	0: I ² Cバス選択 1: SMBus選択	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b14	FMPE	ファストモードプラス有効ビット	0: SCLHS0端子/SDAHS0端子にFm+用スロープ制御回路を使用しない 1: SCLHS0端子/SDAHS0端子にFm+用スロープ制御回路を使用する	R/W
b15	HSME	Hsモード許可ビット	0: Hsモード禁止 1: Hsモード許可	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

MALE ビット (マスタアービトレーションロスト検出許可ビット)

マスタモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送途中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、SCL の同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIICHS は SCLHS0 ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度の SCL を出力します。そのため、I²C バスラインのバス負荷が仕様で定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL 出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL 追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

FMPE ビット (ファストモードプラス有効ビット)

スロープ制御回路をファストモードプラス (Fm+) 用のスロープ制御回路を使用するかどうかを選択します。

FMPE ビットを“1”にすると I²C バスのファストモードプラス (Fm+) のスロープ制御仕様 (tof) に準拠したスロープ制御回路が選択され、“0”にすると I²C バスのスタンダードモード (Sm) およびファストモード (Fm) のスロープ制御仕様 (tof) に準拠したスロープ制御回路が選択されます。

通信速度を I²C バス仕様の～1 Mbps (ファストモードプラス (Fm+)) で使用する場合は“1”にし、それ以外の通信速度 (～100 kbps (Sm)、～400 kbps (Fm)) または SMBus (10 kbps～100 kbps) で使用する場合は“0”にしてください。Hs モード通信を行う場合も、Hs モードマスタコードを送信するときのモードに合わせてこのビットを設定してください。

HSME ビット (Hs モード許可ビット)

Hs モードで通信するときに使用します。

このビットを“1”にすると、Hs モードマスタコードの検出と Hs モード通信が有効になります。

スタートコンディションの後にマスタコード (0000 1XXXb) を検出すると、NACK 後のリスタートコンディションからストップコンディションを検出するまで、Hs モードで通信が行われます。

NACK 受信までは ICFBR レジスタに設定したビットレートで通信しますが、リスタートコンディション以降は ICHBR レジスタに設定したビットレートで通信します。ストップコンディションを検出すると、自動的に ICFBR レジスタに設定したビットレートに戻ります。

なお、このビットが“1”の場合、マスタコード後の NACK では ICSR2.NACKF フラグは“1”になりません。

38.2.5 スレーブモード制御レジスタ (ICSCR)

アドレス RIICHS0.ICSCR 000E C064h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	—	—	—	—	—	—	—	DIDE	HSMCE	—	—	—	—	GCAE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GCAE	ジェネラルコールアドレス検出許可ビット	0: ジェネラルコールアドレス検出は無効 1: ジェネラルコールアドレス検出は有効	R/W
b4-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b5	HSMCE	Hsモードマスタコード検出許可ビット	0: Hsモードマスタコード検出は無効 1: Hsモードマスタコード検出は有効	R/W
b6	DIDE	デバイスIDアドレス検出許可ビット	0: デバイスIDアドレス検出は無効 1: デバイスIDアドレス検出は有効	R/W
b14-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15	HOAE	ホストアドレス検出許可ビット	0: ホストアドレス検出は無効 1: ホストアドレス検出は有効	R/W
b16	SAR0E	スレーブアドレス0検出許可ビット	0: SAMR0.SVA[9:0]ビットの設定値は無効 1: SAMR0.SVA[9:0]ビットの設定値は有効	R/W
b17	SAR1E	スレーブアドレス1検出許可ビット	0: SAMR1.SVA[9:0]ビットの設定値は無効 1: SAMR1.SVA[9:0]ビットの設定値は有効	R/W
b18	SAR2E	スレーブアドレス2検出許可ビット	0: SAMR2.SVA[9:0]ビットの設定値は無効 1: SAMR2.SVA[9:0]ビットの設定値は有効	R/W
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

GCAE ビット (ジェネラルコールアドレス検出許可ビット)

ジェネラルコールアドレス (0000 000b + 0 (write) : All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIICHSはSAMRy.SVA[9:0]ビットで設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

HSMCE ビット (Hsモードマスタコード検出許可ビット)

Hsモードマスタコード (0000 1XXXb) の検出を許可/禁止するビットです。

このビットが“1”の場合、スタートコンディション後の第一バイトが“0000 1XXXb”であった場合、それをマスタコードと認識します。

Hsモード通信が始まった後の第一バイトはスレーブアドレスと認識され、SAMRy.SVA[9:0]ビット (y = 0 ~ 2) の値と比較されます。アドレスが一致すると、続く R/W# ビットの値に従って送受信が行われます。

Hsモード通信はストップコンディションを検出するまで続きます。

このビットが“0”の場合、マスタコードの検出は行われません。

このビットを“1”にする場合、ICCSR.WAITAE ビットを“0”、ICCSR.WAITRE ビットを“1”にしてください。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

このビットが“1”のとき、受信した第一バイトがデバイス ID アドレスと一致した場合には、RIICHS はデバイス ID アドレスを受信したと認識します。続く R/W# ビットが“0” (write) のとき第二バイト以降をスレーブアドレスとみなして受信動作を継続します。

このビットが“0”のとき、受信した第一バイトがデバイス ID アドレスと一致しても、RIICHS は第一バイトを無視し通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「38.4.4.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス検出許可ビット)

ICFER.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICFER.SMBS ビットが“1”でかつ HOAE ビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIICHS は SAMRy.SVA[9:0] ビットで設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICFER.SMBS ビットが“0”または HOAE ビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

SARyE ビット (スレーブアドレス y 検出許可ビット) (y = 0 ~ 2)

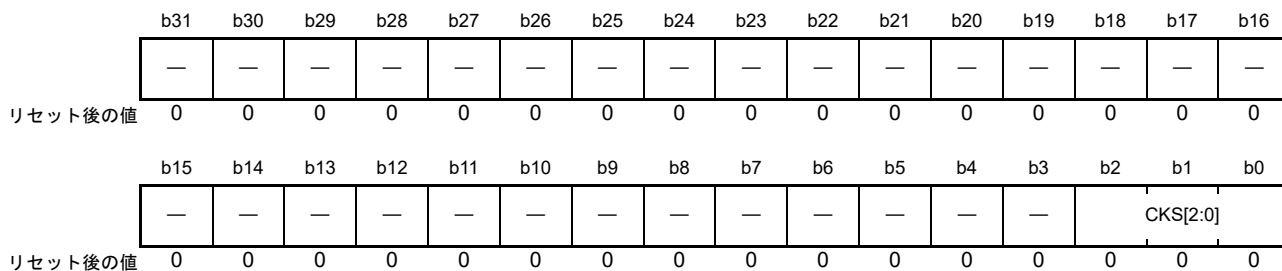
SAMRy.SVA[9:0] ビットに設定されたスレーブアドレスを有効にするかどうかを設定します。

このビットを“1”にすると、SAMRy.SVA[9:0] ビットに設定されたスレーブアドレスが有効になり、受信したスレーブアドレスと比較が行われます。

このビットを“0”にすると、SAMRy.SVA[9:0] ビットに設定されたスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

38.2.6 基準クロック制御レジスタ (ICRCCR)

アドレス RIICHS0.ICRCCR 000E C070h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	内部基準クロック選択ビット	RIICHSの内部基準クロック (IICφ) ソースを選択します b2 b0 0 0 0 : PCLKA/1 0 0 1 : PCLKA/2 0 1 0 : PCLKA/4 0 1 1 : PCLKA/8 1 0 0 : PCLKA/16 1 0 1 : PCLKA/32 1 1 0 : PCLKA/64 1 1 1 : PCLKA/128	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

38.2.7 F/S モードビットレートレジスタ (ICFBR)

アドレス RIICHS0.ICFBR 000E C074h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DBL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	HIGH[7:0]							LOW[7:0]								
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	LOW[7:0]	Low幅設定ビット	SCLのLow幅のカウント値を設定します	R/W
b15-b8	HIGH[7:0]	High幅設定ビット	SCLのHigh幅のカウント値を設定します	R/W
b30-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31	DBL	High/Low幅2倍化ビット	0 : High/Low幅を設定値どおりにする 1 : High/Low幅を設定値の2倍にする	R/W

Hs モード以外のビットレートを設定するために使用します。

LOW[7:0] ビット (Low 幅設定ビット)

SCL の Low 幅を指定するビットです。

RIICHS は ICRCR.CKS[2:0] ビットで選択した内部基準クロック (IICφ) で Low 幅をカウントします。

また本ビットは、SCL 自動 Low ホールド発生時(「38.4.5 SCL の自動 Low ホールド機能」参照)のデータセットアップ時間確保レジスタとしても機能します。そのため RIICHS を常にスレーブモードで使用する場合には、データセットアップ時間(注1)以上の値を設定してください。

デジタルノイズフィルタの使用を許可(ICICR.NFE ビット=1)した場合、LOW[7:0] ビットには、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICICR.NF[3:0] ビットを参照してください。

注1. データセットアップ時間 (t_{SU;DAT})

250 ns (~ 100 kbps : スタンダードモード (Sm))

100 ns (~ 400 kbps : ファストモード (Fm))

50 ns (~ 1 Mbps : ファストモードプラス (Fm+))

HIGH[7:0] ビット (High 幅設定ビット)

SCL の High 幅を指定するビットです。

HIGH[7:0] ビットはマスタモード時に有効です。RIICHS を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

RIICHS は ICRCR.CKS[2:0] ビットで選択した内部基準クロック (IICφ) で High 幅をカウントします。

デジタルノイズフィルタの使用を許可(ICICR.NFE ビット=1)した場合、HIGH[7:0] ビットには、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICICR.NF[3:0] ビットを参照してください。

転送速度および SCL のデューティ比は以下の式で算定します。

$$t_{\text{LOW}} = (\text{LOW}[7:0] + \text{NF}[3:0] + 1) / \text{IIC}\phi$$

$$t_{\text{HIGH}} = (\text{HIGH}[7:0] + \text{NF}[3:0] + 1) / \text{IIC}\phi$$

$$\text{転送速度} = 1 / (t_{\text{LOW}} + t_{\text{HIGH}} + t_r + t_f)$$

$$\text{デューティ比} = (t_r + t_{\text{HIGH}}) / (t_{\text{LOW}} + t_{\text{HIGH}} + t_r + t_f)$$

t_{LOW} : SCL の Low 幅

t_{HIGH} : SCL の High 幅

t_r : SCL 信号立ち上がり時間 (注 1)

t_f : SCL 信号立ち下がり時間 (注 1)

注 1. SCL ライン立ち上がり時間 (t_r)、SCL ライン立ち下がり時間 (t_f) は、バスライン総容量 (C_b) とプルアップ抵抗 (R_p) に依存します。詳細については NXP 社の I²C バス仕様書を参照してください。

表 38.3 転送速度に対する ICFBR レジスタの設定例 (PCLKA = 120 MHz)

転送速度 (kbps)	CKS[2:0]	HIGH[7:0]	LOW[7:0]	NFE	NF[3:0]
10	101b	122 (7Ah)	247 (F7h)	0	—
	101b	121 (79h)	246 (F6h)	1	0001b
50	011b	91 (5Bh)	188 (BCh)	0	—
	011b	90 (5Ah)	187 (BBh)	1	0001b
100	010b	108 (6Ch)	151 (97h)	0	—
	010b	107 (6Bh)	150 (96h)	1	0001b
400	000b	68 (44h)	158 (9Eh)	0	—
	000b	67 (43h)	157 (9Dh)	1	0001b
	001b	34 (22h)	78 (4Eh)	0	—
	001b	33 (21h)	77 (4Dh)	1	0001b
1000	000b	27 (1Bh)	63 (3Fh)	0	—
	000b	26 (1Ah)	62 (3Eh)	1	0001b
	001b	13 (0Dh)	31 (1Fh)	0	—
	001b	12 (0Ch)	30 (1Eh)	1	0001b

SCL 信号立ち上がり時間 (t_r)

- 100 kbps 以下 (Sm) : 1000 ns

- 400 kbps (Fm) : 300 ns

- 1 Mbps (Fm+) : 120 ns

SCL 信号立ち下がり時間 (t_f)

- 400 kbps (Sm/Fm) : 300 ns

- 1 Mbps (Fm+) : 120 ns

38.2.8 Hs モードビットレートレジスタ (ICHBR)

アドレス RIICHS0.ICHBR 000E C078h



ビット	シンボル	ビット名	機能	R/W
b7-b0	LOW[7:0]	Low幅設定ビット	SCLのLow幅のカウント値を設定します	R/W
b15-b8	HIGH[7:0]	High幅設定ビット	SCLのHigh幅のカウント値を設定します	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

Hs モード時のビットレートを設定するために使用します。

LOW[7:0] ビット (Low 幅設定ビット)

SCL の Low 幅を指定するビットです。

RIICHS は ICRCR.CKS[2:0] ビットで選択した内部基準クロック (IICφ) で Low 幅をカウントします。

また本ビットは、SCL 自動 Low ホールド発生時(「38.4.5 SCL の自動 Low ホールド機能」参照)のデータセットアップ時間確保レジスタとしても機能します。そのため RIICHS を常にスレーブモードで使用する場合には、データセットアップ時間(注1)以上の値を設定してください。

デジタルノイズフィルタの使用を許可(ICICR.NFE ビット=1)した場合、LOW[7:0] ビットには、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICICR.NF[3:0] ビットを参照してください。

注1. データセットアップ時間 (t_{SU,DAT})

10 ns (~ 3.4 Mbps : Hs モード (Hs))

HIGH[7:0] ビット (High 幅設定ビット)

SCL の High 幅を指定するビットです。

HIGH[7:0] ビットはマスタモード時に有効です。RIICHS を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

RIICHS は ICRCR.CKS[2:0] ビットで選択した内部基準クロック (IICφ) で High 幅をカウントします。

デジタルノイズフィルタの使用を許可(ICICR.NFE ビット=1)した場合、HIGH[7:0] ビットには、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICICR.NF[3:0] ビットを参照してください。

転送速度および SCL のデューティ比は以下の式で算定します

$$t_{\text{LOW}} = (\text{LOW}[7:0] + \text{NF}[3:2] + 1) / \text{IIC}\phi$$

$$t_{\text{HIGH}} = (\text{HIGH}[7:0] + \text{NF}[3:2] + 1) / \text{IIC}\phi$$

$$\text{転送速度} = 1 / (t_{\text{LOW}} + t_{\text{HIGH}} + t_r + t_f)$$

$$\text{デューティ比} = (t_r + t_{\text{HIGH}}) / (t_{\text{LOW}} + t_{\text{HIGH}} + t_r + t_f)$$

t_{LOW} : SCL の Low 幅

t_{HIGH} : SCL の High 幅

t_r : SCL 信号立ち上がり時間 (注 1)

t_f : SCL 信号立ち下がり時間 (注 1)

注 1. SCL ライン立ち上がり時間 (t_r)、SCL ライン立ち下がり時間 (t_f) は、バスライン総容量 (C_b) とプルアップ抵抗 (R_p) に依存します。詳細については NXP 社の I²C バス仕様書を参照してください。

38.2.9 バスフリー時間設定レジスタ (ICBFTR)

アドレス RIICHS0.ICBFTR 000E C07Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ストップコンディションを検出してから ICBSR.BFREE フラグを“1”にするまでの時間を指定するレジスタです。上位 23 ビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

このレジスタに設定したカウント数を、IICφをカウントソースとしてカウントします。

I²C バス仕様に定められている t_{BUF} (bus free time between a STOP and START condition) を満たすように、値を設定してください。

38.2.10 出力信号制御レジスタ (ICOOCR)

アドレス RIICHS0.ICOOCR 000E C088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DLCS	—	—	—	—	SDDL[2:0]	—	—	—	CLO	—	SOWP	SCLO	SDAO		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAO	SDA出力制御ビット	0 : SDAHS0端子をLowにする 1 : SDAHS0端子を解放する(SDAHS0ラインは外付けプルアップ抵抗によりHighになります)	R/W
b1	SCLO	SCL出力制御ビット	0 : SCLHS0端子をLowにする 1 : SCLHS0端子を解放する(SCLHS0ラインは外付けプルアップ抵抗によりHighになります)	R/W
b2	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換えを禁止 1 : SCLO、SDAOビットの書き換えを許可(対象ビットと同時に書き込む場合) 読むと“0”が読めます	W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	CLO	SCL追加出力ビット	0 : SCLを追加で出力しない(通常状態) 1 : SCLを追加で出力する(1クロック出力後、このビットは自動的に“0”になります)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b10-b8	SDDL[2:0]	SDA出力遅延量設定ビット	<ul style="list-style-type: none"> ICOOCR.DLCS = 0 (IICφ)のとき b10 b8 0 0 0 : 出力遅延なし 0 0 1 : IICφの1サイクル 0 1 0 : IICφの2サイクル 0 1 1 : IICφの3サイクル 1 0 0 : IICφの4サイクル 1 0 1 : IICφの5サイクル 1 1 0 : IICφの6サイクル 1 1 1 : IICφの7サイクル ICOOCR.DLCS = 1 (IICφ/2)のとき b10 b8 0 0 0 : 出力遅延なし 0 0 1 : IICφの1~2サイクル 0 1 0 : IICφの3~4サイクル 0 1 1 : IICφの5~6サイクル 1 0 0 : IICφの7~8サイクル 1 0 1 : IICφの9~10サイクル 1 1 0 : IICφの11~12サイクル 1 1 1 : IICφの13~14サイクル 	R/W
b14-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15	DLCS	SDA出力遅延クロックソース選択ビット	0 : SDA出力遅延カウンタのクロックソースに内部基準クロック(IICφ)を選択 1 : SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周(IICφ/2)を選択(注1)	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCL端子がLowのときのみこの設定(IICφ/2)が有効になります。SCL端子がHighのとき、この設定は無効となり、クロックソースは内部基準クロック(IICφ)になります。

SDAO ビット (SDA 出力制御ビット)、SCLO ビット (SCL 出力制御ビット)

RIICHS が出力する SDAHS0 信号、SCLHS0 信号を直接操作するためのビットです。

これらのビットに値を設定する場合、SOWP ビットも同時に“1”にしてください。

これらのビットを操作した結果は入力バッファを介して RIICHS に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証できません。

CLO ビット (SCL 追加出力ビット)

SCL を 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。

通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。

本機能の詳細については、「38.4.8.2 SCL 追加出力機能」を参照してください。

38.2.11 入力信号制御レジスタ (ICICR)

アドレス RIICHS0.ICICR 000E C08Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	NFE	NF[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	NF[3:0]	ノイズフィルタ段数選択ビット	<ul style="list-style-type: none"> Hsモード時以外 $b_3 \quad b_0$ 0 0 0 0 : 1 IICϕ以下のノイズを除去(フィルタは1段) 0 0 0 1 : 2 IICϕ以下のノイズを除去(フィルタは2段) 0 0 1 0 : 3 IICϕ以下のノイズを除去(フィルタは3段) : : 1 1 1 1 : 16 IICϕ以下のノイズを除去(フィルタは16段) Hsモード時 $b_3 \quad b_2$ 0 0 : 1 IICϕ以下のノイズを除去(フィルタは1段) 0 1 : 2 IICϕ以下のノイズを除去(フィルタは2段) 1 0 : 3 IICϕ以下のノイズを除去(フィルタは3段) 1 1 : 4 IICϕ以下のノイズを除去(フィルタは4段) 下位2ビット(b1-b0)は無視されます 	R/W
b4	NFE	デジタルノイズフィルタ有効ビット	0 : デジタルノイズフィルタを使用しない 1 : デジタルノイズフィルタを使用する	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

NF[3:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「38.4.3 デジタルノイズフィルタ」を参照してください。

注. ノイズフィルタで除去するノイズ幅の設定は、SCLHS0 ラインの High/Low 幅よりも狭くしてください。ノイズフィルタ幅を、[SCL の High 幅または Low 幅のいずれか短い方] - $\{1.5 \times t_{IIC\phi} (内部基準クロック (IIC\phi) の周期) + 120 \text{ ns} (アナログノイズフィルタのノイズ除去幅、参考値)\}$ と同じか、それ以上に設定した場合は、RIICHS のノイズフィルタ機能により SCL をノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

38.2.12 タイムアウト制御レジスタ (ICTOR)

アドレス RIICHS0.ICTOR 000E C090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TMOM[1:0]	TMOH	TMOL	—	—	—	—	TMOS[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TMOS[1:0]	タイムアウト検出時間選択ビット	b1 b0 0 0 : タイムアウトカウンタは16ビット(最大65536カウント) 0 1 : タイムアウトカウンタは14ビット(最大16384カウント) 1 0 : タイムアウトカウンタは8ビット(最大256カウント) 1 1 : タイムアウトカウンタは6ビット(最大64カウント)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	TMOL	タイムアウトLカウント制御ビット	0 : SCLHS0ラインがLow期間中のカウントを禁止 1 : SCLHS0ラインがLow期間中のカウントを許可	R/W
b5	TMOH	タイムアウトHカウント制御ビット	0 : SCLHS0ラインがHigh期間中のカウントを禁止 1 : SCLHS0ラインがHigh期間中のカウントを許可	R/W
b7-b6	TMOM[1:0]	タイムアウト検出モード選択ビット	b7 b6 0 0 : タイムアウトは以下のいずれかの場合に検出 <ul style="list-style-type: none"> • マスタモード時に、ICBSR.BFREEフラグが“0”(バスビジー)のとき • スレーブモード時に、受信したスレーブアドレスが自スレーブアドレスと一致したときのICBSR.BFREEフラグが“0”(バスビジー)のとき • ICCGR.STビットが“1”(スタートコンディション要求)でICBSR.BFREEフラグが“1”(バスフリー)のとき 0 1 : タイムアウトは、ICBSR.BFREEフラグが“0”(バスビジー)のときに検出 1 0 : タイムアウトは、ICBSR.BFREEフラグが“1”(バスフリー)のときに検出 1 1 : 設定禁止	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

TMOS[1:0] ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICSER.TMOE ビット = 1) のタイムアウト検出時間を選択するビットです。

SCLHS0ラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「38.4.8.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能有効時 (ICSER.TMOE ビット = 1) に SCLHS0ラインがLow期間中にタイムアウトカウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウトHカウント制御ビット)

タイムアウト検出機能有効時 (ICSER.TMOE ビット=1) に SCLHS0 ラインが High 期間中にタイムアウトカウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOM[1:0] ビット (タイムアウト検出モード選択ビット)

タイムアウト検出機能有効時 (ICSER.TMOE ビット=1) に、タイムアウト検出条件を設定するビットです。

このビットを“00b”にすると、以下のいずれかの期間でタイムアウト検出が有効になります。

- マスタモード時のバスビジー期間
- スレーブモード時で自身が通信対象になったときのバスビジー期間
- スタートコンディションが要求されているときのバスフリー期間

このビットを“01b”にすると、バスビジー期間にタイムアウト検出が有効になります。

このビットを“10b”にすると、バスフリー期間にタイムアウト検出が有効になります。

38.2.13 アクノリッジビット制御レジスタ (ICACKR)

アドレス RIICHS0.ICACKR 000E C0A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ACKW P	ACKBT	ACKBR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACKBR	受信アクノリッジビット	0: アクノリッジビットに“0”を受信(ACK受信) 1: アクノリッジビットに“1”を受信(NACK受信)	R
b1	ACKBT	送信アクノリッジビット	0: アクノリッジビットに“0”を送出(ACK送信) 1: アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b2	ACKWP	ACKBTライトプロテクトビット	0: ACKBTビットの書き換えを禁止 1: ACKBTビットの書き換えを許可(対象ビットと同時に値を書き込んだとき)	W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. ACKBTビットに値を設定する場合、ACKWPビットも同時に“1”にしてください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[“1”になる条件]

- ICMMR.TRS フラグが“1”の状態ではアクノリッジビットに“1”を受信したとき

[“0”になる条件]

- ICMMR.TRS フラグが“1”の状態ではアクノリッジビットに“0”を受信したとき
- ICRCR.MRST ビットを“1”にしてRIICHSをリセットしたとき
- ICRCR.ISRST ビットを“1”にして内部ステータスをリセットしたとき

ACKBT ビット (送信アクノリッジビット)

[“1”になる条件]

- ACKWP ビットと ACKBT ビットに同時に“1”を書いたとき

[“0”になる条件]

- ACKWP ビットに“1”を書くのと同時に“0”を書いたとき
- ストップコンディションを検出したとき(ICCGR.SPビットが“1”の状態ではストップコンディションを検出したとき)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

ACKBT ビットに値を設定する場合、このビットも同時に“1”にしてください。

このビットは自動的に“0”になります。読んだ場合、“0”が読めます。

38.2.14 クロックストレッチ制御レジスタ (ICCSR)

アドレス RIICHS0.ICCSR 000E C0A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WAITRE	WAITAE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WAITAE	アクリッジ生成ウェイト許可ビット	0 : ICCSR.RDRF フラグは9個目の SCL の立ち上がり時に“1”になる(8クロック目の立ち下がり で SCLHS0 ラインを Low にホールドしない) 1 : ICCSR.RDRF フラグは8個目の SCL の立ち上がり時に“1”になる(8クロック目の立ち下がり で SCLHS0 ラインを Low にホールドする) Low ホールドは ICACKR.ACKBT ビットへの書き込みで解除	R/W
b1	WAITRE	受信データリードウェイト許可ビット	0 : WAIT なし (9クロック目と1クロック目の間を Low にホールドしない) 1 : WAIT あり (9クロック目と1クロック目の間を Low にホールドする) Low ホールドは ICDR レジスタの読み出しで解除	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

WAITAE ビット (アクリッジ生成ウェイト許可ビット)

受信モードにおいて ICCSR.RDRF フラグのセットタイミングおよび 8 個目の SCL の立ち下がり で SCLHS0 ラインの Low ホールドを行うかどうかを選択します。

WAITAE ビットが“0”のとき、8クロック目の立ち下がり で SCLHS0 ラインの Low ホールドは行わず、9クロック目の立ち上がり で ICCSR.RDRF フラグを“1”にします。

WAITAE ビットが“1”のとき、ICCSR.RDRF フラグは8クロック目の立ち上がり で“1”になり、8クロック目の立ち下がり で SCLHS0 ラインを Low にホールドします。この SCLHS0 ラインの Low ホールドは ICACKR.ACKBT ビットへの書き込みにより解除されます。この設定のとき、データ受信後アクリッジビット送出前に SCLHS0 ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ICACKR.ACKBT ビットが“0”) または NACK (ICACKR.ACKBT ビットが“1”) を送出する処理が可能です。

WAITRE ビット (受信データリードウェイト許可ビット)

WAITRE ビットは、受信モードにおいて 1 バイト受信ごとに受信データバッファ (ICDR レジスタ) の読み出しが完了するまで、SCL の 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAITRE ビットが“0”のとき、SCL の 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま続けます。WAITAE ビットと WAITRE ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAITRE ビットが“1”のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDR レジスタの値が読み出されるまでの間 SCLHS0 ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAITRE ビットを“0”にする場合は、先に ICDR レジスタを読んでから“0”にしてください。

38.2.15 コンディション生成要求レジスタ (ICCGR)

アドレス RIICHS0.ICCGR 000E C140h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	SP	RS	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b1	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b2	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ST ビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

スタートコンディション発行の詳細については、「38.4.7 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

【“1”になる条件】

- “1”を書いたとき

【“0”になる条件】

- “0”を書いたとき
- スタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1” (アービトレーションロスト発生) になったとき
- ICRCR.ISRST ビットまたは ICRCR.MRST ビットに“1”を書き、RIICHS リセットまたは内部リセットしたとき

注. ST ビットは、ICBSR.BFREE フラグが“1” (バスフリー) のとき、“1” (スタートコンディション発行要求) にしてください。

ICBSR.BFREE フラグが“0” (バスビジー) のとき、ST ビットを“1” (スタートコンディション発行要求) にすると、アービトレーションロストが発生しますので注意してください。

RS ビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが“1”になるとリスタートコンディションの発行を要求し、BFREE フラグが“0” (バスビジー) でかつ ICMR.MST フラグが“1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「38.4.7 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

【“1”になる条件】

- ICBSR.BFREE フラグが“0”の状態、“1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき(リスタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”(アービトレーションロスト発生)になったとき
- ICRCR.ISRST ビットまたはICRCR.MRST ビットに“1”を書き、RIICHS リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを“1”にしないでください。

注. スレーブモードでは RS ビットに“1”(リスタートコンディション発行要求)を書いた場合、リスタートコンディションは発行されずに RS ビットは“1”のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット(ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求しす。

SP ビットが“1”になるとストップコンディションの発行を要求し、ICBSR.BFREE フラグが“0”(バスビジー)でかつ ICM MR.MST フラグが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「38.4.7 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- ICBSR.BFREE フラグが“0”でかつ ICM MR.MST フラグが“1”の状態、 “1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき(ストップコンディションを検出したとき)
- ICSR2.AL フラグが“1”(アービトレーションロスト発生)になったとき
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICRCR.ISRST ビットまたはICRCR.MRST ビットに“1”を書き、RIICHS リセットまたは内部リセットしたとき

注. ICBSR.BFREE フラグが“1”(バスフリー)のときに“1”を書いても無視されます。

注. リスタートコンディション発行中に SP ビットを“1”にしないでください。

38.2.16 送受信データレジスタ (ICDR)

アドレス RIICHS0.ICDR 000E C158h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ICDR レジスタは、32 ビットのリード/ライト可能なレジスタで、受信データバッファからデータを読み出したり、送信データバッファにデータを書き込んだりするために使用します。上位 24 ビットは予約ビットです。32 ビット単位でデータを書く場合、“0”を書いてください。

リード

1 バイトのデータの受信が終了すると、受信したデータがシフトレジスタから ICDR レジスタに転送され、次のデータが受信可能になります。

シフトレジスタと ICDR レジスタはダブルバッファ構造になっているため、シフトレジスタに次のデータが受信されている間に、受信済みのデータを ICDR レジスタから読んでおくで連続受信動作が可能です。

ICDR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDR レジスタから読み出さないまま (ICCSR.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIICHS は RDRF フラグが次に“1”になるタイミングの 1 つ手前の SCLHS0 の立ち下がりによって SCLHS0 ラインを Low にホールドします。

ライト

送信モード時にシフトレジスタが空になっていると、ICDR レジスタに書き込まれている送信データがシフトレジスタに転送され、データ送信が開始されます。

ICDR レジスタとシフトレジスタはダブルバッファ構造になっているため、シフトレジスタのデータが送信されている間に、次の送信データを ICDR レジスタに書いておくで連続送信動作が可能です。

ICDR レジスタへの送信データの書き込みは、送信データエンpty割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

38.2.17 ステータスレジスタ 2 (ICSR2)

アドレス RIICHS0.ICSR2 000E C1D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TMOF	—	—	—	AL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TEND	—	—	—	NACKF	—	—	STOP	START
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b1	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	TEND	送信終了フラグ	0: データ送信中 1: データ送信完了	R/(W) (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロスト発生	R/(W) (注1)
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. “0”のみ書けます。

START フラグ (スタートコンディション検出フラグ)

[“1”になる条件]

- ICSR.STDE ビットが“1”のときに、スタートコンディション(リスタートコンディション含む)を検出したとき

[“0”になる条件]

- このフラグが“1”になっているのを確認した後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICRCR.MRST ビットを“1”にして RIICHS をリセットしたとき
- ICRCR.ISRST ビットを“1”にして内部ステータスをリセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

[“1”になる条件]

- ICSER.SPDE ビットが“1”のときに、ストップコンディションを検出したとき

[“0”になる条件]

- このフラグが“1”になっているのを確認した後、“0”を書いたとき
- ICRCR.MRST ビットを“1”にして RIICHS をリセットしたとき
- ICRCR.ISRST ビットを“1”にして内部ステータスをリセットしたとき

NACK フラグ (NACK 検出フラグ)

[“1”になる条件]

- 以下のすべての条件を満たしたとき
 - ICSER.NAKDE ビットが“1”(NACK 検出許可)
 - 送信モード時に受信デバイスからアクリッジがなかった(NACKを受信した)とき

[“0”になる条件]

- このフラグが“1”になっているのを確認した後、“0”を書いたとき
- ICRCR.MRST ビットを“1”にして RIICHS をリセットしたとき
- ICRCR.ISRST ビットを“1”にして内部ステータスをリセットしたとき

TEND フラグ (送信終了フラグ)

[“1”になる条件]

- 以下のすべての条件を満たしたとき
 - ICSER.TEDE ビットが“1”(送信終了の検出を許可)
 - ICCSR.TDRE フラグが“1”の状態、9個目の SCL の立ち上がり。アドレス送信時は除く

[“0”になる条件]

- このフラグが“1”になっているのを確認した後、“0”を書いたとき
- ICDR レジスタヘータを書いたとき
- ストップコンディションを検出したとき
- ICRCR.MRST ビットを“1”にして RIICHS をリセットしたとき
- ICRCR.ISRST ビットを“1”にして内部ステータスをリセットしたとき

AL フラグ (アービトレーションロストフラグ)

[“1”になる条件]

【マスタアービトレーションロスト検出有効時：ICSER.ALE ビット = 1、ICFER.MALE ビット = 1】

- マスタ送信モード時のデータ送信(スレーブアドレス送信含む)において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDAHS0 ライン上の信号の状態が不一致であったとき(内部 SDA 出力が High 出力(SDAHS0 端子はハイインピーダンス)で、SDAHS0 ラインに Low を検出したとき)
- 以下の 1 と 2 の条件を満たしたとき
 - ICCGR.ST ビットが“1”の状態、スタートコンディションを検出したとき
 - 出力した SDA 信号と SDAHS0 ライン上の信号の状態が不一致であったとき
- ICBSR.BFREE フラグが“0”の状態、ICCGR.ST ビットが“1”(スタートコンディション発行要求)に設定したとき

【NACK 送信アービトレーションロスト検出有効時：ICSER.ALE ビット = 1、ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL の立ち上がり時に、出力した SDA 信号と SDAHS0

ライン上の信号の状態が不一致であったとき

【スレーブアービトレーションロスト検出有効時：ICSER.ALE ビット=1、ICFER.SALE ビット=1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDAHS0 ライン上の信号の状態が不一致であったとき

【“0”になる条件】

- このフラグが“1”になっているのを確認した後、“0”を書いたとき
- ICRCR.MRST ビットを“1”にして RIICHS をリセットしたとき
- ICRCR.ISRST ビットを“1”にして内部ステータスをリセットしたとき

TMOF フラグ (タイムアウト検出フラグ)

【“1”になる条件】

- 以下の 1 から 3 の条件をすべて満たしたとき
 - ICSER.TMOE ビットが“1”(タイムアウト検出許可)
 - マスタモードまたはスレーブモードで受信スレーブアドレスが一致したとき
 - ICTOR レジスタで選択された条件の期間 SCLHS0 ラインの状態に変化がないとき

【“0”になる条件】

- このフラグが“1”になっているのを確認した後、“0”を書いたとき
- ICRCR.MRST ビットを“1”にして RIICHS をリセットしたとき
- ICRCR.ISRST ビットを“1”にして内部ステータスをリセットしたとき

38.2.18 ステータス検出許可レジスタ (ICSER)

アドレス RIICHS0.ICSER 000E C1D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TMOE	—	—	—	ALE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TEDE	—	—	—	NAKDE	—	—	SPDE	STDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STDE	スタートコンディション検出許可ビット	0: スタートコンディション検出禁止 1: スタートコンディション検出許可	R/W
b1	SPDE	ストップコンディション検出許可ビット	0: ストップコンディション検出禁止 1: ストップコンディション検出許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	NAKDE	NACK検出許可ビット	0: NACK検出禁止 1: NACK検出許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	TEDE	送信終了検出許可ビット	0: 送信終了の検出を禁止 1: 送信終了の検出を許可	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	ALE	アービトレーションロスト検出許可ビット	0: アービトレーションロスト検出禁止 1: アービトレーションロスト検出許可	R/W
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	TMOE	タイムアウト検出許可ビット	0: タイムアウト検出禁止 1: タイムアウト検出許可	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

本レジスタは、各ステータスの検出を許可/禁止するレジスタです。許可されたステータスが検出されると、ICSR2レジスタの該当するフラグが“1”になります。

38.2.19 ステータス割り込み許可レジスタ (ICSIER)

アドレス RIICHS0.ICSIER 000E C1D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TMOIE	—	—	—	ALIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TEIE	—	—	—	NAKIE	—	—	SPIE	STIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STIE	スタートコンディション検出割り込み許可ビット	0: スタートコンディション検出割り込み禁止 1: スタートコンディション検出割り込み許可	R/W
b1	SPIE	ストップコンディション検出割り込み許可ビット	0: ストップコンディション検出割り込み禁止 1: ストップコンディション検出割り込み許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	NAKIE	NACK検出割り込み許可ビット	0: NACK検出割り込み禁止 1: NACK検出割り込み許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み禁止 1: 送信終了割り込み許可	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	ALIE	アービトレーションロスト検出割り込み許可ビット	0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可	R/W
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	TMOIE	タイムアウト検出割り込み許可ビット	0: タイムアウト検出割り込み禁止 1: タイムアウト検出割り込み許可	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

本レジスタは、各ステータスの割り込みを許可/禁止するレジスタです。ICSR2 レジスタのフラグが“1”になったとき、対応する割り込み許可ビットが“1”であると、割り込み要求が出力されます。

38.2.20 通信ステータスレジスタ (ICCSR)

アドレス RIICHS0.ICCSR 000E C1E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDRF	TDRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDRE	送信データエンプティフラグ	0: 送信データバッファに送信データあり 1: 送信データバッファに送信データなし	R
b1	RDRF	受信データフルフラグ	0: 受信データバッファに受信データなし 1: 受信データバッファに受信データあり	R
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

TDRE フラグ (送信データエンプティフラグ)

[“1”になる条件]

ICCSR.TDE ビットが“1”(送信データエンプティの検出を許可)のときに、以下のいずれかの条件を満たしたとき

- データが送信データバッファからシフトレジスタへ転送され、送信データバッファが空になった
- ICMMR.TRS フラグが“1”になった
- TRS フラグが“1”のときに、受信したスレーブアドレスが一致した

[“0”になる条件]

- ICDR レジスタにデータを書いたとき
- ICMMR.TRS フラグが“0”になったとき
- ICRCR.MRST ビットを“1”にして RIICHS をリセットしたとき
- ICRCR.ISRST ビットを“1”にして内部ステータスをリセットしたとき

注. ICSSER.NAKDE ビットが“1”のときに ICSR2.NACKF フラグが“1”になると、RIICHS はデータの送受信を停止します。このとき、TDRE フラグが“0”(次の送信データが書き込み済み)であると、9 個目の SCL の立ち上がりでそのデータがシフトレジスタに転送され、送信バッファが空になりますが、TDRE フラグは“1”になりません。

RDRF フラグ (受信データフルフラグ)

[“1”になる条件]

ICCSR.RDE ビットが“1”(受信データフルの検出を許可)のときに、以下のいずれかの条件を満たしたとき

- 受信データがシフトレジスタから受信データバッファへ転送された(8 または 9 個目 (ICCSSER.WAITAE ビットで選択) の SCL の立ち上がりで RDRF フラグが“1”になります)
- ICMMR.TRS フラグが“0”のときに、スタートコンディション(リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致した

[“0”になる条件]

- ICDR レジスタを読んだとき
- ICRCR.MRST ビットを“1”にして RIICHS をリセットしたとき
- ICRCR.ISRST ビットを“1”にして内部ステータスをリセットしたとき

38.2.21 通信ステータス検出許可レジスタ (ICCSER)

アドレス RIICHS0.ICCSER 000E C1E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDE	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	送信データエンプティ検出許可ビット	0: 送信データエンプティの検出を禁止 1: 送信データエンプティの検出を許可	R/W
b1	RDE	受信データフル検出許可ビット	0: 受信データフルの検出を禁止 1: 受信データフルの検出を許可	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

本レジスタは、各ステータスの検出を許可/禁止するレジスタです。許可されたステータスが検出されると、ICCSR レジスタの該当するフラグが“1”になります。

38.2.22 通信ステータス割り込み許可レジスタ (ICCSIER)

アドレス RIICHS0.ICCSIER 000E C1E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RIE	TIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TIE	送信データエンプティ割り込み許可ビット	0: 送信データエンプティ割り込み禁止 1: 送信データエンプティ割り込み許可	R/W
b1	RIE	受信データフル割り込み許可ビット	0: 受信データフル割り込み禁止 1: 受信データフル割り込み許可	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

本レジスタは、各ステータスの割り込みを許可/禁止するレジスタです。ICCSR レジスタのフラグが“1”になったとき、対応する割り込み許可ビットが“1”であると、割り込み要求が生成されます。

38.2.23 バスステータスレジスタ (ICBSR)

アドレス RIICHS0.ICBSR 000E C210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BFREE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFREE	バスフリーフラグ	0 : バスフリー状態の検出なし 1 : バスフリー状態の検出あり	R
b31-b1	—	予約ビット	読むと“0”が読めます	R

BFREE フラグ (バスフリーフラグ)I²Cバスの占有 (バスビジー) / 解放 (バスフリー) 状態を示します。

[“1”になる条件]

- ストップコンディションの検出後、SCLHS0ラインと SDAHS0ラインが High のときに、ICBFTR レジスタに設定したサイクル数が経過したとき
- ICCR.ICE ビットを“1”にした後、SCLHS0ラインと SDAHS0ラインが High のときに、ICBFTR レジスタに設定したサイクル数が経過したとき

[“0”になる条件]

- スタートコンディションを検出したとき
- ICCR.ICE ビットを“0”にしたとき
- ICRCR.MRST ビットを“1”にして RIICHS をリセットしたとき
- ICRCR.ISRST ビットを“1”にして内部ステータスをリセットしたとき

38.2.24 スレーブモードステータスレジスタ (ICSSR)

アドレス RIICHS0.ICSSR 000E C214h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	—	—	—	—	—	—	—	DID	HSMC	—	—	—	—	GCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
b4-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b5	HSMC	Hsモードマスタコード検出フラグ	0: Hsモードマスタコード未検出 1: Hsモードマスタコード検出	R/(W) (注1)
b6	DID	デバイスIDアドレス検出フラグ	0: デバイスIDアドレス未検出 1: デバイスIDアドレス検出 • スタートコンディションの検出直後に受信した最初のフレームがデバイスIDアドレス(1111 100b) + 0 (write) と一致した場合にこのビットが“1”に設定されます	R/(W) (注1)
b14-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15	HOA	ホストアドレス検出フラグ	0: ホストアドレス未検出 1: ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス(0001 000b)と一致した場合	R/(W) (注1)
b16	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出	R/(W) (注1)
b17	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出	R/(W) (注1)
b18	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出	R/(W) (注1)
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. “0”のみ書けます。

GCA フラグ (ジェネラルコールアドレス検出フラグ)

[“1”になる条件]

- 次の条件 1,2 を満たしたとき、第一バイトの9 個目の SCL の立ち上がりでこのフラグが“1”になります。
 - ICSSR.GCAE ビットが“1”(ジェネラルコールアドレス検出有効)
 - 受信したスレーブアドレスがジェネラルコールアドレス(0000 000b + 0 (write)) と一致したとき

[“0”になる条件]

- このフラグが“1”になっているのを確認した後、“0”を書いたとき
- ストップコンディションを検出したとき
- リスタートコンディションを検出したとき

HSMC フラグ (Hs モードマスタコード検出フラグ)

["1"になる条件]

- 次の条件 1,2 を満たしたとき、第一バイトの 9 個目の SCL の立ち上がりでこのフラグが "1" になります。
 1. ICSCR.HSMCE ビットが "1" (Hs モードマスタコード検出有効)
 2. スタートコンディション検出後の第一バイトが Hs モードマスタコード (0000 1XXXb) + 1 (NACK) と一致したとき

["0"になる条件]

- このフラグが "1" になっているのを確認した後、"0" を書いたとき
- ストップコンディションを検出したとき

DID フラグ (デバイス ID アドレス検出フラグ)

["1"になる条件]

- 次の条件 1,2 を満たしたとき、第一バイトの 9 個目の SCL の立ち上がりでこのフラグが "1" になります。
 1. ICSCR.DIDE ビットが "1" (デバイス ID アドレス検出有効)
 2. スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき

["0"になる条件]

- このフラグが "1" になっているのを確認した後、"0" を書いたとき
- ストップコンディションを検出したとき
- 次の条件 1,2 または条件 1,3 を満たしたとき、第一バイトの 9 個目の SCL の立ち上がりでこのフラグが "0" になります。
 1. ICSCR.DIDE ビットが "1" (デバイス ID アドレス検出有効)
 2. スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき
 3. スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ~ 2 のすべてと不一致のとき

HOA フラグ (ホストアドレス検出フラグ)

["1"になる条件]

- 次の条件 1,2 を満たしたとき、第一バイトの 9 個目の SCL の立ち上がりでこのフラグが "1" になります。
 1. ICSCR.HOAE ビットが "1" (ホストアドレス検出有効)
 2. 受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき

["0"になる条件]

- このフラグが "1" になっているのを確認した後、"0" を書いたとき
- ストップコンディションを検出したとき
- リスタートコンディションを検出したとき

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[“1”になる条件]

【7ビットアドレスフォーマット選択時：SAMRy.FS フラグ = 0】

- 次の条件 1,2 を満たしたとき、第一バイトの 9 個目の SCL の立ち上がりでこのフラグが “1” になります。
 1. ICSCR.SARyE ビットが “1” (スレーブ y 有効)
 2. 受信したスレーブアドレスが SAMRy.SVA[6:0] ビットと一致したとき

【10ビットアドレスフォーマット選択時：SAMRy.FS フラグ = 1】

- 次の条件 1,2 を満たしたとき、第二バイトの 9 個目の SCL の立ち上がりでこのフラグが “1” になります。
 1. ICSCR.SARyE ビットが “1” (スレーブ y 有効)
 2. 受信したスレーブアドレスが 1111 0b + SAMRy.SVA[9:8] ビットと一致し、それに続くアドレスが SAMRy.SVA[7:0] ビットと一致したとき

[“0”になる条件]

- このフラグが “1” になっているのを確認した後、“0”を書いたとき
- ストップコンディションを検出したとき

【7ビットアドレスフォーマット選択時：SAMRy.FS フラグ = 0】

- 次の条件 1,2 を満たしたとき、第一バイトの 9 個目の SCL の立ち上がりでこのフラグが “0” になります。
 1. ICSCR.SARyE ビットが “1” (スレーブ y 有効)
 2. 受信したスレーブアドレスが SAMRy.SVA[6:0] ビットと不一致のとき

【10ビットアドレスフォーマット選択時：SAMRy.FS フラグ = 1】

- 次の条件 1,2 を満たしたとき、第一バイトの 9 個目の SCL の立ち上がりでこのフラグが “0” になります。
 1. ICSCR.SARyE ビットが “1” (スレーブ y 有効)
 2. 受信したスレーブアドレスが 11110b + SAMRy.SVA[9:8] ビットと不一致のとき
- 次の条件 1,2 を満たしたとき、第二バイトの 9 個目の SCL の立ち上がりでこのフラグが “0” になります。
 1. ICSCR.SARyE ビットが “1” (スレーブ y 有効)
 2. 受信したスレーブアドレスが 1111 0b + SAMRy.SVA[9:8] ビットと一致し、それに続くアドレスが SAMRy.SVA[7:0] ビットと不一致のとき

38.2.25 スレーブアドレスレジスタ y (SARy) (y = 0 ~ 2)

アドレス RIICHS0.SAR0 000E C2B0h, RIICHS0.SAR1 000E C2B4h, RIICHS0.SAR2 000E C2B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	FS	SVA[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	SVA[9:0]	スレーブアドレス	スレーブアドレスを設定してください	R/W
b10	FS	アドレスフォーマット選択ビット	0 : 7ビットアドレスフォーマット 1 : 10ビットアドレスフォーマット	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

FS ビット (アドレスフォーマット選択ビット)

スレーブアドレス (SVA[9:0] ビット) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

FS ビットが“0”のとき、スレーブアドレスには 7 ビットアドレスフォーマットが選択され、SVA[6:0] ビットの設定値が有効になり、SVA[9:7] ビットの設定値は無視されます。

FS ビットが“1”のとき、スレーブアドレスには 10 ビットアドレスフォーマットが選択され、SVA[9:0] ビットの設定値が有効になります。

ICSCR.SARyE ビットが“0”のとき FS ビットの設定値は無視されます。

38.2.26 スレーブアドレスモニタレジスタ y (SAMRy) (y = 0 ~ 2)

アドレス RIICHS0.SAMR0 000E C330h, RIICHS0.SAMR1 000E C334h, RIICHS0.SAMR2 000E C338h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	SAV	—	—	FS	—	SVA[9:0]									—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます	R
b25-b16	SVA[9:0]	スレーブアドレス	スレーブアドレスがセットされます	R
b26	—	予約ビット	読むと“0”が読めます	R
b27	FS	アドレスフォーマットフラグ	0 : 7ビットアドレスフォーマットを選択 1 : 10ビットアドレスフォーマットを選択	R
b29-b28	—	予約ビット	読むと“0”が読めます	R
b30	SAV	スレーブアドレス有効フラグ	0 : スレーブアドレスは無効 1 : スレーブアドレスは有効	R
b31	—	予約ビット	読むと“0”が読めます	R

SVA[9:0] ビット (スレーブアドレス)

SVA[9:0] ビットは有効なスレーブアドレスを示します。

- SAV フラグが“1”、FS フラグが“0”の場合 :
SVA[9:7] ビットは“000b”
SVA[6:0] ビットは SARy.SVA[6:0] ビットと同じ
- SAV フラグが“1”、FS フラグが“1”の場合 :
SVA[9:0] ビットは SARy.SVA[9:0] ビットと同じ

FS フラグ (アドレスフォーマットフラグ)

[“1”になる条件]

- 以下のすべての条件すべてを満たすとき
 - ICSCR.SARyE ビットが“1”(スレーブ y 有効)
 - SARy.FS ビットが“1”(アドレス長が 10 ビット)

[“0”になる条件]

- [“1”になる条件] が満たされないとき

SAV フラグ (スレーブアドレス有効フラグ)

[“1”になる条件]

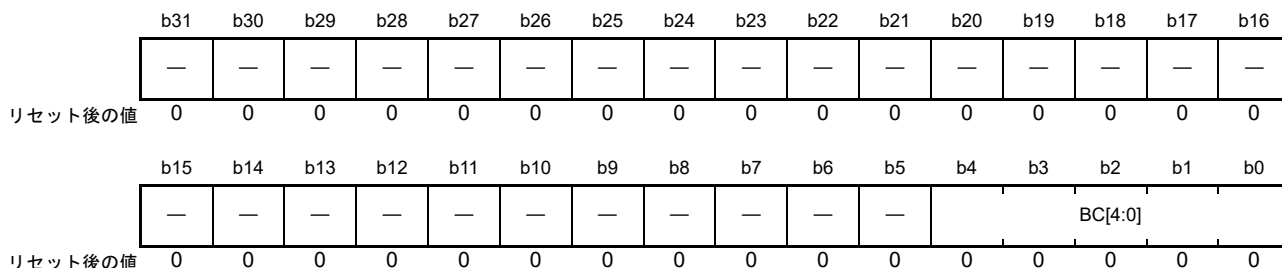
- 以下の条件すべてを満たすとき
 1. ICSCR.SARyE ビットが“1” (スレーブアドレス y 検出許可)
 2. FS フラグが“0”のとき、SARy.SVA[6:0] ビットが“0000000b”ではない。
FS フラグが“1”のとき、SARy.SVA[9:0] ビットはが“000000000b”ではない。

[“0”になる条件]

- [“1”になる条件]が満たされないとき

38.2.27 ビットカウントレジスタ (ICBCR)

アドレス RIICHS0.ICBCR 000E C380h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BC[4:0]	ビットカウンタ	残りの転送ビット数を表示します。詳細は表38.4を参照してください	R
b31-b5	—	予約ビット	読むと“0”が読めます	R

BC[4:0] ビット (ビットカウンタ)

SCLHS0 ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。

表38.4 カウンタの値と残ビット数

BC[4:0]	マスタ		スレーブ	
	アドレスフェーズ	データフェーズ	アドレスフェーズ	データフェーズ
00h	2 または 1 ビット	2 または 1 ビット	3 ~ 1 ビット	2 または 1 ビット
01h	3 ビット	3 ビット	4 ビット	3 ビット
02h	4 ビット	4 ビット	5 ビット	4 ビット
03h	5 ビット	5 ビット	6 ビット	5 ビット
04h	6 ビット	6 ビット	7 ビット	6 ビット
05h	7 ビット	7 ビット	8 ビット	7 ビット
06h	8 ビット	8 ビット	9 ビット	8 ビット
07h	9 ビット	9 ビット	—	9 ビット

38.2.28 内部ステータスマニタレジスタ (ICIMR)

アドレス RIICHS0.ICIMR 000E C3CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SDAO	SCLO	SDAI	SCLI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SCLI	SCLラインモニタフラグ	0 : SCLHS0ラインはLow 1 : SCLHS0ラインはHigh	R
b1	SDAI	SDAラインモニタフラグ	0 : SDAHS0ラインはLow 1 : SDAHS0ラインはHigh	R
b2	SCLO	SCL出力モニタフラグ	0 : SCLHS0端子をLowにしている 1 : SCLHS0端子を解放している	R
b3	SDAO	SDA出力モニタフラグ	0 : SDAHS0端子をLowにしている 1 : SDAHS0端子を解放している	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

SCLO フラグ (SCL 出力モニタフラグ)、SDAO フラグ (SDA 出力モニタフラグ)

これらのビットを読んだ場合は、そのとき RIICHS が出力している信号の状態が読めます。

38.3 動作説明

38.3.1 通信データフォーマット

I²C バスフォーマットは、8ビットのデータと1ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 38.2 に I²C バスフォーマットを、図 38.3 に I²C バスタイミングを示します。

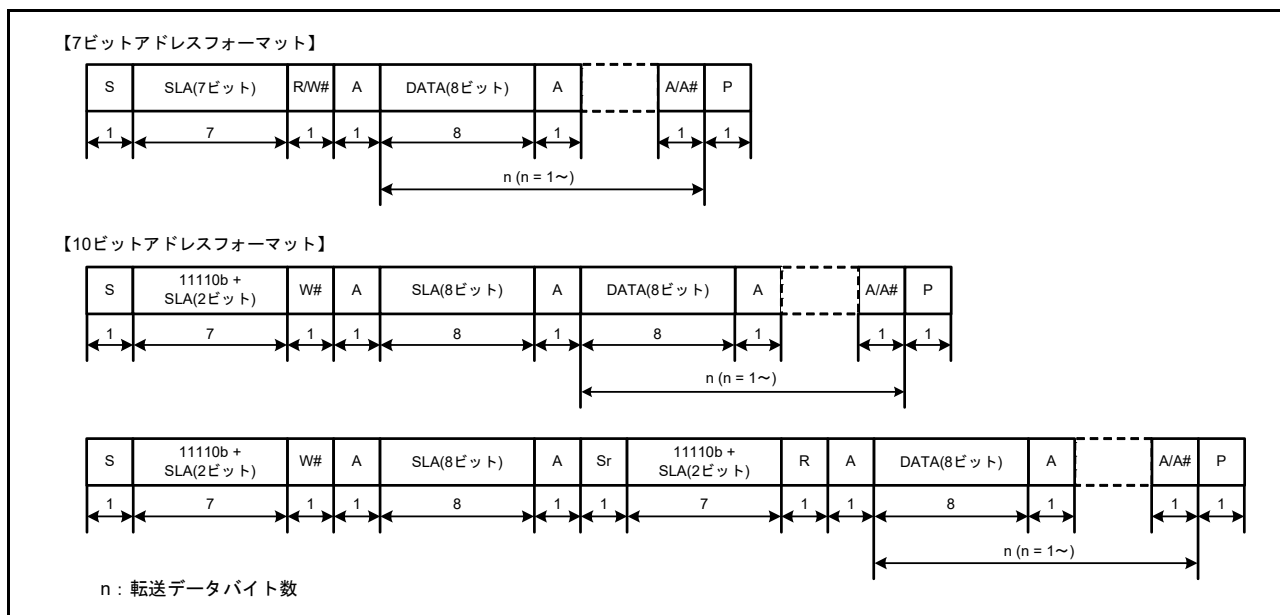


図 38.2 I²C バスフォーマット

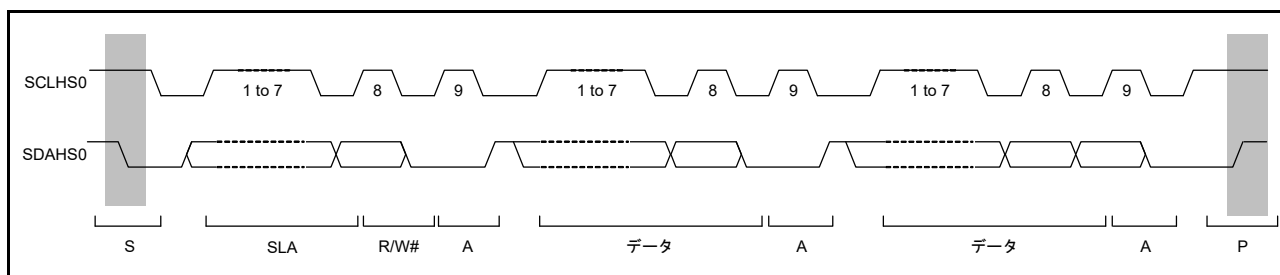


図 38.3 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SCLHS0ラインがHighの状態からSDAHS0ラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブアドレスでスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A: アクノリッジを示します。受信デバイスがSDAHS0ラインをLowにします(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A#: ノットアクノリッジを示します。受信デバイスがSDAHS0ラインをHighにします。
- Sr: リスタートコンディションを示します。マスタデバイスが、SCLHS0ラインがHighの状態からセットアップ時間経過後にSDAHS0ラインがHighからLowに変化します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SCLHS0ラインがHighの状態からSDAHS0ラインがLowからHighに変化します。

38.3.2 初期設定

データの送信/受信を開始する場合、図 38.4 に示す手順に従って RIICHS を初期化してください。

ICCR.ICE ビットを“0”(SCLHS0、SDAHS0 端子非駆動状態)にした後、ICRCR.MRST ビットを“1”(RIICHS リセット)にします。これによりすべてのレジスタや内部状態の初期化を行います。詳細は「表 38.6 レジスタのリセットコントロール」を参照してください。その後 MRST ビットが“0”になるのを待ちます。

その後、SARy.FS、SARy.SVA[9:0] ビット (y = 0 ~ 2)、ICFBR、ICICR、ICOOCR、ICTOR、ICCSCR、ICACKR、ICFER レジスタを設定し、その他のレジスタは必要に応じて設定してください。

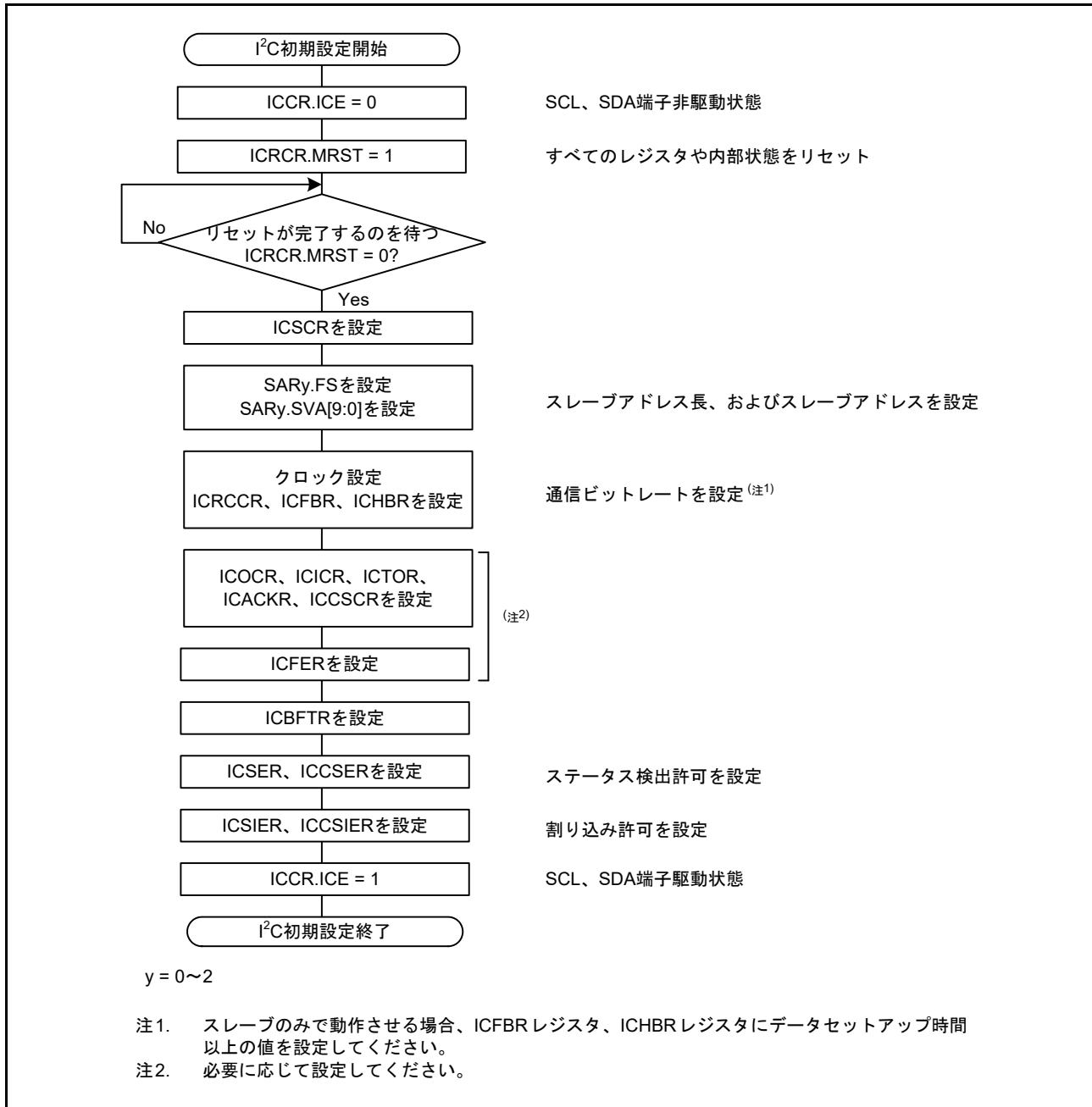


図 38.4 RIICHS の初期化フローチャート例

38.3.3 I²C マスタ動作

38.3.3.1 マスタ送信動作

マスタ送信では、マスタデバイスである RIICHS がクロックを生成し、データを送信して、スレーブデバイスがアクノリッジを返します。図 38.5 にマスタ送信の使用例を、図 38.6 ～図 38.8 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「38.3.2 初期設定」を参照してください。
- (2) ICBSR.BFREE フラグを読んでバスが解放状態であることを確認した後、ICCGR.ST ビットに“1”を書きます(スタートコンディション発行要求)。RIICHS はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIICHS はスタートコンディションを検出すると BFREE フラグを自動的に“0”、ICSR2.START フラグを自動的に“1”にし、ICCGR.ST ビットを自動的に“0”にします。このとき ICCGR.ST ビットが“1”の状態でも出力した SDA 信号と SDAHS0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIICHS は ICCGR.ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICMMR.MST、TRS フラグを自動的に“1”にしてマスタ送信モードになります。また ICCSR.TDRE フラグは、TRS フラグが“1”になることにより自動的に“1”になります。
- (3) ICCSR.TDRE フラグが“1”であることを確認した後、ICDR レジスタに送信データ(スレーブアドレスと R/W# ビット)を書いてください。ICDR レジスタに送信データを書くと ICCSR.TDRE フラグは自動的に“0”になり、再び ICCSR.TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS フラグが変更され送信モード/受信モードが選択されます。RIICHS は R/W# ビットが“0”の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCGR.SP ビットに“1”を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDR レジスタに 11110b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDR レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICCSR.TDRE フラグが“1”であることを確認した後、送信データを ICDR レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIICHS は自動的に SCLHS0 ラインを Low にホールドします。
- (5) 送信する全バイトを ICDR レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待ってから ICCGR.SP ビットに“1”を書いてください(ストップコンディション発行要求)。RIICHS はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIICHS はストップコンディションを検出すると、ICMMR.MST、TRS フラグが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICCSR.TDRE、ICSR2.TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF、STOP フラグを“0”にしてください。

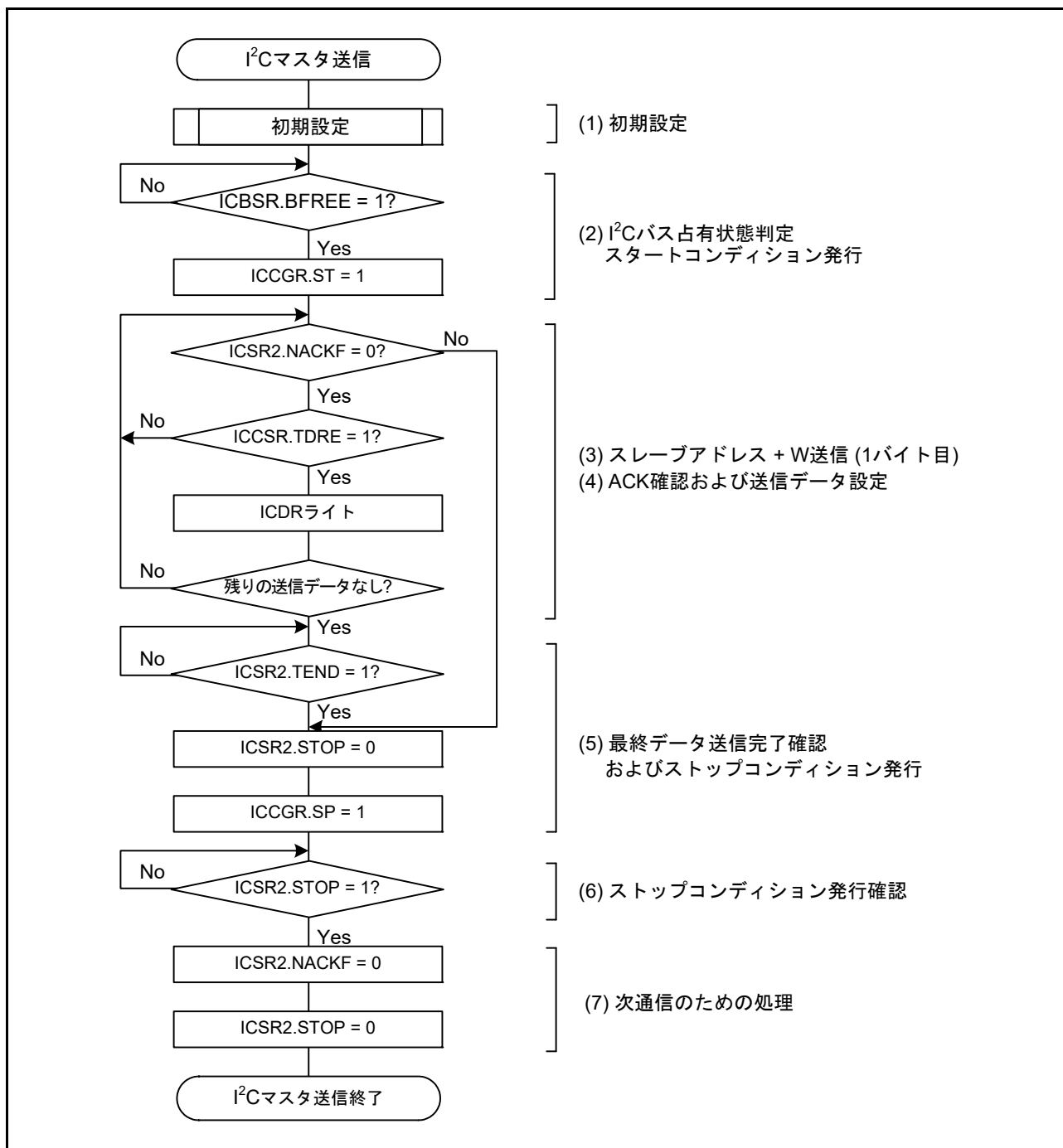


図 38.5 I²C マスタ送信のフローチャート例

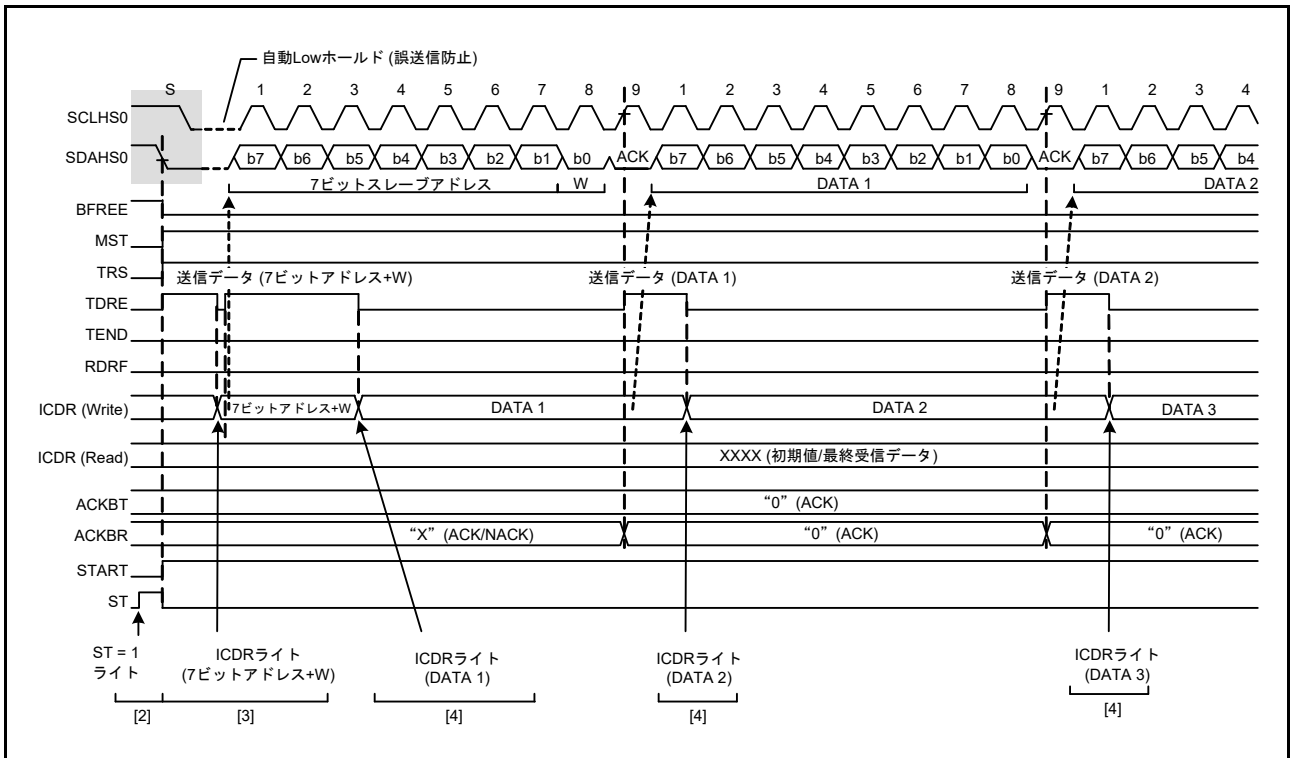


図 38.6 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットするとき)

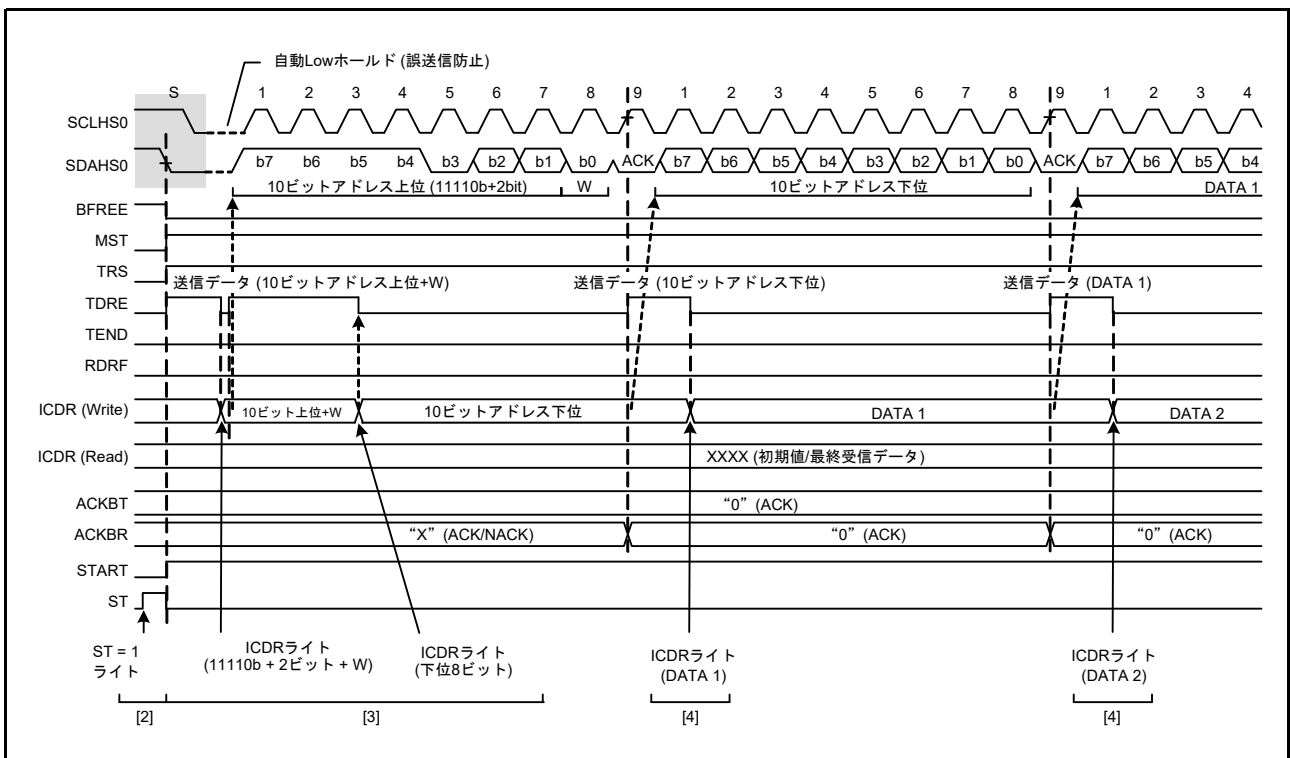


図 38.7 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットするとき)

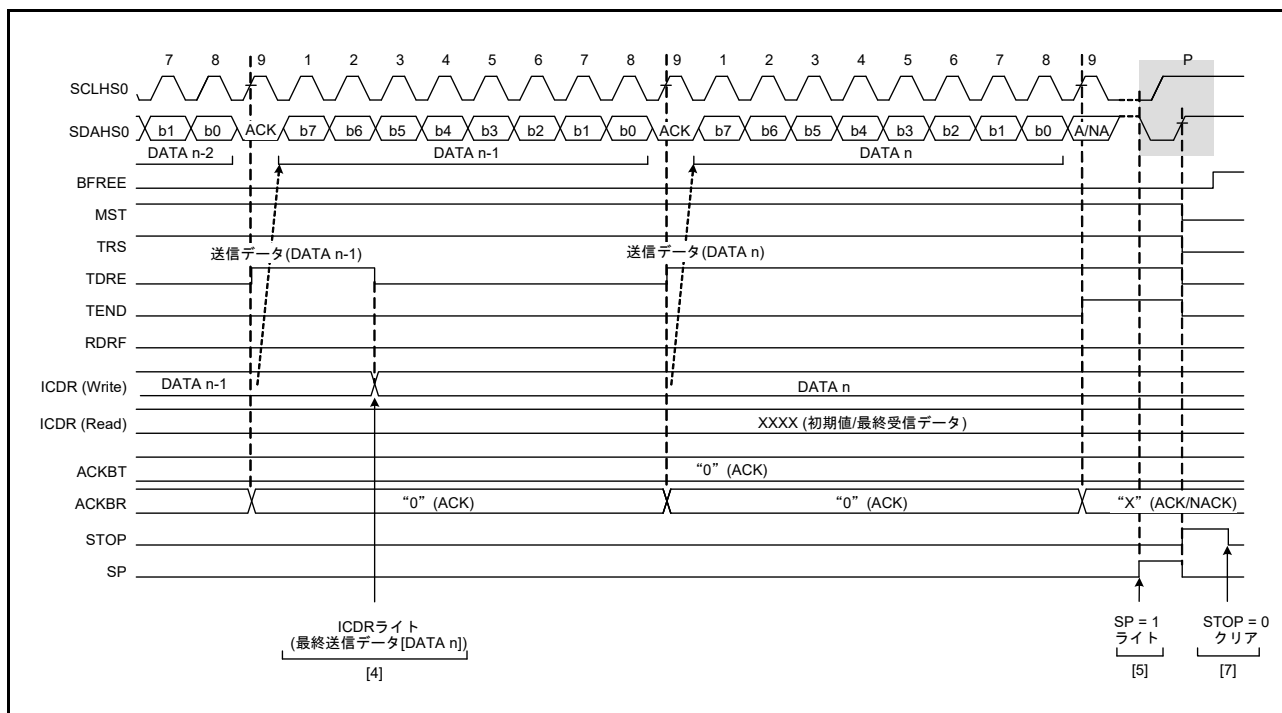


図 38.8 マスタ送信の動作タイミング (3)

38.3.3.2 マスタ受信動作

マスタ受信では、マスタデバイスである RIICHS がクロックを生成し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 38.9、図 38.10 にマスタ受信の使用例(7ビットアドレスフォーマットの場合)を、図 38.11～図 38.13 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「38.3.2 初期設定」を参照してください。
- (2) ICBSR.BFREE フラグを読んでバスが解放状態であることを確認した後、ICCGR.ST ビットに“1”を書きます(スタートコンディション発行要求)。RIICHS はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIICHS はスタートコンディションを検出すると ICBSR.BFREE フラグを自動的に“0”、ICSR2.START フラグを自動的に“1”にし、ICCGR.ST ビットを自動的に“0”にします。このとき ICCGR.ST ビットが“1”の状態でも出力した SDA 信号と SDAHS0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIICHS は ICCGR.ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICMMR.MST、TRS フラグを自動的に“1”にしてマスタ送信モードになります。また ICCSR.TDRE フラグは、TRS フラグが“1”になることにより自動的に“1”になります。

なお、スレーブデバイスが認識されていないか、あるいは通信不良が発生した場合は ICSR2.NACKF フラグが“1”になるので、ストップコンディションを発行してください。ストップコンディションの発行は ICCGR.SP ビットに“1”を書くことで行えます。

なお、10ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で10ビットアドレスを送信した後、リスタートコンディションを発行します。その後、11110b+スレーブアドレスの上位2ビット+Rを送信することで、マスタ受信モードに移行します。
- (3) ICCSR.TDRE フラグが“1”であることを確認した後、ICDR レジスタに送信データ(スレーブアドレスと R/W# ビット)を書いてください。ICDR レジスタに送信データを書くと ICCSR.TDRE フラグは自動的に“0”になり、再び ICCSR.TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICMMR.TRS フラグが変更され送信モード/受信モードが選択されます。RIICHS は R/W# ビットが“1”の第一バイトを受信すると、9クロック目の立ち上がりで TRS フラグを“0”にしてマスタ受信モードに移行します。このとき ICCSR.TDRE フラグは“0”になります。また、スレーブデバイスが ACK 応答を行った場合、ICCSR.RDRF フラグは自動的に“1”になります。

なお、スレーブデバイスが認識されていないか、あるいは通信不良が発生した場合は ICSR2.NACKF フラグが“1”になるので、ストップコンディションを発行してください。ストップコンディションの発行は ICCGR.SP ビットに“1”を書くことで行えます。

なお、10ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で10ビットアドレスを送信した後、リスタートコンディションを発行します。その後、11110b+スレーブアドレスの上位2ビット+Rを送信することで、マスタ受信モードに移行します。
- (4) ICCSR.RDRF フラグが“1”であることを確認した後、ダミーで ICDR レジスタを読むと、RIICHS は SCL を出力して受信動作を開始します。
- (5) 1バイトのデータ受信が終了し、ICCSR.WAITAE ビットで設定した8または9個目の SCL の立ち上がりで、ICCSR.RDRF フラグが“1”になります。このとき ICDR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また9個目の SCL のアクノリッジビットには、ICACKR.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト-1の場合、ICDR レジスタ(最終バイト-2バイト目)を読む前に ICCSCR.WAITRE ビットを“1”(WAIT あり)にしてください。これにより、続く(6)の ICACKR.ACKBT ビットを“1”(NACK)にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするるとともに、最終バイトの受信時に9クロック目の立ち下がり SCLHS0 ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICCSCR.WAITAE ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICACKR.ACKBT ビットを“1”(NACK)にしてください。

- (7) ICDR レジスタ (最終バイト-1 バイト目) 読み出し後、ICCSR.RDRF フラグが“1”であることを確認してから、ICCGR.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDR レジスタ (最終バイト) を読んでください。RIICHS は ICCGR.SP ビットに“1”を書くことにより、WAIT 状態が解除され、9クロック目の Low 出力終了または SCLHS0 ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIICHS はストップコンディションを検出すると、ICMMR.MST、TRS フラグは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF、STOP フラグを“0”にしてください。

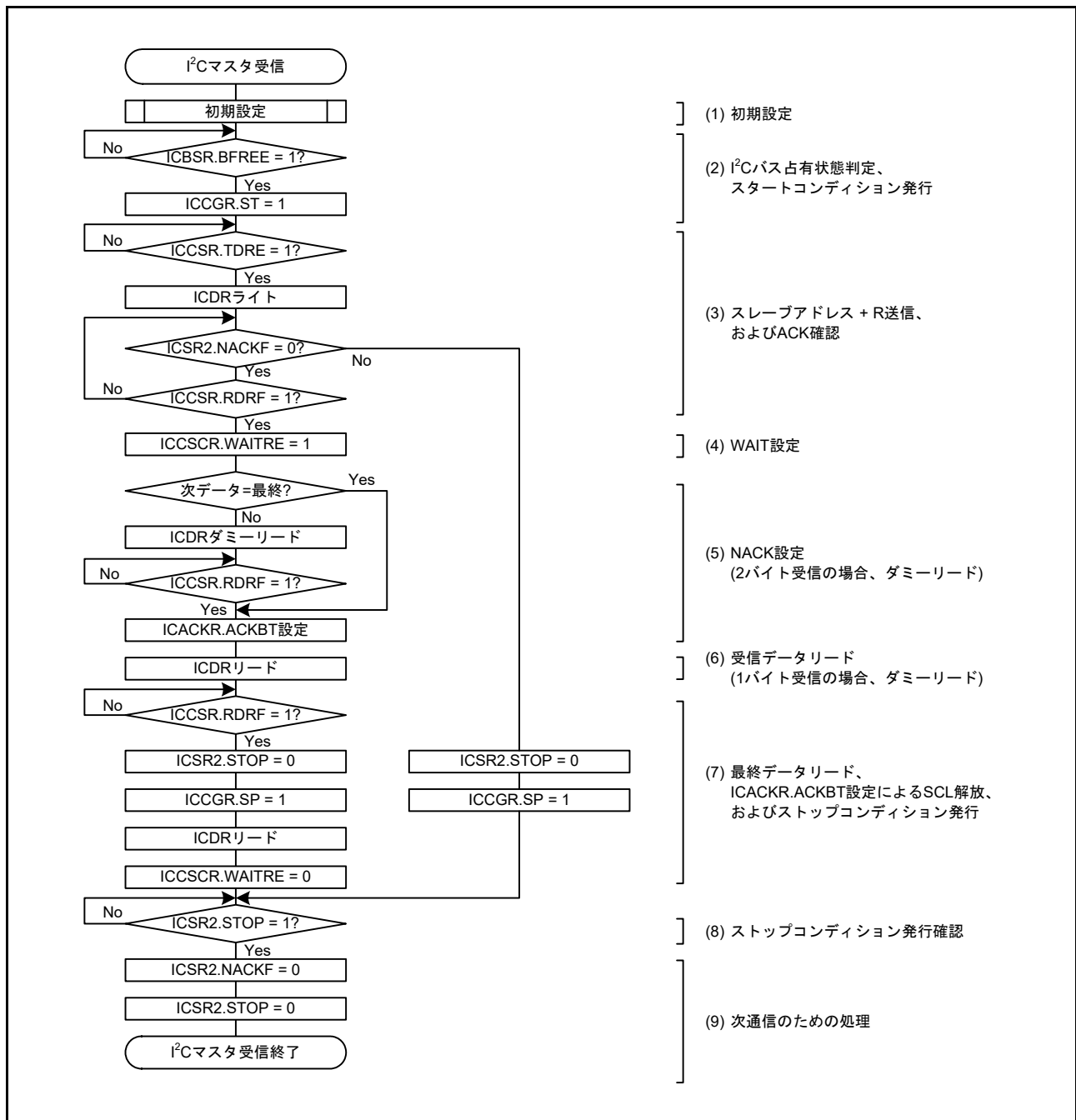


図 38.9 I²C マスタ受信のフローチャート例 (7 ビットアドレスフォーマットの場合、2 バイト以下の場合)

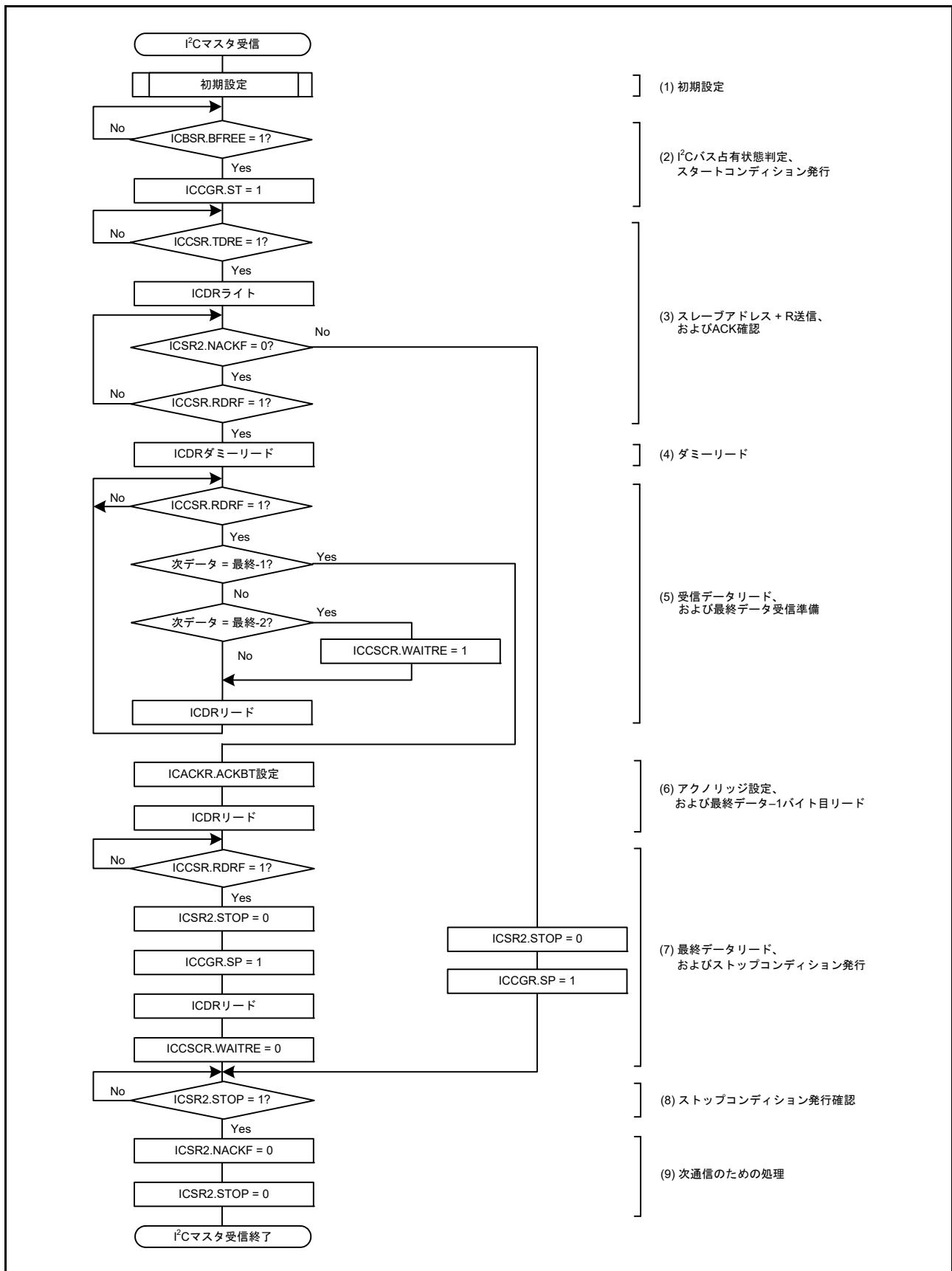


図 38.10 I²C マスタ受信のフローチャート例 (7 ビットアドレスフォーマット、3 バイト以上の場合)

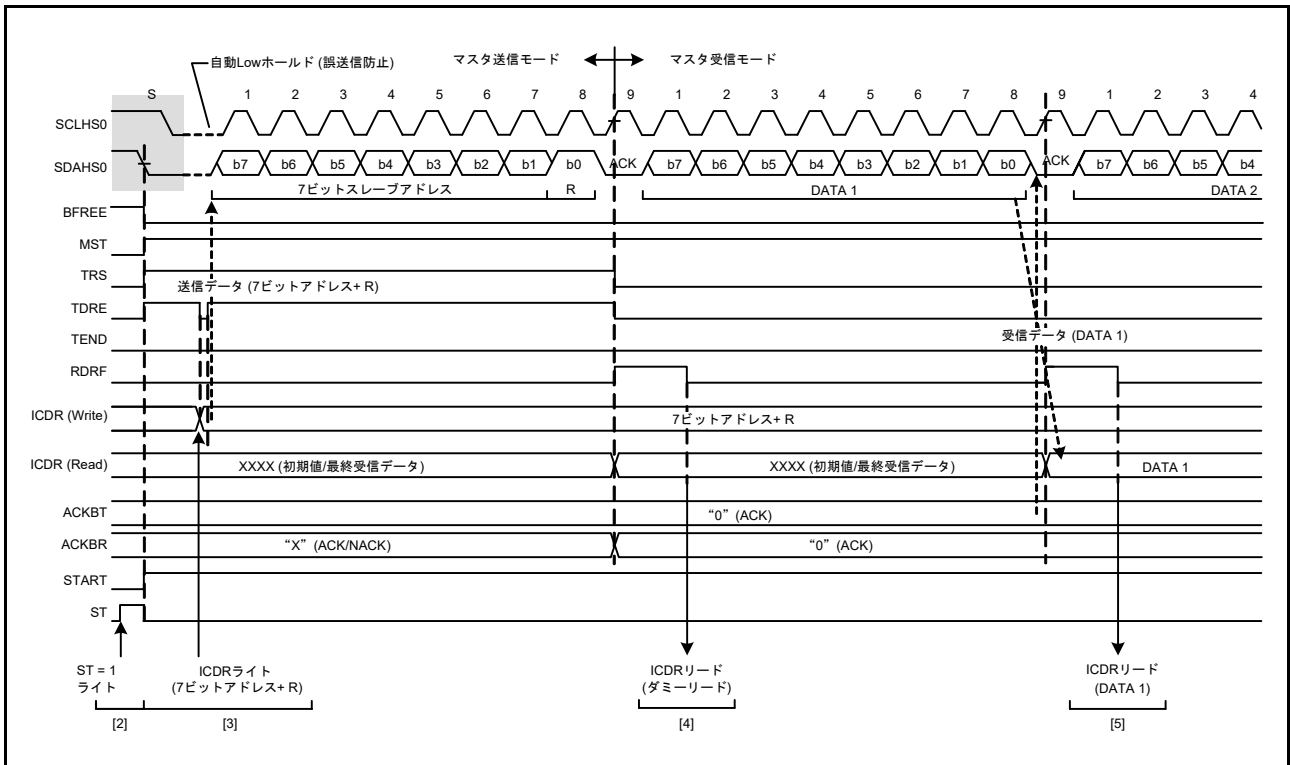


図 38.11 マスタ受信の動作タイミング (1) (7 ビットアドレスフォーマット、WAITAE ビット = 0 のとき)

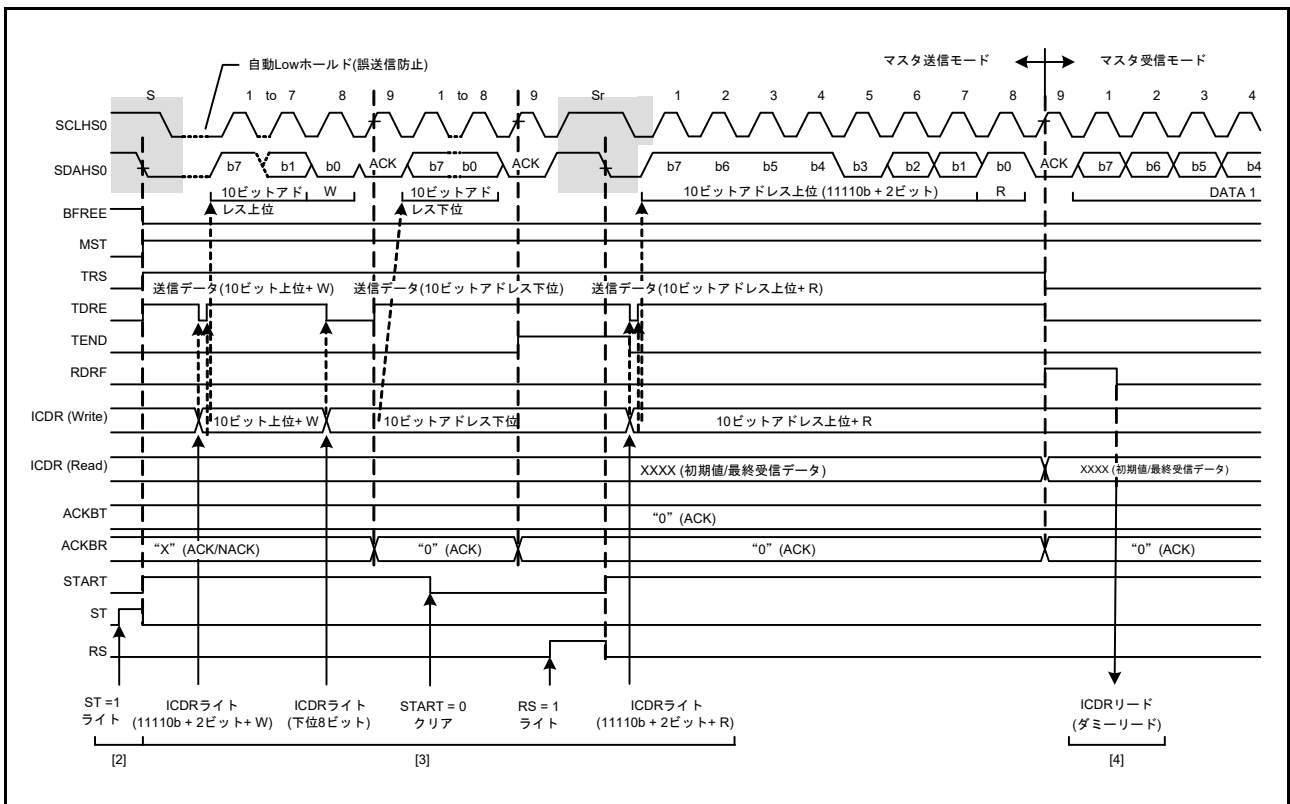


図 38.12 マスタ受信の動作タイミング (2) (10 ビットアドレスフォーマット、WAITAE ビット = 0 のとき)

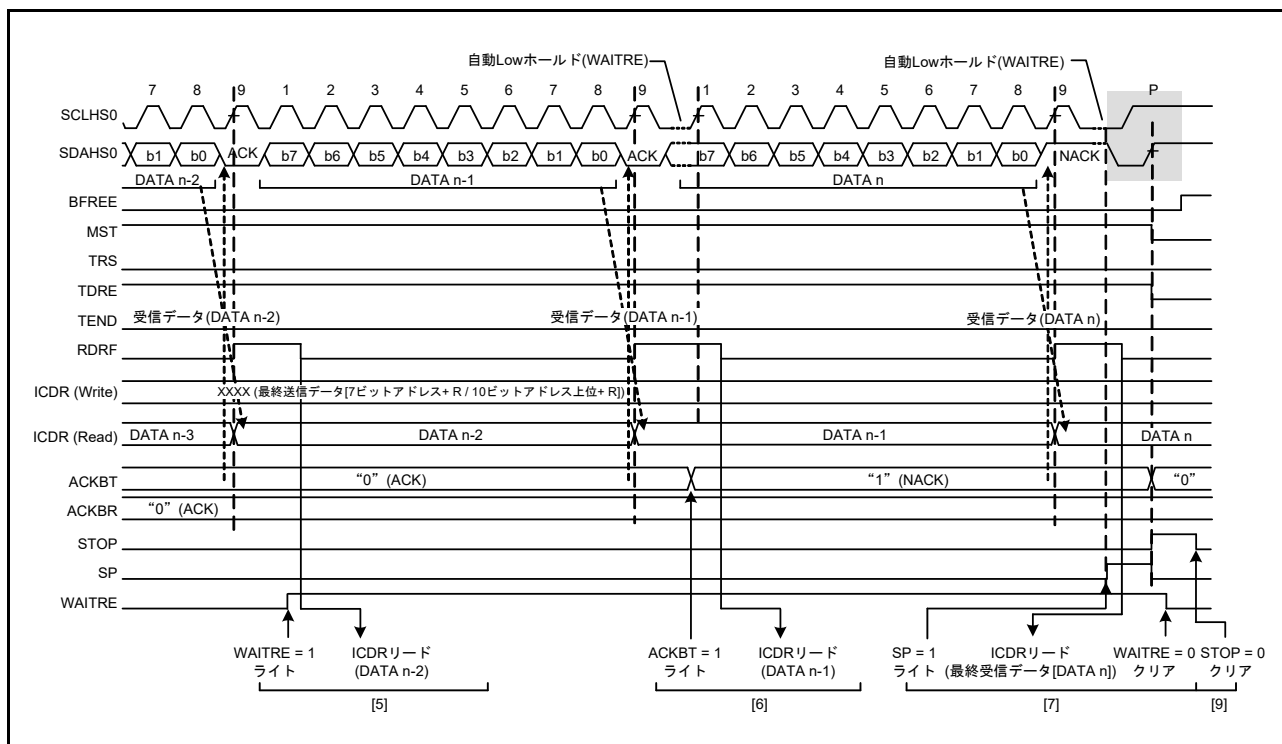


図 38.13 マスタ受信の動作タイミング (3) (WAITAE ビット = 0 のとき)

38.3.4 I²C スレーブ動作

38.3.4.1 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL を出力し、スレーブデバイスである RIICHS がデータを送信し、マスタデバイスがアクノリッジを返します。

図 38.14 にスレーブ送信の使用例を示します。図 38.15、図 38.16 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「38.3.2 初期設定」を参照してください。
初期設定完了後、RIICHS はスレーブアドレスが一致するまで待機状態となります。
- (2) RIICHS はスレーブアドレスが一致した場合、9 個目の SCL の立ち上がりで該当する ICSSR.HOA、GCA、AASy フラグ (y=0~2) のいずれかを“1”にし、9 個目の SCL のアクノリッジビットに ICACKR.ACKBT ビットに設定した値を返信します。ACKBT ビットには“0”を設定しておいてください。このとき受信した R/W# ビットが“1”のとき、ICMMR.TRS フラグおよび ICCSR.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICCSR.TDRE フラグが“1”であることを確認した後、ICDR レジスタに送信データを書いてください。このとき、ICSER.NAKDE ビットが“1”の状態でもスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIICHS は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが“1”になるか、または最終送信データを ICDR レジスタに書いた後、ICCSR.TDRE フラグが“1”の状態、ICSR2.TEND フラグが“1”になるまで待ってください。ICSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIICHS は9クロック目の立ち下がり以降 SCLHS0 ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが“1”または ICSR2.TEND フラグが“1”の場合、終了処理のため ICDR レジスタをダミーで読んでください。これにより SCLHS0 ラインを開放します。
- (6) RIICHS はストップコンディションを検出すると、ICSSR.HOA、GCA、AASy フラグ (y=0~2)、ICCSR.TDRE、ICSR2.TEND フラグ、ICMMR.TRS フラグを自動的に“0”にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF、STOP フラグを“0”にしてください。

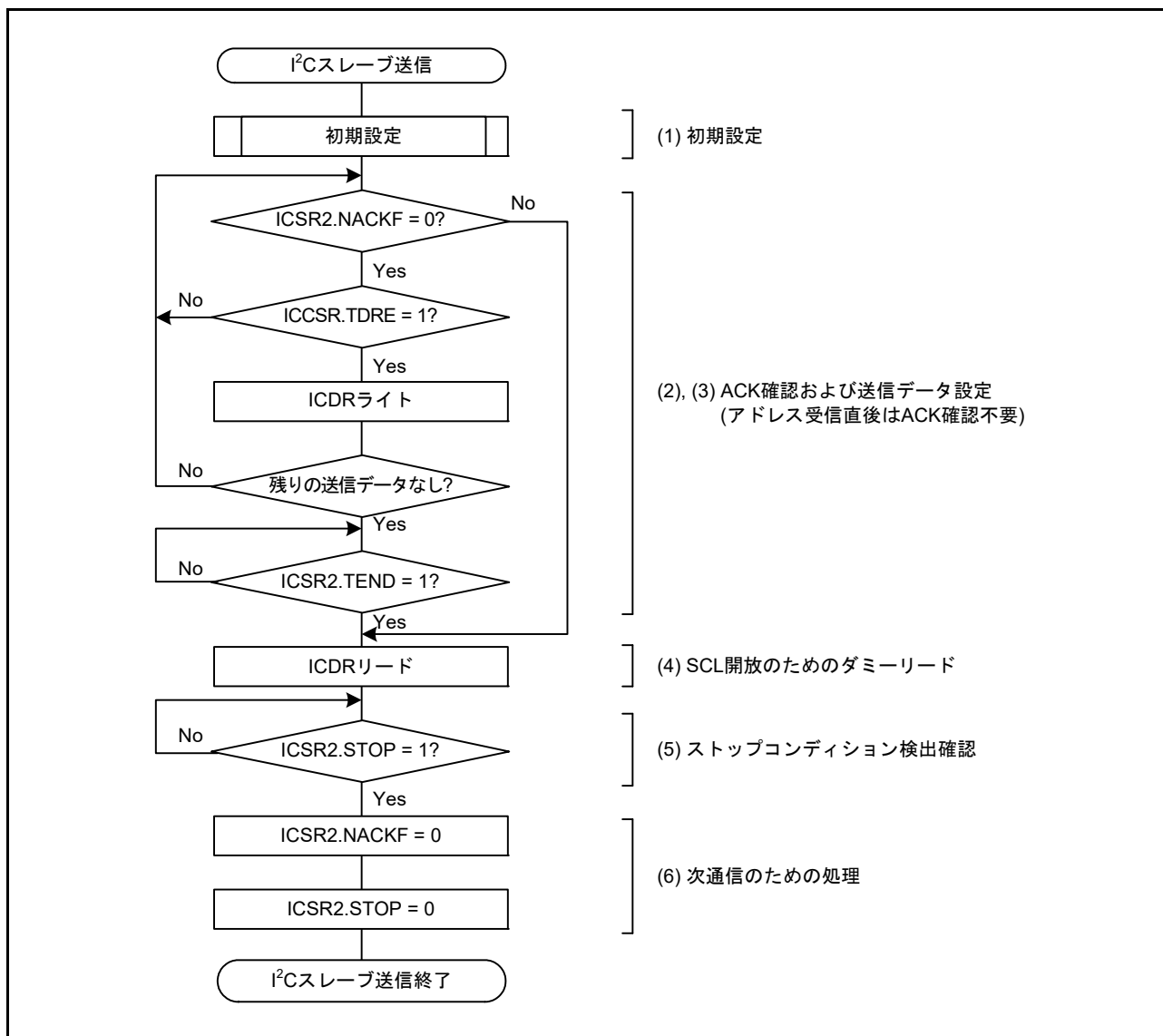


図 38.14 I²C スレーブ送信のフローチャート例

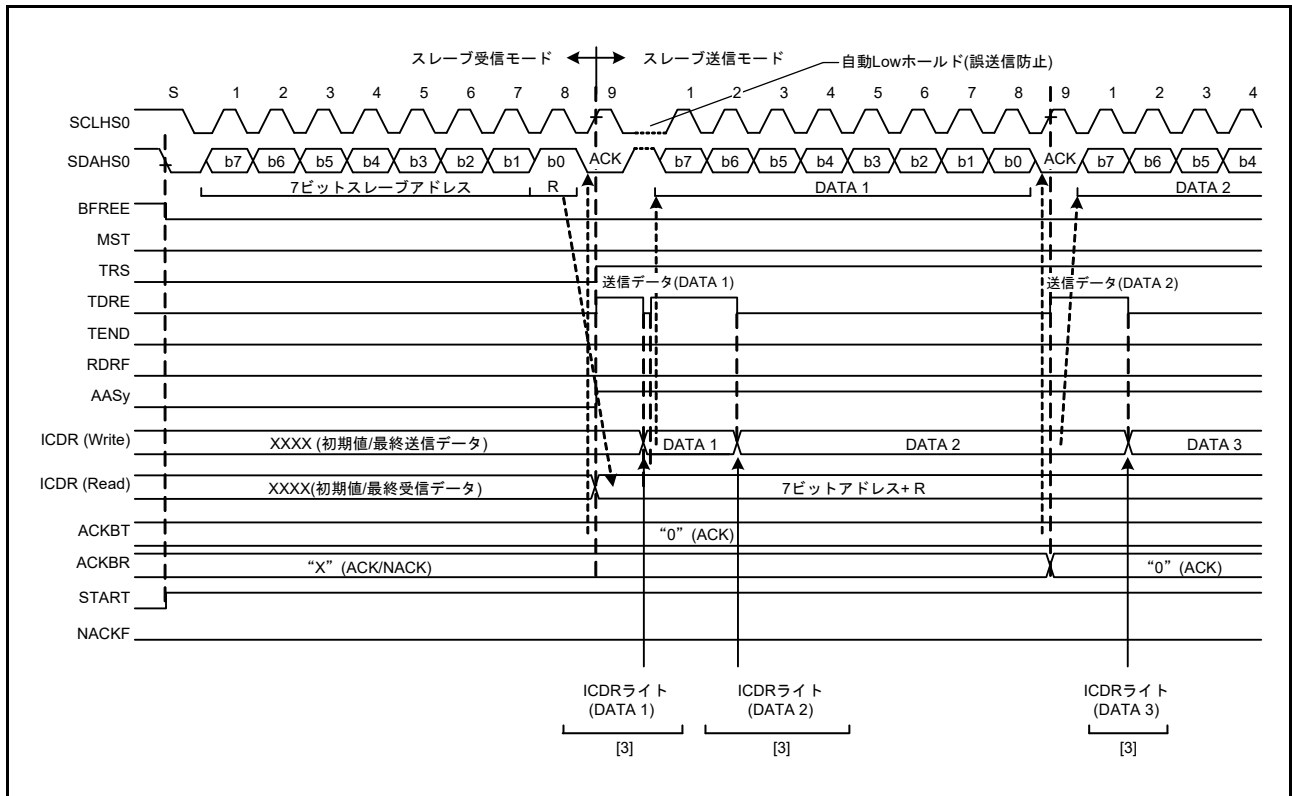


図 38.15 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットの場合)

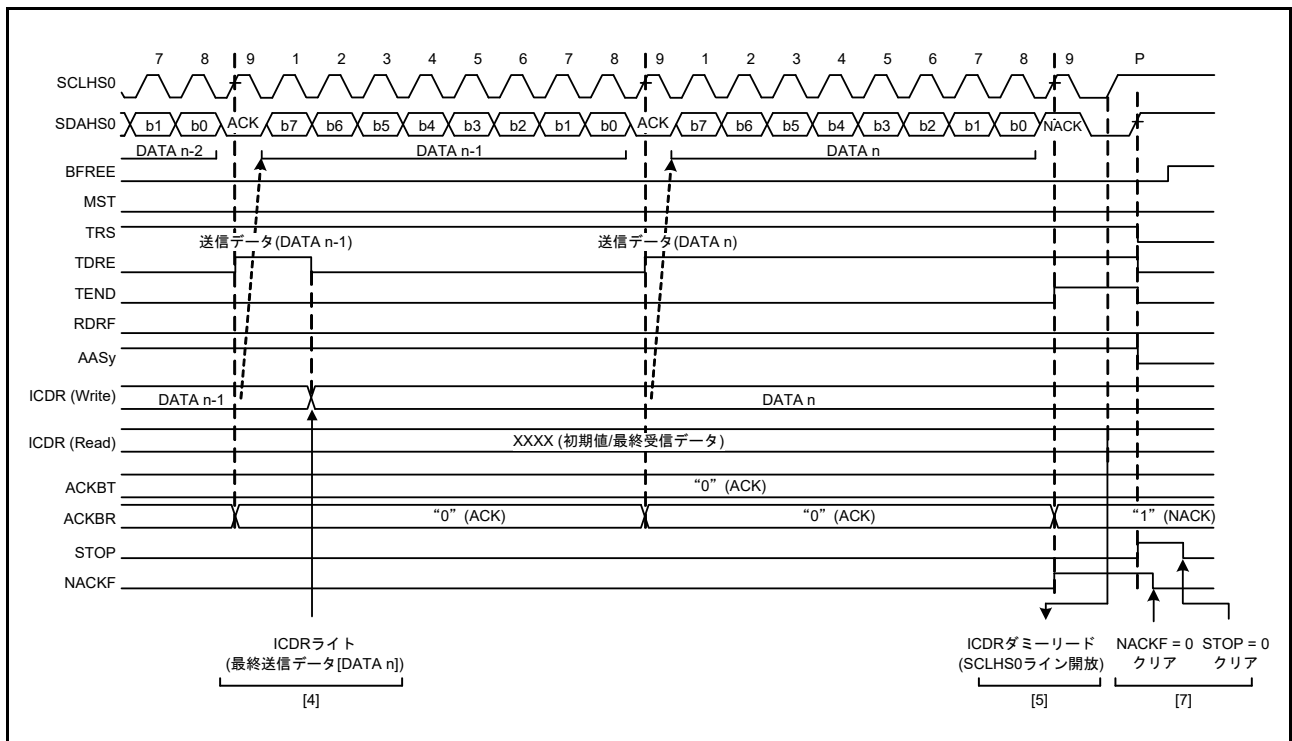


図 38.16 スレーブ送信の動作タイミング (2)

38.3.4.2 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL と送信データを出力し、スレーブデバイスである RIICHS がアタノリッジを返します。

図 38.17 にスレーブ受信の使用例を図 38.18、図 38.19 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「38.3.2 初期設定」を参照してください。
初期設定完了後、RIICHS はスレーブアドレスが一致するまで待機状態となります。
- (2) スレーブアドレスが一致した場合、RIICHS は 9 個目の SCL の立ち上がりで該当する ICSSR.HOA, GCA, AASy フラグ (y = 0 ~ 2) のいずれかを“1”にし、9 個目の SCL のアタノリッジビットに ICACKR.ACKBT ビットに設定した値を返信します。ACKBT ビットには“0”を設定しておいてください。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICCSR.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSSR.RDRF フラグが“1”であることを確認したら、1 回目は ICDR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDR レジスタを読むと RIICHS は ICSSR.RDRF フラグを自動的に“0”にします。なお、ICDR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIICHS は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL 立ち下がり SCLHS0 ラインを Low にホールドします。この Low ホールドは ICDR レジスタを読むことで解除され RIICHS は SCLHS0 ラインを開放します。
ICSR2.STOP フラグが“1”で、かつ ICSSR.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDR レジスタを読んでください。
- (5) RIICHS はストップコンディションを検出すると、ICSSR.HOA, GCA, AASy フラグ (y = 0 ~ 2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

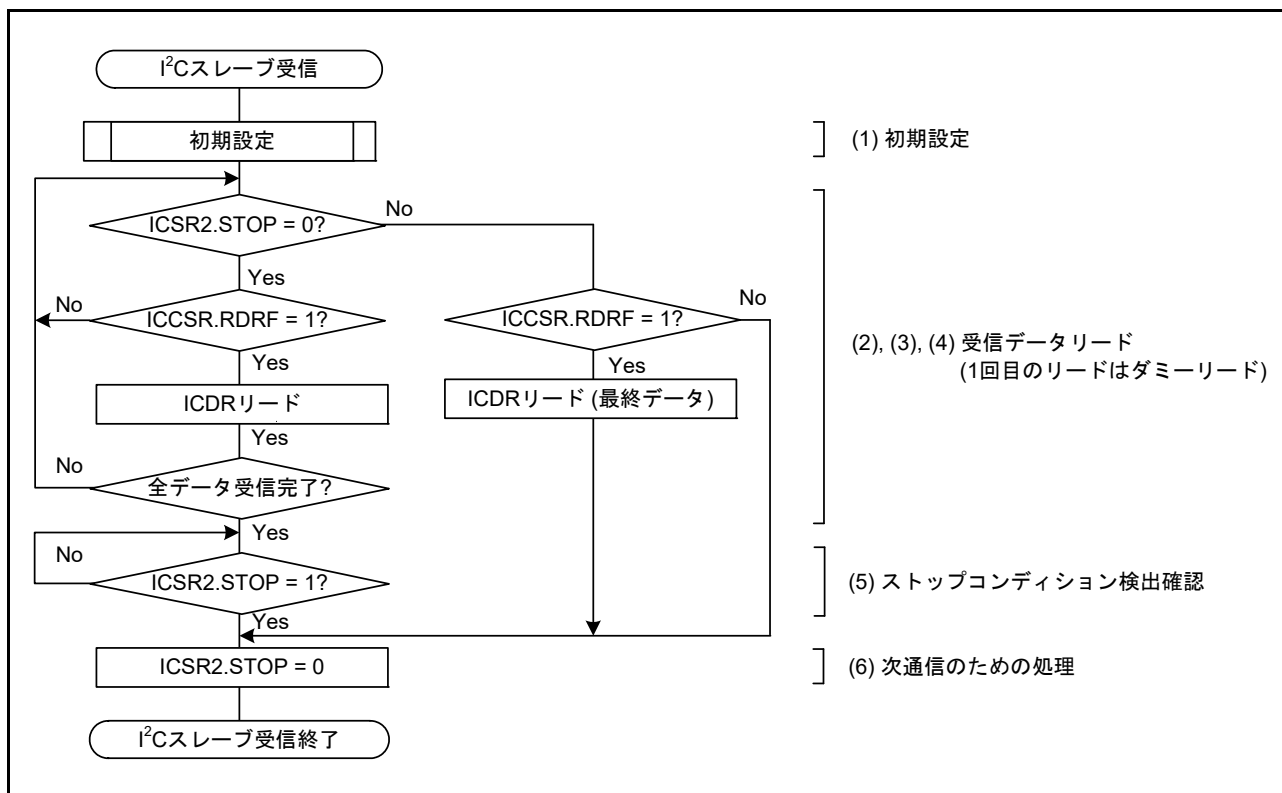


図 38.17 I²C スレーブ受信のフローチャート例

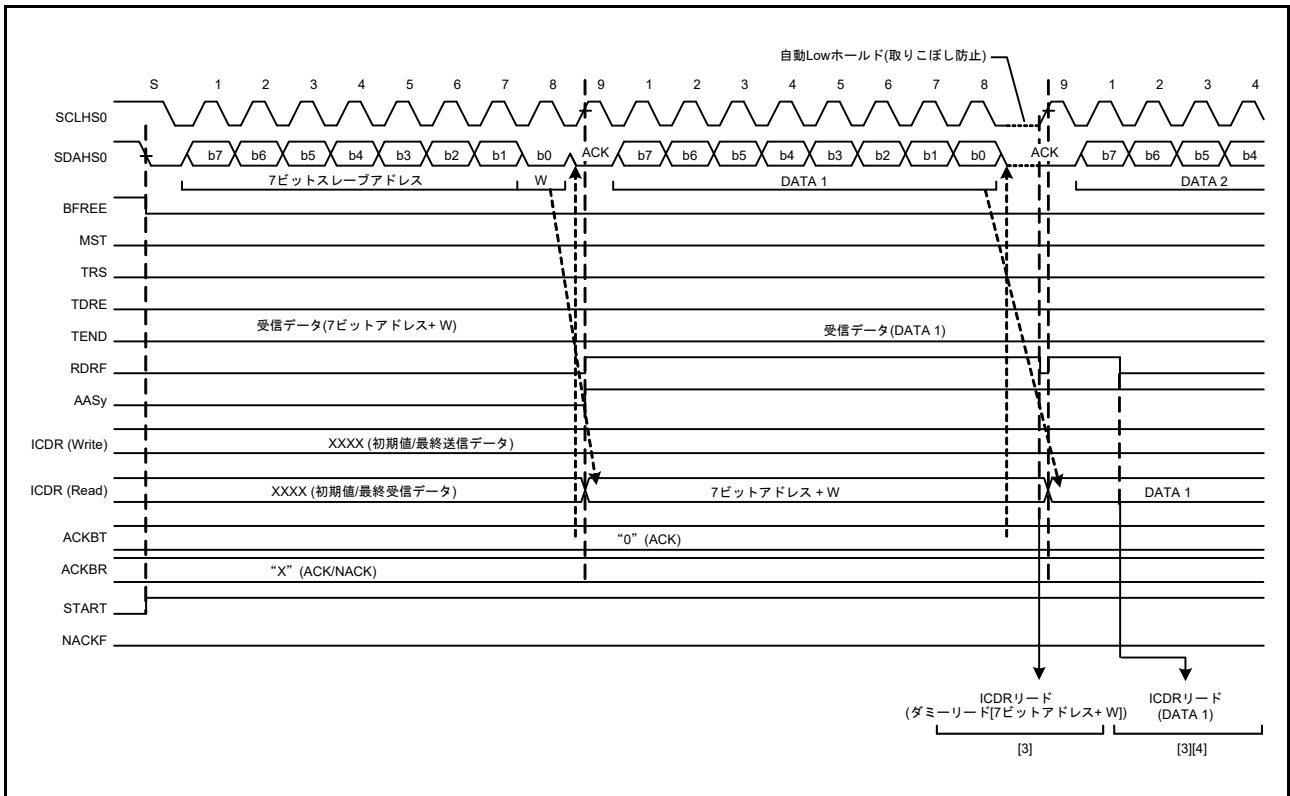


図 38.18 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、WAITAE ビット = 0 のとき)

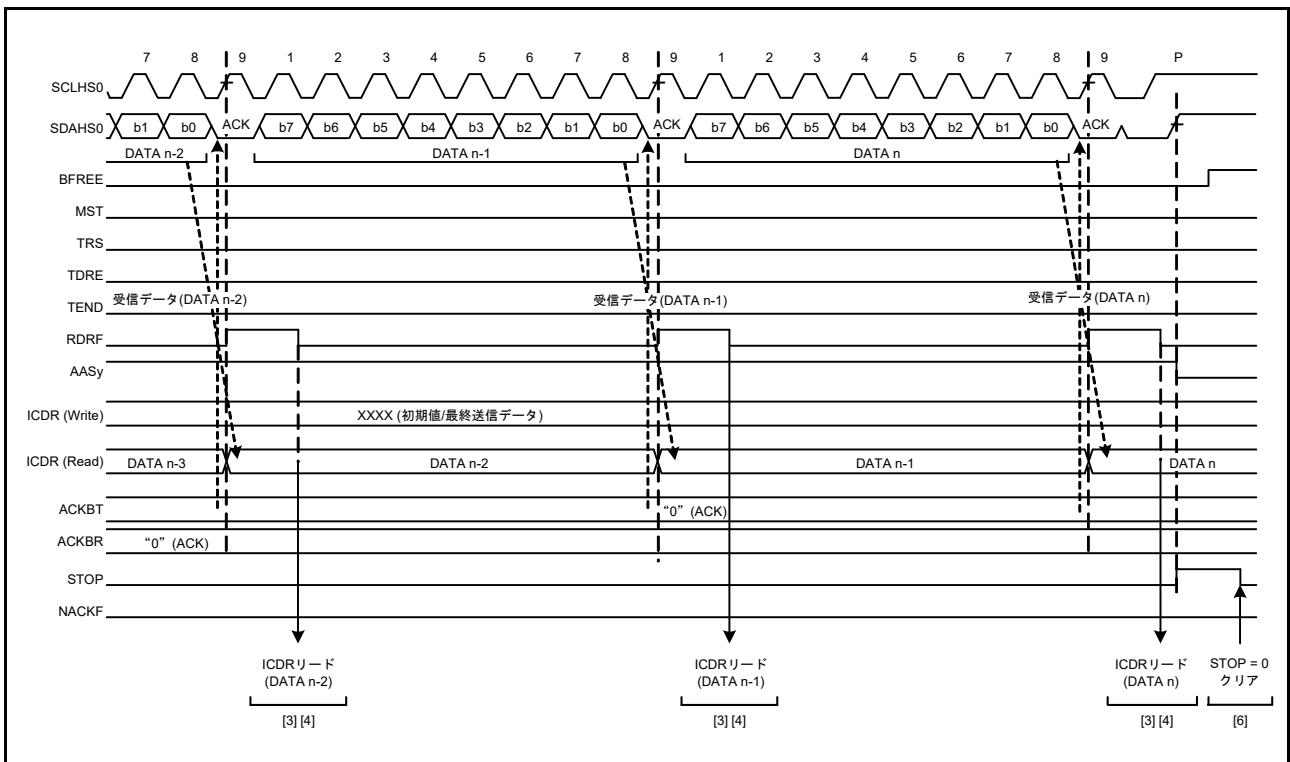


図 38.19 スレーブ受信の動作タイミング (2) (WAITAE ビット = 0 のとき)

38.4 機能詳細

38.4.1 SCL 同期回路

RIICHS の SCL 生成は SCLHS0 ラインの立ち上がりを検出すると、ICFBR.HIGH[7:0] ビットで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCLHS0 ラインを Low にドライブして立ち下げます。また SCLHS0 ラインの立ち下がりを検出すると、ICFBR.LOW[7:0] ビットで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCLHS0 ラインの Low ドライブを終了して SCLHS0 ラインを開放します。これにより SCL を生成します。

I²C バスをマルチマスタで使用する場合、SCL は他のマスタデバイスとの競合により SCL 同士が衝突する場合があります。SCL が衝突した場合、マスタデバイスは SCL の同期化を行う必要があります。この SCL の同期はビットごとに行う必要があり、RIICHS はマスタモード時に SCLHS0 ラインを監視してビットごとに同期を取りながら SCL を生成する機能 (SCL 同期回路) を備えています。

RIICHS が SCLHS0 ラインの立ち上がりを検出し ICFBR.HIGH[7:0] ビットで設定された High 幅のカウンタ中に他のマスタデバイスの SCL 出力により SCLHS0 ラインが立ち下げられた場合、RIICHS は SCLHS0 ラインの立ち下がりを検出すると High 幅のカウンタアップ動作を中断し、SCLHS0 ラインの Low ドライブを行うのと同時に ICFBR.LOW[7:0] ビットで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCLHS0 ラインの Low ドライブを終了して SCLHS0 ラインを開放します。このとき他のマスタデバイスの SCL の Low 幅が RIICHS で設定された Low 幅よりも長い場合、SCL の Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLHS0 ラインが開放され SCL が立ち上がります。そのため SCL 出力衝突時の SCL の High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

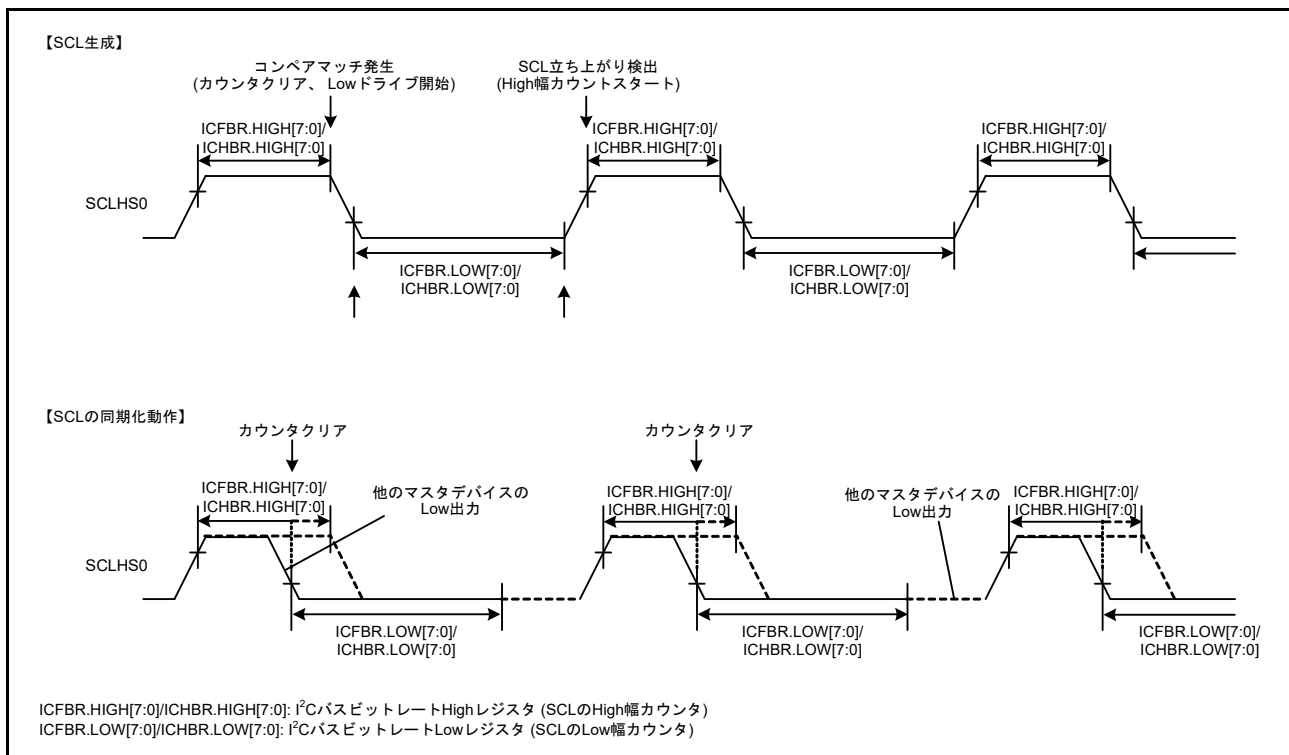


図 38.20 RIICHS の SCL 生成および SCL 同期化動作

38.4.2 SDA出力遅延機能

RIICHSはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング(発行動作(スタート/リスタート/ストップコンディション)、データ出力、ACK/NACK出力)を遅延させることができます。

SDA出力遅延機能は、SCLの立ち下がり検出からSDA出力を遅延させ、確実にSCLのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用します。また、SMBusのデータホールド時間: 300 ns (min)の仕様を満たす目的でも使用することができます。

このSDA出力遅延機能はICOCR.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効(SDDL[2:0]ビットが“000b”以外)のとき、SDA出力遅延カウンタはICOCR.DLCSビットで選択された内部基準クロック(IICφ)またはその2分周クロック(IICφ/2)をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行います。遅延サイクル分のカウントが終了した時点でRIICHSはSDA出力(発行動作(スタート/リスタート/ストップコンディション)、データ出力、ACK/NACK出力)を行います。

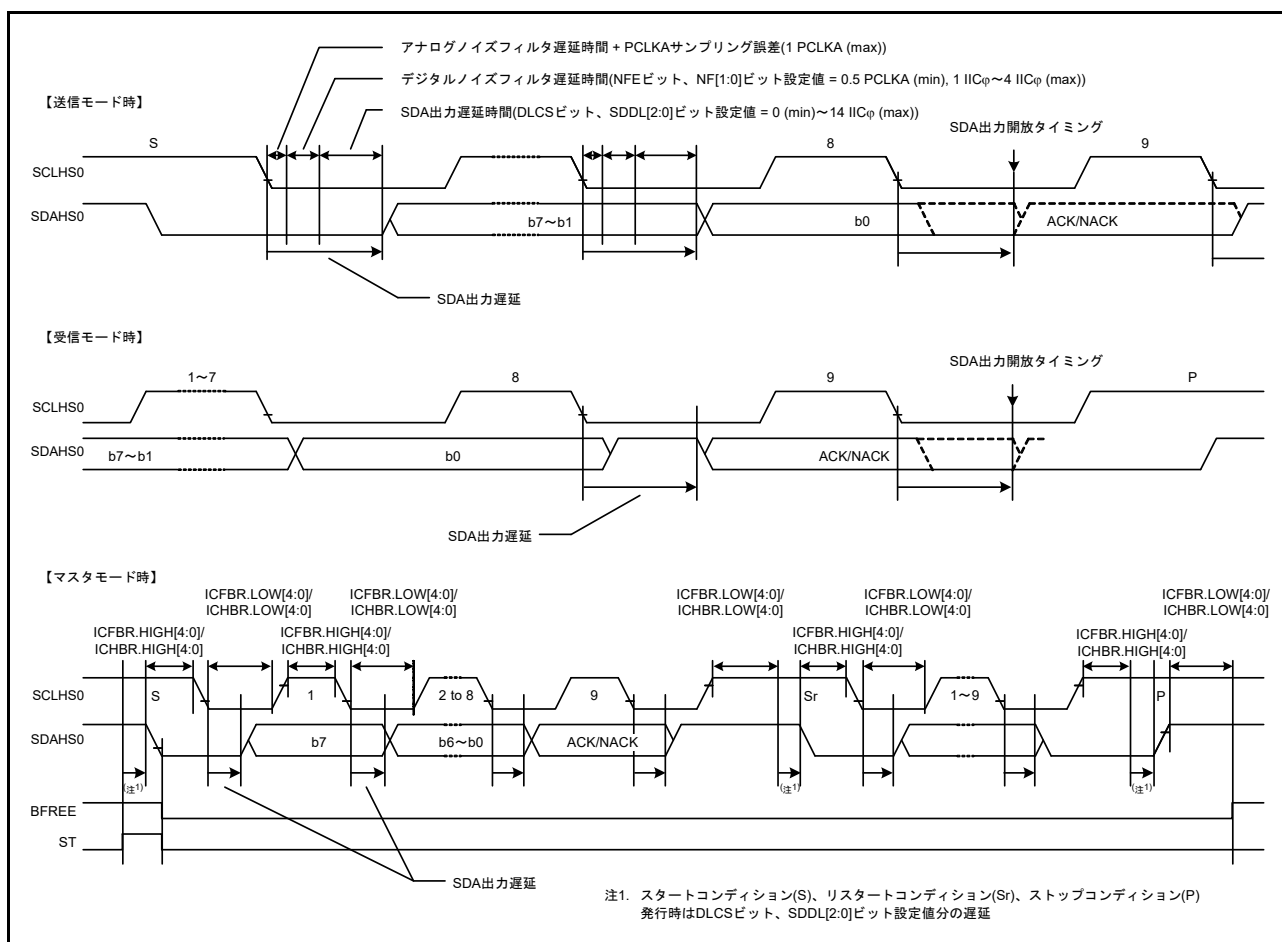


図 38.21 SDA出力遅延タイミング

38.4.3 デジタルノイズフィルタ

SCLHS0 端子および SDAHS0 端子の状態は、アナログノイズフィルタおよびデジタルノイズフィルタを経由して内部に取り込まれます。図 38.22 にデジタルノイズフィルタのブロック図を示します。

RIICHS に内蔵されているデジタルノイズフィルタは、16 段の直列に接続されたフリップフロップと一致検出回路で構成されています。なお、Hs モードを選択したときは、最初の 4 つのフリップフロップのみが有効になります。

デジタルノイズフィルタの有効段数は ICICR.NF[3:0] ビット (Hs モード時は ICICR.NF[3:2] ビット) で選択し、ノイズ除去能力は選択した有効段数に応じて $1 IIC\phi \sim 16 IIC\phi$ サイクル (Hs モード時は $1 IIC\phi \sim 4 IIC\phi$ サイクル) 分となります。

SCLHS0 端子入力信号 (SDAHS0 端子入力信号も同様) は $IIC\phi$ の立ち上がりでサンプリングされ、ICICR.NF[3:0] ビットで設定された有効段数のフリップフロップ出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLKA = 4 MHz 時の 400 kbps 通信のように内部動作クロック (PCLKA) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上、ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタの使用を禁止 (ICICR.NFE ビット = 0) し、アナログノイズフィルタのみを使用してください。

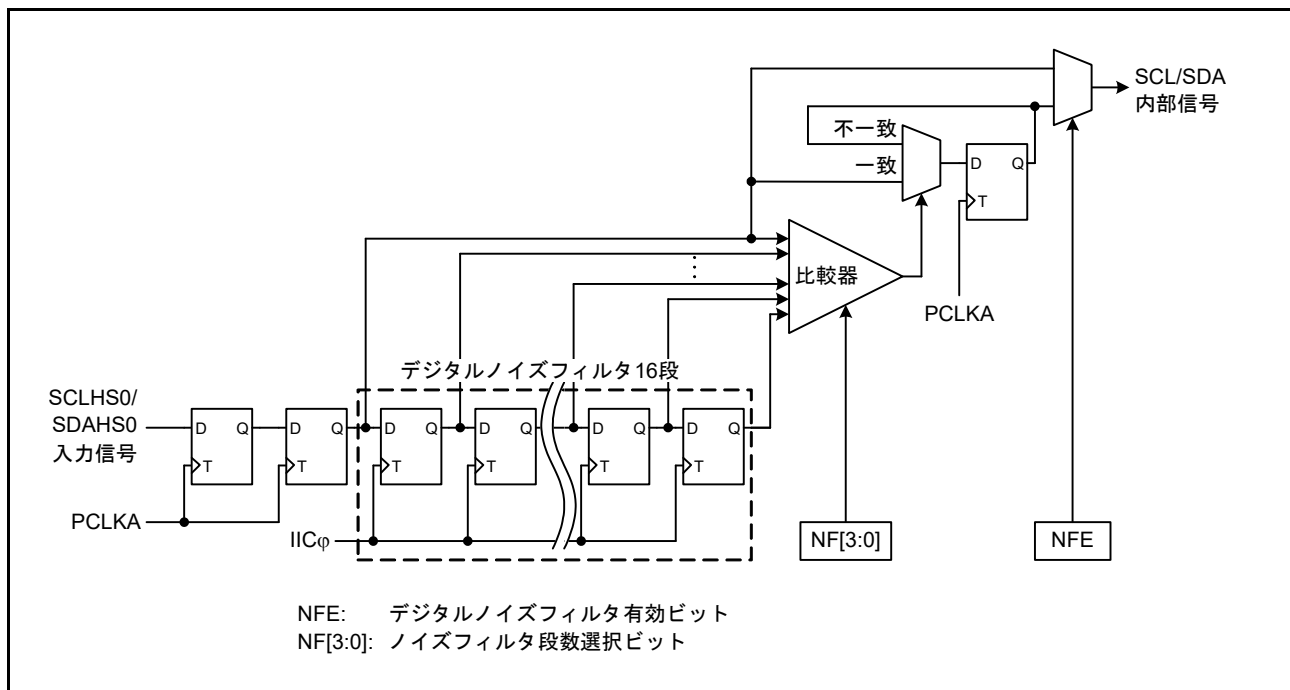


図 38.22 デジタルノイズフィルタのブロック図

38.4.4 アドレス一致検出機能

RIICHS はジェネラルコールアドレス、ホストアドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

38.4.4.1 スレーブアドレス一致検出機能

RIICHS は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSSR.SARyE ビット (y=0~2) が“1” のとき、SAMRy レジスタに設定されたスレーブアドレスを検出することができます。

RIICHS は設定されたスレーブアドレス一致を検出すると、9 個目の SCL の立ち上がりで該当する ICSSR.AASy フラグ (y=0~2) を“1” にし、このとき受信した R/W# ビットにより ICSSR.RDRF フラグまたは ICSSR.TDRE フラグを“1” にします。これにより受信データフル割り込み (RXI) または送信データエンピ割り込み (TXI) を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 38.23 ~ 図 38.25 に AASy フラグが“1”になるタイミングを示します。

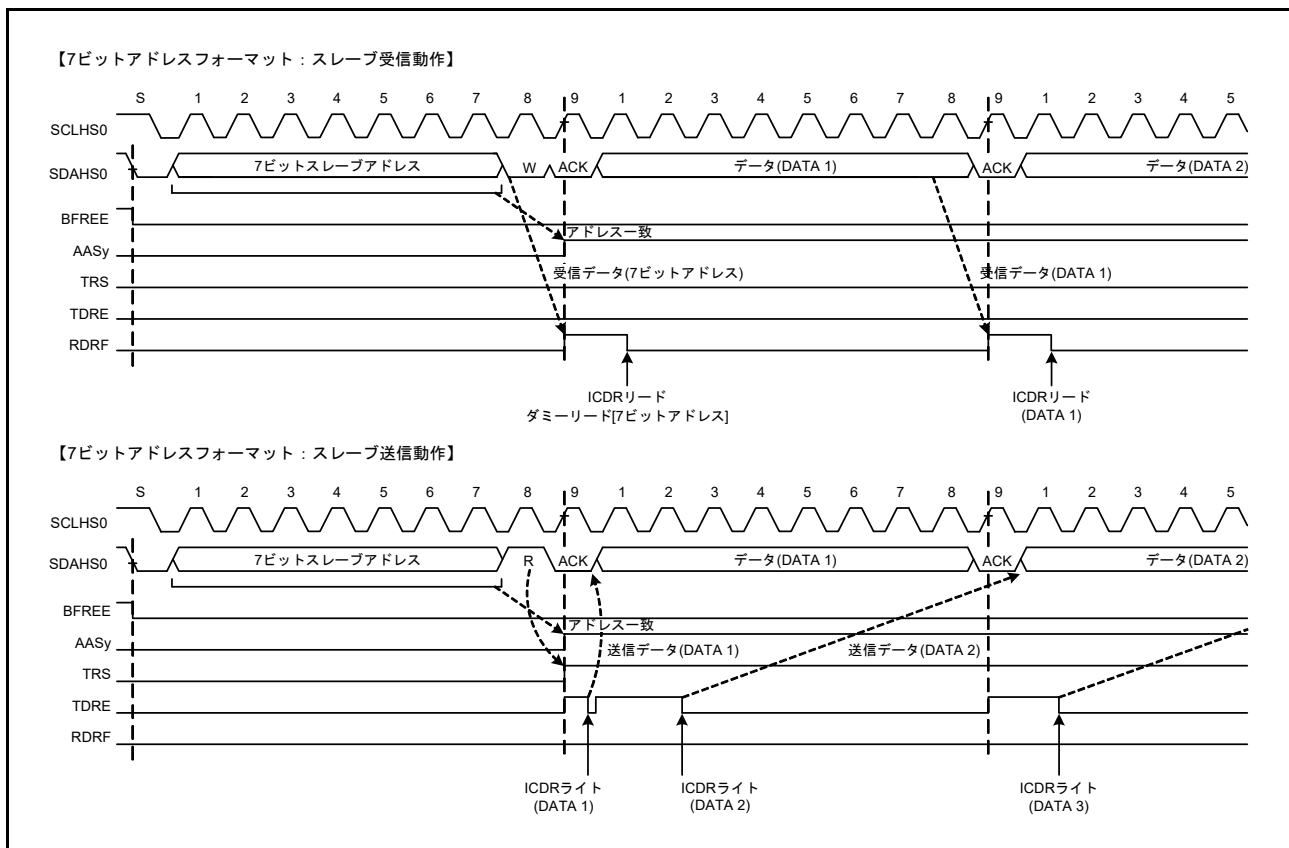


図 38.23 7 ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

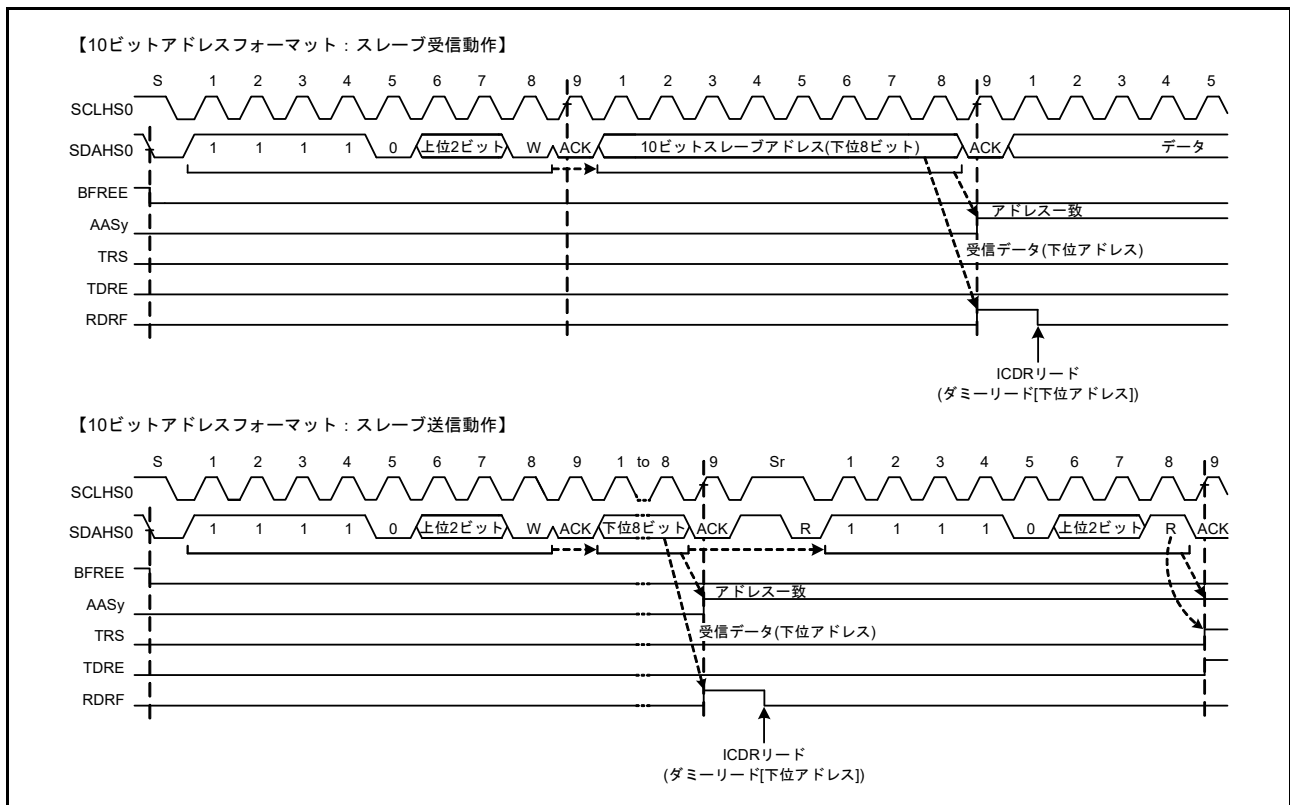


図 38.24 10ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

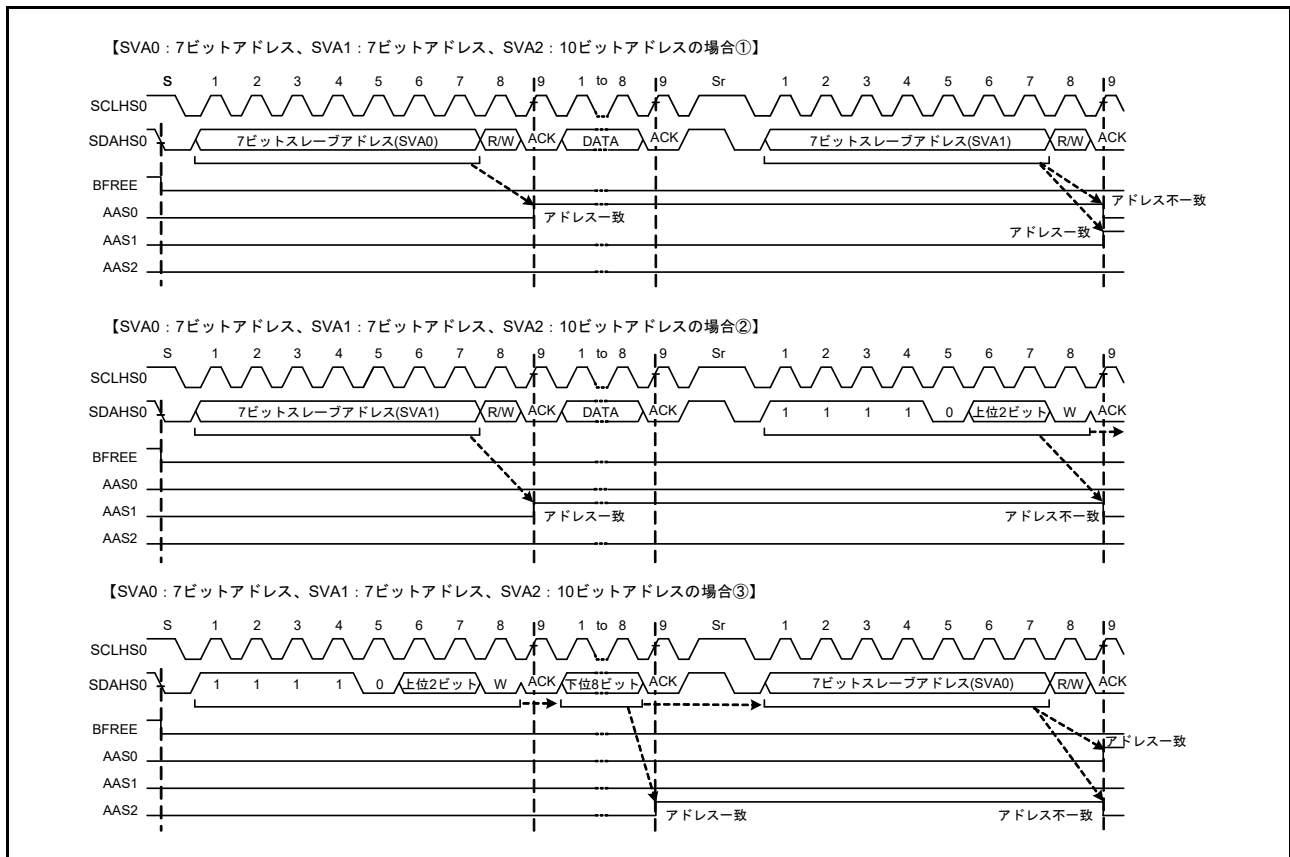


図 38.25 7ビット/10ビットアドレスフォーマット混在時にAASyフラグが“1”または“0”になるタイミング

38.4.4.2 ジェネラルコールアドレス検出機能

RIICHS はジェネラルコールアドレス (0000 000b + 0 (write)) の検出機能を備えています。ICSCR.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1 (read) (スタートバイト) だった場合、RIICHS はこのアドレスを All “0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICHS はジェネラルコールアドレスを検出すると、9 個目の SCL の立ち上がりで ICSSR.GCA フラグを“1”にし、同時に ICCSR.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

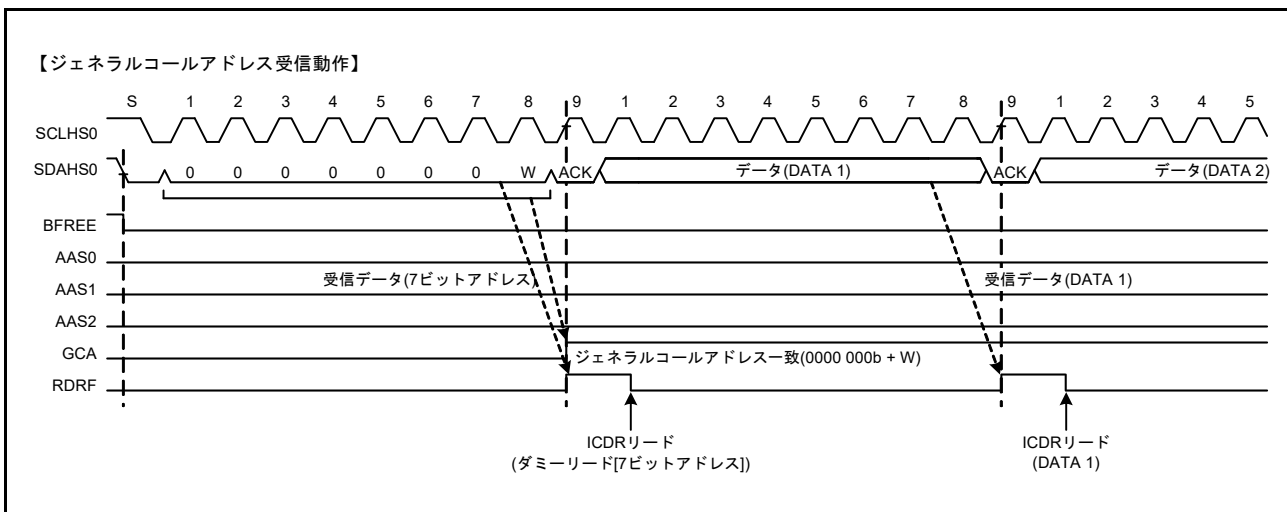


図 38.26 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

38.4.4.3 デバイス ID アドレス検出機能

RIICHS は I²C バス仕様に準拠したデバイス ID アドレスの検出機能を備えています。ICSCR.DIDE ビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100b を受信すると、RIICHS はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが“0”のとき 9 個目の SCL の立ち上がりで ICSSR.DID フラグを“1”にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSSR.AASy フラグ (y=0~2) が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが“1”のとき RIICHS は続く 2 バイト目以降はアドレス比較動作を行わず、ICSSR.TDRE フラグを“1”にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを“0”にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが“0”のとき DID フラグを“1”にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが“1”の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、ICSSR.TDRE フラグが“1”であることを確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3 バイト分: メーカー [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) は、通常の送信データと同様あらかじめ準備してください。また、デバイス ID フィールドに必要な情報の詳細については NXP 社にお問い合わせください。

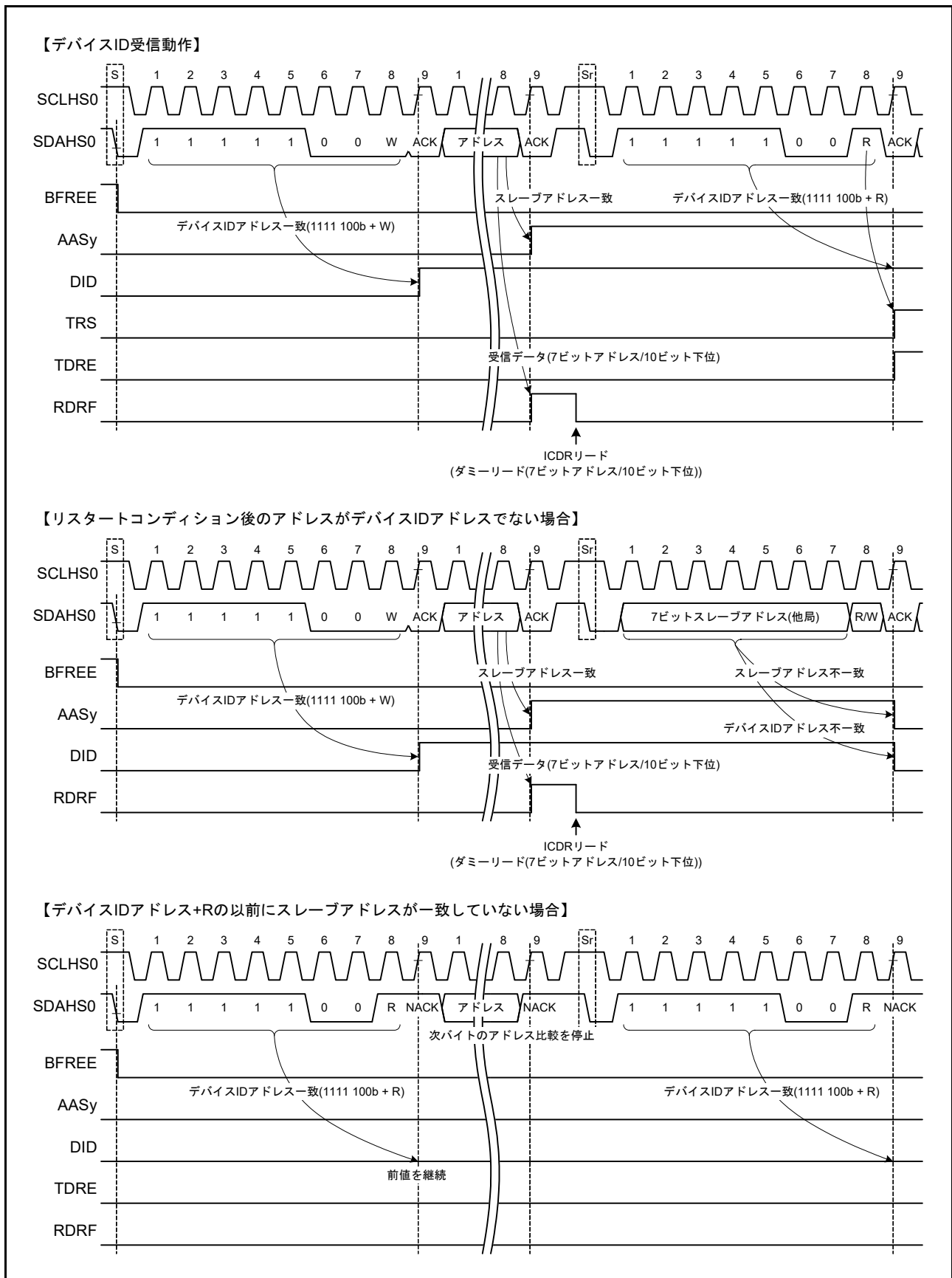


図 38.27 デバイス ID アドレス受信時の AASy、DID フラグセット / クリアタイミング

38.4.4.4 Hs モードマスタコード検出機能

RIICHS は Hs モードマスタコード (0000 1XXXb) の検出機能を備えています。

ICSCR.HSMCE ビットが“1”のときに、スタートコンディション後の第一バイトに 0000 1XXXb を受信すると、RIICHS はこれを Hs モードマスタコードと認識し、9 個目の SCL の立ち上がりで ICSSR.HSMC フラグを“1”にします。なお、このとき RIICHS は、ICACKR.ACKBT の値にかかわらず、ACK 応答を行いません (SDAHS0 端子は High のまま)。

その後のリスタートコンディションに続く第一バイトがスレーブアドレスとして認識され、SAMRy.SVA[9:0] ビット (y=0~2) と比較されます。スレーブアドレスが一致した場合、9 個目の SCL の立ち上がりで対応する ICSSR.AASy フラグが“1”になります。また、このときの R/W# ビットの値に応じて、ICSSR.RDRF フラグまたは ICSSR.TDRE フラグが“1”になります。

ICSSR.HSMC フラグはストップコンディションを検出すると“0”になります。

注 . ICSCR.HSMCE ビットが“0”のときに Hs モードマスタコードを受信しても、ストップコンディションを検出するまですべてのデータパターンを無視します。

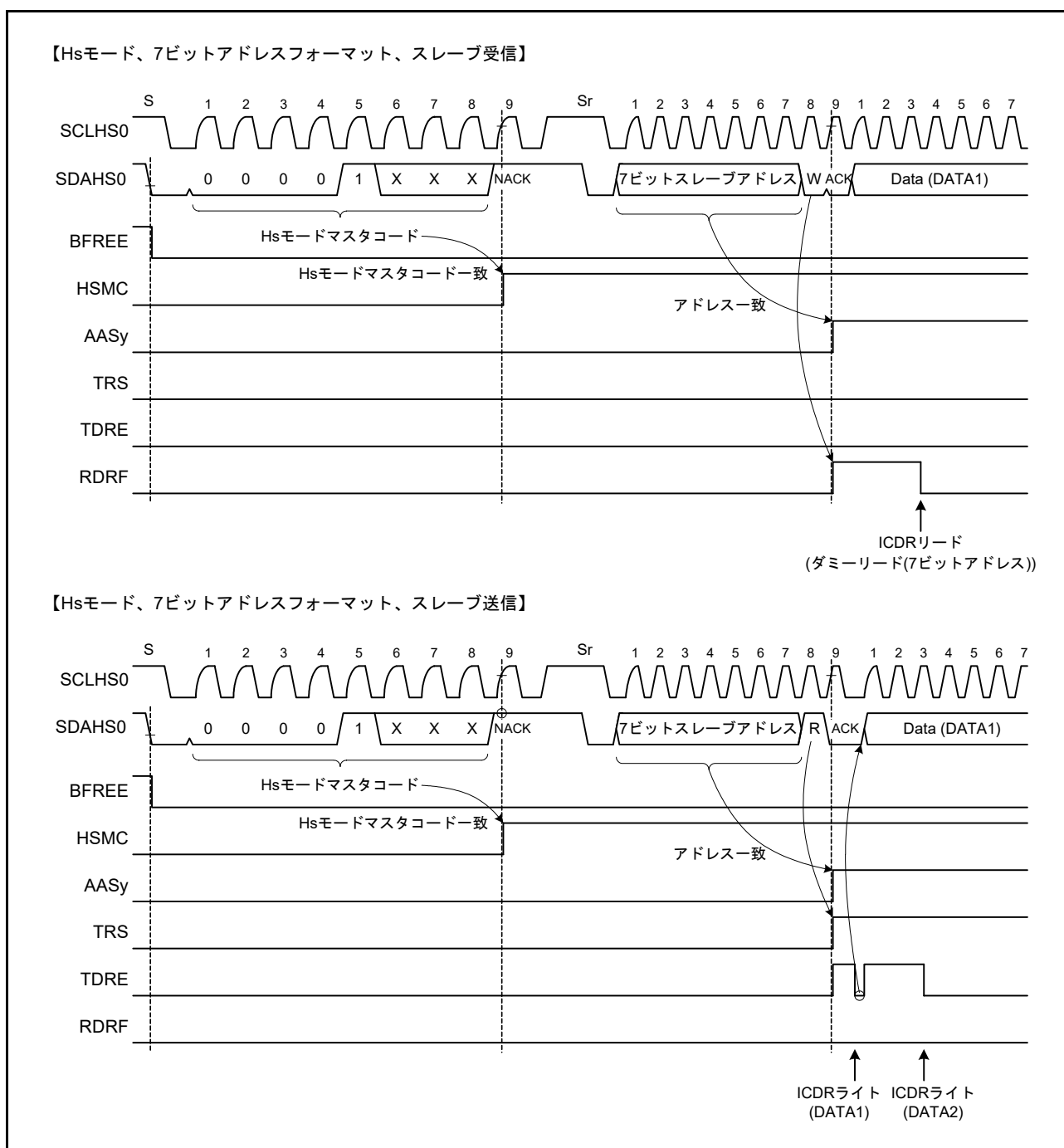


図 38.28 Hs モードマスターコード受信時に HSMC フラグ、AASy フラグが“1”になるタイミング

38.4.4.5 ホストアドレス検出機能

RIICHSにはSMBus動作時にホストアドレス検出機能を備えています。ICFER.SMBSビットが“1”のときICSCR.HOAEビットを“1”にすると、スレーブ受信モード(ICMMR.MST、TRSフラグ=00b)にホストアドレス(0001 000b)を検出することが可能です。

RIICHSはホストアドレスを検出すると、9個目のSCLの立ち上がりでICSSR.HOAフラグを“1”にし、続くR/W#ビットが“0”(write)であるとICCSR.RDRFフラグを“1”にします。これにより受信データフル割り込み(RXI)を発生させることができ、HOAフラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス(0001 000b)に続くR/W#ビットが“1”(read)の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

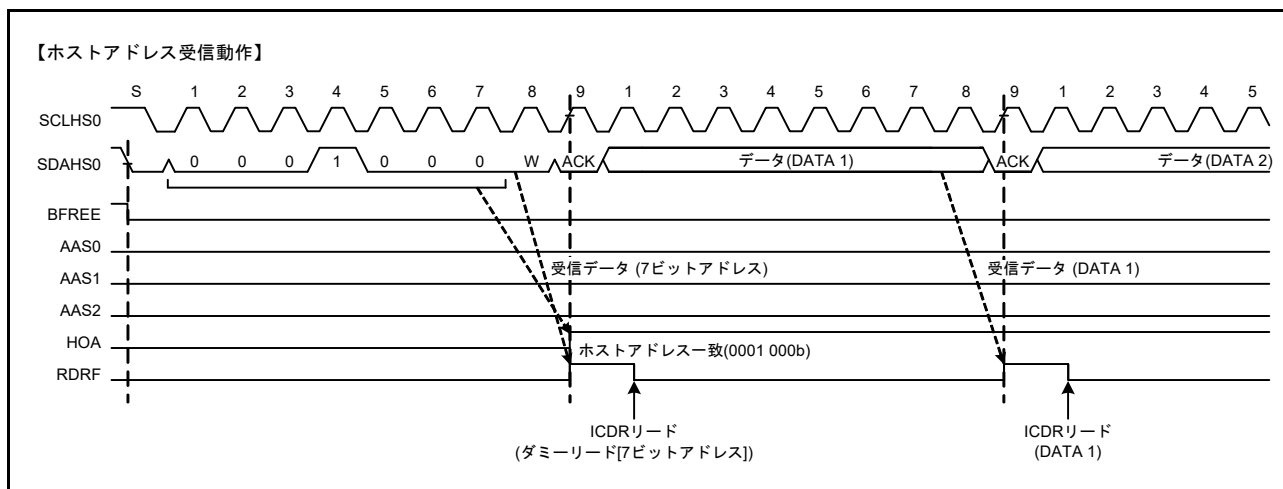


図 38.29 ホストアドレス受信時に HOA フラグが “1” になるタイミング

38.4.5 SCLの自動Lowホールド機能

38.4.5.1 送信データ誤送信防止機能

RIICHSは送信モード時(ICMMR.TRSフラグ=1)、送信データが送信データレジスタ(ICDRレジスタ)に書かれていない場合、以下に示す区間、自動的にSCLHS0ラインのLowホールドを行います。このLowホールドは送信データの書き込みが行われるまでの期間Low区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後のLow区間
- 9クロック目と次の転送の1クロック目の間のLow区間

《スレーブ送信モード》

- 9クロック目と次の転送の1クロック目の間のLow区間

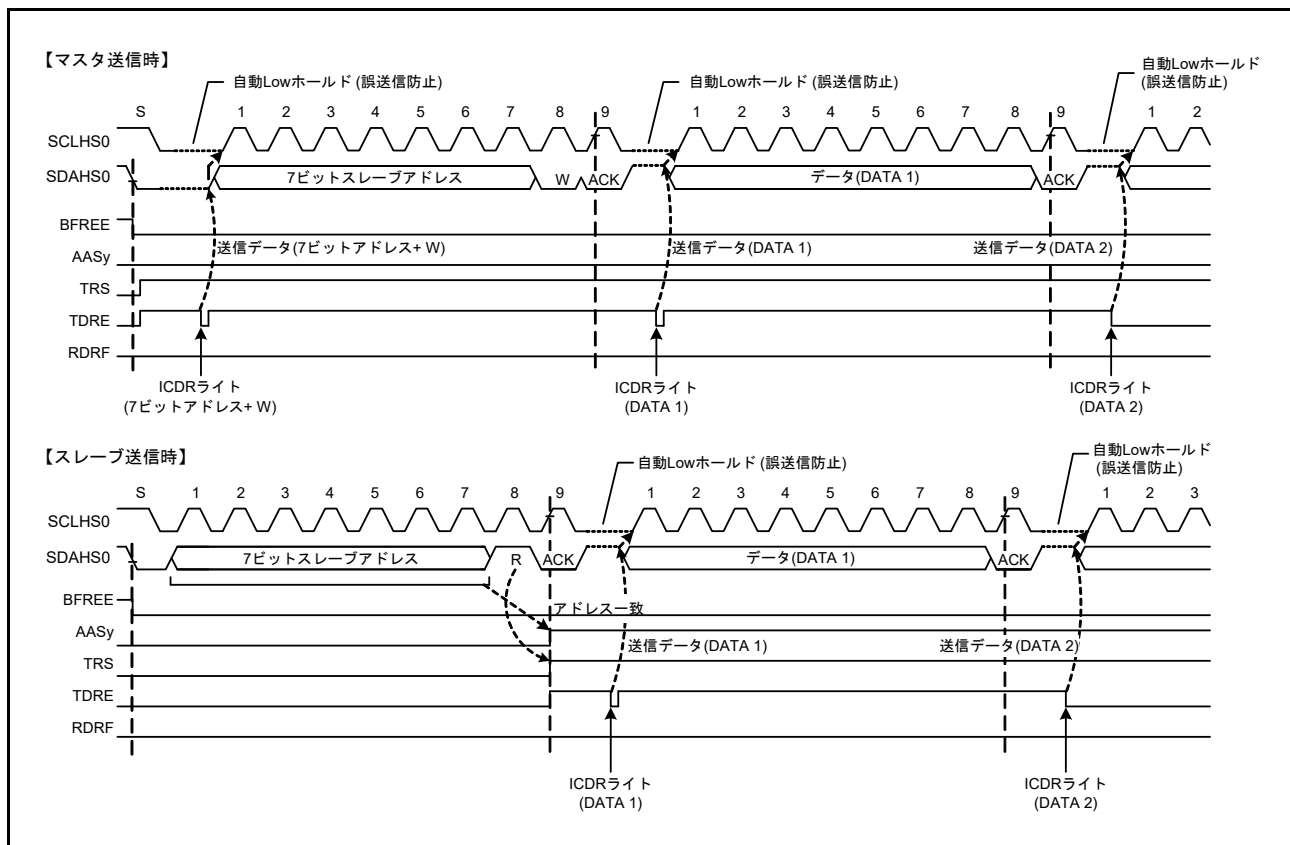


図 38.30 送信モードの自動Lowホールド動作

38.4.5.2 NACK 受信転送中断機能

RIICHSは送信モード時(ICMMR.TRS フラグ=1)にNACKを受信した場合、転送動作を中断する機能を備えています。この機能はICSER.NAKDEビットが“1”(転送中断許可)のとき有効で、NACK受信時にすでに次の送信データが書き込まれていた場合(ICCSR.TDRE フラグ=0の状態)、9個目のSCLの立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データのMSBが“0”のときのSDAHS0ラインLow出力固定を防止することができます。

なおNACK受信転送中断機能で転送動作が中断された場合(ICSR2.NACKF フラグ=1)、以後の送信動作および受信動作は行いません。動作を再開するにはNACKFフラグを“0”にしてください。マスタ送信モードの場合には、リスタートコンディション発行後にNACKFフラグを“0”にして動作をやり直すか、ストップコンディション発行後にNACKFフラグを“0”にし、その後スタートコンディションの発行からやり直してください。

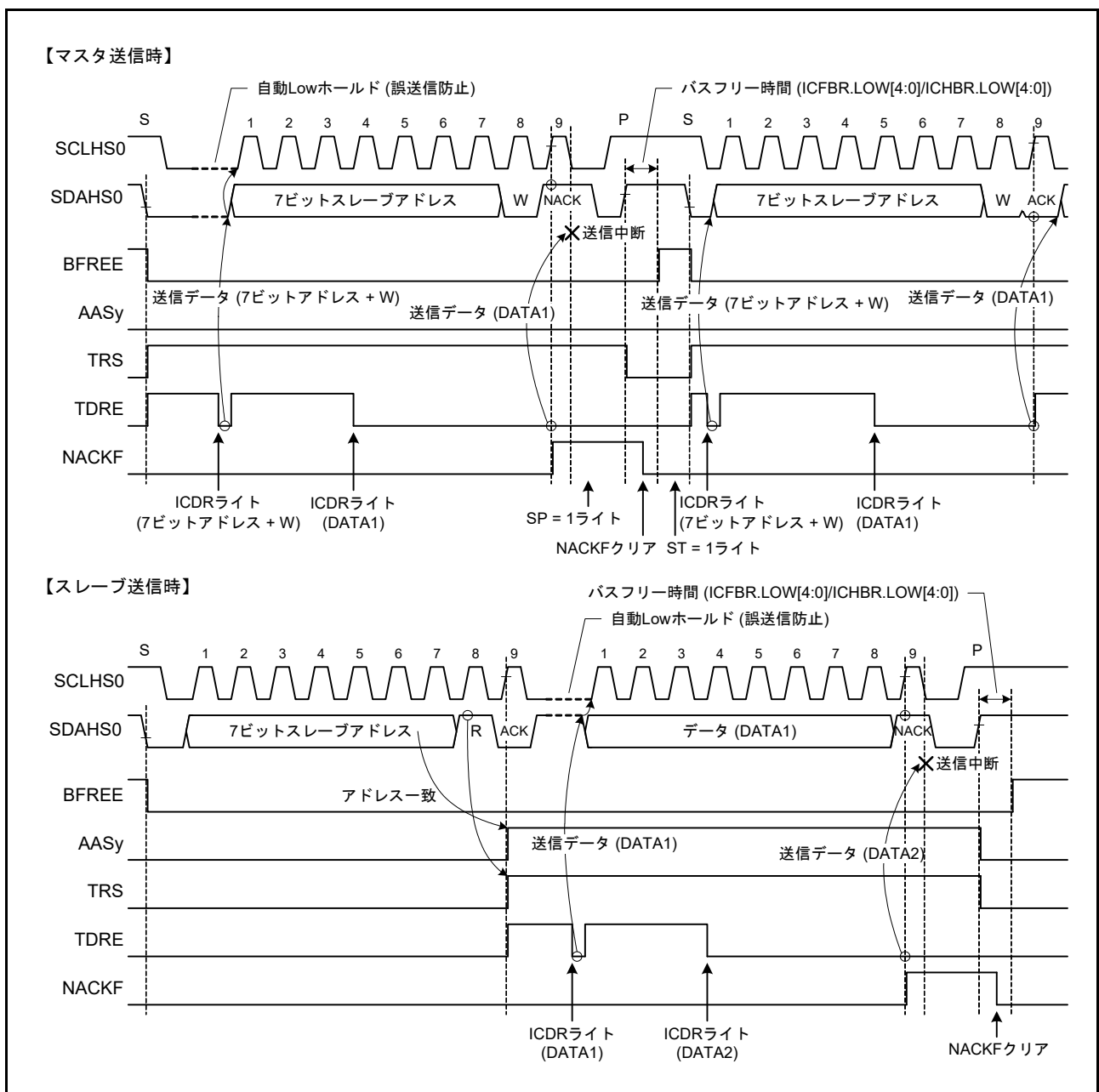


図 38.31 NACK 受信時の転送中断動作 (NAKDE ビット = 1 のとき)

38.4.5.3 受信データ取りこぼし防止機能

RIICHSは受信モード時 (ICMMR.TRS フラグ=0)、受信データフル (ICCSR.RDRF フラグ=1) の状態で受信データ (ICDR レジスタ) の読み出しが1転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の1つ手前で自動的に SCLHS0 ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスや他スレーブアドレスを指定された場合にも有効です。

また、RIICHSでは ICCSCR.WAITRE ビットと WAITAE ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAITRE ビットによる1バイト受信動作 / 自動 Low ホールド機能

ICCSR.WAITRE ビットを“1”にすると、RIICHSは WAITRE ビット機能による1バイト受信動作になります。ICCSR.WAITAE ビットが“0”のとき、RIICHSは SCL の8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクロリッジビットへ RIICHS から自動的に ICACKR レジスタの ACKBT ビットの内容が送出され、9クロック目の立ち下がりを検出すると WAITRE ビット機能により自動的に SCLHS0 ラインを Low にホールドします。この Low ホールドは ICDR レジスタの読み出しによって解除されます。そのため1バイトごとの受信動作が可能となります。

なお WAITRE ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

(2) WAITAE ビットによる1バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICCSR.WAITAE ビットを“1”にすると、RIICHSは WAITAE ビット機能による1バイト受信動作になります。WAITAE ビットを“1”にすると、ICCSR.RDRF フラグ (受信データフルフラグ) が“1”になるタイミングが8個目の SCL の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的に SCLHS0 ラインを Low にホールドします。この Low ホールドは ICACKR.ACKBT ビットへの書き込みによって解除され、ICDR レジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお WAITAE ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

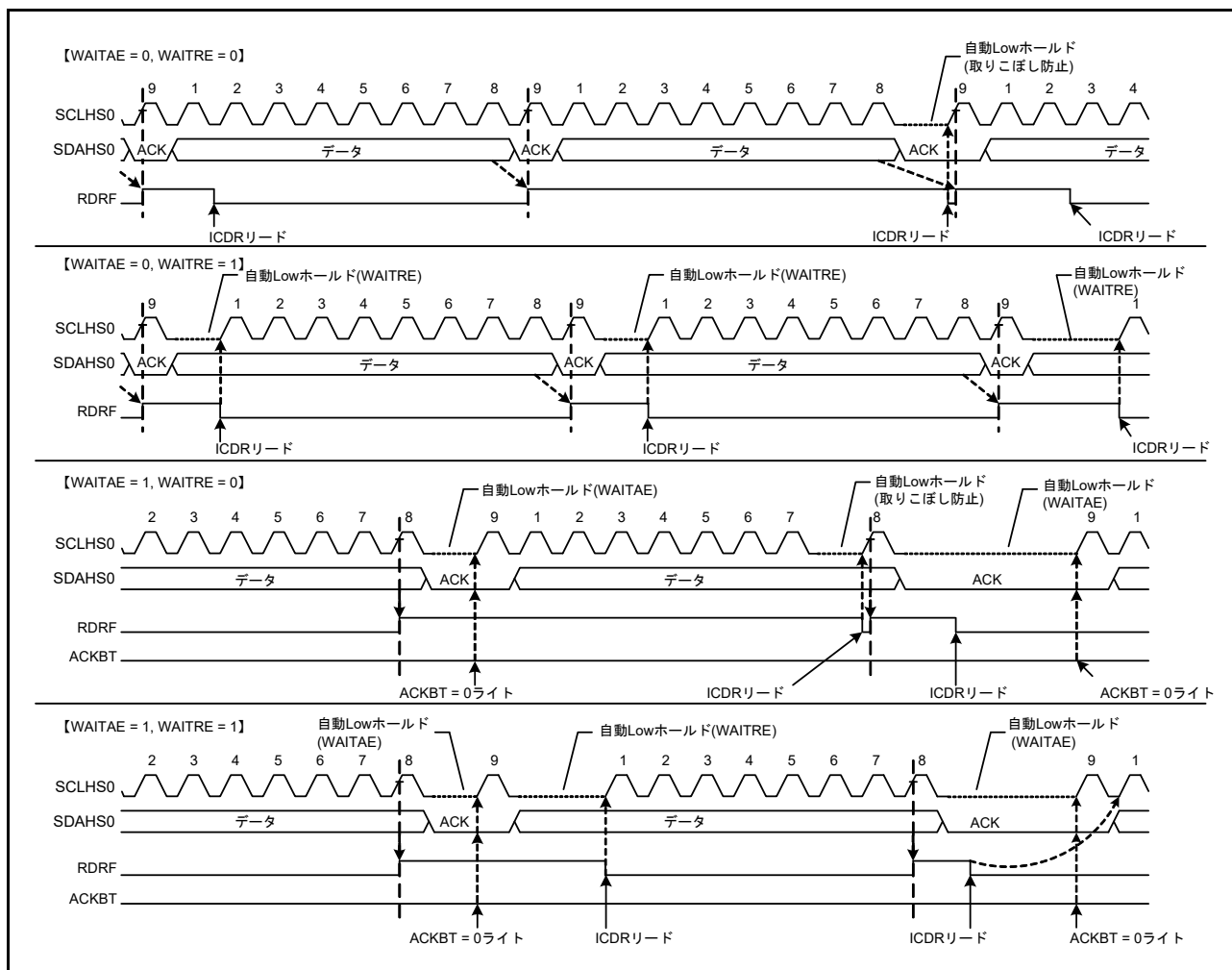


図 38.32 受信モードの自動 Low ホールド動作 (WAITAE、WAITRE ビット)

38.4.6 アービトレーションロスト検出機能

RIICHSにはI²Cバス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

38.4.6.1 マスタアービトレーションロスト検出機能(MALEビット)

RIICHSはスタートコンディション発行の際SDAHS0ラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAHS0ラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICBSR.BFREEフラグが“0”(バスビジー)のときにICCGR.STビットを“1”にすると、アービトレーションロストが発生し、他のマスタデバイスの通信を優先します。このとき、スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ(SDA信号)とSDAHS0ラインに不一致が生じた場合(SDA出力がHigh(SDAHS0端子はハイインピーダンス)で、SDAHS0ラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICHSはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

RIICHSは、ICSER.ALEビットおよびICFER.MALEビットが“1”(マスタアービトレーションロスト検出許可)の状態ですべての条件が成立したとき、マスタアービトレーションロストを検出します。

マスタアービトレーションロスト検出条件

- ICBSR.BFREEフラグが“1”の状態ですべての条件が成立したときに、SDA信号とSDAHS0ライン上の信号の状態が不一致のとき(スタートコンディション発行エラー)
- ICBSR.BFREEフラグが“0”の状態ですべての条件が成立したとき(スタートコンディション二重発行エラー)
- マスタ送信モード時(ICMMR.MSTフラグ=1、TRSフラグ=1)、アクノリッジを除く送信データ(SDA信号)とSDAHS0ライン上の信号の状態が不一致のとき

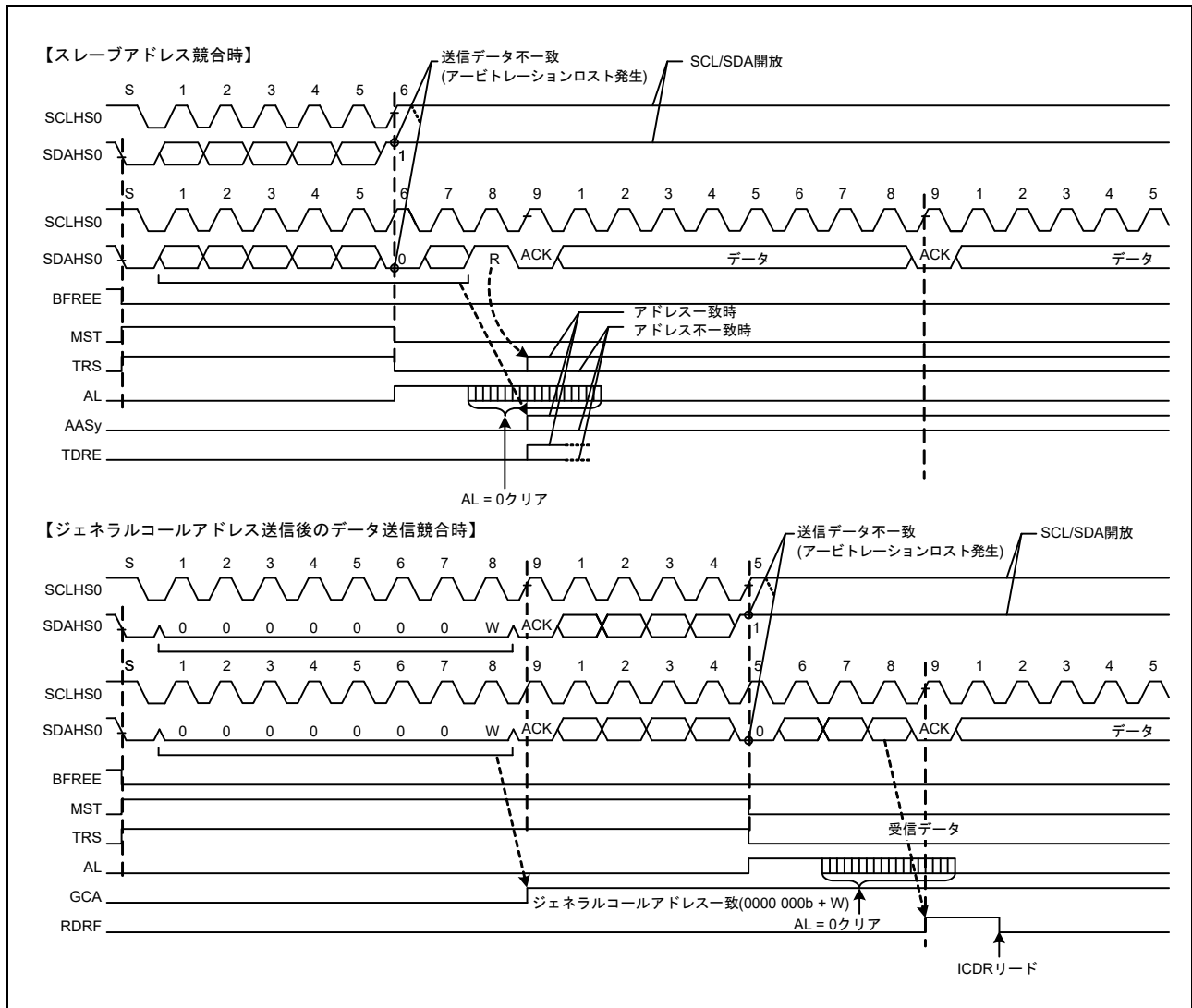


図 38.33 マスタアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

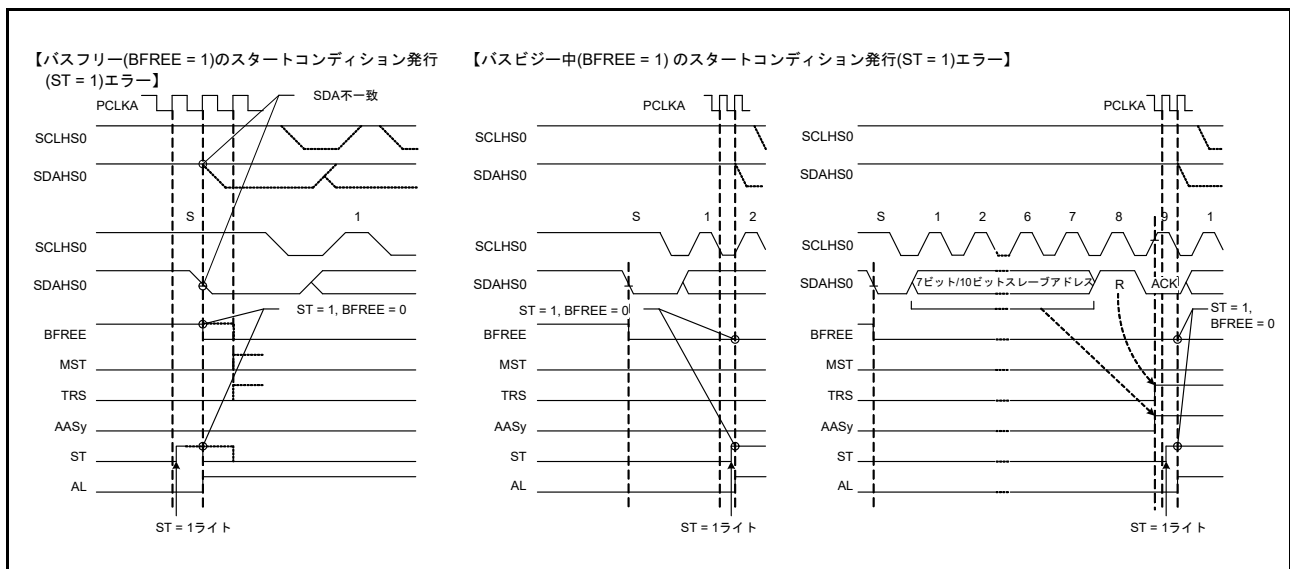


図 38.34 スタートコンディション発行時のアービトレーションロスト検出動作 (MALE ビット = 1 のとき)

38.4.6.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIICHS は、受信モード時の NACK 送信時に出力した SDA 信号と SDAHS0 ライン上の信号の状態が不一致の場合 (SDA 出力が High (SDAHS0 端子はハイインピーダンス) で、SDAHS0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。NACK 送信アービトレーションロストは、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に、NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。

図 38.35 に、2 つのマスタデバイス (マスタ A、マスタ B) と 1 つのスレーブデバイスがバス上に接続されている場合の、NACK 送信アービトレーションロスト検出動作例を示します。

マスタ A はスレーブデバイスから 2 バイト、マスタ B はスレーブデバイスから 4 バイトのデータ受信を行うものとします。このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B とともにスレーブデバイスアクセス時にアービトレーションロストは発生しません。そのためマスタ A、マスタ B とともにどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト目の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからまだ 4 バイト受信していないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。

このような状況が発生したときに、マスタ A がマスタ B の出した ACK を検出できなかった場合、ストップコンディション発行動作を行うため、マスタ B の SCL 出力と競合し通信を阻害します。

RIICHS は、NACK 送信時に ACK を受信した場合、アービトレーションロストを発生させることができます。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。また SMBus の ARP コマンド処理において、Assign Address の UDID (ユニークデバイスアイデンティファイ) 不一致時の NACK 送信以降、および Assign Address 確定後の Get UDID (General) の NACK 送信以降の余剰処理 (“FFh” 送信処理) を省くことができます。

RIICHS は、ICSER.ALE ビットおよび ICFER.NALE ビットが “1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、NACK 送信アービトレーションロストを検出します。

NACK 送信アービトレーションロストが発生した場合、RIICHS はスレーブアドレス一致状態を解除してスレーブ受信モードに移行します。

NACK 送信アービトレーションロスト検出条件

- NACK 送信時 (ICACKR.ACKBT ビット = 1)、出力した SDA 信号と SDAHS0 ライン上の信号の状態が不一致のとき (ACK を受信したとき)

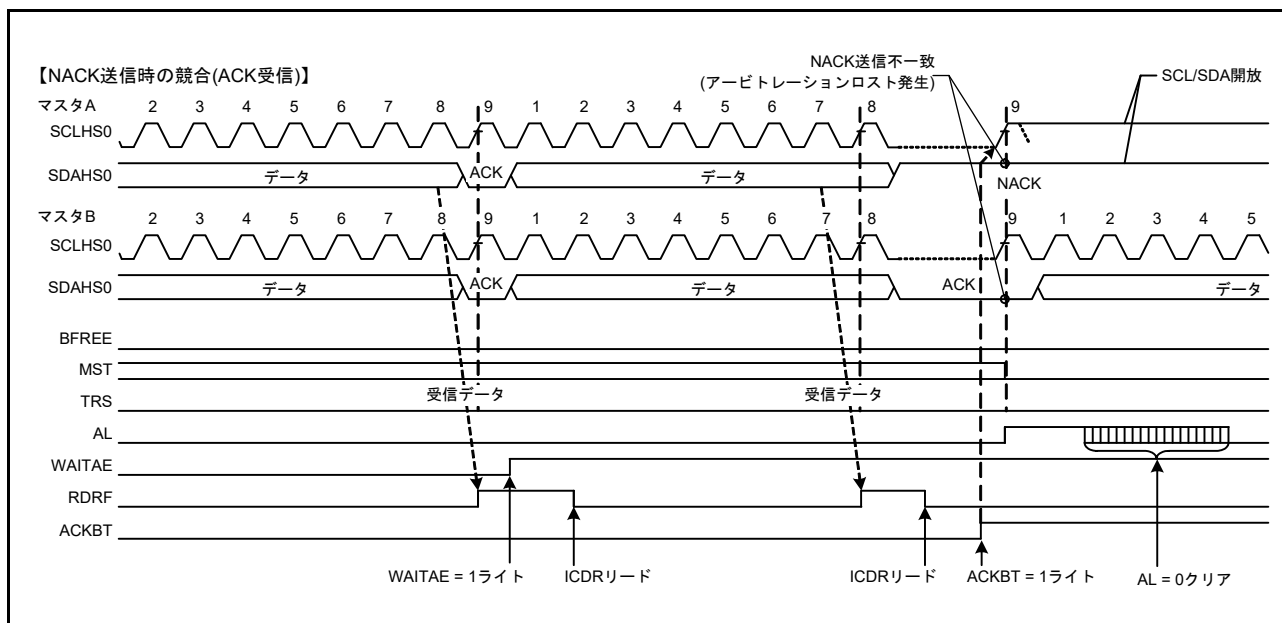


図 38.35 NACK 送信アービトレーションロスト検出動作例 (NALE ビット = 1 のとき)

38.4.6.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIICHS は、スレーブ送信時に送信データ (出力した SDA 信号) と SDAHS0 ライン上の信号の状態に不一致が生じた場合 (SDA 出力が High (SDAHS0 端子はハイインピーダンス) で、SDAHS0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。

スレーブアービトレーションロスト検出機能は、主に SMBus の UDID (ユニークデバイスアイデンティファイ) 送信時に使用します。この機能により SMBus の UDID 送信時のデータ衝突が検出でき、またデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

RIICHS は、ICSER.ALE ビットおよび ICFER.SALE ビットが “1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、スレーブアービトレーションロストを検出します。

スレーブアービトレーションロストが発生した場合、RIICHS はスレーブアドレス一致状態を解除してスレーブ受信モードに移行します。

スレーブアービトレーションロスト検出条件

- スレーブ送信モード時 (ICMMR.MST フラグ = 0、TRS フラグ = 1)、アクノリッジを除く送信データ (出力した SDA 信号) と SDAHS0 ライン上の信号の状態が不一致のとき

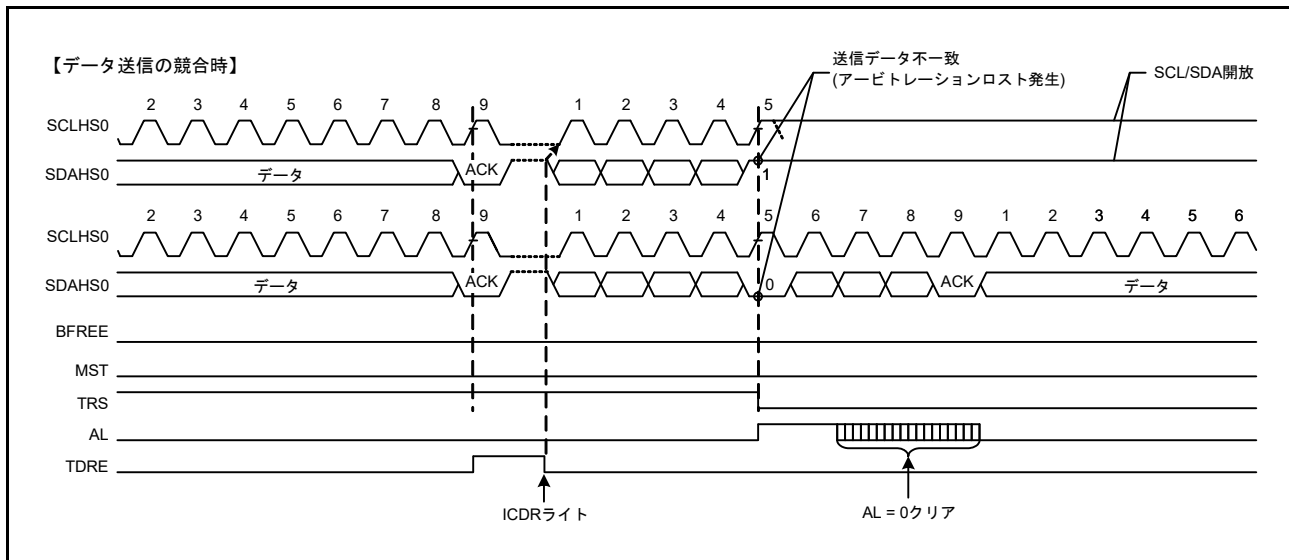


図 38.36 スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

38.4.7 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

38.4.7.1 スタートコンディション発行動作

RIICHSは、ICCGR.STビットを“1”にすることでスタートコンディションの発行を行います。

ICBSR.BFREEフラグが“1”(バスフリー)のときSTビットを“1”(スタートコンディション発行の要求)にすると、RIICHSはスタートコンディションの発行を行います。

スタートコンディションが正常に発行された場合、RIICHSは自動的にマスタ送信モードに移行します。スタートコンディションの発行は、以下のシーケンスに従って行われます。

スタートコンディション発行動作

- (1) SDAHS0ラインを立ち下げ(HighからLowに遷移)
- (2) ICFBR.HIGH[7:0]ビットで設定した時間、スタートコンディションのホールド時間を確保
- (3) SCLHS0ラインを立ち下げ(HighからLowに遷移)
- (4) SCLHS0ラインのLowを検出後、ICFBR.LOW[7:0]ビットで設定した時間、SCLHS0ラインのLow幅を確保

38.4.7.2 リスタートコンディション発行動作

RIICHSは、ICCGR.RSビットを“1”にすることでリスタートコンディションの発行を行います。

RSビットを“1”にすると、リスタートコンディションの発行が要求されます。ICBSR.BFREEフラグが“0”(バスビジー)で、ICMMR.MSTフラグが“1”(マスタモード)であると、RIICHSはリスタートコンディションを発行します。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

リスタートコンディション発行動作

- (1) SDAHS0ラインを開放
- (2) ICFBR.LOW[7:0]ビットで設定した時間、SCLHS0ラインのLow幅を確保
- (3) SCLHS0ラインを開放(LowからHighに遷移)
- (4) SCLHS0ラインのHigh検出後、ICFBR.LOW[7:0]ビットで設定した時間、リスタートコンディションのセットアップ時間を確保
- (5) SDAHS0ラインを立ち下げ(HighからLowに遷移)
- (6) ICFBR.HIGH[7:0]ビットで設定した時間、リスタートコンディションのホールド時間を確保
- (7) SCLHS0ラインを立ち下げ(HighからLowに遷移)
- (8) SCLHS0ラインのLowを検出後、ICFBR.LOW[7:0]ビットで設定した時間、SCLHS0ラインのLow幅を確保

注. リスタートコンディション発行を要求した場合、ICCGR.RSビットが“0”であることを確認してからICDRレジスタにスレーブアドレスを書き込んでください。ICCGR.RSビットが“1”のときに書き込んだデータは、リスタートコンディション発行前と判断されるため転送されません。

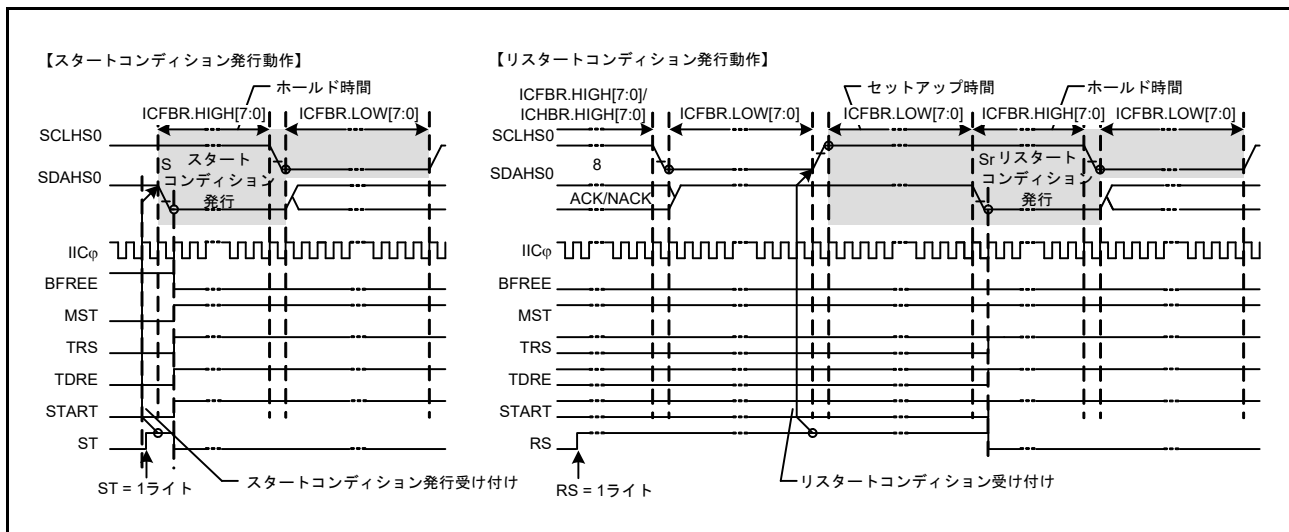


図 38.37 スタートコンディション/リスタートコンディション発行 (ST、RS ビット)

図 38.38 に、マスタ送信後にリスタートコンディションを発行するときの動作タイミングを示します。

マスタ送信後のリスタートコンディションの発行

- (1) 初期設定。詳細は「38.3.2 初期設定」を参照してください。
- (2) ICBSR.BFREE フラグを読んでバスが解放状態であることを確認した後、ICCSR.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIICHS はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。同時に、BFREE フラグが自動的に“0”に、ICCSR2.START フラグが自動的に“1”に、ST ビットが自動的に“0”になります。このとき、ST ビットが“1”の状態、スタートコンディションが検出され、かつ、内部 SDAHS0 出力レベルと SDAHS0 ラインのレベルが一致していれば、RIICHS は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICMMR.MST、TRS フラグを自動的に“1”にして、マスタ送信モードになります。ICCSR.TDRE フラグは、TRS フラグが“1”になることにより自動的に“1”になります。
- (3) ICCSR.TDRE フラグが“1”であることを確認した後、ICDR レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDR レジスタに送信データが書き込まれると、TDRE フラグは自動的に“0”になり、ICDR レジスタからデータが転送されると、再び TDRE フラグが“1”になります。スレーブアドレスと R/W# ビットを含むバイトの送信が完了すると、送信された R/W# ビットの値に応じて自動的に TRS フラグの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が“0”の場合、RIICHS はマスタ送信モードの状態を継続します。このとき ICCSR2.NACKF フラグが“1”であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCSR.SP ビットに“1”を書いて、ストップコンディションを発行してください。なお、10 ビットフォーマットのアドレスでデータを送信する場合は、1 回目のアドレス送信処理で ICDR レジスタに“11110b”、スレーブアドレスの上位 2 ビット、および W を書きます。2 回目のアドレス送信処理では、ICDR レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICCSR.TDRE フラグが“1”であることを確認した後、送信データを ICDR レジスタに書いてください。なお、送信データの準備ができるまで、リスタートコンディションを発行するまで、またはストップコンディションを発行するまでの間、RIICHS は自動的に SCLHS0 ラインを Low にホールドします。
- (5) 送信する全バイトを ICDR レジスタに書いた後、ICCSR2.TEND フラグが“1”になるまで待ってから ICCSR2.START フラグが“1”であることを確認し、ICCSR2.START フラグを“0”にしてください。

- (6) ICCGR.RS ビットを“1”(リスタートコンディション発行要求)にします。RIICHS はリスタートコンディション発行要求を受け付けると、リスタートコンディションを発行します。
- (7) ICSR2.START フラグが“1”であることを確認した後、ICDR レジスタに送信データ(スレーブアドレスとR/W#ビット)を書いてください。

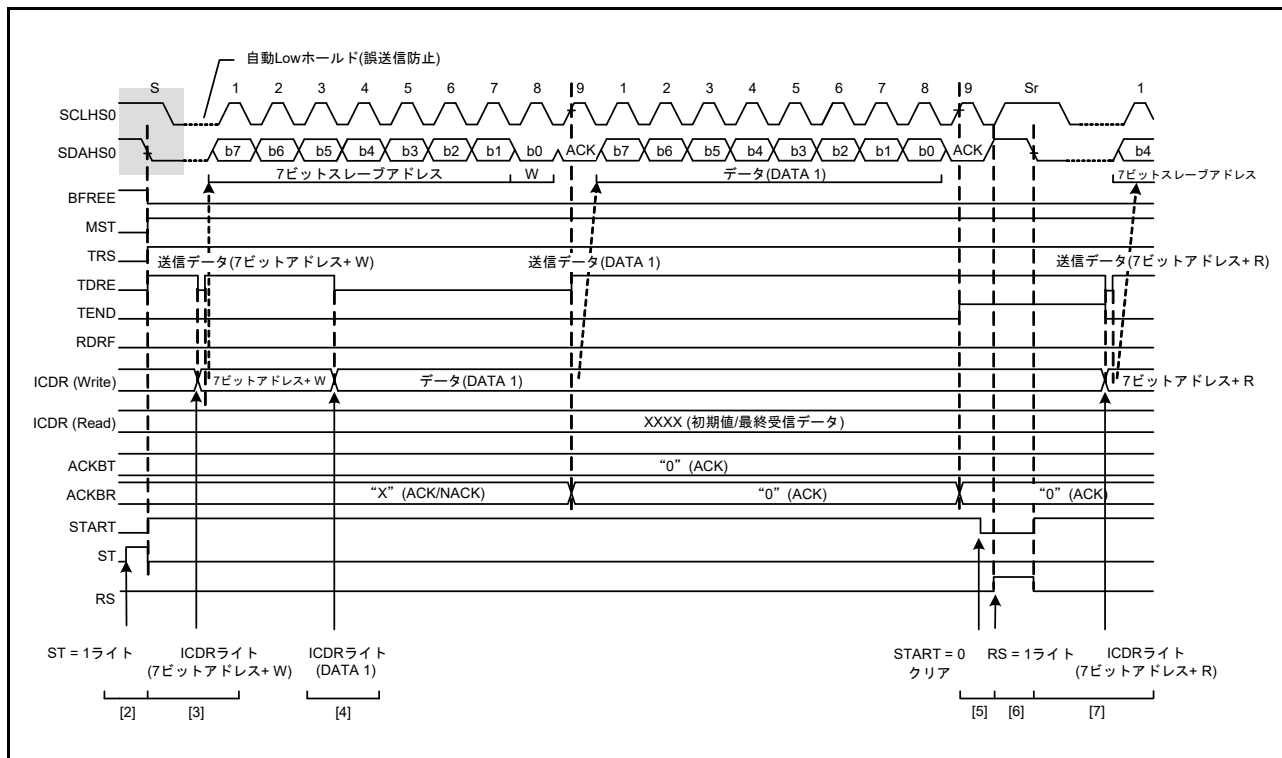


図 38.38 マスタ送信後のリスタートコンディション発行

38.4.7.3 ストップコンディション発行動作

RIICHSは、ICCGR.SPビットを“1”にすることでストップコンディションの発行を行います。

ICBSR.BFREEフラグが“0”(バスビジー)でかつICMMR.MSTフラグが“1”(マスタモード)のとき、SPビットを“1”(ストップコンディションの発行を要求)にすると、RIICHSはストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

ストップコンディション発行動作

- (1) SDAHS0ラインを立ち下げ(HighからLowに遷移)
- (2) ICFBR.LOW[7:0]ビットで設定した時間、SCLHS0ラインのLow幅を確保
- (3) SCLHS0ラインを開放(LowからHighに遷移)
- (4) SCLHS0ラインのHigh検出後、ICFBR.HIGH[7:0]ビットで設定した時間、ストップコンディションのセットアップ時間を確保
- (5) SDAHS0ラインを開放(LowからHighに遷移)
- (6) ICFBR.LOW[7:0]ビットで設定した時間、バスフリー時間を確保
- (7) BFREEフラグをセット(バス権解放)

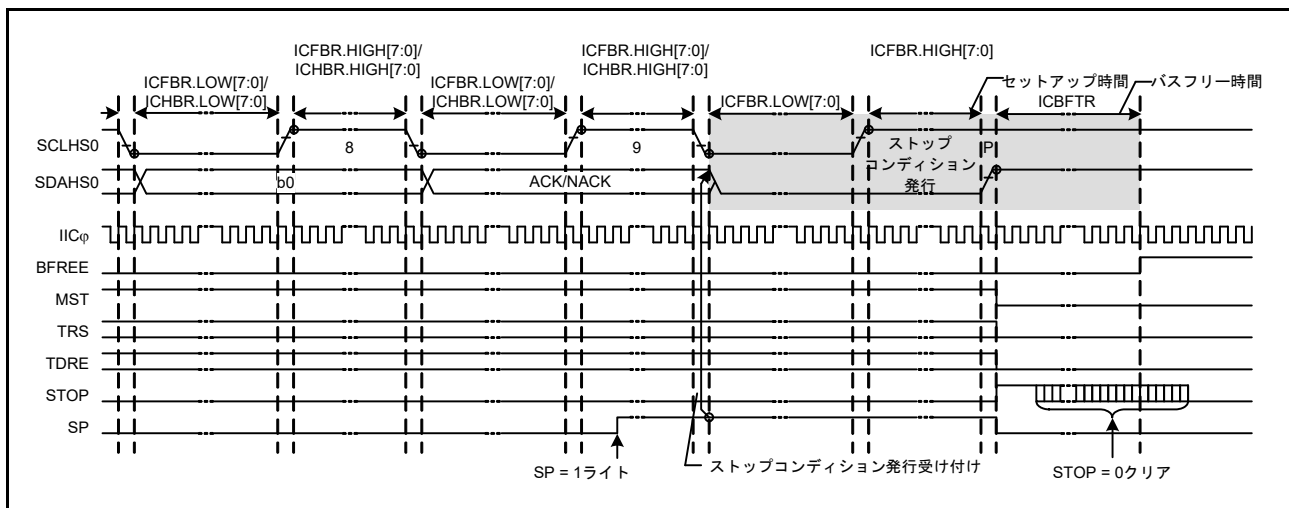


図 38.39 ストップコンディション発行 (SP ビット)

38.4.8 バスハングアップ

38.4.8.1 タイムアウト検出機能

RIICHSにはSCLHS0ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICHSは、SCLHS0ラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCLHS0ラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCLHS0ラインに変化(立ち上がり/立ち下がり)があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLHS0ラインに変化がないまま内部カウンタがオーバーフローすると、RIICHSはタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能はICSER.TMOEビットが“1”のとき有効で、以下の期間にSCLHS0ラインのLow固定またはHigh固定のバスハングアップを検出します(ICTOR.TMOMビット=00bのとき)。

- マスタモード(ICMMR.MSTフラグ=1)で、バスビジー(ICBSR.BFREEフラグ=0)
- スレーブモード(ICMMR.MSTフラグ=0)で、自スレーブアドレス一致(ICSSRレジスタ≠0000 0000h)かつバスビジー(ICBSR.BFREEフラグ=0)
- スタートコンディション発行要求中(ICCGR.STビット=1)で、バスフリー(ICBSR.BFREEフラグ=1)

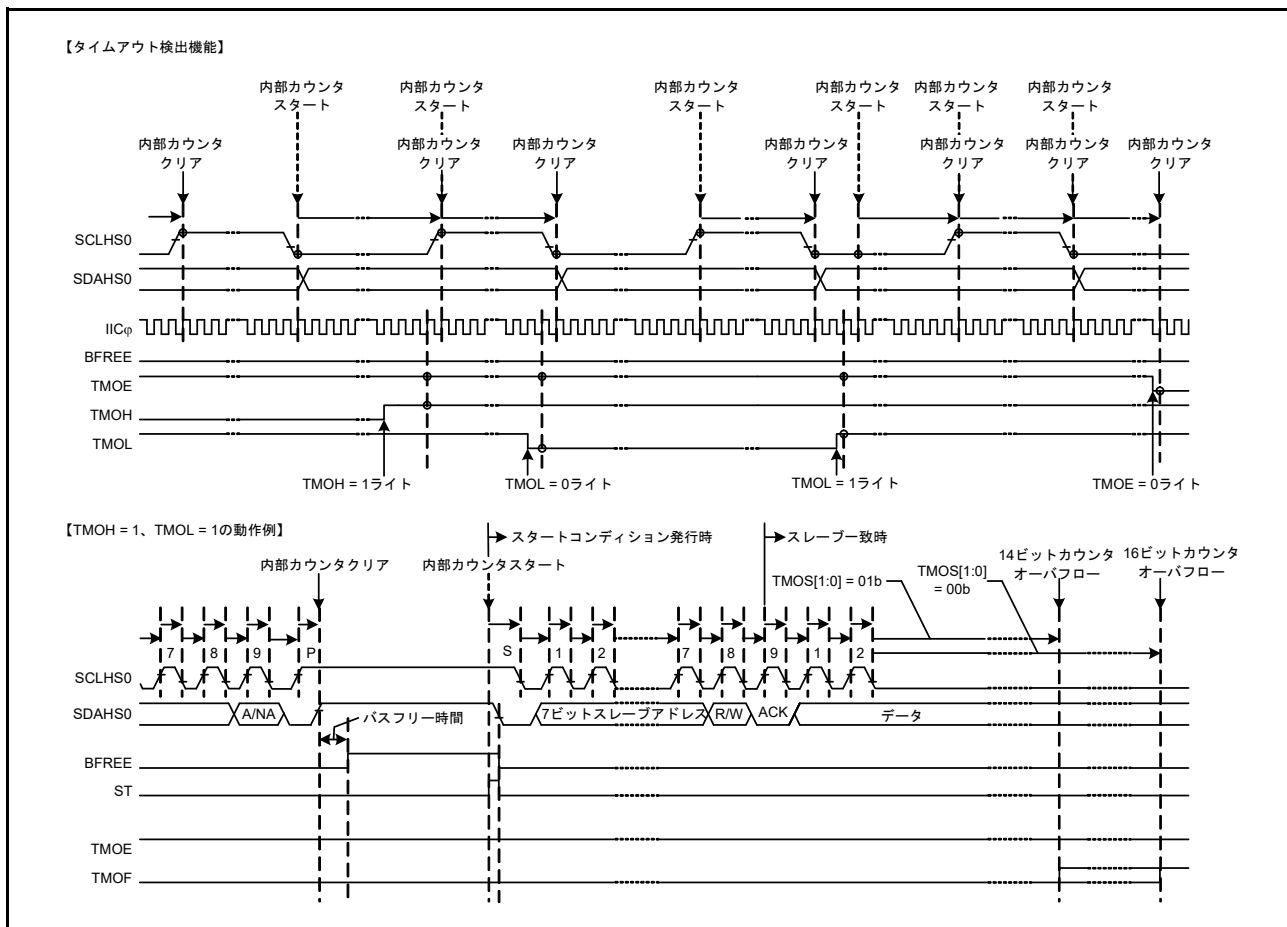


図 38.40 タイムアウト検出機能 (TMOE、TMOS[1:0]、TMOH、TMOL ビット)

38.4.8.2 SCL 追加出力機能

RIICHS にはマスタモード時、スレーブデバイスとの同期ずれによるスレーブデバイスの SDAHS0 ライン Low 固定状態を開放するための SCL 追加出力機能を備えています。

SCL 追加出力機能は、SCL を 1 クロックずつ追加で出力をする機能で、主にマスタモード時にスレーブデバイスが SDAHS0 ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDAHS0 ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

ICOCR.CLO ビットを“1”にすると、ICRCCR.CKS[2:0] ビット、ICFBR レジスタ (Hs モード時は ICHBR レジスタ) の HIGH[7:0]、LOW[7:0] ビットで設定された周波数のクロックが SCLHS0 端子から 1 クロック分追加で出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。このとき ICBSR.BFREE フラグが“0”であると SCLHS0 端子は Low になり、BFREE フラグが“1”であると SCLHS0 端子は High になります。CLO ビットが“0”であることを確認した後“1”を書くことにより、追加クロックを連続して出力することができます。

RIICHS がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ずれが原因でスレーブデバイスが SDAHS0 ラインを Low 固定状態のままストップコンディションを発行できないバスハングアップのとき、SCL 追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDAHS0 ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDAHS0 ライン開放は ICIMR.SDAI フラグをチェックすることで確認することができます。スレーブデバイスの SDAHS0 ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを“0”(マスタアービトレーションロスト検出禁止)にして使用してください。“1”のまま使用すると、ICOCR.SDAO ビットの値と SDAHS0 ラインのレベルが一致しなかったときに、アービトレーションロストが発生します。

ICOCR.CLO ビットの使用条件

- バスフリー状態(ICBSR.BFREE フラグ=1)またはマスタモード(ICMMR.MST フラグ=1、ICBSR.BFREE フラグ=0の状態)のとき
- 通信デバイスが SCLHS0 ラインを Low ホールドにしていない状態のとき

図 38.41 に SCL 追加出力機能 (CLO ビット) を示します。

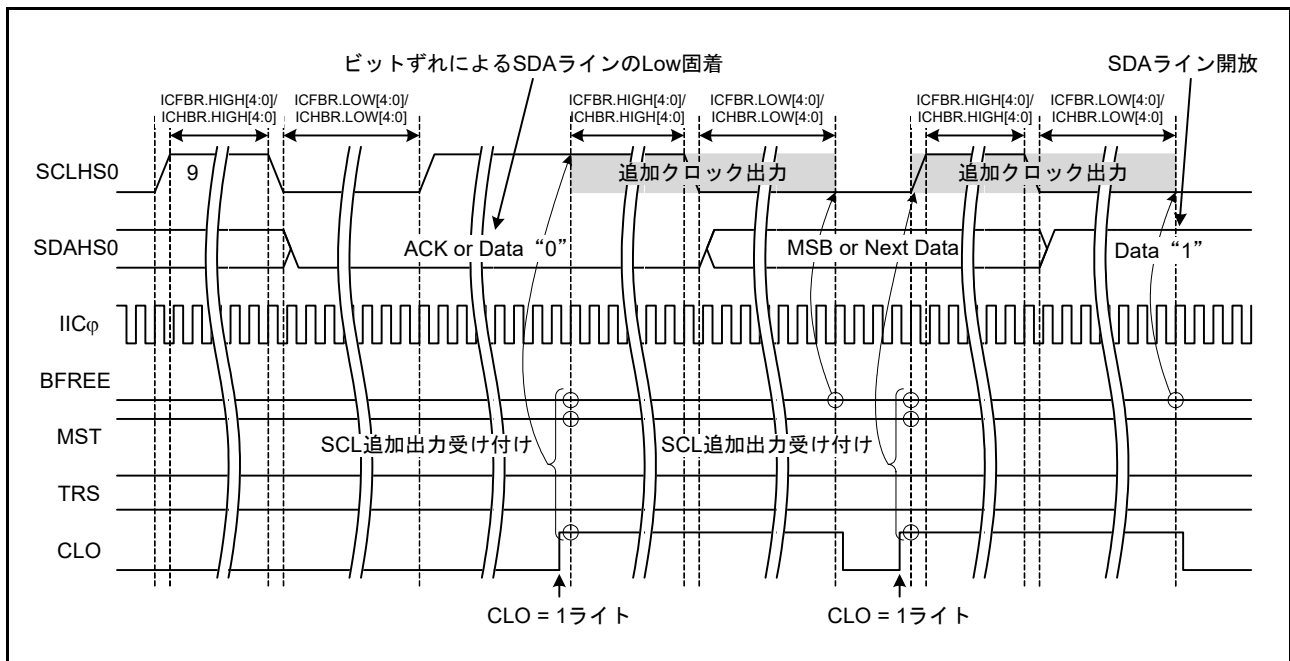


図 38.41 SCL 追加出力機能 (CLO ビット)

38.4.9 SMBus 動作

RIICHS は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICFER.SMBS ビットを“1”にしてください。転送速度は SMBus 仕様の 10 kbps ~ 100 kbps の範囲に収まるよう ICRCR.CKS[2:0] ビット、ICFBR.HIGH[7:0]、LOW[7:0] ビットを設定し、データホールド時間：300 ns (min) の仕様を守るよう ICOCR.DLCS ビットおよび ICOCR.SDDL[2:0] ビットの値を決定してください。RIICHS をスレーブデバイスのみで使用する場合には、転送速度の設定は不要ですが、ICFBR.LOW[7:0] ビットはデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ 0 ~ 2 (SAR0, SAR1, SAR2) のいずれか 1 本を使用し、該当する SARy.FS ビット (y = 0 ~ 2) (7 ビット / 10 ビットアドレスフォーマット選択ビット) を“0” (7 ビットアドレスフォーマット) にしてください。

また、UDID (ユニークデバイスアイデンティファイ) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトラクションロスト検出機能を有効にしてください。

38.4.9.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔： $T_{\text{LOW:SEXT}}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIICHS のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU または TMR タイマを使用してその区間を計測します。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (スレーブデバイス) $T_{\text{LOW:SEXT}}$: 25 ms (max) 以内である必要があります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25 ms (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICRCR.ISRST ビットに“1”を書き、RIICHS の内部リセットを行ってください。内部リセットを行うと RIICHS は SCLHS0 端子 / SDAHS0 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔： $T_{\text{LOW:MEXT}}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIICHS のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (TEI) または受信データフル割り込み (RXI) を利用して、それぞれの区間を MTU または TMR タイマを使用して各区間の時間を計測します。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{\text{LOW:MEXT}}$: 10 ms (max) 以内である必要があります。スタートコンディションからストップコンディションまでのすべての $T_{\text{LOW:MEXT}}$ を加算した結果が $T_{\text{LOW:SEXT}}$: 25 ms (max) 以内である必要があります。

ACK 受信タイミング (9 個目の SCL の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICCSR.RDRF フラグで見る必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICCSCR.WAITAE ビットを “0” で使用してください。WAITAE ビットが “0” のとき、RDRF フラグは 9 個目の SCL の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{LOW:MEXT}$: 10 ms (max) または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25 ms (min) を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDR レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

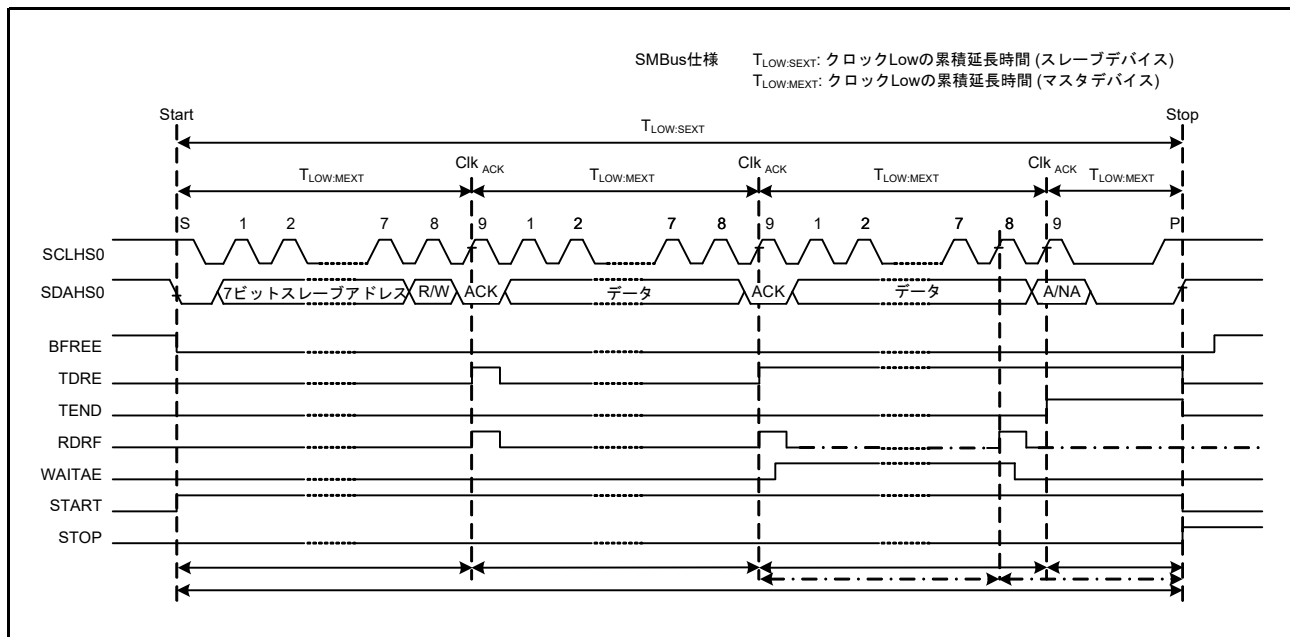


図 38.42 SMBus タイムアウト測定

38.4.9.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIICHS の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「43. CRC 演算器 (CRCA)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の 8 個目の SCL の立ち上がりまでに ICCSCR.WAITAE ビットを “1” にし、8 クロック目の立ち下がりまで SCLHS0 ラインを Low にホールドしてください。

38.4.9.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIICHS ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICFER.SMBS ビットを“1”、ICSCR.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

38.5 割り込み要因

RIICHSの割り込み要因には、送信データエンプティ、受信データフル、送信終了、通信エラー/通信イベント(スタートコンディション検出、ストップコンディション検出、NACK検出、アービトレーションロスト検出、タイムアウト検出)の4種類があります。

表38.5に割り込み一覧を示します。送信データエンプティおよび受信データフル割り込み要求により、DTCまたはDMACを起動してデータ転送を行うことができます。

表38.5 割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMA転送の起動	割り込み発生条件
TXI(注1)	送信データエンプティ	ICCSR.TDRE	ICCSIER.TIE	可能	TDRE = 1かつTIE = 1
RXI(注2)	受信データフル	ICCSR.RDRF	ICCSIER.RIE	可能	RDRF = 1かつRIE = 1
TEI(注3)	送信終了	ICSR2.TEND	ICSIER.TEIE	不可能	TEND = 1かつTEIE = 1
EEI	通信エラー/通信イベント	ICSR2.START	ICSIER.STIE	不可能	START = 1かつSTIE = 1
		ICSR2.STOP	ICSIER.SPIE		STOP = 1かつSPIE = 1
		ICSR2.NACKF	ICSIER.NAKIE		NACKF = 1かつNAKIE = 1
		ICSR2.AL	ICSIER.ALIE		AL = 1かつALIE = 1
		ICSR2.TMOF	ICSIER.TMOIE		TMOF = 1かつTMOIE = 1

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICCSR.TDREフラグは、ICDRレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICCSR.RDRFフラグは、ICDRレジスタの読み出しで自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。なおICSR2.TENDフラグは、ICDRレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

38.5.1 TXI 割り込みおよび RXI 割り込みのバッファ動作

TXI 割り込みおよび RXI 割り込みでは、それぞれの割り込みに対応した ICU.IRn.IR フラグが“1”のときに割り込み発生条件が成立した場合、ICU に対して割り込み要求を出力せず内部で保持します(内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが“0”になると、保持していた割り込み要求を ICU に出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICCSIER レジスタの対応する割り込み許可ビットを“0”にすることでクリアできます。

38.6 イベントリンク機能

RIICHS は次の要因が発生すると、イベントリンクコントローラ (ELC) に対してイベント出力を行います。

- 送信データエンプティ
- 受信データフル
- 送信終了
- 通信エラー / 通信イベント

38.6.1 割り込み処理とイベントリンクの関係

RIICHS の割り込みの、送信データエンプティ、受信データフル、送信終了、通信エラー / 通信イベント (スタートコンディション検出、ストップコンディション検出、NACK 検出、アービトレーションロスト検出、タイムアウト検出) には、それぞれに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが“1”の場合に ICU に対して割り込み要求信号が出力されます。

これに対してイベント信号は、割り込み許可ビットに依存せず、対応する割り込み要因が発生すると、ELC を介して他のモジュールに伝達されます。

割り込み要因については、表 38.5 を参照してください。

38.7 リセットの説明

表38.6 レジスタのリセットコントロール (1/3)

レジスタ	ビット	システムリセット	ICRCRレジスタ	
			MRSTビット	ISRSTビット
ICCR	ICE	リセット	リセット	保持
ICRCR	ISRST	リセット	リセット	保持
	MRST	リセット	保持	保持
ICMMR	MSWP	リセット	リセット	リセット
	TRS	リセット	リセット	リセット
	MST	リセット	リセット	リセット
ICFER	HSME	リセット	リセット	保持
	FMPE	リセット	リセット	保持
	SMBS	リセット	リセット	保持
	SCLE	リセット	リセット	保持
	SALE	リセット	リセット	保持
	NALE	リセット	リセット	保持
	MALE	リセット	リセット	保持
ICSCR	SAR2E	リセット	リセット	保持
	SAR1E	リセット	リセット	保持
	SAR0E	リセット	リセット	保持
	HOAE	リセット	リセット	保持
	DIDE	リセット	リセット	保持
	HSMCE	リセット	リセット	保持
	GCAE	リセット	リセット	保持
ICRCCR	CKS[2:0]	リセット	リセット	保持
ICFBR	DBL	リセット	リセット	保持
	HIGH[7:0]	リセット	リセット	保持
	LOW[7:0]	リセット	リセット	保持
ICHBR	HIGH[7:0]	リセット	リセット	保持
	LOW[7:0]	リセット	リセット	保持
ICBFTR		リセット	リセット	保持
ICOOCR	DLCS	リセット	リセット	保持
	SDDL[2:0]	リセット	リセット	保持
	CLO	リセット	リセット	保持
	SOWP	リセット	リセット	リセット
	SCLO	リセット	リセット	保持
	SDAO	リセット	リセット	保持
ICICR	NFE	リセット	リセット	保持
	NF[1:0]	リセット	リセット	保持
ICTOR	TMOM[1:0]	リセット	リセット	保持
	TMOH	リセット	リセット	保持
	TMOL	リセット	リセット	保持
	TMOS[1:0]	リセット	リセット	保持
ICACKR	ACKWP	リセット	リセット	リセット
	ACKBT	リセット	リセット	リセット
	ACKBR	リセット	リセット	リセット

表 38.6 レジスタのリセットコントロール (2/3)

レジスタ	ビット	システムリセット	ICRCR レジスタ	
			MRSTビット	ISRSTビット
ICCSR	WAITRE	リセット	リセット	保持
	WAITAE	リセット	リセット	保持
ICCGR	SP	リセット	リセット	リセット
	RS	リセット	リセット	リセット
	ST	リセット	リセット	リセット
ICDR		リセット	リセット	リセット
ICSR2	TMOF	リセット	リセット	リセット
	AL	リセット	リセット	リセット
	TEND	リセット	リセット	リセット
	NACKF	リセット	リセット	リセット
	STOP	リセット	リセット	リセット
	START	リセット	リセット	リセット
ICSER	TMOE	リセット	リセット	保持
	ALE	リセット	リセット	保持
	TEDE	リセット	リセット	保持
	NAKDE	リセット	リセット	保持
	SPDE	リセット	リセット	保持
	STDE	リセット	リセット	保持
ICSIER	TMOIE	リセット	リセット	保持
	ALIE	リセット	リセット	保持
	TEIE	リセット	リセット	保持
	NAKIE	リセット	リセット	保持
	SPIE	リセット	リセット	保持
	STIE	リセット	リセット	保持
ICCSR	RDRF	リセット	リセット	リセット
	TDRE	リセット	リセット	リセット
ICCSER	RDE	リセット	リセット	保持
	TDE	リセット	リセット	保持
ICCSIER	RIE	リセット	リセット	保持
	TIE	リセット	リセット	保持
ICBSR	BFREE	リセット	リセット	保持
ICSSR	AAS2	リセット	リセット	リセット
	AAS1	リセット	リセット	リセット
	AAS0	リセット	リセット	リセット
	HOA	リセット	リセット	リセット
	DID	リセット	リセット	リセット
	HSMC	リセット	リセット	リセット
	GCA	リセット	リセット	リセット
SAR0	FS	リセット	リセット	保持
	SVA[9:0]	リセット	リセット	保持
SAR1	FS	リセット	リセット	保持
	SVA[9:0]	リセット	リセット	保持
SAR2	FS	リセット	リセット	保持
	SVA[9:0]	リセット	リセット	保持

表 38.6 レジスタのリセットコントロール (3/3)

レジスタ	ビット	システムリセット	ICRCR レジスタ	
			MRSTビット	ISRSTビット
SAMR0	SAV	リセット	リセット	保持
	FS	リセット	リセット	保持
	SVA[9:0]	リセット	リセット	保持
SAMR1	SAV	リセット	リセット	保持
	FS	リセット	リセット	保持
	SVA[9:0]	リセット	リセット	保持
SAMR2	SAV	リセット	リセット	保持
	FS	リセット	リセット	保持
	SVA[9:0]	リセット	リセット	保持
ICBCR	BC[4:0]	リセット	リセット	リセット
ICIMR	SDAO	リセット	リセット	リセット
	SCLO	リセット	リセット	リセット
	SDAI	リセット	リセット	保持
	SCLI	リセット	リセット	保持

38.8 使用上の注意事項

38.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、RIICHS の動作を禁止または許可することができます。

リセット後、RIICHS の動作は停止しています。モジュールストップ状態を解除することにより、レジスタにアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

39. CANモジュール (CAN)

39.1 概要

ISO 11898-1規格に準拠したCAN (Controller Area Network) モジュールを2チャンネル内蔵しています。CANモジュールは標準 (11ビット) Identifier (以下、IDと略す) と拡張 (29ビット) IDの両フォーマットのメッセージを送受信できます。

表 39.1 に CAN モジュールの仕様、図 39.1 に CAN モジュールブロック図 (i = 0, 1) を示します。
なお、CAN バスランシーバは外付けしてください。

表 39.1 CANモジュールの仕様

項目	概要
プロトコル	<ul style="list-style-type: none"> ISO 11898-1規格準拠 (標準フレーム/拡張フレーム)
ビットレート	<ul style="list-style-type: none"> 1Mbps以下のビットレートをプログラム可能 (fCAN ≥ 8MHz) fCAN : CANクロックソース
メッセージボックス	<ul style="list-style-type: none"> 32メールボックス : 2種類のメールボックスモードを選択可能 通常メールボックスモード : 32メールボックスを送信または受信用に設定可能 FIFOメールボックスモード : 24メールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に4段、受信用に4段のFIFOを設定可能
受信	<ul style="list-style-type: none"> データフレームとリモートフレームを受信可能 受信するIDフォーマット (標準IDのみ、拡張IDのみ、標準と拡張両方のID) を選択可能 ワンショット受信機能を選択可能 オーバライトモード (メッセージ上書き) かオーバーランモード (メッセージ破棄) を選択可能 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
アクセプタンスフィルタ	<ul style="list-style-type: none"> 8つのアクセプタンスマスク (4メールボックスごとに個別のマスク) メールボックスはマスクの有効/無効を個別に設定可能
送信	<ul style="list-style-type: none"> データフレームとリモートフレームを送信可能 送信するIDフォーマット (標準IDのみ、拡張IDのみ、標準と拡張両方のID) を選択可能 ワンショット送信機能を選択可能 ID優先送信モードかメールボックス番号優先送信モードを選択可能 送信要求をアボート可能 (フラグでアボート完了を確認可能) 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
バスオフ復帰方法	<ul style="list-style-type: none"> バスオフ状態からの復帰方法を選択可能 ISO 11898-1規格準拠 バスオフ開始で自動的にCAN Haltモードへ移行 バスオフ終了で自動的にCAN Haltモードへ移行 プログラムによりCAN Haltモードへ移行 プログラムによりエラーアクティブ状態へ遷移
エラー状態の監視	<ul style="list-style-type: none"> CANバスエラー (スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー) を監視可能 エラー状態の遷移を検出可能 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) エラーカウンタを読み出し可能
タイムスタンプ機能	<ul style="list-style-type: none"> 16ビットカウンタによるタイムスタンプ機能 基準クロックは、1、2、4、8ビットタイムから選択可能
割り込み機能	<ul style="list-style-type: none"> 5種類の割り込み要因 (受信完了割り込み、送信完了割り込み、受信FIFO割り込み、送信FIFO割り込み、エラー割り込み)
CANスリープモード	<ul style="list-style-type: none"> CANクロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	<ul style="list-style-type: none"> 3つのソフトウェアサポートユニット アクセプタンスフィルタサポート メールボックス検索サポート (受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) チャンネル検索サポート
CANクロックソース	周辺モジュールクロック (PCLKB)、CANMCLK
テストモード	<ul style="list-style-type: none"> ユーザ評価用に3つのテストモードを用意 リッスンオンリモード セルフテストモード0 (外部ループバック) セルフテストモード1 (内部ループバック)
消費電力低減機能	モジュールストップ状態への設定が可能

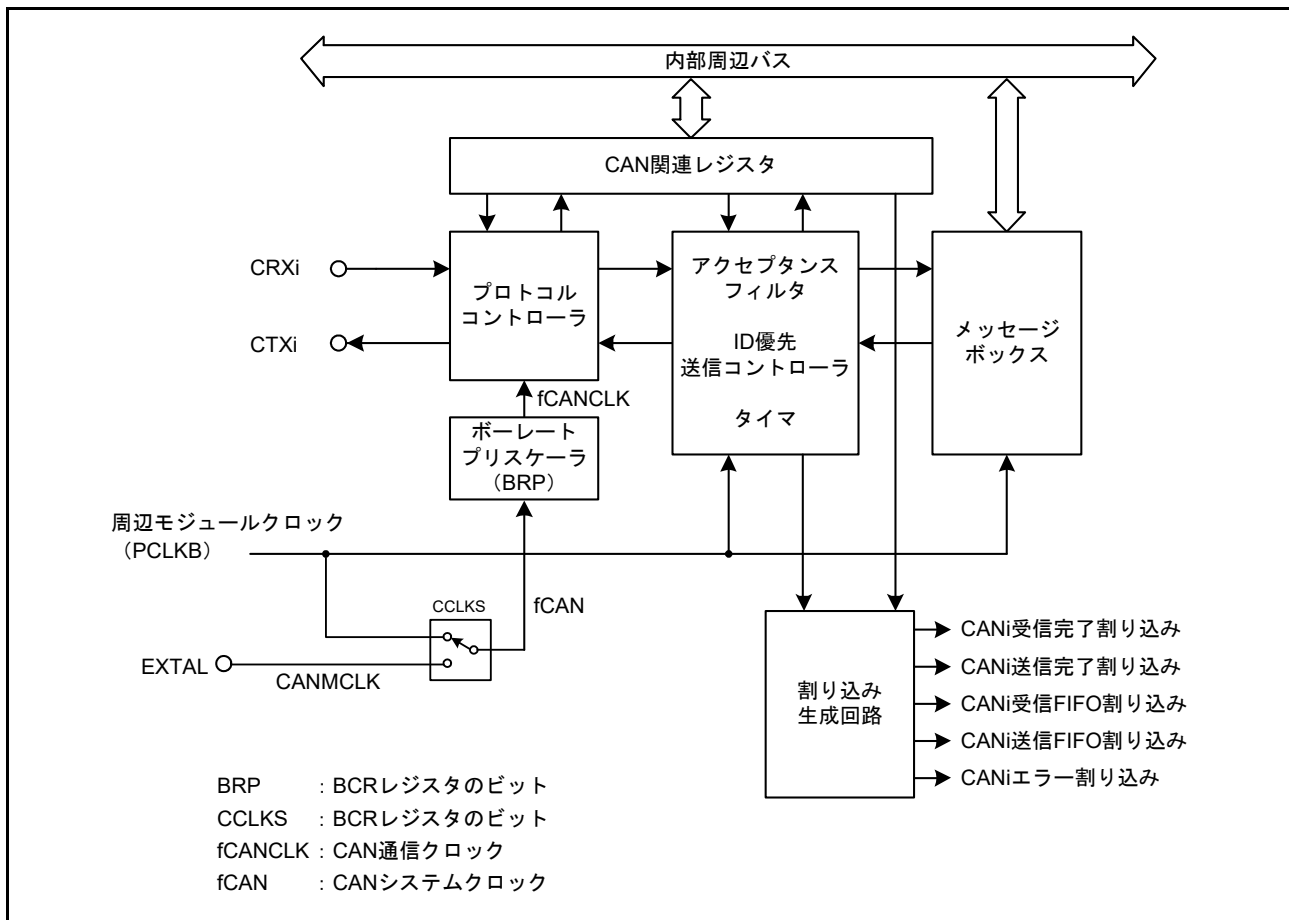


図 39.1 CAN モジュールブロック図 (i = 0, 1)

- CRXi、CTXi (i = 0, 1)
CAN の入出力端子です。
- プロトコルコントローラ
バスアービトラージや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。
- メッセージボックス
送信または受信メールボックスとして使用可能な 32 個のメールボックスで構成されています。固有の ID、データ長コード、8 バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ
受信メッセージのフィルタ処理を行います。このフィルタ処理には、MKR0 ~ MKR7 レジスタを使用します。
- タイマ
タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。

- 割り込み生成回路

次の5種類の割り込み要求を発生させることができます。

CANi 受信完了割り込み

CANi 送信完了割り込み

CANi 受信 FIFO 割り込み

CANi 送信 FIFO 割り込み

CANi エラー割り込み

表 39.2 に CAN モジュールで使用する端子を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「22. I/O ポート」を参照してください。

表 39.2 CANモジュールの端子構成

端子名	入出力	機能
CRX0	入力	データ受信用端子です
CTX0	出力	データ送信用端子です
CRX1	入力	データ受信用端子です
CTX1	出力	データ送信用端子です

39.2 レジスタの説明

39.2.1 制御レジスタ (CTRL)

アドレス CAN0.CTRL 0009 0840h, CAN1.CTRL 0009 1840h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RBOC	BOM[1:0]	SLPM	CANM[1:0]	TSPS[1:0]	TSRC	TPM	MLM	IDFM[1:0]	MBM				
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBM	送受信メールボックスモード選択ビット(注1)	0: 通常メールボックスモード 1: FIFOメールボックスモード	R/W
b2-b1	IDFM[1:0]	IDフォーマットモードビット(注1)	b2 b1 0 0: 標準IDモード すべてのメールボックス (FIFOメールボックスを含む) は標準IDのみに対応します 0 1: 拡張IDモード すべてのメールボックス (FIFOメールボックスを含む) は拡張IDのみに対応します 1 0: ミックスIDモード すべてのメールボックス (FIFOメールボックスを含む) は、標準IDと拡張IDの両方に対応します。標準IDと拡張IDの選択は、通常メールボックスモードの場合、対応するメールボックスのIDEビットで指定します。FIFOメールボックスモードの場合、メールボックス[0]~[23]は対応するメールボックスのIDEビット、受信FIFOはFIDCR0、FIDCR1レジスタのIDEビット、送信FIFOはメールボックス[24]のIDEビットで指定します 1 1: 設定しないでください	R/W
b3	MLM	メッセージロストモード選択ビット(注2)	0: オーバライトモード 1: オーバランモード	R/W
b4	TPM	送信優先順位モード選択ビット(注2)	0: ID優先送信モード 1: メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリセットビット(注4)	0: リセットしない 1: リセットする(注3)	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケアラ選択ビット(注1)	b7 b6 0 0: 1ビットタイムごと 0 1: 2ビットタイムごと 1 0: 4ビットタイムごと 1 1: 8ビットタイムごと	R/W
b9-b8	CANM[1:0]	CAN動作モード選択ビット(注5)	b9 b8 0 0: CANオペレーションモード 0 1: CANリセットモード 1 0: CAN Haltモード 1 1: CANリセットモード(強制移行)	R/W
b10	SLPM	CANスリープモードビット(注5、注6)	0: CANスリープモードではない 1: CANスリープモード	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード選択ビット(注1)	b12 b11 0 0: ノーマルモード (ISO 11898-1規格準拠) 0 1: バスオフ開始で自動的にCAN Haltモードへ移行) 1 0: バスオフ終了で自動的にCAN Haltモードへ移行) 1 1: プログラムによる要求でCAN Haltモードへ移行) (バスオフ復帰期間中)	R/W
b13	RBOC	バスオフ強制復帰ビット(注2)	0: 何もしない 1: バスオフからの強制復帰(注3)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、MBMビットは、CANリセットモード時に変更してください。
- 注2. RBOCビットはバスオフ状態時に“1”にしてください。
- 注3. “1”にした後自動的に“0”になります。読んだ場合“0”が読めます。
- 注4. TSRCビットはCANオペレーションモード時に“1”にしてください。
- 注5. CANM[1:0]、SLPMビットを変更した場合は、STRレジスタでモードが切り替わることを確認してください。

モードが切り替わるまで、CANM[1:0]、SLPM ビットは変更しないでください。

注6. SLPM ビットは、CAN リセットモードまたは CAN Halt モード時に変更してください。SLPM ビットを書き換える場合は、本ビットのみ“0”または“1”にしてください。

MBM ビット (送受信メールボックスモード選択ビット)

MBM ビットが“0” (通常メールボックスモード) の場合、メールボックス [0] ~ [31] は送信または受信メールボックスに設定されます。

MBM ビットが“1” (FIFO メールボックスモード) の場合、メールボックス [0] ~ [23] は送信または受信メールボックスに設定され、メールボックス [24] ~ [27] は送信 FIFO に、メールボックス [28] ~ [31] は受信 FIFO に設定されます。

送信データはメールボックス [24] に書き込み (メールボックス [24] は送信 FIFO のウィンドウメールボックスです)、受信データはメールボックス [28] から読み出します (メールボックス [28] は受信 FIFO のウィンドウメールボックスです)。

表 39.3 にメールボックスの設定を示します。

IDFM[1:0] ビット (ID フォーマットモードビット)

IDFM[1:0] ビットは、ID フォーマットを決定します。

MLM ビット (メッセージロストモード選択ビット)

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。すべてのメールボックス (受信 FIFO を含む) は、オーバーライトモードかオーバーランモードのどちらかになります。

MLM ビットが“0” の場合、すべてのメールボックスはオーバーライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

MLM ビットが“1” の場合、すべてのメールボックスはオーバーランモードになり、新しいメッセージは破棄されます。

TPM ビット (送信優先順位モード選択ビット)

メッセージを送信する場合の優先順のモードを指定します。

TPM ビットは、ID 優先モードまたはメールボックス番号優先モードを選択します。すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信どちらかになります。

TPM ビットが“0” の場合、ID 優先送信モードとなり、送信優先順位は CAN バスアービトラクションルール (ISO 11898-1 規格) に準拠します。ID 優先送信モードは、通常メールボックスモードのときメールボックス [0] ~ [31]、FIFO メールボックスモードのときメールボックス [0] ~ [23] と送信 FIFO の送信に設定されたメールボックスの ID を比較します。2 つ以上のメールボックスの ID が同じ場合、小さい番号のメールボックスが優先されます。

次に送信 FIFO から送信される予定のメッセージのみが、送信アービトラクションの対象となります。送信 FIFO のメッセージを送信中の場合、送信 FIFO 内の次の待機メッセージが送信アービトラクションの対象となります。

TPM ビットが“1” の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス (メールボックス [0]~[23]) よりも優先順位が低くなります。

TSRC ビット (タイムスタンプカウンタリセットビット)

TSRC ビットを“1”にすると TSR レジスタは 0000h になります。このビットは自動的に“0”になります。

TSPS[1:0] ビット (タイムスタンププリスケアラ選択ビット)

タイムスタンプ用のプリスケアラを選択します。タイムスタンプの基準クロックは、1、2、4、または 8 ビットタイムから選択できます。

CANM[1:0] ビット (CAN 動作モード選択ビット)

CANM[1:0] ビットは、CAN モジュールのモード (CAN オペレーションモード、CAN リセットモード、CAN Halt モード) を選択するビットです。CAN スリープモードは SLPM ビットで設定します。詳細は「39.3 動作モード」を参照してください。

BOM[1:0] ビットの設定によって CAN Halt モードへ移行した場合は、CANM[1:0] ビットは自動的に“10b”になります。

SLPM ビット (CAN スリープモードビット)

SLPM ビットを“1”にすると CAN モジュールは CAN スリープモードになります。SLPM ビットを“0”にすると、CAN スリープモードは解除されます。詳細は、「39.3 動作モード」を参照してください。

BOM[1:0] ビット (バスオフ復帰モード選択ビット)

BOM[1:0] ビットは CAN モジュールのバスオフ復帰モードの選択に使用します。

BOM[1:0] ビットが“00b”の場合、バスオフからの復帰は ISO 11898-1 規格に準拠します。すなわち、CAN モジュールは、11 の連続するレセシブビットを 128 回検出後、再び CAN 通信 (エラーアクティブ状態) に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが“01b”の場合、CAN モジュールがバスオフ状態に達すると、CTRL レジスタの CANM[1:0] ビットが“10b” (CAN Halt モード) になってから、CAN Halt モードに移行します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは“00h”になります。

BOM[1:0] ビットが“10b”の場合、CAN モジュールがバスオフ状態に達すると、CANM[1:0] ビットが“10b”になり、バスオフ状態から復帰した (11 の連続するレセシブビットを 128 回検出) 後に、CAN Halt モードに移行します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタと RECR レジスタは“00h”になります。

BOM[1:0] ビットが“11b”の場合、CAN モジュールがまだバスオフ状態のときに CANM[1:0] ビットを“10b”にすると、CAN Halt モードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは“00h”になります。しかし、CANM[1:0] ビットを“10b”にする前に 11 の連続するレセシブビットを 128 回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CAN モジュールが CAN Halt モードに移行すると同時に (BOM[1:0] ビットが“01b”のとき : バスオフ開始、または BOM[1:0] ビットが“10b”のとき : バスオフ終了) に、CPU が CAN リセットモードへの移行を要求した場合は、CPU の要求が優先されます。

RBOC ビット (バスオフ強制復帰ビット)

バスオフ状態時に RBOC ビットを“1” (バスオフからの強制復帰) にするとバスオフ状態から強制的に復帰します。このビットは自動的に“0”になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。RBOC ビットを“1”にすると、RECR、TECR レジスタは“00h”になり、STR レジスタの BOST フラグは“0” (CAN モジュールはバスオフ状態ではない) になります。他のレジスタは RBOC ビットを“1”にしても変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM[1:0] ビットが“00b” (ノーマルモード) のときのみ使用してください。

表 39.3 メールボックスの設定

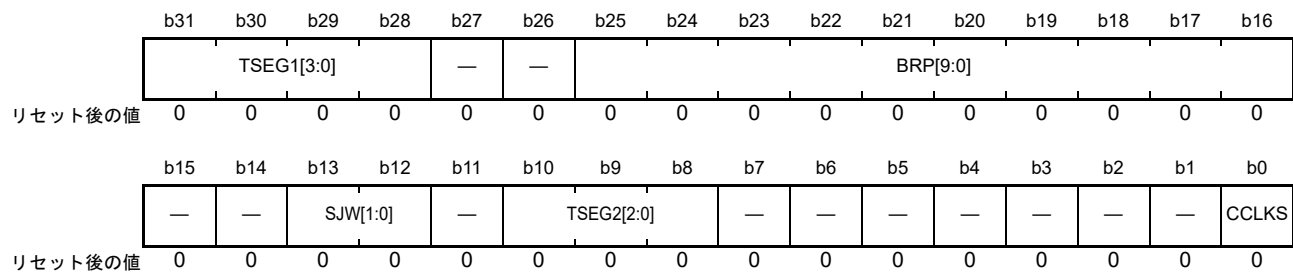
メールボックス	MBMビット=0 (通常メールボックスモード)	MBMビット=1 (FIFOメールボックスモード)
メールボックス[0]~[23]	通常メールボックス	通常メールボックス
メールボックス[24]~[27]		送信FIFO
メールボックス[28]~[31]		受信FIFO

CTLR.MBMビットが“1”のときは以下の1.~5.の点に注意してください。

- 注1. 送信FIFOはTFMRレジスタで制御します。メールボックス[24]~[27]のMCTLjレジスタは無効です。MCTL24~MCTL27レジスタは送信FIFOでは使用できません。
- 注2. 受信FIFOはRFCRレジスタで制御します。メールボックス[28]~[31]のMCTLjレジスタは無効です。MCTL28~MCTL31レジスタは受信FIFOでは使用できません。
- 注3. FIFO割り込みについてはMIERレジスタを参照してください。
- 注4. MKIVLRレジスタのメールボックス[24]~[31]に対応するビットは無効です。これらのビットは“0”にしてください。
- 注5. 送信/受信FIFOはデータフレーム/リモートフレームを使用可能です。

39.2.2 ビットコンフィギュレーションレジスタ (BCR)

アドレス CAN0.BCR 0009 0844h, CAN1.BCR 0009 1844h



ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CANクロックソース選択ビット	0: PCLKB (PLLクロックから生成) 1: CANMCLK (メインクロックから生成)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御ビット	b10 b8 0 0 0: (設定しないでください) 0 0 1: 2Tq 0 1 0: 3Tq 0 1 1: 4Tq 1 0 0: 5Tq 1 0 1: 6Tq 1 1 0: 7Tq 1 1 1: 8Tq	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	SJW[1:0]	再同期ジャンプ幅制御ビット	b13 b12 0 0: 1Tq 0 1: 2Tq 1 0: 3Tq 1 1: 4Tq	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b16	BRP[9:0]	プリスケラ分周比選択ビット (注1)	CAN通信クロック (fCANCLK) の周波数を設定します	R/W
b27-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b31-28	TSEG1[3:0]	タイムセグメント1制御ビット	b31 b28 0 0 0 0: (設定しないでください) 0 0 0 1: (設定しないでください) 0 0 1 0: (設定しないでください) 0 0 1 1: 4Tq 0 1 0 0: 5Tq 0 1 0 1: 6Tq 0 1 1 0: 7Tq 0 1 1 1: 8Tq 1 0 0 0: 9Tq 1 0 0 1: 10Tq 1 0 1 0: 11Tq 1 0 1 1: 12Tq 1 1 0 0: 13Tq 1 1 0 1: 14Tq 1 1 1 0: 15Tq 1 1 1 1: 16Tq	R/W

Tq : Time Quantum

注1. SCKCR3.CKSEL[2:0]ビットが“010b” (メインクロック発振器選択) のときは、“1”以下を設定しないでください。

ビットタイミングの設定については、「39.4 CAN 通信速度の設定」を参照してください。

BCR レジスタは、CAN リセットモードから CAN Halt モードまたは CAN リセットモードから CAN オペレーションモードへ移行する前に設定してください。一度設定すると CAN リセットモードまたは CAN Halt モードで変更できます。

BCR レジスタは 24 ビットです。32 ビットでアクセスする場合は、b0 ~ b7 を書き換えないように注意してください。

CCLKS ビット (CAN クロックソース選択ビット)

CCLKS ビットを“0”にすると、CAN クロックソース (fCAN) は PLL 周波数シンセサイザから生成された周辺モジュールクロック (PCLKB) が使用されます。

CCLKS ビットを“1”にすると、CAN クロックソース (fCAN) は PLL 周波数シンセサイザを使用せず、外部の EXTAL 端子から生成された CANMCLK が使用されます。

TSEG2[2:0] ビット (タイムセグメント2制御ビット)

フェーズバッファセグメント2 (PHASE_SEG2) の長さを Tq 値で指定します。2 ~ 8Tq の値が設定可能です。TSEG1[3:0] ビットより小さな値を設定してください。

SJW[1:0] ビット (再同期ジャンプ幅制御ビット)

再同期ジャンプ幅 (Resynchronization Jump Width) を Tq 値で指定します。1 ~ 4Tq の値が設定可能です。TSEG2[2:0] ビット以下の値を設定してください。

BRP[9:0] ビット (プリスケラ分周比選択ビット)

CAN 通信クロック (fCANCLK) の周波数設定に使用します。fCANCLK の周期が 1Tq となります。設定値 P (0 ~ 1023) とすると、ポーレートプリスケラは fCAN を P+1 で分周します。

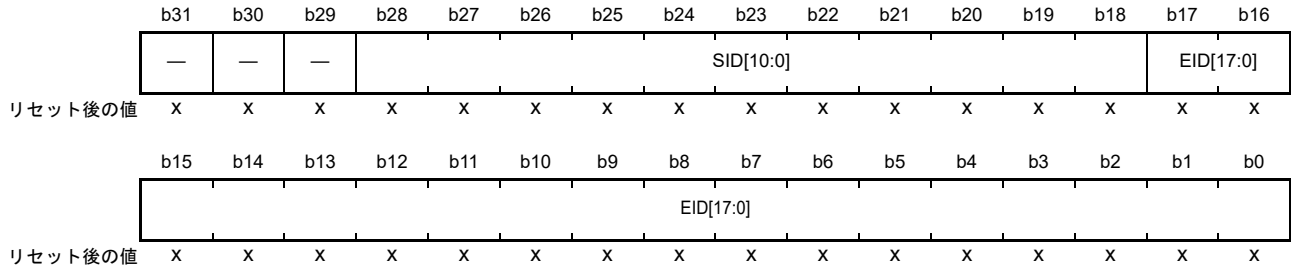
TSEG1[3:0] ビット (タイムセグメント1制御ビット)

プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント1 (PHASE_SEG1) の合計長を Time Quantum (Tq) 値で指定します。

4 ~ 16Tq の値が設定可能です。

39.2.3 マスクレジスタ k (MKRk) (k = 0 ~ 7)

アドレス CAN0.MKR0 0009 0400h, CAN0.MKR1 0009 0404h, CAN0.MKR2 0009 0408h, CAN0.MKR3 0009 040Ch,
CAN0.MKR4 0009 0410h, CAN0.MKR5 0009 0414h, CAN0.MKR6 0009 0418h, CAN0.MKR7 0009 041Ch,
CAN1.MKR0 0009 1400h, CAN1.MKR1 0009 1404h, CAN1.MKR2 0009 1408h, CAN1.MKR3 0009 140Ch,
CAN1.MKR4 0009 1410h, CAN1.MKR5 0009 1414h, CAN1.MKR6 0009 1418h, CAN1.MKR7 0009 141Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット	0 : 対応するEID[17:0]ビットは比較されない 1 : 対応するEID[17:0]ビットは比較される	R/W
b28-b18	SID[10:0]	標準IDビット	0 : 対応するSID[10:0]ビットは比較されない 1 : 対応するSID[10:0]ビットは比較される	R/W
b31-b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

FIFO メールボックスモードでのマスク機能については、「39.6 アクセプタンスフィルタ機能とマスク機能」を参照してください。

なお、MKR0 ~ MKR7 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

EID[17:0] ビット (拡張 ID ビット)

EID[17:0] ビットは、CAN 拡張 ID ビットに対応するフィルタマスクビットです。

拡張 ID のメッセージを受信する場合に使用します。

EID[17:0] ビットが“0”の場合、対応する EID[17:0] ビットは、受信した ID とメールボックスの ID を比較しません。

EID[17:0] ビットが“1”の場合、対応する EID[17:0] ビットは、受信した ID とメールボックスの ID を比較します。

SID[10:0] ビット (標準 ID ビット)

SID[10:0] ビットは、CAN 標準 ID ビットに対応するフィルタマスクビットです。

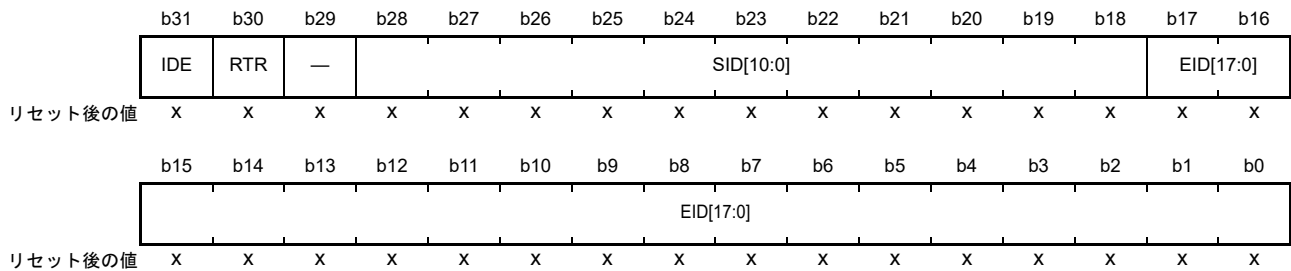
標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

SID[10:0] ビットが“0”の場合、対応する SID[10:0] ビットは、受信した ID とメールボックスの ID を比較しません。

SID[10:0] ビットが“1”の場合、対応する SID[10:0] ビットは、受信した ID とメールボックスの ID を比較します。

39.2.4 FIFO 受信 ID 比較レジスタ 0、1 (FIDCR0、FIDCR1)

アドレス CAN0.FIDCR0 0009 0420h, CAN0.FIDCR1 0009 0424h, CAN1.FIDCR0 0009 1420h, CAN1.FIDCR1 0009 1424h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張 ID ビット	0: 対応する EID[17:0] ビットは“0” 1: 対応する EID[17:0] ビットは“1”	R/W
b28-b18	SID[10:0]	標準 ID ビット	0: 対応する SID[10:0] ビットは“0” 1: 対応する SID[10:0] ビットは“1”	R/W
b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b30	RTR	リモート送信要求ビット	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID 拡張ビット(注1)	0: 標準 ID 1: 拡張 ID	R/W

注1. IDFM[1:0] ビットが“10b”以外のときは IDE ビットには“0”を書いてください。また、読んだ場合、その値は“0”です。

FIDCR0、FIDCR1 レジスタは、CTLR レジスタの MBM ビットが“1” (FIFO メールボックスモード) のとき有効です。MB28 ~ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効です。

FIDCR0、FIDCR1 レジスタの使用方法については、「39.6 アクセプタンスフィルタ機能とマスク機能」を参照してください。

FIDCR0、FIDCR1 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

EID[17:0] ビット (拡張 ID ビット)

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。
拡張 ID のメッセージを受信する場合に使用します。

SID[10:0] ビット (標準 ID ビット)

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。
標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

RTR ビット (リモート送信要求ビット)

RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。

- FIDCR0、FIDCR1 レジスタの両方の RTR ビットが“0”の場合、データフレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの両方の RTR ビットが“1”の場合、リモートフレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの RTR ビットが“0”と“1”のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます。

IDE ビット (ID 拡張ビット)

IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CTRL レジスタの IDFM[1:0] ビットが“10b” (ミックス ID モード) のとき有効です。

- FIDCR0、FIDCR1 レジスタの両方の IDE ビットが“0”の場合、標準 ID フレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの両方の IDE ビットが“1”の場合、拡張 ID フレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの IDE ビットが“0”と“1”のそれぞれ異なる設定の場合、標準 ID と拡張 ID のフレームの両方を受信できます。

39.2.5 マスク無効レジスタ (MKIVLR)

アドレス CAN0.MKIVLR 0009 0428h, CAN1.MKIVLR 0009 1428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31~MB0	マスク無効ビット	0: マスク有効 1: マスク無効	R/W

MKIVLR レジスタには、各メールボックスに対応するビットが含まれます。

各ビットの対応を以下に示します。

MKIVLR レジスタのビット 0 はメールボックス 0 (MB0) に対応し、ビット 31 はメールボックス 31 (MB31) にそれぞれ対応しています。(注 1)

該当するビットが“1”になると、該当するアクセプタンスマスクレジスタが対応するメールボックスに対して無効になります。マスク無効ビットを“1”にすると、受信メッセージの ID がメールボックスの ID に完全に一致する場合のみ対応するメールボックスが受信します。

なお、MKIVLR レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

注 1. FIFO メールボックスモード時はビット 31 ~ 24 を“0”にしてください。

39.2.6 メールボックスレジスタ j (MBj) (j = 0 ~ 31)

表 39.4 に CANi メールボックスのメモリ配置、表 39.5 に CAN データフレームの構成を示します。

CANi メールボックスのリセット後の値は不定です。

MBj レジスタは、関連する MCTLj レジスタ (j = 0 ~ 31) が “00h” で、かつアボート処理中でないときのみ MBj レジスタの設定を変更してください。

レジスタアドレスの詳細については表 39.4 を参照してください。

表 39.4 CANi メールボックスのメモリ配置

アドレス		メッセージ内容
CAN0	CAN1	メモリ配置
0009 0200h + 16 × j + 0	0009 1200h + 16 × j + 0	IDE, RTR, SID10 ~ SID6
0009 0200h + 16 × j + 1	0009 1200h + 16 × j + 1	SID5 ~ SID0, EID17, EID16
0009 0200h + 16 × j + 2	0009 1200h + 16 × j + 2	EID15 ~ EID8
0009 0200h + 16 × j + 3	0009 1200h + 16 × j + 3	EID7 ~ EID0
0009 0200h + 16 × j + 4	0009 1200h + 16 × j + 4	—
0009 0200h + 16 × j + 5	0009 1200h + 16 × j + 5	データ長コード (DLC[3:0])
0009 0200h + 16 × j + 6	0009 1200h + 16 × j + 6	データバイト0
0009 0200h + 16 × j + 7	0009 1200h + 16 × j + 7	データバイト1
0009 0200h + 16 × j + 8	0009 1200h + 16 × j + 8	データバイト2
0009 0200h + 16 × j + 9	0009 1200h + 16 × j + 9	データバイト3
0009 0200h + 16 × j + 10	0009 1200h + 16 × j + 10	データバイト4
0009 0200h + 16 × j + 11	0009 1200h + 16 × j + 11	データバイト5
0009 0200h + 16 × j + 12	0009 1200h + 16 × j + 12	データバイト6
0009 0200h + 16 × j + 13	0009 1200h + 16 × j + 13	データバイト7
0009 0200h + 16 × j + 14	0009 1200h + 16 × j + 14	タイムスタンプ上位バイト
0009 0200h + 16 × j + 15	0009 1200h + 16 × j + 15	タイムスタンプ下位バイト

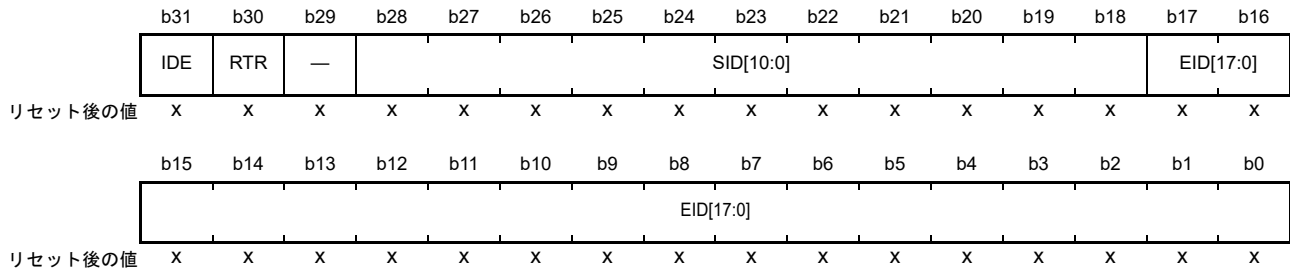
注. MBj レジスタの各コンテンツにアクセスする場合、32ビット単位でアクセスするときは4の倍数の番地 (アドレスの末尾が 0h、4h、8h、または Ch) を、16ビットアクセスするときは偶数番地をアクセスしてください。

表 39.5 CAN データフレームの構成

SID10 ~ SID6	SID5 ~ SID0	EID17 ~ EID16	EID15 ~ EID8	EID7 ~ EID0	DLC3 ~ DLC0	DATA0	DATA1	...	DATA7
--------------	-------------	---------------	--------------	-------------	-------------	-------	-------	-----	-------

各メールボックスの内容は、新しいメッセージを受信しないかぎり、以前の値を保持します。

アドレス CAN0.MB0～CAN0.MB31 0009 0200h～0009 03FFh, CAN1.MB0～CAN1.MB31 0009 1200h～0009 13FFh

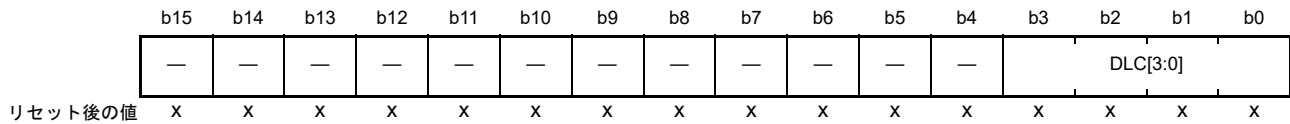


x: 不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット(注1)	0: 対応するEID[17:0]ビットは“0” 1: 対応するEID[17:0]ビットは“1”	R/W
b28-b18	SID[10:0]	標準IDビット	0: 対応するSID[10:0]ビットは“0” 1: 対応するSID[10:0]ビットは“1”	R/W
b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b30	RTR	リモート送信要求ビット	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID拡張ビット(注2)	0: 標準ID 1: 拡張ID	R/W

注1. メールボックスが標準IDのメッセージを受信すると、メールボックスのEID[17:0]ビットの値は不定になります。

注2. IDEビットは、CTRLレジスタのIDFM[1:0]ビットが“10b”(ミックスIDモード)のときに有効です。IDFM[1:0]ビットが“10b”以外のときにはIDEビットに“0”を書いてください。また、読んだ場合、その値は“0”です。

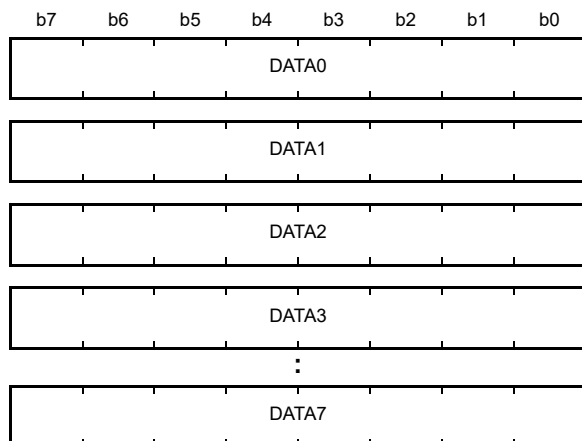


x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	データ長コードビット(注1)	b3 b0 0 0 0 0: データ長0バイト 0 0 0 1: データ長1バイト 0 0 1 0: データ長2バイト 0 0 1 1: データ長3バイト 0 1 0 0: データ長4バイト 0 1 0 1: データ長5バイト 0 1 1 0: データ長6バイト 0 1 1 1: データ長7バイト 1 x x x: データ長8バイト	R/W
b15-b4	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

x: Don't care

注1. メールボックスが8より小さいDLC[3:0]のメッセージを受信すると、メールボックスのDLC[3:0]より大きいDATAは不定になります。



リセット後の値 X X X X X X X X

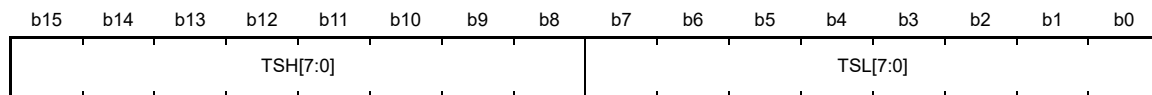
x: 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0- DATA7	データバイト0~7 (注1、注2、注3)	DATA0~7は送信または受信したCANメッセージデータを格納します。DATA0から、送信または受信されます。CANバス上のビットオーダーは、MSBファーストでビット7から送信または受信されます	R/W

注1. メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATA_n~DATA7の値は不定になります。

注2. メールボックスがリモートフレームを受信した場合、メールボックスのDATA0~DATA7は以前の値が保持されます。

注3. DATA0~DATA3、あるいはDATA4~DATA7を32ビット単位で一度にアクセスすることはできません。DATA0~DATA1、DATA2~DATA5、DATA6~DATA7の3回、または、DATA0~DATA1、DATA2~DATA3、DATA4~DATA5、DATA6~DATA7の4回に分けてアクセスしてください。



リセット後の値 X X X X X X X X X X X X X X X X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]とTSL[7:0]は受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

EID[17:0] ビット (拡張 ID ビット)

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。
拡張 ID のメッセージを送受信する場合に使用します。

SID[10:0] ビット (標準 ID ビット)

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。
標準 ID と拡張 ID のメッセージを送受信する場合の両方で使用します。

RTR ビット (リモート送信要求ビット)

RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。

- 受信メールボックスは、RTR ビットが指定するフォーマットのフレームのみ受信する
- 送信メールボックスは、RTR ビットが指定するフレームフォーマットに応じて送信を行う
- 受信 FIFO メールボックスは、FIDCR0、FIDCR1 レジスタの RTR ビットが指定するデータフレームとリモートフレームを受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの RTR ビットで選択したデータフレームまたはリモートフレームを送信する

IDE ビット (ID 拡張ビット)

IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CTRL レジスタの IDFM[1:0] ビットが“10b” (ミックス ID モード) のとき有効です。

- 受信メールボックスは、IDE ビットが指定する ID フォーマットのみ受信する
- 送信メールボックスは、IDE ビットが指定する ID フォーマットに応じて送信を行う
- 受信 FIFO メールボックスは、FIDCR0、FIDCR1 レジスタの IDE ビットが指定する標準 ID と拡張 ID を受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの IDE ビットで選択した標準 ID または拡張 ID のメッセージを送信する

DLC[3:0] ビット (データ長コードビット)

DLC[3:0] ビットはデータフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。

データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

39.2.7 メールボックス割り込み許可レジスタ (MIER)

アドレス CAN0.MIER 0009 042Ch, CAN1.MIER 0009 142Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

x: 不定

• 通常メールボックスモード

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31~MB0	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可 ビット31はメールボックス31 (MB31)、ビット0はメールボックス0 (MB0) にそれぞれ対応しています	R/W

• FIFO メールボックスモード

ビット	シンボル	ビット名	機能	R/W
b23-b0	MB23~MB0	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可 ビット23はメールボックス23 (MB23)、ビット0はメールボックス0 (MB0) にそれぞれ対応しています	R/W
b24	MB24	送信FIFO割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b25	MB25	送信FIFO割り込み発生タイミング制御ビット	0: 送信FIFO割り込み要求は、毎回の送信完了後発生 1: 送信FIFO割り込み要求は、送信完了により送信FIFOが空き状態になったとき発生	R/W
b27-b26	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b28	MB28	受信FIFO割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b29	MB29	受信FIFO割り込み発生タイミング制御ビット (注1)	0: 受信FIFO割り込み要求は、毎回の受信完了後発生 1: 受信FIFO割り込み要求は、受信完了により受信FIFOがバッファワーニングになったとき発生	R/W
b31-b30	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注1. 受信FIFOがフルからバッファワーニングとなった場合、割り込み要求は発生しません。なお、バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

MIERレジスタは、メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード (すべてのビット) と FIFO メールボックスモード (MIERレジスタのビット24~0) では、それぞれのビットは各メールボックスに対応します。これらのビットは、対応するメールボックスの送信完了 / 受信完了割り込みを許可 / 禁止します。

- MIERレジスタのビット0はメールボックス0 (MB0) に対応
- MIERレジスタのビット31はメールボックス31 (MB31) に対応

FIFOメールボックスモードのMIERレジスタのビット29、28、25、24は送信 / 受信FIFO割り込みの許可 / 禁止と割り込み要求が発生するタイミングを指定します。

MIERレジスタは、関連するMCTLjレジスタ (j=0~31) が“00h”で、対応するメールボックスが送受信アポートの処理をしていないときにのみ変更してください。また、FIFO動作モード時は、TFCR.TFEビットが“0”でTFESTフラグが“1”、RFCR.RFEビットが“0”でRFCR.RFESTフラグが“1”のときのみ、関

連する FIFO の MIER レジスタのビットを変更してください。

39.2.8 メッセージ制御レジスタ j (MCTLj) (j = 0 ~ 31)

アドレス CAN0.MCTL0~CAN0.MCTL31 0009 0820h~0009 083Fh, CAN1.MCTL0~CAN1.MCTL31 0009 1820h~0009 183Fh

- ・送信モード (TRMREQビットが"1"、RECREQビットが"0"の場合)

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

- ・受信モード (TRMREQビットが"0"、RECREQビットが"1"の場合)

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALIDATA	NEWDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ(注1、注2)	0: 送信が終了していない 1: 送信完了	R/W
	NEWDATA	受信完了フラグ(注1、注2)	0: データが受信されていない、またはNEWDATAフラグに"0"を書いた場合 1: 新しいメッセージをメールボックスに格納中または格納された場合	R/W
b1	TRMACTIVE	送信中ステータスフラグ	(送信メールボックス設定時有効) 0: 送信待機中または送信要求なし 1: 送信要求の取り込みから、送信完了、エラー発生、またはアービトレーションロスト発生まで	R
	INVALIDATA	受信中ステータスフラグ	(受信メールボックス設定時有効) 0: メッセージは有効 1: メッセージを更新中	R
b2	TRMABT	送信アボート完了フラグ(注1、注2)	(送信メールボックス設定時有効) 0: 送信が開始された、または送信アボートが送信完了により失敗、または送信アボートが要求されていない 1: 送信アボート完了	R/W
	MSGLOST	メッセージロストフラグ(注1、注2)	(受信メールボックス設定時有効) 0: メッセージはオーバライトまたはオーバランされていない 1: メッセージはオーバライトまたはオーバランされた	R/W
b3	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b4	ONESHOT	ワンショット許可ビット(注3)	0: ワンショット受信またはワンショット送信禁止 1: ワンショット受信またはワンショット送信許可	R/W
b5	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b6	RECREQ	受信メールボックス設定ビット(注2、注3、注4、注5)	0: 受信メールボックスに設定しない 1: 受信メールボックスに設定する	R/W
b7	TRMREQ	送信メールボックス設定ビット(注2、注4)	0: 送信メールボックスに設定しない 1: 送信メールボックスに設定する	R/W

注1. "0"のみ書けます。(1を書いても変化しません)

注2. NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ、およびTRMREQビットにプログラムで"0"を書く場合は、論理演算 (AND) 命令は使用しないでください。"0"にしたいビットを"0"、そうでないビットを"1"にして、転送 (MOV) 命令を使用してください。

注3. ワンショット受信モードに移行するときは、RECREQビットを"1"にするのと同時に、ONESHOTビットに"1"を書いてください。ワンショット受信モードを解除するときは、RECREQビットに"0"を書いた後、RECREQビットが"0"になったのを確認してからONESHOTビットに"0"を書いてください。ワンショット送信モードに移行するときは、TRMREQビットを"1"にするのと同時に、ONESHOTビットに"1"を書いてください。ワンショット送信モードを解除するときは、メッセージが送信されたか中止された後にONESHOTビットに"0"を書いてください。

注4. RECREQビットとTRMREQビットの両方を"1"にしないでください。

注5. RECREQ ビットを“0”にするときには、NEWDATA、MSGLOST フラグと RECREQ ビットは同時に“0”にしてください。

MCTLj レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

FIFO メールボックスモードでは、MCTL24 ~ MCTL31 レジスタは使用しないでください。

SENTDATA フラグ (送信完了フラグ)

SENTDATA フラグは、対応するメールボックスからのデータ送信が完了すると“1”になります。

SENTDATA フラグは、プログラムで“0”を書くと“0”になります。

SENTDATA フラグを“0”にする場合は、TRMREQ ビットを“0”にしてから SENTDATA フラグを“0”にしてください。SENTDATA フラグと TRMREQ ビットは同時に“0”になりません。メールボックスから新しいメッセージを転送するには、SENTDATA フラグを“0”にしてください。

NEWDATA フラグ (受信完了フラグ)

NEWDATA フラグは、メールボックスに新しいメッセージを格納中または格納が完了したときに“1”になります。“1”になるタイミングは、INVALIDDATA フラグと同時です。NEWDATA フラグは、プログラムで“0”を書くと“0”になります。関連する INVALIDDATA フラグが“1”の間は、NEWDATA フラグはプログラムで“0”を書いても“0”にできません。

TRMACTIVE フラグ (送信中ステータスフラグ)

TRMACTIVE フラグは、CAN モジュールから対応するメールボックスのメッセージ送信を開始すると“1”になります。TRMACTIVE フラグは、CAN モジュールが CAN バスアービトレーションに負けるか、CAN バスエラーが起こるか、あるいはデータ送信が完了すると“0”になります。

INVALIDDATA フラグ (受信中ステータスフラグ)

INVALIDDATA フラグは、メッセージの受信完了後、受信したメッセージをメールボックスに更新中に“1”になります。INVALIDDATA フラグは、メッセージの格納完了時点で“0”になります。INVALIDDATA フラグが“1”の間にメールボックスを読んだ場合、データは不定値になります。

TRMABT フラグ (送信アボート完了フラグ)

TRMABT フラグは、次の場合、“1” (送信アボート完了) になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
- 送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出した場合
- ワンショット送信モード (RECREQ ビットが“0”、TRMREQ ビットが“1”、ONESHOT ビットが“1”) で、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出した場合

TRMABT フラグは、データ送信が完了しても“1”にはなりません。データ送信が完了した場合は SENTDATA フラグが“1”になります。TRMABT フラグは、プログラムで“0”を書くと“0”になります。

MSGLOST フラグ (メッセージロストフラグ)

MSGLOST フラグは、NEWDATA フラグが“1”の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり、破棄されたりした場合、“1”になります。EOF の 6 番目のビットの終わりで“1”になります。MSGLOST フラグは、プログラムで“0”を書くと“0”になります。

オーバーライトモードとオーバーランモードの両方において、EOF の 6 番目のビットに続く周辺モジュールクロック (PCLKB) の 5 サイクルの間は、MSGLOST フラグはプログラムで“0”を書いても“0”にできません。

ONESHOT ビット (ワンショット許可ビット)

ONESHOT ビットは受信モードと送信モードの2つの使い方があります。

- ワンショット受信モード

受信モード (RECREQ ビットが“1”、TRMREQ ビットが“0”) のとき ONESHOT ビットを“1”にすると、メールボックスはメッセージを1回のみ受信します (メッセージを1回受信完了した後は受信メールボックスとして動作しません)。NEWDATA フラグおよび INVALIDDATA フラグの動作は、通常の実受信モードと同じです。このモードでは、MSGLOST フラグは“1”にはなりません。ONESHOT ビットを“0”にする場合、RECREQ ビットへ“0”を書いた後、RECREQ ビットが“0”になることを確認してから行ってください。

- ワンショット送信モード

送信モード (RECREQ ビットが“0”、TRMREQ ビットが“1”) のとき ONESHOT ビットを“1”にすると、CAN モジュールはメッセージを1回のみ送信しようとして (CAN バスエラーまたは CAN バスアービトレーションロストの場合でも、メッセージの再送信を行いません)。送信が完了した場合、SENTDATA フラグが“1”になります。CAN バスエラーまたは CAN バスアービトレーションロストによって送信が完了しない場合は、TRMABT フラグが“1”になります。ONESHOT ビットを“0”にする場合は、SENTDATA フラグが“1”または TRMABT フラグが“1”になった後に行ってください。

RECREQ ビット (受信メールボックス設定ビット)

RECREQ ビットは表 39.10 に示す受信モードを選択します。

RECREQ ビットを“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。

RECREQ ビットを“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、RECREQ ビットはプログラムで“0”を書いても“0”になりません。

- ハードウェアプロテクトの開始

アクセプタンスフィルタ処理の開始 (CRC フィールドの始まり)

- ハードウェアプロテクトの解除

—メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、または CAN バスエラーが発生した後 (すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の7番目のビットの終わりまで)

—その他のメールボックスは、アクセプタンスフィルタ処理後

—受信するメールボックスがない場合は、アクセプタンスフィルタ処理後

RECREQ ビットを“1”にする場合は、TRMREQ ビットを“1”にしないでください。メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアボートし、そして SENTDATA フラグと TRMABT フラグを“0”にしてください。

TRMREQ ビット (送信メールボックス設定ビット)

TRMREQ ビットは表 39.10 に示す送信モードを選択します。

TRMREQ ビットを“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

TRMREQ ビットを“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

送信要求をキャンセルするために、TRMREQ ビットを“1”から“0”に変更すると、TRMABT フラグまたは SENTDATA フラグが“1”になります。TRMREQ ビットを“1”にする場合は、RECREQ ビットを“1”にし

ないでください。メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアポートし、そしてNEWDATA フラグと MSGLOST フラグを“0”にしてください。

39.2.9 受信 FIFO 制御レジスタ (RFCR)

アドレス CAN0.RFCR 0009 0848h, CAN1.RFCR 0009 1848h

	b7	b6	b5	b4	b3	b2	b1	b0
	RFEST	RFWST	RFFST	RFMLF	RFUST[2:0]		RFE	
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO 許可ビット	0: 受信 FIFO 禁止 1: 受信 FIFO 許可	R/W
b3-b1	RFUST[2:0]	受信 FIFO 未読メッセージ数ステータスフラグ	b3 b1 0 0 0: 未読メッセージなし 0 0 1: 未読メッセージ1件あり 0 1 0: 未読メッセージ2件あり 0 1 1: 未読メッセージ3件あり 1 0 0: 未読メッセージ4件あり 1 0 1: 予約 1 1 0: 予約 1 1 1: 予約	R
b4	RFMLF	受信 FIFO メッセージロストフラグ	0: 受信 FIFO メッセージロスト未発生 1: 受信 FIFO メッセージロスト発生	R/W
b5	RFFST	受信 FIFO フルステータスフラグ	0: 受信 FIFO はフルではない 1: 受信 FIFO はフル (未読メッセージ4件)	R
b6	RFWST	受信 FIFO バッファワーニングステータスフラグ	0: 受信 FIFO はバッファワーニングではない 1: 受信 FIFO はバッファワーニング (未読メッセージ3件)	R
b7	RFEST	受信 FIFO 空ステータスフラグ	0: 受信 FIFO に未読メッセージあり 1: 受信 FIFO に未読メッセージなし	R

RFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

RFE ビット (受信 FIFO 許可ビット)

RFE ビットを“1”にすると、受信 FIFO が受信許可になります。

RFE ビットを“0”にすると、受信 FIFO は受信禁止になり、空状態 (RFEST フラグが“1”) になります。RFMLF フラグと同時に RFE ビットに“0”を書いてください。

通常メールボックスモード (CTRL レジスタの MBM ビットが“0”) では RFE ビットを“1”にしないでください。以下の期間はハードウェアプロテクトがかかり、RFE ビットはプログラムで“0”を書いても“0”にできません。

- ハードウェアプロテクトの開始
 - アクセプタンスフィルタ処理の開始 (CRC フィールドの始まり)
- ハードウェアプロテクトの解除
 - メッセージの受信に受信 FIFO が指定された場合は、受信メッセージが受信 FIFO に格納された後、または CAN バスエラーが発生した後 (すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで)
 - 受信 FIFO が指定されない場合は、アクセプタンスフィルタ処理後

RFUST[2:0] フラグ (受信 FIFO 未読メッセージ数 ステータスフラグ)

RFUST[2:0] フラグは、受信 FIFO 内の未読メッセージの数を示します。
RFE ビットを“0”にすると、RFUST[2:0] フラグの値は“000b”になります。

RFMLF フラグ (受信 FIFO メッセージロスト フラグ)

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF フラグは“1” (受信 FIFO メッセージロスト発生) になります。“1”になるタイミングは、EOF の 6 番目のビットの終わりです。

RFMLF フラグはプログラムで“0”を書くと“0”になります。“1”を書いても変化しません。オーバランモードとオーバライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアのプロテクトにより EOF の 6 番目のビットに続く周辺モジュールクロック (PCLKB) の 5 サイクルの間は、RFMLF フラグは“0” (受信 FIFO メッセージロスト未発生) になりません。

RFFST フラグ (受信 FIFO フルステータスフラグ)

受信 FIFO 内の未読メッセージが 4 件になると、RFFST フラグは“1” (受信 FIFO はフル) になります。受信 FIFO 内の未読メッセージが 4 件未満になると、RFFST フラグは“0” (受信 FIFO はフルではない) になります。RFE ビットを“0”にすると、RFFST フラグは“0”になります。

RFWST フラグ (受信 FIFO バッファワーニングステータスフラグ)

受信 FIFO 内の未読メッセージが 3 件になると、RFWST フラグは“1” (受信 FIFO はバッファワーニング) になります。受信 FIFO 内の未読メッセージの数が 3 未満または 4 件になると、RFWST フラグは“0” (受信 FIFO はバッファワーニングではない) になります。RFE ビットを“0”にすると、RFWST フラグは“0”になります。

RFEST フラグ (受信 FIFO 空ステータスフラグ)

受信 FIFO 内の未読メッセージがなくなると、RFEST フラグは“1” (受信 FIFO に未読メッセージなし) になります。RFE ビットを“0”にすると、RFEST フラグは“1”になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、RFEST フラグは“0” (受信 FIFO に未読メッセージあり) になります。

図 39.2 に受信 FIFO メールボックスの動作を示します。

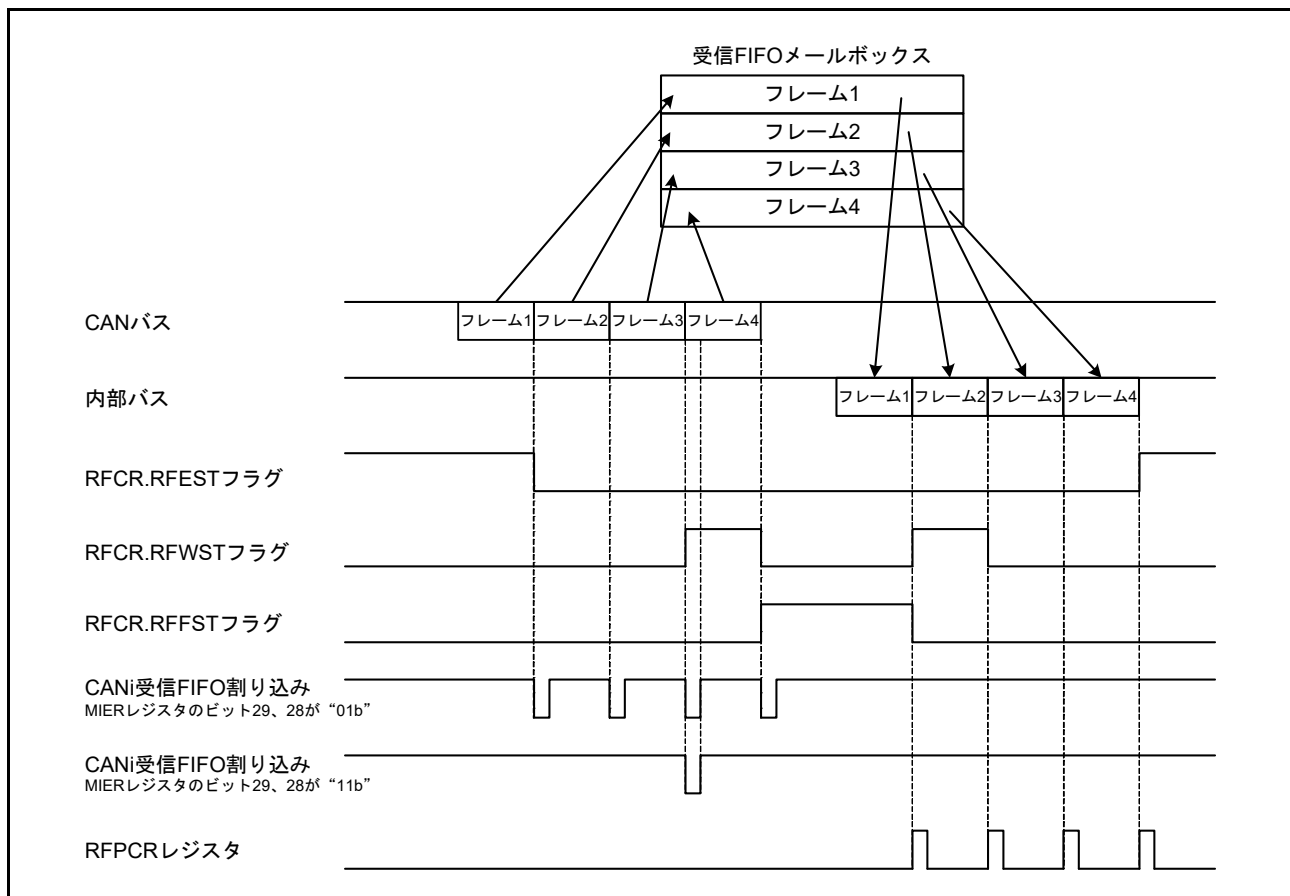
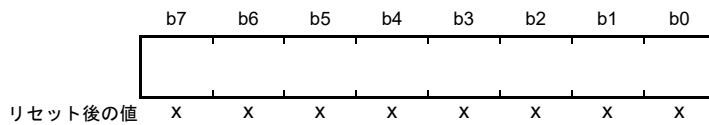


図 39.2 受信 FIFO メールボックスの動作 (MIER レジスタのビット 29、28 が “01b” または “11b”)

39.2.10 受信 FIFO ポインタ制御レジスタ (RFPCR)

アドレス CAN0.RFPCR 0009 0849h, CAN1.RFPCR 0009 1849h



x: 不定

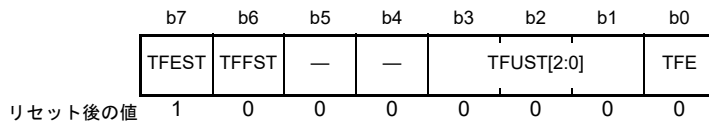
ビット	機能	R/W
b7-b0	RFPCRレジスタに“FFh”を書き込むと、受信FIFOのCPU側ポインタが移動	W

受信 FIFO が空状態でないとき、受信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、RFPCR レジスタにプログラムで“FFh”を書いてください。

RFPCR レジスタの RFE ビットが“0”（受信 FIFO 禁止）のときは、RFPCR レジスタに書かないでください。受信オーバーライトモードで RFFST フラグが“1”（受信 FIFO はフル）のときに新しいメッセージが受信されると、CAN 側ポインタと CPU 側ポインタの両方が移動します。この状態で、RFMLF フラグが“1”のとき、プログラムで RFPCR レジスタに書き込んでも CPU 側ポインタは移動しません。

39.2.11 送信 FIFO 制御レジスタ (TFCR)

アドレス CAN0.TFCR 0009 084Ah, CAN1.TFCR 0009 184Ah



ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信 FIFO 許可ビット	0: 送信 FIFO 禁止 1: 送信 FIFO 許可	R/W
b3-b1	TFUST[2:0]	送信 FIFO 未送信メッセージ数ステータスフラグ	b3 b1 0 0 0: 未送信メッセージなし 0 0 1: 未送信メッセージ1件 0 1 0: 未送信メッセージ2件 0 1 1: 未送信メッセージ3件 1 0 0: 未送信メッセージ4件 1 0 1: 予約 1 1 0: 予約 1 1 1: 予約	R
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	TFFST	送信 FIFO フルスステータスフラグ	0: 送信 FIFO はフルではない 1: 送信 FIFO はフル（未送信4件）	R
b7	TFEST	受信 FIFO 空ステータスフラグ	0: 送信 FIFO に未送信メッセージあり 1: 送信 FIFO に未送信メッセージなし	R

TFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

TFE ビット (送信 FIFO 許可ビット)

TFE ビットを“1”にすると、送信 FIFO が送信許可になります。

TFE ビットを“0”にすると、送信 FIFO は空状態 (TFEST フラグが“1”) になり、次のように送信 FIFO からの未送信メッセージが失われます。

- 送信 FIFO からの次の送信予定がなく、また送信中でもないとき、空状態になります。
- 送信 FIFO からの次の送信予定があるかまたはすでに送信中の場合、送信完了、CAN バスエラー、アービトラージロスト、または CAN Halt モードへの移行に続いて空状態になります。

TFE ビットを再度“1”にする前に、TFEST フラグが“1”になっているか確認してください。TFE ビットを“1”にした後、送信データを MB24 レジスタに書いてください。

通常メールボックスモード (CTRL レジスタの MBM ビットが“0”) では、TFE ビットを“1”にしないでください。

TFUST[2:0] フラグ (送信 FIFO 未送信メッセージ数ステータスフラグ)

TFUST[2:0] フラグは、送信 FIFO 内の未送信メッセージの数を表示します。

TFE ビットを“0”にした後、送信アボート完了または送信完了すると、TFUST[2:0] フラグの値は“000b”になります。

TFFST フラグ (送信 FIFO フルステータスフラグ)

送信 FIFO 内の未送信メッセージの数が 4 件になると、TFFST フラグは“1” (送信 FIFO はフル) になります。送信 FIFO 内の未送信メッセージの数が 4 未満になると、TFFST フラグは“0” (送信 FIFO はフルではない) になります。送信 FIFO の送信アボートが完了すると、TFFST フラグは“0”になります。

TFEST フラグ (受信 FIFO 空ステータスフラグ)

送信 FIFO 内の未送信メッセージがなくなると、TFEST フラグは“1” (送信 FIFO にメッセージなし) になります。送信 FIFO の送信アボートが完了すると、TFEST フラグは“1”になります。送信 FIFO 内の未送信メッセージの数が 1 件以上になると、TFEST フラグは“0” (送信 FIFO にメッセージあり) になります。

図 39.3 に送信 FIFO メールボックスの動作を示します。

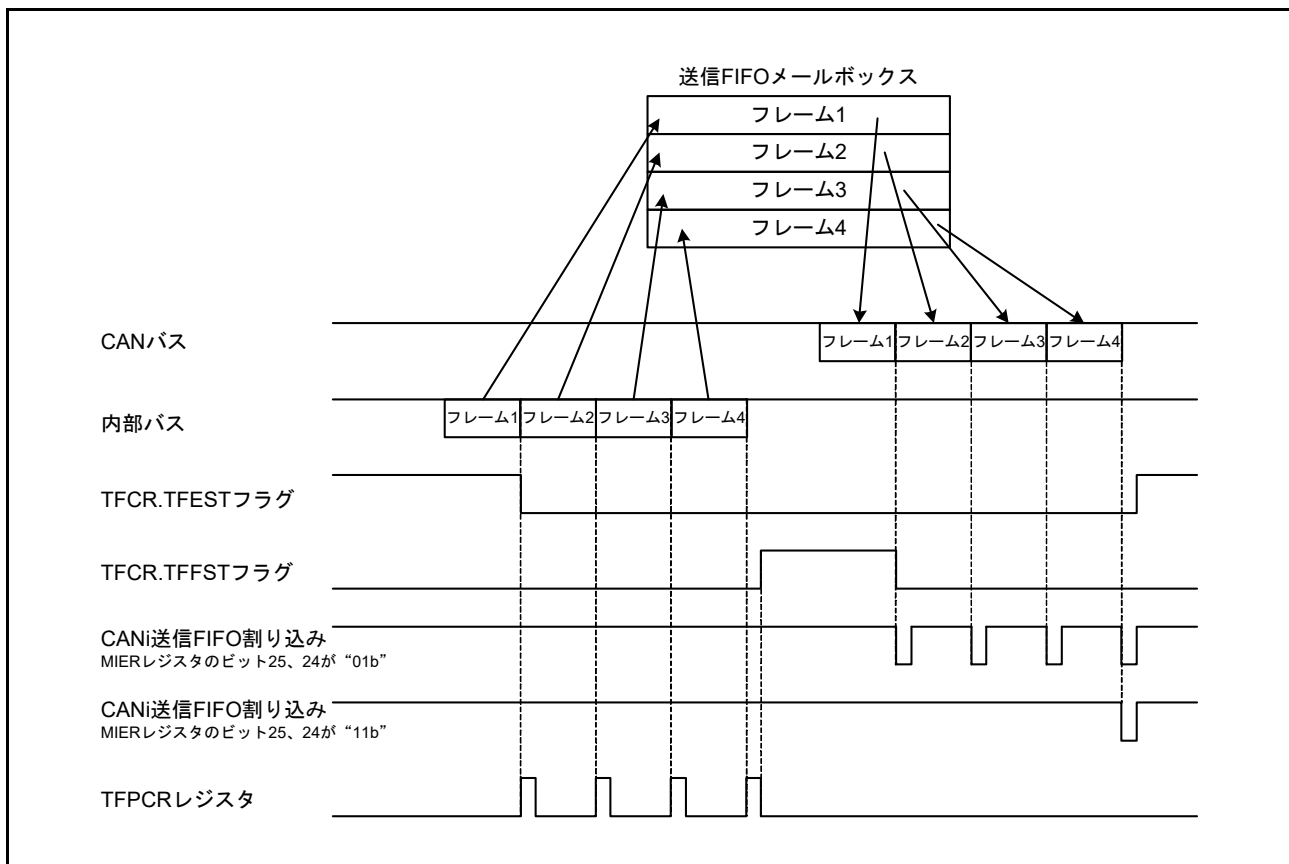
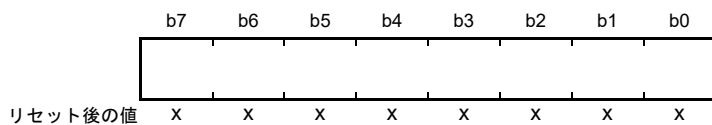


図 39.3 送信 FIFO メールボックスの動作 (MIER レジスタのビット 25、24 が "01b" または "11b")

39.2.12 送信 FIFO ポインタ制御レジスタ (TFPCR)

アドレス CAN0.TFPCR 0009 084Bh, CAN1.TFPCR 0009 184Bh



x: 不定

ビット	機能	R/W
b7-b0	TFPCRレジスタに“FFh”を書き込むと、CPU側の送信FIFOポインタが移動	W

送信 FIFO がフルでないとき、送信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、TFPCR レジスタにプログラムで“FFh”を書いてください。

TFCR.TFE ビットが“0”（送信 FIFO 禁止）のときは、TFPCR レジスタに書かないでください。

39.2.13 ステータスレジスタ (STR)

アドレス CAN0.STR 0009 0842h, CAN1.STR 0009 1842h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATAステータスフラグ	0: NEWDATAフラグが“1”のメールボックスなし 1: NEWDATAフラグが“1”のメールボックスあり	R
b1	SDST	SENTDATAステータスフラグ	0: SENTDATAフラグが“1”のメールボックスなし 1: SENTDATAフラグが“1”のメールボックスあり	R
b2	RFST	受信FIFOステータスフラグ	0: 受信FIFOにメッセージなし (空) 1: 受信FIFOにメッセージあり	R
b3	TFST	送信FIFOステータスフラグ	0: 送信FIFOはフル 1: 送信FIFOはフルではない	R
b4	NMLST	通常メッセージロストステータスフラグ	0: MSGLOSTフラグが“1”のメールボックスなし 1: MSGLOSTフラグが“1”のメールボックスあり	R
b5	FMLST	FIFOメッセージロストステータスフラグ	0: RFMLFフラグが“0” 1: RFMLFフラグが“1”	R
b6	TABST	送信アボートステータスフラグ	0: TRMABTフラグが“1”のメールボックスなし 1: TRMABTフラグが“1”のメールボックスあり	R
b7	EST	エラーステータスフラグ	0: エラーなし 1: エラー発生	R
b8	RSTST	CANリセットステータスフラグ	0: CANリセットモードではない 1: CANリセットモード	R
b9	HLTST	CAN Haltステータスフラグ	0: CAN Haltモードではない 1: CAN Haltモード	R
b10	SLPST	CANスリープステータスフラグ	0: CANスリープモードではない 1: CANスリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0: エラーパッシブ状態ではない 1: エラーパッシブ状態	R
b12	BOST	バスオフステータスフラグ	0: バスオフ状態ではない 1: バスオフ状態	R
b13	TRMST	送信ステータスフラグ (transmitter)	0: バスアイドルまたは受信 1: 送信中またはバスオフ状態	R
b14	RECST	受信ステータスフラグ (receiver)	0: バスアイドルまたは送信 1: 受信	R
b15	—	予約ビット	読むと“0”が読めます。	R

NDST フラグ (NEWDATA ステータスフラグ)

MCTLj.NEWDATA フラグ (j=0~31) が1つでも“1”になると、MIERレジスタの値とは無関係にNDSTフラグは“1”になります。NEWDATAフラグがすべて“0”になると、NDSTフラグは“0”になります。

SDST フラグ (SENTDATA ステータスフラグ)

MCTLj.SENTDATA フラグ (j=0~31) が1つでも“1”になると、MIERレジスタの値とは無関係にSDSTフラグは“1”になります。SENTDATAフラグがすべて“0”になると、SDSTフラグは“0”になります。

RFST フラグ (受信 FIFO ステータスフラグ)

RFST フラグは、受信 FIFO が空状態以外になると“1”になります。受信 FIFO が空状態か通常メールボックスモードになると“0”になります。

TFST フラグ (送信 FIFO ステータスフラグ)

TFST フラグは、送信 FIFO がフル以外になると“1”になります。送信 FIFO がフルか通常メールボックスモードになると“0”になります。

NMLST フラグ (通常メッセージロストステータスフラグ)

MCTLj レジスタの MSGLOST フラグが一つでも“1”になると、MIER レジスタの値とは無関係に NMLST フラグは“1”になります。MSGLOST フラグがすべて“0”になると、NMLST フラグは“0”になります。

FMLST フラグ (FIFO メッセージロストステータスフラグ)

RFMR レジスタの RFMLF フラグが“1”になると、MIER レジスタの値とは無関係に FMLST フラグは“1”になります。RFMLF フラグが“0”のとき、FMLST フラグは“0”になります。

TABST フラグ (送信アポートステータスフラグ)

MCTLj レジスタの TRMABT フラグが一つでも“1”になると、MIER レジスタの値とは無関係に TABST フラグは“1”になります。TRMABT フラグがすべて“1”でないとき、TABST フラグは“0”になります。

EST フラグ (エラーステータスフラグ)

EIFR レジスタで一つでもエラーが検出されると、EIER レジスタの値とは無関係に EST フラグは“1”になります。EIFR レジスタで一つもエラーが検出されない場合は、EST フラグは“0”になります。

RSTST フラグ (CAN リセットステータスフラグ)

RSTST フラグは、CAN リセットモードになると“1”になります。CAN リセットモード以外になると“0”になります。CAN リセットモードから CAN スリープモードに移行しても、RSTST フラグは“1”のままです。

HLTST フラグ (CAN Halt ステータスフラグ)

HLTST フラグは、CAN Halt モードになると“1”になります。CAN Halt モード以外になると“0”になります。CAN Halt モードから CAN スリープモードに移行しても、HLTST フラグは“1”のままです。

SLPST フラグ (CAN スリープステータスフラグ)

SLPST フラグは、CAN スリープモードになると“1”になります。CAN スリープモード以外になると“0”になります。

EPST フラグ (エラーパッシブステータスフラグ)

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態 ($128 \leq \text{TEC} < 256$ または $128 \leq \text{REC} < 256$) になると、EPST フラグは“1”になります。エラーパッシブ状態以外になると、EPST フラグは“0”になります。

BOST フラグ (バスオフステータスフラグ)

TECR レジスタの値が 255 を超えて CAN モジュールがバスオフ状態 ($\text{TEC} \geq 256$) になると、BOST フラグは“1”になります。バスオフ状態以外になると、BOST フラグは“0”になります。

TRMST フラグ (送信ステータスフラグ (transmitter))

CAN モジュールが送信ノードかバスオフ状態になると TRMST フラグは“1”になります。受信ノードかバスアイドル状態になると TRMST フラグは“0”になります。

RECST フラグ (受信ステータスフラグ (receiver))

CAN モジュールが受信ノードになると RECST フラグは“1”になります。送信ノードかバスアイドル状態になると RECST フラグは“0”になります。

39.2.14 メールボックスサーチモードレジスタ (MSMR)

アドレス CAN0.MSMR 0009 0853h, CAN1.MSMR 0009 1853h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MBSM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択ビット	b1 b0 0 0 : 受信メールボックス検索モード 0 1 : 送信メールボックス検索モード 1 0 : メッセージロスト検索モード 1 1 : チャンネル検索モード	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MSMR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

MBSM[1:0] ビット (メールボックス検索モード選択ビット)

MBSM[1:0] ビットはメールボックス検索機能のための検索モードを選択します。

MBSM[1:0] ビットが“00b”の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタ (j=0 ~ 31) の通常メールボックスでの NEWDATA フラグと RFCR レジスタの RFEST フラグです。

MBSM[1:0] ビットが“01b”の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタの SENTDATA フラグです。

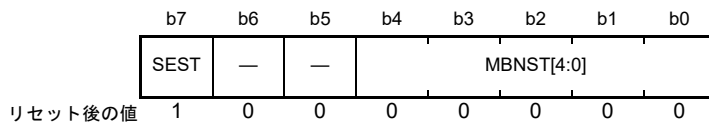
MBSM[1:0] ビットが“10b”の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタの通常メールボックスでの MSGLOST フラグと RFCR レジスタの RFMLF フラグです。

MBSM[1:0] ビットが“11b”の場合、チャンネル検索モードになります。

このモードで検索対象となるレジスタは CSSR レジスタです。「39.2.16 チャンネルサーチサポートレジスタ (CSSR)」を参照してください。

39.2.15 メールボックスサーチステータスレジスタ (MSSR)

アドレス CAN0.MSSR 0009 0852h, CAN1.MSSR 0009 1852h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータスフラグ	MSSRレジスタの各モードで検索された、最小のメールボックス番号を表示	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SEST	検索結果空ステータスフラグ	0：検索結果あり 1：検索結果なし	R

MBNST[4:0] フラグ (検索結果メールボックス番号ステータスフラグ)

MBNST[4:0] フラグは、MSSR レジスタの各モードで検索された、最小のメールボックス番号が表示されます。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、次の場合に更新されます。

- 出力されたメールボックスの NEWDATA、SENTDATA、または MSGLOST フラグが“0”になる
- より優先順位の高いメールボックスの NEWDATA、SENTDATA、または MSGLOST フラグが“1”になる

MBSM[1:0] ビットが“00b” (受信メールボックス検索モード) および“10b” (メッセージロスト検索モード) のとき、受信 FIFO が空状態でなく、すべての通常メールボックス (メールボックス [0] ~ [23]) に未読の受信メッセージもロストメッセージもない場合、受信 FIFO (メールボックス [28]) が出力されます。MBSM[1:0] ビットが“01b” (送信メールボックス検索モード) のとき、送信 FIFO (メールボックス [24]) は出力されません。表 39.6 に FIFO メールボックスモードでの MBNST[4:0] フラグの動作を示します。

チャンネル検索モードでは、MBNST[4:0] フラグはチャンネル番号が出力されます。MBNST[4:0] フラグは MSSR レジスタがプログラムで読み出された後に、次のターゲットチャンネル番号が出力されます。

SEST フラグ (検索結果空ステータスフラグ)

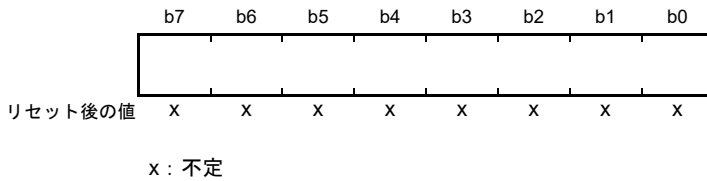
すべてのメールボックスの検索で該当するメールボックスがない場合、SEST フラグは“1” (検索結果なし) になります。たとえば、送信メールボックス検索モードで、SENTDATA フラグが“1”のメールボックスがひとつもない場合、SEST フラグは“1”になり、ひとつでもある場合、“0”になります。SEST フラグが“1”の場合、MBNST[4:0] フラグの値は不定です。

表 39.6 FIFO メールボックスモードでの MBNST[4:0] フラグの動作

MBSM[1:0] ビット	メールボックス [24] (送信 FIFO)	メールボックス [28] (受信 FIFO)
“00b”	メールボックス [24] は表示されない	通常メールボックスのどの MCTLj.NEWDATA フラグも“1” (新しいメッセージがメールボックスに格納中または格納された) にならず、また受信 FIFO が空でない場合はメールボックス [28] が表示される
“01b”		メールボックス [28] は表示されない
“10b”		通常メールボックスのどの MCTLj.MSGLOST フラグも“1” (メッセージはオーバライトまたはオーバランされた) にならず、受信 FIFO 内の RFCR.RFMLF フラグが“1” (受信 FIFO メッセージロスト発生) になるとメールボックス [28] が表示される
“11b”		メールボックス [28] は表示されない

39.2.16 チャンネルサーチサポートレジスタ (CSSR)

アドレス CAN0.CSSR 0009 0851h, CAN1.CSSR 0009 1851h



ビット	機能	R/W
b7-b0	チャンネル検索の値が入力された場合、チャンネル番号をMSSRレジスタに出力	R/W

“1”になったCSSRレジスタのビットは、8/3エンコーダ（最小ビット位置がより高い優先順位）によってエンコードされ、MSSRレジスタのMBNST[4:0]フラグに出力されます。

MSSRレジスタは、MSSRレジスタをプログラムで読み出すたびに更新された値が表示されます。

なお、CSSRレジスタは、MSMRレジスタのMBSM[1:0]ビットが“11b”（チャンネル検索モード）のときのみ変更してください。CSSRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

図 39.4 に CSSR、MSSR レジスタの書き込みと読み出しを示します。

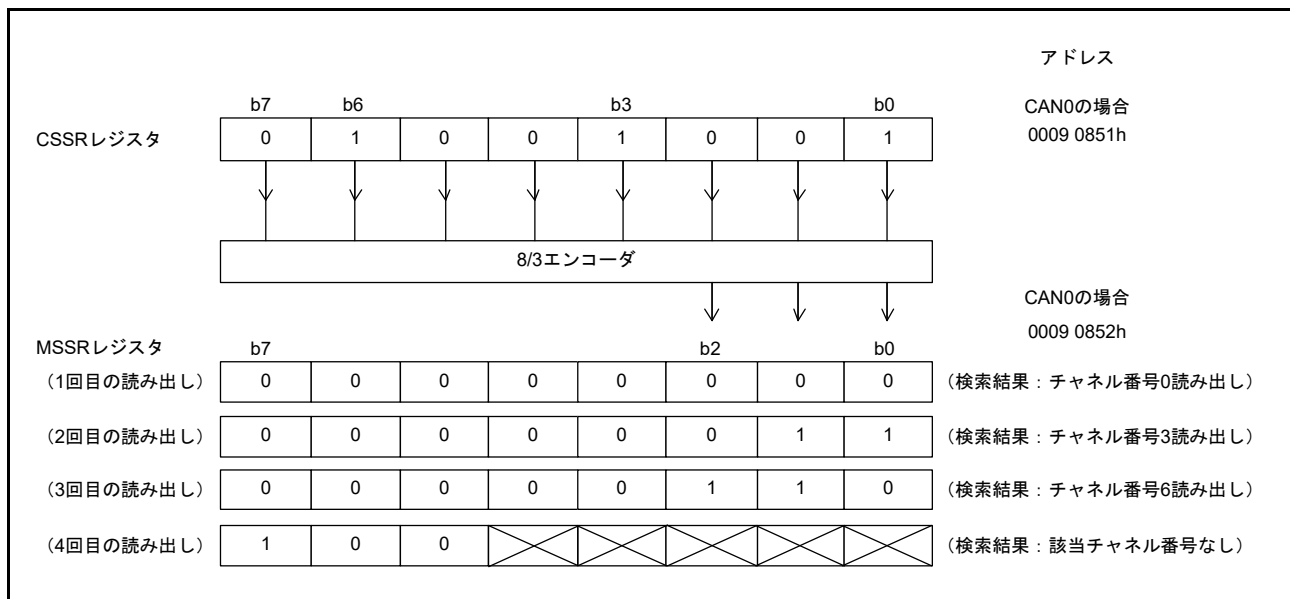
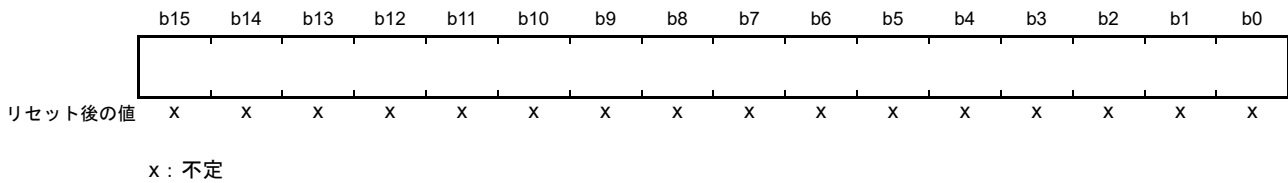


図 39.4 CSSR、MSSR レジスタの書き込みと読み出し

CSSRレジスタの値もMSSRレジスタを読み出すたびに更新されます。読んだ場合、8/3エンコーダ変換前の値が読めます。

39.2.17 アクセプタンスフィルタサポートレジスタ (AFSR)

アドレス CAN0.AFSR 0009 0856h, CAN1.AFSR 0009 1856h



ビット	機能	R/W
b15-b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値を読めます	R/W

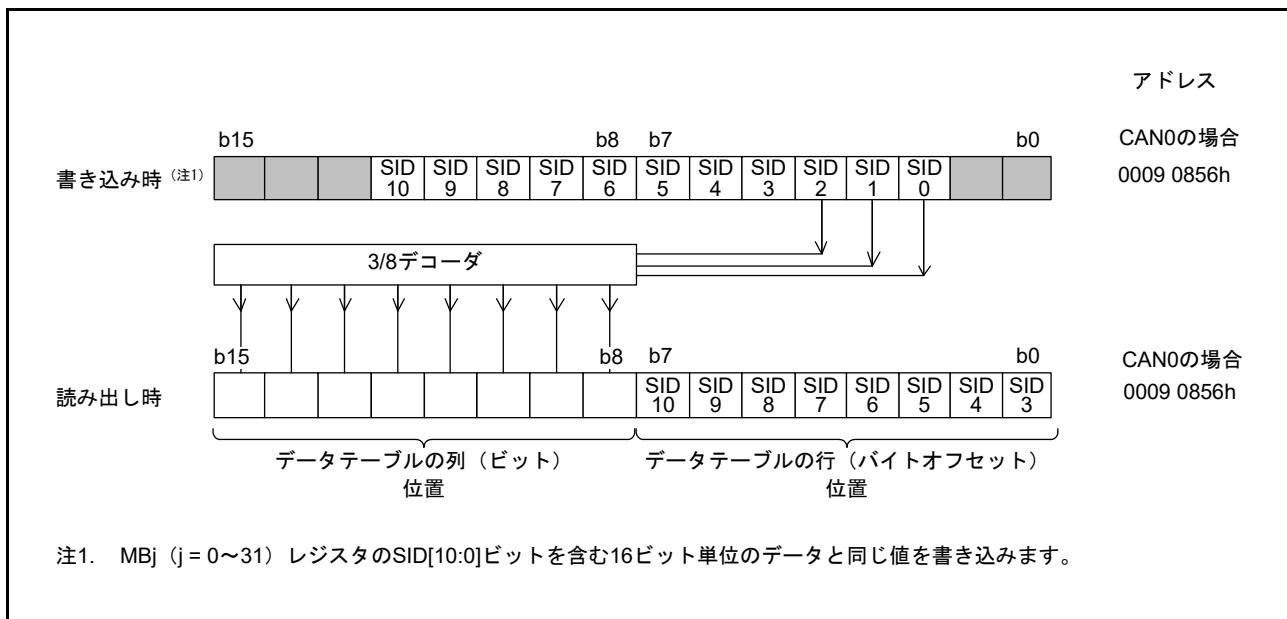
注. AFSRレジスタはCANオペレーションモードまたはCAN Haltモード時に変更してください。

アクセプタンスフィルタサポートユニット (ASU) は、あらかじめユーザにより作成された全標準 ID が有効か無効かを 1 ビット単位で設定したデータテーブル (8 ビット × 256) の検索に使用できます。受信した標準 ID が格納された MB_j レジスタ (j = 0 ~ 31) の SID[10:0] ビットを含む 16 ビット単位のデータを AFSR レジスタへ書くと、デコードされたデータテーブル検索用の行 (バイトオフセット) 位置と列 (ビット) 位置が読み出せます。ASU は、標準 (11 ビット) ID のみに使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合
(例) 受信する ID : 078h、087h、111h
- 受信する ID が多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合
なお、AFSR レジスタは、CAN リセットモードでは設定できません。

図 39.5 に AFSR レジスタの書き込み、読み出しを示します。



注1. MB_j (j = 0 ~ 31) レジスタのSID[10:0]ビットを含む16ビット単位のデータと同じ値を書き込みます。

図 39.5 AFSR レジスタの書き込み、読み出し

39.2.18 エラー割り込み許可レジスタ (EIER)

アドレス CAN0.EIER 0009 084Ch, CAN1.EIER 0009 184Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可ビット	0: バスエラー割り込み禁止 1: バスエラー割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可ビット	0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可	R/W
b2	EPIE	エラーパッシブエントリ割り込み許可ビット	0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可ビット	0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可ビット	0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可	R/W
b5	ORIE	オーバラン割り込み許可ビット	0: 受信オーバラン割り込み禁止 1: 受信オーバラン割り込み許可	R/W
b6	OLIE	オーバーロードフレーム送信割り込み許可ビット	0: オーバロードフレーム送信割り込み禁止 1: オーバロードフレーム送信割り込み許可	R/W
b7	BLIE	バスロック割り込み許可ビット	0: バスロック割り込み禁止 1: バスロック割り込み許可	R/W

EIER レジスタは、EIFR レジスタの個々のエラー割り込み要因に対して個別にエラー割り込みを許可 / 禁止します。

EIER レジスタは、CAN リセットモード時のみ変更してください。

BEIE ビット (バスエラー割り込み許可ビット)

BEIE ビットを“0”にすると、EIFR.BEIF フラグが“1”になっても、エラー割り込み要求は発生しません。BEIE ビットを“1”にすると、BEIF フラグが“1”になった場合、エラー割り込み要求が発生します。

EWIE ビット (エラーワーニング割り込み許可ビット)

EWIE ビットを“0”にすると、EIFR.EWIF フラグが“1”になっても、エラー割り込み要求は発生しません。EWIE ビットを“1”にすると、EWIF フラグが“1”になった場合、エラー割り込み要求が発生します。

EPIE ビット (エラーパッシブエントリ割り込み許可ビット)

EPIE ビットを“0”にすると、EIFR.EPIF フラグが“1”になっても、エラー割り込み要求は発生しません。EPIE ビットを“1”にすると、EPIF フラグが“1”になった場合、エラー割り込み要求が発生します。

BOEIE ビット (バスオフ開始割り込み許可ビット)

BOEIE ビットを“0”にすると、EIFR.BOEIF フラグが“1”になっても、エラー割り込み要求は発生しません。BOEIE ビットを“1”にすると、BOEIF フラグが“1”になった場合、エラー割り込み要求が発生します。

BORIE ビット (バスオフ復帰割り込み許可ビット)

BORIE ビットを“0”にすると、EIFR.BORIF フラグが“1”になっても、エラー割り込み要求は発生しません。BORIE ビットを“1”にすると、BORIF フラグが“1”になった場合、エラー割り込み要求が発生します。

ORIE ビット (オーバラン割り込み許可ビット)

ORIE ビットを“0”にすると、EIFR.ORIF フラグが“1”になっても、エラー割り込み要求は発生しません。ORIE ビットを“1”にすると、ORIF フラグが“1”になった場合、エラー割り込み要求が発生します。

OLIE ビット (オーバロードフレーム送信割り込み許可ビット)

OLIE ビットを“0”にすると、EIFR.OLIF フラグが“1”になっても、エラー割り込み要求は発生しません。OLIE ビットを“1”にすると、OLIF フラグの設定条件が“1”になった場合、エラー割り込み要求が発生します。

BLIE ビット (バスロック割り込み許可ビット)

BLIE ビットを“0”にすると、EIFR.BLIF フラグが“1”になっても、エラー割り込み要求は発生しません。BLIE ビットを“1”にすると、BLIF フラグが“1”になった場合、エラー割り込み要求が発生します。

39.2.19 エラー割り込み要因判定レジスタ (EIFR)

アドレス CAN0.EIFR 0009 084Dh, CAN1.EIFR 0009 184Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0: バスエラー未検出 1: バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/W
b5	ORIF	受信オーバラン検出フラグ	0: 受信オーバラン未検出 1: 受信オーバラン検出	R/W
b6	OLIF	オーバーロードフレーム送信検出フラグ	0: オーバーロードフレーム送信未検出 1: オーバーロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0: バスロック未検出 1: バスロック検出	R/W

EIFR レジスタは、各フラグに対応する現象が発生すると、EIER レジスタの設定にかかわらず対応するフラグが“1”になります。

各フラグを“0”にする場合は、プログラムで“0”を書いてください。“1”になるタイミングとプログラムで“0”にするタイミングが同時の場合、そのビットは“1”になります。

また、各フラグを“0”にする場合、論理演算 (AND) 命令は使用しないでください。フラグを“0”にする場合は転送 (MOV) 命令を使用し、該当するビットに“0”、その他のビットに“1”を書いてください。“1”を書いてもこれらのフラグの値は変化しません。

BEIF フラグ (バスエラー検出フラグ)

バスエラーが検出されると、BEIF フラグは“1”になります。

EWIF フラグ (エラーワーニング検出フラグ)

REC または TEC の値が 95 を超えると、EWIF フラグは“1”になります。

EWIF フラグは、REC または TEC が最初に 95 を超えたときのみ“1”になります。したがって、REC または TEC が 95 を超えたままで、EWIF フラグにプログラムで“0”を書いた場合、一度 REC と TEC が 95 以下になり、再び REC または TEC が 95 を超えるまでは“1”にはなりません。

EPIF フラグ (エラーパッシブ検出フラグ)

CAN エラー状態がエラーパッシブ状態 (REC (受信エラーカウンタ) または TEC の値が 127 を超える) になると、EPIF フラグは“1”になります。

EPIF フラグは、REC または TEC が最初に 127 を超えたときのみ“1”になります。したがって、REC または TEC が 127 を超えたままで、EPIF フラグにプログラムで“0”を書いた場合、一度 REC と TEC が 127 以下になり、再び REC または TEC が 127 を超えるまでは“1”にはなりません。

BOEIF フラグ (バスオフ開始検出フラグ)

CAN エラー状態がバスオフ状態 (TEC (送信エラーカウンタ) の値が 255 を超える) になると、BOEIF フラグは“1”になります。CTRL レジスタの BOM[1:0] ビットが“01b” (バスオフ開始で自動的に CAN Halt モードへ移行) で、CAN モジュールがバスオフ状態になった場合も、BOEIF フラグは“1”になります。

BORIF フラグ (バスオフ復帰検出フラグ)

CAN モジュールが次の条件でバスオフ状態から通常復帰 (11 の連続するレセシブビットを 128 回検出した場合、BORIF フラグは“1”になります。

- CTRL.BOM[1:0] ビットが“00b”
- CTRL.BOM[1:0] ビットが“10b”
- CTRL.BOM[1:0] ビットが“11b”

なお、CAN モジュールが次の条件でバスオフ状態から復帰した場合、BORIF フラグは“1”になりません。

- CTRL.CANM[1:0] ビットを“01b”または“11b” (CAN リセットモード) にしたとき
- CTRL.RBOC ビットを“1” (バスオフからの強制復帰) にしたとき
- CTRL.BOM[1:0] ビットが“01b”のとき
- CTRL.BOM[1:0] ビットが“11b”で、通常復帰が発生する前に、CTRL.CANM[1:0] ビットを“10b” (CAN Halt モード) にしたとき

表 39.7 に CTRL.BOM[1:0] ビットの設定による BOEIF、BORIF フラグの動作を示します。

表 39.7 CTRL.BOM[1:0] ビットの設定による BOEIF、BORIF フラグの動作

BOM[1:0] ビット	BOEIF フラグ	BORIF フラグ
00	バスオフ状態への遷移時“1”になる	バスオフ状態からの復帰時“1”になる
01		“1”にはならない
10		バスオフ状態からの復帰時“1”になる
11		CANM[1:0] ビットが“10b” (CAN Halt モード) になる前に、通常バスオフ状態からの復帰が発生した場合“1”になる

ORIF フラグ (受信オーバラン検出フラグ)

受信オーバランが発生すると、ORIF フラグは“1”になります。ORIF フラグはオーバーライトモードでは“1”になりません。

オーバーライトモードの場合、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、ORIF フラグは“1”にはなりません。

通常メールボックスモードの場合、オーバランモードで、メールボックス [0] ~ [31] のいずれかでオーバランが発生すると、ORIF フラグは“1”になります。FIFO メールボックスモードでは、オーバランモードで、メールボックス [0] ~ [23] のいずれかまたは受信 FIFO でオーバランが発生すると、ORIF フラグは“1”

になります。

OLIF フラグ (オーバーロードフレーム送信検出フラグ)

CAN モジュールが受信または送信を行う場合にオーバーロードフレームの送信条件が検出されると、OLIF フラグは“1”になります。

BLIF フラグ (バスロック検出フラグ)

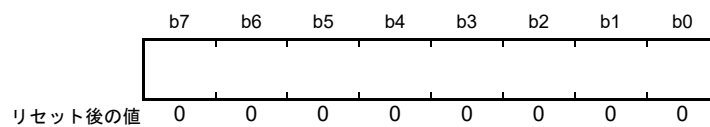
CAN モジュールが CAN オペレーションモードの間、CAN バス上に 32 の連続するドミナントビットを検出すると、BLIF フラグは“1”になります。

“1”になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- このフラグを“1”から“0”にした後、レセシブビットを検出
- このフラグを“1”から“0”にした後、CANリセットモードまたはCAN Haltモードに移行し、再度CANオペレーションモードに移行 (内部リセット)

39.2.20 受信エラーカウントレジスタ (RECR)

アドレス CAN0.RECR 0009 084Eh, CAN1.RECR 0009 184Eh



ビット	機能	R/W
b7-b0	受信エラーカウン機能 受信中のCANモジュールのエラー状態によってカウンタ値を増減させます	R

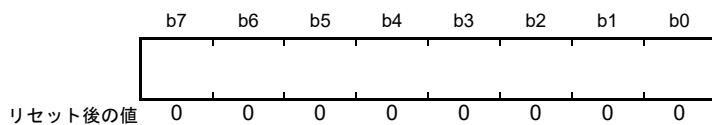
RECR レジスタは、受信エラーカウンタの値を示します。

受信エラーカウンタの増減条件については、ISO 11898-1 規格を参照してください。

RECR レジスタは、バスオフ状態時の値は不定になります。

39.2.21 送信エラーカウントレジスタ (TECR)

アドレス CAN0.TECR 0009 084Fh, CAN1.TECR 0009 184Fh

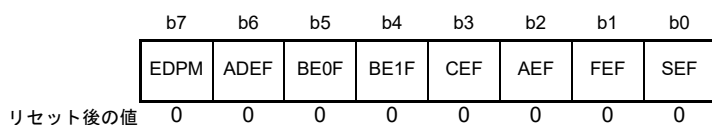


ビット	機能	R/W
b7-b0	送信エラーカウント機能 送信中のCANモジュールのエラー状態によってカウンタ値を増減させます	R

TECR レジスタは、送信エラーカウンタの値を示します。
送信エラーカウンタの増減条件については、ISO 11898-1 規格を参照してください。
TECR レジスタは、バスオフ状態時の値は不定になります。

39.2.22 エラーコード格納レジスタ (ECSR)

アドレス CAN0.ECSR 0009 0850h, CAN1.ECSR 0009 1850h



ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ(注1、注2)	0: スタッフエラー未検出 1: スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ(注1、注2)	0: フォームエラー未検出 1: フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ(注1、注2)	0: ACKエラー未検出 1: ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ(注1、注2)	0: CRCエラー未検出 1: CRCエラー検出	R/W
b4	BE1F	ビットエラー (レセシブ) フラグ(注1、注2)	0: ビットエラー未検出 1: ビットエラー (レセシブ) 検出	R/W
b5	BE0F	ビットエラー (ドミナント) フラグ(注1、注2)	0: ビットエラー未検出 1: ビットエラー (ドミナント) 検出	R/W
b6	ADEF	ACKデリミタエラーフラグ(注1、注2)	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択ビット(注3、注4)	0: 最初に検出されたエラーコードを出力 1: 蓄積したエラーコードを出力	R/W

- 注1. “1”を書いてもこれらのフラグの値は変化しません。
- 注2. SEF、FEF、AEF、CEF、BE1F、BE0F、ADEFフラグに対して“0”を書く場合は、論理演算 (AND) 命令は使用しないでください。フラグを“0”にする場合は転送 (MOV) 命令を使用し、該当するフラグに“0”、その他のフラグに“1”を書いてください。
- 注3. EDPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。
- 注4. 同時に1つ以上のエラー条件が検出された場合は、関係するすべてのフラグが“1”になります。

ECSR レジスタは、CAN バス上のエラーの発生をモニタリングする場合に使用できます。
各エラーの発生条件を確認するには、ISO 11898-1 規格を参照してください。

EDPM ビット以外の各フラグを“0”にする場合は、プログラムで“0”を書いてください。各フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。

SEF フラグ (スタッフエラーフラグ)

スタッフエラーを検出すると、SEF フラグは“1”になります。

FEF フラグ (フォームエラーフラグ)

フォームエラーを検出すると、FEF フラグは“1”になります。

AEF フラグ (ACK エラーフラグ)

ACK エラーを検出すると、AEF フラグは“1”になります。

CEF フラグ (CRC エラーフラグ)

CRC エラーを検出すると、CEF フラグは“1”になります。

BE1F フラグ (ビットエラー (レセシブ) フラグ)

レセシブビットエラーを検出すると、BE1F フラグは“1”になります。

BE0F フラグ (ビットエラー (ドミナント) フラグ)

ドミナントビットエラーを検出すると、BE0F フラグは“1”になります。

ADEF フラグ (ACK デリミタエラーフラグ)

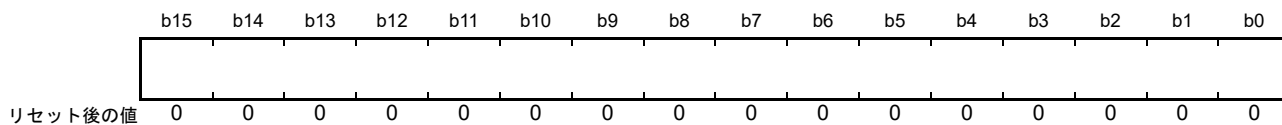
送信中の ACK デリミタでフォームエラーを検出すると、ADEF フラグは“1”になります。

EDPM ビット (エラー表示モード選択ビット)

EDPM ビットは、ECSR レジスタの出力モードを設定します。EDPM ビットを“0”にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットを“1”にすると、ECSR レジスタは蓄積したエラーコードを出力します。

39.2.23 タイムスタンプレジスタ (TSR)

アドレス CAN0.TSR 0009 0854h, CAN1.TSR 0009 1854h



ビット	機能	R/W
b15-b0	タイムスタンプ機能のためのフリーランカウンタ値です	R

注. TSRレジスタの読み出しは16ビット単位で実行してください。

TSRレジスタを読むと、その時点のタイムスタンプカウンタ（16ビットフリーランカウンタ）の値が読み出せます。

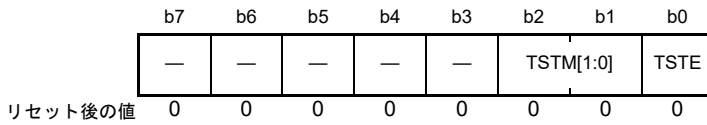
タイムスタンプカウンタの基準クロックの値は1ビットタイムを逡倍したもので、CTRLレジスタのTSPS[1:0]ビットで設定します。

タイムスタンプカウンタは、CANスリープモードおよびCAN Haltモードで停止し、CANリセットモードで初期化されます。

受信メッセージが受信メールボックスに格納されるとき、タイムスタンプカウンタの値がMBjレジスタのTSL[7:0]、TSH[7:0]へ格納されます。

39.2.24 テスト制御レジスタ (TCR)

アドレス CAN0.TCR 0009 0858h, CAN1.TCR 0009 1858h



ビット	シンボル	ビット名	機能	R/W
b0	TSTE	テストモード許可ビット	0 : CANテストモード禁止 1 : CANテストモード許可	R/W
b2-b1	TSTM[1:0]	CANテストモード選択ビット	b2 b1 0 0 : CANテストモードではない 0 1 : リッスンオンリモード 1 0 : セルフテストモード0 (外部ループバック) 1 1 : セルフテストモード1 (内部ループバック)	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR レジスタは、CAN テストモードの制御を行います。TCR レジスタは、CAN Halt モード時のみ変更してください。

(1) リッスンオンリモード

ISO 11898-1 規格では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できますが、CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 39.6 にリッスンオンリモード選択時の接続 (i = 0, 1) を示します。

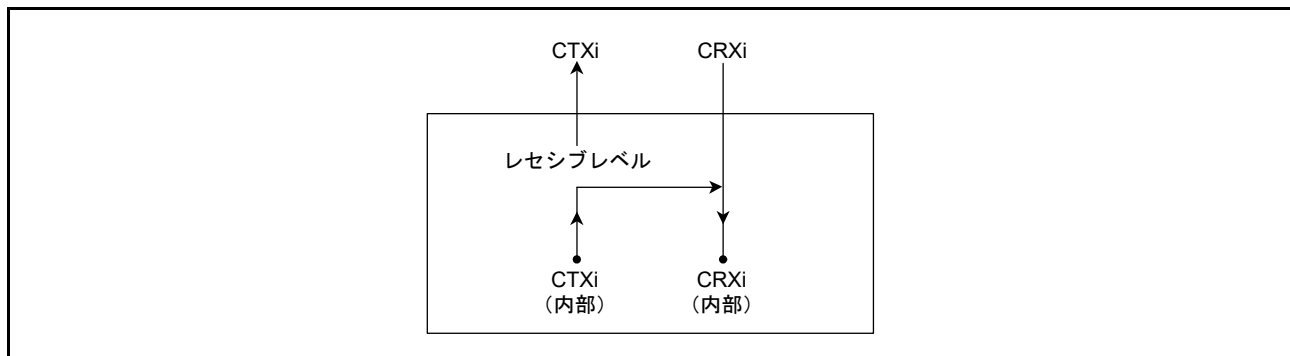


図 39.6 リッスンオンリモード選択時の接続 (i = 0, 1)

(2) セルフテストモード0 (外部ループバック)

セルフテストモード0はCANトランシーバテスト用です。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールアドレスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

CTXi/CRXi端子はCANトランシーバに接続してください。

図 39.7 にセルフテストモード0選択時の接続 (i = 0, 1) を示します。

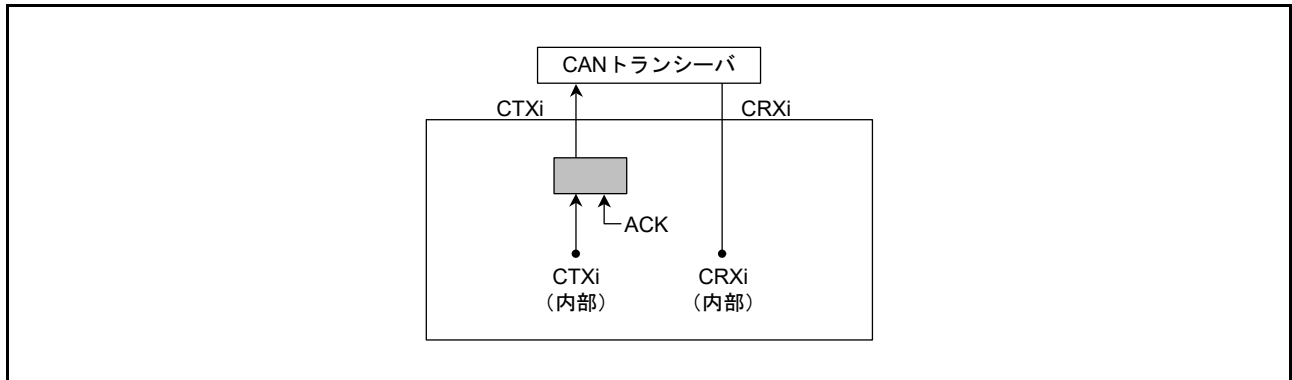


図 39.7 セルフテストモード0選択時の接続 (i = 0, 1)

(3) セルフテストモード1 (内部ループバック)

セルフテストモード1は、セルフテスト機能用です。

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールアドレスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

セルフテストモード1では内部 CTXi 端子から内部 CRXi 端子への内部フィードバックを行います。外部 CRXi 端子の入力の値は無視されます。外部 CTXi 端子はレセプティブビットのみ出力します。CTXi/CRXi 端子はCANバスや他のどの外部デバイスにも接続する必要がありません。

図 39.8 にセルフテストモード1選択時の接続 (i = 0, 1) を示します。

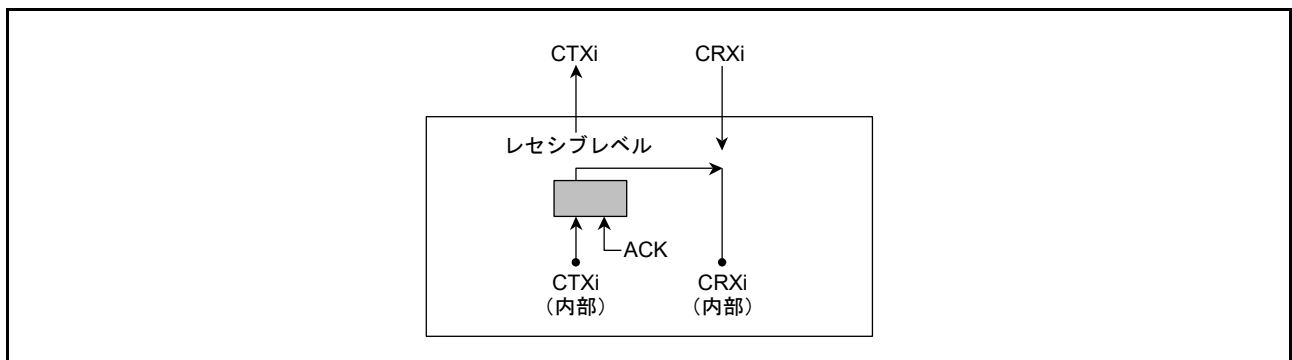


図 39.8 セルフテストモード1選択時の接続 (i = 0, 1)

39.3 動作モード

CANモジュールには、以下4つの動作モードがあります。

- CANリセットモード
- CAN Haltモード
- CANオペレーションモード
- CANスリープモード

図 39.9 に CAN 動作モード間の移行を示します。

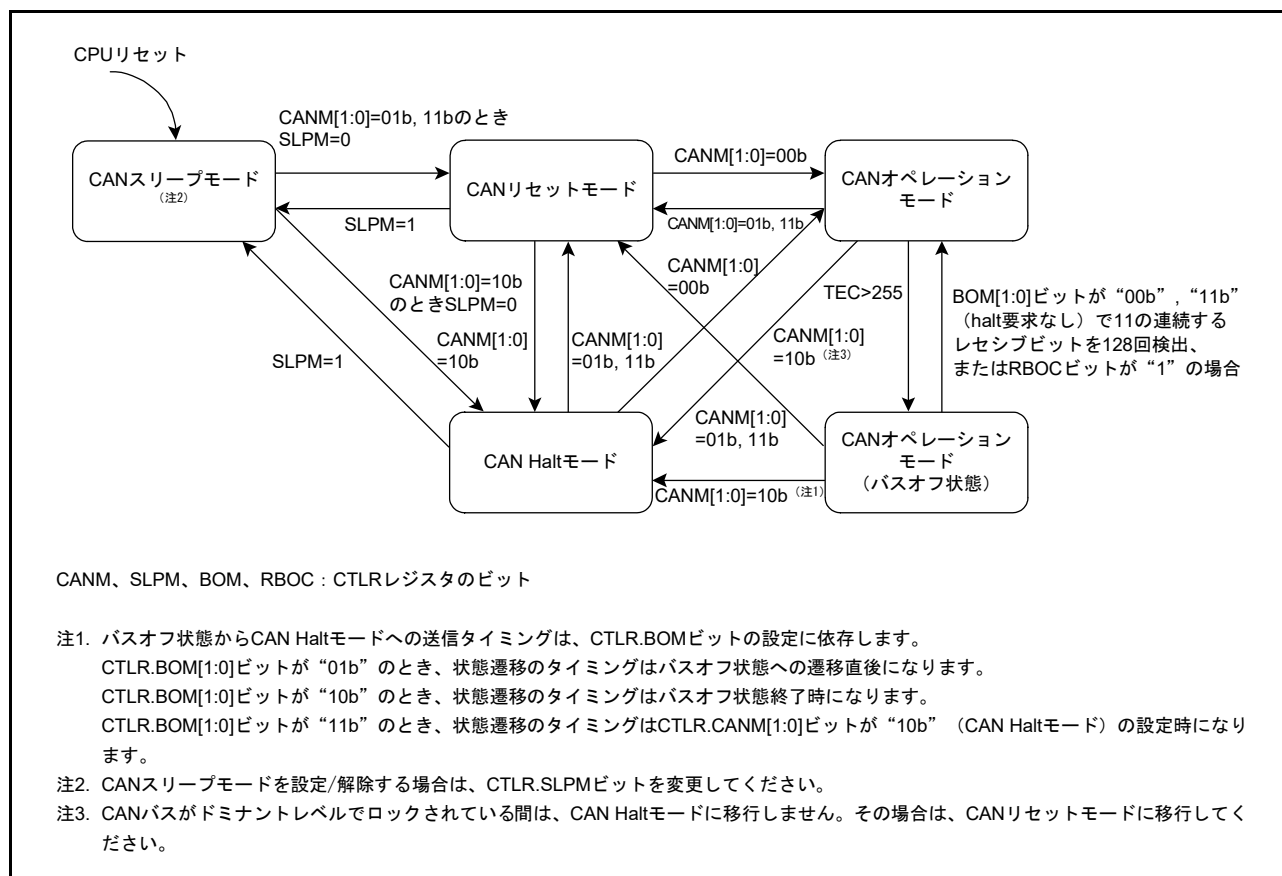


図 39.9 CAN 動作モード間の移行

39.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するモードです。

CTLR.CANM[1:0] ビットを“01b”または“11b”にすると、CAN モジュールはCAN リセットモードになります。そのとき、STR.RSTST フラグが“1”になります。RSTST フラグが“1”になるまで、CTLR.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ移行する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードに移行した後、それぞれのリセット後の値に初期化され、CAN リセットモード中は初期値を維持します。

- MCTLj レジスタ
- STR レジスタ (SLPST フラグと TFST フラグを除く)
- EIFR レジスタ
- RECR レジスタ
- TECR レジスタ
- TSR レジスタ
- MSSR レジスタ
- MSMR レジスタ
- RFCR レジスタ
- TFCR レジスタ
- TCR レジスタ
- ECSR レジスタ (EDPM ビットを除く)

以下のレジスタは、CAN リセットモードに移行した後も以前の値を保持します。

- CTLR レジスタ
- STR レジスタ (SLPST フラグと TFST フラグ)
- MIER レジスタ
- EIER レジスタ
- BCR レジスタ
- CSSR レジスタ
- ECSR レジスタ (EDPM ビットのみ)
- MBj レジスタ
- MKR0 ~ MKR7 レジスタ
- FIDCR0、FIDCR1 レジスタ
- MKIVLR レジスタ
- AFSR レジスタ
- RFPCR レジスタ
- TFPCR レジスタ

39.3.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードを設定するモードです。

CTLR.CANM[1:0] ビットを“10b”にすると、CAN Halt モードになります。そのとき、STR.HLTST フラグが“1”になります。HLTST フラグが“1”になるまでCANM[1:0] ビットを変更しないでください。

送信または受信時の状態移行の条件は、表 39.8 を参照してください。

CAN Halt モードへの移行では、STR レジスタの RSTST フラグ、HLTST フラグおよび SLPST フラグ以外のビットと他のすべてのレジスタは変化しません。

CAN Halt モードでは、CTLR レジスタ (CANM[1:0] ビットおよび SLPM ビットを除く) および EIER レジスタは変更しないでください。CAN テストモードで、自動ボーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN Halt モードで BCR レジスタを変更できます。

表 39.8 CAN リセットモードと CAN Halt モードでの動作

モード	受信	送信	バスオフ
CAN リセットモード (強制移行) CANM[1:0] = 11b	CAN モジュールは受信メッセージの終了を待たずに CAN リセットモードに移行	CAN モジュールはメッセージ送信の終了を待たずに CAN リセットモードに移行	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードに移行
CAN リセットモード CANM[1:0] = 01b	CAN モジュールは受信メッセージの終了を待たずに CAN リセットモードに移行	CAN モジュールはメッセージ送信の終了を待って CAN リセットモードに移行 (注1、注4)	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードに移行
CAN Halt モード	CAN モジュールは受信メッセージの終了を待って CAN Halt モードに移行 (注2、注3)	CAN モジュールはメッセージ送信の終了を待って CAN Halt モードに移行 (注1、注2、注4)	[BOM[1:0] ビットが“00b”の場合] CAN モジュールはバスオフ復帰のみ、プログラムの Halt 要求を受け付ける [BOM[1:0] ビットが“01b”の場合] CAN モジュールはバスオフ復帰の終了を待たずに自動的に CAN Halt モードに移行 (プログラムの Halt 要求とは無関係に) [BOM[1:0] ビットが“10b”の場合] CAN モジュールはバスオフ復帰の終了を待って自動的に CAN Halt モードに移行 (プログラムの Halt 要求とは無関係に) [BOM[1:0] ビットが“11b”の場合] CAN モジュールはバスオフ中にプログラムによる Halt 要求があると、CAN Halt モードに移行 (バスオフ復帰の終了を待たずに)

CANM[1:0], BOM[1:0] : CTLR レジスタのビット

- 注1. いくつかのメッセージ送信が要求されている場合、最初のメッセージ送信が完了した後にモードを移行します。サスペンドトランスミッション中に CAN リセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、または CAN モジュールが受信になったときに、モードを移行します。
- 注2. CAN バスがドミナントレベルでロックされた場合、EIFR.BLIF フラグをモニタすると、プログラムはバスロック状態を検出できます。CAN バスがドミナントレベルでロックされている間は、CAN Halt モードに移行しません。この場合は、CAN リセットモードに移行してください。
- 注3. CAN Halt モードが要求された後、受信中に CAN バスエラーが発生すると、CAN Halt モードに移行します (ただし、CAN バスがドミナントレベルでロックされている場合は、CAN Halt モードに移行しません)。
- 注4. CAN リセットモードまたは CAN Halt モードが要求された後、送信中に CAN バスエラーまたは CAN アービトレーションロストが発生すると、要求された動作モードに移行します (ただし、CAN バスがドミナントレベルでロックされている場合は、CAN Halt モードに移行しません)。

39.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCU の RES# 端子リセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CTLR レジスタの SLPM ビットを“1”にすると、CAN スリープモードになります。そのとき、STR レジスタの SLPST フラグが“1”になります。SLPST フラグが“1”になるまで、SLPM ビットの値を変更しないでください。CAN スリープモードへの移行時は、他のレジスタは変化しません。

SLPM ビットは、CAN リセットモードと CAN Halt モードで変更してください。SLPM ビットを除く他のレジスタは、CAN スリープモード中は変更しないでください。読み出し動作は許可されます。

SLPM ビットを“0”にすると、CAN スリープモードから解除されます。CAN スリープモードからの復帰時、他のレジスタは変化しません。

39.3.4 CAN オペレーションモード (バスオフ状態以外)

CAN オペレーションモードは CAN 通信をするモードです。

CTLR レジスタの CANM[1:0] ビットを“00b”にすると、CAN モジュールは CAN オペレーションモードになります。

そのとき、STR レジスタの RSTST フラグと HLTST フラグが“0”になります。RSTST フラグと HLTST フラグが“0”になるまで、CANM[1:0] ビットの値を変更しないでください。

CAN オペレーションモードに移行した後、11 の連続するレセシブビットを検出すると、CAN モジュールは次の状態になります。

- CAN モジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN モジュールは、CAN バスの状態によって、CAN オペレーションモード中に、次の3つのいずれかのサブモードになっています。

- アイドルモード: CAN モジュールは、送受信を行っていない状態です。
- 受信モード: CAN モジュールは、他のノードが送信した CAN メッセージを受信しています。
- 送信モード: CAN モジュールは、CAN メッセージを送信しています。セルフテストモード 0 (TCR レジスタの TSTM[1:0] ビットが“10b”) またはセルフテストモード 1 (TSTM[1:0] ビットが“11b”) が選択されている場合、同時に自ノードが送信したメッセージを受信します。

図 39.10 に CAN オペレーションモードのサブモードを示します。

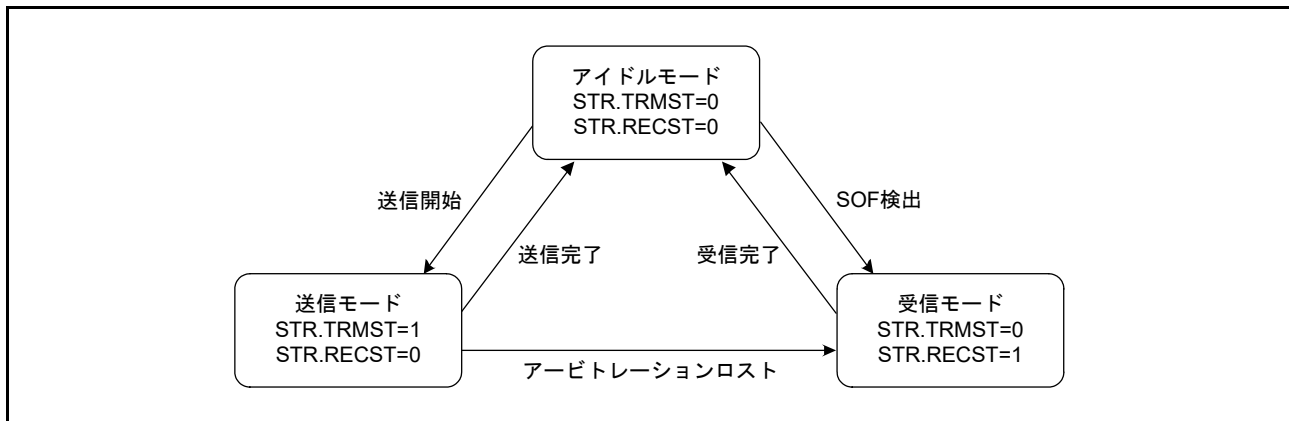


図 39.10 CAN オペレーションモードのサブモード

39.3.5 CAN オペレーションモード (バスオフ状態)

ISO 11898-1 規格の送信、受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態に移行します。

CAN モジュールがバスオフ状態から復帰するには次の場合があります。なお、バスオフ状態のとき、STR、EIFR、RECR、TECR および TSR レジスタを除く CAN モジュール関連レジスタの値は変化しません。

(1) CTLR レジスタの BOM[1:0] ビットが “00b” の場合 (ノーマルモード)

バスオフ状態からの復帰完了後、エラーアクティブ状態に移行し、CAN 通信ができるようになります。このとき、EIFR レジスタの BORIF フラグが “1” (バスオフ復帰検出) になります。

(2) CTLR レジスタの RBOC ビットを “1” にしたとき (バスオフからの強制復帰)

バスオフ状態になり、RBOC ビットが “1” になると、CAN モジュールはエラーアクティブ状態に移行し、11 の連続するレセシブビットを検出した後、再び CAN 通信ができるようになります。このとき、BORIF フラグは “1” になりません。

(3) BOM[1:0] ビットが “01b” の場合 (バスオフ開始で自動的に CAN Halt モードへ移行)

バスオフ状態に達すると CAN Halt モードになります。このとき BORIF フラグは “1” になりません。

(4) BOM[1:0] ビットが “10b” の場合 (バスオフ終了で自動的に CAN Halt モードへ移行)

バスオフからの復帰が完了すると、CAN Halt モードになります。このとき BORIF フラグは “1” になりません。

(5) BOM[1:0] ビットが “11b” の場合 (プログラムにより CAN Halt モードへ移行) に

バスオフ状態で CTLR レジスタの CANM[1:0] ビットを “10b” にしたとき (CAN Halt モード)

バスオフ状態時に CANM[1:0] ビットが “10b” (CAN Halt モード) に設定されると、CAN Halt モードになります。このとき、BORIF フラグは “1” になりません。

バスオフ中に CANM[1:0] ビットが “10b” に設定されないときは、(1) と同じ動作になります。

39.4 CAN 通信速度の設定

CAN 通信速度の設定について以下に説明します。

39.4.1 CAN クロックの設定

CAN モジュールは CAN クロック 選択回路を内蔵しています。

CAN クロックは、BCR レジスタの CCLKS ビットと BRP[9:0] ビットで設定できます。

図 39.11 に CAN クロック発生回路のブロック図を示します。

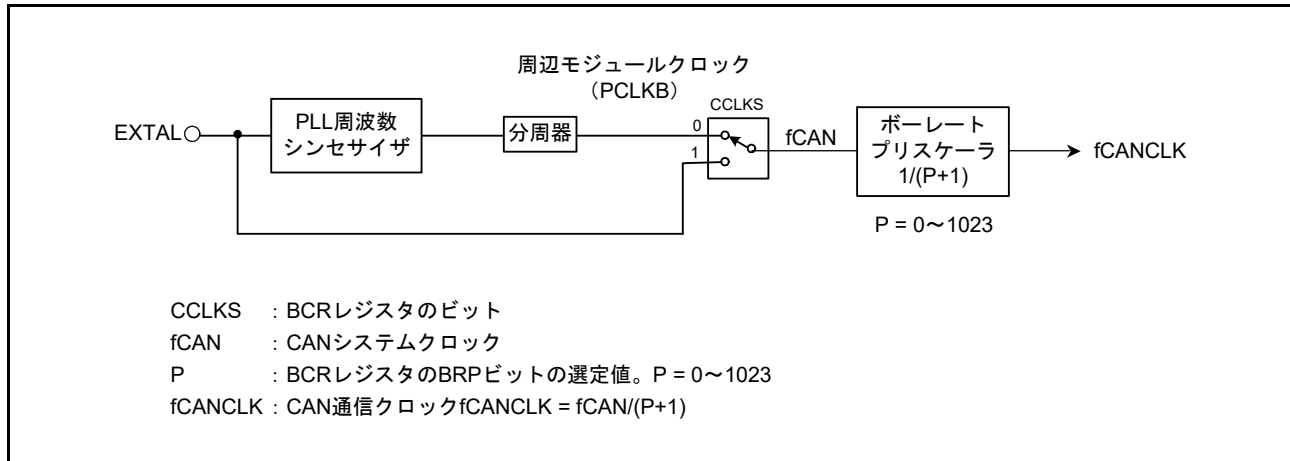


図 39.11 CAN クロック発生回路のブロック図

39.4.2 ビットタイミングの設定

ビットタイムは、次の3つのセグメントからなります。

図 39.12 にビットタイミング図を示します。

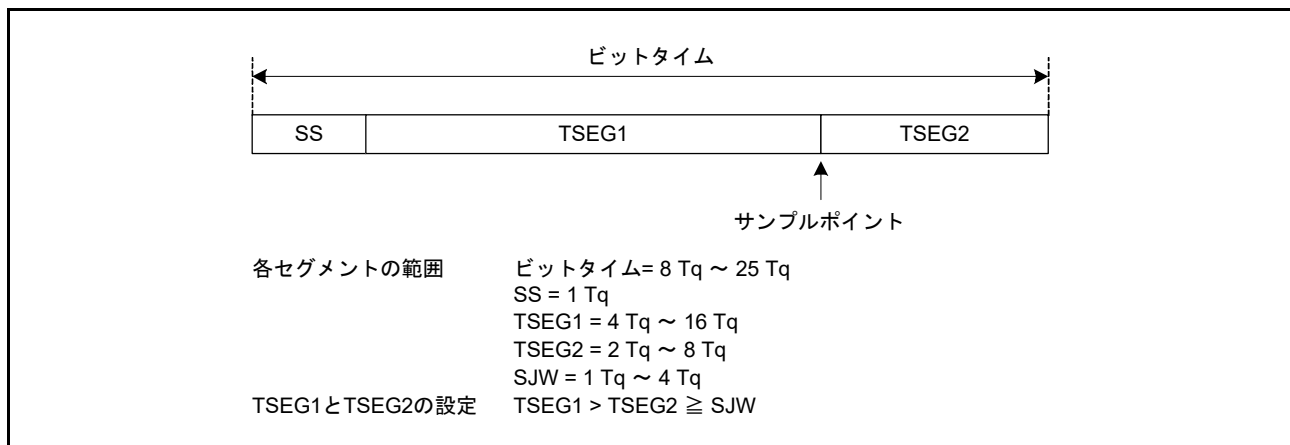


図 39.12 ビットタイミング図

39.4.3 ビットレート

ビットレートは、fCAN (CAN クロック)、ボーレートプリスケアラ分周値、および1ビットのTqの数に依存します。

$$\text{ビットレート [bps]} = \frac{f_{\text{CAN}}}{\text{ボーレートプリスケアラ分周値 (注1)} \times 1 \text{ビットタイムのTq数}} = \frac{f_{\text{CANCLK}}}{1 \text{ビットタイムのTq数}}$$

注1. ボーレートプリスケアラ分周値 = P + 1 (P = 0 ~ 1023)
P : BCRレジスタのBRP[9:0]ビットの設定値

表 39.9 にビットレートの例を示します。

表 39.9 ビットレートの例

fCAN	50MHz		48MHz		40MHz		32MHz	
	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1
1 Mbps	10Tq	5	8Tq	6	10Tq	4	8Tq	4
	25Tq	2	12Tq	4	20Tq	2	16Tq	2
			16Tq	3				
500 kbps	10Tq	10	8Tq	12	10Tq	8	8Tq	8
	25Tq	4	12Tq	8	20Tq	4	16Tq	4
			16Tq	6				
250 kbps	10Tq	20	8Tq	24	10Tq	16	8Tq	16
	25Tq	8	12Tq	16	20Tq	8	16Tq	8
			16Tq	12				
125 kbps	10Tq	40	8Tq	48	10Tq	32	8Tq	32
	25Tq	16	12Tq	32	20Tq	16	16Tq	16
			16Tq	24				
83.3 kbps	10Tq	60	8Tq	72	8Tq	60	8Tq	48
	25Tq	24	12Tq	48	10Tq	48	16Tq	24
			16Tq	36	16Tq	30		
					20Tq	24		
33.3 kbps	10Tq	150	8Tq	180	8Tq	150	8Tq	120
	25Tq	60	12Tq	120	10Tq	120	10Tq	96
			16Tq	90	20Tq	60	16Tq	60
							20Tq	48

39.5 メールボックスとマスクレジスタの構成

図 39.13 に MBj レジスタの構成を示します。
 同じ構成の 32 のメールボックスがあります。

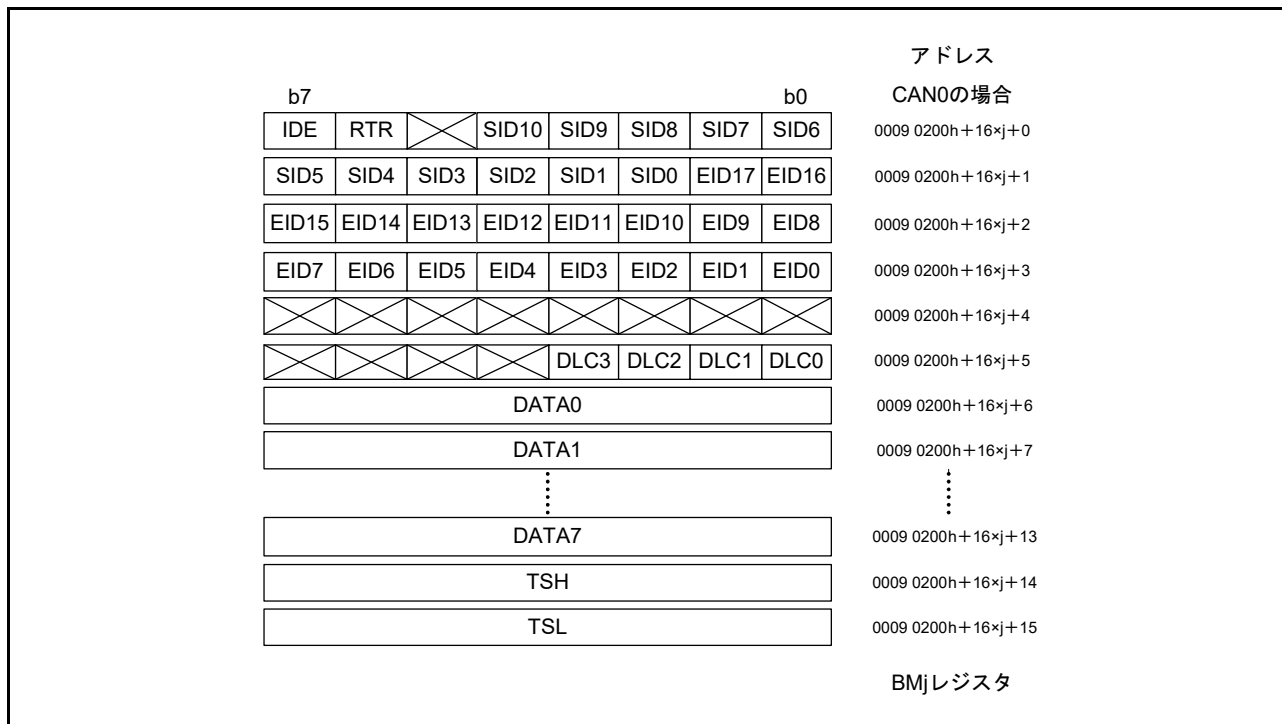


図 39.13 MBj レジスタの構成 (j = 0 ~ 31)

図 39.14 に MKRk レジスタの構成を示します。
 同じ構成の 8 つのマスクレジスタがあります。

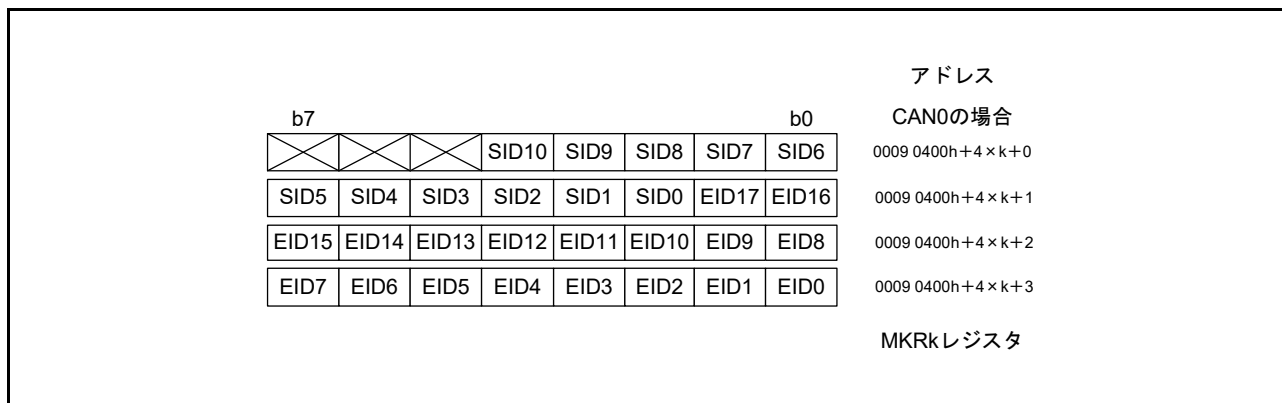


図 39.14 MKRk レジスタの構成 (k = 0 ~ 7)

図 39.15 に FIDCR0、FIDCR1 レジスタの構成を示します。
同じ構成の 2 つの FIFO 受信 ID 比較レジスタがあります。

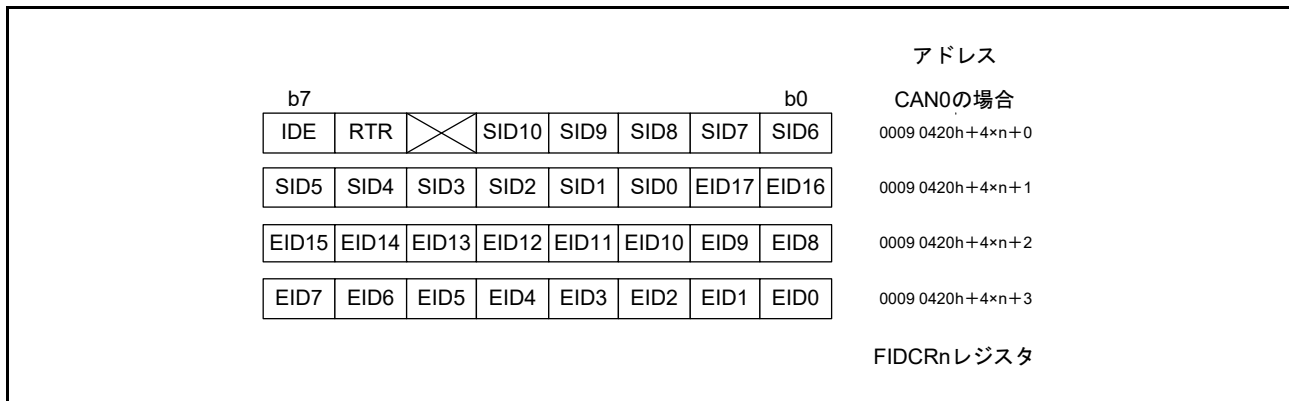


図 39.15 FIDCRn レジスタの構成 (n = 0, 1)

39.6 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能は、一定範囲の ID の選択と受信を許可します。

MKR0 ~ MKR7 レジスタは標準 ID と 29 ビットの拡張 ID のマスクができます。

- MKR0 レジスタは、メールボックス [0] ~ [3] に対応
- MKR1 レジスタは、メールボックス [4] ~ [7] に対応
- MKR2 レジスタは、メールボックス [8] ~ [11] に対応
- MKR3 レジスタは、メールボックス [12] ~ [15] に対応
- MKR4 レジスタは、メールボックス [16] ~ [19] に対応
- MKR5 レジスタは、メールボックス [20] ~ [23] に対応
- MKR6 レジスタは、通常メールボックスモードの場合はメールボックス [24] ~ [27]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [28] ~ [31] に対応
- MKR7 レジスタは、通常メールボックスモードの場合はメールボックス [28] ~ [31]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [28] ~ [31] に対応

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ機能を禁止します。

MBj レジスタの IDE ビットは、CTRL レジスタの IDFM[1:0] ビットが“10b” (ミックス ID モード) のとき有効です。

MBj レジスタの RTR ビットはデータフレームとリモートフレームを選択します。

FIFO メールボックスモードでは、通常メールボックス (メールボックス [0] ~ [23]) は、MKR0 ~ MKR5 レジスタの中から対応する 1 つを使用してアクセプタンスフィルタ処理しますが、受信 FIFO メールボックス (メールボックス [28] ~ [31]) は、MKR6、MKR7 レジスタの 2 つを使用してアクセプタンスフィルタ処理を行います。

また、受信 FIFO は FIDCR0、FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO の MB28 ~ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効になります。それぞれ 2 つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO では 2 つの範囲の ID を受信することができます。

MKIVLR レジスタは、受信 FIFO に対しては無効です。

標準 ID と拡張 ID の両方がそれぞれ FIDCR0、FIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれ FIDCR0、FIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 39.16 にマスクレジスタとメールボックスの対応、図 39.17 にアクセプタンスフィルタ処理を示します。

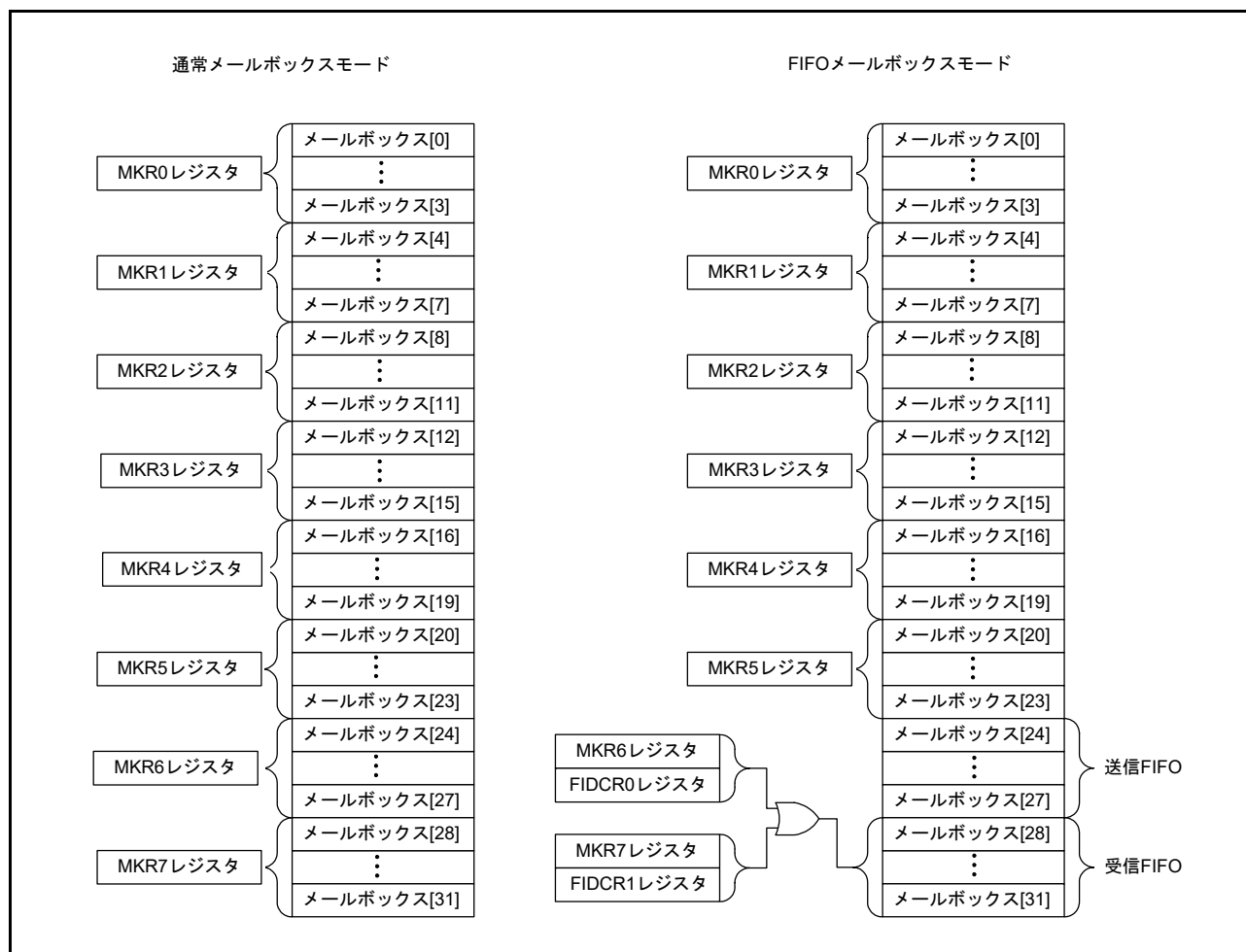


図 39.16 マスクレジスタとメールボックスの対応

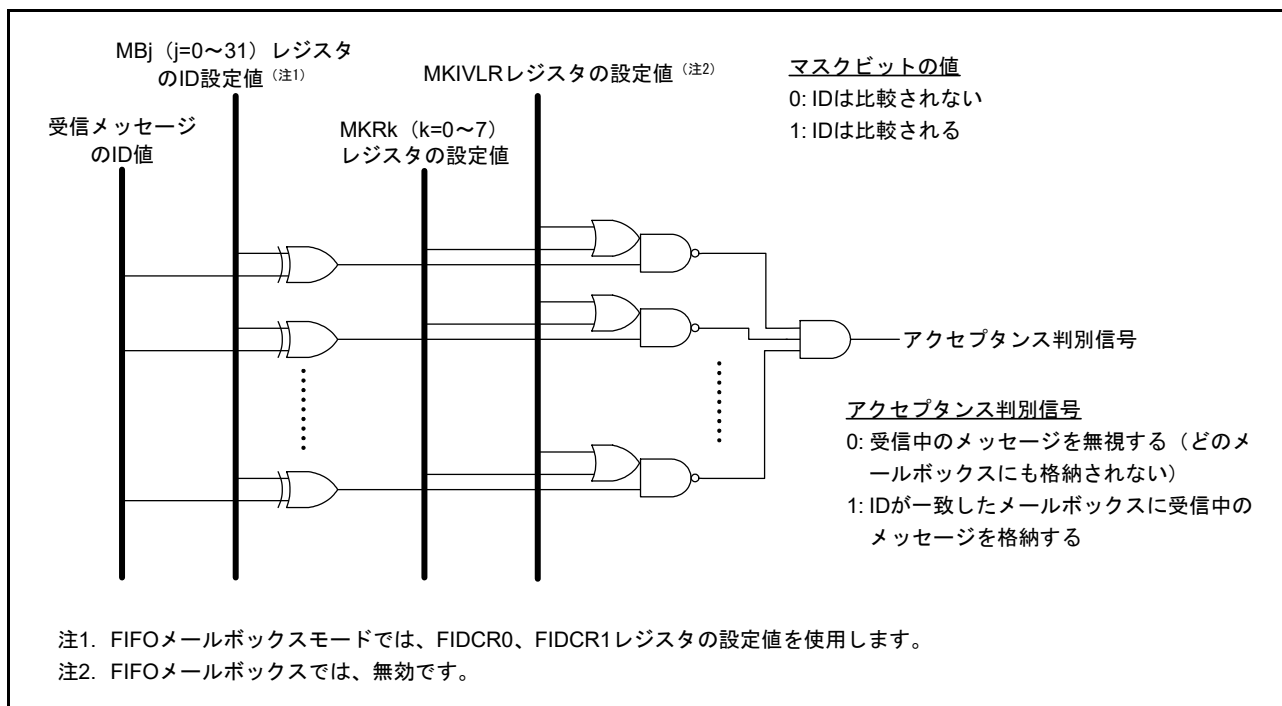


図 39.17 アクセプタンスフィルタ処理

39.7 受信 / 送信

表 39.10 に CAN 通信モードの設定方法を示します。

表 39.10 CAN受信モードとCAN送信モードの設定方法

MCTLj. TRMREQ	MCTLj. RECREQ	MCTLj. ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アポート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信か受信がアポートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

j = 0 ~ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

1. メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、MCTLj レジスタを“00h”にしてください。
2. 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうの優先順位がより高くなります。
3. CAN オペレーションモードで、受信メッセージに設定したメールボックスの ID/ マスクセットに一致するメッセージを送信した場合、CAN モジュールは送信データを受信しません。しかしセルフテストモードでは、CAN モジュールは送信データを受信します。この場合、CAN モジュールは ACK を返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

4. メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、MCTLj レジスタを確実に“00h”にして、さらに、アポート処理中でないことを確認してください。

39.7.1 受信

図 39.18 にデータフレーム受信時の動作例（オーバーライトモードの場合）を示します。

この例は、示された MCTLj レジスタ（j=0～31）のメールボックスの条件に一致する2つの連続した CAN メッセージを受信したときに、最初のメッセージを上書きする場合の動作です。

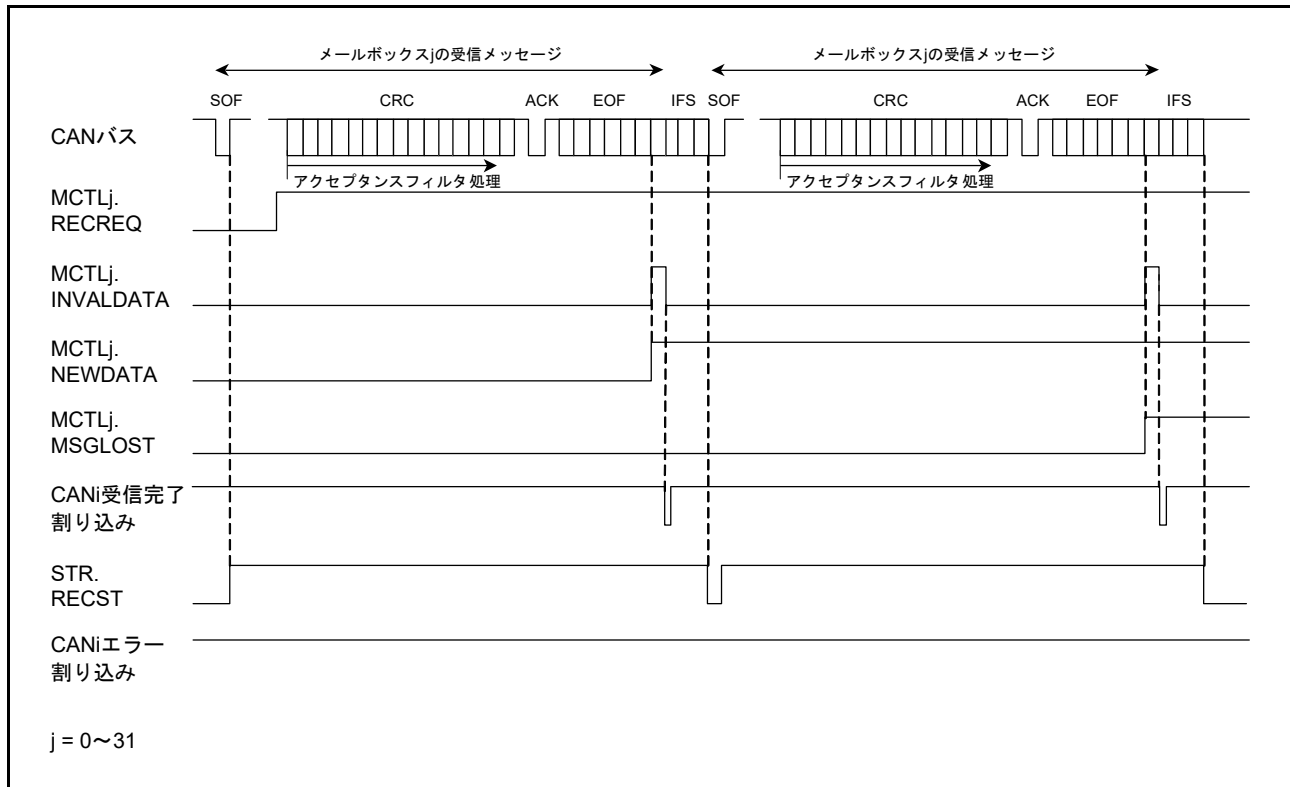


図 39.18 データフレーム受信時の動作例（オーバーライトモードの場合）

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、STR.RECST フラグが“1”（受信済）になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの MCTLj.NEWDATA フラグが“1”（新しいメッセージを更新中、またはメールボックスに格納された）になります。同時に MCTLj.INVALIDDATA フラグが“1”（メッセージを更新中）になり、そのメールボックスにメッセージ全体が転送された後、INVALIDDATA フラグは“0”（メッセージは有効）に戻ります。
4. 受信メールボックスの MIER レジスタの割り込み許可ビットが“1”（割り込み許可）の場合、CANi 受信完了割り込み要求が発生します。INVALIDDATA フラグが“0”になると、この割り込み（CANi 受信完了割り込み）が発生します。
5. メールボックスからメッセージを読み出した後、NEWDATA フラグをプログラムで“0”にする必要があります。
6. オーバライトモードでは、NEWDATA フラグがまだ“1”になっているメールボックスに次の CAN メッセージの受信が完了すると、MCTLj.MSGLOST フラグが“1”（メッセージはオーバーライトされた）になります。新しく受信したメッセージはメールボックスに転送されます。CANi 受信完了割り込み要求は、4. と同様に発生します。

図 39.19 にデータフレーム受信時の動作例（オーバランモードの場合）を示します。

この例は、示された MCTLj レジスタ (j=0~31) のメールボックスの条件に一致する2つの連続した CAN メッセージを受信したときに、2つ目のメッセージを破棄する場合の動作です。

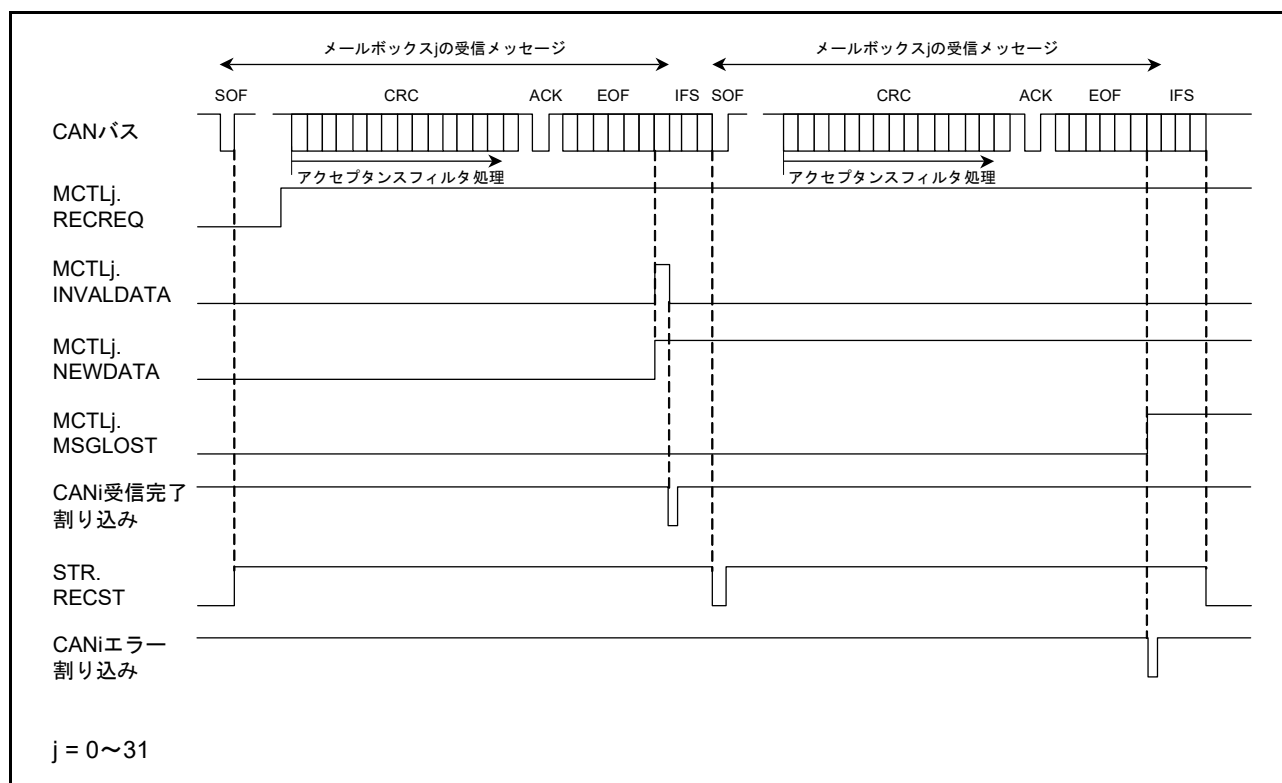


図 39.19 データフレーム受信時の動作例（オーバランモードの場合）

1. ~ 5. はオーバライトモードと同じです。
6. オーバランモードでは、MCTLj.NEWDATA フラグが“0”になる前に、次の CAN メッセージの受信が完了すると、MCTLj.MSGLOST フラグが“1”（メッセージはオーバランされた）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが“1”（割り込み許可）の場合、CANi エラー割り込み要求が発生します。

39.7.2 送信

図 39.20 にデータフレーム送信時の動作例を示します。

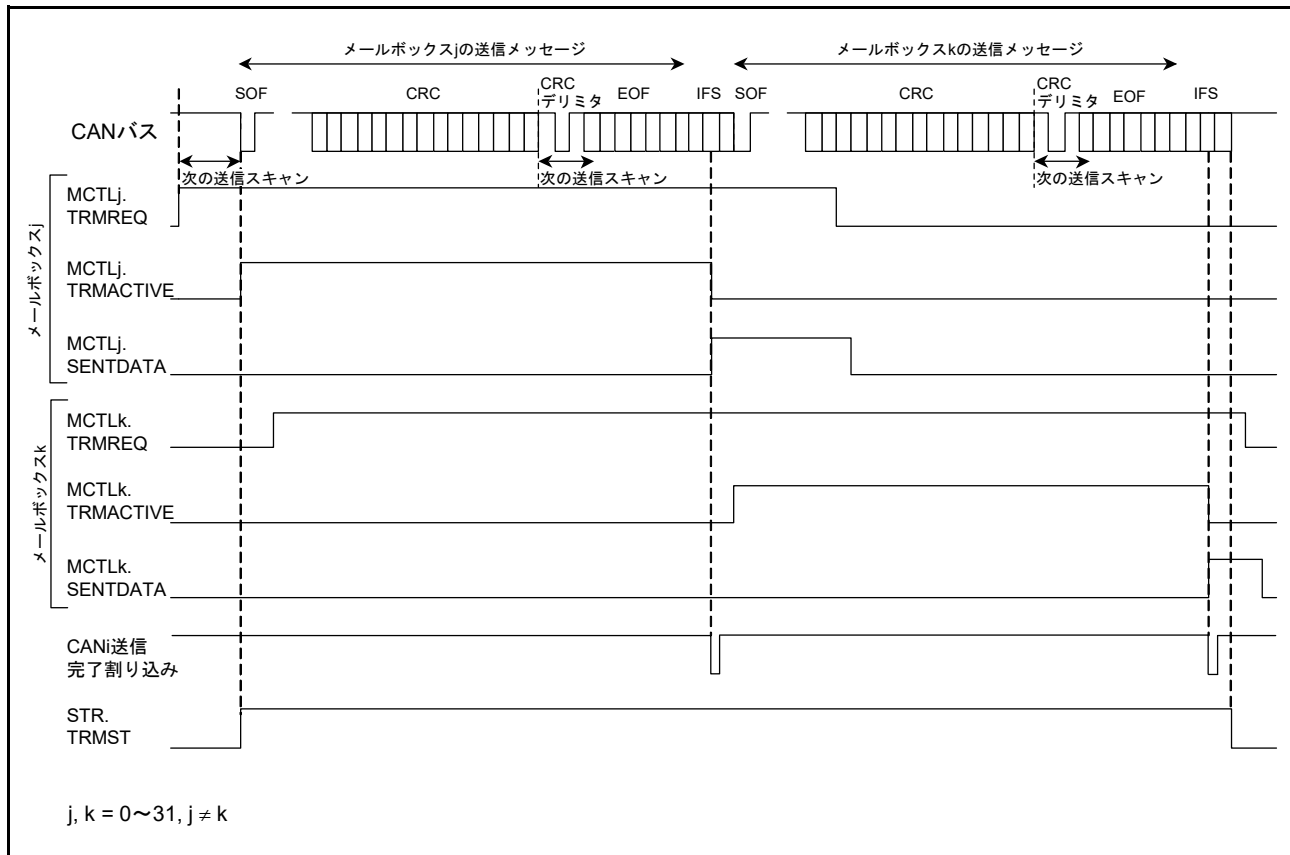


図 39.20 データフレーム送信時の動作例

1. バスアイドル状態で、MCTLj.TRMREQ ビット ($j=0 \sim 31$) を“1” (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、MCTLj レジスタの TRMACTIVE フラグが“1” (送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで)、STR レジスタの TRMST フラグが“1” (送信中) になり、CAN モジュールは送信を開始します (注 1)。
2. 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャン処理を開始します。
3. アービトレーションロストが発生せずに送信が完了すると、MCTLj レジスタの SENTDATA フラグが“1” (送信完了) に、TRMACTIVE フラグが“0” (送信待機中または送信要求なし) になります。そして、MIER レジスタの割り込み許可ビットが“1” (割り込み許可) の場合は CANi 送信完了割り込み要求が発生します。
4. 同一のメールボックスから次の送信を要求する場合は、SENTDATA フラグと TRMREQ ビットを“0”にして、SENTDATA フラグと TRMREQ ビットが“0”になるのを確認した後、TRMREQ ビットを“1”にしてください。

注 1. CAN モジュールが送信開始した後でアービトレーションロストをした場合、TRMACTIVE フラグは“0”になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

39.8 CAN 割り込み

CANモジュールには、チャンネルごとに以下のCAN割り込みがあります。表 39.11 にCAN割り込み一覧表を示します。

- CAN_i 受信完了割り込み (メールボックス 0 ~ 31) [RXMi]
- CAN_i 送信完了割り込み (メールボックス 0 ~ 31) [TXMi]
- CAN_i 受信 FIFO 割り込み [RXFi]
- CAN_i 送信 FIFO 割り込み [TXFi]
- CAN_i エラー割り込み [ERSi]

CAN_i エラー割り込みには、8つの要因があります。これらの要因は、EIFRレジスタをチェックすることで確認できます。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバラン
- オーバロードフレーム送信
- バスロック

表 39.11 CAN 割り込み一覧表

モジュール	割り込みシンボル	割り込み要因	要因フラグ
CAN _i	ERSi	バスロック検出	EIFR.BLIF
		オーバロードフレーム送信検出	EIFR.OLIF
		オーバラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	RXFi	受信FIFOメッセージ受信 (MIER[29] = 0)	RFCR.RFUST[2:0]
		受信FIFOワーニング (MIER[29] = 1)	
	TXFi	送信FIFOメッセージ送信完了 (MIER[25] = 0)	TFCR.TFUST[2:0]
		FIFOラストメッセージ送信完了 (MIER[25] = 1)	
	RXMi	メールボックス0~31メッセージ受信	MCTL0.NEWDATA ~ MCTL31.NEWDATA
	TXMi	メールボックス0~31メッセージ送信完了	MCTL0.SENTDATA ~ MCTL31.SENTDATA

i = 0, 1

39.9 使用上の注意事項

39.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CANモジュールの動作禁止 / 許可を設定できます。リセット後の値では、CANモジュールの動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

40. シリアルペリフェラルインタフェース (RSPId)

本章に記載している PCLK とは PCLKA を指します。

40.1 概要

本 MCU は、3 チャンネルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重または単方向の同期式シリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 40.1 に RSPI の仕様を、図 40.1 に RSPI のブロック図を示します。

なお、本章では、端子名および信号名で使用している x は、A、B、C と規定し、 i は 0 ~ 3 と規定しています。また、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0 ~ 7 と規定しています。

表 40.1 RSPI の仕様 (1/2)

項目	内容
チャンネル数	3チャンネル
RSPI 転送機能	<ul style="list-style-type: none"> MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 通信モード：全二重または単方向 (送信のみ、受信のみ (スレープモード時)) を選択可能 RSPCK の極性を変更可能 RSPCK の位相を変更可能
データフォーマット	<ul style="list-style-type: none"> MSB ファースト / LSB ファーストの切り替え可能 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 送信 / 受信バッファは 128 ビット 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット) 送受信データをバイト単位でスワップ可能 送受信データのロジックレベルを反転可能
ビットレート	<ul style="list-style-type: none"> マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2 ~ 4096 分周) スレープ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能 (RSPCK の最高周波数は PCLK の 4 分周) High 幅：PCLK の 2 サイクル、Low 幅：PCLK の 2 サイクル
バッファ構成	<ul style="list-style-type: none"> 送信および受信バッファはそれぞれダブルバッファ構造 送信および受信バッファは 128 ビット
エラー検出	<ul style="list-style-type: none"> モードフォルトエラー検出 オーバランエラー検出 (注 1) パリティエラー検出 アンダランエラー検出
SSL 制御機能	<ul style="list-style-type: none"> 1 チャンネルあたり 4 本の SSL 端子 (SSLx0 ~ SSLx3) シングルマスタ設定時には、SSLx0 ~ SSLx3 端子を出力 マルチマスタ設定時：SSLx0 端子は入力、SSLx1 ~ SSLx3 端子は出力または未使用 スレープ設定時：SSLx0 端子は入力、SSLx1 ~ SSLx3 端子は未使用 SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲：1 ~ 8 RSPCK 設定単位：1 RSPCK RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲：1 ~ 8 RSPCK 設定単位：1 RSPCK 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲：1 ~ 8 RSPCK 設定単位：1 RSPCK SSL 極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> 最大 8 コマンドで構成された転送を連続してループ実行可能 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性 / 位相、転送データ長、LSB / MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 送信バッファへのライトで転送を起動可能 SSL ネゲート時の MOSI 信号値を設定可能 RSPCK 自動停止機能 バースト転送時のデータバイト間遅延を短縮可能

表 40.1 RSPIの仕様 (2/2)

項目	内容
割り込み要因	<ul style="list-style-type: none">• 割り込み要因<ul style="list-style-type: none">受信バッファフル割り込み送信バッファエンプティ割り込みエラー割り込み(モードフォルト、オーバラン、アンダラン、パリティエラー)アイドル割り込み通信完了割り込み
イベントリンク機能(出力)	<ul style="list-style-type: none">• 以下のイベントをイベントリンクコントローラへ出力可能(RSPI0)<ul style="list-style-type: none">受信バッファフルイベント送信バッファエンプティイベントエラーイベント(モードフォルト、オーバラン、アンダラン、パリティエラー)アイドルイベント通信完了イベント
その他の機能	<ul style="list-style-type: none">• RSPI初期化機能• ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. マスタ受信かつ、RSPCK自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

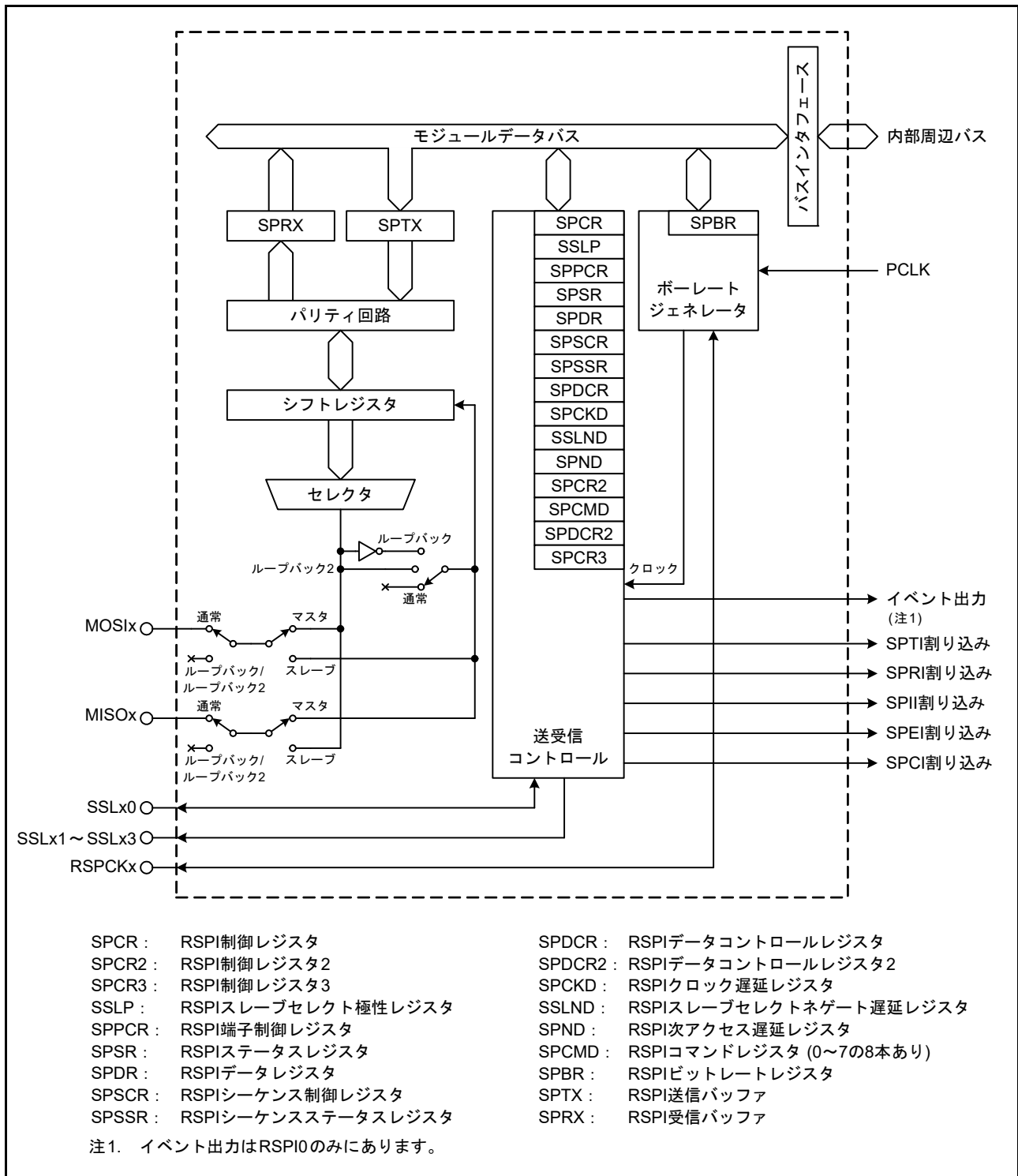


図 40.1 RSPIdのブロック図

表 40.2 に RSPI で使用する入出力端子を示します。

SSLx0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKx、MOSIx、MISOx 端子の入出力方向は、マスタ/スレーブ設定と SSLx0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「40.3.2 RSPI 端子の制御」を参照してください。

表 40.2 RSPIの入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力
RSPI1	RSPCKB	入出力	クロック入出力
	MOSIB	入出力	マスタ送出データ入出力
	MISOB	入出力	スレーブ送出データ入出力
	SSLB0	入出力	スレーブセレクト入出力
	SSLB1	出力	スレーブセレクト出力
	SSLB2	出力	スレーブセレクト出力
	SSLB3	出力	スレーブセレクト出力
RSPI2	RSPCKC	入出力	クロック入出力
	MOSIC	入出力	マスタ送出データ入出力
	MISOC	入出力	スレーブ送出データ入出力
	SSLC0	入出力	スレーブセレクト入出力
	SSLC1	出力	スレーブセレクト出力
	SSLC2	出力	スレーブセレクト出力
	SSLC3	出力	スレーブセレクト出力

40.2 レジスタの説明

40.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPi0.SPCR 000D 0100h, RSPi1.SPCR 000D 0140h, RSPi2.SPCR 000D 0300h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODF EN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット(注1)	0: SPI動作(4線式) 1: クロック同期式動作(3線式)	R/W
b1	TXMD	通信動作モード選択ビット(注1)	0: 全二重通信(受信回路動作) 1: 送信のみの単方向通信(受信回路停止)	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット(注1)	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット(注1)	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	エラー割り込み許可ビット	0: エラー割り込み要求の生成を禁止 1: エラー割り込み要求の生成を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0: 送信バッファエンプティ割り込み要求の生成を禁止 1: 送信バッファエンプティ割り込み要求の生成を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能は有効	R/W
b7	SPRIE	受信バッファフル割り込み許可ビット	0: 受信バッファフル割り込み要求の生成を禁止 1: 受信バッファフル割り込み要求の生成を許可	R/W

注1. SPEビットが“1”の場合、MSTRビット、MODFENビット、TXMDビット、SPMSビットの値を変更しないでください。

SPMS ビット (RSPI モード選択ビット)

SPI動作(4線式)/クロック同期式動作(3線式)を選択するためのビットです。

クロック同期式動作を行う場合はSSLx0～SSLx3端子を使用せず、RSPCKx端子、MOSIx端子、MISOx端子の3端子を用いて通信を行います。また、マスタモード時(SPCR.MSTR=1)でクロック同期式動作を行う場合は、SPCMDm.CPHAビットを“0”、“1”どちらにも設定できます。スレーブモード時(SPCR.MSTR=0)でクロック同期式動作を行う場合はCPHAビットを“1”に設定してください。スレーブモード時(SPCR.MSTR=0)でクロック同期式動作を行う場合、CPHAビットを“0”にしないでください。

TXMD ビット (通信動作モード選択ビット)

全二重通信、または送信のみの単方向通信を選択するためのビットです。

TXMDビットを“1”にして通信を行う場合、送信動作のみを行い、受信動作を行いません(「40.3.6 通信動作モード」参照)。

また、TXMDビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

SPCR3.RXMDビットが“1”(受信のみの単方向通信)の場合、TXMDビットの設定は無効です。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです(「40.3.10 エラー検出」を参照)。また、RSPIはMODFENビットとMSTRビットとの組み合わせに従って、SSLx0～SSLx3端子の入出力方向を決定します(「40.3.2 RSPI端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPIのマスタ/スレーブモードを選択するためのビットです。また、RSPIはMSTRビットの設定に従って、RSPCKx、MOSIx、MISOx、SSLx0～SSLx3端子の方向を決定します。

SPEIE ビット (エラー割り込み許可ビット)

RSPIがモードフォルトエラーまたはアンダランエラーを検出してSPSR.MODFフラグを“1”にした場合、RSPIがオーバランエラーを検出してSPSR.OVRFフラグを“1”にした場合、またはパリティエラーを検出してSPSR.PERFフラグを“1”にした場合のエラー割り込み要求の生成を許可/禁止します。詳細については、「40.3.10 エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPIが送信バッファエンプティを検出し、送信バッファエンプティ割り込み要求の生成を許可/禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIEビットと同時または後に、SPEビットを“1”にすることで発生します。

RSPI機能は無効(SPEビットが“0”)に遷移しても、SPTIEビットを“1”にしていると、送信バッファエンプティ割り込みが発生することに注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI機能の有効/無効を選択します。

SPSR.MODFフラグが“1”の場合には、SPEビットを“1”にすることはできません。詳細は「40.3.10 エラー検出」を参照してください。

SPEビットを“0”にすると、RSPI機能が無効化され、モジュール機能の一部が初期化されます。詳細は「40.3.11 RSPIの初期化」を参照してください。また、SPEビットを“0”の状態から“1”または“1”の状態から“0”になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (受信バッファフル割り込み許可ビット)

RSPIがシリアル転送完了後の受信バッファフルを検出し、受信バッファフル割り込み要求の生成を許可/禁止します。

40.2.2 RSPIスレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 000D 0101h, RSPI1.SSLP 000D 0141h, RSPI2.SSLP 000D 0301h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. SPCR.SPEビットが“1”の場合、SSLPレジスタを書き換えないでください。

40.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 000D 0102h, RSPI1.SPPCR 000D 0142h, RSPI2.SPPCR 000D 0302h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0 : 通常モード 1 : ループバックモード(データを反転して送信)	R/W
b1	SPLP2	RSPIループバック2ビット	0 : 通常モード 1 : ループバックモード(データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0 : MOSIアイドル時のMOSIx端子の出力値はLow 1 : MOSIアイドル時のMOSIx端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0 : MOSI出力値は前回転送の最終データ 1 : MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. SPCR.SPEビットが“1”の場合、SPPCRレジスタを書き換えしないでください。

SPLP ビット (RSPI ループバックビット)

RSPIの端子モードを選択します。

SPLPビットを“1”にすると、RSPIはSPCR.MSTRビットが“1”ならば、MISOx端子とシフトレジスタ間を、SPCR.MSTRビットが“0”ならば、MOSIx端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路(反転)を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPIの端子モードを選択します。

SPLP2ビットを“1”にすると、RSPIはSPCR.MSTRビットが“1”ならば、MISOx端子とシフトレジスタ間を、SPCR.MSTRビットが“0”ならば、MOSIx端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードでMOIFEビットが“1”の場合、SSLネゲート期間(バースト転送におけるSSL保持期間を含む)のMOSIx端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードのRSPIが、SSLネゲート期間(バースト転送におけるSSL保持期間を含む)にMOSIx出力値を固定するために使用するビットです。MOIFEが“0”の場合には、RSPIはSSLネゲート期間中に前回のシリアル転送の最終データをMOSIxに出力します。MOIFEが“1”の場合には、RSPIはMOIFVビットに設定された固定値をMOSIxに出力します。

40.2.4 RSPi ステータスレジスタ (SPSR)

アドレス RSPi0.SPSR 000D 0103h, RSPi1.SPSR 000D 0143h, RSPi2.SPSR 000D 0303h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	SPCF	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	R/(W) (注1)
b1	IDLNF	アイドルフラグ	0: RSPiがアイドル状態 1: RSPiが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーなし、アンダランエラーなし 1: モードフォルトエラーまたはアンダランエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	UDRF	アンダランエラーフラグ	MODFフラグと組み合わせてモードフォルトエラーとアンダランエラーの発生状況が確認できます。 b4 b2 0 0: モードフォルトエラーなし、アンダランエラーなし 0 1: モードフォルトエラー発生 1 1: アンダランエラー発生	R/(W) (注1、 注2)
b5	SPTEF	送信バッファエンプティフラグ	0: 送信バッファに有効なデータあり 1: 送信バッファに有効なデータなし	R (注3)
b6	SPCF	通信完了フラグ	0: 通信を開始していない、または通信中 1: 通信完了	R/(W) (注1)
b7	SPRF	受信バッファフルフラグ	0: 受信バッファに有効なデータなし 1: 受信バッファに有効なデータあり	R (注3)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. UDRFフラグを“0”にするときは、同時にMODFフラグも“0”にしてください。

注3. 書く場合、“1”としてください。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが“1”) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE ビットが“1”) のときは、オーバランエラーが発生しないため、“1”になりません。詳細は「40.3.10.1 オーバランエラー」を参照ください。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、かつ受信バッファがフルの状態での次の受信が終了したとき
- SPCR.MSTR ビットが“0”、SPCR3.RXMD ビットが“1”、かつ受信バッファがフルの状態での次の受信が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (アイドルフラグ)

RSPI の転送状況を示します。

["1" になる条件]

【マスタモード】

- 下記["0" になる条件]のマスタモード時の条件がいずれも満たされないとき

【スレーブモード】

- SPCR.SPE ビットが "1" (RSPI 機能が有効) のとき

["0" になる条件]

【マスタモード】

- SPCR.SPE ビットが "0" (RSPI 初期化) のとき
- 以下の条件がすべて満たされたとき
 1. 送信バッファが空 (SPTEF フラグ = 1)
 2. SPSSR.SPCP[2:0] ビットが "000b"
 3. 最終ビットの送出自が完了し、SSLND.SLNDL[2:0] ビットと SPND.SPNDL[2:0] ビットで指定した時間が経過した

【スレーブモード】

- SPCR.SPE ビットが "0" (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーとアンダランエラーの発生を示します。モードフォルトエラーとアンダランエラーのどちらが発生したかは、UDRF フラグによって判別できます。

["1" になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが "1" (マスタモード)、SPCR.MODFEN ビットが "1" (モードフォルトエラー検出を許可) の状態で、SSLxi 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが "0" (スレーブモード)、SPCR.MODFEN ビットが "1" (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLxi 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき
- SPCR.SPE ビットが "1" (RSPI 機能は有効) で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

なお、SSLxi 信号のアクティブレベルは、SSLP.SSLiP ビット (SSLi 信号極性設定ビット) によって決定されます。

["0" になる条件]

- MODF フラグが "1" の状態の SPSR レジスタを読んだ後、MODF フラグに "0" を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

["1"になる条件]

- SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態を受信が終了し、パリティエラーが検出されたとき
- SPCR.MSTR ビットが“0”、SPCR3.RXMD ビットが“1”、かつ SPCR2.SPPE ビットが“1”の状態を受信が終了し、パリティエラーが検出されたとき

["0"になる条件]

- PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書いたとき

UDRF フラグ (アンダランエラーフラグ)

アンダランエラーが発生したことを示すフラグです。このフラグが“1”になると、MODF フラグも“1”になります。MODF フラグが“1”のときにこのフラグが“0”であれば、発生したエラーはモードフォルトエラーです。

["1"になる条件]

- SPCR.MSTR ビットが“0”(スレーブモード)、SPCR3.RXMD ビットが“0”、SPCR.SPE ビットが“1”(RSPI機能は有効)で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

["0"になる条件]

- UDRF フラグが“1”の状態の SPSR レジスタを読んだ後、UDRF フラグに“0”を書いたとき

SPTEF フラグ (送信バッファエンプティフラグ)

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

["1"になる条件]

- SPCR.SPE ビットが“0”(RSPI 初期化)のとき
- SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データが送信バッファからシフトレジスタに転送されたとき

["0"になる条件]

- SPDR レジスタに SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき

なお、SPDR レジスタは SPTEF フラグが“1”のときのみデータを設定できます。SPTEF フラグが“0”のときにデータを設定しても、送信バッファのデータは更新されません。

SPCF フラグ (通信完了フラグ)

RSPI の通信が完了したことを示すフラグです。

["1"になる条件]

【マスタモード】

- 以下の条件がすべて満たされたとき
 1. 送信バッファが空 (SPTEF フラグ = 1)
 2. SPSSR.SPCP[2:0] ビットが“000b”
 3. 最終ビットの送りが完了し、SSLND.SLNDL[2:0] ビットと SPND.SPNDL[2:0] ビットで指定した時間が経過した

【SPI 動作、スレーブモード時の全二重通信または送信のみの単方向通信】

- 以下の条件がすべて満たされたとき
 1. 送信バッファが空 (SPTEF フラグ = 1)

2. 送信シフトレジスタが空
3. SSLx0 信号がネゲートされた

【クロック同期式動作、スレーブモード時の全二重通信または送信のみの単方向通信】

- 以下の条件がすべて満たされたとき
 1. 送信バッファが空 (SPTEF フラグ = 1)
 2. 送信シフトレジスタが空
 3. 最終データの最終ビットを受信した (RSPCK 最終偶数エッジ)

【SPI 動作、スレーブモード時の受信のみの単方向通信】

- SPDCR.SPFC[1:0] ビットに設定した数のフレームを受信し終わった後、SSLx0 信号がネゲートされたとき

【クロック同期式動作、スレーブモード時の受信のみの単方向通信】

- SPDCR.SPFC[1:0] ビットに設定した数のフレームを受信し終わったとき (RSPCK 最終偶数エッジ)

["0" になる条件]

【全二重通信または送信のみの単方向通信】

- 次の送信データを送信バッファに書き込んだとき
- SPCF フラグが "1" の状態の SPSR レジスタを読んだ後、SPCF フラグに "0" を書いたとき

【SPI 動作、スレーブモード時の受信のみの単方向通信】

- 次データの SSLx0 信号のアサートを検出したとき
- SPCF フラグが "1" の状態の SPSR レジスタを読んだ後、SPCF フラグに "0" を書いたとき

【クロック同期式動作、スレーブモード時の受信のみの単方向通信】

- 次データの RSPCK 信号の最初のエッジを検出したとき
- SPCF フラグが "1" の状態の SPSR レジスタを読んだ後、SPCF フラグに "0" を書いたとき

SPRF フラグ (受信バッファフルフラグ)

RSPId データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

["1" になる条件]

- SPCR.TXMD ビットが "0" (全二重)、SPRF フラグが "0" のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
ただし、OVRF フラグが "1" のときは、"1" に変化しません。
- SPCR.MSTR ビットが "0"、SPCR3.RXMD ビットが "1"、SPRF フラグが "0" のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
ただし、OVRF フラグが "1" のときは、"1" に変化しません。

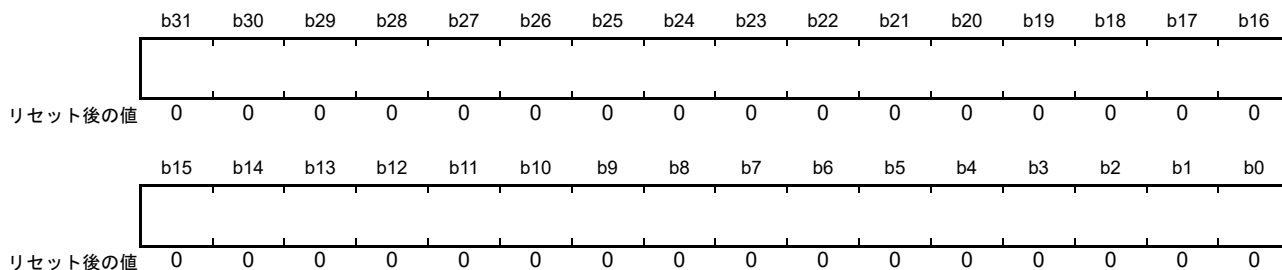
["0" になる条件]

- SPDR レジスタから受信データをすべて読み出したとき

40.2.5 RSPi データレジスタ (SPDR)

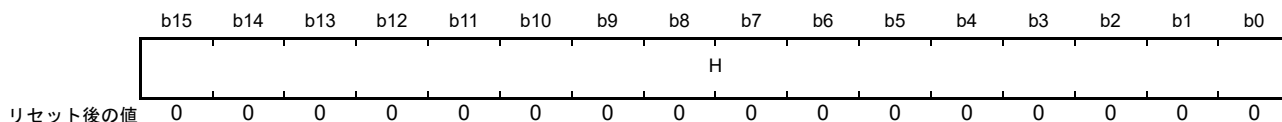
- ロングワードアクセス時

アドレス RSPi0.SPDR 000D 0104h, RSPi1.SPDR 000D 0144h, RSPi2.SPDR 000D 0304h



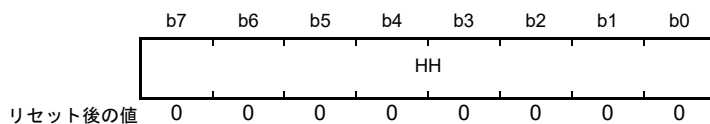
- ワードアクセス時

アドレス RSPi0.SPDR.H 000D 0104h, RSPi1.SPDR.H 000D 0144h, RSPi2.SPDR.H 000D 0304h



- バイトアクセス時

アドレス RSPi0.SPDR.HH 000D 0104h, RSPi1.SPDR.HH 000D 0144h, RSPi2.SPDR.HH 000D 0304h



SPDR レジスタは、RSPi 送受信用のデータを格納するバッファです。

ロングワードアクセス (SPLW ビットが“1”、SPBYT ビットが“0”) のときは、SPDR を 32 ビット単位でアクセスしてください。

ワードアクセス (SPLW ビットが“0”、SPBYT ビットが“0”) のときは、SPDR.H を 16 ビット単位でアクセスしてください。

バイトアクセス (SPBYT ビットが“1”) のときは、SPDR.HH を 8 ビット単位でアクセスしてください。

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 40.2 に示します。

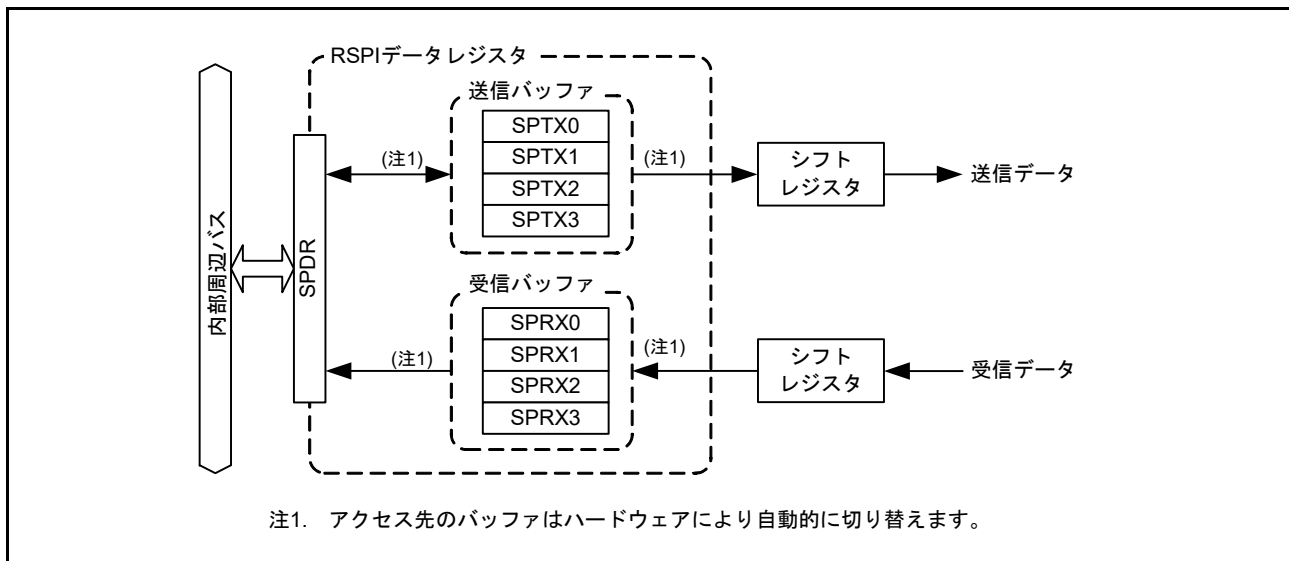


図 40.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ4バッファあります。使用するバッファ数は、RSPIデータコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計8バッファが1アドレスにマッピングされています。

送信バッファ SPTX n ($n=0\sim3$) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバーラン発生時は、受信バッファの値を更新しません。

また、データ長が32ビット以外の場合、SPRX n ($n=0\sim3$) の非参照ビットには、SPTX n ($n=0\sim3$) の非参照ビットが格納されます。

たとえば、データ長が9ビットのデータを受信した場合は SPRX n [8:0] には受信データが格納され、SPRX n [31:9] に SPTX n [31:9] が格納されます。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、SPDCR.SPLW ビット、SPDCR.SPBYP ビットで設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書き込むことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポイントがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 40.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

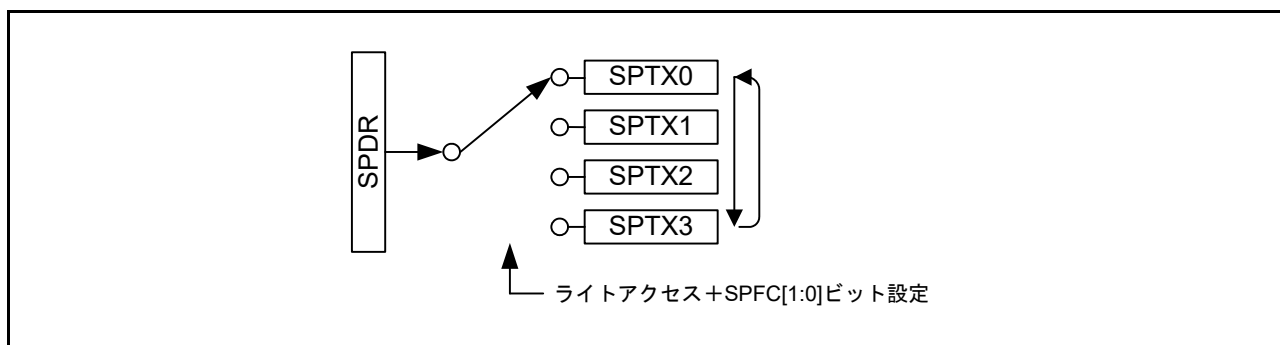


図 40.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポイントの切り替え順序は、RSPId データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ SPTX3 の切り替え順序
 - SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .
 - SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPId 制御レジスタの RSPId 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF フラグが “1” になった後)、RSPId データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 40.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

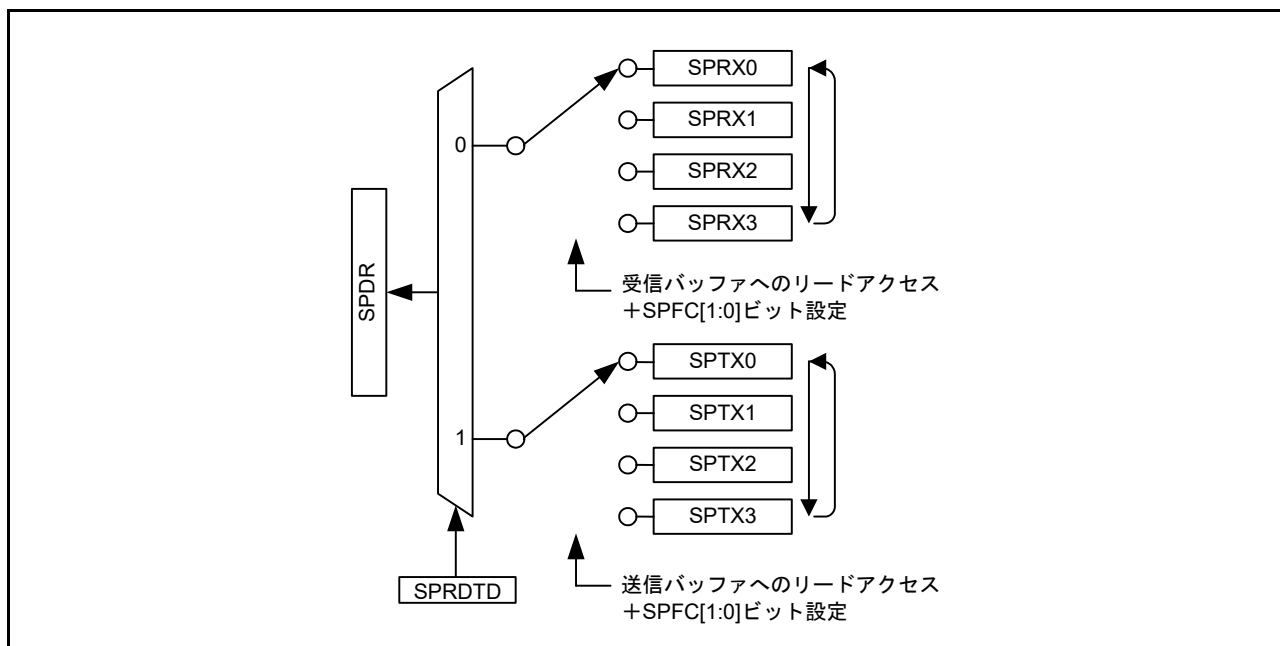


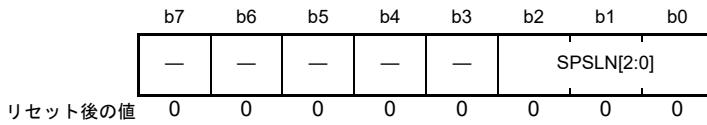
図 40.4 SPDR レジスタの構成図 (リード時)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファの読み出し値は、すべて “0” となります。

40.2.6 RSPi シーケンス制御レジスタ (SPSCR)

アドレス RSPi0.SPSCR 000D 0108h, RSPi1.SPSCR 000D 0148h, RSPi2.SPSCR 000D 0308h



ビット	シンボル	ビット名	機能	R/W																																				
b2-b0	SPSLN[2:0]	RSPiシーケンス長設定ビット	<table border="0" style="width: 100%; font-size: small;"> <tr> <td style="width: 10%;">b2</td> <td style="width: 10%;">b0</td> <td style="width: 30%;">シーケンス長</td> <td style="width: 50%;">参照するSPCMD0~7レジスタ(番号)</td> </tr> <tr> <td>0 0 0 :</td> <td>1</td> <td>0→0→...</td> <td>0→0→...</td> </tr> <tr> <td>0 0 1 :</td> <td>2</td> <td>0→1→0→...</td> <td>0→1→0→...</td> </tr> <tr> <td>0 1 0 :</td> <td>3</td> <td>0→1→2→0→...</td> <td>0→1→2→0→...</td> </tr> <tr> <td>0 1 1 :</td> <td>4</td> <td>0→1→2→3→0→...</td> <td>0→1→2→3→0→...</td> </tr> <tr> <td>1 0 0 :</td> <td>5</td> <td>0→1→2→3→4→0→...</td> <td>0→1→2→3→4→0→...</td> </tr> <tr> <td>1 0 1 :</td> <td>6</td> <td>0→1→2→3→4→5→0→...</td> <td>0→1→2→3→4→5→0→...</td> </tr> <tr> <td>1 1 0 :</td> <td>7</td> <td>0→1→2→3→4→5→6→0→...</td> <td>0→1→2→3→4→5→6→0→...</td> </tr> <tr> <td>1 1 1 :</td> <td>8</td> <td>0→1→2→3→4→5→6→7→0→...</td> <td>0→1→2→3→4→5→6→7→0→...</td> </tr> </table> <p>設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPiが参照するSPCMD0~7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPiでは、SPCMD0レジスタが参照されません。</p>	b2	b0	シーケンス長	参照するSPCMD0~7レジスタ(番号)	0 0 0 :	1	0→0→...	0→0→...	0 0 1 :	2	0→1→0→...	0→1→0→...	0 1 0 :	3	0→1→2→0→...	0→1→2→0→...	0 1 1 :	4	0→1→2→3→0→...	0→1→2→3→0→...	1 0 0 :	5	0→1→2→3→4→0→...	0→1→2→3→4→0→...	1 0 1 :	6	0→1→2→3→4→5→0→...	0→1→2→3→4→5→0→...	1 1 0 :	7	0→1→2→3→4→5→6→0→...	0→1→2→3→4→5→6→0→...	1 1 1 :	8	0→1→2→3→4→5→6→7→0→...	0→1→2→3→4→5→6→7→0→...	R/W
b2	b0	シーケンス長	参照するSPCMD0~7レジスタ(番号)																																					
0 0 0 :	1	0→0→...	0→0→...																																					
0 0 1 :	2	0→1→0→...	0→1→0→...																																					
0 1 0 :	3	0→1→2→0→...	0→1→2→0→...																																					
0 1 1 :	4	0→1→2→3→0→...	0→1→2→3→0→...																																					
1 0 0 :	5	0→1→2→3→4→0→...	0→1→2→3→4→0→...																																					
1 0 1 :	6	0→1→2→3→4→5→0→...	0→1→2→3→4→5→0→...																																					
1 1 0 :	7	0→1→2→3→4→5→6→0→...	0→1→2→3→4→5→6→0→...																																					
1 1 1 :	8	0→1→2→3→4→5→6→7→0→...	0→1→2→3→4→5→6→7→0→...																																					
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																				

SPSCRレジスタは、RSPiがマスターモードで動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPEビットがともに“1”の状態において、SPSCR.SPSSLN[2:0]ビットを書き換える場合、SPSR.IDLNFフラグが“0”の状態書き換えてください。

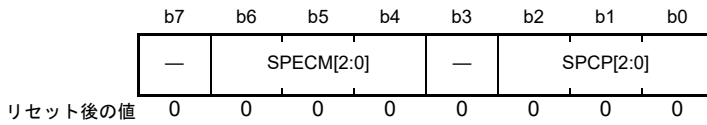
SPSLN[2:0] ビット (RSPi シーケンス長設定ビット)

マスターモードのRSPiがシーケンス動作する場合のシーケンス長を設定します。マスターモードのRSPiはSPSLN[2:0]ビットで設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。

スレーブモードでは、SPCMD0レジスタが参照されます。

40.2.7 RSPi シーケンスステータスレジスタ (SPSSR)

アドレス RSPi0.SPSSR 000D 0109h, RSPi1.SPSSR 000D 0149h, RSPi2.SPSSR 000D 0309h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPiコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPiエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPi がマスターモードで動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPi コマンドポインタビット)

RSPi のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
なお、RSPi のシーケンス制御については、「40.3.12.1 マスターモード動作」を参照してください。

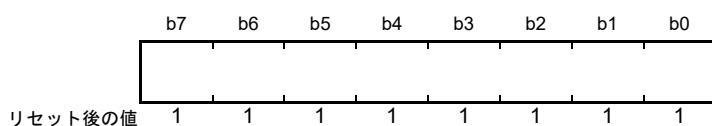
SPECM[2:0] ビット (RSPi エラーコマンドビット)

RSPi のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPi は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPi のエラー検出機能については、「40.3.10 エラー検出」を参照してください。また、RSPi のシーケンス制御については、「40.3.12.1 マスターモード動作」を参照してください。

40.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 000D 010Ah, RSPI1.SPBR 000D 014Ah, RSPI2.SPBR 000D 030Ah



SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR、SPE ビットがともに“1”の場合、SPBR レジスタを書き換えしないでください。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートを使用してください)

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0, 1, 2, …, 255)、N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 40.3 に示します。相手デバイスの AC スペックを考慮の上、電気的特性を満足するビットレートを使用してください。

表 40.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタ の設定値 (n)	BRDV[1:0] ビットの 設定値 (N)	分周比	ビットレート							
			PCLK = 32 MHz	PCLK = 36 MHz	PCLK = 40 MHz	PCLK = 50 MHz	PCLK = 60 MHz	PCLK = 80 MHz	PCLK = 100 MHz	PCLK = 120 MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps	25.0 Mbps	30.0 Mbps	40.0 Mbps	—	—
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps	15.0 Mbps	20.0 Mbps	25.0 Mbps	30.0 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps	10.0 Mbps	13.3 Mbps	16.7 Mbps	20.0 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps	7.50 Mbps	10.0 Mbps	12.5 Mbps	15.0 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps	6.00 Mbps	8.00 Mbps	10.0 Mbps	12.0 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps	5.00 Mbps	6.67 Mbps	8.33 Mbps	10.0 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps	2.50 Mbps	3.33 Mbps	4.17 Mbps	5.00 Mbps
5	2	48	667 kbps	750 kbps	833 kbps	1.04 Mbps	1.25 Mbps	1.67 Mbps	2.08 Mbps	2.50 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps	625 kbps	833 kbps	1.04 Mbps	1.25 Mbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps	14.6 kbps	19.5 kbps	24.4 kbps	29.3 kbps

40.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 000D 010Bh, RSPI1.SPDCR 000D 014Bh, RSPI2.SPDCR 000D 030Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	SPBYT	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ ワードアクセス設定ビット(注1)	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b6	SPBYT	RSPIバイトアクセス設定ビット	0 : SPDRレジスタへはワードアクセスまたはロングワードアクセス(SPLWビット有効) 1 : SPDRレジスタへはバイトアクセス(SPLWビット無効)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SPDRレジスタにワードまたはロングワードでアクセスする場合は、SPBYTビットを“0”にしてください。

SPCMDm.SP[3:0] ビット、SPSCR.SP[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる(1回の転送起動)フレーム数を設定します。SPSCR.SP[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0] ビットの設定により、受信バッファフル割り込みが発生したり、送信バッファエンpty割り込みが発生したり、送信が開始されたりするフレーム数も変更されます。

SPDR レジスタに SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込むと、SPSR.SPTEF フラグが“0”になり送信が開始されます。その後、設定したフレーム数分の送信データがシフトレジスタに転送されると、SPTEF フラグが“1”になり RSPI 送信バッファエンpty割り込みが発生します。

また、SPFC[1:0] ビットで設定したフレーム数分の受信を行うと、SPSR.SPRF フラグが“1”になり受信バッファフル割り込みが発生します。

表 40.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定はしないでください。

表40.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで 転送するフレーム数	送信バッファ、受信バッファが 「有効データあり」になるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPi 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前 (SPSR.SPTEF フラグが“1”の期間) に行ってください。

詳細は、「40.2.5 RSPi データレジスタ (SPDR)」を参照してください。

SPLW ビット (RSPi ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPBYT ビットが“0”のとき有効です。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPi データ長設定ビット) の設定は、8～16 ビットに設定してください。20、24、32 ビットは選択しないでください。

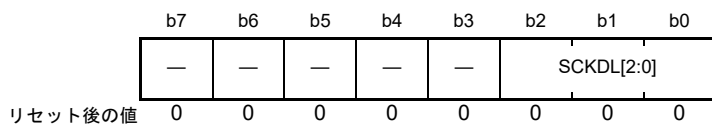
SPBYT ビット (RSPi バイトアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPBYT ビットが“0”のときは、SPLW ビットの設定に従って SPDR レジスタにアクセスしてください。SPBYT ビットが“1”のときは、バイトアクセスで SPDR レジスタにアクセスしてください。

また、SPBYT ビットが“1”のとき、SPCMDm.SPB[3:0] ビット (RSPi データ長設定ビット) の設定は、8 ビットに設定してください。9～16、20、24、32 ビットは選択しないでください。

40.2.10 RSPi クロック遅延レジスタ (SPCKD)

アドレス RSPi0.SPCKD 000D 010Ch, RSPi1.SPCKD 000D 014Ch, RSPi2.SPCKD 000D 030Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLxi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SPCKD レジスタを書き換えしないでください。

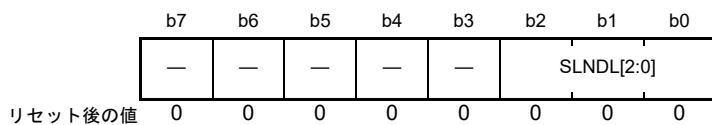
SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPi をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

40.2.11 RSPi スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPi0.SSLND 000D 010Dh, RSPi1.SSLND 000D 014Dh, RSPi2.SSLND 000D 030Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLNDレジスタは、マスタモードのRSPiがシリアル転送の最終RSPCKエッジを送出してからSSLxi信号をネゲートするまでの期間(SSLネゲート遅延)を設定するためのレジスタです。SPCR.MSTRビットと、SPCR.SPEビットが“1”の場合、SSLNDレジスタを書き換えしないでください。

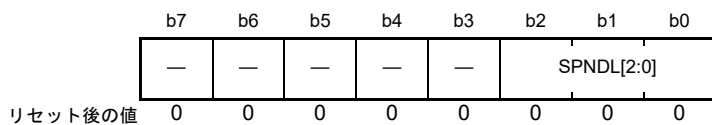
SLNDL[2:0]ビット(SSLネゲート遅延設定ビット)

SPCMDm.SLNDENビットが“1”の場合のSSLネゲート遅延値を設定します。

RSPiをスレーブモードで使用する場合には、SLNDL[2:0]ビットを“000b”にしてください。

40.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 000D 010Eh, RSPI1.SPND 000D 014Eh, RSPI2.SPND 000D 030Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK + 2 PCLK 0 0 1 : 2 RSPCK + 2 PCLK 0 1 0 : 3 RSPCK + 2 PCLK 0 1 1 : 4 RSPCK + 2 PCLK 1 0 0 : 5 RSPCK + 2 PCLK 1 0 1 : 6 RSPCK + 2 PCLK 1 1 0 : 7 RSPCK + 2 PCLK 1 1 1 : 8 RSPCK + 2 PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態、シリアル転送終了後の SSLxi 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SPND レジスタを書き換えしないでください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

40.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 000D 010Fh, RSPI1.SPCR2 000D 014Fh, RSPI2.SPCR2 000D 030Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SCKAS E	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット(注1)	0: 送信データにパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加する 受信データのパリティチェックを行う	R/W
b1	SPOE	パリティモードビット(注1)	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	アイドル割り込み許可ビット	0: アイドル割り込み要求の生成を禁止 1: アイドル割り込み要求の生成を許可	R/W
b3	PTE	パリティ自己診断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b4	SCKASE	RSPCK 自動停止機能許可ビット (注1)	0: RSPCK 自動停止機能が無効 1: RSPCK 自動停止機能が有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SPCR.SPE ビットが“1”の場合、SPPE、SPOE、SCKASE ビットの設定値を変更しないでください。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、アイドル割り込み要求の生成を許可 / 禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する直前のタイミングで RSPCK クロックが停止します。詳細は「40.3.10.1 オーバランエラー」を参照ください。

40.2.14 RSPi コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)

アドレス RSPi0.SPCMD0 000D 0110h, RSPi0.SPCMD1 000D 0112h, RSPi0.SPCMD2 000D 0114h, RSPi0.SPCMD3 000D 0116h, RSPi0.SPCMD4 000D 0118h, RSPi0.SPCMD5 000D 011Ah, RSPi0.SPCMD6 000D 011Ch, RSPi0.SPCMD7 000D 011Eh, RSPi1.SPCMD0 000D 0150h, RSPi1.SPCMD1 000D 0152h, RSPi1.SPCMD2 000D 0154h, RSPi1.SPCMD3 000D 0156h, RSPi1.SPCMD4 000D 0158h, RSPi1.SPCMD5 000D 015Ah, RSPi1.SPCMD6 000D 015Ch, RSPi1.SPCMD7 000D 015Eh, RSPi2.SPCMD0 000D 0310h, RSPi2.SPCMD1 000D 0312h, RSPi2.SPCMD2 000D 0314h, RSPi2.SPCMD3 000D 0316h, RSPi2.SPCMD4 000D 0318h, RSPi2.SPCMD5 000D 031Ah, RSPi2.SPCMD6 000D 031Ch, RSPi2.SPCMD7 000D 031Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA		
0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0 : 奇数エッジでデータサンプル、偶数エッジでデータ変化 1 : 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0 : アイドル時のRSPCKがLow 1 : アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0 : ベースのビットレートを選択 0 1 : ベースのビットレートの2分周を選択 1 0 : ベースのビットレートの4分周を選択 1 1 : ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0 : SSL0 0 0 1 : SSL1 0 1 0 : SSL2 0 1 1 : SSL3 1 x x : 設定しないでください	R/W
b7	SSLKP	SSL信号レベル保持ビット	0 : 転送終了時に全SSL信号をネゲート 1 : 転送終了後から次アクセス開始までSSL信号レベルを保持(バースト転送)	R/W
b11-b8	SPB[3:0]	RSPiデータ長設定ビット	b11 b8 0100~0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010, 0011 : 32ビット	R/W
b12	LSBF	RSPi LSBファーストビット	0 : MSBファースト 1 : LSBファースト	R/W
b13	SPNDEN	RSPi次アクセス遅延許可ビット	0 : 次アクセス遅延は1 RSPCK + 2 PCLK 1 : 次アクセス遅延はRSPi次アクセス遅延レジスタ (SPND)の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0 : SSLネゲート遅延は1 RSPCK 1 : SSLネゲート遅延はRSPiスレーブセレクトネゲート遅延レジスタ (SSLND)の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0 : RSPCK遅延は1 RSPCK 1 : RSPCK遅延はRSPiクロック遅延レジスタ (SPCKD)の設定値	R/W

x : Don't care

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャンネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが“0”、SPCR.SPE ビットが“1”の場合、SPCMDm レジスタを書き換えしないでください。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「40.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLxi 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLxi 信号のアサートを制御します。SSLxi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを“000b”にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLx0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを“000b”にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLxi 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを“1”とすることによってバースト転送が可能となります。詳細は「40.3.12.1 マスタモード動作の (4) バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを“0”にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードのRSPIの転送データ長を設定します。SPDCR.SPBYT ビットが“1”のときは“0100b”(8ビット)に設定してください。SPDCR.SPBYT ビットが“0”、かつSPDCR.SPLW ビットが“0”のときは、“0100b”(8ビット)～“1111b”(16ビット)の範囲で値を設定してください。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードのRSPIのデータフォーマットを、MSB ファーストにするかLSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードのRSPIがシリアル転送を終了してSSLxi信号を非アクティブにしてから、次アクセスのSSLxi信号アサートを可能にするまでの期間(次アクセス遅延)を設定します。SPNDEN ビットが“0”のとき、RSPIは次アクセス遅延を1RSPCK+2PCLKにします。SPNDEN ビットが“1”のとき、RSPIはSPNDレジスタの設定に従った次アクセス遅延を挿入します。

RSPIをスレーブモードで使用する場合には、SPNDEN ビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードのRSPIが、RSPCKを発振停止してからSSLxi信号を非アクティブにするまでの期間(SSLネゲート遅延)を設定します。SLNDEN ビットが“0”のとき、RSPIはSSLネゲート遅延を1RSPCKにします。SLNDEN ビットが“1”のとき、RSPIはSSLNDレジスタの設定に従ったRSPCK遅延でSSLをネゲートします。

RSPIをスレーブモードで使用する場合には、SLNDEN ビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードのRSPIが、SSLxi信号をアクティブにしてからRSPCKを発振するまでの期間(RSPCK遅延)を設定します。SCKDEN ビットが“0”のとき、RSPIはRSPCK遅延を1RSPCKにします。SCKDEN ビットが“1”のとき、RSPIはSPCKDレジスタの設定に従ったRSPCK遅延でRSPCKの発振を開始します。

RSPIをスレーブモードで使用する場合には、SCKDEN ビットを“0”にしてください。

40.2.15 RSPi データコントロールレジスタ 2 (SPDCR2)

アドレス RSPi0.SPDCR2 000D 0120h, RSPi1.SPDCR2 000D 0160h, RSPi2.SPDCR2 000D 0320h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DINV	BYSW
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BYSW	バイトスワップビット	0: SPDRのデータをバイト単位でスワップしない 1: SPDRのデータをバイト単位でスワップする	R/W
b1	DINV	転送データ反転ビット	0: 送信バッファのデータをそのままシフトレジスタに転送、受信したデータをそのまま受信バッファに転送 1: 送信バッファのデータを論理反転してシフトレジスタに転送、受信したデータを論理反転して受信バッファに転送	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPDCR2 レジスタは、送受信データのバイトの並び、データ論理を設定するためのレジスタです。SPCR.SPE ビットが“0”のときに書き換えてください。

BYSW ビット (バイトスワップビット)

送信時は SPDR レジスタに書かれたデータの送信順序を、受信時は受信したデータを SPDR レジスタに転送するときのバイト位置を、変更するためのビットです。SPDCR.SPBYT ビットが“0”のとき有効です。

バイトスワップを使用する場合は、SPCMDm.SPB[3:0] ビットを“1111b”(16 ビット)、“0010b”(32 ビット) または“0011b”(32 ビット) のいずれかに設定してください。また、SPCR2.SPPE ビットは“0”(パリティビットを付加しない)にしてください。

詳細は、「40.3.4.3 バイトスワップ送信」、「40.3.4.4 バイトスワップ受信」を参照してください。

DINV ビット (転送データ反転ビット)

送受信バッファとシフトレジスタ間のデータ転送時に、各ビットの論理反転を行うビットです。

パリティビットはシフトレジスタに転送された後のデータに対して付加されます。また、パリティチェックもシフトレジスタ内のデータに対して行われます。

40.2.16 RSPI 制御レジスタ 3 (SPCR3)

アドレス RSPI0.SPCR3 000D 0121h, RSPI1.SPCR3 000D 0161h, RSPI2.SPCR3 000D 0321h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPCIE	—	—	SCKDDIS	RXMD
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXMD	受信動作モード設定ビット (注1)	0: 全二重通信または送信のみの単方向通信(送信回路動作) 1: 受信のみの単方向通信(送信回路停止)	R/W
b1	SCKDDIS	データバイト間RSPCK遅延無効化ビット(注1)	0: バースト転送時のデータバイト間に遅延を入れる 1: バースト転送時のデータバイト間の遅延をなくす	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SPCIE	通信完了割り込み許可ビット	0: 通信完了割り込み要求の生成を禁止 1: 通信完了割り込み要求の生成を許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SPCR.SPEビットが“1”の場合、RXMD、SCKDDISビットの設定値を変更しないでください。

SPCR3 レジスタは、RSPI の動作モードを設定するレジスタです。

RXMD ビット (受信動作モード設定ビット)

送信回路を停止させ、受信回路のみを動作させるためのビットです。スレーブモード時のみ有効です。このビットが“1”のとき、SPCR.TXMD ビットの設定は無視されます。

SCKDDIS ビット (データバイト間 RSPCK 遅延無効化ビット)

バースト転送時に、各データバイト間の遅延を挿入するかしないかを選択するビットです。

マスタモード時かつ SPCMDm.SSLKP ビットが“1”の場合に有効です。スレーブモード時は“0”にしてください。

SPCIE ビット (通信完了割り込み許可ビット)

通信完了割り込み要求の生成を許可/禁止するビットです。

40.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

40.3.1 RSPi 動作の概要

RSPi は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPi のモードは、SPCR.MSTR、MODFEN、SPMS ビットによって設定できます。表 40.5 に RSPi のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 40.5 RSPi のモードと SPCR レジスタの設定の関係および各モードの概要

モード	SPI 動作			クロック同期式動作	
	スレーブ	シングルマスタ	マルチマスタ	スレーブ	マスタ
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 or 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCKx 信号	入力	出力	出力 /Hi-Z(注1)	入力	出力
MOSIx 信号	入力	出力	出力 /Hi-Z(注1)	入力	出力
MISOx 信号	出力 /Hi-Z(注2)	入力	入力	出力	入力
SSLx0 信号	入力	出力	入力	Hi-Z(注3)	Hi-Z(注3)
SSLx1 ~ SSLx3 信号	Hi-Z(注3)	出力	出力 /Hi-Z(注1)	Hi-Z(注3)	Hi-Z(注3)
SSL 極性変更機能	あり	あり	あり	—	—
転送レート	~ PCLK/4	~ PCLK/2	~ PCLK/2	~ PCLK/4	~ PCLK/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種	2 種	2 種	1 種 (CPHA = 1)	2 種
先頭転送ビット	MSB/LSB				
転送データ長	8 ~ 16、20、24、32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネグート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンブティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み	送信バッファエンブティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み	RSPCK 発振	送信バッファエンブティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンブティ検出	あり(注7)	あり	あり	あり(注7)	あり
受信バッファフル検出	あり(注4)				
オーバランエラー検出	あり(注4)	あり(注4、注6)	あり(注4、注6)	あり(注4)	あり(注4、注6)
アンダランエラー検出	あり(注7)	なし	なし	あり(注7)	なし
パリティエラー検出	あり(注4、注5)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1. SSLx0が他のマスタによってアサートされると、端子がHi-Zになります。

注2. SSLx0がネグートされているまたはSPCR.SPEビットが“0”の場合、端子がHi-Zになります。

注3. 本モードでは使用しません。

注4. SPCR.TXMDビットが“1”のときは、受信バッファフル、オーバランエラー、パリティエラーの検出を行いません。

注5. SPCR2.SPPEビットが“0”のときは、パリティエラーの検出を行いません。

注6. SPCR2.SCKASEビットが“1”のときは、オーバランエラーの検出を行いません。

注7. SPCR3.RXMDビットが“1”のときは、送信バッファエンプティとアンダランエラーの検出を行いません。

40.3.2 RSPI 端子の制御

シングルマスタモード(SPI動作)、マルチマスタモード(SPI動作)のRSPIは、SPPCR.MOIFE、MOIFVビットの設定に従って、SSLネゲート期間(バースト転送におけるSSL保持期間を含む)のMOSI信号値を表40.6のように決定します。

表40.6 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSIx信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

40.3.3 RSPI システム構成例

40.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 40.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLx0 ~ SSLx3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを選択できる状態にします。(注1)

本 MCU (マスタ) は、RSPCKx と MOSIx をドライブします。SPI スレーブは、MISO をドライブします。

注1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLxi 出力をスレーブデバイスの SSL 入力に接続してください。

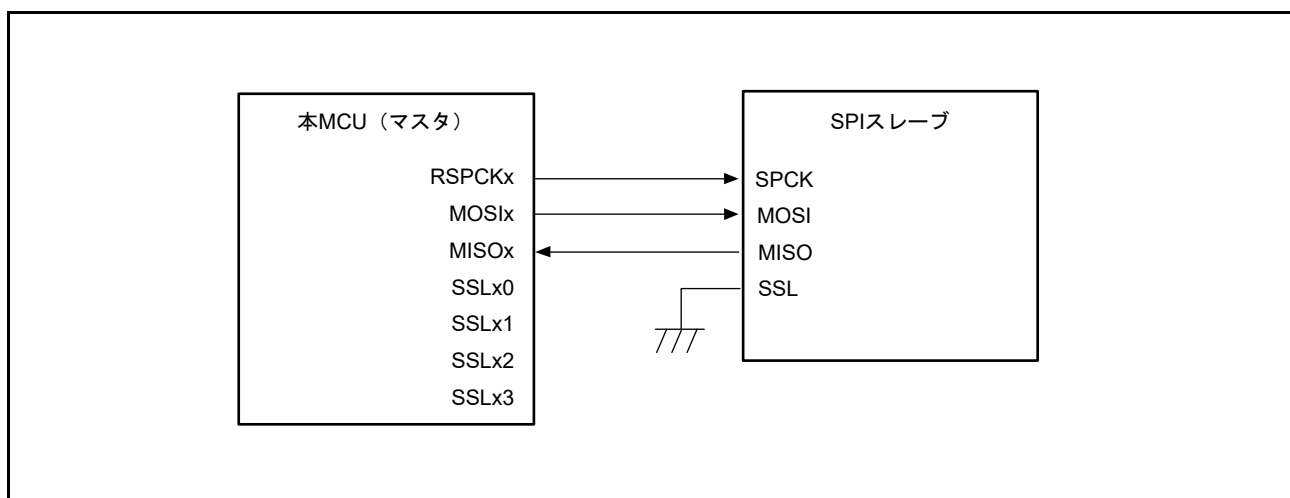


図 40.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

40.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 40.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLx0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI をドライブします。本 MCU (スレーブ) は、MISOx をドライブします。(注 1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLx0 入力を Low に固定して本 MCU (スレーブ) を選択できる状態とし、シリアル転送を実行することも可能です(図 40.7)。ただしこの場合、通信完了割り込みや通信完了イベントは発生しません。

注 1. SSLx0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

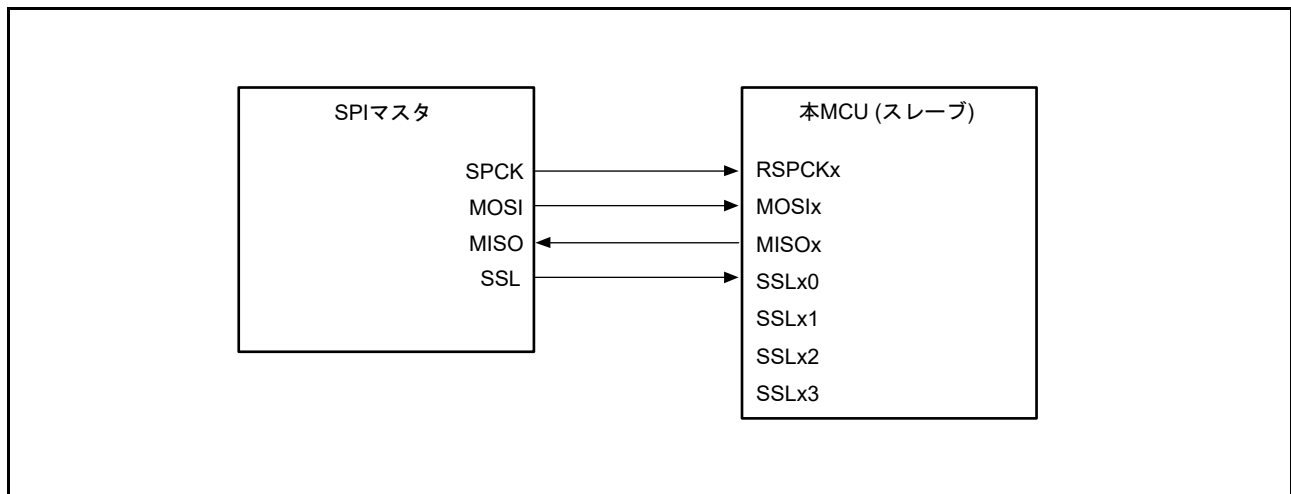


図 40.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

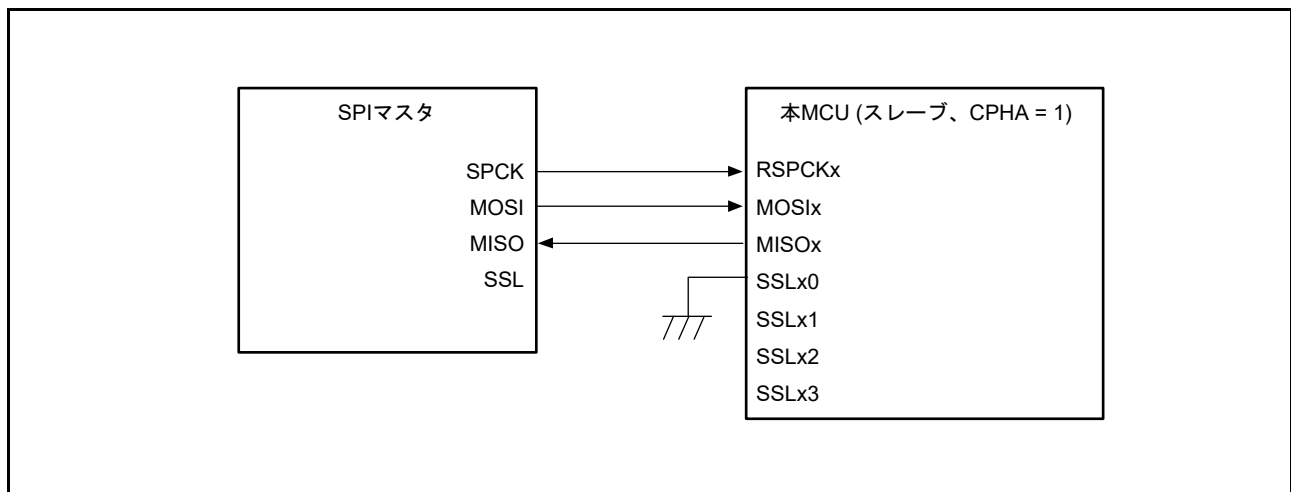


図 40.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

40.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 40.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPi システム構成例を示します。図 40.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPi システムを構成しています。

本 MCU (マスタ) の RSPCKx 出力と MOSIx 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISOx 入力に接続します。本 MCU (マスタ) の SSLx0 ~ SSLx3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCKx、MOSIx、SSLx0 ~ SSLx3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

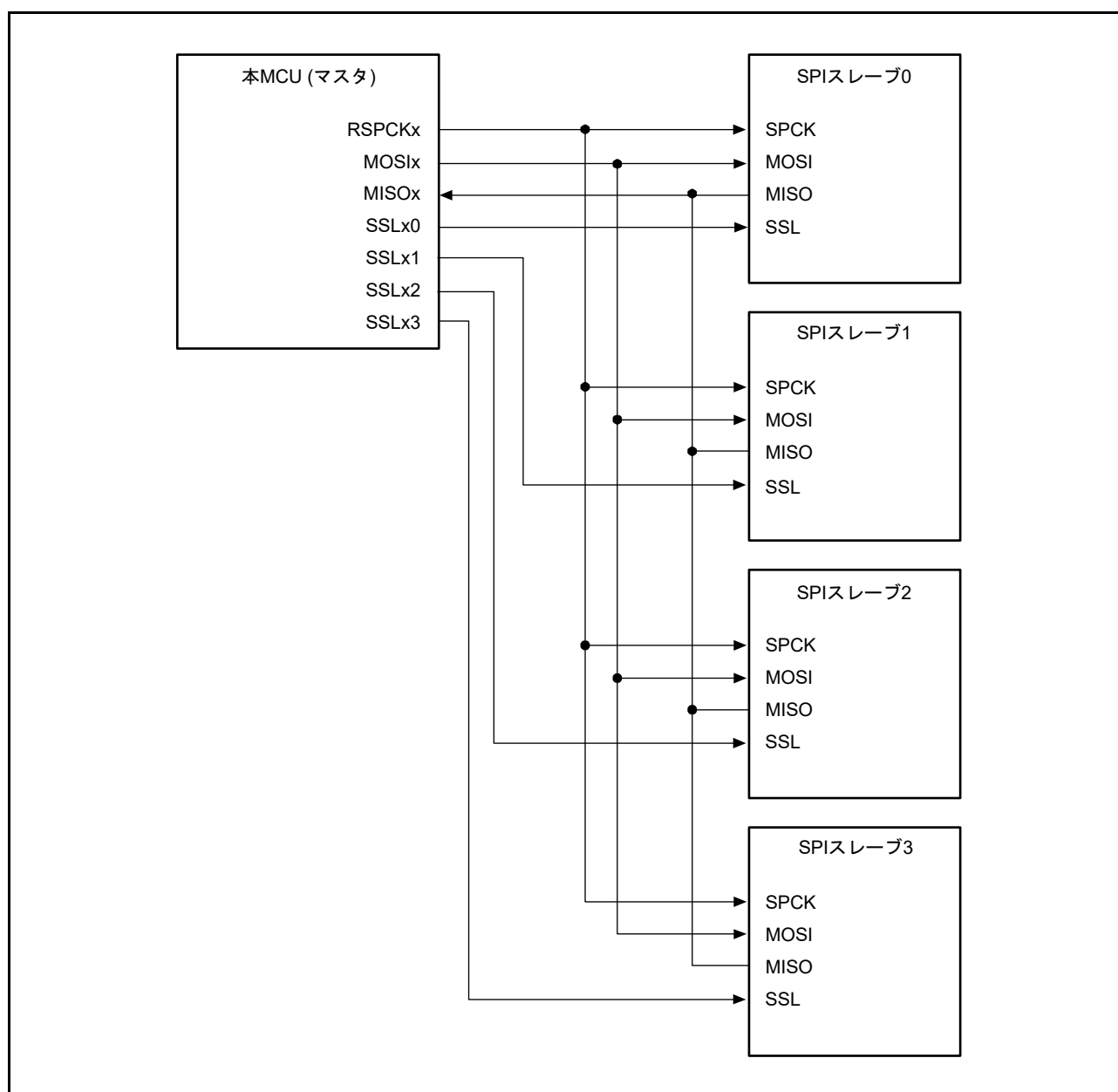


図 40.8 シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

40.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 40.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 40.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCK_x 入力と MOSI_x 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISO_x 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSL_{x0} 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSL_{x0} 入力に Low を入力されているスレーブが、MISO_x をドライブします。

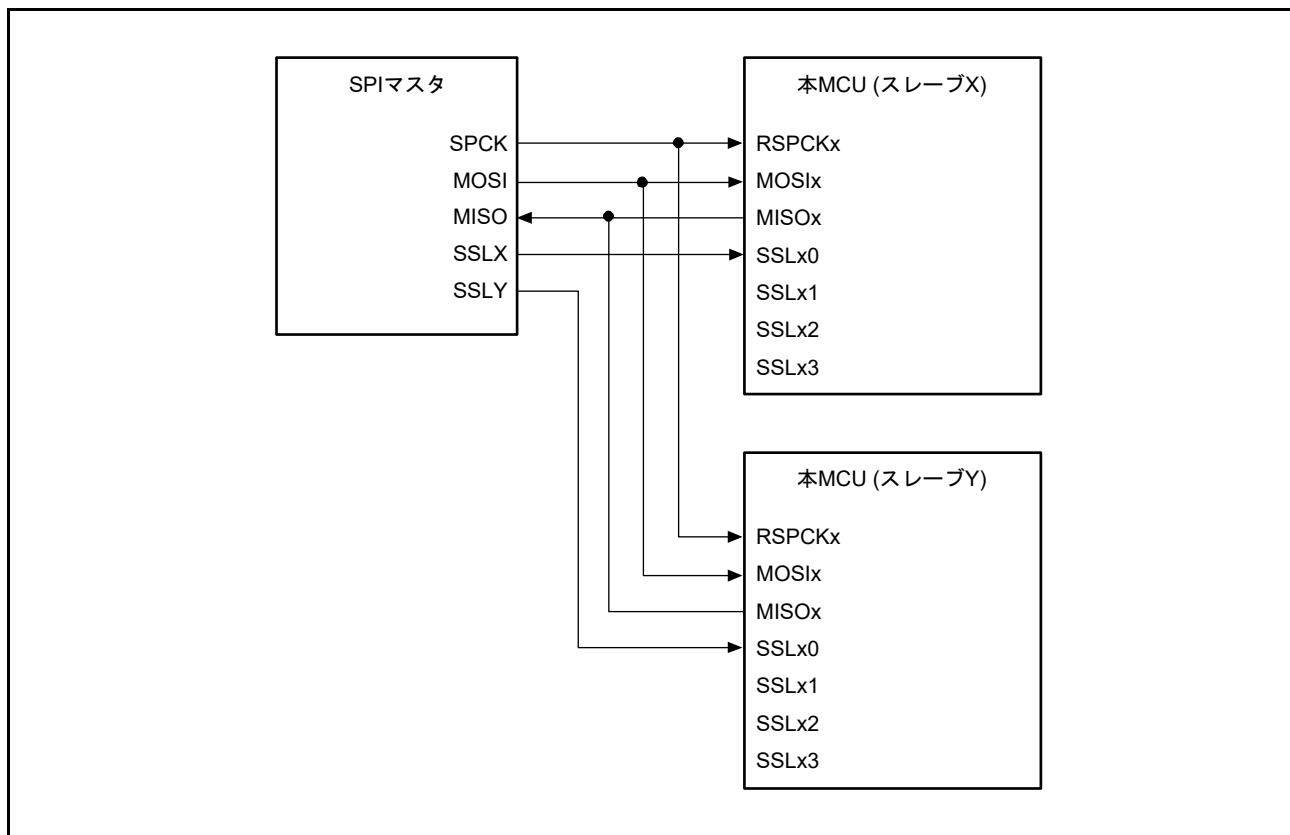


図 40.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

40.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 40.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPi システム構成例を示します。図 40.10 の例では、2つの本 MCU (マスタ X、マスタ Y) と 2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPi システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCK_x 出力と MOSI_x 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISO_x 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSL_{x0} 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSL_{x0} 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSL_{x1} 出力と SSL_{x2} 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL_{x0} 入力、スレーブ接続用の SSL_{x1} 出力、SSL_{x2} 出力のみでシステムを構成できるので、本 MCU の SSL_{x3} 出力を使用していません。

本 MCU は、SSL_{x0} 入力レベルが High の場合には、RSPCK_x、MOSI_x、SSL_{x1}、SSL_{x2} をドライブします。SSL_{x0} 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCK_x、MOSI_x、SSL_{x1}、SSL_{x2} を Hi-Z にして、他方のマスタに RSPi バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

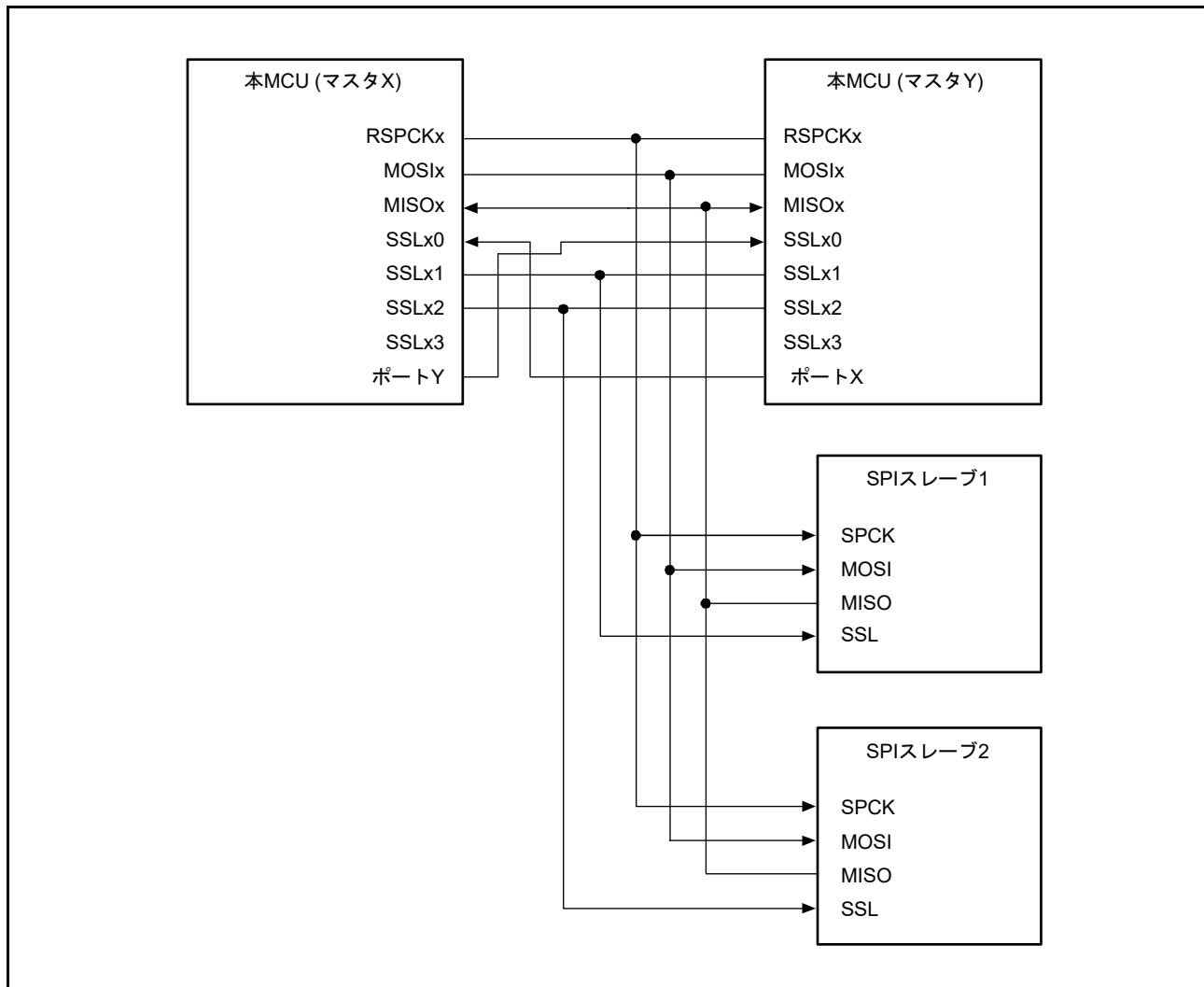


図 40.10 マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

40.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 40.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLx0 ~ SSLx3 は使用しません。

本 MCU (マスタ) は、RSPCKx と MOSIx をドライブします。SPI スレーブは、MISO をドライブします。

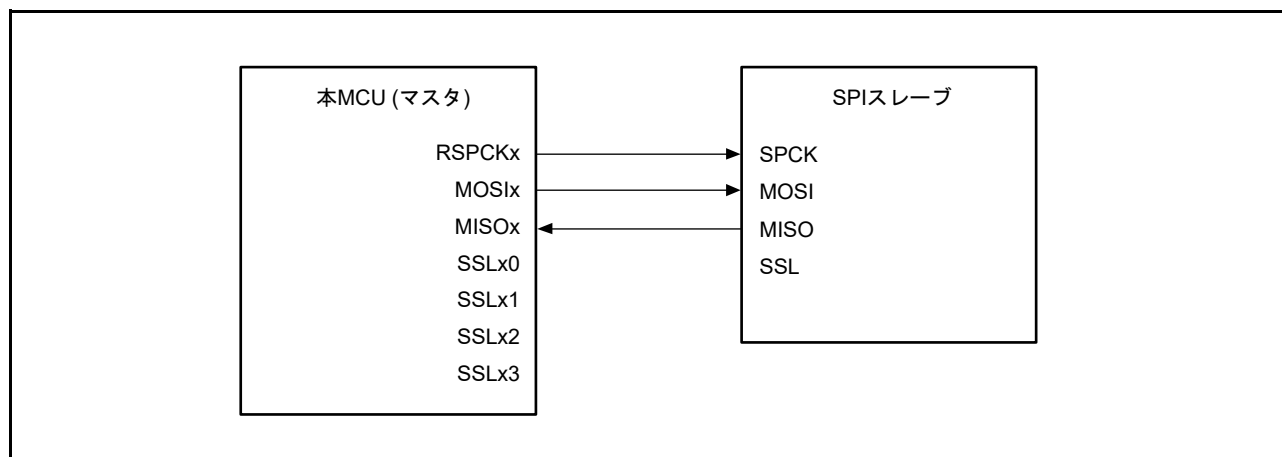


図 40.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

40.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 40.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISOx をドライブし、SPI マスタは、SPCK と MOSI をドライブします。また、本 MCU (スレーブ) の SSLx0 ~ SSLx3 は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

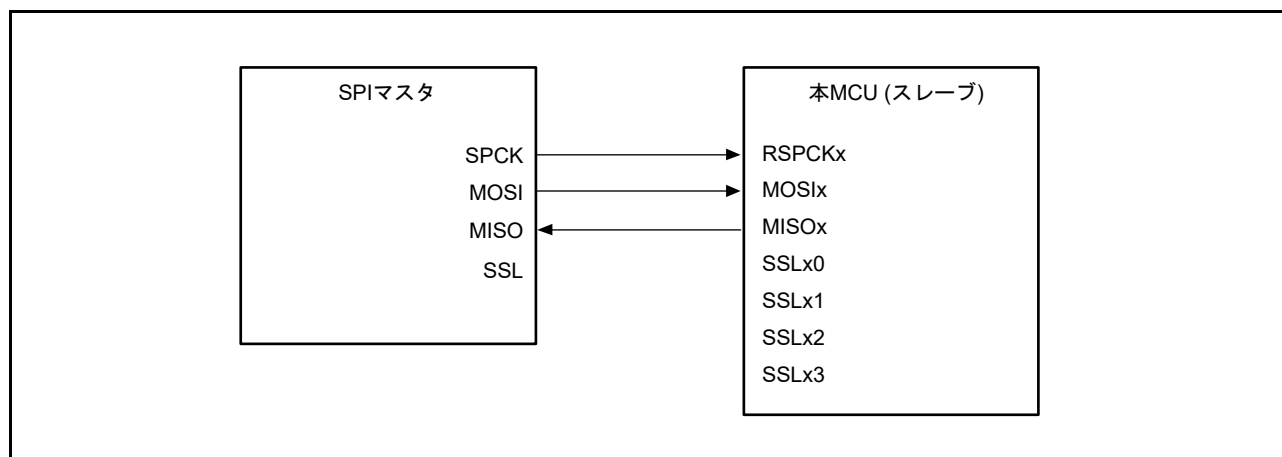


図 40.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例
(本 MCU = スレーブ、CPHA = 1)

40.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE)、RSPI データコントロールレジスタ 2 (SPDCR2) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

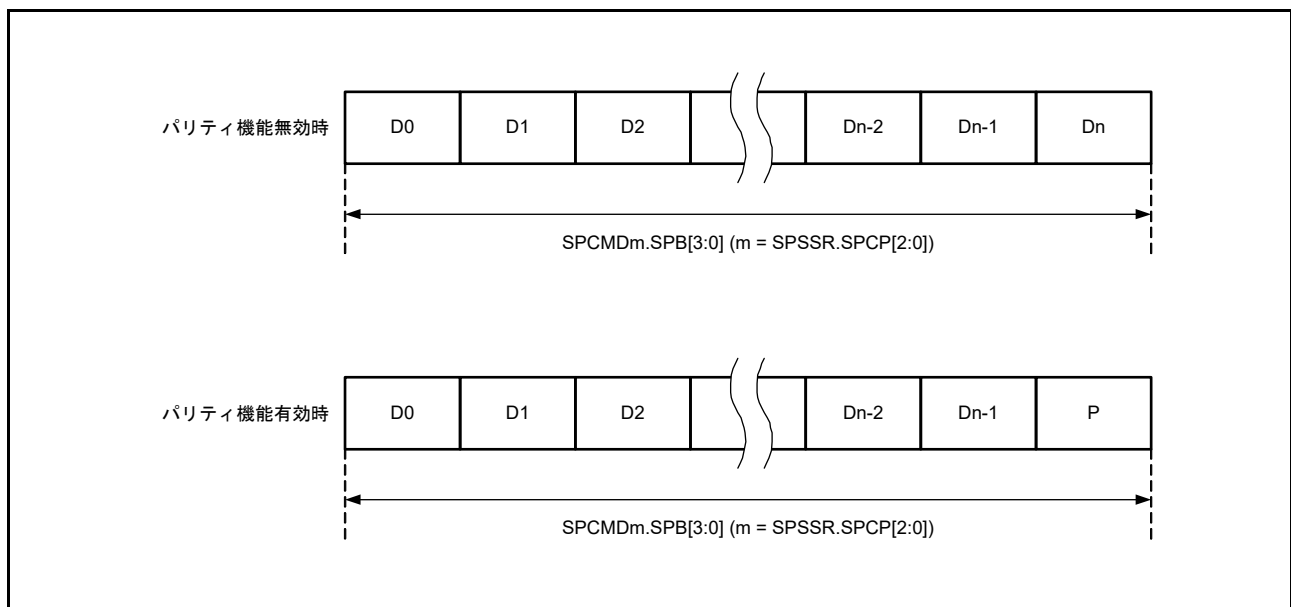


図 40.13 データフォーマット概要 (パリティ機能無効時 / 有効時)

40.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下に RSPi データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送 (32 ビットデータ)

図 40.14 に、パリティ機能無効時、RSPi がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

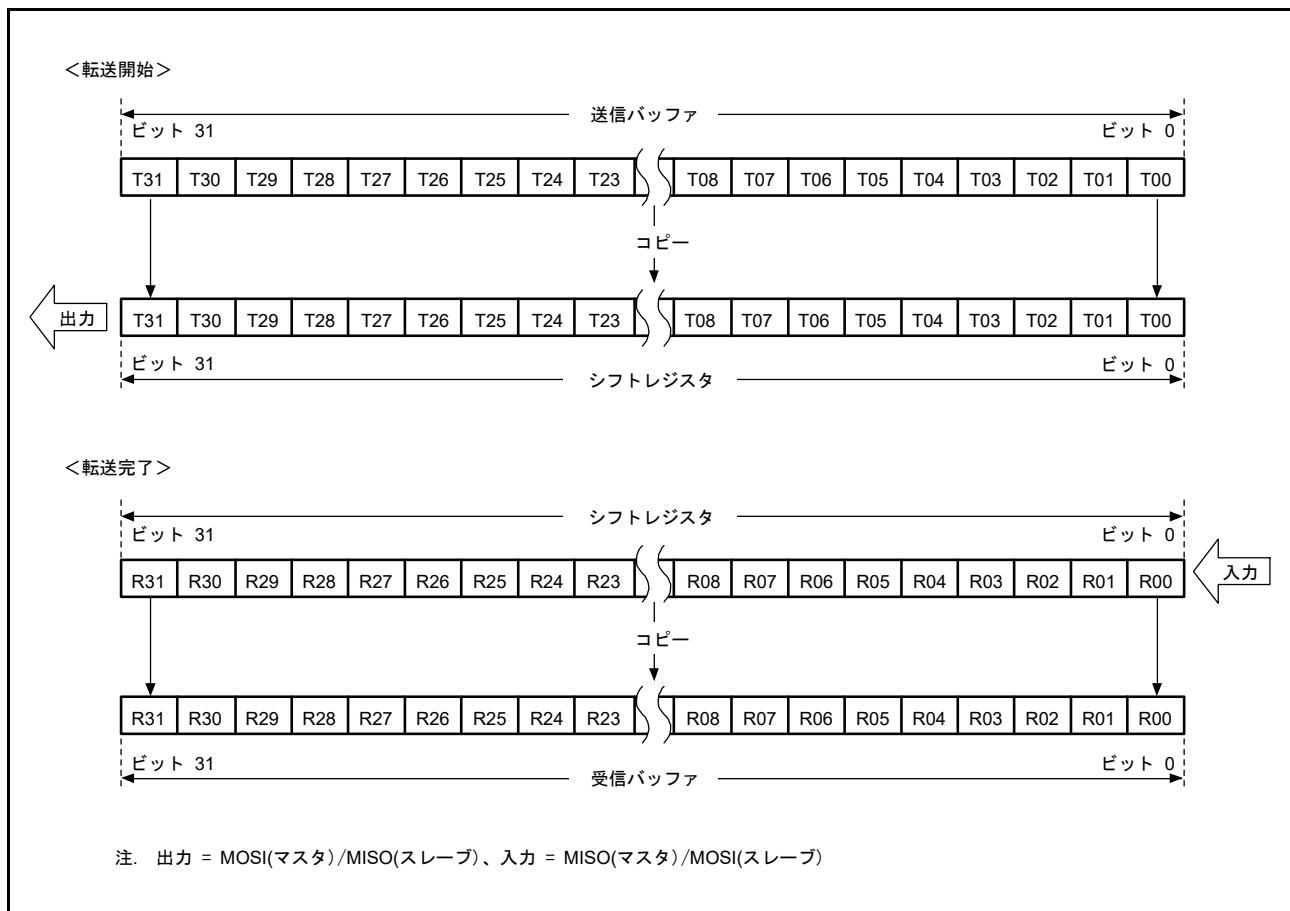


図 40.14 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 40.15 に、RSPId がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPId データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、SPCR3.RXMD ビットが“0”であれば、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。SPCR3.RXMD ビットが“1”であれば、受信バッファの上位 8 ビットには“00h”が格納されます。

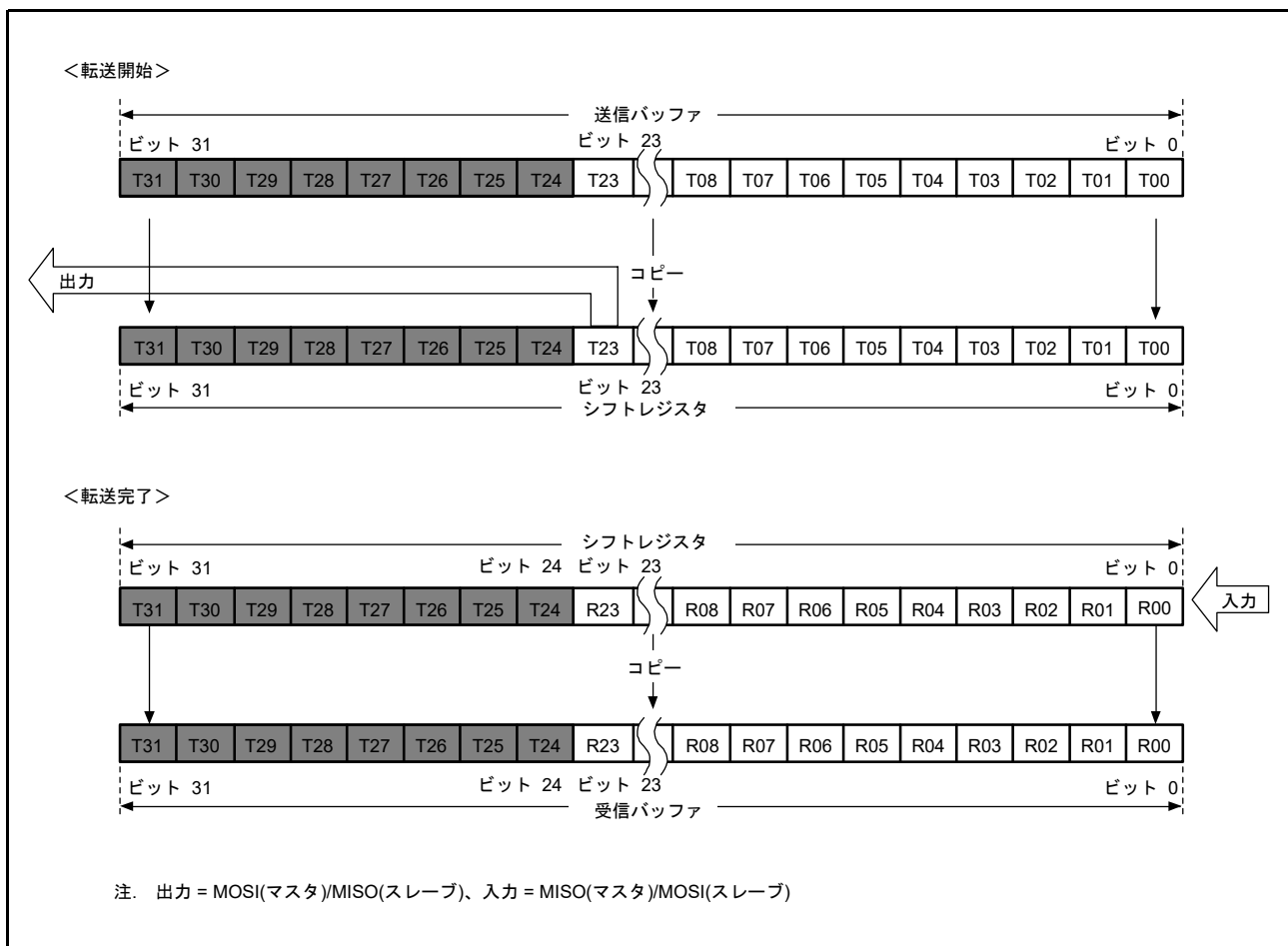


図 40.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 40.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

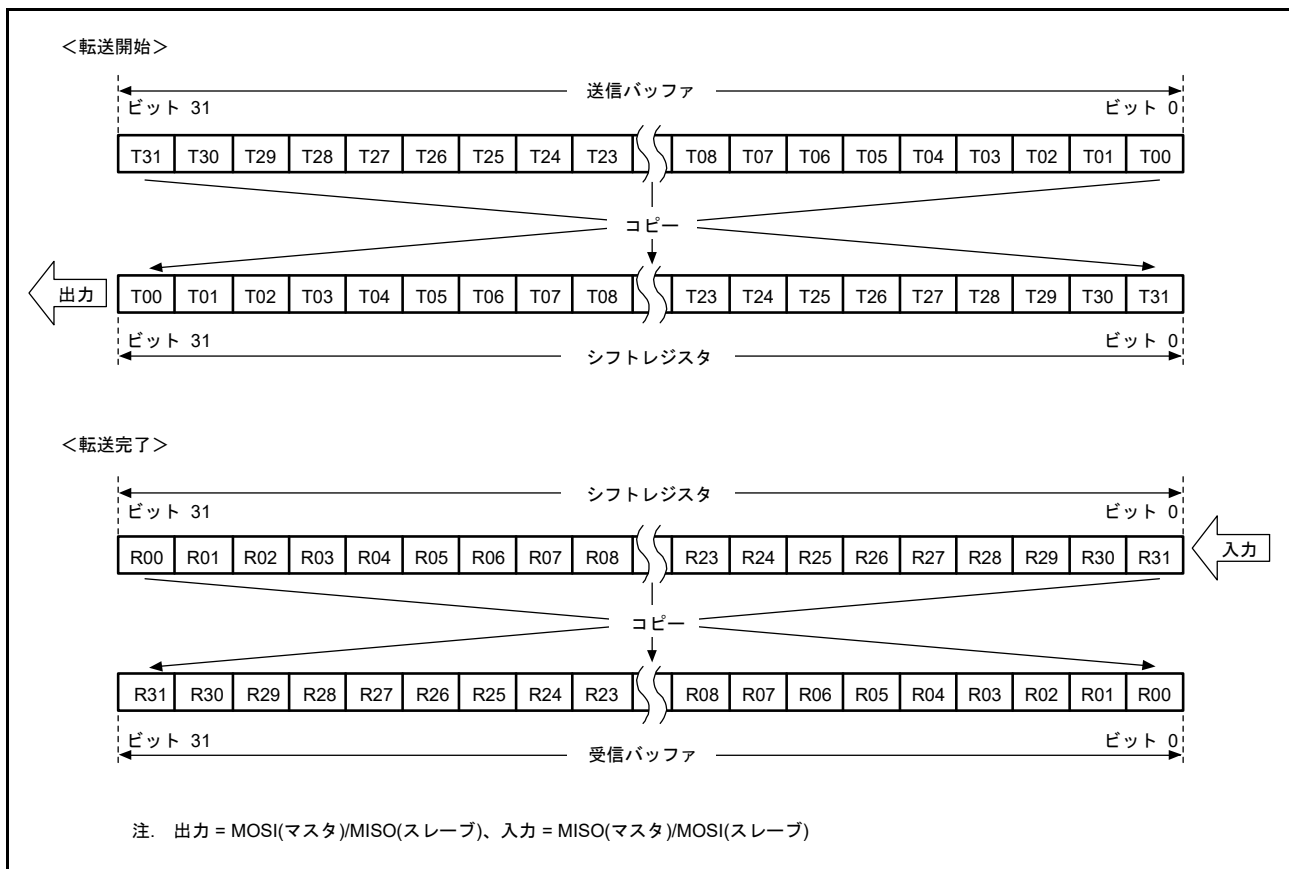


図 40.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 40.17 に、RSPId がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPId データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、SPCR3.RXMD ビットが“0”であれば、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。SPCR3.RXMD ビットが“1”であれば、受信バッファの上位 8 ビットには“00h”が格納されます。

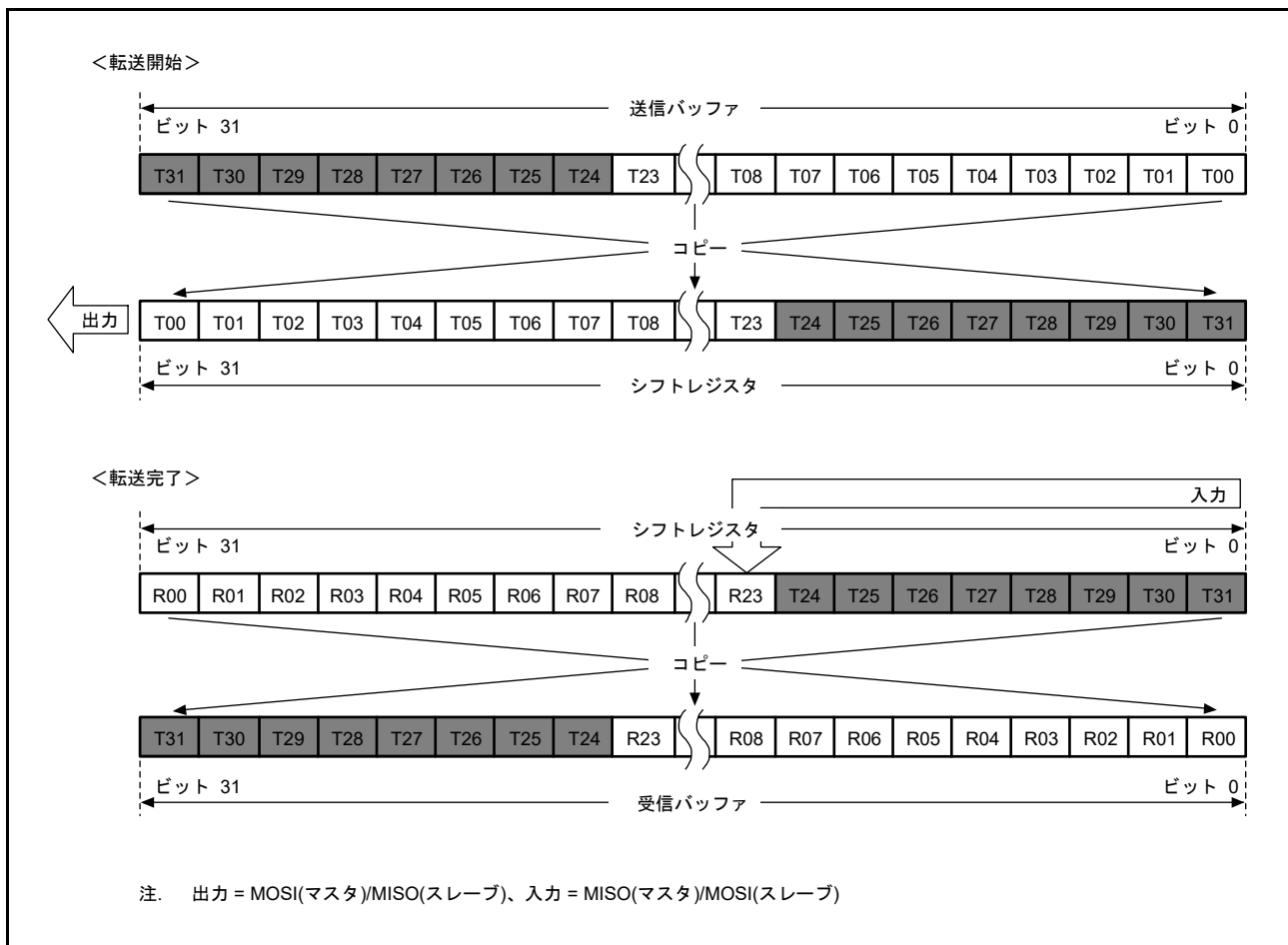


図 40.17 LSB ファースト (24 ビットデータ / パリティ機能無効)

40.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 40.18 に、パリティ機能有効時、RSPi がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPi データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまり、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

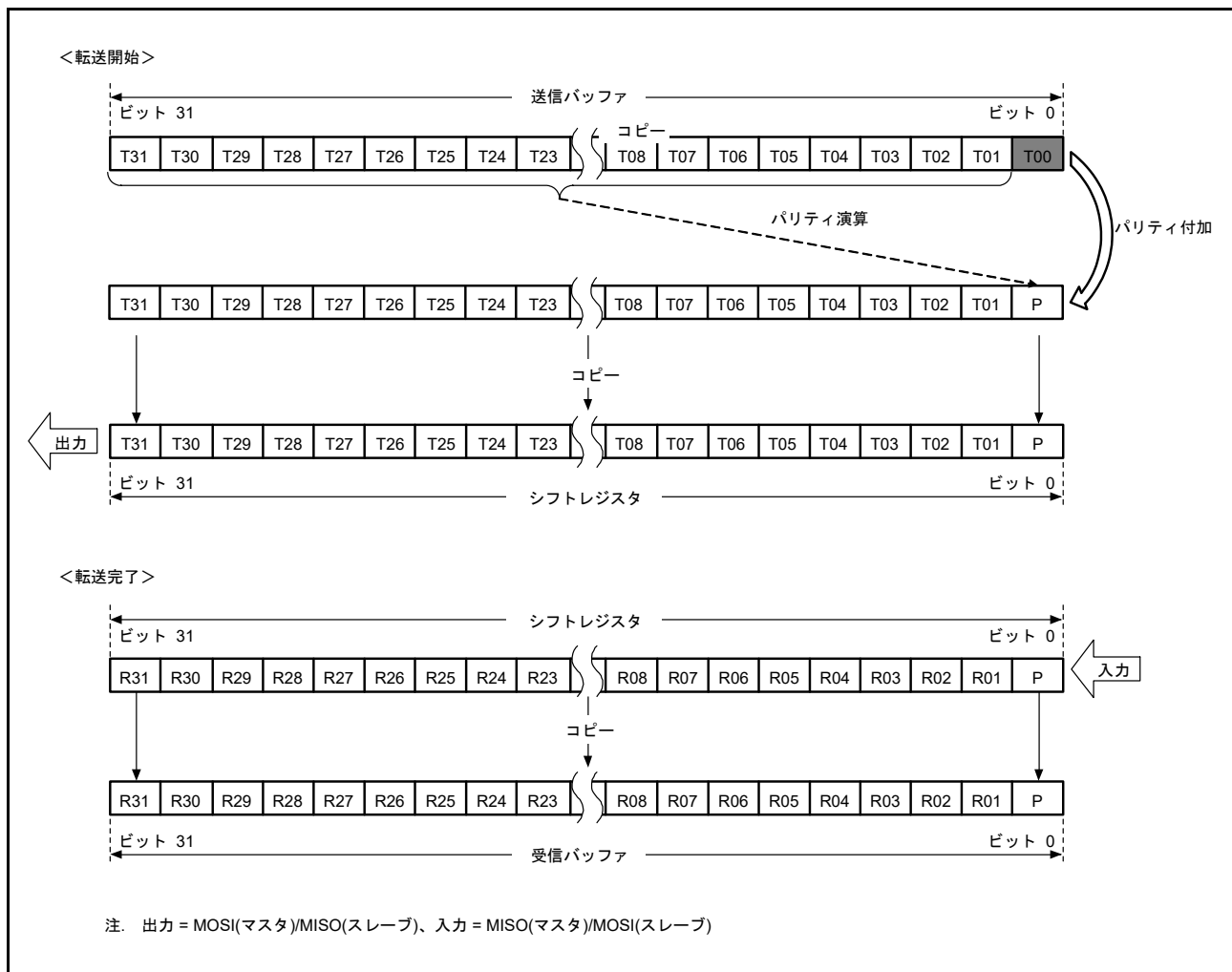


図 40.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 40.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、SPCR3.RXMD ビットが“0”であれば、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。SPCR3.RXMD ビットが“1”であれば、受信バッファの上位 8 ビットには“00h”が格納されます。

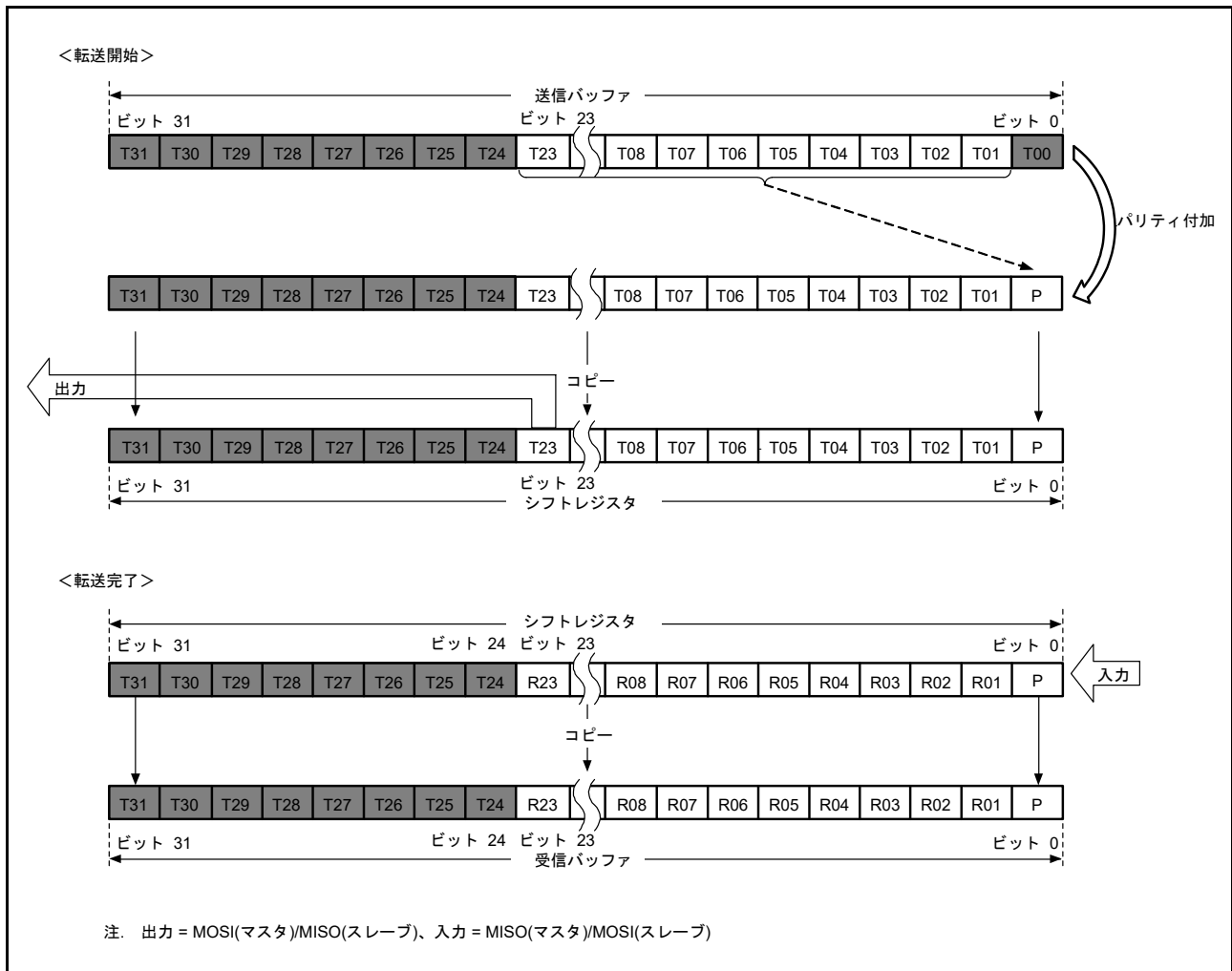


図 40.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 40.20 に、RSPId がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPId データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

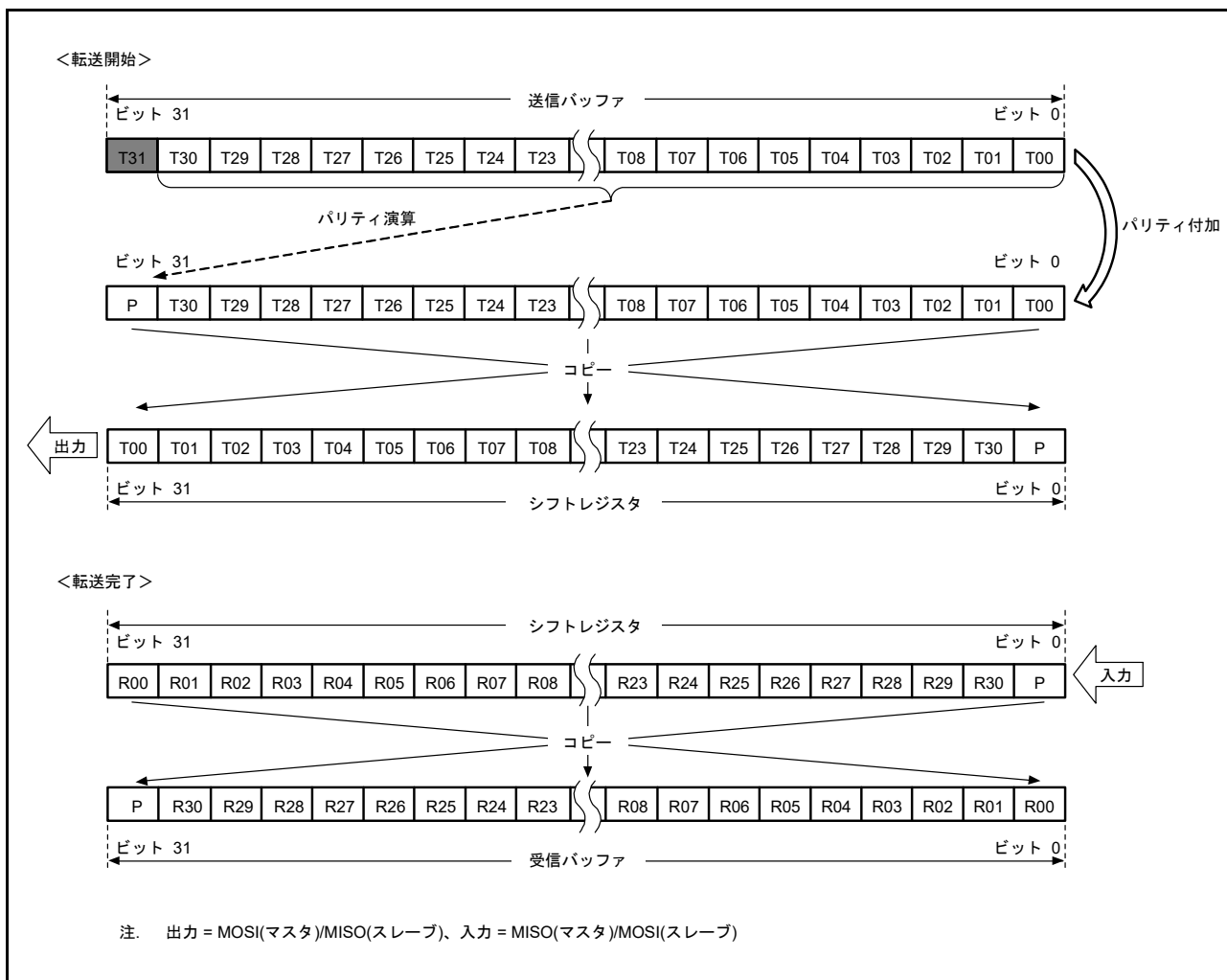


図 40.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 40.21 に、RSPi がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPi データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、SPCR3.RXMD ビットが“0”であれば、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。SPCR3.RXMD ビットが“1”であれば、受信バッファの上位 8 ビットには“00h”が格納されます。

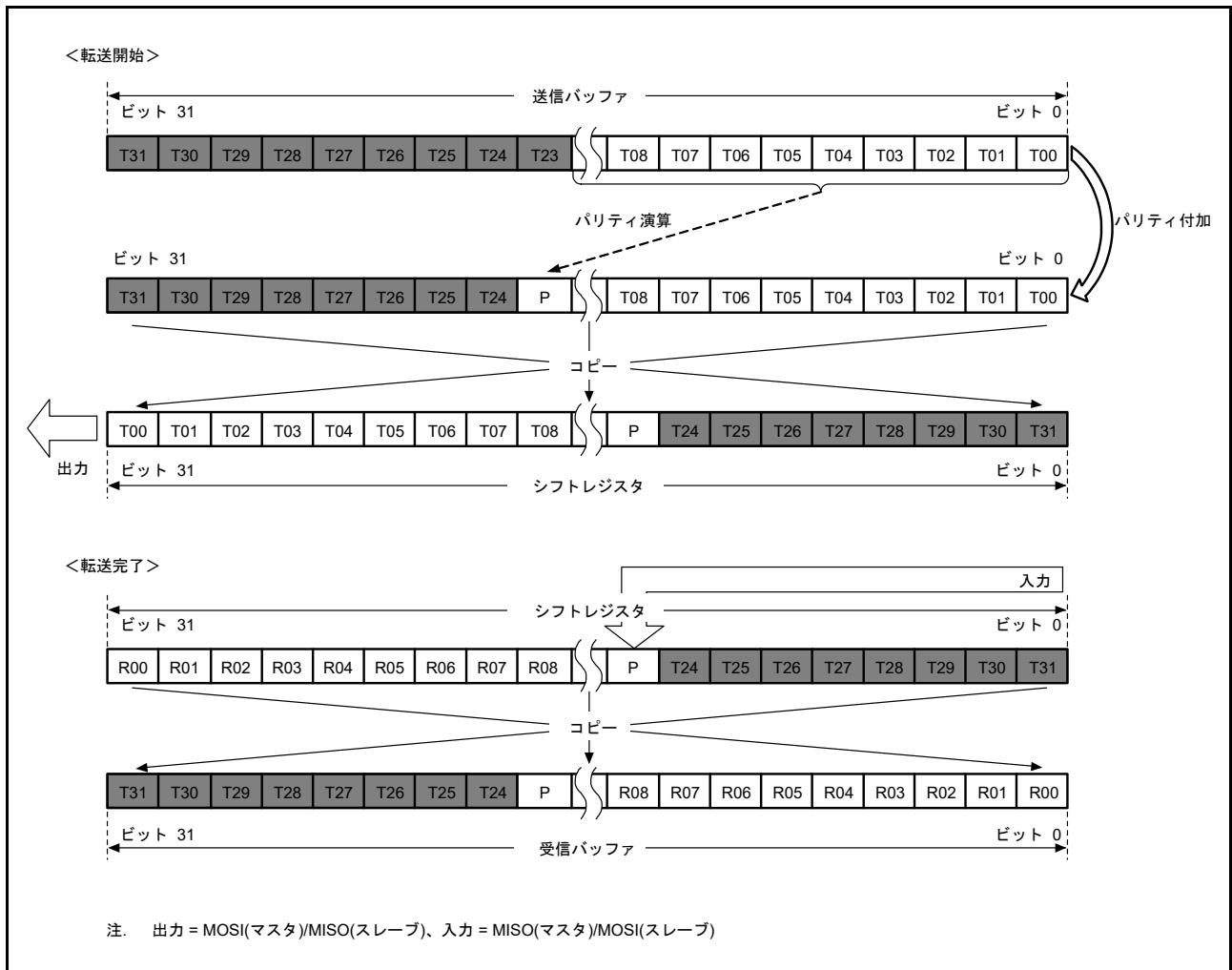


図 40.21 LSB ファースト (24 ビットデータ / パリティ機能有効)

40.3.4.3 バイトスワップ送信

SPDCR2.BYSW ビットが“1”(SPDR のデータをバイト単位でスワップする) のときは、送信バッファ (SPDR) のデータを 8 ビット単位で入れ替えてシフトレジスタに転送します。図 40.22 にデータ長が 32 ビットの場合の SPDR レジスタとシフトレジスタ間のデータ転送の様子を示します。

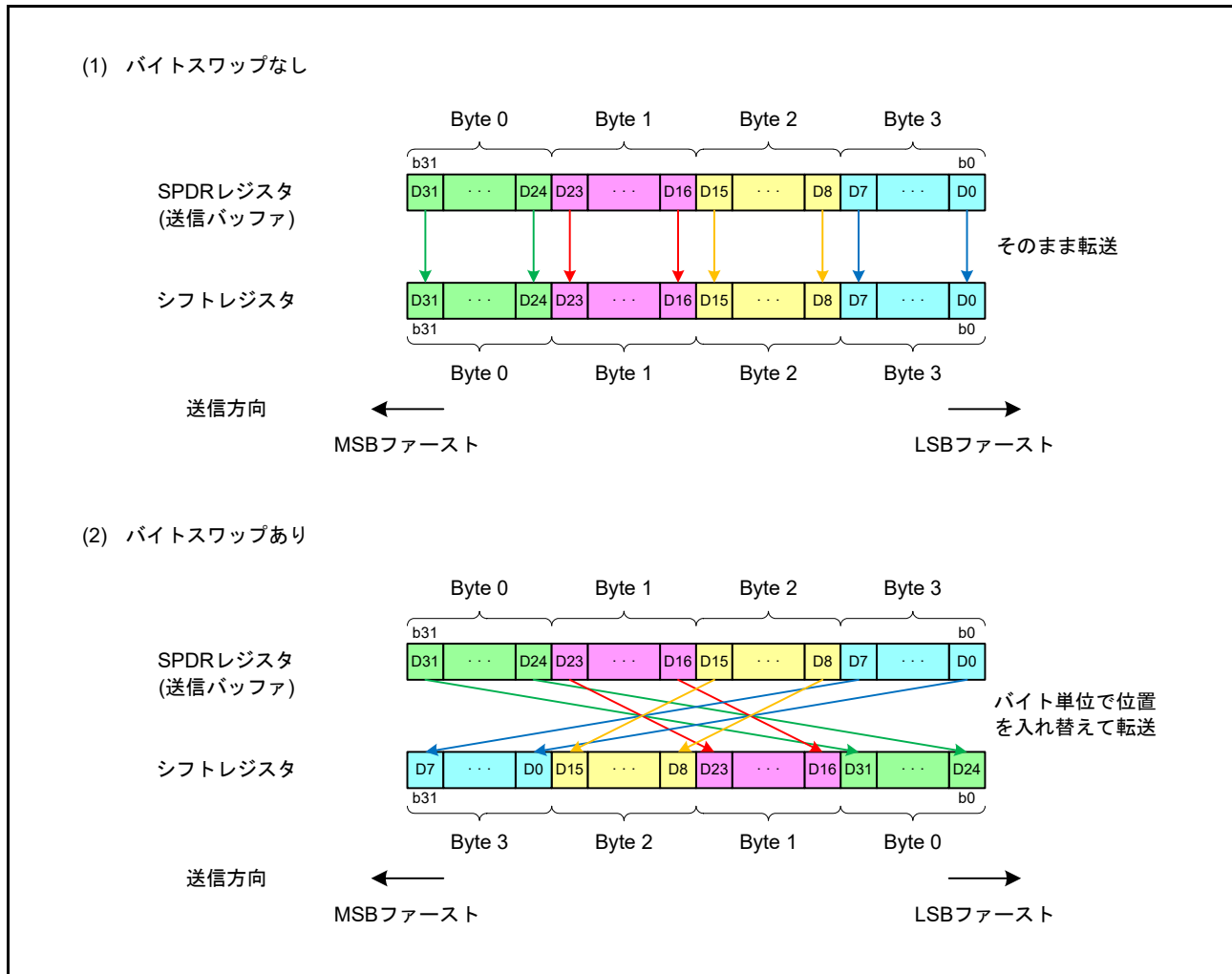


図 40.22 MSB/LSB ファーストとバイトスワップあり/なしの設定と送信データ変換

40.3.4.4 バイトスワップ受信

SPDCR2.BYSW ビットが“1”(SPDR のデータをバイト単位でスワップする) のときは、シフトレジスタのデータを8ビット単位で入れ替えて受信バッファ(SPDR)に転送します。図 40.23 にデータ長が32ビットの場合のシフトレジスタとSPDRレジスタ間のデータ転送の様子を示します。

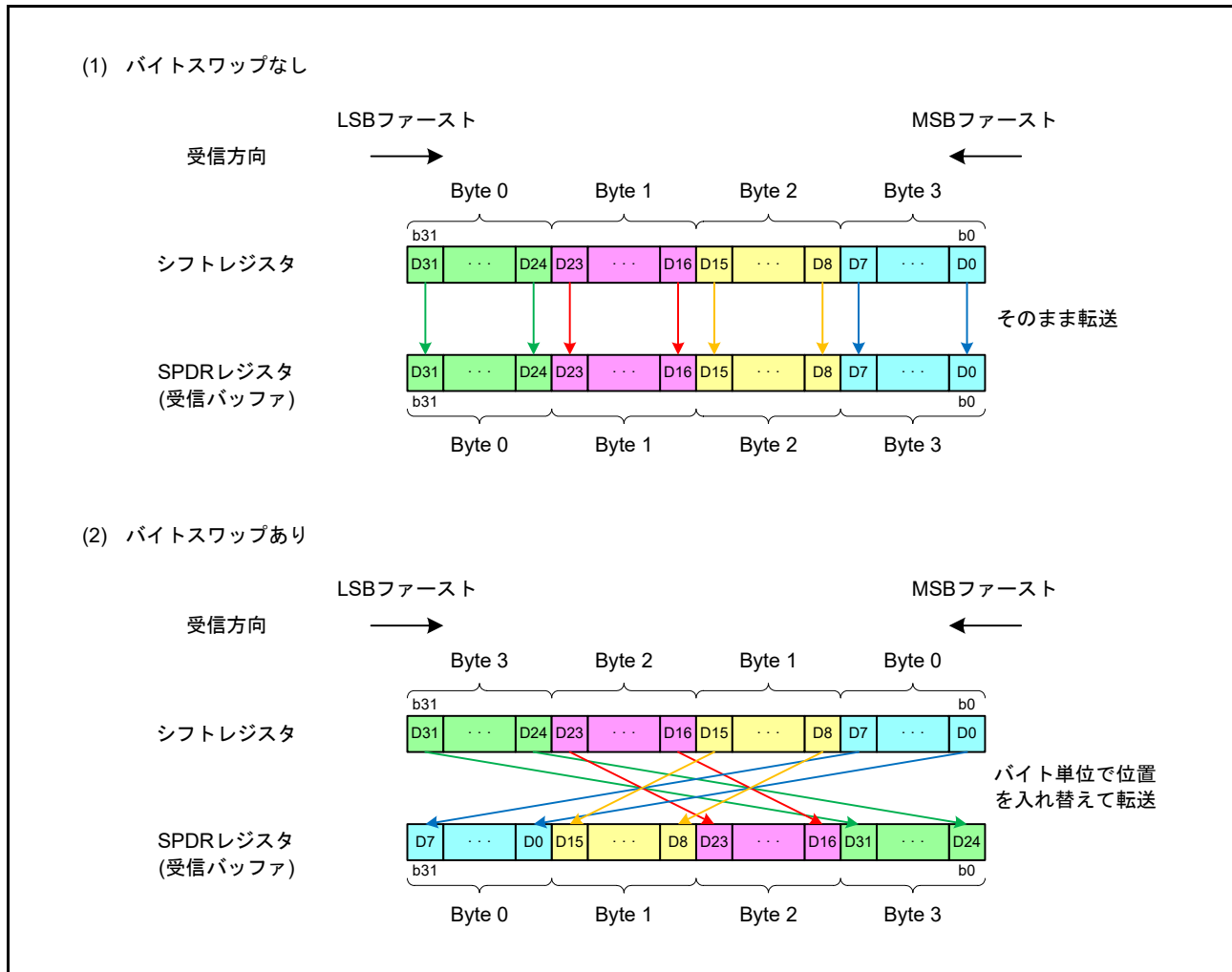


図 40.23 MSB/LSB ファーストとバイトスワップあり/なしの設定と受信データ変換

40.3.5 転送フォーマット

40.3.5.1 CPHA ビット = 0 の場合

図 40.24 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR = 0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) はしないでください。図 40.24 において、RSPCKx (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKx (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKx 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「40.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLxi 信号のアサートタイミングで、MOSIx 信号と MISOx 信号への有効データのドライブが開始されます。SSLxi 信号のアサート後に発生する最初の RSPCKx 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSIx 信号と MISOx 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCKx 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLxi 信号のアサートから RSPCKx 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKx 発振停止から SSLxi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLxi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「40.3.12.1 マスタモード動作」を参照してください。

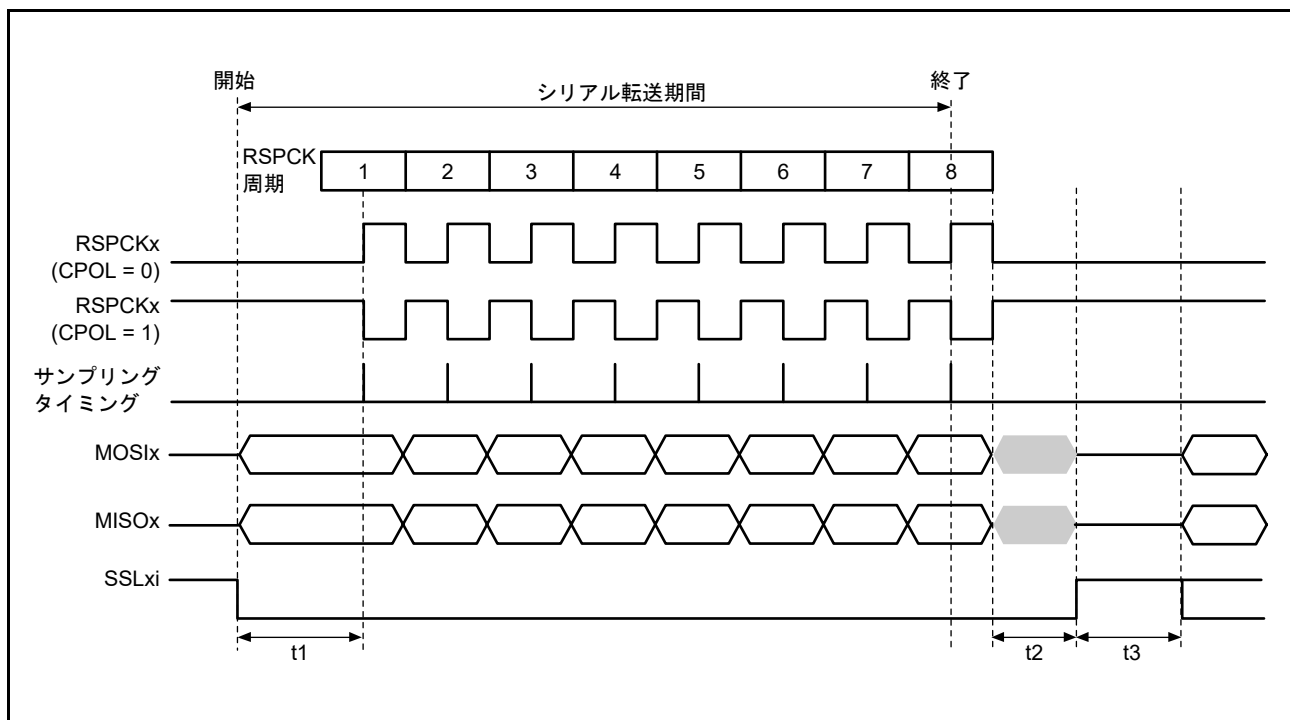


図 40.24 RSPI 転送フォーマット (CPHA ビット = 0)

40.3.5.2 CPHA ビット = 1 の場合

図 40.25 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSLxi 信号を用いず、RSPCKx 信号、MOSIx 信号、MISOx 信号のみで通信を行います。図 40.25 において、RSPCKx (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKx (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKx 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード(マスタ/スレーブ)に依存します。詳細は「40.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSLxi 信号のアサートタイミングで、MISOx 信号に無効データのドライブが開始されます。SSLxi 信号のアサート後に発生する最初の RSPCKx 信号変化タイミングで、MOSIx 信号と MISOx 信号への有効データへの出力が開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このタイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKx 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「40.3.12.1 マスタモード動作」を参照してください。

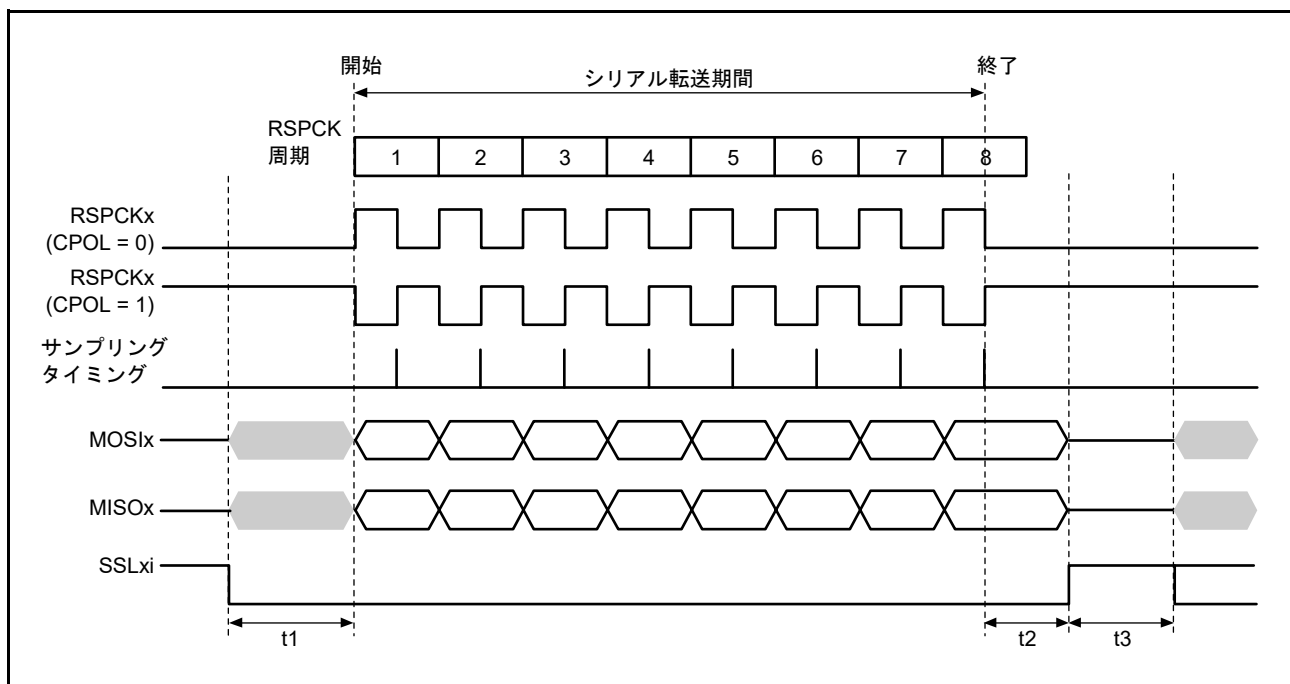


図 40.25 RSPI 転送フォーマット (CPHA ビット = 1)

40.3.6 通信動作モード

SPCR.TXMD ビット、SPCR3.RXMD ビットの設定により、全二重通信、送信のみの単方向通信、または受信のみの単方向通信を選択します。

図 40.26、図 40.27 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

40.3.6.1 全二重通信 (SPCR.TXMD = 0, SPCR3.RXMD = 0)

図 40.26 に、SPCR.TXMD ビットを“0”、SPCR3.RXMD ビットを“0”にした場合の動作例を示します。図 40.26 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKx 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

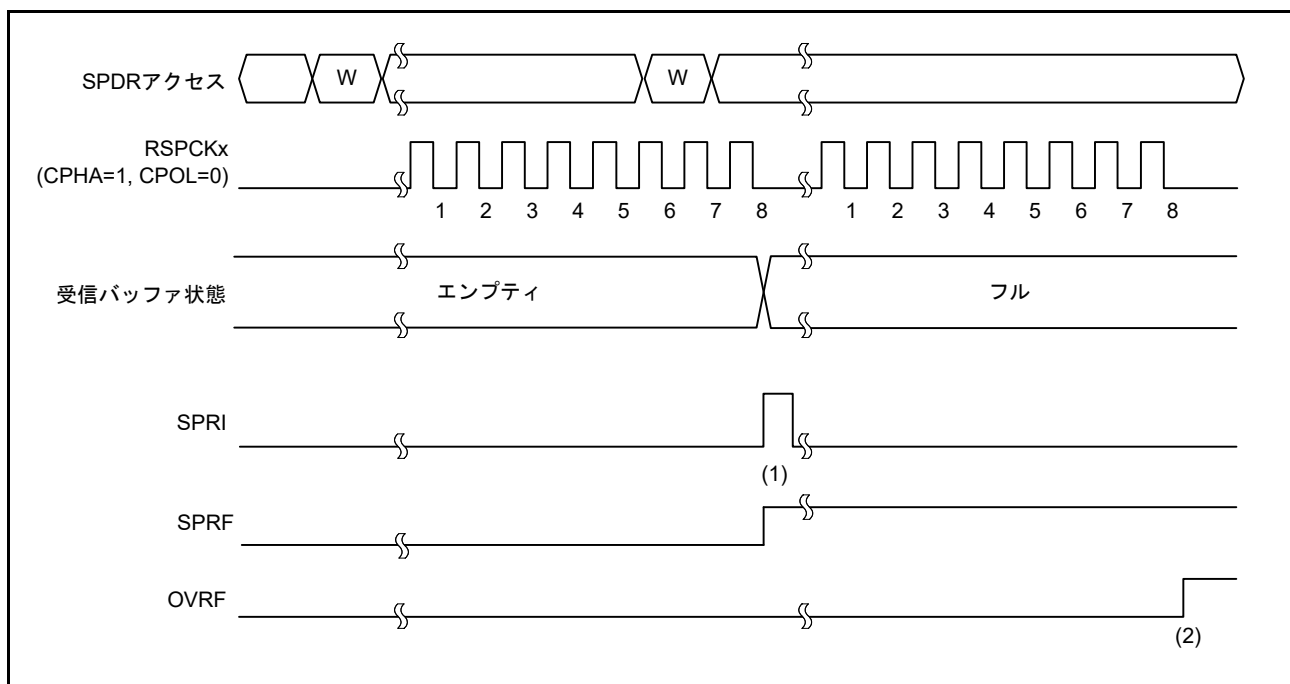


図 40.26 SPCR.TXMD = 0, SPCR3.RXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を生成 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

全二重通信時 (SPCR.TXMD = 0, SPCR3.RXMD = 0) は、送信と同時に受信も行います。そのため、SPSR.SPRF、OVRF フラグは受信バッファの状態に応じて、それぞれ (1)、(2) のタイミングで“1”になります。

40.3.6.2 送信のみの単方向通信 (SPCR.TXMD = 1, SPCR3.RXMD = 0)

図 40.27 に、SPCR.TXMD ビットを“1”、SPCR3.RXMD ビットを“0”にした場合の動作例を示します。図 40.27 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKx 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

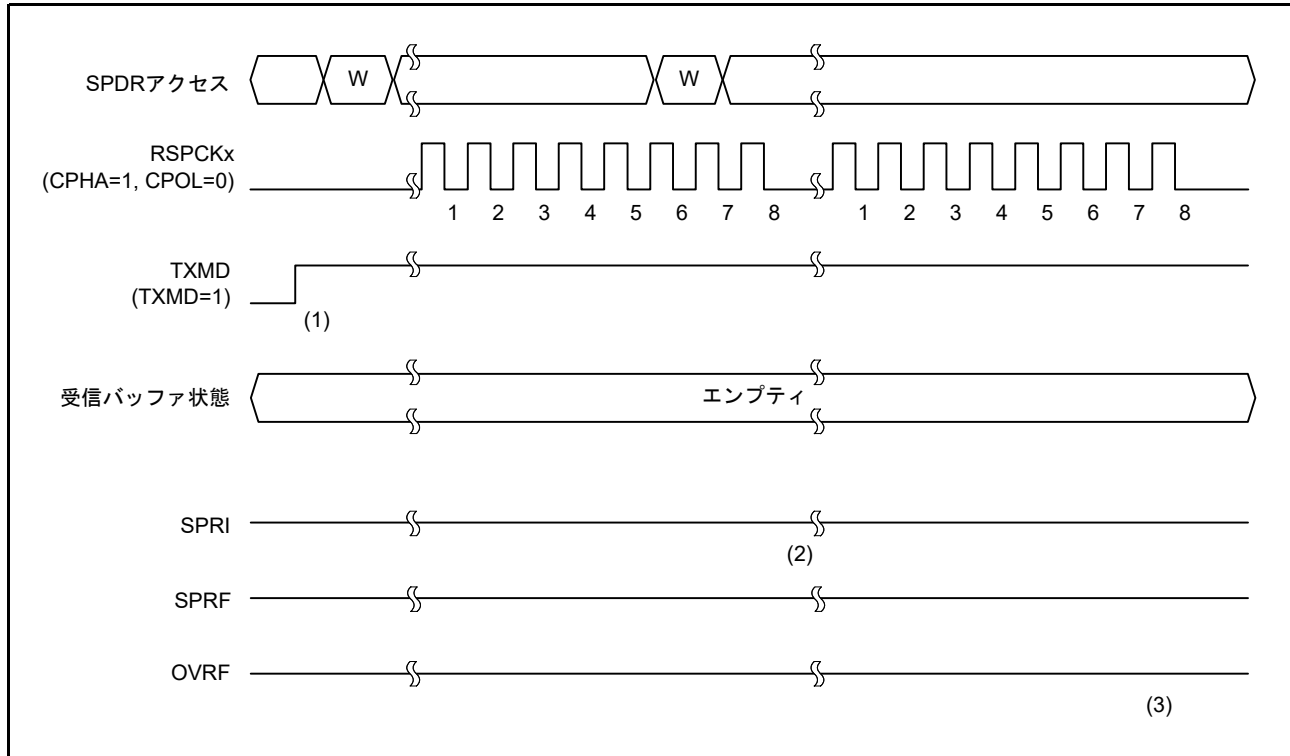


図 40.27 SPCR.TXMD = 1, SPCR3.RXMD = 0 の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみの単方向通信 (SPCR.TXMD = 1, SPCR3.RXMD = 0) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF、OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみの単方向通信 (SPCR.TXMD = 1, SPCR3.RXMD = 0) のときは、SPRF フラグは“0”を維持し、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみの単方向通信時 (SPCR.TXMD = 1, SPCR3.RXMD = 0) は、データ送信を実施するだけで、受信は行いません。そのため、SPSR.SPRF、OVRF フラグは (1)、(2)、(3) いずれのタイミングでも“0”を保持します。

40.3.6.3 受信のみの単方向通信 (SPCR3.RXMD = 0)

受信のみの単方向通信は、SPCR.MSTR ビットが“0”(スレーブモード)のときのみ有効です。

図 40.28 に、SPCR3.RXMD ビットを“1”にした場合の動作例を示します。図 40.28 の例では、SPDCR.SPFC[1:0]=00b、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKx 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

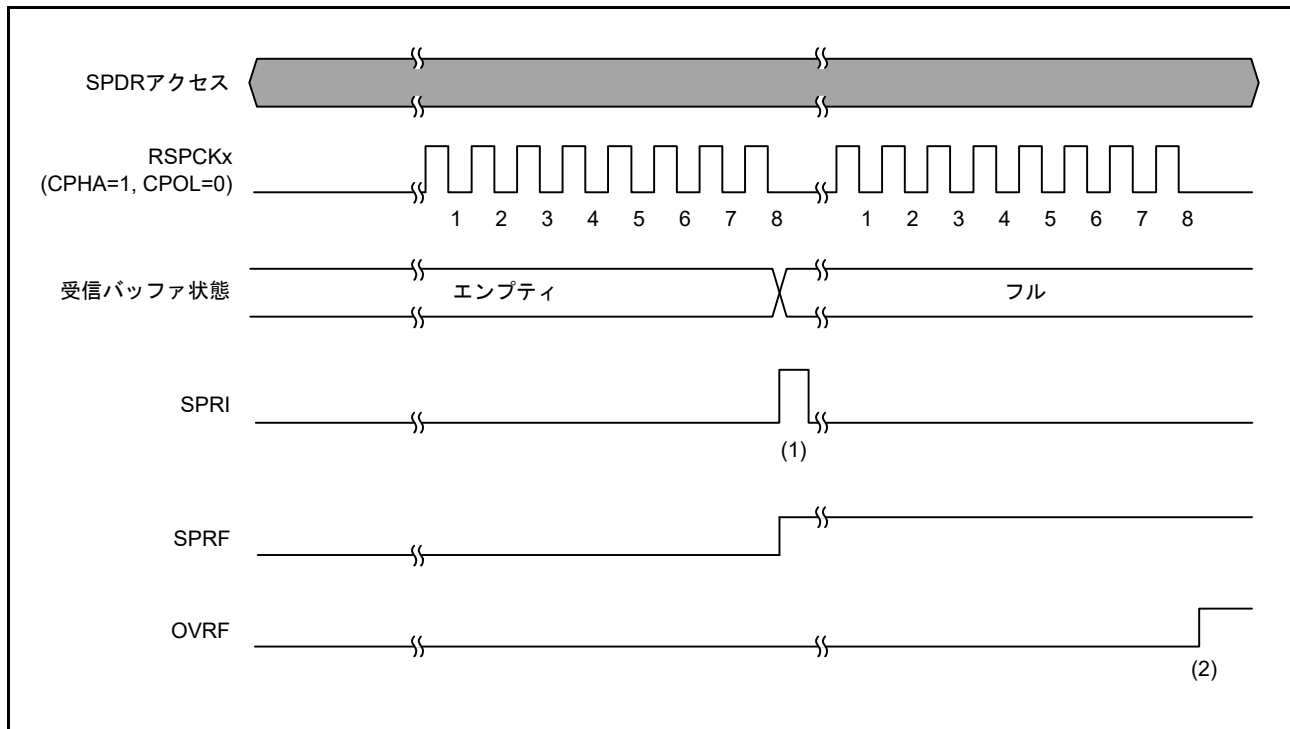


図 40.28 SPCR3.RXMD = 1 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を生成 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

40.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 40.29 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 40.29 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 40.29 の例では、SPCR.TXMD ビットが“0”、SPCR3.RXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKx 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

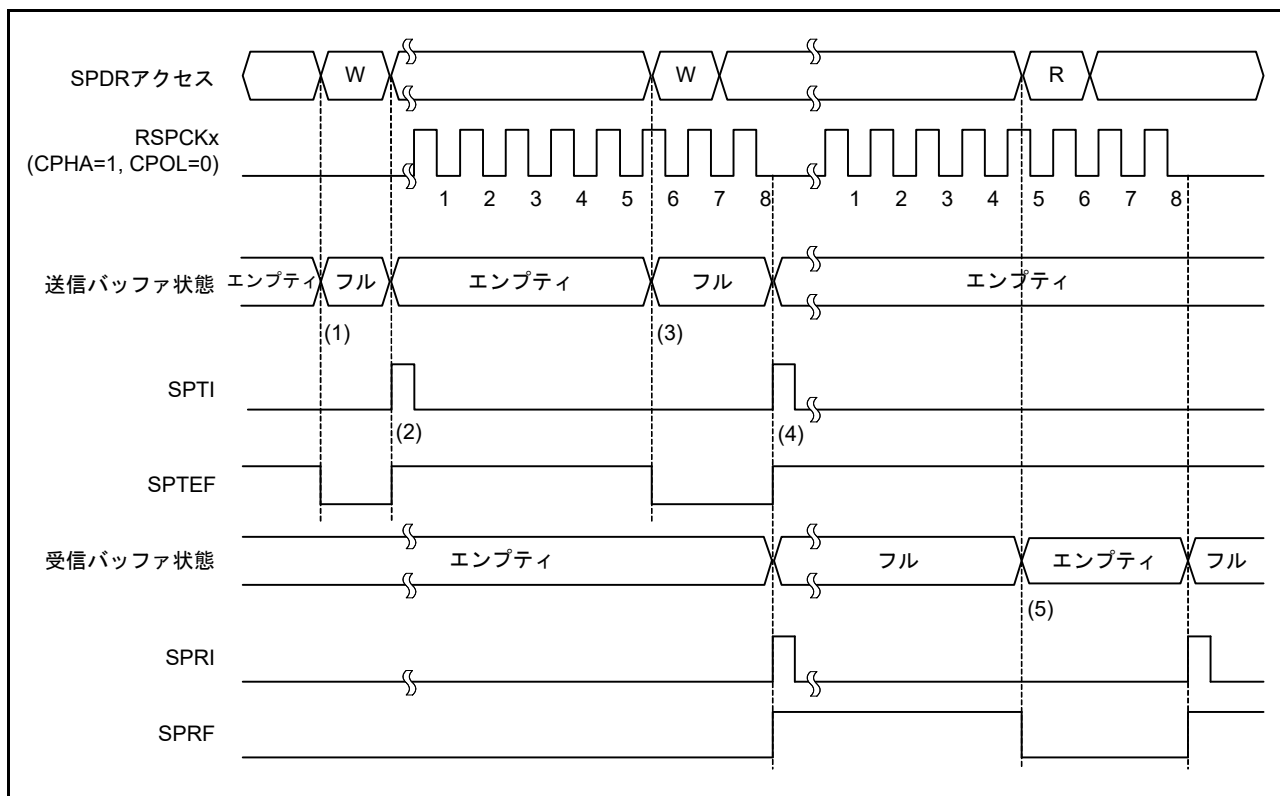


図 40.29 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

- (1) SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを“0”にします。
- (2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPTI) を生成し、SPSR.SPTEF フラグを“1”にします。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「40.3.12 SPI 動作」、「40.3.13 クロック同期式動作」参照)
- (3) 送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送され、SPSR.SPTEF フラグが“0”になります。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR レジスタの受信バッファが空の状態でもシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を生成し、SPSR.SPRF フラグを“1”にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が SPSR.SPTEF フラグを“1”にして送信

バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPId はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

- (5) 受信バッファフル割り込みルーチンまたは SPRF フラグによる受信バッファフル判定処理で、SPDR レジスタを読み出すと、受信データが読み出せます。受信データを読み出すと、SPRF フラグが“0”になります。

送信バッファに未送信のデータがある状態 (SPTEF フラグが“0”) で、SPDR レジスタに送信データを書き込んだ場合には、RSPId は送信バッファのデータを更新しません。SPDR レジスタに送信データを書き込む場合には、送信バッファエンpty割り込みルーチンまたは SPTEF フラグによる送信バッファエンpty判定処理で行ってください。また、送信バッファエンpty割り込みを利用する場合には、SPCR の SPTIE ビットを“1”にしてください。

SPCR.SPE ビットを“0” (RSPId 機能は無効) にするときは、SPCR.SPTIE ビットも同時に“0”にしてください。SPCR.SPE ビットが“0”のときに SPCR.SPTIE ビットが“1”であると、送信バッファエンpty割り込み要求が発生します。

受信バッファフル (SPRF フラグが“1”) の状態で、シリアル転送が終了した場合には、RSPId はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「40.3.10 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信 / 受信バッファの状態は、送信 / 受信割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。割り込みベクタ番号については、「15. 割り込みコントローラ (ICUE)」を参照してください。また、SPTEF フラグ / SPRF フラグによって確認することもできます。

40.3.8 アイドル割り込み

SPCR2.SPIIE ビットが“1”のときに SPSR.IDLNF フラグが“0”になると、アイドル割り込み要求 (SPII) が発生します。

マスタモード時は送信開始前も IDLNF フラグが“0”なので、このときにアイドル割り込みが発生しないように、送信バッファにデータを書いて IDLNF フラグが“1”になった後に SPIIE ビットを“1”にしてください。送信完了後 SSLx0 信号がネゲートされ、次アクセス遅延 (t3) 時間が経過するまで次のデータを供給しなければ、IDLNF フラグが“0”になります。

40.3.9 通信完了割り込み

SPCR3.SPCIE ビットが“1”のときに SPSR.SPCF フラグが“1”になるか、SPCF フラグが“1”で SPCR.SPE ビットが“1”のときに SPCIE ビットを“1”にすると、通信完了割り込み要求 (SPCI) が発生します。

SPCF フラグが“1”になる条件は RSPId の動作モードによって異なります。詳細は「40.2.4 RSPId ステータスレジスタ (SPSR)」を参照してください。

40.3.9.1 マスタモード時

マスタモード時は SPI 動作 / クロック同期式動作、全二重通信 / 送信のみの単方向通信のいずれにおいても、SPSR.SPCF フラグが“1”になる条件は同じです。

SPSSR.SPCP[2:0] ビットが“000b”になったときに、次の送信データがない場合、SPSR.IDLNF フラグが

“0”になり、SPCF フラグが“1”になります。

SPCF フラグが“1”であることを確認した後、SPCF フラグに“0”を書くか、次のデータを送信バッファに書き込むと、SPCF フラグがクリアされます。

40.3.9.2 SPI 動作、スレーブモード時の全二重通信または送信のみの単方向通信

送信バッファ、送信シフトレジスタが空になっているとき、SSLx0 信号がネゲートされると SPSR.SPCF フラグが“1”になります。

SPCF フラグが“1”であることを確認した後、SPCF フラグに“0”を書くか、次のデータを送信バッファに書き込むと、SPCF フラグがクリアされます。

40.3.9.3 SPI 動作、スレーブモード時の受信のみの単方向通信

SPDCR.SPFC[1:0] ビットに設定した数のフレームを受信し終わったときに、SSLx0 信号がネゲートされると、SPSR.SPCF フラグが“1”になります。

SPCF フラグが“1”であることを確認した後、SPCF フラグに“0”を書くか、次の通信が始まって SSLx0 信号がアサートされると、SPCF フラグがクリアされます。

40.3.9.4 クロック同期式動作、スレーブモード時の全二重通信または送信のみの単方向通信

送信バッファ、送信シフトレジスタが空になっているとき、最終ビットのサンプリングタイミング (RSPCK の最終偶数エッジ) で SPSR.SPCF フラグが“1”になります。

SPCF フラグが“1”であることを確認した後、SPCF フラグに“0”を書くか、次のデータを送信バッファに書き込むと、SPCF フラグがクリアされます。

40.3.9.5 クロック同期式動作、スレーブモード時の受信のみの単方向通信

SPDCR.SPFC[1:0] ビットに設定した数のフレームを受信し終わったとき (RSPCK の最終偶数エッジ)、SPSR.SPCF フラグが“1”になります。

SPCF フラグが“1”であることを確認した後、SPCF フラグに“0”を書くか、次の通信が始まって RSPCK 信号が変化すると、SPCF フラグがクリアされます。

40.3.10 エラー検出

通常のRSPIのシリアル転送では、SPDRレジスタの送信バッファに書き込んだデータが送信され、受信されたデータをSPDRレジスタの受信バッファから読み出すことができます。SPDRレジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時のRSPIの状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIはオーバランエラー、アンダランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表40.7に、通常以外の転送動作とRSPIのエラー検出機能の関係を示します。

表40.7 通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ですPDRレジスタを書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
2	受信バッファエンプティの状態ですPDRレジスタを読み出し	受信が完了していれば受信したデータ、完了していなければ前回受信したデータをバスに出カ	なし
3	スレープモード時の全二重通信または送信のみの単方向通信で、送信データがシフトレジスタに転送されていない状態でシリアル転送開始	シリアル転送を中断 送受信データ欠落 MISO端子のドライブ停止 RSPI機能を無効に設定	アンダランエラー検出
4	受信バッファフルの状態です、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重通信または受信のみの単方向通信時に、パリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのセット	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLx0入力信号がアサート	<ul style="list-style-type: none"> RSPCKx、MOSIx、SSLx1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLx0入力信号がアサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKx、MOSIx、SSLx1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
8	スレープモードでシリアル転送中にSSLx0入力信号がネゲート	<ul style="list-style-type: none"> シリアル転送中断 送受信データ欠落 MISOx出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出

表40.7の1に示した動作に対しては、RSPIはエラーを検出しません。SPDRレジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求発生時、またはSPSR.SPTEFフラグが“1”のときにSPDRレジスタへの書き込みを実施してください。

2に示した動作に対しても、RSPIはエラーを検出しません。不要なデータを読み出さないようにするためには、受信バッファフル割り込み要求発生時、またはSPSR.SPRFフラグが“1”のときにSPDRレジスタの読み出しを実行するようにしてください。

3に示したアンダランエラーについては「40.3.10.4 アンダランエラー」で、4に示したオーバランエラーについては「40.3.10.1 オーバランエラー」で、5に示したパリティエラーについては「40.3.10.2 パリティエラー」で説明します。また、6～8に示したモードフォルトエラーについては「40.3.10.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「40.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

40.3.10.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 40.30 に、SPRF フラグと OVRF フラグの動作を示します。図 40.30 に記載した“SPSR アクセス”と“SPDR アクセス”は、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 40.30 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKx 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

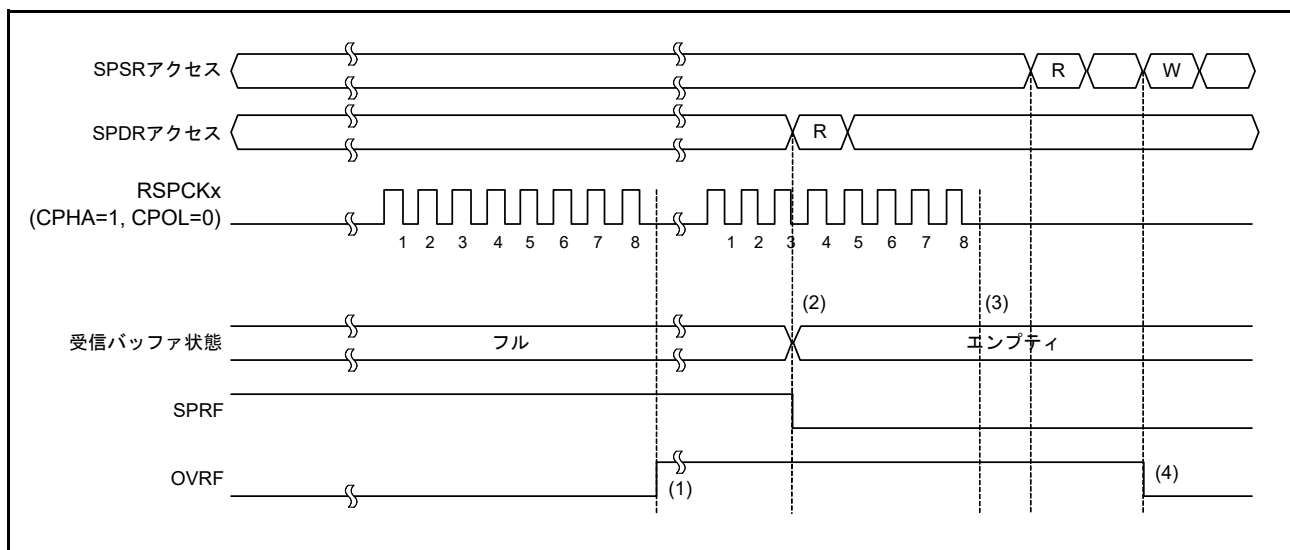


図 40.30 SPRF フラグと OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) 受信バッファフル (SPRF フラグが“1”) の状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。このとき SPRF フラグは“0”になります。受信バッファが空になっても、OVRF フラグは“0”になりません。
- (3) OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは“0”のままです)。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (4) OVRF フラグが“1”の状態 で SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバランの発生は、SPSR レジスタの読み出しあるいはエラー割り込みと SPSR レジスタの読み出しに

よって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが“1”になると、OVRF フラグが“0”になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバランエラーが発生しません。図 40.31、図 40.32 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

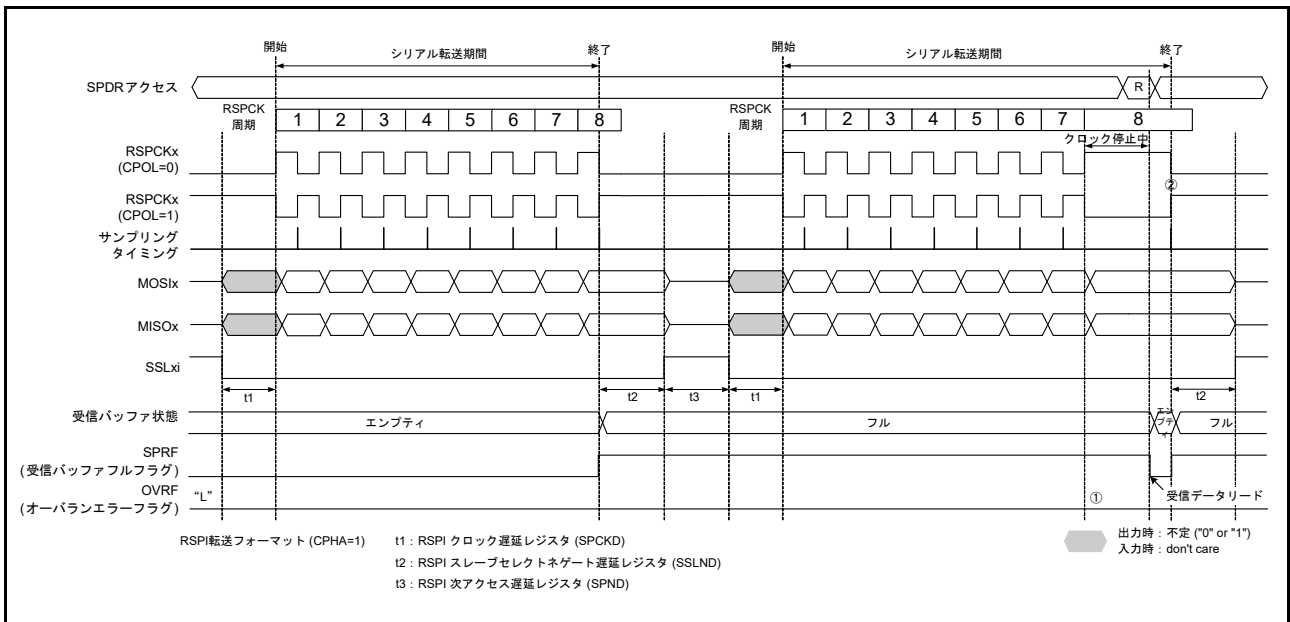


図 40.31 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

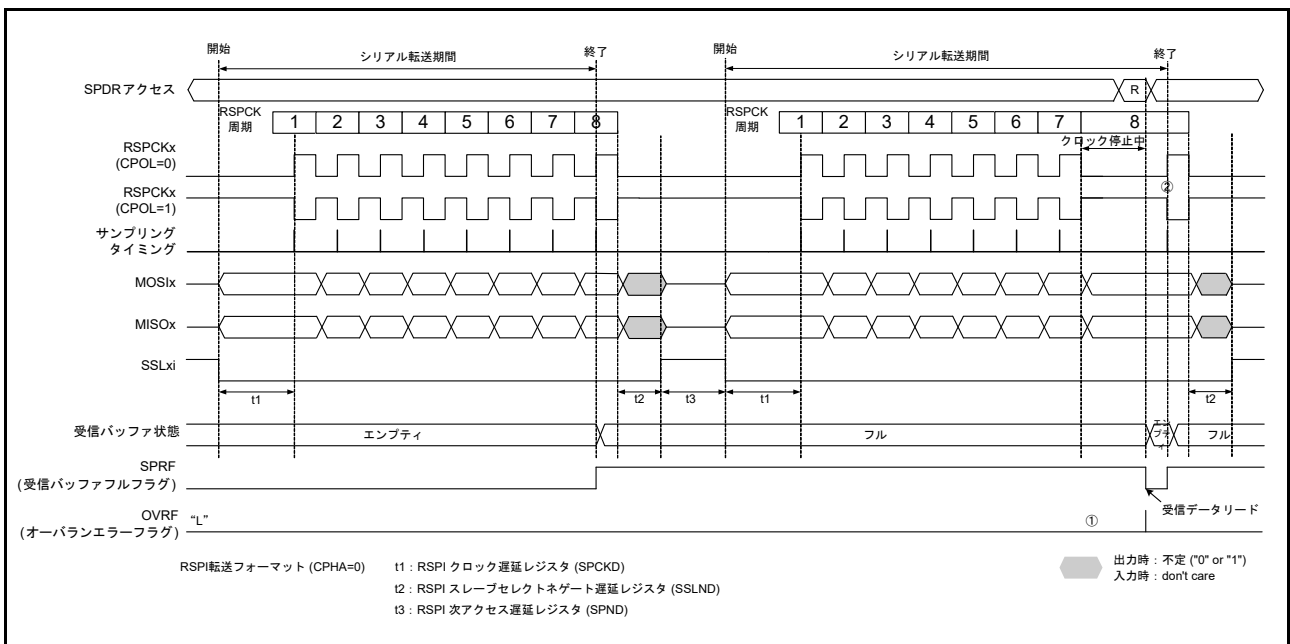


図 40.32 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
- (2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPRF フラグが“0”になった後)、RSPCK クロックが再開します。

40.3.10.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態では全二重通信または受信のみの単方向通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIは、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 40.33 に、OVRF フラグと PERF フラグの動作を示します。図 40.33 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 40.33 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態では全二重通信または受信のみの単方向通信を行っています。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKx 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

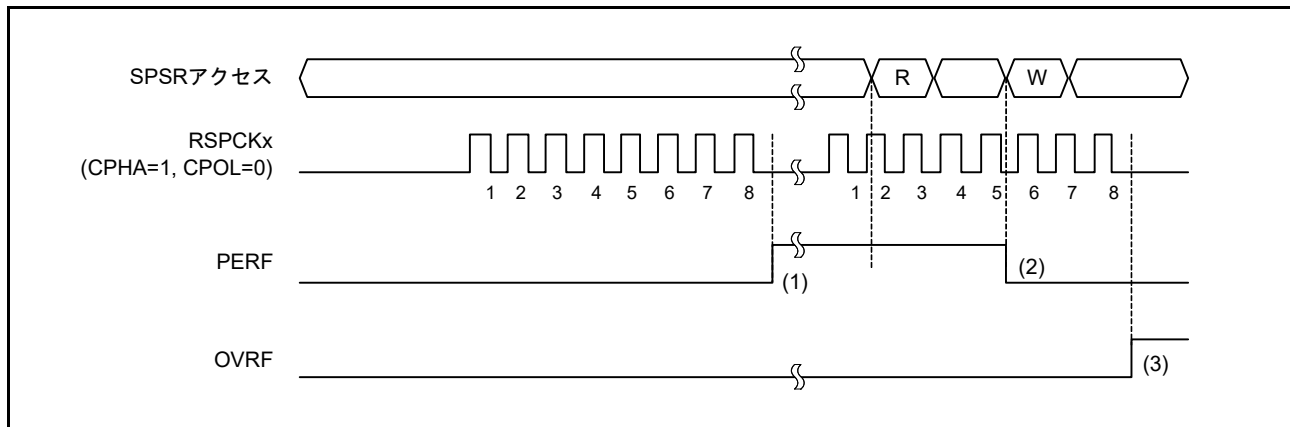


図 40.33 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) RSPI がオーバーランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) PERF フラグが“1”の状態では SPSR レジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
- (3) RSPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合は、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

40.3.10.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSLx0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。なお、SSLx0信号のアクティブレベルは、SSLP.SSLOPビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間(有効データのドライブ開始から最終有効データの取り込みまで)にSSLx0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します(「40.3.11 RSPIの初期化」を参照)。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはエラー割り込みとSPSRレジスタの読み出しによって確認できます。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

MODFフラグが“1”の状態では、RSPIはSPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、MODFフラグを“0”にしてください。MODFフラグを“0”にすると、SPEビットは“1”になります。

40.3.10.4 アンダランエラー

RSPIがスレーブモード(SPCR.MSTR ビットが“0”)で、送信回路が動作している(SPCR3.RXMD ビットが“0”)場合、SPCR.SPE ビットが“1”(RSPI機能は有効)、かつ送信データをシフトレジスタにセットしていない状態でシリアル転送が開始されると、RSPIはアンダランエラーを検出してSPSRレジスタのMODFフラグとUDRFフラグを“1”にします。

RSPIはアンダランエラーを検出すると、出力信号のドライブを停止しSPEビットを“0”にします。SPEビットが“0”になるとRSPI機能は無効となります(「40.3.11 RSPIの初期化」を参照)。

アンダランエラーの発生は、SPSRレジスタの読み出し、あるいはエラー割り込みとSPSRレジスタの読み出しによって確認できます。エラー割り込みを利用せずにアンダランエラーを検出する場合、SPSRレジスタをポーリングする必要があります。

MODFフラグが“1”のとき、RSPIはSPEビットへの“1”書き込みを無視します。アンダランエラー検出後にRSPI機能を有効にするには、MODFフラグを“0”にしてください。MODFフラグを“0”にすると、SPEビットは“1”になります。

40.3.11 RSPIの初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラーやアンダランエラー検出により RSPI が SPE ビットを“0”にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

40.3.11.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中の送受信を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステータスの初期化
- RSPI 送信バッファを空にする (SPTEF フラグを“1”にする)

SPE ビットを“0”にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを“1”にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.SPRF、SPCF、UDRF、PERF、MODF、OVRF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、初期化前に実行されていた通信の状況、RSPI 転送時のエラー発生状況の確認ができます。

送信バッファは空 (SPTEF フラグが“1”) の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書いてください。

40.3.11.2 システムリセット

システムリセットによる初期化では、「40.3.11.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

40.3.12 SPI 動作

40.3.12.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出(「40.3.10 エラー検出」を参照)のみです。シングルマスタモードのRSPIではモードフォルトエラーを検出しません。マルチマスタモードのRSPIではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI送信バッファが空(SPTEFフラグが“1”、次転送のデータがセットされていない)の状態、SPDRレジスタへデータを書き込むと、RSPIはSPDRレジスタの送信バッファ(SPTX)のデータを更新します。SPDRレジスタへSPDCR.SPFC[1:0]ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については「40.3.5 転送フォーマット」を参照してください。SSLxi出力端子の極性は、SSLPレジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに対応するRSPCKxエッジを送出するとシリアル転送を終了します。受信バッファ(SPRX)が空(SPRFフラグが“0”)の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値に依存します。SSLxi出力端子の極性は、SSLPレジスタの設定値に依存します。RSPIの転送フォーマットの詳細については「40.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPId で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLXi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPId クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPId 次アクセス遅延値が設定されています。

RSPId は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPId には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にして RSPId 機能を許可すると、RSPId はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPId は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPId はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

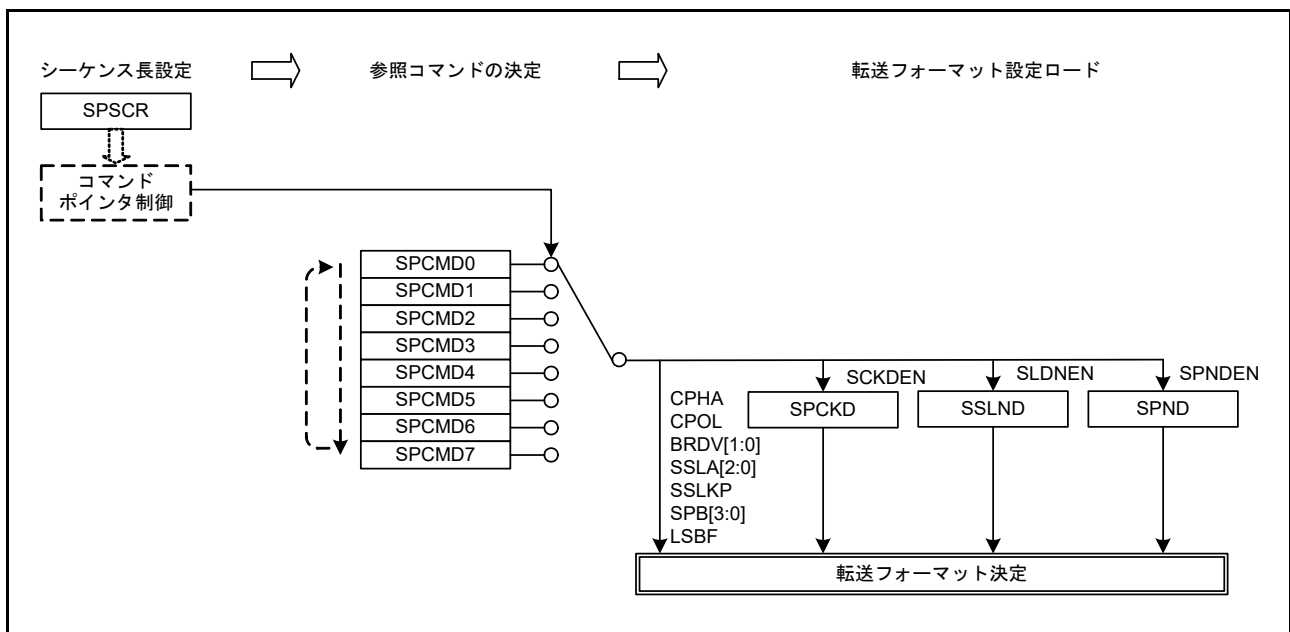


図 40.34 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

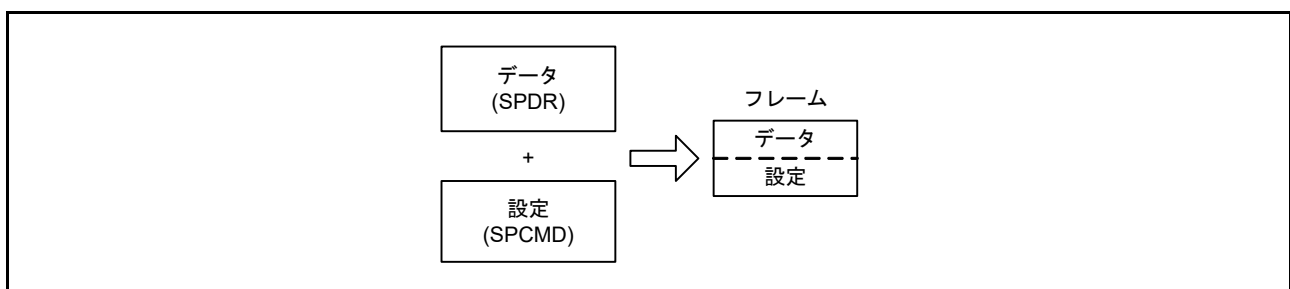


図 40.35 フレームの概念図

表 40.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 40.36 に示します。

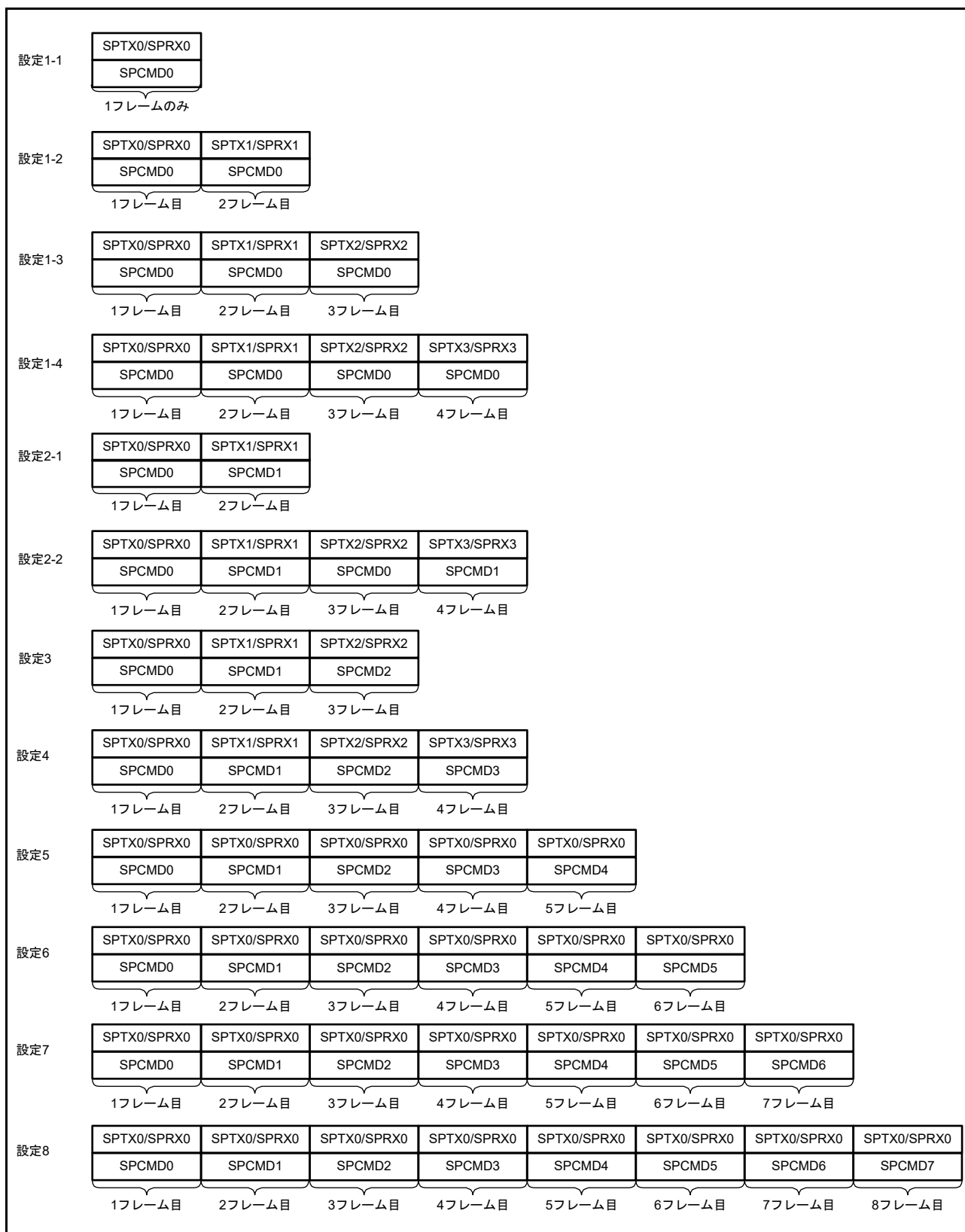


図 40.36 シーケンス動作時の RSPId コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPIが現在のシリアル転送で参照しているSPCMDm.SSLKPビットが“1”の場合には、RSPIはシリアル転送中のSSLxi信号レベルを次のシリアル転送のSSLxi信号アサート開始まで保持します。次のシリアル転送でのSSLxi信号レベルが、現在のシリアル転送でのSSLxi信号レベルと同じであれば、RSPIはSSLxi信号アサート状態を保持したまま連続的にシリアル転送を実行することができます(バースト転送)。

図40.37に、SPCMD0、SPCMD1レジスタの設定を使用してバースト転送を実現した場合のSSLxi信号動作例を示します。図40.37に記載した(1)～(8)のRSPI動作内容について、以下に説明します。なお、SSLxi出力信号の極性は、SSLPレジスタの設定値に依存します。

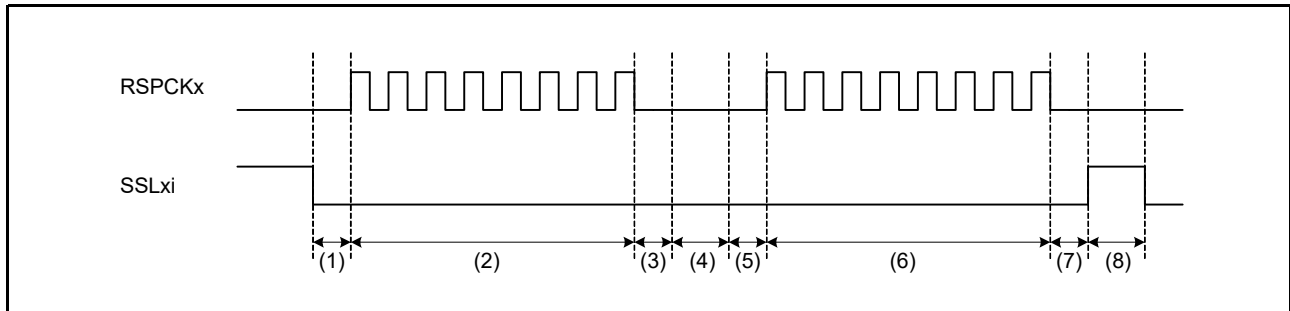


図 40.37 SSLKP ビットを利用したバースト転送動作の例 (CPHA = 1, CPOL = 0)

- (1) SPCMD0レジスタに従ったSSLxi信号のアサートとRSPCK遅延の挿入を実施します。
- (2) SPCMD0レジスタに従ったシリアル転送を実行します。
- (3) SSLネゲート遅延を挿入します。
- (4) SPCMD0.SSLKPビットが“1”であるため、SPCMD0レジスタでのSSLxi信号値を保持します。この期間は、最短の場合にはSPCMD0レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1レジスタに従ったRSPCK遅延の挿入を実施します。
- (6) SPCMD1レジスタに従ったシリアル転送を実行します。
- (7) SSLネゲート遅延を挿入します。
- (8) SPCMD1.SSLKPビットが“0”であるため、SSLxi信号をネゲートします。また、SPCMD1レジスタに従った次アクセス遅延が挿入されます。

SSLKPビットを“1”にしたSPCMDmレジスタでのSSLxi信号出力設定と、次転送で使用するSPCMDmレジスタでのSSLxi信号出力設定が異なる場合、RSPIは次転送のコマンドに対応したSSLxi信号のアサート時(図40.37の(5))にSSLxi信号状態を切り替えます。このようなSSLxi信号の切り替えが発生した場合、MISOxをドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードのRSPIは、SSLKPビットを使用しない場合のSSLxi信号動作をモジュール内部で参照しています。SPCMDm.CPHAビットが“0”の場合でも、RSPIは内部で検出した次転送のSSLxi信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHAビットの設定値にかかわらず実行できます。

SPCR3.SCKDDISビットが“1”(バースト転送時のデータバイト間の遅延をなくす)の場合、上記(3)～(5)に記載した遅延は挿入されず、RSPCKの0.5サイクル分の遅延だけが挿入されます。

(5) RSPCK 遅延 (t1)

マスタモード時の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、表 40.8 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「40.3.5 転送フォーマット」を参照してください。

SPCMDm.SSLKP ビットが“1”(バースト転送)で SPCR3.SCKDDIS ビットが“1”(バースト転送時のデータバイト間の遅延をなくす)の場合、RSPCK 遅延は先頭フレームでのみ挿入されます。

表 40.8 SCKDEN ビット、SPCKD レジスタと RSPCK 遅延値の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモード時の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SLNDEN ビットと SSLND レジスタを使用して、表 40.9 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「40.3.5 転送フォーマット」を参照してください。

SPCMDm.SSLKP ビットが“1”(バースト転送)で SPCR3.SCKDDIS ビットが“1”(バースト転送時のデータバイト間の遅延をなくす)の場合、SSL ネゲート遅延は最終フレームでのみ挿入されます。

表 40.9 SLNDEN ビット、SSLND レジスタと SSL ネゲート遅延値の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモード時の次アクセス遅延は、SPCMDm.SPNDEN ビットの設定と SPND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SPNDEN ビットと SPND レジスタを使用して、表 40.10 のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「40.3.5 転送フォーマット」を参照してください。

SPCMDm.SSLKP ビットが“1”(バースト転送)で SPCR3.SCKDDIS ビットが“1”(バースト転送時のデータバイト間の遅延をなくす)の場合、次アクセス遅延は最終フレームでのみ挿入されます。

表40.10 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000b ~ 111b	1 RSPCK + 2 PCLK
1	000b	1 RSPCK + 2 PCLK
	001b	2 RSPCK + 2 PCLK
	010b	3 RSPCK + 2 PCLK
	011b	4 RSPCK + 2 PCLK
	100b	5 RSPCK + 2 PCLK
	101b	6 RSPCK + 2 PCLK
	110b	7 RSPCK + 2 PCLK
	111b	8 RSPCK + 2 PCLK

(8) 初期化フロー

図 40.38 に、SPI 動作時、RSPi をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

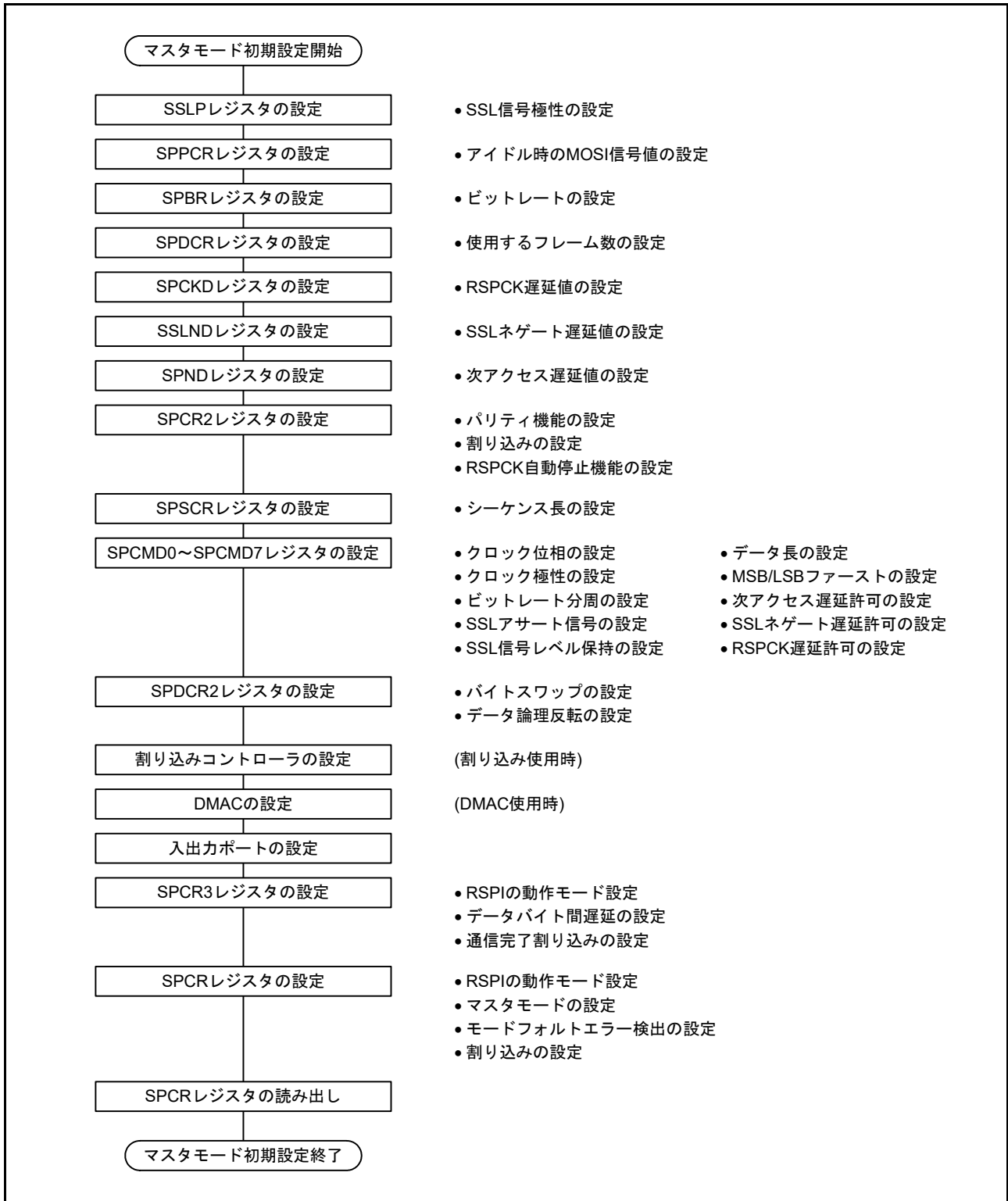


図 40.38 マスターモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 40.40 ～図 40.42 に示します。

(a) 通信開始前処理フロー

通信を開始する前に、エラーフラグをクリアし、アイドル割り込み、通信完了割り込みを禁止してください。その後、RSPi 機能を有効にするとともに、必要な割り込みを許可してください。

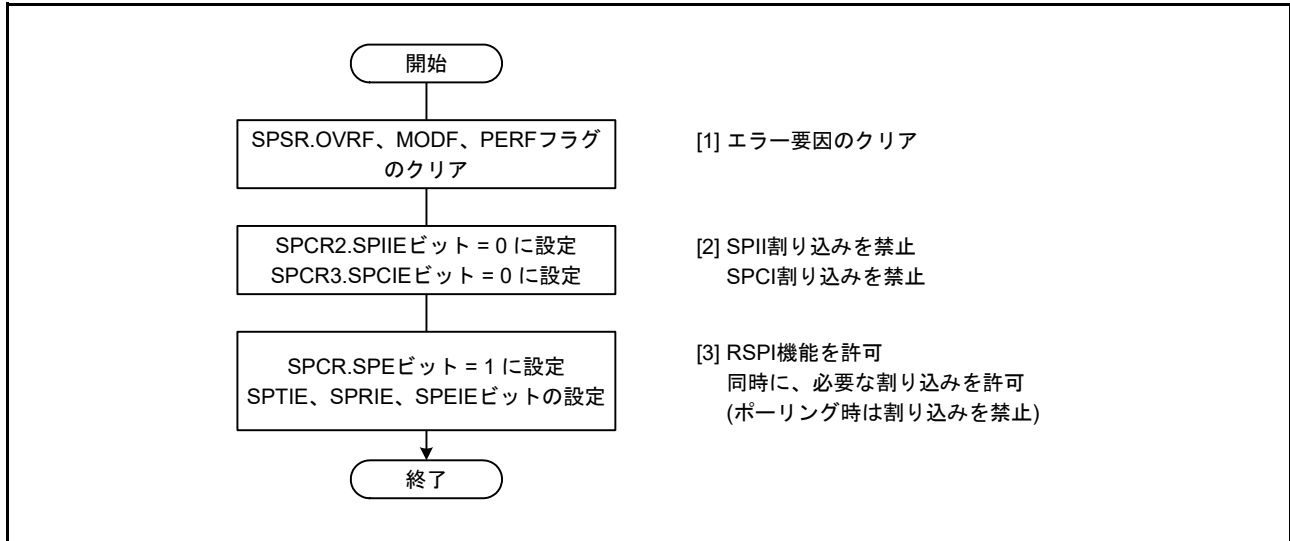


図 40.39 マスタモード時のフローチャート (通信開始前)

(b) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みまたは SPCI 割り込みを許可することによって、全データの送信完了を CPU に通知することが可能です。

SPII 割り込みや SPCI 割り込みの代わりに、SPSR.IDLNF フラグが“0”になったか、あるいは SPCF フラグが“1”になったかどうかをポーリングすることでも全データ送信完了を確認できます。ただし、SPDR レジスタに送信データを書いた後 IDLNF フラグが“1”になる、または SPCF フラグが“0”になるまでには、PCLK で 1 サイクル必要です。SPDR レジスタに最終データを書いた後は、“1”になる前の IDLNF フラグや“0”になる前の SPCF フラグで判定しないように、一度 SPSR レジスタの値を読み捨てて、次に読み出した SPSR.IDLNF フラグまたは SPCF フラグの値から全データ送信完了の確認に使用してください。

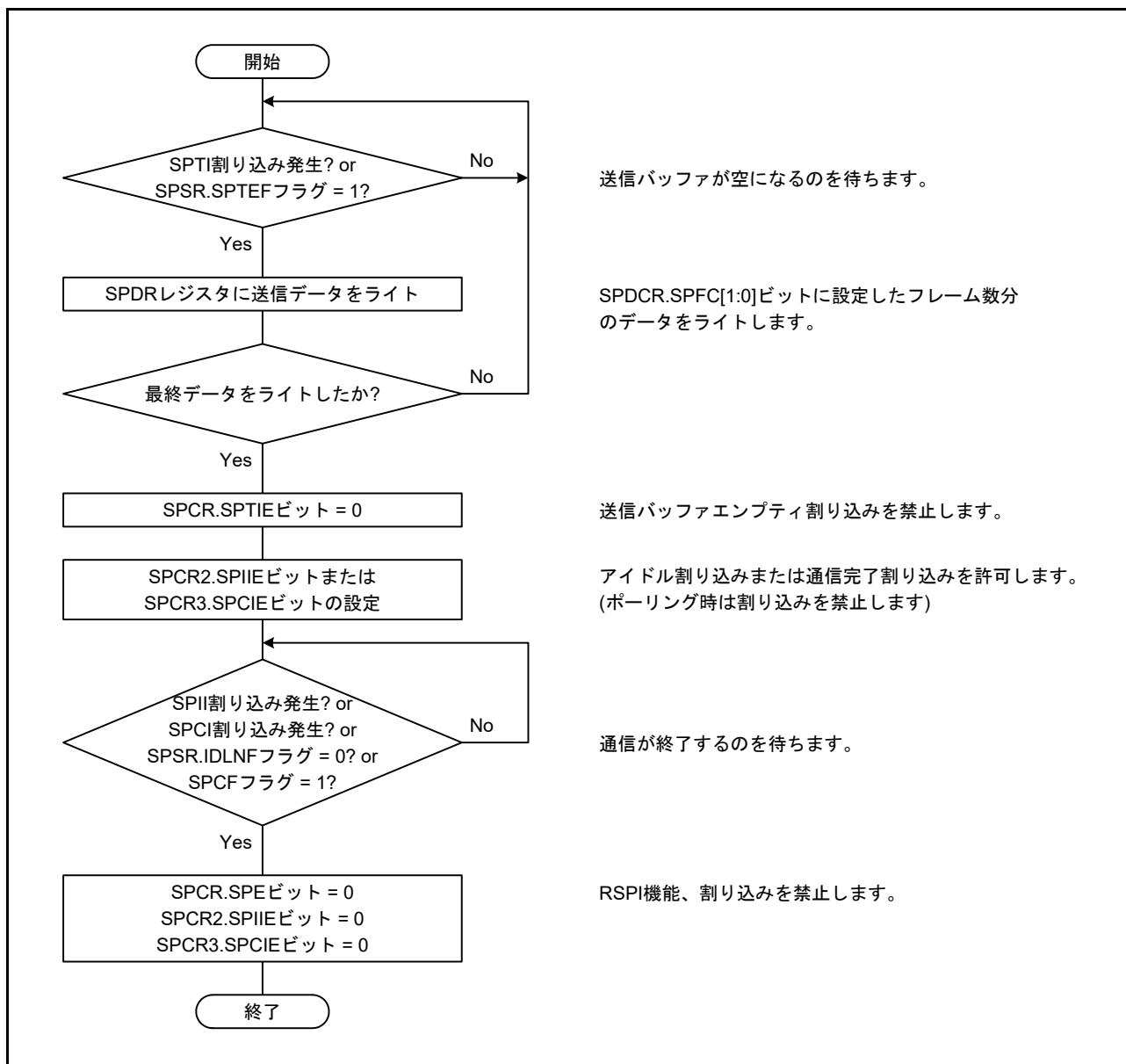


図 40.40 マスタモード時のフローチャート (送信)

(c) 受信処理フロー

RSPIはマスタモードでの受信のみの単方向通信をサポートしていないため、送信を必要とします。

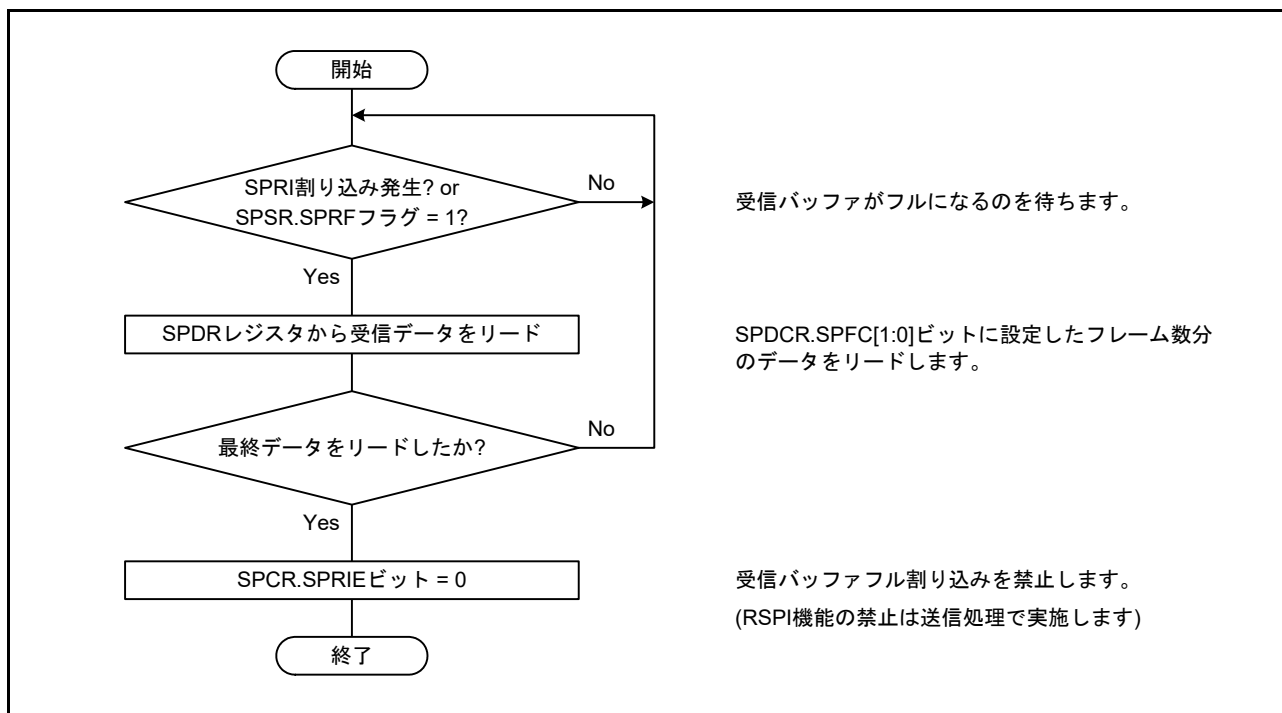


図 40.41 マスタモード時のフローチャート (受信)

(d) エラー処理フロー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信 / 受信動作を停止させます。しかし、その他のエラー要因では SPCR.SPE ビットはクリアされず送信 / 受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0] ビットが更新されてしまうため、SPCR.SPE ビットをクリアし動作を停止することを推奨します。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性がありますので、エラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

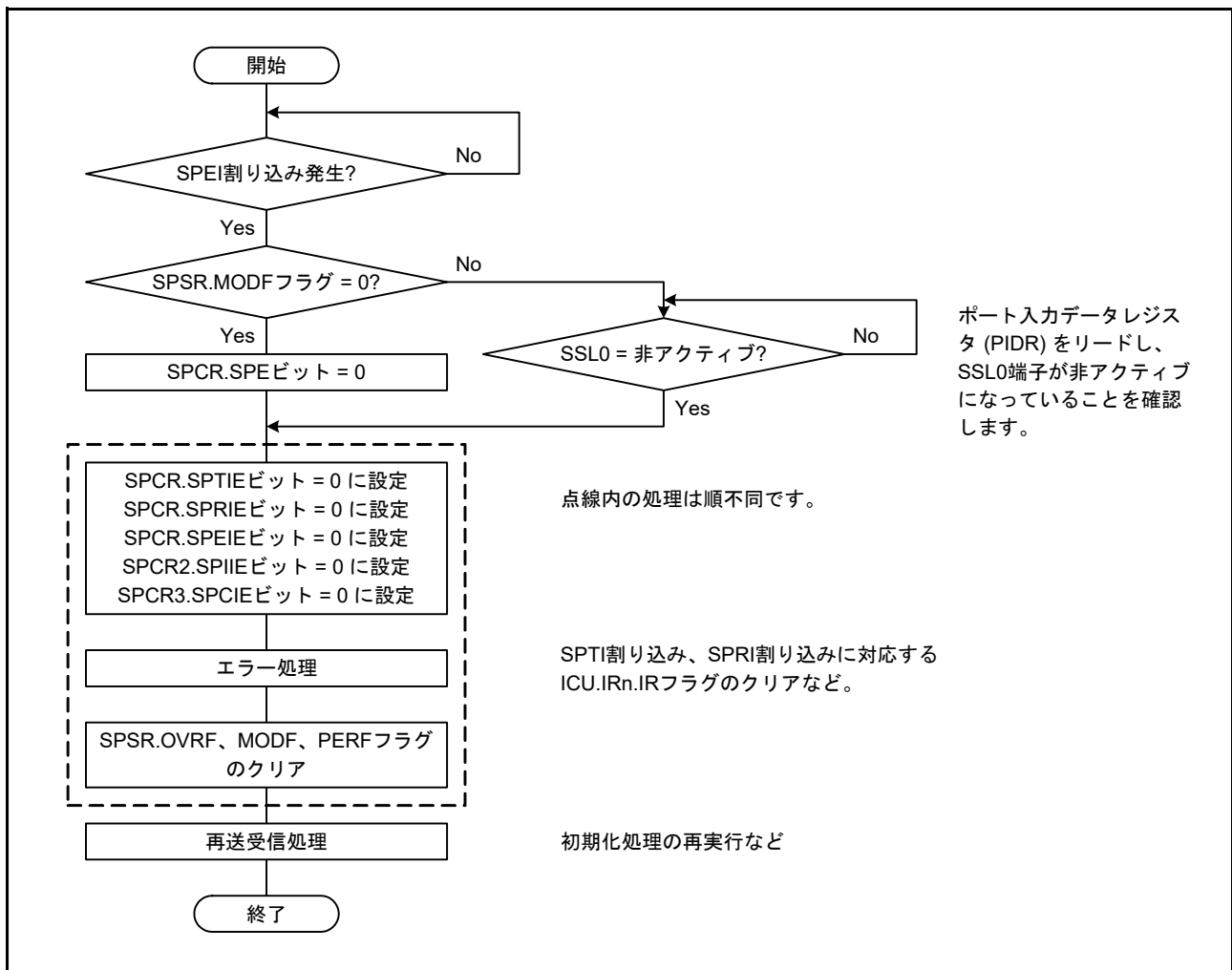


図 40.42 マスタモード時のフローチャート (エラー)

40.3.12.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSLx0入力信号のアサートを検出すると、MISOx出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“0”の場合には、SSLx0入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが“1”の場合には、RSPIはSSLx0入力信号のアサート状態で最初のRSPCKxエッジを検出すると、MISOx出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“1”の場合には、SSLx0信号アサート状態における最初のRSPCKxエッジがシリアル転送開始のトリガになります。

CPHA ビットの設定に依存せず、RSPIがMISOx出力信号のドライブを開始するタイミングは、SSLx0信号アサートタイミングです。CPHA ビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「40.3.5 転送フォーマット」を参照してください。SSLx0入力信号の極性は、SSLP.SSLOP ビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCKxエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合(SPRFフラグが“0”の場合)には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSLx0入力信号のネゲートを検出するとモードフォルトエラーが発生します(「40.3.10 エラー検出」を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。SSLx0入力信号の極性は、SSLP.SSLOPビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「40.3.5 転送フォーマット」を参照してください。

(3) シングルスレーブ時の注意点

SPCMD0.CPHA ビットが“0”の場合には、RSPIはSSLx0入力信号のアサートエッジを検出するとシリアル転送を開始します。図40.7の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSLx0入力信号がアクティブ状態に固定されるため、CPHA ビットを“0”に設定したRSPIではシリアル転送を正しく開始できません。SSLx0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、CPHA ビットを“1”にしてください。CPHA ビットを“0”にする必要がある場合には、SSLx0入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLx0 入力信号のアサート状態を保持したままで連続的なシリアル転送(バースト転送)を実行できます。CPHA ビットが“1”の場合には、SSLx0 入力信号アクティブ状態における最初の RSPCKx エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLx0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 40.43 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

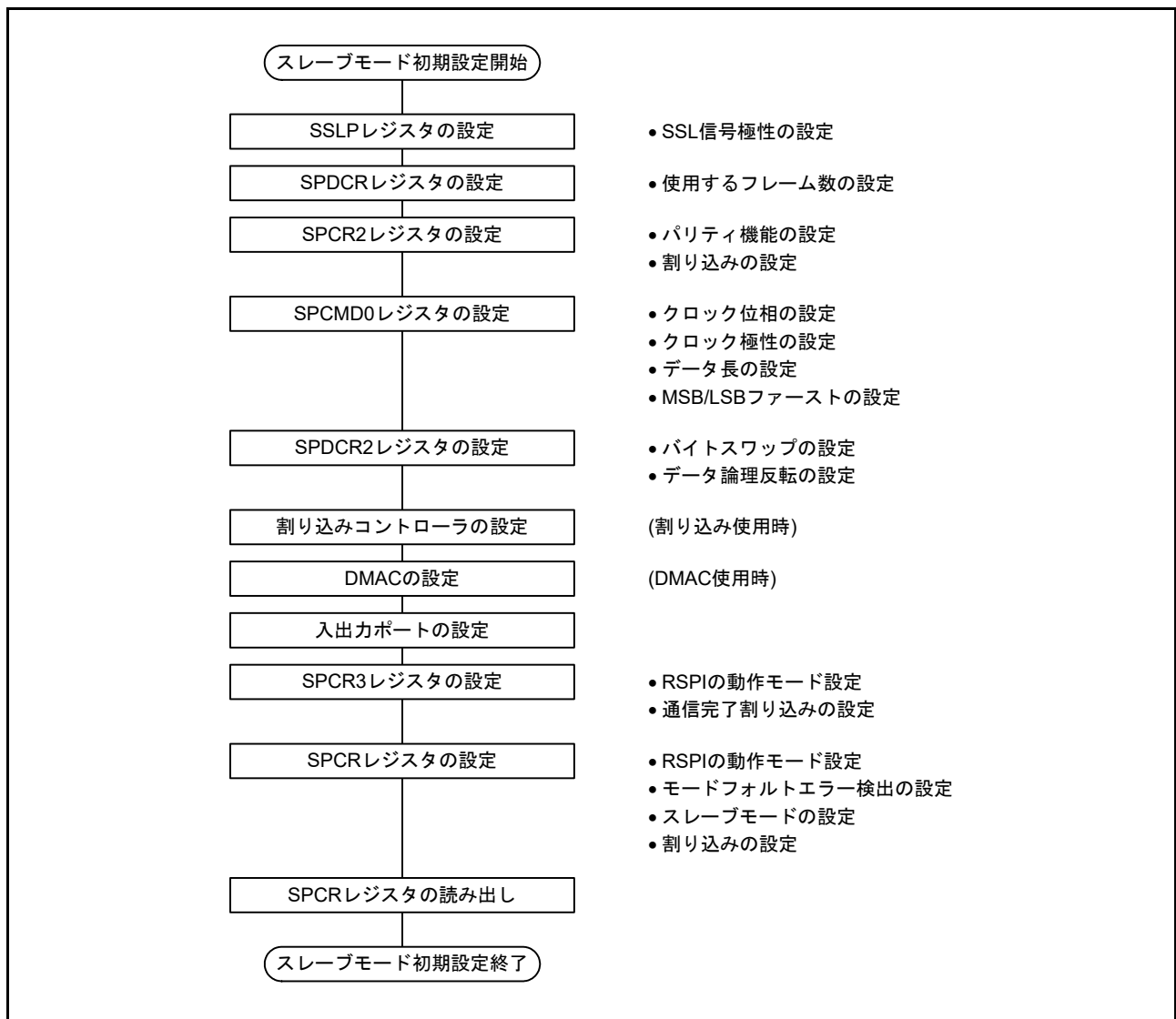


図 40.43 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 40.45 ～図 40.47 に示します。

(a) 通信開始前処理フロー

通信を開始する前に、エラーフラグをクリアし、アイドル割り込みを禁止してください。その後、RSPI機能を有効にするとともに、必要な割り込みを許可してください。

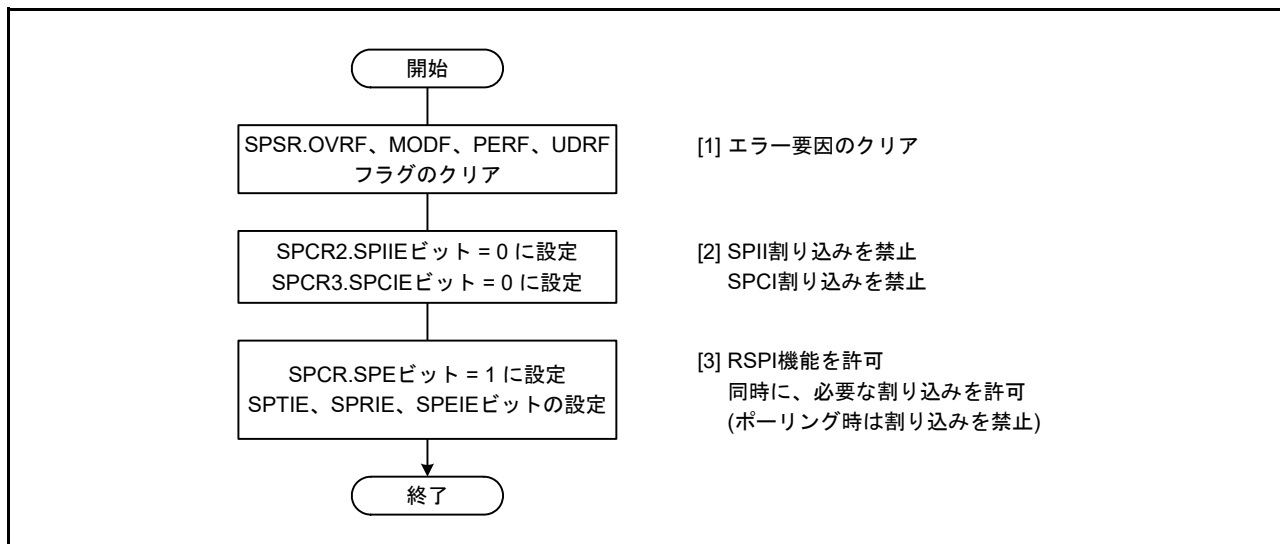


図 40.44 スレーブモード時のフローチャート (通信開始前)

(b) 送信処理フロー

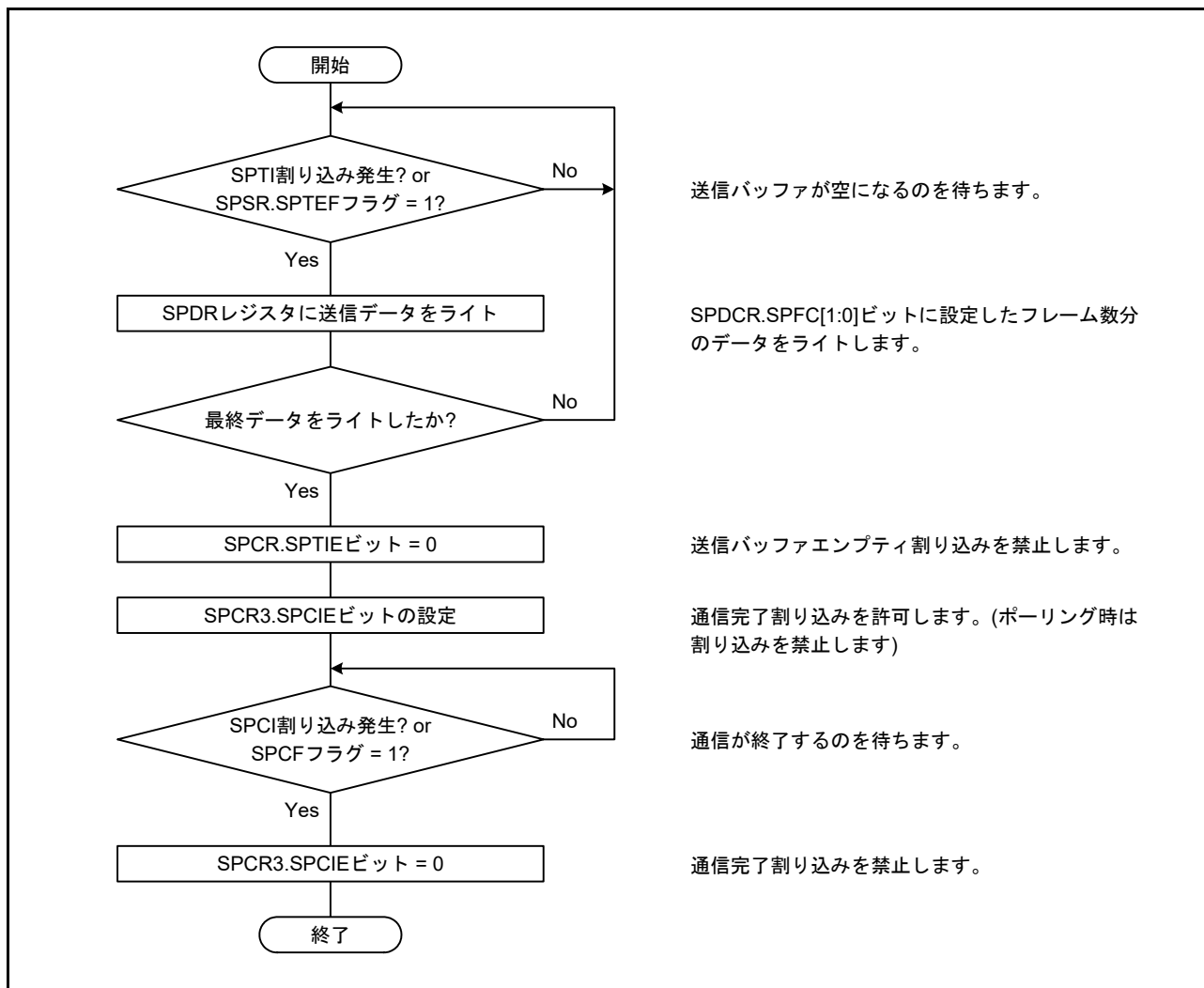


図 40.45 スレープモード時のフローチャート (送信)

(c) 受信処理フロー

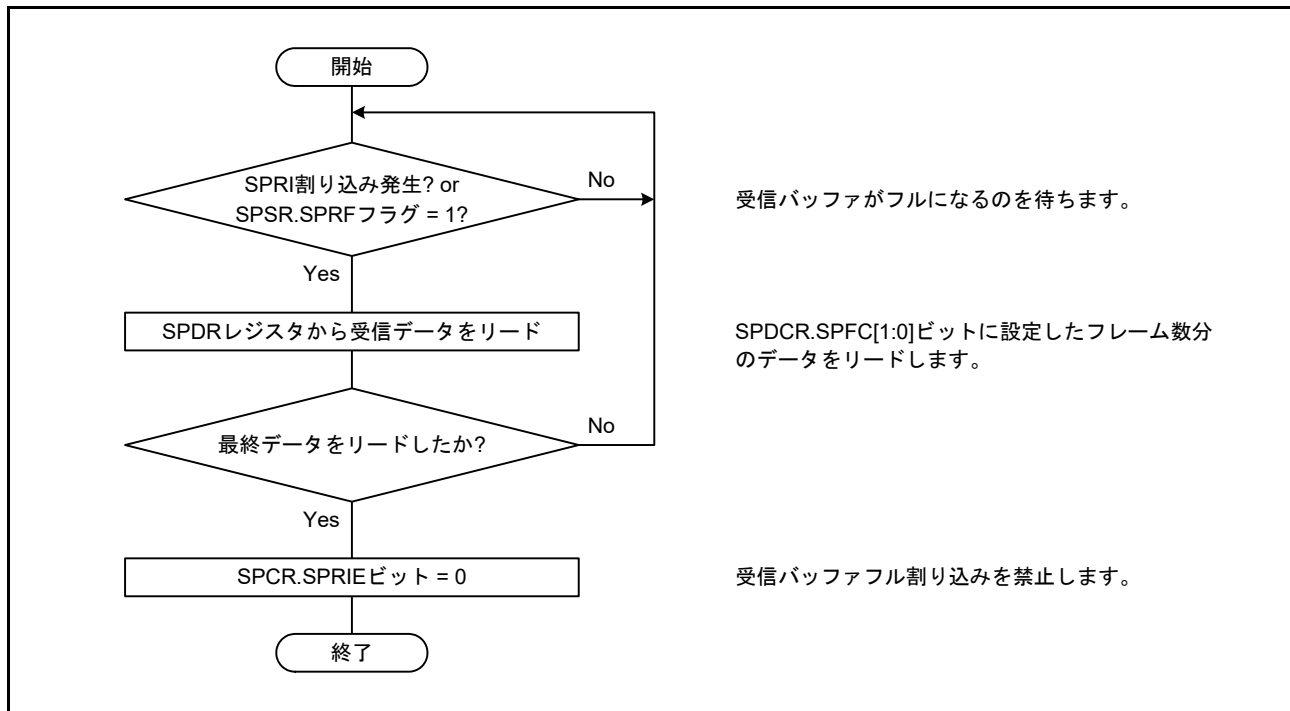


図 40.46 スレーブモード時のフローチャート (受信)

(d) エラー処理フロー

スレーブモード時は、モードフォルトエラーが発生しても SSLx0 端子の状態にかかわらず、SPSR.MODF フラグをクリアすることができます。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

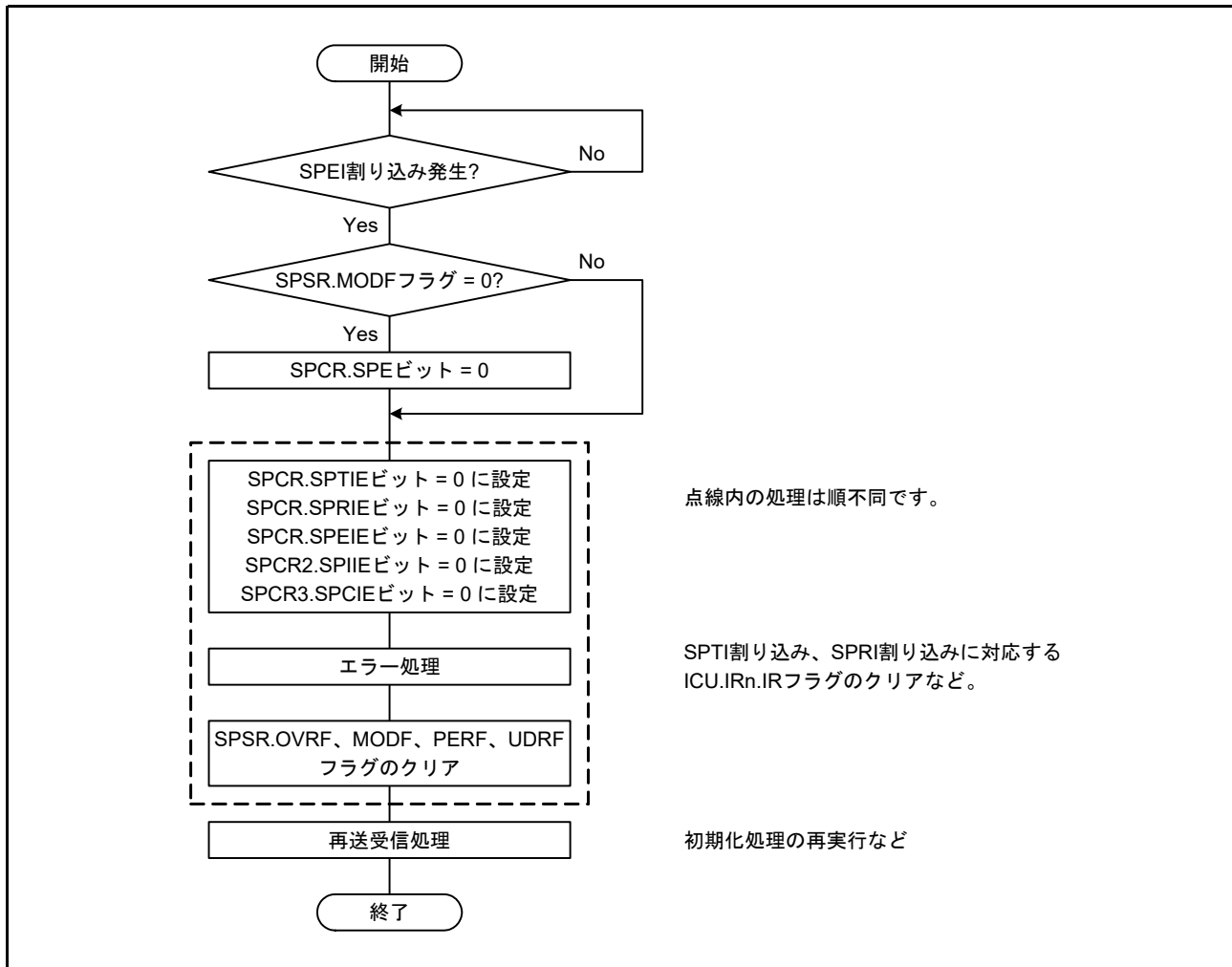


図 40.47 スレーブモード時のフローチャート (エラー処理)

40.3.13 クロック同期式動作

RSPI は、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLxi 端子を使用せず、RSPCKx、MOSIx、MISOx の 3 本の端子を用いて通信を行い、SSLxi 端子は I/O ポートとして使用することができます。

クロック同期式動作は、SSLxi 端子を使用せず通信を行います。モジュール内部の動作は SPI 動作と同様の動作を行います。マスタモード、スレーブモードにおいて、SPI 動作時と同様のフローで通信を行うことができますが、SSLxi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを“0”にしないでください。

40.3.13.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (SPSR.SPTEF フラグが“1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「40.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLx0 出力信号を用いずに通信を行います。

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに対応する RSPCKx エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグが“0”) の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「40.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLx0 出力信号を用いずに通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLxi 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLxi 出力信号値、MSB/LSB フェースト、データ長、ビットレート設定の一部、RSPCKx 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが“1”で RSPI 動作が許可された状態にすると、RSPI はコマンドに対するポインタを SPCMD0 レジ

スタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPId は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPId はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

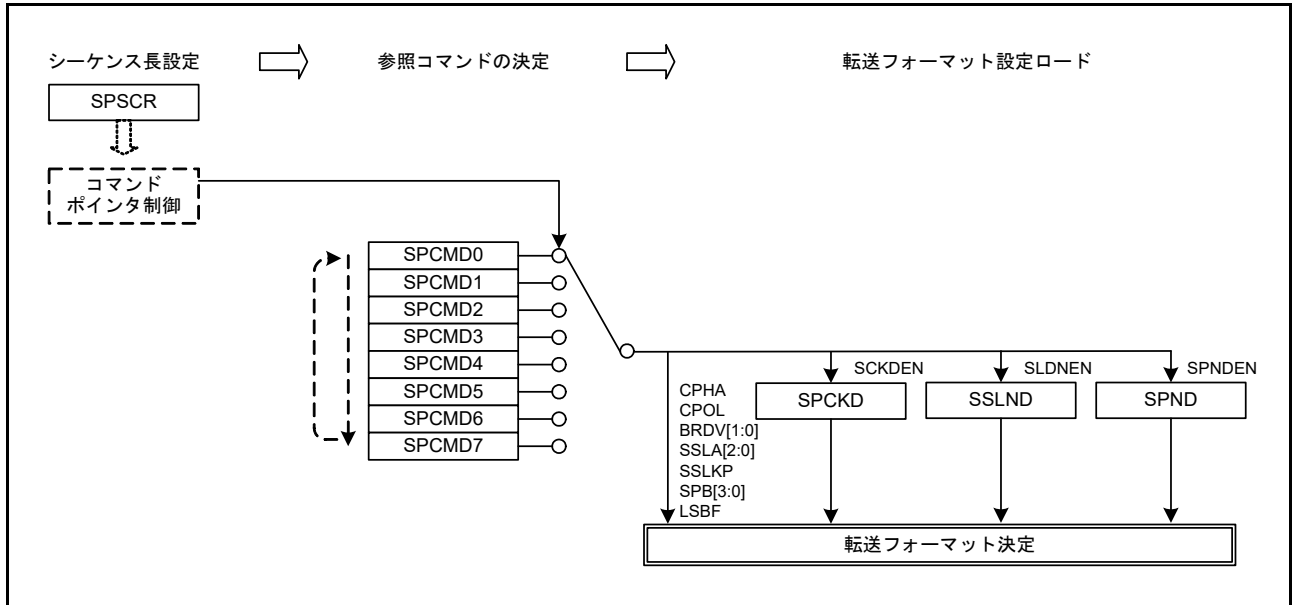


図 40.48 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

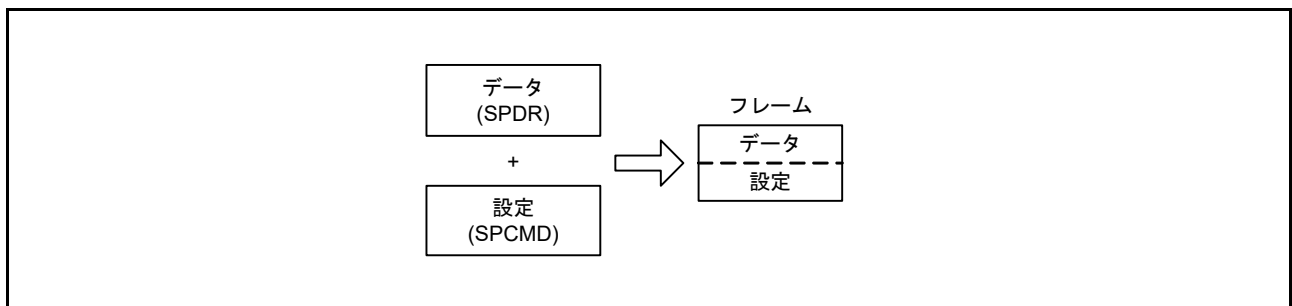


図 40.49 フレーム概念図

表 40.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 40.50 に示します。

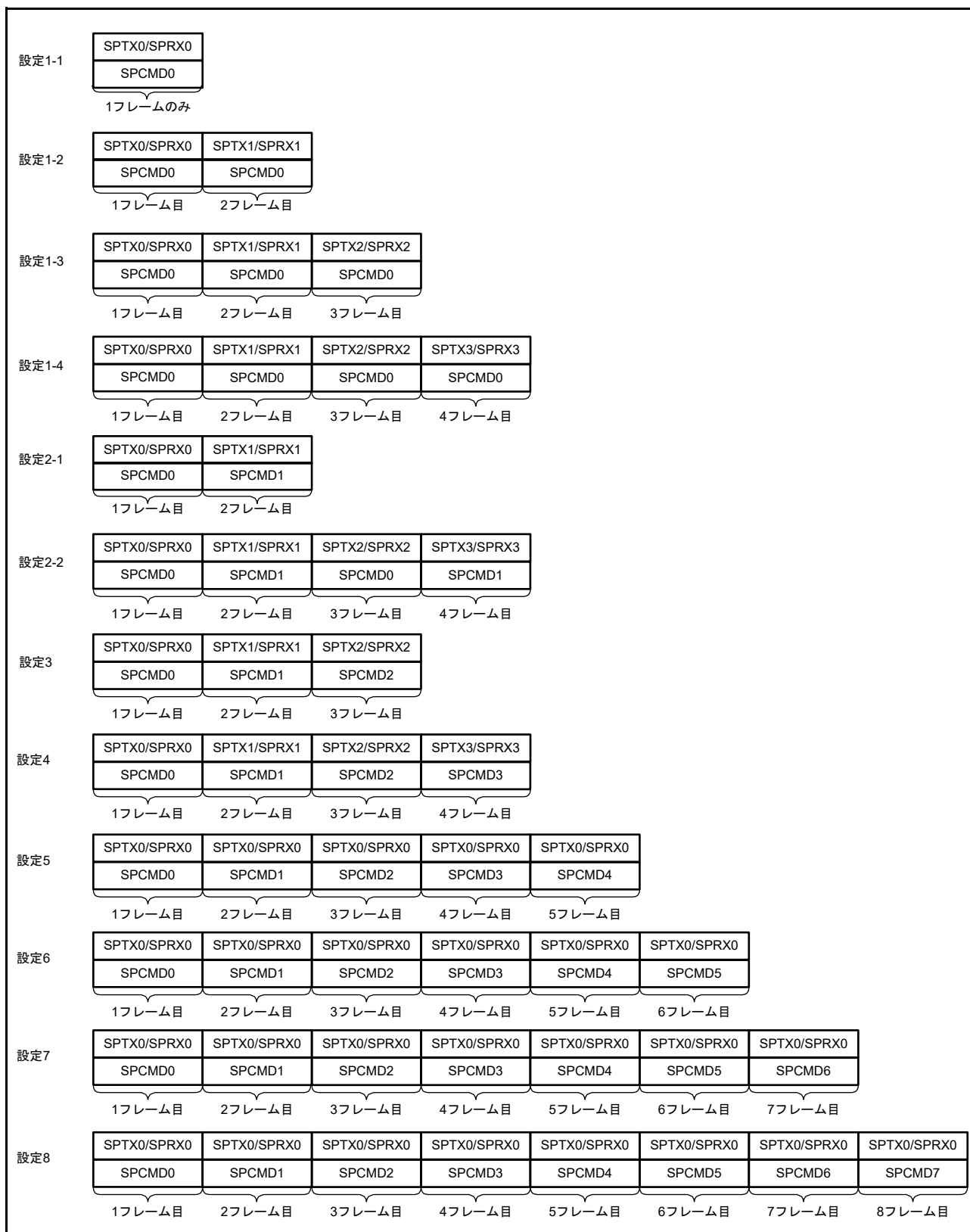


図 40.50 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 40.51 に、クロック同期式動作時の RSPi をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

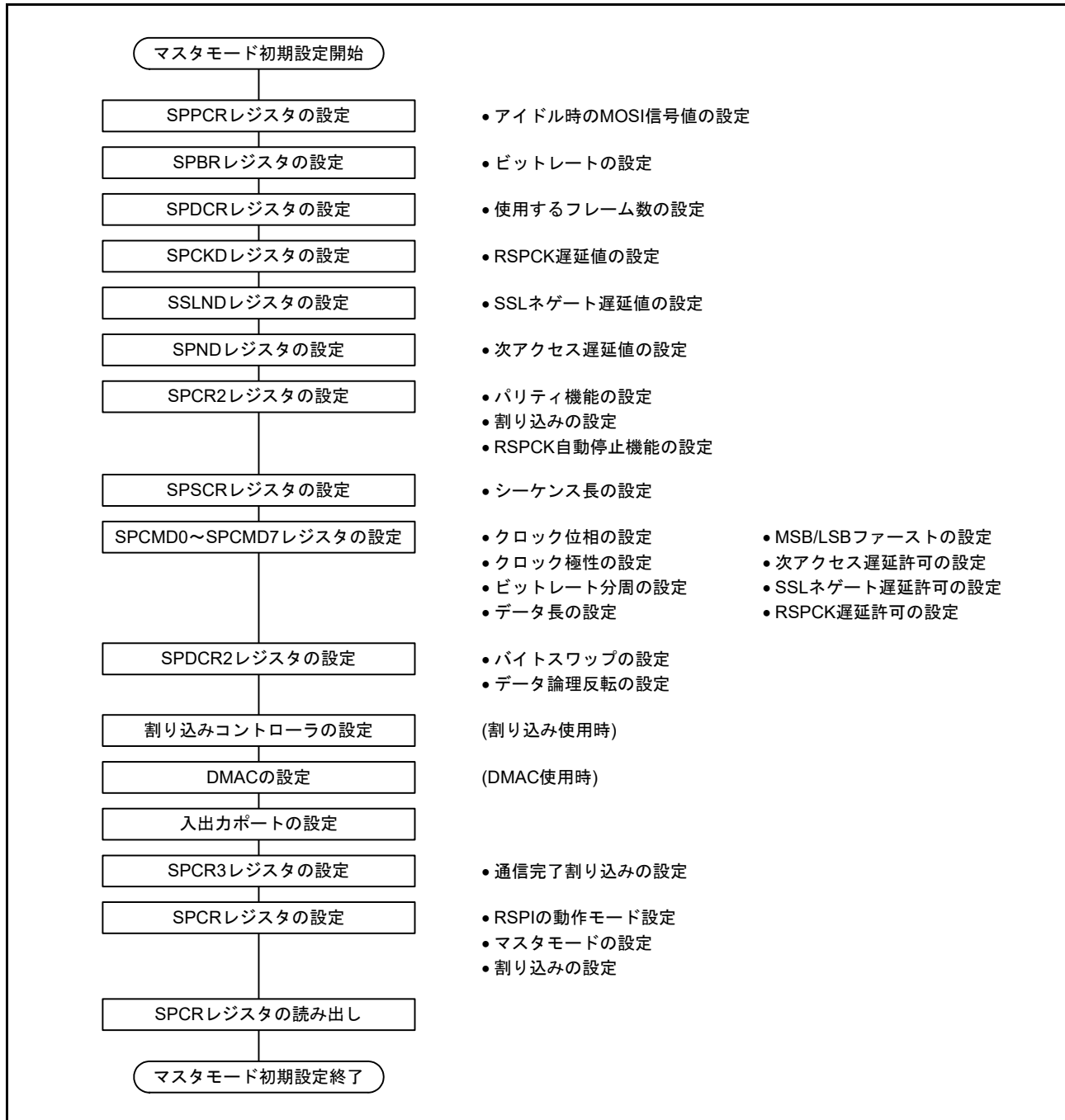


図 40.51 マスターモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「40.3.12.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

40.3.13.2 スレーブモード動作

(1) シリアル転送の開始

RSPIは、SPCR.SPMSビットが“1”であるとき、最初のRSPCK_xエッジがシリアル転送開始のトリガになります。

SPMSビットが“1”であるときは、RSPIはMISO_x出力信号をドライブします。

なお、RSPIの転送フォーマットの詳細については、「40.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSL_{x0}入力信号を使用しません。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCK_xエッジを検出するとシリアル転送を終了します。受信バッファが空(SPSR.SPRFフラグが“0”)の場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「40.3.5 転送フォーマット」を参照してください。

(3) 初期化フロー

図 40.52 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

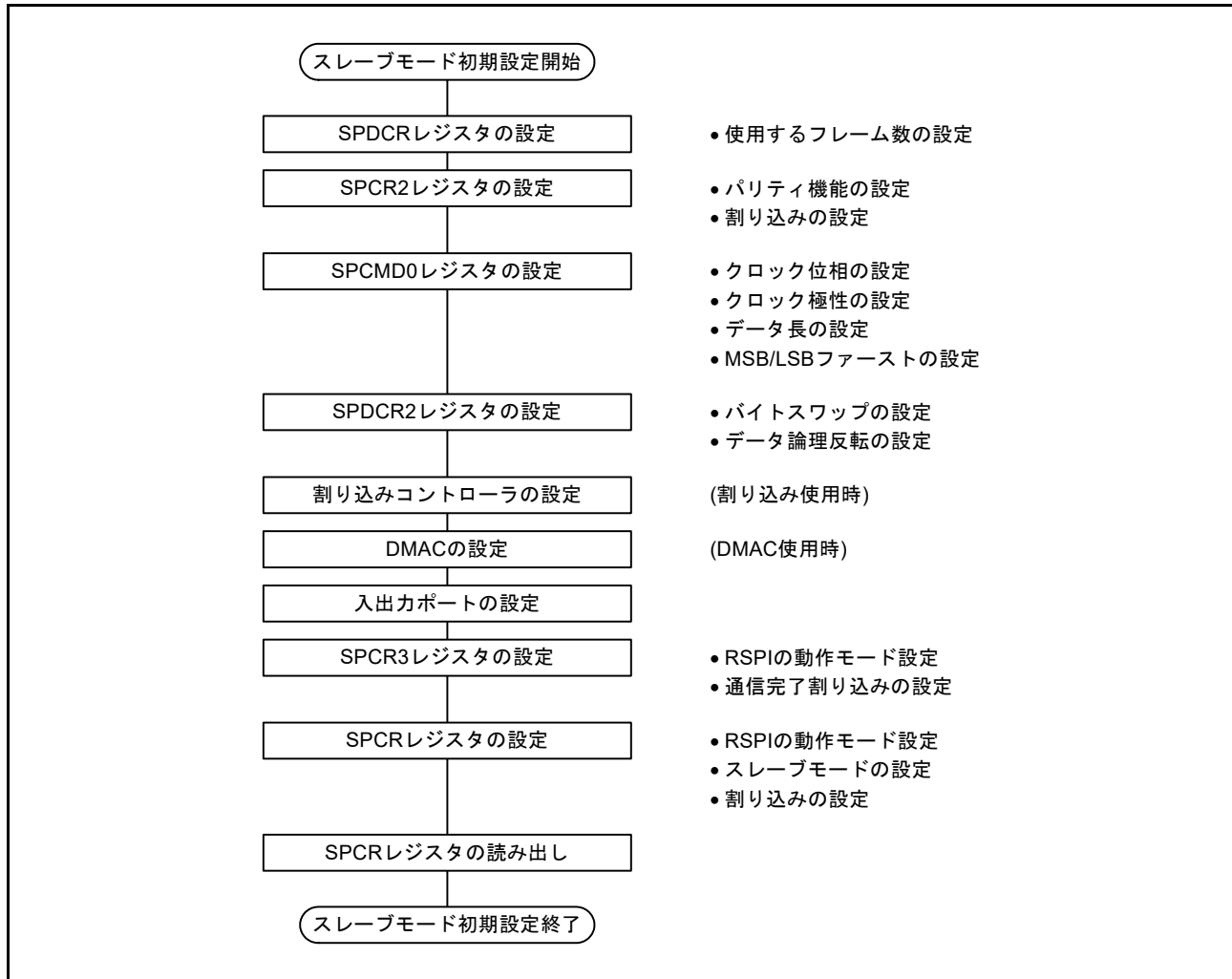


図 40.52 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「40.3.12.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

40.3.14 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPIは SPCR.MSTR ビットが“1”ならば、MISOx 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIx 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSIx 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISOx 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 40.11 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 40.53 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0, SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 40.11 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIx 端子または MISOx 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

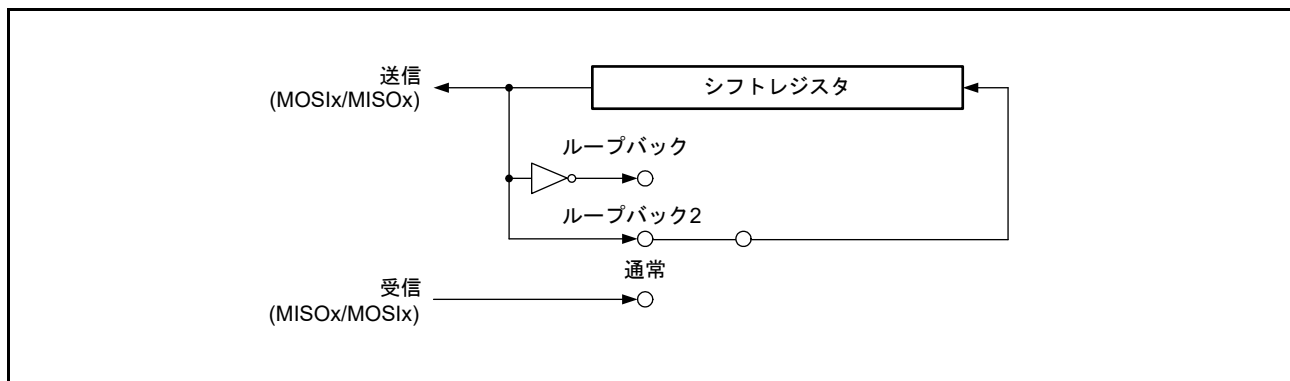


図 40.53 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

40.3.15 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 40.54 に示すのフローに従い、パリティ回路の自己診断を行います。

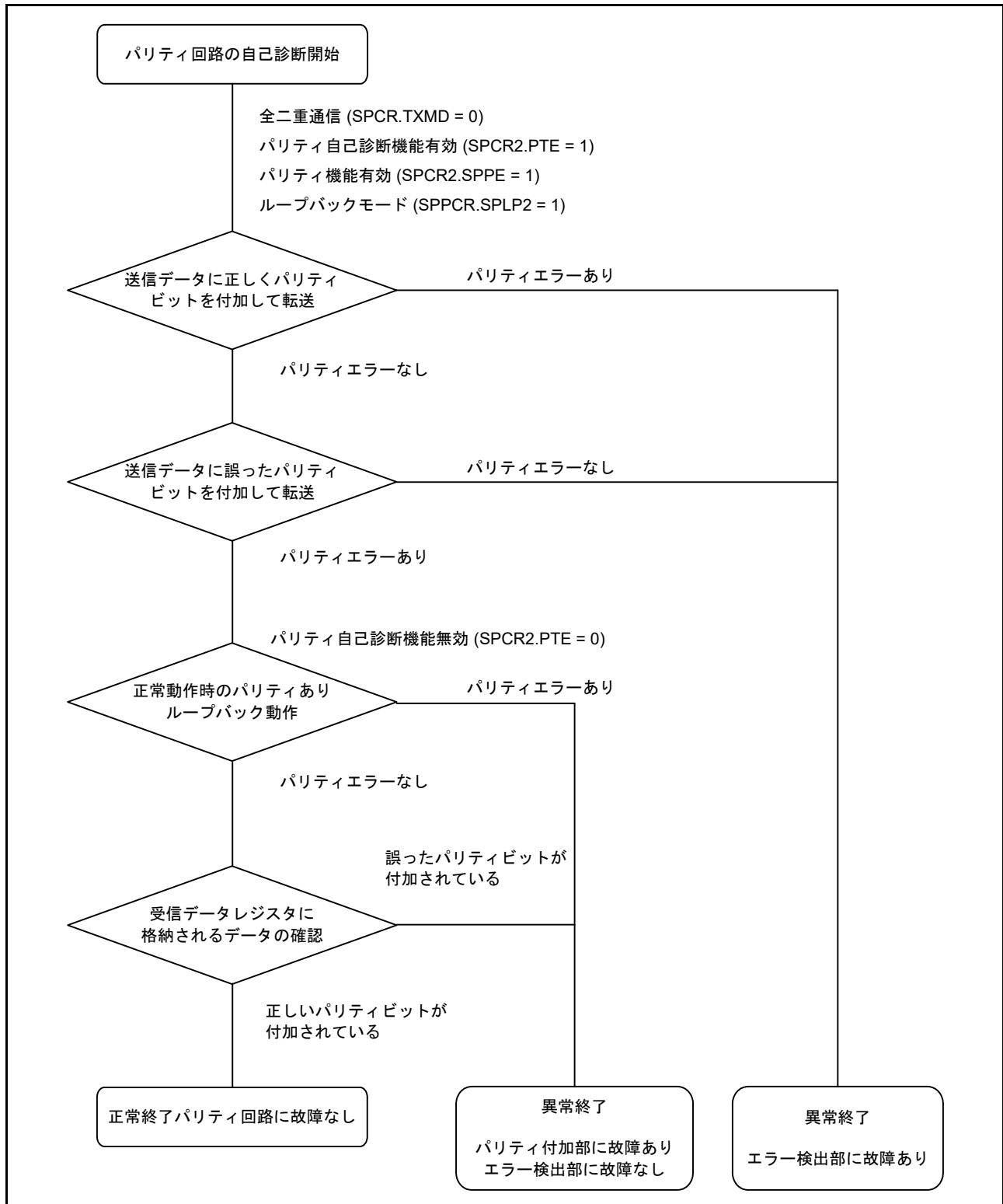


図 40.54 パリティ回路の自己判断フロー

40.3.16 割り込み要因

RSPIの割り込み要因には、受信バッファフル、送信バッファエンプティ、エラー(モードフォルト、アンダラン、オーバラン、パリティエラー)、アイドル、通信完了があります。また、受信バッファフル、送信バッファエンプティの割り込み要求でDTC、DMACを起動し、データ転送を行うことができます。

モードフォルト、アンダラン、オーバラン、パリティエラーの割り込み要求がSPEIのベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表40.12にRSPIの割り込み要因を示します。表40.12の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTCまたはDMACを使って送受信を行う場合は、先にDTCまたはDMACを設定し、許可状態にしてからRSPIの設定を行ってください。DTCまたはDMACの設定方法は「18. DMAコントローラ(DMACAb)」、「20. データトランスファコントローラ(DTCb)」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IRフラグが“1”のときに割り込み発生条件となっても、ICUに対して割り込み要求を出力せず内部で保持します(内部で保持できる容量は、1要因ごとに1要求までです)。ICU.IRn.IRフラグが“0”になると、ICUに対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット(SPCR.SPTIEビットまたはSPCR.SPRIEビット)を“0”にすることでクリアが可能です。

表40.12 RSPIの割り込み要因

割り込み要因	略称	割り込み条件	DMAC/DTC起動
受信バッファフル	SPRI	SPCR.SPRIEビットが“1”の状態を受信バッファフル(SPRFフラグが“1”)になったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIEビットが“1”の状態を送信バッファエンプティ(SPTEFフラグが“1”)になったとき	可能
エラー(モードフォルト、アンダラン、オーバラン、パリティエラー)	SPEI	SPCR.SPEIEビットが“1”の状態でSPSR.MODF、UDRF、OVRF、またはPERFフラグが“1”)になったとき	不可能
アイドル	SPII	SPCR2.SPIIEビットが“1”の状態でSPSR.IDLNFフラグが“0”)になったとき	不可能
通信完了	SPCI	SPCR3.SPCIEビットが“1”の状態でSPSR.SPCFフラグが“1”)になったとき	不可能

40.4 イベントリンク機能によるリンク動作

RSPi0 はイベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。イベントリンク出力信号は、割り込み許可ビットに依存せず出力します。

40.4.1 受信バッファフルイベント出力

シリアル転送が終了してシフトレジスタから SPDR レジスタに受信データを転送したときに、イベントを出力します。

40.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、また、SPCR.SPE ビットを“0”から“1”に変化させたときにイベントを出力します。

40.4.3 モードフォルト/アンダラン/オーバラン/パリティエラーイベント出力

(1) モードフォルト

表 40.13 にモードフォルトイベント出力の発生条件を示します。

表40.13 モードフォルトイベント出力の発生条件

	SPCR.MODFEN ビット	SSLx0 端子	備考
マスタ (SPCR.MSTR ビットが“1”)	1	アクティブ	MSTR ビットが“1”かつ SPCR.MODFEN ビットが“1”のとき、SPCR.SPMS ビットが“0”では、モードフォルトエラーおよびオーバランエラー、パリティエラーイベント出力は使用できません。ELSRn レジスタに“52h”を設定しないでください。
スレーブ (SPCR.MSTR ビットが“0”)	1	非アクティブ	通信動作中に SSLx0 端子が非アクティブになった場合のみイベント出力

(2) アンダラン

アンダランイベント出力の発生条件として、SPCR.MSTR ビットが“0”、かつ SPCR.SPE ビットが“1”で、送信バッファに送信データが書き込まれていないときにシリアル転送が開始されると、UDRF フラグと MODF フラグが“1”になり、イベントが出力されます。

(3) オーバラン

オーバランイベント出力の発生条件として、SPCR.TXMD ビットが“0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき、OVRF フラグが“1”となり、イベントを出力します。

(4) パリティエラー

パリティエラーイベント出力の発生条件として、SPCR の TXMD ビットが“0”、SPCR2 の SPPE ビットが“1”の状態でシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

40.4.4 アイドルイベント出力

(1) マスタモード時

マスタモード時は、IDLNF フラグ (アイドルフラグ) が “0” になる条件が成立したときイベントを出力します。

(2) スレーブモード時

スレーブモード時は、SPCR.SPE ビットが “0” (RSPi 初期化) のとき、イベントを出力します。

40.4.5 通信完了イベント出力

SPI 動作、クロック同期式動作ともマスタモードのときは、IDLNF フラグ (アイドルフラグ) が “1” から “0” になる条件でイベントを出力します。スレーブモード時は表 40.14、表 40.15 に示す条件でイベントを出力します。

表 40.14 通信完了イベント出力の発生条件(スレーブモード、全二重通信または送信のみの単方向通信)

RSPiモード	送信バッファ状態	シフトレジスタ状態	その他
SPI動作(SPMS = 0)	エンプティ	エンプティ	SSLx0入力ネゲート
クロック同期式動作(SPMS = 1)	エンプティ	エンプティ	最終データのRSPCKx最終偶数エッジ検出

表 40.15 通信完了イベント出力の発生条件(スレーブモード、受信のみの単方向通信)

RSPiモード	条件
SPI動作(SPMS = 0)	最終データ受信後、SSLx0入力ネゲート
クロック同期式動作(SPMS = 1)	最終データのRSPCKx最終偶数エッジ検出

マスタモード/スレーブモードに関わらず、通信動作中に SPCR.SPE ビットに “0” を書いたとき、またはモードフォルトエラーが発生して SPCR.SPE ビットがクリアされたときはイベントを出力しません。

40.5 使用上の注意事項

40.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB)、モジュールストップコントロールレジスタ C (MSTPCRC) により、RSPI の動作禁止 / 許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

40.5.2 消費電力低減機能の注意事項

モジュールストップ機能の使用、およびスリープモードを除く低消費電力モードに遷移する場合は、あらかじめ SPCR.SPE ビットを“0”に設定し通信を終了させてください。

40.5.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグを“0”にする

40.5.4 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF、SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE、SPTIE ビットを“0”にしてください。

41. シリアルペリフェラルインタフェース (RSPIA)

本 MCU は、シリアルペリフェラルインタフェース (RSPIA0) を内蔵しています。

RSPIA は、全二重または単方向の同期式シリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を備えています。

41.1 概要

表 41.1 に RSPIA の仕様、図 41.1 に RSPIA のブロック図を示します。

表 41.1 RSPIA の仕様 (1/2)

項目	内容
転送機能	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 • 全二重通信または単方向通信 (送信のみ、受信のみ) を選択可能 • マスタモード、スレーブモードでのシリアル通信が可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	<ul style="list-style-type: none"> • MSB ファースト / LSB ファーストの切り替え可能 • 転送ビット長を 4 ~ 32 ビットに変更可能 • 送信 / 受信バッファは 32 ビット × 4 段の FIFO • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット) • 送信 / 受信データをバイト単位でスワップ可能 • 送信 / 受信データのロジックレベルを反転可能
ビットレート	<ul style="list-style-type: none"> • マスタ時は、内蔵ポーレートジェネレータで PCLKA を分周して RSPCK を生成する分周比は、2 ~ 4096 の範囲で設定可能 • スレーブ時は、外部入力クロックをシリアルクロックとして使用する 最高周波数は、PCLKA の 2 分周 (High 幅 : PCLKA の 1 サイクル、Low 幅 : PCLKA の 1 サイクル)
バッファ構成	送信 / 受信バッファはそれぞれ別のバッファで構成
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • アンダランエラー検出 • オーバランエラー検出 • パリティエラー検出 • 受信データレディ検出
SSL 制御機能	<p>[Motorola SPI]</p> <ul style="list-style-type: none"> • RSPIA 1 チャンネルあたり 4 本の SSL 信号 (SSL00 ~ SSL03) • シングルマスタ設定時には、SSL00 ~ SSL03 信号を出力 • マルチマスタ設定時 : SSL00 信号は入力、SSL01 ~ SSL03 信号は出力または Hi-Z • スレーブ設定時 : SSL00 信号は入力、SSL01 ~ SSL03 信号は Hi-Z (未使用) • SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲 : 1 ~ 8 RSPCK 設定単位 : 1 RSPCK • RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲 : 1 ~ 8 RSPCK 設定単位 : 1 RSPCK • 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲 : 1 ~ 8 RSPCK 設定単位 : 1 RSPCK • SSL 極性変更機能

表 41.1 RSPIAの仕様 (2/2)

項目	内容
SSL制御機能	<p>[TI SSP]</p> <ul style="list-style-type: none"> RSPIA 1チャンネルあたり4本のSSL信号(SSL00～SSL03) シングルマスタ設定時には、SSL00～SSL03信号を出力 マルチマスタ設定時： <ul style="list-style-type: none"> SSL00信号は入力、SSL01～SSL03信号は出力またはHi-Z スレーブ設定時： <ul style="list-style-type: none"> SSL00信号は入力、SSL01～SSL03信号はHi-Z(未使用) SSL出力のアサートからRSPCK動作までの遅延(RSPCK遅延)を設定可能 設定範囲：0～8 RSPCK 設定単位：1 RSPCK RSPCK停止からデータ出力をHi-Zにするまでの遅延(OEネゲート遅延)を設定可能 設定範囲：1～8 RSPCK 設定単位：1 RSPCK 次アクセスのSSL出力アサートのウェイト(次アクセス遅延)を設定可能 設定範囲：1～8 RSPCK 設定単位：1 RSPCK SSL極性変更機能
通信プロトコル	<ul style="list-style-type: none"> Motorola SPI TI SSP (Synchronous Serial Protocol)
マスタ転送時の制御方式	<p>[Motorola SPI]</p> <ul style="list-style-type: none"> 最大8コマンドで構成された転送をシーケンシャルにループ実行可能 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 送信バッファへのライトで転送を起動可能 SSLネゲート時のMOSI信号値を設定可能 RSPCK自動停止機能(有効/無効の切り替え可能) バースト転送時のデータバイト間遅延を短縮可能 <p>[TI SSP]</p> <ul style="list-style-type: none"> 最大8コマンドで構成された転送をシーケンシャルにループ実行可能 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延(OEネゲート遅延)、次アクセス遅延 送信バッファへのライトで転送を起動可能 SSLネゲート時のMOSI信号値を設定可能 RSPCK自動停止機能(有効/無効の切り替え可能) バースト転送時のデータバイト間遅延を短縮可能
割り込み要因	<p>5要因</p> <ul style="list-style-type: none"> 受信バッファフル/受信データレディ割り込み 送信バッファエンpty割り込み 通信完了割り込み エラー割り込み(モードフォルト、アンダラン、オーバラン、パリティエラー、受信データレディ) アイドル割り込み
イベントリンク機能	<p>5種類のイベントをイベントリンクコントローラへ出力可能</p> <ul style="list-style-type: none"> 受信バッファフル/受信データレディイベント信号 送信バッファエンptyイベント信号 モードフォルト/アンダラン/オーバラン/パリティエラー/受信データレディイベント信号 アイドルイベント信号 通信完了イベント信号
その他の機能	<ul style="list-style-type: none"> RSPIディスエーブル(初期化)機能 ループバックモード機能 SPEビットのステータスポーリング機能
消費電力低減機能	モジュールストップ状態への遷移が可能

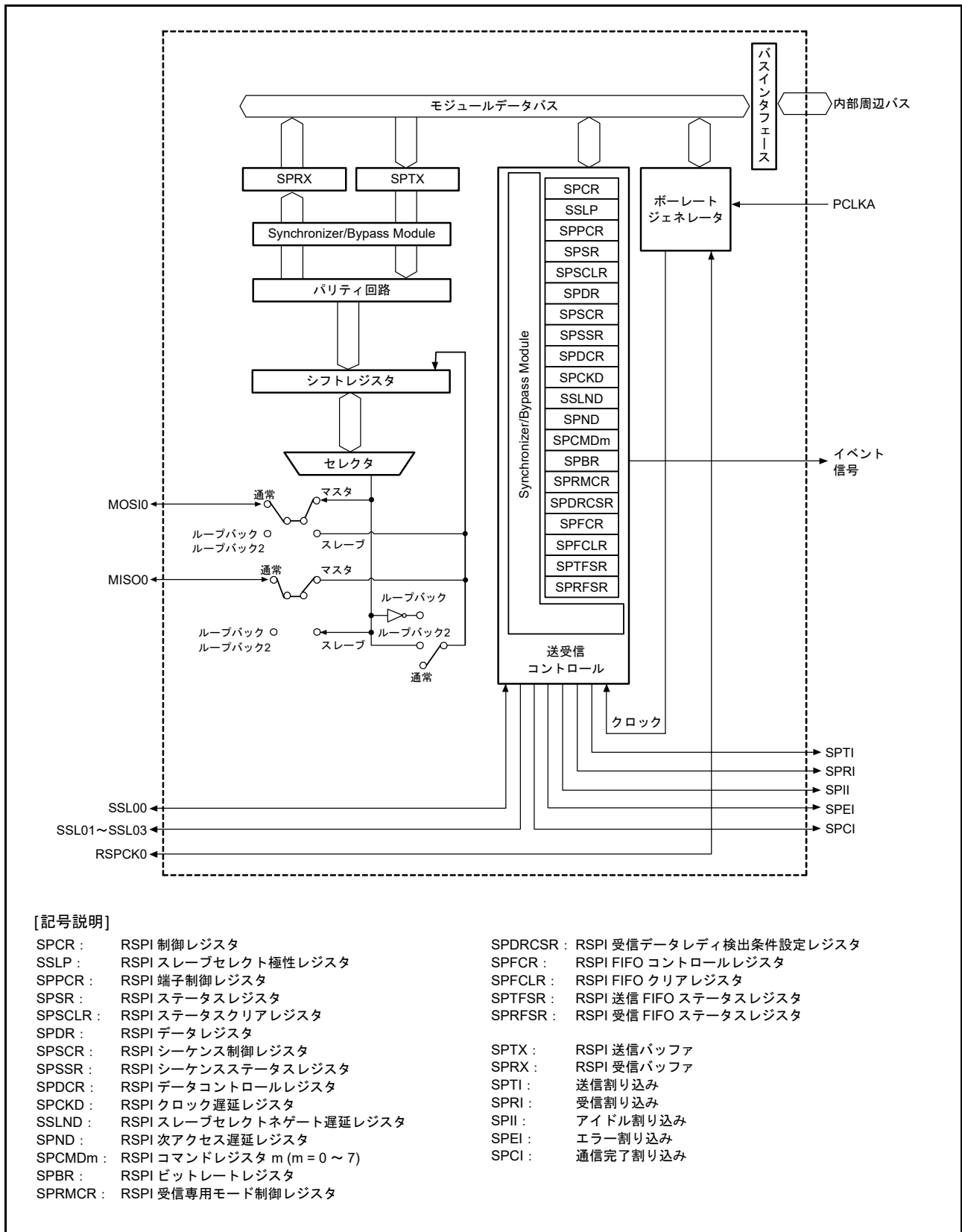


図 41.1 RSPIA のブロック図

表 41.2 に RSPIA の入出力端子を示します。

SSL00 端子の入出力方向は、シングルマスタ設定の場合には出力、マルチマスタ設定とスレーブ設定の場合には入力に、RSPIA が自動的に切り替えます。RSPCK0、MOSI0、MISO0 端子の入出力方向は、マスタ / スレーブ設定、SPI 動作 (4 線式) / クロック同期式動作 (3 線式)、SSL00 端子の入力レベルに応じて、RSPIA が自動的に切り替えます「41.3.2 RSPI 端子の制御」参照。

表 41.2 RSPIAの入出力端子

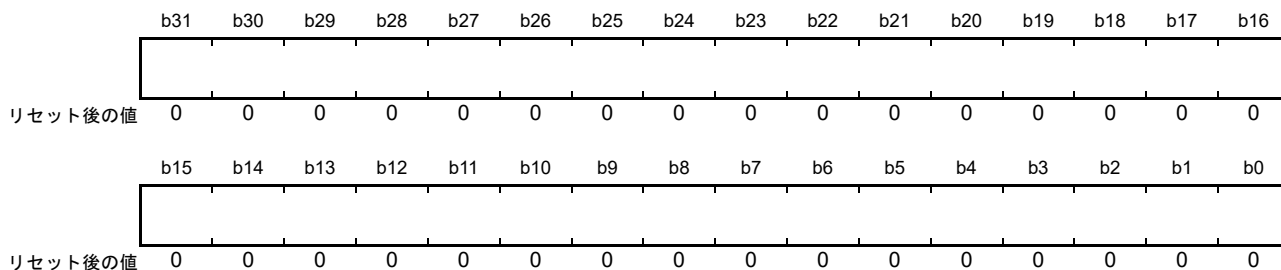
チャンネル	端子名	入出力	機能
RSPIA0	RSPCK0	入出力	クロック入出力
	MOSI0	入出力	マスタ送出データ入出力
	MISO0	入出力	スレーブ送出データ入出力
	SSL00	入出力	スレーブセレクト入出力
	SSL01	出力	スレーブセレクト出力
	SSL02	出力	スレーブセレクト出力
	SSL03	出力	スレーブセレクト出力

41.2 レジスタの説明

41.2.1 RSPI データレジスタ (SPDR)

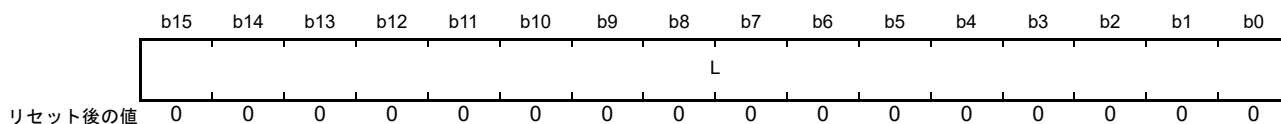
- ロングワードアクセス時

アドレス RSPIA0.SPDR 000E 2800h



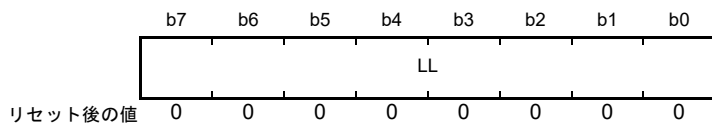
- ワードアクセス時

アドレス RSPIA0.SPDR 000E 2800h



- バイトアクセス時

アドレス RSPIA0.SPDR 000E 2800h



SPDR レジスタは、RSPI 送受信のデータを格納するバッファです。送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造を図 41.2 に示します。

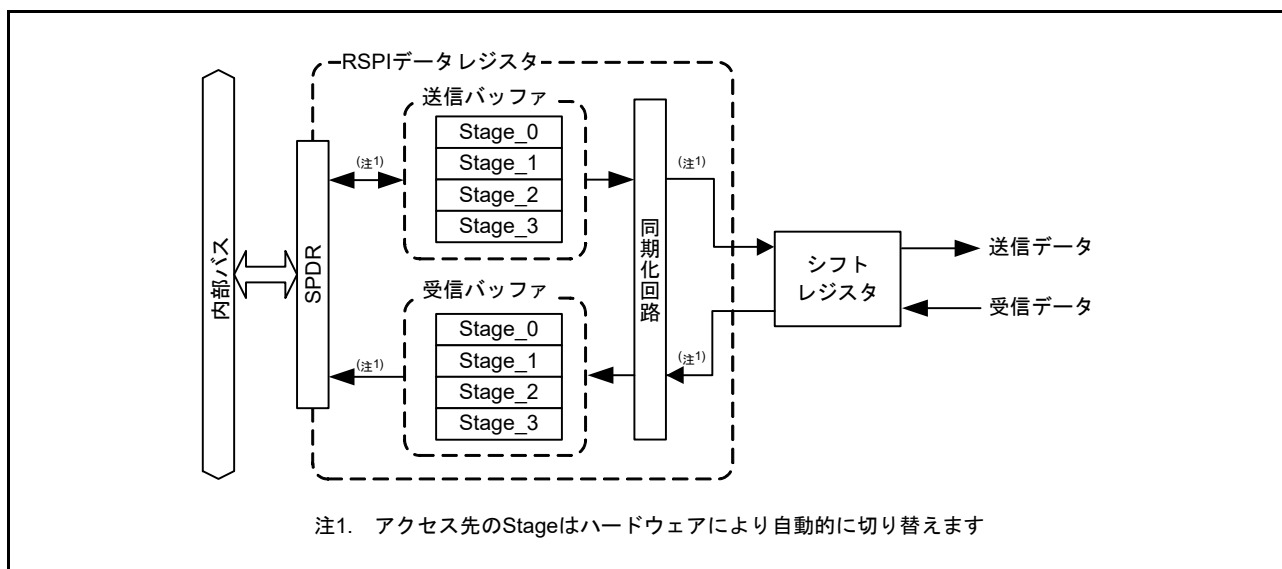


図 41.2 SPDR レジスタの構成図

送信バッファと受信バッファには、それぞれ 32 ビット×4 段の FIFO があります。SPDR レジスタには、これらの合計 8 段の FIFO が 1 アドレスにマッピングされています。送信バッファ (SPTXn, n = 0 ~ 3) は SPDR レジスタにライトすることにより書き込むことができ、ライトしたデータを送信します。

受信バッファ (SPRXn, n = 0 ~ 3) は、データの受信が完了すると受信データを格納します。オーバーラン発生時は、受信バッファの値は更新しません。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファ (SPTX_n, n=0~3) と受信バッファ (SPRX_n, n=0~3) をそれぞれ4段分、計32バイトあります。これらの32バイトをSPDRレジスタの4バイト空間にマッピングしています。

送信データは、LSB 詰めで書き込んでください。受信データはLSB 詰めで格納されます。

SPDR レジスタへのライト時とリード時の動作を以下に示します。

(a) ライト

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへライトすることによりポインタが次のバッファに自動的に切り替わります。図 41.3 に送信バッファのバスインタフェース(ライト)の構造を示します。

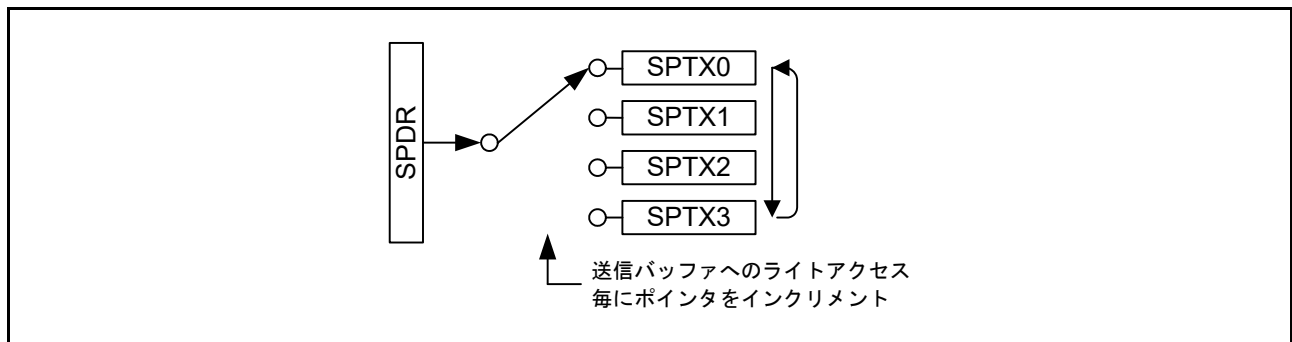


図 41.3 SPDR レジスタの構成図 (ライト)

送信バッファの切り替え順序

SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → …

送信バッファへの書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF フラグが“1”のとき)、RSPI FIFO コントロールレジスタの送信 FIFO しきい値設定ビット (SPFCR.TTRG[1:0]) で設定したフレーム数+1分の送信データを書き込んでください。送信 FIFO に空き段数がない状態で送信バッファに書き込みを行ってもバッファの値は更新されません。

(b) リード

SPDR レジスタをリードすることによって受信バッファ (SPRXn, n=0~3)、または送信バッファ (SPTXn, n=0~3) の値を読み出すことができます。RSPI データコントロールレジスタの RSPI 受信/送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出しは、独立した受信バッファリードポインタと送信バッファリードポインタによって行われます。

図 41.4 に受信バッファと送信バッファのバスインタフェース (リード) の構造を示します。

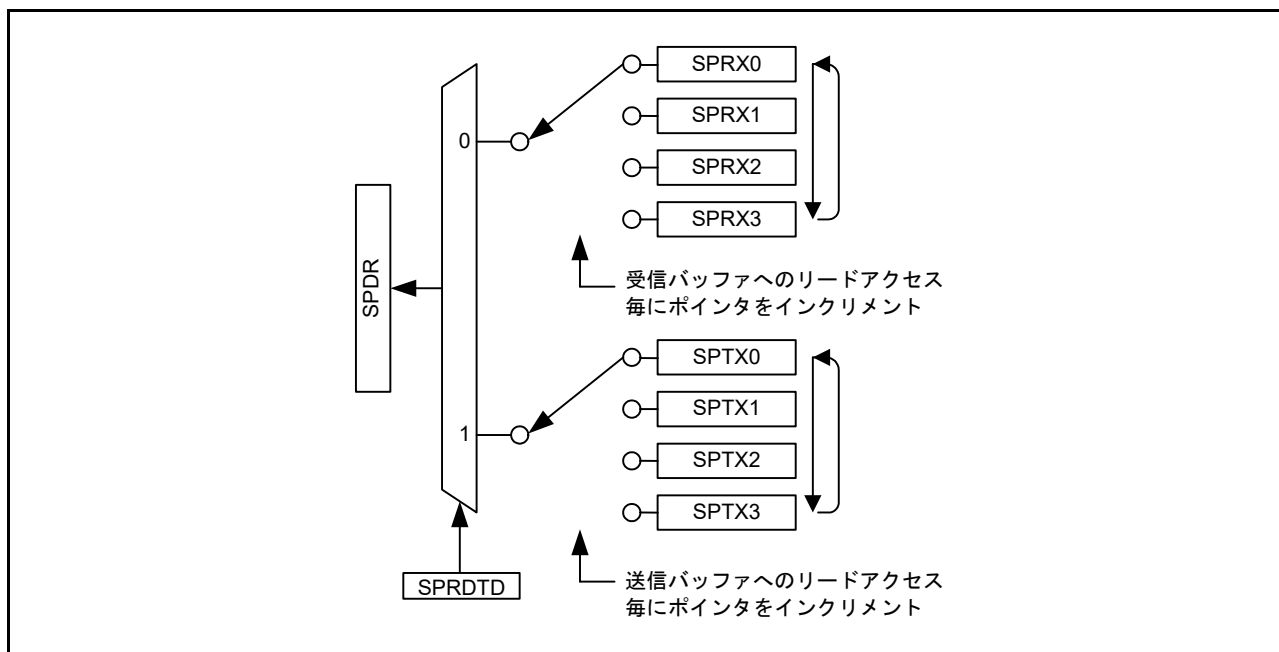


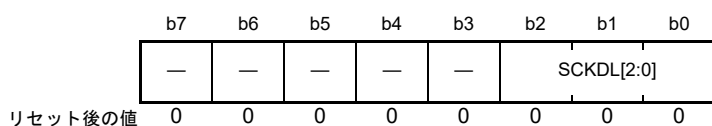
図 41.4 SPDR 構成図 (リード)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。

送信バッファリードポインタは SPDR レジスタへのライト時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR レジスタに最後にライトした値が読み出せます。

41.2.2 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPIA0.SPCKD 000E 2804h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

[Motorola SPI]

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSL0i 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと SPE ビットが“1”の状態では、SPCKD レジスタを書き換えた場合には、以降の動作は保証されません。

[TI SSP]

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSL0i 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延)、および SSL0i 信号をネゲートまでの期間を設定するためのレジスタです。SPCR.MSTR ビットと SPE ビットが“1”の状態では、SPCKD レジスタを書き換えた場合には、以降の動作は保証されません。

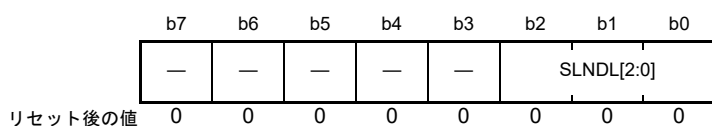
SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合に RSPCK 遅延値を設定するためのビットです。

RSPIA をスレーブモードで使用する場合には、SCKDL[2:0] ビットに“000b”を設定してください。

41.2.3 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPIA0.SSLND 000E 2805h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	[マスターモード] b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK [TI SSPスレーブモード] b2 b0 0 0 0 : 1 PCLKA 0 0 1 : 2 PCLKA 0 1 0 : 3 PCLKA 0 1 1 : 4 PCLKA 1 0 0 : 5 PCLKA 1 0 1 : 6 PCLKA 1 1 0 : 7 PCLKA 1 1 1 : 8 PCLKA	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

[Motorola SPI]

SSLNDレジスタは、SPCMDm.SLNDENビットが“1”の場合に、マスターモードのRSPIAがシリアル転送の最終RSPCKエッジを送出してからSSL信号をネゲートするまでの期間(SSLネゲート遅延)を設定するためのレジスタです。SPCR.MSTRビットとSPEビットが“1”の状態、SSLNDレジスタを書き換えた場合には、以降の動作は保証されません。

[TI SSP]

SSLNDレジスタは、SPCMDm.SLNDENビットが“1”の場合に、マスターモードのRSPIAがシリアル転送の最終RSPCKエッジを送出してからOE信号をネゲートするまでの期間、またはスレーブモードのRSPIAがシリアル転送の最終RSPCKエッジを検出してからOE信号をネゲートするまでの期間を設定するためのレジスタです。SPCR.SPEビットが“1”の状態、SSLNDレジスタを書き換えた場合には、以降の動作は保証されません。

SLNDL[2:0] ビット (SSL ネゲート遅延設定ビット)

[Motorola SPI]

SPCMDm.SLNDEN ビットが“1”の場合の SSL ネゲート遅延を設定するためのビットです。
スレーブモードで使用する場合、このビットに“000b”を設定してください。

[TI SSP]

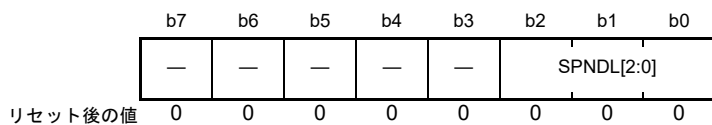
SPCMDm.SLNDEN ビットが“1”の場合の OE ネゲート遅延を設定するためのビットです。

[クロック同期式動作]

スレーブモードで使用する場合、このビットは“000b”にしてください。

41.2.4 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPIA0.SPND 000E 2806h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK + 5 PCLKA 0 0 1 : 2 RSPCK + 5 PCLKA 0 1 0 : 3 RSPCK + 5 PCLKA 0 1 1 : 4 RSPCK + 5 PCLKA 1 0 0 : 5 RSPCK + 5 PCLKA 1 0 1 : 6 RSPCK + 5 PCLKA 1 1 0 : 7 RSPCK + 5 PCLKA 1 1 1 : 8 RSPCK + 5 PCLKA	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態における、シリアル転送終了後の SSL0i 信号の非アクティブ期間(次アクセス遅延)を設定するためのレジスタです。SPCR.MSTR ビットと SPE ビットが“1”の状態、SPND レジスタを書き換えた場合には、以降の動作は保証されません。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定するためのビットです。
 RSPIA をスレーブモードで使用する場合には、SPNDL[2:0] ビットに“000b”を設定してください。

41.2.5 RSPI 制御レジスタ (SPCR)

アドレス RSPIA0.SPCR 000E 2808h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYNDIS	MSTR	CMMDD[1:0]	—	—	FRFS	SPMS	—	—	SPCIE	SPTIE	RDRIS	SPIIE	SPRIE	SPEIE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MODFEN	SCKDDIS	SCKKASE	PTE	—	SPOE	SPPE	—	—	—	—	—	—	—	SPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能が有効	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	SPPE	パリティ許可ビット	0: 送信データにパリティビットを付加せず、受信データの パリティチェックも行わない 1: 送信データにパリティビットを付加し、受信データの パリティチェックを行う	R/W
b9	SPOE	パリティモードビット	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b11	PTE	パリティ自己診断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b12	SCKASE	RSPCK自動停止機能許可ビット	0: RSPCK自動停止機能が無効 1: RSPCK自動停止機能が有効	R/W
b13	SCKDDIS	フレーム間RSPCK遅延無効化ビット	0: バースト転送時のフレーム間遅延あり 1: バースト転送時のフレーム間遅延なし	R/W
b14	MODFEN	モードフォルトエラー検出許可ビット	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	SPEIE	エラー割り込み許可ビット	0: エラー割り込み禁止 1: エラー割り込み許可	R/W
b17	SPRIE	受信バッファフル割り込み許可ビット	0: 受信バッファフル割り込み禁止 1: 受信バッファフル割り込み許可	R/W
b18	SPIIE	アイドル割り込み許可ビット	0: アイドル割り込み禁止 1: アイドル割り込み許可	R/W
b19	RDRIS	受信データレディ割り込み選択ビット	0: 受信バッファフル割り込み 1: エラー割り込み	R/W
b20	SPTIE	送信バッファエンプティ割り込み許可ビット	0: 送信バッファエンプティ割り込み禁止 1: 送信バッファエンプティ割り込み許可	R/W
b21	SPCIE	通信完了割り込み許可ビット	0: 通信完了割り込み禁止 1: 通信完了割り込み許可	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	SPMS	RSPIモード選択ビット	0: SPI動作(4線式) 1: クロック同期式動作(3線式)	R/W
b25	FRFS	フレームフォーマット選択ビット (注1)	0: Motorola SPI 1: TI SSP	R/W
b27-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ビット	シンボル	ビット名	機能	R/W
b29-b28	CMMD[1:0]	通信モード選択ビット	b29 b28 0 0: 送受信モード(全二重通信) 0 1: 送信専用モード(単方向通信、受信回路停止) 1 0: 受信専用モード(単方向通信、送信回路停止) 1 1: 設定禁止	R/W
b30	MSTR	RSPI マスタ/スレーブモード選択ビット	0: スレーブモード 1: マスタモード	R/W
b31	SYNDIS	同期化回路無効ビット	“1”にしてください	R/W

注1. 本ビットは、SPMS ビットが“0”のときのみ有効です。

SPCR レジスタは、RSPIA の動作モードを設定するためのレジスタです。SPE ビットが“1”の状態、MSTR、SCKDDIS、SPMS、SCKASE、PTE、SPPE、SPOE、SYNDIS、MODFEN、CMMD[1:0]、FRFS ビットの設定値を変更した場合には、以降の動作は保証されません。

SPE ビット (RSPI 機能許可ビット)

本ビットは、RSPIA の機能の有効/無効設定するビットです。このビットを“1”にすることにより、RSPI 機能が有効になります。SPSR.MODF フラグが“1”の場合には、SPE ビットはクリアされ、MODF フラグをクリアするまで SPE ビットを“1”に設定することはできません(「41.3.10 エラー検出」参照)。SPE ビットを“0”にすると、RSPI 機能は無効化されて、モジュール機能の一部が初期化されます(「41.3.12 RSPIA の初期化」参照)。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPOE ビット (パリティモードビット)

偶数パリティ/奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタをあわせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタをあわせて、1の数の合計が奇数個になるようにパリティビットを決定します。SPOE ビットは、SPCR.SPPE ビットが“1”のときのみ有効です。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する前のタイミングで RSPCK が停止します。詳細は「41.3.10.1 オーバランエラー」を参照してください。

SCKDDIS ビット (フレーム間 RSPCK 遅延無効化ビット)

バースト転送時のフレーム間に遅延を挿入するかしないかを設定するビットです。

マスタモード (SPCR.MSTR = 1) で、SPCMDm.SSLKP ビットが“1”のフレームに対して有効です。

スレーブモード (SPCR.MSTR = 0) では、SCKDDIS ビットは“0”に設定してください。

表 41.3 に、フレーム転送における SSL 遅延制御の使用方法を示します。詳細は、「41.3.13.1 マスタモード動作」の「(4) バースト転送」を参照してください。

表41.3 フレーム転送におけるSSL遅延制御の使用方法(マスタモード)

		SPCMDm. SSLKPビット	SPCR. SCKDDISビット	RSPCK遅延、SSLネゲート遅延、次アクセス遅延
非バースト転送の場合		0	0	レジスタ(注1)の設定に応じて、RSPCK遅延、SSLネゲート遅延、次アクセス遅延の各遅延制御を実施
バースト転送(フレーム間遅延あり)の場合	先頭フレームから最終フレームの前まで	1	0	
	最終フレーム	0	0	
バースト転送(フレーム間遅延なし)の場合	先頭フレームから最終フレームの前まで	1	1	各遅延制御は以下の場合のみ実施 <ul style="list-style-type: none"> 先頭フレームのRSPCK遅延 最終フレームのSSLネゲート遅延と次アクセス遅延
	最終フレーム	0	1	

注1. RSPCK遅延 : SPCKD.SCKDL[2:0]、SPCMDm.SCKDENビットで制御
SSLネゲート遅延 : SSLND.SLNDL[2:0]、SPCMDm.SLNDENビットで制御
次アクセス遅延 : SPND.SPNDL[2:0]、SPCMDm.SPNDENビットで制御

表41.4 Motorola SPI時の動作例(SCKDDIS = 1)

設定	動作
SPCMD0.SSLKP = 1	フレーム0と1の間は、バースト転送、フレーム間遅延なし(SSL0i端子はアサートされたまま)
SPCMD1.SSLKP = 1	フレーム1と2の間は、バースト転送、フレーム間遅延なし(SSL0i端子はアサートされたまま)
SPCMD2.SSLKP = 1	フレーム2と3の間は、バースト転送、フレーム間遅延なし(SSL0i端子はアサートされたまま)
SPCMD3.SSLKP = 1	フレーム3と4の間は、バースト転送、フレーム間遅延なし(SSL0i端子はアサートされたまま)
SPCMD4.SSLKP = 0	バースト転送を実施しない、一旦SSL0i端子をネゲートする(注1)
SPCMD5.SSLKP = 1	フレーム5と6の間は、バースト転送、フレーム間遅延なし(SSL0i端子はアサートされたまま)
SPCMD6.SSLKP = 1	フレーム6と7の間は、バースト転送、フレーム間遅延なし(SSL0i端子はアサートされたまま)
SPCMD7.SSLKP = 0	バースト転送を実施しない、一旦SSL0i端子をネゲートする(注1)

注1. バースト転送を実施しないため、SCKDDISビットの設定が無効

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです(「41.3.10 エラー検出」参照)。また、RSPIAはMODFENビットとMSTRビットとの組み合わせにしたがって、SSL00端子の入出力方向を決定します(「41.3.2 RSPI端子の制御」参照)。

SPEIE ビット (エラー割り込み許可ビット)

エラー割り込み要求の発生を許可/禁止するためのビットです。

このビットが“1”のときに、SPSR.MODF、OVRF、PERFフラグのいずれかが“1”になるとエラー割り込み要求が発生します(「41.3.10 エラー検出」参照)。

SPRIE ビット (受信バッファフル割り込み許可ビット)

受信バッファフル割り込み要求の発生を許可/禁止するためのビットです。

SPIIE ビット (アイドル割り込み許可ビット)

アイドル割り込み要求の発生を許可/禁止するためのビットです。

このビットが“1”のときに、SPSR.IDLNFフラグが“1”から“0”に変化すると、アイドル割り込み要求が発生します。

RDRIS ビット (受信データレディ割り込み選択ビット)

受信データレディを検出した時 (SPSR.RRDYF = 1) に、SPRI 割り込み要求を発生させるか、SPEI 割り込みを発生させるかを選択します。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

送信バッファエンプティ割り込み要求の発生を許可 / 禁止するためのビットです。

SPCIE ビット (通信完了割り込み許可ビット)

通信完了割り込み要求の発生を許可 / 禁止するためのビットです。

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSL0i 端子を使用せず、RSPCK0 端子、MOSI0 端子、MISO0 端子の 3 端子を用いて通信を行います。SPMS = 1 (クロック同期式動作 (3 線式)) のときは、FRFS ビットの設定は無効です。

また、マスタモード時 (SPCR.MSTR = 1) でクロック同期式動作を行う場合は SPCMDm.CPHA ビットを “0”、 “1” どちらにも設定可能です。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合は CPHA ビットを “1” に設定してください。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合に、CPHA ビットを “0” に設定した場合の動作は保証されません。

表 41.5 に、SPCR レジスタの MSTR、CMMD[1:0]、FRFS、SPMS ビットの設定に応じた通信状態を示します。

表 41.5 RSPIA の通信状態

SPCR. MSTR ビット	SPCR. CMMD[1:0] ビット	SPCR. FRFS ビット	SPCR. SPMS ビット	通信状態	通信状態 No.
1	00b	0	0	マスタ送受信モード/SPI動作(4線式)/Motorola SPI	1-1
1	00b	1	0	マスタ送受信モード/SPI動作(4線式)/TI SSP	1-2
1	00b	×	1	マスタ送受信モード/クロック同期式動作(3線式)	1-3
1	01b	0	0	マスタ送信専用モード/SPI動作(4線式)/Motorola SPI	1-4
1	01b	1	0	マスタ送信専用モード/SPI動作(4線式)/TI SSP	1-5
1	01b	×	1	マスタ送信専用モード/クロック同期式動作(3線式)	1-6
1	10b	0	0	マスタ受信専用モード/SPI動作(4線式)/Motorola SPI	1-7
1	10b	1	0	マスタ受信専用モード/SPI動作(4線式)/TI SSP	1-8
1	10b	×	1	マスタ受信専用モード/クロック同期式動作(3線式)	1-9
0	00b	0	0	スレーブ送受信モード/SPI動作(4線式)/Motorola SPI (default)	0-1
0	00b	1	0	スレーブ送受信モード/SPI動作(4線式)/TI SSP	0-2
0	00b	×	1	スレーブ送受信モード/クロック同期式動作(3線式)	0-3
0	01b	0	0	スレーブ送信専用モード/SPI動作(4線式)/Motorola SPI	0-4
0	01b	1	0	スレーブ送信専用モード/SPI動作(4線式)/TI SSP	0-5
0	01b	×	1	スレーブ送信専用モード/クロック同期式動作(3線式)	0-6
0	10b	0	0	スレーブ受信専用モード/SPI動作(4線式)/Motorola SPI	0-7
0	10b	1	0	スレーブ受信専用モード/SPI動作(4線式)/TI SSP	0-8
0	10b	×	1	スレーブ受信専用モード/クロック同期式動作(3線式)	0-9

注. × : don't care

FRFS ビット (フレームフォーマット選択ビット)

通信プロトコルを選択するビットです。設定した通信プロトコルに応じた RSPI 端子 (RSPCK0, SSL0i (i = 0 ~ 3)) のフォーマットを設定できます。

SPMS = 1 (クロック同期式動作 (3 線式)) 時は SSL0i 端子を使用しないため本ビットは無効になります。

CMMD[1:0] ビット (通信モード選択ビット)

送受信、送信専用、受信専用のシリアル通信を選択するためのビットです。

CMMD[1:0] ビットを “01b” にして通信を行う場合は、データ送信のみ行い、データ受信は行いません。

CMMD[1:0] ビットを “10b” にして通信を行う場合は、データ受信のみ行い、データ送信は行いません。

また、CMMD[1:0] ビットを “01b” に設定したとき、受信バッファフルの割り込み要求を使用することはできません。CMMD[1:0] ビットを “10b” に設定したとき、送信バッファエンプティの割り込み要求を使用することはできません。(「41.3.6 通信モード」参照)。

MSTR ビット (RSPI マスタ / スレーブモード選択ビット)

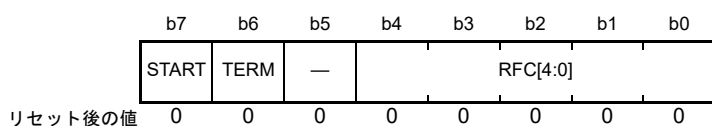
RSPIA のマスタ / スレーブモードを選択するためのビットです。また、RSPIA は MSTR ビットの設定にしたがって、RSPCK0、MOSIO、MISO0、SSL01 ~ SSL03 端子の方向を決定します

SYNDIS ビット (同期化回路無効ビット)

本 MCU では、このビットを “1” にしてください。

41.2.6 RSPI 受信専用モード制御レジスタ (SPRMCR)

アドレス RSPIA0.SPRMCR 000E 280Ch



ビット	シンボル	ビット名	機能	R/W
b4-b0	RFC[4:0]	受信フレーム数選択ビット	マスタ受信専用モード時の受信フレーム数を調整できます。 b4 b0 0 0 0 0 0 : 本機能を使用しない 0 0 0 0 1 : 受信フレーム数1処理後に通信を自動停止 : : 1 1 1 1 1 : 受信フレーム数31処理後に通信を自動停止 (マスタ受信専用モード以外設定無効)	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6	TERM	受信終了ビット	1 : マスタ受信専用モードで受信終了 (マスタ受信専用モード時のみ、書き込み可能) 読み出し値は常に0	W
b7	START	受信開始ビット	1 : マスタ受信専用モードで受信開始 (マスタ受信専用モード時のみ、書き込み可能) 読み出し値は常に0	W

SPRMCR レジスタは、マスタ受信専用モード動作時の通信開始並びに完了を制御するレジスタです。SPCR.SPE ビットが“1”の状態、RFC[4:0] ビットを書き換えた場合には、以降の動作は保証されません。

RFC[4:0] ビット (受信フレーム数選択ビット)

マスタ受信専用モード動作時に受信フレーム数を調整できます。マスタモード (SPCR.MSTR = 1) かつ通信モード選択ビット (SPCR.CMMD[1:0]) が“10b”時のみ有効です。受信開始ビットによって受信開始後、本ビット設定値に応じた分だけのフレームを処理した後に通信を自動停止させます。

TERM ビット (受信終了ビット)

マスタ受信専用モード動作時における受信を終了するためのビットです。マスタモード (SPCR.MSTR = 1) かつ通信モード選択ビット (SPCR.CMMD[1:0]) が“10b”時のみ有効です。

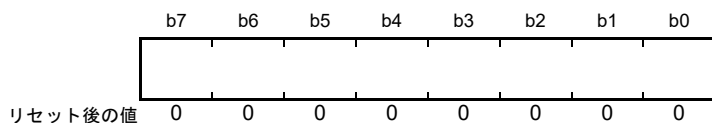
START ビット (受信開始ビット)

マスタ受信専用モード動作時における受信を開始するためのビットです。マスタモード (SPCR.MSTR = 1) かつ通信モード選択ビット (SPCR.CMMD[1:0]) が“10b”時のみ有効です。

受信動作中に本ビットに“1”をライトしても受け付けません。受信完了後に再度ライトしてください。

41.2.7 RSPI 受信データレディ検出条件設定レジスタ (SPDRCSR)

アドレス RSPIA0.SPDRCSR 000E 280Dh



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	0h : 受信データレディ検出機能を無効にする 1h : 1 PCLKA後に受信データレディ判定を行う : : FFh : 255 PCLKA後に受信データレディ判定を行う	R/W

SPDRCSR レジスタは、RSPI 受信データレディ検出機能を設定するためのレジスタです。SPCR.SPE ビットが“1”である状態で設定値を変更した場合には、以降の動作は保証されません。

受信データレディ検出機能を無効にするかもしくは、使用する場合は検出までの期間を1～255 PCLKAまで設定することができます。SPDRCSR レジスタの設定値は、RRDYF フラグの1セット条件に使用されます。詳細は「41.2.16 RSPI ステータスレジスタ (SPSR)」の「RRDYF フラグ (受信データレディフラグ)」の説明を参照してください。

41.2.8 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPIA0.SPPCR 000E 280Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0: 通常モード 1: ループバックモード(送信データの反転=受信データ)	R/W
b1	SPLP2	RSPIループバック2ビット	0: 通常モード 1: ループバックモード(送信データ=受信データ)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	MOIFV	MOSIアイドル固定値ビット	0: MOSIアイドル固定値はLow 1: MOSIアイドル固定値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0: MOSI出力値は前回転送の最終データ 1: MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SPPCR レジスタは、RSPIA の端子モードを設定するために使用されるレジスタです。SPCR.SPE ビットが“1”の状態、SPPCR レジスタを書き換えた場合には、以降の動作は保証されません。

SPLP ビット (RSPI ループバックビット)

SPLP ビットを“1”にすると、RSPIA は、RSPI 制御レジスタの MSTR ビットが“1”ならば MISO0 端子とシフトレジスタ間を、RSPI 制御レジスタの MSTR ビットが“0”ならば MOSI0 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路の値を反転し出力経路に接続します (ループバックモード)。

SPLP2 ビット (RSPI ループバック 2 ビット)

SPLP2 ビットを“1”にすると、RSPIA は、RSPI 制御レジスタの MSTR ビットが“1”ならば MISO0 端子とシフトレジスタ間を、RSPI 制御レジスタの MSTR ビットが“0”ならば MOSI0 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路の値を反転せず出力経路に接続します (ループバックモード)。SPLP ビットと同時に“1”に設定した場合は本ビットの設定が優先されます。

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI0 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPIA が、SSL ネゲート期間 (バースト転送における SSL 保持期間も含む) に MOSI0 出力値を固定するために使用するビットです。MOIFE ビットが“0”の場合には、RSPIA は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI0 に出力します。MOIFE ビットが“1”の場合には、RSPIA は MOIFV ビットに設定された固定値を、MOSI0 に出力します。

41.2.9 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス RSPIA0.SSLP 000E 2810h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	[Motorola SPI時] 0 : SSL00信号はアクティブLow 1 : SSL00信号はアクティブHigh [TI SSP時] 0 : SSL00信号はアクティブHigh 1 : SSL00信号はアクティブLow	R/W
b1	SSL1P	SSL1信号極性設定ビット	[Motorola SPI時] 0 : SSL01信号はアクティブLow 1 : SSL01信号はアクティブHigh [TI SSP時] 0 : SSL01信号はアクティブHigh 1 : SSL01信号はアクティブLow	R/W
b2	SSL2P	SSL2信号極性設定ビット	[Motorola SPI時] 0 : SSL02信号はアクティブLow 1 : SSL02信号はアクティブHigh [TI SSP時] 0 : SSL02信号はアクティブHigh 1 : SSL02信号はアクティブLow	R/W
b3	SSL3P	SSL3信号極性設定ビット	[Motorola SPI時] 0 : SSL03信号はアクティブLow 1 : SSL03信号はアクティブHigh [TI SSP時] 0 : SSL03信号はアクティブHigh 1 : SSL03信号はアクティブLow	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLPレジスタは、RSPIAのSSL0i信号(i=0~3)の極性を設定するためのレジスタです。SPCR.SPEビットが“1”の状態、SSLPレジスタを書き換えた場合には、以降の動作は保証されません。

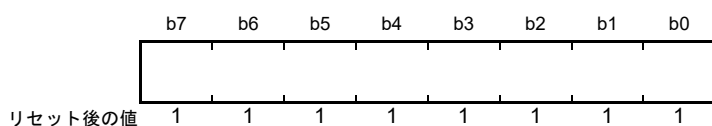
SSLiPビット (SSL信号極性設定ビット)

SSL0i信号のアクティブレベルを設定するためのビットです。

注. SSL00信号は、SSL01~SSL03信号と異なり、スレーブモード、マルチマスタモード時は、入力信号となります。詳細は、「41.3.3.2 シングルマスタ/シングルスレーブ(本MCU=スレーブ)」、「41.3.3.5 マルチマスタ/マルチスレーブ(本MCU=マスタ)」を参照してください。

41.2.10 RSPI ビットレートレジスタ (SPBR)

アドレス RSPIA0.SPBR 000E 2811h



SPBR レジスタは、マスタモード時のビットレート設定に使用するレジスタです。SPCR.MSTR ビットと SPE ビットが“1”の状態、SPBR レジスタを書き換えた場合には、以降の動作は保証されません。

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。

RSPIA スレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビットの設定に関係なく、入力クロックのビットレートに依存します (電気的特性を満足するビットレートに設定してください)。

ビットレートの計算式は、下記の通りです。計算式中で n は SPBR レジスタの設定値 (0, 1, 2, ..., 255)、 N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(\text{PCLKA})}{2 \times (n + 1) \times 2^N}$$

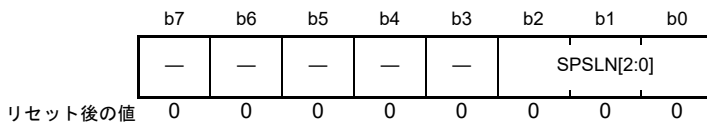
SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 41.6 に示します。

表41.6 設定とビットレート対応表(例)

SPBRレジスタの設定値 (n)	BRDV[1:0] ビットの設定値 (N)	分周比	ビットレート				
			PCLKA = 32 MHz	PCLKA = 36 MHz	PCLKA = 40 MHz	PCLKA = 50 MHz	PCLKA = 120 MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps	25.0 Mbps	60.0 Mbps
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps	30.0 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps	20.0 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps	15.0 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps	12.0 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps	10.0 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps	5.0 Mbps
5	2	48	677 kbps	750 kbps	833 kbps	1.04 Mbps	2.5 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps	1.25 Mbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps	29.3 kbps

41.2.11 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPIA0.SPSCR 000E 2813h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	b2 b0 シーケンス長 参照するSPCMD0~7レジスタ(番号) 000: 1 0→0→... 001: 2 0→1→0→... 010: 3 0→1→2→0→... 011: 4 0→1→2→3→0→... 100: 5 0→1→2→3→4→0→... 101: 6 0→1→2→3→4→5→0→... 110: 7 0→1→2→3→4→5→6→0→... 111: 8 0→1→2→3→4→5→6→7→0→... 設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0~7レジスタの関係は上記のとおりです。 なお、スレーブモードでは、SPCMD0レジスタが参照されます	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SPSCR レジスタは、RSPIA がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR ビットと SPE ビットが“1”の状態、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

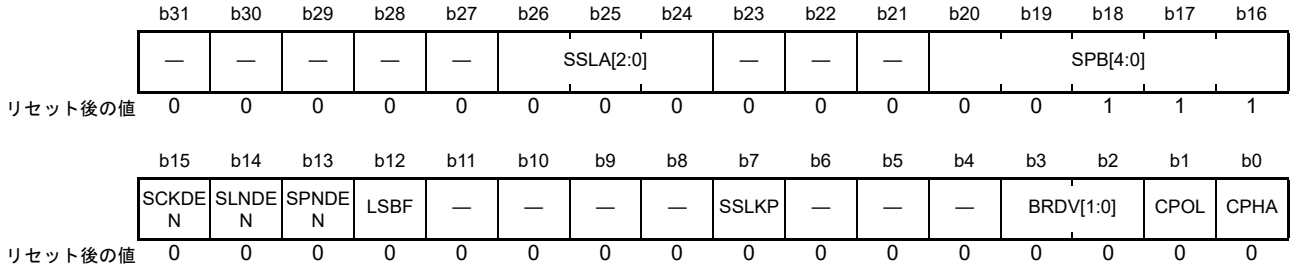
SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードの RSPIA がシーケンス動作する場合のシーケンス長を設定するためのビットです。マスタモードの RSPIA は SPSLN[2:0] ビットに設定されたシーケンス長に応じて、参照する SPCMDm レジスタと参照順を変更します。詳細は、「41.3.13.1 マスタモード動作」の「(3) シーケンス制御」を参照してください。

なお、スレーブモードでは、常に SPCMD0 レジスタが参照されます。

41.2.12 RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)

アドレス RSPIA0.SPCMD0 000E 2814h, RSPIA0.SPCMD1 000E 2818h, RSPIA0.SPCMD2 000E 281Ch,
RSPIA0.SPCMD3 000E 2820h, RSPIA0.SPCMD4 000E 2824h, RSPIA0.SPCMD5 000E 2828h,
RSPIA0.SPCMD6 000E 282Ch, RSPIA0.SPCMD7 000E 2830h



ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0 : 奇数エッジでデータサンプル、偶数エッジでデータ変化 1 : 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0 : アイドル時のRSPCKが“0” 1 : アイドル時のRSPCKが“1”	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0 : ベースのビットレートを選択 0 1 : ベースのビットレートの2分周を選択 1 0 : ベースのビットレートの4分周を選択 1 1 : ベースのビットレートの8分周を選択	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7	SSLKP	SSL信号レベル保持ビット	0 : 転送終了時に全SSL信号をネゲート 1 : 転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	LSBF	RSPI LSB ファーストビット	0 : MSB ファースト 1 : LSB ファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延イネーブルビット	0 : 次アクセス遅延は1 RSPCK + 5 PCLKA 1 : 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定イネーブルビット	0 : マスタ : SSLネゲート遅延は1 RSPCK TI SSPスレーブ : SSLネゲート遅延は1 PCLKA 1 : SSLネゲート遅延はスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定イネーブルビット	0 : Motorola SPI : RSPCK遅延は1 RSPCK TI SSP : RSPCK遅延は0 RSPCK 1 : RSPCK遅延はRSPCK遅延レジスタ (SPCKD) の設定値	R/W
b20-b16	SPB[4:0]	RSPIデータ長設定ビット	b20 b16 0 0 0 1 1 : 4ビット 0 0 1 0 0 : 5ビット 0 0 1 0 1 : 6ビット : 1 1 1 1 0 : 31ビット 1 1 1 1 1 : 32ビット 上記以外 : 設定禁止	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b26-b24	SSLA[2:0]	SSL信号アサート設定ビット	b26 b24 0 0 0 : SSL00 0 0 1 : SSL01 0 1 0 : SSL02 0 1 1 : SSL03 上記以外 : 設定禁止	R/W
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

RSPIA には、RSPI コマンドレジスタが 8 本あります (SPCMDm (m = 0 ~ 7))。SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定するために使用されます。また、SPCMD0 の一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPIA は SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファがエンプティ (次転送のデータがセットされていない) の状態で、RSPIA がその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPIA が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、スレーブモードの RSPIA がイネーブルな状態 (SPCR.SPE = 1) において、SPCMD0 を書き換えた場合には、以降の動作は保証されません。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードの RSPIA の RSPCK 位相を設定するためのビットです。RSPIA モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

SPCR.SPMS = 0 かつ SPCR.FRFS = 1 時 (TI SSP モード時) は CPHA = 0 設定は無効です。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードの RSPIA の RSPCK 極性を設定するためのビットです。RSPIA モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するビットです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] の設定を行うことができます。このため、コマンド毎に異なるビットレートでシリアル転送を実行することが可能です。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPIA がシリアル転送する場合に、現コマンドに対応する SSL0i ネゲートタイミングから次コマンドに対応する SSL0i アサートタイミングの間に、現コマンドの SSL0i 信号レベルを保持するか、ネゲートするかを設定するビットです。本ビットを“1”に設定することにより、SPI 動作マスタモード時のバースト転送を実現することができます。詳細は、「41.3.13.1 マスタモード動作」の「(4) バースト転送」を参照してください。

RSPIA をスレーブモードで使用する場合には、SSLKP ビットに“0”を設定してください。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードの RSPIA のデータフォーマットを、MSB ファースト/LSB ファーストに設定するためのビットです。

SPNDEN ビット (RSPI 次アクセス遅延イネーブルビット)

マスタモードの RSPIA がシリアル転送を終了して SSL0i 信号を非アクティブにしてから、次アクセスの SSL0i 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定するためのビットです。SPNDEN ビットが“0”の場合には、RSPIA は次アクセス遅延を 1 RSPCK + 5 PCLKA にします。SPNDEN ビットが“1”の場合には、RSPIA は SPND レジスタの設定に従った次アクセス遅延を挿入します。

RSPIA をスレーブモードで使用する場合には、SPNDEN ビットに“0”を設定してください。

SLNDEN ビット (SSL ネゲート遅延設定イネーブルビット)

[Motorola SPI]

マスタモードの RSPIA が、RSPCK を発振停止してから SSL 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定するためのビットです。SLNDEN ビットが“0”の場合には、RSPIA は SSL ネゲート遅延を 1 RSPCK にします。SLNDEN ビットが“1”の場合には、RSPIA は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

スレーブモードで使用する場合、このビットは“0”にしてください。

[TI SSP]

マスタモードの RSPIA が、RSPCK を発振停止してから OE 信号を非アクティブにするまでの期間、またはスレーブモードの RSPIA が、RSPCK の最終エッジを検出してから OE 信号をネゲートするまでの期間を設定するためのビットです。SLNDEN ビットが“0”の場合には、マスタモード時は SSL ネゲート遅延を 1 RSPCK、スレーブモード時は 1 PCLKA にします。SLNDEN ビットが“1”の場合には、RSPIA は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

[クロック同期式動作]

スレーブモードで使用する場合、このビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定イネーブルビット)

[Motorola SPI]

マスタモードの RSPIA が、SSL 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定するためのビットです。SCKDEN ビットが“0”の場合には、RSPIA は RSPCK 遅延を 1 RSPCK にします。SCKDEN ビットが“1”の場合には、RSPIA は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

[TI SSP]

マスタモードの RSPIA が、SSL 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延)、および SSL0i 信号をネゲートするまでの期間を設定するためのビットです。SCKDEN ビットが“0”の場合は、RSPIA は RSPCK 遅延を挿入しません。SCKDEN ビットが“1”の場合には、RSPIA は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

RSPIA をスレーブモードで使用する場合には、SCKDEN ビットに“0”を設定してください。

SPB[4:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードの RSPIA の転送データ長を設定するためのビットです。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPIA がシリアル転送する場合の SSL0i 信号 (i = 0 ~ 3) のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSL0i 信号のアサートを制御します。SSL0i 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットに“000b”を設定した場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSL00 は入力になるため)。

RSPIA をスレーブモードで使用する場合には、SSLA[2:0] ビットに“000b”を設定してください。

41.2.13 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPIA0.SPDCR 000E 2840h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	SPFC[1:0]	—	—	—	DINV	SPRDT D	—	—	—	BYSW
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BYSW	バイトスワップビット	0 : SPDRのデータをバイト単位でスワップしない 1 : SPDRのデータをバイト単位でスワップする	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b3	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す	R/W
b4	DINV	転送データ反転ビット	0 : シリアルデータを反転しない 1 : シリアルデータを反転する	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b9-b8	SPFC[1:0]	フレーム数設定ビット	b9 b8 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SPDCR レジスタは、データフォーマットを制御するレジスタです。SPCR.SPE ビットが“1”の状態では、SPDCR レジスタを書き換えた場合には、以降の動作は保証されません。

BYSW ビット (バイトスワップビット)

送信 / 受信データをバイト単位でスワップさせる設定ビットです。バイトスワップ後のデータの並びは、データ長 (SPCMDm.SPB[4:0] ビットの設定) によって異なります。

バイトスワップ時は、データ長 (SPB[4:0] ビットの設定) を 32 ビットもしくは 16 ビットに設定してください。

これ以外のデータ長 (4 ~ 15, 17 ~ 31 ビット) に設定した場合、バイトスワップ動作は保証されません。

データ長 32 ビットと 16 ビットのスワップ前後のデータの並びは「41.3.4.4 バイトスワップ送信」、
「41.3.4.5 バイトスワップ受信」を参照してください。

パリティ機能を有効 (SPPE ビットが“1”) に設定した場合の動作は保証されません。

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読み出した場合、SPDR レジスタへ直前に書き込んだ値が読み出されます。

DINV ビット (転送データ反転ビット)

送信 / 受信データを反転させる設定ビットです。

DINV ビットを“1”にした場合、送信バッファ (SPTX) の内容を反転して送信、受信データを反転して受信バッファ (SPRX) に格納します。パリティビットは、反転した送信 / 受信データに応じた値となります。

SPFC[1:0] ビット (フレーム数設定ビット)

スレーブ受信専用モード時の SPCF フラグをセットするための条件に使用します。

SPCF フラグのセット条件の詳細に関しては「41.2.16 RSPI ステータスレジスタ (SPSR)」の SPCF フラグのセット条件を参照してください。

なお、スレーブ受信専用モード以外では、本ビットは無効です。

41.2.14 RSPI FIFO コントロールレジスタ (SPFCR)

アドレス RSPIA0.SPFCR 000E 2844h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TTRG[1:0]	—	—	—	—	—	—	—	RTRG[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RTRG[1:0]	受信 FIFO しきい値設定ビット	b1 b0 0 0 : 受信 FIFO の格納数が0 0 1 : 受信 FIFO の格納数が1 1 0 : 受信 FIFO の格納数が2 1 1 : 受信 FIFO の格納数が3	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b9-b8	TTRG[1:0]	送信 FIFO しきい値設定ビット	b9 b8 0 0 : 送信 FIFO の空きが0 0 1 : 送信 FIFO の空きが1 1 0 : 送信 FIFO の空きが2 1 1 : 送信 FIFO の空きが3	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SPFCR レジスタは、FIFO を制御するレジスタです。SPCR.SPE ビットが“1”の状態、SPFCR レジスタ書き換えた場合には、以降の動作は保証されません。

RTRG[1:0] ビット (受信 FIFO しきい値設定ビット)

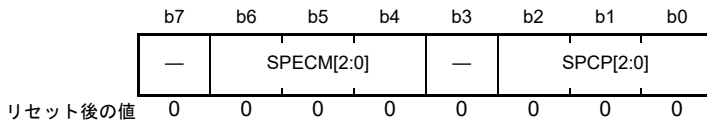
受信 FIFO のしきい値を設定します。受信 FIFO のデータ格納数が RTRG[1:0] ビットで設定したしきい値より多くなったとき、受信バッファフルフラグをセットします。

TTRG[1:0] ビット (送信 FIFO しきい値設定ビット)

送信 FIFO のしきい値を設定します。送信 FIFO の空き段数が TTRG[1:0] ビットで設定したしきい値より多くなったとき、送信バッファエンプティフラグをセットします。

41.2.15 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPIA0.SPSSR 000E 2851h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPIA がマスタ動作する場合のシーケンス制御の状態を示すレジスタです。SPSSR レジスタへの書き込みは無視されます。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPIA のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示すビットです。RSPIA のシーケンス制御については、「41.3.13.1 マスタモード動作」を参照してください。

SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPIA のシーケンス制御で、エラー検出時にコマンドポインタ (SPCP[2:0] ビット) で指されていた SPCMD_m レジスタを示すビットです。RSPIA はエラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF フラグ、MODF フラグ、PERF フラグがすべて“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPIA のエラー検出機能については、「41.3.10 エラー検出」を参照してください。また、RSPIA のシーケンス制御については、「41.3.13.1 マスタモード動作」を参照してください。

41.2.16 RSPI ステータスレジスタ (SPSR)

アドレス RSPIA0.SPSR 000E 2852h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	SPCF	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF	RRDYF	—	—	—	—	—	—	—
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます	R
b7	RRDYF	受信データレディフラグ	0: 受信データレディを検出していない 1: 受信データレディを検出した	R
b8	OVRF	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	R
b9	IDLNF	アイドルフラグ	0: RSPIAがアイドル状態 1: RSPIAが転送状態	R
b10	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーなし、アンダランエラーなし 1: モードフォルトエラーまたはアンダランエラー発生	R
b11	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R
b12	UDRF	アンダランエラーフラグ	MODF フラグと組み合わせてモードフォルトエラーとアンダランエラーの発生状況が確認できます。 MODF UDRF 0 x: モードフォルトエラーなし、アンダランエラーなし 1 0: モードフォルトエラー発生 1 1: アンダランエラー発生	R
b13	SPTEF	送信バッファエンプティフラグ	0: 送信 FIFO の空き段数が SPFCR.TTRG で設定した値以下 1: 送信 FIFO の空き段数が SPFCR.TTRG で設定した値を超過	R
b14	SPCF	通信完了フラグ	0: RSPIA は非通信または通信中 1: RSPIA が通信完了	R
b15	SPRF	受信バッファフルフラグ	0: 受信 FIFO のデータ格納数が SPFCR.RTRG ビットで設定したフレーム数以下 1: 受信 FIFO のデータ格納数が SPFCR.RTRG ビットで設定したフレーム数を超過	R

×: don't care

SPSR レジスタは、RSPIA の動作状態を示すフラグを格納したレジスタです。

RRDYF フラグ (受信データレディフラグ)

通信中 (SPCR.SPE = 1) に受信 FIFO に格納されたデータの数が受信 FIFO しきい値以下の状態で一定時間経過したことを示します。受信動作を行わない (SPCR.CMMD[1:0] = 01b) ときは“0”となります。

[“1”になる条件]

下記 2 条件をすべて満たしたとき

- SPDRCSR レジスタ ≠ 00h のとき
- 受信 FIFO 書き込み後、受信 FIFO に格納されたデータ数が受信 FIFO しきい値以下の状態で SPDRCSR レジスタの設定値分、経過したとき

[“0”になる条件]

SPSCLR.RRDYFC ビットに“1”を書き込んだとき

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが“1”) かつ RSPCK 自動停止機能が有効 (SPCR.SCKASE ビットが“1”) のときは、オーバランエラーが発生しないためセットされません。詳細は「41.3.10.1 オーバランエラー」を参照してください。

["1" になる条件]

下記 2 条件のいずれかで、受信 FIFO に空き段数がない状態でシリアル転送が終了したとき

- SPCR.CMMD[1:0] ビットが“00b” (マスタ送受信モード / スレーブ送受信モード)
- SPCR.CMMD[1:0] ビットが“10b” (マスタ受信専用モード / スレーブ受信専用モード)

["0" になる条件]

SPSCLR.OVRFC ビットに“1”を書き込んだとき

IDLNF フラグ (アイドルフラグ)

RSPIA の転送状況を示します。

["1" になる条件]

(1) マスタ送受信モード / マスタ送信専用モード

- 下記 ["0" になる条件] のマスタモード時の条件がいずれも満たされていないとき

(2) マスタ受信専用モード

- SPRMCR.START ビットに“1”を書き込んだとき

(3) スレーブモード

- SPCR.SPE ビットが“1” (RSPIA 機能が有効) のとき

["0" になる条件]

(1) マスタ送受信モード / マスタ送信専用モード

通信状態：1-1 ~ 1-6 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

下記の 2 条件のいずれかを満たしたとき

- SPCR.SPE ビットが“0” (RSPIA 初期化)
- 下記の 3 条件をすべて満たした場合
 - (a) 送信バッファ (SPTXn, n = 0 ~ 3) に次転送データがセットされていないとき
 - (b) SPSSR.SPCP[2:0] ビットが“000b” (シーケンス制御の先頭) であるとき
 - (c) 次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

(2) マスタ受信専用モード

通信状態：1-7 ~ 1-9 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

下記の 2 条件のいずれかを満たしたとき

- SPCR.SPE ビットが“0” (RSPIA 初期化)
- 下記のいずれかを満たしたとき
 - (a) SPRMCR.RFC[4:0] ビット = 00000b 時、SPRMCR.TERM ビットに“1”を書き込み後、次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)
 - (b) RFC[4:0] ビット ≠ 00000b 時、TERM ビットに“1”を書き込み後、次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

- (c) RFC[4:0]ビット≠00000b時、RFC[4:0]ビットで設定した受信フレーム数分処理が完了後、次アクセス遅延までが動作完了された状態(マスタメインステートマシンがアイドル状態に移したとき)

(3) スレーブモード

通信状態：0-1～0-9(通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

- SPCR.SPE ビットが“0”(RSPIA 初期化)のとき

MODF フラグ(モードフォルトエラーフラグ)

モードフォルトエラーまたはアンダランエラーの発生を示します。モードフォルトエラーまたはアンダランエラーのどちらが発生したかは、UDRF フラグによって判別可能です。

[“1”になる条件]

(1) マルチマスタモード

- SPCR.MSTR ビットが“1”(マスタモード)、SPCR.MODFEN ビットが“1”(モードフォルトエラー検出を許可)の状態、SSL00 端子の入力レベルがアクティブレベルになり、RSPIA がモードフォルトエラーを検出したとき

(2) スレーブモード(SPI 動作、Motorola SPI)

下記の2条件のいずれかを満たしたとき

- SPCR.MSTR ビットが“0”(スレーブモード)、SPCR.MODFEN ビットが“1”(モードフォルトエラー検出を許可)の状態、データ転送に必要な RSPCK サイクルが終了する前に SSL00 端子がネグートされ、RSPIA がモードフォルトエラーを検出したとき
- SPCR.SPE ビットが“1”(RSPI機能が有効)かつ送信データの出力準備が整っていない状態で、シリアル転送が開始され、RSPIA がアンダランエラーを検出したとき

(3) スレーブモード(SPI 動作、TI SSP)

下記の2条件のいずれかを満たしたとき

- SPCR.MSTR ビットが“0”(スレーブモード)、SPCR.MODFEN ビットが“1”(モードフォルトエラー検出を許可)の状態、データ転送に必要な RSPCK サイクルが終了する前に SSL00 端子がアサートされ、RSPIA がモードフォルトエラーを検出したとき
- SPCR.SPE ビットが“1”(RSPI機能が有効)かつ送信データの出力準備が整っていない状態で、シリアル転送が開始され、RSPIA がアンダランエラーを検出したとき

なお、SSL0i 信号のアクティブレベルは、SSLP.SSLiP ビット(SSL 信号極性設定ビット)によって決定されます。

[“0”になる条件]

SPSCLR.MODFC ビットに“1”を書き込んだとき

PERF フラグ(パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

[“1”になる条件]

下記2条件のいずれかで、SPCR.SPPE ビットが“1”の状態、シリアル転送が終了し、パリティエラーが検出されたとき

- SPCR.CMMD[1:0] ビットが“00b”(マスタ送受信モード/スレーブ送受信モード)
- SPCR.CMMD[1:0] ビットが“10b”(マスタ受信専用モード/スレーブ受信専用モード)

["0" になる条件]

SPSCLR.PERFC ビットに "1" を書き込んだとき

UDRF フラグ (アンダランエラーフラグ)

モードフォルトエラーまたはアンダランエラー発生時に、どちらのエラーが発生したかを示します。

["1" になる条件]

SPCR.MSTR ビットが "0" かつ SPCR.CMMD[1:0] ビットが "00b" または "01b" (スレーブ送受信モード/スレーブ送信専用モード)、SPCR.SPE ビットが "1" (RSPI 機能が有効)、かつ送信データの出力準備が整っていない状態で、シリアル転送が開始され、RSPIA がアンダランエラーを検出したとき

["0" になる条件]

SPSCLR.UDRFC ビットに "1" を書き込んだとき

SPTEF フラグ (送信バッファエンプティフラグ)

SPDR レジスタの送信バッファ (SPTXn, n = 0 ~ 3) の状態を示すフラグです。

["1" になる条件]

下記の 3 条件のいずれかを満たしたとき

- RSPIA の初期化 (SPE ビットを "0" に設定)
- 送信 FIFO の空き段数が SPFCR.TTRG[1:0] ビットで設定した値を超えたとき
- SPFCLR.FCLR ビットに "1" を書き込んだとき

["0" になる条件]

下記の 2 条件のいずれかを満たしたとき

- DTC/DMAC を用いて 1 回の処理ルーチンで、SPDR レジスタ (SPTXn, n = 0 ~ 3) へ送信データを書き込んだ場合の最終アクセス時
- SPSCLR.SPTEFC ビットに "1" を書き込んだとき

SPDR レジスタに対する書き込みは、SPTEF フラグが "1" の場合にのみ有効です。SPTEF フラグが "0" の状態で、SPDR レジスタへ書き込みを行った場合、送信バッファ (SPTXn, n = 0 ~ 3) のデータは更新されません。

SPCF フラグ (通信完了フラグ)

RSPIA の通信完了状態を示します。通信が完了すると "1" になり、次の通信開始で "0" になります。

["1" になる条件]

(1) マスタ送受信モード/マスタ送信専用モード

通信状態: 1-1 ~ 1-6 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

下記の 3 条件をすべて満たしたとき

- 送信バッファ (SPTXn, n = 0 ~ 3) に次転送データがセットされていないとき
- SPSSR.SPCCP[2:0] ビットが "000b" (シーケンス制御の先頭) であるとき
- 次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

(2) マスタ受信専用モード

通信状態：1-7 ~ 1-9 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

下記のいずれかを満たしたとき

- SPRMCR.RFC[4:0] ビット = 00000b 時、SPRMCR.TERM ビットに“1”を書き込み後、次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)
- RFC[4:0] ビット ≠ 00000b 時、TERM ビットに“1”を書き込み後、次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)
- RFC[4:0] ビット ≠ 00000b 時、RFC[4:0] ビットで設定した受信フレーム数分処理が完了後、次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

(3) スレーブ送受信モード / スレーブ送信専用モード (SPI 動作、Motorola SPI)

通信状態：0-1、0-4 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

下記の 3 条件をすべて満たしたとき

- 送信バッファ (SPTX) に次転送データがセットされていないとき
- 送信シフトレジスタがエンプティ (シリアル送信をしていない) のとき
- SSL00 入力がネゲートしたとき

(4) スレーブ送受信モード / スレーブ送信専用モード (SPI 動作、TI SSP)

通信状態：0-2、0-5 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

下記の 3 条件をすべて満たしたとき

- 送信バッファ (SPTX) に次転送データがセットされていないとき
- 送信シフトレジスタがエンプティ (シリアル送信をしていない) のとき
- SSL ネゲート遅延が完了したとき

(5) スレーブ送受信モード / スレーブ送信専用モード (クロック同期式動作)

通信状態：0-3、0-6 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

下記の 3 条件をすべて満たしたとき

- 送信バッファ (SPTX) に次転送データがセットされていないとき
- 送信シフトレジスタがエンプティ (シリアル送信をしていない) のとき
- フレームの RSPCK 最終偶数エッジ (SPCMDm.CPHA = 1) を検出したとき

(6) スレーブ受信専用モード (SPI 動作、Motorola SPI)

通信状態：0-7 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

- SPDCR.SPFC[1:0] ビット設定値分のフレームを受信バッファ (SPRX) に格納した後に、SSL00 入力がネゲートしたとき

(7) スレーブ受信専用モード (SPI 動作、TI SSP)

通信状態：0-8 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

- SPFC[1:0] ビット設定値分のフレームを受信バッファ (SPRX) に格納した後に、SSL ネゲート遅延が完了したとき

(8) スレーブ受信専用モード (クロック同期式動作)

通信状態：0-9 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

- SPFC[1:0] ビット設定値分の最終フレーム受信時の RSPCK 最終偶数エッジ (SPCMDm.CPHA = 1) を検出したとき

[“0”になる条件]

(1) マスタ送受信モード/マスタ送信専用モード

通信状態：1-1 ~ 1-6 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

下記の2条件のいずれかを満たしたとき

- 次の通信の送信データを送信バッファ (SPTX) に書き込んだとき
- SPSCCLR.SPCFC ビットに“1”を書き込んだとき

(2) マスタ受信専用モード

通信状態：1-7 ~ 1-9 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

下記の2条件のいずれかを満たしたとき

- SPE ビット = 1 の状態で SPRMCR.START ビットに“1”を書き込んだとき
- SPSCCLR.SPCFC ビットに“1”を書き込んだとき

(3) スレーブ送受信モード/スレーブ送信専用モード

通信状態：0-1 ~ 0-6 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

下記の2条件のいずれかを満たしたとき

- 次の通信の送信データを送信バッファ (SPTX) に書き込んだとき
- SPSCCLR.SPCFC ビットに“1”を書き込んだとき

(4) スレーブ受信専用モード (SPI 動作)

通信状態：0-7 ~ 0-8 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

下記の2条件のいずれかを満たしたとき

- 次データの SSL00 入力アサートを検出したとき
- SPSCCLR.SPCFC ビットに“1”を書き込んだとき

(5) スレーブ受信専用モード (クロック同期式動作)

通信状態：0-9 (通信状態の詳細は「表 41.5 RSPIA の通信状態」を参照)

下記の2条件のいずれかを満たしたとき

- 次データの RSPCK の第1エッジを検出したとき
- SPSCCLR.SPCFC ビットに“1”を書き込んだとき

SPRF フラグ (受信バッファフルフラグ)

SPDR レジスタの受信バッファ (SPRX) の状態を示すフラグです。

[“1”になる条件]

送受信モード/受信専用モードで、受信 FIFO のデータ格納数が SPFCR.RTRG[1:0] ビットで設定したフレーム数より多くなったとき。

ただし、OVRF フラグが“1”のとき、SPRF フラグは“0”から“1”に変化しません (「41.3.10 エラー検出」参照)。

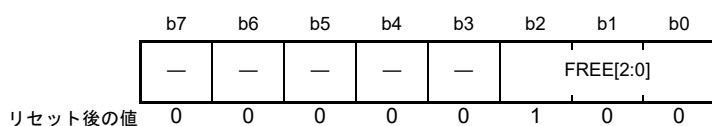
[“0”になる条件]

下記の3条件のいずれかを満たしたとき

- DTC/DMAC を用いて1回の処理ルーチンで、SPDR レジスタ (SPRXn, n = 0 ~ 3) から受信データを読み出した場合の最終アクセス時
- SPSCCLR.SPRFC ビットに“1”を書き込んだとき
- SPFCLR.FCLR ビットに“1”を書き込んだとき

41.2.17 RSPI 送信 FIFO ステータスレジスタ (SPTFSR)

アドレス RSPIA0.SPTFSR 000E 2858h



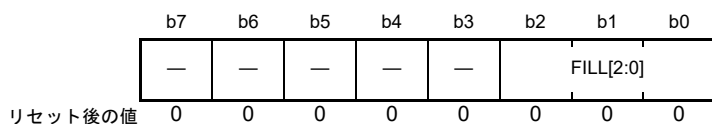
ビット	シンボル	ビット名	機能	R/W
b2-b0	FREE[2:0]	送信 FIFO 空き容量	b2 b0 0 0 0 : 空き段数 0 0 0 1 : 空き段数 1 0 1 0 : 空き段数 2 0 1 1 : 空き段数 3 1 0 0 : 空き段数 4	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

FREE[2:0] ビット (送信 FIFO 空き容量)

送信 FIFO の空き段数を表示します。SPCR.SPE ビットを“0”にすることで FREE[2:0] ビットは“100b”になります。

41.2.18 RSPI 受信 FIFO ステータスレジスタ (SPRFSR)

アドレス RSPIA0.SPRFSR 000E 285Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	FILL[2:0]	受信 FIFO 格納データ量	b2 b0 0 0 0 : 格納段数 0 0 0 1 : 格納段数 1 0 1 0 : 格納段数 2 0 1 1 : 格納段数 3 1 0 0 : 格納段数 4	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

FILL[2:0] ビット (受信 FIFO 格納データ量)

受信 FIFO の格納段数を表示します。SPCR.SPE ビットを“0”にすることで FILL[2:0] ビットは“000b”になります。

41.2.19 RSPI ステータスクリアレジスタ (SPSCLR)

アドレス RSPIA0.SPSCLR 000E 286Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SPRFC	SPCFC	SPTEFC	UDRFC	PERFC	MODFC	—	OVRFC	RRDYFC	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7	RRDYFC	RSPI受信データレディフラグクリアビット	“1”を書き込むことによりRSPI受信データレディフラグをクリアすることが出来ます。読むと“0”が読めます。	W
b8	OVRFC	オーバランエラーフラグクリアビット	“1”を書き込むことによりオーバランエラーフラグをクリアすることが出来ます。読むと“0”が読めます。	W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b10	MODFC	モードフォルトエラーフラグクリアビット	“1”を書き込むことにより、モードフォルトエラーフラグをクリアすることが出来ます。読むと“0”が読めます。	W (注1)
b11	PERFC	パリティエラーフラグクリアビット	“1”を書き込むことにより、パリティエラーフラグをクリアすることが出来ます。読むと“0”が読めます。	W
b12	UDRFC	アンダランエラーフラグクリアビット	“1”を書き込むことにより、アンダランエラーフラグをクリアすることが出来ます。読むと“0”が読めます。	W (注1、注2)
b13	SPTEFC	送信バッファエンプティフラグクリアビット	“1”を書き込むことにより、送信バッファエンプティフラグをクリアすることが出来ます。読むと“0”が読めます。	W
b14	SPCFC	通信完了フラグクリアビット	“1”を書き込むことにより、通信完了フラグをクリアすることが出来ます。読むと“0”が読めます。	W
b15	SPRFC	受信バッファフルフラグクリアビット	“1”を書き込むことにより、受信バッファフルフラグをクリアすることが出来ます。読むと“0”が読めます。	W

注1. MODFC、UDRFC ビットに“1”を書くときは、SPSR.MODFC、UDRFC フラグが“1”になっていることを確認してから行ってください。

注2. UDRFC フラグのクリア時は、同時にMODFC フラグもクリア (MODFC = 1) してください。

SPSCLR レジスタは、RSPIA の動作状態を示す SPSR レジスタの各ステータスフラグをクリアするレジスタです。

41.2.20 RSPI FIFO クリアレジスタ (SPFCLR)

アドレス RSPIA0.SPFCLR 000E 286Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCLR	FIFOクリアビット	“1”を書き込むことにより、FIFO内のポインタ、格納データを初期化します。読むと“0”が読めます。	W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SPFCLR レジスタは FIFO をクリアするためのレジスタです。SPCR.SPE ビットが“1”の状態、SPFCLR レジスタを書き換えた場合には、以降の動作は保証されません。

FCLR ビット (FIFO クリアビット)

“1”を書き込むことにより、送信 / 受信 FIFO 内のポインタ、格納データを初期化します。

41.3 動作説明

本項では、“シリアル転送期間”という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

41.3.1 RSPIA 動作の概要

RSPIA は、下記の 5 種類のモードで転送が可能です。

1. スレーブモード (SPI 動作)
2. シングルマスタモード (SPI 動作)
3. マルチマスタモード (SPI 動作)
4. スレーブモード (クロック同期式動作)
5. マスタモード (クロック同期式動作)

RSPIA のモードは、SPCR.MSTR、MODFEN、SPMS、FRFS ビットによって設定可能です。表 41.7 に RSPIA のモードと SPCR レジスタの設定の関係、および各モードの概要を示します。

表41.7 RSPIAのモードとSPCRレジスタ設定の関係、および各モードの概要

モード	SPI動作			クロック同期式動作	
	スレーブ	シングルマスタ	マルチマスタ	スレーブ	マスタ
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
FRFSビットの設定	有効	有効	有効	無効	無効
RSPCK0信号	入力	出力	出力/Hi-Z(注1)	入力	出力
MOSI0信号	入力	出力	出力/Hi-Z(注1)	入力	出力
MISO0信号	出力/Hi-Z(注2)	入力	入力	出力	入力
SSL00信号	入力	出力	入力	Hi-Z(未使用)	Hi-Z(未使用)
SSL01~SSL03信号	Hi-Z(未使用)	出力	出力/Hi-Z(注1)	Hi-Z(未使用)	Hi-Z(未使用)
出力端子モード	CMOS/ オープンドレイン				
SSL極性変更機能	あり	あり	あり	—	—
転送レート	~ PCLKA/2				
クロックソース	RSPCK 入力	内蔵ポーレートジェネレータ	内蔵ポーレートジェネレータ	RSPCK 入力	内蔵ポーレートジェネレータ
クロック極性	2種				
クロック位相	2種(注3)	2種(注3)	2種(注3)	1種(CPHA = 1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	4 ~ 32 ビット				
バースト転送	可能(CPHA = 1)	可能(CPHA = 0, 1)	可能(CPHA = 0, 1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし(注4)	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力アクティブまたはRSPCK発振	送信バッファエンブティ割り込み要求またはSPTEF = 1で送信バッファ書き込み	送信バッファエンブティ割り込み要求またはSPTEF = 1で送信バッファ書き込み	RSPCK発振	送信バッファエンブティ割り込み要求またはSPTEF = 1で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンブティ検出	あり(注5)	あり	あり	あり(注5)	あり
受信バッファフル検出	あり(注6)				
オーバランエラー検出	あり(注6)	あり(注6、注7)	あり(注6、注7)	あり(注6)	あり(注6、注7)
パリティエラー検出	あり(注6、注8)				
モードフォルトエラー検出	あり(MODFEN = 1)	なし	あり	なし	なし
アンダランエラー検出	あり(注5)	なし	なし	あり(注5)	なし

注1. Motorola SPI時：SSL00端子が他のマスタによってアサートされると、端子がHi-Zになります。

TI SSP時：SPCR.SPEビットが“1”のときに、他のマスタによってSSL00端子がアサートされてから通信が終了するまでの間、端子がHi-Zになります。

注2. Motorola SPI時：SSL00端子がネゲートされているまたはSPCR.SPEビットが“0”の場合、端子がHi-Zになります。TI SSP時：RSPIAが通信を行っていないとき(通信が終了してから次にSSL00端子がアサートされるまで)、またはSPCR.SPEビットが“0”の場合、端子がHi-Zになります。

注3. TI SSPモード時はCPHA = 0は無効です。

注4. TI SSPモード時のみ可能。

注5. スレーブ受信専用モードのとき(「表41.5 RSPIAの通信状態」参照)は、送信バッファエンブティ検出、アンダランエラー検出を行いません。

注6. マスタ送信専用モードまたはスレーブ送信専用モードのとき(「表41.5 RSPIAの通信状態」参照)は、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注7. SPCR.SCKASEビットが“1”のときは、オーバランエラー検出を行いません。

注8. SPCR.SPPEビットが“0”のときは、パリティエラー検出を行いません。

41.3.2 RSPI 端子の制御

シングルマスタモード(SPI動作)、マルチマスタモード(SPI動作)のRSPIAは、SPPCR.MOIFE、MOIFVビットの設定にしたがって、SSLネゲート期間(バースト転送におけるSSL保持期間を含む)のMOSI信号値を表41.8のように決定します。

表41.8 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSI信号値
0	0 or 1	前回転送の最終データ
1	0	Low
1	1	High

41.3.3 RSPI システム構成例

本構成例では、SSL0i信号はLowをアクティブレベルとして説明します。

なお、マルチスレーブおよび、マルチマスタ構成で接続して使用する際、接続デバイスの転送フォーマットはMotorola SPI、TI SSP どちらか一方に統一してください。

41.3.3.1 シングルマスタ / シングルスレーブ (本MCU = マスタ)

図41.5に、本MCUをマスタとして使用した場合のシングルマスタ / シングルスレーブのRSPIシステムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本MCU(マスタ)のSSL00 ~ SSL03出力は使用しません。SPIスレーブのSSL入力はLowに固定して、SPIスレーブを常にセレクト状態にします。SPCMDm.CPHAビットが“0”の場合に相当する転送フォーマットでは、SSL信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL信号を固定にできない場合には、本MCUのSSL0i出力をスレーブデバイスのSSL入りに接続してください。

本MCU(マスタ)は、RSPCK0とMOSI0を常にドライブします。SPIスレーブは、MISOを常にドライブします。

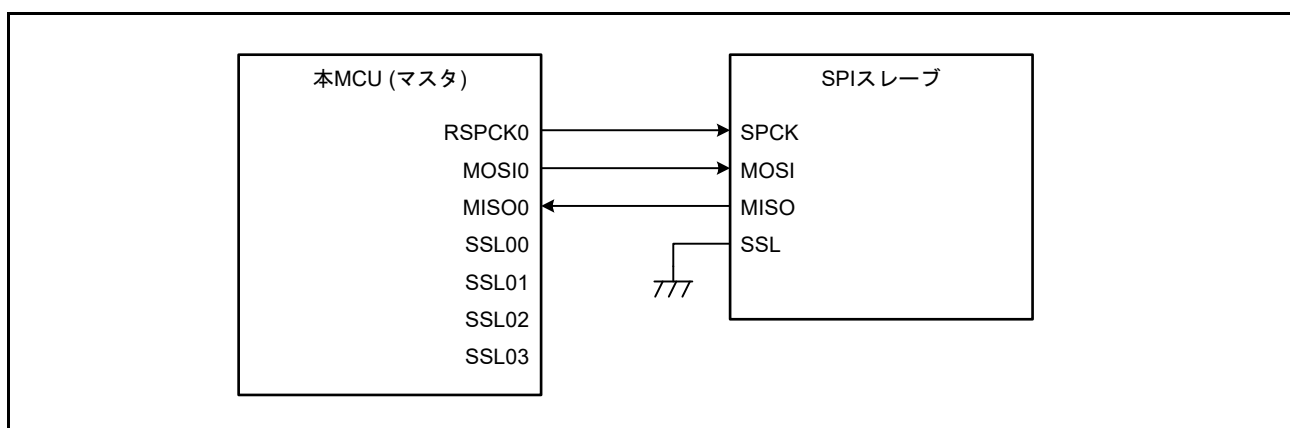


図41.5 シングルマスタ / シングルスレーブの構成例 (本MCU = マスタ)

41.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 41.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSL00 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI を常にドライブします。本 MCU (スレーブ) は、MISO0 を常にドライブします。SSL00 が非アクティブレベルの場合、端子状態が Hi-Z になります。

SPCMDm.CPHA ビットを“1”に設定かつ、SPCR.FRFS ビットを“0”に設定かつ SPMS ビットを“0”に設定したシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSL00 入力を Low に固定して本 MCU (スレーブ) を常に選択状態とし、シリアル転送を実行することも可能です(図 41.7)。ただし、図 41.7 のように SSL00 入力を固定した場合、通信完了イベントと通信完了割り込みは出力されません。

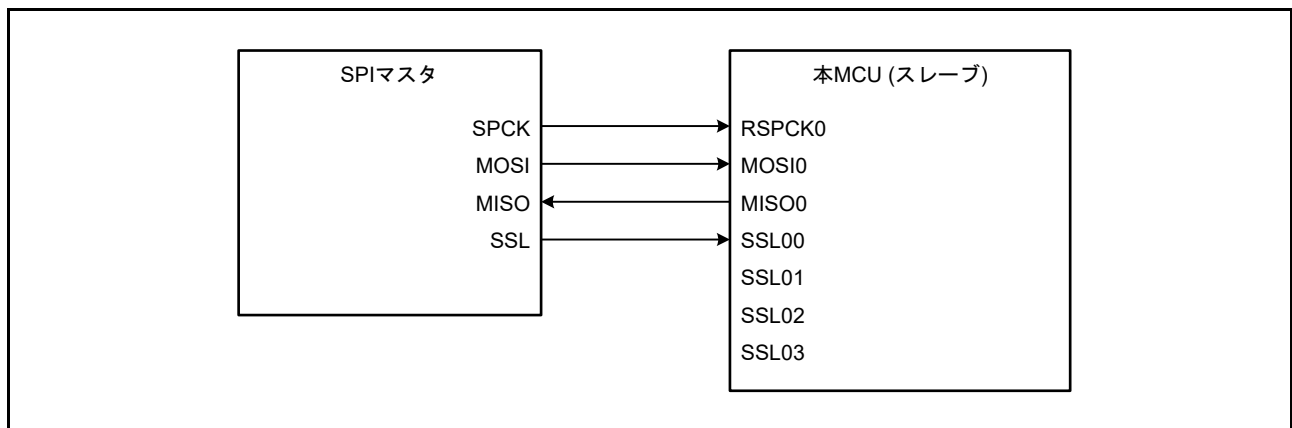


図 41.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

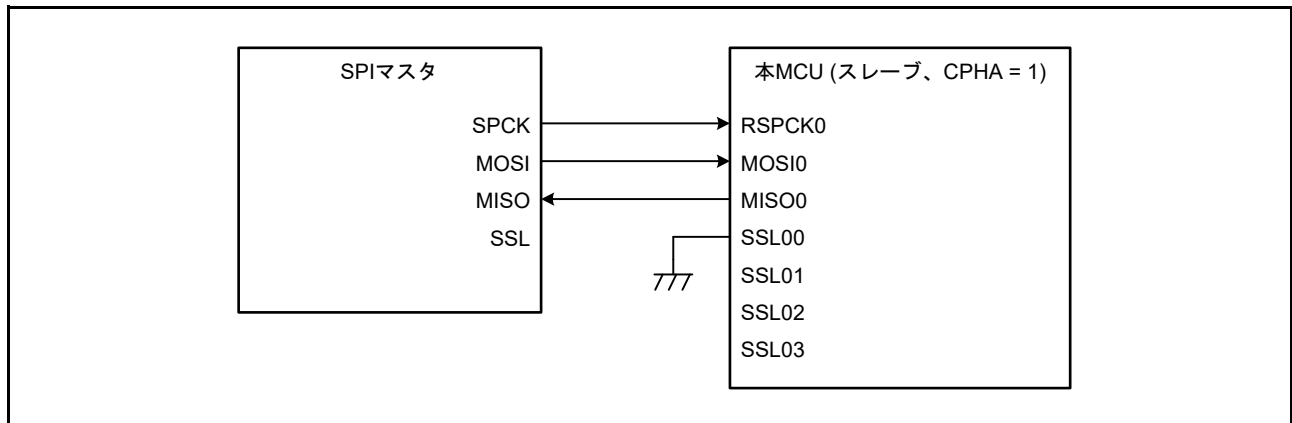


図 41.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

41.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 41.8 に、マスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 41.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPI システムを構成しています。

マスタの RSPCK0 出力と MOSI0 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の SPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべてマスタの MISO0 入力に接続します。本 MCU (マスタ) の SSL00 ~ SSL03 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

マスタは、RSPCK0、MOSI0、SSL00 ~ SSL03 を常にドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

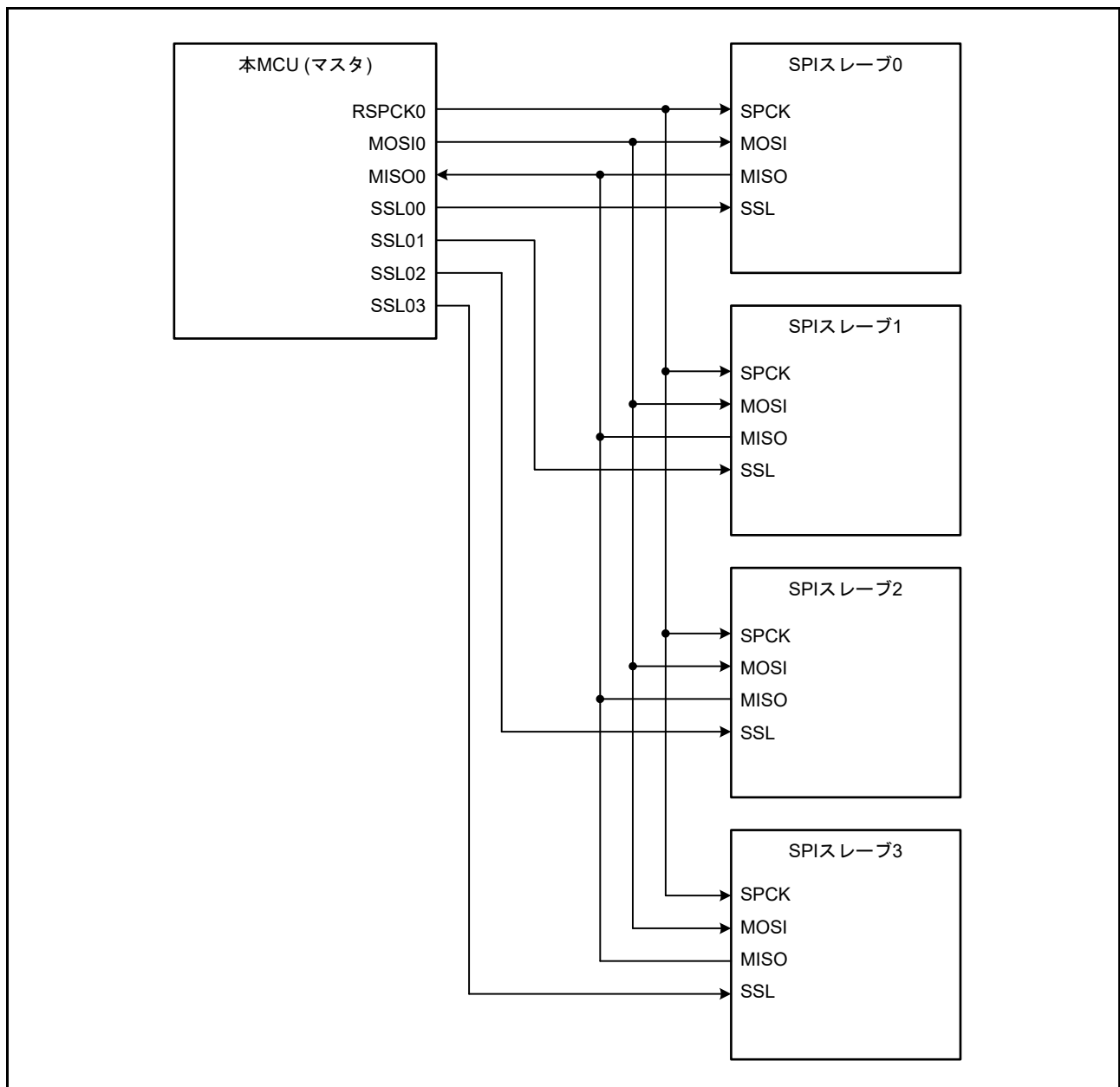


図 41.8 シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

41.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 41.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 41.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCK0 入力と MOSI0 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISO0 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSL00 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY を常にドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSL00 入力が Low を入力されているスレーブが、MISO0 をドライブします。

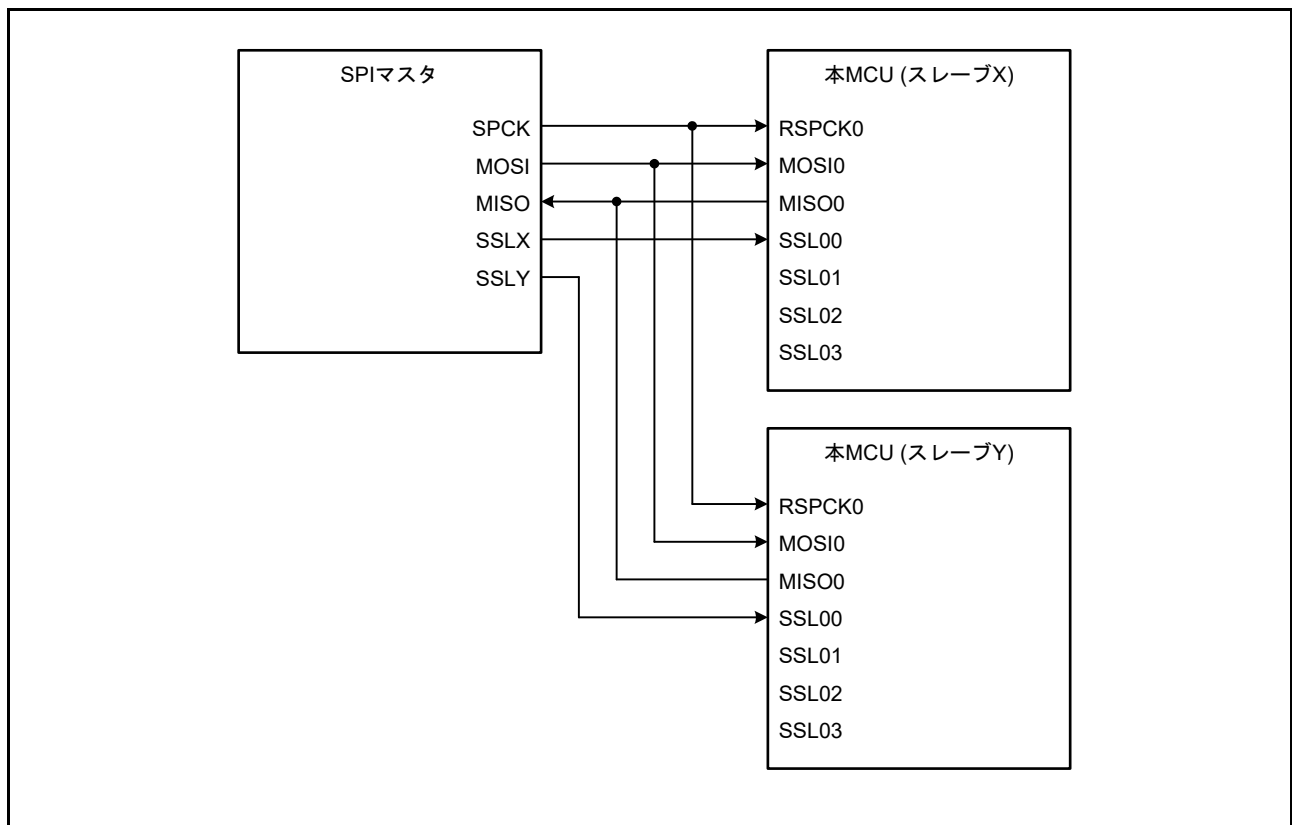


図 41.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

41.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 41.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 41.10 の例では、2つの本 MCU (マスタ X、マスタ Y) と 2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCK0 出力と MOSI0 出力は、SPI スレーブ 1、SPI スレーブ 2 の SPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISO0 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSL00 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSL00 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSL01 出力と SSL02 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL00 入力、スレーブ接続用の SSL01 出力、SSL02 出力のみでシステムを構成できるので、本 MCU の SSL03 出力は使用していません。

本 MCU は、SSL00 入力レベルが High の場合には、RSPCK0、MOSI0、SSL01、SSL02 をドライブします。SSL00 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCK0、MOSI0、SSL01、SSL02 を Hi-Z にして、他方のマスタに RSPI バス権を開放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

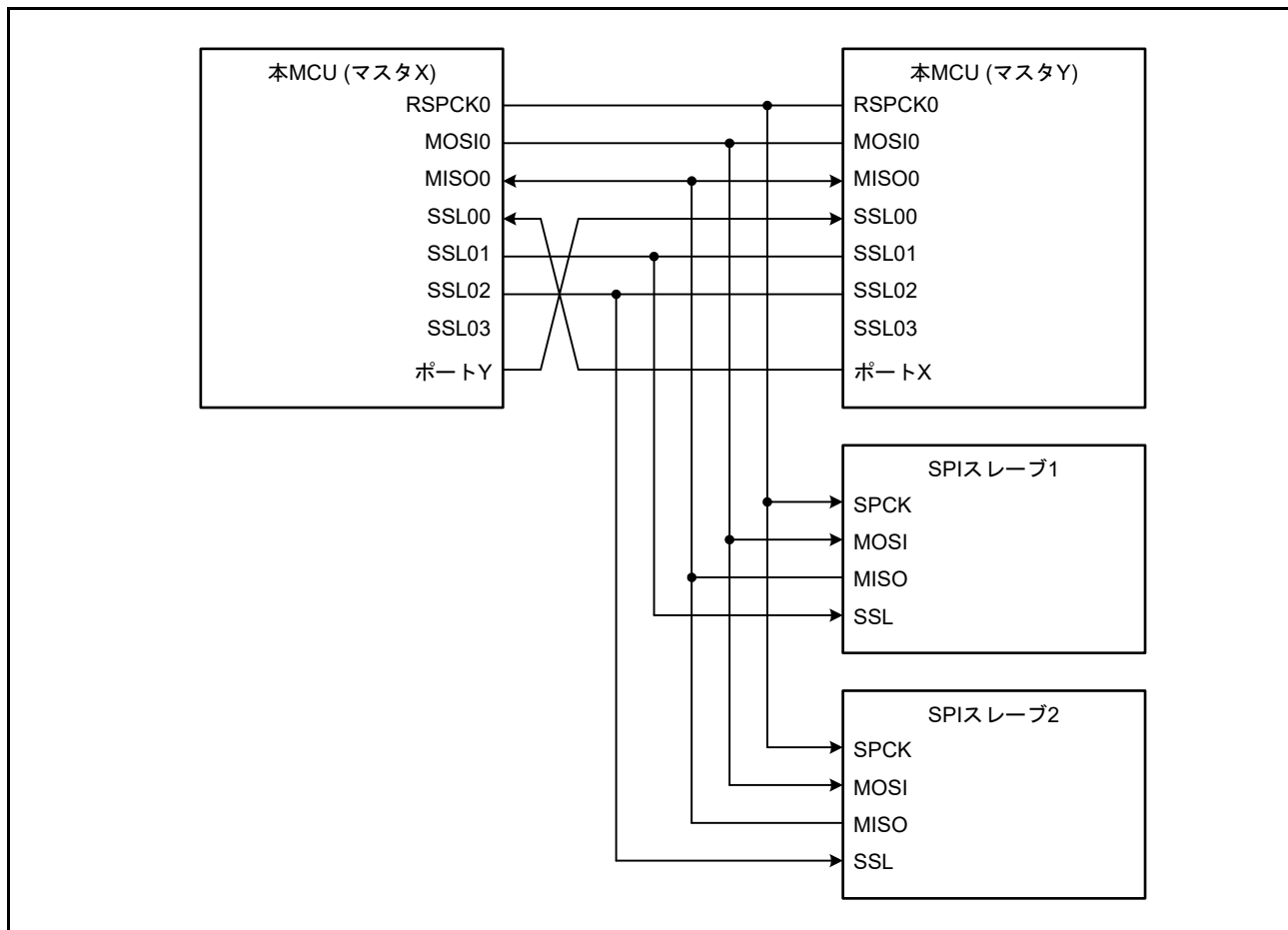


図 41.10 マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

TI SSP 時は、ポート X、ポート Y に下記の値をレベルで入力してください。

- 通信開始時は、相手側の SSLP.SSL0P の値
- 通信終了時は、相手側の SSLP.SSL0P の反転値

41.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本MCU = マスタ)

図 41.11 に、本MCU をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) のRSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本MCU (マスタ) のSSL00 ~ SSL03 出力は使用しません。

本MCU (マスタ) は、RSPCK0 と MOSI0 を常にドライブします。SPI スレーブは、MISO を常にドライブします。

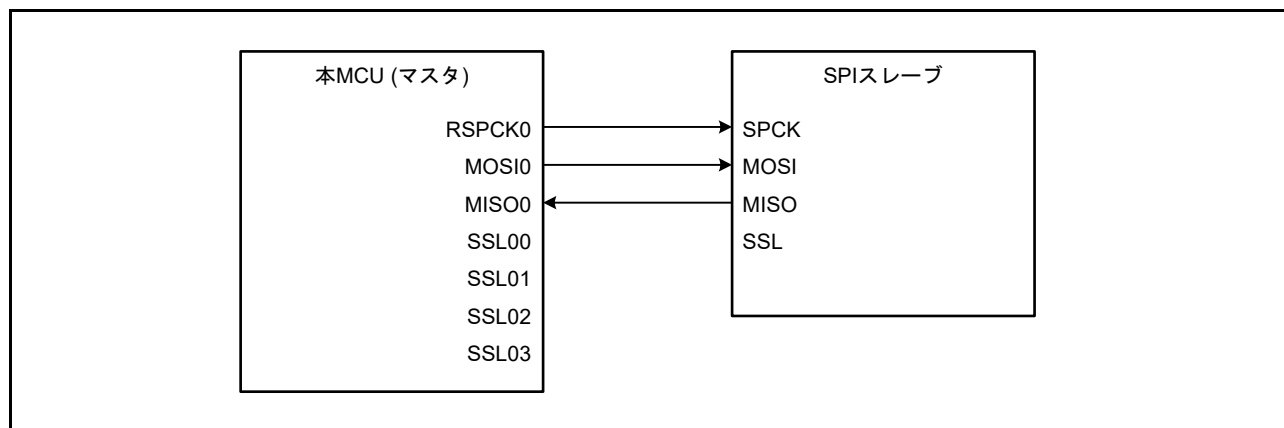


図 41.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本MCU = マスタ)

41.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 41.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISO0 を常にドライブし、SPI マスタは、SPCK と MOSI を常にドライブします。また、本 MCU (スレーブ) の SSL00 ~ SSL03 は使用しません。

SPCMDm.CPHA ビットを“1”に設定したシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

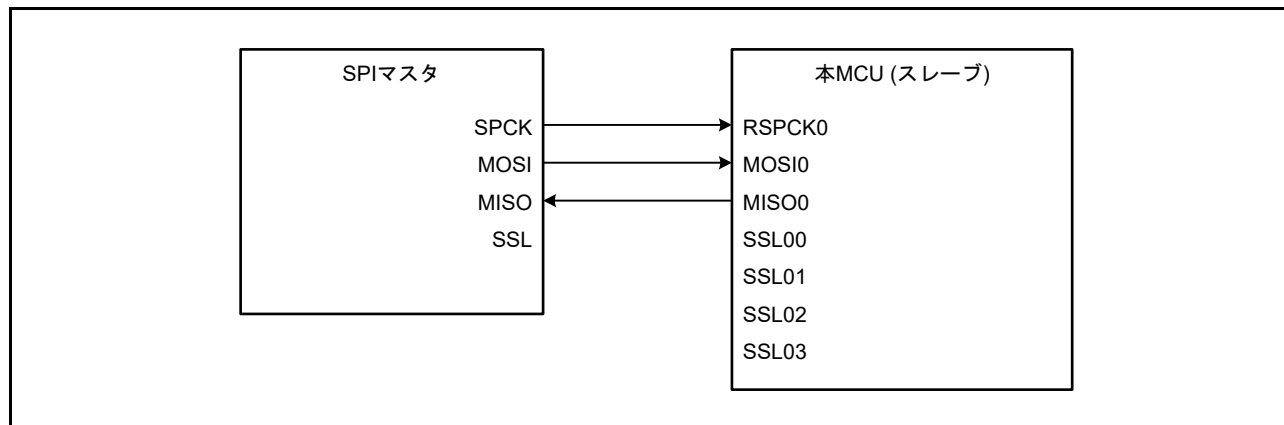


図 41.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例
(本 MCU = スレーブ、CPHA = 1)

41.3.4 データフォーマット

RSPIA のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m)、SPCR.SPPE ビットの設定値に依存します。MSB/LSB ファーストに関わらず、RSPIA は SPDR レジスタの LSB から設定データ長分の範囲を転送データとして扱います。

41.3.4.1 1 フレームのデータフォーマット

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、SPCMD m .SPB[4:0] ビットに設定したビット長のデータの送受信を行います。

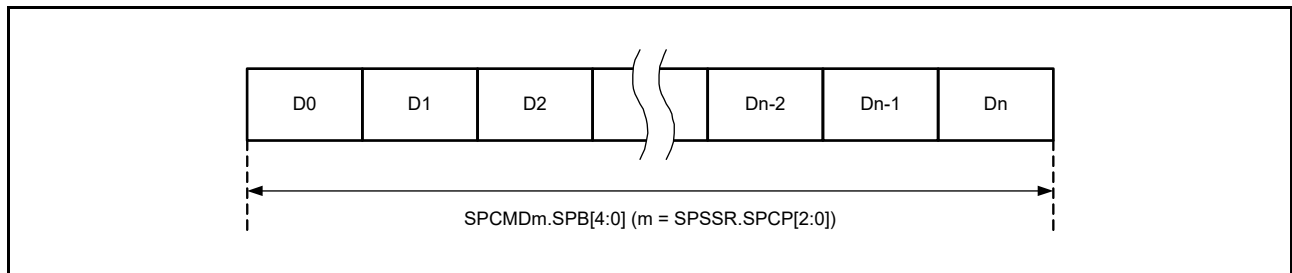


図 41.13 データフォーマット概要 (パリティ機能無効時)

(b) パリティ機能有効時

パリティ機能有効時は、SPCMD m .SPB[4:0] ビットに設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

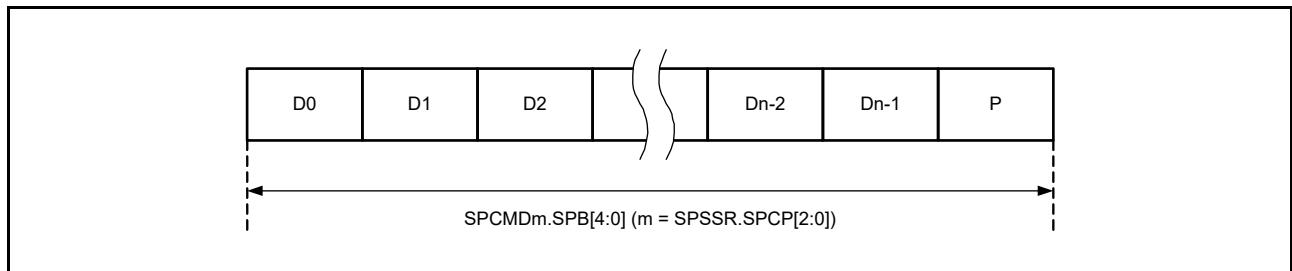


図 41.14 データフォーマット概要 (パリティ機能有効時)

41.3.4.2 パリティ機能無効 (SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。下記に SPDR レジスタとシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送 (32 ビット)

図 41.15 に、パリティ機能無効時、RSPIA がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまと、シフトレジスタの値を受信バッファにコピーします。

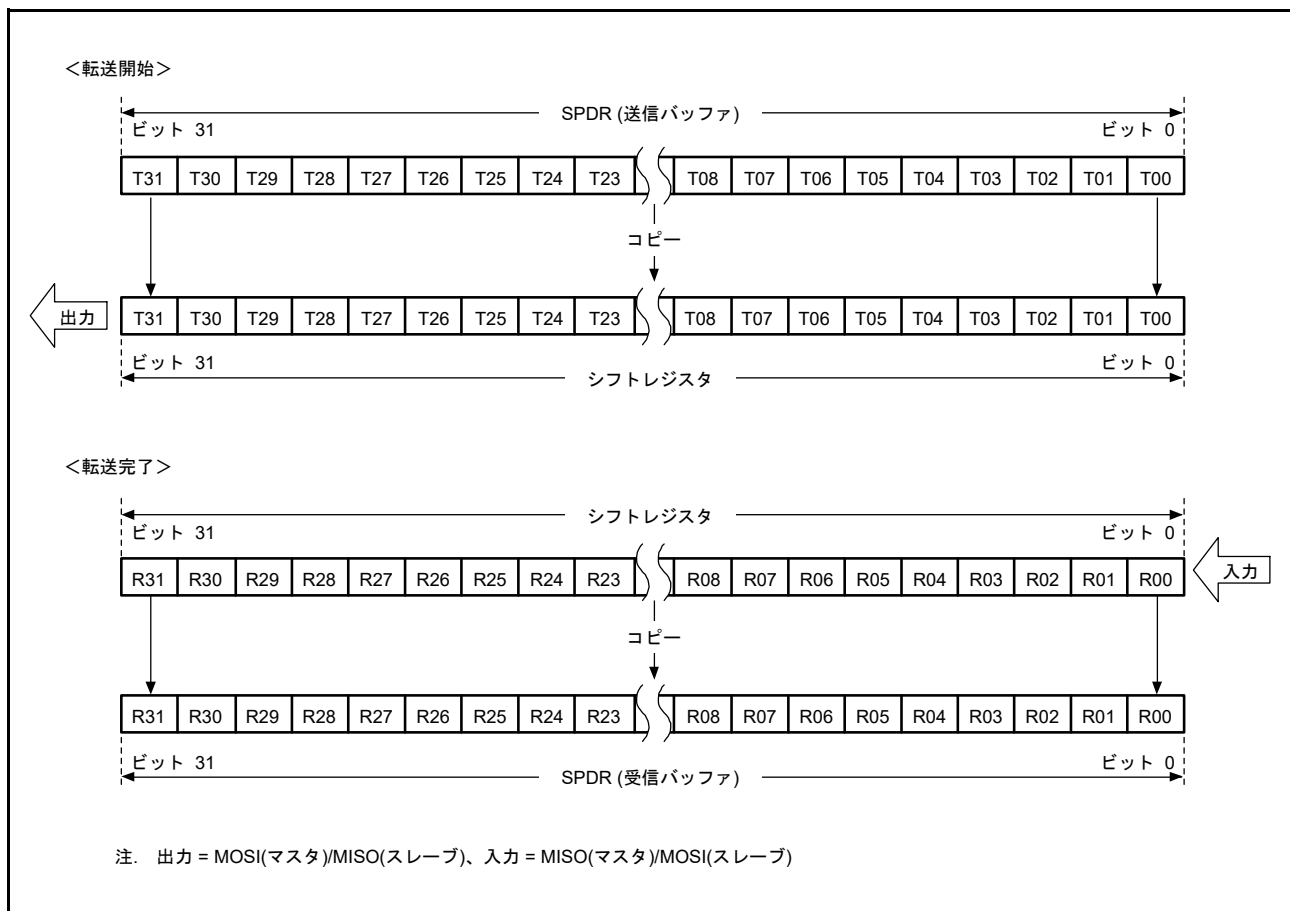


図 41.15 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビット)

図 41.16 に、パリティ機能無効時、RSPIA が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

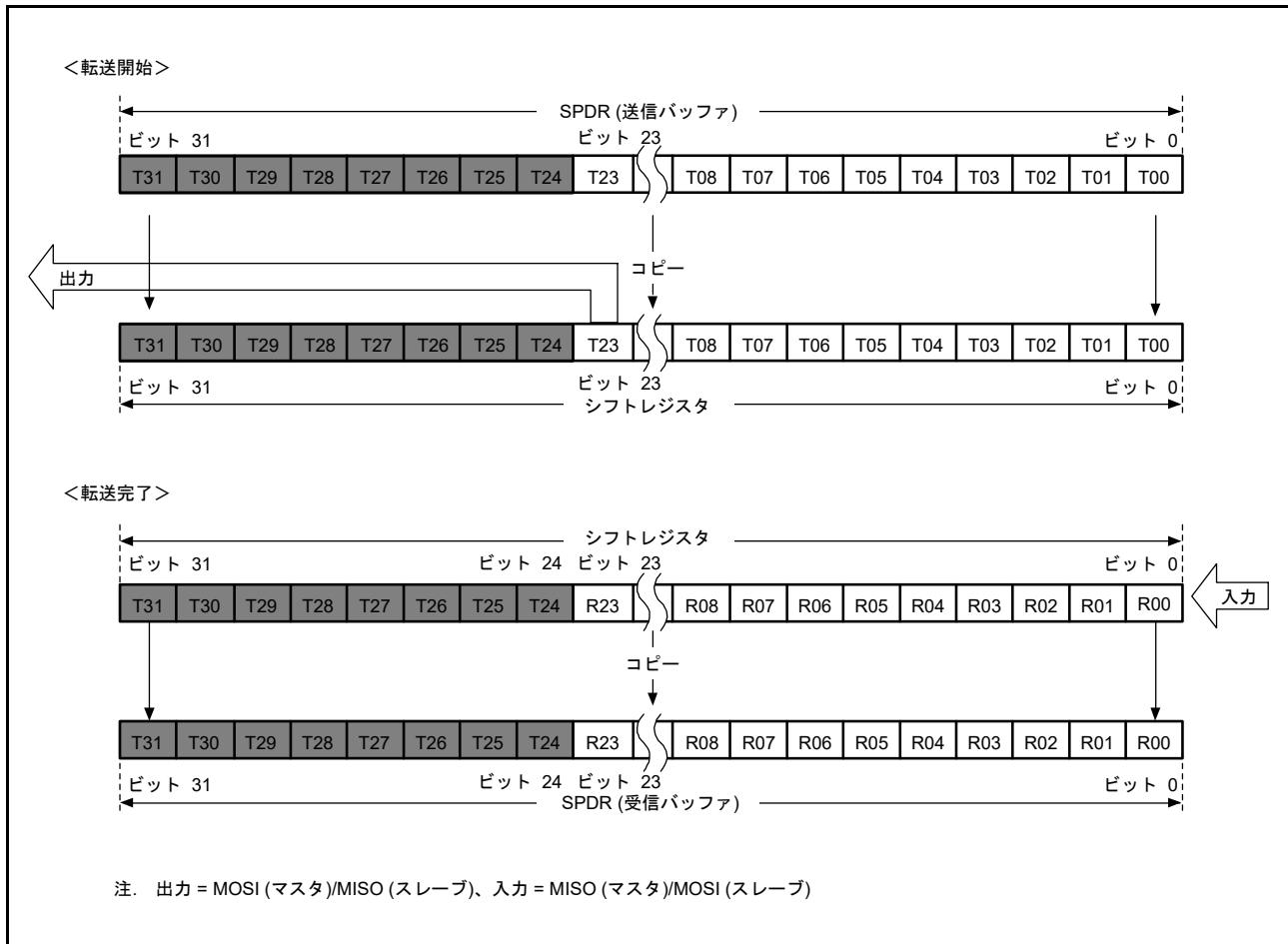


図 41.16 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビット)

図 41.17 に、パリティ機能無効時、RSPIA がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値をビット単位で入れ替え受信バッファに R31 ~ R00 の順番に並び替えコピーします。

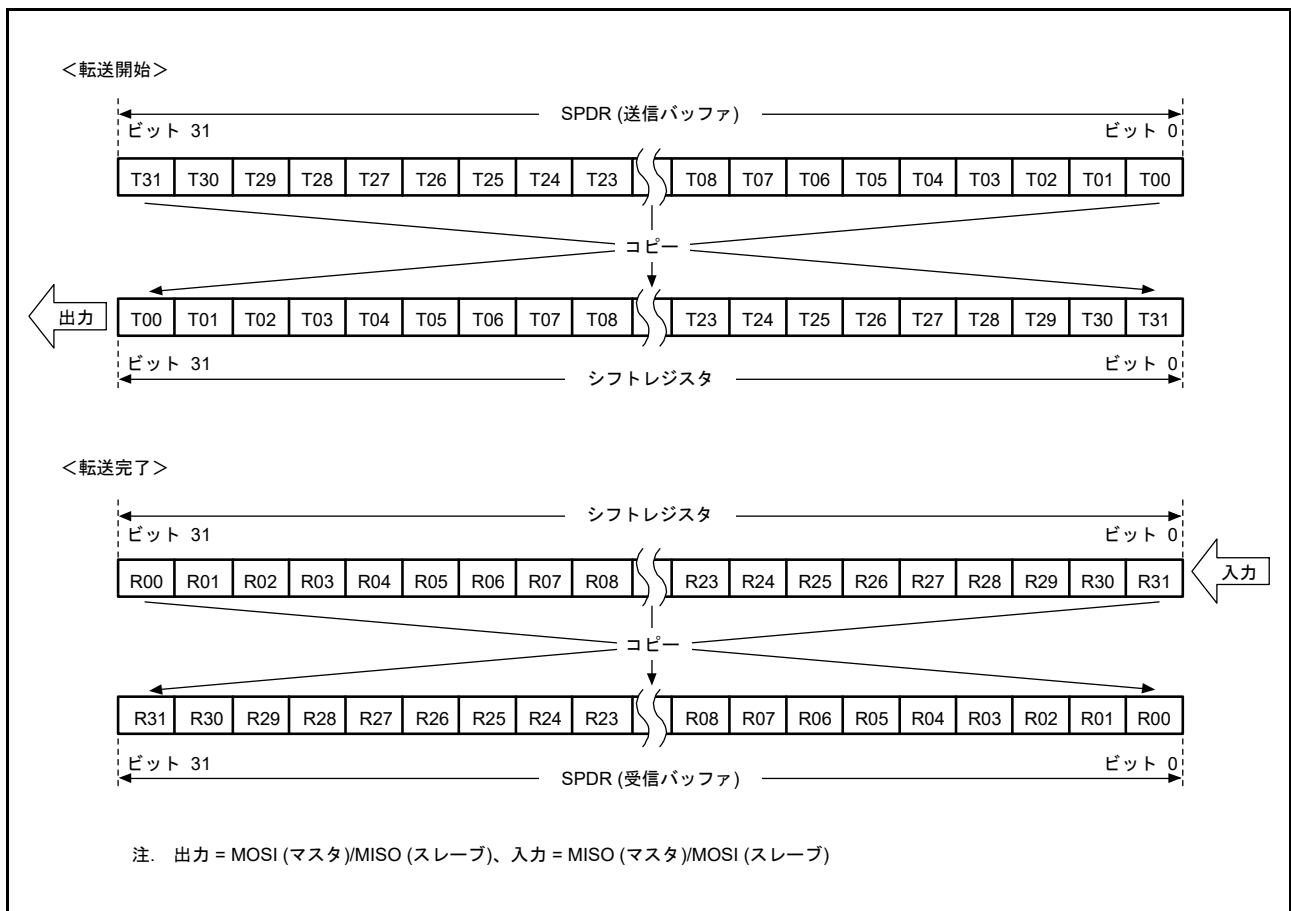


図 41.17 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビット)

図 41.18 に、パリティ機能無効時、RSPIA が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値をビット単位で入れ替え受信バッファに R23 (ビット 23) ~ R00 (ビット 0) の順番に並び替えコピーします。

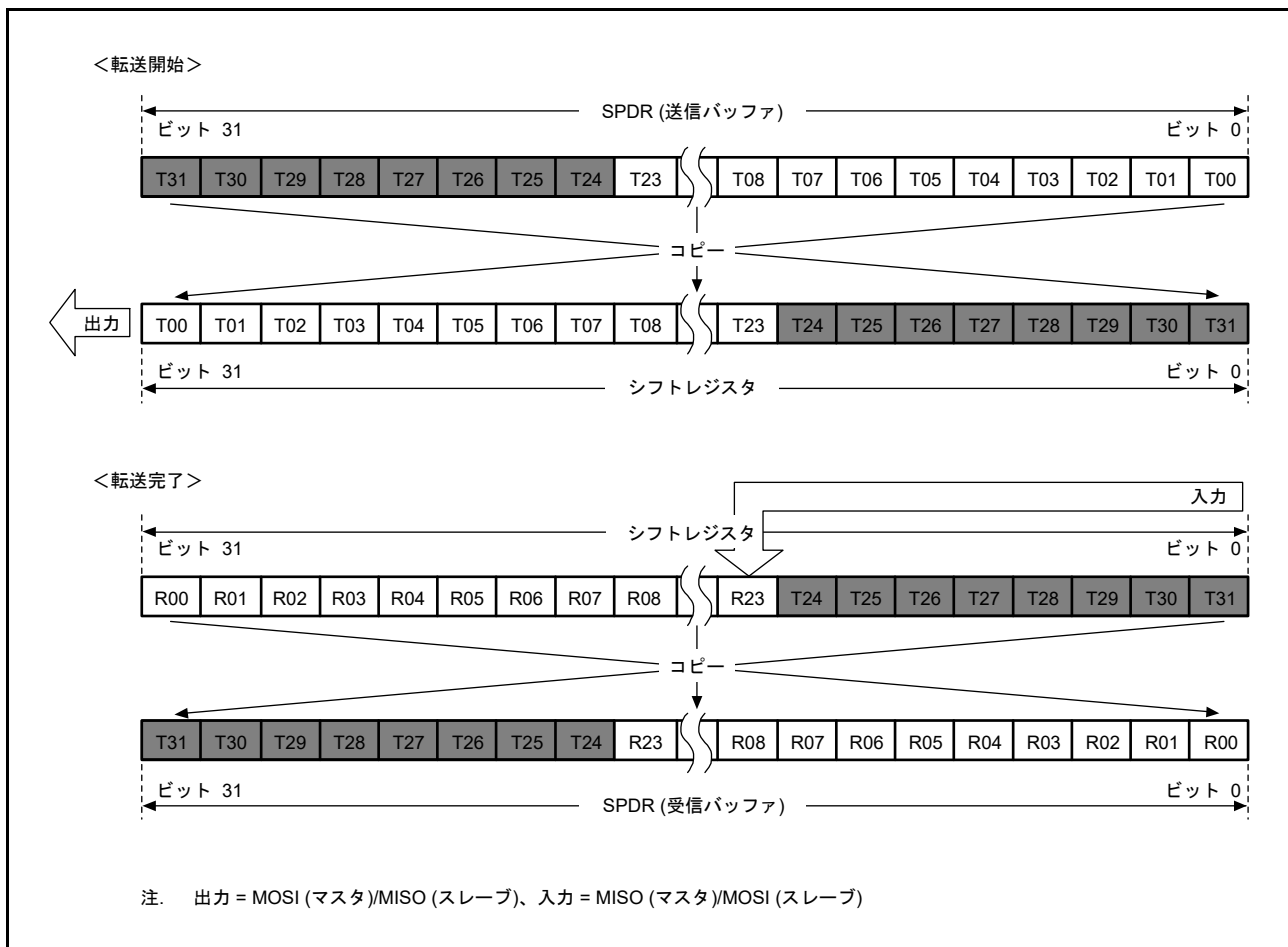


図 41.18 LSB ファースト (24 ビットデータ / パリティ機能無効)

41.3.4.3 パリティ機能有効時 (SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビット)

図 41.19 に、パリティ機能有効時、RSPIA がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。受信バッファにデータをコピーすると同時に、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

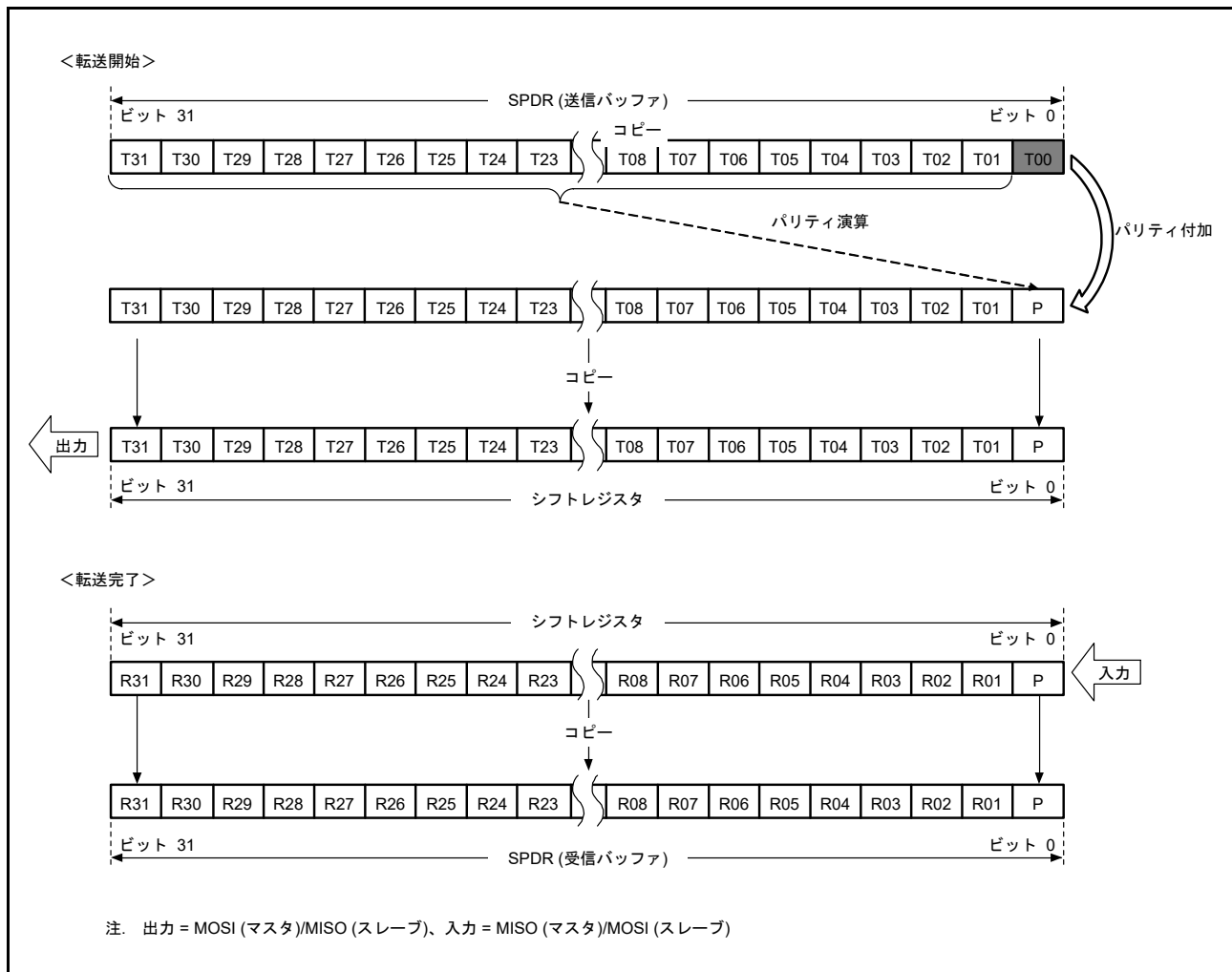


図 41.19 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビット)

図 41.20 に、パリティ機能有効時、RSPIA が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。受信バッファにデータをコピーすると同時に、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。

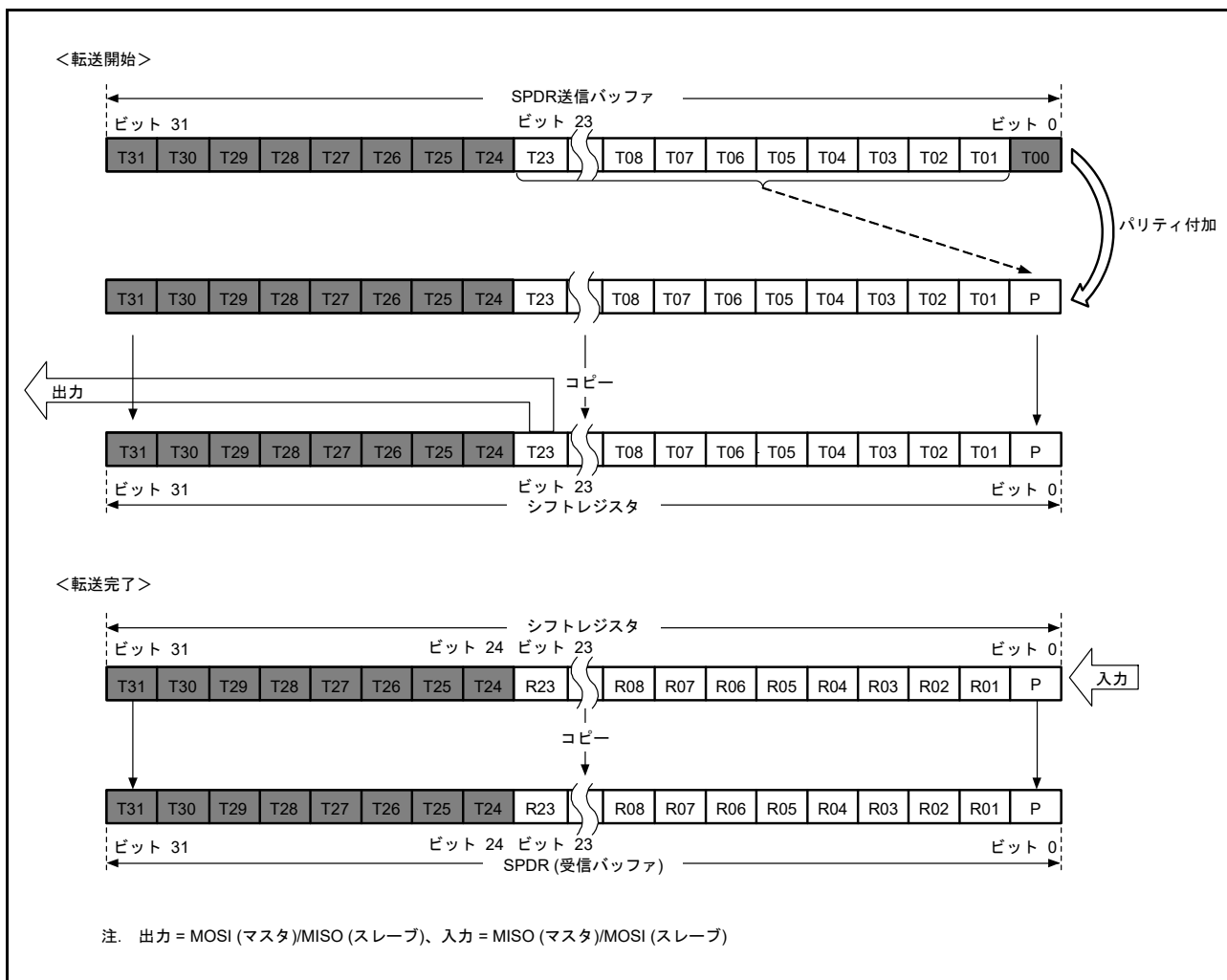


図 41.20 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビット)

図 41.21 に、パリティ機能有効時、RSPIA がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまり、シフトレジスタの値をビット単位で入れ替え受信バッファに P ~ R00 の順番に並び替えコピーします。受信バッファにデータをコピーすると同時に、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

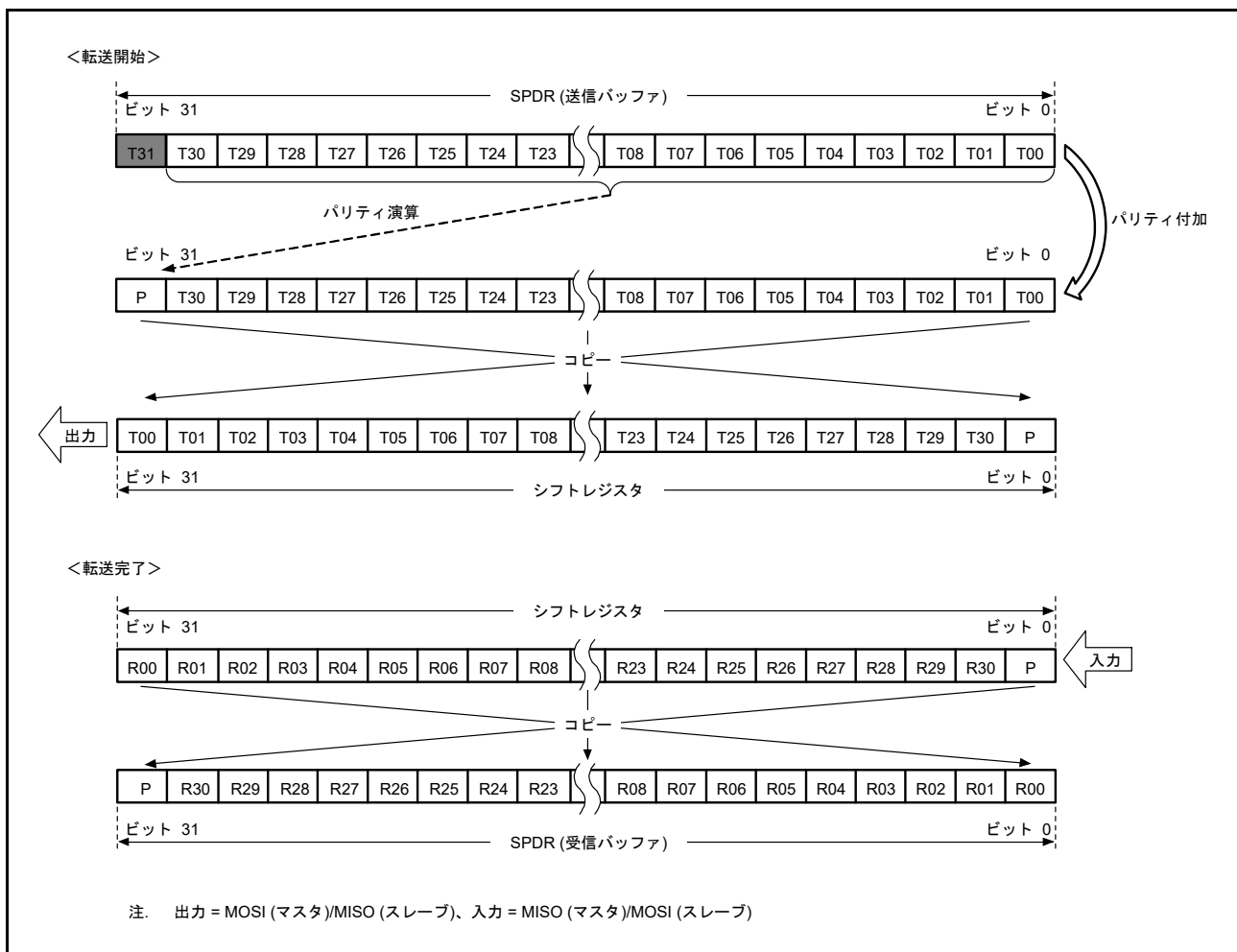


図 41.21 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビット)

図 41.22 に、パリティ機能有効時、RSPIA が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値をビット単位で入れ替え受信バッファに P (ビット 23) ~ R00 (ビット 0) の順番に並び替えコピーします。受信バッファにデータをコピーすると同時に、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

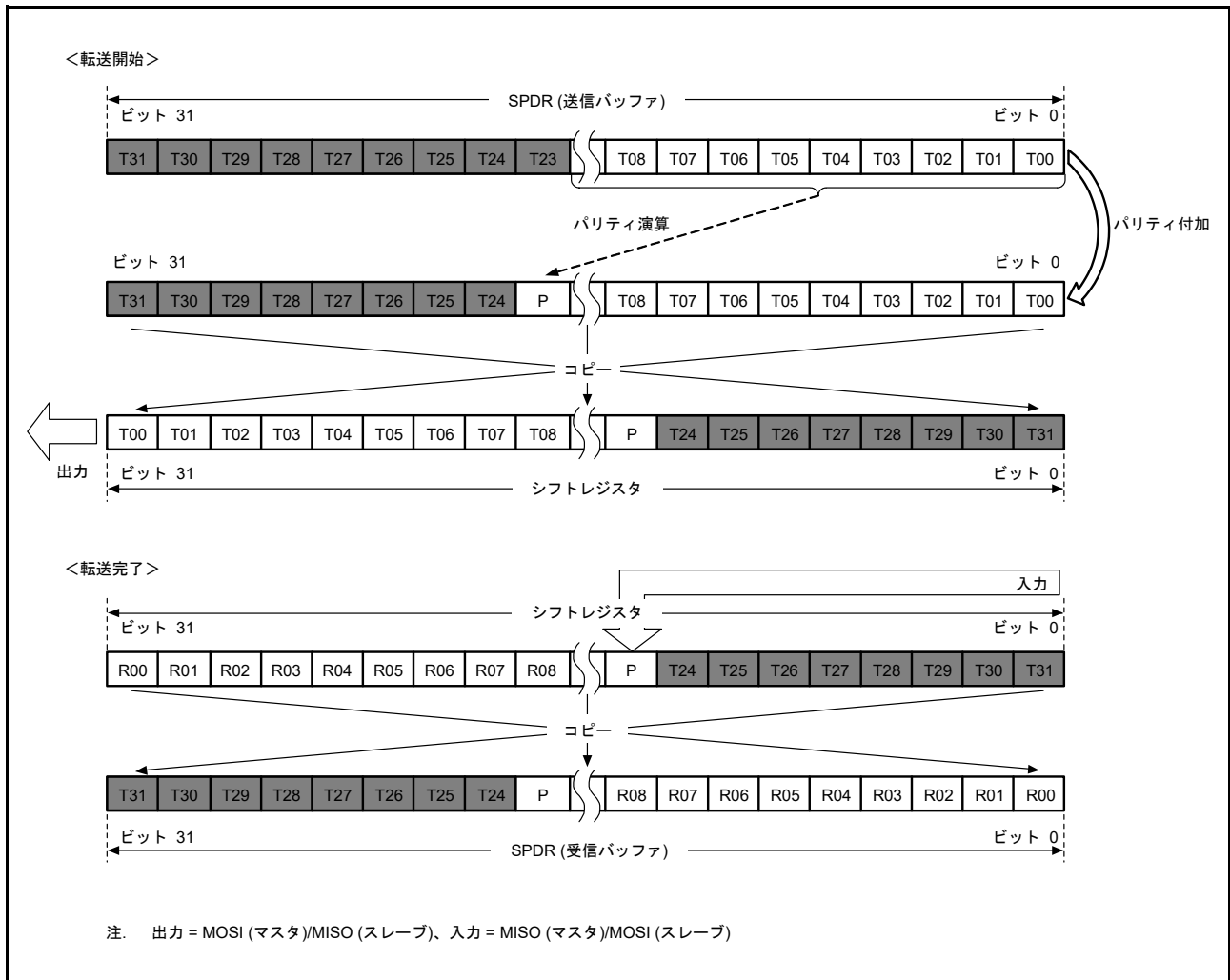


図 41.22 LSB ファースト (24 ビットデータ / パリティ機能有効)

41.3.4.4 バイトスワップ送信

バイトスワップ有効時 (SPDCR.BYSW = 1) は、送信バッファのデータを8ビット単位でスワップ加工したものを、シフトレジスタにコピーします。図 41.23 にデータ長 32 ビットで転送を実施する場合の SPDR レジスタ (送信バッファ) とシフトレジスタの関係を、MSB/LSB ファーストとバイトスワップあり / なしの組み合わせで説明します。

- (1) MSB ファースト、バイトスワップなしの場合
送信バッファのデータ (Byte3[T31 ~ T24] ~ Byte0[T07 ~ T00]) をシフトレジスタにそのままコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。
- (2) MSB ファースト、バイトスワップありの場合
送信バッファのデータ (Byte3[T31 ~ T24] ~ Byte0[T07 ~ T00]) をバイト単位で入れ替え、シフトレジスタに Byte0[T07 ~ T00] ~ Byte3[T31 ~ T24] の順番に並べ替えコピーします。送信データは、T07 → T06 → … → T00 → T15 → T14 → … → T08 → T23 → T22 → … → T16 → T31 → T30 → … → T24 の順番にシフトレジスタの値をシフトし送信します。
- (3) LSB ファースト、バイトスワップなしの場合
送信バッファのデータ (Byte3[T31 ~ T24] ~ Byte0[T07 ~ T00]) をビット単位で入れ替え、シフトレジスタに Byte0[T00 ~ T07] ~ Byte3[T24 ~ T31] の順番に並べ替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。
- (4) LSB ファースト、バイトスワップありの場合
送信バッファのデータ (Byte3[T31 ~ T24] ~ Byte0[T07 ~ T00]) をバイト毎にビット単位で入れ替え、シフトレジスタに Byte3[T24 ~ T31] ~ Byte0[T00 ~ T07] の順番に並べ替えコピーします。送信データは、T24 → T25 → … → T31 → T16 → T17 → … → T23 → T08 → T09 → … → T15 → T00 → T01 → … → T07 の順番にシフトレジスタの値をシフトし送信します。

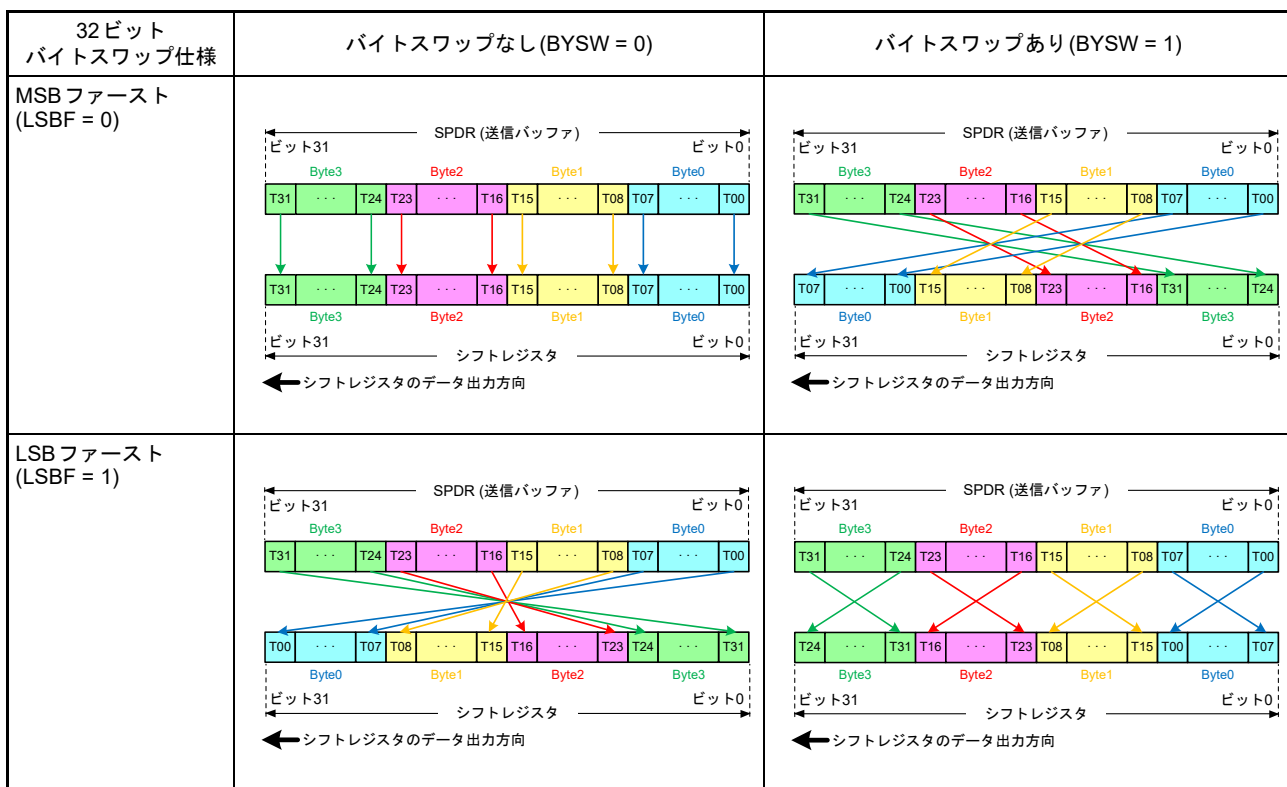


図 41.23 MSB/LSB ファーストとバイトスワップあり / なし時の送信データ変換仕様 (32 ビット)

図 41.24 にデータ長 16 ビットで転送を実施する場合の SPDR レジスタ (送信バッファ) とシフトレジスタの関係性を、MSB/LSB ファーストとバイトスワップあり/なしの組み合わせで説明します。

(1) MSB ファースト、バイトスワップなしの場合

送信バッファのデータ (Byte1[T15 ~ T08] ~ Byte0[T07 ~ T00]) をシフトレジスタに Byte1[T15 ~ T08] ~ Byte0[T07 ~ T00] の順番にそのままコピーします。送信データは、T15 → T14 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

(2) MSB ファースト、バイトスワップありの場合

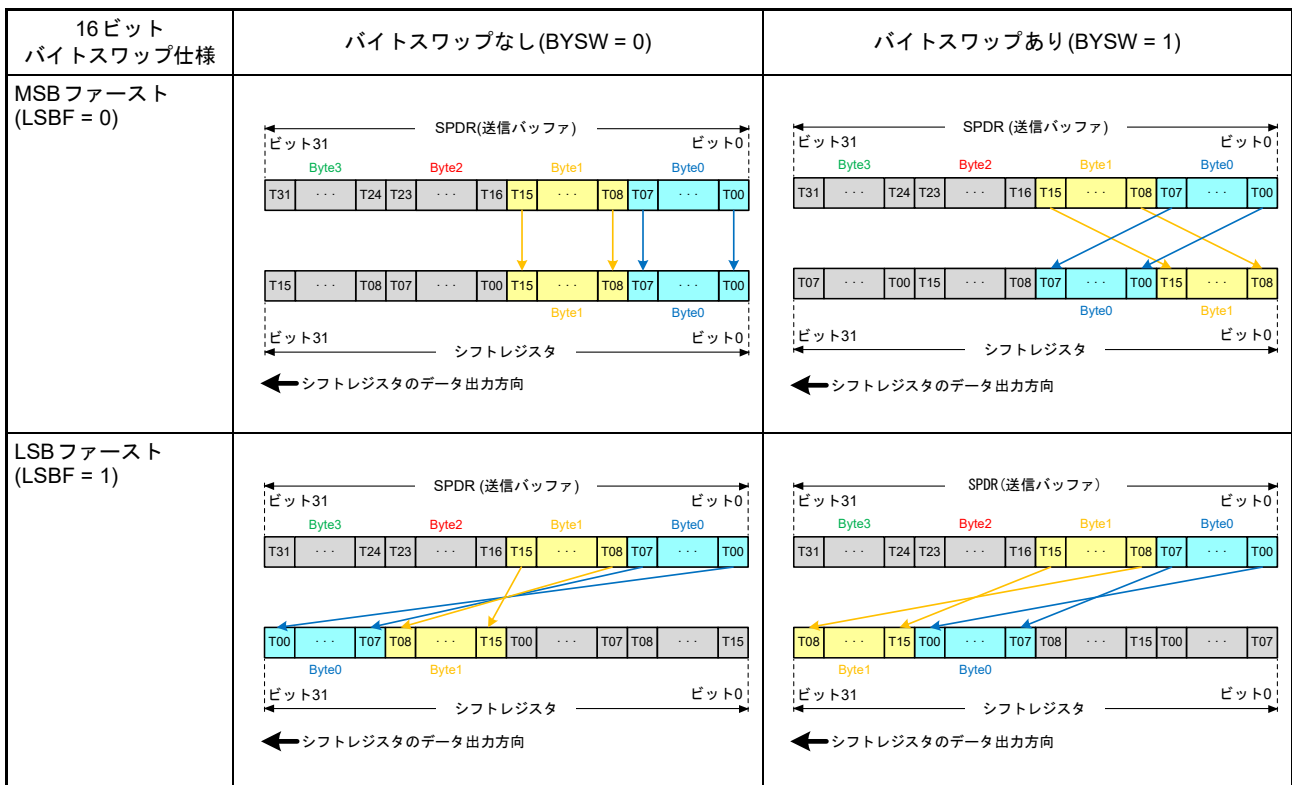
送信バッファのデータ (Byte1[T15 ~ T08] ~ Byte0[T07 ~ T00]) をバイト単位で入れ替え、シフトレジスタに Byte0[T07 ~ T00] ~ Byte1[T15 ~ T08] の順番に並べ替えコピーします。送信データは、T07 → T06 → … → T00 → T15 → T14 → … → T08 の順番にシフトレジスタの値をシフトし送信します。

(3) LSB ファースト、バイトスワップなしの場合

送信バッファのデータ (Byte1[T15 ~ T08] ~ Byte0[T07 ~ T00]) をビット単位で入れ替え、シフトレジスタに Byte0[T00 ~ T07] ~ Byte1[T08 ~ T15] の順番に並べ替えコピーします。送信データは、T00 → T01 → … → T15 の順番にシフトレジスタの値をシフトし送信します。

(4) LSB ファースト、バイトスワップありの場合

送信バッファのデータ (Byte1[T15 ~ T08] ~ Byte0[T07 ~ T00]) をバイト毎にビット単位で入れ替え、シフトレジスタに Byte1[T08 ~ T15] ~ Byte0[T00 ~ T07] の順番に並べ替えコピーします。送信データは、T08 → T09 → … → T15 → T00 → T01 → … → T07 の順番にシフトレジスタの値をシフトし送信します。



□ : 無効データ (書き込んでも送信されません)

図 41.24 MSB/LSB ファーストとバイトスワップあり/なし時の送信データ変換仕様 (16 ビット)

- 注 1. バイトスワップを行う場合は、データ長 (SPCMDm.SP[B4:0] ビットの設定) を 16 ビットもしくは 32 ビットに設定してください。
これ以外のデータ長 (4 ~ 15、17 ~ 31 ビット) に設定した場合の動作は保証されません。
- 注 2. バイトスワップ有効時は、パリティ機能を無効 (SPCR.SPPE = 0) にしてください。パリティ機能を有効 (SPPE = 1) に設定した場合の動作は保証されません。
- 注 3. SPDCR.BYSW ビットの設定は、SPCR.SPE ビットが "0" の状態で行ってください。SPE ビットが "1" の状態で BYSW ビットを書き換えた場合には、以降の動作は保証されません。

41.3.4.5 バイトスワップ受信

バイトスワップ有効時 (SPDCR.BYSW = 1) は、シフトレジスタのデータを8ビット単位でスワップ加工したものを、受信バッファにコピーします。図 41.25 にデータ長 32 ビットで転送を実施する場合のシフトレジスタと SPDR レジスタ (受信バッファ) の関係を、MSB/LSB ファーストとバイトスワップあり/なしの組み合わせで説明します。

(1) MSB ファースト、バイトスワップなしの場合

最初のデータ (R31) をシフトレジスタのビット 0 に格納し、1 データごとに受信データを R31 → R30 → … → R00 の順番にシフトします。必要分の RSPCK が入力され、データがたまと、シフトレジスタの値 (Byte3[R31 ~ R24] ~ Byte0[R07 ~ R00]) をそのまま受信バッファにコピーします。

(2) MSB ファースト、バイトスワップありの場合

最初のデータ (R07) をシフトレジスタのビット 0 に格納し、1 データごとに受信データを R07 → R06 → … → R00 → R15 → R14 → … → R08 → R23 → R22 → … → R16 → R31 → R30 → … → R24 の順番にシフトします。必要分の RSPCK が入力され、データがたまと、シフトレジスタの値 (Byte0[R07 ~ R00] ~ Byte3[R31 ~ R24]) をバイト単位で入れ替え、受信バッファに Byte3[R31 ~ R24] ~ Byte0[R07 ~ R00] の順番に並べ替えコピーします。

(3) LSB ファースト、バイトスワップなしの場合

最初のデータ (R00) をシフトレジスタのビット 0 に格納し、1 データごとに受信データを R00 → R01 → … → R31 の順番にシフトします。必要分の RSPCK が入力され、データがたまと、シフトレジスタの値 (Byte0[R00 ~ R07] ~ Byte3[R24 ~ R31]) をビット単位で入れ替え、受信バッファに Byte3[R31 ~ R24] ~ Byte0[R07 ~ R00] の順番に並べ替えコピーします。

(4) LSB ファースト、バイトスワップありの場合

最初のデータ (R24) をシフトレジスタのビット 0 に格納し、1 データごとに受信データを R24 → R25 → … → R31 → R16 → R17 → … → R23 → R08 → R09 → … → R15 → R00 → R01 → … → R07 の順番にシフトします。必要分の RSPCK が入力され、データがたまと、シフトレジスタの値 (Byte3[R24 ~ R31] ~ Byte0[R00 ~ R07]) をバイト毎にビット単位で入れ替え、受信バッファに Byte3[R31 ~ R24] ~ Byte0[R07 ~ R00] の順番に並べ替えコピーします。

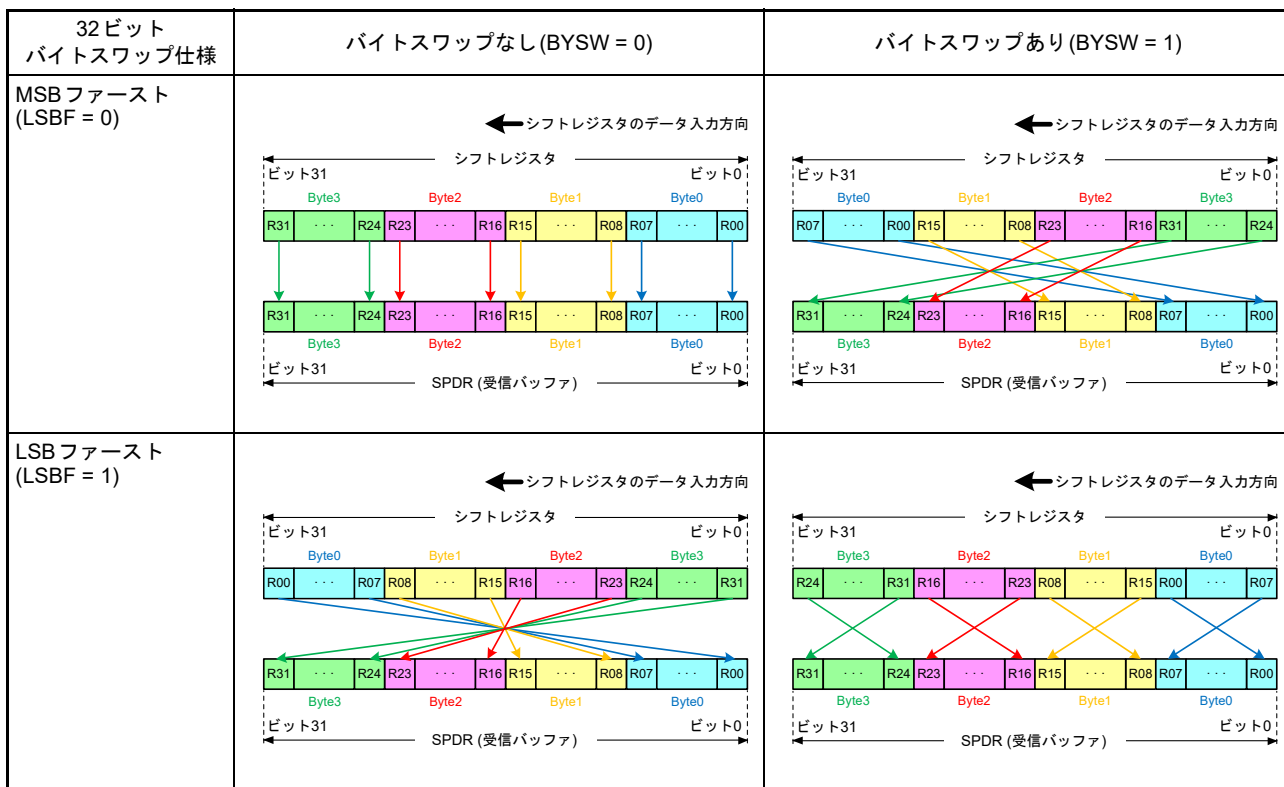


図 41.25 MSB/LSB ファーストとバイトスワップあり / なし時の受信データ変換仕様 (32 ビット)

図 41.26 にデータ長 16 ビットで転送を実施する場合のシフトレジスタと SPDR レジスタ (受信バッファ) の関係を、MSB/LSB ファーストとバイトスワップあり/なしの組み合わせで説明します。

(1) MSB ファースト、バイトスワップなしの場合

最初のデータ (R15) をシフトレジスタのビット 0 に格納し、1 データごとに受信データを R15 → R14 → … → R00 の順番にシフトします。必要分の RSPCK が入力され、データがたまると、シフトレジスタの値 (Byte3[R31 ~ R24] ~ Byte0[R07 ~ R00]) をそのまま受信バッファにコピーします。

(2) MSB ファースト、バイトスワップありの場合

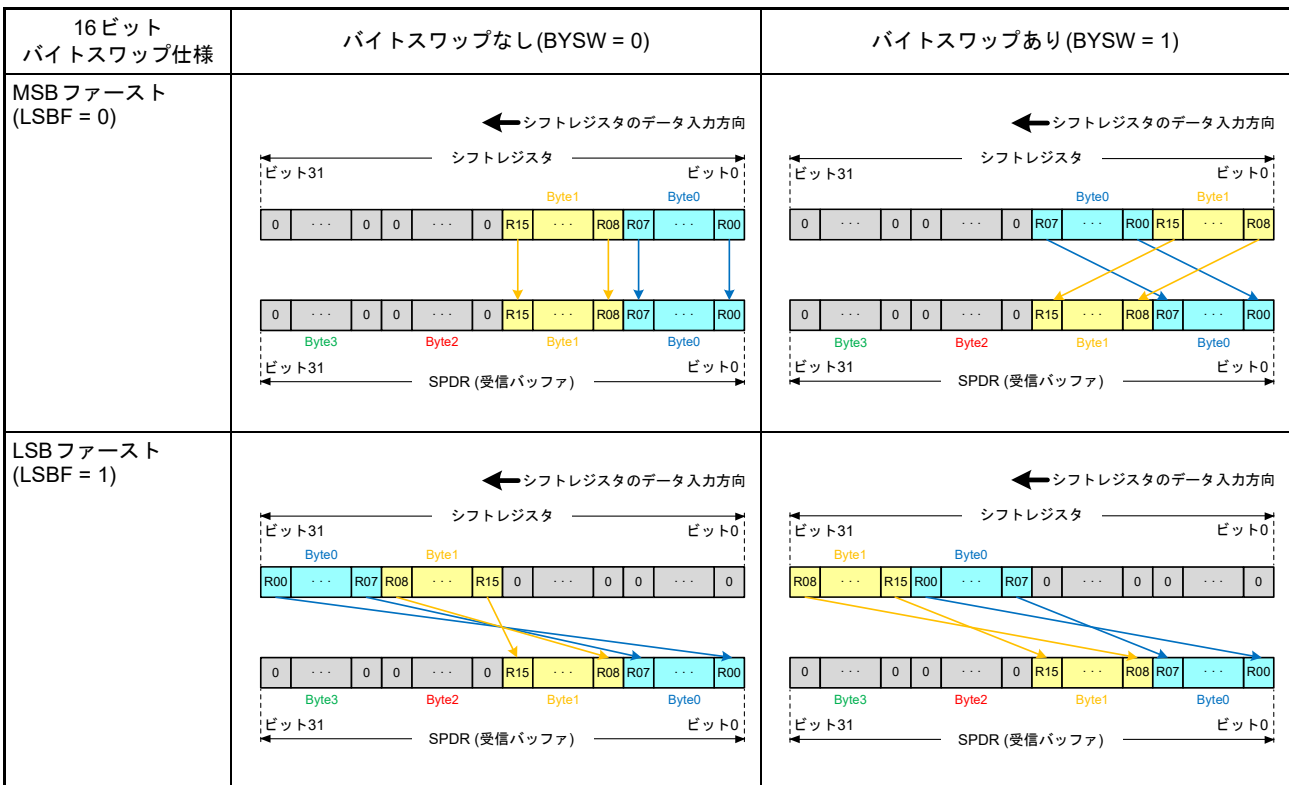
最初のデータ (R07) をシフトレジスタのビット 0 に格納し、1 データごとに受信データを R07 → R06 → … → R00 → R15 → R14 → … → R08 の順番にシフトします。必要分の RSPCK が入力され、データがたまると、シフトレジスタの値 (Byte0[R07 ~ R00] ~ Byte1[R15 ~ R08]) をバイト単位で入れ替え、受信バッファに Byte3[R31 ~ R24] ~ Byte0[R07 ~ R00] の順番に並べ替えコピーします。

(3) LSB ファースト、バイトスワップなしの場合

最初のデータ (R00) をシフトレジスタのビット 15 に格納し、1 データごとに受信データを R00 → R01 → … → R07 → R08 → R09 → … → R15 の順番にシフトします。必要分の RSPCK が入力され、データがたまると、シフトレジスタの値 (Byte0[R00 ~ R07] ~ Byte1[R08 ~ R15]) をビット単位で入れ替え、受信バッファに Byte3[R31 ~ R24] ~ Byte0[R07 ~ R00] の順番に並べ替えコピーします。

(4) LSB ファースト、バイトスワップありの場合

最初のデータ (R08) をシフトレジスタのビット 15 に格納し、1 データごとに受信データを R08 → R09 → … → R15 → R00 → R01 → … → R15 の順番にシフトします。必要分の RSPCK が入力され、データがたまると、シフトレジスタの値 (Byte1[R08 ~ R15] ~ Byte0[R00 ~ R07]) をバイト毎にビット単位で入れ替え、受信バッファに Byte3[R31 ~ R24] ~ Byte0[R07 ~ R00] の順番に並べ替えコピーします。



□ : 無効データ (読むと“0”が読めます)

図 41.26 MSB/LSB ファーストとバイトスワップあり/なし時の受信データ変換仕様 (16 ビット)

- 注 1. バイトスワップを行う場合は、データ長 (SPCMDm.SP[B4:0] ビットの設定) を 16 ビットもしくは 32 ビットに設定してください。
これ以外のデータ長 (4 ~ 15、17 ~ 31 ビット) に設定した場合の動作は保証されません。
- 注 2. バイトスワップ有効時は、パリティ機能を無効 (SPCR.SPPE ビット = 0) にしてください。パリティ機能を有効 (SPPE ビット = 1) に設定した場合の動作は保証されません。
- 注 3. SPDCR.BYSW ビットの設定は、SPCR.SPE ビットが "0" の状態で行ってください。SPE ビットが "1" の状態で BYSW ビットを書き換えた場合には、以降の動作は保証されません。

41.3.5 転送フォーマット (フレームフォーマット)

41.3.5.1 CPHA = 0 の場合

図 41.27 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPIA がスレーブモード (SPCR.MSTR = 0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS = 1) は保証されません。図 41.27 において、RSPCK0 (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCK0 (CPOL = 1) は CPOL ビットが“1”の場合の RSPCK0 信号波形です。サンプリングタイミングは、RSPIA がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPIA の設定に依存します (「41.3.2 RSPI 端子の制御」参照)。

CPHA ビットが“0”の場合には、SSL0i 信号のアサートタイミングで、MOSI0 信号と MISO0 信号への有効データのドライブが開始されます。SSL0i 信号のアサート後に発生する最初の RSPCK0 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSI0 信号と MISO0 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK0 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSL0i 信号のアサートから RSPCK0 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCK0 発振停止から SSL0i 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSL0i 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPIA がマスタモードである場合の t1、t2、t3 については、「41.3.13.1 マスタモード動作」を参照してください。

[Motorola SPI]

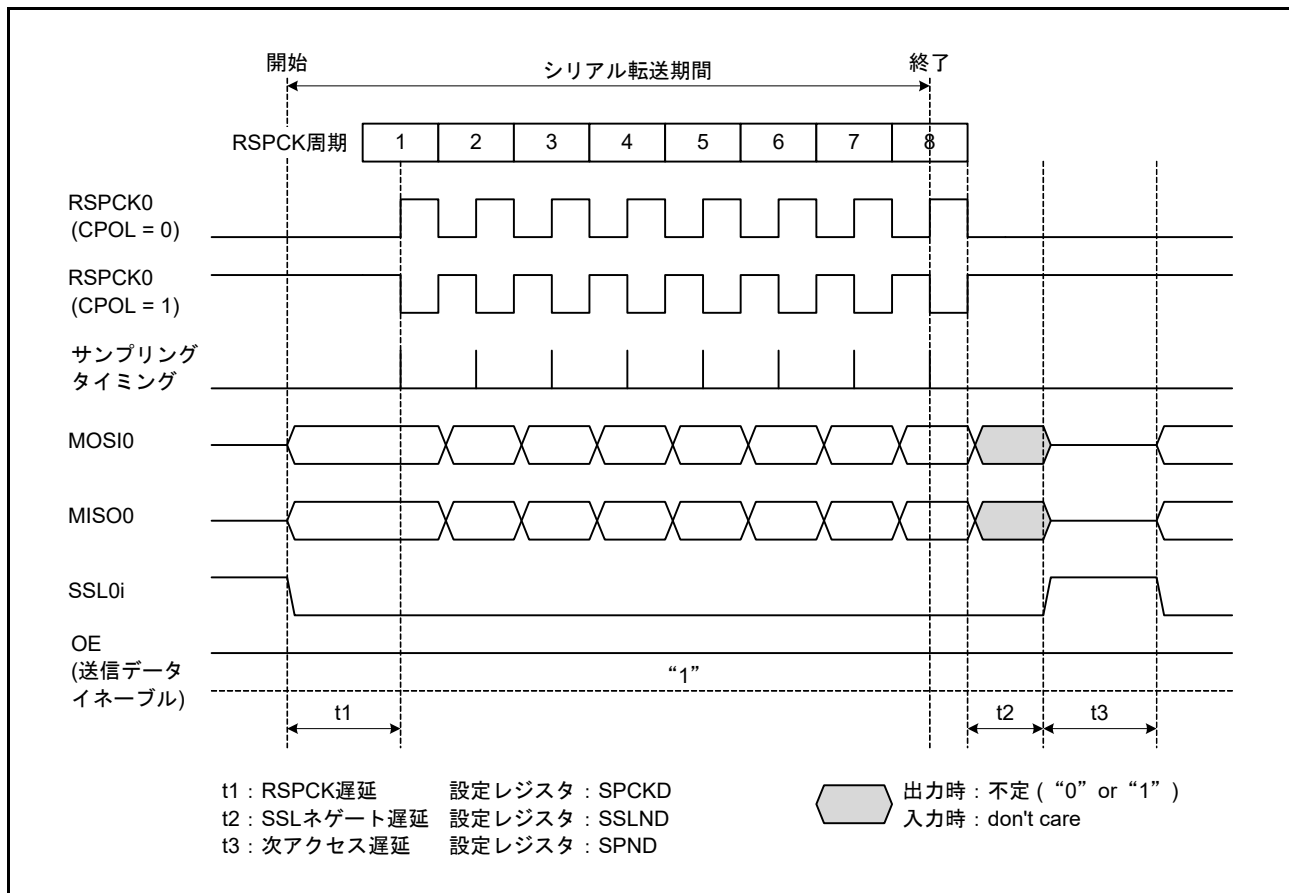


図 41.27 RSPI 転送フォーマット (CPHA = 0、FRFS = 0)

[TI SSP]

CPHA = 0 設定は無効です。

41.3.5.2 CPHA = 1 の場合

図 41.28、図 41.29 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSL0i 信号を用いず、RSPCK0 信号、MOSI0 信号、MISO0 信号のみで通信を行います。図 41.28 において、RSPCK0 (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCK0 (CPOL = 1) は CPOL ビットが“1”の場合の RSPCK0 信号波形です。サンプリングタイミングは、RSPIA がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPIA のモード (マスタ/スレーブモード) に依存します (「41.3.2 RSPI 端子の制御」参照)。

CPHA ビットが“1”の場合には、SSL0i 信号のアサートタイミングで、MISO0 信号に無効データのドライブが開始されます。SSL0i 信号のアサート後に発生する最初の RSPCK0 信号変化タイミングで、MOSI0 信号と MISO0 信号への有効データの出力が開始され、このタイミング以降 1 RSPCK 周期毎にデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は RSPCK0 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA = 0 の場合と同様です。本 MCU の RSPIA がマスタモードである場合の t1、t2、t3 については、「41.3.13.1 マスタモード動作」を参照してください。

[Motorola SPI]

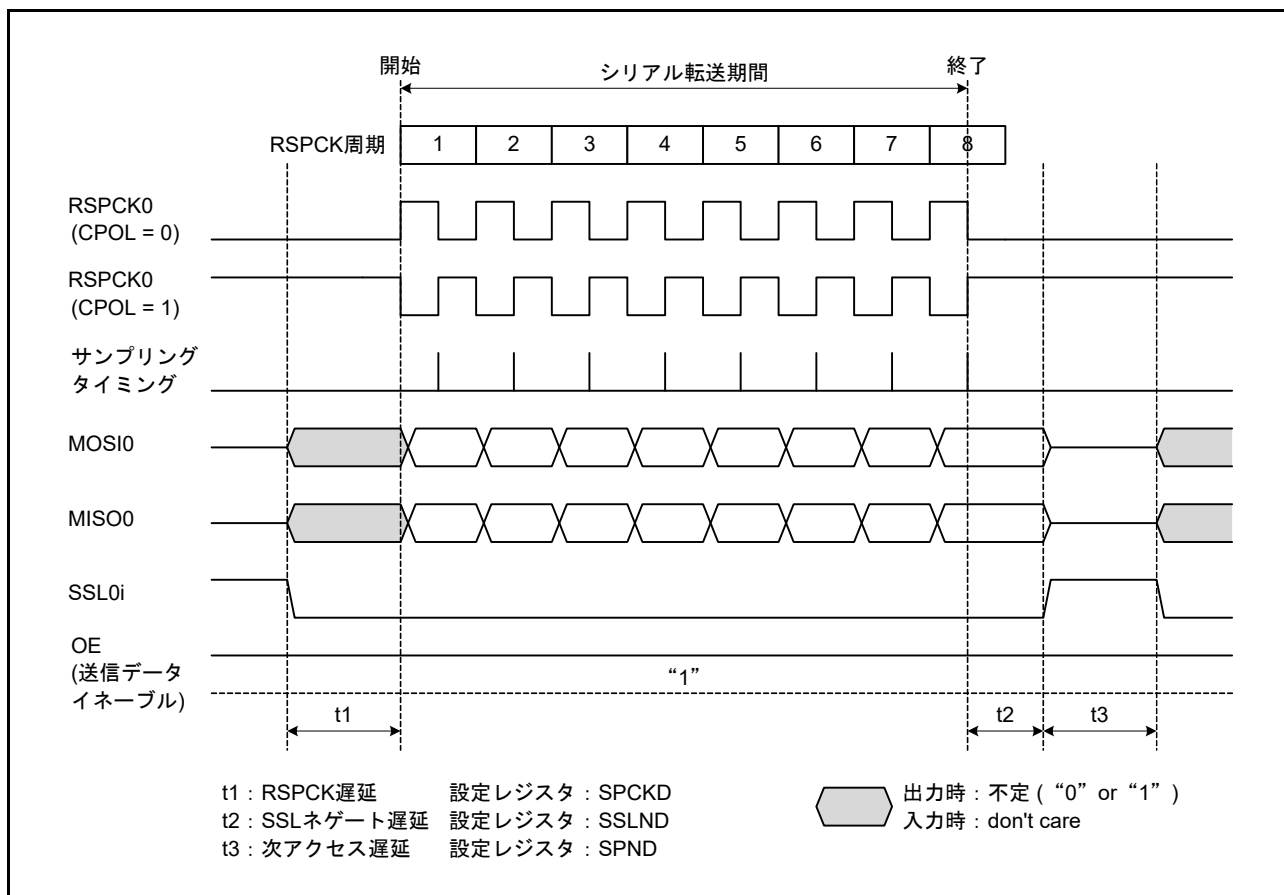


図 41.28 RSPI 転送フォーマット (CPHA = 1、FRFS = 0)

[TI SSP]

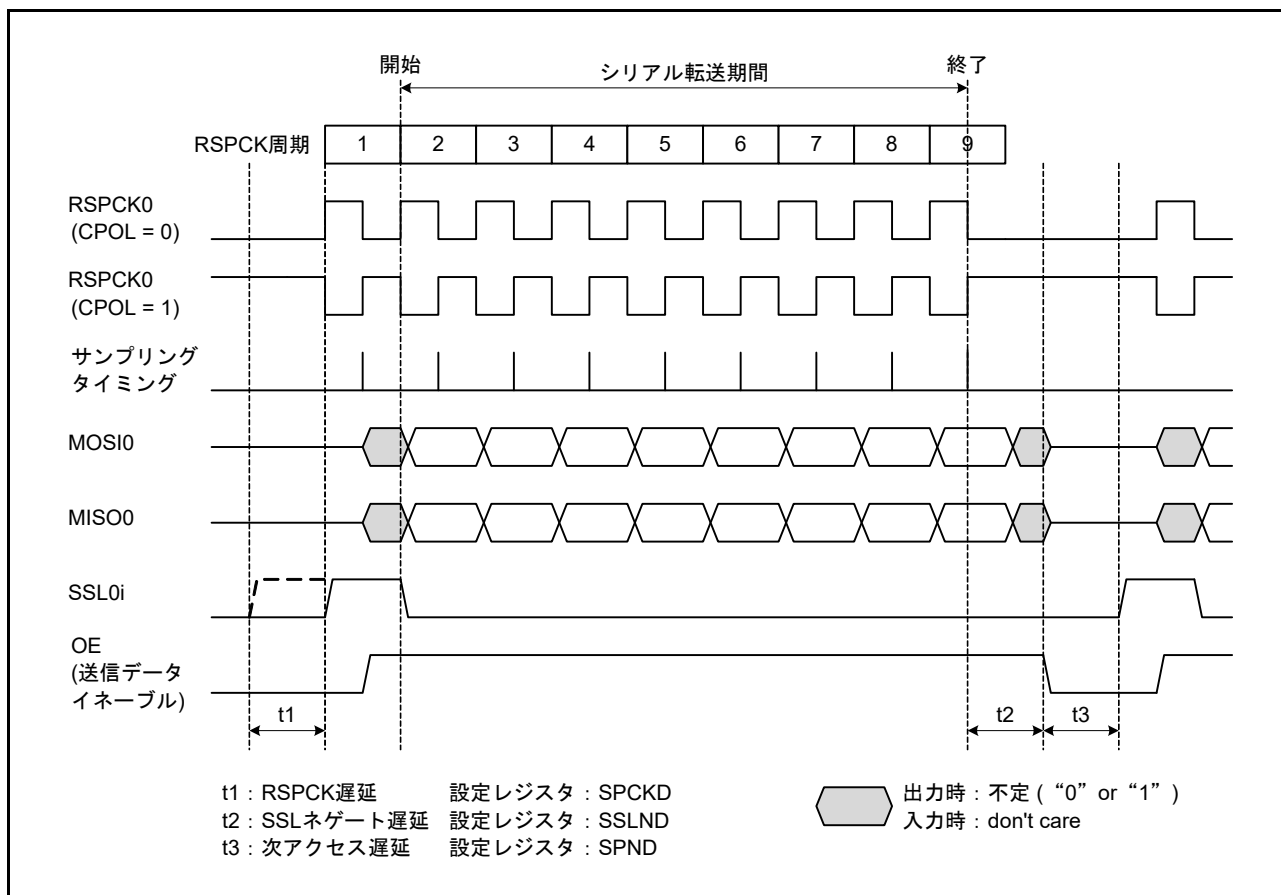


図 41.29 RSPI 転送フォーマット (CPHA = 1、FRFS = 1)

41.3.6 通信モード

SPCR.CMMD[1:0] ビット (通信モード選択ビット) の設定により、送受信モード、送信専用モード、受信専用モードを選択します。

図 41.30、図 41.31、図 41.32 に記載した“SPDR レジスタアクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

41.3.6.1 送受信モード (CMMD[1:0]=00b)

図 41.30 に、SPCR.CMMD[1:0] ビット (通信モード選択ビット) を“00b”に設定した場合の動作例を示します。図 41.30 の例では、SPFCR レジスタの TTRG[1:0] = 00b、RTRG[1:0] = FIFO 段数 - 1、SPCMDm.CPHA ビットが“1”、CPOL ビットが“0”の設定で、RSPIA が 8 ビットのシリアル転送を実行しています。RSPCK0 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

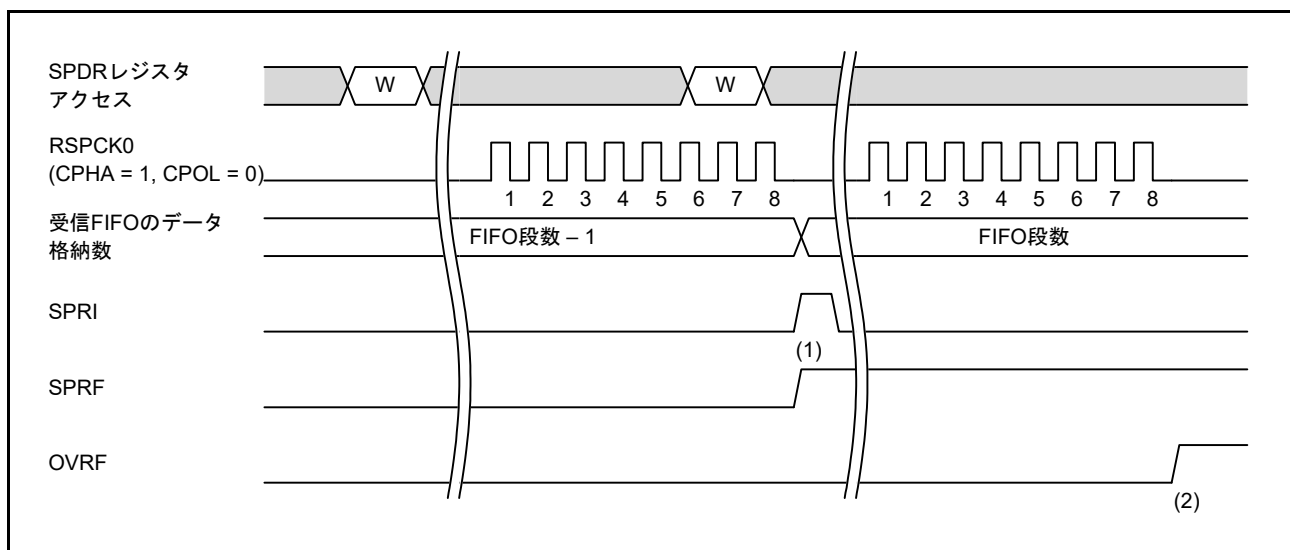


図 41.30 CMMD[1:0] = 00b の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR の受信バッファの格納数が SPFCR.RTRG[1:0] ビットで設定したフレーム数と一致している状態でシリアル転送が終了すると、RSPIA は受信バッファフル割り込み要求 SPRI を発生 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR の受信バッファに FIFO 段数分のデータが格納されている状態でシリアル転送が終了すると、RSPIA は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

送受信モード (CMMD[1:0] = 00b) 時は、データ送信と同時にデータ受信を行います。そのため、SPRF、OVRF フラグは、(1)、(2) のそれぞれのタイミングで“1”になります。

41.3.6.2 送信専用モード (CMMD[1:0] = 01b)

図 41.31 に、SPDR.CMMD[1:0] ビット (通信モード選択ビット) を“01b”に設定した場合の動作例を示します。図 41.31 の例では、SPFCR レジスタの TTRG[1:0] = 00b、RTRG[1:0] = 00b、SPCMDm.CPHA ビットが“1”、CPOL ビットが“0”の設定で、RSPIA が 8 ビットのシリアル転送を実行しています。RSPCK0 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

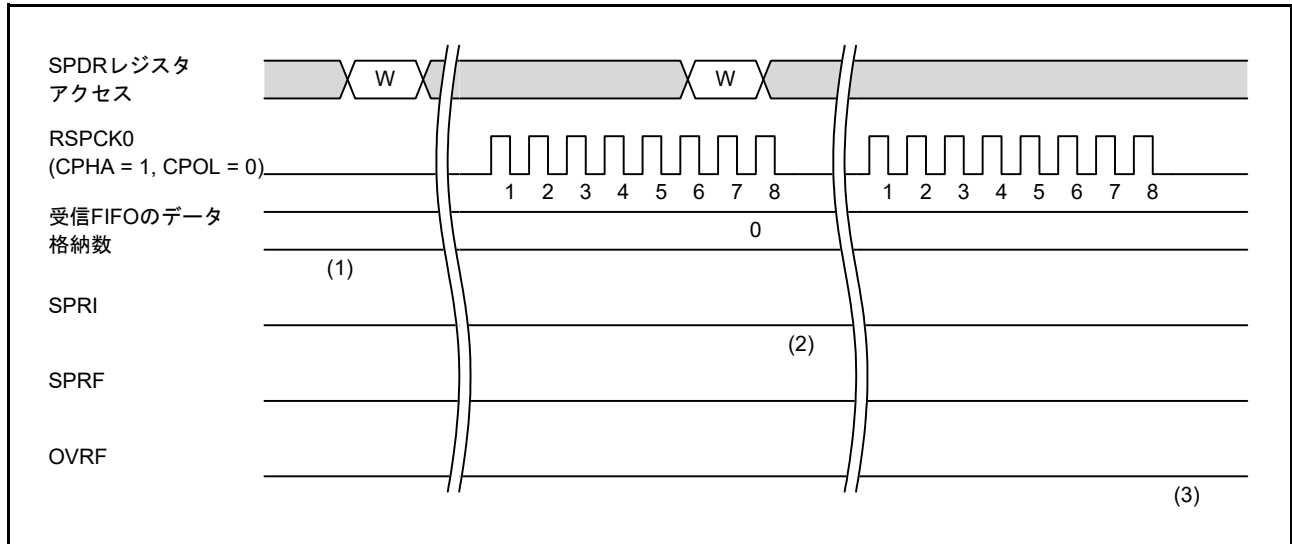


図 41.31 CMMD[1:0] = 01b の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信専用モード (CMMD[1:0] = 01b) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF、OVRF フラグが“0”であることを確認してから行ってください。
- (2) SPDR の受信 FIFO にデータが格納されていない状態でシリアル転送が終了すると、送信専用モード (CMMD[1:0] = 01b) のときは、SPRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR の受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信専用モード (CMMD[1:0] = 01b) 時は、データ送信のみ行い、データ受信は行いません。そのため、SPRF、OVRF フラグは、(1)、(2)、(3) いずれのタイミングでも“0”を保持します。

41.3.6.3 受信専用モード (CMMD[1:0] = 10b)

図 41.32 に、SPCR.CMMD[1:0] ビット (通信モード選択ビット) を“10b”に設定した場合の動作例を示します。図 41.32 の例では、SPFCR レジスタの TTRG[1:0] = 00b、RTRG[1:0] = FIFO 段数 - 1、SPCMDm.CPHA ビットが“1”、CPOL ビットが“0”の設定で、RSPIA が 8 ビットのシリアル転送を実行しています。RSPCK0 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

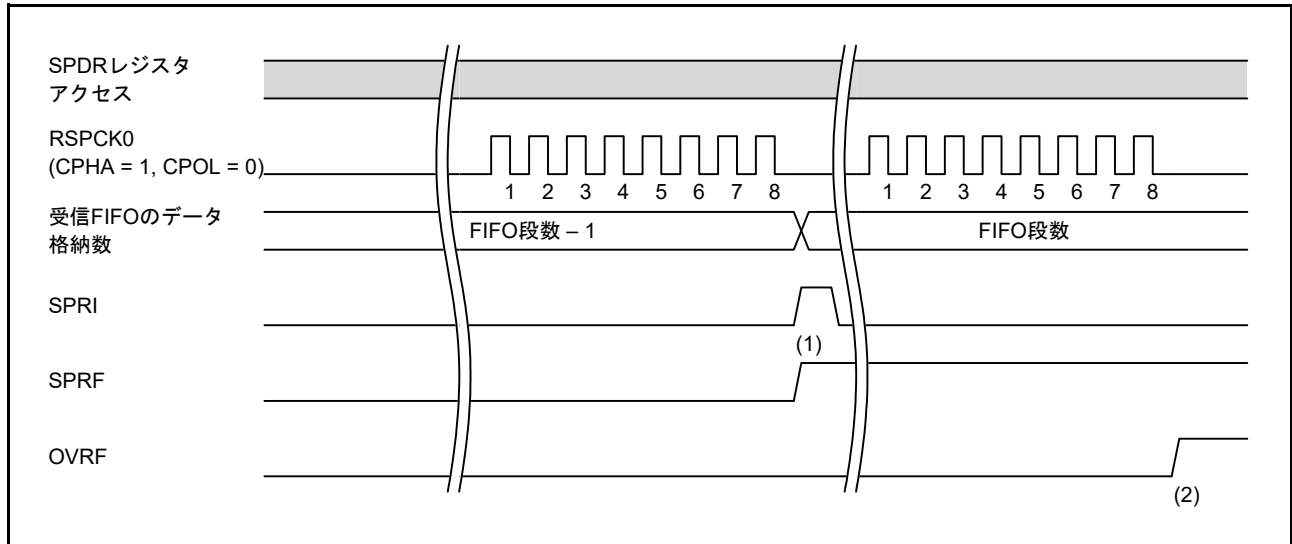


図 41.32 CMMD[1:0] = 10b の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR の受信バッファの格納数が SPFCR.RTRG[1:0] ビットで設定したフレーム数と一致している状態でシリアル転送が終了すると、RSPIA は受信バッファフル割り込み要求 SPRI を発生 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR の受信バッファに FIFO 段数分のデータが格納されている状態でシリアル転送が終了すると、RSPIA は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

41.3.7 送信バッファエンプティ / 受信バッファフル割り込み

図 41.33 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。“SPDR レジスタアクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。動作例では、SPCR.CMMD[1:0] ビットが“00b”、SPFCR レジスタの TTRG[1:0] = 00b、RTRG[1:0] = 00b、SPCMDm.CPHA ビットが“1”、CPOL ビットが“0”の設定で、RSPIA が 8 ビットのシリアル転送を実行しています。RSPCK0 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

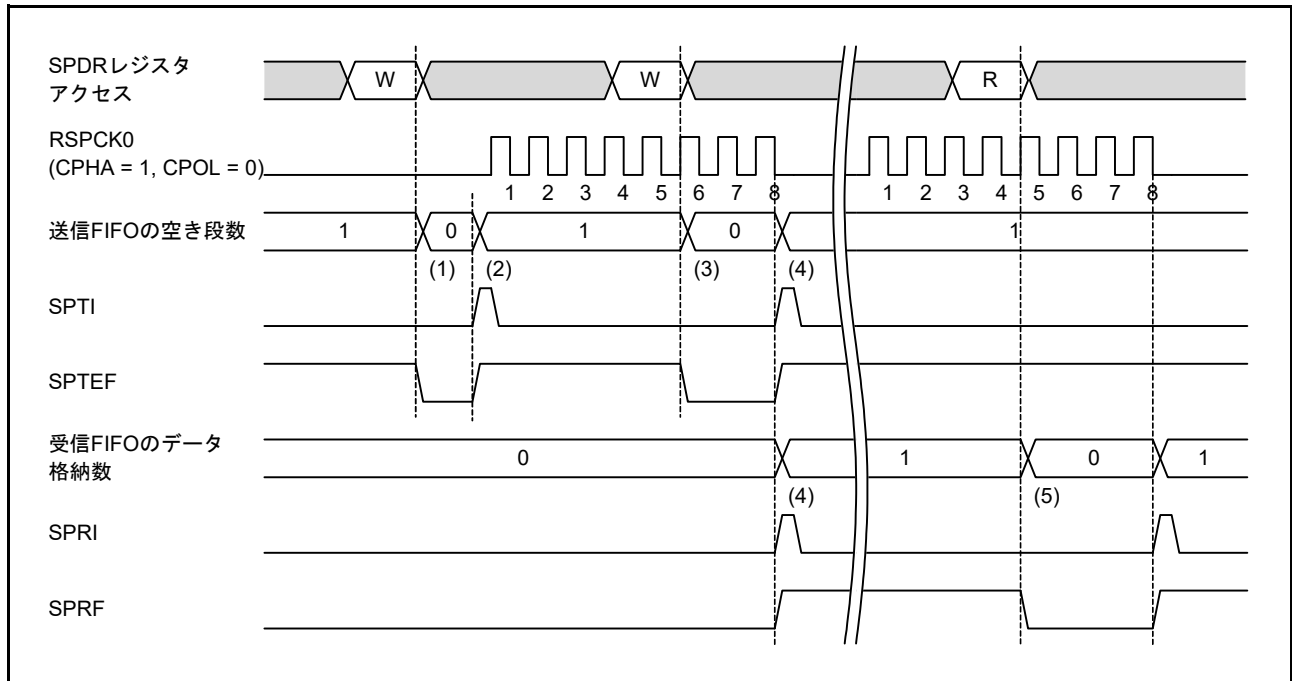


図 41.33 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの動作内容を説明します。

- (1) SPDR の送信 FIFO に次転送のデータがセットされていない状態で SPDR に送信データを書き込むと、RSPIA は送信バッファにデータを書き込みます。DTC/DMAC を用いて 1 回の処理ルーチンで、SPDR へ送信データを書き込んだ場合、最終アクセス時に SPSR.SPTEF フラグを“0”にします。
- (2) シフトレジスタがエンプティの場合には、RSPIA は送信バッファのデータをシフトレジスタにコピーします。このとき、送信 FIFO の空き段数が送信 FIFO のしきい値を超えていれば、RSPIA は送信バッファエンプティ割り込み要求 (SPTI) を発生し、SPTEF フラグを“1”にします。なお、シリアル転送の開始方法は、RSPIA のモードに依存します。(「41.3.13 SPI 動作」, 「41.3.14 クロック同期式動作」参照)
- (3) 送信バッファエンプティ割り込み要求 (SPTI) または SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR に送信データを書き込むと、RSPIA は送信バッファにデータを書き込みます。DTC/DMAC を用いて 1 回の処理ルーチンで、SPDR へ送信データを書き込んだ場合、最終アクセス時に、SPTEF フラグを“0”にします。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPIA は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR レジスタの受信 FIFO のデータ格納数が FIFO 段数より少ない状態でシリアル転送が終了 (最終ビットのデータサンプリングクロックエッジを検出) すると、RSPIA はシフトレジスタの受信データを受信バッファにコピーします。このとき、受信 FIFO のデータ格納数がしきい値を超えていれば、受信

バッファフル割り込み要求 (SPRI) を発生し、SPRF フラグを“1”にします。また、シリアル転送が終了するとシフトレジスタがエンプティになるため、シリアル転送が終了する前に送信 FIFO に次転送のデータがセットされている場合には、RSPIA が SPTEF フラグを“1”にして送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPIA はシフトレジスタをエンプティであると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

- (5) 受信バッファフル割り込み要求 (SPRI) または、SPRF フラグによる受信バッファフル判定処理で、SPDR レジスタを読み出すと受信データが読み出せます。DTC/DMAC を用いて 1 回の処理ルーチンで、SPDR レジスタから受信データを読み出した場合、最終アクセス時に SPRF フラグが“0”になります。

送信 FIFO に空き段数がない状態で、SPDR レジスタに送信データを書き込んだ場合は、RSPIA は送信バッファのデータを更新しません。SPDR レジスタに送信データを書き込む場合には、送信バッファエンプティ割り込み要求または SPTEF フラグによる送信バッファの空きを確認してください。

RSPIA をディスエーブル (SPCR.SPE ビットを“0”) に設定したとき、SPTIE ビットが“1”の場合、送信バッファエンプティ割り込みが発生します。SPE ビットの設定時同時に送信バッファエンプティ割り込みを禁止 (SPTIE ビットを“0”) に設定することにより、送信バッファエンプティ割り込みは発生しません。

受信 FIFO に FIFO 段数分データが格納されている状態で、シリアル転送が終了した場合は、RSPIA はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバーランエラーを検出します (「41.3.10 エラー検出」参照)。受信データのオーバーランを防ぐためには、次のシリアル転送の終了よりも前に受信データを読み出してください。

送信 / 受信バッファの状態は送信バッファエンプティ割り込み / 受信バッファフル割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。また、SPTEF フラグ / SPRF フラグでも確認することができます。

41.3.8 アイドル割り込み

マスタモード動作時のアイドル割り込みは、SPSSR.SPCP[2:0] ビットが“000b” (シーケンス制御の先頭) となったとき、次の送信データが無い場合に SPSR.IDLNF フラグが“0” となり割り込み要求を行います。また、SPCR.SPE ビットをクリアしても割り込み要求を行います。

[Motorola SPI]

図 41.34 に通常動作時のアイドル割り込みの動作例を示します。

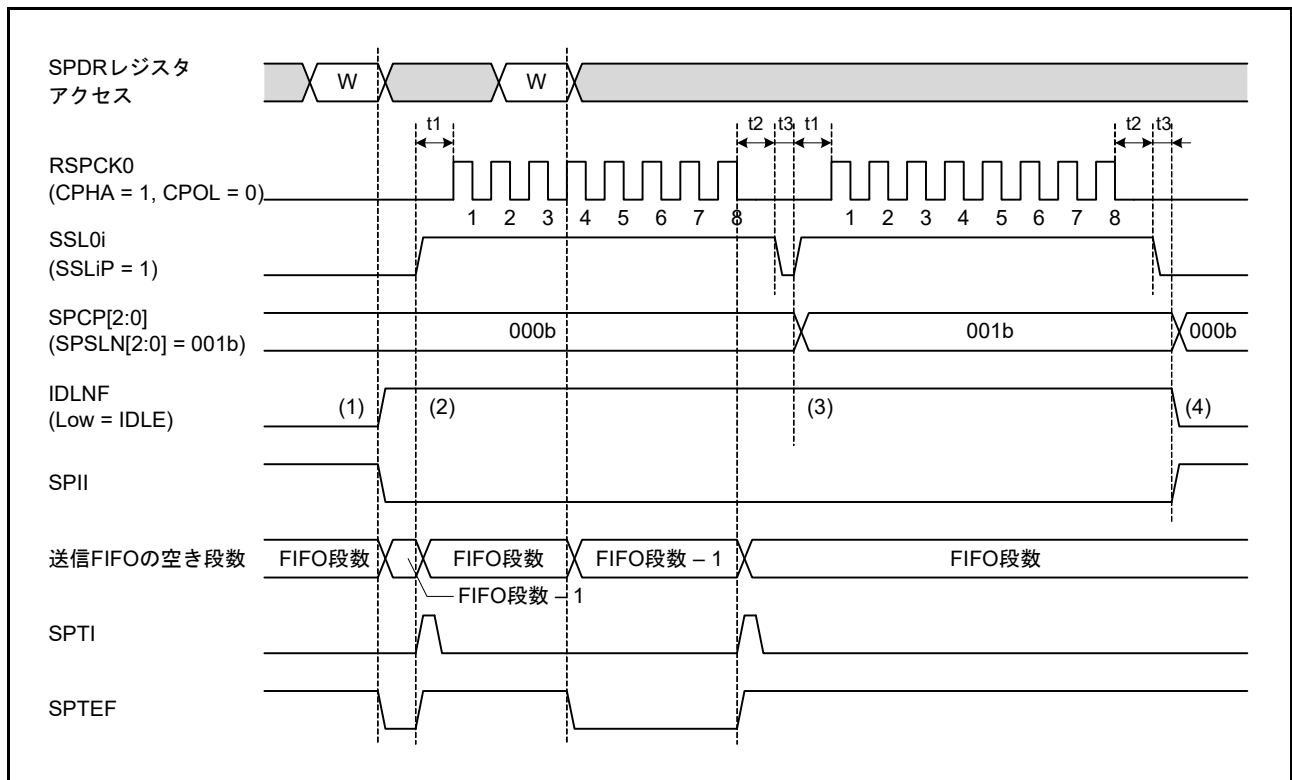


図 41.34 アイドル割り込み動作例 (マスタモード /Motorola SPI)

- (1) 送信開始時、送信バッファに次転送データがセットされていないとき、IDLNF フラグは“0” (IDLE) となっています。送信データを書き込むことにより、IDLNF フラグは“1” (BUSY) となります。送信データの書き込み前に SPCR.SPIIE ビットを“1”にすると送信開始前に割り込み処理をする場合があるため、送信開始時は、SPIIE ビットを“0”にしてください。
- (2) 送信を開始すると送信バッファの状態に関わらず IDLNF フラグは“1” (BUSY) を維持します。
- (3) t_3 サイクルの終了時点で SPCP[2:0] ビットは次のコマンドに切り替えます。次のコマンドが“000b”以外の場合は、次の送信データが書き込まれていなくても IDLNF フラグは状態を維持します。
- (4) 次のコマンドが“000b”であり、次の送信データが無いため、 t_3 サイクル終了時点で IDLNF フラグは“0” (IDLE) となります。このとき、SPIIE ビットが“1”の場合、SPII 割り込みを出力します。

[TI SSP]

図 41.35 に通常動作時のアイドル割り込みの動作例を示します。

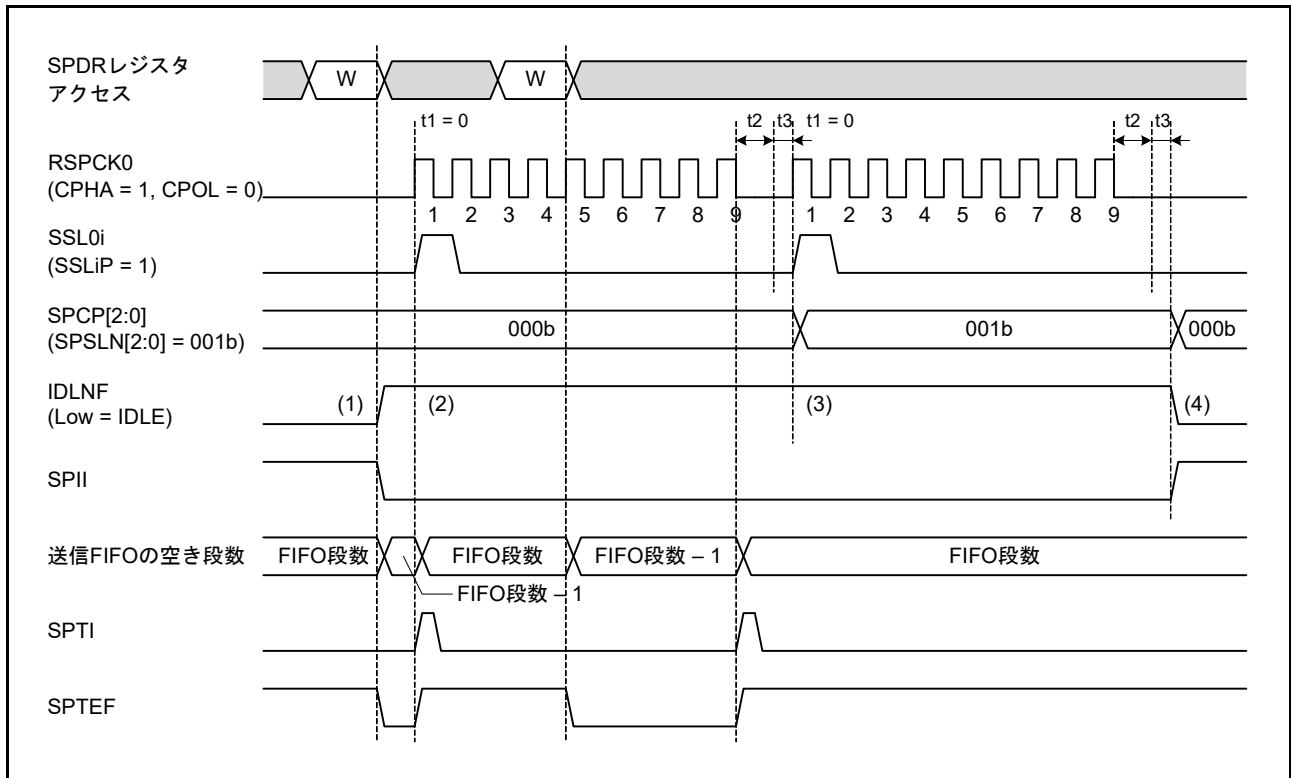


図 41.35 アイドル割り込み動作例 (マスターモード/TI SSP)

- (1) 送信開始時、送信バッファに次転送データがセットされていないとき、IDLNF フラグは“0” (IDLE) となっています。送信データを書き込むことにより、IDLNF フラグは“1” (BUSY) となります。送信データの書き込み前に SPCR.SPIIE ビットを“1”にすると送信開始前に割り込み処理をする場合があるため、送信開始時は、SPIIE ビットを“0”にしてください。
- (2) 送信を開始すると送信バッファの状態に関わらず IDLNF フラグは“1” (BUSY) を維持します。
- (3) t3 サイクルの終了時点で SPCP[2:0] ビットは次のコマンドに切り替えます。次のコマンドが“000b”以外の場合は、次の送信データが書き込まれていなくても IDLNF フラグは状態を維持します。
- (4) 次のコマンドが“000b”であり、次の送信データが無い場合、t3 サイクル終了時点で IDLNF フラグは“0” (IDLE) となります。このとき、SPIIE ビットが“1”の場合、SPII 割り込みを出力します。

スレーブモード動作時のアイドル割り込みは、SPCR.SPE ビットの設定値のみで決定します。

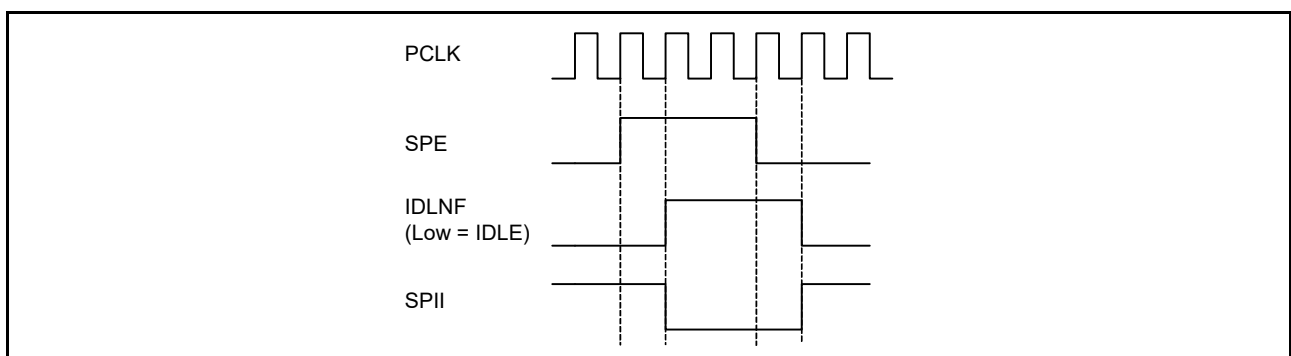


図 41.36 アイドル割り込み動作例 (スレーブモード)

41.3.9 通信完了割り込み

41.3.9.1 マスタ送受信モード/マスタ送信専用モード時

マスタ送受信モード/マスタ送信専用モード時の通信完了フラグのセット/クリア条件に関しては、「41.2.16 RSPI ステータスレジスタ (SPSR)」の「SPCF フラグ (通信完了フラグ)」の説明を参照してください。

[Motorola SPI]

図 41.37 にマスタ送受信モード/マスタ送信専用モード時の SPCI 割り込みの動作例を示します。

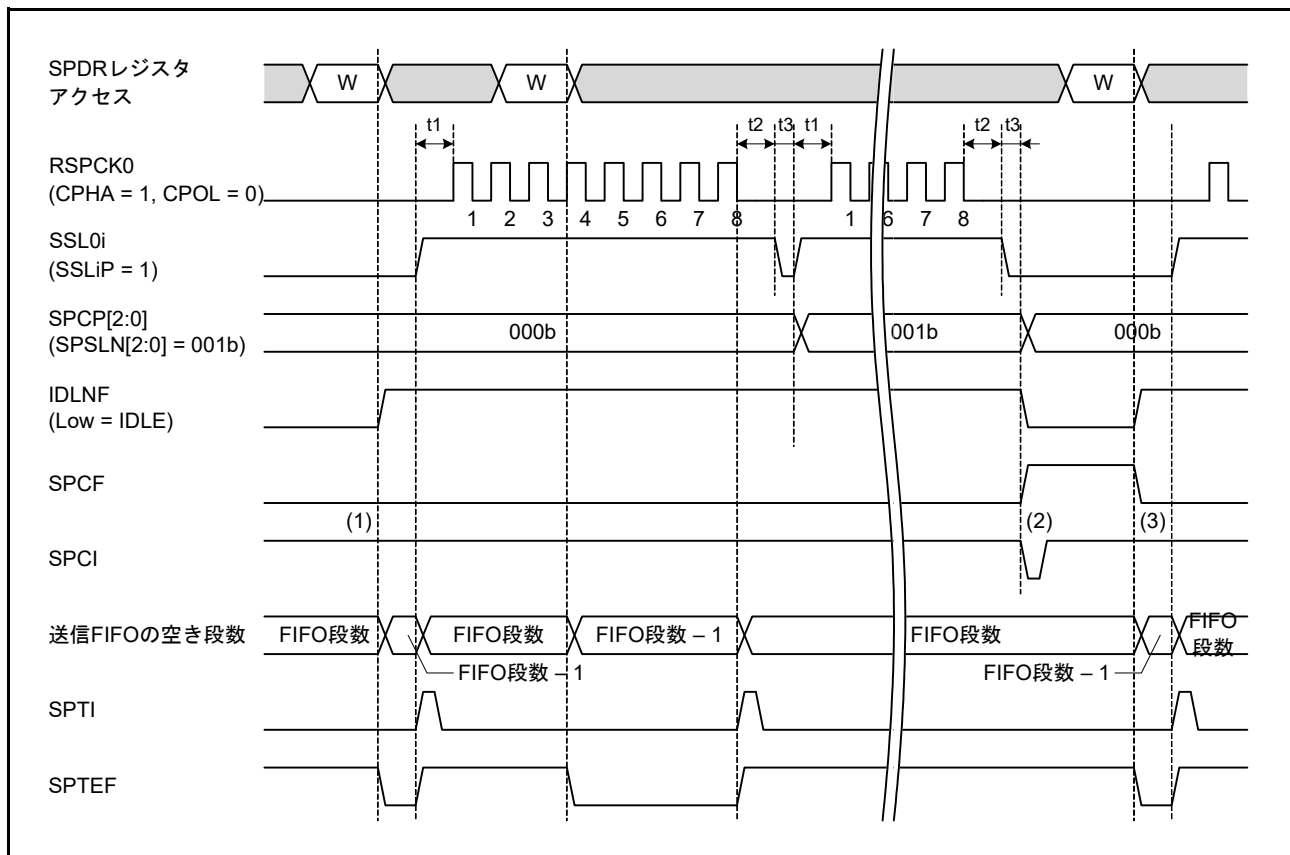


図 41.37 SPCI 割り込み動作例 (マスタ送受信モード/マスタ送信専用モード、Motorola SPI)

- (1) 通信開始前から通信中は、SPCF フラグは“0”、SPCI 割り込みは“1”になっています。
- (2) 次のコマンドが“000b”かつ、次の送信データが無いため、t3 サイクル終了時点で SPCF フラグは“1” (通信完了) となります。このとき、SPCIE ビットが“1”の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。
- (3) 次の送信データを送信バッファ (SPTX) に書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに“1”を書き込むと、SPCF フラグはクリアされます。

[TI SSP]

図 41.38 にマスタ送受信モード/マスタ送信専用モード時の SPCI 割り込みの動作例を示します。

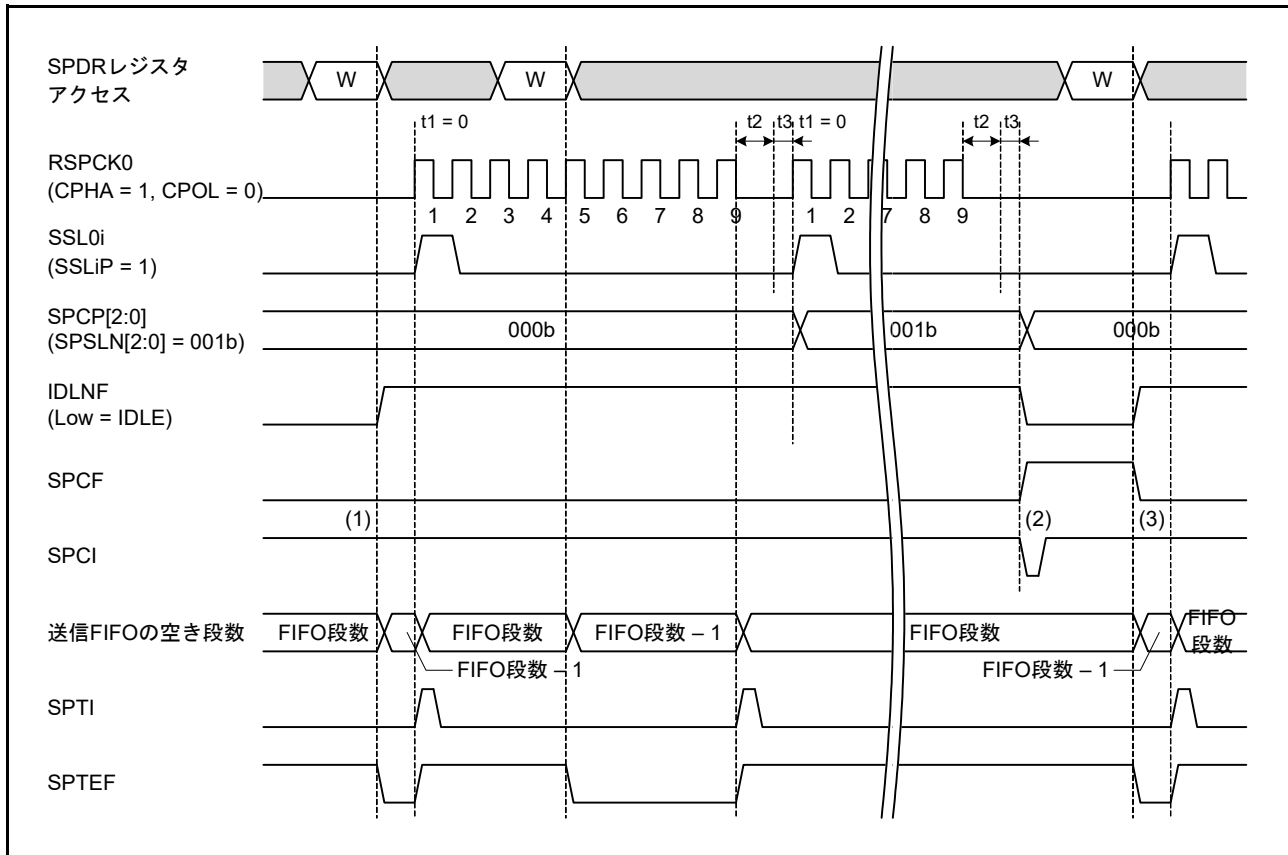


図 41.38 SPCI 割り込み動作例 (マスタ送受信モード/マスタ送信専用モード、TI SSP)

- (1) 通信開始前から通信中は、SPCF フラグは“0”、SPCI 割り込みは“1”となっています。
- (2) 次のコマンドが“000b”かつ、次の送信データが無い場合、t3 サイクル終了時点で SPCF フラグは“1” (通信完了) となります。このとき、SPCIE ビットが“1”の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。
- (3) 次の送信データを送信バッファ (SPTX) に書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに“1”を書き込むと、SPCF フラグはクリアされます。

41.3.9.2 マスタ受信専用モード時

マスタ受信専用モード時の通信完了フラグのセット/クリア条件に関しては、「41.2.16 RSPI ステータスレジスタ (SPSR)」の「SPCF フラグ (通信完了フラグ)」の説明を参照してください。

図 41.39 に RFC[4:0] = 00000b のときのマスタ受信専用モード時の SPCI 割り込みの動作例を示します。

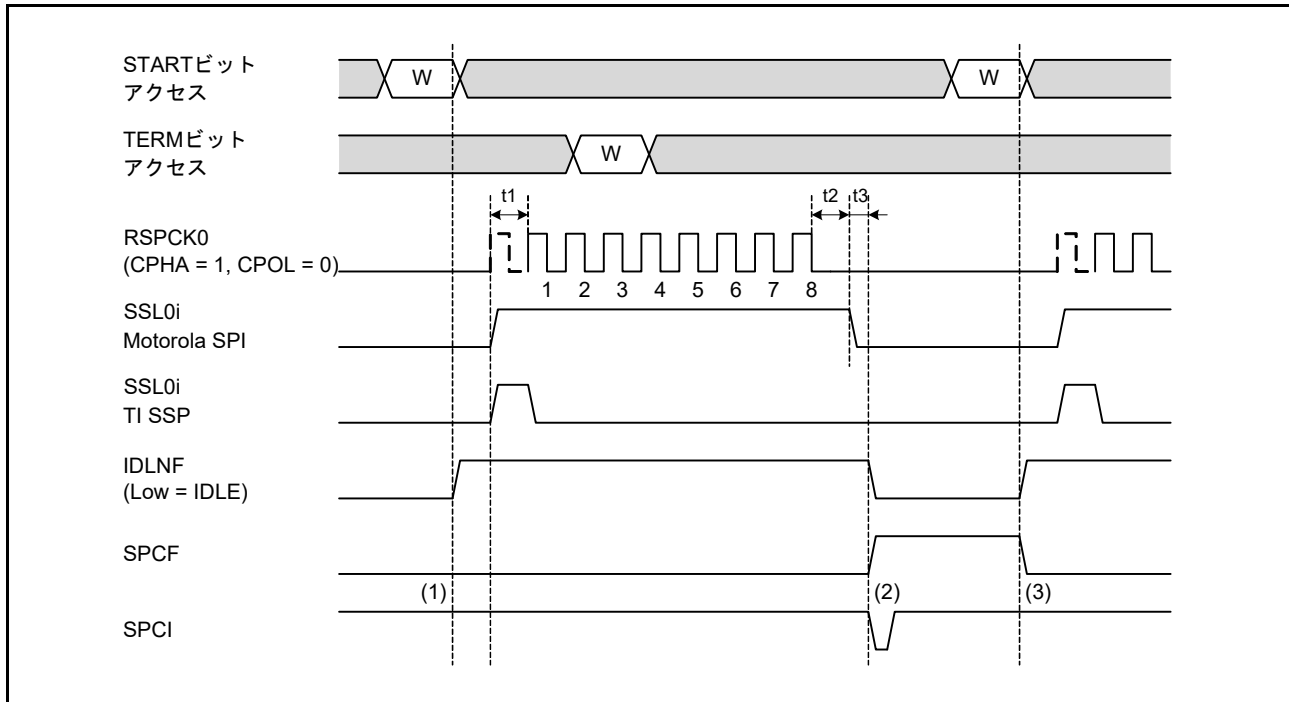


図 41.39 RFC[4:0] = 00000b のときの SPCI 割り込み動作例 (マスタ受信専用モード)

- (1) 通信開始前から通信中は、SPCF フラグは“0”、SPCI 割り込みは“1”になっています。
- (2) 通信中に SPRMCR.TERM ビットに“1”を書き込むと、t3 サイクル終了時点で SPCF フラグは“1” (通信完了) となります。このとき、SPCIE ビットが“1”の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。
- (3) 次に SPRMCR.START ビットに“1”を書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに“1”を書き込むと、SPCF フラグはクリアされます。

図 41.40 に RFC[4:0] ≠ 00000b のときのマスタ受信専用モード時の SPCI 割り込みの動作例を示します。

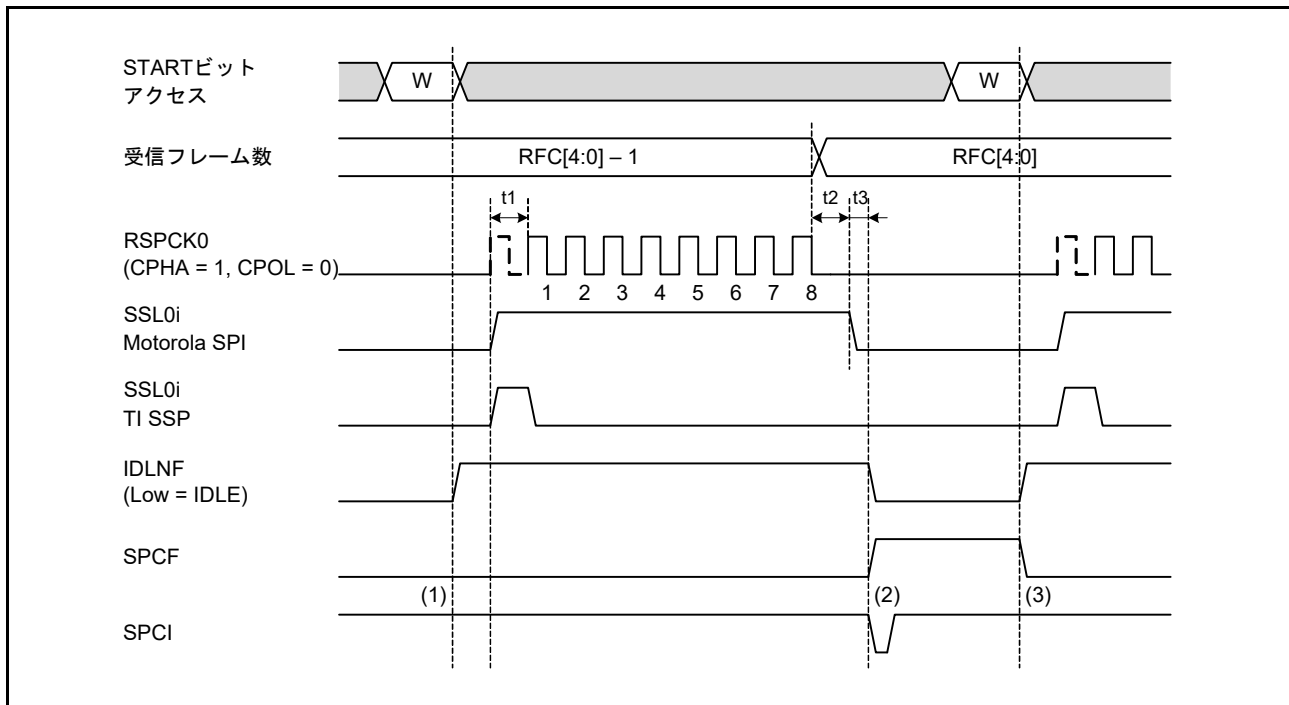


図 41.40 RFC[4:0] ≠ 00000b のときの SPCI 割り込み動作例 (マスタ受信専用モード)

- (1) 通信開始前から通信中は、SPCF フラグは“0”、SPCI 割り込みは“1”となっています。
- (2) RFC[4:0] ビットに設定したフレーム数分を受信した後、t3 サイクル終了時点で SPCF フラグは“1” (通信完了) となります。このとき、SPCIE ビットが“1”の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。
- (3) 次に START ビットに“1”を書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに“1”を書き込むと、SPCF フラグはクリアされます。

スレーブモード動作時の SPCI 割り込みは、SPCR.SPMS ビット (RSPI モード選択ビット) の値によってセットタイミングが異なります。また通信モード (送受信 / 送信専用 / 受信専用) でクリアタイミングが異なります。

41.3.9.3 スレーブ送受信モード/スレーブ送信専用モード、SPI 動作時

スレーブ送受信モード/スレーブ送信専用モード、SPI 動作 (4 線式動作) 時の通信完了フラグのセット/クリア条件に関しては、「41.2.16 RSPI ステータスレジスタ (SPSR)」の「SPCF フラグ (通信完了フラグ)」の説明を参照してください。

[Motorola SPI]

図 41.41 にスレーブ送受信モード/スレーブ送信専用モード、SPI 動作時の SPCI 割り込みの動作例を示します。

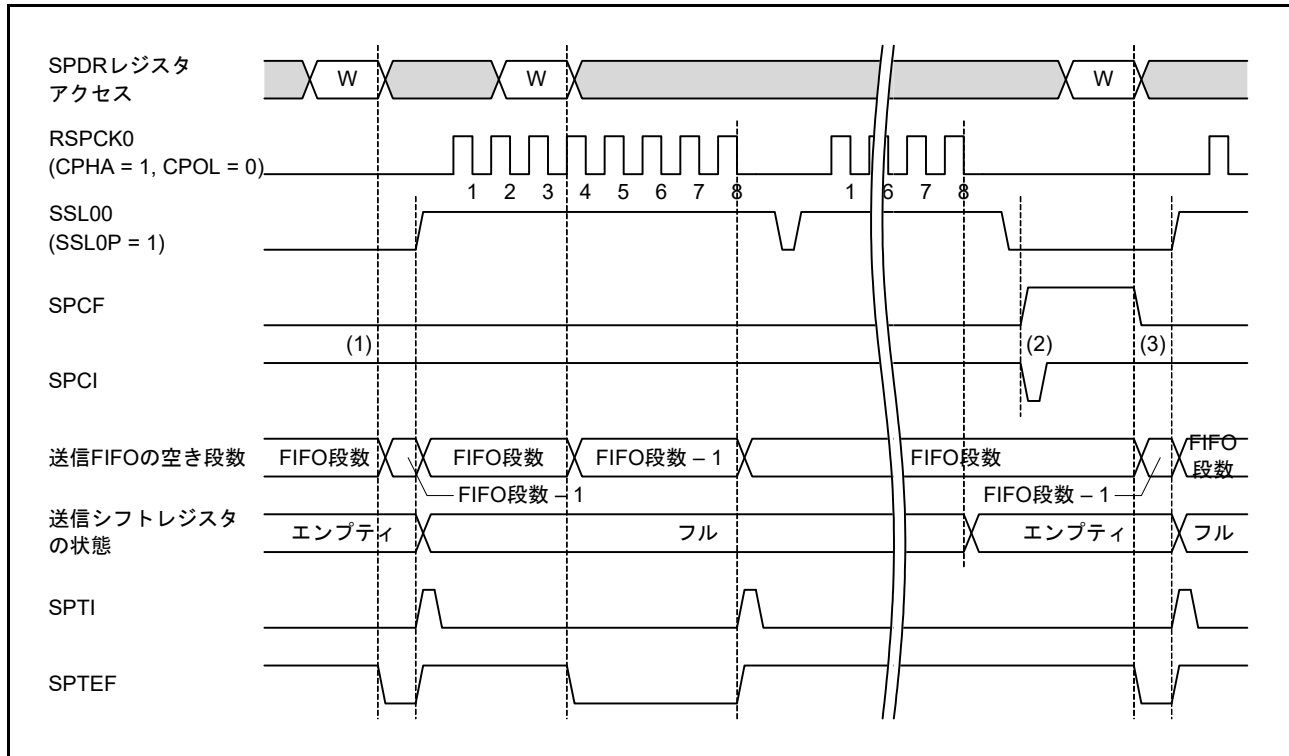


図 41.41 SPCI 割り込み動作例 (スレーブ送受信モード/スレーブ送信専用モード、Motorola SPI)

- (1) 通信開始前から通信中は、SPCF フラグは“0”、SPCI 割り込みは“1”となっています。
- (2) 送信 FIFO に次転送データがセットされていない状態でかつ、送信シフトレジスタがエンプティのとき、SSL0i ネゲートタイミングで SPCF フラグは“1” (通信完了) となります。このとき、SPCIE ビットが“1”の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。
- (3) 次の送信データを送信バッファ (SPTX) に書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに“1”を書き込むと、SPCF フラグはクリアされます。

[TI SSP]

図 41.42 にスレーブ送受信モード/スレーブ送信専用モード、SPI 動作時の SPCI 割り込みの動作例を示します。

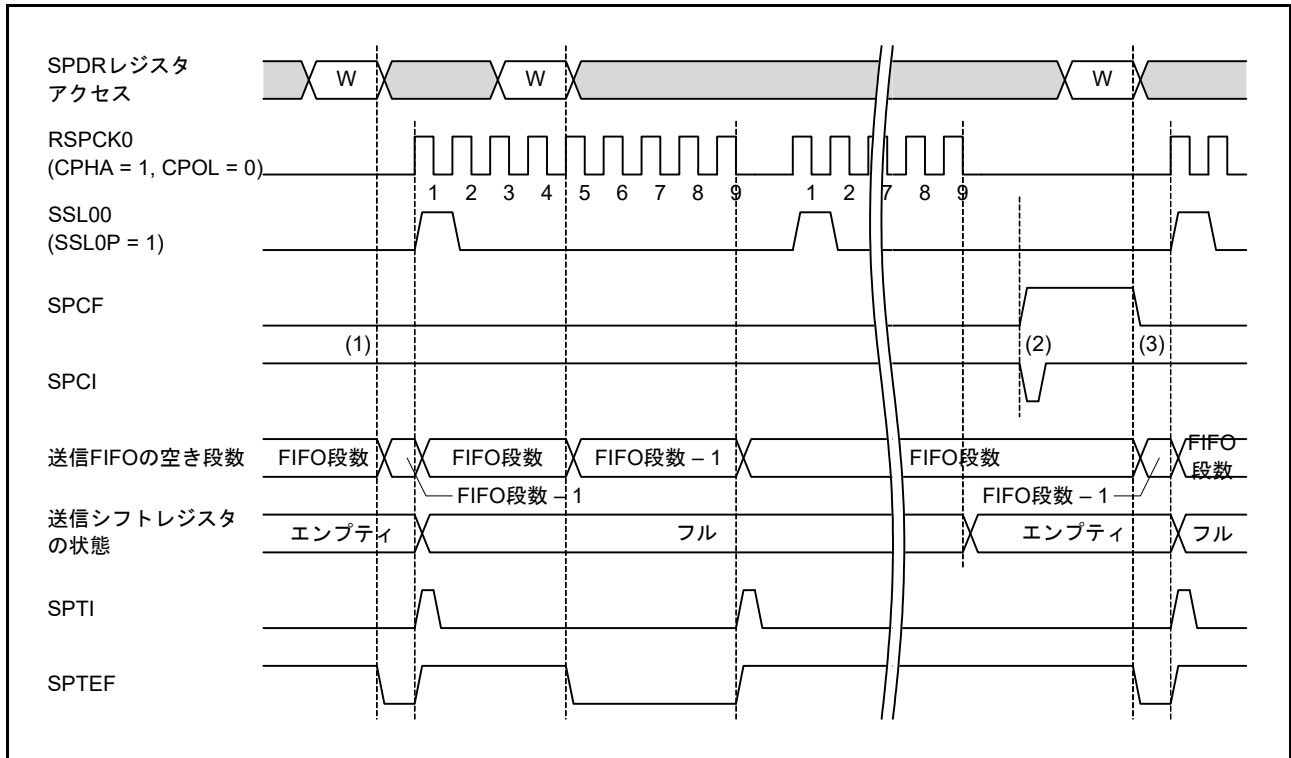


図 41.42 SPCI 割り込み動作例 (スレーブ送受信モード/スレーブ送信専用モード、TI SSP)

- (1) 通信開始前から通信中は、SPCF フラグは“0”、SPCI 割り込みは“1”となっています。
- (2) 送信 FIFO に次転送データがセットされていない状態かつ、送信シフトレジスタがエンプティかつ、SSL ネゲート遅延が完了したとき、SPCF フラグは“1”(通信完了)となります。このとき、SPCIE ビットが“1”の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。
- (3) 次の送信データを送信バッファ (SPTX) に書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに“1”を書き込むと、SPCF フラグはクリアされます。

41.3.9.4 スレーブ受信専用モード、SPI 動作時

スレーブ受信専用モード、SPI 動作(4線式動作)時の通信完了フラグのセット/クリア条件に関しては、「41.2.16 RSPi ステータスレジスタ (SPSR)」の「SPCF フラグ (通信完了フラグ)」の説明を参照してください。

[Motorola SPI]

図 41.43 にスレーブ受信専用モード、SPI 動作時の SPCI 割り込みの動作例を示します。

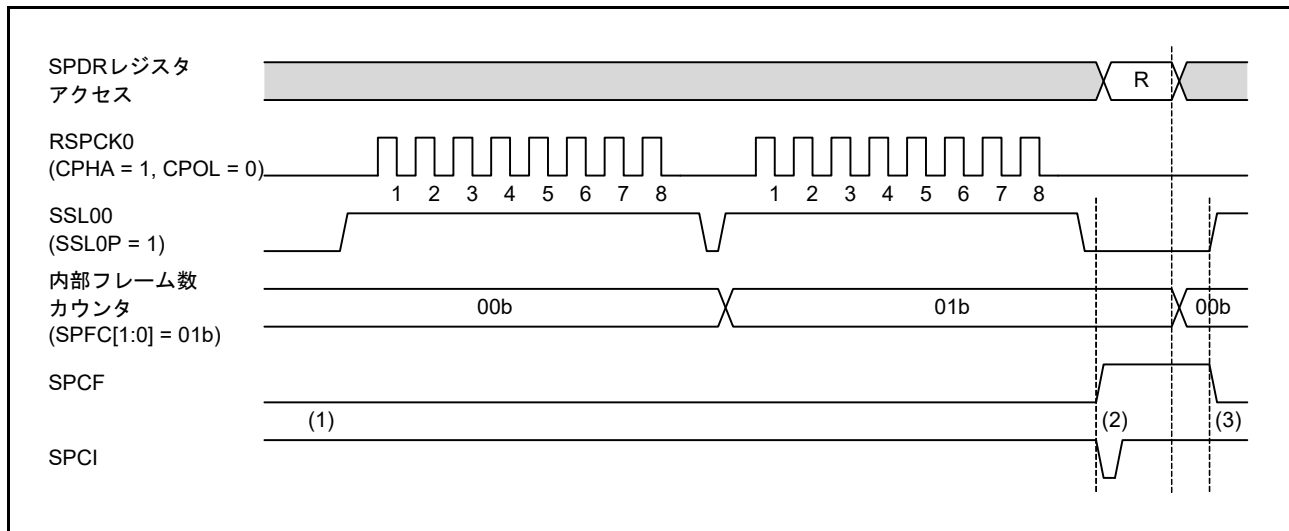


図 41.43 SPCI 割り込み動作例 (スレーブ受信専用モード、Motorola SPI)

- (1) 通信開始前から通信中は、SPCF フラグは“0”、SPCI 割り込みは“1”となっています。
- (2) SPDCR.SPFC[1:0] ビットに設定した値分のフレームを受信バッファに格納した後に、SSL00 ネゲートのタイミングで SPCF フラグは“1”(通信完了)となります。このとき、SPCIE ビットが“1”の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。
- (3) 次の通信開始の SSL00 アサートのタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPFCFC ビットに“1”を書き込むと、SPCF フラグはクリアされます。

[TI SSP]

図 41.44 にスレーブ受信専用モード、SPI 動作時の SPCI 割り込みの動作例を示します。

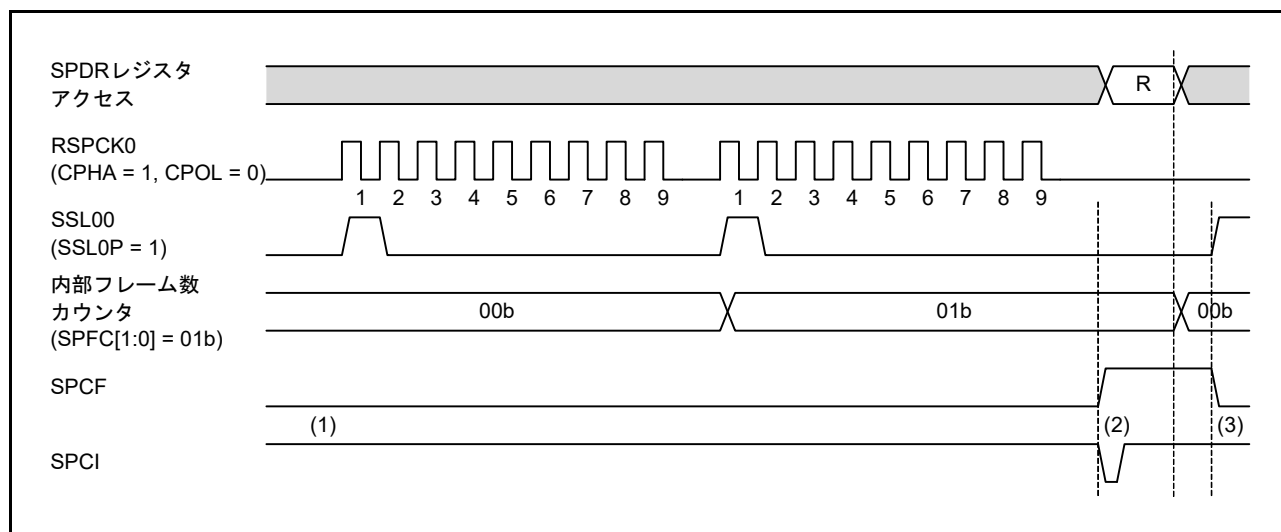


図 41.44 SPCI 割り込み動作例 (スレーブ受信専用モード、TI SSP)

- (1) 通信開始前から通信中は、SPCF フラグは“0”、SPCI 割り込みは“1”となっています。
- (2) SPDCR.SPFC[1:0] ビットに設定した値分のフレームを受信バッファに格納した後に、SSL00 ネゲート遅延完了のタイミングで SPCF フラグは“1” (通信完了) となります。このとき、SPCIE ビットが“1”の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。
- (3) 次の通信開始の SSL00 アサートのタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに“1”を書き込むと、SPCF フラグはクリアされます。

41.3.9.5 スレーブ送受信モード/スレーブ送信専用モード、クロック同期動作時

スレーブ送受信モード/スレーブ送信専用モード、クロック同期動作(3線式動作)時の通信完了フラグのセット/クリア条件に関しては、「41.2.16 RSPIステータスレジスタ (SPSR)」の「SPCF フラグ(通信完了フラグ)」の説明を参照してください。

図 41.45 にスレーブ送受信モード/スレーブ送信専用モード、クロック同期動作時の SPCI 割り込みの動作例を示します。

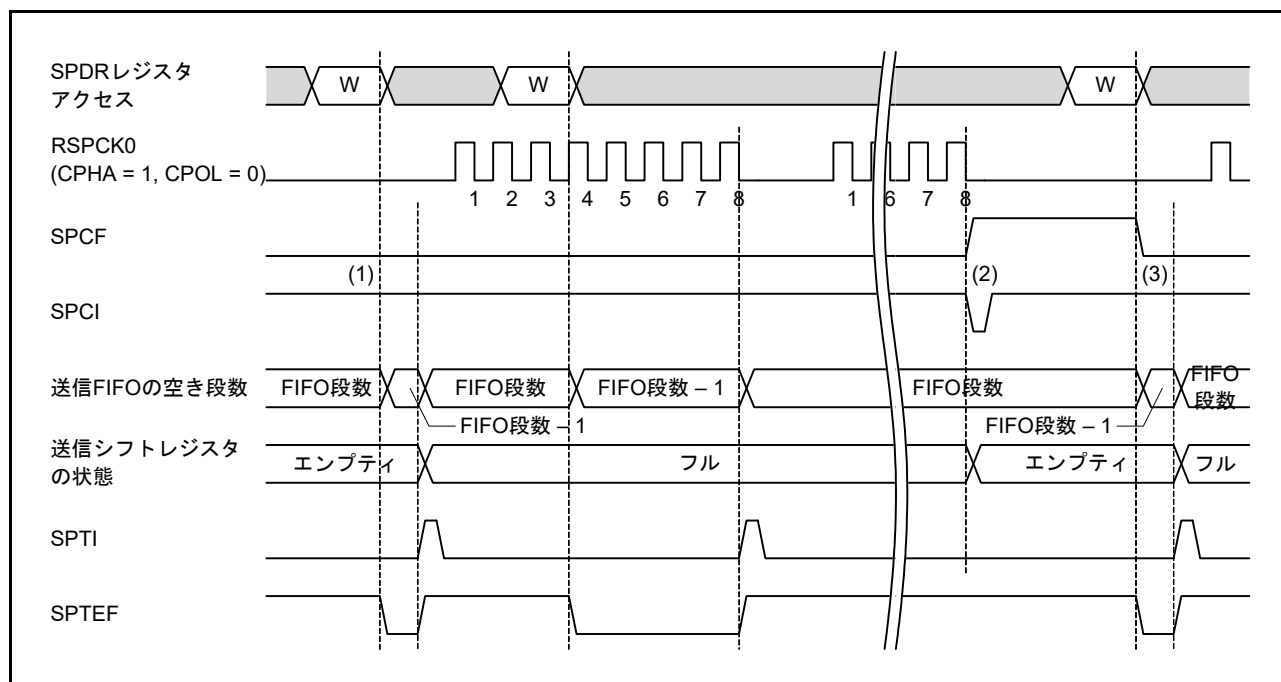


図 41.45 SPCI 割り込み動作例 (スレーブ送受信モード/スレーブ送信専用モード、クロック同期動作)

- (1) 通信開始前から通信中は、SPCF フラグは“0”、SPCI 割り込みは“1”となっています。
- (2) 送信バッファに次転送データがセットされていない状態がかつ、送信シフトレジスタがエンプティのときの RSPCK0 の最終データビットサンプリングタイミング時点で SPCF フラグは“1”(通信完了)となります。このとき、SPCIE ビットが“1”の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。
- (3) 次の送信データを送信バッファ (SPTX) に書き込んだタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPCFC ビットに“1”を書き込むと、SPCF フラグはクリアされます。

41.3.9.6 スレーブ受信専用モード、クロック同期動作時

スレーブ受信専用モード、クロック同期動作(3線式動作)時の通信完了フラグのセット/クリア条件に関しては、「41.2.16 RSPI ステータスレジスタ (SPSR)」の「SPCF フラグ (通信完了フラグ)」の説明を参照してください。

図 41.46 にスレーブ受信専用モード、クロック同期動作時の SPCI 割り込みの動作例を示します。

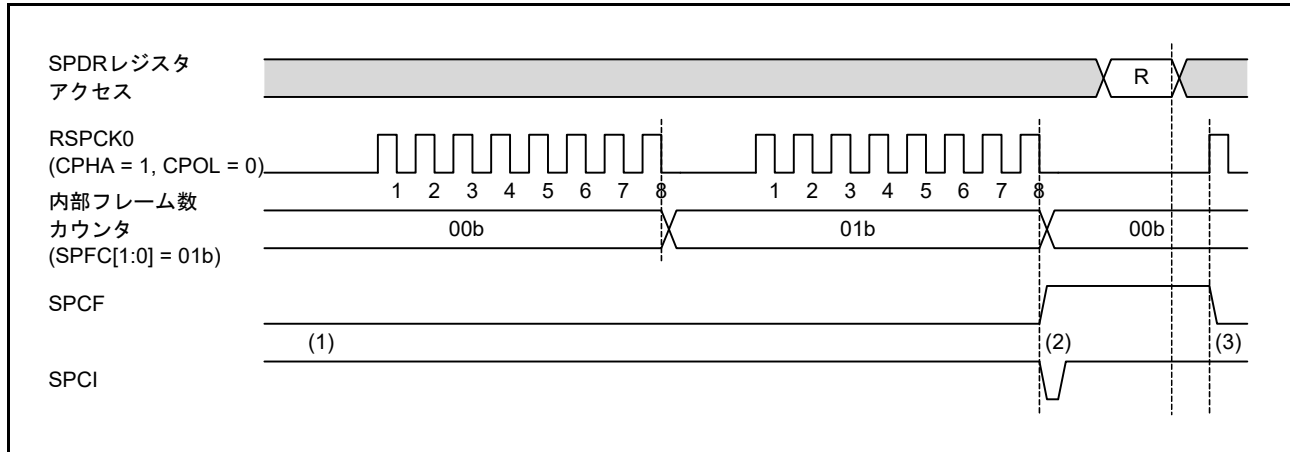


図 41.46 SPCI 割り込み動作例 (スレーブ受信専用モード、クロック同期動作)

- (1) 通信開始前から通信中は、SPCF フラグは“0”、SPCI 割り込みは“1”となっています。
- (2) SPDCR.SPFC[1:0] ビットで設定した数のフレームを受信する場合、最終フレームの RSPCK0 の最終データビットサンプリングタイミング時点で SPCF フラグは“1”(通信完了)になります。このとき、SPCIE ビットが“1”の場合、SPCI 割り込みを PCLKA の 1 サイクル出力します。
- (3) 次の通信の RSPCK0 の第 1 エッジのタイミングで SPCF フラグはクリアされます。また、SPSCLR.SPFC ビットに“1”を書き込むと、SPCF フラグはクリアされます。

41.3.10 エラー検出

通常の RSPIA のシリアル転送では、SPDR レジスタの送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを SPDR レジスタの受信バッファから読み出すことができます。SPDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時の RSPIA の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIA はアンダランエラー、オーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表 41.9 に、通常以外の転送動作と RSPIA のエラー検出機能の関係を示します。

表41.9 通常以外の転送の発生条件とRSPIAのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信FIFOに空き段数がない状態で、SPDRを書き込み	送信バッファ内容を保持 書き込みデータ欠落	なし
2	受信FIFOにデータが格納されていない状態で、SPDRを読み出し	受信が完了していれば受信したデータ、完了していなければ前回受信したデータをバスに出力	なし
3	スレーブ送受信モード/スレーブ送信専用モードで送信データの出力準備が整っていない状態で、シリアル転送開始	シリアル転送中断 送受信データ欠落 MISO0出力信号のドライブ停止 RSPIディスエーブル	アンダランエラー検出 (アンダランエラーについては、 「41.3.10.4 アンダランエラー」を参照)
4	受信FIFOにFIFO段数分データが格納されている状態でシリアル転送が終了	受信FIFO内容を保持 シリアル受信データ欠落	オーバランエラー検出 (オーバランエラーについては、 「41.3.10.1 オーバランエラー」を参照)
5	送受信モード、受信専用モード時にパリティ機能が有効な状態で、誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出 (パリティエラーについては、 「41.3.10.2 パリティエラー」を参照)
6	マルチマスタモードでシリアル転送アイドル時にSSL00入力信号アサート	RSPCK0、MOSI0、SSL01～SSL03 出力信号のドライブ停止 RSPIディスエーブル	モードフォルトエラー検出 (モードフォルトエラーについては、 「41.3.10.3 モードフォルトエラー」を参照)
7	マルチマスタモードでシリアル転送中にSSL00入力信号アサート	シリアル転送を中断 送受信データ欠落 RSPCK0、MOSI0、SSL01～SSL03 出力信号のドライブ停止 RSPIディスエーブル	
8	スレーブモードでシリアル転送中にSSL00入力信号がネゲート [Motorola SPI]	シリアル転送中断 送受信データ欠落 MISO0出力信号のドライブ停止 RSPIディスエーブル	
9	スレーブモードでシリアル転送中にSSL00入力信号がアサート [TI SSP]	シリアル転送中断 送受信データ欠落 MISO0出力信号のドライブ停止 RSPIディスエーブル	
10	RDRIS = 1で受信FIFOにデータが格納されたから格納数がしきい値以下でSPDRCSRレジスタの設定値分、受信データの書き込みがない状態	受信データレディフラグのアサート	受信データレディ検出 (受信データレディについては、 「41.3.11 受信データレディ検出」を参照)

表 41.9 の 1 に示した動作に対しては、RSPIA はエラーを検出しません。SPDR 書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求または、SPSR.SPTEF フラグが“1”の状態ですべての SPDR への書き込みを実施してください。

2 に示した動作に対しても、RSPIA はエラーを検出しません。不必要なデータを読み出さないようにするためには、受信バッファフル割り込み要求または、SPSR.SPRF フラグが“1”の状態ですべての SPDR の読み出しを実行するようにしてください。

なお、送受信の割り込みについては、「41.3.7 送信バッファエンプティ / 受信バッファフル割り込み」を参照してください。

41.3.10.1 オーバランエラー

SPDR レジスタの受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が終了すると、RSPIA はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPIA はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR.OVRF フラグを“0”にするためには、システムリセットを実施するか、SPSCLR.OVRF ビットに“1”を書き込む必要があります。

図 41.47 に、SPSR.SPRF フラグと OVRF フラグの動作を示します。図 41.47 に記載した“SPSCLR レジスタアクセス”と“SPDR レジスタアクセス”は、SPSCLR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 41.47 の例では、SPCMDm.CPHA ビットが“1”、CPOL ビットが“0”の設定で、RSPIA が 8 ビットのシリアル転送を実行しています。RSPCK0 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

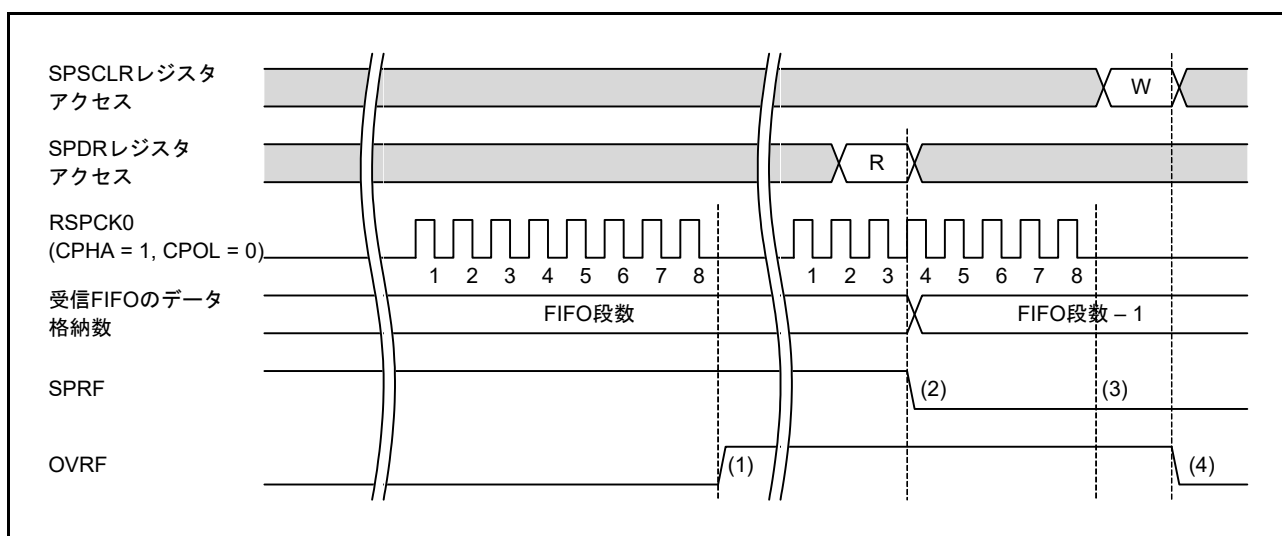


図 41.47 SPRF、OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) 受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が終了すると、RSPIA がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPIA はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、RSPIA は SPSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) SPDR レジスタを読み出すと、RSPIA は受信バッファのデータを読み出せます。このとき、DTC/DMAC を用いて 1 回の処理ルーチンで、SPDR レジスタから受信データを読み出した場合の最終アクセス時、SPRF フラグはクリアされます。しかし、受信バッファがエンプティになっても、OVRF フラグはクリアされません。
- (3) OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPIA はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは“0”のまま)。受信バッファフル割り込みも発生しません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの RSPIA の場合に、RSPIA は SPSR.SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPIA はシフトレジスタをエンプティであると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (4) SPSCLR.OVRF ビットに“1”を書き込むと、OVRF フラグをクリアします。

オーバーランの発生は、SPSRレジスタの読み出し、あるいはエラー割り込みとSPSRレジスタの読み出しによって確認できます。エラー割り込みを利用せずにシリアル転送を実行する場合には、SPDRレジスタの読み出し直後にSPSRレジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。RSPIAをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。オーバーランエラーが発生してOVRFフラグが“1”になると、OVRFフラグをクリアするまで正常な受信動作ができなくなります。

マスタモードでRSPCK自動停止機能を有効にした場合は、オーバーランエラーが発生しません。図41.48と図41.49にマスタモードの受信FIFOにFIFO段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形を示します。

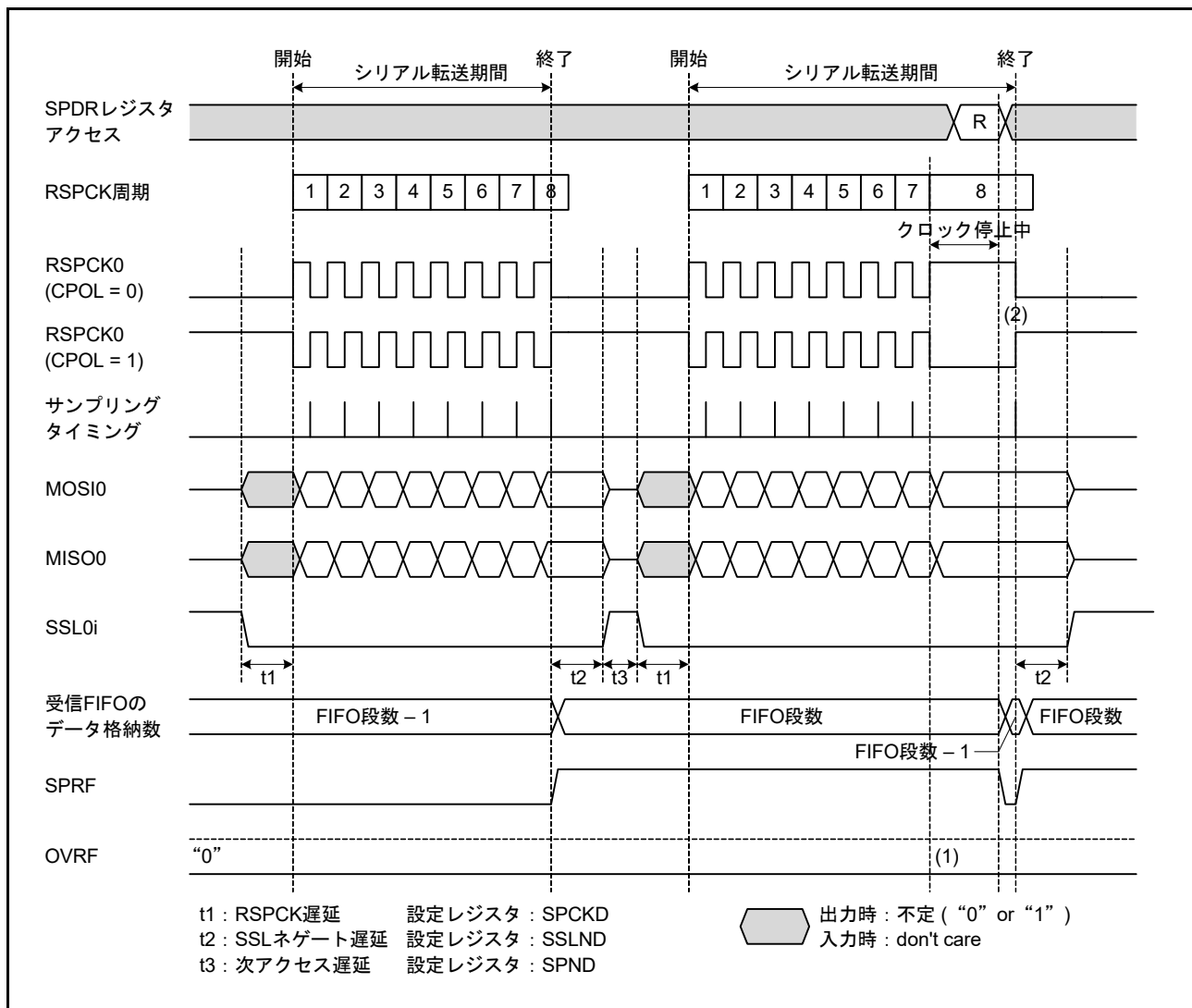


図 41.48 マスタモードの受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

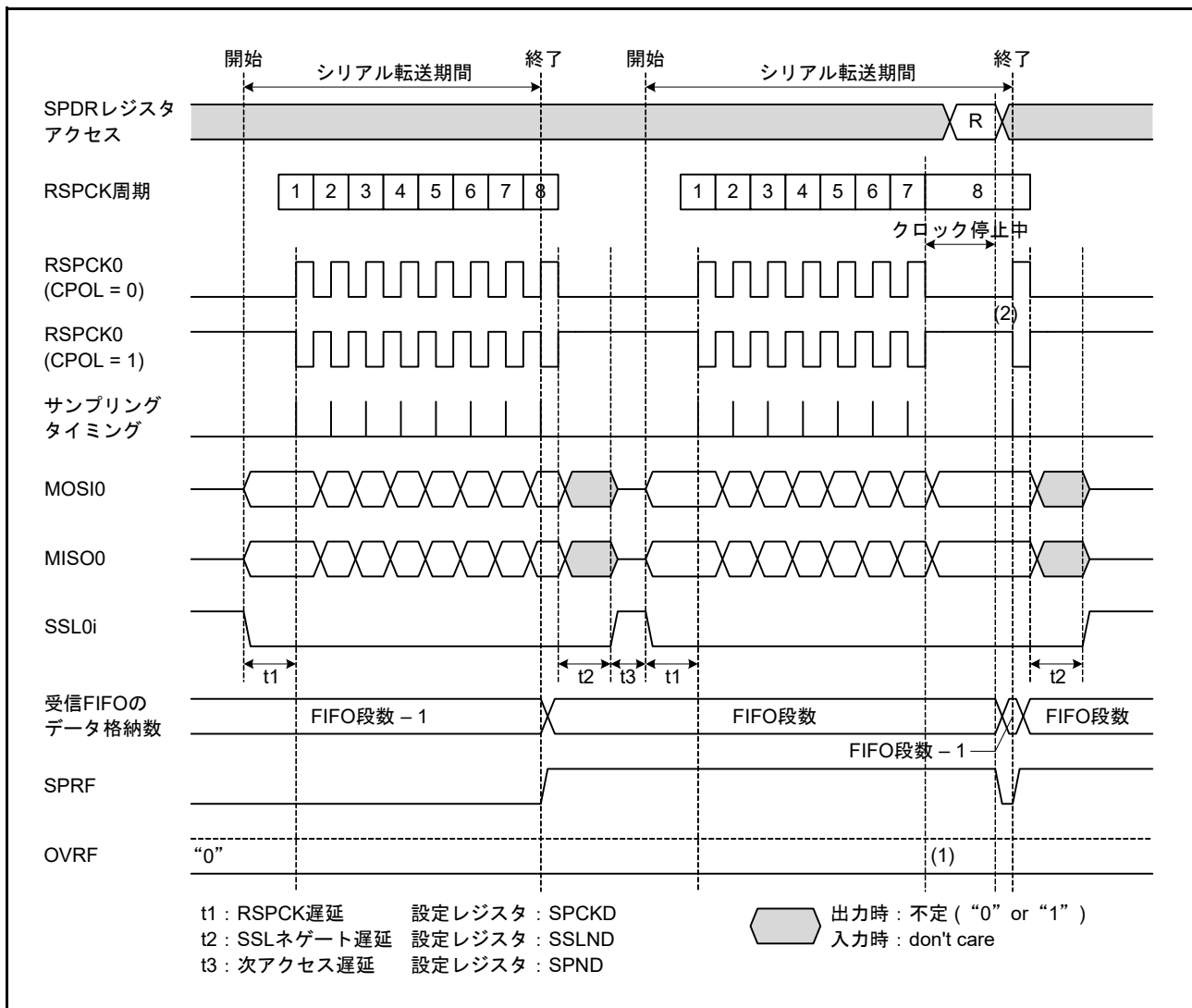


図 41.49 マスタモードの受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1) ~ (2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信 FIFO に FIFO 段数分データが格納されている状態では、RSPCK0 が停止するためオーバーランエラーは発生しません。
- (2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後、RSPCK0 が再開します。

マスタモードでバースト転送時のフレーム間遅延のない転送で RSPCK 自動停止機能を有効にした場合は、オーバーランエラーが発生しません。図 41.50 と図 41.51 にバースト転送時でフレーム間遅延のない場合の受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形を示します。

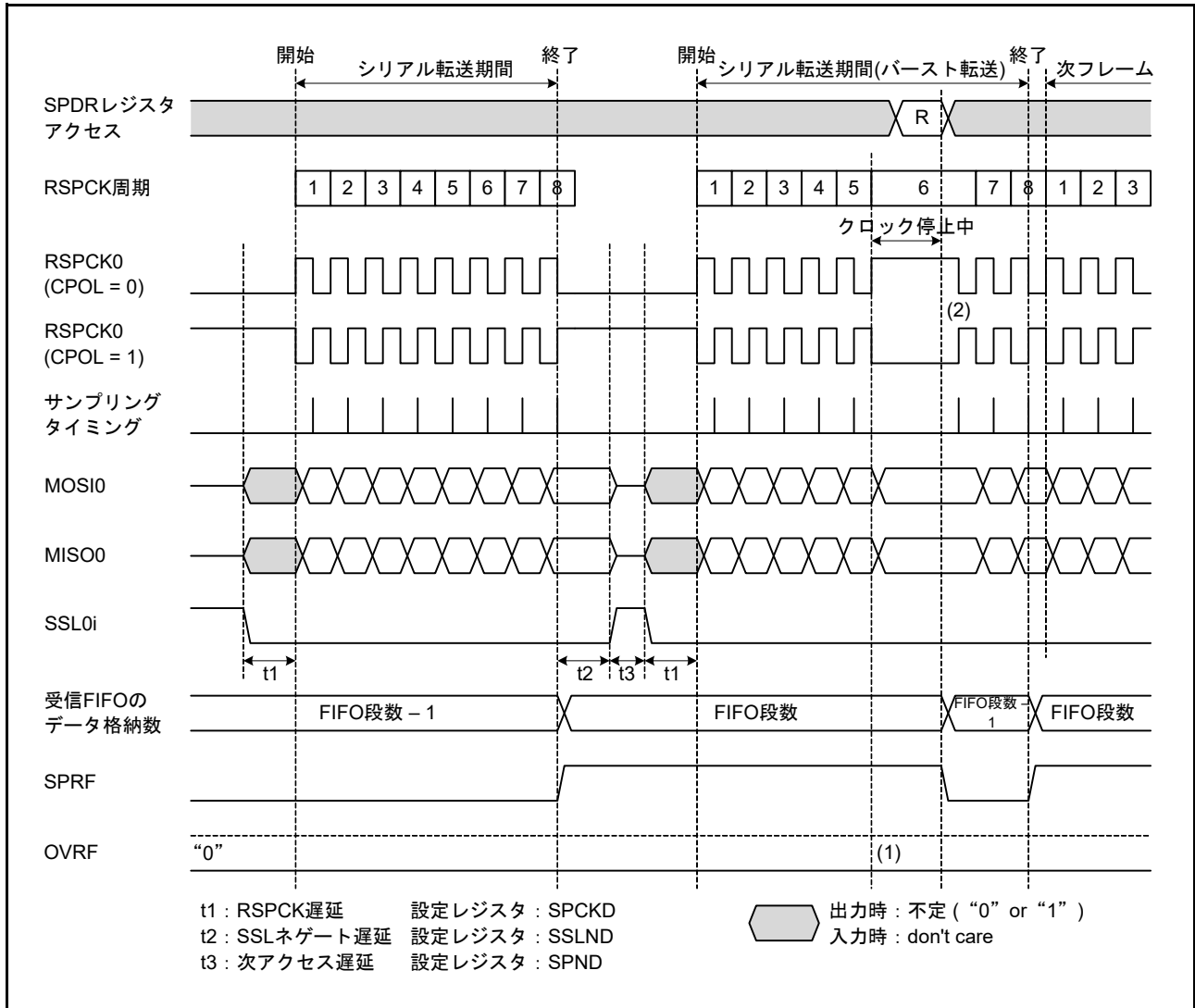


図 41.50 マスタモードの受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形 (バースト転送でフレーム間遅延なし /CPHA = 1)

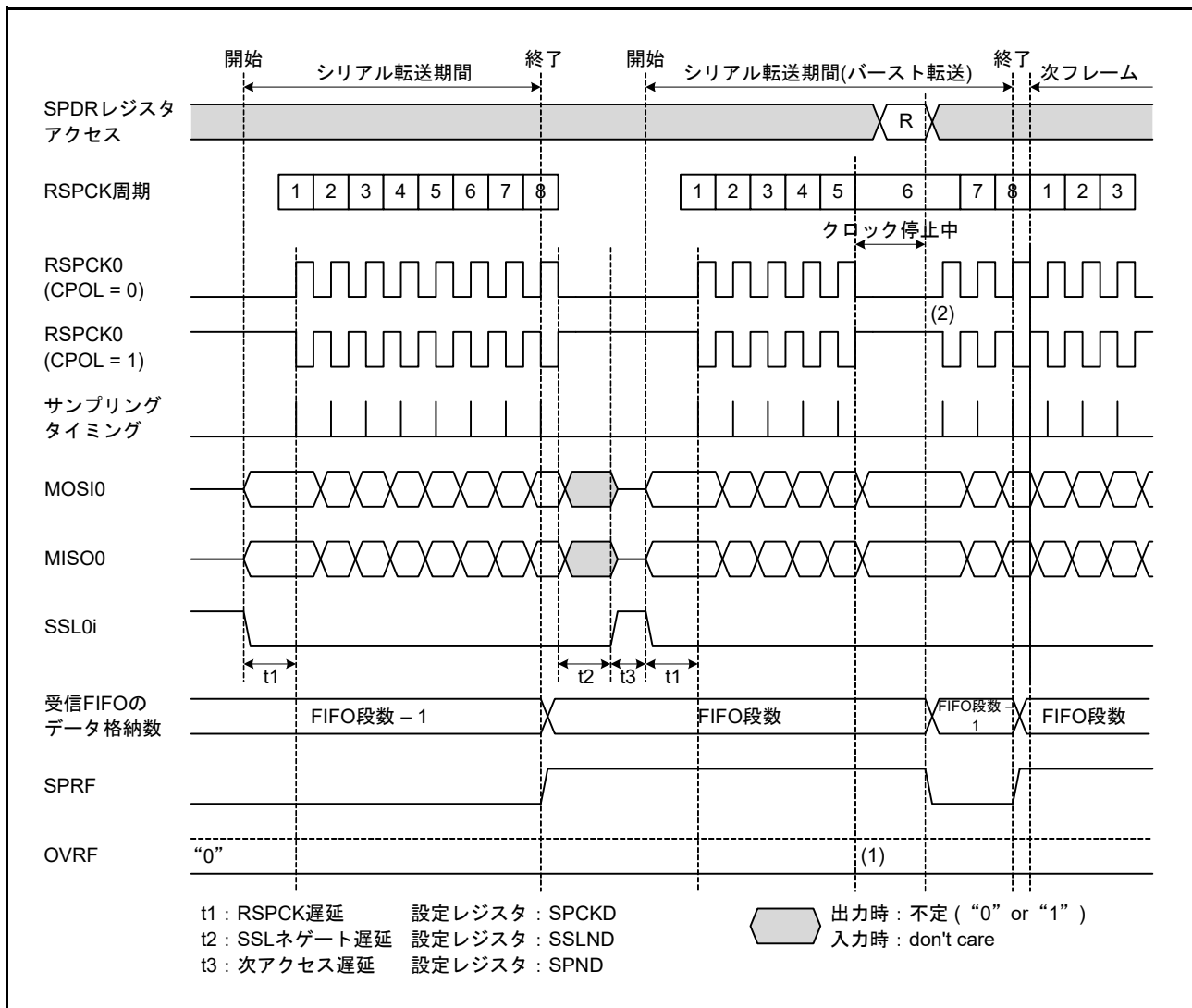


図 41.51 マスタモードの受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形 (バースト転送でフレーム間遅延なし /CPHA = 0)

以下に、図中の (1) ~ (2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信 FIFO に FIFO 段数分データが格納されている状態では、RSPCK0 が停止するためオーバランエラーは発生しません。
- (2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後、RSPCK0 が再開します。

41.3.10.2 パリティエラー

送受信モード/受信専用モードにて、SPCR.SPPE ビットが“1”の状態ではシリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIA は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPIA はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。SPSR.PERF フラグを“0”にするためには、システムリセットを実施するか、SPSCLR.PERFC ビットに“1”を書き込む必要があります。

図 41.52 に、SPSR レジスタの OVRF フラグと PERF フラグの動作を示します。図 41.52 に記載した“SPSCLR レジスタアクセス”は、SPSCLR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。図 41.52 の例では、SPCR.SPPE ビットが“1”の状態では送受信のシリアル通信を行います。SPCMDm.CPHA ビットが“1”、CPOL ビットが“0”の設定で、RSPIA が 8 ビットのシリアル転送を実行しています。RSPCK0 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

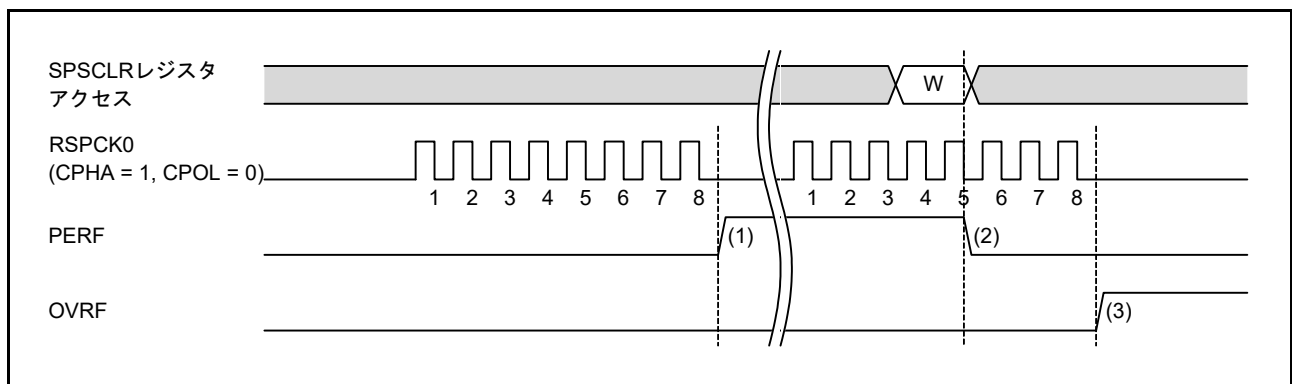


図 41.52 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) RSPIA がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPIA が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、RSPIA は SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) SPSCLR.PERFC ビットに“1”を書き込むと、PERF フラグをクリアします。
- (3) RSPIA がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPIA はパリティエラーの検出を行いません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用する場合には、SPCR.SPEIE ビットを“1”にしてください。エラー割り込みを利用せずにシリアル転送を実行する場合には、SPSR レジスタを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPIA をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

41.3.10.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPMS ビットが“0”、MODFEN ビットが“1”の場合には、RSPIA はマルチマスタモードで動作します。マルチマスタモードの RSPIA の SSL00 入力信号に対してアクティブレベルが入力されると、シリアル転送状態に関わらず、RSPIA はモードフォルトエラーを検出して SPSR.MODF フラグを“1”にします。モードフォルトエラーを検出すると、RSPIA は SPSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。なお、SSL00 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIA はスレーブモードで動作します。スレーブモードの RSPIA の MODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間 (有効データのドライブ開始から最終有効データの取り込みまで) に、下記 2 条件のいずれかを満たしたときに RSPIA はモードフォルトエラーを検出します。

- Motorola SPI モード時、シリアル転送期間に SSL00 入力信号がネゲートされたとき。
- TI SSP モード時、シリアル転送期間に SSL00 入力信号がアサートされたとき。
ただしバースト転送時はフレームの最終ビット期間に SSL00 入力信号がアサートされてもエラーは検出しない。

RSPIA はモードフォルトエラーを検出すると出力信号のドライブ停止、および SPCR.SPE ビットのクリアを実施します。SPE ビットがクリアされると RSPI 機能は無効化されます。(「41.3.12 RSPIA の初期化」を参照)。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと RSPI 機能を停止させ、マスタ権の解放を実現することが可能です。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。RSPIA をマスタモードで使用する場合は、SPSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが“1”の状態では、RSPIA は SPE ビットへの“1”書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、MODF フラグを“0”にしてください。

41.3.10.4 アンダランエラー

RSPIA がスレーブモード (SPCR.MSTR ビットが“0”)、かつ SPCR.CMMD[1:0] ビットが“00b”または“01b”で動作している場合、SPCR.SPE ビットが“1” (RSPI 機能が有効) かつ送信データの出力準備が整っていない状態でシリアル転送が開始されると、RSPIA はアンダランエラーを検出して SPSR レジスタの MODF フラグと UDRF フラグを“1”にします。

RSPIA はアンダランエラーを検出すると出力信号のドライブ停止、および SPE ビットのクリアを実施します。SPE ビットがクリアされると RSPI 機能は無効化されます (「41.3.12 RSPIA の初期化」を参照)。

アンダランエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用せずにアンダランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが“1”の状態では、RSPIA は SPE ビットへの“1”書き込みを無視します。アンダランエラー検出後に RSPI 機能を有効にするためには、MODF フラグを“0”にしてください。

41.3.11 受信データレディ検出

SPCR.CMMD[1:0] ビットが“00b”、“01b”または“11b”かつ、SPDRCSR レジスタの設定値が 00h でないとき、通信中 (SPE = 1) に受信 FIFO に受信データを格納後、受信 FIFO の格納数がしきい値以下で SPDRCSR レジスタの設定値分、経過しても受信データが格納されない場合に SPSR.RRDYF フラグを“1”にセットします。

受信データレディ検出時、割り込み及びイベントリンク出力を SPRI とするか、SPEI とするか SPCR.RDRIS ビットで選択可能です。

図 41.53 に受信データレディ検出の動作例を示します。

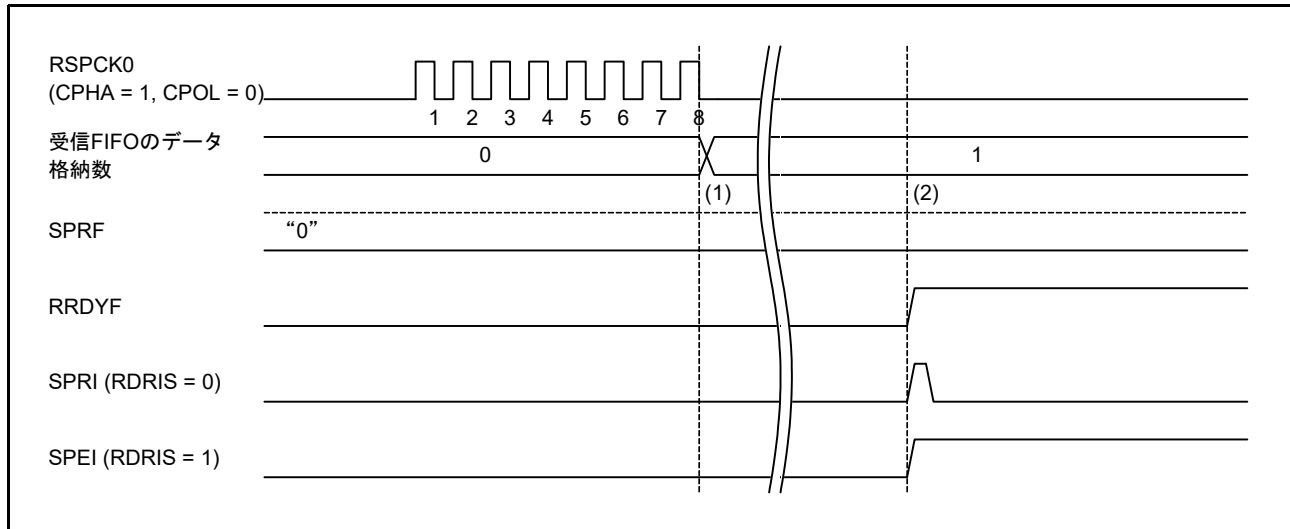


図 41.53 受信データレディ

以下、に図中の (1)、(2) に示したタイミングでの動作内容を説明します。

- (1) 受信データを受信 FIFO へ格納。RTRG[1:0] ビットの設定以下のため、SPRF = 0。
- (2) (1) から SPDRCSR レジスタの設定分、受信 FIFO への書き込みがないため、RRDYF フラグをセットし、SPRI または、SPEI をアサートします。

41.3.12 RSPIA の初期化

SPCR.SPE ビットに“0”を書き込んだ場合、またはモードフォルトエラーおよびアンダラン検出により RSPIA が SPE ビットを“0”にクリアした場合には、RSPIA は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPIA はモジュール機能を全て初期化します。以下に、SPE ビットのクリアによる初期化とシステムリセットによる初期化について説明します。

41.3.12.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットがクリアされた場合には、RSPIA は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止。(Hi-Z)
- RSPIA 内部ステートの初期化
- SPSR.SPTEF フラグを“1”にする

SPE ビットのクリアによる初期化では、RSPIA の制御ビットは初期化されません。このため、SPE ビットに“1”を再設定すれば初期化前と同じ転送モードで RSPIA を起動できます。

SPSR.SPCF、SPRF、OVRF、MODF、PERF、UDRF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPIA の初期化後も受信バッファのデータの読み出し、RSPI 転送時の通信完了状況、エラー発生状況の確認が可能です。

SPSR.SPTEF フラグは“1”に初期化されます。このため、RSPIA 初期化後に SPCR.SPTIE ビットが“1”に設定されていると、送信バッファエンプティ割り込みが発生します。CPU で RSPIA を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書き込んでください。

41.3.12.2 システムリセット

システムリセットによる初期化では、「41.3.12.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPIA 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPIA が完全に初期化されます。

41.3.13 SPI 動作

41.3.13.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出(「41.3.10 エラー検出」参照)のみです。シングルマスタモードのRSPIAではモードフォルトエラーを検出しません。マルチマスタモードのRSPIAではモードフォルトエラーを検出します。以下では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

送信FIFOに次転送のデータがセットされていない状態で、SPDRレジスタヘデータを書き込むと、RSPIAはSPDRレジスタの送信バッファ(SPTXn, n=0~3)のデータを更新します。シフトレジスタがエンプティの場合には、RSPIAは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIAは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIAの転送フォーマットの詳細については、「41.3.5 転送フォーマット(フレームフォーマット)」を参照してください。SSL0i出力信号の極性は、SSLPレジスタの設定値に依存します。

(2) シリアル転送の終了

[マスタ受信専用モード以外の場合]

SPCMDm.CPHAビットに関わらず、RSPIAは最終サンプリングタイミングに対応するRSPCK0エッジを送出するとシリアル転送を終了します。受信FIFOのデータ格納数がFIFO段数より少ない場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIAのデータ長は、SPCMDm.SPB[4:0]ビットの設定値に依存します。SSL0i出力信号の極性は、SSLPレジスタの設定値に依存します。RSPIAの転送フォーマットの詳細については、「41.3.5 転送フォーマット(フレームフォーマット)」を参照してください。

[マスタ受信専用モードの場合]

下記2条件のいずれかで、シリアル転送を終了します。

- SPCMDm.CPHAビットに関わらず、RSPIAは最終サンプリングタイミングに対応するRSPCK0エッジを送出するとシリアル転送を終了します。
- シリアル転送期間にSPRMCR.TERMビットに“1”を書き込むとシリアル転送を終了します。

受信FIFOのデータ格納数がFIFO段数より少ない場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIAのデータ長は、SPCMDm.SPB[4:0]ビットの設定値に依存します。SSL0i出力信号の極性は、SSLPレジスタの設定値に依存します。RSPIAの転送フォーマットの詳細については、「41.3.5 転送フォーマット(フレームフォーマット)」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、以下によって決定されます。

- RSPI シーケンス制御レジスタ (SPSCR)
- RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)
- RSPI ビットレートレジスタ (SPBR)
- RSPI クロック遅延値レジスタ (SPCKD)
- RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)
- RSPI 次アクセス遅延値レジスタ (SPND)

SPSCR レジスタは、マスタモードの RSPIA で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSL0i 出力、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPIA は、SPSCR レジスタに設定されたシーケンス長にしたがって、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPIA には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認可能です。SPSCR.SPE ビットを“1”にして RSPI 機能をイネーブルにすると、RSPIA はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIA は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIA はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

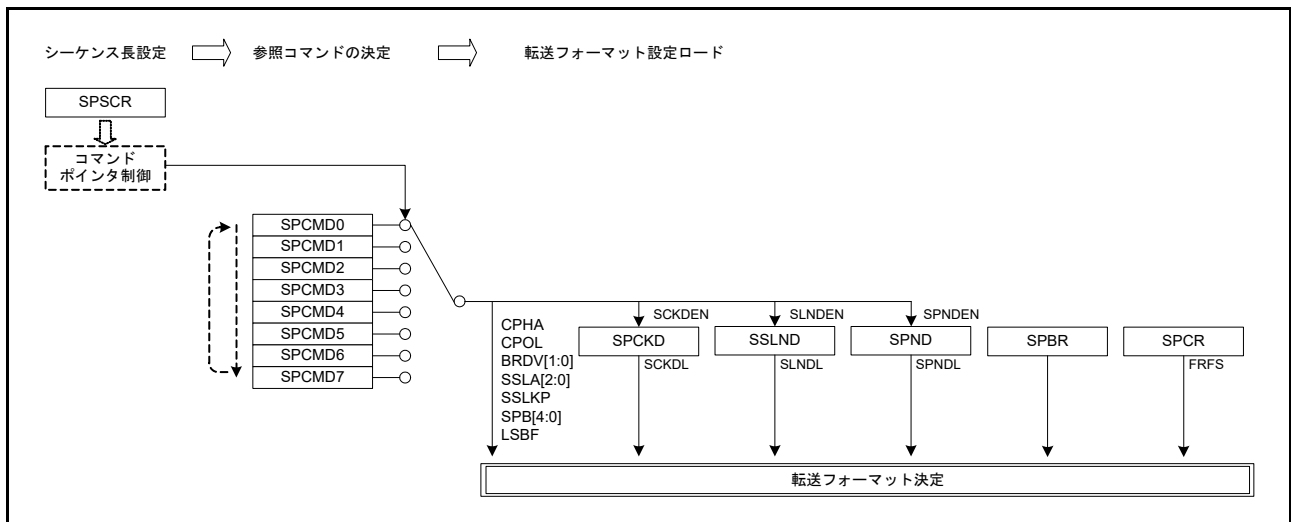


図 41.54 マスタモードでのシリアル転送方式の決定方法

本項では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

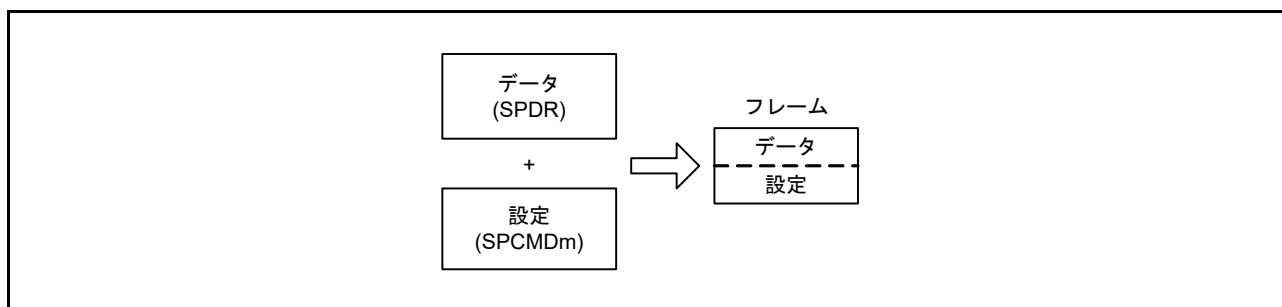


図 41.55 フレーム概念図

シーケンス動作を行ったときのコマンドと送信バッファ (SPTXn, n = 0 ~ 3)/ 受信バッファ (SPRXn, n = 0 ~ 3) の関係を図 41.56 に示します。

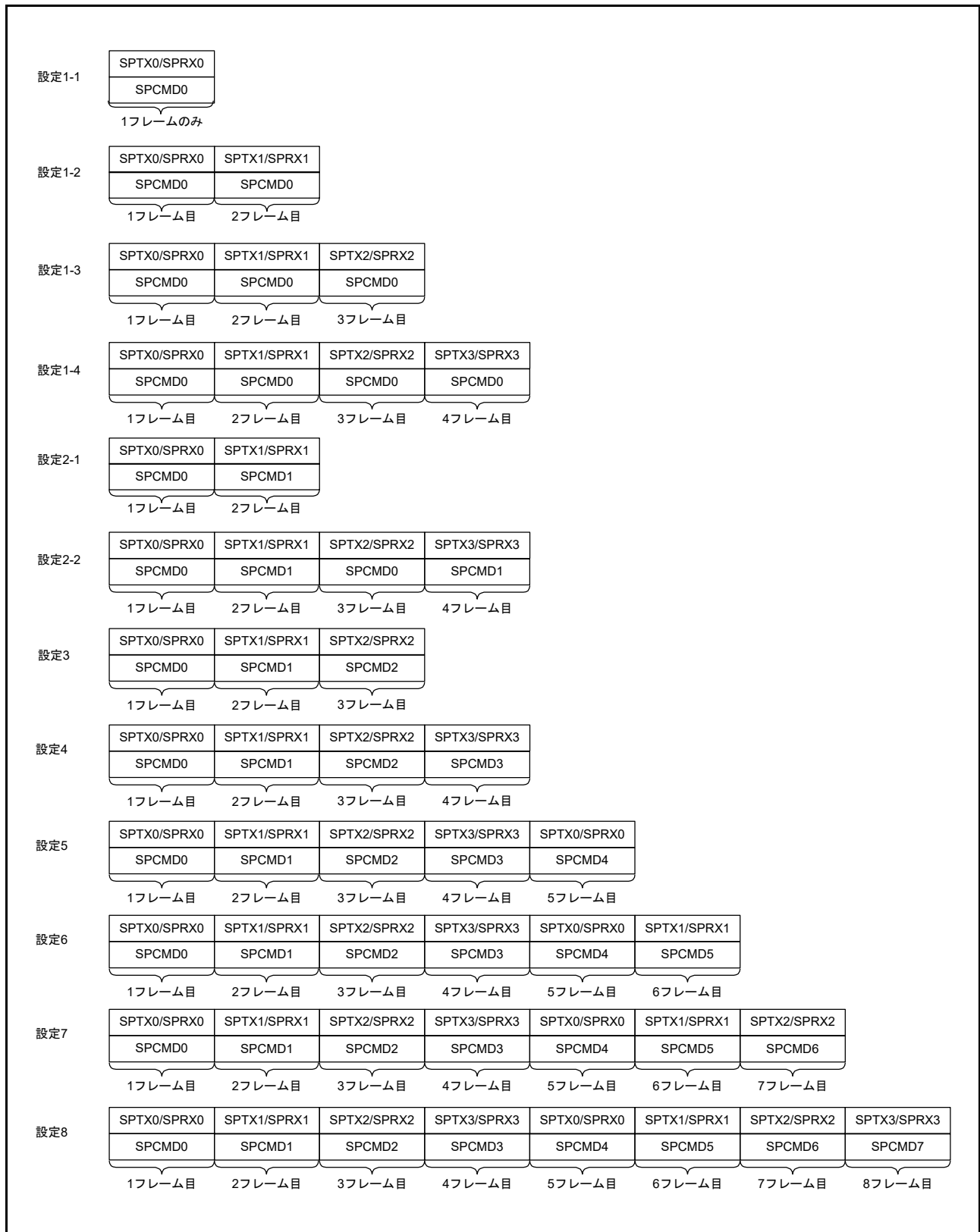


図 41.56 シーケンス動作時の RSPI コマンドレジスタ m と送受信バッファの対応

(4) バースト転送

[Motorola SPI]

RSPIA が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが“1” 場合には、RSPIA はシリアル転送中の SSL0i 信号レベルを次のシリアル転送の SSL0i 信号アサート開始まで保持します。次のシリアル転送での SSL0i 信号レベルが、現在のシリアル転送での SSL0i 信号レベルと同じであれば、RSPIA は SSL0i 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

- SPCR.SCKDDIS ビット (データバイト間 RSPCK 遅延無効化ビット) が“0” のとき

図 41.57 に、SPCMD0、SPCMD1 レジスタの設定を使用してバースト転送を実現した場合の SSL0i 信号動作例を示します。図 41.57 に記載した (1) ~ (8) の RSPI 動作内容について、以下に説明します。なお、SSL0i 出力信号の極性は、SSLP レジスタの設定値に依存します。

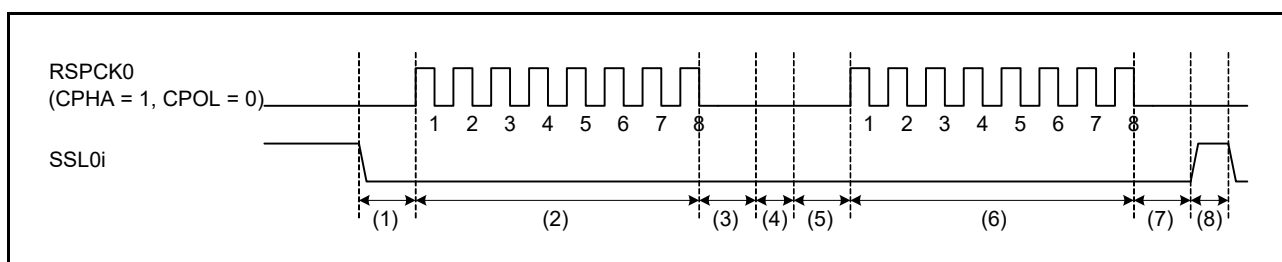


図 41.57 SSLKP ビットを利用したバースト転送動作 (SCKDDIS = 0、FRFS = 0) の例

- (1) SPCMD0 レジスタに従った SSL0i 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタに従ったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) 送受信モード/送信専用モード時、SPCMD0.SSLKP ビットが“1” であるため、SPCMD0 レジスタでの SSL0i 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ +5 PCLKA 継続されます。最短期間を経過後にシフトレジスタがエンプティの場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
受信専用モード時、SPCMD0.SSLKP ビットが“1” であるため、SPCMD0 レジスタでの SSL0i 信号値を保持します。この期間は、SPCMD0 レジスタの次アクセス遅延と同じだけ +5 PCLKA 継続されます。
- (5) SPCMD1 レジスタに従った SSL0i 信号のアサートと RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタに従ったシリアル転送を実行します。
- (7) SSL ネゲート遅延を挿入します。
- (8) SPCMD1.SSLKP ビットが“0” であるため、SSL0i 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

注. SSLKP ビットに“1” を設定した (バースト転送時に使用する) SPCMDm レジスタでの SSL0i 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSL0i 信号出力設定が異なる場合、RSPIA は次転送のコマンドに対応した SSL0i 信号のアサート時 (5) に SSL0i 信号状態を切り替えます。このような SSL0i 信号の切り替えが発生した場合、MISO0 をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるため、注意してください。

マスタモードの RSPIA は、SSLKP ビットを使用しない場合の SSL0i 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0” の場合でも、RSPIA は内部で検出した次転送の SSL0i 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値に関わらず実行できます。(「41.3.13 SPI 動作」参照)

- SPCR.SCKDDIS ビット (データバイト間 RSPCK 遅延無効化ビット) が “1” のとき

図 41.58 に、SPCMD0、SPCMD1 レジスタの設定を使用してバースト転送を実現した場合の SSL0i 信号動作例を示します。(1)～(6) の RSPI 動作内容について、以下に説明します。なお、SSL0i 出力信号の極性は、SSLP レジスタの設定値に依存します。

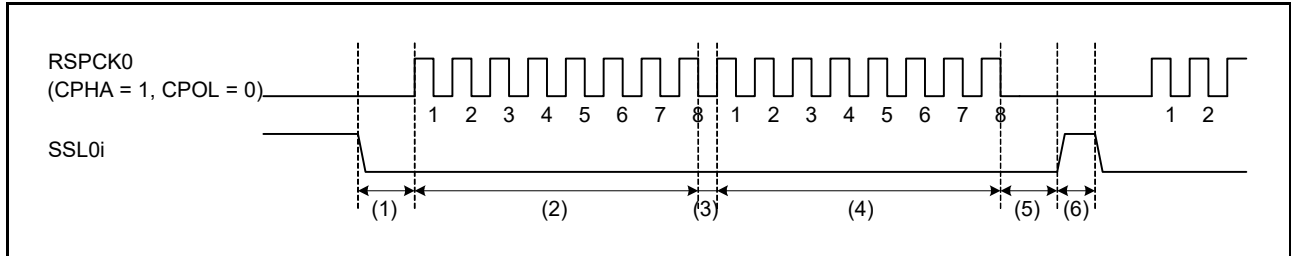


図 41.58 SSLKP ビットを利用したバースト転送動作 (SCKDDIS = 1、FRFS = 0) の例

- (1) SPCMD0 レジスタに従った SSL0i 信号のアサートと RSPCK 遅延の挿入を実施します。
RSPCK 遅延の挿入は、バースト転送の先頭フレームにのみ挿入されます
- (2) 送受信モード/送信専用モード時、SPCMD0 レジスタに従ったシリアル転送を実行します。
フレーム間の RSPCK ネゲート期間中にシフトレジスタがエンプティの場合には、次転送のための送信データがシフトレジスタに格納されるまで、最終クロックの出力を待ちます。
受信専用モード時、SPCMD0 レジスタに従ったシリアル転送を実行します。
- (3) 送受信モード/送信専用モード時、SPCMD0.SSLKP ビットが “1” であるため、SPCMD0 レジスタでの SSL0i 信号値を保持します。シフトレジスタがエンプティでない場合は、フレーム間の RSPCK ネゲートは、次フレームの 0.5 RSPCK となります。
受信専用モード時、最終フレーム(注 1)ではないため、SPCMD0 レジスタでの SSL0i 信号値を保持します。フレーム間の RSPCK ネゲートは、次フレームの 0.5 RSPCK となります。
- (4) SPCMD1 レジスタに従ったシリアル転送を実行します。
- (5) 最終フレームでは、SSL0i ネゲート遅延を挿入します。
- (6) 送受信モード/送信専用モード時、SPCMD1.SSLKP ビットが “0” であるため、SSL0i 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。
受信専用モード時、SSL0i 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

注 1. 受信専用モード時、最終フレームとは SPRMCR.RFC[4:0] ≠ 00000b のときに RFC[4:0] ビットで設定したフレーム、もしくは、SPRMCR.TERM = 1 が受け付けられたフレームを指します。

[TI SSP]

RSPIA はシリアル転送開始時に SSL0i 信号を 1 サイクルアサートします。

次のシリアル転送開始時に SSL0i 信号を 1 サイクルアサートすることで連続的にシリアル転送を実行することができます (バースト転送)。

- SPCMDm.SSLKP ビット (SSL 信号レベル保持ビット) が “1”、SPCR.SCKDDIS ビット (データバイト間 RSPCK 遅延無効化ビット) が “1” のとき

図 41.59 に SPCMD0、SPCMD1 レジスタの設定を使用してバースト転送を実現した場合の SSL0i 信号動作とシリアルデータ MISO0/MOSI0 例を示します。(1) ~ (6) の RSPI 動作内容について、以下に説明します。なお、SSL0i 出力信号の極性は、SSLP レジスタの設定値に依存します。

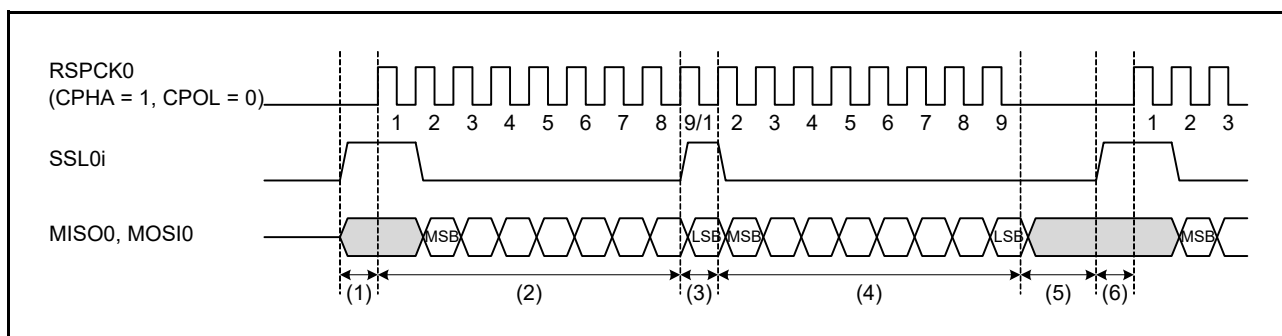


図 41.59 バースト転送動作 (FRFS = 1) の例

- (1) SPCMD0 レジスタに従った SSL0i 信号のアサートと RSPCK 遅延の挿入を実施します。

RSPCK 遅延の挿入は、バースト転送の先頭フレームにのみ挿入されます

- (2) SPCMD0 レジスタに従ったシリアル転送を実行します。

- (3) 最終データ転送と SSL0i アサートが同時に行われます。

送受信モード/送信専用モード時、フレーム間 RSPCK ネグート期間中にシフトレジスタがエンプティの場合には、次転送のための送信データがシフトレジスタに格納されるまで、最終クロックの出力を待ちます。

- (4) SPCMD1 レジスタに従ったシリアル転送を実行します。

- (5) 最終フレーム (注 1) では、SSL0i ネグート遅延を挿入します。

- (6) SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

注 1. 受信専用モード時、最終フレームとは SPRMCR.RFC[4:0] ≠ 00000b のときに RFC[4:0] ビットで設定したフレーム、もしくは、SPRMCR.TERM = 1 が受け付けられたフレームを指します。

注. SSLKP ビットに “1” を設定した (バースト転送時に使用する) SPCMDm レジスタでの SSL0i 信号出力設定と、次転送で使用する SPCMDm での SSL0i 信号出力設定が異なる場合、RSPIA は次転送のコマンドに対応した SSL0i 信号のアサート時 (5) に SSL0i 信号状態を切り替えます。このような SSL0i 信号の切り替えが発生した場合、MISO0 をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるため、注意してください。

(5) RSPCK 遅延 (t1)

マスタモードの RSPIA の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPIA は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SCKDEN ビットと SPCKD.SCKDL[2:0] ビットを使用して、表 41.10 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「41.3.5 転送フォーマット (フレームフォーマット)」を参照してください。

バースト転送フレーム間遅延なしの転送を行う場合 (SPCMDm.SSLKP = 1、かつ SPCR.SCKDDIS = 1)、RSPCK 遅延はバースト転送の先頭フレームのみ挿入されます。

表41.10 SCKDENビット、SCKDL[2:0]ビットとRSPCK遅延の関係

SCKDENビット	SCKDL[2:0]ビット	RSPCK遅延値	
		Motorola SPI	TI SSP
0	000b ~ 111b	1 RSPCK	0 RSPCK
1	000b	1 RSPCK	1 RSPCK
	001b	2 RSPCK	2 RSPCK
	010b	3 RSPCK	3 RSPCK
	011b	4 RSPCK	4 RSPCK
	100b	5 RSPCK	5 RSPCK
	101b	6 RSPCK	6 RSPCK
	110b	7 RSPCK	7 RSPCK
	111b	8 RSPCK	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモードの RSPIA の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定に依存します。RSPIA は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SLNDEN ビットと SSLND.SLNDL[2:0] ビットを使用して、表 41.11 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「41.3.5 転送フォーマット (フレームフォーマット)」を参照してください。

バースト転送フレーム間遅延なしの転送を行う場合 (SPCMDm.SSLKP = 1、かつ SPCR.SCKDDIS = 1)、SSL ネゲート遅延はバースト転送の最終フレームのみ挿入されます。

表41.11 SLNDENビット、SLNDL[2:0]ビットとSSLネゲート遅延値の関係

SLNDENビット	SLNDL[2:0]ビット	SSLネゲート遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモードのRSPIAの次アクセス遅延は、SPCMDm.SPNDENビットの設定とSPNDレジスタの設定に依存します。RSPIAは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SPNDENビットとSPND.SPNDL[2:0]ビットを使用して、表41.12のようにシリアル転送時の次アクセス遅延を決定します。なお、次アクセス遅延の定義については、「41.3.5 転送フォーマット(フレームフォーマット)」を参照してください。

バースト転送フレーム間遅延なしの転送を行う場合(SPCMDm.SSLKP = 1、かつSPCR.SCKDDIS = 1)、次アクセス遅延はバースト転送の最終フレームのみ挿入されます。

表41.12 SPNDENビット、SPNDL[2:0]ビットと次アクセス遅延の関係

SPNDENビット	SPNDL[2:0]ビット	次アクセス遅延値
0	000 ~ 111b	1 RSPCK + 5 PCLKA
1	000b	1 RSPCK + 5 PCLKA
	001b	2 RSPCK + 5 PCLKA
	010b	3 RSPCK + 5 PCLKA
	011b	4 RSPCK + 5 PCLKA
	100b	5 RSPCK + 5 PCLKA
	101b	6 RSPCK + 5 PCLKA
	110b	7 RSPCK + 5 PCLKA
	111b	8 RSPCK + 5 PCLKA

(8) 初期化フロー

図 41.60 に、SPI 動作時の RSPIA をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

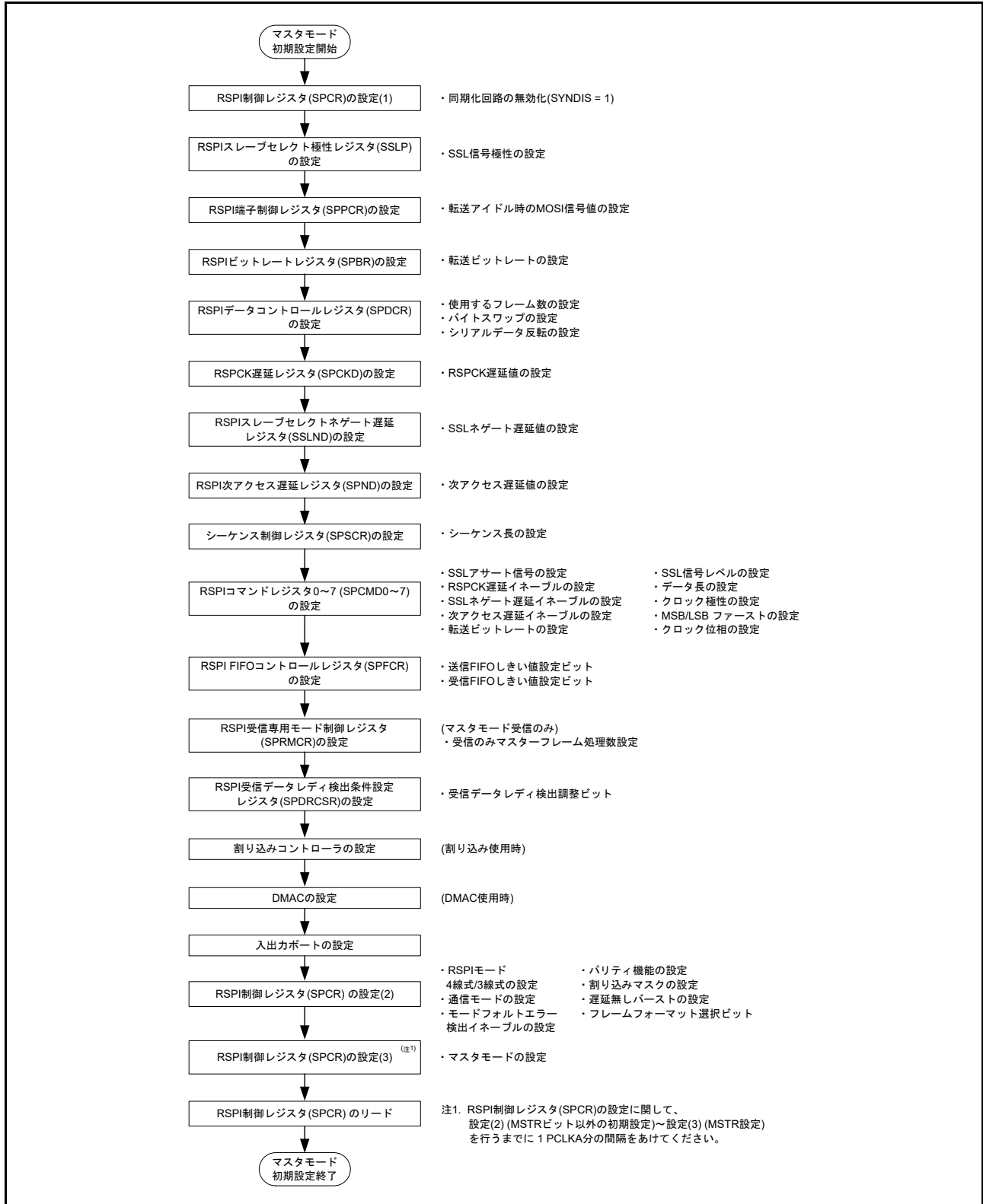


図 41.60 マスターモード時の初期化フロー例

(9) ソフトウェア処理フロー

ソフトウェア処理の例を図 41.61 ~ 図 41.63 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後、SPII または、SPCI 割り込みを許可することにより、全データ送信完了を CPU に通知することが可能です。

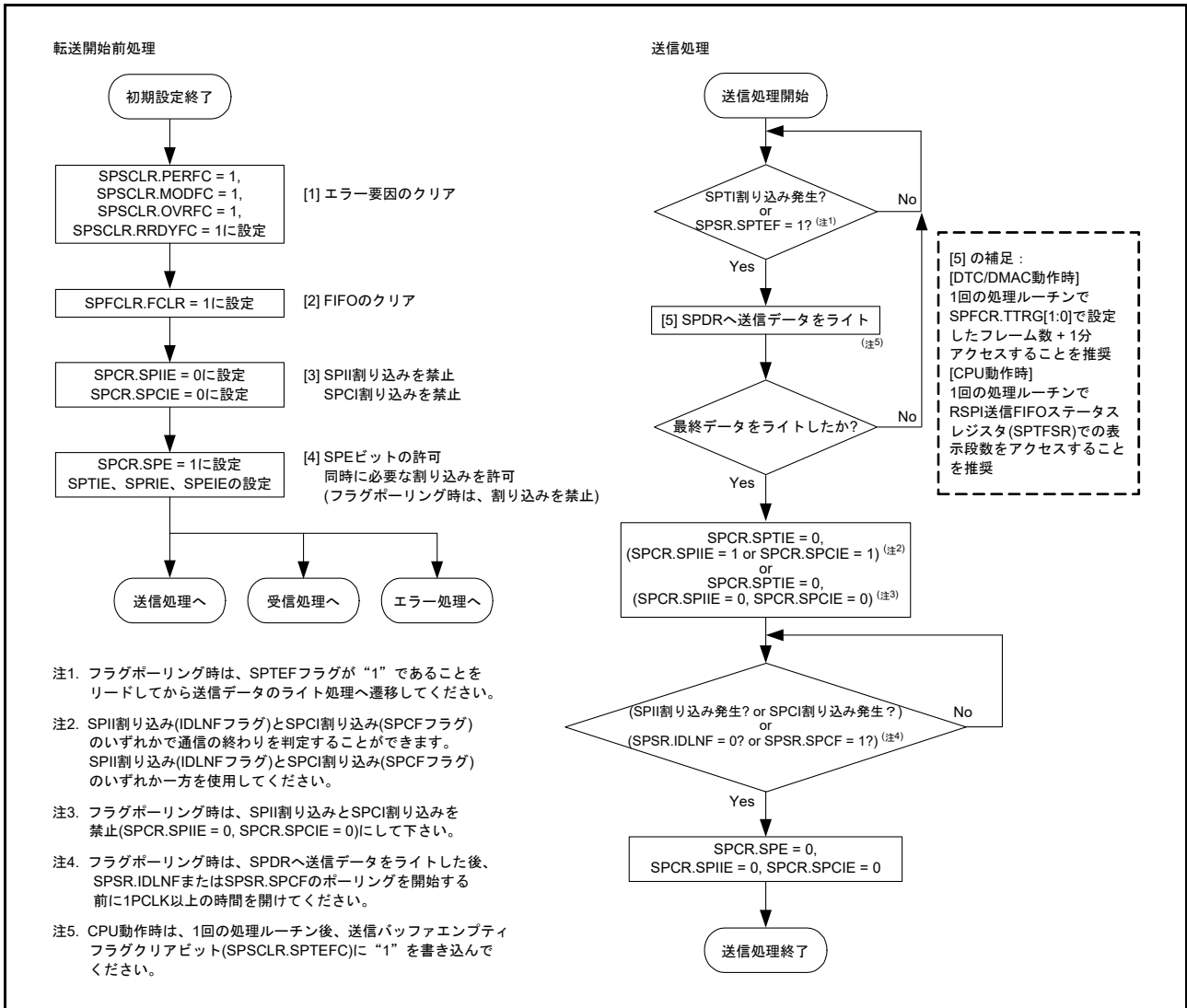


図 41.61 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

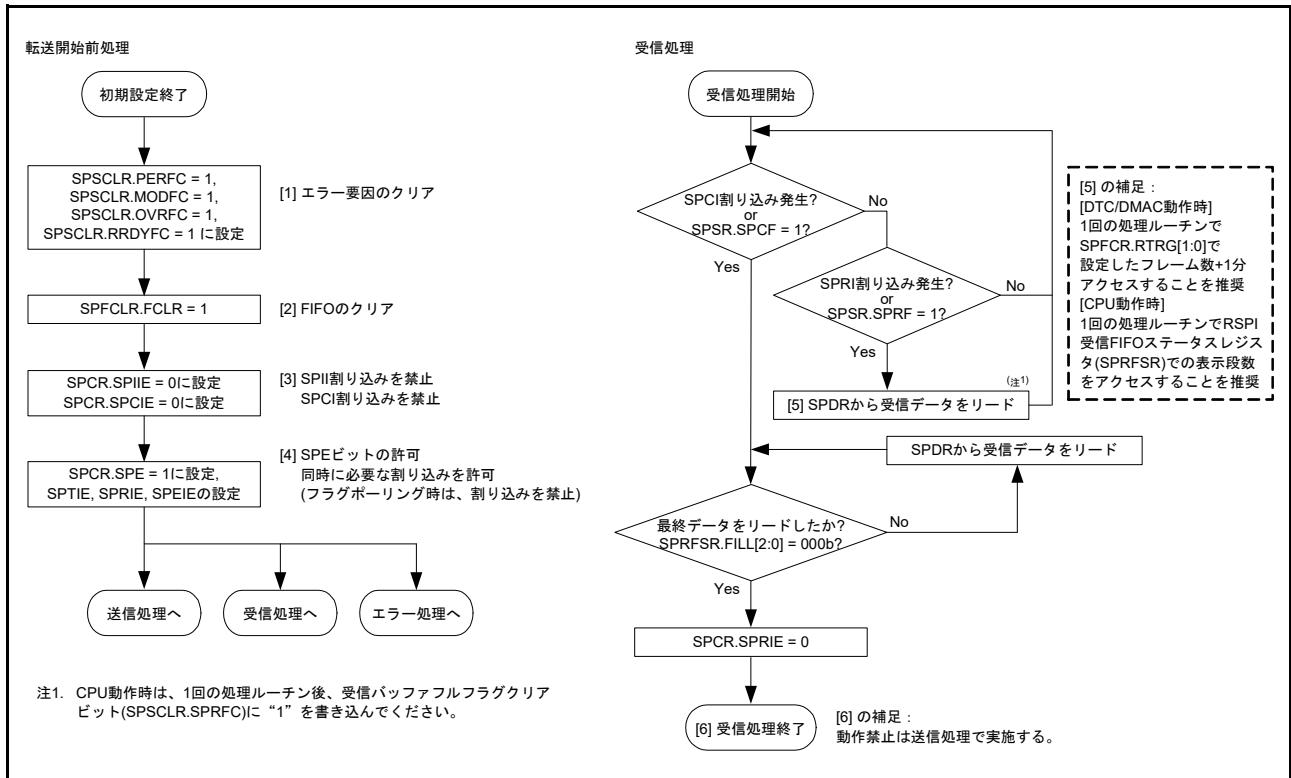


図 41.62 マスタモード時のフローチャート (受信)

(c) 受信専用モード処理フロー

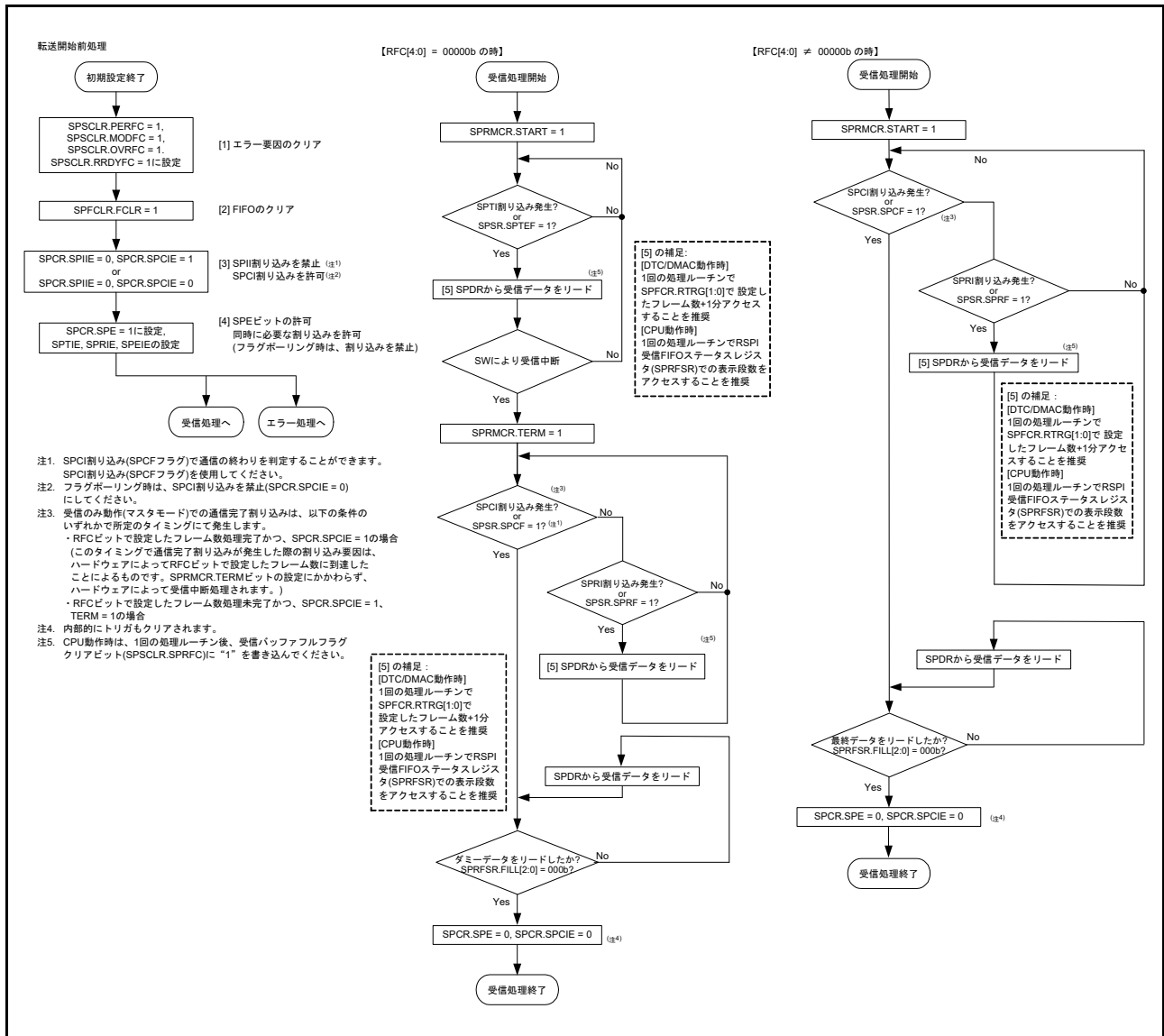
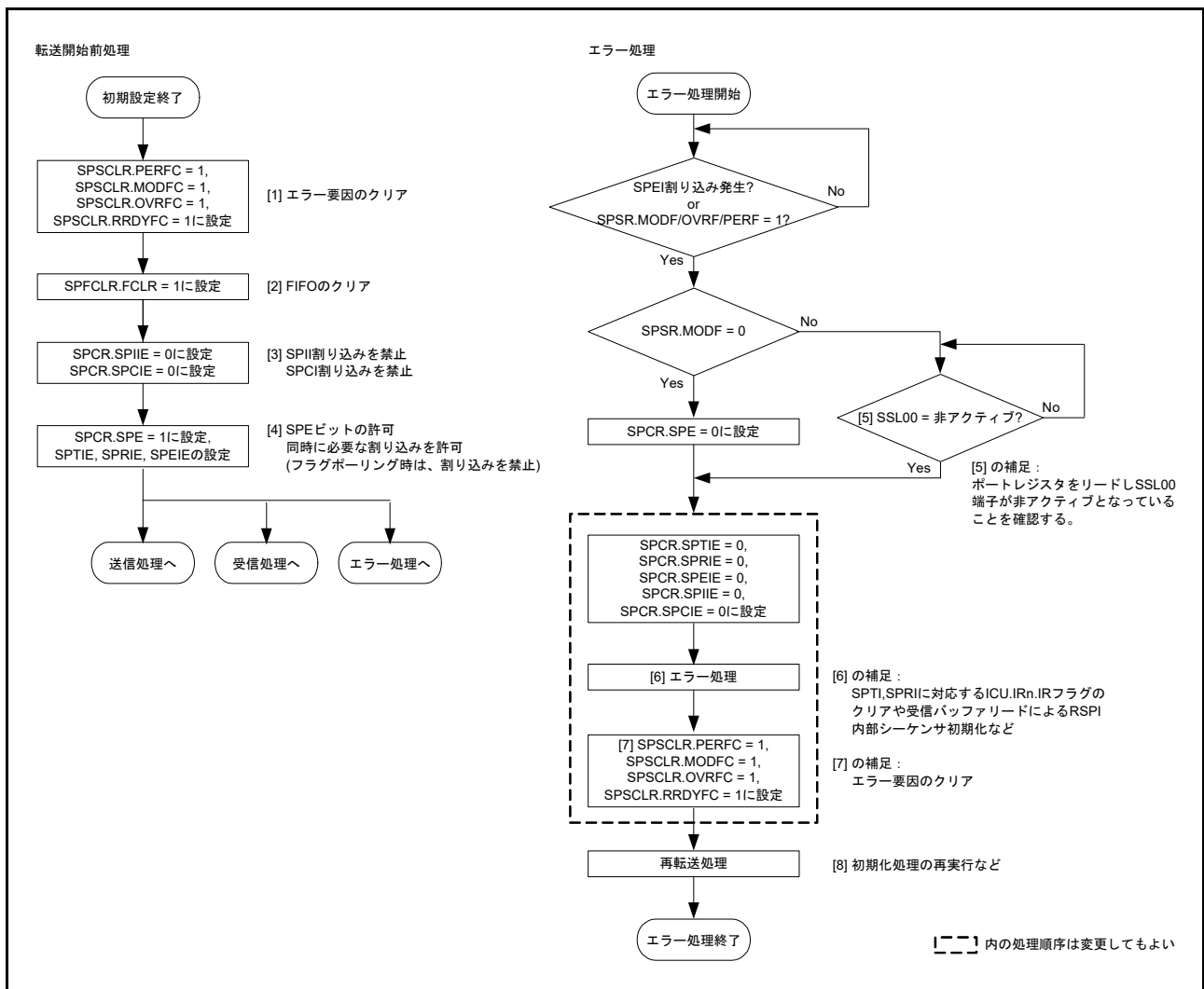


図 41.63 マスタモード時のフローチャート (受信専用)

(d) エラー処理フロー

モードフォルトエラー発生時は、SPE ビットが自動的にクリアされ、送信 / 受信動作を停止させます。しかし、その他のエラー要因では SPE ビットはクリアされず送信 / 受信動作は継続されるため、最初に起きたエラー要因ではない他の要因のエラーが発生した場合は、SPECM[2:0] ビットが更新されてしまうため、SPE ビットをクリアし動作を停止することを推奨します。

割り込みを使用し、エラーが発生した場合は、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファをリードして RSPIA の内部シーケンサを初期化してください。



41.3.13.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIA が SSL00 入力信号のアサートを検出すると、MISO0 出力信号への有効データのドライブを開始する必要があります。このため、SSL00 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが“1”の場合、RSPIA は SSL00 入力信号のアサート状態で最初の RSPCK0 エッジを検出すると、MISO0 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が“1”の場合には、SSL00 信号アサート状態における最初の RSPCK0 エッジがシリアル転送開始のトリガになります。

CPHA ビットの設定に依存せず、RSPIA が MISO0 出力信号のドライブを開始するタイミングは、SSL00 信号アサートタイミングとなります。CPHA ビットの設定によって、RSPIA が出力するデータの有効/無効が異なります。

なお、RSPIA の転送フォーマットの詳細については、「41.3.5 転送フォーマット (フレームフォーマット)」を参照してください。SSL00 入力信号の極性は、SSLP.SSLOP ビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHA ビットに関わらず、RSPIA は最終サンプリングタイミングに相当する RSPCK0 エッジを検出するとシリアル転送を終了します。受信 FIFO のデータ格納数が FIFO 段数より少ない場合には、シリアル転送の終了後に、RSPIA はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態に関わらず、RSPIA はシリアル転送の終了後にシフトレジスタの状態をエンプティに変更します。シリアル転送開始からシリアル転送終了の間に RSPIA が SSL00 入力信号のネゲートを検出するとモードフォルトエラーが発生します(「41.3.10 エラー検出」参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPIA のデータ長は SPCMD0.SPB[4:0] ビットの設定値に依存します。SSL00 入力信号の極性は、SSLP.SSLOP ビットの設定値に依存します。RSPIA の転送フォーマットの詳細については、「41.3.5 転送フォーマット (フレームフォーマット)」を参照してください。

(3) シングルスレーブ時の注意点

[Motorola SPI]

SPCMD0.CPHA ビットが“0”の場合には、RSPIA は SSL00 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 41.7 の例に示したような構成で RSPIA をシングルスレーブで使用する場合には、SSL00 入力信号が常にアクティブ状態に固定されるため、CPHA を“0”に設定した RSPIA ではシリアル転送を正しく開始できません。SSL00 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPIA の送受信を正しく実行するためには、CPHA ビットを“1”にしてください。CPHA ビットを“0”にする必要がある場合には、SSL00 入力信号を固定しないでください。

[TI SSP]

TI SSP プロトコル時は、図 41.7 の例に示したような構成で RSPIA をシングルスレーブで使用する場合には、SSL00 入力信号が常に非アクティブ状態に固定されるため、RSPIA ではシリアル転送を正しく開始できません。

シングルスレーブで使用する場合は、図 41.6 の例で示した構成で使用してください。

(4) バースト転送

[Motorola SPI]

SPCMD0.CPHA ビットが“1”の場合、SSL00 入力信号のアサート状態を保持したままで、連続的なシリアル転送 (バースト転送) を実行することが可能です。CPHA ビットが“1”の場合には、SSL00 入力信号アクティブ状態における最初の RSPCK0 エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSL00 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが“0”の場合には、(3) と同じ理由のために、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

[TI SSP]

シリアル転送は SSL0i 入力信号が 1 サイクルアサート後にデータ転送が開始されます。

SSL0i 入力信号が起点でフレーム転送が開始されるため、フレーム間で SSL のアサートが必要です。

(5) 初期化フロー

図 41.65 に SPI 動作時、RSPIA をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

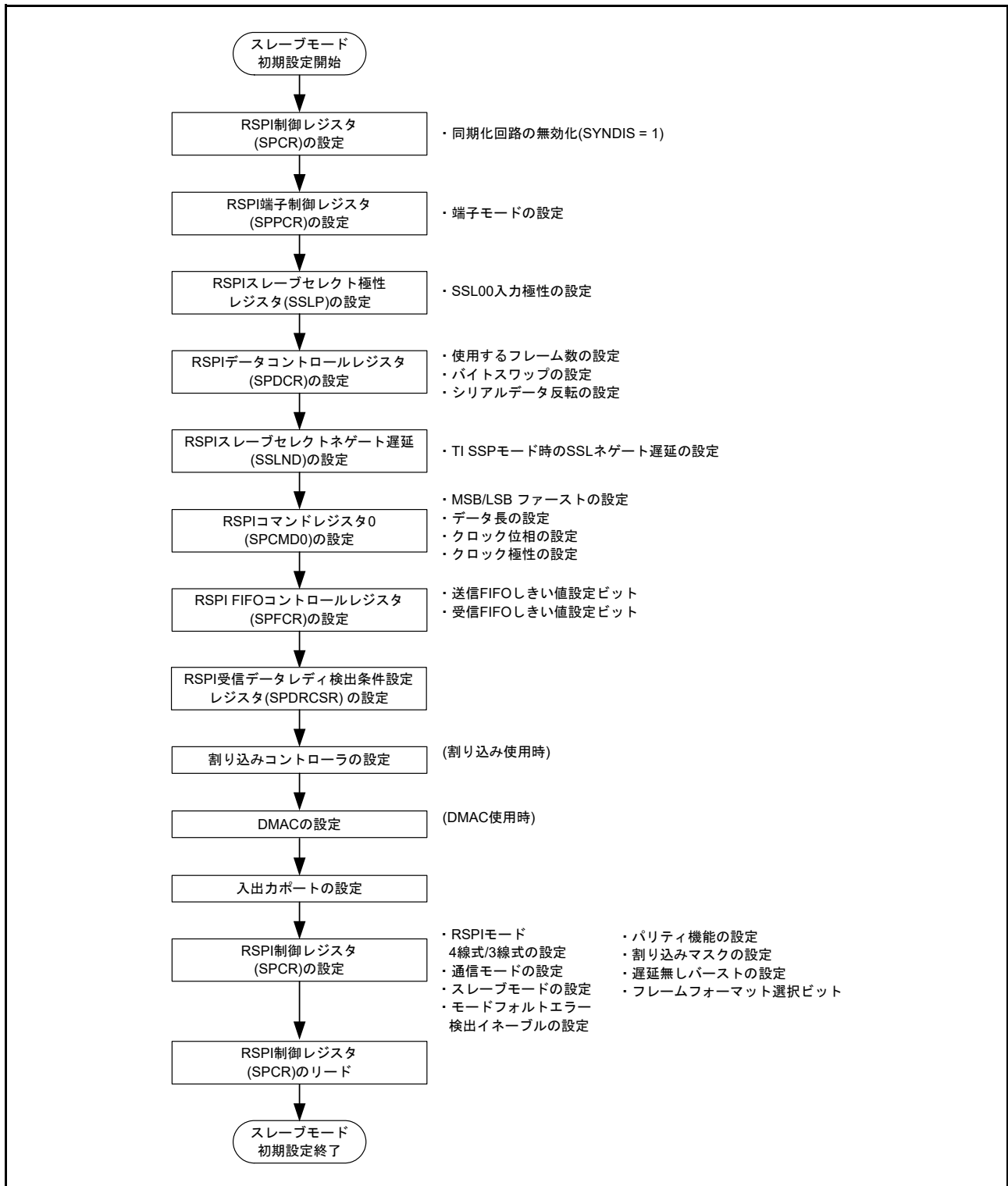


図 41.65 スレーブモード時の初期化フロー例

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 41.66 ~ 図 41.69 に示します。

(a) 送信処理フロー

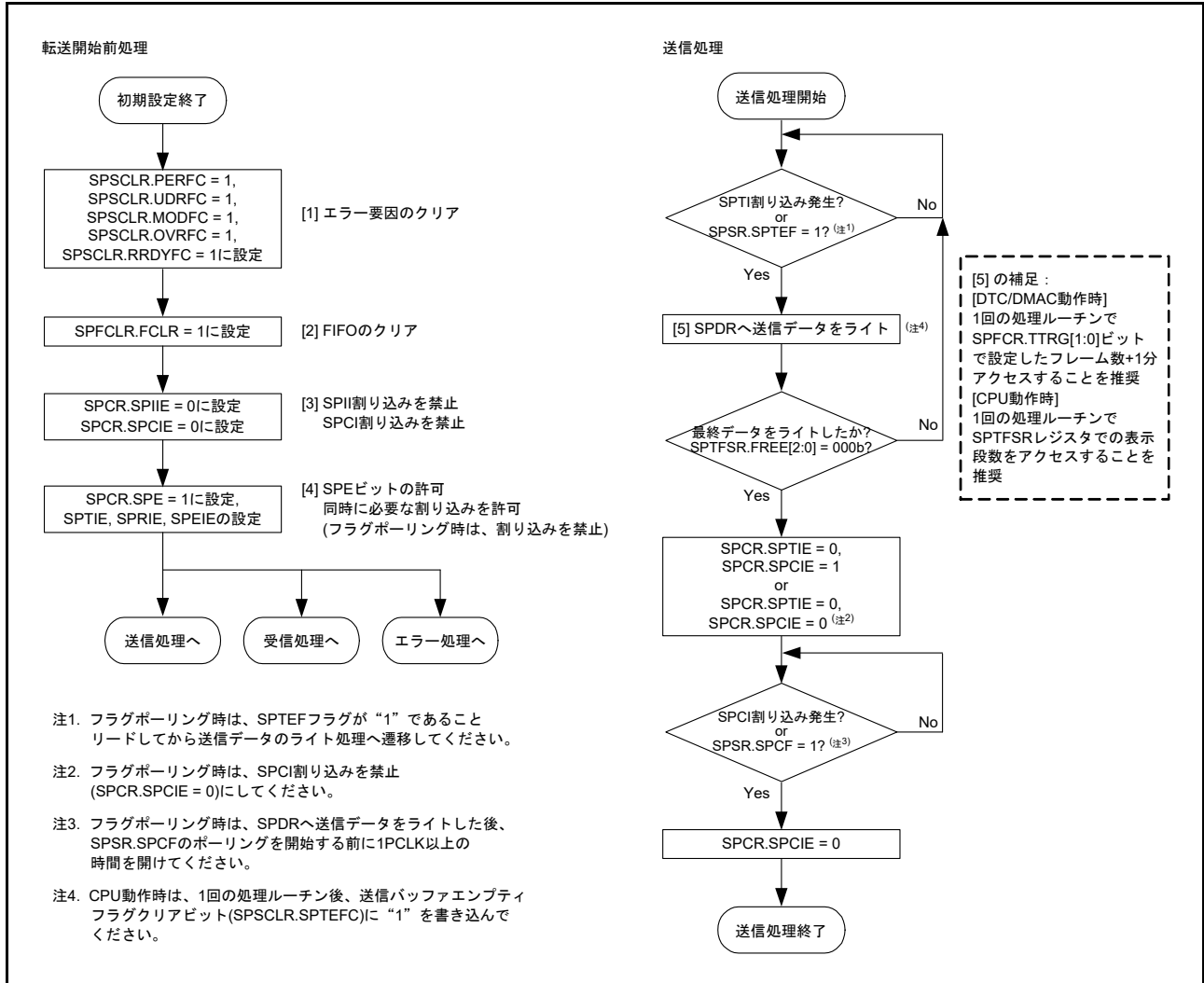


図 41.66 スレーブモード時のフローチャート (送信)

(b) 受信処理フロー

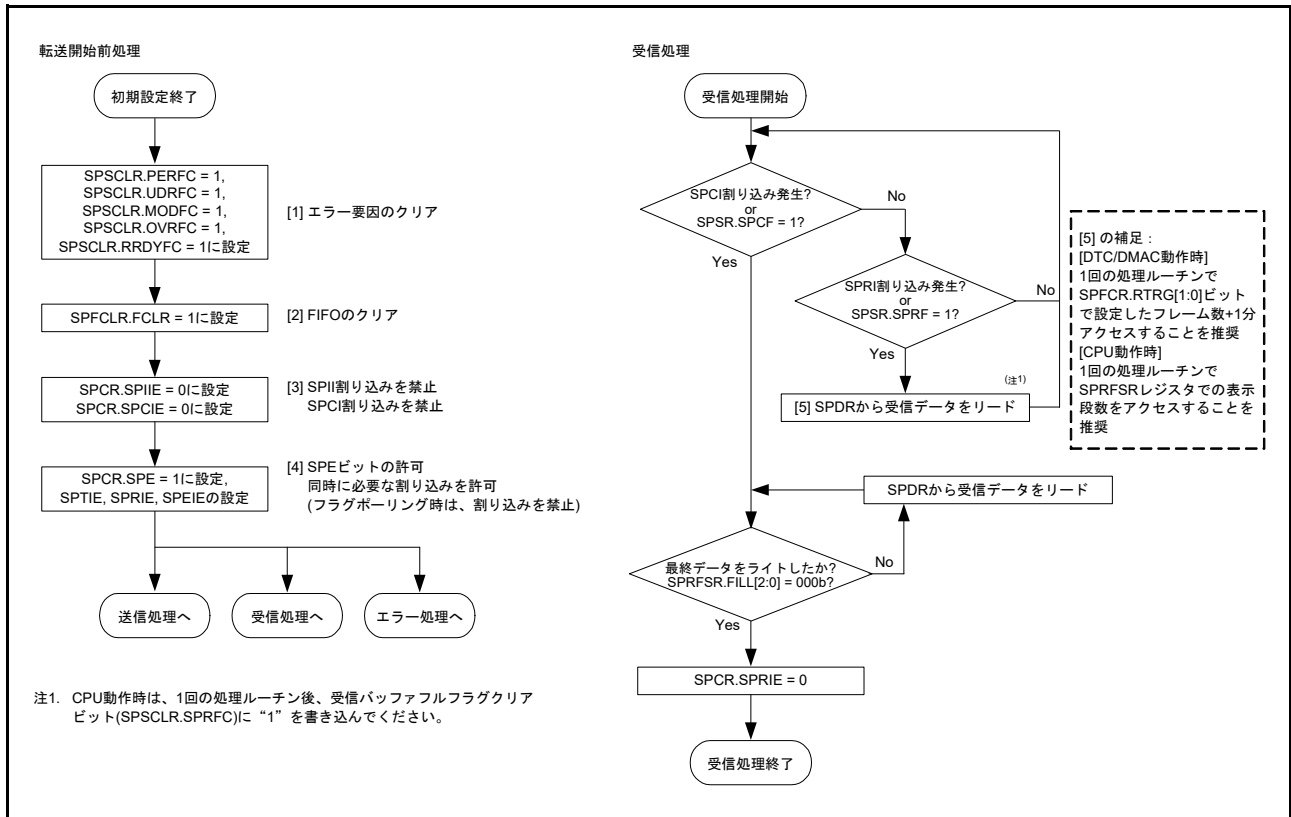


図 41.67 スレープモード時のフローチャート (受信)

(c) 受信専用モード処理フロー

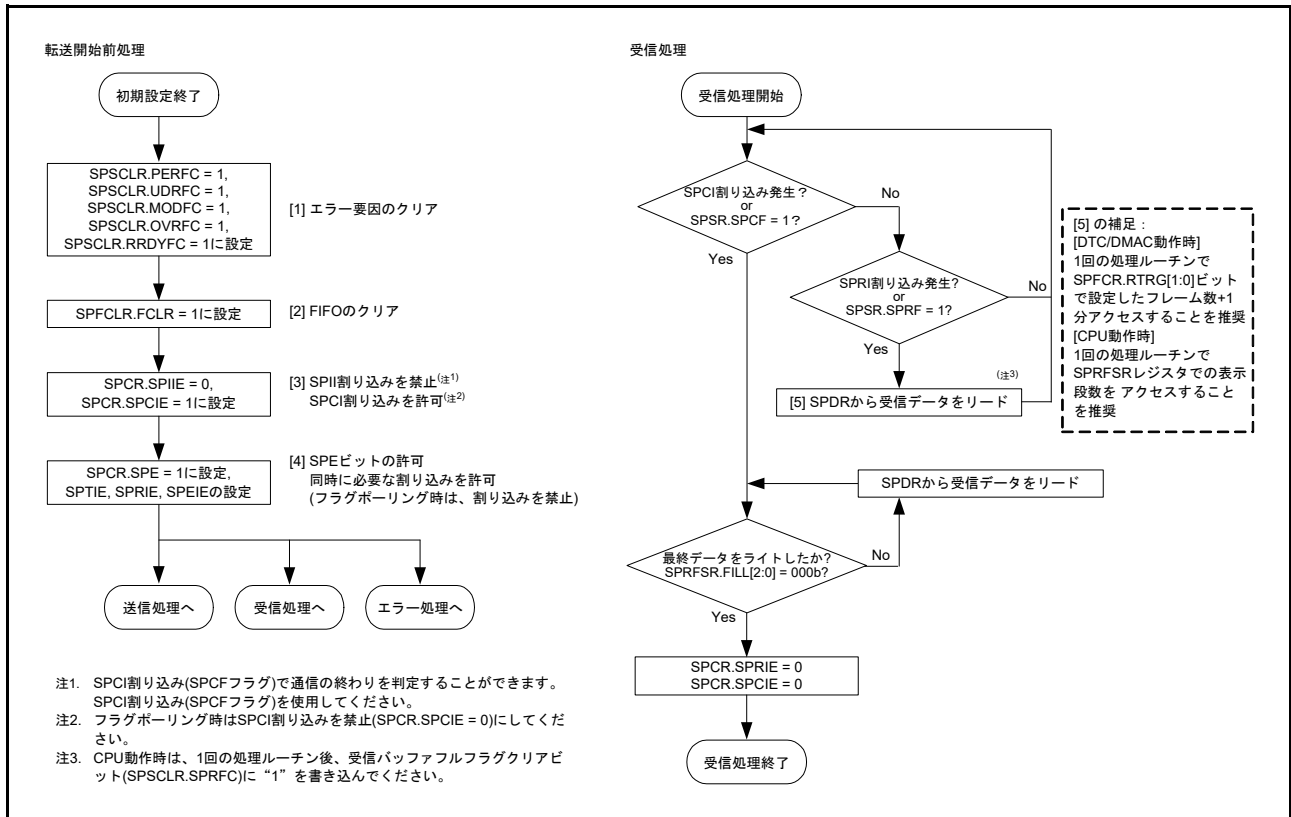


図 41.68 スレーブモード時のフローチャート (受信専用)

(d) エラー処理フロー

スレーブモード動作では、モードフォルトエラーが発生しても SSL00 端子の状態に関わらず MODF フラグをクリアすることができます。

割り込みを使用し、エラーが発生した場合は、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファをリードして RSPIA の内部シーケンサを初期化してください。

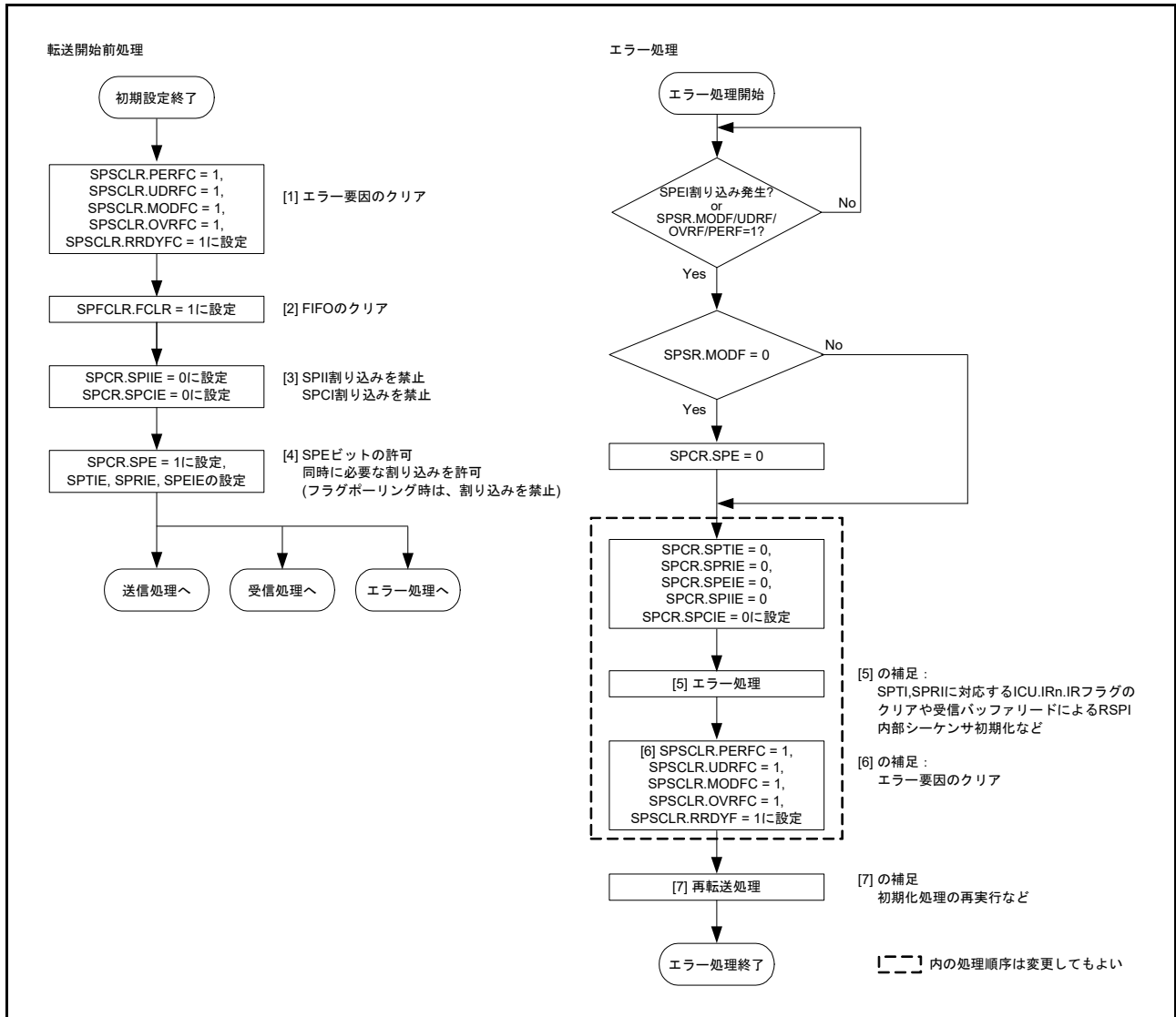


図 41.69 スレーブモード時のフローチャート (エラー)

41.3.14 クロック同期式動作

RSPIA は、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSL0i 端子を使用せず、RSPCK0、MOSI0、MISO0 の 3 本の端子を用いて通信を行い、SSL0i 端子は I/O ポートとして使用することが出来ます。

クロック同期式動作は、SSL0i 端子を使用せず通信を行います。モジュール内部の動作は SPI 動作と同様の動作を行います。マスタモード動作、スレーブモード動作において、SPI 動作時と同様のフローで通信を行うことが出来ますが、SSL0i 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを“0”に設定した場合の動作について保証していません。

41.3.14.1 マスタモード動作

(1) シリアル転送の開始

送信 FIFO に次転送のデータがセットされていない状態で、SPDR レジスタヘデータを書き込むと、RSPIA は SPDR レジスタの送信バッファ (SPTXn, n = 0 ~ 3) のデータを更新します。シフトレジスタがエンプティの場合には、RSPIA は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIA は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIA の転送フォーマットの詳細については、「41.3.5 転送フォーマット (フレームフォーマット)」を参照してください。ただし、クロック同期式動作時は SSL0i 出力を用いず通信を行います。

(2) シリアル転送の終了

RSPIA は最終サンプリングタイミングに対応する RSPCK0 エッジを送出するとシリアル転送を終了します。受信 FIFO のデータ格納数が FIFO 段数より少ない場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPIA のデータ長は、SPCMDm.SPB[4:0] ビットの設定値に依存します。RSPIA の転送フォーマットの詳細については、「41.3.5 転送フォーマット (フレームフォーマット)」を参照してください。ただし、クロック同期式動作時は SSL0i 出力を用いず通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、以下によって決定されます。

- RSPI シーケンス制御レジスタ (SPSCR)
- RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)
- RSPI ビットレートレジスタ (SPBR)
- RSPI クロック遅延値レジスタ (SPCKD)
- RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)
- RSPI 次アクセス遅延値レジスタ (SPND) によって決定されます。

クロック同期式動作時は、SSL0i 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPIA で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND の参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND には SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPIA は、SPSCR レジスタに設定されたシーケンス長にしたがって、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPIA には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認可能です。SPCR.SPE ビットを“1”にして RSPI 機能をイネーブルにすると、RSPIA はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIA は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIA はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

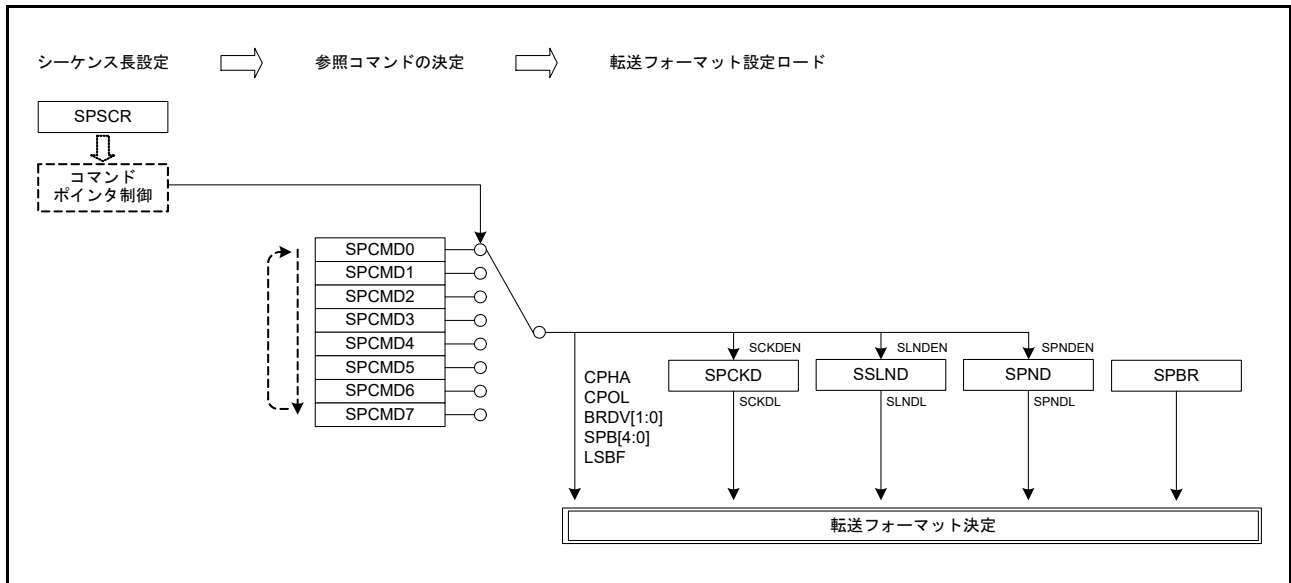


図 41.70 マスタモードでのシリアル転送方式の決定方法

本項では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

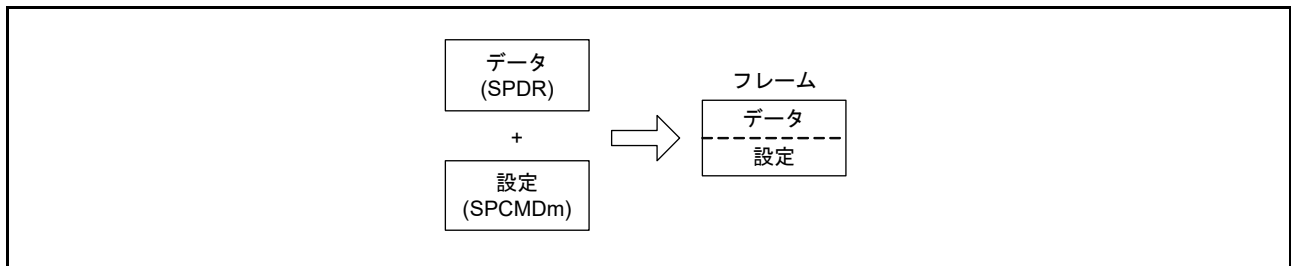


図 41.71 フレーム概念図

シーケンス動作を行ったときのコマンドと送信バッファ (SPTXn, n = 0 ~ 3)/ 受信バッファ (SPRXn, n = 0 ~ 3) の関係を図 41.72 に示します。

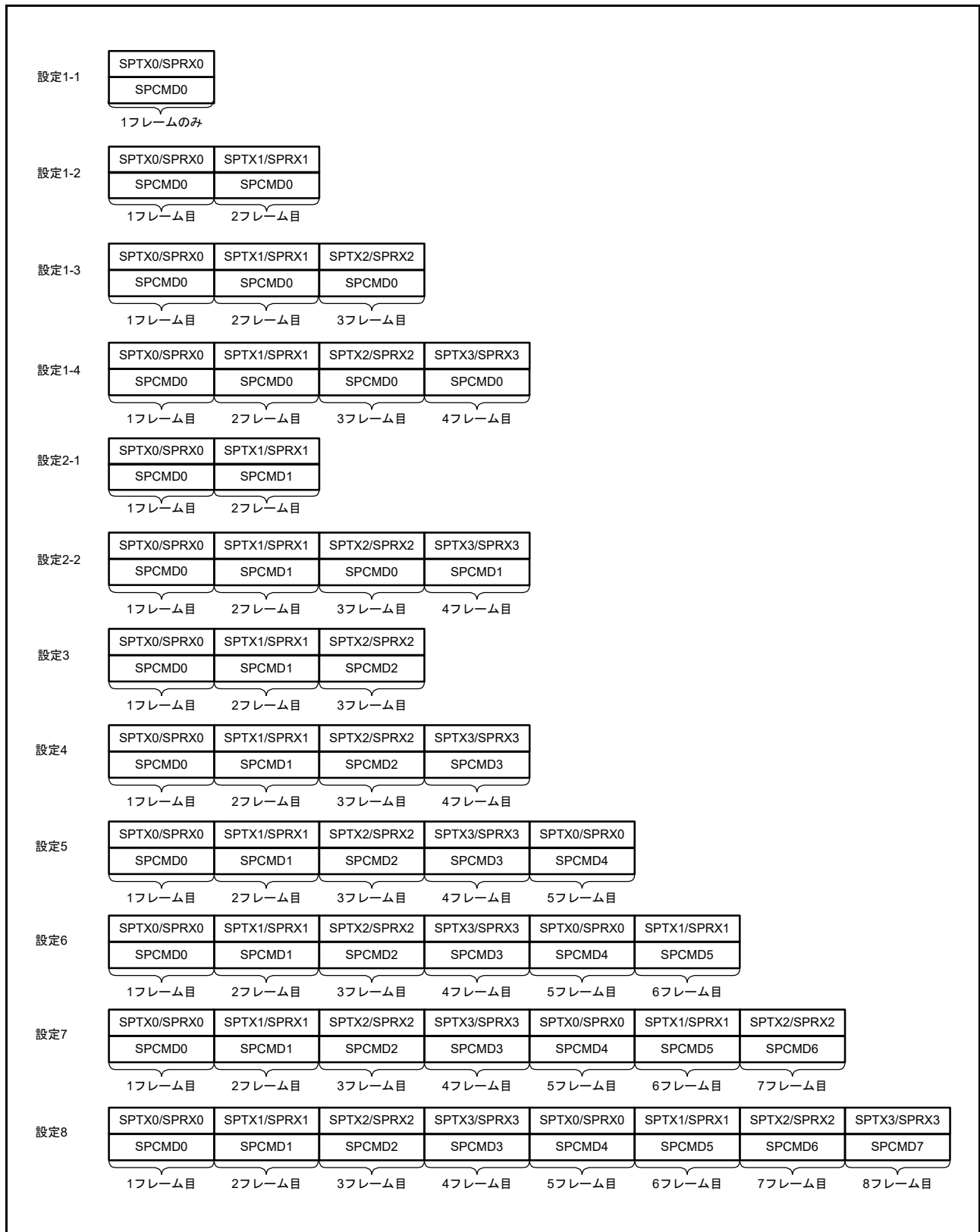


図 41.72 シーケンス動作時の RSPI コマンドレジスタ m と送受信バッファの対応

(4) 初期化フロー

図 41.73 に、クロック同期式動作時の RSPIA をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

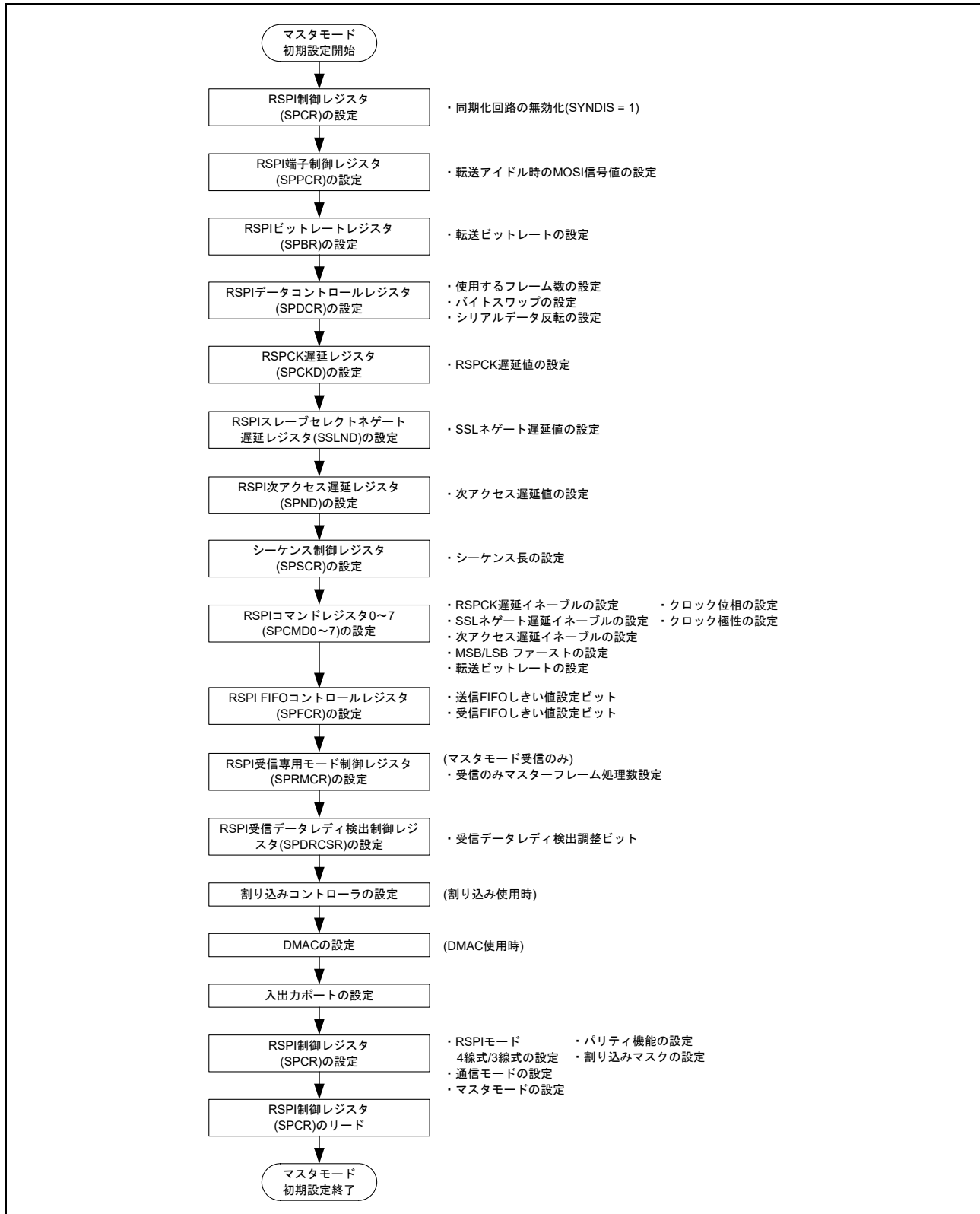


図 41.73 マスターモード時の初期化フロー例

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「41.3.13.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

41.3.14.2 スレーブモード動作

(1) シリアル転送の開始

RSPIAは、SPCR.SPMSビットが“1”であるとき、最初のRSPCK0エッジがシリアル転送開始のトリガになります。

SPMSビットが“1”であるときは、RSPIAはMISO0出力信号を常にドライブします。

なお、RSPIAの転送フォーマットの詳細については、「41.3.5 転送フォーマット(フレームフォーマット)」を参照してください。ただし、クロック同期式動作時はSSL00入力信号を用いません。

(2) シリアル転送の終了

RSPIAは最終サンプリングタイミングに相当するRSPCK0エッジを検出するとシリアル転送を終了します。受信FIFOのデータ格納数がFIFO段数より少ない場合には、シリアル転送の終了後に、RSPIAはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信バッファの状態に関わらず、RSPIAはシリアル転送の終了後にシフトレジスタの状態をエンプティに変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIAのデータ長はSPCMD0.SPB[4:0]ビットの設定値に依存します。RSPIAの転送フォーマットの詳細については、「41.3.5 転送フォーマット(フレームフォーマット)」を参照してください。

(3) 初期化フロー

図 41.74 に、クロック同期式動作時の RSPIA をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

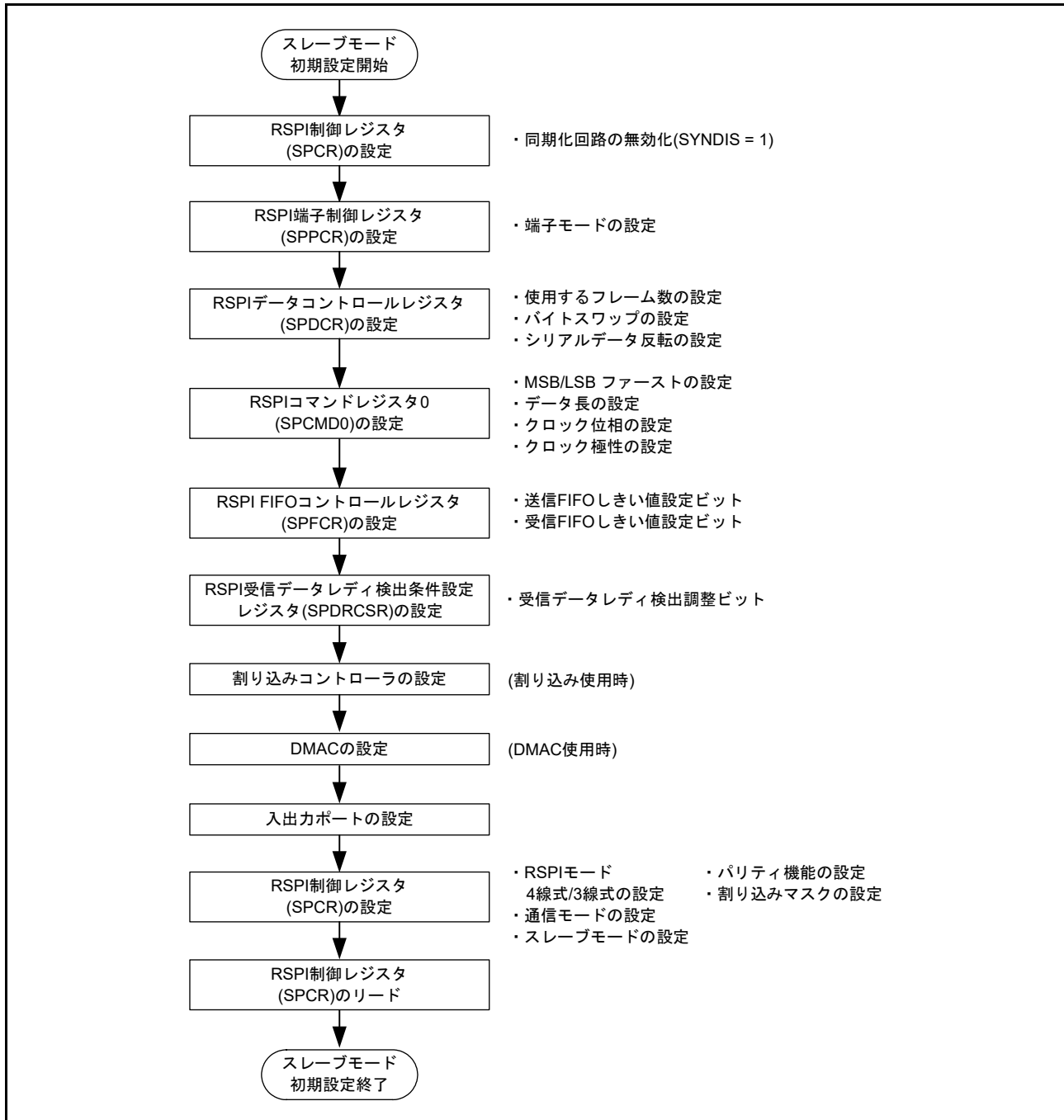


図 41.74 スレーブモード時の初期化フロー例

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「41.3.13.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

41.3.15 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書き込むと、RSPIA は、SPCR.MSTR ビットが“1”ならば MISO0 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば MOSI0 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。SPCR.MSTR ビットが“1”ならば MOSI0 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば MISO0 端子とシフトレジスタ間の経路は遮断しません。

また、ループバックモードでシリアル転送を実行すると、RSPIA の送信データまたは送信データの反転が RSPIA の受信データになります。

SPLP2 ビット、SPLP ビットの設定と受信データの関係を表 41.13 に示します。

表41.13 SPLP2ビット、SPLPビットの設定と受信データ

SPLP2ビット	SPLPビット	受信データ
0	0	MOSI0端子またはMISO0端子からの入力データ
0	1	送信データの反転
1	x	送信データ

x : don't care

図 41.75 に、ループバックモードのシフトレジスタ入出力経路の構成を示します。

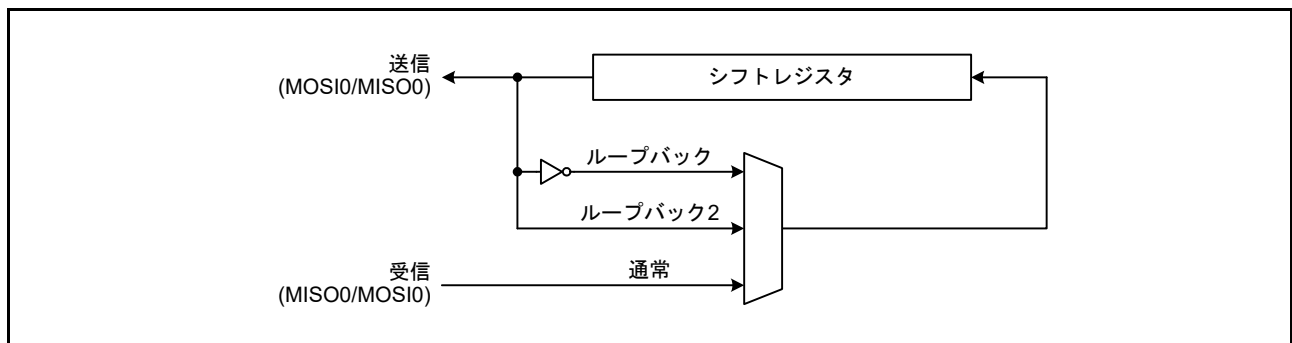


図 41.75 ループバックモード時のシフトレジスタ入出力構成

41.3.16 パリティ機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 41.76 のフローに従い、パリティ回路の自己診断を行います。

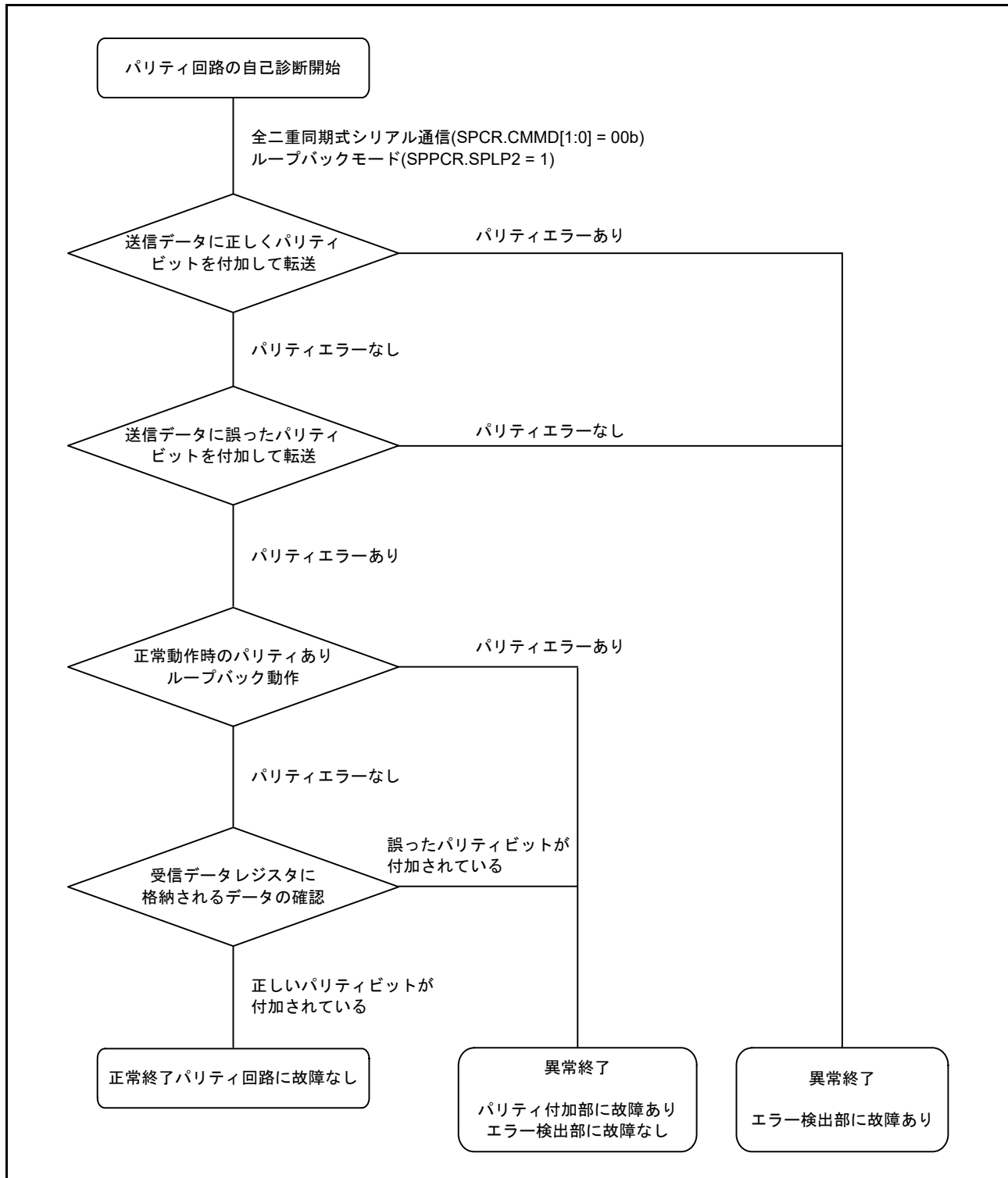


図 41.76 パリティ回路の自己診断フロー

41.3.17 割り込み要求

RSPIA の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、アンダラン、オーバラン、パリティエラー、アイドル、通信完了、受信データレディがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC、DMAC を起動し、データ転送を行うことができます。

モードフォルト、アンダラン、オーバラン、パリティエラー、受信データレディ (RDRIS = 1 のときのみ) の割り込み要求が SPEI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表 41.14 に、RSPI の割り込み要因を示します。表 41.14 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSPIA の設定を行ってください。DTC または DMAC の設定方法は「18. DMA コントローラ (DMACa)」、「20. データトランスファコントローラ (DTCb)」を参照してください。

送信バッファエンプティ割り込みおよび受信バッファフル割り込みは、ICU.IRn.IR フラグが“1”のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。ICU.IRn.IR フラグが“0”になると ICU に対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると内部に保持している割り込み要求は自動的にクリアします。また、内部で保持している割り込み要求は、対応する割り込みイネーブルビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にすることでクリアが可能です。

表41.14 RSPIAの割り込み要因

割り込み要因	略称	割り込み条件	DTC/DMAC起動
受信バッファフル 受信データレディ	SPRI	SPRIE = 1 & (SPRF = 1 (RDRIS = 0 & RRDYF = 1))	可能
送信バッファエンプティ	SPTI	SPTIE = 1 & SPTEF = 1	可能
モードフォルトエラー アンダランエラー オーバランエラー パリティエラー 受信データレディ	SPEI	SPEIE = 1 & (MODF = 1 OVRF = 1 PERF = 1 (RDRIS = 1 & RRDYF = 1))	不可能
アイドル	SPII	SPIIE = 1 & IDLNF = 0	不可能
通信完了	SPCI	SPCIE = 1 & SPCF = 1	不可能

41.3.18 イベントリンク機能によるリンク動作

イベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。
イベントリンク出力信号は、割り込み許可ビットに依存せず出力します。

41.3.18.1 受信バッファフルイベント出力

受信 FIFO のデータ格納数がしきい値を超え、または、RDRIS = 0 かつ受信 FIFO に書き込み後、受信 FIFO に格納されているデータ数がしきい値以下で SPDRCSR レジスタで設定値分、経過したときに、イベントを出力します。

イベントは、図 41.77 に示すタイミングで出力されます。

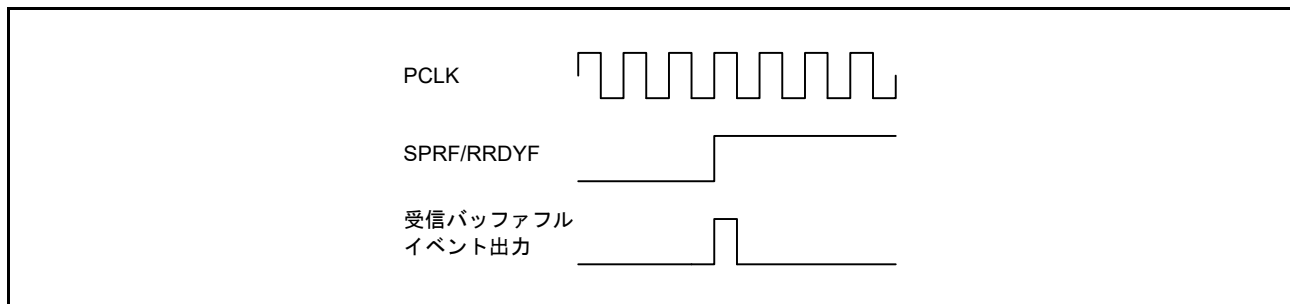


図 41.77 受信バッファフルイベント出力タイミング

41.3.18.2 送信バッファエンプティイベント出力

送信 FIFO の空き段数がしきい値を超えたとき、または、SPCR.SPE ビットを“0”から“1”に変化させたときにイベントを出力します。送信バッファエンプティイベントは、図 41.78 に示すタイミングで出力します。

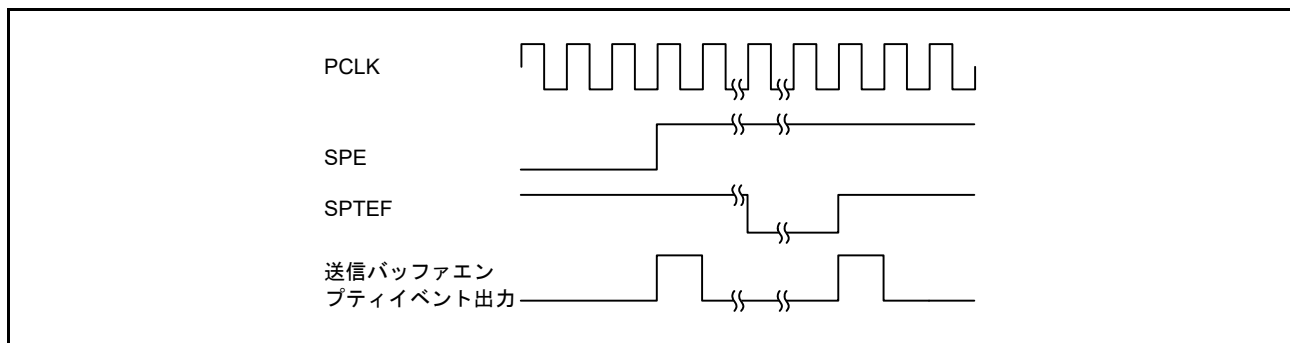


図 41.78 送信バッファエンプティイベント出力タイミング

41.3.18.3 エラーイベント出力

RSPIA のエラーイベントは、五つの要因 (モードフォルト、アンダラン、オーバラン、パリティエラー、受信データレディ) によって出力されます。エラーイベント使用時は、「41.4.3 エラーイベント出力に関する注意事項」も参照してください。

(1) モードフォルト

モードフォルトイベントは、以下の条件をすべて満たした場合に発生します。

- SPI 動作 (SPCR.SPMS = 0)
- スレーブモード (SPCR.MSTR = 0)
- モードフォルトエラー検出を許可 (SPCR.MODFEN = 1)
- 以下のいずれかを満たしたとき
 1. Motorola SPI プロトコル時、データ転送中に SSL00 端子が非アクティブになる
 2. TI SSP プロトコル時、データ転送中に SSL00 端子がアクティブになる

(2) アンダラン

アンダランイベント出力条件として、スレーブモード (SPCR.MSTR ビットが “0”)、SPCR.SPE ビットが “1” (RSPIA 機能が有効) かつ送信データの出力準備が整っていない状態でシリアル転送が開始されたとき、イベントを出力します。

(3) オーバラン

オーバランイベント出力条件として、SPCR.CMMD[1:0] ビットが “00b” または “10b”、かつ RSPIA 受信 FIFO に FIFO 段数分データが格納されている状態でシリアル転送が終了したとき、OVRF フラグが “1” となり、イベントを出力します。

(4) パリティエラー

パリティエラーイベント出力条件として、SPCR.CMMD[1:0] ビットが “00b” または “10b”、SPCR.SPPE ビットが “1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

(5) 受信データレディ

受信データレディイベント出力条件として、SPCR.CMMD[1:0] ビットが “00b” または “10b”、SPCR.RDRIS ビットが “1” のとき、受信 FIFO 書き込み後、受信 FIFO に格納されたデータ数が受信 FIFO しきい値以下の状態で SPDRCSR レジスタで設定値分、経過したとき、イベントを出力します。

(6) 出力タイミング

各エラーイベントは図 41.79 に示すタイミングで出力されます。

エラー発生するたびにエラーイベントは出力します。

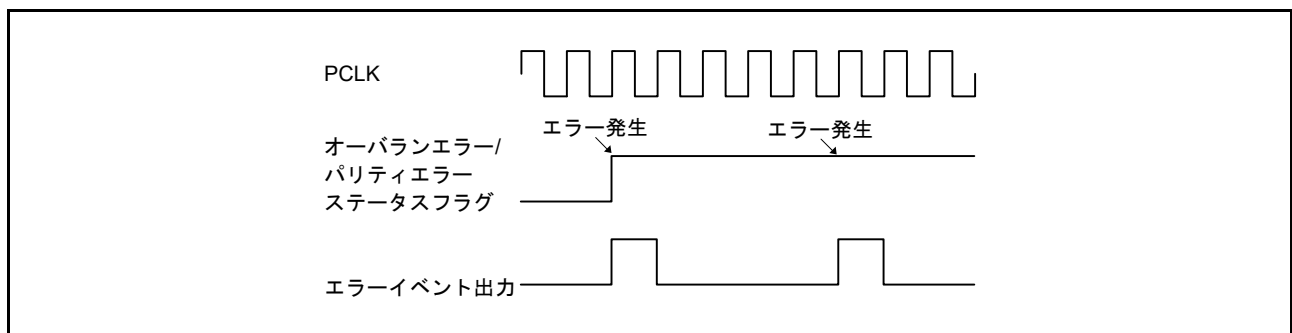


図 41.79 エラーイベント出力タイミング

41.3.18.4 アイドルイベント出力

(1) マスタモード時

[送受信モード / 送信専用モードの場合]

マスタ送受信モード / マスタ送信専用モードのときは、SPSR.IDLNF フラグが“1” → “0”になるタイミングで発生します。

IDLNF フラグが“1” → “0”になるのは下記の a)、b) いずれかの条件を満たしたときです。

- a) 送信中に SPCR.SPE ビットが“0” (RSPI 初期化) になったとき
- b) 下記の 3 条件がすべて一致したとき
 - 送信バッファ (SPTXn, n = 0 ~ 3) に次転送データがセットされていないとき
 - SPSSR.SPCP[2:0] ビットが“000b” (シーケンス制御の先頭) であるとき
 - 次アクセス遅延までが動作完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

[受信専用モードの場合]

マスタ受信専用モードのときは、下記の a)、b) いずれかの条件を満たしたときに発生します。

- a) SPCR.SPE ビットが“0” (RSPI 初期化) になったとき
- b) 下記のいずれかを満たしたとき
 - RFC[4:0] = 00000b 時、TERM ビットに“1”を書き込み後、次アクセス遅延までが完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)
 - RFC[4:0] ≠ 00000b 時、TERM ビットに“1”を書き込み後、次アクセス遅延までが完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)
 - RFC[4:0] ≠ 00000b 時、RFC[4:0] ビットで設定した受信フレーム数分処理が完了後、次アクセス遅延までが完了された状態 (マスタメインステートマシンがアイドル状態に遷移したとき)

(2) スレーブモード時

スレーブモードのときは、SPCR.SPE ビットが“0” (RSPI 初期化) になったとき、イベントを出力します。

(3) 出力タイミング

アイドルイベントは、図 41.80 に示すタイミングで出力されます。

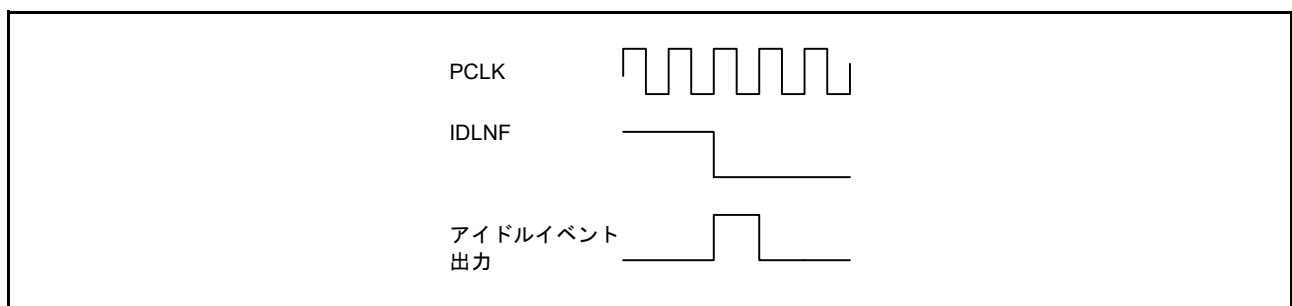


図 41.80 アイドルイベント出力タイミング

41.3.18.5 通信完了イベント出力

マスタモードのときは、IDLNF フラグ (アイドルフラグ) が “1” から “0” になる条件でイベントを出力します。

スレーブモードのときは、表 41.15、表 41.16 に示す条件で発生します。

表41.15 通信完了イベント発生条件(スレーブ送受信モード/スレーブ送信専用モード)

RSPIモード	送信バッファ状態	シフトレジスタ状態	その他
SPI動作 (SPMS = 0, FRFS = 0)	エンプティ	エンプティ	SSL00入カネゲート
SPI動作 (SPMS = 0, FRFS = 1)	エンプティ	エンプティ	SSLネゲート遅延が完了したとき
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終データのRSPCK0最終偶数エッジ検出

表41.16 通信完了イベント発生条件(スレーブ受信専用モード)

RSPIモード	その他
SPI動作 (SPMS = 0, FRFS = 0)	SPDCR.SPFC[1:0]ビットで設定した数のフレームを受信バッファに格納した後に、SSL00入カネゲート
SPI動作 (SPMS = 0, FRFS = 1)	SPDCR.SPFC[1:0]ビットで設定した数のフレームを受信バッファに格納した後に、SSLネゲート遅延が完了
クロック同期式動作 (SPMS = 1)	SPDCR.SPFC[1:0]ビットに設定した最終フレーム受信時のRSPCK0最終偶数エッジ検出

マスタ/スレーブモードに関わらず、通信動作中に SPCR.SPE ビットへの “0” の書き込み時、またはモードフォルトエラー/アンダランエラー発生による SPCR.SPE ビットのクリア時はイベントを出力しません。

通信完了イベントは、図 41.81 から図 41.86 に示すタイミングで出力されます。マスタモード動作時は、アイドルイベントと同じタイミングで出力するため省略します。

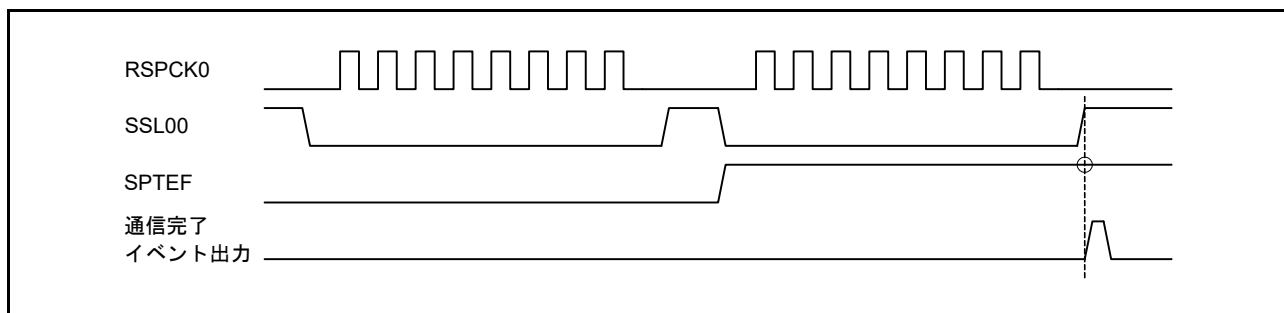


図 41.81 通信完了イベント出力タイミング (スレーブ送受信モード/スレーブ送信専用モード、Motorola SPI 動作時)

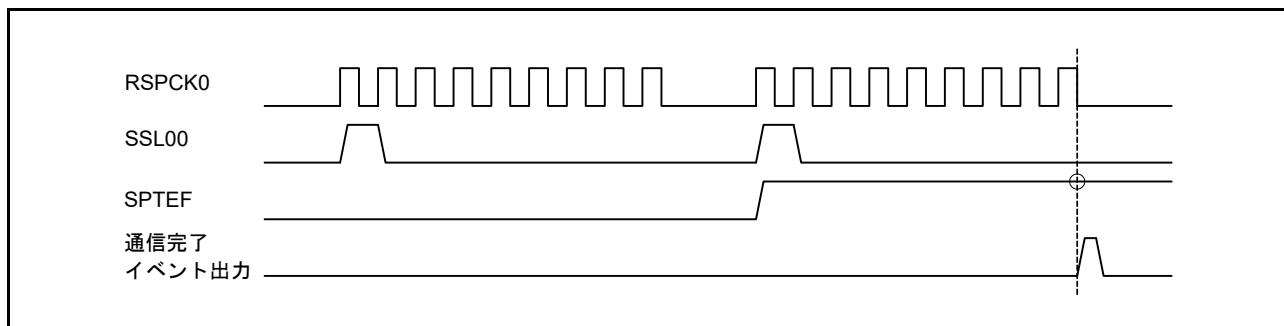


図 41.82 通信完了イベント出力タイミング (スレーブ送受信モード/スレーブ送信専用モード、TI SSP 動作時)

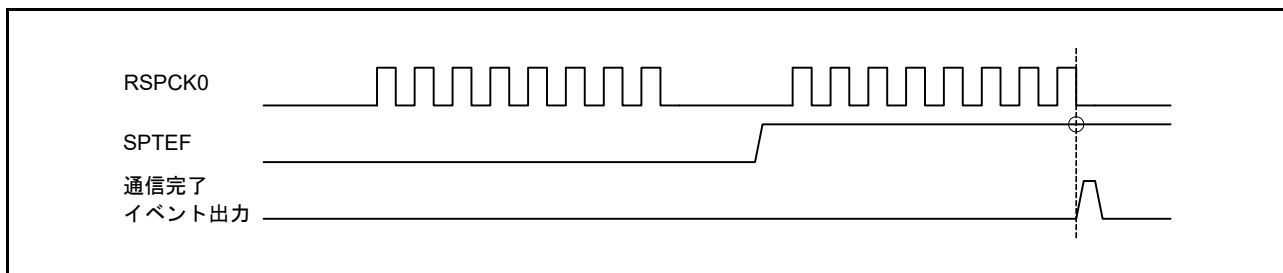


図 41.83 通信完了イベント出力タイミング (スレーブ送受信モード/スレーブ送信専用モード、クロック同期動作時)

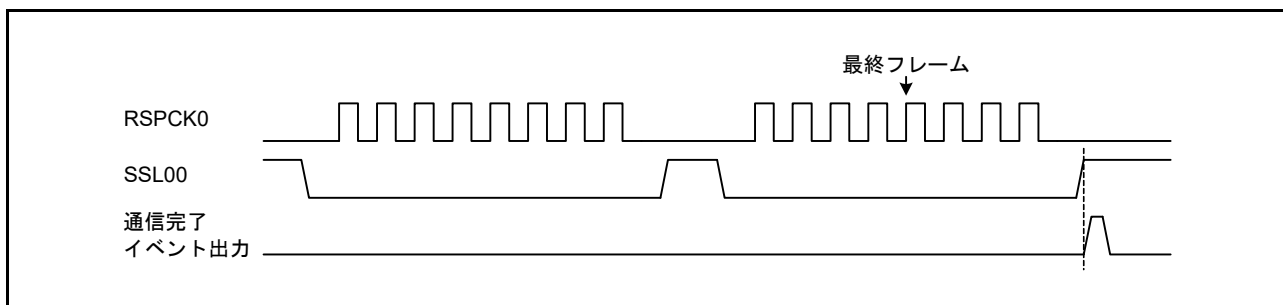


図 41.84 通信完了イベント出力タイミング (スレーブ受信専用モード、Motorola SPI 動作時)

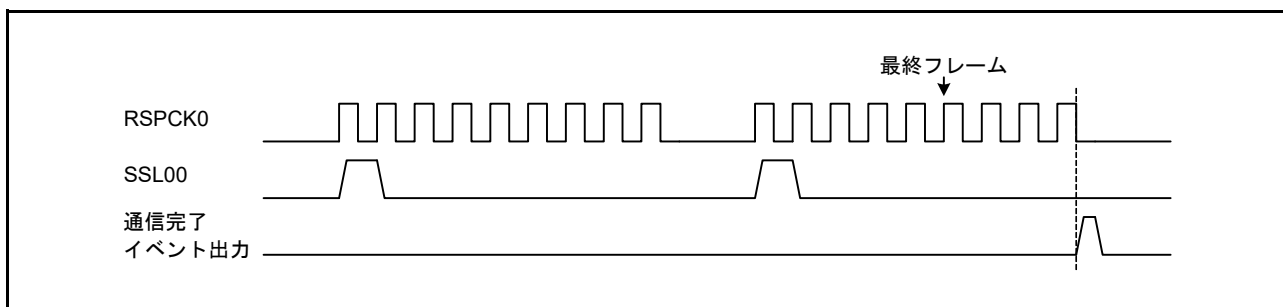


図 41.85 通信完了イベント出力タイミング (スレーブ受信専用モード、TI SSP 動作時)

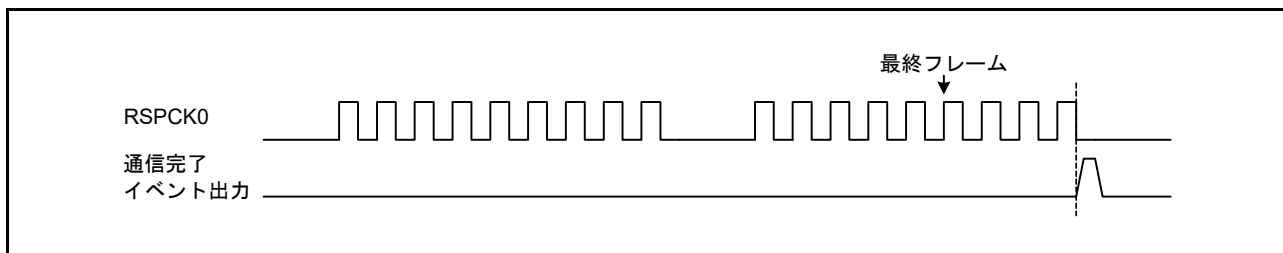


図 41.86 通信完了イベント出力タイミング (スレーブ受信専用モード、クロック同期動作時)

41.4 使用上の注意事項

41.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、RSPIA の動作を禁止または許可することができます。リセット後、RSPIA の動作は停止しています。モジュールストップ状態を解除することにより、レジスタにアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

41.4.2 通信の開始に関する注意事項

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”) する前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込みイネーブルビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”に設定
- (3) 対応する割り込みイネーブルビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグに“0”を設定

41.4.3 エラーイベント出力に関する注意事項

マルチマスタ環境で RSPIA を SPI 動作、マスタモードにする場合 (SPCR.SPMS ビットが“0”、SPCR.MSTR ビットが“1”、かつ SPCR.MODFEN ビットが“1”のとき) は、エラーイベント出力を使用しないでください。

41.4.4 消費電力低減機能の注意事項

消費電力低減機能を使用し本モジュールの消費電力を低減する場合、SPCR.SPE ビットを“0”に設定し通信を終了させた後、消費電力低減機能を使用してください。

41.4.5 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF、SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE、SPTIE ビットを“0”に設定してください。

41.4.6 マスタモード時のバースト転送に関する注意事項

バースト転送時、SSLKP ビットに“1”を設定した SPCMDm レジスタと次転送で使用する SPCMDm レジスタ間で以下の設定を変えることは禁止です。

- SSL 出力設定 (SSLA[2:0] ビット)
- RSPCK 出力設定 (CPHA、CPOL、BRDV[1:0] ビット)

41.4.7 スレーブ TI SSP モード時の注意事項

スレーブ TI SSP モード時、フレーム間の遅延は、以下の間隔を守る必要があります。マスタ側で以下の間隔を確保してください。

[マスタ側 : 最終ビットの RSPCK エッジから、次の SSL の RSPCK エッジまでの間隔]

> [スレーブ側 : OE 遅延時間 = PCLKA × {1~2} + SLNDL[2:0] 設定値]

41.4.8 データ長に関する注意事項

データ長による動作の可否を、表 41.17 に記載します。

表41.17 データ長と動作の可否(SPCMDm.BRDV[1:0] = 00b, SPBR = 00h)

データ長										
4ビット	5ビット	6ビット	7ビット	8ビット	9ビット	10ビット	11ビット	12ビット	13ビット	14ビット
△	△	△	○	○	○	○	○	○	○	○

○ : 動作可能

△ : SPCR.SCKASE = 0 または SCKDDIS = 0 のときは動作可能

41.4.9 レジスタ書き換えに関する注意事項

SPCR.SPE ビットが“1”のときに以下のレジスタやビットを書き換えた場合、それ以降の動作は保証されません。

表41.18 SPEビットが“1”のときに書き換え禁止のレジスタ、ビット一覧 (1/2)

レジスタ	ビット
SPCKD	SCKDL[2:0]
SSLND	SLNDL[2:0]
SPND	SPNDL[2:0]
SPCR	SYNDIS
	MSTR
	CMMD[1:0]
	FRFS
	SPMS
	MODFEN
	SCKDDIS
	SCKASE
	PTE
	SPOE
SPPE	
SPRMCR	RFC[4:0]
SPDRCSR	—
SPPCR	MOIFE
	MOIFV
	SPLP2
	SPLP
SSLP	SSL3P
	SSL2P
	SSL1P
	SSL0P
SPBR	—
SPSCR	SPSLN[2:0]

表41.18 SPEビットが“1”のときに書き換え禁止のレジスタ、ビット一覧 (2/2)

レジスタ	ビット
SPCMD0 (注1)	SSLA[2:0]
	SPB[4:0]
	SCKDEN
	SLNDEN
	SPNDEN
	LSBF
	SSLKP
	BRDV[1:0]
	CPOL
	CPHA
SPDCR	SPFC[1:0]
	DINV
	SPRDTD
	BYSW
SPFCR	TTRG[1:0]
	RTRG[1:0]
SPFCLR	FCLR

注1. スレーブモード時は書き換え禁止。マスタモード時は送信FIFOに次転送データがないときのみ書き換え可能。

42. クワッドSPIメモリインタフェース(QSPIX)

クワッドSPIメモリインタフェース(QSPIX)モジュールは、SPI互換インタフェースを持つシリアルROM(シリアルフラッシュメモリ、シリアルEEPROM、シリアルFeRAMなどの不揮発性メモリ)を接続するためのメモリコントローラです。

42.1 概要

表 42.1 に QSPIX の仕様を、図 42.1 にブロック図を、表 42.2 に入出力端子を示します。

表 42.1 QSPIXの仕様

項目	内容
チャンネル数	1チャンネル
SPI	<ul style="list-style-type: none"> Single/拡張SPI、Dual SPI、Quad SPIの各プロトコルをサポート SPIモード0とSPIモード3に対応 アドレスサイズは8、16、24、32ビットから選択可能
タイミング調整機能	各種シリアルROMに対応したタイミングの生成が可能
メモリマップドモード	MCUのメモリ空間をアクセスすることで、シリアルROMのデータを読み出すモード <ul style="list-style-type: none"> Read、Fast Read、Fast Read Dual Output、Fast Read Dual I/O、Fast Read Quad Output、Fast Read Quad I/Oの各命令をサポート 命令コードの代替が可能 ダミーサイクル数の変更が可能 プリフェッチ機能 ポーリング処理 SPIバスサイクル延長機能 XIP (execute in place) モード
間接アクセスモード	QSPIXのデータレジスタをアクセスすることで、シリアルROMのデータにアクセスするモード <ul style="list-style-type: none"> ソフトウェア制御による、イレーズ、プログラム、IDリード、パワーダウン制御を含む各種シリアルフラッシュ命令/機能を柔軟にサポート
割り込み要因	エラー割り込み
消費電力低減機能	モジュールストップ状態への遷移が可能

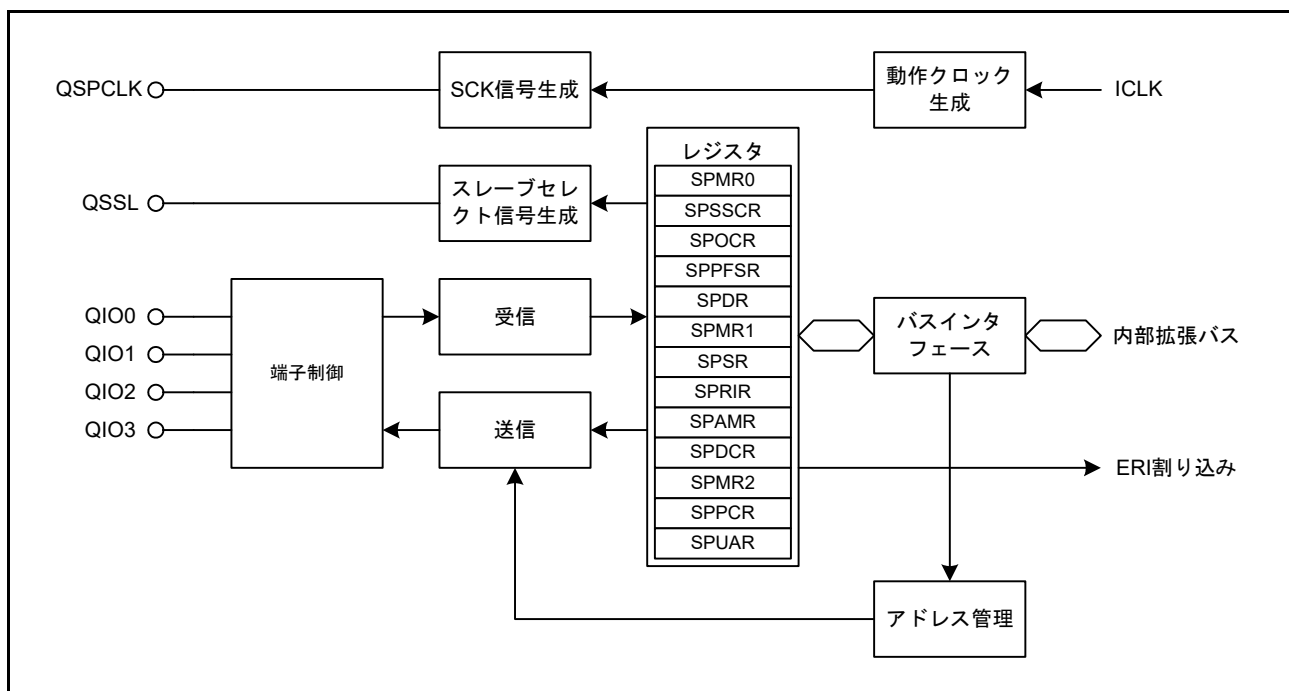


図 42.1 QSPIXのブロック図

表 42.2 QSPIXの入出力端子

端子名	入出力	機能
QSPCLK	出力	QSPIXのクロック出力端子
QSSL	出力	QSPIXのスレーブセレクト端子
QIO0	入出力	データ0入出力端子
QIO1	入出力	データ1入出力端子
QIO2	入出力	データ2入出力端子/WP#信号出力
QIO3	入出力	データ3入出力端子

42.2 レジスタの説明

42.2.1 モードレジスタ 0 (SPMR0)

アドレス QSPIX.SPMR0 7400 0000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SRIS	—	—	—	—	—	DODE	CKMD	—	PFE	SSE[1:0]	—	—	RISEL[2:0]	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RISEL[2:0]	リード命令選択ビット	b2 b0 0 0 0 : Read (03h (注1)/13h) 0 0 1 : Fast Read (0Bh/0Ch) 0 1 0 : Fast Read Dual Output (3Bh/3Ch) 0 1 1 : Fast Read Dual I/O (BBh/BCh) 1 0 0 : Fast Read Quad Output (6Bh/6Ch) 1 0 1 : Fast Read Quad I/O (EBh/ECh) 1 1 0 : 設定禁止 1 1 1 : 設定禁止	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	SSE[1:0]	スレーブセレクト延長ビット	b5 b4 0 0 : QSSLを延長しない 0 1 : QSPCLK 33サイクルの期間QSSLを延長 1 0 : QSPCLK 129サイクルの期間QSSLを延長 1 1 : 不連続アドレスを検出するまでQSSLを延長	R/W
b6	PFE	プリフェッチ機能許可ビット	0 : 機能は無効 1 : 機能は有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CKMD	クロックモード選択ビット	0 : SPIモード0 1 : SPIモード3	R/W
b9	DODE	データ出力駆動期間延長ビット	0 : 延長しない 1 : QSPCLK 1サイクルの期間延長	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	SRIS	独自リード命令選択ビット	0 : RISEL[2:0]ビットで選択した命令コードを使用 1 : SPRIRレジスタに設定した命令コードを使用	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SPAMR.SIZE[1:0]ビットが“00b”の場合、アドレスのビット8 (A8)が命令コードのビット3に割り当てられるため、“0Bh”が出力されることがあります。

42.2.2 スレーブセレクト信号制御レジスタ (SPSSCR)

アドレス QSPIX.SPSSCR 7400 0004h

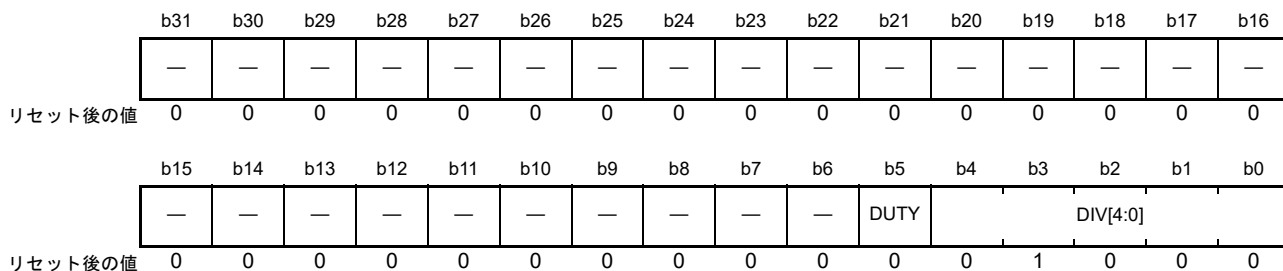
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	SSSU	SSHLD	SSHW[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	SSHW[3:0]	スレーブセレクトHigh幅設定ビット	b3 b0 0000: 動作クロック1サイクル 0001: 動作クロック2サイクル 0010: 動作クロック3サイクル 0011: 動作クロック4サイクル 0100: 動作クロック5サイクル 0101: 動作クロック6サイクル 0110: 動作クロック7サイクル 0111: 動作クロック8サイクル 1000: 動作クロック9サイクル 1001: 動作クロック10サイクル 1010: 動作クロック11サイクル 1011: 動作クロック12サイクル 1100: 動作クロック13サイクル 1101: 動作クロック14サイクル 1110: 動作クロック15サイクル 1111: 動作クロック16サイクル	R/W
b4	SSHLD	スレーブセレクトホールド時間設定ビット	0: QSPCLKの最後の立ち上がりエッジから動作クロックの0.5サイクル後にQSSL信号をネゲート 1: QSPCLKの最後の立ち上がりエッジから動作クロックの1.5サイクル後にQSSL信号をネゲート	R/W
b5	SSSU	スレーブセレクトセットアップ時間設定ビット	0: QSPCLKの最初の立ち上がりエッジより動作クロックの0.5サイクル前にQSSL信号をアサート 1: QSPCLKの最初の立ち上がりエッジより動作クロックの1.5サイクル前にQSSL信号をアサート	R/W
b31-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

スレーブセレクト (QSSL) 信号のタイミングを設定するレジスタです。

42.2.3 動作クロック制御レジスタ (SPOCR)

アドレス QSPIX.SPOCR 7400 0008h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DIV[4:0]	クロック分周比選択ビット	b4 b0 0 0 0 0 : ICLK/2 0 0 0 1 : ICLK/3 (注1) 0 0 1 0 : ICLK/4 0 0 1 1 : ICLK/5 (注1) 0 0 1 0 : ICLK/6 0 0 1 0 1 : ICLK/7 (注1) 0 0 1 1 0 : ICLK/8 0 0 1 1 1 : ICLK/9 (注1) 0 1 0 0 0 : ICLK/10 0 1 0 0 1 : ICLK/11 (注1) 0 1 0 1 0 : ICLK/12 0 1 0 1 1 : ICLK/13 (注1) 0 1 1 0 0 : ICLK/14 0 1 1 0 1 : ICLK/15 (注1) 0 1 1 1 0 : ICLK/16 0 1 1 1 1 : ICLK/17 (注1) 1 0 0 0 0 : ICLK/18 1 0 0 0 1 : ICLK/20 1 0 0 1 0 : ICLK/22 1 0 0 1 1 : ICLK/24 1 0 1 0 0 : ICLK/26 1 0 1 0 1 : ICLK/28 1 0 1 1 0 : ICLK/30 1 0 1 1 1 : ICLK/32 1 1 0 0 0 : ICLK/34 1 1 0 0 1 : ICLK/36 1 1 0 1 0 : ICLK/38 1 1 0 1 1 : ICLK/40 1 1 1 0 0 : ICLK/42 1 1 1 0 1 : ICLK/44 1 1 1 1 0 : ICLK/46 1 1 1 1 1 : ICLK/48	R/W
b5	DUTY	デューティ補正ビット	0 : 補正なし 1 : 分周比を奇数にした場合に、デューティを補正する	R/W
b31-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DUTYビットを“1”にしてください。

動作クロックの周波数 (= QSPCLK の周波数) とデューティ比を設定するレジスタです。

42.2.4 プリフェッチステータスレジスタ (SPPFSR)

アドレス QSPIX.SPPFSR 7400 000Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PFOSF	PBFUL	—	PBLVL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PBLVL[4:0]	プリフェッチバッファ格納レベル	b4 b0 00000 : 0バイト 00001 : 1バイト 00010 : 2バイト 00011 : 3バイト 00100 : 4バイト 00101 : 5バイト 00110 : 6バイト 00111 : 7バイト 01000 : 8バイト 01001 : 9バイト 01010 : 10バイト 01011 : 11バイト 01100 : 12バイト 01101 : 13バイト 01110 : 14バイト 01111 : 15バイト 10000 : 16バイト 10001 : 17バイト 10010 : 18バイト	R
b5	—	予約ビット	読むと“0”が読めます。	R
b6	PBFUL	プリフェッチバッファフルフラグ	0 : プリフェッチバッファに空きあり 1 : プリフェッチバッファに空きなし	R
b7	PFOSF	プリフェッチ機能動作ステータスフラグ	0 : プリフェッチ機能は動作中 1 : プリフェッチ機能は無効または動作していない	R
b31-b8	—	予約ビット	読むと“0”が読めます。	R

42.2.5 SPI データレジスタ (SPDR)

アドレス QSPIX.SPDR 7400 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	このレジスタへのリード/ライトはSPIバスサイクルに変換されます。間接アクセスモード(SPMR1.AMODビットが“1”)でのみアクセス可能です。メモリマップドモードでは、このレジスタへのアクセスは無視されます。	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

42.2.6 モードレジスタ 1 (SPMR1)

アドレス QSPIX.SPMR1 7400 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AMOD	フラッシュメモリアクセスモード選択ビット	0 : メモリマップドモード 1 : 間接アクセスモード(注1)	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 間接アクセスモード時にSPIバスサイクル終了させるときは、このビットに“1”を上書きしてください。

42.2.7 SPIステータスレジスタ (SPSR)

アドレス QSPIX.SPSR 7400 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ROMAE	—	—	—	—	—	—	BUSY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BUSY	バスビジーフラグ	0 : 処理中のシリアル転送なし 1 : 処理中のシリアル転送あり	R
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAE	ROMアクセスエラーフラグ	0 : ROMアクセスエラーなし 1 : ROMアクセスエラーあり	R/(W) (注1)
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. このフラグには“0”のみ書けます。

このレジスタは、間接アクセスモード時に SPI バスの状態を監視するためのレジスタです。

42.2.8 独自リード命令設定レジスタ (SPRIR)

アドレス QSPIX.SPRIR 7400 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	メモリマップドモード時に生成される命令を指定したい場合、ここにその命令コードを設定し、SPMR0.SRISビットを“1”にしてください	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

42.2.9 アドレスモードレジスタ (SPAMR)

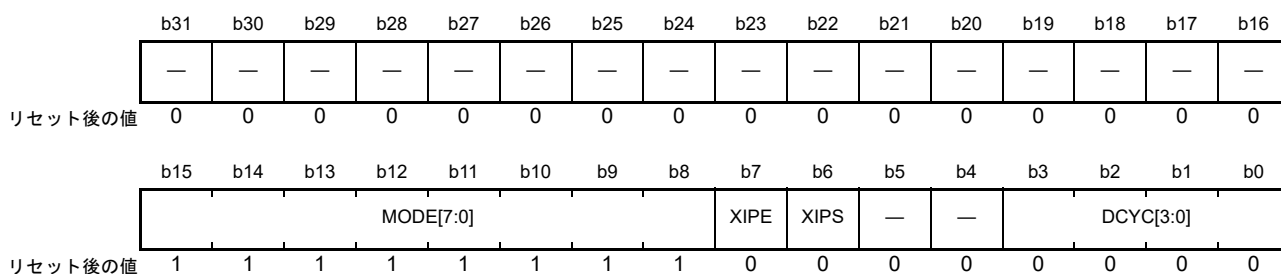
アドレス QSPIX.SPAMR 7400 0024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	I4AE	—	—	—	SIZE[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SIZE[1:0]	アドレスサイズ設定ビット	b1 b0 0 0 : 1バイト(8ビットアドレス) 0 1 : 2バイト(16ビットアドレス) 1 0 : 3バイト(24ビットアドレス) 1 1 : 4バイト(32ビットアドレス)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	I4AE	4バイトアドレス命令許可ビット	0 : 4バイトアドレス命令を使用しない 1 : 4バイトアドレス命令を使用する	R/W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

42.2.10 ダミーサイクル制御レジスタ (SPDCR)

アドレス QSPIX.SPDCR 7400 0028h



ビット	シンボル	ビット名	機能	R/W
b3-b0	DCYC[3:0]	ダミーサイクル数設定ビット	b3 b0 0000 : 命令ごとのデフォルトダミーサイクル - Read : 0サイクル(ダミーサイクルなし) - Fast Read : 8サイクル - Fast Read Dual Output : 8サイクル - Fast Read Dual I/O : 4サイクル - Fast Read Quad Output : 8サイクル - Fast Read Quad I/O : 6サイクル 0001 : 3サイクル(注1) 0010 : 4サイクル 0011 : 5サイクル 0100 : 6サイクル 0101 : 7サイクル 0110 : 8サイクル 0111 : 9サイクル 1000 : 10サイクル 1001 : 11サイクル 1010 : 12サイクル 1011 : 13サイクル 1100 : 14サイクル 1101 : 15サイクル 1110 : 16サイクル 1111 : 17サイクル	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	XIPS	XIPステータスフラグ	0 : 標準リードモード 1 : XIPモード	R
b7	XIPE	XIP許可ビット	0 : XIPモード禁止 1 : XIPモード許可	R/W
b15-b8	MODE[7:0]	モードデータ	XIPモードにおいて、ダミーサイクル中に出力するデータを設定します	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SPMR0.DODE ビットを“1”にしてデータ出力駆動期間を延長した場合は、設定禁止です。

42.2.11 モードレジスタ 2 (SPMR2)

アドレス QSPIX.SPMR2 7400 0030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IOMOD[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IOMOD[1:0]	I/Oモード選択ビット	b1 b0 0 0 : Single/拡張SPIプロトコル 0 1 : Dual SPIプロトコル 1 0 : Quad SPIプロトコル 1 1 : 設定禁止	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

42.2.12 ポート制御レジスタ (SPPCR)

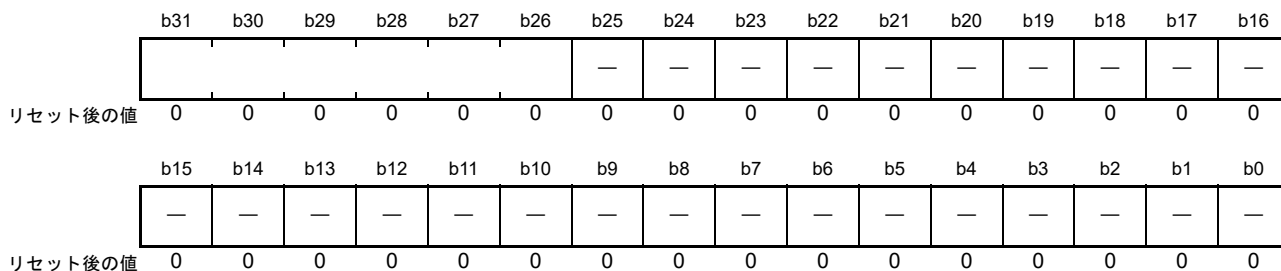
アドレス QSPIX.SPPCR 7400 0034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	WP	WP端子制御ビット	0 : Lowレベル 1 : Highレベル	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

42.2.13 上位アドレスレジスタ (SPUAR)

アドレス QSPIX.SPUAR 7400 0804h



ビット	シンボル	ビット名	機能	R/W
b25-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b26	—	—	SPI空間アクセスウィンドウのオフセットアドレス(26ビット)に対し、不足する上位6ビットを設定します。メモリマップドモード時に有効です	R/W

42.3 メモリマップ

図 42.2 に QSPI 領域内のメモリマップと SPI 空間の関係を示します。

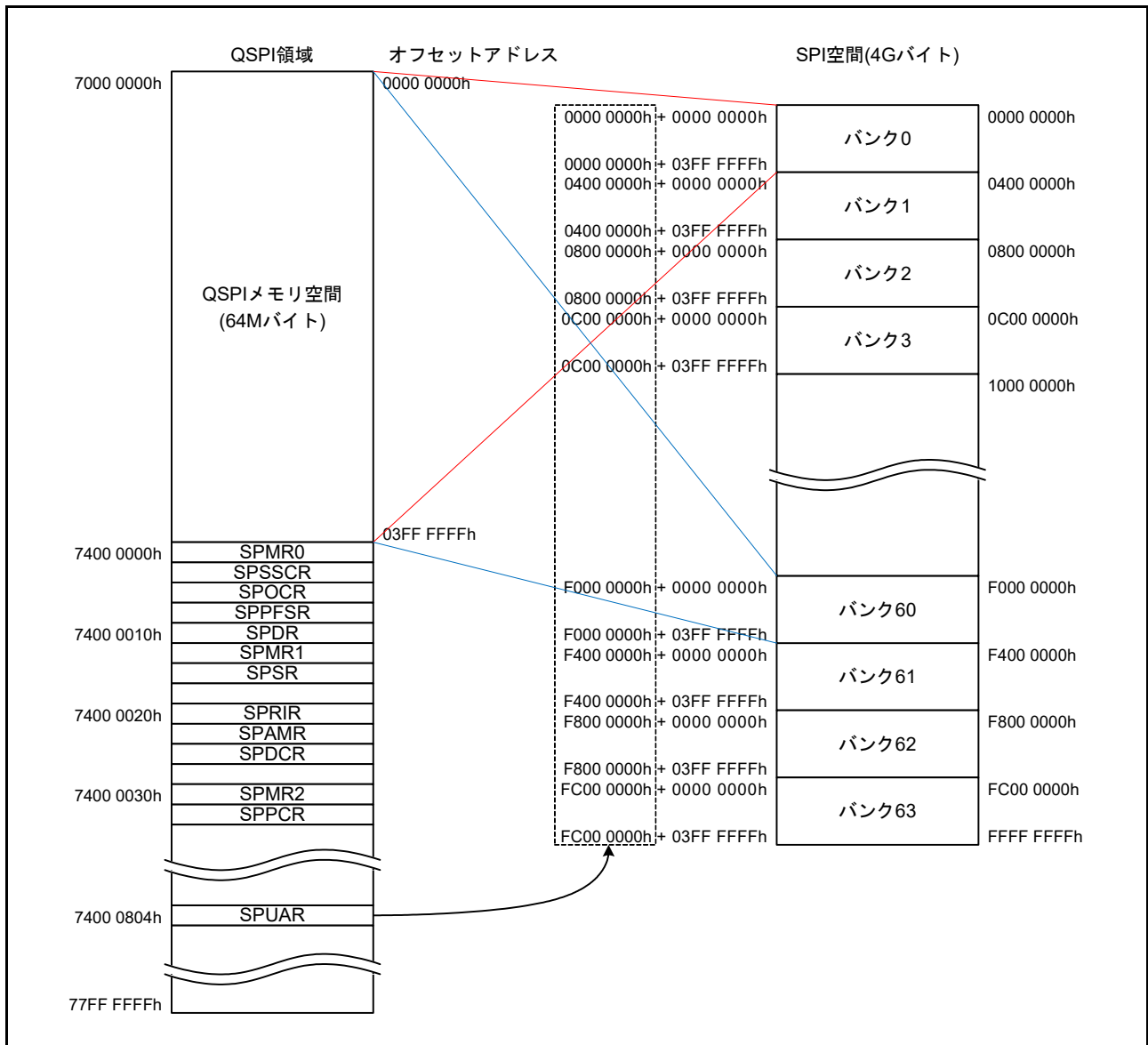


図 42.2 QSPI 領域内のメモリマップと SPI 空間の関係

QSPI メモリ空間内の任意のアドレスをリードすると、自動的に SPI バスサイクルが生成され、シリアル ROM から読み出されたデータが返されます。

SPI 空間をアクセスするためのアドレスは、SPUAR レジスタの上位 6 ビットと QSPI メモリ空間のオフセットから生成されます。こうして生成された SPI 空間のアドレスは 32 ビットありますが、SPI バスに出力されるアドレスは SPAMR.SIZE[1:0] ビットにより 8、16、24、32 ビットの中から選択します。8、16、24 ビットを選択した場合、アドレスの下位ビット側が SPI バスに出力されます。

42.4 SPIバス

42.4.1 SPIプロトコル

QSPIXは、Single/ 拡張SPIプロトコル、Dual SPIプロトコル、およびQuad SPIプロトコルをサポートしています。初期状態はSingle/ 拡張SPIプロトコルです。プロトコルを変更するには、SPMR2.IOMOD[1:0]ビットを設定してください。

42.4.1.1 Single/ 拡張SPIプロトコル

Single/ 拡張SPIプロトコルでは、命令コードの出力にQIO0端子のみを使用します。使用する命令コード(SPMR0.RISEL[2:0]ビットの設定)に従い、1～4本の端子を使用して、後続のアドレスやデータの入出力を行います。

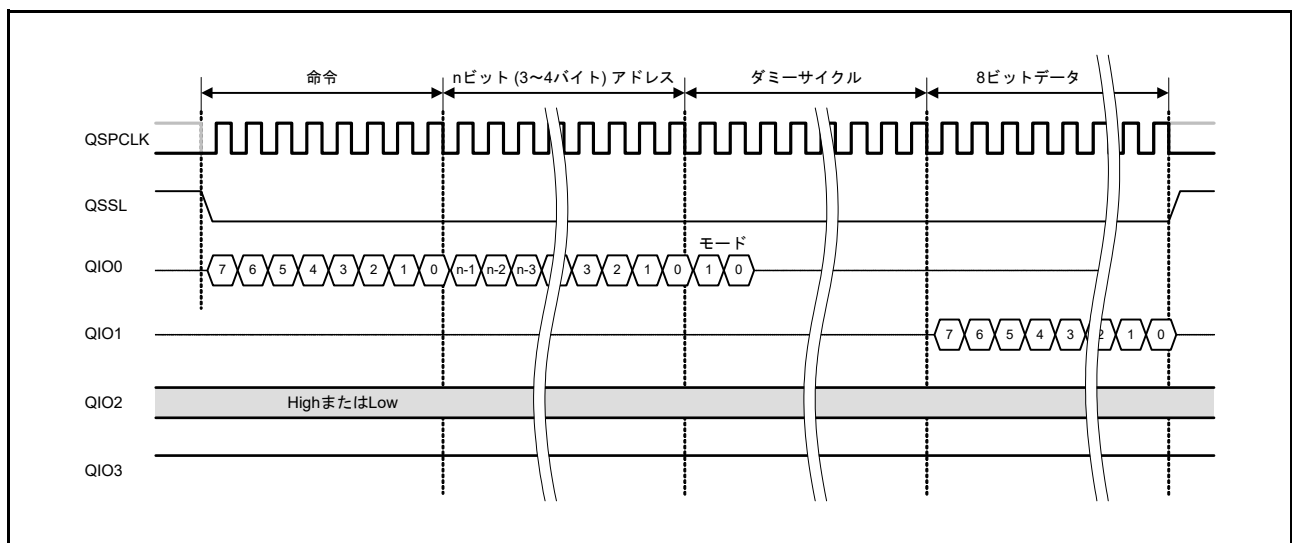


図 42.3 Single SPI プロトコル例 (Fast Read)

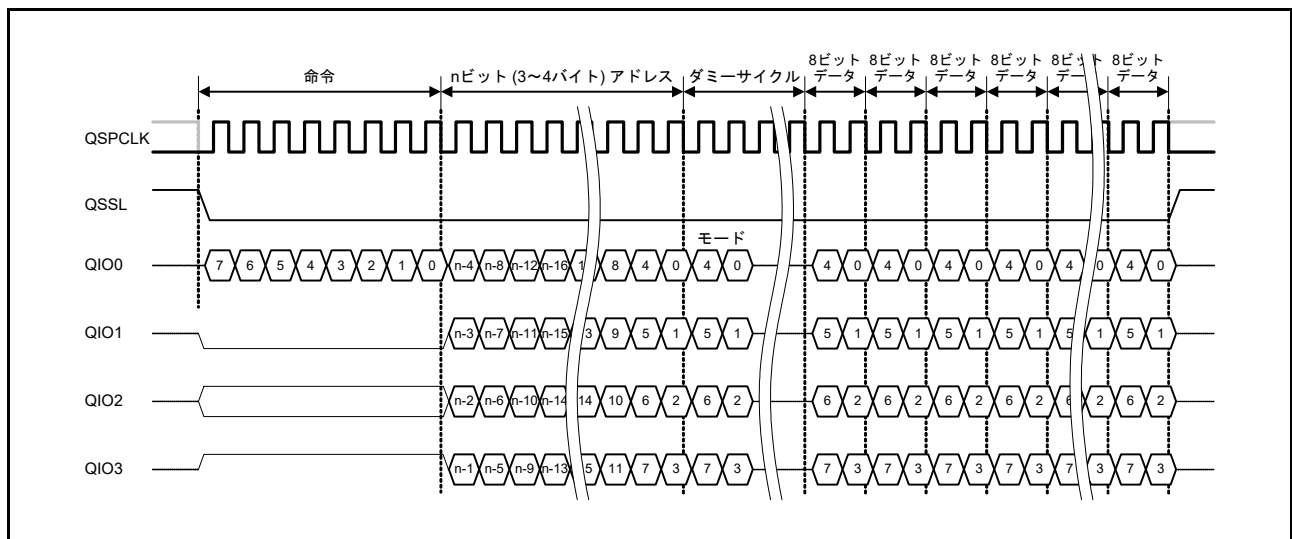


図 42.4 拡張SPIプロトコル例 (Fast Read Quad I/O)

42.4.1.2 Dual SPI プロトコル

Dual SPI プロトコルでは、QIO0 と QIO1 の 2 端子を使用して、命令コード、アドレス、データなど、すべての信号の入出力を行います。

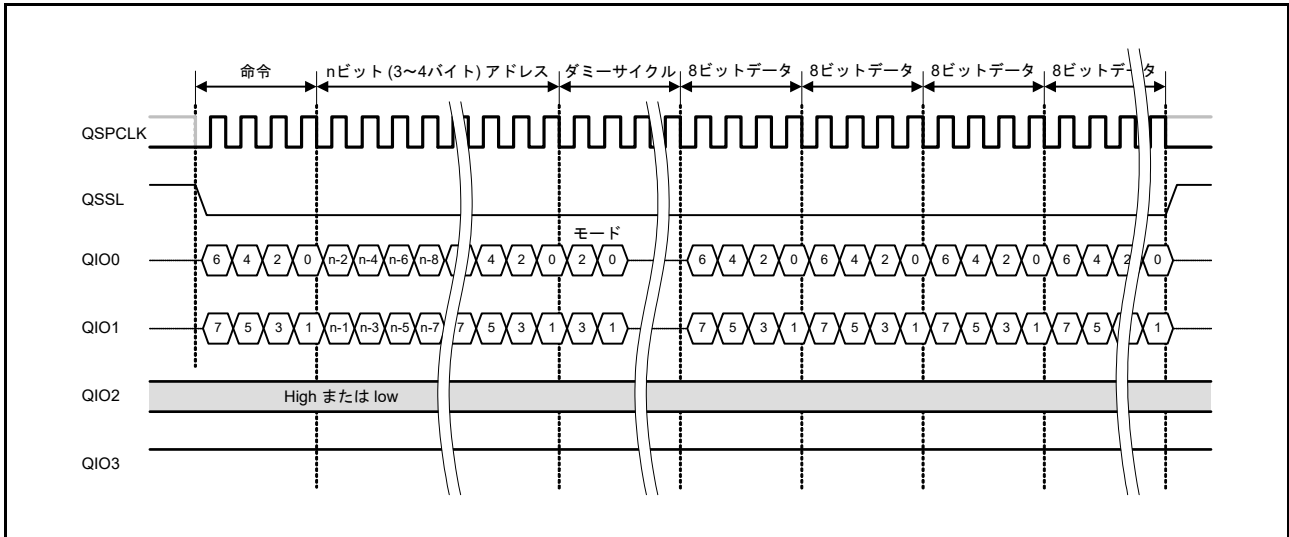


図 42.5 Dual SPI プロトコル例 (Fast Read)

42.4.1.3 Quad SPI プロトコル

Quad SPI プロトコルでは、QIO0、QIO1、QIO2、QIO3 の 4 端子を使用して、命令コード、アドレス、データなど、すべての信号の入出力を行います。

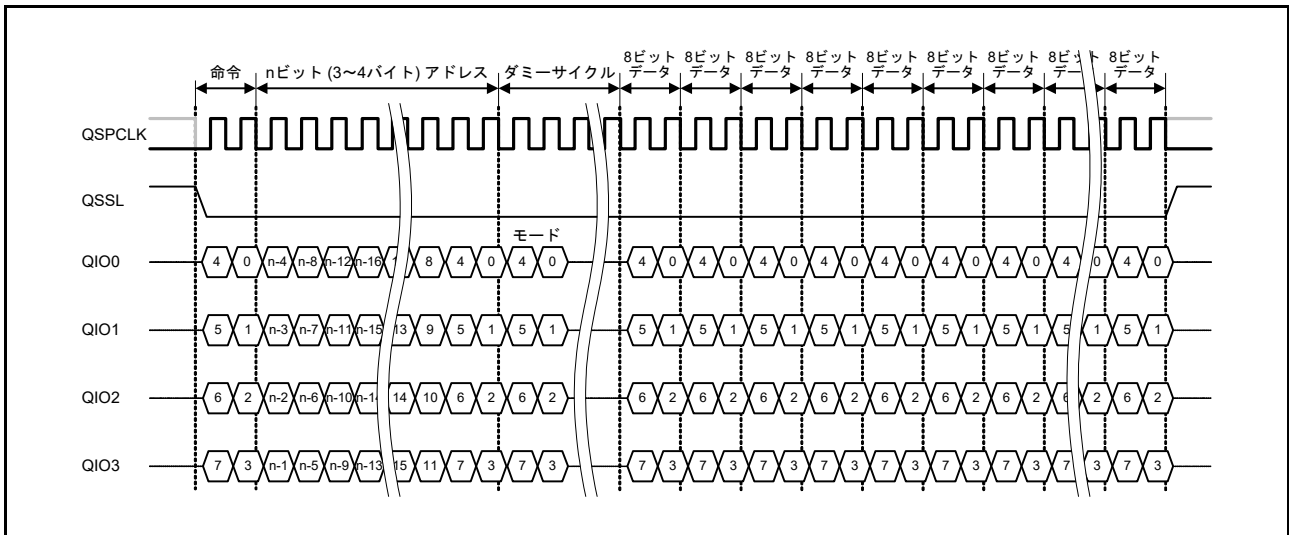


図 42.6 Quad SPI プロトコル例 (Fast Read)

42.4.2 SPIモード

SPMR0.CKMD ビットによって、SPIモード0またはSPIモード3のいずれかを選択できます。この設定は、動作中にレジスタ設定を変更して切り替えることができます。SPIモード0とSPIモード3の違いは、QSPCLK信号が停止しているときのレベルで、SPIモード0ではLow、SPIモード3ではHighです。

送信データは、QSPCLKの立ち下がりエッジでMCUから出力され、QSPCLKの立ち上がりエッジでシリアルROMに読み込まれます。受信データは、QSPCLKの立ち下がりエッジでシリアルROMから出力され、QSPCLKの次の立ち下がりエッジでMCUに読み込まれます。

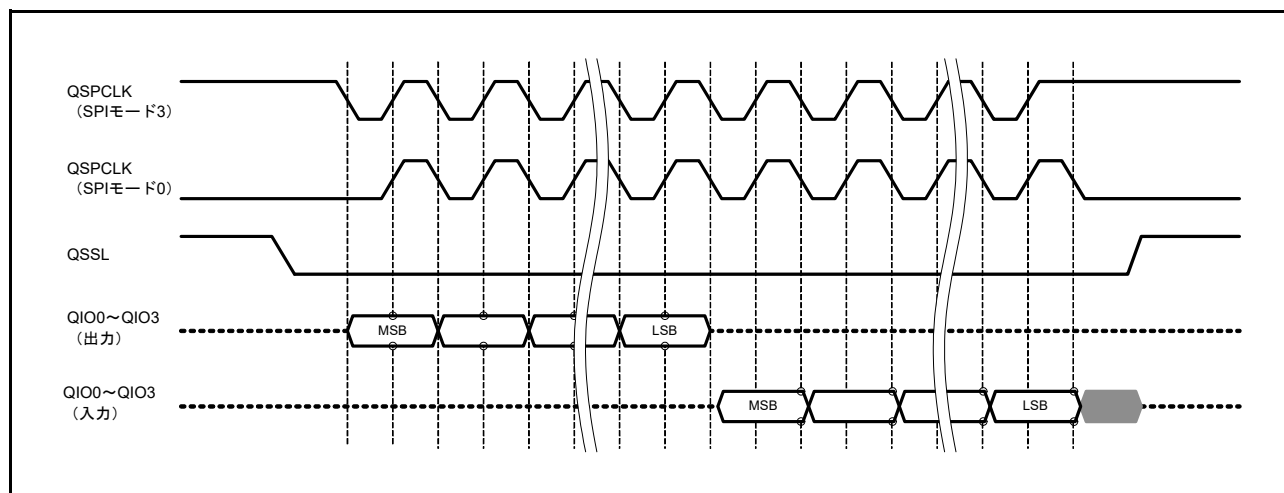


図 42.7 シリアルインタフェースの基本タイミング

42.5 SPIバスタイミング調整

SPIバス上の各種信号タイミングは、レジスタ設定によって調整できます。設定したタイミングは、メモリマップドモードや間接アクセスモードに関わらず、すべてのSPIバスサイクルに適用されます。

42.5.1 SPIバス動作クロック

SPIバスは、ICLKを分周して得られる動作クロックに従って動作します。動作クロックの周波数は、SPOCR.DIV[4:0]ビットにより、ICLKの2～48分周の範囲で選択できます。

表42.3 DIV[4:0]ビット、分周比、および動作クロック周波数の関係(ICLK = 120 MHz時)

DIV[4:0]	分周比	動作クロック周波数(MHz)
11111b	48	2.50
11110b	46	2.61
11101b	44	2.73
11100b	42	2.86
11011b	40	3.00
11010b	38	3.16
11001b	36	3.33
11000b	34	3.53
10111b	32	3.75
10110b	30	4.00
10101b	28	4.29
10100b	26	4.62
10011b	24	5.00
10010b	22	5.45
10001b	20	6.00
10000b	18	6.67
01111b	17	7.06
01110b	16	7.50
01101b	15	8.00
01100b	14	8.57
01011b	13	9.23
01010b	12	10.00
01001b	11	10.91
01000b	10	12.00
00111b	9	13.33
00110b	8	15.00
00101b	7	17.14
00100b	6	20.00
00011b	5	24.00
00010b	4	30.00
00001b	3	40.00
00000b	2	60.00

42.5.2 QSPCLK 信号デューティ比

動作クロックが ICLK の偶数分周に設定されている場合、QSPCLK 信号の High 幅と Low 幅は一致しますが、ICLK の奇数分周に設定されている場合は、High 幅は Low 幅よりも 1 ICLK サイクルだけ長くなります。

ICLK の奇数分周を動作クロックにする場合、QSPCLK 信号のデューティ比を 50% に近づけるには、SPOCR.DUTY ビットを“1”にして、QSPCLK 出力信号の立ち上がりエッジを 0.5 ICLK サイクル遅らせてください。

動作クロックが ICLK の偶数分周の場合、SPOCR.DUTY ビットの設定は無視されます。

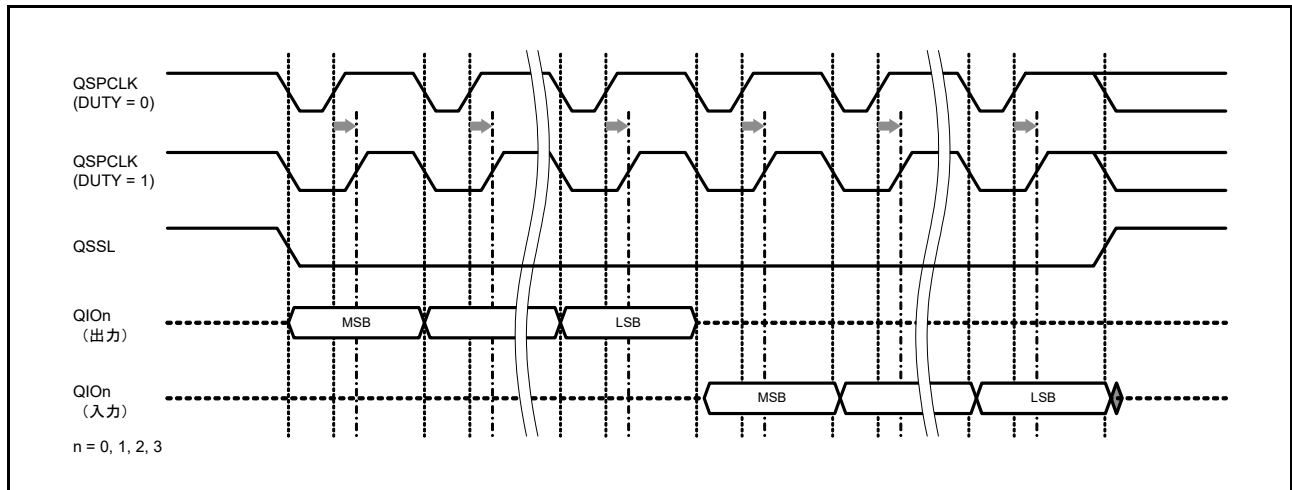


図 42.8 DUTY ビットを使用した QSPCLK 信号デューティ比の補正例 (ICLK を 3 分周した場合)

42.5.3 QSSL 信号の最短 High 幅

隣り合う SPI バスサイクル間では、QSSL 信号を十分な期間 High (非アクティブ) に保持して、シリアル ROM に必要な非選択時間を確保する必要があります。QSSL 信号の最短 High 幅は、SPSSCR.SSHW[3:0] ビットにより、動作クロックの 1 ~ 16 周期の範囲で設定できます。

42.5.4 QSSL 信号セットアップ時間

QSSL 信号が Low になってから QSPCLK 信号の最初の立ち上がりエッジまでの時間 (QSSL 信号セットアップ時間) を、使用するシリアル ROM に合わせて設定できます。このセットアップ時間は、SPSSCR.SSSU ビットで、動作クロックの 0.5 サイクルまたは 1.5 サイクルのいずれかから選択できます。

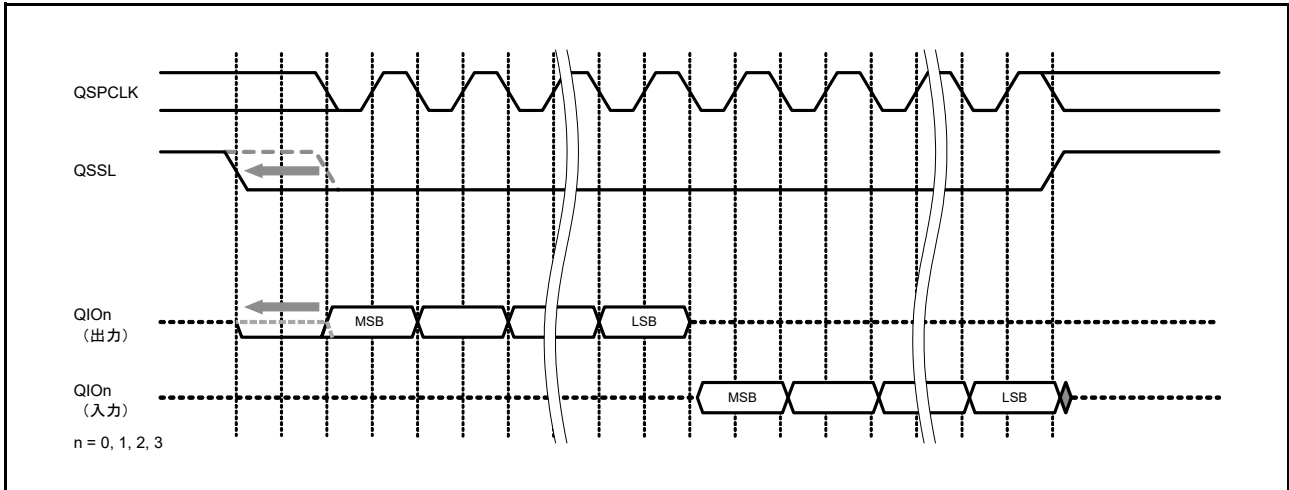


図 42.9 SSSU ビットを使用した QSSL 信号のセットアップ時間の調整

42.5.5 QSSL 信号ホールド時間

QSPCLK 信号の最後の立ち上がりエッジから QSSL 信号が High になるまでの時間 (QSSL 信号ホールド時間) を、使用するシリアル ROM に合わせて設定できます。このホールド時間は、SPSSCR.SSHLD ビットで、動作クロックの 0.5 サイクルまたは 1.5 サイクルのいずれかから選択できます。

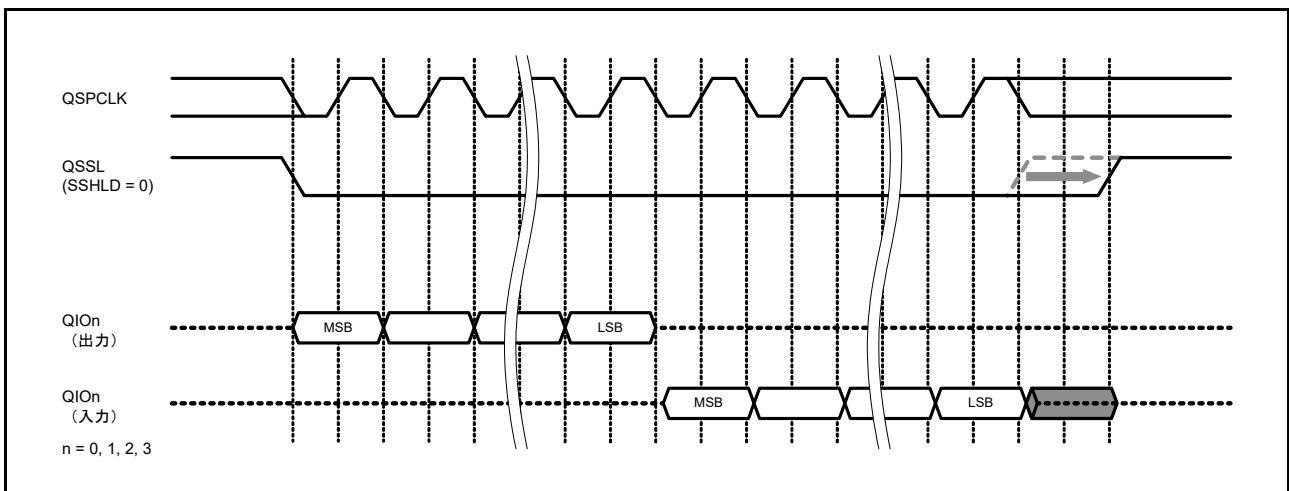


図 42.10 SSHLD ビットを使用した QSSL 信号のホールド時間の調整

42.5.6 シリアルデータ出力駆動時間

QIO0 ~ QIO3 端子の出力駆動時間を、SPMR0.DODE ビットを使用して QSPCLK の 1 サイクル分延長できます。

DODE ビットを“1”にした場合、Read 命令の場合はアドレス出力後の 1 サイクル、それ以外のリード命令ではダミーサイクルの 3 サイクル目がハイインピーダンスになりません。

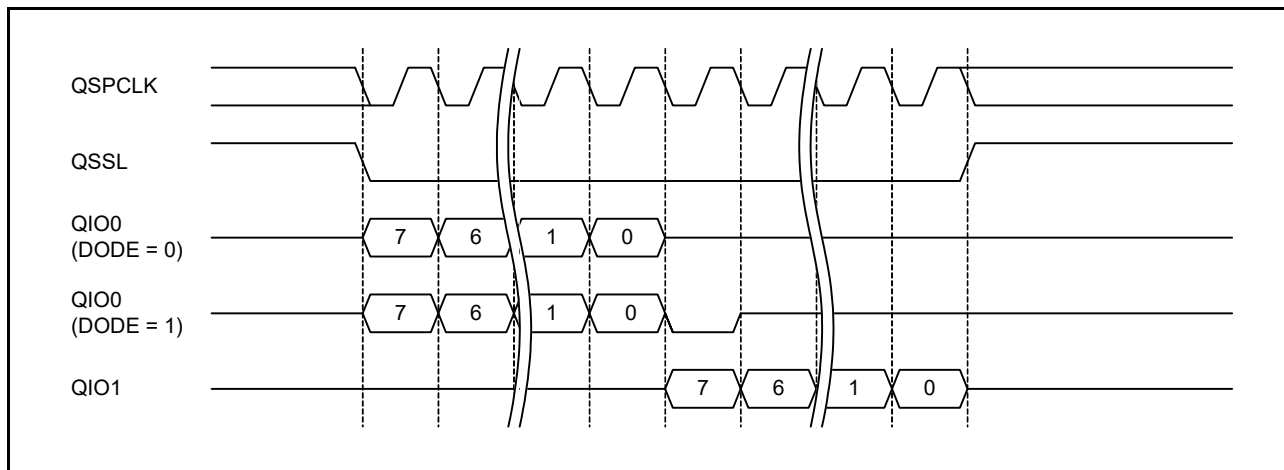


図 42.11 DODE ビットを使用したデータ出力駆動時間の調整 (1) (Read)

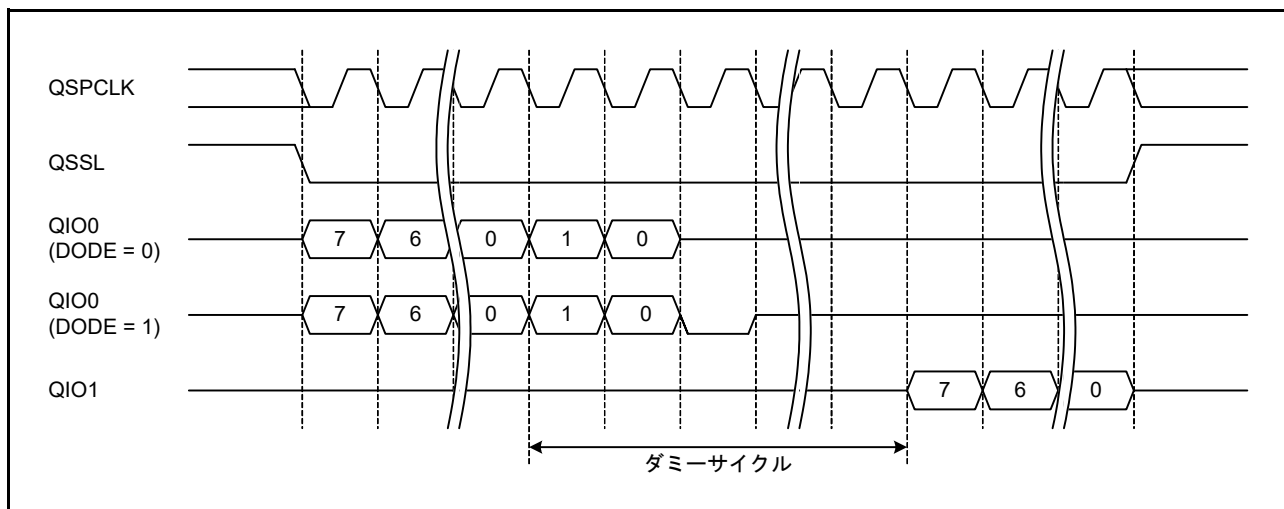


図 42.12 DODE ビットを使用したデータ出力駆動時間の調整 (2) (Fast Read)

42.6 ROMアクセスで使用するSPI命令セット

42.6.1 自動生成されるSPI命令

QSPIXがシリアルROMにアクセスする場合、SPAMRレジスタとSPMR0レジスタの設定値に基づいて、表42.4～表42.8に示す命令を用いたSPIバスサイクルが自動的に生成されます。なお、SPMR0.SRISビットが“1”の場合、SPRIRレジスタの設定値が命令コードとして使用されます。

表42.4 SPAMR.SIZE[1:0] = 00bの場合に自動生成されるSPI命令

SPI命令	命令コード	アドレス バイト数	ダミー サイクル数	データ バイト数	備考
Read	03h	1	—	1～∞	RISEL[2:0] = 000b, A8 = 0
	0Bh	1	—	1～∞	RISEL[2:0] = 000b, A8 = 1

表42.5 SPAMR.SIZE[1:0] = 01bの場合に自動生成されるSPI命令

SPI命令	命令コード	アドレス バイト数	ダミー サイクル数	データ バイト数	備考
Read	03h	2	—	1～∞	RISEL[2:0] = 000b

表42.6 SPAMR.SIZE[1:0] = 10bの場合に自動生成されるSPI命令

SPI命令	命令コード	アドレス バイト数	ダミー サイクル数	データ バイト数	備考
Read	03h	3	—	1～∞	RISEL[2:0] = 000b
Fast Read	0Bh	3	8(注1)	1～∞	RISEL[2:0] = 001b
Fast Read Dual Output	3Bh	3	8(注1)	1～∞	RISEL[2:0] = 010b
Fast Read Dual I/O	BBh	3	4(注1)	1～∞	RISEL[2:0] = 011b
Fast Read Quad Output	6Bh	3	8(注1)	1～∞	RISEL[2:0] = 100b
Fast Read Quad I/O	EBh	3	6(注1)	1～∞	RISEL[2:0] = 101b

注1. SPDCR.DCYC[3:0]ビットで、ダミーサイクル数を設定できます。

表42.7 SPAMR.SIZE[1:0] = 11b、I4AE = 0の場合に自動生成されるSPI命令

SPI命令	命令コード	アドレス バイト数	ダミー サイクル数	データ バイト数	備考
Read	03h	4	—	1～∞	RISEL[2:0] = 000b
Fast Read	0Bh	4	8(注1)	1～∞	RISEL[2:0] = 001b
Fast Read Dual Output	3Bh	4	8(注1)	1～∞	RISEL[2:0] = 010b
Fast Read Dual I/O	BBh	4	4(注1)	1～∞	RISEL[2:0] = 011b
Fast Read Quad Output	6Bh	4	8(注1)	1～∞	RISEL[2:0] = 100b
Fast Read Quad I/O	EBh	4	6(注1)	1～∞	RISEL[2:0] = 101b

注1. SPDCR.DCYC[3:0]ビットで、ダミーサイクル数を設定できます。

表 42.8 SPAMR.SIZE[1:0] = 11b、I4AE = 1の場合に自動生成されるSPI命令

SPI命令	命令コード	アドレス バイト数	ダミー サイクル数	データ バイト数	備考
Read	13h	4	—	1~∞	RISEL[2:0] = 000b
Fast Read	0Ch	4	8(注1)	1~∞	RISEL[2:0] = 001b
Fast Read Dual Output	3Ch	4	8(注1)	1~∞	RISEL[2:0] = 010b
Fast Read Dual I/O	BCh	4	4(注1)	1~∞	RISEL[2:0] = 011b
Fast Read Quad Output	6Ch	4	8(注1)	1~∞	RISEL[2:0] = 100b
Fast Read Quad I/O	ECh	4	6(注1)	1~∞	RISEL[2:0] = 101b

注1. SPDCR.DCVC[3:0]ビットで、ダミーサイクル数を設定できます。

42.6.2 Read 命令

Read 命令は、大多数のシリアルROMでサポートされている共通の読み出し方式です。

SPIバスサイクルが開始されると、QSSL信号がアサートされ、命令コード(03h/13h)(注1)に続いてSPAMR.SIZE[1:0]ビットで指定した1~4バイトのアドレスがQIO0端子から送信されます。その後、QIO1端子からデータの受信を行います。

注1. 4KビットのシリアルROMの多くは、オーバーヘッドを最小化するために、アドレスフィールドを1バイトにし、Read命令コードのビット3にアドレスの最上位ビット(A8)をアサインしています。これらのデバイスをサポートするため、SPAMR.SIZE[1:0]ビットが“00b”(8ビットアドレス)の場合、QSPIXはRead命令コードのビット3にA8(アドレスビット8)を出力します。そのため、Read命令のコードとして“03h”の代わりに“0Bh”が出力される場合があります。このコード(“0Bh”)はFast Read命令のコードと重複しますが、ほとんどの2Kビット以下のシリアルROMでは、命令コードのビット3は無視するよう設計されているため、“0Bh”はRead命令として正しく認識されます。また、ビット3のデコードを許可しているシリアルROMがありますが、そのようなシリアルROMを接続する場合は、A8が“1”になるようなアクセスを回避してください。

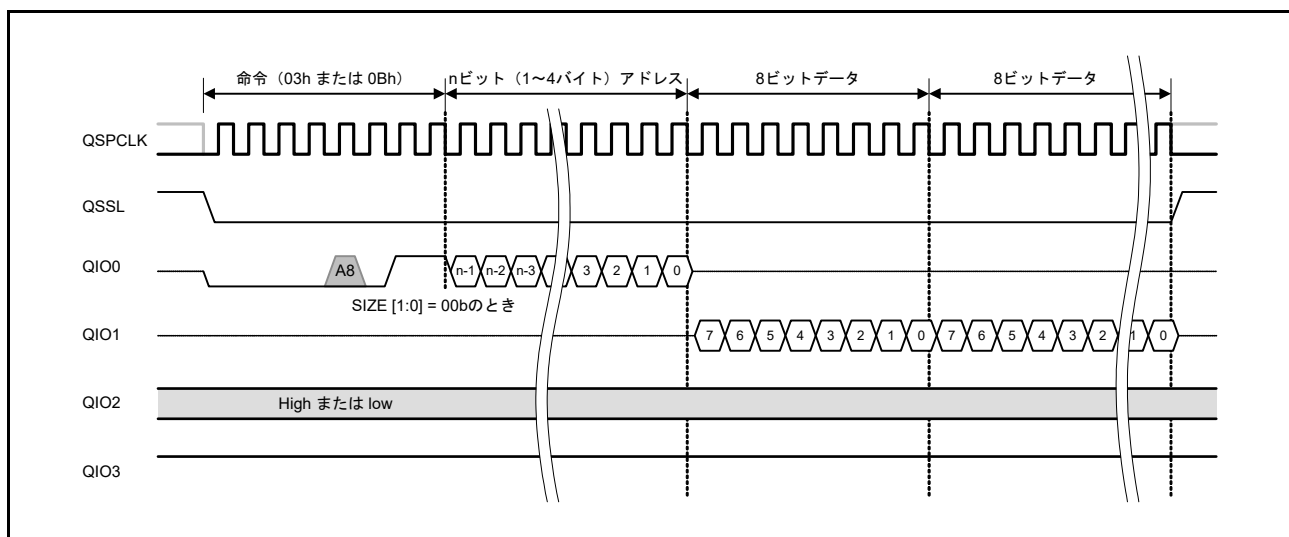


図 42.13 Read 命令バスサイクル

42.6.3 Fast Read 命令

Fast Read 命令は、Read 命令よりも高速な通信クロックに対応した読み出し方式です。

SPI バスサイクルが開始されると、QSSL 信号がアサートされ、命令コード (0Bh/0Ch) と SPAMR.SIZE[1:0] ビットで指定した 3 ~ 4 バイトのアドレスが QIO0 端子から送信され、SPDCR.DCYC[3:0] ビットで指定したダミーサイクルが挿入されます。その後、QIO1 端子からデータの受信を行います。

なお、Dual SPI プロトコル時は QIO0 端子と QIO1 端子、Quad SPI プロトコル時は QIO0 端子 ~ QIO3 端子が、命令コード、アドレス、データの送受信に使用されます。

ダミーサイクルの最初の 2 サイクルは、XIP モードの選択に使用されます。XIP モードを選択した場合、今回の SPI バスサイクルで使用される命令と同じ命令が次の SPI バスサイクルにも適用されるため、次の SPI バスサイクルでは命令コードは省略されます。XIP モードの詳細は、「42.8 XIP モード」を参照してください。

Fast Read 命令への切り替えは、SPMR0 レジスタで制御します。

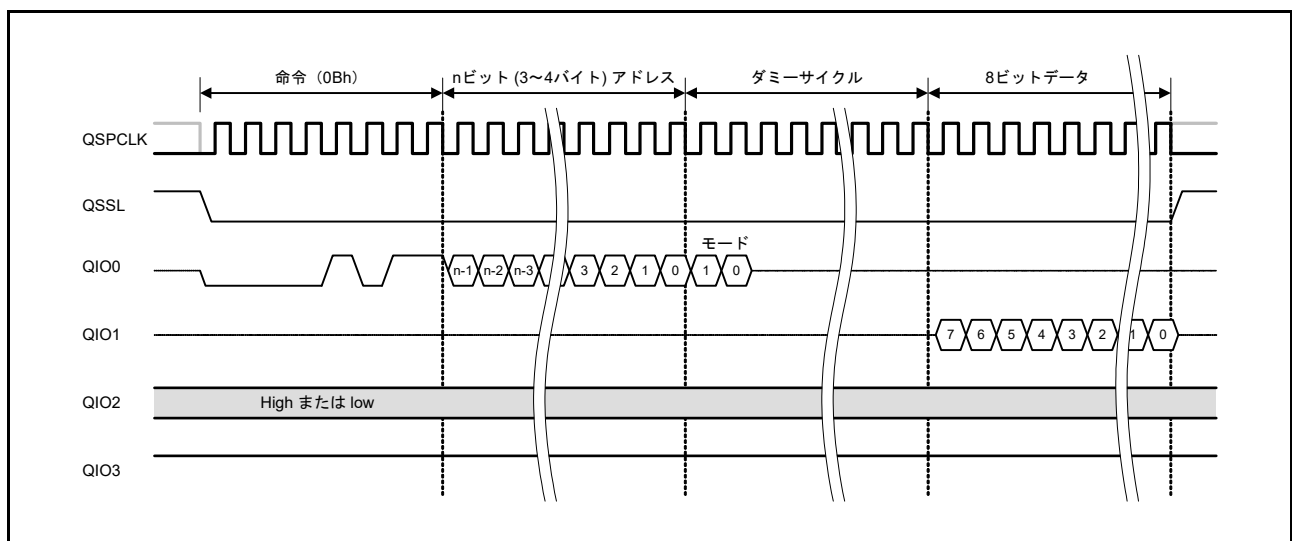


図 42.14 Fast Read 命令バスサイクル (拡張 SPI プロトコル時)

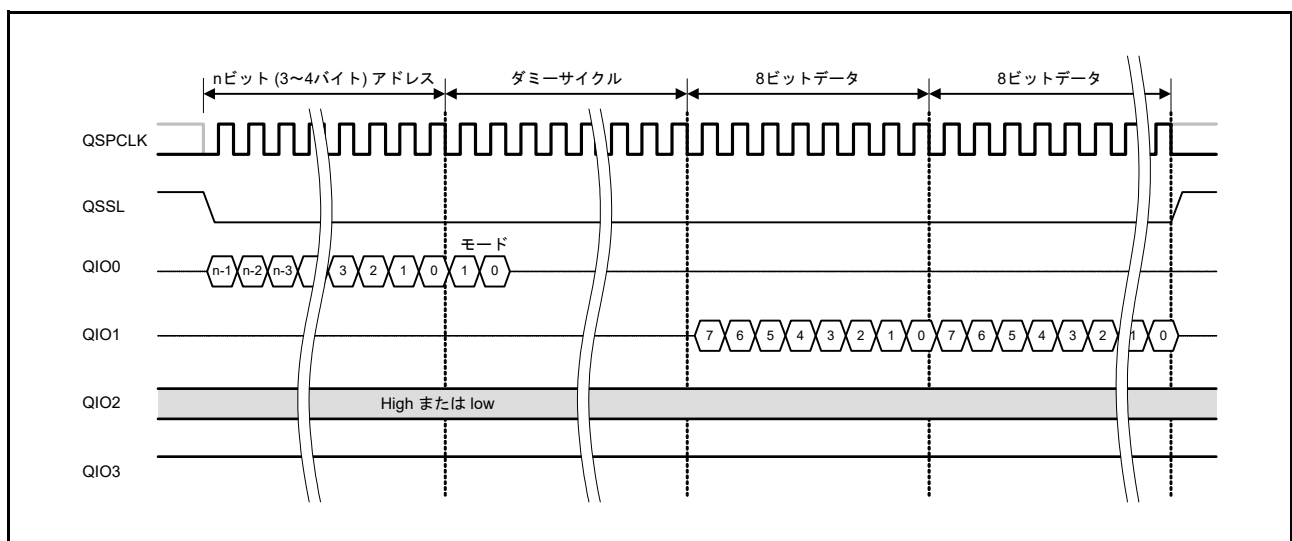


図 42.15 XIP モード時の Fast Read 命令バスサイクル (拡張 SPI プロトコル時)

注. Fast Read 命令を使用するには、Fast Read 転送をサポートするシリアル ROM が必要です。

42.6.4 Fast Read Dual Output 命令

Fast Read Dual Output 命令は、データの受信に2本の信号線を使用する読み出し方式です。

SPI バスサイクルが開始されると、QSSL 信号がアサートされ、命令コード (3Bh/3Ch) と SPAMR.SIZE[1:0] ビットで指定した3～4バイトのアドレスが QIO0 端子 (Dual SPI プロトコル時は QIO0 端子と QIO1 端子) から送信され、SPDCR.DCYC[3:0] ビットで指定した数のダミーサイクルが挿入されます。その後、QIO0 端子と QIO1 端子からデータを受信します。QIO0 端子からはデータの偶数ビット、QIO1 端子からは奇数ビットを受信します。

ダミーサイクルの最初の2サイクルは、XIP モードの選択に使用されます。XIP モードを選択した場合、今回の SPI バスサイクルで使用される命令と同じ命令が次の SPI バスサイクルにも適用されるため、次の SPI バスサイクルでは命令コードは省略されます。XIP モードの詳細は、「42.8 XIP モード」を参照してください。

Fast Read Dual Output 命令への切り替えは、SPMR0 レジスタで制御します。

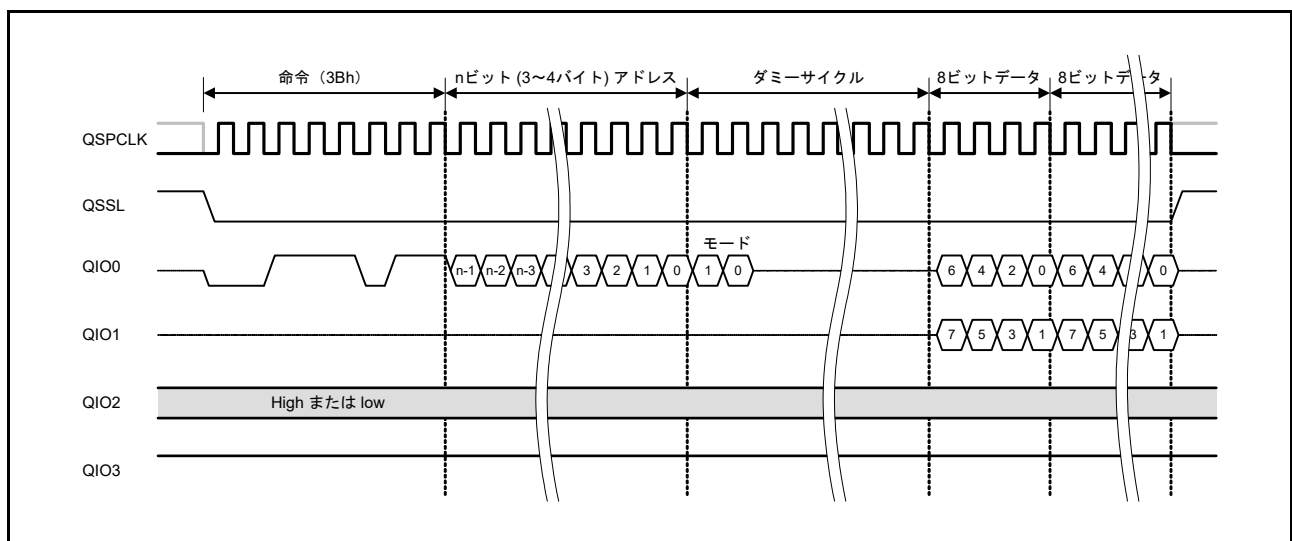


図 42.16 Fast Read Dual Output 命令バスサイクル (拡張 SPI プロトコル時)

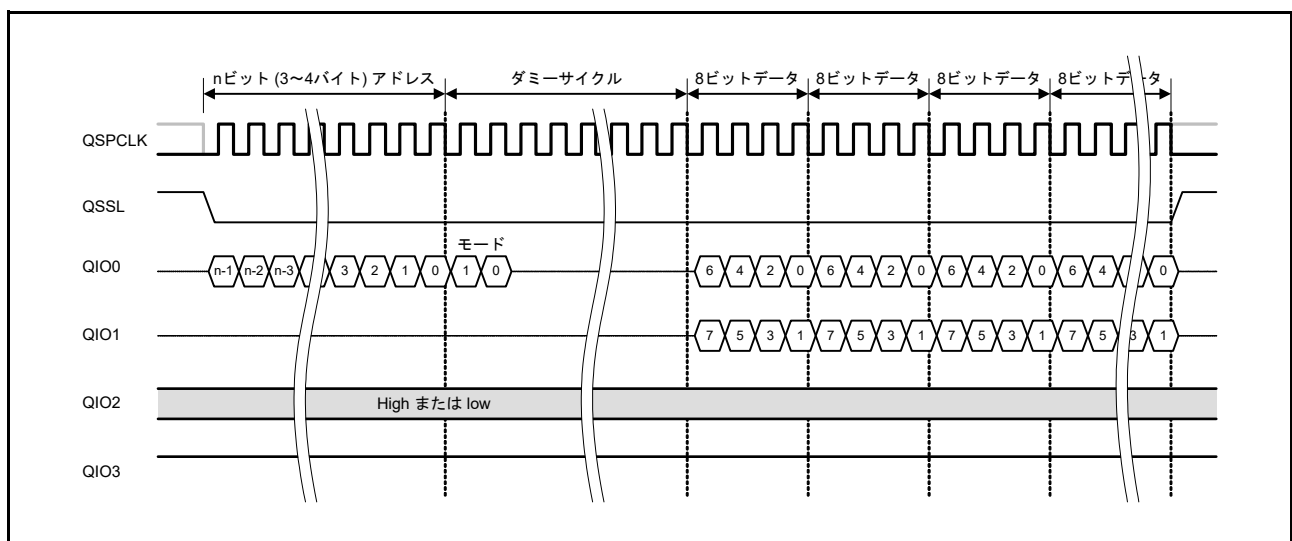


図 42.17 XIP モード時の Fast Read Dual Output 命令バスサイクル (拡張 SPI プロトコル時)

注 . Fast Read Dual Output 命令を使用するには、Fast Read Dual Output 転送をサポートするシリアル ROM が必要です。

42.6.5 Fast Read Dual I/O 命令

Fast Read Dual I/O 命令は、アドレスの送信とデータの受信に 2 本の信号線を使用する読み出し方式です。

SPI バスサイクルが開始されると、QSSL 信号がアサートされ、命令コード (BBh/BCh) が QIO0 端子 (Dual SPI プロトコル時は QIO0 端子と QIO1 端子) から、SPAMR.SIZE[1:0] ビットで指定した 3～4 バイトのアドレスが QIO0 端子と QIO1 端子から送信され、SPDCR.DCYC[3:0] ビットで指定した数のダミーサイクルが挿入されます。その後、QIO0 端子と QIO1 端子からデータを受信します。アドレス、ダミーバイト、データの偶数ビットには QIO0 端子を使用し、奇数ビットには QIO1 端子を使用します。

ダミーサイクルの最初の 2 サイクルは、XIP モードの選択に使用されます。XIP モードを選択した場合、今回の SPI バスサイクルで使用される命令と同じ命令が次の SPI バスサイクルにも適用されるため、次の SPI バスサイクルでは命令コードは省略されます。XIP モードの詳細は、「42.8 XIP モード」を参照してください。

Fast Read Dual I/O 命令への切り替えは、SPMR0 レジスタで制御します。

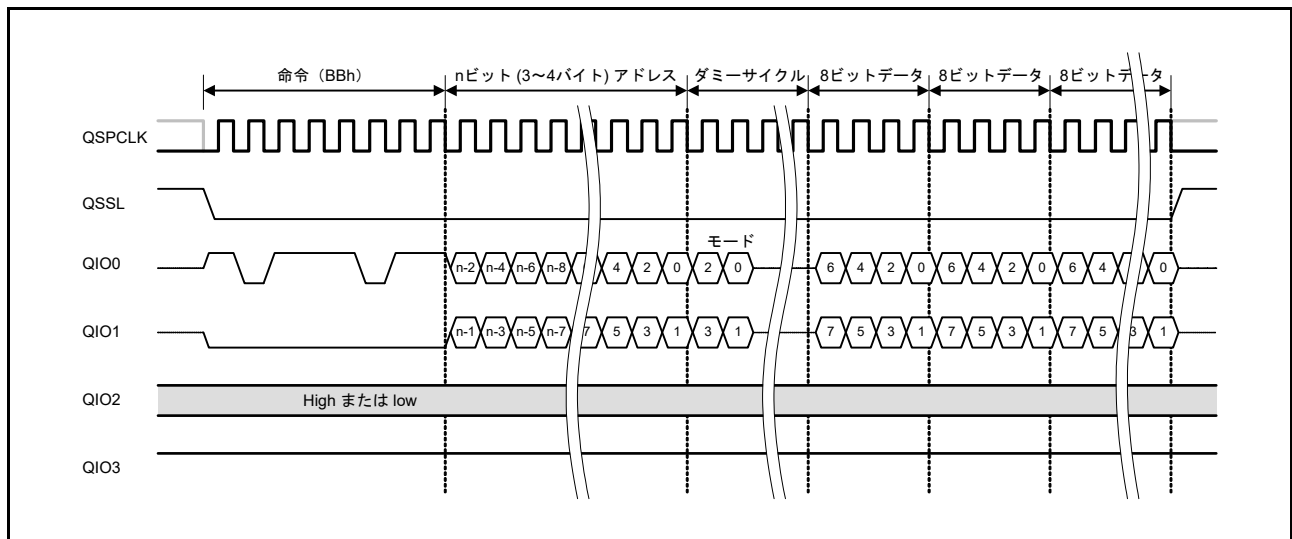


図 42.18 Fast Read Dual I/O 命令バスサイクル (拡張 SPI プロトコル時)

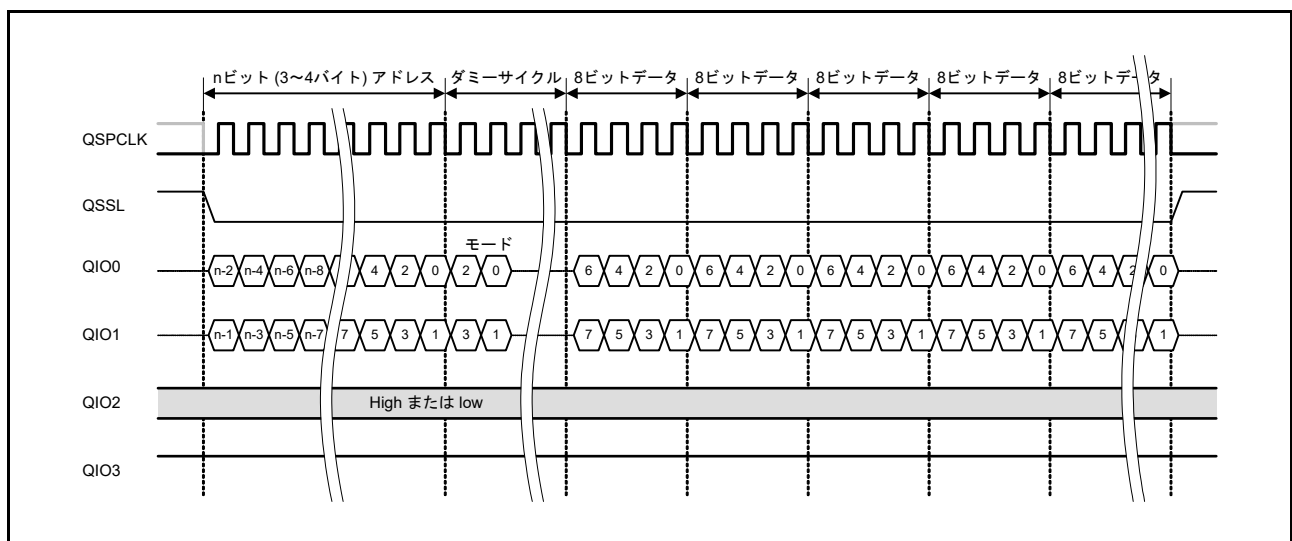


図 42.19 XIP モード時の Fast Read Dual I/O 命令バスサイクル

注. Fast Read Dual I/O 命令を使用するには、Fast Read Dual I/O 転送をサポートするシリアル ROM が必要です。

42.6.6 Fast Read Quad Output 命令

Fast Read Quad Output 命令は、データの受信に4本の信号線を使用する読み出し方式です。

SPI バスサイクルが開始されると、QSSL 信号がアサートされ、命令コード (6Bh/6Ch) と SPAMR.SIZE[1:0] ビットで指定した3～4バイトのアドレスが QIO0 端子 (Quad SPI プロトコル時は QIO0 端子～ QIO3 端子) から送信され、SPDCR.DCYC[3:0] ビットで指定した数のダミーサイクルが挿入されます。その後、QIO0 端子～ QIO3 端子からデータを受信します。

ダミーサイクルの最初の2サイクルは、XIP モードの選択に使用されます。XIP モードを選択した場合、今回の SPI バスサイクルで使用される命令と同じ命令が次の SPI バスサイクルにも適用されるため、次の SPI バスサイクルでは命令コードは省略されます。XIP モードの詳細は、「42.8 XIP モード」を参照してください。

Fast Read Quad Output 命令への切り替えは、SPMR0 レジスタで制御します。

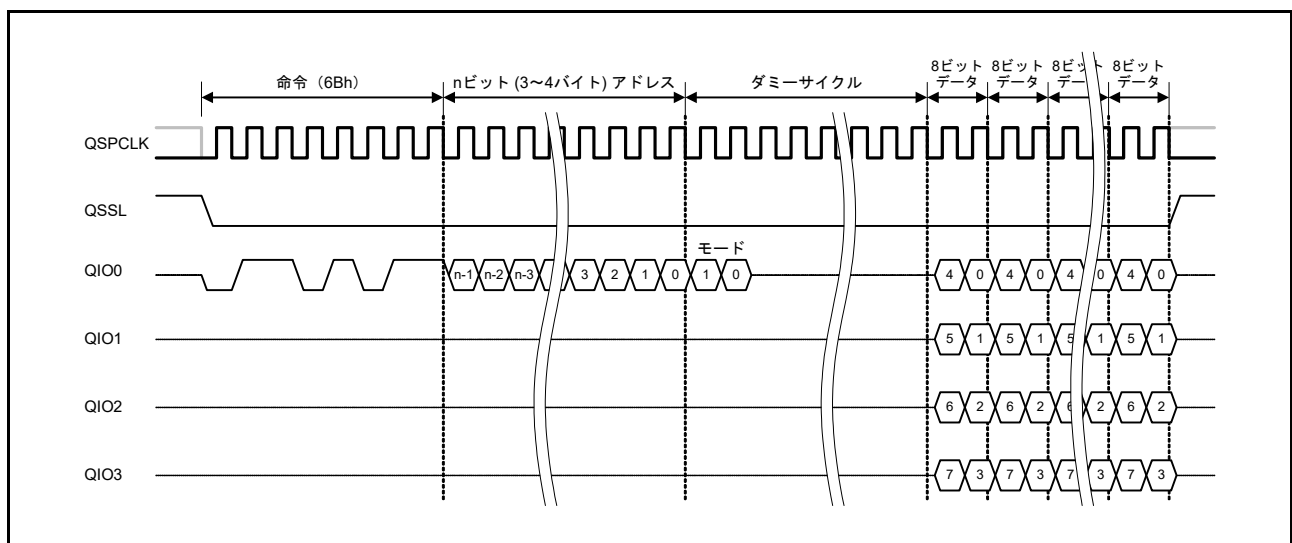


図 42.20 Fast Read Quad Output 命令バスサイクル (拡張 SPI プロトコル時)

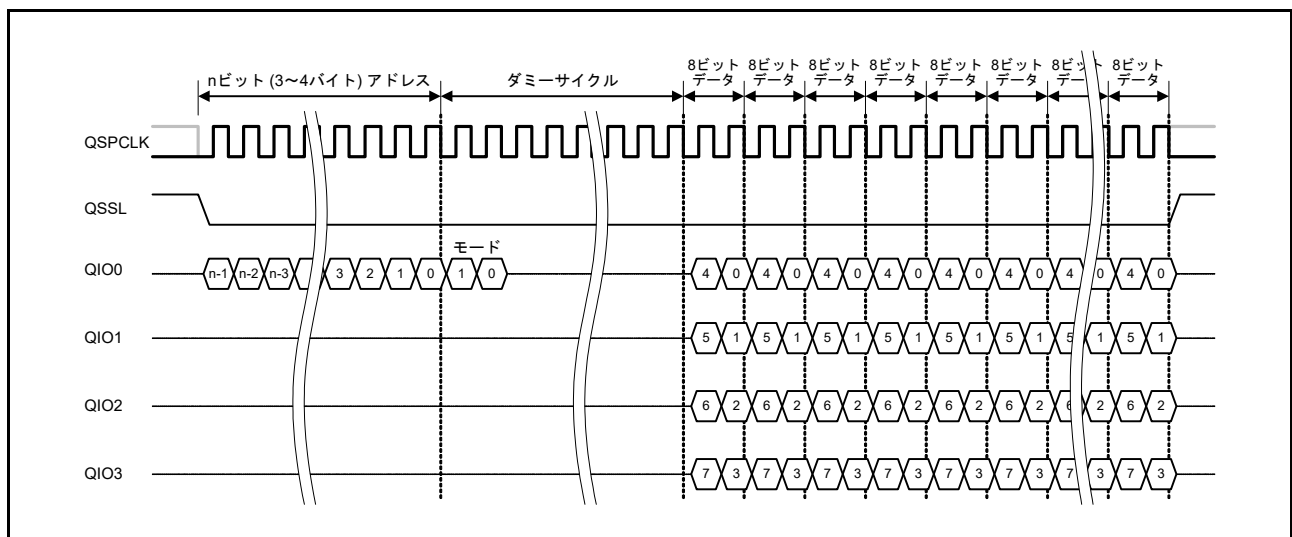


図 42.21 XIP モード時の Fast Read Quad Output 命令バスサイクル (拡張 SPI プロトコル時)

注. Fast Read Quad Output を使用するには、Fast Read Quad Output 転送をサポートするシリアル ROM が必要です。

42.6.7 Fast Read Quad I/O 命令

Fast Read Quad I/O 命令は、アドレスの送信とデータの受信に 4 本の信号線を使用する読み出し方式です。

SPI バスサイクルが開始されると、QSSL 信号がアサートされ、命令コード (EBh/ECh) が QIO0 端子 (Quad SPI プロトコル時は QIO0 端子～ QIO3 端子) から、SPAMR.SIZE[1:0] ビットで指定した 3～4 バイトのアドレスが QIO0 端子～ QIO3 端子から送信され、SPDCR.DCYC[3:0] ビットで指定した数のダミーサイクルが挿入されます。その後、QIO0 端子～ QIO3 端子からデータを受信します。

ダミーサイクルの最初の 2 サイクルは、XIP モードの選択に使用されます。XIP モードを選択した場合、今回の SPI バスサイクルで使用される命令と同じ命令が次の SPI バスサイクルにも適用されるため、次の SPI バスサイクルでは命令コードは省略されます。XIP モードの詳細は、「42.8 XIP モード」を参照してください。

Fast Read Quad I/O 命令への切り替えは、SPMR0 レジスタで制御します。

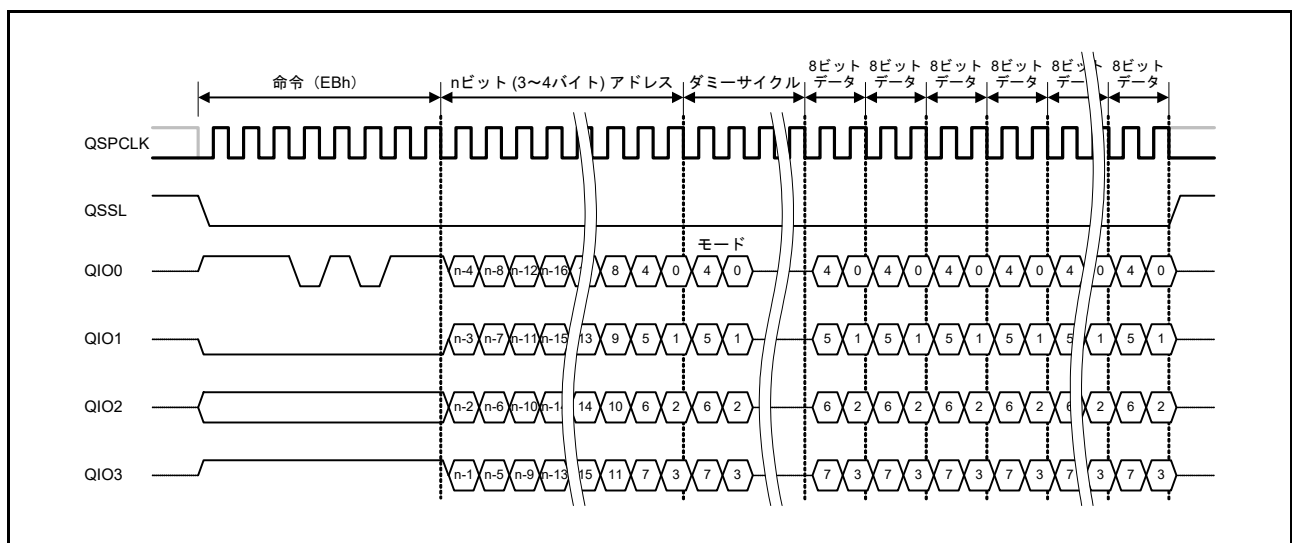


図 42.22 Fast Read Quad I/O 命令バスサイクル (拡張 SPI プロトコル時)

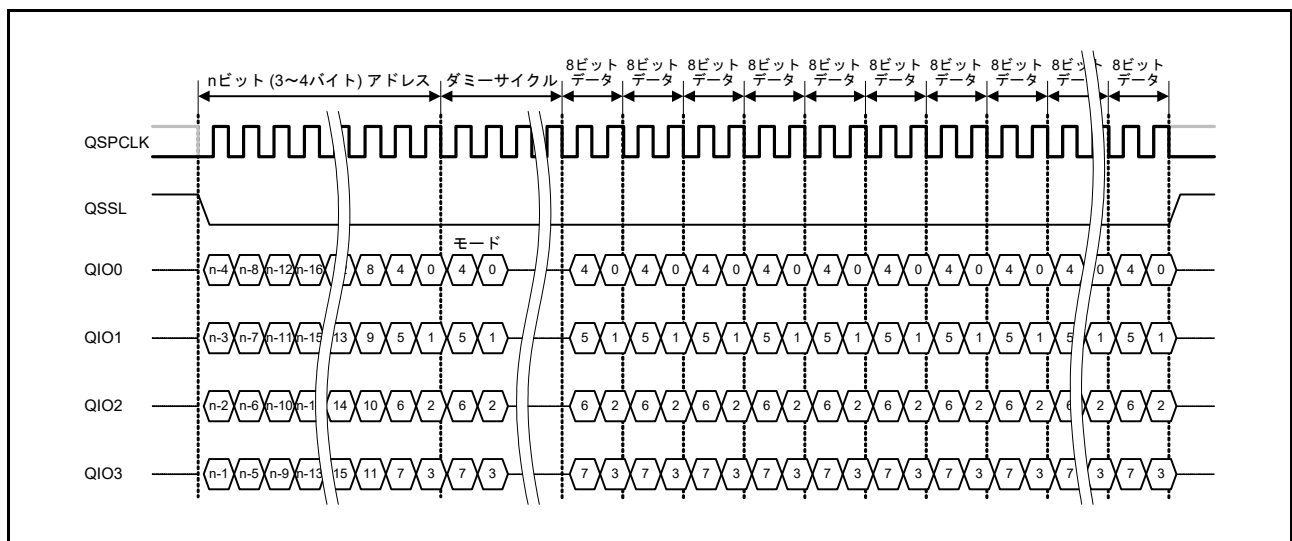


図 42.23 XIP モード時の Fast Read Quad I/O 命令バスサイクル

注. Fast Read Quad I/O 命令を使用するには、Fast Read Quad I/O 転送をサポートするシリアル ROM デバイスが必要です。

42.7 SPIバスサイクルの生成

42.7.1 標準的なROM読み出し

メモリマップドモードにおけるリードアクセスは、1回のアクセスごとに1回のSPIバスサイクルに変換されます。

QSPIメモリ空間(7000 0000h ~ 73FF FFFFh番地)に対するリードアクセスを検出すると、QSPIXはQSSL信号をアサートし、SPIバスサイクルを開始します。シリアルROMから必要数のデータを受信すると、QSSL信号をネゲートし、SPIバスサイクルを終了します。

次のリードアクセスを検出すると、QSSL信号の最短High幅を確保した後、QSSL信号を再びアサートすることで新たなSPIバスサイクルを開始します。

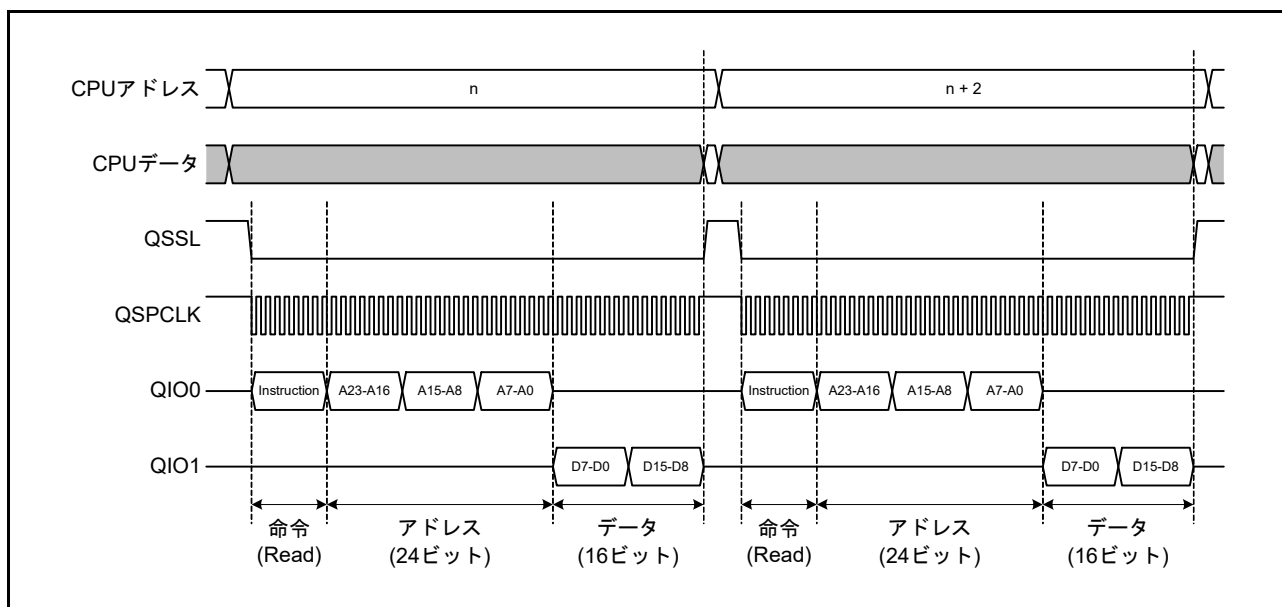


図 42.24 連続データリード動作

42.7.2 プリフェッチ機能を用いたROM読み出し

CPUの命令実行やブロックデータの転送などでは、多くの場合、ROMのデータは連続するアドレスから昇順に読み出されます。

シリアルROMのメモリリードコマンドでは、1回のSPIバスサイクルで無限にデータを読み出すことができますが、CPUが発行するバスサイクルを個別にSPIバスサイクルに変換しては、SPIバスサイクルが分断され、シリアルROMが持つこの特性を活かせません。

QSPIXには、この特性を利用するためのプリフェッチ機能が搭載されています。

プリフェッチ機能は、SPMR0.PFEビットを“1”にすると有効になります。プリフェッチ機能が有効になっていると、QSPIXは次のROM読み出し要求を待つことなく、データを連続で受信してバッファに格納します。次にCPUがROM読み出しを行うと、アドレスの比較を行い、アドレスが一致していればバッファ内のデータをCPUに返します。アドレスが一致していなければ、バッファ内のデータを破棄し、新たなSPIバスサイクルを生成します。

プリフェッチバッファのサイズは18バイトです。このバッファがいっぱいになると、SPIバスサイクルが終了します。バッファ内のデータが読み出されて空きができると、自動的に新しいSPIバスサイクルが開始され、プリフェッチが再開されます。

プリフェッチ機能を用いると、命令フェッチやブロックデータの転送のように、連続するアドレスから昇順にデータを読み出すような場面で、効率的なデータ転送が実現できます。

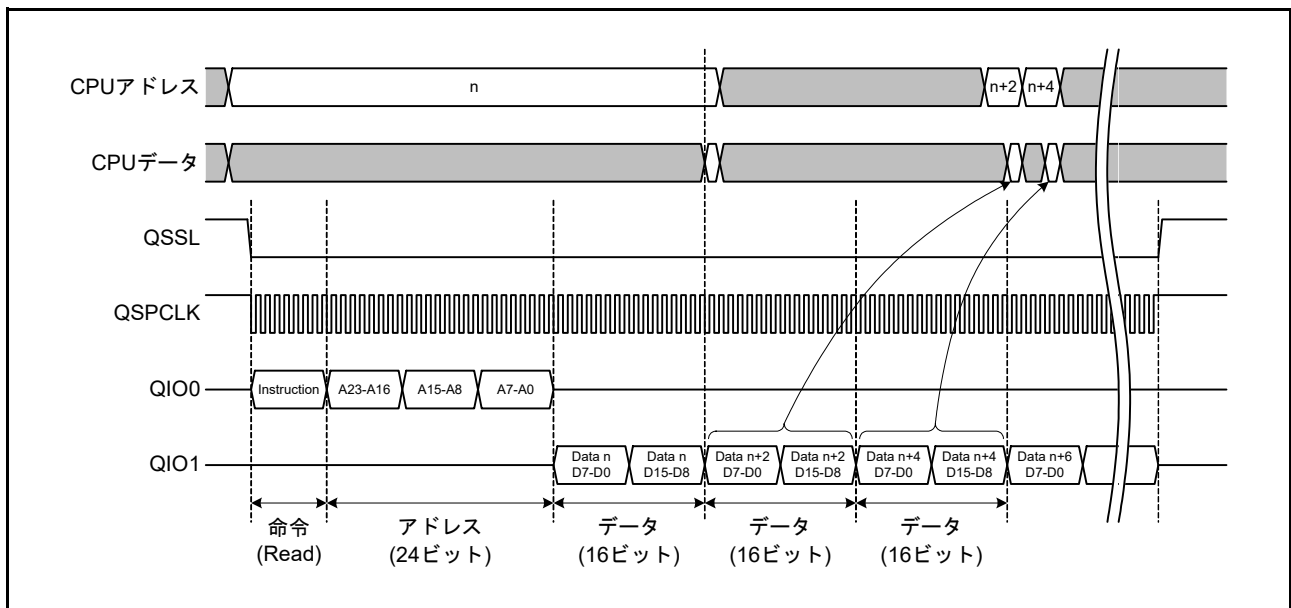


図 42.25 プリフェッチ機能を用いた連続データリード

42.7.3 プリフェッチの中断

プリフェッチのためのデータを受信中に、別のアドレスに対するROM読み出しバスサイクルが発生すると、不要になった現在のSPIバスサイクルを終了し、新しいSPIバスサイクルを開始します。

42.7.4 プリフェッチアドレスの指定

PFEビットが“1”のときに、QSPIメモリ空間に対するライトアクセス(注1)を検出すると、QSPIXはそのときのアドレスをプリフェッチアドレスとして取り込み、プリフェッチを開始します。QSPIメモリ空間に対するライトアクセスは、プリフェッチアドレスの取得にのみ用いられ、シリアルROMへの書き込みは行われません。

この機能を次に述べるプリフェッチ状態ポーリング機能と組み合わせると、低速なシリアルROMからのデータを読み出しにおいて、内部バスの負荷を軽減させることができます。

注1. プリフェッチアドレスを指定するときは、QSPIメモリ空間に対してバイトサイズで書き込みを行ってください。ワードサイズ、ロングワードサイズで書き込みを行うと、バスエラーが発生します。

42.7.5 プリフェッチ状態ポーリング

低速なシリアルROMを使用した場合、QSPIメモリ空間からのリードサイクルは、SPIバスサイクルが終了するまで待たされることになり、内部バスの負荷が増大します。

プリフェッチ状態ポーリング機能は、この負荷を軽減するための機能です。

SPPFSR.PBLVL[4:0]ビットを読み出してプリフェッチ済みのデータ数を取得し、必要な数のデータがある場合にQSPIメモリ空間に対してリードアクセスを実行してください。


```

//
// 1Kバイト(32ビット×256ワード)データをシリアルROMからSDRAMへコピー
//
unsigned long *sptr;           // シリアルROMのポインタ
unsigned long *dptr;          // SDRAMのポインタ
int i;

SPMR0 |= 0x0040;              // PFEビットを設定して、プリフェッチを許可
*(volatile unsigned char *) sptr = 0; // TAGを有効にして、プリフェッチを開始

for (i = 0; i < 256; i++) {
    while ((SPPFSR & 0x00FF) < 0x04) { // 4バイトデータの受信待ち
    };
    *(dptr++) = *(sptr++);
}

```

注. ポーリングを行うプログラムは QSPI メモリ空間の外に置いてください。ポーリングを行うプログラムがシリアル ROM 上に置かれていた場合、プリフェッチの対象が頻りに命令コードに切り替わるため、ポーリングの効果が失われ、プリフェッチバッファが満たされず無限ループに陥ることがあります。

42.7.6 スレーブセレクト延長機能を用いた ROM 読み出し

SPMR0.SSE[1:0] ビットを“00b”以外の値にすると、QSPIX は、シリアル ROM からデータを受信した後も、SPI バスサイクルを終了させずに (QSPCLK 信号を停止し QSSL 信号を Low に保持したまま)、次の ROM 読み出しを待ちます。

次の ROM 読み出しのアドレスが今回のアドレスの続きであった場合、QSPCLK 信号を再開し、後続データの受信を続けます。次の ROM 読み出しのアドレスが今回のアドレス続きでなかった場合、QSSL 信号を High にして SPI バスサイクルを終了させた後、新しい SPI バスサイクルを開始させます。

この機能を使用すると、連続したアドレスから間欠的にデータを読み出すような場合、命令コードやアドレスを送信する時間が不要になり、効率的なデータ転送が実現できます。

QSSL 信号の延長時間は、SPMR0.SSE[1:0] ビットで選択できます。指定した時間が経過すると、QSSL 信号は High になり、SPI バスサイクルは自動的に終了します。なお、SSE[1:0] ビットを“11b”にすると、QSSL 信号が無限に延長されるため、シリアル ROM の消費電力が増加します。

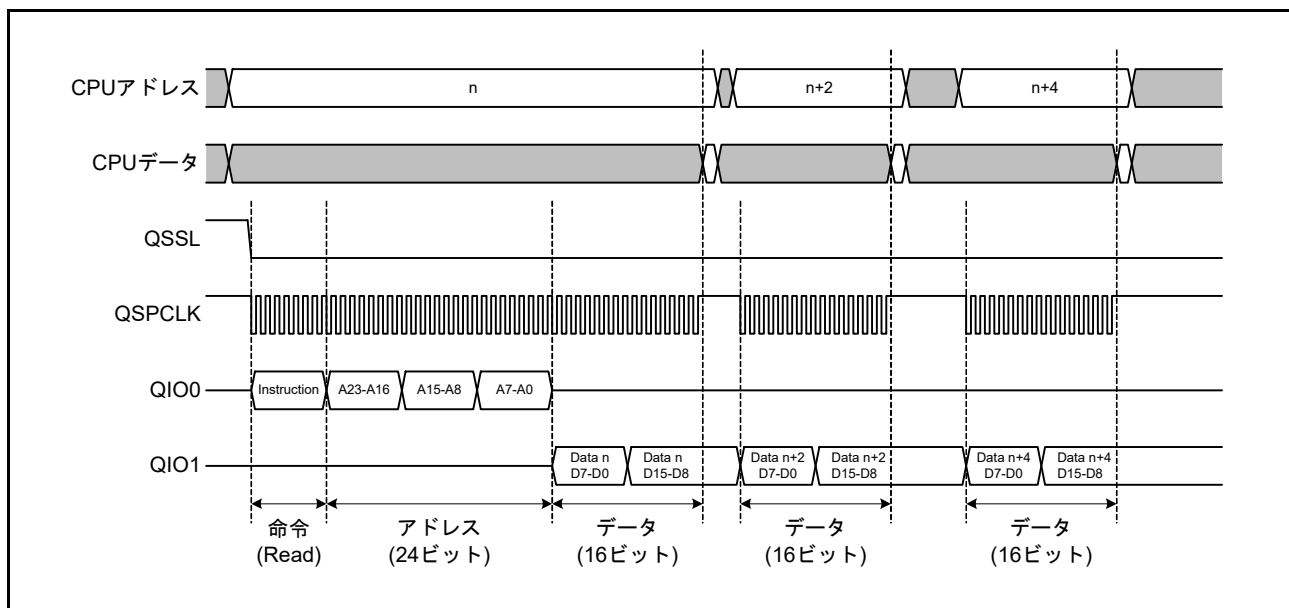


図 42.26 スレーブセレクト延長機能を用いた連続データリード

42.8 XIP モード

シリアルROMの中には、ROM読み出しのための命令コード受信を省略することで、レイテンシを削減できるものがあります。この機能は、直前のSPIバスサイクル内のダミーサイクル中に受信するモードデータで制御されます。

QSPIXでは、SPDCR.XIPEビットを“1”にしておくこと、**図42.27**に示すとおり、ダミーサイクルの最初の2サイクル中にSPDCR.MODE[7:0]ビットに指定したデータが送信されます。

XIPモードを有効にするモードデータは、シリアルROMごとに異なりますので、使用するシリアルROMに合わせてMODE[7:0]ビットを設定してください。

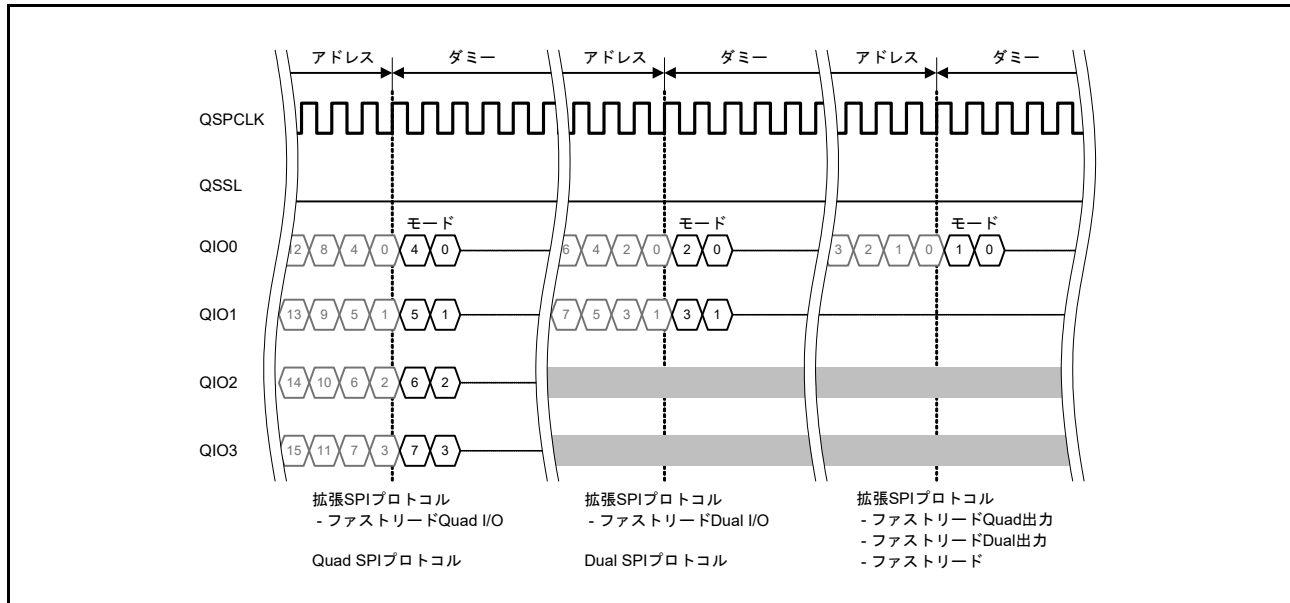


図 42.27 XIP モード制御データ

42.8.1 XIP モードの有効化

シリアルROMのXIPモードを有効にするには、使用するシリアルROMをXIPモードにするための値をSPDCR.MODE[7:0]ビットに指定し、XIPEビットを“1”にしてください。次のSPIバスサイクル内のダミーサイクルで、MODE[7:0]ビットに指定した値が送信されます。XIPモードが有効になったかどうかは、SPDCR.XIPSフラグで確認してください。

42.8.2 XIP モードの終了

シリアルROMのXIPモードを終了させるには、使用するシリアルROMのXIPモードを解除するための値をSPDCR.MODE[7:0]ビットに指定し、XIPEビットを“0”にしてください。次のSPIバスサイクル内のダミーサイクルで、MODE[7:0]ビットに指定した値が送信されます。XIPモードが終了したかどうかは、SPDCR.XIPSフラグで確認してください。

42.9 QIO2 端子、QIO3 端子の状態

QIO2 端子と QIO3 端子の状態は、SPMR0.RISEL[2:0] ビットで選択された命令に依存します。

表 42.9 QIO2 端子と QIO3 端子の状態

SPMR0.RISEL[2:0] ビット	命令	QIO2 端子の状態 (注1)	QIO3 端子の状態 (注2)
000b	Read	SPPCR.WP ビットに従う (初期出力はLow)	High を出力
001b	Fast Read		
010b	Fast Read Dual Output		
011b	Fast Read Dual I/O		
100b	Fast Read Quad Output	シリアルデータ入出力 (待機時はHi-Z)	シリアルデータ入出力 (待機時はHi-Z)
101b	Fast Read Quad I/O		
110b	設定禁止	—	—
111b			

注1. シリアルROMによっては、QIO2 端子と WP# 端子を兼用している場合があります。

注2. シリアルROMによっては、QIO3 端子と HOLD# 端子または RESET# 端子を兼用している場合があります。

42.10 間接アクセスモード

シリアルROMには、メモリアドレスリードコマンド以外に、デバイスIDリード、イレーズ、プログラム、ステータスリードなど様々なコマンドがあります。これらのコマンドを使用するために、QSPIXにはI/Oレジスタ経由でシリアルROMにアクセスする機能が設けられています。

42.10.1 間接アクセスモードの使用

シリアルROMにI/Oレジスタ経由で任意のコマンドを送信するには、SPMR1.AMOD ビットを“1”(間接アクセスモード)にしてください(注1)。間接アクセスモードが選択されている間、QSPIメモリ空間を使った通常のシリアルROM読み出しは行わないでください。間接アクセスモードの使用を終えて、通常のシリアルROM読み出しに戻る場合は、SPMR1.AMOD ビットを“0”(メモリマップドモード)にしてください。

注1. XIPモードを有効にしている場合、間接アクセスモードに移行する前に、XIPモードを停止させてください。

42.10.2 間接アクセスモード時のSPIバスサイクルの生成

間接アクセスモードでは、SPDRレジスタへの最初のアクセスでSPIバスサイクルが始まり、SPMR1レジスタへの書き込みでSPIバスサイクルが終了します。QSSL信号は、SPIバスサイクル期間中Lowになります。

SPIバスサイクル中のSPDRレジスタへの書き込みは、SPIバスへの1バイト送信に変換され、SPDRレジスタからの読み出しは、SPIバスからの1バイト受信に変換されます。

注. 間接アクセスモード中は、SPMR1、SPDRレジスタ以外のレジスタ(SPMR0、SPSSCR、SPOCR、SPPFSR、SPSR、SPRIR、SPAMR、SPDCR、SPMR2、SPPCR、SPUAR)への書き込みはすべて禁止です。

以下に、間接アクセスモード時のプログラム例を示します。

```
##### 注意！ ##### このコードは、制御対象のシリアルROM以外に配置してください。

// 対象シリアルROMの具体的な命令コードを定義
#define Instruction_FREAD 0x0B           // Fast Read
#define Instruction_RDSR 0x05           // ステータスレジスタリード
#define Instruction_RDID 0x9F          // IDリード
#define Instruction_WREN 0x06          // ライトイネーブル
#define Instruction_CERA 0xC7          // チップイレーズ

unsigned char mfid, mtype, mcap, data, temp;

SPMR1 = 0x01;                          // 間接アクセスモードに設定

// JEDECにより割り当てられたデバイスIDを取得
SPDR = Instruction_RDID;                // "IDリード"命令(SPIバスサイクルを開始)
mfid = (unsigned char) SPDR;           // "メーカーID"を取得
mtype = (unsigned char) SPDR;         // "メモリタイプ"を取得
mcap = (unsigned char) SPDR;          // "メモリ容量"を取得
SPMR1 = 0x01;                          // SPIバスサイクルを終了

// アドレス0x012345から1バイト取得
SPDR = Instruction_FREAD;              // "Fast Read"命令(SPIバスサイクルを開始)
SPDR = 0x01;                          // アドレス0x012345の上位バイトを入力
SPDR = 0x23;                          // 対象アドレス0x012345の中間バイトを入力
SPDR = 0x45;                          // 対象アドレス0x012345の下位バイトを入力
temp = (unsigned char) SPDR;          // FAST READトランザクションの1バイトダミーコードを取得
data = (unsigned char) SPDR;          // データを取得
SPMR1 = 0x01;                          // SPIバスサイクルを終了

// すべての内容を消去
SPDR = Instruction_WREN;               // "ライトイネーブル"命令(SPIバスサイクルを開始)
SPMR1 = 0x01;                          // SPIバスサイクルを終了
SPDR = Instruction_CERA;               // "チップイレーズ"命令(SPIバスサイクルを開始)
SPMR1 = 0x01;                          // SPIバスサイクルを終了
SPDR = Instruction_RDSR;               // "ステータスレジスタリード"命令(SPIバスサイクルを開始)
while (SPDR & 0x01) {};                // 完了するまで"ライト進捗ビット"をポーリング
SPMR1 = 0x01;                          // SPIバスサイクルを終了

SPMR1 = 0x00;                          // メモリマップドモードに設定
```

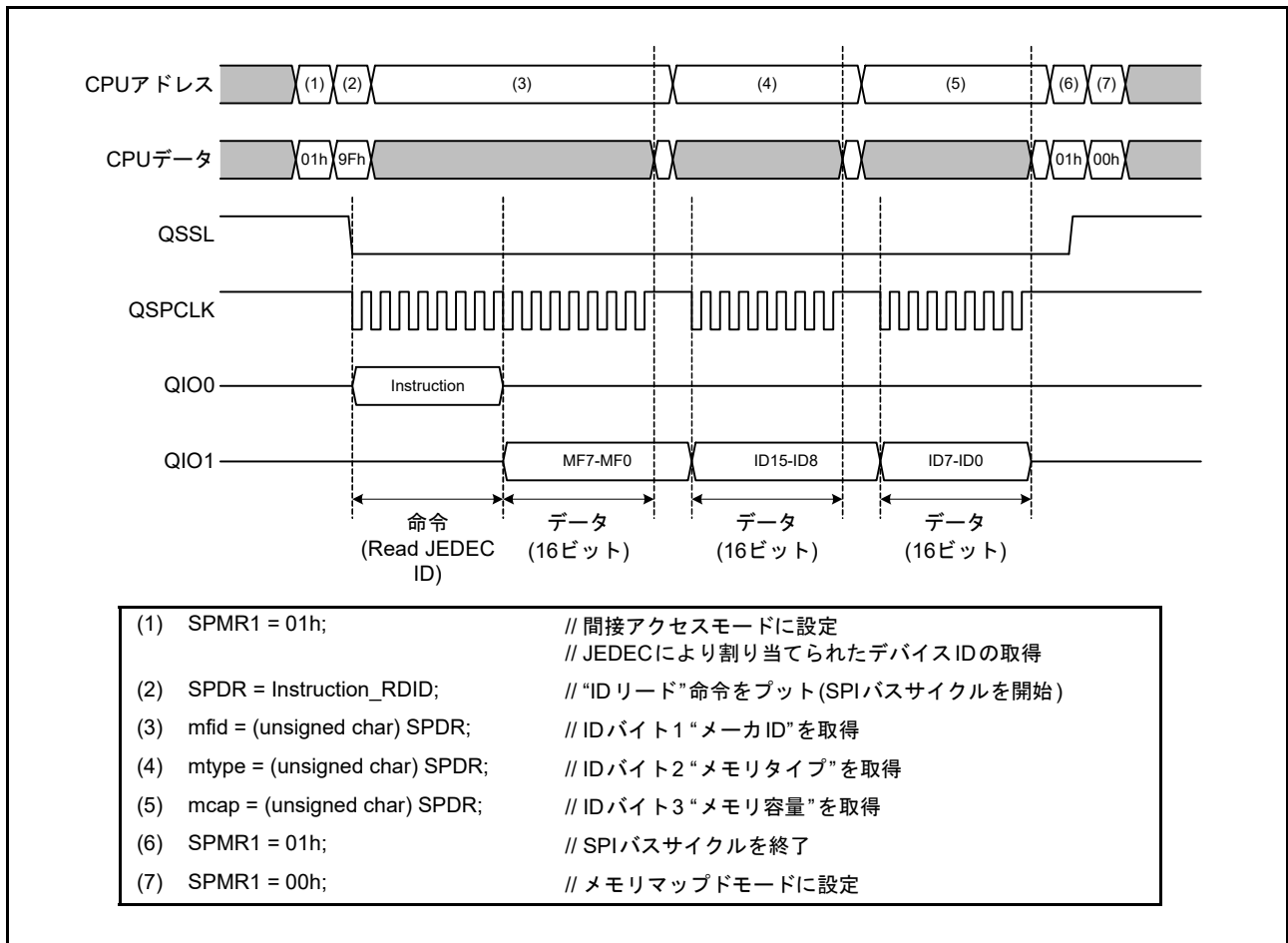


図 42.28 間接アクセスモードのタイミング例 (Read JEDEC ID)

注. 間接アクセスモードで Single/ 拡張 SPI プロトコルを使用している場合、シリアル ROM 読み出しに使用するメモリリードコマンドには、Read 命令または Fast Read 命令を使用してください。Fast Read Dual Output、Fast Read Dual I/O、Fast Read Quad Output、Fast Read Quad I/O の各命令はサポートしていません。これらの命令が必要な場合、メモリマップドモードを使用してください。

42.11 割り込み

間接アクセスモード中に QSPI メモリ空間に対してリードアクセスを行うと、ROMAE フラグが "1" になり、ROM アクセスエラー割り込み要求 (ERI) が発生します。ROMAE フラグをクリアするまで、割り込み要求は保持されます。詳細は、「15. 割り込みコントローラ (ICUE)」を参照してください。

42.12 使用上の注意事項

42.12.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) によって、QSPIX の動作を禁止または許可することができます。

リセット後、QSPIX の動作は停止しています。モジュールストップ状態を解除することにより、レジスタにアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

42.12.2 複数の制御レジスタの設定変更手順

QSPIX のレジスタは、SPI バスサイクル中でも変更できます。ただし、複数の制御レジスタの設定を連続して変更する場合、すべての設定が完了する前に SPI バスサイクルが発生する場合があります。レジスタ設定のどの段階でも SPI バスのタイミング仕様が満たせるように、レジスタを設定してください。

以下に、QSPCLK の周波数を変更する場合のプログラム例を示します。

```
//
// QSPCLKの高速化
//
SPMR0 = 0x0041;      // PFE = 1, SSE = 00b, RISEL = 001b (プリフェッチ許可 Fast Read)
SPSSCR = 0x04;      // SSSU = 0, SSHLD = 0, SSHW = 4 (最小QSSL High幅 = 5サイクル)
SPOCR = 0x00;      // DUTY = 0, DIV = 0 (1/2モード) ### 最後にクロック速度切り替え ###

//
// QSPCLKの低速化
//
SPOCR = 0x06;      // DUTY = 0, DIV = 6 (1/8モード) ### 最初にクロック速度切り替え ###
SPSSCR = 0x01;      // SSSU = 0, SSHLD = 0, SSHW = 1 (最小QSSL High幅 = 2サイクル)
SPMR0 = 0x0040;      // PFE = 1, SSE = 00b, RISEL = 000b (プリフェッチ許可、Read )
```

42.12.3 バスタイムアウト

バスタイムアウトの検出を有効 (BSC.BEREN.TOEN ビット = 1) にしているとき、シリアル ROM からのデータ取得に時間がかかるとバスタイムアウトが発生することがあります。

このような場合、バスタイムアウトの検出を無効にするか、QSPIX の動作クロック周波数を上げてください。

バスタイムアウトに関する詳細は、「16.7.1.2 タイムアウト」を参照してください。

42.12.4 CPU のエンディアン設定に関する注意事項

QSPIX が接続されている内部拡張バスはリトルエンディアン固定です。

CPU のエンディアンをビッグエンディアン (OFSM.MDE.MDE[2:0] ビット = 000b) にした場合、データの配置が逆転するため、データの配置に注意してください。また、このとき CPU はシリアル ROM 上のプログラムを実行できません。

シリアル ROM 上のプログラムを直接実行する場合、CPU のエンディアンはリトルエンディアン (OFSM.MDE.MDE[2:0] ビット = 111b) にしてください。

43. CRC 演算器 (CRCA)

CRC (Cyclic Redundancy Check) 演算器は、CRC コード生成を行います。

43.1 概要

表 43.1 に CRC 演算器の仕様を示します。図 43.1 に CRC 演算器のブロック図を示します。

表 43.1 CRC 演算器の仕様

項目	内容	
データサイズ	8ビット	32ビット
CRC演算対象データ(注1)	8nビットのデータに対してCRCコードを生成(n=自然数)	32nビットのデータに対してCRCコードを生成(n=自然数)
CRC演算処理方式	8ビット並列実行	32ビット並列実行
CRC生成多項式	3つの多項式から選択可能 <ul style="list-style-type: none"> 8ビットCRC $X^8 + X^2 + X + 1$ 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$ 	2つの多項式から選択可能 <ul style="list-style-type: none"> 32ビットCRC $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$
CRC演算切り替え	LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への遷移が可能	

注1. 演算対象データをCRC演算の単位に分割する機能はありません。8ビット単位または32ビット単位で書いてください。

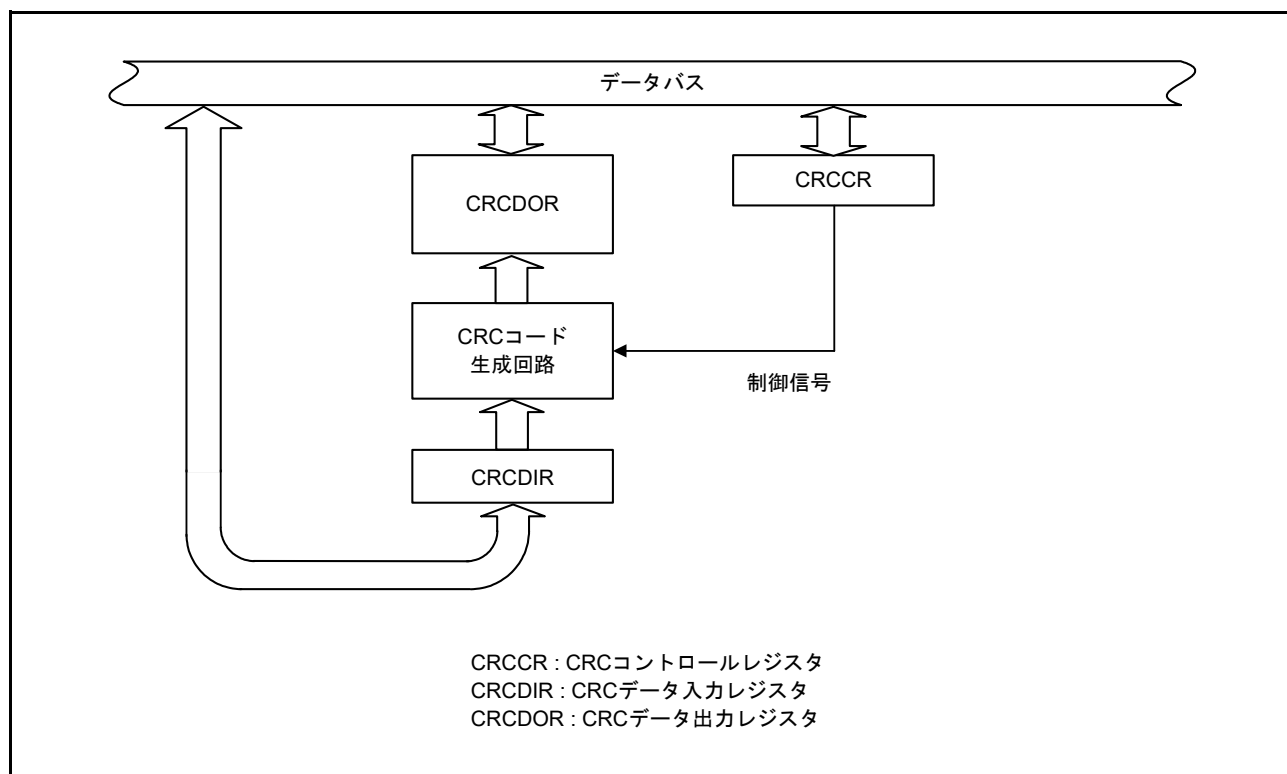


図 43.1 CRC 演算器のブロック図

43.2 レジスタの説明

43.2.1 CRCコントロールレジスタ (CRCCR)

アドレス CRC.CRCCR 0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	LMS	—	—	—	GPS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	GPS[2:0]	CRC生成多項式切り替えビット	b2 b0 0 0 0 : 計算しません 0 0 1 : 8ビットCRC ($X^8 + X^2 + X + 1$) 0 1 0 : 16ビットCRC ($X^{16} + X^{15} + X^2 + 1$) 0 1 1 : 16ビットCRC ($X^{16} + X^{12} + X^5 + 1$) 1 0 0 : 32ビットCRC ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1 : 32ビットCRC ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 1 1 0 : 計算しません 1 1 1 : 計算しません	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LMS	CRC演算切り替えビット	0 : LSBファースト通信用にCRCを生成 1 : MSBファースト通信用にCRCを生成	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1 : CRCDORレジスタをクリア 読むと“0”が読めます	W (注1)

注1. “1”のみ書けます。

LMSビット (CRC演算切り替えビット)

生成したCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイトから先に、MSBファーストで通信を行う場合はCRCコードの上位バイトから先に送信してください。

CRCコードの送信および受信については、「43.3 CRC演算器の動作説明」を参照してください。

DORCLRビット (CRCDORレジスタクリアビット)

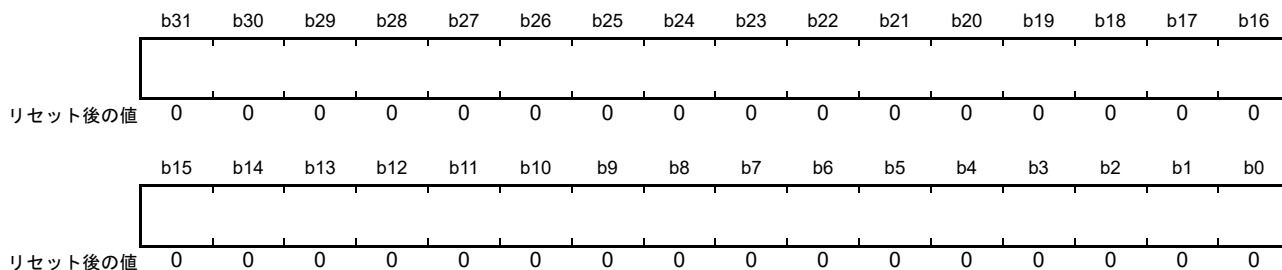
DORCLRビットに“1”を書くと、CRCDORレジスタが“0000 0000h”になります。

読むと“0”が読めます。“0”を書いても何も起こりません。

43.2.2 CRC データ入力レジスタ (CRCDIR)

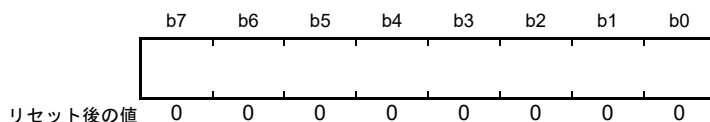
- 32ビットCRC生成時

アドレス CRC.CRCDIR 0008 8284h



- 16ビットCRC、8ビットCRC生成時

アドレス CRC.CRCDIR 0008 8284h

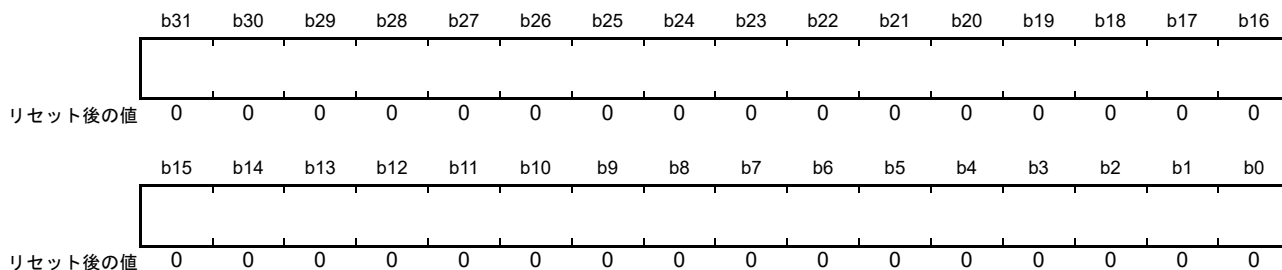


CRCDIR レジスタは、読み出し / 書き込み可能なレジスタです。CRC 演算の対象となるデータを書いてください。32ビットCRCを生成する場合は、CRCDIR レジスタをロングワードアクセスしてください。8ビットCRCまたは16ビットCRCを生成する場合は、CRCDIR レジスタをバイトアクセスしてください。

43.2.3 CRC データ出力レジスタ (CRCDOR)

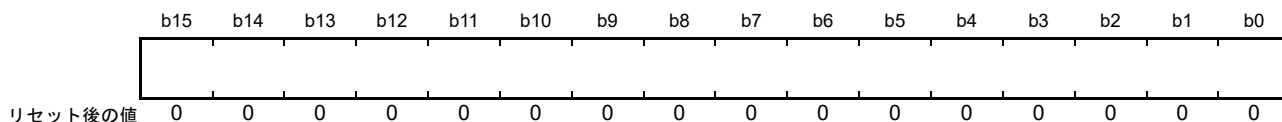
- 32ビットCRC生成時

アドレス CRC.CRCDOR 0008 8288h



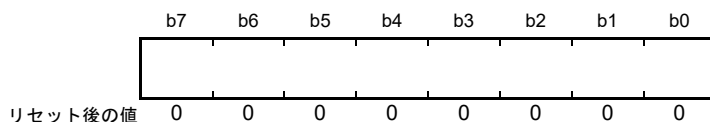
- 16ビットCRC生成時

アドレス CRC.CRCDOR 0008 8288h



- 8ビットCRC生成時

アドレス CRC.CRCDOR 0008 8288h



CRCDOR レジスタは、読み出し/書き込み可能なレジスタです。

リセット後の値は“0000 0000h”ですので、初期値を“0000 0000h”以外にして演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRCDIR レジスタに書き、その演算結果が“0000 0000h”の場合、誤りがないと判断できます。

32ビットCRCを選択した場合は、CRCDOR レジスタをロングワードアクセスしてください。16ビットCRCを選択した場合は、CRCDOR レジスタをワードアクセスしてください。8ビットCRCを選択した場合は、CRCDOR レジスタをバイトアクセスしてください。

43.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト /MSB ファースト通信用 CRC コードを生成します。

16 ビットの CRC 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (“F0h”) の CRC コードを生成する例を以下に示します。この例では CRC 演算の初期値を “0000 0000h” にするために、DORCLR ビットを “1” にして CRC データ出力レジスタ (CRCDOR) の値をクリアしています。

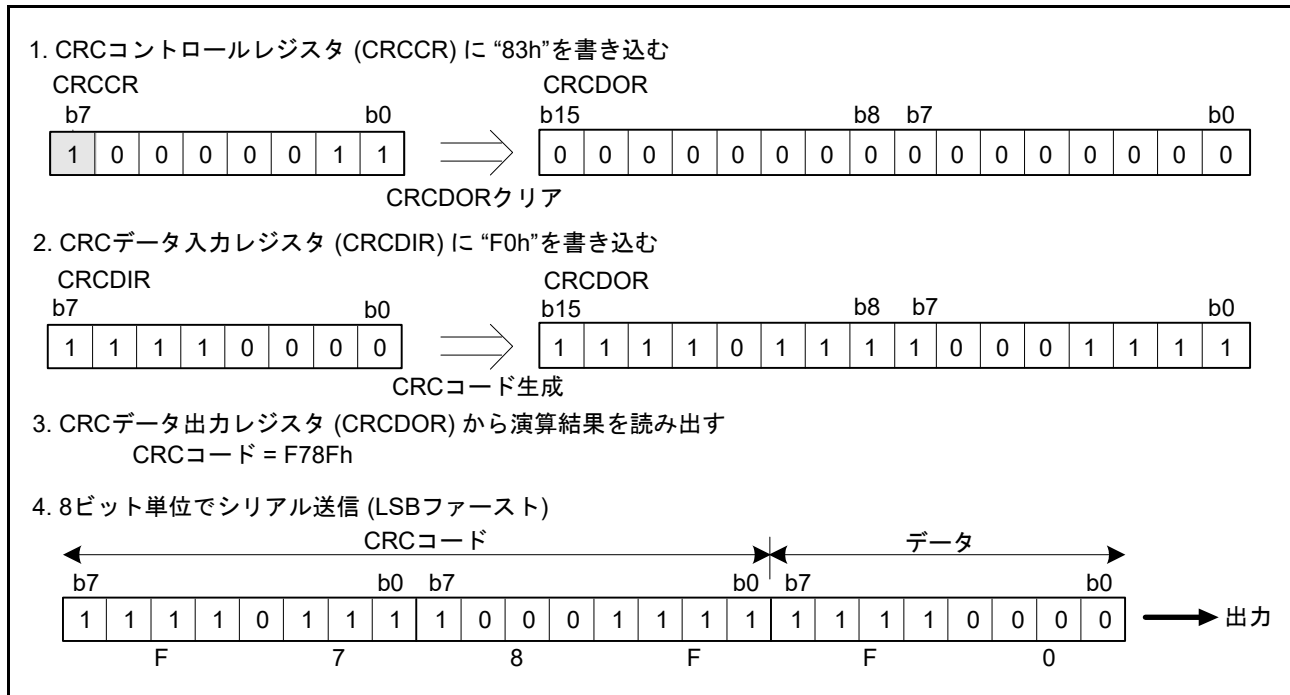


図 43.2 LSB ファーストでのデータ送信

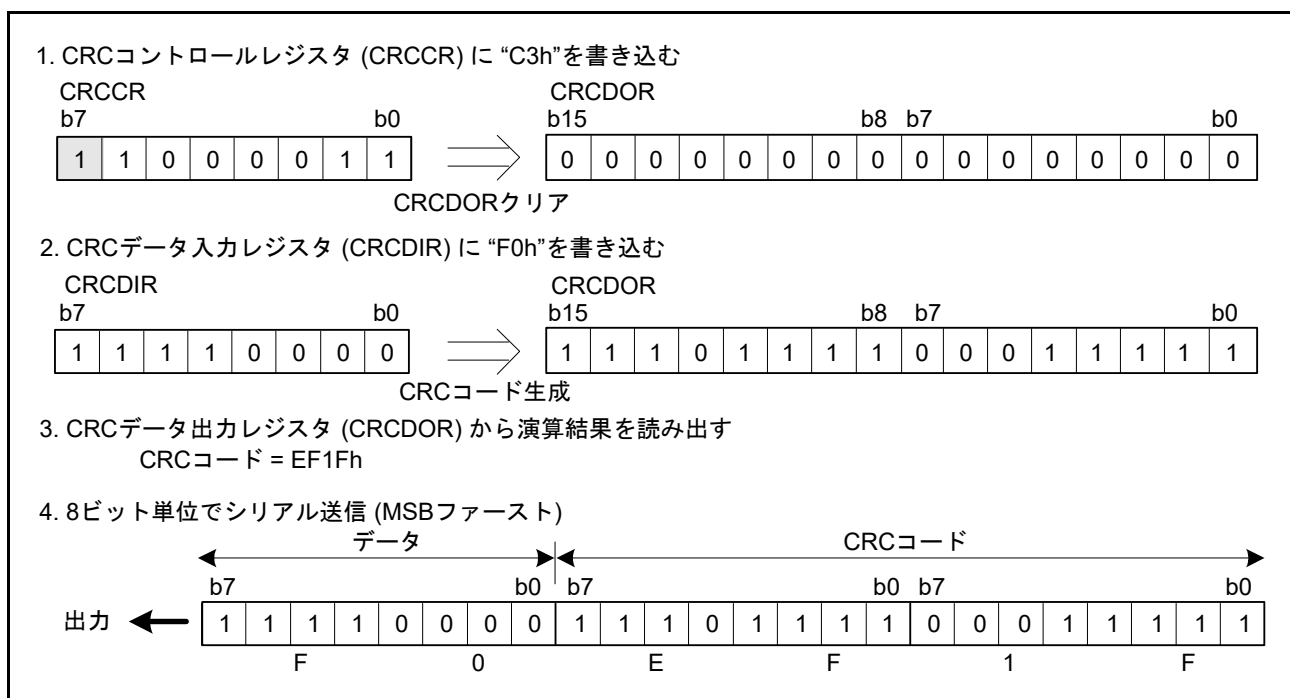


図 43.3 MSB ファーストでのデータ送信

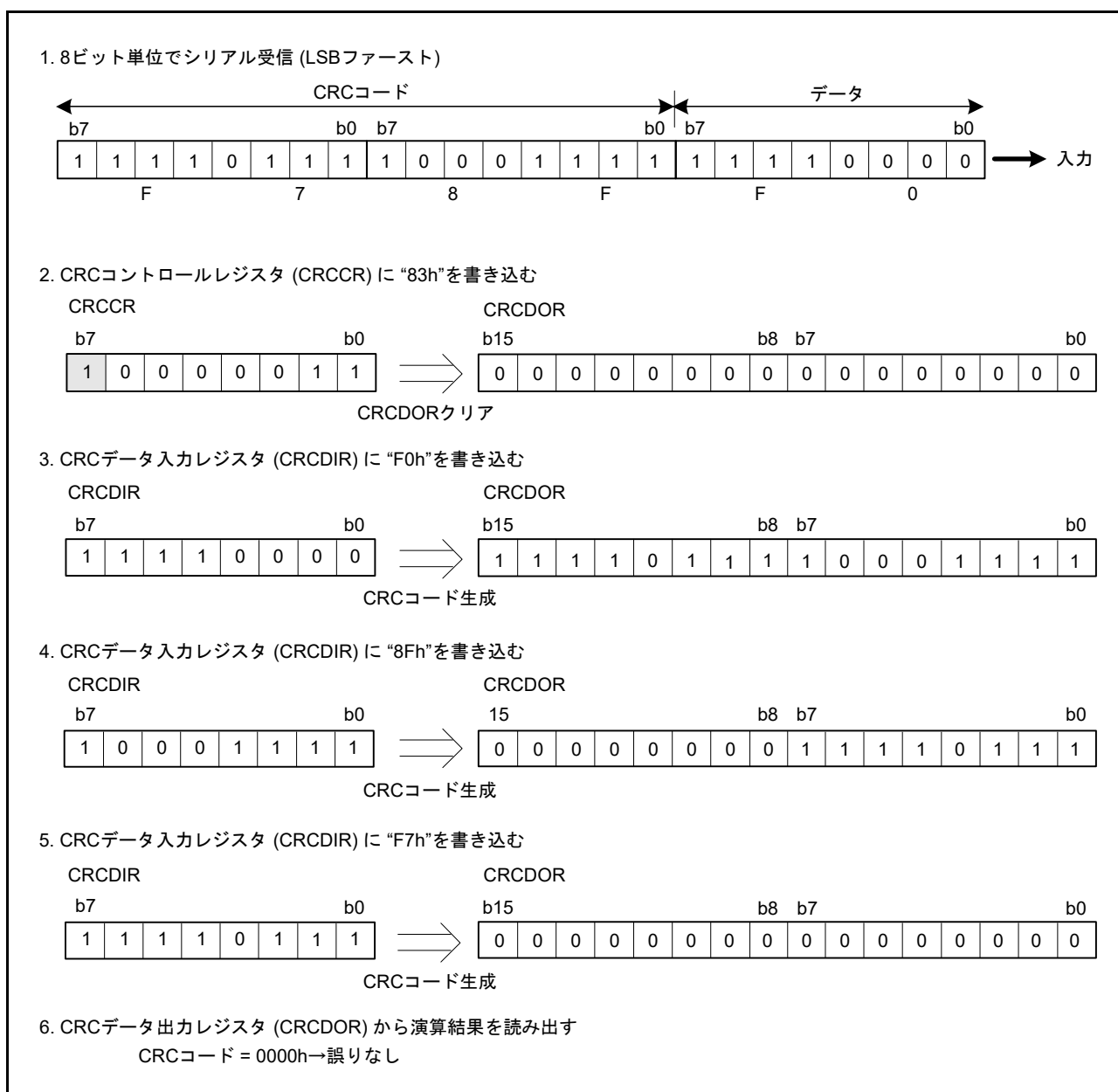


図 43.4 LSBファーストでのデータ受信

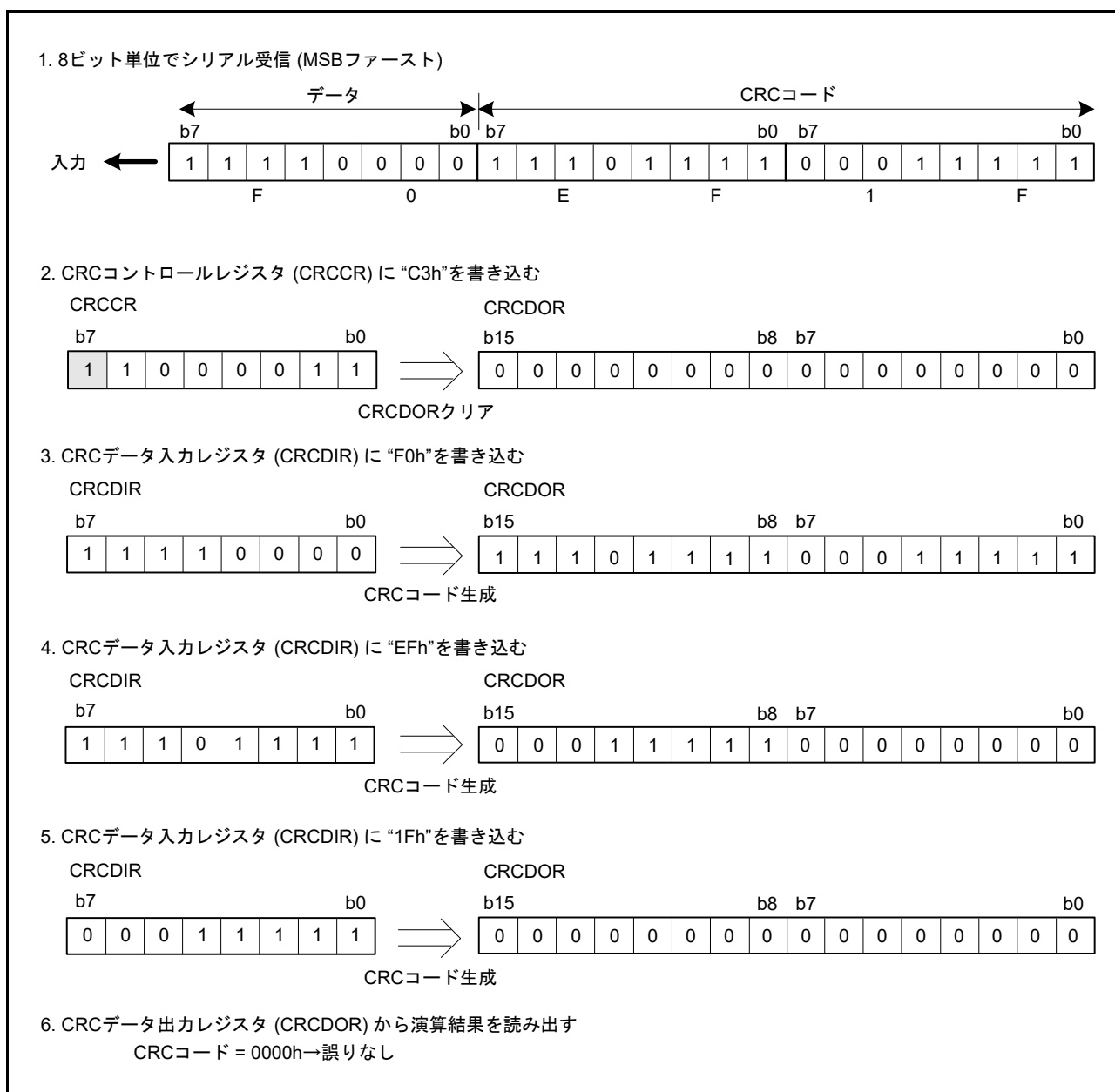


図 43.5 MSBファーストでのデータ受信

43.4 使用上の注意事項

43.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止 / 許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

詳細は「11. 消費電力低減機能」を参照してください。

43.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とは、CRC コードを送る順序が異なりますので注意してください。

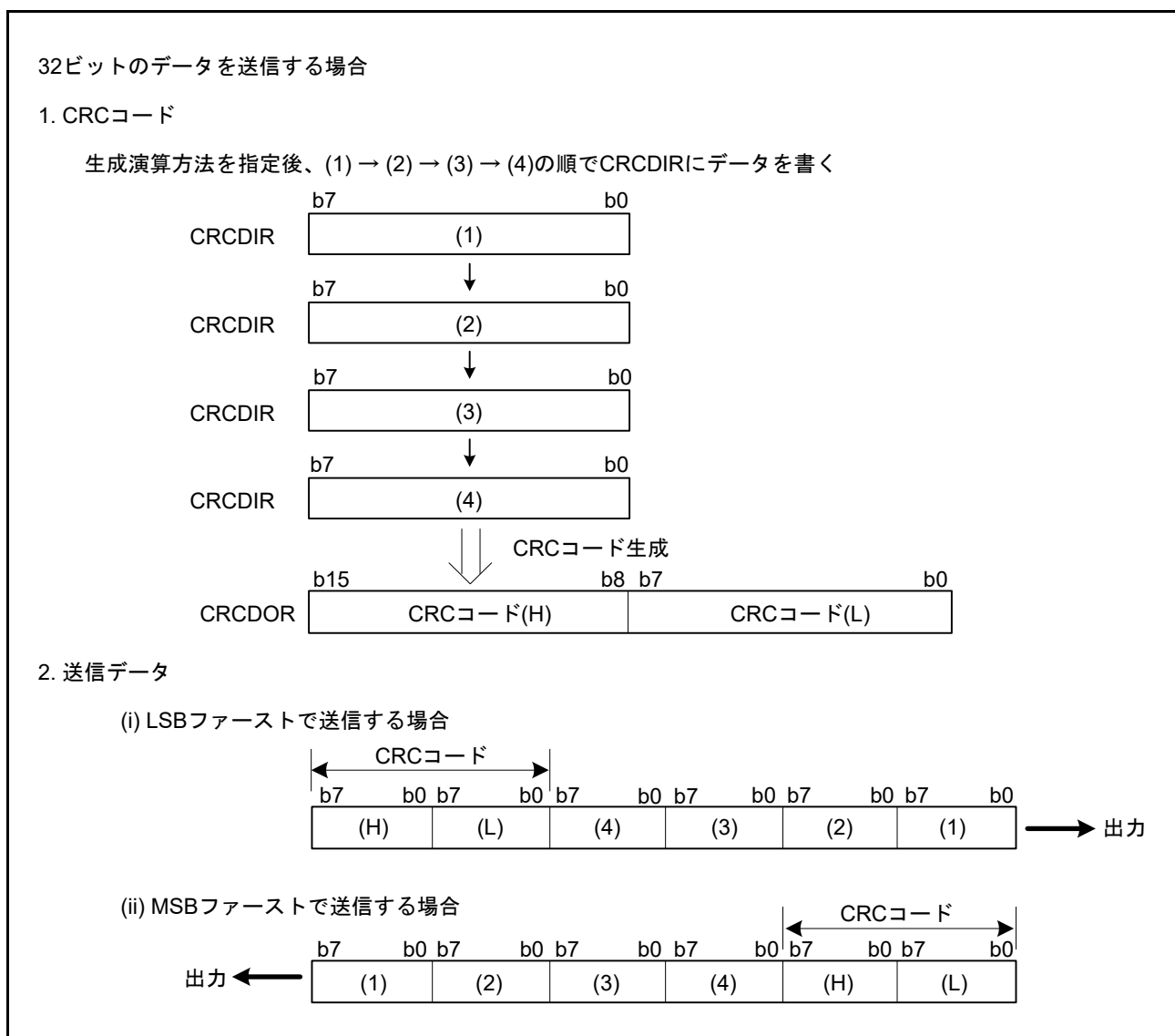


図 43.6 LSB ファーストと MSB ファーストの送信データ

44. SDホストインタフェース(SDHI)

本MCUは、SD規格に対応したSDホストインタフェース(SDHI)を内蔵しています。

SD規格に対応したホスト機器を開発するには、SD Host/Ancillary Product License Agreement (SD HALA)の締結が必要です。

44.1 概要

表 44.1 に SDHI の仕様を示します。

表 44.1 SDHIの仕様

項目	機能
SD Busインタフェース	<ul style="list-style-type: none"> SDメモリカード、SDIOカードに対応(注1) 転送バス幅をワイドバスモード(4ビット)、デフォルトバスモード(1ビット)から選択可能 SD、SDHC、SDXCのSDメモリカードアクセスに対応
転送モード	ハイスピードモード、デフォルトスピードモードに対応
SDHIクロック	周辺モジュールクロック(PCLKB)をn分周してSDHIクロックを生成 (n = 1, 2, 4, 8, 16, 32, 64, 128, 256, 512)
エラーチェック機能	<ul style="list-style-type: none"> CRC7(コマンド、レスポンス) CRC16(転送データ)
割り込み要因	4要因 <ul style="list-style-type: none"> カードアクセス割り込み(CACI) SDIOアクセス割り込み(SDACI) カード検出割り込み(CDETI) SDバッファアクセス割り込み(SBFAI)
DMA転送要求	SDバッファアクセス割り込み(SBFAI)によりDMAC/DTCを起動可能 DMAC/DTCによるSDバッファのリード/ライトが可能
その他の機能	<ul style="list-style-type: none"> カード検出機能 ライトプロテクト機能

注1. SPI Busインタフェース、Embedded SDIOのShared Bus、8ビットSD Bus、SDIOのSuspend/Resume機能には対応していません。

図 44.1 に SDHI のブロック図を示します。

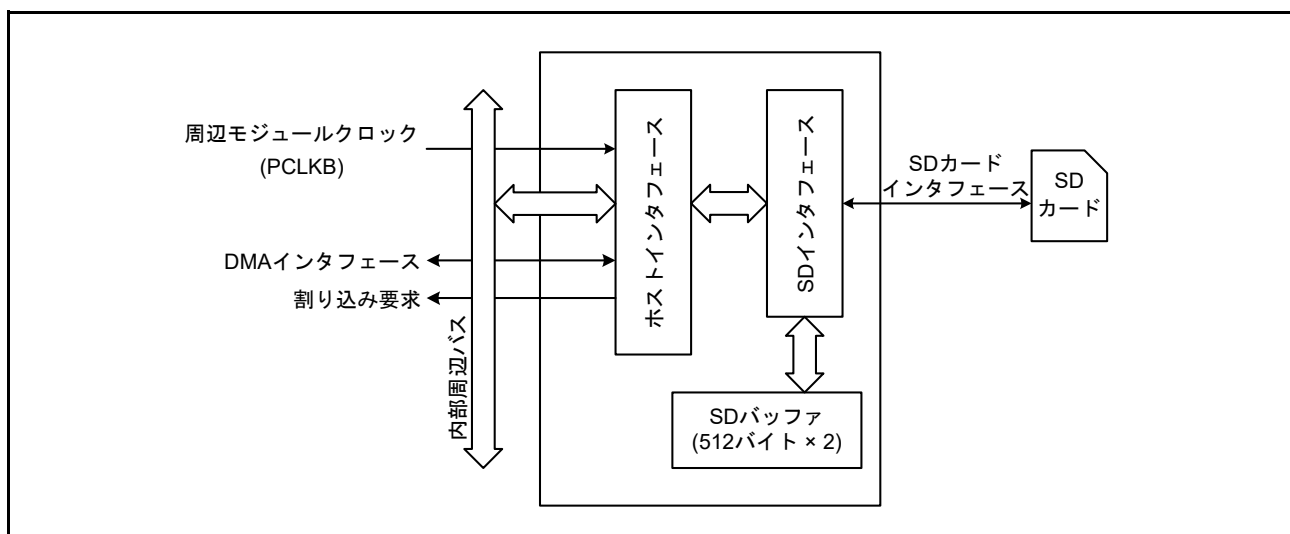


図 44.1 SDHIのブロック図

表 44.2 に SDHI の入出力端子を示します。

表 44.2 SDHIの入出力端子

端子名	入出力	機能
SDHI_CLK	出力	SDHIクロック
SDHI_CMD	入出力	コマンドの出力、レスポンスの入力
SDHI_D0	入出力	データ 0 (DAT0)
SDHI_D1	入出力	データ 1 (DAT1)、SDIO アクセス割り込み
SDHI_D2	入出力	データ 2 (DAT2)、リードウェイト
SDHI_D3	入出力	データ 3 (DAT3)、SDカード検出
SDHI_CD	入力	SDカード検出
SDHI_WP	入力	SDライトプロテクト

44.2 レジスタの説明

44.2.1 コマンドレジスタ (SDCMD)

アドレス SDHI.SDCMD 0008 AC00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMD12AT[1:0]	TRSTP	CMDRW	CMDTP	RSPTP[2:0]		ACMD[1:0]		CMDIDX[5:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMDIDX[5:0]	コマンドインデックスビット	command index フィールド値を設定します。以下にb7-b6も含めた設定例を示します。 <small>b7 b0</small> 0 0 0 0 1 1 0 : CMD6 0 0 0 1 0 0 1 0 : CMD18 0 1 0 0 1 1 0 1 : ACMD13	R/W
b7-b6	ACMD[1:0]	ACMDビット	<small>b7 b6</small> 0 0 : CMD 0 1 : ACMD 上記以外は設定しないでください	R/W
b10-b8	RSPTP[2:0]	レスポンスタイプビット (注1)	<ul style="list-style-type: none"> ノーマルモード <small>b10 b8</small> 0 0 0 : コマンド(ACMD[1:0]ビットおよびCMDIDX[5:0]ビットの組み合わせ)によって、レスポンスの種類と転送の方法が決まります。このとき、本レジスタのb15-b11の設定は無効です 拡張モード <small>b10 b8</small> 0 1 1 : レスポンスなし 1 0 0 : R1、R5、R6、R7レスポンス 1 0 1 : R1bレスポンス 1 1 0 : R2レスポンス 1 1 1 : R3、R4レスポンス 上記以外は設定しないでください 	R/W
b11	CMDTP	コマンドタイプビット (注2)	0 : コマンドタイプは、bc、bcr、acのいずれか (データ転送を行わないコマンド) 1 : コマンドタイプは、adtc (データ転送を行うコマンド)	R/W
b12	CMDRW	リードライトコマンドビット (注3)	0 : SDカードへ書き込み 1 : SDカードから読み出し	R/W
b13	TRSTP	転送タイプビット (注3)	0 : シングルブロック転送 1 : マルチブロック転送	R/W
b15-b14	CMD12AT[1:0]	マルチブロック転送モードビット (注4)	<small>b15 b14</small> 0 0 : マルチブロック転送時、CMD12を自動送信する 0 1 : マルチブロック転送時、CMD12を自動送信しない 上記以外は設定しないでください	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. ノーマルモードで使用できないコマンドがあります。表44.3を参照してRSPTP[2:0]ビットを設定してください。

注2. CMDTPビットは、RSPTP[2:0]ビットが“000b”以外のときのみ有効です。

注3. CMDRW、TRSTPビットは、RSPTP[2:0]ビットが“000b”以外で、CMDTPビットが“1”のときのみ有効です。

注4. CMD12AT[1:0]ビットは、RSPTP[2:0]ビットが“000b”以外で、TRSTPビットが“1”のときのみ有効です。

SDCMD レジスタは、コマンドやレスポンスの種類を設定するレジスタです。RSPTP[2:0]ビットが“000b”以外の場合、コマンドタイプや転送モードを設定する必要があります。SDCMD レジスタに値を書き込む

と、SDHIはコマンドシーケンスを開始します。SDCMDレジスタの設定例を表44.3に示します。

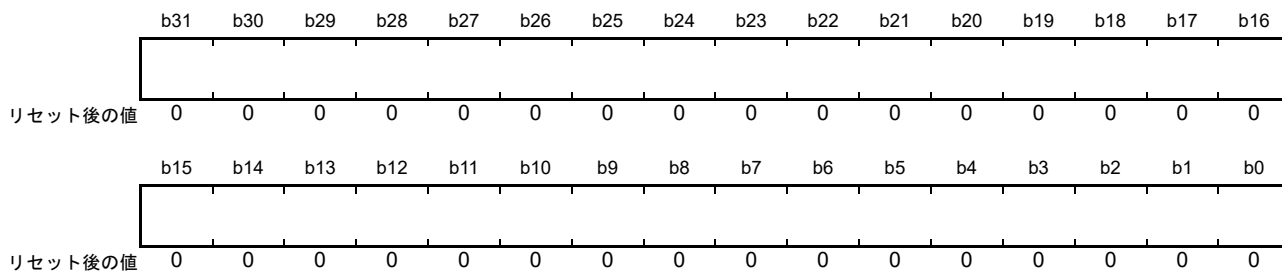
SDSTS2.CBSYフラグが“1”のとき、SDCMDレジスタへ書き込まないでください。

表44.3 SDCMDレジスタへの設定例

種類	コマンド	SDCMDレジスタ設定例	備考
CMD	CMD0	0000 0000h	
	CMD2	0000 0002h	
	CMD3	0000 0003h	
	CMD4	0000 0004h	
	CMD5	0000 0705h or 0000 0005h	
	CMD6	0000 1C06h or 0000 0006h	
	CMD7	0000 0007h	カードを非選択状態にすると、SDカードからレスポンスが返りません。そのため、SDSTS2.RSPTOフラグが“1”になります
	CMD8	0000 0408h or 0000 0008h	
	CMD9	0000 0009h	
	CMD10	0000 000Ah	
	CMD11	0000 040Bh or 0000 000Bh	
	CMD12	0000 000Ch	
	CMD13	0000 000Dh	
	CMD15	0000 000Fh	
	CMD16	0000 0010h	
	CMD17	0000 0011h	
	CMD18	0000 0012h	
	CMD20	0000 0514h or 0000 0014h	
	CMD24	0000 0018h	
	CMD25	0000 0019h	
	CMD27	0000 001Bh	
	CMD28	0000 001Ch	
	CMD29	0000 001Dh	
	CMD30	0000 001Eh	
	CMD32	0000 0020h	
	CMD33	0000 0021h	
	CMD38	0000 0026h	
	CMD42	0000 002Ah	
	CMD52	0000 0434h or 0000 0034h	
	CMD53	0000 1C35h	シングルリードの場合
		0000 0C35h	シングルライトの場合
		0000 7C35h	マルチリードの場合
		0000 6C35h	マルチライトの場合
0000 0035h		シングルまたはマルチ転送に関わらず、左記の設定も可能です。ただしSDARGレジスタの最上位ビット(RW flag)に、読み出しの場合は“0”、書き込みの場合は“1”を設定する必要があります	
CMD55	0000 0037h		
CMD56	0000 0038h		
ACMD	ACMD6	0000 0046h	
	ACMD13	0000 004Dh	
	ACMD22	0000 0056h	
	ACMD23	0000 0057h	
	ACMD41	0000 0069h	
	ACMD42	0000 006Ah	
	ACMD51	0000 0073h	

44.2.2 アーギュメントレジスタ (SDARG)

アドレス SDHI.SDARG 0008 AC08h



SDARG レジスタは、**argument** フィールド値を設定するレジスタです。SDCMD レジスタに書き込む前にSDARG レジスタに書き込んでください。

なお、自動送信される CMD12 の **argument** フィールド値は、SDARG レジスタの値に関わらず“0000 0000h”です。

44.2.3 データストップレジスタ (SDSTOP)

アドレス SDHI.SDSTOP 0008 AC10h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDBLK CNTEN	—	—	—	—	—	—	—	STP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STP	転送停止ビット	“1”を書くと転送が停止します	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b8	SDBLK CNTEN	ブロックカウントレジスタ有効ビット (注1)	0 : SDBLKCNTレジスタの設定値は無効 1 : SDBLKCNTレジスタの設定値は有効	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. SDSTS2.CBSYフラグが“1”のとき、SDBLKCNTENビットを書き換えしないでください。

SDSTOPレジスタは、転送の停止を行うレジスタです。また、マルチブロック転送時は、SDBLKCNTレジスタ値(転送ブロック数)を有効または無効にします。

STP ビット (転送停止ビット)

STPビットを“1”にするのは、SDSTS1.RSPENDフラグが“1”になった後に、STPビットを“0”にするのは、SDSTS1.ACENDフラグが“1”になった後に、それぞれ行ってください。

なお、コマンドシーケンスが終了しているときにSTPビットを“1”にしても、SDHIはCMD12を発行せず、SDSTS1.ACENDフラグは“1”になりません。また、R1bレスポンスを受信した後のビジー状態のとき、STPビットを“1”にしてもSDHIはCMD12を送信せず、ビジー状態が解除された後、SDSTS1.ACENDフラグが“1”になります。

- マルチブロック転送の場合

STPビットを“1”にすると、SDHIはCMD12を送信し、コマンドシーケンスは停止します。STPビットを“1”にした後もSDバッファにアクセスできますが、バッファアクセスエラーとなり、SDSTS2.ILWフラグまたはSDSTS2.ILRフラグが“1”になります。

通信エラーまたはタイムアウトによりコマンドシーケンスが停止している場合、SDHIはCMD12を送信しません。

- シングルブロック転送の場合

シングルブロックライト中にSTPビットを“1”にしたとき、SDバッファにデータがないと、SDSTS1.ACENDフラグが“1”になります。SDバッファにデータがあると、ビジー状態が解除された後にSDSTS1.ACENDフラグが“1”になります。

シングルブロックリード中にSTPビットを“1”にしたとき、SDSTS1.ACENDフラグが“1”になります。

なお、シングルブロックライトまたはリード時は、STPビットを“1”にしてもCMD12は送信されません。

SDBLKCNTEN ビット (ブロックカウントレジスタ有効ビット)

マルチブロック転送中、SDBLKCNTEN ビットが“1”であると、SDHI は CMD12 を自動送信します。

ノーマルモード (SDCMD.RSPTP[2:0] ビットが“000b”) で CMD18 または CMD25 を送信したとき、または拡張モード (SDCMD.RSPTP[2:0] ビットが“000b”以外) で SDCMD.TRSTP ビットが“1” (マルチブロック転送)、SDCMD.CMD12AT[1:0] ビットが“00b” (CMD12 を自動送信する) のとき、転送ブロック数が SDBLKCNT レジスタに設定した値になると、SDHI は CMD12 を自動送信します。

通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、CMD12 は自動送信されません。

44.2.4 ブロックカウントレジスタ (SDBLKCNT)

アドレス SDHI.SDBLKCNT 0008 AC14h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

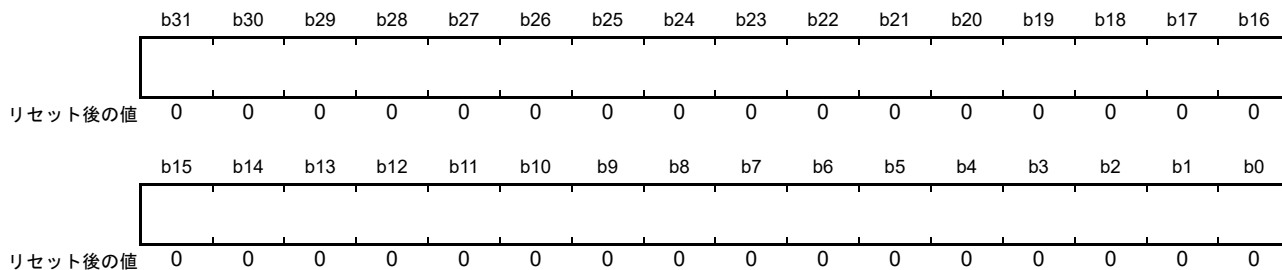
SDBLKCNT レジスタは、マルチブロック転送時の転送ブロック数を設定する読み書き可能なレジスタです。設定した値が転送ブロック数になります。たとえば、“0000 0001h”を設定すると1ブロック、“0000 FFFFh”を設定すると65535ブロック、“FFFF FFFFh”を設定すると4294967295ブロックになります。“0000 0000h”は設定しないでください。

SDSTS2.CBSY フラグが“1”のときは、SDBLKCNT レジスタを書き換えしないでください。

44.2.5 レスポンスレジスタ 10 (SDRSP10)、レスポンスレジスタ 32 (SDRSP32)、レスポンスレジスタ 54 (SDRSP54)、レスポンスレジスタ 76 (SDRSP76)

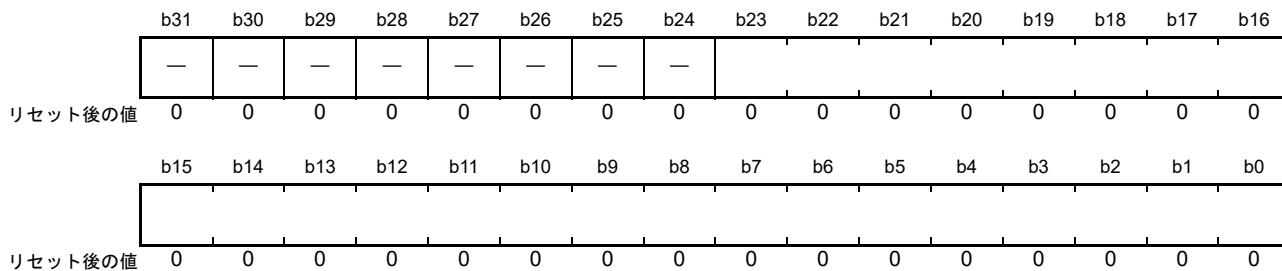
- SDRSP10, SDRSP32, SDRSP54

アドレス SDHI.SDRSP10 0008 AC18h, SDHI.SDRSP32 0008 AC20h, SDHI.SDRSP54 0008 AC28h



- SDRSP76

アドレス SDHI.SDRSP76 0008 AC30h



ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	SDカードからのレスポンスを格納します。	R
b31-b24	—	予約ビット	読むと“0”が読めます	R

SDRSP レジスタは、SD カードからのレスポンスを格納する、読み出し専用のレジスタです。

SDHI は、SD カードからのレスポンスの種類により、レスポンスの内容を SDRSP10、SDRSP32、SDRSP54、SDRSP76 レジスタに分割して格納します。SDRSP レジスタとレスポンスの格納先の対応を表 44.4 に示します。

表44.4 SDRSPレジスタとレスポンスの格納先の対応

レスポンスタイプ	SDRSP76レジスタ	SDRSP54レジスタ	SDRSP32レジスタ	SDRSP10レジスタ
R1	—	[39:8] (注1)	—	[39:8]
R1b	—	[39:8] (注1)	—	[39:8]
R2	[127:104]	[103:72]	[71:40]	[39:8]
R3	—	—	—	[39:8]
R4	—	—	—	[39:8]
R5	—	—	—	[39:8]
R6	—	—	—	[39:8]
R7	—	—	—	[39:8]

注1. CMD18またはCMD25に対するレスポンスは、SDRSP10レジスタとSDRSP54レジスタの両方に格納されます。このため、自動送信されたCMD12のレスポンスがSDRSP10レジスタに上書きされた場合でも、SDRSP54レジスタに格納された値を参照することで、CMD18またはCMD25に対するレスポンスを確認できます。

44.2.6 SDステータスレジスタ 1 (SDSTS1)

アドレス SDHI.SDSTS1 0008 AC38h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SDD3M ON	SDD3I N	SDD3R M	SDWP MON	—	SDCD MON	SDCDI N	SDCDR M	ACEND	—	RSPEN D
リセット後の値	0	0	0	0	0	x	0	0	x	0	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	RSPEND	レスポンスエンドフラグ	0 : レスポンスエンドを検出していない 1 : レスポンスエンドを検出した	R/(W) (注1)
b1	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b2	ACEND	アクセスエンドフラグ	0 : アクセスエンドを検出していない 1 : アクセスエンドを検出した	R/(W) (注1)
b3	SDCDRM	SDHI_CD 抜去フラグ	0 : SDHI_CD 端子によるSDカード抜去を検出していない 1 : SDHI_CD 端子によるSDカード抜去を検出した	R/(W) (注1)
b4	SDCDIN	SDHI_CD 挿入フラグ	0 : SDHI_CD 端子によるSDカード挿入を検出していない 1 : SDHI_CD 端子によるSDカード挿入を検出した	R/(W) (注1)
b5	SDCDMON	SDHI_CD モニタフラグ	0 : SDHI_CD 端子のレベルはHigh (注2) 1 : SDHI_CD 端子のレベルはLow (注2)	R
b6	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b7	SDWPMON	SDHI_WP モニタフラグ	0 : SDHI_WP 端子のレベルはHigh 1 : SDHI_WP 端子のレベルはLow	R
b8	SDD3RM	SDHI_D3 抜去フラグ	0 : SDHI_D3 端子によるSDカード抜去を検出してない 1 : SDHI_D3 端子によるSDカード抜去を検出した	R/(W) (注1)
b9	SDD3IN	SDHI_D3 挿入フラグ	0 : SDHI_D3 端子によるSDカード挿入を検出してない 1 : SDHI_D3 端子によるSDカード挿入を検出した	R/(W) (注1)
b10	SDD3MON	SDHI_D3 モニタフラグ	0 : SDHI_D3 端子のレベルはLow 1 : SDHI_D3 端子のレベルはHigh	R
b31-b11	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

注2. SDOPT.CTOP[3:0]ビットで指定した期間以上、同じレベルが継続したときにフラグが変化します。

SDSTS1 レジスタは、コマンドシーケンスにおけるレスポンスエンドおよびアクセスエンドの検出を表示します。また、SDカードの挿抜検出、ライトプロテクトの状態を表示します。

マルチブロック転送中にCMD12およびCMD52 (SDIO abort) を送信した場合、ACEND フラグは“1”になりますが、RSPEND フラグは“1”になりません。

通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、ACEND フラグまたはRSPEND フラグが“1”になります。

SDD3MON、SDD3IN、SDD3RM フラグはリセット解除後、SDHI_D3 端子の状態により変化します。また、4ビットモードでのデータ転送中にも変化します。

フラグをクリアする場合は、クリアするフラグに“0”を、それ以外のフラグには“1”を書き込んでください。

RSPEND フラグ (レスポンスエンドフラグ)

["1"になる条件]

- レスポンスの受信を完了したとき
- レスポンスがないコマンドの送信が完了したとき
- R1b レスポンスを受信した後、ビジー状態が解除されたとき
- マルチブロック転送中に SDIOMD.C52PUB ビットを“1”にした後、CMD52 のレスポンス受信が完了したとき
- 通信エラーまたはタイムアウトによりコマンドシーケンスが中断したとき

["0"になる条件]

- “0”を書いたとき

注. データ転送のないコマンドを送信したとき、コマンドシーケンスが終了した後、RSPEND フラグが“1”になります

ACEND フラグ (アクセスエンドフラグ)

["1"になる条件]

- シングルブロックリード時、SD バッファからの読み出しが完了したとき
- マルチブロックリード時、SD バッファから最終ブロックの読み出しが完了したとき
- マルチブロックリード時、CMD12 を自動送信する場合、SD バッファからの読み出しが完了し、CMD12 に対するレスポンスの受信が完了したとき
- シングルブロックライト時、CRC status トークンを受信した後、ビジー状態が解除されたとき
- マルチブロックライト時、最終ブロックの CRC status トークンを受信した後、ビジー状態が解除されたとき
- マルチブロックライト時、CMD12 を自動送信する場合、CMD12 に対するレスポンスビジー (busy) の受信が完了したとき
- マルチブロックリード時、CMD12 を自動送信する場合、SDSTOP.STP ビットを“1”にした後に自動送信された CMD12 に対するレスポンスの受信が完了したとき
- マルチブロックライト時、CMD12 を自動送信する場合、SDSTOP.STP ビットを“1”にした後に自動送信された CMD12 に対するレスポンスビジー (busy) の受信が完了したとき
- マルチブロックリード中に SDIOMD.IOABT ビットを“1”にした後、CMD52 に対するレスポンスの受信が完了したとき
- マルチブロックライト中に SDIOMD.IOABT ビットを“1”にした後、CMD52 に対するレスポンスの受信が完了したとき
- 通信エラーまたはタイムアウトによりコマンドシーケンスが中断したとき

["0"になる条件]

- “0”を書いたとき

注. コマンドシーケンスが終了した後、ACEND フラグが“1”になります

SDCDRM フラグ (SDHI_CD 抜去フラグ)

["1"になる条件]

- SDHI_CD 端子が Low から High になり、High の期間が SDOPT.CTOP[3:0] ビットで指定された期間以上であったとき

["0"になる条件]

- “0”を書いたとき

SDDCDIN フラグ (SDHI_CD 挿入フラグ)

[“1”になる条件]

- SDHI_CD 端子が High から Low になり、Low の期間が SDOPT.CTOP[3:0] ビットで指定された期間以上であったとき

[“0”になる条件]

- “0”を書いたとき

SDD3RM フラグ (SDHI_D3 抜去フラグ)

[“1”になる条件]

- SDHI_D3 端子が High から Low になり、Low の期間が PCLKB の 2 サイクル以上であったとき

[“0”になる条件]

- “0”を書いたとき

SDD3IN フラグ (SDHI_D3 挿入フラグ)

[“1”になる条件]

- SDHI_D3 端子が Low から High になり、High の期間が PCLKB の 2 サイクル以上であったとき

[“0”になる条件]

- “0”を書いたとき

44.2.7 SDステータスレジスタ 2 (SDSTS2)

アドレス SDHI.SDSTS2 0008 AC3Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ILA	CBSY	SDCLK CREN	—	—	—	BWE	BRE	SDD0M ON	RSPTO	ILR	ILW	DTO	ENDE	CRCE	CMDE
リセット後の値	0	0	1	0	0	0	0	0	x	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	CMDE	コマンドエラーフラグ	0 : コマンドエラーの発生なし 1 : コマンドエラーの発生あり	R/(W) (注1)
b1	CRCE	CRCエラーフラグ	0 : CRCエラーの発生なし 1 : CRCエラーの発生あり	R/(W) (注1)
b2	ENDE	エンドビットエラーフラグ	0 : エンドビットエラーの発生なし 1 : エンドビットエラーの発生あり	R/(W) (注1)
b3	DTO	データタイムアウトフラグ	0 : データタイムアウトの発生なし 1 : データタイムアウトの発生あり	R/(W) (注1)
b4	ILW	SDBUFR不正書き込みフラグ	0 : SDBUFRレジスタへの不正な書き込みなし 1 : SDBUFRレジスタへの不正な書き込みあり	R/(W) (注1)
b5	ILR	SDBUFR不正読み出しフラグ	0 : SDBUFRレジスタから不正な読み出しなし 1 : SDBUFRレジスタから不正な読み出しあり	R/(W) (注1)
b6	RSPTO	レスポンスタイムアウトフラグ	0 : レスポンスタイムアウトの発生なし 1 : レスポンスタイムアウトの発生あり	R/(W) (注1)
b7	SDD0MON	SDHI_D0モニタフラグ	0 : SDHI_D0端子はLowレベル 1 : SDHI_D0端子はHighレベル	R
b8	BRE	SDBUFR読み出し許可フラグ	0 : SDBUFRレジスタからの読み出し禁止 1 : SDBUFRレジスタからの読み出し許可	R/(W) (注1)
b9	BWE	SDBUFR書き込み許可フラグ	0 : SDBUFRレジスタへの書き込み禁止 1 : SDBUFRレジスタへの書き込み許可	R/(W) (注1)
b10	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b11	—	予約ビット	読むと“0”が読めます。書く場合、“1”としてください	R/W
b12	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b13	SDCLKREN	SDCLKCR書き込み許可フラグ	0 : SD Bus (CMDとDATライン)がビジーなので、 SDCLKCR.CLKENビットとCLKSEL[7:0]ビットへの書き 込み禁止 1 : SD Bus (CMDとDATライン)がビジーではないので、 SDCLKCR.CLKENビットとCLKSEL[7:0]ビットへの書き 込み許可	R
b14	CBSY	コマンドシーケンスビジーフラグ	0 : コマンドシーケンス終了 1 : コマンドシーケンス実行中(ビジー状態)	R
b15	ILA	不正アクセスエラーフラグ	0 : 不正アクセスエラーの発生なし 1 : 不正アクセスエラーの発生あり	R/(W) (注1)
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. “1”を書いてもフラグの値は変化しません。“0”を書くともフラグの値は“0”になります。

SDSTS2レジスタは、SDバッファおよびSDカードのステータスを表示します。フラグをクリアする場合は、クリアするフラグに“0”、それ以外のフラグに“1”を書き込んでください。

CMDE フラグ (コマンドエラーフラグ)

コマンドエラーが発生するとコマンドシーケンスは停止します。

SDIOMD.C52PUB ビットを“1”にして CMD52 が自動送信されたとき、通信エラーもしくはレスポンスタイムアウトが発生すると、コマンドシーケンスは終了しません。「44.3.6.8 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード)」または「44.3.6.9 IO_RW_EXTENDED (CMD53/ マルチブロックライト)」に示されたエラー処理を行って、コマンドシーケンスを終了してください。

["1" になる条件]

- 送信したコマンドの command index フィールド値と受信したレスポンスの command index フィールド値が異なるとき
- 転送を停止するために自動送信された CMD12 または CMD52 の command index フィールド値と受信したレスポンスの command index フィールド値が異なるとき

["0" になる条件]

- “0” を書いたとき

CRCE フラグ (CRC エラーフラグ)

CRC エラーが発生するとコマンドシーケンスは停止します。

SDIOMD.C52PUB ビットを“1”にして CMD52 が自動送信された場合、通信エラーもしくはレスポンスタイムアウトが発生すると、コマンドシーケンスは終了しません。「44.3.6.8 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード)」または「44.3.6.9 IO_RW_EXTENDED (CMD53/ マルチブロックライト)」に示されたエラー処理を行って、コマンドシーケンスを終了してください。

["1" になる条件]

- 受信した CRC status トークンがエラーを示しているとき (“010b” 以外のとき)
- 読み出したデータに CRC エラーがあるとき
- レスポンスに CRC エラーがあるとき
- 転送を停止するために自動送信された CMD12 または CMD52 のレスポンスに CRC エラーがあるとき

["0" になる条件]

- “0” を書いたとき

ENDE フラグ (エンドビットエラーフラグ)

エンドビットエラーが発生するとコマンドシーケンスは停止します。

SDIOMD.C52PUB ビットを“1”にして CMD52 が自動送信されたとき、通信エラーもしくはレスポンスタイムアウトが発生すると、コマンドシーケンスは終了しません。「44.3.6.8 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード)」または「44.3.6.9 IO_RW_EXTENDED (CMD53/ マルチブロックライト)」に示されたエラー処理を行って、コマンドシーケンスを終了してください。

["1" になる条件]

- レスポンス長にエラーがあるとき (エンドビットが検出できなかったとき)
- 読み出しデータ長にエラーがあるとき (有効ビットのエンドビットが検出できなかったとき)
- CRC status トークン長にエラーがあるとき (エンドビットが検出できなかったとき)
- 転送を停止するために自動送信された CMD12 または CMD52 のレスポンス長にエラーがあるとき (エンドビットが検出できなかったとき)

["0" になる条件]

- “0” を書いたとき

DTO フラグ (データタイムアウトフラグ)

SDOPT.TOP[3:0] ビットで設定した期間、期待するデータを受信できなかったことを表示します。ただし、レスポンスタイムアウトは除きます。データタイムアウトが発生するとコマンドシーケンスは停止します。

["1" になる条件]

- R1b レスポンスを受信した後、指定期間以上ビジー状態のとき
- CRC status トークンを受信した後、指定期間以上ビジー状態のとき
- データを書き込んだ後、指定期間以上 CRC status トークンを受信しないとき
- リードコマンドを送信した後、指定期間以上読み出しデータを受信しないとき
- コマンドシーケンス中に CMD12 が送信された後、指定期間以上ビジー状態のとき
- 読み出しデータを受信した後、指定期間以上次の読み出しデータを受信しないとき
- Read Wait 状態が解除された後、指定期間以上次の読み出しデータを受信しないとき

["0" になる条件]

- "0" を書いたとき

ILW フラグ (SDBUFR 不正書き込みフラグ)

["1" になる条件]

- リードまたはライトコマンドステートでないときに SDBUFR レジスタに書き込んだとき
- SD バッファがフルのときに SDBUFR レジスタに書き込んだとき
- CRC status トークンまたは CRC status トークン長がエラーの場合に SDBUFR レジスタに書き込んだとき
- CRC status トークンを受信した後、SDOPT.TOP[3:0] ビットで設定した期間以上ビジー状態のとき、SDBUFR レジスタに書き込んだとき

["0" になる条件]

- "0" を書いたとき

ILR フラグ (SDBUFR 不正読み出しフラグ)

["1" になる条件]

- SD バッファがエンプティのときに SDBUFR レジスタを読み出したとき
- CRC エラーまたはエンドビットエラーを含むデータを SDBUFR レジスタから読み出したとき

["0" になる条件]

- "0" を書いたとき

RSPTO フラグ (レスポンスタイムアウトフラグ)

レスポンスタイムアウトが発生すると、コマンドシーケンスは停止します。

SDIOMD.C52PUB ビットを "1" にして CMD52 が自動送信されたとき、通信エラーもしくはレスポンスタイムアウトが発生すると、コマンドシーケンスは終了しません。「44.3.6.8 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード)」または「44.3.6.9 IO_RW_EXTENDED (CMD53/ マルチブロックライト)」に示されたエラー処理を行って、コマンドシーケンスを終了してください。

["1" になる条件]

- SDHI クロックで 640 サイクル以上の時間が経過してもレスポンスを受信しないとき
(転送を停止するために自動送信された CMD12 または CMD52 のレスポンスを含みます)

["0" になる条件]

- "0" を書いたとき

SDD0MON フラグ (SDHI_D0 モニタフラグ)

SDHI_D0 端子の状態を表示します。

イレーズコマンドを送信した後、DTO フラグが“1”で、RSPTO フラグが“0”の場合、ポーリングにより SDD0MON フラグが“0”から“1”になるのを監視し、イレーズコマンドシーケンスの終了を確認することができます。なお、ライトシーケンス中に通信エラーまたはタイムアウトが発生すると、SDHI_D0 端子が Low のままになっている場合があります。

SDHI クロックが停止しているときは停止前の値を保持します

BRE フラグ (SDBUFR 読み出し許可フラグ)

[“1”になる条件]

- シングルブロック転送時、SDSIZE.LEN[9:0] ビットに設定したサイズのデータが、SD バッファに格納されたとき
- マルチブロック転送時、SDSIZE.LEN[9:0] ビットに設定したサイズのデータが、2 つある SD バッファのうちのいずれかひとつに格納されたとき

[“0”になる条件]

- “0”を書いたとき
- DMA 転送にて SD バッファからデータを 1 ブロック分読み出したとき
CPU にて SDBUFR レジスタからデータを読み出す場合、BRE フラグを“0”にしてから SDSIZE.LEN[9:0] ビットに設定したサイズ(注1)のデータを読み出すようにしてください。

読み出したブロックに CRC エラーまたはエンドビットエラーがあった場合も、SD バッファにデータが格納され BRE フラグが“1”になります。

注 1. SDSIZE.LEN[9:0] ビットに設定する転送データサイズに奇数を設定した場合、端数バイトは無視されます。詳細は「44.5.2 SDBUFR レジスタ不正書き込みエラー」を参照してください。

BWE フラグ (SDBUFR 書き込み許可フラグ)

[“1”になる条件]

- シングルブロック転送時、SD バッファがエンプティのとき
- マルチブロック転送時、2 つある SD バッファのうちのいずれかひとつがエンプティのとき

[“0”になる条件]

- “0”を書いたとき
- DMA 転送にて SD バッファにデータを 1 ブロック分書いたとき
CPU にて SDBUFR レジスタにデータを書き込む場合、BWE フラグを“0”にしてから SDSIZE.LEN[9:0] ビットに設定したサイズ(注1)のデータを書き込むようにしてください。

注 1. SDSIZE.LEN[9:0] ビットに設定する転送データサイズに奇数を設定した場合、端数バイトは無視されます。詳細は「44.5.2 SDBUFR レジスタ不正書き込みエラー」を参照してください。

SDCLKREN フラグ (SDCLKCR 書き込み許可フラグ)

SDCMD レジスタに値が書き込まれると、SDHI はコマンドシーケンスを開始し、SDSTS2.CBSY フラグは“1”に、SDSTS2.SDCLKREN フラグは“0”になります。コマンドシーケンスが終了すると、SDSTS2.CBSY フラグが“0”になった後、SDHI クロックの 8 サイクル後に SDSTS2.SDCLKREN フラグが“1”になります。

ILA フラグ (不正アクセスエラーフラグ)

[“1”になる条件]

- SDSTS2.CBSY フラグが“1”のときに SDCMD レジスタに書き込んだとき
- SDCMD.CMDTP ビットを“1”(データ転送のあるコマンド)、SDCMD.ACMD[1:0] ビットを“00b”かつ SDCMD.CMDIDX[5:0] ビットを“001100b”(CMD12)にしたとき

[“0”になる条件]

- “0”を書いたとき

44.2.8 SD 割り込みマスクレジスタ 1 (SDIMSK1)

アドレス SDHI.SDIMSK1 0008 AC40h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SDD3I NM	SDD3R MM	—	—	—	SDCDI NM	SDCDR MM	ACEND M	—	RSPEN DM
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RSPENDM	レスポンスエンド割り込み要求マスクビット	0: レスポンスエンド割り込み要求をマスクしない 1: レスポンスエンド割り込み要求をマスクする	R/W
b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b2	ACENDM	アクセスエンド割り込み要求マスクビット	0: アクセスエンド割り込み要求をマスクしない 1: アクセスエンド割り込み要求をマスクする	R/W
b3	SDCDRMM	SDHI_CD 抜き割り込み要求マスクビット	0: SDHI_CD 端子による SD カード抜き割り込み要求をマスクしない 1: SDHI_CD 端子による SD カード抜き割り込み要求をマスクする	R/W
b4	SDCDINM	SDHI_CD 挿入割り込み要求マスクビット	0: SDHI_CD 端子による SD カード挿入割り込み要求をマスクしない 1: SDHI_CD 端子による SD カード挿入割り込み要求をマスクする	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b8	SDD3RMM	SDHI_D3 抜き割り込み要求マスクビット	0: SDHI_D3 端子による SD カード抜き割り込み要求をマスクしない 1: SDHI_D3 端子による SD カード抜き割り込み要求をマスクする	R/W
b9	SDD3INM	SDHI_D3 挿入割り込み要求マスクビット	0: SDHI_D3 端子による SD カード挿入割り込み要求をマスクしない 1: SDHI_D3 端子による SD カード挿入割り込み要求をマスクする	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

SDIMSK1 レジスタは、SDSTS1 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。

各ステータスフラグと要求される割り込み要因の関係は「表 44.8 割り込み要因」を参照してください。

44.2.9 SD 割り込みマスクレジスタ 2 (SDIMSK2)

アドレス SDHI.SDIMSK2 0008 AC44h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	0	0	0	1	0	1	1	0	1	1	1	1	1	1	1
	ILAM	—	—	—	—	—	BWEM	BREM	—	RSPTOM	ILRM	ILWM	DTTOM	ENDEM	CRCEM	CMDEM

ビット	シンボル	ビット名	機能	R/W
b0	CMDEM	コマンドエラー割り込み要求マスクビット	0: コマンドエラー割り込み要求をマスクしない 1: コマンドエラー割り込み要求をマスクする	R/W
b1	CRCEM	CRCエラー割り込み要求マスクビット	0: CRCエラー割り込み要求をマスクしない 1: CRCエラー割り込み要求をマスクする	R/W
b2	ENDEM	エンドビットエラー割り込み要求マスクビット	0: エンドビット検出エラー割り込み要求をマスクしない 1: エンドビット検出エラー割り込み要求をマスクする	R/W
b3	DTTOM	データタイムアウト割り込み要求マスクビット	0: データタイムアウト割り込み要求をマスクしない 1: データタイムアウト割り込み要求をマスクする	R/W
b4	ILWM	SDBUFR不正書き込み割り込み要求マスクビット	0: SDBUFRレジスタへの不正書き込み検出割り込み要求をマスクしない 1: SDBUFRレジスタへの不正書き込み検出割り込み要求をマスクする	R/W
b5	ILRM	SDBUFR不正読み出し割り込み要求マスクビット	0: SDBUFRレジスタへの不正読み出し検出割り込み要求をマスクしない 1: SDBUFRレジスタへの不正読み出し検出割り込み要求をマスクする	R/W
b6	RSPTOM	レスポンスタイムアウト割り込み要求マスクビット	0: レスポンスタイムアウト割り込み要求をマスクしない 1: レスポンスタイムアウト割り込み要求をマスクする	R/W
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b8	BREM	BRE割り込み要求マスクビット (注1)	0: SDBUFRレジスタからの読み出し許可割り込み要求をマスクしない 1: SDBUFRレジスタからの読み出し許可割り込み要求をマスクする	R/W
b9	BWEM	BWE割り込み要求マスクビット (注1)	0: SDBUFRレジスタへの書き込み許可割り込み要求をマスクしない 1: SDBUFRレジスタへの書き込み許可割り込み要求をマスクする	R/W
b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b11	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b14-b12	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ILAM	不正アクセスエラー割り込み要求マスクビット	0: 不正アクセスエラー割り込み要求をマスクしない 1: 不正アクセスエラー割り込み要求をマスクする	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. BWEMビットもしくはBREMビットのいずれかが“0”のとき、SDDMAEN.DMAENビットは“0”にしてください。また、SDDMAEN.DMAENビットが“1”のとき、BWEMビットとBREMビットは両方とも“1”にしてください。

SDIMSK2 レジスタは、SDSTS2 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。

各ステータスフラグと要求される割り込み要因の関係は「表 44.8 割り込み要因」を参照してください。

44.2.10 SDHI クロックコントロールレジスタ (SDCLKCR)

アドレス SDHI.SDCLKCR 0008 AC48h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CLKCT RLEN	CLKEN	CLKSEL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CLKSEL[7:0]	SDHIクロック選択ビット	b7 b0 00000000 : PCLKBの2分周 00000001 : PCLKBの4分周 00000010 : PCLKBの8分周 00000100 : PCLKBの16分周 00001000 : PCLKBの32分周 00010000 : PCLKBの64分周 00100000 : PCLKBの128分周 01000000 : PCLKBの256分周 10000000 : PCLKBの512分周 11111111 : PCLKB(注2) 上記以外は設定しないでください	R/W (注1)
b8	CLKEN	SDHIクロック出力許可ビット	0 : SDHIクロックの出力を禁止(SDHI_CLK信号をLowに固定) 1 : SDHIクロックの出力を許可	R/W (注1)
b9	CLKCTRLEN	SDHIクロック自動制御許可ビット	0 : SDHIクロック出力の自動制御は無効 1 : SDHIクロック出力の自動制御は有効	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. SDSTS2.SDCLKCRENフラグが“0”のとき、CLKSEL[7:0]ビット、CLKENビットに書き込むことはできません。

注2. CLKSEL[7:0]ビットを“1111111b”にする場合、または“1111111b”から他の値に変更する場合は以下の手順で実施してください。

- (1) CLKENビットを“0”にする。このとき他のビットの値は変更しないでください。
- (2) CLKSEL[7:0]ビットの値を変更する。このとき他のビットの値は変更しないでください。
- (3) CLKENビットを“1”にする。このとき他のビットの値は変更しないでください。

SDCLKCR レジスタは、SDHI クロックの周波数の設定や出力の制御を行います。SDCMD レジスタに値を書き込んでコマンドシーケンスが開始される前に CLKEN ビットを“1”にしてください。

SDSTS2.SDCLKCREN フラグが“0”のとき、SDCLKCR レジスタに書き込まないでください。

CLKCTRLEN ビット (SDHI クロック自動制御許可ビット)

SDHI クロック出力の自動制御機能は、コマンドシーケンス中だけ SDHI クロックを出力する機能です。

この機能が有効である場合、SDCMD レジスタに値が設定されると、SDHI は SDHI クロックの出力を開始します。また、コマンドシーケンスが終了した後、SDHI クロックで 8 サイクルが経過すると、SDHI は SDHI クロックの出力を停止します。

なお、CLKEN ビットが“0”のときは、CLKCTRLEN ビットの値に関わらず、SDHI_CLK 端子からの出力は Low です。

44.2.11 転送データサイズレジスタ (SDSIZE)

アドレス SDHI.SDSIZE 0008 AC4Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	LEN[9:0]									—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b9-b0	LEN[9:0]	転送データサイズビット (注1)	転送データサイズ設定	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31-b12	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. SDSTS2.CBSYフラグが“1”のとき、LEN[9:0]ビットを書き換えしないでください。

SDSIZE レジスタは、転送データサイズを設定するレジスタです。

LEN[9:0] ビット (転送データサイズビット)

シングルブロック転送時には、1バイト～512バイトの範囲を設定できます。

CMD12を自動送信するマルチブロック転送時 (CMD18とCMD25)には、512バイトのみ設定できます。

CMD12を自動送信しないマルチブロック転送時には、512バイトの他、32、64、128、256バイトを設定できます。ただし、32、64、128、256バイトのマルチブロックリード転送は、SDIOのマルチブロック転送時 (CMD53)に限ります。

なお、データ転送のあるコマンドのとき、LEN[9:0]ビットを“0”にしないでください。

44.2.12 カードアクセスオプションレジスタ (SDOPT)

アドレス SDHI.SDOPT 0008 AC50h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	1	0	0	0	0	0	0	1	1	1	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CTOP[3:0]	カード検出タイムカウンタビット (注1)	b3 b0 0 0 0 0 : PCLKB × 2 ¹⁰ 0 0 0 1 : PCLKB × 2 ¹¹ : : 1 1 0 1 : PCLKB × 2 ²³ 1 1 1 0 : PCLKB × 2 ²⁴ 1 1 1 1 : 設定しないでください	R/W
b7-b4	TOP[3:0]	タイムアウトカウンタビット (注1)	b7 b4 0 0 0 0 : SDHIクロック × 2 ¹³ 0 0 0 1 : SDHIクロック × 2 ¹⁴ : : 1 1 0 1 : SDHIクロック × 2 ²⁶ 1 1 1 0 : SDHIクロック × 2 ²⁷ 1 1 1 1 : 設定しないでください	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b9	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	—	予約ビット	読むと“1”が読めます。書き込みは無効となります	R
b15	WIDTH	SD Bus幅選択ビット (注1)	0 : ワイドバスモード(4ビット) 1 : デフォルトバスモード(1ビット)	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. SDSTS2.CBSYフラグが“1”のとき、CTOP[3:0]、TOP[3:0]、WIDTHビットを書き換えしないでください。

SDOPTレジスタは、SD Busの幅およびタイムアウトカウンタを設定するレジスタです。

44.2.13 SD エラーステータスレジスタ 1 (SDERSTS1)

アドレス SDHI.SDERSTS1 0008 AC58h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CRCTK[2:0]	—	CRCTKE	RDCRCE	RSPCRCE1	RSPCRCE0	—	—	CRCLENE	RDLENE	RSPLNE1	RSPLNE0	CMDE1	CMDE0
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMDE0	コマンドエラーフラグ0	0: コマンド(注1)のレスポンスのcommand indexフィールド値にエラーなし 1: コマンド(注1)のレスポンスのcommand indexフィールド値にエラーあり	R
b1	CMDE1	コマンドエラーフラグ1	0: コマンド(注2)のレスポンスのcommand indexフィールド値にエラーなし 1: コマンド(注2)のレスポンスのcommand indexフィールド値にエラーあり (SDCMD.CMDIDX[5:0]ビットに設定することでCMD12を送信した場合のエラーはCMDE0フラグに表示されます)	R
b2	RSPLNE0	レスポンス長エラーフラグ0	0: コマンド(注1)のレスポンス長にエラーなし 1: コマンド(注1)のレスポンス長にエラーあり	R
b3	RSPLNE1	レスポンス長エラーフラグ1	0: コマンド(注2)のレスポンス長にエラーなし 1: コマンド(注2)のレスポンス長にエラーあり (SDCMD.CMDIDX[5:0]ビットに設定することでCMD12を送信した場合のエラーはRSPLNE0フラグに表示されます)	R
b4	RDLENE	読み出しデータ長エラーフラグ	0: 読み出しデータ長エラーの発生なし 1: 読み出しデータ長エラーの発生あり	R
b5	CRCLENE	CRC status トークン長エラーフラグ	0: CRC status トークン長エラーなし 1: CRC status トークン長エラーあり	R
b7-b6	—	予約ビット	読むと“0”が読めます	R
b8	RSPCRCE0	レスポンスCRCエラーフラグ0	0: コマンド(注1)のレスポンスにCRCエラーなし 1: コマンド(注1)のレスポンスにCRCエラーあり	R
b9	RSPCRCE1	レスポンスCRCエラーフラグ1	0: コマンド(注2)のレスポンスにCRCエラーなし 1: コマンド(注2)のレスポンスにCRCエラーあり (SDCMD.CMDIDX[5:0]ビットに設定することでCMD12を送信した場合のエラーはRSPCRCE0フラグに表示されます)	R
b10	RDCRCE	読み出しデータCRCエラーフラグ	0: 読み出しデータにCRCエラーなし 1: 読み出しデータにCRCエラーあり	R
b11	CRCTKE	CRC status トークンエラーフラグ	0: CRC status トークンにエラーなし 1: CRC status トークンにエラーあり	R
b14-b12	CRCTK[2:0]	CRC status トークンビット	CRC status トークン値を格納します(正常値は“010b”)	R
b15	—	予約ビット	読むと“0”が読めます	R
b31-b16	—	予約ビット	読んだ場合、その値は不定	R

注1. 転送を停止するために自動送信されたCMD12またはCMD52以外のコマンド。

注2. 転送を停止するために自動送信されたCMD12またはCMD52。

SDERSTS1 レジスタは、CRC status トークン、CRC エラー、エンドビットエラー、およびコマンドエラーを表示します。

44.2.14 SD エラーステータスレジスタ 2 (SDERSTS2)

アドレス SDHI.SDERSTS2 0008 AC5Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CRCBS YTO	CRCTO	RDTO	BSYTO 1	BSYTO 0	RSPTO 1	RSPTO 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RSPTO0	レスポンスタイムアウトフラグ0	0: コマンド(注1)を送信した後、640 SDHIクロック未満でレスポンスを受信した 1: コマンド(注1)を送信した後、640 SDHIクロック以上経過してもレスポンスを受信しなかった	R
b1	RSPTO1	レスポンスタイムアウトフラグ1	0: コマンド(注2)を送信した後、640 SDHIクロック未満でレスポンスを受信した 1: コマンド(注2)を送信した後、640 SDHIクロック以上経過してもレスポンスを受信しなかった (SDCMD.CMDIDX[5:0]ビットに設定することでCMD12を送信した場合のエラーはRSPTO0フラグに表示されます)	R
b2	BSYTO0	ビジータイムアウトフラグ0	0: R1bレスポンス受信後、指定時間(注3)以内にビジー状態が解除された 1: R1bレスポンス受信後、指定時間(注3)が経過してもビジー状態のまま	R
b3	BSYTO1	ビジータイムアウトフラグ1	0: CMD12の自動送信後、指定時間(注3)以内にビジー状態が解除された 1: CMD12の自動送信後、指定時間(注3)が経過してもビジー状態のまま (SDCMD.CMDIDX[5:0]ビットに設定することでCMD12を送信した場合のエラーはBSYTO0フラグに表示されます)	R
b4	RDTO	読み出しデータタイムアウトフラグ	リードコマンドの後、指定時間(注3)が経過してもリードデータを受信しないとき“1”になります。 リードデータ受信の後、指定時間(注3)が経過しても次ブロックリードデータを受信しないとき“1”になります。 Read Wait解除の後、指定時間(注3)が経過しても次ブロックリードデータを受信しないとき“1”になります。	R
b5	CRCTO	CRC status トークンタイムアウトフラグ	0: データを書き込んだ後、指定時間(注3)以内にCRC status トークンを受信した 1: CRCデータを書き込んだ後、指定時間(注3)が経過してもCRC status トークンを受信しなかった	R
b6	CRCBSYTO	CRC status トークンビジータイムアウトフラグ	0: CRC status トークン受信後、指定時間(注3)以内にビジー状態が解除された 1: CRC status トークン受信後、指定時間(注3)が経過してもビジー状態のまま	R
b31-b7	—	予約ビット	読むと“0”が読めます	R

注1. 転送を停止するために自動送信されたCMD12またはCMD52以外のコマンド。

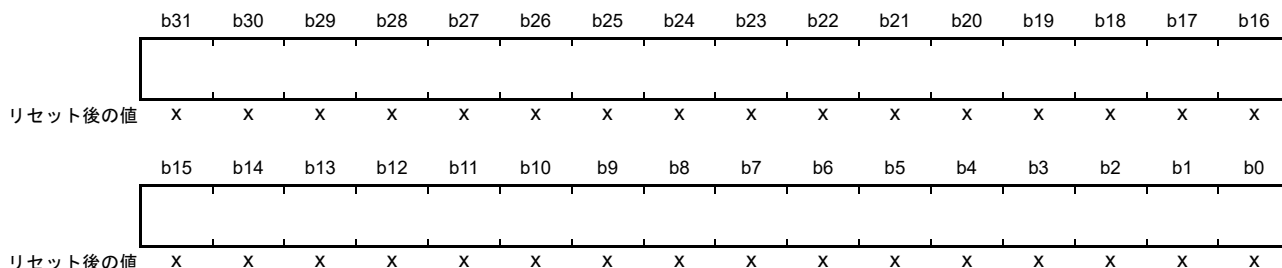
注2. 転送を停止するために自動送信されたCMD12またはCMD52。

注3. SDOPT.TOP[3:0]ビットで設定します。

SDERSTS2 レジスタは、タイムアウトの状態を表示します。

44.2.15 SD バッファレジスタ (SDBUFR)

アドレス SDHI.SDBUFR 0008 AC60h



x : 不定

SDBUFR レジスタは、SD カードヘータを書き込むとき、または読み出すときに使用するレジスタです。SDHI の内部にある SD バッファと接続されています。SDBUFR レジスタと SD バッファの構成については「44.3.1 SD カードのデータブロックフォーマット」を参照してください。

44.2.16 SDIO モードコントロールレジスタ (SDIOMD)

アドレス SDHI.SDIOMD 0008 AC68h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	C52PUB	IOABT	—	—	—	—	—	RWREQ	—	INTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INTEN	SDIO Interrupt 受け付け許可ビット (注1)	0 : SDIO Interrupt の受け付けを禁止 1 : SDIO Interrupt の受け付けを許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b2	RWREQ	Read Wait リクエストビット	0 : Read Wait 状態の解除 1 : Read Wait 状態への遷移を要求	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b8	IOABT	SDIO abort ビット	CMD53 によるマルチブロック転送時に“1”にすると直ちに CMD52 が送信され、コマンドシーケンスは中断します	R/W
b9	C52PUB	SDIO none abort ビット	CMD53 によるマルチブロック転送時に“1”にすると、転送中の処理を終えてから CMD52 が送信され、コマンドシーケンスは終了します	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. SDSTS2.CBSY フラグが“1”のとき、INTEN ビットを書き換えしないでください。

SDIOMD レジスタは、SDIO Interrupt の受け付け、マルチブロック転送時の CMD52 の送信、Read Wait リクエストの制御を行うレジスタです。C52PUB ビットと IOABT ビットの両方を同時に“1”にしないでください。

RWREQ ビット (Read Wait リクエストビット)

CMD53 の送信によるマルチブロックリードシーケンス中、RWREQ ビットを“1”にすると、そのとき読み出し中のブロックの読み出しが終了したあと、Read Wait 状態になります。Read Wait 状態の解除方法を以下に示します。

- Read Wait 状態で RWREQ ビットを“0”にすると、Read Wait 状態が解除されます。
- Read Wait 状態で IOABT ビットを“1”にすると、CMD52 の送信後、RWREQ ビットが“0”になり、Read Wait 状態が解除されます。
- CMD53 の送信によるマルチブロックリードシーケンス中に C52PUB ビットと同時に RWREQ ビットを“1”にした場合 (注1)、Read Wait 状態は自動で解除されませんので、CMD52 のレスポンスを受信した後、RWREQ ビットを“0”にしてください。

注1. RWREQ ビットと C52PUB ビットは同時に“1”にしてください。

CMD53 の送信によるマルチブロックリードシーケンス中、最終ブロックの転送中に RWREQ ビットを“1”にした場合、Read Wait 状態にはならず、SDSTS1.ACEND フラグが“1”になり、RWREQ ビットが“0”になります。

RWREQ ビットを“1”にする場合は、SDSTS1.RSPEND フラグが“1”になった後に行ってください。

IOABT ビット (SDIO abort ビット)

- CMD53 の送信によるマルチブロック転送時、IOABT ビットを“1”にすると、SDHI は CMD53 のコマンドシーケンスを停止し、CMD52 を送信します。
なお、通信エラーまたはタイムアウトによりコマンドシーケンスが停止している場合、SDHI は CMD52 を送信しません。
また、IOABT ビットを“1”にした後も SD バッファにアクセスできますが、SDSTS2.ILR または ILW フラグが“1”になり、バッファアクセスエラーが発生します。
IOABT ビットを“1”にする前に SDARG レジスタを設定してください。
- シングルブロックライト時、IOABT ビットを“1”にしたときに SD バッファにデータがない場合、SDHI は CMD52 を送信せずに SDSTS1.ACEND フラグを“1”にします。SD バッファにデータがある場合、SDHI は CMD52 を送信せずにビジー状態が解除された後、SDSTS1.ACEND フラグを“1”にします。
- シングルブロックリード時、IOABT ビットを“1”にしたとき、SDHI は CMD52 を送信せず、すぐに SDSTS1.ACEND フラグを“1”にします。
- R1b レスポンスを受信した後のビジー状態のときに IOABT ビットを“1”にした場合、SDHI は CMD52 を送信せずに、ビジー状態が解除された後 SDSTS1.ACEND フラグを“1”にします。
- コマンドシーケンスが終了しているときに IOABT ビットを“1”にした場合、SDHI は CMD52 を送信せず、SDSTS1.ACEND フラグを“1”にしません。
- IOABT ビットを“1”にする場合は、SDSTS1.RSPEND フラグが“1”になった後に行ってください。
- IOABT ビットを“0”にする場合は、SDSTS1.ACEND フラグが“1”になった後に行ってください。

C52PUB ビット (SDIO none abort ビット)

- CMD53 の送信によるマルチブロックライト時、C52PUB ビットを“1”にした場合、SD バッファが完全にエンpty状態となり、かつ、そのとき書き込み中のブロックへ書き込みが終了したあと、CMD52 を自動で送信します。
C52PUB ビットは、CMD52 に対するレスポンスの受信を完了した後、“0”になります。
なお、最終ブロック転送中に C52PUB ビットが“1”の場合、SDHI は CMD52 を送信せず、SDSTS1.RSPEND フラグを“1”にした後、C52PUB ビットを“0”にします。
- CMD53 の送信によるマルチブロックリード時、C52PUB ビットと RWREQ ビットを“1”にした場合、そのとき読み出し中のブロックの読み出しが終了したあと、Read Wait の状態になり、SDHI は CMD52 を自動で送信します。
C52PUB ビットは、CMD52 に対するレスポンスの受信を完了した後、“0”になります。
なお、最終ブロック転送中に C52PUB ビットを“1”にした場合、SDHI は CMD52 を送信せず、SDSTS1.RSPEND フラグを“1”にした後、C52PUB ビットを“0”にします。
- CMD53 の送信によるマルチブロックリード時、C52PUB ビットを“1”にする場合、RWREQ ビットも“1”にしてください。
- C52PUB ビットを“1”にする前に SDARG レジスタを設定してください。
- C52PUB ビットを“1”にする場合、SDSTS1.RSPEND フラグが“1”になった後に行ってください。

44.2.17 SDIO ステータスレジスタ (SDIOSTS)

アドレス SDHI.SDIOSTS 0008 AC6Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EXWT	EXPUB52	—	—	—	—	—	—	—	—	—	—	—	—	—	IOIRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOIRQ	SDIO 割り込みフラグ	0 : SDIO Interruptの受け付けなし 1 : SDIO Interruptの受け付けあり	R/(W) (注1)
b2-b1	—	予約ビット	読むと不定値が読めます。書く場合、“1”としてください	R/W
b13-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b14	EXPUB52	EXPUB52ステータスフラグ	EXPUB52ステータスを表示します	R/(W) (注1)
b15	EXWT	EXWTステータスフラグ	EXWTステータスを表示します	R/(W) (注1)
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

SDIOSTS レジスタは、SDIO カードアクセスに関するステータスを表示します。フラグをクリアする場合、クリアするビットに“0”、それ以外のビットに“1”を書き込んでください。

IOIRQ フラグ (SDIO 割り込みフラグ)

[“1”になる条件]

- SDIOMD.INTEN ビットが“1”のときに SDIO カードからの SDIO Interrupt を受け付けたとき

[“0”になる条件]

- “0”を書いたとき(注1)

注1. SDIO カードにアクセスし SDIO カードからの SDIO Interrupt をネゲートしてから IOIRQ フラグを“0”にしてください。SDIO カードからの SDIO Interrupt をネゲートしない場合、IOIRQ フラグが再び“1”になる可能性があります。

EXPUB52 フラグ (EXPUB52 ステータスフラグ)

[“1”になる条件]

- CMD53 の送信によるマルチブロック転送時、最終ブロックの転送中に SDIOMD.C52PUB ビットを“1”にしたとき
- CMD53 の送信によるマルチブロックライト時、C52PUB ビットが“1”のまま最終ブロックが転送されたとき

[“0”になる条件]

- “0”を書いたとき

EXWT フラグ (EXWT ステータスフラグ)

[“1”になる条件]

- CMD53 の送信によるマルチブロックリードシーケンス中、最終ブロックの転送中に SDIOMD.RWREQ ビットを“1”にしたとき

[“0”になる条件]

- “0”を書いたとき

44.2.18 SDIO 割り込みマスクレジスタ (SDIOIMSK)

アドレス SDHI.SDIOIMSK 0008 AC70h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EXWT M	EXPUB 52M	—	—	—	—	—	—	—	—	—	—	—	—	—	IOIRQ M
リセット後の値	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	IOIRQM	IOIRQ 割り込みマスクビット	0 : SDIO Interrupt の受け付け割り込み要求をマスクしない 1 : SDIO Interrupt の受け付け割り込み要求をマスクする	R/W
b2-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b13-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b14	EXPUB52M	EXPUB52 割り込みマスクビット	0 : EXPUB52 割り込み要求をマスクしない 1 : EXPUB52 割り込み要求をマスクする	R/W
b15	EXWTM	EXWT 割り込みマスクビット	0 : EXWT 割り込み要求をマスクしない 1 : EXWT 割り込み要求をマスクする	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

SDIOIMSK レジスタは、SDIOSTS レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。

各ステータスフラグと要求される割り込み要因の関係は「表 44.8 割り込み要因」を参照してください。

44.2.19 DMA 転送許可レジスタ (SDDMAEN)

アドレス SDHI.SDDMAEN 0008 ADB0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMAEN	—
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	DMAEN	DMA 転送許可ビット (注1、注2)	0 : DMAC/DTCによるSDBUFRレジスタへのアクセス禁止 1 : DMAC/DTCによるSDBUFRレジスタへのアクセス許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b9-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b12	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b31-b13	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. SDSTS2.CBSYフラグが“1”のとき、DMAENビットを書き換えしないでください。

注2. SDIMSK2.BWEMビットもしくはSDIMSK2.BREMビットのいずれかが“0”のとき、DMAENビットは“0”にしてください。また、DMAENビットが“1”のとき、SDIMSK2.BWEMビットとSDIMSK2.BREMビットは両方とも“1”にしてください。

SDDMAEN レジスタは、DMA 転送の許可 / 禁止を設定するレジスタです。

DMAEN ビット (DMA 転送許可ビット)

SD バッファの読み出しおよび書き込みを DMA 転送を用いて行う場合、SDCMD レジスタを設定する前に DMAEN ビットを“1”にしてください。

44.2.20 SDHI ソフトウェアリセットレジスタ (SDRST)

アドレス SDHI.SDRST 0008 ADC0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SDRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDRST	SDHIソフトウェアリセットビット	0: SDHIソフトウェアリセット 1: SDHIソフトウェアリセット解除	R/W
b2-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b31-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

SDHI ソフトウェアリセットで初期化されるビットまたはフラグを表 44.5 に示します。

表44.5 SDHIソフトウェアリセットで初期化されるビットまたはフラグ

レジスタ	ビットまたはフラグ
SDSTOP	SDBLKCN TEN
SDSTS1	RSPEND, ACEND
SDSTS2	CMDE, CRCE, ENDE, DTO, ILW, ILR, RSPTO, SDDOMON, BRE, BWE, SDCLKCREN, ILA
SDCLKCR	CLKEN
SDOPT (注1)	CTOP[3:0], TOP[3:0], WIDTH
SDERSTS1	CMDE0, CMDE1, RSPLNE0, RSPLNE1, RDLENE, CRCLNE, RSPCRCE0, RSPCRCE1, RDCRCE, CRCTKE, CRCTK[2:0]
SDERSTS2	RSPTO0, RSPTO1, BSYTO0, BSYTO1, RDTO, CRCTO, CRCBSYTO
SDIOSTS	IOIRQ, EXPUB52, EXWT

注1. SDOPTレジスタのb8とb13もSDHIソフトウェアリセットで初期化されます。

44.2.21 バージョンレジスタ (SDVER)

アドレス SDHI.SDVER 0008 ADC4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CPRM	CLKRAT	—	—	IP2[3:0]			IP1[7:0]								
リセット後の値	1	1	0	0	1	0	1	0	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	IP1[7:0]	IPバージョン1ビット	IPバージョン1	R
b11-b8	IP2[3:0]	IPバージョン2ビット	IPバージョン2	R
b13-b12	—	予約ビット	読むと“0”が読めます	R
b14	CLKRAT	動作クロック条件ビット	0 : SDHIクロック周波数 = PCLKB周波数に非対応 1 : SDHIクロック周波数 = PCLKB周波数に対応	R
b15	CPRM	CPRM機能ビット	0 : CPRM機能あり 1 : CPRM機能なし	R
b31-b16	—	予約ビット	読むと“0”が読めます	R

SDVER レジスタは、SDHI のバージョンを表示します。

44.2.22 スワップコントロールレジスタ (SDSWAP)

アドレス SDHI.SDSWAP 0008 ADE0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	BRSWP	BWSWP	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b6	BWSWP	SDBUFRスワップ書き込みビット (注1)	0: 通常の書き込み 1: バイトのエンディアンを入れ替えてSDBUFRレジスタに書き込む	R/W
b7	BRSWP	SDBUFRスワップ読み出しビット (注1)	0: 通常の読み出し 1: バイトのエンディアンを入れ替えてSDBUFRレジスタから読み出す	R/W
b10-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b12-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b13	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. SDSTS2.CBSYフラグが“1”のとき、BWSWP、BRSWPビットを書き換えしないでください。

SDSWAP レジスタは、SDBUFR レジスタにアクセスするとき、データのバイトエンディアンを入れ替えてアクセスするかどうかを選択するレジスタです。SDSWAP レジスタ値による SDBUFR レジスタへのアクセス方法の差異については「44.3.1 SD カードのデータブロックフォーマット」を参照してください。

44.3 動作説明

44.3.1 SDカードのデータブロックフォーマット

SDHIは、データラインとしてSDHI_D0端子のみを使用するデフォルトバスモード(1ビット幅)と、SDHI_D0～SDHI_D3端子を使用するワイドバスモード(4ビット)に対応しています。デフォルトバスモードでの転送フォーマットを図44.2に、ワイドバスモードでの転送フォーマットを図44.3に示します。

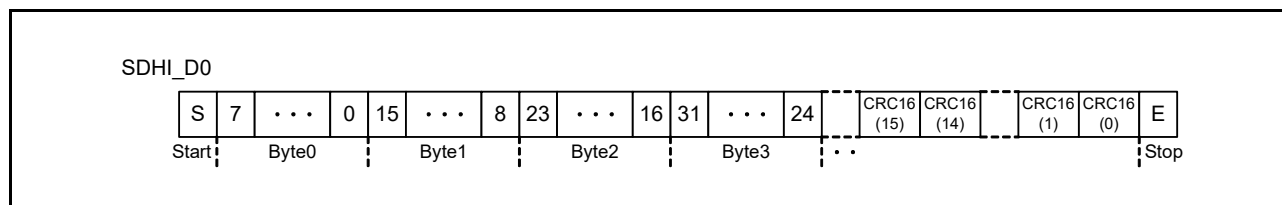


図 44.2 デフォルトバスモードの転送フォーマット (SDOPT.WIDTH ビットが“1”のとき)

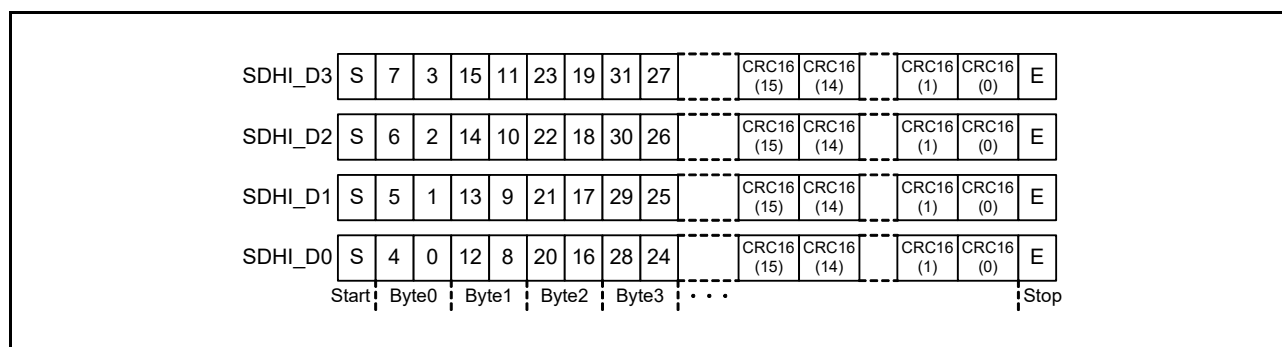


図 44.3 ワイドバスモードの転送フォーマット (SDOPT.WIDTH ビットが“0”のとき)

44.3.2 SDバッファとSDBUFRレジスタ

SDHIは、SDHIの内部にあるSDバッファを経由してSDカードとのデータ転送を行います。SDバッファは、ダブルバッファ構成になっており、各バッファのサイズは512バイトです。

SDバッファのデータ構造を図44.4に示します。

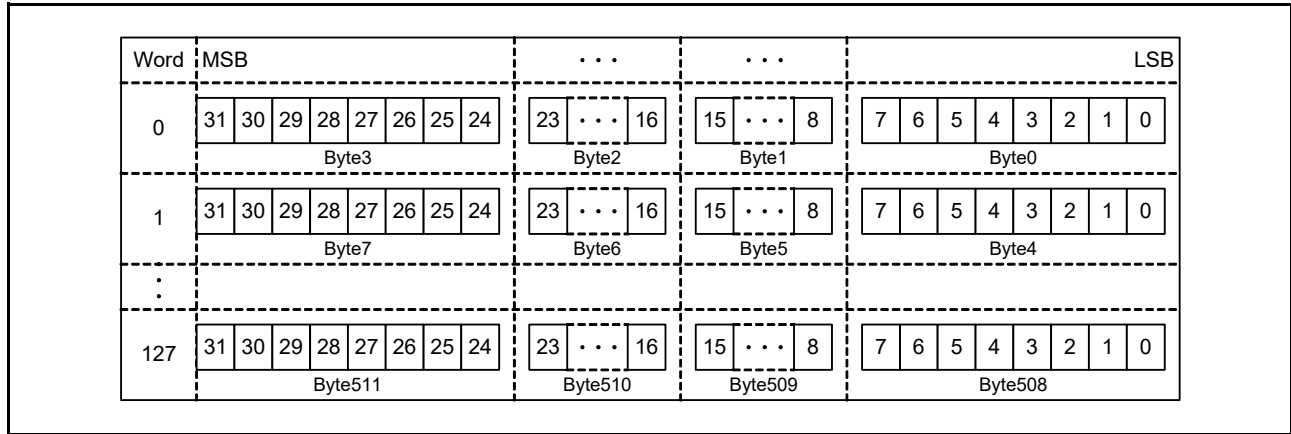


図 44.4 SDバッファのデータ構造(ダブルバッファのうちのひとつ)

SDバッファへのアクセスはSDBUFRレジスタを経由して行います。

SDSWAP.BSWPビットが“1”のときにSDBUFRレジスタにデータを書き込むと、SDHIはバイトのエンディアンを入れ替えて、SDBUFRレジスタにデータを格納します。

SDSWAP.BRSWPビットが“1”のときにSDBUFRレジスタからデータを読み出すと、バイトのエンディアンが入れ替えられたデータを読み出すことができます。

SDBUFRレジスタからデータを読み出すときのデータ配置を図44.5に示します。

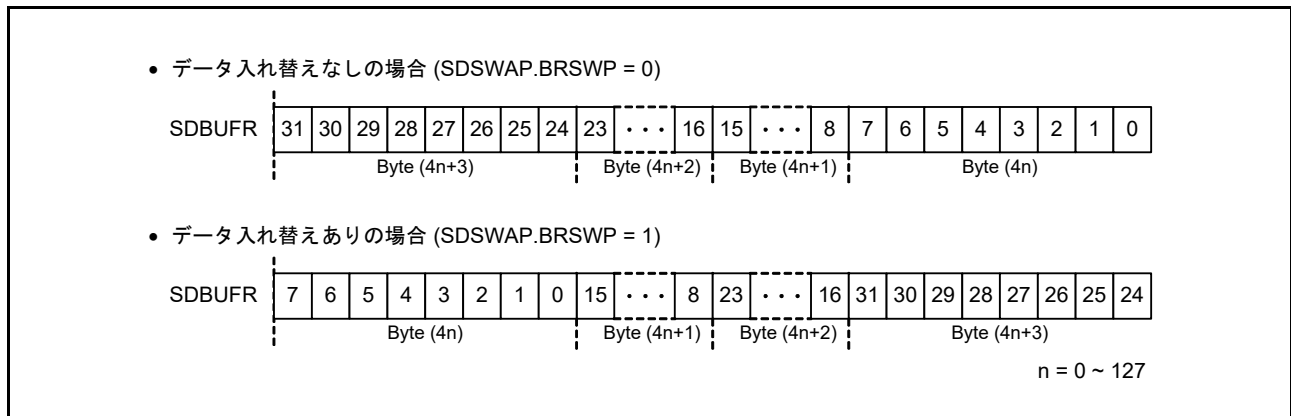


図 44.5 SDBUFRレジスタ読み出し時のデータ配置

44.3.3 SDカードの検出

SDHIは、SDHI_CD端子あるいはSDHI_D3端子を使用してSDカードの検出を行うことができます。

44.3.3.1 SDHI_CD端子によるカード検出

図44.6にSDHI_CD端子によるSDカード検出のタイミングチャートを示します。

SDHI_CD端子はSDカードコネクタのカード検出スイッチに接続し、MCU側でプルアップします。プルアップ抵抗値はホスト機器の仕様により決定します。なお、カード挿入時にカード検出スイッチがオープンになるSDカードソケットもありますので注意してください。

- SDカード挿入の検出

SDカードが挿入されると、SDHI_CD端子がLowになります。このとき、SDHI_CD端子がSDOPT.CTOP[3:0]ビットに設定された期間Lowであれば、SDSTS1.SDCDINフラグが“1”になります。SDSTS1.SDCDINフラグをクリアするには“0”を書き込んでください。

- SDカード抜去の検出

SDカードが抜かれると、SDHI_CD端子がHighになります。このとき、SDHI_CD端子がSDOPT.CTOP[3:0]ビットに設定された期間Highであれば、SDSTS1.SDCDRMフラグが“1”になります。SDSTS1.SDCDRMフラグをクリアするには“0”を書き込んでください。

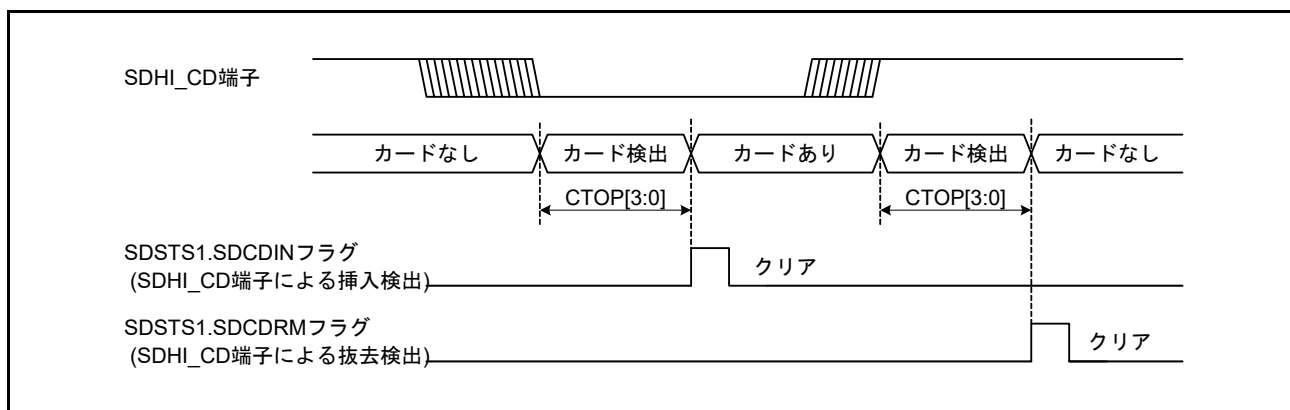


図 44.6 SDHI_CD端子によるカード検出例

44.3.3.2 SDHI_D3 端子による SD カード検出

図 44.7 に SDHI_D3 端子による SD カード検出のタイミングチャートを示します。

SDHI_D3 端子は MCU 側でプルダウンします。プルダウン抵抗値はホスト機器の仕様により決定します。

- SD カード挿入の検出
SD カードが挿入されると、SDHI_D3 端子が High になります。これにより、SDSTS1.SDD3IN フラグが“1”になります。SDSTS1.SDD3IN フラグをクリアするには“0”を書き込んでください。
- SD カード抜去の検出
SD カードが抜かれると、SDHI_D3 端子が Low になります。これにより、SDSTS1.SDD3RM フラグが“1”になります。SDSTS1.SDD3RM フラグをクリアするには“0”を書き込んでください。

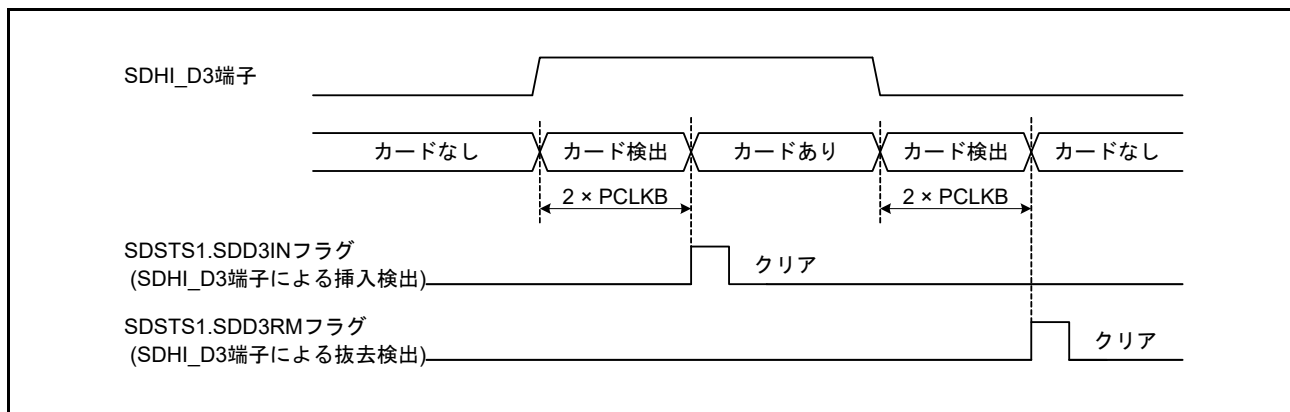


図 44.7 SDHI_D3 端子による SD カード検出

44.3.4 SD カードのライトプロテクト

SDHI は SDHI_WP 端子あるいはコマンドにより、SD カードへの書き込みを禁止することができます。

44.3.4.1 SDHI_WP 端子によるライトプロテクト

SDHI_WP 端子は SD カードコネクタの WP 検出スイッチに接続し、カードが挿入されると、プルダウンまたはプルアップされます。プルアップまたはプルダウンの選択および抵抗値はホスト機器の仕様により決定します。SDHI_WP 端子の状態は SDSTS1.SDWPMON フラグに反映されます。SD カードが挿入された後、SDSTS1.SDWPMON フラグを参照することによりライトプロテクトの判定を行うことができます。

44.3.4.2 コマンドによるライトプロテクト

SDHI は、ライトプロテクトコマンドや SD カードロックコマンドを使用して、SD カードへの書き込みを禁止することができます。

44.3.5 通信エラーとタイムアウト

通信エラーまたはタイムアウトが発生すると、発生したエラーの種類により、SDSTS2 レジスタの対応するステータスフラグが“1”になります。また発生したエラー要因により、SDERSTS1 または SDERSTS2 レジスタの対応するステータスフラグが“1”になります。

SDERSTS1 または SDERSTS2 レジスタの各ステータスフラグは、SDCMD レジスタへの書き込み、また SDRST.SDRST ビットに“0”を書き込むことで“0”になります。

表44.6 通信エラー

通信エラー	割り込みフラグレジスタ		エラーステータスレジスタ		説明
	レジスタ	ビット	レジスタ	ビット	
エンドビットエラー	SDSTS2	ENDE	SDERSTS1	CRCLNE	CRC status トークン長がエラーのとき
				RDLNE	リードデータ長がエラーのとき
				RSPLNE1	レスポンス長がエラーのとき(注1)
				RSPLNE0	レスポンス長がエラーのとき(注2)
CRCエラー		CRCE		CRCTKE	CRC status トークンがエラーのとき
				RDCRCE	リードデータにCRCエラーがあるとき
				RSPCRCE1	レスポンスにCRCエラーがあるとき(注1)
				RSPCRCE0	レスポンスにCRCエラーがあるとき(注2)
コマンドエラー		CMDE		CMDE1	送信したコマンドと受信したレスポンスの command index フィールド値が異なるとき(注1)
				CMDE0	送信したコマンドと受信したレスポンスの command index フィールド値が異なるとき(注2)

注1. 転送を停止するために自動送信されたCMD12またはCMD52

注2. 転送を停止するために自動送信されたCMD12またはCMD52以外のコマンド

表44.7 タイムアウト

タイムアウト	割り込みフラグレジスタ		エラーステータスレジスタ		説明
	レジスタ	ビット	レジスタ	ビット	
レスポンスタイムアウト	SDSTS2	RSPTO	SDERSTS2	RSPTO1	SDHIクロックで640サイクル以上経過してもレスポンスを受信しないとき(注1)
				RSPTO0	SDHIクロックで640サイクル以上経過してもレスポンスを受信しないとき(注2)
データタイムアウト (レスポンスタイムアウト除く)		DTO		CRCBSYTO	CRC status トークン受信後、指定期間(注3)以上ビジー状態のとき
				CRCTO	ライトデータを送信した後、指定期間(注3)以上経過してもCRC status トークンを受信しないとき
				RDTO	リードコマンドの後、指定期間(注3)以上経過してもリードデータを受信しないとき
					リードデータ受信の後、指定期間(注3)以上経過しても次ブロックリードデータを受信しないとき
					Read Wait解除の後、指定期間(注3)以上経過しても次ブロックリードデータを受信しないとき
				BSYTO1	コマンドシーケンス中のCMD12送信の後、指定期間(注3)以上ビジー状態のとき
BSYTO0	R1bレスポンスの後、指定期間(注3)以上ビジー状態のとき(コマンドシーケンス中のCMD12以外のコマンド)				

注1. 転送を停止するために自動送信されたCMD12またはCMD52

注2. 転送を停止するために自動送信されたCMD12またはCMD52以外のコマンド

注3. SDOPT.TOP[3:0]ビットで指定します

44.3.6 コマンドの送信例

44.3.6.1 レスポンスの受信およびデータ転送を行わないコマンド

SDHI からコマンドを送信した後、レスポンスの受信やデータの転送を行わないコマンドの送信例を図 44.8 に示します。

- (1) SDSTS1 および SDSTS2 レジスタの各フラグを“0”にします。
- (2) SDCLKCR レジスタに SDHI クロックの設定を、SDIMSK1 および SDIMSK2 レジスタにマスクする割り込み要求を設定します。SDCLKCR レジスタの設定に関しては「44.5.5 SDCLKCR レジスタ設定時の注意」を参照してください。
- (3) SDARG レジスタに argument フィールド値を設定した後、SDCMD レジスタに送信するコマンドの内容を書き込みます。SDCMD レジスタに値が書き込まれると、SDHI はコマンドを送信します。
- (4) コマンドの送信が終了すると、SDSTS1.RSPEND フラグが“1”になり、レスポンスエンド割り込み要求が発生します。
- (5) SDSTS1.RSPEND フラグを“0”にします。

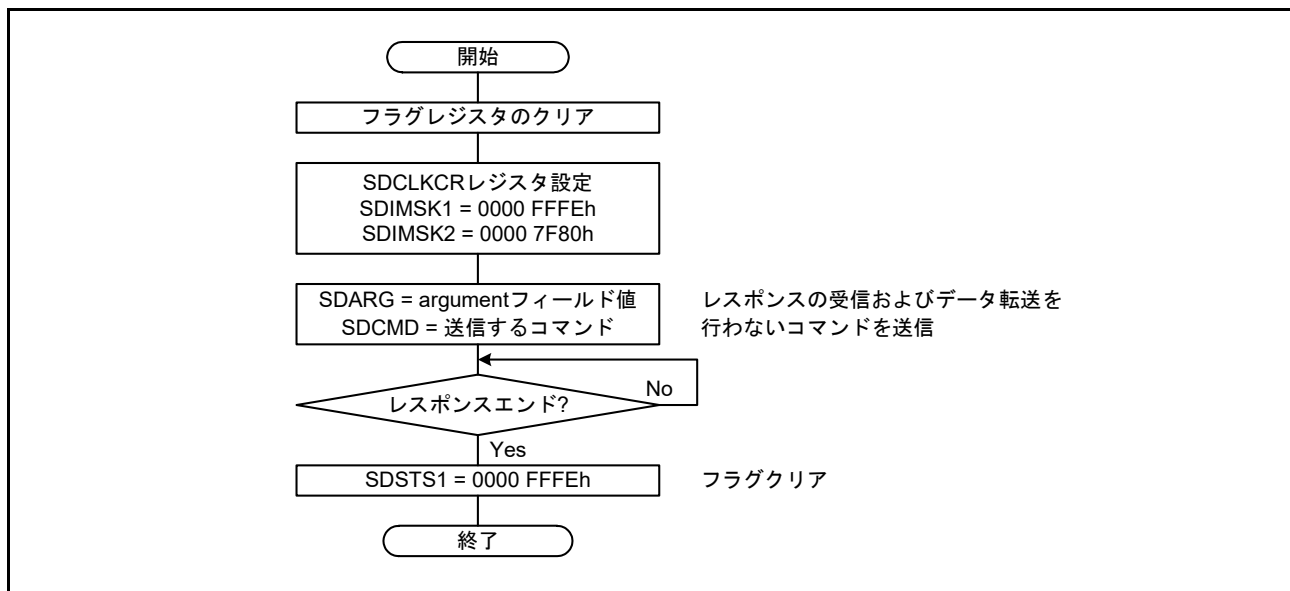


図 44.8 レスポンスの受信とデータ転送のないコマンドの送信例

44.3.6.2 データ転送を行わないコマンド

SDHI からコマンドを送信した後、レスポンスの受信のみを行い、データ転送を行わない例を図 44.9 に示します。

- (1) SDSTS1 および SDSTS2 レジスタの各フラグを“0”にします。
- (2) SDCLKCR レジスタに SDHI クロックの設定を、SDIMSK1 および SDIMSK2 レジスタにマスクする割り込み要求を設定します。SDCLKCR レジスタの設定に関しては「44.5.5 SDCLKCR レジスタ設定時の注意」を参照してください。
- (3) SDARG レジスタに argument フィールド値を設定した後、SDCMD レジスタに送信するコマンドの内容を書き込みます。SDCMD レジスタに値が書き込まれると、SDHI はコマンドを送信します。
- (4) レスポンスを受信すると、SDSTS1.RSPEND フラグが“1”になり、レスポンスエンド割り込み要求が発生します。
- (5) SDSTS1.RSPEND フラグを“0”にし、SDRSP10 レジスタに格納されたレスポンスを読み出します。

なお、通信エラーまたはタイムアウトが発生した場合、エラー処理(割り込みフラグのクリア)を行ってください。

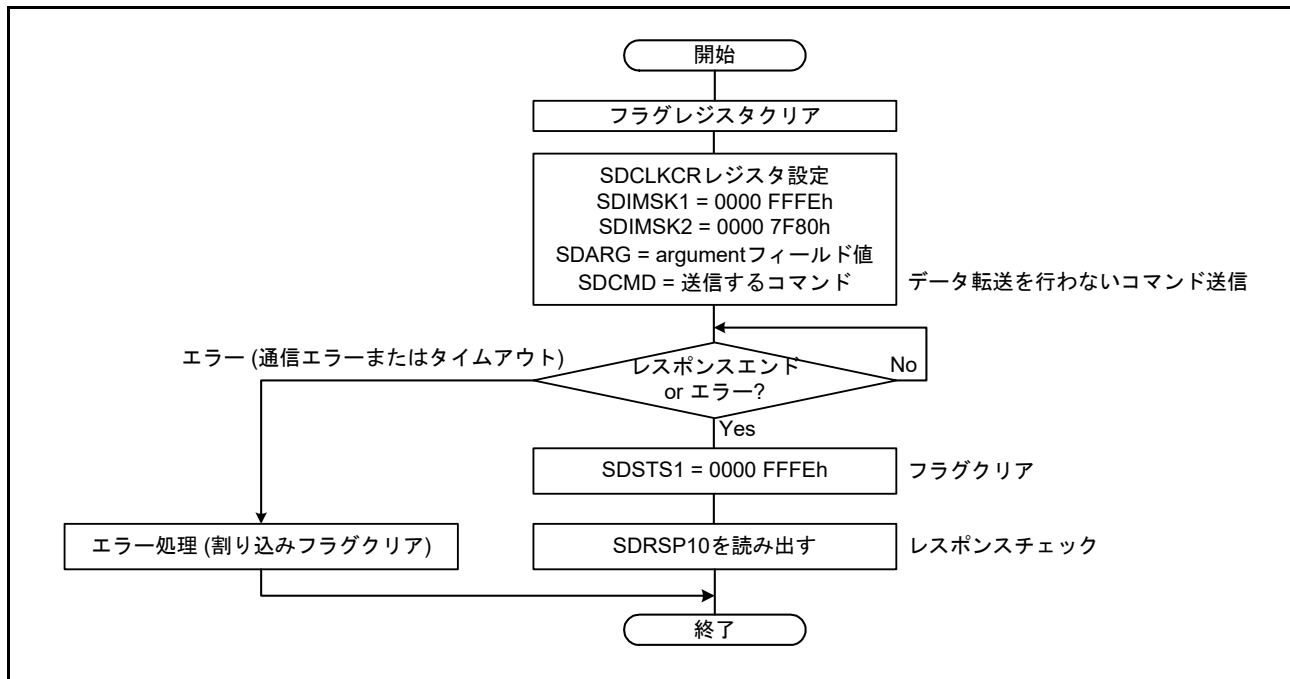


図 44.9 データ転送を行わないコマンドの送信例

44.3.6.3 シングルブロックリードコマンド (CMD17)

シングルブロックリードコマンド (CMD17) の送信例を図 44.10 に示します。

- (1) SDSTS1 および SDSTS2 レジスタの各フラグを“0”にします。
- (2) SDCLKCR レジスタに SDHI クロックの設定を、SDIMSK1 および SDIMSK2 レジスタにマスクする割り込み要求を設定します。SDCLKCR レジスタの設定に関しては「44.5.5 SDCLKCR レジスタ設定時の注意」を参照してください。
- (3) SDARG レジスタに CMD17 の argument フィールド値を設定した後、SDCMD レジスタに“0000 0011h”を書き込みます。SDCMD レジスタに値が書き込まれると、SDHI は CMD17 を送信します。
- (4) レスポンスを受信すると、SDSTS1.RSPEND フラグが“1”になり、レスポンスエンド割り込み要求が発生します。
- (5) SDSTS1.RSPEND フラグを“0”にし、SDRSP10 レジスタに格納されたレスポンスを読み出します。読み出したレスポンスにエラーがある場合、SDSTOP.STP ビットまたは SDIOMD.IOABT ビットを“1”にして、コマンドシーケンスを停止することができます。コマンドシーケンスが停止すると、SDSTS1.ACEND フラグが“1”になります。なお、このコマンドシーケンスの停止によって CMD12 または CMD52 は自動で送信されません。
- (6) レスポンスを受信した後、SDIMSK1.ACENDM ビットを“0”、SDIMSK2.BREM ビットを“0”にします。
- (7) SD カードから、SDSIZE.LEN[9:0] ビットに設定したサイズ of データ受信が終了すると、SDSTS2.BRE フラグが“1”になり、BRE 割り込み要求が発生します。
- (8) SDSTS2.BRE フラグを“0”にして、SDSIZE.LEN[9:0] ビットに設定したサイズ分のデータを SDBUFR レジスタから読み出します。
- (9) SDBUFR レジスタからの読み出しが完了すると、SDSTS1.ACEND フラグが“1”になり、アクセスエンド割り込み要求が発生します。
- (10) SDSTS1.ACEND フラグを“0”にします。

なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグのクリア) を行ってください。

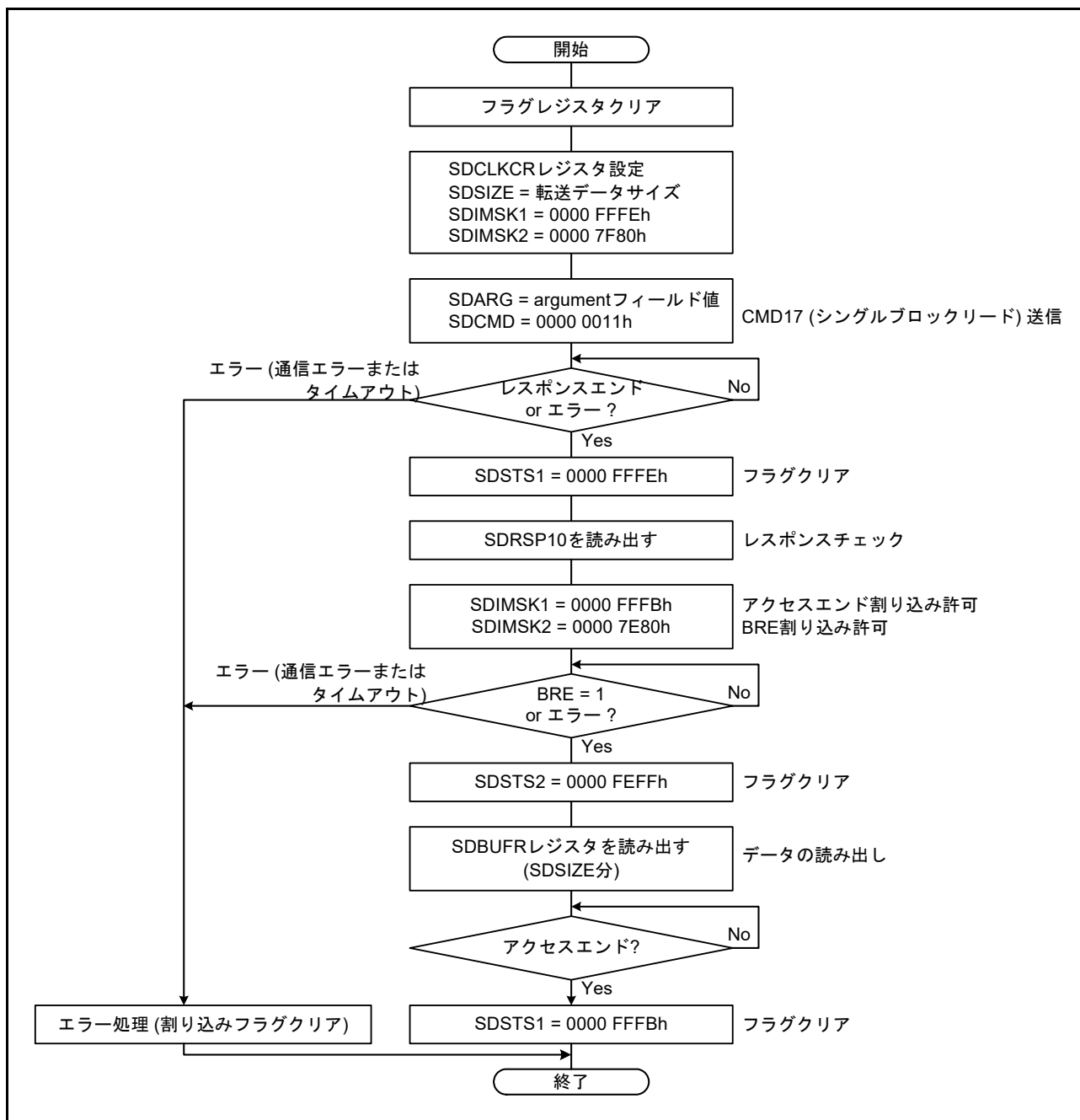


図 44.10 シングルブロックリードコマンドの送信例

44.3.6.4 シングルブロックライトコマンド (CMD24)

シングルブロックライトコマンド (CMD24) の送信例を図 44.11 に示します。

- (1) SDSTS1 および SDSTS2 レジスタの各フラグを“0”にします。
- (2) SDCLKCR レジスタに SDHI クロックの設定を、SDIMSK1 および SDIMSK2 レジスタにマスクする割り込み要求を設定します。SDCLKCR レジスタの設定に関しては「44.5.5 SDCLKCR レジスタ設定時の注意」を参照してください。
- (3) SDARG レジスタに CMD24 の argument フィールド値を設定した後、SDCMD レジスタに“0000 0018h”を書き込みます。SDCMD レジスタに値が書き込まれると、SDHI は CMD24 を送信します。
- (4) レスポンスを受信すると、SDSTS1.RSPEND フラグが“1”になり、レスポンスエンド割り込み要求が発生します。
- (5) SDSTS1.RSPEND フラグを“0”にし、SDRSP10 レジスタに格納されたレスポンスを読み出します。読み出したレスポンスにエラーがある場合、SDSTOP.STP ビットまたは SDIOMD.IOABT ビットを“1”にして、コマンドシーケンスを停止することができます。コマンドシーケンスが停止すると、SDSTS1.ACEND フラグが“1”になります。なお、このコマンドシーケンスの停止によって CMD12 または CMD52 は自動で送信されません。
- (6) レスポンスを受信した後、SDIMSK1.ACENDM ビットを“0”、SDIMSK2.BWEM ビットを“0”にします。
- (7) SDBUFR レジスタに書き込めるようになると、SDSTS2.BWE フラグが“1”になり、BWE 割り込み要求が発生します。
- (8) SDSTS2.BWE フラグを“0”にして、SDSIZE.LEN[9:0] ビットに設定したサイズ分のデータを SDBUFR レジスタへ書き込みます。SDBUFR レジスタへの書き込みが終了すると、SDHI は書き込むデータを SD カードへ送信します。なお、SDBUFR レジスタに書き込んだ後、送信中のデータによる通信エラーまたはタイムアウトが発生する場合があります。
- (9) SD カードへ書き込むデータを送信し終わると、SDHI は CRC status トークンを受信し、SDHI_D0 端子ラインがビジー状態 (Low) になります。その後、ビジー状態が解除されると、SDSTS1.ACEND フラグが“1”になり、アクセスエンド割り込み要求が発生します。
- (10) SDSTS1.ACEND フラグを“0”にします。

なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグのクリア) を行ってください。

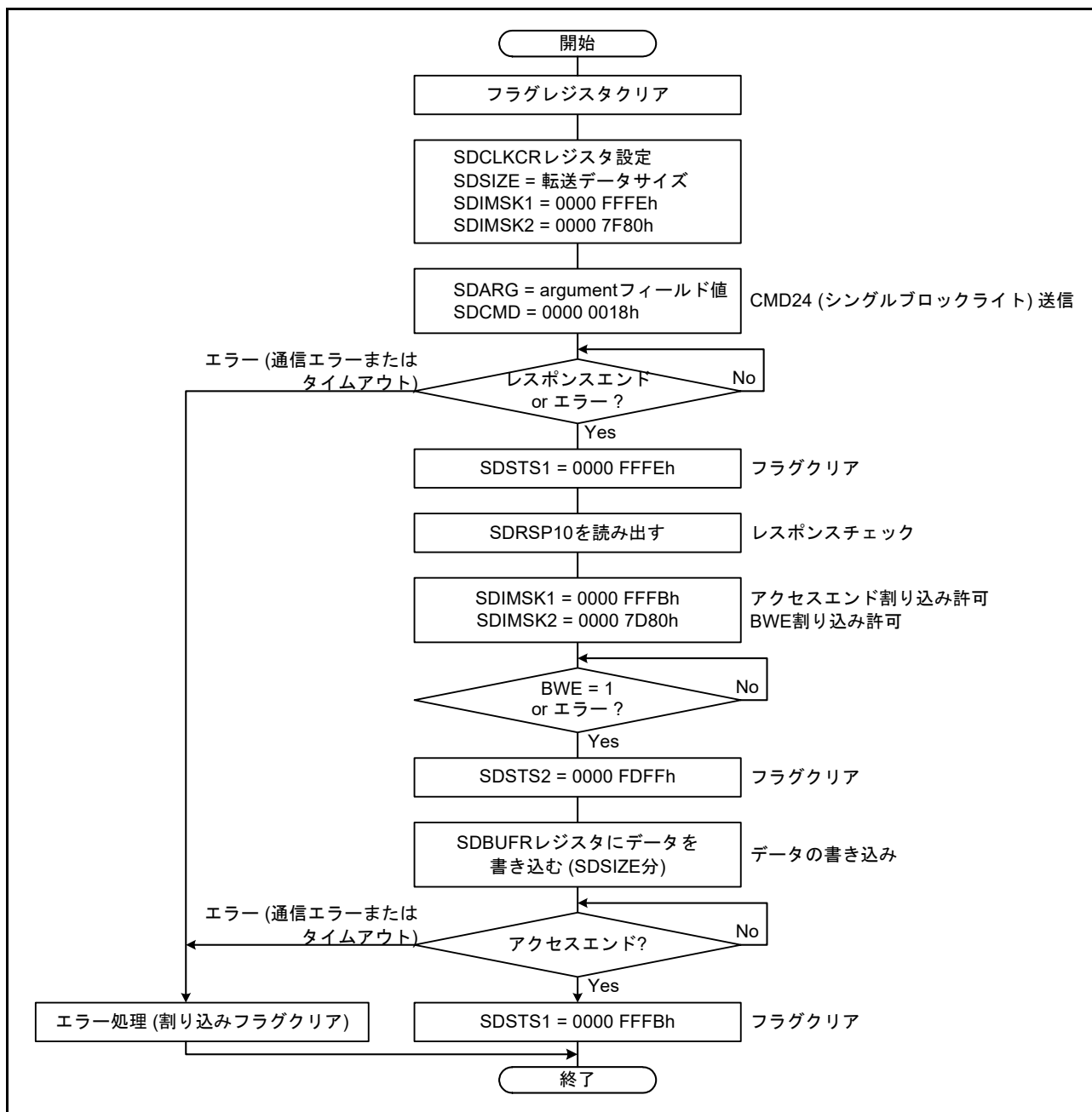


図 44.11 シングルブロックライトコマンドの送信例

44.3.6.5 マルチブロックリードコマンド (CMD18)

マルチブロックリードコマンド (CMD18) の送信例を図 44.12 に示します。

- (1) SDSTS1 および SDSTS2 レジスタの各フラグを“0”にします。
- (2) SDCLKCR レジスタに SDHI クロックの設定を、SDIMSK1 および SDIMSK2 レジスタにマスクする割り込み要求を設定します。SDCLKCR レジスタへの設定に関しては「44.5.5 SDCLKCR レジスタ設定時の注意」を参照してください。SDSTOP.SDBLKCNTEN ビットを“1”にして、SDBLKCNT レジスタに転送ブロック数を設定します。
- (3) SDARG レジスタに CMD18 の argument フィールド値を設定した後、SDCMD レジスタに“0000 0012h”を書き込みます。SDCMD レジスタに値が書き込まれると、SDHI は CMD18 を送信します。
- (4) レスポンスを受信すると、SDSTS1.RSPEND フラグが“1”になり、レスポンスエンド割り込み要求が発生します。
- (5) SDSTS1.RSPEND フラグを“0”にし、SDRSP54 レジスタに格納されたレスポンスを読み出します。読み出したレスポンスにエラーがある場合、SDSTOP.STP ビットを“1”にして、コマンドシーケンスを停止することができます。SDSTOP.STP ビットを“1”にすると、SDHI は CMD12 を自動で送信し、レスポンスを受信します。このとき、SDSTS1.ACEND フラグが“1”になり、アクセスエンド割り込み要求が許可されていると、アクセスエンド割り込み要求が発生します。その後、ACEND フラグを“0”にして、レスポンスを読み出してください。
- (6) レスポンスを受信した後、SDIMSK1.ACENDM ビットを“0”、SDIMSK2.BREM ビットを“0”にします。
- (7) SD カードから、1 ブロック分のデータ受信が終了すると、SDSTS2.BRE フラグが“1”になり、BRE 割り込み要求が発生します。
- (8) SDSTS2.BRE フラグを“0”にして、SDSIZE.LEN[9:0] ビットに設定したサイズ分のデータを SDBUFR レジスタから読み出します。SDBUFR レジスタからの読み出しは、SDBLKCNT レジスタで設定した転送ブロック分だけ繰り返します。なお、SDBUFR レジスタの読み出し中、受信中のデータによる通信エラーまたはタイムアウトが発生する場合があります。SDBLKCNT レジスタで設定した転送ブロック分の読み出しが完了すると、SDHI は CMD12 を自動で送信し、レスポンスを受信します。このとき、SDHI は、SDARG レジスタに“0000 0000h”を自動で設定します。
- (9) 全ブロック分のデータの読み出しと CMD12 に対するレスポンスを受信すると、SDSTS1.ACEND フラグが“1”になり、アクセスエンド割り込み要求が発生します。
- (10) SDSTS1.ACEND フラグを“0”にして、レスポンスを読み出します。

なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグのクリア) を行ってください。

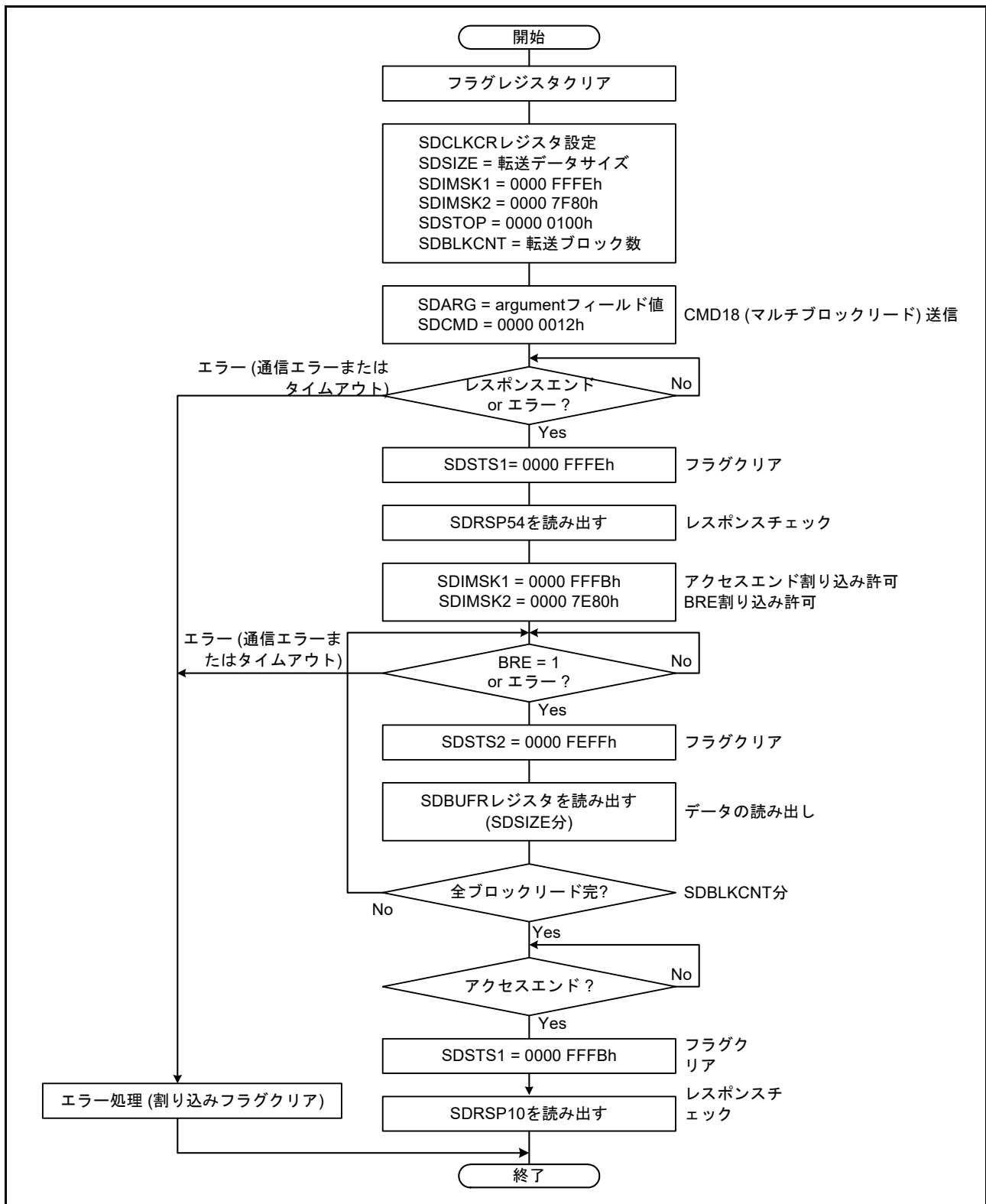


図 44.12 マルチブロックリードコマンドの送信例

44.3.6.6 マルチブロックライトコマンド (CMD25)

マルチブロックライトコマンド (CMD25) の送信例を図 44.13 に示します。

- (1) SDSTS1 および SDSTS2 レジスタの各フラグを“0”にします。
- (2) SDCLKCR レジスタに SDHI クロックの設定を、SDIMSK1 および SDIMSK2 レジスタにマスクする割り込み要求を設定します。SDCLKCR レジスタへの設定に関しては「44.5.5 SDCLKCR レジスタ設定時の注意」を参照してください。
SDSTOP.SDBLKCNTEN ビットを“1”にして、SDBLKCNT レジスタに転送ブロック数を設定します。
- (3) SDARG レジスタに CMD25 の argument フィールド値を設定した後、SDCMD レジスタに“0000 0019h”を書き込みます。SDCMD レジスタに値が書き込まれると、SDHI は CMD25 を送信します。
- (4) レスポンスを受信すると、SDSTS1.RSPEND フラグが“1”になり、レスポンスエンド割り込み要求が発生します。
- (5) SDSTS1.RSPEND フラグを“0”にし、SDRSP54 レジスタに格納されたレスポンスを読み出します。
読み出したレスポンスにエラーがある場合、SDSTOP.STP ビットを“1”にして、コマンドシーケンスを停止することができます。SDSTOP.STP ビットを“1”にすると、SDHI は CMD12 を自動で送信し、レスポンスを受信します。このとき、SDSTS1.ACEND フラグが“1”になり、アクセスエンド割り込み要求が許可されていると、アクセスエンド割り込み要求が発生します。その後、ACEND フラグを“0”にして、レスポンスを読み出してください。
- (6) レスポンスを受信した後、SDIMSK1 レジスタにアクセスエンド割り込み要求の許可の設定を、SDIMSK2 レジスタに BWE 割り込み要求の許可の設定を行います。
- (7) SDBUFR レジスタに書き込めるようになると、SDSTS2.BWE フラグが“1”になり、BWE 割り込み要求が発生します。
- (8) SDSTS2.BWE フラグを“0”にして、SDSIZE.LEN[9:0] ビットに設定したサイズ分のデータを SDBUFR レジスタへ書き込みます。SDBUFR レジスタへの書き込みが終了すると、SDHI は書き込むデータを SD カードへ送信した後、CRC status トークンを受信し、SDHI_D0 端子ラインがビジー状態 (Low) になります。SDBUFR レジスタへの書き込みと CRC status トークンの受信は、SDBLKCNT レジスタで設定した転送ブロック分だけ繰り返します。
なお、SDBUFR レジスタに書き込んだ後、送信中のデータによる通信エラーまたはタイムアウトが発生する場合があります。
SDBLKCNT レジスタで設定した転送ブロック分の書き込みが完了すると、SDHI は CMD12 を自動で送信し、レスポンスを受信します。このとき、SDHI は、SDARG レジスタに“0000 0000h”を自動で設定します。
- (9) 全ブロック分のデータの送信と CRC status トークンの受信が完了すると、ビジー状態が解除され、SDSTS1.ACEND フラグが“1”になり、アクセスエンド割り込み要求が発生します。
- (10) SDSTS1.ACEND フラグを“0”にして、レスポンスを読み出します。

なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグのクリア) を行ってください。

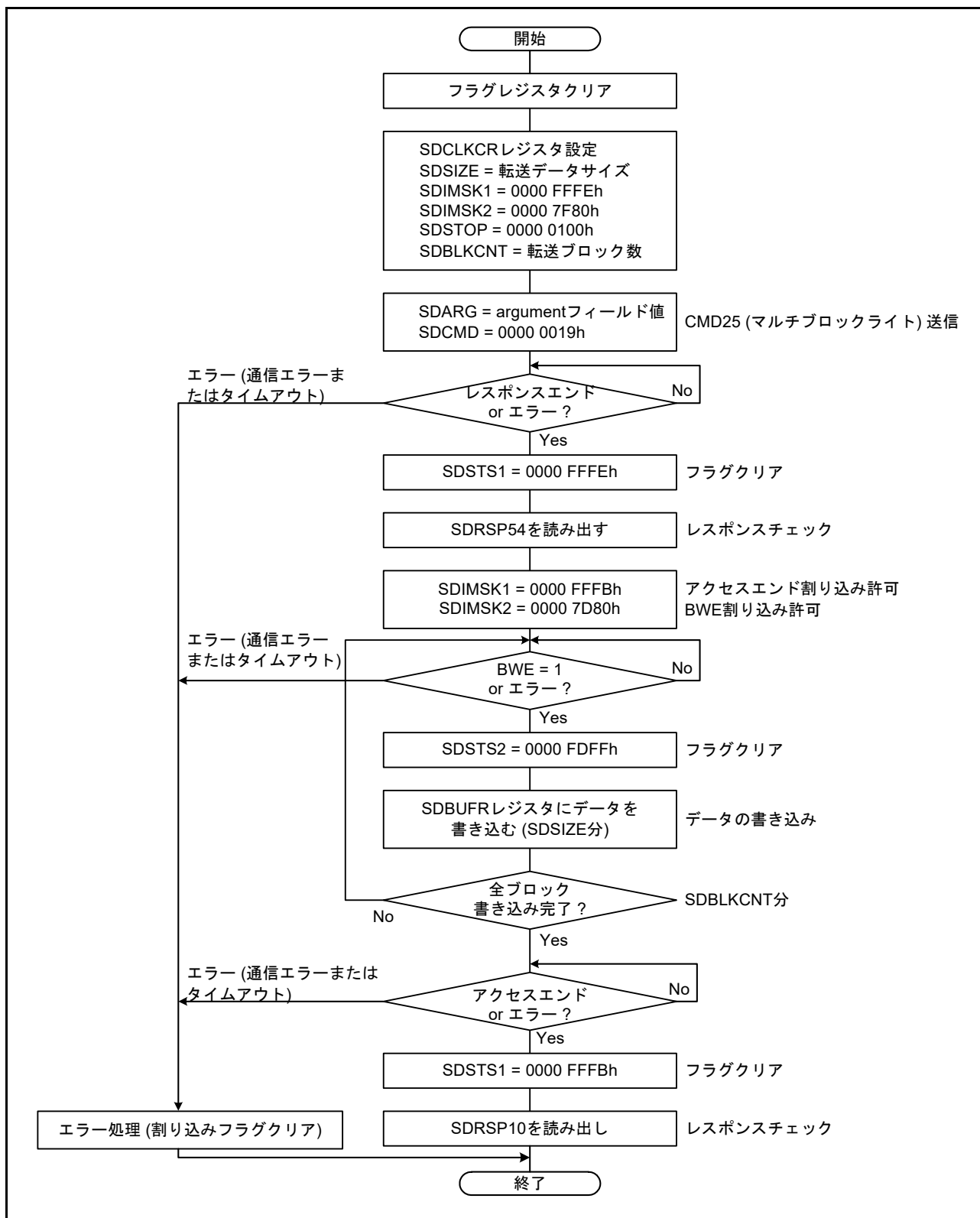


図 44.13 マルチブロックライトコマンドの送信例

44.3.6.7 IO_RW_DIRECT コマンド (CMD52)

IO_RW_DIRECT コマンド (CMD52) の送信例を図 44.14 に示します。

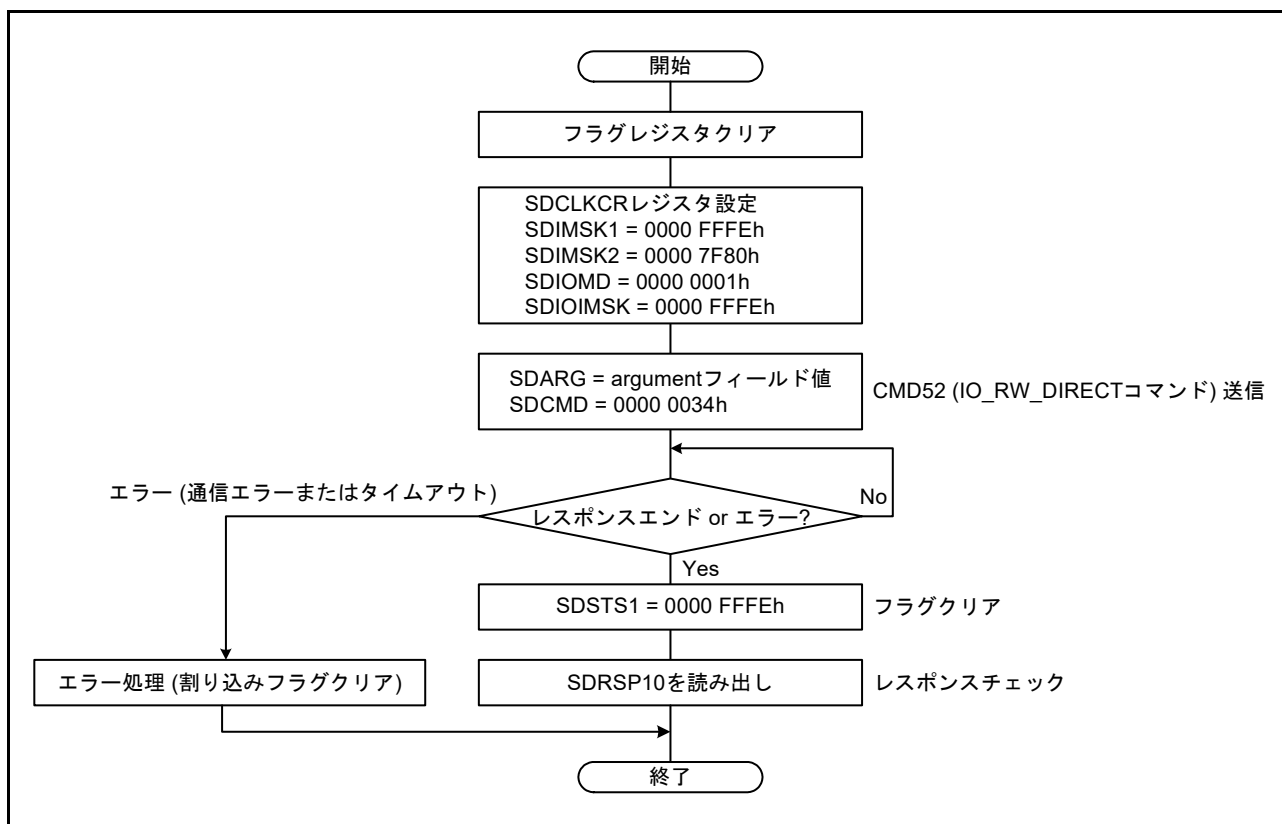


図 44.14 IO_RW_DIRECT コマンドの送信例

44.3.6.8 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード)

IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード) の送信例を図 44.15 に示します。

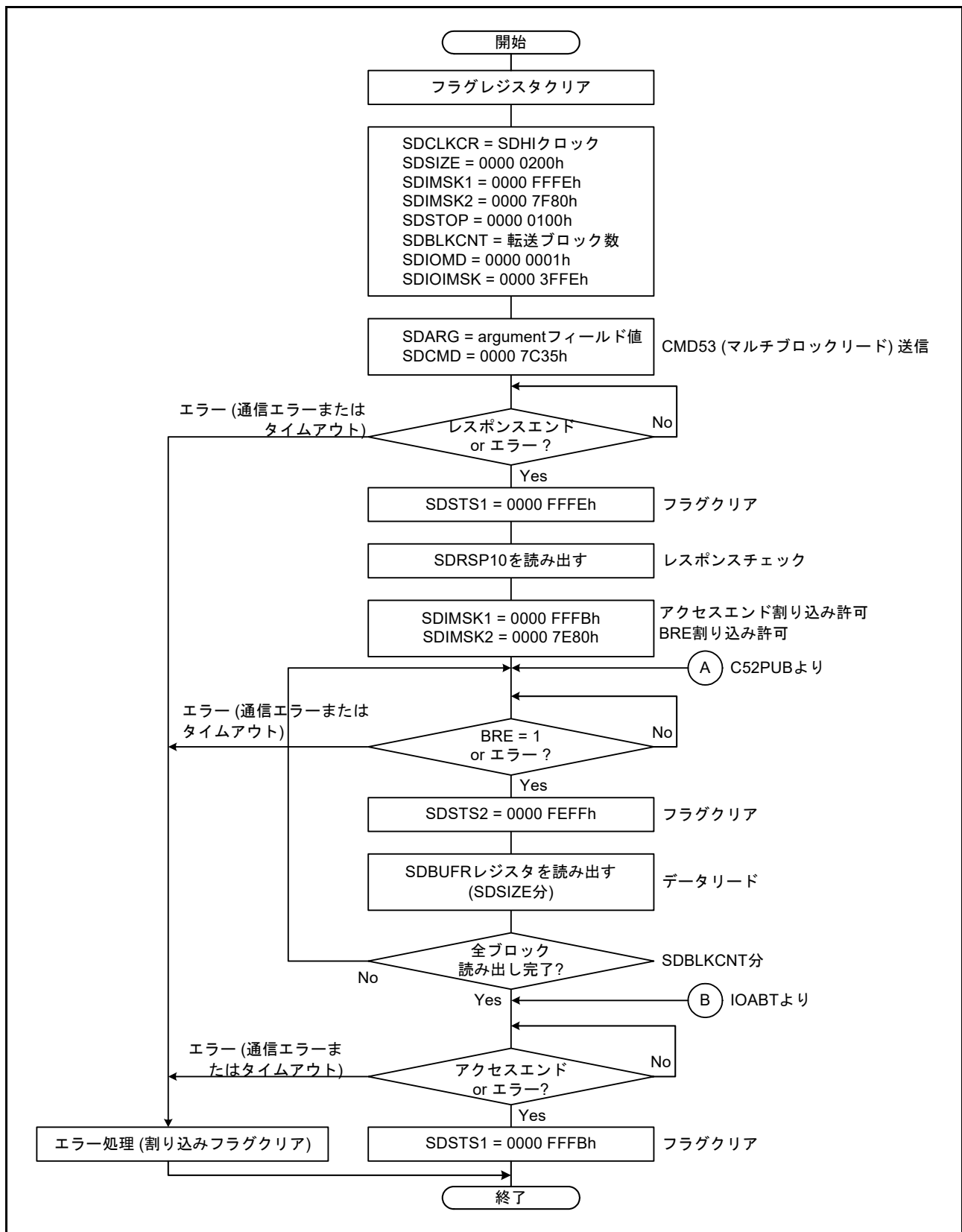


図 44.15 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード) の送信例

IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード) のシーケンス中に、SDIO abort コマンド (CMD52) を送信する例を図 44.16 に示します。

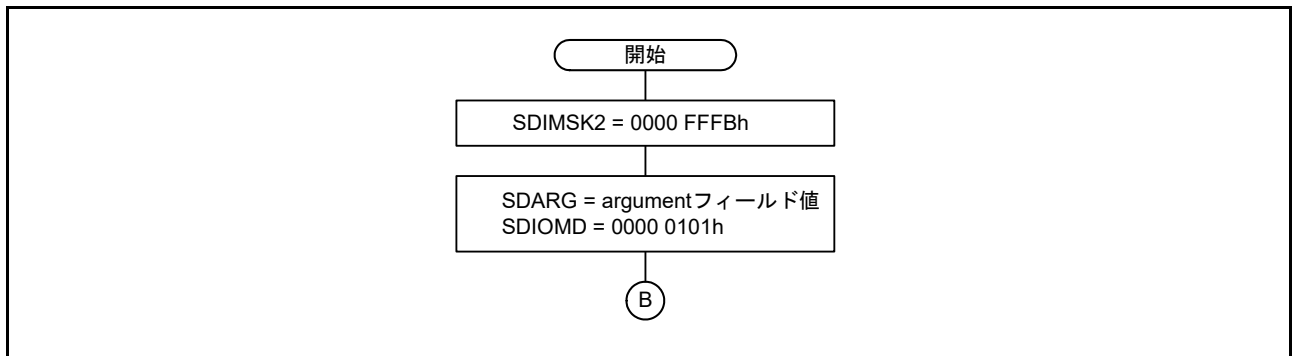


図 44.16 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード) のシーケンス中に SDIO abort コマンド (CMD52) を送信する例

IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード) のシーケンス中に、Read Wait 状態にした後、SDIO none abort コマンド (CMD52) を送信する例を図 44.17 に示します。

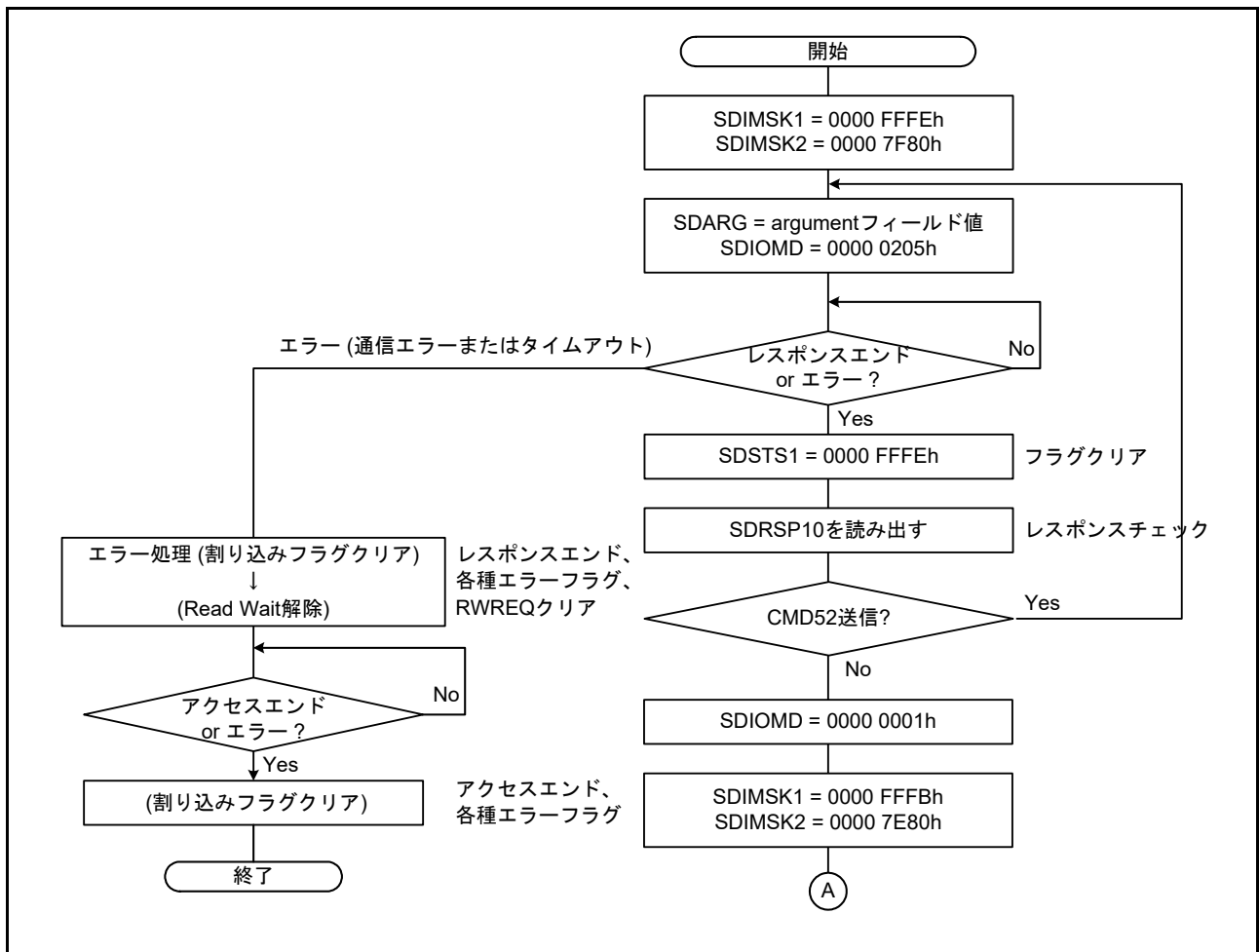


図 44.17 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード) のシーケンス中に Read Wait 状態にした後、SDIO none abort コマンド (CMD52) を送信する例

44.3.6.9 IO_RW_EXTENDED (CMD53/ マルチブロックライト)

IO_RW_EXTENDED コマンド (CMD53/ マルチブロックライト) の送信例を図 44.18 に示します。

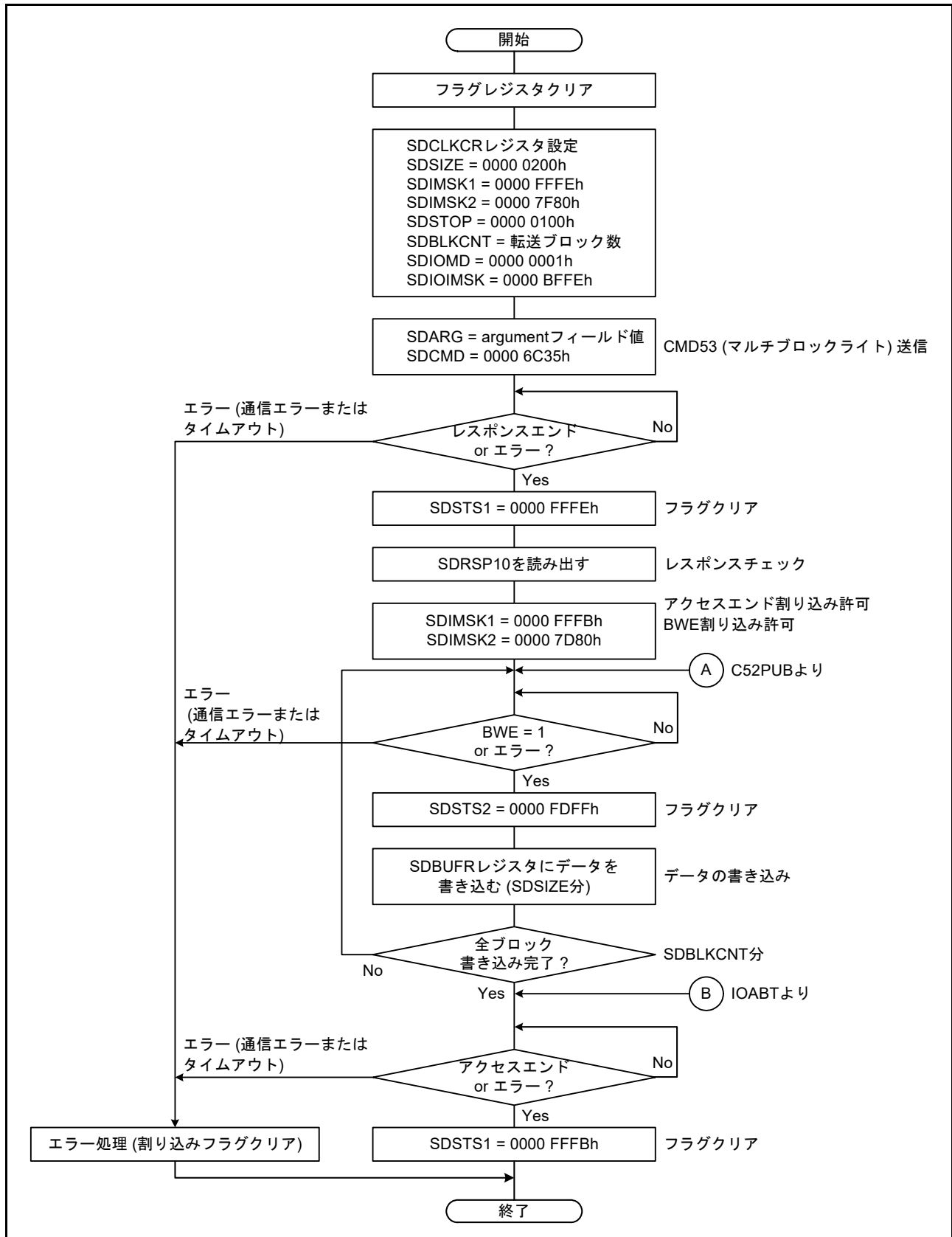


図 44.18 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックライト) の送信例

IO_RW_EXTENDED コマンド (CMD53/ マルチブロックライト) のシーケンス中に、SDIO abort コマンド (CMD52) を送信する例を図 44.19 に示します。

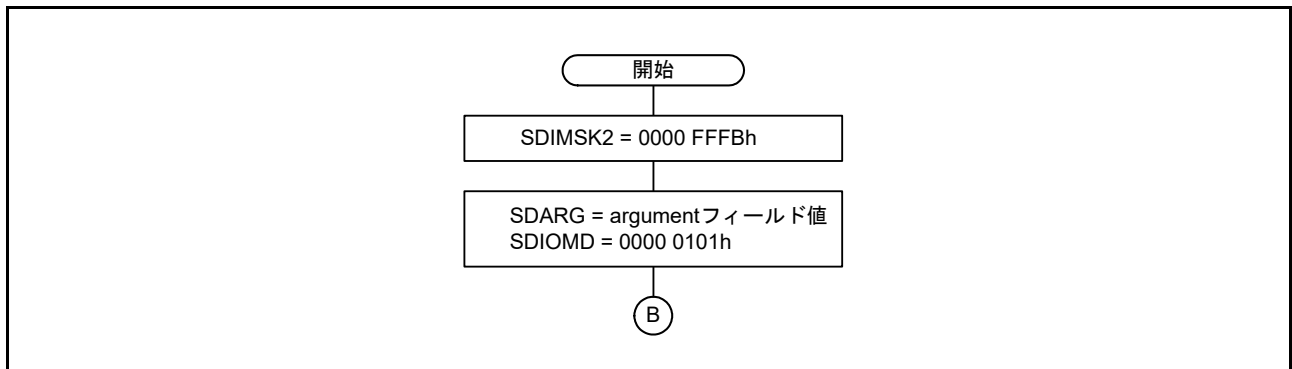


図 44.19 IO_RW_EXTENDED コマンド (CMD53) のシーケンス中に SDIO abort (CMD52) を送信する例

IO_RW_EXTENDED コマンド (CMD53/ マルチブロックライト) のシーケンス中に、SDIO none abort コマンド (CMD52) を送信する例を図 44.20 に示します。

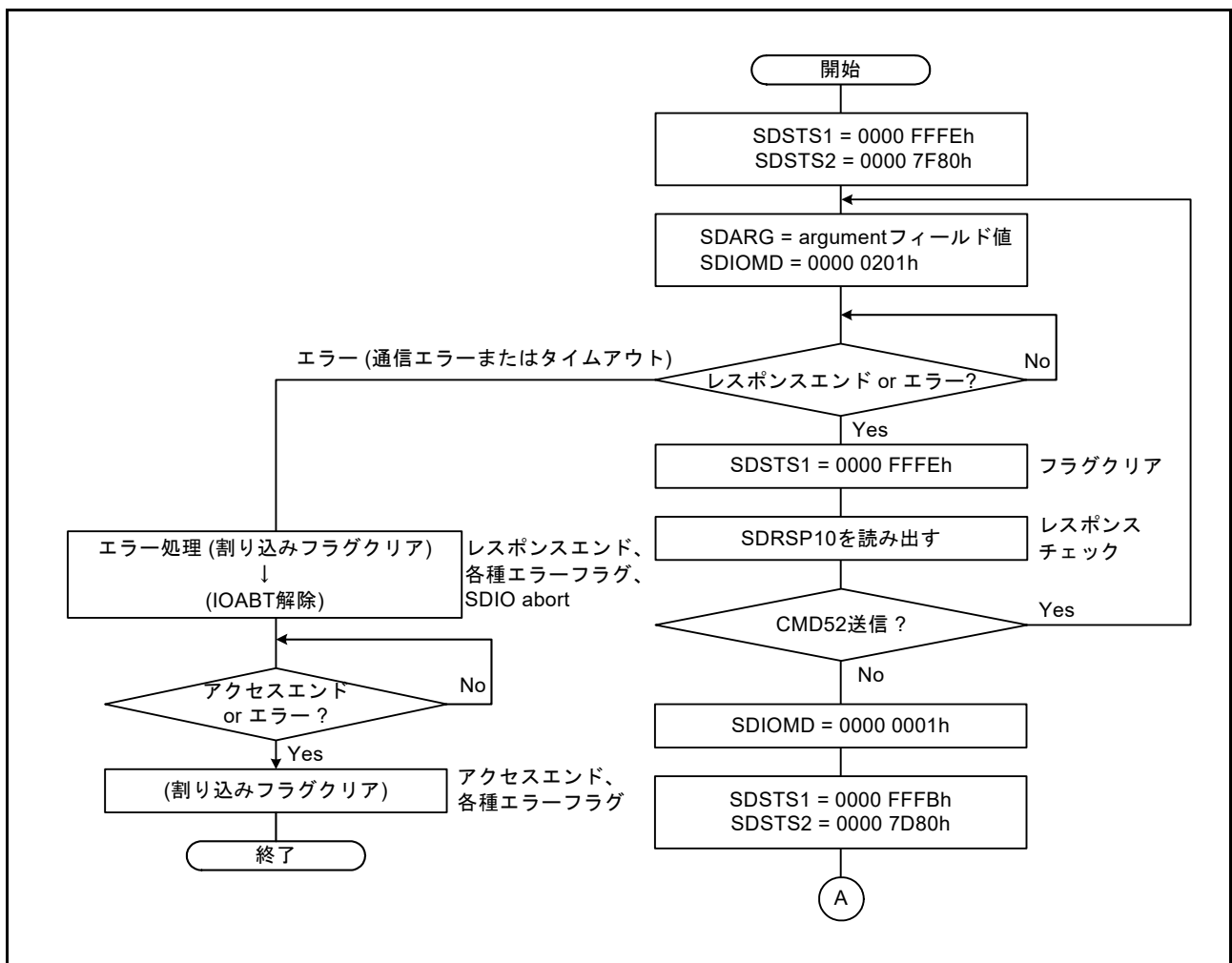


図 44.20 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックライト) のシーケンス中に SDIO none abort (CMD52) を送信する例

44.3.6.10 DMA 転送

マルチブロックリードコマンド (CMD18) を送信した後、DMA 転送で SDBUFR レジスタからデータを転送する例を図 44.21 に示します。

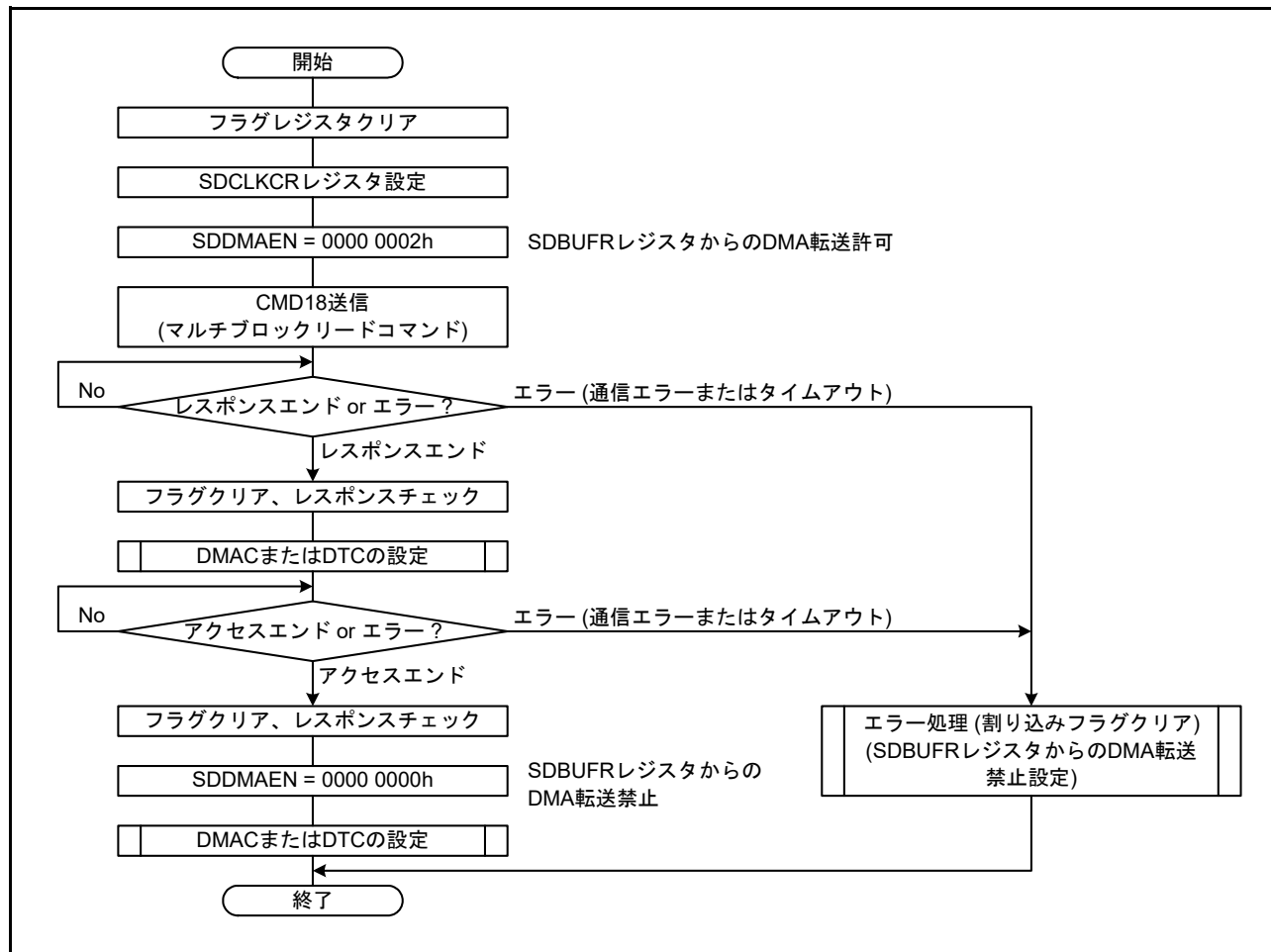


図 44.21 マルチブロックリードコマンド (CMD18) を送信した後、DMA 転送で SDBUFR レジスタから転送する例

マルチブロックライトコマンド (CMD25) を送信した後、DMA 転送で SDBUFR レジスタヘデータを転送する例を図 44.22 に示します。

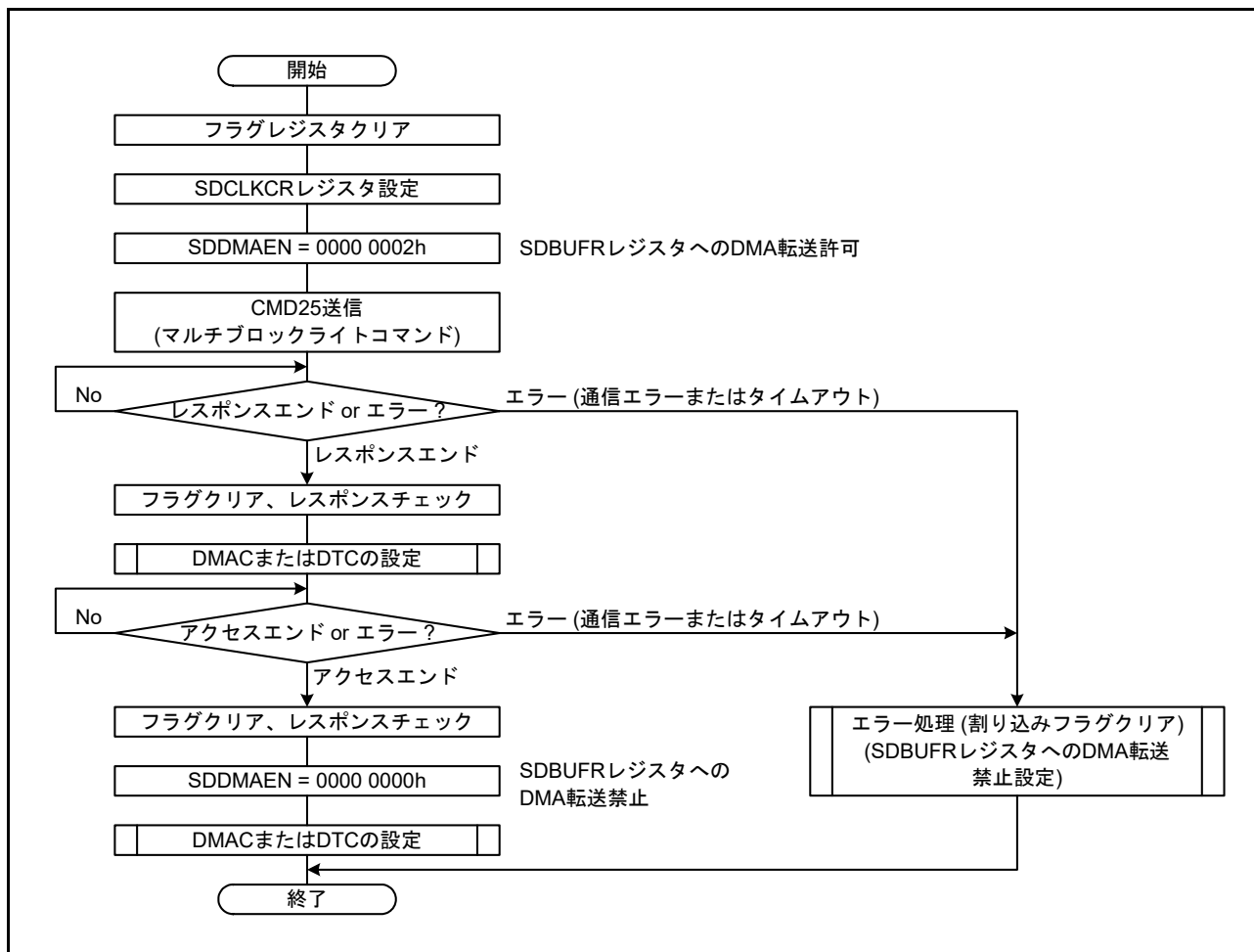


図 44.22 マルチブロックライトコマンド (CMD25) を送信した後、DMA 転送で SDBUFR レジスタへ転送する例

44.4 割り込み

SDHIの割り込み要因を表44.8に示します。SDSTS1、SDSTS2、SDIOSTSレジスタの各ステータスフラグが“1”になったとき、SDIMSK1、SDIMSK2、SDIOIMSKレジスタの対応するビットが“0”であれば、SDHIは割り込みを要求します。SDSTS1、SDSTS2、SDIOSTSレジスタの各ステータスフラグをクリアする場合は、クリアするステータスフラグに“0”を、それ以外のステータスフラグには“1”を書き込んでください。

表44.8 割り込み要因

割り込み要因	ステータスフラグレジスタ		割り込みマスク/許可レジスタ		DMAC/DTC起動
	レジスタ	フラグ	レジスタ	ビット	
カードアクセス割り込み(CACI)	SDSTS1	ACEND	SDIMSK1	ACENDM	不可能
		RSPEND		RSPENDM	
	SDSTS2	ILA	SDIMSK2	ILAM	
		BWE		BWEM	
		BRE		BREM	
		RSPTO		RSPTOM	
		ILR		ILRM	
		ILW		ILWM	
		DTO		DTTOM	
		ENDE		ENDEM	
		CRCE		CRCEM	
CMDE	CMDEM				
SDIOアクセス割り込み(SDACI)	SDIOSTS	EXWT	SDIOIMSK	EXWTM	不可能
		EXPUB52		EXPUB52M	
		IOIRQ		IOIRQM	
カード検出割り込み(CDETI)	SDSTS1	SDD3IN	SDIMSK1	SDD3INM	不可能
		SDD3RM		SDD3RMM	
		SDCDIN		SDCDINM	
		SDCDRM		SDCDRMM	
SDバッファアクセス割り込み(SBFAI)	SDSTS2	BWE	SDDMAEN	DMAEN	可能
		BRE			

44.4.1 割り込み要求による DMA 転送

SD バッファアクセス割り込み (SBFAI) を要求することで、SDBUFR レジスタへの書き込みおよび読み出しを、DMA/DTC 転送によって行うことができます。SBFAI 割り込みを使用する場合は、SDDMAEN.DMAEN ビットを“1”(DMA/DTC 転送許可)にし、SDIMSK2.BWEM ビット、SDIMSK2.BREM ビットを両方とも“1”(割り込み要求をマスク)にしてください。

SDDMAEN.DMAEN ビットが“1”のとき、ライトコマンドを送信すると SDSTS2.BWE フラグが“1”になり、リードコマンドを送信すると SDSTS2.BRE フラグが“1”になります。このとき、SBFAI 割り込み要求が出力されます。

1 ブロック (SDSIZE.LEN[9:0] ビットに設定された転送データサイズ) の最終データが転送されると、SBFAI 割り込み要求が消え、SDSTS2.BWE フラグまたは SDSTS2.BRE フラグが“0”になります。

なお、SBFAI 割り込み要求は、以下の方法によっても消すことができます。

- SDRST.SDRST ビットを“0”にしたとき (SDHI ソフトウェアリセット)
- SDSTOP.STP ビットを“1”にしたとき
- SDIOMD.IOABT ビットを“1”にしたとき
- SDDMAEN.DMAEN ビットを“0”にしたとき

ただし、SDCMD レジスタに次のコマンドを書き込む前に DMAEN ビットを再び“1”にすると、SBFAI 割り込み要求が再度出力されます。

DMA 転送中に通信エラーまたはタイムアウトが発生した場合、SBFAI 割り込み要求は消えません。ソフトウェアにてエラー処理を実施してください。

SDSTS2.BWE フラグおよび BRE フラグは、通信エラーやタイムアウトが発生したとき、あるいは SDSTOP.STP ビットや SDIOMD.IOABT ビットを“1”にしたときでも“0”になりません。SDSTS2.BWE フラグおよび BRE フラグが“1”のままであると、ライトコマンドまたはリードコマンドを送信しても、SBFAI 割り込み要求は出力されませんので、次のコマンドを送信する前に“0”にしてください。

DMA 転送を行う場合の DMAC/DTC の設定内容を表 44.9 に示します。

表 44.9 DMA 転送時の DMAC/DTC 設定

項目		設定内容
転送モード		ブロック転送モード
転送データ	1 データ	32 ビット
	ブロックサイズ	SDSIZE.LEN[9:0] ビットで指定したサイズ + 4
ブロック転送回数		SDBLKCNT レジスタで指定した転送回数

44.5 使用上の注意事項

44.5.1 マルチブロックリード時における不正な読み出しとその回避方法

読み出すブロック数が1ブロックまたは2ブロックのマルチブロックリードコマンド(CMD18)を送信した後、SDRSP10レジスタに格納されたCMD18のレスポンスを読み出す場合、タイミングによっては正しく読み出せないことがあります。

図44.23に、読み出すブロック数が2のマルチブロックリードコマンドを送信した場合の通常読み出し例と不正な読み出し例を示します。

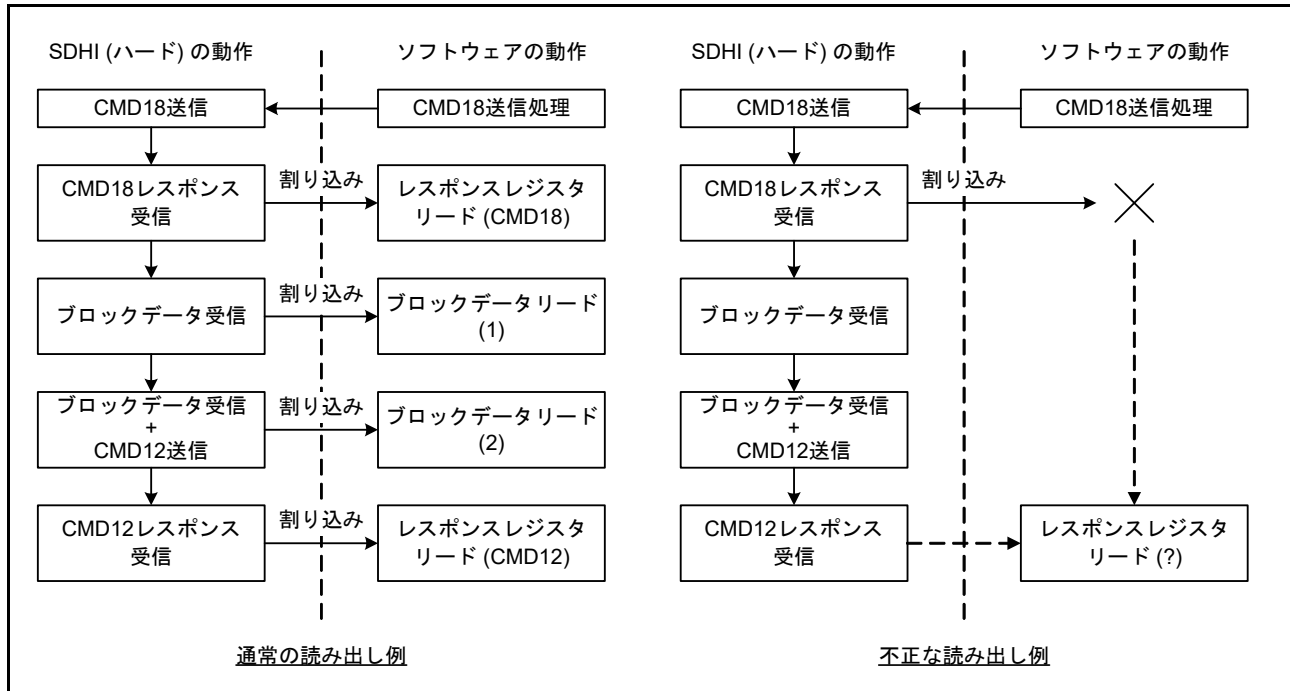


図 44.23 マルチブロックリード処理例 (2 ブロック)

不正な読み出し例では、CMD18のレスポンス受信による割り込みが発生したとき、その割り込み処理ルーチン内でSDRSP10レジスタを読み出すタイミングが遅れ、CMD18のレスポンスではなく、CMD12のレスポンス受信中のデータやCMD12のレスポンスを読み出してしまふ可能性があります。

この問題は、以下いずれかの方法で回避することができます。

- 読み出すブロック数が1ブロックまたは2ブロックの場合、マルチブロックリードコマンドではなく、シングルブロックリードコマンドを使用する
- CMD18のレスポンスを読み出す場合、SDRSP10レジスタではなくSDRSP54レジスタを読み出す

なお、マルチブロックリードで読み出すブロック数が3ブロック以上の場合、ブロックデータを読み出さなければCMD12を送信することはありませんので、この問題は発生しません。また、マルチブロックライトの場合は、CMD25のレスポンスを読み出してからブロックデータを送信しますので、同様にこの問題は発生しません。

44.5.2 SDBUFR レジスタ不正書き込みエラー

シングルブロックライトまたはマルチブロックライトコマンドを送信した後に SDBUFR レジスタにデータを書きこむ場合、SDSIZE.LEN[9:0] ビットで設定したサイズ分のデータを書き込むようにしてください。SDSIZE.LEN[9:0] ビットで設定したサイズを超えて書き込んだ場合、SDBUFR レジスタ不正書き込みエラーが発生し、SDSTS2.ILW フラグが“1”になります。

ただし、SDBUFR レジスタに書き込むデータに含まれるパディングデータは無視されますので、このエラーは発生しません。たとえば、SDSIZE.LEN[9:0] ビットで設定したサイズが奇数の場合、SDBUFR レジスタに書き込むデータのうち、1 バイトまたは 3 バイトは端数となり、余分なデータの書き込みに相当しますが、エラーは発生しません。また、SDSIZE.LEN[9:0] ビットで設定したサイズが偶数で、端数バイトが 2 バイトの場合も同様に、この 2 バイトを書き込んでもエラーは発生しません。

なお、場合によっては、SDBUFR レジスタに書き込んだデータの送信が行われず、SDSTS2.SDCLKCREN フラグが“0”のままとなることがあります。この場合は、SDRST.SDRST ビットを“0”にしてから“1”に戻すことにより SDCLKCREN フラグを“1”にすることができます。

44.5.3 SDHI クロック出力の自動制御

SD カード規格では、電源投入後、カード初期化コマンド (CMD0) を送信する前に、ホストから SD カードへ SDHI クロックを 74 サイクル供給する必要があります。そのため、SDHI から SD カードへ 74 サイクルの SDHI クロックが供給されてから、SDHI クロック出力の自動制御を有効にしてください。

SDHI クロック出力の自動制御を有効にした場合、通信エラーまたはタイムアウトによりコマンドシーケンスが終了すると、SDHI_CLK 端子からのクロック出力が停止します。そのため、コマンドシーケンスが終了した後も SD カード内のステートを遷移させる必要がある場合などは、SDHI クロック出力の自動制御を無効にして、SDHI クロックを SD カードへ供給してください。

44.5.4 マルチブロックライト時の C52PUB ビット設定制限

CMD53 によるマルチブロックライトシーケンス中、SDIOMD.C52PUB ビットを“1”にすると、SDHI は SD バッファが空になった後に CMD52 を送信します。すぐに CMD52 コマンドを送信したい場合は、以下の手順で SD バッファへの書き込みを一時停止してから、C52PUB ビットを“1”にしてください。

- DMA 転送を使用しない場合 (割り込みを使用する場合)

- (1) SDIMSK2.BWEM ビットを“1”にして割り込みを禁止にし、SDBUFR レジスタへの書き込みを一時停止する
- (2) SDIOMD.C52PUB ビットを“1”にする。その後、SD バッファが空になると、CMD52 コマンドが送信される
- (3) CMD52 のレスポンスを受信した後、SDIMSK2.BWEM ビットを“0”にして割り込みを許可し、SDBUFR レジスタへの書き込みを再開する

- DMA 転送を使用する場合

- (1) DMA 転送を SDSIZE レジスタ設定値 × n ブロック (n = 1, 2, ...) ごとに行うように設定しておき、SDIOMD.C52PUB ビットを設定する前に、SDBUFR レジスタへの DMA 転送を一時停止する
- (2) SDIOMD.C52PUB ビットを“1”にする。その後、SD バッファが空になると、CMD52 コマンドが送信される
- (3) CMD52 のレスポンスを受信した後、SDBUFR レジスタへの DMA 転送を再開する

44.5.5 SDCLKCR レジスタ設定時の注意

SDSTS2.SDCLKCREN フラグが“0”のときは、SDCLKCR レジスタに書き込みません。
SDSTS2.SDCLKCREN フラグが“1”であることを確認してから、SDCLKCR レジスタに値を設定してください。

44.5.6 マルチブロックリード中の SDSTOP レジスタへの設定

SDSTOP.SDBLKCNTEN ビットが“1”のときのマルチブロックリード中、SDSTOP.STP ビットを“1”にしてコマンドシーケンスを停止する場合、SDSTOP.STP ビットを“1”にするタイミングによっては、コマンドシーケンスが終了しないことがあります。この問題を回避するには、SDSTOP.STP ビットとSDSTOP.SDBLKCNTEN ビットを同時に“0”にしてください。なお、このとき、SDSTS2.SDCLKCREN フラグが“0”であってもSDSTOP.SDBLKCNTEN ビットを“0”にしてください。

また、SDSTOP.SDBLKCNTEN ビットを“0”にしない場合は、SDRST.SDRST ビットを“0”にすることで、コマンドシーケンスを終了させることもできます。

CMD53 コマンドによるマルチブロック転送中に SDIOMD.IOABT ビットを“1”にして転送を停止する場合、SDSTOP.SDBLKCNTEN ビットは“1”のままにしてください。

44.5.7 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、SDHI の動作を禁止または許可することができます。

リセット後は、SDHI の動作は停止しています。モジュールストップ状態を解除することにより、レジスタにアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

45. シリアルサウンドインタフェース (SSIE)

本 MCU は、1 チャンネルのシリアルサウンドインタフェース (SSIE0) を内蔵しています。SSIE は、I²S、左詰め、右詰めなどの標準オーディオデータフォーマットに加え、モノラル、TDM (時分割多重) フォーマットにも対応しています。

45.1 概要

表 45.1 に SSIE の仕様、表 45.2、図 45.1 に本章で使用している用語とその定義、図 45.2 に SSIE のブロック図を示します。

表 45.1 SSIE の仕様

項目		内容
チャンネル数		1チャンネル(SSIE0)
通信モード		<ul style="list-style-type: none"> マスタ/スレーブ 送信/受信/送受信
データフォーマット		<ul style="list-style-type: none"> I²Sフォーマット 左詰めフォーマット 右詰めフォーマット モノラルフォーマット TDMフォーマット
シリアルデータ		<ul style="list-style-type: none"> MSBファースト固定 システムワード長：8、16、24、32、48、64、128、256ビットから選択可能 データワード長：8、16、18、20、22、24、32ビットから選択可能 パディングビットの極性を選択可能 ミュート機能
マスタクロック (MCK)		クロックソース：AUDIO_CLK
ビットクロック (BCK)	マスタモード時	<ul style="list-style-type: none"> 周波数：MCKの1/1、1/2、1/4、1/6、1/8、1/12、1/16、1/24、1/32、1/48、1/64、1/96、または1/128から選択可能 通信が停止しているときのクロック供給/停止を選択可能
	マスタ/スレーブモード時	<ul style="list-style-type: none"> 極性(立ち上がりエッジまたは立ち下がりエッジ)を選択可能
LRクロック (LRCK)		<ul style="list-style-type: none"> 極性(Low/High)の選択が可能 通信が停止しているときのクロック供給/停止を選択可能
FIFO	容量	<ul style="list-style-type: none"> 送信FIFO：4バイト×32段 受信FIFO：4バイト×32段
	データアライメント	<ul style="list-style-type: none"> FIFO内のデータ配置を左詰めまたは右詰めから選択可能
割り込み		<ul style="list-style-type: none"> 通信エラー/アイドル 受信データフル 送信データエンプティ
低消費電力機能		<ul style="list-style-type: none"> モジュールストップ機能 マスタクロック (MCK) 供給停止機能

表 45.2 用語の定義

用語	定義
開始トリガ	通信開始後最初の SSILRCK 信号の SSICR.LRCKP ビットで指定したエッジ
フレーム境界	フレームの先頭データの送受信を開始した時点、または、最終データの送受信を終了した時点
フレームワード長	1フレームに含まれるシステムワードの数(チャンネル数)
システムワード長	チャンネルごとの通信ビット数
データワード長	チャンネルごとの有効ビット数

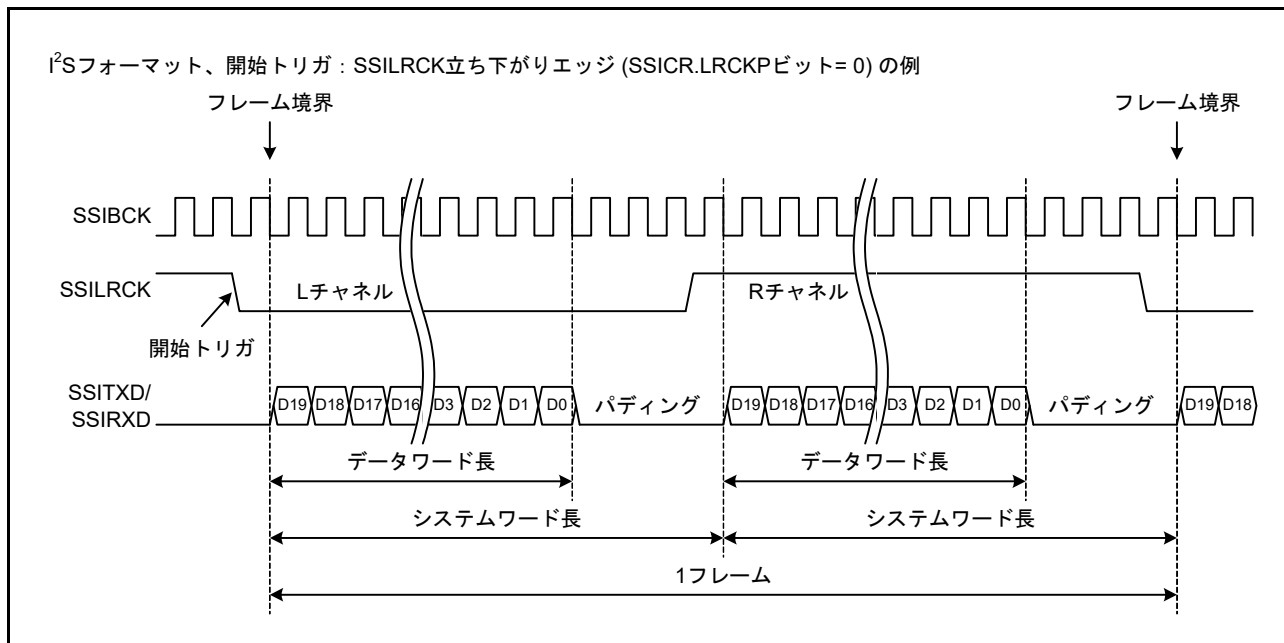


図 45.1 データフォーマットに関する用語の定義

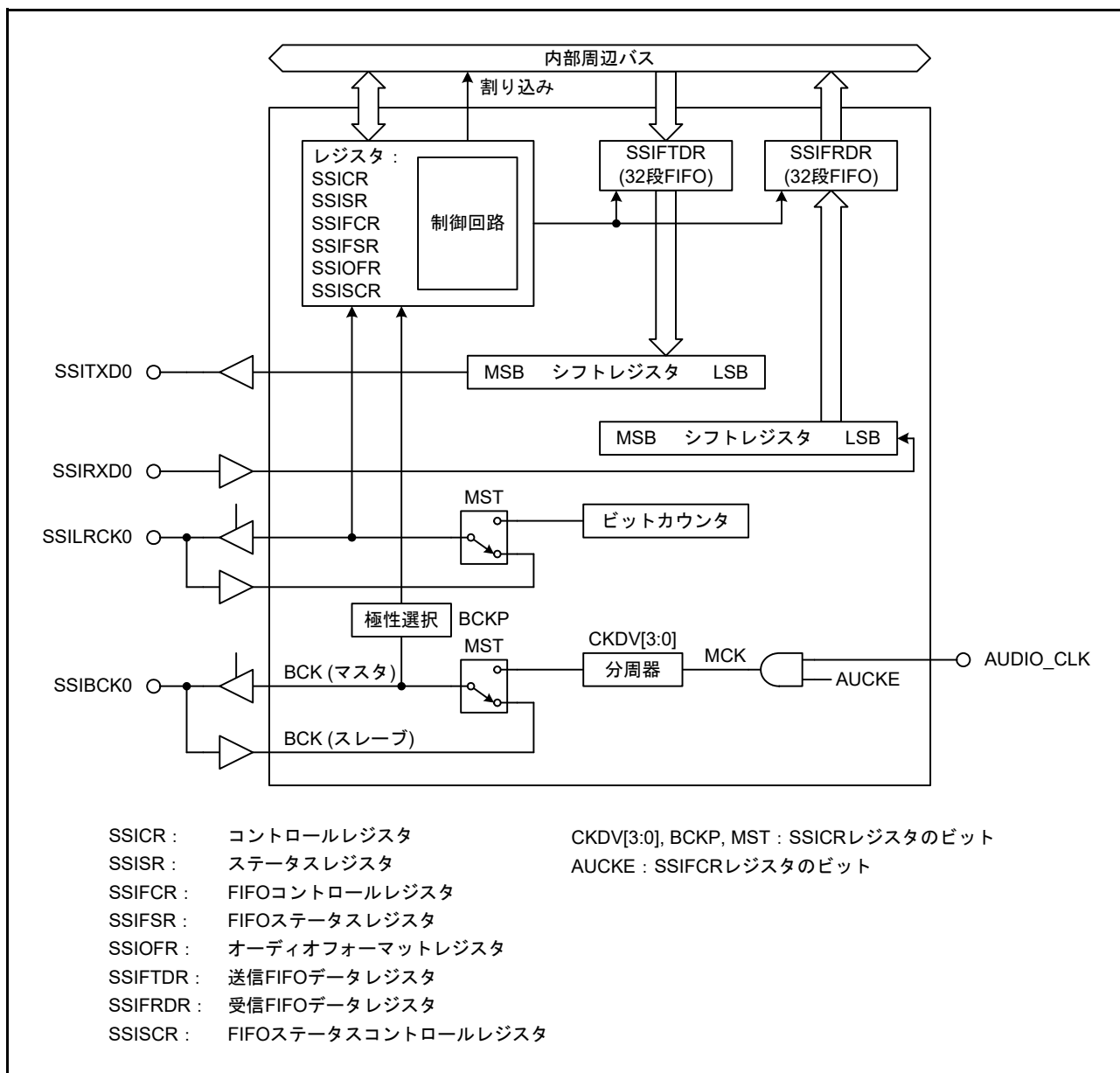


図 45.2 SSIE ブロック図

表 45.3 に SSIE で使用する端子の一覧を示します。

表 45.3 SSIE の入出力端子

端子名	入出力	機能
AUDIO_CLK	入力	オーディオクロック入力端子
SSIBCK0	入出力	チャンネル0のビットクロック入出力端子
SSILRCK0	入出力	チャンネル0のLRクロック入出力端子
SSITXD0	出力	チャンネル0のデータ出力端子
SSIRXD0	入力	チャンネル0のデータ入力端子

45.2 レジスタの説明

45.2.1 コントロールレジスタ (SSICR)

アドレス SSIE0.SSICR 0008 A500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TUIEN	TOIEN	RUIEN	ROIEN	I IEN	—	FRM[1:0]		DWL[2:0]		SWL[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL		CKDV[3:0]		MUEN	—	TEN	REN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	REN	受信許可ビット(注1)	0: 受信禁止 1: 受信許可	R/W
b1	TEN	送信許可ビット(注1)	0: 送信禁止 1: 送信許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	MUEN	ミュートビット	0: ミュート解除 1: ミュート	R/W
b7-b4	CKDV[3:0]	ビットクロック分周比選択ビット(注2、注3)	MCKからビットクロックを生成するときの分周比を設定します b7 b4 0000: 分周なし 0001: 2分周 0010: 4分周 0011: 8分周 0100: 16分周 0101: 32分周 0110: 64分周 0111: 128分周 1000: 6分周 1001: 12分周 1010: 24分周 1011: 48分周 1100: 96分周 上記以外は設定しないでください	R/W
b8	DEL	シリアルデータディレイ選択ビット(注2)	SSILRCKのエッジからデータ入出力までの遅延を設定します 0: 1ビットクロック分の遅延あり 1: 遅延なし	R/W
b9	PDTA	データアライメント選択ビット(注2)	SSIFTDR、SSIFRDRレジスタのデータ配置を選択します 0: データを左詰めに配置 1: データを右詰めに配置	R/W
b10	SDTA	シリアルデータアライメント選択ビット(注2)	0: I ² S、左詰めフォーマット(データビット、パディングビットの順に送受信) 1: 右詰めフォーマット(パディングビット、データビットの順に送受信)	R/W
b11	SPDP	パディングデータ選択ビット(注2)	0: パディングビットはLow 1: パディングビットはHigh	R/W
b12	LRCKP	LRクロック極性選択ビット(注2)	0: LチャンネルがLow。フレーム境界はSSILRCKの立ち下がりエッジ 1: LチャンネルがHigh。フレーム境界はSSILRCKの立ち上がりエッジ	R/W
b13	BCKP	ビットクロック極性選択ビット(注2、注3)	0: ビットクロックの立ち下がりエッジで出力変化、立ち上がりエッジで入力サンプリング 1: ビットクロックの立ち上がりエッジで出力変化、立ち下がりエッジで入力サンプリング	R/W

ビット	シンボル	ビット名	機能	R/W
b14	MST	マスタモードビット(注2、注3)	0: スレーブモード 1: マスタモード	R/W
b15	—	予約ビット	読むと“0”が読めず。書く場合、“0”としてください	R/W
b18-b16	SWL[2:0]	システムワード長選択ビット(注2)	b18 b16 0 0 0: 8ビット 0 0 1: 16ビット 0 1 0: 24ビット 0 1 1: 32ビット 1 0 0: 48ビット 1 0 1: 64ビット 1 1 0: 128ビット 1 1 1: 256ビット	R/W
b21-b19	DWL[2:0]	データワード長選択ビット(注2)	b21 b19 0 0 0: 8ビット 0 0 1: 16ビット 0 1 0: 18ビット 0 1 1: 20ビット 1 0 0: 22ビット 1 0 1: 24ビット 1 1 0: 32ビット 1 1 1: 設定しないでください	R/W
b23-b22	FRM[1:0]	フレームワード長選択ビット(注2)	1フレームに含まれるシステムワードの数を設定します b23 b22 0 0: 2ワード(I ² S、左詰め、右詰め)または1ワード(モノラル) 0 1: 4ワード(TDMフォーマットのみ) 1 0: 6ワード(TDMフォーマットのみ) 1 1: 8ワード(TDMフォーマットのみ)	R/W
b24	—	予約ビット	読むと“0”が読めず。書く場合、“0”としてください	R/W
b25	I IEN	アイドル割り込み許可ビット	0: アイドル割り込み禁止 1: アイドル割り込み許可	R/W
b26	ROIEN	受信オーバーフロー割り込み許可ビット	0: 受信オーバーフロー割り込み禁止 1: 受信オーバーフロー割り込み許可	R/W
b27	RUIEN	受信アンダフロー割り込み許可ビット	0: 受信アンダフロー割り込み禁止 1: 受信アンダフロー割り込み許可	R/W
b28	TOIEN	送信オーバーフロー割り込み許可ビット	0: 送信オーバーフロー割り込み禁止 1: 送信オーバーフロー割り込み許可	R/W
b29	TUIEN	送信アンダフロー割り込み許可ビット	0: 送信アンダフロー割り込み禁止 1: 送信アンダフロー割り込み許可	R/W
b31-b30	—	予約ビット	読むと“0”が読めず。書く場合、“0”としてください	R/W

注1. TENビットまたはRENビットを書き換えた場合、SSISR.IIRQフラグが意図した値(送信または受信許可の場合はIIRQフラグが“0”(通信状態)、送受信禁止の場合はIIRQフラグが“1”(アイドル状態))になっていることを確認してください。

注2. これらのビットは、SSIEがアイドル中(SSISR.IIRQフラグ=1)に書き換えてください。通信中に書き換えた場合、その後の動作は保証できません。

注3. これらのビットは、SSIFCR.AUCKEビットが“0”のときに書き換えてください。

TENビット(送信許可ビット)、RENビット(受信許可ビット)

送信、受信を許可/禁止します。いずれかのビットに“1”を書くと、SSILRCK信号の開始トリガと同期して通信を開始します。“0”を書くと、次のフレーム境界で通信を停止します。送受信でSSIEを使用するときは、TENビットとRENビットの両方に同時に“1”を書いてください。通信を停止するときは、TENビットとRENビットに同時に“0”を書いてください。

送信、受信、送受信の切り替えは、アイドル状態で行ってください。

MUEN ビット (ミュートビット)

SSITXD 端子の出力を Low に固定し、音声出力をミュートします。フレームの途中で本ビットの値を変更した場合、次のフレーム境界から設定が反映されます。

MUEN ビットは、SSITXD 出力の固定のみ制御します。ステータスフラグや割り込み信号は、MUEN ビットとは関係なく生成されます。

MUEN ビットは、使用するデータフォーマットを設定してから変更するようにしてください。

CKDV[3:0] ビット (ビットクロック分周比選択ビット)

マスタモード時、マスタクロック (MCK) からビットクロック (BCK) を生成するときの分周比を設定します。スレーブモードでは、本ビットの設定は無効です。

本ビットは、SSIFCR.AUCKE ビットが “0” のときに書き換えてください。

DEL ビット (シリアルデータディレイ選択ビット)

本ビットが “0” の場合、SSILRCK のエッジと SSITXD/SSIRXD の間に 1 ビットクロック分の遅延が入ります。“1” の場合は入りません。

I2S フォーマットでは “0” に、左詰め、右詰めフォーマットでは “1” にしてください。モノラル、TDM フォーマットの場合は通信するデバイスに合わせて設定してください。なお、モノラルフォーマットの場合、本ビットの値によって SSILRCK の High 幅が変わります。

PDTA ビット (データアライメント選択ビット)

SSIFTDR、SSIFRDR レジスタ内の有効ビットの位置を設定します。データワード長が 18 ~ 24 ビット (DWL[2:0] ビット = 010b ~ 101b) の場合のみ有効です。それ以外のデータワード長を選択した場合、“0” にしてください。

図 45.3 に SSIFTDR レジスタ、SSIFRDR レジスタのデータ配置を示します。

DWL[2:0]ビット	PDTAビット= 0 (左詰め)	PDTAビット= 1 (右詰め)																
000b (8ビット)	<table border="1"> <tr> <td>b31</td> <td>b24</td> <td>b23</td> <td>b0</td> </tr> <tr> <td>D7</td> <td>D0</td> <td>無効</td> <td></td> </tr> </table>	b31	b24	b23	b0	D7	D0	無効		設定禁止								
b31	b24	b23	b0															
D7	D0	無効																
001b (16ビット)	<table border="1"> <tr> <td>b31</td> <td>b16</td> <td>b15</td> <td>b0</td> </tr> <tr> <td>D15</td> <td>D0</td> <td>無効</td> <td></td> </tr> </table>	b31	b16	b15	b0	D15	D0	無効		設定禁止								
b31	b16	b15	b0															
D15	D0	無効																
010b (18ビット)	<table border="1"> <tr> <td>b31</td> <td>b14</td> <td>b13</td> <td>b0</td> </tr> <tr> <td>D17</td> <td>D0</td> <td>無効</td> <td></td> </tr> </table>	b31	b14	b13	b0	D17	D0	無効		<table border="1"> <tr> <td>b31</td> <td>b18</td> <td>b17</td> <td>b0</td> </tr> <tr> <td>無効</td> <td>D17</td> <td>D0</td> <td></td> </tr> </table>	b31	b18	b17	b0	無効	D17	D0	
b31	b14	b13	b0															
D17	D0	無効																
b31	b18	b17	b0															
無効	D17	D0																
011b (20ビット)	<table border="1"> <tr> <td>b31</td> <td>b12</td> <td>b11</td> <td>b0</td> </tr> <tr> <td>D19</td> <td>D0</td> <td>無効</td> <td></td> </tr> </table>	b31	b12	b11	b0	D19	D0	無効		<table border="1"> <tr> <td>b31</td> <td>b20</td> <td>b19</td> <td>b0</td> </tr> <tr> <td>無効</td> <td>D19</td> <td>D0</td> <td></td> </tr> </table>	b31	b20	b19	b0	無効	D19	D0	
b31	b12	b11	b0															
D19	D0	無効																
b31	b20	b19	b0															
無効	D19	D0																
100b (22ビット)	<table border="1"> <tr> <td>b31</td> <td>b10</td> <td>b9</td> <td>b0</td> </tr> <tr> <td>D21</td> <td>D0</td> <td>無効</td> <td></td> </tr> </table>	b31	b10	b9	b0	D21	D0	無効		<table border="1"> <tr> <td>b31</td> <td>b22</td> <td>b21</td> <td>b0</td> </tr> <tr> <td>無効</td> <td>D21</td> <td>D0</td> <td></td> </tr> </table>	b31	b22	b21	b0	無効	D21	D0	
b31	b10	b9	b0															
D21	D0	無効																
b31	b22	b21	b0															
無効	D21	D0																
101b (24ビット)	<table border="1"> <tr> <td>b31</td> <td>b8</td> <td>b7</td> <td>b0</td> </tr> <tr> <td>D23</td> <td>D0</td> <td>無効</td> <td></td> </tr> </table>	b31	b8	b7	b0	D23	D0	無効		<table border="1"> <tr> <td>b31</td> <td>b24</td> <td>b23</td> <td>b0</td> </tr> <tr> <td>無効</td> <td>D23</td> <td>D0</td> <td></td> </tr> </table>	b31	b24	b23	b0	無効	D23	D0	
b31	b8	b7	b0															
D23	D0	無効																
b31	b24	b23	b0															
無効	D23	D0																
110b (32ビット)	<table border="1"> <tr> <td>b31</td> <td>b0</td> </tr> <tr> <td>D31</td> <td>D0</td> </tr> </table>	b31	b0	D31	D0	設定禁止												
b31	b0																	
D31	D0																	

図 45.3 SSIFTDR レジスタ、SSIFRDR レジスタのデータ配置

SDTA ビット (シリアルデータアライメント選択ビット)

1 システムワード内のデータビットとパディングビットの送受信順を設定します。本ビットが“0”の場合、データビット、パディングビットの順に送受信し、“1”の場合、パディングビット、データビットの順に送受信します。本ビットは、パディングビットのないデータフォーマットでは無効です。

LRCKP ビット (LR クロック極性選択ビット)

SSILRCK 端子の初期状態および極性を設定します。表 45.4 に本ビットの設定値ごとの、LR クロックの状態を示します。スレーブモード時、SSIE は SSILRCK を開始トリガとしてのみ使用します。

I²S フォーマットを選択した場合は、“0”にしてください。その他のフォーマットでは“1”にしてください。

表45.4 LRCKPビットの設定値とLRクロックの状態

LRCKPビット	SSILRCK端子の初期状態	Lチャンネル	Rチャンネル	フレーム境界
0	High	Low	High	立ち下がりエッジ
1	Low	High	Low	立ち上がりエッジ

BCKP ビット (ビットクロック極性選択ビット)

ビットクロックの極性を設定します。表 45.5 に本ビットの設定に対する、各信号の変化タイミング、サンプリングタイミングを示します。

本ビットは、SSIFCR.AUCKE ビットが“0”のときに設定してください。

表45.5 BCKPビットの設定値とビットクロック極性

BCKPビット	SSILRCK、SSITXD出力	SSILRCK、SSIRXD入力
0	SSIBCKの立ち下がりエッジで変化	SSIBCKの立ち上がりエッジでサンプリング
1	SSIBCKの立ち上がりエッジで変化	SSIBCKの立ち下がりエッジでサンプリング

SWL[2:0] ビット (システムワード長選択ビット)

1 システムワードのビット数を設定します。ビットクロックと LR クロックの周波数比は、本ビットの設定で決まります。パディングビットのビット数は、システムワード長とデータワード長の差で決まります。詳細は、表 45.8 を参照してください。

DWL[2:0] ビット (データワード長選択ビット)

システムワード内の有効データのビット数を設定します。データワード長は、システムワード長を超えないようにしてください。詳細は、表 45.8 を参照してください。

FRM[1:0] ビット (フレームワード長選択ビット)

1 フレーム内のシステムワード数を設定します。

I²S、左詰め、右詰め、モノラルフォーマットでは“00b”にしてください。また、TDM フォーマットでは“00b”にしないでください。

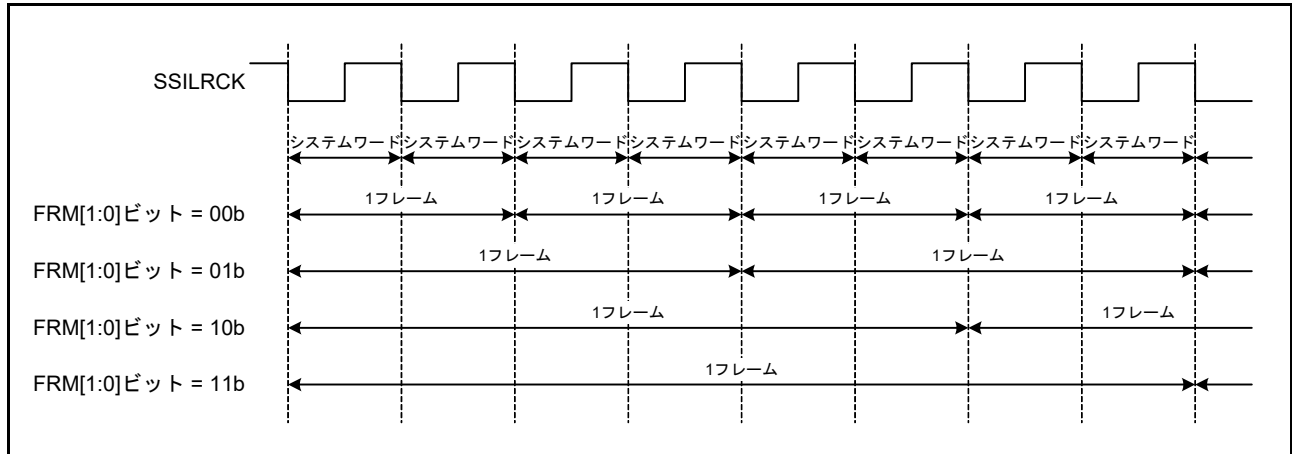


図 45.4 フレームワード長

I IEN ビット (アイドル割り込み許可ビット)

アイドル割り込みを許可 / 禁止します。

本ビットが“1”の場合、SSISR.IIRQ フラグが“1”になると割り込み要求が出力されます。また、IIRQ フラグが“1”のときに本ビットを“0”から“1”に変更した場合も、割り込み要求が出力されます。

ROIEN ビット (受信オーバーフロー割り込み許可ビット)

受信オーバーフロー割り込みを許可 / 禁止します。

本ビットが“1”の場合、SSISR.ROI RQ フラグが“1”になると割り込み要求が出力されます。また、ROI RQ フラグが“1”のときに本ビットを“0”から“1”に変更した場合も、割り込み要求が出力されます。

RUIEN ビット (受信アンダフロー割り込み許可ビット)

受信アンダフロー割り込みを許可 / 禁止します。

本ビットが“1”の場合、SSISR.RUI RQ フラグが“1”になると割り込み要求が出力されます。また、RUI RQ フラグが“1”のときに本ビットを“0”から“1”に変更した場合も、割り込み要求が出力されます。

TOIEN ビット (送信オーバーフロー割り込み許可ビット)

送信オーバーフロー割り込みを許可 / 禁止します。

本ビットが“1”の場合、SSISR.TOI RQ フラグが“1”になると割り込み要求が出力されます。また、TOI RQ フラグが“1”のときに本ビットを“0”から“1”に変更した場合も、割り込み要求が出力されます。

TUIEN ビット (送信アンダフロー割り込み許可ビット)

送信アンダフロー割り込みを許可 / 禁止します。

本ビットが“1”の場合、SSISR.TUI RQ フラグが“1”になると割り込み要求が出力されます。また、TUI RQ フラグが“1”のときに本ビットを“0”から“1”に変更した場合も、割り込み要求が出力されます。

45.2.2 ステータスレジスタ (SSISR)

アドレス SSIE0.SSISR 0008 A504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b24-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25	IIRQ	アイドルフラグ	0: 通信状態 1: アイドル状態	R
b26	ROIRQ	受信オーバフローフラグ	0: 受信オーバフローの発生なし 1: 受信オーバフローの発生あり	R/W
b27	RUIRQ	受信アンダフローフラグ	0: 受信アンダフローの発生なし 1: 受信アンダフローの発生あり	R/W
b28	TOIRQ	送信オーバフローフラグ	0: 送信オーバフローの発生なし 1: 送信オーバフローの発生あり	R/W
b29	TUIRQ	送信アンダフローフラグ	0: 送信アンダフローの発生なし 1: 送信アンダフローの発生あり	R/W
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

本レジスタは、SSIE の状態を示すレジスタです。

IIRQ フラグ (アイドルフラグ)

SSIE がアイドル状態にあるか通信状態にあるかを示すフラグです。

[“1”になる条件]

- SSICR.TEN ビットを“1”から“0”にした後、1つのフレームの送信が完了したとき
- SSICR.REN ビットを“1”から“0”にした後、1つのフレームの受信が完了したとき
- SSICR.TEN ビット、SSICR.REN ビットを“1”から“0”にした後、1つのフレームの送信が完了したとき

[“0”になる条件]

- SSICR.TEN ビットが“1”のときに、送信データが SSIFTDR レジスタに書き込まれ、開始トリガが生成されたとき
- SSICR.REN ビットが“1”のときに、開始トリガが検出されたとき
- SSICR.TEN ビット、SSICR.REN ビットが“1”のときに、送信データが SSIFTDR レジスタに書き込まれ、開始トリガが生成されたとき

ROIRQ フラグ (受信オーバフローフラグ)

受信オーバフローを示すフラグです。受信したデータの処理が間に合わなかったことを示します。受信オーバフローが発生した場合、受信したデータは受信 FIFO に転送されません。本フラグは、受信 FIFO をリセットしてもクリアされません。

[“1”と“0”の優先順位]

“1”が優先されます。

[“1”になる条件]

- 受信 FIFO がフルの状態でのデータの受信が完了したとき

[“0”になる条件]

- 本ビットが“1”であることを確認した後に、“0”を書き込んだとき
- SSICR.REN ビットを“0”から“1”にしたとき

RUIRQ フラグ (受信アンダフローフラグ)

受信アンダフローを示すフラグです。受信 FIFO が空の状態でのデータを読み出したことを示します。受信アンダフローが発生した場合、SSIFRDR レジスタから読み出したデータは無効です。本フラグは、受信 FIFO をリセットしてもクリアされません。なお、受信 FIFO のリセット中に SSIFRDR レジスタを読み出しても、本フラグはセットされません。

[“1”と“0”の優先順位]

“1”が優先されます。

[“1”になる条件]

- 受信 FIFO が空の状態での SSIFRDR レジスタを読み出したとき

[“0”になる条件]

- 本ビットが“1”であることを確認した後に、“0”を書き込んだとき
- SSICR.REN ビットを“0”から“1”にしたとき

TOIRQ フラグ (送信オーバフローフラグ)

送信オーバフローを示すフラグです。送信 FIFO がフルのときに、SSIFTDR レジスタにデータを書き込んだことを示します。書いたデータは無視されます。本フラグは、送信 FIFO をリセットしてもクリアされません。

[“1”と“0”の優先順位]

“1”が優先されます。

[“1”になる条件]

- 送信 FIFO がフルのときに、SSIFTDR レジスタにデータを書き込んだとき

[“0”になる条件]

- 本ビットが“1”であることを確認した後に、“0”を書き込んだとき
- SSICR.TEN ビットを“0”から“1”にしたとき

TUIRQ フラグ (送信アンダフローフラグ)

送信アンダフローを示すフラグです。送信データの供給が、フレームの送信に追いつかなかったことを示します。送信アンダフローが発生すると、SSITXD 端子の出力は Low になり、フラグをクリアしても Low のままになります。本フラグは、送信 FIFO をリセットしてもクリアされません。

[“1” と “0” の優先順位]

“1” が優先されます。

[“1” になる条件]

- 送信 FIFO が空のときに、送信シフトレジスタへのデータ転送がおこったとき

[“0” になる条件]

- 本ビットが “1” であることを確認した後に、“0” を書き込んだとき
- SSICR.TEN ビットを “0” から “1” にしたとき

45.2.3 FIFO コントロールレジスタ (SSIFCR)

アドレス SSIE0.SSIFCR 0008 A510h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFRST	受信FIFOリセットビット(注1)	0: 受信FIFOリセット解除 1: 受信FIFOリセット	R/W
b1	TFRST	送信FIFOリセットビット(注1)	0: 送信FIFOリセット解除 1: 送信FIFOリセット	R/W
b2	RIE	受信データフル割り込み許可ビット	0: 受信データフル割り込み禁止 1: 受信データフル割り込み許可	R/W
b3	TIE	送信データエンプティ割り込み許可ビット	0: 送信データエンプティ割り込み禁止 1: 送信データエンプティ割り込み許可	R/W
b10-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	BSW	バイトスワップビット(注1)	0: バイトスワップしない 1: バイトスワップする	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	SSIRST	ソフトウェアリセットビット	0: ソフトウェアリセット解除 1: ソフトウェアリセット	R/W
b30-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	AUCKE	MCK供給ビット(注1)	0: MCK停止 1: MCK供給	R/W

注1. これらのビットは、SSIEがアイドル中(SSISR.IIRQフラグ=1)に書き換えてください。通信中に書き換えた場合、その後の動作は保証できません。

RFRST ビット (受信 FIFO リセットビット)

受信 FIFO をリセットします。“1”を書き込むと、受信 FIFO がリセットされ、SSIFSR レジスタの RDC[5:0] ビットと RDF フラグが初期化されます。本ビットは自動でクリアされないため、“0”を書いてリセットを解除してください。“0”を書いた後は、本ビットが“0”になっていることを確認してから次の手順を開始してください。

本ビットは、SSIRST ビットによるソフトウェアリセットの対象です。SSIRST ビットによるソフトウェアリセットは、本ビットによるリセットより優先されるため、SSIRST ビットが“1”の場合、本ビットは“1”にできません。

TFRST ビット (送信 FIFO リセットビット)

送信 FIFO をリセットします。“1”を書き込むと、送信 FIFO がリセットされ、SSIFSR レジスタの TDC[5:0] ビットと TDE フラグが初期化されます。本ビットは自動でクリアされないため、“0”を書いてリセットを解除してください。“0”を書いた後は、本ビットが“0”になっていることを確認してから次の手順を開始してください。

本ビットは、SSIRST ビットによるソフトウェアリセットの対象です。SSIRST ビットによるソフトウェアリセットは、本ビットによるリセットより優先されるため、SSIRST ビットが“1”の場合、本ビットは“1”にできません。

RIE ビット (受信データフル割り込み許可ビット)

受信データフル割り込みを許可/禁止します。SSISCR.RDFS[4:0] ビットに受信データフル割り込みを発生させる条件を設定してから、本ビットを“1”にしてください。

TIE ビット (送信データエンプティ割り込み許可ビット)

送信データエンプティ割り込みを許可/禁止します。SSISCR.TDES[4:0] ビットに送信データエンプティ割り込みを発生させる条件を設定してから、本ビットを“1”にしてください。

BSW ビット (バイトスワップビット)

SSIFTDR レジスタにデータを書くとき、SSIFRDR レジスタからデータを読み出すときのバイトオーダーの入れ替えを指示します。本ビットは、SSIFTDR レジスタおよび SSIFRDR レジスタに 16 ビットまたは 32 ビットでアクセスしたときのみ有効です。詳細は、[図 45.5](#) を参照してください。

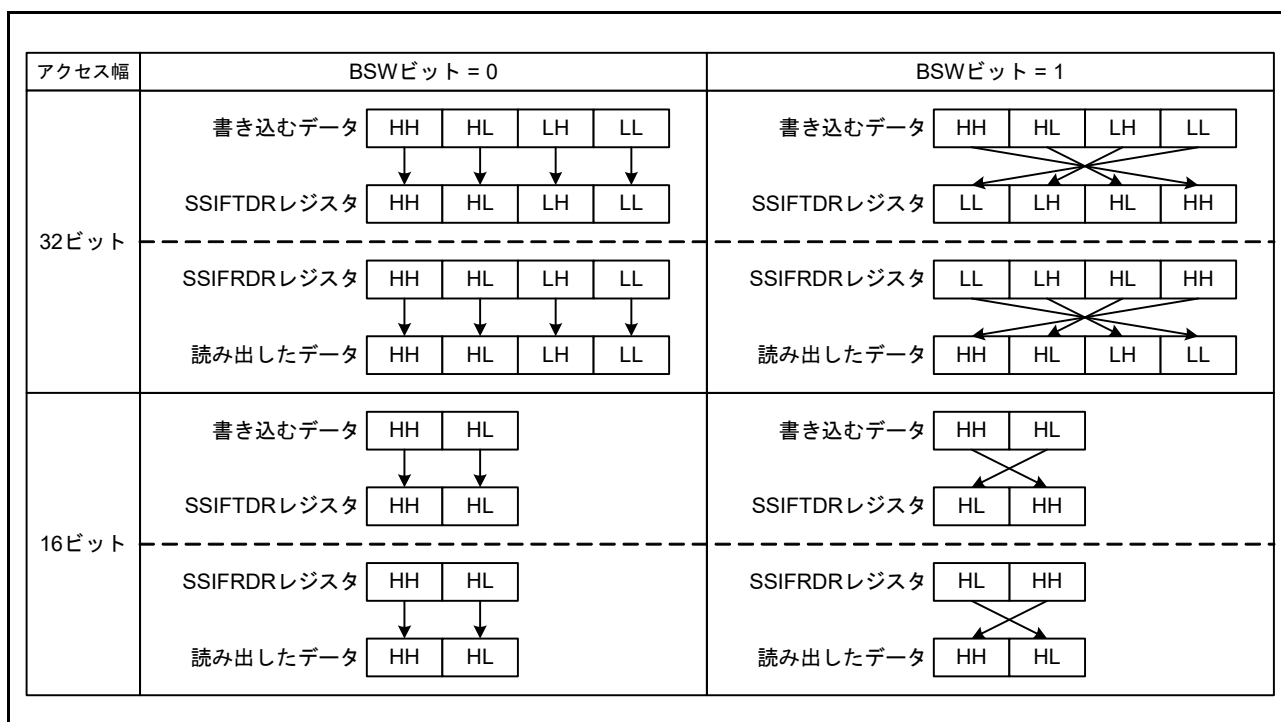


図 45.5 バイトスワップの動作例

SSIRST ビット (ソフトウェアリセットビット)

SSIE をリセットします。“1”を書き込むと、SSIE の内部状態を初期化します。本ビットへの書き込みによりリセットされるレジスタ/ビットは以下のとおりです。

- SSICR.MUEN、TEN、REN ビット
- SSISR レジスタ
- SSIFCR.TFRST、RFRST ビット
- SSIFSR レジスタ
- SSIFTDR レジスタ
- SSIFRDR レジスタ

本ビットは自動でクリアされないため、“0”を書いてリセットを解除してください。“0”を書いた後、本ビットが“0”になっていることを確認してから次の手順を開始してください。

通信中に本ビットに“1”を書き込むと、ビットクロックとは関係なく、ソフトウェアリセットによる初期化が行われるので、本ビットにより通信を停止する場合は注意してください。

AUCKE ビット (MCK 供給ビット)

マスタモードのとき、MCK の供給 / 停止を設定します。本ビットの設定値は図 45.6 に示すタイミングで反映されます。

MCK に関連する設定 (SSICR レジスタの MST ビット、BCKP ビット、および CKDV[3:0] ビット) は、本ビットが“0”のときに行ってください。

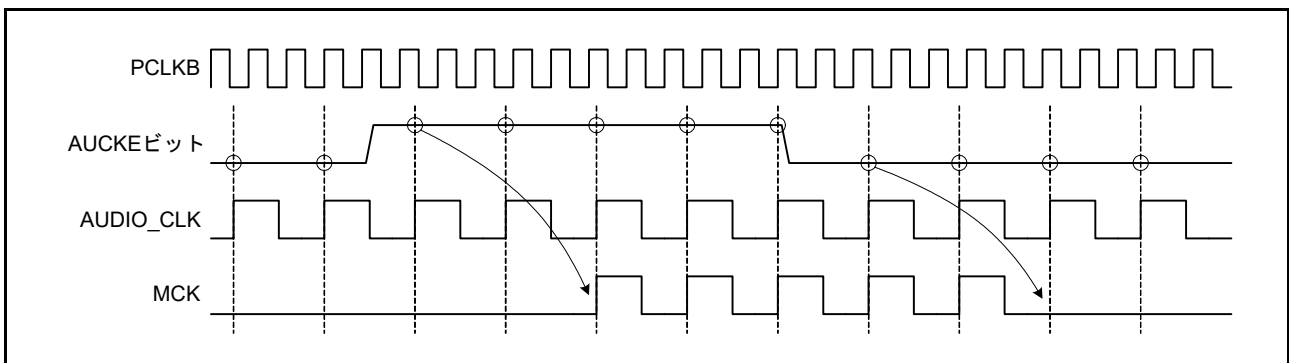


図 45.6 MCK の供給 / 停止

45.2.4 FIFO ステータスレジスタ (SSIFSR)

アドレス SSIE0.SSIFSR 0008 A514h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—							—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—							—	—	—	—	—	—	—	RDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDF	受信データフルフラグ	0: 受信FIFOに格納された受信データの数が、SSISCR.RDFS[4:0]ビットの値以下 1: 受信FIFOに格納された受信データの数が、RDFS[4:0]ビットの値を超えた	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	RDC[5:0]	受信FIFOデータ数ビット	受信FIFOに格納されたデータの数	R
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	TDE	送信データエンプティフラグ	0: 送信FIFOの空きが、SSISCR.TDES[4:0]ビットの値以下 1: 送信FIFOの空きが、TDES[4:0]ビットの値を超えた	R/W
b23-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29-b24	TDC[5:0]	送信FIFOデータ数ビット	送信FIFOに格納されたデータの数	R
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

本レジスタは、送信 FIFO および受信 FIFO のステータスを示すレジスタです。

RDF フラグ (受信データフルフラグ)

受信 FIFO に、SSISCR.RDFS[4:0] ビットの値 + 1 以上の未読データがあることを示します。

[“1” と “0” の優先順位]

“0” が優先されます。

[“1” になる条件]

- 受信 FIFO に、SSISCR.RDFS[4:0] ビットの値 + 1 以上のデータがあるとき

[“0” になる条件] (注1)

- 本フラグが“1”であることを確認した後に、“0”を書き込んだとき
- DMA/DTC 転送 (ブロック転送時は、ブロックの最終転送) により、SSIFRDR レジスタから受信データを読み出したとき

注1. 本フラグは、ソフトウェアリセットおよび受信 FIFO リセットによっても“0”になります。

RDC[5:0] ビット (受信 FIFO データ数ビット)

受信 FIFO に格納された有効なデータの数を示します。本ビットが“00h”の場合、受信データはありません。“20h”の場合、受信 FIFO はフルで空きはありません。

TDE フラグ (送信データエンプティフラグ)

送信 FIFO に、SSISCR.TDES[4:0] ビットの値 +1 以上の空きがあることを示します。

[“1” と “0” の優先順位]

“0” が優先されます。

[“1” になる条件]

- 送信 FIFO に、SSISCR.TDES[4:0] ビットの値 +1 以上の空きがあるとき

[“0” になる条件] (注1)

- 本フラグが “1” であることを確認した後に、“0” を書き込んだとき
- DMA/DTC 転送 (ブロック転送時は、ブロックの最終転送) により、SSIFTDR レジスタに送信データを書き込んだとき

注1. 本フラグは、ソフトウェアリセットおよび送信 FIFO リセットによっても “0” になります。

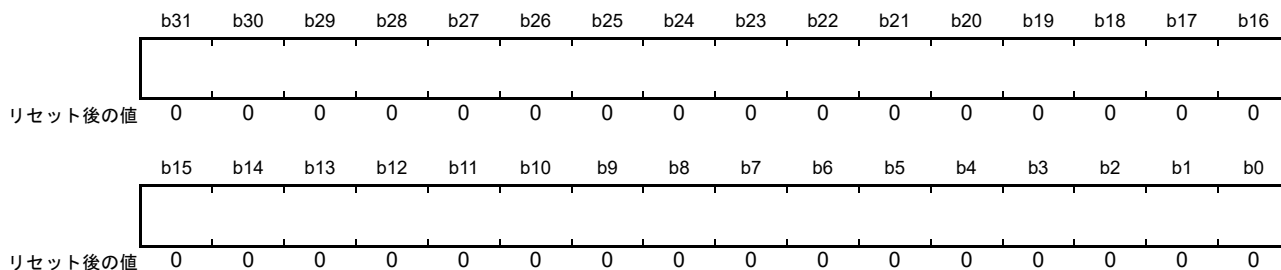
TDC[5:0] ビット (送信 FIFO データ数ビット)

送信 FIFO に格納された有効なデータの数を示します。本ビットが “00h” の場合、送信データはありません。“20h” の場合、送信 FIFO はフルで空きはありません。

45.2.5 送信 FIFO データレジスタ (SSIFTDR)

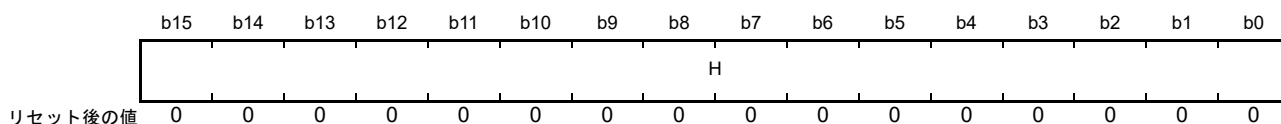
- ロングワードアクセス時

アドレス SSIE0.SSIFTDR 0008 A518h



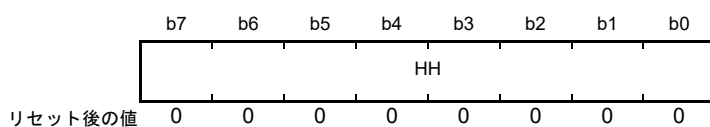
- ワードアクセス時

アドレス SSIE0.SSIFTDR.H 0008 A518h



- バイトアクセス時

アドレス SSIE0.SSIFTDR.HH 0008 A518h



送信データを格納する 4 バイト × 32 段の FIFO にアクセスするライトオンリのレジスタです。

表 45.6 に示すとおりアクセスサイズで本レジスタにアクセスしてください。

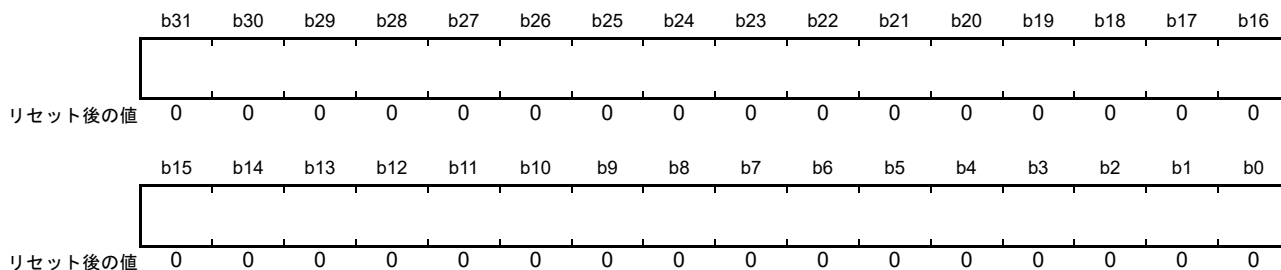
表45.6 SSIFTDR レジスタ、SSIFRDR レジスタのアクセスサイズ

SSICR.DWL[2:0]ビット	データワード長	アクセスサイズ		
		バイト	ワード	ロングワード
000b	8	○	—	—
001b	16	—	○	—
010b	18	—	—	○
011b	20	—	—	○
100b	22	—	—	○
101b	24	—	—	○
110b	32	—	—	○

45.2.6 受信 FIFO データレジスタ (SSIFRDR)

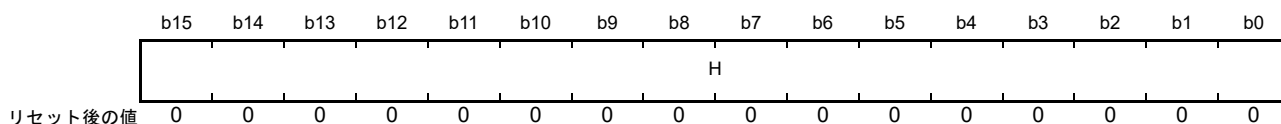
- ロングワードアクセス時

アドレス SSIE0.SSIFRDR 0008 A51Ch



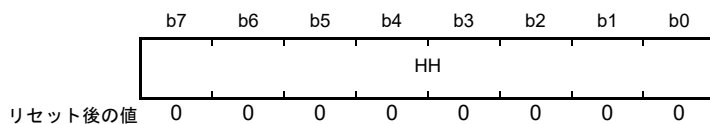
- ワードアクセス時

アドレス SSIE0.SSIFRDR.H 0008 A51Ch



- バイトアクセス時

アドレス SSIE0.SSIFRDR.HH 0008 A51Ch



受信データを格納する 4 バイト × 32 段の FIFO にアクセスするリードオンリのレジスタです。
表 45.6 に示すとおりアクセスサイズで本レジスタにアクセスしてください。

45.2.7 オーディオフォーマットレジスタ (SSIOFR)

アドレス SSIE0.SSIOFR 0008 A520h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	—	OMOD[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMOD[1:0]	データフォーマット選択ビット(注1)	b1 b0 0 0 : I ² S、左詰め、右詰めフォーマット 0 1 : TDMフォーマット 1 0 : モノラルフォーマット 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	LRCONT	LRCK連続出力許可ビット(注2、注3)	0 : アイドル中はLRCKを停止する 1 : アイドル中もLRCKを出力する	R/W
b9	BCKASTP	BCK連続出力禁止ビット(注2、注3)	0 : BCKを常に出力する 1 : アイドル中はBCKを停止する	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. このビットは、SSIEがアイドル中(SSISR.IIRQフラグ=1)に書き換えてください。通信中に書き換えた場合、その後の動作は保証できません。

注2. マスタモード時のみ有効です。スレーブモード時は、設定しても無効です。

注3. BCKASTPビットとLRCONTビットの両方を“1”にしないでください。

本レジスタは、オーディオフォーマットを設定するために使用します(データフォーマット、LRクロック連続出力モード、およびBCK連続出力停止の設定を含む)。

LRCONT ビット (LRCK 連続出力許可ビット)

アイドル中のSSILRCK端子の出力を許可/禁止します。マスタモード時のみ有効です。

BCKASTP ビット (BCK 連続出力禁止ビット)

アイドル中のSSIBCK端子の出力を許可/禁止します。マスタモード時のみ有効です。

通信を開始する前に本ビットを“0”にし、SSIBCK端子からBCKを出力させてください。通信中に本ビットを“1”にすると、アイドル状態に遷移するとともにSSIBCK端子からのBCK出力が停止します。

本ビットは、使用するデータフォーマットを指定してから設定してください。また、MCKの供給が停止しているときは書き換えないでください。

45.2.8 FIFO ステータスコントロールレジスタ (SSISCR)

アドレス SSIE0.SSISCR 0008 A524h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TDES[4:0]				—	—	—	RDFS[4:0]				—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	RDFS[4:0]	受信データフル条件設定ビット (注1)	RDFフラグを“1”にする条件を設定します b4 b0 00000 : 未読の受信データが存在するとき 00001 : 未読の受信データが2以上のとき : 11110 : 未読の受信データが31以上のとき 11111 : 受信FIFOがフルのとき	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b8	TDES[4:0]	送信データエンプティ条件設定 ビット(注1)	TDEフラグを“1”にする条件を設定します b12 b8 00000 : 送信FIFOに空きがあるとき 00001 : 送信FIFOに2以上の空きがあるとき : 11110 : 送信FIFOに31以上の空きがあるとき 11111 : 送信FIFOが空のとき	R/W
b31-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. これらのビットは、SSIEがアイドル中(SSISR.IIRQフラグ=1)に書き換えてください。通信中に書き換えた場合、その後の動作は保証できません。

45.3 動作説明

45.3.1 データフォーマット

SSIE は、5つのデータフォーマットをサポートしています。表 45.7 に、使用できるデータフォーマットを示します。

表45.7 使用できるデータフォーマットと各ビットの設定

データフォーマット	SSIOFR.OMOD[1:0]ビット	SSICR.DELビット	SSICR.LRCKPビット	SSICR.SDTAビット
I ² S フォーマット	00b	0	0	0
左詰めフォーマット	00b	1	1	0
右詰めフォーマット	00b	1	1	1
TDM フォーマット	01b	0 or 1	1	0 or 1
モノラルフォーマット	10b	0 or 1	1	0 or 1

以下に、各データフォーマットに共通するシリアルデータ構成について説明します。

シリアルデータ構成は、システムワード長 (SSICR.SWL[2:0] ビットで設定) およびデータワード長 (SSICR.DWL[2:0] ビットで設定) により定義されます。データワード長がシステムワード長よりも短い場合、パディングビットが挿入されます (図 45.7 参照)。

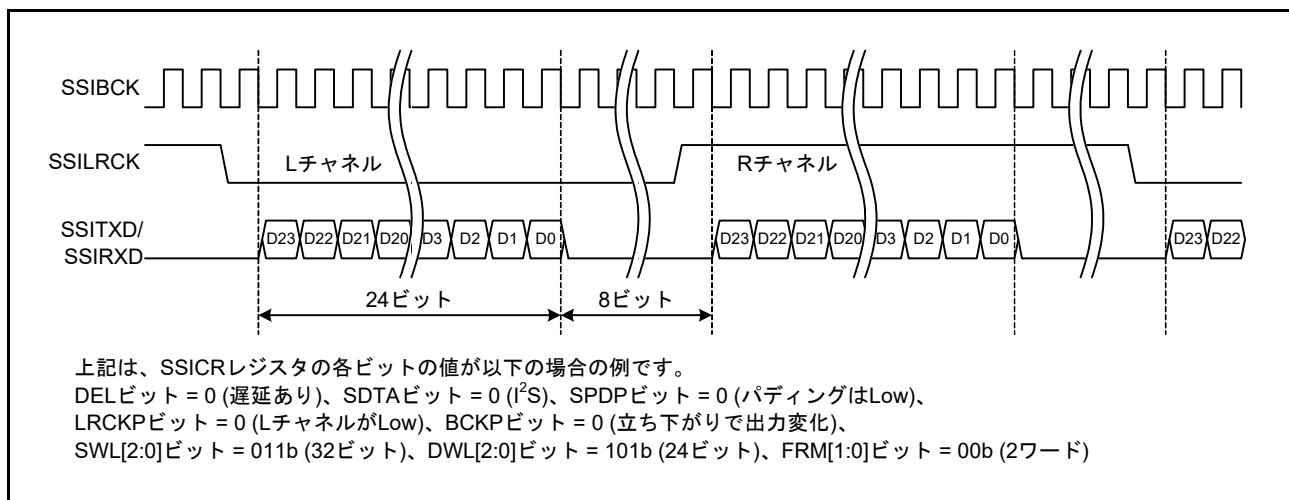


図 45.7 パディングビットの挿入例 (I²S フォーマット、システムワード長 > データワード長)

挿入されるパディングビットの数は、「システムワード長 - データワード長」で計算できます。

表 45.8 に、挿入されるパディングビットの数を、システムワード長 (SWL[2:0] ビット) とデータワード長 (DWL[2:0] ビット) の組み合わせごとに示します。

表45.8 パディングビットの数

システムワード長 (SSICR.SWL[2:0]ビット)	データワード長(SSICR.DWL[2:0]ビット)						
	8 (000b)	16 (001b)	18 (010b)	20 (011b)	22 (100b)	24 (101b)	32 (110b)
8 (000b)	0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
16 (001b)	8	0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
24 (010b)	16	8	6	4	2	0	設定禁止
32 (011b)	24	16	14	12	10	8	0
48 (100b)	40	32	30	28	26	24	16
64 (101b)	56	48	46	44	42	40	32
128 (110b)	120	112	110	108	106	104	96
256 (111b)	248	240	238	236	234	232	224

45.3.1.1 I²S フォーマット

I²S フォーマットでは、1フレームはLチャンネルとRチャンネルの2つのシステムワードで構成されます。SSILRCK信号は、LチャンネルではLow、RチャンネルではHighになります。SSILRCKが変化してから1ビットクロック後に有効データが出力され、その後パディングビットが出力されます。

図45.8に、I²S フォーマットの例を示します。

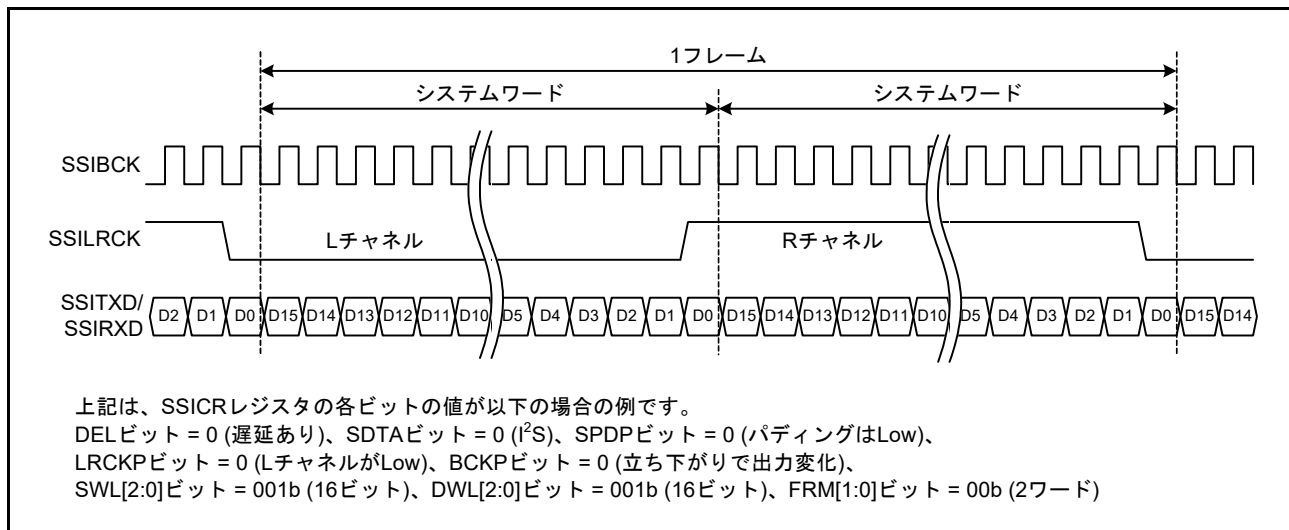


図 45.8 I²S フォーマットの例

45.3.1.2 左詰めフォーマット

左詰めフォーマットでは、1フレームはLチャンネルとRチャンネルの2つのシステムワードで構成されます。SSILRCK信号は、LチャンネルではHigh、RチャンネルではLowになります。SSILRCKが変化すると同時に有効データが出力され、その後パディングビットが出力されます。

図 45.9 に、左詰めフォーマットの例を示します。

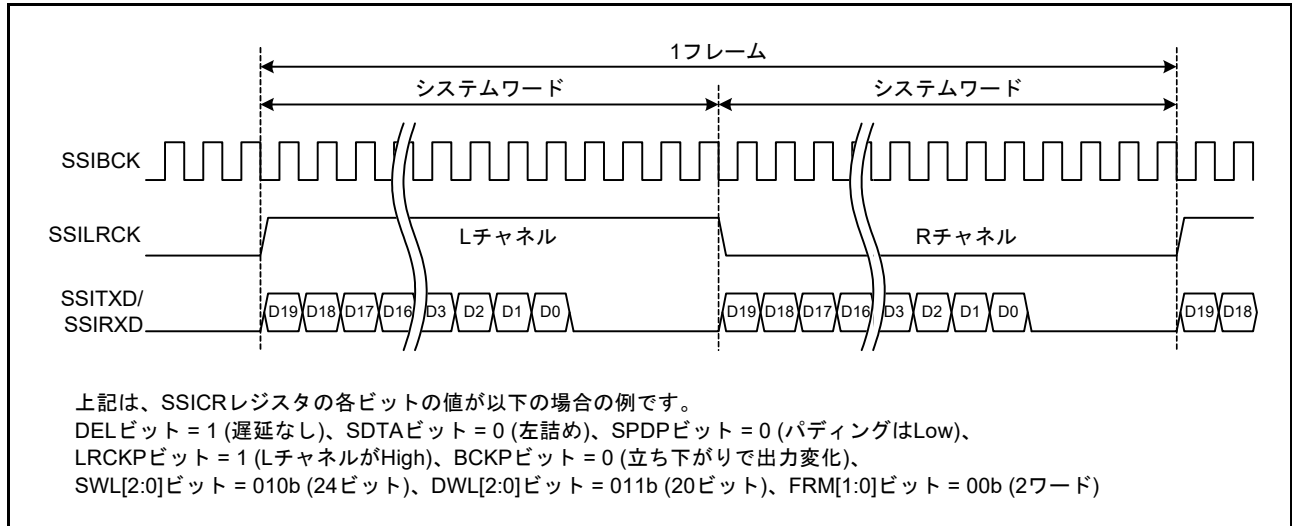


図 45.9 左詰めフォーマットの例

45.3.1.3 右詰めフォーマット

右詰めフォーマットでは、1フレームはLチャンネルとRチャンネルの2つのシステムワードで構成されます。SSILRCK信号は、LチャンネルではHigh、RチャンネルではLowになります。SSILRCKが変化すると同時にパディングビットが出力され、その後有効データが出力されます。

図 45.10 に、右詰めフォーマットの例を示します。

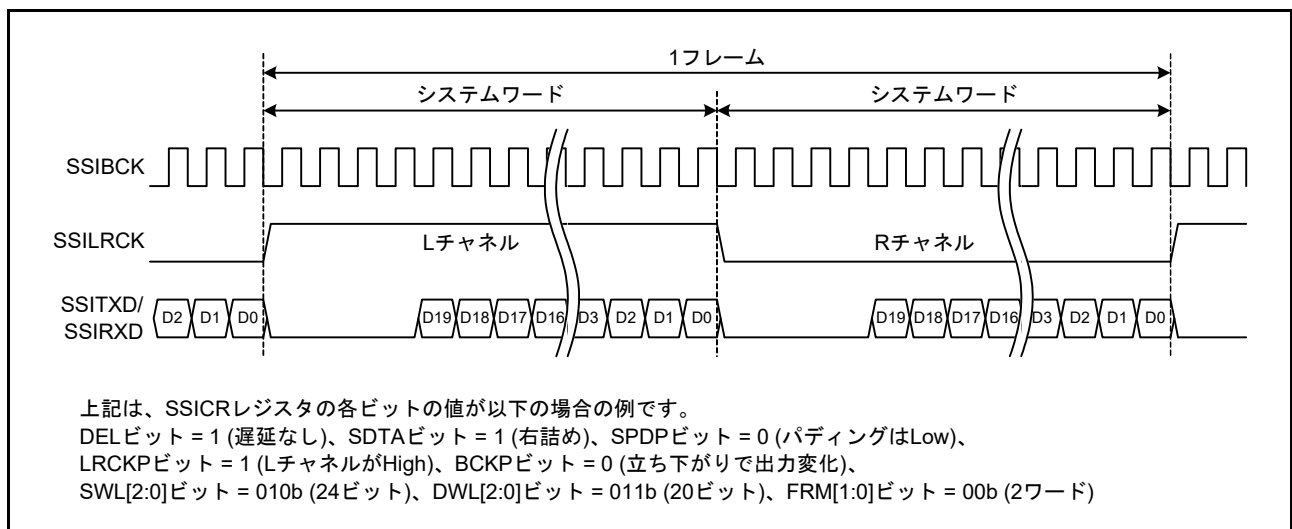


図 45.10 右詰めフォーマットの例

45.3.1.4 モノラルフォーマット

モノラルフォーマットでは、1フレームは1つのシステムワードで構成されます。SSILRCK信号は、通信開始のトリガとして使用します。

図45.11、図45.12、図45.13に、それぞれSSICR.DELビットが“0”でパディングなし、DELビットが“0”でパディングあり、DELビットが“1”でパディングなしの場合のモノラルフォーマットの例を示します。

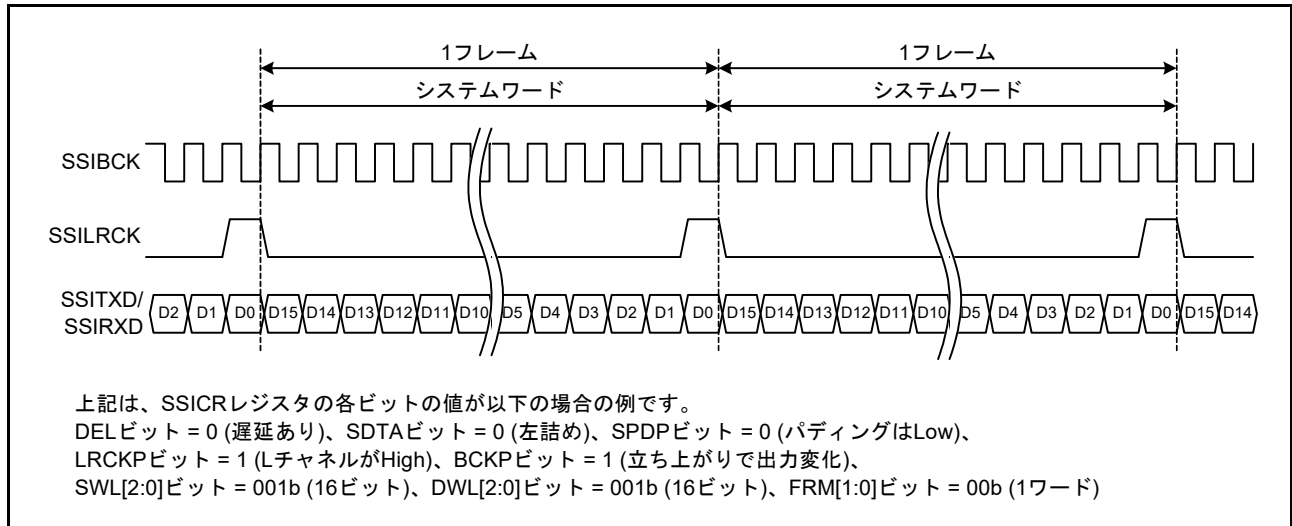


図 45.11 モノラルフォーマットの例 (1) (SSICR.DEL ビット = 0、パディングなし)

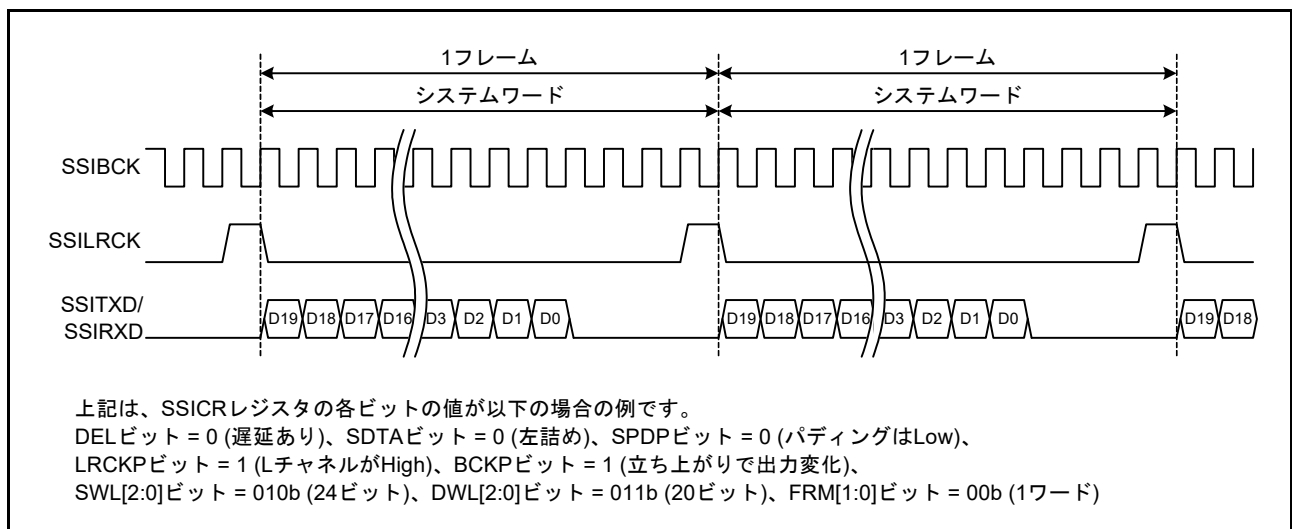


図 45.12 モノラルフォーマットの例 (2) (SSICR.DEL ビット = 0、パディングあり)

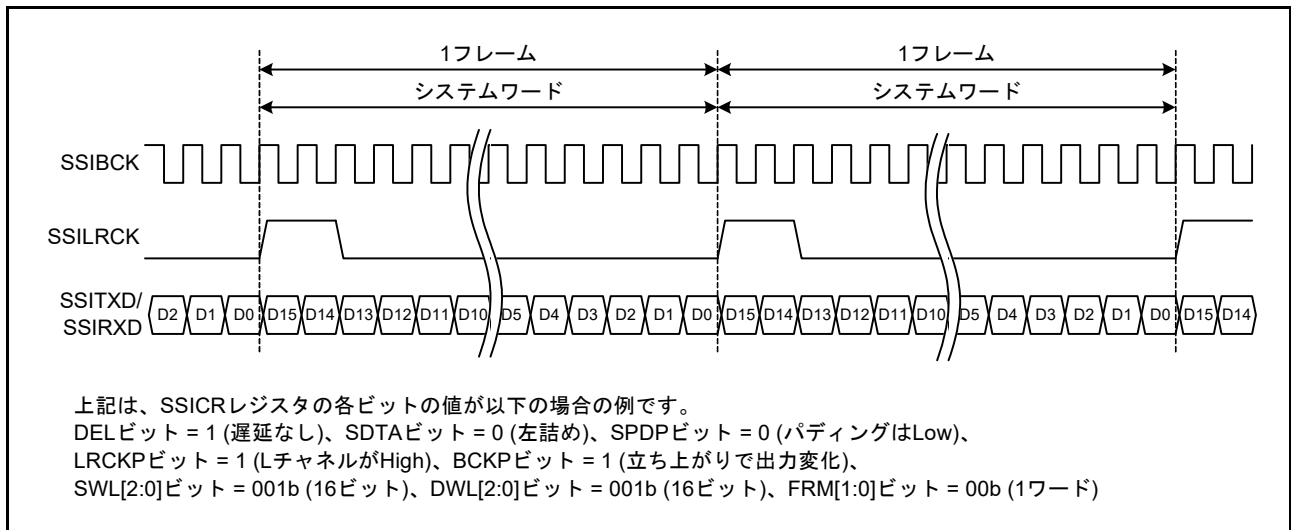


図 45.13 モノラルフォーマットの例 (3) (SSICR.DEL ビット = 1、パディングなし)

45.3.1.5 TDM フォーマット

TDM フォーマットでは、1 フレームは 4 ～ 8 個のシステムワードで構成されます。SSILRCK 信号は、最初のシステムワードでは High、2 つ目以降のシステムワードでは Low になります。SSILRCK 信号は同期パルスとして定義され、パルスの立ち上がりエッジは、1 フレームの開始を意味します。

図 45.14、図 45.15 に、それぞれ SSICR.DEL ビットが “0” でパディングなし、DEL ビットが “1” でパディングありの場合の TDM フォーマットの例を示します。

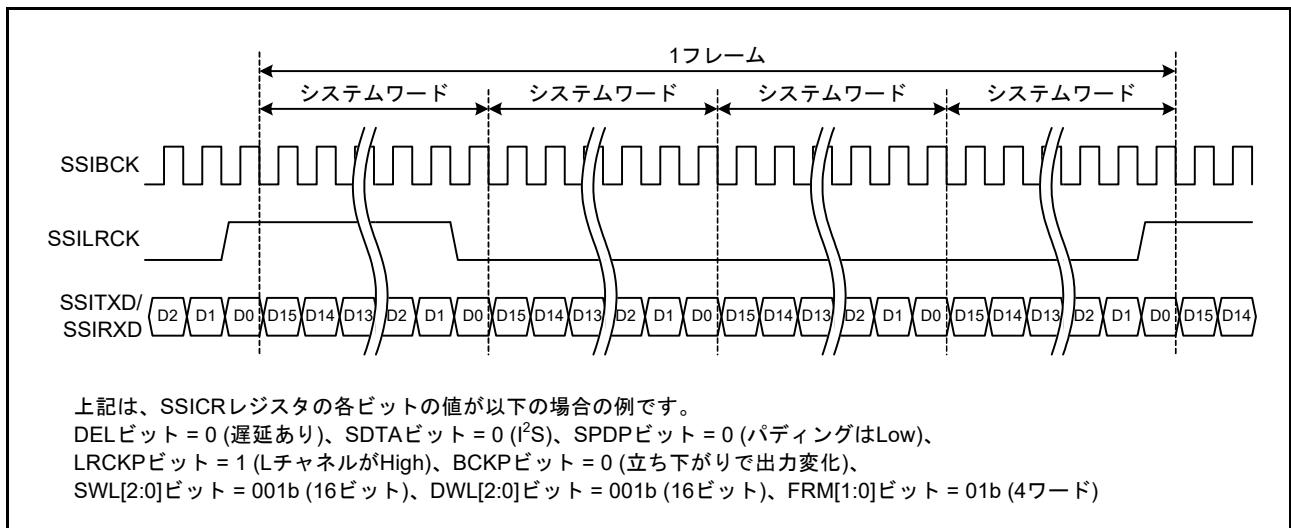


図 45.14 TDM フォーマットの例 (1) (SSICR.DEL ビット = 0、パディングなし)

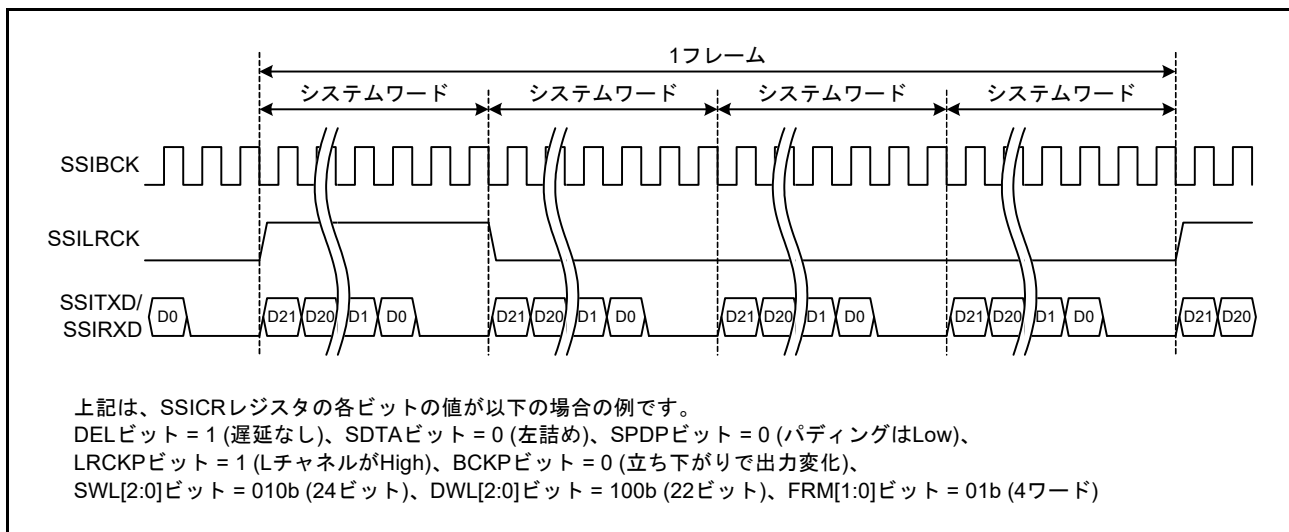


図 45.15 TDM フォーマット (2) (SSICR.DEL ビット = 1、パディングあり)

45.3.2 出力制御

SSIEにはデータやクロックの出力を制御する機能(ミュート機能、LRCK連続出力機能、BCK連続出力停止機能)があります。

45.3.2.1 ミュート機能

ミュート機能により、SSITXD端子の出力をLowに固定することができます。フレームの途中でSSICR.MUENビットの値を変更した場合、次のフレーム境界から設定が反映されます。なお、MUENビットが“1”の間も、ステータスフラグの更新や割り込み要求信号の生成は行われます。

図 45.16 に、ミュート機能の動作例を示します。

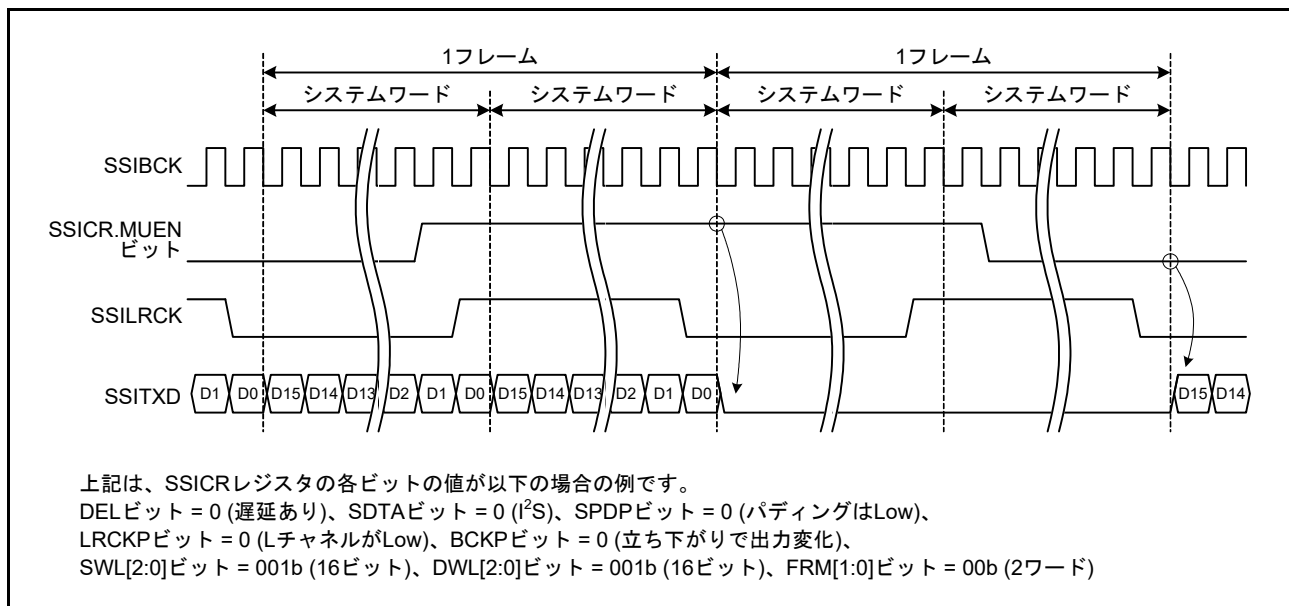


図 45.16 ミュート機能の動作例

45.3.2.2 LRCK 連続出力機能

LRCK 連続出力機能により、アイドル中でも SSILRCK 端子から LRCK を出力することができます。SSIOFR.LRCONT ビットにより制御します。

図 45.17 に、LRCK 連続出力機能の動作例を示します。

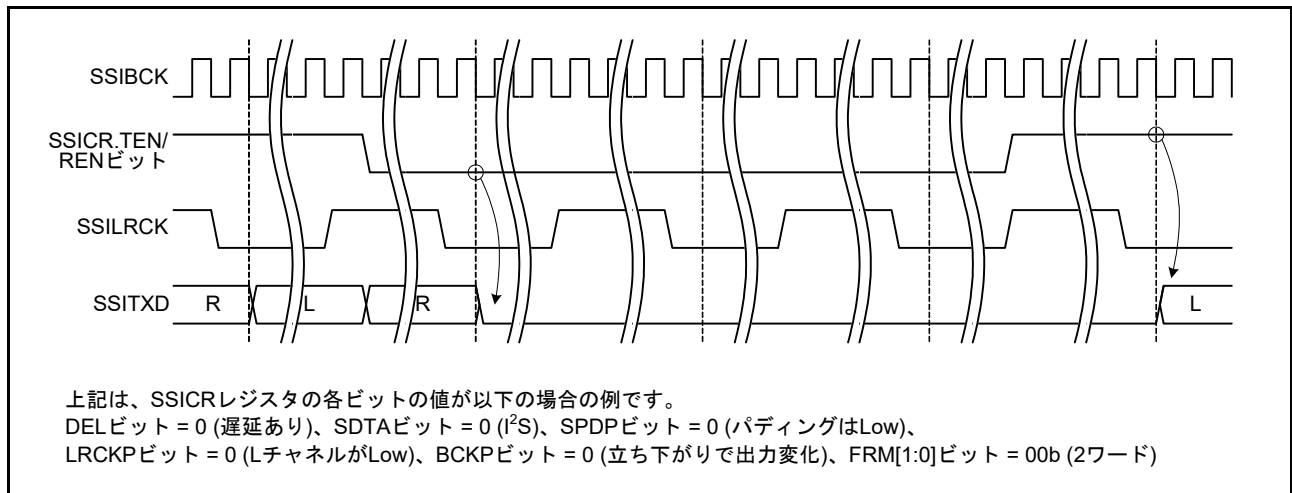


図 45.17 LRCK 連続出力機能の動作例

45.3.2.3 BCK 連続出力停止機能

アイドル中に SSIBCK 端子からの BCK 出力を停止させることができます。SSIOFR.BCKASTP ビットにより制御します。BCKASTP ビットを“1”にすると、アイドル中に BCK が停止します。

BCKASTP ビットは“0”にして通信を開始してください。通信中に“1”にすると、アイドル状態に遷移したときに BCK が停止します。通信を再開するときは、BCKASTP ビットを“0”にして BCK を出力させてから、SSICR.TEN/REN ビットを“1”にしてください。

図 45.18 に、BCK 連続出力停止機能の動作例を示します。

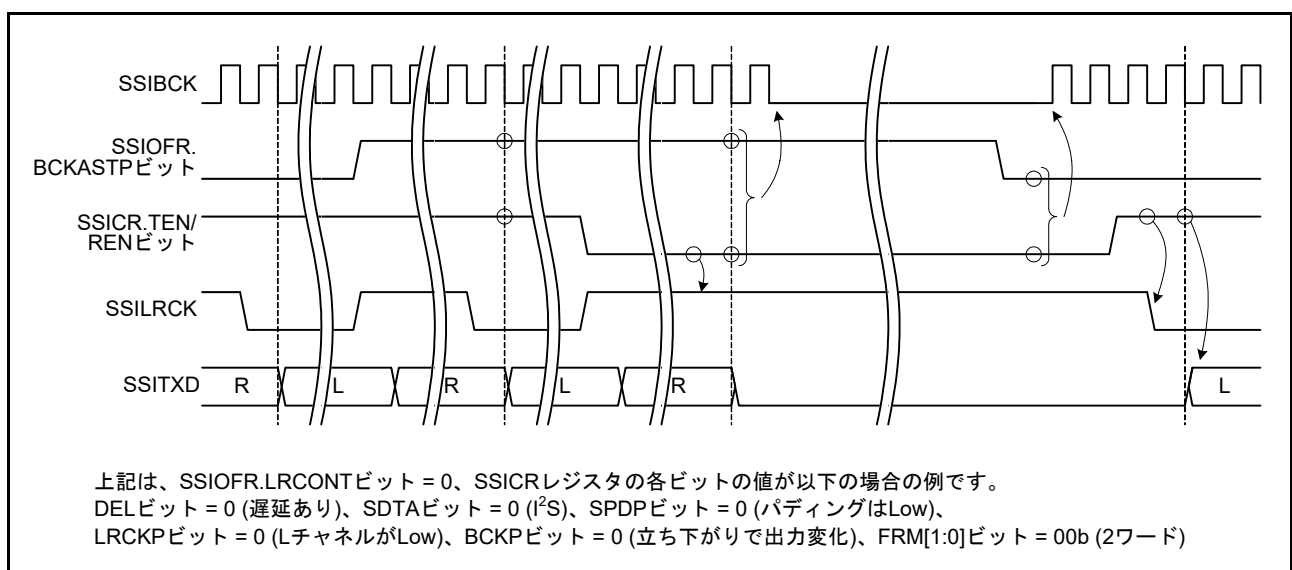


図 45.18 BCK 連続出力停止機能の動作例

45.3.3 通信モード

SSIEでは、表 45.9 に示す通信モードをサポートしています。表 45.10 に、各通信モードで有効な制御ビットを示します。

表 45.9 通信モード

通信モード	SSICR.MSTビット	SSICR.RENビット	SSICR.TENビット
スレーブモード送信	0	0	1
スレーブモード受信	0	1	0
スレーブモード送受信	0	1	1
マスタモード送信	1	0	1
マスタモード受信	1	1	0
マスタモード送受信	1	1	1

表 45.10 各通信モードで有効な制御ビット(注1)

制御ビット		通信モード					
レジスタ	ビット	スレーブモード 受信	スレーブモード 送信	スレーブモード 送受信	マスタモード 受信	マスタモード 送信	マスタモード 送受信
SSICR	CKDV[3:0]	無効	無効	無効	有効	有効	有効
	MUEN	無効	有効	有効	無効	有効	有効
SSIFCR	AUCKE	無効	無効	無効	有効	有効	有効
	TIE	無効	有効	有効	無効	有効	有効
	RIE	有効	無効	有効	有効	無効	有効
	TFRST	無効	有効	有効	無効	有効	有効
	RFRST	有効	無効	有効	有効	無効	有効
SSIOFR	BCKASTP	無効	無効	無効	有効	有効	有効
	LRCONT	無効	無効	無効	有効	有効	有効
	OMOD[1:0]	有効	有効	有効	有効	有効	有効
SSISCR	TDES[4:0]	無効	有効	有効	無効	有効	有効
	RDFS[4:0]	有効	無効	有効	有効	無効	有効

注1. 「無効」とは、設定しても動作に影響しないことを意味します。

45.3.3.1 スレーブモード

SSICR.MSTビットが“0”のときにスレーブモードで動作します。SSIBCK および SSILRCK 信号は、外部デバイスから供給する必要があります。

45.3.3.2 マスタモード

SSICR.MSTビットが“1”のときにマスタモードで動作します。SSIBCK および SSILRCK 信号は、マスタクロック (MCK) を元に内部で生成します。

45.3.3.3 送信

SSICR.TEN ビットを“1”、SSICR.REN ビットを“0”にすると、送信モードになります。受信回路は動作しません。

45.3.3.4 受信

SSICR.TEN ビットを“0”、SSICR.REN ビットを“1”にすると、受信モードになります。送信回路は動作しません。

45.3.3.5 送受信

SSICR.TEN ビットと SSICR.REN ビットを両方とも“1”にすると、送受信モードになります。

45.3.4 状態遷移

SSIEには、主要な動作状態としてアイドル状態と通信状態の2つの状態があります。状態はSSICR.TENビットとSSICR.RENビットで切り替えます。どちらの状態にあるかは、SSISR.IIRQフラグで確認できます。

図45.19に、SSIEの状態遷移を示します。

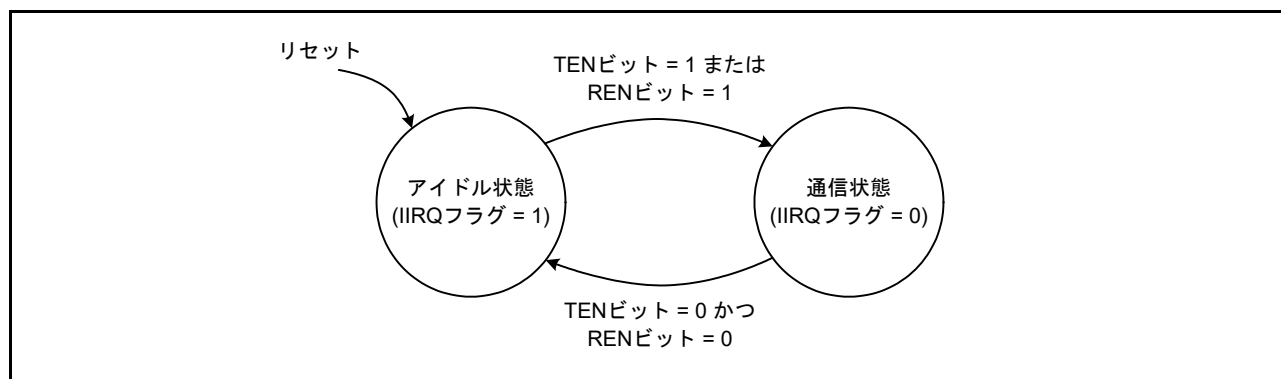


図 45.19 SSIE の状態遷移

45.3.4.1 アイドル状態

アイドル状態では、SSIEの通信は停止しています。SSICR.TENビットとSSICR.RENビットのいずれか、または両方を“1”にすると、通信状態に遷移します。

マスタモード時のBCKおよびLRCKの出力は、それぞれSSIOFR.BCKASTPビット、SSIOFR.LRCONTビットで制御できます。詳細は、表45.11を参照してください。

表45.11 アイドル中のクロック/データ出力

SSICR.MSTビット	SSIOFR.BCKASTP ビット	SSIOFR.LRCONT ビット	SSIBCK	SSILRCK	SSITXD
0	無効	無効	—(入力)	—(入力)	停止
1	0	0	供給	停止	停止
1	0	1	供給	供給	停止
1	1	0	停止	停止	停止
1	1	1	停止	供給	停止

45.3.4.2 通信状態

通信状態では、SSIEは継続して通信を行います。SSICR.TENビットとSSICR.RENビットを“0”にすると、アイドル状態に遷移します。

詳細は、**図 45.20**を参照してください。

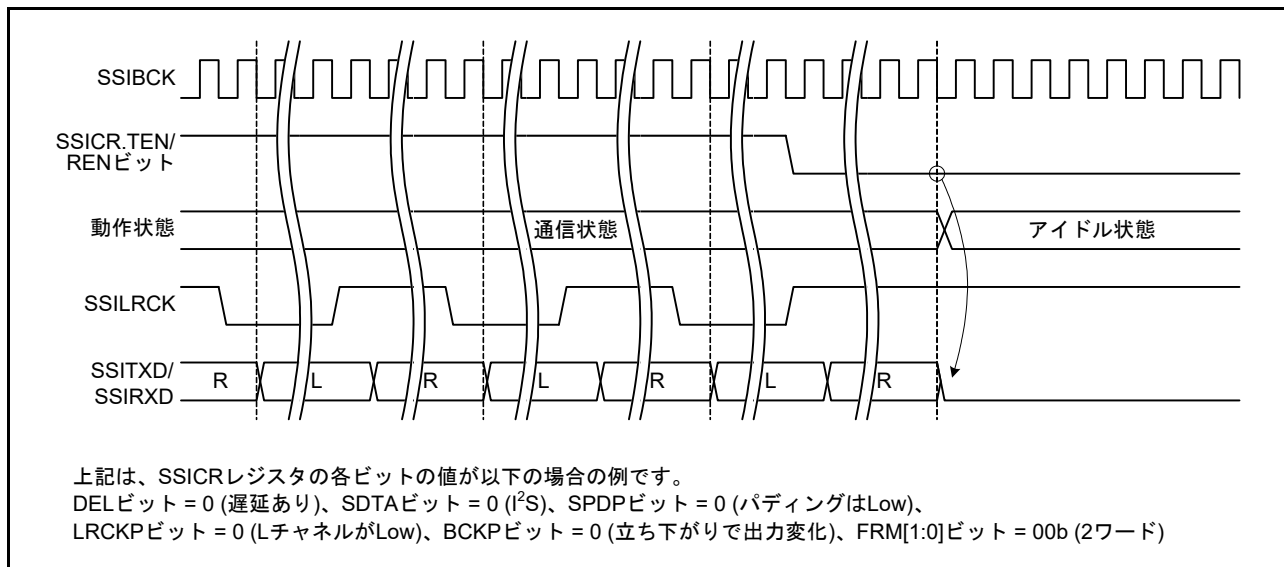


図 45.20 通信状態とアイドル状態への遷移

45.3.5 SSIE の初期設定

図 45.21 に、初期設定フローの例を示します。

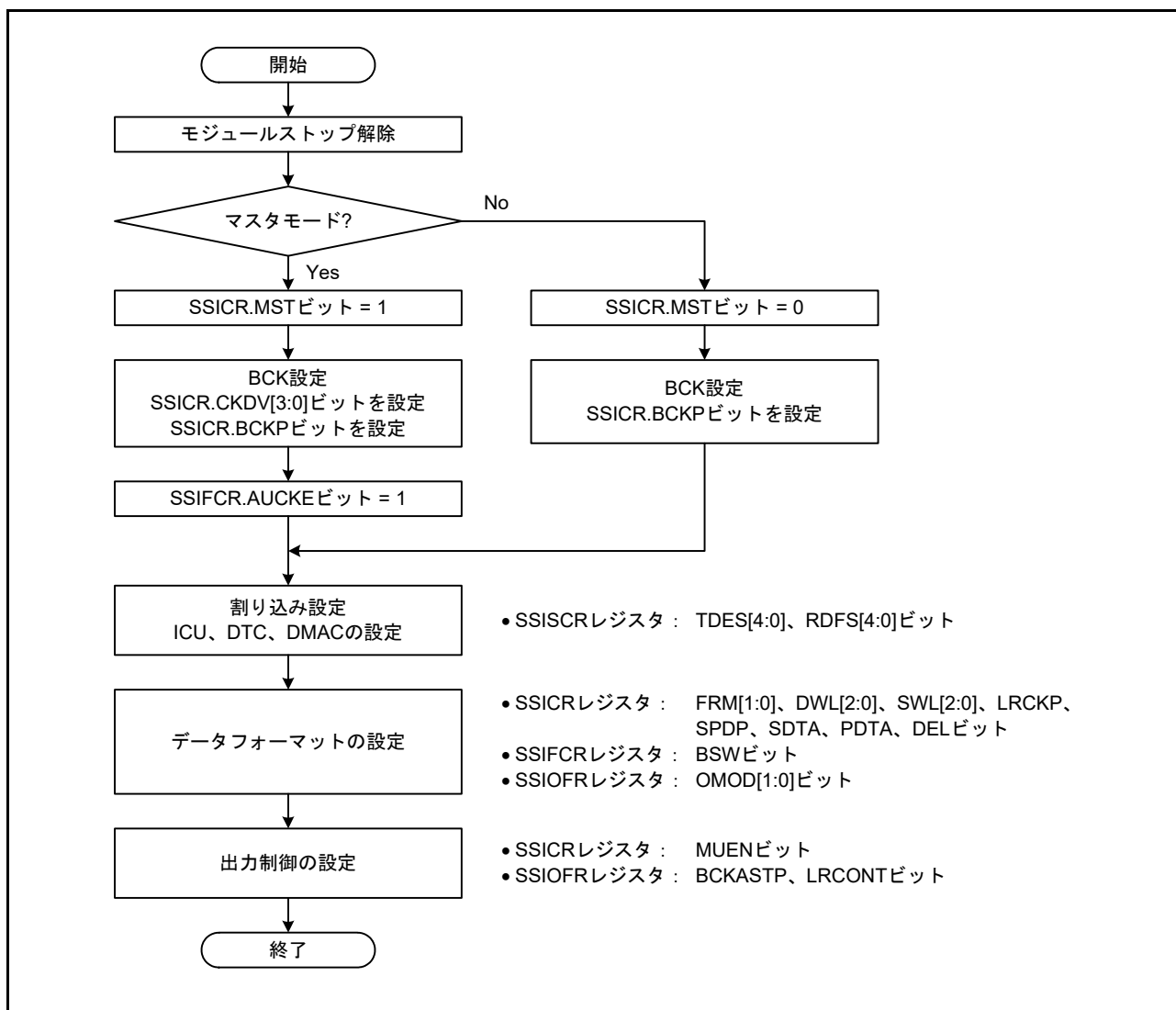


図 45.21 初期設定フロー例

45.3.6 送信

図 45.22 に、送信フローの例を示します。

少なくとも 1 フレーム分のデータを SSIFTDR レジスタに書き込んで、SSICR.TEN ビットを“1”にすると、SSIE が送信を開始します。SSIFCR.TIE ビットが“1”のときに、送信 FIFO の空き容量が SSISCR.TDES[4:0] ビットで指定した値になると、送信データエンプティ割り込みが発生します。このとき SSIFTDR レジスタに書き込むデータの数は、TDES[4:0] ビットに指定した空き容量に応じて決定してください。

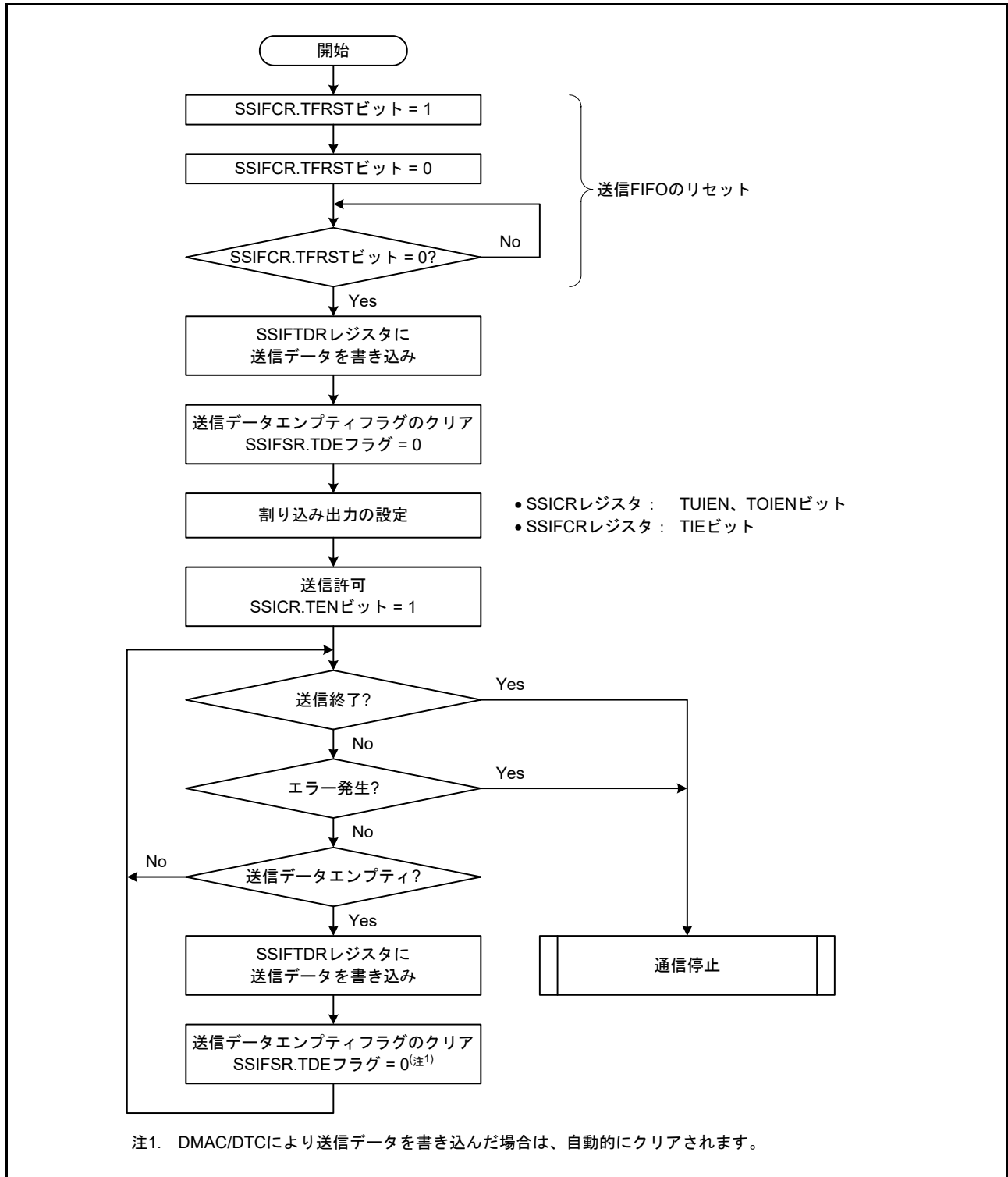


図 45.22 送信フロー例

45.3.7 受信

図 45.23 に、受信フローの例を示します。

SSICR.REN ビットを“1”にすると、SSIE が受信を開始します。SSIFCR.RIE ビットが“1”のときに、受信 FIFO に格納されたデータの数が SSISCR.RDFS[4:0] ビットで指定した値になると、受信データフル割り込みが発生します。このとき SSIFRDR レジスタから読み出すデータの数は、RDFS[4:0] ビットに指定したデータ数に応じて決定してください。

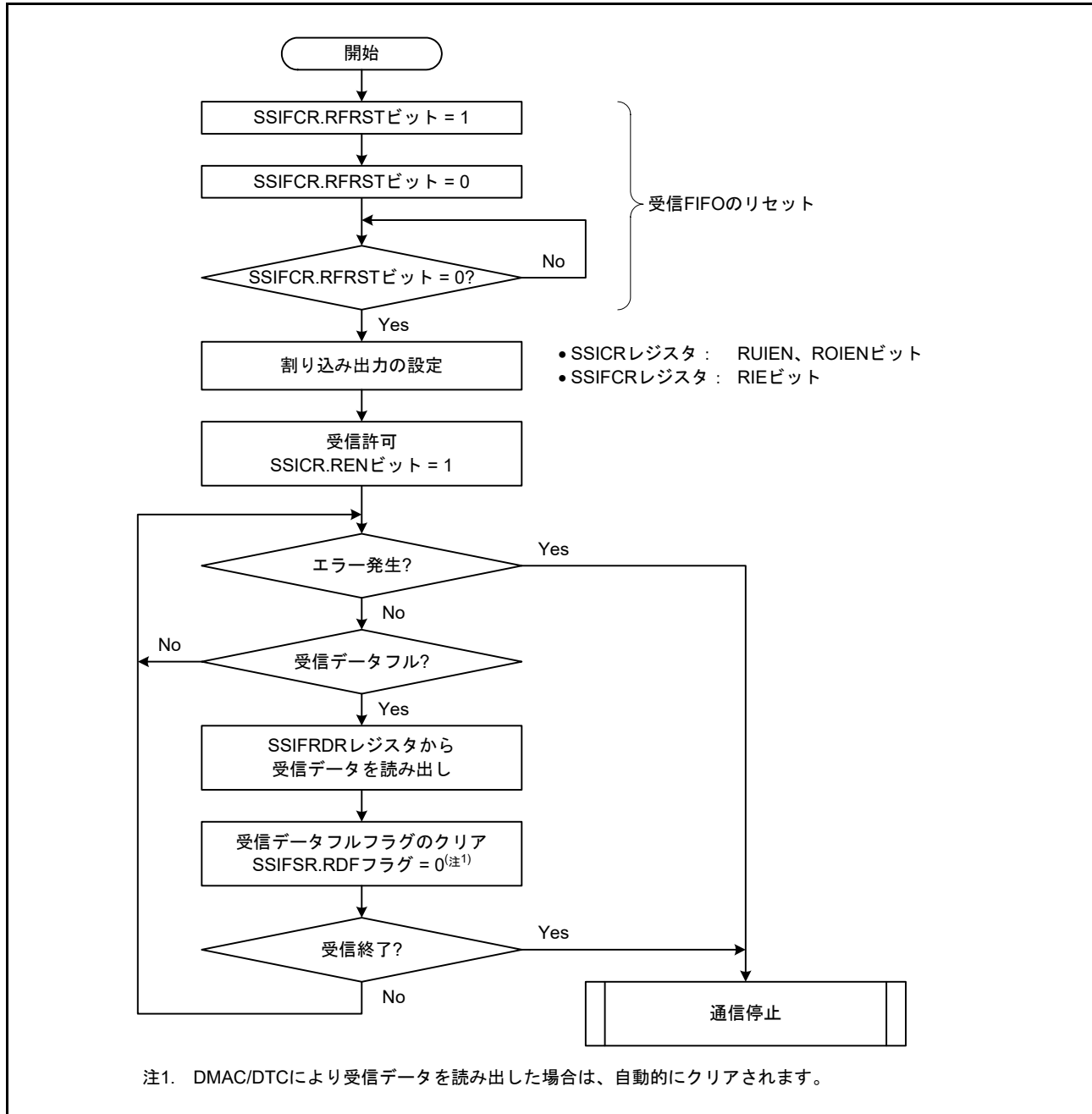


図 45.23 受信フロー例

45.3.8 通信停止

図 45.24 に、通信停止フローの例を示します。

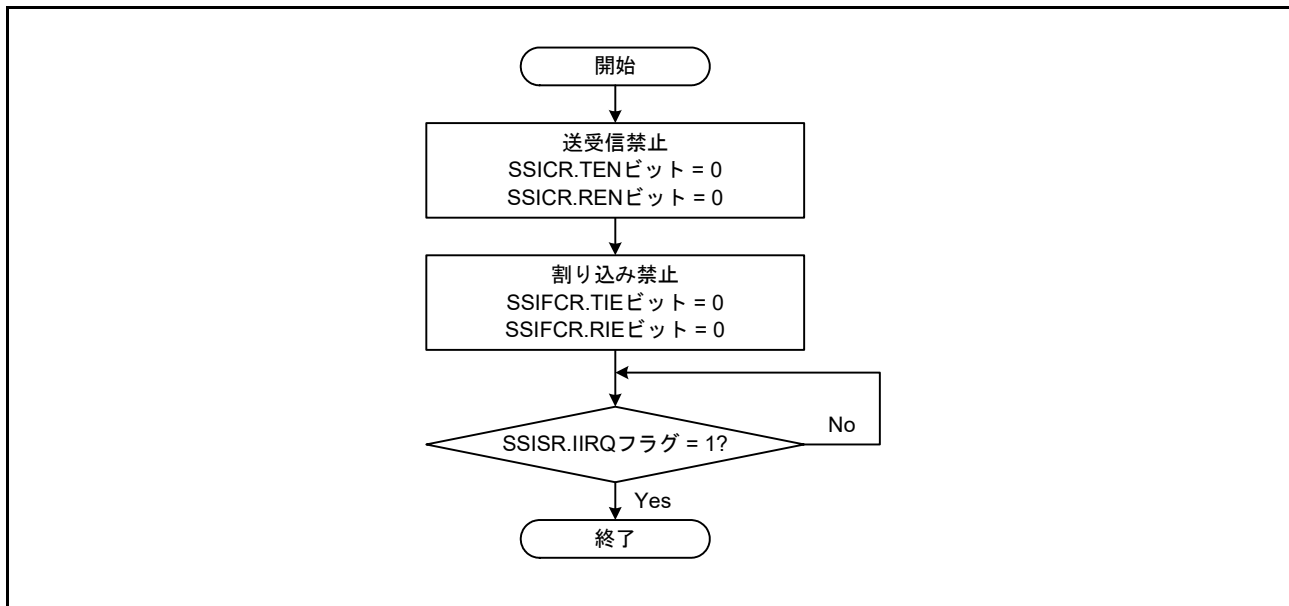


図 45.24 通信停止フロー例

通信を再開するときは、図 45.22 の送信フローの例、図 45.23 の受信フローの例に従ってください。クロックの設定を変更するとき、マスタ/スレーブを変更するときは、初期設定からやり直してください。

45.3.9 エラー処理

SSIE には、以下の 4 種類のエラーがあります。

- 送信アンダフロー
- 送信オーバフロー
- 受信アンダフロー
- 受信オーバフロー

エラーが発生した場合、**図 45.24** の通信停止処理を実行した後、各フラグのクリアを実施してください。SSICR レジスタの割り込み許可ビットが“1”のときにエラーが発生すると、割り込みが発生します。

(1) 送信アンダフロー

送信アンダフローは、送信 FIFO が空の場合に送信シフトレジスタへのデータ転送が行われると発生します。送信アンダフローが発生すると、SSITXD 端子からは Low が出力されます。

(2) 送信オーバフロー

送信オーバフローは、送信 FIFO がフルの場合に SSIFTDR レジスタにデータを書き込むと発生します。このとき書かれたデータは破棄されます。

(3) 受信アンダフロー

受信アンダフローは、受信 FIFO が空の場合に SSIFRDR レジスタからデータを読み出すと発生します。このとき読み出したデータは不定です。

(4) 受信オーバフロー

受信オーバフローは、受信 FIFO がフルの場合に受信シフトレジスタからのデータ転送が行われると発生します。このとき転送されたデータは、受信 FIFO に格納されません。

45.4 割り込み

表 45.12 に、割り込み要因の一覧、図 45.25 に割り込みのブロック図を示します。

表 45.12 SSIEの割り込み要因

チャンネル	名称	割り込み要因	割り込み要求フラグ	割り込み許可ビット	DMAC/DTC起動
SSIE0	SSIF0	送信アンダフロー割り込み	SSISR.TUIRQ	SSICR.TUIEN	不可能
		送信オーバーフロー割り込み	SSISR.TOIRQ	SSICR.TOIEN	
		受信アンダフロー割り込み 受信オーバーフロー割り込み アイドル割り込み	SSISR.RUIRQ SSISR.ROIIRQ SSISR.IIRQ	SSICR.RUIEN SSICR.ROIEN SSICR.IIEN	
SSIRX10	受信データフル割り込み	SSIFSR.RDF	SSIFCR.RIE	可能	
SSITX10	送信データエンプティ割り込み	SSIFSR.TDE	SSIFCR.TIE	可能	

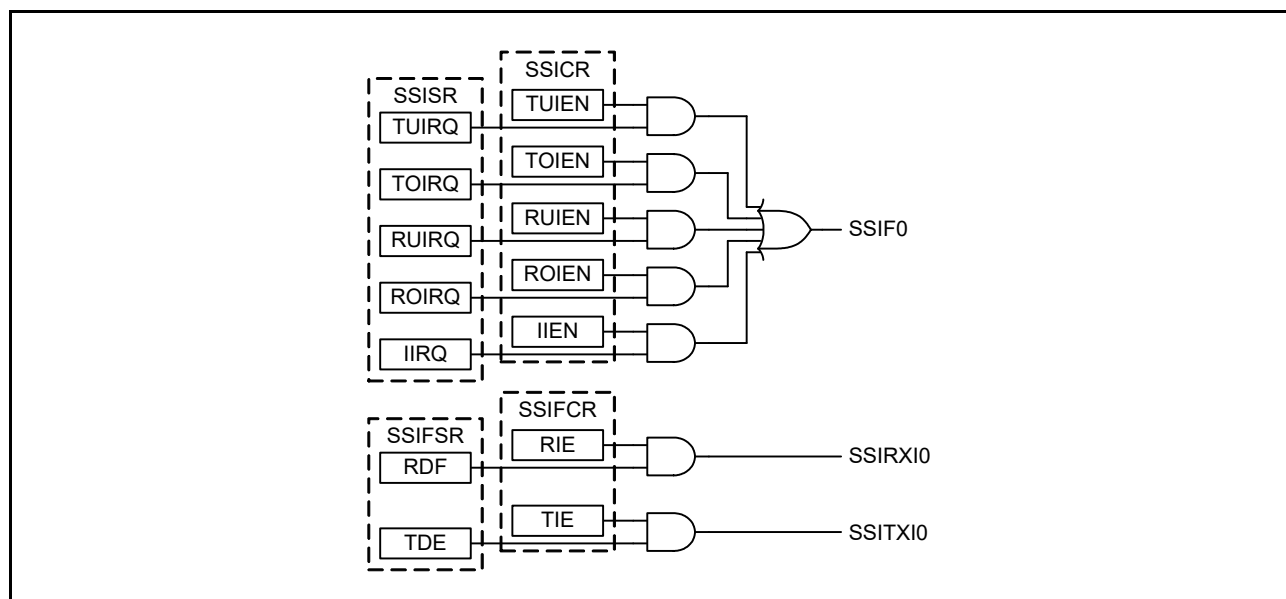


図 45.25 割り込みのブロック図

45.4.1 SSIF0 割り込み

SSIF0 割り込みには、5 種類の割り込み要因があります。それぞれの割り込み要因に、ステータスフラグと割り込み許可ビットがあり、要因ごとに割り込みを許可/禁止することができます。

SSIF0 割り込みが発生した場合、割り込み処理ルーチン内で SSISR レジスタを読み出して、どの要因による割り込みが発生したのかを調べ、必要な処理を行ってください。割り込みを解除するには、割り込み許可ビットを“0”にするか、割り込み要求フラグをクリアしてください。

45.4.2 SSITXIO 割り込み

SSITXIO (チャンネル0 送信データエンプティ) 割り込みは、エッジ割り込みです。以下のいずれかの条件が成立すると割り込み要求が出力されます。

- SSIFCR.TIE ビットが“1”の場合に SSIFSR.TDE フラグの値が“0”から“1”に変わったとき
- SSIFSR.TDE フラグが“1”の場合に SSIFCR.TIE ビットを“0”から“1”に書き換えたとき

図 45.26 に、TDE フラグの変化によって割り込み要求が発生するときのタイミング図を示します。

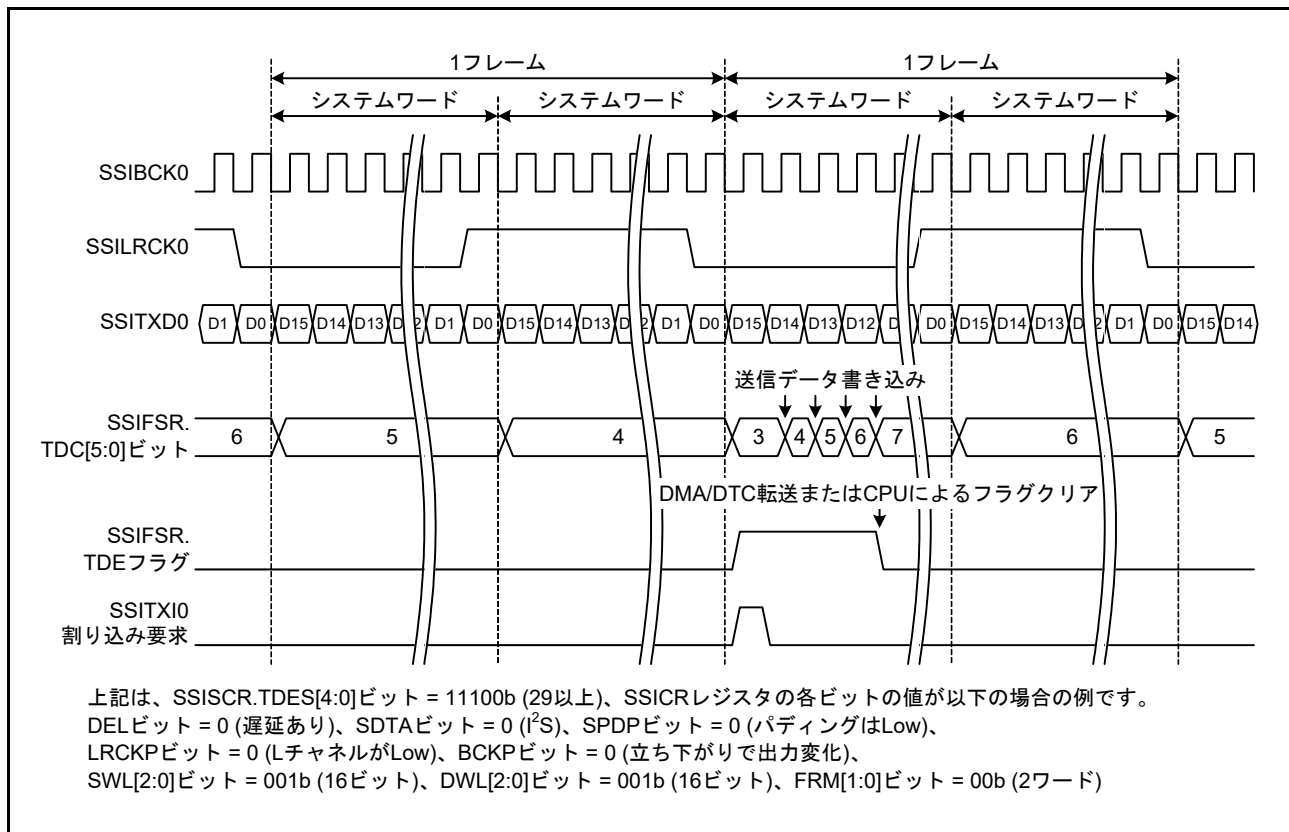


図 45.26 SSITXIO 割り込みのタイミング図

45.4.3 SSIRXIO 割り込み

SSIRXIO (チャンネル0 受信データフル) 割り込みは、エッジ割り込みです。以下のいずれかの条件が成立すると割り込み要求が出力されます。

- SSIFCR.RIE ビットが“1”の場合に SSIFSR.RDF フラグの値が“0”から“1”に変わったとき
- SSIFSR.RDF フラグが“1”の場合に SSIFCR.RIE ビットを“0”から“1”に書き換えたとき

図 45.27 に、RDE フラグの変化によって割り込みが発生するときのタイミング図を示します。

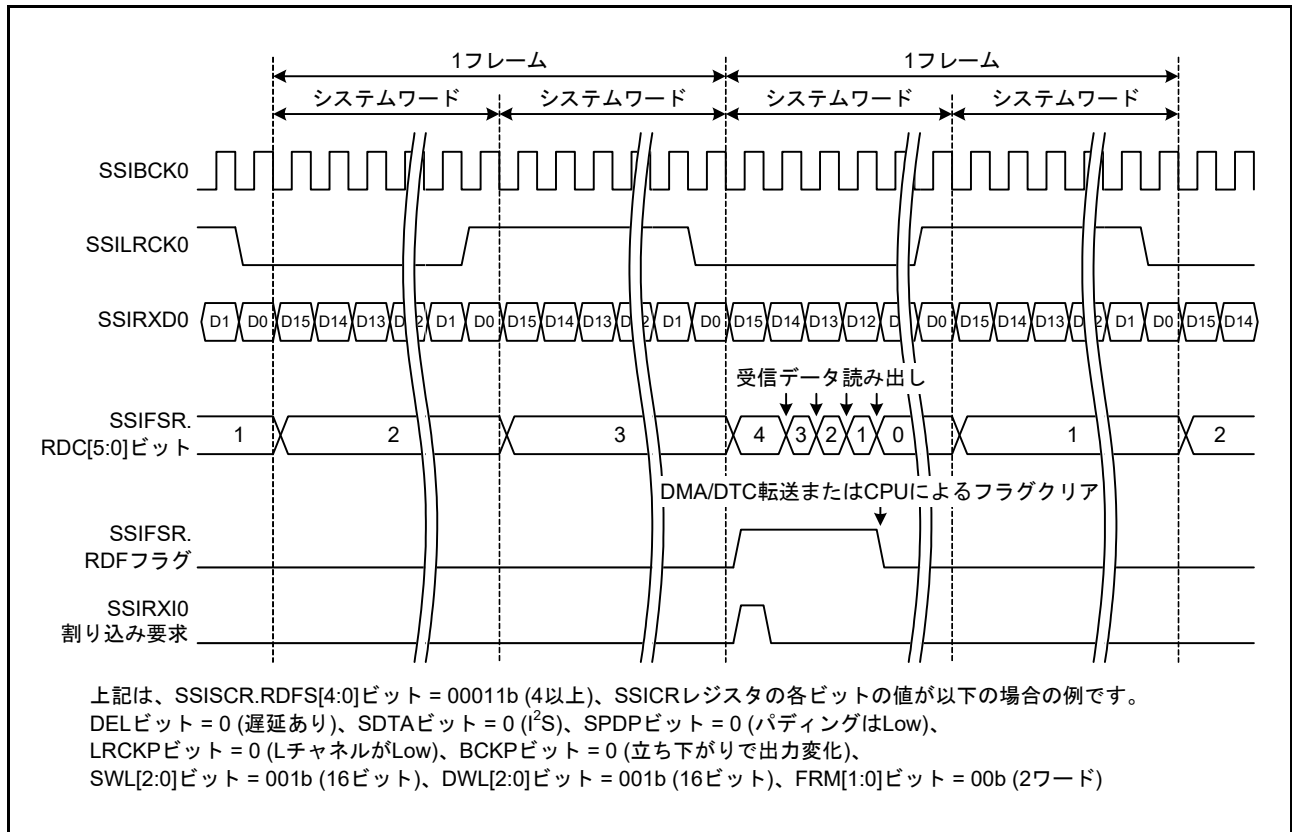


図 45.27 SSIRXIO 割り込みのタイミング図

45.5 注意事項

45.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、SSIE の動作を禁止 / 許可することができます。リセット後、SSIE の動作は停止しています。モジュールストップ状態を解除することによりレジスタにアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

45.5.2 スレーブモード時の LRCK に関する注意事項

スレーブモード時、SSIE は SSILRCK 信号を開始トリガとしてのみ使用します。2 回目以降の有効エッジや信号のレベルは使用しません。このため、ノイズなどの影響により同期がずれた場合、そのずれはフレーム境界が来ても修復されませんのでご注意ください。

46. リモコン信号受信機能 (REMCo)

本 MCU は、リモコン信号受信機能 (REMCo) を内蔵しています。REMCo は、リモコン信号などの外部パルス入力信号のパルス幅や周期を検査し、データを受信することができます。

46.1 概要

表 46.1 に REMCo の仕様、図 46.1 に REMCo のブロック図を示します。

表 46.1 REMCo の仕様

項目	内容
外部パルス入力	PMCo
動作クロック源(注1)	<ul style="list-style-type: none"> サブクロック TMRコンペアマッチ出力(TMO0) PCLKB
検査パターン	<ul style="list-style-type: none"> ヘッダパターン データ“0”パターン データ“1”パターン 特殊データパターン
受信バッファ	8バイト(64ビット)
割り込み要求信号	REMCoI0
割り込み要因	<ul style="list-style-type: none"> コンペア一致(比較ビット数: 1~16ビット) 受信エラー データ受信完了 受信バッファフル ヘッダパターン一致 データ“0”パターンまたはデータ“1”パターン一致 特殊データパターン一致
割り込みモード	<p>コンペア一致、データ受信完了、ヘッダパターン一致、特殊データパターン一致の4つの割り込み要因に対し、以下の2つの割り込みモードのどちらかを選択可能</p> <ul style="list-style-type: none"> ノーマル割り込みモード いずれかの割り込み要求発生条件が成立したとき、割り込み要求が発生 シーケンシャル割り込みモード 許可されたすべての要因に対して割り込み要求発生条件が成立したとき、割り込み要求が発生
機能選択	<ul style="list-style-type: none"> 入力信号反転 デジタルフィルタ(3度または2度一致)(注2) パターンエンド設定
消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ状態への遷移が可能 低消費電力状態での信号受信、REMCo割り込み要求による低消費電力状態からの復帰が可能

注1. 周辺モジュールクロック(PCLKB)周波数 > REMCo動作クロック周波数となるようにしてください。

注2. デジタルフィルタのサンプリングクロックは、REMCON1.CSRC[3:0]ビットで選択した動作クロックです。

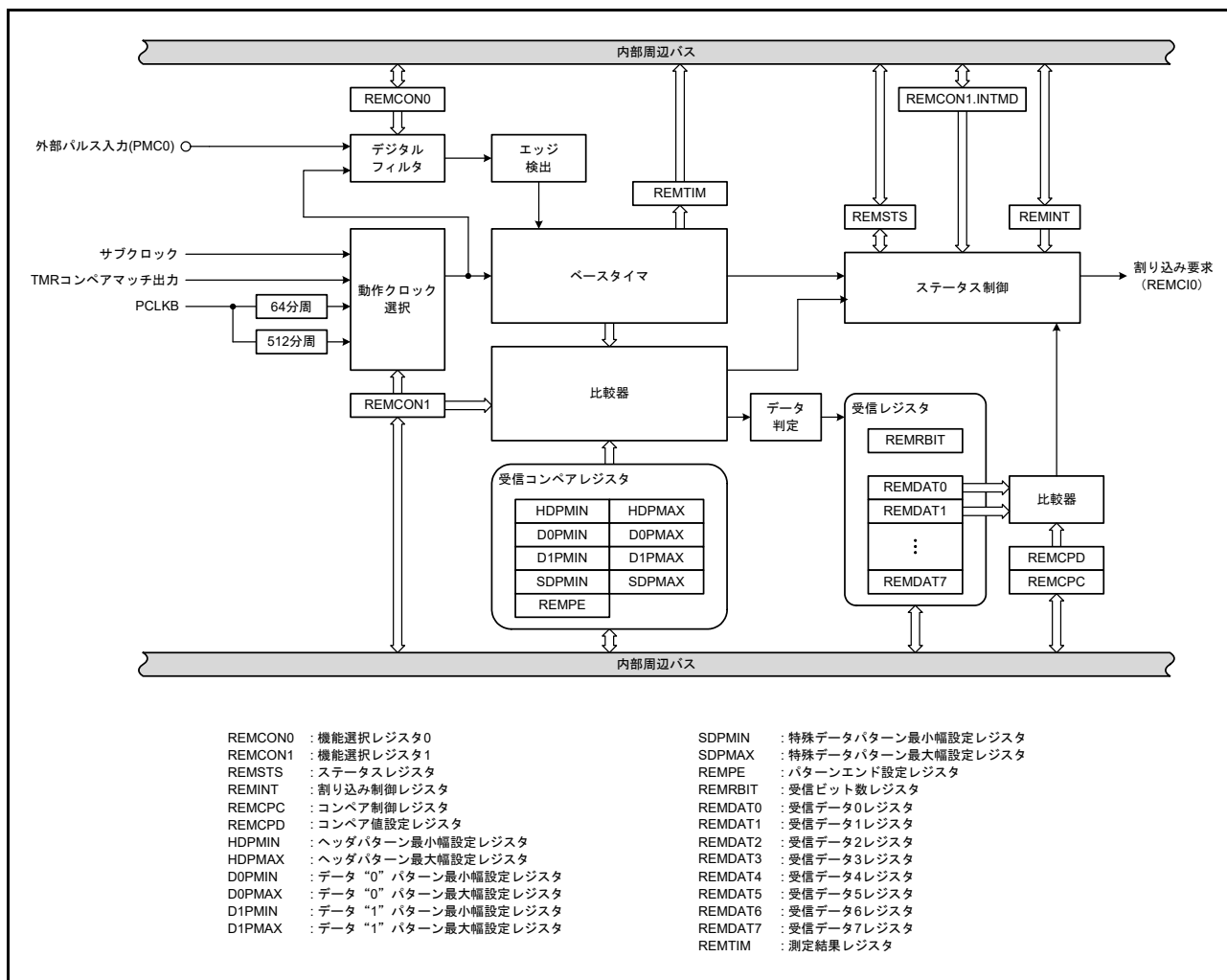


図 46.1 REMC のブロック図

表 46.2 に REMC で使用する入力端子を示します。

表 46.2 REMC の入出力端子

チャンネル	端子名	入出力	機能
REMC0	PMCO	入力	外部パルス信号入力

46.2 レジスタの説明

46.2.1 機能選択レジスタ 0 (REMCON0)

アドレス REMC0.REMCON0 000A 0B00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	FILSEL	—	EC	INFLG	FIL	INV	ENFLG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENFLG	リモコンステータスフラグ(注1)	0: 停止 1: 動作中	R
b1	INV	入力信号反転ビット(注2)	0: 反転なし 1: 反転あり	R/W
b2	FIL	デジタルフィルタ有効無効設定ビット(注2)	0: 3度または2度一致デジタルフィルタ無効 1: 3度または2度一致デジタルフィルタ有効	R/W
b3	INFLG	入力信号フラグ(注1)	0: リモコン信号受信機能の内部入力信号のレベルがLow 1: リモコン信号受信機能の内部入力信号のレベルがHigh	R
b4	EC	受信エラー取り込み動作選択ビット(注2)	0: エラーパターン受信後のデータを取り込む 1: エラーパターン受信後のデータを取り込まない	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	FILSEL	デジタルフィルタ機能選択ビット(注2)	0: 3度一致デジタルフィルタ 1: 2度一致デジタルフィルタ	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. REMCON1.ENビットを“0”にすると、“0”になります。

注2. ビットの書き換えはREMC0.ENFLGビットと、REMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

ENFLG フラグ (リモコンステータスフラグ)

リモコン信号受信機能が動作停止中か動作中か確認できます。

ENFLG フラグは REMCON1.EN ビットへの書き込み後、動作クロック 0 ~ 1 クロック後に変化します。

FIL ビット (デジタルフィルタ有効無効設定ビット)

デジタルフィルタの有効 / 無効を選択します。

INFLG フラグ (入力信号フラグ)

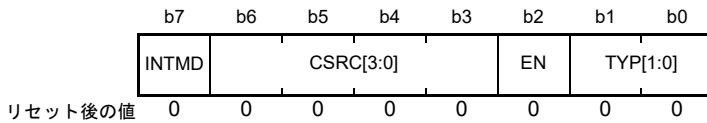
リモコン信号受信機能の内部入力信号のレベルが確認できます。リモコン信号受信機能の内部入力信号の確認できるレベルは INV ビットおよび FIL ビットで設定した結果です。

EC ビット (受信エラー取り込み動作選択ビット)

エラーパターンを受信した後の REMRBIT、REMDATj レジスタ (j=0 ~ 7) への取り込み動作が設定できます。

46.2.2 機能選択レジスタ 1 (REMC0N1)

アドレス REMC0.REMC0N1 000A 0B01h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TYP[1:0]	受信モード選択ビット(注1)	リモコン信号波形を取り込むフォーマットが選択できます。 b1 b0 0 0 : 「46.3.3 パターン設定」に示すフォーマットA 0 1 : 「46.3.3 パターン設定」に示すフォーマットB 1 0 : 「46.3.3 パターン設定」に示すフォーマットC 1 1 : 設定しないでください	R/W
b2	EN	リモコン制御ビット	0 : 動作停止 1 : 動作許可	R/W
b6-b3	CSRC[3:0]	動作クロック選択ビット(注2)	b6 b3 x 0 1 0 : TMRコンペアマッチ出力 x 1 0 0 : サブクロック 0 1 1 0 : PCLKB/64 1 1 1 0 : PCLKB/512 上記以外は設定しないでください	R/W
b7	INTMD	割り込みモード選択ビット(注2)	0 : ノーマル割り込みモード 1 : シーケンシャル割り込みモード	R/W

x : Don't care

注1. REMCON1.ENビット、またはREMC0N0.ENFLGフラグが“1” (REMC動作)のときにTYP[1:0]ビットを書き換える場合、1ビットずつ値を変更してください。

注2. ビットの書き換えはREMC0N1.ENビットと、REMC0N0.ENFLGフラグがともに“0” (REMC停止)のときに実施してください。

EN ビット (リモコン制御ビット)

REMCの動作許可、停止を制御するビットです。

動作が開始または停止したかどうかは、REMC0N0.ENFLGフラグで確認してください。

CSRC[3:0] ビット (動作クロック選択ビット)

REMCの動作クロックを選択するビットです。

動作クロック周波数 < PCLKB 周波数となるようにしてください。

INTMD ビット (割り込みモード選択ビット)

割り込みモードを選択するビットです。

ノーマル割り込みモードは、割り込み制御レジスタ (REMINT) で割り込み許可“1”に設定した要因のOR条件で割り込みを発生します。

シーケンシャル割り込みモードは、REMINTレジスタで割り込み許可“1”に設定した要因のAND条件の成立で割り込みを発生します。

各割り込みモードの割り込み発生要因については、「46.3.12 割り込み」を参照してください。

46.2.3 ステータスレジスタ (REMSTS)

アドレス REMC0.REMSTS 000A 0B02h

b7	b6	b5	b4	b3	b2	b1	b0
SDFLG	D1FLG	D0FLG	HDFLG	BFULFLG	DRFLG	REFLG	CPFLG

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPFLG	コンペアー一致フラグ	0: 不一致 1: 一致	R
b1	REFLG	受信エラーフラグ	0: エラー発生なし 1: エラー発生あり	R
b2	DRFLG	データ受信フラグ	0: データ待ち 1: データ受信中	R
b3	BFULFLG	受信バッファフルフラグ	0: 受信バッファ空き 1: 受信バッファフル(64ビット受信)	R/(W) (注1)
b4	HDFLG	ヘッダパターン一致フラグ	0: 不一致 1: 一致	R
b5	D0FLG	データ“0”パターン一致フラグ	0: 不一致 1: 一致	R
b6	D1FLG	データ“1”パターン一致フラグ	0: 不一致 1: 一致	R
b7	SDFLG	特殊データパターン一致フラグ	0: 不一致 1: 一致	R

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「46.4.7 レジスタ読み出し手順」を参照してください。

注. REMCON1.ENビットを“0”にすると、このレジスタは“00h”になります。

注1. フラグをクリアするための“0”を書くことのみ可能です。ただし、書き込みタイミングがREMC0.INFLGフラグの切り替わり時の場合、不定となる場合があります。

CPFLG フラグ (コンペアー一致フラグ)

REMCPC.CPN[3:0] ビットで指定された REMCPD レジスタの値と REMDAT1、REMDAT0 レジスタに格納するデータの比較結果を示すフラグです。

[“1”になる条件]

- REMCPC.CPN[3:0] レジスタと REMDAT1、REMDAT0 レジスタに格納する値が一致するとき (REMCPC.CPN[3:0] ビットの設定値を n とすると、REMCPC.CPN[3:0] レジスタのビット n ~ ビット 0 と、REMDAT1、REMDAT0 レジスタのビット n ~ ビット 0 が一致)

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- HDFLG フラグが“0”から“1”になるとき

REFLG フラグ (受信エラーフラグ)

受信エラーが発生したことを示します。REMC0N1.TYP[1:0] ビットの設定により“1”になる条件が異なります。

[“1”になる条件]

REMC0N1.TYP[1:0] ビットが“00b”(フォーマット A)の場合

- ヘッダパターン受信前に、データ“0”パターン、データ“1”パターン、特殊データパターンを検出したとき
- 入力信号の立ち上がりから立ち上がりまでの幅が、ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターンのいずれでもなかったとき (REMC0N0.INV ビットが“0”の場合)

データ受信完了(DRFLGフラグが“1”から“0”になるタイミング)と新しい入力信号の変化が競合したとき
REMC0N1.TYP[1:0] ビットが“01b”(フォーマット B)の場合

- ヘッダパターン受信前に、データ“0”パターン、データ“1”パターン、特殊データパターンを検出したとき
- 入力信号の立ち下がりから立ち下がりまでの幅が、データ“0”パターン、データ“1”パターン、特殊データパターンのいずれでもなかったとき (REMC0N0.INV ビットが“0”の場合)

データ受信完了(DRFLGフラグが“1”から“0”になるタイミング)と新しい入力信号の変化が競合したとき
REMC0N1.TYP[1:0] ビットが“10b”(フォーマット C)の場合

- 入力信号の立ち上がりから立ち上がりまでの幅が、ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターンのいずれでもなかったとき (REMC0N0.INV ビットが“0”の場合)
- データ受信完了(DRFLGフラグが“1”から“0”になるタイミング)と新しい入力信号の変化が競合したとき

[“0”になる条件]

- ヘッダパターンを検出したとき
- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)

DRFLG フラグ (データ受信フラグ)

リモコン信号の受信状態を示します。

[“1”になる条件]

- REMC 内部入力信号の立ち上がりエッジ (REMC0N0.INV ビットが“0”の場合)

[“0”になる条件]

- ベースタイマの値が HDPMAX、DOPMAX、D1PMAX、SDPMAX、REMPE レジスタのどの値よりも大きい (ベースタイマの値がこれらのレジスタの値よりも大きくなると、動作クロックの 1 サイクル後に“0”になる)

BFULFLG フラグ (受信バッファフルフラグ)

[“1”になる条件]

- REMRBIT レジスタの値が“64”になるとき

[“0”になる条件]

- HDFLG フラグが“0”から“1”になるとき
- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- BFULFLG フラグに“0”を書き込んだ後、動作クロックの 1～2 サイクル後に“0”になる

HDFLG フラグ (ヘッダパターン一致フラグ)

[“1”になる条件]

- 「表 46.3 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- REFLG フラグが“0”から“1”になるとき
- 「表 46.3 測定結果とフラグの関係」を参照

D0FLG フラグ (データ“0”パターン一致フラグ)

[“1”になる条件]

- 「表 46.3 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- REFLG フラグが“0”から“1”になるとき
- 「表 46.3 測定結果とフラグの関係」を参照

D1FLG フラグ (データ“1”パターン一致フラグ)

[“1”になる条件]

- 「表 46.3 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- REFLG フラグが“0”から“1”になるとき
- 「表 46.3 測定結果とフラグの関係」を参照

SDFLG フラグ (特殊データパターン一致フラグ)

[“1”になる条件]

- 「表 46.3 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- REFLG フラグが“0”から“1”になるとき
- 「表 46.3 測定結果とフラグの関係」を参照

表 46.3 測定結果とフラグの関係

REMTIMレジスタの内容(計測結果)と各レジスタとの比較結果	フラグの内容			
	HDFLG	D0FLG	D1FLG	SDFLG
HDPMIN以上 HDPMAX以下	1	0	0	0
D0PMIN以上 D0PMAX以下	0	1(注1)	0	0
D1PMIN以上 D1PMAX以下	0	0	1(注1)	0
SDPMIN以上 SDPMAX以下	0	0	0	1(注1)
上記以外	0	0	0	0

注1. REMCON1.TYP[1:0]ビットが“00b”または“01b”の場合、ヘッダパターン検出より前なら、D0FLG、D1FLG、SDFLGフラグは変化しません。

46.2.4 割り込み制御レジスタ (REMINT)

アドレス REMC0.REMINT 000A 0B03h

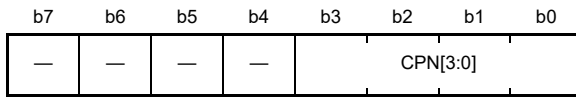
	b7	b6	b5	b4	b3	b2	b1	b0
	SDINT	—	DINT	HDINT	BFULINT	DRINT	REINT	CPINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPINT	コンペアー一致割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	REINT	受信エラー割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b2	DRINT	データ受信完了割り込み許可ビット	0: 禁止 1: 許可	R/W
b3	BFULINT	受信バッファフル割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b4	HDINT	ヘッダパターン一致割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b5	DINT	データ“0”パターンまたはデータ“1”パターン一致割り込み許可ビット	0: 禁止 1: 許可	R/W
b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b7	SDINT	特殊データパターン一致割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W

注1. ビットの書き換えはREMC0.REMINT0.ENビットと、REMC0.REMINT0.ENFLGフラグがともに“0”(REMCA停止)のときに実施してください。

46.2.5 コンペア制御レジスタ (REMCPC)

アドレス REMC0.REMCPC 000A 0B05h



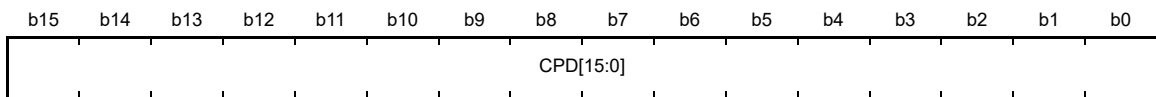
リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CPN[3:0]	コンペアビット数指定ビット(注1)	b3 b0 0 0 0 0 : REMCPD レジスタのビット0と、 REMDATA0 レジスタのビット0を比較 0 0 0 1 : REMCPD レジスタのビット1、ビット0と、 REMDATA0 レジスタのビット1、ビット0を比較 : 0 1 1 1 : REMCPD レジスタのビット7~ビット0と、 REMDATA0 レジスタのビット7~ビット0を比較 : 1 0 0 1 : REMCPD レジスタのビット9~ビット0と、 REMDATA1 レジスタのビット1、ビット0、 REMDATA0 レジスタのビット7~ビット0を比較 : 1 1 1 1 : REMCPD レジスタのビット15~ビット0と、 REMDATA1 レジスタのビット7~ビット0、 REMDATA0 レジスタのビット7~ビット0を比較	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMCN1.ENビットと、REMCN0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

46.2.6 コンペア値設定レジスタ (REMCPD)

アドレス REMC0.REMCPD 000A 0B06h



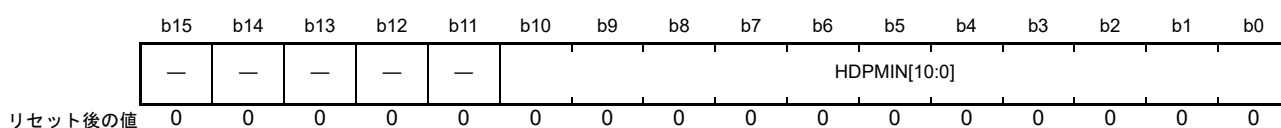
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b15-b0	CPD[15:0]	コンペア値設定ビット(注1)	コンペア機能使用時にREMDAT1、REMDAT0レジスタの内容と比較する値を設定してください。 REMCPC.CPN[3:0]ビットで、比較するビット数を設定できます	R/W

注1. ビットの書き換えはREMCN1.ENビットと、REMCN0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

46.2.7 ヘッダパターン最小幅設定レジスタ (HDPMIN)

アドレス REMC0.HDPMIN 000A 0B08h

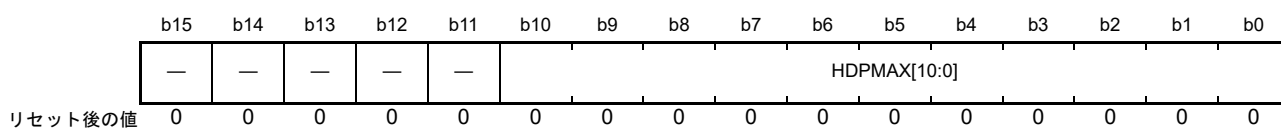


ビット	シンボル	ビット名	機能	R/W
b10-b0	HDPMIN[10:0]	ヘッダパターン最小幅設定ビット(注1)	ヘッダパターンの最小幅を設定してください 設定範囲“000h”~“7FFh”	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

46.2.8 ヘッダパターン最大幅設定レジスタ (HDPMAX)

アドレス REMC0.HDPMAX 000A 0B0Ah

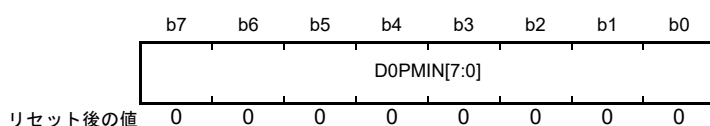


ビット	シンボル	ビット名	機能	R/W
b10-b0	HDPMAX[10:0]	ヘッダパターン最大幅設定ビット(注1)	ヘッダパターンの最大幅を設定してください 設定範囲“000h”~“7FFh”	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

46.2.9 データ“0”パターン最小幅設定レジスタ (DOPMIN)

アドレス REMC0.DOPMIN 000A 0B0Ch

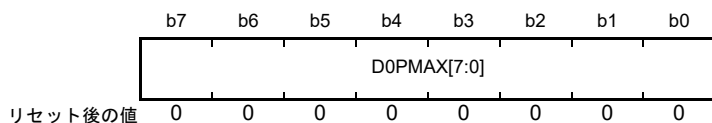


ビット	シンボル	ビット名	機能	R/W
b7-b0	DOPMIN[7:0]	データ“0”パターン最小幅設定ビット(注1)	データ“0”パターンの最小幅を設定してください 設定範囲“00h”~“FFh”	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

46.2.10 データ“0”パターン最大幅設定レジスタ (D0PMAX)

アドレス REMC0.D0PMAX 000A 0B0Dh

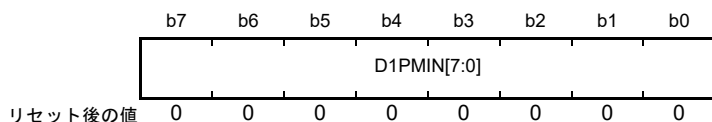


ビット	シンボル	ビット名	機能	R/W
b7-b0	D0PMAX[7:0]	データ“0”パターン最大幅設定ビット (注1)	データ“0”パターンの最大幅を設定してください 設定範囲“00h”～“FFh”	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0” (REMC停止)のときに実施してください。

46.2.11 データ“1”パターン最小幅設定レジスタ (D1PMIN)

アドレス REMC0.D1PMIN 000A 0B0Eh

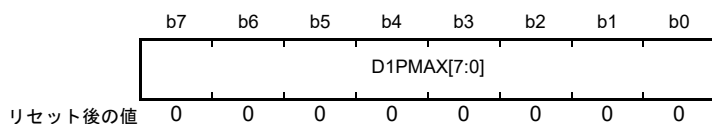


ビット	シンボル	ビット名	機能	R/W
b7-b0	D1PMIN[7:0]	データ“1”パターン最小幅設定ビット (注1)	データ“1”パターンの最小幅を設定してください 設定範囲“00h”～“FFh”	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0” (REMC停止)のときに実施してください。

46.2.12 データ“1”パターン最大幅設定レジスタ (D1PMAX)

アドレス REMC0.D1PMAX 000A 0B0Fh

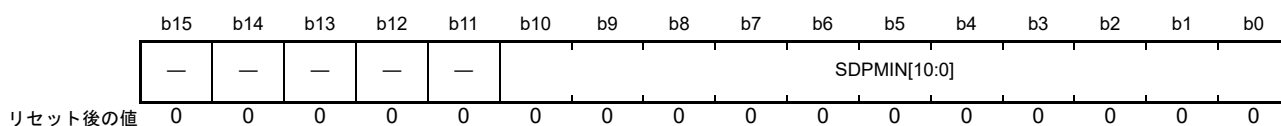


ビット	シンボル	ビット名	機能	R/W
b7-b0	D1PMAX[7:0]	データ“1”パターン最大幅設定ビット (注1)	データ“1”パターンの最大幅を設定してください 設定範囲“00h”～“FFh”	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0” (REMC停止)のときに実施してください。

46.2.13 特殊データパターン最小幅設定レジスタ (SDPMIN)

アドレス REMC0.SDPMIN 000A 0B10h

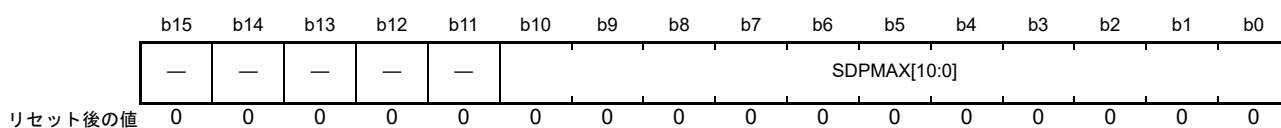


ビット	シンボル	ビット名	機能	R/W
b10-b0	SDPMIN[10:0]	特殊データパターン最小幅設定ビット (注1)	特殊データパターンの最小幅を設定してください 設定範囲“000h”~“7FFh”	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0” (REMC停止)のときに実施してください。

46.2.14 特殊データパターン最大幅設定レジスタ (SDPMAX)

アドレス REMC0.SDPMAX 000A 0B12h

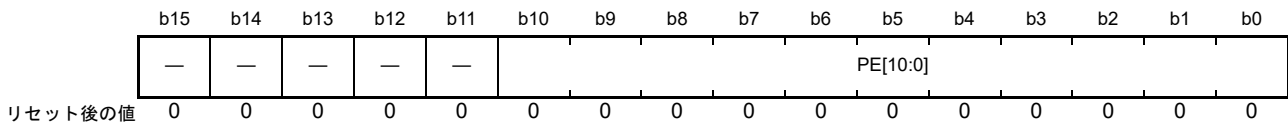


ビット	シンボル	ビット名	機能	R/W
b10-b0	SDPMAX[10:0]	特殊データパターン最大幅設定ビット (注1)	特殊データパターンの最大幅を設定してください 設定範囲“000h”~“7FFh”	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0” (REMC停止)のときに実施してください。

46.2.15 パターンエンド設定レジスタ (REMPE)

アドレス REMC0.REMPE 000A 0B14h

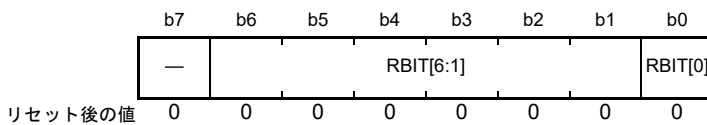


ビット	シンボル	ビット名	機能	R/W
b10-b0	PE[10:0]	パターンエンド幅設定ビット(注1)	パターンエンドの幅を設定してください 設定範囲“000h”~“7FFh” REMSTS.DRFLGフラグが、“1”から“0”になるタイミングを設定できます。	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0N1.ENビットと、REMC0N0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

46.2.16 受信ビット数レジスタ (REMRBIT)

アドレス REMC0.REMRBIT 000A 0B17h



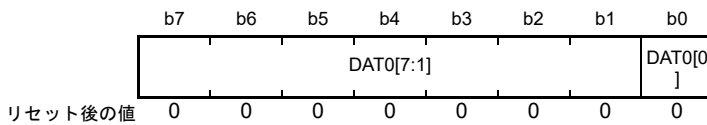
ビット	シンボル	ビット名	機能	R/W
b0	RBIT[0]	受信ビット数確認ビット0	受信ビット数が読めます。 検出したデータ“0”パターンまたはデータ“1”パターンの数をカウントし、格納するバッファのビット位置を示します。	R/W
b6-b1	RBIT[6:1]	受信ビット数確認ビット6~ビット1	<ul style="list-style-type: none"> “64”(“40h”)を超えると“1”に戻ります ヘッダパターン、特殊データパターンはカウントしません REMC0N0.ECビットが“1”でエラーを検出した場合、データ“0”パターンまたはデータ“1”パターンを検出してもカウントアップしません REMSTS.DRFLGフラグが“0”から“1”になるとき、REMRBITレジスタは“00h”になります REMSTS.HDFLGフラグが“0”から“1”になるとき、REMRBITレジスタは“00h”になります REMRBIT.RBIT[0]ビットに“0”を書き込んだ場合、動作クロックの1~2サイクル後にREMRBITレジスタの値が“00h”になります。	R
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「46.4.7 レジスタ読み出し手順」を参照してください。

注. REMC0N1.ENビットが“0”のときには、すべて初期化されます。

46.2.17 受信データ 0 レジスタ (REMDAT0)

アドレス REMC0.REMDAT0 000A 0B18h



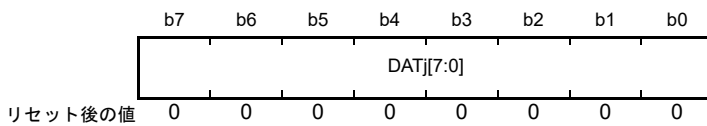
ビット	シンボル	ビット名	機能	R/W
b0	DAT0[0]	受信データ0格納ビット0	受信データを格納します。	R/W
b7-b1	DAT0[7:1]	受信データ0格納ビット7～ビット1	REMDAT0レジスタのビット0へ“0”書き込みした後の動作クロック1～2サイクル後に、REMDAT0～REMDAT7レジスタの値はすべて“00h”になります	R

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「46.4.7 レジスタ読み出し手順」を参照してください。

注. REMCON1.ENビットが“0”のときには、すべて初期化されます。

46.2.18 受信データ j レジスタ (REMDATj) (j = 1 ~ 7)

アドレス REMC0.REMDAT1 000A 0B19h, REMC0.REMDAT2 000A 0B1Ah, REMC0.REMDAT3 000A 0B1Bh,
REMC0.REMDAT4 000A 0B1Ch, REMC0.REMDAT5 000A 0B1Dh, REMC0.REMDAT6 000A 0B1Eh,
REMC0.REMDAT7 000A 0B1Fh



ビット	シンボル	ビット名	機能	R/W
b7-b0	DATj[7:0]	受信データj格納ビット	受信データを格納します	R

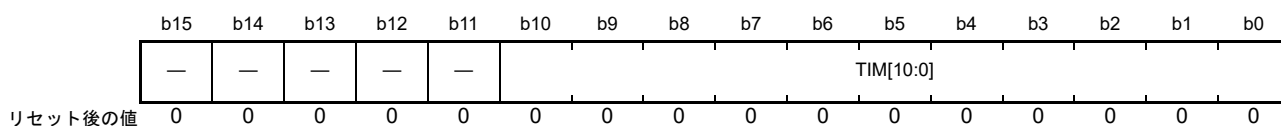
注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「46.4.7 レジスタ読み出し手順」を参照してください。

注. REMCON1.ENビットが“0”のときには、すべて初期化されます。

データ“0”パターンまたはデータ“1”パターンを検出すると、検出結果を1ビットずつ受信データとして格納します。受信データの格納動作についての詳細は、「46.3.8 受信データバッファ」を参照してください。

46.2.19 測定結果レジスタ (REMTIM)

アドレス REMC0.REMTIM 000A 0B20h



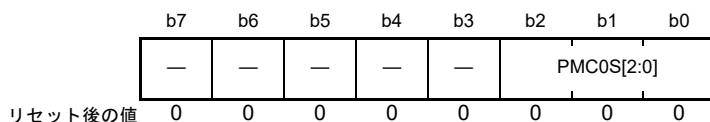
ビット	シンボル	ビット名	機能	R/W
b10-b0	TIM[10:0]	測定結果ビット	各パターン幅の測定結果が読み出せます。 以下のパターンを検出すると、本ビットにベースタイマの値がキャプチャされます。 <ul style="list-style-type: none"> • ヘッダパターン • データ“0”パターン • データ“1”パターン • 特殊データパターン • 上記以外のデータパターン(受信エラー) 	R
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「46.4.7 レジスタ読み出し手順」を参照してください。

注. REMCON1.ENビットが“0”のときには、すべて初期化されます。

46.2.20 リモコン信号受信端子制御レジスタ (REMPA)

アドレス REMC0.REMPA 0008 C29Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	PMCO[2:0]	PMCO端子選択ビット	b2 b0 000: リモコン信号を受信しない 001: PC3からPMCO信号を入力する 010: PB3からPMCO信号を入力する 100: P53からPMCO信号を入力する 上記以外は設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

46.3 動作説明

46.3.1 REMC 動作の概要

リモコン信号例を図 46.2 に示します。リモコン信号は、ヘッダから始まり、その後データが続きます。このヘッダは、その後に続くデータ部分とは波形が異なるため、ヘッダとデータとを区別することができます。データ部分には、カスタムコードやデータコードを含んでおり、ビットの長さで“0”、“1”を区別します。ストップビットの後は、信号変化の無いフレームスペース期間が続き、1フレームが形成されます。

REMC では、内蔵するベースタイマにより外部入力信号のエッジ-エッジ間の時間を計測し、その計測結果からリモコン信号のパターン検出、データの取り込みを行います。

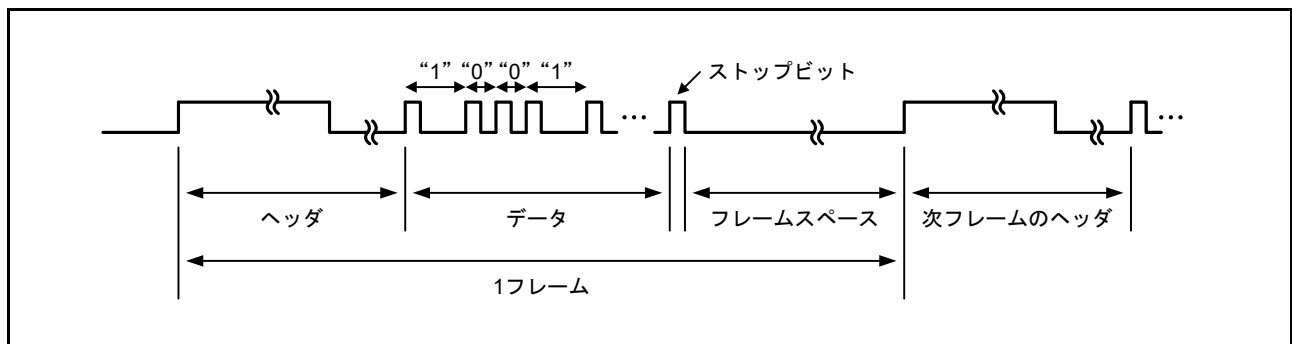


図 46.2 リモコン信号例

46.3.2 初期設定

リモコン信号を受信するときは、図 46.3 の手順に従って REMC の初期設定をしてください。

REMC が動作中だった場合は、REMCN1.EN ビットを“0”にすると REMCON0.ENFLG フラグが“0”になり、REMC の動作が停止します。

REMCN0.ENFLG フラグが“0”の状態、REMCN1.TYP[1:0] ビットによるリモコン受信波形のフォーマット設定、REMCN0.INV ビットによる入力信号の反転制御、REMCN1.CSRC[3:0] ビットによる動作クロック選択、REMCN0.FIL、FILSEL ビットによるデジタルフィルタの設定を行います。また、HDPMIN、HDPMAX、D0PMIN、D0PMAX、D1PMIN、D1PMAX、SDPMIN、SDPMAX、REMPE レジスタに各データパターンの検出幅を設定します。REMINT レジスタによる割り込み許可や REMCPC、REMCPCD レジスタによるコンペア機能の設定など、その他の設定は必要に応じて実施してください。

必要なレジスタの設定が終了したら、REMCN1.EN ビットを“1”にして REMC を動作させてください。

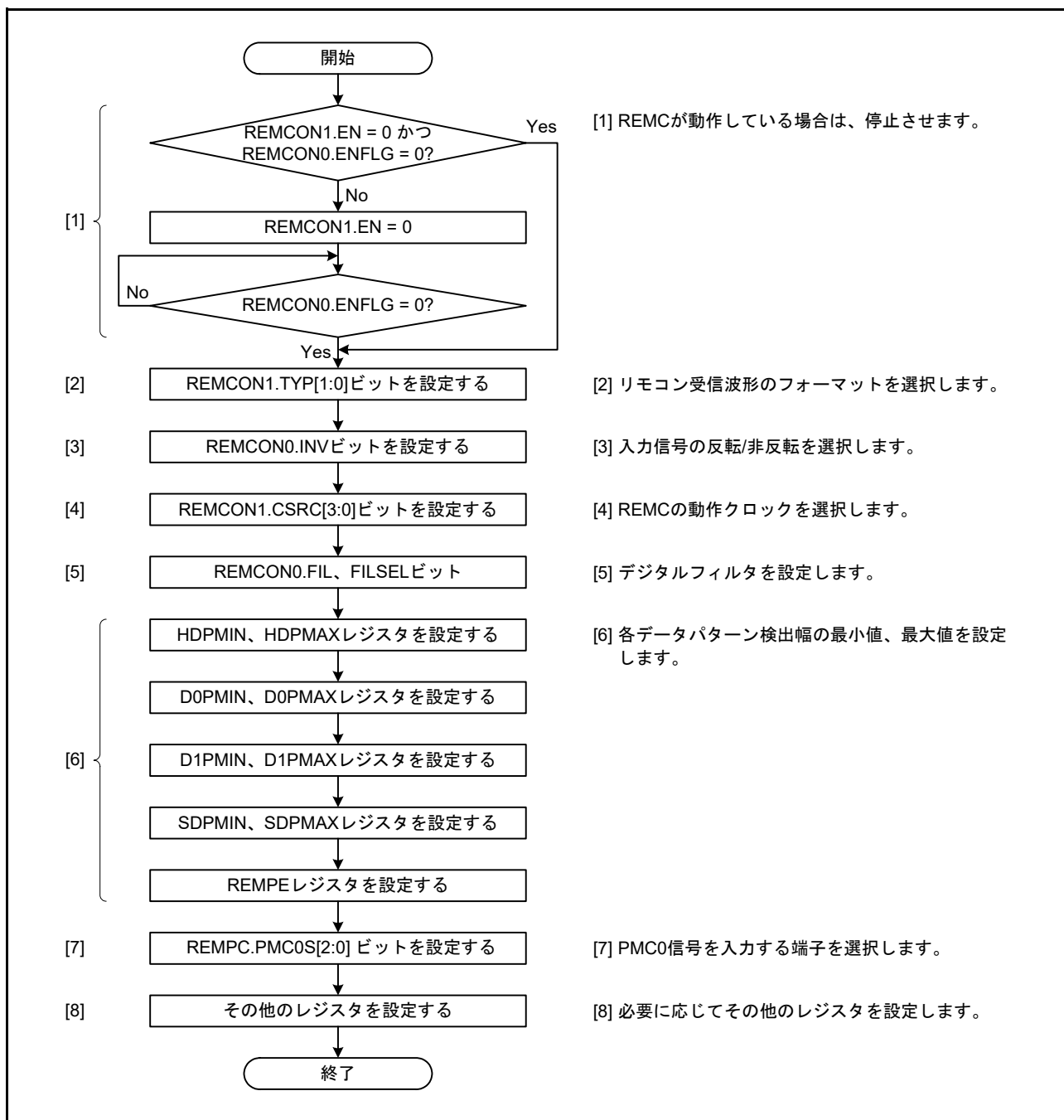


図 46.3 REMC の初期設定フロー例

46.3.3 パターン設定

REMCN1.TYP[1:0] ビットを設定することでリモコン信号受信波形を取り込むフォーマットを設定できます。REMCN1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例を図 46.4、図 46.5 に示します。

REMCN1.TYP[1:0] ビットが“00b” (フォーマット A) の場合

内部入力信号の立ち上がり時にヘッダパターン設定値と測定結果を判定します。

ヘッダパターンを受信した場合、内部入力信号の立ち上がり時にデータ“0”パターン設定値、データ“1”パターン設定値、特殊データパターン設定値と計測結果を判定します。

REMCN1.TYP[1:0] ビットが“01b” (フォーマット B) の場合

内部入力信号の立ち下がり時にヘッダパターン設定値と測定結果を判定します。

ヘッダパターンを受信した場合、内部入力信号の立ち下がり時にデータ“0”パターン設定値、データ“1”パターン設定値、特殊データパターン設定値と計測結果を判定します。

ヘッダパターンは1フレームで1回検出します。

REMCN1.TYP[1:0] ビットが“10b” (フォーマット C) の場合

内部入力信号の立ち上がり時にヘッダパターン設定値、データ“0”パターン設定値、データ“1”パターン設定値、特殊データパターン設定値と計測結果を判定します。

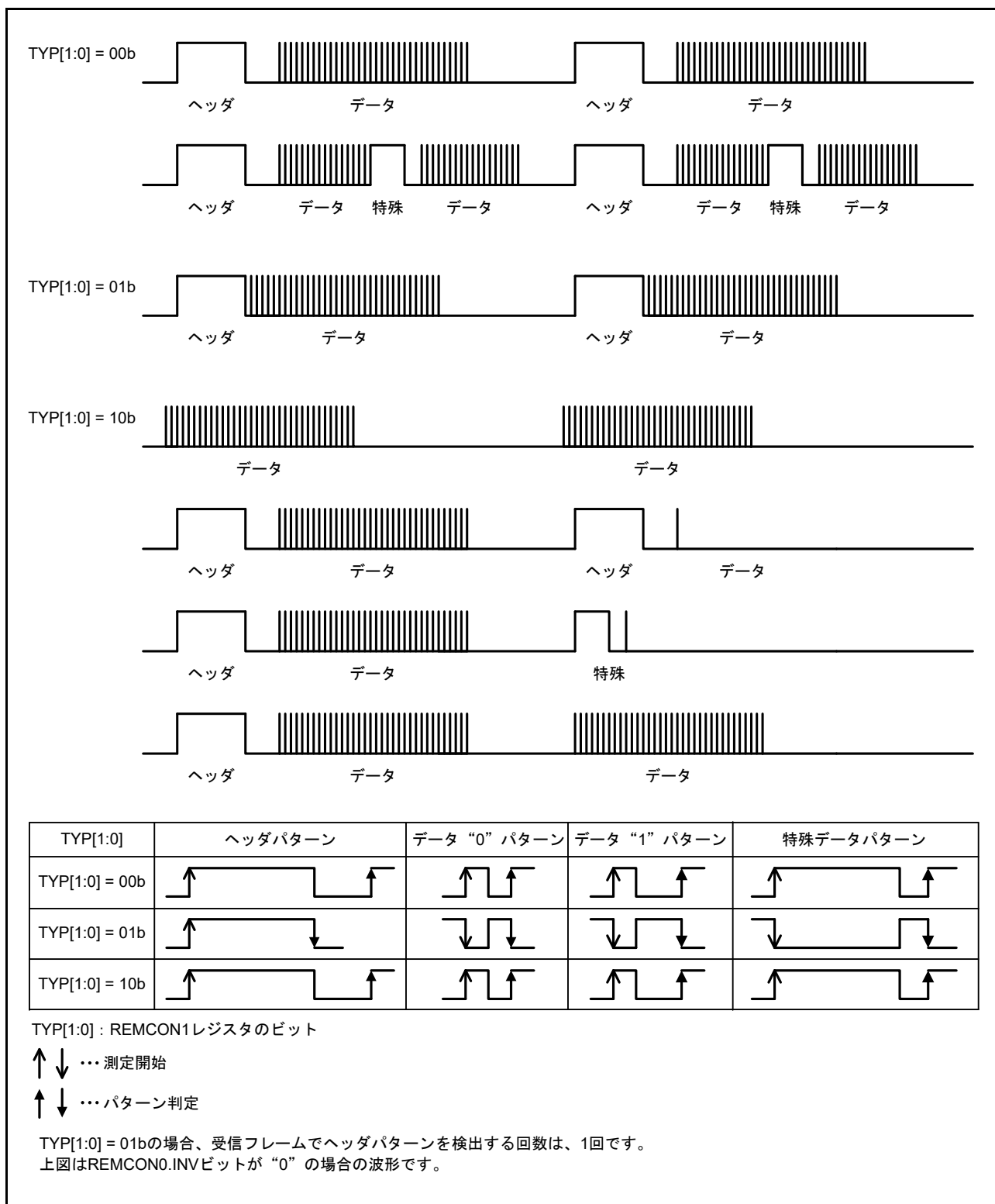


図 46.4 REMCON1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例 (REMCON0.INV = 0 の場合)

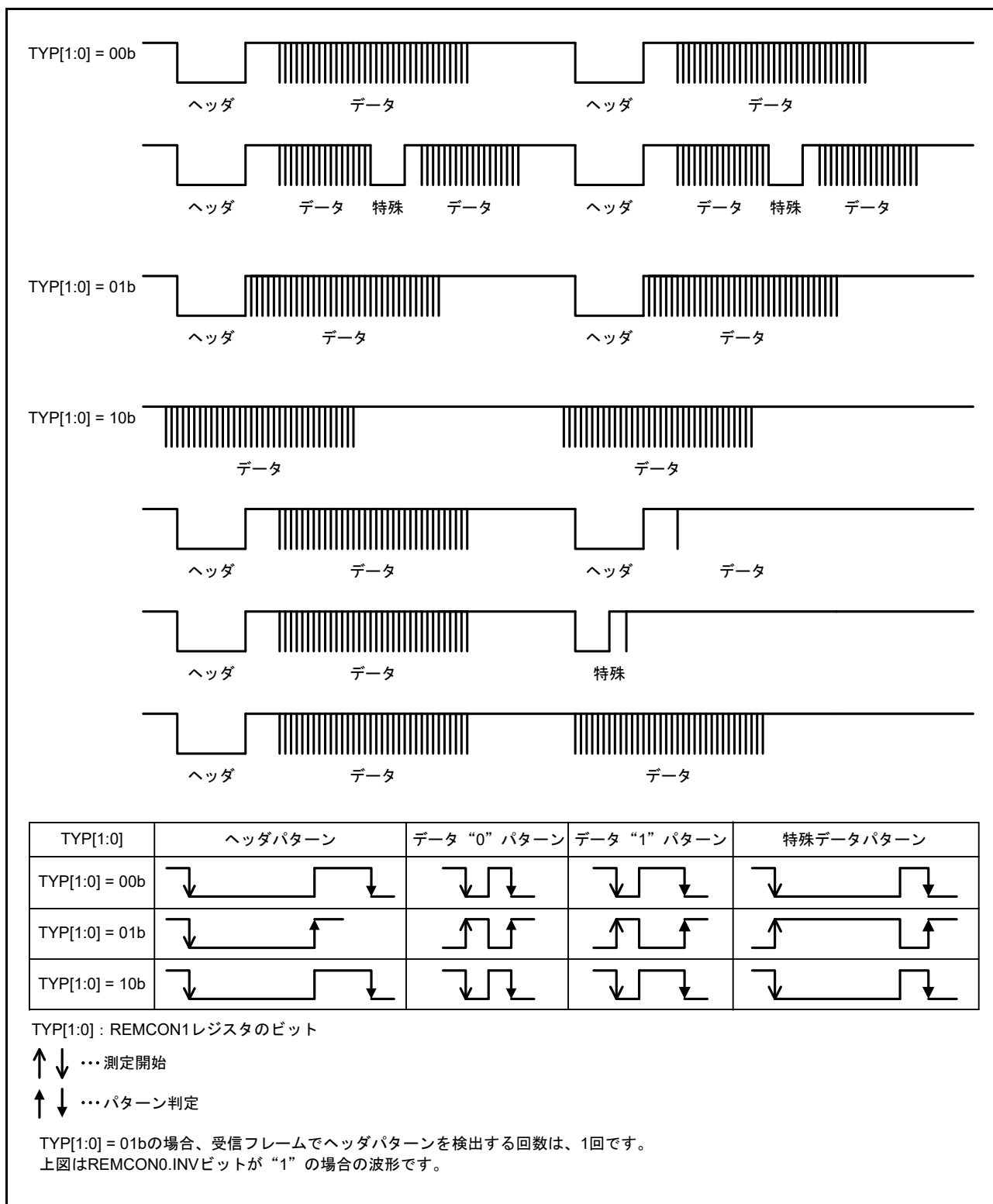


図 46.5 REMCON1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例 (REMCN0.INV = 1 の場合)

46.3.4 動作クロック

REMCは動作クロックとして、周辺モジュールクロック(PCLKB)の分周クロック、サブクロック発振器から供給されるサブクロック、TMRコンペアマッチ出力のいずれかを選択して使用することができます。サブクロックをREMCに供給する場合は、クロック供給方法に注意が必要です。動作クロックの供給方法について説明します。

46.3.4.1 REMC動作クロックとしてサブクロックを使用する場合

REMC動作クロックとして、サブクロックを使用できます。サブクロックの発振手順については、「9. クロック発生回路」を参照してください。サブクロックの発振が安定した後、REMC0.CON1.CSRC[3:0]ビットを“x100b”(サブクロック)にしてください。

46.3.4.2 REMC動作クロックとしてTMRコンペアマッチ出力を使用する場合

REMC動作クロックとして、TMRコンペアマッチ出力を供給することができます。REMC0にはTMO0が供給可能です。TMRコンペアマッチ出力については、「28. 8ビットタイマ(TMRb)」を参照してください。

46.3.5 PMC0入力

PMC0入力では、以下の選択ができます。

- 入力極性
- デジタルフィルタ

図46.6にPMC0内部入力信号生成を示します。

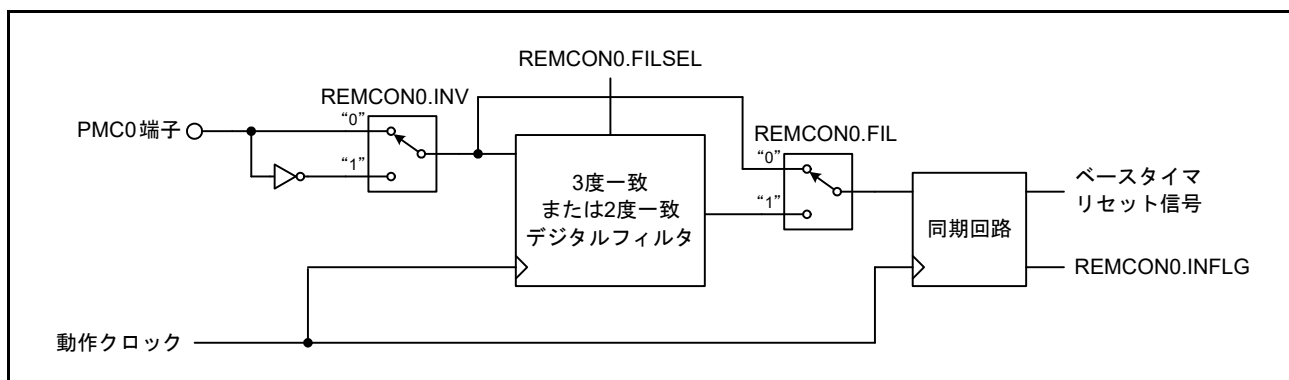


図46.6 PMC0内部入力信号生成

PMC0端子の入力極性を反転できます。REMCON0.INVビットで選択してください。

REMCON0.FILビットが“1”(デジタルフィルタ有効)の場合は、PMC0端子の入力がk度(k=3または2、REMCON0.FILSELビットでの選択値)続けて一致したとき、そのレベルを内部回路に伝えます。これにより、動作クロックのkサイクル分までのノイズを除去できます。

なお、PMC0端子の入力は、動作クロックに同期して内部回路にREMCON0.INFLGフラグ(入力信号フラグ)とベースタイマリセット信号として伝わります。ベースタイマリセット信号とは内部ベースタイマをREMCON1.TYP[1:0]ビットの設定に応じたパターン検出にて初期化する信号です。PMC0端子入力に変化してからこれらの信号を生成するまでには、内部処理による遅延があります。図46.7にPMC0入力のデジタ

ルフィルタ動作を示します。

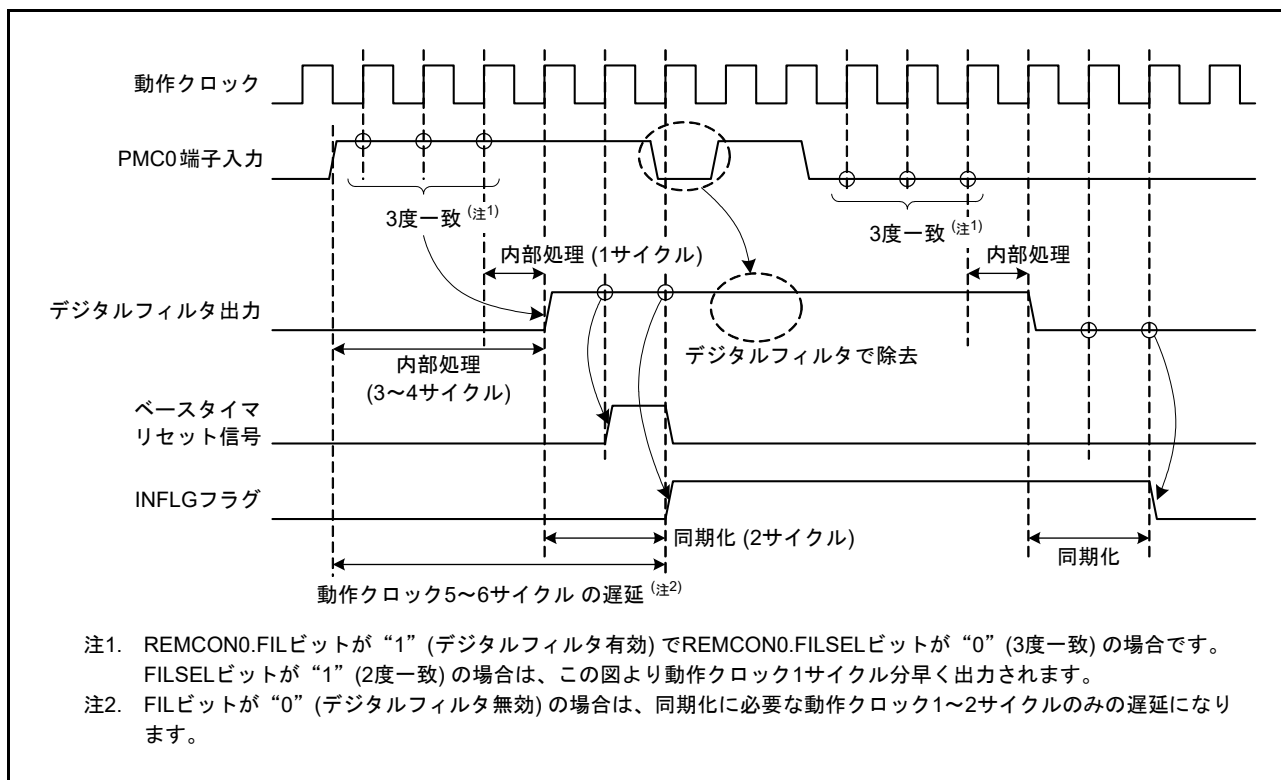


図 46.7 PMCO 入力のデジタルフィルタ動作

46.3.6 パターン検出

REMC は以下のパターンを検出する機能があります。

- ヘッダパターン
- データ “0” パターン
- データ “1” パターン
- 特殊データパターン

REMC が内蔵するベースタイマにより、外部入力信号のエッジ-エッジ間の時間を計測し、計測結果がどのパターンと一致するかを判定することで、リモコン信号の検出、データの取り込みを行います。各パターンの判定幅については、それぞれのパターン設定レジスタで任意に設定できます。図 46.8 に REMC の動作波形を示します。

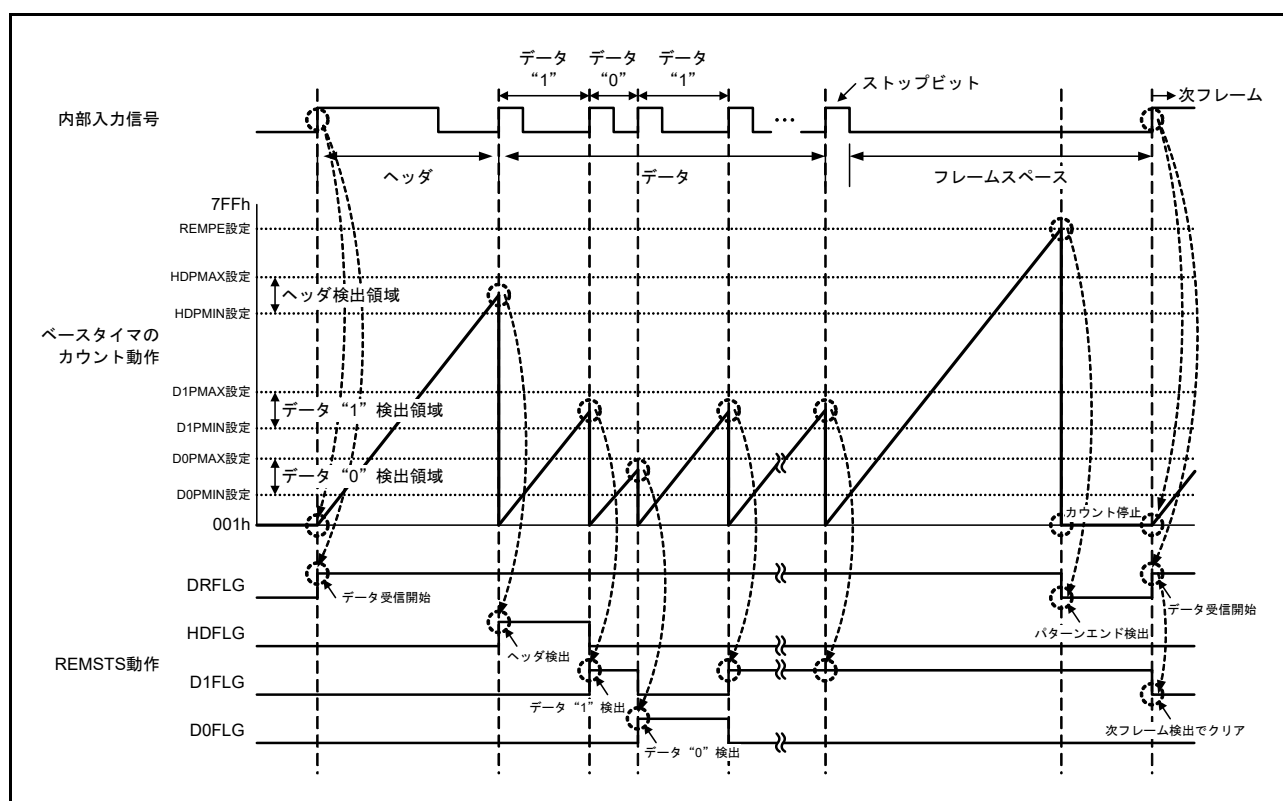


図 46.8 REMC の動作波形

46.3.6.1 ヘッダパターン検出

ヘッダパターンの最小幅を HDPMIN レジスタに、最大幅を HDPMAX レジスタに設定することで、ヘッダパターンが検出できます。

ヘッダパターンの最小幅、最大幅は、「 $1 < \text{HDPMIN レジスタの値} \leq \text{HDPMAX レジスタの値}$ 」にしてください。

$$\text{設定値}n = \frac{\text{ヘッダパターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

ヘッダパターンを使用しない場合、HDPMIN レジスタ、HDPMAX レジスタは“000h”にしてください。

ヘッダパターンの設定値は、データ“0”パターン、データ“1”パターン、特殊データパターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、データ“0”パターン、データ“1”パターンまたは特殊データパターンを検出すると次のようになります。

- REMSTS.REFLG フラグが“1”(エラー発生)になる
- REMSTS.D0FLG、REMSTS.D1FLG、REMSTS.SDFLG フラグは変化しない
- REMDAT0 ~ REMDAT7 レジスタは変化しない

REMCON1.TYP[1:0] ビットが、“01b”の場合、

ヘッダパターンを検出する回数は、DRFLG フラグが“1”の間に1回になります。

46.3.6.2 データ“0”パターン検出

データ“0”パターンの最小幅を D0PMIN レジスタに、最大幅を D0PMAX レジスタに設定することで、データ“0”パターンが検出できます。

データ“0”パターンの最小幅、最大幅は、「 $1 < \text{D0PMIN レジスタの値} \leq \text{D0PMAX レジスタの値}$ 」にしてください。

$$\text{設定値}n = \frac{\text{データ“0”パターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

データ“0”パターンを使用しない場合、D0PMIN、D0PMAX レジスタは“00h”にしてください。

データ“0”パターンの設定値は、ヘッダパターン、データ“1”パターン、特殊データパターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、データ“0”パターンを検出すると次のようになります。

- REMSTS.REFLG フラグが“1”(エラー発生)になる
- REMSTS.D0FLG、REMSTS.D1FLG、REMSTS.SDFLG フラグは変化しない
- REMDAT0 ~ REMDAT7 レジスタは変化しない

46.3.6.3 データ“1”パターン検出

データ“1”パターンの最小幅を D1PMIN レジスタに、最大幅を D1PMAX レジスタに設定することで、データ“1”パターンが検出できます。

データ“1”パターンの最小幅、最大幅は、「 $1 < \text{D1PMIN レジスタの値} \leq \text{D1PMAX レジスタの値}$ 」にしてください。

$$\text{設定値}n = \frac{\text{データ“1”パターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

データ“1”パターンを使用しない場合、D1PMIN、D1PMAX レジスタは“00h”にしてください。

データ“1”パターンの設定値は、ヘッダパターン、データ“0”パターン、特殊データパターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、データ“1”パターンを検出すると次のようになります。

- REMSTS.REFLG ビットが“1”(エラー発生)になる
- REMSTS.D0FLG、REMSTS.D1FLG、REMSTS.SDFLG フラグは変化しない
- REMDAT0 ~ REMDAT7 レジスタは変化しない

46.3.6.4 特殊データパターン検出

特殊データパターンの最小幅を SDPMIN レジスタに、最大幅を SDPMAX レジスタに設定することで特殊データパターンが検出できます。

特殊データパターンの最小幅、最大幅は、「 $1 < \text{SDPMIN レジスタの値} \leq \text{SDPMAX レジスタの値}$ 」にしてください。

$$\text{設定値}n = \frac{\text{特殊データパターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

特殊データパターンを使用しない場合、SDPMIN、SDPMAX レジスタは“000h”にしてください。

特殊データパターンの設定値は、ヘッダパターン、データ“0”パターン、データ“1”パターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、特殊データパターンを検出すると次のようになります。

- REMSTS.REFLG フラグが“1”(エラー発生)になる
- REMSTS.D0FLG、REMSTS.D1FLG、REMSTS.SDFLG フラグは変化しない
- REMDAT0 ~ REMDAT7 レジスタは変化しない

46.3.6.5 パターン設定レジスタの設定例

ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターンのパターン設定レジスタについて、各パターンの最小値から最大値までの範囲は、図 46.9 に示すように、他のパターンの最小値から最大値までと重複しない値に設定してください。

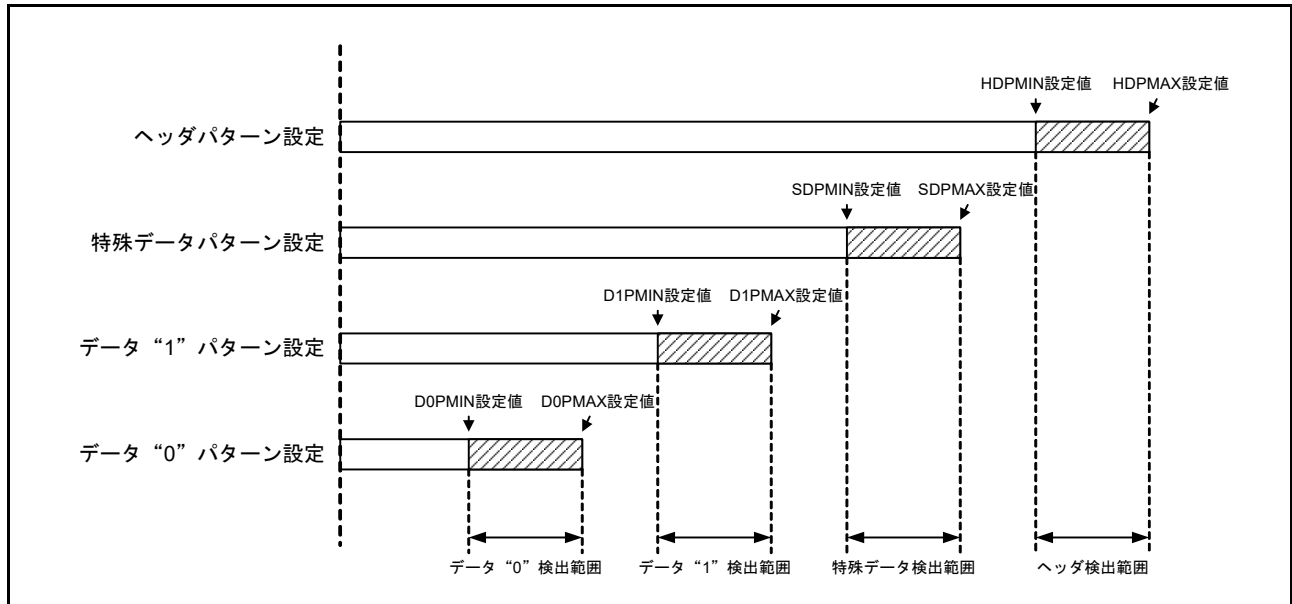


図 46.9 パターン設定レジスタの設定例

46.3.6.6 パターン検出によるステータスフラグ更新動作

検出したパターンについては、ヘッダパターン一致フラグ (REMSTS.HDFLG)、データ“0”パターン一致フラグ (REMSTS.D0FLG)、データ“1”パターン一致フラグ (REMSTS.D1FLG)、特殊データパターン一致フラグ (REMSTS.SDFLG) にて確認できます。これらのフラグは異なるパターンを検出したらネゲートされます。ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターン以外を検出した場合、エラーパターンとして検出されます。これは受信エラーフラグ (REMSTS.REFLG) にて確認できます。受信エラーフラグに関しては、次のフレーム受信時にネゲートされます。パターン検出、ならびにフラグ動作例を図 46.10 に示します。

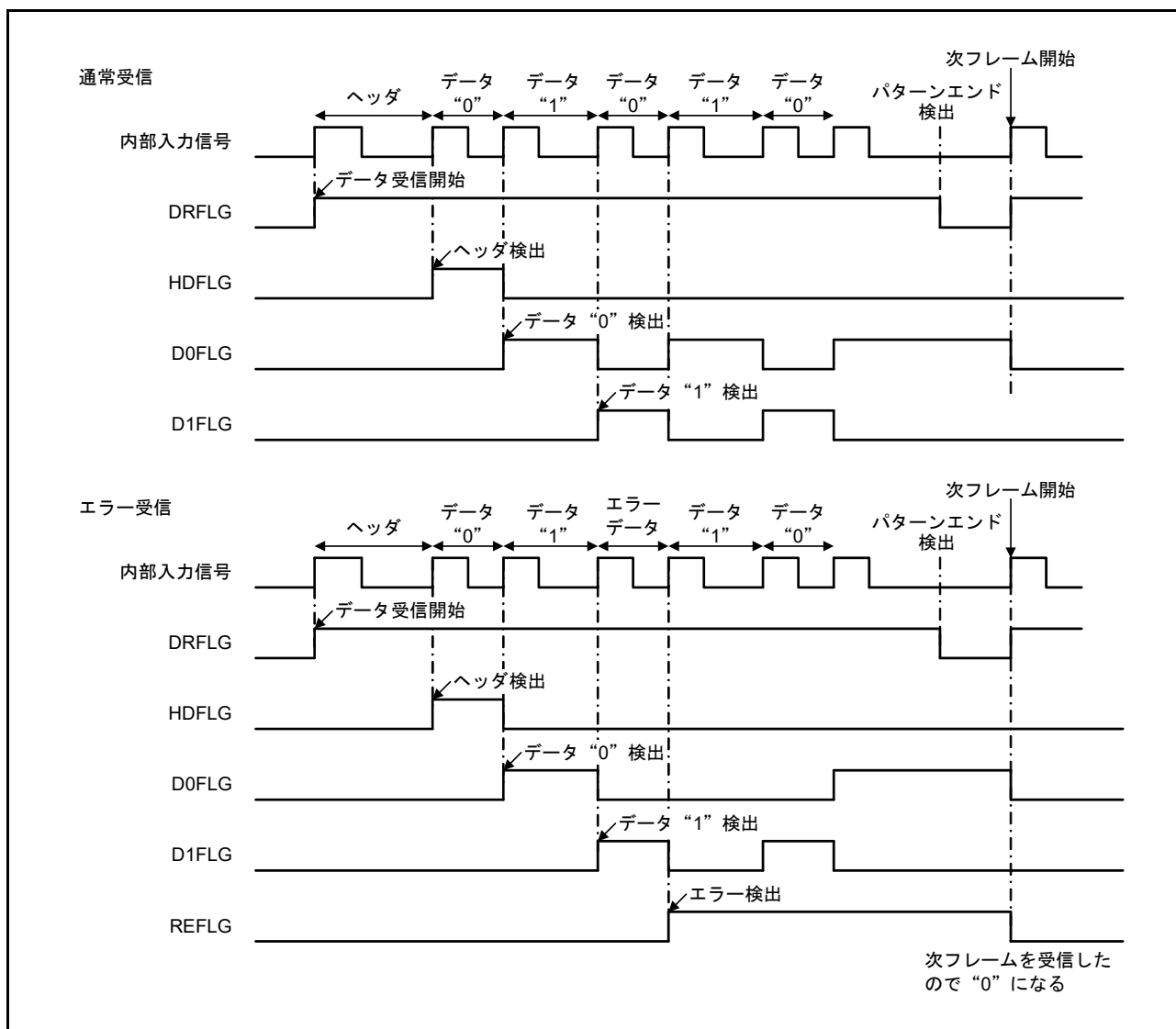


図 46.10 フラグ動作例

46.3.7 パターンエンド

REMSTS.DRFLG フラグが“0”になるタイミングを設定できます。

REMPE レジスタを設定する場合は、
REMPE の値 > HDPMAX、D0PMAX、D1PMAX、SDPMAX の値
となるようにしてください。

REMPE の値 \leq HDPMAX、D0PMAX、D1PMAX、SDPMAX の値
となる場合、REMPE レジスタで REMSTS.DRFLG フラグが“0”になるタイミングを設定できません。こ
の場合、HDPMAX、D0PMAX、D1PMAX、SDPMAX レジスタの内、最も大きい値に設定されたタイミング
でデータ受信完了となります。

図 46.11 に、それぞれのパターンエンド設定時のデータ受信完了フラグ動作について説明します。

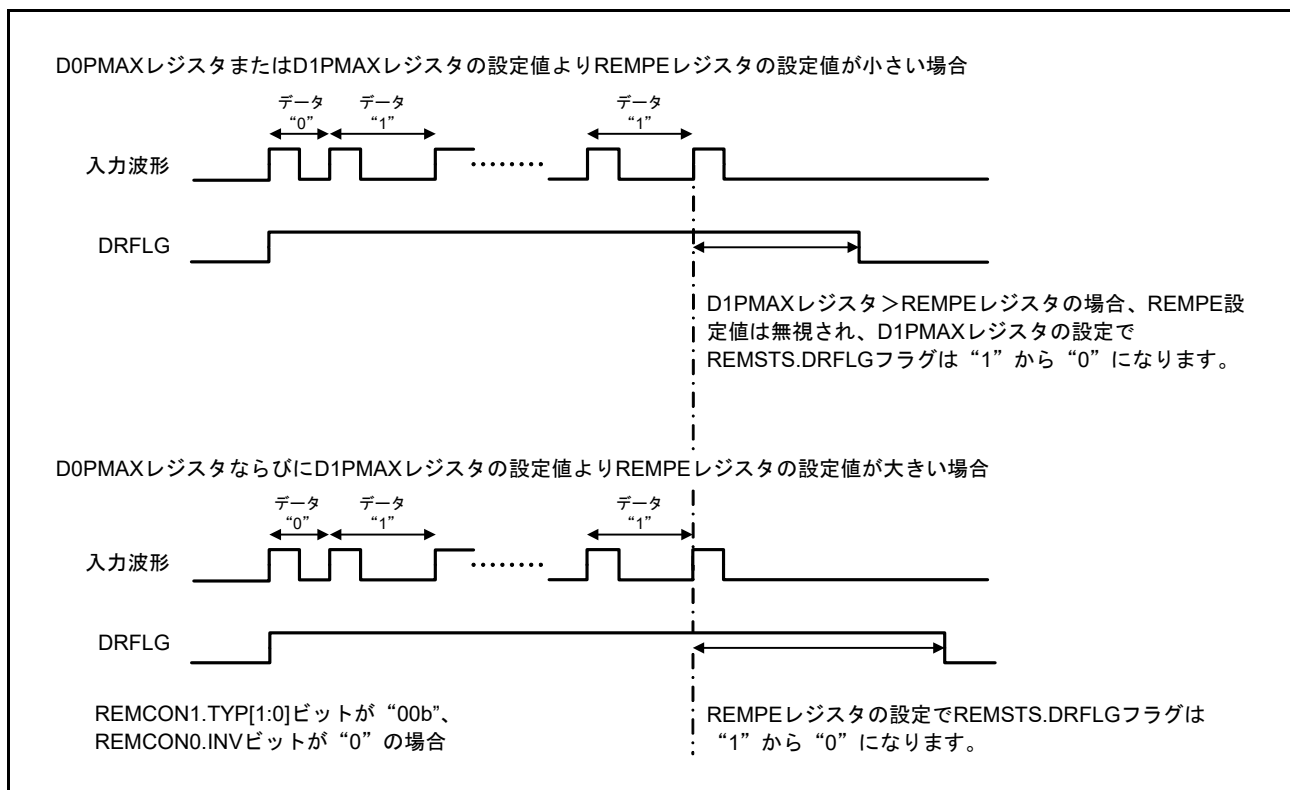


図 46.11 パターンエンド設定時のデータ受信完了フラグ動作説明

46.3.8 受信データバッファ

受信データ j レジスタ (REMDAT j) ($j = 0 \sim 7$) は、受信したデータを格納する 8 バイト (64 ビット) のバッファです。データ “0” パターンまたはデータ “1” パターンを検出すると、図 46.12 に示すように REMDAT0.DAT0[0] ビットから順番に検出結果を格納します。同時に REMRBIT レジスタはカウントアップされるため、REMRBIT レジスタを読み出すことで現在の受信ビット数を知ることができます。受信ビット数とデータ格納場所の関係は表 46.4 を参照してください。なお、REMDAT j 、REMRBIT レジスタはヘッダパターン、特殊データパターンを受信しても変化しません。また、REMDAT j 、REMRBIT レジスタについては、データ更新と読み出しが重なった場合、不定値を読み出すことがあります。

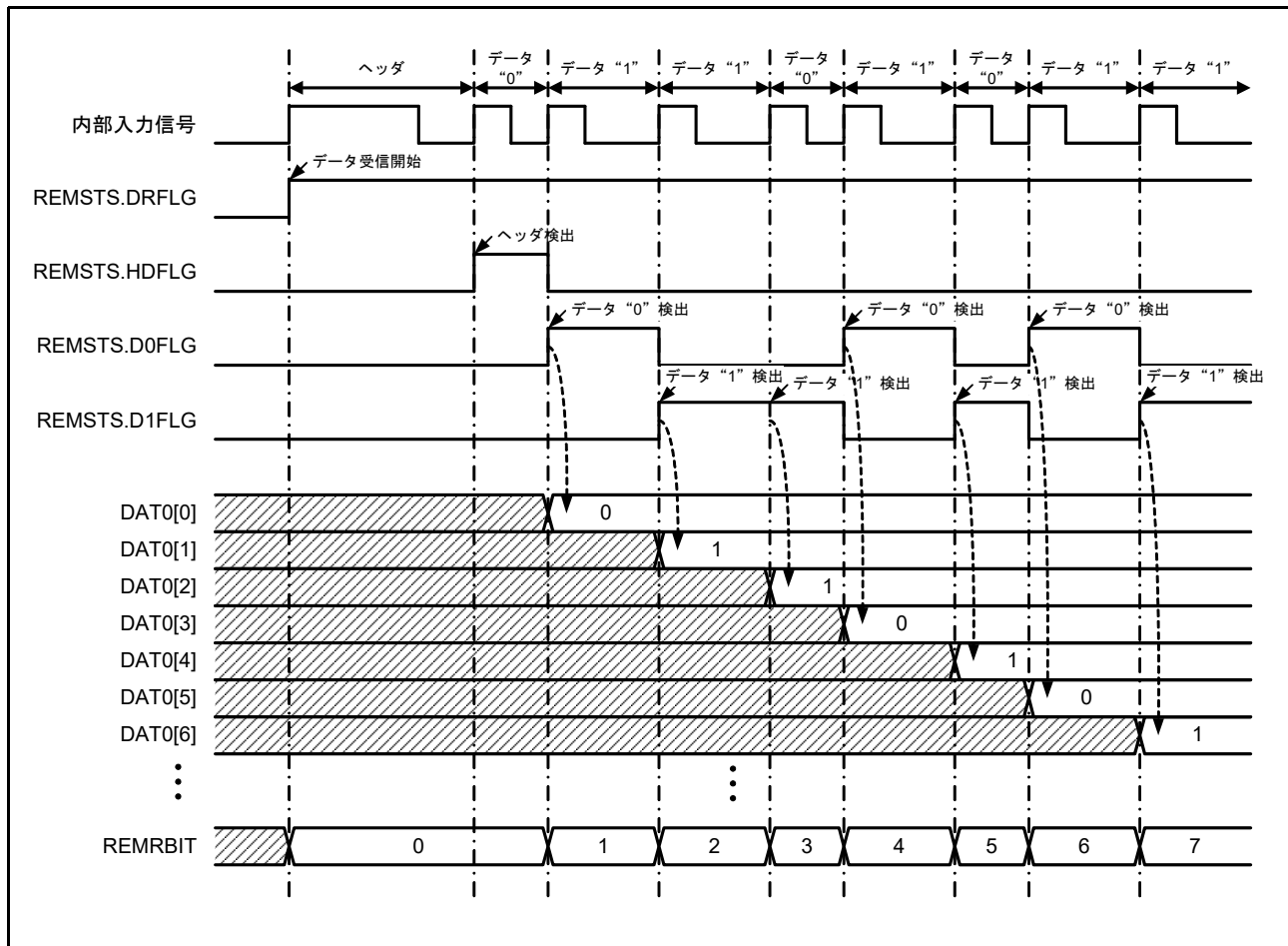


図 46.12 受信データバッファ動作

表46.4 受信ビット数とデータ格納場所の関係

受信ビット数	格納場所	
	レジスタ名	ビット名
1	REMDAT0	DAT0[0]
2		DAT0[1]
3		DAT0[2]
4		DAT0[3]
5		DAT0[4]
6		DAT0[5]
7		DAT0[6]
8		DAT0[7]
9	REMDAT1	DAT1[0]
10		DAT1[1]
11		DAT1[2]
12		DAT1[3]
13		DAT1[4]
14		DAT1[5]
15		DAT1[6]
16		DAT1[7]
17	REMDAT2	DAT2[0]
18		DAT2[1]
19		DAT2[2]
20		DAT2[3]
21		DAT2[4]
22		DAT2[5]
23		DAT2[6]
24		DAT2[7]
25	REMDAT3	DAT3[0]
26		DAT3[1]
27		DAT3[2]
28		DAT3[3]
29		DAT3[4]
30		DAT3[5]
31		DAT3[6]
32		DAT3[7]

受信ビット数	格納場所	
	レジスタ名	ビット名
33	REMDAT4	DAT4[0]
34		DAT4[1]
35		DAT4[2]
36		DAT4[3]
37		DAT4[4]
38		DAT4[5]
39		DAT4[6]
40		DAT4[7]
41	REMDAT5	DAT5[0]
42		DAT5[1]
43		DAT5[2]
44		DAT5[3]
45		DAT5[4]
46		DAT5[5]
47		DAT5[6]
48		DAT5[7]
49	REMDAT6	DAT6[0]
50		DAT6[1]
51		DAT6[2]
52		DAT6[3]
53		DAT6[4]
54		DAT6[5]
55		DAT6[6]
56		DAT6[7]
57	REMDAT7	DAT7[0]
58		DAT7[1]
59		DAT7[2]
60		DAT7[3]
61		DAT7[4]
62		DAT7[5]
63		DAT7[6]
64		DAT7[7]

注. 65ビット目以降は、1ビット目から順に上書きされます。

REMDAT0.DAT0[0] ビットに“0”を書き込んだ場合、動作クロックの1～2サイクル後に REMDAT0～REMDAT7 レジスタの値が“00h”になります。REMDAT0 レジスタに“00h”を書き込んだ際の REMDATj/REMRBIT レジスタの動作説明を図 46.13 に示します。

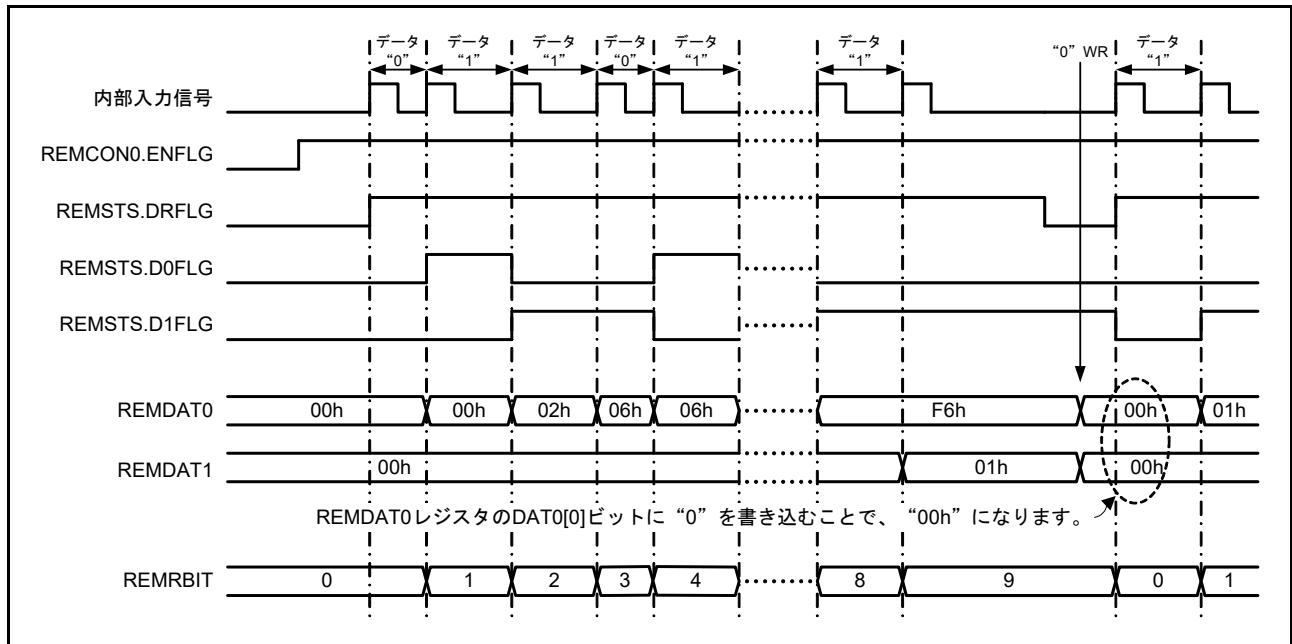


図 46.13 REMDATj/REMRBIT レジスタ動作説明 (REMDAT0 レジスタに“00h”書き込み)

REMRBIT.RBIT[0] ビットに“0”を書き込んだ場合、動作クロックの1～2サイクル後に REMRBIT レジスタの値が“00h”になります。また、REMCON1.TYP[1:0] ビットが“00b”、“10b”の場合、データ受信中にヘッダパターンを検出すると、REMRBIT レジスタは“00h”に初期化され、以降の受信データは REMDAT0.DAT0[0] ビットから順番に上書きされます。図 46.14 にデータ受信中のヘッダパターン検出動作を示します。

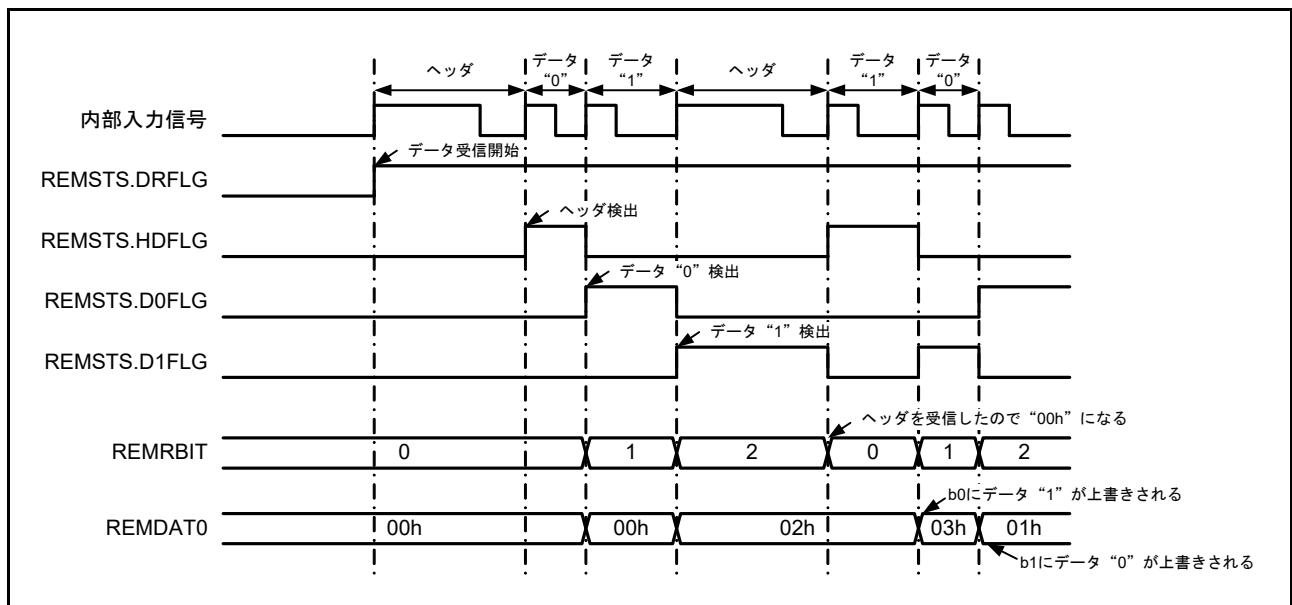


図 46.14 データ受信中のヘッダパターン検出動作

データが 64 ビットを超えると 1 ビット目のデータから順次上書きします。REMSTS.BFULFLG フラグが “1” となるときの REMRBIT レジスタの動作説明を図 46.15 に示します。

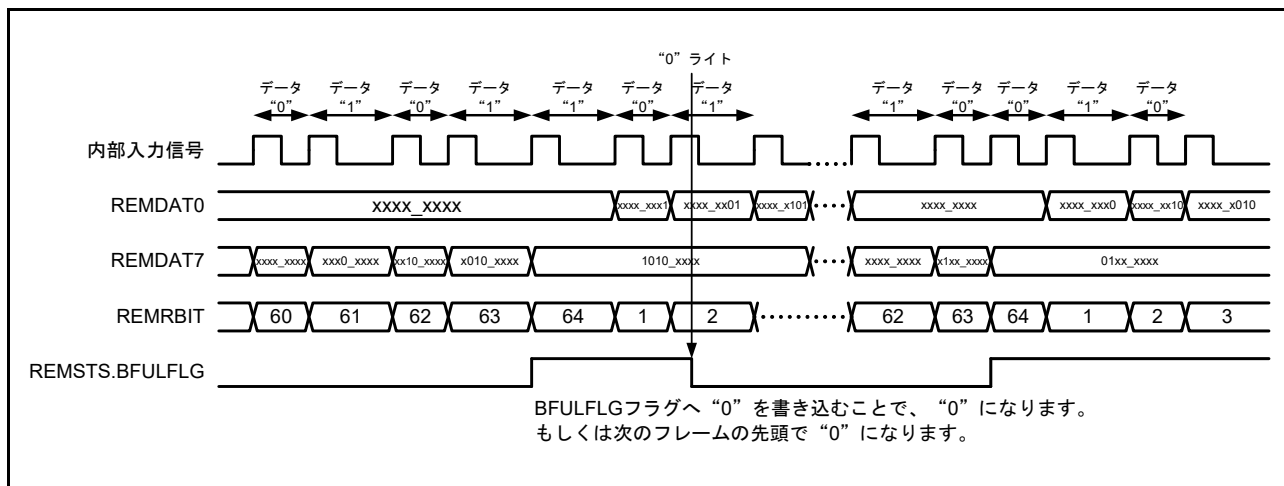


図 46.15 REMRBIT レジスタ動作説明 (REMSTS.BFULFLG フラグが “1” になるとき)

46.3.9 コンペア機能

REMCPCDレジスタとREMDAT1、REMDAT0レジスタの内容を比較します。その結果、リモコン信号の最初の1～16ビットが特定の値であることを検出できます。図46.16に受信バッファとコンペア機能の動作タイミングを示します。

コンペア機能を使用する場合は次のように設定してください。

- REMCPC.CPN[3:0]ビットで比較するビットを選択
(設定値をnとすると、ビットn～ビット0を比較。n:0～15)
- REMCPDレジスタに比較データを設定
REMRBITレジスタがREMCPC.CPN[3:0]ビットで設定したビットになるとき、REMCPCDレジスタとREMDAT1、REMDAT0レジスタの比較結果が一致するとREMSTS.CPFLGフラグが“1”(コンペア一致)になります。

64ビット以上の受信でREMRBITレジスタがREMCPC.CPN[3:0]ビットで設定したビットになるとき、REMCPCDレジスタとREMDAT1、REMDAT0レジスタの比較結果が一致してもREMSTS.CPFLGフラグは“1”(コンペア一致)になりません。

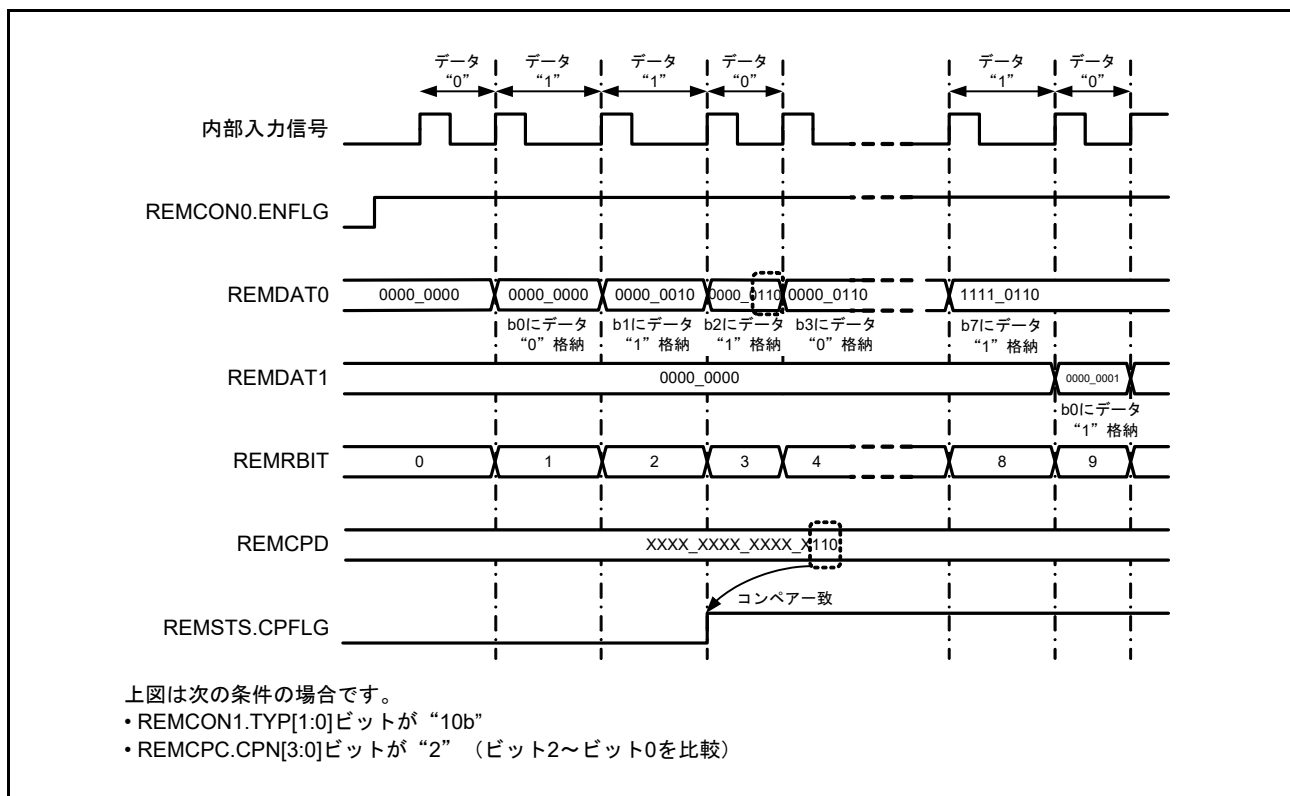


図 46.16 受信バッファとコンペア機能

46.3.10 エラーパターン受信

データ受信中にエラーパターンを検出した場合、REMCON0.EC ビットの設定により、以降の動作が異なります。

REMCON0.EC ビットを“0”にした場合の REMDAT0 レジスタ、REMRBIT レジスタの動作を図 46.17 に示します。REMCON0.EC ビットが“0”でエラーを検出した場合、エラー検出時のデータ取り込みは行いませんが、以降のデータ“0”パターンまたはデータ“1”パターン検出でデータを取り込みます。

REMCON0.EC ビットを“1”にした場合の REMDAT0 レジスタ、REMRBIT レジスタの動作を図 46.18 に示します。REMCON0.EC ビットが“1”でエラーを検出した場合、それ以降のデータ“0”パターンまたはデータ“1”パターンを検出しても、REMRBIT レジスタおよび REMDAT0 ~ REMDAT7 レジスタの値を更新しません。いったん REMSTS.DRFLG がクリアされ、データ受信が完了した後、再度データ受信が開始した場合、REMSTS.REFLG はクリアされ、データ取り込みが行われます。

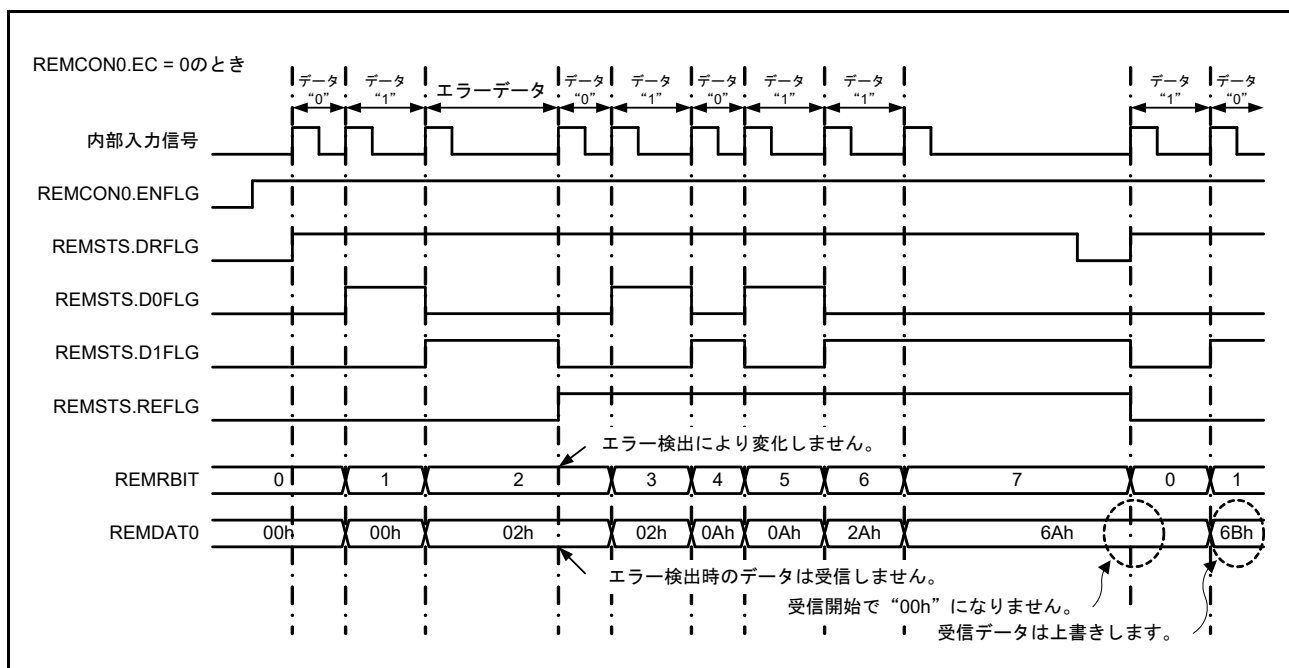


図 46.17 エラー検出時の REMDAT0、REMRBIT レジスタ動作説明 (REMCON0.EC ビット = 0)

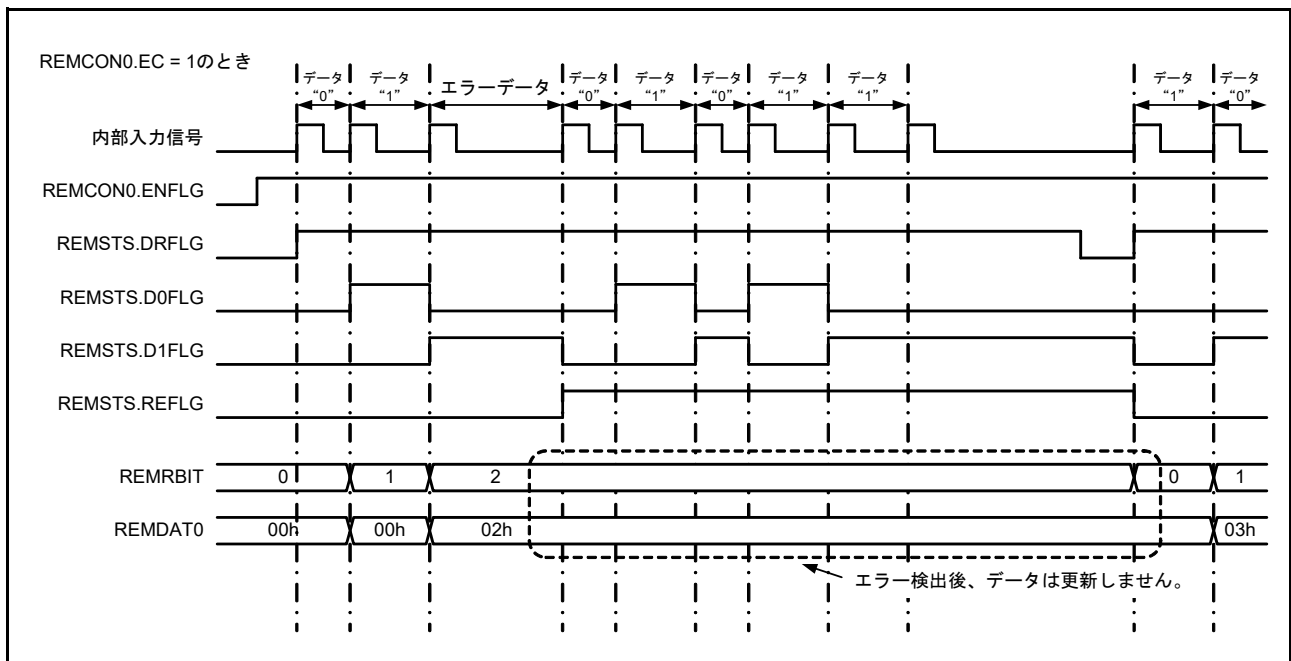


図 46.18 エラー検出時の REMDAT0、REMRBIT レジスタ動作説明 (REMCON0.EC ビット = 1)

46.3.11 パターン検出時のベースタイム値格納

測定結果レジスタ (REMTIM) には、以下のパターンを検出したときのベースタイムの値が格納されます。これにより、各パターン幅を測定することができます。測定機能の動作例を図 46.19 に示します。

- ヘッダパターン
- データ“0”パターン
- データ“1”パターン
- 特殊データパターン
- 上記以外のデータパターン(受信エラー)

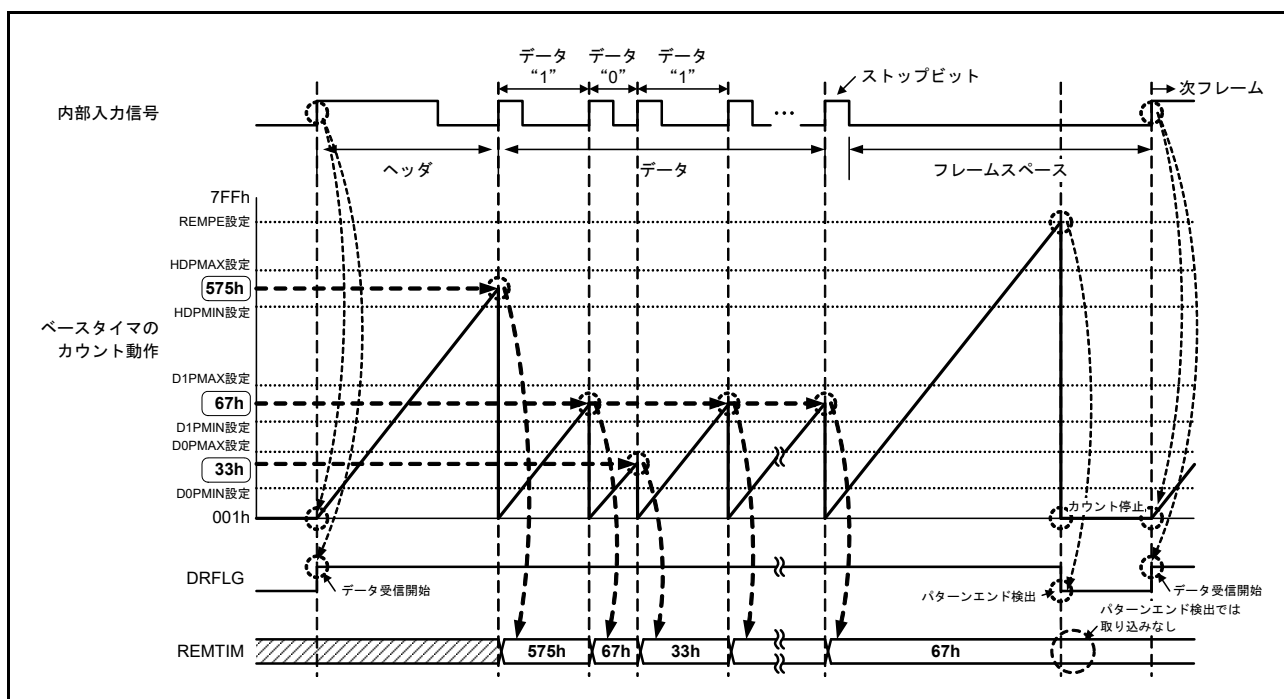


図 46.19 測定機能の動作例

46.3.12 割り込み

REMCの割り込み要因には、コンペアー一致、受信エラー、データ受信完了、受信バッファフル、ヘッダパターン一致、データ“0”パターンまたはデータ“1”パターン一致、特殊データパターン一致の7つあります。これらの割り込み要因は、すべて1つのベクタ番号に割り付けられています。

表46.5にREMCの割り込み要因を、表46.6に割り込みモードとREMCIO割り込み要求発生条件を示します。

ノーマル割り込みモードでは、REMINTレジスタの対応する割り込み許可ビットが“1”になっている割り込み要因の内、いずれかの割り込み要求発生条件が成立すると、REMCIO割り込み要求が出力されます。

シーケンシャル割り込みモードでは、コンペアー一致、データ受信完了、ヘッダパターン一致、特殊データパターン一致の4つの割り込み要因に対するREMCIO割り込み要求発生条件が異なります。これら4つの割り込み要因の内、REMINTレジスタの対応する割り込み許可ビットが“1”になっている要因すべての割り込み要求発生条件が成立するか、その他の割り込み要因の内、REMINTレジスタの対応する割り込み許可ビットが“1”になっている要因のいずれかの割り込み要求発生条件が成立すると、REMCIO割り込み要求が出力されます。

割り込み制御の詳細は「15. 割り込みコントローラ(ICUE)」を参照してください。

表46.5 REMCの割り込み要因

割り込み要因	ステータスフラグ	割り込み許可ビット	各割り込み要求発生条件
コンペアー一致	REMSTS.CPFLG	REMINT.CPINT	REMSTS.CPFLGフラグが“0”から“1”になるとき
受信エラー	REMSTS.REFLG	REMINT.REINT	REMSTS.REFLGフラグが“0”から“1”になるとき (受信エラーを検出したとき)
データ受信完了	REMSTS.DRFLG	REMINT.DRINT	REMSTS.DRFLGフラグが“1”から“0”になるとき
受信バッファフル	REMSTS.BFULFLG	REMINT.BFULINT	REMSTS.BFULFLGフラグが“0”から“1”になるとき
ヘッダパターン一致	REMSTS.HDFLG	REMINT.HDINT	REMSTS.HDFLGフラグが“0”から“1”になるとき (ヘッダパターンを検出したとき)
データ“0”パターンまたはデータ“1”パターン一致	REMSTS.D0FLG, REMSTS.D1FLG	REMINT.DINT	<ul style="list-style-type: none"> REMSTS.D0FLGフラグが“0”から“1”になるとき (データ“0”パターンを検出したとき) REMSTS.D1FLGフラグが“0”から“1”になるとき (データ“1”パターンを検出したとき)
特殊データパターン一致	REMSTS.SDFLG	REMINT.SDINT	REMSTS.SDFLGフラグが“0”から“1”になるとき (特殊データパターンを検出したとき)

表46.6 REMCの割り込みモードとREMCIO割り込み要求発生条件

項目	割り込みモード	
	ノーマル割り込みモード	シーケンシャル割り込みモード
ビット設定	REMCON1.INTMDビット=0	REMCON1.INTMDビット=1
REMCIO割り込み要求発生条件	下記の7つの割り込み要因の内、割り込みを許可した要因のいずれかに対し割り込み要求発生条件が成立 <ul style="list-style-type: none"> コンペアー一致 受信エラー データ受信完了 受信バッファフル ヘッダパターン一致 データ“0”またはデータ“1”パターン一致 特殊データパターン一致 	下記の4つの割り込み要因の内、割り込みを許可した要因のすべてに対し割り込み要求発生条件が成立 <ul style="list-style-type: none"> コンペアー一致 データ受信完了 ヘッダパターン一致 特殊データパターン一致 または、下記の3つの割り込み要因の内、割り込みを許可した要因のいずれかに対し割り込み要求発生条件が成立 <ul style="list-style-type: none"> 受信エラー 受信バッファフル データ“0”またはデータ“1”パターン一致

46.3.13 低消費電力状態でのデータ受信動作

REMCoは、低消費電力状態(スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード)でデータ受信を行うことができます。

低消費電力状態でデータ受信を行う場合は、低消費電力状態に移る前にREMCoの通信設定を行う必要があります。

46.3.13.1 REMCo 割り込み要求による低消費電力状態からの復帰

データ受信時に生成されるREMCo割り込み要求を低消費電力状態からの復帰要因として使用することで、データ受信待機時の消費電力を低減することができます(図46.20参照)。パターン検出、コンペア機能などにより、特定のデータを受信したときのみ低消費電力状態から復帰させることもできます。

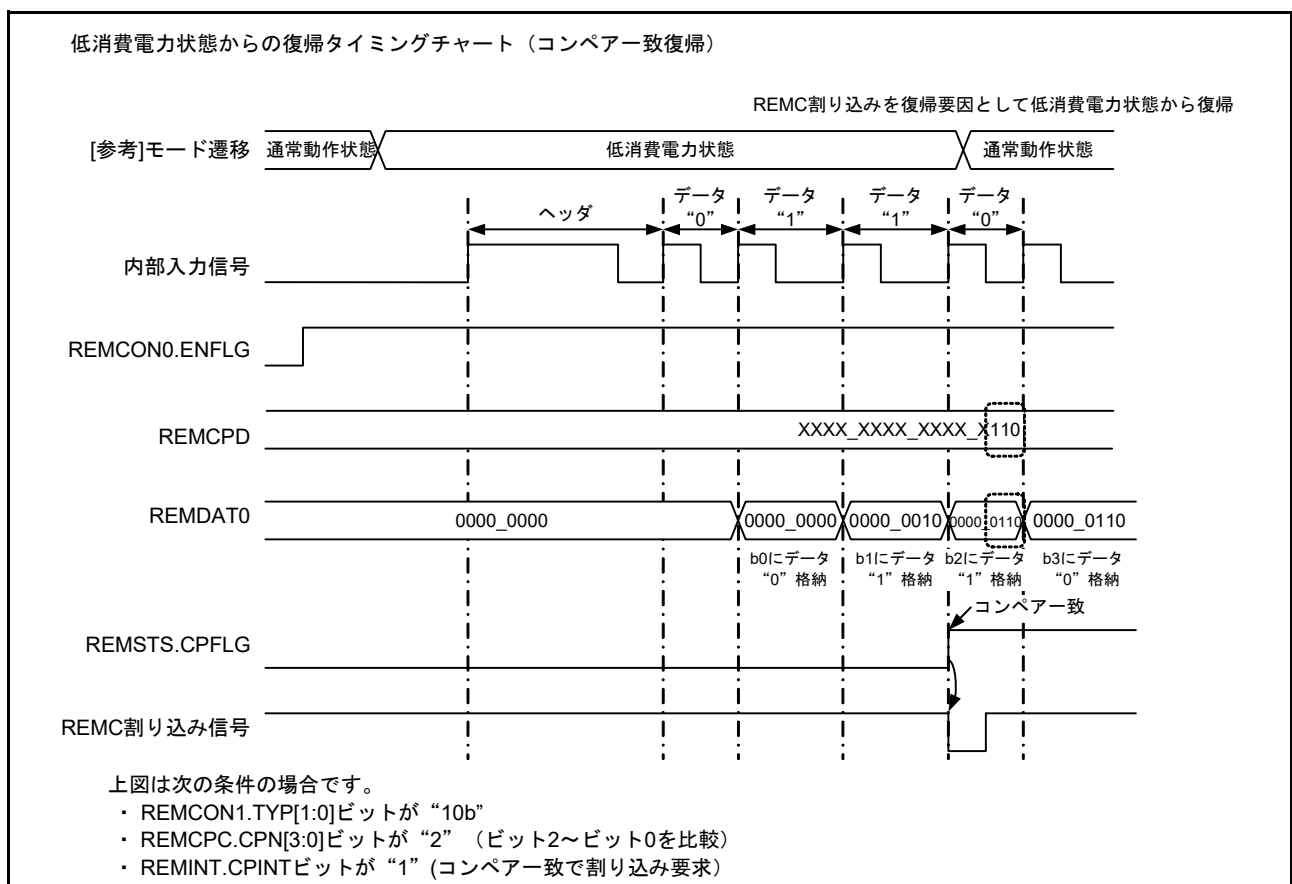


図 46.20 REMCo 割り込みによる低消費電力状態からの復帰動作 (ノーマル割り込みモードの場合)

46.3.13.2 ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイでのデータ受信動作

REMC動作クロックにサブクロックを選択したときは、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでデータ受信を行うことができます。

ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードでデータ受信を行う場合、RCR3.RTCENビットを“1”に設定し、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード中でも継続してREMC動作クロックにサブクロックを供給してください。REMC動作クロックの供給方法については、「46.3.4 動作クロック」を参照してください。

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードからの復帰には、データ受信時に生成されるREMC割り込み要求の発生条件と割り込みモードによる出力条件を選択してください。パターン検出、コンペア機能などにより、特定のデータを受信したときのみソフトウェアスタンバイモードから復帰させることができます。

ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードでのデータ受信設定フロー例を図46.21に示します。

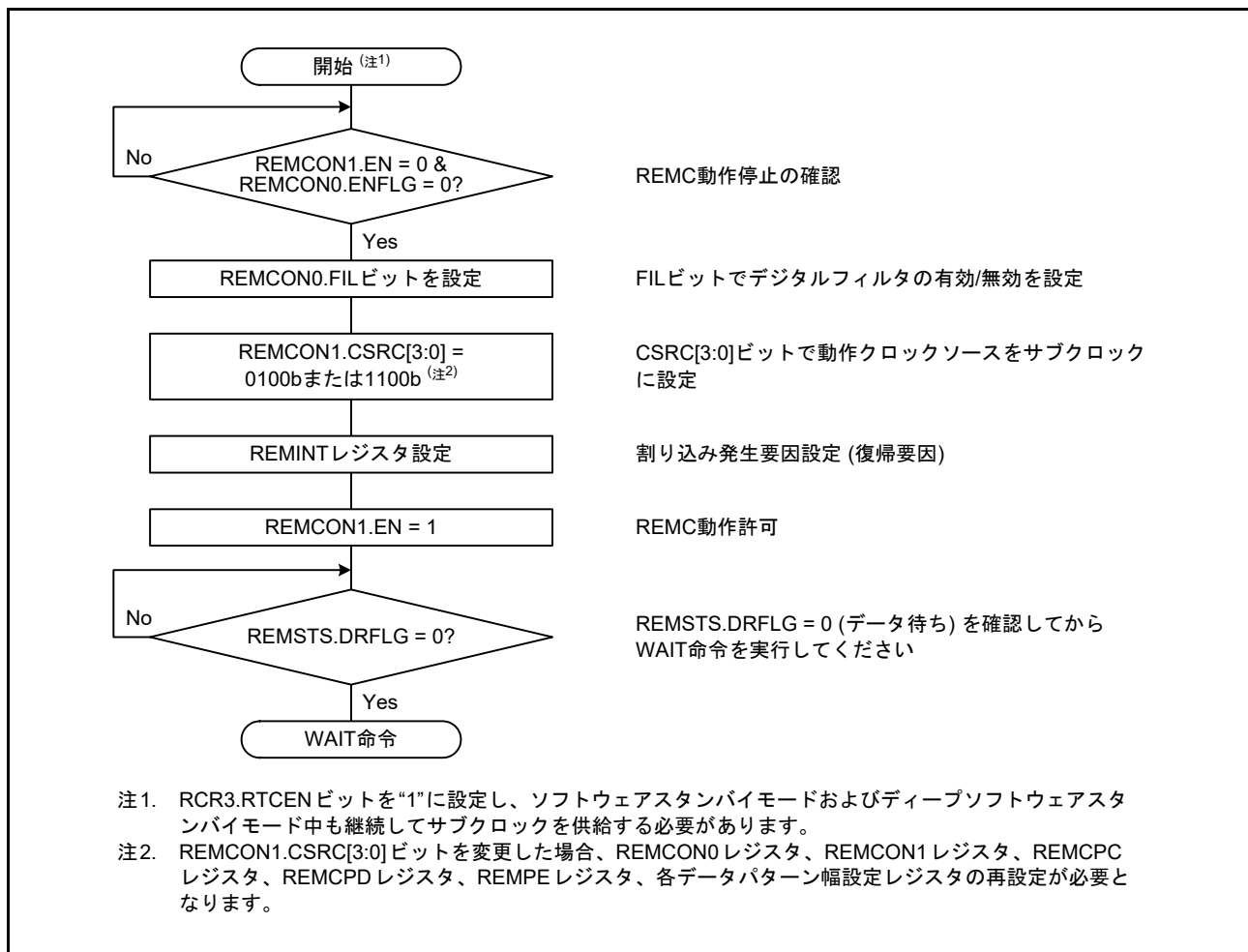


図 46.21 ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードでのデータ受信設定フロー

46.4 使用上の注意事項

46.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、REMCの動作禁止/許可を設定することが可能です。リセット後、REMCの動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

46.4.2 周辺モジュールクロックとREMC動作クロックの設定

周辺モジュールクロック周波数(PCLKB) > REMC動作クロック周波数となるように設定してください。

46.4.3 リモコン信号受信機能の動作開始、停止

REMC0.EN ビットは、リモコン信号受信機能の動作開始または停止を制御するビットです。REMC0.ENFLG フラグは動作の開始・停止したことを示すフラグです。REMC0.EN ビットを“1”(動作許可)にするとREMC回路が動作を開始し、REMC0.ENFLG フラグが“1”になるまで、最大で動作クロックの0~1サイクルかかります。この間、REMC0.ENFLG フラグを除くREMC関連レジスタ(46.2.1~46.2.20に示したレジスタ)をアクセスしないでください。

46.4.4 レジスタアクセス

以下のレジスタはREMC0.EN ビットと、REMC0.ENFLG フラグがともに“0”(REMC停止)のときに変更してください。

- REMC0 レジスタ
- REMC1 レジスタ (ビット0~2を除く)
- REMINT レジスタ (ビット2,5を除く)
- REMCPC レジスタ
- REMCPD レジスタ
- ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターンのパターン幅設定レジスタ
- パターンエンド設定レジスタ

REMC0.EN ビット、またはREMC0.ENFLG フラグが“1”(REMC動作)のときにREMC0.TYP[1:0] ビットを書き換える場合、1ビットごとに値を変更してください。またREMC0.INFLG フラグの切り替わり時に本ビットを書き換えるとリモコン信号受信機能に取り込まれる信号は不定となる場合があります。

REMC0、REMRBIT レジスタのビット0もしくはREMC0.BFULFLG フラグに“0”を書き込んだ後に、再度同一ビットに“0”を書き込む際には動作クロック2サイクル間は書き込まないでください。REMC0.INFLG フラグの切り替わり時に“0”を書き込んだ場合は、REMC0j、REMRBIT レジスタ、REMC0.BFULFLG フラグは不定となる場合があります。

46.4.5 PMCO 入力制御

REMC0.FILSEL、FIL、INV ビットを書き換えた場合、デジタルフィルタのサンプリングクロックの3サイクルの間、リモコン信号受信機能に取り込まれる信号は不定です。

46.4.6 動作クロック変更時の注意事項

REMCN1.CSRC[3:0] ビットを書き換えた場合、REMCN0、REMCN1、REMINT、REMCPC、REMCPCD、REMPE レジスタ、ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターン幅設定レジスタを再度設定してください。

46.4.7 レジスタ読み出し手順

次のレジスタのデータが変化するタイミングで読み出すと、不定値を読み出すことがあります。

REMCN0、REMSTS レジスタの各フラグ (REMSTS.DRFLG フラグを除く)、REMTIM、REMDAT0 ~ REMDAT7、REMRBIT レジスタ

このタイミングを避けるため、これらのレジスタは以下に示す方法で読み出してください。

- 割り込みを使用する方法
REMINT.DRINT ビットを“1”(データ受信完了割り込み許可)にしておき、REMC 割り込みルーチン内で読み出す
- プログラムで監視する方法 1
REMINT.DRINT ビットを“1”(データ受信完了割り込み許可)にしておき、プログラムで ICU.IRn.IR フラグを監視し、“1”(割り込み要求発生)になったら読み出す
- プログラムで監視する方法 2
 - (1) REMSTS.DRFLG フラグを監視する
 - (2) REMSTS.DRFLG フラグが“1”になったら、“0”になるまで監視する
 - (3) REMSTS.DRFLG フラグが“0”になったら、必要な内容を読み出す

47. 静電容量式タッチセンサ (CTSUa)

静電容量式タッチセンサユニット (CTSU: Capacitive Touch Sensing Unit) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が電極に接触しません。

図 47.1 に示すように、電極と周囲の導電体との間には静電容量 (寄生容量) が存在します。人体も導電体ですので、電極に指が近づくと静電容量の値が増加します。

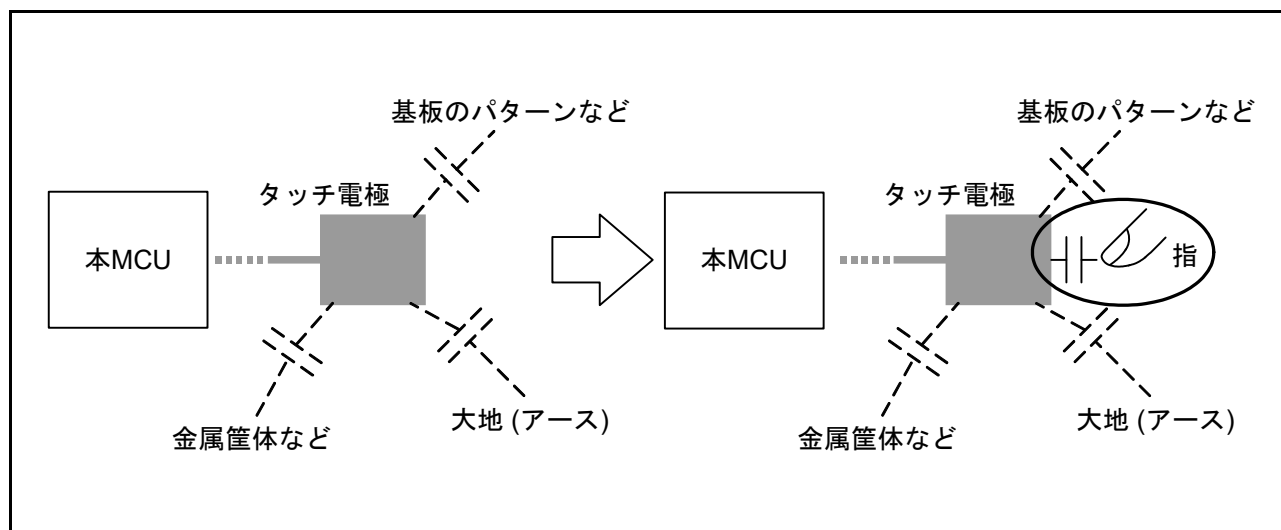


図 47.1 指による静電容量の増加

静電容量の検出方式には自己容量方式と相互容量方式があります。

自己容量方式では、指とひとつの電極との間に生じる静電容量を検出します。一方、相互容量方式は、二つの電極を送信電極と受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出する方式です。

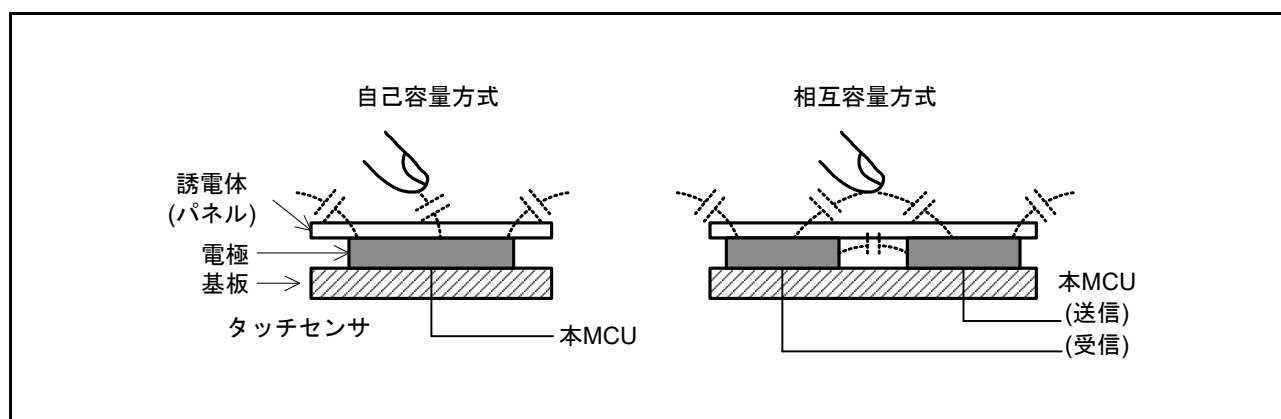


図 47.2 自己容量方式と相互容量方式

静電容量の測定は、充放電電流の量に応じて周波数が変化するクロック信号を一定の時間カウントすることにより行います。

CTSU の計測動作原理については、「47.3.1 計測動作原理」を参照してください。

本章に記載している PCLK とは PCLKB を指します。

47.1 概要

表 47.1 に CTSU の仕様を、図 47.3 に CTSU のブロック図を示します。

表 47.1 CTSU の仕様

項目	内容	
動作クロック	PCLK、PCLK/2またはPCLK/4	
端子	TS0 ~ TS16	静電容量計測端子(17チャンネル)
	TSCAP	LPF (Low-pass filter) 接続用端子
計測モード	自己容量シングルスキャンモード	自己容量方式による任意の1チャンネルの静電容量を計測
	自己容量マルチスキャンモード	自己容量方式による任意の複数チャンネルの静電容量を連続して計測
	相互容量フルスキャンモード	相互容量による任意の複数チャンネルの静電容量を連続して計測
ノイズ対策	同期系ノイズ対策、高域ノイズ対策	
計測開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 外部トリガ(イベントリンクコントローラ(ELC)からのイベント入力) 	

CTSU は、図 47.3 に示すようにステータス制御部、トリガ制御部、クロック制御部、チャンネル制御部、ポート制御部、センサドライブパルス生成部、計測部、割り込み部、制御レジスタで構成されます。

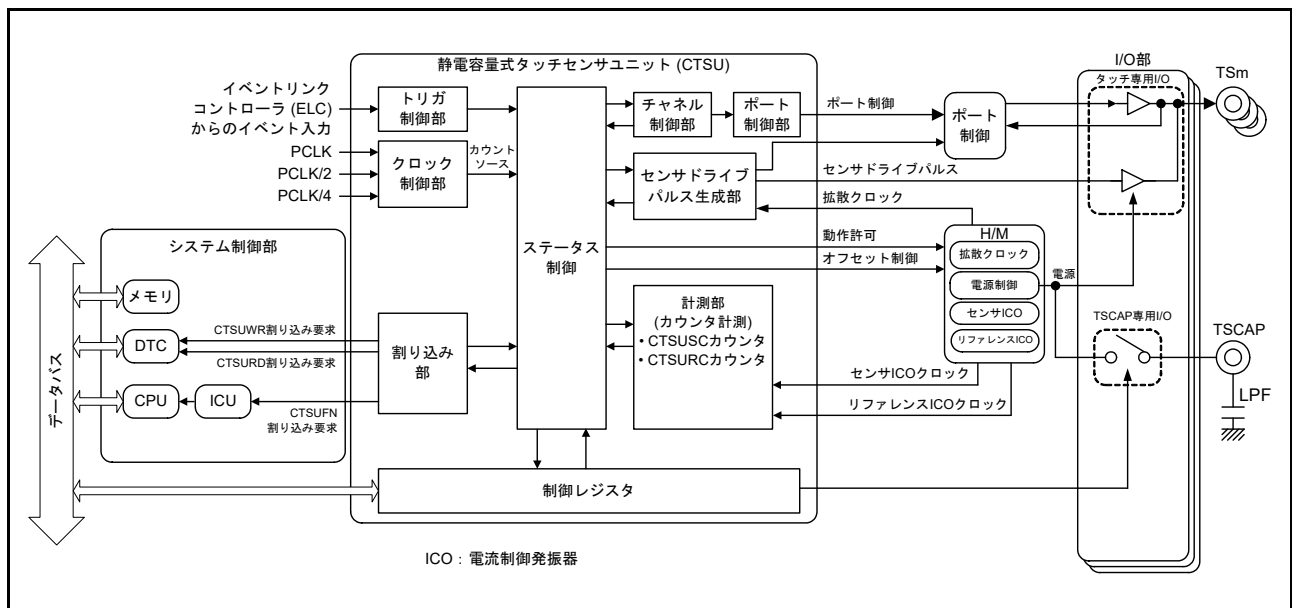


図 47.3 CTSU のブロック図 (m = 0 ~ 16)

表 47.2 CTSU の入出力端子

端子名	入出力	機能
TS0 ~ TS16	入出力	静電容量計測端子(タッチ端子)
TSCAP	—	LPF 接続用端子

47.2 レジスタの説明

47.2.1 CTSU 制御レジスタ 0 (CTSUCR0)

アドレス CTSU.CTSUCR0 000A 0900h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUTXVSEL	—	—	CTSUI NIT	CTSUI OC	CTSUS NZ	CTSUC AP	CTSUS TRT

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUSTRT	CTSU計測動作開始ビット	0: 計測動作停止 1: 計測動作開始	R/W
b1	CTSUCAP	CTSU計測動作開始トリガ選択ビット	0: ソフトウェアトリガ 1: 外部トリガ	R/W
b2	CTSUSNZ	CTSU待機時省電力有効ビット	0: 待機時省電力機能無効 1: 待機時省電力機能有効	R/W
b3	CTSUIOC	CTSU送信端子制御ビット	0: TS端子からLow出力 1: TS端子からHigh出力	R/W
b4	CTSUIINIT	CTSU制御部初期化ビット	"1"を書くとCTSU制御部とレジスタが初期化されます(注1)。読むと"0"が読めます	R/W
b6-b5	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b7	CTSUTXVSEL	CTSU送信電源選択ビット(注2)	0: VCCを選択 1: 内部ロジック電源を選択	R/W

注1. CTSUSC、CTSURC、CTSUMCH0、CTSUMCH1、CTSUSTの各レジスタが初期化されます。

注2. 相互容量フルスキャンモードのときのみ"1"にできます。それ以外の場合(自己容量シングルスキャンモードや自己容量マルチスキャンモードを使用する場合は)は"0"にしてください。

CTSUCAP ビット、CTSUSNZ ビット、CTSUTXVSEL ビットは、CTSUSTRT ビットが"0"のときに設定してください。なお、CTSUSTRT ビットを"1"にするのと同時に設定するのは問題ありません。

CTSUSTRT ビット (CTSU 計測動作開始ビット)

計測動作開始 / 停止を指定します。

CTSUCAP ビットが"0"(ソフトウェアトリガ)のとき、CTSUSTRT ビットを"1"にすると計測が開始され、計測終了時には自動的に"0"になります。

CTSUCAP ビットが"1"(外部トリガ)のとき、CTSUSTRT ビットを"1"にすると、外部トリガの待機状態となり、外部トリガの立ち上がりで計測を開始します。計測が終了したら、次の外部トリガの待機状態となり動作が継続されます。

CTSU の状態を、表 47.3 に示します。

表47.3 CTSUの状態

CTSUSTRT ビット	CTSUCAP ビット	CTSUの状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中 / 外部トリガ待ち(注1)

注1. CTSUST.CTSUSTC[2:0]フラグで状態を判断できます。

計測中: CTSUST.CTSUSTC[2:0]フラグ≠000b

外部トリガ待ち: CTSUST.CTSUSTC[2:0]フラグ = 000b

CTSUSTRT ビットが“1”のとき、CTSUSTRT ビットに“1”を上書きした場合は、書き込みは無視され動作は継続されます。

CTSUSTRT ビットが“1”のとき、計測動作を強制的に終了させたい場合(強制終了)は、CTSUSTRT ビットを“0”にするのと同時に CTSUINIT ビットを“1”にしてください。

CTSUCAP ビット (CTSU 計測動作開始トリガ選択ビット)

計測開始条件を指定します。詳細は CTSUSTRT ビットを参照してください。

CTSUSNZ ビット (CTSU 待機時省電力有効ビット)

待機時省電力動作の有効/無効を選択します。また本ビットにより、CTSU 電源はサスペンド状態となり、待機状態の低電力化が可能になります。

サスペンド状態は、CTSU 電源が起動し、外部 TSCAP が充電された後、充電を保ったまま CTSU 電源が OFF された状態です。

表47.4 CTSU 電源状態制御

CTSUCR1.CTSUPON ビット	CTSUSNZ ビット	CTSUCAP ビット	CTSUSTRT ビット	CTSU 電源の状態
0	0	0	0	停止
1	0	—	—	動作状態
1	1	0	0	サスペンド状態

注. 上記以外は設定しないでください。

サスペンド状態から計測を開始する場合は、CTSUSNZ ビットに“0”を設定した後 16 μ s 待ってから、CTSUSTRT ビットに“1”を設定してください。計測終了後、再びサスペンド状態にするときは、CTSUSNZ ビットに“1”を設定してください。

CTSUIOC ビット (CTSU 送信端子制御ビット)

CTSUERRS.CTSUTSOD ビットを“1”にした場合に、TS 端子から出力するレベルを選択します。

CTSUTSOD ビットを“0”にした場合、このビットは無視されます。

CTSUINIT ビット (CTSU 制御部初期化ビット)

本ビットに“1”を設定することで内部制御レジスタを初期化できます。動作中に強制終了させる場合は、CTSUSTRT ビットを“0”にするのと同時に CTSUINIT ビットを“1”にしてください。この場合は動作が停止し、内部制御レジスタが初期化されます。

CTSUSTRT ビットを“1”(CTSU 動作開始)にするのと同時に CTSUINIT ビットを“1”にしないでください。

CTSUTXVSEL ビット (CTSU 送信電源選択ビット)

相互容量フルスキャンモード時の送信バッファの電源を切り替えるビットです。相互容量フルスキャンモード以外のモードを使用する場合は“0”にしてください。

CTSUCHTRCn レジスタで“1”(送信)に設定した端子に対して、タッチ I/O の電源を切り替えます。表 47.5 に TSm 端子に供給される電源を示します。

出力バッファのスイッチングによる VCC の電圧変動が大きいときは、内部ロジック電源に切り替えることにより、電圧変動の影響を抑えることができます。

表 47.5 TSm端子に供給される電源

CTSUCHTRCnレジスタの設定	CTSUTXVSELビット	TSm端子の電源
0 (受信)	0 (VCC)	VCC
	1 (内部ロジック電源)	
1 (送信)	0 (VCC)	内部ロジック電源
	1 (内部ロジック電源)	

47.2.2 CTSU 制御レジスタ 1 (CTSUCR1)

アドレス CTSU.CTSUCR1 000A 0901h

	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUMD[1:0]	CTSUCLK[1:0]	CTSUA TUNE1	—	CTSUC SW	CTSUC ON		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUPON	CTSU電源供給許可ビット	0 : 電源 OFF 1 : 電源 ON	R/W
b1	CTSUCSW	CTSU LPF 容量充電制御ビット	0 : 容量スイッチ OFF 1 : 容量スイッチ ON	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	CTSUA TUNE1	CTSU 電源能力調整ビット	0 : 通常出力 1 : 高出力	R/W
b5-b4	CTSUCLK[1:0]	CTSU 動作クロック選択ビット	b5 b4 0 0 : PCLK 0 1 : PCLK/2 (PCLKを2分周したクロック) 1 0 : PCLK/4 (PCLKを4分周したクロック) 1 1 : 設定しないでください	R/W
b7-b6	CTSUMD[1:0]	CTSU 計測モード選択ビット	b7 b6 0 0 : 自己容量シングルスキャンモード 0 1 : 自己容量マルチスキャンモード 1 0 : 設定しないでください 1 1 : 相互容量フルスキャンモード	R/W

CTSUCR1 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUPON ビット (CTSU 電源供給許可ビット)

CTSU の電源制御を行います。CTSUPON ビットと CTSUCSW ビットは、同時に同値を設定してください。

CTSUCSW ビット (CTSU LPF 容量充電制御ビット)

TSCAP 端子に接続される LPF 容量の充電制御 (容量スイッチの ON/OFF) を行います。

容量スイッチを ON にしてから TSCAP 端子に接続している容量が充電されるまで、一定時間待った後、計測を開始 (CTSUCR0.CTSUSTRT = 1) してください。計測に先立って、I/O ポートで TSCAP 端子に Low を出力し、すでに充電されている LPF 容量を放電してください。また CTSUPON ビットと CTSUCSW ビットは、同時に同値を設定してください。

CTSUA_TUNE1 ビット (CTSU 電源能力調整ビット)

CTSU の電源能力を設定します。通常は、“0”を設定してください。

CTSUA_CLK[1:0] ビット (CTSU 動作クロック選択ビット)

CTSU の動作クロックを選択します。

CTSUA_MD[1:0] ビット (CTSU 計測モード選択ビット)

CTSU の計測モードを設定します。詳細は、「47.3.2 計測モード」を参照してください。

47.2.3 CTSU 同期ノイズ低減設定レジスタ (CTSUSDPRS)

アドレス CTSU.CTSUSDPRS 000A 0902h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	CTSUSOFF	CTSUPRMODE[1:0]	CTSUPRRATIO[3:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUPRRATIO[3:0]	CTSU 計測時間、計測パルス数調整ビット	推奨設定値 : 3 (0011b)	R/W
b5-b4	CTSUPRMODE[1:0]	CTSU 基本周期、基本パルス数設定ビット	b5 b4 0 0 : 510パルス 0 1 : 126パルス 1 0 : 62パルス (推奨設定値) 1 1 : 設定禁止	R/W
b6	CTSUSOFF	CTSU 高域ノイズ低減機能 OFF 設定ビット	0 : 高域ノイズ低減機能 ON 1 : 高域ノイズ低減機能 OFF	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CTSUSDPRS レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUPRRATIO[3:0] ビット (CTSU 計測時間、計測パルス数調整ビット)

計測時間、計測パルス数を決定します。計測時間、計測パルス数は以下の式で計算できます。

基本パルスは、CTSUPRMODE[1:0] ビットによって決定されます。

計測パルス数 = 基本パルス数 × (CTSUPRRATIO[3:0] ビット + 1)

計測時間 = (基本パルス数 × (CTSUPRRATIO[3:0] ビット + 1) + (基本パルス数 - 2) × 0.25) × ベースクロック周期

注. ベースクロック周期については、「47.2.17 CTSU センサオフセットレジスタ 1 (CTSUSO1)」を参照してください。

CTSUPRMODE[1:0] ビット (CTSU 基本周期、基本パルス数設定ビット)

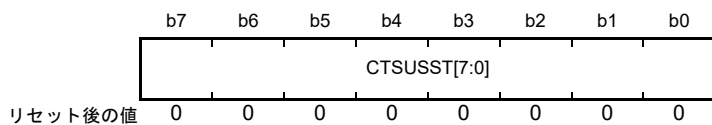
計測における、基本パルス数を選択します。

CTSUSOFF ビット (CTSU 高域ノイズ低減機能 OFF 設定ビット)

高域ノイズを低減する機能の ON/OFF を設定します。高域ノイズ低減機能を OFF するときは本ビットに“1”を設定してください。

47.2.4 CTSU センサ安定待ち時間レジスタ (CTSUSST)

アドレス CTSU.CTSUSST 000A 0903h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUSST[7:0]	CTSUセンサ安定待ち時間制御ビット	固定値“00010000b”を設定してください	R/W

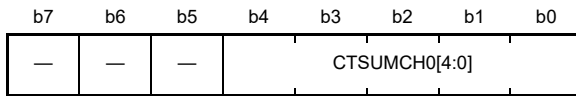
CTSUSST レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUSST[7:0] ビット (CTSU センサ安定待ち時間制御ビット)

TSCAP 端子の電圧の安定待ち時間を設定します。固定値“00010000b”を設定してください。本ビットが設定されない場合、計測開始時の TSCAP 電圧が不安定となり、正しいタッチ計測結果が得られません。

47.2.5 CTSU 計測チャンネルレジスタ 0 (CTSUMCH0)

アドレス CTSU.CTSMCH0 000A 0904h



リセット後の値 0 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b4-b0	CTSUMCH0[4:0]	CTSU計測チャンネル0ビット	<ul style="list-style-type: none"> • 自己容量シングルスキャンモード <li style="margin-left: 20px;">b4 b0 <li style="margin-left: 20px;">0 0 0 0 0 : TS0 <li style="margin-left: 20px;">0 0 0 0 1 : TS1 <li style="margin-left: 20px;"> : <li style="margin-left: 20px;">0 1 1 1 1 : TS15 <li style="margin-left: 20px;">1 0 0 0 0 : TS16 上記以外：設定後の計測動作開始 (CTSUCR0.CTUSUSTRT ビット = 1)は禁止 • 自己容量シングルスキャン以外の計測モード <li style="margin-left: 20px;">b4 b0 <li style="margin-left: 20px;">0 0 0 0 0 : TS0 <li style="margin-left: 20px;">0 0 0 0 1 : TS1 <li style="margin-left: 20px;"> : <li style="margin-left: 20px;">0 1 1 1 1 : TS15 <li style="margin-left: 20px;">1 0 0 0 0 : TS16 <li style="margin-left: 20px;">1 1 1 1 1 : 計測停止中 	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 自己容量シングルスキャンモード(CTSUCR1.CTSMUMD[1:0]ビット = 00b)時のみ、書き込み可能です。

CTSUMCH0 レジスタは、CTSUCR0.CTUSUSTRT ビットが“0”のときに設定してください。

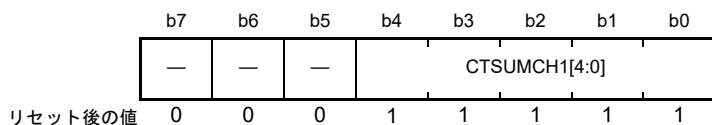
CTSUMCH0[4:0] ビット (CTSU 計測チャンネル 0 ビット)

自己容量シングルスキャンモードでは、計測するチャンネルを設定し、それ以外のモードでは、測定している受信チャンネルを示します。

自己容量シングルスキャンモードでのチャンネル設定では、有効チャンネル (00000b ~ 10000b) 以外は設定しないでください。また、それ以外のモードでは本ビットへの書込みは無効となります。

47.2.6 CTSU 計測チャンネルレジスタ 1 (CTSUMCH1)

アドレス CTSU.CTSMCH1 000A 0905h



ビット	シンボル	ビット名	機能	R/W
b4-b0	CTSUMCH1[4:0]	CTSU計測チャンネル1ビット	b4 b0 0 0 0 0 0 : TS0 0 0 0 0 1 : TS1 0 0 0 1 0 : TS2 0 0 0 1 1 : TS3 0 0 1 0 0 : TS4 0 0 1 0 1 : TS5 0 0 1 1 0 : TS6 0 0 1 1 1 : TS7 0 1 0 0 0 : TS8 0 1 0 0 1 : TS9 0 1 0 1 0 : TS10 0 1 0 1 1 : TS11 0 1 1 0 0 : TS12 0 1 1 0 1 : TS13 0 1 1 1 0 : TS14 0 1 1 1 1 : TS15 1 0 0 0 0 : TS16 1 1 1 1 1 : 計測停止中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

CTSUMCH1[4:0] ビット (CTSU 計測チャンネル 1 ビット)

相互容量フルスキャンモードで計測中の送信チャンネルを示します。計測停止中、または自己容量シングルスキャンモードおよび自己容量マルチスキャンモードでは、“11111b”になります。

47.2.7 CTSU チャネル有効制御レジスタ 0 (CTSUCHAC0)

アドレス CTSU.CTSUCHAC0 000A 0906h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUC HAC07	CTSUC HAC06	CTSUC HAC05	CTSUC HAC04	CTSUC HAC03	CTSUC HAC02	CTSUC HAC01	CTSUC HAC00

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHAC00	CTSUチャネル0有効制御ビット	0 : 計測対象外 1 : 計測対象	R/W
b1	CTSUCHAC01	CTSUチャネル1有効制御ビット		R/W
b2	CTSUCHAC02	CTSUチャネル2有効制御ビット		R/W
b3	CTSUCHAC03	CTSUチャネル3有効制御ビット		R/W
b4	CTSUCHAC04	CTSUチャネル4有効制御ビット		R/W
b5	CTSUCHAC05	CTSUチャネル5有効制御ビット		R/W
b6	CTSUCHAC06	CTSUチャネル6有効制御ビット		R/W
b7	CTSUCHAC07	CTSUチャネル7有効制御ビット		R/W

CTSUCHAC0 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUCHAC0j ビット (CTSU チャネル m 有効制御ビット) (j = 0 ~ 7, m = 0 ~ 7)

静電容量を計測する端子 (送信、受信) を設定します。

47.2.8 CTSU チャネル有効制御レジスタ 1 (CTSUCHAC1)

アドレス CTSU.CTSUCHAC1 000A 0907h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUC HAC17	CTSUC HAC16	CTSUC HAC15	CTSUC HAC14	CTSUC HAC13	CTSUC HAC12	CTSUC HAC11	CTSUC HAC10

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHAC10	CTSUチャンネル8有効制御ビット	0 : 計測対象外 1 : 計測対象	R/W
b1	CTSUCHAC11	CTSUチャンネル9有効制御ビット		R/W
b2	CTSUCHAC12	CTSUチャンネル10有効制御ビット		R/W
b3	CTSUCHAC13	CTSUチャンネル11有効制御ビット		R/W
b4	CTSUCHAC14	CTSUチャンネル12有効制御ビット		R/W
b5	CTSUCHAC15	CTSUチャンネル13有効制御ビット		R/W
b6	CTSUCHAC16	CTSUチャンネル14有効制御ビット		R/W
b7	CTSUCHAC17	CTSUチャンネル15有効制御ビット		R/W

CTSUCHAC1 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUCHAC1j ビット (CTSU チャネル m 有効制御ビット) (j = 0 ~ 7、m = 8 ~ 15)

静電容量を計測する端子 (送信、受信) を設定します。

47.2.9 CTSU チャネル有効制御レジスタ 2 (CTSUCHAC2)

アドレス CTSU.CTSUCHAC2 000A 0908h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CTSUC HAC20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHAC20	CTSUチャネル16有効制御ビット	0: 計測対象外 1: 計測対象	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

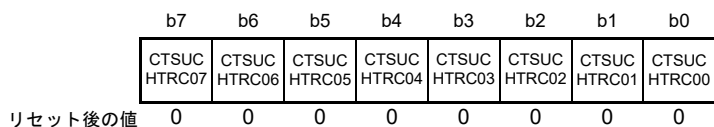
CTSUCHAC2 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUCHAC20 ビット (CTSU チャネル 16 有効制御ビット)

静電容量を計測する端子 (送信、受信) を設定します。

47.2.10 CTSU チャネル送受信制御レジスタ 0 (CTSUCHTRC0)

アドレス CTSU.CTSUCHTRC0 000A 090Bh



ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHTRC00	CTSUチャンネル0送受信制御ビット	0: 受信 1: 送信	R/W
b1	CTSUCHTRC01	CTSUチャンネル1送受信制御ビット		R/W
b2	CTSUCHTRC02	CTSUチャンネル2送受信制御ビット		R/W
b3	CTSUCHTRC03	CTSUチャンネル3送受信制御ビット		R/W
b4	CTSUCHTRC04	CTSUチャンネル4送受信制御ビット		R/W
b5	CTSUCHTRC05	CTSUチャンネル5送受信制御ビット		R/W
b6	CTSUCHTRC06	CTSUチャンネル6送受信制御ビット		R/W
b7	CTSUCHTRC07	CTSUチャンネル7送受信制御ビット		R/W

CTSUCHTRC0 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUCHTRC0j ビット (CTSU チャネル m 送受信制御ビット) (j = 0 ~ 7、m = 0 ~ 7)

相互容量フルスキャンモードでの TSm 端子に対する受信、送信の割り当てを行います。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、“0”にしてください。

47.2.11 CTSU チャネル送受信制御レジスタ 1 (CTSUCHTRC1)

アドレス CTSU.CTSUCHTRC1 000A 090Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUC HTRC17	CTSUC HTRC16	CTSUC HTRC15	CTSUC HTRC14	CTSUC HTRC13	CTSUC HTRC12	CTSUC HTRC11	CTSUC HTRC10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHTRC10	CTSUチャンネル8送受信制御ビット	0: 受信 1: 送信	R/W
b1	CTSUCHTRC11	CTSUチャンネル9送受信制御ビット		R/W
b2	CTSUCHTRC12	CTSUチャンネル10送受信制御ビット		R/W
b3	CTSUCHTRC13	CTSUチャンネル11送受信制御ビット		R/W
b4	CTSUCHTRC14	CTSUチャンネル12送受信制御ビット		R/W
b5	CTSUCHTRC15	CTSUチャンネル13送受信制御ビット		R/W
b6	CTSUCHTRC16	CTSUチャンネル14送受信制御ビット		R/W
b7	CTSUCHTRC17	CTSUチャンネル15送受信制御ビット		R/W

CTSUCHTRC1 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUCHTRC1j ビット (CTSU チャンネル m 送受信制御ビット) (j = 0 ~ 7、m = 8 ~ 15)

相互容量フルスキャンモードでの TSm 端子に対する受信、送信の割り当てを行います。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、“0”にしてください。

47.2.12 CTSU チャネル送受信制御レジスタ 2 (CTSUCHTRC2)

アドレス CTSU.CTSUCHTRC2 000A 090Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CTSUC HTRC20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHTRC20	CTSUチャネル16送受信制御ビット	0 : 受信 1 : 送信	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CTSUCHTRC2 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUCHTRC20 ビット (CTSU チャネル 16 送受信制御ビット)

相互容量フルスキャンモードでの TS16 端子に対する受信、送信の割り当てを行います。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、“0”にしてください。

47.2.13 CTSU 高域ノイズ低減制御レジスタ (CTSUDCLKC)

アドレス CTSU.CTSUDCLKC 000A 0910h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CTSUSSCNT[1:0]	—	—	—	CTSUSSMOD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSSMOD[1:0]	CTSU 拡散クロックモード選択ビット	“00b”に設定してください	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	CTSUSSCNT[1:0]	CTSU 拡散クロック制御ビット	“11b”に設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CTSUDCLKC レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUSSMOD[1:0] ビット (CTSU 拡散クロックモード選択ビット)

高域ノイズ低減に関わるスペクトラム拡散クロックのモードを設定します。高域ノイズ低減機能を使用する場合は、固定値“00b”を設定してください。本ビットが設定されない場合、高域ノイズ低減の効果が正しく得られません。

CTSUSSCNT[1:0] ビット (CTSU 拡散クロック制御ビット)

高域ノイズ低減のためのスペクトラム拡散量を調整します。高域ノイズ低減機能を使用する場合は、固定値“11b”を設定してください。本ビットが設定されない場合、タッチ計測が正しく行われない可能性があります。

47.2.14 CTSU ステータスレジスタ (CTSUST)

アドレス CTSU.CTSUST 000A 0911h

	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUPS	CTSUR OVF	CTSUS OVF	CTSUD TSR	—	CTSUSTC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSUSTC[2:0]	CTSU計測ステータスカウンタ	b2 b0 0 0 0 : Status0 0 0 1 : Status1 0 1 0 : Status2 0 1 1 : Status3 1 0 0 : Status4 1 0 1 : Status5	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CTSUDTSR	CTSUデータ転送ステータスフラグ	0 : 計測結果が読み出されている 1 : 計測結果が読み出されていない	R
b5	CTSUSOVF	CTSUセンサカウンタオーバーフローフラグ	0 : オーバフローなし 1 : オーバフローあり	R/W
b6	CTSUROVF	CTSUリファレンスカウンタオーバーフローフラグ	0 : オーバフローなし 1 : オーバフローあり	R/W
b7	CTSUPS	CTSU相互容量計測状態フラグ	0 : 1回目の計測 1 : 2回目の計測	R

CTSUCR0.CTSUINIT ビットでオーバーフローフラグをクリアする場合は、CTSUCR0.CTSUSTRT ビットが“0”のときにクリアしてください。

CTSUSTC[2:0] フラグ (CTSU 計測ステータスカウンタ)

現在の計測ステータスを示します。各ステータスの詳細は、「47.3.2.2 ステータスカウンタ」を参照してください。

CTSUDTSR フラグ (CTSU データ転送ステータスフラグ)

センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。計測完了時に“1”になり、ソフトウェアまたはDTCでリファレンスカウンタを読み出すと“0”となります。また本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUSOVF フラグ (CTSU センサカウンタオーバーフローフラグ)

センサカウンタがオーバーフローしたか否かを示します。オーバーフローが発生した計測結果 (CTSUSC カウンタ) は“FFFFh”が読み出されます。

オーバーフローが発生しても設定された期間まで計測処理は継続されます。オーバーフロー発生時でも割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、計測完了後 (完了割り込み発生後)、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで“1”を読み出した後、“0”を書き込むことによりクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUROVF フラグ (CTSU リファレンスカウンタオーバーフローフラグ)

リファレンスカウンタがオーバーフローしたか否かを示します。オーバーフローが発生した計測結果 (CTSURC カウンタ) は“FFFFh”が読み出されます。

オーバーフローが発生しても設定された期間まで計測処理は継続されます。

オーバーフロー発生時でも割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、計測完了後 (完了割り込み発生後)、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで“1”を読み出した後、“0”を書き込むことによりクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUPS フラグ (CTSU 相互容量計測状態フラグ)

相互容量フルスキャンモード (CTSUCR1.CTSUMD[1:0] ビット = 11b) で1チャンネルあたり2回の計測をするうちの、1回目または2回目を示します。

計測停止中または他の計測モードでは、本フラグは“0”を示します。

47.2.15 CTSU 高域ノイズ低減スペクトラム拡散制御レジスタ (CTSUSSC)

アドレス CTSU.CTSUSSC 000A 0912h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	CTSUSSDIV[3:0]				—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	CTSUSSDIV[3:0]	CTSUスペクトラム拡散分周設定ビット	ベースクロックの分周設定に合わせて、スペクトラム拡散分周設定値を設定します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CTSUSSDIV[3:0] ビット (CTSU スペクトラム拡散分周設定ビット)

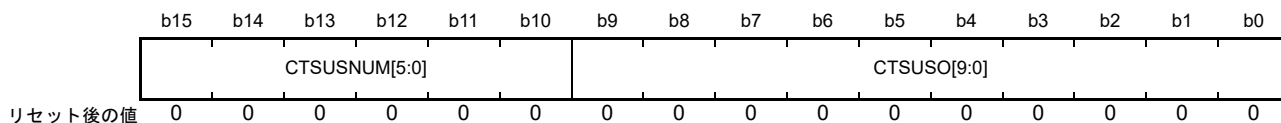
ベースクロックの分周設定に合わせて、スペクトラム拡散分周設定値を設定します。表 47.6 のベースクロック周波数と CTSUSSDIV[3:0] ビット設定値の関係を参考に値を設定してください。

表 47.6 ベースクロック周波数と CTSUSSDIV[3:0] ビット設定値の関係

ベースクロック周波数 fb (MHz)	CTSUSSDIV[3:0] ビット設定値
$4.00 \leq fb$	0000b
$2.00 \leq fb < 4.00$	0001b
$1.33 \leq fb < 2.00$	0010b
$1.00 \leq fb < 1.33$	0011b
$0.80 \leq fb < 1.00$	0100b
$0.67 \leq fb < 0.80$	0101b
$0.57 \leq fb < 0.67$	0110b
$0.50 \leq fb < 0.57$	0111b
$0.44 \leq fb < 0.50$	1000b
$0.40 \leq fb < 0.44$	1001b
$0.36 \leq fb < 0.40$	1010b
$0.33 \leq fb < 0.36$	1011b
$0.31 \leq fb < 0.33$	1100b
$0.29 \leq fb < 0.31$	1101b
$0.27 \leq fb < 0.29$	1110b
$fb < 0.27$	1111b

47.2.16 CTSU センサオフセットレジスタ 0 (CTSUSO0)

アドレス CTSU.CTSUSO0 000A 0914h



ビット	シンボル	ビット名	機能	R/W
b9-b0	CTSUSO[9:0]	CTSUセンサオフセット調整ビット	b9 b0 0000000000: 電流オフセット量0 0000000001: 電流オフセット量1 0000000010: 電流オフセット量2 : : 1111111110: 電流オフセット量1022 1111111111: 電流オフセット量最大	R/W
b15-b10	CTSUSNUM[5:0]	CTSU計測回数設定ビット	CTSUの計測回数を設定します	R/W

CTSUSO[9:0] ビット (CTSU センサオフセット調整ビット)

センサ ICO の入力電流オフセットを調整する制御ビットです。タッチ計測時に非タッチ状態の静電容量により発生するセンサ ICO 入力電流をオフセットし、CTSU センサカウンタのオーバフローを防ぎます。

次に計測する TS 端子への設定は、CTSUWR 割り込みの発生後に行ってください。

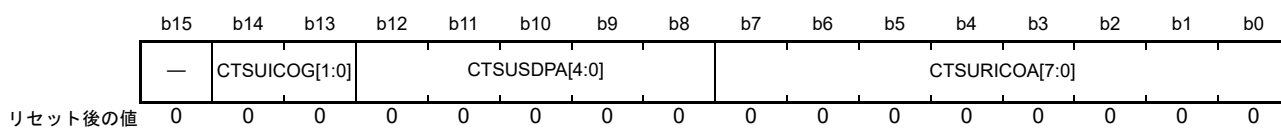
CTSUSNUM[5:0] ビット (CTSU 計測回数設定ビット)

CTSUSDPRS.CTUPRRATIO[3:0] ビットおよび CTSUSDPRS.CTUPRMODE[1:0] ビットで決定される計測パルス数を計測時間で何回繰り返すかを設定します。繰り返し回数は (CTSUSNUM[5:0] ビット + 1) となります。

次に計測する TS 端子への設定は、CTSUWR 割り込みの発生後に行ってください。

47.2.17 CTSU センサオフセットレジスタ 1 (CTSUSO1)

アドレス CTSU.CTSUSO1 000A 0916h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSURICOA[7:0]	CTSU リファレンス ICO 電流調整ビット	b7 b0 00000000: 入力電流量0 00000001: 入力電流量1 00000010: 入力電流量2 : : 11111110: 入力電流量254 11111111: 入力電流量最大	R/W
b12-b8	CTSUSDPA[4:0]	CTSU ベースクロック設定ビット	b12 b8 00000: 動作クロックの2分周 (注1) 00001: 動作クロックの4分周 00010: 動作クロックの6分周 00011: 動作クロックの8分周 00100: 動作クロックの10分周 00101: 動作クロックの12分周 00110: 動作クロックの14分周 00111: 動作クロックの16分周 01000: 動作クロックの18分周 01001: 動作クロックの20分周 01010: 動作クロックの22分周 01011: 動作クロックの24分周 01100: 動作クロックの26分周 01101: 動作クロックの28分周 01110: 動作クロックの30分周 01111: 動作クロックの32分周 10000: 動作クロックの34分周 10001: 動作クロックの36分周 10010: 動作クロックの38分周 10011: 動作クロックの40分周 10100: 動作クロックの42分周 10101: 動作クロックの44分周 10110: 動作クロックの46分周 10111: 動作クロックの48分周 11000: 動作クロックの50分周 11001: 動作クロックの52分周 11010: 動作クロックの54分周 11011: 動作クロックの56分周 11100: 動作クロックの58分周 11101: 動作クロックの60分周 11110: 動作クロックの62分周 11111: 動作クロックの64分周	R/W
b14-b13	CTSUICOG[1:0]	CTSU ICO ゲイン調整ビット	b14 b13 00: ゲイン100% 01: ゲイン66% 10: ゲイン50% 11: ゲイン40%	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 相互容量フルスキャンモード(CTSUCR1.CTSUMD[1:0]ビット = 11b)の高域ノイズ低減機能OFF状態(CTSUSDPRS.CTSUSOFFビット = 1)では、CTSUSDPA[4:0]ビット = 00000bは設定しないでください。

CTSUWR 割り込み発生後、CTSUSCC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタの順に書き込んでください。また、CTSUSO1 レジスタへの書き込み動作により Status3 へ遷移します。そのため、CTSUSO1 レジスタに書き込む場合は、1度に全ビットに書き込むようにしてください。

CTSURICOA[7:0] ビット (CTSU リファレンス ICO 電流調整ビット)

リファレンス ICO の入力電流により、発振周波数を調整します。

CTSUSDPA[4:0] ビット (CTSU ベースクロック設定ビット)

動作クロックを分周して、センサドライブパルスの元となるベースクロックを生成します。

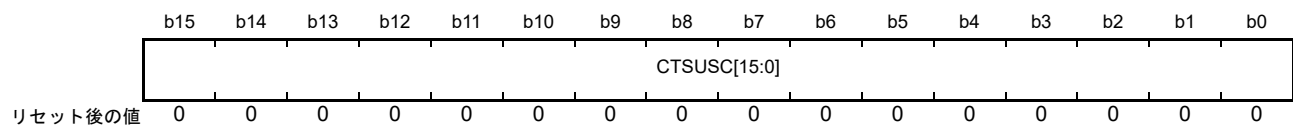
設定手順の詳細は、「47.3.2.1 初期設定フロー」を参照してください。

CTSUICOG[1:0] ビット (CTSU ICO ゲイン調整ビット)

センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。非タッチータッチ時の容量変化が、センサ ICO のダイナミックレンジを大きく超える場合は、ゲイン調整ビットで適切なゲインに調整してください。

47.2.18 CTSU センサカウンタ (CTSUSC)

アドレス CTSU.CTSUSC 000A 0918h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSUSC[15:0]	CTSUセンサカウンタビット	オーバフロー発生時は“FFFFh”を示します	R

CTSURD 割り込み発生後、CTSUSC カウンタ、CTSURC カウンタの順に読み出してください。

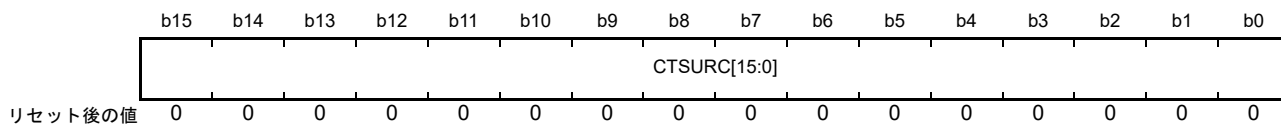
CTSUSC[15:0] ビット (CTSU センサカウンタビット)

計測のためにセンサ ICO クロックをカウントするインクリメントカウンタです。

本ビットは、CTSURD 割り込み発生後に読み出してください。本ビットは CTSURC カウンタ読み出し後、次の計測で CTSU 計測ステータスカウンタが Status4 に遷移する (CTSUST.CTSUSTC[2:0] フラグが “100b” になる) 直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでも本ビットはクリアされます。

47.2.19 CTSU リファレンスカウンタ (CTSURC)

アドレス CTSU.CTSURC 000A 091Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSURC[15:0]	CTSUリファレンスカウンタビット	オーバフロー発生時は“FFFFh”を示します	R

CTSURD 割り込み発生後、CTSUSC カウンタ、CTSURC カウンタの順に読み出してください。

Status3 の指定した安定時間を経過しても CTSURC カウンタの読み出しが行われていない場合は、読み出されるまで Status3 を継続します。

CTSURC[15:0] ビット (CTSU リファレンスカウンタビット)

リファレンス ICO クロックをカウントするインクリメントカウンタです。

リファレンス ICO はセンサ ICO によるタッチ計測を最適化するために使用します。CTSU に内蔵されたセンサ ICO とリファレンス ICO は個体により若干の偏差はありますが、同一個体ではほぼ同様の特性を持ち、ダイナミックレンジや電流一周波数の特性が近似しています。リファレンス ICO 電流調整ビットで設定できる電流量の範囲がほぼ ICO のダイナミックレンジになるため、センサ ICO に入力する電流量もこのダイナミックレンジに収める必要があります。まず、ICO の個体差を確認するためにリファレンス ICO を使い、電流一周波数の特性を計測します。リファレンス ICO 発振周波数はリファレンス ICO カウンタで取得できますので、リファレンス ICO 電流調整ビットに値を設定し、リファレンス ICO カウンタを計測することで、入力した電流量に対する ICO の発振周波数 (カウンタ値 / 計測時間) を計測できます。また、リファレンス ICO 電流調整ビットの最大値で計測されるリファレンス ICO カウンタの値が、ICO のダイナミックレンジの最大値となります。したがって、センサ ICO カウンタの値がこの値を超えないように、オフセット調整ビットでセンサ ICO の電流量をオフセットする必要があります。

本ビットは、CTSURD 割り込み発生後に読み出してください。本ビットは読み出した後、次の計測で CTSU 計測ステータスカウンタが Status4 に遷移する (CTSUST.CTSUSTC[2:0] フラグが “100b” になる) 前にクリアされます。また、CTSUCR0.CTSUINIT ビットでも本ビットはクリアされます。

47.2.20 CTSU エラーステータスレジスタ (CTSUERRS)

アドレス CTSU.CTSUERRS 000A 091Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUI COMP	—	—	—	—	—	—	—	CTSUT SOC	CTSUCL KSEL1	—	—	CTSUD RV	CTSUT SOD	CTSUSPMD[1:0]	
リセット後の値	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSPMD[1:0]	キャリブレーションモードビット	b1 b0 0 0 : 静電容量計測モード 0 1 : 設定禁止 1 0 : キャリブレーションモード 1 1 : 設定禁止	R/W
b2	CTSUTSOD	TS端子固定出力ビット	0 : 静電容量計測モード 1 : TS端子固定出力(High/Low出力)	R/W
b3	CTSUDRV	キャリブレーション設定ビット1	0 : 静電容量計測モード 1 : キャリブレーション設定1	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CTSUCLKSEL1	キャリブレーション設定ビット3	0 : 静電容量計測モード 1 : キャリブレーション設定3	R/W
b7	CTSUTSOC	キャリブレーション設定ビット2	0 : 静電容量計測モード 1 : キャリブレーション設定2	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	CTSUICOMP	TSCAP電圧異常監視ビット	0 : TSCAP電圧正常 1 : TSCAP電圧異常	R

CTSUSPMD[1:0] ビット (キャリブレーションモードビット)

CTSUSPMD[1:0] ビットは、CTSU のキャリブレーションを行う場合に使用します。
静電容量を計測する場合は、“00b”にしてください。

CTSUTSOD ビット (TS 端子固定出力ビット)

CTSUTSOD ビットは、CTSU のキャリブレーションを行う場合に使用します。CTSUTSOD ビットを“1”にした場合、CTSUCR0.CTSUIOC ビットで指定したレベルが TS 端子から出力されます。
静電容量を計測する場合は、“0”にしてください。

CTSUDRV ビット (キャリブレーション設定ビット 1)

CTSUDRV ビットは、CTSU のキャリブレーションを行う場合に使用します。
静電容量を計測する場合は、“0”にしてください。

CTSUCLKSEL1 ビット (キャリブレーション設定ビット 3)

CTSUCLKSEL1 ビットは、CTSU のキャリブレーションを行う場合に使用します。
静電容量を計測する場合は、“0”にしてください。

CTSUTSOC ビット (キャリブレーション設定ビット 2)

CTSUTSOC ビットは、CTSU のキャリブレーションを行う場合に使用します。
静電容量を計測する場合は、“0”にしてください。

CTSUICOMP ビット (TSCAP 電圧異常監視ビット)

TSCAP 電圧の異常状態を監視します。CTSUSO0 レジスタで設定したオフセット電流量が、タッチ計測時のセンサ ICO 入力電流を上回った場合、TSCAP 電圧が異常となりタッチ計測が正しく行われません。本ビットは、TSCAP 電圧を監視し、異常となった場合、“1”になります。なお、TSCAP 電圧が異常となった場合、センサ ICO カウンタの値は不定になりますが、タッチ計測は正常に終了しますので、センサ ICO カウンタ値からは異常を検知することが困難です。CTSUSO1 レジスタの CTSU リファレンス ICO 電流調整ビット (CTSURICOA[7:0]) に“0”以外を設定した場合は、タッチ計測終了時に本ビットを確認してください。本ビットは、CTSUCR1.CTSUPON ビットに“0”を書き込み、電源 OFF とすることでクリアされます。

47.2.21 CTSU 基準電流調整レジスタ (CTSUTRMR)

アドレス CTSU.CTSUTRMR 007F B0ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16		
	—	—	—	—	—	—	—	—	CAL[7:0]									
リセット後の値	1	1	1	1	1	1	1	1	チップごとの固有値									
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1		

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23-b16	CAL[7:0]	基準電流調整ビット	計測の基準となる基準電流を調整します	R/W
b31-b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

CTSUTRMR レジスタには、工場出荷時に個々のチップごとに一定の条件で調整した基準電流値が書き込まれています。

書き換える場合は、CTSUERRS.CTSUSPMD[1:0] ビットを“10b”(キャリブレーションモード)にしてから書き換えてください。リセットすると工場出荷時に書かれた値に戻ります。

CTSUSPMD[1:0] ビットが“00b”(静電容量計測モード)のときは書き換えないでください。

47.3 動作説明

47.3.1 計測動作原理

図 47.4 に計測部回路を示します。

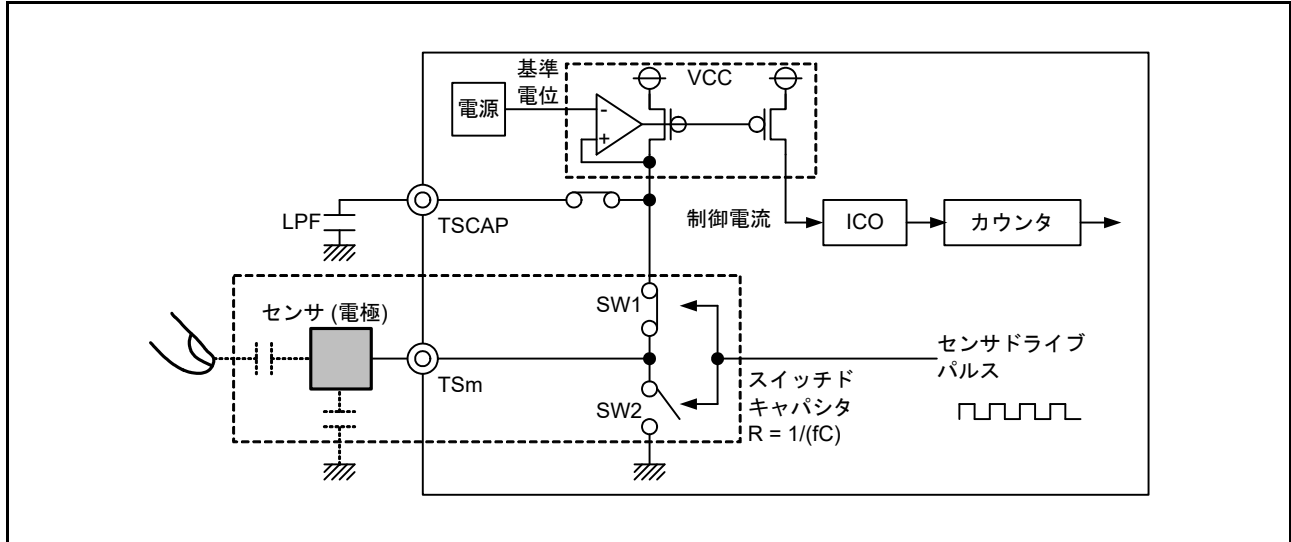


図 47.4 計測部回路 (m = 0 ~ 16)

図 47.5 ~ 図 47.7 に CTSU の電流周波数変換方式の静電容量計測動作原理を示します。

(1) SW1 : ON、SW2 : OFF にすることで、電極の静電容量に充電されます (図 47.5)。

(2) SW1 : OFF、SW2 : ON にすることで、充電された容量は放電されます (図 47.6)。

(1) と (2) の充放電を早いタイミングで切り替えることにより、スイッチドキャパシタに電流が流れます。このとき、人体の接近により静電容量値が変わるため、流れる電流が変化します。TSCAP 電源を生成する回路からスイッチドキャパシタに流れる電流に比例した制御電流を ICO に供給することで、クロックを生成します。人体の接近によって変わるクロック周波数をカウンタで計測し、読み出したカウンタ値を用いて、ソフトウェアで人体の接近を判定します (図 47.7)。

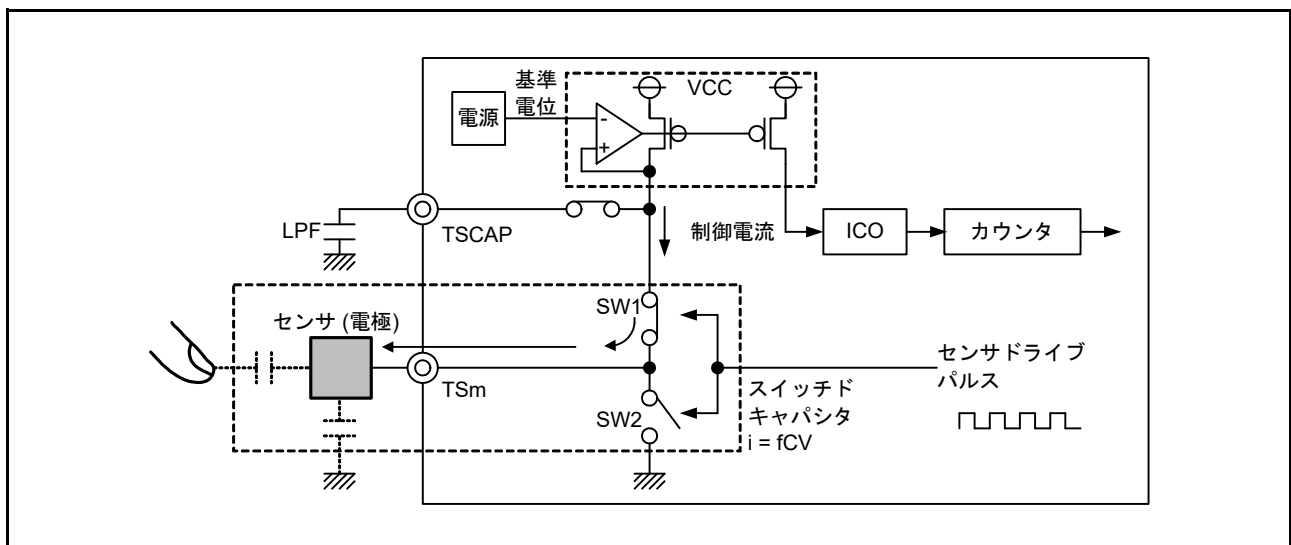


図 47.5 充電動作 (m = 0 ~ 16)

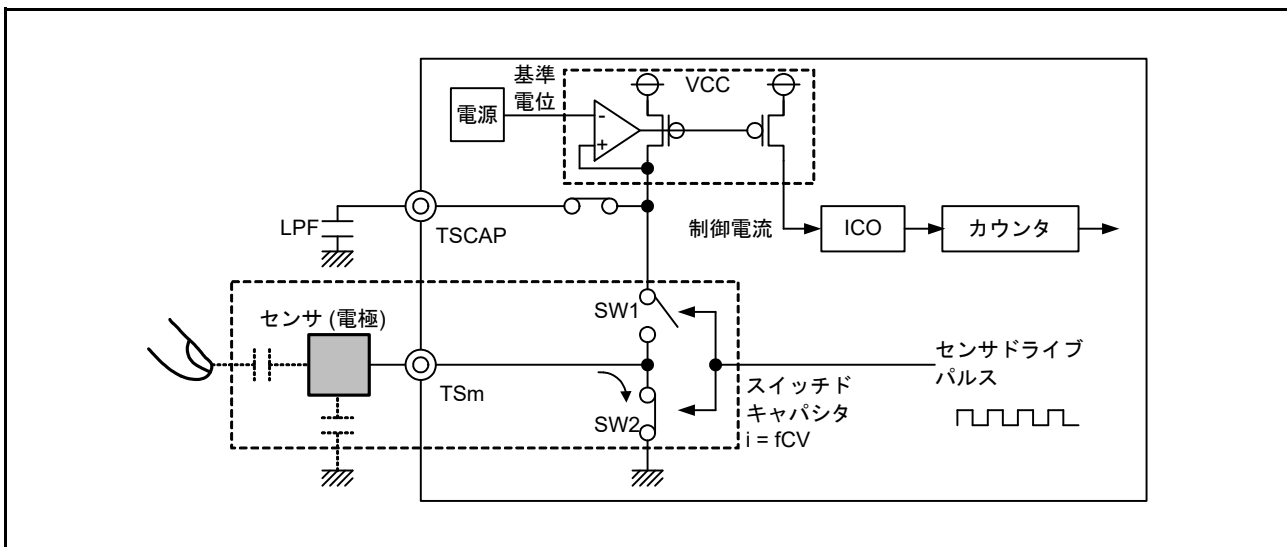


図 47.6 放電動作 (m = 0 ~ 16)

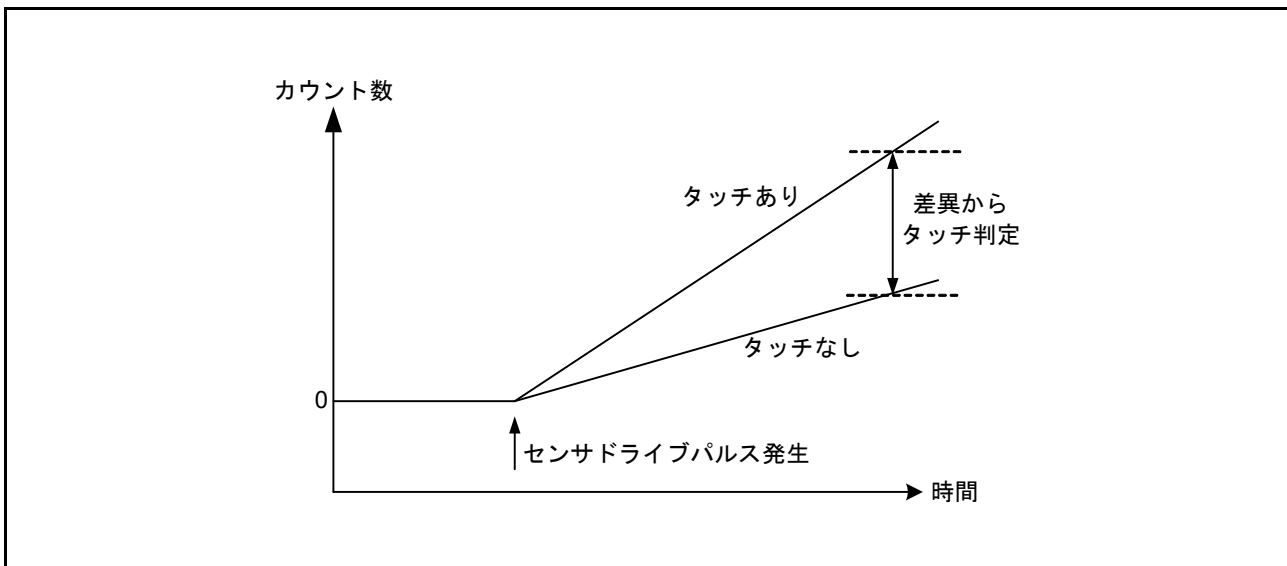


図 47.7 接触 / 非接触による計測値の変化

47.3.2 計測モード

CTSUは、自己容量方式と相互容量方式に対応しています。図47.8に自己容量方式と相互容量方式の概要を示します。

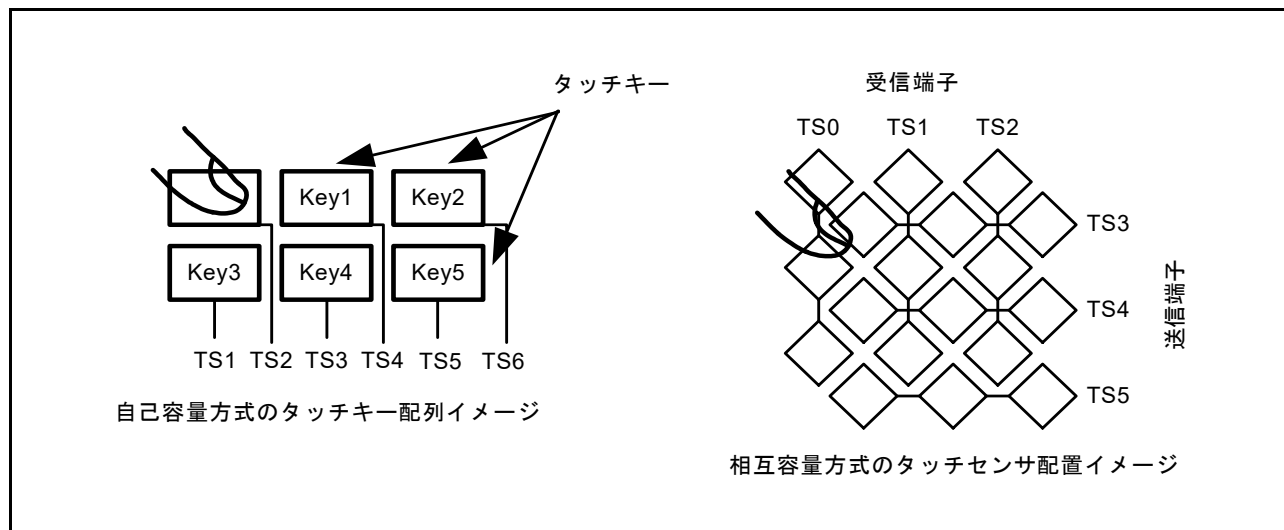


図 47.8 自己容量方式と相互容量方式の概要

自己容量方式では、1つのタッチキーに1つのタッチ端子を割り当て、それぞれの人体の接近による静電容量を計測します。自己容量方式には、シングルスキャンとマルチスキャンの計測モードがあります。

相互容量方式では、対向する2つの電極(送信端子、受信端子)間の容量を計測します。

47.3.2.1 初期設定フロー

図 47.9 に、CTSU の初期設定フローを示します。

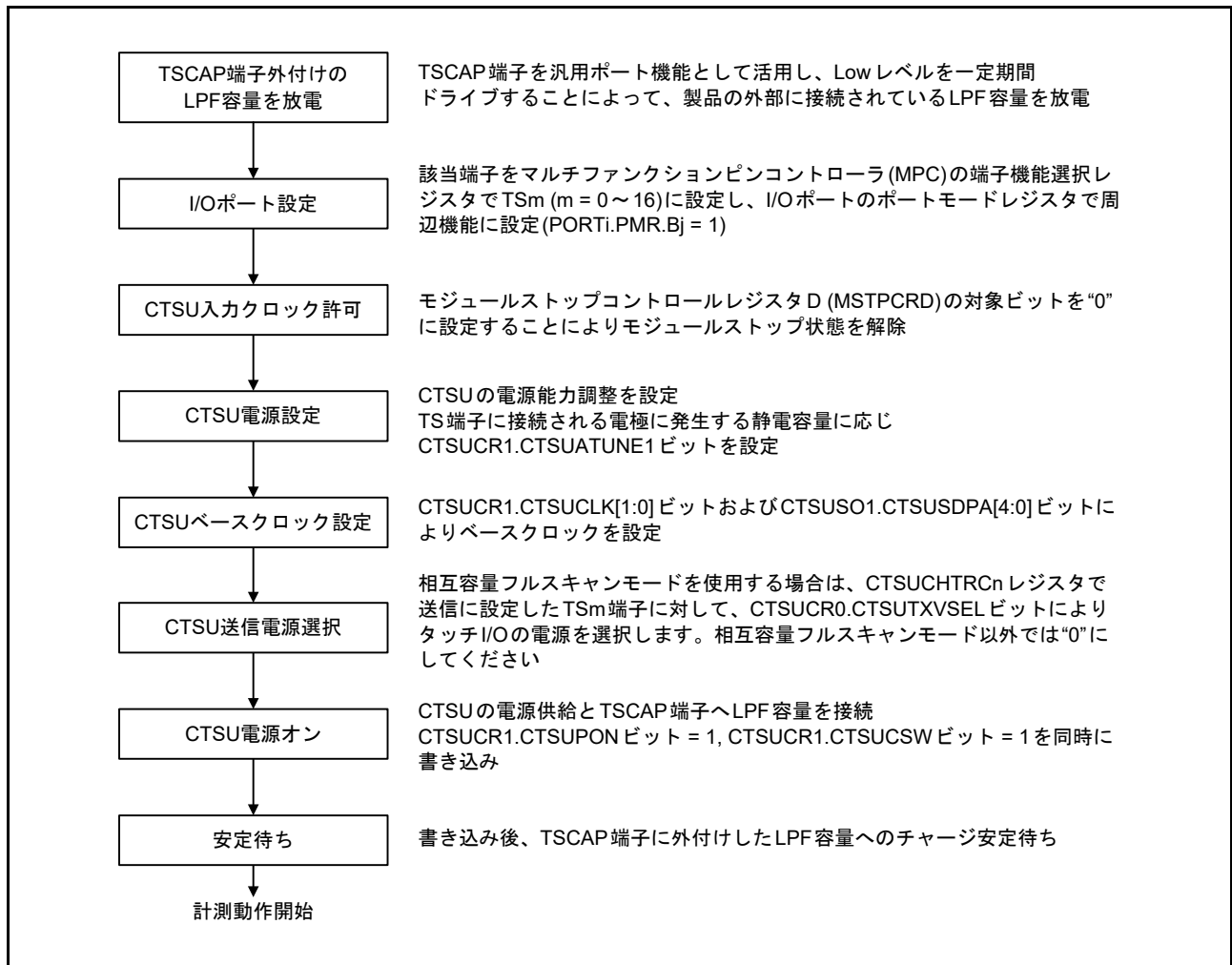


図 47.9 CTSU 初期設定フロー

図 47.10 に、CTSU の動作を停止し、スタンバイ状態にするフローを示します。

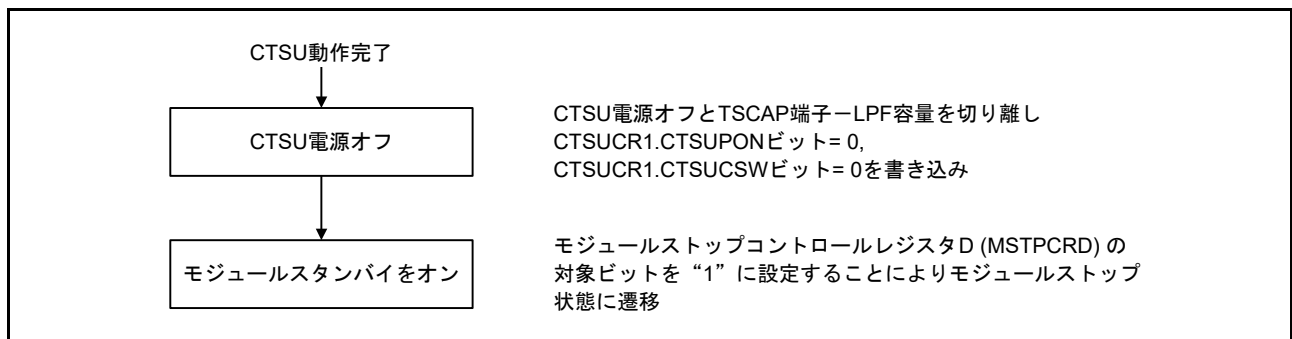


図 47.10 CTSU 停止フロー

停止から再開する場合は、図 47.9 の初期設定フローに従ってください。

47.3.2.2 ステータスカウンタ

CTSU ステータスレジスタ (CTSUST) の計測ステータスカウンタは、現在の計測ステータスを示します。計測ステータスは、4つの計測モードで共通です。図 47.11 にステータス動作遷移図を示します。

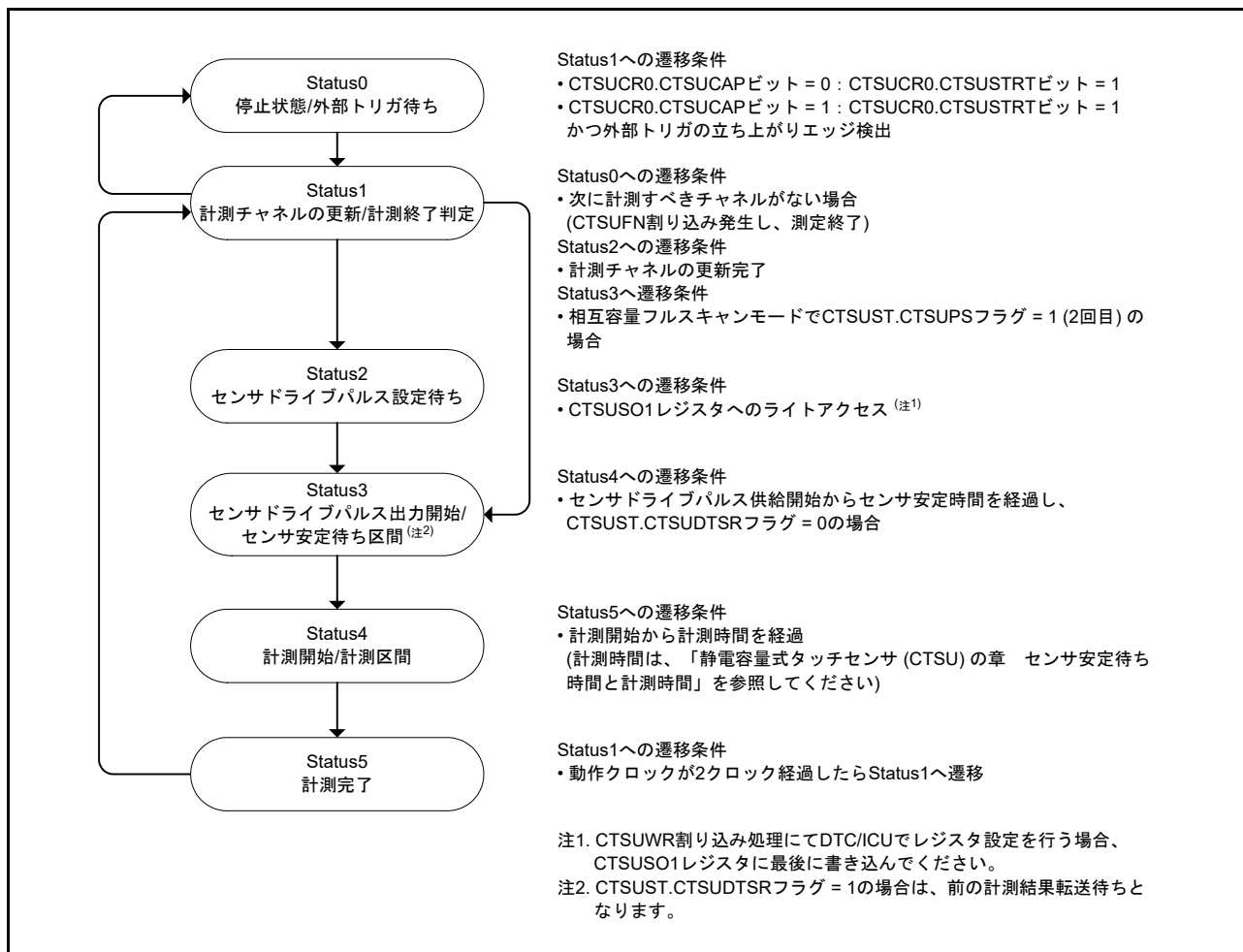


図 47.11 ステータス動作遷移図

ステータスカウンタは、指定したすべての計測チャンネルの計測が終了すると Status0 に遷移します。

CTSUCR0.CTSUSTRT ビットは、ソフトウェアトリガではハードウェアにより“0”にクリアされます。また外部トリガでは“1”が保持され、次のトリガの待機状態になります。

計測中またはトリガ待機状態時に強制終了 (CTSUCR0.CTSUSTRT ビットの“0”と CTSUCR0.CTSUINIT ビットの“1”の同時書き込み) することにより、強制的に Status0 に遷移し停止します。

また、CTSUMCH0 レジスタ、CTSUCHACn レジスタ (n=0~2) と CTSUCHTRCn レジスタの設定で計測するチャンネルがない場合は、Status1 へ遷移後、すぐに CTSUFN 割り込みを発生し Status0 に遷移します。計測するチャンネルがないケースは以下のとおりです。

- CTSUCHACn レジスタで測定対象チャンネルを指定しない場合
- 自己容量シングルスキャンモードで、CTSUMCH0 レジスタで指定したチャンネルが CTSUCHACn レジスタで測定対象外となっていた場合
- 相互容量フルスキャンモードで、CTSUCHACn レジスタと CTSUCHTRCn レジスタの組み合わせで、計測する送信チャンネルまたは受信チャンネルが存在しない場合

47.3.2.3 自己容量シングルスキャンモード動作

自己容量シングルスキャンモードは、任意の1チャンネルの静電容量を計測します。図 47.12 にソフトウェアフローと動作例を、図 47.13 にタイミングチャートを示します。

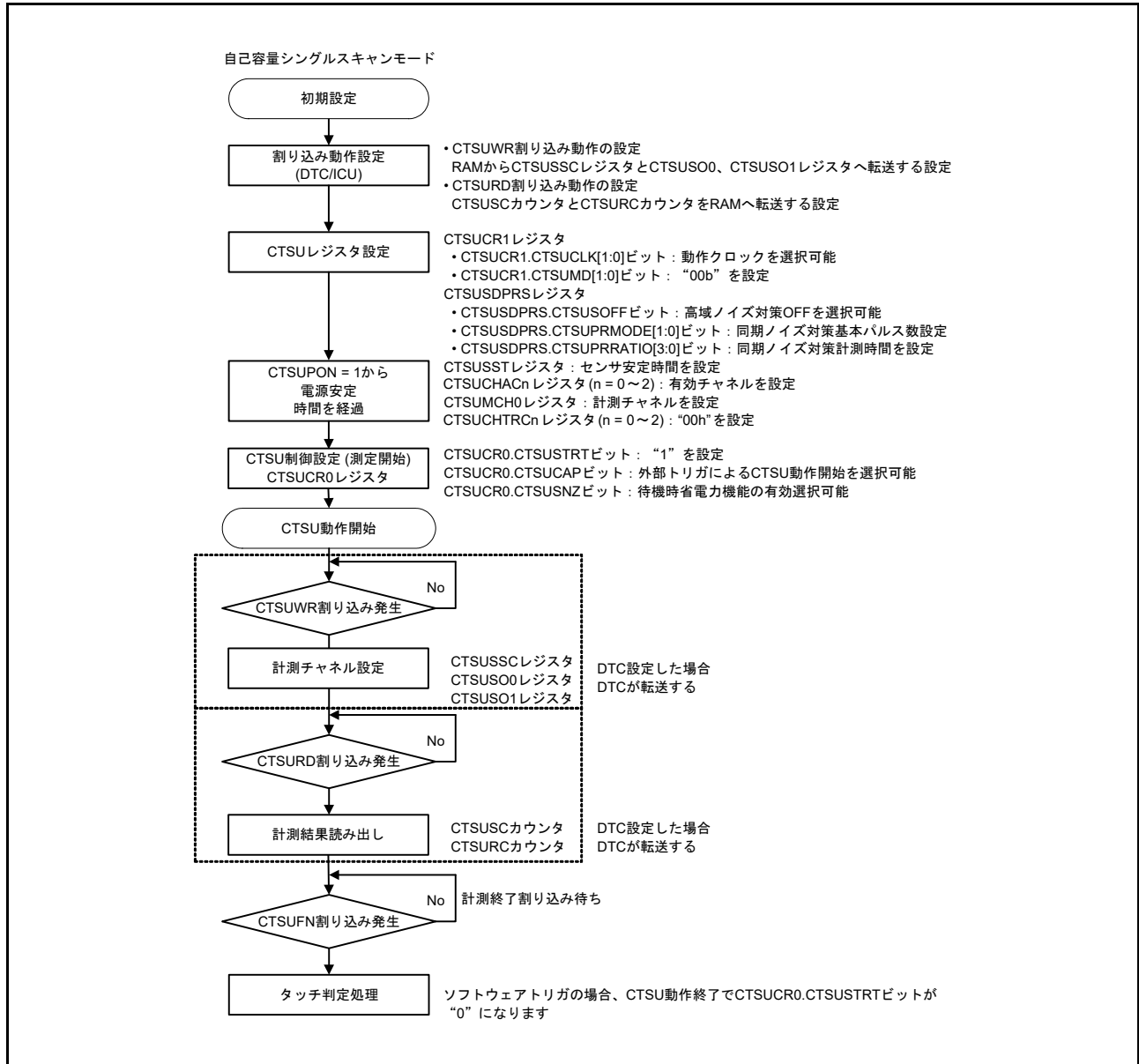


図 47.12 自己容量シングルスキャンモードのソフトウェアフローと動作例

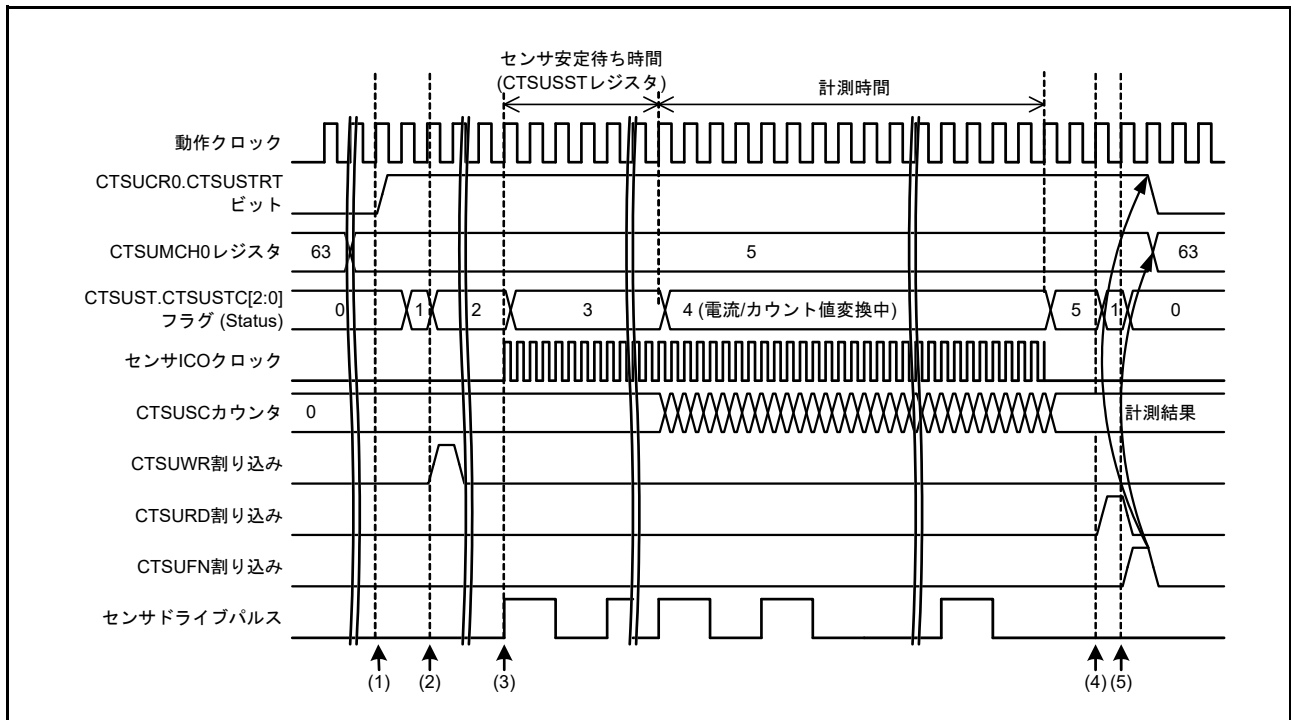


図 47.13 自己容量シングルスキャンモードのタイミングチャート (計測開始条件がソフトウェアトリガの場合)

図 47.13 のタイミングチャートの動作説明は以下のとおりです。

- (1) 各種設定を実施後、CTSUCR0.CTSUSTRT ビットに“1”を書き込むと開始します。
- (2) あらかじめ設定された条件に従い、計測するチャンネルが決定された後に、当該チャンネルの設定要求 (CTSUWR) を出力します。
- (3) 計測チャンネルの設定書き込み (CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
- (4) センサ安定待ち時間、計測時間を経過して計測が終了した後、計測結果読み出し要求 (CTSURD) を出力します。
- (5) 計測終了割り込み (CTSUFN) を出力して計測終了 (Status0 へ遷移) します。

表 47.7 に自己容量シングルスキャンモードのタッチ端子状態を示します。

表47.7 自己容量シングルスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャンネル	非計測チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

47.3.2.4 自己容量マルチスキャンモード動作

自己容量マルチスキャンモードは、CTSUCHACn レジスタ (n = 0 ~ 2) で計測対象に設定したすべてのチャンネルに対して静電容量を昇順で順次計測します。図 47.14 にソフトウェアフローと動作例を、図 47.15 にタイミングチャートを示します。

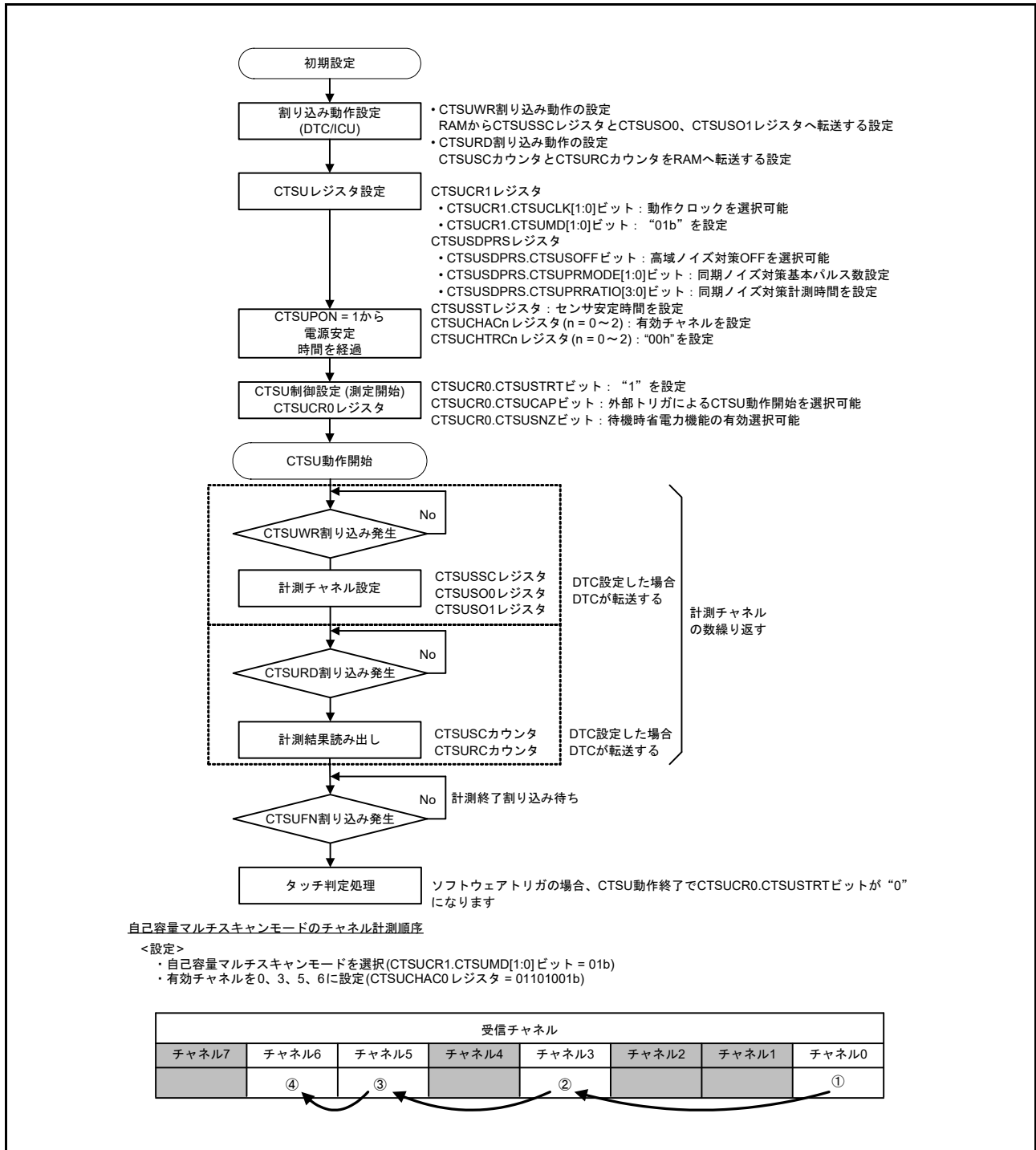


図 47.14 自己容量マルチスキャンモードのソフトウェアフローと動作例

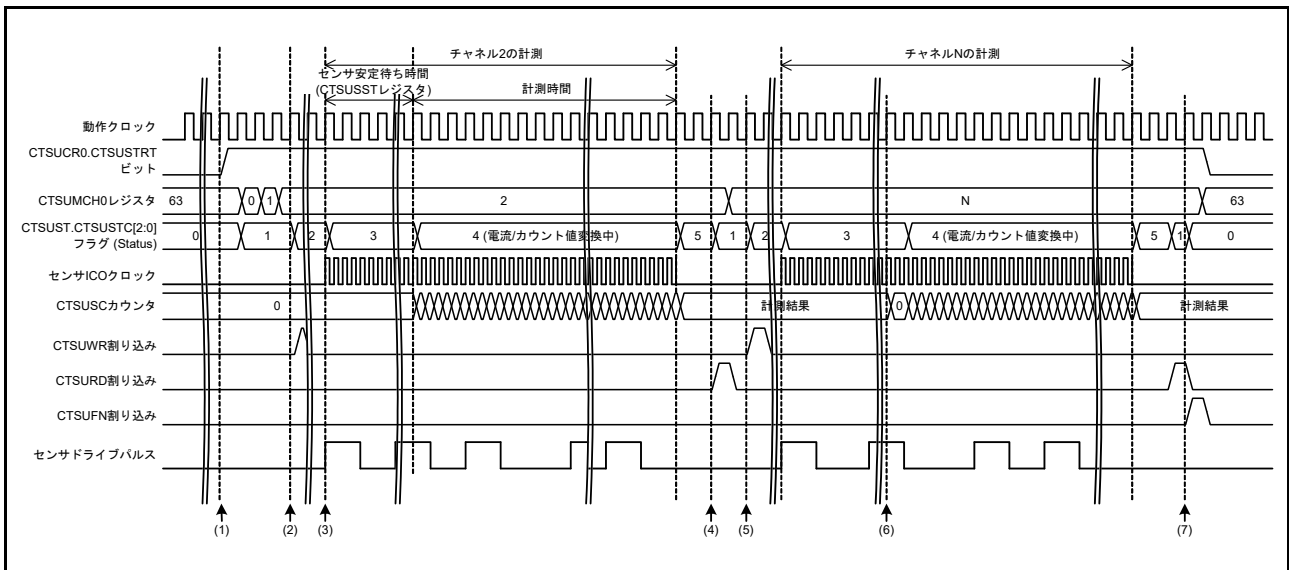


図 47.15 自己容量マルチスキャンモードのタイミングチャート (計測開始条件がソフトウェアトリガの場合)

図 47.15 のタイミングチャートの動作説明は以下のとおりです。

- (1) 各種設定を実施後、CTSUCR0.CTSUSTRT ビットに“1”を書き込むと開始します。
- (2) あらかじめ設定された条件に従い、計測するチャンネルが決定された後に、当該チャンネルの設定要求 (CTSUWR) を出力します。
- (3) 計測チャンネルの設定書き込み (CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
- (4) センサ安定待ち時間、計測時間を経過して計測が終了した後、計測結果読み出し要求 (CTSURD) を出力します。
- (5) 次に計測するチャンネルが決定した後、計測チャンネルの設定要求 (CTSUWR) を出力します。
- (6) 安定待ち時間の経過、および前回の計測結果の読み出しによって、前回の計測結果をクリアし、計測を開始します。
- (7) すべてのチャンネル計測が完了したら、計測終了割り込み (CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

表 47.8 に自己容量マルチスキャンモードのタッチ端子状態を示します。

表 47.8 自己容量マルチスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャンネル	非計測チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

47.3.2.5 相互容量フルスキャンモード動作

相互容量フルスキャンモードは、受信チャンネルのセンサドライブパルスの High 期間に対して、計測対象の送信チャンネルにエッジを印加して計測を行います。1 計測対象に対して立ち上がりエッジと立ち下がりエッジの 2 回の計測を実施します。この 2 回の計測データの差分からタッチ判定を行い、より高いタッチ感度を実現します。

計測チャンネルは CTSUCHTRCn レジスタ (n = 0 ~ 2) で設定した送信、受信と CTSUCHACn レジスタで計測対象に設定したチャンネルに対して静電容量を順次計測します。計測対象の端子に対して送信と受信を割り当て、総当たりで計測します。図 47.16 にソフトウェアフローと動作例を、図 47.17 にタイミングチャートを示します。

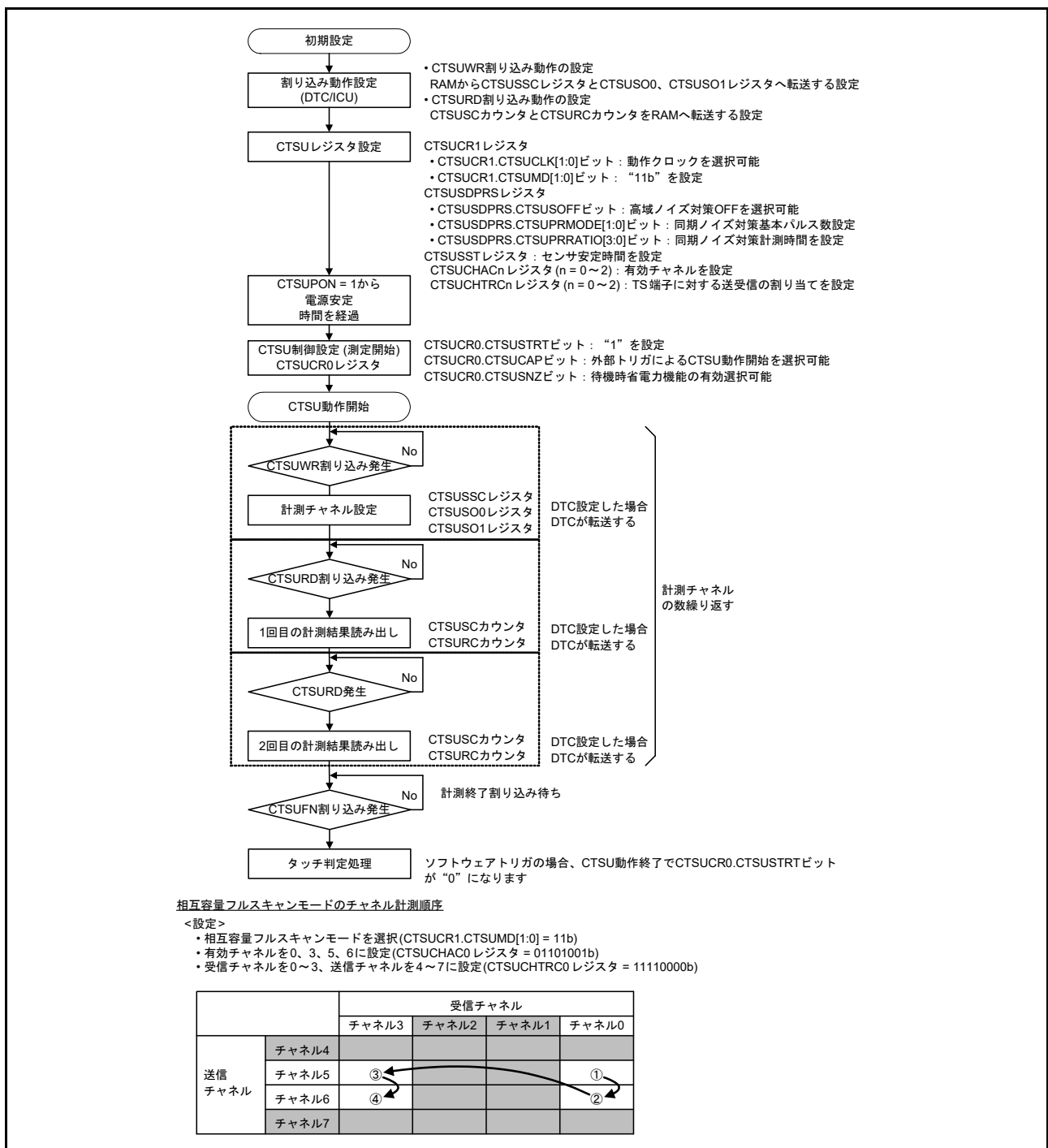


図 47.16 相互容量フルスキャンモードのソフトウェアフローと動作例

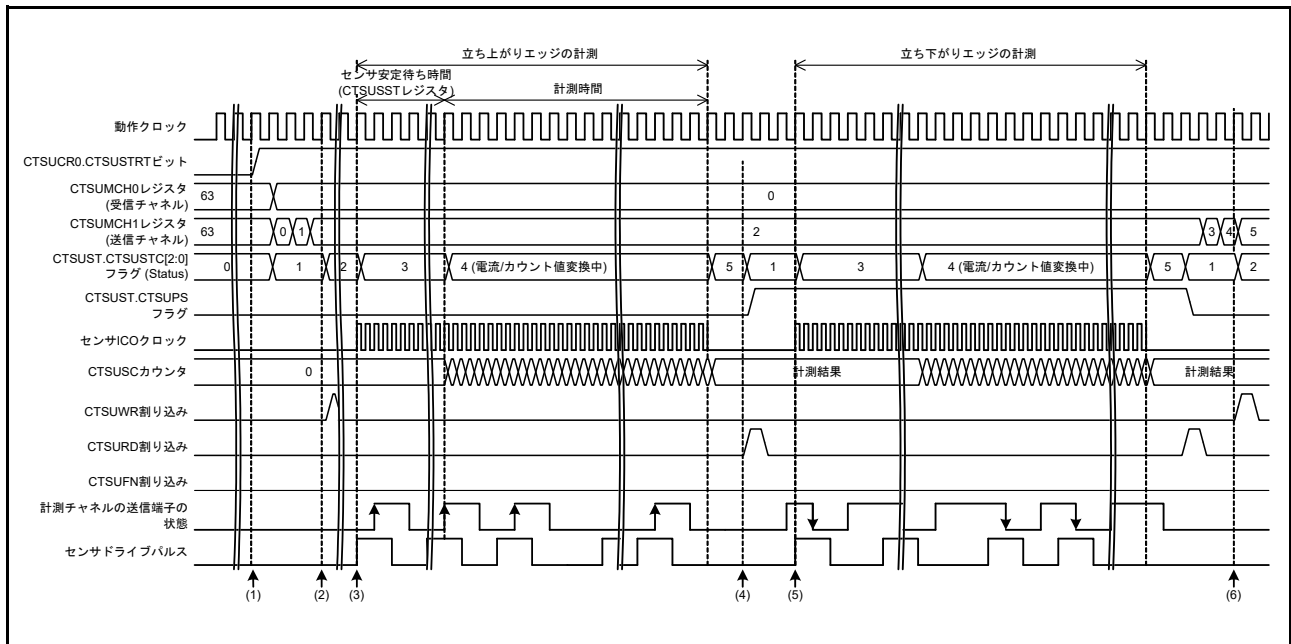


図 47.17 相互容量フルスキャンモードのタイミングチャート (計測開始条件がソフトウェアトリガの場合)

図 47.17 のタイミングチャートの動作説明は以下のとおりです。

- (1) 各種設定を実施後、CTSUCR0.CTSUSTRT ビットに“1”を書き込むと開始します。
- (2) あらかじめ設定された条件に従い、計測するチャンネルが決定された後に、当該チャンネルの設定要求 (CTSUWR) を出力します。
- (3) 計測チャンネルの設定書き込み (CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
同時に、計測チャンネルの送信端子にセンサドライブパルスの High 期間に対して、立ち上がりエッジとなるパルスを出力します。
- (4) センサ安定待ち時間、計測時間を経過して計測が終了した後、計測結果読み出し要求 (CTSURD) を出力します。
- (5) 同一チャンネルに対して、センサドライブパルスの High 期間に対して、立ち下がりエッジとなるパルスを出した計測を行います。
- (6) 同一チャンネルに対して 2 回の計測が完了した後、次に計測するチャンネルが決定し、同様の計測を行います。
- (7) すべてのチャンネル計測が完了したら計測終了割り込み (CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

なお、相互容量計測状態フラグ (CTSUST.CTSUPS フラグ) は、Status5 から Status1 へ遷移するタイミングで変化します。

表 47.9 に相互容量フルスキャンモードのタッチ端子状態を示します。

表 47.9 相互容量フルスキャンモードのタッチ端子状態

Status	受信チャンネルのタッチ端子		送信チャンネルのタッチ端子		備考
	計測チャンネル	非計測チャンネル	計測チャンネル	非計測チャンネル	
0	Low	Low	Low	Low	—
1	Low	Low	Low/High	Low	—
2	Low	Low	Low	Low	—
3	パルス	Low	パルス	Low	1回目の計測：受信チャンネルと同相のパルス 2回目の計測：受信チャンネルと逆相のパルス
4	パルス	Low	パルス	Low	—
5	Low	Low	Low	Low	—

47.3.3 複数モードに関わる共通事項

47.3.3.1 センサ安定待ち時間と計測時間

図 47.18 にセンサ安定待ち時間と計測時間のタイミングチャートを示します。

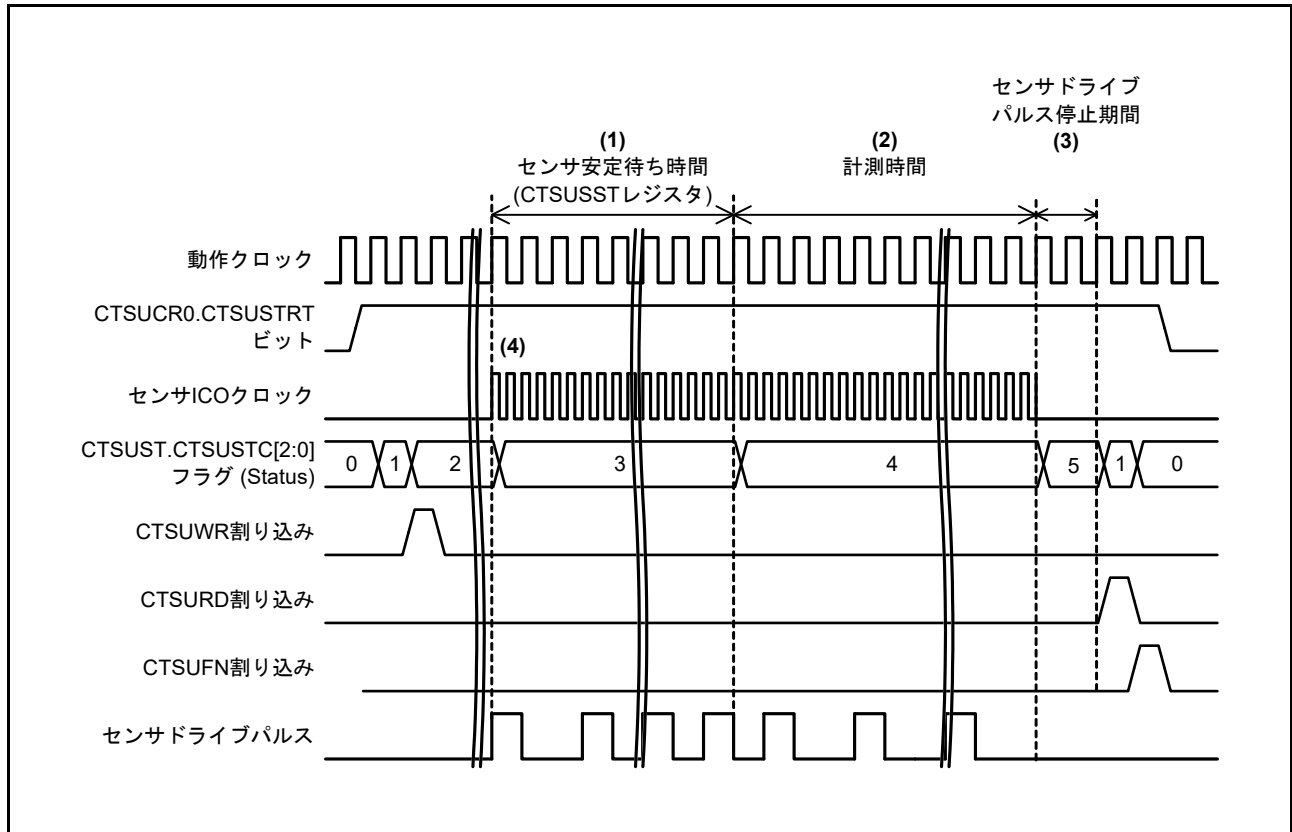


図 47.18 センサ安定待ち時間と計測時間

- (1) CTSUWR 割り込み要求に対して、CTSUSO1 レジスタへライトアクセスすることでセンサドライブパルスの出力を開始し、CTSUSST レジスタで設定した安定時間を待ちます。
- (2) センサ安定時間が経過し、かつ CTSUST.CTSUDTSR フラグが“0”になり、Status4 に遷移することによって計測を開始します。計測時間は、ベースクロックの周期と CTSUSDPRS.CTSUPRMODE[1:0], CTSUPRRATIO[3:0] ビット、CTSUSO0.CTSUSNUM[5:0] ビットで決定します。計測時間が経過すると当該チャンネルの計測を終了します。
- (3) 計測時間経過後、動作クロック 2 サイクルで Status1 へ遷移し、CTSURD 割り込みを発生しますので、CTSUSC カウンタおよび CTSURC カウンタの内容を読み出してください。このとき、センサドライブパルスは Low 出力になります。設定した全チャンネルの計測が完了した場合は、CTSUCR0.CTSUSTRT ビットが“0”になります。
- (4) センサ ICO クロックは、CTSUST.CTSUSTC[2:0] フラグの値が“011b” (Status3) または“100b” (Status4) の期間に発振します。

47.3.3.2 割り込み

CTSUには、以下の3種類の割り込みがあります。

- チャンネル毎の設定レジスタ書き込み要求割り込み (CTSUWR)
- 測定データ転送要求割り込み (CTSURD)
- 測定終了割り込み (CTSUFN)

(1) チャンネル毎の設定レジスタ書き込み要求割り込み (CTSUWR)

計測チャンネルごとの設定データをRAM上に用意しておき、あらかじめCTSUWR割り込みに対応したDTC/ICUの転送設定を行います。CTSUWR割り込みはStatus1からStatus2へ遷移したタイミングで出力します。対応するチャンネルの設定データをRAMからCTSUSSCレジスタとCTSUSO0レジスタ、CTSUSO1レジスタに書き込んでください(図47.19)。CTSUSO1レジスタへのライトアクセスには次のStatusへ遷移する制御があるため、CTSUSO1レジスタを最後に設定してください。

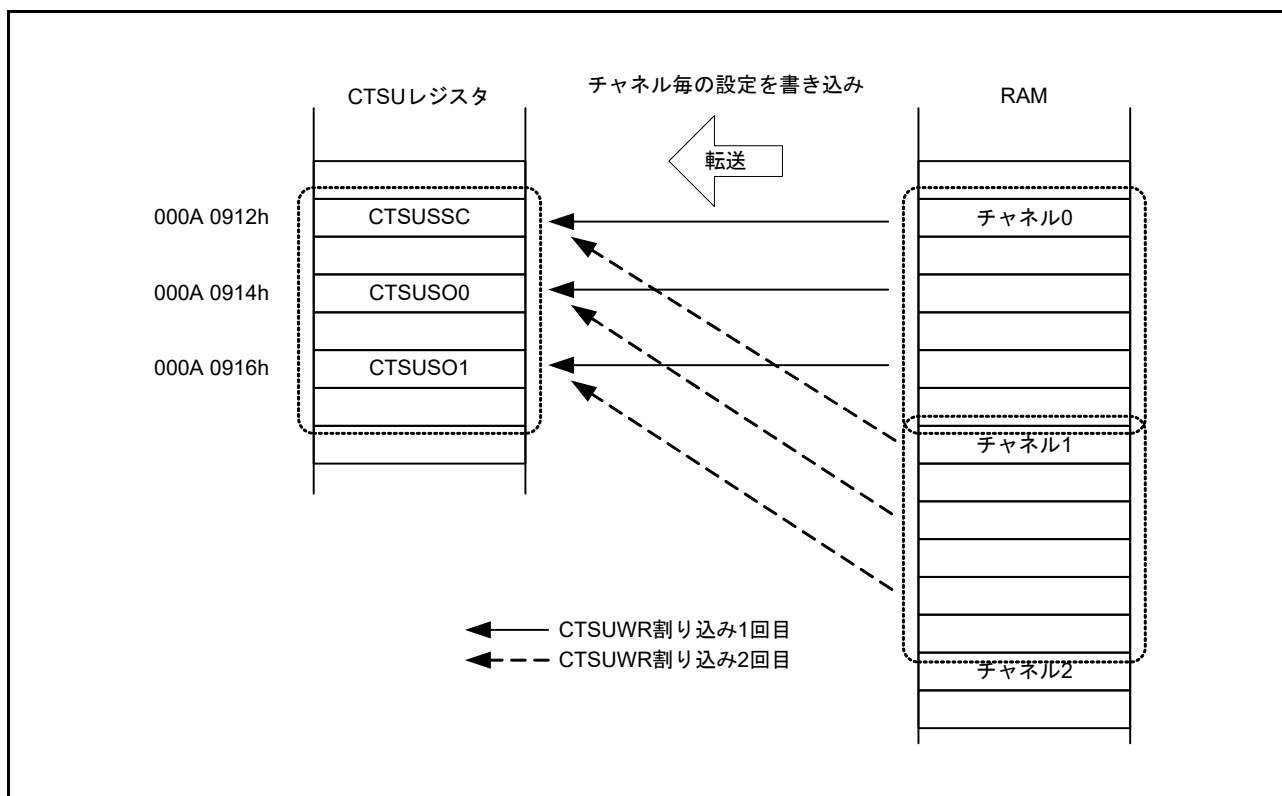


図 47.19 CTSUWR 割り込みを用いた DTC 転送動作例

設定するレジスタ (CTSUSSC レジスタと CTSUSO0、CTSUSO1 レジスタ) は、連続したアドレスに配置しています。割り込みが発生したときの動作として以下のとおり設定してください。

- 転送先アドレス : CTSUSSC レジスタのアドレス
- 転送先アドレスの処理 : 1回の割り込みで2バイトのデータを3回転送(先頭バイトのアドレスは固定)
- 転送元アドレス : RAM上に用意した設定データの最小チャンネルのCTSUSSCレジスタデータ格納アドレス
- 転送元アドレスの処理 : 1回の割り込みで2バイトのデータを3回転送(先頭バイトのアドレスは前回の割り込み処理から継続)
- 割り込みによる転送回数 : 計測する回数を指定

(2) 測定データ転送要求割り込み (CTSURD)

あらかじめ、CTSURD 割り込みに対応した DTC/ICU の転送設定を行います。1 チャネル計測終了後の Status5 から Status1 に遷移するタイミングで CTSURD 割り込みを出力します。計測結果を CTSUSC カウンタと CTSURC カウンタから読み出してください(図 47.20)。

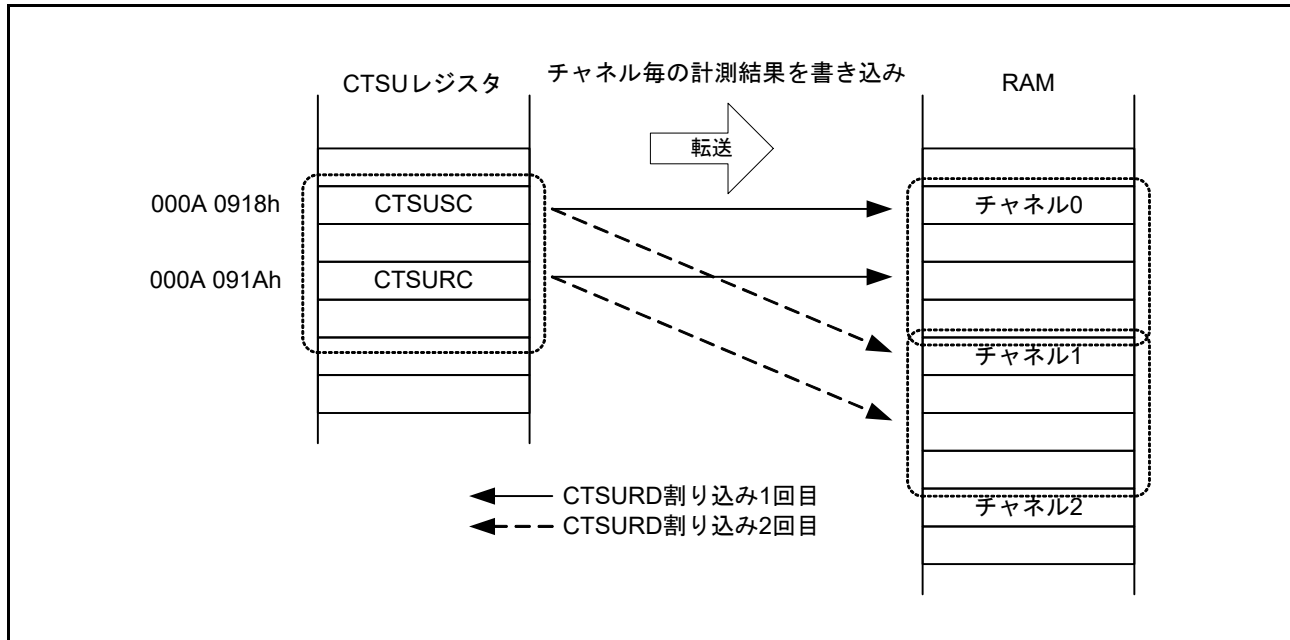


図 47.20 CTSURD 割り込みを用いた DTC 転送動作例

転送元である計測結果レジスタ (CTSUSC カウンタと CTSURC カウンタ) は、連続したアドレスに配置してあります。割り込みが発生したときの動作として以下のとおり設定してください。

- 転送元アドレス : CTSUSC カウンタのアドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送 (先頭アドレスは固定)
- 転送先アドレス : RAM 上に用意した設定データの最少チャネルの CTSUSC カウンタデータ格納アドレス
- 転送先アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送 (先頭アドレスは前回の割り込み処理から継続)
- 割り込みによる転送回数 : 計測する回数を指定

(3) 測定終了割り込み (CTSUFN)

すべてのチャネル計測が終了した Status1 から Status0 に遷移するタイミングで割り込みが発生します。ソフトウェアによるオーバフローフラグ (CTSUST.CTSUSOVF, CTSUROVF フラグ) の確認と読み出された計測結果により、タッチの有無を判定します。

割り込み要求の受付、禁止は割り込み制御部で行います。

47.4 使用上の注意事項

47.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、CTSU の動作を禁止 / 許可することができます。リセット後の値では、CTSU の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

47.4.2 計測結果データ (CTSUSC カウンタ、CTSURC カウンタ)

計測中のリードアクセスは禁止です。アクセスした場合は、非同期のため正しくない値を読み出す場合があります。

47.4.3 ソフトウェアトリガ

CTSUCR1.CTSUCLK[1:0] ビットで“10b” (PCLK/4) を選択した場合、計測完了後に、CTSUCR0.CTSUSTRT ビットへの“1”書き込みを再開させる場合は、割り込み発生から 3 サイクル以上待ってから書き込むようにしてください。

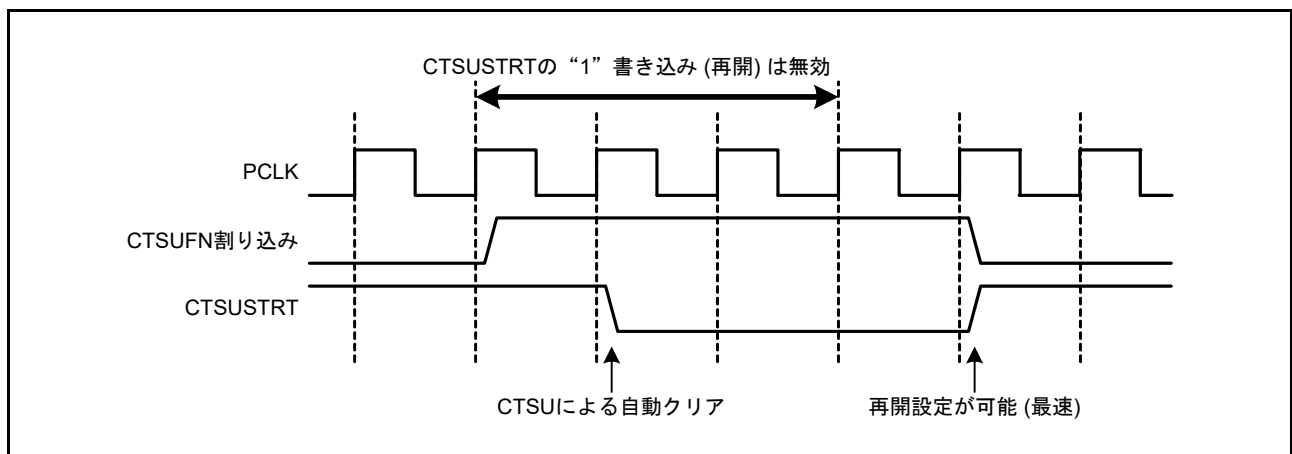


図 47.21 再開時の注意事項

47.4.4 外部トリガ

- 計測時間中に外部トリガが入力された場合、計測は開始されません。次の外部イベントは、CTSUFN 割り込みが発生した動作クロックの 1 サイクル後から有効になります。
- 外部トリガモードを終了する場合は、CTSUCR0.CTSUSTRT ビットの“0”と CTSUCR0.CTSUINIT ビットの“1”の同時書き込み(強制停止)で停止します。

47.4.5 強制停止の注意事項

動作中に強制停止させる場合は、CTSUCR0.CTSUSTRT ビットの“0”と CTSUCR0.CTSUINIT ビットの“1”を同時に書き込んでください。動作が停止し、内部制御レジスタが初期化されます。

CTSUCR0.CTSUINIT ビットによる初期化では、内部計測状態の初期化に加え、以下のレジスタが初期化されます。

- CTSUMCH0 レジスタ
- CTSUMCH1 レジスタ
- CTSUST レジスタ
- CTSUSC カウンタ
- CTSURC カウンタ

また強制停止した場合、内部状態によっては割り込み要求が発生することがあります。強制停止後、DTC や ICU の停止 / 無効処理を行ってください。

搭載するシステムが何らかの要因で DTC 転送を停止する場合は、CTSU に対しても強制終了および初期化処理を行ってください。


47.4.6 TSCAP 端子

TSCAP 端子には、CTSU の内部電圧を安定させるためのコンデンサを接続する必要があります。TSCAP 端子とコンデンサの間、およびコンデンサと GND の間の配線は、できるだけ太く、短くしてください。

TSCAP 端子に接続されたコンデンサは、スイッチを ON (CTSUCR1.CTSUCSW ビット = 1) にして接続する前に、I/O ポート制御により Low を出力させ、十分に放電させてください。

47.4.7 計測動作中 (CTSUCR0.CTSUSTRT ビット = 1) の注意事項

計測動作中 (CTSUCR0.CTSUSTRT ビット = 1) に、上位システムから「周辺モジュールクロックを停止」や「タッチ端子 (TS 端子、TSCAP 端子) に関わるポート設定変更」を行わないでください。

本制約を違反する制御をした場合は、強制停止 (CTSUCR0.CTSUSTRT ビット = 0、CTSUCR0.CTSUINIT ビット = 1) 後、CTSUCR1.CTSUPON ビットと CTSUCR1.CTSUCSW ビットに同時に“0”を書き込み、CTSUCR0.CTSUSNZ ビットに“0”を設定し、 47.9 の初期設定フローから再開するようにしてください。

48. バウンダリスキャン

本 MCU は、バウンダリスキャン機能を内蔵しています。

バウンダリスキャンは、JTAG (Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) と同等なシリアル入出力インタフェースです。

48.1 概要

表 48.1 にバウンダリスキャンの仕様を示します。

図 48.1 にバウンダリスキャンのブロック図を示します。

表48.1 バウンダリスキャンの仕様

項目	内容
バウンダリスキャン有効/無効	RES#端子をHigh、EMLE端子をLow、かつBSCANP端子をHighとしたときにバウンダリスキャン機能が有効
バウンダリスキャン専用端子	バウンダリスキャン機能有効時、以下はJTAG専用端子(TDO/TCK/TDI/TMS/TRST#) 145ピンTFLGA/64ピンTFBGA : P26/P27/P30/P31/P34
6種類のテストモード	<ul style="list-style-type: none"> • BYPASSモード • EXTESTモード • SAMPLE/PRELOADモード • CLAMPモード • HIGHZモード • IDCODEモード

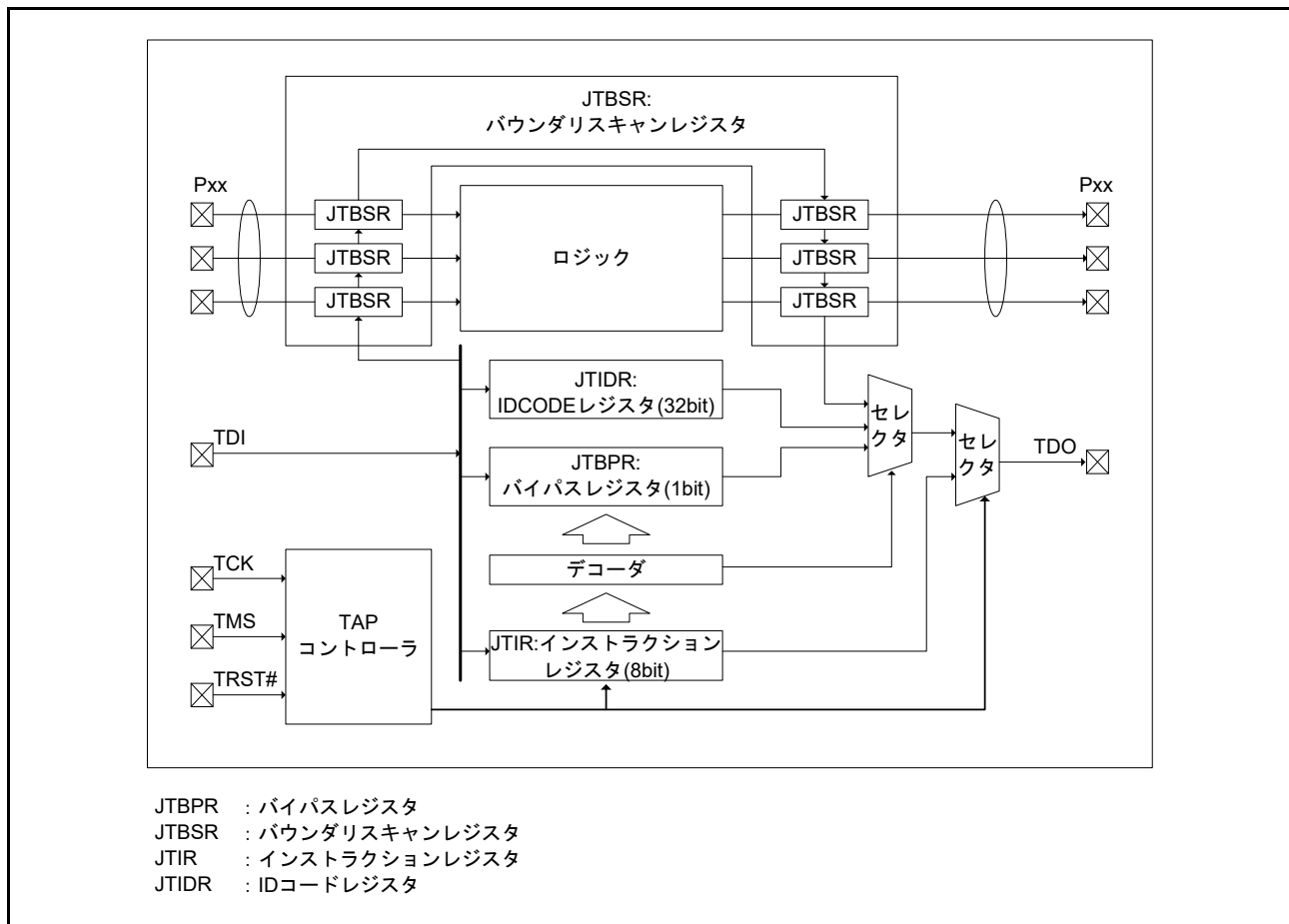


図 48.1 JTAG ブロック図

表 48.2 にバウンダリスキャンで使用する入出力端子を示します。

表 48.2 JTAG 入出力端子

端子名	入出力	機能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号 バウンダリスキャン機能使用時はデューティ比50%のクロックを入力してください
TMS	入力	テストモードセレクト
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力
TRST#	入力	テストリセット入力

48.2 レジスタの説明

表 48.3 にバウンダリスキャンのレジスタ一覧を示します。

表 48.3 バウンダリスキャンのレジスタ一覧

レジスタ名	シンボル	リセット後の値
インストラクションレジスタ	JTIR	55h
IDコードレジスタ	JTIDR	0841 8447h
バイパスレジスタ	JTBPR	不定
バウンダリスキャンレジスタ	JTBSR	不定

インストラクションは、TDI 端子からシリアル転送により JTIR レジスタへ入力できます。

JTBPR レジスタは 1 ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます。

JTBSR レジスタは表 48.6 ～表 48.8 の構成のレジスタで、テストデータをシフトインするときに TDI 端子と TDO 端子の間に接続されます。

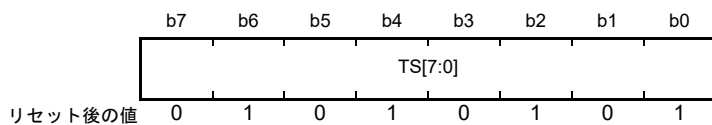
すべてのレジスタは、CPU からアクセスできません。

表 48.4 に各レジスタのシリアル転送を示します。

表 48.4 レジスタのシリアル転送

レジスタ	シリアル入力	シリアル出力
インストラクションレジスタ (JTIR)	可能	可能
IDコードレジスタ (JTIDR)	可能	可能
バイパスレジスタ (JTBPR)	可能	可能
バウンダリスキャンレジスタ (JTBSR)	可能	可能

48.2.1 インストラクションレジスタ (JTIR)



ビット	シンボル	ビット名	機能	R/W
b7-b0	TS[7:0]	テストビットセット	コマンド構成は表48.5のようになります。	—

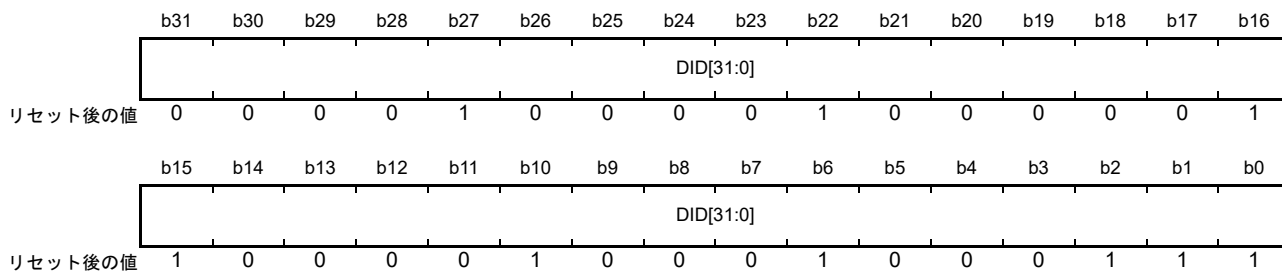
表48.5 コマンド構成

TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0	インストラクション
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	1	0	1	0	1	0	1	IDCODE (初期値)
1	1	0	1	0	0	0	0	CLAMP
1	0	0	0	0	0	0	0	HIGHZ
1	1	1	1	1	1	1	1	BYPASS
上記以外								予約

バウンダリスキャンのインストラクションは、TDI 端子からのシリアル入力によって JTIR レジスタに転送することができます。

JTIR レジスタは TRST# 端子が Low、または TAP コントローラが Test-Logic-Reset 状態のときに初期化されます。

48.2.2 ID コードレジスタ (JTIDR)



ビット	シンボル	ビット名	機能	R/W
b31-b0	DID[31:0]	予約ビット	デバイスIDCODEを示す固定値のレジスタ	—

IDCODE 命令時、JTIDR レジスタのデータを TDO 端子から出力します。

48.2.3 バイパスレジスタ (JTBPR)

JTBPR レジスタは、1 ビットのレジスタです。

BYPASS モードに設定された場合、TDI 端子と TDO 端子は JTBPR レジスタに接続されます。

CPU から JTBPR レジスタへ読み出し / 書き込みできません。

48.2.4 バウンダリスキャンレジスタ (JTBSR)

JTBSR レジスタは、MCU の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、バウンダリスキャンテストを行うことができます。

表 48.6 ~ 表 48.8 に MCU の端子とバウンダリスキャンレジスタの対応を示します。

リセット後の値は、不定です。

表 48.6 バウンダリスキャンレジスタ
145ピンTFLGA (0.65mmピッチ) (1 / 8)

Pin No	端子名	タイプ	ビット名
From TDI			
B3	P05	出力	339
		出カイナーブル	338
		入力	337
D3	P03	出力	336
		出カイナーブル	335
		入力	334
C2	P02	出力	333
		出カイナーブル	332
		入力	331
D4	P01	出力	330
		出カイナーブル	329
		入力	328
D1	P00	出力	327
		出カイナーブル	326
		入力	325
D2	PF5	出力	324
		出カイナーブル	323
		入力	322
E3	PJ5	出力	321
		出カイナーブル	320
		入力	319
F3	PJ3	出力	318
		出カイナーブル	317
		入力	316
G3	MD	出力	315
		出カイナーブル	314
		入力	313
H4	P35	入力	309
J2	P33	出力	305
		出カイナーブル	304
		入力	303
J3	P32	出力	302
		出カイナーブル	301
		入力	300
L1	P25	出力	287
		出カイナーブル	286
		入力	285
L4	P24	出力	284
		出カイナーブル	283
		入力	282
L2	P23	出力	281
		出カイナーブル	280
		入力	279

表 48.6 バウンダリスキャンレジスタ
145ピンTFLGA (0.65mmピッチ) (2 / 8)

Pin No	端子名	タイプ	ビット名
M1	P22	出力	278
		出カイナーブル	277
		入力	276
N1	P21	出力	275
		出カイナーブル	274
		入力	273
N2	P20	出力	272
		出カイナーブル	271
		入力	270
M2	P17	出力	269
		出カイナーブル	268
		入力	267
N3	P87	出力	266
		出カイナーブル	265
		入力	264
L3	P16	出力	263
		出カイナーブル	262
		入力	261
M3	P86	出力	260
		出カイナーブル	259
		入力	258
K4	P15	出力	257
		出カイナーブル	256
		入力	255
N4	P14	出力	254
		出カイナーブル	253
		入力	252
L5	P13	出力	251
		出カイナーブル	250
		入力	249
M4	P12	出力	248
		出カイナーブル	247
		入力	246
N5	PH2/ USB0_DM	出力	245
		出カイナーブル	244
		入力	243
N6	PH1/ USB0_DP	出力	242
		出カイナーブル	241
		入力	240
L6	P56	出力	239
		出カイナーブル	238
		入力	237
N7	P55	出力	236
		出カイナーブル	235
		入力	234

表 48.6 バウンダリスキャンレジスタ
145ピンTFLGA (0.65mmピッチ) (3 / 8)

Pin No	端子名	タイプ	ビット名
K5	P54	出力	233
		出力イネーブル	232
		入力	231
K6	P53	出力	230
		出力イネーブル	229
		入力	228
L7	P52	出力	227
		出力イネーブル	226
		入力	225
K7	P51	出力	224
		出力イネーブル	223
		入力	222
M7	P50	出力	221
		出力イネーブル	220
		入力	219
L8	P83	出力	218
		出力イネーブル	217
		入力	216
N9	PC7	出力	215
		出力イネーブル	214
		入力	213
M8	PC6	出力	212
		出力イネーブル	211
		入力	210
L9	PC5	出力	209
		出力イネーブル	208
		入力	207
N10	P82	出力	206
		出力イネーブル	205
		入力	204
M9	P81	出力	203
		出力イネーブル	202
		入力	201
K9	P80	出力	200
		出力イネーブル	199
		入力	198
L10	PC4	出力	197
		出力イネーブル	196
		入力	195
N11	PC3	出力	194
		出力イネーブル	193
		入力	192
M10	P77	出力	191
		出力イネーブル	190
		入力	189

表 48.6 バウンダリスキャンレジスタ
145ピンTFLGA (0.65mmピッチ) (4 / 8)

Pin No	端子名	タイプ	ビット名
K10	P76	出力	188
		出力イネーブル	187
		入力	186
L11	PC2	出力	185
		出力イネーブル	184
		入力	183
N12	P75	出力	182
		出力イネーブル	181
		入力	180
N13	P74	出力	179
		出力イネーブル	178
		入力	177
M12	PC1	出力	176
		出力イネーブル	175
		入力	174
M11	PC0	出力	173
		出力イネーブル	172
		入力	171
L12	P73	出力	170
		出力イネーブル	169
		入力	168
K11	PB7	出力	167
		出力イネーブル	166
		入力	165
K12	PB6	出力	164
		出力イネーブル	163
		入力	162
K13	PB5	出力	161
		出力イネーブル	160
		入力	159
J11	PB4	出力	158
		出力イネーブル	157
		入力	156
J10	PB3	出力	155
		出力イネーブル	154
		入力	153
J12	PB2	出力	152
		出力イネーブル	151
		入力	150
J13	PB1	出力	149
		出力イネーブル	148
		入力	147
H10	PB0	出力	140
		出力イネーブル	139
		入力	138

表 48.6 バウンダリスキャンレジスタ
145ピンTFLGA (0.65mmピッチ) (5 / 8)

Pin No	端子名	タイプ	ビット名
H11	PA7	出力	137
		出力イネーブル	136
		入力	135
G11	PA6	出力	134
		出力イネーブル	133
		入力	132
G10	PA5	出力	131
		出力イネーブル	130
		入力	129
F11	PA4	出力	128
		出力イネーブル	127
		入力	126
F10	PA3	出力	125
		出力イネーブル	124
		入力	123
F13	PA2	出力	122
		出力イネーブル	121
		入力	120
F12	PA1	出力	119
		出力イネーブル	118
		入力	117
E10	PA0	出力	116
		出力イネーブル	115
		入力	114
E13	P67	出力	113
		出力イネーブル	112
		入力	111
E11	P66	出力	110
		出力イネーブル	109
		入力	108
E12	P65	出力	107
		出力イネーブル	106
		入力	105
D10	PE7	出力	104
		出力イネーブル	103
		入力	102
D13	PE6	出力	101
		出力イネーブル	100
		入力	99
C12	P70	出力	98
		出力イネーブル	97
		入力	96
D12	PE5	出力	95
		出力イネーブル	94
		入力	93

表 48.6 バウンダリスキャンレジスタ
145ピンTFLGA (0.65mmピッチ) (6 / 8)

Pin No	端子名	タイプ	ビット名
B13	PE4	出力	92
		出力イネーブル	91
		入力	90
A13	PE3	出力	89
		出力イネーブル	88
		入力	87
B12	PE2	出力	86
		出力イネーブル	85
		入力	84
A12	PE1	出力	83
		出力イネーブル	82
		入力	81
C11	PE0	出力	80
		出力イネーブル	79
		入力	78
D9	P64	出力	77
		出力イネーブル	76
		入力	75
C10	P63	出力	74
		出力イネーブル	73
		入力	72
A11	P62	出力	71
		出力イネーブル	70
		入力	69
B11	P61	出力	68
		出力イネーブル	67
		入力	66
D8	P60	出力	65
		出力イネーブル	64
		入力	63
C9	PD7	出力	62
		出力イネーブル	61
		入力	60
A9	PD6	出力	59
		出力イネーブル	58
		入力	57
D7	PD5	出力	56
		出力イネーブル	55
		入力	54
B9	PD4	出力	53
		出力イネーブル	52
		入力	51
C8	PD3	出力	50
		出力イネーブル	49
		入力	48

表 48.6 バウンダリスキャンレジスタ
145ピンTFLGA (0.65mmピッチ) (7 / 8)

Pin No	端子名	タイプ	ビット名
A8	PD2	出力	47
		出カイナーブル	46
		入力	45
C7	PD1	出力	44
		出カイナーブル	43
		入力	42
B8	PD0	出力	41
		出カイナーブル	40
		入力	39
D6	P93	出力	38
		出カイナーブル	37
		入力	36
A7	P92	出力	35
		出カイナーブル	34
		入力	33
B7	P91	出力	32
		出カイナーブル	31
		入力	30
A6	P90	出力	29
		出カイナーブル	28
		入力	27
B6	P47	出力	26
		出カイナーブル	25
		入力	24
C5	P46	出力	23
		出カイナーブル	22
		入力	21
A5	P45	出力	20
		出カイナーブル	19
		入力	18
E5	P44	出力	17
		出カイナーブル	16
		入力	15
B5	P43	出力	14
		出カイナーブル	13
		入力	12
A4	P42	出力	11
		出カイナーブル	10
		入力	9
C4	P41	出力	8
		出カイナーブル	7
		入力	6
A3	P40	出力	5
		出カイナーブル	4
		入力	3

表 48.6 バウンダリスキャンレジスタ
145ピンTFLGA (0.65mmピッチ) (8 / 8)

Pin No	端子名	タイプ	ビット名
A2	P07	出力	2
		出カイナーブル	1
		入力	0
To TDO			

表 48.7 バウンダリスキャンレジスタ
145ピンTFLGA (0.50mmピッチ) (1 / 8)

Pin No	端子名	タイプ	ビット名
From TDI			
B3	P05	出力	339
		出カイナーブル	338
		入力	337
D3	P03	出力	336
		出カイナーブル	335
		入力	334
C2	P02	出力	333
		出カイナーブル	332
		入力	331
D4	P01	出力	330
		出カイナーブル	329
		入力	328
D1	P00	出力	327
		出カイナーブル	326
		入力	325
D2	PF5	出力	324
		出カイナーブル	323
		入力	322
E3	PJ5	出力	321
		出カイナーブル	320
		入力	319
F3	PJ3	出力	318
		出カイナーブル	317
		入力	316
G3	MD	出力	315
		出カイナーブル	314
		入力	313
H4	P35	入力	309
J2	P33	出力	305
		出カイナーブル	304
		入力	303
J3	P32	出力	302
		出カイナーブル	301
		入力	300
L1	P25	出力	287
		出カイナーブル	286
		入力	285
L4	P24	出力	284
		出カイナーブル	283
		入力	282
L2	P23	出力	281
		出カイナーブル	280
		入力	279

表 48.7 バウンダリスキャンレジスタ
145ピンTFLGA (0.50mmピッチ) (2 / 8)

Pin No	端子名	タイプ	ビット名
M1	P22	出力	278
		出カイナーブル	277
		入力	276
N1	P21	出力	275
		出カイナーブル	274
		入力	273
N2	P20	出力	272
		出カイナーブル	271
		入力	270
M2	P17	出力	269
		出カイナーブル	268
		入力	267
N3	P87	出力	266
		出カイナーブル	265
		入力	264
L3	P16	出力	263
		出カイナーブル	262
		入力	261
M3	P86	出力	260
		出カイナーブル	259
		入力	258
K4	P15	出力	257
		出カイナーブル	256
		入力	255
N4	P14	出力	254
		出カイナーブル	253
		入力	252
L5	P13	出力	251
		出カイナーブル	250
		入力	249
M4	P12	出力	248
		出カイナーブル	247
		入力	246
N5	PH2/ USB0_DM	出力	245
		出カイナーブル	244
		入力	243
N6	PH1/ USB0_DP	出力	242
		出カイナーブル	241
		入力	240
L6	P56	出力	239
		出カイナーブル	238
		入力	237
N7	P55	出力	236
		出カイナーブル	235
		入力	234

表 48.7 バウンダリスキャンレジスタ
145ピンTFLGA (0.50mmピッチ) (3 / 8)

Pin No	端子名	タイプ	ビット名
K5	P54	出力	233
		出力イネーブル	232
		入力	231
K6	P53	出力	230
		出力イネーブル	229
		入力	228
L7	P52	出力	227
		出力イネーブル	226
		入力	225
K7	P51	出力	224
		出力イネーブル	223
		入力	222
M7	P50	出力	221
		出力イネーブル	220
		入力	219
L8	P83	出力	218
		出力イネーブル	217
		入力	216
N9	PC7	出力	215
		出力イネーブル	214
		入力	213
M8	PC6	出力	212
		出力イネーブル	211
		入力	210
L9	PC5	出力	209
		出力イネーブル	208
		入力	207
N10	P82	出力	206
		出力イネーブル	205
		入力	204
M9	P81	出力	203
		出力イネーブル	202
		入力	201
K9	P80	出力	200
		出力イネーブル	199
		入力	198
L10	PC4	出力	197
		出力イネーブル	196
		入力	195
N11	PC3	出力	194
		出力イネーブル	193
		入力	192
M10	P77	出力	191
		出力イネーブル	190
		入力	189

表 48.7 バウンダリスキャンレジスタ
145ピンTFLGA (0.50mmピッチ) (4 / 8)

Pin No	端子名	タイプ	ビット名
K10	P76	出力	188
		出力イネーブル	187
		入力	186
L11	PC2	出力	185
		出力イネーブル	184
		入力	183
N12	P75	出力	182
		出力イネーブル	181
		入力	180
N13	P74	出力	179
		出力イネーブル	178
		入力	177
M12	PC1	出力	176
		出力イネーブル	175
		入力	174
M11	PC0	出力	173
		出力イネーブル	172
		入力	171
L12	P73	出力	170
		出力イネーブル	169
		入力	168
K11	PB7	出力	167
		出力イネーブル	166
		入力	165
K12	PB6	出力	164
		出力イネーブル	163
		入力	162
K13	PB5	出力	161
		出力イネーブル	160
		入力	159
J11	PB4	出力	158
		出力イネーブル	157
		入力	156
J10	PB3	出力	155
		出力イネーブル	154
		入力	153
J12	PB2	出力	152
		出力イネーブル	151
		入力	150
J13	PB1	出力	149
		出力イネーブル	148
		入力	147
H10	P72	出力	146
		出力イネーブル	145
		入力	144

表 48.7 バウンダリスキャンレジスタ
145ピンTFLGA (0.50mmピッチ) (5 / 8)

Pin No	端子名	タイプ	ビット名
H11	P71	出力	143
		出力イネーブル	142
		入力	141
H12	PB0	出力	140
		出力イネーブル	139
		入力	138
H13	PA7	出力	137
		出力イネーブル	136
		入力	135
G11	PA6	出力	134
		出力イネーブル	133
		入力	132
G10	PA5	出力	131
		出力イネーブル	130
		入力	129
G13	PA4	出力	128
		出力イネーブル	127
		入力	126
F10	PA3	出力	125
		出力イネーブル	124
		入力	123
F13	PA2	出力	122
		出力イネーブル	121
		入力	120
F12	PA1	出力	119
		出力イネーブル	118
		入力	117
E10	PA0	出力	116
		出力イネーブル	115
		入力	114
E13	P67	出力	113
		出力イネーブル	112
		入力	111
E11	P66	出力	110
		出力イネーブル	109
		入力	108
E12	P65	出力	107
		出力イネーブル	106
		入力	105
D10	PE7	出力	104
		出力イネーブル	103
		入力	102
D13	PE6	出力	101
		出力イネーブル	100
		入力	99

表 48.7 バウンダリスキャンレジスタ
145ピンTFLGA (0.50mmピッチ) (6 / 8)

Pin No	端子名	タイプ	ビット名
C12	P70	出力	98
		出力イネーブル	97
		入力	96
D12	PE5	出力	95
		出力イネーブル	94
		入力	93
B13	PE4	出力	92
		出力イネーブル	91
		入力	90
A13	PE3	出力	89
		出力イネーブル	88
		入力	87
B12	PE2	出力	86
		出力イネーブル	85
		入力	84
A12	PE1	出力	83
		出力イネーブル	82
		入力	81
C11	PE0	出力	80
		出力イネーブル	79
		入力	78
D9	P64	出力	77
		出力イネーブル	76
		入力	75
C10	P63	出力	74
		出力イネーブル	73
		入力	72
A11	P62	出力	71
		出力イネーブル	70
		入力	69
B11	P61	出力	68
		出力イネーブル	67
		入力	66
D8	P60	出力	65
		出力イネーブル	64
		入力	63
C9	PD7	出力	62
		出力イネーブル	61
		入力	60
A9	PD6	出力	59
		出力イネーブル	58
		入力	57
D7	PD5	出力	56
		出力イネーブル	55
		入力	54

表 48.7 バウンダリスキャンレジスタ
145ピンTFLGA (0.50mmピッチ) (7 / 8)

Pin No	端子名	タイプ	ビット名
B9	PD4	出力	53
		出カイナーブル	52
		入力	51
C8	PD3	出力	50
		出カイナーブル	49
		入力	48
A8	PD2	出力	47
		出カイナーブル	46
		入力	45
C7	PD1	出力	44
		出カイナーブル	43
		入力	42
B8	PD0	出力	41
		出カイナーブル	40
		入力	39
D6	P93	出力	38
		出カイナーブル	37
		入力	36
A7	P92	出力	35
		出カイナーブル	34
		入力	33
B7	P91	出力	32
		出カイナーブル	31
		入力	30
A6	P90	出力	29
		出カイナーブル	28
		入力	27
B6	P47	出力	26
		出カイナーブル	25
		入力	24
C5	P46	出力	23
		出カイナーブル	22
		入力	21
A5	P45	出力	20
		出カイナーブル	19
		入力	18
E5	P44	出力	17
		出カイナーブル	16
		入力	15
B5	P43	出力	14
		出カイナーブル	13
		入力	12
A4	P42	出力	11
		出カイナーブル	10
		入力	9

表 48.7 バウンダリスキャンレジスタ
145ピンTFLGA (0.50mmピッチ) (8 / 8)

Pin No	端子名	タイプ	ビット名
C4	P41	出力	8
		出カイナーブル	7
		入力	6
A3	P40	出力	5
		出カイナーブル	4
		入力	3
A2	P07	出力	2
		出カイナーブル	1
		入力	0
To TDO			

表 48.8 バウンダリスキャンレジスタ
64ピンTFBGA (1 / 3)

Pin No	端子名	タイプ	ビット名
From TDI			
C3	MD	出力	315
		出力イネーブル	314
		入力	313
F3	P35	入力	309
H2	P17	出力	269
		出力イネーブル	268
		入力	267
H3	P16	出力	263
		出力イネーブル	262
		入力	261
E4	P13	出力	251
		出力イネーブル	250
		入力	249
F4	P12	出力	248
		出力イネーブル	247
		入力	246
H4	PH2/ USB0_DM	出力	245
		出力イネーブル	244
		入力	243
H5	PH1/ USB0_DP	出力	242
		出力イネーブル	241
		入力	240
F5	P53	出力	230
		出力イネーブル	229
		入力	228
G6	PC7	出力	215
		出力イネーブル	214
		入力	213
H6	PC6	出力	212
		出力イネーブル	211
		入力	210
G7	PC5	出力	209
		出力イネーブル	208
		入力	207
H7	PC4	出力	197
		出力イネーブル	196
		入力	195
H8	PC1	出力	176
		出力イネーブル	175
		入力	174
G8	PC0	出力	173
		出力イネーブル	172
		入力	171

表 48.8 バウンダリスキャンレジスタ
64ピンTFBGA (2 / 3)

Pin No	端子名	タイプ	ビット名
F6	PB7	出力	167
		出力イネーブル	166
		入力	165
F7	PB6	出力	164
		出力イネーブル	163
		入力	162
F8	PB5	出力	161
		出力イネーブル	160
		入力	159
E6	PA7	出力	137
		出力イネーブル	136
		入力	135
D6	PA6	出力	134
		出力イネーブル	133
		入力	132
D8	PA4	出力	128
		出力イネーブル	127
		入力	126
D7	PA2	出力	122
		出力イネーブル	121
		入力	120
C7	PA1	出力	119
		出力イネーブル	118
		入力	117
C8	PE7	出力	104
		出力イネーブル	103
		入力	102
B8	PE6	出力	101
		出力イネーブル	100
		入力	99
A8	PE2	出力	86
		出力イネーブル	85
		入力	84
B7	PE1	出力	83
		出力イネーブル	82
		入力	81
A7	PE0	出力	80
		出力イネーブル	79
		入力	78
A6	PD7	出力	62
		出力イネーブル	61
		入力	60
B6	PD6	出力	59
		出力イネーブル	58
		入力	57

表 48.8 バウンダリスキャンレジスタ
64ピンTFBGA (3 / 3)

Pin No	端子名	タイプ	ビット名
C6	PD5	出力	56
		出カイナーブル	55
		入力	54
C5	PD4	出力	53
		出カイナーブル	52
		入力	51
B5	PD3	出力	50
		出カイナーブル	49
		入力	48
A5	PD2	出力	47
		出カイナーブル	46
		入力	45
D5	P43	出力	14
		出カイナーブル	13
		入力	12
B4	P42	出力	11
		出カイナーブル	10
		入力	9
C4	P41	出力	8
		出カイナーブル	7
		入力	6
D4	P40	出力	5
		出カイナーブル	4
		入力	3
To TDO			

48.3 動作説明

バウンダリスキャン機能は、RES# 端子を High、EMLE 端子を Low、かつ BSCANP 端子を High としたとき有効になります。

48.3.1 TAP コントローラ

図 48.2 に TAP コントローラの状態遷移図を示します。

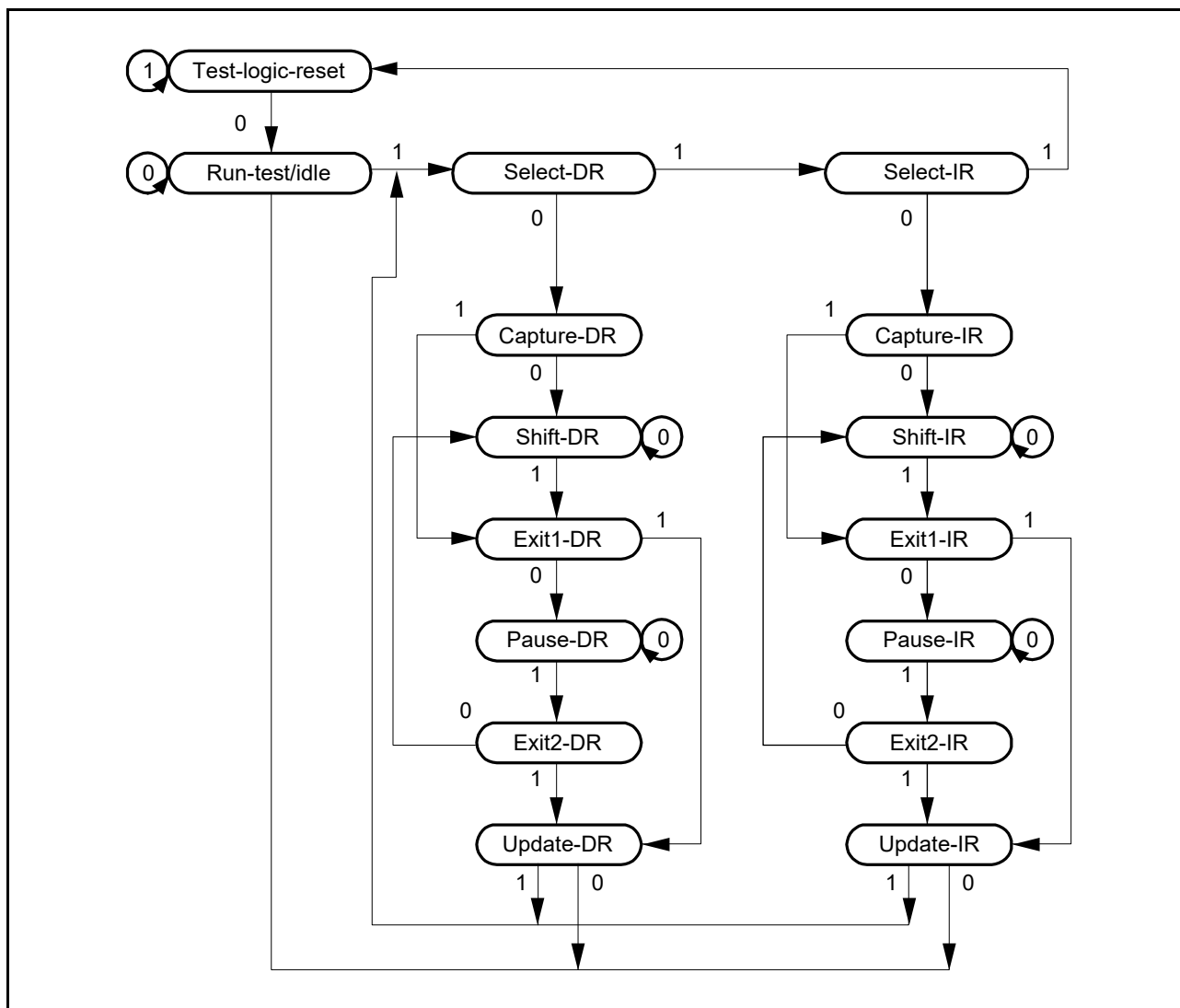


図 48.2 TAP コントローラの状態遷移図

48.3.2 コマンド一覧

(1) BYPASS[命令コード : 1111 1111b]

BYPASS 命令は、JTBPB レジスタを動作させる命令です。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子には JTBPB レジスタが接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO が Low となり、その後の Shift-DR で TDI が TDO から出力されます。

(2) EXTEST[命令コード : 0000 0000b]

EXTEST 命令は、LSI をプリント基板に実装したとき、外部回路をテストするためのものです。この命令の実行時、出力端子は JTBSR レジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力端子はプリント基板から JTBSR レジスタにテスト結果を取り込むために使用されます。

(3) SAMPLE/PRELOAD[命令コード : 0100 0000b]

SAMPLE/PRELOAD 命令は、LSI の内部回路から JTBSR レジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、LSI の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットを JTBSR レジスタに取り込みスキャンパスから読みます。スナップショットの取り込みは Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナップショットの取り込みは LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスから JTBSR レジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力端子から不定値が出力される (EXTEST 命令では出力端子にパラレル出力ラッチを出力する) ことになります。

(4) IDCODE[命令コード : 0101 0101b]

IDCODE 命令が選択されると、TAP コントローラの Shift-DR ステート時に JTIDR レジスタの値を LSB より TDO から出力します。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。TAP コントローラの Test-Logic-Reset ステート時インストラクションレジスタは IDCODE 命令に初期化されます。

(5) CLAMP[命令コード : 1101 0000b]

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定された JTBSR レジスタの値を出力します。CLAMP 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

この命令では TDI 端子と TDO 端子にバイパスレジスタが接続され、BYPASS モードを選択したときと同様の動作をします。

(6) HIGHZ[命令コード : 1000 0000b]

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

48.4 使用上の注意事項

(1) シリアル転送時、データの入出力はLSB側からとなります。図 48.3 に示します。

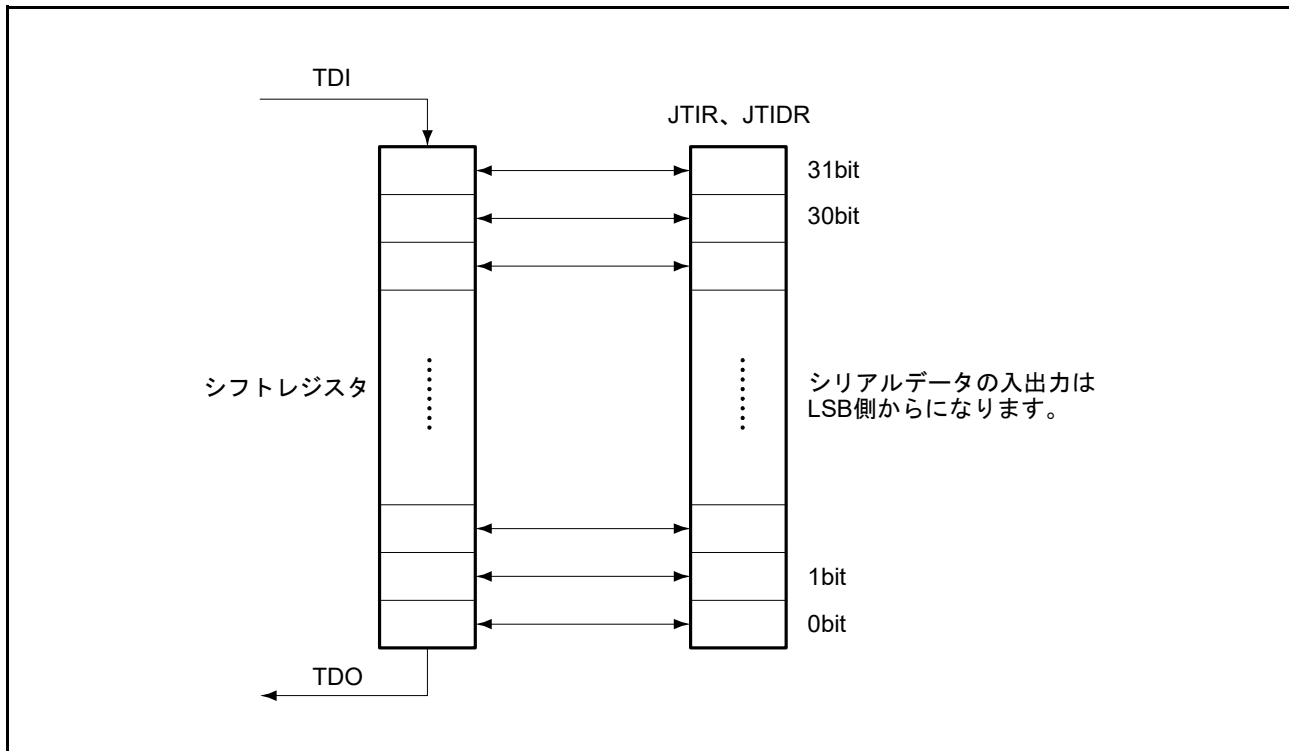


図 48.3 シリアルデータ入出力

- (2) バウンダリスキャンの端子 (TCK, TDI, TMS, TRST#) は、プルアップ抵抗にてプルアップしてください。ただし、オンチップエミュレータを使用する場合は、使用するオンチップエミュレータのマニュアルに従って、TRST# 端子を処理してください。TRST# 端子をプルダウンする場合には、バウンダリスキャン時に、TRST# も制御するようにしてください。
- (3) 電源端子 (VCC, VCL, VSS, AVCC0, AVCC1, AVSS0, AVSS1, VCC_USB, VSS_USB, VBATT) はバウンダリスキャン対象外です。
- (4) アナログリファレンス端子 (VREFH0, VREFL0) はバウンダリスキャンの対象外です。
- (5) クロック端子 (EXTAL, XTAL, XCIN, XCOU) はバウンダリスキャンの対象外です。
- (6) リセット端子 (RES#) はバウンダリスキャンの対象外です。
- (7) USB 専用端子 (USB1_DP, USB1_DM) はバウンダリスキャンの対象外です。
- (8) オンチップエミュレータイネーブル端子 (EMLE) はバウンダリスキャンの対象外です。
- (9) バウンダリスキャン端子 (BSCANP) はバウンダリスキャンの対象外です。
- (10) バウンダリスキャンの端子 (TCK, TMS, TRST#, TDI, TDO) はバウンダリスキャン対象外です。
- (11) バウンダリスキャン機能は以下のとき、使用できません。
- リセット状態
 - ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
- (12) オープンドレイン機能付き端子を、オープンドレイン機能有効として使用した場合、バウンダリスキャン機能で出力のスキャンレジスタを 1、出力イネーブルレジスタを 1 に設定し、EXTEST 命令、CLAMP 命令、SAMPLE/PRELOAD 命令のいずれかを実行すると端子はハイインピーダンスではなく、High 出力になります。

- (13) 複合ポートの場合、バウンダリスキャンの規格を守るように注意してください。RIIC 端子および TSCAP 端子との複合ポート端子構成 (P16, P17, P20, P21, PC4) を図 48.4 (1) に示します。P16、P17、P20、P21 を RIIC 端子 (SCL1, SCL2, SDA1, SDA2) として、PC4 を CTSU 端子 (TSCAP) として使用した場合、バウンダリスキャン機能をご使用の際は、オープンドレイン出力との衝突、回り込みに注意してください。
- (14) P00 ~ P02、P40 ~ P47、P90、PD0 ~ PD7、PE0、PE1 端子構成を図 48.4 (2) に示します。P00 ~ P02、P40 ~ P47、P90、PD0 ~ PD7、PE0、PE1 を AD 入力 (AN000 ~ AN007, ANEX0, ANEX1, AN100 ~ AN111) として使用した場合、バウンダリスキャン機能をご使用の際は、AD 入力との衝突、回り込みに注意してください。
- (15) TS 端子は複合ポートのため、バウンダリスキャンの規格を守るように注意してください。TS 端子との複合ポート端子構成 (P2[7:0], P14, P15, P33, P34, P53, PC0, PC1, PC5, PC6) を図 48.4 (3) に示します。P2[7:0]、P14、P15、P33、P34、P53、PC0、PC1、PC5、PC6 を TS 端子 (TS0 ~ TS16) として使用した場合、バウンダリスキャン機能をご使用の際は、TS 出力との衝突、回り込みに注意してください。
- (16) USB0 端子は複合ポートのため、バウンダリスキャンの規格を守るように注意してください。USB0 端子との複合ポート端子構成 (PH1, PH2) を図 48.4 (4) に示します。PH1、PH2 を USB0 端子 (USB0_DP, USB0_DM) として使用した場合、バウンダリスキャン機能をご使用の際は、USB0 出力との衝突、回り込みに注意してください。
- (17) MD 端子は HIGHZ オプションを使用することができません。

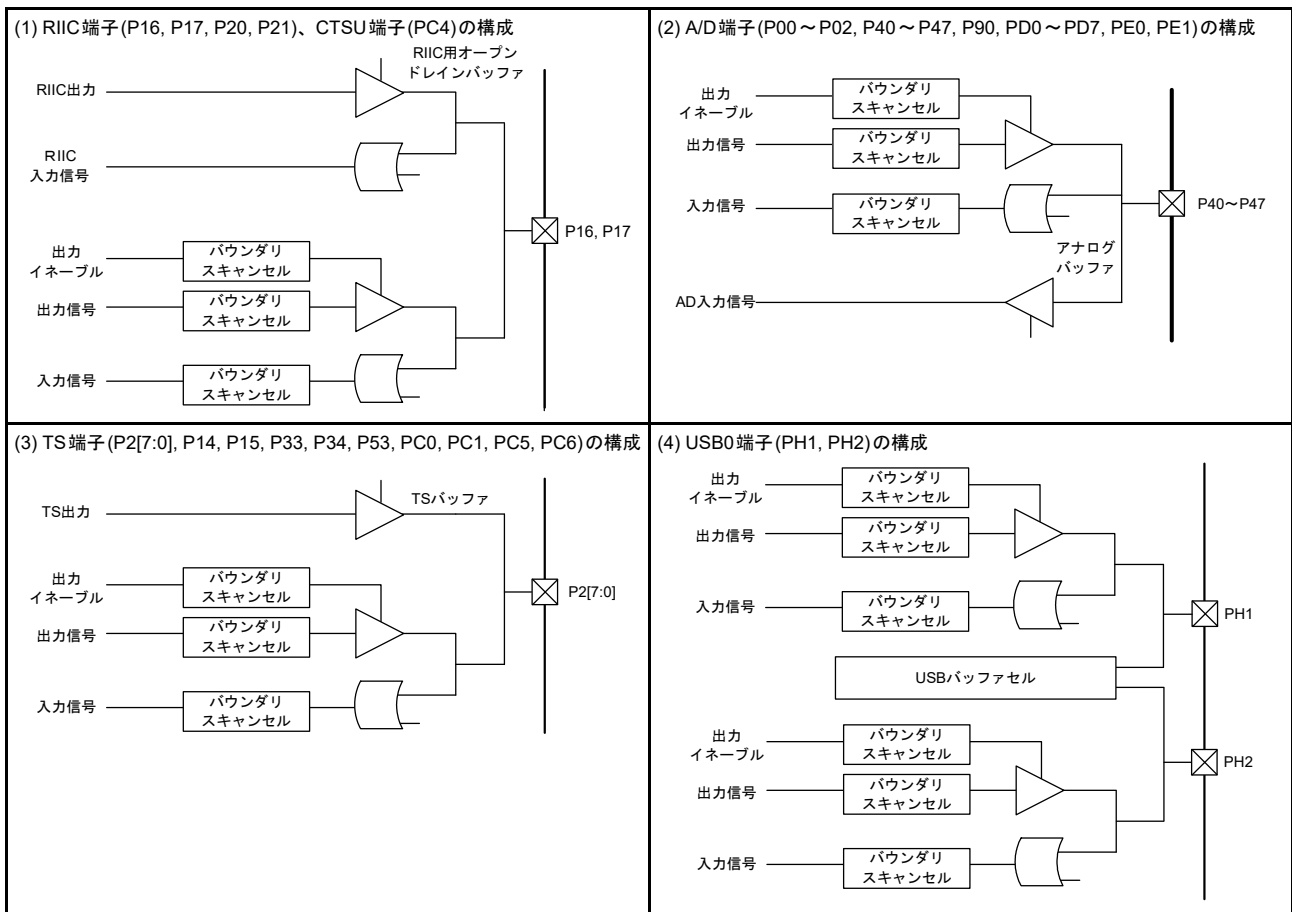


図 48.4 各端子の構成

49. Trusted Secure IP (TSIP)

本 MCU は、セキュリティ機能に対応した Trusted Secure IP (TSIP) を内蔵しています。TSIP はアクセス管理回路、暗号エンジン、乱数生成回路から構成されます。TSIP は、TSIP ライブラリを組み合わせることで、盗聴を防止する「秘匿性」、情報の偽造を防止する「完全性」、成りすましを防止する「認証」が実現できます。

また、暗号、復号の処理に用いる鍵情報は TSIP 内のみに格納し、外部からのアクセスを遮断することが可能なため、より強固なセキュリティシステムを実現することができます。

49.1 概要

表 49.1 に TSIP の仕様を示します。図 49.1 に TSIP のブロック図を示します。

表 49.1 TSIP の仕様 (1 / 2)

項目	内容
アクセス制御	アクセス管理回路 <ul style="list-style-type: none"> プログラムの改ざんや、CPU の暴走等により TSIP への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、TSIP からのデータ出力を停止
暗号エンジン	AES : NIST FIPS PUB 197 準拠 <ul style="list-style-type: none"> 鍵長 : 128 ビット / 192 ビット / 256 ビット データブロック長 : 128 ビット 暗号利用モード <ul style="list-style-type: none"> ECB, CBC, CTR : NIST SP 800-38A 準拠 CMAC : NIST SP 800-38B 準拠 CCM : NIST SP 800-38C 準拠 GCM : NIST SP 800-38D 準拠 XTS : NIST SP 800-38E 準拠 GCTR 実行サイクル数(注1) <ul style="list-style-type: none"> ECB, CBC, CTR, CMAC, GCTR, XTS : <ul style="list-style-type: none"> 鍵長 128 ビット : PCLKB 11 サイクル、192 ビット : PCLKB 13 サイクル、256 ビット : PCLKB 15 サイクル CCM : <ul style="list-style-type: none"> 鍵長 128 ビット : PCLKB 22 サイクル、192 ビット : PCLKB 26 サイクル、256 ビット : PCLKB 30 サイクル AES-GCM <ul style="list-style-type: none"> AES-GCTR と GHASH の組み合わせで AES GCM を実現 RSA <ul style="list-style-type: none"> 鍵長 : 最長 2048 ビット データブロック長 : 最長 2048 ビット 実行サイクル数 : PCLKB 約 130 万 サイクル (CRT を用いた場合)(注1) TDES <ul style="list-style-type: none"> 鍵長 : 56 ビット / 2 × 56 ビット / 3 × 56 ビット データブロック長 : 64 ビット 暗号利用モード : ECB, CBC 実行サイクル数(注1) <ul style="list-style-type: none"> 56 ビット : PCLKB 16 サイクル、2 × 56 ビット : PCLKB 32 サイクル、3 × 56 ビット : PCLKB 48 サイクル ARC4 <ul style="list-style-type: none"> 鍵長 : 2048 ビット データブロック長 : 128 ビット 実行サイクル数 : PCLKB 16 サイクル(注1) ECC <ul style="list-style-type: none"> 鍵長 : 最長 256 ビット データブロック長 : 256 ビット HASH <ul style="list-style-type: none"> SHA1、SHA224/SHA256/MD5、GHASH に対応 データブロック長 : 512 ビット 実行サイクル数(注1) <ul style="list-style-type: none"> SHA1 : PCLKB 80 サイクル SHA224/SHA256/MD5 : PCLKB 64 サイクル GHASH : PCLKB 9 サイクル

表 49.1 TSIPの仕様 (2 / 2)

項目	内容
暗号エンジン	鍵の管理 <ul style="list-style-type: none"> • 鍵はTSIPの内部でのみ有効 • TSIPの外部には鍵生成情報のみを出力 • 鍵生成情報をTSIPに入力することで、鍵が再生成可能 エンディアン <ul style="list-style-type: none"> • ビッグエンディアン、リトルエンディアンに対応
乱数生成	32ビット真性乱数生成回路 <ul style="list-style-type: none"> • 32ビット真性乱数を用いてTSIPライブラリにより128ビット、256ビットの真性乱数を生成可能 • 生成した128ビット、256ビットの真性乱数を暗号、復号の鍵として使用可能
鍵の不正コピー防止	<ul style="list-style-type: none"> • MCU個体固有のID (ユニークID)をアクセスマネジメント回路から専用バス経由でアクセス可能 • ユニークIDを用いて鍵を鍵生成情報に変換することで、本MCUグループの別の個体への不正コピーを防止可能
スーパバイザモード	<ul style="list-style-type: none"> • スーパバイザモード信号をアクセスマネジメント回路に接続しており、TSIPの制御をスーパバイザモード時に限定することが可能
割り込み要因	11種類
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. TSIPライブラリ呼び出しのオーバーヘッドは含みません。

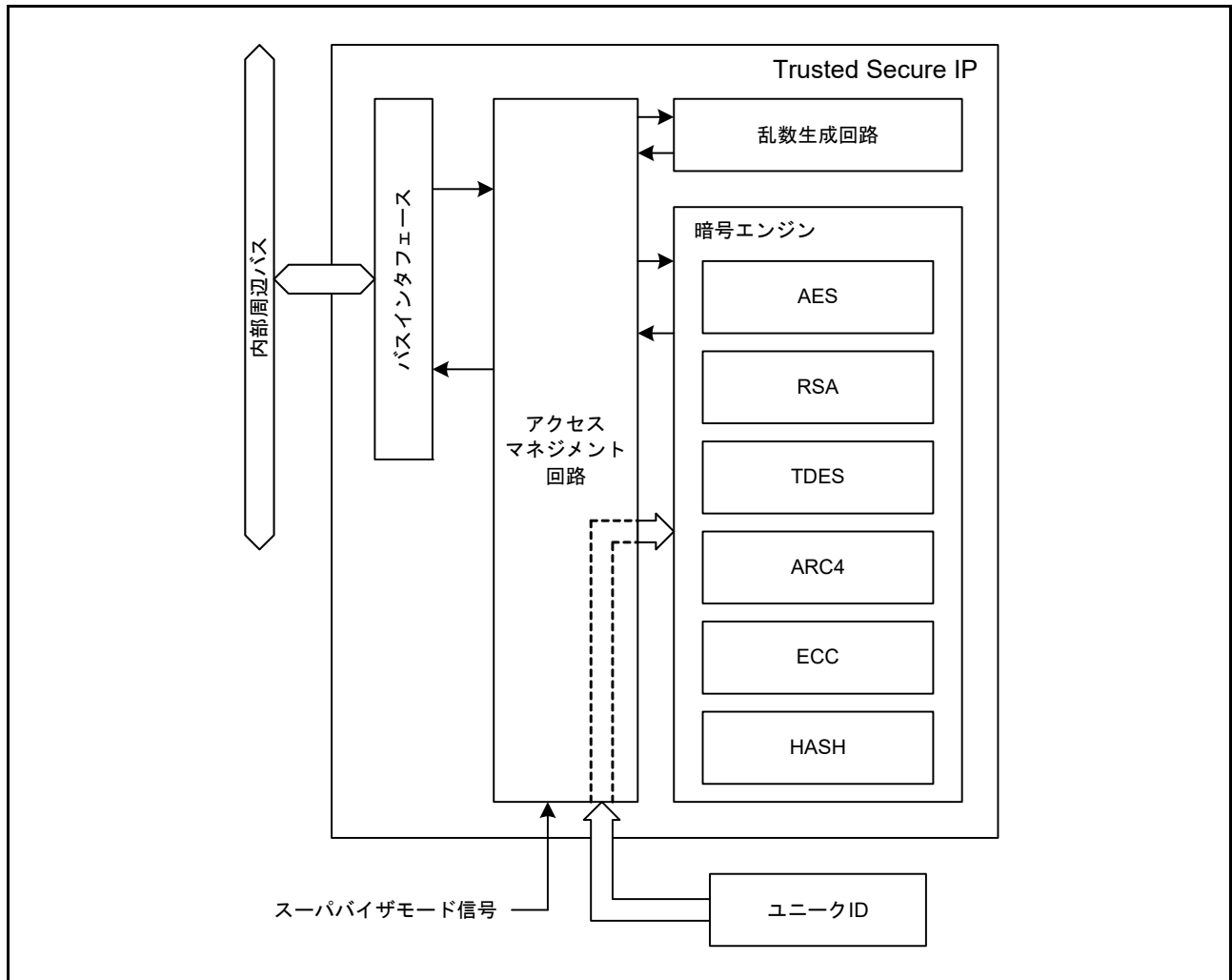


図 49.1 TSIPのブロック図

49.2 動作説明

49.2.1 動作モードと状態遷移

図 49.2 に TSIP の状態遷移図を示します。

TSIP のセキュリティ機能を使用する場合は、ルネサスエレクトロニクスが提供する TSIP ライブラリを用いて、図に示す状態遷移に従って実行する必要があります。

また、プログラムの改ざんや CPU の暴走等により、手順を違反して TSIP への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、TSIP からのデータ出力を停止します。

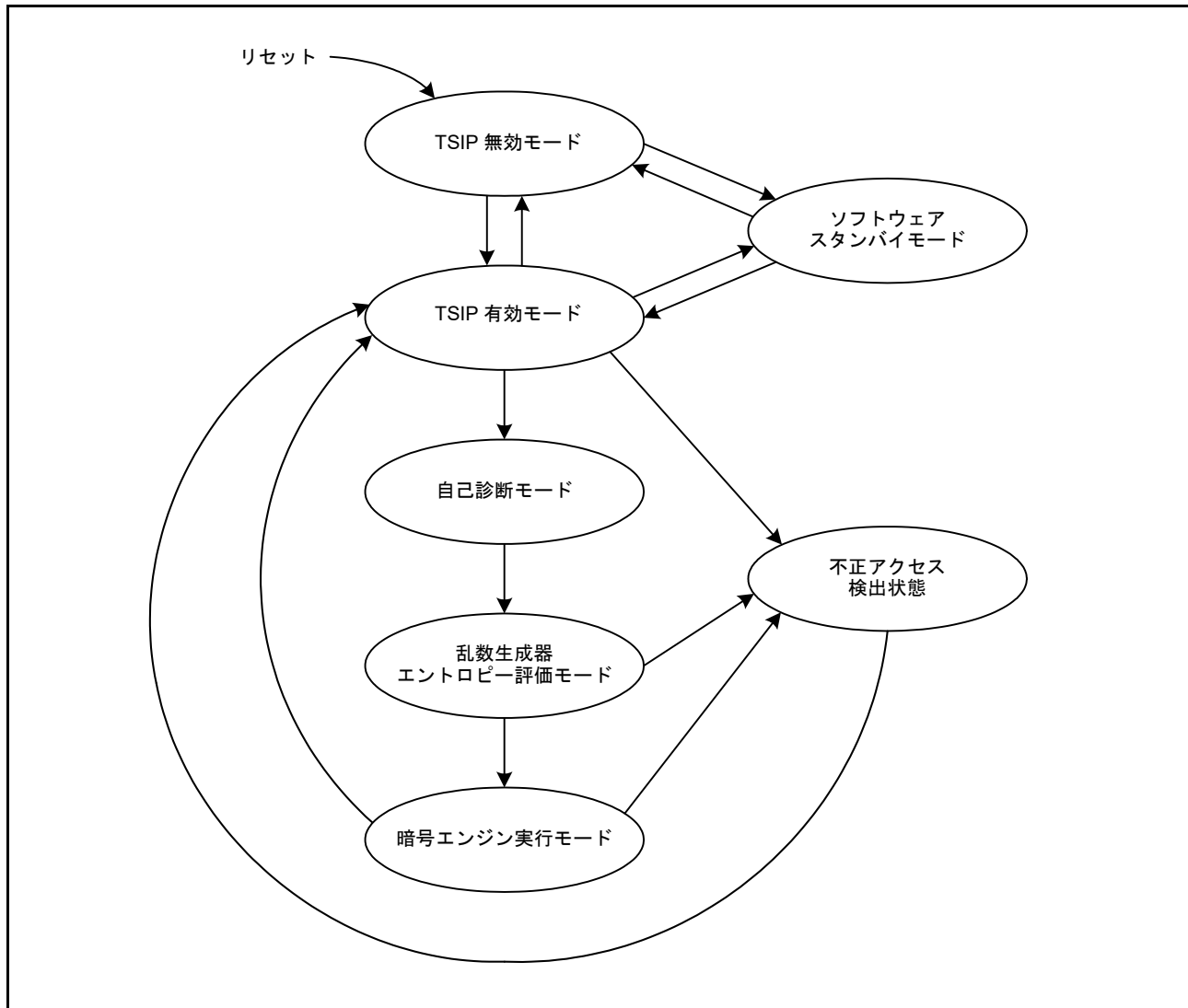


図 49.2 TSIP の動作モード状態遷移図

TSIP が提供するセキュリティ機能の多くは、暗号エンジン実行モードで実行します。暗号エンジン実行モードでは、次の処理を行うことができます。

- (1) 鍵インストール
- (2) 暗号/復号処理
- (3) 鍵生成
- (4) 乱数生成

49.2.2 暗号エンジン

TSIP に搭載している暗号エンジンの概念図を図 49.3 に示します。

暗号エンジンは鍵生成情報を使用し、平文を暗号文に、または暗号文を平文に変換する処理をハードウェアで行います。

ユーザ鍵や暗号/復号処理の中間データが TSIP の外部に出力されることなく、暗号/復号処理を行うことができます。

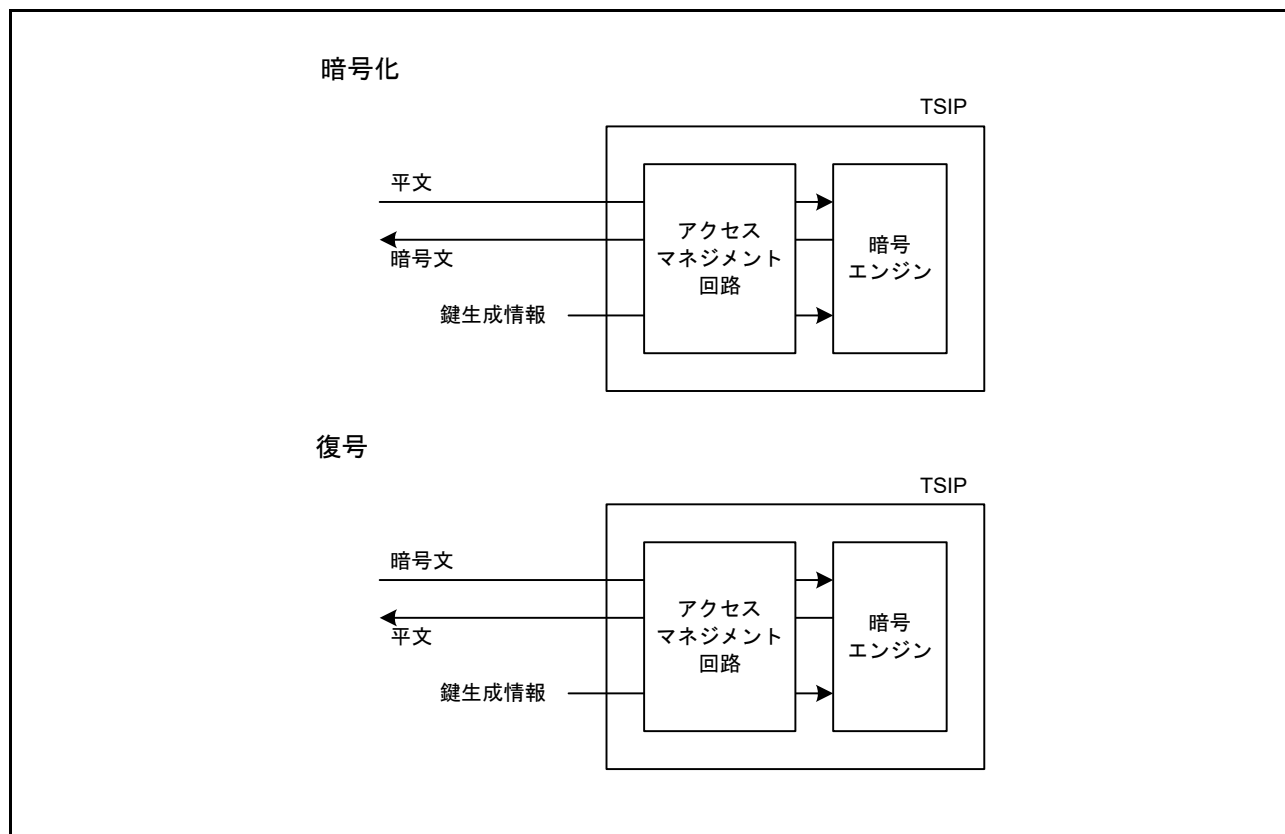


図 49.3 暗号エンジン概念図

49.2.3 鍵インストール

ユーザ鍵のインストールは、ユーザ鍵を安全に鍵生成情報に変換してフラッシュメモリに格納する処理です。以下に鍵のインストール手順について説明します。

- (1) ユーザは、ユーザ鍵 (Key-1) を、ユーザ鍵を暗号化するための鍵 (Key-2) で暗号化します (eKey-1)。
- (2) ユーザはシリアルインタフェースを用いて TSIP に暗号化したユーザ鍵 (eKey-1) を送ります。
- (3) TSIP ライブラリで提供される Key-2 の鍵生成情報 (Index-2) から Key-2 を復元し、この鍵を用いてユーザ鍵を復号します。
- (4) ユーザ鍵をユニーク ID および乱数を用いてユーザ鍵生成情報 (Index-1) に変換し、フラッシュメモリに格納します。

これらのインストール手順の概念図を図 49.4 に、フローを図 49.5 に示します。

ユーザ鍵をインストールした後は、ユーザ鍵生成情報 (Index-1) を使用して暗号 / 復号処理を行います。

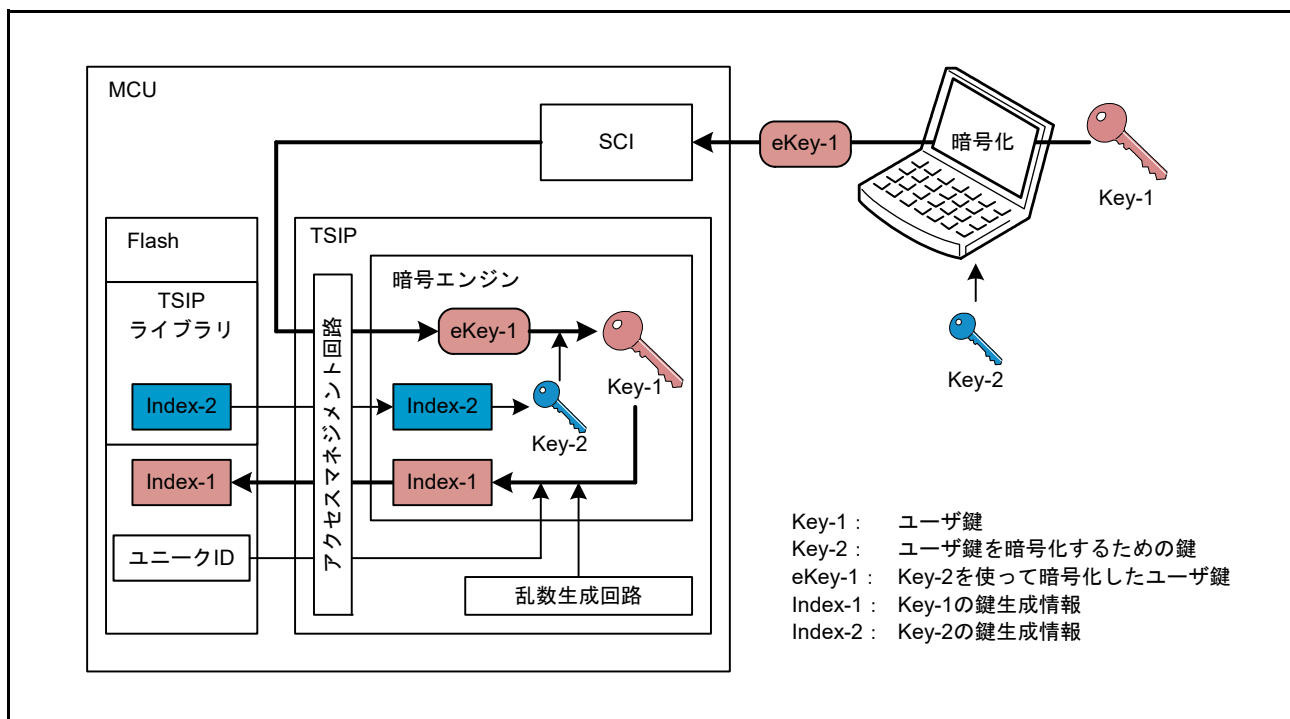


図 49.4 鍵インストール概念図

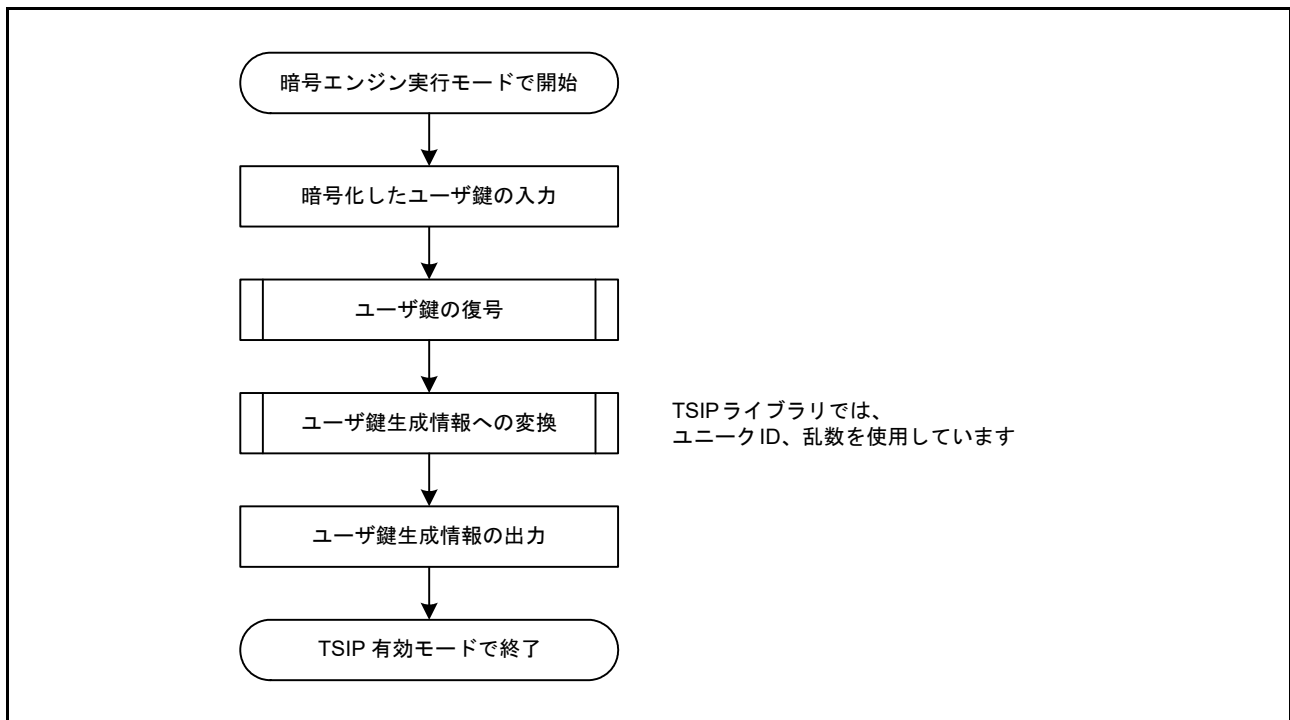


図 49.5 鍵インストールフロー

49.2.4 暗号 / 復号処理

暗号 / 復号処理は、以下の手順で行います。

- (1) 鍵生成情報を TSIP に入力し、ユーザ鍵を復元します。
- (2) 処理対象のデータを TSIP に入力します。平文は暗号文に、暗号文は平文に変換されます。
- (3) 変換されたデータを読み出します。

暗号エンジンは入力バッファ、出力バッファを持っており、データの入出力と並行して暗号 / 復号処理を行うことができます。

図 49.6 に AES の暗号 / 復号処理タイミング図を、図 49.7 に暗号化フロー、図 49.8 に復号フローを示します。

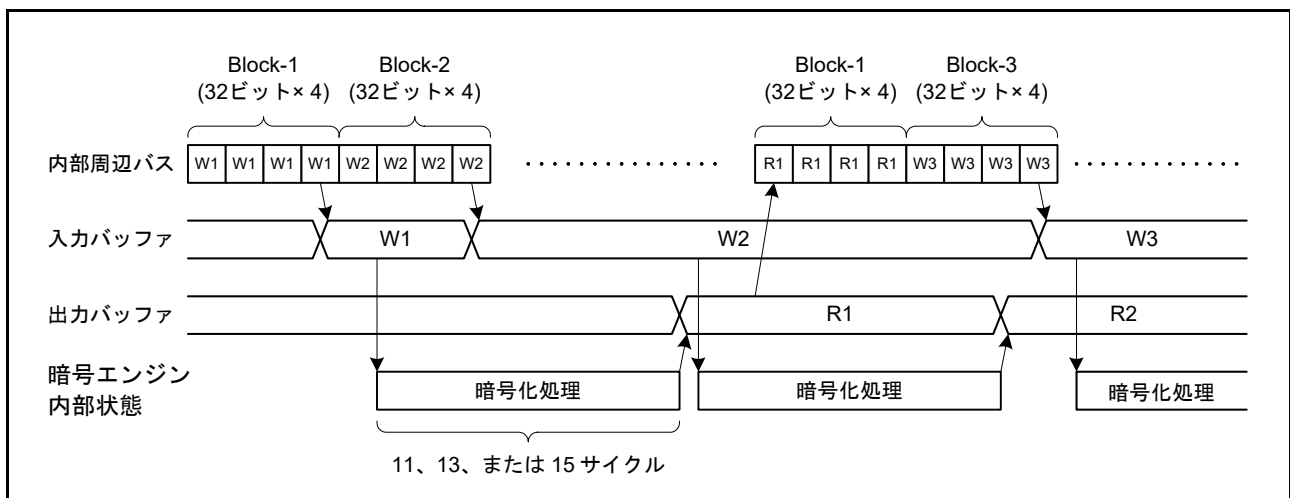


図 49.6 AES 暗号 / 復号処理タイミング図

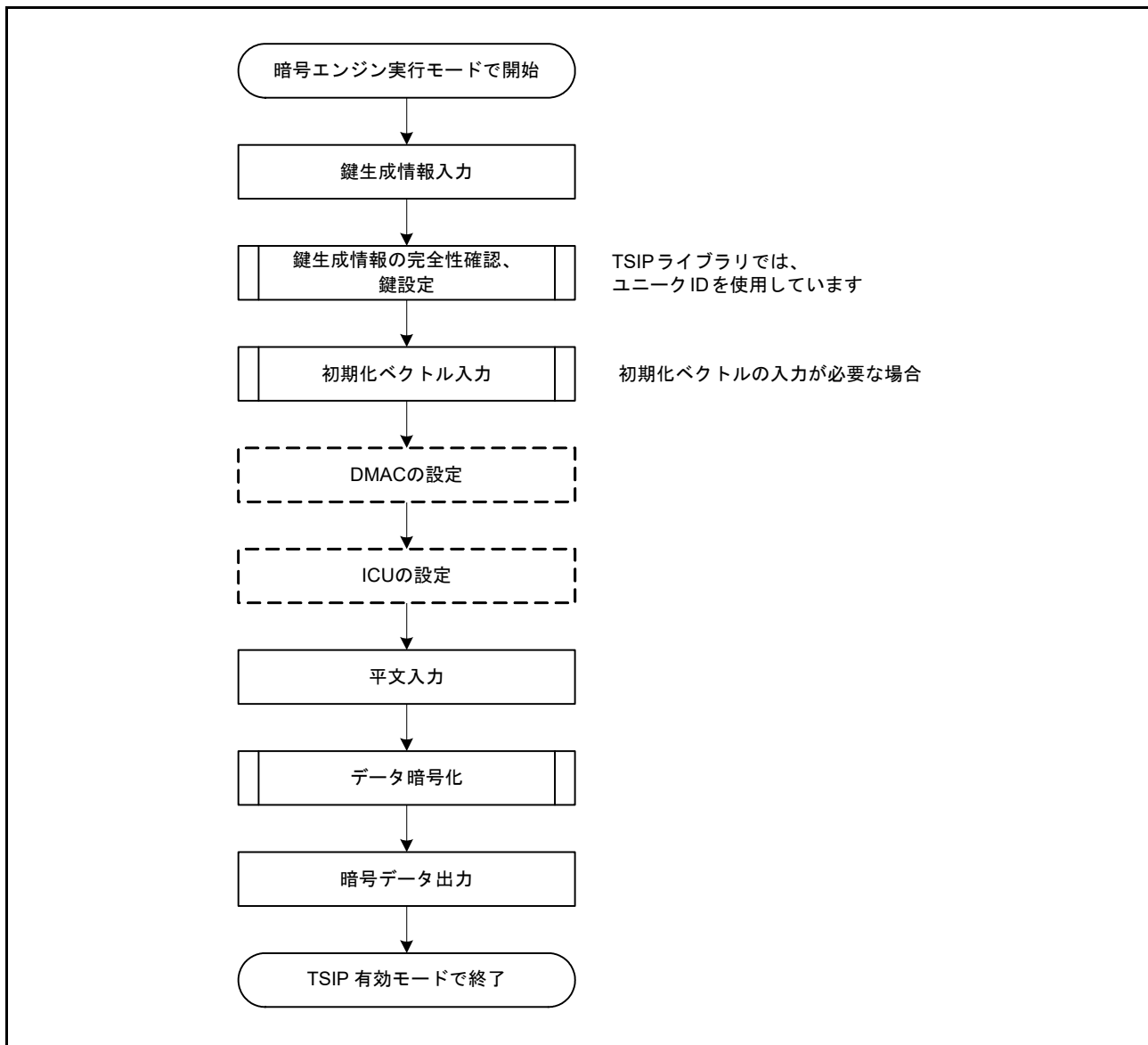


図 49.7 暗号化フロー

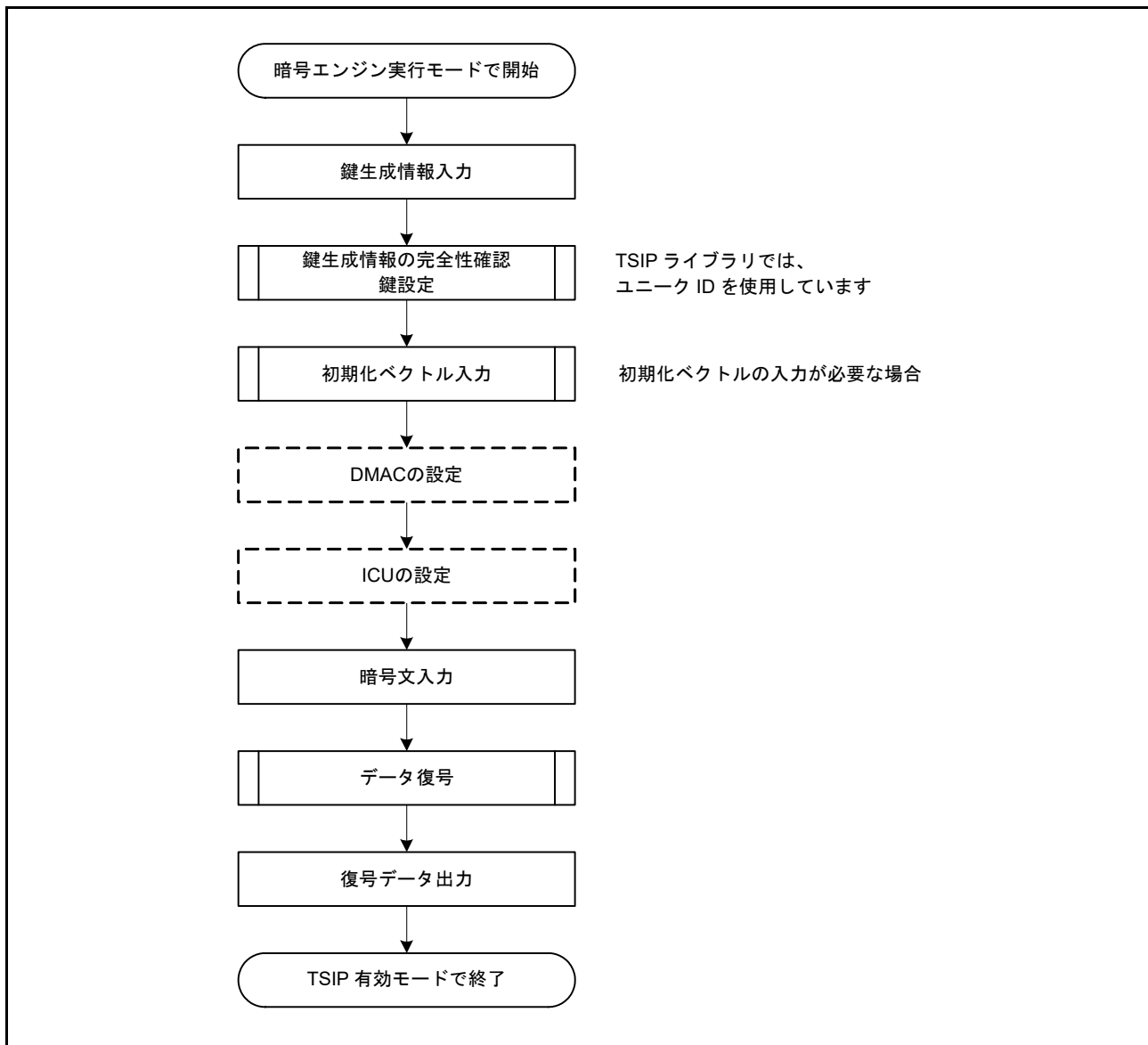


図 49.8 復号フロー

49.2.5 鍵生成情報作成 (乱数使用)

図 49.9 に乱数使用時の鍵生成情報作成フローを示します。

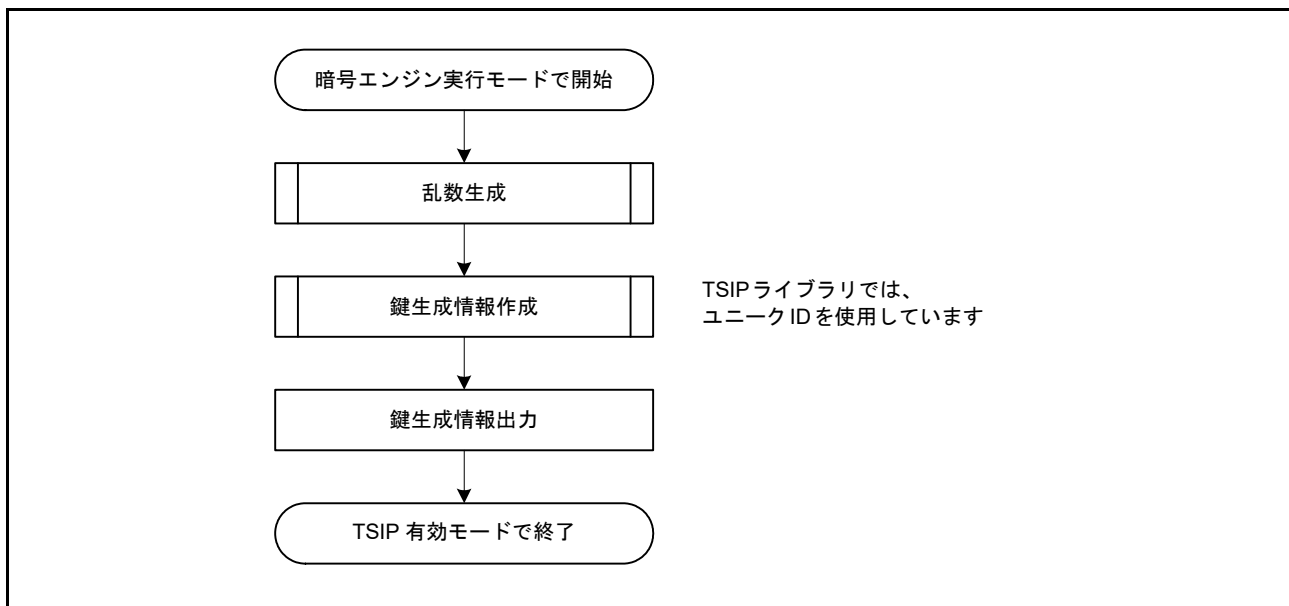


図 49.9 鍵生成情報作成フロー (乱数使用)

49.2.6 乱数生成

図 49.10 に乱数生成のフローを示します。

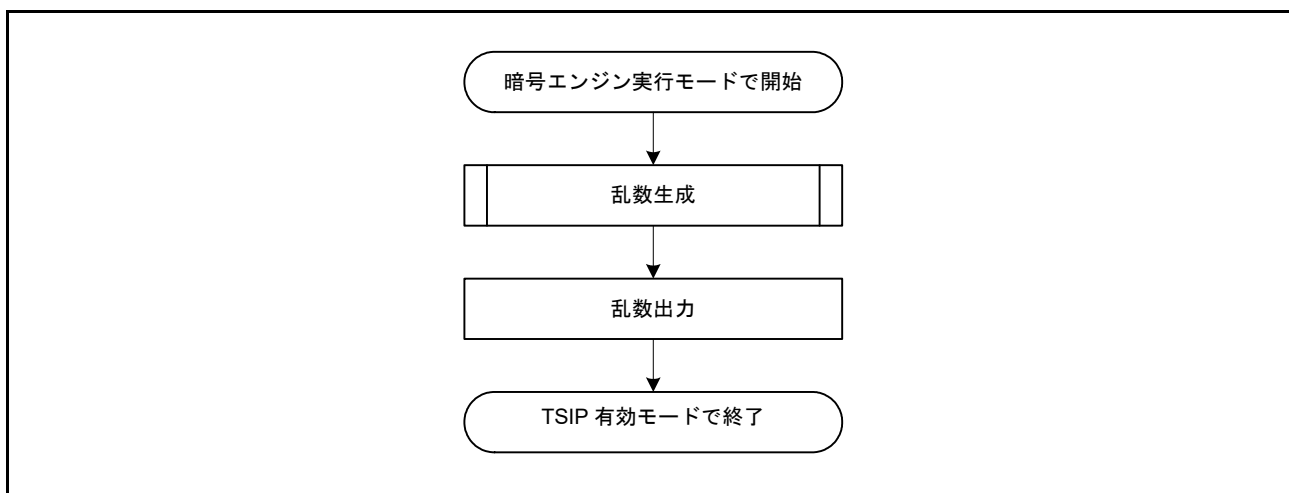


図 49.10 乱数生成フロー

49.3 割り込み

表 49.2 に TSIP の割り込み要因の一覧を示します。

TSIP ライブラリではこれらの割り込みを使用して処理を行っています。これらの割り込み要因に対応する ICU.IERm.IENj ビットを“0”にしないでください。

表 49.2 TSIPの割り込み要因

名称	割り込み要因
PROC_BUSY	手順完了割り込み
ROMOK	改ざん検出割り込み
LONG_PLG	演算完了割り込み
TEST_BUSY	テストビジー
WRRDY0	ライトレディ 0
WRRDY1	ライトレディ 1
WRRDY4	ライトレディ 4
RDRDY0	リードレディ 0
RDRDY1	リードレディ 1
INTEGRATE_WRRDY	インテグレートライトレディ
INTEGRATE_RDRDY	インテグレートリードレディ

49.4 使用上の注意事項

49.4.1 スタンバイモード

暗号エンジンが処理を実行している途中でスタンバイモードに遷移した場合、復帰後に処理を継続しても正しく動作しません。TSIP 無効モードまたは TSIP 有効モードに遷移した後にスタンバイモードに移行して下さい。

49.4.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、TSIP の動作を禁止 / 許可することができます。リセット後は、TSIP の動作は停止しています。モジュールストップ状態を解除することにより、TSIP にアクセスできます。詳細は「11. 消費電力低減機能」を参照して下さい。

49.4.3 TSIP ライブラリ

TSIP を使用する際は、ルネサス エレクトロニクスから提供する TSIP ライブラリが必要になります。TSIP ライブラリに関する情報は、弊社営業窓口にお問い合わせください。

50. 12 ビット A/D コンバータ (S12ADFa)

本章に記載している PCLK とは PCLKB を指します。

50.1 概要

本 MCU は、逐次比較方式の 12 ビットの A/D コンバータを 2 ユニット内蔵しています。高速変換用のユニット 0 は、最大 8 チャンネルのアナログ入力を選択できます。中速変換用のユニット 1 は、最大 12 チャンネルのアナログ入力と温度センサ出力、内部基準電圧を選択できます。

12 ビット A/D コンバータは、選択した最大 8 チャンネル (ユニット 0) / 最大 12 チャンネル (ユニット 1) のアナログ入力、温度センサ出力または内部基準電圧を逐次比較方式で 12 ビットのデジタル値に変換します。動作モードは、任意に選択した 8 チャンネル (ユニット 0) / 12 チャンネル (ユニット 1) のアナログ入力を若いチャンネル番号順に変換するシングルスキャンモードと、任意に選択した 8 チャンネル (ユニット 0) / 12 チャンネル (ユニット 1) のアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードと、8 チャンネル (ユニット 0) / 12 チャンネル (ユニット 1) のアナログ入力を任意に選択して 2 つ (グループ A、グループ B) または 3 つのグループ (グループ A、グループ B、グループ C) に分け、グループ単位で選択したチャンネルのアナログ入力を若いチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードは、2 つのグループ (グループ A, B) か、3 つのグループ (グループ A, B, C) のどちらか一方を選択します。各グループ (A, B または A, B, C) のスキャン開始条件 (同期トリガ) を個別に選択し、各グループ (A, B または A, B, C) のスキャンを異なるタイミングで開始することができます。

グループスキャンモードのグループ優先動作は、前述の動作に加え、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。グループ優先動作の優先順位は、グループ A > グループ B > グループ C の順となります。グループ優先動作では、グループ C のスキャン中にグループ B のスキャン開始を受け付けるとグループ C のスキャンを中断しグループ B のスキャンを開始する、グループ C のスキャン中にグループ A のスキャン開始を受け付けるとグループ C のスキャンを中断し、グループ A のスキャンを開始する、同様にグループ B のスキャン中にグループ A のスキャン開始を受け付けるとグループ B のスキャンを中断し、グループ A のスキャンを開始する動作となります。

また中断したグループのスキャンを優先グループのスキャン終了後に再開することもできます。

ダブルトリガモードは、任意に選択した 1 チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード (グループ A) で変換し、1 回目の同期トリガで変換したデータと 2 回目の同期トリガで変換したデータを別々のレジスタに格納 (A/D 変換データの二重化) します。

自己診断は、スキャンごとの最初に 1 回実施され、12 ビット A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

温度センサ出力、内部基準電圧は、チャンネルのアナログ入力と同時に選択可能で、変換順はチャンネルのアナログ入力、温度センサ出力、内部基準電圧の順で A/D 変換を行います。拡張アナログ入力は単独で A/D 変換を行います。

コンペア機能 (ウィンドウ A、ウィンドウ B) を有しています。また、A/D 変換値と Low 側基準値を比較するコンパレータ動作も可能です。

表 50.1 に 12 ビット A/D コンバータの仕様を、表 50.2 に 12 ビット A/D コンバータの機能概要を示します。図 50.1、図 50.2 に 12 ビット A/D コンバータのブロック図を示します。

表 50.1 12ビットA/Dコンバータの仕様 (1/2)

項目	内容
ユニット数	2ユニット (S12AD, S12AD1)
入力チャンネル	S12AD : 8チャンネル、S12AD1 : 12チャンネル+拡張1本
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり (0.48 μ s) (12ビット変換モード) 1チャンネル当たり (0.45 μ s) (10ビット変換モード) 1チャンネル当たり (0.42 μ s) (8ビット変換モード) (A/D変換クロック ADCLK = 60MHz動作時)
A/D変換クロック	周辺モジュールクロック PCLK(注1)とA/D変換クロック ADCLK(注1)を以下の周波数比で設定可能 PCLK : ADCLK周波数比 = 1 : 1, 2 : 1, 4 : 1, 8 : 1 ADCLKの設定はクロック発生回路で行います
データレジスタ	<ul style="list-style-type: none"> アナログ入力用20本 (S12AD : 8本、S12AD1 : 12本)、ダブルトリガモードでのA/D変換データ二重化用1本/各ユニット、ダブルトリガモード拡張動作時のA/D変換データ二重化用2本/各ユニット 温度センサ用1本 (S12AD1) 内部基準電圧用1本 (S12AD1) 自己診断用1本/ユニット A/D変換結果を12ビットA/Dデータレジスタに保持 A/D変換結果の8, 10, 12ビット精度出力に対応 加算モード時はA/D変換結果の加算値を変換精度ビット数+2ビット/4ビット(注2)でA/Dデータレジスタに保持 ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは二重化レジスタに保持 ダブルトリガモード拡張動作 (特定トリガ種別で有効) 選択した1つのチャンネルのアナログ入力のA/D変換データをトリガ種別毎に準備した二重化レジスタに保持
動作モード	<p>動作モードは2ユニット個別で設定可能です。</p> <ul style="list-style-type: none"> シングルスキャンモード : 任意に選択したチャンネルのアナログ入力を1回のみA/D変換 温度センサ出力 (S12AD1) を1回のみA/D変換 内部基準電圧を1回のみA/D変換 (S12AD1) 拡張アナログ入力 (S12AD1) を1回のみA/D変換 連続スキャンモード : 任意に選択したチャンネルのアナログ入力、温度センサ出力 (S12AD1)、内部基準電圧 (S12AD1) を繰り返しA/D変換 拡張アナログ入力 (S12AD1) を繰り返しA/D変換 グループスキャンモード : 使用するグループの数は2つ (グループA, B) と3つ (グループA, B, C) が選択可能 (グループの数が2つの場合、グループA、グループBの組み合わせのみ選択可能) 任意に選択したチャンネルのアナログ入力、温度センサ出力 (S12AD1)、内部基準電圧 (S12AD1) をグループAとグループBまたはグループA, B, Cに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 グループAとグループBとグループCは、各々の変換開始条件 (同期トリガ) を選択することで異なるタイミングで変換開始可能 グループスキャンモード (グループ優先制御選択時) 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループA (高) > グループB > グループC (低) 優先グループのスキャン終了後、低優先グループのスキャンを再実行 (再スキャン) する/しないを設定可能。また再スキャンは、選択チャンネルの最初からか、A/D変換未終了のチャンネルからかを設定可能
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ マルチファンクションタイムパルスユニット (MTU)、8ビットタイマ (TMR)、16ビットタイマパルスユニット (TPU)、イベントリンクコントローラ (ELC) からのトリガ 非同期トリガ 外部トリガADTRG0# (S12AD) , ADTRG1# (S12AD1) 端子によるA/D変換動作の開始が可能 (2ユニット個別)

表 50.1 12ビットA/Dコンバータの仕様 (2/2)

項目	内容
機能	<ul style="list-style-type: none"> サンプリングステート数可変機能 (チャンネルごとに設定可能) 12ビットA/Dコンバータの自己診断機能 A/D変換値加算モードと平均モードが選択可能 アナログ入力断線検出アシスト機能 (ディスチャージ機能/プリチャージ機能) ダブルトリガモード (A/D変換データ二重化機能) 12/10/8ビット変換切り替え機能 A/Dデータレジスタオートクリア機能 拡張アナログ入力機能 コンペア機能 (ウィンドウA、ウィンドウB)
割り込み要因	<ul style="list-style-type: none"> ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生 (2ユニット個別) ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生 (2ユニット個別) グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (S12GBADI, S12GBADI1) を発生。グループCのスキャン終了でグループC専用のスキャン終了割り込み要求 (S12GCADI, S12GCADI1) を発生 グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生。グループBとグループCのスキャン終了で、それぞれ専用のスキャン終了割り込み要求 (S12GBADI/S12GCADI, S12GBADI1/S12GCADI1) を発生 デジタルコンペア機能の比較条件成立で、コンペア割り込み要求 (S12CMPAI, S12CMPAI1, S12CMPBI, S12CMPBI1) を発生 S12ADI/S12ADI1, S12GBADI/S12GBADI1, S12GCADI/S12GCADI1 割り込みでDMAコントローラ (DMAC)、データトランスファコントローラ (DTC) を起動可能
イベントリンク機能	<ul style="list-style-type: none"> すべてのスキャン終了時にELCイベント発生 ELCからのトリガによりスキャン開始可能
消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ状態への設定が可能(注3、注4)

注1. 周辺モジュールクロックPCLKはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはユニット0 (S12AD) ではSCKCR.PCKC[3:0]ビット、ユニット1 (S12AD1) ではSCKCR.PCKD[3:0]ビットで設定した周波数になります。

注2. 加算時の拡張ビット数は、加算回数により異なります。
 2ビット拡張：1～4回変換 (0～3回加算)
 4ビット拡張：16回変換 (15回加算)

注3. 詳細は、「11. 消費電力低減機能」を参照してください。

注4. モジュールストップ状態を解除後は、1μs以上待ってからA/D変換を開始してください。

表 50.2 12ビットA/Dコンバータの機能概要

項目			端子名、略称等		
			ユニット0 (S12AD)	ユニット1 (S12AD1)	
アナログ入力チャンネル			AN000～AN007	AN100～AN111、 内部基準電圧、 温度センサ出力、 拡張入力	
A/D変換 開始条件	ソフトウェア	ソフトウェアトリガ	可能		
	非同期トリガ	トリガ入力端子	ADTRG0#	ADTRG1#	
	同期トリガ	MTU0.TGRAのコンペアマッチ/インプットキャプチャ		TRGA0N	
		MTU1.TGRAのコンペアマッチ/インプットキャプチャ		TRGA1N	
		MTU2.TGRAのコンペアマッチ/インプットキャプチャ		TRGA2N	
		MTU3.TGRAのコンペアマッチ/インプットキャプチャ		TRGA3N	
		MTU4.TGRAのコンペアマッチ/インプットキャプチャ、 または相補PWMモード時MTU4.TCNTのアンダフロー（谷）		TRGA4N	
		MTU6.TGRAのコンペアマッチ/インプットキャプチャ		TRGA6N	
		MTU7.TGRAのコンペアマッチ/インプットキャプチャ、 または相補PWMモード時MTU7.TCNTのアンダフロー（谷）		TRGA7N	
		MTU0.TGREのコンペアマッチ		TRG0N	
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ		TRG4AN	
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ		TRG4BN	
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、または、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ		TRG4ANまたはTRG4BN	
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ（割り込 み間引き機能2を使用時）		TRG4ABN	
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチ		TRG7AN	
		MTU7.TADCORBとMTU7.TCNTのコンペアマッチ		TRG7BN	
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、または、 MTU7.TADCORBとMTU7.TCNTのコンペアマッチ		TRG7ANまたはTRG7BN	
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、 MTU7.TADCORBとMTU7.TCNTのコンペアマッチ（割り込 み間引き機能2を使用時）		TRG7ABN	
		TMR0.TCORAとTMR0.TCNTのコンペアマッチ		TMTRG0AN_0	
		TMR2.TCORAとTMR2.TCNTのコンペアマッチ		TMTRG0AN_1	
TPU0.TGRAのインプットキャプチャ/コンペアマッチ またはTPU1.TGRAのインプットキャプチャ/コンペアマッチ またはTPU2.TGRAのインプットキャプチャ/コンペアマッチ またはTPU3.TGRAのインプットキャプチャ/コンペアマッチ またはTPU4.TGRAのインプットキャプチャ/コンペアマッチ		TPTRGAN			
TPU0.TGRA0のインプットキャプチャ/コンペアマッチ		TPTRG0AN			
ELCトリガ		ELCTRG00N	ELCTRG10N		
割り込み			S12ADI, S12GBADI, S12GCADI, S12CMPAI, S12CMPBI割り込 み	S12ADI1, S12GBADI1, S12GCADI1, S12CMPAI1, S12CMPBI1割り 込み	
モジュールストップ機能の設定(注1、注2)			MSTPCRA.MSTPA 17ビット	MSTPCRA.MSTPA 16ビット	

注. A/D変換を開始するトリガをADTRG0#, ADTRG1#に設定する場合は、該当する端子のポートモードレジスタの端子モード制御ビットを“1”（周辺機能）に、端子機能制御レジスタの端子機能選択ビットをADTRG0#, ADTRG1#に設定してください。詳細は「22. I/Oポート」を参照してください。

- 注1. 詳細は、「11. 消費電力低減機能」を参照してください。
 注2. モジュールストップ状態を解除後は、1μs以上待ってからA/D変換を開始してください。

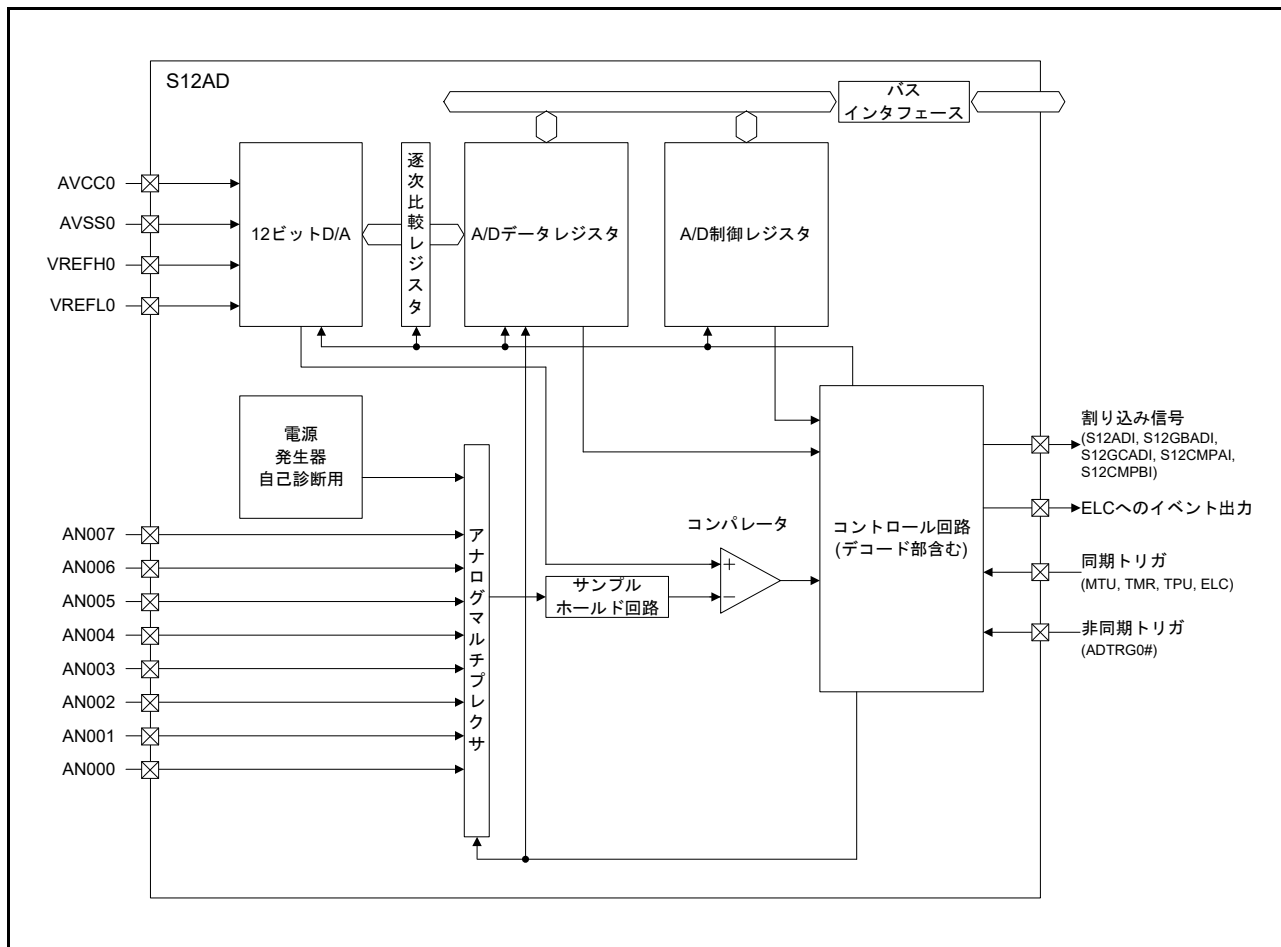


図 50.1 12ビットA/Dコンバータのブロック図 (ユニット0)

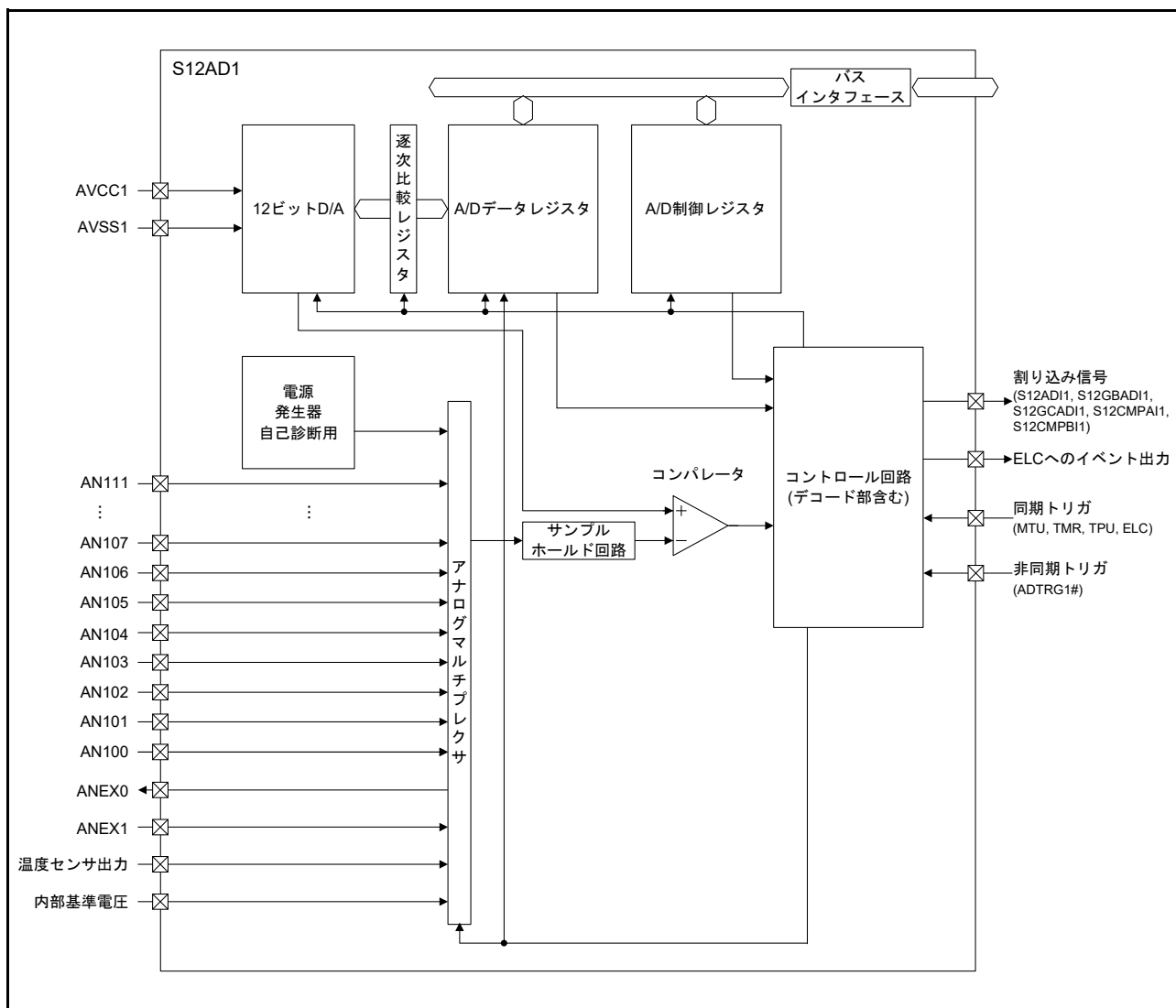


図 50.2 12ビットA/Dコンバータのブロック図 (ユニット1)

表 50.3 に 12 ビット A/D コンバータで使用する入出力端子を示します。

12 ビット A/D コンバータは 2 ユニットで構成され、ユニット 0 (S12AD)、ユニット 1 (S12AD1) は独立に動作させることができます。S12AD, S12AD1 の入力チャンネルは、3 つのグループに分割して動作させることもできます。

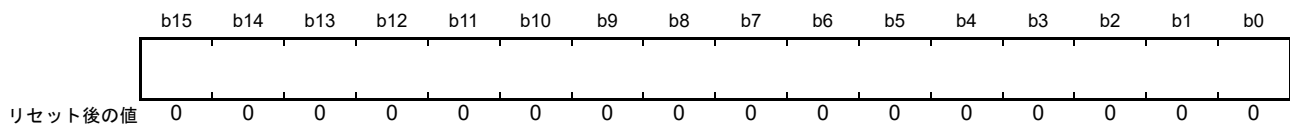
表 50.3 12ビットA/Dコンバータの入出力端子

ユニット	端子名	入出力	機能
ユニット0 (S12AD)	AVCC0	—	アナログ部の電源端子
	AVSS0	—	アナログ部のグラウンド端子
	VREFH0	入力	基準電源端子
	VREFL0	入力	基準電源グラウンド端子
	AN000～AN007	入力	アナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
ユニット1 (S12AD1)	AVCC1	—	アナログ部の電源と基準電源兼用端子
	AVSS1	—	アナログ部のグラウンドと基準電源グラウンド兼用端子
	AN100～AN111	入力	アナログ入力端子
	ANEX0	出力	拡張アナログ出力端子
	ANEX1	入力	拡張アナログ入力端子
	ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子

50.2 レジスタの説明

50.2.1 A/D データレジスタ y (ADDR y) ($y = 0 \sim 11$)、 A/D データ二重化レジスタ (ADDBLDR)、 A/D データ二重化レジスタ A (ADDBLDRA)、 A/D データ二重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)

アドレス S12AD.ADDR0 0008 9020h, S12AD.ADDR1 0008 9022h, S12AD.ADDR2 0008 9024h,
S12AD.ADDR3 0008 9026h, S12AD.ADDR4 0008 9028h, S12AD.ADDR5 0008 902Ah,
S12AD.ADDR6 0008 902Ch, S12AD.ADDR7 0008 902Eh, S12AD.ADDBLDR 0008 9018h,
S12AD.ADDBLDRA 0008 9084h, S12AD.ADDBLDRB 0008 9086h,
S12AD1.ADDR0 0008 9120h, S12AD1.ADDR1 0008 9122h, S12AD1.ADDR2 0008 9124h,
S12AD1.ADDR3 0008 9126h, S12AD1.ADDR4 0008 9128h, S12AD1.ADDR5 0008 912Ah,
S12AD1.ADDR6 0008 912Ch, S12AD1.ADDR7 0008 912Eh, S12AD1.ADDR8 0008 9130h,
S12AD1.ADDR9 0008 9132h, S12AD1.ADDR10 0008 9134h, S12AD1.ADDR11 0008 9136h,
S12AD1.ADDBLDR 0008 9118h, S12AD1.ADDBLDRA 0008 9184h, S12AD1.ADDBLDRB 0008 9186h,
S12AD1.ADTSDR 0008 911Ah, S12AD1.ADOCDR 0008 911Ch



ADDR y レジスタ ($y=0 \sim 7$: S12AD, $y=0 \sim 11$: S12AD1) は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDRA レジスタと ADDBLDRB レジスタは、ダブルトリガモード選択時の拡張動作であるトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

各レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- A/D データレジスタビット精度指定ビット (ADCER.ADPRC[1:0]) の設定値 (12 ビット、10 ビット、または 8 ビット)
- 加算回数選択ビット (ADADC.ADC[2:0]) の設定値 (2 回、3 回、4 回、16 回変換)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマット、12 ビット精度に設定した場合
b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 右詰めフォーマット、10 ビット精度に設定した場合
b9-b0 に A/D 変換値を格納します。読み出し時、b15-b10 は“0”が読み出されます。
- 右詰めフォーマット、8 ビット精度に設定した場合
b7-b0 に A/D 変換値を格納します。読み出し時、b15-b8 は“0”が読み出されます。
- 左詰めフォーマット、12 ビット精度に設定した場合
b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

- 左詰めフォーマット、10ビット精度に設定した場合
b15-b6にA/D変換値を格納します。読み出し時、b5-b0は“0”が読み出されます。
- 左詰めフォーマット、8ビット精度に設定した場合
b15-b8にA/D変換値を格納します。読み出し時、b7-b0は“0”が読み出されます。

(2) A/D変換値平均モードを選択した場合

- 右詰めフォーマット、12ビット精度に設定した場合
b11-b0に同一チャンネルのA/D変換値を平均した値を格納します。読み出し時、b15-b12は“0”が読み出されます。
- 右詰めフォーマット、10ビット精度に設定した場合
b9-b0に同一チャンネルのA/D変換値を平均した値を格納します。読み出し時、b15-b10は“0”が読み出されます。
- 右詰めフォーマット、8ビット精度に設定した場合
b7-b0に同一チャンネルのA/D変換値を平均した値を格納します。読み出し時、b15-b8は“0”が読み出されます。
- 左詰めフォーマット、12ビット精度に設定した場合
b15-b4に同一チャンネルのA/D変換値を平均した値を格納します。読み出し時、b3-b0は“0”が読み出されます。
- 左詰めフォーマット、10ビット精度に設定した場合
b15-b6に同一チャンネルのA/D変換値を平均した値を格納します。読み出し時、b5-b0は“0”が読み出されます。
- 左詰めフォーマット、8ビット精度に設定した場合
b15-b8に同一チャンネルのA/D変換値を平均した値を格納します。読み出し時、b7-b0は“0”が読み出されます。

A/D変換値加算モードを2回、4回変換に設定の場合のみ、A/D変換値平均モードを設定できます。

(3) A/D変換値加算モードを選択した場合

- 右詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、12ビット精度に設定した場合
b13-b0に同一チャンネルのA/D変換値を加算した値を格納します。読み出し時、b15-b14は“0”が読み出されます。
- 右詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、10ビット精度に設定した場合
b11-b0に同一チャンネルのA/D変換値を加算した値を格納します。読み出し時、b15-b12は“0”が読み出されます。
- 右詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、8ビット精度に設定した場合
b9-b0に同一チャンネルのA/D変換値を加算した値を格納します。読み出し時、b15-b10は“0”が読み出されます。
- 右詰めフォーマット (A/D変換値加算モード、変換回数16回選択時)、12ビット精度に設定した場合
b15-b0に同一チャンネルのA/D変換値を加算した値を格納します。
なお、変換回数16回選択時、10ビット精度および8ビット精度は設定禁止です。
- 左詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、12ビット精度に設定した場合
b15-b2に同一チャンネルのA/D変換値を加算した値を格納します。読み出し時、b1-b0は“0”が読み出されます。
- 左詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、10ビット精度に設定した

場合

b15-b4 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時)、8 ビット精度に設定した場合

b15-b6 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b5-b0 は“0”が読み出されます。

- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)、12 ビット精度に設定した場合

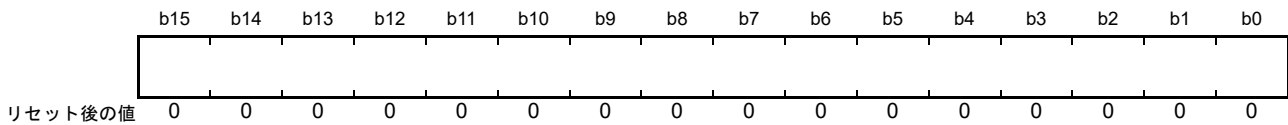
b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。

なお、変換回数 16 回選択時、10 ビット精度および 8 ビット精度は設定禁止です。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換回数を 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、変換回数を 1 回～4 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 2 ビット分拡張したデータとして、変換回数を 16 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに保持します。A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。ただし、変換回数 16 回選択時、10 ビット精度および 8 ビット精度は設定禁止です。

50.2.2 A/D 自己診断データレジスタ (ADRD)

アドレス S12AD.ADRD 0008 901Eh, S12AD1.ADRD 0008 911Eh



ADRD レジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。A/D変換値に加えて、自己診断のステータスが付加されます。ADRDレジスタは下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- A/Dデータレジスタビット精度指定ビット (ADCER.ADRPC[1:0]) の設定値 (12ビット、10ビット、または8ビット)

AD自己診断機能にはA/D変換加算モードとA/D変換平均モードを適用することはできません。自己診断の詳細については「50.2.9 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。

以下、条件ごとのフォーマットを示します。

- 右詰めのフォーマット、12ビット精度に設定した場合
b11-b0にA/D変換値を格納します。b15-b14に自己診断ステータスを格納します。読み出し時、b13-b12は“0”が読み出されます。
- 右詰めのフォーマット、10ビット精度に設定した場合
b9-b0にA/D変換値を格納します。b15-b14に自己診断ステータスを格納します。読み出し時、b13-b10は“0”が読み出されます。
- 右詰めのフォーマット、8ビット精度に設定した場合
b7-b0にA/D変換値を格納します。b15-b14に自己診断ステータスを格納します。読み出し時、b13-b8は“0”が読み出されます。
- 左詰めのフォーマット、12ビット精度に設定した場合
b15-b4にA/D変換値を格納します。b1-b0に自己診断ステータスを格納します。読み出し時、b3-b2は“0”が読み出されます。
- 左詰めのフォーマット、10ビット精度に設定した場合
b15-b6にA/D変換値を格納します。b1-b0に自己診断ステータスを格納します。読み出し時、b5-b2は“0”が読み出されます。
- 左詰めのフォーマット、8ビット精度に設定した場合
b15-b8にA/D変換値を格納します。b1-b0に自己診断ステータスを格納します。読み出し時、b7-b2は“0”が読み出されます。

表50.4 自己診断ステータス内容

右詰めフォーマット時のb15-b14 左詰めフォーマット時のb1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0Vの電圧値の自己診断を実施したことを示します
10b	基準電源×1/2の電圧値の自己診断を実施したことを示します
11b	基準電源の電圧値の自己診断を実施したことを示します

注. 自己診断の詳細については、「50.2.9 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。

50.2.3 A/D コントロールレジスタ (ADCSR)

アドレス S12AD.ADCSR 0008 9000h, S12AD1.ADCSR 0008 9100h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択ビット	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了後に割り込み発生を禁止 1: グループBのスキャン終了後に割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガによるA/D変換の開始を選択 1: 非同期トリガによるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後の割り込み発生を禁止 1: スキャン終了後の割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子（非同期トリガ）でA/D変換を起動する方法

外部端子（ADTRG0#, ADTRG1#）にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0#, ADTRG1#の信号をLowに変化させると、ADTRG0#, ADTRG1#の立ち下がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上必要です。

なお、ユニットと外部端子（非同期トリガ）の関係は以下のとおりです。

ユニット	外部端子（非同期トリガ）
S12AD	ADTRG0#
S12AD1	ADTRG1#

ADCSR レジスタは、ダブルトリガモードの設定、A/D変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D変換の開始/停止を行うレジスタです。

DBLANS[4:0] ビット（ダブルトリガ対象チャンネル選択ビット）

ダブルトリガモードでA/D変換データを二重化する1チャンネルを選択します。

DBLANS[4:0] ビットで選択したチャンネルのアナログ入力を、1回目のA/D変換開始トリガで変換した結果がA/Dデータレジスタyに格納され、2回目のA/D変換開始トリガで変換した結果がA/Dデータ二重化レジスタに格納されます。表50.5にダブルトリガ対象チャンネルの選択表を示します。

ダブルトリガモードを選択した場合は、ADANSA0レジスタで選択したチャンネルの選択は無効になり、DBLANS[4:0] ビットで選択した1チャンネルがA/D変換を行うチャンネルとなります。

グループスキャンモードでダブルトリガモードを選択した場合、グループAのみダブルトリガモードの動作を行い、グループB,Cはダブルトリガモードの動作を行いません。また、ダブルトリガモード時は、

グループ A に複数チャンネルのアナログ入力、温度センサ出力、内部基準電圧は選択できませんが、グループ B, C には複数チャンネルのアナログ入力、温度センサ出力、内部基準電圧が選択可能です。

また、DBLANS[4:0] ビットは、ADST ビットが“0”のときに設定してください（ADST ビットへの“1”書き込みと同時設定もしないでください）。

表 50.5 DBLANS[4:0] ビット設定値とダブルトリガ対象チャンネルの関係

S12AD (ユニット0)		S12AD1 (ユニット1)			
DBLANS[4:0]	二重化チャンネル	DBLANS[4:0]	二重化チャンネル	DBLANS[4:0]	二重化チャンネル
00000b	AN000	00000b	AN100	01000b	AN108
00001b	AN001	00001b	AN101	01001b	AN109
00010b	AN002	00010b	AN102	01010b	AN110
00011b	AN003	00011b	AN103	01011b	AN111
00100b	AN004	00100b	AN104		
00101b	AN005	00101b	AN105		
00110b	AN006	00110b	AN106		
00111b	AN007	00111b	AN107		

注. 自己診断、温度センサ出力、内部基準電圧の A/D 変換データは、二重化を選択できません。

GBADIE ビット (グループ B スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B のスキャン終了割り込みの発生を許可/禁止します。グループ B のスキャン終了割り込みはユニットごとに各 1 本あり、各ユニットとグループ B のスキャン終了割り込みの関係を表 50.6 に示します。

表 50.6 各ユニットとグループ B のスキャン終了割り込みの関係

ユニット	グループ B のスキャン終了割り込み
S12AD	S12GBADI
S12AD1	S12GBADI1

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、1 回目の同期トリガで変換された結果と 2 回目で変換された結果を別々の結果レジスタに格納する機能です。

ダブルトリガモードを選択した場合、ADANSA0 レジスタで指定したチャンネルは無効となり、DBLANS[4:0] ビットで選択したチャンネルが有効となります。ADSTRGR.TRSA[5:0] ビットで選択された同期トリガのみで動作します。非同期トリガ、およびソフトウェアトリガは発生させないでください。1 回目の同期トリガで変換した結果は、A/D データレジスタ y に格納され、2 回目の同期トリガで変換した結果は、A/D データ二重化レジスタに格納されます。このとき、ADIE ビットが“1”に設定していると、1 回目の変換終了時は割り込みを発生せず、2 回目の変換終了時に割り込みを発生します。

なお、ダブルトリガモードは、連続スキャンモードで使用しないでください。さらに、自己診断機能、温度センサ出力の変換、および内部基準電圧の変換でも使用しないでください。また、グループスキャンモードでダブルトリガモードを使用する場合、グループ A で温度センサ出力、内部基準電圧の A/D 変換を選択しないでください。

DBLE ビットの設定は、あらかじめ ADST ビットを“0”にしてから行ってください。

EXTRG ビット (トリガ選択ビット)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

グループスキャンモードでは、グループ A の選択トリガに対して本ビットの設定が有効です。グループ

B、グループ C は、本ビットの設定に依らず選択した同期トリガで A/D 変換を開始します。

TRGE ビット (トリガ開始許可ビット)

同期トリガ、非同期トリガによる A/D 変換の起動を許可 / 禁止します。
グループスキャンモードでは、このビットを“1”にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B とグループ C を除く、A/D スキャン変換終了割り込みの発生を許可 / 禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回のスキャンが終了したときに、ADIE ビットが“1”に設定されていれば、A/D スキャン変換終了割り込みが発生します。

拡張アナログ入力を選択した場合も A/D 変換が終了したときに、ADIE ビットが“1”に設定されていれば A/D スキャン変換終了割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガからのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”に設定されていれば A/D スキャン変換終了割り込みが発生します。

ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを選択した場合であっても、スキャンが終了した時に ADIE ビットが“1”にセットされていれば A/D スキャン変換終了割り込みが発生します。A/D スキャン変換終了割り込みは、ユニットごとに各 1 本あり、各ユニットと A/D スキャン変換終了割り込みの関係を表 50.7 に示します。

表 50.7 各ユニットと A/D スキャン変換終了割り込みの関係

ユニット	A/D スキャン変換終了割り込み
S12AD	S12ADI
S12AD1	S12ADI1

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0 レジスタで選択したアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。(注 1)

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA0 レジスタで選択したチャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを“0”にすると、スキャン中に A/D 変換を停止します。(注 1)

グループスキャンモードは ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを開始条件として、ADANSA0 レジスタで選択したチャンネルのアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。(注 1) また、同様に ADSTRGR.TRSB[5:0] ビット、ADGCTRGR.TRSC[5:0] ビットで選択した同期トリガを A/D 変換開始条件として、ADANSB0 レジスタ、ADANSC0 レジスタで選択したチャンネルのアナログ入力 (グループ B またはグループ C) を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの A/D 変換が終了すると停止します。(注 1)

グループスキャンモードを選択する場合は、グループ A とグループ B とグループ C で異なるチャンネルと異なるトリガを選択してください。

グループスキャンモード設定時に 2 つのグループを使用する場合、グループ A とグループ B を使用してください (ADGCTRGR.GRCE ビット = 0)。また、3 つのグループを使用する場合、グループ A、グループ B とグループ C を使用してください (ADGCTRGR.GRCE ビット = 1)。

拡張アナログ入力を選択する場合は、シングルスキャンモードまたは連続スキャンモードを選択してください。

ADCS[1:0] ビットは、ADST ビットが“0”のときに設定してください（ADST ビットへの“1”書き込みと同時設定もしないでください）。

注 1. 温度センサ出力または内部基準電圧を選択した場合、チャンネルのアナログ入力の A/D 変換のあとに温度センサ出力、内部基準電圧の順に A/D 変換されます。

表 50.8 スキャンモード、ダブルトリガモードと A/D 変換対象の選択可否

スキャンモード 設定	ダブルトリガ モード設定	A/D変換対象					
		自己診断	アナログ入力 (グループA含む)	アナログ入力 (グループB、 グループC)	温度センサ 出力	内部基準電圧	拡張アナログ 入力
シングルスキャン	DBLE = 0	○	○	×	○	○	○
	DBLE = 1	×	○ (1chのみ)	×	×	×	×
連続スキャン	DBLE = 0	○	○	×	○	○	○
	DBLE = 1	×	×	×	×	×	×
グループスキャン	DBLE = 0	○	○	○	○	○	×
	DBLE = 1	×	○ (1chのみ)	○	○ (グループB、 グループC)	○ (グループB、 グループC)	×

○：選択可能、×：選択不可能

注. 拡張アナログ入力を選択する場合は、他の A/D 変換対象を非選択にしてください。

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

["1"になる条件]

- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG ビットに“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを検出したとき
- グループスキャンモードでADCSR.TRGEビットに“1”を設定しADSTRGR.TRSB[5:0]ビットで選択した同期トリガを検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[5:0] ビットを“000000b”に設定し、非同期トリガを検出したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、グループ B またはグループ C のトリガを検出し、グループ B またはグループ C の A/D 変換を開始したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループ B またはグループ C の A/D 変換を再開したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを“1”に設定し、最も優先度の低いグループの A/D 変換を開始したとき

[“0”になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力または内部基準電圧 (S12AD1のみ) のA/D変換が終了したとき
- シングルスキャンモードで、拡張アナログ入力のA/D変換が終了したとき
- グループスキャンモードでグループAのスキャンが終了したとき
- グループスキャンモードでグループBのスキャンが終了したとき
- グループスキャンモードでグループCのスキャンが終了したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを“1”に設定し、低優先グループのトリガによるスキャンが終了したとき

注. グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを“1”にしないでください。

注. グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつ ADGSPCR.GBRP ビット = 1 のとき、ADST ビットを“0”にしないでください。A/D変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

注. グループ優先動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) にシングルスキャン連続機能を使用 (ADGSPCR.GBRP ビット = 1) した場合、ADST ビットは“1”を保持します。

50.2.4 A/D チャネル選択レジスタ A0 (ADANSA0)

(1) S12AD.ADANSA0

アドレス 0008 9004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSA0 07	ANSA0 06	ANSA0 05	ANSA0 04	ANSA0 03	ANSA0 02	ANSA0 01	ANSA0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャネル選択ビット	0 : AN000～AN007を変換対象から外す 1 : AN000～AN007を変換対象とする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b6	ANSA006			R/W
b7	ANSA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSA0 レジスタは、A/D変換を行うチャネルのアナログ入力 AN000～AN007 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA0n ビット (n = 00～07) (A/D変換チャネル選択ビット)

A/D変換を行うチャネルのアナログ入力 AN000～AN007 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA000 ビットが AN000 に、ANSA007 ビットが AN007 に対応します。

ダブルトリガモードを選択した場合は、S12AD.ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADANSA0

アドレス 0008 9104h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ANSA0 11	ANSA0 10	ANSA0 09	ANSA0 08	ANSA0 07	ANSA0 06	ANSA0 05	ANSA0 04	ANSA0 03	ANSA0 02	ANSA0 01	ANSA0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャンネル選択ビット	0 : AN100～AN111を変換対象から外す 1 : AN100～AN111を変換対象とする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b6	ANSA006			R/W
b7	ANSA007			R/W
b8	ANSA008			R/W
b9	ANSA009			R/W
b10	ANSA010			R/W
b11	ANSA011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSA0 レジスタは、A/D変換を行うチャンネルのアナログ入力 AN100～AN111 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA0n ビット (n = 00 ～ 11) (A/D 変換チャンネル選択ビット)

A/D変換を行うチャンネルのアナログ入力 AN100～AN111 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA000 ビットが AN100 に、ANSA011 ビットが AN111 に対応します。

ダブルトリガモードを選択した場合は、S12AD1.ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

50.2.5 A/D チャンネル選択レジスタ B0 (ADANSB0)

(1) S12AD.ADANSB0

アドレス 0008 9014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSB0 07	ANSB0 06	ANSB0 05	ANSB0 04	ANSB0 03	ANSB0 02	ANSB0 01	ANSB0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャンネル選択ビット	0 : AN000～AN007を変換対象から外す 1 : AN000～AN007を変換対象とする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b6	ANSB006			R/W
b7	ANSB007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000～AN007 を選択するレジスタです。S12AD.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (n = 00～07) (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000～AN007 の選択を行います。S12AD.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD.ADANSA0 レジスタ、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル) 以外から設定します。

ANSB000 ビットが AN000 に、ANSB007 ビットが AN007 に対応します。

ANSB0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADANSB0

アドレス 0008 9114h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ANSB011	ANSB010	ANSB009	ANSB008	ANSB007	ANSB006	ANSB005	ANSB004	ANSB003	ANSB002	ANSB001	ANSB000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャンネル選択ビット	0 : AN100～AN111を変換対象から外す 1 : AN100～AN111を変換対象とする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b6	ANSB006			R/W
b7	ANSB007			R/W
b8	ANSB008			R/W
b9	ANSB009			R/W
b10	ANSB010			R/W
b11	ANSB011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN100～AN111 を選択するレジスタです。S12AD1.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (n = 00～11) (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN100～AN111 の選択を行います。S12AD1.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD1.ADANSA0 レジスタ、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル) 以外から設定します。

ANSB000 ビットが AN100 に、ANSB011 ビットが AN111 に対応します。

ANSB0n ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

50.2.6 A/D チャンネル選択レジスタ C0 (ADANSC0)

(1) S12AD.ADANSC0

アドレス 0008 90D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSC0 07	ANSC0 06	ANSC0 05	ANSC0 04	ANSC0 03	ANSC0 02	ANSC0 01	ANSC0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャンネル選択ビット	0 : AN000～AN007を変換対象から外す 1 : AN000～AN007を変換対象とする	R/W
b1	ANSC001			R/W
b2	ANSC002			R/W
b3	ANSC003			R/W
b4	ANSC004			R/W
b5	ANSC005			R/W
b6	ANSC006			R/W
b7	ANSC007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN000～AN007 を選択するレジスタです。S12AD.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (n = 00～07) (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN000～AN007 の選択を行います。S12AD.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD.ADANSA0 レジスタ、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル) 以外から設定します。

ANSC000 ビットが AN000 に、ANSC007 ビットが AN007 に対応します。

ANSC0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADANSC0

アドレス 0008 91D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ANSC0 11	ANSC0 10	ANSC0 09	ANSC0 08	ANSC0 07	ANSC0 06	ANSC0 05	ANSC0 04	ANSC0 03	ANSC0 02	ANSC0 01	ANSC0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャンネル選択ビット	0 : AN100～AN111を変換対象から外す 1 : AN100～AN111を変換対象とする	R/W
b1	ANSC001			R/W
b2	ANSC002			R/W
b3	ANSC003			R/W
b4	ANSC004			R/W
b5	ANSC005			R/W
b6	ANSC006			R/W
b7	ANSC007			R/W
b8	ANSC008			R/W
b9	ANSC009			R/W
b10	ANSC010			R/W
b11	ANSC011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN100～AN111 を選択するレジスタです。S12AD1.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (n = 00～11) (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN100～AN111 の選択を行います。S12AD1.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD1.ADANSA0 レジスタ、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル) 以外から設定します。

ANSC000 ビットが AN100 に、ANSC011 ビットが AN111 に対応します。

ANSC0n ビットは、S12AD1.ADCSR.ADST ビットが “0” のときに設定してください。

50.2.7 A/D 変換値加算 / 平均機能チャンネル選択レジスタ 0 (ADADS0)

(1) S12AD.ADADS0

アドレス 0008 9008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ADS007	ADS006	ADS005	ADS004	ADS003	ADS002	ADS001	ADS000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D 変換値加算 / 平均チャンネル選択ビット	0 : AN000 ~ AN007 の A/D 変換値加算 / 平均モード非選択 1 : AN000 ~ AN007 の A/D 変換値加算 / 平均モード選択	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b6	ADS006			R/W
b7	ADS007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADADS0 レジスタは、A/D 変換を連続 2 ~ 4、16 回実施して加算（積算）、または平均する A/D 変換チャンネル AN000 ~ AN007 を選択します。

ADS0n ビット (n = 00 ~ 07) (A/D 変換値加算 / 平均チャンネル選択ビット)

S12AD.ADANSA0.ANSA0n ビット (n = 00 ~ 07)、または S12AD.ADCSR.DBLANS[4:0] ビットと S12AD.ADANSB0.ANSB0n ビットで選択した A/D 変換チャンネルと同一番号の ADS0n ビットを“1”にすると、S12AD.ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、S12AD.ADADC.AVEE ビットが“0”の場合、加算（積算）した値を、S12AD.ADADC.AVEE ビットが“1”の場合、加算（積算）値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADADS0

アドレス 0008 9108h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ADS01 1	ADS01 0	ADS00 9	ADS00 8	ADS00 7	ADS00 6	ADS00 5	ADS00 4	ADS00 3	ADS00 2	ADS00 1	ADS00 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャンネル選択ビット	0 : AN100～AN111のA/D変換値加算/平均モード非選択 1 : AN100～AN111のA/D変換値加算/平均モード選択	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b6	ADS006			R/W
b7	ADS007			R/W
b8	ADS008			R/W
b9	ADS009			R/W
b10	ADS010			R/W
b11	ADS011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADADS0 レジスタは、A/D 変換を連続 2～4、16 回実施して加算（積算）、または平均する A/D 変換チャンネル AN100～AN111 を選択します。

ADS0n ビット (n = 00～11) (A/D 変換値加算 / 平均チャンネル選択ビット)

S12AD1.ADANSA0.ANSA0n ビット (n = 00～11)、または S12AD1.ADCSR.DBLANS[4:0] ビットと S12AD1.ADANSB0.ANSB0n ビット、S12AD1.ADANSC0.ANSC0n ビットで選択した A/D 変換チャンネルと同一番号の ADS0n ビットを“1”にすると、S12AD1.ADADC.ADC[2:0] ビットで設定した回数 (2～4、16 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、S12AD1.ADADC.AVEE ビットが“0”の場合、加算（積算）した値を、S12AD1.ADADC.AVEE ビットが“1”の場合、加算（積算）値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

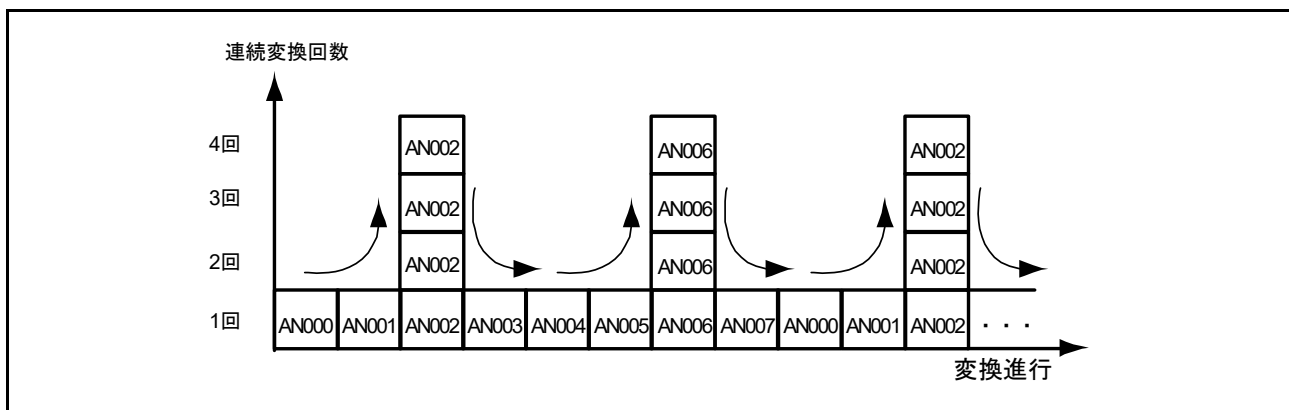


図 50.3 S12AD.ADADC.ADC[2:0] = 011b, S12AD.ADADC.AVEE = 0, S12AD.ADADS0.ADS002 = 1, S12AD.ADADS0.ADS006 = 1 選択時のスキャン変換シーケンス

50.2.8 A/D 変換値加算 / 平均回数選択レジスタ (ADADC)

アドレス S12AD.ADADC 0008 900Ch, S12AD1.ADADC 0008 910Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	加算回数選択ビット	b2 b0 0 0 0 : 1回変換 (加算なし。通常変換と同じ) 0 0 1 : 2回変換 (1回加算を行う) 0 1 0 : 3回変換 (2回加算を行う) (注1) 0 1 1 : 4回変換 (3回加算を行う) 1 0 1 : 16回変換 (15回加算を行う) (注1) 上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	AVEE	平均モードイネーブルビット	0 : 加算モードを選択 1 : 平均モードを選択	R/W

注1. AVEE ビットは、2回変換、4回変換の時にのみ有効です。平均モードを選択した場合 (ADADC.AVEE = 1)、3回変換 (ADADC.ADC[2:0] = 010b) および16回変換 (ADADC.ADC[2:0] = 101b) に設定しないでください。

ADADC レジスタは、A/D 変換値加算 / 平均モードが選択されたチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算回数の設定と、加算モード / 平均モードの選択を行います。

ADC[2:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャネル (ADCSR.DBLANS[4:0] ビットでの選択チャネル) を含む A/D 変換および加算 / 平均モードが選択されたチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。

ADADC.AVEE ビットを“1”にして平均モードを選択する場合、1回変換 (ADADC.ADC[2:0] = 000b)、3回変換 (ADADC.ADC[2:0] = 010b) および16回変換 (ADADC.ADC[2:0] = 101b) に設定しないでください。

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

AVEE ビット (平均モードイネーブルビット)

ダブルトリガモードでの選択チャネル (ADCSR.DBLANS[4:0] ビットでの選択チャネル) を含む A/D 変換および加算 / 平均モードが選択されたチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算モード、または平均モードの選択を行います。

ADADC.AVEE ビットを“1”にして平均モードを選択する場合、1回変換 (ADADC.ADC[2:0] = 000b)、3回変換 (ADADC.ADC[2:0] = 010b) および16回変換 (ADADC.ADC[2:0] = 101b) に設定しないでください。

1回、3回および16回変換の平均値を求めることはできません。

AVEE ビットの設定は、ADCSR.ADST ビットが“0”のときに設定してください。

50.2.9 A/D コントロール拡張レジスタ (ADCER)

アドレス S12AD.ADCER 0008 900Eh, S12AD1.ADCER 0008 910Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	ADPRC[1:0]	—		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2-b1	ADPRC[1:0]	A/D 変換精度指定ビット	b2 b1 0 0 : 12ビット精度でA/D変換を実施 0 1 : 10ビット精度でA/D変換を実施 1 0 : 8ビット精度でA/D変換を実施 1 1 : 設定しないでください	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	A/D データレジスタ自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 自己診断電圧固定モード時は設定禁止 0 1 : 0Vの電圧を使って自己診断を行う 1 0 : 基準電源×1/2の電圧を使って自己診断を行う 1 1 : 基準電源の電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0 : 12ビットA/Dコンバータの自己診断を実施しない 1 : 12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択ビット	0 : A/D データレジスタのフォーマットを右詰めにする 1 : A/D データレジスタのフォーマットを左詰めにする	R/W

ADCER レジスタは、自己診断モード、A/D データレジスタ y (ADDRy) のフォーマット、A/D データレジスタの自動クリア機能の設定を行うレジスタです。

ADPRC[1:0] ビット (A/D 変換精度指定ビット)

A/D 変換を、8 ビット精度で実施するか、10 ビット精度で実施するか、12 ビット精度で実施するかを選択します。A/D 変換精度を変えた場合、結果レジスタに格納する有効データのビット幅、A/D 変換時間も変わります。詳細は「50.3.7 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。ADPRC[1:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

ACE ビット (A/D データレジスタ自動クリアイネーブルビット)

CPU, DTC によって ADDRy, ADDR, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSDR, ADOCDR レジスタを読み出した後、当該レジスタの自動クリア (All“0”) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

自己診断電圧固定モードでの電圧値を選択します。詳細は ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが“00b”の状態では ADCER.DIAGLD ビットを“1”に設定して、自己診断を実

施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。ADCER.DIAGLD ビットを“0”にすると0V → 基準電源 × 1/2 → 基準電源の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は0Vから自己診断を行います。自己診断電圧固定モードを選択した場合はADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても0Vに戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST が“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する0V、基準電源 × 1/2、基準電源の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアでADRDレジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。グループスキャンモードで自己診断を選択した場合は、グループAとグループBとグループCのそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

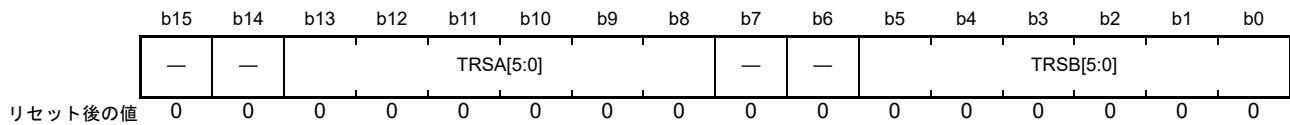
ADDR_y, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSDR, ADOCDR, ADRD, ADCMPDR0, ADCMPDR1, ADWINLLB, ADWINULB レジスタに格納するデータの右詰め/左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

各データレジスタのフォーマットの詳細は、「50.2.1 A/D データレジスタ y (ADDR_y) (y = 0 ~ 11)、A/D データ二重化レジスタ (ADDBLDR)、A/D データ二重化レジスタ A (ADDBLDRA)、A/D データ二重化レジスタ B (ADDBLDRB)、A/D 温度センサデータレジスタ (ADTSDR)、A/D 内部基準電圧データレジスタ (ADOCDR)」、「50.2.2 A/D 自己診断データレジスタ (ADRD)」、「50.2.22 A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)」、「50.2.23 A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)」、「50.2.28 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)」、「50.2.29 A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)」を参照してください。

50.2.10 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス S12AD.ADSTRGR 0008 9010h, S12AD1.ADSTRGR 0008 9110h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

TRSB[5:0] ビット (グループB専用A/D変換開始トリガ選択ビット)

グループBで選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループBのスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[5:0] ビットを“000000b”以外に設定し、ADCSR.TRGE ビットを“1”に設定してください。

グループスキャンモードのグループ優先動作時に、2グループを選択 (ADGCTRGR.GRCE = 0) した場合、ADGSPCR.GBRP ビットを“1”に設定することで、グループBをシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを“1”に設定する場合は、TRSB[5:0] ビットを“3Fh”に設定してください。なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。

A/D変換開始トリガに120MHz動作モジュール (MTU) からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「50.3.7 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 50.9 に TRSB[5:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[5:0] ビット (A/D 変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガの選択を行います。グループスキャンモードではグループAで選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ADCSR.TRGE ビットを“1”に設定してください。

- 同期トリガのA/D変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガを使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0]

ビットの設定値にかかわらず有効です。

なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。A/D変換開始トリガに120MHz動作モジュール (MTU) からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「50.3.7 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。表 50.10 に TRSA[5:0] ビットでのA/D起動要因選択一覧を示します。

表 50.9 TRSB[5:0] ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー(谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー(谷)	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	1	0	0	0	0	
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	1	1	1	1	0
TPU	TPTRGAN	TPUn.TGRAn (n = 0~5) のコンペアマッチ/インプットキャプチャ	0	1	1	1	1	1
	TPTRG0AN	TPU0.TGRA0のコンペアマッチ/インプットキャプチャ	1	0	0	0	0	0
ELC	ELCTR00N /ELCTR10N	ELCからのA/D起動要因	1	1	0	0	0	0

表 50.10 TRSA[5:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態			1	1	1	1	1	1
外部端子	ADTRGn#	トリガ入力端子	0	0	0	0	0	0
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー (谷)	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	1	0	0	0	0	
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	1	1	1	1	0
TPU	TPTRGAN	TPUn.TGRAn (n = 0~5) のコンペアマッチ/インプットキャプチャ	0	1	1	1	1	1
	TPTRG0AN	TPU0.TGRA0のコンペアマッチ/インプットキャプチャ	1	0	0	0	0	0
ELC	ELCTR00N /ELCTR10N	ELCからのA/D起動要因	1	1	0	0	0	0

50.2.11 A/D 変換拡張入力コントロールレジスタ (ADEXICR)

アドレス S12AD1.ADEXICR 0008 9112h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EXOEN	EXSEL[1:0]	—	OCSB	TSSB	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力 A/D 変換値加算/平均モード選択ビット	0 : 温度センサ出力 A/D 変換値加算/平均モード非選択 1 : 温度センサ出力 A/D 変換値加算/平均モード選択	R/W
b1	OCSAD	内部基準電圧 A/D 変換値加算/平均モード選択ビット	0 : 内部基準電圧 A/D 変換値加算/平均モード非選択 1 : 内部基準電圧 A/D 変換値加算/平均モード選択	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TSSA	温度センサ出力 A/D 変換選択ビット	0 : 温度センサ出力を A/D 変換しない 1 : 温度センサ出力を A/D 変換する	R/W
b9	OCSA	内部基準電圧 A/D 変換選択ビット	0 : 内部基準電圧を A/D 変換しない 1 : 内部基準電圧を A/D 変換する	R/W
b10	TSSB	温度センサ出力 A/D 変換選択ビット	0 : 温度センサ出力を A/D 変換しない 1 : 温度センサ出力を A/D 変換する	R/W
b11	OCSB	内部基準電圧 A/D 変換選択ビット	0 : 内部基準電圧を A/D 変換しない 1 : 内部基準電圧を A/D 変換する	R/W
b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b13	EXSEL[1:0]	拡張アナログ入力選択ビット	b14 b13 0 0 : アナログ入力チャネル (ANn) 0 1 : ANEX1 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b15	EXOEN	拡張アナログ出力制御ビット	0 : 出力禁止 1 : 出力許可	R/W

ADEXICR レジスタは、温度センサ出力、内部基準電圧、拡張アナログ入力の A/D 変換の設定をします。

TSSAD ビット (温度センサ出力 A/D 変換値加算 / 平均モード選択ビット)

温度センサ出力の A/D 変換を選択し、TSSAD ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、温度センサ出力を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合は加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合は平均した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。TSSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

OCSAD ビット (内部基準電圧 A/D 変換値加算 / 平均モード選択ビット)

内部基準電圧の A/D 変換を選択し、OCSAD ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、内部基準電圧を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合は加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合は平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に格納します。

OCSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

TSSA ビット (温度センサ出力 A/D 変換選択ビット)

シングルスキャンモード、連続スキャンモード、およびグループスキャンモードのグループ A で温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換をする場合、ADCSR.DBLE ビットを“0”に

してください。

TSSA ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

OCSA ビット (内部基準電圧 A/D 変換選択ビット)

シングルスキャンモード、連続スキャンモード、およびグループスキャンモードのグループ A で内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換をする場合、ADCSR.DBLE ビットを“0”にしてください。

OCSA ビットは、ADCSR.ADST ビットが“0”のときに設定してください。また、OCSA ビットを“1”に設定してから 400ns 以上待ってから A/D 変換を開始してください。

TSSB ビット (温度センサ出力 A/D 変換選択ビット)

グループスキャンモードのグループ B で温度センサ出力の A/D 変換を選択します。

TSSB ビットは、ADCSR.ADST ビットが“0”のときに設定してください。TSSA ビットが“1”のときは、TSSB ビットを“1”にしないでください。

OCSB ビット (内部基準電圧 A/D 変換選択ビット)

グループスキャンモードのグループ B で内部基準電圧の A/D 変換を選択します。

OCSB ビットは、ADCSR.ADST ビットが“0”のときに設定してください。OCSA ビットが“1”のときは、OCSB ビットを“1”にしないでください。また、OCSB ビットを“1”に設定してから 400ns 以上待ってから A/D 変換を開始してください。

EXSEL[1:0] ビット (拡張アナログ入力選択ビット)

アナログ入力チャンネル (AN_n) 以外に、拡張アナログ入力 ANEX1 を選択することができます。

ANEX1 を選択した場合、ANEX1 には ANEX0 を外部オペアンプ経由で入力してください。また、アナログ入力チャンネル AN100 ~ AN107 のみ選択可能です。AN108 ~ AN111 は選択しないでください。詳細は「50.3.5.1 ANEX1 の使用方法」を参照してください。

EXOEN ビット (拡張アナログ出力制御ビット)

拡張アナログ出力 (ANEX0) を制御します。出力を許可すると ANEX0 には、ユニット 1 のアナログ入力チャンネルのうち AN100 ~ AN107 をマルチプレクスした値が出力されます。EXSEL[1:0] ビットが“00b”のときには、出力を許可しないでください。

50.2.12 A/D グループ C 拡張入力コントロールレジスタ (ADGCEXCR)

アドレス S12AD1.ADGCEXCR 0008 91D8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCSC	TSSC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSC	グループC専用温度センサ出力A/D変換選択ビット	0 : 温度センサ出力をA/D変換しない 1 : 温度センサ出力をA/D変換する	R/W
b1	OCSC	グループC専用内部基準電圧A/D変換選択ビット	0 : 内部基準電圧をA/D変換しない 1 : 内部基準電圧をA/D変換する	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADGCEXCR レジスタは、グループ C の拡張入力を設定するレジスタです。

TSSC ビット (グループ C 専用温度センサ出力 A/D 変換選択ビット)

グループスキャンモードのグループ C で温度センサ出力の A/D 変換を選択します。TSSC ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。TSSA ビットまたは TSSB ビットが“1”のときは、TSSC ビットを“1”にしないでください。

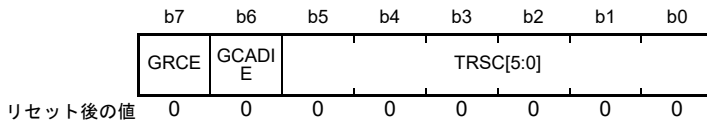
OCSC ビット (グループ C 専用内部基準電圧 A/D 変換選択ビット)

グループスキャンモードのグループ C で内部基準電圧の A/D 変換を選択します。OCSC ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。OCSA ビット、または OCSB ビットが“1”のときは、OCSC ビットを“1”にしないでください。

また、OCSC ビットを“1”に設定してから 400ns 以上待ってから A/D 変換を開始してください。

50.2.13 A/D グループ C トリガ選択レジスタ (ADGCTRGR)

アドレス S12AD.ADGCTRGR 0008 90D9h, S12AD1.ADGCTRGR 0008 91D9h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSC[5:0]	グループ C 専用 A/D 変換開始トリガ選択ビット	グループ スキャンモードでグループ C の A/D 変換開始トリガを選択します	R/W
b6	GCADIE	グループ C スキャン終了割り込み許可ビット	0 : グループ C のスキャン終了後に割り込み発生を禁止 1 : グループ C のスキャン終了後に割り込み発生を許可	R/W
b7	GRCE	グループ C 専用 A/D 変換動作許可ビット	グループ C の A/D 変換動作許可を設定します 0 : グループ C を使用しない 1 : グループ C を使用する	R/W

ADGCTRGR レジスタは、グループ C の動作許可設定と A/D 変換開始トリガを選択します。グループ優先動作の設定は、表 50.16、表 50.17 を参照してください。

TRSC[5:0] ビット (グループ C 専用 A/D 変換開始トリガ選択ビット)

グループ C で選択したアナログ入力のスキャンを開始するトリガの選択を行います。TRSC[5:0] ビットはグループ スキャンモードでのみ使用可能なビットで、他のスキャンモードでは使用しません。グループ C のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガは設定できません。グループ スキャンモードでグループ C を使用する場合は、TRSC[5:0] ビットを“000000b”以外に設定し、ADCSR.TRGE ビットを“1”、GRCE ビットを“1”に設定してください。

グループ スキャンモードのグループ優先制御時にグループ C を使用し、ADGSPCR.GBRP ビットを“1”に設定することで、グループ C をシングル スキャンモードで連続動作させることができます。グループ C をシングル スキャンモードで連続動作させる場合は、TRSC[5:0] ビットを“3Fh”に設定し、トリガ選択を無効にしてください。

なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに 120MHz 動作モジュール (MTU) からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「50.3.7 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 50.11 に TRSC[5:0] ビット (グループ C 専用) での A/D 起動要因選択一覧を示します。

表 50.11 TRSC[5:0]ビット（グループC専用）でのA/D起動要因選択一覧

モジュール	要因	備考	TRSC[5]	TRSC[4]	TRSC[3]	TRSC[2]	TRSC[1]	TRSC[0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー(谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー(谷)	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）	0	1	0	0	0	0	
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	1	1	1	1	0
TPU	TPTRGAN	TPUn.TGRAn (n=0~5)のコンペアマッチ/インプットキャプチャ	0	1	1	1	1	1
	TPTRG0AN	TPU0.TGRA0のコンペアマッチ/インプットキャプチャ	1	0	0	0	0	0
ELC	ELCTRG00N /ELCTRG10N	ELCからのA/D起動要因	1	1	0	0	0	0

GCADIE ビット（グループC スキャン終了割り込み許可ビット）

グループスキャンモードでのグループCのスキャン終了割り込みの発生を許可/禁止します。グループCのスキャン終了割り込みはユニットごとに各1本あり、各ユニットとグループCのスキャン終了割り込みの関係を表50.12に示します。

表 50.12 各ユニットとグループCのスキャン終了割り込みの関係

ユニット	グループCのスキャン終了割り込み
S12AD	S12GCADI
S12AD1	S12GCADI1

GRCE ビット（グループC専用A/D変換動作許可ビット）

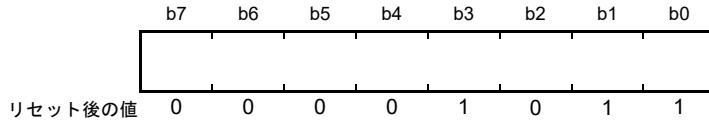
グループスキャンモードでグループCを使用する場合は、GRCEビットを“1”にしてください。GRCEビットが“0”の場合は、グループCのトリガ入力が無効となります。グループCを使用したグループ優先動作（ADGSPCR.PGSビットが“1”）で、ADGSPCR.GBRPビットを“1”とすると、グループCがシングルスキャンの連続動作を行います。（GRCEビットを“1”にするとグループBはシングルスキャンの連続動作

をしません)

GRCE ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

50.2.14 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 11, T, O)

アドレス S12AD.ADSSTR0 0008 90E0h, S12AD.ADSSTR1 0008 90E1h, S12AD.ADSSTR2 0008 90E2h,
S12AD.ADSSTR3 0008 90E3h, S12AD.ADSSTR4 0008 90E4h, S12AD.ADSSTR5 0008 90E5h,
S12AD.ADSSTR6 0008 90E6h, S12AD.ADSSTR7 0008 90E7h,
S12AD1.ADSSTR0 0008 91DEh, S12AD1.ADSSTR1 0008 91DFh,
S12AD1.ADSSTR2 0008 91E0h, S12AD1.ADSSTR3 0008 91E1h, S12AD1.ADSSTR4 0008 91E2h,
S12AD1.ADSSTR5 0008 91E3h, S12AD1.ADSSTR6 0008 91E4h, S12AD1.ADSSTR7 0008 91E5h,
S12AD1.ADSSTR8 0008 91E6h, S12AD1.ADSSTR9 0008 91E7h, S12AD1.ADSSTR10 0008 91E8h,
S12AD1.ADSSTR11 0008 91E9h, S12AD1.ADSSTR12 0008 91EAh, S12AD1.ADSSTR13 0008 91EBh



ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。

1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 60MHz であれば 1 ステート = 16.7ns になります。初期値は 11 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。

ADSSTRn レジスタは、ADCSR.ADST が“0”のときに設定してください。サンプリング時間の設定下限値は、PCLK と ADCLK の周波数比により異なります。

PCLK : ADCLK 周波数比 = 1 : 1, 2 : 1, 4 : 1, 8 : 1 の場合、5 ステート以上の値を設定してください。

表 50.13 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

詳細は、「50.3.7 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

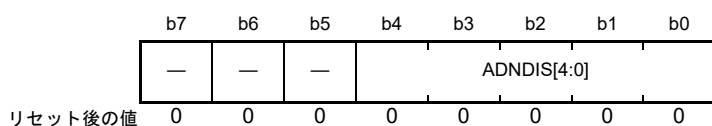
表50.13 A/Dサンプリングステートレジスタと対象チャネルの関係

ユニット	レジスタ名	対象チャネル
S12AD	ADSSTR0 レジスタ	AN000、自己診断
	ADSSTR1 レジスタ	AN001
	ADSSTR2 レジスタ	AN002
	ADSSTR3 レジスタ	AN003
	ADSSTR4 レジスタ	AN004
	ADSSTR5 レジスタ	AN005
	ADSSTR6 レジスタ	AN006
	ADSSTR7 レジスタ	AN007
S12AD1	ADSSTR0 レジスタ	AN100、自己診断
	ADSSTR1 レジスタ	AN101
	ADSSTR2 レジスタ	AN102
	ADSSTR3 レジスタ	AN103
	ADSSTR4 レジスタ	AN104
	ADSSTR5 レジスタ	AN105
	ADSSTR6 レジスタ	AN106
	ADSSTR7 レジスタ	AN107
	ADSSTR8 レジスタ	AN108
	ADSSTR9 レジスタ	AN109
	ADSSTR10 レジスタ	AN110
	ADSSTR11 レジスタ	AN111
	ADSSTRT レジスタ	温度センサ出力
ADSSTRO レジスタ	内部基準電圧	

注1. 温度センサ出力、内部基準電圧をA/D変換する場合、サンプリング時間を5 μ s以上に設定する必要があります。

50.2.15 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス S12AD.ADDISCR 0008 907Ah, S12AD1.ADDISCR 0008 917Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	A/D断線検出アシスト設定ビット	b4 ADNDIS[4] : ディスチャージ/プリチャージの選択 0 : ディスチャージ 1 : プリチャージ b3-b0 ADNDIS[3:0] : ディスチャージ/プリチャージ期間	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

ADNDIS[4:0] ビット (A/D 断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定、期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ/ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0001b は設定禁止です。ADNDIS[3:0] ビット = 0000b, 0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。ADNDIS[4:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

温度センサ出力または内部基準電圧を変換する場合や自己診断機能を使用する場合は、断線検出アシスト機能は使用できません。

50.2.16 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス S12AD.ADGSPCR 0008 9080h, S12AD1.ADGSPCR 0008 9180h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	LGRRS	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループ優先制御設定ビット (注1)	0 : グループの優先制御動作を行わない 1 : グループの優先制御動作を行う	R/W
b1	GBRSCN	低優先グループ再起動設定 ビット (注2)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0 : グループ優先制御で中断されたグループの再起動をしない 1 : グループ優先制御で中断されたグループの再起動をする	R/W
b13-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	LGRRS	再開チャンネル選択ビット	(PGS = 1かつGBRSCN = 1のときのみ有効。PGS = 0または GBRSCN = 0のときは予約ビット) 0 : スキャン先頭チャンネルから再スキャンを行う 1 : A/D変換が未終了チャンネルから再スキャンを行う	R/W
b15	GBRP	シングルスキャン連続起動設 定ビット (注3)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0 : シングルスキャン連続動作しない 1 : 最も優先度の低いグループのシングルスキャン連続動作開始	R/W

- 注1. PGSビットを“1”にするときは、ADCSR.ADCS[1:0]ビットを“01b”（グループスキャンモード）に設定してください。それ以外の設定をした場合、動作は保証されません。
- 注2. GBRSCNビットを“1”にする場合は、周辺モジュールクロックPCLKとA/D変換クロックADCLKの周波数比を1 : 1にしてください。
- 注3. GBRPビットを“1”にした場合は、GBRSCNビットの設定によらず、最も優先度の低いグループのシングルスキャン連続動作を実行します。

ADGSPCR レジスタは、グループスキャンモードで低優先グループのスキャンを中断し、優先グループのスキャンを実行する優先制御を設定するレジスタです。グループ優先動作の設定は、表 50.16、表 50.17 を参照してください。

PGS ビット（グループ優先制御設定ビット）

グループスキャンモードでの優先動作を制御します。グループ優先制御動作を行うときに“1”を設定してください。

PGS ビットを“1”に設定するときは、ADCSR.ADCS[1:0] ビットを“01b”（グループスキャンモード）に設定してください。

グループ優先動作は、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。優先順位は、グループ A > グループ B > グループ C の順です。グループ C のスキャン中にグループ B のスキャン開始を受け付けると、グループ C のスキャンを中断し、グループ B のスキャンを開始します。また、グループ C のスキャン中にグループ A のスキャン開始を受け付けるとグループ C のスキャンを中断し、グループ A のスキャンを開始します。同様にグループ B のスキャン中にグループ A のスキャン開始を受け付けると、グループ B のスキャンを中断し、グループ A のスキャンを開始します。

PGS ビットを“0”にする場合は、「50.6.2 A/D 変換停止時の注意事項」に従い、ソフトウェアでのクリアを行ってください。PGS ビットを“1”にする場合は、「50.3.4.3 グループ優先制御動作」の手順に従い設定を行ってください。

GBRSCN ビット (低優先グループ再起動設定ビット)

グループ優先制御時の、再スキャン動作を設定します。

GBRSCN ビットを“1”にすると、優先グループのトリガ入力により低優先グループのスキャン動作が中断した後、優先グループのスキャン終了を待ってから、低優先グループのスキャンを再実行します。また、優先グループのスキャン中に低優先グループのトリガ入力があった場合、優先グループのスキャン終了を待って、低優先グループのスキャンを実行します。

GBRSCN ビットを“0”にした場合は、A/D 変換実行中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

GBRSCN ビットの設定は、PGS ビットが“1”のときに有効となります。

LGRRS ビット (再開チャンネル選択ビット)

グループ優先動作時の、再スキャン開始チャンネルを設定します。LGRRS ビットの設定は、PGS ビットと GBRSCN ビットが“1”のときに有効となります。

LGRRS ビットが“0”のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後のスキャンを先頭チャンネルから再実行します。

LGRRS ビットが“1”のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後の再スキャンを A/D 変換未終了のチャンネルから再実行(注1)します。

LGRRS ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

注1. 中断時に加算設定チャンネルの A/D 変換が設定回数分終了していなければ、再実行時、加算設定チャンネルは再度 A/D 変換を設定回数分実行します。

GBRP ビット (シングルスキャン連続起動設定ビット)

グループ優先動作設定で最も優先度の低いグループをシングルスキャンで連続動作させる場合に設定します。最も優先度の低いグループとは、グループ A, B, C を使用する場合はグループ C、グループ A, B のみを使用する場合は、グループ B になります。

GBRP ビットを“1”にすると、最も優先度の低いグループのシングルスキャンが起動します。スキャン終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。グループ優先動作でスキャンが中断した後は、優先グループの A/D 変換動作終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。

GBRP ビットを“1”にする場合は、事前に最も優先度の低いグループのトリガ入力を無効にしてください。GBRP ビットを“1”に設定した場合、GBRSCN ビットが“0”でも、最も優先度の低いグループのみ再スキャンを行います。

GBRP ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

GBRP ビットの設定は、PGS ビットが“1”のときに有効となります。

50.2.17 A/D コンペア機能コントロールレジスタ (ADCMPCR)

アドレス S12AD.ADCMPCR 0008 9090h, S12AD1.ADCMPCR 0008 9190h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMPAIE	WCMPPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	—	CMPAB[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウA/Bの複合条件設定ビット	b1 b0 0 0: ウィンドウA比較条件一致ORウィンドウB比較条件一致 0 1: ウィンドウA比較条件一致EXORウィンドウB比較条件一致 1 0: ウィンドウA比較条件一致ANDウィンドウB比較条件一致 1 1: 設定しないでください	R/W
b8-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	CMPBE	コンペアウィンドウB動作許可ビット	0: コンペアウィンドウB停止 1: コンペアウィンドウB動作	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	CMPAE	コンペアウィンドウA動作許可ビット	0: コンペアウィンドウA停止 1: コンペアウィンドウA動作	R/W
b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	CMPBIE	コンペアB割り込み許可ビット	0: 比較条件（ウィンドウB）一致によるコンペア割り込み禁止 1: 比較条件（ウィンドウB）一致によるコンペア割り込み許可	R/W
b14	WCMPPE	ウィンドウ機能設定ビット	0: ウィンドウ機能無効 ウィンドウA/Bは下位側の1値とA/D変換結果を比較するコンパレータとして動作します。 1: ウィンドウ機能有効 ウィンドウA/Bは上位側、下位側の2値とA/D変換結果を比較するウィンドウコンパレータとして動作します。	R/W
b15	CMPAIE	コンペアA割り込み許可ビット	0: 比較条件（ウィンドウA）一致によるコンペア割り込み禁止 1: 比較条件（ウィンドウA）一致によるコンペア割り込み許可	R/W

ADCMPCR レジスタは、コンペアウィンドウ A/B 機能の設定を行います。

CMPAB[1:0] ビット（ウィンドウ A/B の複合条件設定ビット）

CMPAB[1:0] ビットは、シングルスキャン時、ウィンドウ A/B が共に有効である場合（CMPAE ビット=1 かつ CMPBE ビット=1）に有効です。ADWINMON.MONCOMB ビットのモニタ条件を選択します。

CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

CMPBE ビット（コンペアウィンドウ B 動作許可ビット）

コンペアウィンドウ B の停止 / 動作を選択します。CMPBE ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

以下のレジスタを設定する場合は、本ビットを“0”にしてください。

- A/D チャンネル選択レジスタ A0/B0 (ADANSA0, ADANSB0)
- A/D 変換拡張入力コントロールレジスタの OCSB, TSSB, OCSA, TSSA ビット (ADEXICR.OCSB, TSSB, OCSA, TSSA)
- A/D グループ C 拡張入力コントロールレジスタの OCSC, TSSC ビット (ADGCXCR.OCSC, TSSC)
- ウィンドウ B チャンネル選択レジスタの CMPCHB[5:0] ビット (ADCMPBNSR.CMPCHB[5:0])

CMPAE ビット (コンペアウィンドウ A 動作許可ビット)

コンペアウィンドウ A の停止 / 動作を選択します。CMPAE ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

以下のレジスタを設定する場合は、本ビットを“0”にしてください。

- A/D チャンネル選択レジスタ A0/B0 (ADANSA0, ADANSB0)
- A/D 変換拡張入力コントロールレジスタの OCSB, TSSB, OCSA, TSSA (ADEXICR.OCSB, TSSB, OCSA, TSSA)
- A/D グループ C 拡張入力コントロールレジスタの OCSC, TSSC (ADGCEXCR.OCSC, TSSC)
- ウィンドウ A チャンネル選択レジスタ 0 (ADCMPANSR0)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

CMPBIE ビット (コンペア B 割り込み許可ビット)

比較条件 (ウィンドウ B) 一致によるコンペア割り込みの発生を許可 / 禁止します。コンペア割り込みはユニットごとに各 1 本あり、各ユニットとコンペア割り込みの関係を表 50.14 に示します。

WCMPE ビット (ウィンドウ機能設定ビット)

ウィンドウ機能の有効 / 無効を選択します。WCMPE ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

CMPAIE ビット (コンペア A 割り込み許可ビット)

比較条件 (ウィンドウ A) 一致によるコンペア割り込みの発生を許可 / 禁止します。コンペア割り込みはユニットごとに各 1 本あり、各ユニットとコンペア割り込みの関係を表 50.14 に示します。

表 50.14 各ユニットとコンペア割り込みの関係

ユニット	コンペア割り込み	
	比較条件 (ウィンドウ A) 一致	比較条件 (ウィンドウ B) 一致
S12AD	S12CMPAI	S12CMPBI
S12AD1	S12CMPAI1	S12CMPBI1

50.2.18 A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0 (ADCMPANSR0)

(1) S12AD.ADCMPANSR0

アドレス 0008 9094h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPC HA007	CMPC HA006	CMPC HA005	CMPC HA004	CMPC HA003	CMPC HA002	CMPC HA001	CMPC HA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA000	コンペアウィンドウAチャンネル選択ビット	0 : AN000～AN007をコンペアウィンドウA対象から外す 1 : AN000～AN007をコンペアウィンドウA対象とする	R/W
b1	CMPCHA001			R/W
b2	CMPCHA002			R/W
b3	CMPCHA003			R/W
b4	CMPCHA004			R/W
b5	CMPCHA005			R/W
b6	CMPCHA006			R/W
b7	CMPCHA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR0 レジスタは、コンペアウィンドウ A の条件で比較を行うチャンネルのアナログ入力 AN000～AN007 を選択するレジスタです。

CMPCHA0n ビット (n = 00 ～ 07) (コンペアウィンドウ A チャンネル選択ビット)

ADANSA0.ANSA0n ビット (n = 00 ～ 07)、ADANSB0.ANSB0n ビットと ADANSC0.ANSC0n ビットで選択した A/D 変換チャンネルと同一番号の CMPCHA0n ビットを“1”にすると、コンペア機能が有効になります。

CMPCHA0n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADCMPANSR0

アドレス 0008 9194h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CMPC HA011	CMPC HA010	CMPC HA009	CMPC HA008	CMPC HA007	CMPC HA006	CMPC HA005	CMPC HA004	CMPC HA003	CMPC HA002	CMPC HA001	CMPC HA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA000	コンペアウィンドウAチャンネル選択ビット	0 : AN100～AN111をコンペアウィンドウA対象から外す 1 : AN100～AN111をコンペアウィンドウA対象とする	R/W
b1	CMPCHA001			R/W
b2	CMPCHA002			R/W
b3	CMPCHA003			R/W
b4	CMPCHA004			R/W
b5	CMPCHA005			R/W
b6	CMPCHA006			R/W
b7	CMPCHA007			R/W
b8	CMPCHA008			R/W
b9	CMPCHA009			R/W
b10	CMPCHA010			R/W
b11	CMPCHA011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR0 レジスタは、コンペアウィンドウ A の条件で比較を行うチャンネルのアナログ入力 AN100～AN111 を選択するレジスタです。

CMPCHA0n ビット (n = 00 ~ 11) (コンペアウィンドウ A チャンネル選択ビット)

ADANSA0.ANSA0n ビット (n = 00 ~ 11)、ADANSB0.ANSB0n ビットと ADANSC0.ANSC0n ビットで選択した A/D 変換チャンネルと同一番号の CMPCHA0n ビットを“1”にすると、コンペア機能が有効になります。

CMPCHA0n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

50.2.19 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

アドレス S12AD1.ADCMPANSER 0008 9192h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMP SOC	CMP STS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTS	温度センサ出力コンペア選択ビット	0 : 温度センサ出力をコンペアウィンドウA対象から外す 1 : 温度センサ出力をコンペアウィンドウA対象とする	R/W
b1	CMPSOC	内部基準電圧コンペア選択ビット	0 : 内部基準電圧をコンペアウィンドウA対象から外す 1 : 内部基準電圧をコンペアウィンドウA対象とする	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSER レジスタは、温度センサ出力 / 内部基準電圧をコンペアウィンドウ A の条件で比較を行うかを選択するレジスタです。

CMPSTS ビット (温度センサ出力コンペア選択ビット)

ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットまたは ADGCEXCR.TSSC ビットが“1”のときに CMPSTS ビットを“1”にすると、コンペアウィンドウ A 機能が有効になります。CMPSTS ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

CMPSOC ビット (内部基準電圧コンペア選択ビット)

ADEXICR.OCSA ビットまたは ADEXICR.OCSB または ADGCEXCR.OCSC ビットが“1”のときに CMPSOC ビットを“1”にすると、コンペアウィンドウ A 機能が有効になります。CMPSOC ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

50.2.20 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)

(1) S12AD.ADCMPLR0

アドレス 0008 9098h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPLC HA007	CMPLC HA006	CMPLC HA005	CMPLC HA004	CMPLC HA003	CMPLC HA002	CMPLC HA001	CMPLC HA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA000	コンペアウィンドウAコン ペア条件選択ビット	ウィンドウ機能無効時 (ADCMPPCR.WCMPE ビットが“0”) 0 : ADCMPDR0 レジスタ値 > A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値	R/W
b1	CMPLCHA001			R/W
b2	CMPLCHA002			R/W
b3	CMPLCHA003			R/W
b4	CMPLCHA004		ウィンドウ機能有効時 (ADCMPPCR.WCMPE ビットが“1”) 0 : A/D 変換値 < ADCMPDR0 レジスタ値または ADCMPDR1 レジスタ値 < A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 < ADCMPDR1 レジ スタ値	R/W
b5	CMPLCHA005			R/W
b6	CMPLCHA006			R/W
b7	CMPLCHA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADCMPLR0 レジスタは、S12AD.ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。S12AD.ADCMPLR0 レジスタの設定は、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

CMPLCHA0n ビット (n = 00 ~ 07) (コンペアウィンドウ A コンペア条件選択ビット)

ウィンドウ A 比較条件の対象としたチャンネル (AN000 ~ AN007) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA000 ビットが AN000 に、CMPLCHA007 ビットが AN007 に対応します。

(2) S12AD1.ADCMPLR0

アドレス 0008 9198h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPLCHA011	CMPLCHA010	CMPLCHA009	CMPLCHA008	CMPLCHA007	CMPLCHA006	CMPLCHA005	CMPLCHA004	CMPLCHA003	CMPLCHA002	CMPLCHA001	CMPLCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA000	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時 (ADCMPCR.WCMPE ビットが“0”) 0 : ADCMPDR0 レジスタ値 > A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE ビットが“1”) 0 : A/D 変換値 < ADCMPDR0 レジスタ値または ADCMPDR1 レジスタ値 < A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 < ADCMPDR1 レジスタ値	R/W
b1	CMPLCHA001			R/W
b2	CMPLCHA002			R/W
b3	CMPLCHA003			R/W
b4	CMPLCHA004			R/W
b5	CMPLCHA005			R/W
b6	CMPLCHA006			R/W
b7	CMPLCHA007			R/W
b8	CMPLCHA008			R/W
b9	CMPLCHA009			R/W
b10	CMPLCHA010			R/W
b11	CMPLCHA011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADCMPLR0 レジスタは、S12AD1.ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。S12AD1.ADCMPLR0 レジスタの設定は、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

CMPLCHA0n ビット (n = 00 ~ 11) (コンペアウィンドウ A コンペア条件選択ビット)

ウィンドウ A 比較条件の対象としたチャンネル (AN100 ~ AN111) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA000 ビットが AN100 に、CMPLCHA011 ビットが AN111 に対応します。

各アナログ入力の比較結果が設定した条件と一致したとき、S12AD1.ADCMPDR0.CMPSTCHA0n フラグ (n = 00 ~ 11) が“1”にセットされ、コンペア割り込み (S12CMPAII) を発生します。

コンペア条件を図 50.4 に示します。

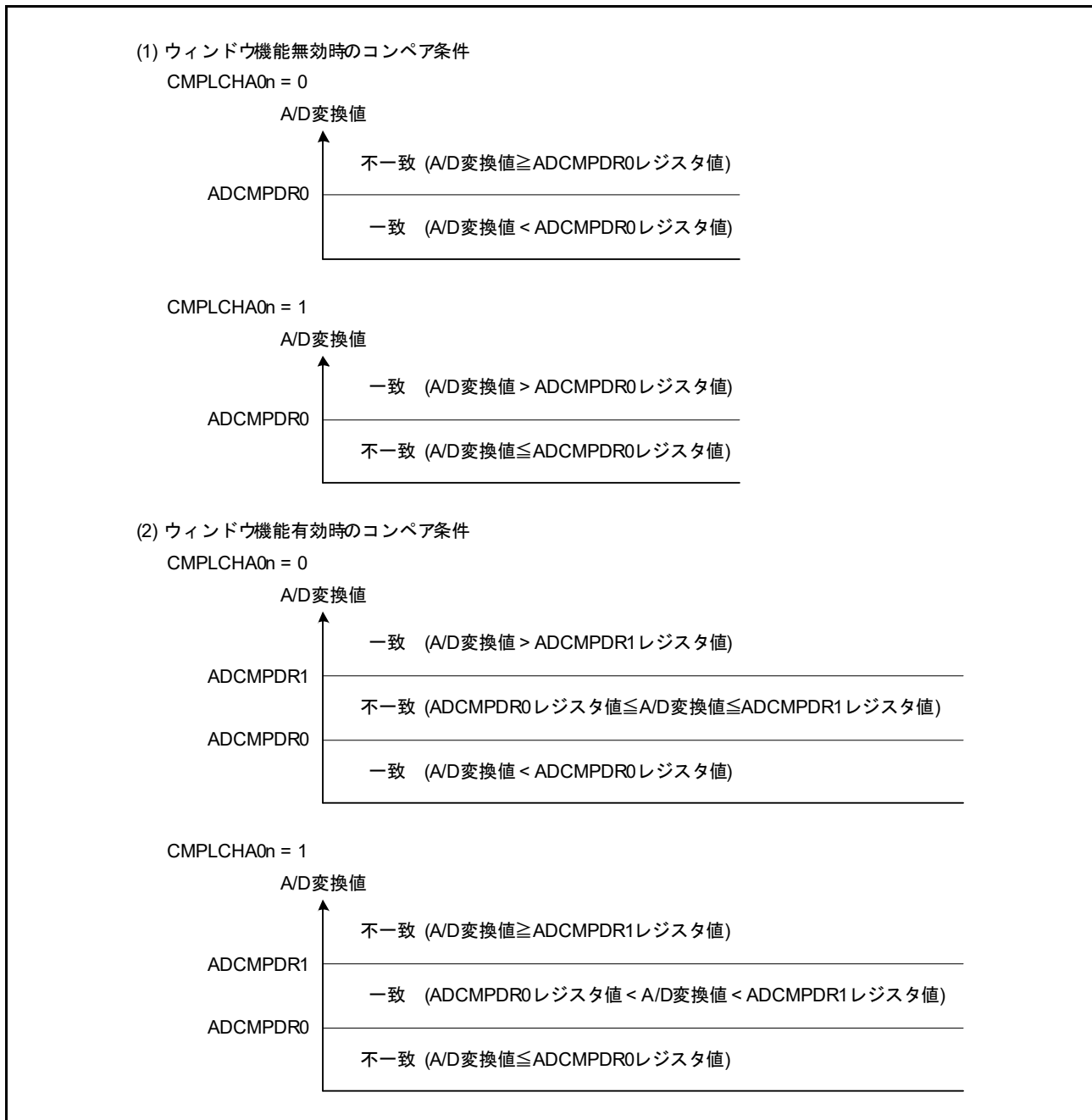


図 50.4 コンペア機能ウィンドウ A コンペア条件説明

50.2.21 A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)

アドレス S12AD1.ADCMPLER 0008 9193h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPLO C	CMPLT S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTS	コンペアウィンドウ A 温度センサ出力コンペア条件選択ビット	ウィンドウ A 機能無効時 (ADCMPPCR.WCMPE ビットが“0”) 0 : ADCMPDR0 レジスタ値 > A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 ウィンドウ A 機能有効時 (ADCMPPCR.WCMPE ビットが“1”) 0 : A/D 変換値 < ADCMPDR0 レジスタ値または A/D 変換値 > ADCMPDR1 レジスタ値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 < ADCMPDR1 レジスタ値	R/W
b1	CMPLOC	コンペアウィンドウ A 内部基準電圧コンペア条件選択ビット	ウィンドウ A 機能無効時 (ADCMPPCR.WCMPE ビットが“0”) 0 : ADCMPDR0 レジスタ値 > A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 ウィンドウ A 機能有効時 (ADCMPPCR.WCMPE ビットが“1”) 0 : A/D 変換値 < ADCMPDR0 レジスタ値または A/D 変換値 > ADCMPDR1 レジスタ値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 < ADCMPDR1 レジスタ値	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPLER レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。ADCMPLER レジスタの設定は、ADCSR.ADST ビットが“0”のときに設定してください。

CMPLTS ビット (コンペアウィンドウ A 温度センサ出力コンペア条件選択ビット)

温度センサ出力をウィンドウ A 比較条件の対象とした場合の比較条件を設定します。

温度センサ出力の比較結果が設定した条件と一致したとき、ADCMPSER.CMPFTS フラグが“1”にセットされ、コンペア割り込み (S12CMPAI1) が発生します。コンペア条件を図 50.4 に示します。

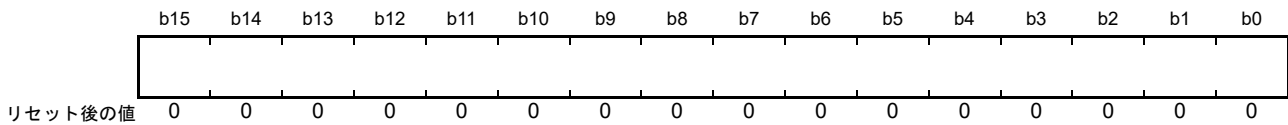
CMPLOC ビット (コンペアウィンドウ A 内部基準電圧コンペア条件選択ビット)

内部基準電圧をウィンドウ A 比較条件の対象とした場合の比較条件を設定します。

内部基準電圧の比較結果が設定した条件と一致したとき、ADCMPSER.CMPFOC フラグが“1”にセットされ、コンペア割り込み (S12CMPAI1) が発生します。コンペア条件を図 50.4 に示します。

50.2.22 A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)

アドレス S12AD.ADCMPDR0 0008 909Ch, S12AD1.ADCMPDR0 0008 919Ch



ADCMPDR0 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR0 は、ウィンドウ A の下位側レベルを設定します。

ADCMPDR0 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADCMPDR1 設定値 \geq ADCMPDR0 設定値) となるように設定してください。

ADCMPDR0 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換精度指定ビットの設定値 (12 ビット、10 ビット、または 8 ビット)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマット、12 ビット精度に設定した場合
b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 は "0" を書いてください。
- 右詰めフォーマット、10 ビット精度に設定した場合
b9-b0 にコンペアレベル (下位側) を設定します。b15-b10 は "0" を書いてください。
- 右詰めフォーマット、8 ビット精度に設定した場合
b7-b0 にコンペアレベル (下位側) を設定します。b15-b8 は "0" を書いてください。
- 左詰めフォーマット、12 ビット精度に設定した場合
b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 は "0" を書いてください。
- 左詰めフォーマット、10 ビット精度に設定した場合
b15-b6 にコンペアレベル (下位側) を設定します。b5-b0 は "0" を書いてください。
- 左詰めフォーマット、8 ビット精度に設定した場合
b15-b8 にコンペアレベル (下位側) を設定します。b7-b0 は "0" を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマット、12 ビット精度に設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 は "0" を書いてください。
- 右詰めフォーマット、10 ビット精度に設定した場合
b9-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b10 は "0" を書いてください。

- 右詰めのフォーマット、8ビット精度に設定した場合
b7-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b15-b8は“0”を書いてください。
- 左詰めのフォーマット、12ビット精度に設定した場合
b15-b4に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b3-b0は“0”を書いてください。
- 左詰めのフォーマット、10ビット精度に設定した場合
b15-b6に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b5-b0は“0”を書いてください。
- 左詰めのフォーマット、8ビット精度に設定した場合
b15-b8に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b7-b0は“0”を書いてください。

A/D変換値加算モードを2回、4回変換に設定の場合のみ、A/D変換値平均モードを設定できます。

(3) A/D変換値加算モードを選択した場合

- 右詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、12ビット精度に設定した場合
b13-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b15-b14は“0”を書いてください。
- 右詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、10ビット精度に設定した場合
b11-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b15-b12は“0”を書いてください。
- 右詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、8ビット精度に設定した場合
b9-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b15-b10は“0”を書いてください。
- 右詰めのフォーマット (A/D変換値加算モード、変換回数16回選択時)、12ビット精度に設定した場合
b15-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。
- 左詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、12ビット精度に設定した場合
b15-b2に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b1-b0は“0”を書いてください。
- 左詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、10ビット変換に設定した場合
b15-b4に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b3-b0は“0”を書いてください。
- 左詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、8ビット変換に設定した場合
b15-b6に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b5-b0は“0”を書いてください。
- 左詰めのフォーマット (A/D変換値加算モード、変換回数16回選択時)、12ビット精度に設定した場合
b15-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。

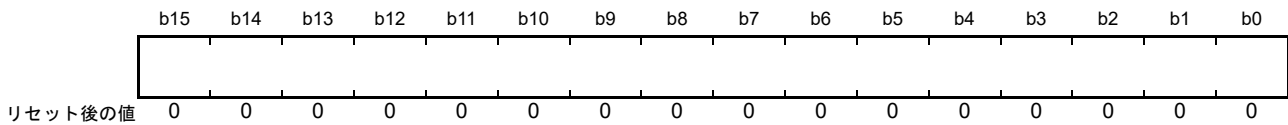
A/D変換値加算モードを選択したとき、同一チャンネルのA/D変換値を加算した値を設定します。A/D変換

回数は1回～4回、16回に設定できます。A/D変換値加算モードを選択すると、A/D変換回数を1回～4回設定時には、変換精度のビット数に2ビット分拡張してADCMPDR0レジスタに設定してください。A/D変換回数を16回設定時には、変換精度のビット数に4ビット分拡張してADCMPDR0レジスタに設定してください。

A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

50.2.23 A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)

アドレス S12AD.ADCMPDR1 0008 909Eh, S12AD1.ADCMPDR1 0008 919Eh



ADCMPDR1 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR1 は、ウィンドウ A の上位側レベルを設定します。

ADCMPDR1 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADCMPDR1 設定値 \geq ADCMPDR0 設定値) となるように設定してください。

ADCMPDR1 レジスタはウィンドウ機能無効時には使用しません。

ADCMPDR1 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換精度指定ビットの設定値 (12 ビット、10 ビット、または 8 ビット)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマット、12 ビット精度に設定した場合
b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 右詰めフォーマット、10 ビット精度に設定した場合
b9-b0 にコンペアレベル (上位側) を設定します。b15-b10 は “0” を書いてください。
- 右詰めフォーマット、8 ビット精度に設定した場合
b7-b0 にコンペアレベル (上位側) を設定します。b15-b8 は “0” を書いてください。
- 左詰めフォーマット、12 ビット精度に設定した場合
b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 は “0” を書いてください。
- 左詰めフォーマット、10 ビット精度に設定した場合
b15-b6 にコンペアレベル (上位側) を設定します。b5-b0 は “0” を書いてください。
- 左詰めフォーマット、8 ビット精度に設定した場合
b15-b8 にコンペアレベル (上位側) を設定します。b7-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマット、12 ビット精度に設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 右詰めフォーマット、10 ビット精度に設定した場合
b9-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b10 は

“0” を書いてください。

- 右詰めフォーマット、8ビット精度に設定した場合
b7-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b15-b8は“0”を書いてください。
- 左詰めフォーマット、12ビット精度に設定した場合
b15-b4に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b3-b0は“0”を書いてください。
- 左詰めフォーマット、10ビット精度に設定した場合
b15-b6に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b5-b0は“0”を書いてください。
- 左詰めフォーマット、8ビット精度に設定した場合
b15-b8に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b7-b0は“0”を書いてください。

A/D変換値加算モードを2回、4回変換に設定の場合のみ、A/D変換値平均モードを設定できます。

(3) A/D変換値加算モードを選択した場合

- 右詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、12ビット精度に設定した場合
b13-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b15-b14は“0”を書いてください。
- 右詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、10ビット精度に設定した場合
b11-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b15-b12は“0”を書いてください。
- 右詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、8ビット精度に設定した場合
b9-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b15-b10は“0”を書いてください。
- 右詰めフォーマット (A/D変換値加算モード、変換回数16回選択時)、12ビット精度に設定した場合
b15-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。
- 左詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、12ビット精度に設定した場合
b15-b2に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b1-b0は“0”を書いてください。
- 左詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、10ビット変換に設定した場合
b15-b4に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b3-b0は“0”を書いてください。
- 左詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、8ビット変換に設定した場合
b15-b6に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b5-b0は“0”を書いてください。
- 左詰めフォーマット (A/D変換値加算モード、変換回数16回選択時)、12ビット精度に設定した場合
b15-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。

A/D変換値加算モードを選択したとき、同一チャンネルのA/D変換値を加算した値を設定します。A/D変換回数は1回～4回、16回に設定できます。A/D変換値加算モードを選択すると、A/D変換回数を1回～4回設定時には、変換精度のビット数に2ビット分拡張してADCMPDR1レジスタに設定してください。A/D変換回数を16回設定時には、変換精度のビット数に4ビット分拡張してADCMPDR1レジスタに設定してください。

A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

50.2.24 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSR0)

(1) S12AD.ADCMPSR0

アドレス 0008 90A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPST CHA007	CMPST CHA006	CMPST CHA005	CMPST CHA004	CMPST CHA003	CMPST CHA002	CMPST CHA001	CMPST CHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA000	コンペアウィンドウAフラグ	ウィンドウA動作状態 (ADCMPCR.CMPAE = 1) のとき、ウィンドウA比較条件の対象としたチャネル (AN000 ~ AN007) の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b1	CMPSTCHA001			R/W
b2	CMPSTCHA002			R/W
b3	CMPSTCHA003			R/W
b4	CMPSTCHA004			R/W
b5	CMPSTCHA005			R/W
b6	CMPSTCHA006			R/W
b7	CMPSTCHA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPSR0 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA0n フラグ (n = 00 ~ 07) (コンペアウィンドウ A フラグ)

ウィンドウ A 比較条件の対象としたチャネル (AN000 ~ AN007) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLR0.CMPLCHA0n ビット (n = 00 ~ 07) に設定された比較条件と一致した場合、“1”にセットされます。ADCMPCR.CMPIE ビットが“1”のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI) 要求を発生します。CMPSTCHA000 フラグが AN000、CMPSTCHA007 フラグが AN007 に対応します。

CMPSTCHA0n フラグに“1”を書き込むことはできません。

[“1”になる条件]

- ADCMPCR.CMPAE = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

(2) S12AD1.ADCMPSTR0

アドレス 0008 91A0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CMPST CHA011	CMPST CHA010	CMPST CHA009	CMPST CHA008	CMPST CHA007	CMPST CHA006	CMPST CHA005	CMPST CHA004	CMPST CHA003	CMPST CHA002	CMPST CHA001	CMPST CHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA000	コンペアウィンドウAフラグ	ウィンドウA動作状態 (ADCMPSTR.CMPAE = 1) のとき、ウィンドウA比較条件の対象としたチャンネル (AN100 ~ AN111) の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b1	CMPSTCHA001			R/W
b2	CMPSTCHA002			R/W
b3	CMPSTCHA003			R/W
b4	CMPSTCHA004			R/W
b5	CMPSTCHA005			R/W
b6	CMPSTCHA006			R/W
b7	CMPSTCHA007			R/W
b8	CMPSTCHA008			R/W
b9	CMPSTCHA009			R/W
b10	CMPSTCHA010			R/W
b11	CMPSTCHA011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPSTR0 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA0n フラグ (n = 00 ~ 11) (コンペアウィンドウ A フラグ)

ウィンドウ A 比較条件の対象としたチャンネル (AN100 ~ AN111) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPSTR0.CMPLCHA0n ビット (n = 00 ~ 11) に設定された比較条件と一致した場合、“1”にセットされます。ADCMPSTR.CMPIE ビットが“1”のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI1) 要求が発生します。CMPSTCHA000 フラグが AN100 に、CMPSTCHA011 フラグが AN111 に対応します。

CMPSTCHA0n フラグに“1”を書き込むことはできません。

[“1”になる条件]

- ADCMPSTR.CMPAE = 1 の条件で、ADCMPSTR0.CMPLCHA0n ビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

50.2.25 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER)

アドレス S12AD1.ADCMPSER 0008 91A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPF OC	CMPFT S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPFTS	コンペアウィンドウ A 温度センサ出力コンペアフラグ	ウィンドウ A 動作状態 (ADCMPPCR.CMPAE = 1) のとき、温度センサ出力の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b1	CMPFOC	コンペアウィンドウ A 内部基準電圧コンペアフラグ	ウィンドウ A 動作状態 (ADCMPPCR.CMPAE = 1) のとき、内部基準電圧の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPSER レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPFTS フラグ (コンペアウィンドウ A 温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPPLER.CMPLTS ビットに設定された比較条件と一致した場合、“1”にセットされます。ADCMPPCR.CMPIE ビットが“1”のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI1) 要求を発生します。

CMPFTS フラグに“1”を書き込むことはできません。

[“1”になる条件]

- ADCMPPCR.CMPAE = 1 の条件で、ADCMPPLER.CMPLTS ビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

CMPFOC フラグ (コンペアウィンドウ A 内部基準電圧コンペアフラグ)

内部基準電圧の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPPLER.CMPLOC ビットに設定された比較条件と一致した場合、“1”にセットされます。ADCMPPCR.CMPIE ビットが“1”のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI1) 要求を発生します。

CMPFOC フラグに“1”を書き込むことはできません。

[“1”になる条件]

- ADCMPPCR.CMPAE = 1 の条件で、ADCMPPLER.CMPLOC ビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

50.2.26 A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)

アドレス S12AD.ADWINMON 0008 908Ch, S12AD1.ADWINMON 0008 918Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MONC MPB	MONC MPA	—	—	—	MONC OMB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果モニタ	組み合わせの結果を示します。 本ビットはウィンドウA/B共に動作状態のときに有効です。 0: ウィンドウA/Bの複合条件不成立 1: ウィンドウA/Bの複合条件成立	R
b3-b1	—	予約ビット	読むと“0”が読めます	R
b4	MONCMPA	比較結果モニタ A	0: ウィンドウA比較条件不成立 1: ウィンドウA比較条件成立	R
b5	MONCMPB	比較結果モニタ B	0: ウィンドウB比較条件不成立 1: ウィンドウB比較条件成立	R
b7-b6	—	予約ビット	読むと“0”が読めます	R

ADWINMON レジスタは比較結果と組みあわせ結果をモニタできます。

MONCOMB ビット (組み合わせ結果モニタ)

ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件で比較条件結果 A と比較結果条件 B を組み合わせた結果を示す読み出し専用のビットです。

[“1”になる条件]

- ADCMPCR.CMPAE = 1 かつ ADCMPCR.CMPBE = 1 の条件で、ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致

[“0”になる条件]

- ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致しない。
- ADCMPCR.CMPAE = 0 または ADCMPCR.CMPBE = 0 のとき

MONCMPA ビット (比較結果モニタ A)

ADCMPLR0、ADCMPLER で設定した条件にウィンドウ A 対象チャネルの A/D 変換値が一致した場合は“1”を、一致しなかった場合は“0”を示す読み出し専用のビットです。

[“1”になる条件]

- ADCMPCR.CMPAE = 1 の条件で、ADCMPLR0.CMPLCHA0n に設定した条件が成立したとき

[“0”になる条件]

- ADCMPCR.CMPAE = 1 の条件で、ADCMPLR0.CMPLCHA0n に設定した条件が不成立のとき
- ADCMPCR.CMPAE = 0 のとき (ADCMPCR.CMPAE = 1 → 0 で自動クリア)

MONCMPB ビット (比較結果モニタ B)

ADCMPBNSR.CMPLB ビットで設定した条件にウィンドウ B 対象チャネルの A/D 変換値が一致した場合は“1”を、一致しなかった場合は“0”を示す読み出し専用のビットです。

[“1”になる条件]

- ADCMPCR.CMPBE = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が成立したとき

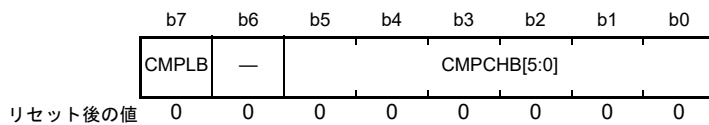
[“0”になる条件]

- ADCMPPCR.CMPBE = 1 の条件で、ADCMPBNSR.CMPLB ビット設定した条件が不成立のとき
- ADCMPPCR.CMPBE = 0 のとき (ADCMPPCR.CMPBE = 1 → 0 で自動クリア)

50.2.27 A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)

(1) S12AD.ADCMPBNSR

アドレス 0008 90A6h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウ B チャンネル選択ビット	コンペアウィンドウ B の条件で比較を行うチャンネルを選択します b5 b0 0 0 0 0 0 0 : AN000 0 0 0 0 0 1 : AN001 0 0 0 0 1 0 : AN002 : : 0 0 0 1 1 0 : AN006 0 0 0 1 1 1 : AN007 上記以外は設定しないでください	R/W
b6	—	予約ビット	読むと“0”が読めず。書く場合、“0”としてください	R/W
b7	CMPLB	コンペアウィンドウ B コンペア条件設定ビット	ウィンドウ機能無効時 (ADCMPPCR.WCMPE ビットが“0”) 0 : ADWINLLB レジスタ値 > A/D 変換値 1 : ADWINLLB レジスタ値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPPCR.WCMPE ビットが“1”) 0 : A/D 変換値 < ADWINLLB レジスタ値または ADWINULB レジスタ値 < A/D 変換値 1 : ADWINLLB レジスタ値 < A/D 変換値 < ADWINULB レジスタ値	R/W

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。

CMPCHB[5:0] ビット (コンペアウィンドウ B チャンネル選択ビット)

コンペアウィンドウ B の条件で比較を行うチャンネルを AN000 ~ AN007 から選択するビットです。

ADANS_{Ay}.ANS_{Ayn} ビット (y = 0, n = 00 ~ 07) と ADANS_{By}.ANS_{Byn} ビットで選択した A/D 変換チャンネルの番号を指定すると、コンペアウィンドウ B 機能が有効になります。

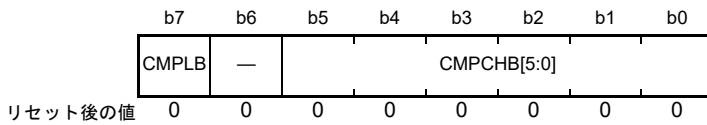
CMPCHB[5:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

CMPLB ビット (コンペアウィンドウ B コンペア条件設定ビット)

ウィンドウ B 対象としたチャンネルの比較条件を設定します。各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPBSR.CMPSTB フラグが“1”にセットされ、コンペア割り込み (S12CMPBI) を発生します。コンペア条件を図 50.5 に示します。

(2) S12AD1.ADCMPBNSR

アドレス 0008 91A6h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウB チャンネル選択ビット	コンペアウィンドウBの条件で比較を行うチャンネルを選択します b5 b0 0 0 0 0 0 : AN100 0 0 0 0 1 : AN101 0 0 0 1 0 : AN102 : : 0 0 0 1 1 0 : AN106 0 0 0 1 1 1 : AN107 : : 0 0 1 0 1 1 : AN111 1 0 0 0 0 : 温度センサ 1 0 0 0 1 : 内部基準電圧 上記以外は設定しないでください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CMPLB	コンペアウィンドウBコ ンペア条件設定ビット	ウィンドウ機能無効時 (ADCMPCR.WCMPE ビットが“0”) 0 : ADWINLLB レジスタ値 > A/D 変換値 1 : ADWINLLB レジスタ値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE ビットが“1”) 0 : A/D 変換値 < ADWINLLB レジスタ値またはADWINULB レジ スタ値 < A/D 変換値 1 : ADWINLLB レジスタ値 < A/D 変換値 < ADWINULB レジスタ値	R/W

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。

CMPCHB[5:0] ビット (コンペアウィンドウ B チャンネル選択ビット)

コンペアウィンドウ B の条件で比較を行うチャンネルを AN100 ~ AN111、温度センサ、内部基準電圧から選択するビットです。

ADANS_{Ay}.ANS_{Ayn} ビット (y=0, n=00 ~ 11) と ADANS_{By}.ANS_{Byn} ビットで選択した A/D 変換チャンネルの番号を指定すると、コンペアウィンドウ B 機能が有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

CMPLB ビット (コンペアウィンドウ B コンペア条件設定ビット)

ウィンドウ B 対象としたチャンネルの比較条件を設定します。各アナログ入力と比較結果が設定した条件と一致したとき、ADCMPBSR.CMPSTB フラグが“1”にセットされ、コンペア割り込み (S12CMPBI1) を発生します。コンペア条件を図 50.5 に示します。

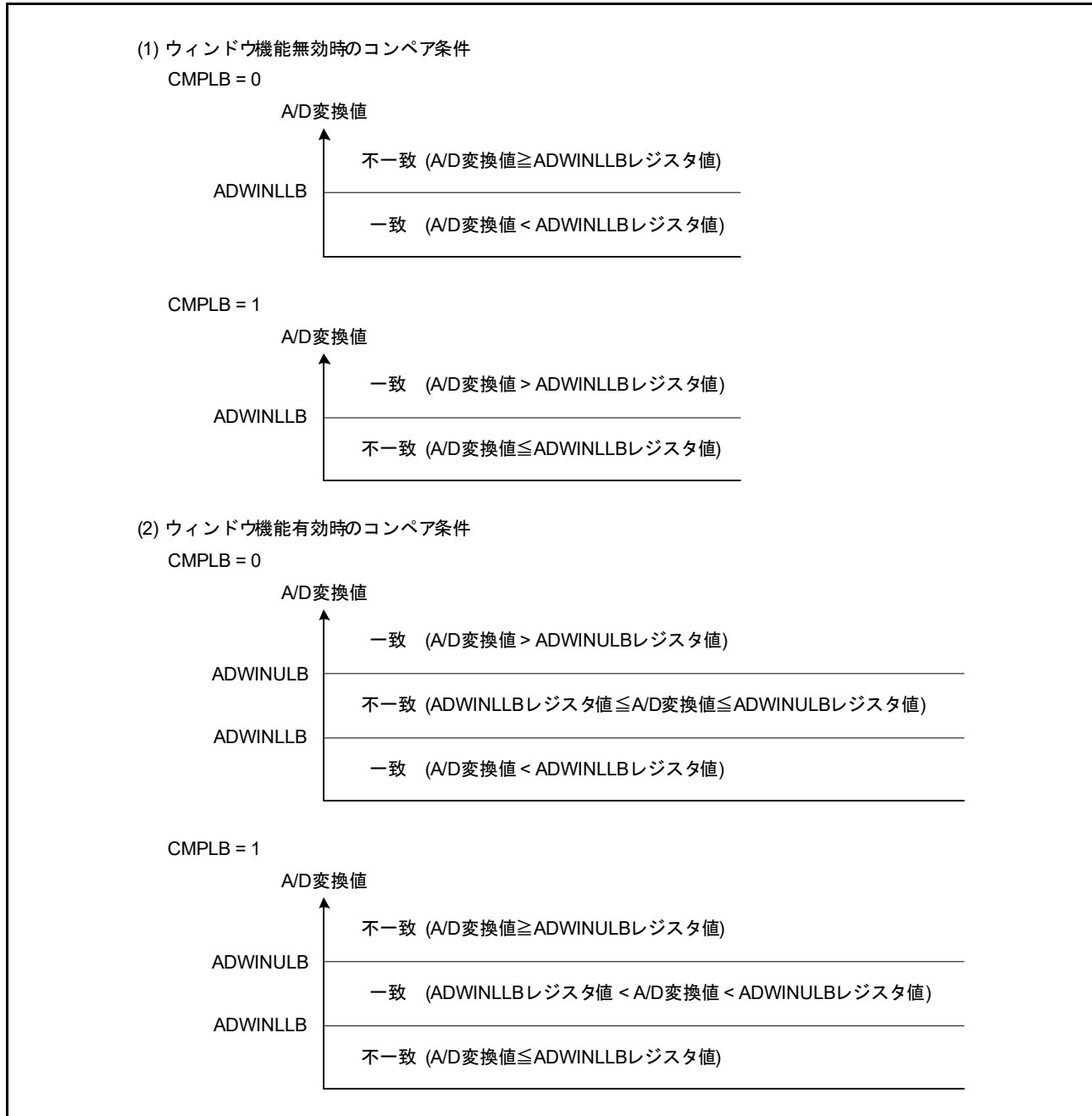
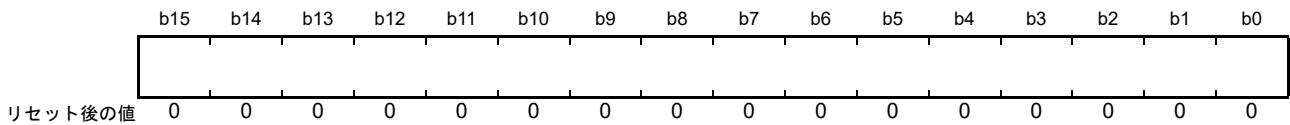


図 50.5 コンペア機能ウィンドウ B コンペア条件説明

50.2.28 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)

アドレス S12AD.ADWINLLB 0008 90A8h, S12AD1.ADWINLLB 0008 91A8h



ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINLLB は、ウィンドウ B の下位側レベルを設定します。

ADWINLLB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADWINULB 設定値 \geq ADWINLLB 設定値) となるように設定してください。

ADWINLLB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換精度指定ビットの設定値 (12 ビット、10 ビット、または 8 ビット)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマット、12 ビット精度に設定した場合
b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 は "0" を書いてください。
- 右詰めフォーマット、10 ビット精度に設定した場合
b9-b0 にコンペアレベル (下位側) を設定します。b15-b10 は "0" を書いてください。
- 右詰めフォーマット、8 ビット精度に設定した場合
b7-b0 にコンペアレベル (下位側) を設定します。b15-b8 は "0" を書いてください。
- 左詰めフォーマット、12 ビット精度に設定した場合
b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 は "0" を書いてください。
- 左詰めフォーマット、10 ビット精度に設定した場合
b15-b6 にコンペアレベル (下位側) を設定します。b5-b0 は "0" を書いてください。
- 左詰めフォーマット、8 ビット精度に設定した場合
b15-b8 にコンペアレベル (下位側) を設定します。b7-b0 は "0" を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマット、12 ビット精度に設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 は "0" を書いてください。
- 右詰めフォーマット、10 ビット精度に設定した場合
b9-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b10 は "0" を書いてください。

- 右詰めのフォーマット、8ビット精度に設定した場合
b7-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b15-b8は“0”を書いてください。
- 左詰めのフォーマット、12ビット精度に設定した場合
b15-b4に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b3-b0は“0”を書いてください。
- 左詰めのフォーマット、10ビット精度に設定した場合
b15-b6に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b5-b0は“0”を書いてください。
- 左詰めのフォーマット、8ビット精度に設定した場合
b15-b8に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b7-b0は“0”を書いてください。

A/D変換値加算モードを2回、4回に設定の場合のみ、A/D変換値平均モードを設定できます。

(3) A/D変換値加算モードを選択した場合

- 右詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、12ビット精度に設定した場合
b13-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b15-b14は“0”を書いてください。
- 右詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、10ビット精度に設定した場合
b11-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b15-b12は“0”を書いてください。
- 右詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、8ビット精度に設定した場合
b9-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b15-b10は“0”を書いてください。
- 右詰めのフォーマット (A/D変換値加算モード、変換回数16回選択時)、12ビット精度に設定した場合
b15-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。
- 左詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、12ビット精度に設定した場合
b15-b2に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b1-b0は“0”を書いてください。
- 左詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、10ビット変換に設定した場合
b15-b4に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b3-b0は“0”を書いてください。
- 左詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、8ビット変換に設定した場合
b15-b6に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。b5-b0は“0”を書いてください。
- 左詰めのフォーマット (A/D変換値加算モード、変換回数16回選択時)、12ビット精度に設定した場合
b15-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（下位側）を設定します。

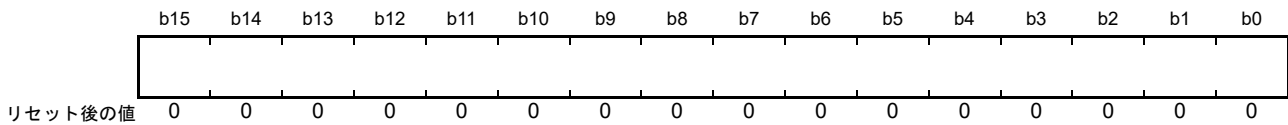
A/D変換値加算モードを選択したとき、同一チャンネルのA/D変換値を加算した値を設定します。A/D変換

回数は1回～4回、16回に設定できます。A/D変換値加算モードを選択すると、A/D変換回数を1回～4回設定時には、変換精度のビット数に2ビット分拡張してADWINLLBレジスタに設定してください。A/D変換回数を16回設定時には、変換精度のビット数に4ビット分拡張してADWINLLBレジスタに設定してください。

A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

50.2.29 A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)

アドレス S12AD.ADWINULB 0008 90AAh, S12AD1.ADWINULB 0008 91AAh



ADWINULB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINULB は、ウィンドウ B の上位側レベルを設定します。

ADWINULB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADWINULB 設定値 \geq ADWINLLB 設定値) となるように設定してください。

ADWINULB レジスタはウィンドウ機能無効時には使用しません。

ADWINULB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換精度指定ビットの設定値 (12 ビット、10 ビット、または 8 ビット)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマット、12 ビット精度に設定した場合
b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 右詰めフォーマット、10 ビット精度に設定した場合
b9-b0 にコンペアレベル (上位側) を設定します。b15-b10 は “0” を書いてください。
- 右詰めフォーマット、8 ビット精度に設定した場合
b7-b0 にコンペアレベル (上位側) を設定します。b15-b8 は “0” を書いてください。
- 左詰めフォーマット、12 ビット精度に設定した場合
b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 は “0” を書いてください。
- 左詰めフォーマット、10 ビット精度に設定した場合
b15-b6 にコンペアレベル (上位側) を設定します。b5-b0 は “0” を書いてください。
- 左詰めフォーマット、8 ビット精度に設定した場合
b15-b8 にコンペアレベル (上位側) を設定します。b7-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマット、12 ビット精度に設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 右詰めフォーマット、10 ビット精度に設定した場合
b9-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b10 は

“0”を書いてください。

- 右詰めフォーマット、8ビット精度に設定した場合
b7-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b15-b8は“0”を書いてください。
- 左詰めフォーマット、12ビット精度に設定した場合
b15-b4に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b3-b0は“0”を書いてください。
- 左詰めフォーマット、10ビット精度に設定した場合
b15-b6に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b5-b0は“0”を書いてください。
- 左詰めフォーマット、8ビット精度に設定した場合
b15-b8に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b7-b0は“0”を書いてください。

A/D変換値加算モードを2回、4回変換に設定の場合のみ、A/D変換値平均モードを設定できます。

(3) A/D変換値加算モードを選択した場合

- 右詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、12ビット精度に設定した場合
b13-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b15-b14は“0”を書いてください。
- 右詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、10ビット精度に設定した場合
b11-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b15-b12は“0”を書いてください。
- 右詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、8ビット精度に設定した場合
b9-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b15-b10は“0”を書いてください。
- 右詰めフォーマット (A/D変換値加算モード、変換回数16回選択時)、12ビット精度に設定した場合
b15-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。
- 左詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、12ビット精度に設定した場合
b15-b2に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b1-b0は“0”を書いてください。
- 左詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、10ビット変換に設定した場合
b15-b4に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b3-b0は“0”を書いてください。
- 左詰めフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)、8ビット変換に設定した場合
b15-b6に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。b5-b0は“0”を書いてください。
- 左詰めフォーマット (A/D変換値加算モード、変換回数16回選択時)、12ビット精度に設定した場合
b15-b0に同一チャンネルのA/D変換値と比較するコンペアレベル（上位側）を設定します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADWINULB レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADWINULB レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

50.2.30 A/D コンペア機能ウィンドウ B チャンルステータスレジスタ (ADCOMPBSR)

(1) S12AD.ADCMPBSR

アドレス 0008 90ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPST B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウ B フラグ	0 : 比較条件不成立 1 : 比較条件成立	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCOMPBSR レジスタは、コンペアウィンドウ B 機能の比較結果を格納するレジスタです。

CMPSTB フラグ (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件の対象としたチャンネル (AN000 ~ AN007) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPBSR.CMPCHB[5:0] ビットに設定された比較条件と一致した場合、“1”にセットされます。ADCMPBSR.CMPIE ビットが“1”のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPBI) 要求を発生します。

CMPSTB フラグに“1”を書き込むことはできません。

[“1”になる条件]

- ADCMPBSR.CMPBE = 1 の条件で、ADCMPBSR.CMPLB ビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

(2) S12AD1.ADCMPBSR

アドレス 0008 91ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPST B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	0: 比較条件不成立 1: 比較条件成立	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPBSR レジスタは、コンペアウィンドウ B 機能の比較結果を格納するレジスタです。

CMPSTB フラグ (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件の対象としたチャネル (AN100 ~ AN111、温度センサ、内部基準電圧) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPBSR.CMPCHB[5:0] に設定された比較条件と一致した場合、“1”にセットされます。ADCMPBSR.CMPIE ビットが“1”のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPBI1) 要求を発生します。

CMPSTB フラグに“1”を書き込むことはできません。

[“1”になる条件]

- ADCMPBSR.CMPBE = 1 の条件で、ADCMPBSR.CMPLB ビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

50.2.31 A/D 逐次変換時間設定レジスタ (ADSAM)

アドレス S12AD.ADSAM 0008 906Eh, S12AD1.ADSAM 0008 916Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	SAM	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b5	SAM	逐次変換時間設定ビット	0：高速変換用逐次変換時間設定 1：中速変換用逐次変換時間設定	R/W
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ADSAM レジスタは、高速変換用のユニット0と中速変換用のユニット1の逐次変換時間を設定します。

このレジスタは、PSW.I ビットを“0”（割り込み禁止）、ADSAMPR.PRO[1:0] ビットを“11”（書き込み有効）にした後で書き換えてください。また、本レジスタ書き換え直後に、ADSAMPR.PRO[1:0] ビットを“10”に設定することで、書き込み無効としてください。

SAM ビット（逐次変換時間設定ビット）

ユニット0は高速変換A/Dコンバータなので“0”に設定してください。“0”に設定すると、逐次変換時間が13ステート（12ビット精度の場合）、11ステート（10ビット精度の場合）、9ステート（8ビット精度の場合）になります。

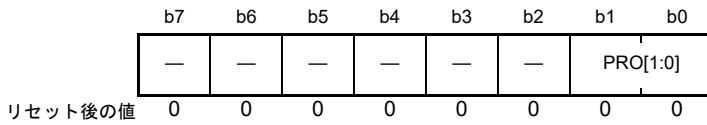
ユニット1は中速変換A/Dコンバータなので“1”に設定してください。“1”に設定すると、逐次変換時間が15ステート（12ビット精度の場合）、13ステート（10ビット精度の場合）、11ステート（8ビット精度の場合）になります。

本ビットはADCSR.ADST ビットが“0”のときに設定してください。

なお、各ユニットに対し上記と異なる設定をした場合、電気的特性が満たせない場合がありますので注意してください。

50.2.32 A/D 逐次変換時間設定プロテクト解除レジスタ (ADSAMPR)

アドレス S12AD.ADSAMPR 0008 9063h, S12AD1.ADSAMPR 0008 9163h



ビット	シンボル	ビット名	機能	R/W
b1-b0	PRO[1:0]	A/D逐次変換時間設定レジスタプロテクトビット	b1 b0 0 0 : A/D逐次変換時間設定レジスタの読み出し/書き込み無効 (初期値。読むと“00b”が読めます) 1 0 : A/D逐次変換時間設定レジスタの読み出し/書き込み無効 (読むと“00b”が読めます) 1 1 : A/D逐次変換時間設定レジスタの読み出し/書き込み有効 (読むと“01b”が読めます) 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ADSAMPR は、A/D 逐次変換時間設定レジスタ (ADSAM) のアクセス許可を設定します。

A/D 逐次変換時間設定レジスタ (ADSAM) への設定後は、PRO[1:0] ビットを“10b” (書き込み無効) に設定してください。

PRO[1:0] ビットは、書き込み無効設定時“00b”、書き込み有効設定時“01b”が読み出されます。

50.3 動作説明

50.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの3種類の動作モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを“0” (“1”の状態から“0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B とグループ C のスキャンをそれぞれ選択した同期トリガで開始し、グループ A とグループ B とグループ C で選択したチャンネルのスキャンをそれぞれ1回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0 レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA0 レジスタで選択した ANn の n が小さい番号順から、グループ B が ADANSB0 レジスタで選択した ANn の n が小さい番号順から、グループ C が ADANSC0 レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に1回実施され、12ビット A/D コンバータ内部で生成する3つの電圧値のうち1つを A/D 変換します。

温度センサ出力、内部基準電圧は、チャンネルのアナログ入力と同時に選択可能で、変換順はチャンネルのアナログ入力、温度センサ出力、内部基準電圧の順で A/D 変換を行います。

拡張アナログを選択する場合は、シングルスキャンモード、連続スキャンモードで A/D 変換を行ってください。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[5:0] ビットで選択した、同期トリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換データを二重化します。グループスキャンモードではグループ A のみダブルトリガ機能が使用できます。

ダブルトリガ拡張モードは、ダブルトリガモードで A/D 変換開始トリガ選択レジスタ (ADSTRGR) の TRSA[5:0] ビットで以下の同期トリガ (2種類の同期トリガ要因許可) に選択した状態を示します。

- TRG4AN または TRG4BN (ADSTRGR.TRSA[5:0] ビットに“001011b”を設定)
- TRG7AN または TRG7BN (ADSTRGR.TRSA[5:0] ビットに“001111b”を設定)

ダブルトリガ拡張モードでは、通常のダブルトリガモードの動作に加え、トリガの種別に応じて、A/D 変換データを A/D データ二重化レジスタ A (ADDBLDRA)、A/D データ二重化レジスタ B (ADDBLDRB) に格納します。ダブルトリガ拡張モード時に、2種類のトリガ要因が同時に発生した場合は、トリガ要因による振り分けは実施せず、A/D 変換データは、データ二重化レジスタ B (ADDBLDRB) に格納されます。なお、一方のトリガで A/D 変換を実施中に、他方のトリガが入力された場合、他方のトリガは無視されます。

50.3.2 シングルスキャンモード

50.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって、ADCSR.ADSTビットが“1”（A/D変換開始）になると、ADANSA0レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了後の割り込み発生許可）に設定されていると、スキャン終了割り込み要求が発生します。
- (4) ADCSR.ADSTビットはA/D変換中は“1”（A/D変換開始）を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

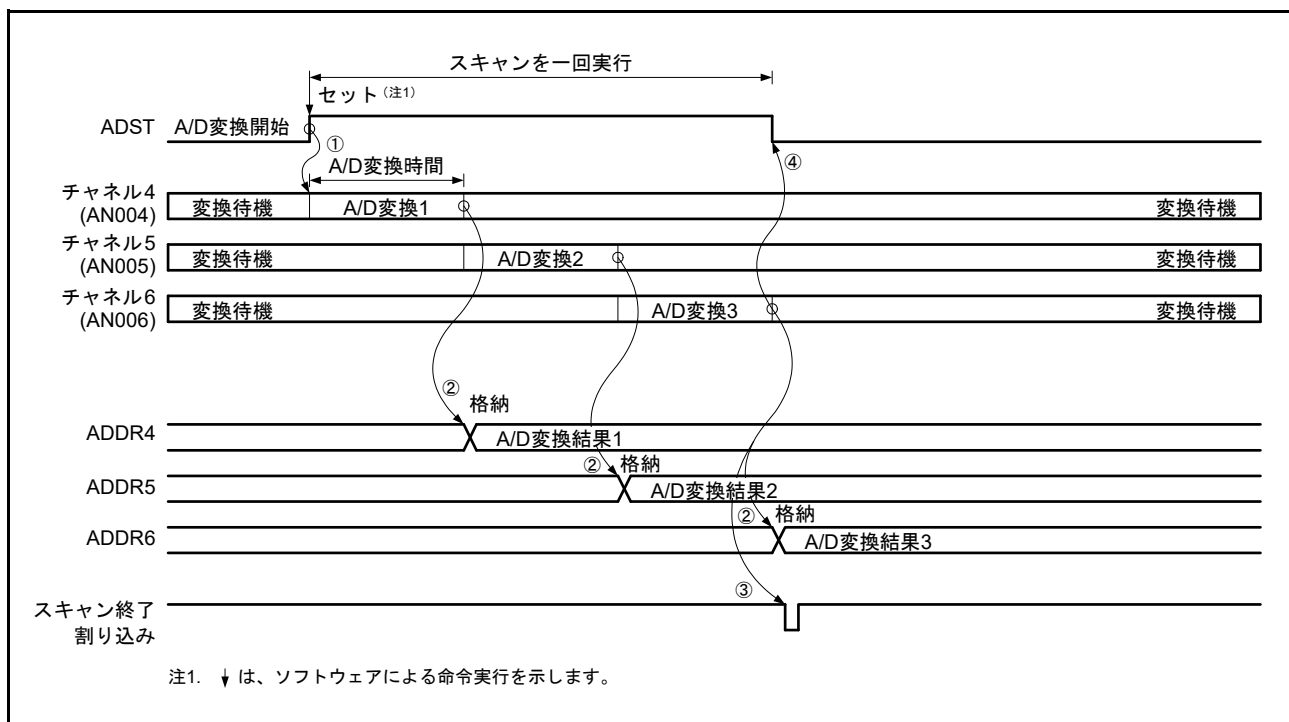


図 50.6 シングルスキャンモードの動作例（基本動作：AN004, AN005, AN006 選択）

50.3.2.2 チャンネル選択と自己診断

チャンネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ（ADRD）に格納され、次にADANSA0レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了後の割り込み発生）に設定されていれば、スキャン終了割り込み要求を発生します。
- (5) ADSTビットはA/D変換中は“1”（A/D変換開始）を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

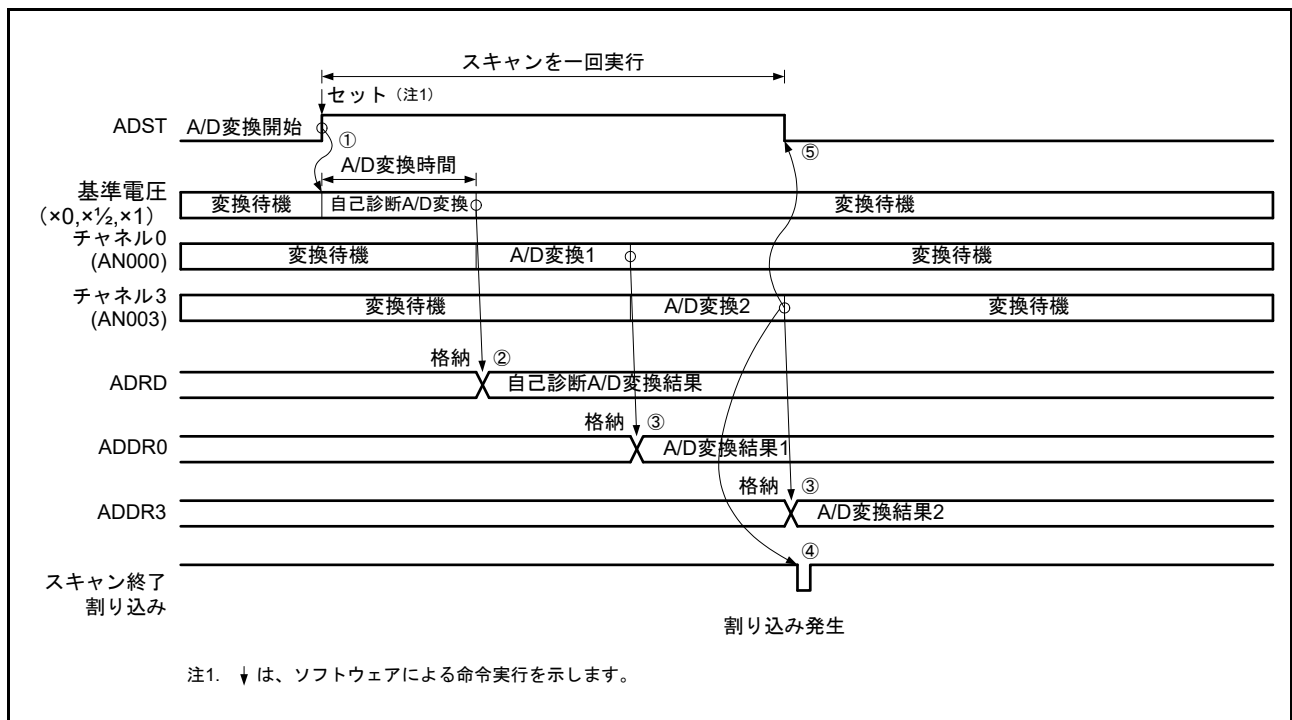


図 50.7 シングルスキャンモードの動作例（基本動作：AN000, AN003 選択 + 自己診断）

50.3.2.3 温度センサ出力 / 内部基準電圧選択時の A/D 変換動作

チャンネル選択と共に温度センサ出力または内部基準電圧を選択すると、以下のように選択したチャンネルのアナログ入力のア/D変換を行い、その後温度センサ出力または内部基準電圧を1回のみA/D変換します。温度センサ出力と内部基準電圧の両方を選択した場合は、温度センサ、内部基準電圧の順にA/D変換します。

チャンネルを非選択とし、温度センサまたは内部基準電圧のみを選択することも可能です。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSA0 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- (2) チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納され、次に温度センサ出力の A/D 変換を開始します。
- (3) 温度センサ出力の A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ (ADTSDR) へ格納され、次に内部基準電圧の A/D 変換を開始します。
- (4) 内部基準電圧の A/D 変換が終了すると、A/D 変換結果は対応する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生) に設定されていると、スキャン終了割り込み要求が発生します。
- (5) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12ビット A/D コンバータは待機状態になります。

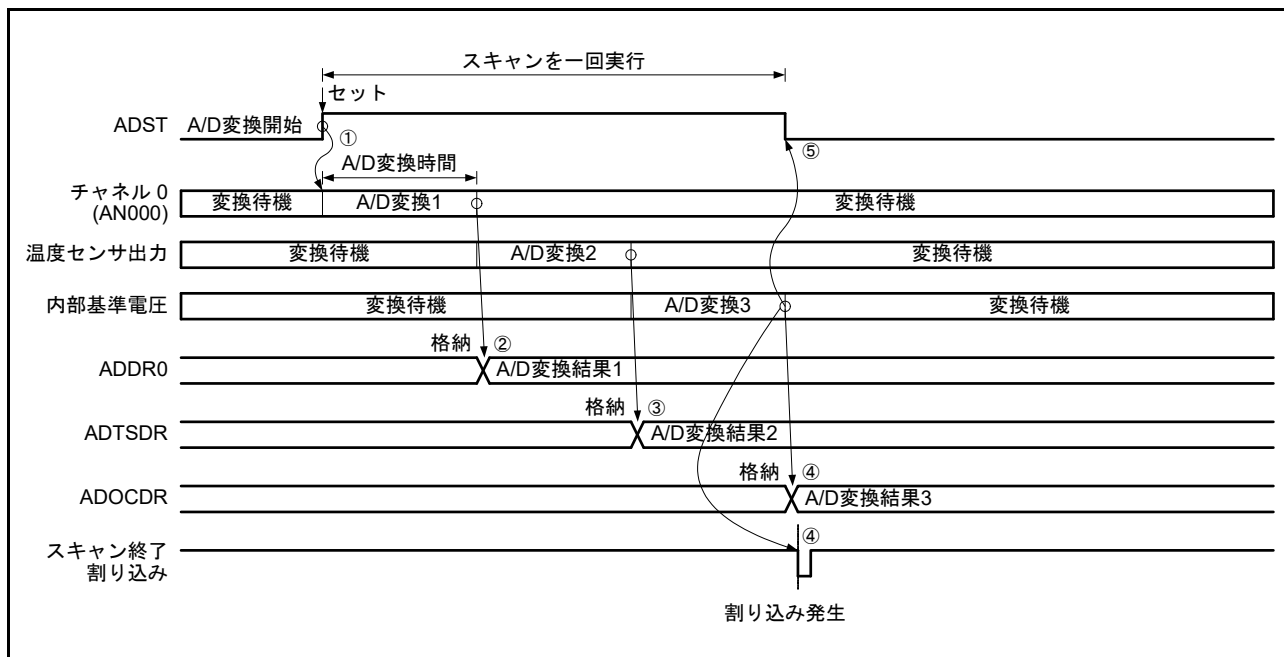


図 50.8 シングルスキャンモードの動作例 (基本動作 : AN000、温度センサ出力、内部基準電圧選択)

50.3.2.4 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガで開始するシングルスキャンモードを2回行います。

自己診断は非選択とし、温度センサ A/D 変換選択ビット (ADEXICR.TSSA, ADEXICR.TSSB) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA, ADEXICR.OCSB) は“0”に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA0 レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで同期トリガを選択し、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) 同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) にセットされると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
- (3) ADST は自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了後の割り込み発生への許可) の設定に関わらず、スキャン終了割り込みは発生しません。
- (4) 2 回目のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ二重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生への許可) に設定されていれば、スキャン終了割り込み要求が発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

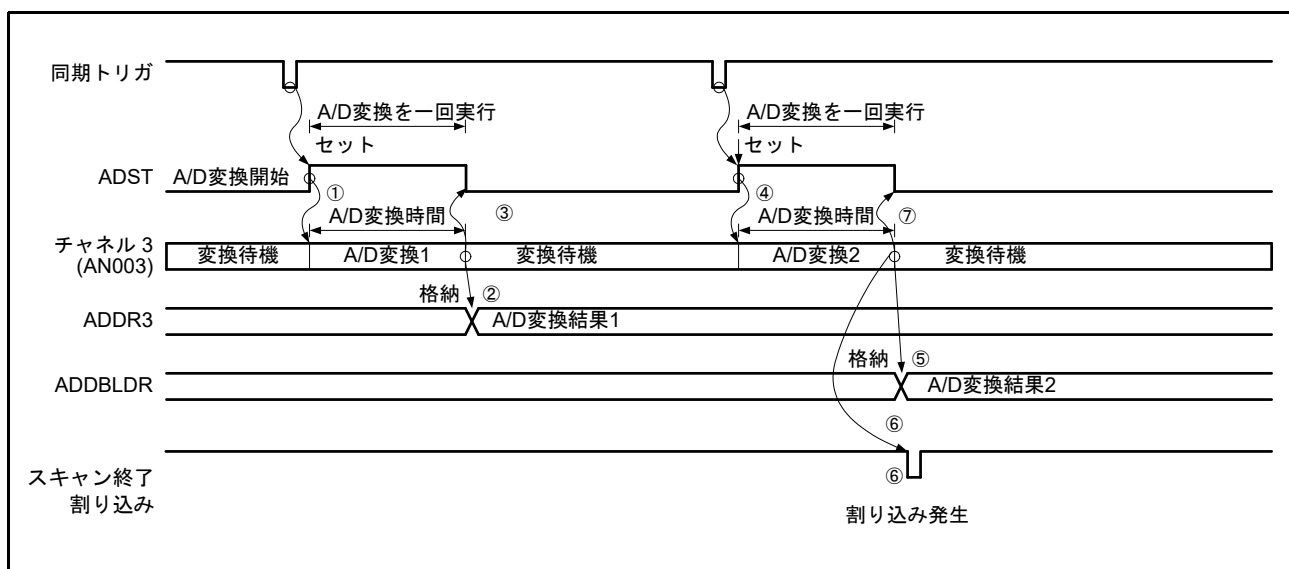


図 50.9 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を二重化)

50.3.2.5 ダブルトリガ拡張モードの動作

シングルスキャンモードでダブルトリガモードを選択し、A/D 変換開始トリガ選択レジスタ (ADSTRGR) の TRSA[5:0] ビットで「TRG4AN または TRG4BN」、「TRG7AN または TRG7BN」を選択した場合は、以下のようにシングルスキャンモードを 2 回行います。

自己診断は非選択とし、温度センサ A/D 変換選択ビット (ADEXICR.TSSA, ADEXICR.TSSB) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA, ADEXICR.OCSB) は“0”に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE を“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA0 レジスタのチャンネル選択は無効になります。また、ダブルトリガ拡張モードを選択する場合は、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) TRG4AN 入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) と A/D データ二重化レジスタ A (ADDBLDRA) へ格納されます。
- (3) ADCSR.ADST は自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了後の割り込み発生の許可) の設定に関わらず、スキャン終了割り込みは発生しません。
- (4) TRG4BN 入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果は A/D データ二重化レジスタ (ADDBLDR) と A/D データ二重化レジスタ B (ADDBLDRB) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生の許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

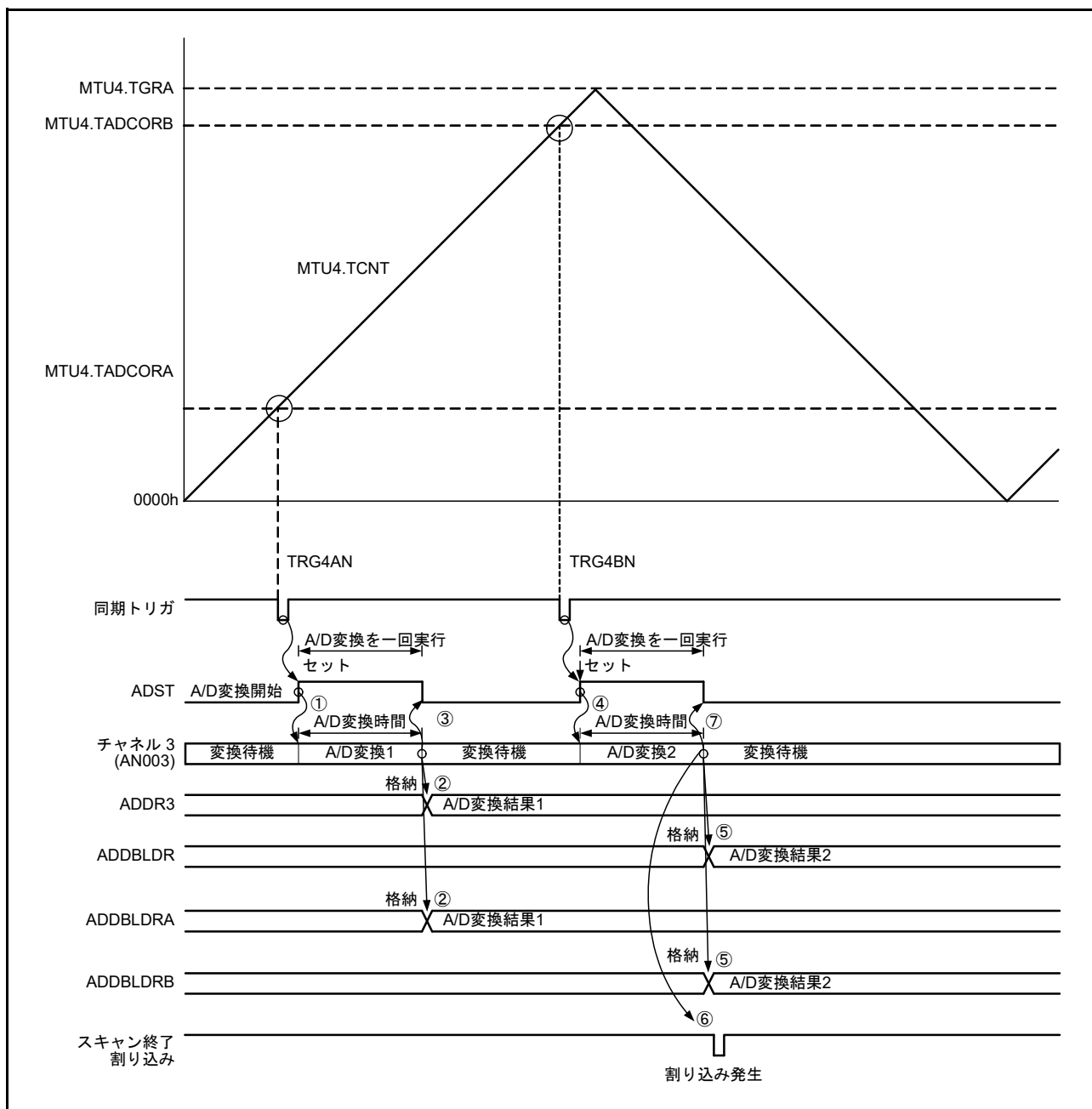


図 50.10 ダブルトリガモードの拡張動作例 (1)
 (AN003 を二重化選択、TRG4AN または TRG4BN 選択、1 回目トリガが TRG4AN の場合)

50.3.3 連続スキャンモード

50.3.3.1 基本動作

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、ADANSA0レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了後の割り込み発生許可）に設定されていると、スキャン終了割り込み要求が発生します。
また12ビットA/Dコンバータは、継続してADANSA0レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
- (4) ADCSR.ADSTビットは自動的にクリアされず、“1”（A/D変換開始）の間は(2)～(3)を繰り返します。ADCSR.ADSTビットを“0”（A/D変換停止）に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (5) その後、ADCSR.ADSTビットを“1”（A/D変換開始）にセットすると再びADANSA0レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。

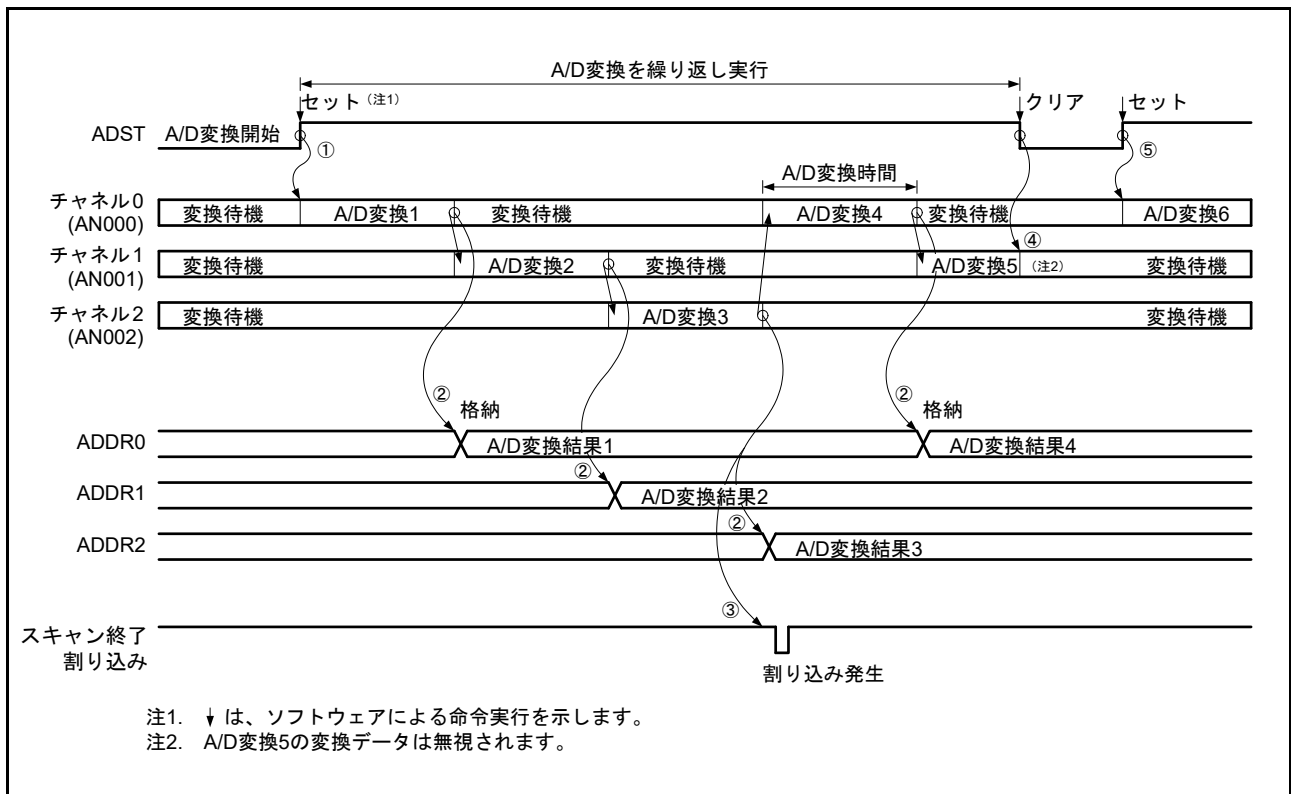


図 50.11 連続スキャンモードの動作例（基本動作：AN000, AN001, AN002 選択）

50.3.3.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ（ADRD）に格納され、次にADANSA0レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了後の割り込み発生）に設定されていれば、スキャン終了割り込み要求が発生します。また、12ビットA/Dコンバータは継続して自己診断でのA/D変換を開始し、終了後にADANSA0レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (5) ADCSR.ADSTビットは自動的にクリアされず、“1”に設定されている間は（2）～（4）を繰り返します。ADSTビットを“0”（A/D変換停止）に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADCSR.ADSTビットが“1”（A/D変換開始）に設定されると、再び自己診断でのA/D変換から開始します。

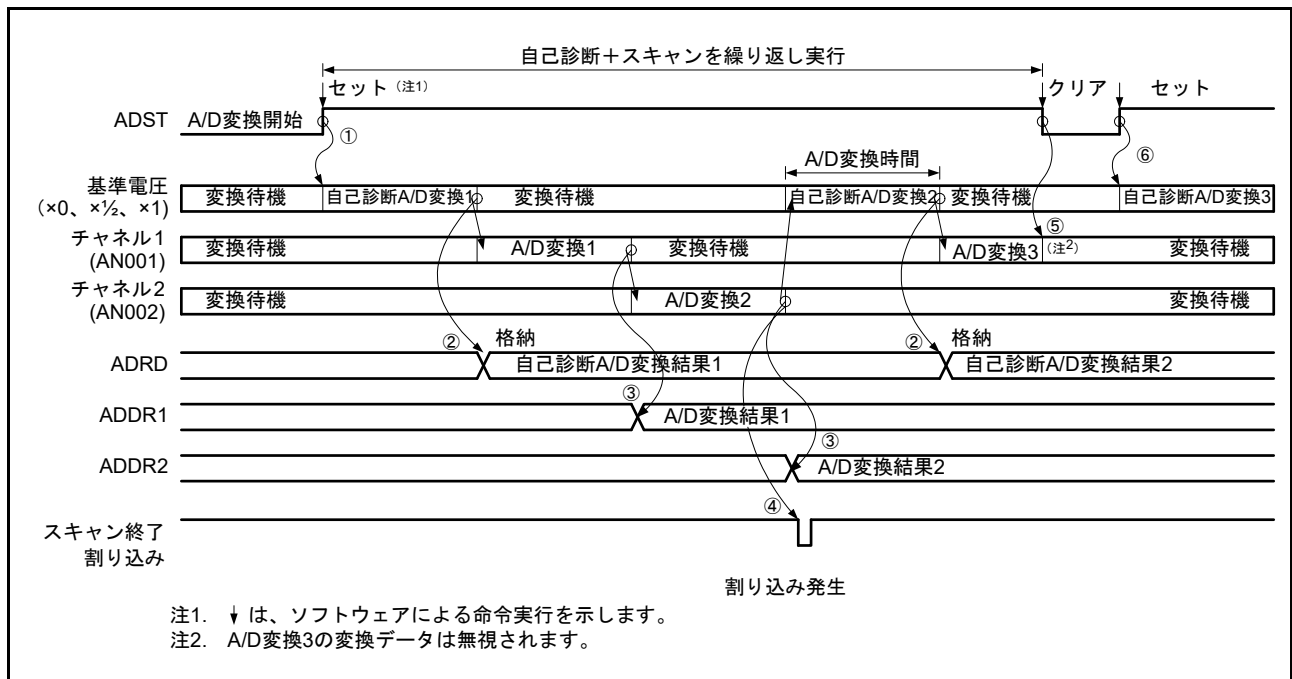


図 50.12 連続スキャンモードの動作例（基本動作：AN001, AN002 選択 + 自己診断）

50.3.3.3 温度センサ出力 / 内部基準電圧選択時の A/D 変換動作

チャンネル選択と共に温度センサ出力または内部基準電圧を選択すると、以下のように選択したチャンネルのアナログ入力の A/D 変換を行い、その後温度センサ出力または内部基準電圧 A/D 変換する動作を繰り返します。温度センサ出力と内部基準電圧の両方を選択した場合は、温度センサ、内部基準電圧の順に A/D 変換します。

チャンネルを非選択とし、温度センサまたは内部基準電圧のみを選択することも可能です。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSA0 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- (2) チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納され、次に温度センサ出力の A/D 変換を開始します。
- (3) 温度センサ出力の A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ (ADTSDR) へ格納され、次に内部基準電圧の A/D 変換を開始します。
- (4) 内部基準電圧の A/D 変換が終了すると、A/D 変換結果は対応する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生) に設定されていれば、スキャン終了割り込み要求を発生します。また、12ビット A/D コンバータは、継続して ADANSA0 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- (5) ADCSR.ADST ビットは自動的にクリアされず、“1” にセットされている間は (2) ~ (4) を繰り返します。ADCSR.ADST ビットを“0” (A/D 変換停止) に設定すると A/D 変換を中止し、12ビット A/D コンバータは待機状態になります。
- (6) その後、ADCSR.ADST ビットが“1” (A/D 変換開始) になると、再び ADANSA0 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。

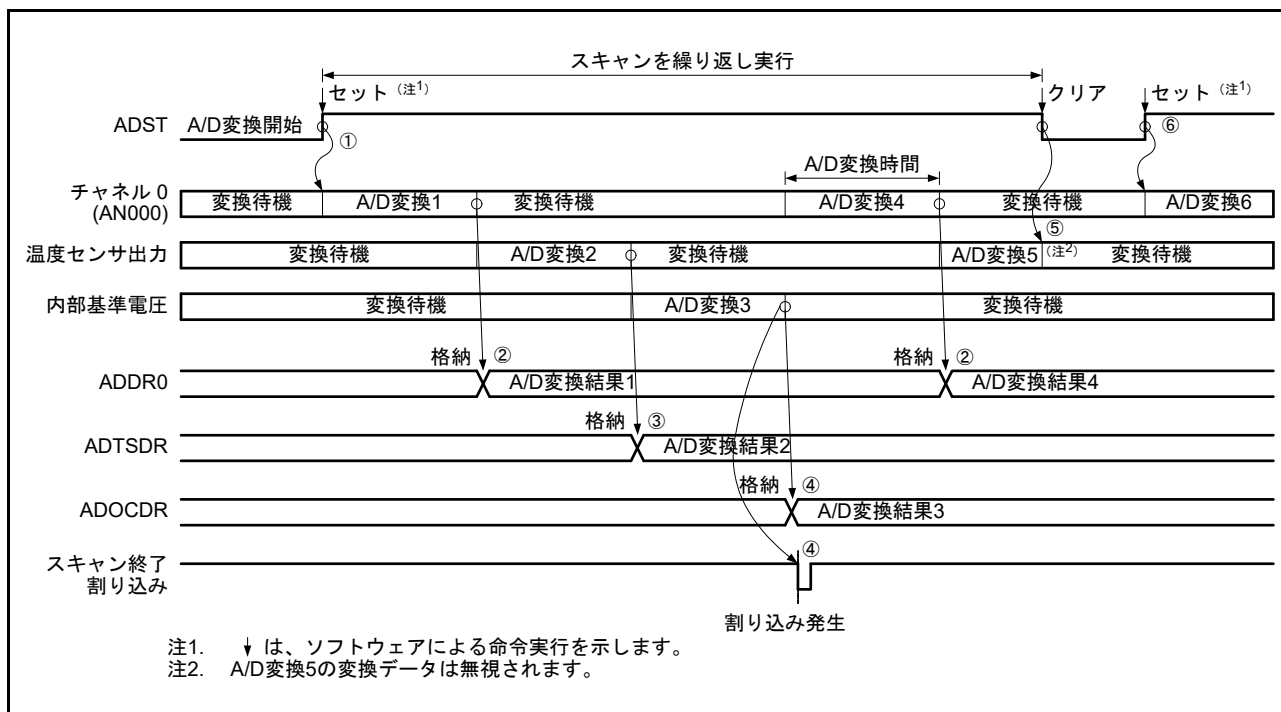


図 50.13 連続スキャンモードの動作例 (基本動作 : AN000、温度センサ出力、内部基準電圧選択)

50.3.4 グループスキャンモード

50.3.4.1 基本動作

グループスキャンモードで使用するグループの数は2つ（グループ A, B）と3つ（グループ A, B, C）のどちらか一方を選択することができます。グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループ A, B またはグループ A, B, C のそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように1回のみ A/D 変換します。グループ A, B, C のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ C の同期トリガを選択します。グループ A とグループ B とグループ C のスキャンが同時に起こらないように、グループ A とグループ B とグループ C のトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

スキャン対象とするチャンネルは、ADANSA0 レジスタ、ADEXICR.TSSA, OCSA ビットでグループ A のチャンネルを選択し、ADANSB0 レジスタ、ADEXICR.TSSB, OCSB ビットでグループ B のチャンネルを選択し、ADANSC0 レジスタ、ADGCEXCR.TSSC, OCSC ビットでグループ C のチャンネルを選択します。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B またはグループ A とグループ B とグループ C それぞれで自己診断を実施します。

以下に MTU からの同期トリガによるグループスキャンモードの動作例を示します。グループ A は MTU からの TRG4AN トリガで変換開始し、グループ B は MTU からの TRG4BN トリガで変換開始し、グループ C は MTU からの TRG4ABN トリガで変換開始する設定です。

- (1) MTU からの TRG4AN トリガでグループ A のスキャンを開始します。
- (2) グループ A のスキャン終了時に ADCSR.ADIE ビットが“1”（スキャン終了後の割り込み発生の許可）に設定されていると、スキャン終了割り込みを発生します。
- (3) MTU からの TRG4BN トリガでグループ B のスキャンを開始します。
- (4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1”（グループ B のスキャン終了後に割り込み発生を許可）に設定されていると、グループ B スキャン終了割り込みを発生します。
- (5) MTU からの TRG4ABN トリガでグループ C のスキャンを開始します。
- (6) グループ C のスキャン終了時に ADGCTRGR.GCADIE ビットが“1”（グループ C のスキャン終了後に割り込み発生を許可）に設定されていると、グループ C スキャン終了割り込みを発生します。

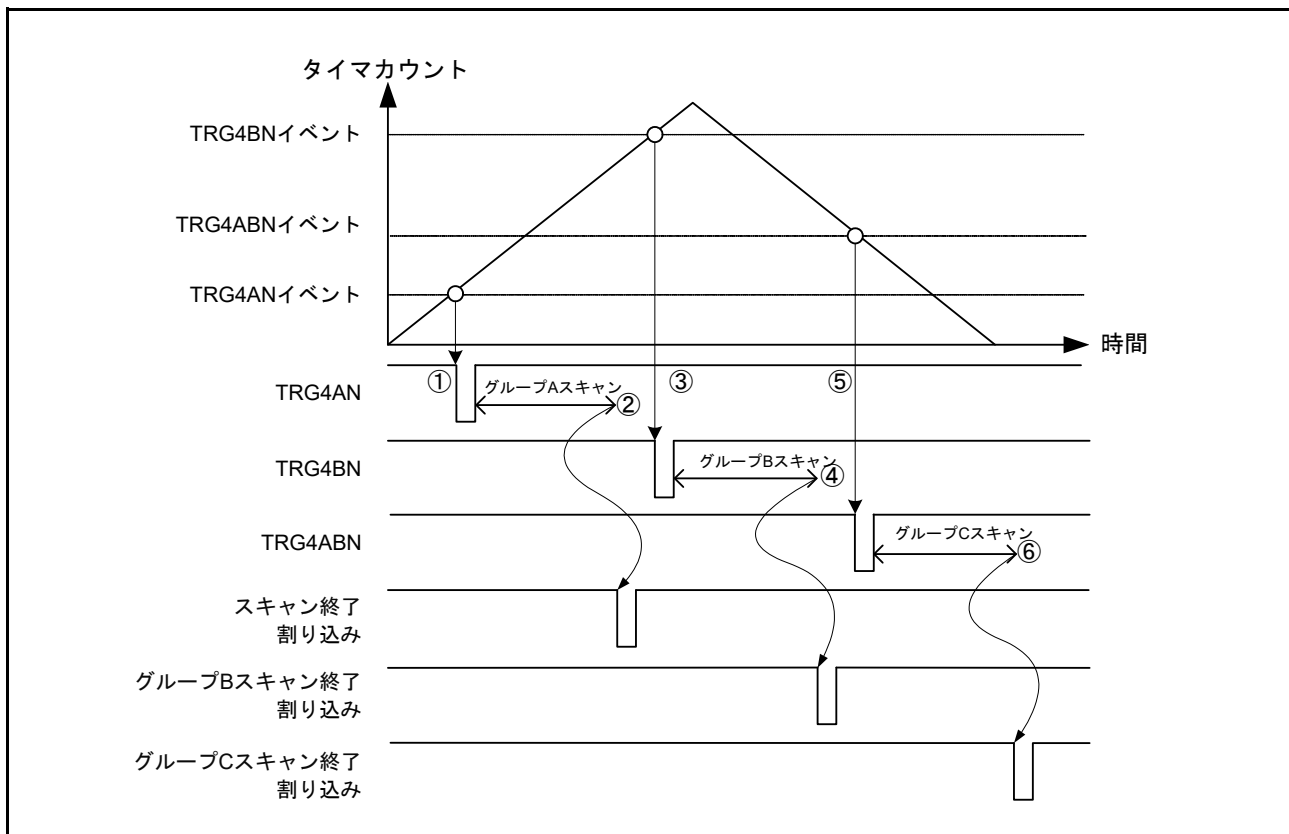


図 50.14 グループスキャンモードの動作例 (MTU からの同期トリガ発生による基本動作)

50.3.4.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガで開始するシングルスキャンモードの実行 2 回分を一連の動作として制御します。グループ B とグループ C は同期トリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ C の同期トリガを選択します。グループ A とグループ B とグループ C のスキャンが同時に起こらないように、グループ A とグループ B とグループ C のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガは使用しないでください。ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガに「TRG4AN または TRG4BN」、「TRG7AN または TRG7BN」を選択した場合は、ダブルトリガ拡張モードで動作します。

スキャン対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB0 レジスタでグループ B のチャンネルを選択し、ADANSC0 レジスタでグループ C のチャンネルを選択します。グループスキャンモードでダブルトリガモードを選択した場合は、温度センサ A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) は“0” (非選択) に設定します。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。

以下に MTU からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU からの TRG4ABN トリガで変換開始し、グループ B は MTU からの TRGA0N

トリガで変換開始し、グループ C は MTU からの TRGA1N トリガで変換開始する設定です。

- (1) MTU からの TRGA1N トリガでグループ C のスキャンを開始します。
- (2) グループ C のスキャン終了時に ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了後に割り込み発生を許可) に設定されていると、グループ C スキャン終了割り込みを発生します。
- (3) MTU からの TRGA0N トリガでグループ B のスキャンを開始します。
- (4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン終了割り込みを発生します。
- (5) MTU からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
- (6) グループ A の 1 回目のスキャン終了時は、A/D 変換結果を対応する A/D データレジスタ (ADDRy) に格納し、ADCSR.ADIE ビットの設定に関わらずスキャン終了割り込み要求は発生しません。
- (7) MTU からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
- (8) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生を許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (9) MTU からの 2 回目の TRGA0N トリガでグループ B の 2 回目のスキャンを開始します。
- (10) グループ B の 2 回目のスキャン終了時は、ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン割り込みを発生します。
- (11) MTU からの 2 回目の TRGA1N トリガでグループ C の 2 回目のスキャンを開始します。
- (12) グループ C の 2 回目のスキャン終了時は、ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了後に割り込み発生を許可) に設定されていると、グループ C スキャン割り込みを発生します。

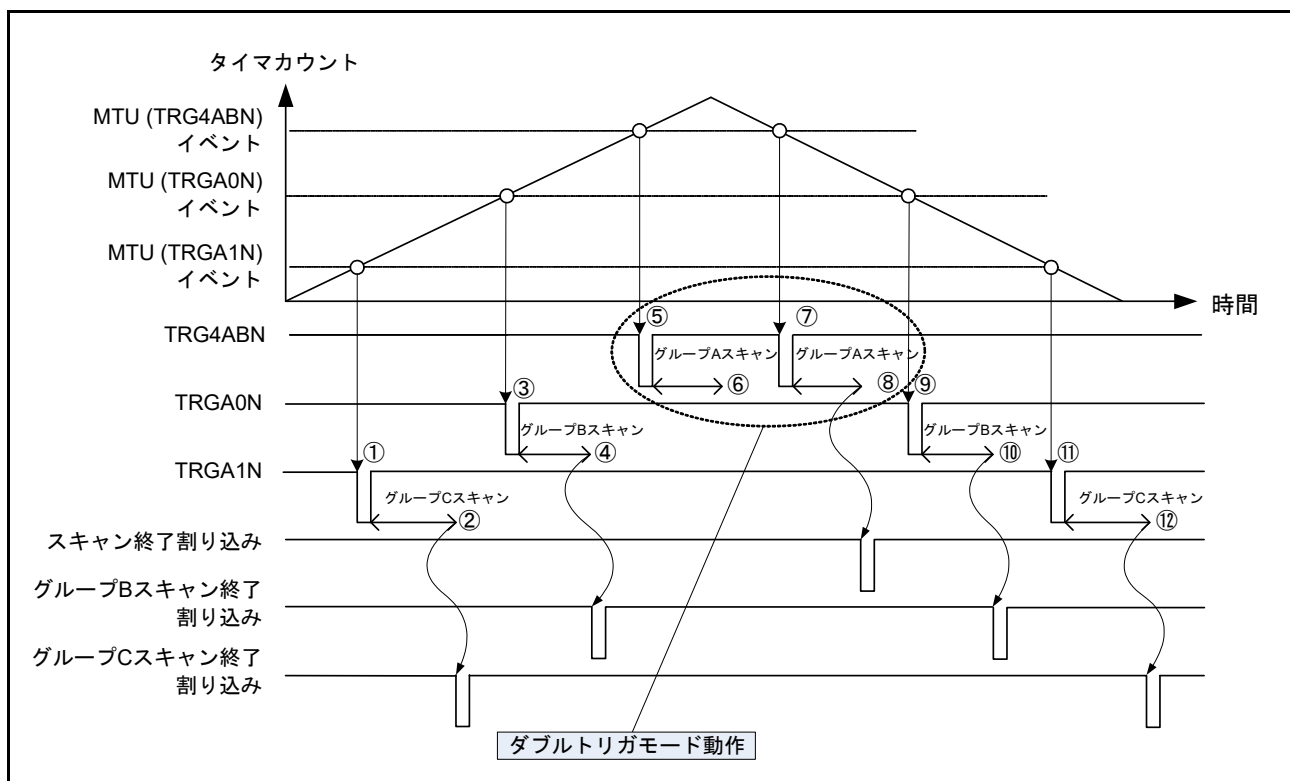


図 50.15 グループスキャンモードでダブルトリガモード選択時の動作例
(MTU からの同期トリガ発生による基本動作)

50.3.4.3 グループ優先制御動作

グループスキャンモードで ADGSPCR.PGS ビットを“1”にすると、グループ優先制御動作を行います。グループの優先度は、グループ A > グループ B > グループ C の順となります。グループスキャンモードで使用するグループの数は ADGCTRGR.GRCE ビットの設定により、2つ（グループ A, B）または3つ（グループ A, B, C）のいずれか一方を選択可能です。ADGSPCR.PGS ビットを“1”に設定する際は、図 50.16 に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、スキャンの動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、グループ B、またはグループ C のスキャン動作中に他方のトリガ入力があっても無視されます。

グループ優先動作では、低優先グループのスキャン中に優先グループのトリガ入力があった場合、低優先グループのスキャンを中断して、優先グループのスキャンを行います。

ADGSPCR.GBRSCN ビットが“0”のとき、優先グループのスキャン終了後、低優先グループは待機状態となります。またスキャン中に発生した低優先グループのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが“1”のとき、優先グループのスキャン終了後、自動的に低優先グループのスキャンを再実行します。また優先グループのスキャン中に発生した低優先グループのトリガ入力は有効となり、優先グループのスキャン終了後、自動的に低優先グループのスキャンを実行します。

ADGSPCR.GBRSCN ビットが“1”のときに ADGSPCR.LGRRS が“0”のとき、低優先グループのスキャンは先頭から再実行します。また、ADGSPCR.LGRRS が“1”のとき、低優先グループのスキャンは中断したチャンネルから再実行します。ただし自己診断機能を使用した場合は、自己診断後に中断したチャンネルから再実行します。

ADGSPCR.GBRSCN ビットの設定とスキャン動作中のトリガ入力時の動作を表 50.15 に示します。

ADGSPCR.GBRP ビットに“1”を設定したとき、最も優先度の低いグループのスキャン動作は、シングルスキャンを連続で実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ A, B のトリガとは異なるグループ C の同期トリガを選択してください。

グループスキャンモードを2グループ（ADGCTRGR.GRCE ビットを“0”に設定）でかつ

ADGSPCR.GBRP ビットに“1”を設定する場合、ADSTRGR.TRSB[5:0] ビットは“3Fh”を設定してください。

また、グループスキャンモードを3グループ（ADGCTRGR.GRCE ビットを“1”に設定）でかつ

ADGSPCR.GBRP ビットに“1”を設定する場合は、ADGCTRGR.TRSC[5:0] ビットを“3Fh”に設定してください。

またスキャン対象とするチャンネルは、ADANSA0 レジスタ、ADEXICR.TSSA, OCSA ビットでグループ A のチャンネルを選択し、ADANSB0 レジスタ、ADEXICR.TSSB, OCSB ビットでグループ B のチャンネルを選択し、ADANSC0 レジスタ、ADGCEXCR.TSSC, OCSC ビットでグループ C のチャンネルを選択してください。

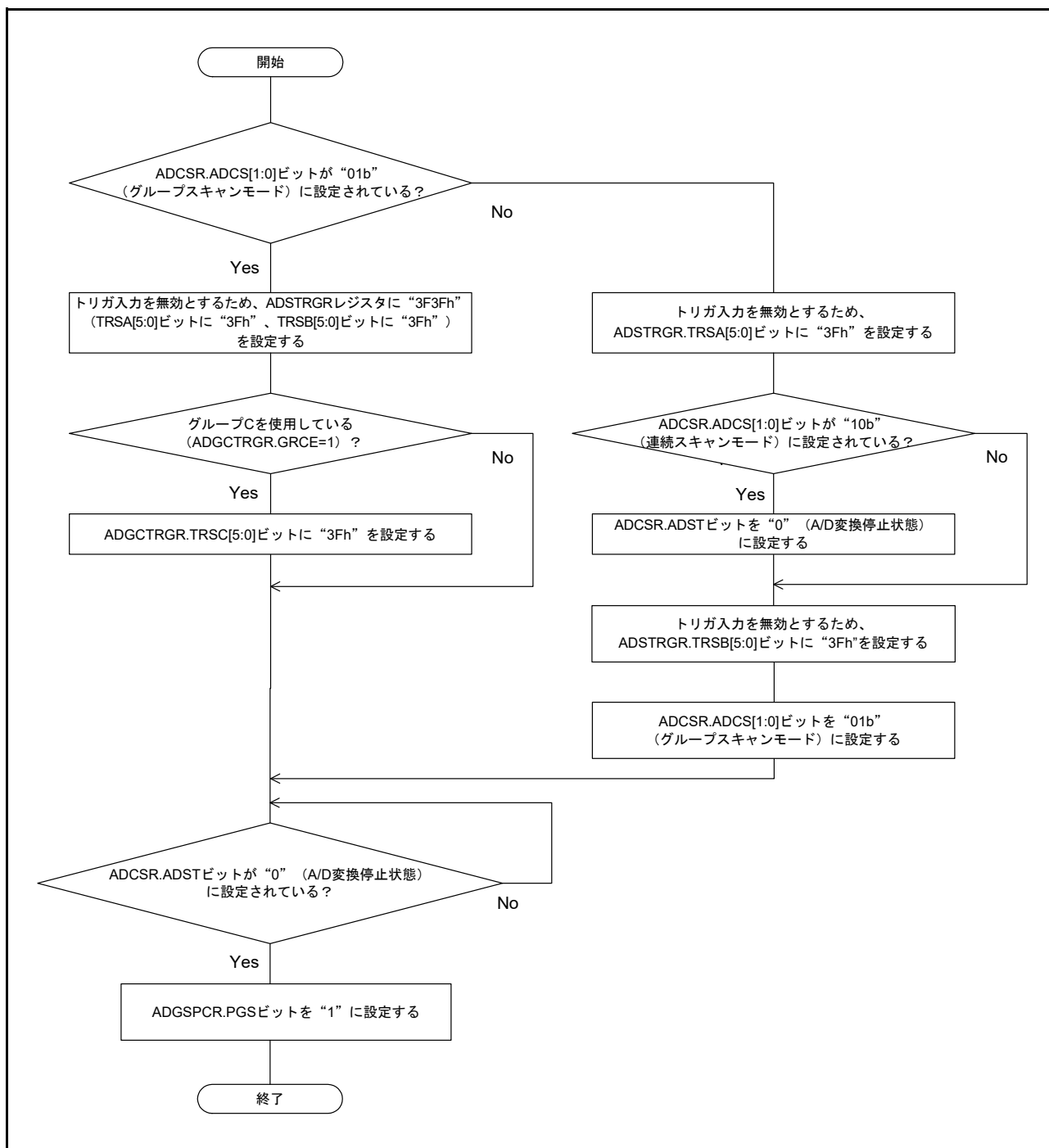


図 50.16 ADGSPCR.PGS ビット設定時のフローチャート

表 50.15 ADGSPCR.GBRSCNビットの設定によるスキャン動作制御

スキャン動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループA のスキャン中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのスキャン終了後、グループBのスキャンを行います
	グループCトリガ入力	トリガ入力無効	グループAのスキャン終了後、グループCのスキャンを行います
グループB のスキャン中	グループAトリガ入力	グループBのスキャンを中断し、グループAのスキャンを開始	<ul style="list-style-type: none"> グループBのスキャンを中断し、グループAのスキャン開始 グループAのスキャン終了後、グループBのスキャン動作開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効
	グループCトリガ入力	トリガ入力無効	グループBのスキャン終了後、グループCのスキャンを行います
グループC のスキャン中	グループAトリガ入力	グループCのスキャンを中断し、グループAのスキャンを開始	<ul style="list-style-type: none"> グループCのスキャンを中断し、グループAのスキャンを開始 グループAのスキャン終了後、グループCのスキャンを開始
	グループBトリガ入力	グループCのスキャンを中断し、グループBのスキャン動作を開始	<ul style="list-style-type: none"> グループCのスキャンを中断し、グループBのスキャン開始 グループBのスキャン終了後、グループCのスキャン開始
	グループCトリガ入力	トリガ入力無効	トリガ入力無効

グループ優先動作モードを使用する場合、下記の表を参考に実現したい動作モードを選択して、レジスタを設定してください。

表 50.16 2グループのグループ優先動作設定と動作モード (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 0)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	2グループ (グループA, B) のグループ優先動作 <ul style="list-style-type: none"> グループAのトリガが入力されたとき、グループBのスキャンは終了する (再実行しない)
1	0	0	2グループ (グループA, B) のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループBはグループAのスキャン終了後にADANSB0レジスタで指定したチャンネルの先頭からスキャンを再開する
1	1	0	2グループ (グループA, B) のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループBはグループAのスキャン終了後にADANSB0レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からスキャンを再開する
x	0	1	2グループ (グループA, B) のグループ優先動作 <ul style="list-style-type: none"> グループBは開始トリガ入力なしで、連続でシングルスキャンを実施。グループBのスキャンが中断された後は、グループAのスキャン終了後にADANSB0レジスタで指定したチャンネルの先頭からシングルスキャンを再開する
1	1	1	2グループ (グループA, B) のグループ優先動作 <ul style="list-style-type: none"> グループBは開始トリガ入力なしで、連続でシングルスキャンを実施。グループBのスキャンが中断された後は、グループAのスキャン終了後にADANSB0レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からシングルスキャンを再開する

x = Don't care

注1. 自己診断機能有 (ADCER.DIAGM = 1) では、自己診断を実行してから中断したチャンネルのA/D変換を開始します。

表 50.17 3グループのグループ優先動作設定と動作モード (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 1)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	3グループ (グループA, B, C) のグループ優先動作 <ul style="list-style-type: none"> グループAのトリガが入力されたとき、グループBのスキャンは終了する (再実行しない) グループA、またはグループBのトリガが入力されたとき、グループCのスキャンは終了する (再実行しない)
0	x	1	3グループ (グループA, B, C) のグループ優先動作 <ul style="list-style-type: none"> グループAのトリガが入力されたとき、グループBのスキャンは終了する (再実行しない) グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0レジスタで指定したチャンネルの先頭からスキャンを再開する
1	0	0	3グループ (グループA, B, C) のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0レジスタで指定したチャンネルの先頭からスキャンを再開する グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0レジスタで指定したチャンネルの先頭からスキャンを再開する
1	1	0	3グループ (グループA, B, C) のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からスキャンを再開する グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からスキャンを再開する
1	0	1	3グループ (グループA, B, C) のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0レジスタで指定したチャンネルの先頭からスキャンを再開する グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0レジスタで指定したチャンネルの先頭からシングルスキャンを再開する
1	1	1	3グループ (グループA, B, C) のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0レジスタで指定したチャンネルのうち、中断したチャンネル(注1)から再開する グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からシングルスキャンを再開する

x = Don't care

注1. 自己診断機能有 (ADCER.DIAGM = 1) では、自己診断を実行してから中断したチャンネルのA/D変換を開始します。

(1) 2 グループのグループ優先動作 (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 0 設定)

グループ A にチャンネル 0 を、グループ B にチャンネル 1 ~ 3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時) を動作例 1 ~ 5 に示します。

動作例 1 「グループ B スキャン中のグループ A トリガ入力」再スキャンあり

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生) に設定されていると、スキャン終了割り込み要求が発生します。
- (6) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。
- (7) チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生) に設定されていると、グループ B スキャン終了割り込み要求が発生します。
- (9) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

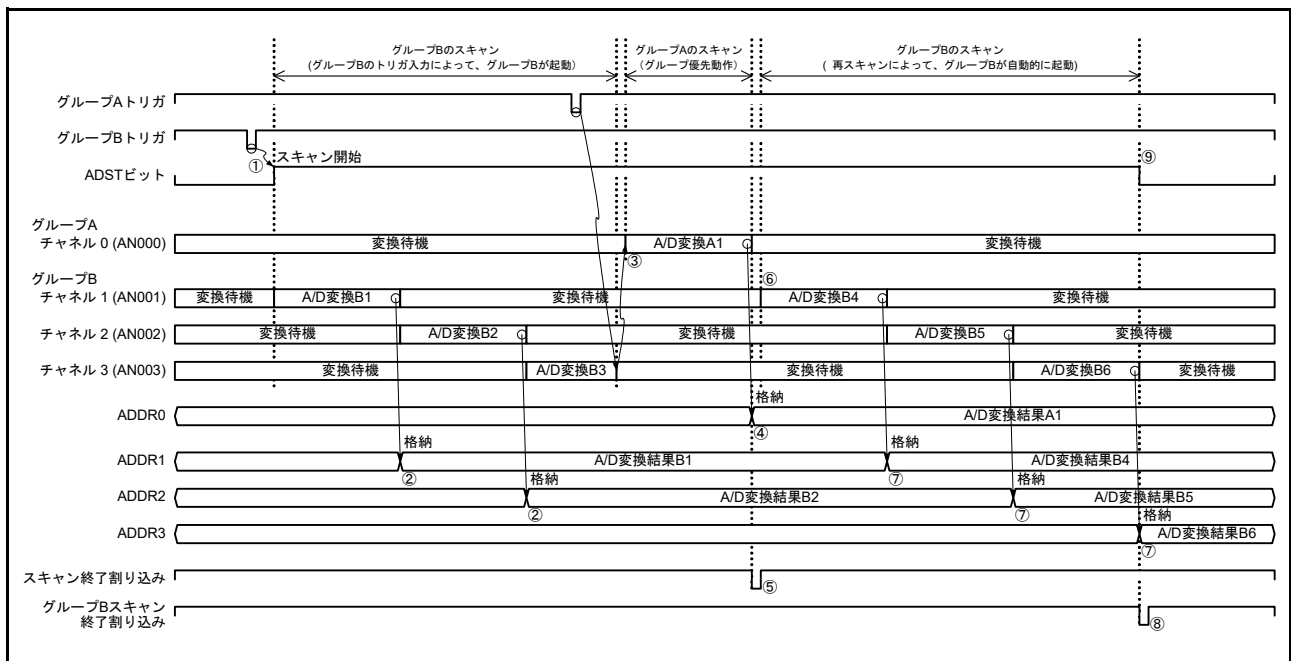


図 50.17 グループ優先動作の例 1 「グループ B スキャン中のグループ A トリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時)

動作例2 「グループB再スキャン中のグループAトリガ入力」再スキャンあり

グループB再スキャン動作中に、グループAのトリガが入力された場合を図50.18に示します。

再スキャン動作中であっても、グループAのトリガが入力されれば、グループAのスキンを開始し、グループAのスキ終了後、グループBのスキを開始します。

ADCSR.ADSTビット、A/D変換結果のA/Dデータレジスタ (ADDRy) への格納、割り込み要求は、例1と同じ動作になります。

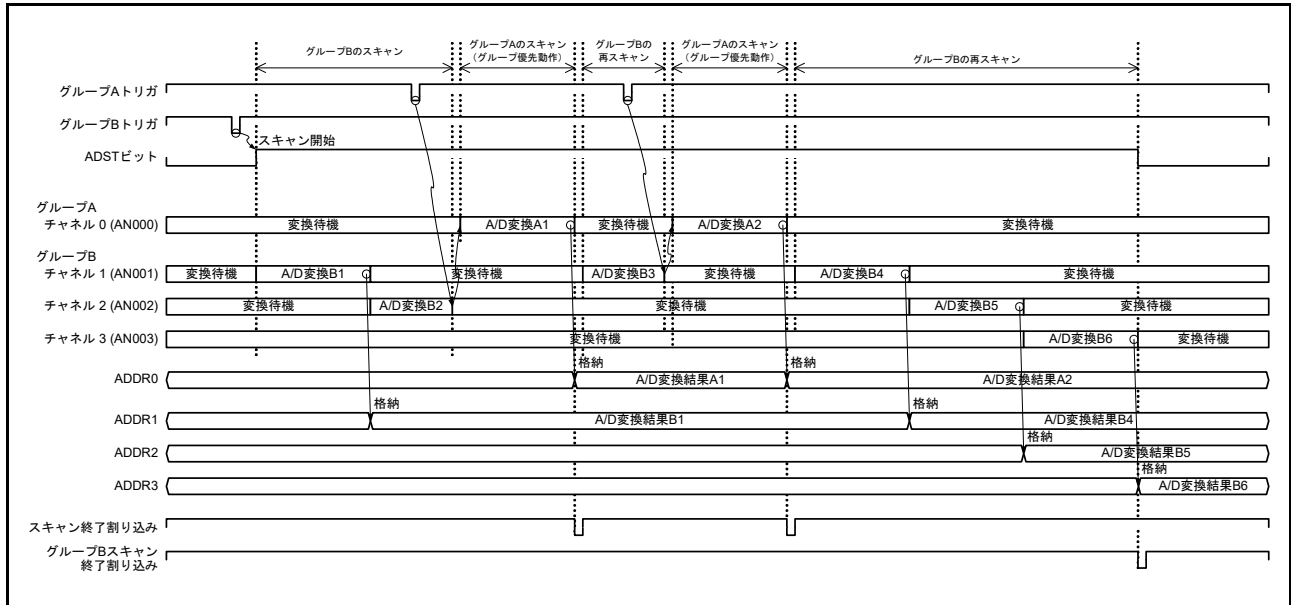


図 50.18 グループ優先動作の例2 「グループB再スキャン中のグループAトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時)

動作例3 「グループA スキャン中のグループB トリガ入力」再スキャンあり

ADGSPCR.GBRSCN ビットが“1”（グループ優先動作で中断されたグループの再スキャンをする）の設定で、グループA のスキャン動作中にグループB のトリガが入力された場合を説明します。

ADGSPCR.GBRSCN ビットが“0”に設定されている場合は、グループA のスキャン動作中に入力されたグループB のトリガはすべて無効となります。

- (1) グループA のトリガ入力によって、ADCSR.ADST ビットが“1”（A/D 変換開始）に設定されると、ADANSA0 レジスタで選択した、グループA のチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) グループA のスキャン中に、グループB のトリガ入力があると、グループB はスキャン実行可能状態になります。
- (3) 1チャンネルのA/D 変換が終了すると、A/D 変換結果は対応するA/D データレジスタ (ADDRy) に格納されます。
- (4) グループA のスキャン終了後、ADCSR.ADIE ビットが“1”（スキャン終了後の割り込み発生への許可）に設定されていると、スキャン終了割り込み要求を発生します。
- (5) グループA のスキャン終了後、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択した、グループB のチャンネル ANn の n が小さい番号順に、グループB のスキャンを実行します。（グループB のスキャン中にグループA のトリガが入力されると、例1と同じくグループA のスキャンを開始し、グループA のスキャン終了後、グループB のスキャンを開始します。）
- (6) 1チャンネルのA/D 変換が終了すると、A/D 変換結果は対応するA/D データレジスタ (ADDRy) に格納されます。
- (7) グループB のスキャン終了後、ADCSR.GBADIE ビットが“1”（グループB のスキャン終了後に割り込み発生を許可）に設定されていると、グループB スキャン終了割り込み要求を発生します。
- (8) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12ビットA/D コンバータは待機状態になります。

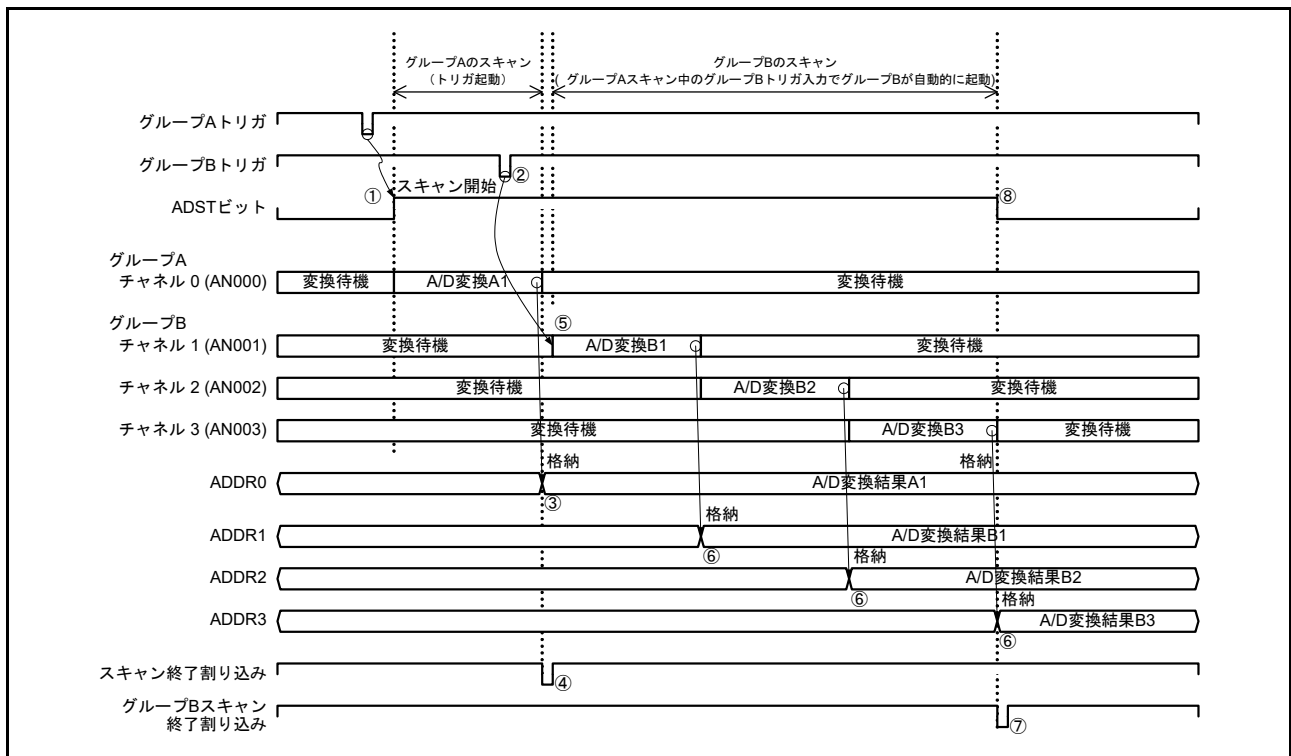


図 50.19 グループ優先動作の例3「グループA スキャン中のグループB トリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時)

グループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時) を動作例 4 に示します。

動作例 4 「グループ B スキャン中のグループ A トリガ入力」再スキャンなし

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生への許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (6) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。グループ B は、以後のグループ B トリガ入力までスキャンを行いません。

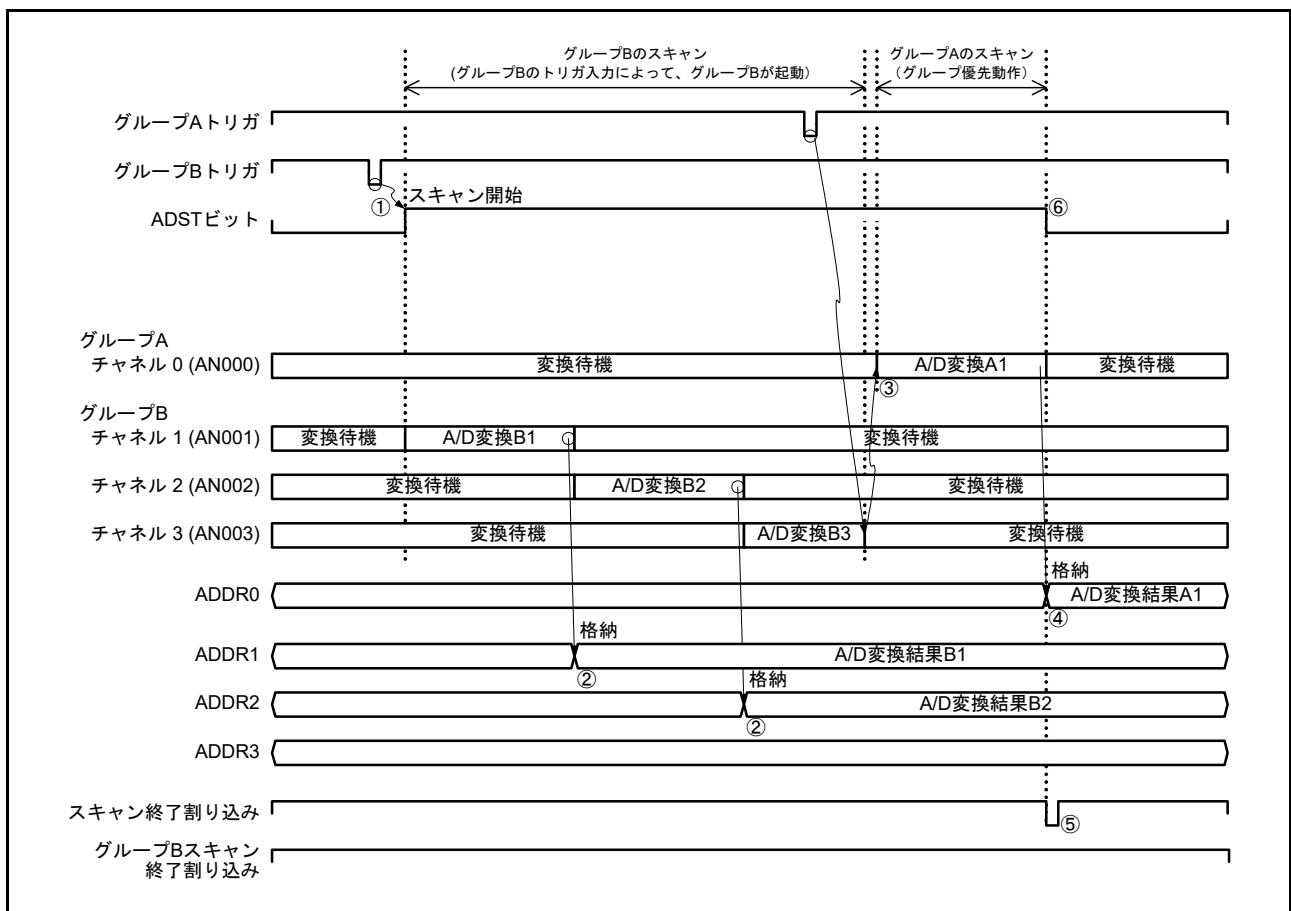


図 50.20 グループ優先動作の例 4 「グループ B スキャン中のグループ A トリガ入力」再スキャンなし (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時)

グループ A にチャンネル 0 を、グループ B にチャンネル 1, 2 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 0 設定時) を動作例 5 に示します。

ADGCTRGR.GRCE ビットが“1”の設定では、グループ C がシングルスキャン連続動作を行い、グループ B はトリガ入力でのスキャン開始になります。

動作例 5 「グループ B のシングルスキャン連続動作」

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定され、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生の許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (6) ADGSPCR.GBRP ビットが“1” (シングルスキャン連続動作する) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン終了割り込み要求を発生します。
- (9) ADGSPCR.GBRP ビットが“1” (シングルスキャン連続動作する) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択したチャンネル An の n が小さい番号順に、再度グループ B のスキャンを開始します。

グループ B をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

ADGSPCR.GBRP ビットが“1”に設定されている間は (6) ~ (9) の動作を繰り返します。ADGSPCR.GBRP ビットが“1”に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、「50.6.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

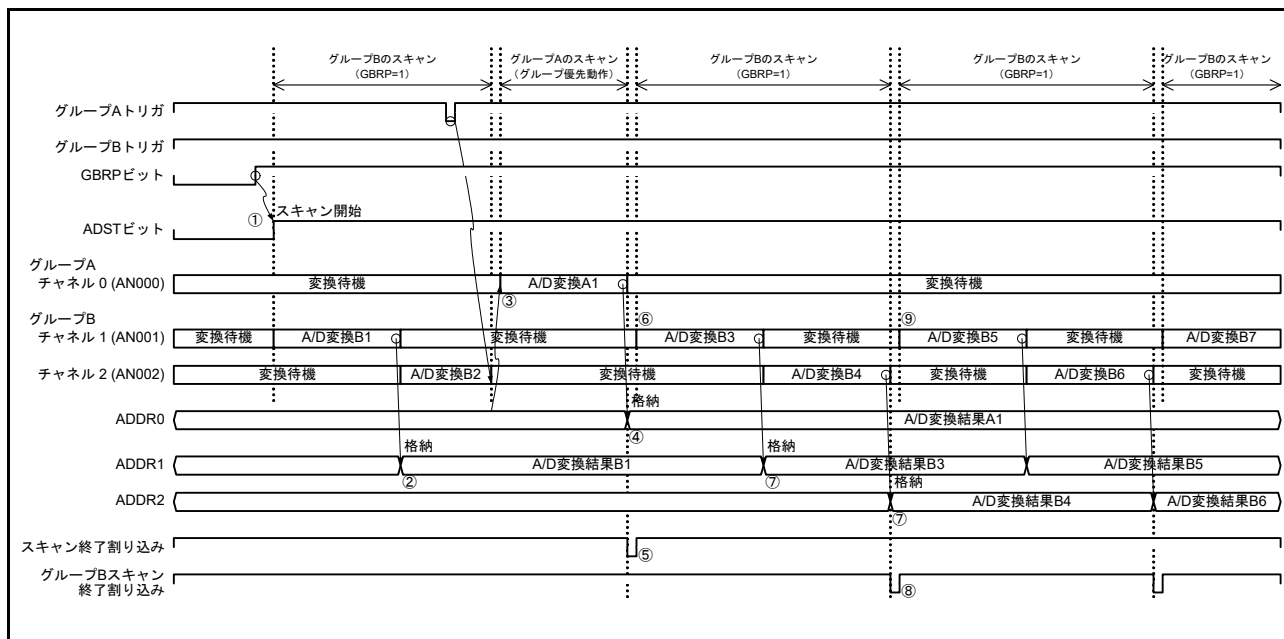


図 50.21 グループ優先動作の例 5「グループ B のシングルスキャン連続動作」
 (ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 1, ADGCTRGR.GRCE = 0 設定時)

(2) 3グループのグループ優先動作 (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 1 設定)

グループ A にチャンネル 0、グループ B にチャンネル 1, 2、グループ C にチャンネル 3, 4 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時) を動作例 1 ~ 例 5 に示します。優先グループとは、グループ C に対するグループ A とグループ B、グループ B に対するグループ A を意味します。

動作例 1 「低優先グループスキャン中の優先グループトリガ入力」再スキャンあり

- (1) グループ C のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSC0 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ C のスキャンを中断し、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (6) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (7) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生を許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (8) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ B のスキャンは、A/D 変換が中断したチャンネルから開始します。
- (9) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (10) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン終了割り込み要求を発生します。
- (11) ADGSPCR.GBRSCN ビットが“1”に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSC0 レジスタで選択したチャンネル ANn の n が小さい番号順に、再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ C のスキャンは、A/D 変換が中断したチャンネルから開始します。
- (12) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (13) ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了後に割り込み発生を許可) に設定されていると、グループ C スキャン終了割り込み要求を発生します。
- (14) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

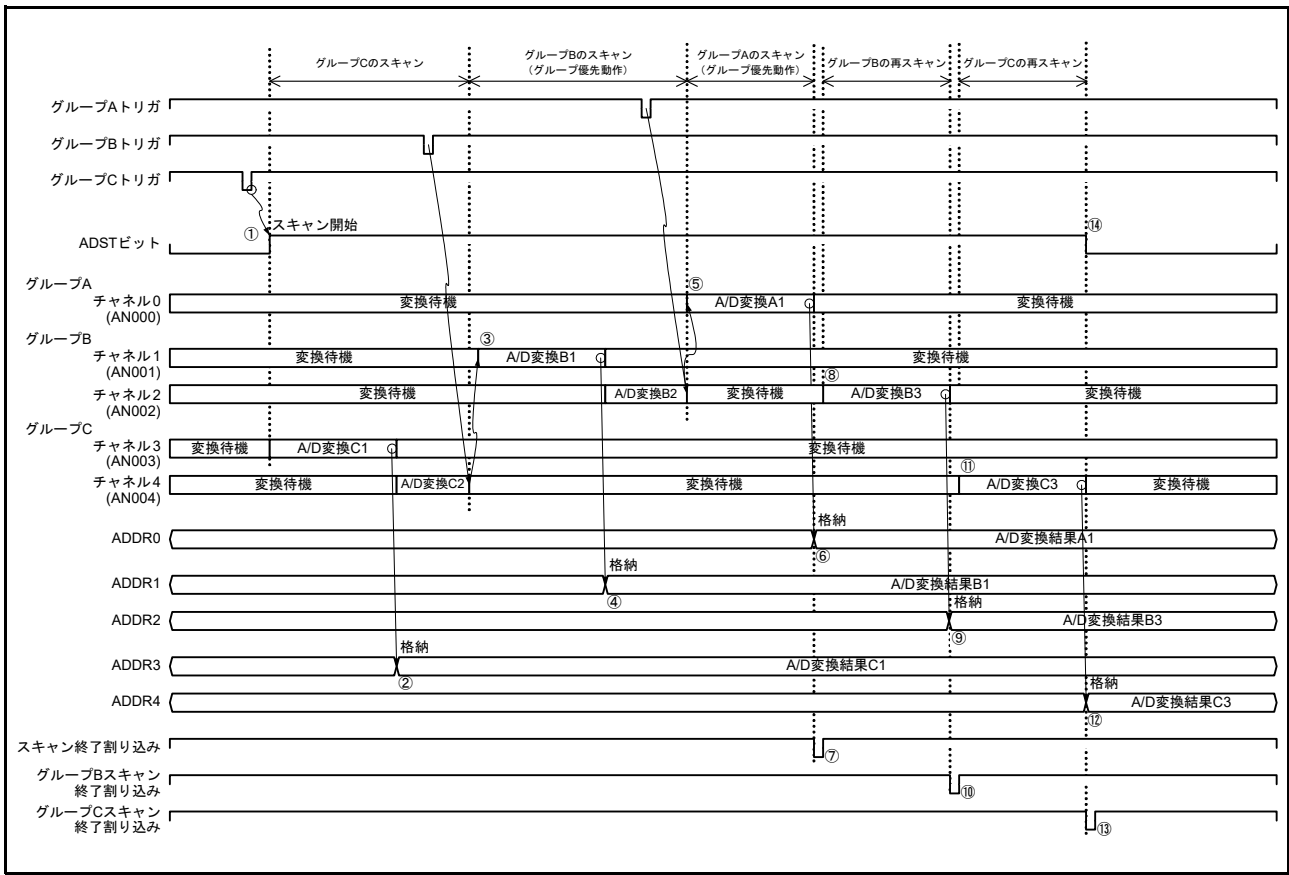


図 50.22 グループ優先動作の例 1 「低優先グループスキャン中の優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時)

動作例 2 「低優先グループ再スキャン中の優先グループトリガ入力」再スキャンあり

グループ B 再スキャン動作中に、グループ A のトリガが入力された場合を図 50.23 に示します。

低優先グループが再スキャン動作中であっても、優先グループ（グループ C に対する優先グループはグループ A とグループ B、グループ B に対する優先グループはグループ A）のトリガが入力されれば、優先グループのスキャンを開始し、優先グループのスキャン終了後、中断した低優先グループのスキャンを開始します。

ADCSR.ADST ビット、A/D 変換結果の A/D データレジスタ (ADDRy) への格納、割り込み要求は、例 1 と同じ動作になります。

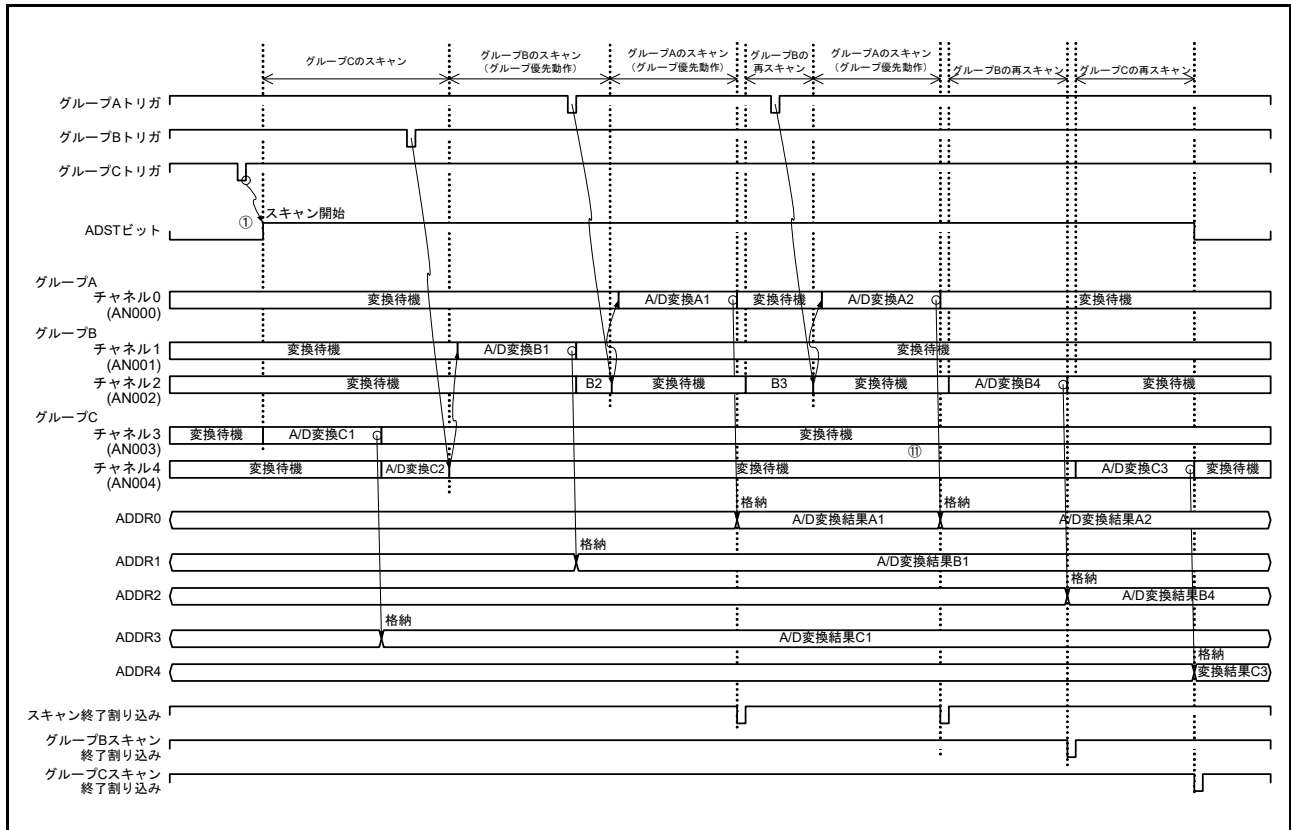


図 50.23 グループ優先動作の例 2 「低優先グループ再スキャン中の優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時)

動作例3 「優先グループスキャン中の低優先グループトリガ入力」再スキャンあり

ADGSPCR.GBRSCN ビットが“1”（グループ優先動作で中断されたグループの再スキャンをする）の設定で、優先グループのスキャン動作中に低優先グループのトリガが入力された場合を説明します。

ADGSPCR.GBRSCN ビットが“0”に設定されている場合は、優先グループのスキャン動作中に入力された低優先グループのトリガはすべて無効となります。

- (1) グループ A のトリガ入力によって、ADCSR.ADST ビットが“1”（A/D 変換開始）に設定されると、ADANSA0 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) グループ A のスキャン中に、グループ B のトリガ入力があると、グループ B はスキャン実行可能状態になります。
- (3) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (4) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1”（スキャン終了後の割り込み発生の許可）に設定されていると、スキャン終了割り込み要求を発生します。
- (5) グループ A のスキャン終了後、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、グループ B のスキャンを実行します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ B のスキャンは、A/D 変換が中断したチャンネルから開始します。
(グループ B のスキャン中にグループ A のトリガが入力されると、例 1 と同じくグループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します。)
- (6) グループ B のスキャン中に、グループ C のトリガ入力があると、グループ C はスキャン実行可能状態になります。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) グループ B のスキャン終了後、ADCSR.GBADIE ビットが“1”（グループ B のスキャン終了後に割り込み発生を許可）に設定されていると、グループ B スキャン終了割り込み要求を発生します。
- (9) グループ B のスキャン終了後、ADCSR.ADST ビットを“1”に保持したまま、ADANSC0 レジスタで選択した、グループ C のチャンネル ANn の n が小さい番号順に、グループ C のスキャンを実行します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ C のスキャンは、A/D 変換が中断したチャンネルから開始します。
(グループ C のスキャン中にグループ A またはグループ B のトリガが入力されると、例 1 と同じくグループ A またはグループ B のスキャンを開始し、スキャン終了後、グループ C のスキャンを開始します。)
- (10) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (11) グループ C のスキャン終了後、ADGCTRGR.GCADIE ビットが“1”（グループ C のスキャン終了後に割り込み発生を許可）に設定されていると、グループ C スキャン終了割り込み要求を発生します。
- (12) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

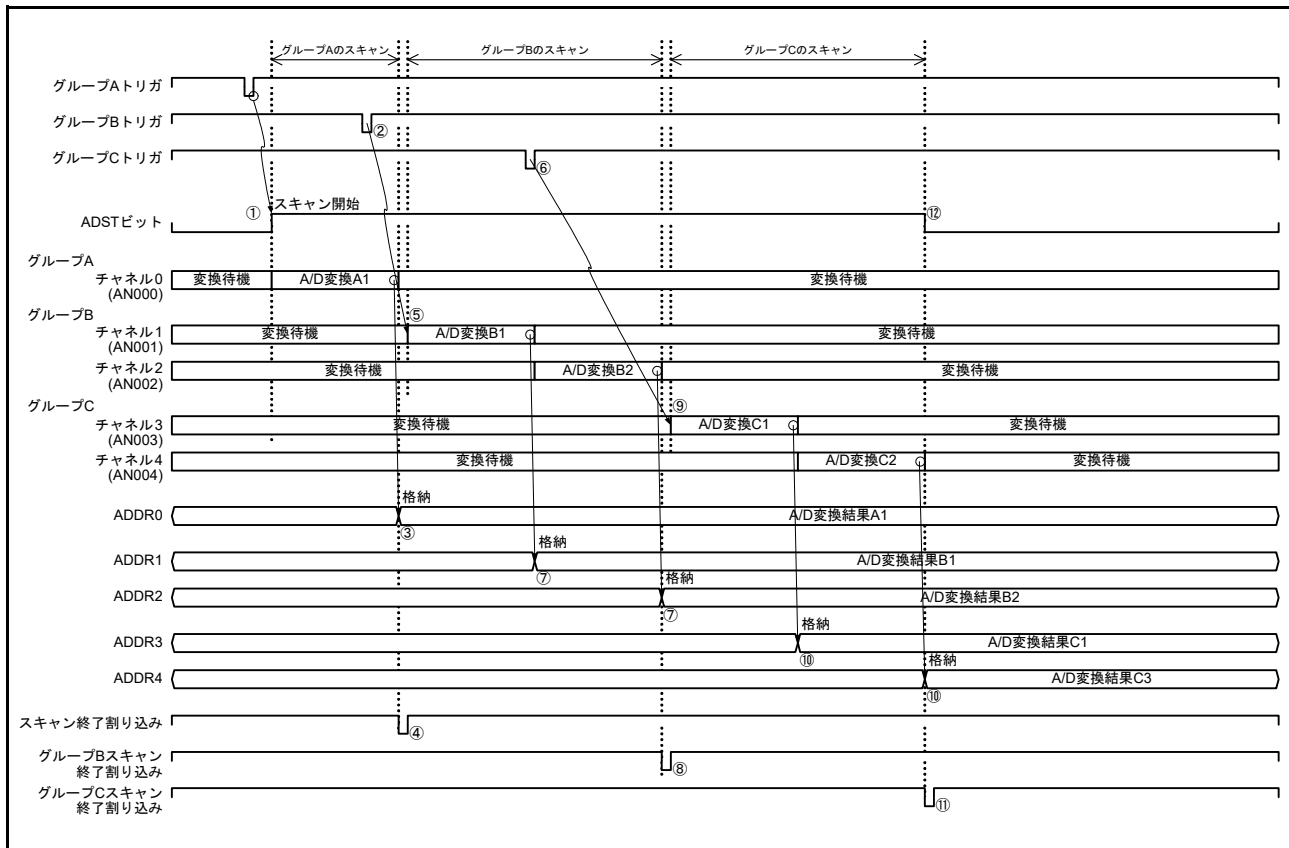


図 50.24 グループ優先動作の例 3「優先グループスキャン中の低優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1, ADGCTRGR.GRCE = 1 時の動作)

グループ A にチャンネル 0、グループ B にチャンネル 1,2、グループ C にチャンネル 3,4 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時) を動作例 4 に示します。

動作例 4「低優先グループスキャン中の優先グループトリガ入力」再スキャンなし

- (1) グループ C のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSC0 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ C のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

- (6) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生への許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (7) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。グループ C とグループ B は、以後のグループに対応したトリガ入力までスキャンを行いません。

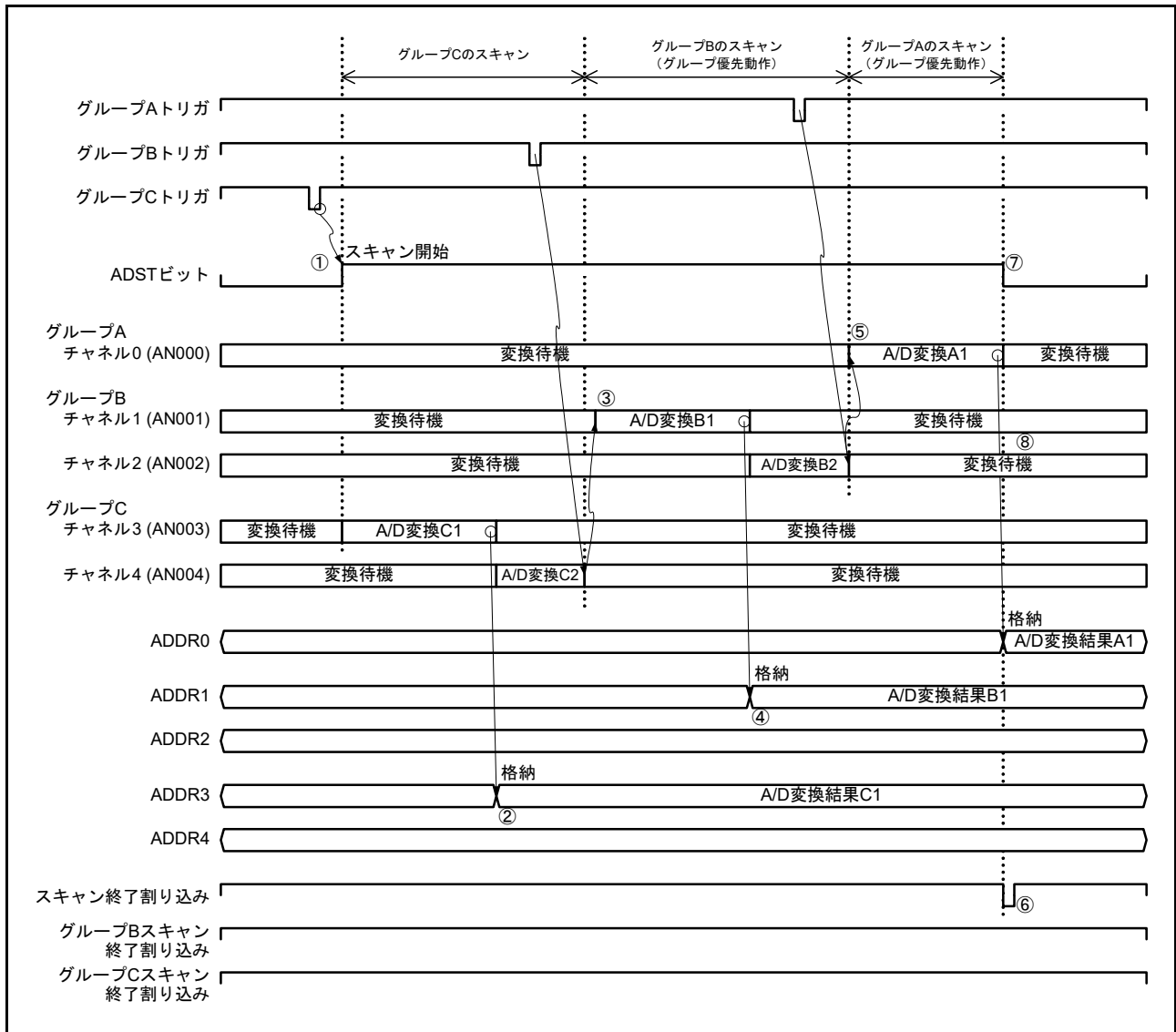


図 50.25 グループ優先動作の例 4 「低優先グループスキャン中の優先グループトリガ入力」再スキャンなし (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時)

グループ A にチャンネル 0、グループ B にチャンネル 1、グループ C にチャンネル 2, 3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 1 設定時) を動作例 5 に示します。

ADGCTRGR.GRCE ビットが“0”の設定では、グループ B がシングルスキャン連続動作を行い、グループ C はトリガ入力が無効になります。

動作例 5 「グループ C のシングルスキャン連続動作」

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定され、ADANSC0 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ C のスキャンを中断し、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (5) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生を許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (7) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ B のスキャンは、A/D 変換が中断したチャンネルから開始します。
- (8) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (9) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン終了割り込み要求を発生します。
- (10) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSC0 レジスタで選択したチャンネル ANn の n が小さい番号順に、再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ C のスキャンは、A/D 変換が中断したチャンネルから開始します。
- (11) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (12) ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了後に割り込み発生を許可) に設定されていると、グループ C スキャン終了割り込み要求を発生します。
- (13) ADGSPCR.GBRP ビットが“1” (シングルスキャン連続動作する) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSC0 レジスタで選択したチャンネル An の n が小さい番号順に、再度グループ C のスキャンを開始します。

グループ C をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。ADGSPCR.GBRP ビットが“1”に設定されている間は (13) → (11) → (12) → (13) の動作を繰り返します。ADGSPCR.GBRP ビットが“1”に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、「50.6.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

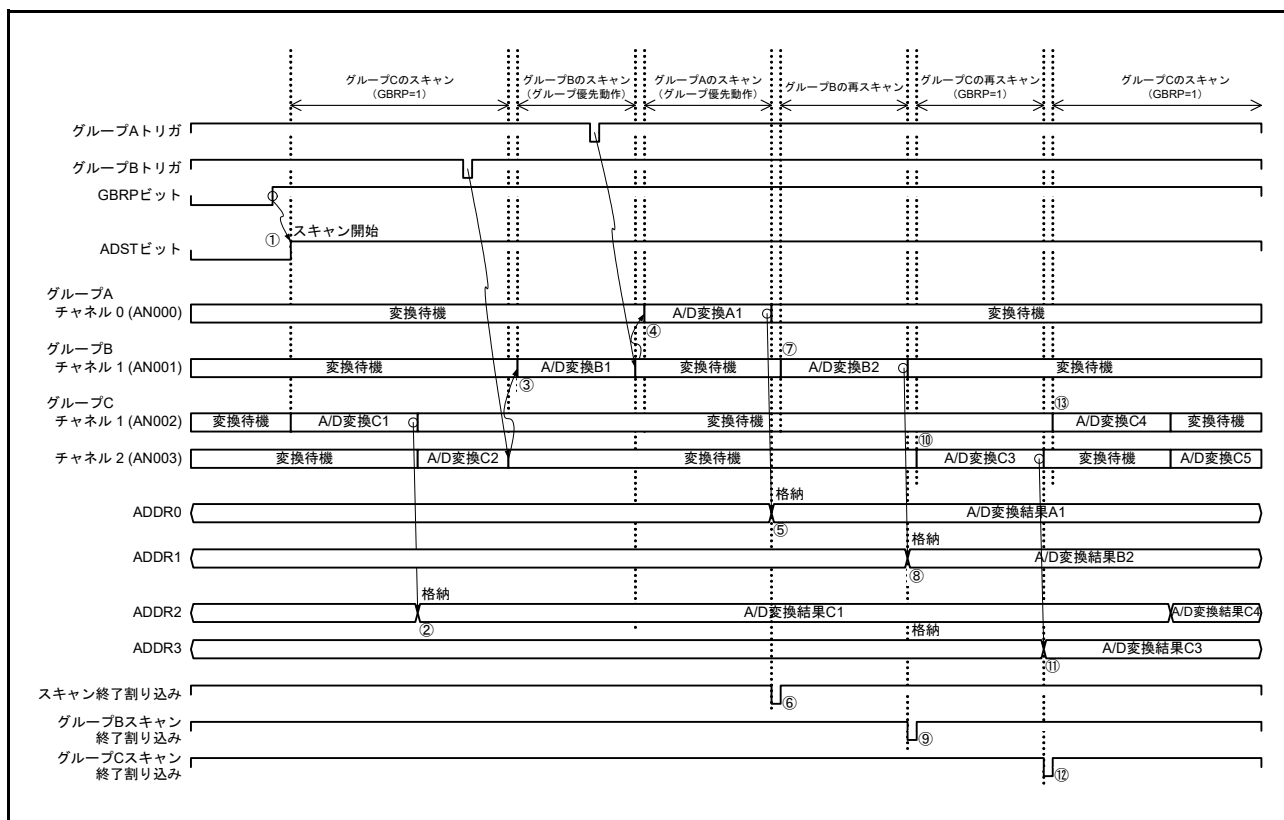


図 50.26 グループ優先動作の例 5「グループ C のシングルスキャン連続動作」
(ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 1 設定時)

50.3.5 拡張アナログ入力

拡張アナログ入力 (ANEX1) は、MCU の外部にオペアンプを接続して複数のアナログ値を A/D 変換するときに使用します。拡張アナログ入力選択時は AN100 ~ AN107 のみ選択可能となります。AN108 ~ AN111、温度センサ出力、内部基準電圧は選択しないでください。また、拡張アナログ入力選択時は、自己診断機能および断線検出アシスト機能は使用できません。

50.3.5.1 ANEX1 の使用方法

複数のアナログ値をオペアンプを介して A/D 変換するには、MCU のアナログ入力チャネル (AN100 ~ AN107) を使ってアナログ値を入力し、拡張アナログ出力 (ANEX0) から時分割されたアナログ値を取り出し、ANEX0 と ANEX1 間にオペアンプを接続することで実現できます。

ANEX1 選択時は、ADEXICR.EXSEL[1:0] ビットに“01b” (ANEX1 を選択) を、ADEXICR.EXOEN ビットに“1” (ANEX0 出力許可) を設定し、シングルスキャンモードまたは連続スキャンモードを選択してください。グループスキャンモードには設定しないでください。図 50.27 に ANEX1 使用時の拡張アナログ入力構成例を、図 50.28 に AN100, AN101, AN102 の 3 チャネルを選択し、シングルスキャンモードを選択した場合の動作を示します。

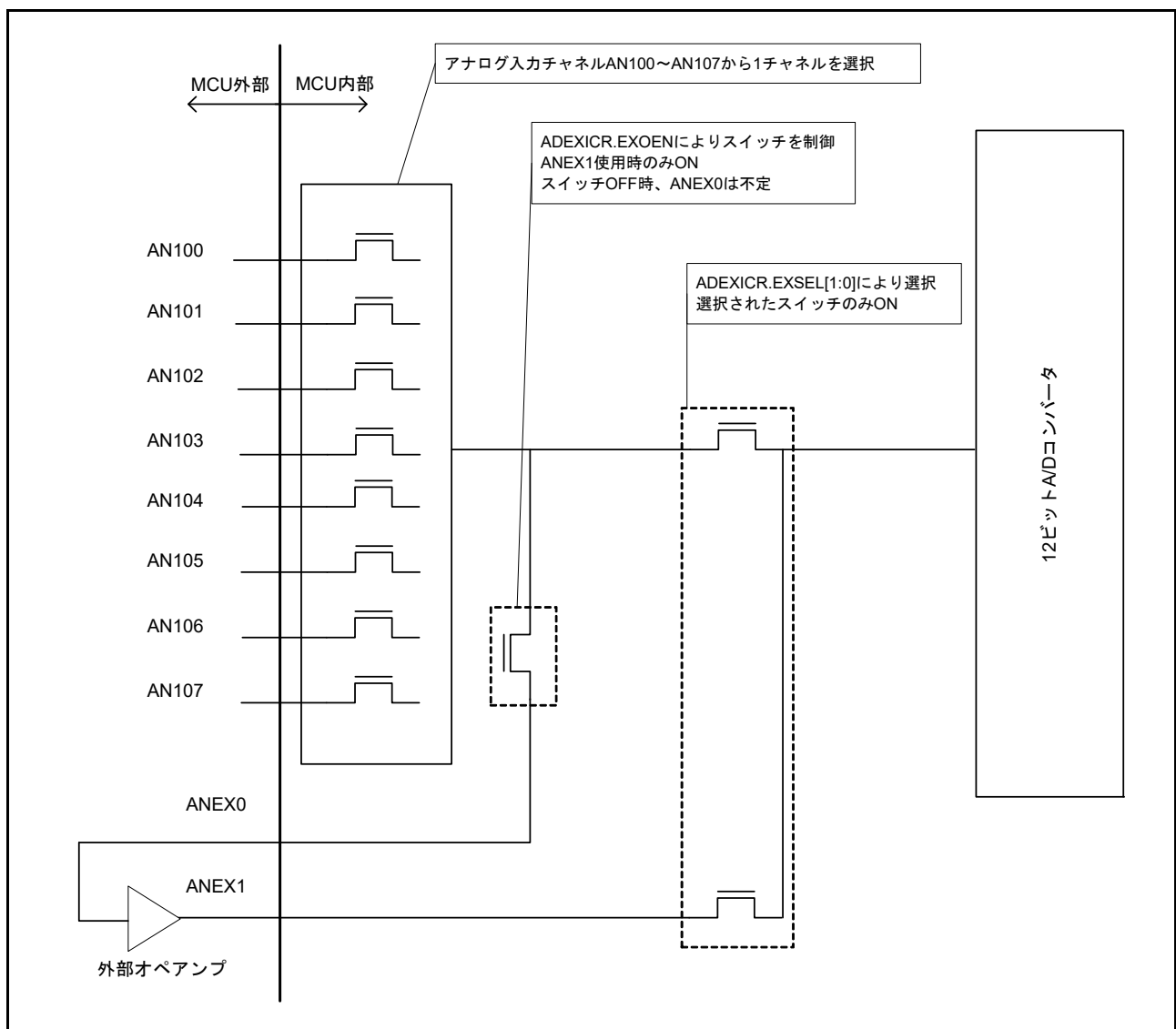


図 50.27 ANEX1 使用時の拡張アナログ入力構成例

- (1) ソフトウェア、同期トリガ、または非同同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、選択されたチャンネルのうち番号の若いチャンネルから A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生) に設定されていると、スキャン終了割り込み要求が発生します。
- (4) ADCSR.ADST ビットは A/D 変換中は“1”を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、12ビット A/D コンバータは待機状態になります。

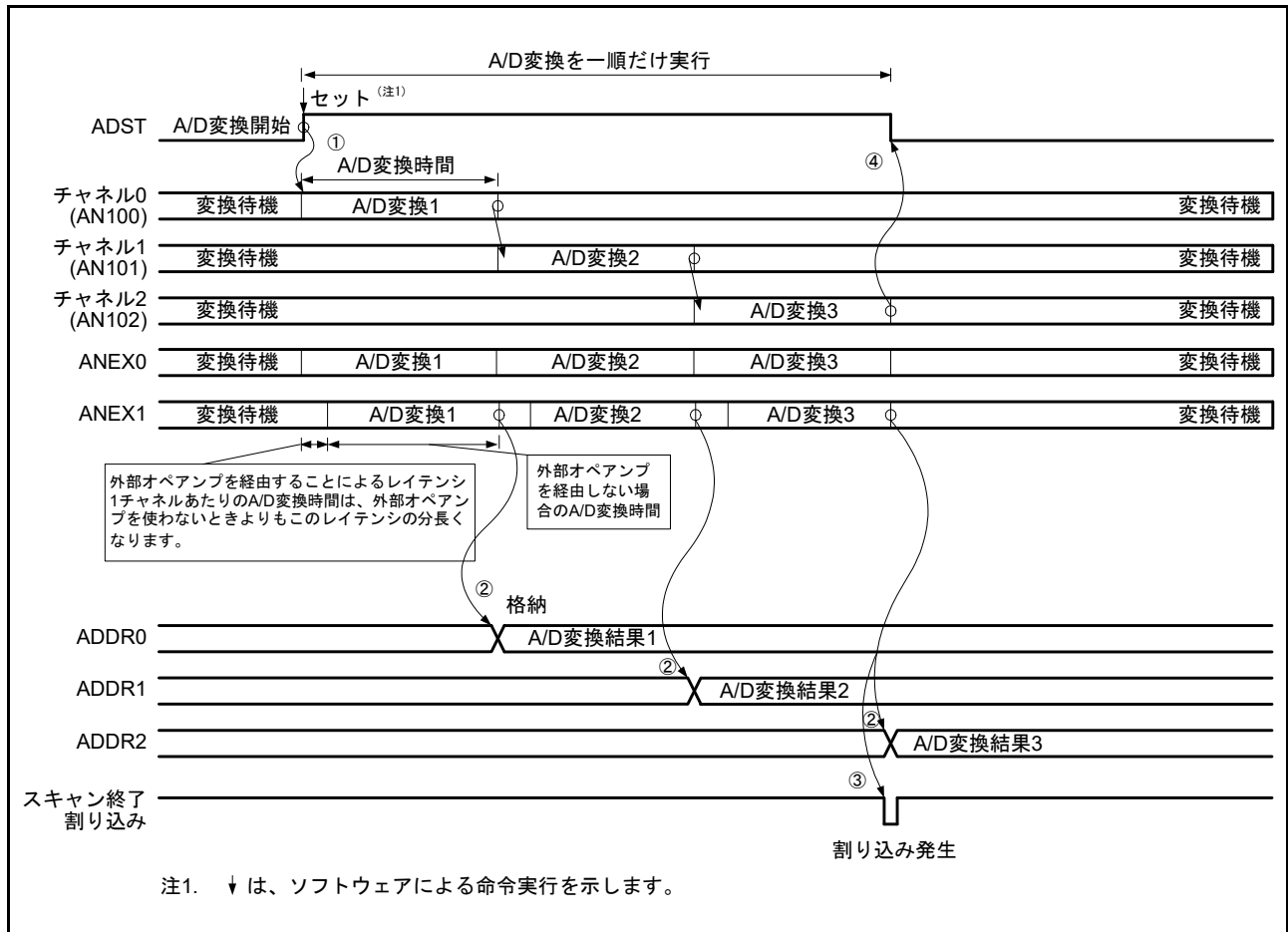


図 50.28 ANEX1 入力の動作例 (シングルスキャンモード)

個々の A/D 変換時間は、アナログ入力チャンネルを直接 A/D 変換するときと比較して拡張アナログ入力を選択したときにはオペアンプのレイテンシにより長くなります。

50.3.6 コンペア機能 (ウィンドウ A、ウィンドウ B)

50.3.6.1 コンペア機能ウィンドウ A/B

コンペア機能は、レジスタ (ADCMPDR0, ADCMPDR1, ADWINLLB, ADWINULB) に設定した基準値と A/D 変換結果を比較する機能です。コンペア機能使用時は、自己診断機能およびダブルトリガモードは使用できません。また、2 値と比較するウィンドウコンペア機能を有します (ADCMPCR.WCMPE = 1 設定時)。ウィンドウコンペア機能は、ウィンドウ A とウィンドウ B の 2 組の電圧レベル範囲を設定することが可能です。

連続スキャンモードにおいて、ウィンドウコンペア機能有効 (ADCMPCR.WCMPE = 1) とした場合の動作例を以下に示します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、選択されたチャネル、温度センサ出力、内部基準電圧の順に A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy, ADTSDR, ADOCDR) に格納されます。ADCMPCR.CMPAE = 1 のとき、ADCMPANSRy レジスタ、ADCMPANSER レジスタでウィンドウ A 対象に設定されていれば、ADCMPDR0, ADCMPDR1 レジスタ設定値と比較されます。ADCMPCR.CMPBE = 1 のとき、ADCMPBNSR レジスタで、ウィンドウ B 対象に設定されていれば、ADWINULB/ADWINLLB レジスタ設定値と比較されます。
- (3) 比較の結果、ウィンドウ A は、ADCMPPLR0, ADCMPPLER レジスタで設定した条件と一致したときコンペアウィンドウ A のフラグ (ADCMPSR0.CMPSTCHA0n, ADCMPSER.CMPFTS、ADCMPSER.CMPFOC) が“1”にセットされます。このとき、ADCMPCR.CMPAIE ビットが“1”に設定されていると、S12CMPAI 割り込み要求を発生します。同様に、ウィンドウ B は、ADCMPBNSR.CMPPLB で設定した条件と一致したとき、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) が“1”にセットされます。このとき、ADCMPCR.CMPBIE ビットが“1”に設定されていると、S12CMPBI 割り込み要求を発生します。
- (4) 選択されたすべての A/D 変換と比較が終了すると、再びスキャンを行います。
- (5) ADCSR.ADST ビットを“0” (A/D 変換停止) に設定し、コンペアフラグが“1”になっているチャネルに対する処理を実行します。
- (6) 処理終了後、すべてのコンペアフラグをクリアしてください。再度コンペアを実行する場合には、再度 A/D 変換を開始してください。

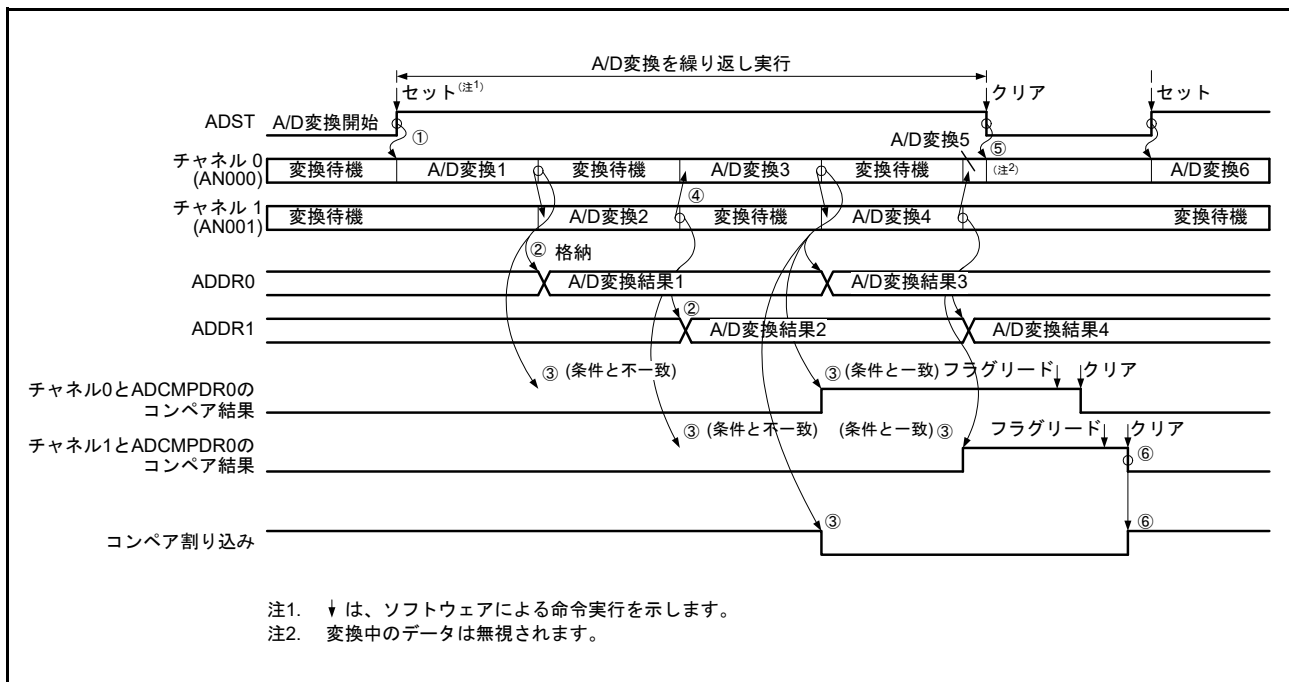


図 50.29 コンペア機能の動作例 (AN000, AN001 コンペア対象)

50.3.6.2 コンペア機能制約

コンペア機能には、以下の制約条件があります。

- 自己診断機能およびダブルトリガモードの使用は禁止です。
(ADRD, ADDBLDR はコンペア機能対象外です。)
- ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。
- ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。
- ウィンドウ A とウィンドウ B で同一チャンネルは設定禁止です。
- High 側基準値 \geq Low 側基準値となるように設定してください。

50.3.7 アナログ入力のサンプリング時間とスキャン変換時間

図 50.30 にシングルスキャンモード、ソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、図 50.31 にシングルスキャンモード、非同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、断線検出アシスト処理時間 (t_{DIS}) (注1)、自己診断変換時間 (t_{DIAG}) (注2)、A/D 変換処理時間 (t_{CONV})、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプルホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTRn レジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、ユニット 0 の場合、12 ビット精度選択時で 13 ステート (ADCLK)、10 ビット精度選択時で 11 ステート (ADCLK)、8 ビット精度選択時で 9 ステート (ADCLK)、ユニット 1 の場合、12 ビット精度選択時で 15 ステート (ADCLK)、10 ビット精度選択時で 13 ステート (ADCLK)、8 ビット精度選択時で 11 ステート (ADCLK) となります。スキャン変換時間を表 50.18 に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) \text{ (注3)} + t_{ED}$$

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。

連続スキャンの 2 サイクル目以降は、 $(t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n)$ (注3)

となります。

注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。

注 2. 自己診断を設定しない場合は、 $t_{DIAG} = 0$, $t_{DSD} = 0$ となります。

注 3. 選択チャンネルのサンプリング時間 (t_{SPL}) が、同一の場合は $t_{CONV} \times n$ となりますが、チャンネルごとに異なる場合は、各チャンネルのサンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) の総和となります。

表 50.18 スキャンでの各所要時間 (ADCLKとPCLKのサイクル数で示します)

項目			記号	種別/条件				単位
				同期トリガ (MTU)	同期トリガ (TMR, TPU, ELC)	非同期トリガ	ソフトウェアトリガ	
スキャン開始処理時間 (注1, 注2)	グループ優先制御動作によるグループのA/D変換	低優先グループ中断あり (優先グループのA/D変換要因によって低優先グループB停止させた後、優先グループを起動)	t _D	1 PCLKA + 4 PCLKB + 6 ADCLK	2 PCLKB + 6 ADCLK	—	—	
		低優先グループ中断なし (優先グループのA/D変換要因によって起動)		1 PCLKA + 3 PCLKB + 4 ADCLK	2 PCLKB + 4 ADCLK	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時		1 PCLKA + 3 PCLKB + 6 ADCLK	2 PCLKB + 6 ADCLK	4 PCLKB + 6 ADCLK	6 ADCLK	
	上記以外	1 PCLKA + 3 PCLKB + 4 ADCLK		2 PCLKB + 4 ADCLK	2 PCLKB + 4 ADCLK	4 ADCLK		
断線検出アシスト処理時間			t _{DIS}	ADDISCR.ADNDIS[3:0]設定値 (初期値00h) × ADCLK				
自己診断変換処理時間 (注1)	サンプリング時間	逐次変換時間	t _{DIAG}	t _{SPL}	ADSSTR0設定値 (初期値0Bh) × ADCLK			
	t _{SAM}			ユニット0	ユニット1	サイクル		
	13 ADCLK (12ビット変換精度)	15 ADCLK (12ビット変換精度)						
	11 ADCLK (10ビット変換精度)	13 ADCLK (10ビット変換精度)						
9 ADCLK (8ビット変換精度)	11 ADCLK (8ビット変換精度)							
自己診断変換終了後。通常のA/D変換開始時	t _{DED}	2 ADCLK						
連続スキャン時の最終チャネル変換終了後、自己診断変換開始時	t _{DSD}	2 ADCLK						
A/D変換処理時間 (注1)	サンプリング時間	逐次変換時間	t _{CONV}	t _{SPL}	ADSSTRn (n = 0 ~ 11, T, O) 設定値 (初期値0Bh) × ADCLK			
	t _{SAM}			ユニット0	ユニット1			
	13 ADCLK (12ビット変換精度)	15 ADCLK (12ビット変換精度)						
	11 ADCLK (10ビット変換精度)	13 ADCLK (10ビット変換精度)						
9 ADCLK (8ビット変換精度)	11 ADCLK (8ビット変換精度)							
スキャン終了時間 (注1)			t _{ED}	1 PCLKB + 3 ADCLK				

注1. t_D、t_{DIAG}、t_{CONV}、t_{ED}の各タイミングについては図50.30、図50.31を参照してください。
 注2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。

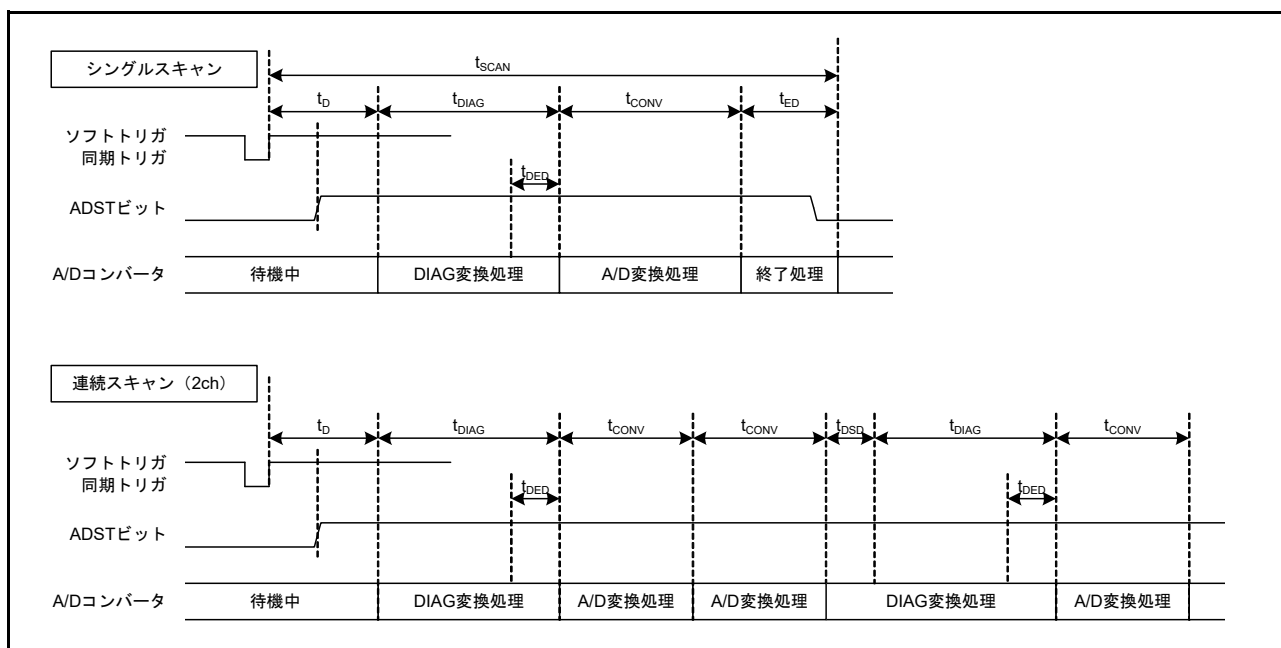


図 50.30 スキャン変換のタイミング (ソフトウェア起動、同期トリガ起動の場合)

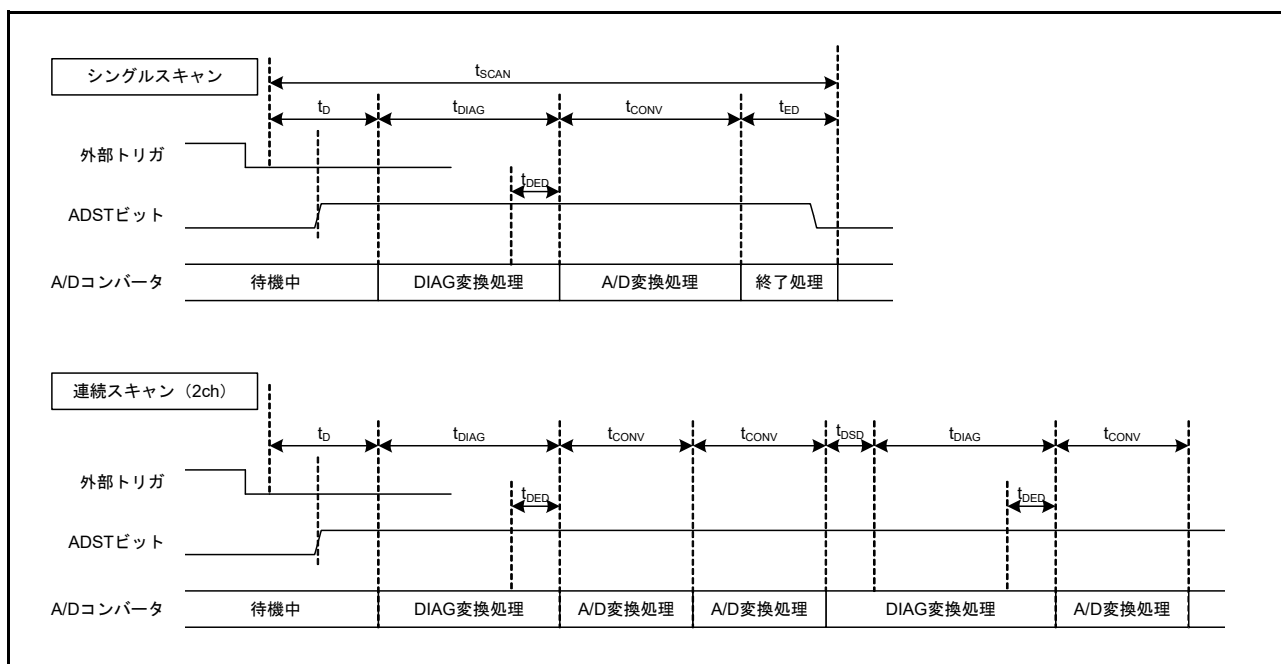


図 50.31 スキャン変換のタイミング (非同期トリガ起動の場合)

50.3.7.1 グループ優先動作でのスキャン中断 / 開始タイミング

グループ優先動作では、スキャンを中断 / 開始する下記のタイミングがあります。

1. 低優先グループのスキャンを中断し優先グループのスキャンを開始するタイミング
2. 中断した低優先グループのスキャンを再開するタイミングと、高優先グループのスキャン中に受け付けた低優先グループのトリガで、高優先グループのスキャン終了後に低優先グループのスキャンを開始するタイミング
3. 低優先グループがシングルスキャンを連続で行うタイミング
それぞれのタイミングを図 50.32 に示します。

グループ A とグループ C またはグループ B とグループ C によるスキャン中断 / 開始のタイミングは、図 50.32 に示すグループ A とグループ B によるスキャン中断 / 開始のタイミングと同じになります。シングルスキャンの連続は、グループ B とグループ C 共に同じタイミングになります。

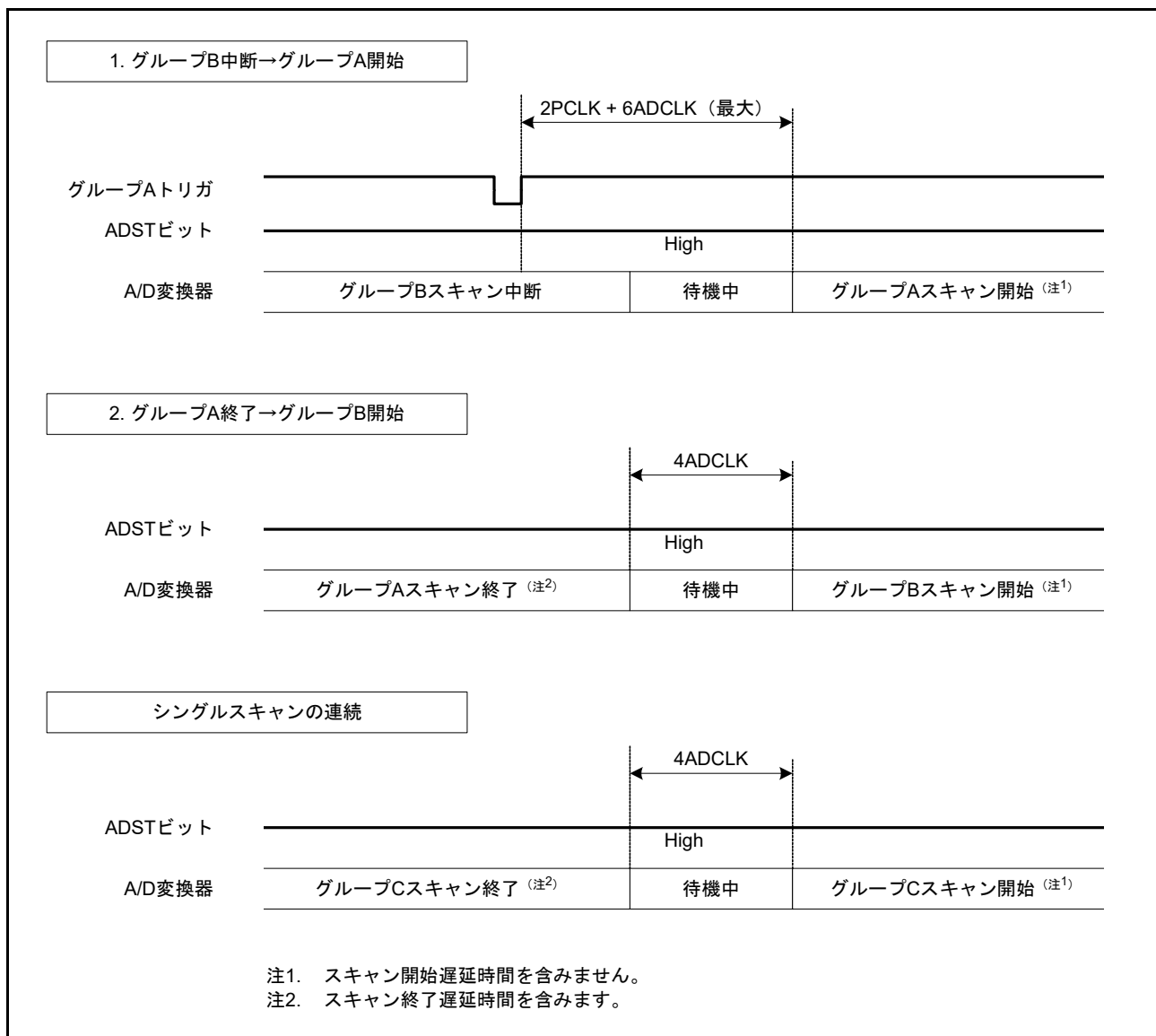


図 50.32 グループ優先でのスキャン停止 / 起動タイミング

50.3.8 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU, DTC および DMAC によって A/D データレジスタ (ADDRy, ADDR, ADTSDR, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB) を読み出す際、自動的に ADDRy, ADDR, ADTSDR, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB レジスタを“0000h”にクリアできます。

この機能を使うことにより、ADDRy, ADDR, ADTSDR, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効/有効時の例を示します。

ADCER.ACE ビットが“0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1” (自動クリア許可) の場合には、ADDRy = 0111h を CPU, DTC および DMAC により読み出す際、ADDRy レジスタは自動的に“0000h”にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、“0000h”が汎用レジスタなどに保持されます。読み出されたデータ値が“0000h”であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

50.3.9 A/D 変換値加算 / 平均機能

A/D 変換値加算機能は、同じチャンネルを 2～4、16 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均機能は、同じチャンネルを 2 回、または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算 / 平均機能は、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換 (S12AD1 のみ)、内部基準電圧 A/D 変換選択時 (S12AD1 のみ) に使用できます。

50.3.10 断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 50.33 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、図 50.34 にプリチャージを選択した場合の断線検出例を、図 50.35 にディスチャージを選択した場合の断線検出例を示します。

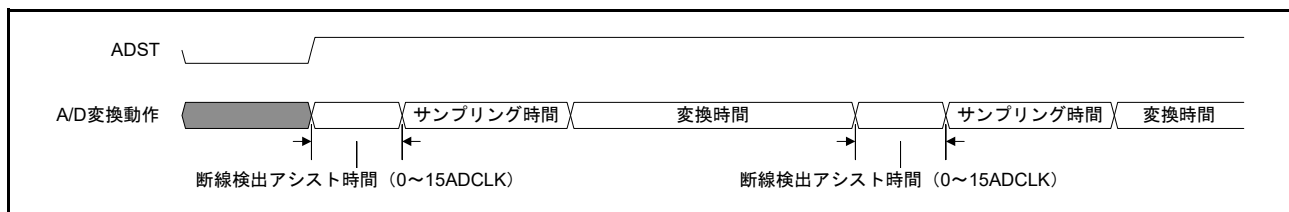


図 50.33 断線検出アシスト機能を使用した場合の A/D 変換動作図

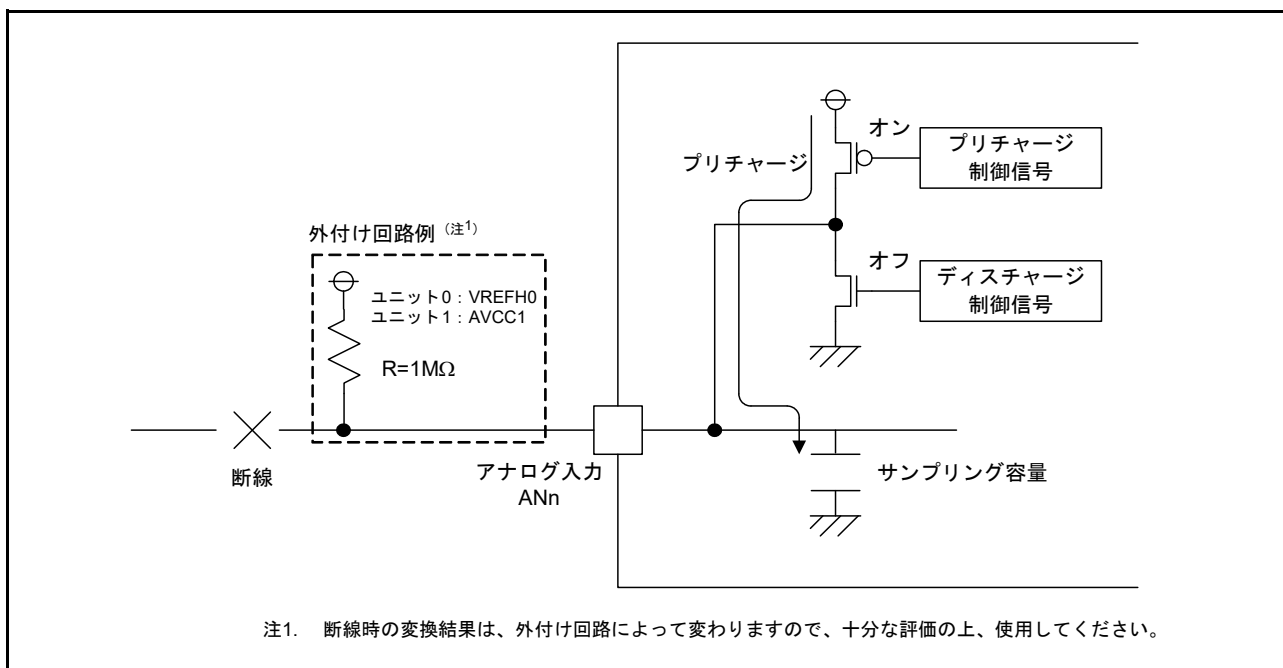


図 50.34 プリチャージを選択した場合の断線検出例

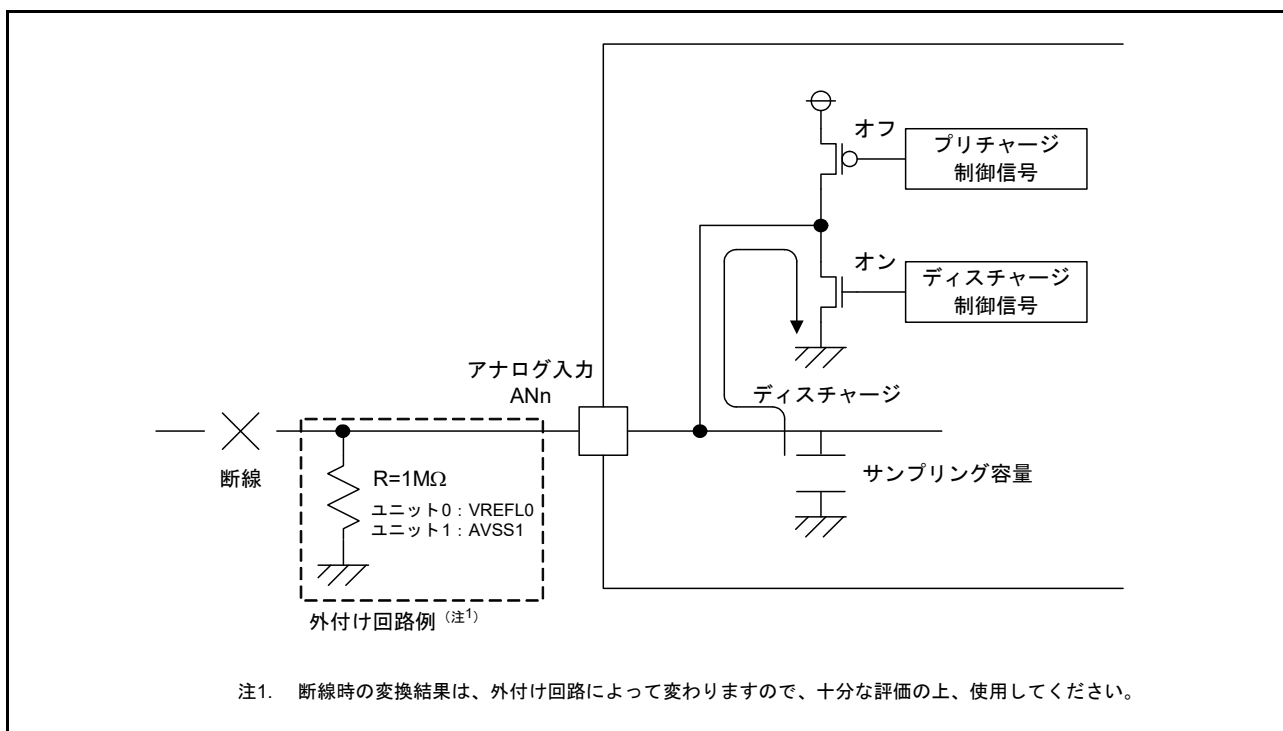


図 50.35 ディスチャージを選択した場合の断線検出例

50.3.11 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を “000000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 50.36 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、変換を開始するまでの時間は、「50.6.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。グループスキャンモードで使用するグループ B とグループ C は、非同期トリガを選択できません。

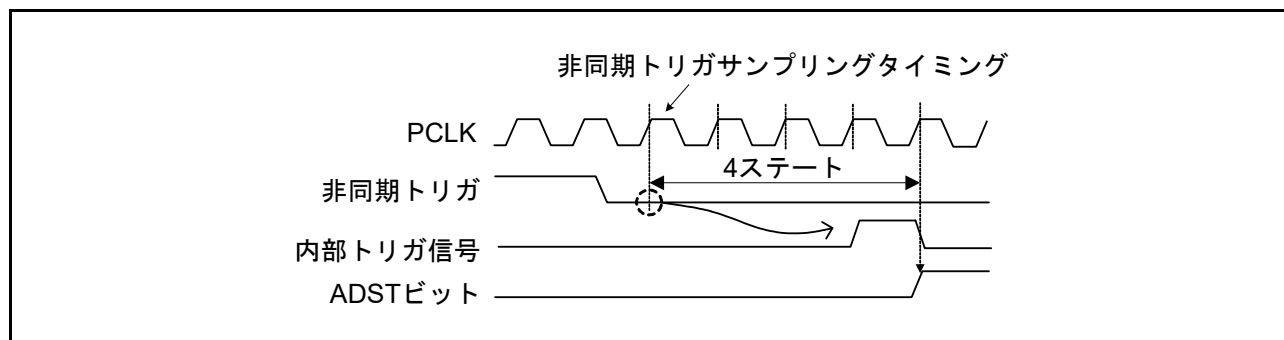


図 50.36 非同期トリガ入力タイミング

50.3.12 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0” とし、ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビットで該当の A/D 変換開始要因を選択します。

50.4 割り込み要因と DTC, DMAC 転送要求

50.4.1 割り込み要求

CPU へのスキャン終了割り込み要求である S12ADI/S12ADII, S12GBADI/S12GBADII, S12GCADI/S12GCADII 割り込みを発生することができます。

また、CPU へのコンペア条件成立割り込み要求である S12CMPAI/S12CMAII, S12CMPBI/S12CMPBII 割り込みを発生することができます。

ADCSR.ADIE ビットを“1”にすると S12ADI/S12ADII を許可、“0”にすると S12ADI/S12ADII を禁止できます。ADCSR.GBADIE ビットを“1”にすると S12GBADI/S12GBADII を許可、“0”にすると S12GBADI/S12GBADII を禁止できます。ADGCTRGR.GCADIE ビットを“1”にすると S12GCADI/S12GCADII を許可、“0”にすると S12GCADI/S12GCADII を禁止できます。

ADCMPCR.CMPAIE ビットを“1”にすると S12CMPAI を許可、“0”にすると S12CMPAI を禁止できます。ADCMPCR.CMPBIE ビットを“1”にすると S12CMPBI を許可、“0”にすると S12CMPBI を禁止できます。

また、S12ADI/S12ADII, S12GBADI/S12GBADII, S12GCADI/S12GCADII 発生時に DTC または DMAC を起動できます。S12ADI/S12ADII, S12GBADI/S12GBADII, S12GCADI/S12GCADII 割り込みで変換されたデータの読み出しを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。DTC の設定は「20. データトランスファコントローラ (DTCb)」を、DMAC の設定は「18. DMA コントローラ (DMACAb)」を参照してください。

50.4.2 ELC へのスキャン終了イベント出力

ELC では、S12ADI/S12ADII 割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。S12GBADI/S12GBADII 割り込み、S12GCADI/S12GCADII 割り込み、S12CMPAI/S12CMAII 割り込み、S12CMPBI/S12CMPBII 割り込み要求信号をイベント信号として使用することはできません。イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。12ビットA/Dコンバータは、A/D変換終了イベントを出力します。

50.5 許容信号源インピーダンスについて

図 50.37 にアナログ入力端子と外部センサの等価回路を示します。

A/D変換を正しく行うためには、内部コンデンサ (C_s) への充電がサンプリング時間内に終了することが必要です。信号源インピーダンス (R_0) が大きく C_s への充電に時間がかかるときは、 $ADSSTRn$ レジスタでサンプリング時間を延長してください。逆に R_0 が小さいときは、サンプリング時間を短縮することができます。電気的特性に各種動作条件下での許容信号源インピーダンスを記載していますので、参考にしてください。

シングルスキャンモードで1端子のみの変換を行う場合、外部に大容量のコンデンサ (C) を接続することにより、入力の負荷が実質的に内部入力抵抗 (R_s) だけになり、 R_0 の影響を無視できるようになります。ただし、 R_0 と C でローパスフィルタが形成されますので、変化の速いアナログ信号には追従できないことがあります。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

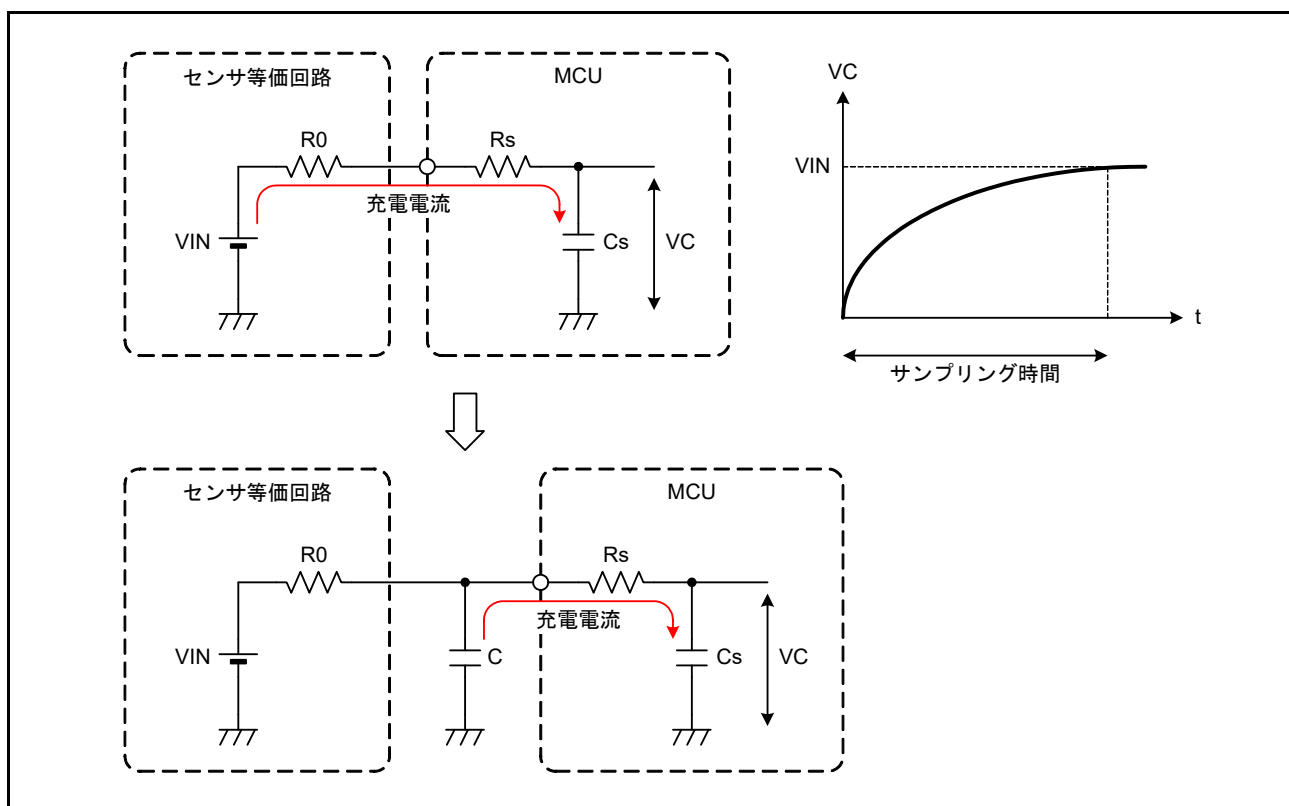


図 50.37 アナログ入力端子と外部センサの等価回路

50.6 使用上の注意事項

50.6.1 データレジスタの読み出し注意事項

A/D データレジスタ、A/D データ二重化レジスタ、A/D データ二重化レジスタ A、A/D データ二重化レジスタ B、A/D 温度センサデータレジスタ、A/D 内部基準電圧データレジスタ、および A/D 自己診断データレジスタの読み出しは、16 ビット単位で行ってください。8 ビット単位で上位バイト / 下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化するのを避けるため、8 ビット単位の読み出しは行わないでください。

50.6.2 A/D 変換停止時の注意事項

50.6.2.1 A/D 変換停止手順

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、図 50.38 のフローチャートの手順に従ってください。

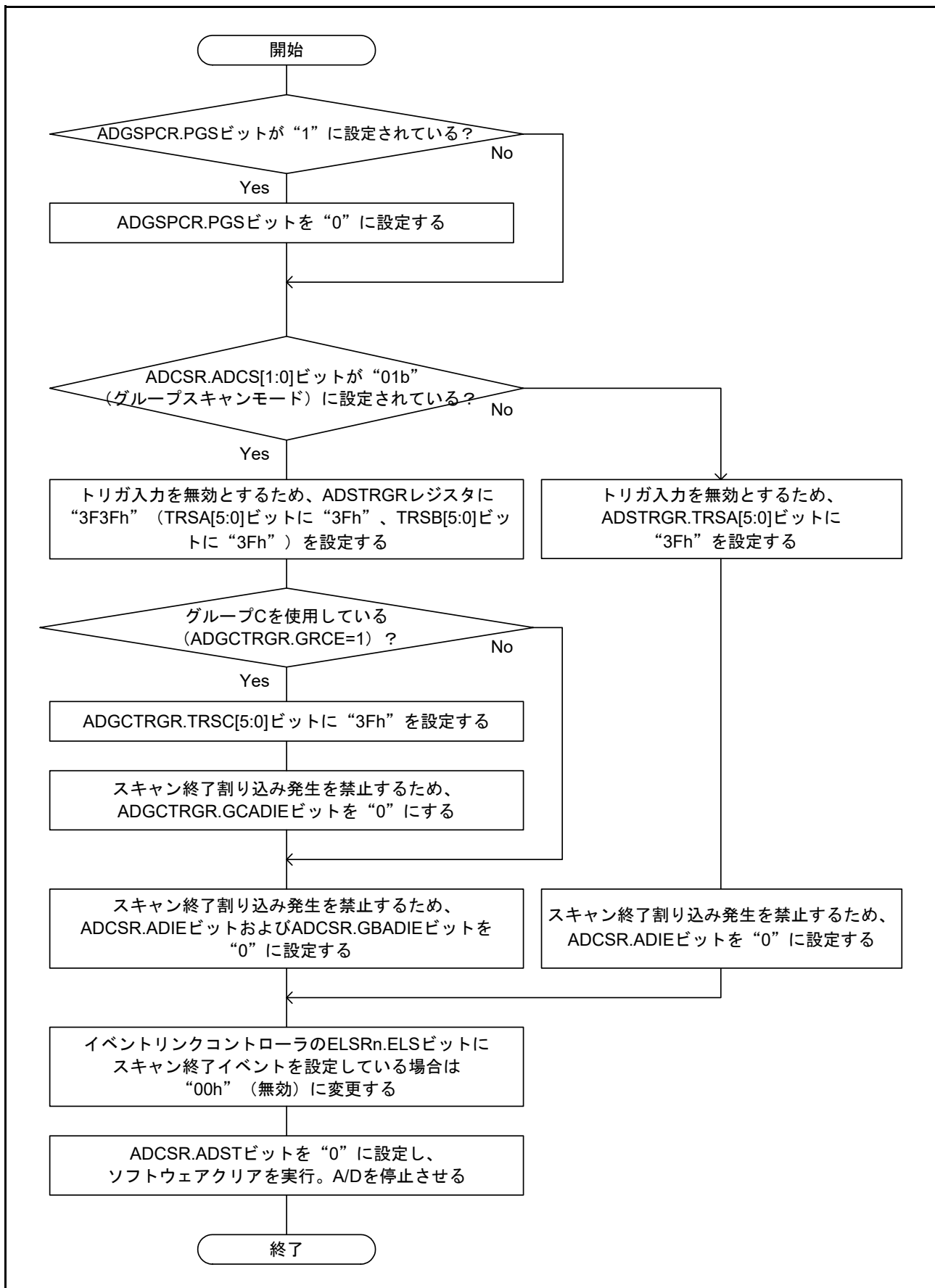


図 50.38 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

50.6.2.2 モード / ステータスビットの注意事項

自己診断の電圧ステータスやダブルトリガモードの奇数 / 偶数判定、コンペア機能のモニタビットは、必要に応じて個別に初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定は、ADCER.DIAGLD ビットを“1”としADCER.DIAGVAL[1:0]ビットで選択します。
- ダブルトリガモードは、ADCSR.DBLE ビットを“0”から“1”に設定するとスキャン1回目の動作から開始します。
- コンペア機能のモニタビット (MONCMPA, MONCMPB, MONCOMB) の初期化は、ADCMPCR.CMPAE ビットと ADCMPCR.CMPBE ビットを“0”に設定します。

50.6.3 A/D 変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのに ADCLK で最大6クロックの時間を必要とします。ADCSR.ADST ビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLK で最大2クロックの時間を必要とします。

50.6.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

50.6.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 μ s 待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

50.6.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADST ビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図 50.38 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを“0”に設定してください。その後、ADCLK の2クロック期間待った後、モジュールストップモードやソフトウェアスタンバイモードへ移行させてください。

50.6.7 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、水晶発振安定時間またはPLL回路の安定時間経過後、さらに1 μ s以上待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

50.6.8 12ビットA/Dコンバータを使用する場合の端子の設定

12ビットA/Dコンバータのユニット0を使用する場合は、P40～P47、P03、P05、P07端子を出力端子として使用しないでください。また、P00～P02、P90、PD0～PD7、PE0、PE1端子についても出力端子として使用しないことを推奨します。P00～P02、P90、PD0～PD7、PE0、PE1端子を出力端子として使用する場合は、A/D変換を複数回実施し、最大値と最小値を除いて平均をとるなどの対策を行ってください。

12ビットA/Dコンバータのユニット1を使用する場合、P00～P02、P90、PD0～PD7、PE0、PE1端子を出力端子として使用しないことを推奨します。これらの端子を出力端子として使用する場合は、A/D変換を複数回実施し、最大値と最小値を除いて平均をとるなどの対策を行ってください。

50.6.9 外部バス使用時の注意事項

外部バスをアクセス中にA/D変換をする場合、精度が悪化する可能性があります。

このような場合は、複数回の変換を実施し、最大値/最小値を除いたA/D変換値の平均をとるなどのソフト対策を実施してください。

なお、外部データバスの割り付けを変更することで、A/D変換精度の悪化を低減することが可能です。設定の詳細は「23. マルチファンクションピンコントローラ (MPC)」を参照してください。

50.6.10 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ/プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤差電圧が入力され、A/Dコンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。

断線検出アシスト機能は、十分な評価の上、使用してください。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s/R_p$$

50.6.11 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてMCUを使用した場合は、MCUの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN000 ~ AN007, AN100 ~ AN111 に印加する電圧は、 $AVSS_n \leq V_{ANn} \leq AVCC_n$ ($n=0, 1$) の範囲としてください。

- 各電源端子 ($AVCC_n - AVSS_n$, $VCC - VSS$) の関係

図 50.39 に示すように各々の電源間に最短で閉ループが形成できるように $0.1\mu\text{F}$ のコンデンサを接続し、供給元で $AVSS_n = VSS$ になるように接続してください。

12ビットA/Dコンバータを使用しない場合は、 $AVCC_n = VCC$, $AVSS_n = VSS$ としてください。

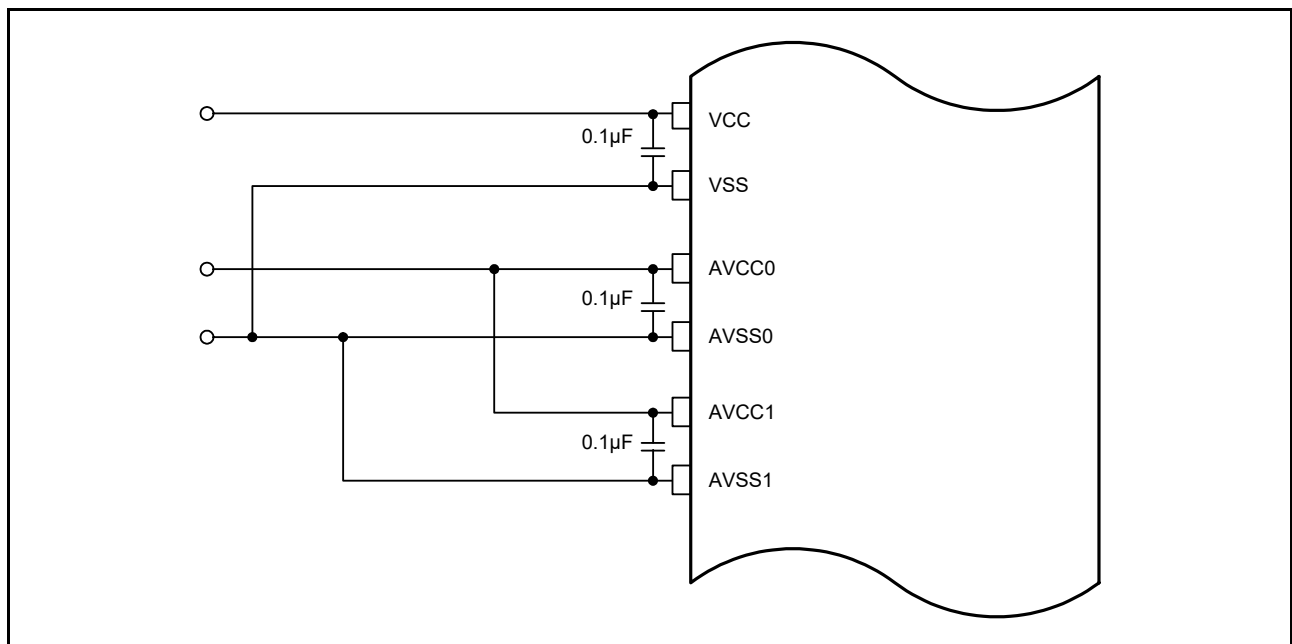


図 50.39 各電源端子の接続例

50.6.12 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子（AN000～AN007, AN100～AN111）、アナログ電源（AVCCn）は、アナロググランド（AVSSn）で、デジタル回路と分離してください。さらにアナロググランド（AVSSn）は、ボード上の安定したデジタルグランド（VSS）に一点接続してください。

50.6.13 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN007, AN100 ~ AN111) の破壊を防ぐために、図 50.40 に示すように AVCCn と AVSSn 間に容量を、またアナログ入力端子 (AN000 ~ AN007, AN100 ~ AN111) を基準に保護回路を接続してください。

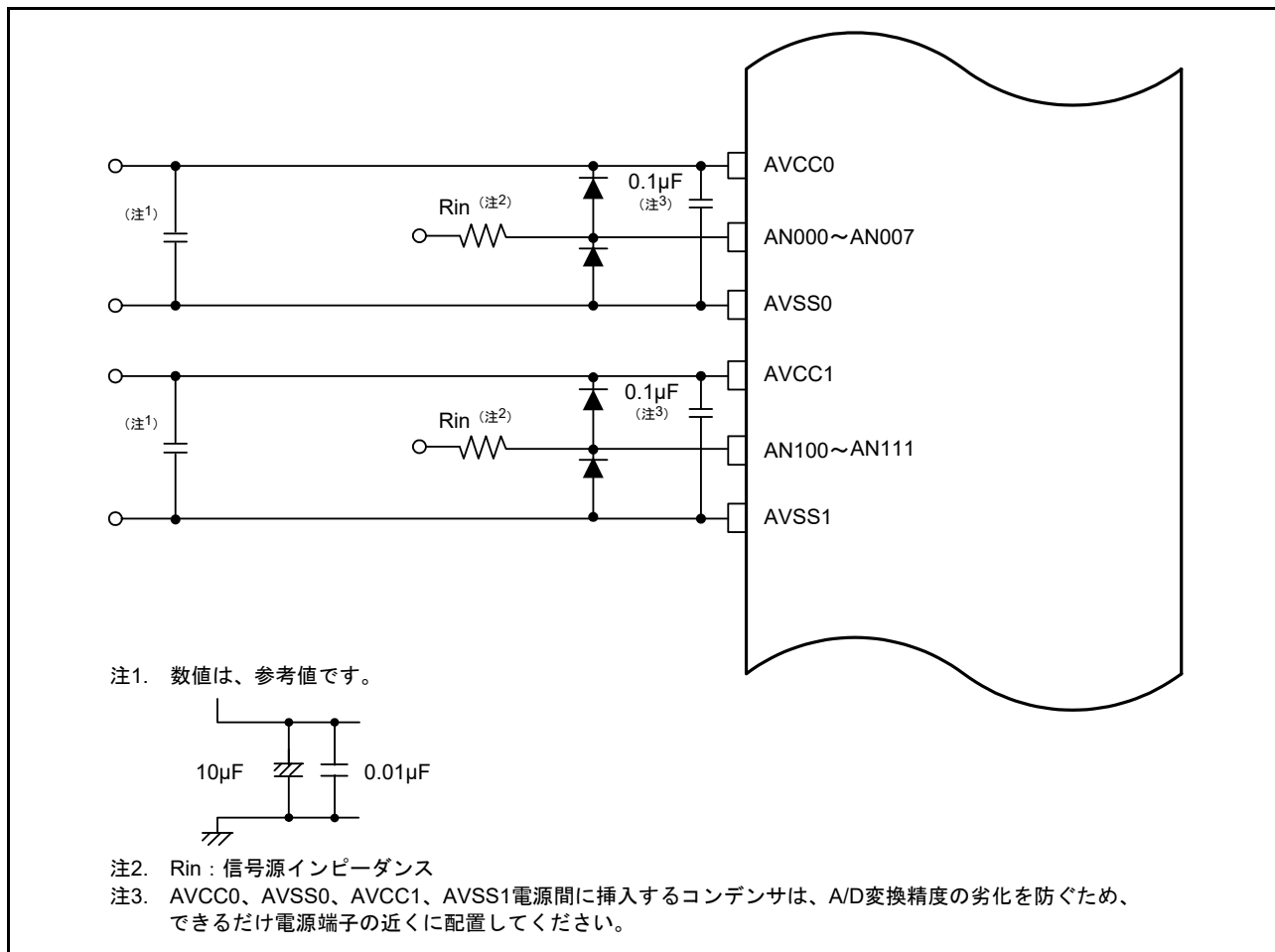


図 50.40 アナログ入力保護回路の例

51. 温度センサ (TEMPS)

51.1 概要

本 MCU は、温度センサを内蔵しています。温度センサは温度に比例した電圧を出力します。温度センサの出力電圧を 12 ビット A/D コンバータ (ユニット 1) でデジタル値に変換し、温度に換算することで MCU の内部温度を求めることができます。

表 51.1 に温度センサの仕様を示します。図 51.1 に温度センサのブロック図を示します。

表 51.1 温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータ(ユニット1)へ出力
消費電力低減機能	モジュールストップ状態への遷移が可能
温度センサ校正データ	工場出荷時に個々のチップごとに測定した基準データをレジスタに格納

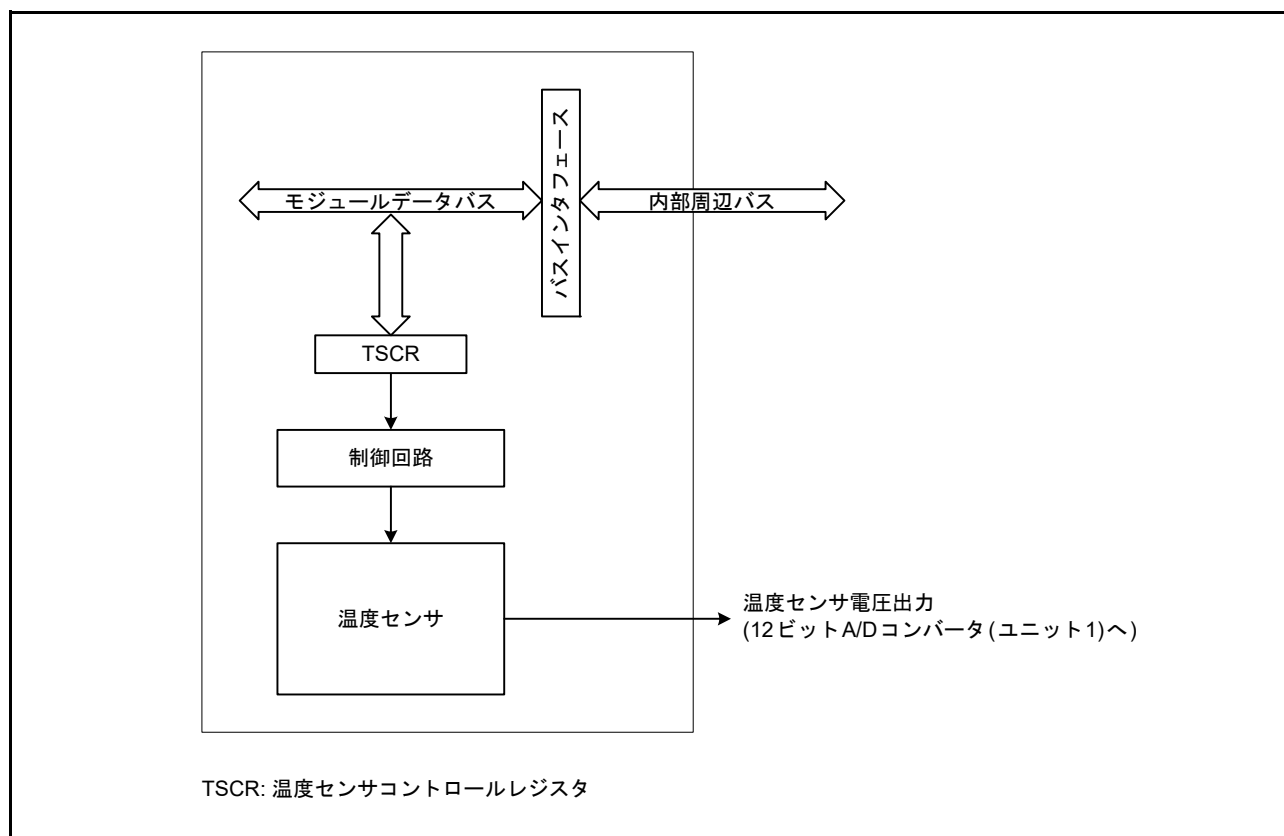


図 51.1 温度センサのブロック図

51.2 レジスタの説明

51.2.1 温度センサコントロールレジスタ (TSCR)

アドレス TEMPS.TSCR 0008 C500h

	b7	b6	b5	b4	b3	b2	b1	b0
	TSEN	—	—	TSOE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	TSOE	温度センサ出力許可ビット	0：温度センサから12ビットA/Dコンバータ(ユニット1)への出力禁止 1：温度センサから12ビットA/Dコンバータ(ユニット1)への出力許可	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TSEN	温度センサ許可ビット	0：温度センサ停止 1：温度センサ動作	R/W

TSCR レジスタの設定には、図 51.4 に示すタイミング制約があります。

51.2.2 温度センサ校正データレジスタ (TSCDR)

アドレス TEMPSCONST.TSCDR FE7F 7D7Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	チップごとの固有値											
リセット後の値	0	0	0	0	チップごとの固有値											

注. このレジスタは、SYSCR0.ROMEビットが“1”(内蔵ROM有効)のときのみ読み出せます。

TSCDR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。TSCDR レジスタは読み出し専用の32ビットレジスタです。32ビット単位で読み出してください。

温度センサ校正データは、 $T_j = 125^\circ\text{C}$ 、 $AVCC1 = 3.3\text{ V}$ の条件における温度センサの出力電圧を、12ビットA/Dコンバータ(ユニット1)でデジタル変換した値です。

TSCDR レジスタの値から、 $T_j = 125^\circ\text{C}$ における温度センサの出力電圧 V_1 は、

$$V_1 = 3.3 \times \text{TSCDR レジスタ値} / 4096 [\text{V}]$$

と計算できます。なお、温度センサの出力電圧 V_1 は、 $AVCC1$ の電圧には依存しません。

51.3 温度センサの使用法

温度センサは、温度に比例する電圧を出力します。この電圧を 12 ビット A/D コンバータ (ユニット 1) を用いてデジタル変換し、温度に換算することで MCU の内部温度を求めることができます。

51.3.1 使用前の準備

温度センサのキャリブレーションを実施します。温度センサ出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

T₁ : 1 点目の試行測定時の温度 (°C)

V₁ : 1 点目の試行測定時の温度センサの出力電圧 (V)

T₂ : 2 点目の試行測定時の温度 (°C)

V₂ : 2 点目の試行測定時の温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 (V/°C) Slope = (V₂ - V₁) / (T₂ - T₁)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

まず、温度 T₁ のときの温度センサの出力電圧 V₁ を 12 ビット A/D コンバータ (ユニット 1) で試行測定することで求めます。

次に、温度 T₁ と異なる温度 T₂ のときの温度センサの出力電圧 V₂ を 12 ビット A/D コンバータ (ユニット 1) にて試行測定することで求めます。

両者の測定結果から、温度傾斜 (Slope = (V₂ - V₁) / (T₂ - T₁)) を求めます。

この Slope を温度特性の式に代入し、測定温度 T = (V_s - V₁) / Slope + T₁ を求めます。

また、「56. 電気的特性」の表 56.56 に記載の温度傾斜を使用すれば、温度 T₁ のときの温度センサの出力電圧 V₁ を、12 ビット A/D コンバータ (ユニット 1) で試行測定によって求めるだけで、下記式により測定温度が算出できます。なお、本測定温度精度は 2 点測定方法よりも劣ります。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

T₁ : 1 点目の試行測定時の温度 (°C)

V₁ : 1 点目の試行測定時の温度センサの出力電圧 (V)

Slope : 表 56.56 に記載の温度傾斜 ÷ 1000 (V/°C)

また、本 MCU は、TSCDR レジスタに、T_j = 125°C、AVCC1 = 3.3 V の条件における温度センサの温度測定値 (CAL₁₂₅) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。

CAL₁₂₅ から V₁ を求めると、

$$V1 = 3.3 \times \text{CAL}_{125} / 4096 \text{ [V]}$$

となり、これを用いると、測定温度は下記の式にて算出できます。

$$T = (V_s - V1) / \text{Slope} + 125 \text{ [}^\circ\text{C]}$$

T : 測定温度 (MCU の内部温度) ($^\circ\text{C}$)

V_s : 温度測定時の温度センサの出力電圧 (V)

$V1$: $T_j = 125^\circ\text{C}$ 、 $\text{AVCC1} = 3.3 \text{ V}$ 時の温度センサの出力電圧 (V)

Slope : 表 56.56 に記載の温度傾斜 $\div 1000$ ($\text{V}/^\circ\text{C}$)

なお、測定温度誤差 (ばらつき範囲は 3σ) は、図 51.2 のとおりです。

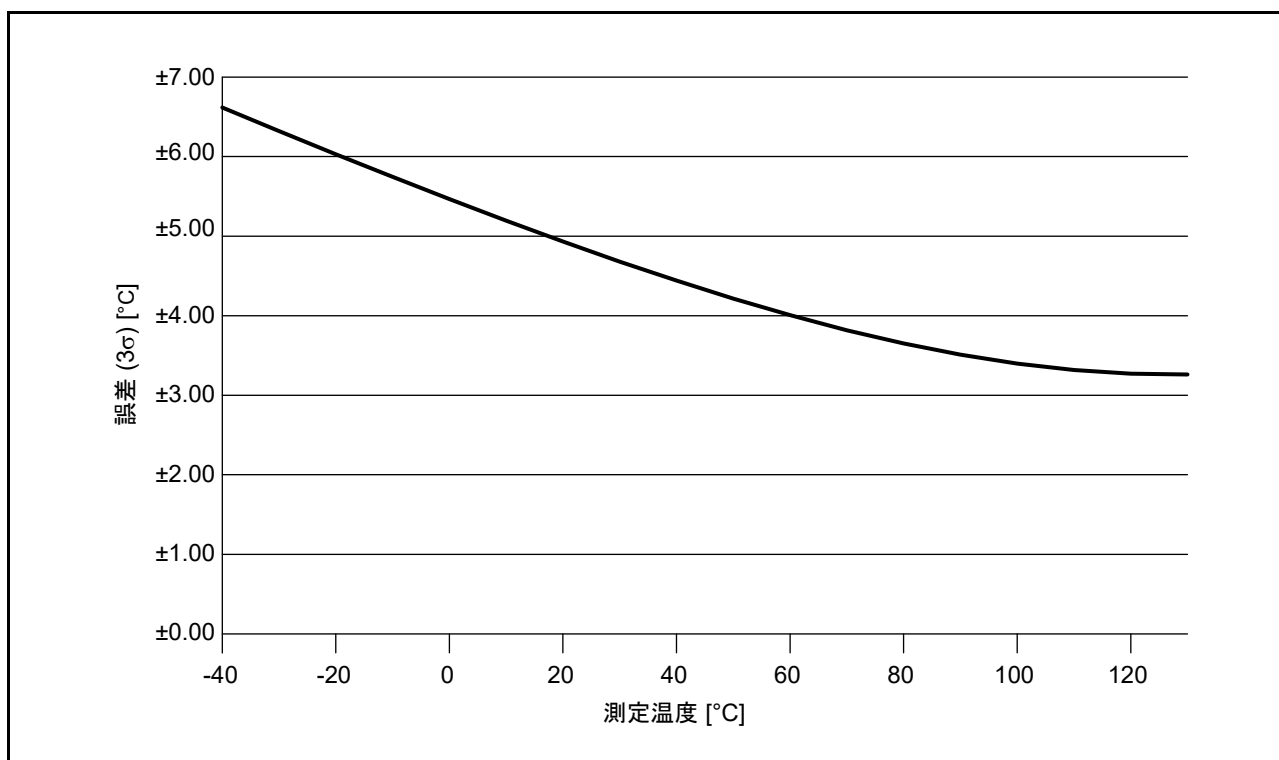


図 51.2 製品の測定温度誤差

51.3.2 12 ビット A/D コンバータ (ユニット 1) の設定

温度センサの出力を A/D 変換するために、12 ビット A/D コンバータ (ユニット 1) のレジスタを以下のよう
に設定する必要があります。

- 温度センサ出力の A/D 変換対象への選択

A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA または TSSB) を“1”に設定し、温度センサ出力を A/D 変換対象に選択します。

- スキャンモードの設定

A/D コントロールレジスタのスキャンモード選択ビット (ADCSR.ADCS[1:0]) を設定し、スキャンモード
を選択します。

- 加算 / 平均モードの設定

温度センサの出力を A/D 変換する際、加算モードと平均モードの選択が可能です。加算モードと平均
モードいずれのモードを使用する場合でも、A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D
変換値加算モード選択ビット (ADEXICR.TSSAD) を“1”に設定し、A/D 変換値加算回数選択レジスタの加算
回数選択ビット (ADADC.ADC[2:0]) に加算回数を設定してください。

加算モードを選択する場合は、ADADC.AVEE ビットを“0”に、平均モードを選択する場合は、
ADADC.AVEE ビットを“1”にしてください。ただし、平均モードを選択する場合は、ADADC.ADC[2:0]
ビットを“010b”、“101b”に設定しないでください。

- 12 ビット A/D コンバータ (ユニット 1) のサンプリング時間の設定

温度センサの出力を A/D 変換する際、サンプリング時間を変更することができます。初期値は 11 クロッ
クです。サンプリング時間を 11 クロックから変更する場合は、ADCSR.ADST ビットが“0”のときに A/D サ
ンプリングステートレジスタ T (ADSSTRT) を設定してください。

A/D コントロールレジスタの A/D 変換スタートビット (ADCSR.ADST) を“1”にすると、A/D 変換を開始
し、A/D 温度センサデータレジスタ (ADTSDR) に A/D 変換結果が格納されます。温度センサの出力を A/D
変換する際は、「51.3.3 温度センサの使用手順」に従ってください。

51.3.3 温度センサの使用手順

図 51.3 に温度センサの使用手順フローを示します。

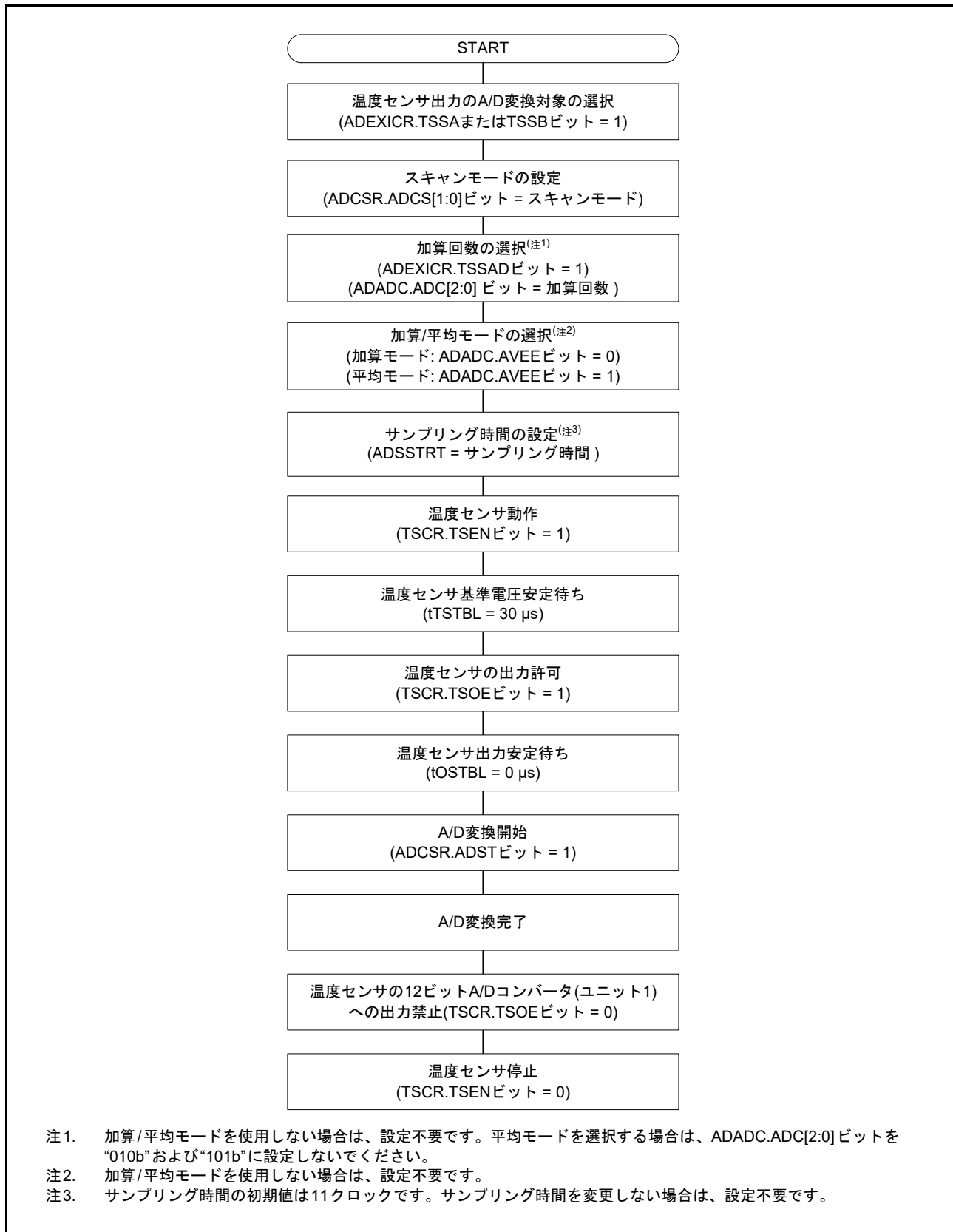


図 51.3 温度センサの使用手順フロー

51.3.4 温度センサ出力の A/D 変換タイミング

シングルスキャンモードで温度センサ出力のみを A/D 変換対象としたときの、温度センサの動作から A/D 変換完了までのタイミングを図 51.4 に、温度センサ動作から A/D 変換完了までの時間を表 51.2 に示します。

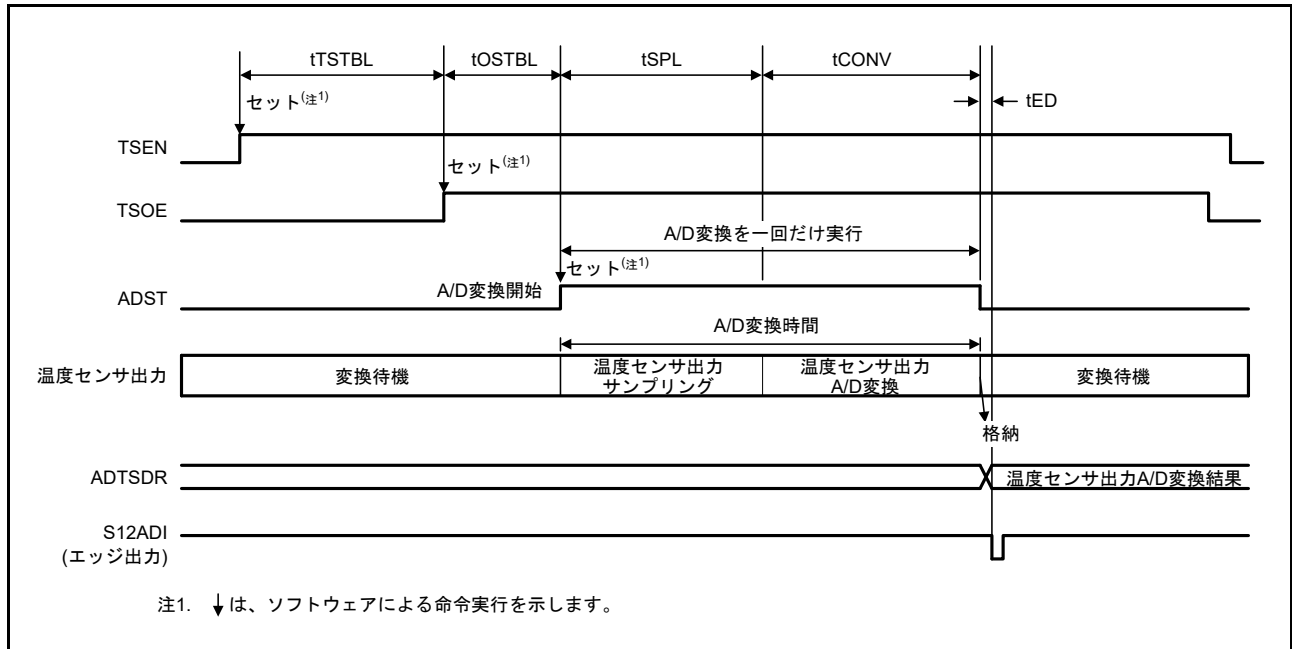


図 51.4 温度センサの動作から A/D 変換完了までのタイミング

表 51.2 温度センサの動作から A/D 変換完了までの時間

項目	記号	時間
温度センサ基準電圧安定待ち時間	tTSTBL	30 μ s (min)
温度センサ出力安定待ち時間	tOSTBL	0 μ s (min)
12ビット A/D コンバータ (ユニット1) 入力サンプリング時間	tSPL	ADSSTRT の設定値 \times tC(ADCLK)
A/D 変換処理時間	tCONV	「50.3.7 アナログ入力のサンプリング時間とスキャン変換時間」の「表 50.18 スキャンでの各所要時間 (ADCLK と PCLK のサイクル数で示します)」を参照
スキャン変換終了遅延時間	tED	「50.3.7 アナログ入力のサンプリング時間とスキャン変換時間」の「表 50.18 スキャンでの各所要時間 (ADCLK と PCLK のサイクル数で示します)」を参照

51.4 使用上の注意事項

51.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、温度センサの動作禁止 / 許可を設定することが可能です。初期値では、温度センサの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

52. データ演算回路 (DOCA)

52.1 概要

データ演算回路 (DOC) は、16 または 32 ビットのデータを比較、加算または減算する機能です。

表 52.1 にデータ演算回路 (DOC) の仕様、図 52.1 に DOC のブロック図を示します。

16 または 32 ビットのデータを比較し、選択した条件に合致した場合、または加算 / 減算の結果がオーバーフロー / アンダフローした場合に割り込みを発生させることができます。

表 52.1 データ演算回路(DOC)の仕様

項目	内容
データ演算機能	<ul style="list-style-type: none"> 16 または 32 ビットデータの比較 (一致 / 不一致、大小、範囲内外) 16 または 32 ビットデータの加算、または減算
消費電力低減機能	モジュールストップ状態への遷移が可能
割り込み	<ul style="list-style-type: none"> データ比較の結果が検出条件に合致したとき データ加算の結果が“FFFFh” (DOCR.DOPSZ = 0の場合)、または“FFFF FFFFh” (DOCR.DOPSZ = 1の場合)より大きくなったとき (オーバーフロー) データ減算の結果が“0000h” (DOCR.DOPSZ = 0の場合)、または“0000 0000h” (DOCR.DOPSZ = 1の場合)より小さくなったとき (アンダフロー)
イベントリンク機能(出力)	<ul style="list-style-type: none"> データ比較の結果が検出条件に合致したとき データ加算の結果が“FFFFh” (DOCR.DOPSZ = 0の場合)、または“FFFF FFFFh” (DOCR.DOPSZ = 1の場合)より大きくなったとき (オーバーフロー) データ減算の結果が“0000h” (DOCR.DOPSZ = 0の場合)、または“0000 0000h” (DOCR.DOPSZ = 1の場合)より小さくなったとき (アンダフロー)

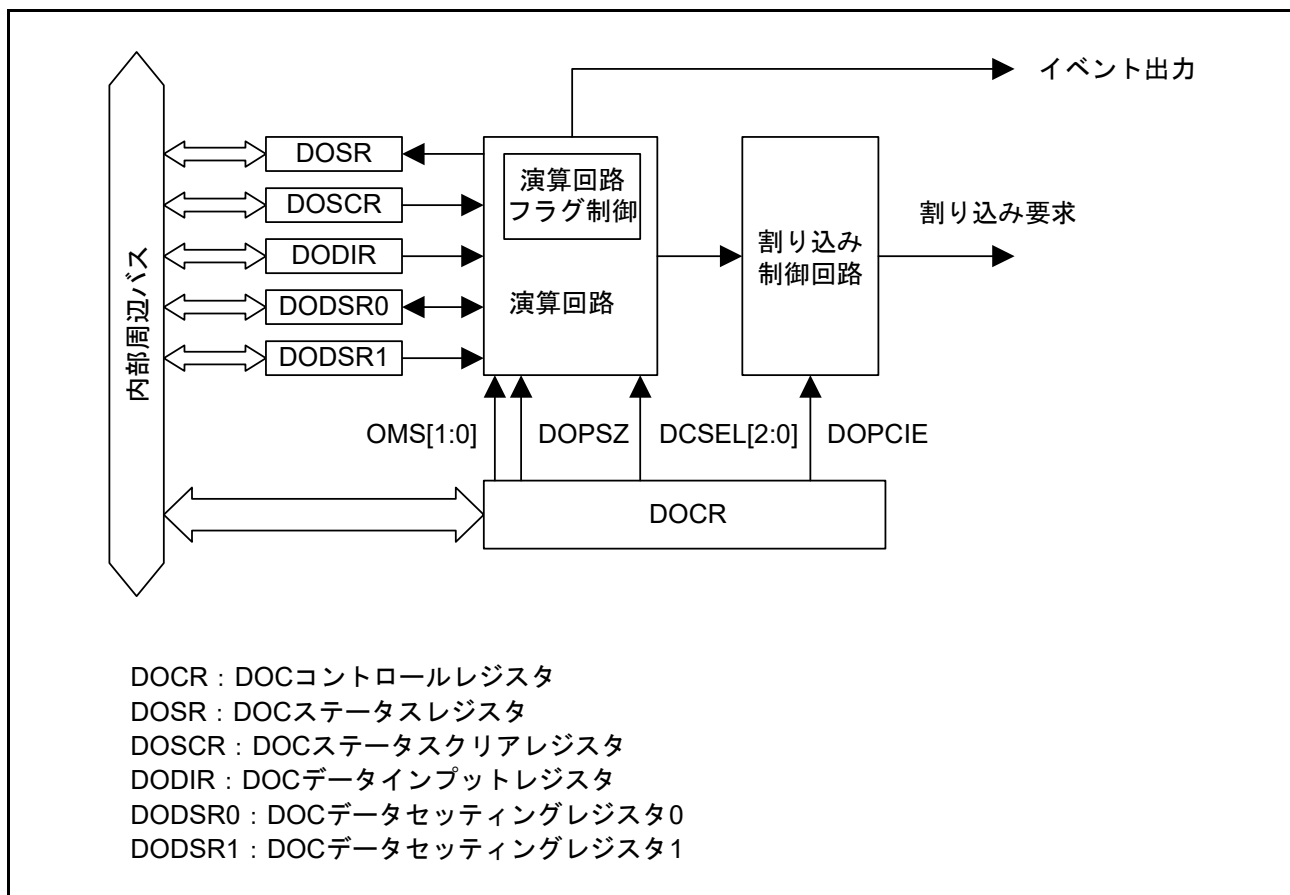


図 52.1 DOC のブロック図

52.2 レジスタの説明

52.2.1 DOC コントロールレジスタ (DOCR)

アドレス DOC.DOCR 000A 0580h

	b7	b6	b5	b4	b3	b2	b1	b0
	DOPCIE	DCSEL[2:0]		DOPSZ	—	OMS[1:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定禁止	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DOPSZ	データ演算サイズ選択ビット	0 : 16ビット幅 1 : 32ビット幅	R/W
b6-b4	DCSEL[2:0]	検出条件選択ビット(注1)	b6 b4 0 0 0 : 不一致(DODIR ≠ DODSR0) 0 0 1 : 一致(DODIR = DODSR0) 0 1 0 : 小さい(DODIR < DODSR0) 0 1 1 : 大きい(DODIR > DODSR0) 1 0 0 : 範囲内(DODSR0 < DODIR < DODSR1) 1 0 1 : 範囲外(DODIR < DODSR0, DODSR1 < DODIR) 上記以外 : 設定禁止	R/W
b7	DOPCIE	データ演算回路割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W

注1. データ比較モード選択時のみ有効

DOCR レジスタは、DOC の動作モードの設定や、割り込みの許可 / 禁止を設定するレジスタです。

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定により DOC の動作モードを選択します。

DOPSZ ビット (データ演算サイズ選択ビット)

本ビットの設定によりデータ演算サイズを選択します。

DCSEL[2:0] ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

52.2.2 DOC ステータスレジスタ (DOSR)

アドレス DOC.DOSR 000A 0584h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DOPCF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DOPCF	データ演算結果フラグ	演算結果を示します	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DOSR レジスタはデータ演算の結果を示すステータスレジスタです。

DOPCF フラグ (データ演算結果フラグ)

[“1”になる条件]

- DOCR.OMS[1:0] ビットが“00b”(データ比較モード)で、データ比較の結果が DOCR.DCSEL[2:0] ビットで選択した検出条件に合致したとき
- DOCR.OMS[1:0] ビットが“01b”(データ加算モード)で、データ加算の結果が“FFFFh”(DOCR.DOPSZ = 0 の場合)または“FFFF FFFFh”(DOCR.DOPSZ = 1 の場合)より大きくなったとき
- DOCR.OMS[1:0] ビットが“10b”(データ減算モード)で、データ減算の結果が“0000h”(DOCR.DOPSZ = 0 の場合)または“0000 0000h”(DOCR.DOPSZ = 1 の場合)より小さくなったとき

[“0”になる条件]

- DOSCR.DOPCFCL ビットに“1”を書き込んだとき

52.2.3 DOC ステータスクリアレジスタ (DOSCR)

アドレス DOC.DOSCR 000A 0588h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DOPCF CL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DOPCFCL	データ演算結果クリアビット	0 : DOPCF フラグの値を保持 1 : DOPCF フラグをクリア	W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

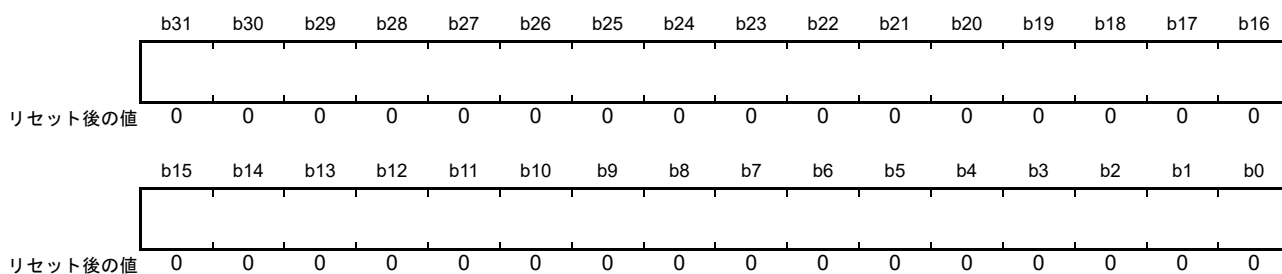
DOSCR レジスタは DOPCF フラグをクリアするためのレジスタです。読むと“00h”が読めます。

DOPCFCL フラグ (データ演算結果クリアビット)

本ビットに“1”を書くと DOSR.DOPCF フラグがクリアされます。

52.2.4 DOC データインプットレジスタ (DODIR)

アドレス DOC.DODIR 000A 058Ch

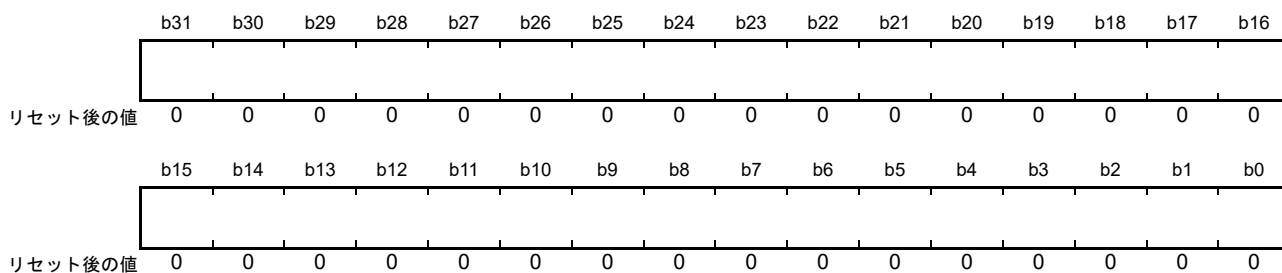


DODIR レジスタは、演算対象のデータを格納する読み書き可能なレジスタです。

DODIR レジスタには、DOCR.DOPSZ ビットで選択したデータ演算サイズでアクセスしてください。

52.2.5 DOC データセッティングレジスタ 0 (DODSR0)

アドレス DOC.DODSR0 000A 0590h



DODSR0 レジスタは、比較対象のデータを格納する、または演算結果が格納される読み書き可能なレジスタです。

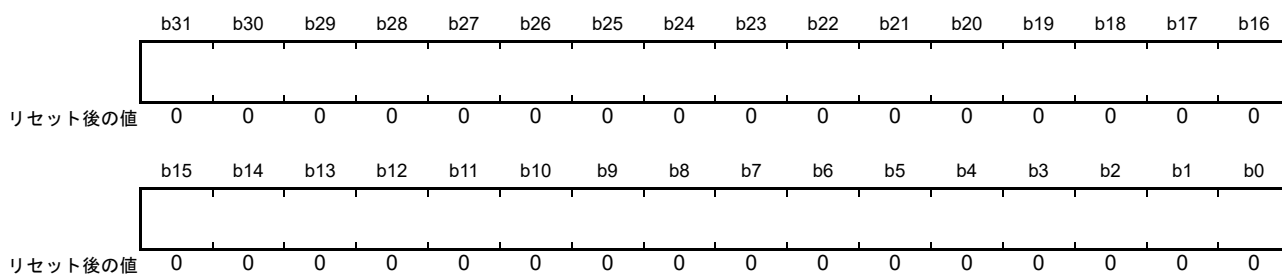
DODSR0 レジスタには、DOCR.DOPSZ ビットで選択したデータ演算サイズでアクセスしてください。

データ比較モードでは、比較の基準となるデータを格納してください。範囲内 (DOCR.DCSEL[2:0] = 100b) または範囲外 (DOCR.DCSEL[2:0] = 101b) を選択したときは、範囲の下限値を設定してください。

データ加算モードおよびデータ減算モードでは、演算結果が格納されます。

52.2.6 DOC データセッティングレジスタ 1 (DODSR1)

アドレス DOC.DODSR1 000A 0594h



DODSR1 レジスタは、比較対象のデータを格納する読み書き可能なレジスタです。

DODSR1 レジスタには、DOCR.DOPSZ ビットで選択したデータ演算サイズでアクセスしてください。

データ比較モードで範囲内 (DOCR.DCSEL[2:0] = 100b) または範囲外 (DOCR.DCSEL[2:0] = 101b) を選択したときに、範囲の上限値を設定してください。

本レジスタは、範囲内、範囲外を選択したとき以外は使用しません。

52.3 動作説明

52.3.1 データ比較モード

図 52.2 ~ 図 52.7 にデータ比較モード(注1)の動作例を示します。

DOC は、データ比較モード時、以下のように動作します。

以下は演算サイズが 32 ビット幅の場合の動作例です。

- (1) DOCR.OMS[1:0] ビットに“00b”を書き込むと、データ比較モードになります。また、同時に DOCR.DCSEL[2:0] ビットに書き込みを行い、検出条件を選択します。
- (2) DODSR0 レジスタと DODSR 1 レジスタに比較の基準となるデータを設定します。(注2)
- (3) DODIR レジスタに比較するデータを書き込みます。
- (4) DODIR レジスタに書き込まれたデータが DOCR.DCSEL[2:0] で設定した検出条件に合致したとき DOSR.DOPCF フラグが“1”になり、ELC イベントが発生します。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

注 1. 比較は DODIR レジスタへの書き込みと同時に行われます。DODSR0/DODSR1 レジスタへの書き込みでは行われません。

注 2. DODSR1 レジスタの設定は範囲内または範囲外を選択したときのみ必要です。DODSR1 レジスタ設定値 > DODSR0 レジスタ設定値となるように設定してください。

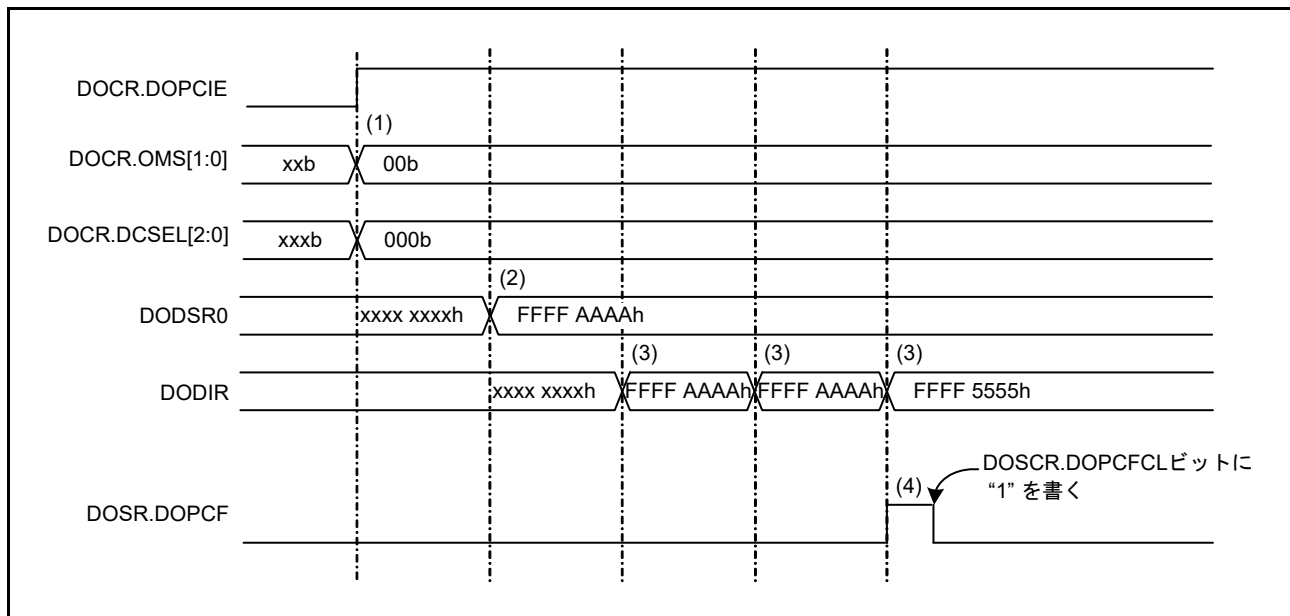


図 52.2 データ比較モードの動作例 (検出条件：不一致)

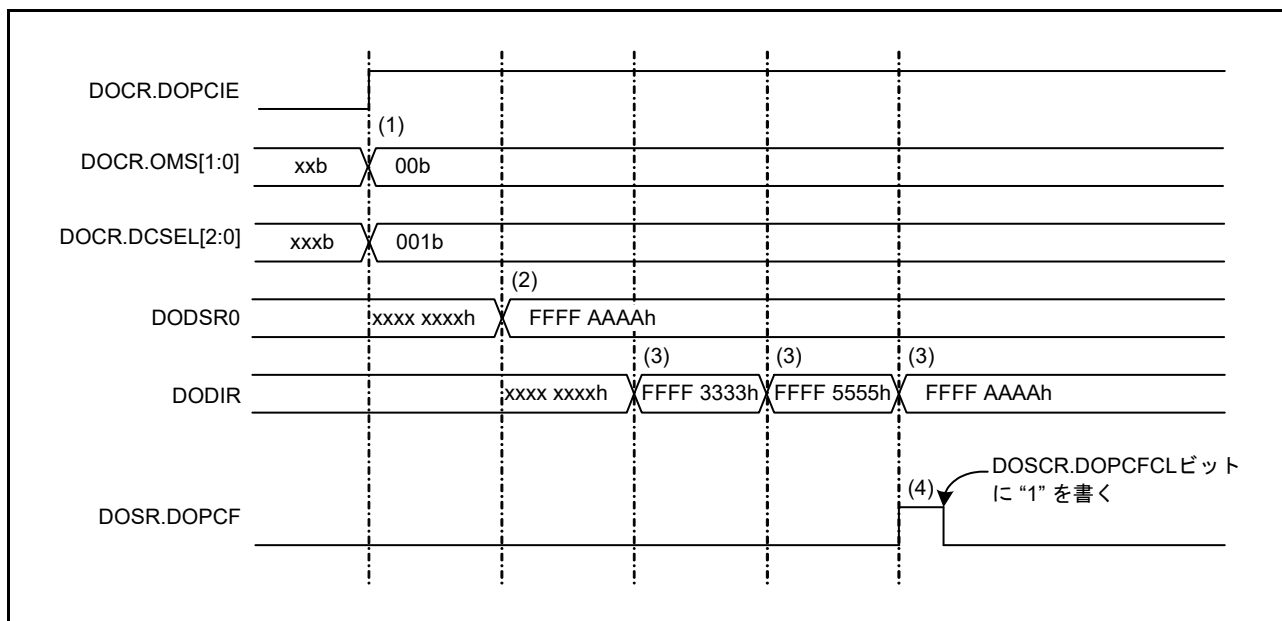


図 52.3 データ比較モードの動作例 (検出条件 : 一致)

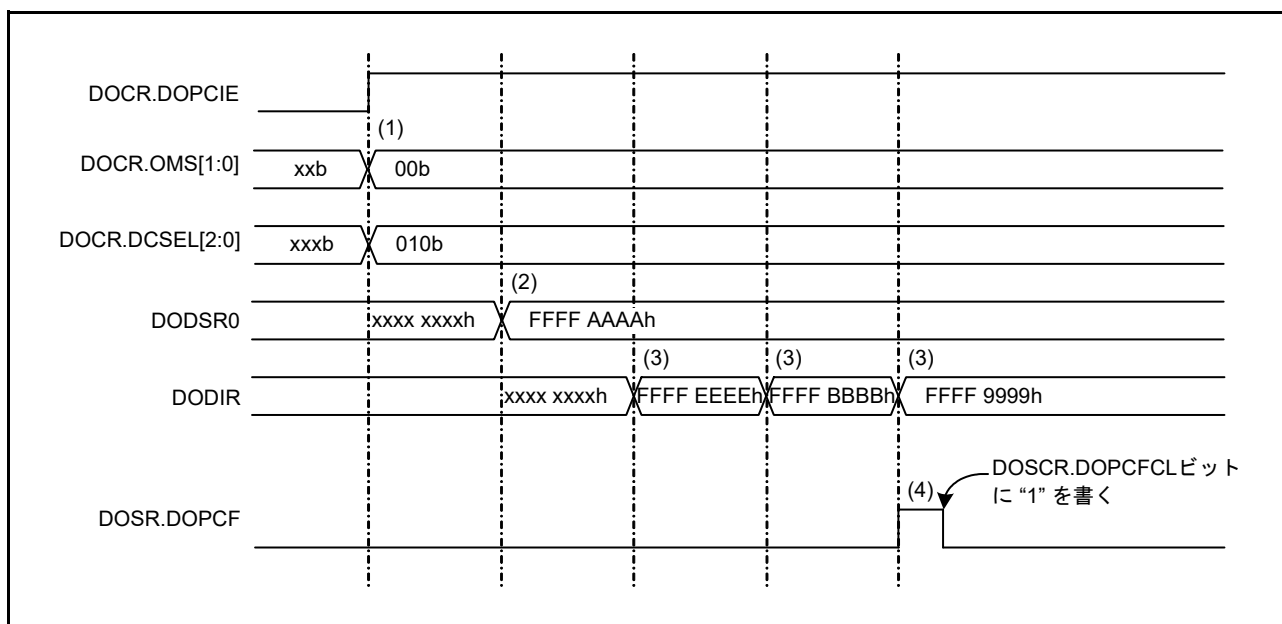


図 52.4 データ比較モードの動作例 (検出条件 : 小さい)

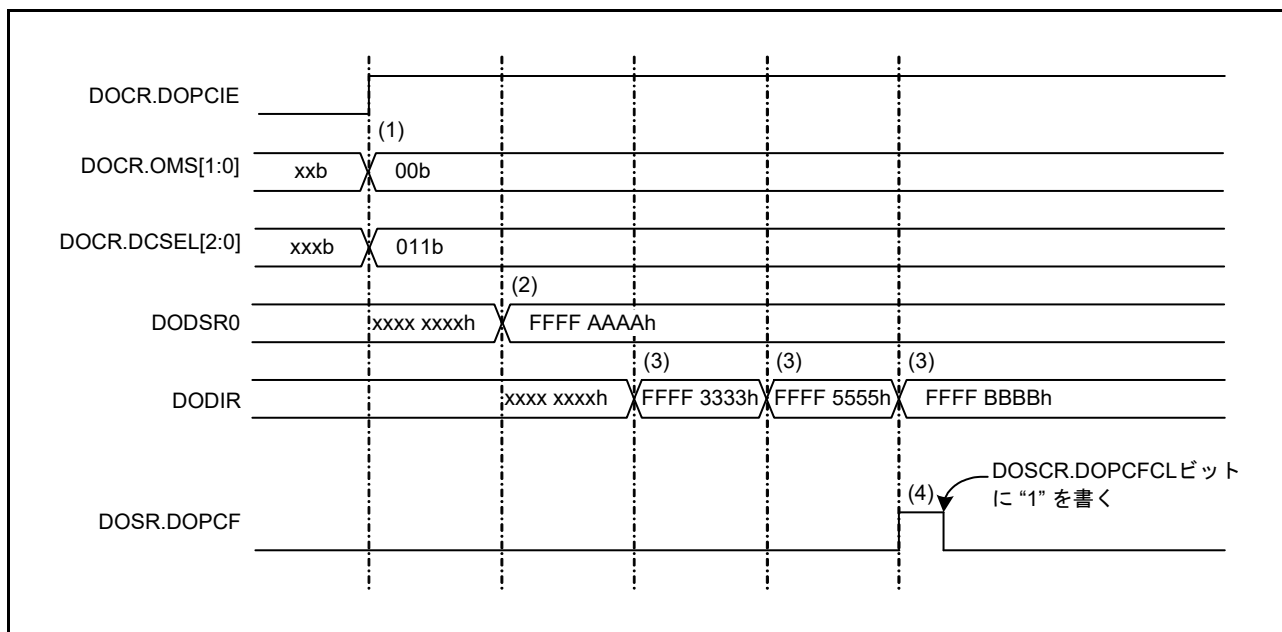


図 52.5 データ比較モードの動作例 (検出条件 : 大きい)

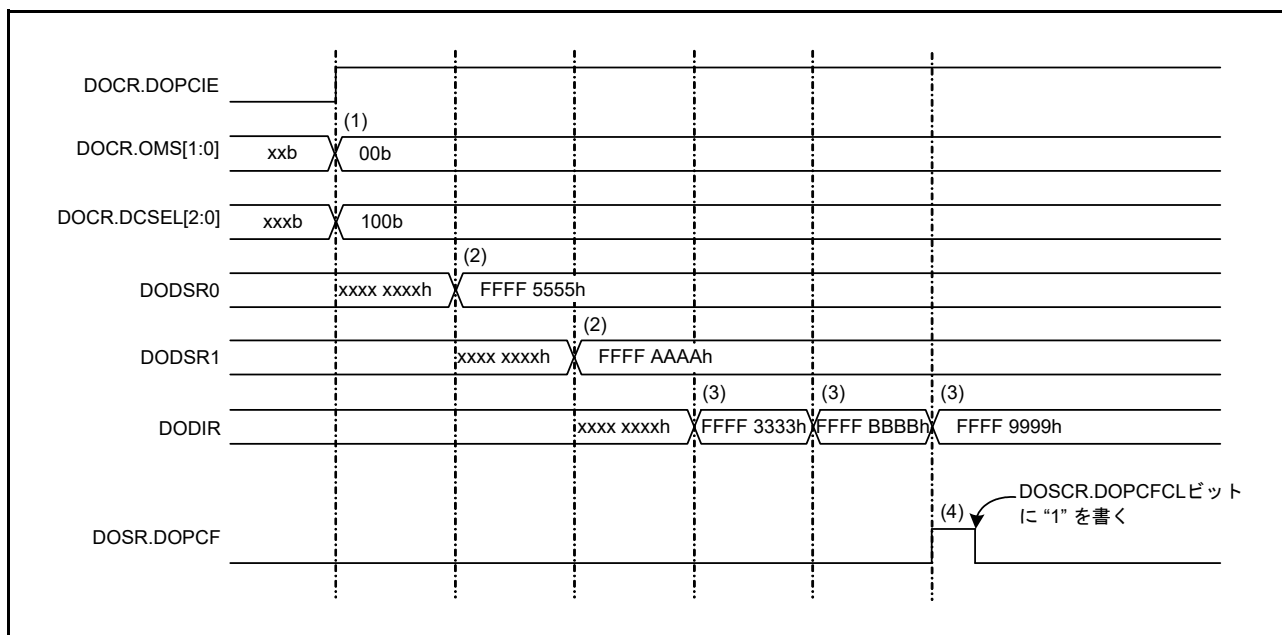


図 52.6 データ比較モードの動作例 (検出条件 : 範囲内)

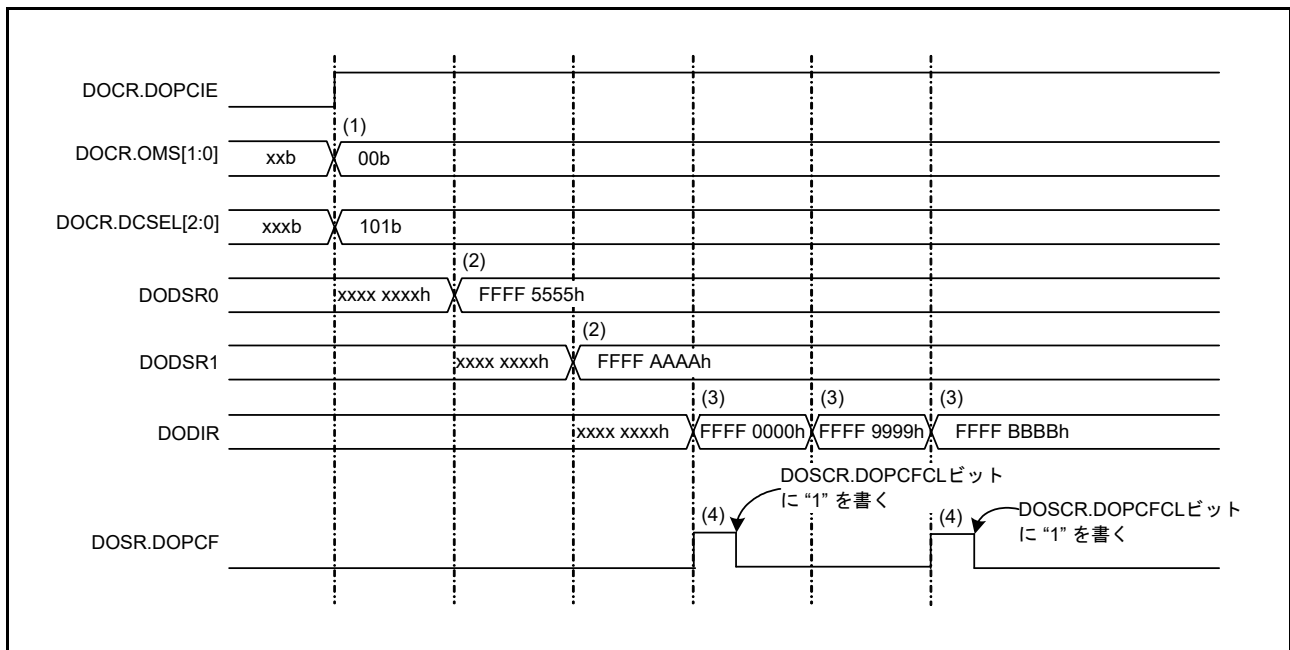


図 52.7 データ比較モードの動作例 (検出条件: 範囲外)

52.3.2 データ加算モード

図 52.8 にデータ加算モード(注1)の動作例を示します。

DOCは、データ加算モード時、以下のように動作します。

以下はデータ演算サイズが32ビット幅の場合の動作例です。

- (1) DOCR.OMS[1:0] ビットに“01b”を書き込むと、データ加算モードになります。
- (2) DODSR0 レジスタに初期値を設定します。
- (3) DODIR レジスタに加算するデータを書き込みます。演算結果は DODSR0 レジスタに格納されます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに加算するデータを書き込みます。
- (5) 演算結果が“FFFF FFFFh”よりも大きくなると DOSR.DOPCF フラグが“1”になり、ELC イベントが発生します。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

注1. 加算は DODIR レジスタへの書き込みと同時に行われます。DODSR0 レジスタへの書き込みでは行われません。

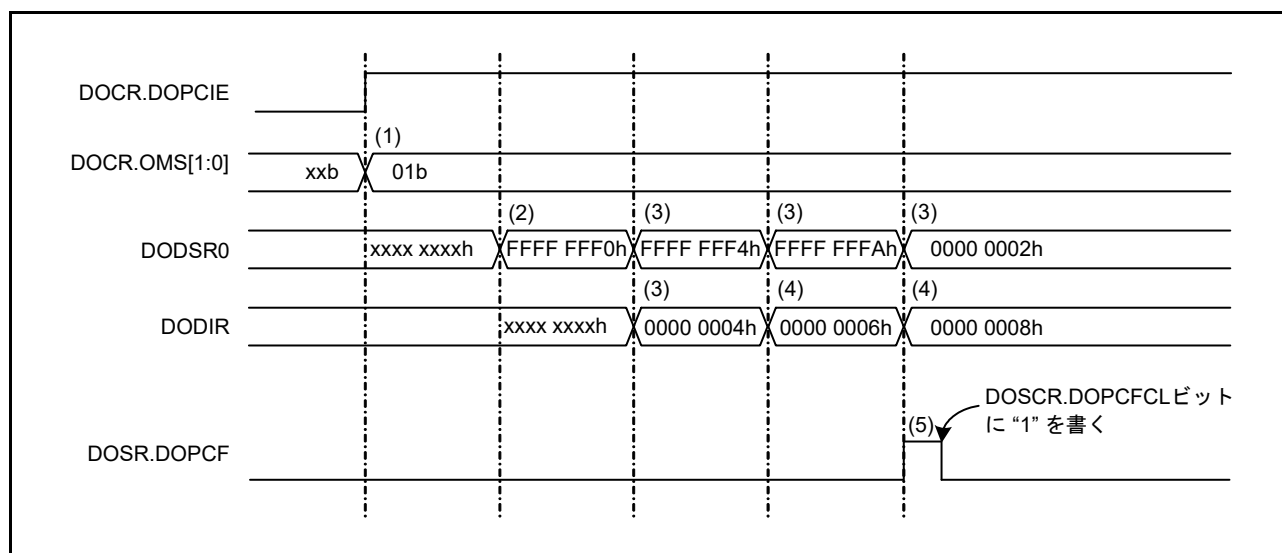


図 52.8 データ加算モードの動作例

52.3.3 データ減算モード

図 52.9 にデータ減算モード(注1)の動作例を示します。

DOC は、データ減算モード時、以下のように動作します。

以下はデータ演算サイズが 32 ビット幅の場合の動作例です。

- (1) DOCR.OMS[1:0] ビットに“10b”を書き込むと、データ減算モードになります。
- (2) DODSR0 レジスタに初期値を設定します。
- (3) DODIR レジスタに減算するデータを書き込みます。演算結果は DODSR0 レジスタに格納されます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに減算するデータを書き込みます。
- (5) 演算結果が“0000 0000h”よりも小さくなると DOSR.DOPCF フラグが“1”になり、ELC イベントが発生します。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

注 1. 減算は DODIR レジスタへの書き込みと同時に実行されます。DODSR0 レジスタへの書き込みでは行われません。

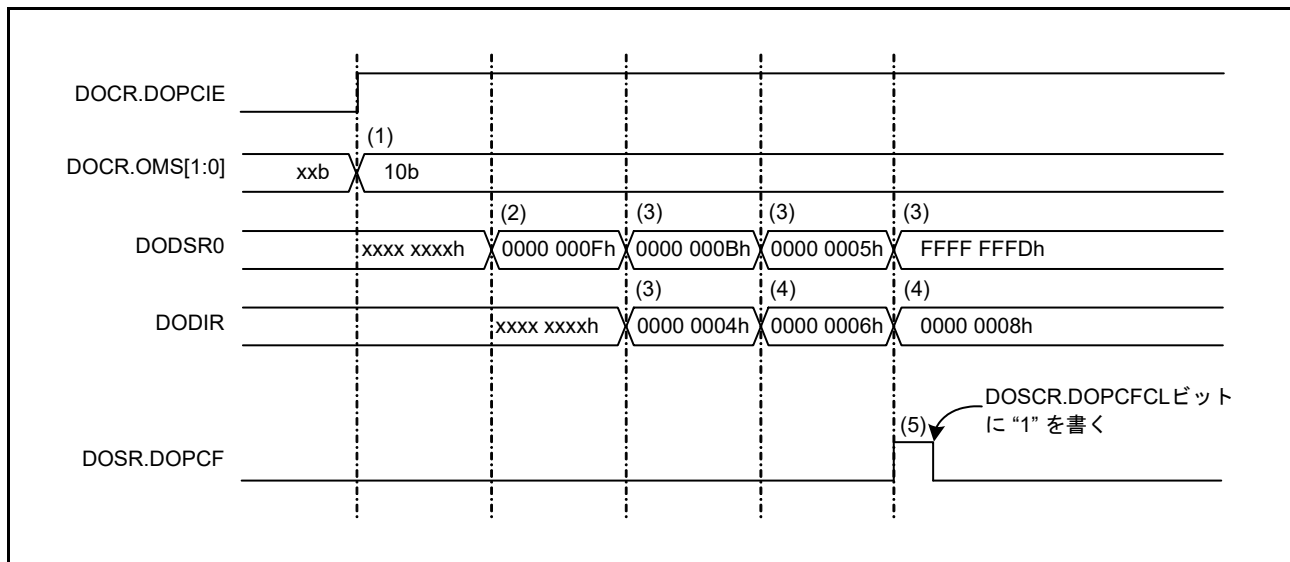


図 52.9 データ減算モードの動作例

52.4 割り込み要求

DOC が生成する割り込み要求には、データ演算回路割り込み (DOPCI) があります。割り込み要因が発生すると DOSR.DOPCF フラグが“1”になり、DOCR.DOPCIE ビットが“1”であれば、割り込み要求が発生します。表 52.2 に割り込み要求の内容を示します。

表 52.2 DOCの割り込み要求

割り込み要求	データ演算結果フラグ	割り込み発生タイミング
データ演算回路割り込み (DOPCI)	DOPCF	<ul style="list-style-type: none"> • データ比較の結果が検出条件に合致したとき • データ加算の結果が“FFFFh” (DOCR.DOPSZ = 0の場合)または“FFFF FFFFh” (DOCR.DOPSZ = 1の場合)より大きくなったとき • データ減算の結果が“0000h” (DOCR.DOPSZ = 0の場合)または“0000 0000h” (DOCR.DOPSZ = 1の場合)より小さくなったとき

52.5 イベントリンク出力機能

DOC はイベントリンクコントローラ (ELC) へ以下の条件でイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

- データ比較の結果が検出条件に合致したとき
- データ加算の結果が“FFFFh” (DOCR.DOPSZ = 0の場合)または“FFFF FFFFh” (DOCR.DOPSZ = 1の場合)より大きくなったとき
- データ減算の結果が“0000h” (DOCR.DOPSZ = 0の場合)または“0000 0000h” (DOCR.DOPSZ = 1の場合)より小さくなったとき

52.5.1 割り込み処理とイベントリンクの関係

DOC には、割り込みを許可/禁止するビットがあります。割り込み要因が発生すると、割り込みが許可されている場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると、割り込み許可ビットの値にかかわらず、ELC を介して他のモジュールにイベント信号として出力します。

52.6 使用上の注意事項

52.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) の MSTPB6 ビットにより、DOC の動作を禁止または許可することができます。リセット後、DOC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

53. RAM

本 MCU は、120MHz、ノーウェイトで動作する 384K バイトの高速スタティック RAM (RAM) を内蔵しています。

53.1 概要

表 53.1 に RAM の仕様を示します。

表 53.1 RAM の仕様

項目	RAM
容量	384K バイト
アドレス	0000 0000h ~ 0005 FFFFh
メモリバス	メモリバス 1
アクセス	<ul style="list-style-type: none">読み出し/書き込みともに 1 サイクルで動作 (注1)RAM 有効/無効選択可能 (注2)
データ保持機能	ディープソフトウェアスタンバイモード時のデータ保持機能なし
消費電力低減機能	モジュールストップ状態への遷移が可能
エラーチェック機能	<ul style="list-style-type: none">パリティチェック: 1 ビット誤り検出エラー発生時、ノンマスカブル割り込み、または割り込みを発生

注1. 8 バイト境界をまたいだアクセス時は、サイクル数が 2 倍に増えます。

注2. SYSCR1.RAME ビットにより選択可能です。SYSCR1 レジスタについては、「3.2.3 システムコントロールレジスタ 1 (SYSCR1)」を参照してください。

53.2 レジスタの説明

53.2.1 RAM 動作モード制御レジスタ (RAMMODE)

アドレス 0008 1200h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	RAMMODE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RAMMODE[1:0]	RAM動作モード選択ビット	b1 b0 0 0: パリティチェック無効 0 1: パリティチェック有効 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

RAMMODE レジスタへの書き込みはRAMプロテクトレジスタ (RAMPRCR) によって保護されています。まず、RAMPRCR.RAMPRCR ビットを書き込み許可にしてからRAMMODE レジスタへの書き込みを行ってください。本レジスタはRAMへのアクセスを開始する前に設定してください。RAMへアクセスした後に本レジスタを書き換えた場合、RAMの動作は保証できません。

53.2.2 RAM エラーステータスレジスタ (RAMSTS)

アドレス 0008 1201h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	RAMERR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RAMERR	RAMエラーステータスフラグ	0: パリティチェックエラー未発生 1: パリティチェックエラー発生	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. フラグをクリアするための“0”書き込みのみ可能です。

パリティチェックが有効のときパリティチェックエラーを検出すると、RAMERR フラグが“1”になります。RAMERR フラグが“1”になると、RAM エラー割り込み要求が発生します。

パリティチェックが無効のときはパリティチェックエラーを検出しないため、RAMERR フラグが“1”になりません。

RAMERR フラグに“0”を書き込むと、パリティチェックエラーに起因するRAMエラー割り込み要求はクリアされます。

53.2.3 RAM エラーアドレスキャプチャレジスタ (RAMECAD)

アドレス 0008 1208h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b3	READ	エラーアドレスビット	エラーアドレスが読み出されます	R
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

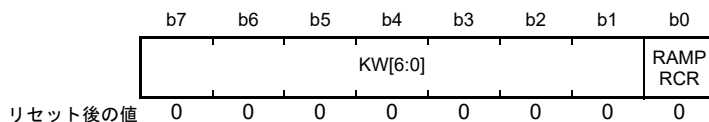
パリティチェックが有効のときパリティチェックエラーが発生したアドレスを保持します。RAMSTS.RAMERR フラグが“1”になると同時に、エラーが発生した 8 バイト境界のアドレスがこのレジスタに格納されます。

RAMERR フラグが“1” (エラー発生) のときは、エラーアドレスは更新されません。パリティチェックが無効のとき、パリティチェックエラーを検出しないため、変化しません。

RAMECAD レジスタはリセットでのみ初期化されます。

53.2.4 RAM プロテクトレジスタ (RAMPRCR)

アドレス 0008 1204h



ビット	シンボル	ビット名	機能	R/W
b0	RAMPRCR	RAMMODE レジスタ書き込み制御ビット	0 : RAMMODE レジスタへの書き込み禁止 1 : RAMMODE レジスタへの書き込み許可	R/W
b7-b1	KW[6:0]	書き込みキーワードビット	RAMPRCR レジスタの書き換えの許可、禁止を制御します。RAMPRCR レジスタを書き換える場合、KW[6:0] ビットに“1111000b”を書いてください。	R/W

KW[6:0] = 1111000b のとき、RAMPRCR ビットへの“1”書き込みが可能になります。それ以外のデータ書き込み時、RAMPRCR ビットを“0”にします。KW[6:0] ビットは読むと“0000000b”が読み出されます。

本レジスタによる書き込み保護対象は、RAM 動作モード制御レジスタ (RAMMODE) です。一度 RAMPRCR ビットを“1”にすると、次に RAMPRCR ビットを“0”にするまで RAMMODE レジスタへの書き込みが可能です。RAMMODE レジスタへの書き込み後、RAMPRCR ビットをクリアしてください。

53.3 動作説明

53.3.1 パリティチェック機能

RAMMODE レジスタの設定によって、RAM のパリティチェックの有効、無効を選択することができます。

初期状態では、パリティチェックは無効です。パリティチェックの仕様は、偶数パリティです。

書き込み時 1 バイトデータ毎に 1 ビットのパリティチェックコードを付加し、読み出し時にパリティチェックを行います。

読み出し時に、パリティチェックで 1 バイト内に 1 ビットエラーを検出した場合、RAM エラー割り込みを発生させることが可能です。1 バイト内に 2 ビット以上のエラーがある場合は正しく検出することができません。

電源投入後、パリティチェックコードは書き込みを行うまで不定です。パリティチェック機能を使用する場合は、リセット直後 RAM へアクセスを行う前に、パリティチェックが有効の状態ですべての領域に対して初期値を書いてください。

初期値を書いていない領域にアクセスがあった場合の動作は保証できません。

53.3.2 RAM エラー割り込み機能

パリティチェック有効時はパリティチェックエラーを示す RAMSTS.RAMERR ビットが“1”に変化すると、RAM エラー割り込みが発生します。

上記ビットに“0”を書き込めば、RAM エラー割り込みはクリアされます。

53.3.3 割り込み要因

RAM の割り込み要因には、パリティチェックエラーによる RAM エラー割り込みがあり、ノンマスカブル割り込み、または割り込みの両方に対応しています。詳細は「15. 割り込みコントローラ (ICUE)」を参照してください。

表 53.2 RAM の割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
RAMERR	RAM エラー	不可能	不可能

53.4 使用上の注意事項

53.4.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減することができます。

MSTPCRC.MSTPC0 ビットを“1”にすると RAM に供給されるクロックが停止します。

クロック供給の停止により、RAM はモジュールストップ状態になります。

リセット後は、RAM は動作状態です。

モジュールストップ状態になると、RAM へのアクセスができなくなります。

RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

モジュールストップ状態で RAM へのアクセスは禁止です。アクセスした場合の動作は保証できません。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。

53.4.2 RAM のエラーチェック機能使用時の注意事項

電源投入時の RAM 内のデータは不定です。このため初期化を実施せずにデータを読むと、パリティチェックエラーが発生します。RAM のリード単位は 8 バイト (64 ビット) ですから、初期化は 8 バイト境界で実施してください。

パリティチェックを有効にして、RAM 上でプログラムを実行する場合は、CPU が命令プリフェッチを行うことも考慮して初期化を実施してください。命令プリフェッチは最大 32 バイトまで実行されますから、プログラムの最終アドレスから 24 ～ 31 バイト分を余分に初期化してください。

53.4.3 RAM の自己診断に関する注意事項

RAM にはライトバッファが搭載されているため、書き込みを行った後に同一アドレスから読み出しを行うと、RAM のメモリセルではなくライトバッファのデータが読み出されることがあります。RAM の自己診断を行う場合、ライトバッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

- (1) 診断対象のアドレスにデータを書く
- (2) (1) のアドレスから 4 番地以上離れたアドレスにデータを書く
- (3) (1) のアドレスからデータを読む

54. スタンバイRAM

本MCUは、ディープソフトウェアスタンバイ時にデータ保持機能を有するスタティックRAM(スタンバイRAM)を内蔵しています。

54.1 概要

表54.1にスタンバイRAMの仕様を示します。

表54.1 スタンバイRAMの仕様

項目	内容
RAM容量	4Kバイト
RAMアドレス	000A 4000h~000A 4FFFh
アクセス	<ul style="list-style-type: none"> 読み出し、書き込みともに、$ICLK \geq PCLKB$の場合はPCLKB 2~3サイクル、$ICLK < PCLKB$の場合はICLK 2サイクルで動作 RAMアクセス有効/無効選択可能(注1) エンディアンはチップのエンディアン設定に従います。 非アラインアクセスは禁止です。非アラインアクセスの場合の動作は保証しません。
データ保持機能	ディープソフトウェアスタンバイモード時、データを保持可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. SYSCR1.SBYRAMEビットにより選択可能です。SYSCR1レジスタについては、「3.2.3 システムコントロールレジスタ1 (SYSCR1)」を参照してください。

54.2 動作説明

54.2.1 データ保持

DPSBYCR.DEEPCUT[1:0]ビットの設定により、ディープソフトウェアスタンバイモード時にスタンバイRAMへ内部電源を供給するかどうかを選択できます。

ディープソフトウェアスタンバイモード時、スタンバイRAMへ内部電源を供給することによって、スタンバイRAMのデータを保持できます。

DPSBYCR.DEEPCUT[1:0]ビットの詳細については、「11. 消費電力低減機能」を参照してください。

54.2.2 消費電力低減機能

モジュールストップコントロールレジスタC(MSTPCRC)の設定により、スタンバイRAMへのクロック供給を停止させることで、消費電力を低減できます。

MSTPCRC.MSTPC7ビットを“1”にするとスタンバイRAMに供給されるクロックが停止します。

クロック供給の停止により、スタンバイRAMはモジュールストップ状態になります。リセット後は、スタンバイRAMは動作しています。

モジュールストップ状態になると、スタンバイRAMへのアクセスができなくなります。スタンバイRAMのアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRCレジスタの詳細については、「11. 消費電力低減機能」を参照してください。

55. フラッシュメモリ (FLASH)

本 MCU は、コードフラッシュメモリ、データフラッシュメモリ、オプション設定メモリを内蔵しています。コードフラッシュメモリには命令とオペランドなどが格納できます。データフラッシュメモリにはデータのみを格納できます。オプション設定メモリについては「7. オプション設定メモリ (OFSM)」を参照してください。

55.1 概要

表 55.1 にフラッシュメモリの仕様を、図 55.1 にフラッシュメモリ関連のブロック図を示します。

ブートモードで使用する入出力端子については表 55.17 を参照してください。

FCU (Flash Control Unit) はフラッシュメモリのプログラム/イレーズの制御を行います。FACI (Flash Application Command Interface) は設定された FACI コマンドに従って、FCU を制御します。

コードフラッシュメモリのメモリ構成については図 55.2 ~ 図 55.5 をデータフラッシュメモリのメモリ構成については図 55.6 を参照してください。

表55.1 フラッシュメモリの仕様

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	ユーザ領域：最大2Mバイト	データ領域：8Kバイト
ROMキャッシュ	<ul style="list-style-type: none"> 容量：8Kバイト マッピング方式：ダイレクトマップ ラインサイズ：16バイト 	なし
リードサイクル	<ul style="list-style-type: none"> ROMキャッシュ動作許可時： キャッシュヒット時、1サイクル キャッシュミス時、 ICLK ≤ 60MHzのとき、1~2サイクル ICLK > 60MHzのとき、2~3サイクル(注1) ROMキャッシュ動作禁止時： ICLK ≤ 60MHzのとき、1サイクル ICLK > 60MHzのとき、2サイクル(注1) 	FCLKの周波数毎のサイクルでリード(注2)
イレーズ後の値	FFh	不定値
プログラム/イレーズ方式	<ul style="list-style-type: none"> FACIコマンド発行領域(007E 0000h)に設定したFACIコマンドで、コードフラッシュメモリ/データフラッシュメモリのプログラム/イレーズ、オプション設定メモリのプログラムが可能(セルフプログラミング) シリアルプログラマによるシリアルインタフェース通信を介したプログラム/イレーズ(シリアルプログラミング) 	
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	フラッシュメモリの誤書き換えを防止	
デュアルバンク機能	デュアルバンク構成を用いて、書き換え動作中の中断に対して安全な更新を行うことが可能 <ul style="list-style-type: none"> リニアモード：コードフラッシュメモリを1領域として使用するモード デュアルモード：コードフラッシュメモリを2領域に分割して使用するモード 	なし
Trusted Memory (TM)機能	コードフラッシュメモリに対する不正リード防止 <ul style="list-style-type: none"> リニアモード：ブロック8、9 デュアルモード：ブロック8、9、46、47 	なし
BGO (バックグラウンドオペレーション)機能(注3)	<ul style="list-style-type: none"> コードフラッシュメモリプログラム/イレーズ中のコードフラッシュメモリリードが可能(注4) コードフラッシュメモリプログラム/イレーズ中のデータフラッシュメモリリードが可能 データフラッシュメモリプログラム/イレーズ中のコードフラッシュメモリリードが可能 	
プログラム/イレーズ単位	<ul style="list-style-type: none"> ユーザ領域へのプログラム：128バイト ユーザ領域のイレーズ：ブロック単位 	<ul style="list-style-type: none"> データ領域へのプログラム：4バイト データ領域のイレーズ：64/128/256バイト
その他の機能	セルフプログラミング中の割り込み受け付け可能 本MCUの初期設定をオプション設定メモリに設定可能	
オンボードプログラミング (シリアルプログラミング/セルフプログラミング)	ブートモード(SCIインタフェース)によるプログラム/イレーズ <ul style="list-style-type: none"> 調歩同期式シリアルインターフェース(SCI1)を使用 通信速度は自動調整 ブートモード(USBインタフェース)によるプログラム/イレーズ <ul style="list-style-type: none"> USB0を使用 特別なハードウェアが不要で、PCと直結可能 ブートモード(FINEインタフェース)によるプログラム/イレーズ <ul style="list-style-type: none"> FINEを使用 シングルチップモード、内蔵ROM有効拡張モードによるプログラム/イレーズ <ul style="list-style-type: none"> ユーザプログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによるプログラム/イレーズが可能 	
オフボードプログラミング	パラレルプログラマを使用して、コードフラッシュメモリ、オプション設定メモリのプログラム/イレーズが可能	パラレルプログラマを使用したデータフラッシュメモリのプログラム/イレーズはできません
ユニークID	本MCU個体ごとの16バイト長のIDコード	

注1. ICLKが60MHzより速い場合は、ROMWTレジスタを変更する必要があります。

詳細は「9.2.2 ROMウェイトサイクル設定レジスタ(ROMWT)」を参照してください。

注2. FCLKの周波数に合わせて必要なアクセスサイクルを設定する必要があります。詳細は「55.4.22 データフラッシュメモリアクセス周波数設定レジスタ(EEPFCLK)」を参照してください。

注3. オプション設定メモリの書き換えには、BGO機能を利用できません。

注4. プログラム/イレーズ領域とリード領域のアドレス範囲の組み合わせに制限があります：表55.25を参照してください。

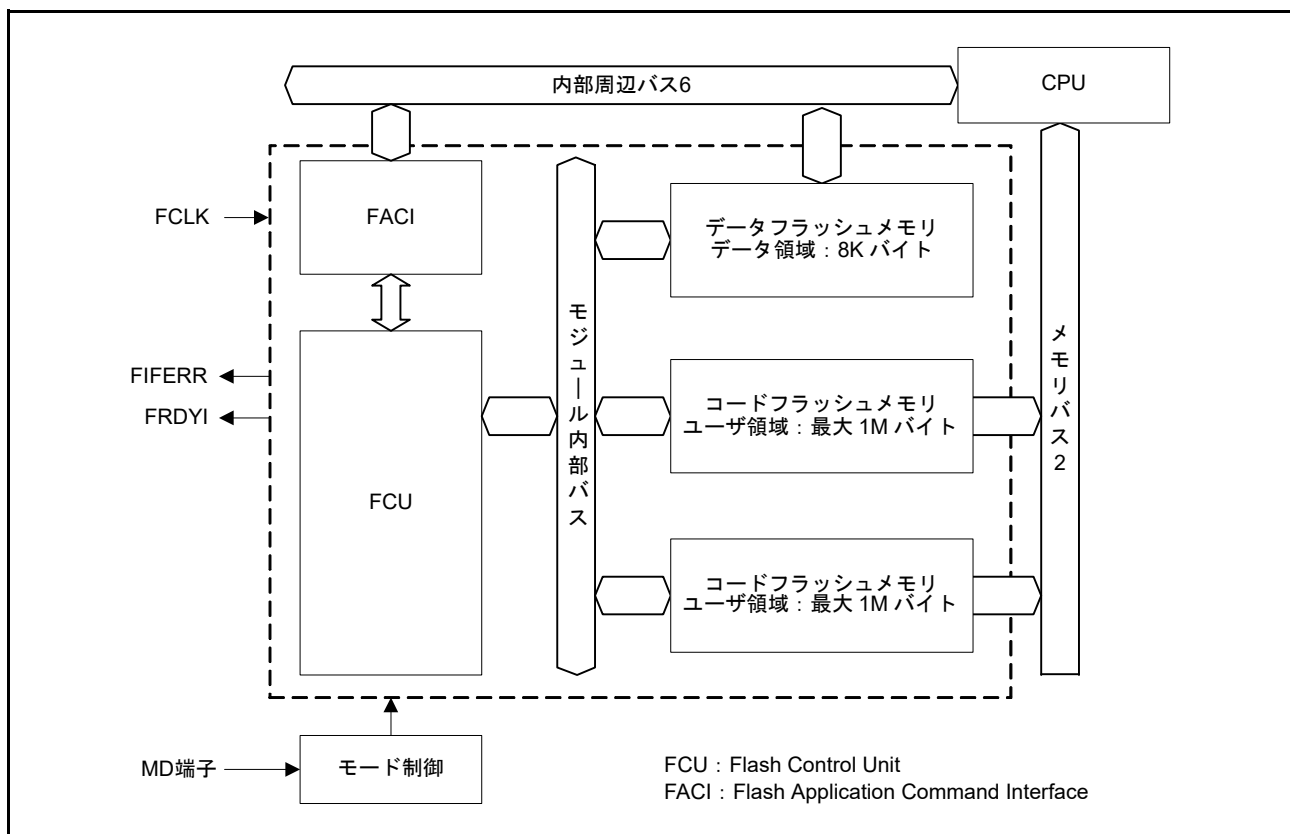


図 55.1 フラッシュメモリ関連のブロック図

55.2 ハードウェアインタフェース用領域

フラッシュメモリのハードウェアインタフェースを使用する場合には、各ハードウェアのレジスタ領域、FACI コマンド発行用の領域にアクセスする必要があります。各領域の情報を表 55.2 に記載します。

表 55.2 ハードウェアインタフェース用領域の情報

領域	アドレス	サイズ
各ハードウェアのレジスタ領域	「55.4 レジスタの説明」を参照	「55.4 レジスタの説明」を参照
FACI コマンド発行領域	007E 0000h	4バイト
オプション設定メモリ(コンフィギュレーション設定領域)	FE7F 5D00h~FE7F 5D7Fh	128バイト

55.3 メモリ構成

図 55.2 にリニアモード時のコードフラッシュメモリマッピング、図 55.3 ~ 図 55.5 にデュアルモード時のコードフラッシュメモリマッピングを示します。デュアルバンク機能により、コードフラッシュメモリを2つのバンク領域として扱うことができます。この2つのバンクにより、ユーザプログラムを実行しながら、安全にプログラムの更新ができます。

本MCUのコードフラッシュメモリのユーザ領域は8Kバイトまたは32Kバイトのブロックに分割されており、各ブロック単位でイレーズ可能です。

リニアモード時はTM機能有効時、ブロック8、9がTM対象領域となります。ユーザ領域は、ユーザプログラムの格納領域として利用可能です。

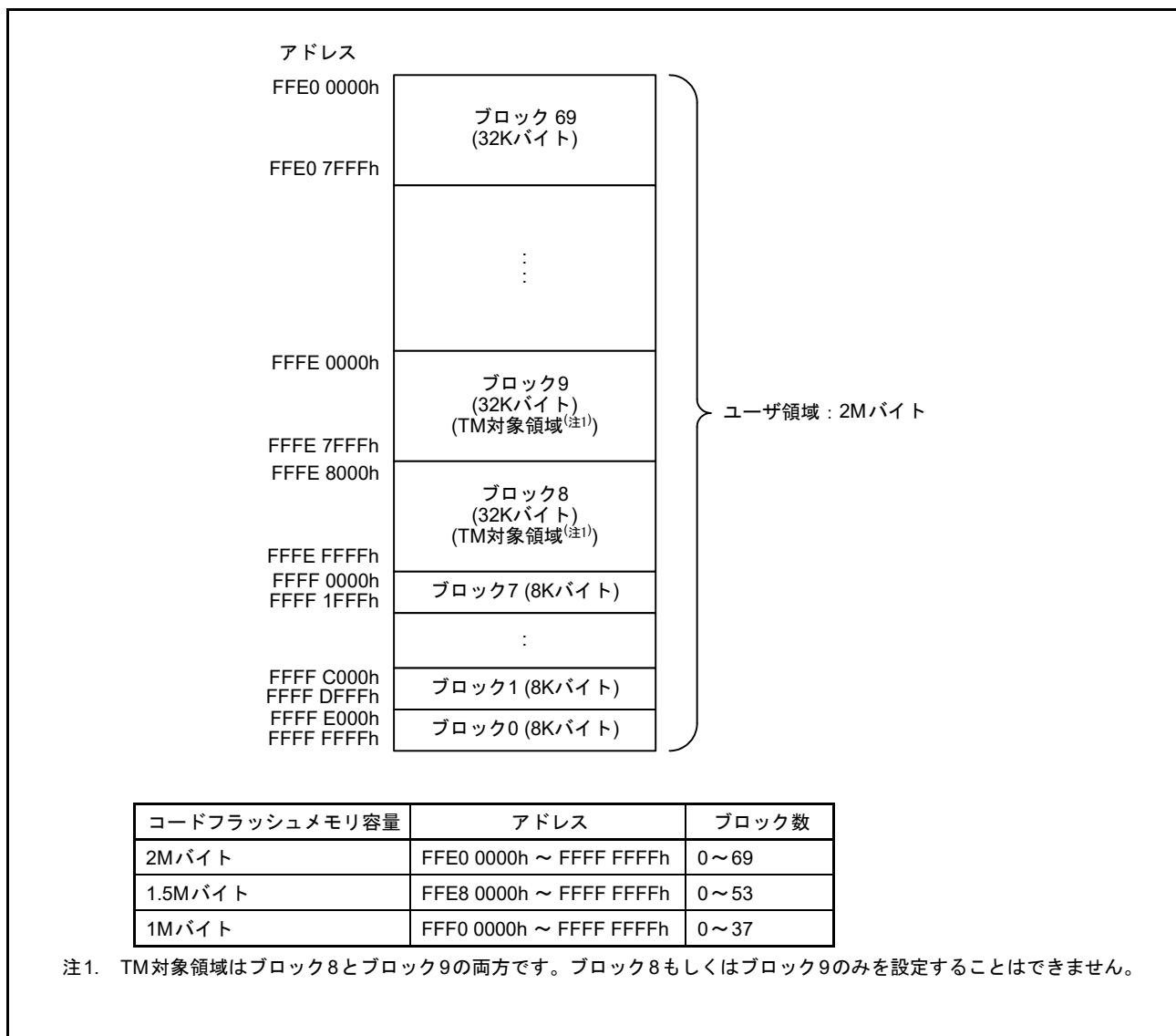


図 55.2 リニアモード時のコードフラッシュメモリマッピング

デュアルモードはTM機能有効時、ブロック8、9およびブロック46、47がTM対象領域となります。ユーザ領域は、ユーザプログラムの格納領域として利用可能です。

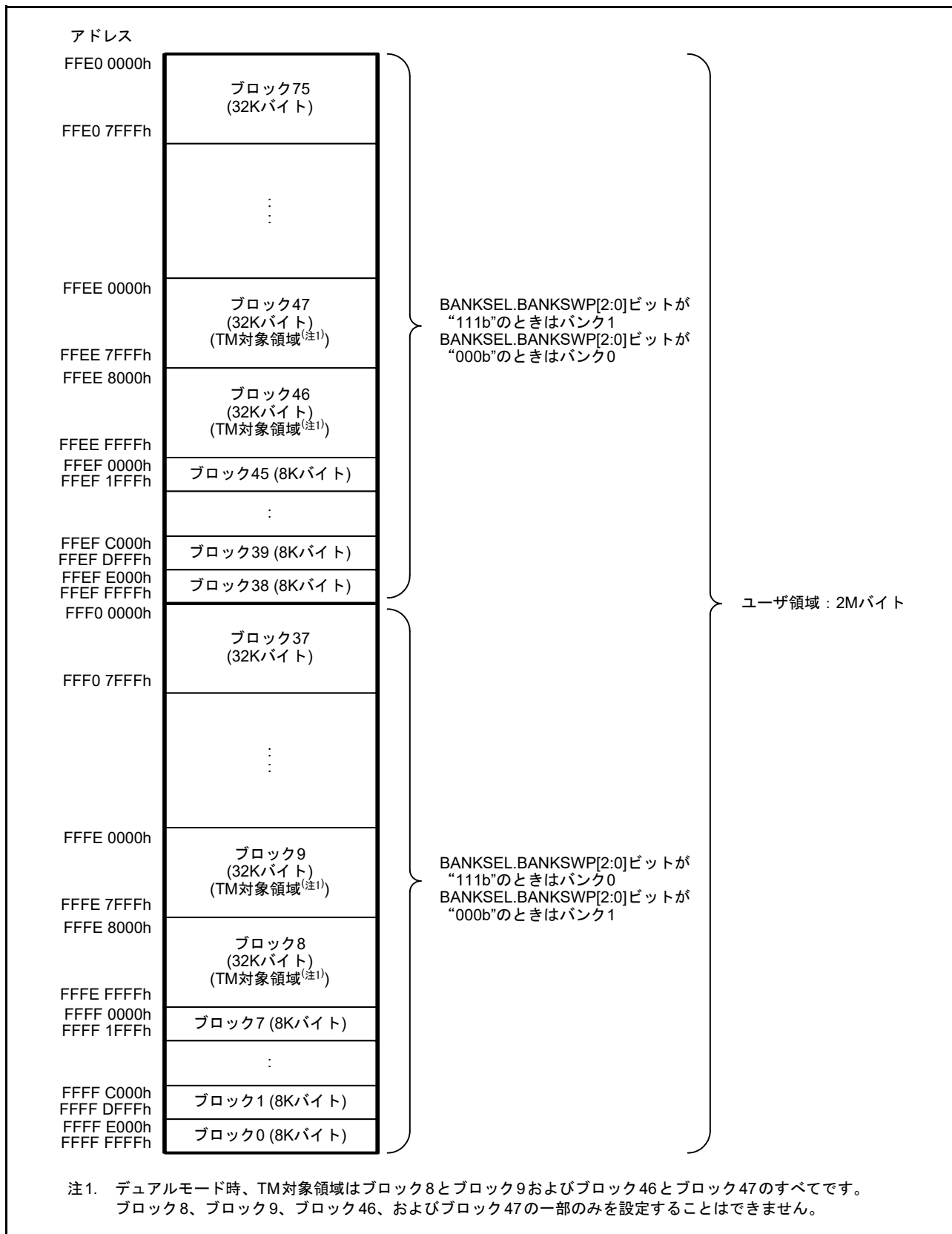


図 55.3 デュアルモード時のコードフラッシュメモリマッピング
(コードフラッシュメモリ容量が2Mバイトの製品)

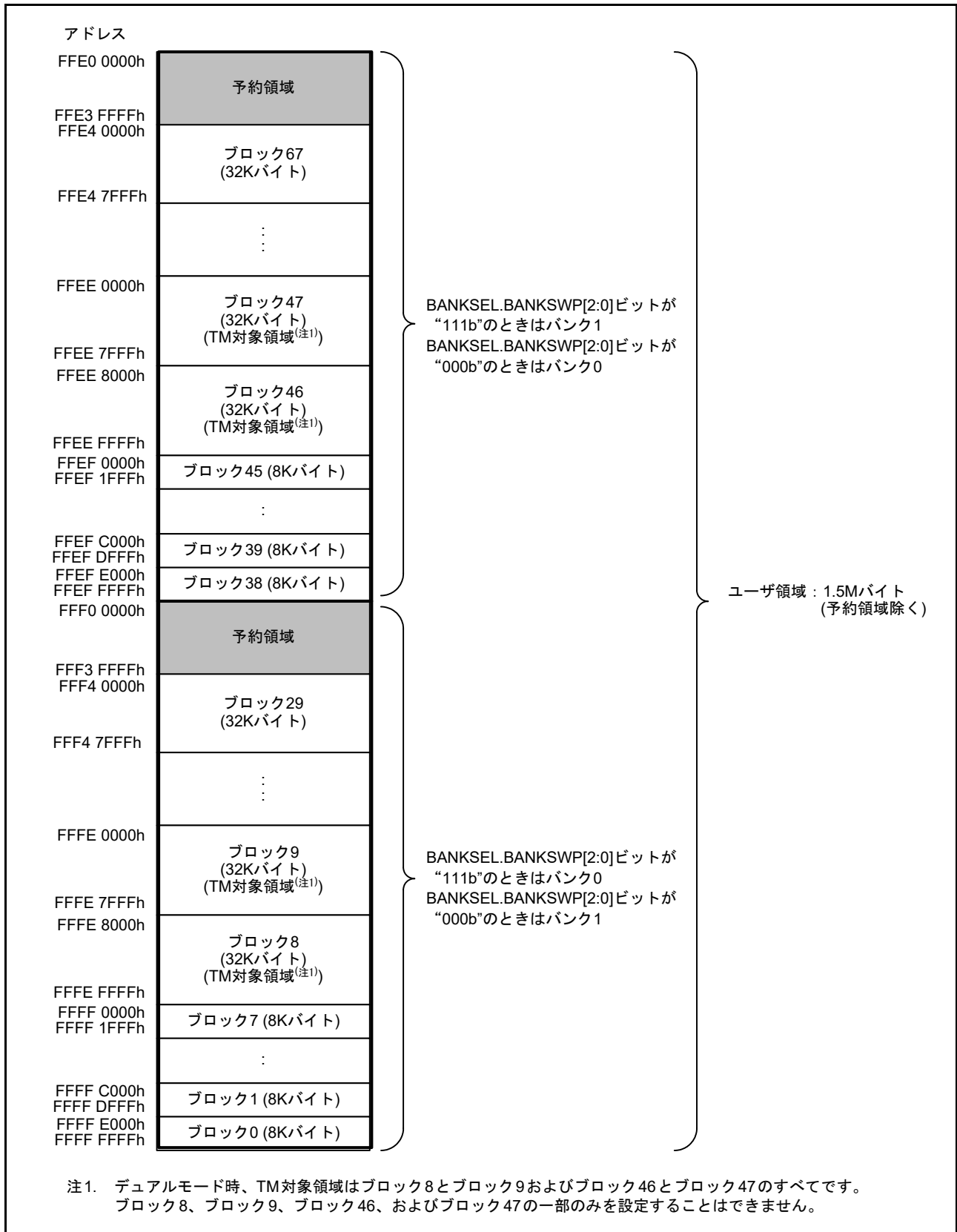


図 55.4 デュアルモード時のコードフラッシュメモリマッピング
 (コードフラッシュメモリ容量が 1.5M バイトの製品)

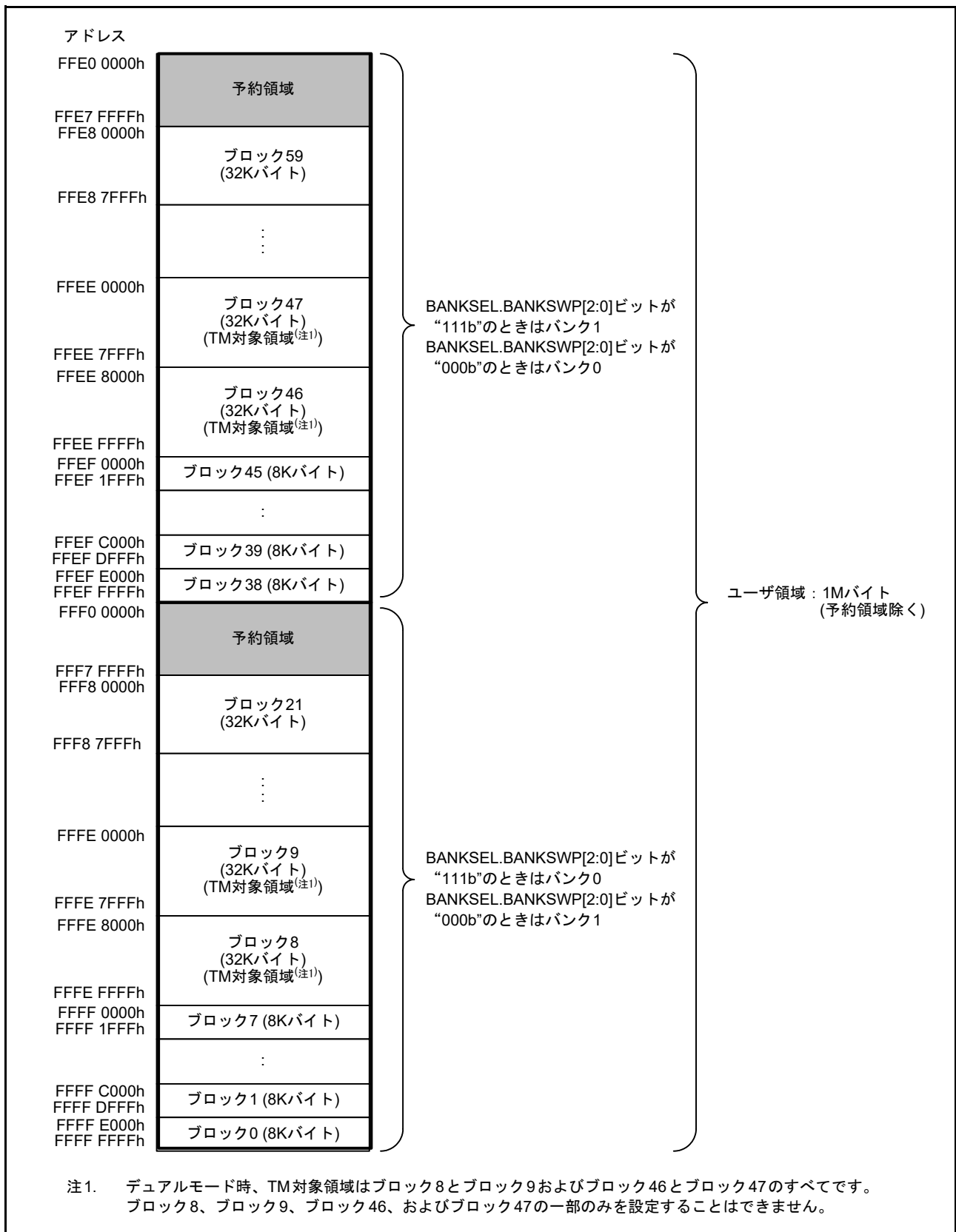


図 55.5 デュアルモード時のコードフラッシュメモリマッピング
(コードフラッシュメモリ容量が 1M バイトの製品)

本 MCU のデータフラッシュメモリは 64 バイトのブロックに分割されており、各ブロック単位でイレーズ可能です。図 55.6 にデータフラッシュメモリマッピングを示します。

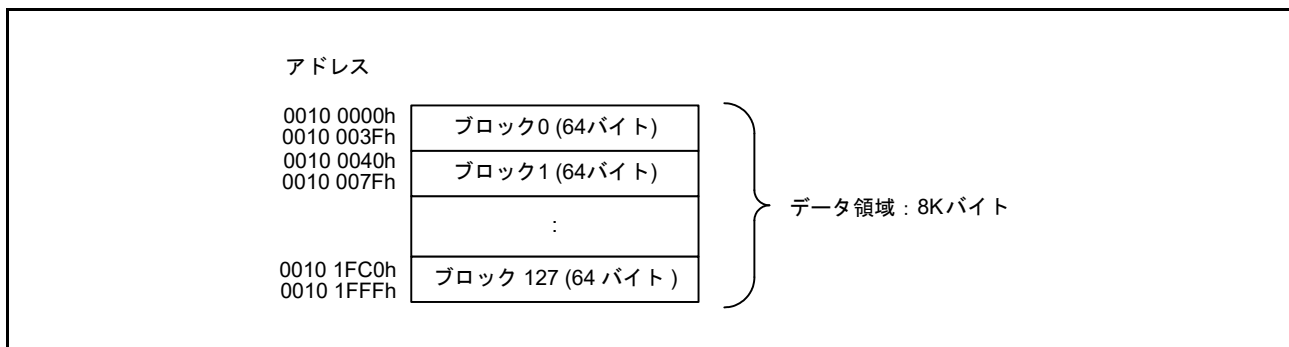


図 55.6 データフラッシュメモリマッピング

55.4 レジスタの説明

55.4.1 ROM キャッシュ許可レジスタ (ROMCE)

アドレス FLASH.ROMCE 0008 1000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROMC EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ROMCEN	ROMキャッシュ動作許可ビット	0 : ROMキャッシュ動作禁止 1 : ROMキャッシュ動作許可	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

ROMCEN ビット (ROM キャッシュ動作許可ビット)

ROMCEN ビットを“1”にすると ROM キャッシュが動作します。ROM キャッシュが動作しているときは、キャッシュにヒットした場合に ROM キャッシュからデータが供給されます。ROM キャッシュ動作は MCU の消費電力を削減する効果があります。

ノンキャッシュブル領域を設定する場合は、ROMCEN ビットが“0”のときに実施してください。

55.4.2 ROM キャッシュ無効化レジスタ (ROMCIV)

アドレス FLASH.ROMCIV 0008 1004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROMCI V
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

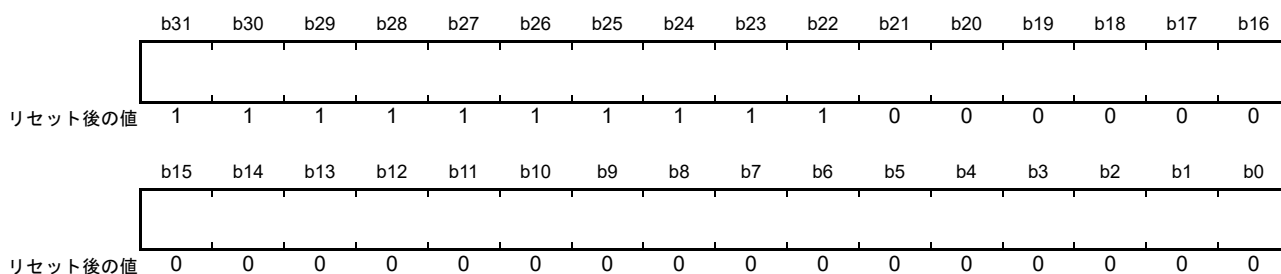
ビット	シンボル	ビット名	機能	R/W
b0	ROMCIV	ROMキャッシュ無効化ビット	読み出し時 0 : 無効化未実施/無効化完了 1 : 無効化実施中 書き込み時 “1”を書くときキャッシュラインの無効化を実施します。“0” を書いても何も起こりません。	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

ROMCIV ビット (ROM キャッシュ無効化ビット)

ROMCIV ビットに“1”を書くと ROM キャッシュの内容を無効化 (インバリデート) します。

55.4.3 ノンキャッシュابل領域 n アドレスレジスタ (NCRGn) (n = 0, 1)

アドレス FLASH.NCRG0 0008 1040h, FLASH.NCRG1 0008 1048h



キャッシュ機能を無効にする領域 (ノンキャッシュابل領域) の先頭アドレスを指定するレジスタです。上位 10 ビット (b31-b22) は “1” 固定、下位 4 ビット (b3-b0) は “0” 固定の予約ビットです。書く場合はそれぞれ “1”、“0” を書いてください。

NCRGn レジスタは ROMCE.ROMCEN ビットが “0” のときに設定してください。

55.4.4 ノンキャッシュابل領域 n 設定レジスタ (NCRCn) (n = 0, 1)

アドレス FLASH.NCRC0 0008 1044h, FLASH.NCRC1 0008 104Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	NCSZ[16:12]				—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NCSZ[11:0]											NC3E	NC2E	NC1E	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	NC1E	IFノンキャッシュابل領域指定有効ビット	IFキャッシュのノンキャッシュابل領域の設定 0: 無効 1: 有効	R/W
b2	NC2E	OAノンキャッシュابل領域指定有効ビット	OAキャッシュのノンキャッシュابل領域の設定 0: 無効 1: 有効	R/W
b3	NC3E	DMノンキャッシュابل領域指定有効ビット	DMキャッシュのノンキャッシュابل領域の設定 0: 無効 1: 有効	R/W
b20-b4	NCSZ[16:0]	ノンキャッシュابل領域サイズ指定ビット	ノンキャッシュابل領域のサイズを指定 b20 b4 0 0000 0000 0000 0000 : 16バイト 0 0000 0000 0000 0001 : 32バイト 0 0000 0000 0000 0011 : 64バイト 0 0000 0000 0000 0111 : 128バイト 0 0000 0000 0000 1111 : 256バイト 0 0000 0000 0001 1111 : 512バイト 0 0000 0000 0011 1111 : 1Kバイト 0 0000 0000 0111 1111 : 2Kバイト 0 0000 0000 1111 1111 : 4Kバイト 0 0000 0001 1111 1111 : 8Kバイト 0 0000 0011 1111 1111 : 16Kバイト 0 0000 0111 1111 1111 : 32Kバイト 0 0000 1111 1111 1111 : 64Kバイト 0 0001 1111 1111 1111 : 128Kバイト 0 0011 1111 1111 1111 : 256Kバイト 0 0111 1111 1111 1111 : 512Kバイト 0 1111 1111 1111 1111 : 1Mバイト 上記以外: 設定禁止	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ノンキャッシュابل領域 n (n = 0, 1) の有効 / 無効の指定、およびノンキャッシュابل領域のサイズを指定します。本レジスタへの書き込みは、ROMCE.ROMCEN ビットが“0”のときに行ってください。

NC1E ビット (IF ノンキャッシュابل領域指定有効ビット)

CPU の命令フェッチ (IF) を高速に行うためのキャッシュ (IF キャッシュ) に対し、ノンキャッシュابل領域の設定を有効 / 無効にするビットです。

NC2E ビット (OA ノンキャッシュابل領域指定有効ビット)

CPU のオペランドアクセス (OA) を高速に行うためのキャッシュ (OA キャッシュ) に対し、ノンキャッシュابل領域の設定を有効 / 無効にするビットです。

NC3E ビット (DM ノンキャッシュ領域指定有効ビット)

CPU 以外のバスマスタのデータアクセスを高速に行うためのキャッシュ (DM キャッシュ) に対し、ノンキャッシュ領域の設定を有効 / 無効にするビットです。

NCSZ[16:0] ビット (ノンキャッシュ領域サイズ指定ビット)

ノンキャッシュ領域の領域サイズを指定します。アドレスの b20-b4 をマスクするビットとして使われます。

バスマスタが生成したアドレスと NCRGn レジスタの値を比較するとき、NCSZ[16:0] ビットが“1”になっている部分は無視されます。

55.4.5 フラッシュ P/E プロテクトレジスタ (FWEPROR)

アドレス FLASH.FWEPROR 0008 C296h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	FLWE[1:0]	
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FLWE[1:0]	フラッシュプログラム/イレーズ許可ビット	b1 b0 0 0 : プログラム、ブロックイレーズ、ブランクチェックの禁止 0 1 : プログラム、ブロックイレーズ、ブランクチェックの許可 1 0 : プログラム、ブロックイレーズ、ブランクチェックの禁止 1 1 : プログラム、ブロックイレーズ、ブランクチェックの禁止	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

フラッシュメモリに対するプログラム、ブロックイレーズ、ブランクチェックをハードウェアによって許可 / 禁止します。

FWEPROR レジスタは、リセット時以外に、ディープソフトウェアスタンバイモード遷移時、ソフトウェアスタンバイモード遷移時にも初期化されます。

55.4.6 フラッシュアクセスステータスレジスタ (FASTAT)

アドレス FLASH.FASTAT 007F E010h

b7	b6	b5	b4	b3	b2	b1	b0
CFAE	—	—	CMDLK	DFAE	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFAE	データフラッシュメモリアクセス違反フラグ	0 : データフラッシュメモリのアクセス違反なし 1 : データフラッシュメモリのアクセス違反あり	R/W (注1)
b4	CMDLK	コマンドロックフラグ	0 : フラッシュシーケンサはコマンドロック状態ではない 1 : フラッシュシーケンサはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CFAE	コードフラッシュメモリアクセス違反フラグ	0 : コードフラッシュメモリのアクセス違反なし 1 : コードフラッシュメモリのアクセス違反あり	R/W (注1)

注1. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

FASTAT レジスタはコードフラッシュメモリ / データフラッシュメモリのアクセス違反有無を示すレジスタです。CFAE フラグ、DFAE フラグのいずれかが“1”の場合には、CMDLK フラグが“1”となり、フラッシュシーケンサはコマンドロック状態になります(「55.10.2 エラープロテクション」参照)。コマンドロック状態を解除するためには、FACIによりステータスクリアコマンドまたは強制終了コマンドを発行する必要があります。

DFAE フラグ (データフラッシュメモリアクセス違反フラグ)

データフラッシュメモリのアクセス違反の有無を示すフラグです。DFAE フラグが“1”の場合には、FSTATR.ILGLERR フラグが“1”になり、フラッシュシーケンサはコマンドロック状態になります。
[“1”になる条件]

- 「表 55.16 エラープロテクト一覧」を参照してください。

[“0”になる条件]

- “1”を読んだ後に、“0”を書いた場合
- ステータスクリアコマンドまたは強制終了コマンドを発行した場合

CMDLK フラグ (コマンドロックフラグ)

フラッシュシーケンサがコマンドロック状態であることを示すフラグです。

[“1”になる条件]

- フラッシュシーケンサが「表 55.16 エラープロテクト一覧」のエラーを検出して、コマンドロック状態に遷移した後

[“0”になる条件]

- ステータスクリアまたは強制終了コマンドの処理を開始した後

CFAE フラグ (コードフラッシュメモリアクセス違反フラグ)

コードフラッシュメモリのアクセス違反の有無を示すフラグです。CFAE フラグが“1”の場合には、FSTATR.ILGLERR フラグが“1”になり、フラッシュシーケンサはコマンドロック状態になります。

[“1”になる条件]

- 「表 55.16 エラープロテクト一覧」を参照してください。

[“0”になる条件]

- “1”を読んだ後に、“0”を書いた場合
- ステータスクリアコマンドまたは強制終了コマンドを発行した場合

55.4.7 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

アドレス FLASH.FAEINT 007F E014h

	b7	b6	b5	b4	b3	b2	b1	b0
	CFAEIE	—	—	CMDLKIE	DFAEIE	—	—	—
リセット後の値	1	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFAEIE	データフラッシュメモリアクセス違反割り込み許可ビット	0 : FASTAT.DFAE = 1で、FIFERR割り込み要求の発生を禁止 1 : FASTAT.DFAE = 1で、FIFERR割り込み要求の発生を許可	R/W
b4	CMDLKIE	コマンドロック割り込み許可ビット	0 : FASTAT.CMDLK = 1で、FIFERR割り込み要求の発生を禁止 1 : FASTAT.CMDLK = 1で、FIFERR割り込み要求の発生を許可	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CFAEIE	コードフラッシュメモリアクセス違反割り込み許可ビット	0 : FASTAT.CFAE = 1で、FIFERR割り込み要求の発生を禁止 1 : FASTAT.CFAE = 1で、FIFERR割り込み要求の発生を許可	R/W

FAEINTレジスタは、フラッシュアクセスエラー (FIFERR) 割り込み要求の発生を許可 / 禁止するためのレジスタです。

DFAEIE ビット (データフラッシュメモリアクセス違反割り込み許可ビット)

データフラッシュメモリアクセス違反が発生し、FASTAT.DFAE フラグが“1”になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

CMDLKIE ビット (コマンドロック割り込み許可ビット)

フラッシュシーケンサがコマンドロック状態に遷移し、FASTAT.CMDLK フラグが“1”になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

CFAEIE ビット (コードフラッシュメモリアクセス違反割り込み許可ビット)

コードフラッシュメモリアクセス違反が発生し、FASTAT.CFAE フラグが“1”になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

55.4.8 フラッシュレディ割り込み許可レジスタ (FRDYIE)

アドレス FLASH.FRDYIE 007F E018h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRDYI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRDYIE	フラッシュレディ割り込み許可ビット	0 : FRDY割り込み要求の発生を禁止 1 : FRDY割り込み要求の発生を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

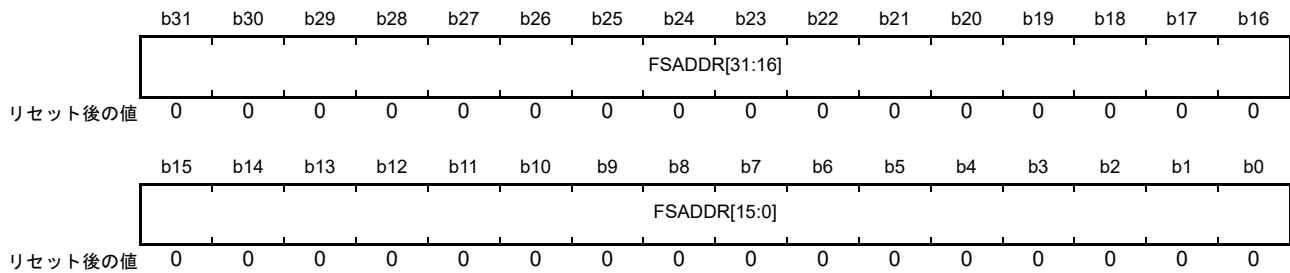
FRDYIE レジスタは、フラッシュレディ (FRDY) 割り込み要求の発生を許可 / 禁止するためのレジスタです。

FRDYIE ビット (フラッシュレディ割り込み許可ビット)

フラッシュシーケンサがプログラム / イレーズ、ブランクチェックのコマンド処理を完了して、FSTATR.FRDY フラグが“0”から“1”に変化した場合の FRDY 割り込み要求の発生を許可 / 禁止するためのビットです。

55.4.9 FACI コマンド処理開始アドレスレジスタ (FSADDR)

アドレス FLASH.FSADDR 007F E030h



ビット	シンボル	ビット名	機能	R/W
b31-b0	FSADDR[31:0]	FACI コマンド処理開始アドレスビット	FACI コマンド処理開始アドレス	R/W (注1)

注1. FSTATR.FRDY フラグが“1”の場合のみ書き込み可能です。FSTATR.FRDY フラグが“0”の場合の書き込みは無視されます。なお、下位2ビット(b1-b0)の値は“00b”固定です。

FSADDR レジスタは、プログラム、ブロックイレーズ、マルチブロックイレーズ、ブランクチェック、コンフィギュレーション設定の FACI コマンド発行時に、コマンド処理の対象領域の開始アドレスを指定するためのレジスタです。

FSUINITR.SUINIT ビットを“1”にすると、FSADDR レジスタを初期化できます。リセットでも初期化可能です。

FSADDR[31:0] ビット (FACI コマンド処理開始アドレスビット)

FACI コマンド処理の開始アドレスを指定するためのビットです。コードフラッシュメモリに対する FACI コマンド処理では b31 ~ b24 は無視されます。データフラッシュメモリに対する FACI コマンド処理では、b31 ~ b17 は無視されます。アドレス境界に満たないビットも無視されます。表 55.3 にコマンドごとのアドレス境界を示します。

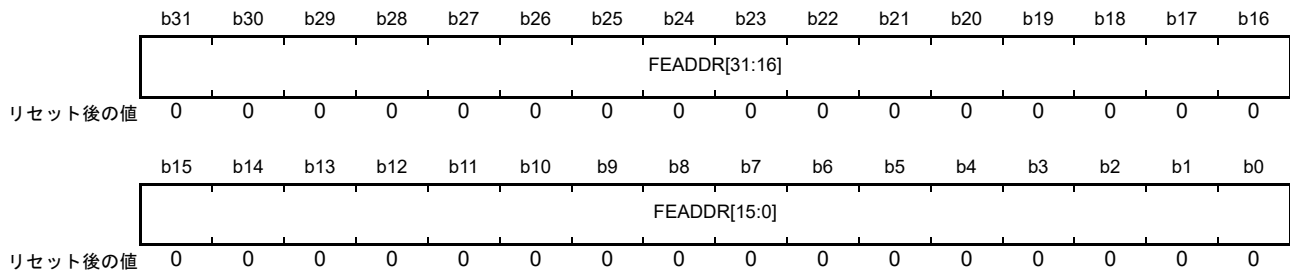
表 55.3 コマンドごとのアドレス境界

コマンド	アドレス境界
プログラム(コードフラッシュメモリ)	128バイト
プログラム(データフラッシュメモリ)	4バイト
ブロックイレーズ(コードフラッシュメモリ)	8Kまたは32Kバイト
ブロックイレーズ(データフラッシュメモリ)	64バイト
マルチブロックイレーズ(データフラッシュメモリ)	64/128/256バイト
ブランクチェック(データフラッシュメモリ)	4バイト
コンフィギュレーション設定	16バイト

オプション設定メモリ (コンフィギュレーション設定領域) の開始アドレスは「表 55.15 コンフィギュレーション設定コマンドで使用するアドレス」を参照してください。

55.4.10 FACI コマンド処理終了アドレスレジスタ (FEADDR)

アドレス FLASH.FEADDR 007F E034h



ビット	シンボル	ビット名	機能	R/W
b31-b0	FEADDR[31:0]	FACIコマンド処理終了アドレスビット	FACIコマンド処理終了アドレス	R/W (注1)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。なお、下位2ビット(b1-b0)の値は“00b”固定です。

FEADDR レジスタは、マルチブロックイレーズコマンド、ブランクチェックコマンド処理の対象領域の終了アドレスを指定するためのレジスタです。マルチブロックイレーズコマンド実行時、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。もし FSADDR レジスタの設定値が FEADDR レジスタの設定値より大きい場合、フラッシュシーケンサはコマンドロック状態になります。FBCCNT.BCDIR ビットが“0”の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。FBCCNT.BCDIR ビットが“1”の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以上にする必要があります。FBCCNT.BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定値に矛盾がある場合には、フラッシュシーケンサはコマンドロック状態になります (「55.10.2 エラープロテクション」参照)。

FSUINITR.SUINIT ビットを“1”にすると、FEADDR レジスタを初期化できます。リセットでも初期化可能です。

FEADDR[31:0] ビット (FACI コマンド処理終了アドレスビット)

マルチブロックイレーズコマンド、ブランクチェックコマンド処理の終了アドレスを指定するためのビットです。コマンド処理では、b31～b17 および「表 55.3 コマンドごとのアドレス境界」に示すアドレス境界に満たないビットは無視されます。

55.4.11 フラッシュステータスレジスタ (FSTATR)

アドレス FLASH.FSTATR 007F E080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	ILGCO MERR	FESET ERR	SECER R	OTERR	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FRDY	ILGLER R	ERSER R	PRGER R	SUSR DY	DBFUL L	ERSSP D	PRGSP D	—	FLWEE RR	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	FLWEERR	フラッシュ P/E プロテクトエラーフラグ	0: エラー未発生 1: エラー発生	R
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRGSPD	プログラムサスペンドステータスフラグ	0: 下記以外の状態 1: フラッシュシーケンサはプログラムの中断処理中またはプログラムサスペンド中	R
b9	ERSSPD	イレーズサスペンドステータスフラグ	0: 下記以外の状態 1: フラッシュシーケンサはイレーズの中断処理中またはイレーズサスペンド中	R
b10	DBFULL	データバッファフルフラグ	0: データバッファは空 1: データバッファはフル	R
b11	SUSRDY	サスペンドレディフラグ	0: フラッシュシーケンサがP/E サスペンドコマンドを受け付けられない 1: フラッシュシーケンサがP/E サスペンドコマンドを受け付け可能	R
b12	PRGERR	プログラムエラーフラグ	0: プログラム処理は正常終了 1: プログラム処理中にエラー発生	R
b13	ERSERR	イレーズエラーフラグ	0: イレーズ処理は正常終了 1: イレーズ処理中にエラー発生	R
b14	ILGLERR	イリーガルエラーフラグ	0: フラッシュシーケンサは不正なFACIコマンドや不正なフラッシュメモリアクセスを検出していない 1: フラッシュシーケンサは不正なFACIコマンドや不正なフラッシュメモリアクセスを検出した	R
b15	FRDY	フラッシュレディフラグ	0: プログラム、ブロックイレーズ、マルチブロックイレーズ、P/E サスペンド、P/E レジューム、強制終了、ブランクチェック、コンフィギュレーション設定のコマンド処理中 1: 上記の処理を実行していない	R
b19-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	OTERR	アザーエラーフラグ	0: エラー未発生 1: エラー発生	R
b21	SECERR	セキュリティエラーフラグ	0: FAW.FSPR ビットによる書き込み保護に違反していない 1: FAW.FSPR ビットによる書き込み保護に違反した	R
b22	FESETERR	FENTRY 設定エラーフラグ	0: FENTRYR レジスタの設定エラーを検出していない 1: FENTRYR レジスタの設定エラーを検出した	R
b23	ILGCOMERR	イリーガルコマンドエラーフラグ	0: フラッシュシーケンサは不正なFACIコマンドエラーを検出していない 1: フラッシュシーケンサは不正なFACIコマンドエラーを検出した	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FSTATR レジスタは、フラッシュシーケンサの状態を示すレジスタです。

FLWEERR フラグ (フラッシュ P/E プロテクトエラーフラグ)

FWEPOR レジスタによるフラッシュメモリのプログラム/イレーズ保護に違反したことを示すフラグです。FLWEERR フラグが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。

["1" になる条件]

- 「表 55.16 エラープロテクト一覧」を参照してください。

["0" になる条件]

- フラッシュシーケンサが強制終了コマンドの処理を開始した後

PRGSPD フラグ (プログラムサスペンドステータスフラグ)

フラッシュシーケンサがプログラムの中断処理中またはプログラムサスペンド状態に遷移したことを示すフラグです。

["1" になる条件]

- フラッシュシーケンサがプログラムの中断処理を開始した後

["0" になる条件]

- フラッシュシーケンサが P/E レジュームコマンドを受け付けた後
(FACI コマンド発行領域に対するライトアクセスが完了した後)
- フラッシュシーケンサが強制終了コマンドの処理を開始した後

ERSSPD フラグ (イレーズサスペンドステータスフラグ)

フラッシュシーケンサがイレーズの中断処理中またはイレーズサスペンド状態に遷移したことを示すフラグです。

["1" になる条件]

- フラッシュシーケンサがイレーズの中断処理を開始した後

["0" になる条件]

- フラッシュシーケンサが P/E レジュームコマンドを受け付けた後
(FACI コマンド発行領域に対するライトアクセスが完了した後)
- フラッシュシーケンサが強制終了コマンドの処理を開始した後

DBFULL フラグ (データバッファフルフラグ)

プログラムコマンド、コンフィギュレーション設定コマンド発行時のデータバッファ状態を示すフラグです。FACI にはプログラムデータ用のバッファ (データバッファ) が内蔵されています。データバッファがフルの状態、FACI コマンド発行領域にフラッシュメモリへのプログラムデータを発行すると、FACI は内部周辺バス 6 にウェイトを挿入します。

["1" になる条件]

- プログラムコマンド、コンフィギュレーション設定コマンド発行中にデータバッファがフルになった後

["0" になる条件]

- データバッファが空になった後

SUSRDY フラグ (サスペンドレディフラグ)

フラッシュシーケンサが P/E サスペンドコマンドを受け付け可能かどうかを示すフラグです。

["1" になる条件]

- フラッシュシーケンサがプログラム/イレーズ処理を開始後、P/E サスペンドコマンドの受け付け可能な状態に遷移した後

["0"になる条件]

- フラッシュシーケンサがP/Eサスペンドコマンド、強制終了コマンドを受け付けた後 (FACIコマンド発行領域に対するライトアクセスが完了した後)
- プログラム/イレーズ処理中にコマンドロック状態に遷移した後
- プログラム/イレーズ処理が完了した後

PRGERR フラグ (プログラムエラーフラグ)

フラッシュメモリのプログラム処理の結果を示すフラグです。PRGERRフラグが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。

["1"になる条件]

- 「表 55.16 エラープロテクト一覧」を参照してください。

["0"になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

ERSERR フラグ (イレーズエラーフラグ)

フラッシュメモリのイレーズ処理の結果を示すフラグです。ERSERRフラグが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。

["1"になる条件]

- 「表 55.16 エラープロテクト一覧」を参照してください。

["0"になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

ILGLERR フラグ (イリーガルエラーフラグ)

フラッシュシーケンサが不正なFACIコマンドやフラッシュメモリアccessを検出したことを示すフラグです。ILGLERRフラグが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。

["1"になる条件]

- 「表 55.16 エラープロテクト一覧」を参照してください。

["0"になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

FRDY フラグ (フラッシュレディフラグ)

フラッシュシーケンサのコマンド処理状態を示すフラグです。

["1"になる条件]

- フラッシュシーケンサがコマンド処理を完了した後
- フラッシュシーケンサがP/Eサスペンドコマンドを受け付けて、フラッシュメモリのプログラム/イレーズ処理を中断した後
- フラッシュシーケンサが強制終了コマンドを受け付けて、コマンド処理を終了した後

["0"になる条件]

- フラッシュシーケンサがプログラム、コンフィギュレーション設定のFACIコマンドを受け付け、FACIコマンド発行領域に対する最初のライトアクセスの後
- フラッシュシーケンサがプログラム、コンフィギュレーション設定以外のFACIコマンドを受け付け、FACIコマンド発行領域に対する最終のライトアクセスの後

OTERR フラグ (アザーエラーフラグ)

コマンド受け付け条件を満たさない状態で FACI コマンドを発行したことを示すフラグです。OTERR フラグが“1”の場合、フラッシュシーケンサはコマンドロック状態になります。

[“1”になる条件]

- 「表 55.16 エラープロテクト一覧」を参照してください。

[“0”になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

SECERR フラグ (セキュリティエラーフラグ)

FAW.FSPR ビットによる書き込み保護に違反したことを示すフラグです。SECERR フラグが“1”の場合、フラッシュシーケンサはコマンドロック状態になります。

[“1”になる条件]

- 「表 55.16 エラープロテクト一覧」を参照してください。

[“0”になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

FESETERR フラグ (FENTRY 設定エラーフラグ)

FENTRYR レジスタに“AA81h”を書き込んだこと、または P/E サスペンド時と P/E レジューム時で FENTRYR レジスタの値が異なることを示すフラグです。FESETERR フラグが“1”の場合、フラッシュシーケンサはコマンドロック状態になります。

[“1”になる条件]

- 「表 55.16 エラープロテクト一覧」を参照してください。

[“0”になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

ILGCOMERR フラグ (イリーガルコマンドエラーフラグ)

フラッシュシーケンサが不正な FACI コマンドを検出したことを示すフラグです。ILGCOMERR フラグが“1”の場合、フラッシュシーケンサはコマンドロック状態になります。

[“1”になる条件]

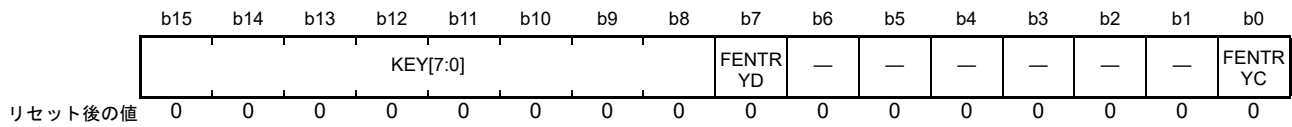
- 「表 55.16 エラープロテクト一覧」を参照してください。

[“0”になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

55.4.12 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス FLASH.FENTRYR 007F E084h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRYC	コードフラッシュメモリ P/E モードエントリビット	0 : コードフラッシュメモリはリードモード 1 : コードフラッシュメモリはP/Eモード	R/W (注1、注2)
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	データフラッシュメモリ P/E モードエントリビット	0 : データフラッシュメモリはリードモード 1 : データフラッシュメモリはP/Eモード	R/W (注1、注2)
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

- 注1. FSTATR.FRDY フラグが“1”の場合のみ書き込み可能です。FSTATR.FRDY フラグが“0”の場合の書き込みは無視されます。
 注2. KEY[7:0]ビットを“AAh”にした16ビット単位の書き込みを行った場合のみ、書き込みが有効になります。
 注3. 書き込んだ値は保持されません。読んだ場合、“0”が読めます。

FENTRYR レジスタはコードフラッシュメモリ P/E モード、データフラッシュメモリ P/E モードを設定するためのレジスタです。FACI コマンドを受け付け可能にするためには、FENTRYD ビットと FENTRYC ビットのいずれかのビットを“1”に設定して、フラッシュシーケンサを P/E モードにする必要があります。

FENTRYR レジスタに“AA81h”を書くと、FSTATR.ILGLERR フラグ、および FSTATR.FESETERR フラグが“1”になり、フラッシュシーケンサはコマンドロック状態になります。

FSUINITR.SUINIT ビットを“1”にすると、FENTRYR レジスタを初期化できます。リセットでも初期化可能です。

FENTRYC ビット (コードフラッシュメモリ P/E モードエントリビット)

コードフラッシュメモリの P/E モードを設定するためのビットです。

[“1”になる条件]

- FSTATR.FRDY フラグが“1”かつ FENTRYR レジスタが“0000h”の状態、FENTRYR レジスタに“AA01h”を書き込んだ場合

[“0”になる条件]

- FSTATR.FRDY フラグが“1”の状態、FENTRYR レジスタに 8 ビット単位で書き込んだ場合
- FSTATR.FRDY フラグが“1”の状態、KEY[7:0] ビットに“AAh”以外の値を指定して FENTRYR レジスタに 16 ビット単位で書き込んだ場合
- FSTATR.FRDY フラグが“1”の状態、FENTRYR レジスタに“AA00h”を書き込んだ場合
- FSTATR.FRDY フラグが“1”の状態かつ FENTRYR レジスタが“0000h”以外の状態で FENTRYR レジスタに書き込んだ場合
- FSUINITR.SUINIT ビットに“1”を書いてフラッシュシーケンサの設定を初期化したとき

FENTRYD ビット (データフラッシュメモリ P/E モードエントリビット)

データフラッシュメモリの P/E モードを設定するためのビットです。

[“1”になる条件]

- FSTATR.FRDY フラグが“1”かつ FENTRYR レジスタが“0000h”の状態、FENTRYR レジスタに“AA80h”を書き込んだ場合

[“0”になる条件]

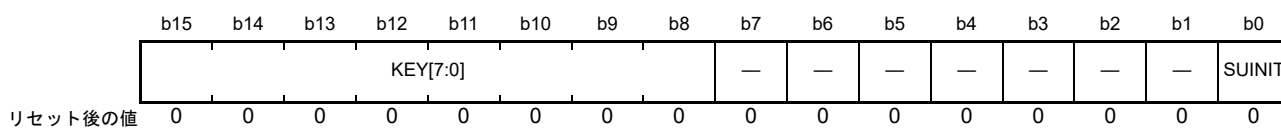
- FSTATR.FRDY フラグが“1”の状態、FENTRYR レジスタに 8 ビット単位で書き込んだ場合
- FSTATR.FRDY フラグが“1”の状態、KEY[7:0] ビットに“AAh”以外の値を指定して FENTRYR レジスタに 16 ビット単位で書き込んだ場合
- FSTATR.FRDY フラグが“1”の状態、FENTRYR レジスタに“AA00h”を書き込んだ場合
- FSTATR.FRDY フラグが“1”の状態かつ FENTRYR レジスタが“0000h”以外の状態で FENTRYR レジスタに書き込んだ場合
- FSUINITR.SUINIT ビットに“1”を書いてフラッシュシーケンサの設定を初期化したとき

KEY[7:0] ビット (キーコードビット)

FENTRYD ビットおよび FENTRYC ビットの書き換えの可否を制御します。

55.4.13 フラッシュシーケンサ設定初期化レジスタ (FSUINITR)

アドレス FLASH.FSUINITR 007F E08Ch



ビット	シンボル	ビット名	機能	R/W
b0	SUINIT	設定初期化ビット	0 : FEADDR、FCPSR、FSADDR、FENTRYR、FBCCNTのフラッシュシーケンサの設定レジスタ値は保持 1 : FEADDR、FCPSR、FSADDR、FENTRYR、FBCCNTのフラッシュシーケンサの設定レジスタを初期化	R/W (注1、注2)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。

注2. KEY[7:0]ビットを“2Dh”にした16ビット単位の書き込みを行った場合のみ、書き込みが有効になります。

注3. 書き込んだ値は保持されません。読んだ場合、“0”が読めます。

FSUINITR レジスタは、フラッシュシーケンサの設定を初期化するためのレジスタです。

SUINIT ビット (設定初期化ビット)

下記のフラッシュシーケンサの設定レジスタを初期化します。

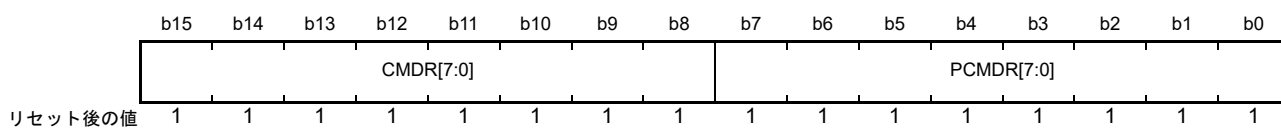
- FEADDR
- FCPSR
- FSADDR
- FENTRYR
- FBCCNT

KEY[7:0] ビット (キーコードビット)

SUINIT ビットの書き換えの可否を制御します。

55.4.14 FACI コマンドレジスタ (FCMDR)

アドレス FLASH.FCMDR 007F E0A0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCMDR[7:0]	プレコマンドフラグ	1つ前のコマンド格納	R
b15-b8	CMDR[7:0]	コマンドフラグ	最新コマンド格納	R

FCMDR レジスタは、FACI が受け付けたコマンドを示すレジスタです。

PCMDR[7:0] フラグ (プレコマンドフラグ)

FACI が受け付けた 1 つ前のコマンドを格納します。

CMDR[7:0] フラグ (コマンドフラグ)

FACI が受け付けた最新のコマンドを格納します。

表 55.4 各コマンド受け付け後のFCMDRレジスタの状態

コマンド	CMDR	PCMDR
プログラム	E8h	前回コマンド
ブロックイレーズ	D0h	20h
マルチブロックイレーズ	D0h	21h
P/Eサスペンド	B0h	前回コマンド
P/Eレジャーム	D0h	前回コマンド
ステータスクリア	50h	前回コマンド
強制終了	B3h	前回コマンド
ブランクチェック	D0h	71h
コンフィギュレーション設定	40h	前回コマンド

55.4.15 データフラッシュブランクチェック制御レジスタ (FBCCNT)

アドレス FLASH.FBCCNT 007F E0D0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCDIR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCDIR	ブランクチェック方向ビット	0: 小さいアドレスから大きいアドレスの方向にブランクチェック処理を実行します(加算モード) 1: 大きいアドレスから小さいアドレスの方向にブランクチェック処理を実行します(減算モード)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FBCCNT レジスタは、ブランクチェックコマンド処理時のアドレッシングモードを指定するためのレジスタです。FSUINITR.SUINIT ビットを“1”にすると、FBCCNT レジスタを初期化できます。リセットでも初期化可能です。

BCDIR ビット (ブランクチェック方向ビット)

ブランクチェック動作時のアドレッシングモードを指定するためのビットです。

55.4.16 データフラッシュブランクチェックステータスレジスタ (FBCSTAT)

アドレス FLASH.FBCSTAT 007F E0D4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCST	ブランクチェックステータスフラグ	0: ブランクチェック対象領域は未書き込み状態(イレーズ後に書き込んでいない状態。ブランク) 1: ブランクチェック対象領域は“0”データか“1”データを書き込まれた状態	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FBCSTAT レジスタは、ブランクチェックコマンドの結果を格納するレジスタです。

BCST フラグ (ブランクチェックステータスフラグ)

ブランクチェックコマンドの結果を示すフラグです。

["1"になる条件]

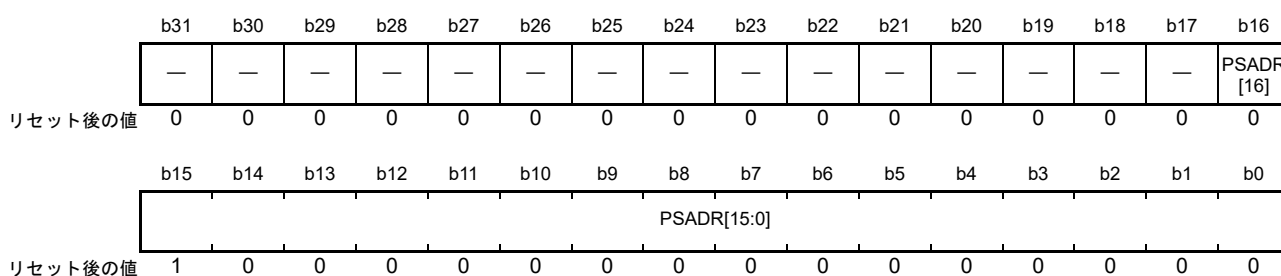
- ブランクチェックコマンドが実行され、対象領域が“0”データか“1”データを書き込まれた状態

["0"になる条件]

- ブランクチェックコマンドが実行され、対象領域がブランクである場合

55.4.17 データフラッシュ書き込み開始アドレスレジスタ (FPSADDR)

アドレス FLASH.FPSADDR 007F E0D8h



ビット	シンボル	ビット名	機能	R/W
b16-b0	PSADR[16:0]	書き込み領域開始アドレスビット	書き込み済みアドレス値	R
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FPSADDR レジスタは、ブランクチェックコマンド処理時に検出した最初の書き込み済みアドレスの値を示すレジスタです。

PSADR[16:0] ビット (書き込み領域開始アドレスビット)

ブランクチェックコマンド処理時に検出した最初の書き込み済みアドレスの値を示すビットです。データフラッシュメモリ領域の先頭アドレスからのオフセット値が格納されます。PSADR ビットの値は、FBCSTAT.BCST ビットが“1”の状態でのみ有効です。

55.4.18 フラッシュシーケンサ処理切り替えレジスタ (FCPSR)

アドレス FLASH.FCPSR 007F E0E0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSP MD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESUSPMD	イレーズサスペンドモードビット	0 : サスペンド優先モード 1 : イレーズ優先モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

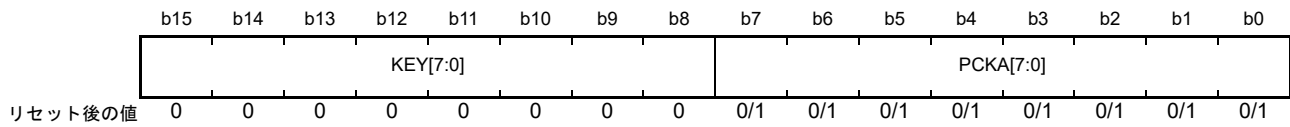
FCPSR レジスタはイレーズサスペンドモードを選択するためのレジスタです。FSUINTR.SUINIT ビットを“1”にすると、FCPSR レジスタを初期化できます。リセットでも初期化可能です。

ESUSPMD ビット (イレーズサスペンドモードビット)

フラッシュシーケンサがイレーズ処理を実行中に、P/E サスペンドコマンドが発行された場合のイレーズサスペンドモードを選択するためのビットです (「55.8.3.9 P/E サスペンドコマンド」参照)。ESUSPMD ビットは、ブロックイレーズコマンドを発行する前に設定する必要があります。

55.4.19 フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR)

アドレス FLASH.FPCKAR 007F E0E4h



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCKA[7:0]	フラッシュシーケンサ処理クロック周波数通知ビット	FlashIF クロック (FCLK) の周波数を設定し、フラッシュシーケンサに使用周波数を通知	R/W (注1、注2)
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDY フラグが“1”の場合のみ書き込み可能です。FSTATR.FRDY フラグが“0”の場合の書き込みは無視されます。

注2. KEY[7:0] ビットを“1Eh”にした16ビット単位の書き込みを行った場合のみ、書き込みが有効になります。

注3. 書き込んだ値は保持されません。読んだ場合、“0”が読めます。

FPCKAR レジスタは、クロック発生回路で生成した FlashIF クロック (FCLK) の周波数を設定し、フラッシュシーケンサに使用周波数を通知するためのレジスタです。フラッシュシーケンサは、FPCKAR レジスタで通知された周波数に基づいて FACI コマンド処理時間を決めます。また、初期値は、FCLK の最高動作周波数に設定されます。

PCKA[7:0] ビット (フラッシュシーケンサ処理クロック周波数通知ビット)

FCLK の周波数を設定し、フラッシュシーケンサに使用周波数を通知するためのビットです。FACI コマンドを発行する前に、PCKA[7:0] ビットに周波数を設定してください。MHz 単位で表現した動作周波数を 2 進数に変換し、PCKA[7:0] ビットに設定してください。

例) 周波数が 35.9MHz の場合 (PCKA[7:0] = 24h)

35.9MHz の小数第 1 位を切り上げ

36 を 2 進数に変換

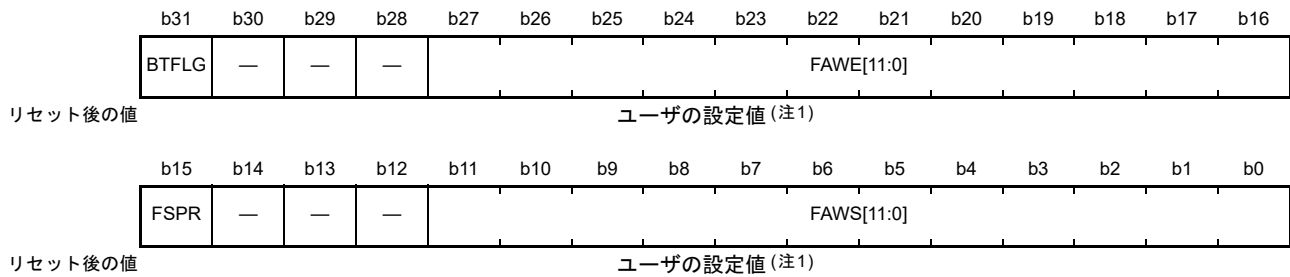
PCKA[7:0] ビットの設定値が FCLK の周波数よりも小さい場合には、フラッシュメモリの書き換え特性を保証できません。PCKA[7:0] ビットの設定値が FCLK の周波数よりも大きい場合には、書き換え時間などの FACI コマンド処理時間が長くなりますが、フラッシュメモリの書き換え特性は保証されます (FCLK の周波数と PCKA[7:0] ビットの設定値が同一の場合に、FACI コマンド処理時間が最短になります)。

KEY[7:0] ビット (キーコードビット)

PCKA[7:0] ビットの書き換えの可否を制御します。

55.4.20 フラッシュアクセスウィンドウモニタレジスタ (FAWMON)

アドレス FLASH.FAWMON 007F E0DCh



ビット	シンボル	ビット名	機能	R/W
b11-b0	FAWS[11:0]	フラッシュアクセスウィンドウスタートアドレスビット	フラッシュアクセスウィンドウスタートアドレス	R
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FSPR	アクセスウィンドウプロテクションフラグ	0 : プロテクションあり (P/E 禁止) 1 : プロテクションなし (P/E 可能)	R
b27-b16	FAWE[11:0]	フラッシュアクセスウィンドウエンドアドレスビット	フラッシュアクセスウィンドウエンドアドレス	R
b30-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	BTFLG	スタートアップ領域選択フラグ(注2)	0 : スタートアップ領域0はFFFF C000h~FFFF DFFFh番地、 スタートアップ領域1はFFFF E000h~FFFF FFFFh番地 1 : スタートアップ領域1はFFFF C000h~FFFF DFFFh番地、 スタートアップ領域0はFFFF E000h~FFFF FFFFh番地	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

注2. FSUACR.SAS[1:0]ビットを1xbに変更した場合、FAW.BTFLGビットの設定にかかわらず、スタートアップ領域はFSUACR.SAS[1:0]ビットの設定に従います。

FAWMON レジスタは、フラッシュアクセスウィンドウスタートアドレス、フラッシュアクセスウィンドウエンドアドレス、アクセスウィンドウを設定するための書き込みプロテクションフラグとスタートアップ領域選択フラグの値を示すためのレジスタです。リセットまたはコンフィギュレーション設定コマンド実行の際に、FACI がオプション設定メモリから FAWMON レジスタヘデータを転送し、オプション設定メモリの設定が有効になります。

FAWS[11:0] ビット (フラッシュアクセスウィンドウスタートアドレスビット)

フラッシュアクセスウィンドウスタートアドレスビットは、アクセスウィンドウの開始アドレス設定値を確認するためのビットです。

FSPR フラグ (アクセスウィンドウプロテクションフラグ)

アクセスウィンドウプロテクションフラグは、アクセスウィンドウ設定に対するコンフィギュレーション設定コマンドと FSUACR レジスタ書き込みに対するプロテクションの有無を示します。

FAWE[11:0] ビット (フラッシュアクセスウィンドウエンドアドレスビット)

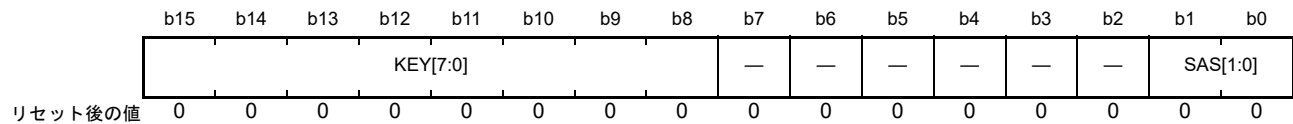
フラッシュアクセスウィンドウエンドアドレスビットは、アクセスウィンドウの終了アドレス設定値を確認するためのビットです。フラッシュアクセスウィンドウエンドアドレスの値は、アクセスウィンドウによって設定された書き込み/消去可能なブロックの次のブロックの先頭アドレスを示します。

BTFLG フラグ (スタートアップ領域選択フラグ)

スタートアップ領域選択フラグは、スタートアッププログラム保護機能を用いてスタートアップ領域を入れ替えているか否かを示します。

55.4.21 スタートアップ領域コントロールレジスタ (FSUACR)

アドレス FLASH.FSUACR 007F E0E8h



ビット	シンボル	ビット名	機能	R/W
b1-b0	SAS[1:0]	スタートアップ領域選択ビット	b1 b0 0 x : FAW.BTFLG ビットに従い、スタートアップ領域が選択されます 1 0 : FAW.BTFLG ビットの設定に関わらず、スタートアップ領域0のアドレスをFFFF E000h~FFFF FFFFh、スタートアップ領域1のアドレスをFFFF C000h~FFFF DFFFhとします 1 1 : FAW.BTFLG ビットの設定に関わらず、スタートアップ領域1のアドレスをFFFF E000h~FFFF FFFFh、スタートアップ領域0のアドレスをFFFF C000h~FFFF DFFFhとします	R/W (注1、注2)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

x : Don't care

注1. FAW.FSPR ビットが“1”の場合のみ書き込み可能です。FAW.FSPR ビットが“0”の場合の書き込みは無視されます。

注2. KEY[7:0] ビットを“66h”にした16ビット単位の書き込みを行った場合のみ、書き込みが有効になります。

注3. 書き込んだ値は保持されません。読んだ場合、“0”が読めます。

FSUACR レジスタは、スタートアッププログラム保護機能でスタートアップ領域 0 とスタートアップ領域 1 を入れ替えるためのレジスタです。

デュアルモード時 (MDE.BANKMD[2:0] = 000b) は、本レジスタは使用しないでください。デュアルモード時のスタートアップ領域はスタートアップ領域 0 となります。

SAS[1:0] ビット (スタートアップ領域選択ビット)

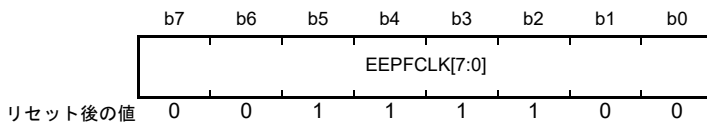
スタートアップ領域選択ビットは、スタートアップ領域 0 とスタートアップ領域 1 を入れ替えるために用いられます。

KEY[7:0] ビット (キーコードビット)

SAS[1:0] ビットの書き換えの可否を制御します。

55.4.22 データフラッシュメモリアクセス周波数設定レジスタ (EEPFCCLK)

アドレス FLASH.EEPFCCLK 007F C040h



このレジスタはデータフラッシュメモリのリード速度を最適化します。

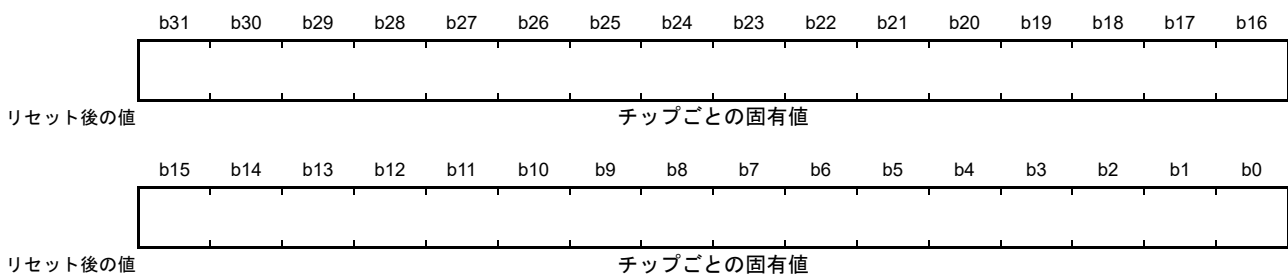
データフラッシュメモリのアクセスクロックである内部周辺バス 6 の周辺モジュールクロック (FCLK) の周波数を MHz 単位で設定してください。例えば、周波数が 35.9MHz の場合は小数点第 1 位を切り上げ、36 を設定してください。データフラッシュメモリのアクセスに必要なサイクルが周波数に応じて入ります。

FCLK の周波数を変更する場合、以下の手順に従い、変更前後で遅い方の周波数で動作している状態でデータフラッシュメモリアクセス周波数設定レジスタ (EEPFCCLK) を変更してください。

- 低速から高速に変更する場合：EEPFCCLK を変更し、EEPFCCLK を読み出して確認した後に、周波数を変更。
- 高速から低速に変更する場合：周波数を変更し、周波数が切り替わった後、EEPFCCLK を変更。

55.4.23 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)

アドレス FLASHCONST.UIDR0 FE7F 7D90h, FLASHCONST.UIDR1 FE7F 7D94h, FLASHCONST.UIDR2 FE7F 7D98h, FLASHCONST.UIDR3 FE7F 7D9Ch



注. このレジスタは、SYSCR0.ROMEビットが“1” (内蔵ROM有効)のときのみ読み出せます。

UIDRn レジスタは、MCU の個体を識別するための 16 バイトの ID コード (ユニーク ID) が格納されている読み出し専用のレジスタです。UIDRn レジスタは、32 ビット単位で読み出してください。

55.5 フラッシュメモリ関連の動作モード

図 55.7 にフラッシュメモリに関するモード遷移図を示します。モード設定の方法については「3. 動作モード」を参照してください。

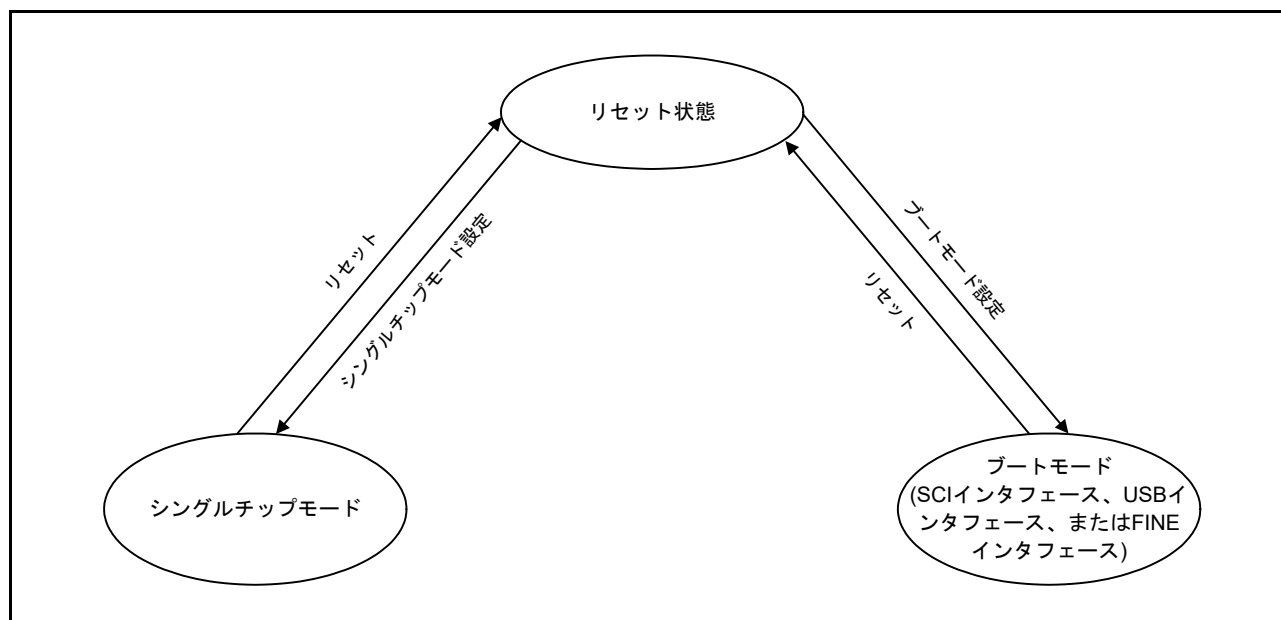


図 55.7 フラッシュメモリに関するモード遷移図

各モードでプログラム/イレーズが可能なフラッシュメモリの領域、リセット後の起動プログラムが異なります。各モードの相違点を表 55.5 にまとめます。

表 55.5 各モードの相違点

項目	シングルチップモード、または 内蔵ROM有効拡張モード	ブートモード (SCIインタフェース、USBインタフェース またはFINEインタフェース)
プログラム/イレーズが可能な領域	コードフラッシュメモリ データフラッシュメモリ オプション設定メモリ(プログラムのみ可能)	コードフラッシュメモリ データフラッシュメモリ オプション設定メモリ
リセット時の起動プログラム	コードフラッシュメモリのプログラム	ブートプログラム

55.6 フラッシュシーケンサの動作モード

フラッシュシーケンサには、図 55.8 に示す 3 種類のモードがあります。モードの移行は、FENTRYR レジスタの書き込みで行います。

FENTRYR レジスタが“0000h”の場合には、フラッシュシーケンサはリードモードになります。このモードでは、FACI コマンドを受け付けません。コードフラッシュメモリ、データフラッシュメモリともにリードが可能です。

FENTRYR レジスタが“0001h”の場合には、フラッシュシーケンサはコードフラッシュメモリ P/E モードになります。コードフラッシュメモリ P/E モードでは、FACI コマンドを使用してコードフラッシュメモリのプログラム/イレーズを実行可能です。このモードでは、BGO 動作が不可能な条件下ではコードフラッシュメモリのリードはできません。BGO 動作が可能な条件下では、コードフラッシュメモリのリードが可能です。

FENTRYR レジスタが“0080h”の場合には、フラッシュシーケンサはデータフラッシュメモリ P/E モードになります。データフラッシュメモリ P/E モードでは、FACI コマンドを使用してデータフラッシュメモリのプログラム/イレーズを実行可能です。このモードでは、データフラッシュメモリのリードはできません。コードフラッシュメモリのリードは可能です。

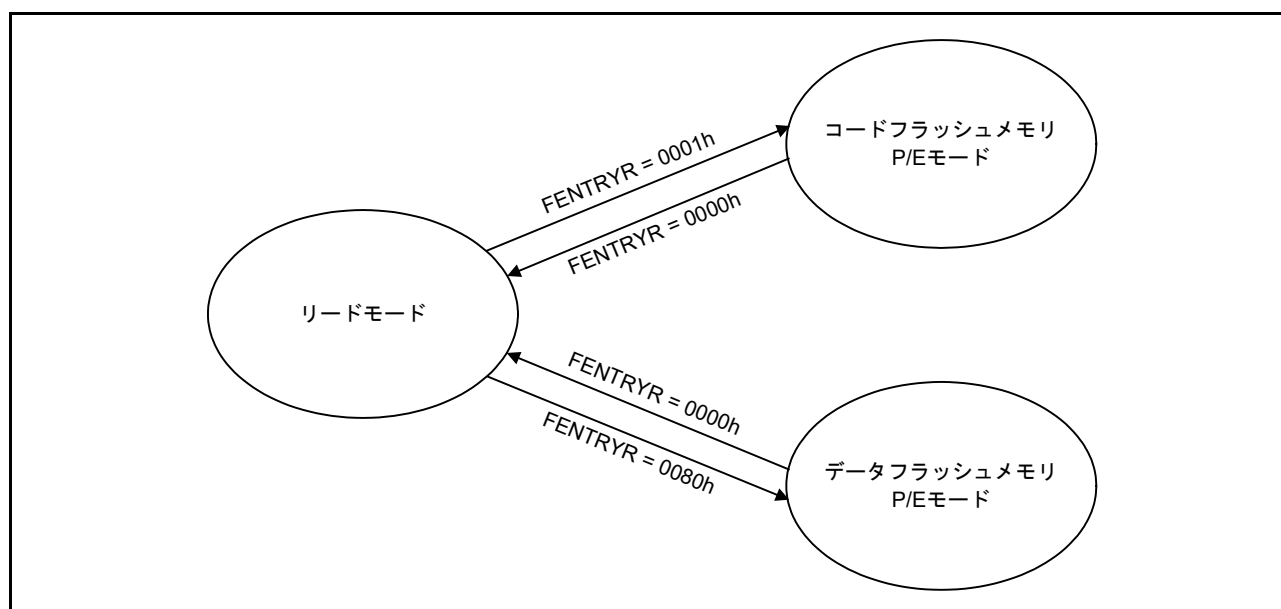


図 55.8 フラッシュシーケンサのモード

55.7 機能概要

55.7.1 ROM キャッシュ

本 MCU は、下記の 3 種類のキャッシュを搭載しています。

- 命令キャッシュ (IF キャッシュ): 8K バイト
- データキャッシュ (OA キャッシュ): 16 バイト
- データキャッシュ (DM キャッシュ): 16 バイト

IF キャッシュと OA キャッシュは CPU 用、DM キャッシュは DMAC や DTC など CPU 以外のバスマスタ用のキャッシュです。

リセット解除後、プログラム/イレーズ後は自動的に無効化 (インバリデート) が行われます。

キャッシュ対象の領域は FFE0 0000h 番地 ~ FFFF FFFFh 番地の 2M バイトですが、この中にキャッシュ対象外の領域 (ノンキャッシュャブル領域) を 2 つまで設定できます。

55.7.1.1 ノンキャッシュャブル領域の設定

本 MCU に実装されているフラッシュメモリは NCRGn レジスタ (n = 0, 1) と NCRCn レジスタ (n = 0, 1) を設定することでキャッシュ対象領域内であっても、キャッシュ対象外にすることができます。それぞれのレジスタの設定とノンキャッシュャブル領域について図 55.9 に示します。

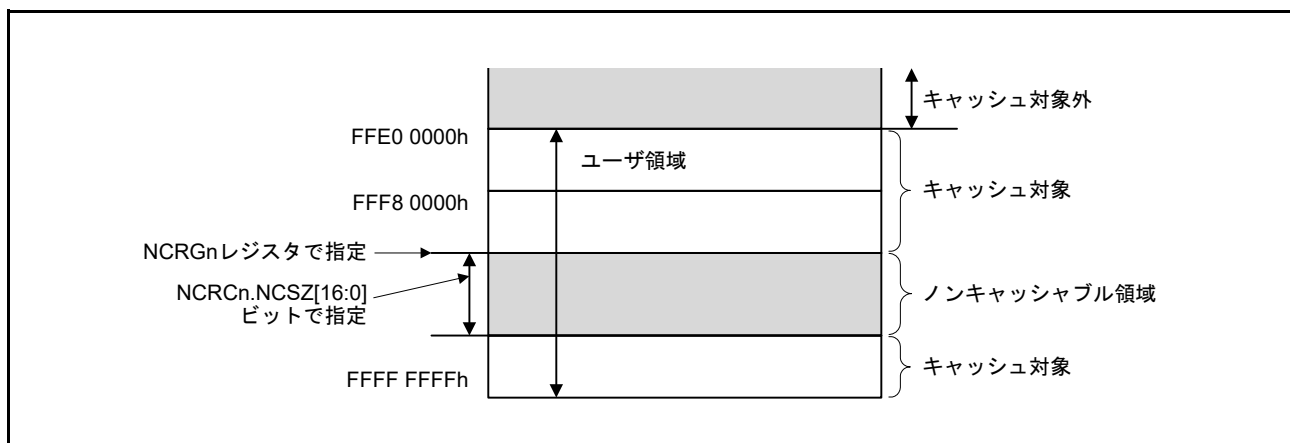


図 55.9 ノンキャッシュャブル領域指定 (n = 0, 1)

NCRCn.NCSZ[16:0] ビットの設定値と NCRGn レジスタの設定値には、表 55.6 に示す制限事項があります。

表 55.6 NCRn.NCSZ[16:0]ビット設定値とNCRGnレジスタ設定値の制限事項

NCRn.NCSZ[16:0]ビット設定値	NCRGnレジスタ設定値の制限事項
0 0000 0000 0000 0000 : 16バイト	制限事項なし
0 0000 0000 0000 0001 : 32バイト	NCRGnレジスタのb4は、無視されます。
0 0000 0000 0000 0011 : 64バイト	NCRGnレジスタのb5-b4は、無視されます。
0 0000 0000 0000 0111 : 128バイト	NCRGnレジスタのb6-b4は、無視されます。
0 0000 0000 0000 1111 : 256バイト	NCRGnレジスタのb7-b4は、無視されます。
0 0000 0000 0001 1111 : 512バイト	NCRGnレジスタのb8-b4は、無視されます。
0 0000 0000 0011 1111 : 1Kバイト	NCRGnレジスタのb9-b4は、無視されます。
0 0000 0000 0111 1111 : 2Kバイト	NCRGnレジスタのb10-b4は、無視されます。
0 0000 0000 1111 1111 : 4Kバイト	NCRGnレジスタのb11-b4は、無視されます。
0 0000 0001 1111 1111 : 8Kバイト	NCRGnレジスタのb12-b4は、無視されます。
0 0000 0011 1111 1111 : 16Kバイト	NCRGnレジスタのb13-b4は、無視されます。
0 0000 0111 1111 1111 : 32Kバイト	NCRGnレジスタのb14-b4は、無視されます。
0 0000 1111 1111 1111 : 64Kバイト	NCRGnレジスタのb15-b4は、無視されます。
0 0001 1111 1111 1111 : 128Kバイト	NCRGnレジスタのb16-b4は、無視されます。
0 0011 1111 1111 1111 : 256Kバイト	NCRGnレジスタのb17-b4は、無視されます。
0 0111 1111 1111 1111 : 512Kバイト	NCRGnレジスタのb18-b4は、無視されます。
0 1111 1111 1111 1111 : 1Mバイト	NCRGnレジスタのb19-b4は、無視されます。

55.7.2 プログラム / イレース方式

本 MCU のフラッシュメモリは、フラッシュメモリプログラマにより、ターゲットシステムへの実装前、実装後にかかわらず書き換えが可能です。

また、フラッシュメモリに書かれたユーザプログラムの書き換えやリードを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざんや不正リード防止などに対応可能となっています。コードフラッシュメモリの TM 対象領域については、TM 機能を使用することで常にリードを防止することができます。

ユーザプログラムによる書き換え (セルフプログラミング) は、ターゲットシステムの製造 / 出荷後のプログラムやデータの変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリを安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信制御に関する割り込み処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各書き換え方式の概要と対応する動作モードを表 55.7 に示します。

表 55.7 書き換え方式

書き換え方式	機能概要	動作モード
フラッシュメモリプログラマによる書き換え	シリアルプログラマを用いてターゲットシステム上に実装後にフラッシュメモリのオンボード書き換えが可能です。TM機能を有効/無効にすることもできます。	ブートモード
	パラレルプログラマと専用プログラムアダプタボードを用いることにより、ターゲットシステムに実装する前に、フラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	<p>シリアルプログラミングによりコードフラッシュメモリへあらかじめ書き込まれたユーザプログラムの実行により、フラッシュメモリの書き換えが可能です。TM機能を有効にすることもできます。</p> <p>セルフプログラミングによるデータフラッシュメモリの書き換え時には、BGO機能によりコードフラッシュメモリからの命令フェッチおよびデータの読み出しが可能です。このため、コードフラッシュメモリ上の書き換え用のプログラムを実行しながら、データフラッシュメモリを書き換えることができます。</p> <p>また、書き換え対象のコードフラッシュメモリ領域と読み出し対象のコードフラッシュメモリ領域のアドレス範囲が特定条件を満たすときにもBGO機能を利用可能です(表55.25参照)。この場合、セルフプログラミング時に、コードフラッシュメモリ上の書き換え用のプログラムを実行しながら、コードフラッシュメモリを書き換えることができます。</p> <p>BGO機能を利用できない場合は、セルフプログラミングによるコードフラッシュメモリの書き換え時には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。内蔵RAMまたは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。</p>	シングルチップモード 内蔵ROM有効拡張モード

フラッシュメモリの機能一覧を表 55.8 に示します。シリアルプログラミングにおける各機能は、シリアルプログラムのコマンドで実現されます。セルフプログラミングにおける各機能は、FACI コマンドまたはユーザプログラムによるフラッシュメモリのリードで実現されます。

セキュリティ機能の設定は、「7. オプション設定メモリ (OFSM)」の「7.2.1 シリアルプログラマコマンド制御レジスタ (SPCC)」を参照してください。

表 55.8 基本機能一覧

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレーズ後にプログラムされていない状態のデータフラッシュメモリのリード結果は保証されません。イレーズ後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	○	○
ブロックイレーズ	指定したブロックをイレーズします。	○	○
マルチブロックイレーズ	指定したデータフラッシュメモリのブロックをイレーズします。	×	○
プログラム	指定したアドレスのプログラムを行います。	○	○
ベリファイ/チェックサム	フラッシュメモリからリードしたデータと、シリアルプログラマから転送されたデータを比較します。	○	× (ユーザプログラムにて読み出しは可能)
リード	フラッシュメモリにプログラムしたデータをリードします。	○	○
制御コード、またはIDコードの設定	OSIS レジスタを設定します。	○	○
シリアルプログラマ接続禁止	シリアルプログラマ接続の許可/禁止を設定します。	○	△ (設定を許可から禁止にする場合のみ可能)
オンチップデバッグ接続禁止	オンチップデバッグ接続の許可/禁止を設定します。	○	△ (設定を許可から禁止にする場合のみ可能)
エリアプロテクションとスタートアッププログラム保護機能	エリアプロテクションとスタートアッププログラム保護機能を設定します。	○	○
オプション機能選択	オプション機能選択を行い、本MCUの初期設定を変更します。	○	○
コンフィギュレーションクリア	オプション設定メモリおよびTM対象領域をイレーズします。	○	×
デュアルバンク機能	リニアモード/デュアルモードの切り替えを行います。	○	○
TM機能の設定	TM機能を設定します。	○	△ (設定を無効から有効にする場合のみ可能)

○ : サポート、△ : 条件付サポート、× : 未サポート

55.7.3 セキュリティ機能

フラッシュメモリは、各種のセキュリティ機能をサポートしています。

セキュリティ機能は、シリアルプログラマ ID コードプロテクト、シリアルプログラマ接続禁止、オンチップデバッグ ID コードプロテクト、オンチップデバッグ接続禁止、ROM コードプロテクトがあります。

シリアルプログラミング時は、シリアルプログラマ ID コードプロテクト、シリアルプログラマ接続禁止を使用可能です。オンチップデバッグ使用時はオンチップデバッグ ID コードプロテクト、オンチップデバッグ接続禁止を使用可能です。オフボードプログラミング時は ROM コードプロテクトが使用可能です。

フラッシュメモリでサポートされるセキュリティ機能を表 55.9 に示します。

表 55.9 セキュリティ機能一覧

機能	機能概要
シリアルプログラマ ID コードプロテクト	シリアルプログラマの接続を制御コード、および ID コードの判定結果で制御可能です。
シリアルプログラマ接続禁止	シリアルプログラミング時のシリアルプログラマの接続を禁止します。シリアルプログラマの接続を禁止すると、コンフィギュレーションクリアコマンドの実行が禁止されるため、セキュリティ機能の設定を禁止から許可に変更できなくなります。
オンチップデバッグ ID コードプロテクト	オンチップデバッグへの接続を ID コードの判定結果で制御可能です。
オンチップデバッグ接続禁止	オンチップデバッグへの接続を ID コードの設定にかかわらず禁止します。
ROM コードプロテクト	パラレルプログラマを使用する場合にフラッシュメモリのリード、プログラム/イレーズを禁止する機能です。

55.8 FACI コマンド

55.8.1 FACI コマンド一覧

表 55.10 FACIコマンド一覧

FACIコマンド	機能
プログラム	コードフラッシュメモリ、データフラッシュメモリをプログラムします。 コードフラッシュメモリのプログラム単位：128バイト データフラッシュメモリのプログラム単位：4バイト
ブロックイレーズ	コードフラッシュメモリ、データフラッシュメモリをイレーズします。 イレーズ単位：1ブロック (コードフラッシュメモリは8Kまたは32Kバイト、データフラッシュメモリは64バイト)
マルチブロックイレーズ	データフラッシュメモリをイレーズします。 イレーズ単位：64、128、256バイト
P/Eサスペンド	プログラムまたはイレーズの処理を中断します。
P/Eレジューム	中断したプログラム/イレーズの処理を再開します。
ステータスクリア	FSTATR.ILGLERR、ERSERR、PRGERR、ILGCOMERR、FESETERR、SECERR、OTERRフラグとFASTAT.CMDLK、CFAE、DFAEフラグを初期化して、フラッシュシーケンサのコマンドロック状態を解除します。
強制終了	FACIコマンド処理を強制的に終了し、FASTATレジスタ、FSTATRレジスタを初期化します。
ブランクチェック	データフラッシュメモリをブランクチェックします。 チェック範囲：4～8Kバイト(4バイト単位で指定)
コンフィギュレーション設定	オプション設定メモリ(コンフィギュレーション設定領域)の設定を行います。 設定単位：16バイト

FACI コマンド発行領域 (表 55.2 参照) に対して、ライトアクセスを行うことで、FACI コマンドを発行できます。表 55.11 に示したライトアクセスを特定の状態で発行すると、フラッシュシーケンサが各コマンドに対応した処理を実行します(「55.8.2 フラッシュシーケンサの状態と FACI コマンドの関係」参照)。

表 55.11 FACIコマンドのフォーマット

FACIコマンド	ライト回数	FACIコマンド発行領域にライトするデータ			
		第1アクセス	第2アクセス	第3～第(N+2)アクセス	第(N+3)アクセス
プログラム(コードフラッシュメモリ) 128バイトプログラム：N=64	67	E8h	40h (= N)	WD ₁ ~ WD ₆₄	D0h
プログラム(データフラッシュメモリ) 4バイトプログラム：N=2	5	E8h	02h (= N)	WD ₁ ~ WD ₂	D0h
ブロックイレーズ (コードフラッシュメモリ)	2	20h	D0h	—	—
ブロックイレーズ (データフラッシュメモリ 64バイト)	2	20h	D0h	—	—
マルチブロックイレーズ (データフラッシュメモリ 64 / 128 / 256バイト)	2	21h	D0h	—	—
P/Eサスペンド	1	B0h	—	—	—
P/Eレジューム	1	D0h	—	—	—
ステータスクリア	1	50h	—	—	—
強制終了	1	B3h	—	—	—
ブランクチェック	2	71h	D0h	—	—
コンフィギュレーション設定 N=8	11	40h	08h (= N)	WD ₁ ~ WD ₈	D0h

注. WD_N (N = 1, 2, ...) : N番目の16ビットプログラムデータ

フラッシュシーケンサは、ステータスクリア以外のコマンド処理を開始すると FSTATR.FRDY ビットを“0”にし、コマンド処理が完了すると FSTATR.FRDY ビットを“1”にします。

FRDYIE.FRDYIE ビットが“1”の場合、FSTATR.FRDY ビットが“1”になると、フラッシュレディ (FRDY) 割り込みが発生します。

55.8.2 フラッシュシーケンサの状態と FACL コマンドの関係

フラッシュシーケンサの各モード/状態で受け付け可能な FACL コマンドが決められています。FACL コマンドの発行は、フラッシュシーケンサをコードフラッシュメモリ P/E モードまたはデータフラッシュメモリ P/E モードに移行させた後、フラッシュシーケンサの状態を確認してから実施する必要があります。フラッシュシーケンサの状態の確認には、FSTATR レジスタと FASTAT レジスタを使用してください。なお、FASTAT.CMDLK フラグは、FSTATR レジスタの ILGLERR、ILGCOMERR、FESETERR、SECERR、OTERR、ERSERR、PRGERR、FLWEERR フラグの値の論理和です。このため、FASTAT.CMDLK フラグの値によって、エラーの発生有無を確認することができます。

各モードで使用可能なコマンドを表 55.12 に示します。

表 55.12 各モードで使用可能なコマンド

モード	FENTRYR レジスタの値	使用可能なコマンド
リードモード	0000h	なし
コードフラッシュメモリ P/E モード	0001h	プログラム ブロックイレーズ P/E サスペンド P/E レジューム ステータスクリア 強制終了 コンフィギュレーション設定
データフラッシュメモリ P/E モード	0080h	プログラム ブロックイレーズ マルチブロックイレーズ P/E サスペンド P/E レジューム ステータスクリア 強制終了 ブランクチェック

表 55.13 にフラッシュシーケンサの状態と受け付け可能な FACI コマンドの関係を示します。この表は、各コマンドの実行前に適切なモード設定にしていることを前提に記載しています。

表 55.13 フラッシュシーケンサの状態と受け付け可能な FACI コマンドの関係

	プログラム/イレーズの処理中	コンフィギュレーション設定の処理中	プログラム/イレーズの中断処理中	ブランクチェックの処理中	プログラムサスペンド中	イレーズサスペンド中	イレーズサスペンド中のプログラム処理中	コマンドロック状態 (FRDY = 1)	コマンドロック状態 (FRDY = 0)	強制終了のコマンド処理中	その他の状態
FRDY フラグ	0	0	0	0	1	1	0	1	0	0	1
SUSRDY フラグ	1	0	0	0	0	0	0	0	0	0	0
ERSSPD フラグ	0	0	0/1	0/1	0	1	1	0/1	0/1	0	0
PRGSPD フラグ	0	0	0/1	0/1	1	0	0	0/1	0/1	0	0
CMDLK フラグ	0	0	0	0	0	0	0	1	1	0	0
プログラム	×	×	×	×	×	○	×	×	×	×	○
		(注 4)				(注 3)					
ブロックイレーズ	×	×	×	×	×	×	×	×	×	×	○
		(注 4)									
マルチブロックイレーズ	×	×	×	×	×	×	×	×	×	×	○
		(注 4)									
P/E サスペンド	○	×	×	×	×	×	×	—	×	×	—
		(注 4)									
P/E レジューム	×	×	×	×	○	○	×	×	×	×	×
		(注 4)									
ステータスクリア	×	×	×	×	○	○	×	○	×	×	○
		(注 4)									
強制終了	○	○	○	○	○	○	○	○	○	○	○
		(注 4)									
ブランクチェック	×	×	×	×	○	○	×	×	×	×	○
					(注 1)	(注 1)					(注 1)
コンフィギュレーション設定	×	×	×	×	×	×	×	×	×	×	○
		(注 4)									(注 2)

○：受け付け可能、×：受け付け不可能 (コマンドロック状態発生)、—：無視

注1. データフラッシュメモリ P/E モードでのみ受け付け可能

注2. コードフラッシュメモリ P/E モードでのみ受け付け可能

注3. イレーズ中断したブロック以外へのプログラムのみ受け付け可能。

注4. コンフィギュレーション設定の処理中、かつ FSTATR.DBFULL ビットが“1”の場合には、FACI コマンドを発行しないでください。

55.8.3 FACI コマンドの使用方法

本節では、FACI コマンドの使用方法 / 使用例を記載します。

55.8.3.1 コードフラッシュメモリ P/E モード移行

コードフラッシュメモリ関連の FACI コマンドを使用するためには、コードフラッシュメモリ P/E モードに移行する必要があります。コードフラッシュメモリ P/E モードに移行するためには、FENTRYR.FENTRYC ビットを“1”にします。

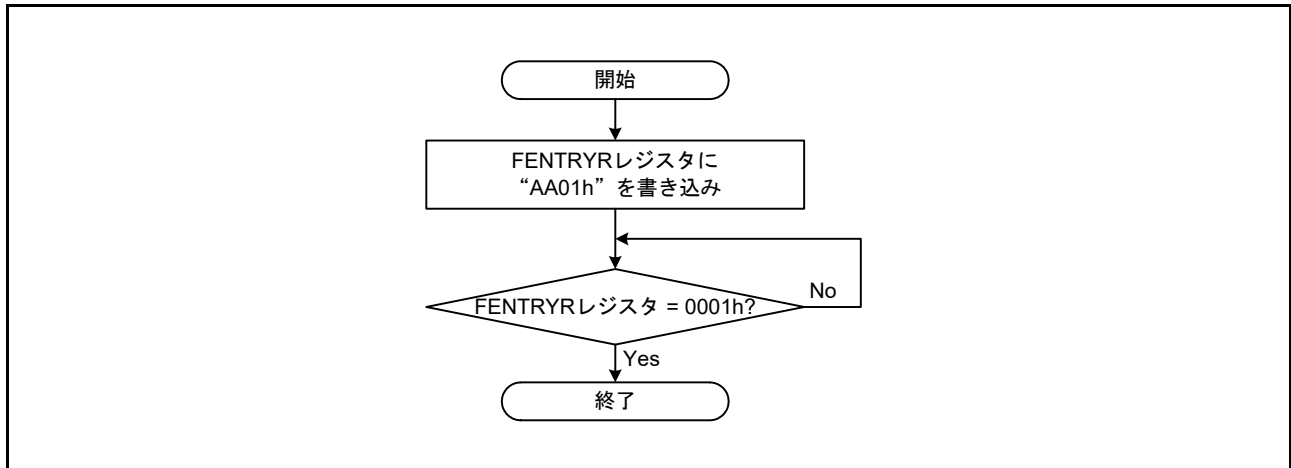


図 55.10 コードフラッシュメモリ P/E モード移行フロー

55.8.3.2 データフラッシュメモリ P/E モード移行

データフラッシュメモリ関連の FACI コマンドを使用するためには、データフラッシュメモリ P/E モードに移行する必要があります。データフラッシュメモリ P/E モードに移行するためには、FENTRYR.FENTRYD ビットを“1”にします。

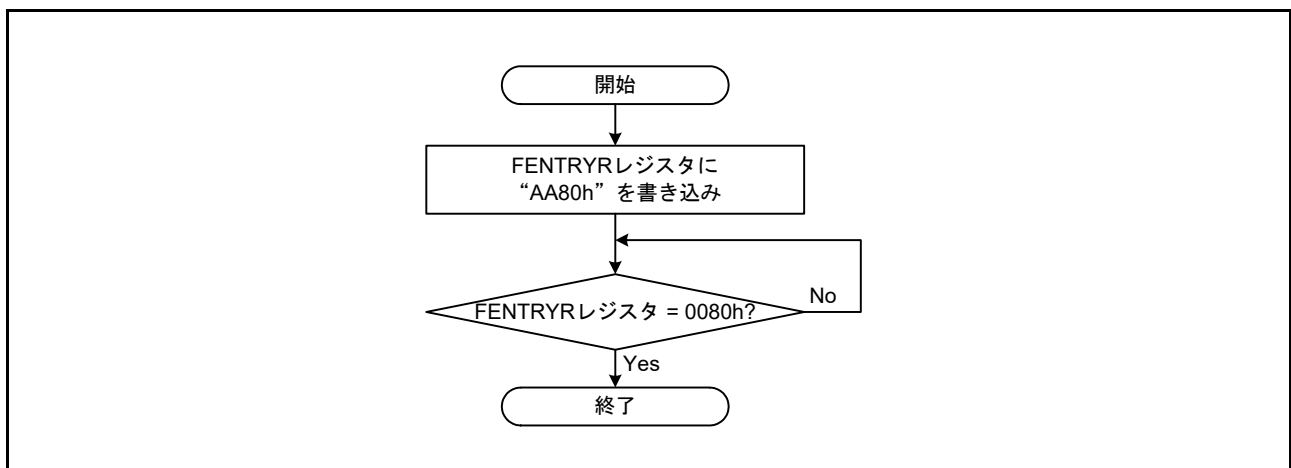


図 55.11 データフラッシュメモリ P/E モード移行フロー

55.8.3.3 リードモード移行

BGO 動作以外でフラッシュメモリを読み出すためには、リードモードに移行する必要があります。リードモードに移行するためには、FENTRYR レジスタを“0000h”にします。リードモードへの移行は、フラッシュシーケンサの処理が完了し、かつコマンドロック以外の状態で実施してください。なお、リセット解除後はリードモードです。

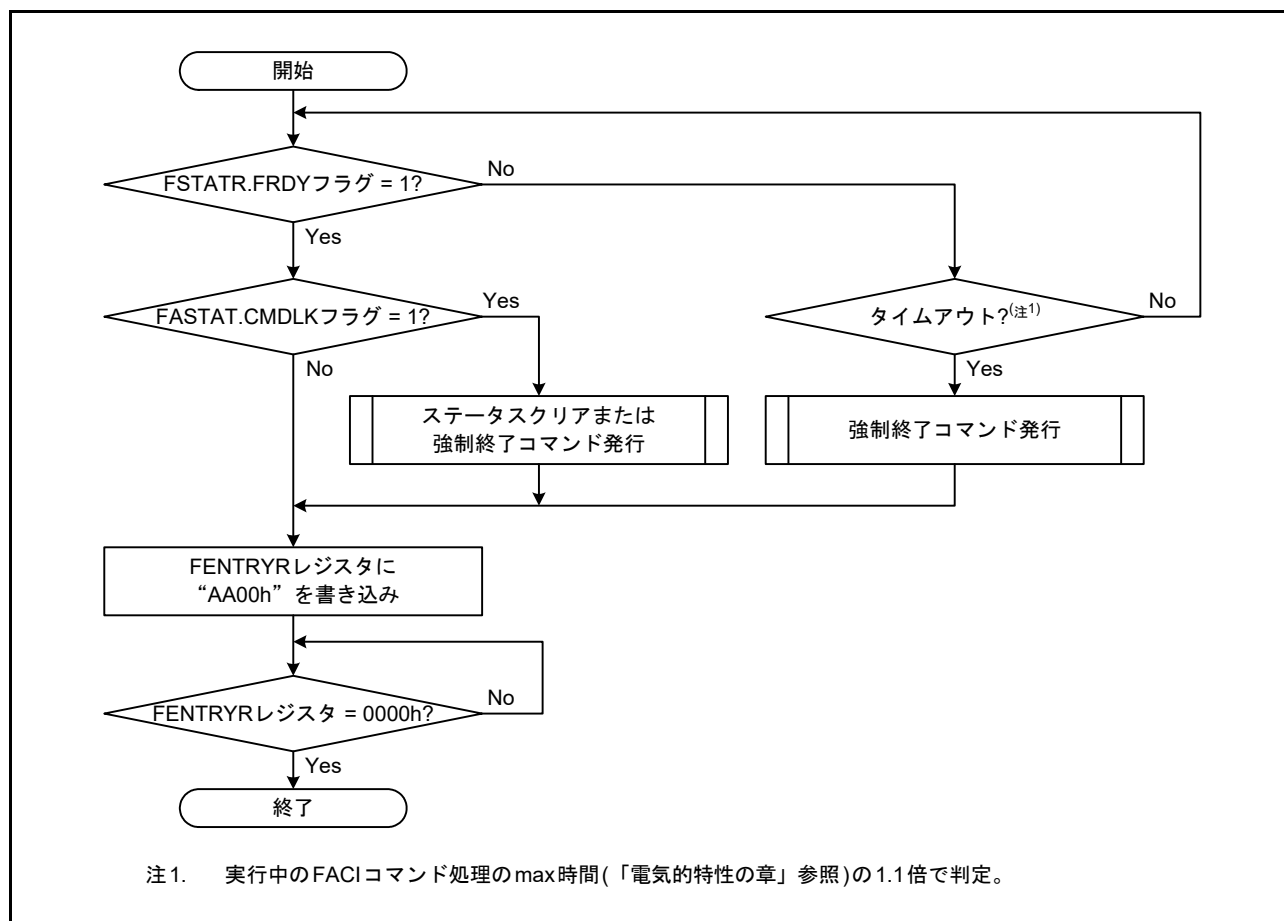


図 55.12 リードモード移行フロー

55.8.3.4 FACI コマンド使用時の概略フロー

FACI コマンドを使用する場合の概略フローを図 55.13 に示します。

BGO 動作が可能な条件下では、コードフラッシュメモリ上の書き換えプログラムからコードフラッシュメモリやデータフラッシュメモリへの FACI コマンドの発行も可能なため、内蔵 RAM または外部領域 (コードフラッシュメモリ以外) へのジャンプは不要です。

FCLK を変更した場合、FPCKAR レジスタを変更することで FACI コマンド処理時間の短縮が可能です。詳細は、「55.4.19 フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR)」を参照してください。

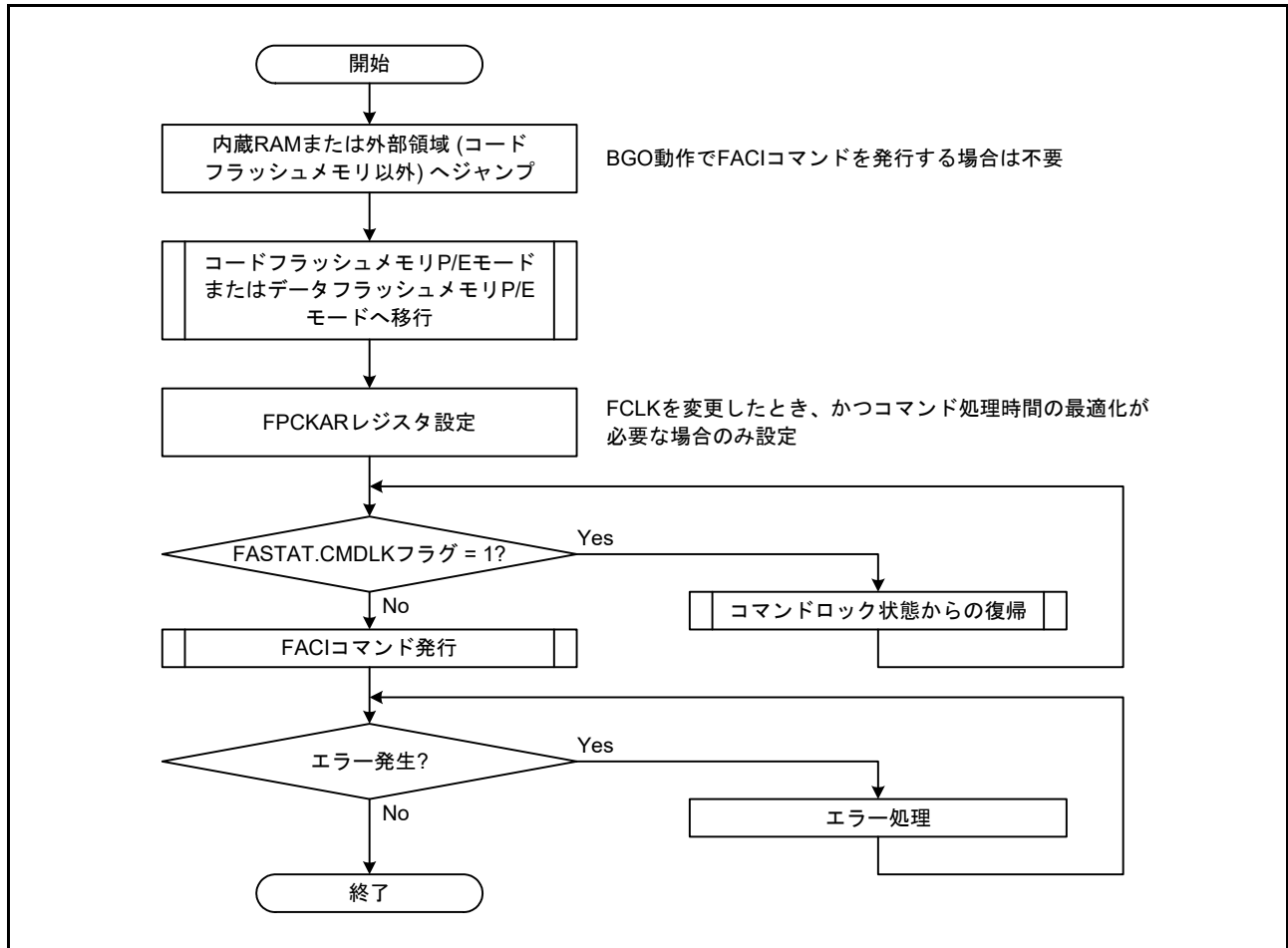


図 55.13 FACI コマンド使用時の概略フロー

55.8.3.5 コマンドロック状態からの復帰

フラッシュシーケンサがコマンドロック状態になった場合には、FACI コマンドの受け付けができなくなります。コマンドロック状態を解除するためには、ステータスクリアコマンドまたは強制終了コマンドを使用する必要があります。

P/E サスペンドコマンド発行前のエラー確認などでコマンドロック状態を検出した場合には、コマンド処理が完了しておらず FSTATR.FRDY フラグが“0”を保持している可能性があります。「56. 電気的特性」で規定された最大のプログラム/イレーズ時間の 1.1 倍を越えても処理が完了しない場合には、タイムアウトと判断して強制終了コマンドでフラッシュシーケンサを停止させてください。

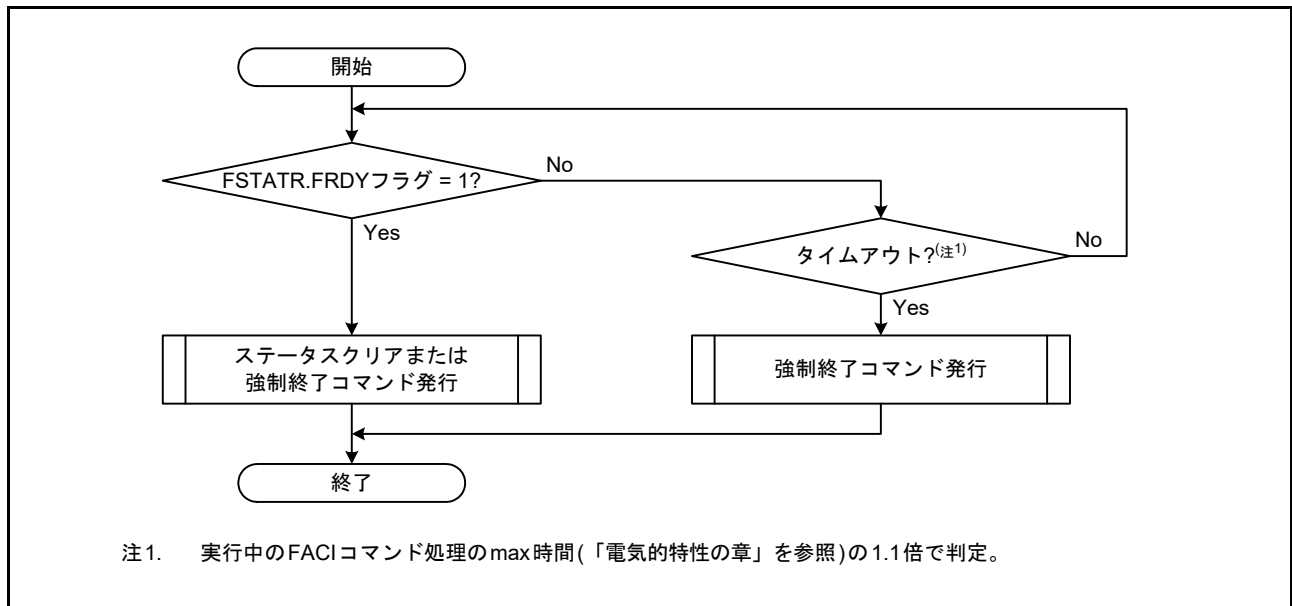


図 55.14 コマンドロック状態からの復帰方法

55.8.3.6 プログラムコマンド

コードフラッシュメモリ、データフラッシュメモリのプログラムには、プログラムコマンドを使用します。

プログラムコマンドを発行する前に、書き込み先の先頭アドレスを **FSADDR** レジスタに設定してください。FACI コマンド発行時に最終データ (**WD₆₄** または **WD₂**) を FACI コマンド発行領域に書き込むと、プログラムコマンドの処理が開始されます。プログラムの誤動作を防ぐため、最終データの書き込みと “D0h” の書き込みの間で割り込みが受け付けられないようにしてください。コマンド処理の終了は、**FSTATR.FRDY** フラグで確認することができます。プログラムコマンドの処理対象領域に書き込み不要な領域が含まれる場合には、該当領域に対するプログラムデータを “FFFFh” にしてください。

FACI 内部のデータバッファがフルの状態、プログラムコマンドを発行し続けると、内部周辺バス 6 にウェイトが発生し、他の周辺 IP のバスアクセスに影響を及ぼす可能性があります。ウェイト発生を回避する必要がある場合には、**FSTATR.DBFULL** フラグが “0” の状態で FACI コマンドを発行してください。

なお、データフラッシュメモリのプログラム時には、データバッファがフルになることはありません。

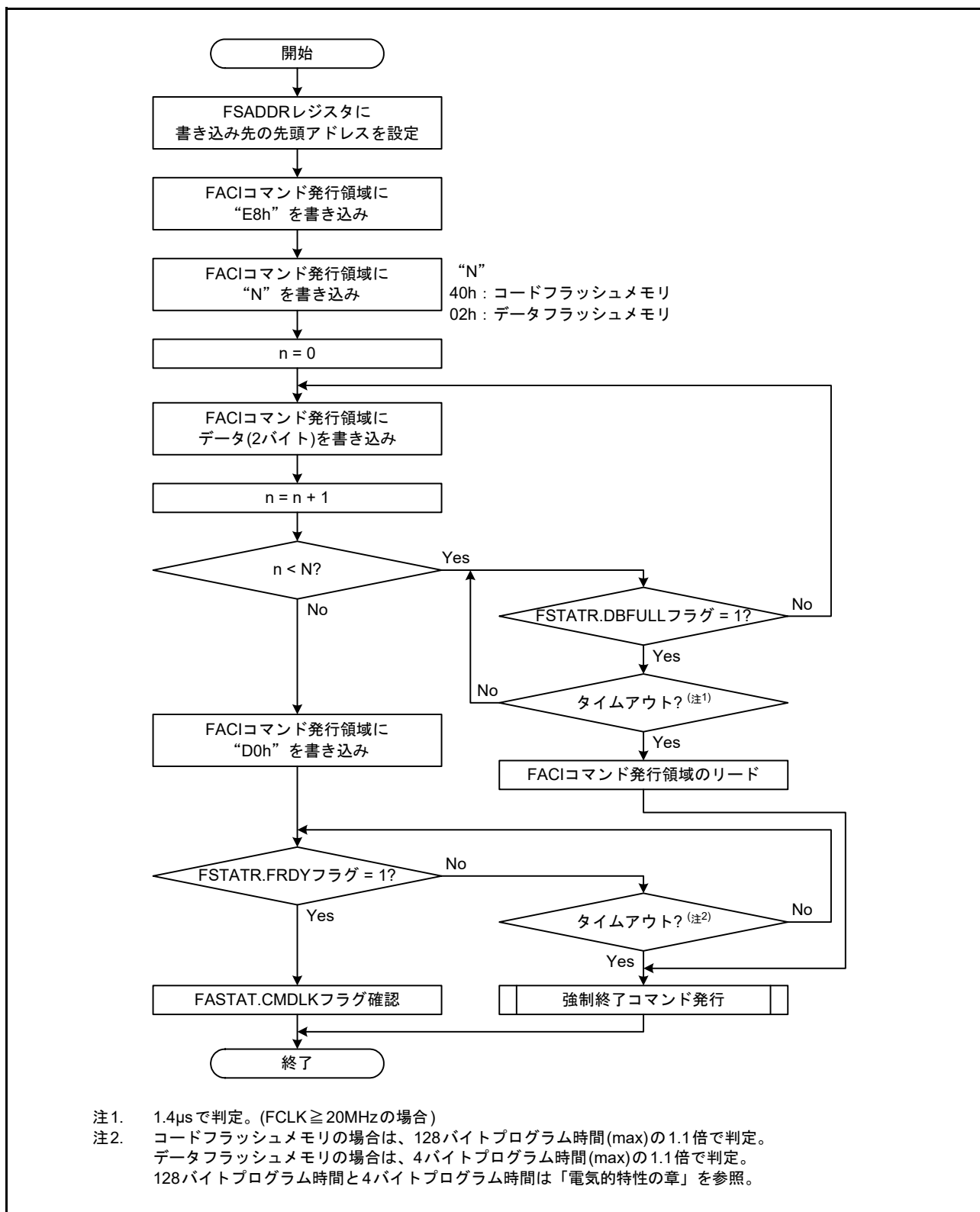


図 55.15 プログラムコマンドの使用方法

55.8.3.7 ブロックイレーズコマンド

コードフラッシュメモリ、データフラッシュメモリのイレーズには、ブロックイレーズコマンドを使用します。イレーズ単位は1ブロックです。

ブロックイレーズコマンドを発行する前に、消去先の先頭アドレスをFSADDRレジスタに設定してください。FACIコマンド発行領域に“20h”と“D0h”を書き込むと、ブロックイレーズコマンドの処理が開始されます。コマンド処理の終了は、FSTAT.FRDYフラグで確認することができます。

FCPSRレジスタは、ブロックイレーズコマンドを発行する前に設定する必要があります。FCPSRレジスタは、P/Eサスペンドコマンドでイレーズ処理を中断するときのイレーズサスペンドモード(サスペンド優先モード/イレーズ優先モード)を切り替える場合に、設定を変更する必要があります。

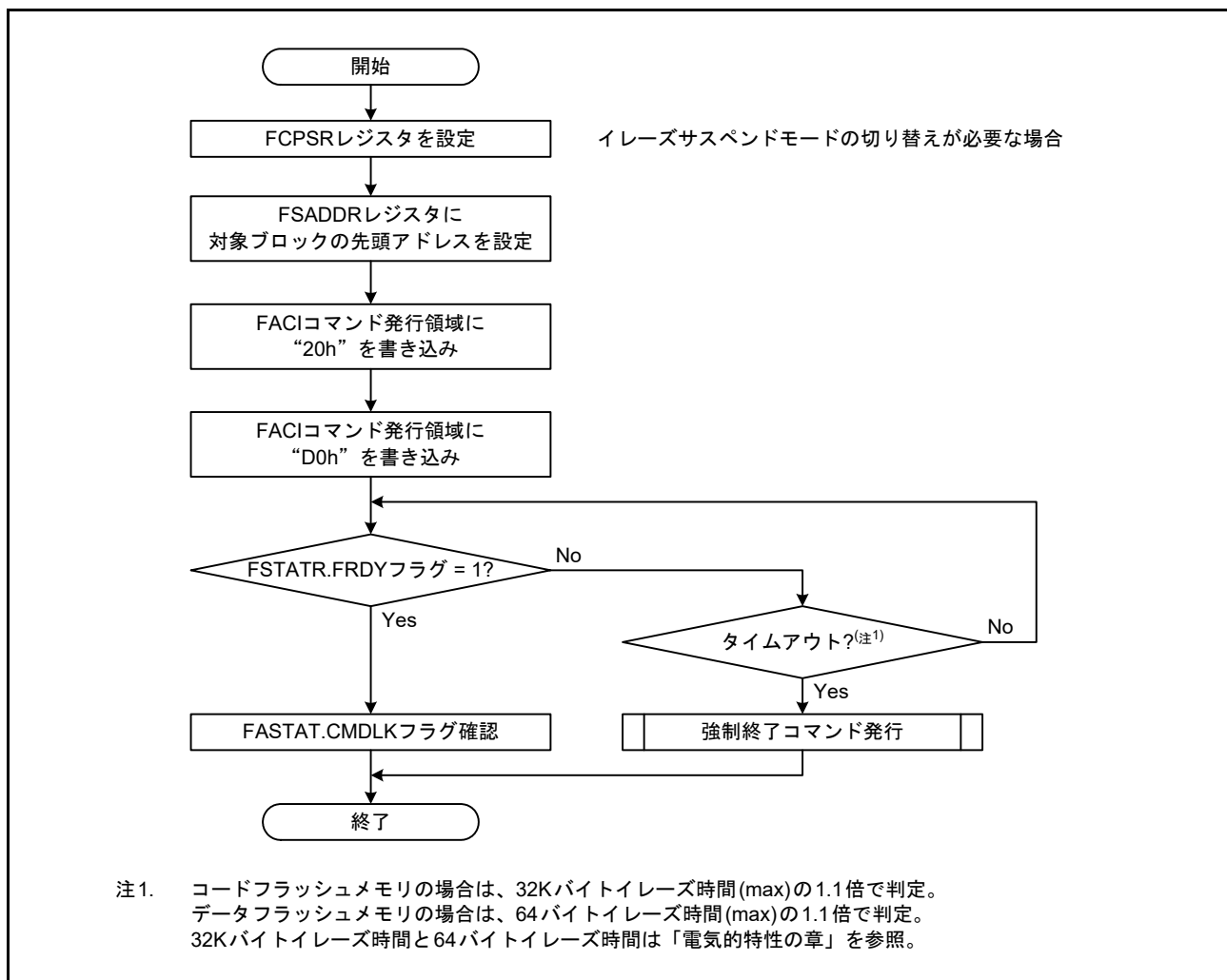


図 55.16 ブロックイレーズコマンドの使用方法

55.8.3.8 マルチブロックイレーズコマンド

データフラッシュメモリのイレーズには、マルチブロックイレーズコマンドも使用することが可能です。イレーズ単位は64、128、または256バイトです。

マルチブロックイレーズコマンドを発行する前に、イレーズ先の先頭アドレスをFSADDRレジスタに設定し、最終アドレスをFEADDRレジスタに設定してください。FACIコマンド発行領域に“21h”と“D0h”を書き込むと、マルチブロックイレーズコマンドの処理が開始されます。コマンド処理の終了は、FSTATR.FRDYフラグで確認することができます。

FCPSRレジスタは、マルチブロックイレーズコマンドを発行する前に設定する必要があります。FCPSRレジスタは、P/Eサスペンドコマンドでイレーズ処理を中断するときのイレーズサスペンドモード(サスペンド優先モード/イレーズ優先モード)を切り替える場合に、設定を変更する必要があります。

表55.14 イレーズサイズ設定

イレーズサイズ	FSADDR	FEADDR
64バイト	FSADDR[5:0]=000000b (64バイト境界)	FSADDR + 3Ch
128バイト	FSADDR[6:0]=0000000b (128バイト境界)	FSADDR + 7Ch
256バイト	FSADDR[7:0]=00000000b (256バイト境界)	FSADDR + FCh

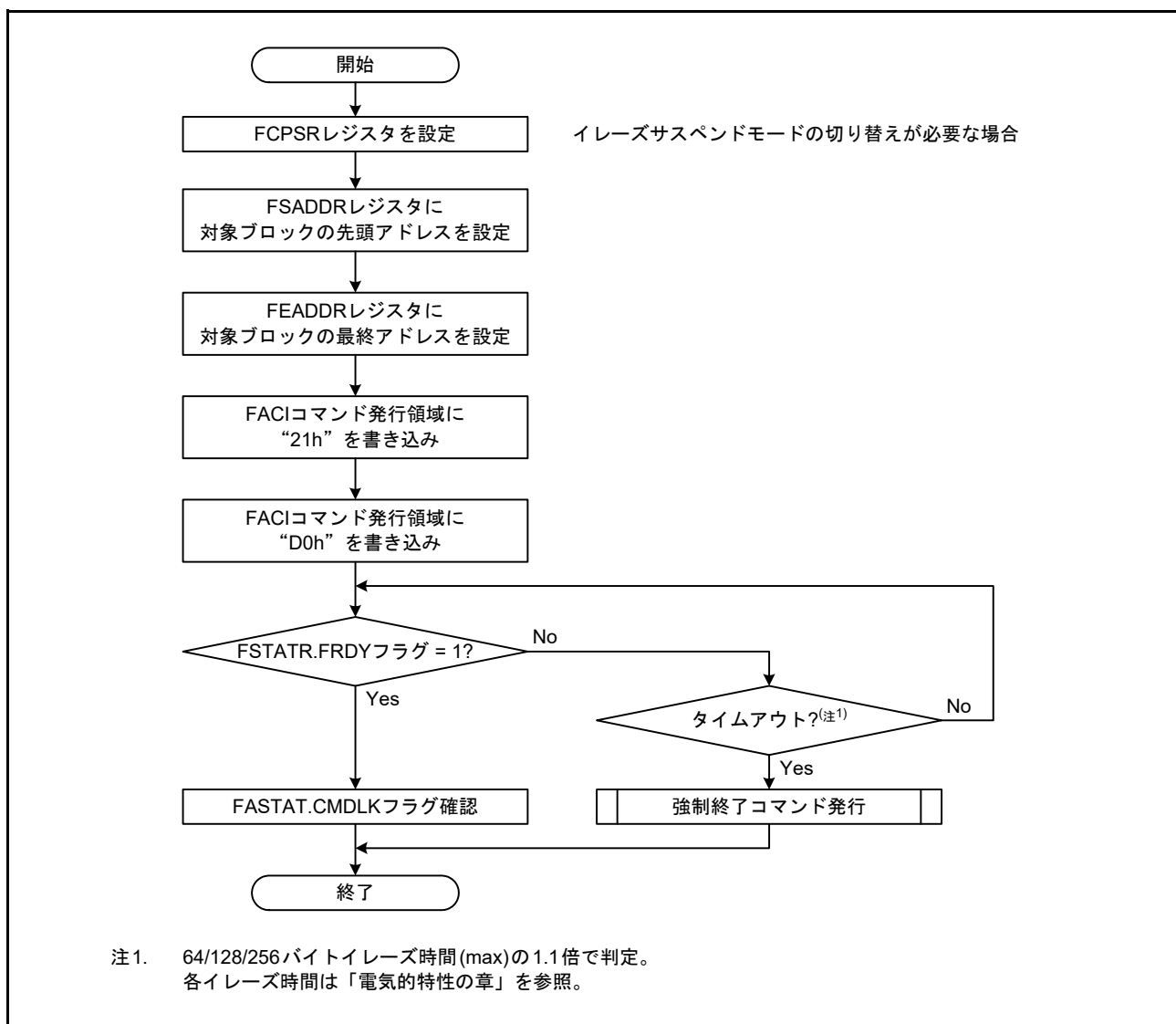


図 55.17 マルチブロックイレーズコマンドの使用方法

55.8.3.9 P/E サスペンドコマンド

プログラム/イレーズ処理の中断には、P/E サスペンドコマンドを使用します。P/E サスペンドコマンドを発行する場合には、事前に FASTAT.CMDLK フラグが“0”でプログラム/イレーズ処理が正常に実行されていることを確認してください。また、P/E サスペンドコマンドが受け付け可能であることを確認するために、FSTATR.SUSRDY フラグが“1”であることも確認してください。P/E サスペンドコマンドの発行後は、FASTAT.CMDLK フラグを読み出して“1”(コマンドロック)でないことを確認してください。

プログラム/イレーズ処理中に異常が発生した場合には、FASTAT.CMDLK フラグが“1”になります。FSTATR.SUSRDY フラグが“1”であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間にプログラム/イレーズ処理が完了していた場合には、P/E サスペンドコマンドは無視され、サスペンド状態にも遷移しません (FSTATR.FR DY フラグが“1”、かつ FSTATR.ERSSPD フラグと PRGSPD フラグが“0”)。

P/E サスペンドコマンドが受け付けられて、プログラム/イレーズの中断処理が正常に終了した場合には、フラッシュシーケンサがサスペンド状態に遷移して FSTATR.FR DY フラグが“1”、かつ FSTATR.ERSSPD フラグまたは PRGSPD フラグが“1”になります。P/E サスペンドコマンド発行後には、FSTATR.ERSSPD フラグまたは PRGSPD フラグが“1”で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生しフラッシュシーケンサがコマンドロック状態に遷移します (「55.10.2 エラープロテクション」参照)。

イレーズサスペンド状態に遷移した場合には、イレーズ対象外のブロックに対するプログラムを実行することができます。また、プログラム/イレーズサスペンド状態ともに、FENTRYR レジスタをクリアすることにより、リードモードに移行することも可能です。

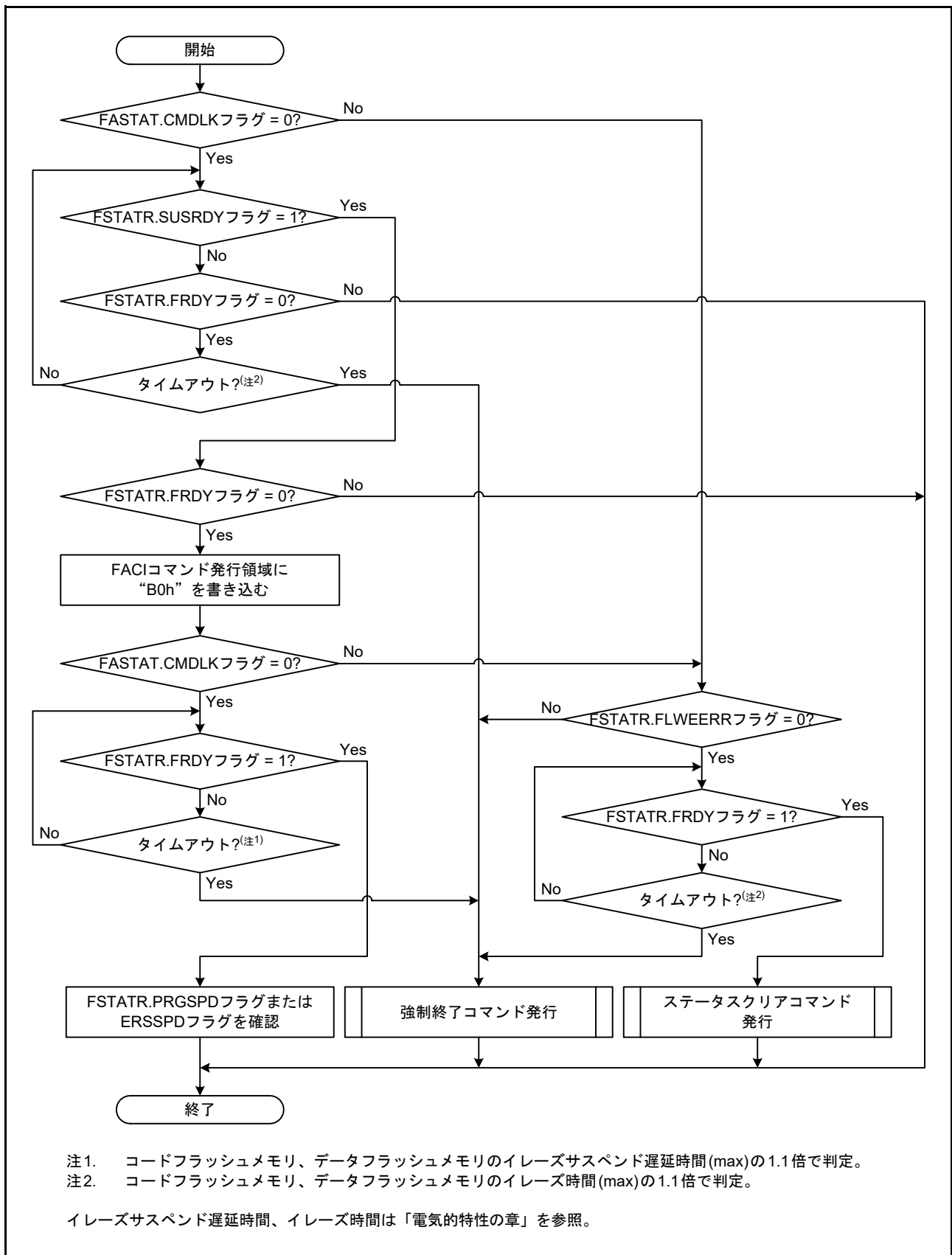


図 55.18 P/E サスペンドコマンドの使用方法

(1) プログラム中のサスペンド

フラッシュメモリへのプログラム処理中に P/E サスペンドコマンドを発行すると、フラッシュシーケンサはプログラム処理を中断します。図 55.19 にプログラム処理の中断動作を示します。フラッシュシーケンサは、プログラムコマンドまたは P/E レジュームコマンドを受け付けると、FSTAT.FRDY フラグを“0”にしてプログラム処理を開始します。プログラム処理の開始後にフラッシュシーケンサが P/E サスペンドコマンドを受け付け可能な状態に移行すると、FSTAT.SUSRDY フラグが“1”になります。P/E サスペンドコマンドが発行されると、フラッシュシーケンサはコマンドを受け付けて FSTAT.SUSRDY フラグを“0”にします。書き込みパルス印加中にフラッシュシーケンサが P/E サスペンドコマンドを受け付けた場合には、フラッシュシーケンサはパルスの印加を継続します。所定のパルス印加時間を経過するとフラッシュシーケンサはパルスの印加を完了し、プログラムの中断処理を開始して FSTAT.PRGSPPD フラグを“1”にします。

中断処理が完了すると、フラッシュシーケンサは FSTAT.FRDY フラグを“1”にしてプログラムサスペンド状態に移行します。プログラムサスペンド状態でフラッシュシーケンサが P/E レジュームコマンドを受け付けた場合には、フラッシュシーケンサは FSTAT.FRDY フラグと FSTAT.PRGSPPD フラグを“0”にしてプログラム処理を再開します。

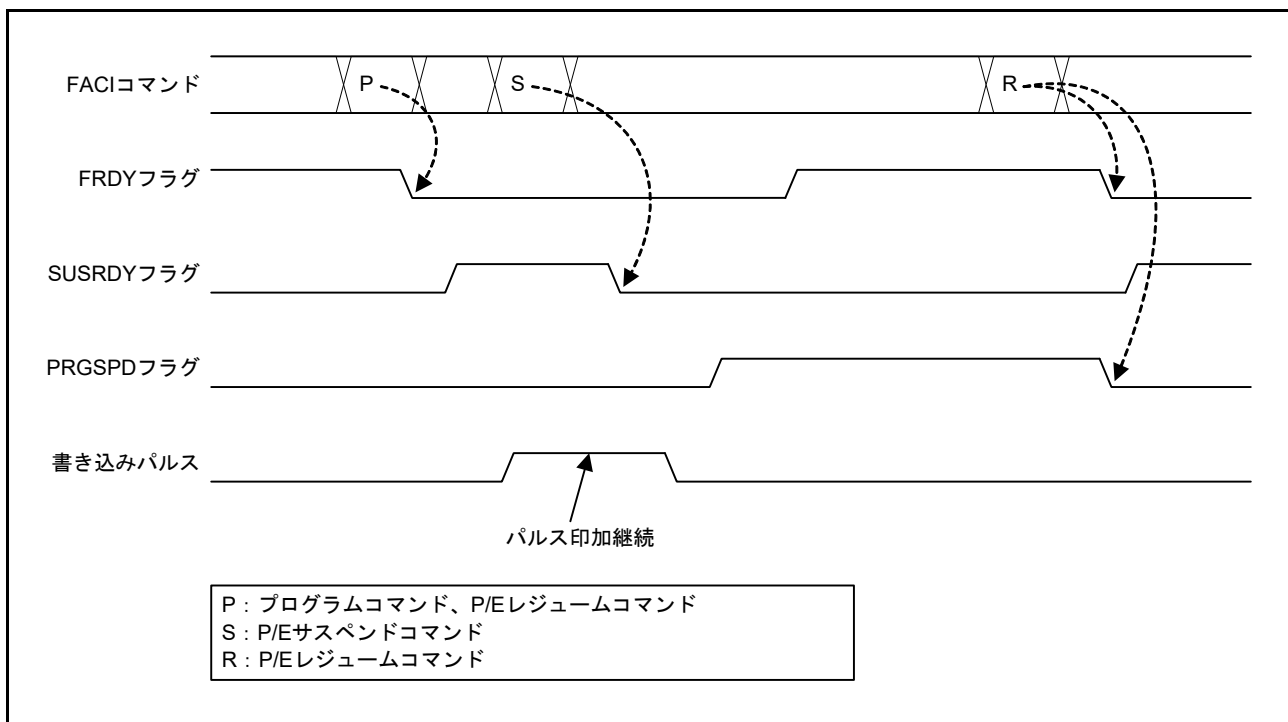


図 55.19 プログラム処理の中断動作

(2) イレーズ中のサスペンド (サスペンド優先モード)

イレーズ中のサスペンド方式として、サスペンド優先モードをサポートしています。図 55.20 にサスペンド優先モード (FCPSR.ESUSPMD ビットが“0”) の場合のイレーズ処理の中断動作を示します。

フラッシュシーケンサはブロックイレーズコマンド、マルチブロックイレーズコマンド、または P/E レジュームコマンドを受け付けると、FSTATR.FRDY フラグを“0”にしてイレーズ処理を開始します。イレーズ処理の開始後にフラッシュシーケンサが P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR.SUSRDY フラグが“1”になります。P/E サスペンドコマンドが発行されると、フラッシュシーケンサは P/E サスペンドコマンドを受け付けて FSTATR.SUSRDY フラグを“0”にします。イレーズ処理中に P/E サスペンドコマンドを受け付けた場合には、フラッシュシーケンサは消去パルス印加中でも中断処理を開始して FSTATR.ERSSPD フラグを“1”にします。中断処理が完了すると、フラッシュシーケンサは FSTATR.FRDY フラグを“1”にして、イレーズサスペンド状態に遷移します。イレーズサスペンド状態で、フラッシュシーケンサが P/E レジュームコマンドを受け付けた場合には、フラッシュシーケンサは FSTATR.FRDY フラグと ERSSPD フラグを“0”にして、イレーズ処理を再開します。イレーズ処理の中断/再開時の FSTATR.FRDY、SUSRDY、ERSSPD フラグの動作は、イレーズサスペンドモードに依存せず同様です。

イレーズサスペンドモードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を停止してイレーズサスペンド状態に遷移します。P/E レジュームコマンドによりイレーズが再開され、消去パルス A を再印加している期間に、P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、フラッシュシーケンサは消去パルス A の印加を完了してイレーズサスペンド状態に遷移します。次にフラッシュシーケンサが P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加を停止します。サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

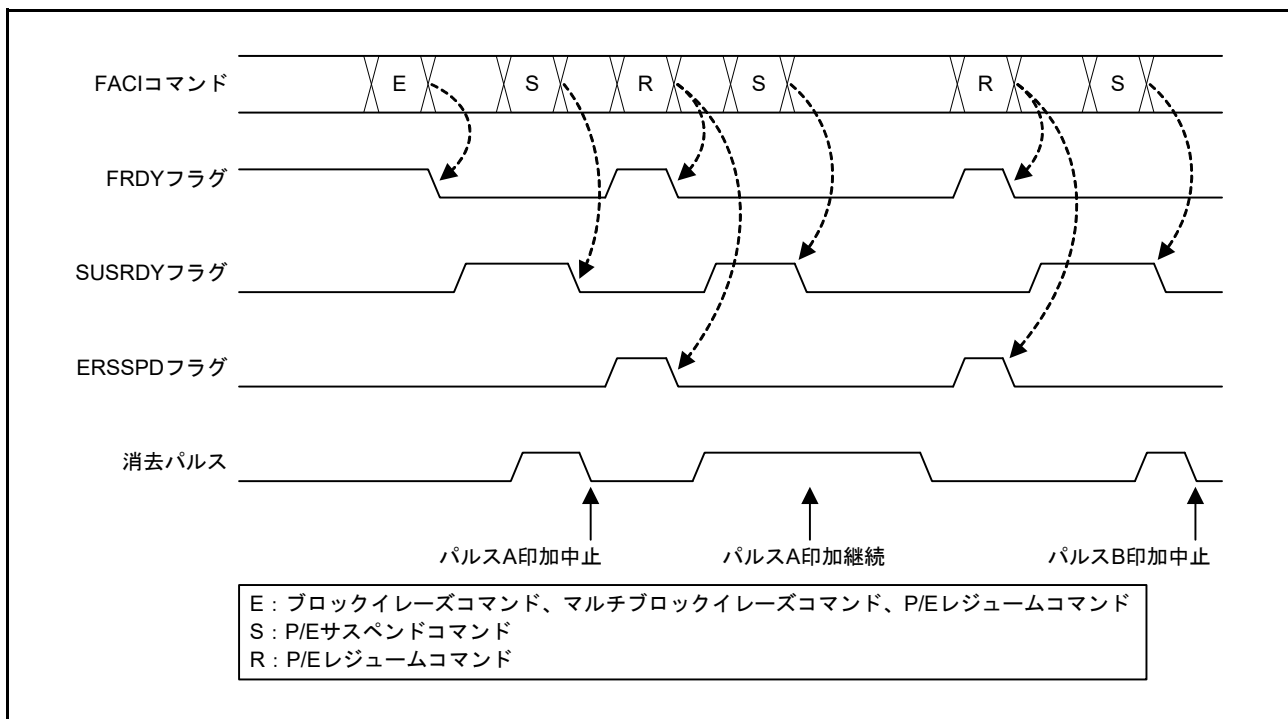


図 55.20 イレーズ処理の中断動作 (サスペンド優先モード)

(3) イレーズ中のサスペンド (イレーズ優先モード)

イレーズ中のサスペンドの方式として、イレーズ優先モードをサポートしています。図 55.21 にイレーズ優先モード (FCPSR.ESUSPMD ビットが“1”) の場合のイレーズ処理の中断動作を示します。イレーズ優先モードのイレーズパルス制御方式は、プログラム中断処理の書き込みパルス制御方式と同様です。

フラッシュシーケンサが消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時に消去パルスの再印加が発生しないため、サスペンド優先モードと比較してイレーズ処理全体に必要な時間を短縮可能です。

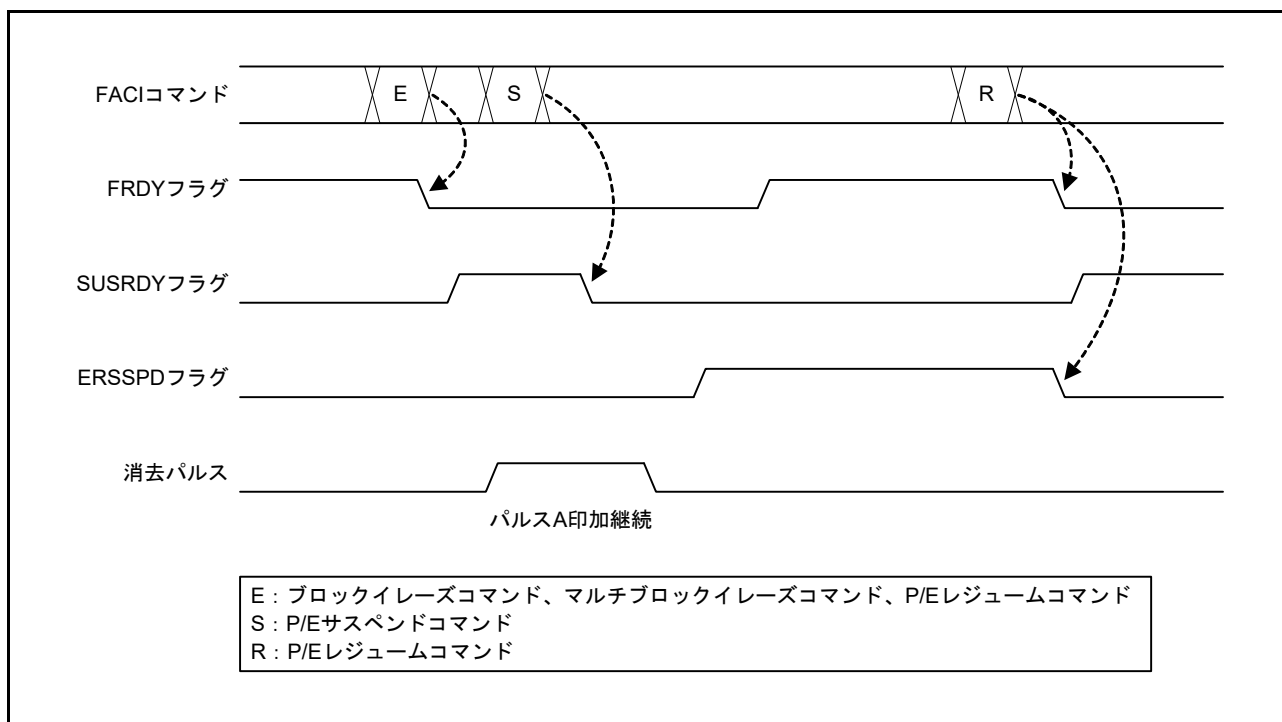


図 55.21 イレーズ処理の中断動作 (イレーズ優先モード)

55.8.3.10 P/E レジュームコマンド

サスペンドしたプログラム/イレーズ処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に、FENTRYR レジスタの値を P/E サスペンドコマンド発行直前の値に再設定してください。レジュームしたコマンドによる処理の終了は、FSTAT.FRDY フラグで確認することができます。

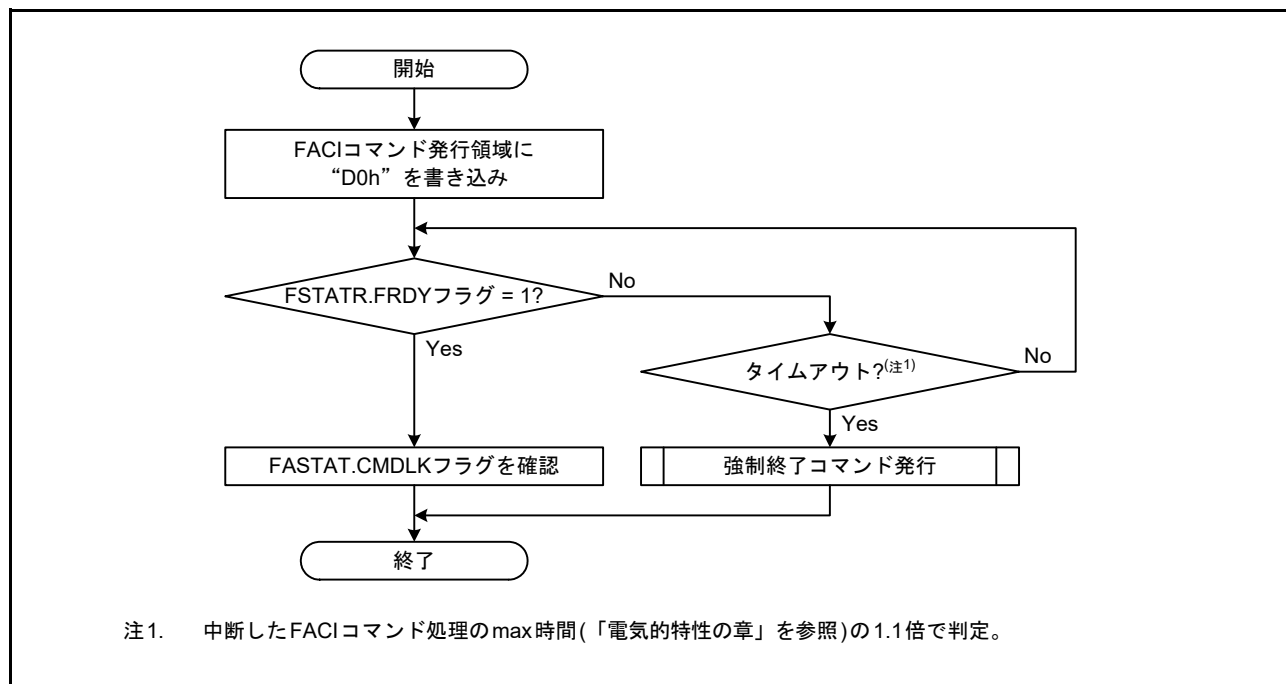


図 55.22 P/E レジュームコマンドの使用方法

55.8.3.11 ステータスクリアコマンド

FSTATR.ILGLERR、ILGCOMERR、FESETERR、SECERR、OTERR、ERSERR、PRGERR、FLWEERR フラグのいずれかのビットが“1”になると、フラッシュシーケンサはコマンドロック状態になります。また、FASTAT.CFAE、DFAE フラグのいずれかのビットが“1”になる場合もコマンドロック状態になります。コマンドロック状態時、フラッシュシーケンサはステータスクリアコマンドまたは強制終了コマンドのみ受け付け可能です。

ステータスクリアコマンドは、コマンドロック状態を解除するために使用するコマンドです (「55.8.3.5 コマンドロック状態からの復帰」参照)。コマンドロック状態で、FASTAT.CFAE、DFAE、CMDLK、FSTATR.ILGLERR、ILGCOMERR、FESETERR、SECERR、OTERR、ERSERR、PRGERR フラグをクリアしたい場合に、ステータスクリアコマンドを使用可能です。

FLWEERR フラグはステータスクリアコマンドでクリアすることはできず、強制終了コマンドのみクリアすることが可能です。

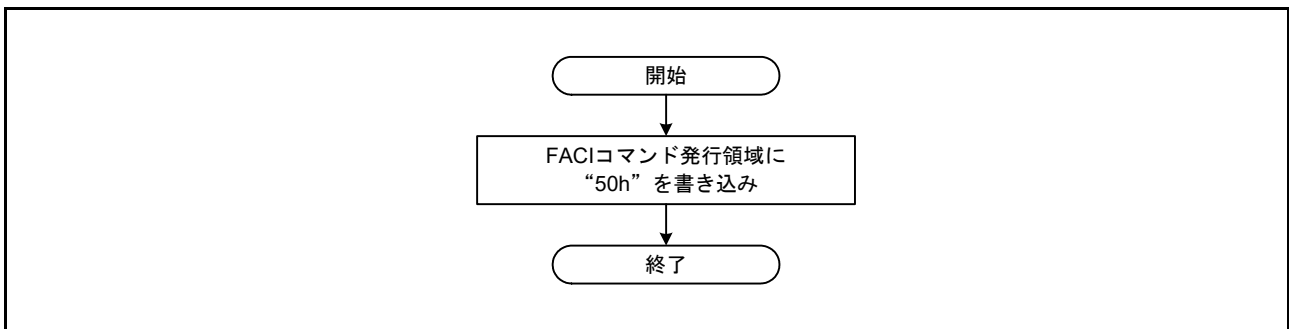


図 55.23 ステータスクリアコマンドの使用方法

55.8.3.12 強制終了コマンド

強制終了コマンドは、フラッシュシーケンサのコマンド処理を強制的に終了させるコマンドです。P/E サスペンドコマンドよりも高速にコマンド処理を中断可能ですが、中断したプログラム/イレーズ領域のデータ値は保証されません。また、中断した処理を再開することもできません。強制終了コマンドで中断したプログラム/イレーズ処理は、書き換え回数としては1回分と定義されます。

強制終了コマンドを実行すると、FCU 全体および FACI の一部が初期化されます。また、FASTAT、FSTATR レジスタも初期化されます。このため、コマンドロック状態からの復帰手段や、フラッシュシーケンサ動作のタイムアウト処理でも、強制終了コマンドを利用することができます(「55.8.3.5 コマンドロック状態からの復帰」参照)。

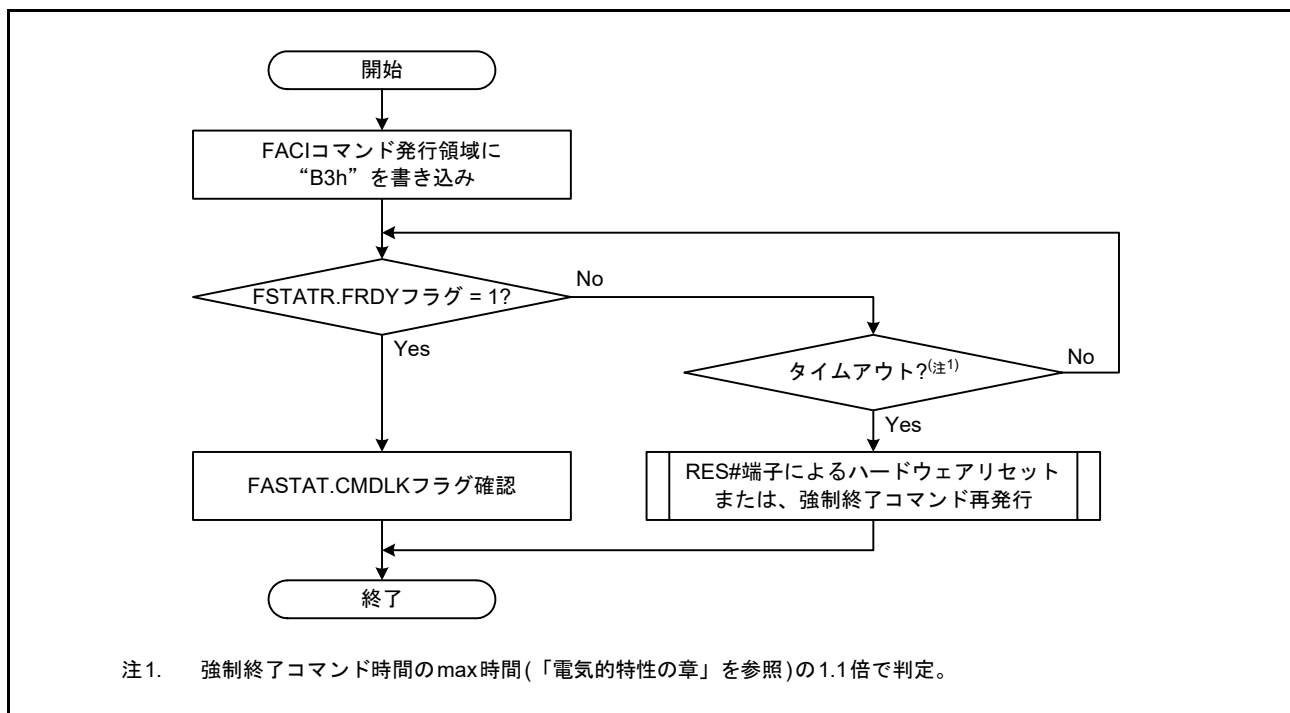


図 55.24 強制終了コマンドの使用法

コマンド発行中の強制終了コマンドの使用法について

プログラムコマンドの DBFULL ビット判定でのタイムアウト発生時に強制終了コマンドによる中断を行う場合、FACI コマンド発行領域への書き込みがプログラムコマンドの書き込みデータとして扱われる場合があります。この場合、FACI コマンド発行領域をリードして意図的にコマンドロックを発生させた後、コマンドロック状態からの復帰方法に従って強制終了コマンドを発行してください。なお、FACI コマンド発行領域のリードのアクセスサイズが 8 ビット /16 ビット /32 ビットのいずれの場合でも、コマンドロックを発生させることが可能です。

55.8.3.13 ブランクチェックコマンド

イレーズ後に書き込んでいない状態 (未書き込み状態) のデータフラッシュメモリの値は不定であるため、未書き込み状態の確認にはブランクチェックコマンドを使用する必要があります。

ブランクチェックコマンドを発行する前に、アドレッシングモード、ブランクチェック対象領域の先頭アドレス / 最終アドレスを FBCCNT レジスタ、FSADDR レジスタ、FEADDR レジスタに設定してください。

FBCCNT.BCDIR ビットが“1”の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以上にする必要があります。

FBCCNT.BCDIR ビットが“0”の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。

FBCCNT.BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定値に矛盾がある場合には、フラッシュシーケンサはコマンドロック状態になります。ブランクチェック対象領域のサイズは4バイト～8K バイトの範囲で、4バイト単位に設定可能です。

FACI コマンド発行領域に“71h”と“D0h”を書き込むと、ブランクチェックの処理が開始されます。処理の完了は、FSTAT.FRDY フラグで確認可能です。処理完了時に、FBCSTAT.BCST ビットにブランクチェックの結果が格納されます。書き込み済みの領域がブランクチェック対象の領域に含まれている場合、フラッシュシーケンサは最初に検出した書き込み済みデータのアドレスを FPSADDR レジスタに格納します。

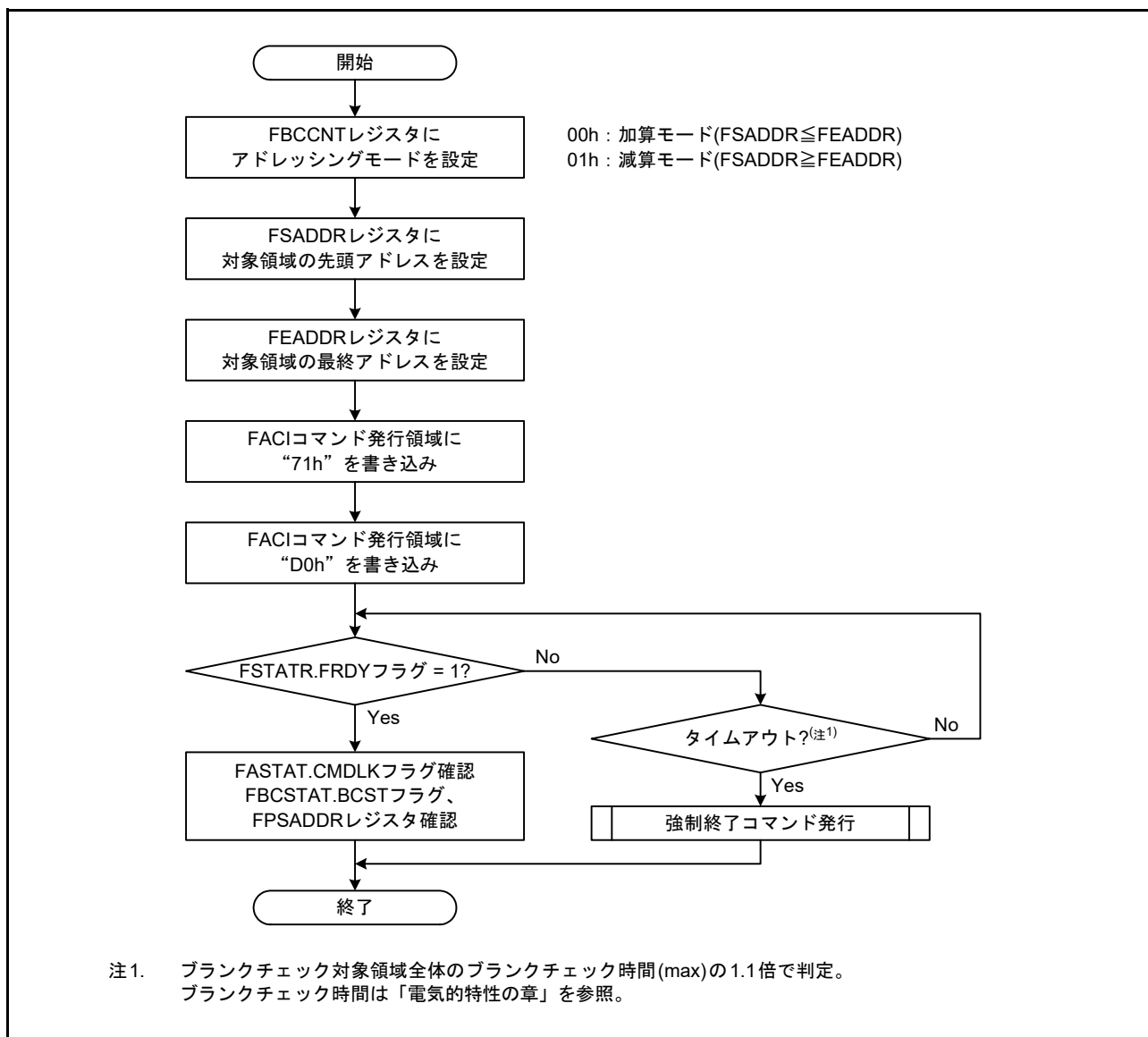


図 55.25 ブランクチェックコマンドの使用法

55.8.3.14 コンフィギュレーション設定コマンド

コンフィギュレーション設定コマンドは、オプション設定メモリ (コンフィギュレーション設定領域) の設定を行うためのコマンドです。コンフィギュレーション設定コマンドを発行する前に、設定データのアドレス (表 55.15 参照) を FSADDR レジスタに設定してください。FACI コマンド発行時の最終アクセスで “D0h” を FACI コマンド発行領域に書き込むと、コンフィギュレーション設定コマンドの処理が開始されます。

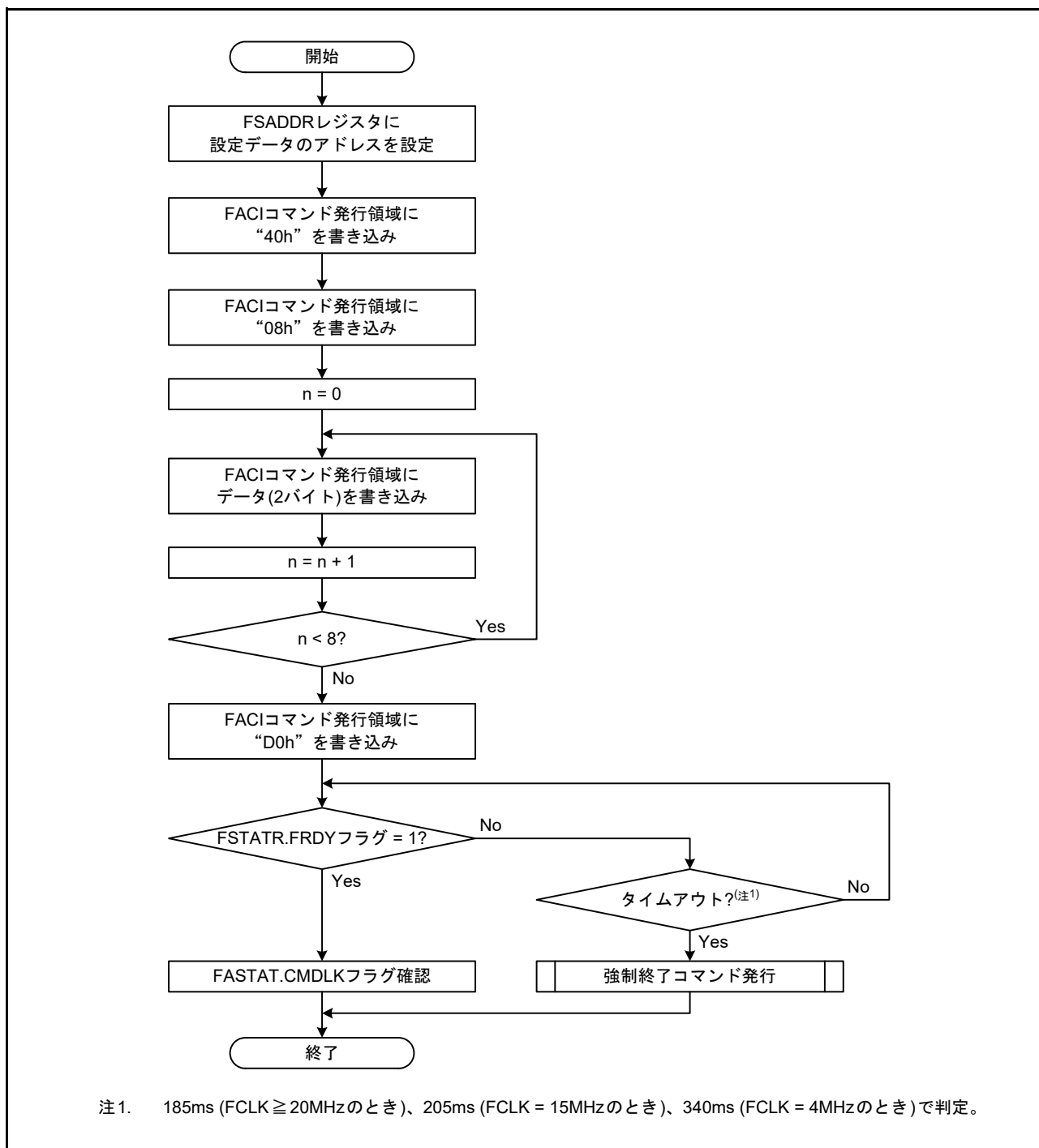


図 55.26 コンフィギュレーション設定コマンドの使用方法

コンフィギュレーション設定が可能なデータと、FSADDR レジスタに設定するアドレス値の対応は表 55.15 のとおりです。

表 55.15 コンフィギュレーション設定コマンドで使用するアドレス

アドレス	FSADDR レジスタ 設定値	設定データ	追加書き込み動作		設定が有効 になる タイミング
			FAW.FSPR ビット=1	FAW.FSPR ビット=0	
FE7F 5D00h	00FF 5D00h	<ul style="list-style-type: none"> エンディアン選択レジスタ (MDE) オプション機能選択レジスタ 0 (OFS0) オプション機能選択レジスタ 1 (OFS1) 	可能	可能	リセット後
FE7F 5D10h	00FF 5D10h	<ul style="list-style-type: none"> TM識別データレジスタ (TMINF) 	可能	可能	リセット後
FE7F 5D20h	00FF 5D20h	<ul style="list-style-type: none"> バンク選択レジスタ (BANKSEL) 	可能	可能	リセット後
FE7F 5D40h	00FF 5D40h	<ul style="list-style-type: none"> シリアルプログラマコマンド制御レジスタ (SPCC) TMイネーブルフラグレジスタ (TMEF) 	可能 (注 1) (1 → 0 のみ)	可能 (注 1) (1 → 0 のみ)	リセット後 とコマンド 実行時 (注 3)
FE7F 5D50h	00FF 5D50h	<ul style="list-style-type: none"> OCD/シリアルプログラマID設定レジスタ (OSIS) 	可能	可能	リセット後
FE7F 5D64h	00FF 5D60h	<ul style="list-style-type: none"> フラッシュアクセスウィンドウ設定レジスタ (FAW) (注 2) 	可能	不可能 (注 2)	リセット後 とコマンド 実行時
FE7F 5D70h	00FF 5D70h	<ul style="list-style-type: none"> ROMコードプロテクトレジスタ (ROMCODE) 	可能	可能	リセット後

注 1. 一度“0”に設定すると、コンフィギュレーション設定コマンドでは“1”に戻すことができません。

注 2. FAW.FSPR ビットは、一度“0”に設定すると、“1”に戻すことはできません。このため、アクセスウィンドウ、スタートアップ領域選択ビットの再設定が二度とできなくなります (FE7F 5D64h 番地にコンフィギュレーション設定コマンドを実行した場合、コマンドロック状態になります)。

FAW.FSPR ビットの取り扱いには十分にご注意ください。

注 3. シリアルプログラマコマンド制御レジスタ (SPCC) はリセット後に設定が有効になります。TMイネーブルフラグレジスタ (TMEF) はリセット後、およびコマンド実行時に設定が有効になります。

55.9 サスペンド動作

プログラム/イレーズ処理中は、表 55.25 の BGO 機能を利用可能な条件以外のフラッシュメモリのリードはできません。P/E サスペンドコマンドを発行し、フラッシュメモリへのプログラム/イレーズ処理を中断させることによって、フラッシュメモリのリードができるようになります。P/E サスペンドコマンドには、プログラムに対するサスペンドが 1 種類とイレーズに対するサスペンドが 2 種類 (サスペンド優先モード、イレーズ優先モード) 存在します。また、中断したプログラム/イレーズ処理を再開する P/E レジュームコマンドも用意しています。

55.10 プロテクション機能

55.10.1 ソフトウェアプロテクション

ソフトウェアプロテクトは、制御レジスタ設定によってフラッシュメモリに対するプログラム/イレーズが禁止された状態です。ソフトウェアプロテクトに違反して、FACI コマンドを発行した場合には、フラッシュシーケンサはコマンドロック状態になります。

55.10.1.1 FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを“01b”にしないと、いずれのモードにおいても書き換えできません。

55.10.1.2 FENTRYR によるプロテクト

FENTRYR レジスタが“0000h”の場合には、フラッシュシーケンサはリードモードになります。リードモードでは、FACI コマンドは受け付けられません。リードモードでFACI コマンドが発行された場合には、フラッシュシーケンサはコマンドロック状態になります。

55.10.2 エラープロテクション

エラープロテクトは、FACI コマンドの誤発行/禁止アクセスの発生、フラッシュシーケンサの誤動作を検出してFACI コマンドの受け付けを禁止する状態(コマンドロック状態)です。フラッシュシーケンサがコマンドロック状態にすることにより、フラッシュメモリのプログラム/イレーズが禁止されます。コマンドロック状態を解除するためには、ステータスクリアまたは強制終了コマンドを発行する必要があります。ステータスクリアコマンドはFSTATR.FRDY フラグが“1”の場合のみ使用できます。強制終了コマンドは、FSTATR.FRDY フラグの値に関わらず使用できます。

フラッシュアクセスエラー (FIFERR) 割り込みの発生により、誤動作を検出できます。FIFERR 割り込みは、以下の条件で発生します。

- FAEINT.CMDLKIE ビットが“1”の場合に、フラッシュシーケンサがコマンドロック状態 (FASTAT.CMDLK フラグが“1”) になったとき
- FAEINT.DFAEIE ビットが“1”の場合に、データフラッシュメモリアクセス違反が発生 (FASTAT.DFAE フラグが“1”) したとき
- FAEINT.CFAEIE ビットが“1”の場合に、コードフラッシュメモリアクセス違反が発生 (FASTAT.CFAE フラグが“1”) したとき

プログラム/イレーズ処理中にP/E サスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、フラッシュシーケンサはプログラム/イレーズ処理を継続します。この状態でP/E サスペンドコマンドを発行してプログラム/イレーズを中断することはできません。コマンドロック状態でコマンドが発行された場合には、FSTATR.ILGLERR フラグと ILGCOMERR フラグの値は“1”になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 55.16 にエラープロテクトの内容とエラー検出後のステータスビット値の関係を示します。

表 55.16 エラープロテクト一覧 (1/2)

分類	内容	ILGOMERR	FESETERR	SECERR	OTERR	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
FENTRYR 設定エラー	FENTRYRレジスタに“AA81h”をライト	0	1	0	0	1	0	0	0	0	0
	サスペンド時とレジャーモード時にFENTRYRレジスタの値が不一致	0	1	0	0	1	0	0	0	0	0
不正コマンド エラー	FACIコマンドの第1アクセスで16ビットまたは32ビット単位でデータをライト	1	0	0	0	1	0	0	0	0	0
	FACIコマンドの第1アクセスで未定義コードをライト	1	0	0	0	1	0	0	0	0	0
	複数アクセスサイクルのFACIコマンドの最終アクセスで“D0h”以外をライト	1	0	0	0	1	0	0	0	0	0
	プログラムコマンド、コンフィギュレーション設定コマンドにおいて、FACIコマンドの第2アクセスで指定された値(N) (表 55.11 参照) が不正	1	0	0	0	1	0	0	0	0	0
	ブランクチェックコマンドを下記のいずれかの設定で発行 <ul style="list-style-type: none"> • FBCCNT.BCDIRビット = 0、かつ FSADDRレジスタ > FEADDRレジスタ • FBCCNT.BCDIRビット = 1、かつ FEADDRレジスタ > FSADDRレジスタ • FEADDRレジスタのb16～b0の設定値が 0 2000h～1 FFFFhの範囲 	1	0	0	0	1	0	0	0	0	0/1 (注 1)
	マルチブロックイレーズコマンドを下記のいずれかの設定で発行 <ul style="list-style-type: none"> • FSADDRレジスタ > FEADDRレジスタ • FEADDRレジスタのb16～b0の設定値が 0 2000h～1 FFFFhの範囲 	1	0	0	0	1	0	0	0	0	0/1 (注 1)
	各モードで使用できないFACIコマンドを発行 (表 55.12 参照)	1	0	0	0	1	0	0	0	0	0
	プログラムコマンド、ブロックイレーズコマンドをエリアプロテクションによって保護されている領域に対して発行	1	0	0	0	1	0	0	0	0	0
	イレーズサスペンド中に、イレーズ中の領域に対してプログラムコマンドを発行	1	0	0	0	1	0	0	0	0	0
コマンド受け付け条件を満たさない状態でFACIコマンドを発行 (表 55.13 参照)	0/1 (注 2)	0/1 (注 2)	0/1 (注 2)	0/1 (注 2)	1	0/1 (注 2)	0/1 (注 2)	0/1 (注 2)	0/1 (注 2)	0/1 (注 2)	0/1 (注 2)
イレーズ エラー	イレーズ処理中のエラー発生	0	0	0	0	0	1	0	0	0	0
プログラム エラー	プログラム処理中のエラー発生	0	0	0	0	0	0	1	0	0	0
コード フラッシュ メモリ アクセス違反	コードフラッシュメモリP/Eモードのとき、プログラムコマンド、ブロックイレーズコマンドを下記の設定で発行 <ul style="list-style-type: none"> • FSADDRレジスタのb23～b0の設定値が 00 0000h～DF FFFFhの範囲 	0	0	0	0	1	0	0	0	1	0
	コードフラッシュメモリP/Eモードのとき、コンフィギュレーション設定コマンドを下記のいずれかの設定で発行 <ul style="list-style-type: none"> • FSADDRレジスタのb23～b0の設定値が 00 0000h～DF FFFFhの範囲 • FSADDRレジスタのb12～b0の設定値が 0000h～1CFFhまたは1D80h～1FFFhの範囲 	0	0	0	0	1	0	0	0	1	0

表 55.16 エラープロテクト一覧 (2/2)

分類	内容	ILGCOMERR	FESETERR	SECERR	OTERR	ILGLEERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
データフラッシュメモリアクセス違反	データフラッシュメモリP/Eモードのとき、プログラムコマンド、ブロックイレーズコマンドを下記の設定で発行 • FSADDRレジスタのb16～b0の設定値が0 2000h～1 FFFFhの範囲	0	0	0	0	1	0	0	0	0	1
	データフラッシュメモリP/Eモードのとき、マルチブロックイレーズコマンド、ブランクチェックコマンドを下記の設定で発行 • FSADDRレジスタのb16～b0の設定値が0 2000h～1 FFFFhの範囲	1	0	0	0	1	0	0	0	0	1
セキュリティエラー	FAW.FSPRビットが“0”のとき、コンフィギュレーション設定コマンドをFAWレジスタに対して発行	0	0	1	0	1	0	0	0	0	0
その他	リードモードで、FACIコマンド発行領域をアクセス	0	0	0	1	1	0	0	0	0	0
	コードフラッシュメモリP/EモードまたはデータフラッシュメモリP/Eモードで、FACIコマンド発行領域を読み出し	0	0	0	1	1	0	0	0	0	0
フラッシュP/Eプロテクトエラー	フラッシュシーケンサのコマンド処理中にFWEPRORレジスタ設定によるフラッシュメモリのプログラム/イレーズ保護違反を検出	0	0	0	0	0	0/1	0/1	1	0	0

注1. FSADDRレジスタの設定値がデータフラッシュメモリアクセス違反に示す条件と一致すると、FASTAT.DFAEビットが“1”になります。

注2. コマンド実行時の値となります。

55.10.3 スタートアッププログラム保護機能

スタートアッププログラム保護機能は、リセット後に起動するプログラム (スタートアッププログラム) を保護する機能です。本機能はリセットなどによる書き換え動作の中断に対して安全なスタートアッププログラムの更新方法を提供しています。

スタートアップ領域のサイズは 8K バイトでコードフラッシュメモリのユーザ領域に配置されています。スタートアッププログラム保護機能は FAW.BTFLG ビットと FSUACR.SAS[1:0] ビットの値を用いてブロック単位でスタートアッププログラムを格納する領域を変更します (図 55.27 ~ 図 55.30 参照)。

スタートアッププログラム保護機能は、アクセスウィンドウプロテクトビット (FAW.FSPR) でスタートアップ領域の選択状態を固定化できます。ただし、FAW.FSPR ビットを一度“0”にすると“1”に戻すことはできません。FAW.FSPR ビットの取り扱いには十分ご注意ください。

なお、バンクモード切り替え機能でデュアルモード選択時 (MDE.BANKMD[2:0] = 000b) は、スタートアッププログラム保護機能は使用できません。

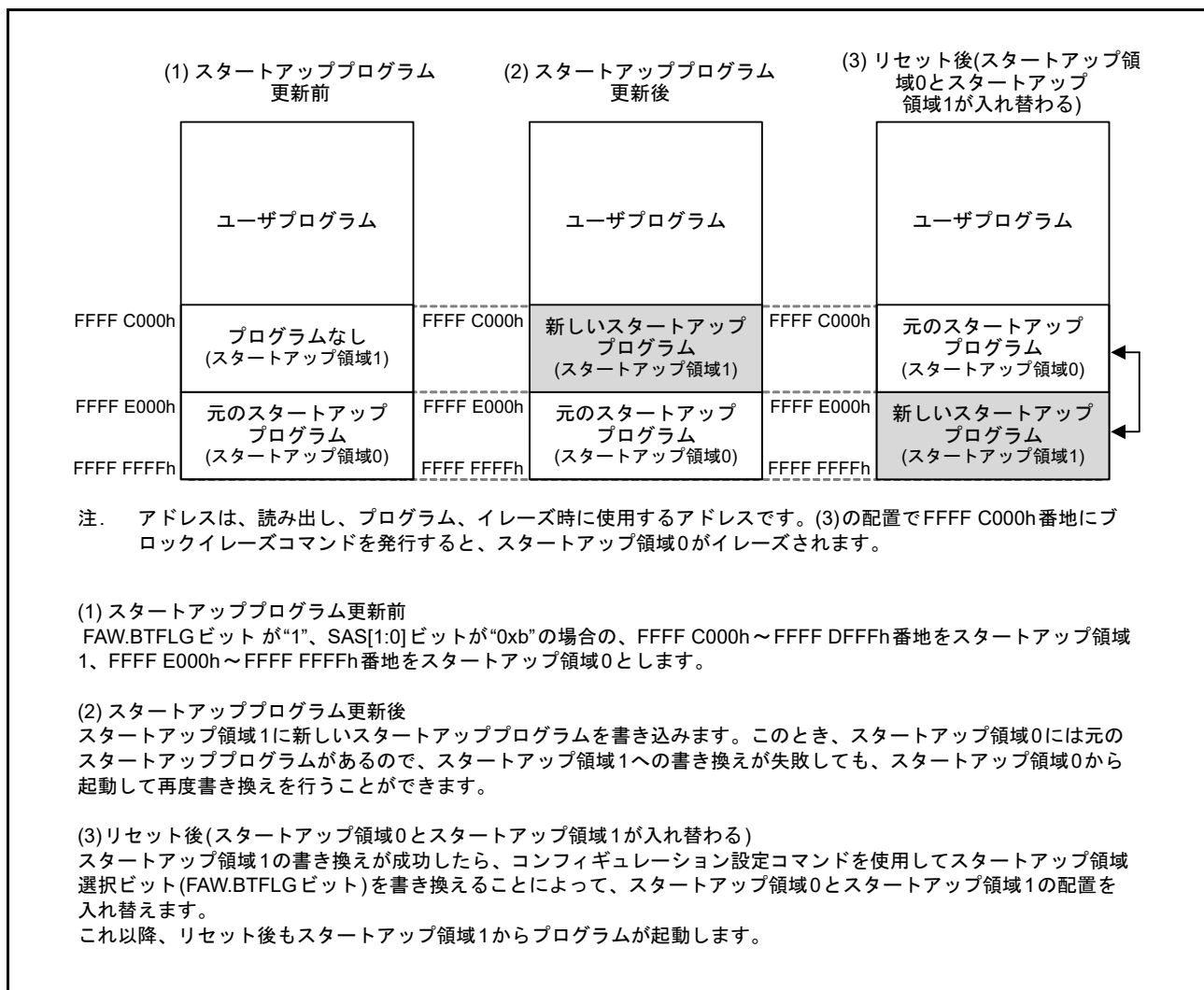


図 55.27 スタートアッププログラム保護機能の概念

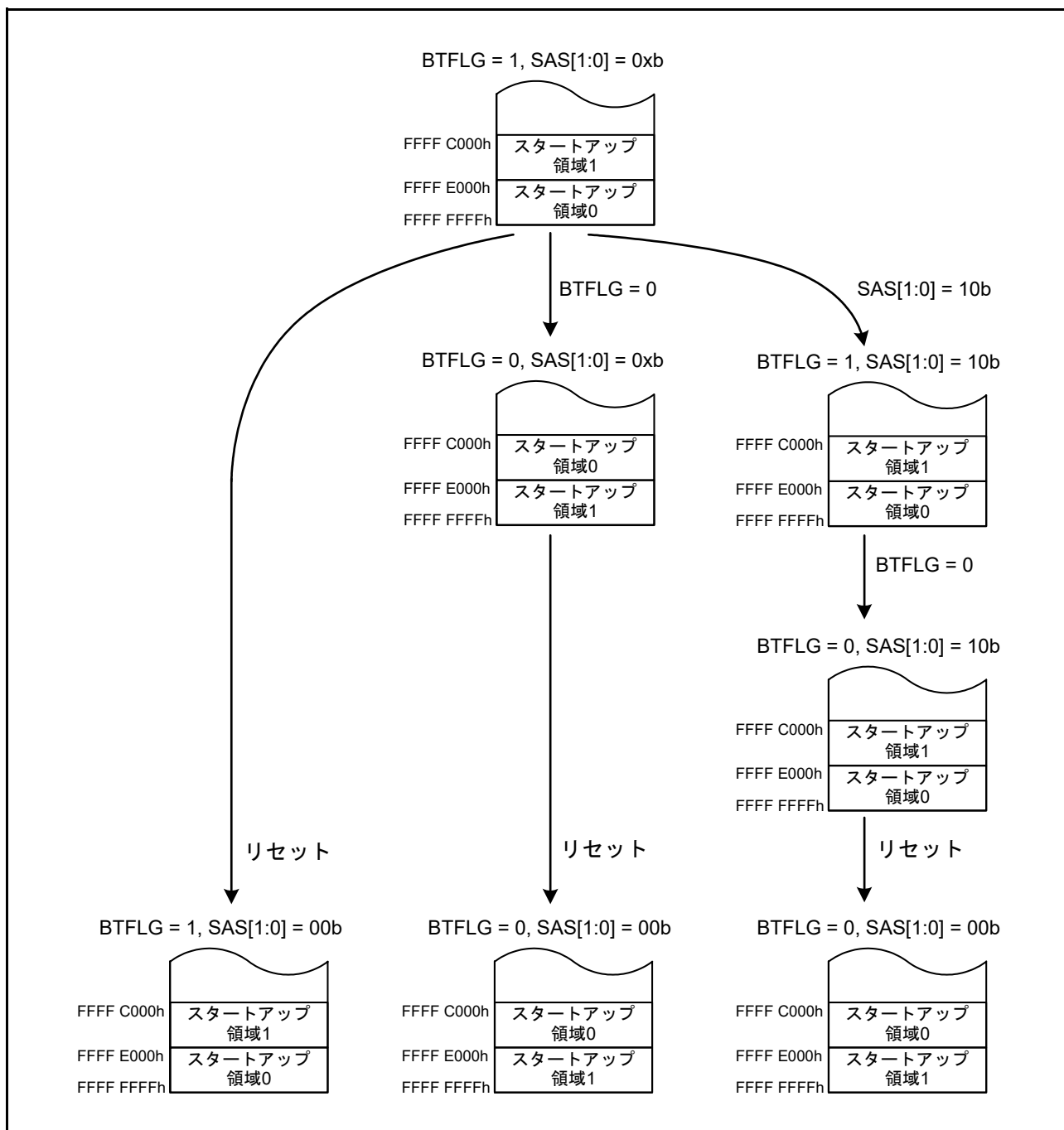


図 55.28 スタートアッププログラム保護機能の設定遷移例 1

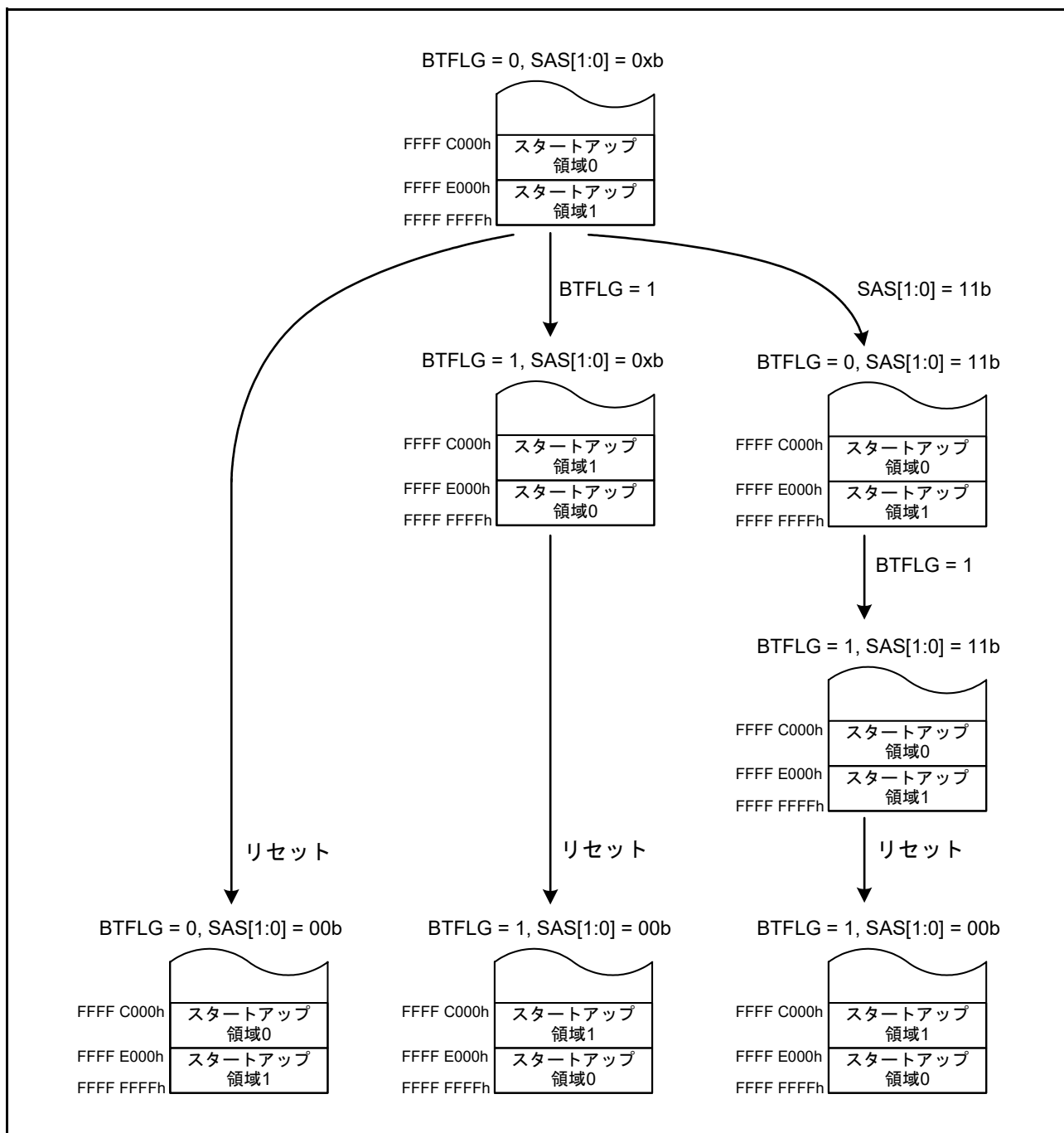


図 55.29 スタートアッププログラム保護機能の設定遷移例 2

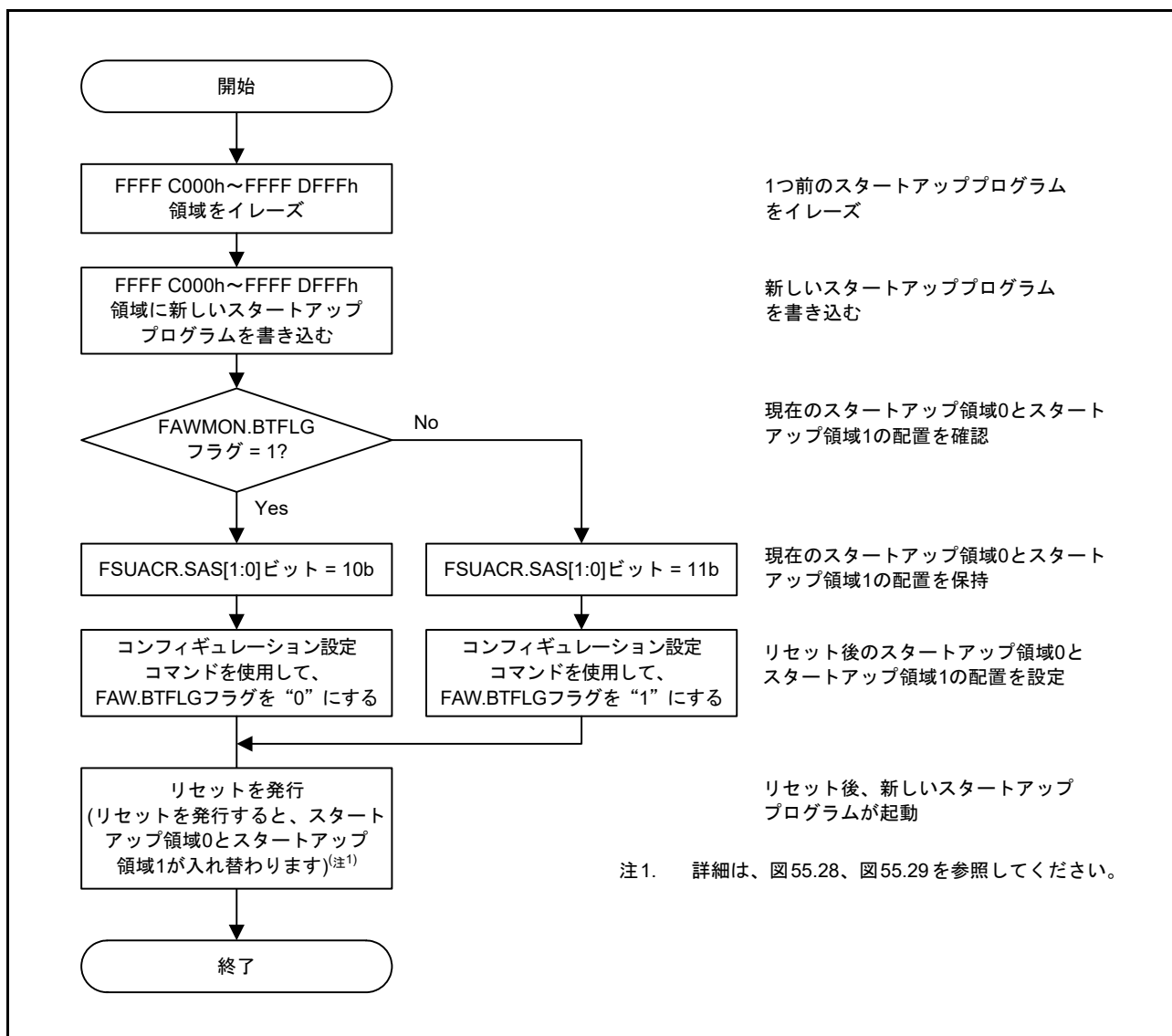


図 55.30 スタートアップ領域選択フロー例

55.10.4 エリアプロテクションによるプロテクト

設定されたアクセスウィンドウの外側の領域に対してプログラム/イレーズを行う FACL コマンドを発行するとコマンドロック状態になります。アクセスウィンドウはコードフラッシュメモリのユーザ領域のみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモードで有効になります。

アクセスウィンドウはブロック単位で設定可能です。

図 55.31 にエリアプロテクションの概念を示します。

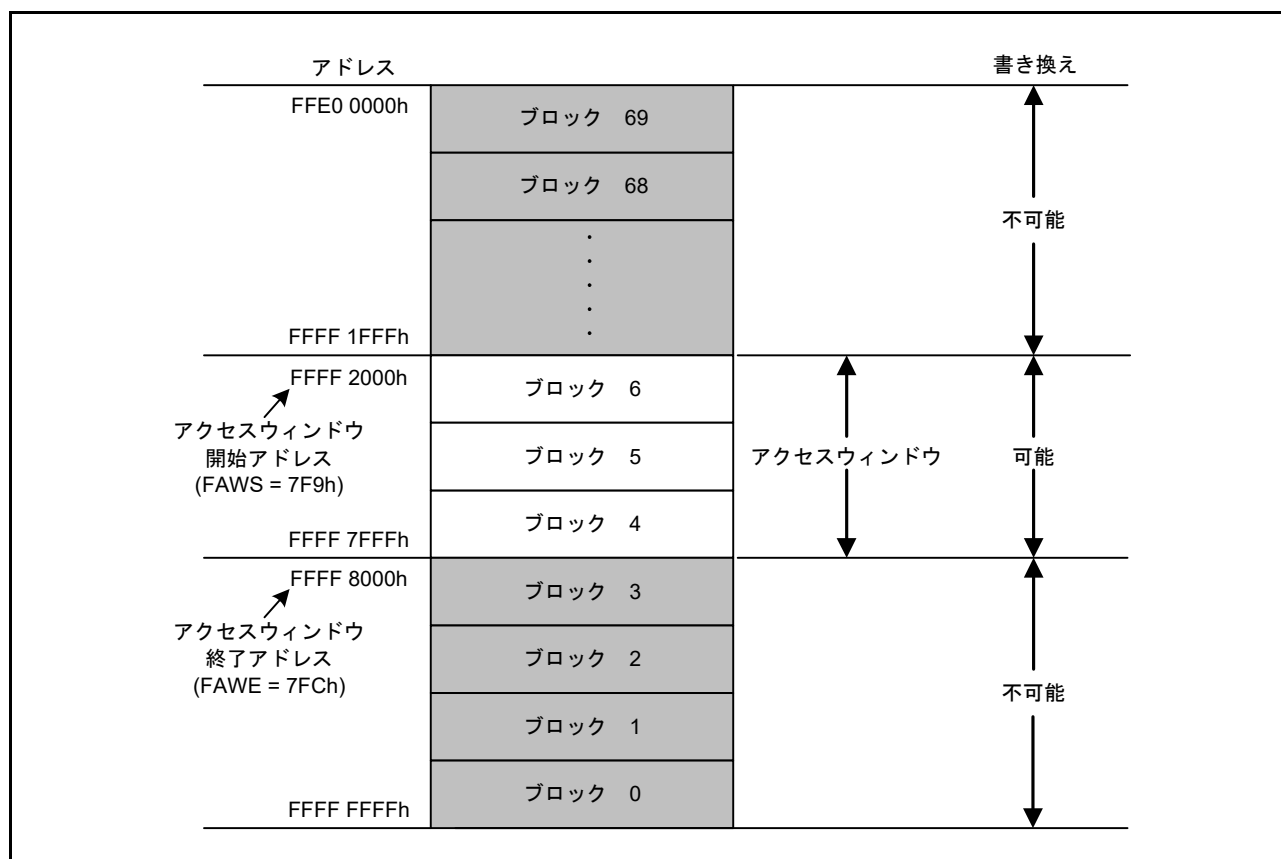


図 55.31 エリアプロテクションの概念 (コードフラッシュメモリ容量が 2M バイトの製品でブロック 4 からブロック 6 をアクセスウィンドウに設定した場合の例)

55.10.5 デュアルバンク機能

バンクモード切り替え機能と起動バンク選択機能によりユーザプログラムを実行しながらプログラムを更新できます。バンクモード切り替え機能と起動バンク選択機能によりリセットなどによる書き換え動作の中断に対して安全な更新方法を提供しています。

55.10.5.1 バンクモード切り替え機能

バンクモード切り替え機能により、コードフラッシュメモリのユーザ領域を1つの領域として扱うリニアモードと、2つのバンク領域として扱うデュアルモードを切り替えることができます。図 55.32 にバンクモード切り替え機能を示します。オプション設定メモリの MDE.BANKMD[2:0] ビットの値を設定してからリセットを実施することで、バンクモード切り替え機能のモードが決まります。デュアルモードを選択すると、起動バンク選択機能が有効になります。

なお、デュアルモード選択時 (MDE.BANKMD[2:0] = 000b) は、スタートアッププログラム保護機能は使用できません。

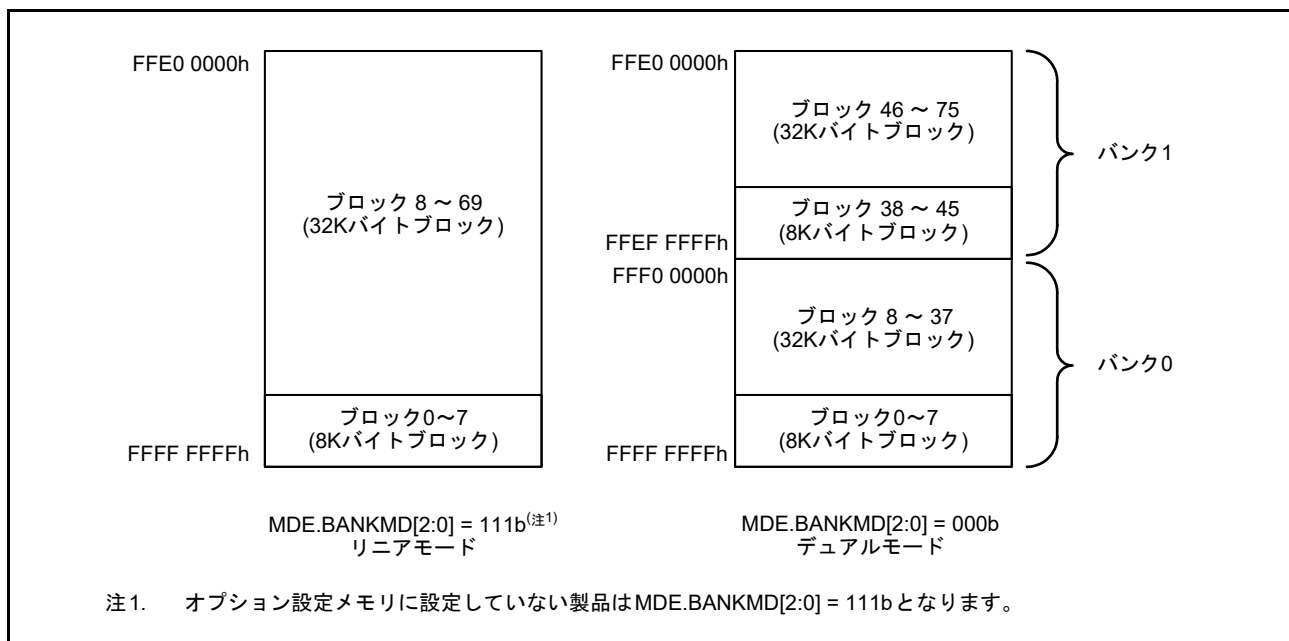


図 55.32 バンクモード切り替え例 (コードフラッシュメモリ容量が2Mバイトの製品の例)

55.10.5.2 起動バンク選択機能

起動バンク選択機能により、デュアルモード選択時 (MDE.BANKMD[2:0] = 000b) にプログラムを起動するバンク領域を選択することで、リセットなどによる書き換え動作の中断に対して安全なプログラム更新方法を提供します。図 55.33 に起動バンク選択機能について、図 55.34 に起動バンク選択フロー例を示します。オプション設定メモリの BANKSEL.BANKSWP[2:0] ビットの値を設定してからリセットすることで、バンク 0 とバンク 1 のアドレスが切り替わり、更新した領域からプログラム起動を行います。起動バンク選択によりアドレス切り替えを行った状態では、FACI コマンドによる P/E 対象も入れ替わります。本機能はリニアモード選択時は無効です。

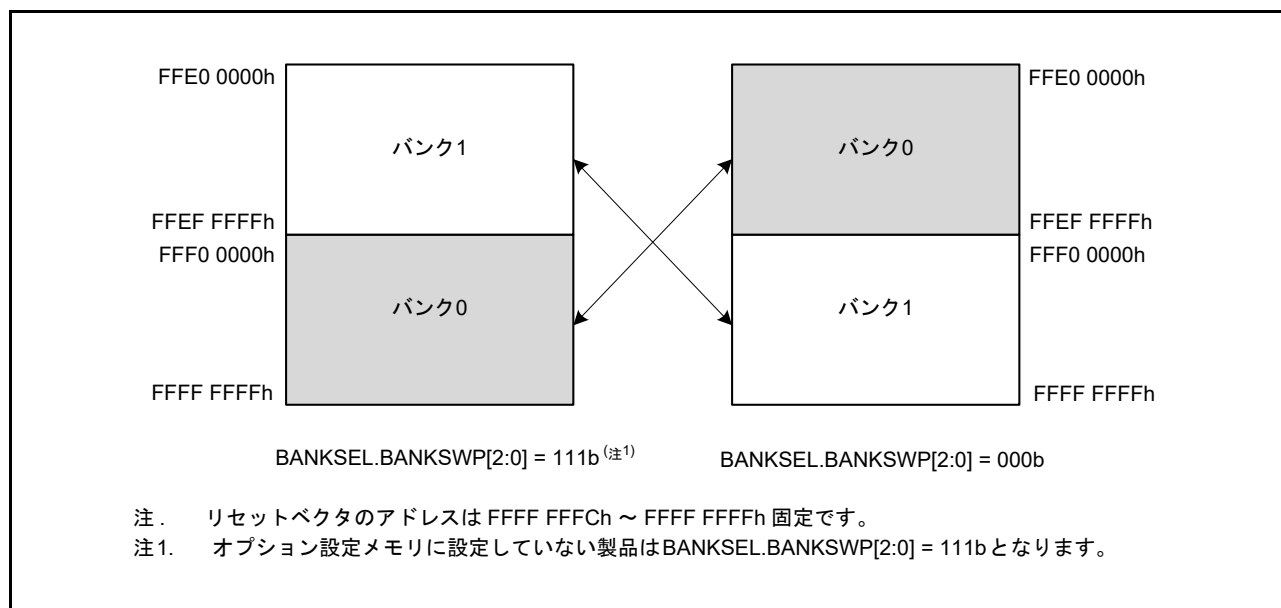


図 55.33 起動バンク選択例 (コードフラッシュメモリ容量が 2M バイトの製品の例)

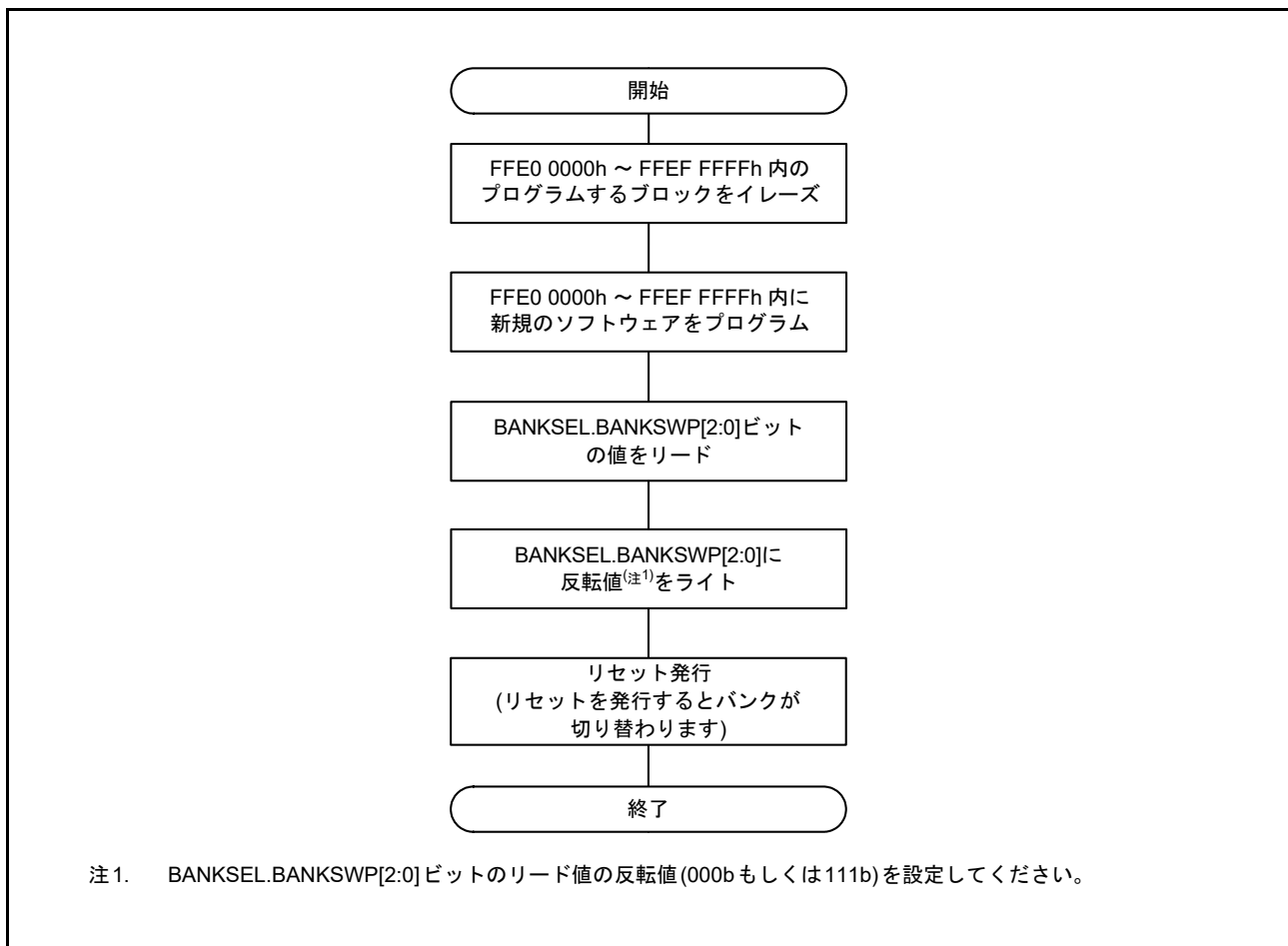


図 55.34 起動バンク選択フロー例 (コードフラッシュメモリ容量が2Mバイトの製品の例)

55.11 ブートモード

ブートモードにはSCIを使用するブートモード (SCI インタフェース) と USB を使用するブートモード (USB インタフェース) と FINE を使用するブートモード (FINE インタフェース) があります。表 55.17 にブートモードで使用する入出力端子を示します。

表 55.17 ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード (SCI インタフェース)	動作モードを選択
PC7/UB	入力	ブートモード (USB インタフェース)	ブートモード (SCI インタフェース)、ブートモード (USB インタフェース) を選択
P30/RXD1	入力	ブートモード (SCI インタフェース)	ホスト通信用 (SCI データ受信用)
P26/TXD1	出力	ブートモード (SCI インタフェース)	ホスト通信用 (SCI データ送信用)
USB0_DP, USB0_DM	入出力	ブートモード (USB インタフェース)	USB データの入出力
P16/USB0_VBUS	入力	ブートモード (USB インタフェース)	USB ケーブルの接続/切断の検出
P35/UPSEL	入力	ブートモード (USB インタフェース)	USB バスパワーモード/セルフパワーモードを選択
MD/FINED	入出力	ブートモード (FINE インタフェース)	動作モードを選択、FINE データの入出力

55.11.1 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) では、ホストから制御コマンドやプログラムデータを送信してフラッシュメモリへのプログラム/イレーズが実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU をブートモード (SCI インタフェース) で起動すると、MCU 内部の専用領域上のプログラム (ブートプログラム) が実行されます。ブートプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、プログラム/イレーズの制御をします。

図 55.35 にブートモード (SCI インタフェース) 時のシステム構成を示します。

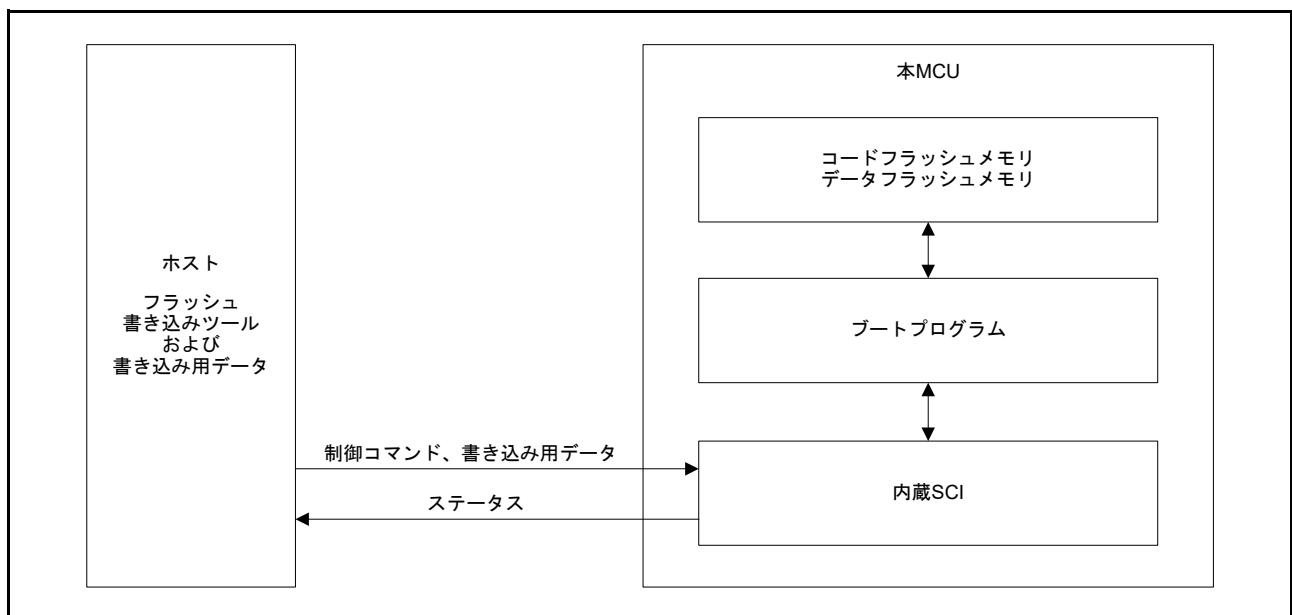


図 55.35 ブートモード (SCI インタフェース) 時のシステム構成

55.11.2 ブートモード (USB インタフェース)

ブートモード (USB インタフェース) では、ホストから制御コマンドやプログラムデータを送信してフラッシュメモリへのプログラム/イレーズが実行可能です。ホストと本 MCU 間の通信には、内蔵の USB を使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。図 55.36 にブートモード (USB インタフェース) 時のシステム構成を示します。

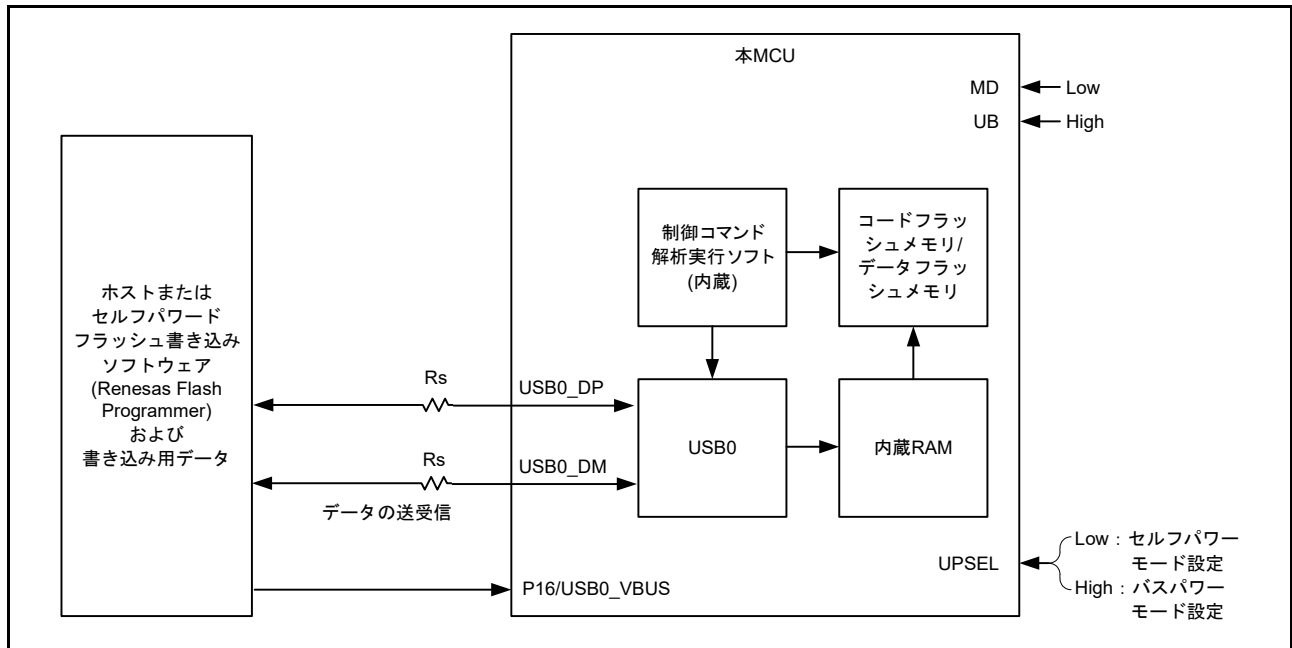


図 55.36 ブートモード (USB インタフェース) 時のシステム構成

ブートモード (USB インタフェース) では、セルフパワーモードもしくはバスパワーモードを選択して動作します。MD 端子、UPSEL 端子を Low に、UB 端子を High にしてリセットを解除すると、セルフパワーモードで動作します。MD 端子を Low に、UB 端子、UPSEL 端子を High にしてリセットを解除すると、バスパワーモードで動作します。

表 55.18 に各モードのエニユメレーション情報を示します。表 55.19 にデバイスクラス情報を示します。

表 55.18 エニユメレーション情報

USB 規格	Ver.2.0 (Full-speed)	
最大電力量	セルフパワーモード時 (P35/UPSEL 端子 = Low)	100mA
	バスパワーモード時 (P35/UPSEL 端子 = High)	500mA

表 55.19 デバイスクラス情報

デバイスクラス	コミュニケーションデバイスクラス (CDC)
サブクラス	Abstract Control Model (ACM)

55.11.3 ブートモード (FINE インタフェース)

ブートモード (FINE インタフェース) は、フラッシュメモリのプログラム / イメージに FINE を使用するモードです。フラッシュメモリを書き換えることができます。

55.11.3.1 ブートモード (FINE インタフェース) の動作条件

ブートモード (FINE インタフェース) は、シリアルプログラマとの通信に、FINE を使用します。

図 55.37 にブートモード (FINE インタフェース) 時の端子接続例を、表 55.20 にブートモード (FINE インタフェース) 時に使用する端子の処理内容を示します。

なお、図 55.37 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

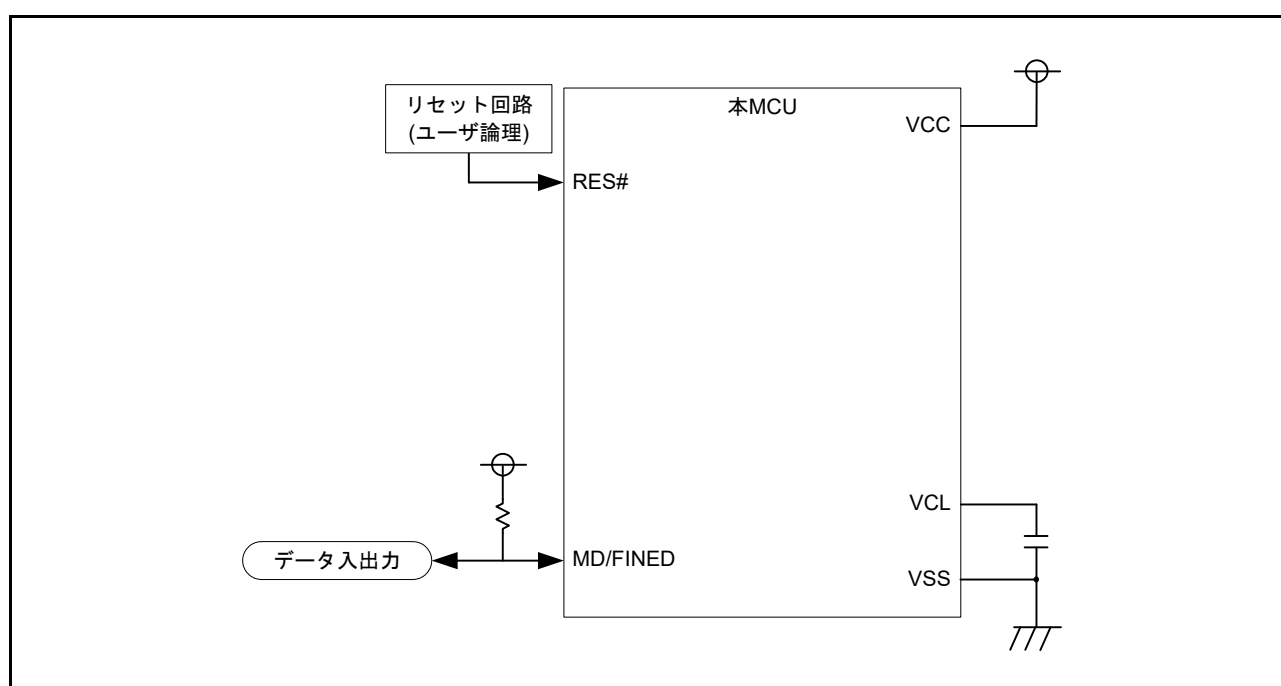


図 55.37 ブートモード (FINE インタフェース) 時の端子接続例

表 55.20 ブートモード (FINE インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源入力	入力	VCC 端子には 2.7 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の 0.22 μF の積層セラミックコンデンサを介して VSS に接続してください
MD	動作モードコントロール / データ入出力	入出力	抵抗を介して VCC に接続 (プルアップ) してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください

55.12 オンチップデバッグ ID コードプロテクト

オンチップデバッグ (OCD) への接続を禁止するための機能です。エミュレータを接続する場合、オプション設定メモリ上に書かれている OSIS レジスタの ID コードを使い、ID コードの判定を行います。

エミュレータから送られてくる ID コードと、OSIS レジスタの ID コードの一致を判定し、一致した場合、OCD への接続を許可します。一致しない場合、OCD への接続はできません。

55.13 シリアルプログラマ ID コードプロテクト

シリアルプログラマとの接続を禁止するための機能です。シリアルプログラマを接続する場合、オプション設定メモリ上に書かれている OSIS レジスタの制御コードと ID コードを使い、ID コードの判定を行います。

シリアルプログラマから送られてくる制御コードおよび ID コードと、OSIS レジスタの制御コードおよび ID コードの一致を判定し、一致した場合、シリアルプログラマとの接続を許可します。一致しない場合、シリアルプログラマとの接続はできません。ただし、制御コードが“45h”の状態ですべて3回連続して判定結果が一致しなかった場合、フラッシュメモリを全て消去(注1)します。

注1. FAW.FSPR ビットが“0”の場合はフラッシュメモリを消去しません。

55.14 ROM コードプロテクト

ROM コードプロテクトは、パラレルプログラマを使用する場合にフラッシュメモリのリード、プログラム/イレーズを禁止する機能です。

詳細は、「7.2.10 ROM コードプロテクトレジスタ (ROMCODE)」を参照してください。

55.15 ブートモード通信プロトコル

ブートモードで使用する通信プロトコルを説明します。シリアルプログラマを開発される場合には、この通信プロトコルで制御してください。

55.15.1 ブートモードの起動方法

(1) ブートモード (SCI インタフェース) の起動方法

ブートモード (SCI インタフェース) で起動するには、MD 端子を Low、UB 端子を Low にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。また、ブートモード (SCI インタフェース) で起動した後、本 MCU との通信が可能になるまでには、RES# 端子を High にしたまま、400ms 以上の待ち時間が必要です。

図 55.38 にブートモード (SCI インタフェース) で通信が可能になるまでの各端子の状態を示します。

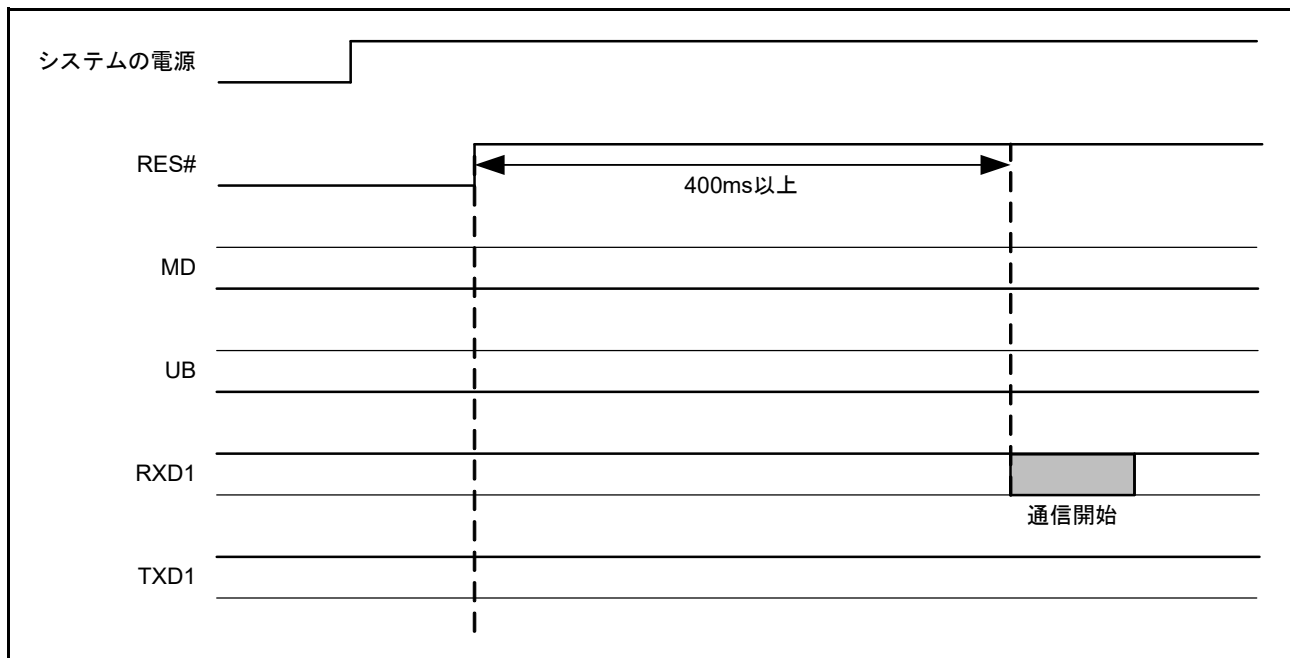


図 55.38 ブートモード (SCI インタフェース) で通信が可能になるまでの各端子の状態

(2) ブートモード (USB インタフェース) の起動方法

ブートモード (USB インタフェース) で起動するには、MD 端子を Low、UB 端子を High にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。

55.15.2 ブートモードの状態遷移

55.15.2.1 ブートモード (SCI インタフェース) の状態遷移

図 55.39 にブートモード (SCI インタフェース) の状態遷移フローを示します。

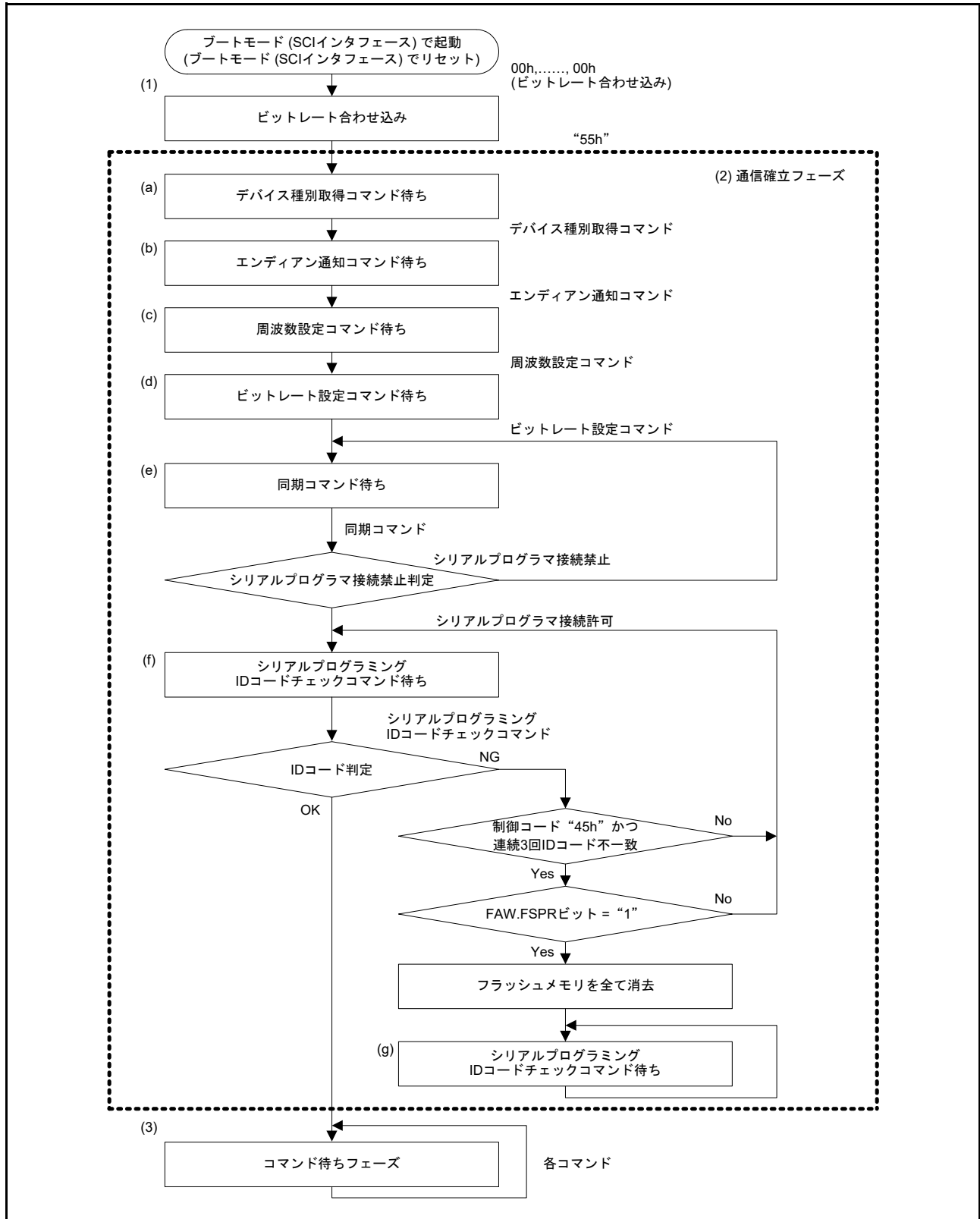


図 55.39 ブートモード (SCI インタフェース) の状態遷移フロー

(1) ビットレート合わせ込み

本 MCU をブートモードで起動すると、ホストと SCI 通信用のビットレートの自動調整を実行します。ビットレートの自動調整が終了すると、本 MCU からホストへ“00h”を送信します。その後、ホストから送信された“55h”を本 MCU が正しく受信すると通信確立フェーズに遷移します。ビットレート合わせ込みの詳細は「55.15.3 ビットレートの自動調整」を参照してください。

(2) 通信確立フェーズ

デバイス、エンディアン、周波数、ビットレートを選択するための状態です。また、シリアルプログラマ ID コードプロテクトの判定を行います。通信確立フェーズで使用するコマンドの詳細は「55.15.5 通信確立フェーズ」を参照してください。

(a) デバイス種別取得コマンド待ち

ホストからデバイス種別取得コマンドが送られてくるのを待ちます。デバイス種別取得コマンドを受信した場合、エンディアン通知コマンド待ちに遷移します。デバイス種別取得コマンドの詳細は「55.15.9 デバイス種別取得コマンド」を参照してください。

(b) エンディアン通知コマンド待ち

ホストからエンディアン通知コマンドが送られてくるのを待ちます。エンディアン通知コマンドを受信した場合、周波数設定コマンド待ちに遷移します。エンディアン通知コマンドの詳細は「55.15.10 エンディアン通知コマンド」を参照してください。

(c) 周波数設定コマンド待ち

ホストから周波数設定コマンドが送られてくるのを待ちます。周波数設定コマンドを受信した場合、ビットレート設定コマンド待ちに遷移します。周波数設定コマンドの詳細は「55.15.11 周波数設定コマンド」を参照してください。

(d) ビットレート設定コマンド待ち

ホストからビットレート設定コマンドが送られてくるのを待ちます。ビットレート設定コマンドを受信した場合、同期コマンド待ちに遷移します。ビットレート設定コマンドの詳細は「55.15.12 ビットレート設定コマンド」を参照してください。

(e) 同期コマンド待ち

ホストから同期コマンドが送られてくるのを待ちます。同期コマンドを受信した場合、シリアルプログラミング ID コードチェックコマンド待ちに遷移します。また、シリアルプログラマ接続禁止が設定されている場合、本 MCU からホストへシリアルプログラマ接続禁止エラーを送信し、同期コマンド待ちのまま状態遷移を行いません。同期コマンドの詳細は「55.15.13 同期コマンド」を参照してください。

(f) シリアルプログラミング ID コードチェックコマンド待ち

ホストからシリアルプログラミング ID コードチェックコマンドが送られてくるのを待ちます。送られてくる制御コード、および ID コードと、OSIS レジスタに書かれている制御コードおよび ID コードを比較し、一致していればコマンド待ちフェーズに遷移します。一致していなければ、シリアルプログラミング ID コードチェックコマンド待ちに戻ります。

ただし、制御コードが“45h”の状態で3回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去(注1)します。

シリアルプログラミング ID コードチェックコマンドの詳細は、「55.15.15 シリアルプログラミング ID コードチェックコマンド」を参照してください。

注1. FAW.FSPR ビットが“0”の場合は消去しません。

(g) シリアルプログラミング ID コードチェックコマンド待ち (消去後)

フラッシュメモリを全て消去後は、ブートモードにて起動し直してください。

(3) コマンド待ちフェーズ

ホストからのコマンドにしたがって、プログラム/イレーズを実行する状態です。コマンド待ちフェーズで使用するコマンドの詳細は「55.15.6 コマンド待ちフェーズ」を参照してください。

55.15.2.2 ブートモード (USB インタフェース) の状態遷移

図 55.40 にブートモード (USB インタフェース) の状態遷移フローを示します。

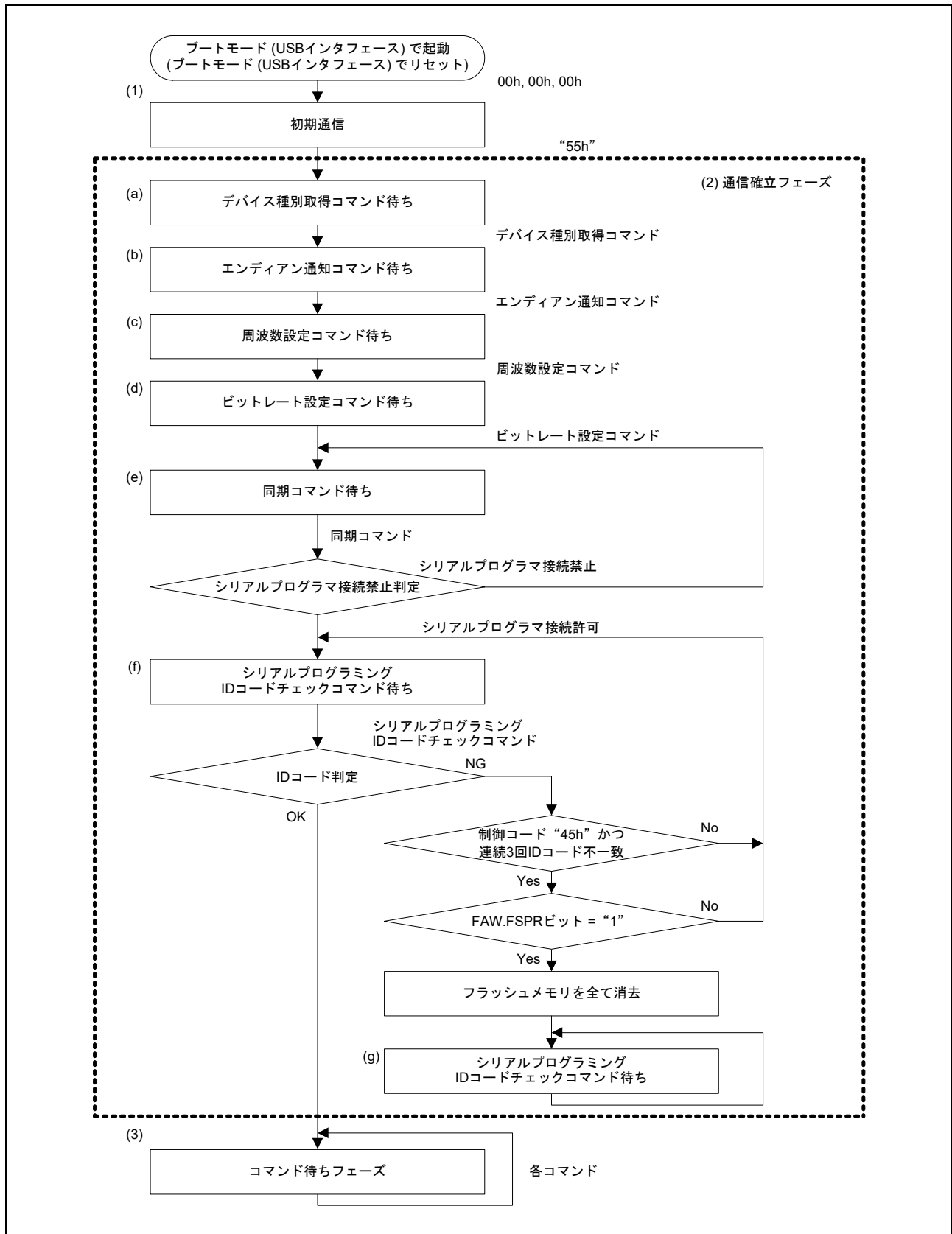


図 55.40 ブートモード (USB インタフェース) の状態遷移フロー

(1) 初期通信

ブートモード (USB インタフェース) で起動すると、エニユメレーションを開始します。

ホストと MCU のエニユメレーションが完了したら、ホストから本 MCU へ “00h” を 3 回送信してください。

MCU は 4 回目以降のホストからの “00h” 送信は無視します。

本 MCU は “00h” を 3 回受信するとホストへ “00h” を返信します。その後、ホストから送信された “55h” を本 MCU が正しく受信すると通信確立フェーズに遷移します。

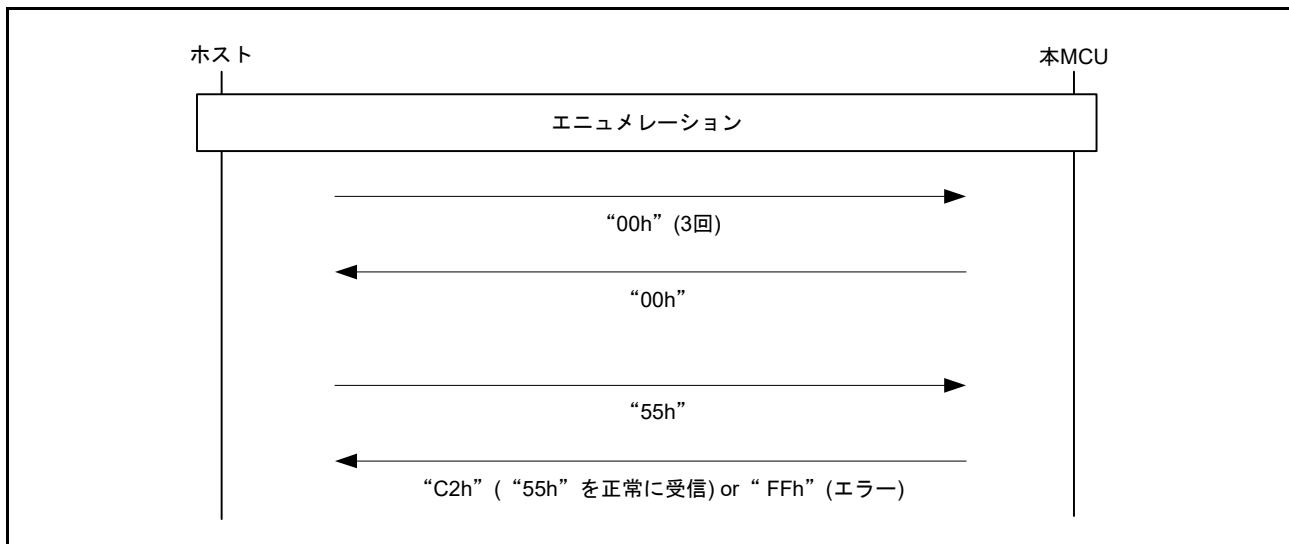


図 55.41 ホストと本 MCU 間の初期通信

(2) 通信確立フェーズ

デバイス、エンディアン、周波数、ビットレートを選択するための状態です。また、シリアルプログラマ ID コードプロテクトの判定を行います。通信確立フェーズで使用するコマンドの詳細は「55.15.5 通信確立フェーズ」を参照してください。

(a) デバイス種別取得コマンド待ち

ホストからデバイス種別取得コマンドが送られてくるのを待ちます。デバイス種別取得コマンドを受信した場合、エンディアン通知コマンド待ちに遷移します。デバイス種別取得コマンドの詳細は「55.15.9 デバイス種別取得コマンド」を参照してください。

(b) エンディアン通知コマンド待ち

ホストからエンディアン通知コマンドが送られてくるのを待ちます。エンディアン通知コマンドを受信した場合、周波数設定コマンド待ちに遷移します。エンディアン通知コマンドの詳細は「55.15.10 エンディアン通知コマンド」を参照してください。

(c) 周波数設定コマンド待ち

ホストから周波数設定コマンドが送られてくるのを待ちます。周波数設定コマンドを受信した場合、ボーレート設定コマンド待ちに遷移します。周波数設定コマンドの詳細は「55.15.11 周波数設定コマンド」を参照してください。

(d) ビットレート設定コマンド待ち

ホストからビットレート設定コマンドが送られてくるのを待ちます。ビットレート設定コマンドを受信した場合、同期コマンド待ちに遷移します。ビットレート設定コマンドの詳細は「55.15.12 ビットレート設

定コマンド」を参照してください。

(e) 同期コマンド待ち

ホストから同期コマンドが送られてくるのを待ちます。同期コマンドを受信した場合、シリアルプログラミング ID コードチェックコマンド待ちに遷移します。また、シリアルプログラマ接続禁止が設定されている場合、本 MCU からホストへシリアルプログラマ接続禁止エラーを送信し、同期コマンド待ちのまま状態遷移を行いません。同期コマンドの詳細は「55.15.13 同期コマンド」を参照してください。

(f) シリアルプログラミング ID コードチェックコマンド待ち

ホストからシリアルプログラミング ID コードチェックコマンドが送られてくるのを待ちます。送られてくる制御コード、および ID コードと、OSIS レジスタに書かれている制御コードおよび ID コードを比較し、一致していればコマンド待ちフェーズに遷移します。一致していなければ、シリアルプログラミング ID コードチェックコマンド待ちに戻ります。

ただし、制御コードが“45h”の状態が3回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去(注1)します。

シリアルプログラミング ID コードチェックコマンドの詳細は、「55.15.15 シリアルプログラミング ID コードチェックコマンド」を参照してください。

注1. FAW.FSPR ビットが“0”の場合は消去しません。

(g) シリアルプログラミング ID コードチェックコマンド待ち (消去後)

フラッシュメモリを全て消去後は、ブートモードにて起動し直してください。

(3) コマンド待ちフェーズ

ホストからのコマンドにしたがって、プログラム/イレーズを実行する状態です。コマンド待ちフェーズで使用するコマンドの詳細は「55.15.6 コマンド待ちフェーズ」を参照してください。

55.15.3 ビットレートの自動調整

本 MCU をブートモード (SCI インタフェース) で起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ “00h” の Low 期間を測定します。Low 期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600bps に設定してください。本 MCU は測定した Low 期間を使用して SCI のビットレート調整を行い “00h” をホストへ送信します。

ホストが “00h” を正常に受信した場合には、ホストから本 MCU に “55h” を送信してください。“00h” を正常に受信できなかった場合には、本 MCU をブートモードで再起動し、ビットレートの自動調整を再実行してください。本 MCU は “55h” を正常に受信すると “C2h” を送信し、“55h” を正常に受信できなかった場合には “FFh” を送信します。

本 MCU をブートモード (USB インタフェース) で起動するとビットレート自動調整は実行されません。

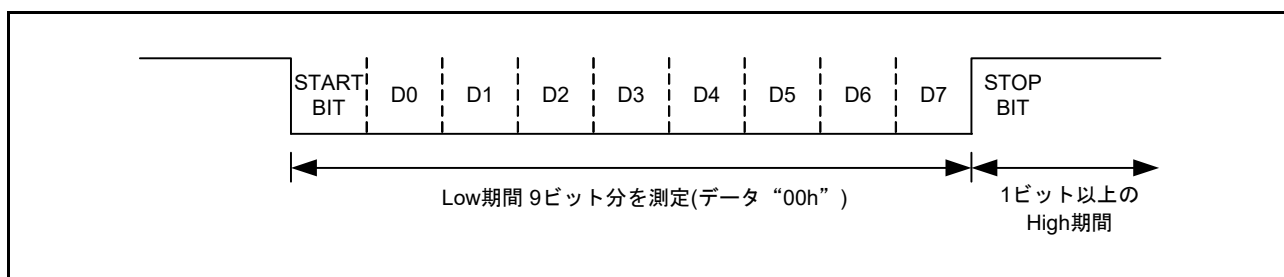


図 55.42 ビットレート自動調整時の SCI 送受信フォーマット

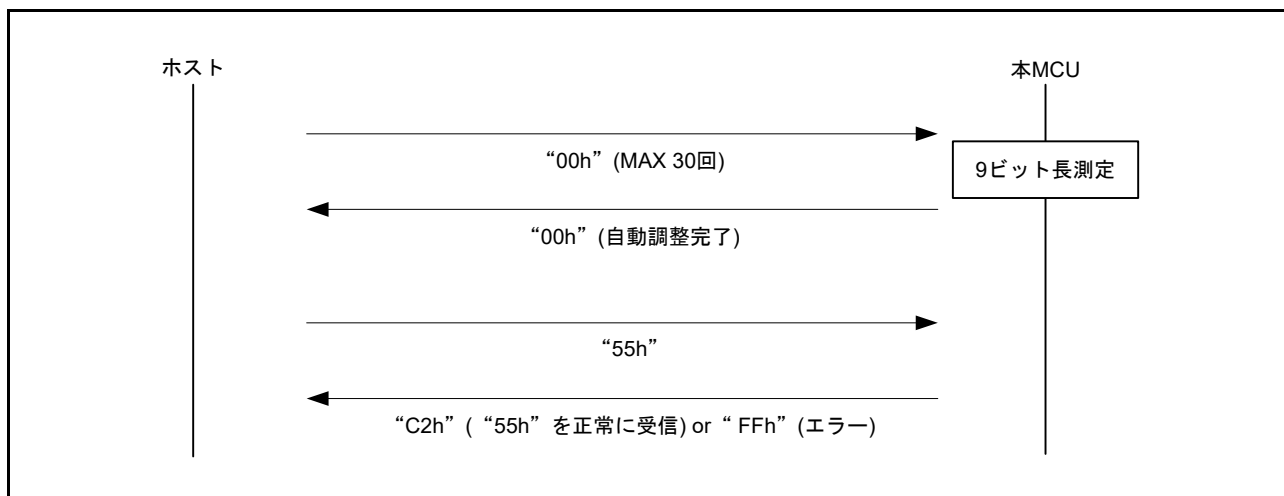


図 55.43 ホストと本 MCU 間の通信シーケンス

ホストの SCI のビットレートは、表 55.21 に示した条件で SCI の通信を行うようにしてください。

表 55.21 ビットレート自動調整が可能な条件

ホストの SCI のビットレート
9,600bps

55.15.4 パケットフォーマット

(1) コマンドパケット

以下のフォーマットで、ホストから本 MCU へのコマンド送信を行います。

S O H	L N H	L N L	C O M	コマンド情報 (可変長) (最大: 255 バイト)	S U M	E T X
-------------	-------------	-------------	-------------	----------------------------------	-------------	-------------

シンボル	コード	概要
SOH	01h	パケット開始(1バイト)
LNH	—	パケット長("COM + コマンド情報"の長さ)(8~15ビット)(1バイト)
LNL	—	パケット長("COM + コマンド情報"の長さ)(0~7ビット)(1バイト)
COM	—	コマンドコード(1バイト)
コマンド情報	—	コマンド情報(最大: 255バイト)
SUM(注1)	—	"LNH + LNL + COM + コマンド情報"のサムデータの2の補数(1バイト)
ETX	03h	パケット終了(1バイト)

注1. SUMは、"LNH + LNL + COM + コマンド情報 + SUM"の合計が"00h"になるように計算された1バイトデータを指します。

(2) ステータスパケット / データパケット

以下のフォーマットで、ホスト一本 MCU 間のデータ通信を行います。

S O D	L N H	L N L	R E S	データ (可変長) (最大: 1024 バイト)	S U M	E T B	E T X
-------------	-------------	-------------	-------------	--------------------------------	-------------	-------------	-------------

シンボル	コード	概要
SOD	81h	パケット開始(1バイト)
LNH	—	パケット長("RES + Data"の長さ)(8~15ビット)(1バイト)
LNL	—	パケット長("RES + Data"の長さ)(0~7ビット)(1バイト)
RES	—	レスポンスコード(1バイト)
Data	—	データ(最大: 1024バイト)
SUM(注1)	—	"LNH + LNL + RES + Data"のサムデータの2の補数(1バイト)
ETB	17h	パケット終了(1バイト)
ETX	03h	最終パケット終了(1バイト)

注1. SUMは、"LNH + LNL + RES + Data + SUM"の合計が"00h"になるように計算された1バイトデータを指します。

55.15.5 通信確立フェーズ

表 55.22 に通信確立フェーズで使用可能なコマンドの一覧を示します。

同期コマンドと ID 認証モード取得コマンドはコマンド待ちフェーズでも使用可能です。

表 55.22 通信確立フェーズで使用可能なコマンド

コマンド名	機能
デバイス種別取得	ブートモードがサポートする発振周波数・CPU動作周波数(Hz単位)をホストへ送信します。
エンディアン通知	エンディアン(ビッグ/リトル)を通知します。
周波数設定	発振周波数・CPU動作周波数のデータ(Hz単位)を設定します。
ビットレート設定	ビットレートの変更を行います。
同期	通信同期処理に使用します。また、本MCUがコマンド受け付け可能な状態かどうかを確認する場合にも使用します。
ID認証モード取得	シリアルプログラマIDコードプロテクトの有効をホストへ送信します。
シリアルプログラミングIDコードチェック	オプション設定メモリに設定されている制御コードおよびIDコードと、ホストが送信した制御コードおよびIDコードとの一致判定を行います。

通信確立フェーズでは、コマンドのレスポンスを参考にして、デバイス種別取得 → エンディアン通知 → 周波数設定 → ビットレート設定 → 同期コマンドの順にホストからコマンドを送信してください。同期コマンドに続いて ID 認証モード取得、またはシリアルプログラミング ID コードチェックコマンドを送信してください。

誤った順番でコマンドを送信した場合や、上記以外のコマンドを送信した場合は、本MCUがフローエラーを送信します。

55.15.6 コマンド待ちフェーズ

表 55.23 にコマンド待ちフェーズで使用可能なコマンドの一覧を示します。
同期コマンドと ID 認証モード取得コマンドは通信確立フェーズでも使用可能です。

表 55.23 コマンド待ちフェーズで使用可能なコマンド

コマンド名	機能
同期	表 55.22 を参照してください。
ブランクチェック	指定した領域がブランクである事をチェックします。
ブロックイレーズ	指定した1ブロックをイレーズします。
エリアイレーズ	指定された領域をイレーズします。
プログラム	指定した領域へプログラムします。
リード	指定した領域からデータをリードします。
ID 認証モード取得	表 55.22 を参照してください。
単純加算サムチェック	指定した領域の加算サムを計算します。
コンフィギュレーションクリア	オプション設定メモリの設定値およびTM対象領域をイレーズします。
コンフィギュレーションプログラム	オプション設定メモリへ設定値をプログラムします。
コンフィギュレーションリード	オプション設定メモリの設定値をリードします。
エリア情報数取得	フラッシュメモリのエリア情報数を取得します。
エリア情報取得	フラッシュメモリのエリア情報を取得します。

ホストが未定義のコマンドを送信した場合は、本 MCU が未サポートエラーのレスポンスを送信します。

55.15.7 コマンドの通信シーケンス

コマンドごとに通信シーケンスが異なりますが、本MCUへの設定のみを行うコマンドと、本MCUの設定情報を取得するコマンドは、それぞれ共通の通信シーケンスとなります。ただし、コマンドパケット、ステータスパケット、データパケットの内容はコマンドごとに異なりますので、詳細は各コマンドの章を参照してください。

(1) 設定のみを行うコマンドの共通通信シーケンス

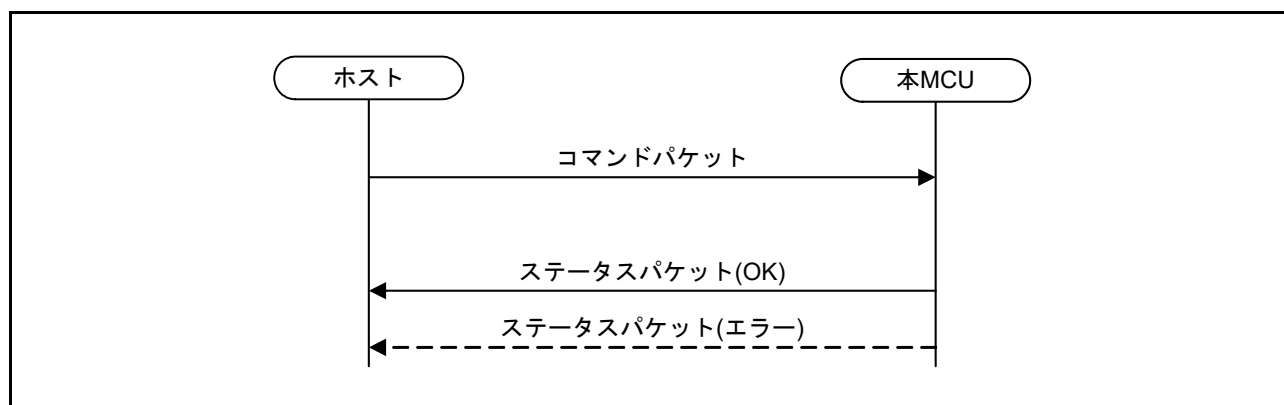


図 55.44 設定のみを行うコマンドの共通通信シーケンス

(2) 設定情報を取得するコマンドの共通通信シーケンス

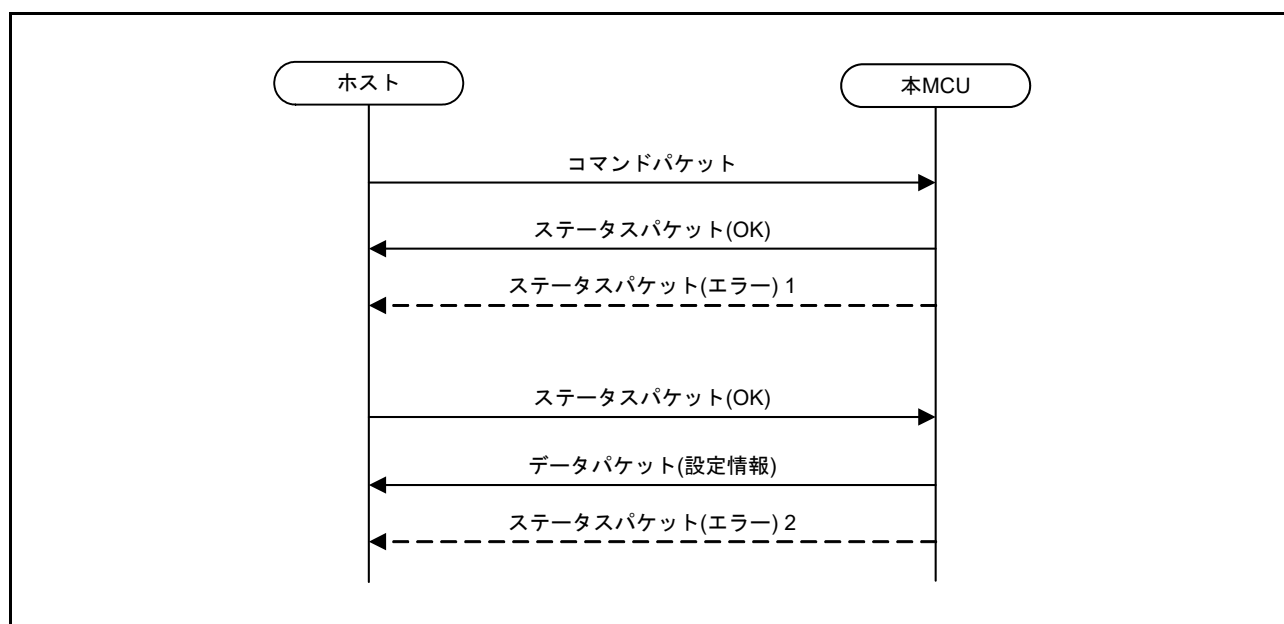


図 55.45 設定情報を取得するコマンドの共通通信シーケンス

表 55.24 共通通信シーケンス

コマンド名	共通通信シーケンス種別
デバイス種別取得	設定情報を取得するコマンド
エンディアン通知	設定のみを行うコマンド
周波数設定	設定情報を取得するコマンド
ビットレート設定	共通通信シーケンスではありません。
同期	設定のみを行うコマンド
ID認証モード取得	設定情報を取得するコマンド
シリアルプログラミングIDコードチェック	設定のみを行うコマンド
ブランクチェック	設定のみを行うコマンド
ブロックイレーズ	設定のみを行うコマンド
エリアイレーズ	設定のみを行うコマンド
プログラム	共通通信シーケンスではありません。
リード	共通通信シーケンスではありません。
単純加算サムチェック	設定情報を取得するコマンド
コンフィギュレーションクリア	設定のみを行うコマンド
コンフィギュレーションプログラム	共通通信シーケンスではありません。
コンフィギュレーションリード	設定情報を取得するコマンド
エリア情報数取得	設定情報を取得するコマンド
エリア情報取得	設定情報を取得するコマンド

共通通信シーケンスではないコマンドの通信シーケンスは、各コマンドの章を参照してください。

55.15.8 未サポートコマンド

本 MCU が未定義のコマンドパケットを受信した場合、未サポートエラー (C0h) を返信して、コマンド待ち状態に戻ります。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
 LNH : パケット長(8~15ビット)
 LNL : パケット長(0~7ビット)
 COM : コマンドコード(注1)
 SUM : サムデータ
 ETX : 03h

注 1. 表 55.23 で規定してあるコマンドコード以外のコマンドコード

(2) ステータスパケット構造

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : 80h | COM (コマンドコード)
 ERR : エラーコード
 C0h (未サポートエラー)
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 SUM : サムデータ
 ETX : 03h

55.15.9 デバイス種別取得コマンド

本コマンドでブートモード (SCI インタフェース) がサポートする入力周波数・システムクロック周波数 (Hz 単位) をホストへ送信します。

通信確立フェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 38h
SUM : C7h
ETX : 03h

(2) データパケット構造

S	L	L	R	T	O	O	C	C	S	E
O	N	N	E	Y	S	S	P	P	U	T
D	H	L	S	P	A	I	A	I	M	X

SOD : 81h
LNH : 00h
LNL : 19h
RES : 38h (OK)
TYP : タイプコード(8バイト)(注1)
OSA : 最大入力周波数(4バイト)
OSI : 最小入力周波数(4バイト)
CPA : 最大システムクロック周波数(4バイト)
CPI : 最小システムクロック周波数(4バイト)
SUM : サムデータ
ETX : 03h

以下のようなデータが送信されます。

最大入力周波数 = 16000000Hz

OSA (1st byte) : 00h
OSA (2nd byte) : F4h
OSA (3rd byte) : 24h
OSA (4th byte) : 00h

最小入力周波数 = 16000000Hz

OSI (1st byte) : 00h
OSI (2nd byte) : F4h
OSI (3rd byte) : 24h
OSI (4th byte) : 00h

最大システムクロック (ICLK) = 120000000Hz

CPA (1st byte) : 07h
CPA (2nd byte) : 27h
CPA (3rd byte) : 0Eh
CPA (4th byte) : 00h

最小システムクロック (ICLK) = 120000000Hz

CPI (1st byte) : 07h
CPI (2nd byte) : 27h
CPI (3rd byte) : 0Eh
CPI (4th byte) : 00h

ブートモード (USB インタフェース) の場合、OSA および OSI の値は使用している入力周波数 (20MHz または 24MHz) が送信されます。

注 1. 予約データ

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 38h (OK)
SUM : C7h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : B8h (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : B8h (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.10 エンディアン通知コマンド

本コマンドでエンディアン(ビッグ/リトル)を通知します。

プログラムするデータに応じて、いずれかのエンディアンをエンディアン情報に設定してください。

通信確立フェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	E	S	E
O	N	N	O	N	U	T
H	H	L	M	D	M	X

SOH : 01h
 LNH : 00h
 LNL : 02h
 COM : 36h
 END : エンディアン情報
 00h (ビッグエンディアン)
 01h (リトルエンディアン)
 SUM : サムデータ
 ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 36h (OK)
 SUM : C9h
 ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : B6h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D7h (エンディアンエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.11 周波数設定コマンド

本コマンドで発振周波数・CPU動作周波数のデータ (Hz 単位) を設定します。

ブートモード (SCI インタフェース)、またはブートモード (FINE インタフェース) 中は HOCO = 16MHz、ICLK = 120MHz で動作するため、入力周波数を 16MHz、システムクロック周波数を 120MHz に設定してください。また、ブートモード (SCI インタフェース)、またはブートモード (FINE インタフェース) 中は FCLK = PCLKB = 60MHz で動作するため、周辺モジュールクロック周波数は 60MHz を返信します。

ブートモード (USB インタフェース) 中は、使用している入力周波数 (20MHz または 24MHz)、ICLK = 120MHz で動作するため、入力周波数を 20MHz または 24MHz、システムクロック周波数を 120MHz に設定してください。また、ブートモード (USB インタフェース) 中は FCLK = 60MHz、UCLK = 48MHz で動作するため、周辺モジュールクロック周波数は 48MHz を返信します。

通信確立フェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	O	O	O	O	C	C	C	C	S	E
O	N	N	O	C	C	C	C	C	C	C	C	U	T
H	H	L	M	1	2	3	4	1	2	3	4	M	X

SOH : 01h
LNH : 00h
LNL : 09h
COM : 32h

(例) 入力周波数 = 16000000Hz
システムクロック周波数 = 120000000Hz
の場合、以下のようなデータを送信してください。

OC1 : 00h CC1 : 07h
OC2 : F4h CC2 : 27h
OC3 : 24h CC3 : 0Eh
OC4 : 00h CC4 : 00h

OC1 : 入力周波数
OC2 : 入力周波数
OC3 : 入力周波数
OC4 : 入力周波数
CC1 : システムクロック周波数
CC2 : システムクロック周波数
CC3 : システムクロック周波数
CC4 : システムクロック周波数
SUM : サムデータ
ETX : 03h

(2) データパケット構造

S	L	L	R	F	F	F	P	P	P	P	S	E	
O	N	N	E	Q	Q	Q	F	F	F	F	U	T	
D	H	L	S	1	2	3	4	1	2	3	4	M	X

SOD : 81h
LNH : 00h
LNL : 09h
RES : 32h

(例) 以下のようなデータが送信されます。
システムクロック周波数 = 120000000Hz
周辺モジュールクロック周波数 = 60000000Hz
FQ1 : 07h PF1 : 03h
FQ2 : 27h PF2 : 93h
FQ3 : 0Eh PF3 : 87h
FQ4 : 00h PF4 : 00h

FQ1 : システムクロック周波数
FQ2 : システムクロック周波数
FQ3 : システムクロック周波数
FQ4 : システムクロック周波数
PF1 : 周辺モジュールクロック周波数
PF2 : 周辺モジュールクロック周波数
PF3 : 周辺モジュールクロック周波数
PF4 : 周辺モジュールクロック周波数
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 32h (OK)
SUM : CDh
ETX : 03h

(4) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : B2h (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D1h (入力周波数エラー)
 D2h (システムクロック (ICLK) 周波数エラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.12 ビットレート設定コマンド

本コマンドでビットレート設定のデータ (bps 単位) を受信し、ビットレートの変更を行います。
 エラーが発生した場合、ビットレートの切り替えは行いません。
 通信確立フェーズでのみ受け付け可能なコマンドです。

ブートモード (USB インタフェース)、またはブートモード (FINE インタフェース) 時はビットレートの切り替えは行いません。ビットレートは任意の値を設定してください。

(1) 処理手順

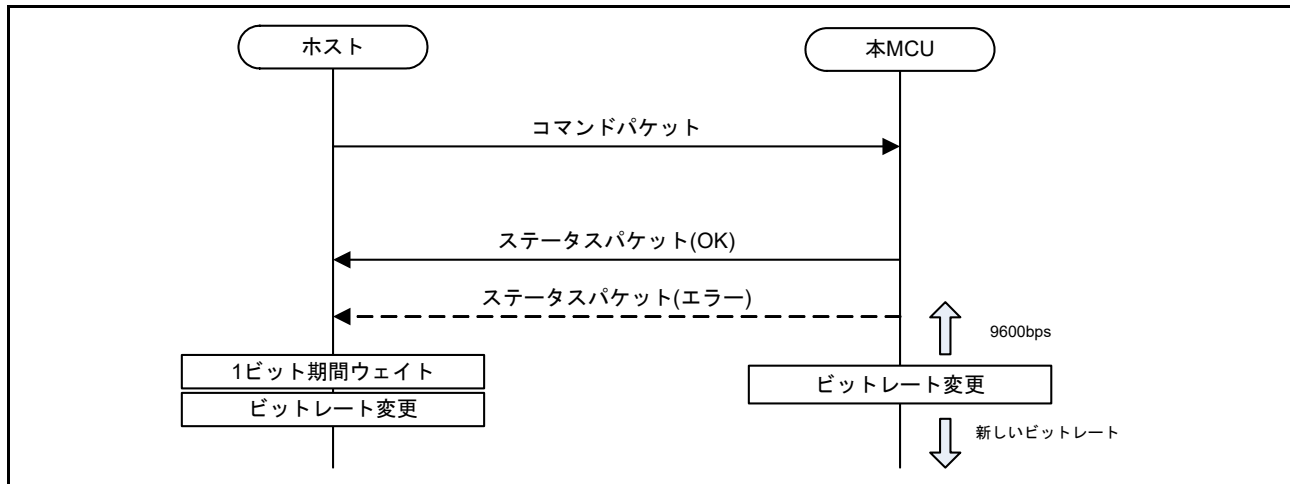


図 55.46 ビットレート設定コマンドの通信シーケンス

(2) コマンドパケット構造

S	L	L	C	B	B	B	B	S	E
O	N	N	O	R	R	R	R	U	T
H	H	L	M	1	2	3	4	M	X

ビットレート = 2000000bps
 の場合、以下のようなデータを送信してください。
 BR1 : 00h
 BR2 : 1Eh
 BR3 : 84h
 BR4 : 80h

SOH : 01h
 LNH : 00h
 LNL : 05h
 COM : 34h
 BR1 : ビットレート
 BR2 : ビットレート
 BR3 : ビットレート
 BR4 : ビットレート
 SUM : サムデータ
 ETX : 03h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 34h (OK)
 SUM : CBh
 ETX : 03h

(4) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : B4h (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D4h (ビットレート誤差エラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.13 同期コマンド

本コマンドは通信同期処理に使用します。

また、本MCUがコマンド受け付け可能な状態かどうかを確認する場合にも使用します。シリアルプログラマ接続禁止が有効な場合は、シリアルプログラマ接続禁止エラーが返信されます。

通信確立フェーズ/コマンド待ちフェーズ双方で受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 00h
SUM : FFh
ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 00h (OK)
SUM : FFh
ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	L	R	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : 80h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DCh (シリアルプログラマ接続禁止エラー)
SUM : サムデータ
ETX : 03h

55.15.14 ID 認証モード取得コマンド

本コマンドでシリアルプログラマ ID コードプロテクトの有効をホストへ送信します。
通信確立フェーズ / コマンド待ちフェーズ双方で受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 2Ch
SUM : D3h
ETX : 03h

(2) データパケット構造

S	L	L	R	M	S	E
O	N	N	E	O	U	T
D	H	L	S	D	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : 2Ch (OK)
MOD : ID 認証情報 (1バイト)
00h (シリアルプログラマ ID コードプロテクト有効)
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 2Ch (OK)
SUM : D3h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : ACh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : ACh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.15 シリアルプログラミング ID コードチェックコマンド

本コマンドで OSIS レジスタに設定されている制御コード、および ID コードと、ホストから受信した制御コード、および ID コードとの一致判定を行い、結果をホストへ送信します。

通信確立フェーズで受け付け可能なコマンドです。シリアルプログラマ ID コードプロテクトが有効の場合、このコマンドが正常終了しない限り、コマンド待ちフェーズへ移行しません。

制御コードが“45h”の状態、3回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去(注1)します。

注1. FAW.FSPR ビットが“0”の場合はフラッシュメモリを消去しません。

(1) コマンドパケット構造

S	L	L	C	I	S	E
O	N	N	O	D	U	T
H	H	L	M	C	M	X

SOH : 01h
LNH : 00h
LNL : 11h
COM : 30h
IDC : 制御コードと ID コード(16バイト)(注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信してください。

<ID コード>

ID = 0F0E0D0C0B0A09080706050403020100h

(制御コード:00h、ID コード 2:01h、ID コード 3:02h、...、ID コード 16:0Fh)

<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト	...
00h	01h	02h	03h	04h	05h	06h	07h	...

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 30h (OK)
SUM : CFh
ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : B0h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DBh (IDコード不一致エラー)
E1h (消去エラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.16 ブランクチェックコマンド

本コマンドで指定された領域がブランクであることをチェックできます。

コードフラッシュメモリの場合 128 バイトライン、データフラッシュメモリの場合 4 バイトラインのアドレスで指定してください。

オプション設定メモリは指定できません。TM 機能有効時、TM 対象領域を含む領域のブランクチェックを行うと、エラーとなります。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	S	S	S	E	E	E	E	S	E
O	N	N	O	H	H	L	L	H	H	L	L	U	T
H	H	L	M	H	L	H	L	H	L	H	L	M	X

SOH : 01h

LNH : 00h

LNL : 09h

COM : 10h

SHH : ブランクチェック開始アドレス(24~31ビット)

SHL : ブランクチェック開始アドレス(16~23ビット)

SLH : ブランクチェック開始アドレス(8~15ビット)

SLL : ブランクチェック開始アドレス(0~7ビット)

EHH : ブランクチェック終了アドレス(24~31ビット)

EHL : ブランクチェック終了アドレス(16~23ビット)

ELH : ブランクチェック終了アドレス(8~15ビット)

ELL : ブランクチェック終了アドレス(0~7ビット)

SUM : サムデータ

ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h

LNH : 00h

LNL : 01h

RES : 10h (OK)

SUM : EFh

ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h

LNH : 00h

LNL : 02h

RES : 90h (エラー)

ERR : エラーコード

C1h (パケットエラー)

C2h (チェックサムエラー)

C3h (フローエラー)

D0h (アドレスエラー)

E0h (非ブランクエラー)

SUM : サムデータ

ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.17 ブロックイレーズコマンド

本コマンドで指定された1ブロックをイレーズできます。

イレーズするブロックをブロックの先頭アドレスで指定してください。

TM 機能有効時、TM 対象領域となるブロックのイレーズはできません。オプション設定メモリのイレーズはできません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	S	S	S	S	E
O	N	N	O	H	H	L	L	U	T
H	H	L	M	H	L	H	L	M	X

SOH : 01h
 LNH : 00h
 LNL : 05h
 COM : 12h
 SHH : イレーズするブロックの先頭アドレス(24~31ビット)
 SHL : イレーズするブロックの先頭アドレス(16~23ビット)
 SLH : イレーズするブロックの先頭アドレス(8~15ビット)
 SLL : イレーズするブロックの先頭アドレス(0~7ビット)
 SUM : サムデータ
 ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 12h (OK)
 SUM : EDh
 ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : 92h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D0h (アドレスエラー)
 DAh (プロテクションエラー)
 E1h (イレーズエラー)
 E7h (フラッシュシーケンサエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.18 エリアイレーズコマンド

エリアイレーズコマンドは、指定された領域をアドレスの小さい順に1ブロックずつ、連続してイレーズします。対象領域はコードフラッシュメモリ、もしくはデータフラッシュメモリから選択することができます。

TM 機能有効の場合は、TM 対象領域となるブロック以外をイレーズします。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	A	S	E
O	N	N	O	R	U	T
H	H	L	M	E	M	X

SOH : 01h
 LNH : 00h
 LNL : 02h
 COM : 50h
 ARE : Area
 00h (コードフラッシュメモリ)
 20h (データフラッシュメモリ)
 SUM : サムデータ
 ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 50h (OK)
 SUM : AFh
 ETX : 03h

(3) ステータスパケット構造・エラー発生 1

S	L	L	R	S	E	S	E
O	N	N	E	U	R	U	T
D	H	L	S	M	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : D0h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D5h (エリアエラー)
 DAh (プロテクションエラー)
 E1h (イレーズエラー)
 E7h (フラッシュシーケンサエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.19 プログラムコマンド

本コマンドでフラッシュメモリへプログラムするデータを受信し、指定された領域へプログラムします。データ長はコードフラッシュメモリの場合 128 バイト単位、データフラッシュメモリの場合 4 バイト単位で指定してください。また、プログラム開始アドレスは、コードフラッシュメモリの場合 128 バイトアライン、データフラッシュメモリの場合 4 バイトアラインのアドレスで指定してください。

TM 機能有効時、TM 対象領域を含む領域に対するプログラムはできません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) 処理手順

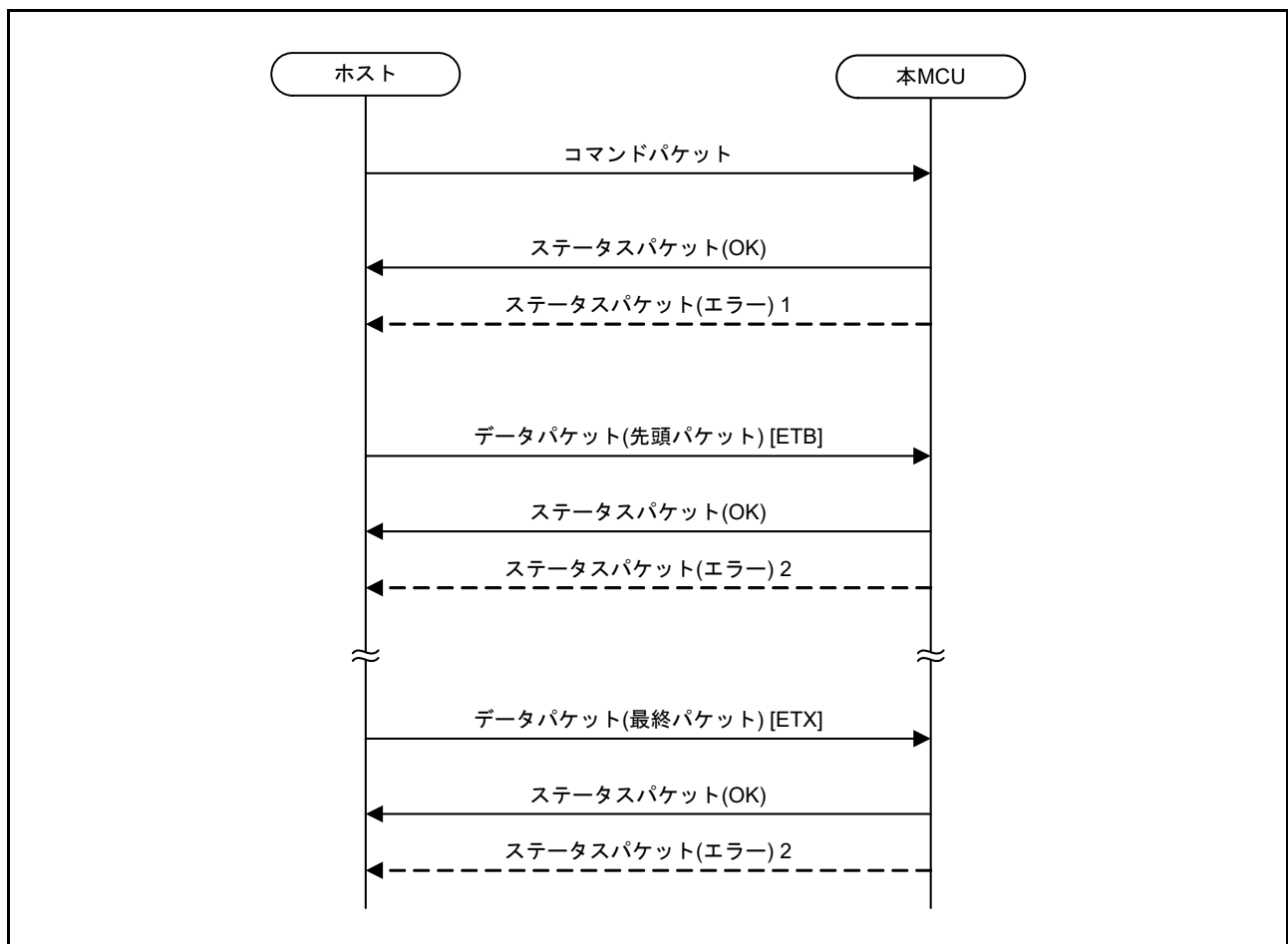


図 55.47 プログラムコマンドの通信シーケンス

(2) コマンドパケット構造

S	L	L	C	S	S	S	S	E	E	E	E	S	E
O	N	N	O	H	H	L	L	H	H	L	L	U	T
H	H	L	M	H	L	H	L	H	L	H	L	M	X

SOH : 01h
 LNH : 00h
 LNL : 09h
 COM : 13h
 SHH : プログラム開始アドレス (24~31ビット)
 SHL : プログラム開始アドレス (16~23ビット)
 SLH : プログラム開始アドレス (8~15ビット)
 SLL : プログラム開始アドレス (0~7ビット)
 EHH : プログラム終了アドレス (24~31ビット)
 EHL : プログラム終了アドレス (16~23ビット)
 ELH : プログラム終了アドレス (8~15ビット)
 ELL : プログラム終了アドレス (0~7ビット)
 SUM : サムデータ
 ETX : 03h

(3) データパケット構造

S	L	L	R	Data				S	E	E
O	N	N	E					U	T	T
D	H	L	S					M	B	X

SOD : 81h
 LNH : データ長+1 (8~15ビット)
 LNL : データ長+1 (0~7ビット)
 RES : 13h (OK)
 Data : プログラムデータ
 SUM : サムデータ
 ETB : 17h
 ETX : 03h

(4) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 13h (OK)
 SUM : ECh
 ETX : 03h

(5) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : 93h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D0h (アドレスエラー)
 DAh (プロテクションエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(6) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : 93h (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 E2h (プログラムエラー)
 E7h (フラッシュシーケンサエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.20 リードコマンド

本コマンドでフラッシュメモリの指定した領域からデータをリードし、ホストへ送信します。

読み出しの最小単位は1バイトです。TM機能有効時、TM対象領域をリードすると、“0”がリードされます。オプション設定メモリは指定できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) 処理手順

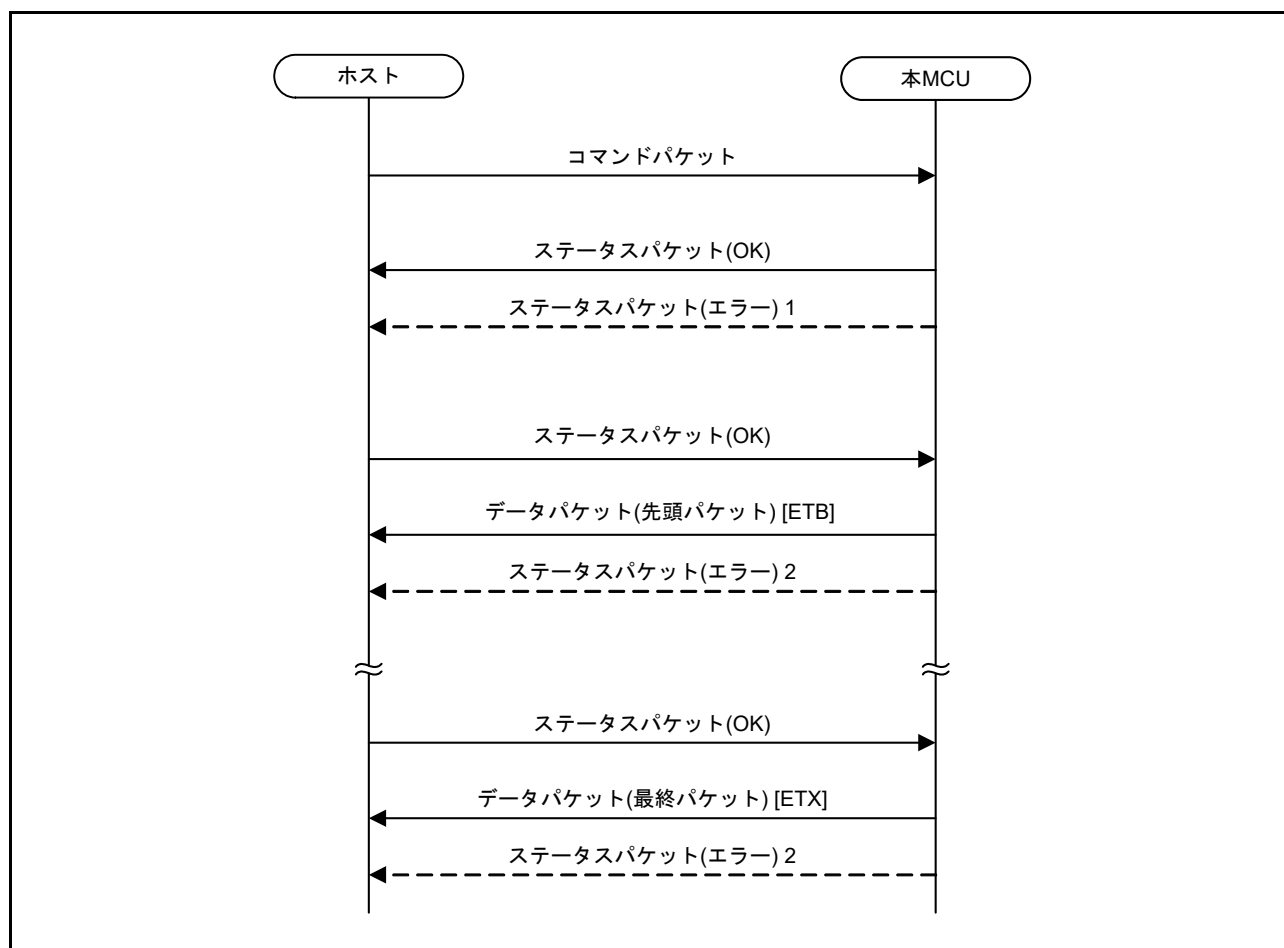


図 55.48 リードコマンドの通信シーケンス

(2) コマンドパケット構造

S	L	L	C	S	S	S	S	E	E	E	E	S	E
O	N	N	O	H	H	L	L	H	H	L	L	U	T
H	H	L	M	H	L	H	L	H	L	H	L	M	X

SOH : 01h
 LNH : 00h
 LNL : 09h
 COM : 15h
 SHH : リード開始アドレス (24~31ビット)
 SHL : リード開始アドレス (16~23ビット)
 SLH : リード開始アドレス (8~15ビット)
 SLL : リード開始アドレス (0~7ビット)
 EHH : リード終了アドレス (24~31ビット)
 EHL : リード終了アドレス (16~23ビット)
 ELH : リード終了アドレス (8~15ビット)
 ELL : リード終了アドレス (0~7ビット)
 SUM : サムデータ
 ETX : 03h

(3) データパケット構造

S	L	L	R	Data				S	E	E
O	N	N	E					U	T	T
D	H	L	S					M	B	X

SOD : 81h
 LNH : データ長+1 (8~15ビット)
 LNL : データ長+1 (0~7ビット)
 RES : 15h (OK)
 Data : リードデータ
 SUM : サムデータ
 ETB : 17h
 ETX : 03h

(4) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 15h (OK)
 SUM : EAh
 ETX : 03h

(5) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : 95h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D0h (アドレスエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(6) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : 95h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.21 コンフィギュレーションクリアコマンド

本コマンドは、オプション設定メモリ (コンフィギュレーション設定領域) をクリアします。

本コマンドは TM 対象領域も消去します。そのため本コマンドを使用する場合は TM 対象領域をアクセスウィンドウの設定でアクセスウィンドウ外に設定しないでください。TM 機能はリセット後に無効になります。

FAW.FSPR ビットが有効な場合はプロテクションエラーとなります。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 1Ch
SUM : E3h
ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 1Ch (OK)
SUM : E3h
ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : 9Ch (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DAh (プロテクションエラー)
E0h (ブランクエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
E7h (フラッシュシーケンサエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.22 単純加算サムチェックコマンド

本コマンドで指定された領域のサムを計算し、結果をホストへ送信します。ただし、TM 機能有効時、TM 対象領域は加算されません。

本コマンドの対象領域はコードフラッシュメモリ、データフラッシュメモリから選択することができます。算出方法は単純加算方式です。各領域が 8×2^k バイトに満たない場合は、各領域の最終アドレスから 8×2^k バイト領域までの範囲を“FFh”で補完します。初期値は“0”で、指定領域のデータを1バイトずつ加算します。データフラッシュメモリはイレーズ状態を含むデータフラッシュメモリに対して本コマンドを使用すると結果は不定値になります。データフラッシュメモリに対する単純加算サムチェックを実行する場合は、必ず指定領域にはデータを書き込んでください。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	A	S	E
O	N	N	O	R	U	T
H	H	L	M	E	M	X

SOH : 01h
 LNH : 00h
 LNL : 02h
 COM : 4Dh
 ARE : 領域情報
 00h (コードフラッシュメモリ)
 20h (データフラッシュメモリ)
 SUM : サムデータ
 ETX : 03h

(2) データパケット構造

S	L	L	R	S	S	S	S	E
O	N	N	E	D	D	D	D	T
D	H	L	S	1	2	3	4	M
								X

SOD : 81h
 LNH : 00h
 LNL : 05h
 RES : 4Dh (OK)
 SD1 : サム結果
 SD2 : サム結果
 SD3 : サム結果
 SD4 : サム結果
 サム結果 = 01234567h の場合、以下のようになります。
 SD1 = 01h
 SD2 = 23h
 SD3 = 45h
 SD4 = 67h
 SUM : サムデータ
 ETX : 03h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 4Dh (OK)
 SUM : B2h
 ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : CDh (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D5h (領域エラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : CDh (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.23 コンフィギュレーションプログラムコマンド

本コマンドでオプション設定メモリへ書き込むデータを受信し、指定された領域へプログラムします。エリア情報取得コマンドで取得した書き込み単位で指定する必要があります。コマンド待ちフェーズでのみ受け付け可能なコマンドです。

FAW.FSPR ビットが有効なとき、FAW レジスタを含む領域へプログラムを行うとプロテクションエラーとなります。

FAW.FSPR ビットを有効に設定すると、無効に設定することはできません。

FAW.FSPR ビットの詳細は、「7. オプション設定メモリ (OFSM)」の「7.2.9 フラッシュアクセスウィンドウ設定レジスタ (FAW)」を参照してください。

シリアルプログラマ接続禁止の状態ですべてのSPCC.SPE ビットの書き換えをした場合、正常終了となりますがプログラムは無視されます。

また、シリアルプログラマ接続禁止の状態ですべてのリセットを行うと、本MCUはシリアルプログラマと接続できなくなります。

リニアモード時、TMEF.TMEF[2:0] ビットが“000b”の状態ですべてのTMEF.TMEF[2:0] ビット、TMINF レジスタ、およびMDE.BANKMD[2:0] ビットの書き換えをした場合、正常終了となりますがプログラムは無視されます。

デュアルモード時、TMEF.TMEF[2:0] ビットが“000b”またはTMEF.TMEFDB[2:0] ビットが“000b”の状態ですべてのTMEF.TMEF[2:0] ビット、TMINF レジスタ、およびMDE.BANKMD[2:0] ビットの書き換えをした場合、正常終了となりますがプログラムは無視されます。

(1) 処理手順

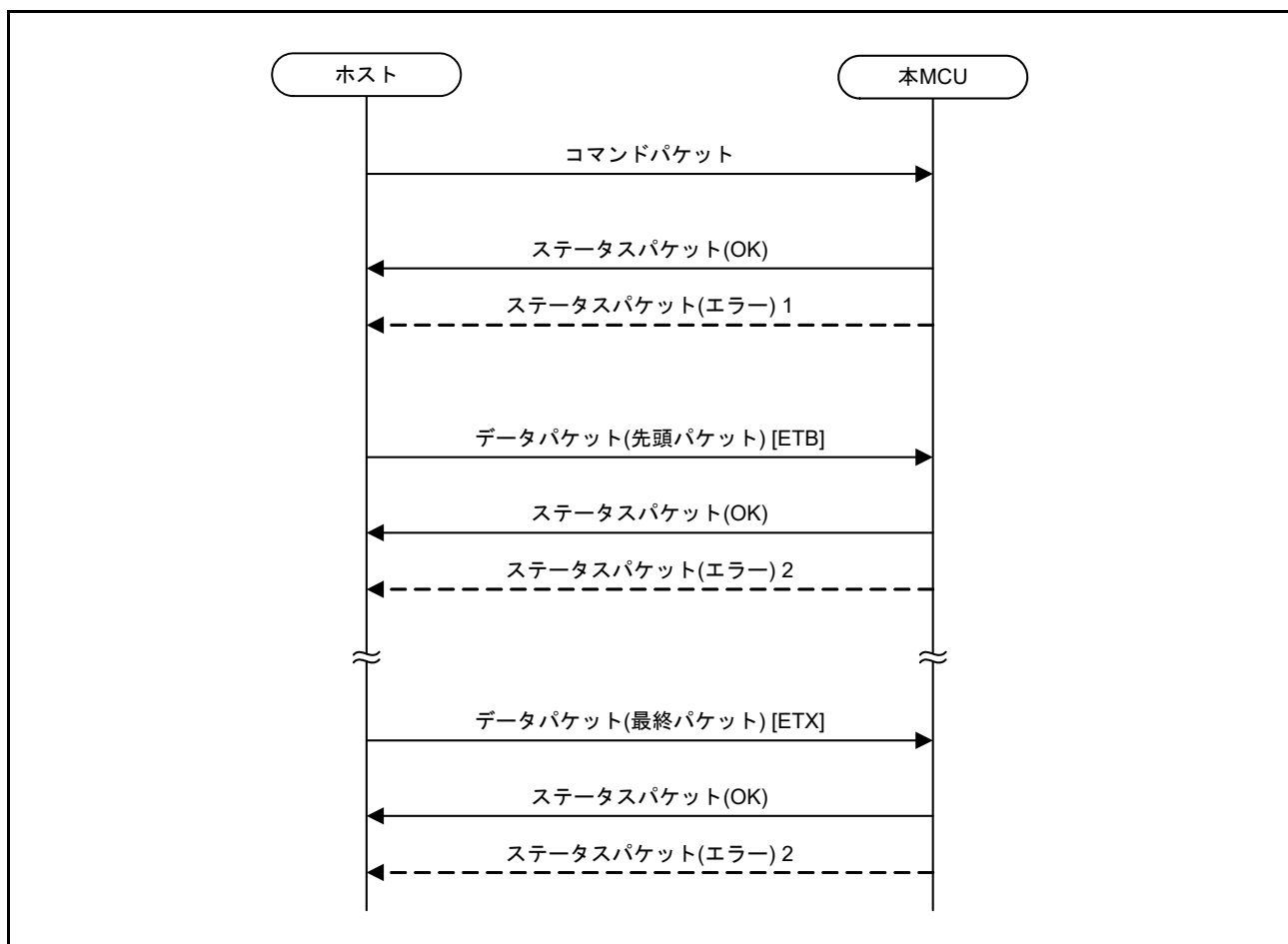


図 55.49 プログラムコマンドの通信シーケンス

(2) コマンドパケット構造

S	L	L	C	S	S	S	S	E	E	E	E	S	E
O	N	N	O	H	H	L	L	H	H	L	L	U	T
H	H	L	M	H	L	H	L	H	L	H	L	M	X

SOH : 01h
 LNH : 00h
 LNL : 09h
 COM : 51h
 SHH : 開始アドレス (24~31ビット)
 SHL : 開始アドレス (16~23ビット)
 SLH : 開始アドレス (8~15ビット)
 SLL : 開始アドレス (0~7ビット)
 EHH : 終了アドレス (24~31ビット)
 EHL : 終了アドレス (16~23ビット)
 ELH : 終了アドレス (8~15ビット)
 ELL : 終了アドレス (0~7ビット)
 SUM : サムデータ
 ETX : 03h

(3) データパケット構造

S	L	L	R		S	E	E
O	N	N	E	Data	U	T	T
D	H	L	S		M	B	X

SOD : 81h
 LNH : データ長+1 (8~15ビット)
 LNL : データ長+1 (0~7ビット)
 RES : 51h (OK)
 Data : プログラムデータ (注1)
 SUM : サムデータ
 ETB : 17h
 ETX : 03h

注1. プログラムデータは、下位アドレスから上位アドレスの順にホストから送信してください。

<ライトデータ>

アドレス	0h	1h	2h	3h	4h	5h	6h	7h	...
データ	00h	01h	02h	03h	04h	05h	06h	07h	...

<プログラムデータ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト	...
00h	01h	02h	03h	04h	05h	06h	07h	...

(4) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 51h (OK)
 SUM : AEh
 ETX : 03h

(5) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : D1h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D0h (アドレスエラー)
 DAh (プロテクションエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(6) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : D1h (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 E1h (イレースエラー)
 E2h (プログラムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.24 コンフィギュレーションリードコマンド

本コマンドでオプション設定メモリの指定した領域からデータを読み出し、ホストへ送信します。
読み出し最小単位は4バイトです。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	S	S	S	E	E	E	E	S	E	SOH : 01h
O	N	N	O	H	H	L	L	H	H	L	L	U	T	LNH : 00h
H	H	L	M	H	L	H	L	H	L	H	L	M	X	LNL : 09h

COM : 52h
SHH : 開始アドレス(24~31ビット)
SHL : 開始アドレス(16~23ビット)
SLH : 開始アドレス(8~15ビット)
SLL : 開始アドレス(0~7ビット)
EHH : 終了アドレス(24~31ビット)
EHL : 終了アドレス(16~23ビット)
ELH : 終了アドレス(8~15ビット)
ELL : 終了アドレス(0~7ビット)
SUM : サムデータ
ETX : 03h

(2) データパケット構造

S	L	L	R		S	E	E	SOD : 81h
O	N	N	E	Data	U	T	or	LNH : データ長+1 (8~15ビット)
D	H	L	S		M	B	X	LNL : データ長+1 (0~7ビット)

RES : 52h (OK)
Data : リードデータ (注1)
SUM : サムデータ
ETB : 17h
ETX : 03h

注1. リードデータは、下位アドレスから上位アドレスの順に読み出されます。

<プログラムデータ>

アドレス	0h	1h	2h	3h	4h	5h	6h	7h	...
データ	00h	01h	02h	03h	04h	05h	06h	07h	...

<リードデータ>

1st	2nd	3rd	4th	5th	6th	7th	8th	...
バイト	バイト	バイト	バイト	バイト	バイト	バイト	バイト	...
00h	01h	02h	03h	04h	05h	06h	07h	...

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E	SOD : 81h
O	N	N	E	U	T	LNH : 00h
D	H	L	S	M	X	LNL : 01h

RES : 52h (OK)
SUM : ADh
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : D2h (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D0h (アドレスエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : D2h (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.25 エリア情報数取得コマンド

本 MCU の持つ領域の数をホストへ送信します。
 コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
 LNH : 00h
 LNL : 01h
 COM : 53h
 SUM : ACh
 ETX : 03h

(2) データパケット構造

S	L	L	R	N	S	E
O	N	N	O	U	T	
D	H	L	S	A	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : 53h (OK)
 NOA : エリア情報数(1バイト)
 05h (リニアモード時)
 08h (デュアルモード時)
 SUM : サムデータ
 ETX : 03h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 53h (OK)
 SUM : ACh
 ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : D3h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : D3h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.26 エリア情報取得コマンド

指定した領域の情報をホストへ送信します。

イレーズコマンド、プログラムコマンド、コンフィギュレーションプログラムコマンドのアドレスは、本コマンドで返信される範囲・単位 (アラインメント) に従って指定しなければなりません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	N	S	E
O	N	N	O	U	U	T
H	H	L	M	M	M	X

SOH : 01h
LNH : 00h
LNL : 02h
COM : 54h
NUM : Area number [0 ~ NOA-1]
SUM : C5h
ETX : 03h

(2) データパケット構造

S	L	L	R	K	S	E	E	W	S	E
O	N	N	E	O	A	A	A	A	U	T
D	H	L	S	A	D	D	U	U	M	X

SOD : 81h
LNH : 00h
LNL : 12h
RES : 54h (OK)
KOA : Kind of the area
00h (コードフラッシュメモリ)
20h (データフラッシュメモリ)
30h (オプション設定メモリ)
40h (Trusted Memory 無効)
41h (Trusted Memory 有効)
SAD : Start address
EAD : End address
EAU : Erase access unit (alignment) [Byte]
WAU : Write access unit (alignment) [Byte]
SUM : サムデータ
ETX : 03h

リニアモード時のデータパケット

NUM	KOA	SAD	EAD	EAU	WAU	概要
00h	00h	FFFF 0000h	FFFF FFFFh	0000 2000h	0000 0080h	コードフラッシュメモリ ブロック 0 ~ 7 (8K バイトブロック)
01h	00h	FFE0 0000h	FFFE FFFFh	0000 8000h	0000 0080h	コードフラッシュメモリ ブロック 8 ~ 69 (32K バイトブロック)
02h	20h	0010 0000h	0010 1FFFh	0000 0040h	0000 0004h	データフラッシュメモリ
03h	30h	FE7F 5D00h	FE7F 5D7Fh	0000 0080h	0000 0010h	オプション設定メモリ
04h	40h	FFFE 0000h	FFFE FFFFh	0000 8000h	0000 0080h	Trusted Memory ブロック 8、9 無効
	41h	FFFE 0000h	FFFE FFFFh	0000 8000h	0000 0080h	Trusted Memory ブロック 8、9 有効

リニアモード時の、TMEF.TMEF[2:0] ビットおよび TMEF.TMEFDB[2:0] ビットの設定値と、NUM = 04h のときの KOA 値

TMEF.TMEF[2:0] ビット	TMEF.TMEFDB[2:0] ビット	NUM = 04h のときの KOA 値
111b	Don't care	40h
000b	Don't care	41h

デュアルモード時のデータパケット

NUM	KOA	SAD	EAD	EAU	WAU	概要
00h	00h	FFFF 0000h	FFFF FFFFh	0000 2000h	0000 0080h	コードフラッシュメモリ ブロック 0 ~ 7 (8K バイトブロック)
01h	00h	FFF0 0000h	FFFE FFFFh	0000 8000h	0000 0080h	コードフラッシュメモリ ブロック 8 ~ 37 (32K バイトブロック)
02h	00h	FFEF 0000h	FFEF FFFFh	0000 2000h	0000 0080h	コードフラッシュメモリ ブロック 38 ~ 45 (8K バイトブロック)
03h	00h	FFE0 0000h	FFEE FFFFh	0000 8000h	0000 0080h	コードフラッシュメモリ ブロック 46 ~ 75 (32K バイトブロック)
04h	20h	0010 0000h	0010 1FFFh	0000 0040h	0000 0004h	データフラッシュメモリ
05h	30h	FE7F 5D00h	FE7F 5D7Fh	0000 0080h	0000 0010h	オプション設定メモリ
06h	40h	FFFE 0000h	FFFE FFFFh	0000 8000h	0000 0080h	Trusted Memory ブロック 8、9 無効
	41h	FFFE 0000h	FFFE FFFFh	0000 8000h	0000 0080h	Trusted Memory ブロック 8、9 有効
07h	40h	FFEE 0000h	FFEE FFFFh	0000 8000h	0000 0080h	Trusted Memory ブロック 46、47 無効
	41h	FFEE 0000h	FFEE FFFFh	0000 8000h	0000 0080h	Trusted Memory ブロック 46、47 有効

デュアルモード時の、TMEF.TMEF[2:0] ビットおよび TMEF.TMEFDB[2:0] ビットの設定値と、NUM = 06h または 07h のときの KOA 値

TMEF.TMEF[2:0] ビット	TMEF.TMEFDB[2:0] ビット	NUM = 06h または 07h のときの KOA 値
111b	111b	40h
000b	000b	41h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 54h (OK)
SUM : ABh
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : D4h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : D4h (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

55.15.27 使用例

(1) 書き換え方法の例

図 55.50 にフラッシュメモリの書き換え方法の例を示します。

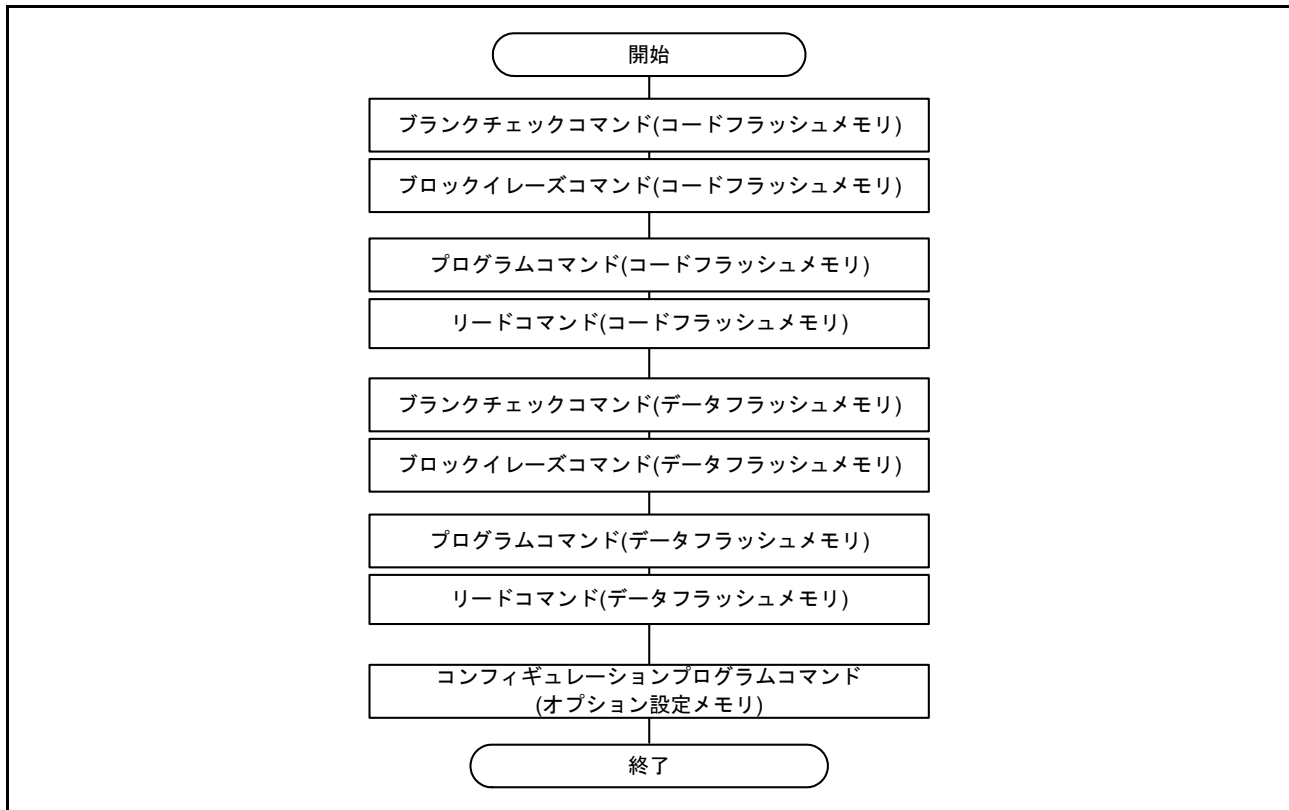


図 55.50 書き換え方法の例

55.15.28 デュアルモード使用時のフラッシュメモリ書き換え

ルネサス出荷時のフラッシュメモリはイレーズ済み(ブランク品)ですので、MDE.BANKMD[2:0] ビットも“111b”(リニアモード)です。デュアルモードで使用する場合、MDE.BANKMD[2:0] ビットを“000b”(デュアルモード)にしてください。

(1) デュアルモードでの書き換え

図 55.51 に、デュアルモードに切り替えてからフラッシュメモリを書き換える例を示します。バンク 0、バンク 1 のどちらにもユーザープログラムを書き込み可能です。

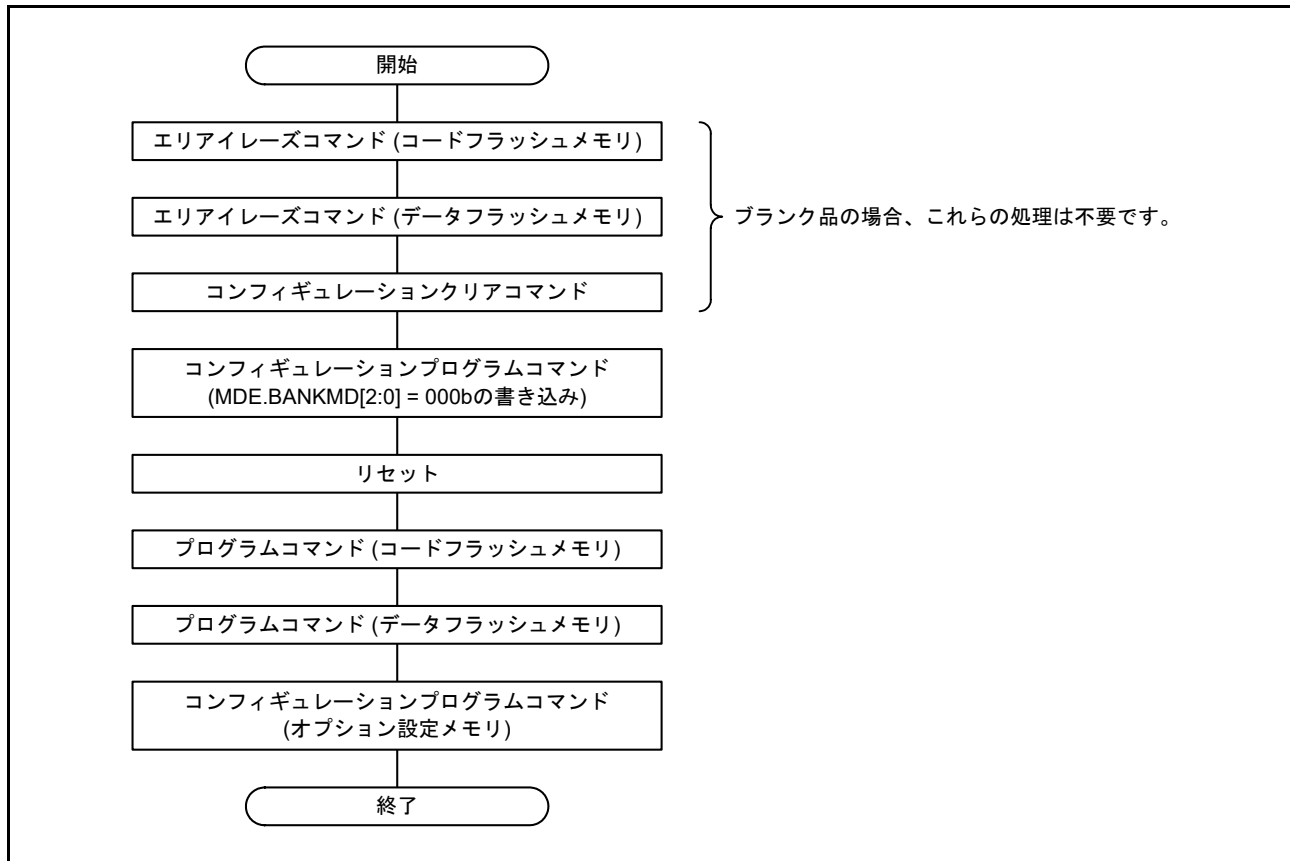


図 55.51 デュアルモードに切り替えてからフラッシュメモリを書き換える例

(2) リニアモードでの書き換え

図 55.52 に、リニアモードのままフラッシュメモリを書き換える例を示します。また、図 55.53 にリセット前後のメモリマップを示します。

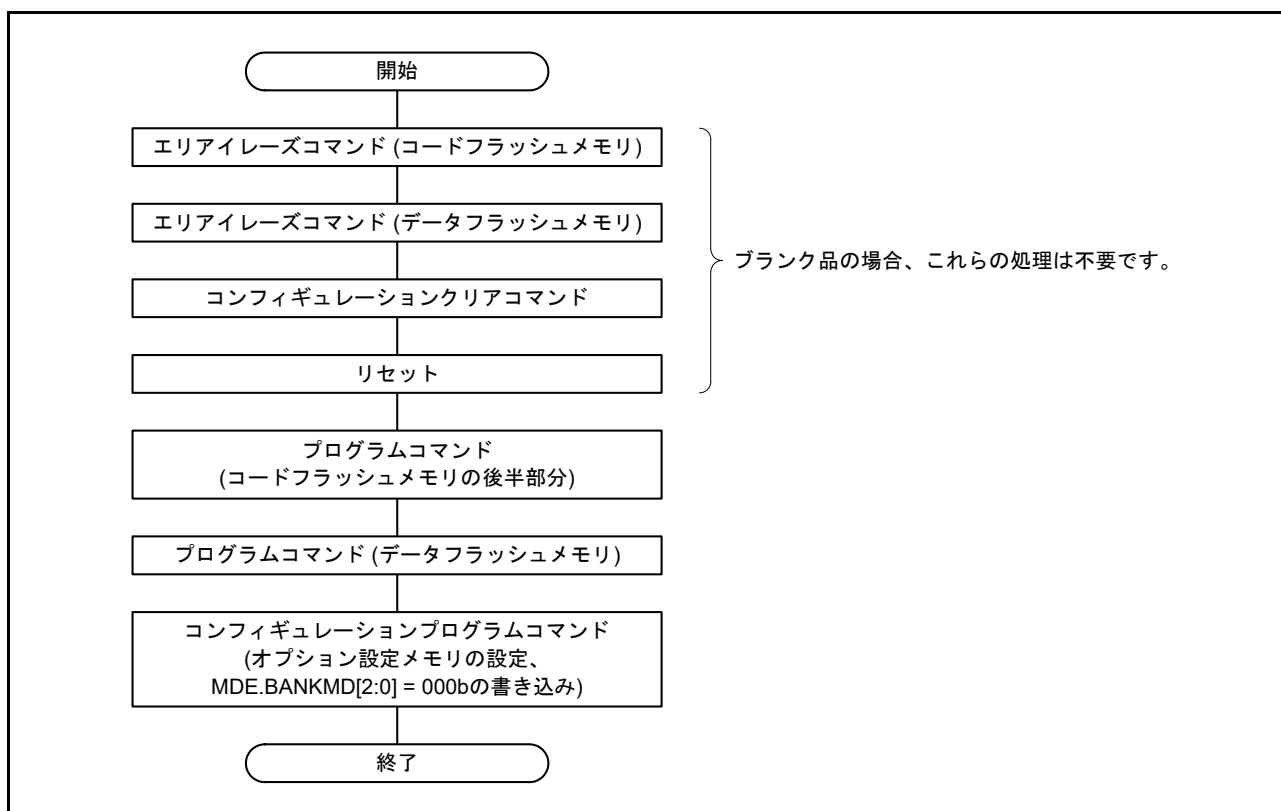


図 55.52 リニアモードのままフラッシュメモリを書き換える例

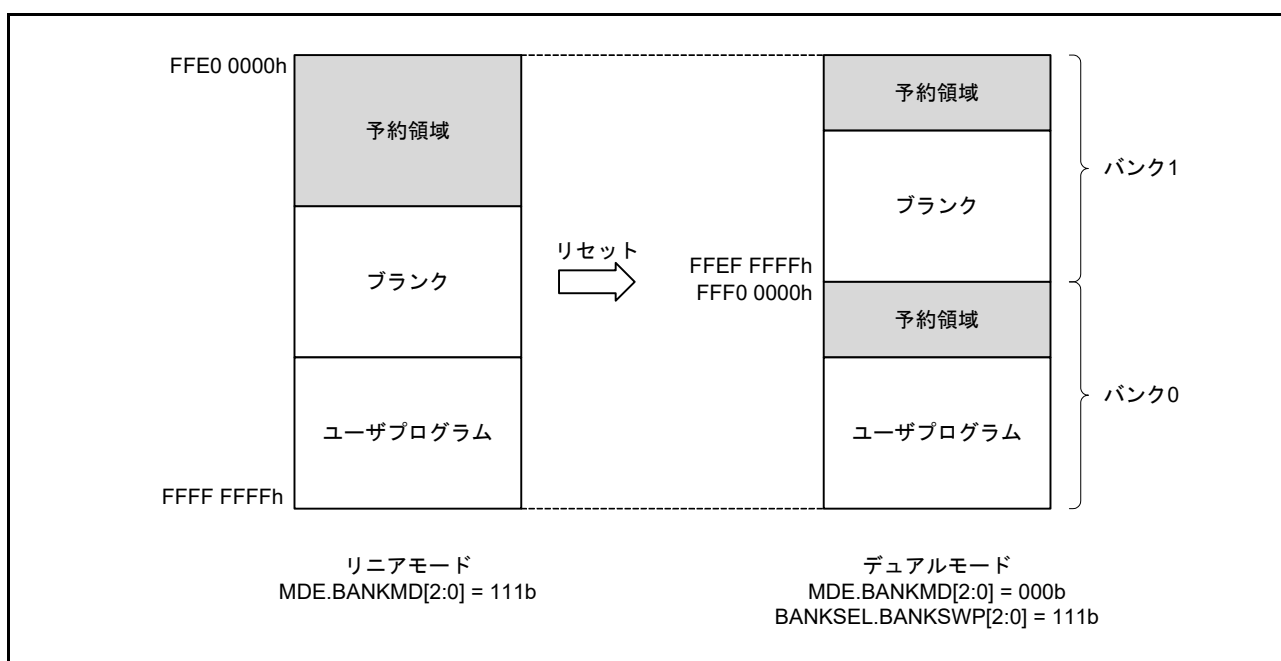


図 55.53 リセット前後のメモリマップ (コードフラッシュメモリ容量が2M バイト未満の製品の例)

55.16 シリアルプログラマでの書き換え

シリアルプログラマを使用して、ブートモードでフラッシュメモリの書き換えを行うことができます。

(1) シリアルプログラミング

ボード上にコネクタを設けることにより、ボードに本MCUを実装したまま、シリアルプログラマで本MCUにプログラムを行うことができます。

55.16.1 プログラミング環境

本MCUのフラッシュメモリを書き換えるための推奨される環境を次に示します。

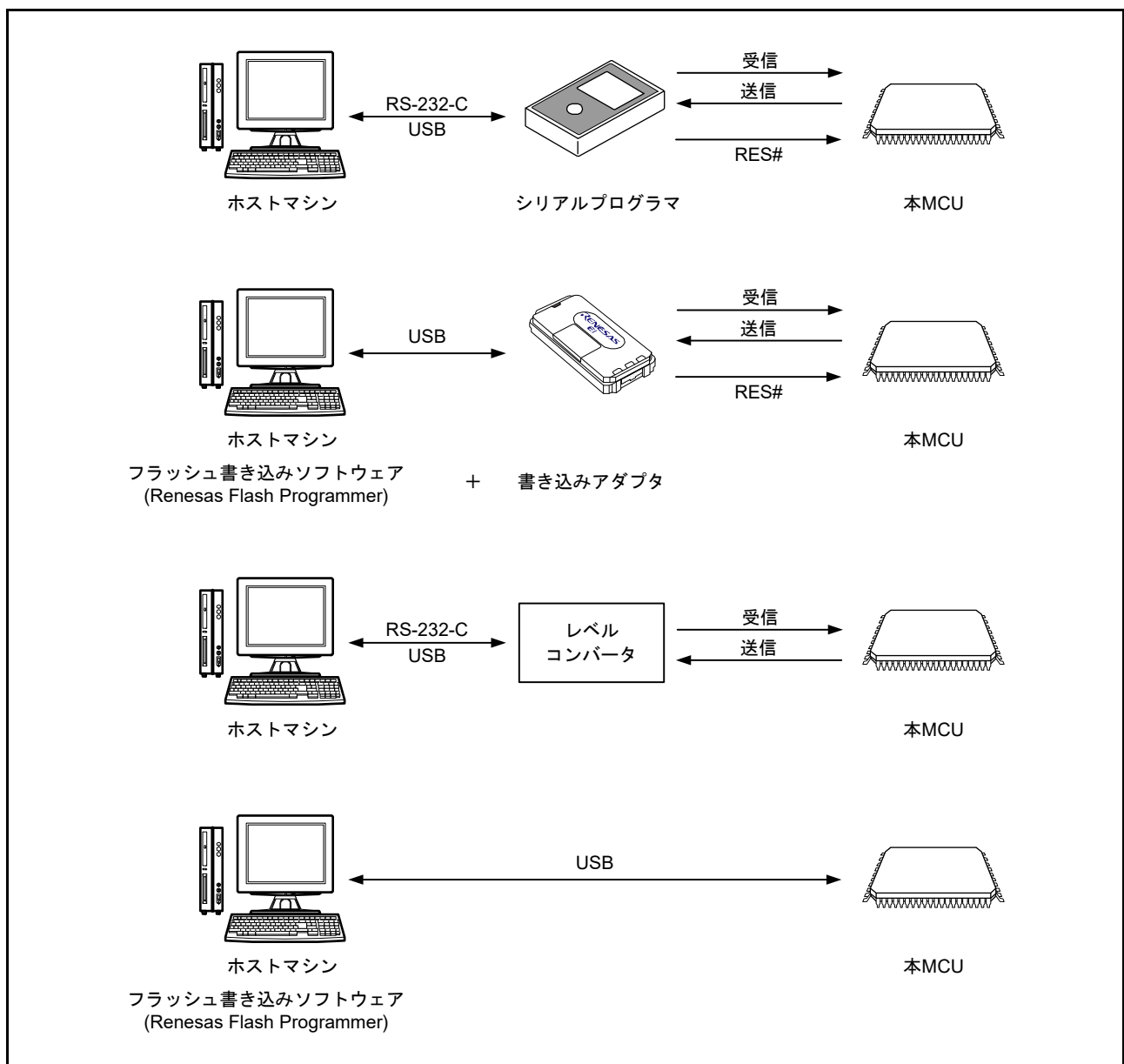


図 55.54 フラッシュメモリを書き換えるための環境

注． シリアルプログラマの詳細は、各シリアルプログラマのマニュアルを、フラッシュ書き込みソフトウェア Renesas Flash Programmer の詳細は、「Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザーズマニュアル」を参照してください。

55.17 セルフプログラミングでの書き換え

55.17.1 概要

本 MCU は、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。FACI コマンドをユーザプログラムで使用することにより、フラッシュメモリを書き換えることができます。したがって、ユーザプログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

データフラッシュメモリの書き換え時には、BGO 機能を利用してコードフラッシュメモリ上の書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることができます。また、あらかじめ内蔵 RAM または外部メモリに転送した書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることもできます。

書き換え対象のコードフラッシュメモリ領域と読み出し対象のコードフラッシュメモリ領域のアドレス範囲が特定条件を満たすときにも BGO 機能を利用可能です (表 55.25 参照)。この場合、セルフプログラミング時に、コードフラッシュメモリ上の書き換え用のプログラムを実行して、コードフラッシュメモリを書き換えることができます。また、あらかじめ内蔵 RAM または外部メモリに転送した書き換え用のプログラムを実行して、コードフラッシュメモリを書き換えることもできます。

また、BGO 機能を利用できない場合は、内蔵 RAM または外部メモリにあらかじめ転送した書き換え用のプログラムを実行して、コードフラッシュメモリを書き換えることができます。

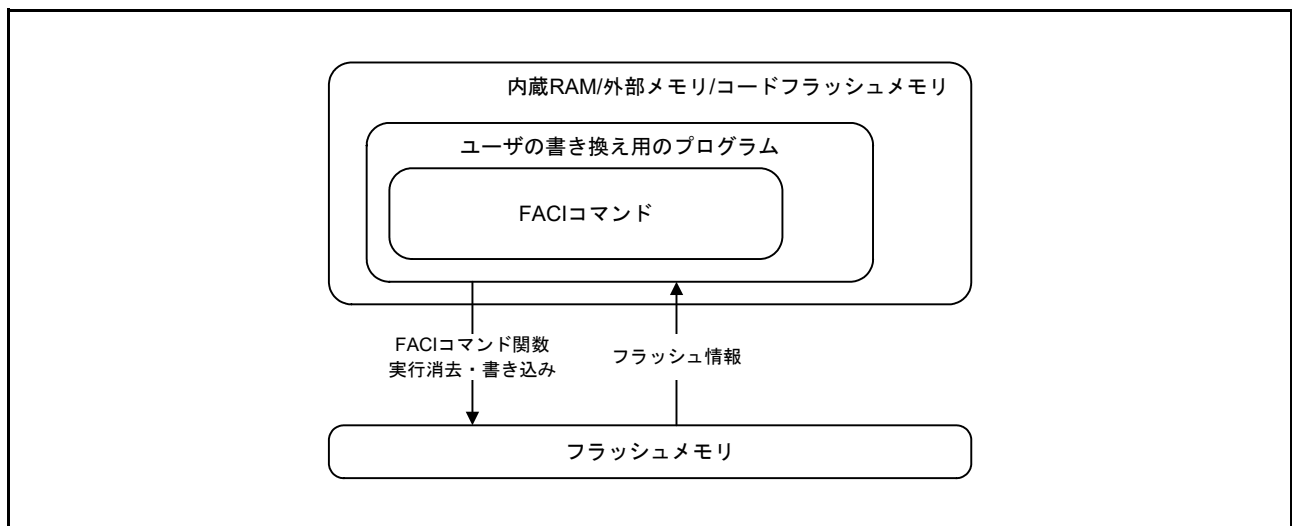


図 55.55 セルフプログラミングの概念

55.17.2 BGO 機能

BGO 機能とは、コードフラッシュメモリ上の書き換えプログラムで、データフラッシュメモリや他の領域のコードフラッシュメモリを書き換えられる機能です。

書き換え対象のフラッシュメモリとリード対象のフラッシュメモリが下記の組み合わせである場合には、BGO 機能を利用することができます。

表 55.25 BGO機能を利用可能な条件

		書き換え対象領域	リード対象領域
リニアモード/デュアルモード共通		<ul style="list-style-type: none"> データフラッシュメモリ 	<ul style="list-style-type: none"> コードフラッシュメモリ
リニアモード	コードフラッシュメモリ容量が2Mバイトの製品	<ul style="list-style-type: none"> コードフラッシュメモリの前半1.0Mバイト領域 (アドレス : FFE0 0000h ~ FFEF FFFFh) 	<ul style="list-style-type: none"> コードフラッシュメモリの後半1.0Mバイト領域 (アドレス : FFF0 0000h ~ FFFF FFFFh) データフラッシュメモリ
		<ul style="list-style-type: none"> コードフラッシュメモリの後半1.0Mバイト領域 (アドレス : FFF0 0000h ~ FFFF FFFFh) 	<ul style="list-style-type: none"> コードフラッシュメモリの前半1.0Mバイト領域 (アドレス : FFE0 0000h ~ FFEF FFFFh) データフラッシュメモリ
	コードフラッシュメモリ容量が1.5Mバイトの製品	<ul style="list-style-type: none"> コードフラッシュメモリの前0.5Mバイト領域 (アドレス : FFE8 0000h ~ FFEF FFFFh) 	<ul style="list-style-type: none"> コードフラッシュメモリの後ろ1.0Mバイト領域 (アドレス : FFF0 0000h ~ FFFF FFFFh) データフラッシュメモリ
		<ul style="list-style-type: none"> コードフラッシュメモリの後ろ1.0Mバイト領域 (アドレス : FFF0 0000h ~ FFFF FFFFh) 	<ul style="list-style-type: none"> コードフラッシュメモリの前0.5Mバイト領域 (アドレス : FFE8 0000h ~ FFEF FFFFh) データフラッシュメモリ
デュアルモード	BANKSEL.BANKSWP [2:0] = 111bのとき	<ul style="list-style-type: none"> コードフラッシュメモリのバンク1領域 	<ul style="list-style-type: none"> コードフラッシュメモリのバンク0領域 データフラッシュメモリ
	BANKSEL.BANKSWP [2:0] = 000bのとき	<ul style="list-style-type: none"> コードフラッシュメモリのバンク0領域 	<ul style="list-style-type: none"> コードフラッシュメモリのバンク1領域 データフラッシュメモリ

55.18 フラッシュメモリのリード

55.18.1 コードフラッシュメモリのリード

リセット解除後のコードフラッシュメモリのリード時には、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データをリードすることが可能です。

イレーズ後にプログラムしていない状態 (未プログラム状態) のコードフラッシュメモリをリードすると、全ビット“1”がリードされます。

55.18.2 データフラッシュメモリのリード

リセット解除後のデータフラッシュメモリのリード時には、特別な設定は必要ありません。データフラッシュメモリのアドレスにアクセスすることで、データをリードすることが可能です。

イレーズ後にプログラムしていない状態 (未プログラム状態) のデータフラッシュメモリの値は不定です。未プログラム状態の確認には、ブランクチェック機能を使用してください。

55.19 Trusted Memory

本 MCU には、コードフラッシュメモリ上のブロック 8、9 およびブロック 46、47 (デュアルモードの場合) に第三者によるソフトウェアのリード防止機能として、Trusted Memory (以後、TM と呼びます) があり、暗号アルゴリズムの処理ソフトウェア、ノウハウを伴う機器制御処理ソフトウェアや有償のミドルウェアなどを格納するのに適しています。

表 55.26 に TM 機能の仕様を、表 55.27 に TM 機能有効時の TM 対象領域内のアクセス制限を、図 55.56 に TM 機能有効時、TM 対象領域で CPU が動作可能なケースを示します。

表 55.26 TM 機能の仕様

項目	内容
TM 対象領域	リニアモード：コードフラッシュメモリのブロック 8、9 (合計 64K バイト) デュアルモード：コードフラッシュメモリのブロック 8、9 (合計 64K バイト) およびブロック 46、47 (合計 64K バイト)
TM 機能有効時のアクセス制限	「表 55.27 TM 機能有効時の TM 対象領域内のアクセス制限」を参照
TM 機能有効時のプログラム実行方法	TM 機能有効時、TM 対象領域内のプログラムを実行するには TM 対象領域以外のプログラムから分岐命令による実行のみ可能
TM 機能有効時、TM 対象領域内のプログラム実行時の割り込み処理	割り込み処理の受付、割り込み処理からの復帰とも可能
セキュリティ機能	TM 機能有効時、TM 対象領域内のプログラムのアクセス制限
プロテクション機能	<ul style="list-style-type: none"> TM 機能有効時の TM 対象領域のデータアクセスに対する制限 (注 1) TM 機能有効時、TM 対象領域をイレーズするまで、TM 機能無効化防止 TM 機能有効時、TM 対象領域に対する追加プログラム防止

注 1. データアクセスは TM 対象領域の境界を含んだ場合、実行できません。

表 55.27 TM 機能有効時の TM 対象領域内のアクセス制限

アクセス種別	CPU	CPU 以外のバスマスタ
命令フェッチ	可能	—
データアクセス	不可能 (注 1)	不可能

注. オンチップデバッグ (OCD) 使用時は、上記表の CPU 以外のバスマスタと同じ制限となります。OCD の TM 対象領域に対する動作は、ご使用になるエミュレータのマニュアルを参照してください。

注 1. データ配置は TM 対象領域以外にしてください。

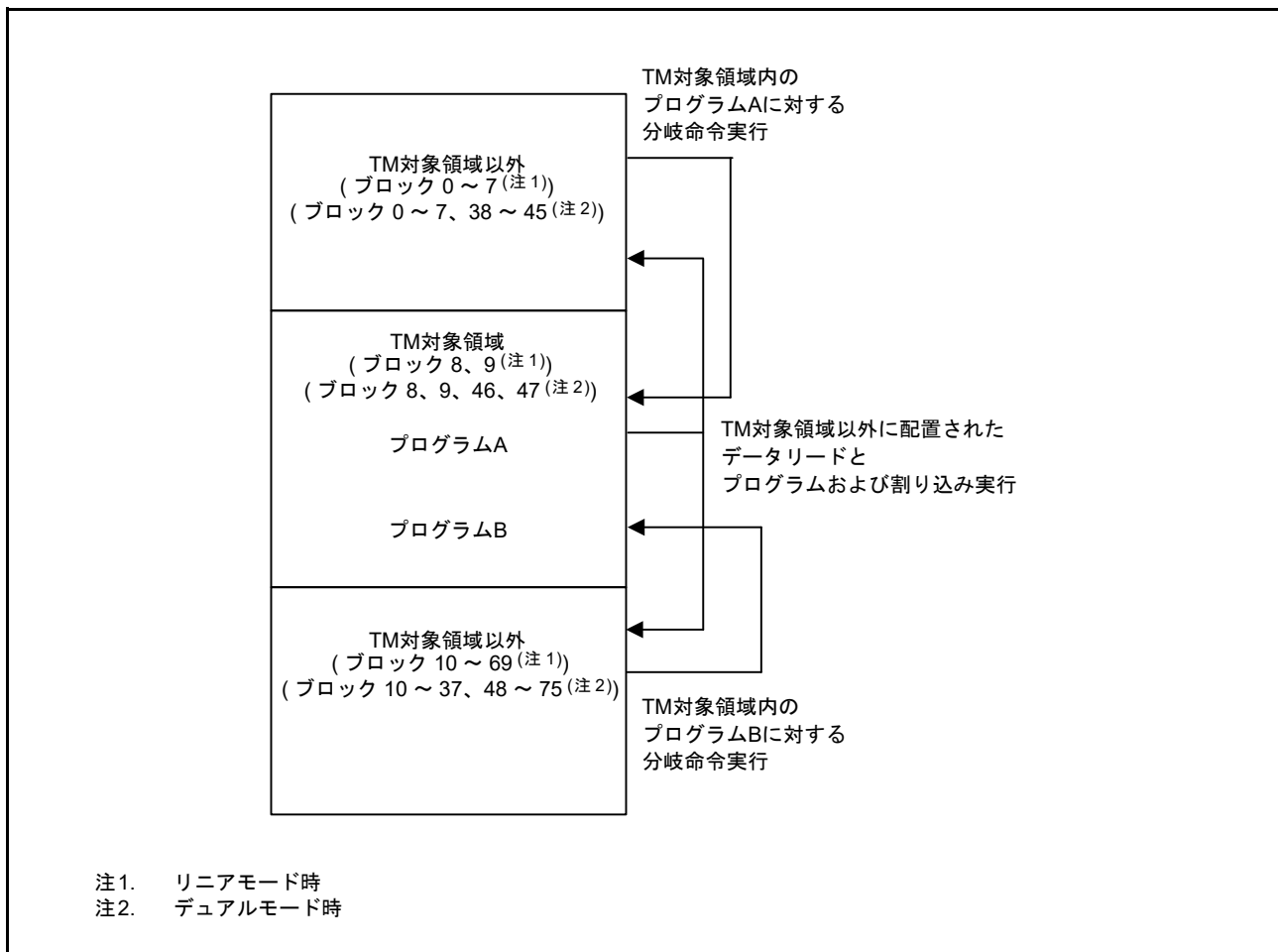


図 55.56 TM 機能有効時、TM 対象領域で CPU が動作可能なケース

55.19.1 TM 対象領域に配置するプログラム

TM 機能有効時、TM 対象領域以外から連続したアドレスの TM 対象領域内のプログラム実行を防止するため、必要に応じて TM 対象領域内のソフトウェアによる対策を実施してください。

55.19.2 TM 機能を有効にする方法

55.19.2.1 セルフプログラミングによる方法

TM 対象領域である、コードフラッシュメモリのブロック 8、9 に対するプログラム後 (デュアルモード時はブロック 8、9、46、47 に対するプログラム後)、FACI のコンフィギュレーション設定コマンドで TM 機能を有効にします。

図 55.57 にセルフプログラミングによる TM 機能を有効にするためのフローを示します。

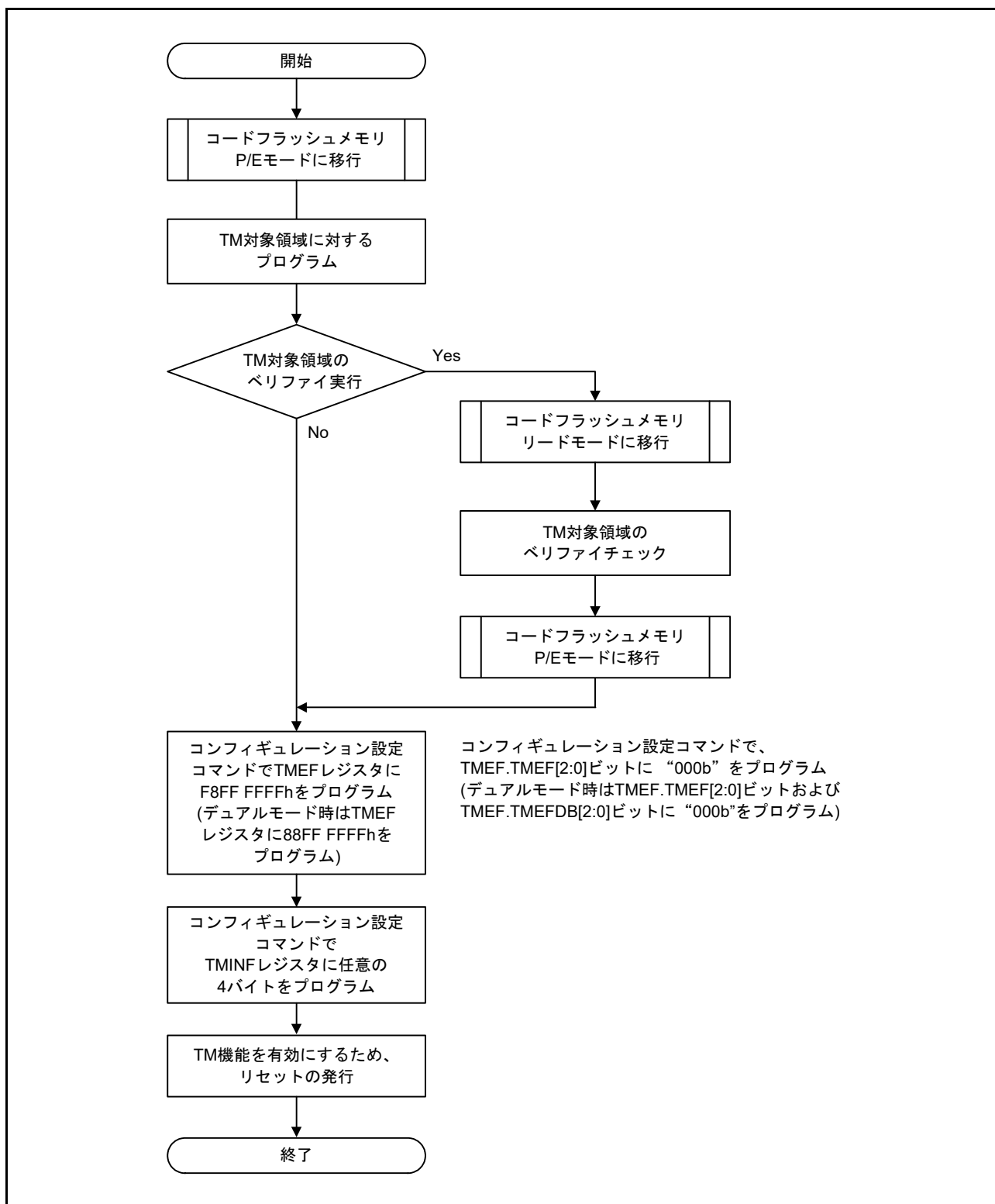


図 55.57 セルフプログラミングによる TM 機能を有効にするためのフロー

55.19.2.2 ブートモードによる方法

ブートモードにおいて、コードフラッシュメモリのブロック 8、9 に対するプログラム後 (デュアルモード時はブロック 8、9、46、47 に対するプログラム後)、コンフィギュレーションプログラムコマンドで TM 機能を有効にします。

コンフィギュレーションプログラムコマンドは「55.15.23 コンフィギュレーションプログラムコマンド」を参照してください。

図 55.58 にブートモードで TM 機能を有効にするためのフローを示します。

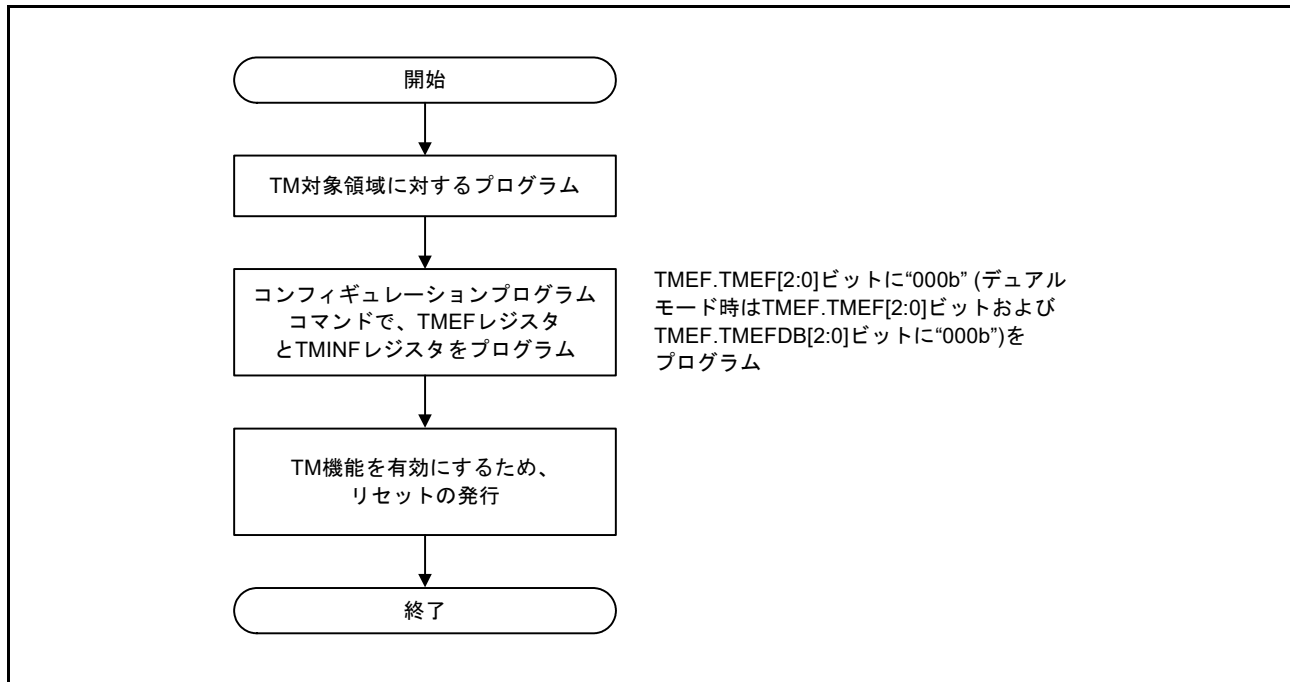


図 55.58 ブートモードで TM 機能を有効にするためのフロー

55.19.3 TM 機能を無効にする方法

TM 機能を無効にする場合、コンフィギュレーションクリアコマンドで TM 対象領域をイレーズする必要があります。TM 機能を無効にしない場合は、コンフィギュレーションクリアコマンドを使用しないでください。

図 55.59 にブートモードで TM 機能を無効にするためのフローを示します。

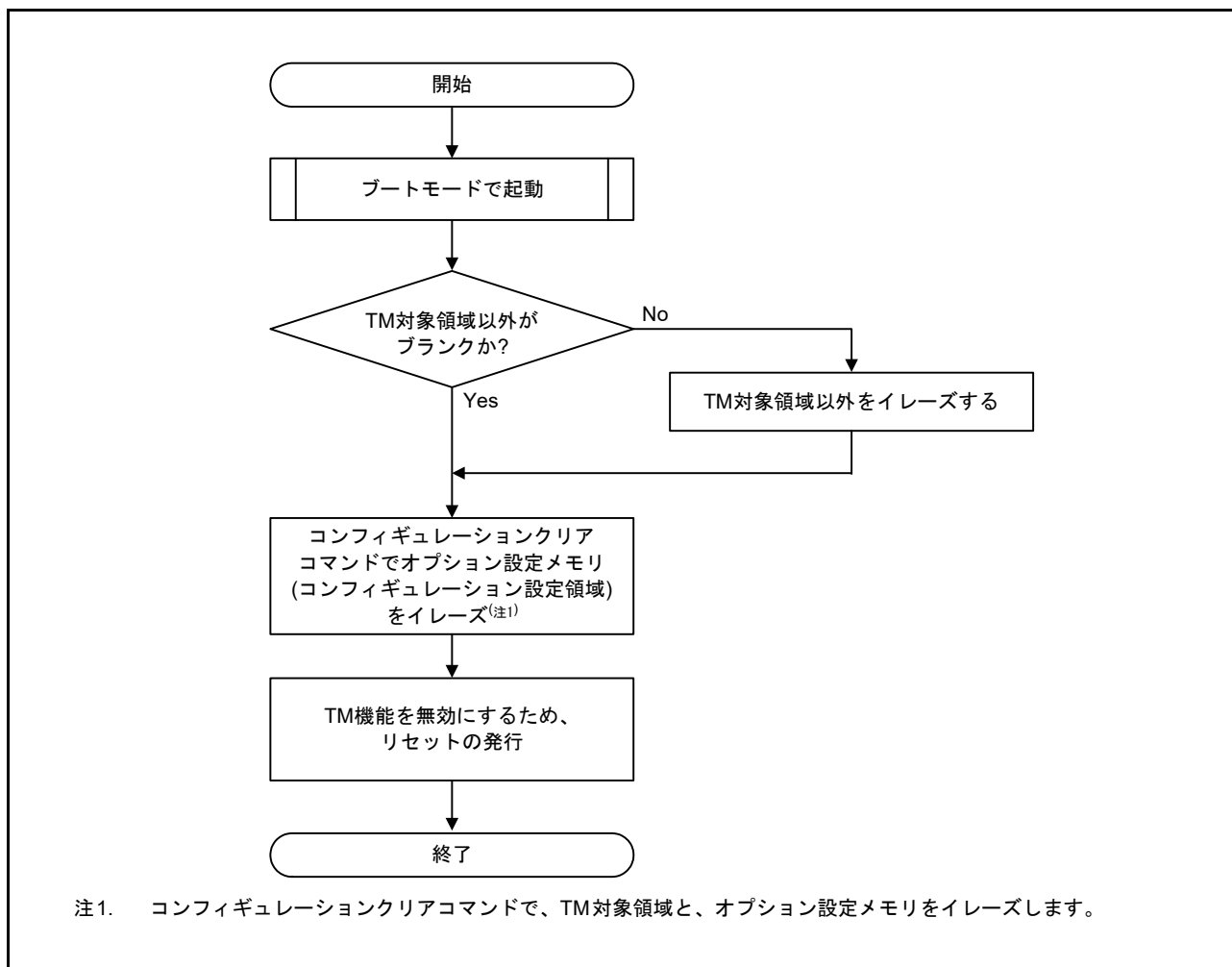


図 55.59 ブートモードで TM 機能を無効にするためのフロー

55.19.4 TM 機能有効時の注意事項

55.19.4.1 TM 対象領域のアクセス防止

TM 機能有効時、TM 対象領域は CPU による命令フェッチのみ実行可能となりますので、TM 対象領域にはデータを配置しないでください。

TM 機能有効時、CPU や他のバスマスタ、OCD による TM 対象領域に対するデータアクセスを実行すると、プログラムされた値ではなく“0”がリードされます。

55.19.4.2 TM 対象領域に対する追加プログラム

TM 機能有効時、TM 対象領域に対して追加プログラムはできません。

「55.19.3 TM 機能を無効にする方法」で TM 機能を無効にした後、「55.19.2 TM 機能を有効にする方法」でコードフラッシュメモリのブロック 8、9 (デュアルモード時はブロック 8、9、46、47) に対するプログラムと TM 機能を有効に設定してください。

55.19.4.3 コンフィギュレーションクリアコマンド実行

「55.19.3 TM 機能を無効にする方法」でコンフィギュレーションクリアコマンドを実行してください。

55.19.4.4 TM 対象領域に対する MPU 設定時

TM 機能有効時、TM 対象領域に対して MPU を設定しても、TM 機能が優先されます。

55.19.4.5 TM 対象領域に対する FACI のブロックイレーズコマンドについて

FACI のブロックイレーズコマンドによる、TM 対象領域のブロックイレーズは特に制約はありません。ブロックイレーズコマンドの発行によりイレーズされます。

55.19.4.6 TM 機能の動作条件

TM 機能は、「56. 電気的特性」で規定された条件において正常に動作します。

55.20 使用上の注意事項

55.20.1 プログラム/イレーズを中断した領域およびサスペンド中の領域の読み出し

プログラム/イレーズを中断した領域およびサスペンドコマンドを使用してプログラム/イレーズを中断した領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、プログラム/イレーズを中断した領域およびサスペンドコマンドを使用してプログラム/イレーズを中断した領域の命令フェッチやデータリードが発生しないように注意してください。

55.20.2 プログラム/イレーズの中断

P/E サスペンドコマンドを発行してプログラム/イレーズ処理を中断した場合、P/E レジュームコマンドを発行してプログラム/イレーズ処理を再開することができます。中断処理が正常に終了して ERSSPD フラグまたは PRGSPD フラグが“1”になったあと、何らかの理由でフラッシュシーケンサがコマンドロック状態になり強制終了コマンドを発行した場合は、中断した処理を再開することはできません。また処理を中断した領域のデータ値は保証されませんので、当該領域をイレーズしてください。

55.20.3 追加プログラムの禁止

コードフラッシュメモリ、データフラッシュメモリでは同一領域に2回以上のプログラムを行うことはできません。プログラム済みのコードフラッシュメモリ、データフラッシュメモリをプログラムしたい場合には、当該領域をイレーズしてください。

55.20.4 プログラム/イレーズ、およびブランクチェック中のリセット

フラッシュメモリのプログラム/イレーズ/ブランクチェック中に RES# 端子によるリセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、 t_{RESWF} (「56. 電気的特性」を参照) 以上のリセット入力期間の後にリセット解除してください。

55.20.5 プログラム/イレーズ中の割り込み/例外ベクタの配置

プログラム/イレーズ中に割り込み/例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。BGO 機能を使用できない条件下では、ベクタのアドレスをコードフラッシュメモリ以外に設定してください。もしくは、プログラム/イレーズ中の割り込み/例外処理の発生を避けてください。

55.20.6 プログラム/イレーズ中またはブランクチェック中の禁止事項

プログラム/イレーズ中またはブランクチェック中は、フラッシュメモリ内に高電圧が印加されています。フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。

- 電源を動作電圧範囲外にする
- FWEPROR.FLWE[1:0] ビットの変更
- SYSCR0.ROME ビットの変更
- OPCCR.OPCM[2:0] ビットの変更
- SCKCR.FCK[3:0] と PCKB[3:0] ビットの変更
- SCKCR3.CKSEL[2:0] ビットの変更

- RSTCKCR.RSTCKEN ビットの変更
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへの移行

55.20.7 ブートモード (USB インタフェース) における注意事項

- ブートモード (USB インタフェース) では、周波数が 20MHz または 24MHz、かつ発振子メーカーのマッチングテスト結果 (推奨設定値) でメインクロック発振器ドライブ能力 2 切り替えビット (MOFCR.MODRV2[1:0]) が “00b” になる発振子にのみ対応しています。外部クロック入力や HOCO には対応していません。
- フラッシュメモリへのプログラム / イレース中は電源安定供給のため、バスパワー HUB を経由してケーブル接続はしないでください。

55.20.8 低速動作モード 1、低速動作モード 2 でのプログラム / イレース

動作電力コントロールレジスタ (OPCCR) で低速動作モード 1、低速動作モード 2 を選択した場合は、フラッシュメモリへのプログラム / イレースを行わないでください。

55.20.9 プログラムコマンド発行時の注意事項

プログラムコマンド発行中 (“E8h” 書き込みから “D0h” 書き込みまで) は、FACI コマンドを発行する割り込みを禁止してください。

なお、FACI コマンド発行中に割り込みが発生し、その割り込み処理ルーチン内で別の FACI コマンドを発行すると、その FACI コマンドは無視されるか、不正コマンドと認識されるため、正常な動作は望めません。プログラムコマンドに限らず、FACI コマンド発行中はこのような割り込みを禁止することを推奨します。

56. 電気的特性

56.1 絶対最大定格

表 56.1 絶対最大定格

条件 : VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V

項目		記号	定格値	単位
電源電圧		VCC, VCC_USB	-0.3 ~ +4.0	V
V _{BATT} 電源電圧		V _{BATT}	-0.3 ~ +4.0	V
アナログ電源電圧		AVCC0, AVCC1 (注1)	-0.3 ~ +4.0	V
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0 + 0.3 (最大 4.0)	V
入力電圧	5Vトレラント対応ポート : P12~P17、P20、P21、P30~P33、P67、P73、PC0~PC3、PJ3	V _{in}	-0.3 ~ VCC + 4.0 (最大 5.8)	V
	TAMPI0~TAMPI2, RTCIC0~RTCIC2, EXCIN (注2)		-0.3 ~ +4.0	
	5Vトレラント対応ポート : P07		-0.3 ~ AVCC0 + 4.0 (最大 5.8)	
	P03, P05, P40~P47		-0.3 ~ AVCC0 + 0.3 (最大 4.0)	
	上記以外		-0.3 ~ VCC + 0.3 (最大 4.0)	
ジャンクション温度		T _j	-40 ~ +125	°C
保存温度		T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

注1. AVCC0、AVCC1、VCC_USBはVCCに、AVSS0、AVSS1、VSS_USBはVSSに接続してください。

A/Dコンバータのユニット0を使用しない場合、VREFH0端子はVCCに、VREFL0端子はVSSにそれぞれ接続し開放しないでください。AVCC0とAVSS0間、AVCC1とAVSS1間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

注2. P30、P31、P32をTAMPIn/RTCICn (n = 0~2)機能にしたとき、およびPJ3をEXCIN機能にしたとき

56.2 推奨動作条件

表 56.2 推奨動作条件(1)

項目		記号	min	typ	max	単位
電源電圧 (注1)		VCC	2.7	—	3.6	V
		VSS	—	0	—	
V _{BATT} 電源電圧		V _{BATT}	1.62 (注2)	—	3.6	V
USB電源電圧		VCC_USB	—	VCC	—	V
		VSS_USB	—	0	—	
アナログ電源電圧 (注1、注3)		AVCC0	—	VCC	—	V
		AVSS0	—	0	—	
		AVCC1	—	VCC	—	
		AVSS1	—	0	—	
		VREFH0	2.7	—	AVCC0	
		VREFL0	—	0	—	
入力電圧	5Vトレラント対応ポート：P12～P17、P20、P21、P30～P33、P67、P73、PC0～PC3、PJ3	V _{in}	-0.3	—	VCC + 3.6 (最大 5.5)	V
	TAMPI0～TAMPI2, RTCIC0～RTCIC2, EXCIN (注4)		-0.3	—	3.9	
	SCLHS0, SDAHS0 (注5)		-0.3	—	VCC + 0.3	
	5Vトレラント対応ポート：P07		-0.3	—	AVCC0 + 3.6 (最大 5.5)	
	P03, P05, P40～P47		-0.3	—	AVCC0 + 0.3	
	上記以外		-0.3	—	VCC + 0.3	
動作温度	Dバージョン	T _{opr}	-40	—	85	°C
	Gバージョン		-40	—	105	
ジャンクション温度	Dバージョン	T _j	-40	—	105	°C
	Gバージョン		-40	—	125	

注1. 電位関係は以下を守ってください。

VCC = AVCC0 = AVCC1 = VCC_USB

注2. V_{BATT} < 2.0Vの場合、低CL水晶振動子は使用できません。

注3. 詳細は「50.6.11 アナログ電源端子他の設定範囲」を参照してください。

注4. P30、P31、P32をTAMPIn/RTCICn (n = 0～2)機能にしたとき、およびPJ3をEXCIN機能にしたとき

注5. P12、P13をRIICHSのHsモードでSCLHS0/SDAHS0端子にしたとき

表 56.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C _{VCL}	0.22μF ± 30% (注1)

注1. 静電容量の公称値が0.22μF、静電容量許容差とコンデンサの使用条件下における静電容量変化率の合計が±30%以内の積層セラミックコンデンサを使用してください。

56.3 DC 特性

表 56.4 DC 特性(1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	IRQ入力端子(注1)	V_{IH}	$0.8 \times VCC$	—	—	V	
	MTU入力端子(注1)	V_{IL}	—	—	$0.2 \times VCC$		
	POE3入力端子(注1)	ΔV_T	$0.06 \times VCC$	—	—		
	TPU入力端子(注1)						
	TMR入力端子(注1)						
	CMTW入力端子(注1)						
	SCI入力端子(注1)						
	RSCIA入力端子(注1)						
	CAN入力端子(注1)						
	CAC入力端子(注1)						
	ADTRG#入力端子(注1)						
	QSPIX入力端子(注1)						
	SSIE入力端子(注1)						
	REMC入力端子(注1)						
RES#, NMI, TCK							
RIIC入力端子	V_{IH}	$0.7 \times VCC$	—	—			
RIICHS入力端子 (SMBusを除く)	V_{IL}	—	—	$0.3 \times VCC$			
	ΔV_T	$0.05 \times VCC$	—	—			
TAMPIn/RTClCn端子	V_{IH}	$0.8 \times V_{BKP}$	—	—			
EXCIN端子	V_{IL}	—	—	$0.2 \times V_{BKP}$			
5Vトレラント対応ポート (注2)	V_{IH}	$0.8 \times VCC$	—	—			
	V_{IL}	—	—	$0.2 \times VCC$			
5Vトレラント対応ポート以外 その他の入力端子	V_{IH}	$0.8 \times VCC$	—	—			
	V_{IL}	—	—	$0.2 \times VCC$			
Highレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V_{IH}	$0.9 \times VCC$	—	—	V	
	EXTAL, RSPI入力端子、 RSPIA入力端子、 EXDMAC入力端子、WAIT#、 SDHI入力端子		$0.8 \times VCC$	—	—		
	D0~D15		$0.7 \times VCC$	—	—		
	RIIC, RIICHS (SMBus)		2.1	—	—		
Lowレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V_{IL}	—	—	$0.1 \times VCC$	V	
	EXTAL, RSPI入力端子、 RSPIA入力端子、 EXDMAC入力端子、WAIT#、 SDHI入力端子		—	—	$0.2 \times VCC$		
	D0~D15		—	—	$0.3 \times VCC$		
	RIIC, RIICHS (SMBus)		—	—	0.8		

注1. 5Vトレラント対応のポートで兼用している端子は該当しません。

注2. P07、P12~P17、P20、P21、P30~P33、P67、P73、PC0~PC3、PJ3は、5Vトレラント対応です。

表 56.5 DC特性(2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
Highレベル出力電圧	全出力端子	V_{OH}	$VCC - 0.5$	—	—	V $I_{OH} = -1mA$
Lowレベル出力電圧	全出力端子 (RIIC0～RIIC2端子、RIICHS0 端子を除く)	V_{OL}	—	—	0.5	V $I_{OL} = 1.0mA$
	RIIC0～RIIC2出力端子 RIICHS0出力端子		—	—	0.4	$I_{OL} = 3.0mA$
			—	—	0.6	$I_{OL} = 6.0mA$
	RIIC0出力端子 RIICHS0出力端子		—	—	0.4	$I_{OL} = 15.0mA$ (ICFER.FMPE = 1)
			—	0.4	—	$I_{OL} = 20.0mA$ (ICFER.FMPE = 1)
	RIICHS0出力端子		—	—	0.4	$I_{OL} = 3.0mA$ (ICFER.HSME = 1)
入力リーク電流	RES#, MD端子、EMLE(注1)、 BSCANP(注1)、NMI	$ I_{in} $	—	—	1.0	μA $V_{in} = 0V$ $V_{in} = VCC$
スリーステートリーク 電流(オフ状態)	5Vトレラント対応ポート以外	$ I_{TSI} $	—	—	1.0	μA $V_{in} = 0V$ $V_{in} = VCC$
	5Vトレラント対応ポート		—	—	5.0	$V_{in} = 0V$ $V_{in} = 5.5V$
入力プルアップ抵抗	P35以外の端子	R_{PU}	10	—	100	$k\Omega$ $V_{in} = 0V$
入力プルダウン抵抗	EMLE, BSCANP	R_{PD}	10	—	100	$k\Omega$ $V_{in} = VCC$
SCLHS0電流源のプ ルアップ電流	SCLHS0端子(P12)	I_{CS}	3	—	12	mA $VCC = 3.0 \sim 3.6V$ $V_{in} = 0.3 \times VCC \sim$ $0.7 \times VCC$
入力容量	全入力端子 (P12, P13, P16, P17, P20, P21, EMLE, BSCANP, USB0_DP, USB0_DM, USB1_DP, USB1_DM以外)	C_{in}	—	—	8	pF $V_{bias} = 0V$ $V_{amp} = 20mV$ $f = 1MHz$ $T_a = 25^\circ C$
	P12, P13, P16, P17, P20, P21, EMLE, BSCANP, USB0_DP, USB0_DM, USB1_DP, USB1_DM		—	—	16	
バックアップ領域内電源電圧		V_{BKP}	—	VCC	—	V $VCC \geq V_{DET BATT}$
			—	VBATT	—	$VCC < V_{DET BATT}$
VCL端子出力電圧		V_{CL}	—	1.18	—	V

注1. EMLE端子、BSCANP端子の入力リーク電流は $V_{in} = 0V$ 時のみの値です。

表 56.6 DC特性(3)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
T_a = T_{opr}

項目	記号	Dバージョン		Gバージョン		単位	測定条件			
		typ	max	typ	max					
消費電流 (注1)	I _{CC} (注3)	最大動作(注2)		—	55	—	68	mA	ICLK = 120MHz、 PCLKA = 120MHz、 PCLKB = 60MHz、 PCLKC = 60MHz、 PCLKD = 60MHz、 FCLK = 60MHz、 BCLK = 120MHz、 BCLK端子 = 60MHz	
		通常動作	周辺機能クロック供給状態(注4)		23	—	23			—
			周辺機能クロック停止状態(注4、注5)		13	—	13			—
		Core Mark動作	周辺機能クロック停止状態(注4、注5)		14.5	—	14.5			—
			スリープモード時：周辺機能クロック供給状態(注4)		20	38	20			51
		全モジュールクロックストップモード時(参考値)		9	26	9	39			
		BGO動作時の増加分(注8)	データフラッシュメモリ書き換え中のコードフラッシュメモリ読み出し		6	—	6			—
			コードフラッシュメモリ書き換え中のコードフラッシュメモリ読み出し		7	—	7			—
		Trusted Secure IP動作時の増加分		—	15	—	15			
		低速動作モード1：周辺機能クロック停止状態(注4)		1.6	—	1.6	—			μA
	低速動作モード2：周辺機能クロック停止状態(注4)		1.6	—	1.6	—	μA	全クロック 32.768kHz		
	ソフトウェアスタンバイモード		1.1	18	1.1	27	μA			
	ディープソフトウェアスタンバイモード	スタンバイRAM、USBレジューム検出部(USB0のみ)、REMC電源供給あり		15.5	69	15.5	85	μA		
		スタンバイRAM、USBレジューム検出部(USB0のみ)、REMC電源供給なし	パワーオンリセット回路の低消費電力機能無効(注6)		11.5	42	11.5	54	μA	
パワーオンリセット回路の低消費電力機能有効(注7)			4.9	32	4.9	47	μA			
RTC動作時の増分		RCR3.RTCDV[2:0]が低CLドライブ能力設定		1	—	1	—	μA		
		RCR3.RTCDV[2:0]が標準CLドライブ能力設定		2	—	2	—	μA		
REMC動作時の増分		外部クロック(32kHz)入力		0.1	—	0.1	—	μA		
		RCR3.RTCDV[2:0]が標準CLドライブ能力設定		1.4	—	1.4	—	μA		
VCCオフ時のRTC動作(バッテリーバックアップ機能により、RTC、サブクロック発振器のみ動作)		RCR3.RTCDV[2:0]が低CLドライブ能力設定		0.9	—	0.9	—	μA	V _{BATT} = 2.0V, VCC = 0V	
		RCR3.RTCDV[2:0]が標準CLドライブ能力設定		1.6	—	1.6	—	μA	V _{BATT} = 3.3V, VCC = 0V	
		RCR3.RTCDV[2:0]が標準CLドライブ能力設定		1.6	—	1.6	—	μA	V _{BATT} = 1.62V, VCC = 0V	
	RCR3.RTCDV[2:0]が標準CLドライブ能力設定		1.7	—	1.7	—	μA	V _{BATT} = 2.0V, VCC = 0V		
ディープソフトウェアスタンバイ復帰時のラッシュ電流	ラッシュ電流(注9)		I _{RUSH}	—	130	—	130	mA		
	ラッシュ電流の総量(注9)		E _{RUSH}	—	1	—	1	μC		

- 注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。
- 注2. 周辺機能はクロック供給状態。
- 注3. I_{CC} は、以下の式のとおりICLK周波数f (MHz)に依存します
(ICLK/PCLKA : PCLKB/PCLKC/PCLKD : BCLK : BCLK端子 = 2 : 1 : 2 : 1 @EXTAL = 12 MHz)。
- Dバージョン製品
 - $I_{CC\ max} = 0.28 \times f + 21.0$ (高速動作モード、最大動作時)
 - $I_{CC\ typ} = 0.16 \times f + 3.5$ (高速動作モード、通常動作時)
 - $I_{CC\ typ} = 0.20 \times f + 1.4$ (ICLK 1 MHz max) (低速動作モード1時)
 - $I_{CC\ max} = 0.14 \times f + 21.0$ (スリープモード時)
 - Gバージョン製品
 - $I_{CC\ max} = 0.31 \times f + 30.0$ (高速動作モード、最大動作時)
 - $I_{CC\ typ} = 0.16 \times f + 3.5$ (高速動作モード、通常動作時)
 - $I_{CC\ typ} = 0.20 \times f + 1.4$ (ICLK 1 MHz max) (低速動作モード1時)
 - $I_{CC\ max} = 0.17 \times f + 30.0$ (スリープモード時)
- 注4. 周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタA~Dのビット設定でのみ制御しています。
- 注5. 周辺機能クロック停止時の各クロック周波数は、ICLK = 120 MHz、PCLKA = PCLKB = PCLKC = PCLKD = FCLK = BCLK = BCLK端子 = 3.75 MHz (64分周)に設定しています。
- 注6. 低消費電力機能無効時は、DEEPCUT[1:0]ビット = 01b。
- 注7. 低消費電力機能有効時は、DEEPCUT[1:0]ビット = 11b。
- 注8. コードフラッシュメモリでのプログラム実行中に、コードフラッシュメモリ(プログラム領域とリード領域のアドレス範囲の組み合わせに制限あり)、またはデータフラッシュメモリをプログラム/イレーズ実行した場合の増加分です。
- 注9. 参考値。

表 56.7 DC特性(4)

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目	記号	Dバージョン			Gバージョン			単位	測定条件			
		min	typ	max	min	typ	max					
アナログ電源電流 (注1、注2)	12ビットA/D変換中(ユニット0)	I_{AVCC0}	—	0.8	1	—	0.8	1	mA			
	12ビットA/D変換中(ユニット1)	I_{AVCC1}	—	0.6	1	—	0.6	1				
	12ビットA/D変換中(ユニット1) +温度センサ		—	0.7	1.1	—	0.7	1.1				
	A/D、温度センサ変換待機時 (全ユニット)	I_{AVCC}	—	0.9	1.4	—	0.9	1.4			mA	$I_{AVCC} = I_{AVCC0} + I_{AVCC1}$
	A/D、温度センサスタンバイ時 (全ユニット)		—	1.4	6.7	—	1.4	9.0				
リファレンス電源電流	12ビットA/D変換中(ユニット0)	I_{VREFH0}	—	38	60	—	38	60	μA			
	12ビットA/D変換待機時 (ユニット0)		—	0.07	0.5	—	0.07	0.6				
	12ビットA/Dモジュールストップ時(ユニット0)		—	0.07	0.4	—	0.07	0.5				
USB動作電流 (1チャンネルあたりの増加分)	ロースピード	$I_{CCUSBLS}$	—	3.7	6.5	—	3.7	6.5	mA			
	フルスピード	$I_{CCUSBFS}$	—	4.2	10	—	4.2	10				
CTSU動作電流		I_{CTSU}	—	100	—	—	100	—	μA			
RAM保持電圧		V_{RAM}	2.7	—	—	2.7	—	—	V			
VCC立ち上がり勾配		$SrVCC$	8.4	—	20000	8.4	—	20000	$\mu s/V$			
VCC立ち下がり勾配(注3)		$SfVCC$	8.4	—	—	8.4	—	—	$\mu s/V$			

- 注1. 12ビットA/Dコンバータ(ユニット1)の測定値には、リファレンス電流の値も含んでいます。
- 注2. 48ピンの製品では、AVCC0とAVCC1が端子を共有していますので、 I_{AVCC0} と I_{AVCC1} を区別できません。
- 注3. V_{BATT} を使用する場合に適用される規格です。

表 56.8 出力許容電流

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目			記号	min	typ	max	単位
Low レベル出力許容電流 (1端子あたりの平均値)	全出力端子 (注1)	通常駆動	I_{OL}	—	—	2.0	mA
	全出力端子 (注2)	高駆動		—	—	3.8	
	全出力端子 (注3)	高速インタフェース 用高駆動		—	—	7.5	
Low レベル出力許容電流 (1端子あたりの最大値)	全出力端子 (注1)	通常駆動	I_{OL}	—	—	4.0	mA
	全出力端子 (注2)	高駆動		—	—	7.6	
	全出力端子 (注3)	高速インタフェース 用高駆動		—	—	15	
Low レベル出力許容電流 (総和)	全出力端子の総和		ΣI_{OL}	—	—	80	mA
High レベル出力許容電流 (1端子あたりの平均値)	全出力端子 (注1)	通常駆動	I_{OH}	—	—	-2.0	mA
	全出力端子 (注2)	高駆動		—	—	-3.8	
	全出力端子 (注3)	高速インタフェース 用高駆動		—	—	-7.5	
High レベル出力許容電流 (1端子あたりの最大値)	全出力端子 (注1)	通常駆動	I_{OH}	—	—	-4.0	mA
	全出力端子 (注2)	高駆動		—	—	-7.6	
	全出力端子 (注3)	高速インタフェース 用高駆動		—	—	-15	
High レベル出力許容電流 (総和)	全出力端子の総和		ΣI_{OH}	—	—	-80	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 56.8 の値を超えないようにしてください。

注1. 通常駆動が選択できる端子で通常駆動を設定した場合の値

注2. 通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値

注3. 高速インタフェース用高駆動設定ができる端子で、高速インタフェース用高駆動設定をした場合の値

表 56.9 標準出力特性

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件		
Highレベル 出力電圧	通常出力時 (P00~P02, P12~P14, P27, P36, P40~P47, P50~P52, P54~P56, P72, P74~P77, P80~P83, P90~P93, PA0~PA7, PB0~PB7, PC0~PC7, PD0~PD7, PE0~PE7, PH1, PH2)	V _{OH}	—	3.26	—	V	I _{OH} = -0.5mA		
			—	3.22	—		I _{OH} = -1.0mA		
			—	3.13	—		I _{OH} = -2.0mA		
			—	2.94	—		I _{OH} = -4.0mA		
	高駆動出力時 (P00~P02, P03, P05, P07, P12~P17, P20~P27, P30~P34, P37, P50~P56, P60~P67, P70~P77, P80~P83, P86, P87, P90~P93, PA0~PA7, PB0~PB7, PC0~PC7, PD0~PD7, PE0~PE7, PF5, PH1, PH2, PJ3, PJ5)	V _{OH}	—	3.28	—	I _{OH} = -0.5mA			
			—	3.25	—	I _{OH} = -1.0mA			
			—	3.20	—	I _{OH} = -2.0mA			
			—	3.10	—	I _{OH} = -4.0mA			
	高速インタフェース用高駆動出力時 (P00~P02, P12~P14, P17, P20~P23, P27, P30, P31, P50~P56, P70, P72, P73~P77, P80~P83, P86, P87, P90~P93, PA0~PA7, PB0~PB7, PC0~PC7, PD0~PD7, PE0~PE7, PH1, PH2)	V _{OH}	—	3.29	—	I _{OH} = -0.5mA			
			—	3.28	—	I _{OH} = -1.0mA			
			—	3.25	—	I _{OH} = -2.0mA			
			—	3.20	—	I _{OH} = -4.0mA			
			—	3.18	—	I _{OH} = -5.0mA			
			Lowレベル 出力電圧	通常出力時 (P00~P02, P12~P14, P27, P36, P40~P47, P50~P52, P54~P56, P72, P74~P77, P80~P83, P90~P93, PA0~PA7, PB0~PB7, PC0~PC7, PD0~PD7, PE0~PE7, PH1, PH2)	V _{OL}	—	0.04	—	I _{OL} = 0.5mA
						—	0.09	—	I _{OL} = 1.0mA
—	0.18	—				I _{OL} = 2.0mA			
—	0.39	—				I _{OL} = 4.0mA			
高駆動出力時 (P00~P02, P03, P05, P07, P12~P17, P20~P27, P30~P34, P37, P50~P56, P60~P67, P70~P77, P80~P83, P86, P87, P90~P93, PA0~PA7, PB0~PB7, PC0~PC7, PD0~PD7, PE0~PE7, PF5, PH1, PH2, PJ3, PJ5)	V _{OL}	—		0.02	—	I _{OL} = 0.5mA			
		—		0.04	—	I _{OL} = 1.0mA			
		—		0.09	—	I _{OL} = 2.0mA			
		—		0.18	—	I _{OL} = 4.0mA			
高速インタフェース用高駆動出力時 (P00~P02, P12~P14, P17, P20~P23, P27, P30, P31, P50~P56, P70, P72, P73~P77, P80~P83, P86, P87, P90~P93, PA0~PA7, PB0~PB7, PC0~PC7, PD0~PD7, PE0~PE7, PH1, PH2)	V _{OL}	—		0.01	—	I _{OL} = 0.5mA			
		—		0.02	—	I _{OL} = 1.0mA			
		—		0.04	—	I _{OL} = 2.0mA			
		—		0.09	—	I _{OL} = 4.0mA			
		—		0.11	—	I _{OL} = 5.0mA			
		—		0.23	—	I _{OL} = 10.0mA			
		—		0.36	—	I _{OL} = 15.0mA			

表 56.10 熱抵抗値(参考値)

項目	パッケージ	記号	max	単位	測定条件
熱抵抗	144ピンLFQFP (PLQP0144KA-B)	θ_{ja}	48.4	°C/W	JESD51-2および JESD51-7準拠
	100ピンLFQFP (PLQP0100KB-B)		51.7		
	64ピンLFQFP (PLQP0064KB-C)		51.2		
	48ピンHWQFN (PWQN0048KC-A)		19.1(注1)		
	145ピンTFLGA (PTLG0145JC-A)		30.9		
	145ピンTFLGA (PTLG0145KB-A)		30.6		
	100ピンTFLGA (PTLG0100JB-A)		30.9		
	64ピンTFBGA (PTBG0064KB-A)		32.0		
	144ピンLFQFP (PLQP0144KA-B)	Ψ_{jt}	1.2	°C/W	JESD51-2および JESD51-7準拠
	100ピンLFQFP (PLQP0100KB-B)		1.2		
	64ピンLFQFP (PLQP0064KB-C)		1.2		
	48ピンHWQFN (PWQN0048KC-A)		0.1(注1)		
	145ピンTFLGA (PTLG0145JC-A)		0.4		
	145ピンTFLGA (PTLG0145KB-A)		0.4		
	100ピンTFLGA (PTLG0100JB-A)		0.4		
	64ピンTFBGA (PTBG0064KB-A)		0.4		
					JESD51-2および JESD51-9準拠

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

注1. exposed die padにVSSを接続したときの値です。

56.4 AC 特性

表 56.11 動作周波数(高速動作モード)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	
動作周波数	システムクロック (ICLK)	f	—	—	120	MHz	
	周辺モジュールクロック (PCLKA)		—	—	120		
	周辺モジュールクロック (PCLKB)		—	—	60		
	周辺モジュールクロック (PCLKC)		—	—	60		
	周辺モジュールクロック (PCLKD)		—	—	60		
	FlashIFクロック (FCLK)		— (注1)	—	60		
	外部バスクロック (BCLK)		144ピン以上	—	—		120
			100ピンのみ	—	—		60
	BCLK端子出力		144ピン以上	—	—		60
			100ピンのみ	—	—		30
	SDRAMクロック (SDCLK)		144ピン以上	—	—		60
	SDCLK端子出力		144ピン以上	—	—		60

注1. フラッシュメモリの書き換えを行う場合は、FCLKを4MHz以上としてください。

表 56.12 動作周波数(低速動作モード1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	
動作周波数	システムクロック (ICLK)	f	—	—	1	MHz	
	周辺モジュールクロック (PCLKA)		—	—	1		
	周辺モジュールクロック (PCLKB)		—	—	1		
	周辺モジュールクロック (PCLKC) (注1)		—	—	1		
	周辺モジュールクロック (PCLKD) (注1)		—	—	1		
	FlashIFクロック (FCLK)		—	—	1		
	外部バスクロック (BCLK)		144ピン以上	—	—		1
			100ピンのみ	—	—		1
	BCLK端子出力		144ピン以上	—	—		1
			100ピンのみ	—	—		1
	SDRAMクロック (SDCLK)		144ピン以上	—	—		1
	SDCLK端子出力		144ピン以上	—	—		1

注1. 12ビットA/Dコンバータを使用する場合、1MHz以上の設定が必要です。

表 56.13 動作周波数 (低速動作モード2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$, $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$, $T_a = T_{opr}$

項目		記号	min	typ	max	単位	
動作周波数	システムクロック (ICLK)	f	32	—	264	kHz	
	周辺モジュールクロック (PCLKA)		—	—	264		
	周辺モジュールクロック (PCLKB)		—	—	264		
	周辺モジュールクロック (PCLKC) (注1)		—	—	264		
	周辺モジュールクロック (PCLKD) (注1)		—	—	264		
	FlashIFクロック (FCLK)		32	—	264		
	外部バスクロック (BCLK)		144ピン以上	—	—		264
			100ピンのみ	—	—		264
	BCLK端子出力		144ピン以上	—	—		264
			100ピンのみ	—	—		264
	SDRAMクロック (SDCLK)		144ピン以上	—	—		264
	SDCLK端子出力		144ピン以上	—	—		264

注1. 12ビットA/Dコンバータは使用できません。

56.4.1 リセットタイミング

表 56.14 リセットタイミング

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 T_a = T_{opr}

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	1	—	—	ms	図 56.1
	ディープソフトウェアスタンバイモード	t _{RESWD}	0.6	—	—	ms	図 56.2
	ソフトウェアスタンバイモード、 低速動作モード2	t _{RESWS}	0.3	—	—	ms	
	コードフラッシュメモリのプログラム/イレーズ中、 データフラッシュメモリのプログラム/イレーズ/ ブランクチェック中	t _{RESWF}	200	—	—	μs	
	上記以外	t _{RESW}	200	—	—	μs	
RES#解除後待機時間		t _{RESWT}	54	—	55	t _{Lcyc}	図 56.1
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)		t _{RESW2}	100	—	108	t _{Lcyc}	

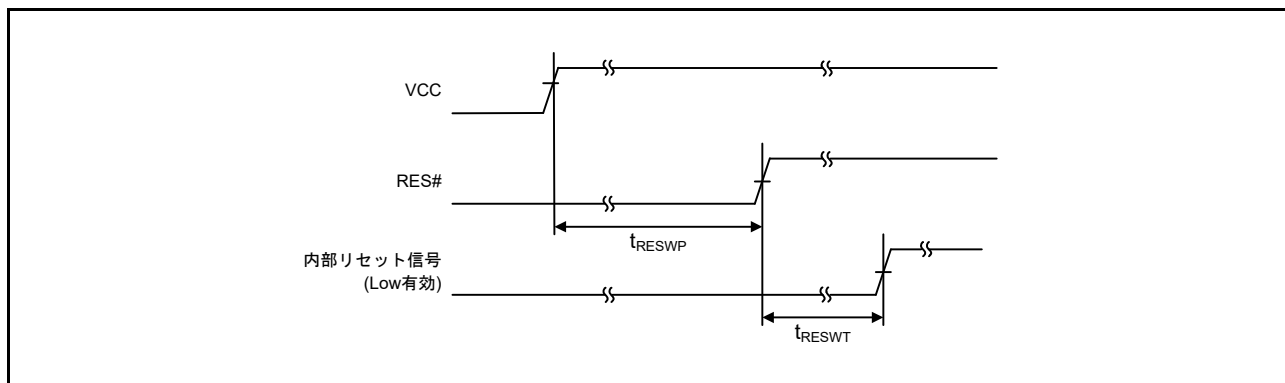


図 56.1 電源投入時リセット入力タイミング

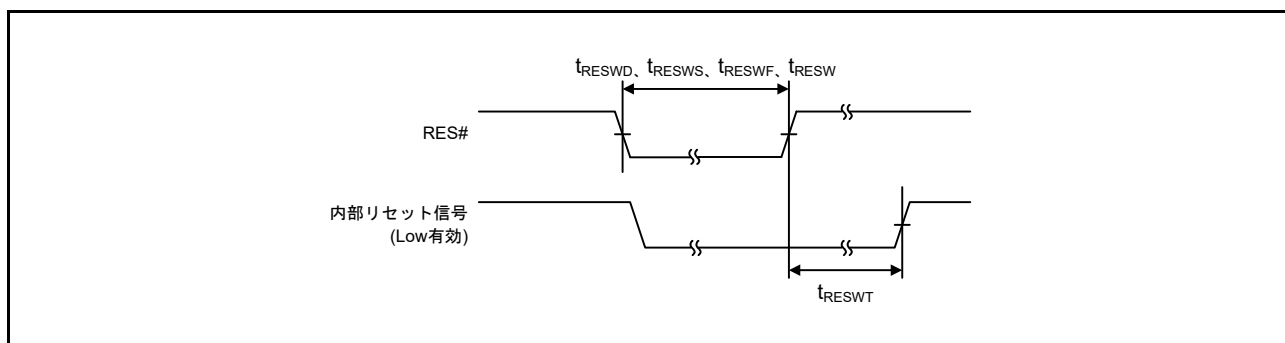


図 56.2 リセット入力タイミング

56.4.2 クロックタイミング

表 56.15 BCLK端子出力、SDCLK端子出カクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件		
BCLK端子出力サイクル時間	t_{Bcyc}	144ピン以上	16.6	—	—	ns	図 56.3	
		100ピン	33.2	—	—			
BCLK端子出力Highパルス幅	t_{CH}	3.3	—	—	ns			
BCLK端子出力Lowパルス幅	t_{CL}	3.3	—	—	ns			
BCLK端子出力立ち上がり時間	t_{Cr}	—	—	5	ns			
BCLK端子出力立ち下がり時間	t_{Cf}	—	—	5	ns			
SDCLK端子出力サイクル時間	t_{Bcyc}	144ピン以上	16.6	—	—	ns		
			t_{CH}	3.3	—	—		ns
			t_{CL}	3.3	—	—		ns
			t_{Cr}	—	—	5		ns
			t_{Cf}	—	—	5	ns	

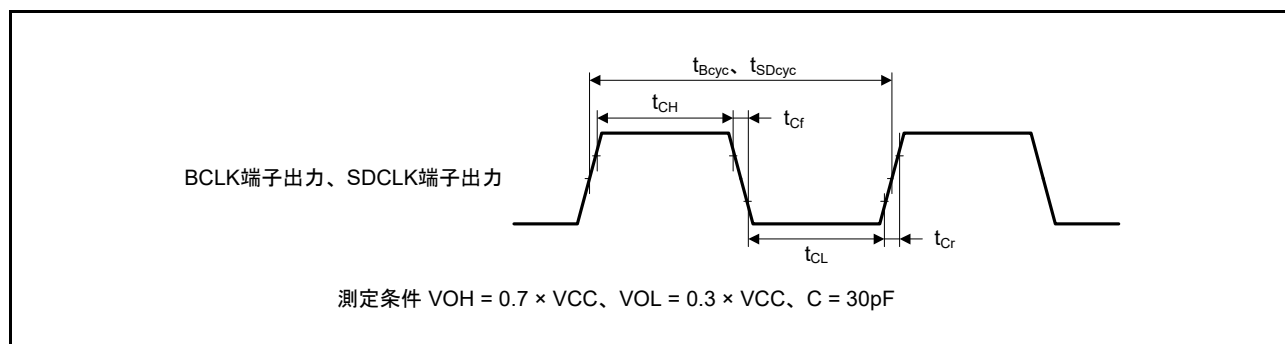


図 56.3 BCLK端子出力、SDCLK端子出カタイミング

表 56.16 EXTALクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目	記号	$f_{EXMAIN} \leq 24MHz$			$f_{EXMAIN} > 24MHz$			単位	測定条件
		min	typ	max	min	typ	max		
EXTAL外部クロック入力サイクル時間	t_{EXcyc}	41.66	—	—	33.33	—	—	ns	図 56.4
EXTAL外部クロック入力周波数	f_{EXMAIN}	—	—	24	—	—	30	MHz	
EXTAL外部クロック入力Highパルス幅	t_{EXH}	15.83	—	—	13.33	—	—	ns	
EXTAL外部クロック入力Lowパルス幅	t_{EXL}	15.83	—	—	13.33	—	—	ns	
EXTAL外部クロック立ち上がり時間	t_{EXr}	—	—	5	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{EXf}	—	—	5	—	—	5	ns	

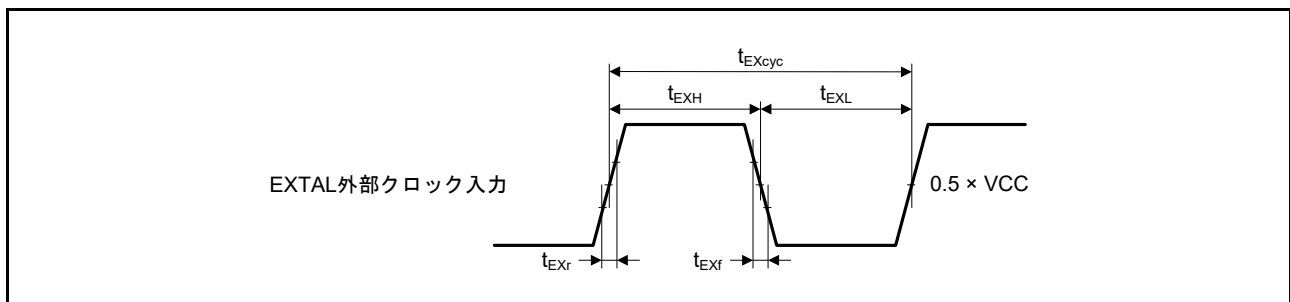


図 56.4 EXTAL 外部クロック入力タイミング

表 56.17 メインクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f_{MAIN}	8	—	24	MHz	図 56.5
メインクロック発振安定時間(水晶)	$t_{MAINOSC}$	—	—	(注 1)	ms	
メインクロック発振安定待機時間(水晶)	$t_{MAINOSCWT}$	—	—	(注 2)	ms	

注 1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注 2. メインクロック発振安定待機時間は、MOSCWTCR.MSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{MAINOSCWT} = [(MSTS[7:0] \text{ビット} \times 32) + 10] / f_{Loco}$$

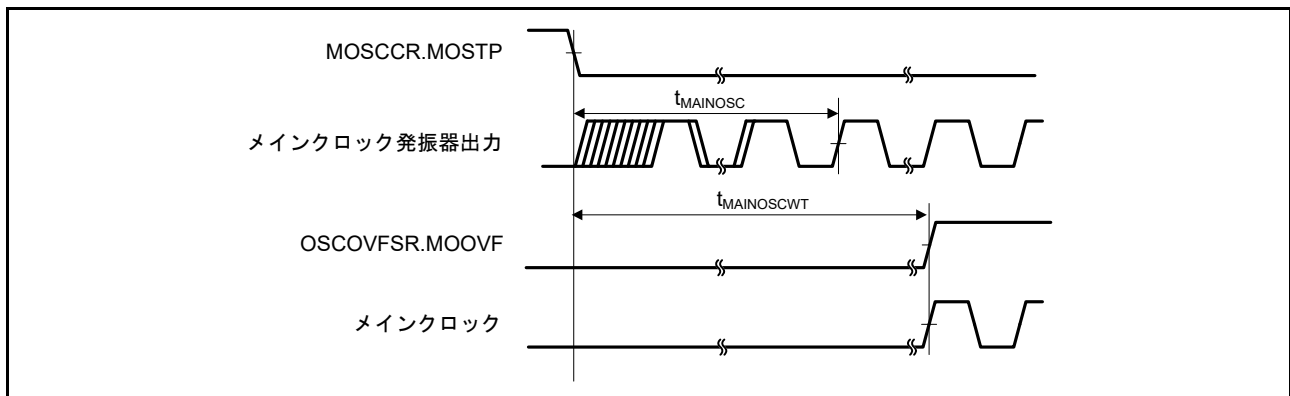


図 56.5 メインクロック発振開始タイミング

表 56.18 LOCO, IWDT 専用低速クロックタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	3.78	4.16	4.63	μs	
LOCOクロック発振周波数	f_{LOCO}	216 (-10%)	240	264 (+10%)	kHz	
LOCOクロック発振安定待機時間	t_{LOCOWT}	—	—	44	μs	図 56.6
IWDT専用低速クロックサイクル時間	t_{ILcyc}	7.57	8.33	9.26	μs	
IWDT専用低速クロック発振周波数	f_{ILOC0}	108 (-10%)	120	132 (+10%)	kHz	
IWDT専用低速クロック発振安定待機時間	$t_{ILOCOWT}$	—	142	190	μs	図 56.7

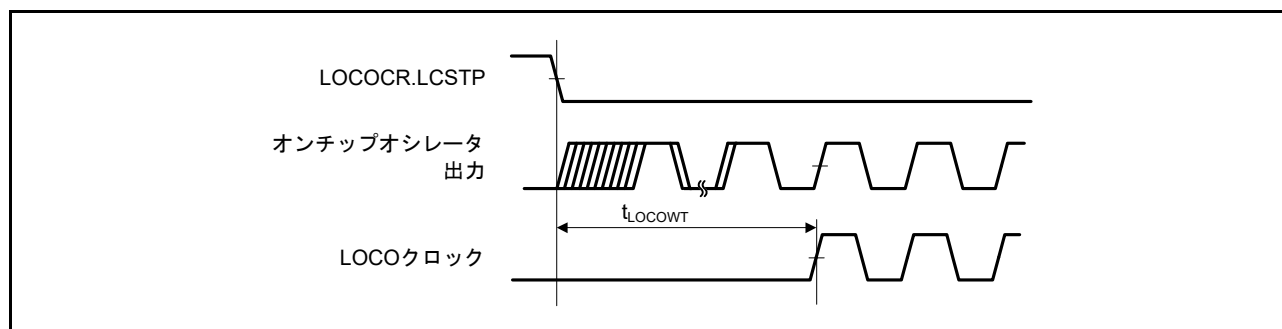


図 56.6 LOCO クロック発振開始タイミング

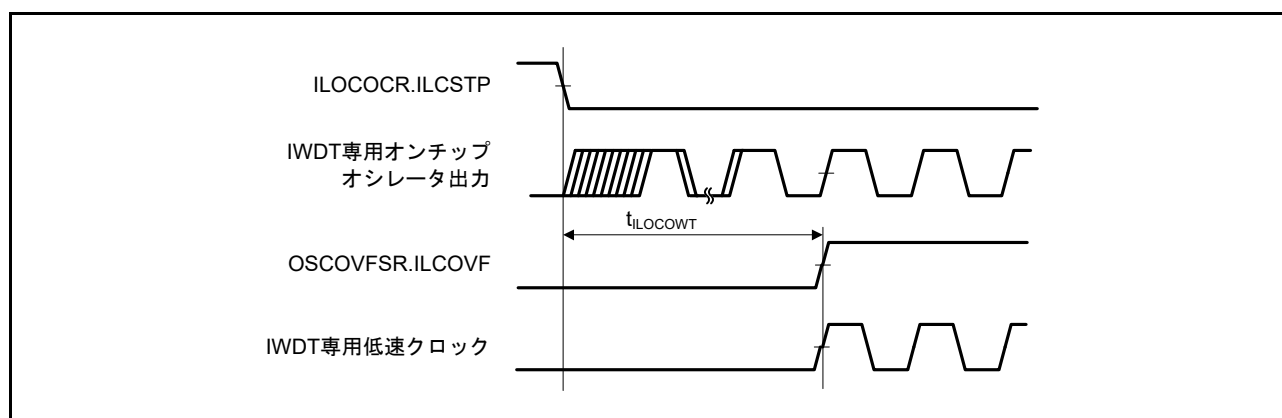


図 56.7 IWDT 専用低速クロック発振開始タイミング

表 56.19 HOCOクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
HOCOクロック発振周波数	FLLなし	f_{HOCO}	15.616 (-2.40%)	16	16.384 (+2.40%)	MHz	$-20^{\circ}C \leq T_a$
			17.568 (-2.40%)	18	18.432 (+2.40%)		
			19.520 (-2.40%)	20	20.480 (+2.40%)		
	FLLあり	f_{HOCO}	15.520 (-3.00%)	16	16.480 (+3.00%)	MHz	$T_a < -20^{\circ}C$
			17.460 (-3.00%)	18	18.540 (+3.00%)		
			19.400 (-3.00%)	20	20.600 (+3.00%)		
			15.960 (-0.25%)	16	16.040 (+0.25%)	サブクロック周波数精度 : $\pm 50ppm$	
			17.955 (-0.25%)	18	18.045 (+0.25%)		
			19.950 (-0.25%)	20	20.050 (+0.25%)		
HOCOクロック発振安定待機時間		t_{HOCOWT}	—	105	149	μs	図 56.8
HOCOクロック電源安定時間		t_{HOCOP}	—	—	150	μs	図 56.9
FLL安定待機時間		t_{FLLWT}	—	—	1.8	ms	

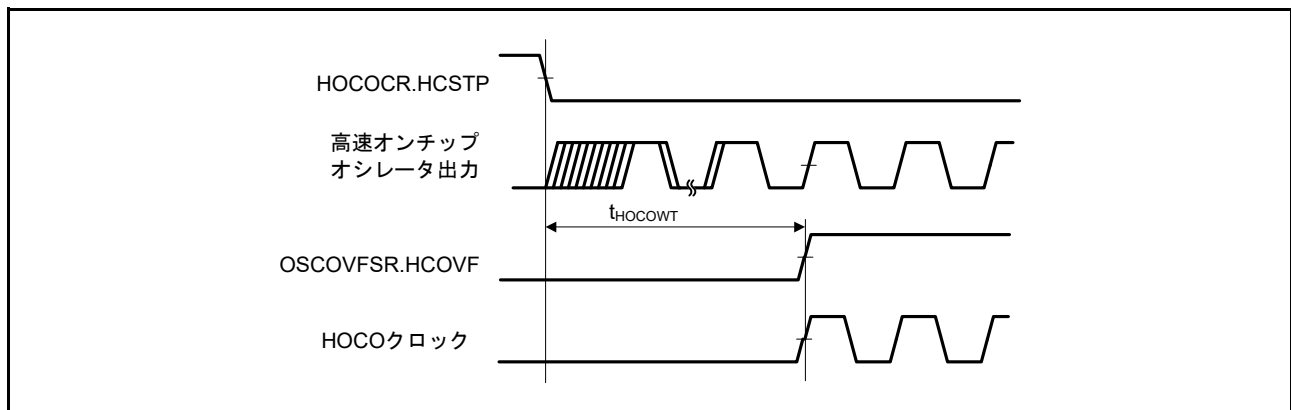


図 56.8 HOCO クロック発振開始タイミング (HOCOCR.HCSTP 設定による発振開始)

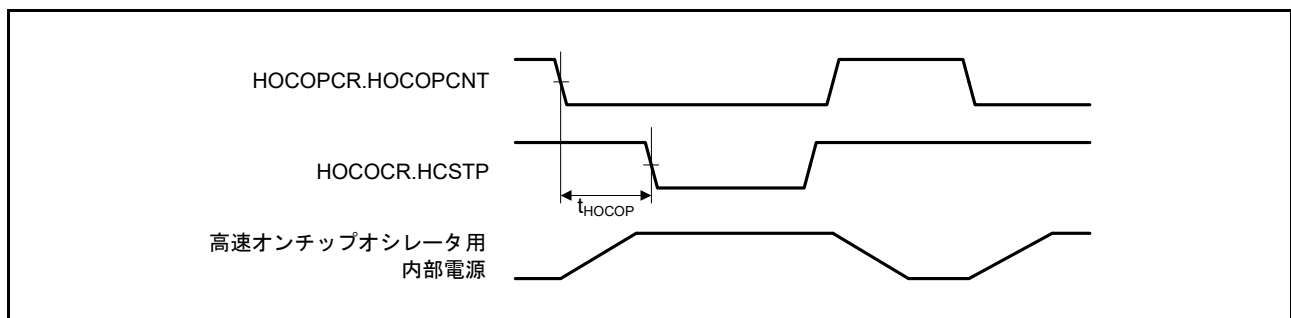


図 56.9 高速オンチップオシレータ電源制御タイミング

表 56.20 PLLクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
PLLクロック発振周波数	f_{PLL}	120	—	240	MHz	
PLLクロック発振安定待機時間	t_{PLLWT}	—	259	320	μs	図 56.10

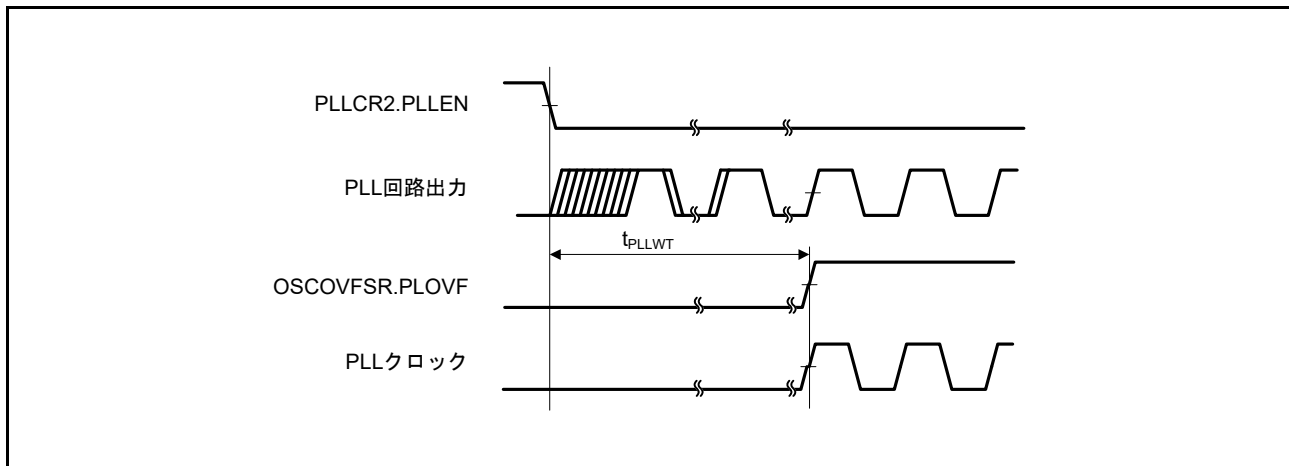


図 56.10 PLL クロック発振開始タイミング

表 56.21 サブクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 低CL水晶振動子時 $V_{BATT} = 2.0 \sim 3.6V$ 、標準CL水晶振動子時 $V_{BATT} = 1.62 \sim 3.6V$ 、 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
サブクロック発振器発振周波数	f_{SUB}	—	32.768	—	kHz	
サブクロック発振安定時間	t_{SUBOSC}	—	—	(注 1)	s	図 56.11
サブクロック発振安定待機時間	$t_{SUBOSCWT}$	—	—	(注 2)	s	

注 1. サブクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注 2. サブクロック発振安定待機時間は、SOSWTCR.SSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。
 $t_{SUBOSCWT} = [(SSTS[7:0] \text{ビット} \times 16384) + 10] / f_{LOCO}$

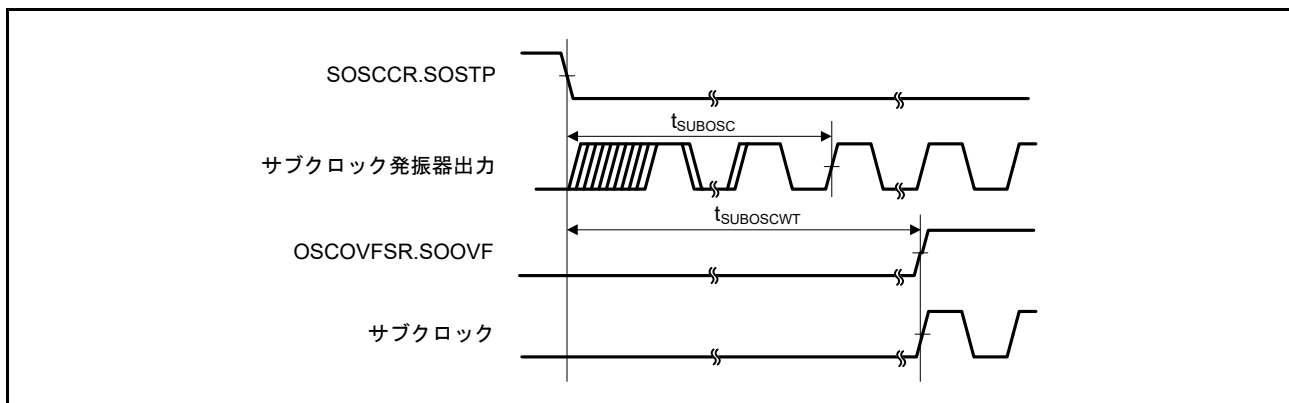


図 56.11 サブクロック発振開始タイミング

表 56.22 CLKOUT 端子出力タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,

$T_a = T_{opr}$,

駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	typ	max	単位	測定条件
CLKOUT 端子出力サイクル時間	t_{Cyc}	25	—	—	ns	図 56.12 $t_{Cyc} = 25ns$ の場合
CLKOUT 端子出力 High パルス幅 (注1)	t_{CH}	5	—	—	ns	
CLKOUT 端子出力 Low パルス幅 (注1)	t_{CL}	5	—	—	ns	
CLKOUT 端子出力立ち上がり時間	t_{Cr}	—	—	5	ns	
CLKOUT 端子出力立ち下がり時間	t_{Cf}	—	—	5	ns	

注1. CLKOUT 出カソース選択ビット (CKOCR.CKOSEL[2:0]) でメインクロック発振器を選択、かつ、メインクロック発振器切り替えビット (MOFCR.MOSEL) で外部クロック入力を選択している場合は入力クロック波形に依存します。

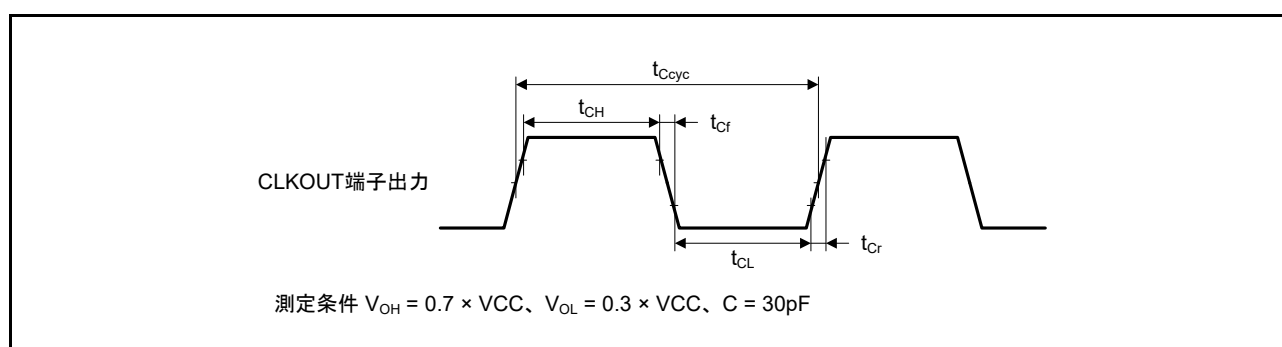


図 56.12 CLKOUT 端子出力タイミング

56.4.3 低消費電力状態からの復帰タイミング

表 56.23 低消費電力状態からの復帰タイミング(1)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,

T_a = T_{opr}

項目			記号	min	typ	max		単位	測定条件
						t _{SBYOSCWT} (注2)	t _{SBYSEQ} (注3)		
ソフトウェアスタンバイモード解除後復帰時間(注1)	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t _{SBYMC}	—	—	$\{(MSTS[7:0] \text{ ビット} \times 32) + 76\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{MAIN}$	μs	図 56.13
		メインクロック発振器、PLL 回路動作	t _{SBYPC}			$\{(MSTS[7:0] \text{ ビット} \times 32) + 138\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}			352	$100 + 7 / f_{ICLK} + 2n / f_{EXMAIN}$		
		メインクロック発振器、PLL 回路動作	t _{SBYPE}			639	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	サブクロック発振器動作		t _{SBYSC}			$\{(SSTS[7:0] \text{ ビット} \times 16384) + 13\} / 0.216 + 10 / f_{FCLK}$	$100 + 4 / f_{ICLK} + 2n / f_{SUE}$		
	高速オンチップオシレータ動作	高速オンチップオシレータ動作	t _{SBYHO}			454	$100 + 7 / f_{ICLK} + 2n / f_{HOCO}$		
		高速オンチップオシレータ動作、PLL 回路動作	t _{SBYPH}			741	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	低速オンチップオシレータ動作(注4)		t _{SBYLO}			338	$100 + 7 / f_{ICLK} + 2n / f_{LOCO}$		

- 注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間(t_{SBYOSCWT})とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。
- 注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間はt_{SBYOSCWT}の内、最も大きな値が選択されます。
- 注3. nは内部クロックの分周設定の内、最も大きな値が選択されます。
- 注4. 本条件は、f_{ICLK}:f_{FCLK} = 1:1、2:1、4:1の場合に適用されます。

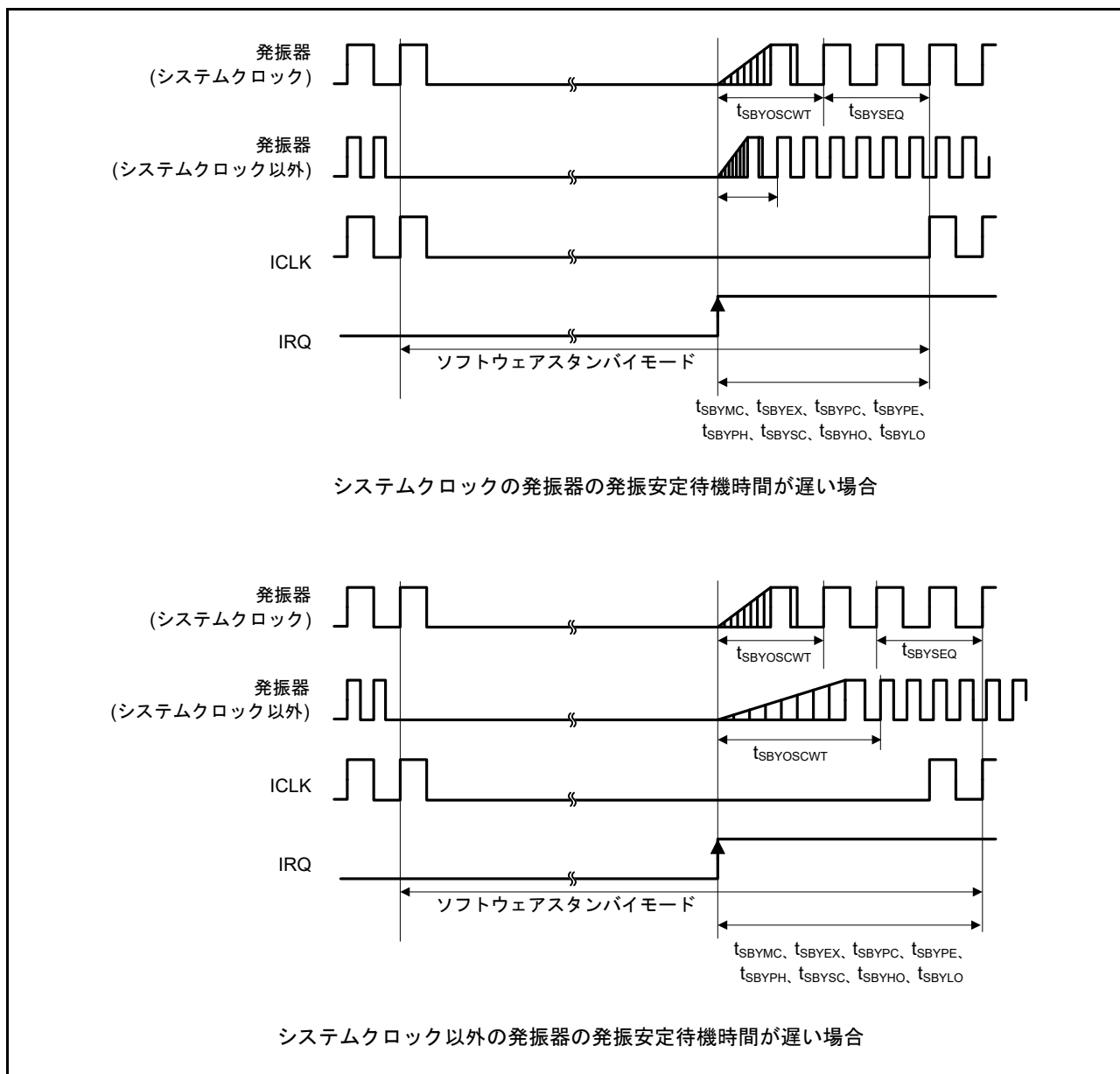


図 56.13 ソフトウェアスタンバイモード解除タイミング

表 56.24 低消費電力状態からの復帰タイミング(2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
ディープソフトウェアスタンバイモード解除後復帰時間	t_{DSBY}	—	—	0.9	ms	図 56.14
ディープソフトウェアスタンバイモード解除後待機時間	t_{DSBYWT}	23	—	24	t_{Lcyc}	

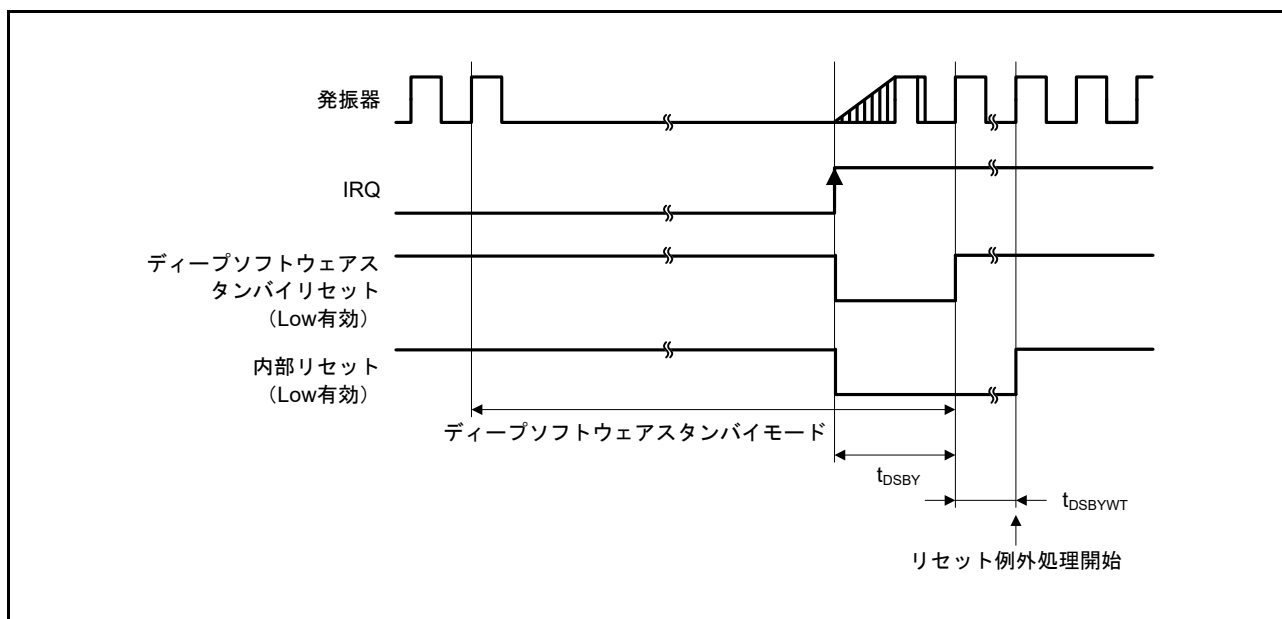


図 56.14 ディープソフトウェアスタンバイモード解除タイミング

56.4.4 制御信号タイミング

表 56.25 制御信号タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min (注1)	typ	max	単位	測定条件 (注1)
NMIパルス幅	t_{NMIW}	200	—	—	ns	$t_{PBcyc} \times 2 \leq 200ns$ 、図 56.15
		$t_{PBcyc} \times 2$	—	—		$t_{PBcyc} \times 2 > 200ns$ 、図 56.15
IRQパルス幅	t_{IRQW}	200	—	—	ns	$t_{PBcyc} \times 2 \leq 200ns$ 、図 56.16
		$t_{PBcyc} \times 2$	—	—		$t_{PBcyc} \times 2 > 200ns$ 、図 56.16

注1. t_{PBcyc} : PCLKBの周期

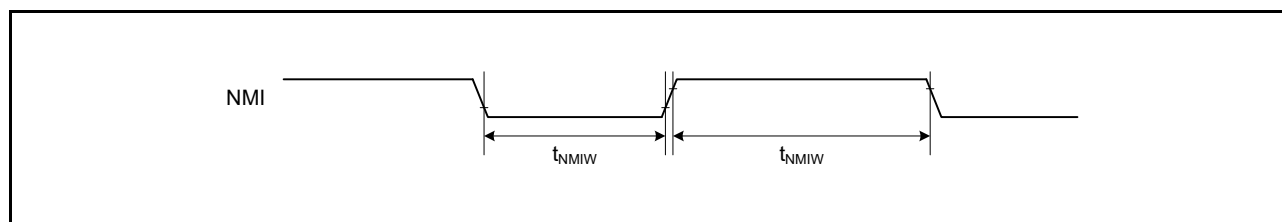


図 56.15 NMI 割り込み入力タイミング

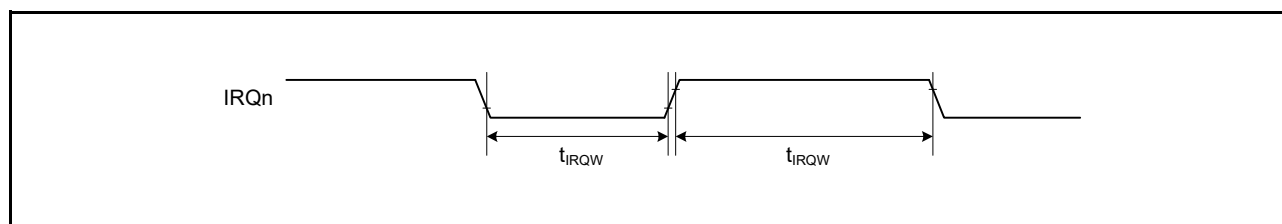


図 56.16 IRQ 割り込み入力タイミング

56.4.5 バスタイミング

表 56.26 バスタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $ICLK = PCLKA = 8 \sim 120MHz$, $PCLKB = BCLK = SDCLK = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	12.5	ns	図 56.17 ~ 図 56.22
バイトコントロール遅延時間	t_{BCD}	—	12.5	ns	
CS#遅延時間	t_{CSD}	—	12.5	ns	
ALE遅延時間	t_{ALED}	—	12.5	ns	
RD#遅延時間	t_{RSD}	—	12.5	ns	
リードデータセットアップ時間	t_{RDS}	12.5	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	12.5	ns	
ライトデータ遅延時間	t_{WDD}	—	12.5	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	12.5	—	ns	図 56.23
WAIT#ホールド時間	t_{WTH}	0	—	ns	
アドレス遅延時間2 (SDRAM)	t_{AD2}	1	12.5	ns	図 56.24 ~ 図 56.30
CS#遅延時間2 (SDRAM)	t_{CSD2}	1	12.5	ns	
DQM遅延時間 (SDRAM)	t_{DQMD}	1	12.5	ns	
CKE遅延時間 (SDRAM)	t_{CKED}	1	12.5	ns	
リードデータセットアップ時間2 (SDRAM)	t_{RDS2}	10	—	ns	
リードデータホールド時間2 (SDRAM)	t_{RDH2}	0	—	ns	
ライトデータ遅延時間2 (SDRAM)	t_{WDD2}	—	12.5	ns	
ライトデータホールド時間2 (SDRAM)	t_{WDH2}	1	—	ns	
WE#遅延時間 (SDRAM)	t_{WED}	1	12.5	ns	
RAS#遅延時間 (SDRAM)	t_{RASD}	1	12.5	ns	
CAS#遅延時間 (SDRAM)	t_{CASD}	1	12.5	ns	

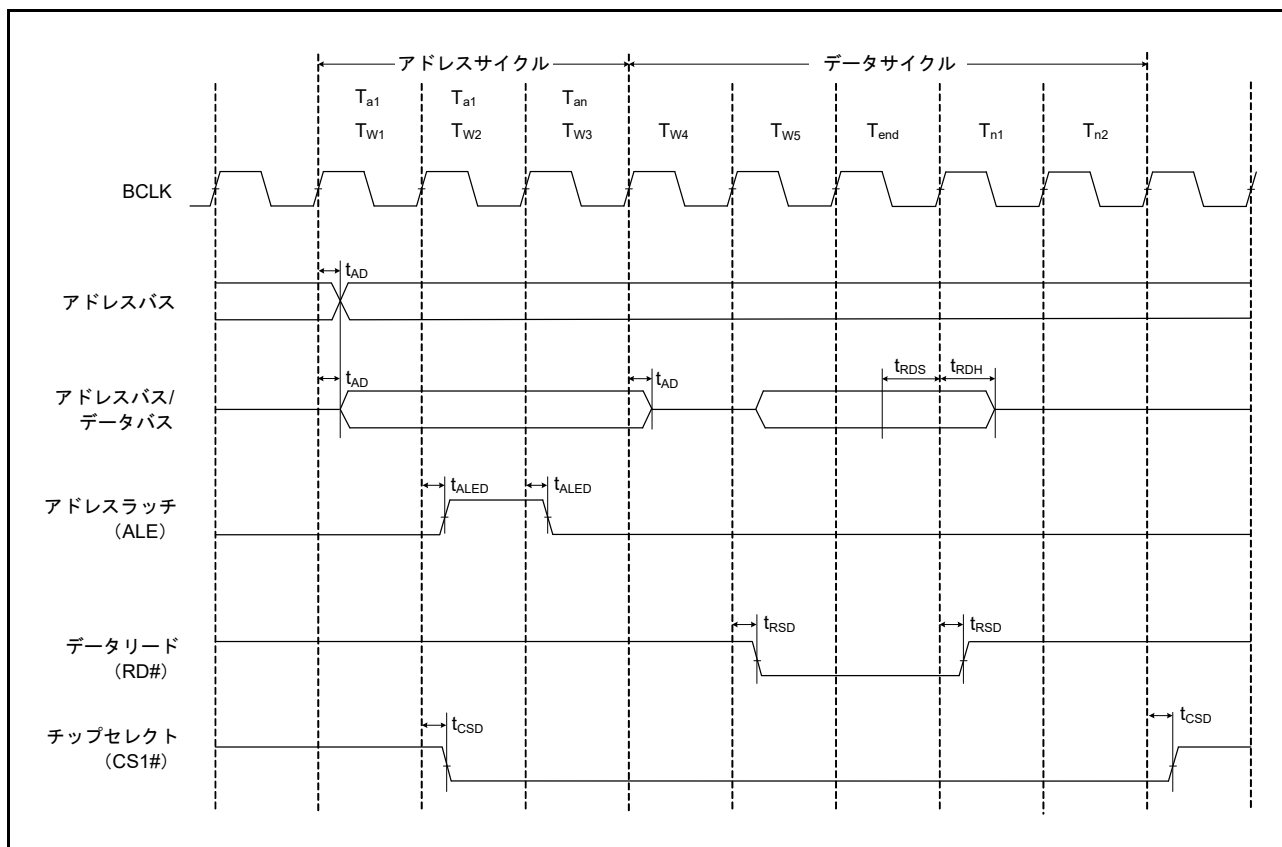


図 56.17 アドレス/データマルチプレクスバスのリードアクセスタイミング

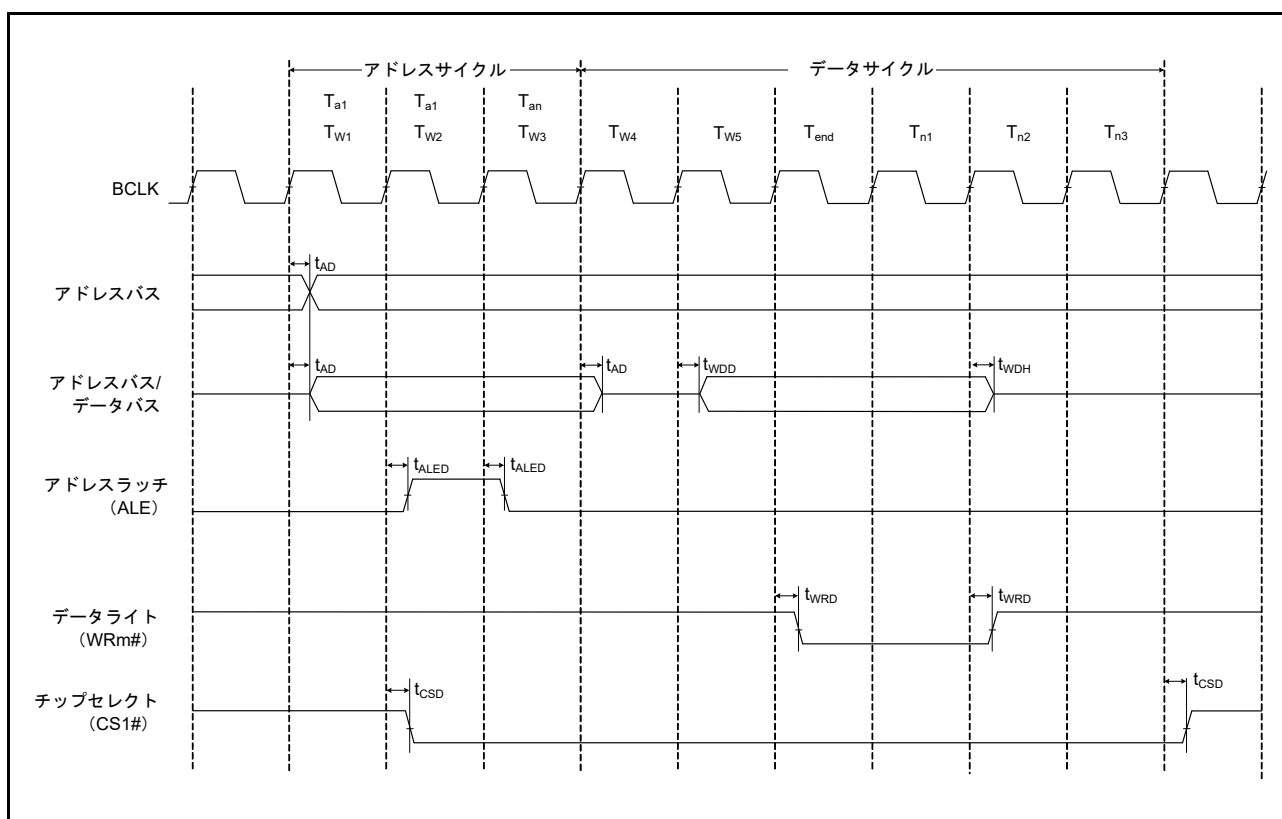


図 56.18 アドレス/データマルチプレクスバスのライトアクセスタイミング

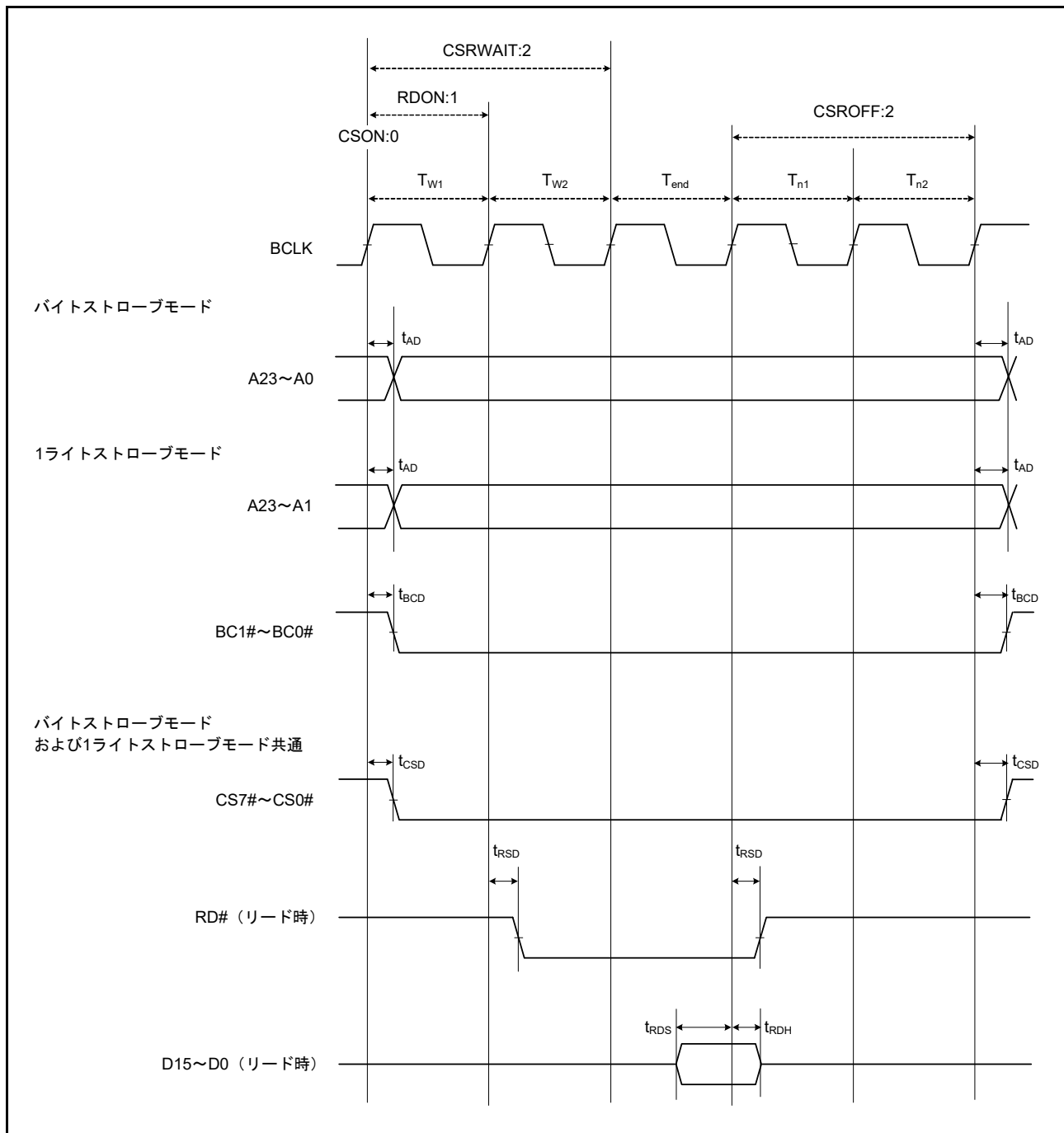


図 56.19 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

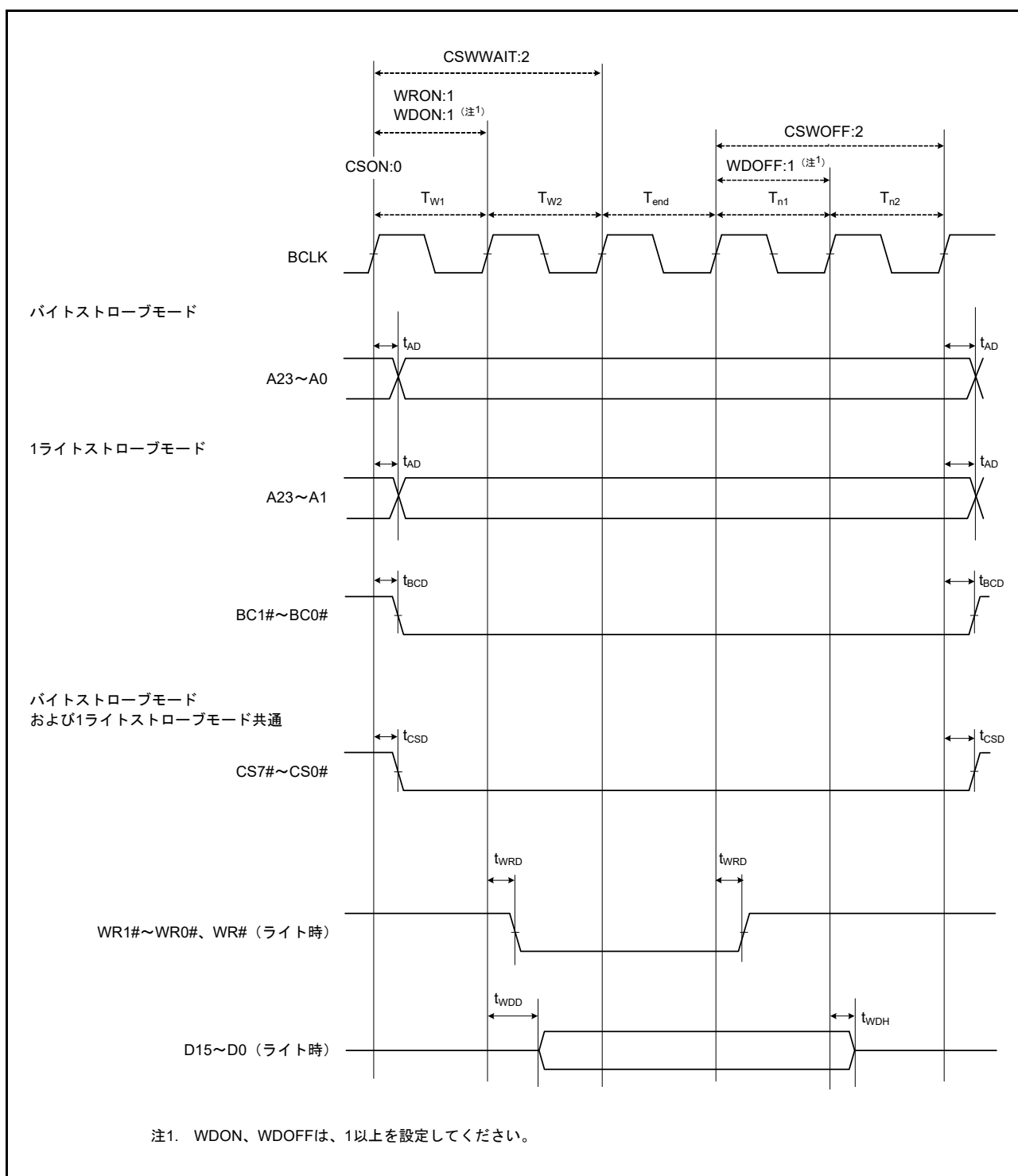


図 56.20 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

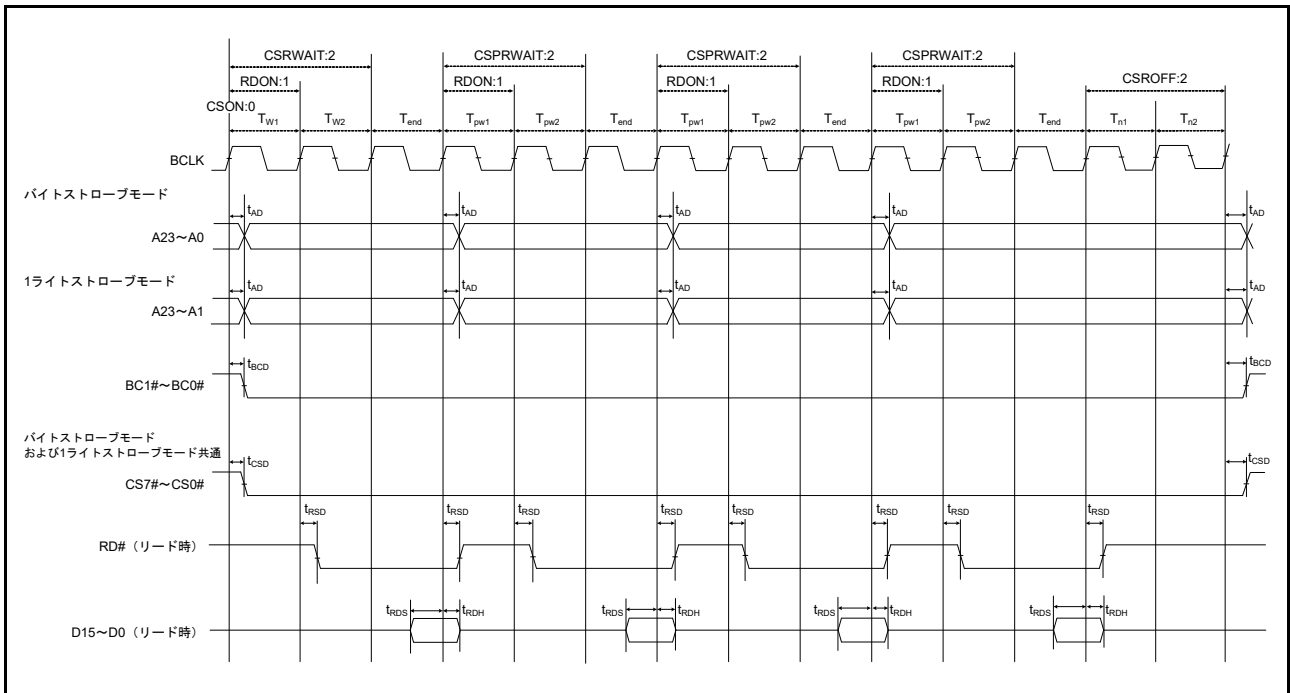


図 56.21 外部バスタイミング / ページリードサイクル (バスクロック同期)

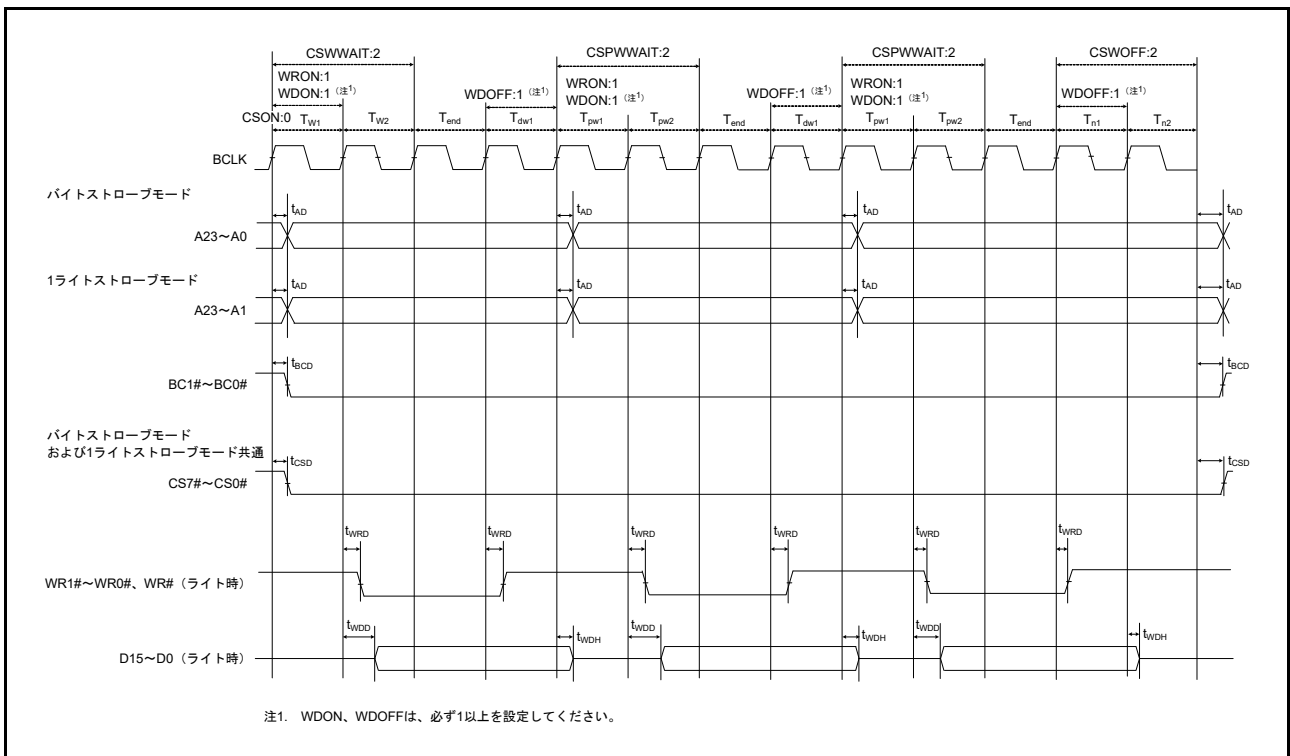


図 56.22 外部バスタイミング / ページライトサイクル (バスクロック同期)

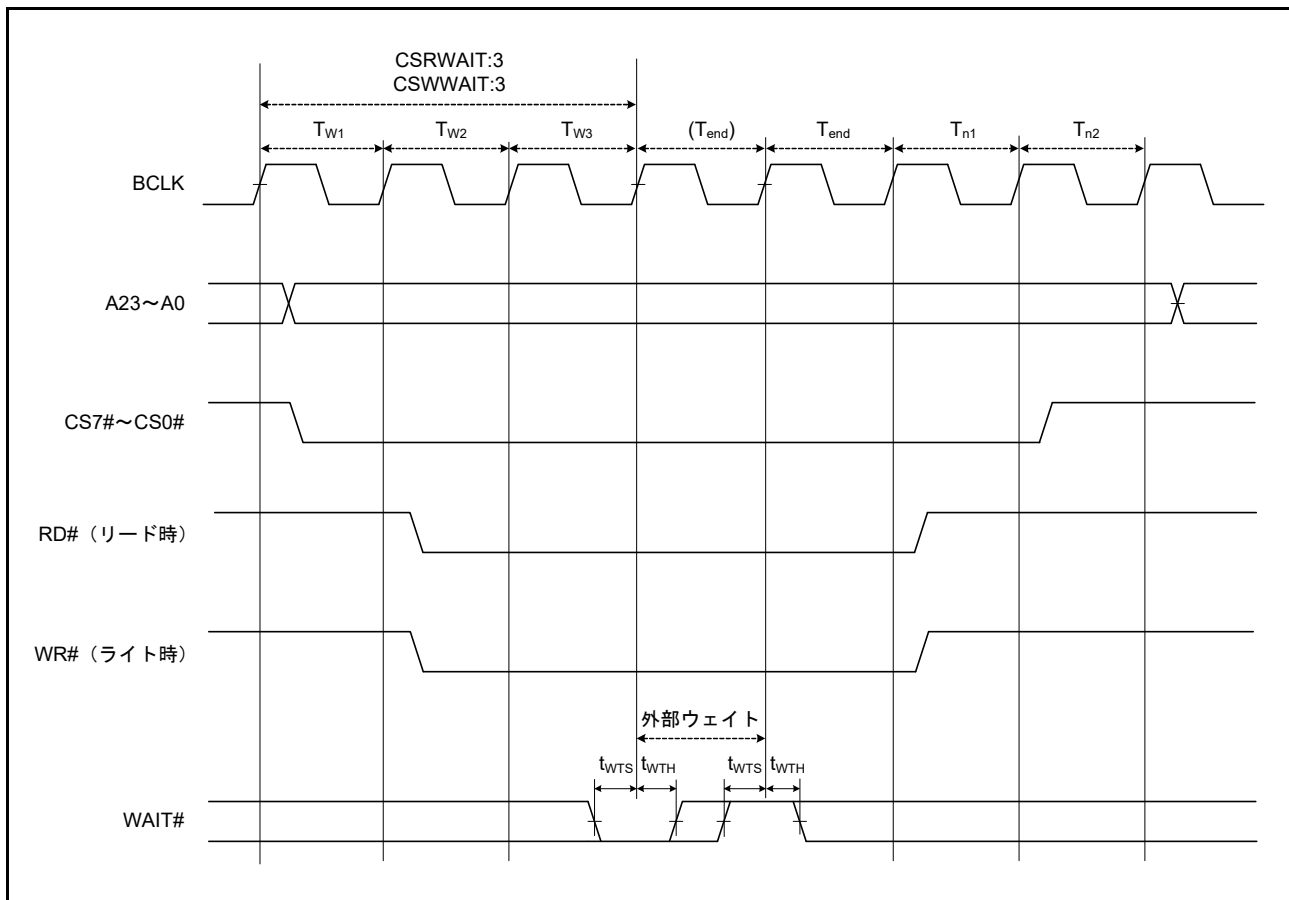


図 56.23 外部バスタイミング / 外部ウェイト制御

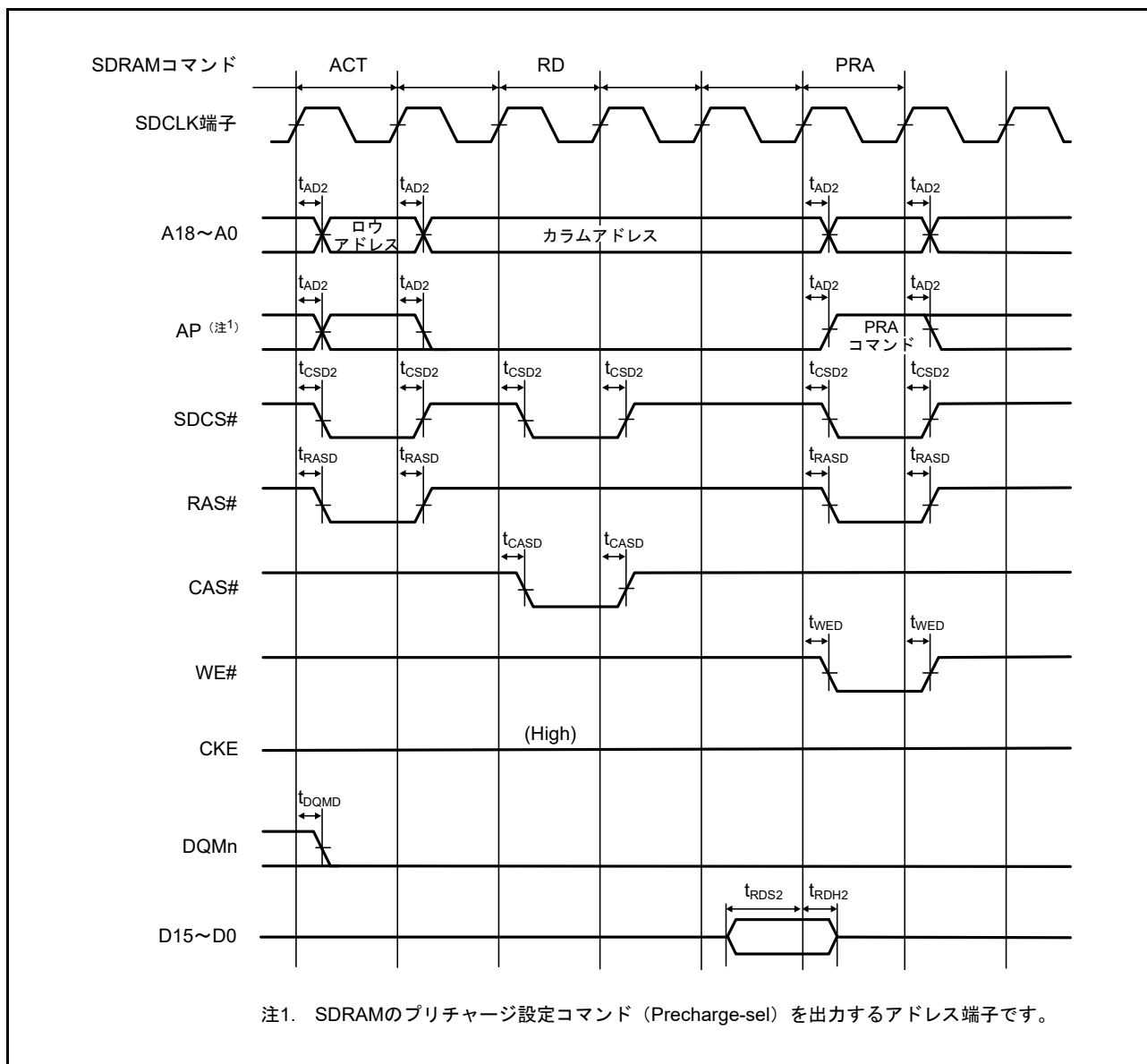


図 56.24 SDRAM 空間シングルリードバスタイミング

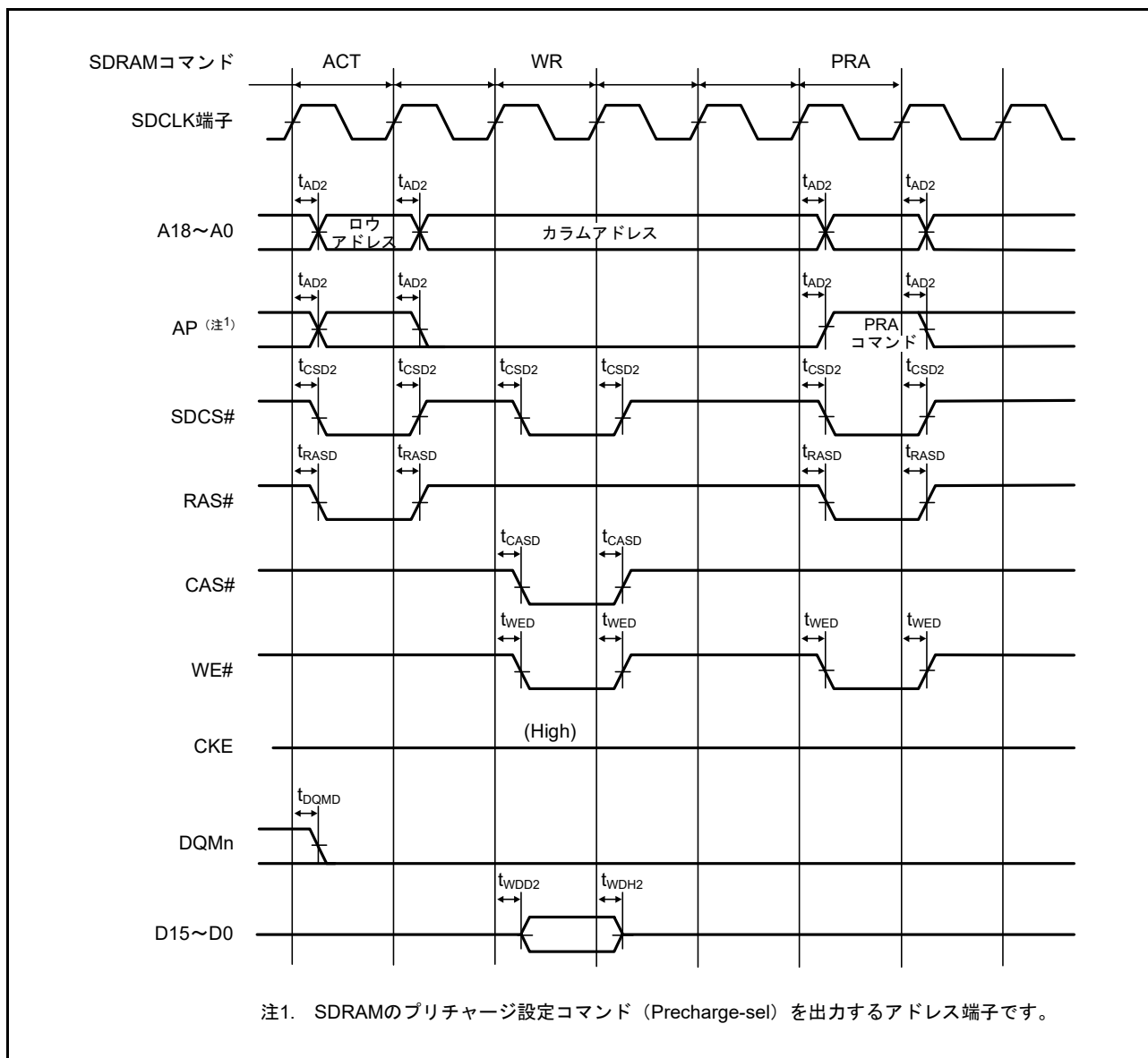


図 56.25 SDRAM 空間シングルライトバスタイミング

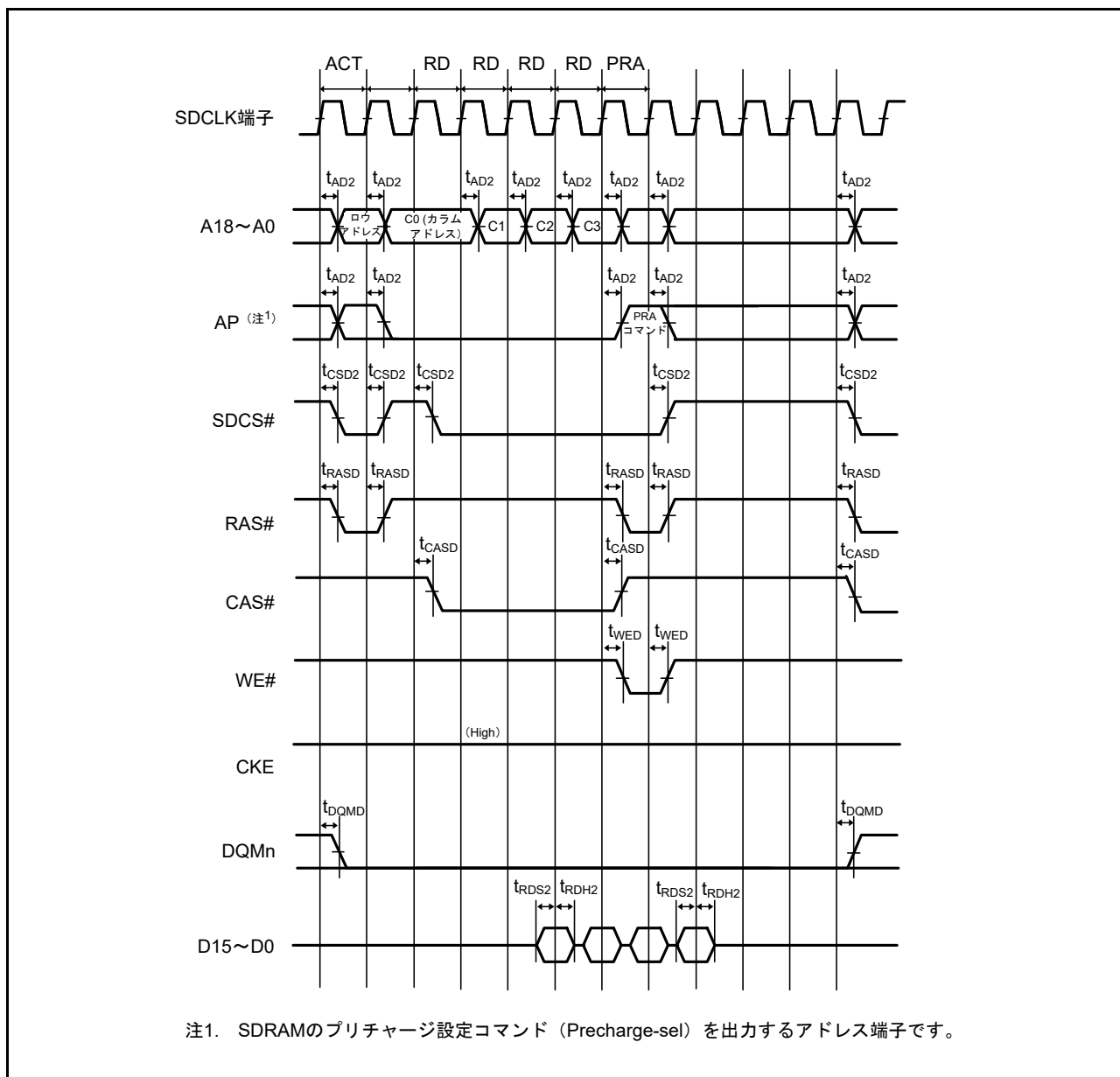


図 56.26 SDRAM 空間複数リードバスタイミング

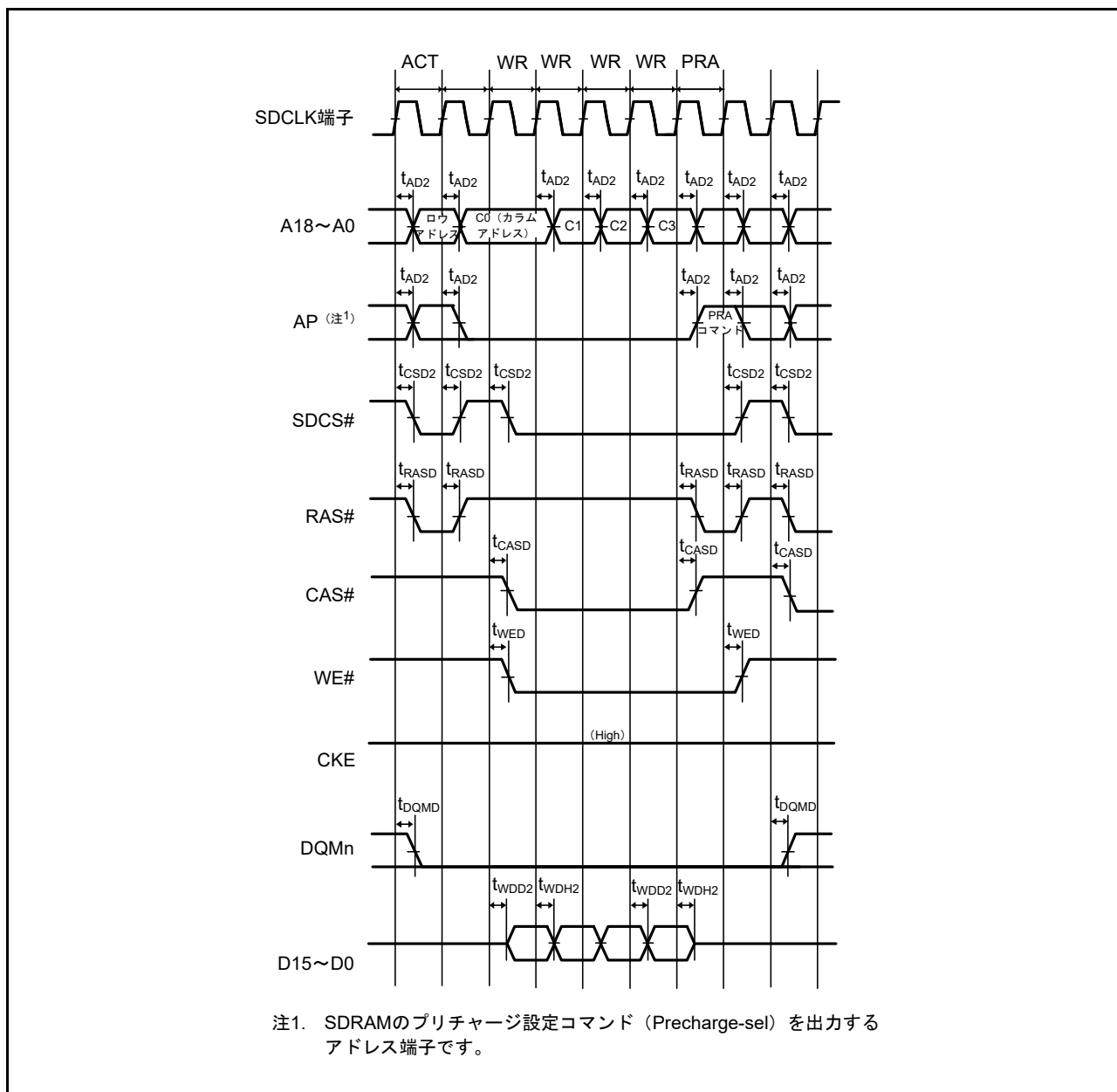


図 56.27 SDRAM 空間複数ライトバスタイミング

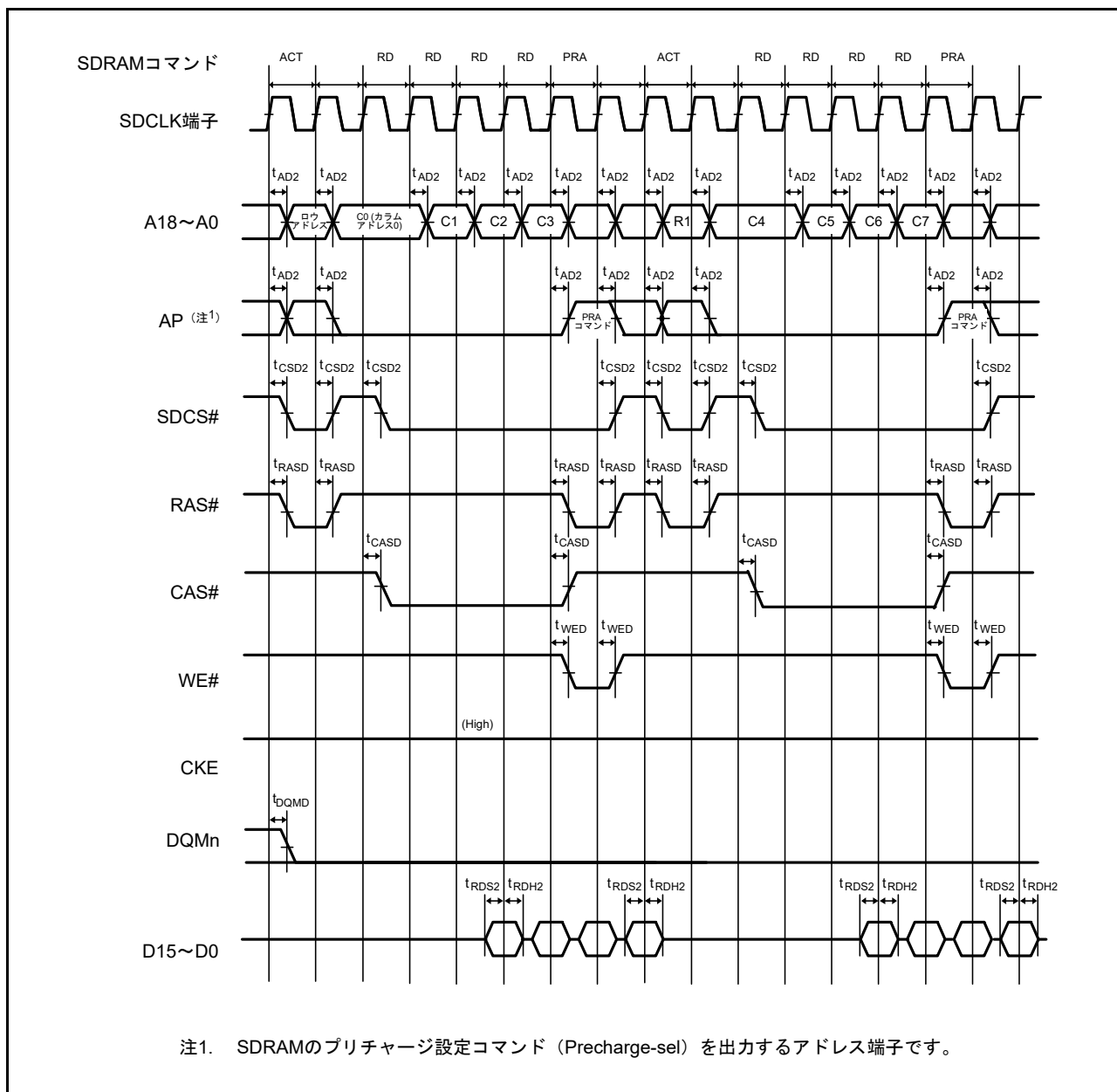
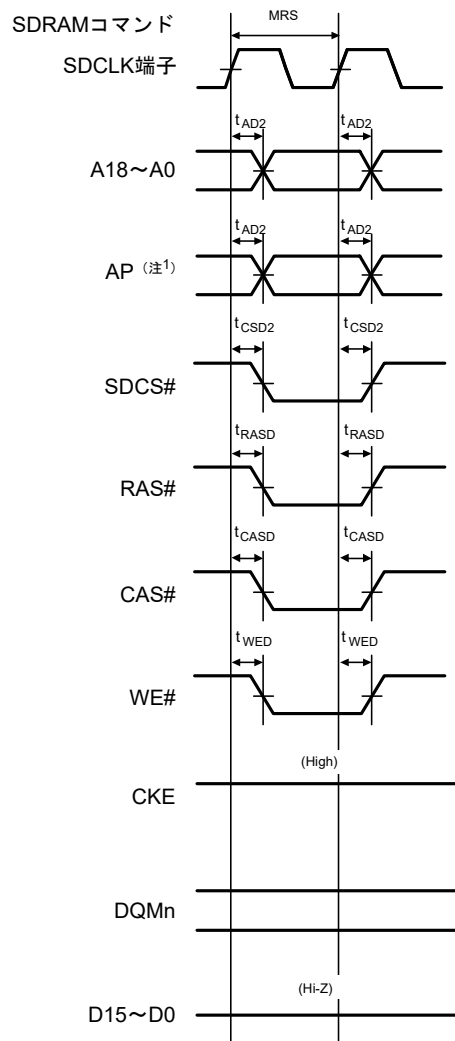


図 56.28 SDRAM 空間複数リード行またぎバスタイミング



注1. SDRAMのプリチャージ設定コマンド (Precharge-sel) を出力するアドレス端子です。

図 56.29 SDRAM 空間モードレジスタセットバスタイミング

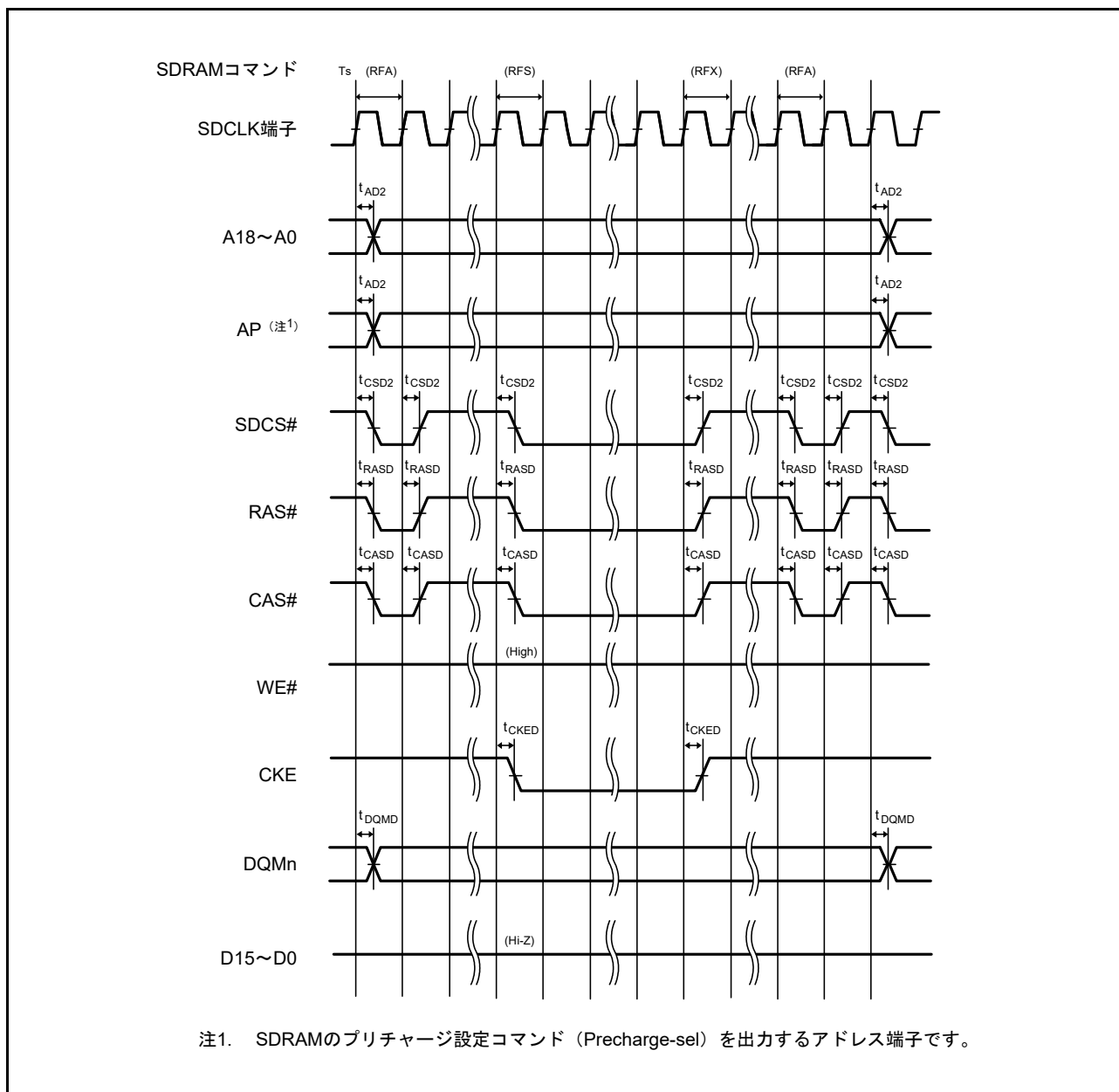


図 56.30 SDRAM 空間セルフリフレッシュバスタイミング

56.4.6 EXDMAC タイミング

表 56.27 EXDMAC タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $ICLK = PCLKA = 8 \sim 120MHz$, $PCLKB = BCLK = SDCLK = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件	
EXDMAC	EDREQ セットアップ時間	t_{EDRQS}	13	—	ns	図 56.31
	EDREQ ホールド時間	t_{EDRQH}	2	—	ns	
	EDACK 遅延時間	t_{EDACD}	—	13	ns	図 56.32、 図 56.33

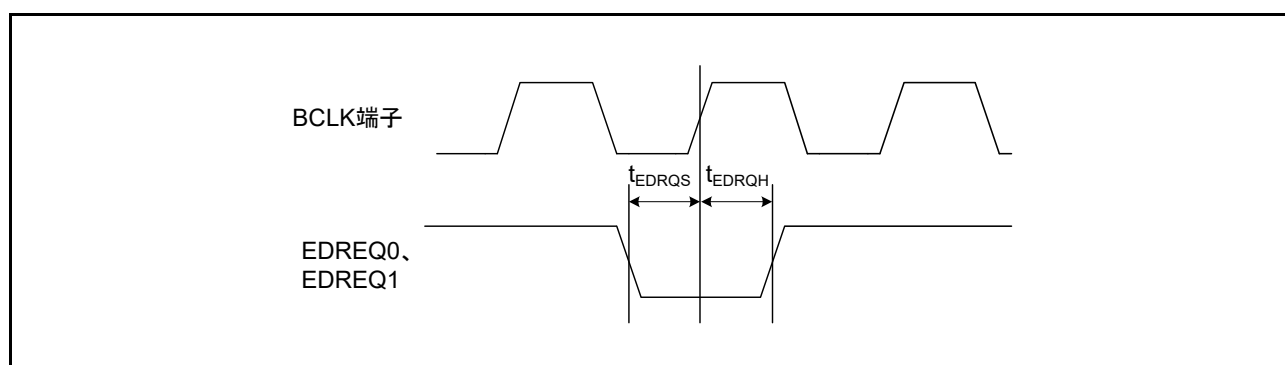


図 56.31 EDREQ0, EDREQ1 入カタイミング

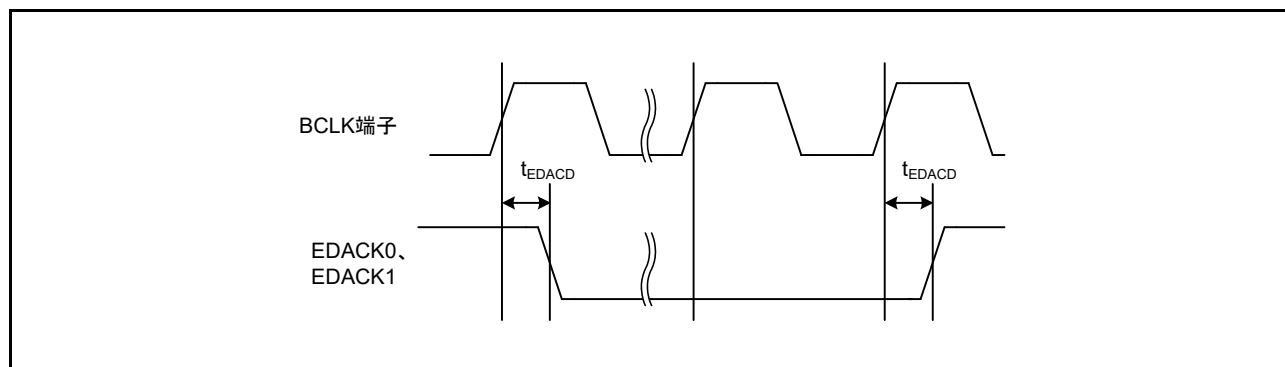


図 56.32 EDACK0, EDACK1 シングルアドレス転送タイミング (CS 領域)

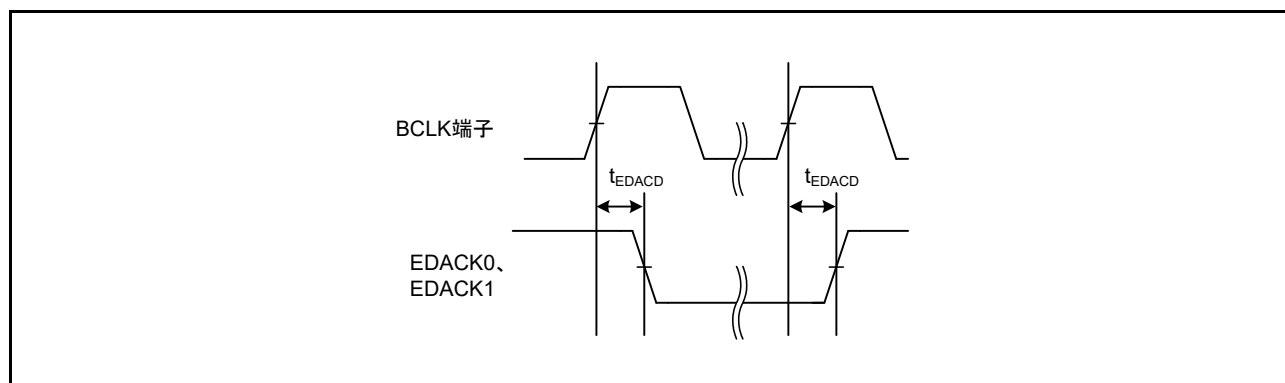


図 56.33 EDACK0, EDACK1 シングルアドレス転送タイミング (SDRAM 領域)

56.4.7 内蔵周辺モジュールタイミング

56.4.7.1 I/Oポート

表 56.28 I/Oポートタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位 (注1)	測定条件
I/Oポート 入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図 56.34

注1. t_{PBcyc} : PCLKBの周期

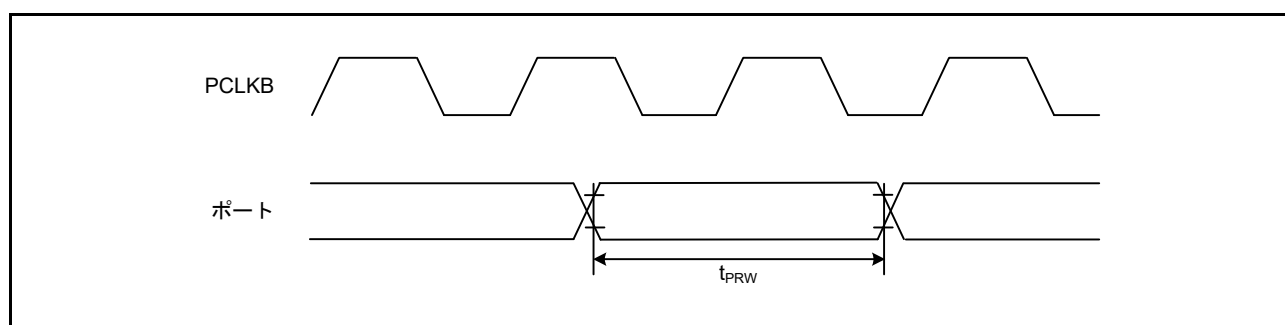


図 56.34 I/Oポート入力タイミング

56.4.7.2 TPU

表56.29 TPUタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
TPU	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t _{PBcyc}	図56.35
		両エッジ指定	2.5	—		
	タイマクロックパルス幅	単エッジ指定	t _{TCKWH} , t _{TCKWL}	1.5	—	t _{PBcyc}
両エッジ指定		2.5		—		
位相計数モード		2.5	—			

注1. t_{PBcyc}：PCLKBの周期

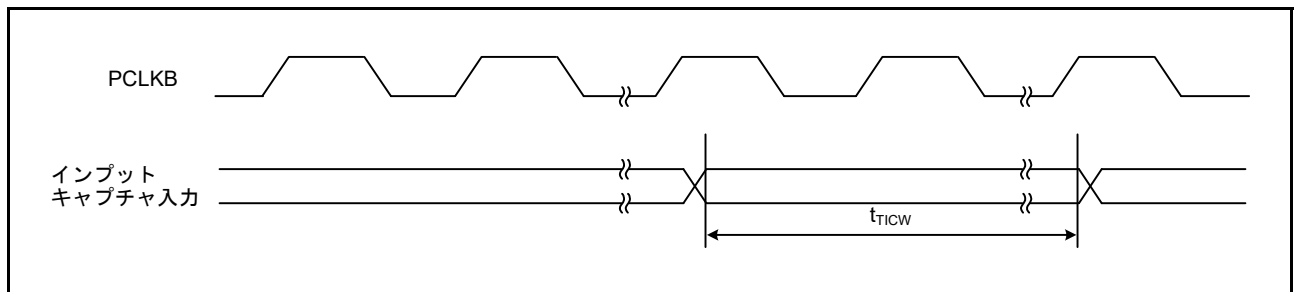


図56.35 TPUインプットキャプチャ入力タイミング

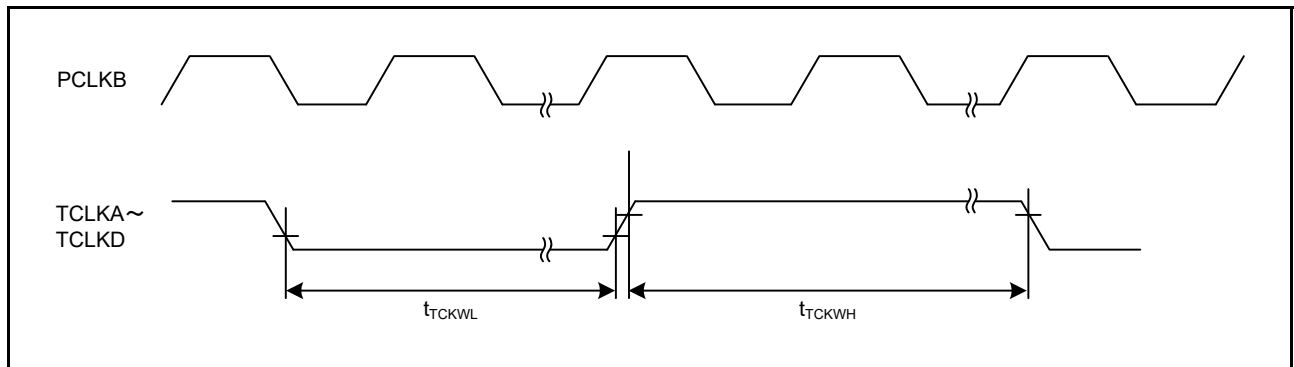


図56.36 TPUクロック入力タイミング

56.4.7.3 TMR

表56.30 TMRタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	1.5	—	t _{PBcyc}	図56.37
		両エッジ指定	2.5	—		

注1. t_{PBcyc} : PCLKBの周期

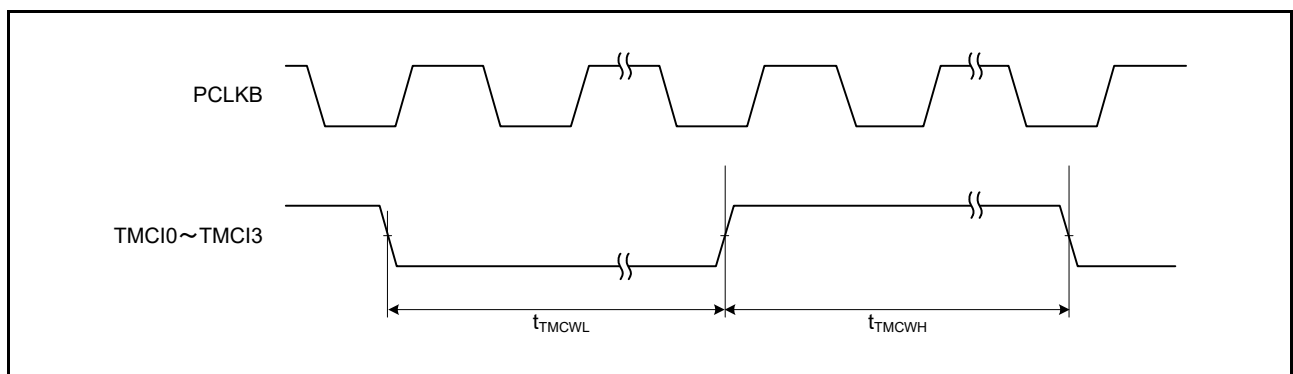


図56.37 TMR クロック入力タイミング

56.4.7.4 CMTW

表56.31 CMTWタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
CMTW	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t _{PBcyc}	図56.38
		両エッジ指定	2.5	—		

注1. t_{PBcyc} : PCLKBの周期

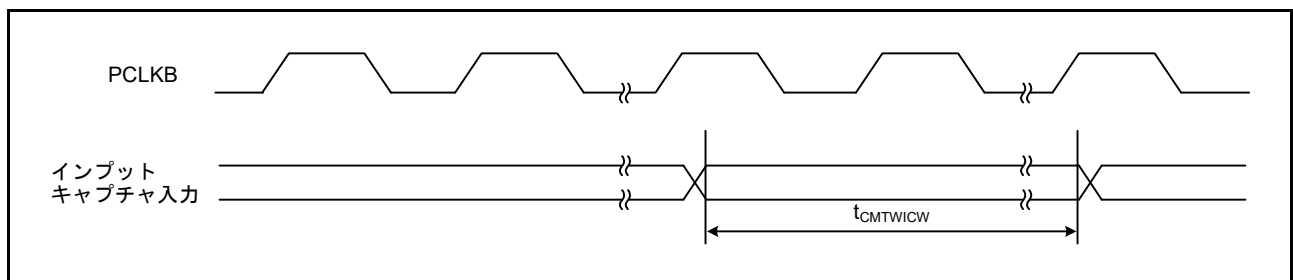


図56.38 CMTW インプットキャプチャ入力タイミング

56.4.7.5 MTU

表56.32 MTUタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
MTU	インプットキャプチャ入力 パルス幅	単エッジ指定	t _{MTICW}	1.5	—	t _{PAcyc}	図56.39
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t _{MTCKWH} , t _{MTCKWL}	1.5	—	t _{PAcyc}	図56.40
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{PAcyc}：PCLKAの周期

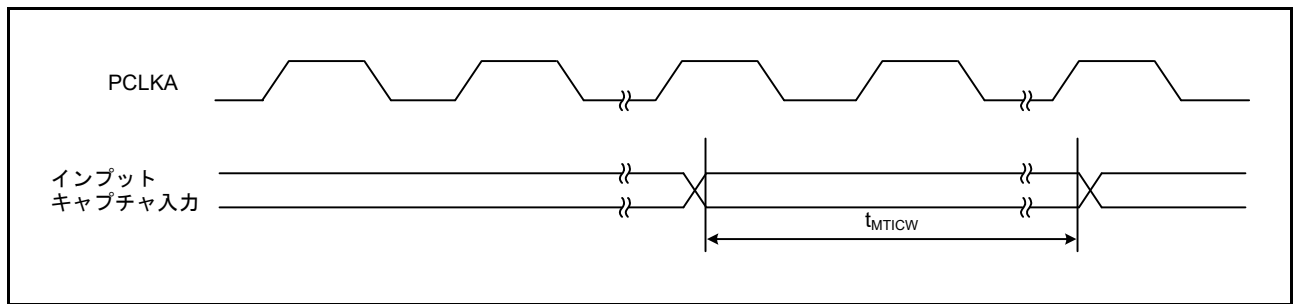


図56.39 MTUインプットキャプチャ入力タイミング

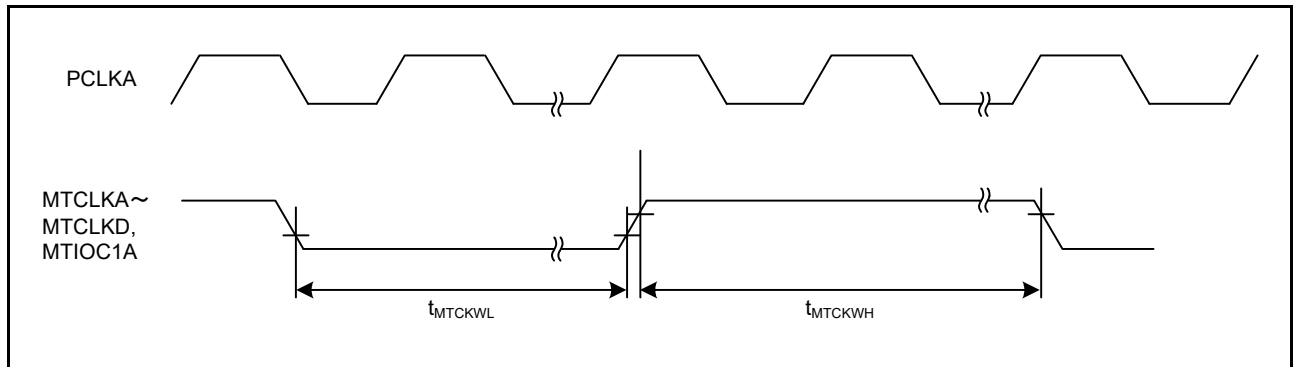


図56.40 MTUクロック入力タイミング

56.4.7.6 POE3

表 56.33 POE3 タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	typ	max	単位 (注1)	測定条件	
POE	POEn#入力パルス幅 (n = 0, 4, 8, 10, 11)	t_{POEW}	1.5	—	—	t_{PBcyc}	図 56.41	
	出力ディセーブル時間	POEn#端子の変化	t_{POEDI}	—	—	$5 PCLKB + 0.24$	μs	図 56.42 立ち下がりエッジ検出時 (ICSRm.POEnM[3:0] = 0000b (m = 1~5, n = 0, 4, 8, 10, 11))
		出力端子の短絡	t_{POEDO}	—	—	$3 PCLKB + 0.2$	μs	図 56.43
	レジスタ設定	t_{POEDS}	—	—	$1 PCLKB + 0.2$	μs	図 56.44 レジスタアクセス時間は除く	
	発振停止検出	t_{POEDOS}	—	—	21	μs	図 56.45	

注 1. t_{PBcyc} : PCLKB の周期

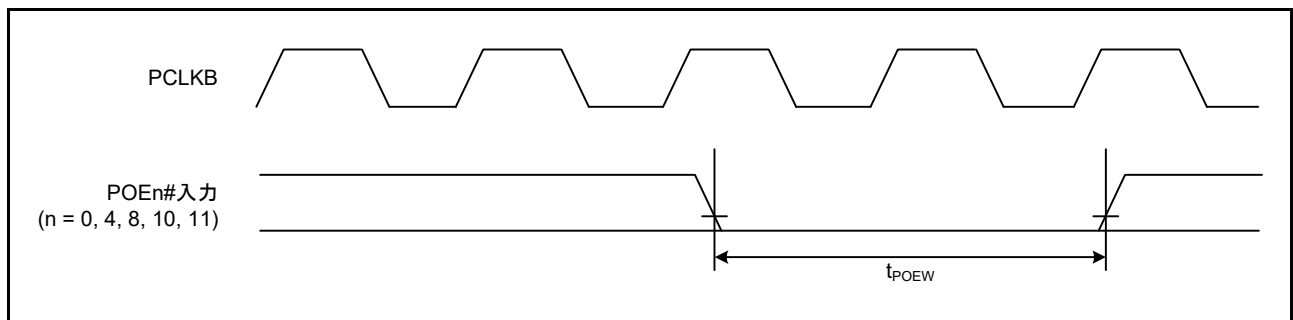


図 56.41 POE# 端子入力タイミング

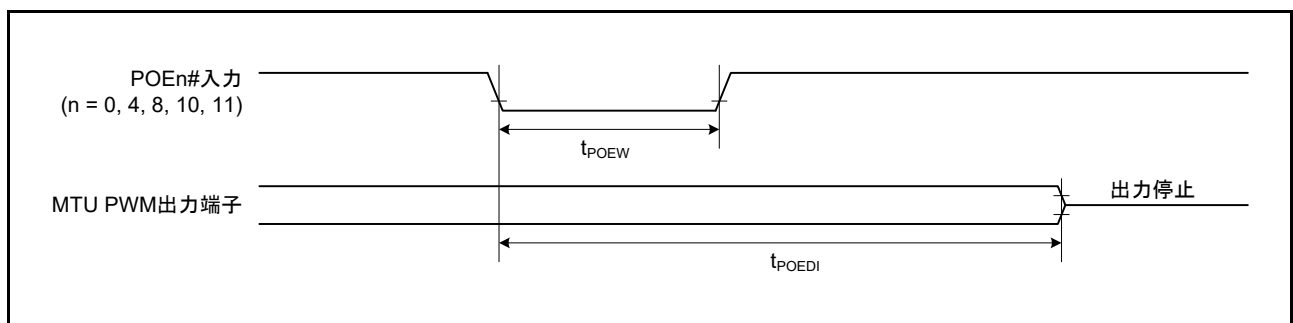


図 56.42 POE 出力ディセーブル時間 (POEn# 端子の変化)

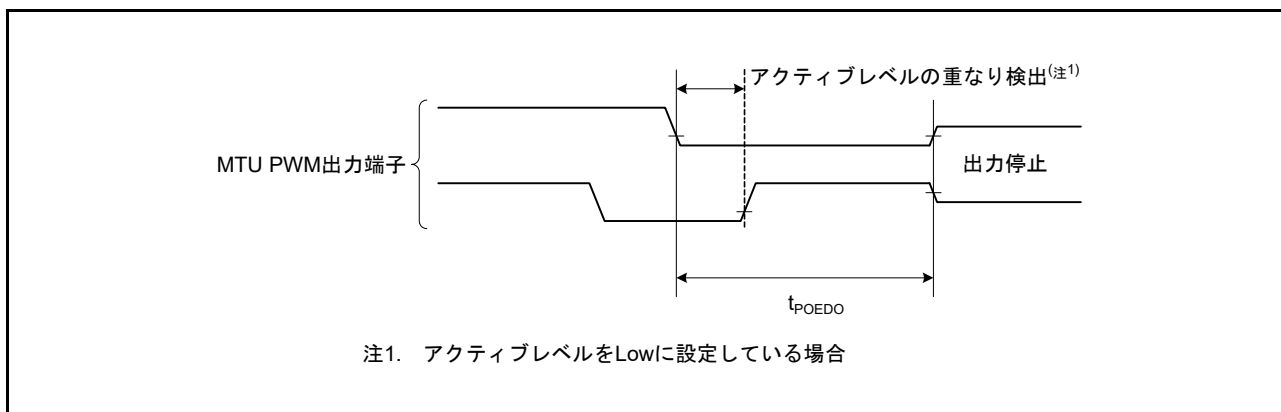


図 56.43 POE 出力ディセーブル時間 (出力端子の短絡)

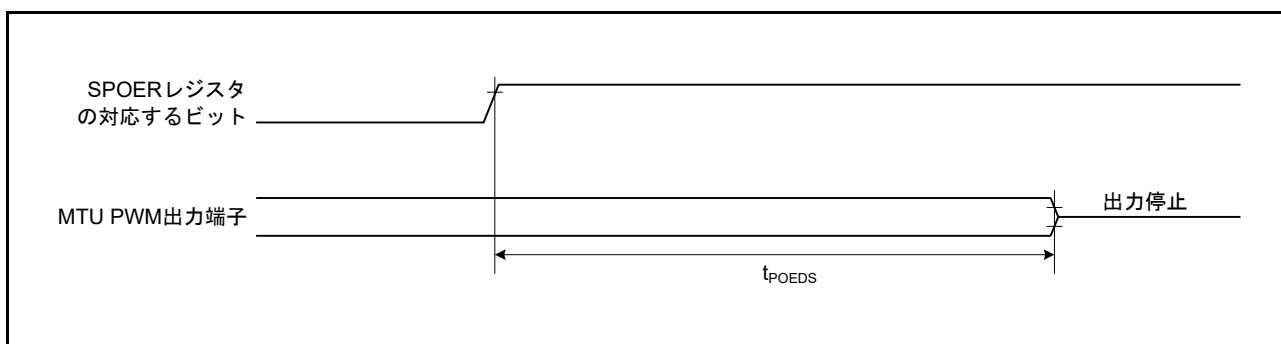


図 56.44 POE 出力ディセーブル時間 (レジスタ設定)

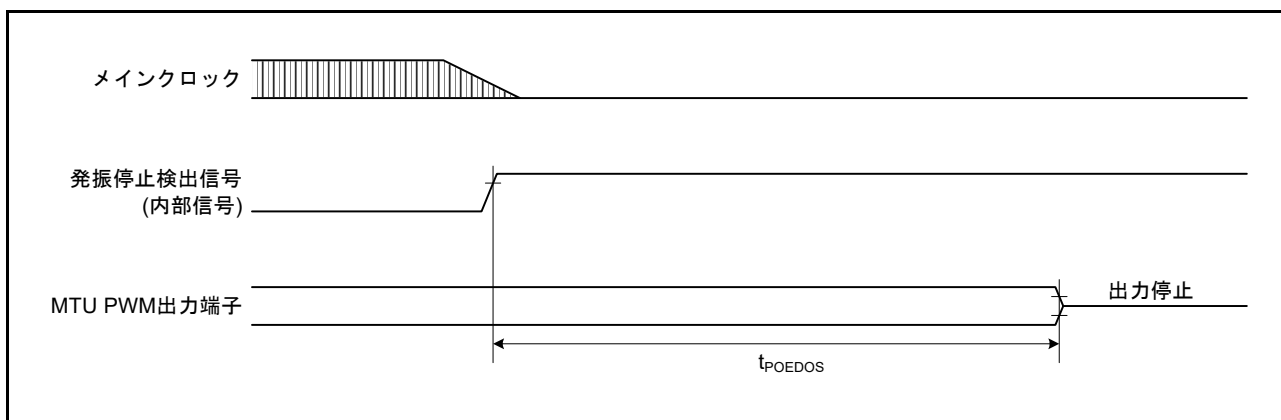


図 56.45 POE 出力ディセーブル時間 (発振停止検出)

56.4.7.7 A/Dコンバータトリガ

表56.34 A/Dコンバータトリガタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
A/D コンバータ	A/Dコンバータトリガ入力パルス幅	t _{TRGW}	1.5	—	t _{PBcyc}	図56.46

注1. t_{PBcyc} : PCLKBの周期

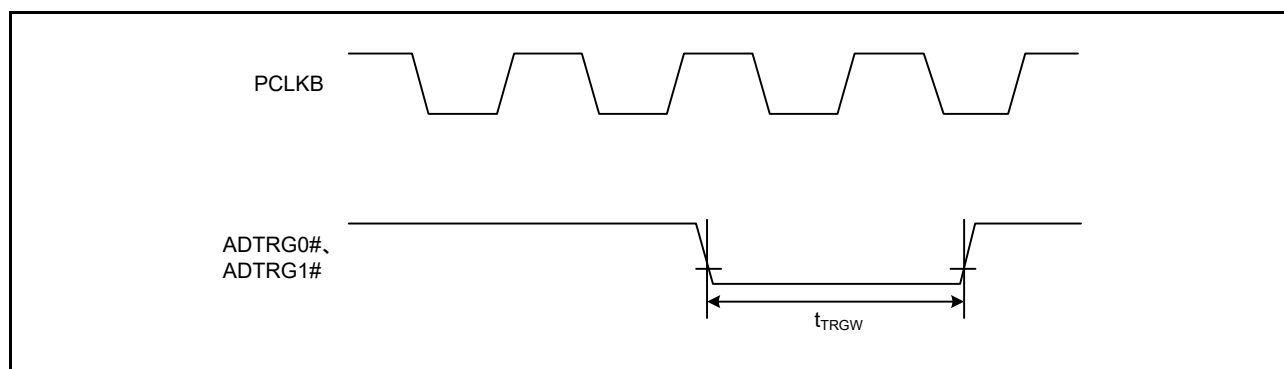


図 56.46 A/Dコンバータトリガ入力タイミング

56.4.7.8 CAC

表56.35 CACタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目 (注1、注2)		記号	min (注1、注2)	max	単位	測定条件
CAC	CACREF入力パルス幅	t _{CACREF}	t _{PBcyc} ≤ t _{cac}	4.5t _{cac} + 3t _{PBcyc}	—	ns
			t _{PBcyc} > t _{cac}	5t _{cac} + 6.5t _{PBcyc}	—	

注1. t_{PBcyc} : PCLKBの周期

注2. t_{CAC} : CACカウントクロックソースの周期

56.4.7.9 SCI

表56.36 SCIk, SCIlh, SCIm タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件		
SCIk, SCIlh	入カクロックサイクル	調歩同期	4	—	t_{PBcyc}	図 56.47		
		クロック同期						
	入カクロックパルス幅		t_{SCKW}	0.4	0.6		t_{Scyc}	
	入カクロック立ち上がり時間		t_{SCKr}	—	5		ns	
	入カクロック立ち下がり時間		t_{SCKf}	—	5		ns	
	出カクロックサイクル	調歩同期 (SCIk)	t_{scyc}	6	—		t_{PBcyc}	
		調歩同期 (SCIlh)		8	—			
		クロック同期		4	—			
	出カクロックパルス幅		t_{SCKW}	0.4	0.6		t_{Scyc}	
	出カクロック立ち上がり時間		t_{SCKr}	—	5		ns	
	出カクロック立ち下がり時間		t_{SCKf}	—	5		ns	
	送信データ遅延時間	クロック同期	t_{TXD}	—	28		ns	図 56.48
受信データセットアップ時間	クロック同期	t_{RXS}	15	—	ns			
受信データホールド時間	クロック同期	t_{RXH}	5	—	ns			
SCIm	入カクロックサイクル	調歩同期	4	—	t_{PAcyc}	図 56.47		
		クロック同期						
	入カクロックパルス幅		t_{SCKW}	0.4	0.6		t_{Scyc}	
	入カクロック立ち上がり時間		t_{SCKr}	—	5		ns	
	入カクロック立ち下がり時間		t_{SCKf}	—	5		ns	
	出カクロックサイクル	調歩同期	t_{scyc}	6	—		t_{PAcyc}	
		クロック同期		4	—			
	出カクロックパルス幅		t_{SCKW}	0.4	0.6		t_{Scyc}	
	出カクロック立ち上がり時間		t_{SCKr}	—	5		ns	
	出カクロック立ち下がり時間		t_{SCKf}	—	5		ns	
	送信データ遅延時間	マスタ	t_{TXD}	—	15		ns	図 56.48
		スレーブ		—	28			
受信データセットアップ時間	クロック同期	t_{RXS}	20	—	ns			
受信データホールド時間	クロック同期	t_{RXH}	5	—	ns			

注1. t_{PBcyc} : PCLKBの周期、 t_{PAcyc} : PCLKAの周期

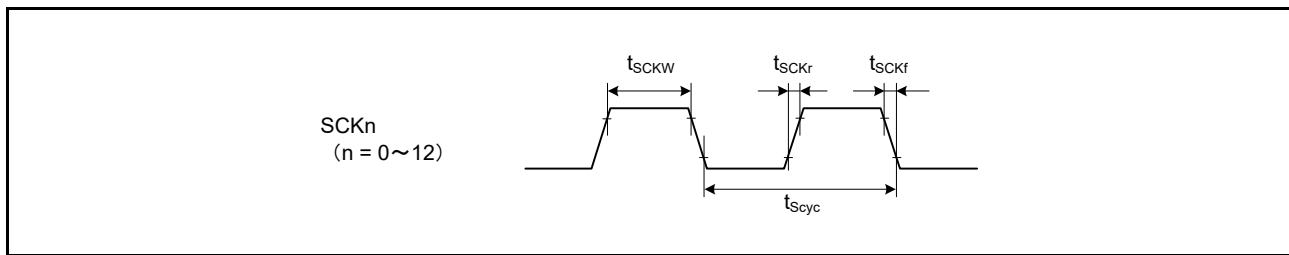


図 56.47 SCK クロック入カタイミング

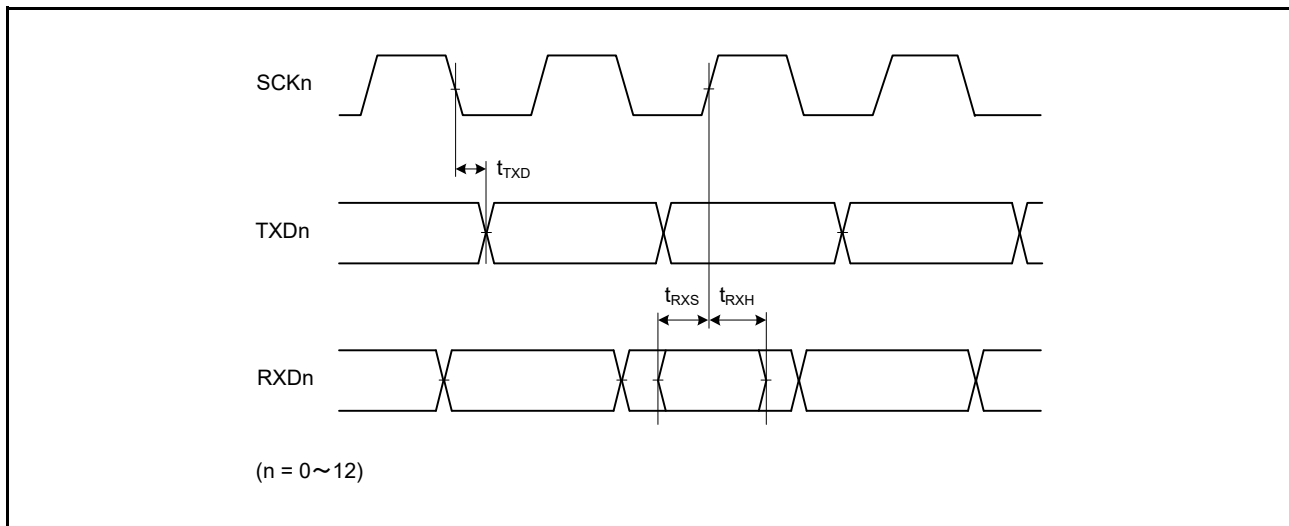


図 56.48 SCI 入出カタイミング/クロック同期式モード

表 56.37 簡易IIC タイミング

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件
簡易IIC (Standard-mode)	SSCL、SSDA入力立ち上がり時間	t _{Sr}	—	1000	ns	図 56.49
	SSCL、SSDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SSCL、SSDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データ入カセットアップ時間	t _{SDAS}	250	—	ns	
	データ入カホールド時間	t _{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C _b (注 1)	—	400	pF	
簡易IIC (Fast-mode)	SSCL、SSDA入力立ち上がり時間	t _{Sr}	—	300	ns	図 56.49
	SSCL、SSDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SSCL、SSDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データ入カセットアップ時間	t _{SDAS}	100	—	ns	
	データ入カホールド時間	t _{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C _b (注 1)	—	400	pF	

注. t_{Pcyc} : SCI10、SCI11 ではPCLKAの周期を示します。SCI0 ~ SCI9、SCI12 ではPCLKBの周期を示します。
 注1. C_bはバスラインの容量総計です。

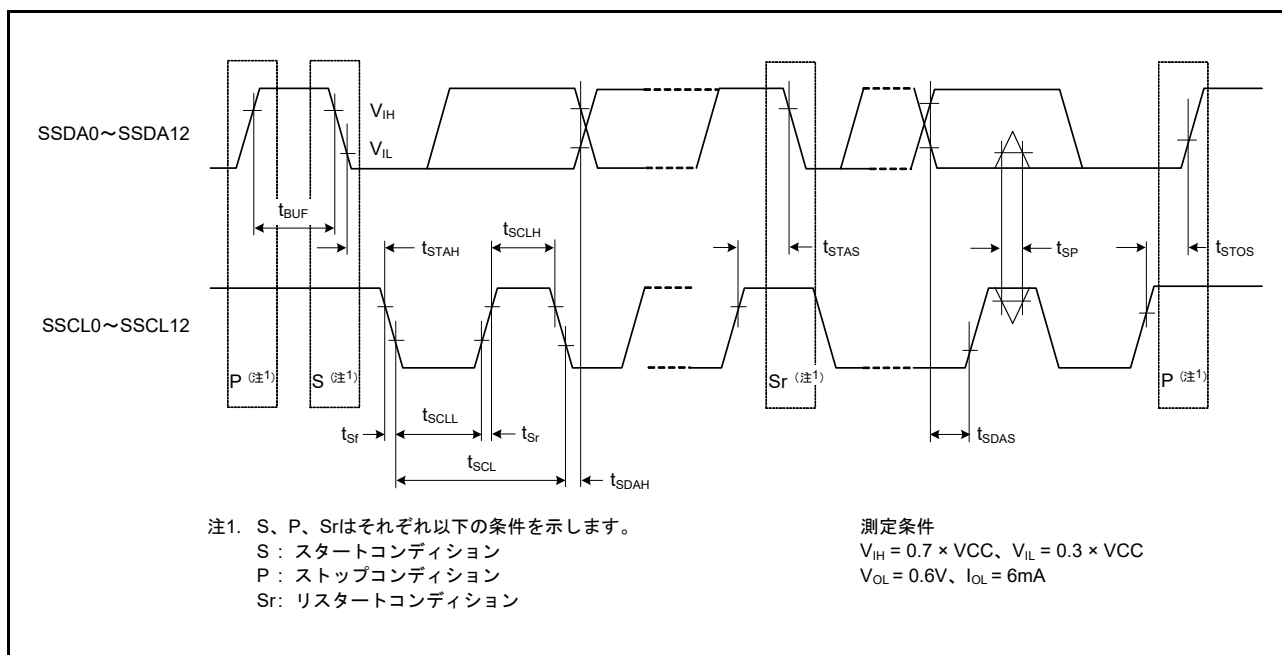


図 56.49 簡易IIC バスインタフェース入出力タイミング

表 56.38 簡易SPIタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件
簡易SPI	SCKクロックサイクル出力(マスタ)	t_{SPcyc}	4	—	t_{Pcyc}	図 56.50
	SCKクロックサイクル入力(スレーブ)		6	—		
	SCKクロックHighパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCKクロックLowパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	33.3	—	ns	図 56.51 ~ 図 56.54
	データ入力ホールド時間	t_H	33.3	—	ns	
	SS入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}	
	SS入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	t_{OD}	—	33.3	ns	
	データ出力ホールド時間	t_{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	16.6	ns	
	SS入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t_{SA}	—	5	t_{Pcyc}	図 56.53、 図 56.54
スレーブ出力開放時間	t_{REL}	—	5	t_{Pcyc}		

注. t_{Pcyc} : SCI10、SCI11ではPCLKAの周期を示します。SCI0～SCI9、SCI12ではPCLKBの周期を示します。

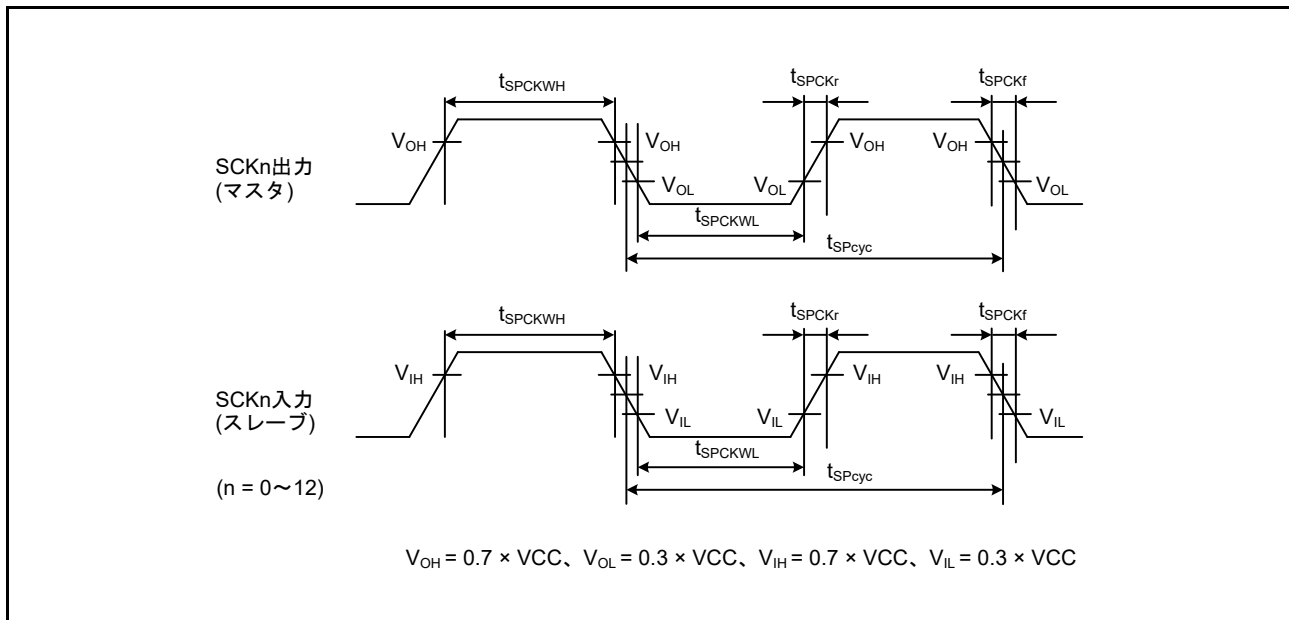


図 56.50 簡易SPIクロックタイミング

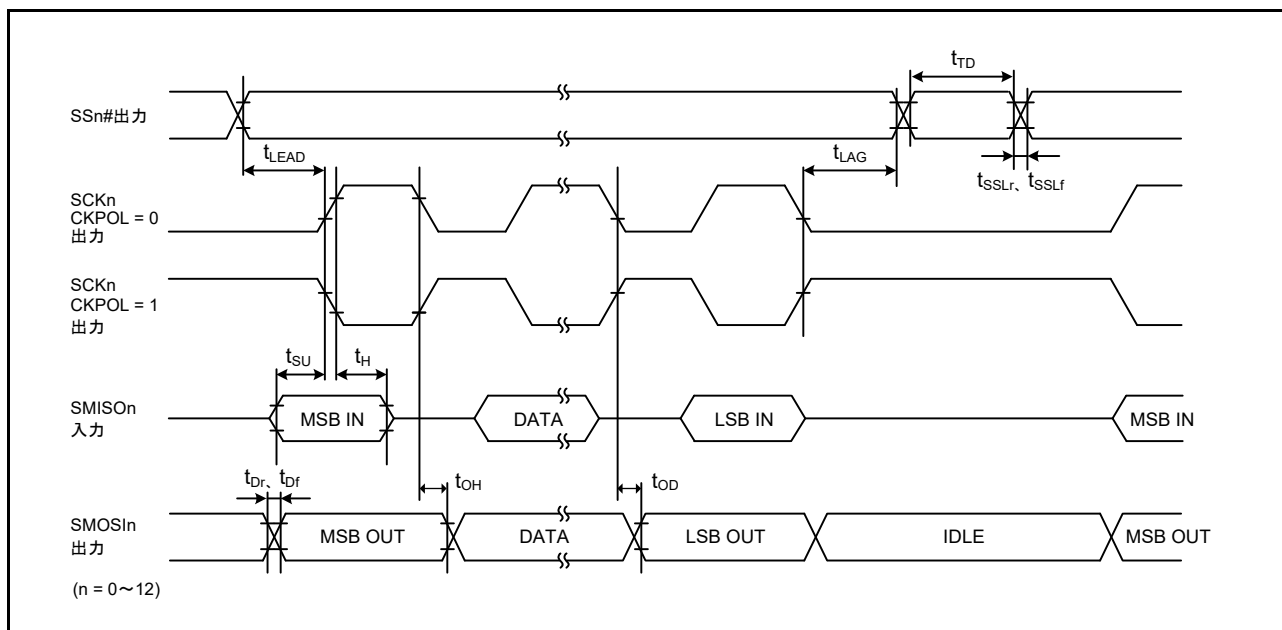


図 56.51 簡易 SPI タイミング (マスタ、CKPH = 1)

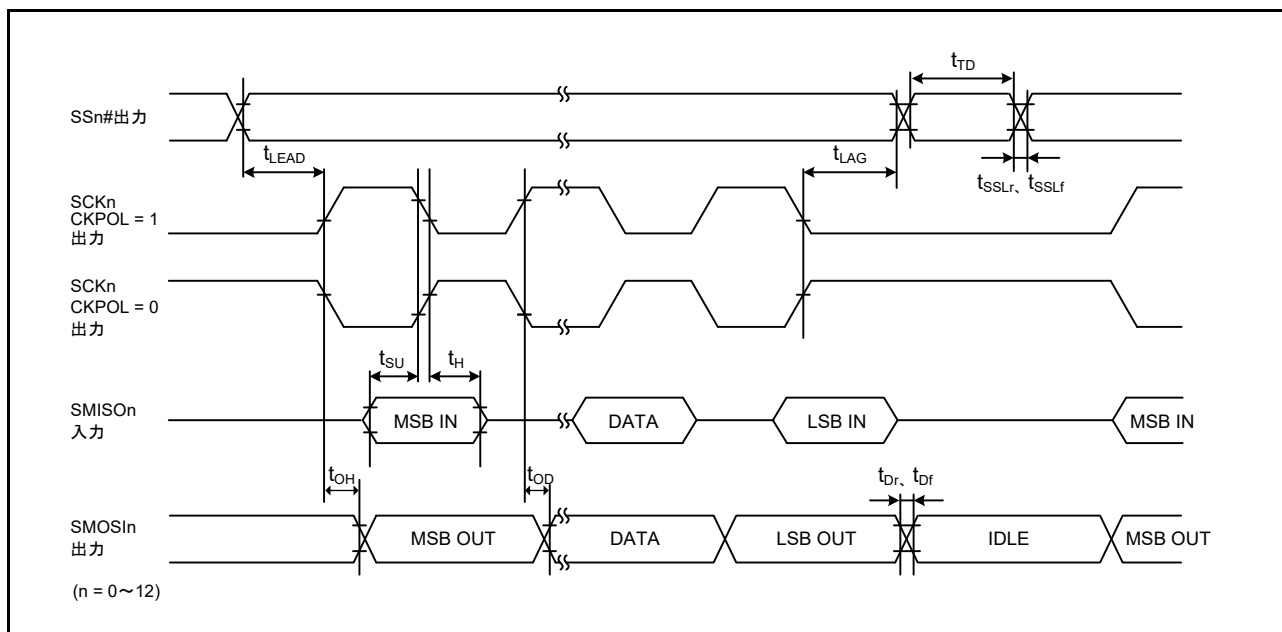


図 56.52 簡易 SPI タイミング (マスタ、CKPH = 0)

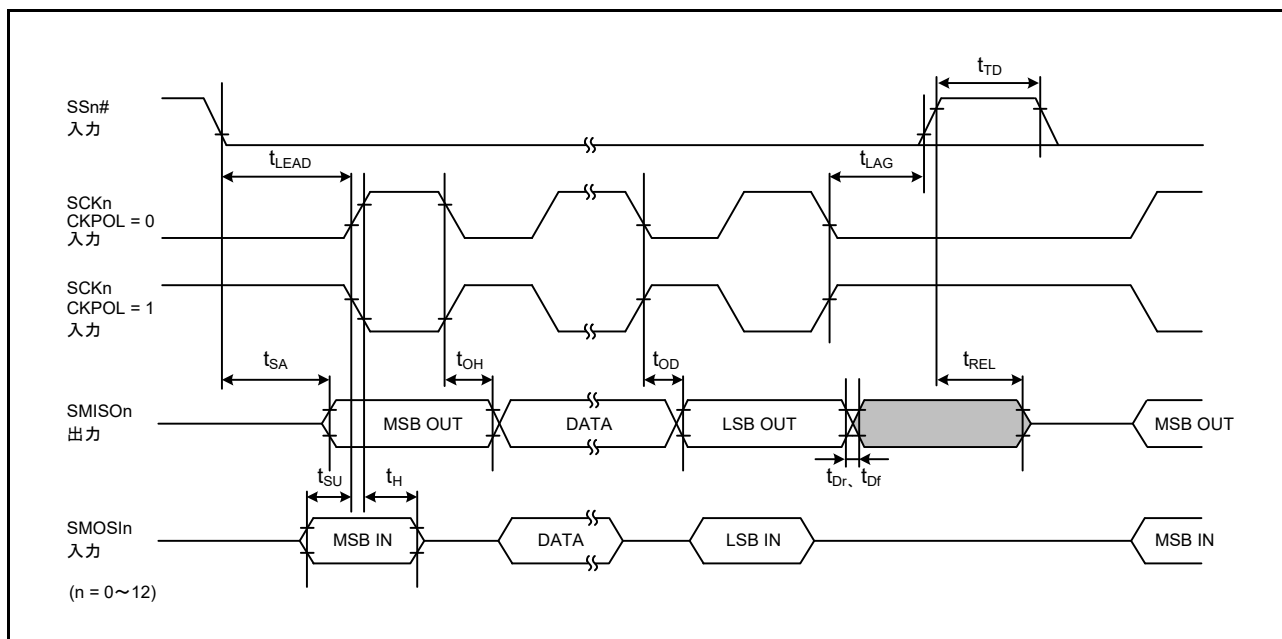


図 56.53 簡易 SPI タイミング (スレーブ、CKPH = 1)

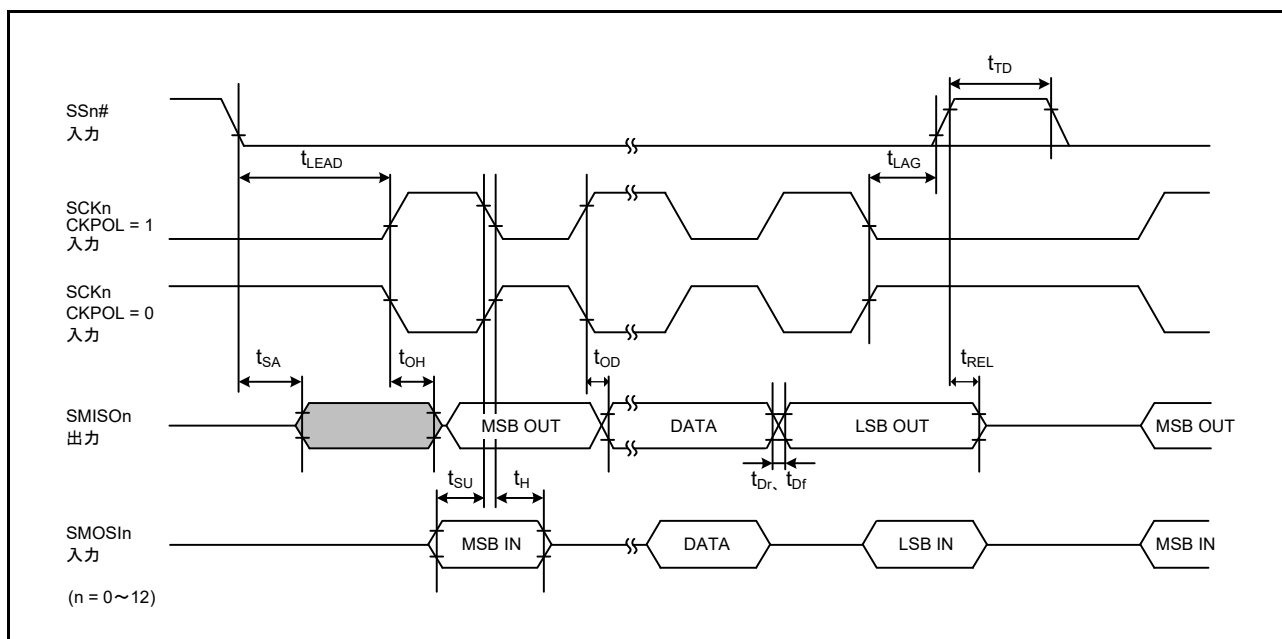


図 56.54 簡易 SPI タイミング (スレーブ、CKPH = 0)

56.4.7.10 RSCI

表 56.39 RSCI タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFL0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高速インタフェース用高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
RSCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{pAcyc}	図 56.55
		クロック同期		2	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	出力クロックサイクル	調歩同期	t_{Scyc}	6	—	t_{pAcyc}	
		クロック同期		2	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
受信データセットアップ時間	マスタ	t_{RXS}	0.5	—	ns	図 56.56	
	スレーブ		2.5	—			
受信データホールド時間	マスタ	t_{RXH}	11	—	ns		
	スレーブ		2.5	—			
送信データ遅延時間	マスタ	t_{TXD}	—	4	ns		
	スレーブ		—	15			

注1. t_{pAcyc} : PCLKAの周期、 t_{Scyc} : SCKの周期

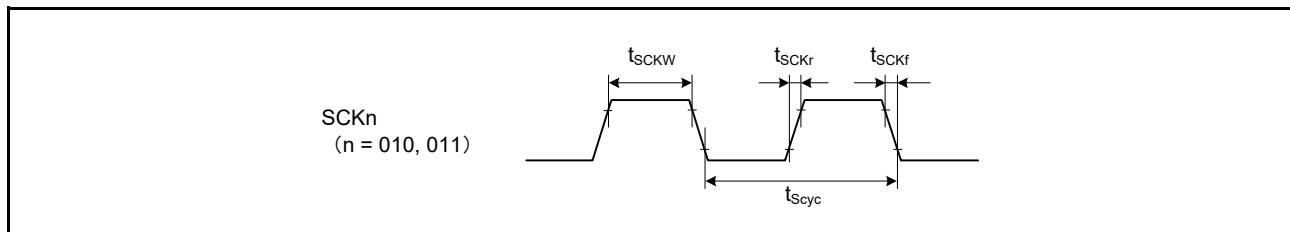


図 56.55 SCK クロック入力タイミング

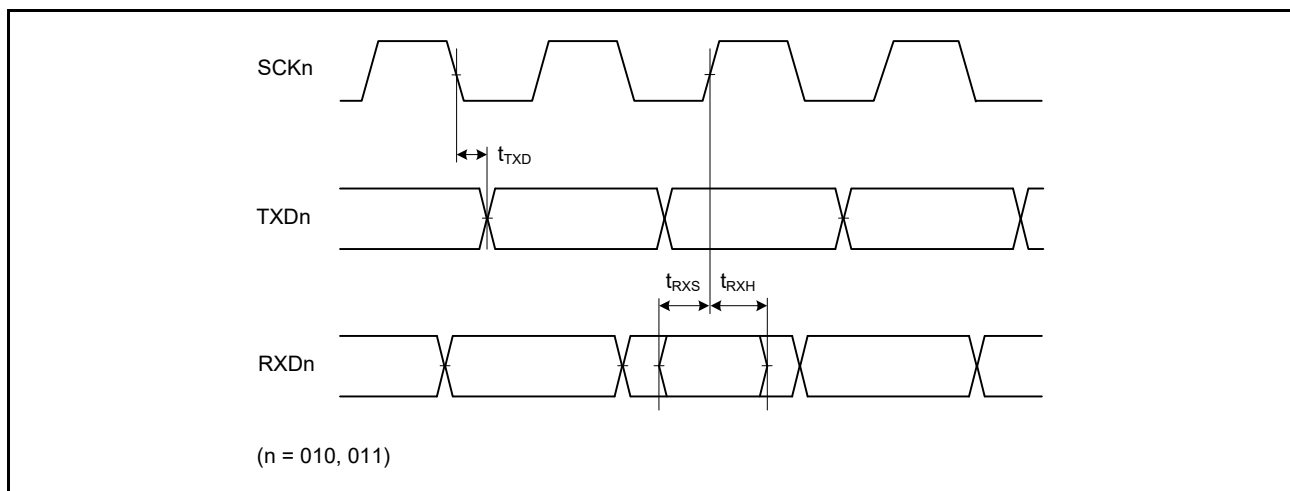


図 56.56 RSCI 入出力タイミング/クロック同期式モード

表 56.40 簡易IIC タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr},$
 駆動能力制御レジスタは高速インタフェース用高駆動出力を選択時

項目	記号	min	max	単位	測定条件	
簡易IIC (Standard-mode)	SSCL、SSDA入力立ち上がり時間	t_{Sr}	—	1000	ns	図 56.57
	SSCL、SSDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SSCL、SSDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{PAcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C_b (注1)	—	400	pF	
簡易IIC (Fast-mode)	SSCL、SSDA入力立ち上がり時間	t_{Sr}	—	300	ns	
	SSCL、SSDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SSCL、SSDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{PAcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C_b (注1)	—	400	pF	

注. t_{PAcyc} : PCLKAの周期
 注1. C_b はバスラインの容量総計です。

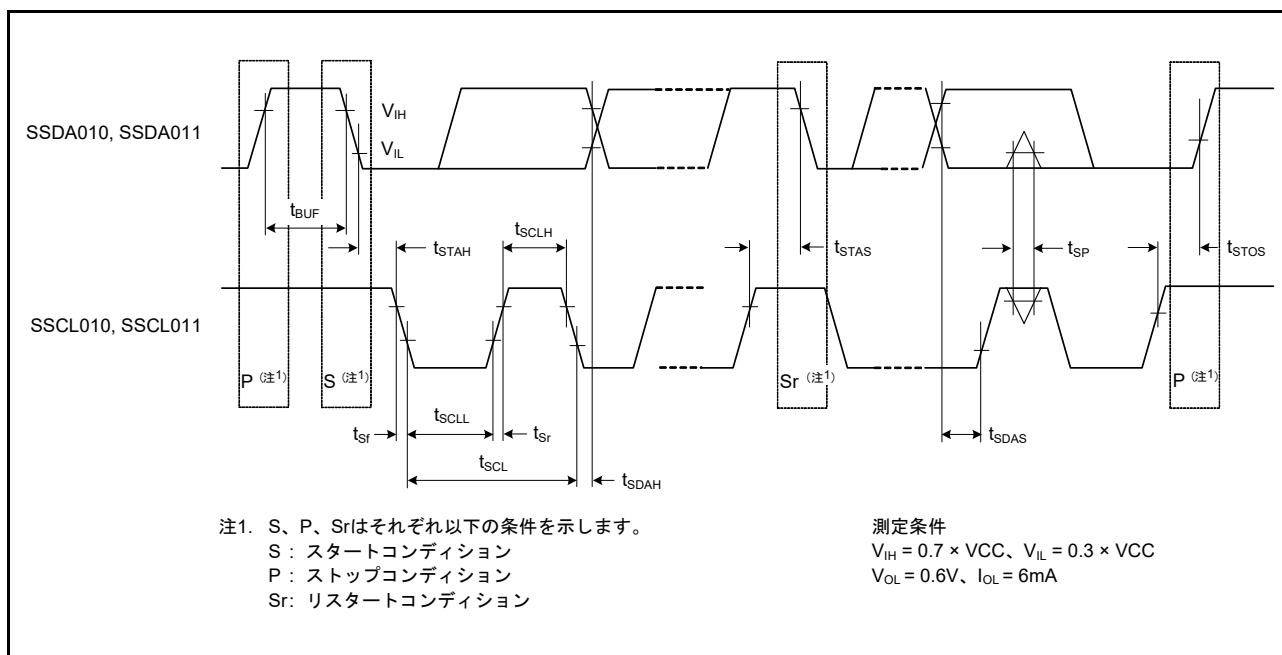


図 56.57 簡易IIC バスインタフェース入出力タイミング

表 56.41 簡易SPIタイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq V_{REFH0} \leq AV_{CC0},$
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr},$
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}, V_{OL} = 0.5 \times V_{CC}, C = 30pF,$
 駆動能力制御レジスタは高速インタフェース用高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件		
簡易SPI	SCKクロックサイクル出力(マスタ)	t_{SPcyc}	2	—	t_{PAcyc}	図 56.58		
	SCKクロックサイクル入力(スレーブ)		2	—				
	SCKクロックHighパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}			
	SCKクロックLowパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}			
	SCKクロック立ち上がり/ 立ち下がり時間	出力	t_{SPCKr}, t_{SPCKf}	—	5		ns	
		入力		—	1		μs	
	データ入力セットアップ時間	マスタ	t_{SU}	0.5	—		ns	図 56.59 ~ 図 56.62
		スレーブ		2.5	—			
	データ入力ホールド時間	マスタ	t_H	11	—		ns	
		スレーブ		2.5	—			
データ出力遅延時間	マスタ	t_{OD}	—	4	ns			
	スレーブ		—	15				
データ出力ホールド時間	マスタ	t_{OH}	0	—	ns			
	スレーブ		0	—				
データ立ち上がり/立ち下がり時間	出力	t_{Dr}, t_{Df}	—	5	ns			
	入力		—	1		μs		
スレーブアクセス時間		t_{SA}	—	5	t_{PAcyc}	図 56.61、 図 56.62		
スレーブ出力開放時間		t_{REL}	—	5	t_{PAcyc}			
SS入力セットアップ時間		t_{LEAD}	1	—	t_{SPcyc}	図 56.59 ~ 図 56.62		
SS入力ホールド時間		t_{LAG}	1	—	t_{SPcyc}			
SS入力立ち上がり/立ち下がり時間		t_{SSLr}, t_{SSLf}	—	1	μs			

注1. t_{PAcyc} : PCLKAの周期

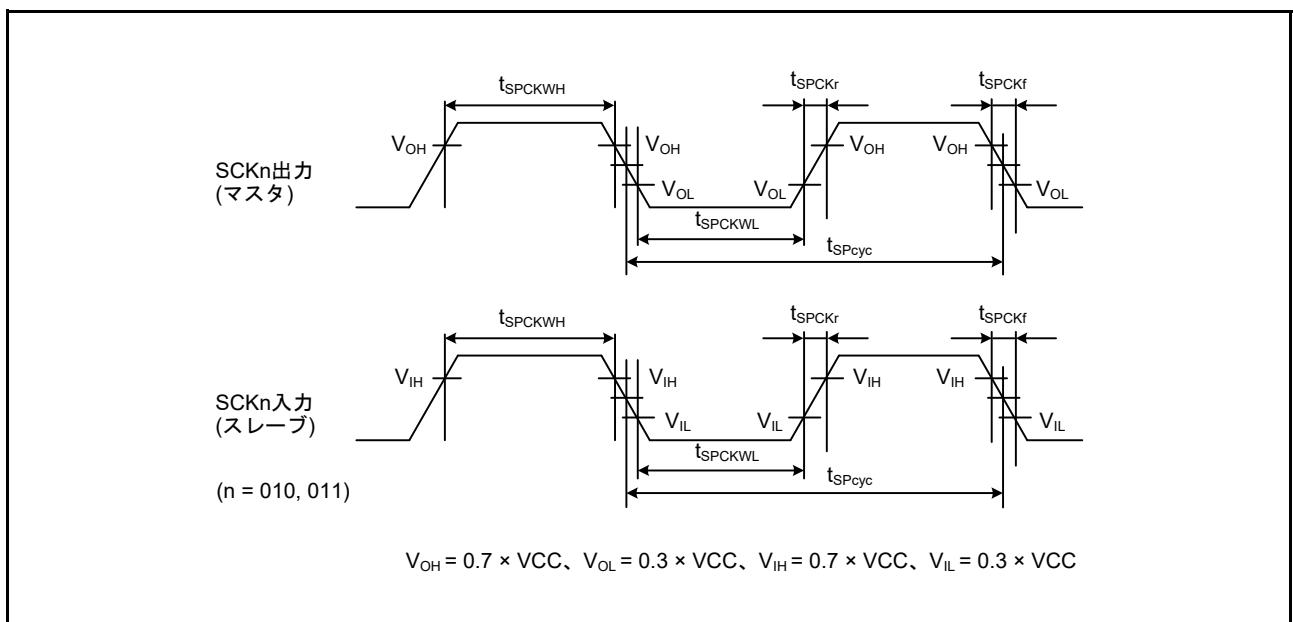


図 56.58 簡易SPIクロックタイミング

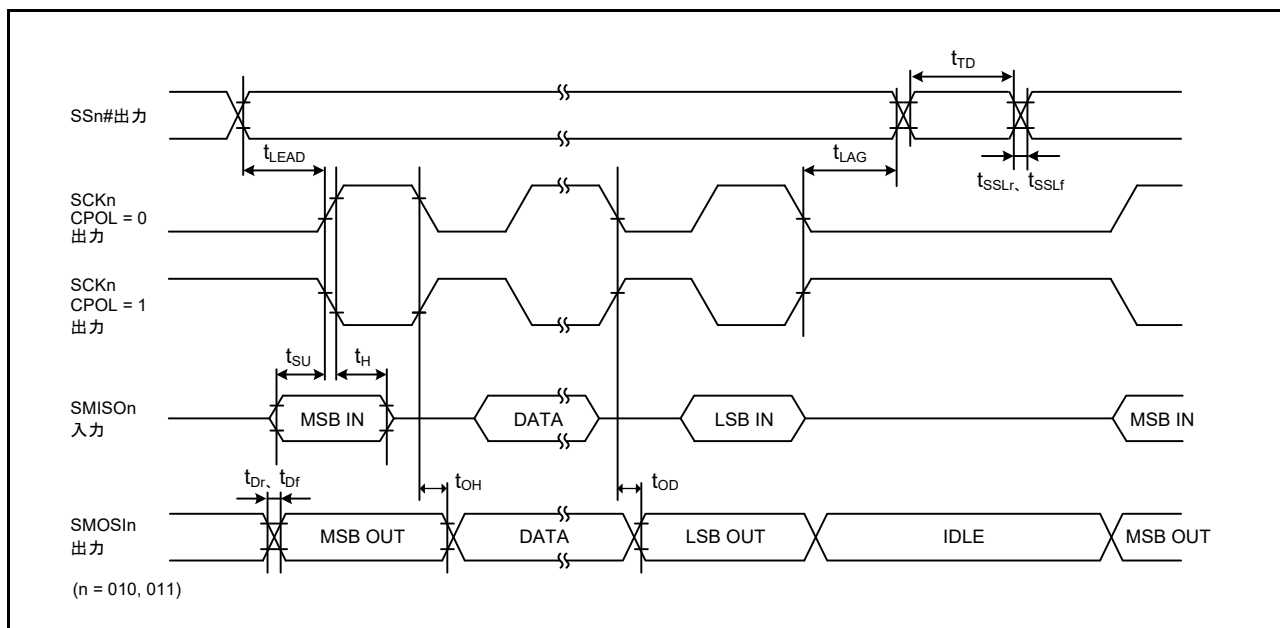


図 56.59 簡易 SPI タイミング (マスタ、CPHA = 0)

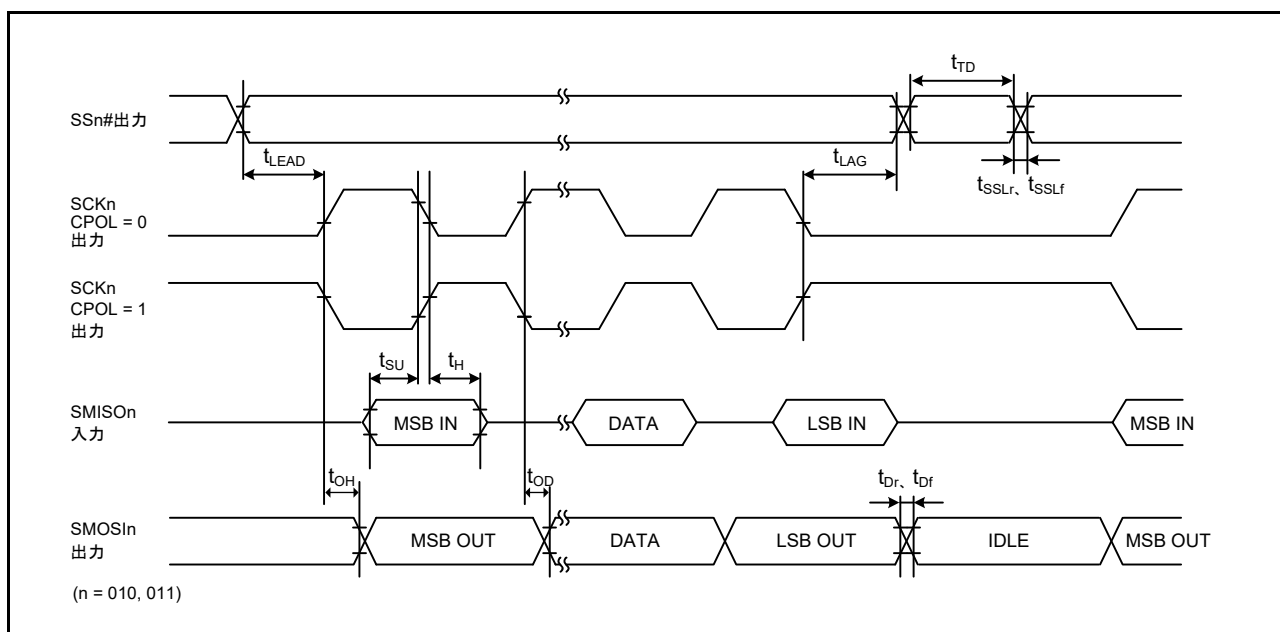


図 56.60 簡易 SPI タイミング (マスタ、CPHA = 1)

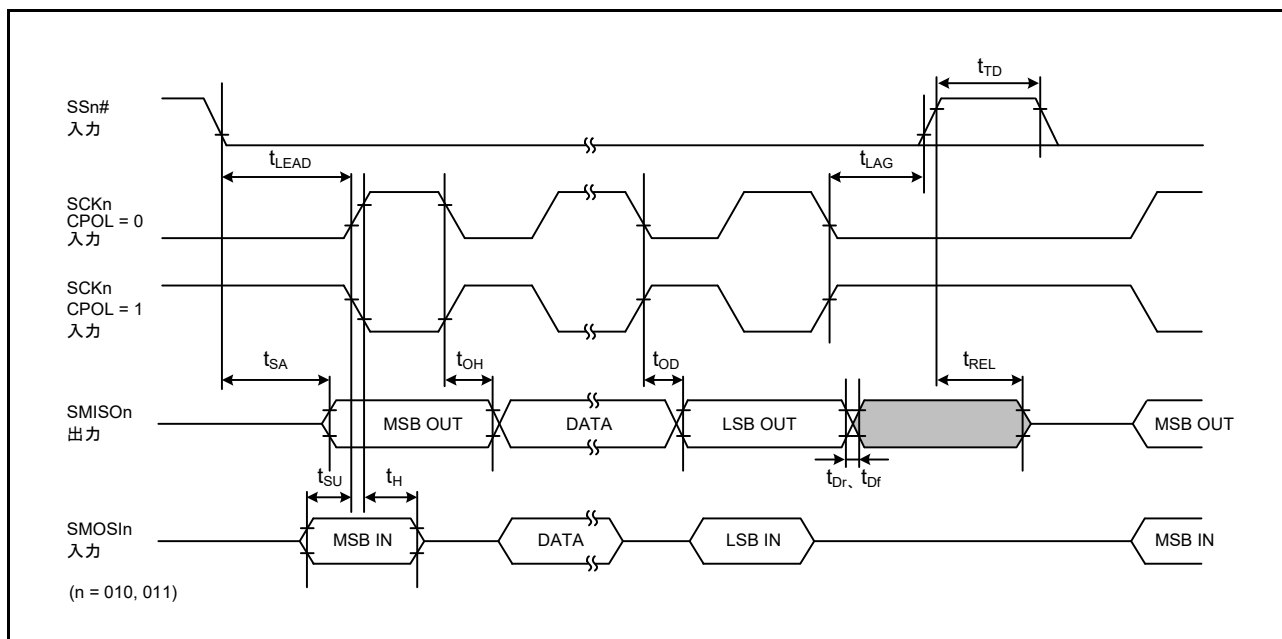


図 56.61 簡易 SPI タイミング (スレーブ、CPHA = 0)

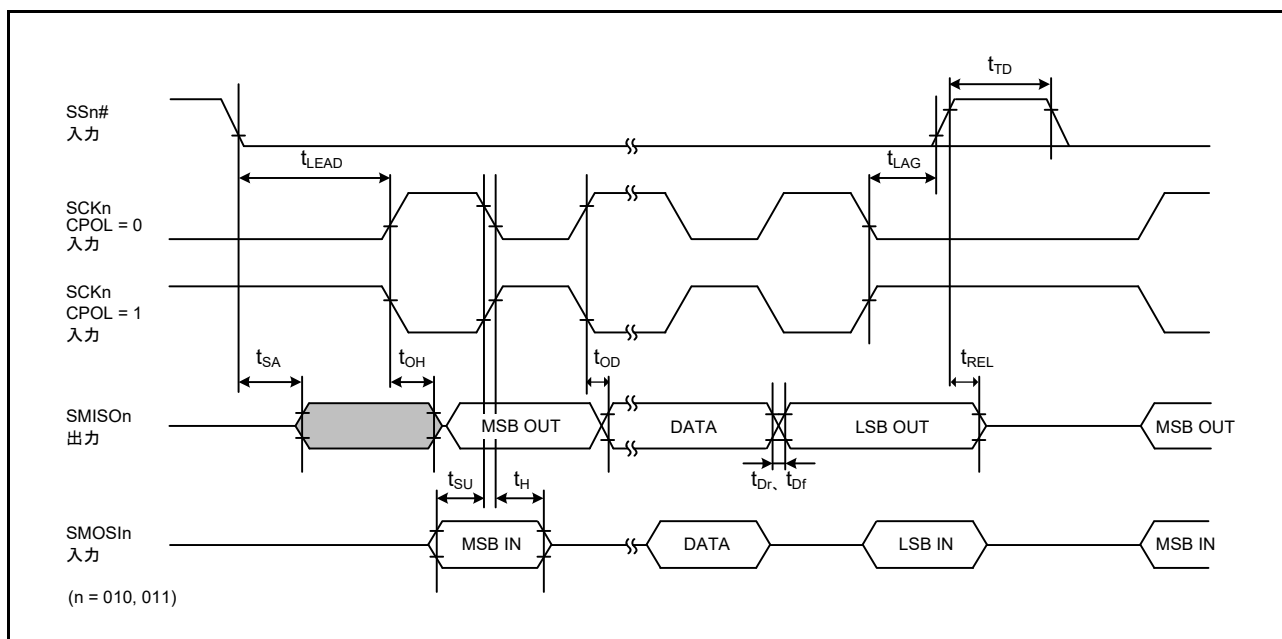


図 56.62 簡易 SPI タイミング (スレーブ、CPHA = 1)

56.4.7.11 SSIE

表56.42 シリアルサウンドインタフェースタイミング

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件	
AUDIO_CLK	サイクル	t _{EXcyc}	20	—	ns	図 56.63	
	Highレベル/Lowレベル	t _{EXL} /t _{EXH}	0.4	0.6	t _{EXcyc}		
SSIBCK0	サイクル	マスタ	t _O	80	—	ns	図 56.64
		スレーブ	t _I	80	—	ns	
	出カクロック Highレベル	マスタ	t _{HC}	0.35	—	t _O	
	出カクロック Lowレベル		t _{LC}	0.35	—	t _O	
	入カクロック Highレベル	スレーブ	t _{HC}	0.35	—	t _I	
	入カクロック Lowレベル		t _{LC}	0.35	—	t _I	
	出カクロック立ち上がり時間	マスタ	t _{RC}	—	0.15	t _O	
	出カクロック立ち下がり時間		t _{FC}	—	0.15	t _O	
	入カクロック立ち上がり時間	スレーブ	t _{RC}	—	0.15	t _I	
	入カクロック立ち下がり時間		t _{FC}	—	0.15	t _I	
SSILRCK0, SSITXD0, SSIRXD0	入力セットアップ時間	マスタ	t _{SR}	12	—	ns	図 56.65、 図 56.66
		スレーブ		12	—		
	入力ホールド時間	マスタ	t _{HR}	8	—	ns	
		スレーブ		15	—		
	出力遅延時間	マスタ	t _{DTR}	-10	5	ns	
スレーブ		0		20			
SSILRCK0 変化時からの出力遅延時間	スレーブ	t _{DTRW}	—	20	ns	図 56.67	

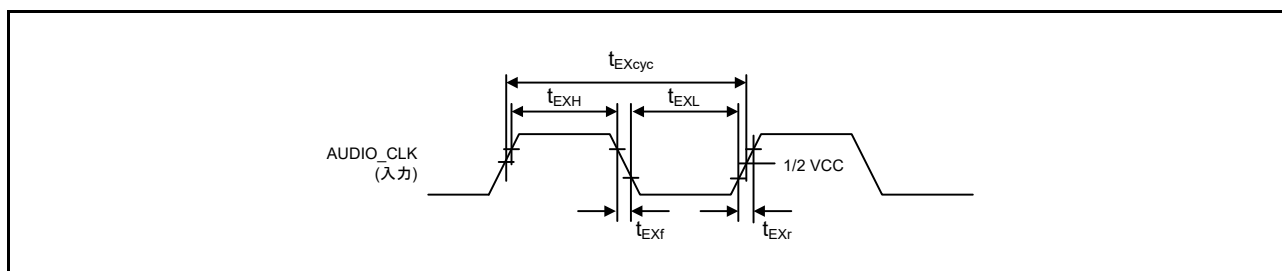


図 56.63 クロック入力タイミング

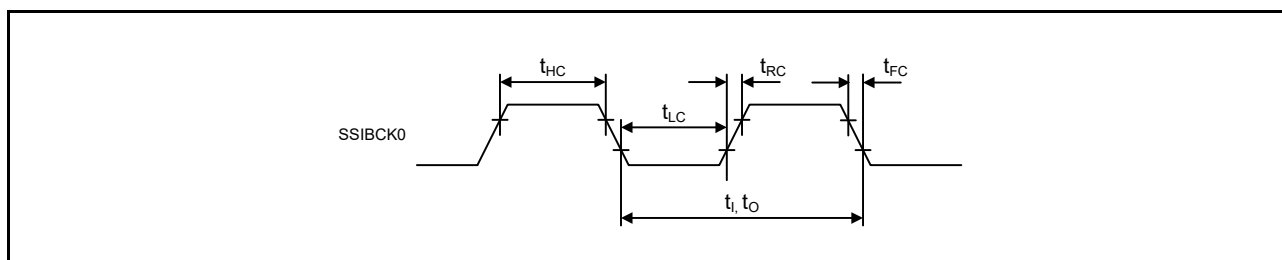


図 56.64 SSIE クロック入出力タイミング

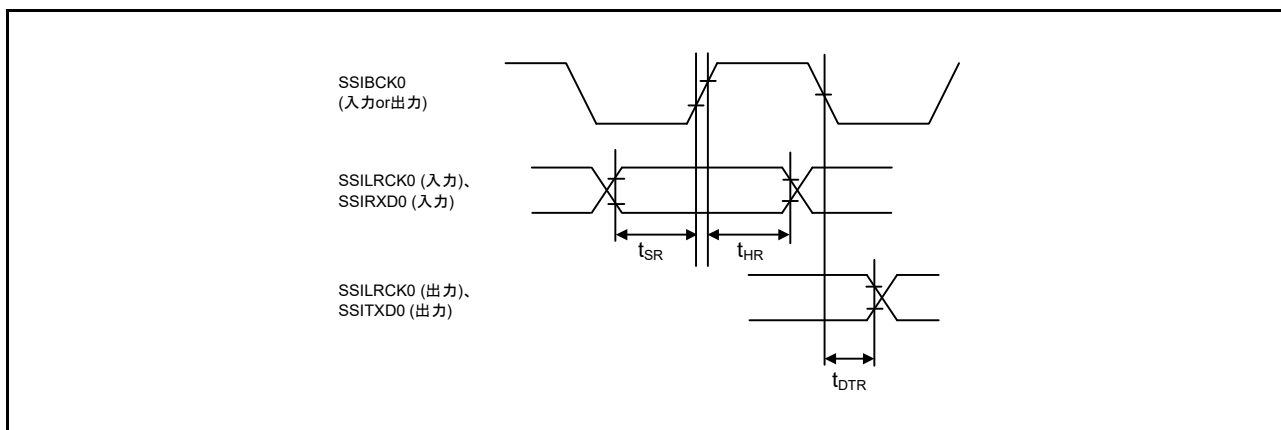


図 56.65 SSICR.BCKP = 0 の場合の SSIE データ送受信タイミング

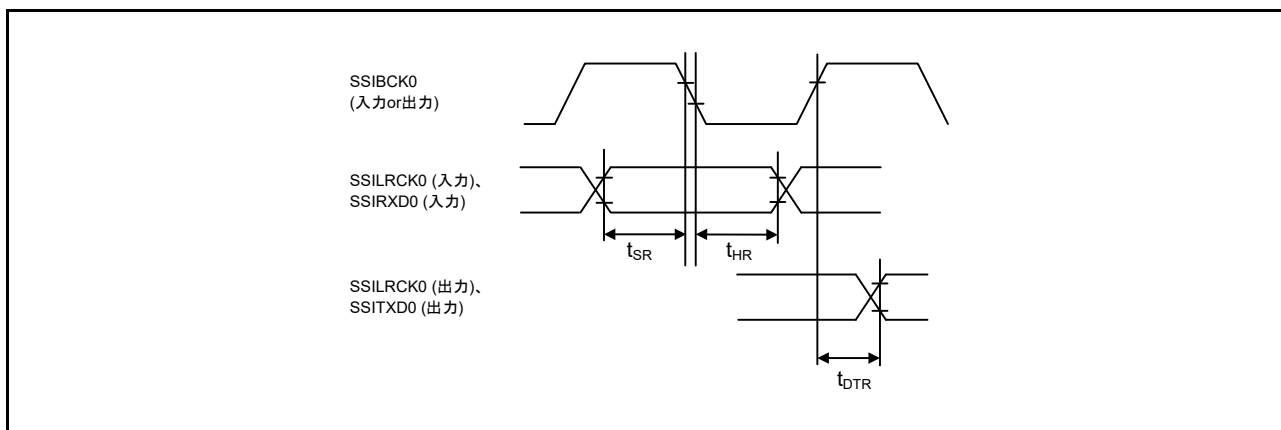


図 56.66 SSICR.BCKP = 1 の場合の SSIE データ送受信タイミング

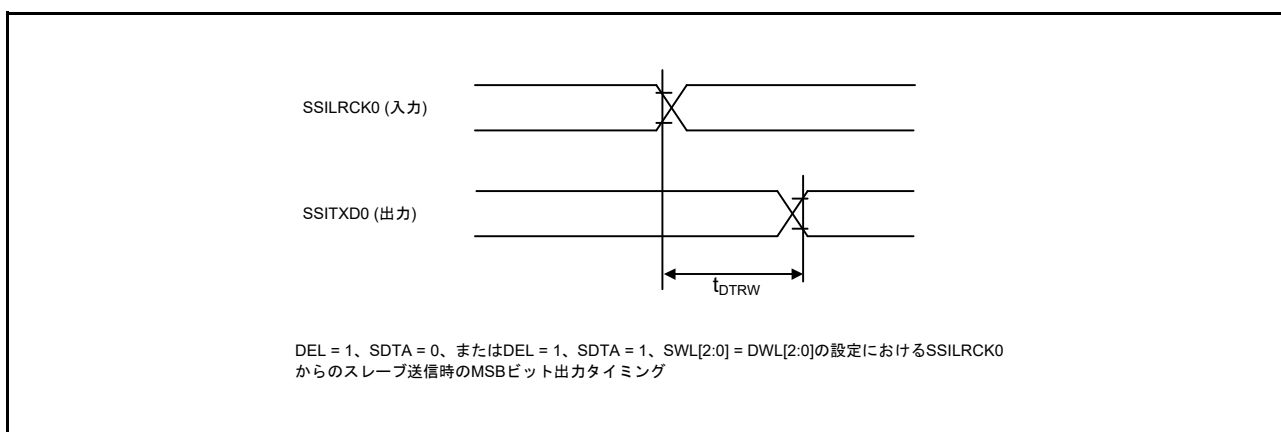


図 56.67 SSILRCK0 変化時からの SSIE データ出力遅延

56.4.7.12 RSPI

表 56.43 RSPI タイミング

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件 (注2)		
RSPI	RSPCK クロックサイクル	マスタ	t _{SPcyc}	2	—	t _{PAcyc}	図 56.68	
		スレーブ		4	—			
	RSPCK クロック Highパルス幅	マスタ	t _{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$		ns		
		スレーブ		0.4	0.6	t _{SPcyc}		
	RSPCK クロック Lowパルス幅	マスタ	t _{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$		ns		
		スレーブ		0.4	0.6	t _{SPcyc}		
	RSPCK クロック 立ち上がり/立ち下がり時間	出力	t _{SPCKr} , t _{SPCKf}	—	5	ns		
		入力		—	1	μs		
	データ入力セットアップ時間	マスタ	t _{SU}	6	—	ns		図 56.69 ~ 図 56.74
		スレーブ		8.3	—			
	データ入力ホールド時間	マスタ	PCLKAを2分周に設定	t _{HF}	0	—		ns
			PCLKAを2分周以外に設定	t _H	t _{PAcyc}	—		
		スレーブ			8.3	—		
	SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPcyc}		
		スレーブ		4	—	t _{PAcyc}		
	SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPcyc}		
		スレーブ		4	—	t _{PAcyc}		
	データ出力遅延時間	マスタ	t _{OD}	—	6.3	ns		
		スレーブ		—	28			
データ出力ホールド時間	マスタ	t _{OH}	0	—	ns			
	スレーブ		0	—				
連続送信遅延時間	マスタ	t _{TD}	$t_{SPcyc} + 2 \times t_{PAcyc}$	$8 \times t_{SPcyc} + 2 \times t_{PAcyc}$	ns			
	スレーブ		$4 \times t_{PAcyc}$	—				
MOSI, MISO 立ち上がり/立ち下がり時間	出力	t _{Dr} , t _{Df}	—	5	ns			
	入力		—	1		μs		
SSL 立ち上がり/立ち下がり時間	出力	t _{SSLr} , t _{SSLf}	—	5	ns			
	入力		—	1		μs		
スレーブアクセス時間		t _{SA}	—	28	ns	図 56.73、 図 56.74		
スレーブ出力開放時間		t _{REL}	—	28	ns			

注1. t_{PAcyc} : PCLKAの周期

注2. 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせで使用することを推奨します。RSPIのAC特性は、各グループ内の端子間で測定しています。

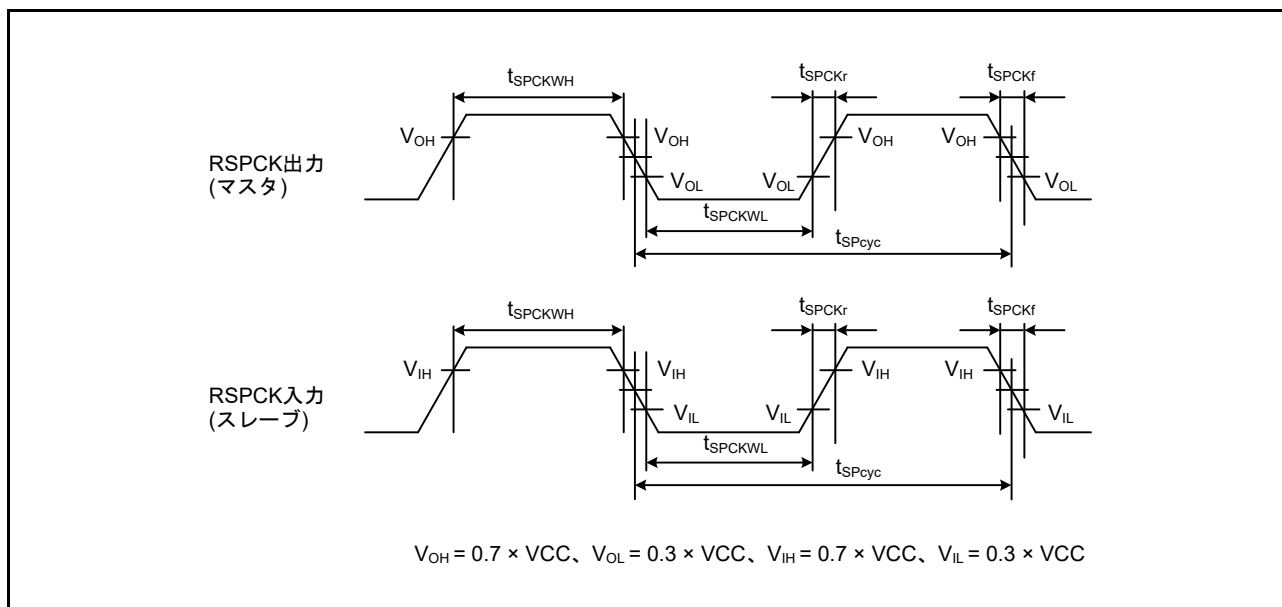


図 56.68 RSPCK クロックタイミング

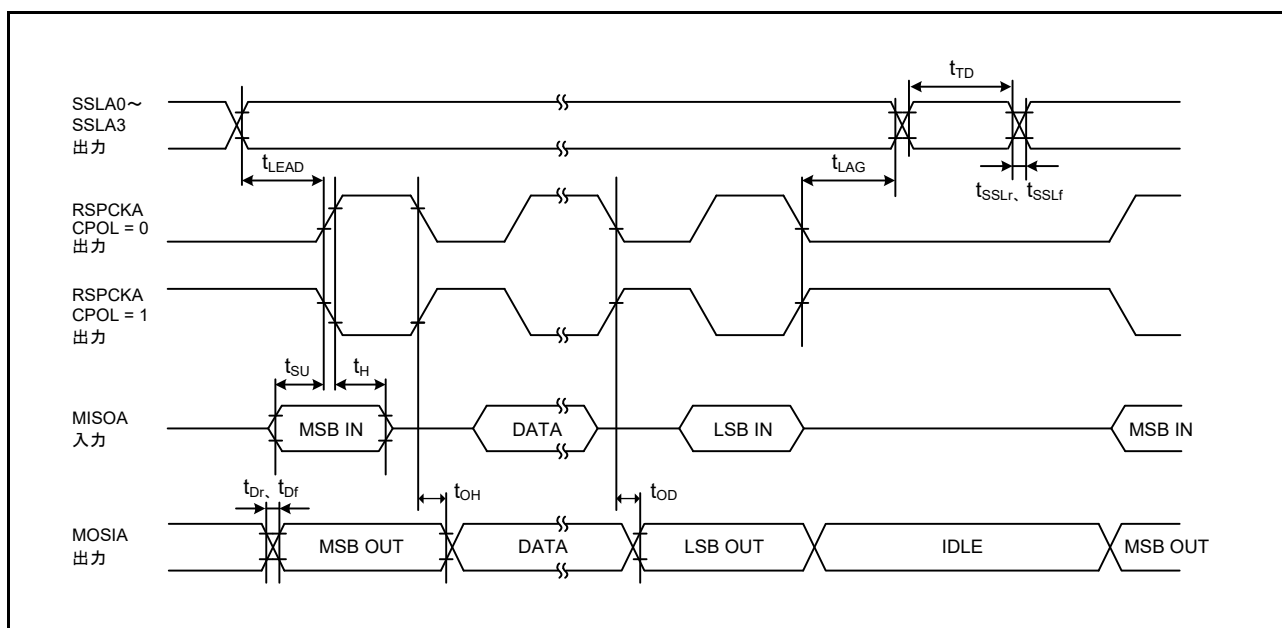


図 56.69 RSPCK タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

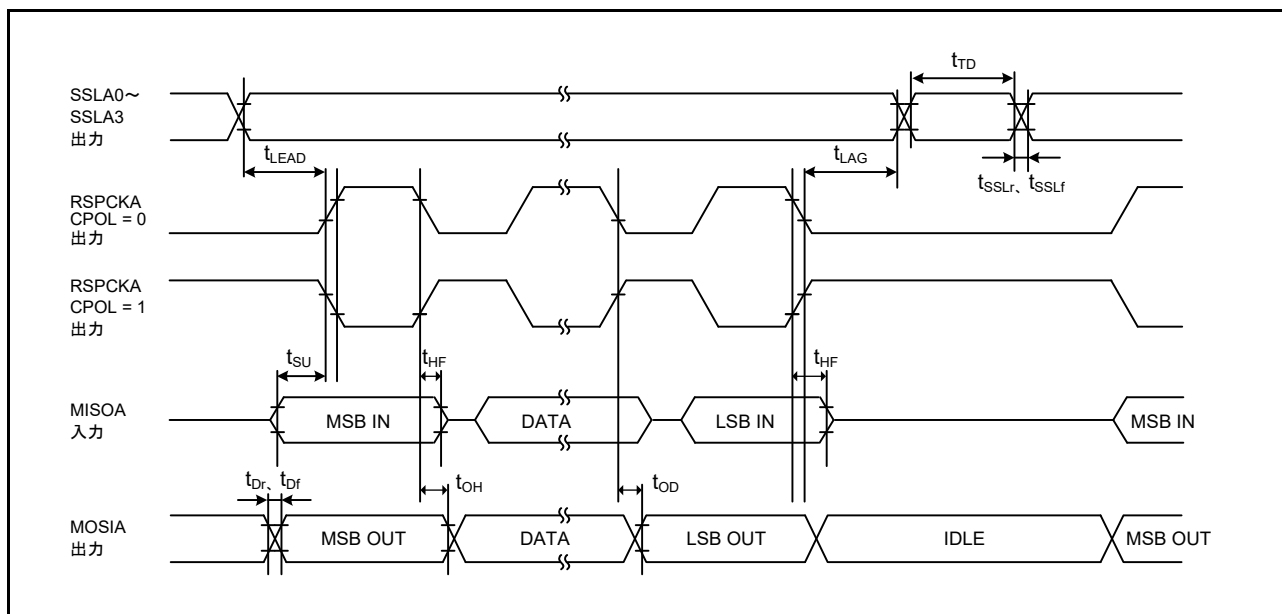


図 56.70 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

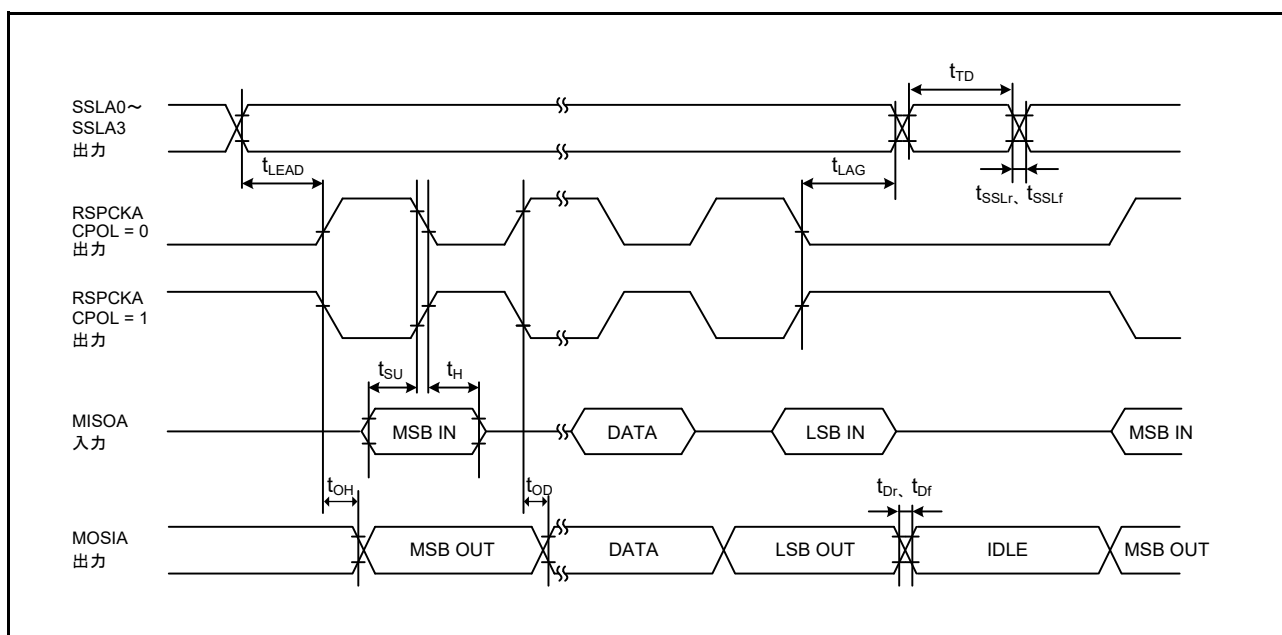


図 56.71 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

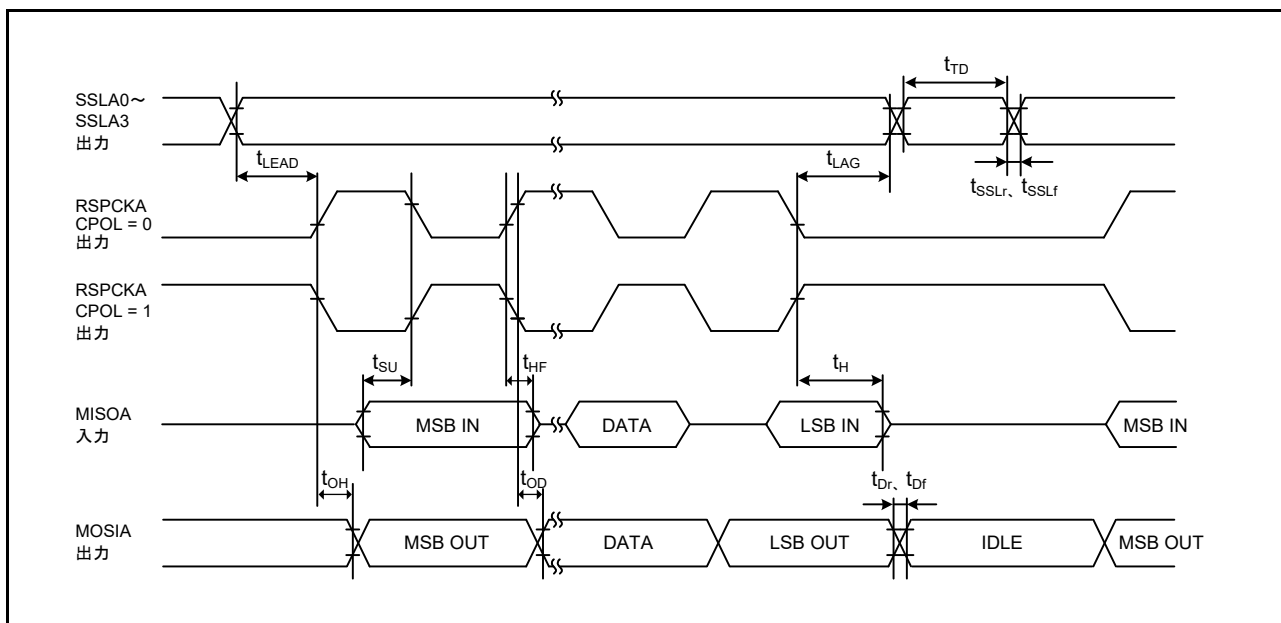


図 56.72 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

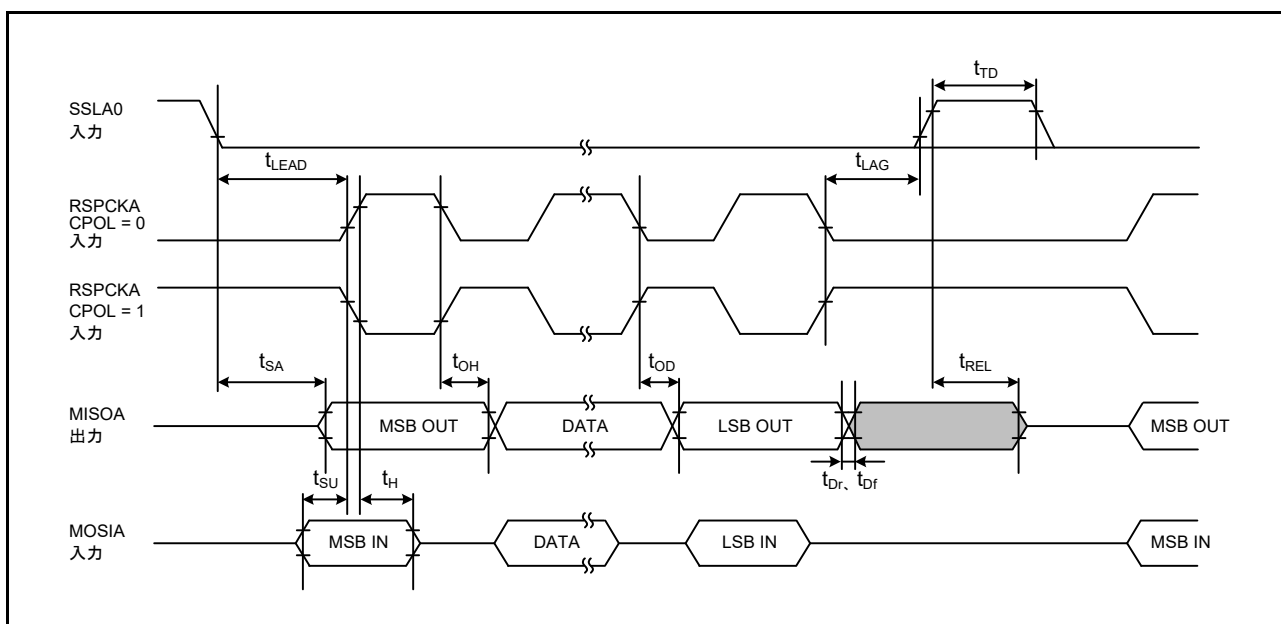


図 56.73 RSPI タイミング (スレーブ、CPHA = 0)

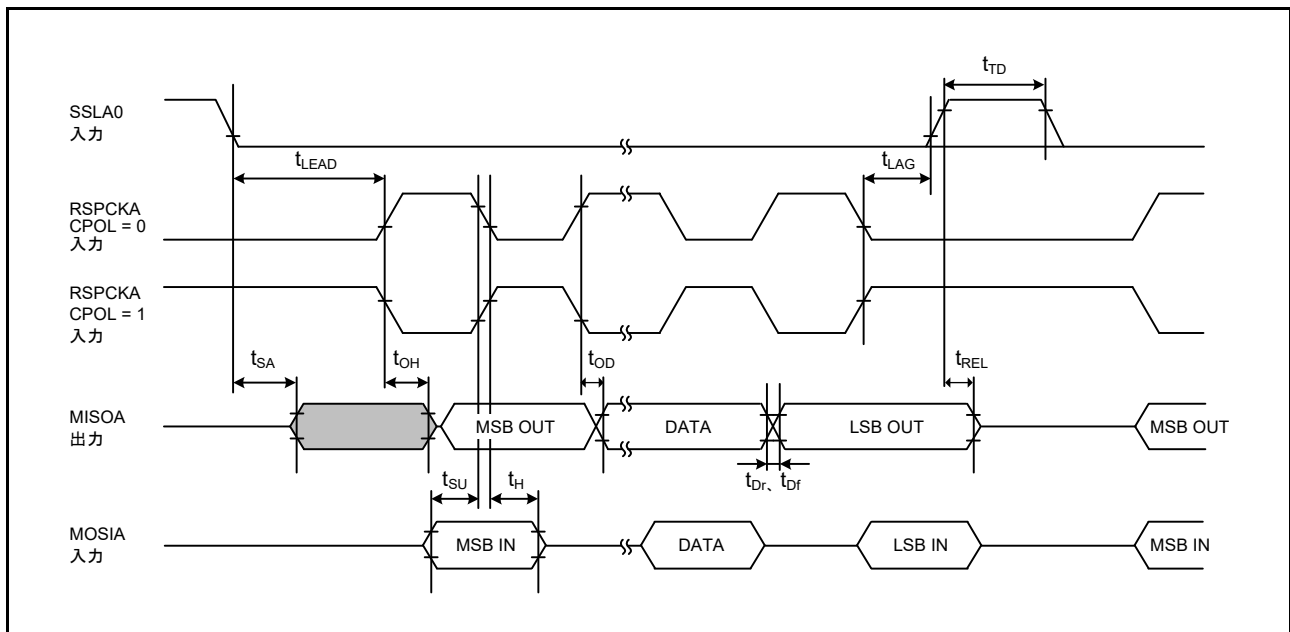


図 56.74 RSPi タイミング (スレーブ、CPHA = 1)

56.4.7.13 RSPIA

表56.44 RSPIAタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高速インタフェース用高駆動出力を選択時

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件 (注2)		
RSPIA	RSPCK クロックサイクル	マスタ	t _{SPcyc}	2	—	t _{PAcyc}	図56.75	
		スレーブ		2	—			
	RSPCK クロック Highパルス幅	マスタ	t _{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		図56.76 ~ 図56.82
		スレーブ		0.4	0.6	t _{SPcyc}		
	RSPCK クロック Lowパルス幅	マスタ	t _{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		0.4	0.6	t _{SPcyc}		
	RSPCK クロック 立ち上がり/立ち下がり時間	出力	t _{SPCKr}	—	5	ns		
		入力	t _{SPCKf}	—	1	μs		
	データ入力セットアップ時間	マスタ	t _{SU}	0	—	ns		
		スレーブ		2.5	—			
	データ入力ホールド時間	マスタ	t _H	5.7	—	ns		
		スレーブ		2.5	—			
	SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPcyc}		
		スレーブ		6	—	t _{PAcyc}		
	SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPcyc}		
		スレーブ		6	—	t _{PAcyc}		
データ出力遅延時間	マスタ	t _{OD}	—	4	ns			
	スレーブ		—	14				
データ出力ホールド時間	マスタ	t _{OH}	0	—	ns			
	スレーブ		0	—				
連続送信遅延時間	マスタ	t _{TD}	t _{SPcyc} + 2 × t _{PAcyc}	8 × t _{SPcyc} + 2 × t _{PAcyc}	ns			
	スレーブ		t _{SPcyc}	—				
MOSI, MISO 立ち上がり/立ち下がり時間	出力	t _{Dr} , t _{Df}	—	5	ns			
	入力		—	1	μs			
SSL 立ち上がり/立ち下がり時間	出力	t _{SSLr}	—	5	ns			
	入力	t _{SSLf}	—	1	μs			
スレーブアクセス時間		t _{SA}	—	20	ns	図56.79、 図56.80		
スレーブ出力開放時間		t _{REL}	—	20	ns			
TI SSP SS入力セットアップ時間	スレーブ	t _{TISS}	4.5	—	ns	図56.81、 図56.82		
TI SSP SS入力ホールド時間	スレーブ	t _{TISH}	2.5	—	ns			
TI SSP 次アクセス遅延時間	スレーブ	t _{TIND}	2 × t _{PAcyc} + SLNDL 値 × t _{PAcyc}	—	ns			
TI SSP SS出力遅延時間	マスタ	t _{TISSOD}	—	7	ns	図56.78		

注1. t_{PAcyc} : PCLKAの周期

注2. 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせ使用することを推奨します。RSPIAのAC特性は、各グループ内の端子間で測定しています。

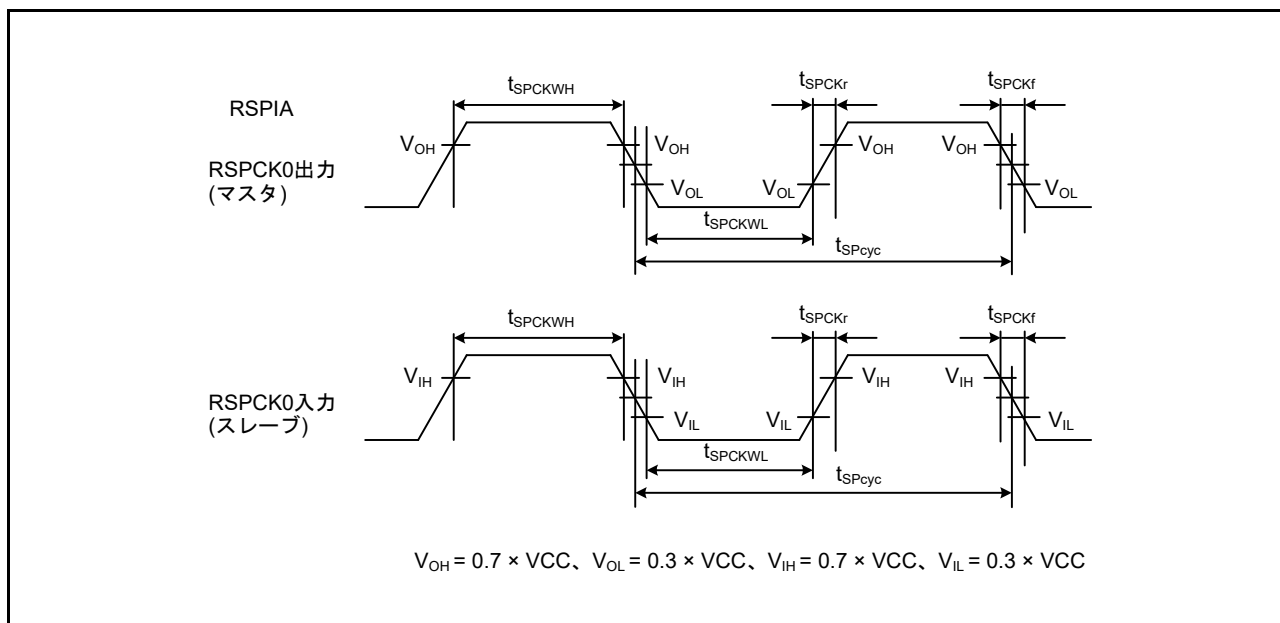


図 56.75 RSPCK0 クロックタイミング

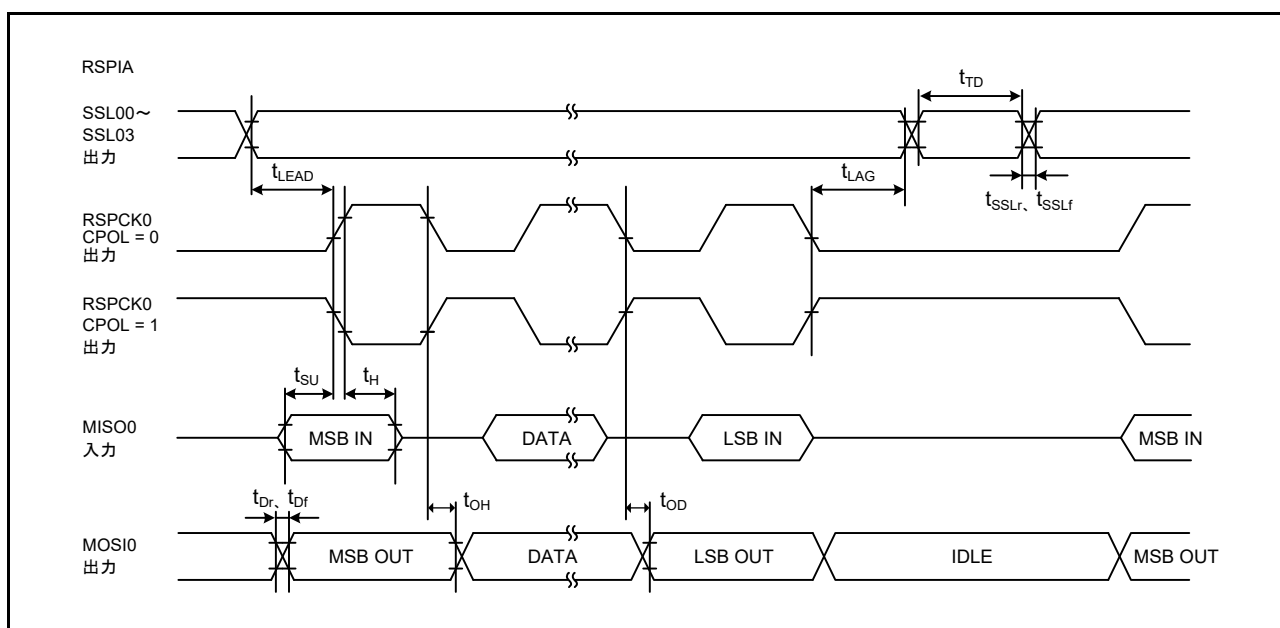


図 56.76 RSPCK0 タイミング (マスタ、Motorola SPI、CPHA = 0)

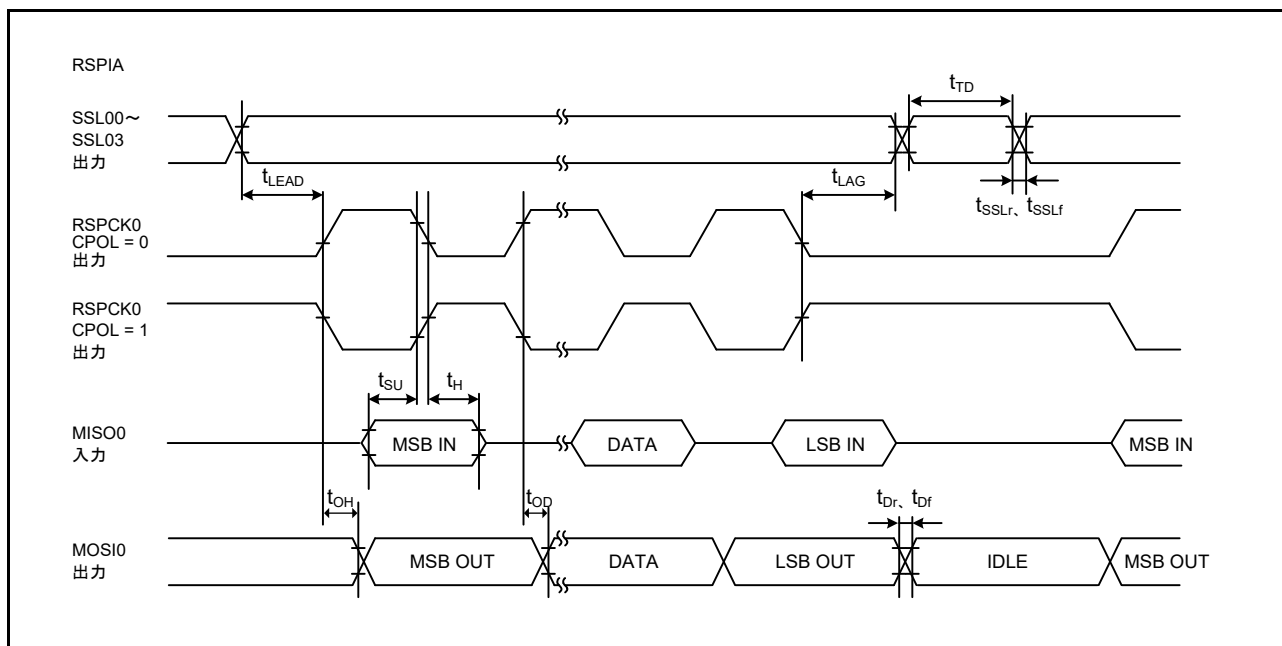


図 56.77 RSPiA タイミング (マスタ、Motorola SPI、CPHA = 1)

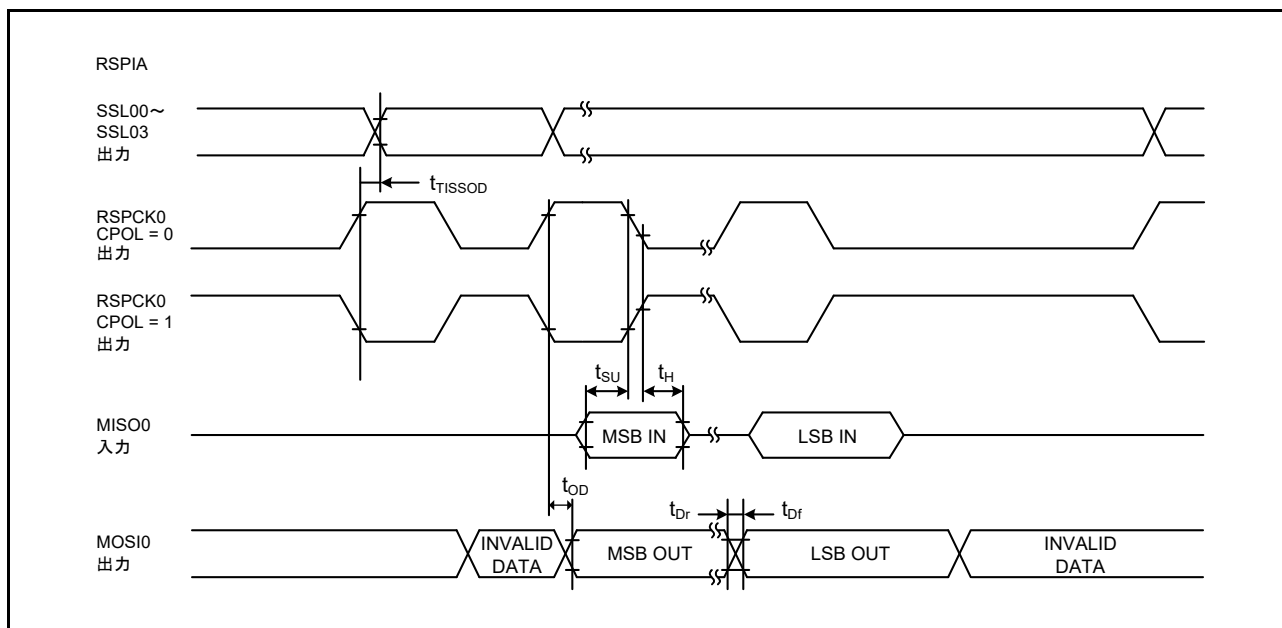


図 56.78 RSPiA タイミング (マスタ、TI SSP)

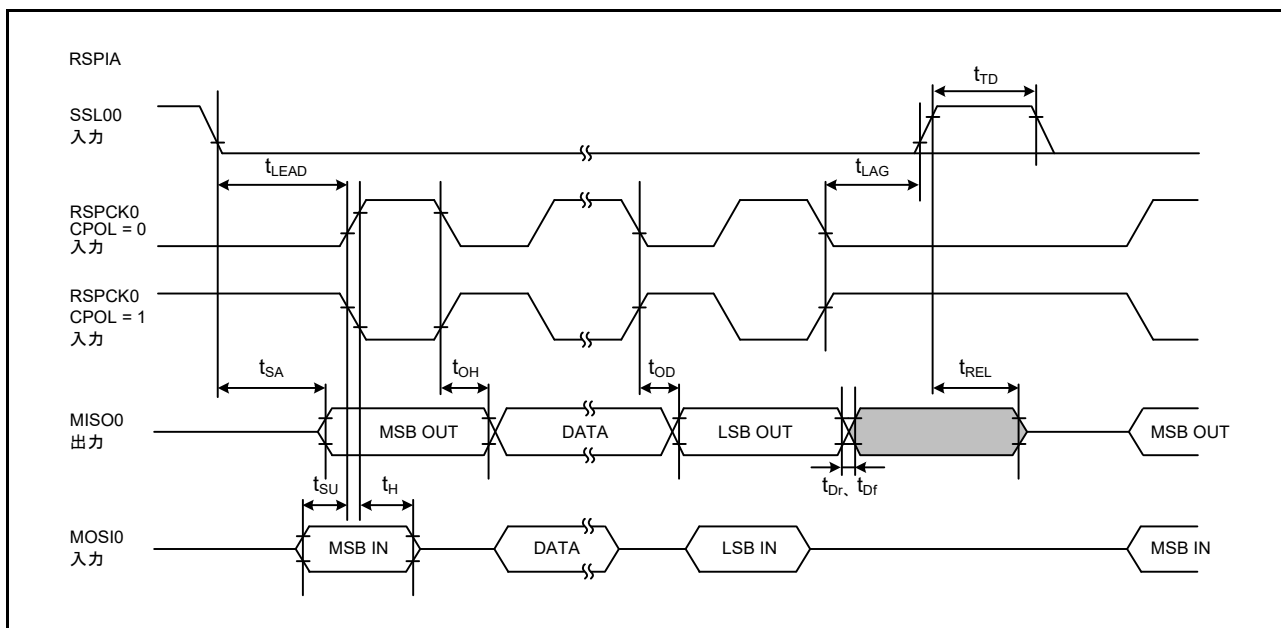


図 56.79 RSPCIA タイミング (スレーブ、Motorola SPI、CPHA = 0)

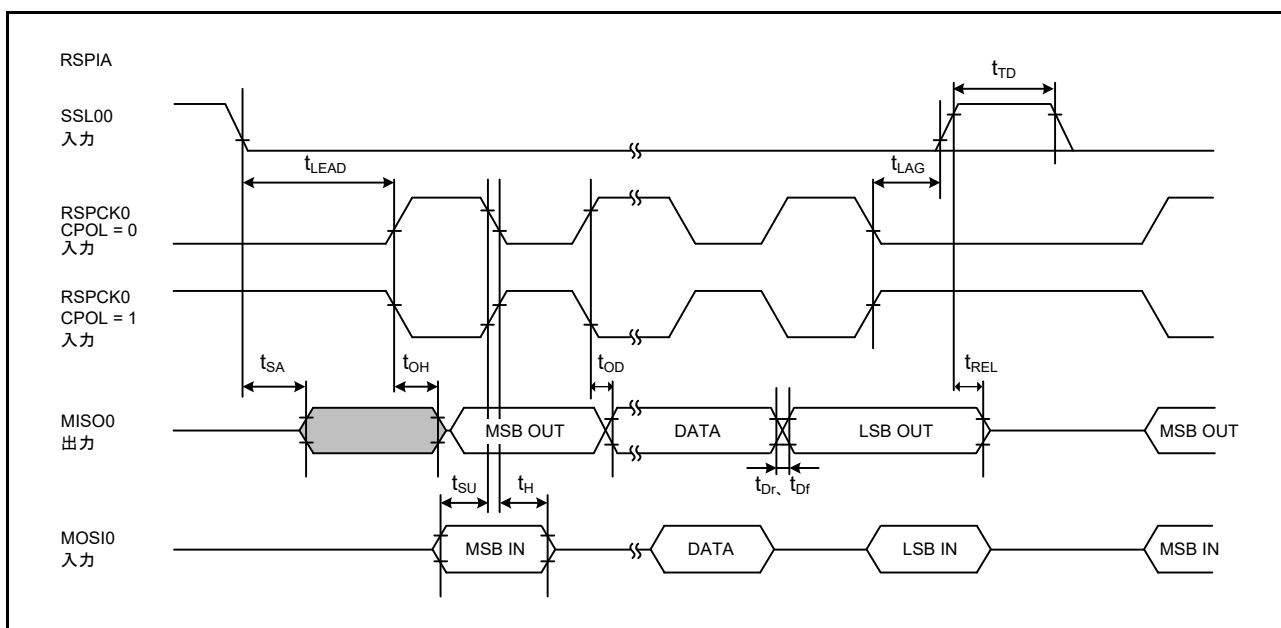


図 56.80 RSPCIA タイミング (スレーブ、Motorola SPI、CPHA = 1)

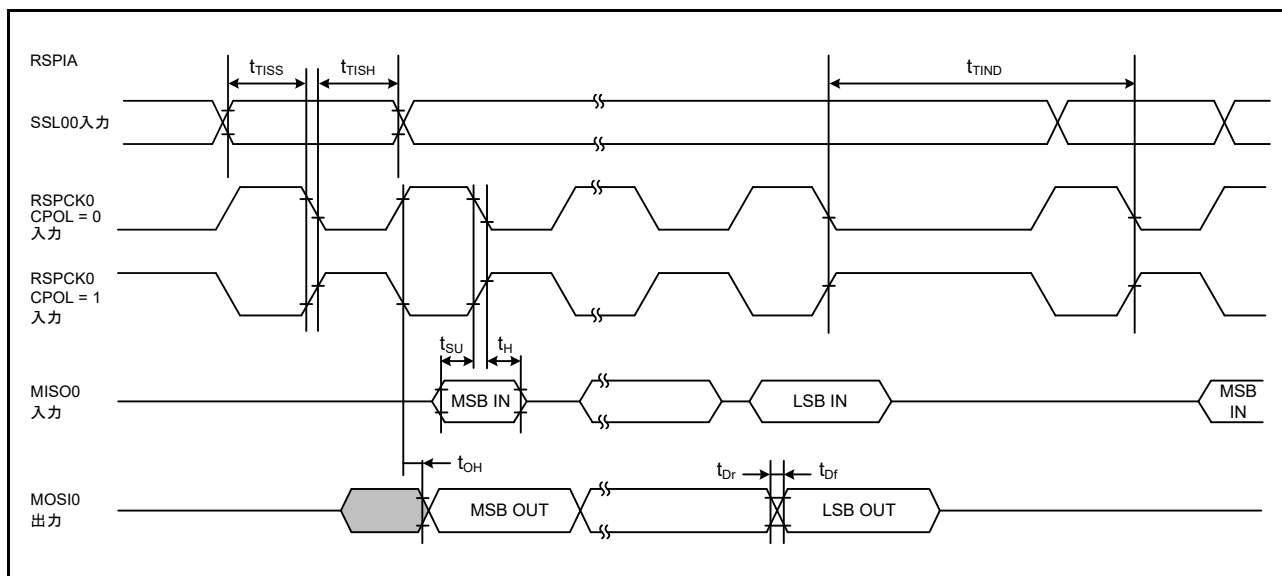


図 56.81 RSPIA タイミング (スレーブ、TI SSP、フレーム間遅延あり)

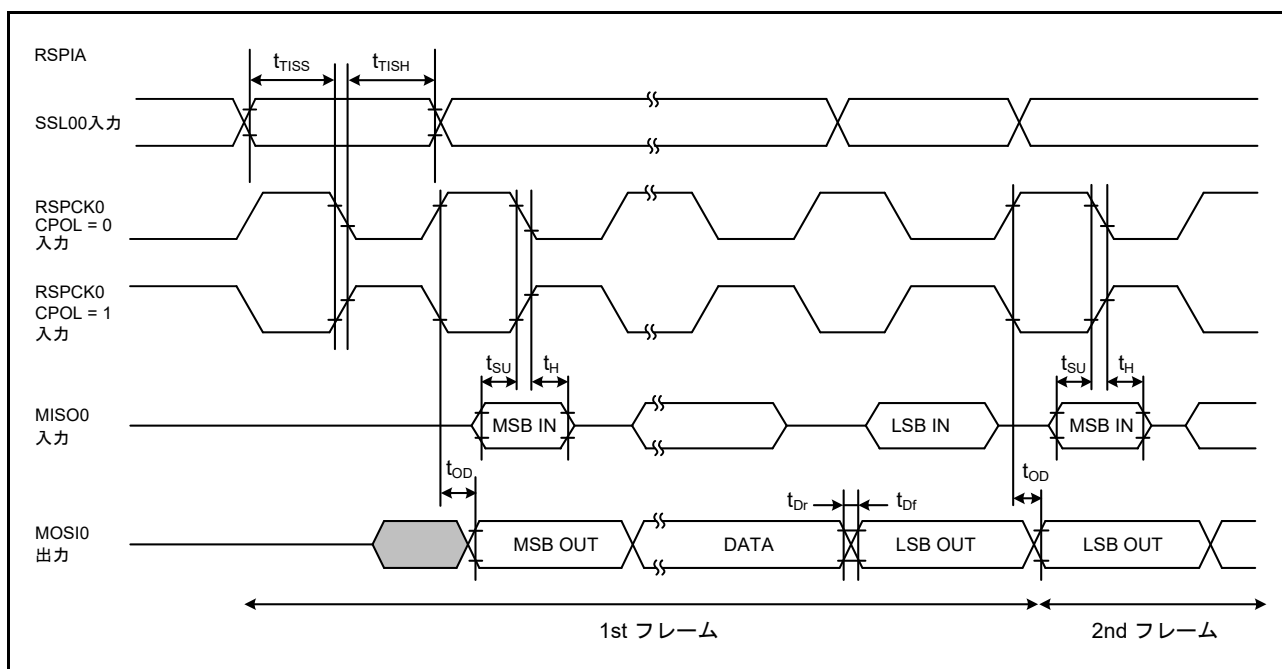


図 56.82 RSPIA タイミング (スレーブ、TI SSP、フレーム間遅延なし)

56.4.7.14 QSPIX

表56.45 QSPIXタイミング

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 ICLK = 8 ~ 120MHz, PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高速インタフェース用高駆動出力を選択時

項目	記号	min	max	単位	測定条件	
QSPIX	QSPCLKクロックサイクル	t _{QScyc}	2	48	t _{lcyc} (注1)	図56.83
	QSPCLKクロックHighパルス幅	t _{QSWH}	t _{QScyc} × 0.4	—	ns	
	QSPCLKクロックLowパルス幅	t _{QSWL}	t _{QScyc} × 0.4	—	ns	
QSPIX	データ入力セットアップ時間	t _{Su}	8	—	ns	図56.84
	データ入力ホールド時間	t _{IH}	0	—	ns	
	QSSLセットアップ時間	t _{LEAD}	(N + 0.5) × t _{QScyc} - 5 (注2)	(N + 0.5) × t _{QScyc} + 100 (注2)	ns	
	QSSLホールド時間	t _{LAG}	(N + 0.5) × t _{QScyc} - 5 (注3)	(N + 0.5) × t _{QScyc} + 100 (注3)	ns	
	データ出力遅延時間	t _{OD}	—	4	ns	
	データ出力ホールド時間	t _{OH}	-3.3	—	ns	
	連続転送遅延時間	t _{TD}	1	16	t _{QScyc}	

注1. t_{lcyc} : ICLKの周期
 注2. N : SPSSCR.SSSUビットの設定値 (0, 1)
 注3. N : SPSSCR.SSHLDビットの設定値 (0, 1)

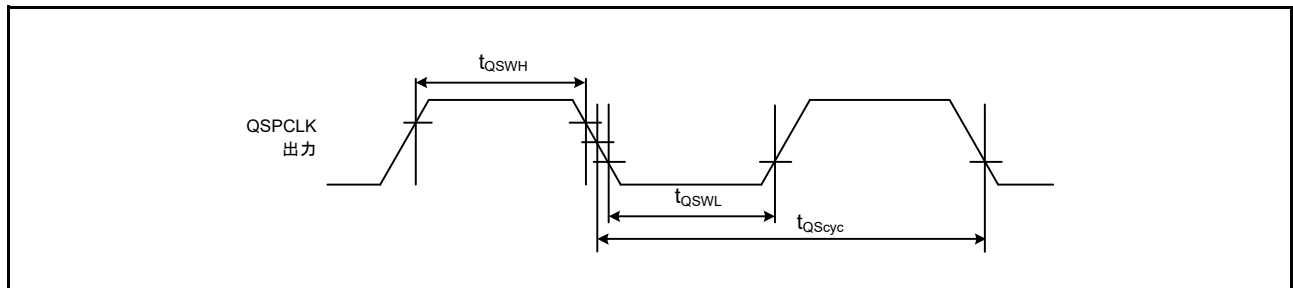


図 56.83 QSPIX クロックタイミング

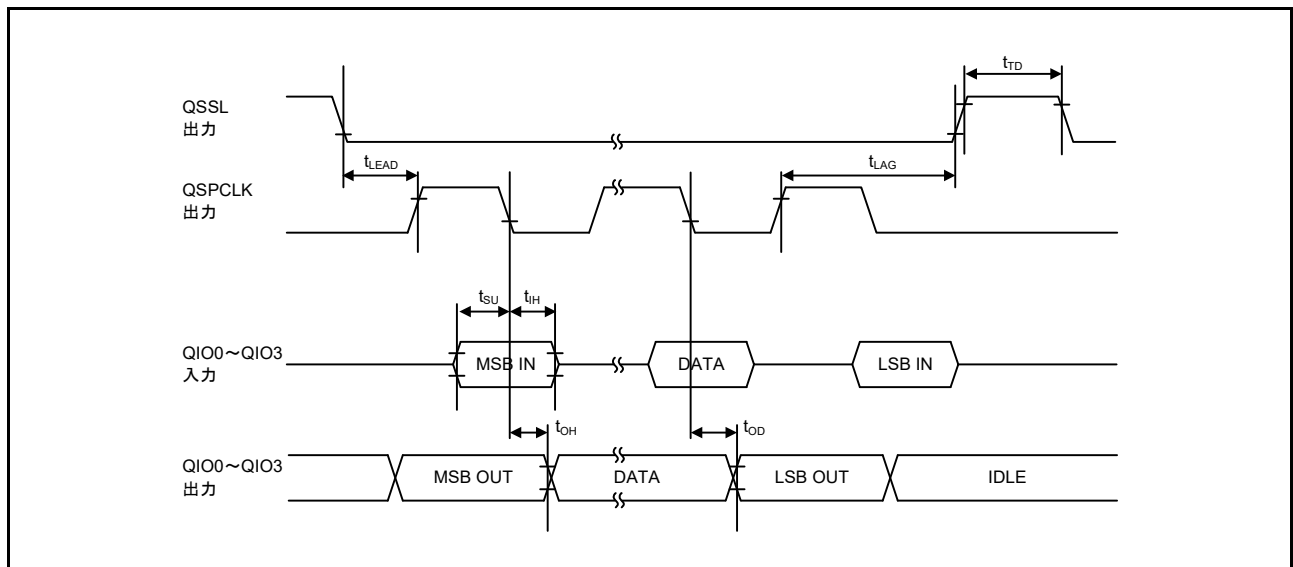


図 56.84 送受信タイミング

56.4.7.15 RIIC

表56.46 RIICタイミング(1)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr}

項目		記号	min (注1)	max	単位	測定条件
RIIC (Standard-mode, SMBus) ICFER.FMPE = 0	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IIcCyc} + 1300	—	ns	図56.85
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IIcCyc}	ns	
	SDA入カバスフリー時間	t _{BUF}	3(6) × t _{IIcCyc} + 300	—	ns	
	スタートコンディション入カホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	リスタートコンディション入カセットアップ時間	t _{STAS}	1000	—	ns	
	ストップコンディション入カセットアップ時間	t _{STOS}	1000	—	ns	
	データ入カセットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データ入カホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注2)	—	400	pF	
	RIIC (Fast-mode) ICFER.FMPE = 0	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IIcCyc} + 600	—	
SCL入力Highパルス幅		t _{SCLH}	3(6) × t _{IIcCyc} + 300	—	ns	
SCL入力Lowパルス幅		t _{SCLL}	3(6) × t _{IIcCyc} + 300	—	ns	
SCL、SDA入力立ち上がり時間		t _{Sr}	20 × (外付け プルアップ電圧 / 5.5V)	300	ns	
SCL、SDA入力立ち下がり時間		t _{Sf}	20 × (外付け プルアップ電圧 / 5.5V)	300	ns	
SCL、SDA入カスパイクパルス除去時間		t _{SP}	0	1(4) × t _{IIcCyc}	ns	
SDA入カバスフリー時間		t _{BUF}	3(6) × t _{IIcCyc} + 300	—	ns	
スタートコンディション入カホールド時間		t _{STAH}	t _{IIcCyc} + 300	—	ns	
リスタートコンディション入カセットアップ時間		t _{STAS}	300	—	ns	
ストップコンディション入カセットアップ時間		t _{STOS}	300	—	ns	
データ入カセットアップ時間		t _{SDAS}	t _{IIcCyc} + 50	—	ns	
データ入カホールド時間		t _{SDAH}	0	—	ns	
SCL、SDAの容量性負荷		C _b (注2)	—	400	pF	

注. t_{IIcCyc} : RIICの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_bはバスラインの容量総計です。

表 56.47 RIIC タイミング (2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr}$

項目	記号	min (注1)	max	単位	測定条件	
RIIC (Fast-mode+) ICFER.FMPE = 1	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 240$	—	ns	図 56.85
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	スタートコンディション入力ホールド時間	t_{STAH}	$t_{IICcyc} + 120$	—	ns	
	リスタートコンディション入力セットアップ時間	t_{STAS}	120	—	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 20$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b (注2)	—	550	pF	

注. t_{IICcyc} : RIICの内部基準クロック (IICφ)の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

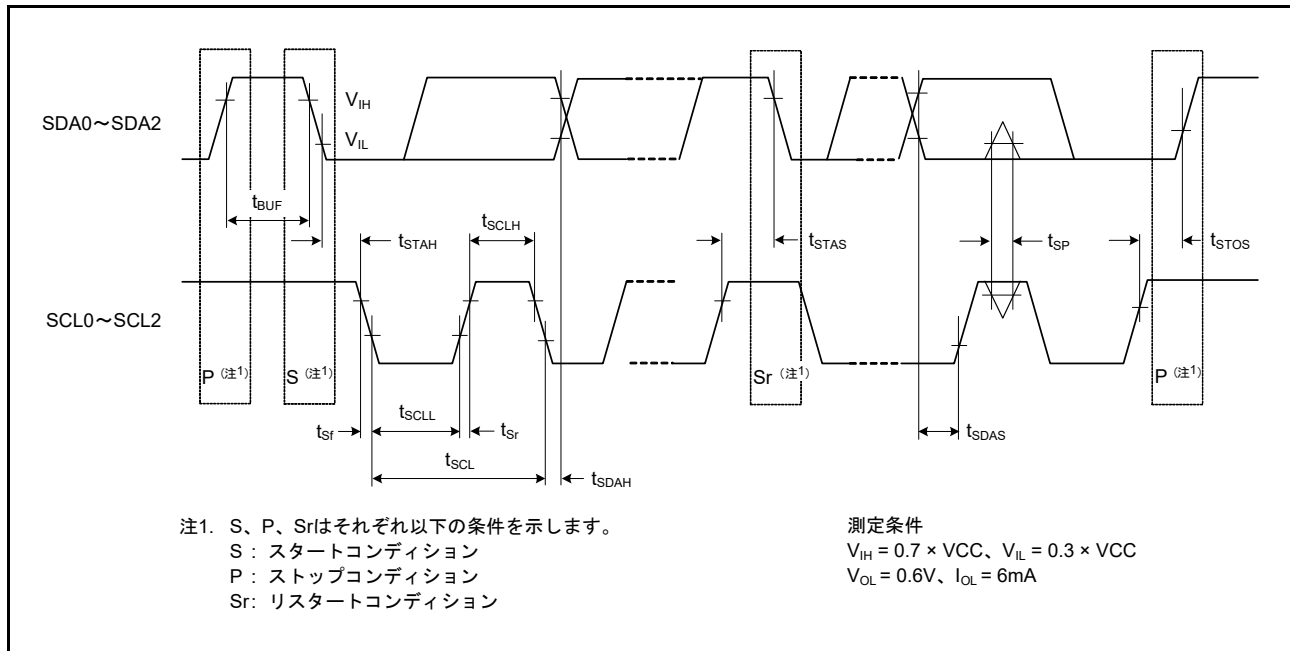


図 56.85 RIIC バスインタフェース入出力タイミング

56.4.7.16 RIICHS

表 56.48 RIICHS タイミング (1) (1 / 2)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr}

項目	記号	min (注1)	max	単位	測定条件	
RIICHS (Standard-mode, SMBus) ICFER.FMPE = 0	SCLHS 入力サイクル時間	t _{SCL}	10(18) × t _{IIcCyc} + 1300	—	ns	図 56.86
	SCLHS 入力 High パルス幅	t _{SCLH}	5(9) × t _{IIcCyc} + 300	—	ns	
	SCLHS 入力 Low パルス幅	t _{SCLL}	5(9) × t _{IIcCyc} + 300	—	ns	
	SCLHS、SDAHS 入力立ち上がり時間	t _{Sr}	—	1000	ns	
	SCLHS、SDAHS 入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCLHS、SDAHS 入カスパイクパルス 除去時間	t _{SP}	0	1(4) × t _{IIcCyc}	ns	
	SDAHS 入力バスフリー時間	t _{BUF}	5(9) × t _{IIcCyc} + 300	—	ns	
	スタートコンディション入力ホールド 時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	リスタートコンディション入力 セットアップ時間	t _{STAS}	1000	—	ns	
	ストップコンディション入力 セットアップ時間	t _{STOS}	1000	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCLHS、SDAHS の容量性負荷	C _b (注2)	—	400	pF	
	RIICHS (Fast-mode) ICFER.FMPE = 0	SCLHS 入力サイクル時間	t _{SCL}	10(18) × t _{IIcCyc} + 600	—	
SCLHS 入力 High パルス幅		t _{SCLH}	5(9) × t _{IIcCyc} + 300	—	ns	
SCLHS 入力 Low パルス幅		t _{SCLL}	5(9) × t _{IIcCyc} + 300	—	ns	
SCLHS、SDAHS 入力立ち上がり時間		t _{Sr}	20 × (外付け プルアップ電圧 / 5.5V)	300	ns	
SCLHS、SDAHS 入力立ち下がり時間		t _{Sf}	20 × (外付け プルアップ電圧 / 5.5V)	300	ns	
SCLHS、SDAHS 入カスパイクパルス 除去時間		t _{SP}	0	1(4) × t _{IIcCyc}	ns	
SDAHS 入力バスフリー時間		t _{BUF}	5(9) × t _{IIcCyc} + 300	—	ns	
スタートコンディション入力ホールド 時間		t _{STAH}	t _{IIcCyc} + 300	—	ns	
リスタートコンディション入力 セットアップ時間		t _{STAS}	300	—	ns	
ストップコンディション入力 セットアップ時間		t _{STOS}	300	—	ns	
データ入力セットアップ時間		t _{SDAS}	t _{IIcCyc} + 50	—	ns	
データ入力ホールド時間		t _{SDAH}	0	—	ns	
SCLHS、SDAHS の容量性負荷		C _b (注2)	—	400	pF	
RIICHS (Fast-mode+) ICFER.FMPE = 1		SCLHS 入力サイクル時間	t _{SCL}	10(18) × t _{IIcCyc} + 240	—	ns
	SCLHS 入力 High パルス幅	t _{SCLH}	5(9) × t _{IIcCyc} + 120	—	ns	
	SCLHS 入力 Low パルス幅	t _{SCLL}	5(9) × t _{IIcCyc} + 120	—	ns	
	SCLHS、SDAHS 入力立ち上がり時間	t _{Sr}	—	120	ns	
	SCLHS、SDAHS 入力立ち下がり時間	t _{Sf}	—	120	ns	
	SCLHS、SDAHS 入カスパイクパルス 除去時間	t _{SP}	0	1(4) × t _{IIcCyc}	ns	
	SDAHS 入力バスフリー時間	t _{BUF}	5(9) × t _{IIcCyc} + 120	—	ns	
	スタートコンディション入力ホールド 時間	t _{STAH}	t _{IIcCyc} + 120	—	ns	

表 56.48 RIICHS タイミング (1) (2 / 2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr}$

項目	記号	min (注1)	max	単位	測定条件	
RIICHS (Fast-mode+) ICFER.FMPE = 1	リスタートコンディション入力 セットアップ時間	t_{STAS}	120	—	ns	図 56.86
	ストップコンディション入力 セットアップ時間	t_{STOS}	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 20$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCLHS、SDAHSの容量性負荷	C_b (注2)	—	550	pF	

注. t_{IICcyc} : RIICHSの内部基準クロック (IICφ)の周期

注1. ()内の数値は、ICICR.NFE = 1でデジタルフィルタを有効にした状態でICICR.NF[3:0] = 0011bの場合を示します。

注2. C_b はバスラインの容量総計です。

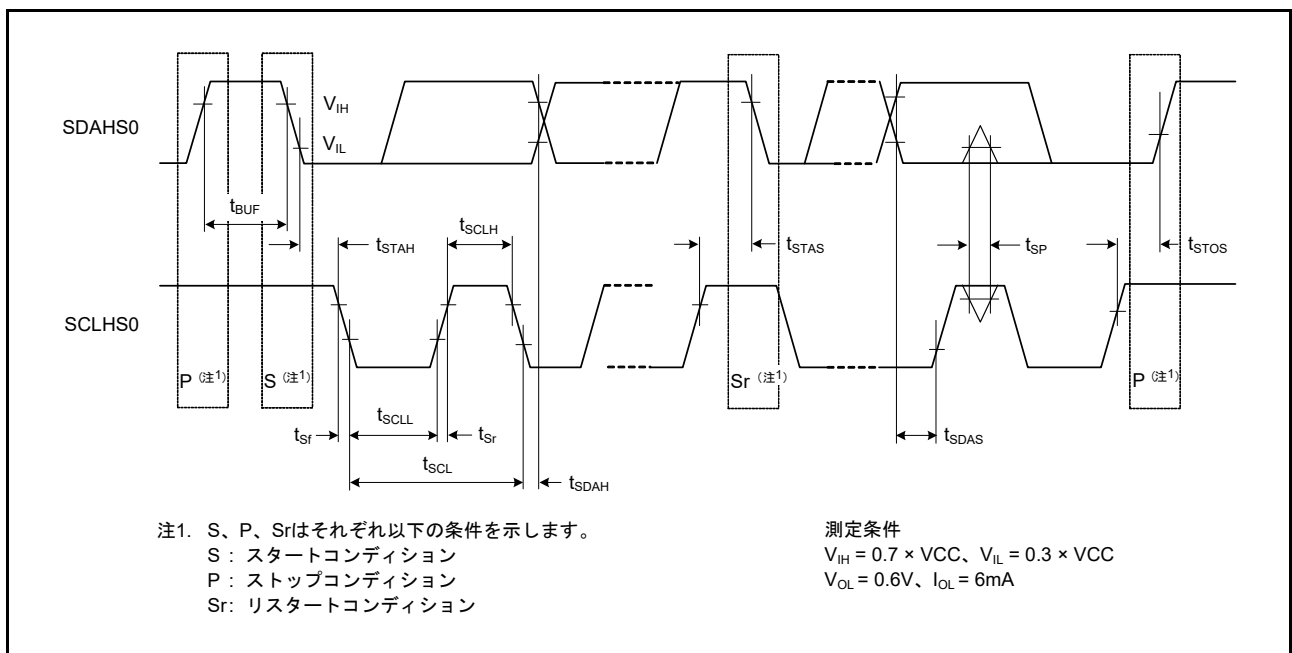


図 56.86 RIICHS バスインタフェース入出力タイミング

表 56.49 RIICHS タイミング (2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目		記号	min (注1)	typ	max	単位	測定条件		
RIICHS (Hs-mode) ICFER.HSME = 1	SCLHS 入力サイクル時間	t_{SCL}	$10(12) \times t_{IICcyc} + 80$	—	—	ns	図 56.87		
	SCLHS 入力 High パルス幅	t_{SCLH}	$5(6) \times t_{IICcyc}$	—	—	ns			
	SCLHS 入力 Low パルス幅	t_{SCLL}	$5(6) \times t_{IICcyc}$	—	—	ns			
	SCLHS 入力立ち上がり時間	$C_b=400pF$	t_{SrCL}	—	—	80		ns	
		$C_b=100pF$		—	—	40			
	SDAHS 入力立ち上がり時間	$C_b=400pF$	t_{SrDA}	—	—	160		ns	
		$C_b=100pF$		—	—	80			
	SCLHS 入力立ち下がり時間	$C_b=400pF$	t_{SfCL}	—	—	80		ns	
		$C_b=100pF$		—	—	40			
	SDAHS 入力立ち下がり時間	$C_b=400pF$	t_{SfDA}	—	—	160		ns	
		$C_b=100pF$		—	—	80			
	SCLHS、SDAHS 入カスパイクパルス除去時間		t_{SP}	0	—	$1(1) \times t_{IICcyc}$		ns	図 56.86
	SDAHS 入カバスフリー時間		t_{BUF}	$5(6) \times t_{IICcyc} + 40$	—	—		ns	図 56.87
	スタートコンディション入カホールド時間		t_{STAH}	$t_{IICcyc} + 40$	—	—		ns	
リスタートコンディション入カセットアップ時間		t_{STAS}	40	—	—	ns			
ストップコンディション入カセットアップ時間		t_{STOS}	40	—	—	ns			
データ入カセットアップ時間		t_{SDAS}	10	—	—	ns			
データ入カホールド時間	$C_b=400pF$	t_{SDAH}	0	—	150	ns			
	$C_b=100pF$		0	—	70				
SCLHS、SDAHS の容量性負荷		C_b (注2)	—	—	400	pF			
SCLHS 出力最短 High パルス幅	$C_b=400pF$	$t_{SCLH(min)}$	—	120	233	ns			
	$C_b=100pF$		—	60	150				
SCLHS 出力最短 Low パルス幅	$C_b=400pF$	$t_{SCLL(min)}$	—	—	320	ns			
	$C_b=100pF$		—	—	160				

注. t_{IICcyc} : RIICHS の内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICICR.NFE = 1 でデジタルフィルタを有効にした状態で ICICR.NF[3:0] = 0011b の場合を示します。ただし、Hs モード時は下位 2 ビットが無視され、デジタルフィルタ 1 段相当です。

注2. C_b はバスラインの容量総計です。

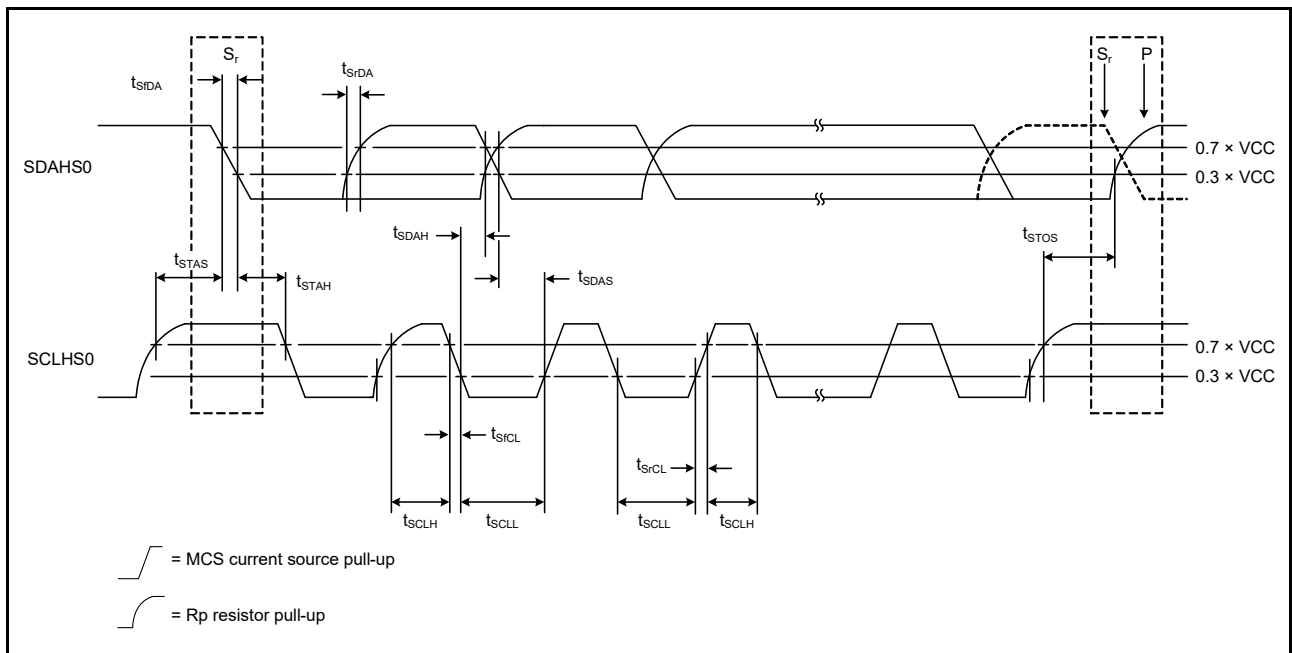


図 56.87 RIICHS バスインタフェース入出力タイミング (Hs モード)

56.4.7.17 SDHI

表56.50 SDHI タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件 (注1)
SDHI	SDHI_CLK端子出力サイクル時間	$t_{PP(SD)}$	20	—	ns	図56.88
	SDHI_CLK端子出力Highパルス幅	$t_{WH(SD)}$	$0.4 \times t_{PP(SD)}$	—	ns	
	SDHI_CLK端子出力Lowパルス幅	$t_{WL(SD)}$	$0.4 \times t_{PP(SD)}$	—	ns	
	SDHI_CLK端子出力立ち上がり時間	$t_{TLH(SD)}$	—	3	ns	
	SDHI_CLK端子出力立ち下がり時間	$t_{THL(SD)}$	—	3	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0端子 出力データ遅延時間(データ転送モード)	$t_{ODLY(SD)}$	-6.5	4	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0端子 入力データセットアップ時間	$t_{SU(SD)}$	6	—	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0端子 入力データホールド時間	$t_{H(SD)}$	2	—	ns	

注1. 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせて使用することを推奨します。SDHIのAC特性は、各グループ内の端子間で測定しています。

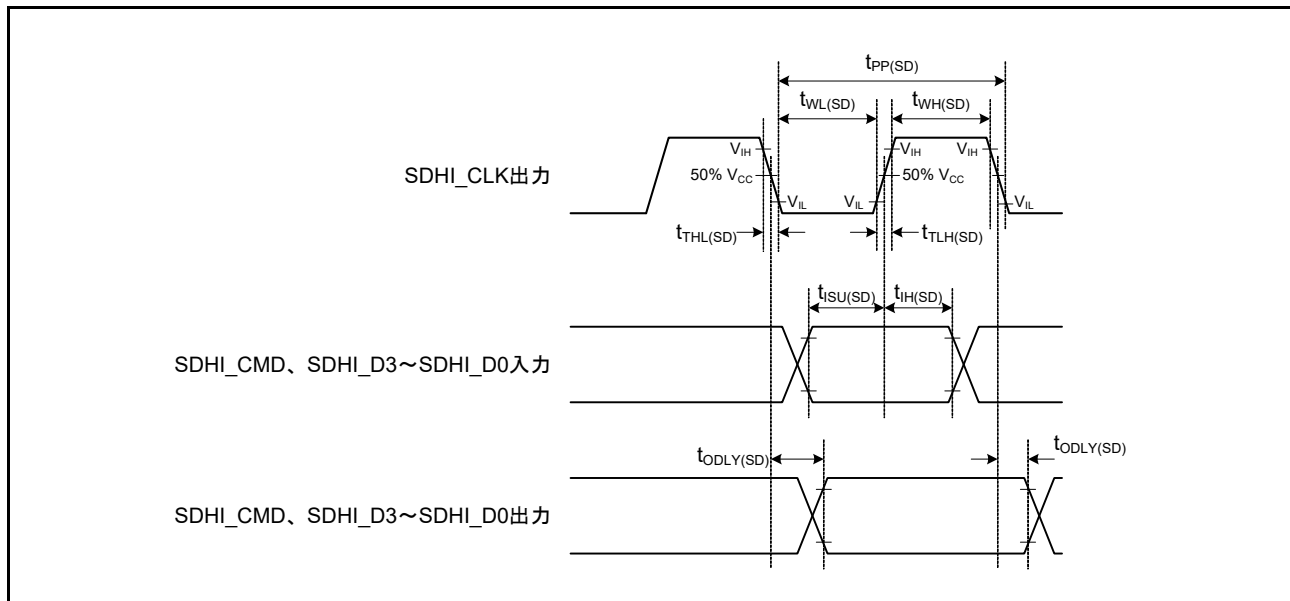


図 56.88 SD ホストインタフェース入出力信号タイミング

56.5 USB 特性

表56.51 内蔵USB ロースピード (Hostのみ) 特性 (DP, DM端子特性)

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 3.0 \sim 3.6V$, $3.0V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $U_{CLK} = 48MHz$, $P_{CLKA} = 8 \sim 120MHz$,
 $P_{CLKB} = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min	Typ	max	単位	測定条件	
入力特性	Highレベル入力電圧	V_{IH}	2.0	—	—	V	
	Lowレベル入力電圧	V_{IL}	—	—	0.8	V	
	差動入力感度	V_{DI}	0.2	—	—	V	DP - DM
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	
出力特性	Highレベル出力電圧	V_{OH}	2.8	—	3.6	V	$I_{OH} = -200\mu A$
	Lowレベル出力電圧	V_{OL}	0.0	—	0.3	V	$I_{OL} = 2mA$
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図56.89
	立ち上がり時間	t_{LR}	75	—	300	ns	
	立ち下がり時間	t_{LF}	75	—	300	ns	
	立ち上がり/立ち下がり時間比	t_{LR} / t_{LF}	80	—	125	%	t_{LR} / t_{LF}
ブルダウン特性	DP/DMブルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	—	24.80	k Ω	

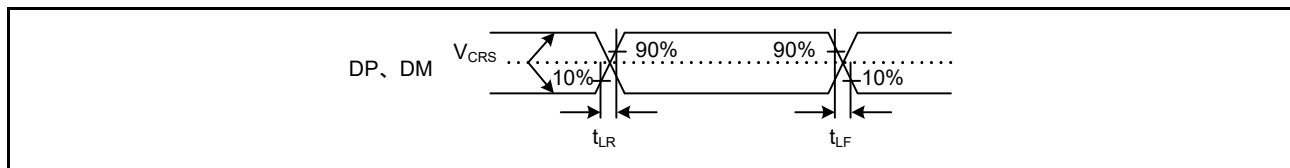


図 56.89 DP、DM 出カタイミング (ロースピード時)

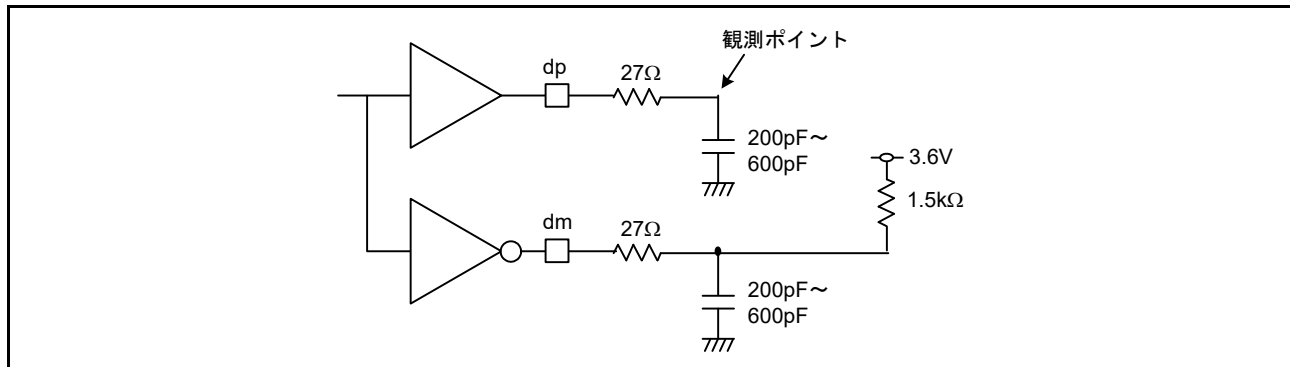


図 56.90 測定回路 (ロースピード時)

表 56.52 内蔵USBフルスピード特性(DP, DM端子特性)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 3.0 \sim 3.6V$, $3.0V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $UCLK = 48MHz$, $PCLKA = 8 \sim 120MHz$,
 $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min	Typ	max	単位	測定条件	
入力特性	Highレベル入力電圧	V_{IH}	2.0	—	—	V	
	Lowレベル入力電圧	V_{IL}	—	—	0.8	V	
	差動入力感度	V_{DI}	0.2	—	—	V	DP - DM
	差動共通モードレンジ	V_{CM}	0.8	—	2.5	V	
出力特性	Highレベル出力電圧	V_{OH}	2.8	—	3.6	V	$I_{OH} = -200\mu A$
	Lowレベル出力電圧	V_{OL}	0.0	—	0.3	V	$I_{OL} = 2mA$
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 56.91
	立ち上がり時間	t_{FR}	4	—	20	ns	
	立ち下がり時間	t_{FF}	4	—	20	ns	
	立ち上がり/立ち下がり時間比	t_{FR}/t_{FF}	90	—	111.11	%	t_{FR}/t_{FF}
	出力抵抗	Z_{DRV}	28	—	44	Ω	$R_s = 27\Omega$ 含む
プリアップ、 プルダウン 特性	DP プリアップ抵抗 (ファンクション選択時)	R_{pu}	0.900	—	1.575	k Ω	アイドル時
			1.425	—	3.090	k Ω	送受信時
	DP/DM プルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	—	24.80	k Ω	

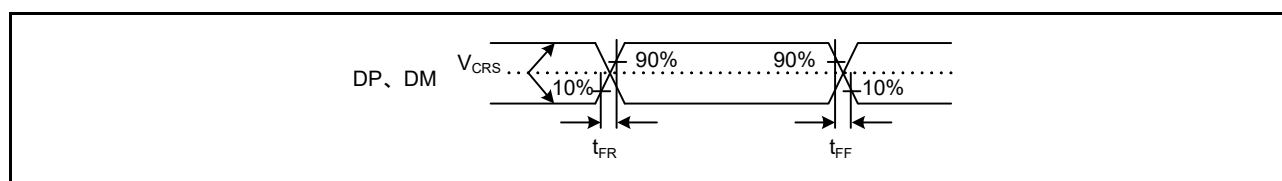


図 56.91 DP、DM 出カタイミング (フルスピード時)

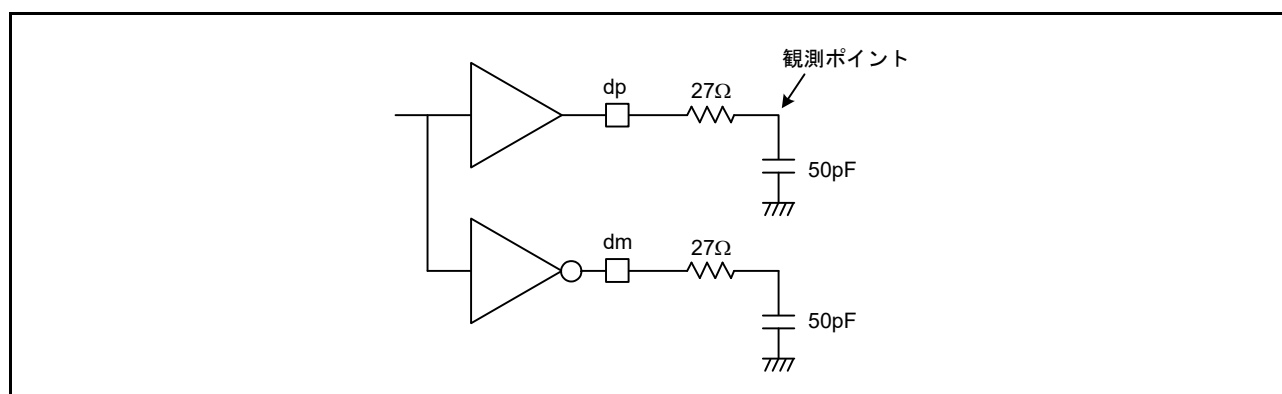


図 56.92 測定回路 (フルスピード時)

56.6 A/D 変換特性

表 56.53 12ビット A/D (ユニット0) 変換特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKB = PCLKC = 1MHz \sim 60MHz$, $T_a = T_{opr}$,
 信号源インピーダンス = $1.0k\Omega$

項目	min	typ	max	単位	測定条件
分解能	8	—	12	ビット	
アナログ入力容量	—	—	30	pF	
変換時間 (注1) (PCLKC = 60MHz時)	0.48 (0.267) (注2)	—	—	μs	サンプリング16ステート
オフセット誤差	—	± 1.0	± 2.5	LSB	
フルスケール誤差	—	± 1.0	± 2.5	LSB	
量子化誤差	—	± 0.5	—	LSB	
絶対精度	—	± 2.5	± 4.5	LSB	
DNL 微分非直線性誤差	—	± 0.5	± 1.5	LSB	
INL 積分非直線性誤差	—	± 1.0	± 2.5	LSB	

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表 56.54 12ビット A/D (ユニット1) 変換特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKB = PCLKD = 1MHz \sim 60MHz$, $T_a = T_{opr}$,
 信号源インピーダンス = $1.0k\Omega$

項目	min	typ	max	単位	測定条件
分解能	8	—	12	ビット	
変換時間 (注1) (PCLKD = 60MHz時)	0.88 (0.633) (注2)	—	—	μs	サンプリング38ステート (ADSAM.SAM = 1)
変換時間 (注1) (PCLKD = 30MHz時)	1 (0.500) (注2)	—	—	μs	サンプリング15ステート (ADSAM.SAM = 1)
アナログ入力容量	—	—	30	pF	
オフセット誤差	—	± 2.0	± 3.5	LSB	
フルスケール誤差	—	± 2.0	± 3.5	LSB	
量子化誤差	—	± 0.5	—	LSB	
絶対精度	—	± 4.0	± 6.0	LSB	
DNL 微分非直線性誤差 (PCLKD = 60MHz時)	—	± 1.5	± 4.0	LSB	
DNL 微分非直線性誤差 (PCLKD = 30MHz時)	—	± 1.5	± 2.5	LSB	
INL 積分非直線性誤差 (PCLKD = 60MHz時)	—	± 2.0	± 4.0	LSB	
INL 積分非直線性誤差 (PCLKD = 30MHz時)	—	± 2.0	± 3.5	LSB	

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表 56.55 A/D内部基準電圧特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKB = PCLKD = 60MHz$, $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.13	1.18	1.23	V	

56.7 温度センサ特性

表 56.56 温度センサ特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
相対精度	—	±1	—	°C	
温度傾斜	—	4	—	mV/°C	
出力電位	—	1.21	—	V	$T_a = 25^\circ C$
温度センサ起動時間	—	—	30	μs	
サンプリング時間(注1)	4.15	—	—	μs	

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD1.ADSSTRTレジスタを設定してください。

56.8 CTSU 特性

表 56.57 CTSU 特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
TSCAP端子外付け容量	C_{tscap}	9	10	11	nF	
TS端子負荷容量	C_{base}	—	—	50	pF	
Highレベル総出力電流(注1)	ΣI_{OH}	—	—	-40(注2)	mA	相互容量方式適用時

注1. TSCAP、TS0～TS16以外の端子の I_{OH} の総和

注2. 相互容量方式では、他のI/Oの電流出力が大きいか、VCCの電圧降下が大きくなり、計測値に影響します。CTSU使用時は他の端子の I_{OH} の総和をこの値以下にすることを推奨します。

56.9 パワーオンリセット回路、電圧検出回路特性

表 56.58 パワーオンリセット回路、電圧検出回路特性

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット(POR)	低消費電力機能無効(注1)	V_{POR}	2.5	2.6	2.7	V	図 56.93
		低消費電力機能有効(注2)		1.8	2.25	2.7		
	電圧検出回路(LVD0)		V_{det0_1}	2.84	2.94	3.04		図 56.94
			V_{det0_2}	2.77	2.87	2.97		
			V_{det0_3}	2.70	2.80	2.90		
	電圧検出回路(LVD1)		V_{det1_1}	2.89	2.99	3.09		図 56.95
			V_{det1_2}	2.82	2.92	3.02		
			V_{det1_3}	2.75	2.85	2.95		
	電圧検出回路(LVD2)		V_{det2_1}	2.89	2.99	3.09		図 56.96
			V_{det2_2}	2.82	2.92	3.02		
			V_{det2_3}	2.75	2.85	2.95		
	内部リセット時間	パワーオンリセット時間	t_{POR}	—	4.6	—		ms
LVD0リセット時間		t_{LVD0}	—	0.70	—	図 56.94		
LVD1リセット時間		t_{LVD1}	—	0.57	—	図 56.95		
LVD2リセット時間		t_{LVD2}	—	0.57	—	図 56.96		
最小VCC低下時間		$t_{V_{OFF}}$	200	—	—	μs	図 56.93、 図 56.94	
応答遅延時間		t_{det}	—	—	200	μs	図 56.93~ 図 56.96	
LVD動作安定時間(LVD有効切り替え時)		$t_{d(E-A)}$	—	—	10	μs	図 56.95、 図 56.96	
ヒステリシス幅(LVD1, LVD2)		V_{LVH}	—	70	—	mV		

注. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

注1. 低消費電力機能無効 DEEPCUT[1:0] = 00b、または01b

注2. 低消費電力機能有効 DEEPCUT[1:0] = 11b

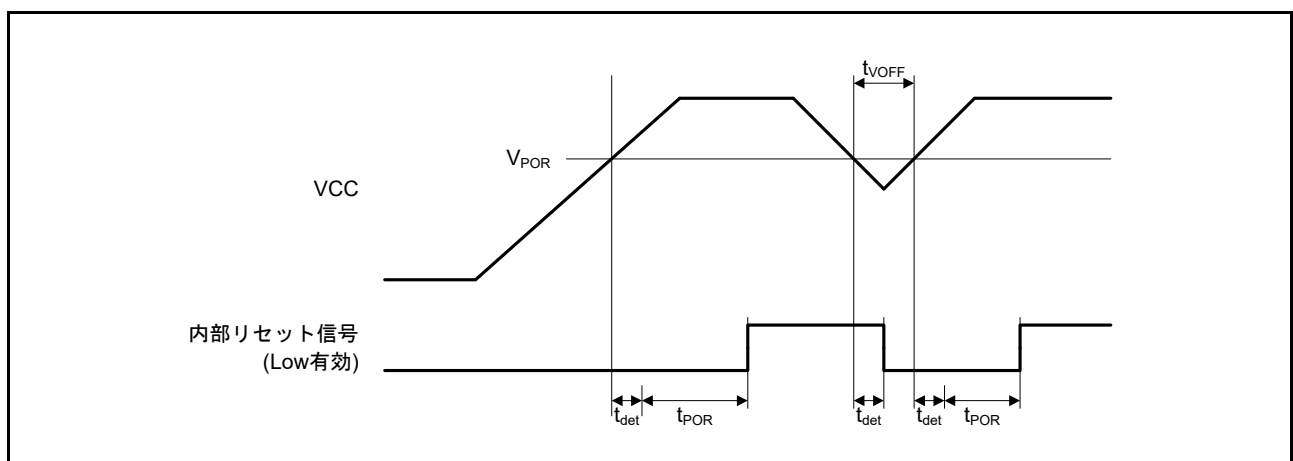
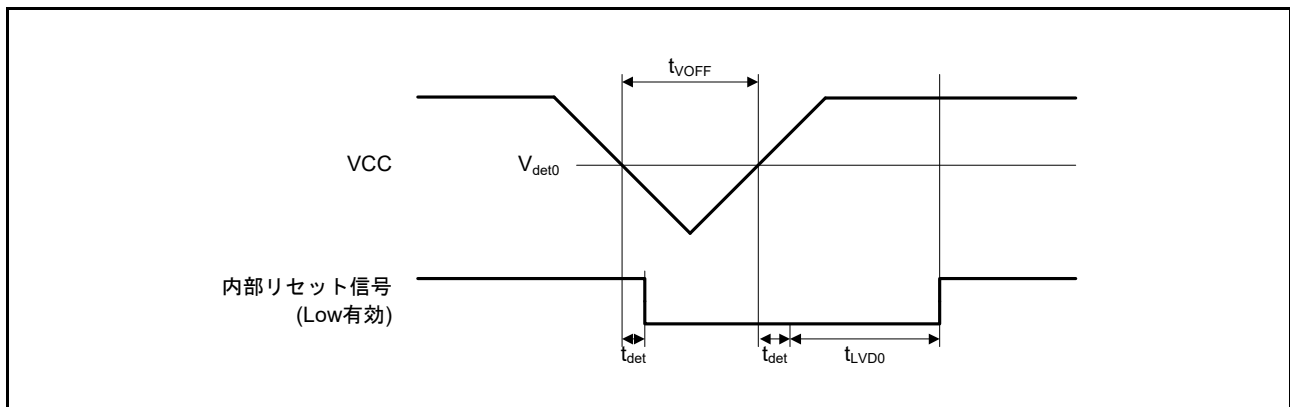
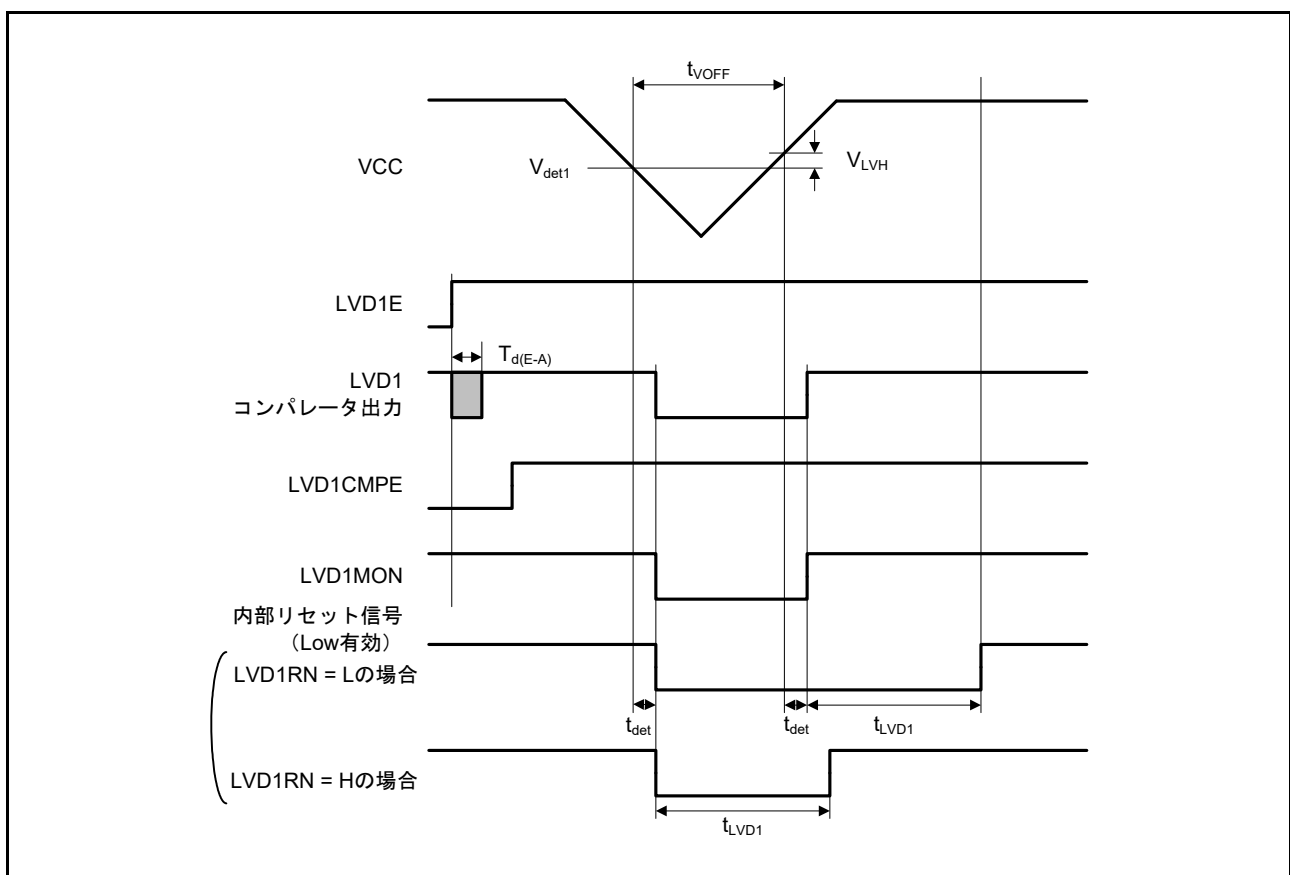
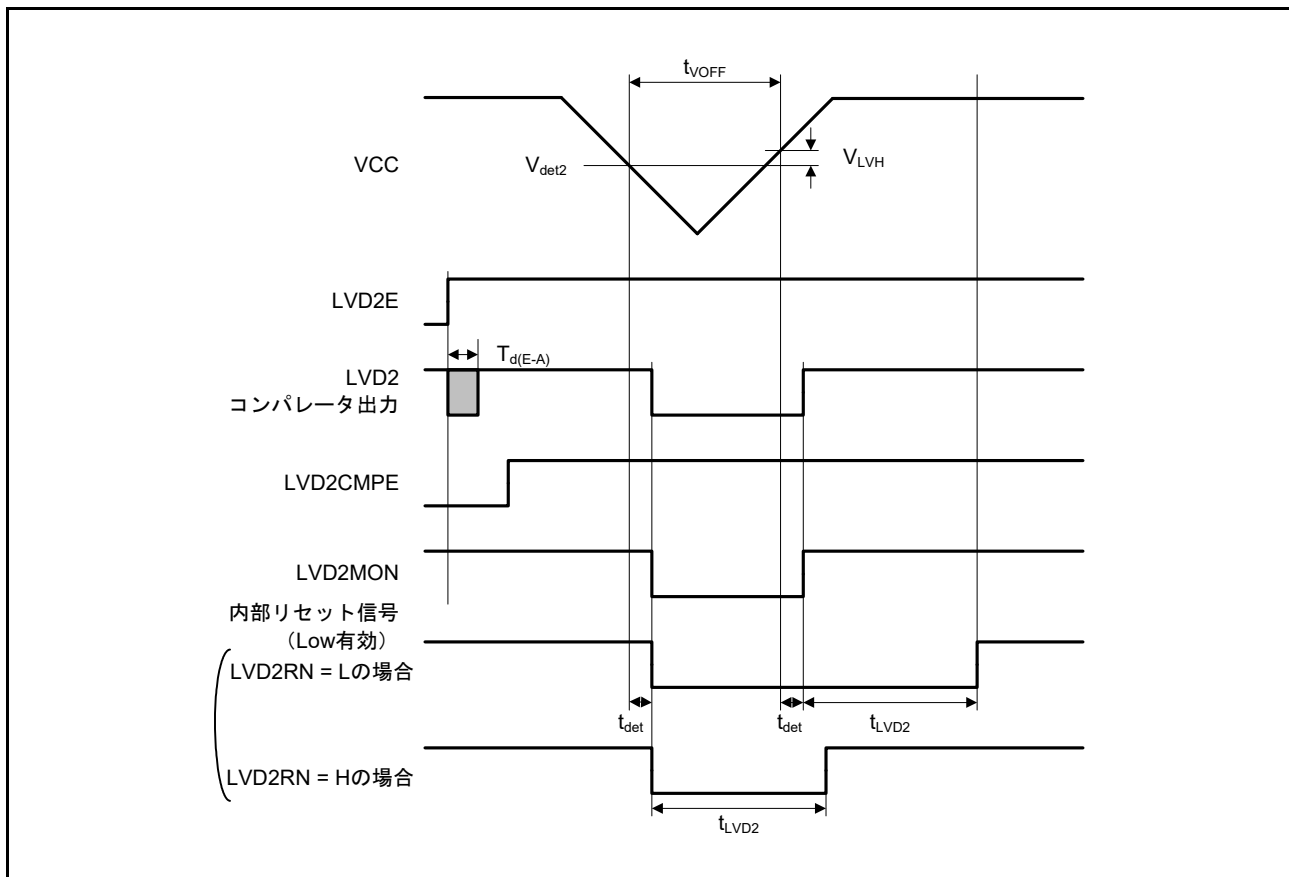


図 56.93 パワーオンリセットタイミング

図 56.94 電圧検出回路タイミング (V_{det0})図 56.95 電圧検出回路タイミング (V_{det1})

図 56.96 電圧検出回路タイミング (V_{det2})

56.10 発振停止検出タイミング

表 56.59 発振停止検出回路特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 56.97

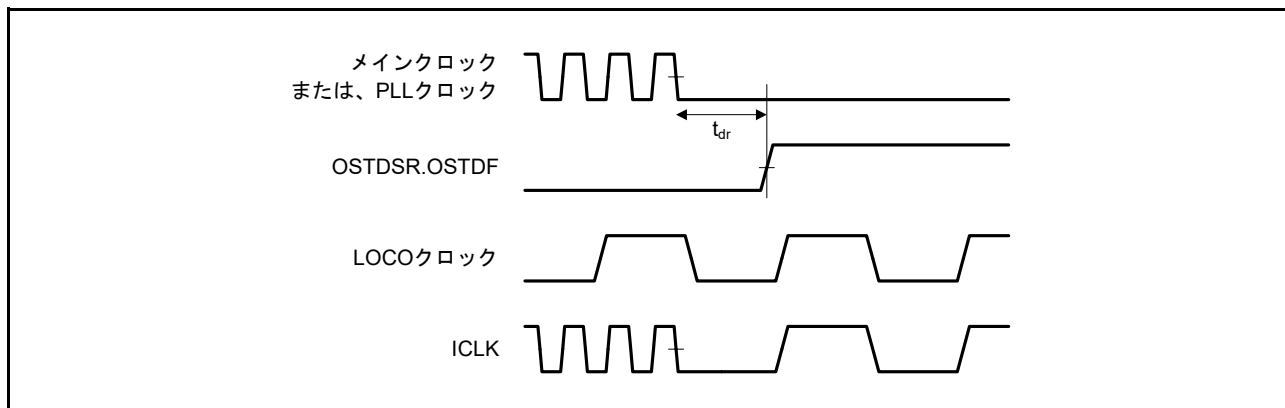


図 56.97 発振停止検出タイミング

56.11 バッテリバックアップ機能特性

表 56.60 バッテリバックアップ機能特性

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 V_{BATT} = 1.62 ~ 3.6V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
バッテリバックアップ切り替え電圧レベル	V _{DETBATT}	2.50	2.60	2.70	V	図 56.98
VCC 電圧低下電源切り替え時 V _{BATT} 下限電圧	V _{BATT_{SW}}	2.00	—	—	V	
切り替え可能VCCオフ期間 (注1)	t _{VOFFBATT}	200	—	—	μs	
バックアップ領域パワーダウン検出レベル	V _{PDR(BKP)}	1.45	1.5	1.55	V	図 56.99
バックアップ領域リセット信号アサート遅延時間 (注2)	t _{p(PDRL)}	—	—	2000	μs	
バックアップ領域リセット信号ネゲート遅延時間	t _{p(PDRH)}	—	—	1000	μs	
タンパ入力パルス幅	t _{w(TAMPI)}	200	—	—	ns	図 56.100

注1. 切り替え可能VCCオフ期間は、VCCがバッテリバックアップ切り替え電圧レベルV_{DETBATT}のmin値を下回ってから、VBATT端子からの電源供給に切り替わるまでの時間です。この時間内にVCCが復旧した場合、VBATTからの供給に切り替わずにVCCからの供給のままになります。

注2. この時間以内にV_{BKP}が復旧した場合、バックアップ領域リセット信号が生成されないことがあります。

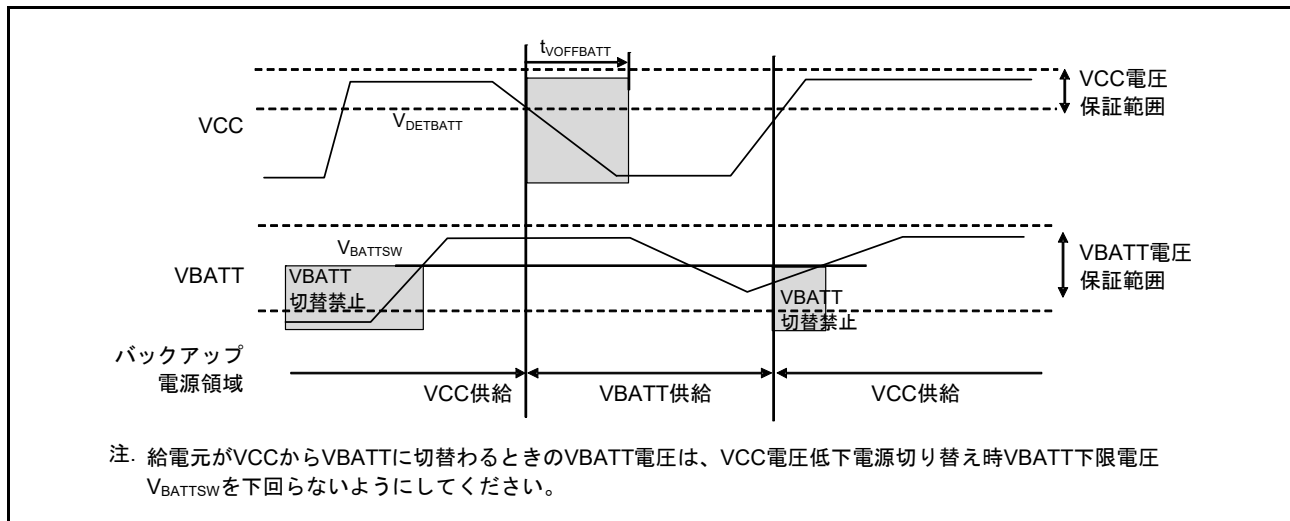


図 56.98 バッテリバックアップ機能特性

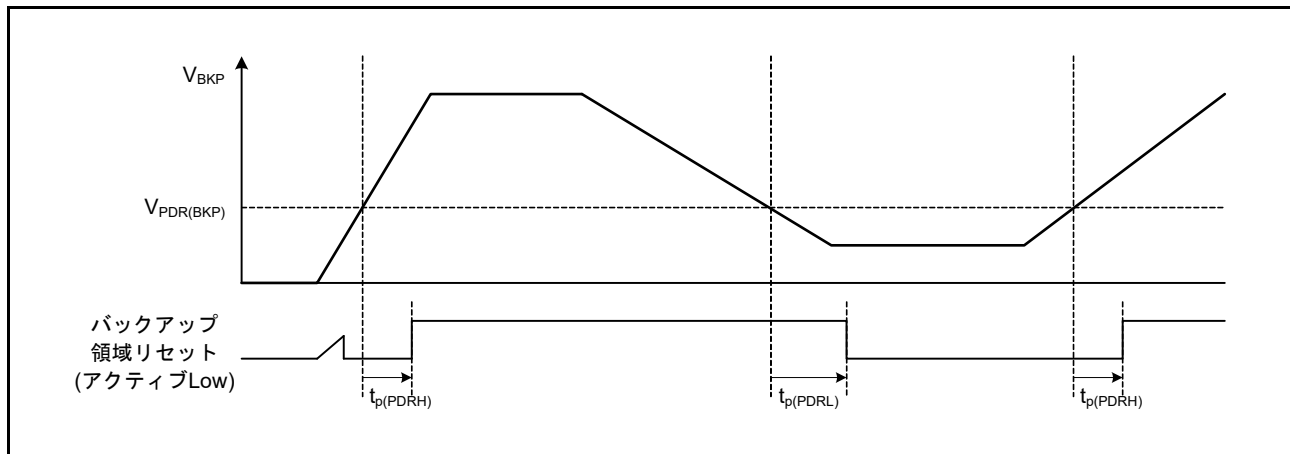


図 56.99 バックアップ領域リセット特性

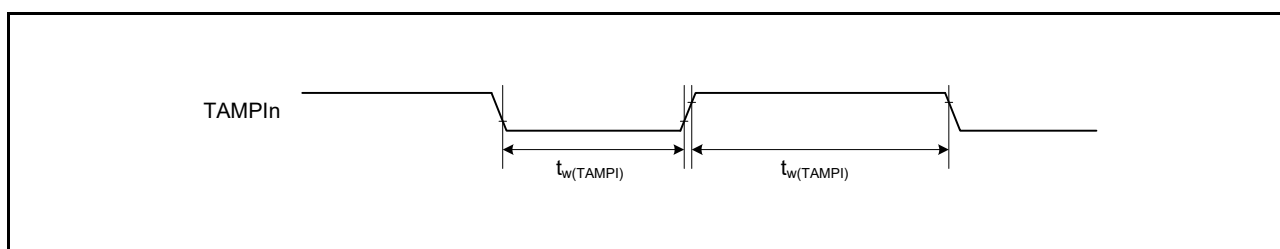


図 56.100 TAMPIn 入力タイミング

56.12 フラッシュメモリ特性

表 56.61 コードフラッシュメモリ特性

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,

プログラム/イレーズ時の動作温度範囲 : T_a = T_{opr}

項目	記号	FCLK = 4MHz			FCLK = 15MHz			20MHz ≤ FCLK ≤ 60MHz			単位	測定条件	
		min	typ	max	min	typ	max	min	typ	max			
プログラム時間 N _{PEC} ≤ 100回 のとき	128バイト	t _{P128}	—	0.75	13.2	—	0.38	6.6	—	0.34	6	ms	
	8Kバイト	t _{P8K}	—	49	176	—	25	88	—	22	80	ms	
	32Kバイト	t _{P32K}	—	194	704	—	97	352	—	88	320	ms	
プログラム時間 N _{PEC} > 100回 のとき	128バイト	t _{P128}	—	0.91	15.8	—	0.46	8	—	0.41	7.2	ms	
	8Kバイト	t _{P8K}	—	60	212	—	30	106	—	27	96	ms	
	32Kバイト	t _{P32K}	—	234	848	—	117	424	—	106	384	ms	
イレーズ時間 N _{PEC} ≤ 100回 のとき	8Kバイト	t _{E8K}	—	78	216	—	48	132	—	43	120	ms	
	32Kバイト	t _{E32K}	—	283	864	—	173	528	—	157	480	ms	
イレーズ時間 N _{PEC} > 100回 のとき	8Kバイト	t _{E8K}	—	94	260	—	58	158	—	52	144	ms	
	32Kバイト	t _{E32K}	—	341	1040	—	208	632	—	189	576	ms	
プログラム/イレーズ回数 (注1)	N _{PEC}	10000 (注2)	—	—	10000 (注2)	—	—	10000 (注2)	—	—	—	回	
プログラム中のサスペンド 遅延時間	t _{SPD}	—	—	264	—	—	132	—	—	120	μs		
イレーズ中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SESD1}	—	—	216	—	—	132	—	—	120	μs		
イレーズ中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SESD2}	—	—	1.7	—	—	1.7	—	—	1.7	ms		
イレーズ中のサスペンド 遅延時間 (イレーズ優先モード時)	t _{SEED}	—	—	1.7	—	—	1.7	—	—	1.7	ms		
強制終了コマンド	t _{FD}	—	—	32	—	—	22	—	—	20	μs		
データ保持時間(注3、注4)	t _{DRP}	20	—	—	20	—	—	20	—	—	—	年	T _a ≤ 85°C
		10	—	—	10	—	—	10	—	—	—		T _a ≤ 105°C

- 注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。
プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。
たとえば、8Kバイトのブロックについて、それぞれ異なる番地に128バイトプログラムを64回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
- 注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
- 注4. 信頼性試験から得られた結果です。

表 56.62 データフラッシュメモリ特性

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$, $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目	記号	FCLK = 4MHz			FCLK = 15MHz			20MHz ≤ FCLK ≤ 60MHz			単位	測定条件		
		min	typ	max	min	typ	max	min	typ	max				
プログラム時間	4バイト	t_{DP4}	—	0.36	3.8	—	0.18	1.9	—	0.16	1.7	ms		
イレーズ時間	64バイト	t_{DP64}	—	3.1	18	—	1.9	11	—	1.7	10	ms		
	128バイト	t_{DP128}	—	4.7	27	—	2.9	16	—	2.6	15	ms		
	256バイト	t_{DP256}	—	8.9	50	—	5.4	31	—	4.9	28	ms		
ブランクチェック時間	4バイト	t_{DBC4}	—	—	84	—	—	33	—	—	30	μs		
	64バイト	t_{DBC64}	—	—	280	—	—	110	—	—	100	μs		
	2Kバイト	t_{DBC2K}	—	—	6160	—	—	2420	—	—	2200	μs		
プログラム/イレーズ回数 (注1)	N_{DPEC}	100000 (注2)	—	—	—	100000 (注2)	—	—	—	100000 (注2)	—	—	回	
プログラム中のサスペンド 遅延時間	t_{DSPD}	—	—	264	—	—	132	—	—	120	μs			
イレーズ中の 1回目のサスペンド 遅延時間 (サスペンド 優先モード時)	64バイト	—	—	—	216	—	—	132	—	—	120	μs		
	128バイト	—	—	—	216	—	—	132	—	—	120	μs		
	256バイト	—	—	—	216	—	—	132	—	—	120	μs		
イレーズ中の 2回目のサスペンド 遅延時間 (サスペンド 優先モード時)	64バイト	—	—	—	300	—	—	300	—	—	300	μs		
	128バイト	—	—	—	390	—	—	390	—	—	390	μs		
	256バイト	—	—	—	570	—	—	570	—	—	570	μs		
イレーズ中の サスペンド遅延 時間 (イレーズ優先 モード時)	64バイト	—	—	—	300	—	—	300	—	—	300	μs		
	128バイト	—	—	—	390	—	—	390	—	—	390	μs		
	256バイト	—	—	—	570	—	—	570	—	—	570	μs		
強制終了コマンド	t_{FD}	—	—	32	—	—	22	—	—	20	μs			
データ保持時間 (注3、注4)	t_{DDRP}	20	—	—	—	20	—	—	—	20	—	—	年	$T_a \leq 85^\circ C$
		10	—	—	—	10	—	—	—	10	—	—	年	$T_a \leq 105^\circ C$

注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

たとえば、2Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。

注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。

注4. 信頼性試験から得られた結果です。

表 56.63 オプション設定メモリ特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$, $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
プログラム/イレーズ回数(注1)	N_{PEC}	1000(注2)	—	—	回	
データ保持時間(注3、注4)	t_{DRP}	20	—	—	年	$T_a \leq 85^\circ C$
		10	—	—		$T_a \leq 105^\circ C$

注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、同一アドレスに対するプログラムの回数です。

注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。

注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。

注4. 信頼性試験から得られた結果です。

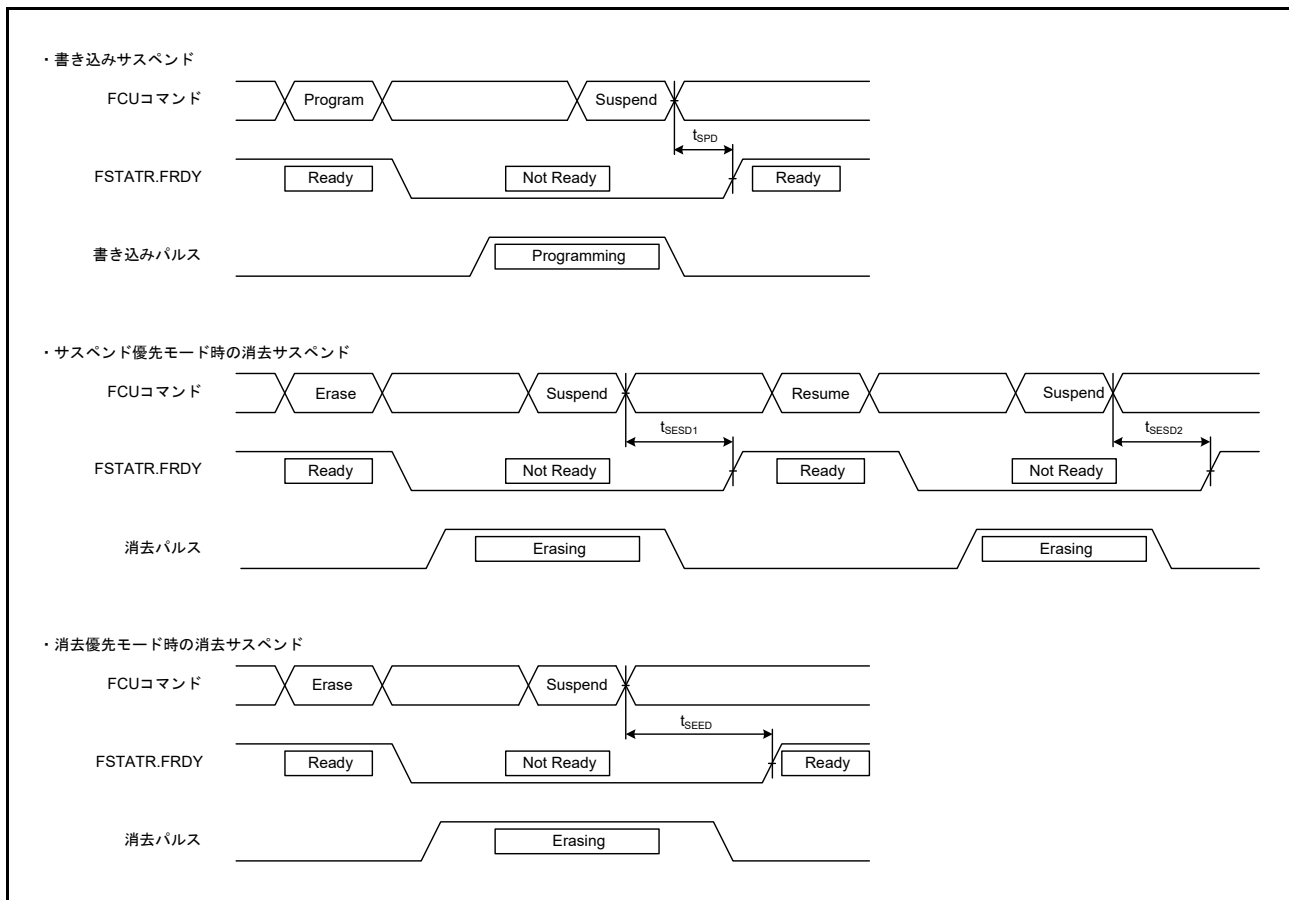


図 56.101 フラッシュメモリプログラム/イレーズサスペンドタイミング

56.13 バウンダリスキャン

表 56.64 バウンダリスキャン特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	typ	max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図 56.102
TCKクロックHighパルス幅	t_{TCKH}	45	—	—	ns	
TCKクロックLowパルス幅	t_{TCKL}	45	—	—	ns	
TCKクロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TRST#パルス幅	t_{TRSTW}	20	—	—	t_{TCKcyc}	図 56.103
TMSセットアップ時間	t_{TMSS}	20	—	—	ns	図 56.104
TMSホールド時間	t_{TMSH}	20	—	—	ns	
TDIセットアップ時間	t_{TDIS}	20	—	—	ns	
TDIホールド時間	t_{TDIH}	20	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	40	ns	

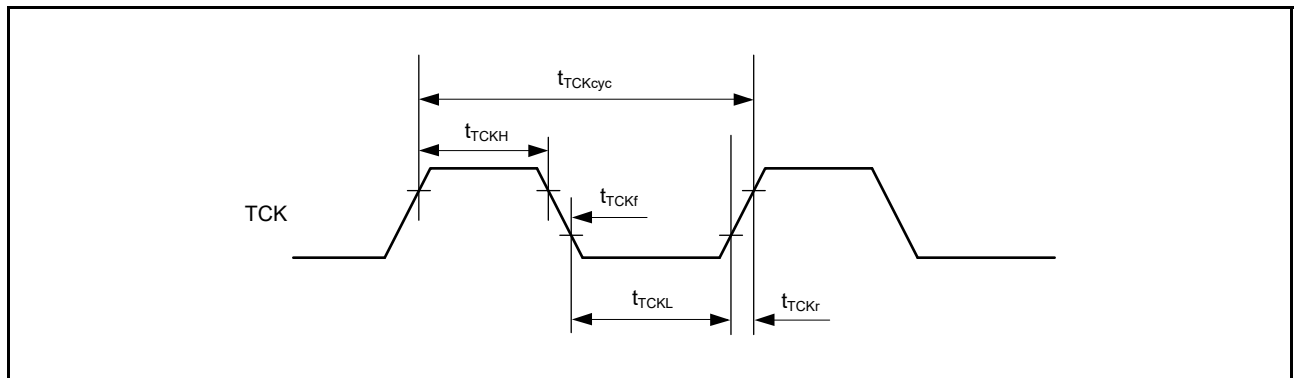


図 56.102 バウンダリスキャン TCK タイミング

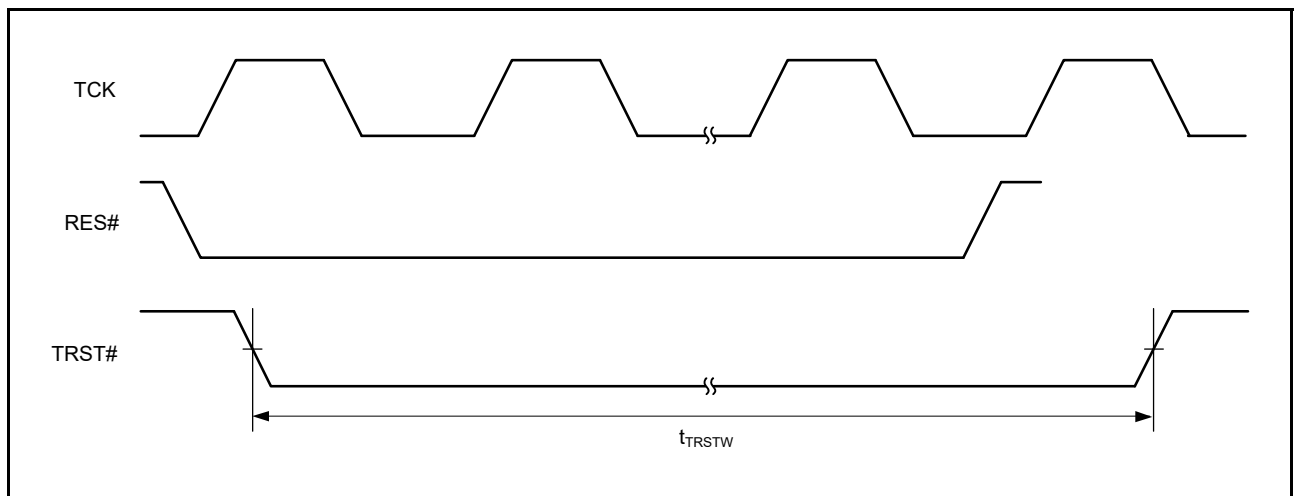


図 56.103 バウンダリスキャン TRST# タイミング

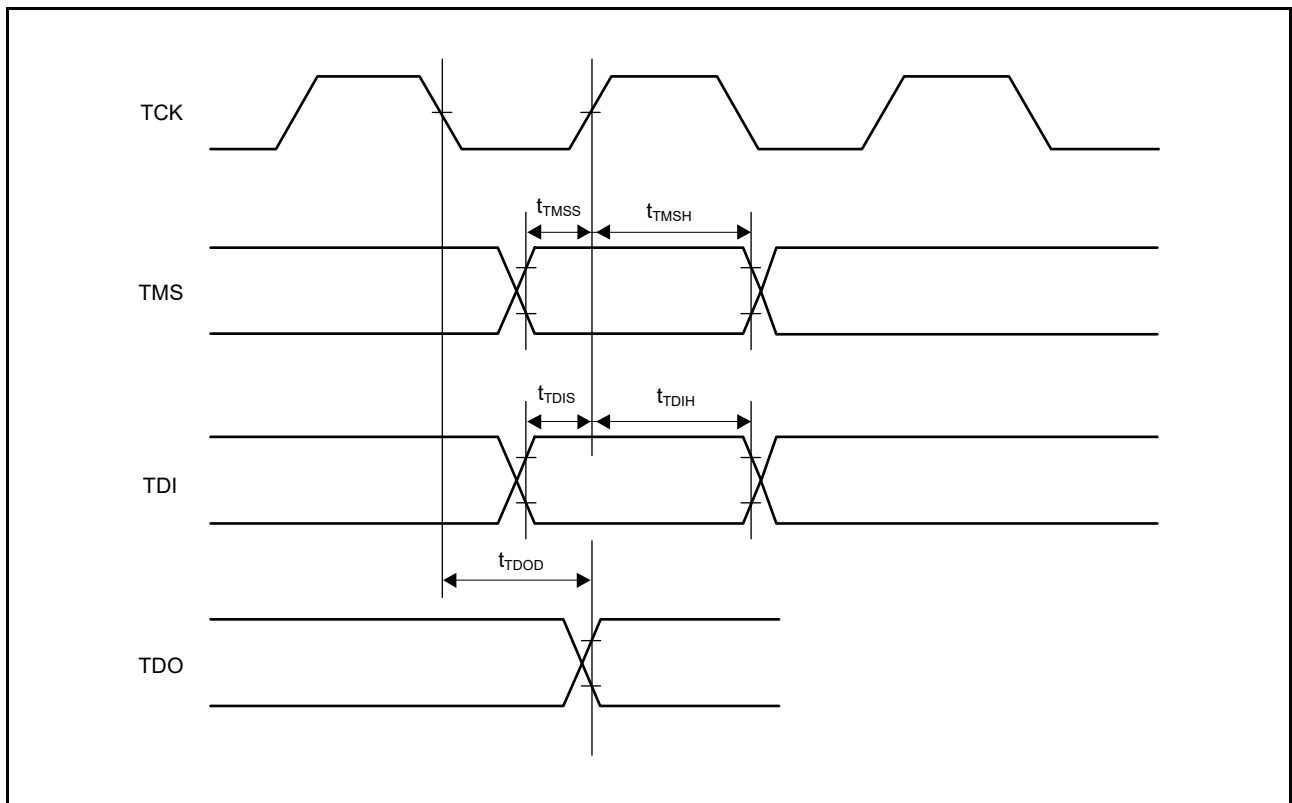


図 56.104 バウンダリスキャン入出力タイミング

付録 1. 各動作モードにおけるポートの状態

表 1.1 各動作モードにおけるポートの状態 (1 / 5)

ポート名 端子名	レジスタ設定による 動作モード	レ ジ ス タ	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P00/IRQ8, P01/IRQ9, P02/IRQ10, P03/IRQ11, P05/IRQ13, P07/IRQ15	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P12/IRQ2, P13/IRQ3, P14/IRQ4/USB0_ OVRCURA, P15/IRQ5/ CRX1-DS, P16/IRQ6/ SCL2-DS/ USB0_VBUS/ USB0_ OVRCURB, P17/IRQ7/ SDA2-DS	全モード	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P20/IRQ8, P21/IRQ9, P22/IRQ15/ USB0_ OVRCURB, P23/IRQ3	全モード	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P24/IRQ12/CS4#, P25/IRQ5/CS5#, P26/IRQ6/CS6#, P27/IRQ7/CS7#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CSn# 出力時] H [上記以外] Keep-O	[CSn# 出力時] Hi-Z [上記以外] Keep-O			
P30/IRQ0-DS/ RTCIC0/TAMPI0, P31/IRQ1-DS/ RTCIC1/TAMPI1, P32/IRQ2-DS/ RTCIC2/TAMPI2, P33/IRQ3-DS, P34/IRQ4, P35/NMI	全モード	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P36, P37	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P40/IRQ8-DS, P41/IRQ9-DS, P42/IRQ10-DS, P43/IRQ11-DS, P44/IRQ12-DS, P45/IRQ13-DS, P46/IRQ14-DS, P47/IRQ15-DS	全モード	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P50/IRQ0/WR0#/ WR#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[WR0#/WR# 出力時] H [上記以外] Keep-O	[WR0#/WR# 出力時] Hi-Z [上記以外] Keep-O			
P51/IRQ1/WR1#/ BC1#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[WR1#/BC1# 出力時] H [上記以外] Keep-O	[WR1#/BC1# 出力時] Hi-Z [上記以外] Keep-O			
P52/IRQ2/RD#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[RD# 出力時] H [上記以外] Keep-O	[RD# 出力時] Hi-Z [上記以外] Keep-O			

表 1.1 各動作モードにおけるポートの状態 (2 / 5)

ポート名 端子名	レジスタ設定による 動作モード	L H Z	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P53/IRQ3/BCLK/ PMC0-DS	全モード	Hi-Z	[クロック出力時] H [上記以外] Keep-O (注2)		Keep (注3)	Keep	Hi-Z
P54/IRQ4/ALE	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[ALE 出力時] L [データ出力時] Hi-Z [上記以外] Keep-O	[ALE 出力時] Hi-Z [データ出力時] Hi-Z [上記以外] Keep-O			
P55/IRQ10	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O				
P56/IRQ6	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P60/IRQ0/CS0#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS0# 出力時] H [上記以外] Keep-O	[CS0# 出力時] Hi-Z [上記以外] Keep-O			
P61/IRQ1/CS1#/ SDCS#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS1# 出力時] H [データ出力時] Hi-Z (注4) [上記以外] Keep-O	[CS1# 出力時] Hi-Z [データ出力時] Hi-Z (注4) [上記以外] Keep-O			
	セルフリフ レッシュ無効 (SDSELF.SF EN=0)		[SDCS# 出力時] H [上記以外] Keep-O	[SDCS# 出力時] Hi-Z [上記以外] Keep-O			
	セルフリフ レッシュ有効 (SDSELF.SF EN=1)		[SDCS# 出力時] L [上記以外] Keep-O				
P62/IRQ2/CS2#/ RAS#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS2# 出力時] H [データ出力時] Hi-Z (注4) [上記以外] Keep-O	[CS2# 出力時] Hi-Z [データ出力時] Hi-Z (注4) [上記以外] Keep-O			
	セルフリフ レッシュ無効 (SDSELF.SF EN=0)		[RAS# 出力時] H [上記以外] Keep-O	[RAS# 出力時] Hi-Z [上記以外] Keep-O			
	セルフリフ レッシュ有効 (SDSELF.SF EN=1)		[RAS# 出力時] L [上記以外] Keep-O				

表 1.1 各動作モードにおけるポートの状態 (3 / 5)

ポート名 端子名	レジスタ設定による 動作モード	L H Z	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P63/IRQ3/CS3#/ CAS#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS3# 出力時] H	[CS3# 出力時] Hi-Z			
			[データ出力時] Hi-Z (注4)	[データ出力時] Hi-Z (注4)			
			[上記以外] Keep-O	[上記以外] Keep-O			
セルフリフ レッシュ無効 (SDSELF.SF EN=0)	[CAS# 出力時] H	[CAS# 出力時] Hi-Z					
セルフリフ レッシュ有効 (SDSELF.SF EN=1)	[上記以外] Keep-O	[上記以外] Keep-O					
	[CAS# 出力時] L	[上記以外] Keep-O					
P64/IRQ4/CS4#/ WE#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS4# 出力時] H	[CS4# 出力時] Hi-Z			
			[データ出力時] Hi-Z (注4)	[データ出力時] Hi-Z (注4)			
			[上記以外] Keep-O	[上記以外] Keep-O			
セルフリフ レッシュ無効 (SDSELF.SF EN=0)	[WE# 出力時] H	[WE# 出力時] Hi-Z					
セルフリフ レッシュ有効 (SDSELF.SF EN=1)	[上記以外] Keep-O	[上記以外] Keep-O					
	[WE# 出力時] Hi-Z	[上記以外] Keep-O					
P65/IRQ13/CS5#/ CKE	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS5# 出力時] H	[CS5# 出力時] Hi-Z			
			[上記以外] Keep-O	[上記以外] Keep-O			
			[CKE 出力時] H	[CKE 出力時] Hi-Z			
セルフリフ レッシュ無効 (SDSELF.SF EN=0)	[上記以外] Keep-O	[上記以外] Keep-O					
セルフリフ レッシュ有効 (SDSELF.SF EN=1)	[CKE 出力時] L	[上記以外] Keep-O					
	[上記以外] Keep-O	[上記以外] Keep-O					
P66/IRQ14/CS6#/ DQM0	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS6# 出力時] H	[CS6# 出力時] Hi-Z			
			[上記以外] Keep-O	[上記以外] Keep-O			
			[DQM0 出力時] DQM0 出力保持	[DQM0 出力時] Hi-Z			
セルフリフ レッシュ無効 (SDSELF.SF EN=0)	[上記以外] Keep-O	[上記以外] Keep-O					
セルフリフ レッシュ有効 (SDSELF.SF EN=1)	[上記以外] Keep-O	[上記以外] Keep-O					
	[DQM0 出力時] Hi-Z	[上記以外] Keep-O					

表 1.1 各動作モードにおけるポートの状態 (4 / 5)

ポート名 端子名	レジスタ設定による 動作モード	L S S	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P67/CS7#/IRQ15/ DQM1	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS7# 出力時] H [上記以外] Keep-O (注2)	[CS7# 出力時] Hi-Z [上記以外] Keep-O (注2)			
			セルフリフ レッシュ無効 (SDSELF.SF EN=0)	[DQM1 出力時] DQM1 出力保持 [上記以外] Keep-O (注2)			
セルフリフ レッシュ有効 (SDSELF.SF EN=1)							
P70/IRQ0/SDCLK	全モード	Hi-Z	[クロック出力時] H [上記以外] Keep-O (注2)		Keep	Keep	Hi-Z
P71/IRQ1/CS1#, P72/IRQ10/CS2#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CSn# 出力時] H [アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[CSn# 出力時] Hi-Z [アドレス出力時] Hi-Z [上記以外] Keep-O			
P73/IRQ8/CS3#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS3# 出力時] H [上記以外] Keep-O	[CS3# 出力時] Hi-Z [上記以外] Keep-O			
P74/IRQ12/CS4#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS4# 出力時] H [アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[CS4# 出力時] Hi-Z [アドレス出力時] Hi-Z [上記以外] Keep-O			
P75/IRQ13/CS5#, P76/IRQ14/CS6#, P77/IRQ7/CS7#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CSn# 出力時] H [上記以外] Keep-O	[CSn# 出力時] Hi-Z [上記以外] Keep-O			
P80/IRQ8, P81/IRQ9, P82/IRQ2, P83/IRQ3, P86/IRQ14, P87/IRQ15	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P90/IRQ0, P91/IRQ9, P92/IRQ10, P93/IRQ11	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [データ出力時] Hi-Z [上記以外] Keep-O	[アドレス出力時] Hi-Z [データ出力時] Hi-Z [上記以外] Keep-O			
PA0/IRQ0, PA1/IRQ11	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			

表 1.1 各動作モードにおけるポートの状態 (5 / 5)

ポート名 端子名	レジスタ設定による 動作モード	L H Z	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
PA2/IRQ10, PA3/IRQ6-DS, PA4/IRQ5-DS, PA5/IRQ5, PA6/IRQ14, PA7/IRQ7	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PB0/IRQ12, PB1/IRQ4-DS, PB2/IRQ2, PB3/IRQ3/ PMC0-DS, PB4/IRQ4, PB5/IRQ13, PB6/IRQ6, PB7/IRQ15	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PC0/IRQ14, PC1/IRQ12, PC2/IRQ10, PC3/IRQ11/ PMC0-DS, PC4/IRQ12/ CS3#, PC5/IRQ5/CS2#, PC6/IRQ13/ CS1#, PC7/IRQ14/CS0#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep (注3)	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [CSn# 出力時] H [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [CSn# 出力時] Hi-Z [上記以外] Keep-O (注2)			
PD0/IRQ0, PD1/IRQ1, PD2/IRQ2, PD3/IRQ3, PD4/IRQ4, PD5/IRQ5, PD6/IRQ6, PD7/IRQ7	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
PE0/IRQ8, PE1/IRQ9, PE2/IRQ7-DS, PE3/IRQ11, PE4/IRQ12, PE5/IRQ5, PE6/IRQ6, PE7/IRQ7	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張 モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
			[データ出力時] Hi-Z				
PF5/IRQ4	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
PJ3/IRQ11, PJ5/IRQ13	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
PH1/USB0_DP/ IRQ0	全モード	Hi-Z	Keep-O (注2, 注4)		Hi-Z (注3)	Hi-Z	
PH2/USB0_DM/ IRQ1	全モード	Hi-Z	Keep-O (注2, 注4)		Hi-Z (注3)	Hi-Z	
USB1_DM	全モード	Hi-Z	Keep-O (注4)		Hi-Z	Hi-Z	
USB1_DP	全モード	Hi-Z	Keep-O (注4)		Hi-Z	Hi-Z	

H : High レベル

L : Low レベル

Keep-O : 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Keep : ソフトウェアスタンバイでの端子状態を保持

Hi-Z : ハイインピーダンス

- 注1. DPSBYCR.IOKEEPビットを“0”にするまで、I/Oポートの状態を保持します。
- 注2. 外部割り込み端子として使用時は、ソフトウェアスタンバイ解除要因として設定されている場合、入力可能です。
- 注3. ディープソフトウェアスタンバイ解除要因として設定されている場合、入力可能です。
- 注4. USB入力端子として使用時は入力可能です。

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

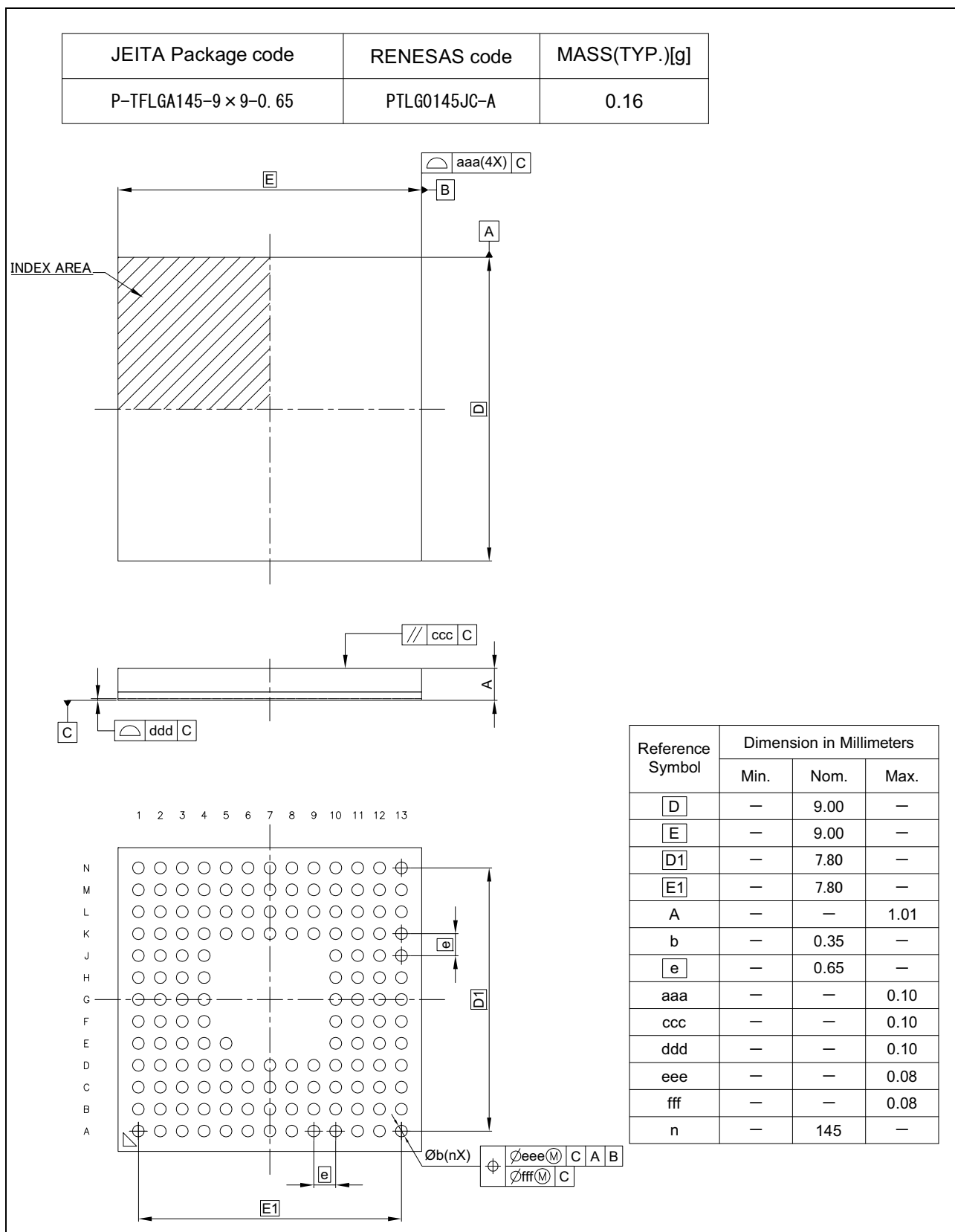


図 A. 145ピン TFLGA (PTLG0145JC-A)

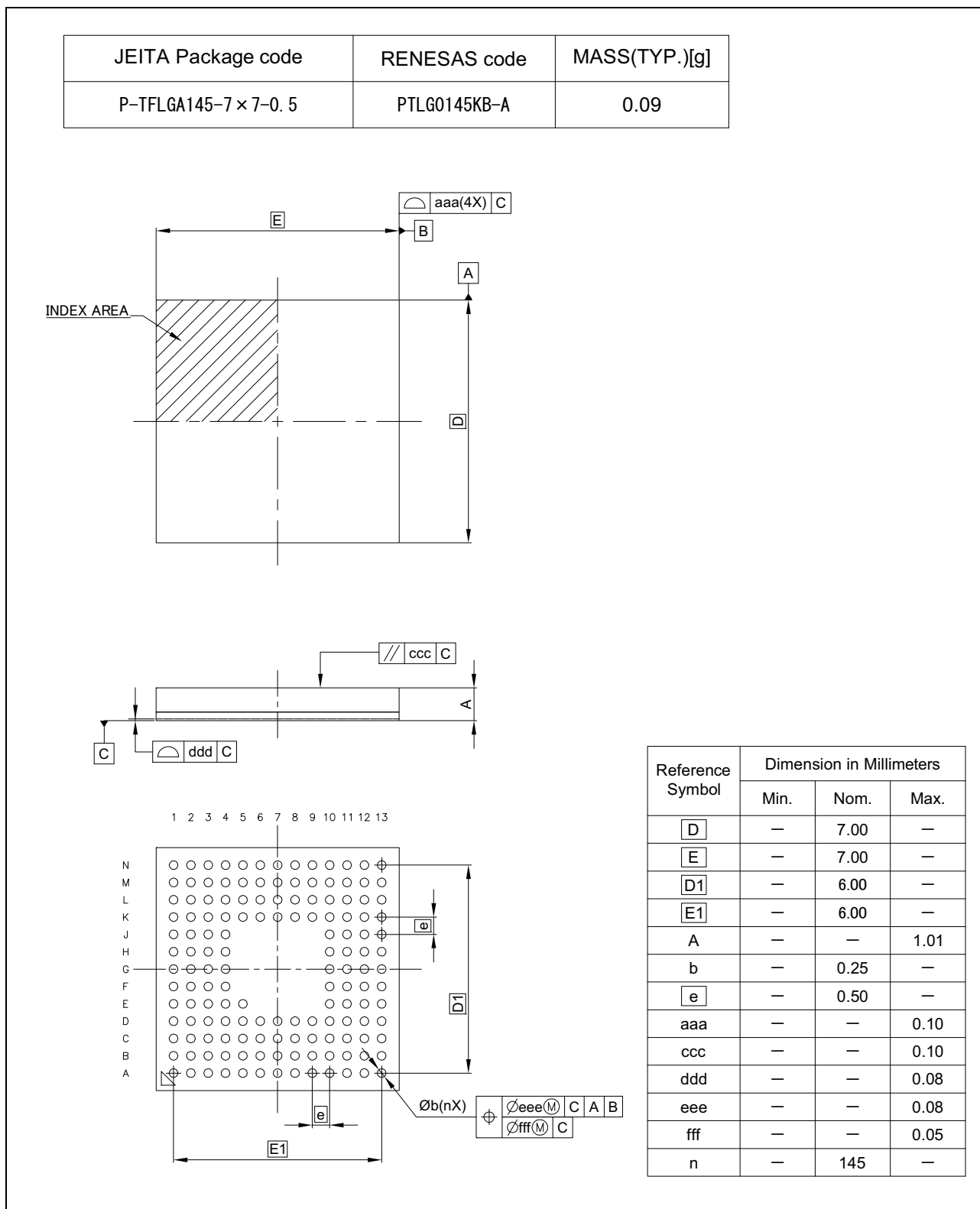
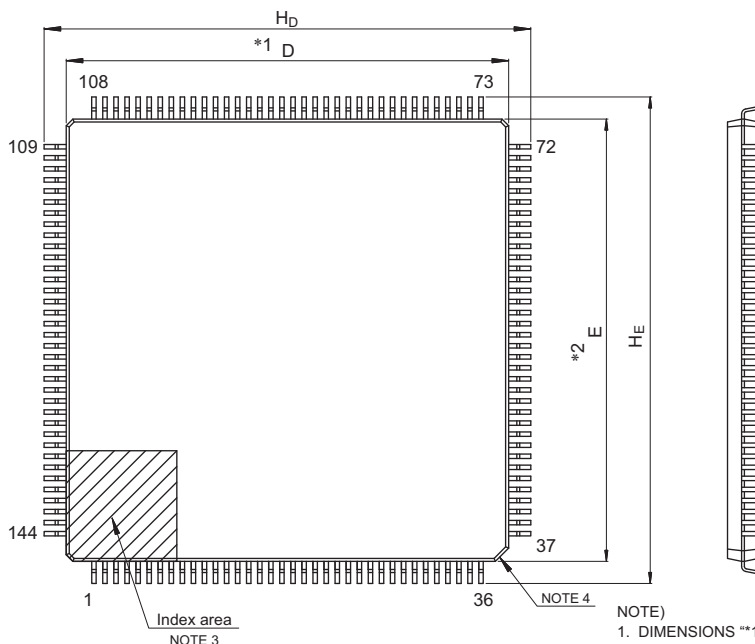


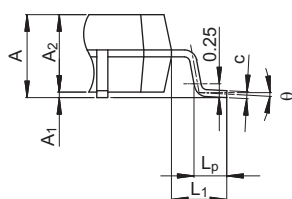
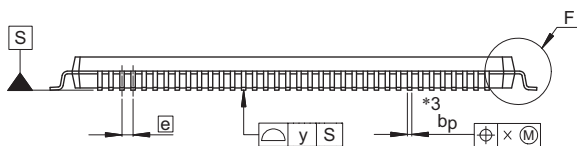
図 B. 145ピン TFLGA (PTLG0145KB-A)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP144-20x20-0.50	PLQP0144KA-B	—	1.2

Unit: mm



- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A ₂	—	1.4	—
H _D	21.8	22.0	22.2
H _E	21.8	22.0	22.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

☒ C. 144ピン LFQFP (PLQP0144KA-B)

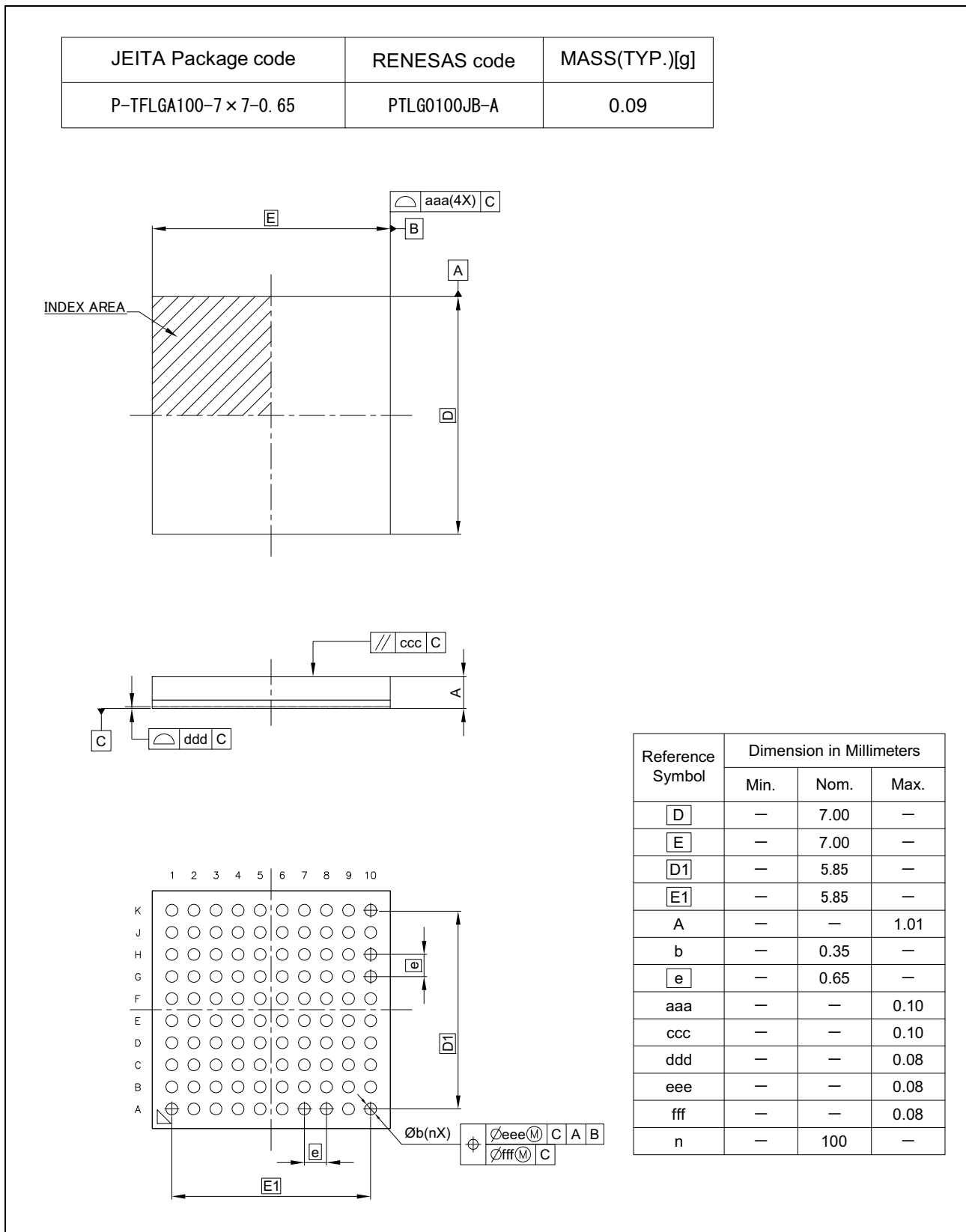
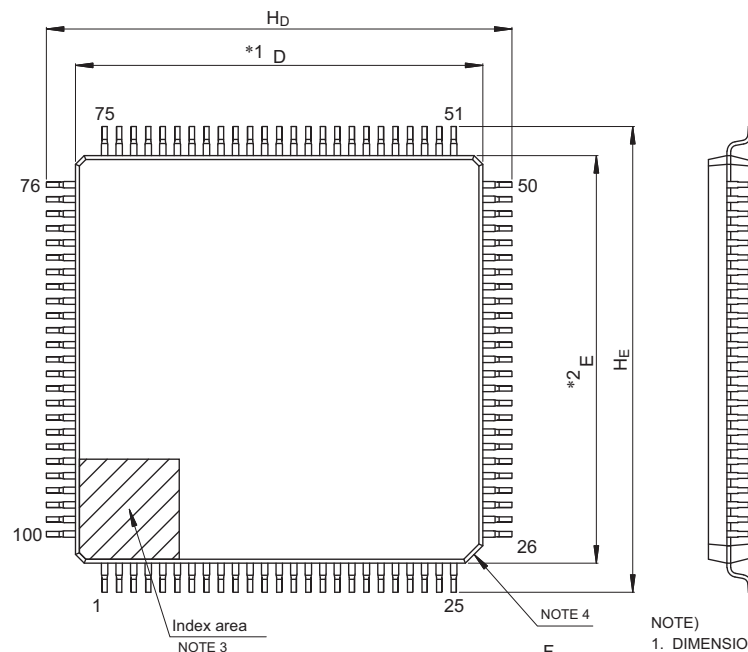


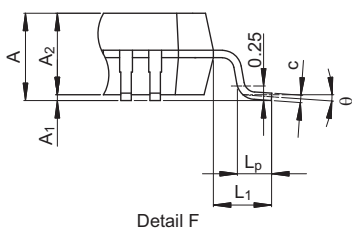
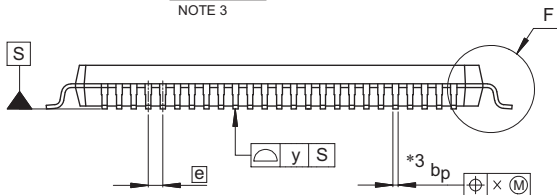
図 D. 100ピン TFLGA (PTLG0100JB-A)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6

Unit: mm



- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

☒ E. 100ピンLFQFP (PLQP0100KB-B)

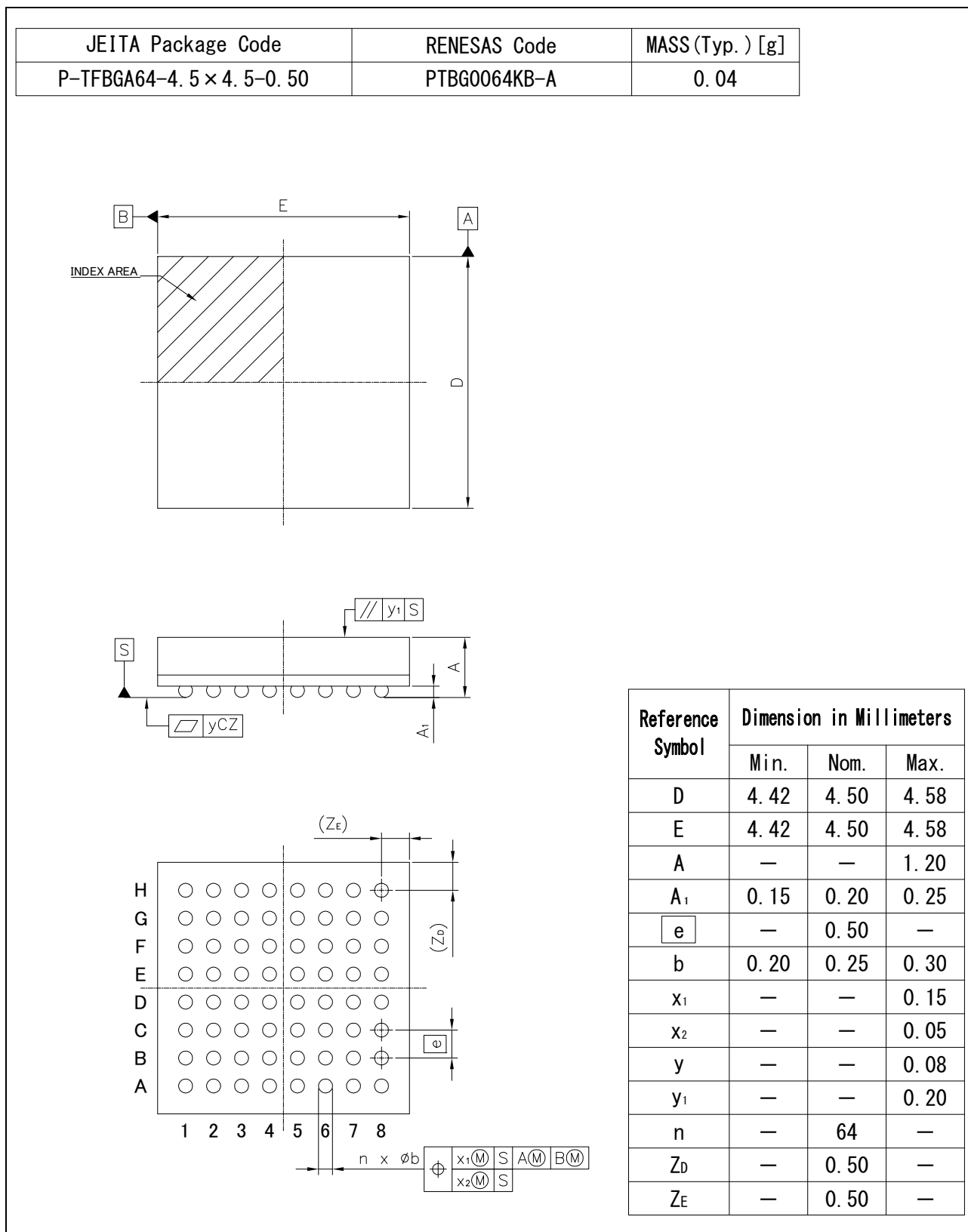
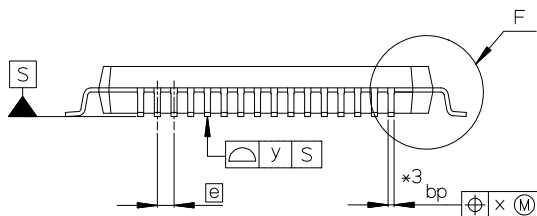
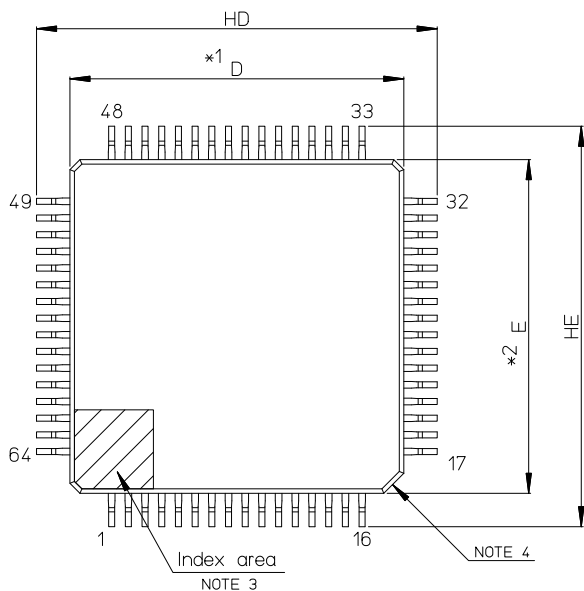
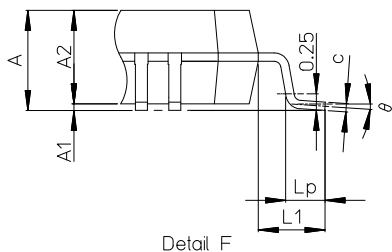


図 F. 64ピンTFBGA (PTBG0064KB-A)

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3g



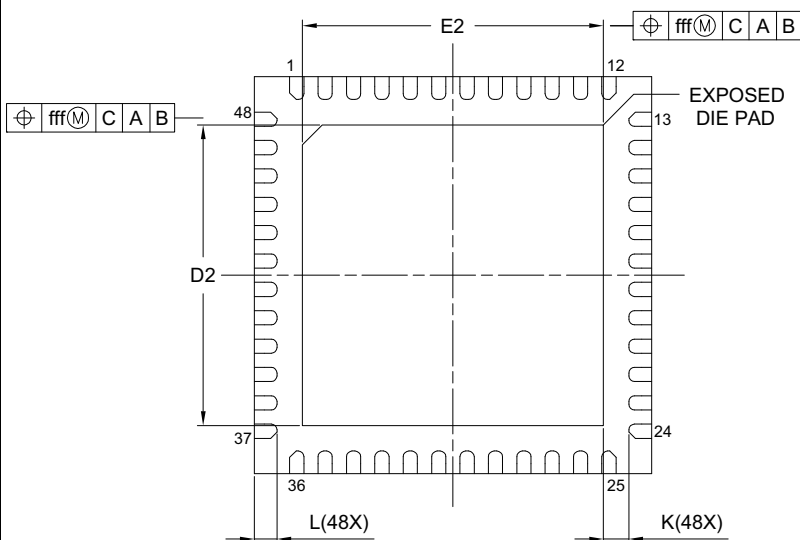
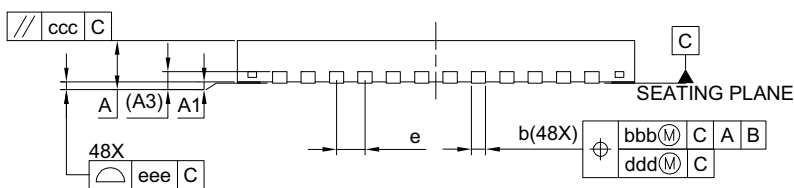
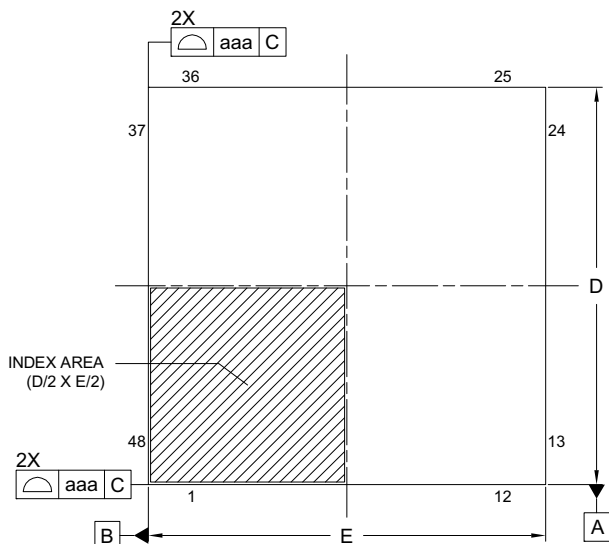
- NOTE)
1. DIMENSIONS *1* AND *2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION *3* DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL; SIZE MAY VARY.



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A2	—	1.4	—
HD	11.8	12.0	12.2
HE	11.8	12.0	12.2
A	—	—	1.7
A1	0.05	—	0.15
bp	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Lp	0.45	0.6	0.75
L1	—	1.0	—

図 G. 64ピン LFQFP (PLQP0064KB-C)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	5.25	5.30	5.35
E ₂	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 H. 48ピン HWQFN (PWQN0048KC-A)

改訂記録	RX671 グループ ユーザーズマニュアル ハードウェア編
------	-------------------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2021.03.31	—	初版発行	
1.10	2022.04.15	特長		
		70	Coremark値 変更	
		70	IEC60730対応機能 変更	
		1. 概要		
		76	表 1.1 仕様概要 (6 / 9) 変更	
		79	表 1.1 仕様概要 (9 / 9) 変更	
		82~84	表 1.3 製品一覧表 変更	
		84	図 1.1 型名とメモリサイズ・パッケージ 変更	
		85	図 1.2 ブロック図 変更	
		89	表 1.4 端子機能一覧 (4 / 7) 変更	
		90	表 1.4 端子機能一覧 (5 / 7) 変更	
		92	表 1.4 端子機能一覧 注記 変更	
		7. オプション設定メモリ (OFSM)		
		—	7.5.2 オプション設定メモリにプログラムするデータの設定方法 削除	
		9. クロック発生回路		
		309	9.2.5 PLLコントロールレジスタ (PLLCR) 変更	
		331	9.2.24 サブクロック発振器コントロールレジスタ 2 (SOSCCR2) 変更	
		333	9.2.26 高速オンチップオシレータトリミングレジスタ n (HOCOTRRn) (n = 0~2) 変更、注記 追加	
		351	図 9.15 サブクロックをリアルタイムクロックのカウントソースに使用する場合の初期化フローチャート例 変更	TN-RX*-A0257AJ
		352	図 9.16 サブクロックをシステムクロックのみに使用する場合の初期化フローチャート例 変更	
		353	図 9.17 サブクロックを使用しない場合のフローチャート例 注1 追加	
		23. マルチファンクションピンコントローラ (MPC)		
		915, 916	23.2.26 外部バス制御レジスタ 1 (PFBCR1) 変更	
		36. シリアルコミュニケーションインタフェース (RSCI)		
		1822	36.2.17 ステータスレジスタ (SSR) 変更	
		38. ハイスピード I ² C バスインタフェース (RIICHS)		
		2132	38.7.4 Hs モードマスタコード検出機能 追加	
		2154	38.13 割り込み要因 追加	
		2155	38.14 イベントリンク機能 追加	
		55. フラッシュメモリ (FLASH)		
		2882	表 55.7 書き換え方式 変更	
		2883	表 55.8 基本機能一覧 変更	
		2884	55.7.3 セキュリティ機能 変更	
		2884	表 55.9 セキュリティ機能一覧 変更	
		2971	55.17.1 概要 変更	
		56. 電気的特性		
		2988	表 56.9 標準出力特性 追加	
		2989	表 56.10 熱抵抗値 (参考値) 変更	
		付録 2. 外形寸法図		
		3074	図 A. 145 ピン TFLGA (PTLG0145JC-A) 追加	
		3075	図 B. 145 ピン TFLGA (PTLG0145KB-A) 追加	
		3077	図 D. 100 ピン TFLGA (PTLG0100JB-A) 追加	
		3079	図 F. 64 ピン TFBGA (PTBG0064KB-A) 追加	
		3081	図 H. 48 ピン HWQFN (PWQN0048KC-A) 追加	
1.20	2024.09.30	1. 概要		
		79	表 1.1 仕様概要 注2 削除	
		85	表 1.3 製品一覧表 注記 追加	

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.20	2024.09.30	85	図 1.1 型名とメモリサイズ・パッケージ 変更、注記 追加		
		7. オプション設定メモリ (OFSM)			
		263	7.2.1 シリアルプログラマコマンド制御レジスタ (SPCC) 変更		
		264	7.2.2 OCD/シリアルプログラマID設定レジスタ (OSIS) 変更		
		266	7.2.3 オプション機能選択レジスタ0 (OFS0) 注1 変更		
		269	7.2.4 オプション機能選択レジスタ1 (OFS1) 注1 変更		
		270	7.2.5 エンディアン選択レジスタ (MDE) 注1 変更		
		271	7.2.6 TMイネーブルフラグレジスタ (TMEF) 注1 変更		
		272	7.2.7 TM識別データレジスタ (TMINF) 注1 変更		
		273	7.2.8 バンク選択レジスタ (BANKSEL) 注1 変更		
		274	7.2.9 フラッシュアクセスウィンドウ設定レジスタ (FAW) 注1 変更、注2 追加		
		276	7.2.10 ROMコードプロテクトレジスタ (ROMCODE) 注1 変更		
		279	7.5.1 オプション設定メモリへのデータの配置方法 変更		
		8. 電圧検出回路 (LVDA)			
		281	表 8.1 電圧検出回路の仕様 変更		
		9. クロック発生回路			
		300	表 9.1 クロック発生回路の仕様 変更		
		333	9.2.25 バックアップ領域サブクロック制御レジスタ (BKSCCR) 変更		
		351~354	9.10.6 サブクロック発振器に関する注意事項 変更	TN-RX*-A0281AJ	
		355	9.10.7 低CL水晶振動子の使用に関する注意事項 変更		
		355	9.10.8 48ピンパッケージ製品に関する注意事項 変更		
		10. クロック周波数精度測定回路 (CAC)			
		356	本文変更		
		359	10.2.2 CAC コントロールレジスタ1 (CACR1) 変更		
		365	10.3.2 CACREF 端子のデジタルフィルタ機能 変更		
		15. 割り込みコントローラ (ICUE)			
		443	表 15.1 割り込みコントローラの仕様 変更		
		520	15.10.3 ソフトウェアスタンバイモードからの復帰 変更		
		21. イベントリンクコントローラ (ELC)			
		818	表 21.2 ELSRn レジスタと周辺モジュールの対応 変更、注2 削除		
		—	21.4.1 ELSRn レジスタの設定について (2) ELSR24、ELSR25、ELSR26、ELSR27 レジスタの設定 削除		
		22. I/Oポート			
		844	図 22.3 入出力ポートの構成 (3) 変更		
		846	図 22.5 入出力ポートの構成 (5) 変更		
		23. マルチファンクションピンコントローラ (MPC)			
		916	23.2.26 外部バス制御レジスタ1 (PFBCR1) 変更		
		919	23.3 各ポートの外部バス端子有効化手順 変更		
		919~921	表 23.35 外部バスインタフェース設定方法 変更		
		24. マルチファンクションタイマパルスユニット3 (MTU3a)			
		926, 927	表 24.2 MTUの機能一覧 変更		
		932	表 24.5 CCLR[2:0] (MTU1, MTU2) 変更		
		939	24.2.4 タイマモードレジスタ2m (TMDR2m) (m = A, B) 変更		
		943	24.2.6 タイマI/Oコントロールレジスタ (TIOR) 変更		
		945	表 24.15 TIOR (MTU1) 変更		
		952	表 24.29 TIOR (MTU1) 変更		
		969	24.2.15 タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W) 変更		
		970	24.2.16 タイマロングワードジェネラルレジスタ m (TGRmLW) (m = A, B) 変更		
		1056	図 24.46 相補PWMモード時のMTU3、MTU4ブロック図 変更		
		1057	図 24.47 相補PWMモード時のMTU6、MTU7ブロック図 変更		
		1058	図 24.48 相補PWMモードの設定手順例 変更		
		1086	24.3.8 相補PWMモード (2) 相補PWMモードの動作概要 (s) 相補PWMモードのダブルバッファ機能 変更		
		1087	図 24.83 ダブルバッファ機能の動作例 変更		

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2024.09.30	1087	図24.84 ダブルバッファ機能の動作例(バッファへの書き込み値がTDDRAより小さい場合) 変更	
		1088	図24.85 ダブルバッファ機能の動作例(バッファへの書き込み値がTCDRAより大きい場合) 変更	
		31. リアルタイムクロック(RTCd)		
		1385	表31.1 RTCの仕様 変更	
		1386	図31.1 RTCのブロック図(n = 0 ~ 2) 変更	
		1386	表31.2 RTCの入出力端子 変更	
		1410	31.2.19.1 低CL水晶振動子の使用に関する注意事項 変更	
		1414, 1415	31.2.23 時間キャプチャ制御レジスタn(RTCCRn)(n = 0 ~ 2) 変更	
		1422	31.3.2 クロックとカウントモード設定手順 変更	TN-RX*-A0281A/J
		1422	図31.3 クロック、カウントモード設定手順(メインクロック使用時) 変更	TN-RX*-A0281A/J
		1423	図31.4 クロック、カウントモード設定手順(サブクロック発振器使用時) 追加	TN-RX*-A0281A/J
		1424	図31.5 クロック、カウントモード設定手順(外部サブクロック入力使用時) 追加	
		1425	31.3.3 時刻設定手順 変更	
		1425	図31.6 時刻設定手順(メインクロック使用時) 変更	
		1426	図31.7 時刻設定手順(サブクロック使用時) 追加	
		1427	図31.8 30秒調整手順 変更	
		1428	図31.9 時刻読み出し手順 変更	
		1429	31.3.6 アラーム機能 変更	
		1429	図31.10 アラーム機能の使用手順 変更	
		1433	図31.12 時間キャプチャ機能動作タイミング(フィルタOFF)(n = 0 ~ 2) 変更	
		1433	図31.13 時間キャプチャ機能動作タイミング(フィルタON)(n = 0 ~ 2) 変更	
		1434	表31.4 RTCの割り込み要因 変更	
		1434	図31.14 アラーム割り込みのタイミングチャート 変更	
		1437	図31.16 周期割り込み機能の使用手順 変更	
		1438	31.6.5 レジスタの書き込み/読み出し時の注意事項 変更	
		1439	31.6.8 リアルタイムクロックを使用しない場合の初期化手順 変更	TN-RX*-A0281A/J
		1439	図31.17 初期化手順(メインクロック使用時) 変更	TN-RX*-A0281A/J
		1440	図31.18 初期化手順(サブクロック使用時) 追加	TN-RX*-A0281A/J
		32. ウォッチドッグタイマ(WDTa)		
		1441	本文変更	
		1441	表32.1 WDTの仕様 変更	
		1442	図32.1 WDTのブロック図 変更	
		1443	32.2.1 WDTリフレッシュレジスタ(WDTRR) 変更	
		1444, 1445	32.2.2 WDTコントロールレジスタ(WDTCR) 変更	
		1447	32.2.3 WDTステータスレジスタ(WDTSR) 変更	
		1448	32.2.4 WDTリセットコントロールレジスタ(WDTRCR) 変更	
		1449	32.3.1 カウント開始条件別の各動作 変更	
		1449	32.3.1.1 レジスタスタートモード 変更	
		1450	図32.3 レジスタスタートモード動作例 変更	
		1451	32.3.1.2 オートスタートモード 変更	
		—	32.3.2 WDTCRレジスタ、WDTRCRレジスタ書き込み制御 削除	
		1452	図32.5 WDTリフレッシュ動作波形(WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b) 変更	
		1453	32.3.3 リセット出力 変更	
		1453	32.3.4 割り込み要因 変更	
		1453	32.3.5 カウンタ値の読み出し 変更	
		1453	図32.6 WDTカウンタ値の読み出し処理(WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b) 変更	
		1454	32.3.6 オプション機能選択レジスタ0(OFS0)とWDTレジスタの対応 変更	
		33. 独立ウォッチドッグタイマ(IWDTa)		
		1455, 1456	本文変更	
		1455	表33.1 IWDTの仕様 変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2024.09.30	1456	図33.1 IWDT のブロック図 変更	
		1458	33.2.2 IWDT コントロールレジスタ (IWDTCR) 変更	
		1461	33.2.3 IWDT ステータスレジスタ (IWDTSR) 変更	
		1462	33.2.4 IWDT リセットコントロールレジスタ (IWDTRCR) 変更	
		1463	33.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSTPR) 変更	
		1464	33.3.1.1 レジスタスタートモード 変更	
		1465	図33.3 レジスタスタートモード動作例 変更	
		1466	33.3.1.2 オートスタートモード 変更	
		1466	図33.4 オートスタートモード動作例 変更	
		—	33.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御(2) FIFO 有効のSCI10、SCI11 の場合 削除	
		1467, 1468	33.3.2 リフレッシュ動作 変更	
		1468	図33.5 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 00b) 変更	
		1470	33.3.6 カウンタ値の読み出し 変更	
		1470	図33.6 IWDT カウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 00b) 変更	
		1471	33.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応 変更	
		34. USB2.0FS ホスト/ファンクションモジュール (USBb)		
		全体	【用語統一】 「ディープソフトウェアスタンバイ」、「ディープスタンバイモード」、「ディープソフトウェアモード」→「ディープソフトウェアスタンバイモード」	
		1483, 1485, 1486	34.2.5 CFIFO ポート選択レジスタ (CFIFOSEL)、D0FIFO ポート選択レジスタ (D0FIFOSEL)、D1FIFO ポート選択レジスタ (D1FIFOSEL) 変更	
		1537	34.3.1.4 USB 外部接続回路例 変更	
		1537	図34.2 セルフパワード時の OTG デバイスと USB コネクタとの接続例 (m = 0, 1) 変更、タイトル変更	
		1538	図34.3 セルフパワード時のファンクションコントローラと USB コネクタとの接続例 (m = 0, 1) 変更、タイトル変更	
		1539	図34.4 ホストコントローラと USB コネクタとの接続例 (m = 0, 1) 変更、タイトル変更	
		1540	図34.5 バスパワード時のファンクションコントローラと USB コネクタとの接続例 (m = 0, 1) 変更、タイトル変更	
		1541	図34.6 USB レジューム検出部と USB0 用入出力端子の接続概略図 変更	
		1543	図34.8 ホスト時のディープソフトウェアスタンバイモード解除時の USB 設定フロー 変更	
		1544	図34.9 ファンクション時のディープソフトウェアスタンバイモード解除時の USB 設定フロー 変更	
		35. シリアルコミュニケーションインタフェース (SCIk, SCIm, SCIn)		
		1630	表35.25 ビットレートに対する BRR の設定例 (簡易 I ² C モード) 変更	
		1630, 1631	表35.26 各ビットレート設定での SCL High/Low 幅最小値 (簡易 I ² C モード) 変更	
		1688	35.3.9 シリアルデータの受信 (調歩同期式モード) (2) FIFO 有効の SCI10、SCI11 の場合 変更	
		1706	35.5.5 シリアルデータの受信 (クロック同期式モード) (2) FIFO 有効の SCI10、SCI11 の場合 変更	
		36. シリアルコミュニケーションインタフェース (RSCI)		
		1767	本文追加	
		1769	表36.1 RSCI の仕様 (3/3) 変更	
		1792	表36.17 ビットレートに対する BRR[7:0] ビットの設定例 (クロック同期式モード、簡易 SPI モード) 変更	
		1794	表36.21 ビットレートに対する BRR[7:0] ビットの設定例 (簡易 I ² C モード) 変更	
		1795	表36.22 各ビットレート設定での SCL High/Low 幅最小値 (簡易 I ² C モード) 変更	
		1814	36.2.13 DE 信号制御レジスタ (DECR) 変更	
		1828	36.2.18 I ² C ステータスレジスタ (SISR) 変更	
		1848	36.3.5 CTS、RTS 機能 変更	
		1970	36.14 RS-485 ドライバ制御機能 変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2024.09.30	38. ハイスピードI ² Cバスインタフェース(RIICHS)		
		2068	38.2.1 制御レジスタ(ICCR) 変更	
		2069	38.2.2 リセット制御レジスタ(ICRCR) 変更	
		2070	38.2.3 動作モードモニタレジスタ(ICMMR) 変更	
		2074, 2075	38.2.5 スレープモード制御レジスタ(ICSCR) 変更	
		2077, 2078	38.2.7 F/Sモードビットレートレジスタ(ICFBR) 変更	
		2079	38.2.8 Hsモードビットレートレジスタ(ICHBR) 変更	
		2081	38.2.9 バスフリー時間設定レジスタ(ICBFTR) 変更	
		2082	38.2.10 出力信号制御レジスタ(ICOCR) 変更	
		2091	38.2.16 送受信データレジスタ(ICDR) 変更	
		2092~2094	38.2.17 ステータスレジスタ2(ICSR2) 変更	
		2097	38.2.20 通信ステータスレジスタ(ICCSR) 変更	
		2100	38.2.23 バスステータスレジスタ(ICBSR) 変更	
		2107	38.2.27 ビットカウントレジスタ(ICBCR) 変更	
		2110	図38.4 RIICHSの初期化フローチャート例 タイトル変更	
		2111~2125	章の構成を変更 38.3.3~38.3.6 → 38.3.3~38.3.4.2	
		2126~2155	章の構成を変更 38.4~38.12 → 38.4~38.4.9	
		2136	38.4.4.5 ホストアドレス検出機能 変更	
		2146~2148	38.4.7.2 リスタートコンディション発行動作 変更、注記 変更	
		2158	表38.6 レジスタのリセットコントロール(1/3) 変更	
		41. シリアルペリフェラルインタフェース(RSPIA)		
		全体	【表記変更】 「SSL0n」 → 「SSL0i」	
		2312	本文変更	
		2312, 2315	41.1 概要 本文変更	
		2312~2315	章の構成を変更 41.1.1~41.1.3 → 41.1	
		2312	表41.1 RSPIAの仕様(1/2) 変更	
		2315	表41.2 RSPIAの入出力端子 変更	
		2316	41.2.1 RSPI データレジスタ(SPDR) 変更	
		2321	41.2.3 RSPI スレープセレクトネゲート遅延レジスタ(SSLND) 変更	
		2324~2326	41.2.5 RSPI 制御レジスタ(SPCR) 変更	
		2335	41.2.12 RSPI コマンドレジスタm(SPCMDm) (m = 0 ~ 7) 変更	
		2379	図41.29 RSPI 転送フォーマット(CPHA = 1, FRFS = 1) 変更	
		2383	図41.33 SPTI, SPRI 割り込みの動作例 変更	
		2385	図41.34 アイドル割り込み動作例(マスタモード/Motorola SPI) 変更	
		2386	図41.35 アイドル割り込み動作例(マスタモード/TI SSP) 変更	
		2391, 2392	41.3.9.3 スレープ送受信モード/スレープ送信専用モード、SPI 動作時 タイトル変更	
		2391	図41.41 SPCI 割り込み動作例(スレープ送受信モード/スレープ送信専用モード、Motorola SPI) 変更	
		2392	図41.42 SPCI 割り込み動作例(スレープ送受信モード/スレープ送信専用モード、TI SSP) 変更	
		2393, 2394	41.3.9.4 スレープ受信専用モード、SPI 動作時 変更、タイトル変更	
		2395	41.3.9.5 スレープ送受信モード/スレープ送信専用モード、クロック同期動作時 変更、タイトル変更	
		2396	41.3.9.6 スレープ受信専用モード、クロック同期動作時 変更、タイトル変更	
		2399	図41.48 マスタモードの受信FIFOにFIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形(CPHA = 1) 変更	
		2400	図41.49 マスタモードの受信FIFOにFIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形(CPHA = 0) 変更	
		2401	図41.50 マスタモードの受信FIFOにFIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形(バースト転送でフレーム間遅延なし/CPHA = 1) 変更	
		2402	図41.51 マスタモードの受信FIFOにFIFO 段数分データが格納されている状態でシリアル転送が継続するときのクロック停止波形(バースト転送でフレーム間遅延なし/CPHA = 0) 変更	

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.20	2024.09.30	2403	41.3.10.2 パリティエラー 変更		
		2442	41.4.1 モジュールストップ機能の設定 追加		
		2443	表41.17 データ長と動作の可否 (SPCMDm.BRDV[1:0] = 00b, SPBR = 00h) タイトル変更		
		2443	41.4.9 レジスタ書き換えに関する注意事項 タイトル変更		
		45. シリアルサウンドインタフェース (SSIE)			
		2547	本文追加		
		2547~2549	45.1 概要 本文変更		
		2547	表45.1 SSIEの仕様 変更		
		2548	表45.2 用語の定義 変更		
		2550, 2551	45.2.1 コントロールレジスタ (SSICR) 注3 追加		
		2575	45.3.3.2 マスタモード 変更		
		2579	図45.21 初期設定フロー例 変更		
		47. 静電容量式タッチセンサ (CTSUa)			
		2652	47.2.20 CTSUエラーステータスレジスタ (CTSUERRS) 変更	TN-RX*-A0262A/J	
		2669	47.4.1 モジュールストップ機能の設定 追加		
		49. Trusted Secure IP (TSIP)			
		2691	49.2.1 動作モードと状態遷移 変更		
		2692	49.2.2 暗号エンジン 変更		
		2693	49.2.3 鍵インストール 変更		
		2694	49.2.4 暗号/復号処理 変更		
		50. 12ビットA/Dコンバータ (S12ADFa)			
		2729	表50.10 TRSA[5:0]ビットでのA/D起動要因選択一覧 変更		
		2748	図50.4 コンペア機能ウィンドウA コンペア条件説明 変更		
		2762	図50.5 コンペア機能ウィンドウB コンペア条件説明 変更		
		2806	50.3.6.2 コンペア機能制約 変更		
		2815	50.5 許容信号源インピーダンスについて 変更		
		2815	図50.37 アナログ入力端子と外部センサの等価回路 変更		
		51. 温度センサ (TEMPS)			
		2824	51.2.2 温度センサ校正データレジスタ (TSCDR) 変更		
		2826	51.3.1 使用前の準備 変更		
		2827	51.3.2 12ビットA/Dコンバータ (ユニット1)の設定 変更		
		2828	図51.3 温度センサの使用手順フロー 変更		
		55. フラッシュメモリ (FLASH)			
		2849	表55.1 フラッシュメモリの仕様 注3 追加		
		2860	55.4.5 フラッシュ P/E プロテクトレジスタ (FWEPROR) 変更		
		2864	55.4.9 FACLコマンド処理開始アドレスレジスタ (FSADDR) 変更		
		2865	55.4.10 FACLコマンド処理終了アドレスレジスタ (FEADDR) 注1 変更		
		2866, 2867	55.4.11 フラッシュステータスレジスタ (FSTATR) 変更		
		2870, 2871	55.4.12 フラッシュ P/E モードエントリレジスタ (FENTRYR) 変更		
		2872	55.4.13 フラッシュシーケンサ設定初期化レジスタ (FSUINITR) 注2 変更		
		2876	55.4.18 フラッシュシーケンサ処理切り替えレジスタ (FCPSR) 変更		
		2877	55.4.19 フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR) 注2 変更		
		2878	55.4.20 フラッシュアクセスウィンドウモニタレジスタ (FAWMON) 変更		
		2879	55.4.21 スタートアップ領域コントロールレジスタ (FSUACR) 注2 変更		
		2888	表55.11 FACLコマンドのフォーマット 変更		
		2892	図55.10 コードフラッシュメモリ P/E モード移行フロー 変更		
		2892	図55.11 データフラッシュメモリ P/E モード移行フロー 変更		
		2893	図55.12 リードモード移行フロー 変更		
		2894	図55.13 FACL コマンド使用時の概略フロー 変更		
		2895	図55.14 コマンドロック状態からの復帰方法 変更		
2896	55.8.3.6 プログラムコマンド 変更	TN-RX*-A0261A/J			
2897	図55.15 プログラムコマンドの使用方法 変更				
2898	55.8.3.7 ブロックイレーズコマンド 変更				
2898	図55.16 ブロックイレーズコマンドの使用方法 変更				
2899	55.8.3.8 マルチブロックイレーズコマンド 変更				
2899	表55.14 イレーズサイズ設定 変更				

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.20	2024.09.30	2899	図55.17 マルチブロックイレーズコマンドの使用法 変更		
		2901	図55.18 P/Eサスペンドコマンドの使用法 変更		
		2902, 2903	55.8.3.9 P/E サスペンドコマンド 変更		
		2902	図55.19 プログラム処理の中断動作 変更		
		2903	図55.20 イレーズ処理の中断動作(サスペンド優先モード) 変更		
		2904	図55.21 イレーズ処理の中断動作(イレーズ優先モード) 変更		
		2905	図55.22 P/E レジュームコマンドの使用法 変更		
		2907	図55.24 強制終了コマンドの使用法 変更		
		2909	図55.25 ブランクチェックコマンドの使用法 変更		
		2911	図55.26 コンフィギュレーション設定コマンドの使用法 変更		
		2912	55.8.3.14 コンフィギュレーション設定コマンド 変更		
		2912	表55.15 コンフィギュレーション設定コマンドで使用するアドレス 変更、注1、2 変更		
		2914, 2915	表55.16 エラープロテクト一覧 変更、注3 削除		
		2951	55.15.15 シリアルプログラミングIDコードチェックコマンド 変更		
		2972	55.15.27 使用例 (1)書き換え方法の例 変更		
		2973, 2974	55.15.28 デュアルモード使用時のフラッシュメモリ書き換え 追加		
		2977	表55.25 BGO機能を利用可能な条件 変更		
		2978	表55.27 TM機能有効時のTM対象領域内のアクセス制限 変更		
		2983	55.19.4.1 TM 対象領域のアクセス防止 変更		
		2985	55.20.7 ブートモード(USB インタフェース)における注意事項 変更		
		2985	55.20.9 プログラムコマンド発行時の注意事項 追加	TN-RX*-A0267A/J	
		56. 電気的特性			
		2987	表56.3 推奨動作条件(2) 注1 変更	TN-RX*-A0273A/J	
		2990	表56.6 DC特性(3) 変更		
		3036	図56.57 簡易IICバスインタフェース入出力タイミング 変更		
		3053	表56.46 RIICタイミング(1) 変更		
		3054	表56.47 RIICタイミング(2) 変更		
		3054	図56.85 RIICバスインタフェース入出力タイミング 変更		
		3055, 3056	表56.48 RIICHSタイミング(1) 変更		
		3056	図56.86 RIICHSバスインタフェース入出力タイミング 変更		
		3057	表56.49 RIICHSタイミング(2) 変更	TN-RX*-A0266A/J	
		3072	表56.63 オプション設定メモリ特性 追加	TN-RX*-A0276B/J	

RX671グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2021年3月31日 Rev.1.00
2024年9月30日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

RX671 グループ