

RZ/T1-M グループ

ユーザーズマニュアル ハードウェア編

RZ ファミリ RZ/T シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

- 当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

- このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RZ/T1-M グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス のホームページに掲載されています。

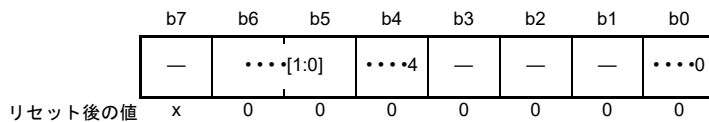
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	—	—
ユーザズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RZ/T1-Mグループ ユーザズマニュアル ハードウェア編	本ユーザズマニュアル
ユーザズマニュアル ソフトウェア編	Arm®社のホームページから情報を入手してください。		
アプリケーションノート	応用例参考プログラムなど	—	—
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.Xレジスタ

アドレス xxxx xxxh



x: 不定

ビット	シンボル	ビット名	機能	R/W
b00ビット (2)	0: 1: 設定しないでください (3)	R/W (1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b44ビット	0: 1: 上記以外は設定しないでください (3)	R
b6-b5[1:0]ビット	00: 01: 上記以外は設定しないでください (3)	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

(1) R/W : 読み出し / 書き込みともに有効です。

R/(W) : 読み出し / 書き込みともに有効ですが、書き込みには制限があります。

制限の内容については、各レジスタの説明や注記を参照してください。

R : 読み出しのみ有効です。書き込みは無効になります。

(2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。

(3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
I/O	Input / Output	入出力
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース

4. アクセスサイズの表記

アクセスサイズ：

8 bit = バイト

16 bit = ワード

32 bit = ロングワード

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

特長	30
1. 概要	31
1.1 仕様概要	31
1.2 製品一覧	37
1.3 ブロック図	38
1.4 端子機能	39
1.5 ピン配置図	42
2. CPU	49
2.1 概要	49
2.2 コンフィギュレーション情報	50
2.3 CPU 制限事項	50
2.4 レジスタ説明	51
2.4.1 ATCM ウェイト制御レジスタ (SYTATCMWAIT)	51
3. 動作モード	52
3.1 概要	52
3.2 動作モードの種類と選択	52
3.3 各動作モードで使用するハードウェアの情報	52
3.4 レジスタの説明	53
3.4.1 モードモニタレジスタ (MDMONR)	53
3.5 動作モードの説明	54
3.5.1 ブート機能	54
3.5.2 ロード用パラメータ	55
3.5.3 ロードプログラム	57
3.5.4 SPI ブートモード (シリアルフラッシュ)	57
3.5.4.1 SPI ブートモードにおける動作設定	58
3.5.5 MPU 設定	61
3.5.6 ブート関連情報とエラー処理	62
3.5.7 注意事項	63
3.5.7.1 例外処理	63
3.5.7.2 SPI ブートモード使用時のシリアルフラッシュについて	63
4. アドレス空間	64
4.1 アドレス空間	64
5. I/O レジスタ	67
5.1 I/O レジスタアドレス一覧 (アドレス順)	68
6. リセット	110
6.1 概要	110
6.2 レジスタの説明	112
6.2.1 リセットステータスレジスタ 0 (RSTSR0)	112
6.2.2 ソフトウェアリセットレジスタ (SWRR1)	113
6.3 動作説明	114

6.3.1	RES# 端子リセット	114
6.3.2	ECM リセット	114
6.3.3	ソフトウェアリセット	114
6.3.4	リセット発生要因の判定	115
6.3.5	リセット出力端子 (RSTOUT#)	115
6.3.6	リセット入力のノイズ除去	115
6.4	使用上の注意事項	116
6.4.1	リセット出力端子 (RSTOUT#) について	116
7.	クロック発生回路	117
7.1	概要	117
7.2	レジスタの説明	121
7.2.1	システムクロックコントロールレジスタ (SCKCR)	121
7.2.2	システムクロックコントロールレジスタ 2 (SCKCR2)	122
7.2.3	PLL1 コントロールレジスタ (PLL1CR)	123
7.2.4	PLL1 コントロールレジスタ 2 (PLL1CR2)	125
7.2.5	低速オンチップオシレータコントロールレジスタ (LOCOCR)	126
7.2.6	発振停止検出コントロールレジスタ (OSTDCR)	127
7.3	メインクロック発振器の入力	128
7.3.1	発振子を接続する方法	128
7.4	発振停止検出機能	130
7.4.1	発振停止検出と検出後の動作	130
7.4.2	発振停止検出割り込み	130
7.5	PLL 発振異常検出機能	130
7.6	低速オンチップオシレータ発振異常検出	130
7.7	PLL 回路	130
7.8	内部クロック	131
7.8.1	CPU クロック (CPUCLK)	131
7.8.2	システムクロック (ICLK)	131
7.8.3	高速周辺モジュールクロック (PCLKA)	131
7.8.4	低速周辺モジュールクロック (PCLKB)	131
7.8.5	低速周辺モジュールクロック (PCLKD、PCLKE、PCLKF、PCLKG、PCLKH)	131
7.8.6	高速シリアルクロック (SERICK)	131
7.8.7	CLMA クロック (CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、 CLMAPLCLK1)	132
7.8.8	IWDT クロック (IWDTCLK)	132
7.8.9	ECM クロック (ECMCLK)	132
7.8.10	JTAG 用クロック	132
7.8.11	トレース I/F クロック (TCLK)	132
7.9	使用上の注意事項	133
7.9.1	クロック発生回路に関する使用上の注意事項	133

7.9.2	発振子に関する注意事項.....	133
7.9.3	ボード設計上の注意.....	133
8.	クロックモニタ回路 (CLMA).....	134
8.1	概要.....	134
8.2	レジスタの説明.....	136
8.2.1	CLMA _n 制御レジスタ 0 (CLMA _n CTL0) (n = 2-0).....	136
8.2.2	CLMA _n コンペアレジスタ L (CLMA _n CMPL) (n = 2-0).....	137
8.2.3	CLMA _n コンペアレジスタ H (CLMA _n CMPH) (n = 2-0).....	137
8.2.4	CLMA _n コマンドレジスタ (CLMA _n PCMD) (n = 2-0).....	138
8.2.5	CLMA _n プロテクションステータスレジスタ (CLMA _n PS) (n = 2-0).....	138
8.3	動作説明.....	139
8.3.1	CLMA _n の動作.....	139
8.3.2	異常クロック周波数の検出.....	140
8.3.3	異常クロック周波数の検出.....	142
8.4	CLMA _n 使用上の注意事項.....	142
9.	消費電力低減機能.....	143
9.1	概要.....	143
9.2	レジスタの説明.....	144
9.2.1	モジュールストップコントロールレジスタ A (MSTPCRA).....	144
9.2.2	モジュールストップコントロールレジスタ B (MSTPCRB).....	145
9.2.3	モジュールストップコントロールレジスタ C (MSTPCRC).....	146
9.2.4	モジュールストップコントロールレジスタ E (MSTPCRE).....	148
9.2.5	モジュールストップコントロールレジスタ F (MSTPCRF).....	149
9.3	動作説明.....	150
9.3.1	モジュールストップ機能.....	150
9.3.2	Cortex-R4 のスタンバイモード.....	152
9.3.2.1	Cortex-R4 のスタンバイモードへの遷移.....	152
9.3.2.2	Cortex-R4 のスタンバイモードの解除.....	152
9.4	使用上の注意事項.....	153
9.4.1	I/O ポートの状態.....	153
9.4.2	DMAC のモジュールストップ.....	153
9.4.3	モジュールストップ中の内蔵周辺モジュールの割り込み.....	153
9.4.4	ライトプロテクション機能.....	153
10.	デバッグインタフェース.....	154
10.1	概要.....	154
10.2	レジスタの説明.....	159
10.2.1	デバッグインタフェース制御レジスタ (DBGIFCNT).....	159
10.3	動作説明.....	160
10.3.1	JTAG インタフェース.....	160
10.3.2	SWD インタフェース.....	161

10.3.3	トレースポートインタフェース	162
10.3.4	SWV インタフェース	163
10.3.5	リセット構成とエミュレータとの接続方法	164
10.3.5.1	nTRST 出力を High ドライブできないエミュレータの接続例	164
10.3.5.2	nTRST 出力を High ドライブできるエミュレータの接続例	165
10.3.6	エミュレータを接続しない場合の JTAG 端子の処置	166
10.3.7	TRST# 端子のノイズ除去	166
10.3.8	使用可能なトレース機能	166
10.3.9	メインバスへのアクセス	166
11.	レジスタライトプロテクション機能	167
11.1	概要	167
11.2	レジスタの説明	168
11.2.1	プロテクトレジスタ (PRCR)	168
12.	割り込みコントローラ (ICUA)	169
12.1	概要	169
12.2	レジスタの説明	171
12.2.1	IRQ コントロールレジスタ i (IRQCRI) ($i=0\sim 4, 6, 7$)	171
12.2.2	IRQ 端子デジタルノイズフィルタ許可レジスタ (IRQFLTE)	172
12.2.3	IRQ 端子デジタルノイズフィルタ設定レジスタ (IRQFLTC)	173
12.2.4	ノンマスクابل割り込みステータスレジスタ (NMISR)	174
12.2.5	ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)	175
12.2.6	NMI 端子割り込みコントロールレジスタ (NMICR)	175
12.2.7	NMI 端子デジタルノイズフィルタ許可レジスタ (NMIFLTE)	176
12.2.8	NMI 端子デジタルノイズフィルタ設定レジスタ (NMIFLTC)	177
12.3	動作説明	178
12.3.1	割り込み要求先の選択	178
12.3.2	デジタルノイズフィルタ	180
12.3.3	外部端子割り込み	181
12.3.4	NMI 端子割り込み	181
12.4	Cortex-R4 ベクタ割り込みコントローラ (VIC)	182
12.4.1	概要	182
12.4.2	レジスタの説明	183
12.4.2.1	IRQ ステータスレジスタ n (IRQSn) ($n=0\sim 9$)	183
12.4.2.2	割り込み入力ステータスレジスタ n (RAISn) ($n=0\sim 9$)	188
12.4.2.3	割り込みイネーブルレジスタ n (IENn) ($n=0\sim 9$)	193
12.4.2.4	割り込みイネーブルクリアレジスタ n (IECn) ($n=0\sim 9$)	198
12.4.2.5	割り込み検出タイプ選択レジスタ n (PLSn) ($n=0\sim 9$)	203
12.4.2.6	エッジ検出ビットクリアレジスタ n (PICn) ($n=0\sim 9$)	208
12.4.2.7	割り込み優先レベルマスクレジスタ 0 (PRLM0)	213
12.4.2.8	割り込み優先レベルマスクレジスタ 1 (PRLM1)	214

12.4.2.9	割り込み優先レベルマスククリアレジスタ 0 (PRLC0)	215
12.4.2.10	割り込み優先レベルマスククリアレジスタ 1 (PRLC1)	216
12.4.2.11	ユーザモードイネーブルレジスタ 0 (UEN0)	217
12.4.2.12	ユーザモードイネーブルレジスタ 1 (UEN1)	218
12.4.2.13	割り込みアドレスレジスタ (HVA0)	219
12.4.2.14	割り込みサービスステータスレジスタ n (ISSn) (n = 0 ~ 9)	220
12.4.2.15	割り込みサービスカレントレジスタ n (ISCn) (n = 0 ~ 9)	226
12.4.2.16	割り込みアドレス格納レジスタ 0 (VADn) (n = 1 ~ 255) 割り込みアドレス格納レジスタ 1 (VADn) (n = 256 ~ 294)	231
12.4.2.17	割り込み優先レベル格納レジスタ 0 (PRLn) (n = 1 ~ 255)	232
12.4.2.18	割り込み優先レベル格納レジスタ 1 (PRLn) (n = 256 ~ 294)	233
12.4.3	ベクタテーブル	234
12.4.3.1	割り込みのベクタテーブル	234
12.4.4	動作説明	243
12.4.4.1	VIC のレジスタ初期化	243
12.4.4.2	PLS / PRLM / VAD / PRL レジスタ書き換え手順	244
12.4.4.3	割り込み検出	246
12.4.4.4	割り込み多重制御における優先レベル	249
12.4.4.5	多重割り込み処理	249
12.4.4.6	ポーリングによる IRQ 割り込み処理	252
12.4.5	スリープモードからの復帰	253
12.4.6	使用上の注意事項	254
12.4.6.1	VIC の優先レベルに関する制約	254
12.4.6.2	HVA0 レジスタアクセス時の注意点	254
12.4.6.3	レベル検出選択時の注意	255
12.4.6.4	IECn レジスタの書き換え時の注意	255
12.4.6.5	ベクタ設定について	255
12.5	使用上の注意事項	256
12.5.1	外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合	256
12.5.2	NMI 端子割り込みを立ち下がりエッジで使用する場合	256
13.	内部バス	257
13.1	概要	257
13.2	内部メインバス	258
14.	DMA コントローラ (DMACAa)	259
14.1	概要	259
14.2	レジスタの説明	260
14.2.1	ネクストソースアドレスレジスタ n (NOSA_n_N, NOSA_n_W, NISA_n_N, NISA_n_W)	260
14.2.2	ネクストデスティネーションアドレスレジスタ n (N0DA_n, N1DA_n)	262
14.2.3	ネクストトランザクションバイトレジスタ n (N0TB_n, N1TB_n)	263
14.2.4	カレントソースアドレスレジスタ (CRSA_n)	264

14.2.5	カレントデスティネーションアドレスレジスタ (CRDA_n)	265
14.2.6	カレントトランザクションバイトレジスタ (CRTB_n)	266
14.2.7	チャンネルステータスレジスタ n (CHSTAT_n)	267
14.2.8	DMAC Unit0 要因選択レジスタ i (DMA0SELi) (i = 0 ~ 15)	271
14.2.9	DMAC Unit1 要因選択レジスタ i (DMA1SELi) (i = 0 ~ 15)	271
14.2.10	DMAC ソフトウェア起動レジスタ (DMASTG)	272
14.2.11	チャンネルコントロールレジスタ n (CHCTRL_n)	273
14.2.12	チャンネルコンフィギュレーションレジスタ n (CHCFG_n)	275
14.2.13	チャンネルインターバルレジスタ n (CHITVL_n)	279
14.2.14	ネクストリンクアドレスレジスタ n (NXLA_n)	279
14.2.15	カレントリンクアドレスレジスタ n (CRLA_n)	280
14.2.16	ソースコンティニューアスレジスタ n (SCNT_n)	281
14.2.17	ソーススキップレジスタ n (SSKP_n)	282
14.2.18	デスティネーションコンティニューアスレジスタ n (DCNT_n)	284
14.2.19	デスティネーションスキップレジスタ n (DSKP_n)	285
14.2.20	DMA コントロールレジスタ (DCTRL_X (X = A, B))	287
14.2.21	デスク립タインターバルレジスタ n (DSCITVL_X (X = A, B))	288
14.2.22	DMA ステータス EN レジスタ (DST_EN_X (X = A, B))	289
14.2.23	DMA ステータス ER レジスタ (DST_ER_X (X = A, B))	290
14.2.24	DMA ステータス END レジスタ (DST_END_X (X = A, B))	291
14.2.25	DMA ステータス SUS レジスタ (DST_SUS_X (X = A, B))	292
14.3	動作説明	293
14.3.1	DMA モード	293
14.3.1.1	レジスタ・モード	293
14.3.1.2	リンク・モード	300
14.3.1.3	WRITE ONLY モード	309
14.3.2	転送モード	309
14.3.2.1	シングル転送モード	310
14.3.2.2	ブロック転送モード	310
14.3.3	DMA チャンネルの優先順位制御	310
14.3.3.1	固定優先順位モード	310
14.3.3.2	ラウンドロビン・モード	311
14.3.4	DMA 転送要求	312
14.3.4.1	DMA 転送要求の要因毎の検出動作指定	312
14.3.4.2	エッジ検出	315
14.3.4.3	レベル検出	315
14.3.5	強制排出要求	315
14.3.5.1	ソフトウェア強制排出要求	315
14.3.6	インターバル・カウント機能	316
14.3.7	転送データサイズによる動作の違い	316

14.3.7.1	転送元側の転送データサイズが小さい場合	316
14.3.7.2	転送先の転送データサイズが小さい場合	316
14.3.7.3	転送元と転送先の転送データサイズが同じ場合	316
14.3.8	DMA 転送状態	317
14.3.9	一時停止 (サスペンド)	318
14.3.10	転送中断	319
14.3.10.1	転送中断 (バッファ掃き出しなし : SBE = 0)	319
14.3.10.2	転送中断 (バッファ掃き出しあり : SBE = 1)	320
14.3.10.3	チャンネル停止の確認方法	320
14.3.10.4	転送中断手順	321
14.4	割り込み	322
14.4.1	割り込み要因	322
14.4.2	DMA 転送完了割り込み	322
14.4.3	DMA エラー割り込み	323
14.5	DMA 設定例	324
14.5.1	設定例 1 (レジスタ・モード ソフトウェア・リクエスト)	325
14.5.2	設定例 2 (レジスタ・モード 連続実行)	327
14.5.3	設定例 3 (リンク・モード)	329
14.5.4	Next レジスタ連続実行設定	332
14.6	使用上の注意	335
15.	イベントリンクコントローラ (ELC)	336
15.1	概要	336
15.2	レジスタの説明	337
15.2.1	イベントリンクコントロールレジスタ (ELCR)	337
15.2.2	イベントリンク設定レジスタ n (ELSRn) (n = 7、15、18 ~ 27、33、35 ~ 38、45)	337
15.2.3	イベントリンクオプション設定レジスタ C (ELOPC)	340
15.2.4	ポートグループ指定レジスタ n (PGRn) (n = 2)	340
15.2.5	ポートグループコントロールレジスタ n (PGCn) (n = 2)	341
15.2.6	ポートバッファレジスタ n (PDBFn) (n = 2)	342
15.2.7	イベント接続ポート指定レジスタ n (PELn) (n = 0 ~ 3)	343
15.2.8	イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)	344
15.2.9	イベントリンクオプション設定レジスタ F (ELOPF)	345
15.2.10	イベントリンクオプション設定レジスタ H (ELOPH)	346
15.3	動作説明	347
15.3.1	割り込み処理とイベントリンクの関係	347
15.3.2	イベントのリンク	348
15.3.3	タイマ系周辺機能のイベント入力時の動作	349
15.3.4	A/D コンバータのイベント入力時の動作	349
15.3.5	I/O ポートのイベント入力動作とイベント発生動作	349

15.3.6	イベントリンクの動作設定手順例	354
15.4	使用上の注意事項	355
15.4.1	ELSR18、ELSR19 レジスタの設定について	355
15.4.2	出力ポートグループのビットローテート動作の設定について	355
15.4.3	クロック設定について	355
15.4.4	モジュールストップ機能の設定	355
16.	I/O ポート	356
16.1	概要	356
16.2	入出力ポートの構成	358
16.3	レジスタの説明	363
16.3.1	ポート方向レジスタ (PDR)	363
16.3.2	ポート出力データレジスタ (PODR)	364
16.3.3	ポート入力データレジスタ (PIDR)	365
16.3.4	ポートモードレジスタ (PMR)	366
16.3.5	プルアップ/プルダウン制御レジスタ (PCR)	367
16.3.6	駆動能力制御レジスタ (DSCR)	368
16.4	未使用端子の処理	369
17.	マルチファンクションピンコントローラ (MPC)	370
17.1	概要	370
17.2	レジスタの説明	373
17.2.1	書き込みプロテクトレジスタ (PWPR)	373
17.2.2	P0n 端子機能制御レジスタ (P0nPFS) (n = 0)	374
17.2.3	P1n 端子機能制御レジスタ (P1nPFS) (n = 0)	375
17.2.4	P2n 端子機能制御レジスタ (P2nPFS) (n = 1、2、7)	376
17.2.5	P3n 端子機能制御レジスタ (P3nPFS) (n = 3 ~ 5)	377
17.2.6	P4n 端子機能制御レジスタ (P4nPFS) (n = 0、2、4)	378
17.2.7	P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 6)	379
17.2.8	P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ~ 5)	380
17.2.9	P7n 端子機能制御レジスタ (P7nPFS) (n = 1 ~ 3)	381
17.2.10	P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 7)	382
17.2.11	PAn 端子機能制御レジスタ (PAnPFS) (n = 3 ~ 5)	383
17.2.12	PCn 端子機能制御レジスタ (PCnPFS) (n = 2、3、6、7)	384
17.2.13	PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)	385
17.2.14	PGn 端子機能制御レジスタ (PGnPFS) (n = 2 ~ 6)	386
17.3	使用上の注意事項	387
17.3.1	端子入出力機能の設定手順	387
17.3.2	MPC レジスタ設定時の注意事項	387
17.3.3	ポートリード機能を使用する場合の注意事項	389
18.	16 ビットタイマパルスユニット (TPUa)	391
18.1	概要	391

18.2	レジスタの説明	396
18.2.1	タイマコントロールレジスタ (TCR)	396
18.2.2	タイマモードレジスタ (TMDR)	400
18.2.3	タイマ I/O コントロールレジスタ (TIORH、TIORL、TIOR)	402
18.2.4	タイマ割り込み許可レジスタ (TIER)	412
18.2.5	タイマステータスレジスタ (TSR)	414
18.2.6	タイマカウンタ (TCNT)	416
18.2.7	タイマジェネラルレジスタ A (TGRA) タイマジェネラルレジスタ B (TGRB) タイマジェネラルレジスタ C (TGRC) タイマジェネラルレジスタ D (TGRD)	417
18.2.8	タイマスタートレジスタ (TSTRA)	418
18.2.9	タイマシンクロレジスタ (TSYRA)	419
18.2.10	ノイズフィルタコントロールレジスタ (NFCR)	420
18.3	動作説明	422
18.3.1	概要	422
18.3.2	同期動作	428
18.3.3	バッファ動作	430
18.3.4	カスケード接続動作	434
18.3.5	PWM モード	436
18.3.6	位相計数モード	442
18.3.6.1	位相計数モード応用例	447
18.3.7	ノイズフィルタ機能	448
18.4	割り込み要因	449
18.5	DMAC の起動	450
18.6	A/D コンバータの起動	450
18.7	動作タイミング	451
18.7.1	入出力タイミング	451
18.7.2	割り込み信号タイミング	455
18.8	使用上の注意事項	457
18.8.1	モジュールストップ機能の設定	457
18.8.2	入力クロックの制限事項	457
18.8.3	周期設定上の注意事項	457
18.8.4	TPUm.TCNT カウンタへの書き込みとクリアの競合	458
18.8.5	TPUm.TCNT カウンタへの書き込みとカウントアップの競合	458
18.8.6	TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合	459
18.8.7	バッファレジスタへの書き込みとコンペアマッチの競合	459
18.8.8	TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合	460
18.8.9	TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合	460
18.8.10	バッファレジスタへの書き込みとインプットキャプチャの競合	461
18.8.11	オーバフロー／アンダフローとカウンタクリアの競合	462

18.8.12	TPUm.TCNT カウンタへの書き込みとオーバフロー／アンダフローの競合	463
18.8.13	コンペアマッチによる割り込み信号の連続出力	464
18.8.14	インプットキャプチャによる割り込み信号の連続出力	464
18.8.15	アンダフローによる割り込み信号の連続出力	465
18.8.16	カスケード接続時におけるインプットキャプチャ動作	466
18.9	イベントリンク動作	467
18.9.1	ELC へのイベント信号送信	467
18.9.2	ELC からのイベント信号受信	467
18.9.3	イベントリンク信号受信による動作の注意事項	470
18.9.4	イベントリンク信号送信動作の注意事項	472
19.	コンペアマッチタイマ (CMT)	474
19.1	概要	474
19.2	レジスタの説明	476
19.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	476
19.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	476
19.2.3	コンペアマッチタイマコントロールレジスタ (CMCR)	477
19.2.4	コンペアマッチタイマカウンタ (CMCNT)	477
19.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR)	478
19.3	動作説明	479
19.3.1	周期カウント動作	479
19.3.2	CMCNT カウンタのカウントタイミング	479
19.4	割り込み	480
19.4.1	割り込み要因	480
19.4.2	コンペアマッチ割り込みの発生タイミング	480
19.5	イベントリンク動作	481
19.5.1	ELC へのイベント発行	481
19.5.2	ELC からのイベント受け付けによる CMT の動作	482
19.5.3	イベントリンク動作に関する CMT の注意事項	485
19.6	使用上の注意事項	488
19.6.1	モジュールストップ機能の設定	488
19.6.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	488
19.6.3	CMCNT カウンタへの書き込みとカウントアップの競合	489
20.	コンペアマッチタイマ W (CMTW)	490
20.1	概要	490
20.2	レジスタの説明	492
20.2.1	タイマスタートレジスタ (CMWSTR)	492
20.2.2	タイマコントロールレジスタ (CMWCR)	493
20.2.3	タイマ I/O コントロールレジスタ (CMWIOR)	495
20.2.4	タイマカウンタ (CMWCNT)	497
20.2.5	コンペアマッチコンスタントレジスタ (CMWCOR)	497

20.2.6	インプットキャプチャレジスタ 0、1 (CMWICR0、CMWICR1).....	498
20.2.7	アウトプットコンペアレジスタ 0、1 (CMWOCR0、CMWOCR1).....	498
20.2.8	デジタルノイズフィルタコントロールレジスタ 0 (NFCR0).....	499
20.2.9	デジタルノイズフィルタコントロールレジスタ 1 (NFCR1).....	500
20.3	動作説明.....	501
20.3.1	周期カウント動作.....	501
20.3.2	コンペアマッチ機能.....	501
20.3.3	アウトプットコンペア機能.....	503
20.3.4	インプットキャプチャ機能.....	505
20.3.5	カウンタサイズ.....	507
20.3.6	CMWCNT カウントタイミング.....	507
20.3.7	アウトプットコンペア出力タイミング.....	508
20.3.8	インプットキャプチャ信号タイミング.....	508
20.3.9	デジタルノイズフィルタ機能.....	509
20.4	割り込み.....	510
20.4.1	CMTW の割り込み要因と DMAC.....	510
20.4.2	コンペアマッチ割り込みの発生タイミング.....	511
20.4.3	アウトプットコンペア割り込みの発生タイミング.....	511
20.4.4	インプットキャプチャ割り込みの発生タイミング.....	512
20.5	イベントリンク動作.....	513
20.5.1	ELC へのイベント発行.....	513
20.5.2	ELC からのイベント受け付けによるアクション.....	514
20.6	使用上の注意事項.....	516
20.6.1	モジュールストップ機能.....	516
20.6.2	CMWCNT カウンタの書き込みとコンペアマッチの競合.....	516
20.6.3	CMWCNT カウンタの書き込みとカウントアップ/カウンタクリアの競合.....	517
20.6.4	CMWCOR レジスタの書き込みとコンペアマッチの競合.....	517
20.6.5	CMWOCR レジスタの書き込みとコンペアマッチの競合.....	518
20.6.6	CMWCNT カウンタ読み出しとカウントアップ/カウンタクリアの競合.....	518
20.6.7	CMWICR レジスタ読み出しとインプットキャプチャの競合.....	519
20.6.8	イベントリンク動作とレジスタアクセスの競合.....	520
21.	ウォッチドッグタイマ (WDTA).....	523
21.1	概要.....	523
21.2	レジスタの説明.....	525
21.2.1	WDT リフレッシュレジスタ (WDTRR).....	525
21.2.2	WDT コントロールレジスタ (WDTCR).....	526
21.2.3	WDT ステータスレジスタ (WDTSR).....	530
21.2.4	WDT リセットコントロールレジスタ (WDTRCR).....	531
21.3	動作説明.....	532
21.3.1	カウント開始条件の動作.....	532

21.3.1.1	レジスタ設定	532
21.3.2	WDTCR レジスタ、WDTRCR レジスタの書き込み制御.....	534
21.3.3	リフレッシュ動作.....	535
21.3.4	ステータスフラグ	536
21.3.5	エラーコントロールモジュール (ECM) へのエラー通知	537
21.3.6	ダウンカウンタ値の読み出し	537
21.4	低消費電力制御	538
21.4.1	低消費電力モード遷移におけるウォッチドッグタイマの動作.....	538
22.	独立ウォッチドッグタイマ (IWDtA).....	539
22.1	概要	539
22.2	レジスタの説明	541
22.2.1	IWDT リフレッシュレジスタ (IWDTRR)	541
22.2.2	IWDT コントロールレジスタ (IWDTCR)	542
22.2.3	IWDT ステータスレジスタ (IWDTSR)	546
22.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	547
22.3	動作説明	548
22.3.1	カウント開始条件の動作.....	548
22.3.1.1	レジスタ設定	548
22.3.2	IWDTCR レジスタ、IWDTRCR レジスタの書き込み制御.....	550
22.3.3	リフレッシュ動作.....	551
22.3.4	ステータスフラグ	553
22.3.5	エラーコントロールモジュール (ECM) へのエラー通知	553
22.3.6	ダウンカウンタ値の読み出し	554
22.4	低消費電力制御	555
22.4.1	低消費電力モード遷移におけるウォッチドッグタイマの動作.....	555
23.	マネージメントデータインプット/アウトプットインタフェース (MDIO).....	556
23.1	マネージメントデータインプット/アウトプットインタフェース (MDIO スレーブ).....	556
23.1.1	概要.....	556
23.1.1.1	入出力端子	556
23.1.1.2	割り込み機能	557
23.1.1.3	制限事項	558
23.1.2	レジスタの説明	559
23.1.2.1	入力レジスタ	559
23.1.2.2	出力レジスタ	565
23.1.3	動作概要	568
23.1.3.1	MDIO スレーブ起動シーケンス	568
23.1.3.2	MDIO スレーブ処理フローチャート	569
23.1.3.3	MDIO スレーブ動作設定	570
23.1.4	使用上の注意事項.....	571
23.2	マネージメントデータインプット/アウトプットインタフェース (MDIO マスタ).....	572

23.2.1	概要	572
23.2.1.1	入出力端子	573
23.2.1.2	入出力端子と I/O ポートの対応	573
23.2.2	レジスタの説明	574
23.2.2.1	ビットレートレジスタ (BR)	574
23.2.2.2	送信レジスタ (TX)	575
23.2.2.3	Version レジスタ (VER)	577
23.2.2.4	受信レジスタ (RX)	578
23.2.3	動作説明	580
23.2.3.1	オペレーションの種類	580
23.2.3.2	MDIO 通信後の IDLE 動作	582
23.2.3.3	割り込み機能	582
23.2.4	設定手順	583
23.2.4.1	初期化	583
23.2.4.2	通常動作設定	585
23.2.4.3	連続動作設定	586
24.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA)	588
24.1	概要	588
24.2	レジスタの説明	590
24.2.1	レシーブシフトレジスタ (RSR)	590
24.2.2	レシーブ FIFO データレジスタ (FRDR)	590
24.2.3	トランスミットシフトレジスタ (TSR)	590
24.2.4	トランスミット FIFO データレジスタ (FTDR)	591
24.2.5	シリアルモードレジスタ (SMR)	591
24.2.6	シリアルコントロールレジスタ (SCR)	593
24.2.7	シリアルステータスレジスタ (FSR)	595
24.2.8	ビットレートレジスタ (BRR)	598
24.2.9	モジュレーションデューティレジスタ (MDDR)	602
24.2.10	FIFO コントロールレジスタ (FCR)	605
24.2.11	FIFO データ数レジスタ (FDR)	607
24.2.12	シリアルポートレジスタ (SPTR)	608
24.2.13	ラインステータスレジスタ (LSR)	610
24.2.14	シリアル拡張モードレジスタ (SEMR)	611
24.2.15	FIFO トリガコントロールレジスタ (FTCR)	612
24.3	動作説明	613
24.3.1	概要	613
24.3.2	調歩同期式モード時の動作	615
24.3.3	クロック同期式モード時の動作	624
24.4	ビットモジュレーション機能	631
24.5	割り込み要因	632

24.6	シリアルポートレジスタ (SPTR) と SCIFA 関連の端子との関係	633
24.7	ノイズ除去機能	635
24.8	使用上の注意事項	636
24.8.1	FTDR レジスタへの書き込みと TDFE フラグ	636
24.8.2	FRDR レジスタの読み出しと RDF フラグ	636
24.8.3	ブレークの検出と処理	636
24.8.4	SPTR レジスタへの書き込み	636
24.8.5	ブレークの送出	637
24.8.6	調歩同期式モードの受信データサンプリングタイミングと受信マージン	637
24.8.7	シリアルステータスレジスタ (FSR) の FER フラグおよび PER フラグの 注意事項	638
24.8.8	クロック同期式モードにおける外部クロック入力時の注意事項	638
24.8.9	モジュールスタンバイモードの設定	638
24.8.10	クロック同期式モードで内部クロック選択時における受信動作の注意事項	638
24.8.11	SCIFA 初期化時の注意事項	638
25.	I ² C バスインタフェース (RIICa)	639
25.1	概要	639
25.2	レジスタの説明	642
25.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	642
25.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	644
25.2.3	I ² C バスモードレジスタ 1 (ICMR1)	648
25.2.4	I ² C バスモードレジスタ 2 (ICMR2)	649
25.2.5	I ² C バスモードレジスタ 3 (ICMR3)	651
25.2.6	I ² C バスファンクション許可レジスタ (ICFER)	653
25.2.7	I ² C バスステータス許可レジスタ (ICSER)	655
25.2.8	I ² C バス割り込み許可レジスタ (ICIER)	657
25.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	659
25.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	662
25.2.11	I ² C スレーブアドレスレジスタ Ly (ICSARLy) (y = 0 ~ 2)	666
25.2.12	I ² C スレーブアドレスレジスタ Uy (ICSARUy) (y = 0 ~ 2)	667
25.2.13	I ² C バスビットレート Low レジスタ (ICBRL)	668
25.2.14	I ² C バスビットレート High レジスタ (ICBRH)	669
25.2.15	I ² C バス送信データレジスタ (ICDRT)	670
25.2.16	I ² C バス受信データレジスタ (ICDRR)	670
25.2.17	I ² C バスシフトレジスタ (ICDRS)	671
25.3	動作説明	672
25.3.1	通信データフォーマット	672
25.3.2	初期設定	674
25.3.3	マスタ送信動作	675
25.3.4	マスタ受信動作	679

25.3.5	スレーブ送信動作.....	684
25.3.6	スレーブ受信動作.....	687
25.4	SCL 同期回路.....	690
25.5	SDA 出力遅延機能.....	691
25.6	デジタルノイズフィルタ回路.....	692
25.7	アドレス一致検出機能.....	693
25.7.1	スレーブアドレス一致検出機能.....	693
25.7.2	ジェネラルコールアドレス検出機能.....	696
25.7.3	デバイス ID アドレス検出機能.....	697
25.8	SCL の自動 Low ホールド機能.....	699
25.8.1	送信データ誤送信防止機能.....	699
25.8.2	NACK 受信転送中断機能.....	700
25.8.3	受信データ取りこぼし防止機能.....	701
25.9	アービトレーションロスト検出機能.....	703
25.9.1	マスタアービトレーションロスト検出機能 (MALE ビット).....	703
25.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット).....	706
25.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット).....	707
25.10	スタートコンディション、リスタートコンディション、 ストップコンディション発行機能.....	708
25.10.1	スタートコンディション発行動作.....	708
25.10.2	リスタートコンディション発行動作.....	708
25.10.3	ストップコンディション発行動作.....	710
25.11	バスハングアップ.....	711
25.11.1	タイムアウト検出機能.....	711
25.11.2	SCL クロック追加出力機能.....	713
25.11.3	RIIC リセット、内部リセット.....	714
25.12	割り込み要因.....	715
25.13	リセットと各コンディション発行時のレジスタおよび機能の状態.....	716
25.14	イベントリンク出力機能.....	717
25.14.1	割り込み処理とイベントリンクの関係.....	717
25.15	使用上の注意事項.....	718
25.15.1	モジュールストップ機能の設定.....	718
26.	シリアルペリフェラルインタフェース (RSPIa).....	719
26.1	概要.....	719
26.2	レジスタの説明.....	723
26.2.1	RSPI 制御レジスタ (SPCR).....	723
26.2.2	RSPI スレーブセレクト極性レジスタ (SSLP).....	725
26.2.3	RSPI 端子制御レジスタ (SPPCR).....	726
26.2.4	RSPI ステータスレジスタ (SPSR).....	728
26.2.5	RSPI データレジスタ (SPDR).....	730

26.2.6	RSPI シーケンス制御レジスタ (SPSCR)	733
26.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	734
26.2.8	RSPI ビットレートレジスタ (SPBR)	735
26.2.9	RSPI データコントロールレジスタ (SPDCR)	736
26.2.10	RSPI クロック遅延レジスタ (SPCKD)	738
26.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	739
26.2.12	RSPI 次アクセス遅延レジスタ (SPND)	740
26.2.13	RSPI 制御レジスタ 2 (SPCR2)	741
26.2.14	RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)	743
26.3	動作説明	746
26.3.1	RSPI 動作の概要	746
26.3.2	RSPI 端子の制御	747
26.3.3	RSPI システム構成例	749
26.3.3.1	シングルマスタ/シングルスレーブ (本 LSI = マスタ)	749
26.3.3.2	シングルマスタ/シングルスレーブ (本 LSI = スレーブ)	750
26.3.3.3	シングルマスタ/マルチスレーブ (本 LSI = マスタ)	751
26.3.3.4	シングルマスタ/マルチスレーブ (本 LSI = スレーブ)	752
26.3.3.5	マルチマスタ/マルチスレーブ (本 LSI = マスタ)	753
26.3.3.6	マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) (本 LSI = マスタ)	754
26.3.3.7	マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) (本 LSI = スレーブ)	755
26.3.4	データフォーマット	756
26.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	757
26.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	761
26.3.5	転送フォーマット	765
26.3.5.1	CPHA ビット = 0 の場合	765
26.3.5.2	CPHA ビット = 1 の場合	766
26.3.6	通信動作モード	767
26.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD = 0)	767
26.3.6.2	送信のみ動作 (SPCR.TXMD = 1)	768
26.3.7	送信バッファエンプティ/受信バッファフル割り込み	769
26.3.8	エラー検出	771
26.3.8.1	オーバランエラー	772
26.3.8.2	パリティエラー	774
26.3.8.3	モードフォルトエラー	775
26.3.9	RSPI の初期化	776
26.3.9.1	SPE ビットのクリアによる初期化	776
26.3.9.2	システムリセット	776
26.3.10	SPI 動作	777
26.3.10.1	マスタモード動作	777

26.3.10.2	スレーブモード動作	788
26.3.11	クロック同期式動作	792
26.3.11.1	マスタモード動作	792
26.3.11.2	スレーブモード動作	796
26.3.12	ループバックモード	798
26.3.13	パリティビット機能の自己判断	799
26.3.14	割り込み要因	800
26.4	イベントリンク機能によるリンク動作 (RSPI チャンネル 0 のみ)	801
26.4.1	受信バッファフルイベント出力	801
26.4.2	送信バッファエンプティイベント出力	801
26.4.3	モードフォルト/オーバラン/パリティエラーイベント出力	801
26.4.4	RSPI アイドルイベント出力	802
26.4.5	送信完了イベント出力	802
26.5	使用上の注意事項	803
26.5.1	モジュールストップ機能の設定	803
26.5.2	消費電力低減機能の注意事項	803
26.5.3	通信の開始に関する注意事項	803
27.	SPI マルチ I/O バスコントローラ (SPIBSC)	804
27.1	概要	804
27.2	レジスタの説明	806
27.2.1	共通コントロールレジスタ (CMNCR)	806
27.2.2	SSL 遅延レジスタ (SSLDR)	809
27.2.3	ビットレート設定レジスタ (SPBCR)	810
27.2.4	データリードコントロールレジスタ (DRCR)	812
27.2.5	データリードコマンド設定レジスタ (DRCMR)	813
27.2.6	データリード拡張アドレス設定レジスタ (DREAR)	814
27.2.7	データリードオプション設定レジスタ (DROPR)	815
27.2.8	データリードイネーブル設定レジスタ (DRENDR)	816
27.2.9	SPI モードコントロールレジスタ (SMCR)	818
27.2.10	SPI モードコマンド設定レジスタ (SMCMR)	819
27.2.11	SPI モードアドレス設定レジスタ (SMADR)	820
27.2.12	SPI モードオプション設定レジスタ (SMOPR)	820
27.2.13	SPI モードイネーブル設定レジスタ (SMENR)	821
27.2.14	SPI モードリードデータレジスタ 0 (SMRDR0)	823
27.2.15	SPI モードライトデータレジスタ 0 (SMWDR0)	824
27.2.16	共通ステータスレジスタ (CMNSR)	825
27.2.17	データリードダミーサイクル設定レジスタ (DRDMCR)	826
27.2.18	SPI モードダミーサイクル設定レジスタ (SMDMCR)	827
27.3	動作説明	828
27.3.1	システム構成	828

27.3.2	アドレスマップ	828
27.3.3	シリアルフラッシュ 32 ビットアドレス	829
27.3.4	データアライメント	830
27.3.5	動作モード	831
27.3.6	外部アドレス空間リードモード	831
27.3.7	リードキャッシュ	836
27.3.8	SPI 動作モード	837
27.3.9	転送フォーマット	840
27.3.10	データフォーマット	841
27.3.11	データ端子制御	844
27.3.12	SPBSSL 端子制御	845
27.3.13	フラグ	846
27.4	使用上の注意事項	847
27.4.1	SPI 動作モードのデータリード転送時の注意事項	847
27.4.2	SPI 動作モードの SPBSSL 信号保持状態からの転送開始の注意事項	847
27.4.3	初期設定についての注意事項	847
28.	CRC 演算器 (CRC)	848
28.1	概要	848
28.2	レジスタの説明	849
28.2.1	CRC データ入力レジスタ (CRCDIR)	849
28.2.2	CRC データ出力レジスタ (CRCDOR)	850
28.2.3	CRC コントロールレジスタ (CRCCR)	851
28.3	動作説明	852
28.3.1	CRC データ出力レジスタ (CRCDOR) の初期化	853
29.	エラーコントロールモジュール (ECM)	854
29.1	概要	854
29.2	レジスタの説明	858
29.2.1	ECM マスタ/チェッカエラーソースステータスレジスタ 0 (ECMmESSTR0 (m = M/C))	858
29.2.2	ECM マスタ/チェッカエラーソースステータスレジスタ 1 (ECMmESSTR1 (m = M/C))	860
29.2.3	ECM マスタ/チェッカエラーソースステータスレジスタ 2 (ECMmESSTR2 (m = M/C))	861
29.2.4	ECM マスタ/チェッカ保護コマンドレジスタ (ECMmPCMD0 (m = M/C))	862
29.2.5	ECM マスカブル割り込みコンフィグレーションレジスタ 0 (ECMMICFG0)	863
29.2.6	ECM マスカブル割り込みコンフィグレーションレジスタ 1 (ECMMICFG1)	866
29.2.7	ECM マスカブル割り込みコンフィグレーションレジスタ 2 (ECMMICFG2)	867
29.2.8	ECM ノンマスカブル割り込みコンフィグレーションレジスタ 0 (ECMNMICFG0)	868
29.2.9	ECM ノンマスカブル割り込みコンフィグレーションレジスタ 1 (ECMNMICFG1)	871

29.2.10	ECM ノンマスクブル割り込みコンフィグレーションレジスタ 2 (ECNMICFG2)	872
29.2.11	ECM 内部リセットコンフィグレーションレジスタ 0 (ECMIRCFG0)	873
29.2.12	ECM 内部リセットコンフィグレーションレジスタ 1 (ECMIRCFG1)	876
29.2.13	ECM 内部リセットコンフィグレーションレジスタ 2 (ECMIRCFG2)	877
29.2.14	ECM エラーソースステータスクリアトリガレジスタ 0 (ECMESSTC0)	878
29.2.15	ECM エラーソースステータスクリアトリガレジスタ 1 (ECMESSTC1)	881
29.2.16	ECM エラーソースステータスクリアトリガレジスタ 2 (ECMESSTC2)	882
29.2.17	ECM 保護コマンドレジスタ (ECMPCMD1)	883
29.2.18	ECM 保護ステータスレジスタ (ECMPS)	883
29.2.19	ECM 擬似エラートリガレジスタ 0 (ECMPE0)	884
29.2.20	ECM 擬似エラートリガレジスタ 1 (ECMPE1)	886
29.2.21	ECM 擬似エラートリガレジスタ 2 (ECMPE2)	887
29.2.22	ECM デイレイタイマコントロールレジスタ (ECMDTMCTL)	888
29.2.23	ECM デイレイタイマレジスタ (ECMDTMR)	889
29.2.24	ECM デイレイタイマコンペアレジスタ (ECMDTMCMP)	889
29.2.25	ECM デイレイタイマコンフィグレーションレジスタ 0 (ECMDTMCFG0)	890
29.2.26	ECM デイレイタイマコンフィグレーションレジスタ 1 (ECMDTMCFG1)	893
29.2.27	ECM デイレイタイマコンフィグレーションレジスタ 2 (ECMDTMCFG2)	894
29.2.28	ECM デイレイタイマコンフィグレーションレジスタ 3 (ECMDTMCFG3)	895
29.2.29	ECM デイレイタイマコンフィグレーションレジスタ 4 (ECMDTMCFG4)	898
29.2.30	ECM デイレイタイマコンフィグレーションレジスタ 5 (ECMDTMCFG5)	899
29.2.31	ECM マスク制御レジスタ (ECMMCNT)	900
29.3	動作説明	901
29.3.1	疑似エラー発生	901
29.3.2	保護レジスタへの書き込み	902
29.3.2.1	保護シーケンス解除	902
29.3.3	デイレイタイマによる割り込み処理のタイムアウト機能	902
29.4	使用上の注意事項	903
29.4.1	ECMCLK に関する注意事項	903
30.	12 ビット A/D コンバータ (S12ADCa)	904
30.1	概要	904
30.2	レジスタの説明	911
30.2.1	A/D データレジスタ y (ADDRy)、A/D データ 2 重化レジスタ (ADDBLDR)、 A/D 温度センサデータレジスタ (ADTSDR)	911
30.2.2	A/D 自己診断データレジスタ (ADRD)	915
30.2.3	A/D コントロールレジスタ (ADCSR)	918
30.2.4	A/D チャネル選択レジスタ A (ADANSA)	922
30.2.5	A/D チャネル選択レジスタ B (ADANSB)	923
30.2.6	A/D 変換値加算/平均モード選択レジスタ (ADADS)	924
30.2.7	A/D 変換値加算/平均回数選択レジスタ (ADADC)	926

30.2.8	A/D コントロール拡張レジスタ (ADCER)	927
30.2.9	A/D 開始トリガ選択レジスタ (ADSTRGR)	929
30.2.10	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	931
30.2.11	A/D サンプリングステートレジスタ n (ADSSTRn) (n=0~7, T)	932
30.2.12	サンプル & ホールド回路コントロールレジスタ (ADSHCR)	933
30.2.13	A/D 断線検出コントロールレジスタ (ADDISCR)	934
30.2.14	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	935
30.2.15	A/D コンペアコントロールレジスタ (ADCMPCR)	936
30.2.16	A/D コンペアチャンネル選択レジスタ (ADCMPSR)	937
30.2.17	A/D コンペアチャンネル選択拡張レジスタ (ADCMPSER)	937
30.2.18	A/D コンペアレベルレジスタ (ADCMPLR)	938
30.2.19	A/D コンペアレベル拡張レジスタ (ADCMPLER)	939
30.2.20	A/D コンペアデータレジスタ y (ADCMPLY) (y=0, 1)	940
30.2.21	A/D コンペアステータスレジスタ (ADCMPSR)	943
30.2.22	A/D コンペアステータス拡張レジスタ (ADCMPSER)	944
30.2.23	A/D 端子レベル自己診断制御レジスタ (ADTDCR)	945
30.2.24	A/D エラーコントロールレジスタ (ADERCR)	946
30.2.25	A/D エラークリアレジスタ (ADERCLR)	946
30.2.26	A/D オーバライトエラーレジスタ (ADOWER)	947
30.2.27	A/D オーバライトエラー拡張レジスタ (ADOWEER)	948
30.3	動作説明	949
30.3.1	スキヤンの動作説明	949
30.3.2	シングルスキヤンモード	950
30.3.2.1	基本動作 (チャンネル専用サンプル&ホールドなし)	950
30.3.2.2	基本動作 (チャンネル専用サンプル&ホールドあり)	951
30.3.2.3	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)	952
30.3.2.4	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)	953
30.3.2.5	温度センサ出力選択時の A/D 変換動作	954
30.3.2.6	ダブルトリガモード選択時の動作	955
30.3.3	連続スキヤンモード	956
30.3.3.1	基本動作 (チャンネル専用サンプル&ホールドなし)	956
30.3.3.2	基本動作 (チャンネル専用サンプル&ホールドあり)	957
30.3.3.3	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)	958
30.3.3.4	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)	959
30.3.3.5	温度センサ出力選択時の A/D 変換動作	960
30.3.4	グループスキャンモード	961
30.3.4.1	基本動作	961
30.3.4.2	ダブルトリガモード選択時の動作	961
30.3.4.3	グループ A 優先制御動作	962
30.3.5	コンペア機能	973

30.3.6	アナログ入力のサンプリング時間とスキャン変換時間	974
30.3.7	A/D データレジスタの自動クリア機能の使用例	977
30.3.8	A/D 変換値加算／平均モード	977
30.3.9	断線検出アシスト機能	978
30.3.10	非同期トリガによる A/D 変換の開始	979
30.3.11	周辺モジュールからの同期トリガによる A/D 変換の開始	980
30.3.12	端子レベル自己診断機能	980
30.3.12.1	シングルスキャンモードでの端子レベル自己診断 (チャンネル専用サンプル&ホールドなし)	981
30.3.12.2	シングルスキャンモードでの端子レベル自己診断 (チャンネル専用サンプル&ホールドあり)	982
30.3.13	エラー検出機能	983
30.4	割り込み要因と DMAC 転送要求	984
30.4.1	割り込み要求	984
30.4.2	ELC へのスキャン終了イベント出力	985
30.5	使用上の注意事項	985
30.5.1	データレジスタの読出し注意事項	985
30.5.2	A/D 変換停止時の注意事項	985
30.5.3	A/D 変換強制停止と開始時の動作タイミング	987
30.5.4	スキャン終了割り込み処理の注意事項	987
30.5.5	モジュールストップ機能の設定	987
30.5.6	低消費電力状態への遷移時の注意	987
30.5.7	断線検出アシスト機能使用時の絶対精度誤差	988
30.5.8	断線検出アシスト機能使用時の注意	988
30.5.9	自己診断機能使用時の注意	988
30.5.10	グループスキャンモード (グループ A 優先制御選択時) の グループ B 再起動設定について	988
30.5.11	許容信号源インピーダンスについて	989
31.	温度センサ	990
31.1	概要	990
31.2	レジスタの説明	991
31.2.1	温度センサコントロールレジスタ (TSCR)	991
31.3	温度センサの使用手法	992
31.3.1	使用前の準備	992
31.3.2	12 ビット A/D コンバータ (ユニット 0) の設定	993
31.3.3	温度センサの使用手順	994
31.3.4	温度センサ出力の A/D 変換タイミング	995
31.4	使用上の注意事項	995
31.4.1	モジュールストップ機能の設定	995
32.	データ演算回路 (DOC)	996
32.1	概要	996

32.2	レジスタの説明	997
32.2.1	DOC 制御レジスタ (DOCR)	997
32.2.2	DOC データインプットレジスタ (DODIR)	998
32.2.3	DOC データセッティングレジスタ (DODSR)	998
32.3	動作説明	999
32.3.1	データ比較モード	999
32.3.2	データ加算モード	1000
32.3.3	データ減算モード	1001
32.4	割り込み要求	1002
32.5	イベントリンク出力機能	1002
32.5.1	割り込み処理とイベントリンクの関係	1002
32.6	使用上の注意事項	1002
32.6.1	モジュールストップ機能の設定	1002
33.	RAM (製品オプション)	1003
33.1	概要	1003
33.2	レジスタの説明	1004
33.2.1	プロテクトコマンドレジスタ (RAMPCMD)	1004
33.2.2	ECC デコーダコンフィグレーションレジスタ (RAMEDC)	1005
33.2.3	ECC エンコーダコンフィグレーションレジスタ (RAMEEC)	1006
33.2.4	2 ビット ECC エラーステータスレジスタ (RAMDBEST)	1008
33.2.5	2 ビット ECC エラーアドレスレジスタ (RAMDBEAD)	1009
33.2.6	2 ビット ECC エラーカウンタレジスタ (RAMDBECNT)	1010
33.3	動作説明	1011
33.3.1	メモリ MAP 構成	1011
33.3.2	ECC 誤り訂正機能	1011
33.3.3	ECC 回路セルフテスト	1012
34.	電気的特性	1014
34.1	絶対最大定格	1014
34.2	電源投入・切断シーケンス	1015
34.3	DC 特性	1016
34.4	AC 特性	1020
34.4.1	クロックタイミング	1021
34.4.2	リセット、割り込みタイミング	1022
34.4.3	内蔵周辺モジュールタイミング	1023
34.4.3.1	I/O ポートタイミング	1023
34.4.3.2	TPUa タイミング	1024
34.4.3.3	CMTW タイミング	1025
34.4.3.4	A/D コンバータトリガタイミング	1026
34.4.3.5	SCIFA タイミング	1027
34.4.3.6	RSPIa タイミング	1029

34.4.3.7	SPIBSC タイミング	1033
34.4.3.8	RIICa タイミング	1037
34.4.3.9	シリアル・マネージメント・インタフェースタイミング	1039
34.5	A/D 変換特性.....	1041
34.6	温度センサ特性	1044
34.7	発振停止検出タイミング	1044
34.8	デバッグインタフェースタイミング	1045
付録 1. 外形寸法図		1047
改訂記録.....		1048

450MHz、Arm®社Cortex®-R4 MCU、FPU内蔵、747 DMIPS、最大1Mバイト拡張内蔵SRAM、MDIO I/F、SPIマルチI/Oバスコントローラなど多種多様な通信機能、安全機能、セキュリティ機能（注1）

特長

■ Arm社32ビットCortex-R4プロセッサ内蔵

- 最大動作周波数450MHzによる高速リアルタイム制御747DMIPSの性能（450MHz動作時）
- Arm社32ビットCortex-R4（リビジョンr1p4）内蔵
- ECC付き密結合メモリ（TCM）512K/32Kバイト
- ECC付き命令キャッシュ/データキャッシュ各8Kバイト
- 高速割り込み
- FPUは単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート
- 8段パイプラインのハーバードアーキテクチャ
- メモリプロテクションユニット（MPU）対応
- Arm社CoreSightアーキテクチャ採用、JTAGおよびSWDインタフェースによるデバッグをサポート

■消費電力低減機能

- スタンバイモードおよびモジュールストップ機能

■拡張内蔵SRAM

- ECC付き拡張内蔵SRAM最大1Mバイト
- 150MHz

■データ転送機能

- DMAC：16ch×2ユニット内蔵

■イベントリンクコントローラ

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPUスリープ状態でも、モジュール間のリンク動作が可能

■リセットおよび電源電圧制御

- 端子リセットなど3種類のリセット要因
- 3.3V、1.2V（I/O部）、1.2V（内部）の2電源構成

■クロック機能

- 発振子入力周波数：25MHz
- CPUクロック周波数：～450MHz
- 低速オンチップオシレータ（LOCO）：240kHz

■独立ウォッチドッグタイマ内蔵

- 低速オンチップオシレータの分周クロックで動作：～120kHz

■安全機能

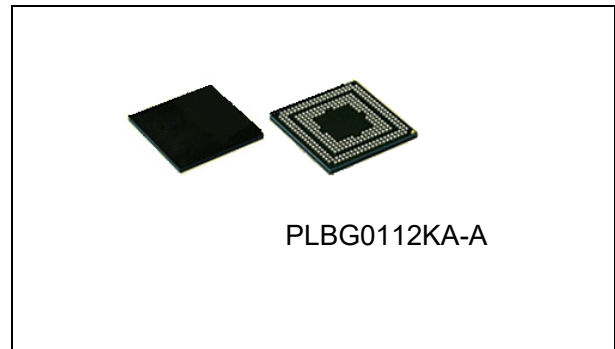
- レジスタライトプロテクション、入力クロック発振停止検出、CRC、IWDtA、A/D自己診断など
- 各モジュールからのエラー要因に対し端子信号出力や割り込み、内部リセットを発生可能なエラーコントロールモジュール搭載

■セキュリティ機能（オプション）（注2）

- 暗号化によるセキュリティ機能を持つブートモード

■マネージメントデータインプット/アウトプットインタフェース（MDIO）

- CFP MSA仕様に準拠した光トランシーバモジュールに備わるインタフェース：1ch（スリープ）
最大動作周波数：4MHz
- DSP制御用インタフェース：2ch（スリープ専用×1、マスタ専用×1（注1））
最大動作周波数：10MHz



■多種多様な通信機能を内蔵

- 16バイトの送受信FIFO搭載SCIFA：4ch
- I2Cバスインタフェース：最大400Kbps転送を2ch
- RSPIa：2ch
- SPIBSC：マルチI/O対応シリアルフラッシュメモリを1ch接続可能

■最大12本の拡張タイマ機能

- 16ビットTPUa（6ch）：インプットキャプチャ、アウトプットコンペア、PWM波形出力
- 16ビットCMT（4ch）、32ビットCMTW（2ch）

■12ビットA/Dコンバータ内蔵

- 12ビット×最大2ユニット（ユニット0：8ch、ユニット1：8ch）
- 自己診断機能
- アナログ入力断線検出機能

■チップ内部の温度を計測可能な温度センサを内蔵

■汎用入出力ポート内蔵

- 5Vトレラント、オープンドレイン、入力プルアップ

■マルチファンクションピンコントローラ

- 周辺機能の入出力端子を複数箇所から選択可能

■動作温度範囲

- Tj = -40°C～+110°C
- Tj：ジャンクション温度

注1. オプション機能

注2. 本オプション機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

1. 概要

1.1 仕様概要

本 LSI は、Arm[®] 社 Cortex[®] -R4 (CR4) Processor with FPU を搭載し、システム構成に必要な周辺機能を集積した高性能マイコンです。表 1.1 に仕様概要を示します。

表 1.1 仕様概要 (1 / 5)

分類	モジュール/機能	説明
CPU	中央演算処理装置 (Cortex-R4)	<ul style="list-style-type: none"> 最大動作周波数 112ピンFBGA：450 MHz Arm社製32ビットCPU Cortex-R4 (コア・リビジョンr1p4) アドレス空間：4Gバイト 命令キャッシュサイズ：8Kバイト (ECC付き) データキャッシュサイズ：8Kバイト (ECC付き) 密結合メモリ (TCM) サイズ ATCM：512Kバイト (ECC付き) BTCM：32Kバイト (ECC付き) 命令セット：Thumb[®]/Thumb-2をサポートするArmv7-Rアーキテクチャ データ配置 命令：リトルエンディアン データ：リトルエンディアン メモリプロテクションユニット (MPU)
	FPU (Cortex-R4)	<ul style="list-style-type: none"> 単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート レジスタ 32ビットシングルワードレジスタ：32ビット×32本 (16本のダブルワードレジスタとしても使用可能：64ビット×16本)
メモリ	ECC付き拡張内蔵 SRAM	<ul style="list-style-type: none"> 容量：最大1Mバイト 動作周波数：150 MHz SEC-DED (シングルエラー訂正/ダブルエラー検出)
動作モード		<ul style="list-style-type: none"> ブートモード SPIブートモード (シリアル・フラッシュ)
クロック	クロック発生回路	<ul style="list-style-type: none"> 入力クロックは外部発振子を使用可能 入力クロック発振停止検出：あり 下記クロックを生成 CPUクロック：450 MHz max システムクロック：150 MHz (固定) 高速周辺モジュールクロック：150 MHz (固定) 低速周辺モジュールクロック：75 MHz (固定) 12ビットA/Dコンバータ (S12ADCa) のADCCLK：60 MHz max 低速オンチップオシレータ：240 kHz (固定)
リセット		RES#端子リセット、エラーコントロールモジュール (ECM) リセット、ソフトウェアリセット
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> スタンバイモード モジュールストップ機能
割り込み	ベクタ割り込み コントローラ (VIC)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数 96 外部割り込み：要因数 8 (NMI端子、IRQ0～IRQ4端子、IRQ6端子、IRQ7端子) ノンマスクابل割り込み：要因数 2 16レベルの割り込み優先順位を設定可能
データ転送	ダイレクトメモリ アクセスコントローラ (DMAC)	<ul style="list-style-type: none"> 2ユニット (ユニット0：16チャンネル、ユニット1：16チャンネル) 転送モード：シングル転送モード、ブロック転送モード 転送サイズ ユニット0：1/2/4/16/32/64バイト ユニット1：1/2/4/16バイト 起動要因：外部割り込み、内蔵周辺モジュールリクエスト、ソフトウェアリクエスト
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 112ピンFBGA 入出力：51 (うち1.2V I/O 7本を含む) 入力：4 プルアップ/プルダウン抵抗：44 5Vトレラント：4

表 1.1 仕様概要 (2 / 5)

分類	モジュール/機能	説明
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> イベント信号でモジュール間動作をリンク可能 タイマ系のモジュールはイベント入力時の動作選択が可能 ポートEのイベントリンク動作が可能
マルチファンクションピンコントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	16ビットタイマパルスユニット (TPUa)	<ul style="list-style-type: none"> 16ビット×6チャンネル 最大16本のパルス入出力が可能 チャンネルごとに7種類または8種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz) インプットキャプチャ/アウトプットコンペア機能をサポート カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) 複数のタイマカウンタ (TCNT) への同時書き込み カウンタの同期動作による各レジスタの同期入出力 最大15相のPWM波形を出力するPWMモード チャンネルによってバッファ動作、位相計数モード (2相エンコーダ入力)、カスケード接続動作 (32ビット×2チャンネル) をサポート A/Dコンバータの変換開始トリガを生成可能 インプットキャプチャ端子にデジタルノイズフィルタあり ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル) × 2ユニット 4種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz) ELCによるイベントリンク機能をサポート (ユニット0のチャンネル1のみ)
	コンペアマッチタイマ W (CMTW)	<ul style="list-style-type: none"> (32ビット×1チャンネル) × 2ユニット コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 4種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz) コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 インプットキャプチャ端子におけるデジタルノイズフィルタ機能 ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル 6種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz)
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック: 低速オンチップオシレータ (LOCO) の2分周カウントクロックの1/16/32/64/128/256分周を選択可能 (最大動作周波数: 120 kHz)

表 1.1 仕様概要 (3 / 5)

分類	モジュール/機能	説明
通信機能	FIFO内蔵シリアル コミュニケーション インタフェース (SCIFA)	<ul style="list-style-type: none"> 4チャンネル シリアル通信方式：調歩同期式/クロック同期式（注2） 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 ビットレートモジュレーション機能をサポート
	I ² Cバスインタフェース (RIIa)	<ul style="list-style-type: none"> 2チャンネル I²Cバスフォーマット対応 マルチマスタ対応 最大転送レート：400 kbps ELCによるイベントリンク機能をサポート
	マネージメントデータ インプット/アウト プットインタフェース (MDIO)	<ul style="list-style-type: none"> 2チャンネル（スレーブ専用×1、マスタ専用×1（注3）） スレーブ：CFP MSA仕様に準拠した光トランシーバモジュール用インタフェース マスタ：DSP制御用インタフェース
	シリアルパリティフェラ ルインタフェース (RSPiA)	<ul style="list-style-type: none"> 2チャンネル RSPi転送機能 MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、RSPCK（RSPi Clock）信号を使用して、SPI動作（4線式）/クロック同期式動作（3線式）でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8～16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送（1フレームは最大32ビット） バッファ構成 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート
	SPIマルチI/Oバス コントローラ (SPIBSC)	<ul style="list-style-type: none"> 1チャンネル マルチI/O（Single / Dual / Quad）対応のシリアルフラッシュメモリが1個接続可能 外部アドレス空間リードモード（リードキャッシュ内蔵） SPI動作モード クロック極性、クロック位相選択可能 最大転送レート：300 Mbps（Quad時）

表 1.1 仕様概要 (4 / 5)

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12ADCa)		<ul style="list-style-type: none"> 12ビット×2ユニット (ユニット0: 8チャンネル、ユニット1: 8チャンネル) 分解能: 12ビット 変換時間 VREFH0, VREFH1 = 3.0~3.6V使用時 ユニット0: 1チャンネル当たり 0.483 μs ユニット1: 1チャンネル当たり 0.883 μs VREFH0, VREFH1 = 2.5~3.0V使用時 ユニット0: 1チャンネル当たり 0.883 μs ユニット1: 1チャンネル当たり 0.883 μs 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/グループスキャンモード) グループA優先制御動作 (グループスキャンモードのみ) サンプル&ホールド機能 チャンネル共通のサンプル&ホールド回路を搭載 上記に加え、チャンネル専用サンプル&ホールド回路を4チャンネル搭載 (ユニット0のみ) サンプリング可変機能 チャンネル毎にサンプリング時間が設定可能 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧を生成可能 (ユニット0: VREFL0, VREFH0 × 1/2, VREFH0、ユニット1: VREFL1, VREFH1 × 1/2, VREFH1) ダブルトリガモード (A/D変換データ2重化機能) アナログ入力断線検出機能 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (TPUa) のトリガ、外部トリガ ELCによるイベントリンク機能をサポート
温度センサ		<ul style="list-style-type: none"> 1チャンネル 相対精度: ±1°C 温度を電圧に変換し、12ビットA/Dコンバータ (ユニット0) でデジタル化
セーフティ	レジスタライト プロテクション	ソフトウェアが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器 (CRC)	<ul style="list-style-type: none"> 8ビット/16ビット/32ビット単位の任意のデータ長に対してCRCコードを生成 4つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (32-Ethernet)、 $X^{16} + X^{12} + X^5 + 1$ (16-CCITT)、 $X^8 + X^4 + X^3 + X^2 + 1$ (8-SAEJ1850)、 $X^8 + X^5 + X^3 + X^2 + X + 1$ (8-0x2F)
	入力クロック発振停止 機能	入力クロック発振停止検出: あり
	クロックモニタ回路 (CLMA)	PLL回路および低速オンチップオシレータの出カクロック周波数異常を監視することが可能
	データ演算回路 (DOC)	16ビットのデータを比較/加算/減算する機能
	エラーコントロール モジュール (ECM)	<ul style="list-style-type: none"> 各モジュールからのエラー信号入力に対して、割り込み/内部リセットを行うことが可能 タイムアウト機能 エラー制御をマスタとチェックで2重化
セキュリティ 機能	セキュアブートモード (注1)	オプションとして、暗号化によるセキュリティ機能を持つブートモードを選択可能
電源電圧		VDD = PLLVDD0 = PLLVDD1 = VCCQ12 = 1.14~1.26 V VCCQ33 = AVCC0 = AVCC1 = 3.0~3.6 V VREFH0 = VREFH1 = 2.5~3.6 V
動作温度		Tj = -40~+110°C
パッケージ		112ピンFBGA: 6×6mm、0.5mm pitch PLBG0112KA-A

表 1.1 仕様概要 (5 / 5)

分類	モジュール/機能	説明
デバッグインタフェース		<ul style="list-style-type: none">• Arm社のCoreSightアーキテクチャ採用• JTAG/SWDインタフェースによるデバッグ機能、トレースポート/SWVインタフェースによるトレース機能をサポート

注1. セキュアブートモード対応品については「表 1.3 製品一覧表」を参照してください。本機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

注2. チャンネル4は調歩同期式のみ使用可能です。

注3. MDIO マスタはオプション機能です。対応品については「表 1.3 製品一覧表」を参照してください。

表 1.2 機能一覧

モジュール/機能		RZ/T1-Mグループ
		112ピン
割り込み	外部割り込み	NMI、IRQ0～IRQ4、IRQ6、IRQ7
DMA	DMAコントローラ (DMAC)	ch0～31
タイマ	16ビットタイマパルスユニット (TPUa)	ch0～5
	コンパッチタイマ (CMT)	ch0～3
	コンパッチタイマW (CMTW)	ch0, 1
	ウォッチドッグタイマ (WDTA)	ch0
	独立ウォッチドッグタイマ (IWDTa)	有
通信機能	FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	ch0～2, ch4 (注3)
	マネージメントデータインプット/アウトプットインタフェース (MDIOマスタ (注1) /MDIOスレーブ)	有
	I ² Cバスインタフェース (RIICa)	ch0, 1
	シリアルペリフェラルインタフェース (RSPIa)	ch0, 1
	SPIマルチI/Oバスコントローラ (SPIBSC)	ch0
12ビットA/Dコンバータ (S12ADCa)		AN000～007 (ユニット0) AN100～107 (ユニット1)
温度センサ		有
CRC演算器 (CRC)		有
データ演算回路 (DOC)		有
クロックモニタ回路 (CLMA)		有
セキュアブートモード (注2)		オプション
イベントリンクコントローラ (ELC)		有

注1. MDIOマスタはオプション機能です。対応品については「表 1.3 製品一覧表」を参照してください。

注2. セキュアブートモード対応品については「表 1.3 製品一覧表」を参照してください。本機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

注3. ch4は調歩同期式としてのみ使用可能です。

1.2 製品一覧

表 1.3 に製品一覧を示します。

表 1.3 製品一覧表

グループ	型名	パッケージ	CPU	拡張内蔵 SRAM容量	動作周波数 (max)	セキュリティ 機能対応 ^(注1)	オプション機能
RZ/T1-M	R7S910020CBG	112 ピン	Cortex-R4	なし	450MHz	なし	なし
	R7S910021CBG	112 ピン	Cortex-R4	1MB	450MHz	なし	なし
	R7S910120CBG	112 ピン	Cortex-R4	なし	450MHz	有	なし
	R7S910121CBG	112 ピン	Cortex-R4	1MB	450MHz	有	なし
	R7S910022CBG	112 ピン	Cortex-R4	なし	450MHz	なし	MDIO マスタ
	R7S910023CBG	112 ピン	Cortex-R4	1MB	450MHz	なし	MDIO マスタ
	R7S910122CBG	112 ピン	Cortex-R4	なし	450MHz	有	MDIO マスタ
	R7S910123CBG	112 ピン	Cortex-R4	1MB	450MHz	有	MDIO マスタ

注1. 本機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

1.3 ブロック図

図 1.1 にブロック図を示します。

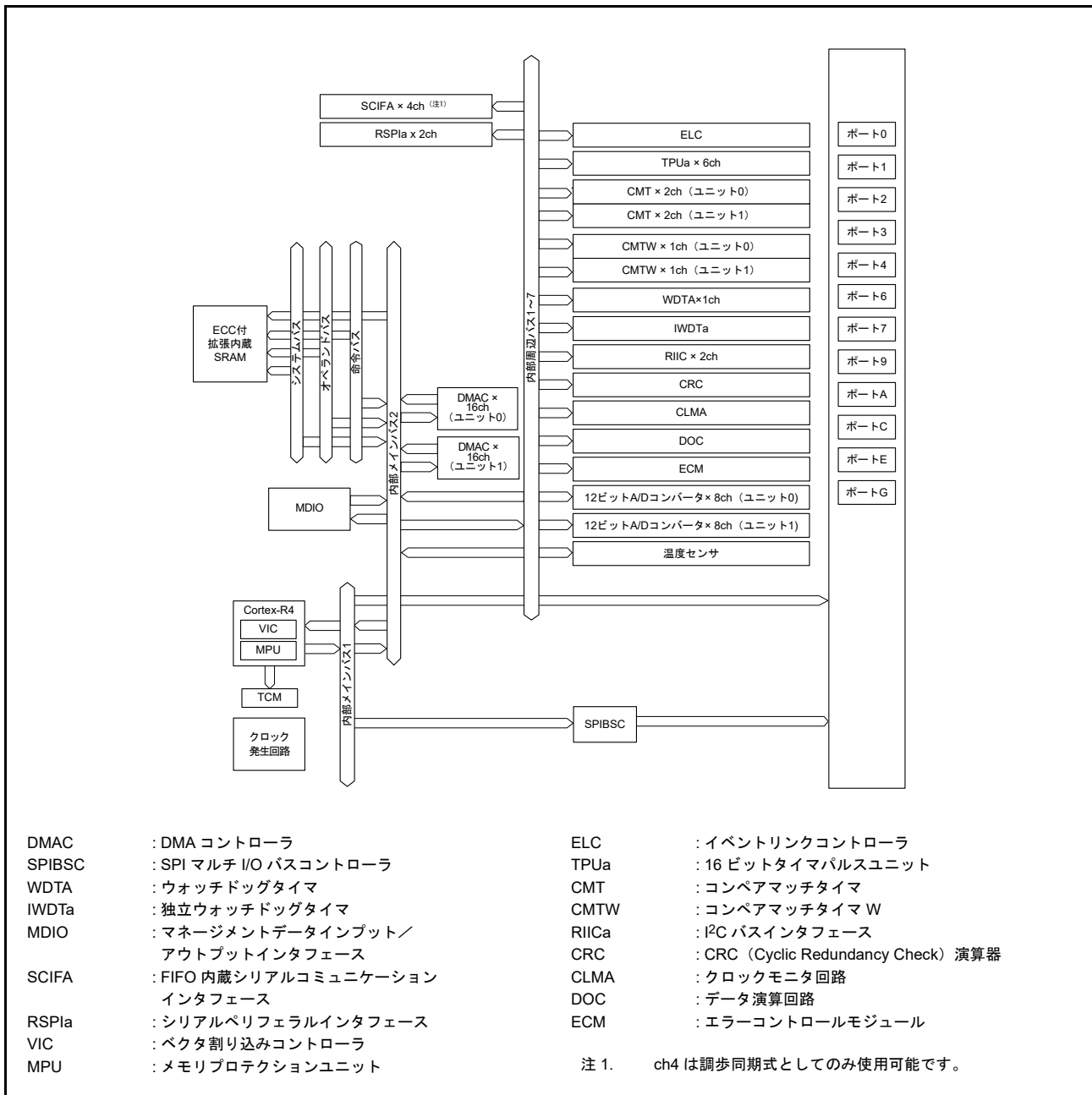


図 1.1 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 3)

分類	端子名	入出力	機能
電源	VDD	入力	電源端子。システムの電源に接続してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
	VCCQ12	入力	MDIO 端子用の電源端子
	VCCQ33	入力	入出力端子用の電源端子
	PLLVD0、PLLVD1	入力	内蔵 PLL 発振器用の電源端子
	PLLVS0、PLLVS1	入力	内蔵 PLL 発振器用のグランド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶振動子接続端子
	EXTAL	入力	
動作モードコントロール	MD0、MD1	入力	動作モード選択信号入力端子
システム制御	RES#	入力	リセット信号入力端子。この端子がLowになると、リセット状態となります
	RSTOUT#	出力	外部へのリセット信号出力端子
デバッグインタフェース	TRST#	入力	オンチップエミュレータ用テストリセット端子
	TMS	入出力	オンチップエミュレータ用テストモードセレクト端子
	TDI	入力	オンチップエミュレータ用テストデータ入力端子
	TDO	出力	オンチップエミュレータ用テストデータ出力端子
	TCK	入力	オンチップエミュレータ用テストクロック端子
	TRACECLK	出力	トレースデータ同期用のクロック出力端子
	TRACECTL	出力	トレース制御用イネーブル信号出力端子
	TRACEDATA0~7	出力	トレースデータ出力端子
割り込み	NMI	入力	ノンマスクブル割り込み要求信号入力端子
	IRQ0~IRQ4、IRQ6、IRQ7	入力	外部割り込み要求信号入力端子
16ビットタイム パルスユニット (TPUa)	TIOCA0、TIOCB0、 TIOCC0、TIOCD0	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3、TIOCB3、 TIOCC3、TIOCD3	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA、TCLKB TCLKC、TCLKD	入力	TPUa用の外部クロック入力端子
コンペアマッチタイムW (CMTW)	TIC0~TIC3	入力	CMTWのインプットキャプチャ入力端子
	TOC0~TOC3	出力	CMTWのアウトプットコンペア出力端子

表 1.4 端子機能一覧 (2 / 3)

分類	端子名	入出力	機能
FIFO内蔵シリアル コミュニケーション インタフェース (SCIFA)	SCK0～SCK2	入出力	クロック入出力端子
	RXD0～RXD2、 RXD4 (注1)	入力	受信データ入力端子
	TXD0～TXD2、 TXD4 (注1)	出力	送信データ出力端子
	CTS0#～CTS2#	入出力	ハードウェアフロー制御用入力 (送信可信号) / 汎用出力
	RTS0#～RTS2#	出力	ハードウェアフロー制御用出力 (送信要求信号) / 汎用出力
I ² Cバスインタフェース (R11Ca)	SCL0、SCL1	入出力	クロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0、SDA1	入出力	データ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
マネージメントデータイン プット/アウトプットイン タフェース (MDIOM/ MDIO)	MDC	入力	スレーブ用MDIOクロック入力端子 (~4MHz)
	MDIO	入出力	スレーブ用MDIOデータ入出力端子
	MMDC1	出力	マスタ用MDIOクロック出力端子 (~10MHz)
	MMDIO1	入出力	マスタ用MDIOデータ入出力端子
	PRTADR0	入力	スレーブ用光トランシーバモジュール選択用入力端子
	PRTADR1	入力	スレーブ用光トランシーバモジュール選択用入力端子
	PRTADR2	入力	スレーブ用光トランシーバモジュール選択用入力端子
	PRTADR3 PRTADR4	入力	スレーブ用光トランシーバモジュール選択用入力端子
シリアルペリフェラル インタフェース (RSP1a)	RSPCK0、RSPCK1	入出力	クロック入出力端子
	MOSI0、MOSI1	入出力	マスタ送出データ入出力端子
	MISO0、MISO1	入出力	スレーブ送出データ入出力端子
	SSL00、SSL10	入出力	スレーブセレクト信号入出力端子
	SSL01、SSL02、 SSL03、SSL11	出力	スレーブセレクト信号出力端子
SPIマルチI/Oバス コントローラ (SPIBSC)	SPBCLK	出力	クロック出力端子
	SPBSSL	出力	スレーブセレクト信号出力端子
	SPBMO/SPBIO0	入出力	マスタ送出データ/データ0入出力端子
	SPBMI/SPBIO1	入出力	マスタ入力データ/データ1入出力端子
	SPBIO2～3	入出力	データ2、データ3入出力端子
12ビットA/Dコンバータ (S12ADCa)	AN000～AN007、 AN100～AN107	入力	A/Dコンバータのアナログ入力端子
	ADTRG0、ADTRG1	入力	A/D変換開始のための外部トリガ入力端子

表 1.4 端子機能一覧 (3 / 3)

分類	端子名	入出力	機能
アナログ電源	AVCC0	入力	12ビットA/Dコンバータ（ユニット0）のアナログ電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	AVSS0	入力	12ビットA/Dコンバータ（ユニット0）のアナロググランド入力端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
	VREFH0	入力	12ビットA/Dコンバータ（ユニット0）の基準電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	VREFL0	入力	12ビットA/Dコンバータ（ユニット0）の基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
	AVCC1	入力	12ビットA/Dコンバータ（ユニット1）のアナログ電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	AVSS1	入力	12ビットA/Dコンバータ（ユニット1）のアナロググランド入力端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
	VREFH1	入力	12ビットA/Dコンバータ（ユニット1）の基準電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	VREFL1	入力	12ビットA/Dコンバータ（ユニット1）の基準グランド入力端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
I/Oポート	P00	入出力	1ビットの入出力端子
	P10	入出力	1ビットの入出力端子
	P21、P22、P27	入出力	3ビットの入出力端子
	P33、P34、P35	入出力	3ビットの入出力端子
	P40、P42、P44	入出力	3ビットの入出力端子
	P50～P56（注2）	入出力	7ビットの入出力端子
	P60～P65	入出力	6ビットの入出力端子
	P71～P73	入出力	3ビットの入出力端子
	P90～P97	入出力	8ビットの入出力端子
	PA3～PA5	入出力	3ビットの入出力端子
	PC2、PC3、PC6、PC7	入力	4ビットの入力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PG2～PG6	入出力	5ビットの入出力端子

注1. チャンネル4は調歩同期式でのみ使用可能です。

注2. 1.2V端子です。

1.5 ピン配置図

図 1.2 にピン配置図を示します。また、表 1.5 に端子配置を、表 1.6 に機能別端子一覧を示します。

	1	2	3	4	5	6	7	8	9	10	11	
A	VCCQ33	PC2	VSS	MDC	PRTADR0	PRTADR2	AN003	AVCC0	AVSS0	AVCC1	VREFH1	A
B	PC3	VSS	VDD	MDIO	PRTADR1	VCCQ12	AN007	AN002	VREFL0	AVSS1	VREFL1	B
C	TRST#	VDD	P35 / NMI	PRTADR3	PRTADR4	VSS	AN006	AN001	AN000	VREFH0	P96	C
D	TCK	TMS	P34	P33	VDD	AN005	AN004	P97	P95	P92	P94	D
E	MD1	VSS	VDD	PLLVD1				P93	P91	PA5 / MMDIO1	P90	E
F	XTAL	EXTAL	VCCQ33	PLLVS1				VCCQ33	VSS	PA4	PA3 / MMDC1	F
G	MD0	VSS	VSS	PLLVD0				VDD	VSS	P71	P73	G
H	RSTOUT#	RES#	PLLVS0	VDD	VSS	VDD	VSS	VCCQ33	P72	PE6	PE7	H
J	P60	P61	VSS	VCCQ33	PG4	VSS	VDD	VSS	PE5	PE4	PE3	J
K	P63	P64	VSS	PC6	PG3	PG5	P22	P44	P40	PE2	PE1	K
L	P62	P65	PC7	PG2	PG6	P21	P27	P42	P10	PE0	P00	L
	1	2	3	4	5	6	7	8	9	10	11	

図 1.2 ピン配置図 (112 ピン FBGA) (Top View)

表 1.5 端子配置 (112ピンFBGA) (1 / 3)

端子番号	端子名
A1	VCCQ33
A2	PC2 / SDA0
A3	VSS
A4	P56 / MDC
A5	P54 / PRTADR0
A6	P51 / PRTADR2
A7	AN003
A8	AVCC0
A9	AVSS0
A10	AVCC1
A11	VREFH1
B1	PC3 / RXD4 / SCL0
B2	VSS
B3	VDD
B4	P55 / MDIO
B5	P52 / PRTADR1
B6	VCCQ12
B7	AN007
B8	AN002
B9	VREFL0
B10	AVSS1
B11	VREFL1
C1	TRST#
C2	VDD
C3	P35 / NMI
C4	P53 / PRTADR3
C5	P50 / PRTADR4
C6	VSS
C7	AN006
C8	AN001
C9	AN000
C10	VREFH0
C11	P96 / AN106
D1	TCK
D2	TMS
D3	P34 / TDI
D4	P33 / TDO
D5	VDD
D6	AN005
D7	AN004
D8	P97 / AN107 / IRQ7 / ADTRG1
D9	P95 / AN105 / CTS2#
D10	P92 / AN102 / TOC3 / RXD2
D11	P94 / AN104 / IRQ4 / RTS2#

表 1.5 端子配置 (112ピンFBGA) (2 / 3)

端子番号	端子名
E1	MD1
E2	VSS
E3	VDD
E4	PLLVD1
E8	P93 / AN103 / TIC3 / SCK2
E9	P91 / AN101 / TXD2
E10	PA5 / TIOCA4 / TXD2 / MMDIO1
E11	P90 / AN100 / TIOCA5 / TXD4
F1	XTAL
F2	EXTAL
F3	VCCQ33
F4	PLLVSS1
F8	VCCQ33
F9	VSS
F10	PA4 / TIOCA3 / ADTRG0 / RXD2
F11	PA3 / TIOCA2 / SCK2 / MMDC1
G1	MD0
G2	VSS
G3	VSS
G4	PLLVD0
G8	VDD
G9	VSS
G10	P71 / TOC2 / SCK1 / TRACECTL
G11	P73 / IRQ3 / RXD1 / TRACEDATA1
H1	RSTOUT#
H2	RES#
H3	PLLVSS0
H4	VDD
H5	VSS
H6	VDD
H7	VSS
H8	VCCQ33
H9	P72 / TIC2 / TXD1 / TRACEDATA0
H10	PE6 / IRQ6 / TIOCD0 / RXD1 / MISO0 / TRACEDATA6
H11	PE7 / TIOCD3 / SCK1 / RSPCK0 / TRACEDATA7
J1	P60 / SPBSSL
J2	P61 / SPBIO3
J3	VSS
J4	VCCQ33
J5	PG4 / TOC1 / MOSI1
J6	VSS
J7	VDD
J8	VSS
J9	PE5 / TIOCC3 / TXD1 / MOSI0 / TRACEDATA5
J10	PE4 / TIOCC0 / RTS1# / SSL00 / TRACEDATA4

表 1.5 端子配置 (112ピンFBGA) (3 / 3)

端子番号	端子名
J11	PE3 / IRQ3 / TIOCB5 / CTS1# / SSL01 / TRACEDATA3
K1	P63 / SPBMO/SPBIO0
K2	P64 / SPBMI/SPBIO1
K3	VSS
K4	PC6 / TCLKC / SCL1
K5	PG3 / TIC1 / MISO1
K6	PG5 / TCLKA / SSL10
K7	P22 / IRQ2 / TIOCD0 / SCK0
K8	P44 / TCLKD / ADTRG0 / CTS0#
K9	P40 / TXD0
K10	PE2 / IRQ2 / TIOCB4 / SSL02 / TRACEDATA2
K11	PE1 / TIOCB3 / SSL03 / TRACEDATA1
L1	P62 / SPBCLK
L2	P65 / SPBIO2
L3	PC7 / TIC0 / SDA1
L4	PG2 / TOC0 / RSPCK1
L5	PG6 / TCLKB / SSL11
L6	P21 / IRQ1 / TIOCB1 / CTS0#
L7	P27 / TIOCB0 / RTS0#
L8	P42 / RXD0
L9	P10 / IRQ0 / TIOCA0 / TRACECLK
L10	PE0 / TIOCB2 / TRACEDATA0
L11	P00 / TIOCA1 / ADTRG1 / TRACECTL

表 1.6 機能別端子一覧 (112ピンFBGA) (1 / 3)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ	通信	その他	割り込み	S12ADC
112 ピン FBGA			(TPUa, CMT2)	(MDIO, SCIFA, RSPIa, RIIa, SPIBSC)			
A1	VCCQ33						
A2		PC2		SDA0			
A3	VSS						
A4		P56		MDC			
A5		P54		PRTADR0			
A6		P51		PRTADR2			
A7							AN003
A8	AVCC0						
A9	AVSS0						
A10	AVCC1						
A11	VREFH1						
B1		PC3		RXD4 / SCL0			
B2	VSS						
B3	VDD						
B4		P55		MDIO			
B5		P52		PRTADR1			
B6	VCCQ12						
B7							AN007
B8							AN002
B9	VREFL0						
B10	AVSS1						
B11	VREFL1						
C1	TRST#						
C2	VDD						
C3		P35				NMI	
C4		P53		PRTADR3			
C5		P50		PRTADR4			
C6	VSS						
C7							AN006
C8							AN001
C9							AN000
C10	VREFH0						
C11		P96					AN106
D1	TCK						
D2	TMS						
D3	TDI	P34					
D4	TDO	P33					
D5	VDD						
D6							AN005
D7							AN004

表 1.6 機能別端子一覧 (112ピンFBGA) (2 / 3)

ピン番号	電源 クロック システム制御	I/O ポート	タイマ	通信	その他	割り込み	S12ADC
112 ピン FBGA			(TPUa, CMT2)	(MDIO, SCIFA, RSPIa, RIICa, SPIBSC)			
D8		P97				IRQ7	ADTRG1 / AN107
D9		P95		CTS2#			AN105
D10		P92	TOC3	RXD2			AN102
D11		P94		RTS2#		IRQ4	AN104
E1	MD1						
E2	VSS						
E3	VDD						
E4	PLLVDD1						
E8		P93	TIC3	SCK2			AN103
E9		P91		TXD2			AN101
E10		PA5	TIOCA4	TXD2 / MMDIO1			
E11		P90	TIOCA5	TXD4			AN100
F1	XTAL						
F2	EXTAL						
F3	VCCQ33						
F4	PLLVSS1						
F8	VCCQ33						
F9	VSS						
F10		PA4	TIOCA3	RXD2			ADTRG0
F11		PA3	TIOCA2	SCK2 / MMDC1			
G1	MD0						
G2	VSS						
G3	VSS						
G4	PLLVDD0						
G8	VDD						
G9	VSS						
G10	TRACECTL	P71	TOC2	SCK1			
G11	TRACEDATA1	P73		RXD1		IRQ3	
H1	RSTOUT#						
H2	RES#						
H3	PLLVSS0						
H4	VDD						
H5	VSS						
H6	VDD						
H7	VSS						
H8	VCCQ33						
H9	TRACEDATA0	P72	TIC2	TXD1			
H10	TRACEDATA6	PE6	TIOCD0	RXD1 / MISO0		IRQ6	
H11	TRACEDATA7	PE7	TIOCD3	SCK1 / RSPCK0			
J1		P60		SPBSSL			
J2		P61		SPBIO3			

表 1.6 機能別端子一覧 (112ピンFBGA) (3 / 3)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ	通信	その他	割り込み	S12ADC
			(TPUa, CMT2)	(MDIO, SCIFA, RSP1a, RII Ca, SPIBSC)			
J3	VSS						
J4	VCCQ33						
J5		PG4	TOC1	MOSI1			
J6	VSS						
J7	VDD						
J8	VSS						
J9	TRACEDATA5	PE5	TIOCC3	TXD1 / MOSI0			
J10	TRACEDATA4	PE4	TIOCC0	RTS1# / SSL00			
J11	TRACEDATA3	PE3	TIOCB5	CTS1# / SSL01		IRQ3	
K1		P63		SPBMO/SPBIO0			
K2		P64		SPBMI/SPBIO1			
K3	VSS						
K4		PC6	TCLKC	SCL1			
K5		PG3	TIC1	MISO1			
K6		PG5	TCLKA	SSL10			
K7		P22	TIOCD0	SCK0		IRQ2	
K8		P44	TCLKD	CTS0#			ADTRG0
K9		P40		TXD0			
K10	TRACEDATA2	PE2	TIOCB4	SSL02		IRQ2	
K11	TRACEDATA1	PE1	TIOCB3	SSL03			
L1		P62		SPBCLK			
L2		P65		SPBIO2			
L3		PC7	TIC0	SDA1			
L4		PG2	TOC0	RSPCK1			
L5		PG6	TCLKB	SSL11			
L6		P21	TIOCB1	CTS0#		IRQ1	
L7		P27	TIOCB0	RTS0#			
L8		P42		RXD0			
L9	TRACECLK	P10	TIOCA0			IRQ0	
L10	TRACEDATA0	PE0	TIOCB2				
L11	TRACECTL	P00	TIOCA1				ADTRG1

2. CPU

本 LSI には Cortex-R4 が搭載されています。モジュールのリビジョンは r1p4 です。

2.1 概要

表 2.1 CPUの仕様

	項目	内容
Cortex-R4 (r1p4)	最小命令実行時間	1命令1クロック
	アドレス空間	4Gバイト
	命令キャッシュサイズ	8Kバイト (ECC付き)
	データキャッシュサイズ	8Kバイト (ECC付き)
	密結合メモリ (TCM) サイズ	ATCM : 512Kバイト (ECC付き) BTCM : 32Kバイト (ECC付き)
	命令セット	Thumb®/Thumb-2をサポートする Armv7-R アーキテクチャ
	データ配置	命令 : リトルエンディアン データ : リトルエンディアン
	メモリ保護	メモリプロテクションユニット (MPU)
	FPU	<ul style="list-style-type: none">単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート32ビットシングルワードレジスタ : 32ビット×32本 16本のダブルワードレジスタとしても使用可能 : 64ビット×16本

詳細は、Arm 社より提供される以下のドキュメントを参照してください。

- Arm Architecture Reference Manual Armv7-A and Armv7-R edition Issue C
- Armv7-M Architecture Reference Manual

2.2 コンフィギュレーション情報

表 2.2 に本 LSI の Cortex-R4 に関する構成情報を示します。

表 2.2 Cortex-R4の構成信号設定値

	項目	設定値
エンディアン	CFGEE	0
	CFGIE	0
割り込み	CFGNMFI	1
例外ベクタ	TEINIT	0
	VINITHI	1
TCM構成	INITRAMA	1
	INITRAMB	1
	LOCZRAMA	1
	CFGATCMSZ[3:0]	Ah
	CFGBTCMSZ[3:0]	6h
	ENTCM1IF	0
	SLBTCMSB	1 (don't care)
ECC等	PARECCENRAM[2:0]	000b
	ERRENRAM[2:0]	000b
	RMWENRAM[1:0]	00b
	PARLVRAM	0 (don't care)

2.3 CPU 制限事項

本 LSI に搭載している Cortex-R4 の制限事項の詳細については、Arm 社ホームページにて公開されている情報を参照してください。

2.4 レジスタ説明

2.4.1 ATCM ウェイト制御レジスタ (SYTATCMWAIT)

SYTATCMWAIT レジスタは、ATCM のアクセスウェイトを制御するレジスタです。

このレジスタはレジスタライトプロテクションの対象レジスタです。レジスタに書き込みを行う場合は、プロテクトレジスタ (PRCR) のビット3の書き込み保護を解除してください。詳細については「11. レジスタライトプロテクション機能」を参照してください。

アドレス A00B 0800h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATCMWAIT[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	ATCMWAIT[1:0]	ATCMウェイト設定ビット (注1) (注2)	b1 b0 0 0 : 1-wait最適化あり 0 1 : 1-wait最適化なし 1 0 : 0-wait 1 1 : 設定禁止	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 注1. CPUクロック周波数が450MHzのときは“1-wait最適化あり”、または“1-wait最適化なし”に設定してください。“0-wait”の設定は、CPUクロック周波数が150MHzまたは300MHzのときのみ設定可能です。450MHzのときは設定禁止です。
- 注2. ATCMWAIT[1:0]ビットの値が変化したときに、CPUなどバスマスタからATCMのアクセス（命令フェッチを含む）が行われた場合の動作を保証できません。CPUからのフェッチアクセスを防ぐため、本ビットを操作するときは必ずATCM以外のメモリ領域に配置されたプログラムから操作するようにしてください。

ATCMWAIT[1:0] ビット (ATCM ウェイト設定ビット)

ATCM のメモリアクセスウェイト数を指定するビットです。

“最適化あり”の場合、ATCM からの命令フェッチアドレスが連続しているとき、先行アドレスを先読みすることでメモリアクセスを実質 0-wait に高速化することが可能です。

3. 動作モード

3.1 概要

本 LSI は、外付けシリアル・フラッシュメモリからの起動を前提としており、シリアル・フラッシュメモリに対応した動作モードとして SPI ブートモードを設定可能です。SPI ブートモードでは対応する外付けシリアル・フラッシュメモリに格納されたユーザプログラムからブートして動作することが可能です。

セキュリティ機能対応品は、ユーザプログラム保護のため暗号化によるセキュアブートモードが選択可能です（注1）。

注1. 本機能については守秘契約を結んで頂いた上で開示致します。詳細は弊社営業担当にご確認ください。

3.2 動作モードの種類と選択

外付けシリアル・フラッシュメモリへの接続により SPI ブートモードを設定可能です。動作モードは、端子リセット解除時のモード設定端子（MD1、MD0）の入力レベルによって選択されます。

リセット解除時のモード設定端子（MD1、MD0）の入力レベルと、その時選択される動作モードの関係を表 3.1 に示します。各動作モードの詳細は「3.5 動作モードの説明」を参照してください。

表3.1 モード設定端子（MD1、MD0）による動作モードの選択

モード設定端子		動作モード
MD1	MD0	
Low	Low	SPI ブートモード（シリアル・フラッシュ） SPI マルチ I/O バス空間に接続されたシリアル・フラッシュメモリからブートします。
上記以外		予約（設定禁止）

3.3 各動作モードで使用するハードウェアの情報

各動作モードで使用するハードウェアの情報を表 3.2 に示します。

“使用端子”は各動作モードの実行に必要な端子です。これらの端子機能は、ブート時に自動設定されます。

表3.2 各動作モードで使用するハードウェアの情報

動作モード	周辺モジュール	使用端子
SPI ブートモード（シリアルフラッシュ）	SPI マルチ I/O バスコントローラ（SPIBSC）	SPBCLK、SPBSSL SPBMO、SPBMI

3.4 レジスタの説明

3.4.1 モードモニタレジスタ (MDMONR)

モードモニタレジスタ (MDMONR) は MD1、MD0 端子の入力レベルを示すレジスタです。

アドレス A00B 0A60h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD1	MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1 (注1)	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	MD0	MD0端子ステータスフラグ	0 : MD0端子は“Low” 1 : MD0端子は“High”	R
b1	MD1	MD1端子ステータスフラグ	0 : MD1端子は“Low” 1 : MD1端子は“High”	R
b31-b2	—	予約ビット	読むと“0”が読めます	R

注1. リセット解除時の端子レベルにより異なります。詳細については「6. リセット」を参照してください。

3.5 動作モードの説明

3.5.1 ブート機能

本 LSI はリセット解除後、ブート機能により以下のブート処理を行います。ブート処理によりあらかじめユーザが外部接続メモリに格納したローダプログラムを内蔵メモリである密結合メモリ（TCM）領域へ展開し、処理をローダプログラムの先頭番地へ移すことが可能です。

- (1) モード設定端子（MD1、MD0）で指定されるバスコントローラ（SPIBSC）の設定
- (2) 外部接続されたメモリからローダ用パラメータを読み出し、チェックサム実行
- (3) バスコントローラ（SPIBSC）の高速化設定（ローダ用パラメータで指定）
- (4) 外部接続されたメモリからローダプログラムを読み出し
- (5) 密結合メモリ（TCM）に展開されたローダプログラムの先頭番地に分岐

ローダ用パラメータは、ローダプログラム情報や、ブート処理高速化のためのキャッシュ設定やバスコントローラ（SPIBSC）設定など、ユーザシステムに合わせた設定情報を持たせることが可能です。ローダ用パラメータはあらかじめユーザが外部接続メモリに格納する必要があります。

図 3.1 にブート処理の動作概要を示します。

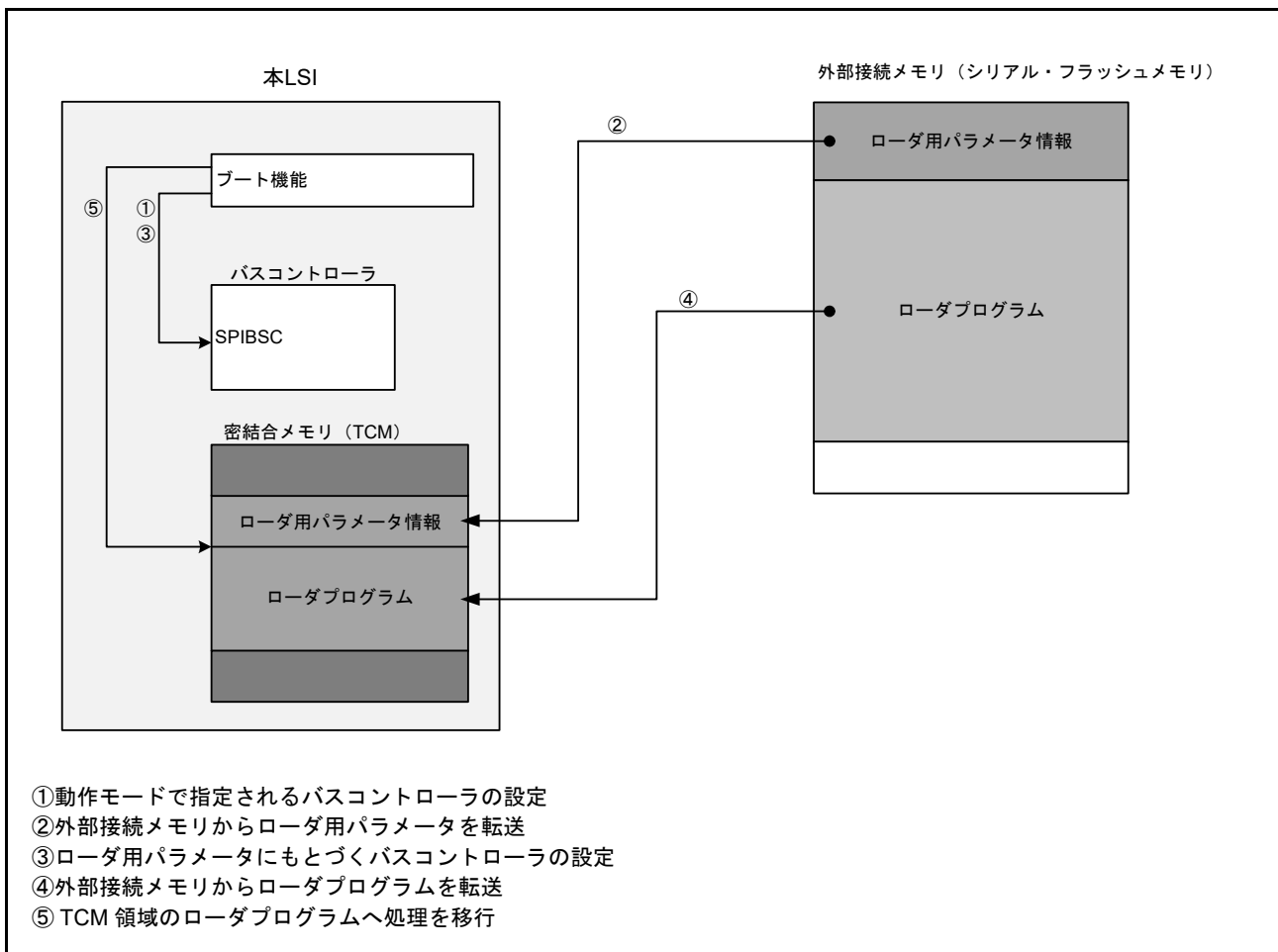


図 3.1 ブート処理の動作概要

3.5.2 ローダ用パラメータ

ローダ用パラメータはブート処理用の設定パラメータで、ブート処理時に外部接続メモリから読み出されてブート機能で使用されます。ローダ用パラメータには各動作モードにおけるブート処理時のキャッシュ設定や、外部メモリ通信用バスコントローラ（SPIBSC）の設定、ローダプログラムサイズ情報などを設定します。

図 3.2 にローダ用パラメータおよびローダプログラムのメモリ配置を示します。

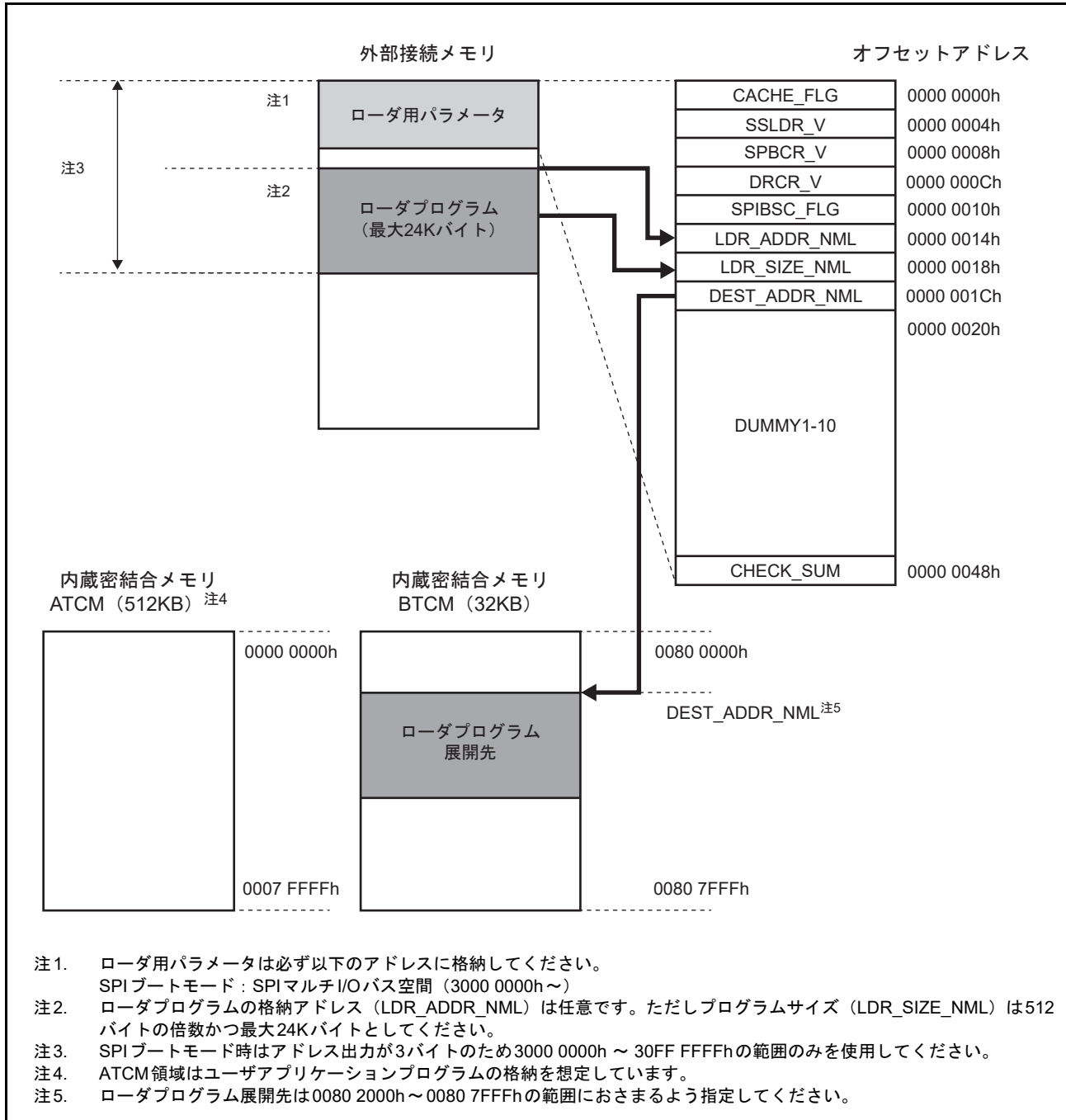


図 3.2 ローダ用パラメータ、ローダプログラムのメモリ配置

表 3.3 に SPI ブートモード時のローダ用パラメータ情報について示します。

表3.3 SPIブートモード時のローダ用パラメータ情報

オフセット・アドレス	パラメータ名	内容
0000 0000h	CACHE_FLG	ブート処理時に、Cortex-R4のI1キャッシュとD1キャッシュをイネーブルにするか選択します（高速化）。 0000 0001h：I1、D1キャッシュをイネーブルにします。 上記以外の設定値：I1、D1キャッシュはディセーブルです。
0000 0004h	SSLDR_V	SSL遅延レジスタ（SSLDR）の設定値 「3.5.1 ブート機能」の（3）にてSPIBSCの高速化設定の際に、このパラメータ値がSSLDRレジスタに設定されます。（注1）
0000 0008h	SPBCR_V	ビットレート設定レジスタ（SPBCR）の設定値 「3.5.1 ブート機能」の（3）にてSPIBSCの高速化設定の際に、このパラメータ値がSPBCRレジスタに設定されます。（注1）
0000 000Ch	DRCR_V	データリードコントロールレジスタ（DRCR）の設定値 「3.5.1 ブート機能」の（3）にてSPIBSCの高速化設定の際に、このパラメータ値がDRCRレジスタに設定されます。（注1）
0000 0010h	SPIBSC_FLG	ブート処理終了後に、SPIBSC設定を初期値に戻すかどうかを選択します。 2236 0679h：ブート処理終了後に、SPIBSC設定値を初期値に戻します。 上記以外の設定値：ブート処理で使用したSPIBSC設定値を保持します。 （注2）
0000 0014h	LDR_ADDR_NML	外部接続メモリ内に格納されたローダプログラムの先頭アドレスを設定します。 （注3）
0000 0018h	LDR_SIZE_NML	ローダプログラムのプログラムサイズを指定します。プログラムサイズは512バイトの倍数かつ、最大24Kバイトとしてください。（注3）
0000 001Ch	DEST_ADDR_NML	ローダプログラムの展開先である密結合メモリ（BTCM）の先頭アドレスを設定します。ローダプログラム展開先は0080 2000h～0080 7FFFhの範囲におさまるよう指定してください。
0000 0020h	DUMMY1	任意（本モードでは使用されません。）
0000 0024h	DUMMY2	任意（本モードでは使用されません。）
0000 0028h	DUMMY3	任意（本モードでは使用されません。）
0000 002Ch	DUMMY4	任意（本モードでは使用されません。）
0000 0030h	DUMMY5	任意（本モードでは使用されません。）
0000 0034h	DUMMY6	任意（本モードでは使用されません。）
0000 0038h	DUMMY7	任意（本モードでは使用されません。）
0000 003Ch	DUMMY8	任意（本モードでは使用されません。）
0000 0040h	DUMMY9	任意（本モードでは使用されません。）
0000 0044h	DUMMY10	任意（本モードでは使用されません。）
0000 0048h	CHECK_SUM	ローダ用パラメータのチェックサム値 オフセットアドレス 0000h～0044hの各パラメータ値を上位16ビットと下位16ビットに分けて、unsigned long（32ビット）型で合計した値を指定します。 （注4）

注1. SSLDR、SPBCR、DRCRレジスタの詳細は「27. SPI マルチI/O バスコントローラ（SPIBSC）」を参照してください。

注2. ブート処理終了後の各周辺モジュールの設定状態については、「3.5.4.1 SPIブートモードにおける動作設定」を参照してください。

注3. LDR_ADDR_NMLは外部アドレス空間（SPI）内の3000 004Ch以上、かつLDR_ADDR_NML+LDR_SIZE_NML ≤ 3100 0000hにおさめてください。

注4. CHECK_SUMの計算例を以下に示します。

SSLDR_V = 0007 0707h,

SPBCR_V = 0000 0003h,

LDR_ADDR_NML = 3000 004Ch,

LDR_SIZE_NML = 0000 6000h,

DEST_ADDR_NML = 0080 2000h,

上記以外 = 0000 0000h の場合、CHECK_SUMは以下のように計算します。

（以下では（0000h）は省略します）

CHECK_SUM = (0007h)+(0707h)+(0003h)+(3000h)+(004Ch)+(6000h)+(0080h)+(2000h) = (0000 B7DDh)

3.5.3 ローダプログラム

ローダプログラムはブート機能により外部接続メモリから内部の密結合メモリ（TCM）へ転送され、ブート処理終了後に処理を開始するユーザプログラムです。外部接続メモリからユーザアプリケーションプログラムを内部 TCM 領域へ展開し高速実行するなど、ユーザシステムに応じた処理を行うことが可能です。

ローダプログラムは必ず以下になるよう設定してください。

- プログラムサイズ（LDR_SIZE_NML）：512 バイトの倍数、かつ最大 24K バイト
- SPI ブートモード時の外部メモリ内の格納アドレス（LDR_ADDR_NML）：3000 004Ch 以上かつ、 $LDR_ADDR_NML + LDR_SIZE_NML \leq 3100\ 0000h$ のアドレス範囲

この設定値はローダ用パラメータとして同じく外部接続メモリに格納する必要があります。詳細は「3.5.2 ローダ用パラメータ」を参照してください。

3.5.4 SPI ブートモード（シリアルフラッシュ）

SPI ブートモードは、SPI マルチ I/O バス空間に接続された外付けシリアルフラッシュメモリからブートします。

本モードでは SPI マルチ I/O バスコントローラが外部アドレス空間リードモードに設定され、SPBCLK、SPBSSL、SPBMO、SPBMO の端子機能が有効となります。

リセット解除後、ブート処理を実行して SPI マルチ I/O バス空間に接続されたシリアルフラッシュメモリに格納されているローダプログラムを内蔵メモリ（TCM）へ展開して処理を実行します。

図 3.3 にシリアルフラッシュメモリとの接続図を示します。

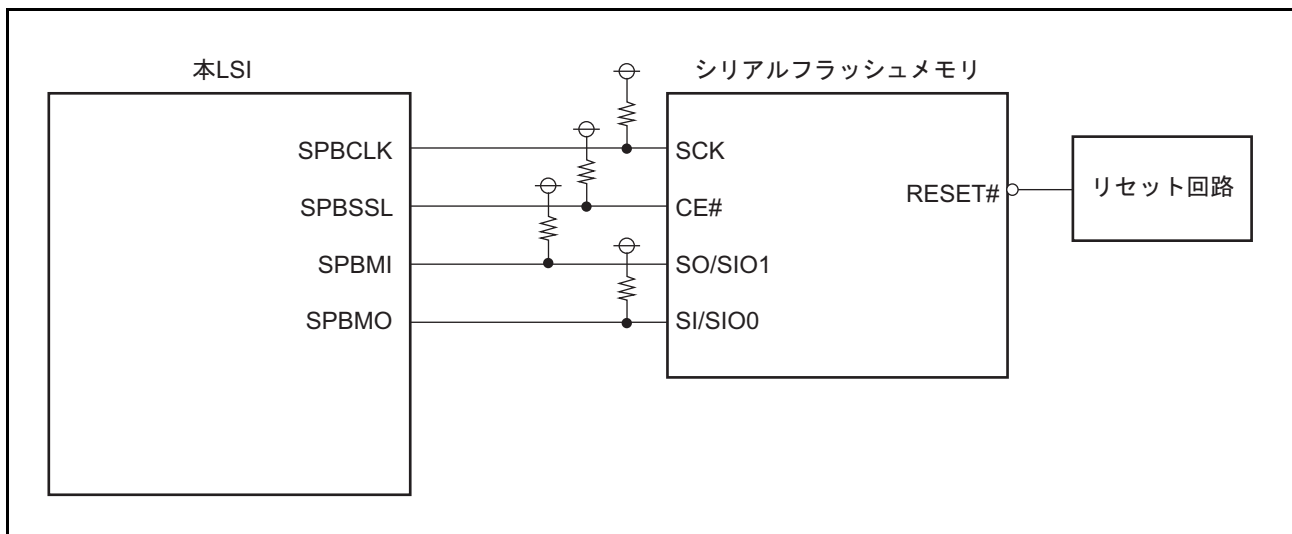


図 3.3 シリアルフラッシュメモリとの接続図

3.5.4.1 SPI ブートモードにおける動作設定

リセット解除後に SPI ブートモードでブート処理を開始した直後は、以下の初期設定値で動作しローダ用パラメータの転送までを行います。

- CPU クロック (CPUCLK) : 150MHz
- SPIBSC ビットレート (SPBCLK) : 18.75MHz
- 対応コマンド : Read (03h)
- アドレス出力 : 3 バイト
- ダミーサイクル : なし
- データリード幅 : 1 ビット
- SPI モード : CPOL = 0 (正パルス)、
CPHAR = 0 (奇数エッジでデータ受信)、
CPHAT = 0 (偶数エッジでデータ送信)

ローダ用パラメータ読み込み後は、パラメータ CACHE_FLG、SSLDR_V、SPBCR_V、DRCCR_V の値にもとづき Cortex-R4 の I1 キャッシュ、D1 キャッシュ設定と SSLDR、SPBCR、DRCCR レジスタの設定が行われ、処理の高速化を図ることが可能です。

SPI ブートモード終了時の各周辺モジュール/レジスタの設定値について表 3.4 に示します。

また、表 3.5 にブート処理終了時の Arm 汎用レジスタ設定値を、表 3.6 にブート終了時の Arm CP15 レジスタの状態を示します。

表3.4 SPIブートモード終了時の各周辺モジュール/レジスタの設定値

周辺モジュール	レジスタ	ブート処理終了時の設定値	
		SPIBSC を初期化設定 (SPIBSC_FLG = 2236 0679h)	SPIBSC を初期化しない設定 (SPIBSC_FLG ≠ 2236 0679h)
低消費電力	MSTPCRC	0000 7DFEh (初期値)	0000 7DFEh
SPIBSC	SSLDR	0007 0707h (初期値)	SSLDR_V の設定値
	SPBCR	0000 0003h (初期値)	SPBCR_V の設定値
	DRCCR	0000 0000h (初期値)	DRCCR_V の設定値
I/Oポート	PORT6 .PMR	1Dh (注1)	1Dh (注1)
	MPC.PmnPFS	1Bh (注1)	1Bh (注1)

注1. SPBCLK、SPBSSL、SPBBI、SPBMO 端子の対応ビット

表3.5 ブート処理終了時のArm 汎用レジスタ設定値

No.	レジスタ名	各プロセッサモードにおける設定値					
		ユーザモード／現在のモード	IRQ	FIQ	Undef	Abort	SVC
1	R0	不定値	—	—	—	—	—
2	R1	不定値	—	—	—	—	—
3	R2	不定値	—	—	—	—	—
4	R3	不定値	—	—	—	—	—
5	R4	不定値	—	—	—	—	—
6	R5	不定値	—	—	—	—	—
7	R6	不定値	—	—	—	—	—
8	R7	不定値	—	—	—	—	—
9	R8	不定値	—	不定値	—	—	—
10	R9	不定値	—	不定値	—	—	—
11	R10	不定値	—	不定値	—	—	—
12	R11	不定値	—	不定値	—	—	—
13	R12	不定値	—	不定値	—	—	—
14	R13(sp)	不定値	不定値	不定値	不定値	不定値	不定値
15	R14(lr)	不定値	不定値	不定値	不定値	不定値	不定値
16	R15(pc)	任意	—	—	—	—	—
17	cpsr	xxxx xx93h ([31:8]は不定値) [7]I = 1 [6]F = 0 (注1) [5]T = 0 [4:0]MD = 10011b(SVC)	—	—	—	—	—
18	spsr	—	不定値	不定値	不定値	不定値	不定値

— : 存在しないレジスタ

sp : スタックポインタ

lr : リンクレジスタ (サブルーチンコールを呼び出す時に復帰アドレスを格納)

pc : プログラムカウンタ

cpsr : current program status register の略。内部動作のモニタ／制御

spsr : saved program status register の略。前のモードの cpsr を保存

注1. 本製品ではノンマスカブル割り込みがFIQに割り当ててあります。ブート処理終了後にノンマスカブル割り込みを有効とするためブート処理内でCPSRレジスタの[6]Fビットを1⇒0に設定します。

注. ブート処理内でCPSRレジスタの[6]Fビット=0に設定後、ローダプログラムへの分岐までにノンマスカブル割り込み (FIQ例外) が発生した場合には、FIQ例外ハンドラアドレスへ分岐後に無限ループします。詳細については「3.5.7 注意事項」を参照してください。

表 3.6 ブート終了時のArm CP15レジスタの状態

レジスタ名	シンボル	ブート終了時の設定値	備考
システム制御レジスタ	SCTLR	09E5 2878h (注1)	[24]VE = 1 : IRQ例外ベクタアドレスをVICで設定
システム制御補助レジスタ	ACTLR	0E00 0020h (ATCM, BTCM使用時)	TCMはECCイネーブル ATCM, BTCMの全領域は、ブート処理時に32 ビットで書き込み処理され初期化されます。
Invalidate all Instruction Caches Register	—	—	ブート処理終了後もI1キャッシュエントリは無 効化しません。
Invalidate all Data Caches Register	—	—	ブート処理終了後もD1キャッシュエントリは無 効化しません。
MPU Memory Region Number Register	RGNR	0000 0000h	ローダ用パラメータでキャッシュを有効とした 場合でも、MPU設定はすべて初期化します。
Data Region Base Address Register	DRBAR	0000 0000h	
Data Region Size and Enable Register	DRSR	0000 0000h	
Data Region Access Control Register	DRACR	0000 0000h	

注1. ブート処理終了時はV[13] = 1のハイベクタ (FFFF 0000h) 状態です。ローダプログラムで、ロウベクタ (0000 0000h) に適切な処理を書き込んだ後に、V[13] = 0のロウベクタ (0000 0000h) 状態に変更してください。

3.5.5 MPU 設定

ブート機能では、ロード用パラメータ `CACHE_FLG = 0000 0001h` と設定されていた場合、Cortex-R4 の一次命令 (I1) キャッシュと、一次データ (D1) キャッシュを使用します。

ただしブート機能で使用するブート専用領域 (FFFF 0000h ~ FFFF 7FFFh) は Cortex-R4 のデフォルトメモリマップで非キャッシュ領域とされているため、ブート処理時に MPU (メモリ保護ユニット) でキャッシュ領域に再定義がされます。

ブート機能では、ハイベクタ領域 (FFFF 0000h ~ FFFF 7FFFh) を Region0 のキャッシュ領域として定義し、その他の領域はデフォルトメモリマップで使用します。

ブート処理終了時には、I1 キャッシュ、D1 キャッシュを無効化し、全領域をデフォルトメモリマップに初期化します。

図 3.4 にブート処理中のメモリマップ定義と Cortex-R4 のデフォルトメモリマップの関係を示します。

Address Map	MPU Setting	Default Memory Map			
		Cache ON		Cache OFF	
		Instruction	Data	Instruction	Data
0000 0000h 0008 0000h	ATCM	0000 0000h			
0080 0000h 0080 8000h	BTCM				
3000 0000h 3400 0000h	SPIマルチI/Oバス 空間 (ミラー領域)				
		4000 0000h			
		6000 0000h			
		8000 0000h			
A000 0000h A010 0000h	周辺モジュール	A000 0000h			
		C000 0000h			
		F000 0000h			
FFFF 0000h	ブート専用領域	[Region 0] Normal, Cacheable, Non-shared			
FFFF 7FFFh					

注1. SCTLR[17] BR = 1に設定されるため、Regionを定義していない領域はデフォルトメモリマップが適用されます。

図 3.4 ブート処理中のメモリマップ定義と Cortex-R4 のデフォルトメモリマップの関係

3.5.6 ブート関連情報とエラー処理

ブート機能はブート処理が正常終了したかどうかを判定し、ブート処理結果として特定アドレスに保持します。エラーと判定された場合はブート処理を中断し、無限ループ処理を実行します。

デバッガを接続しブレーク中に特定アドレスに格納されたブート処理結果を読み出すことで、エラー要因を特定することが可能です。

表 3.7 にエラー要因とブート処理結果の一覧を示します。

表 3.7 エラー要因とブート処理結果一覧

格納アドレス (注1)	格納値 (注1)	エラー要因とブート処理結果
0080 09C4h	0	ブート処理は正常終了
	-1	モードエラー発生 モードモニタレジスタ (MDMONR) の読み出し値が設定禁止の場合
	-2	ローダ用パラメータチェックサムエラー ローダ用パラメータのチェックサム (CHECK_SUM) が一致しない場合
	-3	ローダ用パラメータエラー 以下のいずれかの場合 <ul style="list-style-type: none"> - ローダプログラムサイズが512バイト未満 - ローダプログラムサイズが24Kバイトを超える - ローダプログラムサイズが512バイトの倍数でない - ローダプログラムの転送先アドレスが、転送先のTCM領域外

注1. アクセスサイズは32ビットです。

3.5.7 注意事項

3.5.7.1 例外処理

ブート処理中は RES# 端子リセットによるリセット例外のみが受け付け可能です。リセット例外が発生すると本 LSI はリセットされ、ブート処理を再開します。リセット例外以外の例外処理が発生した場合、発生した例外ハンドラアドレスへのジャンプ命令による無限ループ処理を繰り返します。

表 3.8 ブート処理中の例外処理内容

例外	ハンドラアドレス	ブート処理中の動作
リセット例外	FFFF 0000h	リセット例外ハンドラへ分岐
未定義命令例外	FFFF 0004h	未定義命令例外ハンドラへ分岐（無限ループ）
ソフトウェア割り込み例外	FFFF 0008h	ソフトウェア割り込み例外ハンドラへ分岐（無限ループ）
プリフェッチアポート例外	FFFF 000Ch	プリフェッチアポート例外ハンドラへ分岐（無限ループ）
データアポート例外	FFFF 0010h	データアポート例外ハンドラへ分岐（無限ループ）
IRQ例外	FFFF 0018h	IRQ例外ハンドラへ分岐（無限ループ）
FIQ例外	FFFF 001Ch	FIQ例外ハンドラへ分岐（無限ループ）

注. ブート処理中終了までは SCTL V[13]=1 のハイベクタ (FFFF 0000h) 状態です。ローダプログラムで、ロウベクタ (0000 0000h) に適切な処理を書き込んだ後に、V[13]=0 のロウベクタ (0000 0000h) 状態に変更してください。

3.5.7.2 SPI ブートモード使用時のシリアルフラッシュについて

SPI ブートモードでは、リセット解除後に「3.5.4.1 SPI ブートモードにおける動作設定」に示す初期設定値で SPI マルチ I/O バスコントローラ (SPIBSC) を介してシリアルフラッシュに対し読み出しを行いブートします。

ブート終了後に SPIBSC 経由でシリアルフラッシュの設定を変更することが可能ですが、設定によってはリセットにより再度ブートする際にシリアルフラッシュからの読み出しが行えない場合があるため注意が必要です。

本 LSI の RES# 端子リセット入力が発生する場合は、同じリセット信号をシリアルフラッシュのリセット端子に入力することでシリアルフラッシュの初期化が可能です。このためシリアルフラッシュにはリセット端子を備えている製品を推奨します。ただし、小ピンのシリアルフラッシュにはリセット端子と他の端子機能を兼用している場合もあるため、設定変更によりリセット端子が無効とならないよう注意が必要です。

また、ソフトウェアリセットや ECM リセットなどの内部リセットを発生させる場合には、あらかじめソフトウェアにてシリアルフラッシュがブート処理時に接続可能な設定に初期化する必要があります。

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1、図 4.2 に製品ごと、各バスマスタのメモリマップを示します。

アクセスできる領域は動作モードや各制御ビットの状態によって違います。

また、本製品では、各バスマスタからの非キャッシュアクセス領域を同じ領域に割り当てるため、Cortex-R4 からのアクセスは、ミラー領域をキャッシュ有効領域としています。ミラー領域以外に対しては、MPU でキャッシュを有効にしないでください。

Cortex-R4		DMAC0/DMAC1		
0000 0000h	ATCM (512KB) ^(注2)	0000 0000h	ATCM (512KB) ^(注2)	
0008 0000h	予約領域 ^(注3)	0008 0000h	予約領域 ^(注3)	
0080 0000h	BTM (32KB) ^(注2)	0080 0000h	BTM (32KB) ^(注2)	
0080 8000h	予約領域 ^(注3)	0080 8000h	予約領域 ^(注3)	
0400 0000h	拡張内蔵SRAM (512KB)	0400 0000h	拡張内蔵SRAM (512KB)	
0408 0000h	予約領域 ^(注3)	0408 0000h	予約領域 ^(注3)	
1000 0000h	SPIマルチIOバス空間 (シリアル・フラッシュ) (64MB)	1000 0000h	SPIマルチIOバス空間 (シリアル・フラッシュ) (64MB)	
1400 0000h	予約領域 ^(注3)	1400 0000h	予約領域 ^(注3)	
2000 0000h	拡張内蔵SRAM (512KB)	2000 0000h	拡張内蔵SRAM (512KB)	
2008 0000h	予約領域 ^(注3)	2008 0000h	予約領域 ^(注3)	
2200 0000h	拡張内蔵SRAM (512KB: 2000 0000h~2207 FFFh) のミラー領域 ^(注1)			
2208 0000h	予約領域 ^(注3)			
2400 0000h	拡張内蔵SRAM (512KB: 0400 0000h~0407 FFFh) のミラー領域 ^(注1)			
2408 0000h	予約領域 ^(注3)			
3000 0000h	SPIマルチIOバス空間 (シリアルフラッシュ) (64MB) のミラー領域 ^(注1)			
3400 0000h	予約領域 ^(注3)			
A000 0000h	周辺IOレジスタ (1MB) ^(注3)	A000 0000h		周辺IOレジスタ (1MB) ^(注3)
A010 0000h	予約領域 ^(注3)	A010 0000h		予約領域 ^(注3)
B011 C100h	MDIO用領域 (4MB) ^(注3)	B011 C100h		MDIO用領域 (4MB) ^(注3)
B100 0000h	予約領域 ^(注3)	B100 0000h	予約領域 ^(注3)	
E800 0000h	デバッグ用領域 (64KB)	E800 0000h	デバッグ用領域 (64KB)	
E801 0000h	予約領域 ^(注3)	E801 0000h	予約領域 ^(注3)	
FFFF 0000h	ブート専用領域 (32KB) ^(注1)	FFFF 0000h	ブート専用領域 (32KB)	
FFFF 8000h	予約領域 ^(注3)	FFFF 8000h	予約領域 ^(注3)	

注 1. Cache 対象（それ以外の領域は、MPU でキャッシュを有効にしないでください。）

注 2. Cortex-R4 密結合メモリ空間

注 3. 周辺空間

注. 予約領域は、アクセスしないでください。

図 4.1 メモリマップ（拡張内蔵 SRAM 1MB 品）

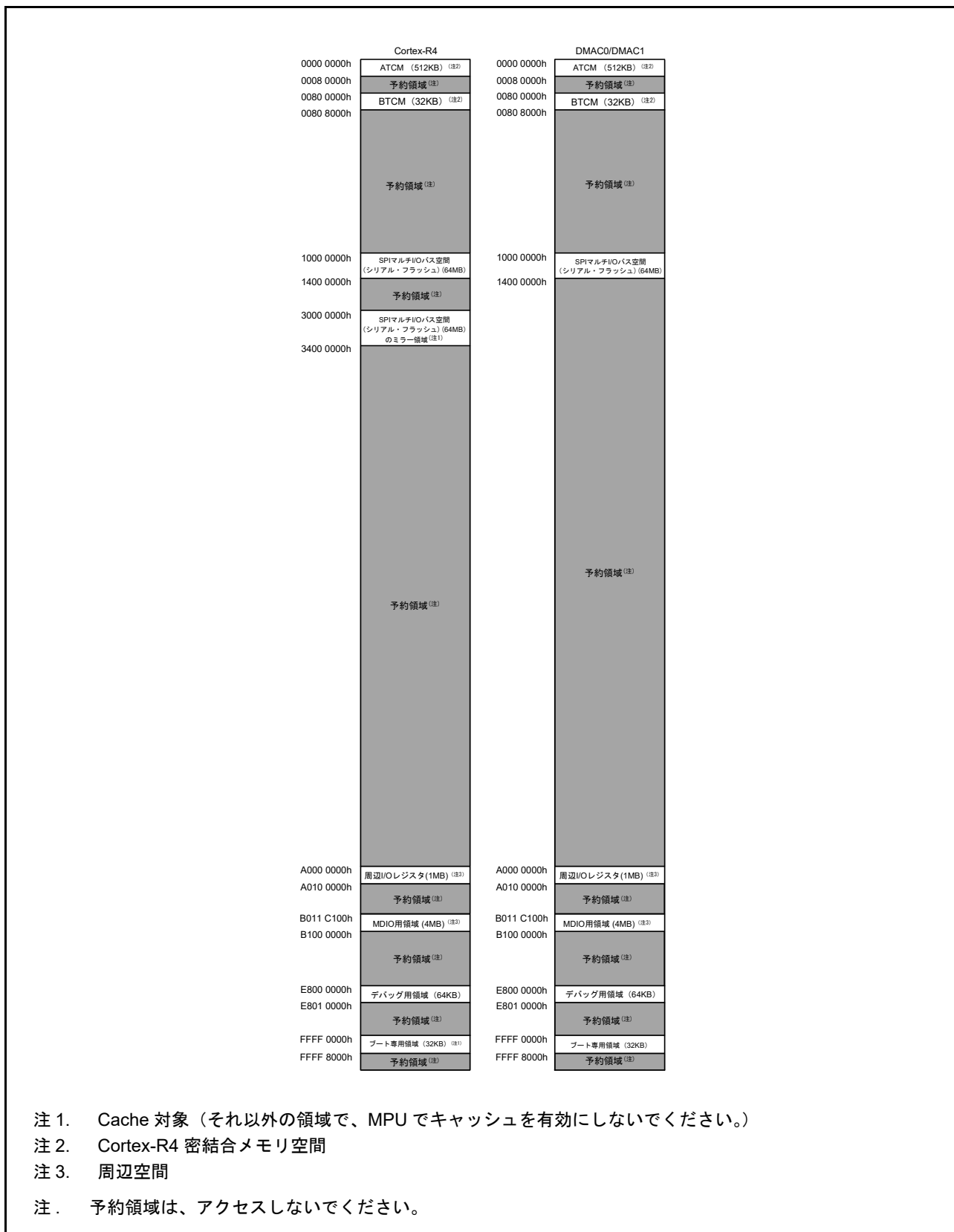


図 4.2 メモリマップ (拡張内蔵 SRAM 0KB 品)

5. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。

(1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

5.1 I/O レジスタアドレス一覧（アドレス順）

表5.1 I/O レジスタアドレス一覧 (1 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 0000h	PORT0	ポート方向レジスタ	PDR	16	16
A000 0002h	PORT1	ポート方向レジスタ	PDR	16	16
A000 0004h	PORT2	ポート方向レジスタ	PDR	16	16
A000 0006h	PORT3	ポート方向レジスタ	PDR	16	16
A000 0008h	PORT4	ポート方向レジスタ	PDR	16	16
A000 000Ah	PORT5	ポート方向レジスタ	PDR	16	16
A000 000Ch	PORT6	ポート方向レジスタ	PDR	16	16
A000 000Eh	PORT7	ポート方向レジスタ	PDR	16	16
A000 0012h	PORT9	ポート方向レジスタ	PDR	16	16
A000 0014h	PORTA	ポート方向レジスタ	PDR	16	16
A000 0018h	PORTC	ポート方向レジスタ	PDR	16	16
A000 001Ch	PORTE	ポート方向レジスタ	PDR	16	16
A000 0020h	PORTG	ポート方向レジスタ	PDR	16	16
A000 0040h	PORT0	ポート出力データレジスタ	PODR	8	8
A000 0041h	PORT1	ポート出力データレジスタ	PODR	8	8
A000 0042h	PORT2	ポート出力データレジスタ	PODR	8	8
A000 0043h	PORT3	ポート出力データレジスタ	PODR	8	8
A000 0044h	PORT4	ポート出力データレジスタ	PODR	8	8
A000 0046h	PORT6	ポート出力データレジスタ	PODR	8	8
A000 0047h	PORT7	ポート出力データレジスタ	PODR	8	8
A000 0049h	PORT9	ポート出力データレジスタ	PODR	8	8
A000 004Ah	PORTA	ポート出力データレジスタ	PODR	8	8
A000 004Ch	PORTC	ポート出力データレジスタ	PODR	8	8
A000 004Eh	PORTE	ポート出力データレジスタ	PODR	8	8
A000 0050h	PORTG	ポート出力データレジスタ	PODR	8	8
A000 0060h	PORT0	ポート入力データレジスタ	PIDR	8	8
A000 0061h	PORT1	ポート入力データレジスタ	PIDR	8	8
A000 0062h	PORT2	ポート入力データレジスタ	PIDR	8	8
A000 0063h	PORT3	ポート入力データレジスタ	PIDR	8	8
A000 0064h	PORT4	ポート入力データレジスタ	PIDR	8	8
A000 0066h	PORT6	ポート入力データレジスタ	PIDR	8	8
A000 0067h	PORT7	ポート入力データレジスタ	PIDR	8	8
A000 0069h	PORT9	ポート入力データレジスタ	PIDR	8	8
A000 006Ah	PORTA	ポート入力データレジスタ	PIDR	8	8
A000 006Ch	PORTC	ポート入力データレジスタ	PIDR	8	8
A000 006Eh	PORTE	ポート入力データレジスタ	PIDR	8	8
A000 0070h	PORTG	ポート入力データレジスタ	PIDR	8	8
A000 0080h	PORT0	ポートモードレジスタ	PMR	8	8
A000 0081h	PORT1	ポートモードレジスタ	PMR	8	8
A000 0082h	PORT2	ポートモードレジスタ	PMR	8	8
A000 0083h	PORT3	ポートモードレジスタ	PMR	8	8
A000 0084h	PORT4	ポートモードレジスタ	PMR	8	8
A000 0085h	PORT5	ポートモードレジスタ	PMR	8	8
A000 0086h	PORT6	ポートモードレジスタ	PMR	8	8
A000 0087h	PORT7	ポートモードレジスタ	PMR	8	8
A000 0089h	PORT9	ポートモードレジスタ	PMR	8	8

表5.1 I/O レジスタアドレス一覧 (2 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 008Ah	PORTA	ポートモードレジスタ	PMR	8	8
A000 008Ch	PORTC	ポートモードレジスタ	PMR	8	8
A000 008Eh	PORTE	ポートモードレジスタ	PMR	8	8
A000 0090h	PORTG	ポートモードレジスタ	PMR	8	8
A000 0100h	PORT0	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0102h	PORT1	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0104h	PORT2	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0106h	PORT3	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0108h	PORT4	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 010Ah	PORT5	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 010Ch	PORT6	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 010Eh	PORT7	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0112h	PORT9	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0114h	PORTA	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 011Ch	PORTE	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0120h	PORTG	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 014Ah	PORT5	駆動能力制御レジスタ	DSCR	16	16
A000 0200h	MPC	P00端子機能制御レジスタ	P00PFS	8	8
A000 0208h	MPC	P10端子機能制御レジスタ	P10PFS	8	8
A000 0211h	MPC	P21端子機能制御レジスタ	P21PFS	8	8
A000 0212h	MPC	P22端子機能制御レジスタ	P22PFS	8	8
A000 0217h	MPC	P27端子機能制御レジスタ	P27PFS	8	8
A000 021Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8
A000 021Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8
A000 021Dh	MPC	P35端子機能制御レジスタ	P35PFS	8	8
A000 0220h	MPC	P40端子機能制御レジスタ	P40PFS	8	8
A000 0222h	MPC	P42端子機能制御レジスタ	P42PFS	8	8
A000 0224h	MPC	P44端子機能制御レジスタ	P44PFS	8	8
A000 0228h	MPC	P50端子機能制御レジスタ	P50PFS	8	8
A000 0229h	MPC	P51端子機能制御レジスタ	P51PFS	8	8
A000 022Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8
A000 022Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8
A000 022Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8
A000 022Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8
A000 022Eh	MPC	P56端子機能制御レジスタ	P56PFS	8	8
A000 0230h	MPC	P60端子機能制御レジスタ	P60PFS	8	8
A000 0231h	MPC	P61端子機能制御レジスタ	P61PFS	8	8
A000 0232h	MPC	P62端子機能制御レジスタ	P62PFS	8	8
A000 0233h	MPC	P63端子機能制御レジスタ	P63PFS	8	8
A000 0234h	MPC	P64端子機能制御レジスタ	P64PFS	8	8
A000 0235h	MPC	P65端子機能制御レジスタ	P65PFS	8	8
A000 0239h	MPC	P71端子機能制御レジスタ	P71PFS	8	8
A000 023Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8
A000 023Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8
A000 0248h	MPC	P90端子機能制御レジスタ	P90PFS	8	8
A000 0249h	MPC	P91端子機能制御レジスタ	P91PFS	8	8
A000 024Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8
A000 024Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8

表 5.1 I/O レジスタアドレス一覧 (3 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 024Ch	MPC	P94 端子機能制御レジスタ	P94PFS	8	8
A000 024Dh	MPC	P95 端子機能制御レジスタ	P95PFS	8	8
A000 024Eh	MPC	P96 端子機能制御レジスタ	P96PFS	8	8
A000 024Fh	MPC	P97 端子機能制御レジスタ	P97PFS	8	8
A000 0253h	MPC	PA3 端子機能制御レジスタ	PA3PFS	8	8
A000 0254h	MPC	PA4 端子機能制御レジスタ	PA4PFS	8	8
A000 0255h	MPC	PA5 端子機能制御レジスタ	PA5PFS	8	8
A000 0262h	MPC	PC2 端子機能制御レジスタ	PC2PFS	8	8
A000 0263h	MPC	PC3 端子機能制御レジスタ	PC3PFS	8	8
A000 0266h	MPC	PC6 端子機能制御レジスタ	PC6PFS	8	8
A000 0267h	MPC	PC7 端子機能制御レジスタ	PC7PFS	8	8
A000 0270h	MPC	PE0 端子機能制御レジスタ	PE0PFS	8	8
A000 0271h	MPC	PE1 端子機能制御レジスタ	PE1PFS	8	8
A000 0272h	MPC	PE2 端子機能制御レジスタ	PE2PFS	8	8
A000 0273h	MPC	PE3 端子機能制御レジスタ	PE3PFS	8	8
A000 0274h	MPC	PE4 端子機能制御レジスタ	PE4PFS	8	8
A000 0275h	MPC	PE5 端子機能制御レジスタ	PE5PFS	8	8
A000 0276h	MPC	PE6 端子機能制御レジスタ	PE6PFS	8	8
A000 0277h	MPC	PE7 端子機能制御レジスタ	PE7PFS	8	8
A000 0282h	MPC	PG2 端子機能制御レジスタ	PG2PFS	8	8
A000 0283h	MPC	PG3 端子機能制御レジスタ	PG3PFS	8	8
A000 0284h	MPC	PG4 端子機能制御レジスタ	PG4PFS	8	8
A000 0285h	MPC	PG5 端子機能制御レジスタ	PG5PFS	8	8
A000 0286h	MPC	PG6 端子機能制御レジスタ	PG6PFS	8	8
A000 02FFh	MPC	書き込みプロテクトレジスタ	PWPR	8	8
A000 5000h	SPIBSC	共通コントロールレジスタ	CMNCR	32	32
A000 5004h	SPIBSC	SSL 遅延レジスタ	SSLDR	32	32
A000 5008h	SPIBSC	ビットレート設定レジスタ	SPBCR	32	32
A000 500Ch	SPIBSC	データリードコントロールレジスタ	DRCR	32	32
A000 5010h	SPIBSC	データリードコマンド設定レジスタ	DRCMR	32	32
A000 5014h	SPIBSC	データリード拡張アドレス設定レジスタ	DREAR	32	32
A000 5018h	SPIBSC	データリードオプション設定レジスタ	DROPR	32	32
A000 501Ch	SPIBSC	データリードイネーブル設定レジスタ	DRENR	32	32
A000 5020h	SPIBSC	SPIモードコントロールレジスタ	SMCR	32	32
A000 5024h	SPIBSC	SPIモードコマンド設定レジスタ	SMCMR	32	32
A000 5028h	SPIBSC	SPIモードアドレス設定レジスタ	SMADR	32	32
A000 502Ch	SPIBSC	SPIモードオプション設定レジスタ	SMOPR	32	32
A000 5030h	SPIBSC	SPIモードイネーブル設定レジスタ	SMENR	32	32
A000 5038h	SPIBSC	SPIモードリードデータレジスタ0	SMRDR0	32	8, 16, 32
A000 5040h	SPIBSC	SPIモードライトデータレジスタ0	SMWDR0	32	8, 16, 32
A000 5048h	SPIBSC	共通ステータスレジスタ	CMNSR	32	32
A000 5058h	SPIBSC	データリードダミーサイクル設定レジスタ	DRDMCR	32	32
A000 5060h	SPIBSC	SPIモードダミーサイクル設定レジスタ	SMDMCR	32	32
A001 0000h	VIC	IRQステータスレジスタ0	IRQS0	32	32
A001 0004h	VIC	IRQステータスレジスタ1	IRQS1	32	32
A001 0008h	VIC	IRQステータスレジスタ2	IRQS2	32	32
A001 000Ch	VIC	IRQステータスレジスタ3	IRQS3	32	32
A001 0010h	VIC	IRQステータスレジスタ4	IRQS4	32	32

表5.1 I/O レジスタアドレス一覧 (4 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0014h	VIC	IRQステータスレジスタ5	IRQS5	32	32
A001 0018h	VIC	IRQステータスレジスタ6	IRQS6	32	32
A001 001Ch	VIC	IRQステータスレジスタ7	IRQS7	32	32
A001 0040h	VIC	割り込み入力ステータスレジスタ0	RAIS0	32	32
A001 0044h	VIC	割り込み入力ステータスレジスタ1	RAIS1	32	32
A001 0048h	VIC	割り込み入力ステータスレジスタ2	RAIS2	32	32
A001 004Ch	VIC	割り込み入力ステータスレジスタ3	RAIS3	32	32
A001 0050h	VIC	割り込み入力ステータスレジスタ4	RAIS4	32	32
A001 0054h	VIC	割り込み入力ステータスレジスタ5	RAIS5	32	32
A001 0058h	VIC	割り込み入力ステータスレジスタ6	RAIS6	32	32
A001 005Ch	VIC	割り込み入力ステータスレジスタ7	RAIS7	32	32
A001 0080h	VIC	割り込みイネーブルレジスタ0	IEN0	32	32
A001 0084h	VIC	割り込みイネーブルレジスタ1	IEN1	32	32
A001 0088h	VIC	割り込みイネーブルレジスタ2	IEN2	32	32
A001 008Ch	VIC	割り込みイネーブルレジスタ3	IEN3	32	32
A001 0090h	VIC	割り込みイネーブルレジスタ4	IEN4	32	32
A001 0094h	VIC	割り込みイネーブルレジスタ5	IEN5	32	32
A001 0098h	VIC	割り込みイネーブルレジスタ6	IEN6	32	32
A001 009Ch	VIC	割り込みイネーブルレジスタ7	IEN7	32	32
A001 00A0h	VIC	割り込みイネーブルクリアレジスタ0	IEC0	32	32
A001 00A4h	VIC	割り込みイネーブルクリアレジスタ1	IEC1	32	32
A001 00A8h	VIC	割り込みイネーブルクリアレジスタ2	IEC2	32	32
A001 00ACh	VIC	割り込みイネーブルクリアレジスタ3	IEC3	32	32
A001 00B0h	VIC	割り込みイネーブルクリアレジスタ4	IEC4	32	32
A001 00B4h	VIC	割り込みイネーブルクリアレジスタ5	IEC5	32	32
A001 00B8h	VIC	割り込みイネーブルクリアレジスタ6	IEC6	32	32
A001 00BCh	VIC	割り込みイネーブルクリアレジスタ7	IEC7	32	32
A001 0100h	VIC	割り込み検出タイプ選択レジスタ0	PLS0	32	32
A001 0104h	VIC	割り込み検出タイプ選択レジスタ1	PLS1	32	32
A001 0108h	VIC	割り込み検出タイプ選択レジスタ2	PLS2	32	32
A001 010Ch	VIC	割り込み検出タイプ選択レジスタ3	PLS3	32	32
A001 0110h	VIC	割り込み検出タイプ選択レジスタ4	PLS4	32	32
A001 0114h	VIC	割り込み検出タイプ選択レジスタ5	PLS5	32	32
A001 0118h	VIC	割り込み検出タイプ選択レジスタ6	PLS6	32	32
A001 011Ch	VIC	割り込み検出タイプ選択レジスタ7	PLS7	32	32
A001 0120h	VIC	エッジ検出ビットクリアレジスタ0	PIC0	32	32
A001 0124h	VIC	エッジ検出ビットクリアレジスタ1	PIC1	32	32
A001 0128h	VIC	エッジ検出ビットクリアレジスタ2	PIC2	32	32
A001 012Ch	VIC	エッジ検出ビットクリアレジスタ3	PIC3	32	32
A001 0130h	VIC	エッジ検出ビットクリアレジスタ4	PIC4	32	32
A001 0134h	VIC	エッジ検出ビットクリアレジスタ5	PIC5	32	32
A001 0138h	VIC	エッジ検出ビットクリアレジスタ6	PIC6	32	32
A001 013Ch	VIC	エッジ検出ビットクリアレジスタ7	PIC7	32	32
A001 01C0h	VIC	割り込み優先レベルマスクレジスタ0	PRLM0	32	32
A001 01C4h	VIC	割り込み優先レベルマスククリアレジスタ0	PRLC0	32	32
A001 01C8h	VIC	ユーザモードイネーブルレジスタ0	UEN0	32	32
A001 0200h	VIC	割り込みアドレスレジスタ0	HVA0	32	32
A001 0210h	VIC	割り込みサービスステータスレジスタ0	ISS0	32	32

表5.1 I/O レジスタアドレス一覧 (5 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0214h	VIC	割り込みサービスステータスレジスタ 1	ISS1	32	32
A001 0218h	VIC	割り込みサービスステータスレジスタ 2	ISS2	32	32
A001 021Ch	VIC	割り込みサービスステータスレジスタ 3	ISS3	32	32
A001 0220h	VIC	割り込みサービスステータスレジスタ 4	ISS4	32	32
A001 0224h	VIC	割り込みサービスステータスレジスタ 5	ISS5	32	32
A001 0228h	VIC	割り込みサービスステータスレジスタ 6	ISS6	32	32
A001 022Ch	VIC	割り込みサービスステータスレジスタ 7	ISS7	32	32
A001 0230h	VIC	割り込みサービスカレントレジスタ 0	ISC0	32	32
A001 0234h	VIC	割り込みサービスカレントレジスタ 1	ISC1	32	32
A001 0238h	VIC	割り込みサービスカレントレジスタ 2	ISC2	32	32
A001 023Ch	VIC	割り込みサービスカレントレジスタ 3	ISC3	32	32
A001 0240h	VIC	割り込みサービスカレントレジスタ 4	ISC4	32	32
A001 0244h	VIC	割り込みサービスカレントレジスタ 5	ISC5	32	32
A001 0248h	VIC	割り込みサービスカレントレジスタ 6	ISC6	32	32
A001 024Ch	VIC	割り込みサービスカレントレジスタ 7	ISC7	32	32
A001 0404h	VIC	割り込みアドレス格納レジスタ 1	VAD1	32	32
A001 0408h	VIC	割り込みアドレス格納レジスタ 2	VAD2	32	32
A001 040Ch	VIC	割り込みアドレス格納レジスタ 3	VAD3	32	32
A001 0410h	VIC	割り込みアドレス格納レジスタ 4	VAD4	32	32
A001 0414h	VIC	割り込みアドレス格納レジスタ 5	VAD5	32	32
A001 0418h	VIC	割り込みアドレス格納レジスタ 6	VAD6	32	32
A001 041Ch	VIC	割り込みアドレス格納レジスタ 7	VAD7	32	32
A001 0420h	VIC	割り込みアドレス格納レジスタ 8	VAD8	32	32
A001 0424h	VIC	割り込みアドレス格納レジスタ 9	VAD9	32	32
A001 0428h	VIC	割り込みアドレス格納レジスタ 10	VAD10	32	32
A001 042Ch	VIC	割り込みアドレス格納レジスタ 11	VAD11	32	32
A001 0430h	VIC	割り込みアドレス格納レジスタ 12	VAD12	32	32
A001 0434h	VIC	割り込みアドレス格納レジスタ 13	VAD13	32	32
A001 0438h	VIC	割り込みアドレス格納レジスタ 14	VAD14	32	32
A001 043Ch	VIC	割り込みアドレス格納レジスタ 15	VAD15	32	32
A001 0440h	VIC	割り込みアドレス格納レジスタ 16	VAD16	32	32
A001 0444h	VIC	割り込みアドレス格納レジスタ 17	VAD17	32	32
A001 0448h	VIC	割り込みアドレス格納レジスタ 18	VAD18	32	32
A001 044Ch	VIC	割り込みアドレス格納レジスタ 19	VAD19	32	32
A001 0450h	VIC	割り込みアドレス格納レジスタ 20	VAD20	32	32
A001 0454h	VIC	割り込みアドレス格納レジスタ 21	VAD21	32	32
A001 0458h	VIC	割り込みアドレス格納レジスタ 22	VAD22	32	32
A001 045Ch	VIC	割り込みアドレス格納レジスタ 23	VAD23	32	32
A001 0460h	VIC	割り込みアドレス格納レジスタ 24	VAD24	32	32
A001 0464h	VIC	割り込みアドレス格納レジスタ 25	VAD25	32	32
A001 0468h	VIC	割り込みアドレス格納レジスタ 26	VAD26	32	32
A001 046Ch	VIC	割り込みアドレス格納レジスタ 27	VAD27	32	32
A001 0470h	VIC	割り込みアドレス格納レジスタ 28	VAD28	32	32
A001 0474h	VIC	割り込みアドレス格納レジスタ 29	VAD29	32	32
A001 0478h	VIC	割り込みアドレス格納レジスタ 30	VAD30	32	32
A001 047Ch	VIC	割り込みアドレス格納レジスタ 31	VAD31	32	32
A001 0480h	VIC	割り込みアドレス格納レジスタ 32	VAD32	32	32
A001 0484h	VIC	割り込みアドレス格納レジスタ 33	VAD33	32	32

表5.1 I/O レジスタアドレス一覧 (6 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0488h	VIC	割り込みアドレス格納レジスタ 34	VAD34	32	32
A001 048Ch	VIC	割り込みアドレス格納レジスタ 35	VAD35	32	32
A001 0490h	VIC	割り込みアドレス格納レジスタ 36	VAD36	32	32
A001 0494h	VIC	割り込みアドレス格納レジスタ 37	VAD37	32	32
A001 0498h	VIC	割り込みアドレス格納レジスタ 38	VAD38	32	32
A001 049Ch	VIC	割り込みアドレス格納レジスタ 39	VAD39	32	32
A001 04A0h	VIC	割り込みアドレス格納レジスタ 40	VAD40	32	32
A001 04A4h	VIC	割り込みアドレス格納レジスタ 41	VAD41	32	32
A001 04A8h	VIC	割り込みアドレス格納レジスタ 42	VAD42	32	32
A001 04ACh	VIC	割り込みアドレス格納レジスタ 43	VAD43	32	32
A001 04B0h	VIC	割り込みアドレス格納レジスタ 44	VAD44	32	32
A001 04B4h	VIC	割り込みアドレス格納レジスタ 45	VAD45	32	32
A001 04B8h	VIC	割り込みアドレス格納レジスタ 46	VAD46	32	32
A001 04BCh	VIC	割り込みアドレス格納レジスタ 47	VAD47	32	32
A001 04C0h	VIC	割り込みアドレス格納レジスタ 48	VAD48	32	32
A001 04C4h	VIC	割り込みアドレス格納レジスタ 49	VAD49	32	32
A001 04C8h	VIC	割り込みアドレス格納レジスタ 50	VAD50	32	32
A001 04CCh	VIC	割り込みアドレス格納レジスタ 51	VAD51	32	32
A001 04D0h	VIC	割り込みアドレス格納レジスタ 52	VAD52	32	32
A001 04D4h	VIC	割り込みアドレス格納レジスタ 53	VAD53	32	32
A001 04D8h	VIC	割り込みアドレス格納レジスタ 54	VAD54	32	32
A001 04DCh	VIC	割り込みアドレス格納レジスタ 55	VAD55	32	32
A001 04E0h	VIC	割り込みアドレス格納レジスタ 56	VAD56	32	32
A001 04E4h	VIC	割り込みアドレス格納レジスタ 57	VAD57	32	32
A001 04E8h	VIC	割り込みアドレス格納レジスタ 58	VAD58	32	32
A001 04ECh	VIC	割り込みアドレス格納レジスタ 59	VAD59	32	32
A001 04F0h	VIC	割り込みアドレス格納レジスタ 60	VAD60	32	32
A001 04F4h	VIC	割り込みアドレス格納レジスタ 61	VAD61	32	32
A001 04F8h	VIC	割り込みアドレス格納レジスタ 62	VAD62	32	32
A001 04FCh	VIC	割り込みアドレス格納レジスタ 63	VAD63	32	32
A001 0500h	VIC	割り込みアドレス格納レジスタ 64	VAD64	32	32
A001 0504h	VIC	割り込みアドレス格納レジスタ 65	VAD65	32	32
A001 0508h	VIC	割り込みアドレス格納レジスタ 66	VAD66	32	32
A001 050Ch	VIC	割り込みアドレス格納レジスタ 67	VAD67	32	32
A001 0510h	VIC	割り込みアドレス格納レジスタ 68	VAD68	32	32
A001 0514h	VIC	割り込みアドレス格納レジスタ 69	VAD69	32	32
A001 0518h	VIC	割り込みアドレス格納レジスタ 70	VAD70	32	32
A001 051Ch	VIC	割り込みアドレス格納レジスタ 71	VAD71	32	32
A001 0520h	VIC	割り込みアドレス格納レジスタ 72	VAD72	32	32
A001 0524h	VIC	割り込みアドレス格納レジスタ 73	VAD73	32	32
A001 0528h	VIC	割り込みアドレス格納レジスタ 74	VAD74	32	32
A001 052Ch	VIC	割り込みアドレス格納レジスタ 75	VAD75	32	32
A001 0530h	VIC	割り込みアドレス格納レジスタ 76	VAD76	32	32
A001 0534h	VIC	割り込みアドレス格納レジスタ 77	VAD77	32	32
A001 0538h	VIC	割り込みアドレス格納レジスタ 78	VAD78	32	32
A001 053Ch	VIC	割り込みアドレス格納レジスタ 79	VAD79	32	32
A001 0540h	VIC	割り込みアドレス格納レジスタ 80	VAD80	32	32
A001 0544h	VIC	割り込みアドレス格納レジスタ 81	VAD81	32	32

表5.1 I/O レジスタアドレス一覧 (7 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0548h	VIC	割り込みアドレス格納レジスタ 82	VAD82	32	32
A001 054Ch	VIC	割り込みアドレス格納レジスタ 83	VAD83	32	32
A001 0550h	VIC	割り込みアドレス格納レジスタ 84	VAD84	32	32
A001 0554h	VIC	割り込みアドレス格納レジスタ 85	VAD85	32	32
A001 0558h	VIC	割り込みアドレス格納レジスタ 86	VAD86	32	32
A001 055Ch	VIC	割り込みアドレス格納レジスタ 87	VAD87	32	32
A001 0560h	VIC	割り込みアドレス格納レジスタ 88	VAD88	32	32
A001 0564h	VIC	割り込みアドレス格納レジスタ 89	VAD89	32	32
A001 0568h	VIC	割り込みアドレス格納レジスタ 90	VAD90	32	32
A001 056Ch	VIC	割り込みアドレス格納レジスタ 91	VAD91	32	32
A001 0570h	VIC	割り込みアドレス格納レジスタ 92	VAD92	32	32
A001 0574h	VIC	割り込みアドレス格納レジスタ 93	VAD93	32	32
A001 0578h	VIC	割り込みアドレス格納レジスタ 94	VAD94	32	32
A001 057Ch	VIC	割り込みアドレス格納レジスタ 95	VAD95	32	32
A001 0580h	VIC	割り込みアドレス格納レジスタ 96	VAD96	32	32
A001 0584h	VIC	割り込みアドレス格納レジスタ 97	VAD97	32	32
A001 0588h	VIC	割り込みアドレス格納レジスタ 98	VAD98	32	32
A001 058Ch	VIC	割り込みアドレス格納レジスタ 99	VAD99	32	32
A001 0590h	VIC	割り込みアドレス格納レジスタ 100	VAD100	32	32
A001 0594h	VIC	割り込みアドレス格納レジスタ 101	VAD101	32	32
A001 0598h	VIC	割り込みアドレス格納レジスタ 102	VAD102	32	32
A001 059Ch	VIC	割り込みアドレス格納レジスタ 103	VAD103	32	32
A001 05A0h	VIC	割り込みアドレス格納レジスタ 104	VAD104	32	32
A001 05A4h	VIC	割り込みアドレス格納レジスタ 105	VAD105	32	32
A001 05A8h	VIC	割り込みアドレス格納レジスタ 106	VAD106	32	32
A001 05ACh	VIC	割り込みアドレス格納レジスタ 107	VAD107	32	32
A001 05B0h	VIC	割り込みアドレス格納レジスタ 108	VAD108	32	32
A001 05B4h	VIC	割り込みアドレス格納レジスタ 109	VAD109	32	32
A001 05B8h	VIC	割り込みアドレス格納レジスタ 110	VAD110	32	32
A001 05BCh	VIC	割り込みアドレス格納レジスタ 111	VAD111	32	32
A001 05C0h	VIC	割り込みアドレス格納レジスタ 112	VAD112	32	32
A001 05C4h	VIC	割り込みアドレス格納レジスタ 113	VAD113	32	32
A001 05C8h	VIC	割り込みアドレス格納レジスタ 114	VAD114	32	32
A001 05CCh	VIC	割り込みアドレス格納レジスタ 115	VAD115	32	32
A001 05D0h	VIC	割り込みアドレス格納レジスタ 116	VAD116	32	32
A001 05D4h	VIC	割り込みアドレス格納レジスタ 117	VAD117	32	32
A001 05D8h	VIC	割り込みアドレス格納レジスタ 118	VAD118	32	32
A001 05DCh	VIC	割り込みアドレス格納レジスタ 119	VAD119	32	32
A001 05E0h	VIC	割り込みアドレス格納レジスタ 120	VAD120	32	32
A001 05E4h	VIC	割り込みアドレス格納レジスタ 121	VAD121	32	32
A001 05E8h	VIC	割り込みアドレス格納レジスタ 122	VAD122	32	32
A001 05ECh	VIC	割り込みアドレス格納レジスタ 123	VAD123	32	32
A001 05F0h	VIC	割り込みアドレス格納レジスタ 124	VAD124	32	32
A001 05F4h	VIC	割り込みアドレス格納レジスタ 125	VAD125	32	32
A001 05F8h	VIC	割り込みアドレス格納レジスタ 126	VAD126	32	32
A001 05FCh	VIC	割り込みアドレス格納レジスタ 127	VAD127	32	32
A001 0600h	VIC	割り込みアドレス格納レジスタ 128	VAD128	32	32
A001 0604h	VIC	割り込みアドレス格納レジスタ 129	VAD129	32	32

表5.1 I/O レジスタアドレス一覧 (8 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0608h	VIC	割り込みアドレス格納レジスタ 130	VAD130	32	32
A001 060Ch	VIC	割り込みアドレス格納レジスタ 131	VAD131	32	32
A001 0610h	VIC	割り込みアドレス格納レジスタ 132	VAD132	32	32
A001 0614h	VIC	割り込みアドレス格納レジスタ 133	VAD133	32	32
A001 0618h	VIC	割り込みアドレス格納レジスタ 134	VAD134	32	32
A001 061Ch	VIC	割り込みアドレス格納レジスタ 135	VAD135	32	32
A001 0620h	VIC	割り込みアドレス格納レジスタ 136	VAD136	32	32
A001 0624h	VIC	割り込みアドレス格納レジスタ 137	VAD137	32	32
A001 0628h	VIC	割り込みアドレス格納レジスタ 138	VAD138	32	32
A001 062Ch	VIC	割り込みアドレス格納レジスタ 139	VAD139	32	32
A001 0630h	VIC	割り込みアドレス格納レジスタ 140	VAD140	32	32
A001 0634h	VIC	割り込みアドレス格納レジスタ 141	VAD141	32	32
A001 0638h	VIC	割り込みアドレス格納レジスタ 142	VAD142	32	32
A001 063Ch	VIC	割り込みアドレス格納レジスタ 143	VAD143	32	32
A001 0640h	VIC	割り込みアドレス格納レジスタ 144	VAD144	32	32
A001 0644h	VIC	割り込みアドレス格納レジスタ 145	VAD145	32	32
A001 0648h	VIC	割り込みアドレス格納レジスタ 146	VAD146	32	32
A001 064Ch	VIC	割り込みアドレス格納レジスタ 147	VAD147	32	32
A001 0650h	VIC	割り込みアドレス格納レジスタ 148	VAD148	32	32
A001 0654h	VIC	割り込みアドレス格納レジスタ 149	VAD149	32	32
A001 0658h	VIC	割り込みアドレス格納レジスタ 150	VAD150	32	32
A001 065Ch	VIC	割り込みアドレス格納レジスタ 151	VAD151	32	32
A001 0660h	VIC	割り込みアドレス格納レジスタ 152	VAD152	32	32
A001 0664h	VIC	割り込みアドレス格納レジスタ 153	VAD153	32	32
A001 0668h	VIC	割り込みアドレス格納レジスタ 154	VAD154	32	32
A001 066Ch	VIC	割り込みアドレス格納レジスタ 155	VAD155	32	32
A001 0670h	VIC	割り込みアドレス格納レジスタ 156	VAD156	32	32
A001 0674h	VIC	割り込みアドレス格納レジスタ 157	VAD157	32	32
A001 0678h	VIC	割り込みアドレス格納レジスタ 158	VAD158	32	32
A001 067Ch	VIC	割り込みアドレス格納レジスタ 159	VAD159	32	32
A001 0680h	VIC	割り込みアドレス格納レジスタ 160	VAD160	32	32
A001 0684h	VIC	割り込みアドレス格納レジスタ 161	VAD161	32	32
A001 0688h	VIC	割り込みアドレス格納レジスタ 162	VAD162	32	32
A001 068Ch	VIC	割り込みアドレス格納レジスタ 163	VAD163	32	32
A001 0690h	VIC	割り込みアドレス格納レジスタ 164	VAD164	32	32
A001 0694h	VIC	割り込みアドレス格納レジスタ 165	VAD165	32	32
A001 0698h	VIC	割り込みアドレス格納レジスタ 166	VAD166	32	32
A001 069Ch	VIC	割り込みアドレス格納レジスタ 167	VAD167	32	32
A001 06A0h	VIC	割り込みアドレス格納レジスタ 168	VAD168	32	32
A001 06A4h	VIC	割り込みアドレス格納レジスタ 169	VAD169	32	32
A001 06A8h	VIC	割り込みアドレス格納レジスタ 170	VAD170	32	32
A001 06ACh	VIC	割り込みアドレス格納レジスタ 171	VAD171	32	32
A001 06B0h	VIC	割り込みアドレス格納レジスタ 172	VAD172	32	32
A001 06B4h	VIC	割り込みアドレス格納レジスタ 173	VAD173	32	32
A001 06B8h	VIC	割り込みアドレス格納レジスタ 174	VAD174	32	32
A001 06BCh	VIC	割り込みアドレス格納レジスタ 175	VAD175	32	32
A001 06C0h	VIC	割り込みアドレス格納レジスタ 176	VAD176	32	32
A001 06C4h	VIC	割り込みアドレス格納レジスタ 177	VAD177	32	32

表5.1 I/O レジスタアドレス一覧 (9 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 06C8h	VIC	割り込みアドレス格納レジスタ 178	VAD178	32	32
A001 06CCh	VIC	割り込みアドレス格納レジスタ 179	VAD179	32	32
A001 06D0h	VIC	割り込みアドレス格納レジスタ 180	VAD180	32	32
A001 06D4h	VIC	割り込みアドレス格納レジスタ 181	VAD181	32	32
A001 06D8h	VIC	割り込みアドレス格納レジスタ 182	VAD182	32	32
A001 06DCh	VIC	割り込みアドレス格納レジスタ 183	VAD183	32	32
A001 06E0h	VIC	割り込みアドレス格納レジスタ 184	VAD184	32	32
A001 06E4h	VIC	割り込みアドレス格納レジスタ 185	VAD185	32	32
A001 06E8h	VIC	割り込みアドレス格納レジスタ 186	VAD186	32	32
A001 06ECh	VIC	割り込みアドレス格納レジスタ 187	VAD187	32	32
A001 06F0h	VIC	割り込みアドレス格納レジスタ 188	VAD188	32	32
A001 06F4h	VIC	割り込みアドレス格納レジスタ 189	VAD189	32	32
A001 06F8h	VIC	割り込みアドレス格納レジスタ 190	VAD190	32	32
A001 06FCh	VIC	割り込みアドレス格納レジスタ 191	VAD191	32	32
A001 0700h	VIC	割り込みアドレス格納レジスタ 192	VAD192	32	32
A001 0704h	VIC	割り込みアドレス格納レジスタ 193	VAD193	32	32
A001 0708h	VIC	割り込みアドレス格納レジスタ 194	VAD194	32	32
A001 070Ch	VIC	割り込みアドレス格納レジスタ 195	VAD195	32	32
A001 0710h	VIC	割り込みアドレス格納レジスタ 196	VAD196	32	32
A001 0714h	VIC	割り込みアドレス格納レジスタ 197	VAD197	32	32
A001 0718h	VIC	割り込みアドレス格納レジスタ 198	VAD198	32	32
A001 071Ch	VIC	割り込みアドレス格納レジスタ 199	VAD199	32	32
A001 0720h	VIC	割り込みアドレス格納レジスタ 200	VAD200	32	32
A001 0724h	VIC	割り込みアドレス格納レジスタ 201	VAD201	32	32
A001 0728h	VIC	割り込みアドレス格納レジスタ 202	VAD202	32	32
A001 072Ch	VIC	割り込みアドレス格納レジスタ 203	VAD203	32	32
A001 0730h	VIC	割り込みアドレス格納レジスタ 204	VAD204	32	32
A001 0734h	VIC	割り込みアドレス格納レジスタ 205	VAD205	32	32
A001 0738h	VIC	割り込みアドレス格納レジスタ 206	VAD206	32	32
A001 073Ch	VIC	割り込みアドレス格納レジスタ 207	VAD207	32	32
A001 0740h	VIC	割り込みアドレス格納レジスタ 208	VAD208	32	32
A001 0744h	VIC	割り込みアドレス格納レジスタ 209	VAD209	32	32
A001 0748h	VIC	割り込みアドレス格納レジスタ 210	VAD210	32	32
A001 074Ch	VIC	割り込みアドレス格納レジスタ 211	VAD211	32	32
A001 0750h	VIC	割り込みアドレス格納レジスタ 212	VAD212	32	32
A001 0754h	VIC	割り込みアドレス格納レジスタ 213	VAD213	32	32
A001 0758h	VIC	割り込みアドレス格納レジスタ 214	VAD214	32	32
A001 075Ch	VIC	割り込みアドレス格納レジスタ 215	VAD215	32	32
A001 0760h	VIC	割り込みアドレス格納レジスタ 216	VAD216	32	32
A001 0764h	VIC	割り込みアドレス格納レジスタ 217	VAD217	32	32
A001 0768h	VIC	割り込みアドレス格納レジスタ 218	VAD218	32	32
A001 076Ch	VIC	割り込みアドレス格納レジスタ 219	VAD219	32	32
A001 0770h	VIC	割り込みアドレス格納レジスタ 220	VAD220	32	32
A001 0774h	VIC	割り込みアドレス格納レジスタ 221	VAD221	32	32
A001 0778h	VIC	割り込みアドレス格納レジスタ 222	VAD222	32	32
A001 077Ch	VIC	割り込みアドレス格納レジスタ 223	VAD223	32	32
A001 0780h	VIC	割り込みアドレス格納レジスタ 224	VAD224	32	32
A001 0784h	VIC	割り込みアドレス格納レジスタ 225	VAD225	32	32

表5.1 I/O レジスタアドレス一覧 (10 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0788h	VIC	割り込みアドレス格納レジスタ 226	VAD226	32	32
A001 078Ch	VIC	割り込みアドレス格納レジスタ 227	VAD227	32	32
A001 0790h	VIC	割り込みアドレス格納レジスタ 228	VAD228	32	32
A001 0794h	VIC	割り込みアドレス格納レジスタ 229	VAD229	32	32
A001 0798h	VIC	割り込みアドレス格納レジスタ 230	VAD230	32	32
A001 079Ch	VIC	割り込みアドレス格納レジスタ 231	VAD231	32	32
A001 07A0h	VIC	割り込みアドレス格納レジスタ 232	VAD232	32	32
A001 07A4h	VIC	割り込みアドレス格納レジスタ 233	VAD233	32	32
A001 07A8h	VIC	割り込みアドレス格納レジスタ 234	VAD234	32	32
A001 07ACh	VIC	割り込みアドレス格納レジスタ 235	VAD235	32	32
A001 07B0h	VIC	割り込みアドレス格納レジスタ 236	VAD236	32	32
A001 07B4h	VIC	割り込みアドレス格納レジスタ 237	VAD237	32	32
A001 07B8h	VIC	割り込みアドレス格納レジスタ 238	VAD238	32	32
A001 07BCh	VIC	割り込みアドレス格納レジスタ 239	VAD239	32	32
A001 07C0h	VIC	割り込みアドレス格納レジスタ 240	VAD240	32	32
A001 07C4h	VIC	割り込みアドレス格納レジスタ 241	VAD241	32	32
A001 07C8h	VIC	割り込みアドレス格納レジスタ 242	VAD242	32	32
A001 07CCh	VIC	割り込みアドレス格納レジスタ 243	VAD243	32	32
A001 07D0h	VIC	割り込みアドレス格納レジスタ 244	VAD244	32	32
A001 07D4h	VIC	割り込みアドレス格納レジスタ 245	VAD245	32	32
A001 07D8h	VIC	割り込みアドレス格納レジスタ 246	VAD246	32	32
A001 07DCh	VIC	割り込みアドレス格納レジスタ 247	VAD247	32	32
A001 07E0h	VIC	割り込みアドレス格納レジスタ 248	VAD248	32	32
A001 07E4h	VIC	割り込みアドレス格納レジスタ 249	VAD249	32	32
A001 07E8h	VIC	割り込みアドレス格納レジスタ 250	VAD250	32	32
A001 07ECh	VIC	割り込みアドレス格納レジスタ 251	VAD251	32	32
A001 07F0h	VIC	割り込みアドレス格納レジスタ 252	VAD252	32	32
A001 07F4h	VIC	割り込みアドレス格納レジスタ 253	VAD253	32	32
A001 07F8h	VIC	割り込みアドレス格納レジスタ 254	VAD254	32	32
A001 07FCh	VIC	割り込みアドレス格納レジスタ 255	VAD255	32	32
A001 0804h	VIC	割り込み優先レベル格納レジスタ 1	PRL1	32	32
A001 0808h	VIC	割り込み優先レベル格納レジスタ 2	PRL2	32	32
A001 080Ch	VIC	割り込み優先レベル格納レジスタ 3	PRL3	32	32
A001 0810h	VIC	割り込み優先レベル格納レジスタ 4	PRL4	32	32
A001 0814h	VIC	割り込み優先レベル格納レジスタ 5	PRL5	32	32
A001 0818h	VIC	割り込み優先レベル格納レジスタ 6	PRL6	32	32
A001 081Ch	VIC	割り込み優先レベル格納レジスタ 7	PRL7	32	32
A001 0820h	VIC	割り込み優先レベル格納レジスタ 8	PRL8	32	32
A001 0824h	VIC	割り込み優先レベル格納レジスタ 9	PRL9	32	32
A001 0828h	VIC	割り込み優先レベル格納レジスタ 10	PRL10	32	32
A001 082Ch	VIC	割り込み優先レベル格納レジスタ 11	PRL11	32	32
A001 0830h	VIC	割り込み優先レベル格納レジスタ 12	PRL12	32	32
A001 0834h	VIC	割り込み優先レベル格納レジスタ 13	PRL13	32	32
A001 0838h	VIC	割り込み優先レベル格納レジスタ 14	PRL14	32	32
A001 083Ch	VIC	割り込み優先レベル格納レジスタ 15	PRL15	32	32
A001 0840h	VIC	割り込み優先レベル格納レジスタ 16	PRL16	32	32
A001 0844h	VIC	割り込み優先レベル格納レジスタ 17	PRL17	32	32
A001 0848h	VIC	割り込み優先レベル格納レジスタ 18	PRL18	32	32

表5.1 I/Oレジスタアドレス一覧 (11 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 084Ch	VIC	割り込み優先レベル格納レジスタ 19	PRL19	32	32
A001 0850h	VIC	割り込み優先レベル格納レジスタ 20	PRL20	32	32
A001 0854h	VIC	割り込み優先レベル格納レジスタ 21	PRL21	32	32
A001 0858h	VIC	割り込み優先レベル格納レジスタ 22	PRL22	32	32
A001 085Ch	VIC	割り込み優先レベル格納レジスタ 23	PRL23	32	32
A001 0860h	VIC	割り込み優先レベル格納レジスタ 24	PRL24	32	32
A001 0864h	VIC	割り込み優先レベル格納レジスタ 25	PRL25	32	32
A001 0868h	VIC	割り込み優先レベル格納レジスタ 26	PRL26	32	32
A001 086Ch	VIC	割り込み優先レベル格納レジスタ 27	PRL27	32	32
A001 0870h	VIC	割り込み優先レベル格納レジスタ 28	PRL28	32	32
A001 0874h	VIC	割り込み優先レベル格納レジスタ 29	PRL29	32	32
A001 0878h	VIC	割り込み優先レベル格納レジスタ 30	PRL30	32	32
A001 087Ch	VIC	割り込み優先レベル格納レジスタ 31	PRL31	32	32
A001 0880h	VIC	割り込み優先レベル格納レジスタ 32	PRL32	32	32
A001 0884h	VIC	割り込み優先レベル格納レジスタ 33	PRL33	32	32
A001 0888h	VIC	割り込み優先レベル格納レジスタ 34	PRL34	32	32
A001 088Ch	VIC	割り込み優先レベル格納レジスタ 35	PRL35	32	32
A001 0890h	VIC	割り込み優先レベル格納レジスタ 36	PRL36	32	32
A001 0894h	VIC	割り込み優先レベル格納レジスタ 37	PRL37	32	32
A001 0898h	VIC	割り込み優先レベル格納レジスタ 38	PRL38	32	32
A001 089Ch	VIC	割り込み優先レベル格納レジスタ 39	PRL39	32	32
A001 08A0h	VIC	割り込み優先レベル格納レジスタ 40	PRL40	32	32
A001 08A4h	VIC	割り込み優先レベル格納レジスタ 41	PRL41	32	32
A001 08A8h	VIC	割り込み優先レベル格納レジスタ 42	PRL42	32	32
A001 08ACh	VIC	割り込み優先レベル格納レジスタ 43	PRL43	32	32
A001 08B0h	VIC	割り込み優先レベル格納レジスタ 44	PRL44	32	32
A001 08B4h	VIC	割り込み優先レベル格納レジスタ 45	PRL45	32	32
A001 08B8h	VIC	割り込み優先レベル格納レジスタ 46	PRL46	32	32
A001 08BCh	VIC	割り込み優先レベル格納レジスタ 47	PRL47	32	32
A001 08C0h	VIC	割り込み優先レベル格納レジスタ 48	PRL48	32	32
A001 08C4h	VIC	割り込み優先レベル格納レジスタ 49	PRL49	32	32
A001 08C8h	VIC	割り込み優先レベル格納レジスタ 50	PRL50	32	32
A001 08CCh	VIC	割り込み優先レベル格納レジスタ 51	PRL51	32	32
A001 08D0h	VIC	割り込み優先レベル格納レジスタ 52	PRL52	32	32
A001 08D4h	VIC	割り込み優先レベル格納レジスタ 53	PRL53	32	32
A001 08D8h	VIC	割り込み優先レベル格納レジスタ 54	PRL54	32	32
A001 08DCh	VIC	割り込み優先レベル格納レジスタ 55	PRL55	32	32
A001 08E0h	VIC	割り込み優先レベル格納レジスタ 56	PRL56	32	32
A001 08E4h	VIC	割り込み優先レベル格納レジスタ 57	PRL57	32	32
A001 08E8h	VIC	割り込み優先レベル格納レジスタ 58	PRL58	32	32
A001 08ECh	VIC	割り込み優先レベル格納レジスタ 59	PRL59	32	32
A001 08F0h	VIC	割り込み優先レベル格納レジスタ 60	PRL60	32	32
A001 08F4h	VIC	割り込み優先レベル格納レジスタ 61	PRL61	32	32
A001 08F8h	VIC	割り込み優先レベル格納レジスタ 62	PRL62	32	32
A001 08FCh	VIC	割り込み優先レベル格納レジスタ 63	PRL63	32	32
A001 0900h	VIC	割り込み優先レベル格納レジスタ 64	PRL64	32	32
A001 0904h	VIC	割り込み優先レベル格納レジスタ 65	PRL65	32	32
A001 0908h	VIC	割り込み優先レベル格納レジスタ 66	PRL66	32	32

表5.1 I/Oレジスタアドレス一覧 (12 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 090Ch	VIC	割り込み優先レベル格納レジスタ 67	PRL67	32	32
A001 0910h	VIC	割り込み優先レベル格納レジスタ 68	PRL68	32	32
A001 0914h	VIC	割り込み優先レベル格納レジスタ 69	PRL69	32	32
A001 0918h	VIC	割り込み優先レベル格納レジスタ 70	PRL70	32	32
A001 091Ch	VIC	割り込み優先レベル格納レジスタ 71	PRL71	32	32
A001 0920h	VIC	割り込み優先レベル格納レジスタ 72	PRL72	32	32
A001 0924h	VIC	割り込み優先レベル格納レジスタ 73	PRL73	32	32
A001 0928h	VIC	割り込み優先レベル格納レジスタ 74	PRL74	32	32
A001 092Ch	VIC	割り込み優先レベル格納レジスタ 75	PRL75	32	32
A001 0930h	VIC	割り込み優先レベル格納レジスタ 76	PRL76	32	32
A001 0934h	VIC	割り込み優先レベル格納レジスタ 77	PRL77	32	32
A001 0938h	VIC	割り込み優先レベル格納レジスタ 78	PRL78	32	32
A001 093Ch	VIC	割り込み優先レベル格納レジスタ 79	PRL79	32	32
A001 0940h	VIC	割り込み優先レベル格納レジスタ 80	PRL80	32	32
A001 0944h	VIC	割り込み優先レベル格納レジスタ 81	PRL81	32	32
A001 0948h	VIC	割り込み優先レベル格納レジスタ 82	PRL82	32	32
A001 094Ch	VIC	割り込み優先レベル格納レジスタ 83	PRL83	32	32
A001 0950h	VIC	割り込み優先レベル格納レジスタ 84	PRL84	32	32
A001 0954h	VIC	割り込み優先レベル格納レジスタ 85	PRL85	32	32
A001 0958h	VIC	割り込み優先レベル格納レジスタ 86	PRL86	32	32
A001 095Ch	VIC	割り込み優先レベル格納レジスタ 87	PRL87	32	32
A001 0960h	VIC	割り込み優先レベル格納レジスタ 88	PRL88	32	32
A001 0964h	VIC	割り込み優先レベル格納レジスタ 89	PRL89	32	32
A001 0968h	VIC	割り込み優先レベル格納レジスタ 90	PRL90	32	32
A001 096Ch	VIC	割り込み優先レベル格納レジスタ 91	PRL91	32	32
A001 0970h	VIC	割り込み優先レベル格納レジスタ 92	PRL92	32	32
A001 0974h	VIC	割り込み優先レベル格納レジスタ 93	PRL93	32	32
A001 0978h	VIC	割り込み優先レベル格納レジスタ 94	PRL94	32	32
A001 097Ch	VIC	割り込み優先レベル格納レジスタ 95	PRL95	32	32
A001 0980h	VIC	割り込み優先レベル格納レジスタ 96	PRL96	32	32
A001 0984h	VIC	割り込み優先レベル格納レジスタ 97	PRL97	32	32
A001 0988h	VIC	割り込み優先レベル格納レジスタ 98	PRL98	32	32
A001 098Ch	VIC	割り込み優先レベル格納レジスタ 99	PRL99	32	32
A001 0990h	VIC	割り込み優先レベル格納レジスタ 100	PRL100	32	32
A001 0994h	VIC	割り込み優先レベル格納レジスタ 101	PRL101	32	32
A001 0998h	VIC	割り込み優先レベル格納レジスタ 102	PRL102	32	32
A001 099Ch	VIC	割り込み優先レベル格納レジスタ 103	PRL103	32	32
A001 09A0h	VIC	割り込み優先レベル格納レジスタ 104	PRL104	32	32
A001 09A4h	VIC	割り込み優先レベル格納レジスタ 105	PRL105	32	32
A001 09A8h	VIC	割り込み優先レベル格納レジスタ 106	PRL106	32	32
A001 09ACh	VIC	割り込み優先レベル格納レジスタ 107	PRL107	32	32
A001 09B0h	VIC	割り込み優先レベル格納レジスタ 108	PRL108	32	32
A001 09B4h	VIC	割り込み優先レベル格納レジスタ 109	PRL109	32	32
A001 09B8h	VIC	割り込み優先レベル格納レジスタ 110	PRL110	32	32
A001 09BCh	VIC	割り込み優先レベル格納レジスタ 111	PRL111	32	32
A001 09C0h	VIC	割り込み優先レベル格納レジスタ 112	PRL112	32	32
A001 09C4h	VIC	割り込み優先レベル格納レジスタ 113	PRL113	32	32
A001 09C8h	VIC	割り込み優先レベル格納レジスタ 114	PRL114	32	32

表5.1 I/Oレジスタアドレス一覧 (13 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 09CCh	VIC	割り込み優先レベル格納レジスタ 115	PRL115	32	32
A001 09D0h	VIC	割り込み優先レベル格納レジスタ 116	PRL116	32	32
A001 09D4h	VIC	割り込み優先レベル格納レジスタ 117	PRL117	32	32
A001 09D8h	VIC	割り込み優先レベル格納レジスタ 118	PRL118	32	32
A001 09DCh	VIC	割り込み優先レベル格納レジスタ 119	PRL119	32	32
A001 09E0h	VIC	割り込み優先レベル格納レジスタ 120	PRL120	32	32
A001 09E4h	VIC	割り込み優先レベル格納レジスタ 121	PRL121	32	32
A001 09E8h	VIC	割り込み優先レベル格納レジスタ 122	PRL122	32	32
A001 09ECh	VIC	割り込み優先レベル格納レジスタ 123	PRL123	32	32
A001 09F0h	VIC	割り込み優先レベル格納レジスタ 124	PRL124	32	32
A001 09F4h	VIC	割り込み優先レベル格納レジスタ 125	PRL125	32	32
A001 09F8h	VIC	割り込み優先レベル格納レジスタ 126	PRL126	32	32
A001 09FCh	VIC	割り込み優先レベル格納レジスタ 127	PRL127	32	32
A001 0A00h	VIC	割り込み優先レベル格納レジスタ 128	PRL128	32	32
A001 0A04h	VIC	割り込み優先レベル格納レジスタ 129	PRL129	32	32
A001 0A08h	VIC	割り込み優先レベル格納レジスタ 130	PRL130	32	32
A001 0A0Ch	VIC	割り込み優先レベル格納レジスタ 131	PRL131	32	32
A001 0A10h	VIC	割り込み優先レベル格納レジスタ 132	PRL132	32	32
A001 0A14h	VIC	割り込み優先レベル格納レジスタ 133	PRL133	32	32
A001 0A18h	VIC	割り込み優先レベル格納レジスタ 134	PRL134	32	32
A001 0A1Ch	VIC	割り込み優先レベル格納レジスタ 135	PRL135	32	32
A001 0A20h	VIC	割り込み優先レベル格納レジスタ 136	PRL136	32	32
A001 0A24h	VIC	割り込み優先レベル格納レジスタ 137	PRL137	32	32
A001 0A28h	VIC	割り込み優先レベル格納レジスタ 138	PRL138	32	32
A001 0A2Ch	VIC	割り込み優先レベル格納レジスタ 139	PRL139	32	32
A001 0A30h	VIC	割り込み優先レベル格納レジスタ 140	PRL140	32	32
A001 0A34h	VIC	割り込み優先レベル格納レジスタ 141	PRL141	32	32
A001 0A38h	VIC	割り込み優先レベル格納レジスタ 142	PRL142	32	32
A001 0A3Ch	VIC	割り込み優先レベル格納レジスタ 143	PRL143	32	32
A001 0A40h	VIC	割り込み優先レベル格納レジスタ 144	PRL144	32	32
A001 0A44h	VIC	割り込み優先レベル格納レジスタ 145	PRL145	32	32
A001 0A48h	VIC	割り込み優先レベル格納レジスタ 146	PRL146	32	32
A001 0A4Ch	VIC	割り込み優先レベル格納レジスタ 147	PRL147	32	32
A001 0A50h	VIC	割り込み優先レベル格納レジスタ 148	PRL148	32	32
A001 0A54h	VIC	割り込み優先レベル格納レジスタ 149	PRL149	32	32
A001 0A58h	VIC	割り込み優先レベル格納レジスタ 150	PRL150	32	32
A001 0A5Ch	VIC	割り込み優先レベル格納レジスタ 151	PRL151	32	32
A001 0A60h	VIC	割り込み優先レベル格納レジスタ 152	PRL152	32	32
A001 0A64h	VIC	割り込み優先レベル格納レジスタ 153	PRL153	32	32
A001 0A68h	VIC	割り込み優先レベル格納レジスタ 154	PRL154	32	32
A001 0A6Ch	VIC	割り込み優先レベル格納レジスタ 155	PRL155	32	32
A001 0A70h	VIC	割り込み優先レベル格納レジスタ 156	PRL156	32	32
A001 0A74h	VIC	割り込み優先レベル格納レジスタ 157	PRL157	32	32
A001 0A78h	VIC	割り込み優先レベル格納レジスタ 158	PRL158	32	32
A001 0A7Ch	VIC	割り込み優先レベル格納レジスタ 159	PRL159	32	32
A001 0A80h	VIC	割り込み優先レベル格納レジスタ 160	PRL160	32	32
A001 0A84h	VIC	割り込み優先レベル格納レジスタ 161	PRL161	32	32
A001 0A88h	VIC	割り込み優先レベル格納レジスタ 162	PRL162	32	32

表5.1 I/Oレジスタアドレス一覧 (14 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0A8Ch	VIC	割り込み優先レベル格納レジスタ 163	PRL163	32	32
A001 0A90h	VIC	割り込み優先レベル格納レジスタ 164	PRL164	32	32
A001 0A94h	VIC	割り込み優先レベル格納レジスタ 165	PRL165	32	32
A001 0A98h	VIC	割り込み優先レベル格納レジスタ 166	PRL166	32	32
A001 0A9Ch	VIC	割り込み優先レベル格納レジスタ 167	PRL167	32	32
A001 0AA0h	VIC	割り込み優先レベル格納レジスタ 168	PRL168	32	32
A001 0AA4h	VIC	割り込み優先レベル格納レジスタ 169	PRL169	32	32
A001 0AA8h	VIC	割り込み優先レベル格納レジスタ 170	PRL170	32	32
A001 0AACh	VIC	割り込み優先レベル格納レジスタ 171	PRL171	32	32
A001 0AB0h	VIC	割り込み優先レベル格納レジスタ 172	PRL172	32	32
A001 0AB4h	VIC	割り込み優先レベル格納レジスタ 173	PRL173	32	32
A001 0AB8h	VIC	割り込み優先レベル格納レジスタ 174	PRL174	32	32
A001 0ABCh	VIC	割り込み優先レベル格納レジスタ 175	PRL175	32	32
A001 0AC0h	VIC	割り込み優先レベル格納レジスタ 176	PRL176	32	32
A001 0AC4h	VIC	割り込み優先レベル格納レジスタ 177	PRL177	32	32
A001 0AC8h	VIC	割り込み優先レベル格納レジスタ 178	PRL178	32	32
A001 0ACCh	VIC	割り込み優先レベル格納レジスタ 179	PRL179	32	32
A001 0AD0h	VIC	割り込み優先レベル格納レジスタ 180	PRL180	32	32
A001 0AD4h	VIC	割り込み優先レベル格納レジスタ 181	PRL181	32	32
A001 0AD8h	VIC	割り込み優先レベル格納レジスタ 182	PRL182	32	32
A001 0ADCh	VIC	割り込み優先レベル格納レジスタ 183	PRL183	32	32
A001 0AE0h	VIC	割り込み優先レベル格納レジスタ 184	PRL184	32	32
A001 0AE4h	VIC	割り込み優先レベル格納レジスタ 185	PRL185	32	32
A001 0AE8h	VIC	割り込み優先レベル格納レジスタ 186	PRL186	32	32
A001 0AECh	VIC	割り込み優先レベル格納レジスタ 187	PRL187	32	32
A001 0AF0h	VIC	割り込み優先レベル格納レジスタ 188	PRL188	32	32
A001 0AF4h	VIC	割り込み優先レベル格納レジスタ 189	PRL189	32	32
A001 0AF8h	VIC	割り込み優先レベル格納レジスタ 190	PRL190	32	32
A001 0AFCh	VIC	割り込み優先レベル格納レジスタ 191	PRL191	32	32
A001 0B00h	VIC	割り込み優先レベル格納レジスタ 192	PRL192	32	32
A001 0B04h	VIC	割り込み優先レベル格納レジスタ 193	PRL193	32	32
A001 0B08h	VIC	割り込み優先レベル格納レジスタ 194	PRL194	32	32
A001 0B0Ch	VIC	割り込み優先レベル格納レジスタ 195	PRL195	32	32
A001 0B10h	VIC	割り込み優先レベル格納レジスタ 196	PRL196	32	32
A001 0B14h	VIC	割り込み優先レベル格納レジスタ 197	PRL197	32	32
A001 0B18h	VIC	割り込み優先レベル格納レジスタ 198	PRL198	32	32
A001 0B1Ch	VIC	割り込み優先レベル格納レジスタ 199	PRL199	32	32
A001 0B20h	VIC	割り込み優先レベル格納レジスタ 200	PRL200	32	32
A001 0B24h	VIC	割り込み優先レベル格納レジスタ 201	PRL201	32	32
A001 0B28h	VIC	割り込み優先レベル格納レジスタ 202	PRL202	32	32
A001 0B2Ch	VIC	割り込み優先レベル格納レジスタ 203	PRL203	32	32
A001 0B30h	VIC	割り込み優先レベル格納レジスタ 204	PRL204	32	32
A001 0B34h	VIC	割り込み優先レベル格納レジスタ 205	PRL205	32	32
A001 0B38h	VIC	割り込み優先レベル格納レジスタ 206	PRL206	32	32
A001 0B3Ch	VIC	割り込み優先レベル格納レジスタ 207	PRL207	32	32
A001 0B40h	VIC	割り込み優先レベル格納レジスタ 208	PRL208	32	32
A001 0B44h	VIC	割り込み優先レベル格納レジスタ 209	PRL209	32	32
A001 0B48h	VIC	割り込み優先レベル格納レジスタ 210	PRL210	32	32

表5.1 I/Oレジスタアドレス一覧 (15 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0B4Ch	VIC	割り込み優先レベル格納レジスタ 211	PRL211	32	32
A001 0B50h	VIC	割り込み優先レベル格納レジスタ 212	PRL212	32	32
A001 0B54h	VIC	割り込み優先レベル格納レジスタ 213	PRL213	32	32
A001 0B58h	VIC	割り込み優先レベル格納レジスタ 214	PRL214	32	32
A001 0B5Ch	VIC	割り込み優先レベル格納レジスタ 215	PRL215	32	32
A001 0B60h	VIC	割り込み優先レベル格納レジスタ 216	PRL216	32	32
A001 0B64h	VIC	割り込み優先レベル格納レジスタ 217	PRL217	32	32
A001 0B68h	VIC	割り込み優先レベル格納レジスタ 218	PRL218	32	32
A001 0B6Ch	VIC	割り込み優先レベル格納レジスタ 219	PRL219	32	32
A001 0B70h	VIC	割り込み優先レベル格納レジスタ 220	PRL220	32	32
A001 0B74h	VIC	割り込み優先レベル格納レジスタ 221	PRL221	32	32
A001 0B78h	VIC	割り込み優先レベル格納レジスタ 222	PRL222	32	32
A001 0B7Ch	VIC	割り込み優先レベル格納レジスタ 223	PRL223	32	32
A001 0B80h	VIC	割り込み優先レベル格納レジスタ 224	PRL224	32	32
A001 0B84h	VIC	割り込み優先レベル格納レジスタ 225	PRL225	32	32
A001 0B88h	VIC	割り込み優先レベル格納レジスタ 226	PRL226	32	32
A001 0B8Ch	VIC	割り込み優先レベル格納レジスタ 227	PRL227	32	32
A001 0B90h	VIC	割り込み優先レベル格納レジスタ 228	PRL228	32	32
A001 0B94h	VIC	割り込み優先レベル格納レジスタ 229	PRL229	32	32
A001 0B98h	VIC	割り込み優先レベル格納レジスタ 230	PRL230	32	32
A001 0B9Ch	VIC	割り込み優先レベル格納レジスタ 231	PRL231	32	32
A001 0BA0h	VIC	割り込み優先レベル格納レジスタ 232	PRL232	32	32
A001 0BA4h	VIC	割り込み優先レベル格納レジスタ 233	PRL233	32	32
A001 0BA8h	VIC	割り込み優先レベル格納レジスタ 234	PRL234	32	32
A001 0BACh	VIC	割り込み優先レベル格納レジスタ 235	PRL235	32	32
A001 0BB0h	VIC	割り込み優先レベル格納レジスタ 236	PRL236	32	32
A001 0BB4h	VIC	割り込み優先レベル格納レジスタ 237	PRL237	32	32
A001 0BB8h	VIC	割り込み優先レベル格納レジスタ 238	PRL238	32	32
A001 0BBCCh	VIC	割り込み優先レベル格納レジスタ 239	PRL239	32	32
A001 0BC0h	VIC	割り込み優先レベル格納レジスタ 240	PRL240	32	32
A001 0BC4h	VIC	割り込み優先レベル格納レジスタ 241	PRL241	32	32
A001 0BC8h	VIC	割り込み優先レベル格納レジスタ 242	PRL242	32	32
A001 0BCCh	VIC	割り込み優先レベル格納レジスタ 243	PRL243	32	32
A001 0BD0h	VIC	割り込み優先レベル格納レジスタ 244	PRL244	32	32
A001 0BD4h	VIC	割り込み優先レベル格納レジスタ 245	PRL245	32	32
A001 0BD8h	VIC	割り込み優先レベル格納レジスタ 246	PRL246	32	32
A001 0BDCh	VIC	割り込み優先レベル格納レジスタ 247	PRL247	32	32
A001 0BE0h	VIC	割り込み優先レベル格納レジスタ 248	PRL248	32	32
A001 0BE4h	VIC	割り込み優先レベル格納レジスタ 249	PRL249	32	32
A001 0BE8h	VIC	割り込み優先レベル格納レジスタ 250	PRL250	32	32
A001 0BECCh	VIC	割り込み優先レベル格納レジスタ 251	PRL251	32	32
A001 0BF0h	VIC	割り込み優先レベル格納レジスタ 252	PRL252	32	32
A001 0BF4h	VIC	割り込み優先レベル格納レジスタ 253	PRL253	32	32
A001 0BF8h	VIC	割り込み優先レベル格納レジスタ 254	PRL254	32	32
A001 0BFCh	VIC	割り込み優先レベル格納レジスタ 255	PRL255	32	32
A001 1000h	VIC	IRQステータスレジスタ 8	IRQS8	32	32
A001 1004h	VIC	IRQステータスレジスタ 9	IRQS9	32	32
A001 1040h	VIC	割り込み入カステータスレジスタ 8	RAIS8	32	32

表5.1 I/O レジスタアドレス一覧 (16 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 1044h	VIC	割り込み入力ステータスレジスタ9	RAIS9	32	32
A001 1080h	VIC	割り込みイネーブルレジスタ8	IEN8	32	32
A001 1084h	VIC	割り込みイネーブルレジスタ9	IEN9	32	32
A001 10A0h	VIC	割り込みイネーブルクリアレジスタ8	IEC8	32	32
A001 10A4h	VIC	割り込みイネーブルクリアレジスタ9	IEC9	32	32
A001 1100h	VIC	割り込み検出タイプ選択レジスタ8	PLS8	32	32
A001 1104h	VIC	割り込み検出タイプ選択レジスタ9	PLS9	32	32
A001 1120h	VIC	エッジ検出ビットクリアレジスタ8	PIC8	32	32
A001 1124h	VIC	エッジ検出ビットクリアレジスタ9	PIC9	32	32
A001 11C0h	VIC	割り込み優先レベルマスクレジスタ1	PRLM1	32	32
A001 11C4h	VIC	割り込み優先レベルマスククリアレジスタ1	PRLC1	32	32
A001 11C8h	VIC	ユーザモードイネーブルレジスタ1	UEN1	32	32
A001 1210h	VIC	割り込みサービスステータスレジスタ8	ISS8	32	32
A001 1214h	VIC	割り込みサービスステータスレジスタ9	ISS9	32	32
A001 1230h	VIC	割り込みサービススケレントレジスタ8	ISC8	32	32
A001 1234h	VIC	割り込みサービススケレントレジスタ9	ISC9	32	32
A001 1400h	VIC	割り込みアドレス格納レジスタ256	VAD256	32	32
A001 1404h	VIC	割り込みアドレス格納レジスタ257	VAD257	32	32
A001 1408h	VIC	割り込みアドレス格納レジスタ258	VAD258	32	32
A001 140Ch	VIC	割り込みアドレス格納レジスタ259	VAD259	32	32
A001 1410h	VIC	割り込みアドレス格納レジスタ260	VAD260	32	32
A001 1414h	VIC	割り込みアドレス格納レジスタ261	VAD261	32	32
A001 1418h	VIC	割り込みアドレス格納レジスタ262	VAD262	32	32
A001 141Ch	VIC	割り込みアドレス格納レジスタ263	VAD263	32	32
A001 1420h	VIC	割り込みアドレス格納レジスタ264	VAD264	32	32
A001 1424h	VIC	割り込みアドレス格納レジスタ265	VAD265	32	32
A001 1428h	VIC	割り込みアドレス格納レジスタ266	VAD266	32	32
A001 142Ch	VIC	割り込みアドレス格納レジスタ267	VAD267	32	32
A001 1430h	VIC	割り込みアドレス格納レジスタ268	VAD268	32	32
A001 1434h	VIC	割り込みアドレス格納レジスタ269	VAD269	32	32
A001 1438h	VIC	割り込みアドレス格納レジスタ270	VAD270	32	32
A001 143Ch	VIC	割り込みアドレス格納レジスタ271	VAD271	32	32
A001 1440h	VIC	割り込みアドレス格納レジスタ272	VAD272	32	32
A001 1444h	VIC	割り込みアドレス格納レジスタ273	VAD273	32	32
A001 1448h	VIC	割り込みアドレス格納レジスタ274	VAD274	32	32
A001 144Ch	VIC	割り込みアドレス格納レジスタ275	VAD275	32	32
A001 1450h	VIC	割り込みアドレス格納レジスタ276	VAD276	32	32
A001 1454h	VIC	割り込みアドレス格納レジスタ277	VAD277	32	32
A001 1458h	VIC	割り込みアドレス格納レジスタ278	VAD278	32	32
A001 145Ch	VIC	割り込みアドレス格納レジスタ279	VAD279	32	32
A001 1460h	VIC	割り込みアドレス格納レジスタ280	VAD280	32	32
A001 1464h	VIC	割り込みアドレス格納レジスタ281	VAD281	32	32
A001 1468h	VIC	割り込みアドレス格納レジスタ282	VAD282	32	32
A001 146Ch	VIC	割り込みアドレス格納レジスタ283	VAD283	32	32
A001 1470h	VIC	割り込みアドレス格納レジスタ284	VAD284	32	32
A001 1474h	VIC	割り込みアドレス格納レジスタ285	VAD285	32	32
A001 1478h	VIC	割り込みアドレス格納レジスタ286	VAD286	32	32
A001 147Ch	VIC	割り込みアドレス格納レジスタ287	VAD287	32	32

表5.1 I/Oレジスタアドレス一覧 (17 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 1480h	VIC	割り込みアドレス格納レジスタ 288	VAD288	32	32
A001 1484h	VIC	割り込みアドレス格納レジスタ 289	VAD289	32	32
A001 1488h	VIC	割り込みアドレス格納レジスタ 290	VAD290	32	32
A001 148Ch	VIC	割り込みアドレス格納レジスタ 291	VAD291	32	32
A001 1490h	VIC	割り込みアドレス格納レジスタ 292	VAD292	32	32
A001 1494h	VIC	割り込みアドレス格納レジスタ 293	VAD293	32	32
A001 1498h	VIC	割り込みアドレス格納レジスタ 294	VAD294	32	32
A001 1800h	VIC	割り込み優先レベル格納レジスタ 256	PRL256	32	32
A001 1804h	VIC	割り込み優先レベル格納レジスタ 257	PRL257	32	32
A001 1808h	VIC	割り込み優先レベル格納レジスタ 258	PRL258	32	32
A001 180Ch	VIC	割り込み優先レベル格納レジスタ 259	PRL259	32	32
A001 1810h	VIC	割り込み優先レベル格納レジスタ 260	PRL260	32	32
A001 1814h	VIC	割り込み優先レベル格納レジスタ 261	PRL261	32	32
A001 1818h	VIC	割り込み優先レベル格納レジスタ 262	PRL262	32	32
A001 181Ch	VIC	割り込み優先レベル格納レジスタ 263	PRL263	32	32
A001 1820h	VIC	割り込み優先レベル格納レジスタ 264	PRL264	32	32
A001 1824h	VIC	割り込み優先レベル格納レジスタ 265	PRL265	32	32
A001 1828h	VIC	割り込み優先レベル格納レジスタ 266	PRL266	32	32
A001 182Ch	VIC	割り込み優先レベル格納レジスタ 267	PRL267	32	32
A001 1830h	VIC	割り込み優先レベル格納レジスタ 268	PRL268	32	32
A001 1834h	VIC	割り込み優先レベル格納レジスタ 269	PRL269	32	32
A001 1838h	VIC	割り込み優先レベル格納レジスタ 270	PRL270	32	32
A001 183Ch	VIC	割り込み優先レベル格納レジスタ 271	PRL271	32	32
A001 1840h	VIC	割り込み優先レベル格納レジスタ 272	PRL272	32	32
A001 1844h	VIC	割り込み優先レベル格納レジスタ 273	PRL273	32	32
A001 1848h	VIC	割り込み優先レベル格納レジスタ 274	PRL274	32	32
A001 184Ch	VIC	割り込み優先レベル格納レジスタ 275	PRL275	32	32
A001 1850h	VIC	割り込み優先レベル格納レジスタ 276	PRL276	32	32
A001 1854h	VIC	割り込み優先レベル格納レジスタ 277	PRL277	32	32
A001 1858h	VIC	割り込み優先レベル格納レジスタ 278	PRL278	32	32
A001 185Ch	VIC	割り込み優先レベル格納レジスタ 279	PRL279	32	32
A001 1860h	VIC	割り込み優先レベル格納レジスタ 280	PRL280	32	32
A001 1864h	VIC	割り込み優先レベル格納レジスタ 281	PRL281	32	32
A001 1868h	VIC	割り込み優先レベル格納レジスタ 282	PRL282	32	32
A001 186Ch	VIC	割り込み優先レベル格納レジスタ 283	PRL283	32	32
A001 1870h	VIC	割り込み優先レベル格納レジスタ 284	PRL284	32	32
A001 1874h	VIC	割り込み優先レベル格納レジスタ 285	PRL285	32	32
A001 1878h	VIC	割り込み優先レベル格納レジスタ 286	PRL286	32	32
A001 187Ch	VIC	割り込み優先レベル格納レジスタ 287	PRL287	32	32
A001 1880h	VIC	割り込み優先レベル格納レジスタ 288	PRL288	32	32
A001 1884h	VIC	割り込み優先レベル格納レジスタ 289	PRL289	32	32
A001 1888h	VIC	割り込み優先レベル格納レジスタ 290	PRL290	32	32
A001 188Ch	VIC	割り込み優先レベル格納レジスタ 291	PRL291	32	32
A001 1890h	VIC	割り込み優先レベル格納レジスタ 292	PRL292	32	32
A001 1894h	VIC	割り込み優先レベル格納レジスタ 293	PRL293	32	32
A001 1898h	VIC	割り込み優先レベル格納レジスタ 294	PRL294	32	32
A006 2000h	DMA0	ネクスト0ソースアドレスレジスタ0	DMAC0_N0SA_0_N	32	32
A006 2000h	DMA0	ネクスト0ソースアドレスレジスタ0	DMAC0_N0SA_0_W	32	32

表5.1 I/O レジスタアドレス一覧 (18 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 2004h	DMA0	ネクスト0デスティネーションアドレスレジスタ0	DMAC0_N0DA_0	32	32
A006 2008h	DMA0	ネクスト0トランザクションバイトレジスタ0	DMAC0_N0TB_0	32	32
A006 200Ch	DMA0	ネクスト1ソースアドレスレジスタ0	DMAC0_N1SA_0_N	32	32
A006 200Ch	DMA0	ネクスト1ソースアドレスレジスタ0	DMAC0_N1SA_0_W	32	32
A006 2010h	DMA0	ネクスト1デスティネーションアドレスレジスタ0	DMAC0_N1DA_0	32	32
A006 2014h	DMA0	ネクスト1トランザクションバイトレジスタ0	DMAC0_N1TB_0	32	32
A006 2018h	DMA0	カレントソースアドレスレジスタ0	DMAC0_CRSA_0	32	32
A006 201Ch	DMA0	カレントデスティネーションアドレスレジスタ0	DMAC0_CRDA_0	32	32
A006 2020h	DMA0	カレントトランザクションバイトレジスタ0	DMAC0_CRTB_0	32	32
A006 2024h	DMA0	チャネルステータスレジスタ0	DMAC0_CHSTAT_0	32	32
A006 2028h	DMA0	チャネルコントロールレジスタ0	DMAC0_CHCTRL_0	32	32
A006 202Ch	DMA0	チャネルコンフィギュレーションレジスタ0	DMAC0_CHCFG_0	32	32
A006 2030h	DMA0	チャネルインターバルレジスタ0	DMAC0_CHITVL_0	32	32
A006 2038h	DMA0	ネクストリンクアドレスレジスタ0	DMAC0_NXLA_0	32	32
A006 203Ch	DMA0	カレントリンクアドレスレジスタ0	DMAC0_CRLA_0	32	32
A006 2040h	DMA0	ネクスト0ソースアドレスレジスタ1	DMAC0_N0SA_1_N	32	32
A006 2040h	DMA0	ネクスト0ソースアドレスレジスタ1	DMAC0_N0SA_1_W	32	32
A006 2044h	DMA0	ネクスト0デスティネーションアドレスレジスタ1	DMAC0_N0DA_1	32	32
A006 2048h	DMA0	ネクスト0トランザクションバイトレジスタ1	DMAC0_N0TB_1	32	32
A006 204Ch	DMA0	ネクスト1ソースアドレスレジスタ1	DMAC0_N1SA_1_N	32	32
A006 204Ch	DMA0	ネクスト1ソースアドレスレジスタ1	DMAC0_N1SA_1_W	32	32
A006 2050h	DMA0	ネクスト1デスティネーションアドレスレジスタ1	DMAC0_N1DA_1	32	32
A006 2054h	DMA0	ネクスト1トランザクションバイトレジスタ1	DMAC0_N1TB_1	32	32
A006 2058h	DMA0	カレントソースアドレスレジスタ1	DMAC0_CRSA_1	32	32
A006 205Ch	DMA0	カレントデスティネーションアドレスレジスタ1	DMAC0_CRDA_1	32	32
A006 2060h	DMA0	カレントトランザクションバイトレジスタ1	DMAC0_CRTB_1	32	32
A006 2064h	DMA0	チャネルステータスレジスタ1	DMAC0_CHSTAT_1	32	32
A006 2068h	DMA0	チャネルコントロールレジスタ1	DMAC0_CHCTRL_1	32	32
A006 206Ch	DMA0	チャネルコンフィギュレーションレジスタ1	DMAC0_CHCFG_1	32	32
A006 2070h	DMA0	チャネルインターバルレジスタ1	DMAC0_CHITVL_1	32	32
A006 2078h	DMA0	ネクストリンクアドレスレジスタ1	DMAC0_NXLA_1	32	32
A006 207Ch	DMA0	カレントリンクアドレスレジスタ1	DMAC0_CRLA_1	32	32
A006 2080h	DMA0	ネクスト0ソースアドレスレジスタ2	DMAC0_N0SA_2_N	32	32
A006 2080h	DMA0	ネクスト0ソースアドレスレジスタ2	DMAC0_N0SA_2_W	32	32
A006 2084h	DMA0	ネクスト0デスティネーションアドレスレジスタ2	DMAC0_N0DA_2	32	32
A006 2088h	DMA0	ネクスト0トランザクションバイトレジスタ2	DMAC0_N0TB_2	32	32
A006 208Ch	DMA0	ネクスト1ソースアドレスレジスタ2	DMAC0_N1SA_2_N	32	32
A006 208Ch	DMA0	ネクスト1ソースアドレスレジスタ2	DMAC0_N1SA_2_W	32	32
A006 2090h	DMA0	ネクスト1デスティネーションアドレスレジスタ2	DMAC0_N1DA_2	32	32
A006 2094h	DMA0	ネクスト1トランザクションバイトレジスタ2	DMAC0_N1TB_2	32	32
A006 2098h	DMA0	カレントソースアドレスレジスタ2	DMAC0_CRSA_2	32	32
A006 209Ch	DMA0	カレントデスティネーションアドレスレジスタ2	DMAC0_CRDA_2	32	32
A006 20A0h	DMA0	カレントトランザクションバイトレジスタ2	DMAC0_CRTB_2	32	32
A006 20A4h	DMA0	チャネルステータスレジスタ2	DMAC0_CHSTAT_2	32	32
A006 20A8h	DMA0	チャネルコントロールレジスタ2	DMAC0_CHCTRL_2	32	32
A006 20ACh	DMA0	チャネルコンフィギュレーションレジスタ2	DMAC0_CHCFG_2	32	32
A006 20B0h	DMA0	チャネルインターバルレジスタ2	DMAC0_CHITVL_2	32	32
A006 20B8h	DMA0	ネクストリンクアドレスレジスタ2	DMAC0_NXLA_2	32	32

表5.1 I/O レジスタアドレス一覧 (19 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 20BCh	DMA0	カレントリンクアドレスレジスタ2	DMAC0_CRLA_2	32	32
A006 20C0h	DMA0	ネクスト0ソースアドレスレジスタ3	DMAC0_N0SA_3_N	32	32
A006 20C0h	DMA0	ネクスト0ソースアドレスレジスタ3	DMAC0_N0SA_3_W	32	32
A006 20C4h	DMA0	ネクスト0デスティネーションアドレスレジスタ3	DMAC0_N0DA_3	32	32
A006 20C8h	DMA0	ネクスト0トランザクションバイトレジスタ3	DMAC0_N0TB_3	32	32
A006 20CCh	DMA0	ネクスト1ソースアドレスレジスタ3	DMAC0_N1SA_3_N	32	32
A006 20CCh	DMA0	ネクスト1ソースアドレスレジスタ3	DMAC0_N1SA_3_W	32	32
A006 20D0h	DMA0	ネクスト1デスティネーションアドレスレジスタ3	DMAC0_N1DA_3	32	32
A006 20D4h	DMA0	ネクスト1トランザクションバイトレジスタ3	DMAC0_N1TB_3	32	32
A006 20D8h	DMA0	カレントソースアドレスレジスタ3	DMAC0_CRSA_3	32	32
A006 20DCh	DMA0	カレントデスティネーションアドレスレジスタ3	DMAC0_CRDA_3	32	32
A006 20E0h	DMA0	カレントトランザクションバイトレジスタ3	DMAC0_CRTB_3	32	32
A006 20E4h	DMA0	チャネルステータスレジスタ3	DMAC0_CHSTAT_3	32	32
A006 20E8h	DMA0	チャネルコントロールレジスタ3	DMAC0_CHCTRL_3	32	32
A006 20ECh	DMA0	チャネルコンフィギュレーションレジスタ3	DMAC0_CHCFG_3	32	32
A006 20F0h	DMA0	チャネルインターバルレジスタ3	DMAC0_CHITVL_3	32	32
A006 20F8h	DMA0	ネクストリンクアドレスレジスタ3	DMAC0_NXLA_3	32	32
A006 20FCh	DMA0	カレントリンクアドレスレジスタ3	DMAC0_CRLA_3	32	32
A006 2100h	DMA0	ネクスト0ソースアドレスレジスタ4	DMAC0_N0SA_4_N	32	32
A006 2100h	DMA0	ネクスト0ソースアドレスレジスタ4	DMAC0_N0SA_4_W	32	32
A006 2104h	DMA0	ネクスト0デスティネーションアドレスレジスタ4	DMAC0_N0DA_4	32	32
A006 2108h	DMA0	ネクスト0トランザクションバイトレジスタ4	DMAC0_N0TB_4	32	32
A006 210Ch	DMA0	ネクスト1ソースアドレスレジスタ4	DMAC0_N1SA_4_N	32	32
A006 210Ch	DMA0	ネクスト1ソースアドレスレジスタ4	DMAC0_N1SA_4_W	32	32
A006 2110h	DMA0	ネクスト1デスティネーションアドレスレジスタ4	DMAC0_N1DA_4	32	32
A006 2114h	DMA0	ネクスト1トランザクションバイトレジスタ4	DMAC0_N1TB_4	32	32
A006 2118h	DMA0	カレントソースアドレスレジスタ4	DMAC0_CRSA_4	32	32
A006 211Ch	DMA0	カレントデスティネーションアドレスレジスタ4	DMAC0_CRDA_4	32	32
A006 2120h	DMA0	カレントトランザクションバイトレジスタ4	DMAC0_CRTB_4	32	32
A006 2124h	DMA0	チャネルステータスレジスタ4	DMAC0_CHSTAT_4	32	32
A006 2128h	DMA0	チャネルコントロールレジスタ4	DMAC0_CHCTRL_4	32	32
A006 212Ch	DMA0	チャネルコンフィギュレーションレジスタ4	DMAC0_CHCFG_4	32	32
A006 2130h	DMA0	チャネルインターバルレジスタ4	DMAC0_CHITVL_4	32	32
A006 2138h	DMA0	ネクストリンクアドレスレジスタ4	DMAC0_NXLA_4	32	32
A006 213Ch	DMA0	カレントリンクアドレスレジスタ4	DMAC0_CRLA_4	32	32
A006 2140h	DMA0	ネクスト0ソースアドレスレジスタ5	DMAC0_N0SA_5_N	32	32
A006 2140h	DMA0	ネクスト0ソースアドレスレジスタ5	DMAC0_N0SA_5_W	32	32
A006 2144h	DMA0	ネクスト0デスティネーションアドレスレジスタ5	DMAC0_N0DA_5	32	32
A006 2148h	DMA0	ネクスト0トランザクションバイトレジスタ5	DMAC0_N0TB_5	32	32
A006 214Ch	DMA0	ネクスト1ソースアドレスレジスタ5	DMAC0_N1SA_5_N	32	32
A006 214Ch	DMA0	ネクスト1ソースアドレスレジスタ5	DMAC0_N1SA_5_W	32	32
A006 2150h	DMA0	ネクスト1デスティネーションアドレスレジスタ5	DMAC0_N1DA_5	32	32
A006 2154h	DMA0	ネクスト1トランザクションバイトレジスタ5	DMAC0_N1TB_5	32	32
A006 2158h	DMA0	カレントソースアドレスレジスタ5	DMAC0_CRSA_5	32	32
A006 215Ch	DMA0	カレントデスティネーションアドレスレジスタ5	DMAC0_CRDA_5	32	32
A006 2160h	DMA0	カレントトランザクションバイトレジスタ5	DMAC0_CRTB_5	32	32
A006 2164h	DMA0	チャネルステータスレジスタ5	DMAC0_CHSTAT_5	32	32
A006 2168h	DMA0	チャネルコントロールレジスタ5	DMAC0_CHCTRL_5	32	32

表5.1 I/O レジスタアドレス一覧 (20 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 216Ch	DMA0	チャンネルコンフィギュレーションレジスタ5	DMAC0_CHCFG_5	32	32
A006 2170h	DMA0	チャンネルインターバルレジスタ5	DMAC0_CHITVL_5	32	32
A006 2178h	DMA0	ネクストリンクアドレスレジスタ5	DMAC0_NXLA_5	32	32
A006 217Ch	DMA0	カレントリンクアドレスレジスタ5	DMAC0_CRLA_5	32	32
A006 2180h	DMA0	ネクスト0ソースアドレスレジスタ6	DMAC0_N0SA_6_N	32	32
A006 2180h	DMA0	ネクスト0ソースアドレスレジスタ6	DMAC0_N0SA_6_W	32	32
A006 2184h	DMA0	ネクスト0デスティネーションアドレスレジスタ6	DMAC0_N0DA_6	32	32
A006 2188h	DMA0	ネクスト0トランザクションバイトレジスタ6	DMAC0_N0TB_6	32	32
A006 218Ch	DMA0	ネクスト1ソースアドレスレジスタ6	DMAC0_N1SA_6_N	32	32
A006 218Ch	DMA0	ネクスト1ソースアドレスレジスタ6	DMAC0_N1SA_6_W	32	32
A006 2190h	DMA0	ネクスト1デスティネーションアドレスレジスタ6	DMAC0_N1DA_6	32	32
A006 2194h	DMA0	ネクスト1トランザクションバイトレジスタ6	DMAC0_N1TB_6	32	32
A006 2198h	DMA0	カレントソースアドレスレジスタ6	DMAC0_CRSA_6	32	32
A006 219Ch	DMA0	カレントデスティネーションアドレスレジスタ6	DMAC0_CRDA_6	32	32
A006 21A0h	DMA0	カレントトランザクションバイトレジスタ6	DMAC0_CRTB_6	32	32
A006 21A4h	DMA0	チャンネルステータスレジスタ6	DMAC0_CHSTAT_6	32	32
A006 21A8h	DMA0	チャンネルコントロールレジスタ6	DMAC0_CHCTRL_6	32	32
A006 21ACh	DMA0	チャンネルコンフィギュレーションレジスタ6	DMAC0_CHCFG_6	32	32
A006 21B0h	DMA0	チャンネルインターバルレジスタ6	DMAC0_CHITVL_6	32	32
A006 21B8h	DMA0	ネクストリンクアドレスレジスタ6	DMAC0_NXLA_6	32	32
A006 21BCh	DMA0	カレントリンクアドレスレジスタ6	DMAC0_CRLA_6	32	32
A006 21C0h	DMA0	ネクスト0ソースアドレスレジスタ7	DMAC0_N0SA_7_N	32	32
A006 21C0h	DMA0	ネクスト0ソースアドレスレジスタ7	DMAC0_N0SA_7_W	32	32
A006 21C4h	DMA0	ネクスト0デスティネーションアドレスレジスタ7	DMAC0_N0DA_7	32	32
A006 21C8h	DMA0	ネクスト0トランザクションバイトレジスタ7	DMAC0_N0TB_7	32	32
A006 21CCh	DMA0	ネクスト1ソースアドレスレジスタ7	DMAC0_N1SA_7_N	32	32
A006 21CCh	DMA0	ネクスト1ソースアドレスレジスタ7	DMAC0_N1SA_7_W	32	32
A006 21D0h	DMA0	ネクスト1デスティネーションアドレスレジスタ7	DMAC0_N1DA_7	32	32
A006 21D4h	DMA0	ネクスト1トランザクションバイトレジスタ7	DMAC0_N1TB_7	32	32
A006 21D8h	DMA0	カレントソースアドレスレジスタ7	DMAC0_CRSA_7	32	32
A006 21DCh	DMA0	カレントデスティネーションアドレスレジスタ7	DMAC0_CRDA_7	32	32
A006 21E0h	DMA0	カレントトランザクションバイトレジスタ7	DMAC0_CRTB_7	32	32
A006 21E4h	DMA0	チャンネルステータスレジスタ7	DMAC0_CHSTAT_7	32	32
A006 21E8h	DMA0	チャンネルコントロールレジスタ7	DMAC0_CHCTRL_7	32	32
A006 21ECh	DMA0	チャンネルコンフィギュレーションレジスタ7	DMAC0_CHCFG_7	32	32
A006 21F0h	DMA0	チャンネルインターバルレジスタ7	DMAC0_CHITVL_7	32	32
A006 21F8h	DMA0	ネクストリンクアドレスレジスタ7	DMAC0_NXLA_7	32	32
A006 21FCh	DMA0	カレントリンクアドレスレジスタ7	DMAC0_CRLA_7	32	32
A006 2200h	DMA0	ソースコンティニューアスレジスタ0	DMAC0_SCNT_0	32	32
A006 2204h	DMA0	ソーススキップレジスタ0	DMAC0_SSKP_0	32	32
A006 2208h	DMA0	デスティネーションコンティニューアスレジスタ0	DMAC0_DCNT_0	32	32
A006 220Ch	DMA0	デスティネーションスキップレジスタ0	DMAC0_DSKP_0	32	32
A006 2220h	DMA0	ソースコンティニューアスレジスタ1	DMAC0_SCNT_1	32	32
A006 2224h	DMA0	ソーススキップレジスタ1	DMAC0_SSKP_1	32	32
A006 2228h	DMA0	デスティネーションコンティニューアスレジスタ1	DMAC0_DCNT_1	32	32
A006 222Ch	DMA0	デスティネーションスキップレジスタ1	DMAC0_DSKP_1	32	32
A006 2240h	DMA0	ソースコンティニューアスレジスタ2	DMAC0_SCNT_2	32	32
A006 2244h	DMA0	ソーススキップレジスタ2	DMAC0_SSKP_2	32	32

表5.1 I/O レジスタアドレス一覧 (21 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 2248h	DMA0	デスティネーションコンティニューアスレジスタ2	DMAC0_DCNT_2	32	32
A006 224Ch	DMA0	デスティネーションスキップレジスタ2	DMAC0_DSKP_2	32	32
A006 2260h	DMA0	ソースコンティニューアスレジスタ3	DMAC0_SCNT_3	32	32
A006 2264h	DMA0	ソーススキップレジスタ3	DMAC0_SSKP_3	32	32
A006 2268h	DMA0	デスティネーションコンティニューアスレジスタ3	DMAC0_DCNT_3	32	32
A006 226Ch	DMA0	デスティネーションスキップレジスタ3	DMAC0_DSKP_3	32	32
A006 2280h	DMA0	ソースコンティニューアスレジスタ4	DMAC0_SCNT_4	32	32
A006 2284h	DMA0	ソーススキップレジスタ4	DMAC0_SSKP_4	32	32
A006 2288h	DMA0	デスティネーションコンティニューアスレジスタ4	DMAC0_DCNT_4	32	32
A006 228Ch	DMA0	デスティネーションスキップレジスタ4	DMAC0_DSKP_4	32	32
A006 22A0h	DMA0	ソースコンティニューアスレジスタ5	DMAC0_SCNT_5	32	32
A006 22A4h	DMA0	ソーススキップレジスタ5	DMAC0_SSKP_5	32	32
A006 22A8h	DMA0	デスティネーションコンティニューアスレジスタ5	DMAC0_DCNT_5	32	32
A006 22ACh	DMA0	デスティネーションスキップレジスタ5	DMAC0_DSKP_5	32	32
A006 22C0h	DMA0	ソースコンティニューアスレジスタ6	DMAC0_SCNT_6	32	32
A006 22C4h	DMA0	ソーススキップレジスタ6	DMAC0_SSKP_6	32	32
A006 22C8h	DMA0	デスティネーションコンティニューアスレジスタ6	DMAC0_DCNT_6	32	32
A006 22CCh	DMA0	デスティネーションスキップレジスタ6	DMAC0_DSKP_6	32	32
A006 22E0h	DMA0	ソースコンティニューアスレジスタ7	DMAC0_SCNT_7	32	32
A006 22E4h	DMA0	ソーススキップレジスタ7	DMAC0_SSKP_7	32	32
A006 22E8h	DMA0	デスティネーションコンティニューアスレジスタ7	DMAC0_DCNT_7	32	32
A006 22ECh	DMA0	デスティネーションスキップレジスタ7	DMAC0_DSKP_7	32	32
A006 2300h	DMA0	DMAコントロールレジスタA	DMAC0_DCTRL_A	32	32
A006 2304h	DMA0	デスク립タインターバルレジスタA	DMAC0_DSCITVL_A	32	32
A006 2310h	DMA0	DMAステータスENレジスタA	DMAC0_DST_EN_A	32	32
A006 2314h	DMA0	DMAステータスERレジスタA	DMAC0_DST_ER_A	32	32
A006 2318h	DMA0	DMAステータスENDレジスタA	DMAC0_DST_END_A	32	32
A006 2320h	DMA0	DMAステータスSUSレジスタA	DMAC0_DST_SUS_A	32	32
A006 2400h	DMA0	ネクスト0ソースアドレスレジスタ8	DMAC0_N0SA_8_N	32	32
A006 2400h	DMA0	ネクスト0ソースアドレスレジスタ8	DMAC0_N0SA_8_W	32	32
A006 2404h	DMA0	ネクスト0デスティネーションアドレスレジスタ8	DMAC0_N0DA_8	32	32
A006 2408h	DMA0	ネクスト0トランザクションバイトレジスタ8	DMAC0_N0TB_8	32	32
A006 240Ch	DMA0	ネクスト1ソースアドレスレジスタ8	DMAC0_N1SA_8_N	32	32
A006 240Ch	DMA0	ネクスト1ソースアドレスレジスタ8	DMAC0_N1SA_8_W	32	32
A006 2410h	DMA0	ネクスト1デスティネーションアドレスレジスタ8	DMAC0_N1DA_8	32	32
A006 2414h	DMA0	ネクスト1トランザクションバイトレジスタ8	DMAC0_N1TB_8	32	32
A006 2418h	DMA0	カレントソースアドレスレジスタ8	DMAC0_CRSA_8	32	32
A006 241Ch	DMA0	カレントデスティネーションアドレスレジスタ8	DMAC0_CRDA_8	32	32
A006 2420h	DMA0	カレントトランザクションバイトレジスタ8	DMAC0_CRTB_8	32	32
A006 2424h	DMA0	チャネルステータスレジスタ8	DMAC0_CHSTAT_8	32	32
A006 2428h	DMA0	チャネルコントロールレジスタ8	DMAC0_CHCTRL_8	32	32
A006 242Ch	DMA0	チャネルコンフィギュレーションレジスタ8	DMAC0_CHCFG_8	32	32
A006 2430h	DMA0	チャネルインターバルレジスタ8	DMAC0_CHITVL_8	32	32
A006 2438h	DMA0	ネクストリンクアドレスレジスタ8	DMAC0_NXLA_8	32	32
A006 243Ch	DMA0	カレントリンクアドレスレジスタ8	DMAC0_CRLA_8	32	32
A006 2440h	DMA0	ネクスト0ソースアドレスレジスタ9	DMAC0_N0SA_9_N	32	32
A006 2440h	DMA0	ネクスト0ソースアドレスレジスタ9	DMAC0_N0SA_9_W	32	32
A006 2444h	DMA0	ネクスト0デスティネーションアドレスレジスタ9	DMAC0_N0DA_9	32	32

表5.1 I/O レジスタアドレス一覧 (22 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 2448h	DMA0	ネクスト0トランザクションバイトレジスタ9	DMAC0_N0TB_9	32	32
A006 244Ch	DMA0	ネクスト1ソースアドレスレジスタ9	DMAC0_N1SA_9_N	32	32
A006 244Ch	DMA0	ネクスト1ソースアドレスレジスタ9	DMAC0_N1SA_9_W	32	32
A006 2450h	DMA0	ネクスト1デスティネーションアドレスレジスタ9	DMAC0_N1DA_9	32	32
A006 2454h	DMA0	ネクスト1トランザクションバイトレジスタ9	DMAC0_N1TB_9	32	32
A006 2458h	DMA0	カレントソースアドレスレジスタ9	DMAC0_CRSA_9	32	32
A006 245Ch	DMA0	カレントデスティネーションアドレスレジスタ9	DMAC0_CRDA_9	32	32
A006 2460h	DMA0	カレントトランザクションバイトレジスタ9	DMAC0_CRTB_9	32	32
A006 2464h	DMA0	チャネルステータスレジスタ9	DMAC0_CHSTAT_9	32	32
A006 2468h	DMA0	チャネルコントロールレジスタ9	DMAC0_CHCTRL_9	32	32
A006 246Ch	DMA0	チャネルコンフィギュレーションレジスタ9	DMAC0_CHCFG_9	32	32
A006 2470h	DMA0	チャネルインターバルレジスタ9	DMAC0_CHITVL_9	32	32
A006 2478h	DMA0	ネクストリンクアドレスレジスタ9	DMAC0_NXLA_9	32	32
A006 247Ch	DMA0	カレントリンクアドレスレジスタ9	DMAC0_CRLA_9	32	32
A006 2480h	DMA0	ネクスト0ソースアドレスレジスタ10	DMAC0_N0SA_10_N	32	32
A006 2480h	DMA0	ネクスト0ソースアドレスレジスタ10	DMAC0_N0SA_10_W	32	32
A006 2484h	DMA0	ネクスト0デスティネーションアドレスレジスタ10	DMAC0_N0DA_10	32	32
A006 2488h	DMA0	ネクスト0トランザクションバイトレジスタ10	DMAC0_N0TB_10	32	32
A006 248Ch	DMA0	ネクスト1ソースアドレスレジスタ10	DMAC0_N1SA_10_N	32	32
A006 248Ch	DMA0	ネクスト1ソースアドレスレジスタ10	DMAC0_N1SA_10_W	32	32
A006 2490h	DMA0	ネクスト1デスティネーションアドレスレジスタ10	DMAC0_N1DA_10	32	32
A006 2494h	DMA0	ネクスト1トランザクションバイトレジスタ10	DMAC0_N1TB_10	32	32
A006 2498h	DMA0	カレントソースアドレスレジスタ10	DMAC0_CRSA_10	32	32
A006 249Ch	DMA0	カレントデスティネーションアドレスレジスタ10	DMAC0_CRDA_10	32	32
A006 24A0h	DMA0	カレントトランザクションバイトレジスタ10	DMAC0_CRTB_10	32	32
A006 24A4h	DMA0	チャネルステータスレジスタ10	DMAC0_CHSTAT_10	32	32
A006 24A8h	DMA0	チャネルコントロールレジスタ10	DMAC0_CHCTRL_10	32	32
A006 24ACh	DMA0	チャネルコンフィギュレーションレジスタ10	DMAC0_CHCFG_10	32	32
A006 24B0h	DMA0	チャネルインターバルレジスタ10	DMAC0_CHITVL_10	32	32
A006 24B8h	DMA0	ネクストリンクアドレスレジスタ10	DMAC0_NXLA_10	32	32
A006 24BCh	DMA0	カレントリンクアドレスレジスタ10	DMAC0_CRLA_10	32	32
A006 24C0h	DMA0	ネクスト0ソースアドレスレジスタ11	DMAC0_N0SA_11_N	32	32
A006 24C0h	DMA0	ネクスト0ソースアドレスレジスタ11	DMAC0_N0SA_11_W	32	32
A006 24C4h	DMA0	ネクスト0デスティネーションアドレスレジスタ11	DMAC0_N0DA_11	32	32
A006 24C8h	DMA0	ネクスト0トランザクションバイトレジスタ11	DMAC0_N0TB_11	32	32
A006 24CCh	DMA0	ネクスト1ソースアドレスレジスタ11	DMAC0_N1SA_11_N	32	32
A006 24CCh	DMA0	ネクスト1ソースアドレスレジスタ11	DMAC0_N1SA_11_W	32	32
A006 24D0h	DMA0	ネクスト1デスティネーションアドレスレジスタ11	DMAC0_N1DA_11	32	32
A006 24D4h	DMA0	ネクスト1トランザクションバイトレジスタ11	DMAC0_N1TB_11	32	32
A006 24D8h	DMA0	カレントソースアドレスレジスタ11	DMAC0_CRSA_11	32	32
A006 24DCh	DMA0	カレントデスティネーションアドレスレジスタ11	DMAC0_CRDA_11	32	32
A006 24E0h	DMA0	カレントトランザクションバイトレジスタ11	DMAC0_CRTB_11	32	32
A006 24E4h	DMA0	チャネルステータスレジスタ11	DMAC0_CHSTAT_11	32	32
A006 24E8h	DMA0	チャネルコントロールレジスタ11	DMAC0_CHCTRL_11	32	32
A006 24ECh	DMA0	チャネルコンフィギュレーションレジスタ11	DMAC0_CHCFG_11	32	32
A006 24F0h	DMA0	チャネルインターバルレジスタ11	DMAC0_CHITVL_11	32	32
A006 24F8h	DMA0	ネクストリンクアドレスレジスタ11	DMAC0_NXLA_11	32	32
A006 24FCh	DMA0	カレントリンクアドレスレジスタ11	DMAC0_CRLA_11	32	32

表5.1 I/O レジスタアドレス一覧 (23 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 2500h	DMA0	ネクスト0ソースアドレスレジスタ 12	DMAC0_N0SA_12_N	32	32
A006 2500h	DMA0	ネクスト0ソースアドレスレジスタ 12	DMAC0_N0SA_12_W	32	32
A006 2504h	DMA0	ネクスト0デスティネーションアドレスレジスタ 12	DMAC0_N0DA_12	32	32
A006 2508h	DMA0	ネクスト0トランザクションバイトレジスタ 12	DMAC0_N0TB_12	32	32
A006 250Ch	DMA0	ネクスト1ソースアドレスレジスタ 12	DMAC0_N1SA_12_N	32	32
A006 250Ch	DMA0	ネクスト1ソースアドレスレジスタ 12	DMAC0_N1SA_12_W	32	32
A006 2510h	DMA0	ネクスト1デスティネーションアドレスレジスタ 12	DMAC0_N1DA_12	32	32
A006 2514h	DMA0	ネクスト1トランザクションバイトレジスタ 12	DMAC0_N1TB_12	32	32
A006 2518h	DMA0	カレントソースアドレスレジスタ 12	DMAC0_CRSA_12	32	32
A006 251Ch	DMA0	カレントデスティネーションアドレスレジスタ 12	DMAC0_CRDA_12	32	32
A006 2520h	DMA0	カレントトランザクションバイトレジスタ 12	DMAC0_CRTB_12	32	32
A006 2524h	DMA0	チャネルステータスレジスタ 12	DMAC0_CHSTAT_12	32	32
A006 2528h	DMA0	チャネルコントロールレジスタ 12	DMAC0_CHCTRL_12	32	32
A006 252Ch	DMA0	チャネルコンフィギュレーションレジスタ 12	DMAC0_CHCFG_12	32	32
A006 2530h	DMA0	チャネルインターバルレジスタ 12	DMAC0_CHITVL_12	32	32
A006 2538h	DMA0	ネクストリンクアドレスレジスタ 12	DMAC0_NXLA_12	32	32
A006 253Ch	DMA0	カレントリンクアドレスレジスタ 12	DMAC0_CRLA_12	32	32
A006 2540h	DMA0	ネクスト0ソースアドレスレジスタ 13	DMAC0_N0SA_13_N	32	32
A006 2540h	DMA0	ネクスト0ソースアドレスレジスタ 13	DMAC0_N0SA_13_W	32	32
A006 2544h	DMA0	ネクスト0デスティネーションアドレスレジスタ 13	DMAC0_N0DA_13	32	32
A006 2548h	DMA0	ネクスト0トランザクションバイトレジスタ 13	DMAC0_N0TB_13	32	32
A006 254Ch	DMA0	ネクスト1ソースアドレスレジスタ 13	DMAC0_N1SA_13_N	32	32
A006 254Ch	DMA0	ネクスト1ソースアドレスレジスタ 13	DMAC0_N1SA_13_W	32	32
A006 2550h	DMA0	ネクスト1デスティネーションアドレスレジスタ 13	DMAC0_N1DA_13	32	32
A006 2554h	DMA0	ネクスト1トランザクションバイトレジスタ 13	DMAC0_N1TB_13	32	32
A006 2558h	DMA0	カレントソースアドレスレジスタ 13	DMAC0_CRSA_13	32	32
A006 255Ch	DMA0	カレントデスティネーションアドレスレジスタ 13	DMAC0_CRDA_13	32	32
A006 2560h	DMA0	カレントトランザクションバイトレジスタ 13	DMAC0_CRTB_13	32	32
A006 2564h	DMA0	チャネルステータスレジスタ 13	DMAC0_CHSTAT_13	32	32
A006 2568h	DMA0	チャネルコントロールレジスタ 13	DMAC0_CHCTRL_13	32	32
A006 256Ch	DMA0	チャネルコンフィギュレーションレジスタ 13	DMAC0_CHCFG_13	32	32
A006 2570h	DMA0	チャネルインターバルレジスタ 13	DMAC0_CHITVL_13	32	32
A006 2578h	DMA0	ネクストリンクアドレスレジスタ 13	DMAC0_NXLA_13	32	32
A006 257Ch	DMA0	カレントリンクアドレスレジスタ 13	DMAC0_CRLA_13	32	32
A006 2580h	DMA0	ネクスト0ソースアドレスレジスタ 14	DMAC0_N0SA_14_N	32	32
A006 2580h	DMA0	ネクスト0ソースアドレスレジスタ 14	DMAC0_N0SA_14_W	32	32
A006 2584h	DMA0	ネクスト0デスティネーションアドレスレジスタ 14	DMAC0_N0DA_14	32	32
A006 2588h	DMA0	ネクスト0トランザクションバイトレジスタ 14	DMAC0_N0TB_14	32	32
A006 258Ch	DMA0	ネクスト1ソースアドレスレジスタ 14	DMAC0_N1SA_14_N	32	32
A006 258Ch	DMA0	ネクスト1ソースアドレスレジスタ 14	DMAC0_N1SA_14_W	32	32
A006 2590h	DMA0	ネクスト1デスティネーションアドレスレジスタ 14	DMAC0_N1DA_14	32	32
A006 2594h	DMA0	ネクスト1トランザクションバイトレジスタ 14	DMAC0_N1TB_14	32	32
A006 2598h	DMA0	カレントソースアドレスレジスタ 14	DMAC0_CRSA_14	32	32
A006 259Ch	DMA0	カレントデスティネーションアドレスレジスタ 14	DMAC0_CRDA_14	32	32
A006 25A0h	DMA0	カレントトランザクションバイトレジスタ 14	DMAC0_CRTB_14	32	32
A006 25A4h	DMA0	チャネルステータスレジスタ 14	DMAC0_CHSTAT_14	32	32
A006 25A8h	DMA0	チャネルコントロールレジスタ 14	DMAC0_CHCTRL_14	32	32
A006 25ACh	DMA0	チャネルコンフィギュレーションレジスタ 14	DMAC0_CHCFG_14	32	32

表5.1 I/O レジスタアドレス一覧 (24 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 25B0h	DMA0	チャンネルインターバルレジスタ 14	DMAC0_CHITVL_14	32	32
A006 25B8h	DMA0	ネクストリンクアドレスレジスタ 14	DMAC0_NXLA_14	32	32
A006 25BCCh	DMA0	カレントリンクアドレスレジスタ 14	DMAC0_CRLA_14	32	32
A006 25C0h	DMA0	ネクスト0ソースアドレスレジスタ 15	DMAC0_N0SA_15_N	32	32
A006 25C0h	DMA0	ネクスト0ソースアドレスレジスタ 15	DMAC0_N0SA_15_W	32	32
A006 25C4h	DMA0	ネクスト0デスティネーションアドレスレジスタ 15	DMAC0_N0DA_15	32	32
A006 25C8h	DMA0	ネクスト0トランザクションバイトレジスタ 15	DMAC0_N0TB_15	32	32
A006 25CCh	DMA0	ネクスト1ソースアドレスレジスタ 15	DMAC0_N1SA_15_N	32	32
A006 25CCh	DMA0	ネクスト1ソースアドレスレジスタ 15	DMAC0_N1SA_15_W	32	32
A006 25D0h	DMA0	ネクスト1デスティネーションアドレスレジスタ 15	DMAC0_N1DA_15	32	32
A006 25D4h	DMA0	ネクスト1トランザクションバイトレジスタ 15	DMAC0_N1TB_15	32	32
A006 25D8h	DMA0	カレントソースアドレスレジスタ 15	DMAC0_CRSA_15	32	32
A006 25DCh	DMA0	カレントデスティネーションアドレスレジスタ 15	DMAC0_CRDA_15	32	32
A006 25E0h	DMA0	カレントトランザクションバイトレジスタ 15	DMAC0_CRTB_15	32	32
A006 25E4h	DMA0	チャンネルステータスレジスタ 15	DMAC0_CHSTAT_15	32	32
A006 25E8h	DMA0	チャンネルコントロールレジスタ 15	DMAC0_CHCTRL_15	32	32
A006 25ECh	DMA0	チャンネルコンフィギュレーションレジスタ 15	DMAC0_CHCFG_15	32	32
A006 25F0h	DMA0	チャンネルインターバルレジスタ 15	DMAC0_CHITVL_15	32	32
A006 25F8h	DMA0	ネクストリンクアドレスレジスタ 15	DMAC0_NXLA_15	32	32
A006 25FCh	DMA0	カレントリンクアドレスレジスタ 15	DMAC0_CRLA_15	32	32
A006 2600h	DMA0	ソースコンティニューアスレジスタ 8	DMAC0_SCNT_8	32	32
A006 2604h	DMA0	ソーススキップレジスタ 8	DMAC0_SSKP_8	32	32
A006 2608h	DMA0	デスティネーションコンティニューアスレジスタ 8	DMAC0_DCNT_8	32	32
A006 260Ch	DMA0	デスティネーションスキップレジスタ 8	DMAC0_DSKP_8	32	32
A006 2620h	DMA0	ソースコンティニューアスレジスタ 9	DMAC0_SCNT_9	32	32
A006 2624h	DMA0	ソーススキップレジスタ 9	DMAC0_SSKP_9	32	32
A006 2628h	DMA0	デスティネーションコンティニューアスレジスタ 9	DMAC0_DCNT_9	32	32
A006 262Ch	DMA0	デスティネーションスキップレジスタ 9	DMAC0_DSKP_9	32	32
A006 2640h	DMA0	ソースコンティニューアスレジスタ 10	DMAC0_SCNT_10	32	32
A006 2644h	DMA0	ソーススキップレジスタ 10	DMAC0_SSKP_10	32	32
A006 2648h	DMA0	デスティネーションコンティニューアスレジスタ 10	DMAC0_DCNT_10	32	32
A006 264Ch	DMA0	デスティネーションスキップレジスタ 10	DMAC0_DSKP_10	32	32
A006 2660h	DMA0	ソースコンティニューアスレジスタ 11	DMAC0_SCNT_11	32	32
A006 2664h	DMA0	ソーススキップレジスタ 11	DMAC0_SSKP_11	32	32
A006 2668h	DMA0	デスティネーションコンティニューアスレジスタ 11	DMAC0_DCNT_11	32	32
A006 266Ch	DMA0	デスティネーションスキップレジスタ 11	DMAC0_DSKP_11	32	32
A006 2680h	DMA0	ソースコンティニューアスレジスタ 12	DMAC0_SCNT_12	32	32
A006 2684h	DMA0	ソーススキップレジスタ 12	DMAC0_SSKP_12	32	32
A006 2688h	DMA0	デスティネーションコンティニューアスレジスタ 12	DMAC0_DCNT_12	32	32
A006 268Ch	DMA0	デスティネーションスキップレジスタ 12	DMAC0_DSKP_12	32	32
A006 26A0h	DMA0	ソースコンティニューアスレジスタ 13	DMAC0_SCNT_13	32	32
A006 26A4h	DMA0	ソーススキップレジスタ 13	DMAC0_SSKP_13	32	32
A006 26A8h	DMA0	デスティネーションコンティニューアスレジスタ 13	DMAC0_DCNT_13	32	32
A006 26ACh	DMA0	デスティネーションスキップレジスタ 13	DMAC0_DSKP_13	32	32
A006 26C0h	DMA0	ソースコンティニューアスレジスタ 14	DMAC0_SCNT_14	32	32
A006 26C4h	DMA0	ソーススキップレジスタ 14	DMAC0_SSKP_14	32	32
A006 26C8h	DMA0	デスティネーションコンティニューアスレジスタ 14	DMAC0_DCNT_14	32	32
A006 26CCh	DMA0	デスティネーションスキップレジスタ 14	DMAC0_DSKP_14	32	32

表5.1 I/O レジスタアドレス一覧 (25 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 26E0h	DMA0	ソースコンティニューアスレジスタ 15	DMAC0_SCNT_15	32	32
A006 26E4h	DMA0	ソーススキップレジスタ 15	DMAC0_SSKP_15	32	32
A006 26E8h	DMA0	デスティネーションコンティニューアスレジスタ 15	DMAC0_DCNT_15	32	32
A006 26ECh	DMA0	デスティネーションスキップレジスタ 15	DMAC0_DSKP_15	32	32
A006 2700h	DMA0	DMAコントロールレジスタ B	DMAC0_DCTRL_B	32	32
A006 2704h	DMA0	デスク립タインターバルレジスタ B	DMAC0_DSCITVL_B	32	32
A006 2710h	DMA0	DMAステータスENレジスタ B	DMAC0_DST_EN_B	32	32
A006 2714h	DMA0	DMAステータスERレジスタ B	DMAC0_DST_ER_B	32	32
A006 2718h	DMA0	DMAステータスENDレジスタ B	DMAC0_DST_END_B	32	32
A006 2720h	DMA0	DMAステータスSUSレジスタ B	DMAC0_DST_SUS_B	32	32
A006 3000h	DMA1	ネクスト0ソースアドレスレジスタ 0	DMAC1_N0SA_0_N	32	32
A006 3000h	DMA1	ネクスト0ソースアドレスレジスタ 0	DMAC1_N0SA_0_W	32	32
A006 3004h	DMA1	ネクスト0デスティネーションアドレスレジスタ 0	DMAC1_N0DA_0	32	32
A006 3008h	DMA1	ネクスト0トランザクションバイトレジスタ 0	DMAC1_N0TB_0	32	32
A006 300Ch	DMA1	ネクスト1ソースアドレスレジスタ 0	DMAC1_N1SA_0_N	32	32
A006 300Ch	DMA1	ネクスト1ソースアドレスレジスタ 0	DMAC1_N1SA_0_W	32	32
A006 3010h	DMA1	ネクスト1デスティネーションアドレスレジスタ 0	DMAC1_N1DA_0	32	32
A006 3014h	DMA1	ネクスト1トランザクションバイトレジスタ 0	DMAC1_N1TB_0	32	32
A006 3018h	DMA1	カレントソースアドレスレジスタ 0	DMAC1_CRSA_0	32	32
A006 301Ch	DMA1	カレントデスティネーションアドレスレジスタ 0	DMAC1_CRDA_0	32	32
A006 3020h	DMA1	カレントトランザクションバイトレジスタ 0	DMAC1_CRTB_0	32	32
A006 3024h	DMA1	チャネルステータスレジスタ 0	DMAC1_CHSTAT_0	32	32
A006 3028h	DMA1	チャネルコントロールレジスタ 0	DMAC1_CHCTRL_0	32	32
A006 302Ch	DMA1	チャネルコンフィギュレーションレジスタ 0	DMAC1_CHCFG_0	32	32
A006 3030h	DMA1	チャネルインターバルレジスタ 0	DMAC1_CHITVL_0	32	32
A006 3038h	DMA1	ネクストリンクアドレスレジスタ 0	DMAC1_NXLA_0	32	32
A006 303Ch	DMA1	カレントリンクアドレスレジスタ 0	DMAC1_CRLA_0	32	32
A006 3040h	DMA1	ネクスト0ソースアドレスレジスタ 1	DMAC1_N0SA_1_N	32	32
A006 3040h	DMA1	ネクスト0ソースアドレスレジスタ 1	DMAC1_N0SA_1_W	32	32
A006 3044h	DMA1	ネクスト0デスティネーションアドレスレジスタ 1	DMAC1_N0DA_1	32	32
A006 3048h	DMA1	ネクスト0トランザクションバイトレジスタ 1	DMAC1_N0TB_1	32	32
A006 304Ch	DMA1	ネクスト1ソースアドレスレジスタ 1	DMAC1_N1SA_1_N	32	32
A006 304Ch	DMA1	ネクスト1ソースアドレスレジスタ 1	DMAC1_N1SA_1_W	32	32
A006 3050h	DMA1	ネクスト1デスティネーションアドレスレジスタ 1	DMAC1_N1DA_1	32	32
A006 3054h	DMA1	ネクスト1トランザクションバイトレジスタ 1	DMAC1_N1TB_1	32	32
A006 3058h	DMA1	カレントソースアドレスレジスタ 1	DMAC1_CRSA_1	32	32
A006 305Ch	DMA1	カレントデスティネーションアドレスレジスタ 1	DMAC1_CRDA_1	32	32
A006 3060h	DMA1	カレントトランザクションバイトレジスタ 1	DMAC1_CRTB_1	32	32
A006 3064h	DMA1	チャネルステータスレジスタ 1	DMAC1_CHSTAT_1	32	32
A006 3068h	DMA1	チャネルコントロールレジスタ 1	DMAC1_CHCTRL_1	32	32
A006 306Ch	DMA1	チャネルコンフィギュレーションレジスタ 1	DMAC1_CHCFG_1	32	32
A006 3070h	DMA1	チャネルインターバルレジスタ 1	DMAC1_CHITVL_1	32	32
A006 3078h	DMA1	ネクストリンクアドレスレジスタ 1	DMAC1_NXLA_1	32	32
A006 307Ch	DMA1	カレントリンクアドレスレジスタ 1	DMAC1_CRLA_1	32	32
A006 3080h	DMA1	ネクスト0ソースアドレスレジスタ 2	DMAC1_N0SA_2_N	32	32
A006 3080h	DMA1	ネクスト0ソースアドレスレジスタ 2	DMAC1_N0SA_2_W	32	32
A006 3084h	DMA1	ネクスト0デスティネーションアドレスレジスタ 2	DMAC1_N0DA_2	32	32
A006 3088h	DMA1	ネクスト0トランザクションバイトレジスタ 2	DMAC1_N0TB_2	32	32

表5.1 I/O レジスタアドレス一覧 (26 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 308Ch	DMA1	ネクスト1ソースアドレスレジスタ2	DMAC1_N1SA_2_N	32	32
A006 308Ch	DMA1	ネクスト1ソースアドレスレジスタ2	DMAC1_N1SA_2_W	32	32
A006 3090h	DMA1	ネクスト1デスティネーションアドレスレジスタ2	DMAC1_N1DA_2	32	32
A006 3094h	DMA1	ネクスト1トランザクションバイトレジスタ2	DMAC1_N1TB_2	32	32
A006 3098h	DMA1	カレントソースアドレスレジスタ2	DMAC1_CRSA_2	32	32
A006 309Ch	DMA1	カレントデスティネーションアドレスレジスタ2	DMAC1_CRDA_2	32	32
A006 30A0h	DMA1	カレントトランザクションバイトレジスタ2	DMAC1_CRTB_2	32	32
A006 30A4h	DMA1	チャネルステータスレジスタ2	DMAC1_CHSTAT_2	32	32
A006 30A8h	DMA1	チャネルコントロールレジスタ2	DMAC1_CHCTRL_2	32	32
A006 30ACh	DMA1	チャネルコンフィギュレーションレジスタ2	DMAC1_CHCFG_2	32	32
A006 30B0h	DMA1	チャネルインターバルレジスタ2	DMAC1_CHITVL_2	32	32
A006 30B8h	DMA1	ネクストリンクアドレスレジスタ2	DMAC1_NXLA_2	32	32
A006 30BCh	DMA1	カレントリンクアドレスレジスタ2	DMAC1_CRLA_2	32	32
A006 30C0h	DMA1	ネクスト0ソースアドレスレジスタ3	DMAC1_N0SA_3_N	32	32
A006 30C0h	DMA1	ネクスト0ソースアドレスレジスタ3	DMAC1_N0SA_3_W	32	32
A006 30C4h	DMA1	ネクスト0デスティネーションアドレスレジスタ3	DMAC1_N0DA_3	32	32
A006 30C8h	DMA1	ネクスト0トランザクションバイトレジスタ3	DMAC1_N0TB_3	32	32
A006 30CCh	DMA1	ネクスト1ソースアドレスレジスタ3	DMAC1_N1SA_3_N	32	32
A006 30CCh	DMA1	ネクスト1ソースアドレスレジスタ3	DMAC1_N1SA_3_W	32	32
A006 30D0h	DMA1	ネクスト1デスティネーションアドレスレジスタ3	DMAC1_N1DA_3	32	32
A006 30D4h	DMA1	ネクスト1トランザクションバイトレジスタ3	DMAC1_N1TB_3	32	32
A006 30D8h	DMA1	カレントソースアドレスレジスタ3	DMAC1_CRSA_3	32	32
A006 30DCh	DMA1	カレントデスティネーションアドレスレジスタ3	DMAC1_CRDA_3	32	32
A006 30E0h	DMA1	カレントトランザクションバイトレジスタ3	DMAC1_CRTB_3	32	32
A006 30E4h	DMA1	チャネルステータスレジスタ3	DMAC1_CHSTAT_3	32	32
A006 30E8h	DMA1	チャネルコントロールレジスタ3	DMAC1_CHCTRL_3	32	32
A006 30ECh	DMA1	チャネルコンフィギュレーションレジスタ3	DMAC1_CHCFG_3	32	32
A006 30F0h	DMA1	チャネルインターバルレジスタ3	DMAC1_CHITVL_3	32	32
A006 30F8h	DMA1	ネクストリンクアドレスレジスタ3	DMAC1_NXLA_3	32	32
A006 30FCh	DMA1	カレントリンクアドレスレジスタ3	DMAC1_CRLA_3	32	32
A006 3100h	DMA1	ネクスト0ソースアドレスレジスタ4	DMAC1_N0SA_4_N	32	32
A006 3100h	DMA1	ネクスト0ソースアドレスレジスタ4	DMAC1_N0SA_4_W	32	32
A006 3104h	DMA1	ネクスト0デスティネーションアドレスレジスタ4	DMAC1_N0DA_4	32	32
A006 3108h	DMA1	ネクスト0トランザクションバイトレジスタ4	DMAC1_N0TB_4	32	32
A006 310Ch	DMA1	ネクスト1ソースアドレスレジスタ4	DMAC1_N1SA_4_N	32	32
A006 310Ch	DMA1	ネクスト1ソースアドレスレジスタ4	DMAC1_N1SA_4_W	32	32
A006 3110h	DMA1	ネクスト1デスティネーションアドレスレジスタ4	DMAC1_N1DA_4	32	32
A006 3114h	DMA1	ネクスト1トランザクションバイトレジスタ4	DMAC1_N1TB_4	32	32
A006 3118h	DMA1	カレントソースアドレスレジスタ4	DMAC1_CRSA_4	32	32
A006 311Ch	DMA1	カレントデスティネーションアドレスレジスタ4	DMAC1_CRDA_4	32	32
A006 3120h	DMA1	カレントトランザクションバイトレジスタ4	DMAC1_CRTB_4	32	32
A006 3124h	DMA1	チャネルステータスレジスタ4	DMAC1_CHSTAT_4	32	32
A006 3128h	DMA1	チャネルコントロールレジスタ4	DMAC1_CHCTRL_4	32	32
A006 312Ch	DMA1	チャネルコンフィギュレーションレジスタ4	DMAC1_CHCFG_4	32	32
A006 3130h	DMA1	チャネルインターバルレジスタ4	DMAC1_CHITVL_4	32	32
A006 3138h	DMA1	ネクストリンクアドレスレジスタ4	DMAC1_NXLA_4	32	32
A006 313Ch	DMA1	カレントリンクアドレスレジスタ4	DMAC1_CRLA_4	32	32
A006 3140h	DMA1	ネクスト0ソースアドレスレジスタ5	DMAC1_N0SA_5_N	32	32

表5.1 I/O レジスタアドレス一覧 (27 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 3140h	DMA1	ネクスト0ソースアドレスレジスタ5	DMAC1_N0SA_5_W	32	32
A006 3144h	DMA1	ネクスト0デスティネーションアドレスレジスタ5	DMAC1_N0DA_5	32	32
A006 3148h	DMA1	ネクスト0トランザクションバイトレジスタ5	DMAC1_N0TB_5	32	32
A006 314Ch	DMA1	ネクスト1ソースアドレスレジスタ5	DMAC1_N1SA_5_N	32	32
A006 314Ch	DMA1	ネクスト1ソースアドレスレジスタ5	DMAC1_N1SA_5_W	32	32
A006 3150h	DMA1	ネクスト1デスティネーションアドレスレジスタ5	DMAC1_N1DA_5	32	32
A006 3154h	DMA1	ネクスト1トランザクションバイトレジスタ5	DMAC1_N1TB_5	32	32
A006 3158h	DMA1	カレントソースアドレスレジスタ5	DMAC1_CRSA_5	32	32
A006 315Ch	DMA1	カレントデスティネーションアドレスレジスタ5	DMAC1_CRDA_5	32	32
A006 3160h	DMA1	カレントトランザクションバイトレジスタ5	DMAC1_CRTB_5	32	32
A006 3164h	DMA1	チャネルステータスレジスタ5	DMAC1_CHSTAT_5	32	32
A006 3168h	DMA1	チャネルコントロールレジスタ5	DMAC1_CHCTRL_5	32	32
A006 316Ch	DMA1	チャネルコンフィギュレーションレジスタ5	DMAC1_CHCFG_5	32	32
A006 3170h	DMA1	チャネルインターバルレジスタ5	DMAC1_CHITVL_5	32	32
A006 3178h	DMA1	ネクストリンクアドレスレジスタ5	DMAC1_NXLA_5	32	32
A006 317Ch	DMA1	カレントリンクアドレスレジスタ5	DMAC1_CRLA_5	32	32
A006 3180h	DMA1	ネクスト0ソースアドレスレジスタ6	DMAC1_N0SA_6_N	32	32
A006 3180h	DMA1	ネクスト0ソースアドレスレジスタ6	DMAC1_N0SA_6_W	32	32
A006 3184h	DMA1	ネクスト0デスティネーションアドレスレジスタ6	DMAC1_N0DA_6	32	32
A006 3188h	DMA1	ネクスト0トランザクションバイトレジスタ6	DMAC1_N0TB_6	32	32
A006 318Ch	DMA1	ネクスト1ソースアドレスレジスタ6	DMAC1_N1SA_6_N	32	32
A006 318Ch	DMA1	ネクスト1ソースアドレスレジスタ6	DMAC1_N1SA_6_W	32	32
A006 3190h	DMA1	ネクスト1デスティネーションアドレスレジスタ6	DMAC1_N1DA_6	32	32
A006 3194h	DMA1	ネクスト1トランザクションバイトレジスタ6	DMAC1_N1TB_6	32	32
A006 3198h	DMA1	カレントソースアドレスレジスタ6	DMAC1_CRSA_6	32	32
A006 319Ch	DMA1	カレントデスティネーションアドレスレジスタ6	DMAC1_CRDA_6	32	32
A006 31A0h	DMA1	カレントトランザクションバイトレジスタ6	DMAC1_CRTB_6	32	32
A006 31A4h	DMA1	チャネルステータスレジスタ6	DMAC1_CHSTAT_6	32	32
A006 31A8h	DMA1	チャネルコントロールレジスタ6	DMAC1_CHCTRL_6	32	32
A006 31ACh	DMA1	チャネルコンフィギュレーションレジスタ6	DMAC1_CHCFG_6	32	32
A006 31B0h	DMA1	チャネルインターバルレジスタ6	DMAC1_CHITVL_6	32	32
A006 31B8h	DMA1	ネクストリンクアドレスレジスタ6	DMAC1_NXLA_6	32	32
A006 31BCh	DMA1	カレントリンクアドレスレジスタ6	DMAC1_CRLA_6	32	32
A006 31C0h	DMA1	ネクスト0ソースアドレスレジスタ7	DMAC1_N0SA_7_N	32	32
A006 31C0h	DMA1	ネクスト0ソースアドレスレジスタ7	DMAC1_N0SA_7_W	32	32
A006 31C4h	DMA1	ネクスト0デスティネーションアドレスレジスタ7	DMAC1_N0DA_7	32	32
A006 31C8h	DMA1	ネクスト0トランザクションバイトレジスタ7	DMAC1_N0TB_7	32	32
A006 31CCh	DMA1	ネクスト1ソースアドレスレジスタ7	DMAC1_N1SA_7_N	32	32
A006 31CCh	DMA1	ネクスト1ソースアドレスレジスタ7	DMAC1_N1SA_7_W	32	32
A006 31D0h	DMA1	ネクスト1デスティネーションアドレスレジスタ7	DMAC1_N1DA_7	32	32
A006 31D4h	DMA1	ネクスト1トランザクションバイトレジスタ7	DMAC1_N1TB_7	32	32
A006 31D8h	DMA1	カレントソースアドレスレジスタ7	DMAC1_CRSA_7	32	32
A006 31DCh	DMA1	カレントデスティネーションアドレスレジスタ7	DMAC1_CRDA_7	32	32
A006 31E0h	DMA1	カレントトランザクションバイトレジスタ7	DMAC1_CRTB_7	32	32
A006 31E4h	DMA1	チャネルステータスレジスタ7	DMAC1_CHSTAT_7	32	32
A006 31E8h	DMA1	チャネルコントロールレジスタ7	DMAC1_CHCTRL_7	32	32
A006 31ECh	DMA1	チャネルコンフィギュレーションレジスタ7	DMAC1_CHCFG_7	32	32
A006 31F0h	DMA1	チャネルインターバルレジスタ7	DMAC1_CHITVL_7	32	32

表5.1 I/O レジスタアドレス一覧 (28 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 31F8h	DMA1	ネクストリンクアドレスレジスタ7	DMAC1_NXLA_7	32	32
A006 31FCh	DMA1	カレントリンクアドレスレジスタ7	DMAC1_CRLA_7	32	32
A006 3200h	DMA1	ソースコンティニューアドレスレジスタ0	DMAC1_SCNT_0	32	32
A006 3204h	DMA1	ソーススキップレジスタ0	DMAC1_SSKP_0	32	32
A006 3208h	DMA1	デスティネーションコンティニューアドレスレジスタ0	DMAC1_DCNT_0	32	32
A006 320Ch	DMA1	デスティネーションスキップレジスタ0	DMAC1_DSKP_0	32	32
A006 3220h	DMA1	ソースコンティニューアドレスレジスタ1	DMAC1_SCNT_1	32	32
A006 3224h	DMA1	ソーススキップレジスタ1	DMAC1_SSKP_1	32	32
A006 3228h	DMA1	デスティネーションコンティニューアドレスレジスタ1	DMAC1_DCNT_1	32	32
A006 322Ch	DMA1	デスティネーションスキップレジスタ1	DMAC1_DSKP_1	32	32
A006 3240h	DMA1	ソースコンティニューアドレスレジスタ2	DMAC1_SCNT_2	32	32
A006 3244h	DMA1	ソーススキップレジスタ2	DMAC1_SSKP_2	32	32
A006 3248h	DMA1	デスティネーションコンティニューアドレスレジスタ2	DMAC1_DCNT_2	32	32
A006 324Ch	DMA1	デスティネーションスキップレジスタ2	DMAC1_DSKP_2	32	32
A006 3260h	DMA1	ソースコンティニューアドレスレジスタ3	DMAC1_SCNT_3	32	32
A006 3264h	DMA1	ソーススキップレジスタ3	DMAC1_SSKP_3	32	32
A006 3268h	DMA1	デスティネーションコンティニューアドレスレジスタ3	DMAC1_DCNT_3	32	32
A006 326Ch	DMA1	デスティネーションスキップレジスタ3	DMAC1_DSKP_3	32	32
A006 3280h	DMA1	ソースコンティニューアドレスレジスタ4	DMAC1_SCNT_4	32	32
A006 3284h	DMA1	ソーススキップレジスタ4	DMAC1_SSKP_4	32	32
A006 3288h	DMA1	デスティネーションコンティニューアドレスレジスタ4	DMAC1_DCNT_4	32	32
A006 328Ch	DMA1	デスティネーションスキップレジスタ4	DMAC1_DSKP_4	32	32
A006 32A0h	DMA1	ソースコンティニューアドレスレジスタ5	DMAC1_SCNT_5	32	32
A006 32A4h	DMA1	ソーススキップレジスタ5	DMAC1_SSKP_5	32	32
A006 32A8h	DMA1	デスティネーションコンティニューアドレスレジスタ5	DMAC1_DCNT_5	32	32
A006 32ACh	DMA1	デスティネーションスキップレジスタ5	DMAC1_DSKP_5	32	32
A006 32C0h	DMA1	ソースコンティニューアドレスレジスタ6	DMAC1_SCNT_6	32	32
A006 32C4h	DMA1	ソーススキップレジスタ6	DMAC1_SSKP_6	32	32
A006 32C8h	DMA1	デスティネーションコンティニューアドレスレジスタ6	DMAC1_DCNT_6	32	32
A006 32CCh	DMA1	デスティネーションスキップレジスタ6	DMAC1_DSKP_6	32	32
A006 32E0h	DMA1	ソースコンティニューアドレスレジスタ7	DMAC1_SCNT_7	32	32
A006 32E4h	DMA1	ソーススキップレジスタ7	DMAC1_SSKP_7	32	32
A006 32E8h	DMA1	デスティネーションコンティニューアドレスレジスタ7	DMAC1_DCNT_7	32	32
A006 32ECh	DMA1	デスティネーションスキップレジスタ7	DMAC1_DSKP_7	32	32
A006 3300h	DMA1	DMAコントロールレジスタA	DMAC1_DCTRL_A	32	32
A006 3304h	DMA1	デスク립タインターバルレジスタA	DMAC1_DSCITVL_A	32	32
A006 3310h	DMA1	DMAステータスENレジスタA	DMAC1_DST_EN_A	32	32
A006 3314h	DMA1	DMAステータスERレジスタA	DMAC1_DST_ER_A	32	32
A006 3318h	DMA1	DMAステータスENDレジスタA	DMAC1_DST_END_A	32	32
A006 3320h	DMA1	DMAステータスSUSレジスタA	DMAC1_DST_SUS_A	32	32
A006 3400h	DMA1	ネクスト0ソースアドレスレジスタ8	DMAC1_N0SA_8_N	32	32
A006 3400h	DMA1	ネクスト0ソースアドレスレジスタ8	DMAC1_N0SA_8_W	32	32
A006 3404h	DMA1	ネクスト0デスティネーションアドレスレジスタ8	DMAC1_N0DA_8	32	32
A006 3408h	DMA1	ネクスト0トランザクションバイトレジスタ8	DMAC1_N0TB_8	32	32
A006 340Ch	DMA1	ネクスト1ソースアドレスレジスタ8	DMAC1_N1SA_8_N	32	32
A006 340Ch	DMA1	ネクスト1ソースアドレスレジスタ8	DMAC1_N1SA_8_W	32	32
A006 3410h	DMA1	ネクスト1デスティネーションアドレスレジスタ8	DMAC1_N1DA_8	32	32
A006 3414h	DMA1	ネクスト1トランザクションバイトレジスタ8	DMAC1_N1TB_8	32	32

表5.1 I/O レジスタアドレス一覧 (29 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 3418h	DMA1	カレントソースアドレスレジスタ 8	DMAC1_CRSA_8	32	32
A006 341Ch	DMA1	カレントデスティネーションアドレスレジスタ 8	DMAC1_CRDA_8	32	32
A006 3420h	DMA1	カレントトランザクションバイトレジスタ 8	DMAC1_CRTB_8	32	32
A006 3424h	DMA1	チャネルステータスレジスタ 8	DMAC1_CHSTAT_8	32	32
A006 3428h	DMA1	チャネルコントロールレジスタ 8	DMAC1_CHCTRL_8	32	32
A006 342Ch	DMA1	チャネルコンフィギュレーションレジスタ 8	DMAC1_CHCFG_8	32	32
A006 3430h	DMA1	チャネルインターバルレジスタ 8	DMAC1_CHITVL_8	32	32
A006 3438h	DMA1	ネクストリンクアドレスレジスタ 8	DMAC1_NXLA_8	32	32
A006 343Ch	DMA1	カレントリンクアドレスレジスタ 8	DMAC1_CRLA_8	32	32
A006 3440h	DMA1	ネクスト0ソースアドレスレジスタ 9	DMAC1_N0SA_9_N	32	32
A006 3440h	DMA1	ネクスト0ソースアドレスレジスタ 9	DMAC1_N0SA_9_W	32	32
A006 3444h	DMA1	ネクスト0デスティネーションアドレスレジスタ 9	DMAC1_N0DA_9	32	32
A006 3448h	DMA1	ネクスト0トランザクションバイトレジスタ 9	DMAC1_N0TB_9	32	32
A006 344Ch	DMA1	ネクスト1ソースアドレスレジスタ 9	DMAC1_N1SA_9_N	32	32
A006 344Ch	DMA1	ネクスト1ソースアドレスレジスタ 9	DMAC1_N1SA_9_W	32	32
A006 3450h	DMA1	ネクスト1デスティネーションアドレスレジスタ 9	DMAC1_N1DA_9	32	32
A006 3454h	DMA1	ネクスト1トランザクションバイトレジスタ 9	DMAC1_N1TB_9	32	32
A006 3458h	DMA1	カレントソースアドレスレジスタ 9	DMAC1_CRSA_9	32	32
A006 345Ch	DMA1	カレントデスティネーションアドレスレジスタ 9	DMAC1_CRDA_9	32	32
A006 3460h	DMA1	カレントトランザクションバイトレジスタ 9	DMAC1_CRTB_9	32	32
A006 3464h	DMA1	チャネルステータスレジスタ 9	DMAC1_CHSTAT_9	32	32
A006 3468h	DMA1	チャネルコントロールレジスタ 9	DMAC1_CHCTRL_9	32	32
A006 346Ch	DMA1	チャネルコンフィギュレーションレジスタ 9	DMAC1_CHCFG_9	32	32
A006 3470h	DMA1	チャネルインターバルレジスタ 9	DMAC1_CHITVL_9	32	32
A006 3478h	DMA1	ネクストリンクアドレスレジスタ 9	DMAC1_NXLA_9	32	32
A006 347Ch	DMA1	カレントリンクアドレスレジスタ 9	DMAC1_CRLA_9	32	32
A006 3480h	DMA1	ネクスト0ソースアドレスレジスタ 10	DMAC1_N0SA_10_N	32	32
A006 3480h	DMA1	ネクスト0ソースアドレスレジスタ 10	DMAC1_N0SA_10_W	32	32
A006 3484h	DMA1	ネクスト0デスティネーションアドレスレジスタ 10	DMAC1_N0DA_10	32	32
A006 3488h	DMA1	ネクスト0トランザクションバイトレジスタ 10	DMAC1_N0TB_10	32	32
A006 348Ch	DMA1	ネクスト1ソースアドレスレジスタ 10	DMAC1_N1SA_10_N	32	32
A006 348Ch	DMA1	ネクスト1ソースアドレスレジスタ 10	DMAC1_N1SA_10_W	32	32
A006 3490h	DMA1	ネクスト1デスティネーションアドレスレジスタ 10	DMAC1_N1DA_10	32	32
A006 3494h	DMA1	ネクスト1トランザクションバイトレジスタ 10	DMAC1_N1TB_10	32	32
A006 3498h	DMA1	カレントソースアドレスレジスタ 10	DMAC1_CRSA_10	32	32
A006 349Ch	DMA1	カレントデスティネーションアドレスレジスタ 10	DMAC1_CRDA_10	32	32
A006 34A0h	DMA1	カレントトランザクションバイトレジスタ 10	DMAC1_CRTB_10	32	32
A006 34A4h	DMA1	チャネルステータスレジスタ 10	DMAC1_CHSTAT_10	32	32
A006 34A8h	DMA1	チャネルコントロールレジスタ 10	DMAC1_CHCTRL_10	32	32
A006 34ACh	DMA1	チャネルコンフィギュレーションレジスタ 10	DMAC1_CHCFG_10	32	32
A006 34B0h	DMA1	チャネルインターバルレジスタ 10	DMAC1_CHITVL_10	32	32
A006 34B8h	DMA1	ネクストリンクアドレスレジスタ 10	DMAC1_NXLA_10	32	32
A006 34BCh	DMA1	カレントリンクアドレスレジスタ 10	DMAC1_CRLA_10	32	32
A006 34C0h	DMA1	ネクスト0ソースアドレスレジスタ 11	DMAC1_N0SA_11_N	32	32
A006 34C0h	DMA1	ネクスト0ソースアドレスレジスタ 11	DMAC1_N0SA_11_W	32	32
A006 34C4h	DMA1	ネクスト0デスティネーションアドレスレジスタ 11	DMAC1_N0DA_11	32	32
A006 34C8h	DMA1	ネクスト0トランザクションバイトレジスタ 11	DMAC1_N0TB_11	32	32
A006 34CCh	DMA1	ネクスト1ソースアドレスレジスタ 11	DMAC1_N1SA_11_N	32	32

表5.1 I/O レジスタアドレス一覧 (30 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 34CCh	DMA1	ネクスト1ソースアドレスレジスタ 11	DMAC1_N1SA_11_W	32	32
A006 34D0h	DMA1	ネクスト1デスティネーションアドレスレジスタ 11	DMAC1_N1DA_11	32	32
A006 34D4h	DMA1	ネクスト1トランザクションバイトレジスタ 11	DMAC1_N1TB_11	32	32
A006 34D8h	DMA1	カレントソースアドレスレジスタ 11	DMAC1_CRSA_11	32	32
A006 34DCh	DMA1	カレントデスティネーションアドレスレジスタ 11	DMAC1_CRDA_11	32	32
A006 34E0h	DMA1	カレントトランザクションバイトレジスタ 11	DMAC1_CRTB_11	32	32
A006 34E4h	DMA1	チャネルステータスレジスタ 11	DMAC1_CHSTAT_11	32	32
A006 34E8h	DMA1	チャネルコントロールレジスタ 11	DMAC1_CHCTRL_11	32	32
A006 34ECh	DMA1	チャネルコンフィギュレーションレジスタ 11	DMAC1_CHCFG_11	32	32
A006 34F0h	DMA1	チャネルインターバルレジスタ 11	DMAC1_CHITVL_11	32	32
A006 34F8h	DMA1	ネクストリンクアドレスレジスタ 11	DMAC1_NXLA_11	32	32
A006 34FCh	DMA1	カレントリンクアドレスレジスタ 11	DMAC1_CRLA_11	32	32
A006 3500h	DMA1	ネクスト0ソースアドレスレジスタ 12	DMAC1_N0SA_12_N	32	32
A006 3500h	DMA1	ネクスト0ソースアドレスレジスタ 12	DMAC1_N0SA_12_W	32	32
A006 3504h	DMA1	ネクスト0デスティネーションアドレスレジスタ 12	DMAC1_N0DA_12	32	32
A006 3508h	DMA1	ネクスト0トランザクションバイトレジスタ 12	DMAC1_N0TB_12	32	32
A006 350Ch	DMA1	ネクスト1ソースアドレスレジスタ 12	DMAC1_N1SA_12_N	32	32
A006 350Ch	DMA1	ネクスト1ソースアドレスレジスタ 12	DMAC1_N1SA_12_W	32	32
A006 3510h	DMA1	ネクスト1デスティネーションアドレスレジスタ 12	DMAC1_N1DA_12	32	32
A006 3514h	DMA1	ネクスト1トランザクションバイトレジスタ 12	DMAC1_N1TB_12	32	32
A006 3518h	DMA1	カレントソースアドレスレジスタ 12	DMAC1_CRSA_12	32	32
A006 351Ch	DMA1	カレントデスティネーションアドレスレジスタ 12	DMAC1_CRDA_12	32	32
A006 3520h	DMA1	カレントトランザクションバイトレジスタ 12	DMAC1_CRTB_12	32	32
A006 3524h	DMA1	チャネルステータスレジスタ 12	DMAC1_CHSTAT_12	32	32
A006 3528h	DMA1	チャネルコントロールレジスタ 12	DMAC1_CHCTRL_12	32	32
A006 352Ch	DMA1	チャネルコンフィギュレーションレジスタ 12	DMAC1_CHCFG_12	32	32
A006 3530h	DMA1	チャネルインターバルレジスタ 12	DMAC1_CHITVL_12	32	32
A006 3538h	DMA1	ネクストリンクアドレスレジスタ 12	DMAC1_NXLA_12	32	32
A006 353Ch	DMA1	カレントリンクアドレスレジスタ 12	DMAC1_CRLA_12	32	32
A006 3540h	DMA1	ネクスト0ソースアドレスレジスタ 13	DMAC1_N0SA_13_N	32	32
A006 3540h	DMA1	ネクスト0ソースアドレスレジスタ 13	DMAC1_N0SA_13_W	32	32
A006 3544h	DMA1	ネクスト0デスティネーションアドレスレジスタ 13	DMAC1_N0DA_13	32	32
A006 3548h	DMA1	ネクスト0トランザクションバイトレジスタ 13	DMAC1_N0TB_13	32	32
A006 354Ch	DMA1	ネクスト1ソースアドレスレジスタ 13	DMAC1_N1SA_13_N	32	32
A006 354Ch	DMA1	ネクスト1ソースアドレスレジスタ 13	DMAC1_N1SA_13_W	32	32
A006 3550h	DMA1	ネクスト1デスティネーションアドレスレジスタ 13	DMAC1_N1DA_13	32	32
A006 3554h	DMA1	ネクスト1トランザクションバイトレジスタ 13	DMAC1_N1TB_13	32	32
A006 3558h	DMA1	カレントソースアドレスレジスタ 13	DMAC1_CRSA_13	32	32
A006 355Ch	DMA1	カレントデスティネーションアドレスレジスタ 13	DMAC1_CRDA_13	32	32
A006 3560h	DMA1	カレントトランザクションバイトレジスタ 13	DMAC1_CRTB_13	32	32
A006 3564h	DMA1	チャネルステータスレジスタ 13	DMAC1_CHSTAT_13	32	32
A006 3568h	DMA1	チャネルコントロールレジスタ 13	DMAC1_CHCTRL_13	32	32
A006 356Ch	DMA1	チャネルコンフィギュレーションレジスタ 13	DMAC1_CHCFG_13	32	32
A006 3570h	DMA1	チャネルインターバルレジスタ 13	DMAC1_CHITVL_13	32	32
A006 3578h	DMA1	ネクストリンクアドレスレジスタ 13	DMAC1_NXLA_13	32	32
A006 357Ch	DMA1	カレントリンクアドレスレジスタ 13	DMAC1_CRLA_13	32	32
A006 3580h	DMA1	ネクスト0ソースアドレスレジスタ 14	DMAC1_N0SA_14_N	32	32
A006 3580h	DMA1	ネクスト0ソースアドレスレジスタ 14	DMAC1_N0SA_14_W	32	32

表5.1 I/O レジスタアドレス一覧 (31 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 3584h	DMA1	ネクスト0デスティネーションアドレスレジスタ 14	DMAC1_N0DA_14	32	32
A006 3588h	DMA1	ネクスト0トランザクションバイトレジスタ 14	DMAC1_N0TB_14	32	32
A006 358Ch	DMA1	ネクスト1ソースアドレスレジスタ 14	DMAC1_N1SA_14_N	32	32
A006 358Dh	DMA1	ネクスト1ソースアドレスレジスタ 14	DMAC1_N1SA_14_W	32	32
A006 3590h	DMA1	ネクスト1デスティネーションアドレスレジスタ 14	DMAC1_N1DA_14	32	32
A006 3594h	DMA1	ネクスト1トランザクションバイトレジスタ 14	DMAC1_N1TB_14	32	32
A006 3598h	DMA1	カレントソースアドレスレジスタ 14	DMAC1_CRSA_14	32	32
A006 359Ch	DMA1	カレントデスティネーションアドレスレジスタ 14	DMAC1_CRDA_14	32	32
A006 35A0h	DMA1	カレントトランザクションバイトレジスタ 14	DMAC1_CRTB_14	32	32
A006 35A4h	DMA1	チャネルステータスレジスタ 14	DMAC1_CHSTAT_14	32	32
A006 35A8h	DMA1	チャネルコントロールレジスタ 14	DMAC1_CHCTRL_14	32	32
A006 35ACh	DMA1	チャネルコンフィギュレーションレジスタ 14	DMAC1_CHCFG_14	32	32
A006 35B0h	DMA1	チャネルインターバルレジスタ 14	DMAC1_CHITVL_14	32	32
A006 35B8h	DMA1	ネクストリンクアドレスレジスタ 14	DMAC1_NXLA_14	32	32
A006 35BCh	DMA1	カレントリンクアドレスレジスタ 14	DMAC1_CRLA_14	32	32
A006 35C0h	DMA1	ネクスト0ソースアドレスレジスタ 15	DMAC1_N0SA_15_N	32	32
A006 35C0h	DMA1	ネクスト0ソースアドレスレジスタ 15	DMAC1_N0SA_15_W	32	32
A006 35C4h	DMA1	ネクスト0デスティネーションアドレスレジスタ 15	DMAC1_N0DA_15	32	32
A006 35C8h	DMA1	ネクスト0トランザクションバイトレジスタ 15	DMAC1_N0TB_15	32	32
A006 35CCh	DMA1	ネクスト1ソースアドレスレジスタ 15	DMAC1_N1SA_15_N	32	32
A006 35CCh	DMA1	ネクスト1ソースアドレスレジスタ 15	DMAC1_N1SA_15_W	32	32
A006 35D0h	DMA1	ネクスト1デスティネーションアドレスレジスタ 15	DMAC1_N1DA_15	32	32
A006 35D4h	DMA1	ネクスト1トランザクションバイトレジスタ 15	DMAC1_N1TB_15	32	32
A006 35D8h	DMA1	カレントソースアドレスレジスタ 15	DMAC1_CRSA_15	32	32
A006 35DCh	DMA1	カレントデスティネーションアドレスレジスタ 15	DMAC1_CRDA_15	32	32
A006 35E0h	DMA1	カレントトランザクションバイトレジスタ 15	DMAC1_CRTB_15	32	32
A006 35E4h	DMA1	チャネルステータスレジスタ 15	DMAC1_CHSTAT_15	32	32
A006 35E8h	DMA1	チャネルコントロールレジスタ 15	DMAC1_CHCTRL_15	32	32
A006 35ECh	DMA1	チャネルコンフィギュレーションレジスタ 15	DMAC1_CHCFG_15	32	32
A006 35F0h	DMA1	チャネルインターバルレジスタ 15	DMAC1_CHITVL_15	32	32
A006 35F8h	DMA1	ネクストリンクアドレスレジスタ 15	DMAC1_NXLA_15	32	32
A006 35FCh	DMA1	カレントリンクアドレスレジスタ 15	DMAC1_CRLA_15	32	32
A006 3600h	DMA1	ソースコンティニューアレジスタ 8	DMAC1_SCNT_8	32	32
A006 3604h	DMA1	ソーススキップレジスタ 8	DMAC1_SSKP_8	32	32
A006 3608h	DMA1	デスティネーションコンティニューアレジスタ 8	DMAC1_DCNT_8	32	32
A006 360Ch	DMA1	デスティネーションスキップレジスタ 8	DMAC1_DSKP_8	32	32
A006 3620h	DMA1	ソースコンティニューアレジスタ 9	DMAC1_SCNT_9	32	32
A006 3624h	DMA1	ソーススキップレジスタ 9	DMAC1_SSKP_9	32	32
A006 3628h	DMA1	デスティネーションコンティニューアレジスタ 9	DMAC1_DCNT_9	32	32
A006 362Ch	DMA1	デスティネーションスキップレジスタ 9	DMAC1_DSKP_9	32	32
A006 3640h	DMA1	ソースコンティニューアレジスタ 10	DMAC1_SCNT_10	32	32
A006 3644h	DMA1	ソーススキップレジスタ 10	DMAC1_SSKP_10	32	32
A006 3648h	DMA1	デスティネーションコンティニューアレジスタ 10	DMAC1_DCNT_10	32	32
A006 364Ch	DMA1	デスティネーションスキップレジスタ 10	DMAC1_DSKP_10	32	32
A006 3660h	DMA1	ソースコンティニューアレジスタ 11	DMAC1_SCNT_11	32	32
A006 3664h	DMA1	ソーススキップレジスタ 11	DMAC1_SSKP_11	32	32
A006 3668h	DMA1	デスティネーションコンティニューアレジスタ 11	DMAC1_DCNT_11	32	32
A006 366Ch	DMA1	デスティネーションスキップレジスタ 11	DMAC1_DSKP_11	32	32

表5.1 I/O レジスタアドレス一覧 (32 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 3680h	DMA1	ソースコンティニューアスレジスタ 12	DMAC1_SCNT_12	32	32
A006 3684h	DMA1	ソーススキップレジスタ 12	DMAC1_SSKP_12	32	32
A006 3688h	DMA1	デスティネーションコンティニューアスレジスタ 12	DMAC1_DCNT_12	32	32
A006 368Ch	DMA1	デスティネーションスキップレジスタ 12	DMAC1_DSKP_12	32	32
A006 36A0h	DMA1	ソースコンティニューアスレジスタ 13	DMAC1_SCNT_13	32	32
A006 36A4h	DMA1	ソーススキップレジスタ 13	DMAC1_SSKP_13	32	32
A006 36A8h	DMA1	デスティネーションコンティニューアスレジスタ 13	DMAC1_DCNT_13	32	32
A006 36ACh	DMA1	デスティネーションスキップレジスタ 13	DMAC1_DSKP_13	32	32
A006 36C0h	DMA1	ソースコンティニューアスレジスタ 14	DMAC1_SCNT_14	32	32
A006 36C4h	DMA1	ソーススキップレジスタ 14	DMAC1_SSKP_14	32	32
A006 36C8h	DMA1	デスティネーションコンティニューアスレジスタ 14	DMAC1_DCNT_14	32	32
A006 36CCh	DMA1	デスティネーションスキップレジスタ 14	DMAC1_DSKP_14	32	32
A006 36E0h	DMA1	ソースコンティニューアスレジスタ 15	DMAC1_SCNT_15	32	32
A006 36E4h	DMA1	ソーススキップレジスタ 15	DMAC1_SSKP_15	32	32
A006 36E8h	DMA1	デスティネーションコンティニューアスレジスタ 15	DMAC1_DCNT_15	32	32
A006 36ECh	DMA1	デスティネーションスキップレジスタ 15	DMAC1_DSKP_15	32	32
A006 3700h	DMA1	DMAコントロールレジスタ B	DMAC1_DCTRL_B	32	32
A006 3704h	DMA1	デスク립タインターバルレジスタ B	DMAC1_DSCITVL_B	32	32
A006 3710h	DMA1	DMAステータスENレジスタ B	DMAC1_DST_EN_B	32	32
A006 3714h	DMA1	DMAステータスERレジスタ B	DMAC1_DST_ER_B	32	32
A006 3718h	DMA1	DMAステータスENDレジスタ B	DMAC1_DST_END_B	32	32
A006 3720h	DMA1	DMAステータスSUSレジスタ B	DMAC1_DST_SUS_B	32	32
A006 5000h	SCIFA0	シリアルモードレジスタ	SMR	16	16
A006 5002h	SCIFA0	ビットレートレジスタ	BRR	8	8
A006 5002h	SCIFA0	モジュレーションデューティレジスタ	MDDR	8	8
A006 5004h	SCIFA0	シリアルコントロールレジスタ	SCR	16	16
A006 5006h	SCIFA0	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 5008h	SCIFA0	シリアルステータスレジスタ	FSR	16	16
A006 500Ah	SCIFA0	レシーブFIFOデータレジスタ	FRDR	8	8
A006 500Ch	SCIFA0	FIFOコントロールレジスタ	FCR	16	16
A006 500Eh	SCIFA0	FIFOデータ数レジスタ	FDR	16	16
A006 5010h	SCIFA0	シリアルポートレジスタ	SPTR	16	16
A006 5012h	SCIFA0	ラインステータスレジスタ	LSR	16	16
A006 5014h	SCIFA0	シリアル拡張モードレジスタ	SEMR	8	8
A006 5016h	SCIFA0	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 5400h	SCIFA1	シリアルモードレジスタ	SMR	16	16
A006 5402h	SCIFA1	ビットレートレジスタ	BRR	8	8
A006 5402h	SCIFA1	モジュレーションデューティレジスタ	MDDR	8	8
A006 5404h	SCIFA1	シリアルコントロールレジスタ	SCR	16	16
A006 5406h	SCIFA1	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 5408h	SCIFA1	シリアルステータスレジスタ	FSR	16	16
A006 540Ah	SCIFA1	レシーブFIFOデータレジスタ	FRDR	8	8
A006 540Ch	SCIFA1	FIFOコントロールレジスタ	FCR	16	16
A006 540Eh	SCIFA1	FIFOデータ数レジスタ	FDR	16	16
A006 5410h	SCIFA1	シリアルポートレジスタ	SPTR	16	16
A006 5412h	SCIFA1	ラインステータスレジスタ	LSR	16	16
A006 5414h	SCIFA1	シリアル拡張モードレジスタ	SEMR	8	8
A006 5416h	SCIFA1	FIFOトリガコントロールレジスタ	FTCR	16	16

表5.1 I/O レジスタアドレス一覧 (33 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 5800h	SCIFA2	シリアルモードレジスタ	SMR	16	16
A006 5802h	SCIFA2	ビットレートレジスタ	BRR	8	8
A006 5802h	SCIFA2	モジュレーションデューティレジスタ	MDDR	8	8
A006 5804h	SCIFA2	シリアルコントロールレジスタ	SCR	16	16
A006 5806h	SCIFA2	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 5808h	SCIFA2	シリアルステータスレジスタ	FSR	16	16
A006 580Ah	SCIFA2	レシーブFIFOデータレジスタ	FRDR	8	8
A006 580Ch	SCIFA2	FIFOコントロールレジスタ	FCR	16	16
A006 580Eh	SCIFA2	FIFOデータ数レジスタ	FDR	16	16
A006 5810h	SCIFA2	シリアルポートレジスタ	SPTR	16	16
A006 5812h	SCIFA2	ラインステータスレジスタ	LSR	16	16
A006 5814h	SCIFA2	シリアル拡張モードレジスタ	SEMR	8	8
A006 5816h	SCIFA2	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 6000h	SCIFA4	シリアルモードレジスタ	SMR	16	16
A006 6002h	SCIFA4	ビットレートレジスタ	BRR	8	8
A006 6002h	SCIFA4	モジュレーションデューティレジスタ	MDDR	8	8
A006 6004h	SCIFA4	シリアルコントロールレジスタ	SCR	16	16
A006 6006h	SCIFA4	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 6008h	SCIFA4	シリアルステータスレジスタ	FSR	16	16
A006 600Ah	SCIFA4	レシーブFIFOデータレジスタ	FRDR	8	8
A006 600Ch	SCIFA4	FIFOコントロールレジスタ	FCR	16	16
A006 600Eh	SCIFA4	FIFOデータ数レジスタ	FDR	16	16
A006 6010h	SCIFA4	シリアルポートレジスタ	SPTR	16	16
A006 6012h	SCIFA4	ラインステータスレジスタ	LSR	16	16
A006 6014h	SCIFA4	シリアル拡張モードレジスタ	SEMR	8	8
A006 6016h	SCIFA4	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 8000h	RSPI0	RSPI制御レジスタ	SPCR	8	8
A006 8001h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8
A006 8002h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8
A006 8003h	RSPI0	RSPIステータスレジスタ	SPSR	8	8
A006 8004h	RSPI0	RSPIデータレジスタ	SPDR	32	16, 32
A006 8008h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8
A006 8009h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8
A006 800Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8
A006 800Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8
A006 800Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8
A006 800Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8
A006 800Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8
A006 800Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8
A006 8010h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16
A006 8012h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16
A006 8014h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16
A006 8016h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16
A006 8018h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16
A006 801Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16
A006 801Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16
A006 801Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16
A006 8400h	RSPI1	RSPI制御レジスタ	SPCR	8	8

表5.1 I/O レジスタアドレス一覧 (34 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 8401h	RSPI1	RSPIスレーブセレクト極性レジスタ	SSLP	8	8
A006 8402h	RSPI1	RSPI端子制御レジスタ	SPPCR	8	8
A006 8403h	RSPI1	RSPIステータスレジスタ	SPSR	8	8
A006 8404h	RSPI1	RSPIデータレジスタ	SPDR	32	16, 32
A006 8408h	RSPI1	RSPIシーケンス制御レジスタ	SPSCR	8	8
A006 8409h	RSPI1	RSPIシーケンスステータスレジスタ	SPSSR	8	8
A006 840Ah	RSPI1	RSPIビットレートレジスタ	SPBR	8	8
A006 840Bh	RSPI1	RSPIデータコントロールレジスタ	SPDCR	8	8
A006 840Ch	RSPI1	RSPIクロック遅延レジスタ	SPCKD	8	8
A006 840Dh	RSPI1	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8
A006 840Eh	RSPI1	RSPI次アクセス遅延レジスタ	SPND	8	8
A006 840Fh	RSPI1	RSPI制御レジスタ2	SPCR2	8	8
A006 8410h	RSPI1	RSPIコマンドレジスタ0	SPCMD0	16	16
A006 8412h	RSPI1	RSPIコマンドレジスタ1	SPCMD1	16	16
A006 8414h	RSPI1	RSPIコマンドレジスタ2	SPCMD2	16	16
A006 8416h	RSPI1	RSPIコマンドレジスタ3	SPCMD3	16	16
A006 8418h	RSPI1	RSPIコマンドレジスタ4	SPCMD4	16	16
A006 841Ah	RSPI1	RSPIコマンドレジスタ5	SPCMD5	16	16
A006 841Ch	RSPI1	RSPIコマンドレジスタ6	SPCMD6	16	16
A006 841Eh	RSPI1	RSPIコマンドレジスタ7	SPCMD7	16	16
A007 C000h	CRC	CRCデータ入力レジスタ	CRCDIR	32	32
A007 C004h	CRC	CRCデータ出力レジスタ	CRCDOR	32	32
A007 C020h	CRC	CRCコントロールレジスタ	CRCCR	8	8
A007 D008h	ECMM	ECMマスタエラーソースステータスレジスタ0	ECMMESSTR0	32	32
A007 D00Ch	ECMM	ECMマスタエラーソースステータスレジスタ1	ECMMESSTR1	32	32
A007 D010h	ECMM	ECMマスタエラーソースステータスレジスタ2	ECMMESSTR2	32	32
A007 D014h	ECMM	ECMマスタ保護コマンドレジスタ	ECMMPCMD0	32	32
A007 D048h	ECMC	ECMチェッカエラーソースステータスレジスタ0	ECMCESSTR0	32	32
A007 D04Ch	ECMC	ECMチェッカエラーソースステータスレジスタ1	ECMCESSTR1	32	32
A007 D050h	ECMC	ECMチェッカエラーソースステータスレジスタ2	ECMCESSTR2	32	32
A007 D054h	ECMC	ECMチェッカ保護コマンドレジスタ	ECMCPCMD0	32	32
A007 D084h	ECM	ECMマスカブル割り込みコンフィグレーションレジスタ0	ECMMICFG0	32	32
A007 D088h	ECM	ECMマスカブル割り込みコンフィグレーションレジスタ1	ECMMICFG1	32	32
A007 D08Ch	ECM	ECMマスカブル割り込みコンフィグレーションレジスタ2	ECMMICFG2	32	32
A007 D090h	ECM	ECMノンマスカブル割り込みコンフィグレーションレジスタ0	ECNMICFG0	32	32
A007 D094h	ECM	ECMノンマスカブル割り込みコンフィグレーションレジスタ1	ECNMICFG1	32	32
A007 D098h	ECM	ECMノンマスカブル割り込みコンフィグレーションレジスタ2	ECNMICFG2	32	32
A007 D09Ch	ECM	ECM内部リセットコンフィグレーションレジスタ0	ECMIRCFG0	32	32
A007 D0A0h	ECM	ECM内部リセットコンフィグレーションレジスタ1	ECMIRCFG1	32	32
A007 D0A4h	ECM	ECM内部リセットコンフィグレーションレジスタ2	ECMIRCFG2	32	32
A007 D0B4h	ECM	ECMエラーソースステータスクリアトリガレジスタ0	ECMESSTC0	32	32
A007 D0B8h	ECM	ECMエラーソースステータスクリアトリガレジスタ1	ECMESSTC1	32	32
A007 D0BCh	ECM	ECMエラーソースステータスクリアトリガレジスタ2	ECMESSTC2	32	32
A007 D0C0h	ECM	ECM保護コマンドレジスタ	ECMPCMD1	32	32
A007 D0C4h	ECM	ECM保護ステータスレジスタ	ECMPS	8	8
A007 D0C8h	ECM	ECM疑似エラートリガレジスタ0	ECMPE0	32	32
A007 D0CCh	ECM	ECM疑似エラートリガレジスタ1	ECMPE1	32	32

表5.1 I/O レジスタアドレス一覧 (35 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 D0D0h	ECM	ECM疑似エラートリガレジスタ2	ECMPE2	32	32
A007 D0D4h	ECM	ECMディレイタイマコントロールレジスタ	ECMDTMCTL	8	8
A007 D0D8h	ECM	ECMディレイタイマレジスタ	ECMDTMR	16	16
A007 D0DCh	ECM	ECMディレイタイマコンペアレジスタ	ECMDTMCMP	32	32
A007 D0E0h	ECM	ECMディレイタイマコンフィグレーションレジスタ0	ECMDTMCFG0	32	32
A007 D0E4h	ECM	ECMディレイタイマコンフィグレーションレジスタ1	ECMDTMCFG1	32	32
A007 D0E8h	ECM	ECMディレイタイマコンフィグレーションレジスタ2	ECMDTMCFG2	32	32
A007 D0ECh	ECM	ECMディレイタイマコンフィグレーションレジスタ3	ECMDTMCFG3	32	32
A007 D0F0h	ECM	ECMディレイタイマコンフィグレーションレジスタ4	ECMDTMCFG4	32	32
A007 D0F4h	ECM	ECMディレイタイマコンフィグレーションレジスタ5	ECMDTMCFG5	32	32
A008 0000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16
A008 0002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 0004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 0006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 000Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 000Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0020h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16
A008 0022h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 0024h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 0026h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0028h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 002Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 002Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0100h	TPUA	タイマスタートレジスタ	TSTRA	8	8
A008 0101h	TPUA	タイマシンクロレジスタ	TSYRA	8	8
A008 0108h	TPU0	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 0109h	TPU1	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 010Ah	TPU2	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 010Bh	TPU3	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 010Ch	TPU4	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 010Dh	TPU5	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 0110h	TPU0	タイマコントロールレジスタ	TCR	8	8
A008 0111h	TPU0	タイマモードレジスタ	TMDR	8	8
A008 0112h	TPU0	タイマI/Oコントロールレジスタ	TIORH	8	8
A008 0113h	TPU0	タイマI/Oコントロールレジスタ	TIORL	8	8
A008 0114h	TPU0	タイマ割り込み許可レジスタ	TIER	8	8
A008 0115h	TPU0	タイマステータスレジスタ	TSR	8	8
A008 0116h	TPU0	タイマカウンタ	TCNT	16	16
A008 0118h	TPU0	タイマジェネラルレジスタA	TGRA	16	16
A008 011Ah	TPU0	タイマジェネラルレジスタB	TGRB	16	16
A008 011Ch	TPU0	タイマジェネラルレジスタC	TGRC	16	16
A008 011Eh	TPU0	タイマジェネラルレジスタD	TGRD	16	16
A008 0120h	TPU1	タイマコントロールレジスタ	TCR	8	8
A008 0121h	TPU1	タイマモードレジスタ	TMDR	8	8
A008 0122h	TPU1	タイマI/Oコントロールレジスタ	TIOR	8	8
A008 0124h	TPU1	タイマ割り込み許可レジスタ	TIER	8	8
A008 0125h	TPU1	タイマステータスレジスタ	TSR	8	8

表5.1 I/O レジスタアドレス一覧 (36 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 0126h	TPU1	タイマカウンタ	TCNT	16	16
A008 0128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16
A008 012Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16
A008 0130h	TPU2	タイマコントロールレジスタ	TCR	8	8
A008 0131h	TPU2	タイマモードレジスタ	TMDR	8	8
A008 0132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8
A008 0134h	TPU2	タイマ割り込み許可レジスタ	TIER	8	8
A008 0135h	TPU2	タイマステータスレジスタ	TSR	8	8
A008 0136h	TPU2	タイマカウンタ	TCNT	16	16
A008 0138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16
A008 013Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16
A008 0140h	TPU3	タイマコントロールレジスタ	TCR	8	8
A008 0141h	TPU3	タイマモードレジスタ	TMDR	8	8
A008 0142h	TPU3	タイマI/Oコントロールレジスタ	TIORH	8	8
A008 0143h	TPU3	タイマI/Oコントロールレジスタ	TIORL	8	8
A008 0144h	TPU3	タイマ割り込み許可レジスタ	TIER	8	8
A008 0145h	TPU3	タイマステータスレジスタ	TSR	8	8
A008 0146h	TPU3	タイマカウンタ	TCNT	16	16
A008 0148h	TPU3	タイマジェネラルレジスタA	TGRA	16	16
A008 014Ah	TPU3	タイマジェネラルレジスタB	TGRB	16	16
A008 014Ch	TPU3	タイマジェネラルレジスタC	TGRC	16	16
A008 014Eh	TPU3	タイマジェネラルレジスタD	TGRD	16	16
A008 0150h	TPU4	タイマコントロールレジスタ	TCR	8	8
A008 0151h	TPU4	タイマモードレジスタ	TMDR	8	8
A008 0152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8
A008 0154h	TPU4	タイマ割り込み許可レジスタ	TIER	8	8
A008 0155h	TPU4	タイマステータスレジスタ	TSR	8	8
A008 0156h	TPU4	タイマカウンタ	TCNT	16	16
A008 0158h	TPU4	タイマジェネラルレジスタA	TGRA	16	16
A008 015Ah	TPU4	タイマジェネラルレジスタB	TGRB	16	16
A008 0160h	TPU5	タイマコントロールレジスタ	TCR	8	8
A008 0161h	TPU5	タイマモードレジスタ	TMDR	8	8
A008 0162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8
A008 0164h	TPU5	タイマ割り込み許可レジスタ	TIER	8	8
A008 0165h	TPU5	タイマステータスレジスタ	TSR	8	8
A008 0166h	TPU5	タイマカウンタ	TCNT	16	16
A008 0168h	TPU5	タイマジェネラルレジスタA	TGRA	16	16
A008 016Ah	TPU5	タイマジェネラルレジスタB	TGRB	16	16
A008 0300h	CMTW0	タイマスタートレジスタ	CMWSTR	16	16
A008 0304h	CMTW0	タイマコントロールレジスタ	CMWCR	16	16
A008 0308h	CMTW0	タイマI/Oコントロールレジスタ	CMWIOR	16	16
A008 0310h	CMTW0	タイマカウンタ	CMWCNT	32	32
A008 0314h	CMTW0	コンペアマッチコンスタントレジスタ	CMWCOR	32	32
A008 0318h	CMTW0	インプットキャプチャレジスタ0	CMWICR0	32	32
A008 031Ch	CMTW0	インプットキャプチャレジスタ1	CMWICR1	32	32
A008 0320h	CMTW0	アウトプットコンペアレジスタ0	CMWOCR0	32	32
A008 0324h	CMTW0	アウトプットコンペアレジスタ1	CMWOCR1	32	32
A008 0380h	CMTW1	タイマスタートレジスタ	CMWSTR	16	16

表5.1 I/O レジスタアドレス一覧 (37 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 0384h	CMTW1	タイマコントロールレジスタ	CMWCR	16	16
A008 0388h	CMTW1	タイマI/Oコントロールレジスタ	CMWIOR	16	16
A008 0390h	CMTW1	タイマカウンタ	CMWCNT	32	32
A008 0394h	CMTW1	コンペアマッチコンスタントレジスタ	CMWCOR	32	32
A008 0398h	CMTW1	インプットキャプチャレジスタ0	CMWICR0	32	32
A008 039Ch	CMTW1	インプットキャプチャレジスタ1	CMWICR1	32	32
A008 03A0h	CMTW1	アウトプットコンペアレジスタ0	CMWOCR0	32	32
A008 03A4h	CMTW1	アウトプットコンペアレジスタ1	CMWOCR1	32	32
A008 0400h	CMTW	デジタルノイズフィルタコントロールレジスタ0	NFCR0	32	32
A008 0404h	CMTW	デジタルノイズフィルタコントロールレジスタ1	NFCR1	32	32
A008 0600h	WDT0	WDTリフレッシュレジスタ	WDTRR	8	8
A008 0602h	WDT0	WDTコントロールレジスタ	WDTCR	16	16
A008 0604h	WDT0	WDTステータスレジスタ	WDTSR	16	16
A008 0606h	WDT0	WDTリセットコントロールレジスタ	WDTRCR	8	8
A008 0700h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8
A008 0702h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16
A008 0704h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16
A008 0706h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8
A008 0900h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8
A008 0901h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8
A008 0902h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8
A008 0903h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8
A008 0904h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8
A008 0905h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8
A008 0906h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8
A008 0907h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8
A008 0908h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8
A008 0909h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8
A008 090Ah	RIIC0	スレーブアドレスレジスタL0	ICSARL0	8	8
A008 090Bh	RIIC0	スレーブアドレスレジスタU0	ICSARU0	8	8
A008 090Ch	RIIC0	スレーブアドレスレジスタL1	ICSARL1	8	8
A008 090Dh	RIIC0	スレーブアドレスレジスタU1	ICSARU1	8	8
A008 090Eh	RIIC0	スレーブアドレスレジスタL2	ICSARL2	8	8
A008 090Fh	RIIC0	スレーブアドレスレジスタU2	ICSARU2	8	8
A008 0910h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8
A008 0911h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8
A008 0912h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8
A008 0913h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8
A008 0940h	RIIC1	I ² Cバスコントロールレジスタ1	ICCR1	8	8
A008 0941h	RIIC1	I ² Cバスコントロールレジスタ2	ICCR2	8	8
A008 0942h	RIIC1	I ² Cバスモードレジスタ1	ICMR1	8	8
A008 0943h	RIIC1	I ² Cバスモードレジスタ2	ICMR2	8	8
A008 0944h	RIIC1	I ² Cバスモードレジスタ3	ICMR3	8	8
A008 0945h	RIIC1	I ² Cバスファンクション許可レジスタ	ICFER	8	8
A008 0946h	RIIC1	I ² Cバスステータス許可レジスタ	ICSER	8	8
A008 0947h	RIIC1	I ² Cバス割り込み許可レジスタ	ICIER	8	8
A008 0948h	RIIC1	I ² Cバスステータスレジスタ1	ICSR1	8	8
A008 0949h	RIIC1	I ² Cバスステータスレジスタ2	ICSR2	8	8

表5.1 I/O レジスタアドレス一覧 (38 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 094Ah	RIIC1	スレーブアドレスレジスタ L0	ICSARL0	8	8
A008 094Bh	RIIC1	スレーブアドレスレジスタ U0	ICSARU0	8	8
A008 094Ch	RIIC1	スレーブアドレスレジスタ L1	ICSARL1	8	8
A008 094Dh	RIIC1	スレーブアドレスレジスタ U1	ICSARU1	8	8
A008 094Eh	RIIC1	スレーブアドレスレジスタ L2	ICSARL2	8	8
A008 094Fh	RIIC1	スレーブアドレスレジスタ U2	ICSARU2	8	8
A008 0950h	RIIC1	I ² CバスビットレートLowレジスタ	ICBRL	8	8
A008 0951h	RIIC1	I ² CバスビットレートHighレジスタ	ICBRH	8	8
A008 0952h	RIIC1	I ² Cバス送信データレジスタ	ICDRT	8	8
A008 0953h	RIIC1	I ² Cバス受信データレジスタ	ICDRR	8	8
A008 0A00h	TSN	温度センサコントロールレジスタ	TSCR	8	8
A008 0B00h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8
A008 0B08h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8
A008 0B10h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8
A008 0B13h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8
A008 0B14h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8
A008 0B15h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8
A008 0B16h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8
A008 0B17h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8
A008 0B18h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8
A008 0B19h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8
A008 0B1Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8
A008 0B1Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8
A008 0B1Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8
A008 0B21h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8
A008 0B24h	ELC	ポートグループ指定レジスタ2	PGR2	8	8
A008 0B26h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8
A008 0B28h	ELC	ポートバッファレジスタ2	PDBF2	8	8
A008 0B29h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8
A008 0B2Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8
A008 0B2Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8
A008 0B2Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8
A008 0B2Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8
A008 0B31h	ELC	イベントリンク設定レジスタ33	ELSR33	8	8
A008 0B33h	ELC	イベントリンク設定レジスタ35	ELSR35	8	8
A008 0B34h	ELC	イベントリンク設定レジスタ36	ELSR36	8	8
A008 0B35h	ELC	イベントリンク設定レジスタ37	ELSR37	8	8
A008 0B36h	ELC	イベントリンク設定レジスタ38	ELSR38	8	8
A008 0B3Dh	ELC	イベントリンク設定レジスタ45	ELSR45	8	8
A008 0B3Fh	ELC	イベントリンクオプション設定レジスタF	ELOPF	8	8
A008 0B41h	ELC	イベントリンクオプション設定レジスタH	ELOPH	8	8
A008 1200h	DOC	DOC制御レジスタ	DOCR	8	8
A008 1202h	DOC	DOCデータインプットレジスタ	DODIR	16	16
A008 1204h	DOC	DOCデータセッティングレジスタ	DODSR	16	16
A008 C000h	S12ADC0	A/Dコントロールレジスタ	ADCSR	16	16
A008 C004h	S12ADC0	A/Dチャネル選択レジスタA	ADANSA	16	16
A008 C008h	S12ADC0	A/D変換値加算/平均モード選択レジスタ	ADADS	16	16
A008 C00Ch	S12ADC0	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8

表5.1 I/O レジスタアドレス一覧 (39 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 C00Eh	S12ADC0	A/Dコントロール拡張レジスタ	ADCER	16	16
A008 C010h	S12ADC0	A/D開始トリガ選択レジスタ	ADSTRGR	16	16
A008 C014h	S12ADC0	A/Dチャンネル選択レジスタB	ADANSB	16	16
A008 C018h	S12ADC0	A/Dデータ2重化レジスタ	ADDBLDR	16	16
A008 C01Ah	S12ADC0	A/D温度センサデータレジスタ	ADTSR	16	16
A008 C01Eh	S12ADC0	A/D自己診断データレジスタ	ADRD	16	16
A008 C020h	S12ADC0	A/Dデータレジスタ0	ADDR0	16	16
A008 C022h	S12ADC0	A/Dデータレジスタ1	ADDR1	16	16
A008 C024h	S12ADC0	A/Dデータレジスタ2	ADDR2	16	16
A008 C026h	S12ADC0	A/Dデータレジスタ3	ADDR3	16	16
A008 C028h	S12ADC0	A/Dデータレジスタ4	ADDR4	16	16
A008 C02Ah	S12ADC0	A/Dデータレジスタ5	ADDR5	16	16
A008 C02Ch	S12ADC0	A/Dデータレジスタ6	ADDR6	16	16
A008 C02Eh	S12ADC0	A/Dデータレジスタ7	ADDR7	16	16
A008 C060h	S12ADC0	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8
A008 C066h	S12ADC0	サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16
A008 C070h	S12ADC0	A/DサンプリングステートレジスタT	ADSSTRT	8	8
A008 C073h	S12ADC0	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8
A008 C074h	S12ADC0	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8
A008 C075h	S12ADC0	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8
A008 C076h	S12ADC0	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8
A008 C077h	S12ADC0	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8
A008 C078h	S12ADC0	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8
A008 C079h	S12ADC0	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8
A008 C07Ah	S12ADC0	A/D断線検出コントロールレジスタ	ADDISCR	8	8
A008 C080h	S12ADC0	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16
A008 C090h	S12ADC0	A/Dコンペアコントロールレジスタ	ADCMPCR	8	8
A008 C092h	S12ADC0	A/Dコンペアチャンネル選択拡張レジスタ	ADCMANSER	8	8
A008 C093h	S12ADC0	A/Dコンペアレベル拡張選択レジスタ	ADCMPLER	8	8
A008 C094h	S12ADC0	A/Dコンペアチャンネル選択レジスタ	ADCMANSR	16	16
A008 C098h	S12ADC0	A/Dコンペアレベルレジスタ	ADCMPLR	16	16
A008 C09Ch	S12ADC0	A/Dコンペアデータレジスタ0	ADCMPCR0	16	16
A008 C09Eh	S12ADC0	A/Dコンペアデータレジスタ1	ADCMPCR1	16	16
A008 C0A0h	S12ADC0	A/Dコンペアステータスレジスタ	ADCMPSR	16	16
A008 C0A4h	S12ADC0	A/Dコンペアステータス拡張レジスタ	ADCMPSER	8	8
A008 C0C8h	S12ADC0	A/D端子レベル自己診断制御レジスタ	ADTDCR	8	8
A008 C0CAh	S12ADC0	A/Dエラーコントロールレジスタ	ADERCR	8	8
A008 C0CBh	S12ADC0	A/Dエラークリアレジスタ	ADERCLR	8	8
A008 C0D2h	S12ADC0	A/Dオーバーライトエラーレジスタ	ADOWER	16	16
A008 C0D6h	S12ADC0	A/Dオーバーライトエラー拡張レジスタ	ADOWEER	16	16
A008 C400h	S12ADC1	A/Dコントロールレジスタ	ADCSR	16	16
A008 C404h	S12ADC1	A/Dチャンネル選択レジスタA	ADANSA	16	16
A008 C408h	S12ADC1	A/D変換値加算/平均モード選択レジスタ	ADADS	16	16
A008 C40Ch	S12ADC1	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8
A008 C40Eh	S12ADC1	A/Dコントロール拡張レジスタ	ADCER	16	16
A008 C410h	S12ADC1	A/D開始トリガ選択レジスタ	ADSTRGR	16	16
A008 C412h	S12ADC1	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16
A008 C414h	S12ADC1	A/Dチャンネル選択レジスタB	ADANSB	16	16

表5.1 I/O レジスタアドレス一覧 (40 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 C418h	S12ADC1	A/Dデータ2重化レジスタ	ADDBLDR	16	16
A008 C41Eh	S12ADC1	A/D自己診断データレジスタ	ADRD	16	16
A008 C420h	S12ADC1	A/Dデータレジスタ0	ADDR0	16	16
A008 C422h	S12ADC1	A/Dデータレジスタ1	ADDR1	16	16
A008 C424h	S12ADC1	A/Dデータレジスタ2	ADDR2	16	16
A008 C426h	S12ADC1	A/Dデータレジスタ3	ADDR3	16	16
A008 C428h	S12ADC1	A/Dデータレジスタ4	ADDR4	16	16
A008 C42Ah	S12ADC1	A/Dデータレジスタ5	ADDR5	16	16
A008 C42Ch	S12ADC1	A/Dデータレジスタ6	ADDR6	16	16
A008 C42Eh	S12ADC1	A/Dデータレジスタ7	ADDR7	16	16
A008 C460h	S12ADC1	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8
A008 C473h	S12ADC1	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8
A008 C474h	S12ADC1	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8
A008 C475h	S12ADC1	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8
A008 C476h	S12ADC1	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8
A008 C477h	S12ADC1	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8
A008 C478h	S12ADC1	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8
A008 C479h	S12ADC1	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8
A008 C47Ah	S12ADC1	A/D断線検出コントロールレジスタ	ADDISCR	8	8
A008 C480h	S12ADC1	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16
A008 C490h	S12ADC1	A/Dコンペアコントロールレジスタ	ADCMPCR	8	8
A008 C494h	S12ADC1	A/Dコンペアチャネル選択レジスタ	ADCMANSR	16	16
A008 C498h	S12ADC1	A/Dコンペアレベルレジスタ	ADCMPLR	16	16
A008 C49Ch	S12ADC1	A/Dコンペアデータレジスタ0	ADCMPCR0	16	16
A008 C49Eh	S12ADC1	A/Dコンペアデータレジスタ1	ADCMPCR1	16	16
A008 C4A0h	S12ADC1	A/Dコンペアステータスレジスタ	ADCMPSR	16	16
A008 C4C8h	S12ADC1	A/D端子レベル自己診断制御レジスタ	ADTDCR	8	8
A008 C4CAh	S12ADC1	A/Dエラーコントロールレジスタ	ADERCR	8	8
A008 C4CBh	S12ADC1	A/Dエラークリアレジスタ	ADERCLR	8	8
A008 C4D2h	S12ADC1	A/Dオーバーライトエラーレジスタ	ADOWER	16	16
A008 C4D6h	S12ADC1	A/Dオーバーライトエラー拡張レジスタ	ADOWEER	16	16
A009 0000h	CLMA0	CLMA0制御レジスタ0	CLMA0CTL0	8	8
A009 0008h	CLMA0	CLMA0コンペアレジスタL	CLMA0CMPL	16	16
A009 000Ch	CLMA0	CLMA0コンペアレジスタH	CLMA0CMPH	16	16
A009 0010h	CLMA0	CLMA0コマンドレジスタ	CLMA0PCMD	8	8
A009 0014h	CLMA0	CLMA0プロテクションステータスレジスタ	CLMA0PS	8	8
A009 0020h	CLMA1	CLMA1制御レジスタ0	CLMA1CTL0	8	8
A009 0028h	CLMA1	CLMA1コンペアレジスタL	CLMA1CMPL	16	16
A009 002Ch	CLMA1	CLMA1コンペアレジスタH	CLMA1CMPH	16	16
A009 0030h	CLMA1	CLMA1コマンドレジスタ	CLMA1PCMD	8	8
A009 0034h	CLMA1	CLMA1プロテクションステータスレジスタ	CLMA1PS	8	8
A009 0040h	CLMA2	CLMA2制御レジスタ0	CLMA2CTL0	8	8
A009 0048h	CLMA2	CLMA2コンペアレジスタL	CLMA2CMPL	16	16
A009 004Ch	CLMA2	CLMA2コンペアレジスタH	CLMA2CMPH	16	16
A009 0050h	CLMA2	CLMA2コマンドレジスタ	CLMA2PCMD	8	8
A009 0054h	CLMA2	CLMA2プロテクションステータスレジスタ	CLMA2PS	8	8
A009 4000h	DMA0	DMAC Unit0 要因選択レジスタ0	DMA0SEL0	32	32
A009 4004h	DMA0	DMAC Unit0 要因選択レジスタ1	DMA0SEL1	32	32

表5.1 I/O レジスタアドレス一覧 (41 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A009 4008h	DMA0	DMAC Unit0 要因選択レジスタ 2	DMA0SEL2	32	32
A009 400Ch	DMA0	DMAC Unit0 要因選択レジスタ 3	DMA0SEL3	32	32
A009 4010h	DMA0	DMAC Unit0 要因選択レジスタ 4	DMA0SEL4	32	32
A009 4014h	DMA0	DMAC Unit0 要因選択レジスタ 5	DMA0SEL5	32	32
A009 4018h	DMA0	DMAC Unit0 要因選択レジスタ 6	DMA0SEL6	32	32
A009 401Ch	DMA0	DMAC Unit0 要因選択レジスタ 7	DMA0SEL7	32	32
A009 4020h	DMA0	DMAC Unit0 要因選択レジスタ 8	DMA0SEL8	32	32
A009 4024h	DMA0	DMAC Unit0 要因選択レジスタ 9	DMA0SEL9	32	32
A009 4028h	DMA0	DMAC Unit0 要因選択レジスタ 10	DMA0SEL10	32	32
A009 402Ch	DMA0	DMAC Unit0 要因選択レジスタ 11	DMA0SEL11	32	32
A009 4030h	DMA0	DMAC Unit0 要因選択レジスタ 12	DMA0SEL12	32	32
A009 4034h	DMA0	DMAC Unit0 要因選択レジスタ 13	DMA0SEL13	32	32
A009 4038h	DMA0	DMAC Unit0 要因選択レジスタ 14	DMA0SEL14	32	32
A009 403Ch	DMA0	DMAC Unit0 要因選択レジスタ 15	DMA0SEL15	32	32
A009 4040h	DMA1	DMAC Unit1 要因選択レジスタ 0	DMA1SEL0	32	32
A009 4044h	DMA1	DMAC Unit1 要因選択レジスタ 1	DMA1SEL1	32	32
A009 4048h	DMA1	DMAC Unit1 要因選択レジスタ 2	DMA1SEL2	32	32
A009 404Ch	DMA1	DMAC Unit1 要因選択レジスタ 3	DMA1SEL3	32	32
A009 4050h	DMA1	DMAC Unit1 要因選択レジスタ 4	DMA1SEL4	32	32
A009 4054h	DMA1	DMAC Unit1 要因選択レジスタ 5	DMA1SEL5	32	32
A009 4058h	DMA1	DMAC Unit1 要因選択レジスタ 6	DMA1SEL6	32	32
A009 405Ch	DMA1	DMAC Unit1 要因選択レジスタ 7	DMA1SEL7	32	32
A009 4060h	DMA1	DMAC Unit1 要因選択レジスタ 8	DMA1SEL8	32	32
A009 4064h	DMA1	DMAC Unit1 要因選択レジスタ 9	DMA1SEL9	32	32
A009 4068h	DMA1	DMAC Unit1 要因選択レジスタ 10	DMA1SEL10	32	32
A009 406Ch	DMA1	DMAC Unit1 要因選択レジスタ 11	DMA1SEL11	32	32
A009 4070h	DMA1	DMAC Unit1 要因選択レジスタ 12	DMA1SEL12	32	32
A009 4074h	DMA1	DMAC Unit1 要因選択レジスタ 13	DMA1SEL13	32	32
A009 4078h	DMA1	DMAC Unit1 要因選択レジスタ 14	DMA1SEL14	32	32
A009 407Ch	DMA1	DMAC Unit1 要因選択レジスタ 15	DMA1SEL15	32	32
A009 4080h	DMAC	DMAC ソフトウェア起動レジスタ	DMASTG	32	32
A009 4200h	ICU	IRQ コントロールレジスタ 0	IRQCR0	32	32
A009 4204h	ICU	IRQ コントロールレジスタ 1	IRQCR1	32	32
A009 4208h	ICU	IRQ コントロールレジスタ 2	IRQCR2	32	32
A009 420Ch	ICU	IRQ コントロールレジスタ 3	IRQCR3	32	32
A009 4210h	ICU	IRQ コントロールレジスタ 4	IRQCR4	32	32
A009 4218h	ICU	IRQ コントロールレジスタ 6	IRQCR6	32	32
A009 421Ch	ICU	IRQ コントロールレジスタ 7	IRQCR7	32	32
A009 4240h	ICU	IRQ 端子デジタルノイズフィルタ許可レジスタ	IRQFLTE	32	32
A009 4244h	ICU	IRQ 端子デジタルノイズフィルタ設定レジスタ	IRQFLTC	32	32
A009 4248h	ICU	ノンスカブル割り込みステータスレジスタ	NMISR	32	32
A009 424Ch	ICU	ノンスカブル割り込みステータスクリアレジスタ	NMICLR	32	32
A009 4250h	ICU	NMI 端子割り込みコントロールレジスタ	NMICR	32	32
A009 4254h	ICU	NMI 端子デジタルノイズフィルタ許可レジスタ	NMIFLTE	32	32
A009 4258h	ICU	NMI 端子デジタルノイズフィルタ設定レジスタ	NMIFLTC	32	32
A00B 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32
A00B 0024h	SYSTEM	システムクロックコントロールレジスタ 2	SCKCR2	32	32
A00B 0034h	SYSTEM	PLL1 コントロールレジスタ	PLL1CR	32	32

表5.1 I/O レジスタアドレス一覧 (42 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00B 0038h	SYSTEM	PLL1コントロールレジスタ2	PLL1CR2	32	32
A00B 0040h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	32	32
A00B 004Ch	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	32	32
A00B 0200h	SYSTEM	リセットステータスレジスタ0	RSTSR0	32	32
A00B 0210h	SYSTEM	ソフトウェアリセットレジスタ	SWRR1	32	32
A00B 0300h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32
A00B 0304h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32
A00B 0308h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32
A00B 0310h	SYSTEM	モジュールストップコントロールレジスタE	MSTPCRE	32	32
A00B 0314h	SYSTEM	モジュールストップコントロールレジスタF	MSTPCRF	32	32
A00B 0800h	SYSTEM	ATCMウエイト制御レジスタ	SYTATCMWAIT	32	32
A00B 0A00h	SYSTEM	デバッグインタフェース制御レジスタ	DBGIFCNT	32	32
A00B 0A60h	SYSTEM	モードモニタレジスタ	MDMONR	32	32
A00B 0A80h	SYSTEM	ECMマスク制御レジスタ	ECMMCNT	32	32
A00B 0B00h	SYSTEM	プロテクトレジスタ	PRCR	32	32
A00F 3000h	ECCRAM	プロテクトコマンドレジスタ	RAMPCMD	32	32
A00F 3100h	ECCRAM	ECCデコーダコンフィグレーションレジスタ	RAMEDC	32	32
A00F 3104h	ECCRAM	ECCエンコーダコンフィグレーションレジスタ	RAMEEC	32	32
A00F 3108h	ECCRAM	2ビットECCエラーステータスレジスタ	RAMDBEST	32	32
A00F 310Ch	ECCRAM	2ビットECCエラーアドレスレジスタ	RAMDBEAD	32	32
A00F 3110h	ECCRAM	2ビットECCエラーカウンタレジスタ	RAMDBECNT	32	32
B011 C100h	MDIO	送信レジスタ	TX	16	16
B011 C102h	MDIO	割り込みクリアレジスタ	CL	8	8
B011 C104h	MDIO	コントロールレジスタ	CTL	8	8
B011 C105h	MDIO	モードレジスタ	MODE	8	8
B011 C106h	MDIO	割り込みイネーブルレジスタ	INTE	8	8
B011 C108h	MDIO	物理ポートアドレスレジスタ	PADR	16	16
B011 C10Ah	MDIO	デバイスアドレスレジスタ	DADR	8	8
B011 C10Ch	MDIO	イネーブルアドレスレジスタ	ENADR	32	32
B051 C700h	MDIO	受信レジスタ	RX	32	32
B051 C704h	MDIO	受信レジスタ2	RX2	16	16
B051 C70Eh	MDIO	Versionレジスタ	VER	16	16
B0A3 0012h	MDIOM1 (注1)	ビットレートレジスタ	BR	16	16
B0B1 C100h	MDIOM1 (注1)	送信レジスタ	TX	32	32
B0B1 C500h	MDIOM1 (注1)	Versionレジスタ	VER	16	16
B0B1 CD04h	MDIOM1 (注1)	受信レジスタ	RX	32	32

注1. MDIOマスタはオプション機能です。対応品については「表1.3 製品一覧表」を参照してください。

6. リセット

6.1 概要

リセットには、RES# 端子リセット、エラーコントロールモジュール（ECM）リセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
ECMリセット	エラーコントロールモジュール（ECM）からのリセット要求
ソフトウェアリセット	SWRR1レジスタ設定

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。デバッグ時のリセット制御の詳細については「10.3.5 リセット構成とエミュレータとの接続方法」を参照してください。

表6.2 リセット種別ごとの初期化対象（○：初期化対象、—：変化しない）

リセット対象	リセット要因		
	RES#端子リセット	ECMリセット	ソフトウェアリセット
RES#端子リセットフラグ (RSTSR0.TRF)	—	○	○
ECMリセット検出フラグ (RSTSR0.ECMRF)	○	—	○
ソフトウェアリセット検出フラグ (RSTSR0.SWRF1)	○	○	—
端子の状態	○	○	○
動作モード	○ (注1)	— (注2)	— (注2)
ECM ECMマスタエラーソースステータスレジスタ0~2 ECMチェッカエラーソースステータスレジスタ0~2	○	—	—
上記以外のレジスタ、 および内部状態	○	○	○
RSTOUT#端子出力	○ (Low) (注3)	○ (Low) (注3)	○ (Low) (注3)

注1. 動作モードは端子リセット（RES#端子、TRST#端子がともにLow）解除時のモード設定端子（MD1, MD0）の入力レベルによって選択されます。動作モードの詳細については「3.2 動作モードの種類と選択」を参照してください。

注2. 動作モードは初期化されずに、前回のRES#端子リセット解除に選択された動作モードで、ブート起動します。詳細については「3. 動作モード」を参照してください。

注3. Lowを出力する期間は「6.3.5 リセット出力端子（RSTOUT#）」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子。デバッグ部およびTAP（Test Access Port）以外のLSI全体をリセットします。RZ/T1-Mにはパワーオンリセット回路を内蔵していないため、リセット回路を本LSIの外部に実装する必要があります。外付けリセット回路の構成例については、「10.3.5 リセット構成とエミュレータとの接続方法」を参照してください。
TRST#	入力	テストリセット端子。TAPをリセットします。エミュレータを使用可能なボードを設計する場合は、電源投入時にRES#端子と重複する期間TRST#端子をLowにしてください。またTRST#端子単独でも制御可能となるようにしてください。未使用時は、Lowに固定するか、RES#端子と同じ信号と接続してください。詳細については「10.3.5 リセット構成とエミュレータとの接続方法」を参照してください。
RSTOUT#	出力	リセット出力端子。リセットが発生するとロウレベルを出力します。詳細は「6.3.5 リセット出力端子（RSTOUT#）」を参照してください。外部デバイスのリセットとして利用できます。

注. デバッグ部のリセットについては「10. デバッグインタフェース」を参照してください。

6.2 レジスタの説明

リセットステータスレジスタ 0 にはリセット種別毎の発生要因を示すビットが配置されています。RSTSR0, SWRR1 はレジスタライトプロテクションの対象レジスタです。レジスタに書き込みを行う場合は、プロテクトレジスタ (PRCR) のビット 1 の書き込み保護を解除してください。レジスタライトプロテクションの詳細については「11. レジスタライトプロテクション機能」を参照してください。

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

RSTSR0 レジスタは、リセットの発生要因を示すレジスタです。

アドレス RSTSR0 : A00B 0200h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SWR1F	ECMRF	TRF	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	(注1)	(注1)	(注1)	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)
b1	TRF	RES#端子リセット検出フラグ	0: RES#端子リセット未検出 1: RES#端子リセット検出 [“1”になる条件] • RES#端子にLowが入力されたとき [“0”になる条件] • ECMリセット、ソフトウェアリセットが発生したとき • RSTSR0を読み出した後、RSTSR0に“0000 0000h”を書き込んだとき	R/(W) (注2)
b2	ECMRF	ECMリセット検出フラグ	0: ECMリセット未検出 1: ECMリセット検出 [“1”になる条件] • ECMの設定で予めリセット要因と指定されたエラー要因が発生したとき [“0”になる条件] • RES#端子リセット、ソフトウェアリセットが発生したとき • RSTSR0を読み出した後、RSTSR0に“0000 0000h”を書き込んだとき	R/(W) (注2)
b3	SWR1F	ソフトウェアリセット検出フラグ	0: ソフトウェアリセットの未検出 1: ソフトウェアリセットの検出 [“1”になる条件] • ソフトウェアリセットが発生したとき [“0”になる条件] • RES#端子リセット、ECMリセットが発生したとき • RSTSR0を読み出した後、RSTSR0に“0000 0000h”を書き込んだとき	R/(W) (注2)
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)

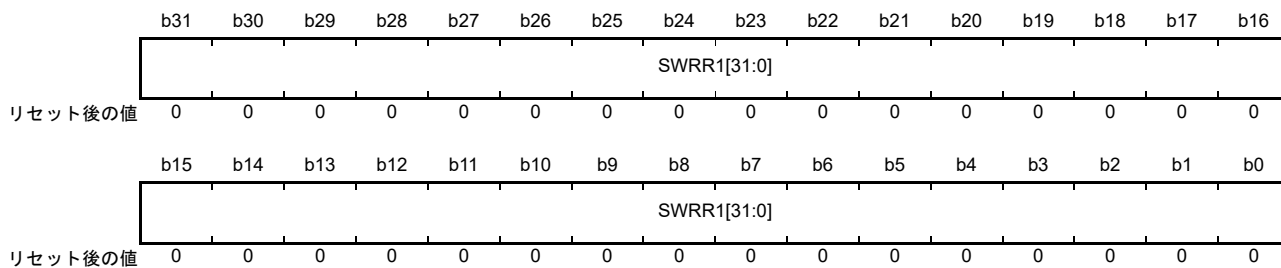
注1. リセット要因に依存して初期値が異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

6.2.2 ソフトウェアリセットレジスタ (SWRR1)

SWRR1 レジスタは、ソフトウェアリセットを制御するレジスタです。

アドレス SWRR1 : A00B 0210h



ビット	シンボル	ビット名	機能	R/W
b31-b0	SWRR1[31:0]	ソフトウェアリセットビット	“4321 A501h”を書くとソフトウェアリセットが発生します。読むと“0000 0000h”が読めます	R/W

6.3 動作説明

6.3.1 RES# 端子リセット

外部に接続された外付けリセット回路から RES# 端子への信号入力により発生するリセットです。RES# 端子が Low になると実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。確実にリセットするために、電源投入後は規定の時間は、RES# 端子が Low を保持するようにしてください。リセット構成の詳細については「10.3.5 リセット構成とエミュレータとの接続方法」を参照してください。

リセット解除後、CPU (Cortex-R4) がリセット例外処理を開始します。

RES# 端子リセットが発生すると、RSTSR0.TRF フラグに“1”がセットされます。

6.3.2 ECM リセット

ECM (Error Control Module) からのリセット要求により発生するリセットです。

ECM は発振停止検出などの重大なエラーを LSI 内部の各モジュールから受け付けており、エラー要因毎にリセットの要求を発生することができます。ECM の動作の詳細については「29. エラーコントロールモジュール (ECM)」を参照してください。ECM リセットが発生すると実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。

リセット解除後、CPU (Cortex-R4) がリセット例外処理を開始します。

ECM リセットが発生すると、RSTSR0.ECMRF フラグに“1”がセットされます。

6.3.3 ソフトウェアリセット

SWRR1 レジスタに“4321 A501h”を書くと発生する、ソフトウェアリセットです。ソフトウェアリセットが発生すると実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。

リセット解除後、CPU (Cortex-R4) がリセット例外処理を開始します。

ソフトウェアリセットが発生すると、RSTSR0.SWR1F フラグに“1”がセットされます。

6.3.4 リセット発生要因の判定

RSTSR0レジスタをリードすることで、どのリセット要因によりリセットが実行されたかを確認することができます。図6.1にリセット発生要因の判定フローを示します。

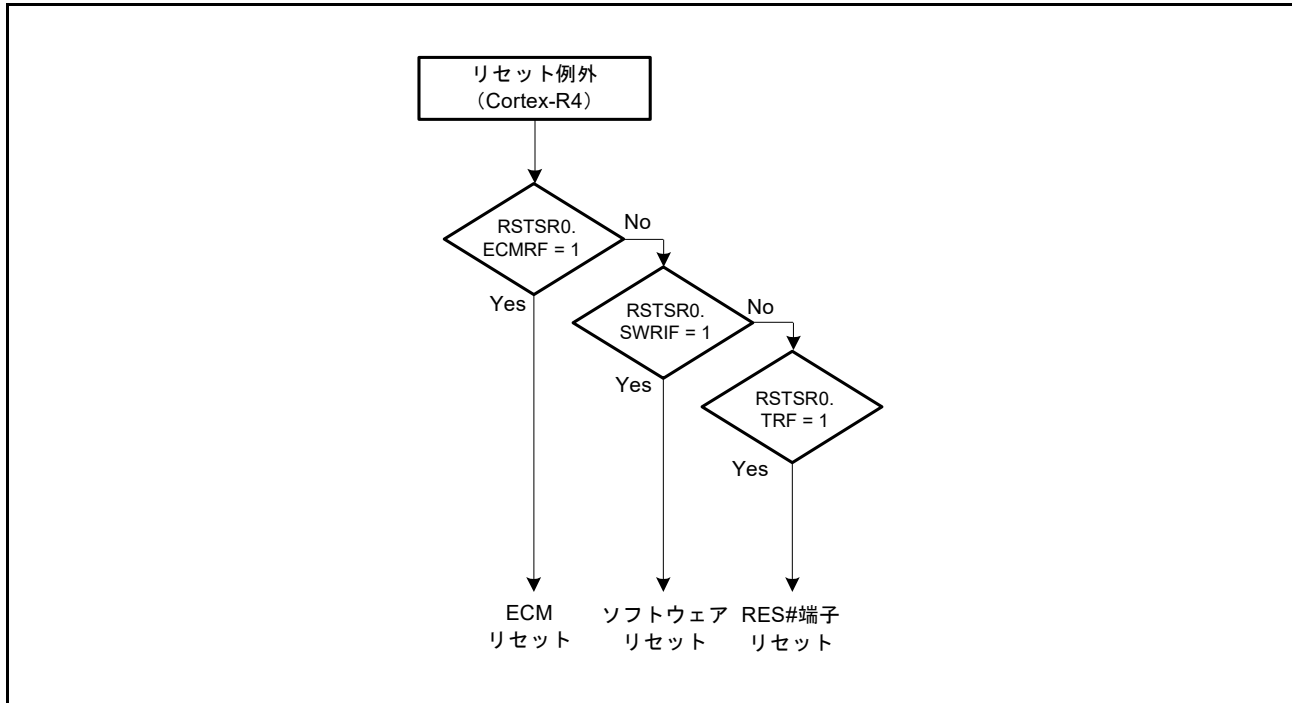


図 6.1 リセット発生要因判定フロー例

6.3.5 リセット出力端子 (RSTOUT#)

リセット出力端子 (RSTOUT#) は、RES# 端子の入力が Low でリセットが発生した時に Low を出力します。また、ECM リセット、ソフトウェアリセットが発生した場合も Low を出力します。

RES# 端子が規定時間だけ Low となった後に、High に変化すると、リセット出力は 500us (Typ.) の間、Low を保持した後で High に変化します。ECM リセット、ソフトウェアリセットが発生した場合もリセット出力は 500us (Typ.) の間、Low を保持した後で High に変化します。

6.3.6 リセット入力のノイズ除去

RES# 端子は、アナログ・ディレイによるノイズ対策を行っています。このノイズ対策により、100ns (Min.) 以内のノイズを除去できます。

6.4 使用上の注意事項

6.4.1 リセット出力端子 (RSTOUT#) について

RSTOUT# 信号が規定時間 Low を出力するのは、RES# 信号によるリセット解除後のタイミングです。このため、リセット出力端子 (RSTOUT#) を本 LSI のブート用フラッシュメモリのリセット信号として直接接続しないよう注意してください。

使用した場合、フラッシュメモリのリセット解除より前に本 LSI のリセットが解除される場合があります。RSTOUT# 信号の出力タイミングを満たす外部デバイスのリセット信号として使用することは可能です。

詳細については「6.3.5 リセット出力端子 (RSTOUT#)」を参照してください。

7. クロック発生回路

7.1 概要

本 LSI は、クロック発生回路を内蔵しています。

表 7.1 にクロック発生回路の仕様を示します。図 7.1 にクロック発生回路のブロック図を示します。

表 7.1 クロック発生回路の仕様

項目	仕様
メインクロック発振器	発振子周波数：25MHz
	接続できる発振子または付加回路：セラミック共振子、水晶振動子 接続端子：EXTAL、XTAL
	発振停止検出機能：メインクロックの発振停止検出時、LOCOに切り替える機能
PLL0回路	入力クロックソース：メインクロック発振器
	入力周波数：25MHz
	逡倍比：48 逡倍
	PLL0回路出力クロック周波数：1200MHz 発振異常検出機能：CLMA0によるPLL0の発振異常検出時、メインクロックに切り替える機能
PLL1回路	入力クロックソース：PLL0の80分周クロック
	入力周波数：15MHz
	逡倍比：60 逡倍、80 逡倍から選択可能
	PLL1回路出力クロック周波数：900MHz、1200MHz 発振異常検出機能：CLMA1によるPLL1の発振異常検出時、メインクロックに切り替える機能
低速オンチップオシレータ (LOCO)	発振周波数：240kHz
	発振異常検出機能：CLMA2によるLOCOの発振異常検出が可能
JTAG用外部クロック入力 (TCK)	入力周波数：50MHz (max.)

表7.2 クロック発生回路の仕様（内部クロック）

項目	クロックソース	供給先	周波数
CPUクロック (CPUCLK)	PLL0 / PLL1の分周クロックから選択	CPU (Cortex-R4)	150MHz 300MHz 450MHz
システムクロック (ICLK)	PLL0 / PLL1の分周クロックから選択	DMAC、割り込みコントローラ、拡張内蔵SRAM	150MHz
高速周辺モジュールクロック (PCLKA)	PLL0 / PLL1の分周クロックから選択	周辺モジュール	150MHz
低速周辺モジュールクロック (PCLKB)	PLL0 / PLL1の分周クロックから選択	周辺モジュール	75MHz
低速周辺モジュールクロック (PCLKD)	PLL0の分周クロック	周辺モジュール (CRC, DOC, ECM, ELC, TPU, CMT, CMTW, RIIC)	75MHz
低速周辺モジュールクロック (PCLKE)	PLL0の分周クロック	周辺モジュール (WDTA)	~75MHz
低速周辺モジュールクロック (PCLKF)	PLL0の分周クロック	周辺モジュール (12ビットA/Dコンバータ Unit0)	~60MHz
低速周辺モジュールクロック (PCLKG)	PLL0の分周クロック	周辺モジュール (12ビットA/Dコンバータ Unit1)	~60MHz
低速周辺モジュールクロック (PCLKH)	PLL0の分周クロック	周辺モジュール (12ビットA/Dコンバータ Unit0/Unit1のBus-clock)	60MHz
高速シリアルクロック (SERICK)	PLL0の分周クロック	RSPIa, SCIFA	150MHz, 120MHz
CLMA _n サンプリングクロック (CLMAMCLKA) (n = 1, 0)	メインクロックの2分周クロック	CLMA0, CLMA1	12.5MHz
CLMA2サンプリングクロック (CLMAMCLKB)	メインクロックの256分周クロック	CLMA2	97.6kHz
CLMA2モニタクロック (CLMALCLK)	LOCO	CLMA2	240kHz
CLMA0モニタクロック (CLMAPLCLK0)	PLL0の16分周クロック	CLMA0	75MHz
CLMA1モニタクロック (CLMAPLCLK1)	PLL1の16分周クロック	CLMA1	75MHz 56.25MHz (注1)
IWDTクロック (IWDTCLK)	LOCOの2分周クロック	IWDT	120kHz
ECMクロック (ECMCKL)	LOCO	ECM	240kHz
JTAGクロック (JTAGTCK)	TCK	JTAG	~50MHz
トレースI/Fクロック (TCLK)	PLL0 / PLL1の分周クロックから選択	CoreSight TPIU	75MHz

注1. PLL1CR.CPUCKSEL[1:0]ビットで10bを選択した場合、56.25MHzが出力されます。10b以外を選択した場合、75MHzが出力されます。

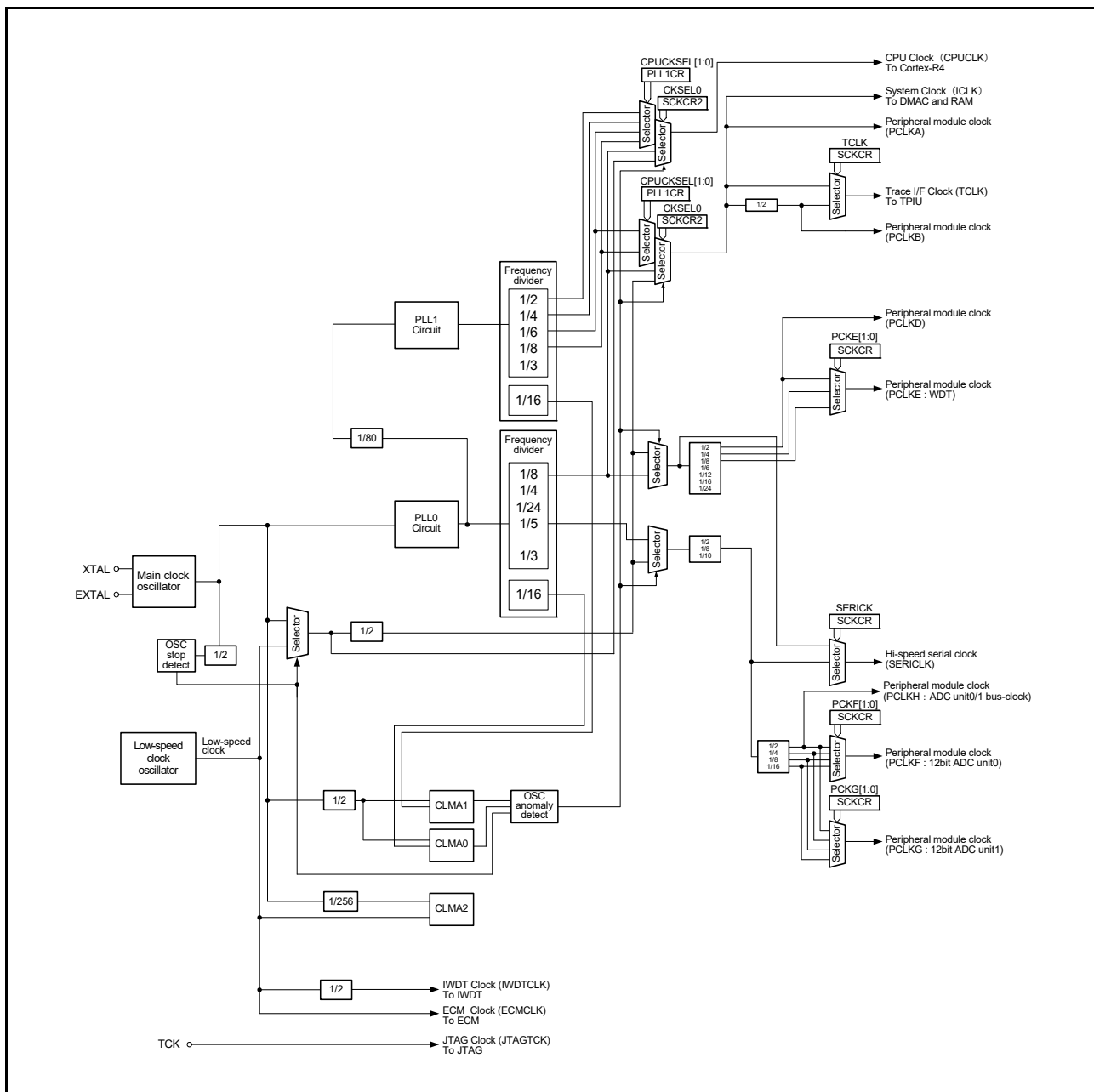


図 7.1 クロック発生回路のブロック図

表 7.3 にクロック発生回路の入出力端子を示します。

表 7.3 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子です。
EXTAL	入力	
TCK	入力	JTAG用のクロック入力です。

7.2 レジスタの説明

クロック発生器関連レジスタはレジスタライトプロテクションの対象レジスタです。レジスタに書き込みを行う場合は、プロテクトレジスタ (PRCR) のビット0の書き込み保護を解除してください。詳細については「11. レジスタライトプロテクション機能」を参照してください。

7.2.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR レジスタはトレース I/F クロック (TCLK)、高速シリアルクロック (SERICK)、周辺モジュールクロック (PCLKE、PCLKF、PCLKG) の周波数を選択します。

アドレス A00B 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TCLK	—	—	—	SERICK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	PCKE[1:0]	PCKF[1:0]	PCKG[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PCKG[1:0]	周辺モジュールクロック G (PCLKG) セレクトビット	低速周辺モジュールクロック PCLKG (12ビット A/D コンバータ unit1) の供給クロックを選択します。 00 : 60MHz 01 : 30MHz 10 : 15MHz 11 : 7.5MHz	R/W
b3-b2	PCKF[1:0]	周辺モジュールクロック F (PCLKF) セレクトビット	低速周辺モジュールクロック PCLKF (12ビット A/D コンバータ unit0) の供給クロックを選択します。 00 : 60MHz 01 : 30MHz 10 : 15MHz 11 : 7.5MHz	R/W
b5-b4	PCKE[1:0]	周辺モジュールクロック E (PCLKE) セレクトビット	低速周辺モジュールクロック PCLKE (WDTA) の供給クロックを選択します。 00 : 75MHz 01 : 37.5MHz 10 : 18.75MHz 上記以外は、設定しないでください。	R/W
b15-b6	—	予約ビット	読むと"0"が読み出されます。 書き込みは"0"としてください。	R/W
b16	SERICK	高速シリアルクロック (SERICK) セレクトビット	高速シリアルクロック SERICK (RSP1a, SCIFA) の供給クロックを選択します。 0 : 150MHz 1 : 120MHz	R/W
b19-b17	—	予約ビット	読むと"0"が読み出されます。 書き込みは"0"としてください。	R/W
b20	TCLK	トレース I/F クロック (TCLK)	トレース I/F クロック TCLK (CoreSight TPIU) の供給クロックを選択します。 0 : 設定禁止 1 : 75MHz	R/W
b31-b21	—	予約ビット	読むと"0"が読み出されます。 書き込みは"0"としてください。	R/W

7.2.2 システムクロックコントロールレジスタ 2 (SCKCR2)

SCKCR2 レジスタは、システムクロックに供給するクロックソース (PLL0、PLL1) の選択を行います。

アドレス A00B 0024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CKSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKSEL0	システムクロックソース 選択ビット	CPUクロック (CPUCLK)、システムクロック (ICLK)、高速周辺モジュールクロック (PCLKA)、低速周辺モジュールクロック (PCLKB) のクロックソースを選択します。 停止しているクロックソースへの切替は禁止です。 0 : PLL0 選択 1 : PLL1 選択	R/W
b31-b1	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

7.2.3 PLL1 コントロールレジスタ (PLL1CR)

PLL1CR レジスタは CPU クロック周波数の設定を行います。

アドレス A00B 0034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUCKSEL [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CPUCKSEL [1:0]	CPU 動作周波数選択ビット	CPU クロック周波数の選択を行います。本ビットにて CPU の動作周波数を選択後、PLL1CR2 レジスタによる PLL1 回路の動作制御を行ってください。CPU 周波数の変更手順は図 7.2 を参考にしてください。 b1 b0 00 : 150MHz 01 : 300MHz 10 : 450MHz	R/W
b31-b2	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

注1. CPU 周波数クロックの電気的特性の範囲内に設定してください。

注2. CPUCKSEL[1:0]によるPLL1の通倍比、分周比の関係を表7.4に示します。

表 7.4 CPUCKSEL[1:0]によるPLL1の通倍比、分周比の関係

CPUCKSEL[1:0]	PLL1 通倍率	分周比	CPU 動作周波数
00	80	1/8	150MHz
01	80	1/4	300MHz
10	60	1/2	450MHz

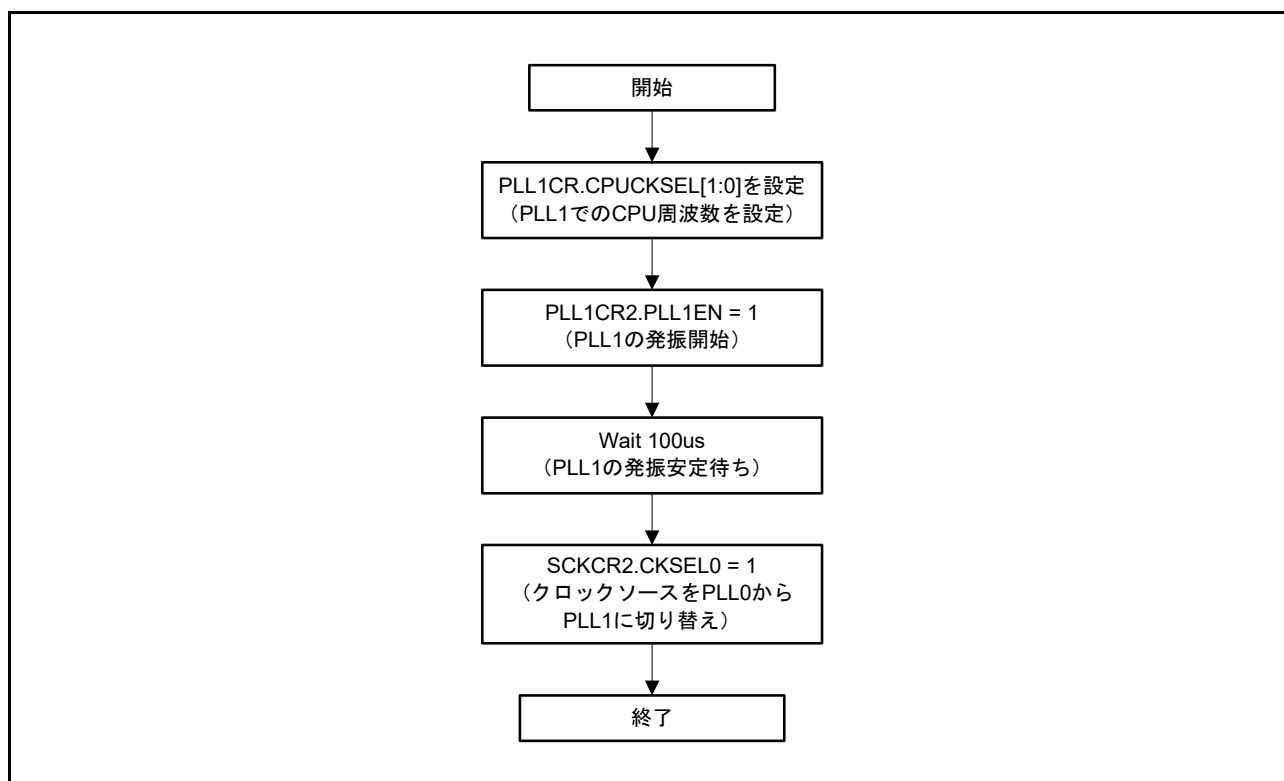


図 7.2 CPU 周波数の変更手順

7.2.4 PLL1 コントロールレジスタ 2 (PLL1CR2)

PLL1CR2 レジスタは PLL1 回路の動作を制御します。

アドレス A00B 0038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1 EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PLL1EN	PLL1動作制御ビット	PLL1の動作/停止を制御します。 0: PLL1停止 1: PLL1動作 PLL1ENビット = "1"とした後、PLL発振安定待ち時間として100usをCPU内のループ処理、またはタイマでカウントしてください。CPU周波数の変更手順は図7.2を参照してください。	R/W
b31-b1	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

注. PLL1CRレジスタでCPUクロック周波数を設定する場合は、PLLを停止 (PLL1ENビット = "0") して行ってください。

7.2.5 低速オンチップオシレータコントロールレジスタ (LOCOCR)

LOCOCR レジスタは低速オンチップオシレータの動作を制御します。

アドレス A00B 0040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	低速オンチップオシレータ (LOCO) の動作/停止を制御します。 0: 動作 1: 停止 LOCOクロックを使用する場合、本ビットでLOCOを動作設定した後、LOCO発振安定時間 (t_{LOCOWT}) が経過した後に、使用してください。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 注1. LOCOを停止した後、再度動作に設定にする場合、LCSTPビットで停止設定した後にLOCO発振安定時間 (t_{LOCOWT}) 以上経過してから、LCSTPビットの動作設定をしてください。
またLOCOの停止設定は、LOCOの発振が安定している状態で行ってください。
- 注2. OSTDCR.OSTDEビットで発振停止検出機能を有効にしているとき、LCSTPビットを“1” (LOCO停止) にする書き込みは禁止です。

7.2.6 発振停止検出コントロールレジスタ (OSTDCR)

OSTDCR レジスタは、メインクロックの発振停止検出機能の制御を行います。

アドレス A00B 004Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OSTDE	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	発振停止検出割り込み (OSTDI) の許可/禁止を設定します。0 : 発振停止割り込みを禁止 1 : 発振停止割り込みを許可	R/W
b6-b1	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b7	OSTDE	発振停止検出機能許可ビット	発振停止検出機能の有効/無効の動作を設定します。 発振停止検出機能を有効に設定すると、低速オンチップオシレータコントロールレジスタ (LOCOCR) のLCSTPビットも“0”となり、低速オンチップオシレータが動作します。(注1) 0 : 発振停止検出機能は無効 1 : 発振停止検出機能は有効	R/W
b31-b8	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

注1. 発振停止検出機能が有効 (OSTDEビット=“1”) のとき、低速オンチップオシレータを停止させることはできません。LOCOCR.LCSTPビットへ“1”を書き込んでも、その書き込みは無視されます。

7.3 メインクロック発振器の入力

メインクロック発振器へクロックを供給するには、発振子を接続します。

7.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図 7.3 に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示にしたがって EXTAL、XTAL 間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表 7.1 のメインクロック発振器の発振子周波数の範囲内としてください。

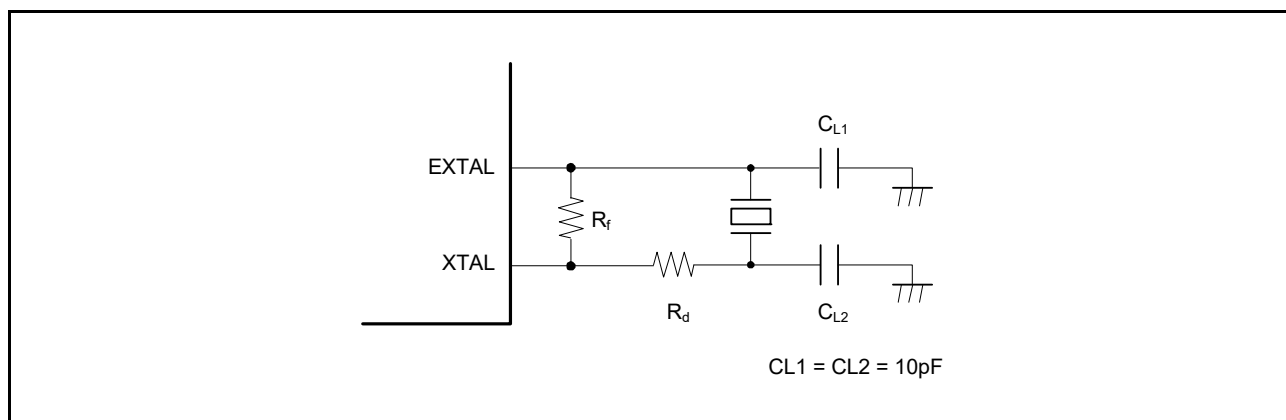


図 7.3 水晶振動子の接続例

表 7.5 ダンピング抵抗 (参考値)

周波数 (MHz)	25
R_d (Ω)	2.2K

水晶振動子の等価回路を図 7.4 に示します。水晶振動子は表 7.6 に示す特性のものを使用してください。

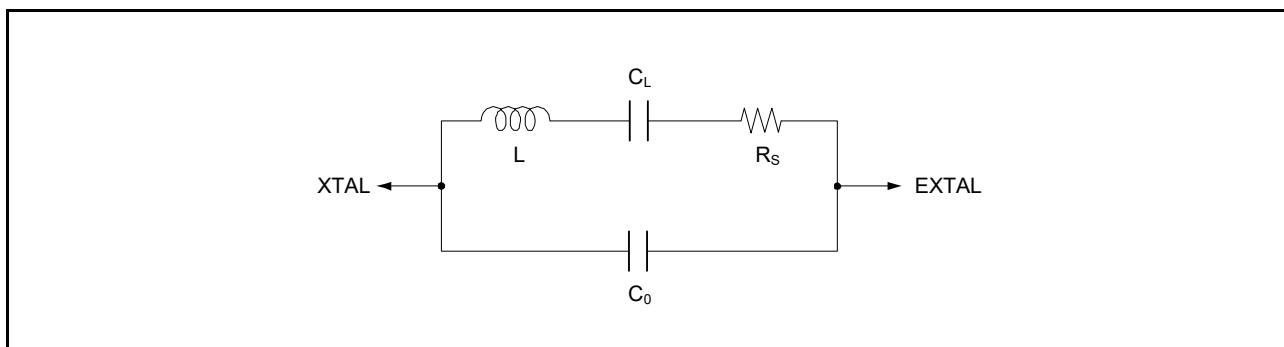


図 7.4 水晶振動子の等価回路

表 7.6 水晶振動子の特性 (参考値)

周波数 (MHz)	25
R _S max (Ω)	100

7.4 発振停止検出機能

7.4.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロック PLL0 クロックおよび PLL1 クロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。

本 LSI では、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合に（「34.7 発振停止検出タイミング」の「表 34.27 発振停止検出回路特性」参照）、メインクロックの発振停止を検出します。

発振停止を検出すると、LOCO クロックに切り替わります。

リセット解除後、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、OSTDCR.OSTDE ビットを“1”にセットしてください。

発振停止検出によって LOCO クロックに切り替わるクロックは、PLL 0 クロック、PLL1 クロックです。

7.4.2 発振停止検出割り込み

発振停止検出割り込み許可ビット（OSTDCR.OSTDIE）が“1”（発振停止検出割り込みを許可）のとき、発振停止検出割り込み（OSTDI）要求が発生します。

また発振停止検出割り込みはエラー割り込みとして ECM（エラーコントロールモジュール）に接続されます。リセット解除後の初期状態では、「割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ECM でエラー割り込み検出時の動作として、マスクブル割り込み、もしくはノンマスクブル割り込みを選択してください。詳細は「29. エラーコントロールモジュール（ECM）」を参照してください。

7.5 PLL 発振異常検出機能

PLL 発振異常検出機能は、クロックモニタ回路（CLMA0, CLMA1）による周波数監視により PLL0、PLL1 の発振異常を検出し、PLL0 クロック、PLL1 クロックの代わりにメインクロックを供給する機能です。CLMA の詳細については、「8. クロックモニタ回路（CLMA）」を参照してください。

7.6 低速オンチップオシレータ発振異常検出

クロックモニタ回路（CLMA2）による低速オンチップオシレータの発振異常検出を行うことができます。CLMA の詳細については、「8. クロックモニタ回路（CLMA）」を参照してください。

7.7 PLL 回路

PLL 回路は、発振器からの周波数を逡倍する機能を持っています。

7.8 内部クロック

内部クロックは、クロックソースとしてメインクロック、LOCO クロック、PLL0 クロック、PLL1 クロック、JTAG 用外部クロックがあり、これらのクロックから以下に示す 8 種類の内部クロックを生成します。

- (1) CPU の動作クロック：CPU クロック (CPUCLK)
- (2) DMAC、割り込みコントローラおよび ECC 付き RAM の動作クロック：システムクロック (ICLK)
- (3) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKA、PCLKB、PCLKD、PCLKE、PCLKF、PCLKG、PCLKH)
- (4) 高速シリアルクロック用の動作クロック：高速シリアルクロック (SERICLK)
- (5) CLMA モジュール用の動作クロック：CLMA クロック (CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、CLMAPLCLK1)
- (6) IWDТ モジュール用の動作クロック：IWDТ 専用クロック (IWDТCLK)
- (7) JTAG モジュール用の動作クロック：JTAG クロック (JTAGTCK)
- (8) トレース I/F 用の動作クロック：トレース I/F クロック (TCLK)

7.8.1 CPU クロック (CPUCLK)

CPU クロック (CPUCLK) は、CPU の動作クロックです。

CPU の動作周波数は、PLL1CR.CPUCKSEL[1:0] ビットにより設定します。

7.8.2 システムクロック (ICLK)

システムクロック (ICLK) は、DMAC、割り込みコントローラ、および ECC 付き内蔵拡張 SRAM の動作クロックです。

ICLK の周波数は固定 (150MHz) です。設定することはできません。

7.8.3 高速周辺モジュールクロック (PCLKA)

高速周辺モジュールクロック (PCLKA) は、高速周辺モジュール用の動作クロックです。

PCLKA の周波数は固定 (150MHz) です。設定することはできません。

7.8.4 低速周辺モジュールクロック (PCLKB)

低速周辺モジュールクロック (PCLKB) は、低速周辺モジュール用の動作クロックです。

PCLKB の周波数は固定 (75MHz) です。設定することはできません。

7.8.5 低速周辺モジュールクロック (PCLKD、PCLKE、PCLKF、PCLKG、PCLKH)

非変調低速周辺モジュールクロック (PCLKD、PCLKE、PCLKF、PCLKG、PCLKH) は、低速周辺モジュール用の動作クロックです。PCLKD の周波数は固定 (75MHz) です。設定することはできません。また、PCLKH の周波数は固定 (60MHz) です。設定することはできません。PCLKE、PCLKF、PCLKG の周波数は、それぞれ SCKCR.PCKE[1:0]、SCKCR.PCKF[1:0]、SCKCR.PCKG[1:0] ビットにより設定します。

7.8.6 高速シリアルクロック (SERICLK)

高速シリアルクロック (SERICLK) は、SCIFA、および RSPIa の動作クロックです。

SERICLK の動作周波数は、SCKCR.SERICK ビットにより設定します。

7.8.7 CLMA クロック (CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、CLMAPLCLK1)

CLMA クロック (CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、CLMAPLCLK1) は、CLMA モジュール用の動作クロックです。

CLMAMCLKA/CLMAMCLKB は、メインクロックを分周したクロックです。

CLMALCLK は、低速オンチップオシレータで内部発振により生成されたクロックです。

CLMAPLCLK0/CLMAPLCLK1 は、PLL0/PLL1 回路で内部発振により生成されたクロックを分周したクロックです。

7.8.8 IWDT クロック (IWDTCLK)

IWDT クロック (IWDTCLK) は、IWDT モジュールの動作クロックです。

IWDTCLK は、低速オンチップオシレータで内部発振により生成されたクロックを2分周したクロックです。

7.8.9 ECM クロック (ECMCLK)

ECM クロック (ECMCLK) は、ECM モジュールのディレイカウンタ動作クロックです。

ECMCLK は、低速オンチップオシレータで内部発振により生成されたクロックです。

7.8.10 JTAG 用クロック

JTAG 用クロック (JTAGTCK) は、JTAG 用の動作クロックです。

JTAGTCK は、JTAG 用外部クロック (TCK) から生成されたクロックです。

7.8.11 トレース I/F クロック (TCLK)

トレース I/F クロック (TCLK) は、Coresight 内のトレース I/F 用の動作クロックです。

TCLK は、PLL0 回路、PLL1 回路で内部発振により生成されたクロックを分周したクロックです。

本クロックを2分周したクロックがオンチップデバッグ用 CPU トレースクロック (TRACECLK) として、LSI 外部に出力されます。

7.9 使用上の注意事項

7.9.1 クロック発生回路に関する使用上の注意事項

- (1) SCKCR レジスタの設定により各モジュールに供給される高速シリアルクロック (SERICK) は周波数変更前後で動作周波数が変わりますので注意してください。
- (2) CPUCLK のクロックソースを PLL0 から PLL1 に変更した後は、PLL1CR.CPUCKSEL で設定できる他の周波数への変更は実施しないでください。
- (3) WDTCOUNT 開始後に、PCLKC のクロック周波数の変更を実施しないでください。またクロック周波数の変更後に WDTCOUNT のカウントを開始する場合は、周波数変更が完了後に WDTCOUNT のカウントを開始するようにしてください。
- (4) RSPiA (ch.0 ~ ch.3)、SCiFA (ch.0 ~ ch.2, ch4) 動作中に、SERICK のクロック周波数の変更を実施しないでください。またクロック周波数の変更後にモジュールストップを解除する場合は、周波数変更が完了した事を確認してからモジュールストップを解除するようにしてください。
- (5) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタを3回以上、ダミーリードしてから次の処理を実行してください。

7.9.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

7.9.3 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 7.5 に示すように発振回路の近くには信号線を通させないでください。電磁誘導によって正常に発振しなくなることがあります。

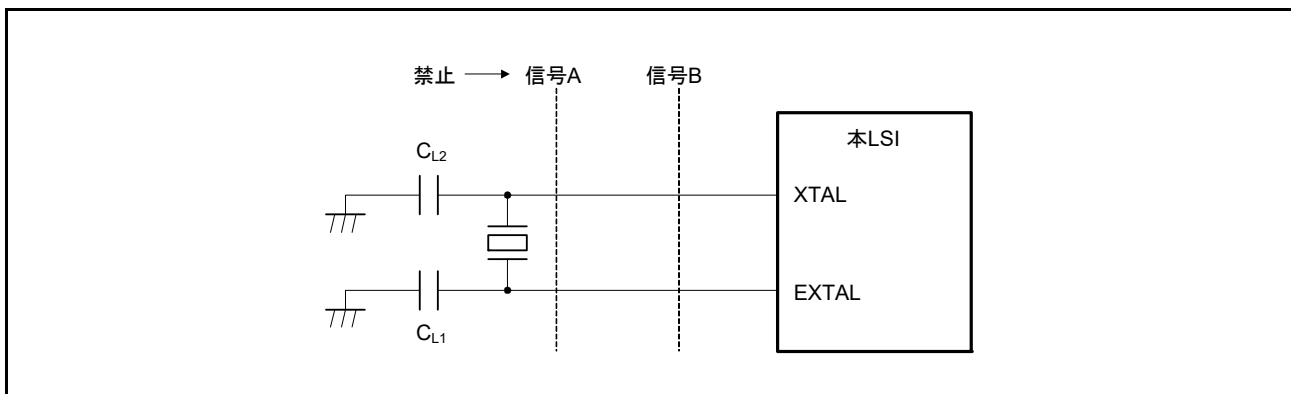


図 7.5 発振回路部のボード設計に関する注意事項

8. クロックモニタ回路 (CLMA)

クロックモニタ回路 (CLMA_n) (n=2-0) は、PLL0 出力、PLL1 出力および低速オンチップオシレータ (LOCO) 出力の周波数異常を検出し、エラー信号を出力します。

8.1 概要

CLMA_n (n=2-0) は PLL0 出力、PLL1 出力、およびオンチップオシレータ (LOCO) 出力の周波数異常を検出することが可能です。サンプリングクロックの 16 周期の間、モニタクロック (PLL0 出力、PLL1 出力、および LOCO 出力の分周クロック) の立ち上がりエッジをカウントし、カウント値をコンペア・レジスタと比較します。

CLMA_n (n=2-0) は異常検出時にエラーコントロールモジュール (ECM) に対してエラー信号を出力します。また PLL0 出力、PLL1 出力の異常検出時には、PLL0 出力、PLL1 出力の代わりにメインクロックを供給するようクロック切り替えを行います。

エラー信号の詳細については「29. エラーコントロールモジュール (ECM)」を参照してください。

表 8.1 CLMA_nの仕様 (n=2-0)

項目	内容
モニタクロック	以下のモニタクロック周波数の異常検出が可能です。 <ul style="list-style-type: none"> PLL0 出カクロックを 16 分周したクロック (CLMAPLCLK0、供給先は CLMA0) : 75MHz PLL1 出カクロックを 16 分周したクロック (CLMAPLCLK1、供給先は CLMA1) : 75MHz / 56.25MHz (注1) 低速オンチップオシレータ (LOCO) 出カクロック (CLMALCLK、供給先は CLMA2) : 240kHz
サンプリングクロック	以下をサンプリングクロックとして、クロック周波数異常をモニタします。 <ul style="list-style-type: none"> メインクロック周波数を 2 分周したクロック (CLMAMCLKA、供給先は CLMA0) : 12.5MHz メインクロック周波数を 2 分周したクロック (CLMAMCLKA、供給先は CLMA1) : 12.5MHz メインクロック周波数を 256 分周したクロック (CLMAMCLKB、供給先は CLMA2) : 97.66kHz
エラー信号出力	CLMA _n が周波数異常を検出すると、エラーコントロールモジュール (ECM) に対して、エラー信号を出力します。 <ul style="list-style-type: none"> CLMA0 発振停止検出エラー信号 CLMA1 発振停止検出エラー信号 CLMA2 発振停止検出エラー信号
異常検出時 クロック切り替え機能	PLL0 出力、PLL1 出力の異常検出時に、PLL0 出力、PLL1 出力の代わりにメインクロックを供給するようクロック切り替えを行います。

注1. PLL1CR レジスタの CPUCKSEL[1:0] で 10b を設定した場合に 56.25MHz が選択されます。10b 以外の設定の場合は、75MHz が選択されます。詳細については「7. クロック発生回路」を参照してください。

図 8.1 に CLMA_n (n=2-0) のブロック図を示します。

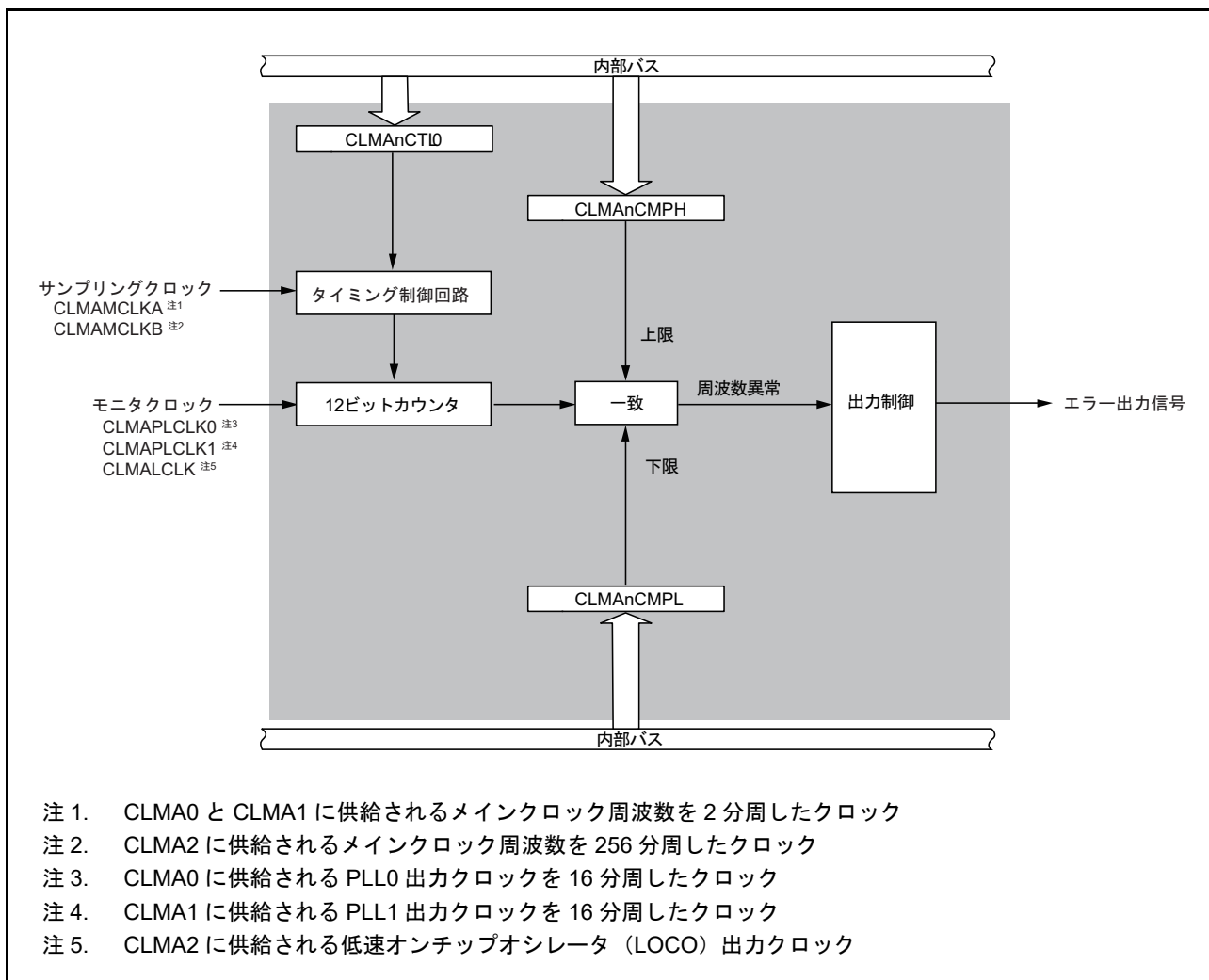


図 8.1 CLMA_n のブロック図 (n = 2-0)

8.2 レジスタの説明

8.2.1 CLMA_n 制御レジスタ 0 (CLMA_nCTL0) (n = 2-0)

CLMA_nCTL0 レジスタは、クロックモニタ回路 CLMA_n の動作を制御するレジスタです。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「8.3.1 CLMA_n の動作 (1) 動作許可」を参照してください。

アドレス CLMA0CTL0 : A009 0000h
 CLMA1CTL0 : A009 0020h
 CLMA2CTL0 : A009 0040h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CLMA _n CLME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CLMA _n CLME	クロックモニタ・イネーブル ビットn	クロックモニタ回路CLMA _n の動作許可／禁止を設定します (n = 2-0) 0 : CLMA _n 動作禁止 1 : CLMA _n 動作許可	R/W
b7-b1	—	予約ビット	読むと“0”が読み出されます。書く場合、“0”としてください。	R(W)

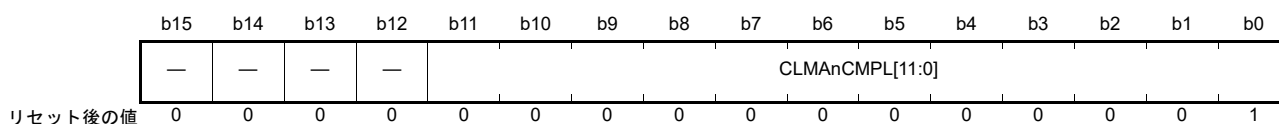
注1. 一度CLMA_nCLMEビット=“1”に設定した場合、リセット以外ではクリアされません。

8.2.2 CLMA_n コンペアレジスタ L (CLMA_nCMPL) (n = 2-0)

CLMA_nCMPL レジスタは、周波数領域比較の下限值を設定するレジスタです。

CLMA_nCMPL レジスタは、CLMA_nCLME ビット = “0” のとき、書き込み可能です。CLMA_nCLME ビット = “1” のときの書き込み動作は無効になります。

CLMA0CMPL : A009 0008h
アドレス CLMA1CMPL : A009 0028h
CLMA2CMPL : A009 0048h



ビット	シンボル	ビット名	機能	R/W
b11-b0	CLMA _n CMPL[11:0]	クロックモニタ・コンペアLビット	周波数領域の下限のしきい値を指定します (注1) <ul style="list-style-type: none"> 詳細は「(2) しきい値 CLMA_nCMPL.CLMA_nCMPL[11:0] と CLMA_nCMPH.CLMA_nCMPH[11:0]の算出方法」を参照してください。 推奨値 : $f_{\text{CLMATMON}}(\text{min}) / f_{\text{CLMATSMPL}}(\text{max}) \times 16 - 1$ f_{CLMATMON}: モニタクロック周波数 $f_{\text{CLMATSMPL}}$: サンプリングクロック周波数 最小値 : 0001h 	R/W
b15-b12	—	予約ビット	読むと“0”が読み出されます。書く場合、“0”としてください。	R/(W)

注1. CLMA_nCMPL レジスタの設定は次の条件を満たすように設定してください。

- $1 \leq \text{CLMA}_n\text{CMPL}$
- $\text{CLMA}_n\text{CMPL} + 3 \leq \text{CLMA}_n\text{CMPH}$

8.2.3 CLMA_n コンペアレジスタ H (CLMA_nCMPH) (n = 2-0)

CLMA_nCMPH レジスタは、周波数領域比較の上限値を設定するレジスタです。

CLMA_nCMPH レジスタは、CLMA_nCLME ビット = “0” のとき、書き込み可能です。CLMA_nCLME ビット = “1” のときの書き込み動作は無効になります。

CLMA0CMPH : A009 000Ch
アドレス CLMA1CMPH : A009 002Ch
CLMA2CMPH : A009 004Ch



ビット	シンボル	ビット名	機能	R/W
b11-b0	CLMA _n CMPH[11:0]	クロックモニタ・コンペアHビット	周波数領域の上限のしきい値を指定します (注1) <ul style="list-style-type: none"> 詳細は「(2) しきい値 CLMA_nCMPL.CLMA_nCMPL[11:0] と CLMA_nCMPH.CLMA_nCMPH[11:0]の算出方法」を参照してください。 推奨値 : $f_{\text{CLMATMON}}(\text{max}) / f_{\text{CLMATSMPL}}(\text{min}) \times 16 + 1$ f_{CLMATMON}: モニタクロック周波数 $f_{\text{CLMATSMPL}}$: サンプリングクロック周波数 最小値 : CLMA_nCMPL + 0003h 	R/W
b15-b12	—	予約ビット	読むと“0”が読み出されます。書く場合、“0”としてください。	R/(W)

注1. CLMA_nCMPH レジスタの設定は次の条件を満たすように設定してください。

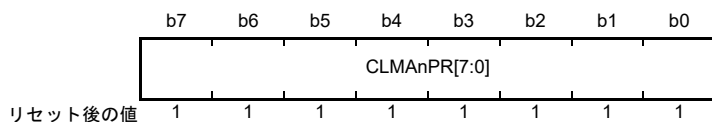
- $1 \leq \text{CLMA}_n\text{CMPL}$
- $\text{CLMA}_n\text{CMPL} + 3 \leq \text{CLMA}_n\text{CMPH}$

8.2.4 CLMA_n コマンドレジスタ (CLMA_nPCMD) (n = 2-0)

CLMA_nPCMD レジスタは、保護されたレジスタへの書き込み制御を行うレジスタです。

詳細は「8.3.1 CLMA_n の動作 (1) 動作許可」を参照してください。

アドレス CLMA0PCMD : A009 0010h
 CLMA1PCMD : A009 0030h
 CLMA2PCMD : A009 0050h



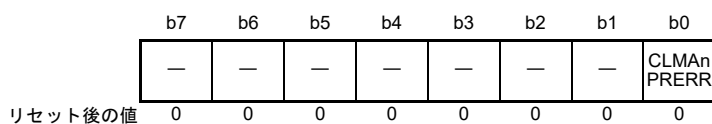
ビット	シンボル	ビット名	機能	R/W
b7-b0	CLMA _n PR[7:0]	CLMA _n プロテクトキーコード	特定の命令シーケンスを書き込みます。	W

8.2.5 CLMA_n プロテクションステータスレジスタ (CLMA_nPS) (n = 2-0)

CLMA_nPS レジスタは、保護されたレジスタに対して、正しく書き込みが行われたかどうかのステータスを示すレジスタです。書き込みが正しく行われなかった場合、プロテクション・エラーが発生し、CLMA_nPS.CLMA_nPRERR ビット = “1” となります。

詳細は「8.3.1 CLMA_n の動作 (1) 動作許可」を参照してください。

アドレス CLMA0PS : A009 0014h
 CLMA1PS : A009 0034h
 CLMA2PS : A009 0054h



ビット	シンボル	ビット名	機能	R/W
b0	CLMA _n PRERR	CLMA _n エラービット	0 : プロテクション・エラーは発生していない 1 : プロテクション・エラーが発生している	R
b7-b1	—	予約ビット	読むと“0”が読み出されます。	R

8.3 動作説明

8.3.1 CLMA_nの動作

(1) 動作許可

クロックモニタ回路 CLMA_n (n=2-0) によるモニタクロック (PLL0 出力の 16 分周、PLL1 出力の 16 分周、LOCO 出力) の監視は、CLMA_nCTL0.CLMA_nCLME ビット="1" によって開始されます。

CLMA_nCTL0.CLMA_nCLME ビット="1" を書き込むには、次の命令シーケンスにしたがってください。

1. A5h を CLMA_nPCMD レジスタに書き込む。
2. 次のシーケンスで CLMA_nCTL0 に書き込む。
 - 目的の設定値 (01h) を書き込む
 - 目的の反転値 (FEh) を書き込む
 - 再度目的の値 (01h) を書き込む
3. CLMA_nCTL0 を読み出します。

CLMA_nCTL0 の値が 01h になっていれば、CLMA_n の動作が有効になっています。

それ以外の場合は、CLMA_n プロテクションステータスレジスタ (CLMA_nPS) の値を確認します。

CLMA_nPS = 01h の場合、命令シーケンスが正しく実行されていません。手順 1 から再度シーケンスを実行し、書き込みを行ってください。

(2) 動作停止

モニタクロックがレジスタ操作により停止した場合は、対応するクロックモニタ回路 CLMA_n も自動的に無効になります。その後、モニタクロックが再度、発振を開始して、安定すると、クロックモニタ回路 CLMA_n は動作を再開します。

8.3.2 異常クロック周波数の検出

(1) 検出方法

- CLMA_nは、サンプリングクロック（メインクロック周波数の分周クロック）の16周期内でモニタクロック（PLL0出力の16分周、PLL1出力の16分周、LOCO出力）の立ち上がりエッジをカウントし、このカウント値と設定したしきい値とを比較します（ $n=2-0$ ）。
 - CLMA_nCMPL.CLMA_nCMPL[11:0]は周波数領域下限のしきい値を指定します。
 - CLMA_nCMPH.CLMA_nCMPH[11:0]は周波数領域上限のしきい値を指定します。
- モニタクロックが停止した場合、または期待する周波数よりも低い場合は、カウント値はCLMA_nCMPL.CLMA_nCMPL[11:0]の設定値を下回ります。
- モニタクロックが期待する周波数よりも高い場合は、カウント値がCLMA_nCMPH.CLMA_nCMPH[11:0]の設定値を上回ります。

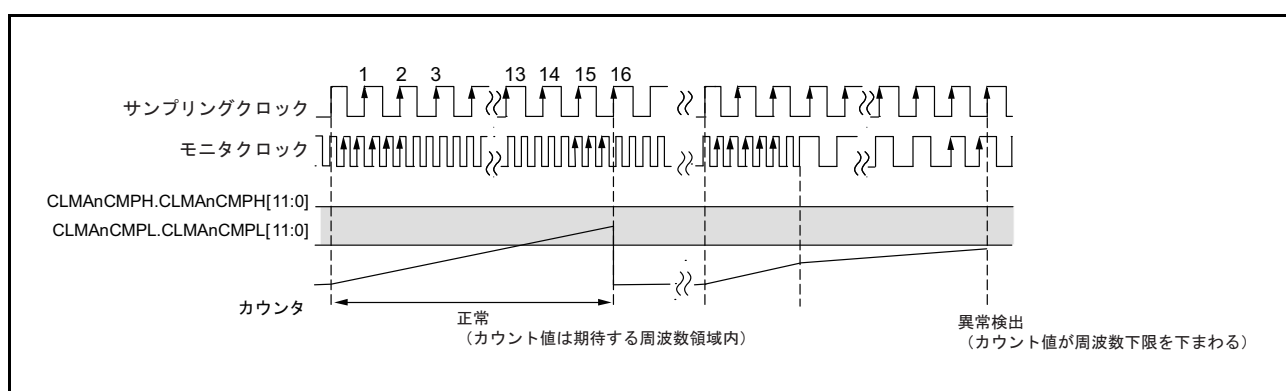


図 8.2 モニタクロックが期待する周波数より低い場合の例

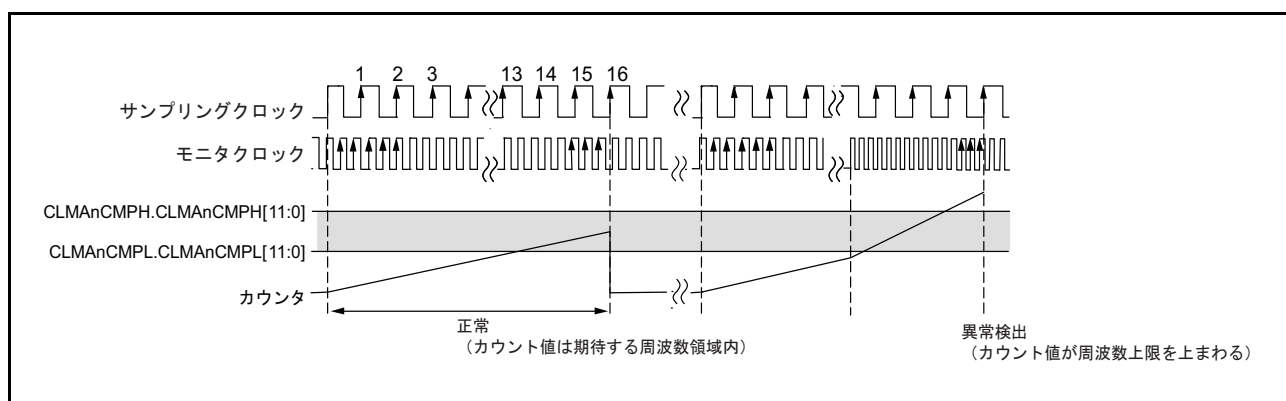


図 8.3 モニタクロックが期待する周波数より高い場合の例

- 注 1. サンプリング周期内でモニタクロック周波数が変化し、結果的に有効なカウント値に収まる場合は異常検出されません。モニタクロックの異常検出は1回のサンプリング周期（サンプリングクロックの16周期）の後に検出されます。

(2) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法

コンペアレジスタ CLMAnCMPL と CLMAnCMPH には、サンプリングクロック（メインクロック周波数の分周クロック）の 16 周期内で正常と想定されるモニタクロックのサイクル数（立ち上がりエッジ数）の最小値と最大値を設定します。

サンプリングクロック周波数を $f_{\text{CLMATSMPL}}$ 、モニタクロック周波数を f_{CLMATMON} 、またサンプリングクロック 16 周期内で期待される、モニタクロックのサイクル数（立ち上がりエッジ数）を N で表します。

$$\frac{16}{f_{\text{CLMATSMPL}}} = \frac{N}{f_{\text{CLMATMON}}}$$

$$N = \frac{f_{\text{CLMATMON}}}{f_{\text{CLMATSMPL}}} \times 16$$

モニタクロックとサンプリングクロックの許容周波数偏差を考慮して、次の式でしきい値を計算します。

$$\begin{aligned} \text{下限しきい値} &= N_{\min} \\ &= \frac{f_{\text{CLMATMON}(\min)}}{f_{\text{CLMATSMPL}(\max)}} \times 16 - 1 \end{aligned}$$

$$\begin{aligned} \text{上限しきい値} &= N_{\max} \\ &= \frac{f_{\text{CLMATMON}(\max)}}{f_{\text{CLMATSMPL}(\min)}} \times 16 + 1 \end{aligned}$$

注. しきい値は必ず次の範囲で設定してください。

$$\text{CLMAnCMPL} \geq 0001_{\text{H}}$$

$$\text{CLMAnCMPH} \geq \text{CLMAnCMPL} + 0003_{\text{H}}$$

例 CLMA0 の場合

例えば、サンプリングクロックがメインクロック周波数の2分周 $f_{\text{CLMATSMPL}} = 12.5\text{MHz}$ ($\pm 5\%$)、またモニタクロックが PLL0 出力の16分周 $f_{\text{CLMATMON}} = 75\text{MHz}$ ($\pm 5\%$) の場合、推奨されるしきい値は次のようになります。

$$\begin{aligned} N_{\min} &= f_{\text{CLMATMON}(\min)} / f_{\text{CLMATSMPL}(\max)} &= 71.25 / 13.125 \times 16 - 1 \\ & &= 85.86 \\ \text{CLMA}_{\text{n}}\text{CMPL} &= 86 = 0056\text{h} \end{aligned}$$

$$\begin{aligned} N_{\max} &= f_{\text{CLMATMON}(\max)} / f_{\text{CLMATSMPL}(\min)} &= 78.75 / 11.875 \times 16 + 1 \\ & &= 107.11 \\ \text{CLMA}_{\text{n}}\text{CMPH} &= 107 = 006\text{Bh} \end{aligned}$$

8.3.3 異常クロック周波数の検出

モニタクロック周波数 (PLL0 出力の16分周、PLL1 出力の16分周、LOCO 出力) がしきい値の上限よりも高い、もしくは下限よりも低い場合、エラーコントロールモジュール (ECM) に対して、それぞれ以下のエラー信号を出力します。

- CLMA0 発振停止検出エラー信号
- CLMA1 発振停止検出エラー信号
- CLMA2 発振停止検出エラー信号

エラー信号の詳細については「29. エラーコントロールモジュール (ECM)」を参照してください。

8.4 CLMA_n 使用上の注意事項

CLMA_n が異常を検出したクロックは使用しないでください。使用した場合、デバイスの動作は保証されません。

9. 消費電力低減機能

9.1 概要

本 LSI は、消費電力低減機能として Cortex-R4 のスタンバイ機能、周辺モジュールごとに機能を停止するモジュールストップ機能があります。

表 9.1 に消費電力低減機能の仕様を、表 9.2 に各周辺モジュールの停止、動作の方法を示します。

表 9.1 消費電力低減機能の仕様

項目	内容
低消費電力状態	スタンバイモード (Cortex-R4)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能

表 9.2 各周辺モジュールの動作停止、解除方法

モジュール	動作停止、解除方法	初期状態 (注1)
Cortex-R4	停止条件：Wait For Interrupt (WFI) 命令の実行 解除条件：割り込み	動作
内部バス	常に動作	動作
密結合メモリ (ATCM, BTCM)	アクセス時のみ動作	アクセス時のみ動作
拡張内蔵SRAM (ECC付き)	アクセス時のみ動作	アクセス時のみ動作
割り込みコントローラ	常に動作	動作
エラーコントロールモジュール (ECM)	常に動作	動作
16ビットタイマパルスユニット (TPUa)	制御レジスタ設定による停止、解除	停止
コンペアマッチタイマ (CMT)	制御レジスタ設定による停止、解除	停止
コンペアマッチタイマW (CMTW)	制御レジスタ設定による停止、解除	停止
シリアルペリフェラルインタフェース (RSPIa)	制御レジスタ設定による停止、解除	停止
FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	制御レジスタ設定による停止、解除	停止
I ² Cバスインタフェース (RIICa)	制御レジスタ設定による停止、解除	停止
クロックモニタ回路 (CLMA)	制御レジスタ設定による停止、解除	停止
CRC演算器 (CRC)	制御レジスタ設定による停止、解除	停止
データ演算回路 (DOC)	制御レジスタ設定による停止、解除	停止
SPIマルチI/Oバスコントローラ (SPIBSC)	制御レジスタ設定による停止、解除	停止 (注2)
イベントリンクコントローラ (ELC)	制御レジスタ設定による停止、解除	停止
12ビットA/Dコンバータ (S12ADCa)	制御レジスタ設定による停止、解除	停止
温度センサ	制御レジスタ設定による停止、解除	停止
ダイレクトメモリアクセスコントローラ (DMAC)	制御レジスタ設定による停止、解除	動作
マネージメントデータインプット/アウトプットインタフェース (MDIOM / MDIO)	制御レジスタ設定による停止、解除	停止
I/Oポート	常に動作	動作
Coresight	制御レジスタ設定による停止、解除	動作
ウォッチドッグタイマ (WDTA)	常に動作	動作
独立ウォッチドッグタイマ (IWDTa)	常に動作	動作

注1. RES#端子リセット、エラーコントロールモジュール (ECM) リセットおよびソフトウェアリセットによって各モジュールは初期状態になります。

注2. SPIマルチI/Oバスコントローラ (SPIBSC) は、ローダ用パラメータの設定によってブート処理後の状態が異なります。詳細については「3. 動作モード」を参照してください。

9.2 レジスタの説明

各レジスタはレジスタライトプロテクション機能の対象です。レジスタに書き込みを行う場合は、プロテクトレジスタ (PRCR) のビット1の書き込み保護を解除してください。詳細については「11. レジスタライトプロテクション機能」を参照してください。

9.2.1 モジュールストップコントロールレジスタ A (MSTPCRA)

MSTPCRA レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1 モジュールストップ機能」を参照してください。

アドレス A00B 0300h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MSTP CRA8	—	—	—	MSTP CRA4	MSTP CRA3	—	MSTP CRA1	MSTP CRA0
リセット後の値	0	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPCRA0	CMTW ユニット1 モジュールストップ設定ビット	対象モジュール：CMTW ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPCRA1	CMTW ユニット0 モジュールストップ設定ビット	対象モジュール：CMTW ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b3	MSTPCRA3	CMT ユニット1 モジュールストップ設定ビット	対象モジュール：CMT ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	MSTPCRA4	CMT ユニット0 モジュールストップ設定ビット	対象モジュール：CMT ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7-b5	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b8	MSTPCRA8	TPUa ユニット0 モジュールストップ設定ビット	対象モジュール：TPUa ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b10	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b11	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b31-b12	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

9.2.2 モジュールストップコントロールレジスタ B (MSTPCRB)

MSTPCRB レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1 モジュールストップ機能」を参照してください。

アドレス A00B 0304h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MSTPC RB13	MSTPC RB12	—	—	MSTPC RB9	MSTPC RB8	MSTPC RB7	—	MSTPC RB5	—	MSTPC RB3	MSTPC RB2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b1	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b2	MSTPCRB2	RIICa チャンネル1 モジュールストップ設定ビット	対象モジュール：RIICa チャンネル1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPCRB3	RIICa チャンネル0 モジュールストップ設定ビット	対象モジュール：RIICa チャンネル0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b5	MSTPCRB5	SCIFA チャンネル4 モジュールストップ設定ビット	対象モジュール：SCIFA チャンネル4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b7	MSTPCRB7	SCIFA チャンネル2 モジュールストップ設定ビット	対象モジュール：SCIFA チャンネル2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8	MSTPCRB8	SCIFA チャンネル1 モジュールストップ設定ビット	対象モジュール：SCIFA チャンネル1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPCRB9	SCIFA チャンネル0 モジュールストップ設定ビット	対象モジュール：SCIFA チャンネル0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b11-b10	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b12	MSTPCRB12	RSPIa チャンネル1 モジュールストップ設定ビット	対象モジュール：RSPIa チャンネル1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13	MSTPCRB13	RSPIa チャンネル0 モジュールストップ設定ビット	対象モジュール：RSPIa チャンネル0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19-b14	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b31-b20	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

9.2.3 モジュールストップコントロールレジスタ C (MSTPCRC)

MSTPCRC レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1 モジュールストップ機能」を参照してください。

アドレス A00B 0308h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MSTP CRC14	MSTP CRC13	MSTP CRC12	MSTP CRC11	MSTP CRC10	MSTP CRC9	—	—	MSTP CRC6	MSTP CRC5	MSTP CRC4	MSTP CRC3	—	—	—
リセット後の値	0	1	1	1	1	1	1 (注1)	1	0	1	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b2-b1	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b3	MSTPCRC3	温度センサ モジュールストップ設定ビット	対象モジュール：温度センサ 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	MSTPCRC4	ADC ユニット1 モジュールストップ設定ビット	対象モジュール：ADC ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPCRC5	ADC ユニット0 モジュールストップ設定ビット	対象モジュール：ADC ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPCRC6	ELC モジュールストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b8	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b9	MSTPCRC9	SPIBSC モジュールストップ設定ビット	対象モジュール：SPIBSC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPCRC10	DOC モジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b11	MSTPCRC11	CRC モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12	MSTPCRC12	CLMA ユニット2 モジュールストップ設定ビット	対象モジュール：CLMA ユニット2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13	MSTPCRC13	CLMA ユニット1 モジュールストップ設定ビット	対象モジュール：CLMA ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPCRC14	CLMA ユニット0 モジュールストップ設定ビット	対象モジュール：CLMA ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b15	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

注1. SPIマルチI/Oバスコントローラ (SPIBSC) は、ローダ用パラメータの設定によってブート処理後の状態が異なります。詳細については「3. 動作モード」を参照してください。

9.2.4 モジュールストップコントロールレジスタ E (MSTPCRE)

MSTPCRE レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1 モジュールストップ機能」を参照してください。

アドレス A00B 0310h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	MSTP CRE5	MSTP CRE4	—	—	—	MSTPC RE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPCRE0 (注1)	MDIO モジュールストップ設定ビット	対象モジュール：MDIOM / MDIO 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3-b1	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b4	MSTPCRE4	DMAC ユニット1 モジュールストップ設定ビット	対象モジュール：DMAC ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPCRE5	DMAC ユニット0 モジュールストップ設定ビット	対象モジュール：DMAC ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b6	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

注1. 本ビットはMDIOコンフィグレーションライブラリの処理で、モジュールストップ解除が行われるため、ソフトウェアで解除する必要はありません。

9.2.5 モジュールストップコントロールレジスタ F (MSTPCRFF)

MSTPCRFF レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1 モジュールストップ機能」を参照してください。

アドレス A00B 0314h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPCRFF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPCRFF0	Coresight モジュールストップ設定ビット	対象モジュール : Coresight 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b31-b1	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

9.3 動作説明

9.3.1 モジュールストップ機能

モジュールストップ機能は内蔵周辺機能のモジュール単位で動作の停止設定をすることができます。

MSTPCRA ~ MSTPCRC, MSTPCRE, MSTPCRF レジスタの対応する MSTPmi ビット (m = A-C, E, F, i = 31-0) を“1”にセットすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。

対応する MSTPmi ビット (m = A-C, E, F, i = 31-0) を“0”にクリアすることによって、モジュールストップ状態は解除されます。

表 9.3 に示す周辺モジュールのモジュールストップ状態を解除する場合は、以下の手順でモジュールストップ状態を解除してください。表 9.3 に記載のない周辺モジュールは下記の手順は不要です。ただし各周辺機能の章に記載される初期化手順にしたがって設定をしてください。

手順：

- (1) モジュールストップ状態を解除するため、モジュールストップコントロールレジスタ MSTPCRm (m = A-C, E) の対応ビットを“0”にクリアした直後に、当該 MSTPCRm レジスタを一度ダミーリードしてください。
- (2) モジュールストップ状態を解除した対象周辺機能の任意のレジスタに対し、一度ダミーリードしてください。その後、対象周辺機能の各レジスタへアクセスが可能です。

備考：MPU による周辺 I/O レジスタ領域属性の設定は、ストロングリオーダまたはデバイスを前提としています。

記述例：

```
volatile unsigned long dummy;           // 変数の最適化防止のためvolatileを宣言

SYSTEM.MSTPCRA.BIT.MSTPCRA0 = 0;      // CMTWユニット1のモジュールストップ解除
dummy = SYSTEM.MSTPCRA.BIT.MSTPCRA0;  // 手順(1) MSTPCRm レジスタのダミーリード

dummy = CMTW1.CMWIOR.WORD;            // 手順(2) CMTWユニット1の任意レジスタをダミーリード
CMTW1.CMWIOR.WORD = 0x81;             // CMTWユニット1の最初の設定（設定値は例）
```

リセット解除後のモジュールの初期状態については、「表 9.2 各周辺モジュールの動作停止、解除方法」を参照してください。

注． モジュールストップ設定直後に、そのモジュールの制御レジスタに書き込みを行なった場合、書きこめる場合があります。

表9.3 モジュールストップ解除手順の必要な周辺機能 (1 / 2)

周辺機能	対応するモジュールストップコントロールレジスタ
CMTWユニット1	MSTPCRAレジスタ MSTPCRA0ビット
CMTWユニット0	MSTPCRAレジスタ MSTPCRA1ビット
CMTユニット1	MSTPCRAレジスタ MSTPCRA3ビット
CMTユニット0	MSTPCRAレジスタ MSTPCRA4ビット
TPUaユニット0	MSTPCRAレジスタ MSTPCRA8ビット
RIICa チャンネル1	MSTPCRBレジスタ MSTPCRB2ビット
RIICa チャンネル0	MSTPCRBレジスタ MSTPCRB3ビット
SCIFA チャンネル4	MSTPCRBレジスタ MSTPCRB5ビット

表9.3 モジュールストップ解除手順の必要な周辺機能 (2 / 2)

周辺機能	対応するモジュールストップコントロールレジスタ
SCIFA チャンネル2	MSTPCRB レジスタ MSTPCRB7ビット
SCIFA チャンネル1	MSTPCRB レジスタ MSTPCRB8ビット
SCIFA チャンネル0	MSTPCRB レジスタ MSTPCRB9ビット
RSPIa チャンネル1	MSTPCRB レジスタ MSTPCRB12ビット
RSPIa チャンネル0	MSTPCRB レジスタ MSTPCRB13ビット
温度センサ	MSTPCRC レジスタ MSTPCRC3ビット
ADC ユニット1	MSTPCRC レジスタ MSTPCRC4ビット
ADC ユニット0	MSTPCRC レジスタ MSTPCRC5ビット
ELC	MSTPCRC レジスタ MSTPCRC6ビット
SPIBSC	MSTPCRC レジスタ MSTPCRC9ビット
DOC	MSTPCRC レジスタ MSTPCRC10ビット
CRC	MSTPCRC レジスタ MSTPCRC11ビット
CLMA ユニット2	MSTPCRC レジスタ MSTPCRC12ビット
CLMA ユニット1	MSTPCRC レジスタ MSTPCRC13ビット
CLMA ユニット0	MSTPCRC レジスタ MSTPCRC14ビット
MDIOM / MDIO (注1)	MSTPCRE レジスタ MSTPCRE0ビット
DMAC ユニット1	MSTPCRE レジスタ MSTPCRE4ビット
DMAC ユニット0	MSTPCRE レジスタ MSTPCRE5ビット

注1. 本ビットはMDIOコンフィグレーションライブラリの処理で、モジュールストップ解除が行われるため、ソフトウェアで解除する必要はありません。

9.3.2 Cortex-R4 のスタンバイモード

9.3.2.1 Cortex-R4 のスタンバイモードへの遷移

Cortex-R4 のスタンバイモードへの遷移については WFI 命令の実行により行われます。スタンバイモードへの遷移により Cortex-R4 は動作を停止し、電力を低減することが可能です。詳細については Arm 社提供のテクニカルリファレンスマニュアルを参照してください。

9.3.2.2 Cortex-R4 のスタンバイモードの解除

Cortex-R4 のスタンバイモードの解除は、割り込み、RES# 端子リセット、ECM リセットおよびソフトウェアリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、割り込みが発生した CPU のスタンバイモードまたはスリープモードが解除され、割り込み例外処理を開始します。ノンマスカブル割り込み、および以下の条件を満たすマスカブル割り込みによって解除されます。

- (1) 割り込みイネーブル・レジスタにより該当する割り込み要求が許可されている
- (2) DMAC 要因選択レジスタによって、DMAC への割り付けがされていない

- リセットによる解除

Cortex-R4 は RES# 端子リセット、ECM リセットおよびソフトウェアリセット解除後に、リセット例外処理を開始します。リセットの詳細については「6. リセット」を参照してください。

9.4 使用上の注意事項

9.4.1 I/O ポートの状態

I/Oの消費電力を低減させるためには、I/Oのコントロールによる端子処理が必要です。詳細は「16. I/Oポート」を参照してください。

9.4.2 DMACのモジュールストップ

DMAC動作中にモジュールストップ設定を行うことは禁止です。モジュールストップ設定を行う前に必ずDMACが動作停止していることを確認してください。

詳細は、「14. DMAコントローラ (DMACAa)」を参照してください。

9.4.3 モジュールストップ中の内蔵周辺モジュールの割り込み

モジュールストップ状態の周辺モジュールは割り込みの動作ができません。このためモジュールの割り込み処理中、またはDMACによるDMA転送中などに当該モジュールのモジュールストップ設定を行うと、CPUの割り込み要因またはDMACの起動要因のクリアが行えません。モジュールストップ設定の前に、該当する割り込みをディスエーブルにするなどした後に設定を行ってください。

9.4.4 ライトプロテクション機能

モジュールストップコントロールレジスタ (MSTPCRA ~ MSTPCRC, MSTPCRE, MSTPCRF) はレジスタライトプロテクションの対象レジスタです。MSTPCRA ~ MSTPCRC, MSTPCRE, MSTPCRFレジスタに書き込みを行う場合は、ライトプロテクトレジスタ (PRCR) のビット1の書き込み保護を解除してください。詳細については「11. レジスタライトプロテクション機能」を参照してください。

10. デバッグインタフェース

本 LSI に内蔵のデバッグインタフェースは、Cortex-R4 を CoreSight で統合したアーキテクチャを採用しています。プログラムのダウンロード/ラン/ブレークといったデバッグ機能のほか、プログラムの実行履歴を出力するトレース機能をサポートしています。

10.1 概要

デバッグ用インタフェースとして JTAG インタフェースおよび SWD インタフェース、トレース用インタフェースとして、トレースポートインタフェースおよび SWV インタフェースをサポートしています。

本 LSI は CoreSight デバッグ用 TAP コントローラを内蔵しています。

表 10.1 に CoreSight の仕様、図 10.1 に CoreSight のブロック図を示します。また、CoreSight のアドレスマップを表 10.4、表 10.5 に示します。CoreSight の詳細は、Arm 社のテクニカルリファレンスマニュアルを参照してください。

表 10.1 CoreSight の仕様

項目	内容
デバッグ機能	<ul style="list-style-type: none">• JTAG インタフェース• SWD (Serial Wire Debug) インタフェース
トレース機能	<ul style="list-style-type: none">• トレースポートインタフェース 8bit × 75Mbps (37.5MHz、DDR) のトレースデータ端子出力 Embedded Trace Buffer (ETB) 4KB• SWV (Serial Wire Viewer) インタフェース

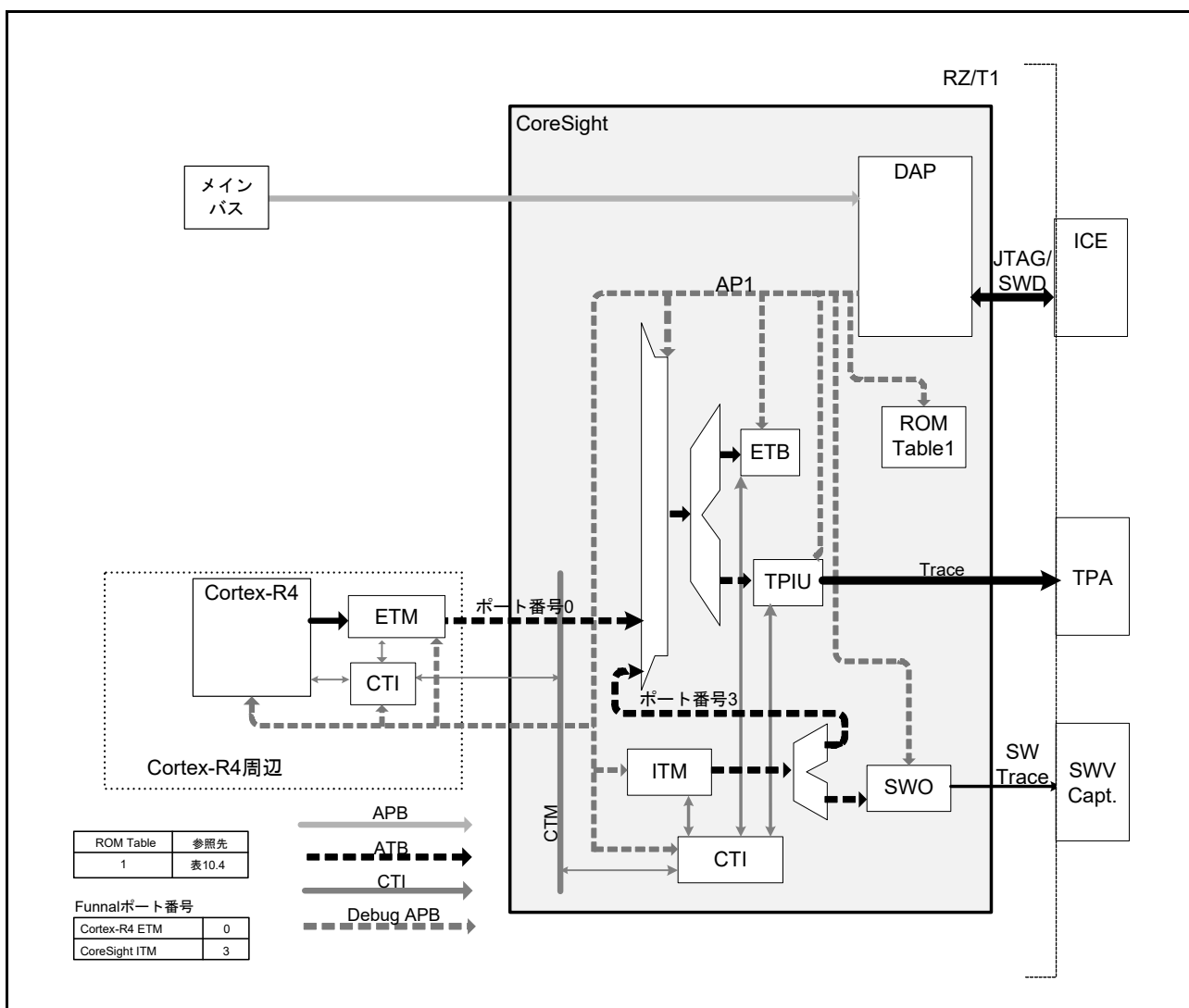


図 10.1 CoreSight のブロック図

表 10.2 CTI Trigger Input and Output (CoreSight)

CTI 入力端子	Source device	signal	CTI 出力端子	Destination device	signal
CTITRIGIN[0]	—	—	CTITRIGOUT[0]	ETB	FLUSHIN
CTITRIGIN[1]	—	—	CTITRIGOUT[1]	ETB	TRIGIN
CTITRIGIN[2]	ETB	FULL	CTITRIGOUT[2]	TPIU	FLUSHIN
CTITRIGIN[3]	ETB	ACQCOMP	CTITRIGOUT[3]	TPIU	TRIGIN
CTITRIGIN[4]	ITM	TRIGOUT	CTITRIGOUT[4]	—	—
CTITRIGIN[5]	—	—	CTITRIGOUT[5]	—	—
CTITRIGIN[6]	—	—	CTITRIGOUT[6]	—	—
CTITRIGIN[7]	—	—	CTITRIGOUT[7]	—	—

表 10.3 CTI Trigger Input and Output (Cortex-R4)

CTI 入力端子	Source device	signal	CTI 出力端子	Destination device	signal
CTITRIGIN[0]	Cortex-R4	DBGTRIGGER	CTITRIGOUT[0]	Cortex-R4	EDBGRQ
CTITRIGIN[1]	Cortex-R4	nPMUIRQ	CTITRIGOUT[1]	ETM-R4	EXTIN[0]
CTITRIGIN[2]	ETM-R4	EXOUT[0]	CTITRIGOUT[2]	ETM-R4	EXTIN[1]
CTITRIGIN[3]	ETM-R4	EXOUT[1]	CTITRIGOUT[3]	VIC	TRIGINT
CTITRIGIN[4]	Cortex-R4	COMMRX	CTITRIGOUT[4]	—	—
CTITRIGIN[5]	Cortex-R4	COMMTX	CTITRIGOUT[5]	—	—
CTITRIGIN[6]	ETM-R4	TRIGGER	CTITRIGOUT[6]	—	—
CTITRIGIN[7]	—	—	CTITRIGOUT[7]	Cortex-R4	DBGRESTART

表 10.4 CoreSight アドレスマップ (Debug-APB)

Cortex-R4 CPU View	Debugger View (注1) (AP = 1)	module
H'E8000000 ~ H'E8000FFF	H'00000000 ~ H'00000FFF	CoreSight / DAP ROM
H'E8001000 ~ H'E8001FFF	H'00001000 ~ H'00001FFF	CoreSight / ETB
H'E8002000 ~ H'E8002FFF	H'00002000 ~ H'00002FFF	CoreSight / CTI
H'E8003000 ~ H'E8003FFF	H'00003000 ~ H'00003FFF	CoreSight / TPIU
H'E8004000 ~ H'E8004FFF	H'00004000 ~ H'00004FFF	CoreSight / Funnel
H'E8005000 ~ H'E8005FFF	H'00005000 ~ H'00005FFF	CoreSight / ITM
H'E8006000 ~ H'E8006FFF	H'00006000 ~ H'00006FFF	CoreSight / SWO
H'E8007000 ~ H'E8007FFF	H'00007000 ~ H'00007FFF	—
H'E8008000 ~ H'E8008FFF	H'00008000 ~ H'00008FFF	Cortex-R4 / CPU
H'E8009000 ~ H'E8009FFF	H'00009000 ~ H'00009FFF	Cortex-R4 / CTI
H'E800A000 ~ H'E800AFFF	H'0000A000 ~ H'0000AFFF	Cortex-R4 / ETM-R4
H'E800B000 ~ H'E800BFFF	H'0000B000 ~ H'0000BFFF	—
H'E800C000 ~ H'E800CFFF	H'0000C000 ~ H'0000CFFF	—
H'E800D000 ~ H'E800DFFF	H'0000D000 ~ H'0000DFFF	—
H'E800E000 ~ H'E800EFFF	H'0000E000 ~ H'0000EFFF	—
H'E800F000 ~ H'E800FFFF	H'0000F000 ~ H'0000FFFF	—

注1. A31(アドレスの最上位ビット)を1にすると、LockAccessをはずさずにアクセスできます。

表 10.5 CoreSight アドレスマップ

Cortex-R4 CPU View	module
E800 0000h ~ E800 0FFFh	CoreSight / DAP ROM
E800 1000h ~ E800 1FFFh	CoreSight / ETB
E800 2000h ~ E800 2FFFh	CoreSight / CTI
E800 3000h ~ E800 3FFFh	CoreSight / TPIU
E800 4000h ~ E800 4FFFh	CoreSight / Funnel
E800 5000h ~ E800 5FFFh	CoreSight / ITM
E800 6000h ~ E800 6FFFh	CoreSight / SWO
E800 7000h ~ E800 7FFFh	—
E800 8000h ~ E800 8FFFh	Cortex-R4 / CPU
E800 9000h ~ E800 9FFFh	Cortex-R4 / CTI
E800 A000h ~ E800 AFFFh	Cortex-R4 / ETM-R4
E800 B000h ~ E800 BFFFh	—
E800 C000h ~ E800 CFFFh	—
E800 D000h ~ E800 DFFFh	—
E800 E000h ~ E800 EFFFh	—
E800 F000h ~ E800 FFFFh	—

表 10.6 にデバッグインタフェースの入出力端子を示します。

表 10.6 デバッグインタフェースの入出力端子

名称	端子名	入出力	機能
テストクロック	TCK	入力	データはこのクロックに同期してデータ入力端子 (TDI) から本モジュールにシリアルに供給され、データ出力端子 (TDO) から出力されます。 SWDモードの際は、SWDCLK端子として機能します。
テストモードセレクト	TMS	入力/入出力	TCKに同期してこの信号を変化させることによってTAP (Test Access Port) 制御回路の状態が決まります。プロトコルは、JTAG規格 (IEEE Std.1149.1) に対応しています。 SWDモードの際は、SWDIO端子として機能します。
テストリセット	TRST# (注1)	入力	TCKとは非同期で入力を受け付けLowでTAP (Test Access Port) をリセットします。TRST#端子に加え、RES#端子もLowの場合は、TAPに加えてデバッグ回路部もリセットされます。
テストデータ入力	TDI	入力	TCKに同期してこの端子を変化させることによって本モジュールにデータを送ります。 本端子は汎用ポートとしても使用可能です。初期機能はTDIです。
テストデータ出力	TDO	出力	TCKに同期してこの端子を読み出すことによって本モジュールからデータを読み取ります。 SWVの出力端子として選択することができます。 本端子は汎用ポートとしても使用可能です。初期機能はTDOです
トレースクロック出力	TRACECLK	出力	トレースデータ同期用のクロック出力端子です。
トレースイネーブル出力	TRACECTL	出力	トレース制御用イネーブル信号出力端子です。 SWVの出力端子として選択することができます。
トレースデータ出力	TRACEDATA7 ~ TRACEDATA0	出力	トレースデータ出力端子です。 TRACEDATA0をSWVの出力端子として選択することができます。

注1. エミュレータを使用可能なボードを設計する場合は、電源投入時にRES#端子と重複する期間TRST#端子をLowにし、かつTRST#端子単独でも制御可能となるようにしてください。未使用時は、Lowに固定するか、RES#端子と同じ信号が入力されるように接続してください。詳細については「10.3.5 リセット構成とエミュレータとの接続方法」を参照してください。

10.2 レジスタの説明

10.2.1 デバッグインタフェース制御レジスタ (DBGIFCNT)

DBGIFCNT レジスタはデバッグインタフェースで用いる端子制御を行うレジスタです。

アドレス A00B 0A00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWVSEL[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SWVSEL[1:0]	SWV出力選択ビット	SWV (Serial Wire Viewer) 出力される端子を選択します。 b1 b0 00 : SWV出力は端子出力されない 01 : SWV出力をTDO端子から出力 10 : SWV出力をTRACEDATA0端子から出力 11 : SWV出力をTRACECTL端子から出力	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)

10.3 動作説明

10.3.1 JTAG インタフェース

JTAG インタフェースは、TCK / TMS / TDO / TDI / TRST# の 5 本の信号により、エミュレータを介してホスト・マシン（PC）との通信を行います。RES# 端子の接続と合わせて図 10.2 に接続例を示します。

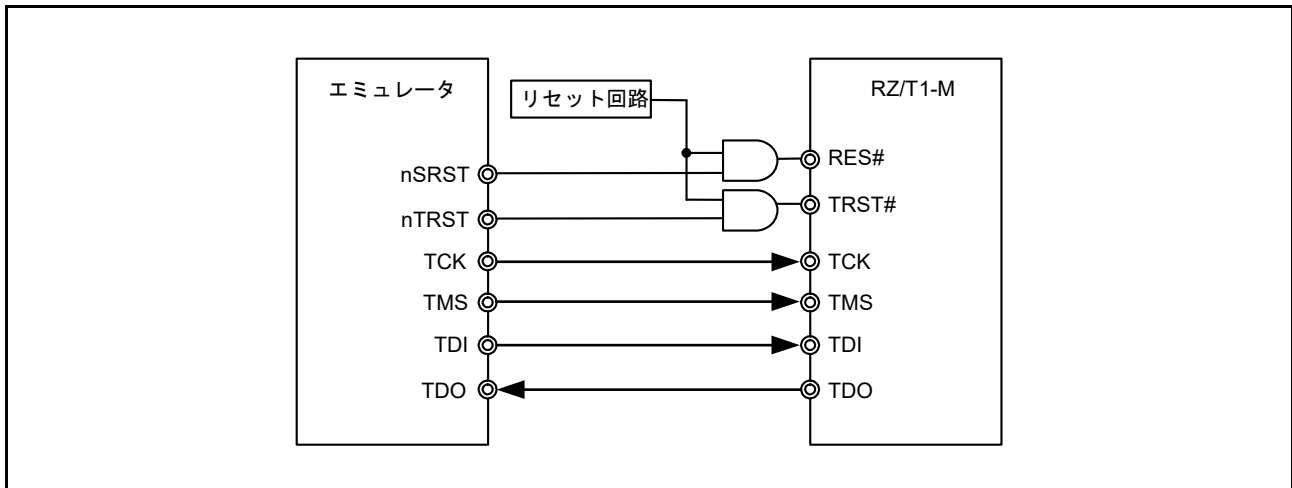


図 10.2 JTAG インタフェース接続例

10.3.2 SWD インタフェース

SWD (Serial Wire Debug) インタフェースは、SWCLK (TCK) / SWDIO (TMS) の2本の信号により、エミュレータを介してホスト・マシン (PC) との通信を行います。RES# 端子の接続と合わせて図 10.3 に接続例を示します。

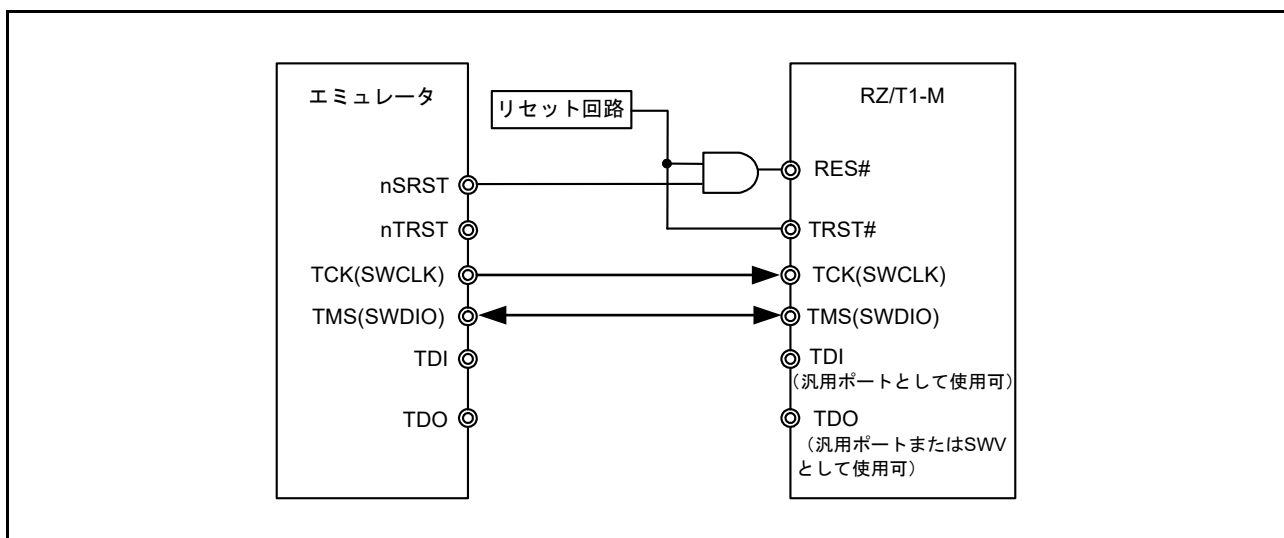


図 10.3 SWD インタフェース接続例

SWD インタフェースにてデバッグを行う場合、TDI 端子と TDO 端子を汎用ポートとして使うことができます。汎用ポートとして用いる場合は、「17. マルチファンクションピンコントローラ (MPC)」を参照して端子設定を行ってください。

注意事項 : 本 LSI の初期状態では、デバッグインタフェースは JTAG モードです。TDI 端子、TDO 端子を汎用ポートとして使用してエミュレータ接続にてデバッグを行う際は、デバッガからの制御で SWD (Serial Wire Debug) モードに切り替えてからデバッグを開始してください。

10.3.3 トレースポートインタフェース

トレースポートインタフェースは、TRACECLK / TRACECTL / TRACEDATA7 ~ TRACEDATA0 の10本の信号により、トレース情報の出力を行います。トレースポートインタフェースでは、ETM (Embedded Trace Macrocell) のトレースにより得られた「実行されたプログラムの分岐命令情報」が出力され、その情報をデバッガが補完することにより、分岐時の分岐元および分岐先の情報を知ることができます。トレース情報に関する詳細は、各エミュレータメーカーのマニュアルを参照してください。

TRACECLK 端子と TRACEDATA 端子の同期関係は DDR クロッキングモードのみ対応しています。

TRACEDATA の本数は最大 8 本まで使用可能です。8 本より少ない場合は LSB 側 (TRACEDATA0 側) の端子が使用されます。TRACECTL 端子は、接続する TPA (Trace Port Analyzer) のトレースデータ転送フォーマット仕様に合わせて接続の有無を設定してください。

TRACECLK 端子の出力周波数はトレース I/F クロック (TCLK) を 2 分周した 37.5MHz が設定可能です。詳細は「7. クロック発生回路」を参照してください。

初期状態では、TRACECLK、TRACEDATA0 ~ TRACEDATA7、TRACECTL の各端子には別の機能が割り当てられています。「17. マルチファンクションピンコントローラ (MPC)」を参照して端子設定を行ってください。

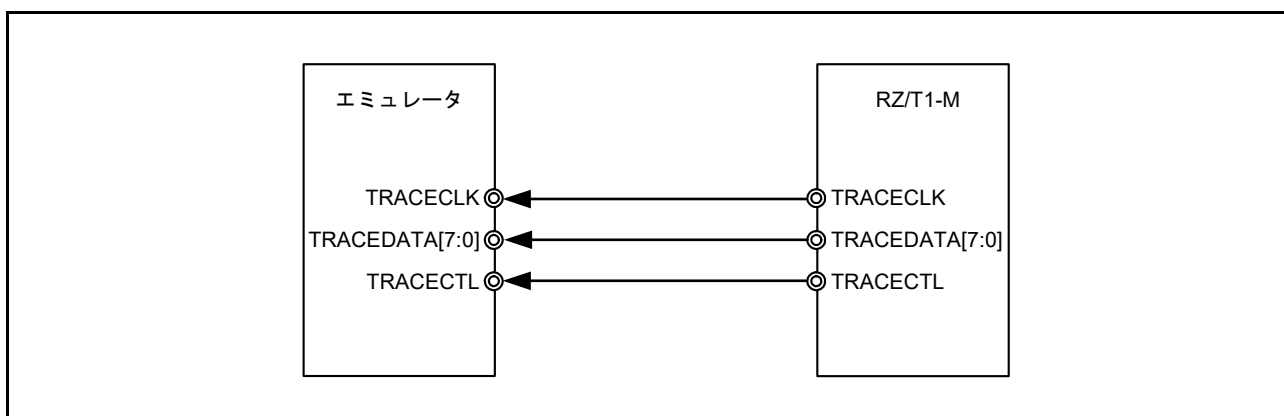


図 10.4 トレースポートインタフェース接続例

10.3.4 SWV インタフェース

SWV (Serial Wire Viewer) インタフェースは、TDO (SWV)、TRACEDATA0 (SWV)、または TRACECTL (SWV) のうち、DBGIFCNT レジスタで設定された端子より、トレース情報の出力を行います。JTAG インタフェースを使用している場合は、TDO (SWV) は使用できません。SWV トレースは、指定したサンプリング・サイクル間隔で指定したデータをサンプリングする機能です。なお、トレース情報に関する詳細については、各エミュレータメーカーのマニュアルを参照してください。

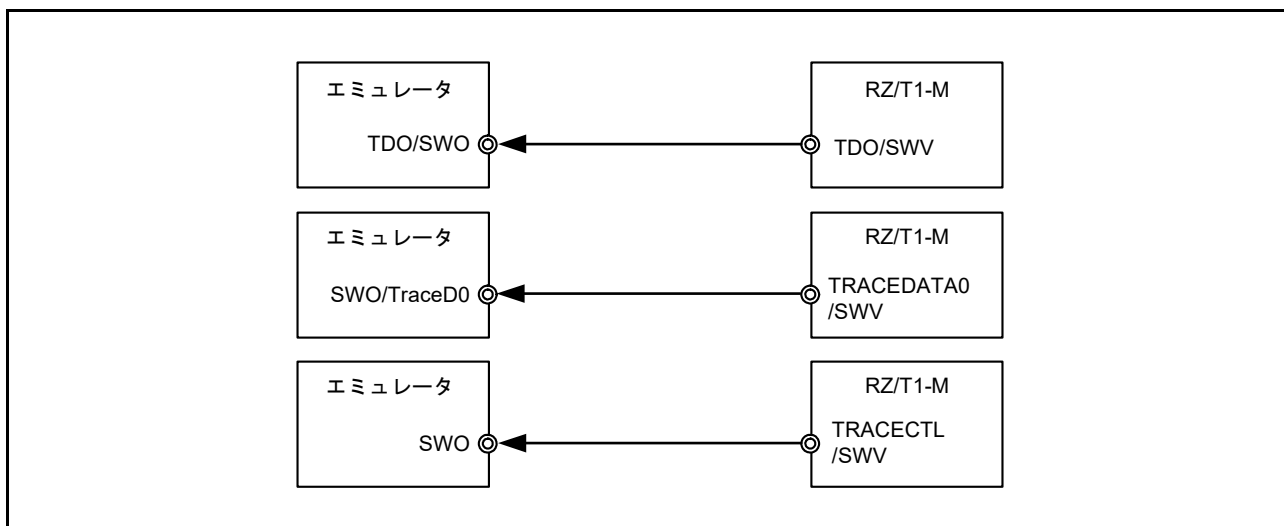


図 10.5 SWV インタフェース接続例

10.3.5 リセット構成とエミュレータとの接続方法

エミュレータを使用可能なボードを設計する場合は、電源投入時に RES# 端子と重複する期間 TRST# 端子を Low にしてください。また TRST# 端子単独でも制御可能となるようにしてください。

デバッグ時は、はじめに RES# 端子と TRST# 端子が共に Low のとき、CPU とデバッグ部はリセット状態となります。次に RES# 端子を Low に保った状態で、TRST# 端子を High にすることで CPU 起動前のデバッグ設定が可能です。

エミュレータ未接続時は、TRST# 端子は Low に固定するか、RES# 端子と同じ信号が入力されるようにしてください。

10.3.5.1 nTRST 出力を High ドライブできないエミュレータの接続例

図 10.6 に nTRST 出力を High ドライブできないエミュレータを使用する場合の接続回路例を示します。TRST# 端子はプルアップされており、エミュレータから Low にアサートされます。CPU 起動前にデバッグ設定を行うには図 10.6 のエミュレータ接続時のタイミングチャートにしたがってください。

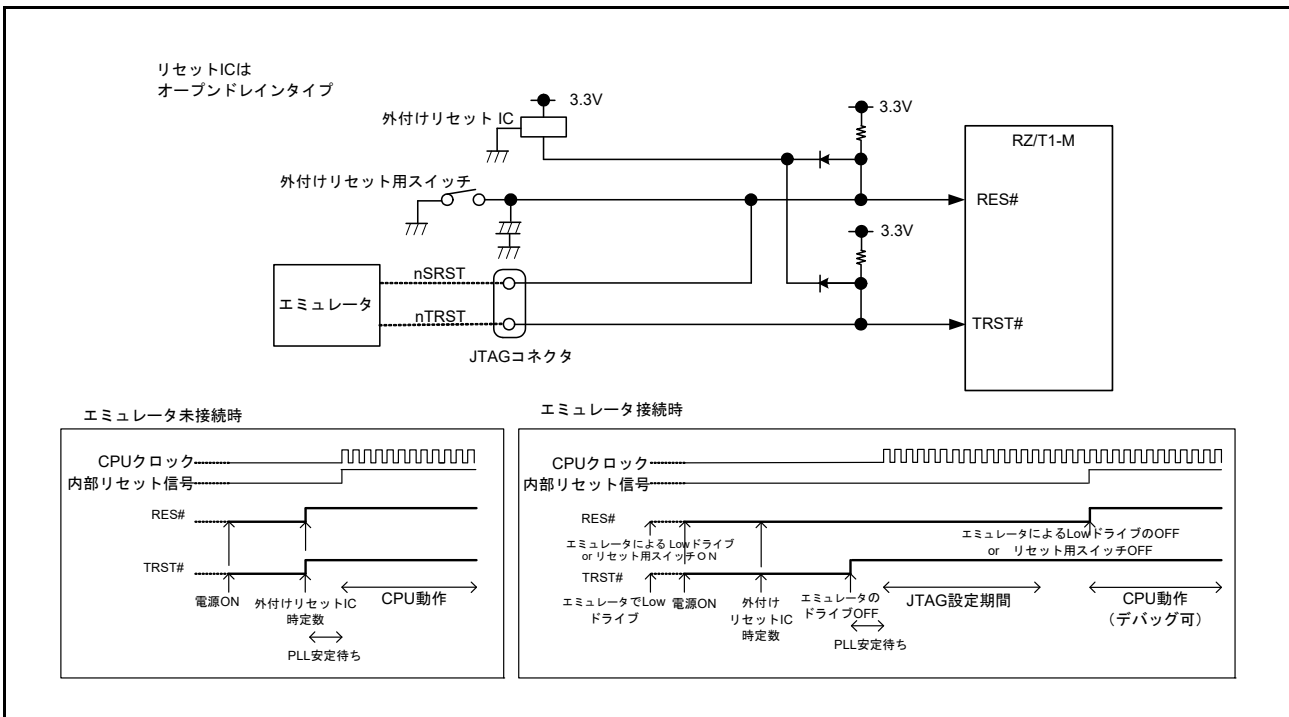


図 10.6 nTRST 出力を High ドライブできないエミュレータの接続回路例

10.3.5.2 nTRST 出力を High ドライブできるエミュレータの接続例

図 10.7 に nTRST 出力を High ドライブできるエミュレータを使用する場合の接続回路例を示します。TRST# 端子は High, Low ともにエミュレータより制御されます。CPU 起動前にデバッグ設定を行うには図 10.7 のエミュレータ接続時のタイミングチャートにしたがってください。

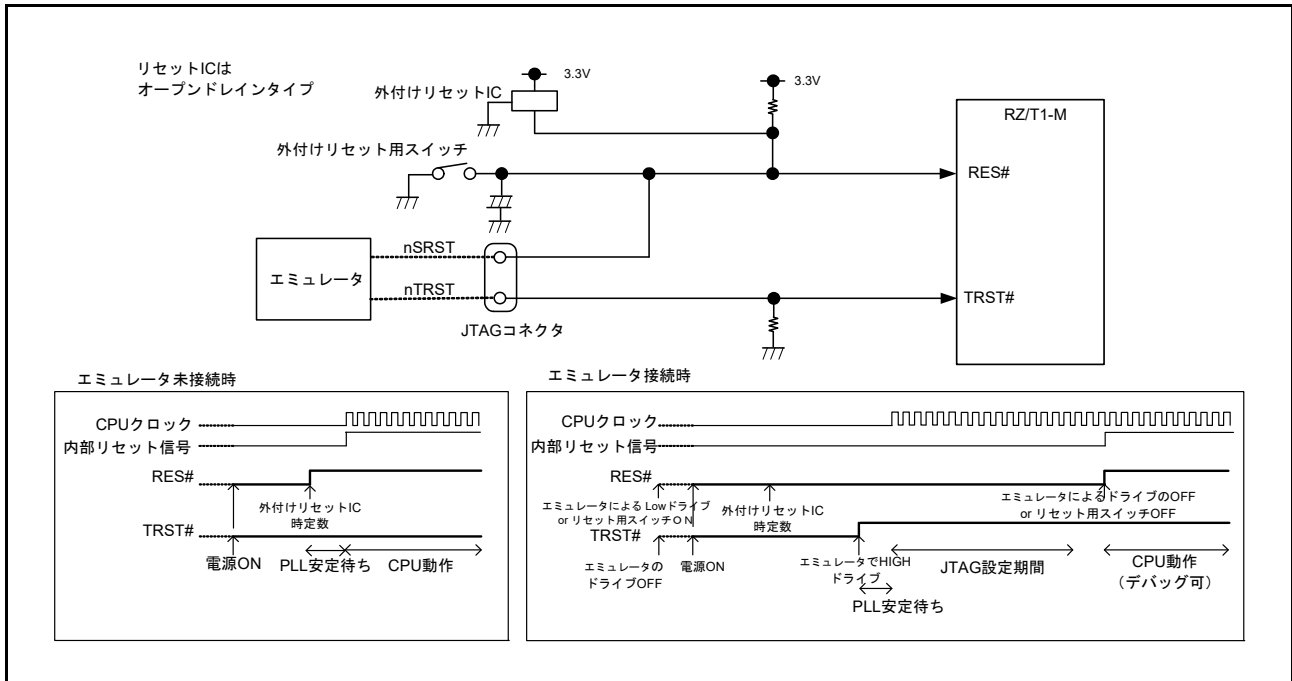


図 10.7 nTRST 出力を High ドライブできるエミュレータの接続回路例

10.3.6 エミュレータを接続しない場合の JTAG 端子の処置

エミュレータを接続しない場合、表 10.7 にしたがって端子処置を行ってください。

表 10.7 エミュレータを接続しない場合の JTAG 端子の処置

端子	処置
TCK	プルダウン
TMS	プルアップ
TDI	プルアップ（汎用ポートとして使用する場合を除きます）
TDO	オープン（汎用ポートとして使用する場合を除く）
TRST#	プルダウンするか、RES#端子と同じ信号が入力されるようにしてください。

10.3.7 TRST# 端子のノイズ除去

TRST# 端子は、アナログ・ディレイによるノイズ対策を行っています。このノイズ対策により、100ns (Min.) 以内のノイズを除去できます。

10.3.8 使用可能なトレース機能

各デバッグポート（TracePortI/F、SWV、SWD/JTAG）経由にて使用可能なトレース機能を表 10.8 に示します。

表 10.8 使用可能なトレース機能

モジュール	デバッグポート	トレース機能
Cortex-R4 (CR4)	TracePortI/F	CR4内のETMでのフル命令トレース CoreSight内のITMでのソフトウェアトレース
	SWV	CoreSight内のITMでのソフトウェアトレースのみ
	SWD/JTAG	TracePortI/Fと同一情報をETB経由で取得可

CoreSight内のITMでのソフトウェアトレースを使用する場合は、CPUからソフトウェアでITMをアクセスしてください。CoreSight内のITMのアドレスについては表 10.5 を参照してください。

10.3.9 メインバスへのアクセス

DAPからメインバスにアクセスする場合は、Cortex-R4を経由してください。

11. レジスタライトプロテクション機能

11.1 概要

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ（PRCR）で設定します。

表 11.1 に PRCR レジスタと保護されるレジスタの対応を示します。

表 11.1 PRCR レジスタと保護されるレジスタの対応

PRCRレジスタ	保護されるレジスタ
PRC0ビット	<ul style="list-style-type: none">クロック発生回路関連レジスタ SCKCR、SCKCR2、PLL1CR、PLL1CR2、LOCOCR、OSTDCR
PRC1ビット	<ul style="list-style-type: none">消費電力低減機能関連レジスタ MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRE、MSTPCRFリセット関連レジスタ RSTSR0、SWRR1
PRC3ビット	<ul style="list-style-type: none">ATCMウエイト制御レジスタ SYTATCMWAIT

11.2 レジスタの説明

11.2.1 プロテクトレジスタ (PRCR)

PRCR レジスタは、保護されたレジスタへの書き込み制御を行うレジスタです。

アドレス A00B 0B00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]							—	—	—	—	PRC3	—	PRC1	PRC0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	消費電力低減機能、リセット関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	PRC3	プロテクトビット3	ATCMウエイト制御レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き込み許可または禁止を制御します。 PRCRレジスタを書き換える場合、PRKEY[7:0]に“A5h”を書き込んでください。“A5h”以外の値の場合は、PRCRレジスタへの書き込みは無効になります。	R/(W) (注1)
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. 書き込みデータは保持されず、読むと“00h”が読めます。

PRCi ビット (プロテクトビット i) (i = 0、1、3)

保護するレジスタへの書き込み許可/禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

12. 割り込みコントローラ (ICUA)

12.1 概要

割り込みコントローラは、Cortex-R4 向けにベクタ割り込みコントローラ (VIC) があります。割り込みコントローラは、周辺モジュール、および外部端子からの割り込み要求を受け付けます。割り込みコントローラが受け付けた割り込みは、CPU (Cortex-R4) への割り込み通知、もしくは DMAC への起動トリガ信号のどちらかに設定することができます。

表 12.1 に割り込みの仕様を、図 12.1 に割り込みコントローラのブロック図を示します。

表 12.1 割り込みコントローラの仕様

項目		内容
割り込み	割り込み接続先	<ul style="list-style-type: none"> Cortex-R4 DMAC 2Unit (Unit0: 16ch., Unit1: 16ch.)
	周辺機能割り込み	周辺モジュールからの割り込み (注1) 割り込み検出: エッジ検出/レベル検出
	外部端子割り込み	IRQ0~IRQ4、IRQ6、IRQ7 端子からの割り込み 要因数: 7要因 割り込み検出: ロウレベル/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 デジタルノイズフィルタ機能: あり
	割り込み優先レベル	CPUに対する割り込みはレジスタにより16段階で優先レベルを設定 (注2)
	DMAC制御	割り込み要因によりDMACを起動可能。 各周辺からの割り込みをDMA転送完了割り込みに切り替え (注3)
ノンマスクابل割り込み	NMI端子割り込み	NMI端子からの割り込み 割り込み検出: 立ち下がりエッジ/立ち上がりエッジ デジタルノイズフィルタ機能: あり
	Cortex-R4向け	下記2要因をマスク不可の高速割り込み (FIQ) 要因として割り付け可能 <ul style="list-style-type: none"> ECM (Error Control Module)からのノンマスクابل割り込み NMI端子からのノンマスクابل割り込み
スリープ状態からの復帰		ノンマスクابل割り込み、マスクしていないすべての割り込み要因で復帰

注1. 各割り込みの接続先により割り込み要因が異なります。各起動要因については、「表 12.3 Cortex-R4/DMAC 割り込みベクタテーブル」を参照してください。

注2. 16段階での優先レベルはCR4 (VIC)のベクタ番号1~255の全要因に対し有効です。CR4 (VIC)の256以降のベクタ番号の割り込み要因は、1~255のベクタ番号の割り込み要因に対して優先順位が下がります。詳細は「12.4.6.1 VICの優先レベルに関する制約」を参照してください。

注3. 割り込み信号をDMACの起動要因に選択した場合、割り込み信号が発生すると割り込み処理への分岐は行われずに、DMACの起動が行われます。DMACの転送が完了すると転送完了割り込みが発生します。詳細は「12.3.1 割り込み要求先の選択」を参照してください。

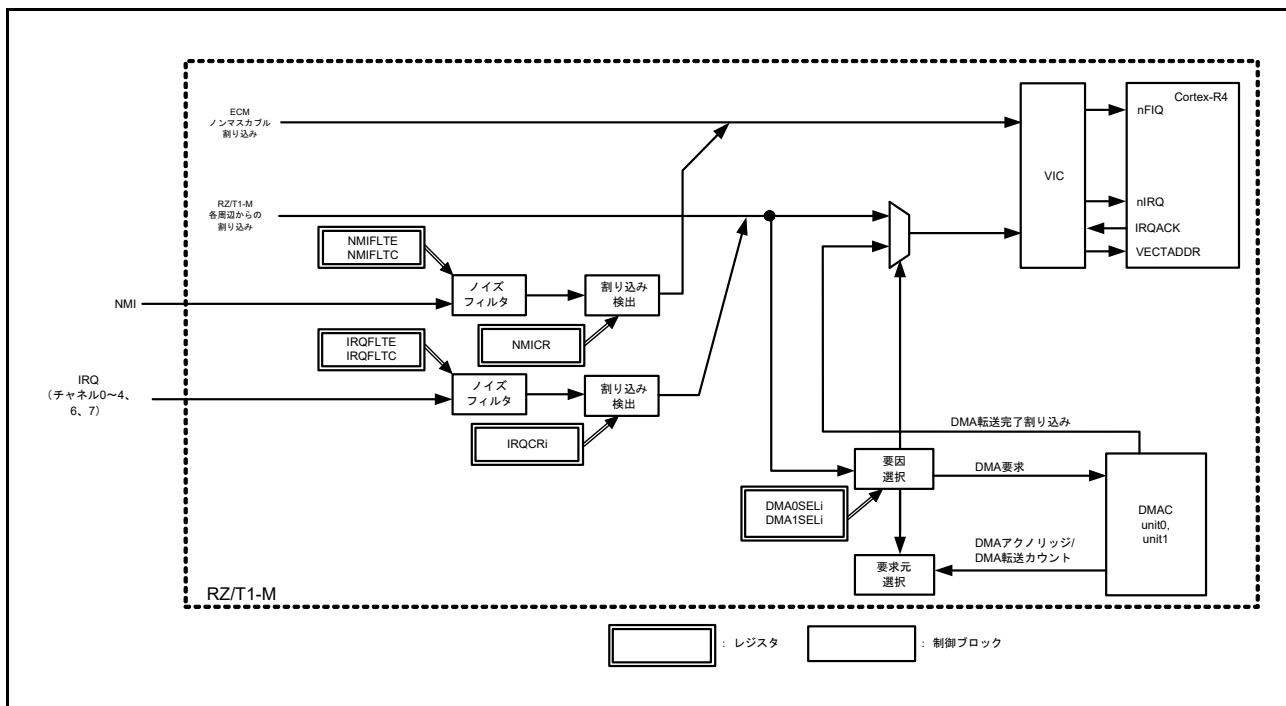


図 12.1 割り込みコントローラのブロック図

表 12.2 に割り込みコントローラで使用する入出力端子を示します。

表 12.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクブル割り込み要求端子
IRQ0~4、IRQ6、IRQ7	入力	マスクブル割り込み要求端子

12.2 レジスタの説明

12.2.1 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 4, 6, 7)

IRQCRi レジスタは、外部端子割り込み要因 (IRQ0 ~ IRQ4, IRQ6, IRQ7) の検出方法を設定するレジスタです。

アドレス ICU.IRQCR0 A009 4200h、ICU.IRQCR1 A009 4204h、ICU.IRQCR2 A009 4208h、ICU.IRQCR3 A009 420Ch、
ICU.IRQCR4 A009 4210h、ICU.IRQCR6 A009 4218h、ICU.IRQCR7 A009 421Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	IRQMD[1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b2	IRQMD[1:0]	IRQ 検出設定ビット	b3 b2 00 : Lowレベル 01 : 立ち下がリエッジ 10 : 立ち上がりエッジ 11 : 両エッジ	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IRQMD[1:0] ビット (IRQ 検出設定ビット)

外部端子割り込み要因 (IRQ0 ~ IRQ4, IRQ6, IRQ7) の検出方法を設定するビットです。

外部端子割り込みの検出方法の設定は、「12.3.3 外部端子割り込み」を参照してください。

注. VIC の PLSn レジスタにも、本レジスタで設定した検出方法と同じ検出方法を設定してください。

12.2.2 IRQ 端子デジタルノイズフィルタ許可レジスタ (IRQFLTE)

IRQFLTE レジスタは、外部端子割り込み要因 (IRQ0 ~ IRQ4, IRQ6, IRQ7) のデジタルノイズフィルタの使用を設定するレジスタです。

アドレス ICU.IRQFLTE A009 4240h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	FLTEN ₇	FLTEN ₆	—	FLTEN ₄	FLTEN ₃	FLTEN ₂	FLTEN ₁	FLTEN ₀
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルノイズフィルタ許可ビット	0 : デジタルノイズフィルタ無効 1 : デジタルノイズフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルノイズフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルノイズフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルノイズフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルノイズフィルタ許可ビット		R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	FLTEN6	IRQ6 デジタルノイズフィルタ許可ビット	0 : デジタルノイズフィルタ無効 1 : デジタルノイズフィルタ有効	R/W
b7	FLTEN7	IRQ7 デジタルノイズフィルタ許可ビット		R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

FLTEN_i ビット (IRQ_i デジタルノイズフィルタ許可ビット) (i = 0 ~ 4, 6, 7)

FLTEN_i ビットは、外部端子割り込み要因 (IRQ0 ~ IRQ4, IRQ6, IRQ7) のデジタルノイズフィルタの使用を許可するビットです。

本ビットが“1”のとき、デジタルノイズフィルタが有効になります。“0”のとき、デジタルノイズフィルタ機能は無効です。

IRQFLTC.FCLKSEL_i[1:0] ビットで設定したサンプリングクロック毎に IRQ_i 端子のレベルをサンプリングし、レベルが3回一致したときにデジタルノイズフィルタからの出力レベルを変更します。

デジタルノイズフィルタの詳細は「12.3.2 デジタルノイズフィルタ」を参照してください。

12.2.3 IRQ 端子デジタルノイズフィルタ設定レジスタ (IRQFLTC)

IRQFLTC レジスタは、外部端子割り込み要求端子 (IRQ0 ~ IRQ4、IRQ6、IRQ7) のデジタルノイズフィルタのサンプリングクロックを設定するレジスタです。

アドレス ICU.IRQFLTC A009 4244h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7 [1:0]	FCLKSEL6 [1:0]	—	—	FCLKSEL4 [1:0]	FCLKSEL3 [1:0]	FCLKSEL2 [1:0]	FCLKSEL1 [1:0]	FCLKSEL0 [1:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルノイズフィルタサンプリングクロック設定ビット	奇数 b 偶数 b 0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b11-b10	—	予約ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b31-b16	—	予約ビット		R/W

FCLKSELi[1:0] ビット (IRQi デジタルノイズフィルタサンプリングクロック設定ビット) (i = 0 ~ 4、6、7)

FCLKSELi[1:0] ビットは、外部端子割り込み要求端子 (IRQ0 ~ IRQ4、IRQ6、IRQ7) のデジタルノイズフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLKB (毎クロック)、PCLKB/8 (8 クロックに 1 回)、PCLKB/32 (32 クロックに 1 回)、PCLKB/64 (64 クロックに 1 回) より選択します。

デジタルノイズフィルタの詳細は「12.3.2 デジタルノイズフィルタ」を参照してください。なお、割り込みをサンプリングする PCLKB は、デジタルノイズフィルタを無効にしても停止しません。

12.2.4 ノンマスクابل割り込みステータスレジスタ (NMISR)

NMISR レジスタは、ノンマスクابل割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ECM からのノンマスクابل割り込み要求については、ECM の ECMm error source status レジスタ m (ECMmESSTRm, m = 0 ~ 2) を読み出し、エラー要因を確認してください。

ノンマスクابل割り込みハンドラ処理を終了する前に NMISR レジスタを読み出し、他のノンマスクابل割り込みの発生状況を確認してください。必ず NMISR レジスタの全ビットが“0”であることを確認してから、割り込みハンドラ処理を終了してください。

アドレス ICU.NMISR A009 4248h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EC MST	NMIST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0 : NMI端子割り込み要求なし 1 : NMI端子割り込み要求あり	R
b1	ECMST	ECMエラーステータスフラグ	0 : ECMノンマスクابل割り込み要求なし 1 : ECMノンマスクابل割り込み要求あり	R
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求の有無を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

[“1”になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0”になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき。

ECMST フラグ (ECM エラーステータスフラグ)

ECM ノンマスクابل割り込み要求の有無を示します。

ECMST フラグは読み出しのみ可能で、クリアは NMICLR.ECMCLR ビットによって行います。

[“1”になる条件]

- ECM ノンマスクابل割り込みが発生したとき。

[“0”になる条件]

- NMICLR.ECMCLR ビットに“1”を書いたとき。

12.2.5 ノンマスクブル割り込みステータスクリアレジスタ (NMICLR)

NMI や ECM ノンマスクブル割り込み要求をクリアするレジスタです。

アドレス ICU.NMICLR A009 424Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECMCLR	NMICLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読めます。 “1”書き込みで、NMISR.NMISTフラグをクリアします。 “0”書き込みは無効です。	R/(W) (注1)
b1	ECMCLR	ECMクリアビット	読むと“0”が読めます。 “1”書き込みで、NMISR.ECMSTフラグをクリアします。 “0”書き込みは無効です。	R/(W) (注1)
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. “1”のみ書けます。

12.2.6 NMI 端子割り込みコントロールレジスタ (NMICR)

NMICR レジスタは、NMI 端子割り込みの検出方法を設定するレジスタです。

アドレス ICU.NMICR A009 4250h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	NMIMD	NMI検出設定ビット	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定するビットです。

12.2.7 NMI 端子デジタルノイズフィルタ許可レジスタ (NMIFLTE)

NMIFLTE レジスタは、NMI 端子割り込みのデジタルノイズフィルタの使用を設定するレジスタです。

アドレス ICU.NMIFLTE A009 4254h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NFLTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルノイズフィルタ許可ビット	0 : デジタルノイズフィルタ無効 1 : デジタルノイズフィルタ有効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NFLTEN ビット (NMI デジタルノイズフィルタ許可ビット)

NMI 端子割り込みのデジタルノイズフィルタの使用を許可するビットです。

本ビットが“1”のとき、デジタルノイズフィルタが有効になります。“0”のとき、デジタルノイズフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロック毎に NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルノイズフィルタからの出力レベルを変更します。

デジタルノイズフィルタの詳細は、「12.3.2 デジタルノイズフィルタ」を参照してください。

12.2.8 NMI 端子デジタルノイズフィルタ設定レジスタ (NMIFLTC)

NMIFLTC レジスタは、NMI 端子割り込みのデジタルノイズフィルタのサンプリングクロックを設定するレジスタです。

アドレス ICU.NMIFLTC A009 4258h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NFCLKSEL [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルノイズフィルタ サンプリングクロック設定ビット	b1 b0 0 0 : PCLKB 0 1 : PCLKB / 8 1 0 : PCLKB / 32 1 1 : PCLKB / 64	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NFCLKSEL[1:0] ビット (NMI デジタルノイズフィルタサンプリングクロック設定ビット)

NMI 端子割り込みのデジタルノイズフィルタのサンプリングクロックを設定するビットです。

サンプリングクロックは、PCLKB (毎クロック)、PCLKB/8 (8 クロックに 1 回)、PCLKB /32 (32 クロックに 1 回)、PCLKB/64 (64 クロックに 1 回) より選択します。

デジタルノイズフィルタの詳細は、「12.3.2 デジタルノイズフィルタ」を参照してください。なお、割り込みをサンプリングする PCLKB は、デジタルノイズフィルタを無効にしても停止しません。

12.3 動作説明

12.3.1 割り込み要求先の選択

「表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル」に示す割り込み要求の要求先を、CPU または DMAC から選択可能です。CPU を選択した場合は、割り込み要求により割り込み処理へ分岐します。DMAC を選択した場合は、割り込み要求により DMAC の転送が開始され、DMAC 転送が完了すると DMAC 転送完了割り込みが発生します。「表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル」で要求先に“○”の記載がない割り込み要求先は選択しないでください。

ベクタ番号 m を DMA 要因として DMAC Unit0 のチャンネル N に割り付けた場合の割り込み要因選択の流れを図 12.2 に示します。DMA 要因選択レジスタで選択されたベクタ番号の割り込みは割り込みコントローラ (VIC) に接続されず、DMAC の対応するチャンネルに DMA 転送要求として接続されます。DMA 転送後に VIC に対しては、DMAC 各チャンネルの転送完了割り込みがベクタ番号 m の割り込みとして接続されます。

例えば、DMAC Unit0 要因選択レジスタ 0 (DMA0SEL0) の IFC[7:0] に、割り込みベクタ番号 21 (CMT Unit0 のコンペアマッチ割り込み _ch.0) を選択した場合、本割り込み要因が発生すると、DMAC Unit0 のチャンネル 0 に DMA 転送要求が発生します。DMA 転送後、DMA 転送完了割り込みが発生する場合、VIC に対しては同一の割り込みベクタ番号 21 に DMAC Unit0 チャンネル 0 に対する DMA 転送完了割り込み要求が接続されます。

ベクタ番号 m が要因選択レジスタで選択されていない場合、外部端子、各周辺からの割り込みが CPU 用の割り込みコントローラ VIC に接続されます (図 12.3)

- 注. 割り込み (ベクタ番号 m) の要求先を DMAC に選択した場合、DMA 転送後に DMA 転送完了割り込み信号が、割り込みコントローラのベクタ番号 m として通知されます。このため、要求先を DMAC に選択した割り込み (ベクタ番号 m) の割り込み検出タイプは、ベクタ番号によらず必ずエッジ検出に設定する必要があります。

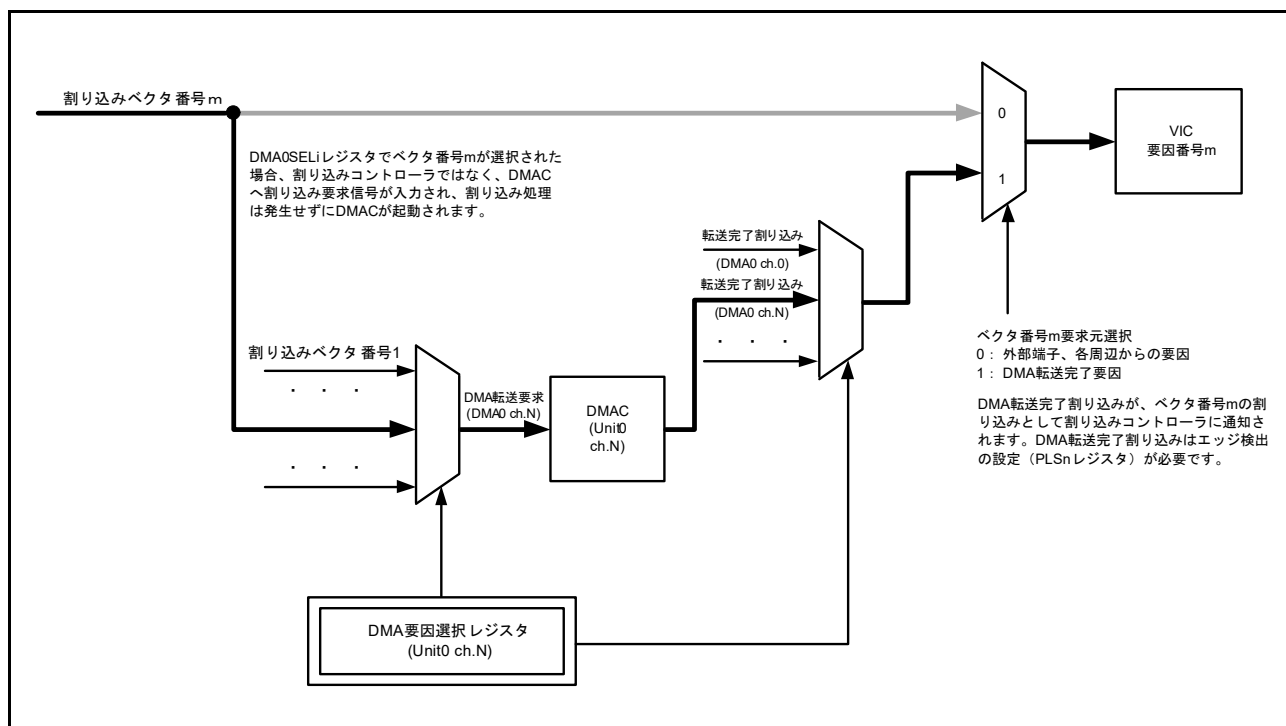


図 12.2 割り込み要求先を DMAC に選択した場合

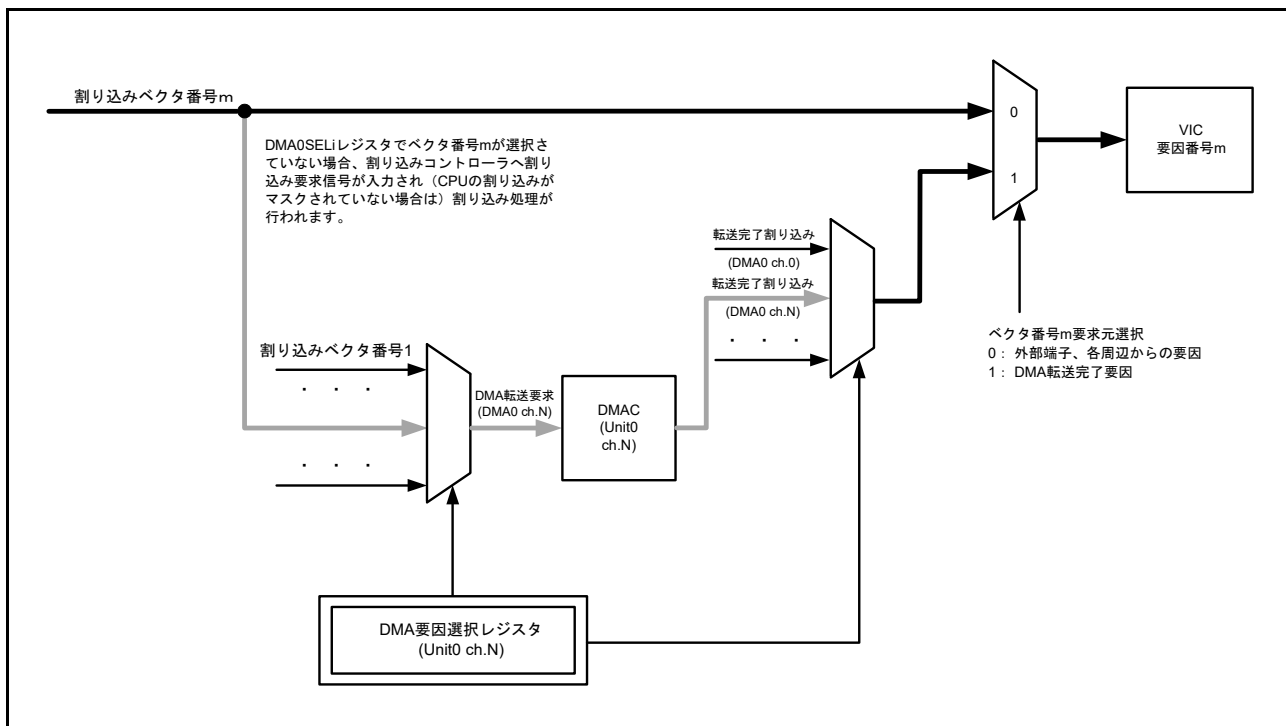


図 12.3 割り込み要求先を CPU（割り込みコントローラ）に選択した場合

12.3.2 デジタルノイズフィルタ

外部割り込み要求端子 IRQ_i ($i=0\sim 4, 6, 7$)、NMI 端子割り込みは、デジタルノイズフィルタ機能を持っています。

デジタルノイズフィルタは入力信号をフィルタ用サンプリングクロック (PCLKB) でサンプリングし、サンプリング3回に満たないパルスを除去します。

外部割り込み要求端子 IRQ_i ($i=0\sim 4, 6, 7$) のデジタルノイズフィルタを使用する場合、 $IRQFLTC.FCLKSEL_i[1:0]$ ビット ($i=0\sim 4, 6, 7$) でサンプリング周波数 (PCLKB、 $PCLKB/8$ 、 $PCLKB/32$ 、 $PCLKB/64$) を設定し、 $IRQFLTE.FLTEN_i$ ビット ($i=0\sim 4, 6, 7$) を“1”にしてください。

NMI 端子割り込みのデジタルノイズフィルタを使用する場合、 $NMICR.NFCLKSEL[1:0]$ ビットでサンプリング周波数 (PCLKB、 $PCLKB/8$ 、 $PCLKB/32$ 、 $PCLKB/64$) を設定し、 $NMICR.NFLTEN$ ビットを“1”にしてください。

図 12.4 にデジタルノイズフィルタの動作例を示します。

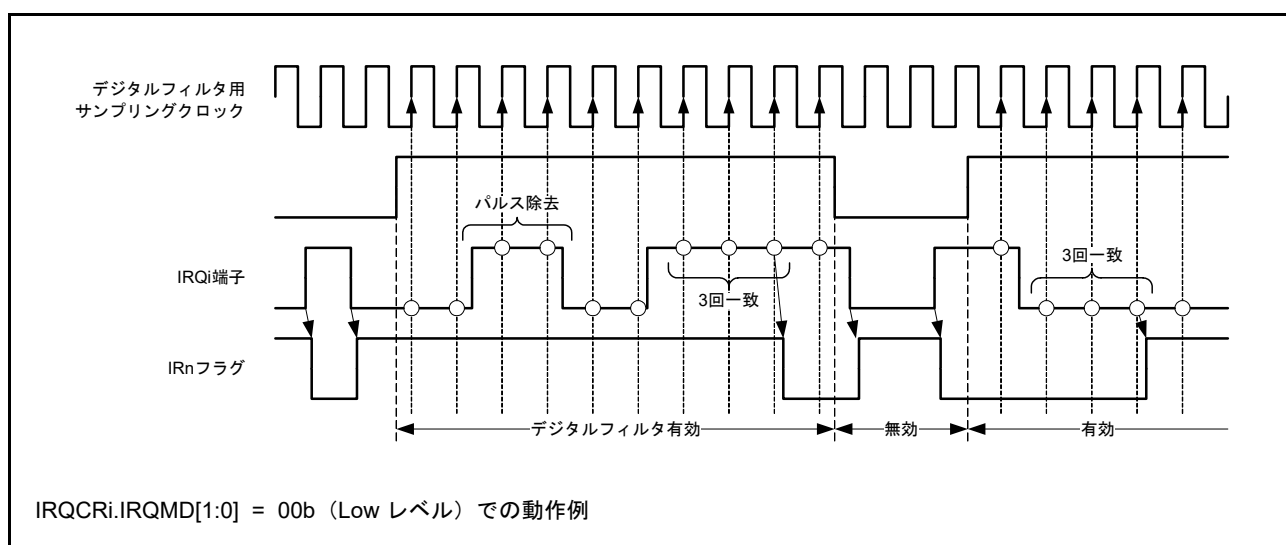


図 12.4 デジタルノイズフィルタ動作例

12.3.3 外部端子割り込み

外部端子割り込みを Cortex-R4 に接続する手順は以下のとおりです。VIC の詳細については、「12.4 Cortex-R4 ベクタ割り込みコントローラ (VIC)」を参照してください。

また、外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合は「12.5.1 外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合」も参照してください。

[IRQ 端子の場合]

1. 該当する IENn ビットを“0”にする (IECn ビットをセットする)。
2. IRQFLTE.FLTENi ビットを“0”にする。(注1)
3. IRQFLTC.FCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注1)
4. I/O ポートのポート方向レジスタ (PDR) Pmn 方向制御ビットに、“10b (入力)”を設定する。
5. I/O ポート (PmnPFS.ISEL ビット) の設定を行う。
6. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
7. IRQFLTE.FLTENi ビットを“1”にする。(注1)
8. 該当する PICn レジスタを“1”にする (エッジ検出の場合)。
9. 該当する IENn ビットを“1”にする。

注1. デジタルノイズフィルタを使用する場合のみ設定が必要

12.3.4 NMI 端子割り込み

リセット後の該当端子は、汎用入出力ポートになっています。NMI 端子を使用する場合は、以下の手順で設定してください。

また、NMI 端子として設定した後に、汎用入出力ポート機能に変更することは禁止です。NMI 端子を立ち下がりエッジで使用する場合は「12.5.2 NMI 端子割り込みを立ち下がりエッジで使用する場合」も参照してください。

1. NMIFLTE.NFLTEN ビットを“0”にする。(注1)
2. NMIFLTC.NFCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注1)
3. NMICR.NMIMD ビットで検出エッジを設定する。
4. NMICLR.NMICLR ビットに“1”をセットし、NMISR.NMIST フラグを“0”にする。
5. NMIFLTE.NFLTEN ビットを“1”にセットする。(注1)
6. I/O ポートのポート方向レジスタ (PDR) P35 方向制御ビットに、“10b (入力)”を設定する。
7. I/O ポートの設定 (P35PFS.ISEL ビット)、および確認を行う。

注1. デジタルノイズフィルタを使用する場合のみ設定が必要です。

12.4 Cortex-R4 ベクタ割り込みコントローラ (VIC)

12.4.1 概要

RZ/T1-M では、Cortex-R4 に対する割り込み制御として、ベクタ割り込みコントローラ (VIC: Vector Interrupt Controller) を採用しています。NMI 端子や ECM からのノンマスクابل割り込み要求は、FIQ 割り込みとして扱われ、高速かつ常に受け付けられます。NMI を除いた外部からの割り込みや内蔵周辺からの割り込みは、IRQ 割り込み (マスクابل割り込み) として受け付けられます。IRQ 割り込みは、各割り込み要因ごとに準備される割り込みアドレス格納レジスタ (VADn) にあらかじめ分岐先アドレスを格納することで、割り込み発生時に割り込みコントローラから Cortex-R4 へベクタアドレスが提供され、VADn レジスタの設定値アドレスへ直接分岐することが可能です。

12.4.2 レジスタの説明

12.4.2.1 IRQ ステータスレジスタ n (IRQSn) (n = 0 ~ 9)

IRQSn (n = 0 ~ 9) レジスタは、IRQ 割り込みマスク後の割り込みステータスを示すレジスタです。本レジスタは割り込み許可 (IENn = 1) 状態のときに有効です。割り込み禁止 (IENn = 0) 状態では割り込みステータスが反映されません。

IRQSn レジスタは、32 ビット単位でリードのみ可能です。

レベル割り込みを完了させる際に、本レジスタで割り込み要求が発生していないことを確認します。

(「12.4.4.3 (2) IRQ 割り込み (レベル割り込み)」を参照)

- IRQS0

アドレス VIC.IRQS0 A001 0000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ31	IRQ30	IRQ29	IRQ28	IRQ27	IRQ26	IRQ25	IRQ24	IRQ23	IRQ22	IRQ21	IRQ20	IRQ19	IRQ18	IRQ17	IRQ16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ15	IRQ14	IRQ13	IRQ12	IRQ11	IRQ10	IRQ9	IRQ8	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。	R
b31-b1	IRQ[31:1]	割り込みステータスフラグ	0 : IRQ 割り込み要求なし 1 : IRQ 割り込み要求あり	R

- IRQS1

アドレス VIC.IRQS1 A001 0004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ63	IRQ62	IRQ61	IRQ60	IRQ59	IRQ58	IRQ57	IRQ56	IRQ55	IRQ54	IRQ53	IRQ52	IRQ51	IRQ50	IRQ49	IRQ48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ47	IRQ46	IRQ45	IRQ44	IRQ43	IRQ42	IRQ41	IRQ40	IRQ39	IRQ38	IRQ37	IRQ36	IRQ35	IRQ34	IRQ33	IRQ32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[63:32]	割り込みステータスフラグ	0 : IRQ 割り込み要求なし 1 : IRQ 割り込み要求あり	R

IRQ_i フラグ (割り込みステータスフラグ) (i = 1 ~ 63)

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

- IRQS2

アドレス VIC.IRQS2 A001 0008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ95	IRQ94	IRQ93	IRQ92	IRQ91	IRQ90	IRQ89	IRQ88	IRQ87	IRQ86	IRQ85	IRQ84	IRQ83	IRQ82	IRQ81	IRQ80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ79	IRQ78	IRQ77	IRQ76	IRQ75	IRQ74	IRQ73	IRQ72	IRQ71	IRQ70	IRQ69	IRQ68	IRQ67	IRQ66	IRQ65	IRQ64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[95:64]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R

- IRQS3

アドレス VIC.IRQS3 A001 000Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ127	IRQ126	IRQ125	IRQ124	IRQ123	IRQ122	IRQ121	IRQ120	IRQ119	IRQ118	IRQ117	IRQ116	IRQ115	IRQ114	IRQ113	IRQ112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ111	IRQ110	IRQ109	IRQ108	IRQ107	IRQ106	IRQ105	IRQ104	IRQ103	IRQ102	IRQ101	IRQ100	IRQ99	IRQ98	IRQ97	IRQ96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[127:96]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R

IRQ_i フラグ (割り込みステータスフラグ) (i = 64 ~ 127)

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

- IRQS4

アドレス VIC.IRQS4 A001 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ159	IRQ158	IRQ157	IRQ156	IRQ155	IRQ154	IRQ153	IRQ152	IRQ151	IRQ150	IRQ149	IRQ148	IRQ147	IRQ146	IRQ145	IRQ144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ143	IRQ142	IRQ141	IRQ140	IRQ139	IRQ138	IRQ137	IRQ136	IRQ135	IRQ134	IRQ133	IRQ132	IRQ131	IRQ130	IRQ129	IRQ128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[159:128]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R

- IRQS5

アドレス VIC.IRQS5 A001 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ191	IRQ190	IRQ189	IRQ188	IRQ187	IRQ186	IRQ185	IRQ184	IRQ183	IRQ182	IRQ181	IRQ180	IRQ179	IRQ178	IRQ177	IRQ176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ175	IRQ174	IRQ173	IRQ172	IRQ171	IRQ170	IRQ169	IRQ168	IRQ167	IRQ166	IRQ165	IRQ164	IRQ163	IRQ162	IRQ161	IRQ160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[191:160]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R

IRQ_i フラグ (割り込みステータスフラグ) (i = 128 ~ 191)

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

- IRQS6

アドレス VIC.IRQS6 A001 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ223	IRQ222	IRQ221	IRQ220	IRQ219	IRQ218	IRQ217	IRQ216	IRQ215	IRQ214	IRQ213	IRQ212	IRQ211	IRQ210	IRQ209	IRQ208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ207	IRQ206	IRQ205	IRQ204	IRQ203	IRQ202	IRQ201	IRQ200	IRQ199	IRQ198	IRQ197	IRQ196	IRQ195	IRQ194	IRQ193	IRQ192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[223:192]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R

- IRQS7

アドレス VIC.IRQS7 A001 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ255	IRQ254	IRQ253	IRQ252	IRQ251	IRQ250	IRQ249	IRQ248	IRQ247	IRQ246	IRQ245	IRQ244	IRQ243	IRQ242	IRQ241	IRQ240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ239	IRQ238	IRQ237	IRQ236	IRQ235	IRQ234	IRQ233	IRQ232	IRQ231	IRQ230	IRQ229	IRQ228	IRQ227	IRQ226	IRQ225	IRQ224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[255:224]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R

IRQ_i フラグ (割り込みステータスフラグ) (i = 192 ~ 255)

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

- IRQS8

アドレス VIC.IRQS8 A001 1000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ287	IRQ286	IRQ285	IRQ284	IRQ283	IRQ282	IRQ281	IRQ280	IRQ279	IRQ278	IRQ277	IRQ276	IRQ275	IRQ274	IRQ273	IRQ272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ271	IRQ270	IRQ269	IRQ268	IRQ267	IRQ266	IRQ265	IRQ264	IRQ263	IRQ262	IRQ261	IRQ260	IRQ259	IRQ258	IRQ257	IRQ256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[287:256]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R

- IRQS9

アドレス VIC.IRQS9 A001 1004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	IRQ294	IRQ293	IRQ292	IRQ291	IRQ290	IRQ289	IRQ288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	IRQ[294:288]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R
b31-b7	—	予約ビット	読むと“0”が読めます。	R

IRQ_i フラグ (割り込みステータスフラグ) (i = 256 ~ 294)

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

12.4.2.2 割り込み入力ステータスレジスタ n (RAISn) (n = 0 ~ 9)

RAISn (n = 0 ~ 9) レジスタは、IRQ (マスクブル割り込み) マスク前の割り込み入力ステータスを示すレジスタです。本レジスタは IENn レジスタの設定 (割り込み許可/禁止) に関係なく、割り込みステータスが反映されます。

RAISn レジスタは、32 ビット単位でリードのみ可能です。割り込みをポーリングで使用するなど、割り込み禁止状態 (IENn = 0) で割り込みステータスを確認することが可能です (「12.4.4.6 ポーリングによる IRQ 割り込み処理」を参照)

- RAIS0

アドレス VIC.RAIS0 A001 0040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI31	RAI30	RAI29	RAI28	RAI27	RAI26	RAI25	RAI24	RAI23	RAI22	RAI21	RAI20	RAI19	RAI18	RAI17	RAI16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI15	RAI14	RAI13	RAI12	RAI11	RAI10	RAI9	RAI8	RAI7	RAI6	RAI5	RAI4	RAI3	RAI2	RAI1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。	R
b31-b1	RAI[31:1]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

- RAIS1

アドレス VIC.RAIS1 A001 0044h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI63	RAI62	RAI61	RAI60	RAI59	RAI58	RAI57	RAI56	RAI55	RAI54	RAI53	RAI52	RAI51	RAI50	RAI49	RAI48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI47	RAI46	RAI45	RAI44	RAI43	RAI42	RAI41	RAI40	RAI39	RAI38	RAI37	RAI36	RAI35	RAI34	RAI33	RAI32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[63:32]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

RAIi フラグ (割り込み入力ステータスフラグ) (i = 1 ~ 63)

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

- RAIS2

アドレス VIC.RAIS2 A001 0048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI95	RAI94	RAI93	RAI92	RAI91	RAI90	RAI89	RAI88	RAI87	RAI86	RAI85	RAI84	RAI83	RAI82	RAI81	RAI80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI79	RAI78	RAI77	RAI76	RAI75	RAI74	RAI73	RAI72	RAI71	RAI70	RAI69	RAI68	RAI67	RAI66	RAI65	RAI64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[95:64]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

- RAIS3

アドレス VIC.RAIS3 A001 004Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI127	RAI126	RAI125	RAI124	RAI123	RAI122	RAI121	RAI120	RAI119	RAI118	RAI117	RAI116	RAI115	RAI114	RAI113	RAI112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI111	RAI110	RAI109	RAI108	RAI107	RAI106	RAI105	RAI104	RAI103	RAI102	RAI101	RAI100	RAI99	RAI98	RAI97	RAI96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[127:96]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

RAI_i フラグ (割り込み入力ステータスフラグ) (i = 64 ~ 127)

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

- RAIS4

アドレス VIC.RAIS4 A001 0050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI159	RAI158	RAI157	RAI156	RAI155	RAI154	RAI153	RAI152	RAI151	RAI150	RAI149	RAI148	RAI147	RAI146	RAI145	RAI144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI143	RAI142	RAI141	RAI140	RAI139	RAI138	RAI137	RAI136	RAI135	RAI134	RAI133	RAI132	RAI131	RAI130	RAI129	RAI128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[159:128]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

- RAIS5

アドレス VIC.RAIS5 A001 0054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI191	RAI190	RAI189	RAI188	RAI187	RAI186	RAI185	RAI184	RAI183	RAI182	RAI181	RAI180	RAI179	RAI178	RAI177	RAI176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI175	RAI174	RAI173	RAI172	RAI171	RAI170	RAI169	RAI168	RAI167	RAI166	RAI165	RAI164	RAI163	RAI162	RAI161	RAI160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[191:160]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

RAI_i フラグ (割り込み入力ステータスフラグ) (i = 128 ~ 191)

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

- RAIS6

アドレス VIC.RAIS6 A001 0058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI223	RAI222	RAI221	RAI220	RAI219	RAI218	RAI217	RAI216	RAI215	RAI214	RAI213	RAI212	RAI211	RAI210	RAI209	RAI208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI207	RAI206	RAI205	RAI204	RAI203	RAI202	RAI201	RAI200	RAI199	RAI198	RAI197	RAI196	RAI195	RAI194	RAI193	RAI192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[223:192]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

- RAIS7

アドレス VIC.RAIS7 A001 005Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI255	RAI254	RAI253	RAI252	RAI251	RAI250	RAI249	RAI248	RAI247	RAI246	RAI245	RAI244	RAI243	RAI242	RAI241	RAI240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI239	RAI238	RAI237	RAI236	RAI235	RAI234	RAI233	RAI232	RAI231	RAI230	RAI229	RAI228	RAI227	RAI226	RAI225	RAI224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[255:224]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

RAI_i フラグ (割り込み入力ステータスフラグ) (i = 192 ~ 255)

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

- RAIS8

アドレス VIC.RAIS8 A001 1040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI287	RAI286	RAI285	RAI284	RAI283	RAI282	RAI281	RAI280	RAI279	RAI278	RAI277	RAI276	RAI275	RAI274	RAI273	RAI272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI271	RAI270	RAI269	RAI268	RAI267	RAI266	RAI265	RAI264	RAI263	RAI262	RAI261	RAI260	RAI259	RAI258	RAI257	RAI256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[287:256]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

- RAIS9

アドレス VIC.RAIS9 A001 1044h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RAI294	RAI293	RAI292	RAI291	RAI290	RAI289	RAI288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	RAI[294:288]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b31-b7	—	予約ビット	読むと“0”が読めます。	R

RAIi フラグ (割り込み入力ステータスフラグ) (i = 256 ~ 294)

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

12.4.2.3 割り込みイネーブルレジスタ n (IENn) (n = 0 ~ 9)

IENn (n=0~9) レジスタは、IRQ 割り込みの許可/マスクを選択するレジスタです。リセット時は、すべての割り込み要求はマスクされています。

このレジスタは、ビットをセット (1) すると、クリア (0) はできません。クリアは割り込みイネーブルクリアレジスタ n (IECn) で行ってください。

IENn レジスタは、32 ビット単位でリード/ライト可能です。

- IEN0

アドレス VIC.IEN0 A001 0080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN31	IEN30	IEN29	IEN28	IEN27	IEN26	IEN25	IEN24	IEN23	IEN22	IEN21	IEN20	IEN19	IEN18	IEN17	IEN16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN15	IEN14	IEN13	IEN12	IEN11	IEN10	IEN9	IEN8	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b1	IEN[31:1]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

- IEN1

アドレス VIC.IEN1 A001 0084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN63	IEN62	IEN61	IEN60	IEN59	IEN58	IEN57	IEN56	IEN55	IEN54	IEN53	IEN52	IEN51	IEN50	IEN49	IEN48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN47	IEN46	IEN45	IEN44	IEN43	IEN42	IEN41	IEN40	IEN39	IEN38	IEN37	IEN36	IEN35	IEN34	IEN33	IEN32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[63:32]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

IENi ビット (割り込み要求許可ビット) (i = 1 ~ 63)

割り込み要求の許可設定を行うビットです。一度許可に設定すると IENn レジスタではマスクすることはできません。

割り込みマスクは、IECn レジスタで行ってください。

- IEN2

アドレス VIC.IEN2 A001 0088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN95	IEN94	IEN93	IEN92	IEN91	IEN90	IEN89	IEN88	IEN87	IEN86	IEN85	IEN84	IEN83	IEN82	IEN81	IEN80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN79	IEN78	IEN77	IEN76	IEN75	IEN74	IEN73	IEN72	IEN71	IEN70	IEN69	IEN68	IEN67	IEN66	IEN65	IEN64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[95:64]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

- IEN3

アドレス VIC.IEN3 A001 008Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN127	IEN126	IEN125	IEN124	IEN123	IEN122	IEN121	IEN120	IEN119	IEN118	IEN117	IEN116	IEN115	IEN114	IEN113	IEN112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN111	IEN110	IEN109	IEN108	IEN107	IEN106	IEN105	IEN104	IEN103	IEN102	IEN101	IEN100	IEN99	IEN98	IEN97	IEN96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[127:96]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

IEN_i ビット (割り込み要求許可ビット) (i = 64 ~ 127)

割り込み要求の許可設定を行うビットです。一度許可に設定すると IEN_n レジスタではマスクすることはできません。

割り込みマスクは、IEC_n レジスタで行ってください。

- IEN4

アドレス VIC.IEN4 A001 0090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN159	IEN158	IEN157	IEN156	IEN155	IEN154	IEN153	IEN152	IEN151	IEN150	IEN149	IEN148	IEN147	IEN146	IEN145	IEN144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN143	IEN142	IEN141	IEN140	IEN139	IEN138	IEN137	IEN136	IEN135	IEN134	IEN133	IEN132	IEN131	IEN130	IEN129	IEN128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[159:128]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

- IEN5

アドレス VIC.IEN5 A001 0094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN191	IEN190	IEN189	IEN188	IEN187	IEN186	IEN185	IEN184	IEN183	IEN182	IEN181	IEN180	IEN179	IEN178	IEN177	IEN176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN175	IEN174	IEN173	IEN172	IEN171	IEN170	IEN169	IEN168	IEN167	IEN166	IEN165	IEN164	IEN163	IEN162	IEN161	IEN160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[191:160]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

IEN_i ビット (割り込み要求許可ビット) (i = 128 ~ 191)

割り込み要求の許可設定を行うビットです。一度許可に設定すると IEN_n レジスタではマスクすることはできません。

割り込みマスクは、IEC_n レジスタで行ってください。

- IEN6

アドレス VIC.IEN6 A001 0098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN223	IEN222	IEN221	IEN220	IEN219	IEN218	IEN217	IEN216	IEN215	IEN214	IEN213	IEN212	IEN211	IEN210	IEN209	IEN208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN207	IEN206	IEN205	IEN204	IEN203	IEN202	IEN201	IEN200	IEN199	IEN198	IEN197	IEN196	IEN195	IEN194	IEN193	IEN192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[223:192]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

- IEN7

アドレス VIC.IEN7 A001 009Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN255	IEN254	IEN253	IEN252	IEN251	IEN250	IEN249	IEN248	IEN247	IEN246	IEN245	IEN244	IEN243	IEN242	IEN241	IEN240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN239	IEN238	IEN237	IEN236	IEN235	IEN234	IEN233	IEN232	IEN231	IEN230	IEN229	IEN228	IEN227	IEN226	IEN225	IEN224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[255:224]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

IEN_i ビット (割り込み要求許可ビット) (i = 192 ~ 255)

割り込み要求の許可設定を行うビットです。一度許可に設定すると IEN_n レジスタではマスクすることはできません。

割り込みマスクは、IEC_n レジスタで行ってください。

- IEN8

アドレス VIC.IEN8 A001 1080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN287	IEN286	IEN285	IEN284	IEN283	IEN282	IEN281	IEN280	IEN279	IEN278	IEN277	IEN276	IEN275	IEN274	IEN273	IEN272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN271	IEN270	IEN269	IEN268	IEN267	IEN266	IEN265	IEN264	IEN263	IEN262	IEN261	IEN260	IEN259	IEN258	IEN257	IEN256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[287:256]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

- IEN9

アドレス VIC.IEN9 A001 1084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	IEN294	IEN293	IEN292	IEN291	IEN290	IEN289	IEN288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	IEN[294:288]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W
b31-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IEN_i ビット (割り込み要求許可ビット) (i = 256 ~ 294)

割り込み要求の許可設定を行うビットです。一度許可に設定すると IEN_n レジスタではマスクすることはできません。

割り込みマスクは、IEC_n レジスタで行ってください。

12.4.2.4 割り込みイネーブルクリアレジスタ n (IECn) (n = 0 ~ 9)

IECn (n=0~9) レジスタは、IENn レジスタのビットをクリアし、該当する割り込み要求をマスク (ディスエーブル) 状態に設定するレジスタです。

IECn レジスタは、32 ビット単位でライトのみ可能です。

IECn レジスタを書き換える場合は、割り込み禁止状態で行う必要があります。割り込み禁止は Arm CPU の CPSR レジスタの I ビットをセット (1) することで行ってください。

- IEC0

アドレス VIC.IEC0 A001 00A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC31	IEC30	IEC29	IEC28	IEC27	IEC26	IEC25	IEC24	IEC23	IEC22	IEC21	IEC20	IEC19	IEC18	IEC17	IEC16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC15	IEC14	IEC13	IEC12	IEC11	IEC10	IEC9	IEC8	IEC7	IEC6	IEC5	IEC4	IEC3	IEC2	IEC1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書く場合、“0”としてください。	W
b31-b1	IEC[31:1]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IEN レジスタの該当ビットをクリア (0)	W

- IEC1

アドレス VIC.IEC1 A001 00A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC63	IEC62	IEC61	IEC60	IEC59	IEC58	IEC57	IEC56	IEC55	IEC54	IEC53	IEC52	IEC51	IEC50	IEC49	IEC48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC47	IEC46	IEC45	IEC44	IEC43	IEC42	IEC41	IEC40	IEC39	IEC38	IEC37	IEC36	IEC35	IEC34	IEC33	IEC32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[63:32]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IEN レジスタの該当ビットをクリア (0)	W

IECi ビット (割り込み要求クリアビット) (i = 1 ~ 63)

割り込み要求のマスク (ディスエーブル) 設定を行うビットです。あるビットをセット (1) すると、IEN レジスタの同ビットがクリア (0) され、その割り込み要求はマスク (ディスエーブル) 状態になります。

- IEC2

アドレス VIC.IEC2 A001 00A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC95	IEC94	IEC93	IEC92	IEC91	IEC90	IEC89	IEC88	IEC87	IEC86	IEC85	IEC84	IEC83	IEC82	IEC81	IEC80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC79	IEC78	IEC77	IEC76	IEC75	IEC74	IEC73	IEC72	IEC71	IEC70	IEC69	IEC68	IEC67	IEC66	IEC65	IEC64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[95:64]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

- IEC3

アドレス VIC.IEC3 A001 00ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC127	IEC126	IEC125	IEC124	IEC123	IEC122	IEC121	IEC120	IEC119	IEC118	IEC117	IEC116	IEC115	IEC114	IEC113	IEC112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC111	IEC110	IEC109	IEC108	IEC107	IEC106	IEC105	IEC104	IEC103	IEC102	IEC101	IEC100	IEC99	IEC98	IEC97	IEC96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[127:96]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

IEC_i ビット (割り込み要求クリアビット) (i = 64 ~ 127)

割り込み要求のマスク (ディスエーブル) 設定を行うビットです。あるビットをセット (1) すると、IENレジスタの同ビットがクリア (0) され、その割り込み要求はマスク (ディスエーブル) 状態になります。

- IEC4

アドレス VIC.IEC4 A001 00B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC159	IEC158	IEC157	IEC156	IEC155	IEC154	IEC153	IEC152	IEC151	IEC150	IEC149	IEC148	IEC147	IEC146	IEC145	IEC144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC143	IEC142	IEC141	IEC140	IEC139	IEC138	IEC137	IEC136	IEC135	IEC134	IEC133	IEC132	IEC131	IEC130	IEC129	IEC128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[159:128]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

- IEC5

アドレス VIC.IEC5 A001 00B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC191	IEC190	IEC189	IEC188	IEC187	IEC186	IEC185	IEC184	IEC183	IEC182	IEC181	IEC180	IEC179	IEC178	IEC177	IEC176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC175	IEC174	IEC173	IEC172	IEC171	IEC170	IEC169	IEC168	IEC167	IEC166	IEC165	IEC164	IEC163	IEC162	IEC161	IEC160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[191:160]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

IEC_i ビット (割り込み要求クリアビット) (i = 128 ~ 191)

割り込み要求のマスク (ディスエーブル) 設定を行うビットです。あるビットをセット (1) すると、IENレジスタの同ビットがクリア (0) され、その割り込み要求はマスク (ディスエーブル) 状態になります。

- IEC6

アドレス VIC.IEC6 A001 00B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC223	IEC222	IEC221	IEC220	IEC219	IEC218	IEC217	IEC216	IEC215	IEC214	IEC213	IEC212	IEC211	IEC210	IEC209	IEC208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC207	IEC206	IEC205	IEC204	IEC203	IEC202	IEC201	IEC200	IEC199	IEC198	IEC197	IEC196	IEC195	IEC194	IEC193	IEC192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[223:192]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

- IEC7

アドレス VIC.IEC7 A001 00BCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC255	IEC254	IEC253	IEC252	IEC251	IEC250	IEC249	IEC248	IEC247	IEC246	IEC245	IEC244	IEC243	IEC242	IEC241	IEC240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC239	IEC238	IEC237	IEC236	IEC235	IEC234	IEC233	IEC232	IEC231	IEC230	IEC229	IEC228	IEC227	IEC226	IEC225	IEC224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[255:224]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

IEC_i ビット (割り込み要求クリアビット) (i = 192 ~ 255)

割り込み要求のマスク (ディスエーブル) 設定を行うビットです。あるビットをセット (1) すると、IENレジスタの同ビットがクリア (0) され、その割り込み要求はマスク (ディスエーブル) 状態になります。

- IEC8

アドレス VIC.IEC8 A001 10A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC287	IEC286	IEC285	IEC284	IEC283	IEC282	IEC281	IEC280	IEC279	IEC278	IEC277	IEC276	IEC275	IEC274	IEC273	IEC272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC271	IEC270	IEC269	IEC268	IEC267	IEC266	IEC265	IEC264	IEC263	IEC262	IEC261	IEC260	IEC259	IEC258	IEC257	IEC256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[287:256]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

- IEC9

アドレス VIC.IEC9 A001 10A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	IEC294	IEC293	IEC292	IEC291	IEC290	IEC289	IEC288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	IEC[294:288]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W
b31-b7	—	予約ビット	書く場合、“0”としてください。	W

IECi ビット (割り込み要求クリアビット) (i = 256 ~ 294)

割り込み要求のマスク (ディスエーブル) 設定を行うビットです。あるビットをセット (1) すると、IENレジスタの同ビットがクリア (0) され、その割り込み要求はマスク (ディスエーブル) 状態になります。

12.4.2.5 割り込み検出タイプ選択レジスタ n (PLSn) (n = 0 ~ 9)

PLSn (n = 0 ~ 9) レジスタは、割り込み入力ごとのエッジ検出/レベル検出を選択するレジスタです。
PLSn レジスタは、32 ビット単位でリード/ライト可能です。

- PLS0

アドレス VIC.PLS0 A001 0100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS31	PLS30	PLS29	PLS28	PLS27	PLS26	PLS25	PLS24	PLS23	PLS22	PLS21	PLS20	PLS19	PLS18	PLS17	PLS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS15	PLS14	PLS13	PLS12	PLS11	PLS10	PLS9	PLS8	PLS7	PLS6	PLS5	PLS4	PLS3	PLS2	PLS1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b1	PLS[31:1]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

- PLS1

アドレス VIC.PLS1 A001 0104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS63	PLS62	PLS61	PLS60	PLS59	PLS58	PLS57	PLS56	PLS55	PLS54	PLS53	PLS52	PLS51	PLS50	PLS49	PLS48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS47	PLS46	PLS45	PLS44	PLS43	PLS42	PLS41	PLS40	PLS39	PLS38	PLS37	PLS36	PLS35	PLS34	PLS33	PLS32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[63:32]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

PLSi ビット (割り込み入力検出タイプ選択ビット) (i = 1 ~ 63)

割り込み入力の検出タイプを選択するビットです。
PLS[63:1] にベクタ番号 63-1 が対応します。

- PLS2

アドレス VIC.PLS2 A001 0108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS95	PLS94	PLS93	PLS92	PLS91	PLS90	PLS89	PLS88	PLS87	PLS86	PLS85	PLS84	PLS83	PLS82	PLS81	PLS80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS79	PLS78	PLS77	PLS76	PLS75	PLS74	PLS73	PLS72	PLS71	PLS70	PLS69	PLS68	PLS67	PLS66	PLS65	PLS64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[95:64]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

- PLS3

アドレス VIC.PLS3 A001 010Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS127	PLS126	PLS125	PLS124	PLS123	PLS122	PLS121	PLS120	PLS119	PLS118	PLS117	PLS116	PLS115	PLS114	PLS113	PLS112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS111	PLS110	PLS109	PLS108	PLS107	PLS106	PLS105	PLS104	PLS103	PLS102	PLS101	PLS100	PLS99	PLS98	PLS97	PLS96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[127:96]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

PLSi ビット (割り込み入力検出タイプ選択ビット) (i = 64 ~ 127)

割り込み入力の検出タイプを選択するビットです。

PLS[127:64] にベクタ番号 127-64 が対応します。

- PLS4

アドレス VIC.PLS4 A001 0110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS159	PLS158	PLS157	PLS156	PLS155	PLS154	PLS153	PLS152	PLS151	PLS150	PLS149	PLS148	PLS147	PLS146	PLS145	PLS144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS143	PLS142	PLS141	PLS140	PLS139	PLS138	PLS137	PLS136	PLS135	PLS134	PLS133	PLS132	PLS131	PLS130	PLS129	PLS128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[159:128]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

- PLS5

アドレス VIC.PLS5 A001 0114h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS191	PLS190	PLS189	PLS188	PLS187	PLS186	PLS185	PLS184	PLS183	PLS182	PLS181	PLS180	PLS179	PLS178	PLS177	PLS176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS175	PLS174	PLS173	PLS172	PLS171	PLS170	PLS169	PLS168	PLS167	PLS166	PLS165	PLS164	PLS163	PLS162	PLS161	PLS160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[191:160]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

PLSi ビット (割り込み入力検出タイプ選択ビット) (i = 128 ~ 191)

割り込み入力の検出タイプを選択するビットです。

PLS[191:128] にベクタ番号 191-128 が対応します。

- PLS6

アドレス VIC.PLS6 A001 0118h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS223	PLS222	PLS221	PLS220	PLS219	PLS218	PLS217	PLS216	PLS215	PLS214	PLS213	PLS212	PLS211	PLS210	PLS209	PLS208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS207	PLS206	PLS205	PLS204	PLS203	PLS202	PLS201	PLS200	PLS199	PLS198	PLS197	PLS196	PLS195	PLS194	PLS193	PLS192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[223:192]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

- PLS7

アドレス VIC.PLS7 A001 011Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS255	PLS254	PLS253	PLS252	PLS251	PLS250	PLS249	PLS248	PLS247	PLS246	PLS245	PLS244	PLS243	PLS242	PLS241	PLS240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS239	PLS238	PLS237	PLS236	PLS235	PLS234	PLS233	PLS232	PLS231	PLS230	PLS229	PLS228	PLS227	PLS226	PLS225	PLS224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[255:224]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

PLSi ビット (割り込み入力検出タイプ選択ビット) (i = 192 ~ 255)

割り込み入力の検出タイプを選択するビットです。

PLS[255:192] にベクタ番号 255-192 が対応します。

- PLS8

アドレス VIC.PLS8 A001 1100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS287	PLS286	PLS285	PLS284	PLS283	PLS282	PLS281	PLS280	PLS279	PLS278	PLS277	PLS276	PLS275	PLS274	PLS273	PLS272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS271	PLS270	PLS269	PLS268	PLS267	PLS266	PLS265	PLS264	PLS263	PLS262	PLS261	PLS260	PLS259	PLS258	PLS257	PLS256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[287:256]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

- PLS9

アドレス VIC.PLS9 A001 1104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	PLS294	PLS293	PLS292	PLS291	PLS290	PLS289	PLS288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	PLS[294:288]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W
b31-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PLSi ビット (割り込み入力検出タイプ選択ビット) (i = 256 ~ 294)

割り込み入力の検出タイプを選択するビットです。

PLS[294:256] にベクタ番号 294-256 が対応します。

12.4.2.6 エッジ検出ビットクリアレジスタ n (PICn) (n = 0 ~ 9)

エッジ検出を行った場合、割り込み入力ビットごとに割り込み検出状態を保持します。(「12.4 Cortex-R4 ベクタ割り込みコントローラ (VIC)」、および「12.4.4.3 (3) IRQ 割り込み (エッジ割り込み)」を参照)

PICn (n = 0 ~ 9) レジスタは、エッジ検出を行った割り込み入力ビットのエッジ検出回路をクリア (0) します。

PICn レジスタは、32 ビット単位でライトのみ可能です。

- PIC0

アドレス VIC.PIC0 A001 0120h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC31	PIC30	PIC29	PIC28	PIC27	PIC26	PIC25	PIC24	PIC23	PIC22	PIC21	PIC20	PIC19	PIC18	PIC17	PIC16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC15	PIC14	PIC13	PIC12	PIC11	PIC10	PIC9	PIC8	PIC7	PIC6	PIC5	PIC4	PIC3	PIC2	PIC1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書く場合、“0”としてください。	W
b31-b1	PIC[31:1]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

- PIC1

アドレス VIC.PIC1 A001 0124h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC63	PIC62	PIC61	PIC60	PIC59	PIC58	PIC57	PIC56	PIC55	PIC54	PIC53	PIC52	PIC51	PIC50	PIC49	PIC48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC47	PIC46	PIC45	PIC44	PIC43	PIC42	PIC41	PIC40	PIC39	PIC38	PIC37	PIC36	PIC35	PIC34	PIC33	PIC32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[63:32]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

PIC_i ビット (エッジ検出クリアビット) (i = 1 ~ 63)

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

- PIC2

アドレス VIC.PIC2 A001 0128h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC95	PIC94	PIC93	PIC92	PIC91	PIC90	PIC89	PIC88	PIC87	PIC86	PIC85	PIC84	PIC83	PIC82	PIC81	PIC80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC79	PIC78	PIC77	PIC76	PIC75	PIC74	PIC73	PIC72	PIC71	PIC70	PIC69	PIC68	PIC67	PIC66	PIC65	PIC64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[95:64]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

- PIC3

アドレス VIC.PIC3 A001 012Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC127	PIC126	PIC125	PIC124	PIC123	PIC122	PIC121	PIC120	PIC119	PIC118	PIC117	PIC116	PIC115	PIC114	PIC113	PIC112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC111	PIC110	PIC109	PIC108	PIC107	PIC106	PIC105	PIC104	PIC103	PIC102	PIC101	PIC100	PIC99	PIC98	PIC97	PIC96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[127:96]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

PIC_i ビット (エッジ検出クリアビット) (i = 64 ~ 127)

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

- PIC4

アドレス VIC.PIC4 A001 0130h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC159	PIC158	PIC157	PIC156	PIC155	PIC154	PIC153	PIC152	PIC151	PIC150	PIC149	PIC148	PIC147	PIC146	PIC145	PIC144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC143	PIC142	PIC141	PIC140	PIC139	PIC138	PIC137	PIC136	PIC135	PIC134	PIC133	PIC132	PIC131	PIC130	PIC129	PIC128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[159:128]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

- PIC5

アドレス VIC.PIC5 A001 0134h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC191	PIC190	PIC189	PIC188	PIC187	PIC186	PIC185	PIC184	PIC183	PIC182	PIC181	PIC180	PIC179	PIC178	PIC177	PIC176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC175	PIC174	PIC173	PIC172	PIC171	PIC170	PIC169	PIC168	PIC167	PIC166	PIC165	PIC164	PIC163	PIC162	PIC161	PIC160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[191:160]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

PIC_i ビット (エッジ検出クリアビット) (i = 128 ~ 191)

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

- PIC6

アドレス VIC.PIC6 A001 0138h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC223	PIC222	PIC221	PIC220	PIC219	PIC218	PIC217	PIC216	PIC215	PIC214	PIC213	PIC212	PIC211	PIC210	PIC209	PIC208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC207	PIC206	PIC205	PIC204	PIC203	PIC202	PIC201	PIC200	PIC199	PIC198	PIC197	PIC196	PIC195	PIC194	PIC193	PIC192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[223:192]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

- PIC7

アドレス VIC.PIC7 A001 013Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC255	PIC254	PIC253	PIC252	PIC251	PIC250	PIC249	PIC248	PIC247	PIC246	PIC245	PIC244	PIC243	PIC242	PIC241	PIC240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC239	PIC238	PIC237	PIC236	PIC235	PIC234	PIC233	PIC232	PIC231	PIC230	PIC229	PIC228	PIC227	PIC226	PIC225	PIC224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[255:224]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

PIC_i ビット (エッジ検出クリアビット) (i = 192 ~ 255)

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

- PIC8

アドレス VIC.PIC8 A001 1120h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC287	PIC286	PIC285	PIC284	PIC283	PIC282	PIC281	PIC280	PIC279	PIC278	PIC277	PIC276	PIC275	PIC274	PIC273	PIC272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC271	PIC270	PIC269	PIC268	PIC267	PIC266	PIC265	PIC264	PIC263	PIC262	PIC261	PIC260	PIC259	PIC258	PIC257	PIC256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[287:256]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

- PIC9

アドレス VIC.PIC9 A001 1124h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	PIC294	PIC293	PIC292	PIC291	PIC290	PIC289	PIC288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	PIC[294:288]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W
b31-b7	—	予約ビット	書く場合、“0”としてください。	W

PIC_i ビット (エッジ検出クリアビット) (i = 256 ~ 294)

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

12.4.2.7 割り込み優先レベルマスクレジスタ 0 (PRLM0)

PRLM0 レジスタは、割り込み優先レベルに対する割り込みのマスク制御をするレジスタです。

このレジスタは、ビットをセット (1) すると、クリア (0) はできません。クリアは割り込み優先レベルマスククリアレジスタ 0 (PRLC0) で行ってください。

PRLM0 レジスタは、32 ビット単位でリード/ライト可能です。

アドレス VIC.PRLM0 A001 01C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRLM 15	PRLM 14	PRLM 13	PRLM 12	PRLM 11	PRLM 10	PRLM 9	PRLM8	PRLM7	PRLM6	PRLM5	PRLM4	PRLM3	PRLM2	PRLM1	PRLM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PRLM[15:0]	割り込み優先レベル設定ビット	0 : 何も変わりません。 1 : 対応するビット番号と同じ優先レベルをマスクします。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PRLMi ビット (割り込み優先レベル設定ビット) (i = 0 ~ 15)

割り込み優先レベル設定ビットです。ベクタ番号 1 ~ 255 の要因に対し、割り込み優先レベルに対する割り込みのマスクを設定します。

レジスタのビット位置は、それぞれの優先レベルに等しく、セット (1) すると、対応するビット番号と同じ優先レベルをマスクします。

12.4.2.8 割り込み優先レベルマスクレジスタ 1 (PRLM1)

PRLM1 レジスタは、割り込み優先レベルに対する割り込みのマスク制御を行うレジスタです。

このレジスタは、ビットをセット (1) すると、クリア (0) はできません。クリアは割り込み優先レベルマスククリアレジスタ 1 (PRLC1) で行ってください。

PRLM1 レジスタは、32 ビット単位でリード/ライト可能です。

アドレス VIC.PRLM1 A001 11C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRLM 15	PRLM 14	PRLM 13	PRLM 12	PRLM 11	PRLM 10	PRLM 9	PRLM8	PRLM7	PRLM6	PRLM5	PRLM4	PRLM3	PRLM2	PRLM1	PRLM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PRLM[15:0]	割り込み優先レベル設定ビット	0 : 何も変わりません。 1 : 対応するビット番号 (PRLMi) + 16 と同じ優先レベルをマスクします。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PRLMi ビット (割り込み優先レベル設定ビット) (i = 0 ~ 15)

割り込み優先レベル設定ビットです。ベクタ番号 256 ~ 294 の要因に対し、割り込み優先レベルに対する割り込みのマスクを設定します。

セット (1) すると、対応するビット番号 (PRLMi) + 16 と同じ優先レベルをマスクします。

12.4.2.9 割り込み優先レベルマスククリアレジスタ 0 (PRLC0)

PRLC0 レジスタは、PRLM0 レジスタの各ビットをクリアするレジスタです。

PRLC0 レジスタは、32 ビット単位でライトのみ可能です。

アドレス VIC.PRLC0 A001 01C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRLC 15	PRLC 14	PRLC 13	PRLC 12	PRLC 11	PRLC 10	PRLC 9	PRLC8	PRLC7	PRLC6	PRLC5	PRLC4	PRLC3	PRLC2	PRLC1	PRLC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PRLC[15:0]	割り込み優先レベルクリアビット	0: 何も変わりません。 1: ビットの番号に対応するビットがクリア (0) されます。	W
b31-b16	—	予約ビット	書く場合、"0"としてください。	W

PRLCi ビット (割り込み優先レベルクリアビット) (i = 0 ~ 15)

割り込み優先レベルクリアビットです。ベクタ番号 1 ~ 255 の要因に対し、割り込み優先レベルマスクレジスタ 0 (PRLM0) のクリアを行います。

セット (1) すると、そのセットしたビットの番号に対応するビットがクリア (0) されます。

12.4.2.10 割り込み優先レベルマスククリアレジスタ 1 (PRLC1)

PRLC1 レジスタは、PRLM1 レジスタの各ビットをクリアするレジスタです。

PRLC1 レジスタは、32 ビット単位でライトのみ可能です。

アドレス VIC.PRLC1 A001 11C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRLC 15	PRLC 14	PRLC 13	PRLC 12	PRLC 11	PRLC 10	PRLC 9	PRLC8	PRLC7	PRLC6	PRLC5	PRLC4	PRLC3	PRLC2	PRLC1	PRLC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PRLC[15:0]	割り込み優先レベルクリアビット	0: 何も変わりません。 1: ビットの番号に対応するビットがクリア (0) されます。	W
b31-b16	—	予約ビット	書く場合、"0"としてください。	W

PRLCi ビット (割り込み優先レベルクリアビット) (i = 0 ~ 15)

割り込み優先レベルクリアビットです。ベクタ番号 256 ~ 294 の要因に対し、割り込み優先レベルマスクレジスタ 1 (PRLM1) のクリアを行います。

セット (1) すると、そのセットしたビットの番号に対応するビットがクリア (0) されます。

12.4.2.11 ユーザモードイネーブルレジスタ 0 (UEN0)

UEN0 レジスタは、特権モードによる、割り込み制御レジスタ (UEN0/1 レジスタを除く VIC の制御レジスタ) へのアクセスの許可/禁止を選択します。

バスマスタが正確にプロテクション情報を生成できない場合は UE ビットをセット (1) し、ユーザモードによる割り込み制御レジスタへのアクセスを許可してください。UE ビットの初期値は 1 で、ユーザモードによる割り込み制御レジスタに対するアクセスが許可されています。

UEN0 レジスタは、32 ビット単位でリード可能です。

UEN0 レジスタは他のレジスタと異なり、特権モード時のみ 32 ビット単位でライト可能です。

アドレス VIC.UEN0 A001 01C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UE (注1)	割り込み制御レジスタに対するアクセス選択ビット	0 : ユーザモードによるアクセスを禁止します。特権モードによるアクセスのみ許可されます。 1 : ユーザモードによるアクセスを許可します。ユーザモードと特権モードの両方で割り込み制御レジスタのアクセスが可能です。(初期値)	W
b31-b1	—	予約ビット	書く場合、“0”としてください。	W

注1. 本レジスタへのライトアクセスは、特権モードでのみ可能です。

UE ビット (割り込み制御レジスタに対するアクセス選択ビット)

ベクタ番号 1 ~ 255 の要因に対し、割り込み制御レジスタに対するアクセスの許可/禁止を設定します。

12.4.2.12 ユーザモードイネーブルレジスタ 1 (UEN1)

UEN1 レジスタは、特権モードによる、割り込み制御レジスタ (UEN0/1 レジスタを除く VIC の制御レジスタ) へのアクセスの許可/禁止を選択します。

バスマスタが正確にプロテクション情報を生成できない場合は UE ビットをセット (1) し、ユーザモードによる割り込み制御レジスタへのアクセスを許可してください。UE ビットの初期値は 1 で、ユーザモードによる割り込み制御レジスタに対するアクセスが許可されています。

UEN1 レジスタは、32 ビット単位でリード可能です。

UEN1 レジスタは他のレジスタと異なり、特権モード時のみ 32 ビット単位でライト可能です。

アドレス VIC.UEN1 A001 11C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UE (注1)	割り込み制御レジスタに対するアクセス選択ビット	0: ユーザモードによるアクセスを禁止します。特権モードによるアクセスのみ許可されます。 1: ユーザモードによるアクセスを許可します。ユーザモードと特権モードの両方で割り込み制御レジスタのアクセスが可能です。(初期値)	W
b31-b1	—	予約ビット	書く場合、“0”としてください。	W

注1. 本レジスタへのライトアクセスは、特権モードでのみ可能です。

UE ビット (割り込み制御レジスタに対するアクセス選択ビット)

ベクタ番号 256 ~ 294 の要因に対し、割り込み制御レジスタに対するアクセスの許可/禁止を設定します。

12.4.2.13 割り込みアドレスレジスタ (HVA0)

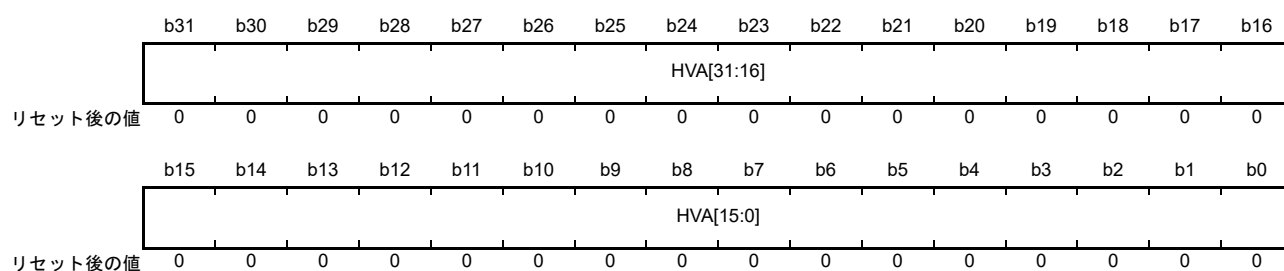
リセット解除後に一度、VIC を初期化するために HVA0 レジスタに任意の値をライトする必要があります。

また、割り込み処理 (ISR) の最後で、HVA0 レジスタに任意の値をライトする必要があります。HVA レジスタへのライトにより、割り込みコントローラは割り込み処理が終了することを認識し、記憶していた割り込みの優先レベルをクリアします。このことで、今完了した割り込みの次の優先レベルの割り込みが処理されます。なお、HVA0 レジスタにライトしたデータはレジスタには反映されません。

リセット解除後の VIC 初期化時と割り込み処理の完了以外で、このレジスタをアクセスしないでください。上記タイミングのライト以外でこのレジスタをアクセスした場合、不正な割り込み動作を引き起こす可能性があります。

HVA0 レジスタは、32 ビット単位でライトのみ可能です。

アドレス VIC.HVA0 A001 0200h



ビット	シンボル	ビット名	機能	R/W
b31-b0	HVA[31:0]	割り込み処理終了通知ビット	割り込み処理終了を通知 (任意の値をライト)	W

12.4.2.14 割り込みサービスステータスレジスタ n (ISSn) (n = 0 ~ 9)

ISSn (n = 0 ~ 9) レジスタは、IRQ 割り込みのサービス状態を示すレジスタです。

Cortex-R4 が割り込みサービスルーチン (ISR) を実行中、または保留中の情報が格納されます。

ISSn レジスタは、32 ビット単位でリードのみ可能です。

- ISS0

アドレス VIC.ISS0 A001 0210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS31	ISS30	ISS29	ISS28	ISS27	ISS26	ISS25	ISS24	ISS23	ISS22	ISS21	ISS20	ISS19	ISS18	ISS17	ISS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS15	ISS14	ISS13	ISS12	ISS11	ISS10	ISS9	ISS8	ISS7	ISS6	ISS5	ISS4	ISS3	ISS2	ISS1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。	R
b31-b1	ISS[31:1]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

- ISS1

アドレス VIC.ISS1 A001 0214h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS63	ISS62	ISS61	ISS60	ISS59	ISS58	ISS57	ISS56	ISS55	ISS54	ISS53	ISS52	ISS51	ISS50	ISS49	ISS48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS47	ISS46	ISS45	ISS44	ISS43	ISS42	ISS41	ISS40	ISS39	ISS38	ISS37	ISS36	ISS35	ISS34	ISS33	ISS32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[63:32]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

ISSi ビット (IRQ 割り込み要求サービスフラグ) (i = 1 ~ 63)

ベクタ番号 1-63 からの IRQ 割り込み要求のサービス状態を示すフラグです。

- ISS2

アドレス VIC.ISS2 A001 0218h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS95	ISS94	ISS93	ISS92	ISS91	ISS90	ISS89	ISS88	ISS87	ISS86	ISS85	ISS84	ISS83	ISS82	ISS81	ISS80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS79	ISS78	ISS77	ISS76	ISS75	ISS74	ISS73	ISS72	ISS71	ISS70	ISS69	ISS68	ISS67	ISS66	ISS65	ISS64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[95:64]	IRQ割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

- ISS3

アドレス VIC.ISS3 A001 021Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS127	ISS126	ISS125	ISS124	ISS123	ISS122	ISS121	ISS120	ISS119	ISS118	ISS117	ISS116	ISS115	ISS114	ISS113	ISS112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS111	ISS110	ISS109	ISS108	ISS107	ISS106	ISS105	ISS104	ISS103	ISS102	ISS101	ISS100	ISS99	ISS98	ISS97	ISS96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[127:96]	IRQ割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

ISS_i ビット (IRQ 割り込み要求サービスフラグ) (i = 64 ~ 127)

ベクタ番号 127-64 からの IRQ 割り込み要求のサービス状態を示すフラグです。

- ISS4

アドレス VIC.ISS4 A001 0220h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS159	ISS158	ISS157	ISS156	ISS155	ISS154	ISS153	ISS152	ISS151	ISS150	ISS149	ISS148	ISS147	ISS146	ISS145	ISS144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS143	ISS142	ISS141	ISS140	ISS139	ISS138	ISS137	ISS136	ISS135	ISS134	ISS133	ISS132	ISS131	ISS130	ISS129	ISS128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[159:128]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

- ISS5

アドレス VIC.ISS5 A001 0224h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS191	ISS190	ISS189	ISS188	ISS187	ISS186	ISS185	ISS184	ISS183	ISS182	ISS181	ISS180	ISS179	ISS178	ISS177	ISS176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS175	ISS174	ISS173	ISS172	ISS171	ISS170	ISS169	ISS168	ISS167	ISS166	ISS165	ISS164	ISS163	ISS162	ISS161	ISS160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[191:160]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

ISS_i ビット (IRQ 割り込み要求サービスフラグ) (i = 128 ~ 191)

ベクタ番号 191-128 からの IRQ 割り込み要求のサービス状態を示すフラグです。

- ISS6

アドレス VIC.ISS6 A001 0228h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS223	ISS222	ISS221	ISS220	ISS219	ISS218	ISS217	ISS216	ISS215	ISS214	ISS213	ISS212	ISS211	ISS210	ISS209	ISS208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS207	ISS206	ISS205	ISS204	ISS203	ISS202	ISS201	ISS200	ISS199	ISS198	ISS197	ISS196	ISS195	ISS194	ISS193	ISS192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[223:192]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

- ISS7

アドレス VIC.ISS7 A001 022Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS255	ISS254	ISS253	ISS252	ISS251	ISS250	ISS249	ISS248	ISS247	ISS246	ISS245	ISS244	ISS243	ISS242	ISS241	ISS240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS239	ISS238	ISS237	ISS236	ISS235	ISS234	ISS233	ISS232	ISS231	ISS230	ISS229	ISS228	ISS227	ISS226	ISS225	ISS224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[255:224]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

ISS_i ビット (IRQ 割り込み要求サービスフラグ) (i = 192 ~ 255)

ベクタ番号 255-192 からの IRQ 割り込み要求のサービス状態を示すフラグです。

- ISS8

アドレス VIC.ISS8 A001 1210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS287	ISS286	ISS285	ISS284	ISS283	ISS282	ISS281	ISS280	ISS279	ISS278	ISS277	ISS276	ISS275	ISS274	ISS273	ISS272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS271	ISS270	ISS269	ISS268	ISS267	ISS266	ISS265	ISS264	ISS263	ISS262	ISS261	ISS260	ISS259	ISS258	ISS257	ISS256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[287:256]	IRQ割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

- ISS9

アドレス VIC.ISS9 A001 1214h

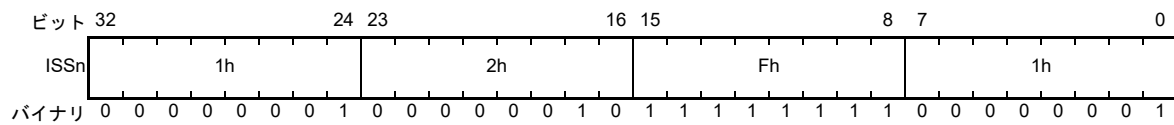
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ISS294	ISS293	ISS292	ISS291	ISS290	ISS289	ISS288	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	ISS[294:288]	IRQ割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R
b31-b7	—	予約ビット	読み出すと“0”が読めます。	R

ISS_i ビット (IRQ 割り込み要求サービスフラグ) (i = 256 ~ 294)

ベクタ番号 294-256 からの IRQ 割り込み要求のサービス状態を示すフラグです。

例えば、割り込みコントローラに複数の割り込み要求があった場合、ISSn レジスタの状態は以下のようになります。



現在、ベクタ番号 24, 17, 15-8, 0 から割り込み要求があることを示しています。割り込みサービスルーチン (ISR) は PRLm レジスタで設定された優先レベルが高い順から順にサービスされます。PRLm レジスタの値が同じ場合は、ベクタ番号の小さい割り込み要求の優先レベルが高くなります。ISR が終了すると、ISSn レジスタの該当ビットはクリアされ、次に優先レベルの高い ISR を開始します。また、ISR 中に他の割り込み要求があると、その割り込みも本レジスタに反映されます。

12.4.2.15 割り込みサービスカレントレジスタ n (ISCn) (n = 0 ~ 9)

ISCn (n = 0 ~ 9) レジスタは、割り込みサービスステータスレジスタ n (ISSn) でセット (1) されている IRQ 割り込みの中で、最も優先レベルの高い IRQ 割り込みを示すレジスタです。

ISCn レジスタは、32 ビット単位でリードのみ可能です。

- ISC0

アドレス VIC.ISC0 A001 0230h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC31	ISC30	ISC29	ISC28	ISC27	ISC26	ISC25	ISC24	ISC23	ISC22	ISC21	ISC20	ISC19	ISC18	ISC17	ISC16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC15	ISC14	ISC13	ISC12	ISC11	ISC10	ISC9	ISC8	ISC7	ISC6	ISC5	ISC4	ISC3	ISC2	ISC1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。	R
b31-b1	ISC[31:1]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

- ISC1

アドレス VIC.ISC1 A001 0234h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC63	ISC62	ISC61	ISC60	ISC59	ISC58	ISC57	ISC56	ISC55	ISC54	ISC53	ISC52	ISC51	ISC50	ISC49	ISC48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC47	ISC46	ISC45	ISC44	ISC43	ISC42	ISC41	ISC40	ISC39	ISC38	ISC37	ISC36	ISC35	ISC34	ISC33	ISC32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[63:32]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

ISCi ビット (IRQ 割り込み要求サービスフラグ) (i = 1 ~ 63)

割り込みサービスステータスレジスタ n (ISSn, n = 0 ~ 9) の IRQ 割り込み要求のサービス状態を示すフラグです。

- ISC2

アドレス VIC.ISC2 A001 0238h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC95	ISC94	ISC93	ISC92	ISC91	ISC90	ISC89	ISC88	ISC87	ISC86	ISC85	ISC84	ISC83	ISC82	ISC81	ISC80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC79	ISC78	ISC77	ISC76	ISC75	ISC74	ISC73	ISC72	ISC71	ISC70	ISC69	ISC68	ISC67	ISC66	ISC65	ISC64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[95:64]	IRQ 割り込み要求サービスフラグ	0: 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1: 最も優先レベルの高い割り込み	R

- ISC3

アドレス VIC.ISC3 A001 023Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC127	ISC126	ISC125	ISC124	ISC123	ISC122	ISC121	ISC120	ISC119	ISC118	ISC117	ISC116	ISC115	ISC114	ISC113	ISC112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC111	ISC110	ISC109	ISC108	ISC107	ISC106	ISC105	ISC104	ISC103	ISC102	ISC101	ISC100	ISC99	ISC98	ISC97	ISC96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[127:96]	IRQ 割り込み要求サービスフラグ	0: 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1: 最も優先レベルの高い割り込み	R

ISC_i ビット (IRQ 割り込み要求サービスフラグ) (i = 64 ~ 127)

割り込みサービスステータスレジスタ n (ISS_n, n = 0 ~ 9) の IRQ 割り込み要求のサービス状態を示すフラグです。

• ISC4

アドレス VIC.ISC4 A001 0240h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC159	ISC158	ISC157	ISC156	ISC155	ISC154	ISC153	ISC152	ISC151	ISC150	ISC149	ISC148	ISC147	ISC146	ISC145	ISC144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC143	ISC142	ISC141	ISC140	ISC139	ISC138	ISC137	ISC136	ISC135	ISC134	ISC133	ISC132	ISC131	ISC130	ISC129	ISC128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[159:128]	IRQ割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

• ISC5

アドレス VIC.ISC5 A001 0244h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC191	ISC190	ISC189	ISC188	ISC187	ISC186	ISC185	ISC184	ISC183	ISC182	ISC181	ISC180	ISC179	ISC178	ISC177	ISC176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC175	ISC174	ISC173	ISC172	ISC171	ISC170	ISC169	ISC168	ISC167	ISC166	ISC165	ISC164	ISC163	ISC162	ISC161	ISC160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[191:160]	IRQ割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

ISC_i ビット (IRQ 割り込み要求サービスフラグ) (i = 128 ~ 191)

割り込みサービスステータスレジスタ n (ISS_n, n = 0 ~ 9) の IRQ 割り込み要求のサービス状態を示すフラグです。

- ISC6

アドレス VIC.ISC6 A001 0248h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC223	ISC222	ISC221	ISC220	ISC219	ISC218	ISC217	ISC216	ISC215	ISC214	ISC213	ISC212	ISC211	ISC210	ISC209	ISC208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC207	ISC206	ISC205	ISC204	ISC203	ISC202	ISC201	ISC200	ISC199	ISC198	ISC197	ISC196	ISC195	ISC194	ISC193	ISC192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[223:192]	IRQ割り込み要求サービスフラグ	0: 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1: 最も優先レベルの高い割り込み	R

- ISC7

アドレス VIC.ISC7 A001 024Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC255	ISC254	ISC253	ISC252	ISC251	ISC250	ISC249	ISC248	ISC247	ISC246	ISC245	ISC244	ISC243	ISC242	ISC241	ISC240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC239	ISC238	ISC237	ISC236	ISC235	ISC234	ISC233	ISC232	ISC231	ISC230	ISC229	ISC228	ISC227	ISC226	ISC225	ISC224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[255:224]	IRQ割り込み要求サービスフラグ	0: 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1: 最も優先レベルの高い割り込み	R

ISC_i ビット (IRQ 割り込み要求サービスフラグ) (i = 192 ~ 255)

割り込みサービスステータスレジスタ n (ISS_n, n = 0 ~ 9) の IRQ 割り込み要求のサービス状態を示すフラグです。

- ISC8

アドレス VIC.ISC8 A001 1230h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC287	ISC286	ISC285	ISC284	ISC283	ISC282	ISC281	ISC280	ISC279	ISC278	ISC277	ISC276	ISC275	ISC274	ISC273	ISC272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC271	ISC270	ISC269	ISC268	ISC267	ISC266	ISC265	ISC264	ISC263	ISC262	ISC261	ISC260	ISC259	ISC258	ISC257	ISC256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[287:256]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

- ISC9

アドレス VIC.ISC9 A001 1234h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	ISC294	ISC293	ISC292	ISC291	ISC290	ISC289	ISC288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	ISC[294:288]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R
b31-b7	—	予約ビット	読み出すと“0”が読めます。	R

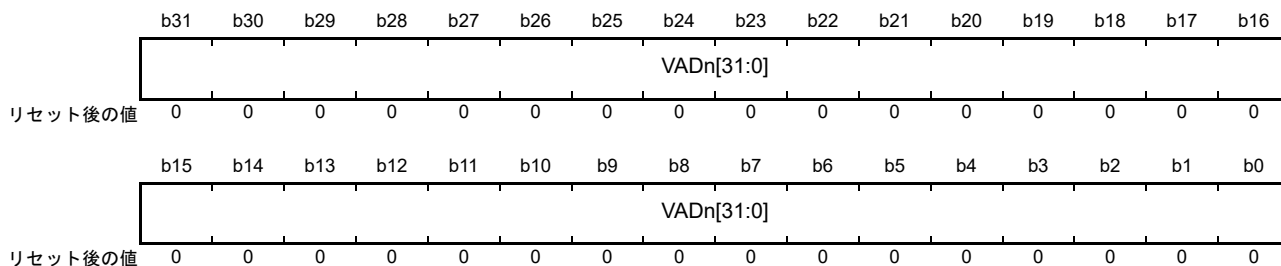
ISC_i ビット (IRQ 割り込み要求サービスフラグ) (i = 256 ~ 294)

割り込みサービスステータスレジスタ n (ISS_n, n = 0 ~ 9) の IRQ 割り込み要求のサービス状態を示すフラグです。

12.4.2.16 割り込みアドレス格納レジスタ 0 (VADn) (n = 1 ~ 255) 割り込みアドレス格納レジスタ 1 (VADn) (n = 256 ~ 294)

VADn (n = 1 ~ 294) レジスタは、各割り込み入力に対応したベクタアドレスを格納するレジスタです。
VADn レジスタは、32 ビット単位でリード/ライト可能です。

アドレス VIC.VAD1 A001 0404h ~ VIC.VAD255 A001 07FCh
VIC.VAD256 A001 1400h ~ VIC.VAD294 A001 1498h



ビット	シンボル	ビット名	機能	R/W
b31-b0	VADn[31:0]	ベクタアドレス格納ビット	VAD1-VAD294とベクタ番号1-294がペアで対応しています。	R/W

VADn[31:0] ビット (ベクタアドレス格納ビット) (n = 1 ~ 294)

ベクタアドレス格納ビットです。VAD1-VAD294 とベクタ番号 1-294 がペアで対応しています。

- 割り込み要求を CPU に接続する場合
割り込み要求 n が発生した際に分岐する割り込み処理の先頭アドレスを本レジスタにあらかじめ設定してください。
- 割り込み要求を DMAC に接続する場合
割り込み要求 n が発生し DMA 転送が起動されます。DMA 転送完了割り込みが発生した際に、分岐する割り込み処理の先頭アドレスを本レジスタにあらかじめ設定してください。
DMAC に接続する場合は「14.2.8 DMAC Unit0 要因選択レジスタ i (DMA0SELi) (i = 0 ~ 15)」、
「14.2.9 DMAC Unit1 要因選択レジスタ i (DMA1SELi) (i = 0 ~ 15)」にベクタ番号 n を設定して割り込み要求 n を DMA 起動要因に選択してください。

12.4.2.17 割り込み優先レベル格納レジスタ 0 (PRLn) (n = 1 ~ 255)

PRLn (n = 1 ~ 255) レジスタは、各割り込み入力に対応した割り込み優先レベルを格納するレジスタです。

PRLn レジスタは、32 ビット単位でリード/ライト可能です。

アドレス VIC.PRL1 A001 0804h~VIC.PRL255 A001 0BFCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PRL3	PRL2	PRL1	PRL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PRL[3:0]	割り込み優先レベル格納ビット	割り込み優先レベルは、0が最も高く、15が最も低くなります。	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PRL[3:0] ビット (割り込み優先レベル格納ビット)

ベクタ番号 1-255 の割り込み優先レベルを格納するビットです。割り込み優先レベルは、0 が最も高く、15 が最も低くなります。

12.4.2.18 割り込み優先レベル格納レジスタ 1 (PRLn) (n = 256 ~ 294)

PRLn (n = 256 ~ 294) レジスタは、各割り込み入力に対応した割り込み優先レベルを格納するレジスタです。

PRLn レジスタは、32 ビット単位でリード/ライト可能です。

アドレス VIC.PRL256 A001 1800h~VIC.PRL294 A001 1898h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PRL3	PRL2	PRL1	PRL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PRL[3:0]	割り込み優先レベル格納ビット	割り込み優先レベルは、PRLn+16の値となり、16が最も高く、31が最も低くなります。	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PRL[3:0] ビット (割り込み優先レベル格納ビット)

ベクタ番号 256-294 の割り込み優先レベルを格納するビットです。割り込み優先レベルは、PRLn+16 の値となり、16 が最も高く、31 が最も低くなります。

12.4.3 ベクタテーブル

12.4.3.1 割り込みのベクタテーブル

Cortex-R4、およびDMACに対する割り込みのベクタテーブルを表 12.3 に示します。DMAC 要因選択レジスタで選択されたベクタ番号は、各周辺からの割り込み要因ではなく、DMAC 要因選択レジスタで選択された DMAC 各チャンネルの転送完了要因が接続されます。

Cortex-R4 / DMAC 割り込みベクタテーブルの各項目は以下のとおりです。

項目	内容
ベクタ番号	Cortex-R4のVICにおけるIRQ割り込み要因のベクタ番号を示します。
要求元	割り込み要求発生元の名称を示します。
要因	割り込み名称を示します。
検出タイプ	各周辺からの割り込みに対する検出タイプを示します。 <u>DMACからの転送完了割り込みを接続する場合は、必ずエッジを選択してください。</u>
CR4	Cortex-R4 (VIC)の割り込み要因を“O”で示します。
DMAC	DMAC起動要因を“O”で示します。

注. 各モジュールのエラー信号は、直接、CPUに入力されず、エラーコントロールモジュール (ECM) に入力され、他のエラーと統合し、エラー検出要因として、CPUに伝搬します。詳細は、「29. エラーコントロールモジュール (ECM)」を参照してください。

表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (1 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC (注2)
1	System (CR4)	—	Reserved	—	—	—
2		INTCTI	CTI (Cross Trigger Interface) 割り込み	エッジ	○	×
3		FPUEX	FPU例外	レベル	○	×
4	外部	IRQ0	IRQ 端子割り込み0	レベル/エッジ	○	○
5		IRQ1	IRQ 端子割り込み1	レベル/エッジ	○	○
6		IRQ2	IRQ 端子割り込み2	レベル/エッジ	○	○
7		IRQ3	IRQ 端子割り込み3	レベル/エッジ	○	○
8		IRQ4	IRQ 端子割り込み4	レベル/エッジ	○	○
9	—	—	Reserved	—	—	—
10	外部	IRQ6	IRQ 端子割り込み6	レベル/エッジ	○	○
11		IRQ7	IRQ 端子割り込み7	レベル/エッジ	○	○
12	—	—	Reserved	—	—	—
13		—	Reserved	—	—	—
14		—	Reserved	—	—	—
15		—	Reserved	—	—	—
16		—	Reserved	—	—	—
17		—	Reserved	—	—	—
18		—	Reserved	—	—	—
19		—	Reserved	—	—	—
20	ECM	ERRD	エラー検出 (マスクブル)	エッジ	○	×
21	CMT Unit0	CMI0	コンペアマッチ割り込み_ch0	エッジ	○	○
22		CMI1	コンペアマッチ割り込み_ch1	エッジ	○	○
23	CMT Unit1	CMI2	コンペアマッチ割り込み_ch0	エッジ	○	○
24		CMI3	コンペアマッチ割り込み_ch1	エッジ	○	○
25	CMTW Unit0	CMWIO	コンペアマッチ割り込み	エッジ	○	○
26		IC0I0	インプットキャプチャ0 割り込み	エッジ	○	○
27		IC1I0	インプットキャプチャ1 割り込み	エッジ	○	○
28		OC0I0	アウトプットコンペア0 割り込み	エッジ	○	○
29		OC1I0	アウトプットコンペア1 割り込み	エッジ	○	○
30	CMTW Unit1	CMW11	コンペアマッチ割り込み	エッジ	○	○
31		IC0I1	インプットキャプチャ0 割り込み	エッジ	○	○
32		IC1I1	インプットキャプチャ1 割り込み	エッジ	○	○
33		OC0I1	アウトプットコンペア0 割り込み	エッジ	○	○
34		OC1I1	アウトプットコンペア1 割り込み	エッジ	○	○
35	ADC Unit0	S12ADI0	AD変換終了割り込み	エッジ	○	○
36		S12GBADI0	グループB AD変換終了割り込み	エッジ	○	○
37		S12CMP10	コンペア条件成立	レベル	○	×
38	ADC Unit1	S12ADI1	AD変換終了割り込み	エッジ	○	○
39		S12GBADI1	グループB AD変換終了割り込み	エッジ	○	○
40		S12CMP11	コンペア条件成立	レベル	○	×

表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (2 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC (注2)	
41	—	—	Reserved	—	—	—	
42		—	Reserved	—	—	—	
43		—	Reserved	—	—	—	
44		—	Reserved	—	—	—	
45		—	Reserved	—	—	—	
46		—	Reserved	—	—	—	
47		—	Reserved	—	—	—	
48		—	Reserved	—	—	—	
49		—	Reserved	—	—	—	
50		—	Reserved	—	—	—	
51		—	Reserved	—	—	—	
52		—	Reserved	—	—	—	
53		—	Reserved	—	—	—	
54		—	Reserved	—	—	—	
55		—	Reserved	—	—	—	
56		—	Reserved	—	—	—	
57		—	Reserved	—	—	—	
58		—	Reserved	—	—	—	
59		—	Reserved	—	—	—	
60		—	Reserved	—	—	—	
61		—	Reserved	—	—	—	
62		—	Reserved	—	—	—	
63		—	Reserved	—	—	—	
64		—	Reserved	—	—	—	
65		—	Reserved	—	—	—	
66		—	Reserved	—	—	—	
67		—	Reserved	—	—	—	
68		—	Reserved	—	—	—	
69		—	Reserved	—	—	—	
70		—	Reserved	—	—	—	
71		—	Reserved	—	—	—	
72		—	Reserved	—	—	—	
73		—	Reserved	—	—	—	
74		—	Reserved	—	—	—	
75		—	Reserved	—	—	—	
76		—	Reserved	—	—	—	
77		—	Reserved	—	—	—	
78		—	Reserved	—	—	—	
79		—	Reserved	—	—	—	
80		RSPI ch0	SPRI0	受信バッファフル	エッジ	○	○
81			SPTI0	送信バッファエンプティ	エッジ	○	○
82			SPEI0	モードフォルトエラー / オーバランエラー / パリティエラー	レベル	○	×
83			SPII0	RSPIアイドル	レベル	○	×

表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (3 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC (注2)
84	RSPI ch1	SPRI1	受信バッファフル	エッジ	○	○
85		SPTI1	送信バッファエンpty	エッジ	○	○
86		SPEI1	モードフォルトエラー / オーバランエラー / パリティエラー	レベル	○	×
87		SPII1	RSPIアイドル	レベル	○	×
88	—	—	Reserved	—	—	—
89		—	Reserved	—	—	—
90		—	Reserved	—	—	—
91		—	Reserved	—	—	—
92	—	—	Reserved	—	—	—
93		—	Reserved	—	—	—
94		—	Reserved	—	—	—
95		—	Reserved	—	—	—
96	SCIFA ch0	BRIF0	ブレイク / オーバラン / フレーミングエラー / パリティエラー	レベル	○	×
97		RXIF0	受信 FIFO データフル (RDF)	レベル	○	○
98		TXIF0	送信 FIFO データエンpty (TDFE)	レベル	○	○
99		DRIF0	トランスミットエンド / 受信データレディ	レベル	○	×
100	SCIFA ch1	BRIF1	ブレイク / オーバラン / フレーミングエラー / パリティエラー	レベル	○	×
101		RXIF1	受信 FIFO データフル (RDF)	レベル	○	○
102		TXIF1	送信 FIFO データエンpty (TDFE)	レベル	○	○
103		DRIF1	トランスミットエンド / 受信データレディ	レベル	○	×
104	—	—	Reserved	—	—	—
105		—	Reserved	—	—	—
106		—	Reserved	—	—	—
107		—	Reserved	—	—	—
108	—	—	Reserved	—	—	—
109	SCIFA ch2	BRIF2	ブレイク / オーバラン / フレーミングエラー / パリティエラー	レベル	○	×
110		RXIF2	受信 FIFO データフル (RDF)	レベル	○	○
111		TXIF2	送信 FIFO データエンpty (TDFE)	レベル	○	○
112		DRIF2	トランスミットエンド / 受信データレディ	レベル	○	×
113	—	—	Reserved	—	—	—
114		—	Reserved	—	—	—
115		—	Reserved	—	—	—
116		—	Reserved	—	—	—
117	SCIFA ch4	BRIF4	ブレイク / オーバラン / フレーミングエラー / パリティエラー	レベル	○	×
118		RXIF4	受信 FIFO データフル (RDF)	レベル	○	○
119		TXIF4	送信 FIFO データエンpty (TDFE)	レベル	○	○
120		DRIF4	トランスミットエンド / 受信データレディ	レベル	○	×
121	RIIC ch0	TEI0	データ送信終了 (TEND)	レベル	○	×
122		RXI0	データ受信終了 (RDRF)	エッジ	○	○
123		TXI0	送信データエンpty (TDRE)	エッジ	○	○

表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (4 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC (注2)
124	RIIC ch1	TEI1	データ送信終了 (TEND)	レベル	○	×
125		RXI1	データ受信終了 (RDRF)	エッジ	○	○
126		TXI1	送信データエンプティ (TDRE)	エッジ	○	○
127	—	—	Reserved	—	—	—
128		—	Reserved	—	—	—
129		—	Reserved	—	—	—
130		—	Reserved	—	—	—
131	MDIO	INT_REQ_RE G_DATA	データ送受信完了	レベル	○	○
132		INT_ETC	通常要因： 期待値と一致する DEVADD の受信完了 期待値と一致しない DEVADD の受信完了 期待値と一致する PHYADR の受信完了 期待値と一致しない PHYADR の受信完了 OP 受信完了 エラー要因：送信エラー発生	レベル	○	○
133	—	—	Reserved	—	—	—
134		—	Reserved	—	—	—
135		—	Reserved	—	—	—
136		—	Reserved	—	—	—
137		—	Reserved	—	—	—
138		—	Reserved	—	—	—
139		—	Reserved	—	—	—
140		—	Reserved	—	—	—
141		—	Reserved	—	—	—
142		—	Reserved	—	—	—
143	MDIOM1 (注3)	INT_END1	MDIOM1 マスタの通信完了	レベル	○	×
144	—	—	Reserved	—	—	—
145		—	Reserved	—	—	—
146		—	Reserved	—	—	—
147		—	Reserved	—	—	—
148		—	Reserved	—	—	—
149		—	Reserved	—	—	—
150		—	Reserved	—	—	—
151		—	Reserved	—	—	—
152		—	Reserved	—	—	—
153		—	Reserved	—	—	—
154		—	Reserved	—	—	—
155		—	Reserved	—	—	—
156		—	Reserved	—	—	—

表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (5 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC (注2)
157	—	—	Reserved	—	—	—
158	—	—	Reserved	—	—	—
159	—	—	Reserved	—	—	—
160	—	—	Reserved	—	—	—
161	—	—	Reserved	—	—	—
162	—	—	Reserved	—	—	—
163	—	—	Reserved	—	—	—
164	—	—	Reserved	—	—	—
165	—	—	Reserved	—	—	—
166	—	—	Reserved	—	—	—
167	—	—	Reserved	—	—	—
168	—	—	Reserved	—	—	—
169	—	—	Reserved	—	—	—
170	—	—	Reserved	—	—	—
171	—	—	Reserved	—	—	—
172	—	—	Reserved	—	—	—
173	—	—	Reserved	—	—	—
174	—	—	Reserved	—	—	—
175	—	—	Reserved	—	—	—
176	—	—	Reserved	—	—	—
177	—	—	Reserved	—	—	—
178	—	—	Reserved	—	—	—
179	—	—	Reserved	—	—	—
180	—	—	Reserved	—	—	—
181	—	—	Reserved	—	—	—
182	—	—	Reserved	—	—	—
183	—	—	Reserved	—	—	—
184	—	—	Reserved	—	—	—
185	—	—	Reserved	—	—	—
186	—	—	Reserved	—	—	—
187	—	—	Reserved	—	—	—
188	—	—	Reserved	—	—	—
189	—	—	Reserved	—	—	—
190	—	—	Reserved	—	—	—
191	—	—	Reserved	—	—	—
192	—	—	Reserved	—	—	—
193	—	—	Reserved	—	—	—
194	—	—	Reserved	—	—	—
195	—	—	Reserved	—	—	—
196	—	—	Reserved	—	—	—
197	—	—	Reserved	—	—	—
198	—	—	Reserved	—	—	—
199	—	—	Reserved	—	—	—
200	—	—	Reserved	—	—	—

表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (6 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC (注2)
201	—	—	Reserved	—	—	—
202		—	Reserved	—	—	—
203		—	Reserved	—	—	—
204		—	Reserved	—	—	—
205		—	Reserved	—	—	—
206		—	Reserved	—	—	—
207		—	Reserved	—	—	—
208		—	Reserved	—	—	—
209		—	Reserved	—	—	—
210		—	Reserved	—	—	—
211		—	Reserved	—	—	—
212		—	Reserved	—	—	—
213		—	Reserved	—	—	—
214		—	Reserved	—	—	—
215		—	Reserved	—	—	—
216	TPUa Unit0	TGI0A	ch0 インพุットキャプチャ/コンペアマッチA 割り込み	エッジ	○	○
217		TGI0B	ch0 インพุットキャプチャ/コンペアマッチB 割り込み	エッジ	○	○
218		TGI0C	ch0 インพุットキャプチャ/コンペアマッチC 割り込み	エッジ	○	×
219		TGI0D	ch0 インพุットキャプチャ/コンペアマッチD 割り込み	エッジ	○	×
220		TCI0V	ch0 オーバフロー 割り込み	エッジ	○	×
221		TGI1A	ch1 インพุットキャプチャ/コンペアマッチA 割り込み	エッジ	○	○
222		TGI1B	ch1 インพุットキャプチャ/コンペアマッチB 割り込み	エッジ	○	○
223		TCI1V	ch1 オーバフロー 割り込み	エッジ	○	×
224		TCI1U	ch1 アンダフロー 割り込み	エッジ	○	×
225		TGI2A	ch2 インพุットキャプチャ/コンペアマッチA 割り込み	エッジ	○	○
226		TGI2B	ch2 インพุットキャプチャ/コンペアマッチB 割り込み	エッジ	○	○
227		TCI2V	ch2 オーバフロー 割り込み	エッジ	○	×
228		TCI2U	ch2 アンダフロー 割り込み	エッジ	○	×
229		TGI3A	ch3 インพุットキャプチャ/コンペアマッチA 割り込み	エッジ	○	○
230		TGI3B	ch3 インพุットキャプチャ/コンペアマッチB 割り込み	エッジ	○	○
231		TGI3C	ch3 インพุットキャプチャ/コンペアマッチC 割り込み	エッジ	○	×
232		TGI3D	ch3 インพุットキャプチャ/コンペアマッチD 割り込み	エッジ	○	×
233		TCI3V	ch3 オーバフロー 割り込み	エッジ	○	×
234		TGI4A	ch4 インพุットキャプチャ/コンペアマッチA 割り込み	エッジ	○	○

表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (7 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC (注2)
235	TPUa Unit0	TGI4B	ch4 インพุットキャプチャ/コンペアマッチB 割り込み	エッジ	○	○
236		TCI4V	ch4 オーバフロー 割り込み	エッジ	○	×
237		TCI4U	ch4 アンダフロー 割り込み	エッジ	○	×
238		TGI5A	ch5 インพุットキャプチャ/コンペアマッチA 割り込み	エッジ	○	○
239		TGI5B	ch5 インพุットキャプチャ/コンペアマッチB 割り込み	エッジ	○	○
240		TCI5V	ch5 オーバフロー 割り込み	エッジ	○	×
241		TCI5U	ch5 アンダフロー 割り込み	エッジ	○	×
242		ELC	ELCIRQ1	割り込み1 (ELSR18)	エッジ	○
243	ELCIRQ2		割り込み2 (ELSR19)	エッジ	○	○
244	—	—	Reserved	—	—	—
245	—	—	Reserved	—	—	—
246	—	—	Reserved	—	—	—
247	—	—	Reserved	—	—	—
248	—	—	Reserved	—	—	—
249	—	—	Reserved	—	—	—
250	—	—	Reserved	—	—	—
251	DMAC	DMASRQ0	DMA転送 ソフトウェア起動 (Unit0)	エッジ	×	○
252		DMASRQ1	DMA転送 ソフトウェア起動 (Unit1)	エッジ	×	○
253	—	—	Reserved	—	—	—
254	—	—	Reserved	—	—	—
255	—	—	Reserved	—	—	—
256	—	—	Reserved	—	—	—
257	—	—	Reserved	—	—	—
258	—	—	Reserved	—	—	—
259	—	—	Reserved	—	—	—
260	RIIC ch0	EI0	停止条件検知/スタート条件検知/ NACK検知/アービトレーションロスト/ タイムアウト発生	レベル	○	×
261	RIIC ch1	EI1	停止条件検知/スタート条件検知/ NACK検知/アービトレーションロスト/ タイムアウト発生	レベル	○	×
262	—	—	Reserved	—	—	—
263	—	—	Reserved	—	—	—
264	—	—	Reserved	—	—	—
265	—	—	Reserved	—	—	—
266	—	—	Reserved	—	—	—
267	—	—	Reserved	—	—	—
268	—	—	Reserved	—	—	—
269	—	—	Reserved	—	—	—
270	—	—	Reserved	—	—	—
271	—	—	Reserved	—	—	—
272	—	—	Reserved	—	—	—
273	—	—	Reserved	—	—	—

表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (8 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC (注2)
274	—	—	Reserved	—	—	—
275	—	—	Reserved	—	—	—
276	—	—	Reserved	—	—	—
277	—	—	Reserved	—	—	—
278	—	—	Reserved	—	—	—
279	—	—	Reserved	—	—	—
280	—	—	Reserved	—	—	—
281	—	—	Reserved	—	—	—
282	—	—	Reserved	—	—	—
283	—	—	Reserved	—	—	—
284	—	—	Reserved	—	—	—
285	—	—	Reserved	—	—	—
286	—	—	Reserved	—	—	—
287	—	—	Reserved	—	—	—
288	—	—	Reserved	—	—	—
289	—	—	Reserved	—	—	—
290	—	—	Reserved	—	—	—
291	—	—	Reserved	—	—	—
292	—	—	Reserved	—	—	—
293	DMAC	DMAERR0	DMA 転送 転送エラー (Unit0)	エッジ	○	×
294		DMAERR1	DMA 転送 転送エラー (Unit1)	エッジ	○	×
295	—	—	Reserved	—	—	—
296	—	—	Reserved	—	—	—
297	—	—	Reserved	—	—	—
298	—	—	Reserved	—	—	—
299	—	—	Reserved	—	—	—
300	—	—	Reserved	—	—	—

注. 要求先に"○"の記載がない割り込み要求先は、選択しないでください。

注1. DMA 起動要因による割り込みは発生しませんが、DMA 転送完了時には、DMA 転送完了割り込みのベクタ番号として扱われます。詳細については、「12.3.1 割り込み要求先の選択」、「14.4.2 DMA 転送完了割り込み」を参照してください。

注2. DMAC からの転送完了割り込みを接続する場合は、割り込み検出タイプ選択レジスタ n (PLSn) の設定は、常にエッジを選択してください。詳細は「12.4.4.3 (1) 割り込み検出タイプの指定方法」を参照してください。

注3. MDIO マスタ (オプション) 搭載製品のみ

12.4.4 動作説明

12.4.4.1 VIC のレジスタ初期化

VIC のレジスタ初期化手順を図 12.5 に示します。

リセットを解除した時点では、VIC は割り込み優先レベル設定など、レジスタが動作可能な状態になっていません。このため、リセット解除後に必ず初期化してください。

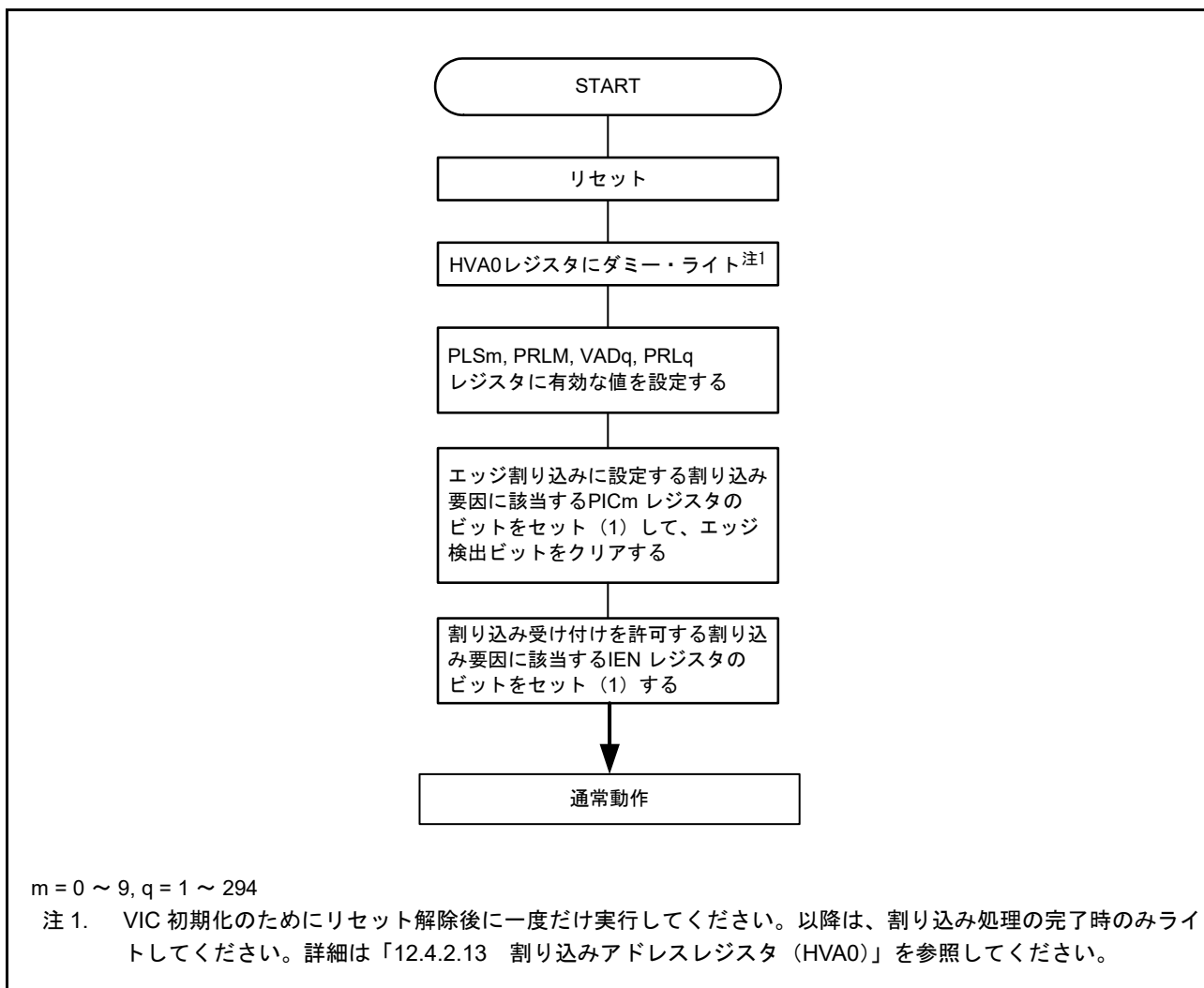


図 12.5 VIC のレジスタ初期化

12.4.4.2 PLS / PRLM / VAD / PRL レジスタ書き換え手順

VIC が動作中に、以下のレジスタを書き換える場合は、割り込み処理をすべて終了させ、割り込み禁止状態にして書き換えてください。

割り込み禁止は、Cortex-R4 の CPSR レジスタの I ビットをセット (1) することで行ってください。

- PLS (割り込み検出タイプ選択レジスタ)
- PRLM (割り込み優先レベルマスクレジスタ)
- VAD (割り込みアドレス格納レジスタ)
- PRL (割り込み優先レベル格納レジスタ)

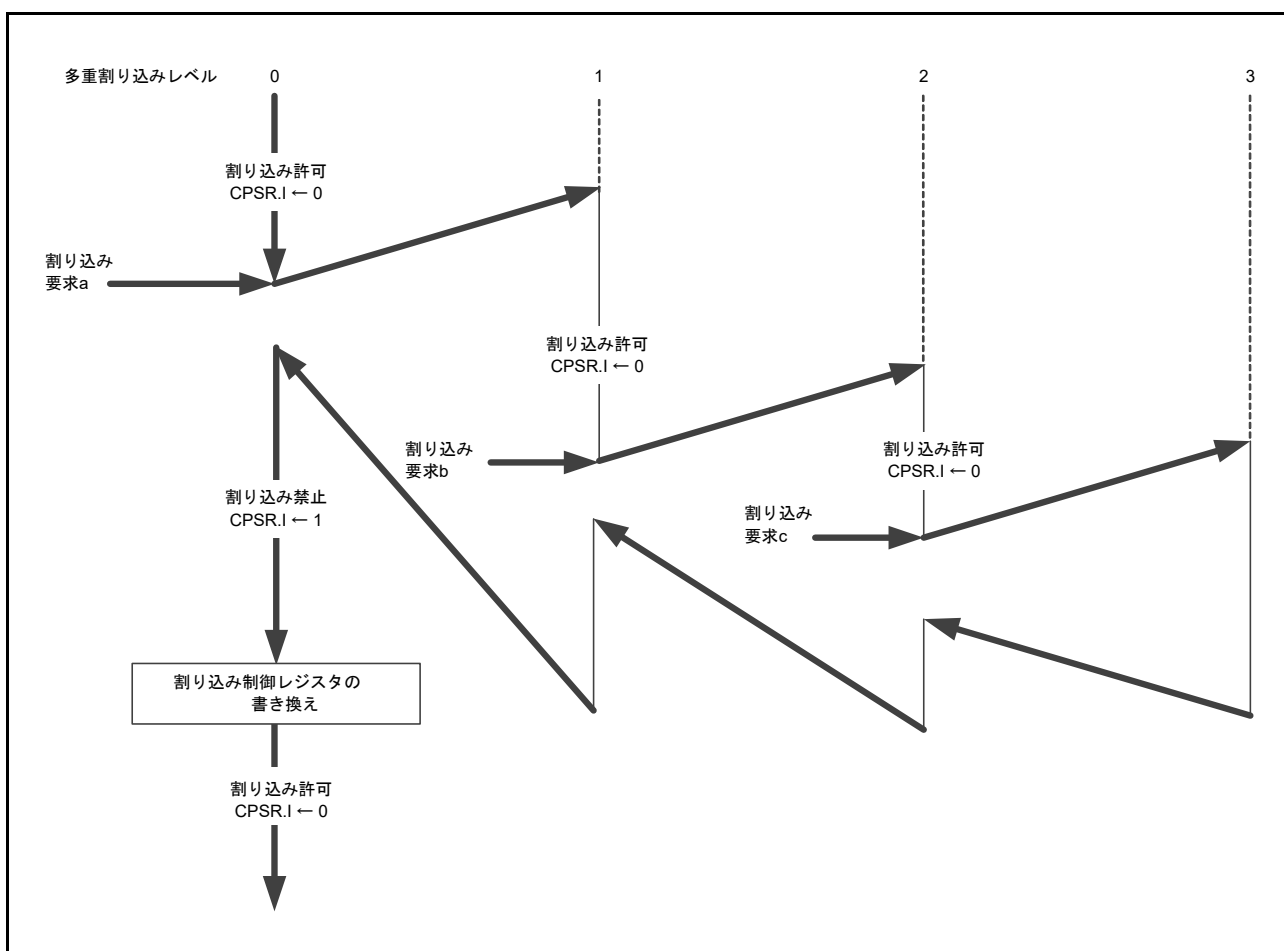


図 12.6 レジスタ設定変更期間

実際の書き換え処理は、以下のフローにしたがってソフトウェアで処理してください。

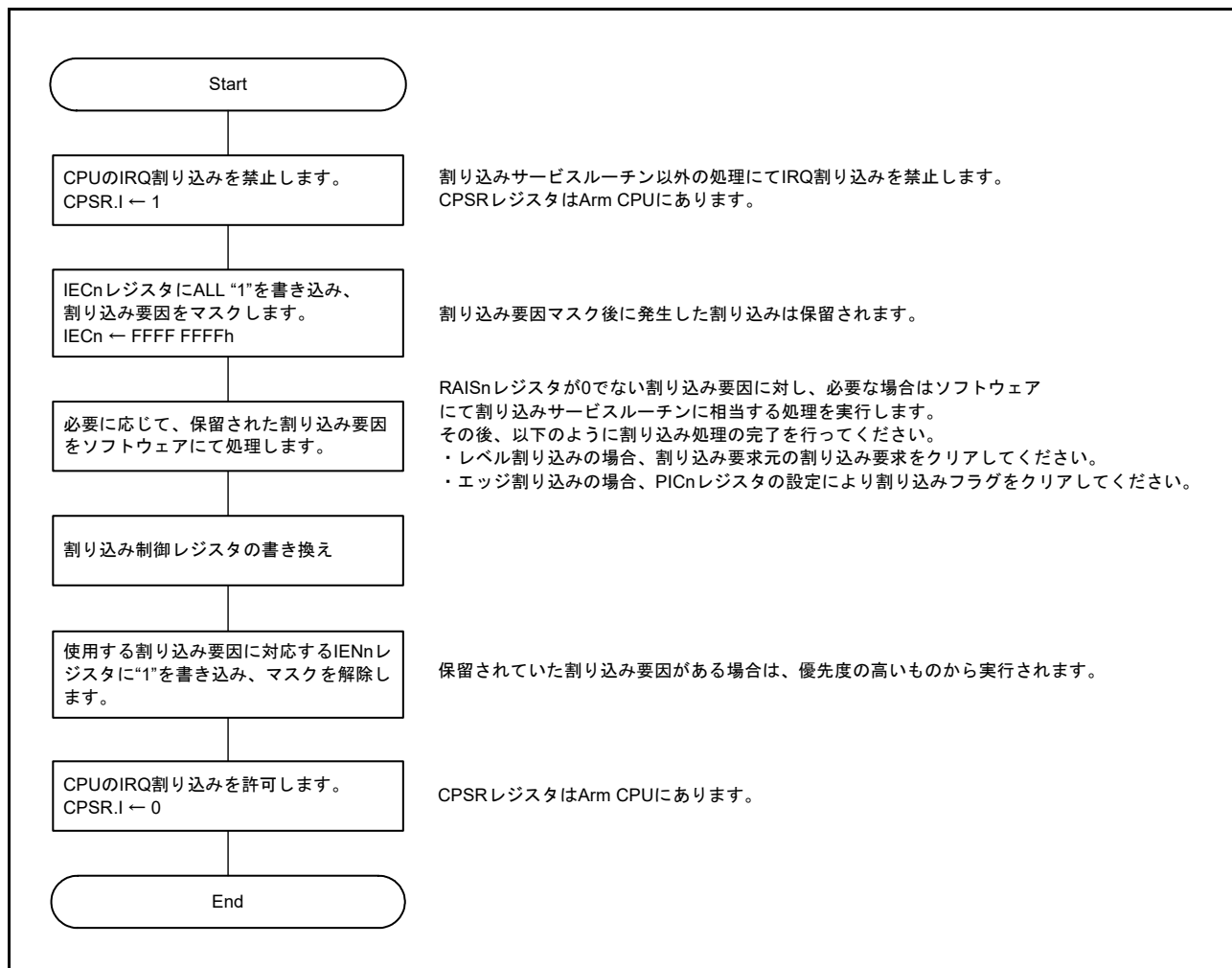


図 12.7 レジスタ書き換えフロー

12.4.4.3 割り込み検出

(1) 割り込み検出タイプの指定方法

NMI 端子からの割り込みを除く外部割り込み、および内蔵周辺から割り込みを Cortex-R4 に接続する場合、VIC でエッジまたはレベル検出を割り込み検出タイプ選択レジスタ n (PLSn) で選択する必要があります。表 12.4 に VIC の割り込み検出タイプの設定を示します。DMAC からの転送完了割り込みを接続する場合は、常にエッジを選択してください。

表 12.4 VICの割り込み検出タイプ別の設定

割り込み要求タイプ	PLSm
エッジ割り込み	1
レベル割り込み	0

m : 割り込みベクタ番号 (0 ~ 294)

(2) IRQ 割り込み (レベル割り込み)

図 12.8 にレベル割り込みの動作を示します。

なお、レベル割り込みを完了させる場合、レベル割り込みの要求元の割り込み出力を停止させると同時に、IRQ ステータスレジスタ n (IRQSn, $n=0 \sim 9$) の該当ビットがクリア (0) され、その割り込み要求が発生していないことを確認してください。これは、ソフトウェアによる割り込み要求元の割り込み出力停止処理が、ハードウェアに反映されるまでに遅延が生じ、復帰後に同一の割り込みが受け付けられてしまうことを防止するためです。また、割り込み要求元の割り込み出力停止処理は、要求元の動作に応じて、サービスルーチン (ISR) の適切な箇所で行ってください。

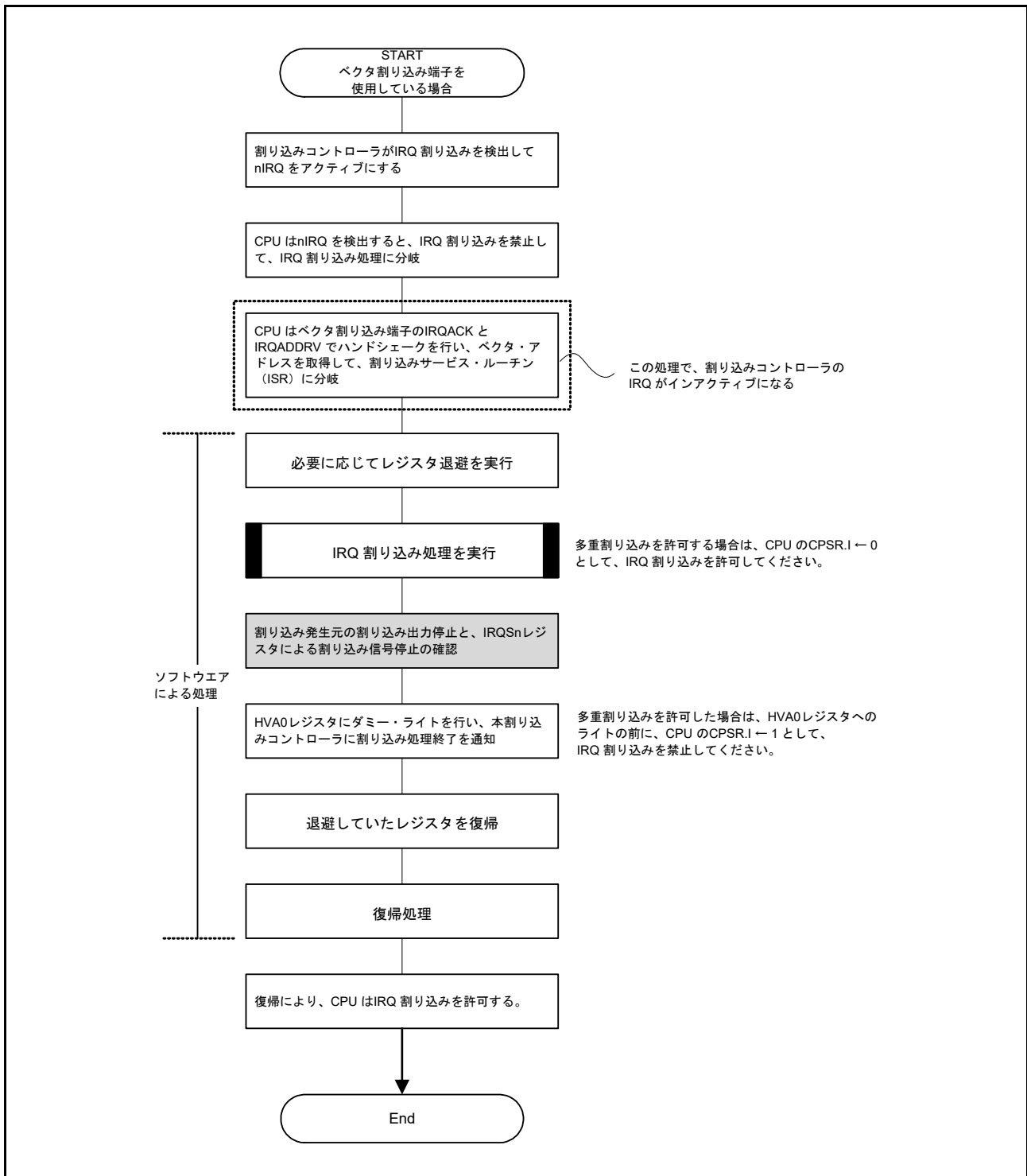


図 12.8 IRQ 割り込み動作 (レベル動作)

(3) IRQ 割り込み (エッジ割り込み)

図 12.9 にエッジ割り込み動作を示します。

なお、エッジ割り込み要求のクリアは、エッジ検出ビットクリアレジスタ n (PICn, n=0~9)で行ってください。

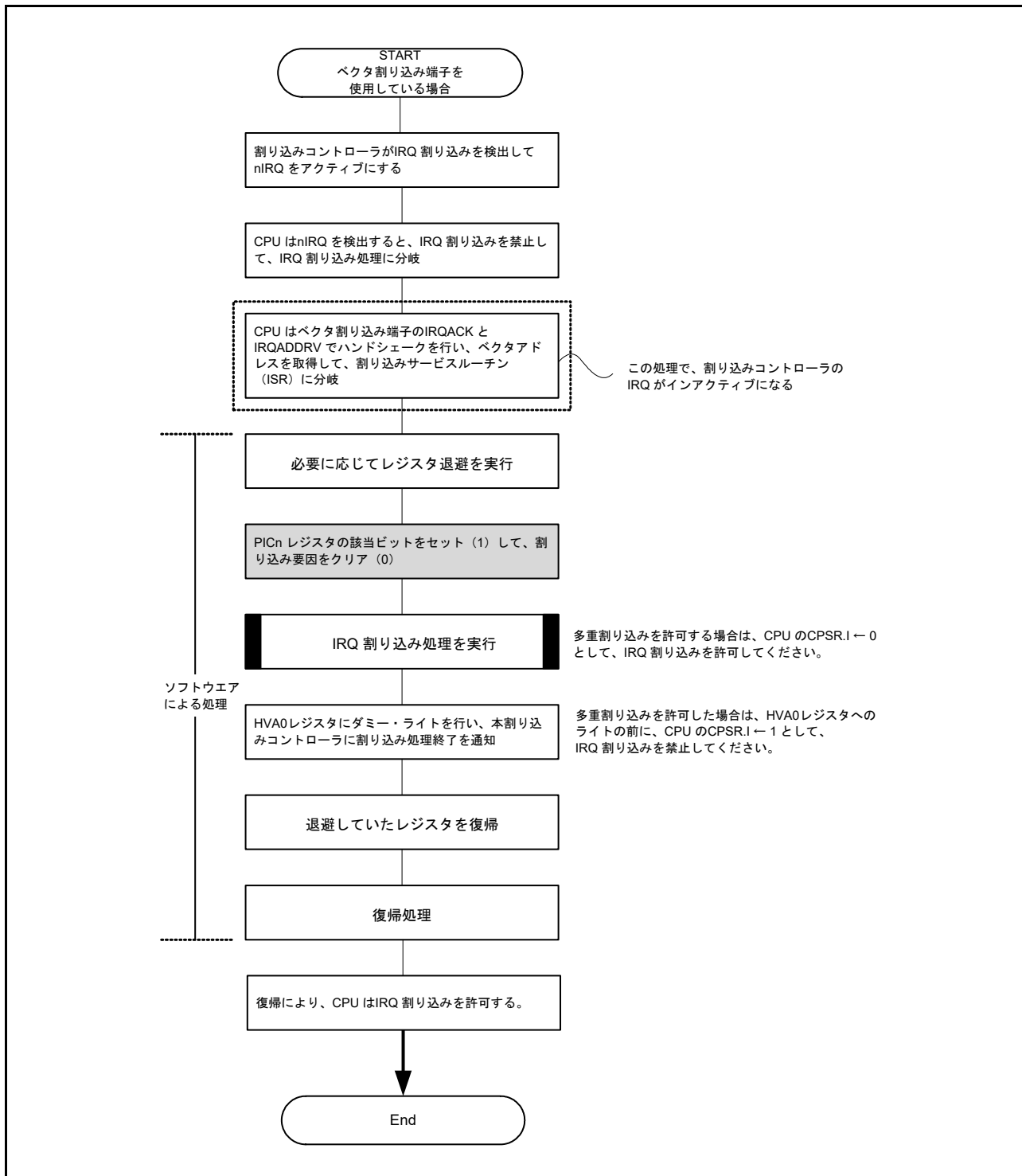


図 12.9 IRQ 割り込み動作 (エッジ割り込み)

12.4.4.4 割り込み多重制御における優先レベル

割り込み処理中（割り込み多重制御を行っている場合に限る）の場合、現在サービス中の割り込みより優先レベルの高い割り込みのみ受け付けます。このとき、サービス中の割り込みの優先レベル以下の割り込みは保留されます。

12.4.4.5 多重割り込み処理

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を図 12.10 に示します。

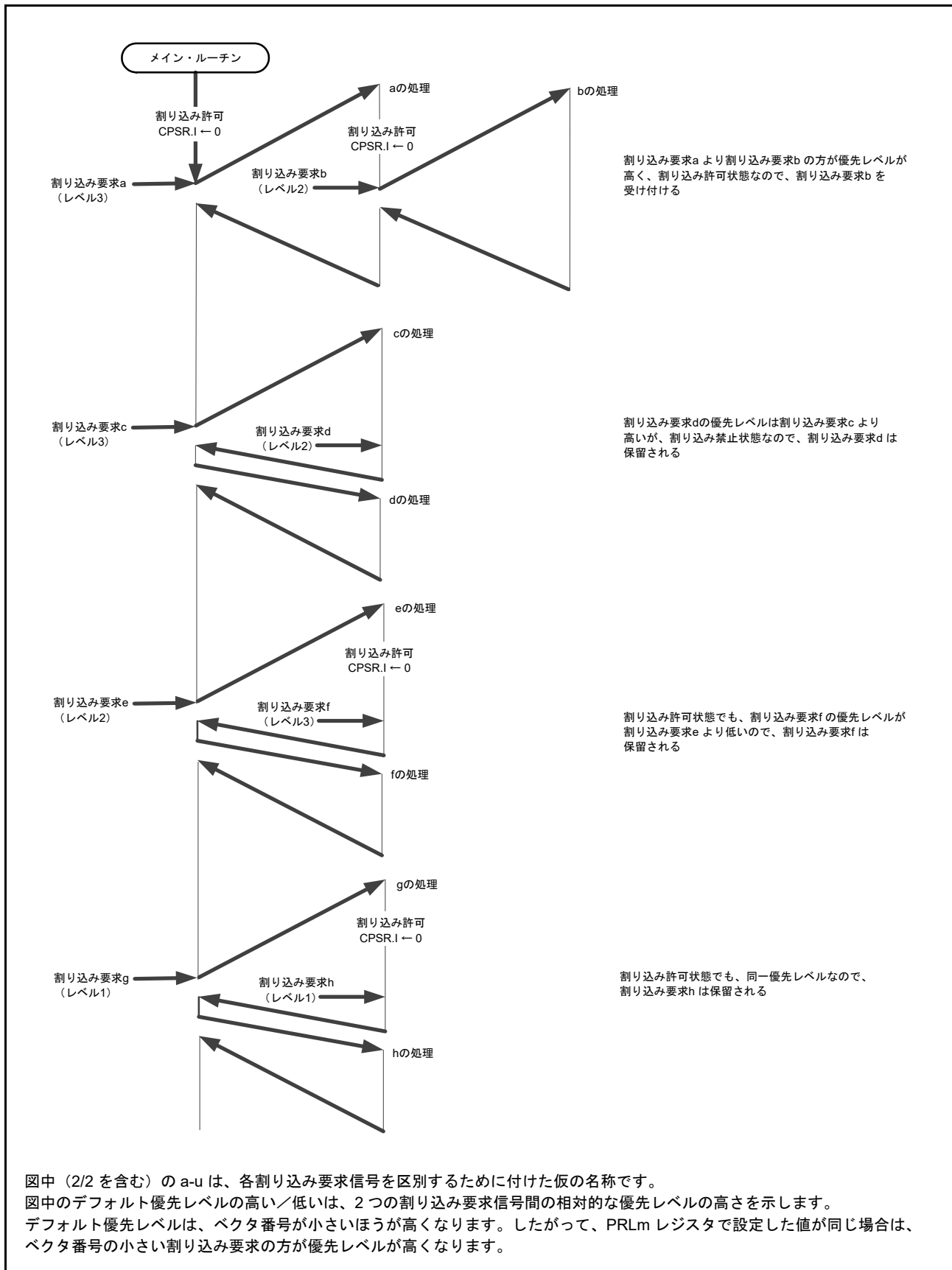


図 12.10 多重割り込み処理の概念 (1 / 2)

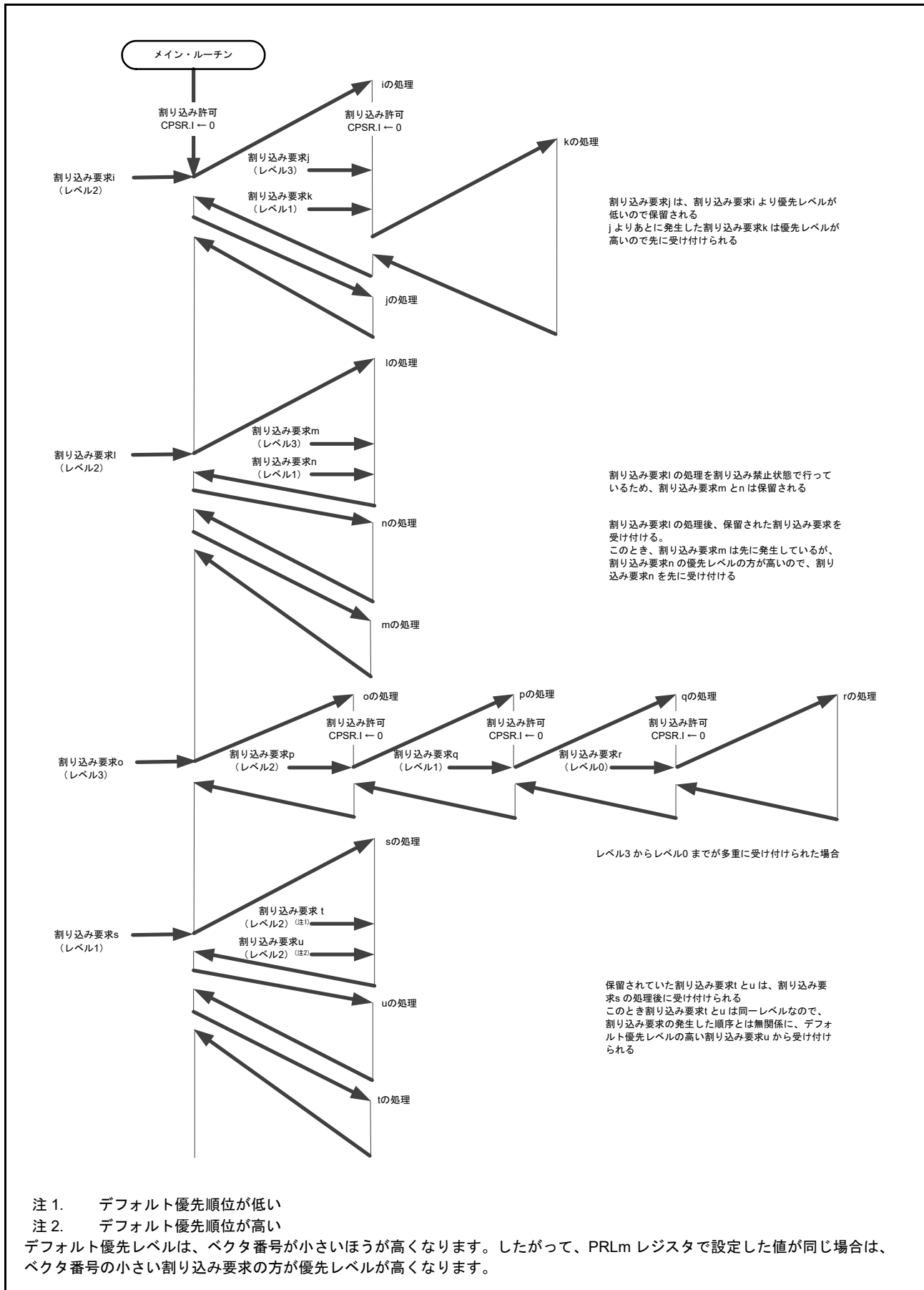


図 12.10 多重割り込み処理の概念 (2 / 2)

12.4.4.6 ポーリングによる IRQ 割り込み処理

図 12.11 に割り込みステータスレジスタ (RAISn) のポーリングにより、IRQ 割り込みを処理する手順を示します。

割り込みイネーブルレジスタ (IENn) を割り込みマスク状態のまま、割り込み入力ステータスレジスタ (RAISn) で IRQ 割り込みを検出することで割り込みサービス・ルーチン (ISR) へ分岐することなく、割り込み処理を行うことが可能です。

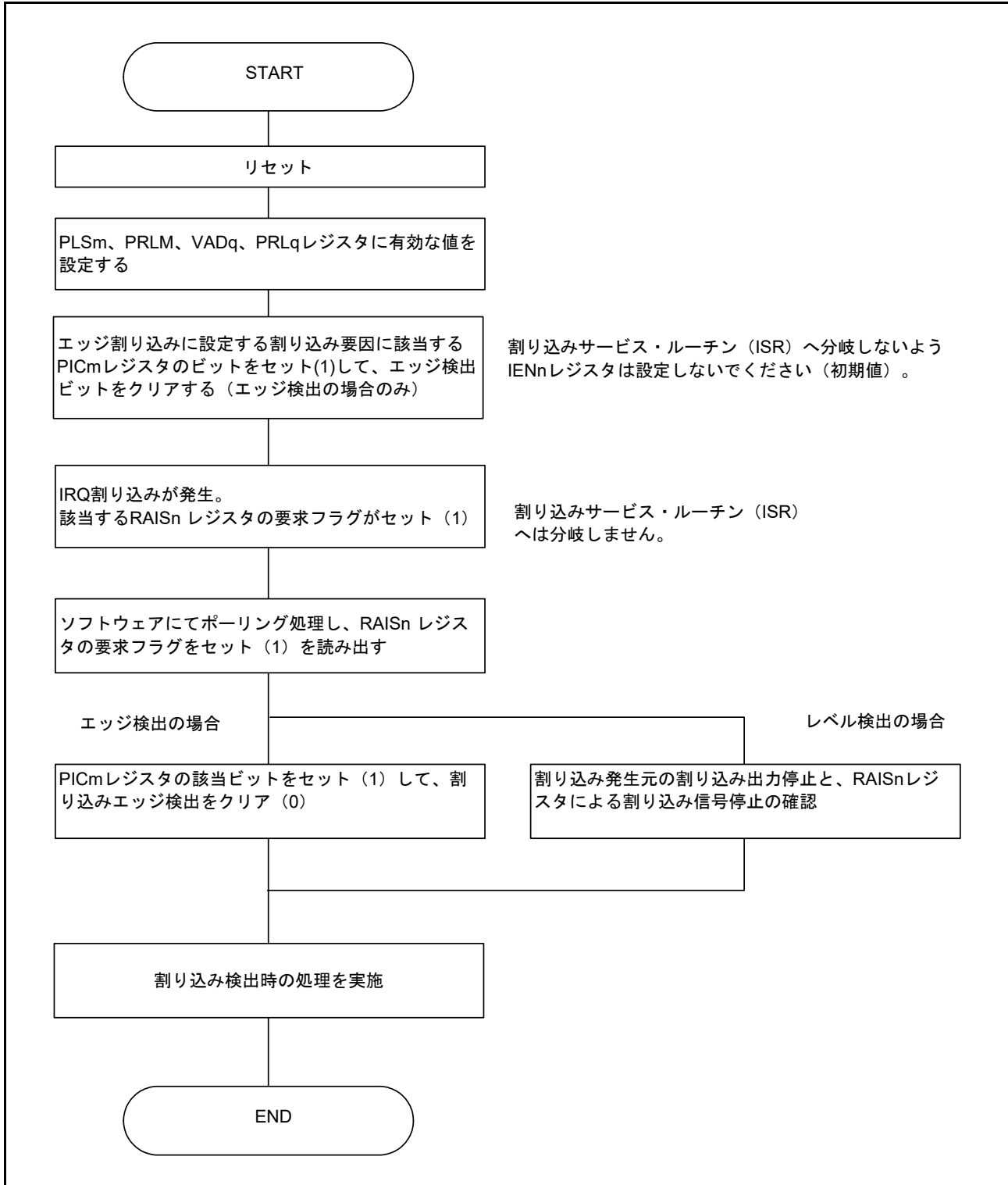


図 12.11 ポーリングによる IRQ 割り込み動作 (エッジ検出、レベル検出)

12.4.5 スリープモードからの復帰

スリープモードは、ノンマスカブル割り込み、および全要因の割り込みによって復帰することができます。割り込みにより復帰するための条件は以下のとおりです。

- (1) IENn ビットによって該当する割り込み要求が許可されていること
- (2) DMAC 要因選択レジスタによって、DMAC への割り付けがされていないこと

12.4.6 使用上の注意事項

12.4.6.1 VIC の優先レベルに関する制約

VIC は割り込み優先レベル格納レジスタ n (PRLn, $n = 1 \sim 294$) により要因毎に 16 段階の優先順位を指定することができますが、ベクタ番号 256 以降の要因については、ベクタ番号 1 ~ 255 の要因に対して優先順位が下がります。表 12.5 にベクタ番号と優先レベルの関係を示します。

表 12.5 ベクタ番号と優先レベルの関係

ベクタ番号	優先レベル (注1)
1 ~ 255	PRLn
256 ~ 294	PRLn + 16

$n = 1 \sim 294$

注1. 優先レベルは0が最高

12.4.6.2 HVA0 レジスタアクセス時の注意点

ベクタ割り込みと HVA0 レジスタへのライト動作が競合した場合、AHB バスが HVA0 レジスタにダミーライトを行い、そのライトの完了応答があるまで CPU の IRQ 割り込みを禁止することにより、ベクタ割り込み応答がアクティブにならないようにしています。

HVA0 レジスタへのライトを行う場合、必ずライト完了応答を待ってから CPU の IRQ 割り込みを許可するようにしてください。図 12.8 に示す手順通りの動作を行い、かつ HVA0 レジスタへのライト直後に DMB 命令を実行する (プログラム例を参照) ことにより確実にライトが完了できるため必ず守るようにしてください。

- プログラム例

```
VIC.HVA0.LONG = 0x00000000;
asm("dmb"); // DMB 命令
```

注. プログラムの書式はコンパイラによって異なる場合がありますので、各社コンパイラのマニュアルを確認してください。

12.4.6.3 レベル検出選択時の注意

割り込み要求をレベル検出に設定している場合、一度発生した割り込み要求を CPU からの割り込み解除処理以外で取り消さないでください。正常なベクタアドレスが出力されない可能性があります。例えば、レベル割り込み A が発生した場合には、「12.4.4.3 割り込み検出」の図 12.8 にあるよう、本来は当該割り込み処理 A で割り込み発生元の割り込み出力 A をクリアする必要がありますが、別の割り込み処理 B で割り込み出力 A のクリアやマスク処理を行ってしまった場合に割り込み出力 A が過渡的に取り消しされる可能性があります。

本割り込みコントローラが割り込みを受け付け、CPU がベクタアドレスを取得する前に割り込み要求が取り消された場合、同時に他の割り込み要求が発生しているときは、0000 0014h をベクタアドレスとして出力します。このように割り込み要求が過渡的なタイミングで取り下げられたケースを処置するために、CPU の 0000 0014h には復帰命令のみを配置することを推奨します。(プログラム例を参照)

また、多重割り込みを許可している割り込み処理中に、割り込み要求が過渡的なタイミングで取り下げられた場合は、サービス中の割り込み処理に再び分岐します。この割り込み処理で HVA0 レジスタへのライトを行うと、本割り込みコントローラは割り込み処理が終了したと認識するため、CPU が認識している割り込み要因とずれが生じますので、注意してください。

- プログラム例
reserved_handler:
subs pc, lr, #4 ; 0000 0014h に配置してください。

注 . プログラムの書式はコンパイラによって異なる場合がありますので、各社コンパイラのマニュアルを確認してください。

12.4.6.4 IECn レジスタの書き換え時の注意

IECn レジスタを書き換える場合は、必ず割り込み禁止状態で書き換えをしてください。
割り込み禁止は、Arm CPU の CPSR レジスタ I ビットをセット (1) することで行ってください。

12.4.6.5 ベクタ設定について

本製品は仕様上、SCTLR.[24]VE ビット = 0 の固定ベクタ設定は禁止です。SCTLR.[24]VE ビット = 1 の VIC からのアドレス提供のみ可能です。アドレスは VADn レジスタ (n : ベクタ番号) で設定が可能です。

12.5 使用上の注意事項

12.5.1 外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合

リセット後の外部端子割り込みの内部レベルは High となっているため、端子の初期入力レベルが Low かつ立ち下がりエッジ、または両エッジで使用される場合は、以下の手順で設定してください。

その他の条件で使用する場合は、「12.3.3 外部端子割り込み」の手順で設定してください。

また、本設定完了前に外部端子割り込みへ立ち下がりエッジが入力されないようにしてください。

[IRQ 端子の場合]

1. 該当する IENn ビットを“0”にする (IECn ビットをセットする)。
2. I/O ポートのポート方向レジスタ (PDR) Pmn 方向制御ビットに、“10b (入力)”を設定する。
3. I/O ポート (PmnPFS.ISEL ビット) の設定、および確認を行う (PmnPFS レジスタをリードする)。
4. IRQFLTE.FLTENi ビットを“0”にする。(注1)
5. IRQFLTC.FCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注1)
6. IRQFLTE.FLTENi ビットを“1”にする。(注1)
7. IRQCRi.IRQMD[1:0] ビットで立ち下がりエッジ、または両エッジに設定。
8. 該当する PICn レジスタを“1”にする (エッジ検出の場合)。
9. 該当する IENn ビットを“1”にする。

注1. デジタルノイズフィルタを使用する場合のみ設定が必要

12.5.2 NMI 端子割り込みを立ち下がりエッジで使用する場合

リセット後の NMI 端子の内部レベルは High となっているため、NMI 端子の初期入力レベルが Low かつ立ち下がりエッジで使用される場合は、以下の手順で設定してください。

その他の条件で使用する場合は「12.3.4 NMI 端子割り込み」の手順で設定してください。

また、本設定完了前に NMI 端子へ立ち下がりエッジが入力されないようにしてください。

1. NMICR.NMIMD ビットで検出エッジを立ち上がりエッジ“1”に設定する。
2. I/O ポートの設定 (P35PFS.ISEL ビット)、および確認を行う。
3. NMIFLTE.NFLTEN ビットを“0”にする。(注1)
4. NMIFLTC.NFCLKSEL[1:0] ビットでデジタルノイズフィルタのサンプリングクロックを設定する。(注1)
5. NMICR.NMIMD ビットで検出エッジを立ち下がりエッジ“0”に設定する。
6. NMICLR.NMICLR ビットに“1”をセットし、NMISR.NMIST フラグを“0”にする。
7. NMIFLTE.NFLTEN ビットを“1”にセットする。(注1)
8. I/O ポートのポート方向レジスタ (PDR) P35 方向制御ビットに、“10b (入力)”を設定する。

注1. デジタルノイズフィルタを使用する場合のみ設定が必要です。

13. 内部バス

13.1 概要

本製品は、2種類の内部メインバスとメモリバス、および複数の内部周辺バスを有しています。

表 13.1 に内部バスの仕様を、図 13.1 に内部バスの構成図を示します。

表 13.1 内部バスの仕様

内部バスの種類		内容
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> ICLKに同期して動作 バスプロトコル：AMBA AXI 優先順位判定：ラウンドロビン
	内部メインバス2	<ul style="list-style-type: none"> ICLKに同期して動作 バスプロトコル：AMBA AHB 優先順位判定：固定優先付きラウンドロビン (DMA0最優先)
周辺バス1	SCIFA、RSPIa	SERICKLに同期して動作
周辺バス2	CRC、ECM	PCLKDに同期して動作
周辺バス3	ADC	PCLKHに同期して動作
周辺バス4	ELC、TPU、CMT、CMTW、WDTA、IWDTa、RIIC、DOC、温度センサ	PCLKDに同期して動作
周辺バス5	クロック発生回路、CLMA	PCLKBに同期して動作
外部Serial Flashバス		ICLKに同期して動作

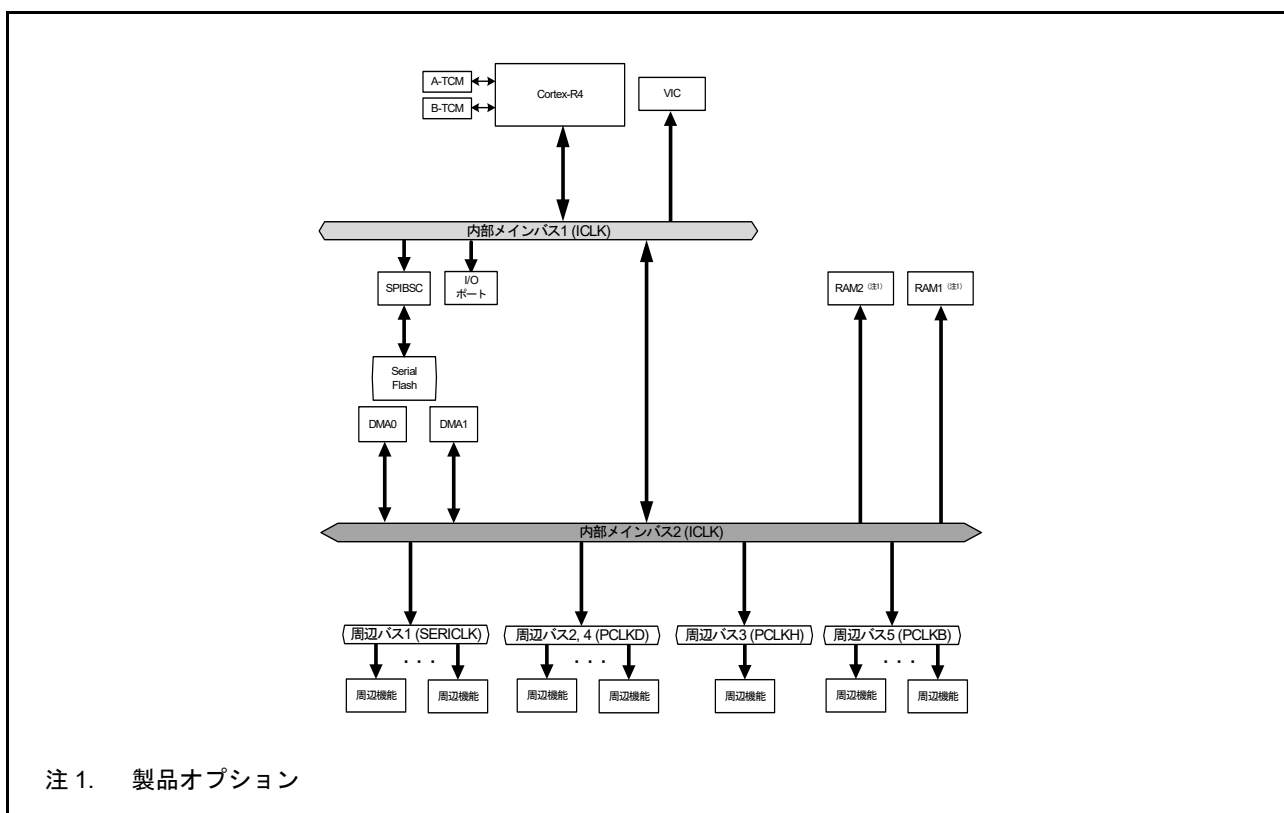


図 13.1 バスの構成図

13.2 内部メインバス

本 LSI の内部メインバス 1、内部メインバス 2 は共にマルチレイヤ構成となっています。各バスマスタが異なるバススレーブにアクセスした場合、各アクセスは並列に実行されます。各バスマスタが同一のバススレーブにアクセスした場合、優先順位判定が行われ、優先順位の高い順にアクセスを行います。

表 13.2 に内部メインバス 1、表 13.3 に内部メインバス 2 のバスマスタ・バススレーブ間接続を示します。

表 13.2 内部メインバス1 バスマスタ・バススレーブ間接続

バススレーブ \ バスマスタ	CPU(Cortex-R4)	内部メインバス2
CPU (Cortex-R4)	○	○
I/Oポート	○	○
SPIBSC	○	○
VIC	○	○
内部メインバス2	○	—

○ : アクセス可

— : アクセス不可

表 13.3 内部メインバス2 バスマスタ・バススレーブ間接続

バススレーブ \ バスマスタ	内部メインバス1	DMA0	DMA1
内部メインバス1	—	○	○
DMA0	○	—	—
DMA1	○	—	—
拡張内蔵RAM	○	○	○
周辺バス1	○	○	○
周辺バス2	○	○	○
周辺バス3	○	○	○
周辺バス4	○	○	○
周辺バス5	○	○	○

○ : アクセス可

— : アクセス不可

14. DMAコントローラ (DMACAa)

本 LSI は、2 ユニット (DMAC0、DMAC1) の DMAC (Direct Memory Access Controller) を内蔵しています。

DMAC は、CPU を介さずにデータ転送を行います。DMAC は転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

14.1 概要

表 14.1 に DMAC の仕様を示します。

表 14.1 DMAC の仕様

項目	内容	
	DMAC0	DMAC1
チャンネル数	16チャンネル	16チャンネル
アドレス空間	4Gバイト	
DMAC起動要因	外部割り込み (IRQ) 内蔵周辺モジュールリクエスト/ソフトウェアリクエスト (注1)	
チャンネル優先順位	<ul style="list-style-type: none"> チャンネル0~7内およびチャンネル8~15内は固定優先順位/ラウンドロビンの2種類から選択可能。 チャンネル0~7、チャンネル8~15間はラウンドロビンで動作 	
転送データ単位	8bit/16bit/32bit/128bit/256bit/512bit	8bit/16bit/32bit/128bit
最大転送サイズ	2 ³² - 1バイト	
転送モード	シングル転送	1回のDMA転送要求に対して、1回のDMA転送を実行
	ブロック転送	1回のDMAC起動要求に対して、指定した転送サイズ分のDMA転送を実行
DMAモード	レジスタモード	<ul style="list-style-type: none"> DMA転送の設定値：DMAコントローラ内部の制御レジスタ値 レジスタで指定した転送元/転送先に対するDMA転送
	リンクモード	<ul style="list-style-type: none"> DMA転送の設定値：内蔵RAM、外部メモリに配置したディスクリプタ ディスクリプタで指定した多様なDMA転送が実現可能 (応答性はレジスタモード>リンクモード)
インターバル機能	DMA転送間隔を指定可能 (バス占有率の調整)	
スキップ機能	<ul style="list-style-type: none"> DMA転送でアクセスする領域に対し、連続アクセスサイズと離散アクセス (スキップ) サイズをそれぞれ設定可能 連続アクセス設定サイズ分転送した後、次にアクセスするアドレスをレジスタで設定したサイズ分、スキップ可能 	
サスペンド機能	実行中のDMA転送を一時停止することが可能	
バッファ掃出し機能	DMACを強制停止した際、バッファ内データの掃出しが可能	
割り込み要求	チャンネル毎に下記の割り込み要求を持つ <ul style="list-style-type: none"> 転送完了 (指定転送サイズ完了。チャンネルごと) にあり。 転送エラー (バスエラー。ユニット0とユニット1共に1本ずつの計二本) 	

注1. ソフトウェアリクエストは、割り込みコントローラから内蔵周辺モジュールリクエストの1要因として出力されます。ソフトウェアリクエストの設定方法は「12. 割り込みコントローラ (ICUA)」を参照してください。

14.2 レジスタの説明

14.2.1 ネクストソースアドレスレジスタ n (N0SA_n_N, N0SA_n_W, N1SA_n_N, N1SA_n_W)

N0SA_n, N1SA_nは、DMA チャンネル n の DMA 転送元アドレスを設定するレジスタです ($n = 15-0$)。

N0SA_n は Next0 Register Set 用、N1SA_n は Next1 Register Set 用です。

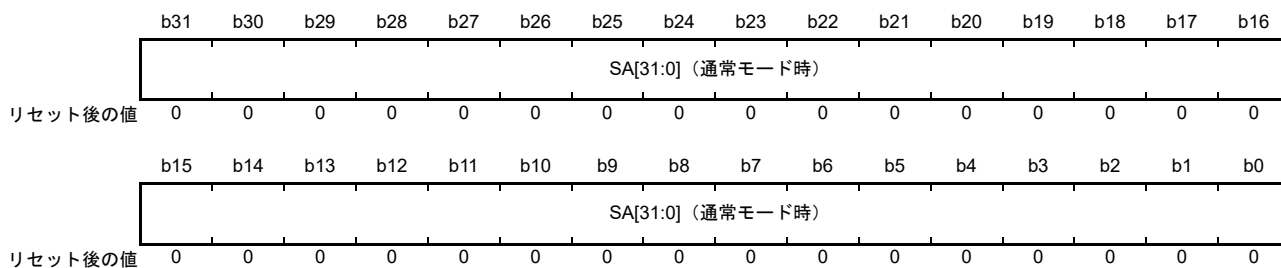
Write Only モード (CHCFG_n レジスタ WONLY = 1) 時には、ライト・データの設定に使用します。

- N0SA_n_N, N1SA_n_N (通常モード) の場合

```

DMAC0
N0SA_0_N : A006 2000h, N0SA_1_N : A006 2040h, N0SA_2_N : A006 2080h, N0SA_3_N : A006 20C0h,
N0SA_4_N : A006 2100h, N0SA_5_N : A006 2140h, N0SA_6_N : A006 2180h, N0SA_7_N : A006 21C0h,
N0SA_8_N : A006 2400h, N0SA_9_N : A006 2440h, N0SA_10_N : A006 2480h, N0SA_11_N : A006 24C0h,
N0SA_12_N : A006 2500h, N0SA_13_N : A006 2540h, N0SA_14_N : A006 2580h, N0SA_15_N : A006 25C0h
アドレス
DMAC1
N0SA_0_N : A006 3000h, N0SA_1_N : A006 3040h, N0SA_2_N : A006 3080h, N0SA_3_N : A006 30C0h,
N0SA_4_N : A006 3100h, N0SA_5_N : A006 3140h, N0SA_6_N : A006 3180h, N0SA_7_N : A006 31C0h,
N0SA_8_N : A006 3400h, N0SA_9_N : A006 3440h, N0SA_10_N : A006 3480h, N0SA_11_N : A006 34C0h,
N0SA_12_N : A006 3500h, N0SA_13_N : A006 3540h, N0SA_14_N : A006 3580h, N0SA_15_N : A006 35C0h
DMAC0
N1SA_0_N : A006 200Ch, N1SA_1_N : A006 204Ch, N1SA_2_N : A006 208Ch, N1SA_3_N : A006 20CCh,
N1SA_4_N : A006 210Ch, N1SA_5_N : A006 214Ch, N1SA_6_N : A006 218Ch, N1SA_7_N : A006 21CCh,
N1SA_8_N : A006 240Ch, N1SA_9_N : A006 244Ch, N1SA_10_N : A006 248Ch, N1SA_11_N : A006 24CCh,
N1SA_12_N : A006 250Ch, N1SA_13_N : A006 254Ch, N1SA_14_N : A006 258Ch, N1SA_15_N : A006 25CCh
DMAC1
N1SA_0_N : A006 300Ch, N1SA_1_N : A006 304Ch, N1SA_2_N : A006 308Ch, N1SA_3_N : A006 30CCh,
N1SA_4_N : A006 310Ch, N1SA_5_N : A006 314Ch, N1SA_6_N : A006 318Ch, N1SA_7_N : A006 31CCh,
N1SA_8_N : A006 340Ch, N1SA_9_N : A006 344Ch, N1SA_10_N : A006 348Ch, N1SA_11_N : A006 34CCh,
N1SA_12_N : A006 350Ch, N1SA_13_N : A006 354Ch, N1SA_14_N : A006 358Ch, N1SA_15_N : A006 35CCh

```



ビット	シンボル	ビット名	機能	R/W
b31-b0	SA[31:0] (通常モード時)	ソースアドレス	DMA転送元の開始アドレスを設定します。	R/W

注. リンク・モード転送時は、ディスクリプタ・リード・データが自動的に、N0SA_n_Nレジスタにセットされます。

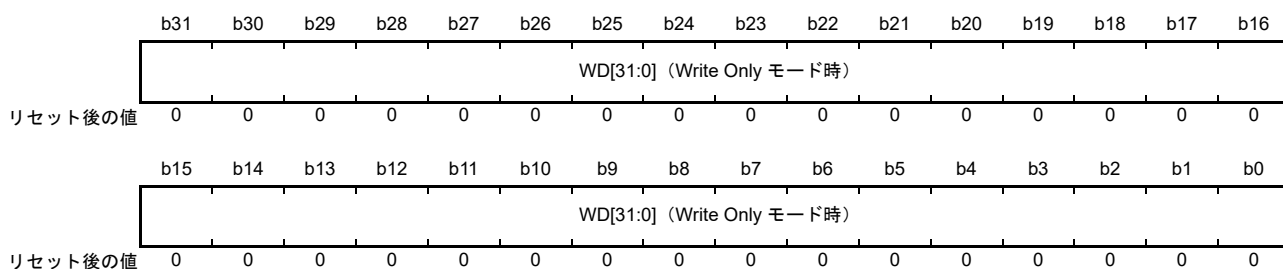
- N0SA_n_W, N1SA_n_W (Write Only モード) の場合

DMAC0
 N0SA_0_W : A006 2000h, N0SA_1_W : A006 2040h, N0SA_2_W : A006 2080h, N0SA_3_W : A006 20C0h,
 N0SA_4_W : A006 2100h, N0SA_5_W : A006 2140h, N0SA_6_W : A006 2180h, N0SA_7_W : A006 21C0h,
 N0SA_8_W : A006 2400h, N0SA_9_W : A006 2440h, N0SA_10_W : A006 2480h, N0SA_11_W : A006 24C0h,
 N0SA_12_W : A006 2500h, N0SA_13_W : A006 2540h, N0SA_14_W : A006 2580h, N0SA_15_W : A006 25C0h

アドレス DMAC1
 N0SA_0_W : A006 3000h, N0SA_1_W : A006 3040h, N0SA_2_W : A006 3080h, N0SA_3_W : A006 30C0h,
 N0SA_4_W : A006 3100h, N0SA_5_W : A006 3140h, N0SA_6_W : A006 3180h, N0SA_7_W : A006 31C0h,
 N0SA_8_W : A006 3400h, N0SA_9_W : A006 3440h, N0SA_10_W : A006 3480h, N0SA_11_W : A006 34C0h,
 N0SA_12_W : A006 3500h, N0SA_13_W : A006 3540h, N0SA_14_W : A006 3580h, N0SA_15_W : A006 35C0h

DMAC0
 N1SA_0_W : A006 200Ch, N1SA_1_W : A006 204Ch, N1SA_2_W : A006 208Ch, N1SA_3_W : A006 20CCh,
 N1SA_4_W : A006 210Ch, N1SA_5_W : A006 214Ch, N1SA_6_W : A006 218Ch, N1SA_7_W : A006 21CCh,
 N1SA_8_W : A006 240Ch, N1SA_9_W : A006 244Ch, N1SA_10_W : A006 248Ch, N1SA_11_W : A006 24CCh,
 N1SA_12_W : A006 250Ch, N1SA_13_W : A006 254Ch, N1SA_14_W : A006 258Ch, N1SA_15_W : A006 25CCh

DMAC1
 N1SA_0_W : A006 300Ch, N1SA_1_W : A006 304Ch, N1SA_2_W : A006 308Ch, N1SA_3_W : A006 30CCh,
 N1SA_4_W : A006 310Ch, N1SA_5_W : A006 314Ch, N1SA_6_W : A006 318Ch, N1SA_7_W : A006 31CCh,
 N1SA_8_W : A006 340Ch, N1SA_9_W : A006 344Ch, N1SA_10_W : A006 348Ch, N1SA_11_W : A006 34CCh,
 N1SA_12_W : A006 350Ch, N1SA_13_W : A006 354Ch, N1SA_14_W : A006 358Ch, N1SA_15_W : A006 35CCh



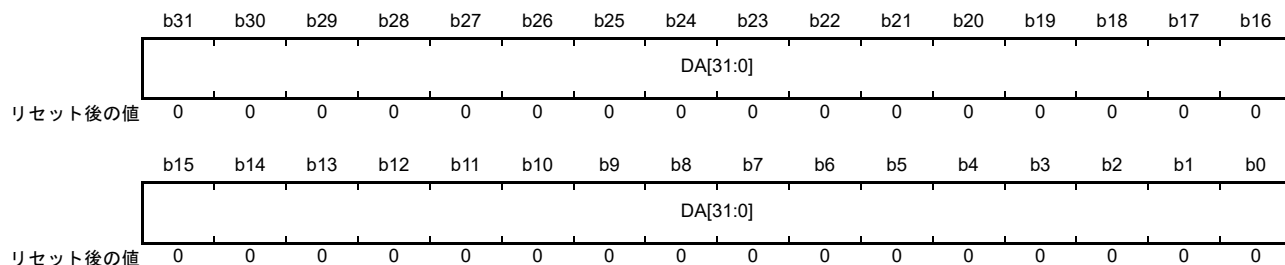
ビット	シンボル	ビット名	機能	R/W
b31-b0	WD[31:0] (Write Onlyモード時)	ライト・データ	Write Onlyモード時のライト・データを設定します。	R/W

注. リンク・モード転送時は、ディスクリプタ・リード・データが自動的に、N0SA_n_Wレジスタにセットされます。

14.2.2 ネクストデスティネーションアドレスレジスタ n (N0DA_n, N1DA_n)

N0DA_n, N1DA_nは、DMA チャンネル n の DMA 転送先アドレスを設定するレジスタです (n = 15-0)。
 N0DA_n は Next0 Register Set 用、N1DA_n は Next1 Register Set 用です。

	DMAC0
	N0DA_0 : A006 2004h, N0DA_1 : A006 2044h, N0DA_2 : A006 2084h, N0DA_3 : A006 20C4h, N0DA_4 : A006 2104h, N0DA_5 : A006 2144h, N0DA_6 : A006 2184h, N0DA_7 : A006 21C4h, N0DA_8 : A006 2404h, N0DA_9 : A006 2444h, N0DA_10 : A006 2484h, N0DA_11 : A006 24C4h, N0DA_12 : A006 2504h, N0DA_13 : A006 2544h, N0DA_14 : A006 2584h, N0DA_15 : A006 25C4h
アドレス	DMAC1
	N0DA_0 : A006 3004h, N0DA_1 : A006 3044h, N0DA_2 : A006 3084h, N0DA_3 : A006 30C4h, N0DA_4 : A006 3104h, N0DA_5 : A006 3144h, N0DA_6 : A006 3184h, N0DA_7 : A006 31C4h, N0DA_8 : A006 3404h, N0DA_9 : A006 3444h, N0DA_10 : A006 3484h, N0DA_11 : A006 34C4h, N0DA_12 : A006 3504h, N0DA_13 : A006 3544h, N0DA_14 : A006 3584h, N0DA_15 : A006 35C4h
	DMAC0
	N1DA_0 : A006 2010h, N1DA_1 : A006 2050h, N1DA_2 : A006 2090h, N1DA_3 : A006 20D0h, N1DA_4 : A006 2110h, N1DA_5 : A006 2150h, N1DA_6 : A006 2190h, N1DA_7 : A006 21D0h, N1DA_8 : A006 2410h, N1DA_9 : A006 2450h, N1DA_10 : A006 2490h, N1DA_11 : A006 24D0h, N1DA_12 : A006 2510h, N1DA_13 : A006 2550h, N1DA_14 : A006 2590h, N1DA_15 : A006 25D0h
	DMAC1
	N1DA_0 : A006 3010h, N1DA_1 : A006 3050h, N1DA_2 : A006 3090h, N1DA_3 : A006 30D0h, N1DA_4 : A006 3110h, N1DA_5 : A006 3150h, N1DA_6 : A006 3190h, N1DA_7 : A006 31D0h, N1DA_8 : A006 3410h, N1DA_9 : A006 3450h, N1DA_10 : A006 3490h, N1DA_11 : A006 34D0h, N1DA_12 : A006 3510h, N1DA_13 : A006 3550h, N1DA_14 : A006 3590h, N1DA_15 : A006 35D0h



ビット	シンボル	ビット名	機能	R/W
b31-b0	DA[31:0]	デスティネーションアドレス	DMA転送先の開始アドレスを設定します。	R/W

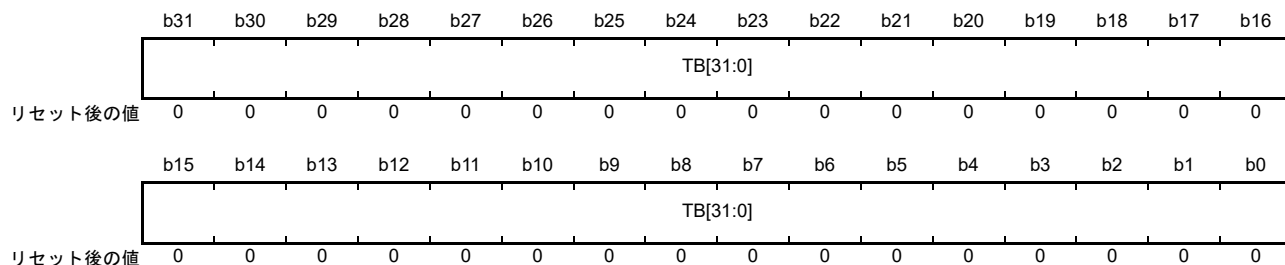
注. リンク・モード転送時は、ディスクリプタ・リード・データが自動的に、N0DA_nレジスタにセットされます。

14.2.3 ネクストランザクションバイトレジスタ n (N0TB_n, N1TB_n)

N0TB_n、N1TB_nは、DMA チャンネル n の総転送バイト数を設定するレジスタです (n = 15-0)。

N0TB_n は Next0 Register Set 用、N1TB_n は Next1 Register Set 用です。

	DMAC0
	N0TB_0 : A006 2008h, N0TB_1 : A006 2048h, N0TB_2 : A006 2088h, N0TB_3 : A006 20C8h,
	N0TB_4 : A006 2108h, N0TB_5 : A006 2148h, N0TB_6 : A006 2188h, N0TB_7 : A006 21C8h,
	N0TB_8 : A006 2408h, N0TB_9 : A006 2448h, N0TB_10 : A006 2488h, N0TB_11 : A006 24C8h,
アドレス	N0TB_12 : A006 2508h, N0TB_13 : A006 2548h, N0TB_14 : A006 2588h, N0TB_15 : A006 25C8h
	DMAC1
	N0TB_0 : A006 3008h, N0TB_1 : A006 3048h, N0TB_2 : A006 3088h, N0TB_3 : A006 30C8h,
	N0TB_4 : A006 3108h, N0TB_5 : A006 3148h, N0TB_6 : A006 3188h, N0TB_7 : A006 31C8h,
	N0TB_8 : A006 3408h, N0TB_9 : A006 3448h, N0TB_10 : A006 3488h, N0TB_11 : A006 34C8h,
	N0TB_12 : A006 3508h, N0TB_13 : A006 3548h, N0TB_14 : A006 3588h, N0TB_15 : A006 35C8h
	DMAC0
	N1TB_0 : A006 2014h, N1TB_1 : A006 2054h, N1TB_2 : A006 2094h, N1TB_3 : A006 20D4h,
	N1TB_4 : A006 2114h, N1TB_5 : A006 2154h, N1TB_6 : A006 2194h, N1TB_7 : A006 21D4h,
	N1TB_8 : A006 2414h, N1TB_9 : A006 2454h, N1TB_10 : A006 2494h, N1TB_11 : A006 24D4h,
	N1TB_12 : A006 2514h, N1TB_13 : A006 2554h, N1TB_14 : A006 2594h, N1TB_15 : A006 25D4h
	DMAC1
	N1TB_0 : A006 3014h, N1TB_1 : A006 3054h, N1TB_2 : A006 3094h, N1TB_3 : A006 30D4h,
	N1TB_4 : A006 3114h, N1TB_5 : A006 3154h, N1TB_6 : A006 3194h, N1TB_7 : A006 31D4h,
	N1TB_8 : A006 3414h, N1TB_9 : A006 3454h, N1TB_10 : A006 3494h, N1TB_11 : A006 34D4h,
	N1TB_12 : A006 3514h, N1TB_13 : A006 3554h, N1TB_14 : A006 3594h, N1TB_15 : A006 35D4h



ビット	シンボル	ビット名	機能	R/W
b31-b0	TB[31:0]	トランザクションバイト	総転送バイト数を設定します。 注1. 0を設定した状態でDMA転送を開始しないでください。	R/W

注. リンク・モード転送時は、ディスクリプタ・リード・データが自動的に、N0TB_nレジスタにセットされます。

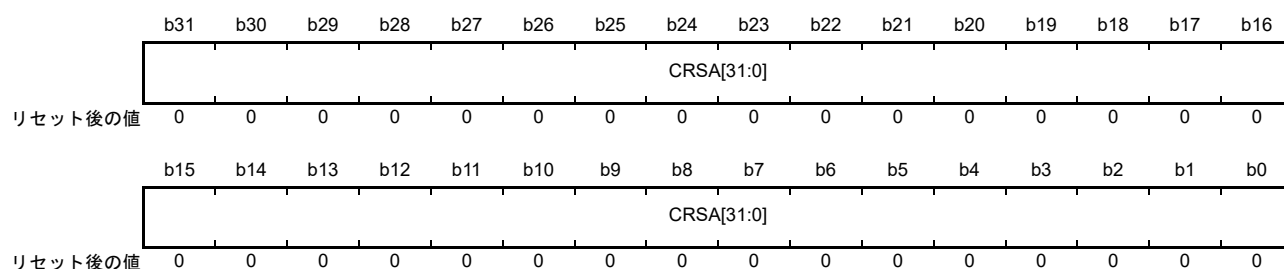
14.2.4 カレントソースアドレスレジスタ (CRSA_n)

CRSA_nは、DMA チャンネル n の DMA 転送元アドレスを表示するレジスタです。(n = 15-0)。

DMA 転送中は、自動的にインクリメントされます (CHCFG_n レジスタの SAD = 1 の場合は固定、CHCFG_n レジスタの WONLY = 1 の場合は不定)。

DMAC0
 CRSA_0 : A006 2018h, CRSA_1 : A006 2058h, CRSA_2 : A006 2098h, CRSA_3 : A006 20D8h,
 CRSA_4 : A006 2118h, CRSA_5 : A006 2158h, CRSA_6 : A006 2198h, CRSA_7 : A006 21D8h,
 CRSA_8 : A006 2418h, CRSA_9 : A006 2458h, CRSA_10 : A006 2498h, CRSA_11 : A006 24D8h,
 CRSA_12 : A006 2518h, CRSA_13 : A006 2558h, CRSA_14 : A006 2598h, CRSA_15 : A006 25D8h

アドレス DMAC1
 CRSA_0 : A006 3018h, CRSA_1 : A006 3058h, CRSA_2 : A006 3098h, CRSA_3 : A006 30D8h,
 CRSA_4 : A006 3118h, CRSA_5 : A006 3158h, CRSA_6 : A006 3198h, CRSA_7 : A006 31D8h,
 CRSA_8 : A006 3418h, CRSA_9 : A006 3458h, CRSA_10 : A006 3498h, CRSA_11 : A006 34D8h,
 CRSA_12 : A006 3518h, CRSA_13 : A006 3558h, CRSA_14 : A006 3598h, CRSA_15 : A006 35D8h



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRSA[31:0]	カレントソースアドレス	次のDMA転送のリード・アドレスを表示します。	R

リセット後の値は以下のレジスタからロードされます。

レジスタ・モード :

Next0/1 レジスタから転送元アドレスをロード。

リンク・モード :

ディスクリプタ・リード・データから転送元アドレスをロード。(ハードウェアにより自動的にディスクリプタ・リード・データが N0SA_n レジスタへ入力され、転送開始時に CRSA_n レジスタへロードされます。)

インクリメントは転送元へのリード動作完了時に行われます。

本レジスタは、DMA が停止 (CHSTAT_n レジスタの TACT = 0) してからリードしてください。(DMA 動作中の値は参考値として扱ってください。)

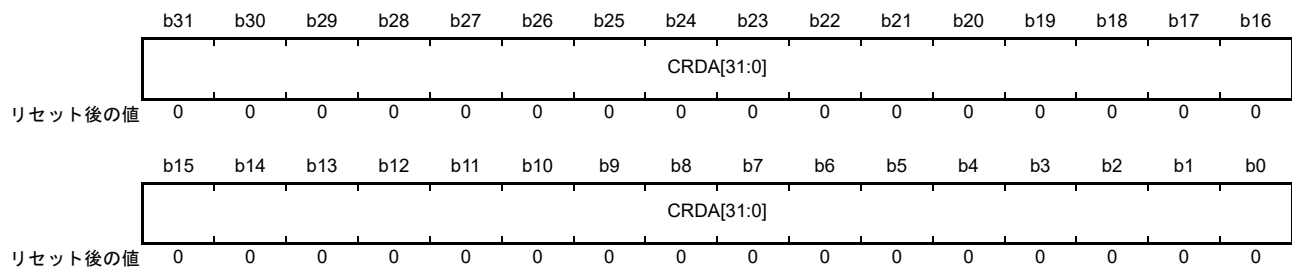
14.2.5 カレントデスティネーションアドレスレジスタ (CRDA_n)

CRDA_n は、DMA チャンネル n の DMA 転送先アドレスを表示するレジスタです (n = 15-0)。

DMA 転送中は、自動的にインクリメントされます (CHCFG_n レジスタの DAD = 1 の場合は固定)。

DMAC0
 CRDA_0 : A006 201Ch, CRDA_1 : A006 205Ch, CRDA_2 : A006 209Ch, CRDA_3 : A006 20DCh,
 CRDA_4 : A006 211Ch, CRDA_5 : A006 215Ch, CRDA_6 : A006 219Ch, CRDA_7 : A006 21DCh,
 CRDA_8 : A006 241Ch, CRDA_9 : A006 245Ch, CRDA_10 : A006 249Ch, CRDA_11 : A006 24DCh,
 CRDA_12 : A006 251Ch, CRDA_13 : A006 255Ch, CRDA_14 : A006 259Ch, CRDA_15 : A006 25DCh

アドレス DMAC1
 CRDA_0 : A006 301Ch, CRDA_1 : A006 305Ch, CRDA_2 : A006 309Ch, CRDA_3 : A006 30DCh,
 CRDA_4 : A006 311Ch, CRDA_5 : A006 315Ch, CRDA_6 : A006 319Ch, CRDA_7 : A006 31DCh,
 CRDA_8 : A006 341Ch, CRDA_9 : A006 345Ch, CRDA_10 : A006 349Ch, CRDA_11 : A006 34DCh,
 CRDA_12 : A006 351Ch, CRDA_13 : A006 355Ch, CRDA_14 : A006 359Ch, CRDA_15 : A006 35DCh



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRDA[31:0]	カレントデスティネーションアドレス	次のDMA転送のライト・アドレスを表示します。	R

リセット後の値は以下のレジスタからロードされます。

レジスタ・モード :

Next0/1 レジスタから転送先アドレスをロード。

リンク・モード :

ディスクリプタ・リード・データから転送先アドレスをロード。(ハードウェアにより自動的にディスクリプタ・リード・データが N0DA_n レジスタへ入力され、転送開始時に CRDA_n レジスタへロードされます。)

インクリメントは転送先へのライト動作完了時に行われます。

本レジスタは、DMA が停止 (CHSTAT_n レジスタの TACT = 0) してからリードしてください。(DMA 動作中の値は参考値として扱ってください。)

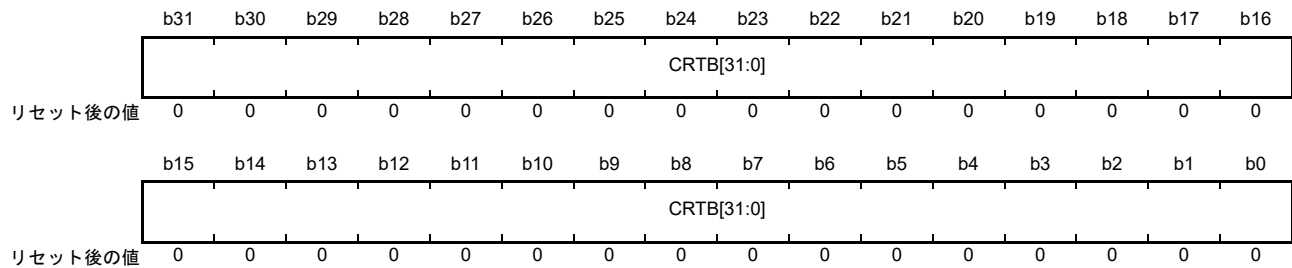
14.2.6 カレントトランザクションバイトレジスタ (CRTB_n)

CRTB_nは、DMA チャンネル n の総転送バイト数を表示するレジスタです (n = 15-0)。転送終了時には0になります。

DMA 転送中は、自動的にデクリメントします。

DMAC0
 CRTB_0 : A006 2020h, CRTB_1 : A006 2060h, CRTB_2 : A006 20A0h, CRTB_3 : A006 20E0h,
 CRTB_4 : A006 2120h, CRTB_5 : A006 2160h, CRTB_6 : A006 21A0h, CRTB_7 : A006 21E0h,
 CRTB_8 : A006 2420h, CRTB_9 : A006 2460h, CRTB_10 : A006 24A0h, CRTB_11 : A006 24E0h,
 CRTB_12 : A006 2520h, CRTB_13 : A006 2560h, CRTB_14 : A006 25A0h, CRTB_15 : A006 25E0h

アドレス DMAC1
 CRTB_0 : A006 3020h, CRTB_1 : A006 3060h, CRTB_2 : A006 30A0h, CRTB_3 : A006 30E0h,
 CRTB_4 : A006 3120h, CRTB_5 : A006 3160h, CRTB_6 : A006 31A0h, CRTB_7 : A006 31E0h,
 CRTB_8 : A006 3420h, CRTB_9 : A006 3460h, CRTB_10 : A006 34A0h, CRTB_11 : A006 34E0h,
 CRTB_12 : A006 3520h, CRTB_13 : A006 3560h, CRTB_14 : A006 35A0h, CRTB_15 : A006 35E0h



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRTB[31:0]	カレントトランザクション バイト	現在実行しているDMA転送の残りの転送バイト数を 表示します。	R

リセット後の値は以下のレジスタからロードされます。

レジスタ・モード :

Next0/1 レジスタから転送バイト数をロード。

リンク・モード :

ディスクリプタ・リード・データから転送バイト数をロード。(ハードウェアにより自動的にディスクリプタ・リード・データが N0TB_n レジスタへ入力され、転送開始時に CRTB_n レジスタへロードされます。)

デクリメントは、転送先へのライト動作完了時に行われます。

本レジスタは、DMA が停止 (CHSTAT_n レジスタの TACT = 0) してからリードしてください。(DMA 動作中の値は参考値として扱ってください。)

14.2.7 チャネルステータスレジスタ n (CHSTAT_n)

CHSTAT_nは、DMA チャネル n の状態を表示するレジスタです (n = 15-0)。

DMAC0
 CHSTAT_0 : A006 2024h, CHSTAT_1 : A006 2064h, CHSTAT_2 : A006 20A4h, CHSTAT_3 : A006 20E4h,
 CHSTAT_4 : A006 2124h, CHSTAT_5 : A006 2164h, CHSTAT_6 : A006 21A4h, CHSTAT_7 : A006 21E4h,
 CHSTAT_8 : A006 2424h, CHSTAT_9 : A006 2464h, CHSTAT_10 : A006 24A4h, CHSTAT_11 : A006 24E4h,
 CHSTAT_12 : A006 2524h, CHSTAT_13 : A006 2564h, CHSTAT_14 : A006 25A4h, CHSTAT_15 : A006 25E4h

アドレス DMAC1
 CHSTAT_0 : A006 3024h, CHSTAT_1 : A006 3064h, CHSTAT_2 : A006 30A4h, CHSTAT_3 : A006 30E4h,
 CHSTAT_4 : A006 3124h, CHSTAT_5 : A006 3164h, CHSTAT_6 : A006 31A4h, CHSTAT_7 : A006 31E4h,
 CHSTAT_8 : A006 3424h, CHSTAT_9 : A006 3464h, CHSTAT_10 : A006 34A4h, CHSTAT_11 : A006 34E4h,
 CHSTAT_12 : A006 3524h, CHSTAT_13 : A006 3564h, CHSTAT_14 : A006 35A4h, CHSTAT_15 : A006 35E4h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16		
DNUM[7:0]										—	—	—	—	—	SWPRQ	DMARQM	INTM
リセット後の値																	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
—	—	—	—	MODE	DER	DW	DL	SR	—	END	ER	SUS	TACT	RQST	EN		
リセット後の値																	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	ビット名	機能	R/W
b0	EN	DMA起動許可ビット	DMAチャネルnの動作許可/停止状態を表示します。 0 : 動作停止状態 1 : 動作許可状態 セット条件 : • CHCTRL_nレジスタのSETENビットに1をライト クリア条件 : 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRENビットに1をライト • 転送中にバスエラーを受けた場合 • レジスタ・モードですべてのDMA転送が完了した場合 (CHCFG_nレジスタのREN = 0で転送完了) • リンク・モードで、最後のディスクリプタ (LE = 1) の DMA転送 (WBD = 0の場合はライトバック) が終了した 場合 • リンク・モードのディスクリプタ読み込みで停止 (LV = 0、かつCHCFG_nレジスタのDRRP = 0) した場合	R
b1	RQST	DMA転送要求	転送要求を受け付けていることを示すビットです。 0 : DMA転送要求を受けていない 1 : DMA転送要求を受けている セット条件 : • 転送要求を受け付けた場合 クリア条件 : 以下のいずれかの条件成立時 • CHCTRL_nレジスタのSWRSTビットに1をライト • CHCTRL_nレジスタのCLRRQビットに1をライトレジス タ・モードで、すべてのDMA転送が完了した場合 (CHCFG_nレジスタのREN = 0で転送完了) • リンク・モードで、最後のディスクリプタ (LE = 1) の DMA転送が終了した場合 • リンク・モード時、ディスクリプタ読み込みで停止 (LV = 0、かつCHCFG_nレジスタのDRRP = 0) した場合 • リンク・モード時、CHCFG_nレジスタのDEM = 0の状態 で、DMA転送が終了した場合 • マスタ・インタフェースがバスエラーを受けた場合	R

ビット	シンボル	ビット名	機能	R/W
b2	TACT	DMAC動作状態	<p>DMACが動作中であることを示すビットです。チャンネルが完全に停止していることを確認するためのビットです。詳細は「14.3.8 DMA転送状態」を参照してください。</p> <p>0 : Channel_nのDMAが停止状態 1 : Channel_nのDMAが動作中</p> <p>セット条件 :</p> <ul style="list-style-type: none"> CHCTRL_nレジスタのSETENビットに1をライト(ディスクリプタ・リード開始、またはDMA要求待ち) <p>クリア条件 :</p> <ul style="list-style-type: none"> 内部状態がアイドル状態 (CHSTAT_nレジスタのENがクリアされており、かつすべてのDMA転送が完了) 	R
b3	SUS	サスペンド	<p>チャンネルが一時停止状態 (サスペンド) であることを示すビットです。詳細は「14.3.9 一時停止 (サスペンド)」を参照してください。</p> <p>0 : Channel_nが一時停止状態でない 1 : Channel_nが一時停止中</p> <p>セット条件 :</p> <ul style="list-style-type: none"> Channel_nのDMA転送実行中にCHCTRL_nレジスタのSETSUSビットに1をライトし、内部がサスペンド状態になったとき <p>クリア条件 :</p> <p>以下のいずれかの条件成立時</p> <ul style="list-style-type: none"> CHCTRL_nレジスタのCLRSUSビットに1をライト CHCTRL_nレジスタのCLRENビットに1をライト CHSTAT_nレジスタのENビットのクリア条件 	R
b4	ER	DMAエラー	<p>DMA転送中に、バスエラーが発生した結果、DMAエラー割り込みが発生したことを示します。</p> <p>0 : バスエラーは発生していない 1 : バスエラーが発生</p> <p>セット条件 :</p> <ul style="list-style-type: none"> バス・サイクルでバスエラーを受けた場合 <p>クリア条件 :</p> <ul style="list-style-type: none"> CHCTRL_nレジスタのSWRSTビットに1をライト 	R
b5	END	DMA転送完了割り込み	<p>DMA転送が完了し、DMA割り込みが発生したことを示すビットです。</p> <p>0 : DMA転送未了 1 : DMA転送完了</p> <p>セット条件 :</p> <p>以下のいずれかの条件成立時</p> <ul style="list-style-type: none"> CHCFG_nレジスタのDEM = 0の場合に、以下の条件を満たした時 <ul style="list-style-type: none"> ①レジスタ・モードで、CRTBレジスタに設定された総転送バイト数分の転送が終了した場合 ②リンク・モードで、ディスクリプタのheaderのWBD = 1で、CRTBレジスタに設定された総転送バイト数分の転送が終了した場合 ③リンク・モードで、ディスクリプタのheaderのWBD = 0で、ディスクリプタ・ライト・バックが終了した場合 リンク・モードで、ディスクリプタ・リード時に、headerのLV = 0、かつCHCFG_nレジスタのDRRP = 0、かつDIM = 0の場合 <p>クリア条件 :</p> <p>以下のいずれかの条件成立時</p> <ul style="list-style-type: none"> CHCTRL_nレジスタのCLRENDビットに1をライト CHCTRL_nレジスタのSWRSTビットに1をライト 	R
b6	—	予約ビット	読むと“0”が読み出されます。	R

ビット	シンボル	ビット名	機能	R/W
b7	SR	Nextレジスタ選択	レジスタ・モード時、選択しているレジスタ・セットを示します。 0 : Next0 Register Set 1 : Next1 Register Set セット条件： • CHCFG_nレジスタのRSELビットに1をセット クリア条件： • CHCFG_nレジスタのRSELビットを0にクリア	R
b8	DL	ディスクリプタロード	ディスクリプタ・リード状態であることを示します。また、ディスクリプタ・リード時にバスエラーを受けた場合、1を保持します。 0 : ディスクリプタ・リード以外 1 : (ER = 0時) リンク・モードのディスクリプタ・リード中 (ER = 1時) リンク・モードのディスクリプタ・リード中にバスエラーが発生 セット条件： • リンク・モードのディスクリプタ・リード開始時 クリア条件： 以下のいずれかの条件成立時 • リンク・モードのディスクリプタ・リードがOKレスポンスで終了 • CHCTRL_nレジスタのSWRSTビットに1をライト (バスエラーで1を保持した場合は、SWRSTビットでのみクリアすることができます。)	R
b9	DW	ディスクリプタライト・バック	ディスクリプタ・ライト・バック状態であることを示します。また、ディスクリプタ・ライト・バック時にバスエラーを受けた場合、1を保持します。 0 : リンク・モードのheaderをライト・バック以外 1 : (CHSTAT_nレジスタのER = 0時) リンク・モードのheaderをライト・バック中 (CHSTAT_nレジスタのER = 1時) リンク・モードのheaderをライト・バック中にバスエラーが発生 セット条件： • リンク・モードのheaderをライト・バック開始時 クリア条件： • リンク・モードのheaderライト・バックがOKレスポンスで終了 • CHCTRL_nレジスタのSWRSTビットに1をライト (バスエラーで1を保持した場合は、SWRSTビットでのみクリアすることができます。)	R
b10	DER	ディスクリプタエラー	リードしたディスクリプタが無効 (LV = 0) であったことを示します (CHCFG_nレジスタのDIMビットの値には依存しません)。 0 : ディスクリプタ・エラー未発生 1 : ディスクリプタ・エラー発生 セット条件： • リンク・モード時、CHCFG_nレジスタのDRRP = 0の状態、リードしたディスクリプタのLVが0 クリア条件： 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRDEビットに1をライト • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b11	MODE	DMAモード	DMAモードを示します。CHCFG_nレジスタのDMSビットの設定値を表示します。 0 : レジスタ・モード 1 : リンク・モード	R
b15-b12	—	予約ビット	読むと“0”が読み出されます。	R

ビット	シンボル	ビット名	機能	R/W
b16	INTM	割り込み要求マスク	DMA割り込み出力の一時マスクの状態を表示します。 1:一時マスク状態 0:一時マスク解除状態 セット条件: • CHCTRL_nレジスタのSETINTMビットに1をライト クリア条件: 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRINTMビットに1をライト • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b17	DMARQM	DMA起動要求マスク	DMAリクエストの、一時マスクの状態を示します。 1:一時マスク状態 0:一時マスク解除状態 セット条件: • CHCTRL_nレジスタのSETDMARQMビットのセット クリア条件: 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRDMARQMビットに1をライト • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b18	SWPRQ	強制排出要求	強制排出要求状態を表示します。 ソフトウェア強制排出要求 (CHCTRL_nレジスタのSETSSWPRQビットで起動した要求) を示します。 1:強制排出要求あり 0:強制排出要求なし セット条件: • CHCTRL_nレジスタのSETSSWPRQビットがセットされた時 クリア条件: 以下のいずれかの条件成立時 • 強制排出によりバッファ内のデータ量が0になった時 • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b23-b19	—	予約ビット	読むと“0”が読み出されます。	R
b31-b24	DNUM	バッファ内データ量	バッファ内の有効データ量を表示します。 DMA転送元からリードして、まだ転送先にライトをしていないデータ量を表示します。(単位: Byte) インクリメント条件: • DMAリード・トランスファ完了時 デクリメント条件: • DMAライト・トランスファ完了時 クリア条件: 以下のいずれかの条件成立時 • ENビットのクリア条件 • CHCTRL_nレジスタのSWRSTビットに1をライト	R

注1. CHSTAT_nレジスタのERビットがセットされた転送は、その一連の転送が無効であるものとして処理してください。

注2. DMA転送を中断する場合は、転送要求をマスク、またはクリアするか、CHSTAT_nレジスタのENビットをクリアすることで行ってください(手順は「14.3.10 転送中断」にしたがってください)。

注3. ソフトウェアによる転送要求を行う場合、前回要求したDMA転送動作が完了 (Current Registerなどで確認) してから、DMACソフト起動レジスタ (DMASTG) のDMREQビットをセットしてDMAを起動してください。

14.2.8 DMAC Unit0 要因選択レジスタ i (DMA0SELi) (i = 0 ~ 15)

DMA0SELi レジスタは、DMAC Unit0 のチャンネル i (i = 0 ~ 15) の起動トリガ要因を選択するレジスタです。本要因選択で選択される番号は、「表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル」のベクタ番号を参照してください。また、複数の DMA0SELi、DMA1SELi レジスタに同一要因を設定しないでください。同一要因を設定した場合の動作は保証できません。

アドレス DMA0.DMA0SEL0 A009 4000h、DMA0.DMA0SEL1 A009 4004h、DMA0.DMA0SEL2 A009 4008h、DMA0.DMA0SEL3 A009 400Ch、DMA0.DMA0SEL4 A009 4010h、DMA0.DMA0SEL5 A009 4014h、DMA0.DMA0SEL6 A009 4018h、DMA0.DMA0SEL7 A009 401Ch、DMA0.DMA0SEL8 A009 4020h、DMA0.DMA0SEL9 A009 4024h、DMA0.DMA0SEL10 A009 4028h、DMA0.DMA0SEL11 A009 402Ch、DMA0.DMA0SEL12 A009 4030h、DMA0.DMA0SEL13 A009 4034h、DMA0.DMA0SEL14 A009 4038h、DMA0.DMA0SEL15 A009 403Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
	—	—	—	—	—	—	—	—	IFC0[7:0]								—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	ビット名	機能	R/W
b7-b0	IFC0[7:0]	DMAチャンネル要因選択ビット	DMAチャンネルのトリガ要因を選択します。	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.2.9 DMAC Unit1 要因選択レジスタ i (DMA1SELi) (i = 0 ~ 15)

DMA1SELi レジスタは、DMAC Unit1 のチャンネル i (i = 0 ~ 15) の起動トリガ要因を選択するレジスタです。本要因選択で選択される番号は、「表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル」のベクタ番号を参照してください。また、複数の DMA0SELi、DMA1SELi レジスタに同一要因を設定しないでください。同一要因を設定した場合の動作は保証できません。

アドレス DMA1.DMA1SEL0 A009 4040h、DMA1.DMA1SEL1 A009 4044h、DMA1.DMA1SEL2 A009 4048h、DMA1.DMA1SEL3 A009 404Ch、DMA1.DMA1SEL4 A009 4050h、DMA1.DMA1SEL5 A009 4054h、DMA1.DMA1SEL6 A009 4058h、DMA1.DMA1SEL7 A009 405Ch、DMA1.DMA1SEL8 A009 4060h、DMA1.DMA1SEL9 A009 4064h、DMA1.DMA1SEL10 A009 4068h、DMA1.DMA1SEL11 A009 406Ch、DMA1.DMA1SEL12 A009 4070h、DMA1.DMA1SEL13 A009 4074h、DMA1.DMA1SEL14 A009 4078h、DMA1.DMA1SEL15 A009 407Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
	—	—	—	—	—	—	—	—	IFC1[7:0]								—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	ビット名	機能	R/W
b7-b0	IFC1[7:0]	DMAチャンネル要因選択ビット	DMAチャンネルのトリガ要因を選択します。	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.2.10 DMAC ソフトウェア起動レジスタ (DMASTG)

DMASTG レジスタは、ソフトウェアによる DMAC の起動を制御するレジスタです。

アドレス DMAC.DMASTG A009 4080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMREQ1	DMREQ0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMREQ0	DMA Unit0 ソフトウェア起動ビット	0 : DMA 転送要求なし 1 : DMA 転送要求あり	W
b1	DMREQ1	DMA Unit1 ソフトウェア起動ビット	0 : DMA 転送要求なし 1 : DMA 転送要求あり	W
b31-b2	—	予約ビット	書く場合、“0”としてください。	W

DMREQ0、DMREQ1 ビット (DMA Unit 0/1 ソフトウェア起動ビット)

DMA0SELi レジスタ、DMA1SELi レジスタ (i=0~15) にソフトウェアによる DMA 起動を選択した後、DMREQ0、DMREQ1 ビットに“1”を書き込むと DMA 転送要求が発生します。

本ビットは書き込みのみ可能です。読むと“0”が読めます。

14.2.11 チャネルコントロールレジスタ n (CHCTRL_n)

CHCTRL_nは、DMA チャネル n の DMA 転送動作を制御するレジスタです (n=15-0)。

本レジスタは、各機能を起動するためのものであり、ライトした値を保持しません。本レジスタをリードすると 0 が読めます。

CLRDMARQM、SETDMARQM ビットによる、強制排出要求、DMA 転送要求入力の一時的マスクは、このチャネル n の資源だけをマスクします。

DMAC0
 CHCTRL_0 : A006 2028h, CHCTRL_1 : A006 2068h, CHCTRL_2 : A006 20A8h, CHCTRL_3 : A006 20E8h,
 CHCTRL_4 : A006 2128h, CHCTRL_5 : A006 2168h, CHCTRL_6 : A006 21A8h, CHCTRL_7 : A006 21E8h,
 CHCTRL_8 : A006 2428h, CHCTRL_9 : A006 2468h, CHCTRL_10 : A006 24A8h, CHCTRL_11 : A006 24E8h,
 CHCTRL_12 : A006 2528h, CHCTRL_13 : A006 2568h, CHCTRL_14 : A006 25A8h, CHCTRL_15 : A006 25E8h
 アドレス DMAC1
 CHCTRL_0 : A006 3028h, CHCTRL_1 : A006 3068h, CHCTRL_2 : A006 30A8h, CHCTRL_3 : A006 30E8h,
 CHCTRL_4 : A006 3128h, CHCTRL_5 : A006 3168h, CHCTRL_6 : A006 31A8h, CHCTRL_7 : A006 31E8h,
 CHCTRL_8 : A006 3428h, CHCTRL_9 : A006 3468h, CHCTRL_10 : A006 34A8h, CHCTRL_11 : A006 34E8h,
 CHCTRL_12 : A006 3528h, CHCTRL_13 : A006 3568h, CHCTRL_14 : A006 35A8h, CHCTRL_15 : A006 35E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	CLRDMARQM	SETDMARQM	CLRINTM	SETINTM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	SETSSWPRQ	—	SETREN	—	—	CLRSUS	SETSUS	CLRDE	—	CLREND	CLRRQ	SWRST	—	CLREN	SETEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SETEN	DMA起動許可セット	DMAチャネルnのDMA転送の許可を設定します。SWRSTビットと同時にセットした場合には、SWRSTビットによるクリアが優先され、転送は開始しません。 このビットをリードすると0が読めます。 1: DMA転送の許可 (CHSTAT_nレジスタのENビットをセット) 0: 動作に影響を与えません。 注: DMAのレジスタを再設定する場合は、CLRENビットをセットし、DMA転送を停止した後、SETENビットをセットしてください。	R/W
b1	CLREN	DMA起動許可クリア	CHSTAT_nレジスタのENビットのクリアを行います (詳細は「14.3.10 転送中断」節参照)。 このビットをリードすると0が読めます。 1: DMA転送の停止 (CHSTAT_nレジスタのENビットをクリア) 0: 動作に影響を与えません。	R/W
b2	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b3	SWRST	ソフトウェアリセット	CHSTAT_nレジスタの各ビットのクリアを行います (クリアされるビットは、各ビットの説明を参照してください)。このビットのセットは、ENビットが0かつTACTビットが0のときに行ってください。 このビットをリードすると0が読めます。 1: CHSTAT_nレジスタの各ビットのクリア 0: 動作に影響を与えません。	R/W
b4	CLRRQ	DMA転送要求クリア	CHSTAT_nレジスタのRQSTビットのクリアを行います。 このビットをリードすると0が読めます。 1: CHSTAT_nレジスタのRQSTビットのクリア 0: 動作に影響を与えません。	R/W
b5	CLREND	ENDクリア	CHSTAT_nレジスタのENDビットのクリアを行います。このビットをリードすると0が読めます。 1: ENDビットのクリア 0: 動作に影響を与えません。	R/W
b6	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b7	CLRDE	DERクリア	CHSTAT_nレジスタのDER (ディスクリプタ・エラー) ビットのクリアを行います。 このビットをリードすると0が読めます。 1: DERビットのクリア 0: 動作に影響を与えません。	R/W
b8	SETSUS	サスペンド要求	CHSTAT_nレジスタのENが1のときに、このビットに1をセットすると、実行中のDMA転送を一時停止 (サスペンド) します。 このビットをリードすると0が読めます。 1: 実行中のDMA転送の一時停止 0: 動作に影響を与えません。	R/W
b9	CLRSUS	サスペンドクリア	CHSTAT_nレジスタのSUSビットが1のときに、このビットに1をセットすると、一時停止 (サスペンド) 状態を解除します。 このビットをリードすると0が読めます。 1: 実行中のDMA転送の一時停止解除 0: 動作に影響を与えません。	R/W
b11-b10	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b12	SETREN	RENセット許可	CHCFG_nレジスタのREN (レジスタ・セット許可) ビットをセットします。 このビットをリードすると0が読めます。 1: CHCFG_nレジスタのRENビットをセットします。 0: 動作に影響を与えません。	R/W
b13	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b14	SETSSWPRQ	ソフトウェア強制排出要求	バッファ内にあるデータを転送先に強制排出します (「14.3.5 強制排出要求」を参照)。 リードをすると0が読めます。 1: バッファ内にある、まだライトしていないデータを、転送先にライトします。 0: 動作に影響を与えません。	R/W
b15	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b16	SETINTM	割り込み要求マスク	DMA転送完了割り込み出力を一時的にマスクします。また、CHSTATnレジスタのINTMビットが1となります。 リードをすると0が読めます。 1: DMA転送完了割り込みをマスクします。 0: 動作に影響を与えません。	R/W
b17	CLRINTM	割り込み要求マスククリア	DMA転送完了割り込み出力のマスク状態を解除します。また、CHSTATnレジスタのINTMビットが0となります。 DCTRLレジスタのLVINT = 1、CHSTAT_nレジスタのEND = 1の状態でもマスクを解除した場合、DMA転送完了割り込み出力がアクティブになります。(LVINT = 0の場合は、アクティブにはなりません。) リードをすると0が読めます。 1: SETINTMビットでセットしたマスクを解除します。 0: 動作に影響を与えません。	R/W
b18	SETDMARQM	DMA起動要求マスク	DMA転送要求入力を一時的にマスクします。また、CHSTATnレジスタのDMARQMビットが1となります。 リードをすると0が読めます。 1: DMA転送要求入力をマスクします。 0: 動作に影響を与えません。	R/W
b19	CLRDMARQM	DMA起動要求マスククリア	DMA転送要求入力のマスク状態を解除します。また、CHSTATnレジスタのDMARQMビットが0となります。 リードをすると0が読めます。 1: SETDMARQMビットでセットしたマスク状態を解除します。 0: 動作に影響を与えません。	R/W
b31-b20	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

14.2.12 チャネルコンフィギュレーションレジスタ n (CHCFG_n)

CHCFG_nは、DMA チャネル n の DMA 転送動作を制御するレジスタです (n = 15-0)。

使用する DMA 転送要因ごとに、検出方法を設定してください。DMA 要求信号の検出については、「14.3.4.1 DMA 転送要求の要因毎の検出動作指定」を参照してください。

アドレス DMAC0
 CHCFG_0 : A006 202Ch、CHCFG_1 : A006 206Ch、CHCFG_2 : A006 20ACh、CHCFG_3 : A006 20ECh、
 CHCFG_4 : A006 212Ch、CHCFG_5 : A006 216Ch、CHCFG_6 : A006 21ACh、CHCFG_7 : A006 21ECh、
 CHCFG_8 : A006 242Ch、CHCFG_9 : A006 246Ch、CHCFG_10 : A006 24ACh、CHCFG_11 : A006 24ECh、
 CHCFG_12 : A006 252Ch、CHCFG_13 : A006 256Ch、CHCFG_14 : A006 25ACh、CHCFG_15 : A006 25ECh
 DMAC1
 CHCFG_0 : A006 302Ch、CHCFG_1 : A006 306Ch、CHCFG_2 : A006 30ACh、CHCFG_3 : A006 30ECh、
 CHCFG_4 : A006 312Ch、CHCFG_5 : A006 316Ch、CHCFG_6 : A006 31ACh、CHCFG_7 : A006 31ECh、
 CHCFG_C : A006 342Ch、CHCFG_9 : A006 346Ch、CHCFG_10 : A006 34ACh、CHCFG_11 : A006 34ECh、
 CHCFG_12 : A006 352Ch、CHCFG_13 : A006 356Ch、CHCFG_14 : A006 35ACh、CHCFG_15 : A006 35ECh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
DMS	REN	RSW	RSEL	SBE	DIM	—	DEM	WONL Y	TM	DAD	SAD		DDS[3:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SDS[3:0]			DRRP	—	—	—	—	LVL	HIEN	LOEN	—		SEL[2:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SEL[2:0]	端子選択	DMACのチャンネルを設定するビットです。CHCFG_n (n = 0-15) のチャンネルとSELで設定するチャンネルが等しくなるように、以下の値を設定してください。 例えば、CHCFG_1の場合、SELビットには、001bを設定してください。同様にCHCFG_9の場合もSELビットには001bを設定してください。 DMAC0/1 b2 b0 000 : チャンネル0/8 001 : チャンネル1/9 010 : チャンネル2/10 011 : チャンネル3/11 100 : チャンネル4/12 101 : チャンネル5/13 110 : チャンネル6/14 111 : チャンネル7/15	R/W
b3	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b4	LOEN	'L'検出許可	DMA 要求信号の検出方法を指定します。 LVL = 0の場合： LOEN = 1 : DMA 転送要求入力に立ち下がリエッジを検出した場合、要求があったと認識します。 LOEN = 0 : DMA 転送要求入力に立ち下がっても要求を認識しません (リセット後の値)。 LVL = 1の場合： LOEN = 1 : DMA 転送要求入力にLowレベルを検出した場合、要求があったと認識します。 LOEN = 0 : DMA 転送要求入力にLowレベルでも要求を認識しません (リセット後の値)。	R/W

ビット	シンボル	ビット名	機能	R/W
b5	HIEN	'H' 検出許可	DMA要求信号の検出方法を指定します。 LVL = 0の場合： HIEN = 1 : DMA転送要求入力に立ち上がりエッジを検出した場合、要求があったと認識します。 HIEN = 0 : DMA転送要求入力に立ち上がりでも要求を認識しません (リセット後の値)。 LVL = 1の場合： HIEN = 1 : DMA転送要求入力が高レベルを検出した場合、要求があったと認識します。 HIEN = 0 : DMA転送要求入力が高レベルでも要求を認識しません (リセット後の値)。	R/W
b6	LVL	レベル検出許可	DMA要求信号の検出方法を指定します。 0 : エッジで検出します (リセット後の値) 1 : レベルで検出します	R/W
b8-b7	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b9	—	予約ビット	必ず初期設定時に“1”を書き込んでください。	R/W
b10	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b11	DRRP	ディスクリプタ再読み込み許可	ディスクリプタリード時における、headerのLV = 0の場合の動作を指定します (「14.3.1.2 リンク・モード(1) リンク・モードの動作フロー」を参照)。 0 : CHSTAT_nレジスタのDERビットをセットし、動作を停止します。(リセット後の値) 1 : LVが1になるまで同じディスクリプタをリードし続け、LVが1になればそのディスクリプタ値を使ったDMA転送を開始します。ディスクリプタ・リードの間隔は、DSCITVLレジスタで制御します。	R/W
b15-b12	SDS[3:0]	ソースデータサイズ	一度に転送する転送元のデータサイズを設定します。シングル転送の場合、1回の要求で設定値分転送します。ブロック転送の場合、CRTBレジスタが0になるまで転送サイズの設定値×N回の転送を行います。32bit以上の転送においては32bit×N回のバースト転送を行います。 SDS[3]で通常モードとスキップ・モードの切り替えを行います。 0 : 通常モード (リセット後の値) 1 : スキップ・モード SDS[2:0]で転送サイズを設定します。 b14 b12 000 : 8ビット (リセット後の値) 001 : 16ビット 010 : 32ビット 011 : 設定禁止 100 : 128ビット (注2) 101 : 256ビット (DMAC0のみ設定可能) 110 : 512ビット (DMAC0のみ設定可能) (注1) 111 : 設定禁止	R/W
b19-b16	DDS[3:0]	デスティネーションデータサイズ	一度に転送する転送先のデータサイズを設定します。 DDS[3]で通常モードとスキップ・モードの切り替えを行います。 0 : 通常モード (リセット後の値) 1 : スキップ・モード DDS[2:0]で転送サイズを設定します。 b18 b16 000 : 8ビット (リセット後の値) 001 : 16ビット 010 : 32ビット 011 : 設定禁止 100 : 128ビット (注2) 101 : 256ビット (DMAC0のみ設定可能) 110 : 512ビット (DMAC0のみ設定可能) (注1) 111 : 設定禁止	R/W

ビット	シンボル	ビット名	機能	R/W
b20	SAD	ソースアドレス カウント方向	DMAチャンネルnの転送元アドレスのカウント方向を設定します。 0: インクリメント (リセット後の値) 1: 固定 転送元側でスキップモードを使う場合、SAD = 1 (固定) は指定しないでください。また、SAD = 1 (固定) を設定した場合は、転送元アドレスがSDS[3:0]ビットで指定されるソースデータサイズのラインとなるよう設定してください。	R/W
b21	DAD	デスティネーション アドレスカウント方向	DMAチャンネルnの転送先アドレスのカウント方向を設定します。 0: インクリメント (リセット後の値) 1: 固定 転送先側でスキップモードを使う場合、DAD = 1 (固定) は指定しないでください。また、DAD = 1 (固定) を設定した場合は、転送先アドレスがDDS[3:0]ビットで指定されるデスティネーションデータサイズのラインとなるよう設定してください。	R/W
b22	TM	転送モード	DMA転送モードを設定します。 0: シングル転送モード (リセット後の値) 1: ブロック転送モード	R/W
b23	WONLY	ライトオンリーモード	Write Onlyモード (「14.3.1.3 WRITE ONLYモード」参照) を設定します。 0: 通常動作 (リセット後の値) 1: Write Onlyモード	R/W
b24	DEM	転送完了割り込み マスク	DMA転送完了割り込み検出をマスクします。 DMA転送完了割り込み出カタイミグでこのビットが1の場合、DMA転送完了割り込みをアクティブにしません。また、CHSTAT_nレジスタのENDビットもセットしません。レジスタ・モードの場合、DEMビットは自動的に0クリアされます。リンク・モードの場合はクリアされません。 0: マスクしない (リセット後の値) 1: マスクする クリア条件: DEM = 1でDMA転送完了時	R/W
b25	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b26	DIM	ディスクリプタ割り込み マスク	ディスクリプタのheaderリード時におけるLV = 0の場合のDMA転送完了割り込みのマスクを設定します。 0: DMA転送完了割り込みをマスクしない。(リセット後の値) 1: DMA転送完了割り込みをマスクする。	R/W
b27	SBE	バッファ掃出し許可	DMA転送中にCHSTAT_nレジスタのENビットを0にした場合、すでにリードしてバッファに取り込んでいるデータを掃き出して (ライト) 停止するか否かを選択します。 0: バッファの掃き出しをせずに転送中止 (リセット後の値) 1: バッファを掃き出し転送中止	R/W
b28	RSEL	Nextレジスタ選択	次に実行するNextレジスタ・セットを選択します。このビットはレジスタ・モード時のみ有効です。 RSW = 1の場合、DMA転送完了時に自動的に反転 (0の場合1、1の場合0) します。 0: Next0 Register Setを実行する (リセット後の値) 1: Next1 Register Setを実行する 遷移条件: RSW = 1でDMA転送完了時	R/W
b29	RSW	RSEL反転	DMA転送完了後に、RSELビットを自動的に反転 (0の場合1、1の場合0) します。このビットはレジスタ・モード時のみ有効です。 0: DMA転送完了後にRSELビットを反転しない (リセット後の値) 1: DMA転送完了後にRSELビットを反転する	R/W

ビット	シンボル	ビット名	機能	R/W
b30	REN	レジスタ・セット許可	<p>DMA転送完了後に、続けてRSELビットで選択されているNextレジスタ・セットのDMA転送を行います。このビットはレジスタ・モード時のみ有効です。</p> <p>0：続けてDMA転送を実行しない。 1：続けてDMA転送を実行する。</p> <p>セット条件 以下のいずれかの条件成立時</p> <ul style="list-style-type: none"> • 本ビットに1をライト • CHCTRL_nレジスタのSETRENビットに1をライト <p>クリア条件</p> <ul style="list-style-type: none"> • 本ビットに0をライト • REN = 1でDMA転送完了時 <p>DMA転送中にRENビットを再セットする場合は、CHCTRL_nレジスタのSETRENビットを使用してください。また、CHCFG_n.DEMビットも再設定し、DMA転送完了割り込み検出をマスクしてください。</p>	R/W
b31	DMS	DMAモード選択	<p>DMAモードを設定します。</p> <p>0：レジスタ・モード（リセット後の値） 1：リンク・モード</p>	R/W

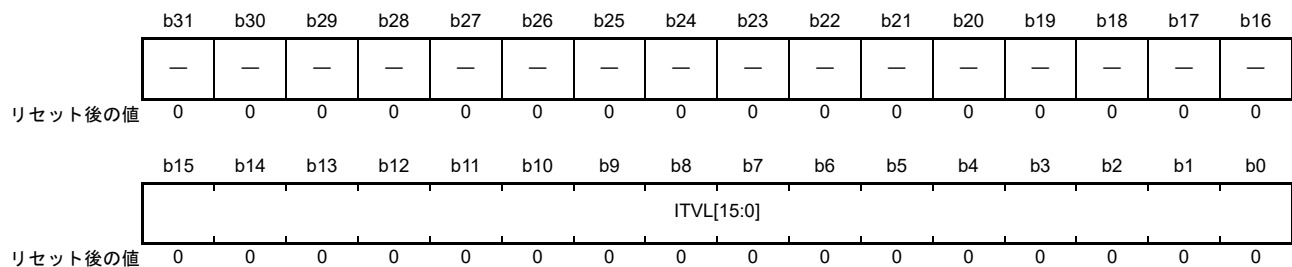
- 注1. 転送サイズを512ビットに設定する場合は、転送元／転送先アドレスを512ビットのラインとなるように設定してください。
- 注2. DMAC1を使用時に転送サイズを128ビットに設定する場合は、転送元／転送先アドレスを128ビットのラインとなるように設定してください。

14.2.13 チャンネルインターバルレジスタ n (CHITVL_n)

CHITVL_nは、DMA チャンネル n のDMA トランスファ間隔を設定するレジスタです (n = 15-0)。

詳細は、「14.3.6 インターバル・カウント機能」を参照してください。

	DMAC0
	CHITVL_0 : A006 2030h, CHITVL_1 : A006 2070h, CHITVL_2 : A006 20B0h, CHITVL_3 : A006 20F0h, CHITVL_4 : A006 2130h, CHITVL_5 : A006 2170h, CHITVL_6 : A006 21B0h, CHITVL_7 : A006 21F0h, CHITVL_8 : A006 2430h, CHITVL_9 : A006 2470h, CHITVL_10 : A006 24B0h, CHITVL_11 : A006 24F0h, CHITVL_12 : A006 2530h, CHITVL_13 : A006 2570h, CHITVL_14 : A006 25B0h, CHITVL_15 : A006 25F0h
アドレス	DMAC1
	CHITVL_0 : A006 3030h, CHITVL_1 : A006 3070h, CHITVL_2 : A006 30B0h, CHITVL_3 : A006 30F0h, CHITVL_4 : A006 3130h, CHITVL_5 : A006 3170h, CHITVL_6 : A006 31B0h, CHITVL_7 : A006 31F0h, CHITVL_8 : A006 3430h, CHITVL_9 : A006 3470h, CHITVL_10 : A006 34B0h, CHITVL_11 : A006 34F0h, CHITVL_12 : A006 3530h, CHITVL_13 : A006 3570h, CHITVL_14 : A006 35B0h, CHITVL_15 : A006 35F0h

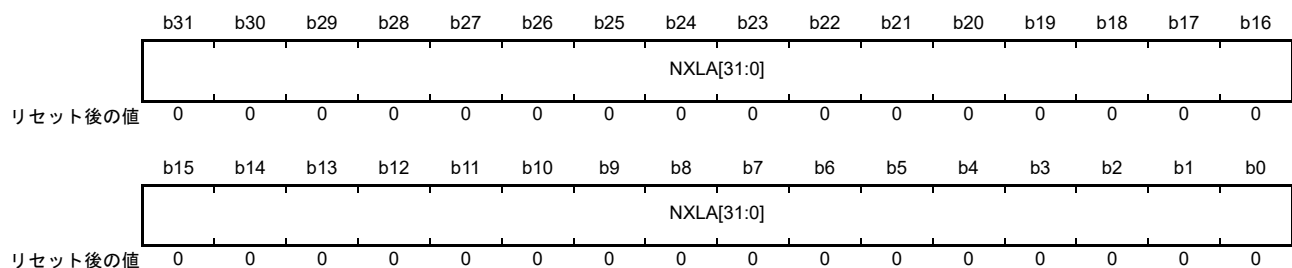


ビット	シンボル	ビット名	機能	R/W
b15-b0	ITVL	インターバル	DMA トランスファの転送間隔を設定します。	R/W
b31-b16	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

14.2.14 ネクストリンクアドレスレジスタ n (NXLA_n)

NXLA_nは、DMA チャンネル n のリンク・アドレスを設定するレジスタです (n = 15-0)。

	DMAC0
	NXLA_0 : A006 2038h, NXLA_1 : A006 2078h, NXLA_2 : A006 20B8h, NXLA_3 : A006 20F8h, NXLA_4 : A006 2138h, NXLA_5 : A006 2178h, NXLA_6 : A006 21B8h, NXLA_7 : A006 21F8h, NXLA_8 : A006 2438h, NXLA_9 : A006 2478h, NXLA_10 : A006 24B8h, NXLA_11 : A006 24F8h, NXLA_12 : A006 2538h, NXLA_13 : A006 2578h, NXLA_14 : A006 25B8h, NXLA_15 : A006 25F8h
アドレス	DMAC1
	NXLA_0 : A006 3038h, NXLA_1 : A006 3078h, NXLA_2 : A006 30B8h, NXLA_3 : A006 30F8h, NXLA_4 : A006 3138h, NXLA_5 : A006 3178h, NXLA_6 : A006 31B8h, NXLA_7 : A006 31F8h, NXLA_8 : A006 3438h, NXLA_9 : A006 3478h, NXLA_10 : A006 34B8h, NXLA_11 : A006 34F8h, NXLA_12 : A006 3538h, NXLA_13 : A006 3578h, NXLA_14 : A006 35B8h, NXLA_15 : A006 35F8h

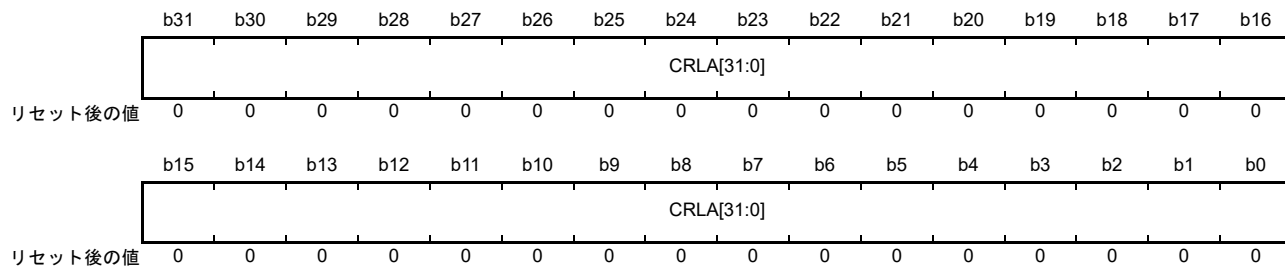


ビット	シンボル	ビット名	機能	R/W
b1-b0	NXLA[31:0]	ネクストリンクアドレス	リンク先のアドレスを設定します。下位2ビットは0固定のため、ワード・アラインされたアドレスのみ設定可能です。	R/W
b31-b2				R/W

14.2.15 カレントリンクアドレスレジスタ n (CRLA_n)

CRLA_nは、DMA チャンネル n のリンク・アドレスを設定するレジスタです (n = 15-0)。

DMAC0
 CRLA_0 : A006 203Ch、CRLA_1 : A006 207Ch、CRLA_2 : A006 20BCh、CRLA_3 : A006 20FCh、
 CRLA_4 : A006 213Ch、CRLA_5 : A006 217Ch、CRLA_6 : A006 21BCh、CRLA_7 : A006 21FCh、
 CRLA_8 : A006 243Ch、CRLA_9 : A006 247Ch、CRLA_10 : A006 24BCh、CRLA_11 : A006 24FCh、
 CRLA_12 : A006 253Ch、CRLA_13 : A006 257Ch、CRLA_14 : A006 25BCh、CRLA_15 : A006 25FCh
 アドレス DMAC1
 CRLA_0 : A006 303Ch、CRLA_1 : A006 307Ch、CRLA_2 : A006 30BCh、CRLA_3 : A006 30FCh、
 CRLA_4 : A006 313Ch、CRLA_5 : A006 317Ch、CRLA_6 : A006 31BCh、CRLA_7 : A006 31FCh、
 CRLA_8 : A006 343Ch、CRLA_9 : A006 347Ch、CRLA_10 : A006 34BCh、CRLA_11 : A006 34FCh、
 CRLA_12 : A006 353Ch、CRLA_13 : A006 357Ch、CRLA_14 : A006 35BCh、CRLA_15 : A006 35FCh



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRLA[31:0]	カレントリンクアドレス	現在実行しているディスクリプタのアドレスを表示します。	R

14.2.16 ソースコンティニューアスレジスタ n (SCNT_n)

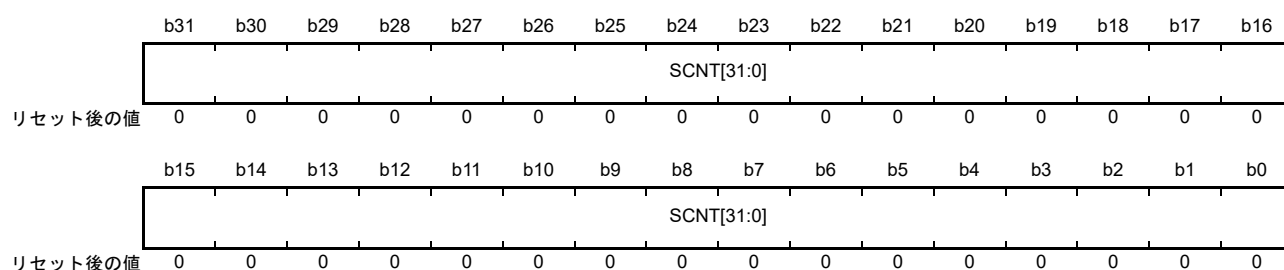
SCNT_nは、DMA 転送元へのリード・アクセス時における連続アクセスする空間サイズを設定するレジスタです (n=15-0)。

本レジスタは、SSKP_n レジスタとペアで使用します (図 14.1 参照)。

本レジスタ設定を行う場合、CHCFG_n レジスタの SDS[3] ビットは 1 にしてください。

DMAC0
 SCNT_0 : A006 2200h、SCNT_1 : A006 2220h、SCNT_2 : A006 2240h、SCNT_3 : A006 2260h、
 SCNT_4 : A006 2280h、SCNT_5 : A006 22A0h、SCNT_6 : A006 22C0h、SCNT_7 : A006 22E0h、
 SCNT_8 : A006 2600h、SCNT_9 : A006 2620h、SCNT_10 : A006 2640h、SCNT_11 : A006 2660h、
 SCNT_12 : A006 2680h、SCNT_13 : A006 26A0h、SCNT_14 : A006 26C0h、SCNT_15 : A006 26E0h

アドレス DMAC1
 SCNT_0 : A006 3200h、SCNT_1 : A006 3220h、SCNT_2 : A006 3240h、SCNT_3 : A006 3260h、
 SCNT_4 : A006 3280h、SCNT_5 : A006 32A0h、SCNT_6 : A006 32C0h、SCNT_7 : A006 32E0h、
 SCNT_8 : A006 3600h、SCNT_9 : A006 3620h、SCNT_10 : A006 3640h、SCNT_11 : A006 3660h、
 SCNT_12 : A006 3680h、SCNT_13 : A006 36A0h、SCNT_14 : A006 36C0h、SCNT_15 : A006 36E0h



ビット	シンボル	ビット名	機能	R/W
b31-b0	SCNT[31:0]	ソース連続アクセスサイズ	DMA転送元へのリード・アクセス時における連続アクセス空間サイズを設定します。(単位 : Byte)	R/W

転送元側でスキップ転送を行う場合、CHCFG_n レジスタの SAD ビットを 1 (固定) に設定しないでください。また、本レジスタを 0000 0000h にしてスキップ転送を行わないでください。

14.2.17 ソーススキップレジスタ n (SSKP_n)

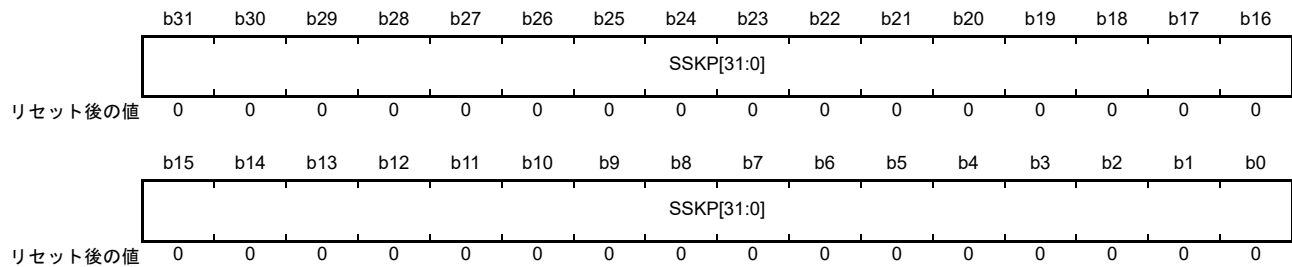
SSKP_n は、DMA 転送元へのリードアクセス時のスキップ量を設定するレジスタです。

DMA 転送元へのリード・アクセス時、SCNT_n レジスタで設定したデータ・サイズ分アクセスした後、本レジスタに設定したサイズ分、次の DMA 転送元アドレスをスキップします (n=15-0)。

本レジスタは SCNT_n レジスタとペアで使用します (図 14.1 参照)。

本レジスタ設定を行う場合、CHCFG_n レジスタの SDS[3] ビットは 1 にしてください。

DMAC0	SSKP_0 : A006 2204h, SSKP_1 : A006 2224h, SSKP_2 : A006 2244h, SSKP_3 : A006 2264h, SSKP_4 : A006 2284h, SSKP_5 : A006 22A4h, SSKP_6 : A006 22C4h, SSKP_7 : A006 22E4h, SSKP_8 : A006 2604h, SSKP_9 : A006 2624h, SSKP_10 : A006 2644h, SSKP_11 : A006 2664h, SSKP_12 : A006 2684h, SSKP_13 : A006 26A4h, SSKP_14 : A006 26C4h, SSKP_15 : A006 26E4h
アドレス DMAC1	SSKP_0 : A006 3204h, SSKP_1 : A006 3224h, SSKP_2 : A006 3244h, SSKP_3 : A006 3264h, SSKP_4 : A006 3284h, SSKP_5 : A006 32A4h, SSKP_6 : A006 32C4h, SSKP_7 : A006 32E4h, SSKP_8 : A006 3604h, SSKP_9 : A006 3624h, SSKP_10 : A006 3644h, SSKP_11 : A006 3664h, SSKP_12 : A006 3684h, SSKP_13 : A006 36A4h, SSKP_14 : A006 36C4h, SSKP_15 : A006 36E4h



ビット	シンボル	ビット名	機能	R/W
b31-b0	SSKP[31:0]	ソーススキップサイズ	DMA転送元へのリードアクセス時のスキップ量を設定します。(単位: Byte)	R/W

転送元側でスキップ転送を行う場合、CHCFG_n レジスタの SAD ビットを 1 (固定) に設定しないでください。

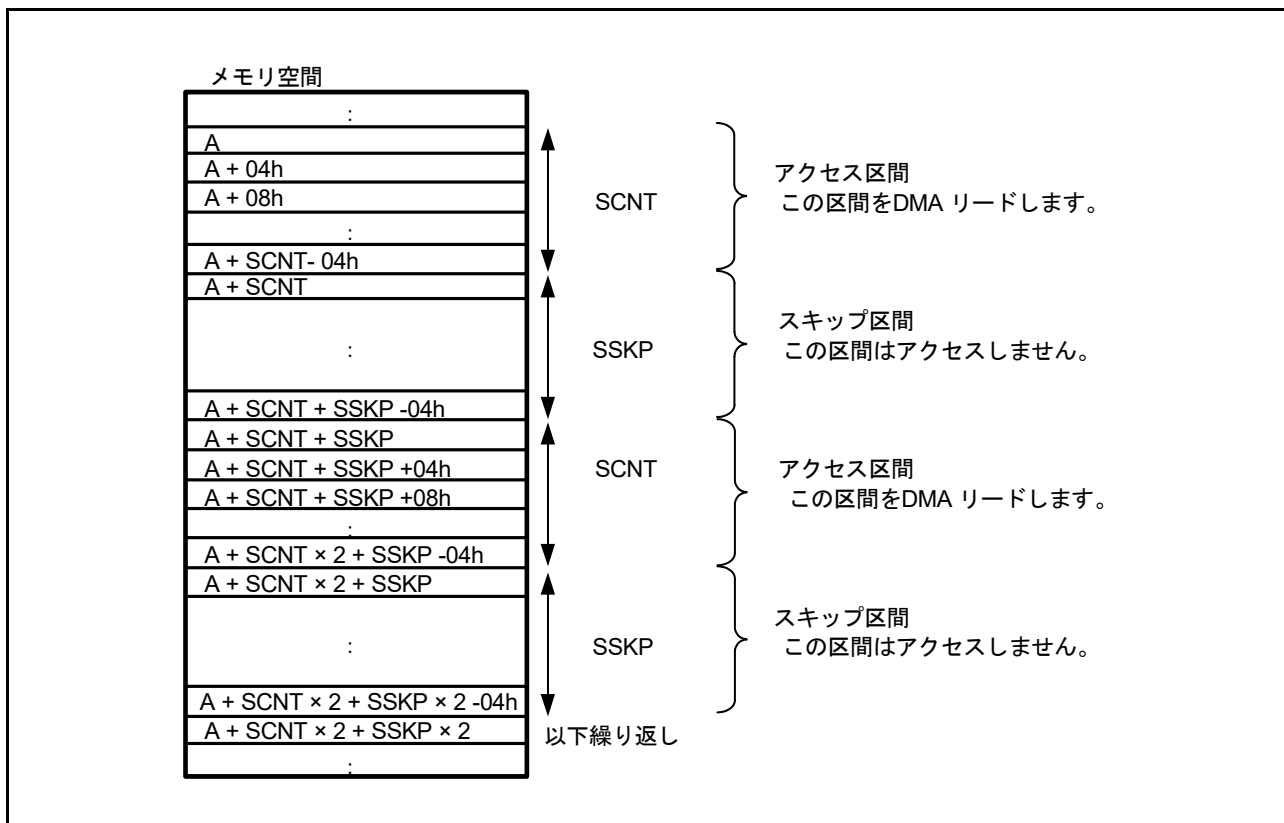


図 14.1 SSKP と SCNT の関係

SCNT、SSKP の値は、ソース・アドレスおよび CHCFG_n レジスタの SDS フィールドの設定値に関係無く設定することができます。DMAC は、CHCFG_n レジスタの SDS フィールドの設定サイズでアクセスし、有効なデータのみバッファに取り込みます。

14.2.18 デスティネーションコンティニューアスレジスタ n (DCNT_n)

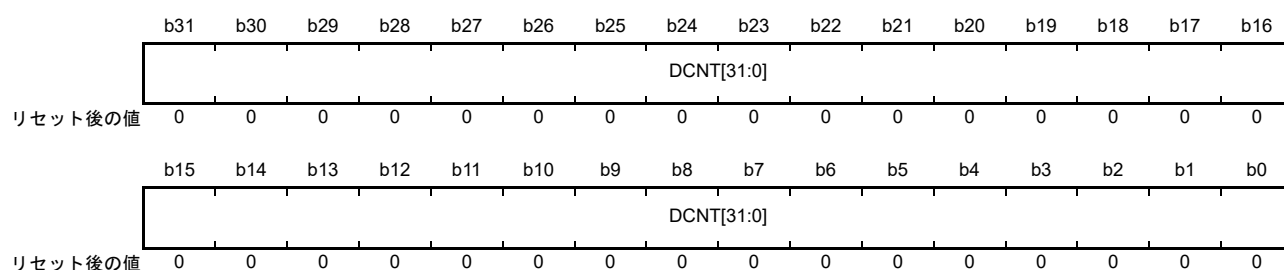
DCNT_n は、DMA 転送先へのライト・アクセス時における連続アクセスする空間サイズを設定するレジスタです (n = 15-0)。

本レジスタは、DSKP_n レジスタとペアで使用します (図 14.2 参照)。

本レジスタ設定を行う場合、CHCFG_n レジスタの DDS[3] ビットは 1 にしてください。

DMAC0
 DCNT_0 : A006 2208h, DCNT_1 : A006 2228h, DCNT_2 : A006 2248h, DCNT_3 : A006 2268h,
 DCNT_4 : A006 2288h, DCNT_5 : A006 22A8h, DCNT_6 : A006 22C8h, DCNT_7 : A006 22E8h,
 DCNT_8 : A006 2608h, DCNT_9 : A006 2628h, DCNT_10 : A006 2648h, DCNT_11 : A006 2668h,
 DCNT_12 : A006 2688h, DCNT_13 : A006 26A8h, DCNT_14 : A006 26C8h, DCNT_15 : A006 26E8h

アドレス DMAC1
 DCNT_0 : A006 3208h, DCNT_1 : A006 3228h, DCNT_2 : A006 3248h, DCNT_3 : A006 3268h,
 DCNT_4 : A006 3288h, DCNT_5 : A006 32A8h, DCNT_6 : A006 32C8h, DCNT_7 : A006 32E8h,
 DCNT_8 : A006 3608h, DCNT_9 : A006 3628h, DCNT_10 : A006 3648h, DCNT_11 : A006 3668h,
 DCNT_12 : A006 3688h, DCNT_13 : A006 36A8h, DCNT_14 : A006 36C8h, DCNT_15 : A006 36E8h



ビット	シンボル	ビット名	機能	R/W
b31-b0	DCNT[31:0]	デスティネーション 連続アクセスサイズ	転送先へのライト・アクセス時における連続アクセス 空間サイズを設定します。(単位 : Byte)	R/W

デスティネーション側でスキップ転送を行う場合、CHCFG_n レジスタの DAD ビットを 1 (固定) に設定しないでください。

また、本レジスタを 0000 0000h にしてスキップ転送を行わないでください。

14.2.19 デスティネーションスキップレジスタ n (DSKP_n)

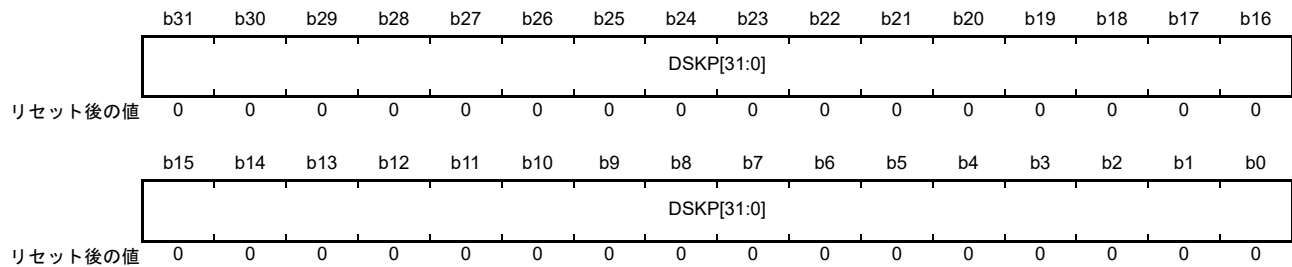
DSKP_nは、DMA 転送先へのライト・アクセス時におけるスキップ量を設定するレジスタです。

DMA 転送先へのライト・アクセス時、DCNT_n レジスタで設定したデータ・サイズ分アクセスした後、本レジスタに設定したサイズ分、次の DMA 転送先アドレスをスキップします (n=15-0)。

本レジスタは DCNT_n レジスタとペアで使用します (図 14.2 参照)。

本レジスタ設定を行う場合、CHCFG_n レジスタの DDS[3] ビットは 1 にしてください。

	DMAC0
	DSKP_0 : A006 220Ch、DSKP_1 : A006 222Ch、DSKP_2 : A006 224Ch、DSKP_3 : A006 226Ch、
	DSKP_4 : A006 228Ch、DSKP_5 : A006 22ACh、DSKP_6 : A006 22CCh、DSKP_7 : A006 22ECh、
	DSKP_8 : A006 260Ch、DSKP_9 : A006 262Ch、DSKP_10 : A006 264Ch、DSKP_11 : A006 266Ch、
	DSKP_12 : A006 268Ch、DSKP_13 : A006 26ACh、DSKP_14 : A006 26CCh、DSKP_15 : A006 26ECh
アドレス	DMAC1
	DSKP_0 : A006 320Ch、DSKP_1 : A006 322Ch、DSKP_2 : A006 324Ch、DSKP_3 : A006 326Ch、
	DSKP_4 : A006 328Ch、DSKP_5 : A006 32ACh、DSKP_6 : A006 32CCh、DSKP_7 : A006 32ECh、
	DSKP_8 : A006 360Ch、DSKP_9 : A006 362Ch、DSKP_10 : A006 364Ch、DSKP_11 : A006 366Ch、
	DSKP_12 : A006 368Ch、DSKP_13 : A006 36ACh、DSKP_14 : A006 36CCh、DSKP_15 : A006 36ECh



ビット	シンボル	ビット名	機能	R/W
b31-b0	DSKP[31:0]	デスティネーション スキップサイズ	DMA転送先へのライト・アクセス時におけるスキップ 量を設定します。(単位: Byte)	R/W

デスティネーション側でスキップ転送を行う場合、CHCFG_n レジスタの DAD ビットを 1 (固定) に設定しないでください。

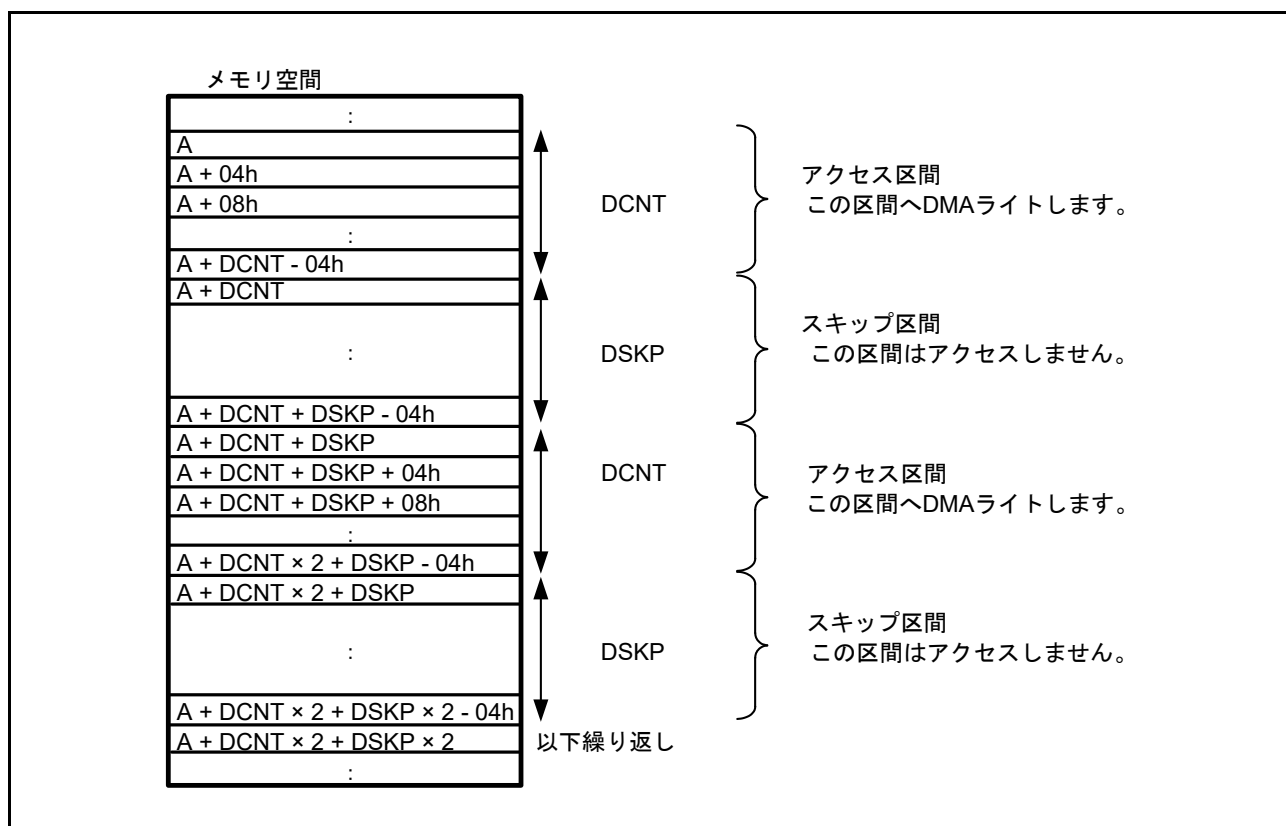


図 14.2 DSKP と DCNT の関係

DCNT、DSKP の値は、ディスティネーション・アドレスおよび CHCFG_n レジスタの DDS フィールドの設定値に関係無く設定することができます。DMAC は、CHCFG_n レジスタの DDS フィールド設定サイズ以下の組み合わせで、指定された空間へのみライト・アクセスを行います。

14.2.20 DMAコントロールレジスタ (DCTRL_X (X = A, B))

DCTRL_Xは、全チャンネル (DCTRL_A = チャンネル0～7、DCTRL_B = チャンネル8～15) において、チャンネル間のアービトレーションを設定するレジスタです。

DMAC0
アドレス DCTRL_A : A006 2300h、DCTRL_B : A006 2700h
DMAC1
DCTRL_A : A006 3300h、DCTRL_B : A006 3700h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PR	優先順位制御選択	転送優先順位制御モードを設定します (「14.3.3 DMAチャンネルの優先順位制御」を参照)。 0 : 固定優先順位モード 1 : ラウンドロビン・モード	R/W
b31-b1	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

14.2.21 デスクリプタインターバルレジスタ n (DSCITVL_X (X = A, B))

DSCITVL_Xは、全チャンネル (DSCITVL_A = チャンネル 0 ~ 7、DSCITVL_B = チャンネル 8 ~ 15) において、デスクリプタ・リード間隔を設定するレジスタです。

CHCFG_nレジスタのDRRPビットを1に設定することで、デスクリプタのLV=1となるまでデスクリプタをリードし続けます。本レジスタで、そのリード間隔を設定します。

DMAC0
アドレス DSCITVL_A : A006 2304h、DSCITVL_B : A006 2704h
DMAC1
DSCITVL_A : A006 3304h、DSCITVL_B : A006 3704h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DITVL								—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b15-b8	DITVL	デスクリプタインターバル	デスクリプタ・リード間隔を設定します。 (DITVL × 256) サイクルの間隔で、デスクリプタの再リードを行います。 デスクリプタ・リード間隔は、DITVLビットの設定値 × 256 × ICLKの周期です。	R/W
b31-b16	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

14.2.22 DMA ステータス EN レジスタ (DST_EN_X (X = A, B))

DST_EN_X は、全チャンネル (DST_EN_A = チャンネル 0 ~ 7、DST_EN_B = チャンネル 8 ~ 15) の EN ビットの状態を表示するレジスタです。

このレジスタへライトを行っても、各ビットの値は変化しません。

DMAC0
アドレス DST_EN_A : A006 2310h、DST_EN_B : A006 2710h
DMAC1
DST_EN_A : A006 3310h、DST_EN_B : A006 3710h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	EN 7/15	EN 6/14	EN 5/13	EN 4/12	EN 3/11	EN 2/10	EN 1/9	EN 0/8
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0/8	チャンネル0/8EN	DMAチャンネル0/8のENビットの状態を表示します。	R
b1	EN1/9	チャンネル1/9EN	DMAチャンネル1/9のENビットの状態を表示します。	R
b2	EN2/10	チャンネル2/10EN	DMAチャンネル2/10のENビットの状態を表示します。	R
b3	EN3/11	チャンネル3/11EN	DMAチャンネル3/11のENビットの状態を表示します。	R
b4	EN4/12	チャンネル4/12EN	DMAチャンネル4/12のENビットの状態を表示します。	R
b5	EN5/13	チャンネル5/13EN	DMAチャンネル5/13のENビットの状態を表示します。	R
b6	EN6/14	チャンネル6/14EN	DMAチャンネル6/14のENビットの状態を表示します。	R
b7	EN7/15	チャンネル7/15EN	DMAチャンネル7/15のENビットの状態を表示します。	R
b31-b8	—	予約ビット	読むと“0”が読み出されます。	R

14.2.23 DMA ステータス ER レジスタ (DST_ER_X (X = A, B))

DST_ER_X は、全チャンネル (DST_ER_A = チャンネル 0 ~ 7、DST_ER_B = チャンネル 8 ~ 15) の ER ビットの状態を表示するレジスタです。

このレジスタへライトを行っても、各ビットの値は変化しません。

DMAC0
アドレス DST_ER_A : A006 2314h、DST_ER_B : A006 2714h
DMAC1
DST_ER_A : A006 3314h、DST_ER_B : A006 3714h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ER 7/15	ER 6/14	ER 5/13	ER 4/12	ER 3/11	ER 2/10	ER 1/9	ER 0/8
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ER0/8	チャンネル0/8ER	DMAチャンネル0/8のERビットの状態を表示します。	R
b1	ER1/9	チャンネル1/9ER	DMAチャンネル1/9のERビットの状態を表示します。	R
b2	ER2/10	チャンネル2/10ER	DMAチャンネル2/10のERビットの状態を表示します。	R
b3	ER3/11	チャンネル3/11ER	DMAチャンネル3/11のERビットの状態を表示します。	R
b4	ER4/12	チャンネル4/12ER	DMAチャンネル4/12のERビットの状態を表示します。	R
b5	ER5/13	チャンネル5/13ER	DMAチャンネル5/13のERビットの状態を表示します。	R
b6	ER6/14	チャンネル6/14ER	DMAチャンネル6/14のERビットの状態を表示します。	R
b7	ER7/15	チャンネル7/15ER	DMAチャンネル7/15のERビットの状態を表示します。	R
b31-b8	—	予約ビット	読むと“0”が読み出されます。	R

14.2.24 DMA ステータス END レジスタ (DST_END_X (X = A, B))

DST_END_X は、全チャンネル (DST_END_A = チャンネル 0 ~ 7、DST_END_B = チャンネル 8 ~ 15) の END ビットの状態を表示するレジスタです。このレジスタへライトを行っても、各ビットの値は変化しません。

DMAC0
アドレス DST_END_A : A006 2318h、DST_END_B : A006 2718h
DMAC1
DST_END_A : A006 3318h、DST_END_B : A006 3718h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	END 7/15	END 6/14	END 5/13	END 4/12	END 3/11	END 2/10	END 1/9	END 0/8
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	END0/8	チャンネル0/8END	DMAチャンネル0/8のENDビットの状態を表示します。	R
b1	END1/9	チャンネル1/9END	DMAチャンネル1/9のENDビットの状態を表示します。	R
b2	END2/10	チャンネル2/10END	DMAチャンネル2/10のENDビットの状態を表示します。	R
b3	END3/11	チャンネル3/11END	DMAチャンネル3/11のENDビットの状態を表示します。	R
b4	END4/12	チャンネル4/12END	DMAチャンネル4/12のENDビットの状態を表示します。	R
b5	END5/13	チャンネル5/13END	DMAチャンネル5/13のENDビットの状態を表示します。	R
b6	END6/14	チャンネル6/14END	DMAチャンネル6/14のENDビットの状態を表示します。	R
b7	END7/15	チャンネル7/15END	DMAチャンネル7/15のENDビットの状態を表示します。	R
b31-b8	—	予約ビット	読むと“0”が読み出されます。	R

14.2.25 DMA ステータス SUS レジスタ (DST_SUS_X (X = A, B))

DST_SUS_X は、全チャンネル (DST_SUS_A = チャンネル 0 ~ 7、DST_SUS_B = チャンネル 8 ~ 15) の SUS ビットの状態を表示するレジスタです。このレジスタへライトを行っても、各ビットの値は変化しません。

DMAC0
アドレス DST_SUS_A : A006 2320h、DST_SUS_B : A006 2720h
DMAC1
DST_SUS_A : A006 3320h、DST_SUS_B : A006 3720h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SUS 7/15	SUS 6/14	SUS 5/13	SUS 4/12	SUS 3/11	SUS 2/10	SUS 1/9	SUS 0/8
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SUS0/8	チャンネル0/8SUS	DMAチャンネル0/8のSUSビットの状態を表示します。	R
b1	SUS1/9	チャンネル1/9SUS	DMAチャンネル1/9のSUSビットの状態を表示します。	R
b2	SUS2/10	チャンネル2/10SUS	DMAチャンネル2/10のSUSビットの状態を表示します。	R
b3	SUS3/11	チャンネル3/11SUS	DMAチャンネル3/11のSUSビットの状態を表示します。	R
b4	SUS4/12	チャンネル4/12SUS	DMAチャンネル4/12のSUSビットの状態を表示します。	R
b5	SUS5/13	チャンネル5/13SUS	DMAチャンネル5/13のSUSビットの状態を表示します。	R
b6	SUS6/14	チャンネル6/14SUS	DMAチャンネル6/14のSUSビットの状態を表示します。	R
b7	SUS7/15	チャンネル7/15SUS	DMAチャンネル7/15のSUSビットの状態を表示します。	R
b31-b8	—	予約ビット	読むと“0”が読み出されます。	R

14.3 動作説明

14.3.1 DMAモード

CHCFG_nレジスタのDMSビットにより、レジスタ・モードとリンク・モードを切り替えることができます。

表 14.2 DMAモード設定

DMS (CHCFG_n)	機能	用途
0	レジスタ・モード	Next Register Setに設定された値でDMA転送を行います。
1	リンク・モード	ディスクリプタ領域にアクセスし、ディスクリプタに設定された値でDMA転送を実行します。ディスクリプタによる設定、またはコントロールレジスタで停止しない限り、ディスクリプタのリードとDMA転送を繰り返します。

14.3.1.1 レジスタ・モード

レジスタ・モードは、内部レジスタに設定した値を用いて、DMA転送を行います。

転送元アドレス、転送先アドレス、転送バイト数を2セット (Next0 Register Set、Next1 Register Set) 設定できます。Next Register Set を選択しての転送や、2つのNext Register Set を連続して転送することができます。

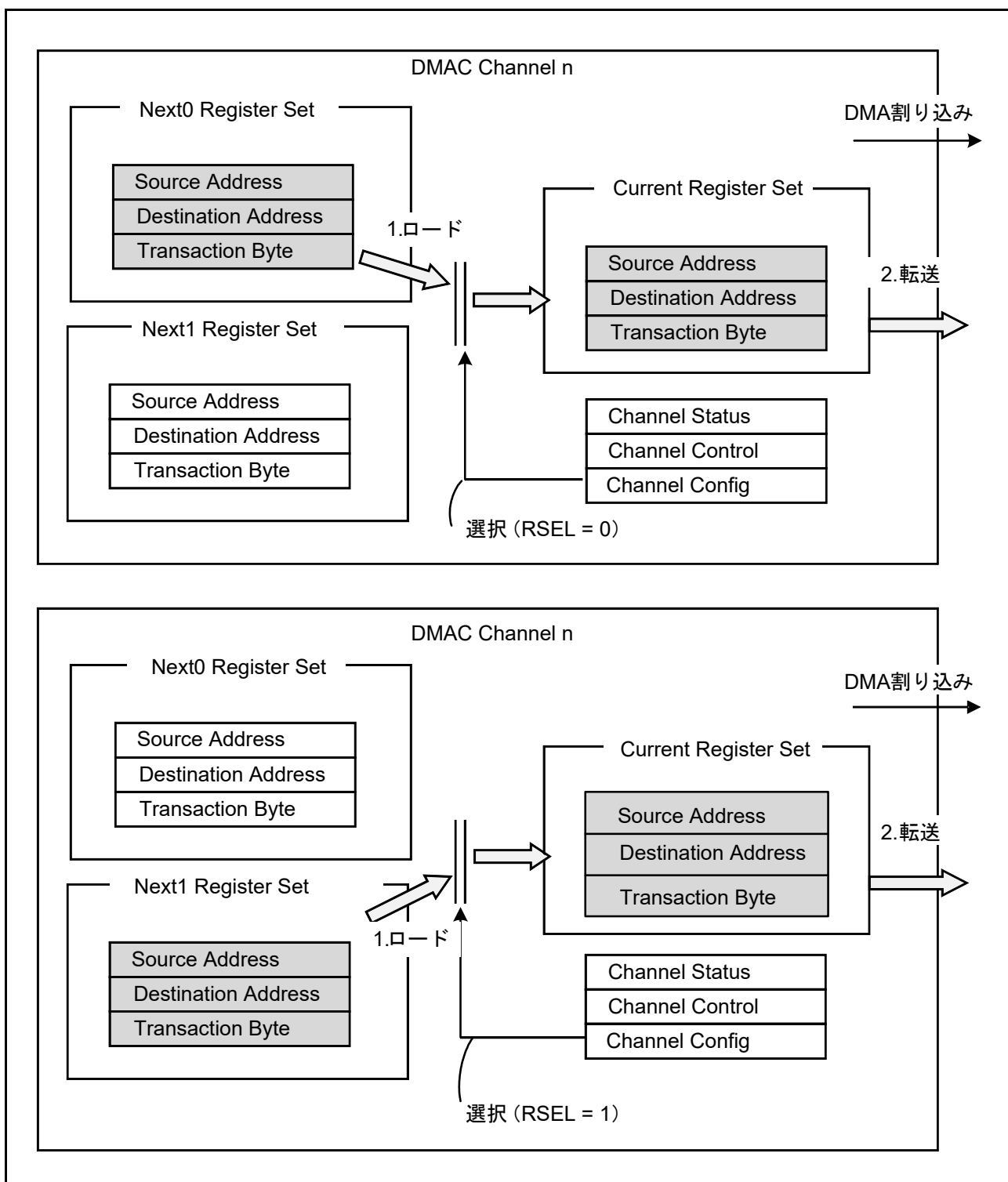


図 14.3 Register 通常モードの概要

図 14.3 は、Next0 Register Set を実行する場合（図上）と、Next1 Register Set を実行する場合（図下）を示しています。

(1) レジスタ・モードの動作フロー

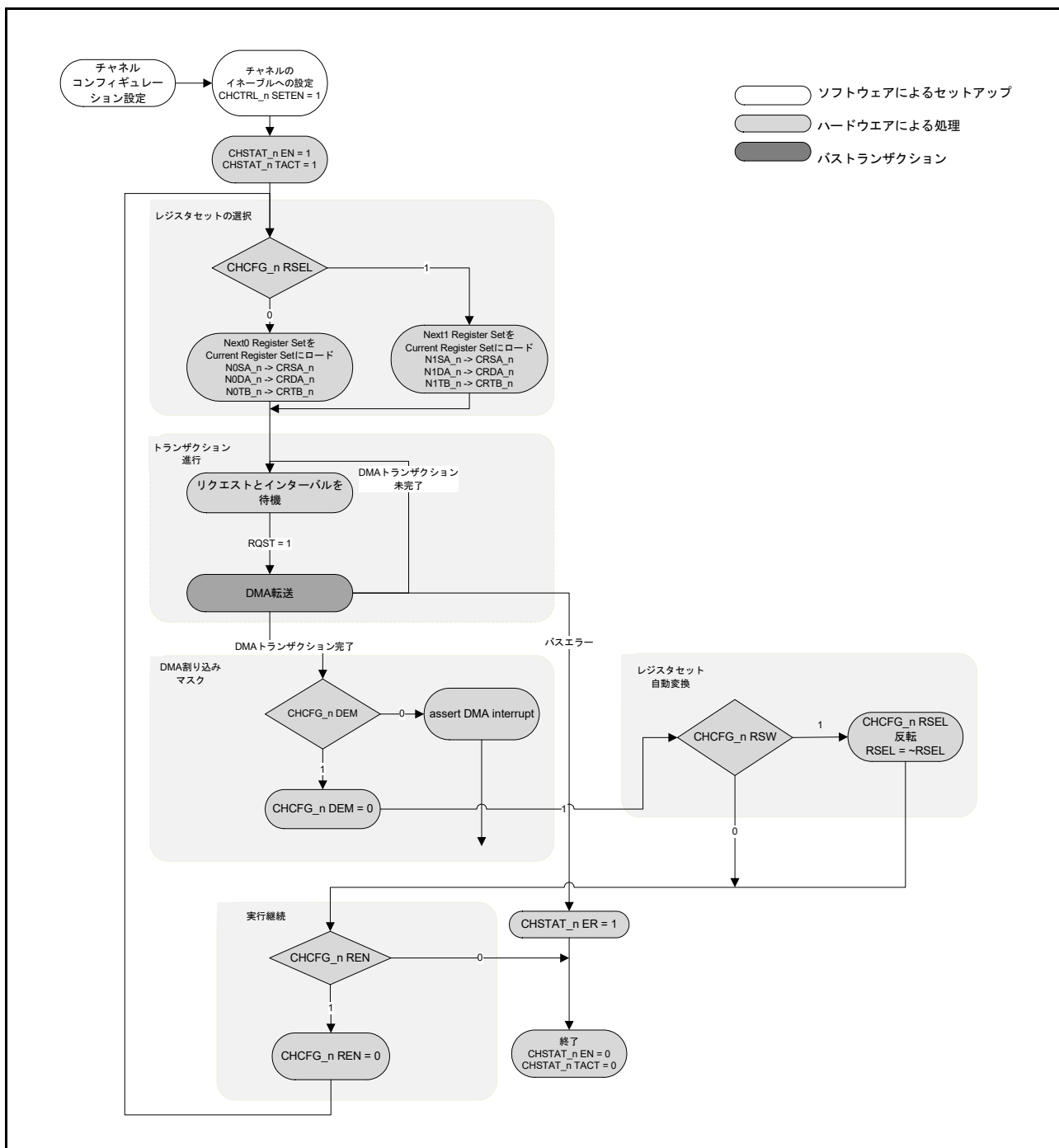


図 14.4 レジスタ・モード・フロー

< レジスタ・モード・フローの説明 >

1. チャンネル設定

Next0 または Next1 Register Set (転送先アドレス、転送元アドレス、総転送バイト数) を設定します。また、チャンネル毎の設定レジスタ CHCTRL_n、CHCFG_n 等で DMA 転送要求の検出方法、転送量等の設定を行います。

2. レジスタ・セットの選択

CHCTRL_n レジスタの SETEN ビットに 1 をライトすると、CHSTAT_n レジスタの EN ビットおよび TACT ビットが 1 になり、CHCFG_n レジスタの RSEL ビットで選択した Next Register Set の設定値を Current Register Set にロードします。

3. DMA 転送

設定した値にしたがって、DMA 転送が行われます。転送の詳細については、「14.3.2 転送モード」～「14.3.10 転送中断」を参照してください。

4. DMA 転送完了割り込みマスク

CHCFG_n レジスタの DEM ビットに設定した値により、DMA 転送完了割り込みがマスクされます。DEM = 1 の場合、DMA 転送完了割り込みはマスクされます。また、DMA 転送完了割り込み条件を満たした直後、自動的に DEM ビットは 0 にクリアされます。

5. レジスタ・セットの自動切換え

CHCFG_n レジスタの RSW ビットに設定された値により、もう一方の Next Register Set に切り替えます。

6. 継続実行

CHCFG_n レジスタの REN ビットに設定した値により、DMA 転送を連続実行します。REN = 0 の場合、CHSTAT_n レジスタの EN ビットおよび TACT ビットは 0 にクリアされ、DMAC は動作を停止します。REN = 1 の場合、DMA 転送を継続して実行します。また、REN ビットにより DMA 転送が再実行される条件を満たした直後、自動的に REN ビットは 0 にクリアされます。

(2) レジスタ・モードの設定

- レジスタ・モード設定

実行するレジスタ・セットを選択します。

表 14.3 レジスタ・モード設定

DMS (CHCFG_n)	RSEL (CHCFG_n)	説明
0	0	Next0 Register Set を実行します
	1	Next1 Register Set を実行します

- DMA 転送完了割り込みマスク設定

DMA 転送完了割り込みをマスクすることができます。

表 14.4 DMA転送完了割り込みマスク設定

DEM (CHCFG_n)	説明
0	DMA転送が完了すると、DMA転送完了割り込みを発生します。
1	DMA転送が完了しても、DMA転送完了割り込みを発生しません。 DMA転送完了後に、DEMビットは自動的に0にクリアされます。

- レジスタ・セットの自動実行設定
DMA転送後に、継続してDMA転送を実行することができます。

表 14.5 レジスタ・セットの自動実行設定

REN (CHCFG_n)	動作	備考
0	RSELビットに設定されているレジスタ・セットのDMA転送が完了すると、ENビットをクリアしてDMA動作を終了します	DMA転送を1回実行したい場合に設定してください。
1	DMA転送完了後に、続けて選択されているレジスタ・セットの内容をDMA転送します。連続転送が成立した場合、RENビットは0にクリアされません。	連続してレジスタ・セットの内容を実行したい場合に設定してください。

- レジスタ・セットの自動切り替え設定
DMA転送完了後に、次に実行するレジスタ・セットを切り替えることができます。

表 14.6 レジスタ・セット自動切り替え設定

RSW (CHCFG_n)	動作	備考
0	DMA転送完了時に、レジスタ・セットの切り替えを行いません。	1つのレジスタ・セットのみを使う場合に設定してください。
1	DMA転送完了時に、自動的にRSELビットを反転して、もう一方のレジスタ・セットを選択します。	レジスタ・セットを切り替える場合に設定してください。

(3) レジスタ・モードの設定例

- Next0 レジスタ・セットのみを使用する場合

表 14.7 レジスタ・モード設定例1

DMS (CHCFG_n)	RSEL (CHCFG_n)	DEM (CHCFG_n)	RSW (CHCFG_n)	REN (CHCFG_n)
0 (レジスタ・モード)	0 (Next0)	0 (マスクなし)	0 (スイッチなし)	0 (連続実行なし)

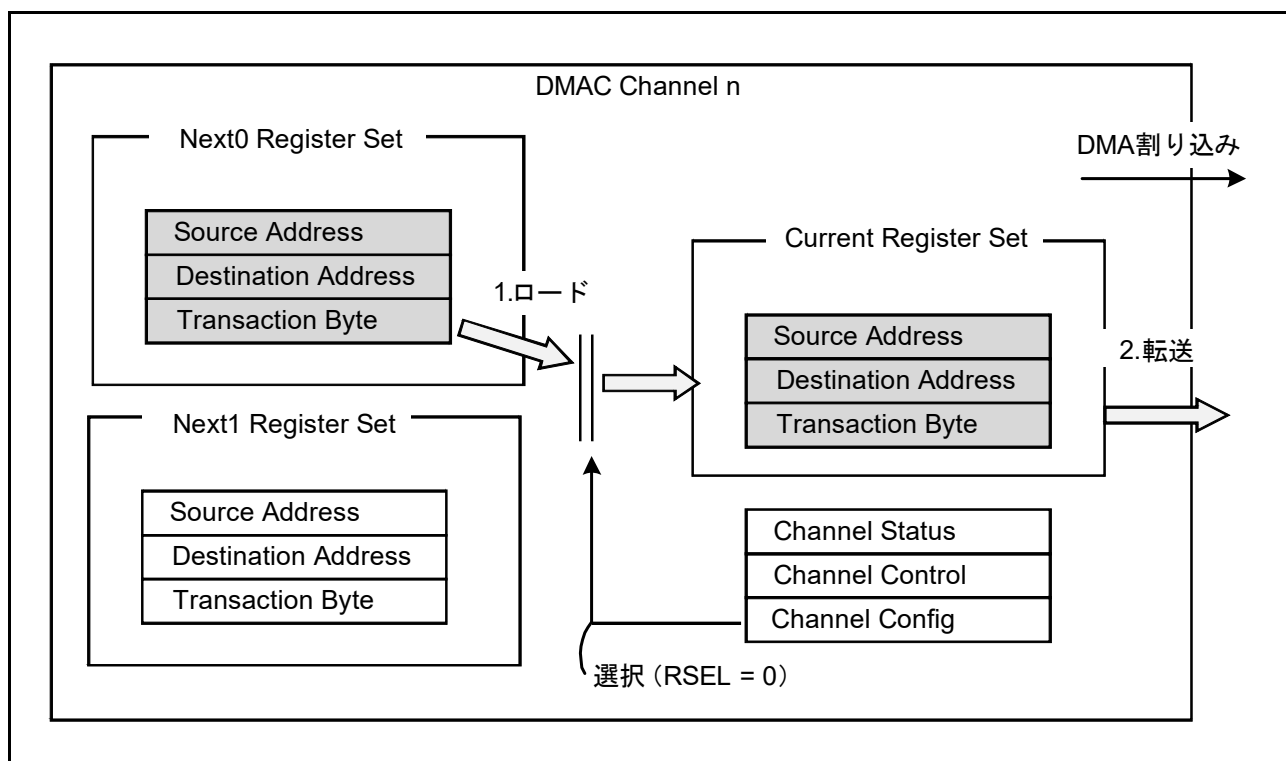


図 14.5 レジスタ・モード設定例 1

1. CHCTRL_n レジスタの SETEN ビットに 1 をライトすることで、CHSTAT_n レジスタの EN ビットが 1 になり、Next0 Register Set が Current Register Set にロードされます。
2. Current Register Set と Channel Register Set の値によって DMA 転送を実行します。
3. CHCFG_n レジスタの DEM ビットが 0 であるため、DMA 転送完了後に DMA 転送完了割り込みが発生します。
4. CHCFG_n レジスタの REN ビットが 0 であるため、CHSTAT_n レジスタの EN ビットが 0 にクリアされ動作を終了します。

- 2つのレジスタ・セットを連続して使用する場合

表 14.8 レジスタ・モード設定例 2

DMS (CHCFG_n)	RSEL (CHCFG_n)	DEM (CHCFG_n)	RSW (CHCFG_n)	REN (CHCFG_n)
0 (レジスタ・モード)	0 (Next0)	1 (マスクあり)	1 (スイッチあり)	1 (連続実行あり)

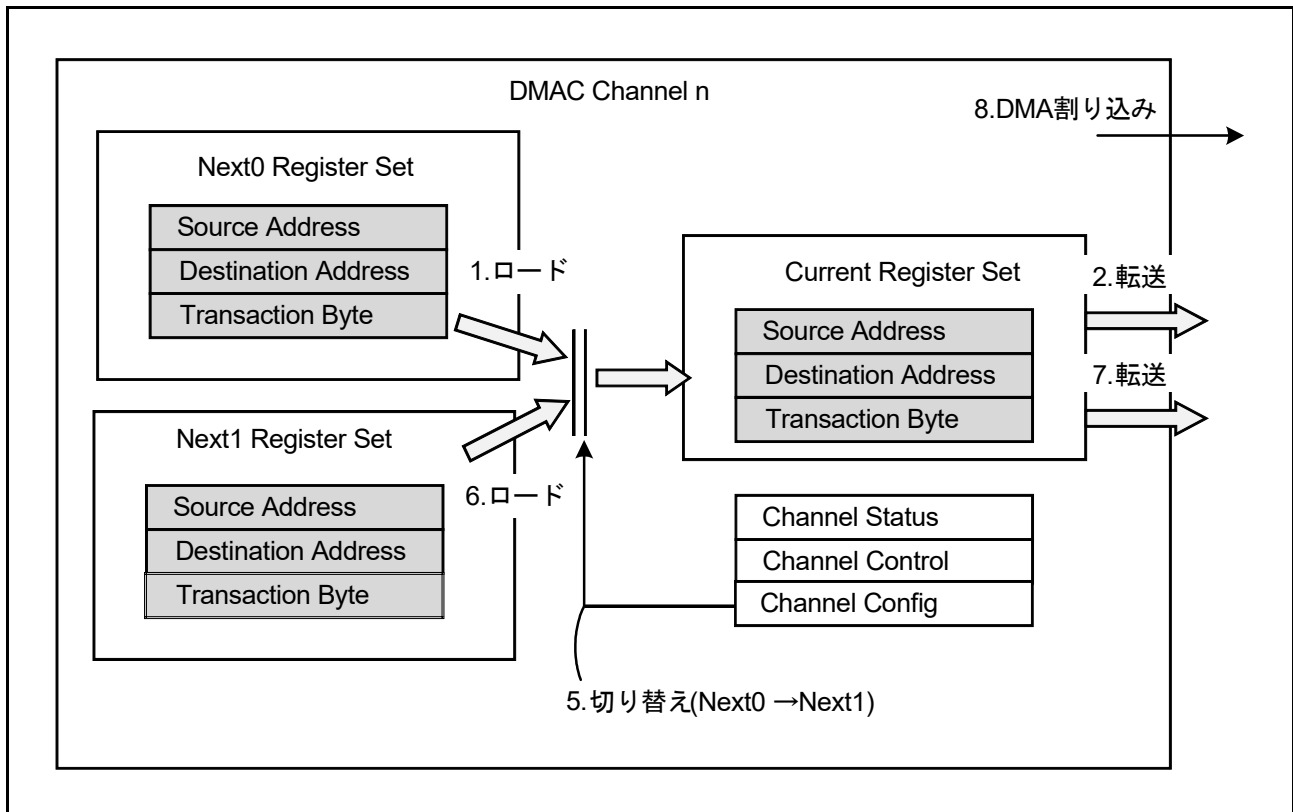


図 14.6 レジスタ・モード設定例 2

1. CHCTRL_nレジスタのSETENビットに1をライトすることで、CHSTAT_nレジスタのENビットが1になり、Next0 Register SetがCurrent Register Setにロードされます。
2. Current Register SetとChannel Register Setの値によってDMA転送を実行します。
3. CHCFG_nレジスタのDEMビットが1であるため、DMA転送完了後、DMA転送完了割り込みは発生しません。また自動的にDEMビットは0にクリアされます。
4. CHCFG_nレジスタのRENビットが1であるため、DMA転送を継続実行します。また自動的にRENビットは0にクリアされます。
5. CHCFG_nレジスタのRSWビットが1であるため、次に実行するレジスタ・セットを切り替えます (RSEL = 0 → 1)。
6. Next1 Register SetをCurrent Register Setにロードします。
7. Current Register SetとChannel Register Setの値によりDMA転送を実行します。
8. CHCFG_nレジスタのDEMビットが0であるため、DMA転送完了後にDMA転送完了割り込みが発生します。
9. CHCFG_nレジスタのRENビットが0であるため、CHSTAT_nレジスタのENビットが自動的に0にクリアされ動作を終了します。

14.3.1.2 リンク・モード

リンク・モードは、DMAC 外部の記憶領域に置かれたディスクリプタを設定値としてリードすることで、DMA 転送を実行するモードです。DMAC 内部にはチャンネル毎に Next Link Address (NXLA_n) レジスタと Current Link Address (CRLA_n) レジスタがあり、それぞれ、次に実行するディスクリプタ・アドレスの設定と、現在実行中の DMA 転送のディスクリプタ・アドレスの表示に使用されます。

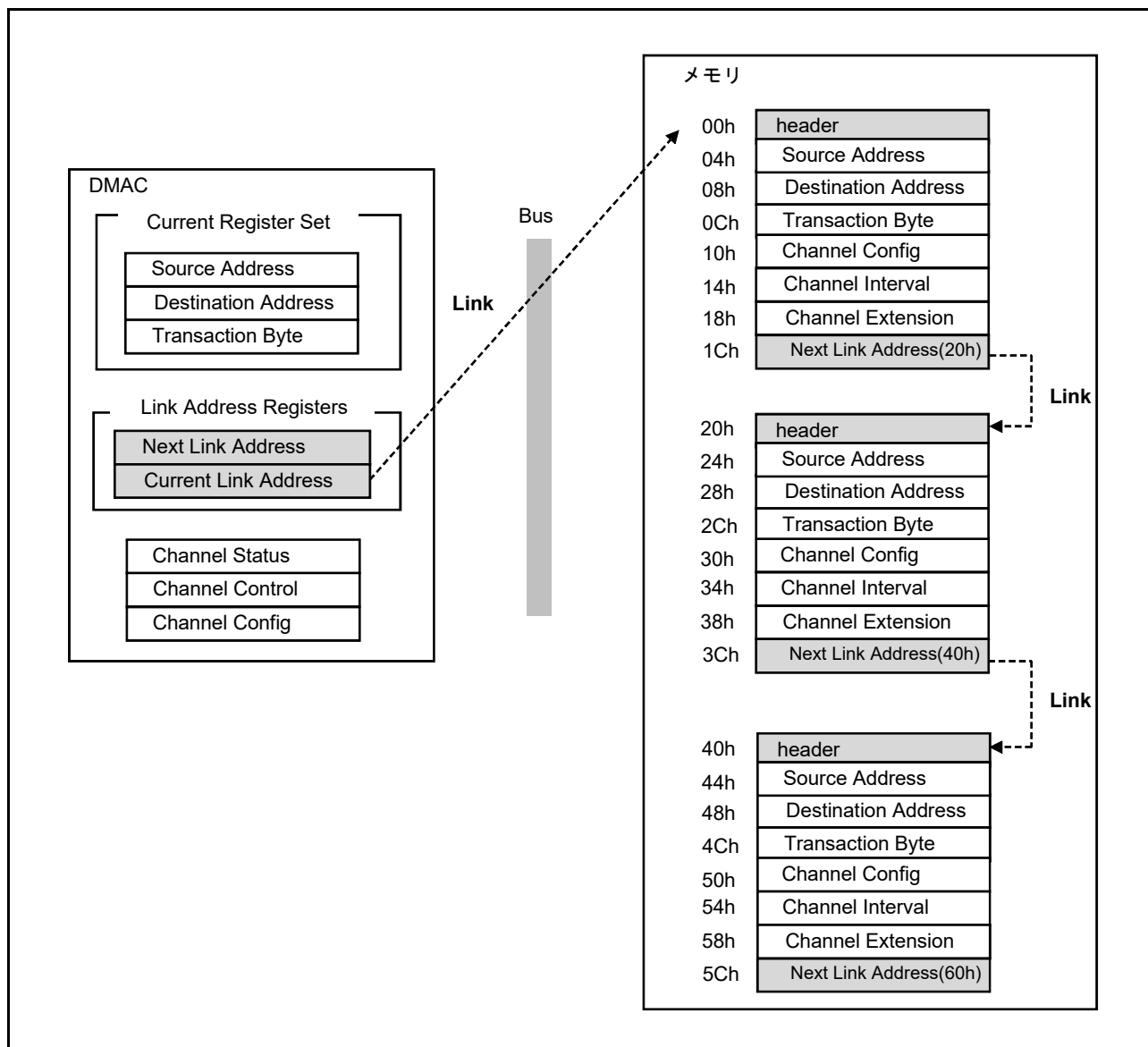


図 14.7 リンク・モードの概要

(1) リンク・モードの動作フロー

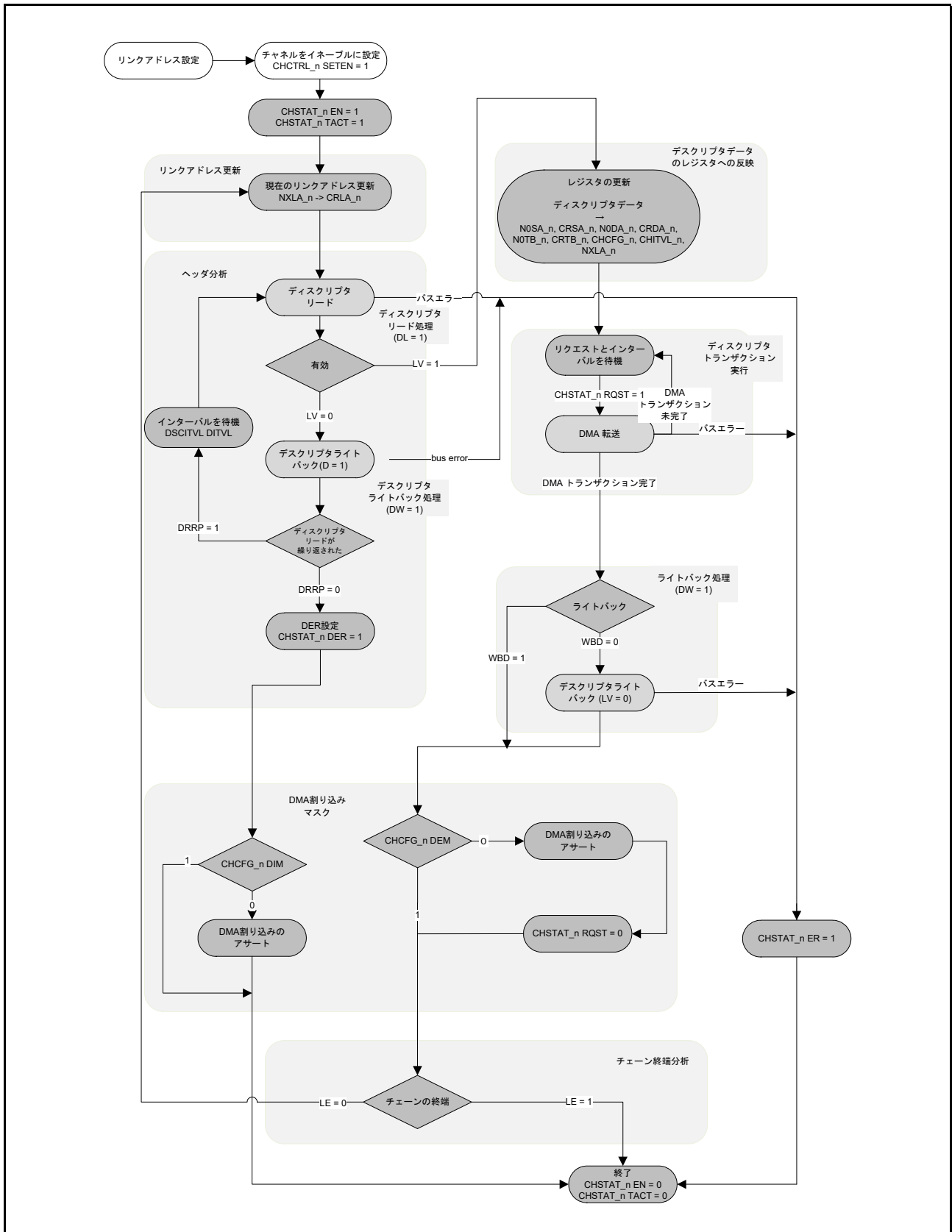


図 14.8 リンク・モードのフロー

< リンク・モードのフロー説明 >

1. チャンネル設定
NXLA_nレジスタにリンク先の先頭アドレスを設定します。
2. リンク・アドレス更新
CHCTRL_nレジスタのSETENビットに1をライトすると、CHSTAT_nレジスタのENビットおよびTACTビットが1になり、NXLA_nレジスタに設定したリンク・アドレスがCRLA_nレジスタにロードされます。
3. ディスクリプタ読み出しとheader判定
ディスクリプタ・リードを開始し、DMACはheaderの内容を確認します。LV=0の場合、headerのDビットに1をライト・バックします。ライト・バック後、CHCFG_nレジスタのDRRP=1の場合、DSCITVLレジスタに設定されたサイクル後、再び同じディスクリプタをリードします。DRRP=0の場合、CHSTAT_nレジスタのDER=1になり終了状態（CHSTAT_nレジスタのEN=0、TACT=0）になります。このとき、CHCFG_nレジスタのDIMビットが0ならば、DMA転送完了割り込みが発生します。
4. ディスクリプタ設定
LV=1の場合は、リードしたディスクリプタのデータがCurrent Register Setと、Channel Register Setにロードされます。また、NXLA_nレジスタに次のリンク先がロードされます。
5. DMA転送
設定された値により、DMA転送が行われます。転送の詳細については、「14.3.2 転送モード」～「14.3.10 転送中断」を参照してください。
6. header書き戻し（ライト・バック）
headerのWBD=0の場合、DMACはheader領域へLV=0をライト・バックします。
7. DMA割り込みマスク
CHCFG_nのDEMビットが0の場合、DMA転送完了割り込みが発生します。
8. リンク終了判定
headerのLE=1の場合、CHSTAT_nレジスタのENビットおよびTACTビットは0にクリアされ、DMACは動作を終了します。LE=0の場合は、Current Register Setを更新し、次のディスクリプタ・リードを開始します。

(2) レジスタ設定

- リンク・モード設定

リンク・モードを使用する場合は、CHCFG_n レジスタの DMS ビットを 1 に設定してください。

表 14.9 リンク・モード設定

DMS (CHCFG_n)	説明
1	リンク・モードで動作します。 ディスクリプタによって、このビットを書き換えることはできません。

- LINK アドレス設定

リンク先を示すレジスタとして、Next Link Address (NXLA_n) レジスタと Current Link Address (CRLA_n) レジスタがあります。

リンク・モードを開始するには、NXLA_n レジスタにリンク先を設定してください。

NXLA_n レジスタは、ディスクリプタ・リード後に、次のリンクに更新されます。また、CRLA_n レジスタは現在実行中のリンク・アドレスを示します。

表 14.10 リンクアドレス・レジスタ・セット

レジスタ	説明
NXLA_n	次のリンク先の設定、および表示を行います。リンク・モード開始前に、このレジスタにリンク先のアドレスを設定してください。
CRLA_n	現在実行中のリンク先を表示します。このレジスタは読み出しのみ可能です。

(3) ディスクリプタ設定

DMAC は、複数のディスクリプタ・フォーマットをサポートします。

フォーマットの切り替えは、ディスクリプタの 1word 目 (header) の bit[31:28] の DSCFM フィールドで指定します。

以下に、DSCFM ビットの値とディスクリプタ・フォーマットの関係を示します。

表 14.11 ディスクリプタ・フォーマット

DSCFM	ディスクリプタ サイズ	Next Link Address	Channel Interval	Channel Config	Transaction Size	Destination Address	Source Address	header
3	4word	○	— (リロード)	— (リロード)	— (header)	○	○	○ (STS 有)
1	8word	○	○	○	○	○	○	○ (STS 無)
上記以外	設定禁止							

表 14.12 「表 14.11 ディスクリプタ・フォーマット」中の起動の説明

フィールド	記号	説明	備考
header	○ (STS 有)	headerの[15:0]のSTSフィールドが有効であることを示します。STSフィールドに設定した値を、総転送バイト数 (Transaction Size) として使用します。	—
	○ (STS 無)	headerの[15:0]のSTSフィールドは無効です。総転送バイト数は、ディスクリプタのTransaction Sizeを使用します。	
Source Address	○	Source Addressを指定します。	—
Destination Address	○	Destination Addressを指定します。	—
Transaction Size	○	Transaction Sizeを指定します	—
	— (header)	Transaction Sizeを省略します。headerのSTSフィールドに設定した値を、総転送バイト数 (Transaction Size) として使用します。	
Channel Config Channel Interval	○	Channel Config、Channel Intervalを指定します。	—
	— (reload)	Channel Config、Channel Intervalを省略します。前回の設定値 (その時のCHCFG_n、CHITVL_nレジスタの値) を引き続き使用します。	—
Next Link Address	○	本ディスクリプタのDMA転送の後にリードする、次のディスクリプタ・アドレス (Next Link Address) を指定します。	—

DMACはディスクリプタ・リードして得たデータを、順番に解釈します。DSCFMフィールドで8word未満を指定した場合、「表 14.11 ディスクリプタ・フォーマット」の『○』の付いたディスクリプタ・データを、メモリ上へ配置してください。

表 14.13 ディスクリプタ配置例

DSCFM	アドレス (Link Address + N)							
	+1Ch	+18h	+14h	+10h	+0Ch	+08h	+04h	+00h
3h	—	—	—	—	Next Link Address	Destination Address	Source Address	header
1h	Next Link Address	—	Interval	Config	Transaction Byte	Destination Address	Source Address	header

- header

headerは以下に示すように、ディスクリプタの状態等を表します。

この領域は、リンク・モードでのDMA転送開始前に、DMACによってリードされます。また、DMA転送終了後に、転送状況がDMACによってライト・バックされます。

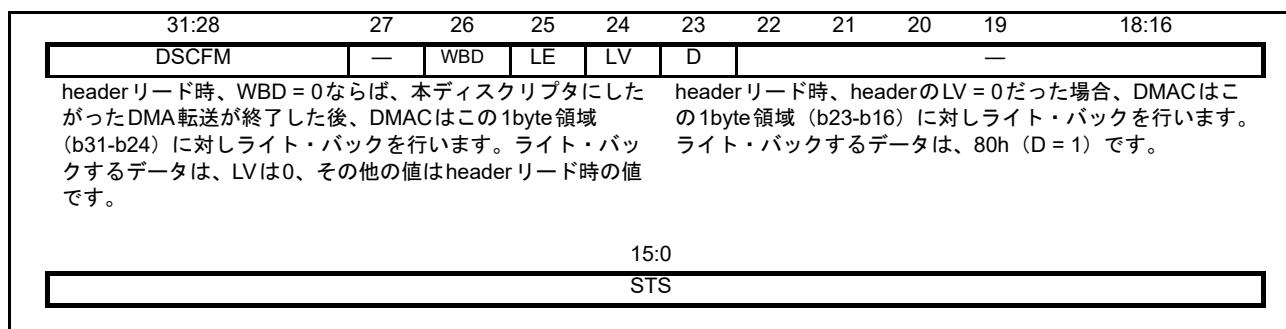


図 14.9 header領域

表 14.14 header領域

ビット位置	ビット名	意味
b15-b0	STS	DSCFM = 3の場合にTransaction Sizeを設定します (単位: Byte)。設定できる転送バイト数は最大65535 Byteです。 DSCFM = 3の場合、STSビットに0を設定しないでください。0を設定した場合の動作は保証しません。
b22-b16	—	Reserved領域です。0を設定してください。
b23	D	ディスクリプタのアクセス・エラーを示すビットです。ディスクリプタのリード時にLV = 0の場合、DMACは本ビットに対し1をライト・バックします。 0: ディスクリプタ・エラーなし 1: ディスクリプタのリード時、LV = 0
b24	LV	このディスクリプタが有効であることを示します。 WBD = 0の場合、DMACがディスクリプタに書かれたDMA転送実行後に0を書き込みます。header設定時には1を設定してください。 0: ディスクリプタ無効 1: ディスクリプタ有効
b25	LE	このディスクリプタのDMA転送でリンクが終了することを示します。 リンクの最後を示す場合にこのビットを1に設定してください。 0: リンク継続 1: リンク終了
b26	WBD	LVビットのライト・バック実行をマスクします。このビットが1の場合、DMACはライト・バック動作を行いません。 0: LVビットを0に書き戻す。 1: LVビットを書き戻さない。
b27	—	Reserved領域です。0を設定してください。
b31-b28	DSCFM	ディスクリプタのフォーマット (ディスクリプタの長さ、組み合わせ) を指定します。 詳細は表 14.11を参照してください。

DMA 転送完了処理中 (ディスクリプタへのライトバック中) にディスクリプタを追加すると、CPU が LV ビットを 1 にセットするアクセスと、DMAC が D ビットに 1 をライト・バックするアクセスが競合する恐れがあります。これにより、先に書いた側のデータが、後に書いたデータで上書きされてしまいます。

この問題を避けるため、D ビットのバイト・レーンと LV ビットのバイト・レーンは異なる配置になっています。DMAC は D ビットのライト・バックをバイト・ライトで行うため、LV = 1 のセットもバイト・ライトで行ってください。

- header 以外のディスクリプタの設定

header 以外のディスクリプタの各データは、内蔵レジスタの仕様と同じです。内蔵レジスタの仕様は「14.2 レジスタの説明」を参照してください。

ディスクリプタの設定例は「14.5.3 設定例 3 (リンク・モード)」を参照してください。

- ディスクリプタ領域と DMA 転送領域

以下に、DMAC がアクセスするディスクリプタ領域と DMA 転送領域の概略を示します。

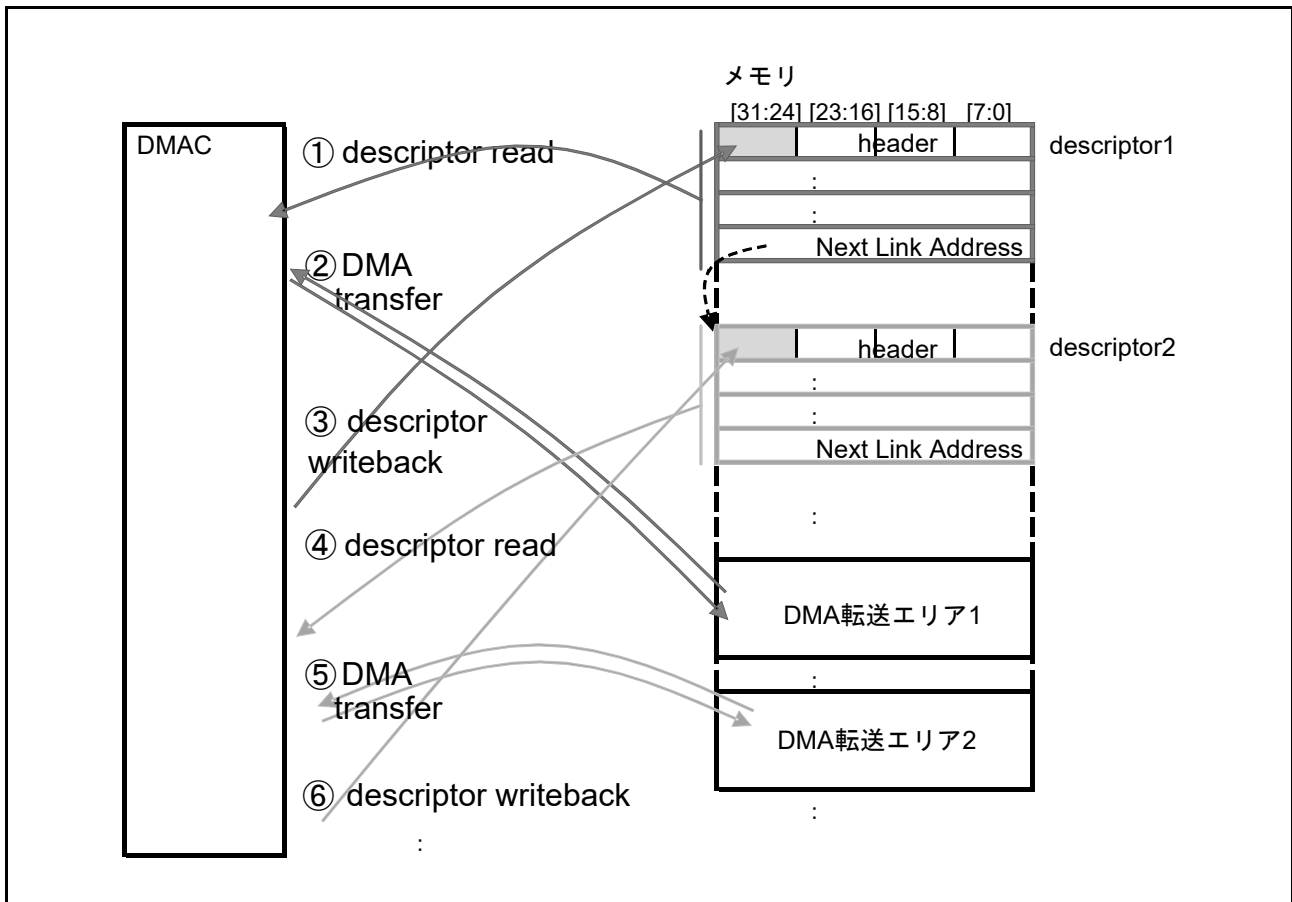


図 14.10 header 領域

① ディスクリプタ・リード

内蔵の NXLA_n レジスタに設定した値を、CRLA_n レジスタにロードし、CRLA_n レジスタの示すメモリ空間 (descriptor1) から、ディスクリプタをリード

② DMA 転送

ディスクリプタの header 内の LV ビットが 1 であった場合、ディスクリプタ情報にしたがい、DMA 転送を実行

③ ディスクリプタ・ライト・バック

設定バイト数 DMA 転送後、header 内の WBD ビットが 0 であった場合、descriptor1 の header[31:24] に対し、LV ビットは 0、その他のフィールドは①でリードした値をデータとして、バイト・サイズでのライト・バックを実行。

④ ディスクリプタ・リード

前回 (①) リードしたディスクリプタの header 内の LE ビットが 0 であった場合、ディスクリプタ中の Next Link Address で示されるアドレス (descriptor2) から、次のディスクリプタをリード。

⑤ DMA 転送

ディスクリプタの header 内の LV ビットが 1 であった場合、ディスクリプタ情報にしたがい、DMA 転送を実行

⑥ディスクリプタ・ライト・バック

設定バイト数 DMA 転送後、header 内の WBD ビットが 0 であった場合、descriptor2 の header[31:24] に対し、LV ビット 0、その他のフィールドは④でリードした値をライト・データとして、バイト・サイズでのライト・バックを実行。

以降④～⑥の繰り返し

header の LE = 1、WBD = 0 であった場合、そのディスクリプタ設定での DMA 転送、および header の LV ビットに 0 をライト・バックして終了。

header の LE = 1、WBD = 1 であった場合、そのディスクリプタ設定での DMA 転送を行って終了（ライト・バックは行わない）。

header の LV = 0 であった場合、header の D ビットに 1 をライト・バック。ライト・バック後、CHCFG_n レジスタの DRRP = 1 の場合は、DSCITVL_n レジスタの DITVL フィールドに指定されているインターバル後、再度ディスクリプタをリード。DRRP = 0 の場合は動作を停止。

● ディスクリプタに関する注意事項

- リンク・モードでは、ディスクリプタ・リードにより設定を変更することができますが、設定の変更タイミングとハードウェア・リクエストとの同期を取ることはできません。このため、ハードウェア・リクエスト（外部割り込み）を使う場合、CHCTRL_n レジスタの SETEN ビットをセットする前に CHCFG_n レジスタの LVL、HIEN、LOEN、SEL ビットを設定し、かつディスクリプタ中でこれらの設定ビットを変更しないようにしてください。
- ディスクリプタで、CHCFG_n レジスタの DMS フィールドの設定を変更することはできません（常にリンク・モードとなります）。また、ディスクリプタで CHCFG_n レジスタの REN、RSW、RSEL フィールドの設定を変更できますが、動作に影響を与えません。
- DMAC は header の DSCFM フィールドと LV ビットを参照して、そのディスクリプタが有効なのか無効なのかを判断します。このため、ディスクリプタの DSCFM フィールドと LV ビットに相当するメモリ領域を、DMAC がアクセスする前に初期化（DSCFM = 1 または 3、LV = 1）しておいてください。
- DMA の転送設定を読み出し中（ディスクリプタのリード中）に次のディスクリプタをメモリ上に設定する場合、LV ビットへの 1 のライトは、header 以降のディスクリプタ（Source Address、Destination Address、・・・Next Link Address）を設定した後に行ってください。これは、CPU によるディスクリプタの設定と DMAC のディスクリプタ・リードが競合し、CPU によるディスクリプタ設定の途中で DMAC のディスクリプタ・リードが割り込んだ場合に、設定前のディスクリプタ値（Source Address、Destination Address、・・・）を使って DMA 転送してしまうことを防ぐためです。
- header の D ビットへのライト・バック情報を残したい場合、header の LV ビットへの 1 のライトは、バイトアクセスで行ってください。

(4) LINK 構成例

リンク・モードでは、ディスクリプタを以下のように構成することが可能です。

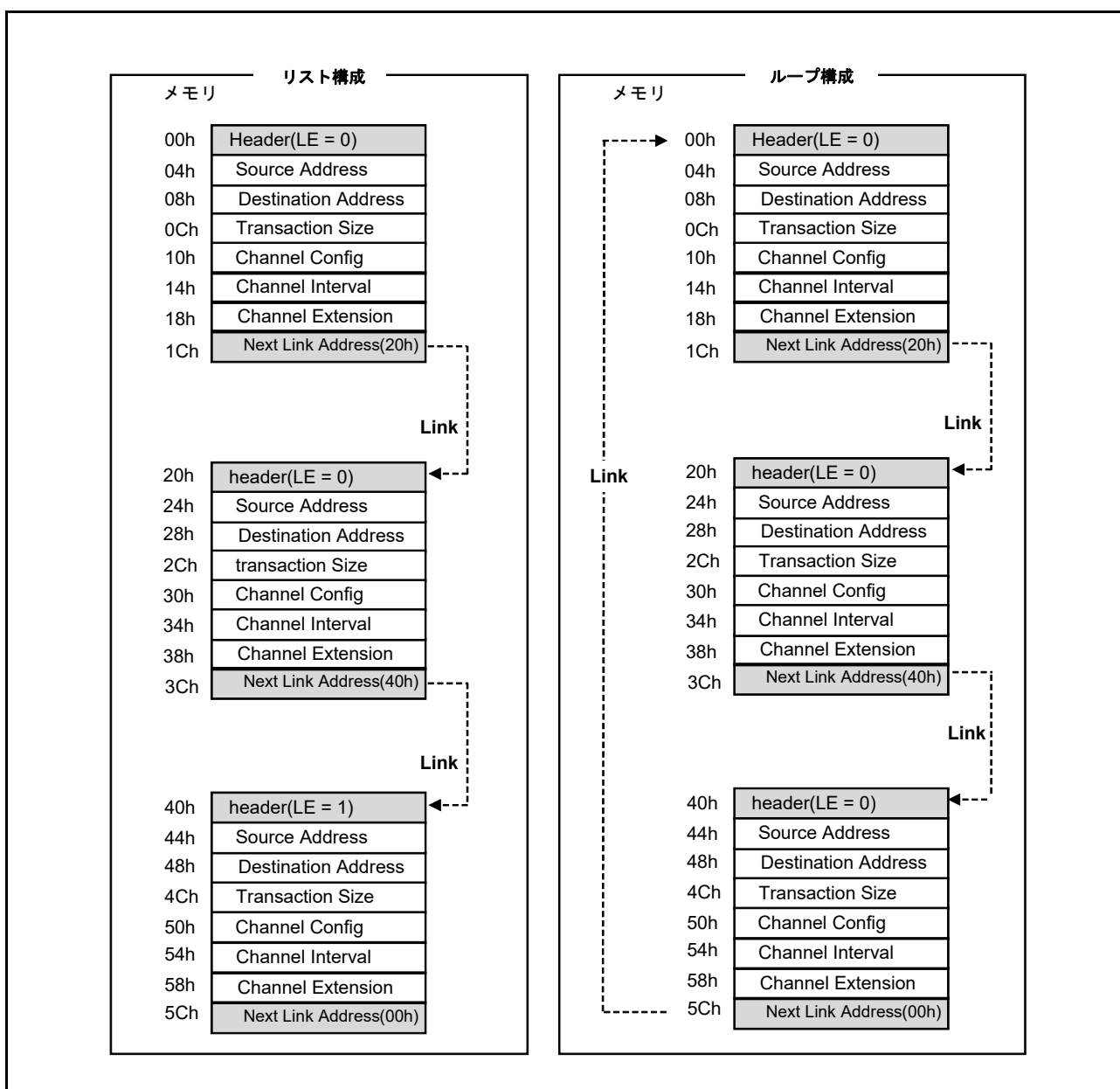


図 14.11 header 領域

- リスト構成

最後のディスクリプタの header にある LE ビットを 1 に設定することで、リンクを終了します。

- ループ構成

最後のディスクリプタのリンク先を、前のディスクリプタのアドレスに設定することで、ディスクリプタをループ構成にすることができます。ループを終了するためには、DMAC がディスクリプタ・リードする前に header の LE ビットを 1 に書き換えるか、転送中断手順にしたがって停止してください。

14.3.1.3 WRITE ONLY モード

CHCFG_n レジスタの WONLY ビットに 1 を設定することで、WRITE ONLY モードになります。

表 14.15 WRITE ONLYモード設定

WONLY (CHCFG_n)	モード	説明
0	通常モード	Next Register Setに設定された値でDMA転送を行います。
1	WRITE ONLYモード	DMAリード・トランスファを行わず、DMAライト・トランスファだけ行います。

WRITE ONLY モードでは、DMA 転送でのリード動作を行いません（ディスクリプタのリードは通常モードと同様に行います）。レジスタ・モードでは、NxSA_n レジスタ（RSEL = 0 の場合 x = 0、RSEL = 1 の場合 x = 1）に設定した値をライト・データとして使用します。リンク・モードでは、ディスクリプタの SA フィールドの値をライト・データとして使用します。

本モードはメモリ領域の初期化等に使用してください。

14.3.2 転送モード

シングル転送モードとブロック転送モードをサポートします。

モードの選択は、チャンネル毎に CHCFG_n レジスタの TM ビットで設定してください。

表 14.16 基本転送設定

転送モード	TM (CHCFG_n)	機能
シングル転送	0	1回のDMAリクエストに対して、1回のDMA転送を実行します。
ブロック転送	1	1回のDMAリクエストに対して、DMA転送が完了するまで、転送を実行します。

14.3.2.1 シングル転送モード

DMA 転送要求を受け付けると、DMA 転送を 1 回実行します。転送要求を受け付ける度に 1 回の転送を行い、この動作を N0TB_n, N1TB_n レジスタから CRTB_n レジスタにロードされた転送サイズ分続けます (チャンネル間のアービトレーションは、DMA 転送毎に行います)。

14.3.2.2 ブロック転送モード

DMA 転送要求を 1 度受け付けると、N0TB_n, N1TB_n レジスタから DMA 転送バイト・レジスタ (CRTB_n レジスタ) にロードされたバイト数分の転送が完了 (DMA 転送完了) するまで転送を続けます (チャンネル間のアービトレーションは、DMA 転送毎に行います)。

14.3.3 DMA チャンネルの優先順位制御

チャンネル間のアービトレーション方式として、固定優先順位モードとラウンドロビン・モードをサポートしています。モードの選択は、DCTRL レジスタの PR ビットで行います。PR ビットが 0 の場合、固定優先順位モードとなり、PR ビットが 1 の場合、ラウンドロビン・モードとなります。

表 14.17 優先順位制御設定

転送モード	PR (DCTRL)	機能	用途
固定優先順位	0	チャンネル0~7/チャンネル8~15固定優先順位 CH0(CH8) > CH1(CH9) > CH2(CH10) > CH3(CH11) > CH4(CH12) > CH5(CH13) > CH6(CH14) > CH7(CH15)	チャンネルに優先順位が有る場合に使用してください
ラウンドロビン	1	ラウンドロビンでリクエストを制御します。	各リクエストに対して均等に実行させたい場合に使用してください。

14.3.3.1 固定優先順位モード

固定優先順位モードでは、チャンネル 0 ~ 7 内およびチャンネル 8 ~ 15 内の優先順位は固定となります。

また、チャンネル 0 ~ 7 グループとチャンネル 8 ~ 15 グループ間の優先順位はラウンドロビンとなります。

以下の図 14.12 に、リセット直後の優先順位と DMA チャンネル 0 の転送が行われた後の優先順位について示します。

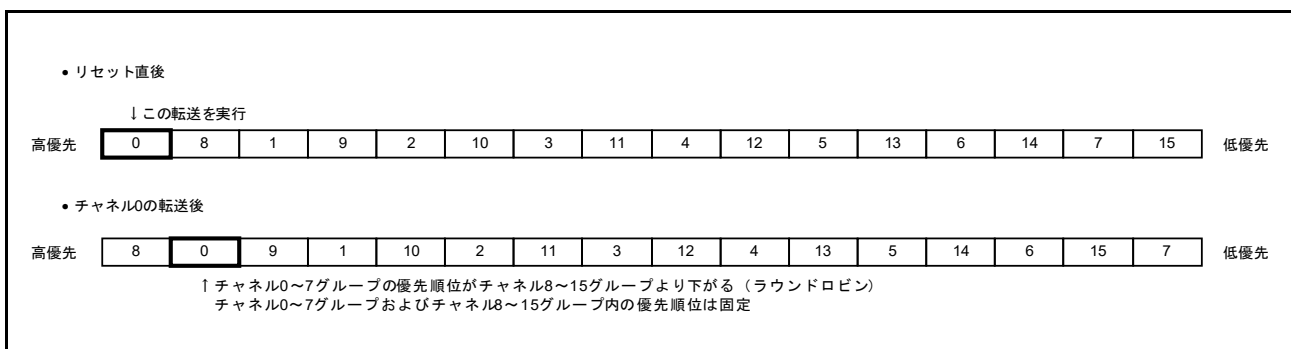


図 14.12 リセット直後の優先順位と DMA チャンネル 0 の転送が行われた後の優先順位

DMA 転送要求が複数のチャンネルで同時に発生した場合、チャンネル番号の小さい DMA 転送要求を優先します。

注. チャンネル 0 が最優先で行われますが、チャンネル 0 の転送元へのリード動作後、バス調停が行われるため、次に

優先順位の高いチャンネルの転送が行われます（同一チャンネルのリード動作⇒ライト動作の間に別のチャンネルのリード動作等が割り込む可能性があります）。

14.3.3.2 ラウンドロビン・モード

ラウンドロビン・モードでは、各チャンネルの転送受け付け毎に、直前の転送を行ったチャンネルの優先順位が一番低くなるように優先順位を変更します。

以下の図 14.13 に、リセット直後の優先順位と DMA チャンネル 2 の転送が行われた後の優先順位について示します。

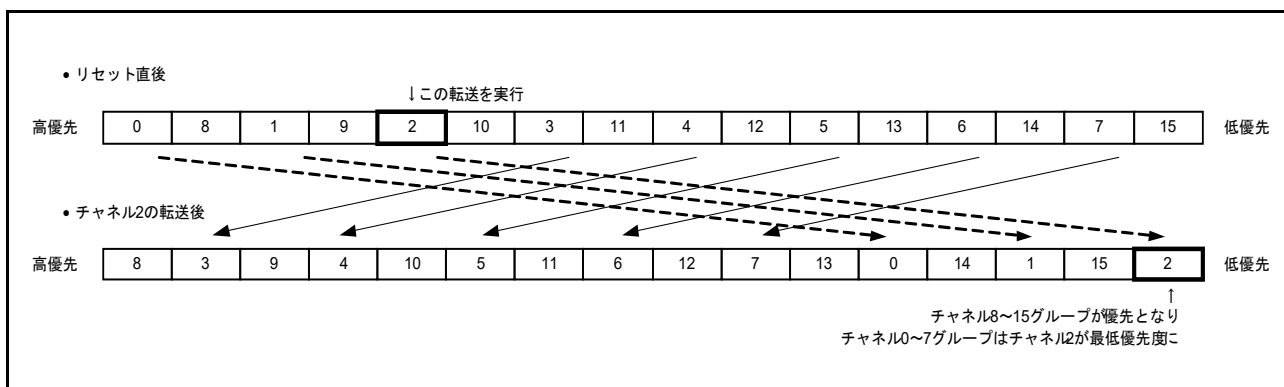


図 14.13 リセット直後の優先順位と DMA チャンネル 2 の転送が行われた後の優先順位

14.3.4 DMA 転送要求

DMA 起動要求には、ソフトウェアリクエスト、内蔵周辺モジュールリクエスト、外部割り込みの3種類があります。

内蔵周辺モジュールリクエスト、外部割り込み、ソフトウェアリクエストの転送要求元の選択は DMAmSELn (m=0, 1 n=0~15) レジスタで行います。

DMAmSELn (m=0, 1 n=0~15) レジスタの詳細については「14.2.8 DMAC Unit0 要因選択レジスタ i (DMA0SELi) (i=0~15)」、および「14.2.9 DMAC Unit1 要因選択レジスタ i (DMA1SELi) (i=0~15)」を参照してください。

14.3.4.1 DMA 転送要求の要因毎の検出動作指定

内蔵周辺モジュールリクエスト、外部割り込み、ソフトウェアリクエストの DMA 転送要求は、要因によって検出方法が指定されているものがあります。

DMA 転送要因毎に、表 14.18、表 14.19、表 14.20 を元に CHCFG_n レジスタの LVL、HIEN、LOEN ビットを設定してください。

表 14.18 DMA 転送要求の要因毎の検出動作指定

DMA 転送要求要因	DMA 転送要求の検出動作指定
内蔵周辺モジュールリクエスト	DMA 転送要求元の仕様に依存 (表 14.20 参照)
外部割り込み	立ち上がりエッジ検出 ハイレベル検出
ソフトウェアリクエスト	立ち上がりエッジ検出

表 14.19 DMA 転送要求信号の検出方法

モード	LVL (CHCFG_n)	HIEN (CHCFG_n)	LOEN (CHCFG_n)	機能
エッジ 検出	0	0	0	検出無効
			1	立ち下がりエッジ検出
		1	0	立ち上がりエッジ検出
			1	設定禁止
レベル 検出	1	0	0	検出無効
			1	ロウレベル検出
		1	0	ハイレベル検出
			1	設定禁止

表 14.20 DMA転送要求検出動作設定表 (1/2)

DMA転送 要求元	DMA 転送要因	転送元	転送先	DMAm SELn [7:0]	CHCFG_n						
					TM	LVL	HIEN	LOEN	SEL[2:0]		
外部 割り込み	IRQ0	任意	任意	04h	0/1	0/1 (注1)	1 (注1)	0 (注1)	DMAC0/1 ch0/8 : 0h ch1/9 : 1h ch2/10 : 2h ch3/11 : 3h ch4/12 : 4h ch5/13 : 5h ch6/14 : 6h ch7/15 : 7h		
	IRQ1			05h							
	IRQ2			06h							
	IRQ3			07h							
	IRQ4			08h							
	IRQ6			0Ah							
	IRQ7			0Bh							
CMT Unit0	コンペアマッチ0	任意	任意	15h	0/1	0	1	0			
	コンペアマッチ1			16h							
CMT Unit1	コンペアマッチ0	任意	任意	17h	0/1	0	1	0			
	コンペアマッチ1			18h							
CMTW Unit0	コンペアマッチ	任意	任意	19h	0/1	0	1	0			
	インプット キャプチャ0			1Ah							
	インプット キャプチャ1			1Bh							
	アウトプット コンペア0			1Ch							
	アウトプット コンペア1			1Dh							
CMTW Unit1	コンペアマッチ	任意	任意	1Eh	0/1	0	1	0			
	インプット キャプチャ0			1Fh							
	インプット キャプチャ1			20h							
	アウトプット コンペア0			21h							
	アウトプット コンペア1			22h							
S12ADCa Unit0	AD変換完了	ADDRn	任意	23h	0/1	0	1	0			
	グループB 変換完了	ADDRn		24h							
S12ADCa Unit1	AD変換完了	ADDRn	任意	26h	0/1	0	1	0			
	グループB 変換完了	ADDRn		27h							
DMAC0	DMAC0 ソフトウェア トリガ	任意	任意	FBh	0/1	0	1	0			
DMAC1	DMAC1 ソフトウェア トリガ	任意	任意	FCh	0/1	0	1	0			
RSPI チャンネル0	受信バッファフル	SPDR	任意	50h	0	0	1	0			
	送信バッファ エンプティ	任意	SPDR	51h	0	0	1	0			
RSPI チャンネル1	受信バッファフル	SPDR	任意	54h	0	0	1	0			
	送信バッファ エンプティ	任意	SPDR	55h	0	0	1	0			

表 14.20 DMA転送要求検出動作設定表 (2 / 2)

DMA転送 要求元	DMA 転送要因	転送元	転送先	DMAm SELn [7:0]	CHCFG_n				
					TM	LVL	HIEN	LOEN	SEL[2:0]
SCIFA チャンネル0	受信バッファフル	FRDR	任意	61h	0	1	1	0	DMAC0/1 ch0/8 : 0h ch1/9 : 1h ch2/10 : 2h ch3/11 : 3h ch4/12 : 4h ch5/13 : 5h ch6/14 : 6h ch7/15 : 7h
	送信バッファ エンプティ	任意	FTDR	62h	0	1	1	0	
SCIFA チャンネル1	受信バッファフル	FRDR	任意	65h	0	1	1	0	
	送信バッファ エンプティ	任意	FTDR	66h	0	1	1	0	
SCIFA チャンネル2	受信バッファフル	FRDR	任意	6Eh	0	1	1	0	
	送信バッファ エンプティ	任意	FTDR	6Fh	0	1	1	0	
SCIFA チャンネル4	受信バッファフル	FRDR	任意	76h	0	1	1	0	
	送信バッファ エンプティ	任意	FTDR	77h	0	1	1	0	
RIIC チャンネル0	データ受信終了	ICDRR	任意	7Ah	0	0	1	0	
	送信データ エンプティ	任意	ICDRT	7Bh	0	0	1	0	
RIIC チャンネル1	データ受信終了	ICDRR	任意	7Dh	0	0	1	0	
	送信データ エンプティ	任意	ICDRT	7Eh	0	0	1	0	
TPUa unit0	TGI0A	任意	任意	D8h	0	0	1	0	
	TGI0B								
	TGI1A								
	TGI1B								
	TGI2A								
	TGI2B								
	TGI3A								
	TGI3B								
	TGI4A								
	TGI4B								
	TGI5A								
	TGI5B								
ELC	ELCIRQ1	任意	任意	F2h	0	0	1	0	
	ELCIRQ2								

注1. 外部割り込み (IRQ0~4、6、7) のLVL、HIEN、LOENビットの設定は、以下の通りになります。
 IRQCRi (i = 0~4、6、7) レジスタの設定は「12.3.1 割り込み要求先の選択」を参照してください。
 LVL : IRQCRiレジスタのレベル/エッジ設定に合わせてください。
 HIEN : IRQCRiレジスタの検出レベルに関係なく、1を設定してください。
 LOEN : IRQCRiレジスタの検出レベルに関係なく、0を設定してください。

備考 CHCFG_n レジスタ設定値

TM ビット

0 : シングル転送

1 : ブロック転送

LVL ビット

0 : DMA 要求をエッジ検出

1 : DMA 要求をレベル検出

注. DMAC 要因選択レジスタで選択されたベクタ番号は、各周辺からの割り込み要因ではなく、DMAC 要因選択レジスタで選択されたDMAC各チャンネルの転送完了要因が接続されます。

注. DMACの転送完了割り込みの検出タイプは、必ずPLSnレジスタで、エッジ検出を選択してください。

14.3.4.2 エッジ検出

CHCFG_n レジスタの LVL ビットを 0 に設定することにより、エッジ検出となります。
CHCFG_n レジスタの HIEN ビットを 1 に設定することにより立ち上がりエッジ検出、
LOEN ビットを 1 に設定することにより立ち下がりエッジ検出となります。

14.3.4.3 レベル検出

CHCFG_n レジスタの LVL ビットを 1 に設定することにより、レベル検出となります。

DMA 転送要求が、連続した 2 クロック (ICLK) 以上の期間アクティブ (HIEN、LOEN の設定による) である場合、DMA 要求として認識します。

14.3.5 強制排出要求

強制排出要求が入力されると、バッファ内にある未転送データを DMA 転送先アドレスへ転送します。掃き出し動作が終了した後、DMA 転送を継続します。

以下に強制排出要求の注意点を示します。

- 強制排出要求と DMA 転送要求入力競合した場合、強制排出動作を優先し、その後 DMA 転送を実行します。
- 「14.3.10.2 転送中断 (バッファ掃き出しあり : SBE = 1)」の掃き出しモード (CHCFG_n レジスタの SBE = 1 で EN ビットをクリア) との違い
掃き出しモード : バッファ内のデータをライト後、DMAC が動作を停止
強制排出要求 : 掃き出し動作終了後も DMA 転送を継続

14.3.5.1 ソフトウェア強制排出要求

ソフトウェア強制排出要求には CHCTRL_n レジスタの SETSSWPRQ ビットを使用します。

強制排出要求をする場合は、SETSSWPRQ ビットに 1 をライトしてください。DMAC は、バッファ内のデータを DMA 転送先に出力します。

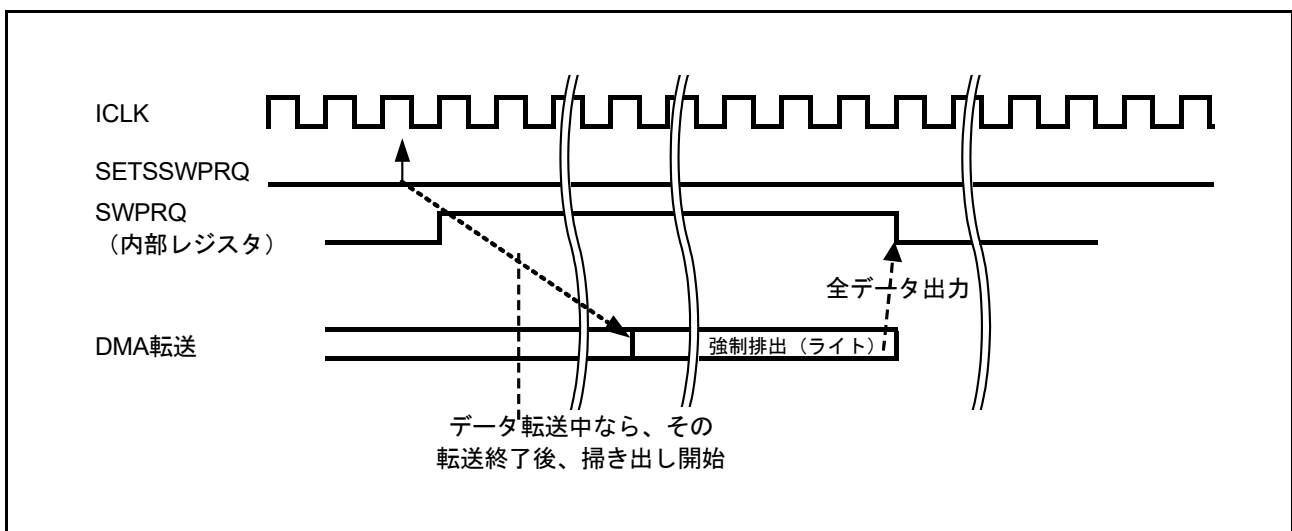


図 14.14 ソフトウェア強制排出タイミング

14.3.6 インターバル・カウント機能

CHITVL_n レジスタの ITVL フィールドの設定によって、DMA 転送の実行間隔を調整することが可能です。

この機能は、DMAC がバスを占有し続けることを無くすための機能です。カウント値が 0 になるまでは、次の DMA 要求に対する DMA 転送を実行しません。

14.3.7 転送データサイズによる動作の違い

14.3.7.1 転送元側の転送データサイズが小さい場合

転送先の転送データサイズが大きいため、転送元に対する複数回のリード動作後、転送先にライト動作が発生します。

14.3.7.2 転送先の転送データサイズが小さい場合

転送元の転送データサイズが大きいため、転送元に対する 1 回のリード動作後、数回の転送先へのライト動作が発生します。

14.3.7.3 転送元と転送先の転送データサイズが同じ場合

DMA 転送要求を検出するたびに転送元のリード動作と転送先へのライト動作を行います。

14.3.8 DMA 転送状態

CHSTAT_n レジスタは各チャンネルの DMA 転送状態を示します。

CHSTAT_n レジスタの TACT ビットはチャンネル n が DMA 動作中であることを示します。CHCTRL_n レジスタの SETEN ビットに 1 をライトすることで 1 がセットされます。TACT ビットは、ディスクリプタ・アクセス中や DMA リクエスト待ちの間も 1 のままです。

CHSTAT_n レジスタの EN ビットがクリア (クリア条件に関しては「14.2.7 チャンネルステータスレジスタ n (CHSTAT_n)」参照) され、かつ設定回数分の DMA 転送が終了した時点で TACT ビットはクリアされます。

DMA 転送が終了しても、EN ビットがクリアされない状態 (レジスタ・モードで CHCFG_n レジスタの REN = 1 の場合や、リンク・モードで次のディスクリプタ・アクセスを行う場合) では、TACT ビットはクリアされません。

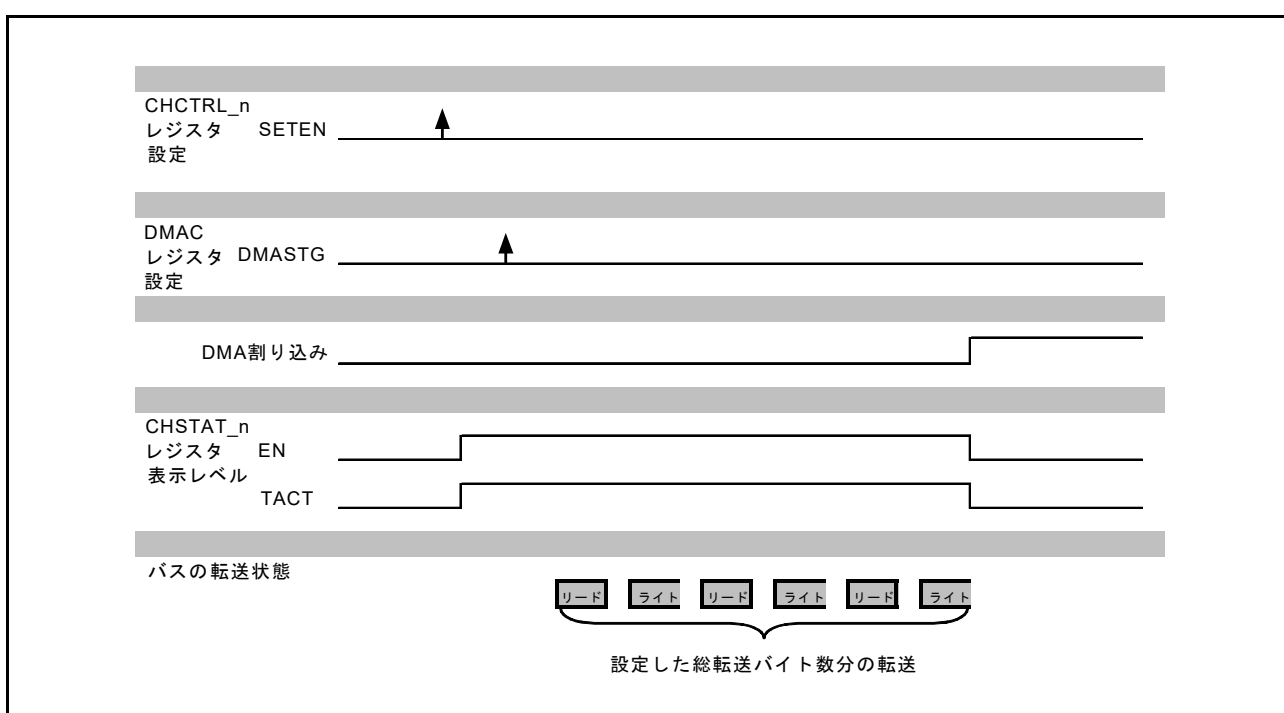


図 14.15 DMAC 状態例 (ソフトウェア・リクエスト)

14.3.9 一時停止 (サスペンド)

CHCTRL_n レジスタの SETSUS ビットで DMA 転送を一時停止することができます。この時、すでに実行されているバス・サイクルがあれば、その完了を待って、一時停止状態になります。CHCTRL_n レジスタの CLRSUS ビットに 1 をライトすることで停止状態から復帰することができます。

一時停止状態であることを確認するためには、CHCTRL_n レジスタの SETSUS ビットをセットした後、CHSTAT_n レジスタの SUS ビット、または DST_SUS レジスタの該当チャンネルの SUS ビットが 1 になっていることを確認してください。

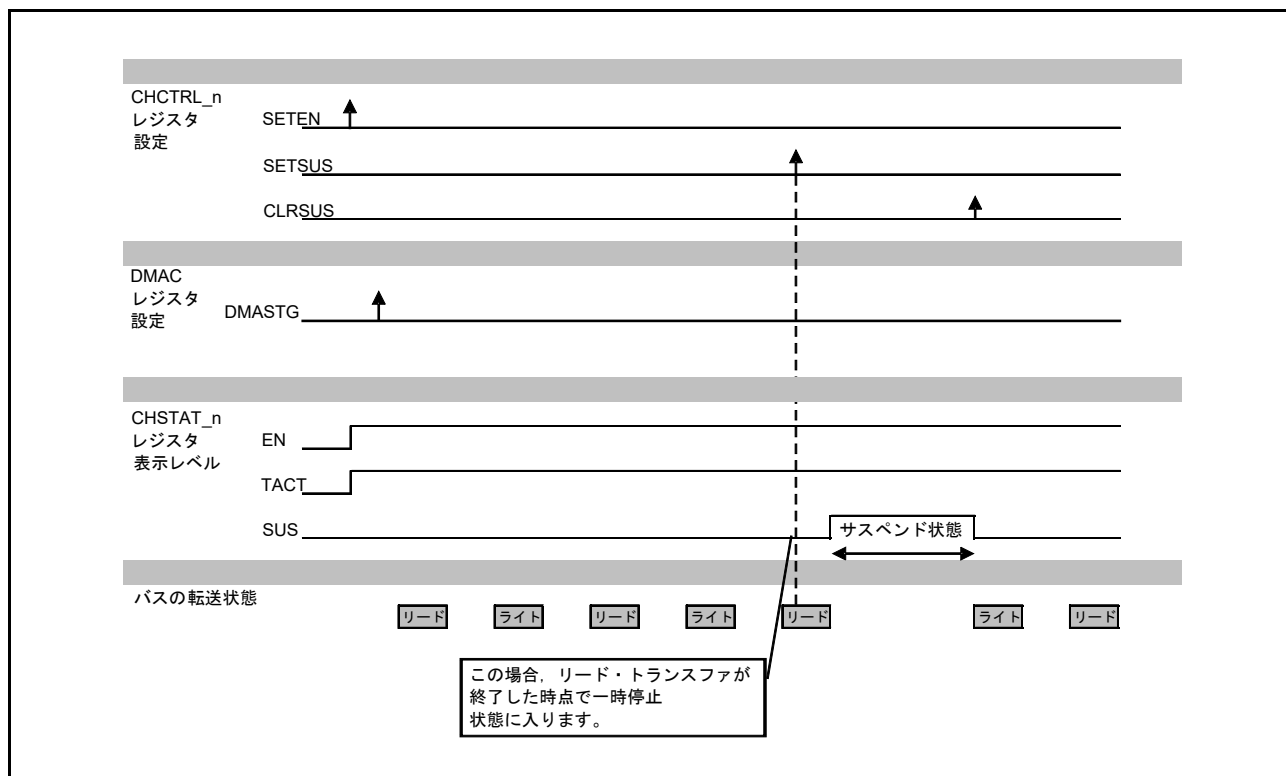


図 14.16 DMAC 一時停止状態 (ソフトウェア・リクエスト ブロック転送)

14.3.10 転送中断

DMA 転送中に CHCTRL_n レジスタの CLREN ビットに 1 をライトすると、そのチャンネルの DMA 転送を中断することができます。中断後の処理として、CHCFG_n レジスタの SBE ビットで、中断したタイミングでバッファに残ったデータを掃き出すモードと、掃き出しを行わないモードを選択することができます。デフォルトは SBE = 0 (掃き出しを行わないモード) です。

このデータを掃き出すモードが有効な場合で、CHCTRL_n レジスタの CLREN = 1 で進行中の転送が中断されると、DMAC のバッファに残っていたデータを掃き出して、動作を停止します。

14.3.10.1 転送中断 (バッファ掃き出しなし : SBE = 0)

DMA 転送中に CHCTRL_n レジスタの CLREN ビットに 1 をライトすると、DMA 転送を中断して停止します。停止後は CHCTRL_n レジスタの SWRST ビットに 1 をライトし、DMAC 内部状態をクリアしてから、次の転送設定を行ってください。

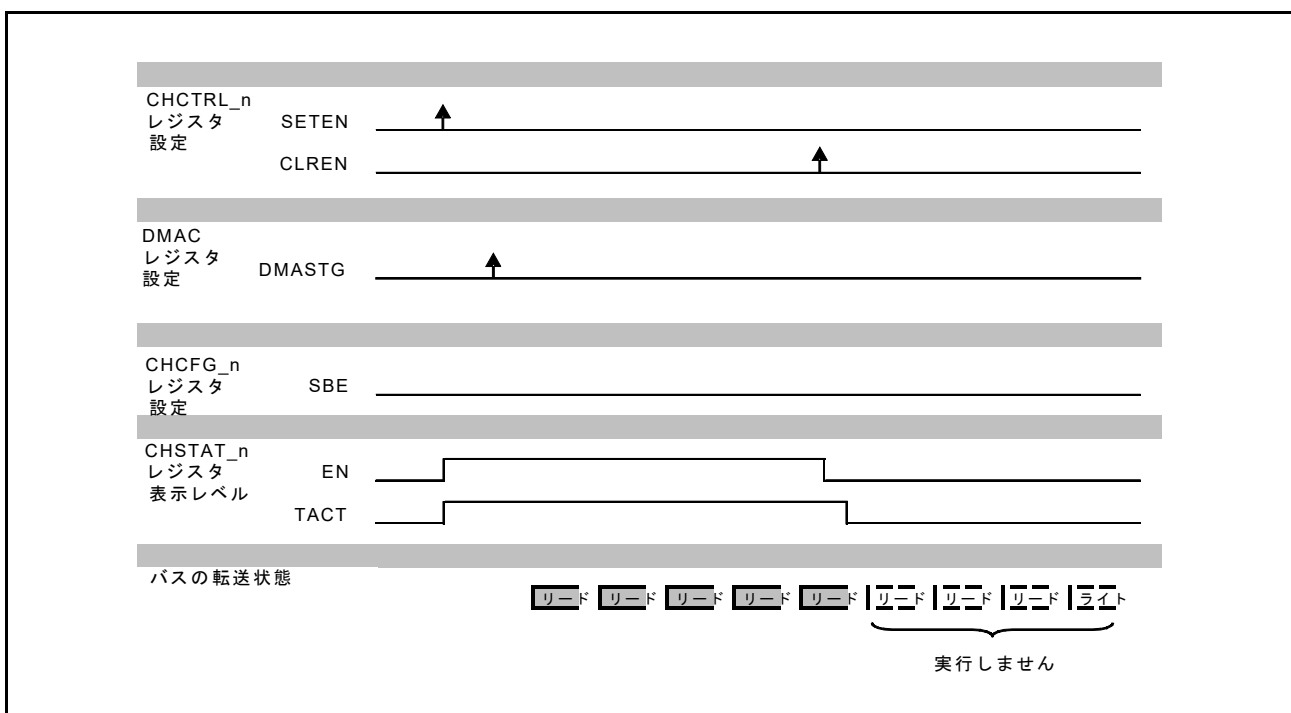


図 14.17 DMA 転送中断

- CHSTAT_n レジスタの TACT ビットがクリアされた時点でチャンネルが完全に停止したことを確認できます。
- DMA 転送の途中で中断した場合、DMA 転送完了割り込みは発生しません。
- DMA 転送の途中で中断した場合、中断したタイミングの次のリードが完了した時点で停止します。(ただし、ライトできるデータがバッファ内にある場合はライトして停止します。)

14.3.10.2 転送中断 (バッファ掃き出しあり : SBE = 1)

DMA 転送中に CHCTRL_n レジスタの CLREN ビットに 1 をライトすると、DMA 転送を中断します。

停止後は CHCTRL_n レジスタの SWRST ビットをセットし、DMAC 内部状態をクリアしてから、次の転送設定を行ってください。

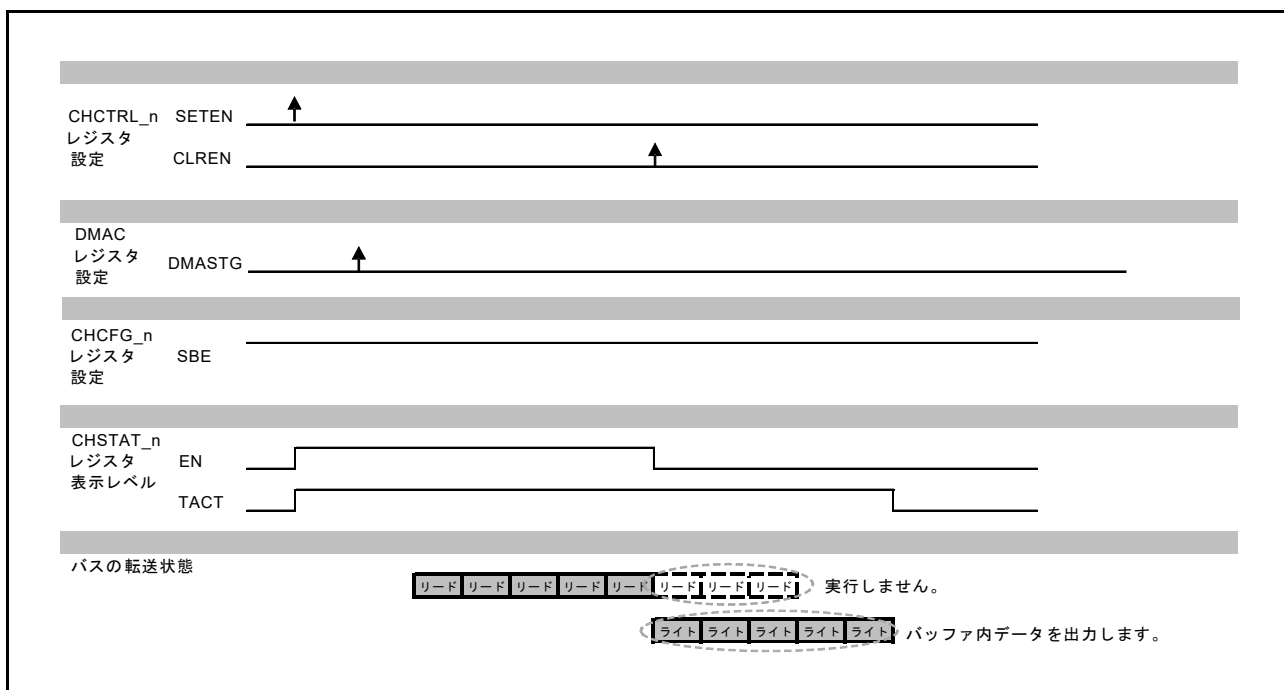


図 14.18 DMA 転送中断 (バッファ掃き出しモード)

- 上記は、掃き出しモード (CHCFG_n レジスタの SBE = 1) で、5 回目のリード転送中に CHCTRL_n レジスタの CLREN ビットに 1 をライトして転送を中断した場合の例です。リードしたデータをライトして、DMA 転送が停止する様子を示しています。
- CHSTAT_n レジスタの TACT ビットが 0 になった時点でチャンネルが完全に停止したことを確認できます。

14.3.10.3 チャンネル停止の確認方法

CHCTRL_n レジスタの CLREN ビットに 1 をライトして、CHSTAT_n レジスタの EN ビットが 0 にクリアされても、すでにバス上で転送が実行されている場合、DMAC はすぐに停止することができません。DMA が完全に停止したことを確認するためには、EN ビットが 0 かつ CHSTAT_n レジスタの TACT ビットが 0 であることを確認してください。

14.3.10.4 転送中断手順

以下に転送停止手順を示します。

1. CHCTRL_n レジスタの CLREN ビットへ 1 をライトします。
2. CHSTAT_n レジスタをリードして TACT ビットが 0 になっていることを確認します。TACT = 0 ならば、DMA が完全に停止したことを意味します。TACT = 1 の場合は、0 になるまでポーリングしてください。
3. 中断後、次の DMA 転送を行う場合、次の転送を開始する直前までに必ず CHCTRL_n レジスタの SWRST (ソフトウェア・リセット) ビットをセットしてください。

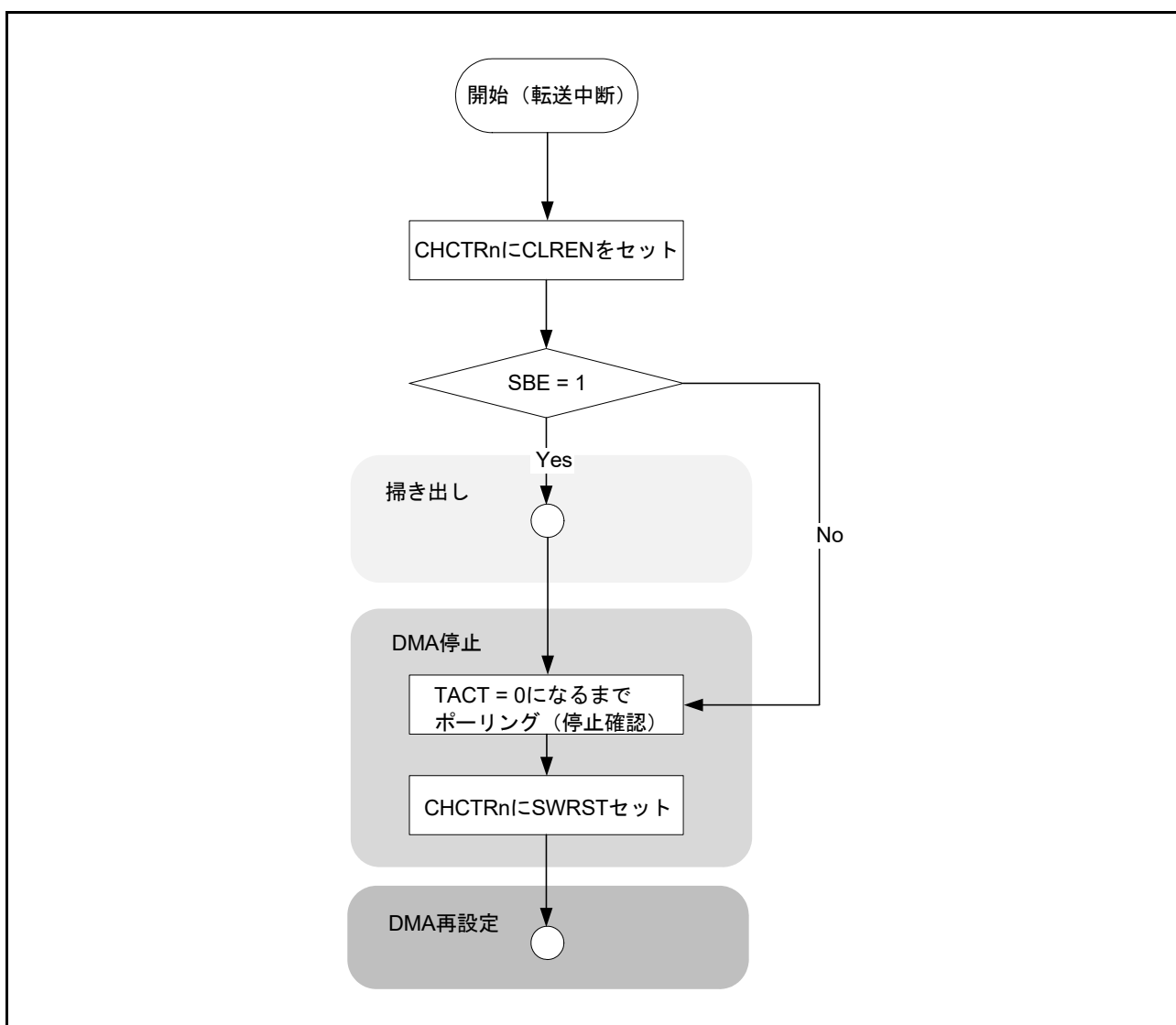


図 14.19 転送中断フロー

14.4 割り込み

14.4.1 割り込み要因

DMACはチャンネル毎にDMA転送完了割り込みと、DMAエラー割り込みの2種類の割り込み要因を持っています。

表 14.21 に各割り込み要因と許可ビット、およびステータスフラグの関係を示します。

表 14.21 DMACの割り込み要因

割り込み要因		割り込み許可ビット	割り込みステータスフラグ	出力条件
DMA転送完了割り込み	DMA転送完了	CHCFG_n.DEM	CHSTAT_n.END	CRTB_nレジスタにロードされた総転送バイト数分の転送が完了した時（リンク・モードでライト・バックを行う場合は、ライト・バック後）
	ディスクリプタ無効	CHCFG_n.DIM		リンク・モードにおいて、CHCFG_nレジスタのDRRP = 0、DIM = 0の状態、リードしたディスクリプタのheaderがLV = 0だった時
DMAエラー割り込み		— (マスク不可)	CHSTAT_n.ER	DMA転送およびディスクリプタ・アクセスに対して、バスエラーを受けた場合

14.4.2 DMA転送完了割り込み

DMA転送完了割り込みは、DMA転送が完了したことを示す割り込み要求信号です。

DMA転送完了割り込みの各ビットは、各チャンネルに対応しています。

CRTB_nレジスタにロードされた総転送バイト数分の転送が完了した場合、CHSTAT_nレジスタのENDビットが1にセットされます。この時、CHCFG_nレジスタのDEM = 0だった場合、DMA転送完了割り込みを発生します (n = 15-0)。(リンク・モードでライト・バックを行う場合は、ライト・バック後に割り込みが発生します。)

また、リンク・モードにおいてCHCFG_nレジスタのDRRP = 0の状態、リードしたディスクリプタのheaderがLV = 0だった場合、CHSTAT_nレジスタのDERビットが1にセットされます。この時、CHCFG_nレジスタのDIM = 0だった場合、DMA転送完了割り込みを発生します。

注． DMAC要因選択レジスタ (DMA0SELi, DMA1SELi) で選択したベクタ番号は、各周辺からの割り込み要因ではなく、DMAC要因選択レジスタで選択されたDMAC各チャンネルの転送完了要因が接続されます (DMA要因選択レジスタで選択した割り込みベクタ番号が、DMA転送完了割り込みのベクタ番号として扱われます)。

注． DMACの転送完了割り込みの検出タイプは、必ずPLSnレジスタで、エッジ検出を選択してください。

詳細については、「12.3.1 割り込み要求先の選択」を参照してください。

14.4.3 DMA エラー割り込み

DMA 転送およびディスクリプタ・アクセスに対して、バスエラーを受けた場合、本モジュールはエラーと判断し、転送を中止します。バスエラーを受けると、転送中のチャンネル n の CHSTAT_n レジスタの EN ビットを 0 にクリアし、ER ビットを 1 にセットします ($n=15-0$)。また、DMA エラー割り込みを発生します。

DMA エラー割り込みをマスクすることはできません。

エラーとなった一連の転送はそのデータを保証できません。必ず下記の手順にて、最初から転送をやり直してください。

1. CHCTRL_n レジスタの SWRST ビットを 1 にセット
2. 各レジスタを再設定

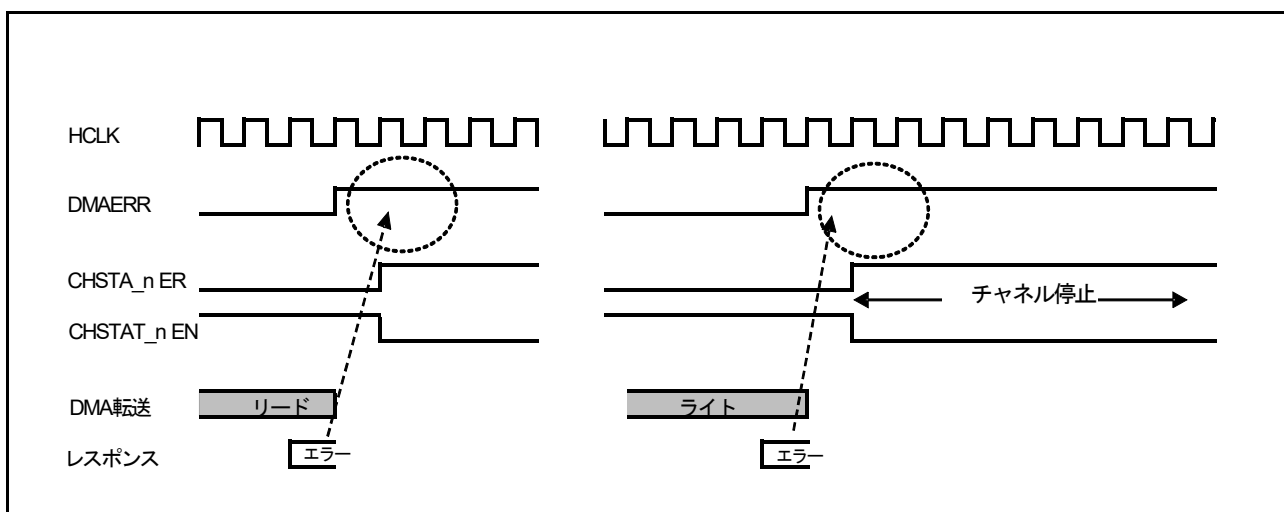


図 14.20 バスエラー応答による停止タイミング

注. CPU から DMAC のレジスタにアクセスした際に、バスエラーが起こっても DMA エラー割り込みは発生しません。

14.5 DMA 設定例

以下に、DMA 転送例を示します。各設定例の転送条件は次のとおりです。

表 14.22 DMA 転送設定例の転送条件一覧

設定例	DMAモード	転送モード	転送要求
設定例1	レジスタ・モード	ブロック転送モード	ソフトウェア
設定例2	レジスタ・モード (連続実行)	ブロック転送モード	ソフトウェア
設定例3	リンク・モード	ブロック転送モード	ソフトウェア

14.5.1 設定例 1 (レジスタ・モード ソフトウェア・リクエスト)

レジスタ・モードでソフトウェア・リクエストを使った DMA 転送を行う場合の設定例を示します。

表 14.23 DMA 転送の設定例 1

項目		内容	
使用チャンネル		DMAC0 チャンネル2	
優先順位制御		ラウンドロビン	
DMAモード		レジスタ・モード	
転送モード		ブロック転送モード	
使用レジスタ・セット		Next1 レジスタ・セット	
転送元／転送先		転送元	転送先
	開始アドレス	0400 0000h	2000 0000h
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	8ビット	256ビット
DMA転送バイト数		128バイト	
DMA転送要求		ソフトウェア・リクエスト	
DMA転送完了割り込み出力マスク		なし	

設定例 1

DCTRL = 0000 0001h (DMA 設定)

N1SA = 0400 0000h (転送元アドレス)

N1DA = 2000 0000h (転送先アドレス)

N1TB = 0000 0080h (転送バイト数)

CHCFG = 1045 0222h (コンフィグ)

CHITVL = 0000 0000h (インターバル)

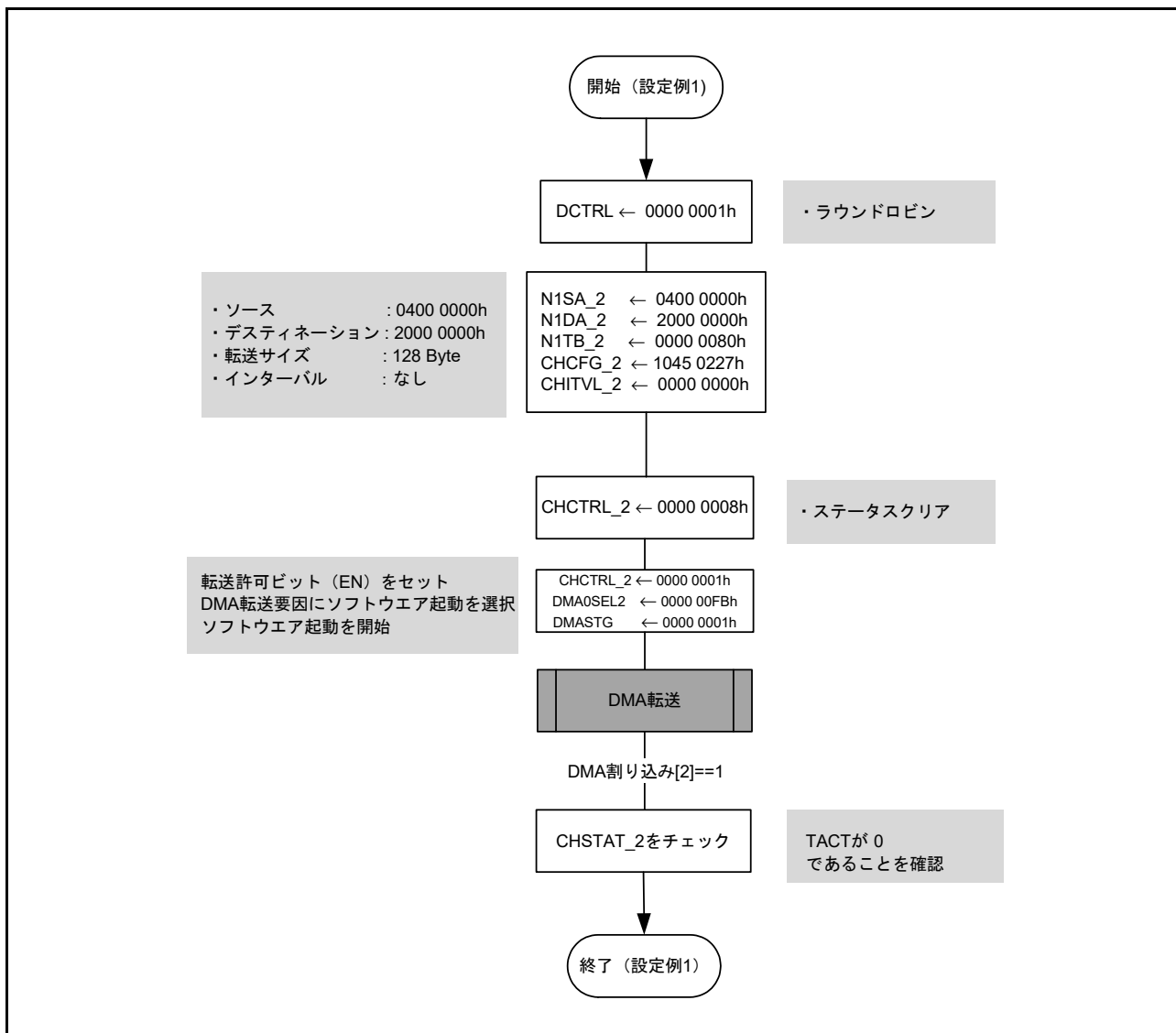


図 14.21 設定例 1

注 . DMA 割り込み [2] は ch2 に割り当てた DMA 転送要因の割り込みになります。

14.5.2 設定例 2 (レジスタ・モード 連続実行)

レジスタ・モードで Next0/1 Register Set を連続して使用し、DMA 転送を行う場合の設定例を示します。

表 14.24 DMA 転送の設定例 2

項目	内容	
使用チャンネル	DMAC0 チャンネル1	
優先順位制御	ラウンドロビン	
DMAモード	レジスタ・モード	
転送モード	ブロック転送モード	
使用レジスタ・セット	Next0 レジスタ・セット→Next1 レジスタ・セット 連続	
転送元／転送先 (Next0)	転送元	転送先
開始アドレス	1111 0000h	2000 0000h
アドレス方向	固定	固定
データ・サイズ	32ビット	512ビット
DMA転送バイト数	512バイト	
転送元／転送先 (Next1)	転送元	転送先
開始アドレス	0400 0000h	1000 0000h
アドレス方向	固定	固定
データ・サイズ	32ビット	512ビット
DMA転送バイト数	2048バイト	
DMA転送要求	ソフトウェア・リクエスト	
DMA転送完了割り込み出力マスク	Next0完了時にマスク	

設定例 2

DCTR = 0000 0001h (DMA 設定)

N0SA = 1111 0000h (転送元アドレス)

N0DA = 2000 0000h (転送先アドレス)

N0TB = 0000 0200h (転送バイト数)

N1SA = 0400 0000h (転送元アドレス)

N1DA = 1000 0000h (転送先アドレス)

N1TB = 0000 0800h (転送バイト数)

CHCFG = 6176 2007h (コンフィグ)

CHITVL = 0000 0000h (インターバル)

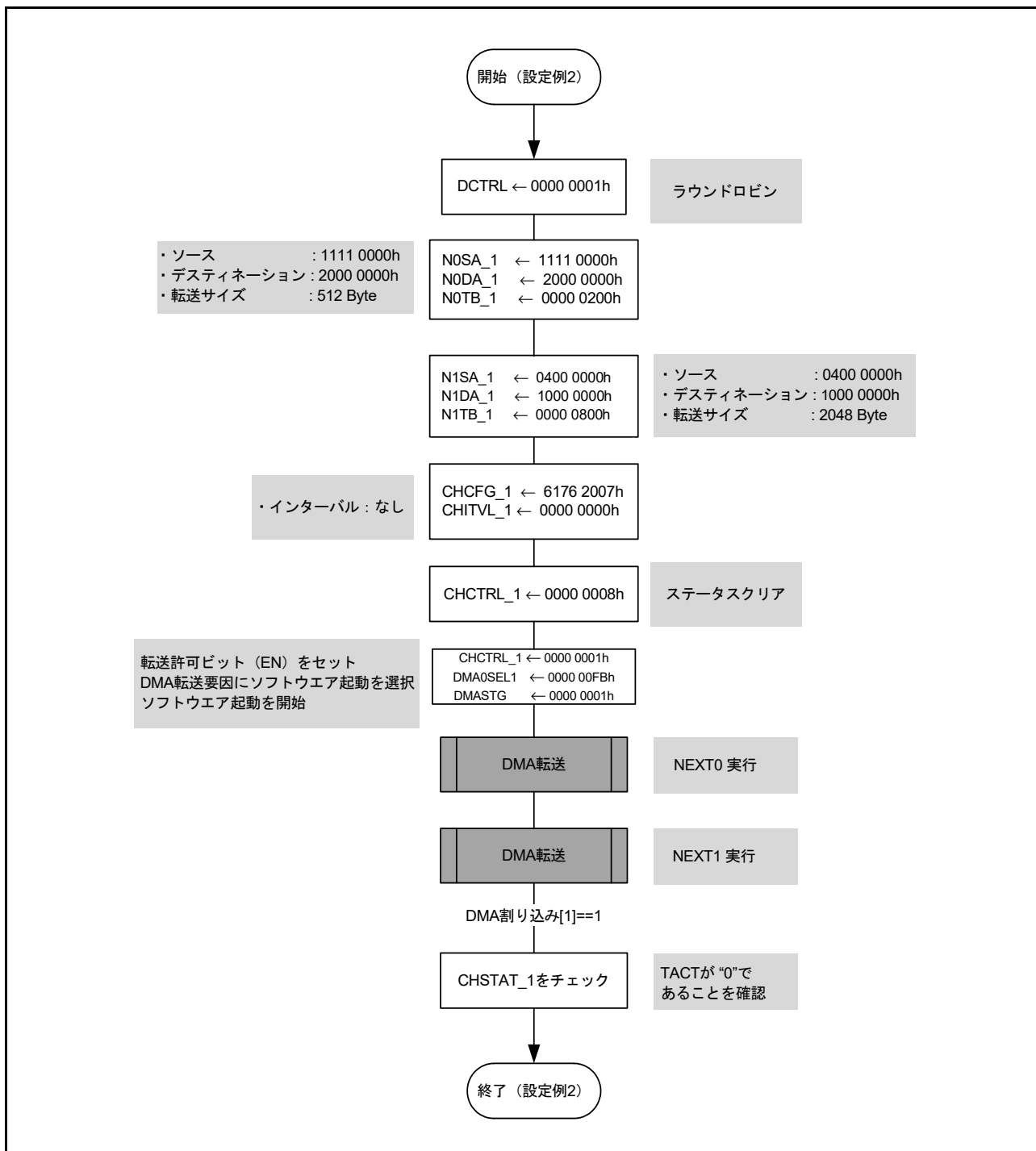


図 14.22 設定例 2

注. DMA 割り込み [1] は ch1 に割り当てた DMA 転送要因の割り込みになります。

14.5.3 設定例 3 (リンク・モード)

リンク・モードでDMA転送を行う場合の設定例を示します。

表 14.25 DMA転送の設定例3

項目	内容
使用チャンネル	DMAC0 チャンネル0
優先順位制御	ラウンドロビン
DMAモード	リンク・モード
転送モード	ブロック転送モード
ディスクリプタ開始アドレス	0080 0000h

表 14.26 DMA転送の設定例3 (ディスクリプタ1)

項目	内容	
ディスクリプタ先頭アドレス	0080 0000h	
次ディスクリプタ先頭アドレス	0080 1000h	
転送モード	ブロック転送モード	
転送元/転送先	転送元	転送先
	開始アドレス	2000 0000h
	アドレス方向	インクリメント
	データ・サイズ	32ビット
DMA転送バイト数	2048バイト	
DMA転送要求	ソフトウェア・リクエスト	
DMA転送完了割り込み出力マスク	ディスクリプタ1でのDMA転送完了時はマスク	
ディスクリプタ・フォーマット	1 (8ワード)	
ディスクリプタのヘッダ		
	LVビットの書き戻し	許可 (WBD = 0)
	次のリンク先	あり (LE = 0)
	ディスクリプタ有効	有効 (LV = 1)

表 14.27 DMA転送の設定例3 (ディスクリプタ2)

項目		項目	
ディスクリプタ先頭アドレス		0080 1000h	
次ディスクリプタ先頭アドレス		0080 2000h	
転送モード		ブロック転送モード	
転送元/転送先		転送元	転送先
	開始アドレス	0400 0000h	2000 0000h
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	256ビット	256ビット
DMA転送バイト数		1024バイト	
DMA転送要求		ソフトウェア・リクエスト	
DMA転送完了割り込み出力マスク		ディスクリプタ2でのDMA転送完了時はマスク	
ディスクリプタ・フォーマット		1 (8ワード)	
ディスクリプタのヘッダ			
	LVビットの書き戻し	許可 (WBD = 0)	
	次のリンク先	あり (LE = 0)	
	ディスクリプタ有効	有効 (LV = 1)	

表 14.28 DMA転送の設定例3 (ディスクリプタ3)

項目		項目	
ディスクリプタ先頭アドレス		0080 2000h	
次ディスクリプタ先頭アドレス		-	
転送モード		ブロック転送モード	
転送元/転送先		転送元	転送先
	開始アドレス	2000 0000h	0800 2000h
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	512ビット	512ビット
DMA転送バイト数		4096バイト	
DMA転送要求		ソフトウェア・リクエスト	
DMA転送完了割り込み出力マスク		マスクしない	
ディスクリプタ・フォーマット		1 (8ワード)	
ディスクリプタのヘッダ			
	LVビットの書き戻し	許可 (WBD = 0)	
	次のリンク先	なし (LE = 1)	
	ディスクリプタ有効	有効 (LV = 1)	

設定例3

DCTRL = 0000 0001h (DMA 設定)

NXLA = 0080 0000h (ディスクリプタ先頭アドレス)

CHCFG = 8000 0000h (コンフィグ)

表 14.29 ディスクリプタ設定

項目	ディスクリプタ1	ディスクリプタ2	ディスクリプタ3
header	1100 0000h	1100 0000h	1300 0000h
SA (Source Address)	1111 0000h	0400 0000h	2000 0000h
DA (Destination Address)	2000 0000h	2000 0000h	0800 2000h
TB (transaction Byte)	0000 0800h	0000 0400h	0000 1000h
CFG (Configuration)	8142 2220h	8145 5220h	8046 6220h
ITVL (Interval)	0000 0000h	0000 0000h	0000 0000h
EXT (Extension)	0000 0000h	0000 0000h	0000 0000h
NXLA (Next Link Address)	0080 1000h	0080 2000h	0000 0000h

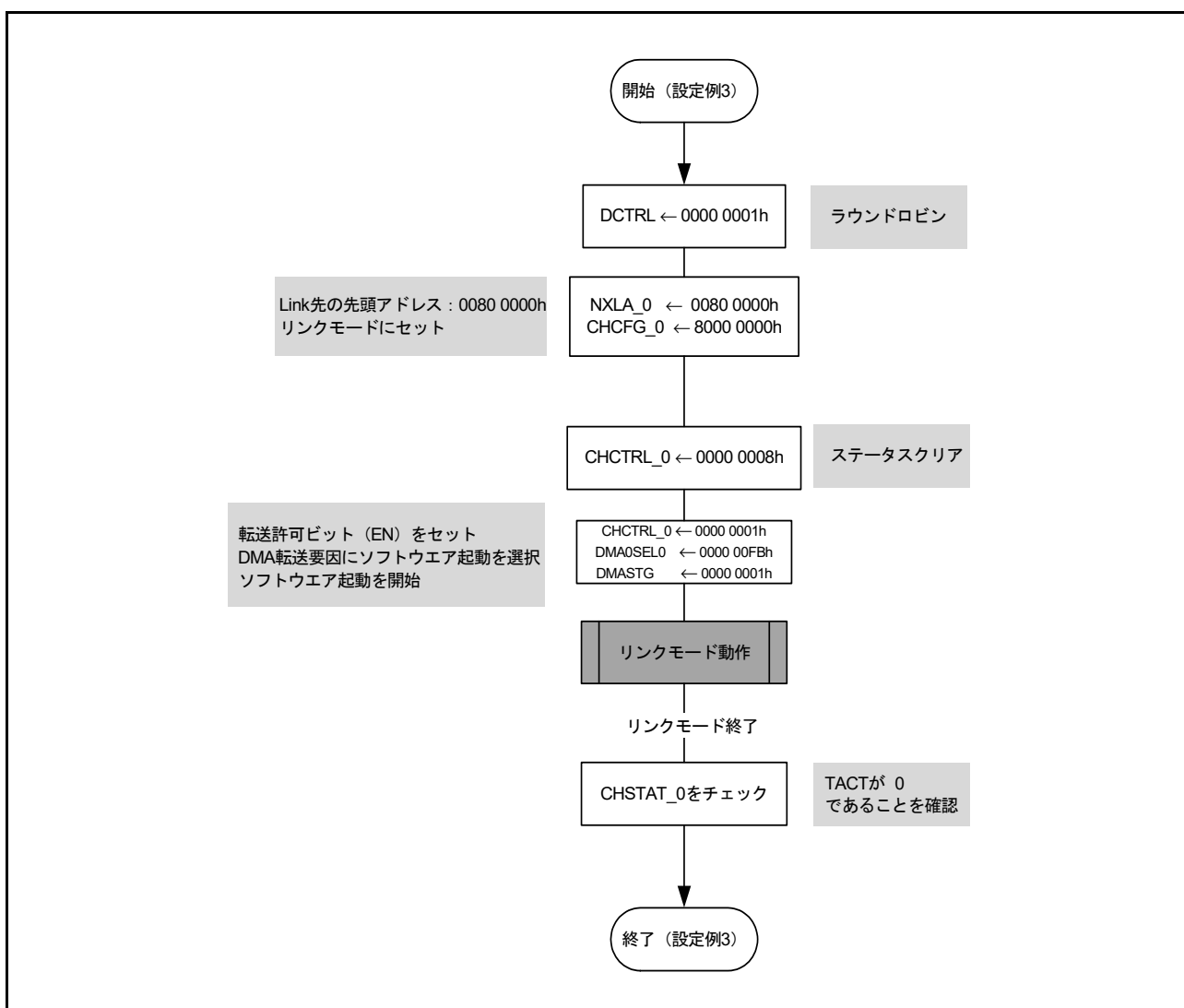


図 14.23 設定例 3

14.5.4 Next レジスタ連続実行設定

レジスタ・モードで2つのNextレジスタ・セットを使用して、DMA転送を継続する場合のフローチャートを示します。一方のNextレジスタのDMA転送を実行中に、もう一方のNextレジスタの設定を行い、DMA転送を継続して実行します。

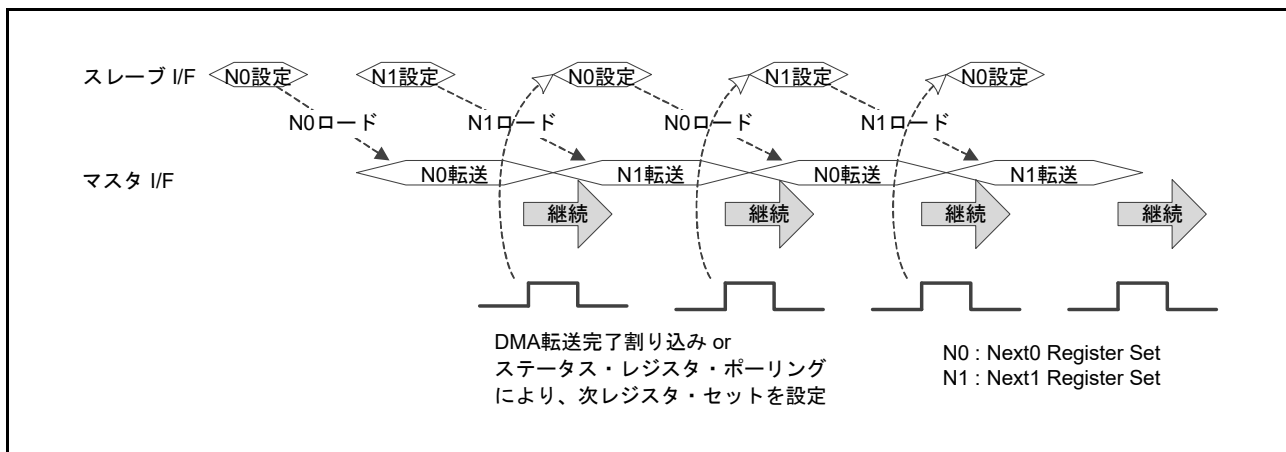


図 14.24 Next レジスタ連続実行イメージ

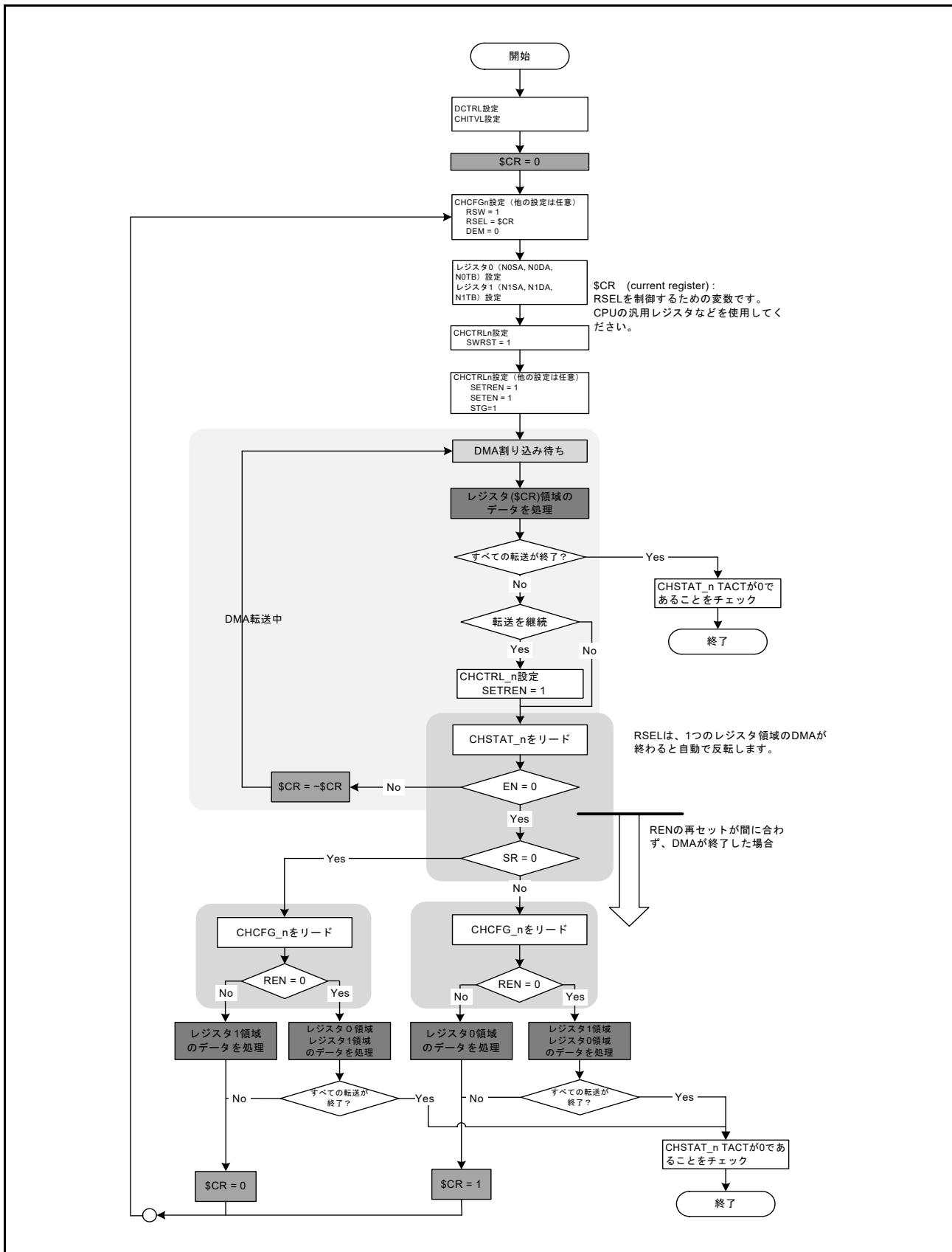


図 14.25 Next レジスタ連続実行の設定例

- 補足

最初に転送するレジスタ・セット (0 (N0SA_n, N0DA_n, N0TB_n レジスタ)、1 (N1SA_n, N1DA_n, N1TB_n レジスタ)) を汎用レジスタなどに保存してください (このレジスタの値を便宜上 \$ CR と呼びます。)

1つのレジスタ・セットのDMA転送が終わる (DMA転送完了割り込みが発生) ごとに、CHCFG_n レジスタのRENビットは自動的に0にクリアされます。続けて実行するには、CHCTR_n レジスタのSETRENビットに1をライトしてください。これによりCHCFG_n レジスタのRENビットもセットされます。

本モードでは2つのNextレジスタを連続して実行しますが、SETRENビットのセットがDMA転送完了 (次のDMA転送完了割り込みが発生) までに行われなかった場合、連続実行は止まります。この場合、CHSTAT_n レジスタのSR、ENビットと、CHCFG_n レジスタのRENビットをリードすることで、どこまで転送ができたかを確認することができます。再開する場合には上記のフローチャートの手順にしたがって実行してください。

14.6 使用上の注意

以下に、本モジュールの注意事項を示します。

- 転送先と転送元の領域が同じ、または一部を共有するような転送を行った場合、データの一貫性を保証することができません。したがって、転送元と転送先アドレス領域が重複する転送は行わないでください。
- DAD = 1 (転送先アドレス固定)、かつ転送先側でスキップ転送を行うことはできません。このような設定で転送を行った場合、動作を保証できません。このような転送は行わないでください。
- SAD = 1 (転送元アドレス固定)、かつ転送元側でスキップ転送を行うことはできません。このような設定で転送を行った場合、動作を保証できません。このような転送は行わないでください。
- 周辺 I/O レジスタ領域の A00E 0000h ~ A010 0000h はアクセスができないため、転送先および転送元に設定した転送を行わないでください。

15. イベントリンクコントローラ (ELC)

15.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールが出力するイベントをモジュール間で相互に接続 (リンク) します。イベントリンクにより、CPU を介さず直接モジュール間での連携動作が可能になります。

表 15.1 に ELC の仕様を示します。図 15.1 に ELC のブロック図を示します。

表 15.1 ELCの仕様

項目	内容
イベントリンク機能	<ul style="list-style-type: none"> イベント信号を、直接モジュールへリンク可能 タイマ系のモジュールは、イベント入力時の動作の選択が可能 ポートEのイベントリンク動作が可能 シングルポート (注1)：指定した1ビットのポートにイベントリンクの動作設定が可能 ポートグループ (注1)：8本あるI/Oポート内で、指定した複数ビットをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 入力に指定されるシングルポートまたはポートグループでは、接続している信号値の変化によりイベントが発生します。

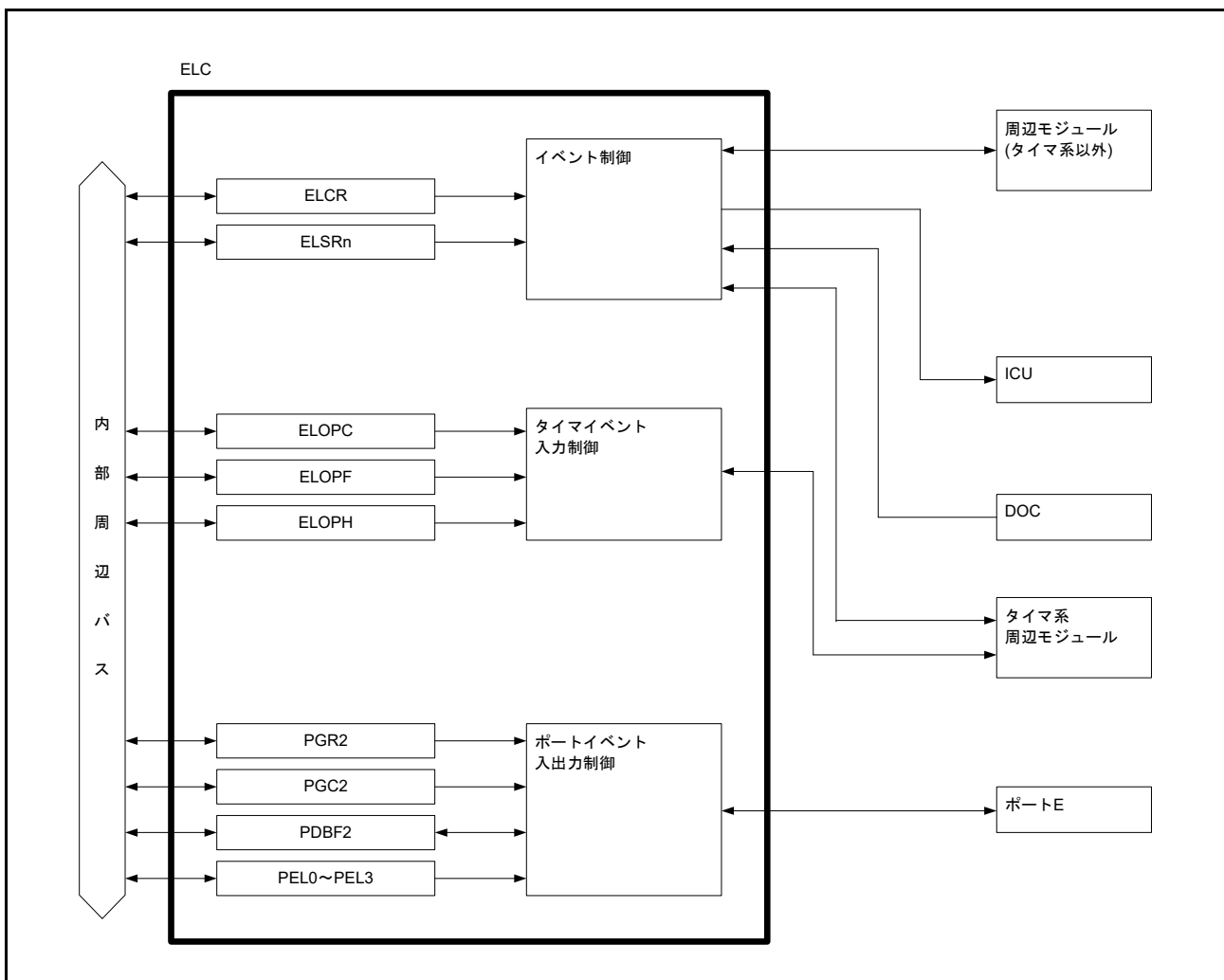


図 15.1 ELCのブロック図 (n = 7、15、18 ~ 27、33、35 ~ 38、45)

15.2 レジスタの説明

15.2.1 イベントリンクコントロールレジスタ (ELCR)

ELCR レジスタは、ELC の動作を制御するレジスタです。

アドレス A008 0B00h

	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンク許可ビット	0 : ELC機能は無効 1 : ELC機能は有効	R/W

15.2.2 イベントリンク設定レジスタ n (ELSRn) (n = 7、15、18 ~ 27、33、35 ~ 38、45)

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 15.2 に示します。また、ELSRn レジスタに設定するイベント信号の名称と信号番号の対応を表 15.3 に示します。

アドレス ELSR7 A008 0B08h、ELSR15 A008 0B10h、ELSR18 A008 0B13h、ELSR19 A008 0B14h、ELSR20 A008 0B15h、ELSR21 A008 0B16h、ELSR22 A008 0B17h、ELSR23 A008 0B18h、ELSR24 A008 0B19h、ELSR25 A008 0B1Ah、ELSR26 A008 0B1Bh、ELSR27 A008 0B1Ch、ELSR33 A008 0B31h、ELSR35 A008 0B33h、ELSR36 A008 0B34h、ELSR37 A008 0B35h、ELSR38 A008 0B36h、ELSR45 A008 0B3Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	ELS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択ビット	b7 b0 00000000 : 該当する周辺モジュールへのイベントの出力は無効 00011111 ~ 10111101 : リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

表 15.2 ELSRnレジスタと周辺機能の対応

レジスタ名	周辺機能 (モジュール)
ELSR7	CMT1
ELSR15	S12AD0
ELSR18	割り込み1 (ELCIRQ1)
ELSR19	割り込み2 (ELCIRQ2)
ELSR20	出力ポートグループ1
ELSR21	出力ポートグループ2
ELSR22	入力ポートグループ1
ELSR23	入力ポートグループ2
ELSR24	シングルポート0
ELSR25	シングルポート1
ELSR26	シングルポート2
ELSR27	シングルポート3
ELSR33	CMTW0
ELSR35	TPU0
ELSR36	TPU1
ELSR37	TPU2
ELSR38	TPU3
ELSR45	S12AD1

表 15.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応

ELS[7:0]ビットの値	周辺モジュール	ELSR設定イベント信号	
1Fh	コンペアマッチタイマ	CMT1・コンペアマッチ1	
4Eh	I ² Cバスインタフェース	RIIC0・通信エラー、イベント発生	
4Fh		RIIC0・受信データフル	
50h		RIIC0・送信データエンプティ	
51h		RIIC0・送信終了	
52h		シリアルペリフェラルインタフェース	RSPI0・エラー (モードフォルト・オーバラン・パリティエラー)
53h	RSPI0・アイドル		
54h	RSPI0・受信データフル		
55h	RSPI0・送信データエンプティ		
56h	RSPI0・送信完了		
58h	12ビットA/Dコンバータ	S12AD0・A/D変換終了	
63h	I/Oポート	入力ポートグループ1・入力エッジ検出	
64h		入力ポートグループ2・入力エッジ検出	
65h		シングル入力ポート0・入力エッジ検出	
66h		シングル入力ポート1・入力エッジ検出	
67h		シングル入力ポート2・入力エッジ検出	
68h		シングル入力ポート3・入力エッジ検出	
69h		イベントリンクコントローラ	ソフトウェアイベント
6Ah	データ演算回路	DOC・データ演算条件成立信号	
6Ch	12ビットA/Dコンバータ	S12AD1・A/D変換終了	
7Eh	コンペアマッチタイマW	CMTW・チャンネル0・コンペアマッチ	
ACh	16ビットタイマパルスユニット	TPU0・コンペアマッチA	
ADh		TPU0・コンペアマッチB	
A Eh		TPU0・コンペアマッチC	
AFh		TPU0・コンペアマッチD	
B0h		TPU0・オーバフロー	
B1h		TPU1・コンペアマッチA	
B2h		TPU1・コンペアマッチB	
B3h		TPU1・オーバフロー	
B4h		TPU1・アンダフロー	
B5h		TPU2・コンペアマッチA	
B6h		TPU2・コンペアマッチB	
B7h		TPU2・オーバフロー	
B8h		TPU2・アンダフロー	
B9h		TPU3・コンペアマッチA	
BAh		TPU3・コンペアマッチB	
BBh		TPU3・コンペアマッチC	
BCh		TPU3・コンペアマッチD	
BDh		TPU3・オーバフロー	
上記以外は設定しないでください			

15.2.3 イベントリンクオプション設定レジスタ C (ELOPC)

ELOPC レジスタは、CMT1 のイベント入力時の動作を設定するレジスタです。ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス A008 0B21h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CMT1MD[1:0]	—	—	—

リセット後の値 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントクリア 1 0 : イベントカウンタ 1 1 : イベント無効	R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

15.2.4 ポートグループ指定レジスタ n (PGRn) (n = 2)

PGRn レジスタは、入出力ポートのグループ設定をするレジスタです。8本ある I/O ポート内の個々のポート (1 ビット) に対してグループ指定を行います。1 ~ 8 ビットの任意のポートを同一グループに指定できます。表 15.4 に PGRn レジスタとポートの対応を示します。

アドレス PGR2 A008 0B24h

b7	b6	b5	b4	b3	b2	b1	b0
PGRn7	PGRn6	PGRn5	PGRn4	PGRn3	PGRn2	PGRn1	PGRn0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PGRn0	ポートグループ指定 n0 ビット	0 : ポートグループ指定しない 1 : ポートグループ指定する	R/W
b1	PGRn1	ポートグループ指定 n1 ビット		R/W
b2	PGRn2	ポートグループ指定 n2 ビット		R/W
b3	PGRn3	ポートグループ指定 n3 ビット		R/W
b4	PGRn4	ポートグループ指定 n4 ビット		R/W
b5	PGRn5	ポートグループ指定 n5 ビット		R/W
b6	PGRn6	ポートグループ指定 n6 ビット		R/W
b7	PGRn7	ポートグループ指定 n7 ビット		R/W

表 15.4 ポートグループ関連レジスタとポート番号の対応

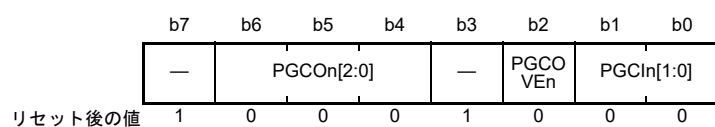
ポート番号	ポートグループ指定レジスタ (PGR)	ポートグループコントロールレジスタ (PGC)	ポートバッファレジスタ (PDBF)
ポート E	PGR2 レジスタ	PGC2 レジスタ	PDBF2 レジスタ

15.2.5 ポートグループコントロールレジスタ n (PGCn) (n = 2)

PGCn レジスタは、出力に設定されたポートグループに対して、イベント信号入力時のポートから外部へ出力する信号の出力形式を指定するレジスタです。また、入力ポートグループに対して、PDBF レジスタへの書き込み有効/無効の指定およびイベント発生条件（外部からの入力する信号の変化）を設定します。

PGRn レジスタとポートの対応については、表 15.4 を参照してください。

アドレス PGC2 A008 0B26h



ビット	シンボル	ビット名	機能	R/W
b1-b0	PGCIn[1:0]	イベント出力エッジ 選択ビット	b1 b0 0 0 : 外部入力信号の立ち上がりエッジを検出して、イベント発生 0 1 : 外部入力信号の立ち下がりエッジを検出して、イベント発生 1 X : 外部入力信号の立ち上がり/立ち下がりの両エッジを検出して、 イベント発生	R/W
b2	PGCOVEn	PDBF 上書き指定 ビット	0 : PDBFn レジスタへの書き込み無効 1 : PDBFn レジスタへの書き込み有効	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	PGCOn[2:0]	ポートグループ動作 セレクトビット	b6 b4 0 0 0 : イベント入力時、0 を出力 0 0 1 : イベント入力時、1 を出力 0 1 0 : イベント入力時、トグル（反転）出力 0 1 1 : イベント入力時、バッファ値を出力 1 X X : イベント入力時、グループ内でビットローテート出力 (MSB→LSBへローテート)	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

X : Don't care

15.2.6 ポートバッファレジスタ n (PDBFn) (n = 2)

PDBFn レジスタは、PGRn レジスタと対になる 8 ビットのレジスタです。PDBFn レジスタの動作については、「15.3.5 I/O ポートのイベント入力動作とイベント発生動作」を参照してください。

PGRn レジスタとポートの対応については、表 15.4 を参照してください。

アドレス PDBF2 A008 0B28h

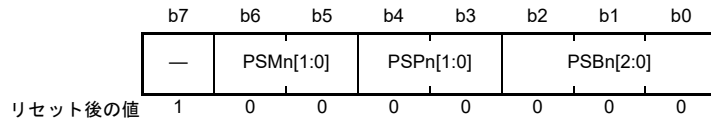
	b7	b6	b5	b4	b3	b2	b1	b0
	PDBFn 7	PDBFn 6	PDBFn 5	PDBFn 4	PDBFn 3	PDBFn 2	PDBFn 1	PDBFn 0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDBFn0	ポートバッファ n0 ビット	ポートの入出力により以下の動作を行います。 ・ 出力ポートのとき PDBFn に書き込んだ値を PODR に転送します。 ・ 入力ポートのとき 外部端子の信号値を PDBFn に転送します。 入力ポートグループに指定したビットへの書き込みは無効になります。 詳細は、「15.3 動作説明」を参照してください	R/W
b1	PDBFn1	ポートバッファ n1 ビット		R/W
b2	PDBFn2	ポートバッファ n2 ビット		R/W
b3	PDBFn3	ポートバッファ n3 ビット		R/W
b4	PDBFn4	ポートバッファ n4 ビット		R/W
b5	PDBFn5	ポートバッファ n5 ビット		R/W
b6	PDBFn6	ポートバッファ n6 ビット		R/W
b7	PDBFn7	ポートバッファ n7 ビット		R/W

15.2.7 イベント接続ポート指定レジスタ n (PELn) (n = 0 ~ 3)

PELn レジスタは、イベントをリンクするシングルポートの指定とイベント入力時の動作、およびイベント発生条件を設定するレジスタです。本 LSI では、ポート E のいずれかのビットに対して、全 4 つのシングルポートを設定できます。

アドレス PEL0 A008 0B29h、PEL1 A008 0B2Ah、PEL2 A008 0B2Bh、PEL3 A008 0B2Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	PSBn[2:0]	ビット番号指定ビット	8本あるI/Oポートのビット番号を指定	R/W
b4-b3	PSPn[1:0]	ポート番号指定ビット	b4 b3 0 0 : 設定しないでください 0 1 : 設定しないでください 1 0 : ポート E (PGR2レジスタに対応) 1 1 : 設定しないでください	R/W
b6-b5	PSMn[1:0]	イベントリンク指定ビット	<ul style="list-style-type: none"> ポート出力設定時：ポート出力データを指定 b6 b5 0 0 : イベント入力時、0を出力 0 1 : イベント入力時、1を出力 1 X : イベント入力時、トグル（反転）出力 <ul style="list-style-type: none"> ポート入力設定時：イベント出力エッジ選択 b6 b5 0 0 : 立ち上がりエッジを検出して、イベント出力 0 1 : 立ち下がりエッジを検出して、イベント出力 1 X : 立ち上がり／立ち下がりの両エッジを検出して、イベント出力	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

X : Don't care

15.2.8 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)

ELSEGR レジスタは、ソフトウェアによるイベント発生を制御するレジスタです。

アドレス A008 0B2Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0 : 通常動作 1 : ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEGビット書き込み許可ビット	0 : SEGビットへの書き込み禁止 1 : SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止ビット	0 : ELSEGRレジスタへの書き込み許可 1 : ELSEGRレジスタへの書き込み禁止	W

SEG ビット (ソフトウェアイベント発生ビット)

WE ビットが“1”の状態、本ビットに“1”を書き込むとソフトウェアイベントが発生します。本ビットは読むと“0”が読み出されます。“1”を書き込んでもデータは格納されません。

WE ビット (SEG ビット書き込み許可ビット)

WE ビットが“1”のときのみ、SEG ビットに対する書き込みが可能になります。

[“1”になる条件]

WI ビットに“0”、WE ビットに“1”を書き込んだとき

[“0”になる条件]

WI ビットに“0”、WE ビットに“0”を書き込んだとき

WI ビット (ELSEGR レジスタ書き込み禁止ビット)

WI ビットの書き込み値が“0”のときのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと“1”が読み出されます。

注1. WI ビットと WE ビットを同時に設定した時のみ、WE ビットを更新可能です。

同様に、SEG ビットを更新する際も、WI ビットを同時に設定する必要があります。

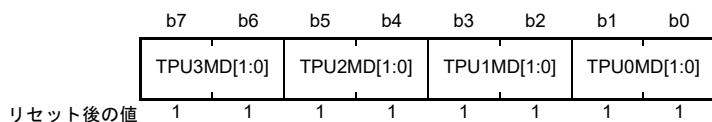
(事前に WI ビットと WE ビットを同時に設定し、WE = 1 に設定してから、WI ビットと SEG ビットを設定します。SEG 設定時に WE = 1 であれば WE ビットは 1 を保持します。)

ただし、WI = 1, WE = 0, SEG = 0 の時に、3bit を同時設定してもソフトウェアトリガは出力されません。この 3bit を同時に設定した後であれば、WE = 1 になるため、再度、3bit を同時に設定することでソフトウェアトリガが出力されます。)

15.2.9 イベントリンクオプション設定レジスタ F (ELOPF)

ELOPF レジスタは、TPU0 ~ TPU3 のイベント入力時の動作を設定するレジスタです。
ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス A008 0B3Fh



ビット	シンボル	ビット名	機能	R/W
b1-b0	TPU0MD[1:0]	TPU0 動作選択ビット	b1 b0 0 0: カウントスタート 0 1: カウントクリア 1 0: インพุットキャプチャ (注1) 1 1: イベント無効	R/W
b3-b2	TPU1MD[1:0]	TPU1 動作選択ビット	b3 b2 0 0: カウントスタート 0 1: カウントクリア 1 0: インพุットキャプチャ (注2) 1 1: イベント無効	R/W
b5-b4	TPU2MD[1:0]	TPU2 動作選択ビット	b5 b4 0 0: カウントスタート 0 1: カウントクリア 1 0: インพุットキャプチャ (注3) 1 1: イベント無効	R/W
b7-b6	TPU3MD[1:0]	TPU3 動作選択ビット	b7 b6 0 0: カウントスタート 0 1: カウントクリア 1 0: インพุットキャプチャ (注4) 1 1: イベント無効	R/W

注1. TPU0.TCNTレジスタの値がTPU0.TGRAレジスタにキャプチャされます。

注2. TPU1.TCNTレジスタの値がTPU1.TGRAレジスタにキャプチャされます。

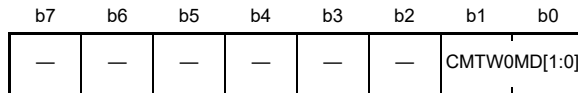
注3. TPU2.TCNTレジスタの値がTPU2.TGRAレジスタにキャプチャされます。

注4. TPU3.TCNTレジスタの値がTPU3.TGRAレジスタにキャプチャされます。

15.2.10 イベントリンクオプション設定レジスタ H (ELOPH)

ELOPH レジスタは、CMTW のチャンネル 0 のイベント入力時の動作を設定するレジスタです。
ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス A008 0B41h



リセット後の値 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMTW0MD[1:0]	CMTW0動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウントクリア 1 0 : イベントカウンタ 1 1 : イベント無効	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

15.3 動作説明

15.3.1 割り込み処理とイベントリンクの関係

本 LSI に内蔵しているモジュールには、割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットがあります。各モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグがセットされ、当該割り込み要求が許可のとき、CPU に対して割り込みを要求します。

これに対して、ELC は、各周辺モジュールで発生する割り込み要求をイベント信号とし、モジュール間を相互に接続 (リンク) することにより、CPU を介さず直接モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。図 15.2 に割り込み処理と ELC の関係を示します。

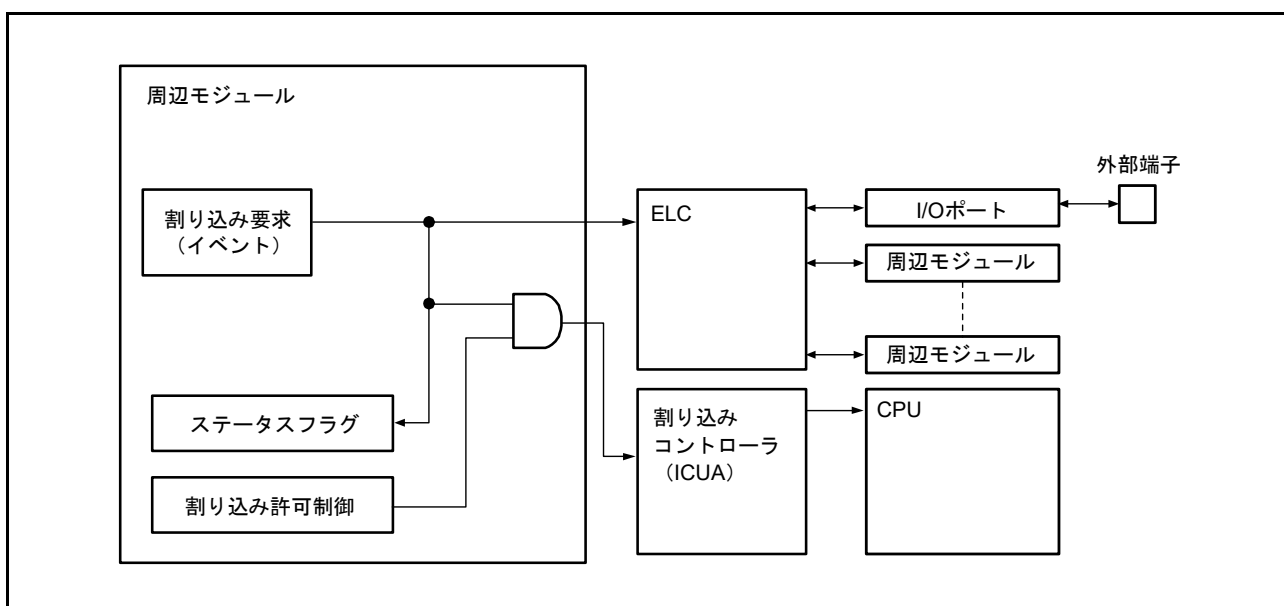


図 15.2 割り込み処理と ELC の関係

15.3.2 イベントのリンク

イベントリンク先のモジュールの ELSRn レジスタにイベントを設定してください。設定したイベントが発生した場合、イベントリンク先のモジュールが ELOPm レジスタ (m=C、F、H) に設定した動作を行います。1つのモジュールに対して1種類のイベントのみリンクできます。詳細な動作設定手順は「15.3.6 イベントリンクの動作設定手順例」を参照してください。表 15.5 にイベントを入力したときのモジュール別動作一覧を示します。

表 15.5 イベント入力時のモジュール別動作一覧

モジュール	イベント入力時の動作	
CMT CMTW TPU	ELOPmレジスタ (m=C、F、H) の設定により以下の動作となります <ul style="list-style-type: none"> • イベント信号入力により、カウントスタート (CMT、CMTW、TPU) • イベント信号入力により、カウントクリア (CMT、CMTW、TPU) (タイマのスタートビットが“1”のとき、カウントリスタート動作が可能) • 入力したイベント数をカウント (CMT、CMTW) • イベント信号入力により、キャプチャ動作 (TPU) 	
A/Dコンバータ	イベント信号入力により、A/D変換開始	
I/Oポート (出力)	ポートグループ	<ul style="list-style-type: none"> • PODRレジスタの値がPGCnレジスタで指定した値に変化 • PDBFnレジスタの値をPODRレジスタに転送 • ビットローテート出力
	シングルポート	PODRレジスタの値がPELnレジスタで指定した値に変化
I/Oポート (入力)	ポートグループ	外部端子の信号値をPDBFnレジスタに転送
	シングルポート	イベントの接続はできません
割り込み制御	CPUへ割り込み要求、DMACデータ転送開始	

15.3.3 タイマ系周辺機能のイベント入力時の動作

ELOPm レジスタ (m=C、F、H) によりイベント入力時の動作を設定します。

(1) カウントスタート動作

イベント入力により、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット (注1) が“1”にセットされます。カウントスタートビットが“1”の状態を入力されたイベントは、無効です。

(2) カウントクリア動作

イベント入力により、タイマのカウントを初期化します。このとき各タイマの制御レジスタのカウントスタートビット (注1) が“1”にセットされていると、カウント動作を継続しカウントリスタート動作をすることができます。

(3) イベントカウンタ動作

タイマのクロックソースとして、イベント入力を選択されタイマが動作します。

(4) インプットキャプチャ動作

イベント入力により、キャプチャ動作します。

注1. 各タイマ系周辺機能章にあるタイマスタートに関するレジスタの説明を参照してください。

15.3.4 A/D コンバータのイベント入力時の動作

ADCSR.ADST ビット (注1) が“1”にセットされ、A/D 変換がスタートします。

注1. A/D コンバータ章のビット説明を参照してください。

15.3.5 I/O ポートのイベント入力動作とイベント発生動作

I/O ポートは、イベント入力による動作の設定とイベントを発生させる動作の設定ができます。

(1) シングルポートとポートグループ

I/O ポートへのイベントリンクは、8本ある I/O ポートへのイベントリンク (シングルポートへのイベントリンク) と、8本ある I/O ポート内の任意の複数ビットをまとめたグループへのイベントリンク (ポートグループへのイベントリンク) ができます。

シングルポートは、イベント接続が可能な I/O ポート (注1) 内の任意のビットを PELn レジスタで指定します。ポートグループは、イベント接続が可能な I/O ポート (注1) の任意のビット (1ビット以上) を PGRn レジスタで指定します。また、グループ指定として、同一 I/O ポート内で入力ポートグループと出力ポートグループ、それぞれ1つのグループが設定できます。

当該ビットにシングルポートとポートグループの両方の指定があるとき、入力ポートは、両方の機能が有効となり、出力ポートの場合は、ポートグループの機能のみが有効となります。

I/O ポートの入力、出力は、PDR レジスタにより設定してください。

注1. ポートEです。

(2) シングル入力ポートでのイベント発生動作

PDR レジスタで入力に設定されているシングルポートは当該ポートに接続している外部端子（外部ピン）の信号値の変化により、イベントを発生します。イベント発生条件は、PELn レジスタで設定します。図 15.3(1) にシングル入力ポートのイベントリンク動作を示します。

(3) シングル出力ポートのイベント入力動作

PDR レジスタで出力に設定されているシングルポートにイベントが入力されると、PELn レジスタの設定により、当該ポートに接続している外部端子（外部ピン）の信号が変化します。これにより、当該ポートに接続している外部端子（外部ピン）の信号値が変化します。図 15.3(2) にシングル出力ポートのイベントリンク動作を示します。

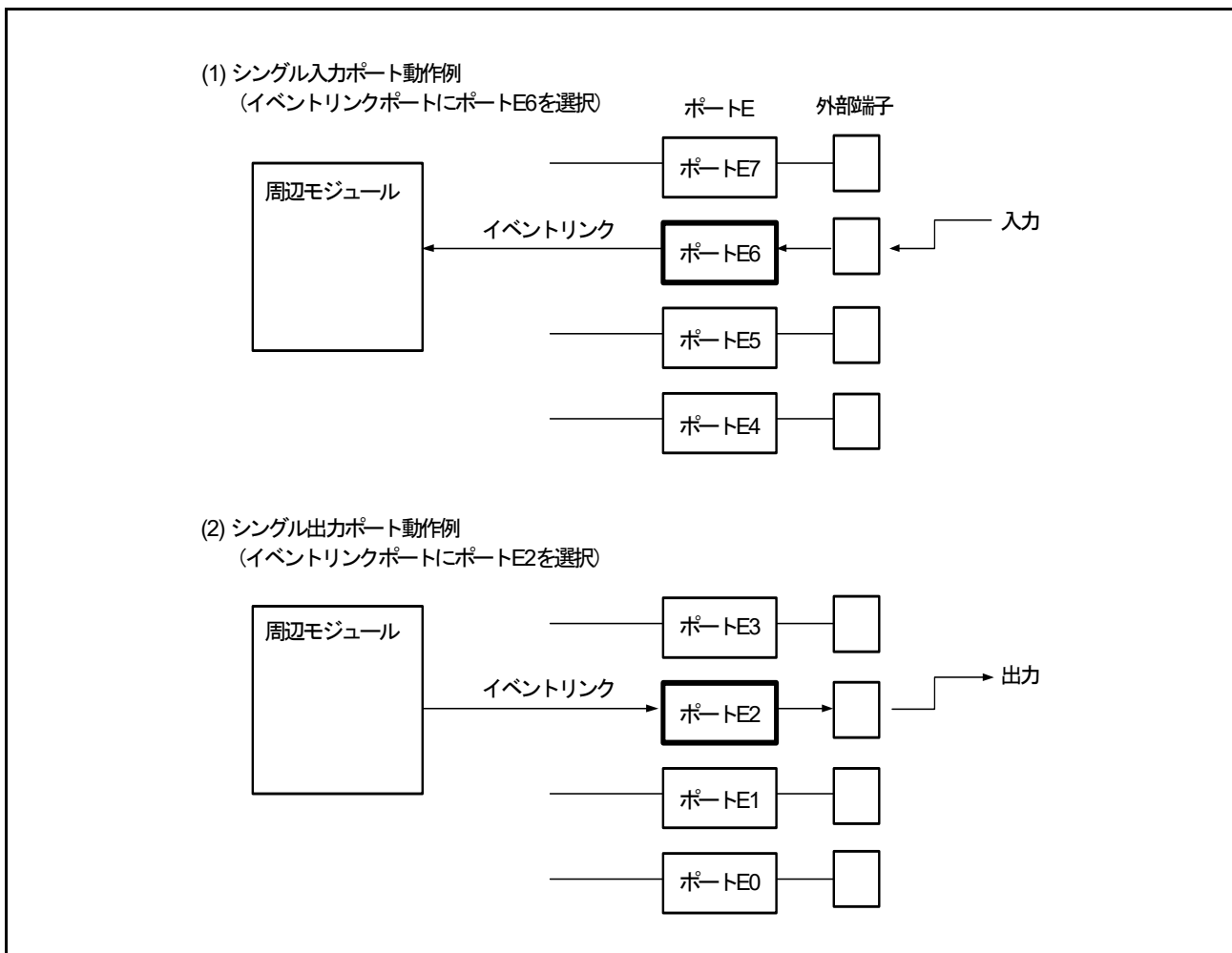


図 15.3 シングルポートのイベントリンク動作（ポート E の場合）

(4) 入力ポートグループのイベント発生動作

PDR レジスタで入力に設定されているポートグループは当該ポートに接続しているいずれかの外部端子 (外部ピン) の信号値の変化により、イベントを発生します。イベント発生条件は $PGCn.PGCIn$ ビットで、設定します。

(5) 入力ポートグループのイベント入力動作

入力ポートグループにイベントが入力されると、イベント入力時の外部端子の信号値が $PDBFn$ レジスタに転送されます。入力ポートグループに指定されたビットのみ転送されます。この状態で、再度入力ポートグループにイベントが入力されると、 $PGCn.PGCOVE_n$ ビットの設定により以下の動作となります。図 15.4 に入力ポートグループのイベント入力時の動作を示します。

- $PGCn.PGCOVE_n = 0$ (上書き無効) のとき
前回のイベント入力により $PDBFn$ レジスタに転送された値が CPU によりリードされているとき、外部端子の信号値が $PDBFn$ レジスタに転送されます。リードされていないときは外部端子の信号値は $PDBFn$ レジスタに転送されず、入力したイベントは無効になります。
- $PGCn.PGCOVE_n = 1$ (上書き有効) のとき
入力ポートグループにイベントが入力されると、外部端子の信号値が $PDBFn$ レジスタに転送されます。

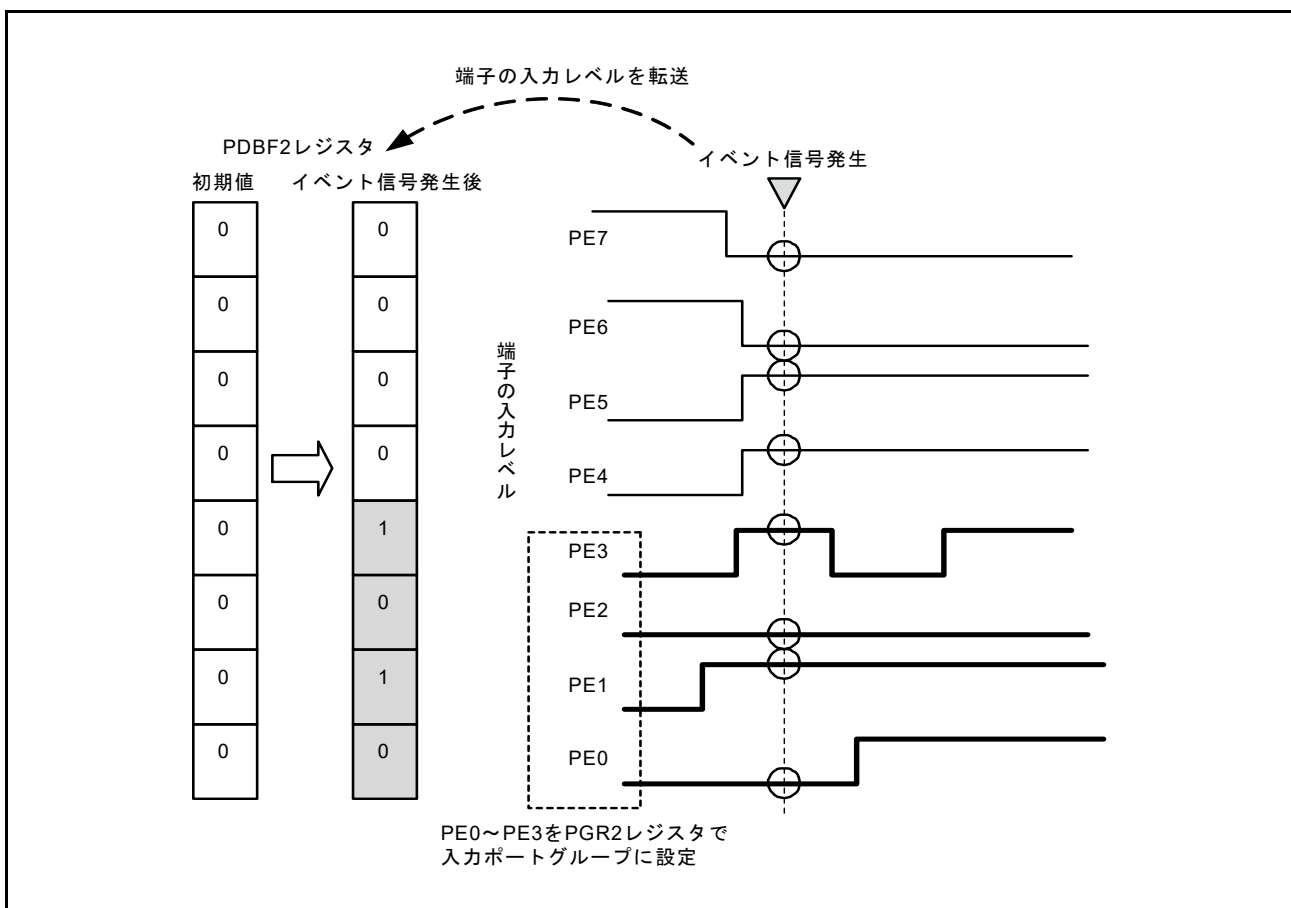


図 15.4 入力ポートグループのイベント入力時の動作 (ポート E の場合)

(6) 出力ポートグループのイベント入力動作

イベント入力時の端子出力は PGCn.PGCO_n ビットの設定により、以下のような動作となります。

- PGCn.PGCO_n ビットが 000b、001b、010b のとき
出力ポートグループにイベントが入力されると、PODR レジスタの値が PGCn レジスタで設定された値に変化します。
- PGCn.PGCO_n ビットが 011b のとき
出力ポートグループにイベントが入力されると、PDBFn レジスタの値が PGRn レジスタに設定されているポートの PODR レジスタに転送されます。図 15.5 に出力ポートグループのイベント入力時の動作を示します (PGCn.PGCO_n = 011b のとき)。
- PGCn.PGCO_n ビットが 1XXb のとき
出力ポートグループにイベントが入力されたとき、PDBFn レジスタの値が PGRn レジスタに設定されているポートの PODR レジスタに転送され、当該グループ内で PODR レジスタ値が MSB → LSB にローテートしながら出力します。動作を開始する前に、ポートに出力する初期値を PDBFn レジスタに設定してください。図 15.6 に出力ポートグループのイベント入力時のビットローテート動作を示します (PGCn.PGCO_n = 1XXb のとき)。

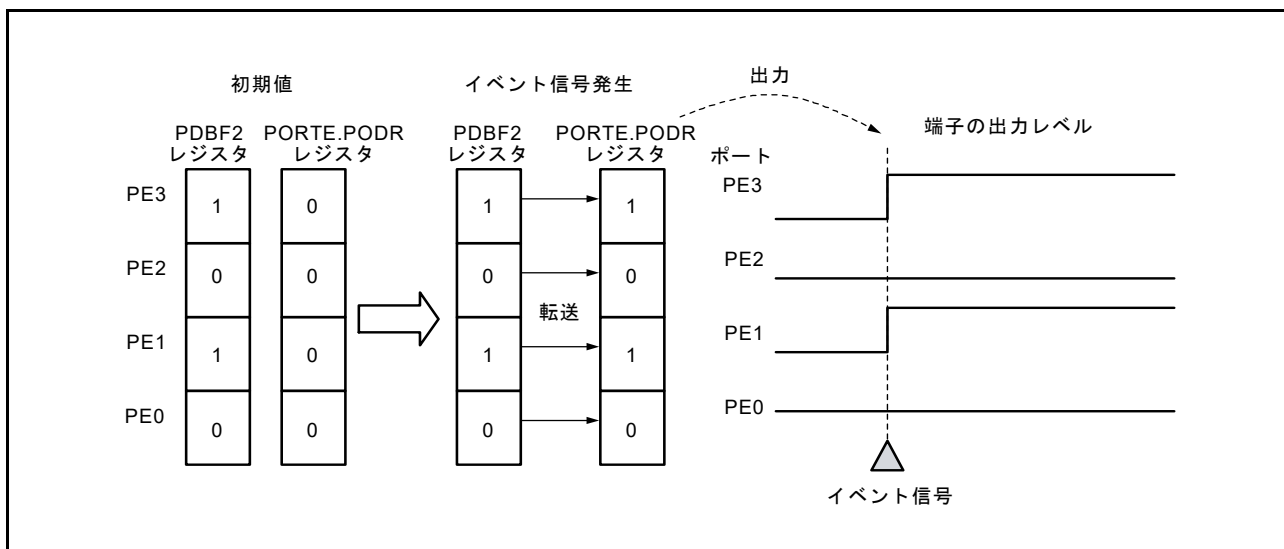


図 15.5 出力ポートグループのイベントリンク動作 (ポート E の場合)

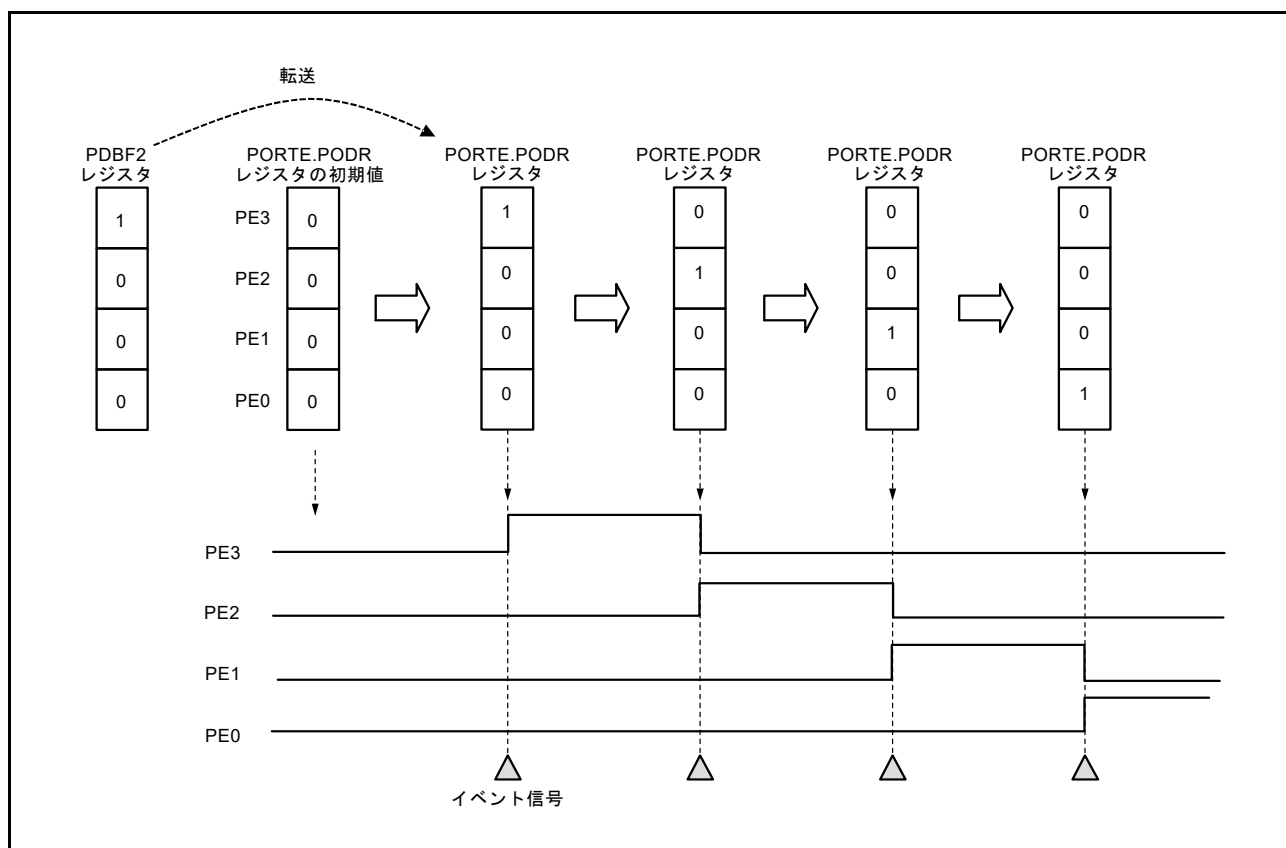


図 15.6 出力ポートグループのビットローテート出力の動作（ポート E の場合）

(7) PODR レジスタ、PDBFn レジスタへの CPU での書き込み制限

I/O ポートでイベントリンクするとき、CPU による PODR レジスタまたは PDBFn レジスタへの書き込みには以下のような制限があります。

- 入力ポートグループに指定すると、PDBFn レジスタの当該ビットへの書き込みは無効になります。
- 出力ポートグループに指定すると、PODR レジスタの当該ビットへの書き込みは無効になります。
- シングル出力ポートに指定されているとき、当該ポートへイベント接続設定 (ELSRn レジスタの設定) をすると、PODR レジスタの当該ビットへの書き込みは無効になります。

15.3.6 イベントリンクの動作設定手順例

イベントリンク動作手順を以下に示します。

1. イベントをリンクするモジュールの初期設定をします。
 2. ポートに対してイベントリンクを設定するときは、対応するポートの以下のレジスタを設定します。
 - I/Oポートの設定
 - PODR レジスタ :出力に設定したポートの初期値を設定します。
 - PDR レジスタ :ポートの入力または出力を設定します。
 - ELC の設定
 - PGRn レジスタ :ポートグループとして動作させるときに、グループ化の対象となるポート (ビット単位) を設定します。
 - PGCn レジスタ :ポートグループとして動作させるときの動作を設定します。
 - PELn レジスタ :シングルポートとして動作させるときの対象とするポートとイベント入力の動作およびイベント発生条件の設定をします。
- 備考 : PDBFn レジスタの設定について
- ①出力ポートグループの場合
 - PGCn レジスタの設定後に PDBFn レジスタを設定してください。
 - PODR レジスタの値を変更したいイベントトリガの前であれば、PGCn レジスタの前に設定しても構いません。
 - ②入力ポートグループの場合
 - PDBFn レジスタの設定は不要です。ただし、リセット後の値 = 0x00 のため、イベント入力で H → L の変化を PDBFn レジスタで確認する場合は、確認したいポートの PDBFn ビットを 1 に設定してください。
3. イベントをリンクするモジュールの ELSRn レジスタに、リンクするイベント信号の番号を設定します。
 4. イベントをリンクするモジュールがタイマ系の周辺機能のときは、必要に応じて対応する ELOPm レジスタ (m = C、F、H) を設定します。
 5. ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作が有効になります。
 6. イベント出力元のモジュールの初期設定を行い、起動させます。モジュールから出力されるイベントにより、イベントリンク先のモジュールが事前に設定した動作を開始します。
 7. モジュール単位でイベントリンク動作を停止するときは、対応する ELSRn.ELS[7:0] ビットに“0000 0000b”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全モジュールのイベントリンク動作が停止します。

15.4 使用上の注意事項

15.4.1 ELSR18、ELSR19 レジスタの設定について

割り込みコントローラにイベントリンクする場合、ELSR18、ELSR19 レジスタに設定するイベント信号は 63h ~ BDh の中から指定してください。それ以外の値は、設定禁止です。

15.4.2 出力ポートグループのビットローテート動作の設定について

出力ポートグループのビットローテート動作モードで、PDBFn レジスタの値を変更する場合、PDBFn レジスタを変更した後、ELSRn レジスタを再度設定してください。

15.4.3 クロック設定について

イベントリンクを使用するには ELC の設定の他に ELC と対象モジュールを動作可能状態にしておく必要があります。対象のモジュールがモジュールストップ状態の場合や低消費電力状態の中でモジュールが停止状態となるモード（全モジュールストップモード）の場合では動作できません。

15.4.4 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、ELC の動作を禁止/許可することが可能です。初期値では、ELC の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

16. I/Oポート

16.1 概要

I/Oポートは、汎用入出力ポートと周辺機能の入出力、または割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は不使用（Hi-Z入力保護）になっていますが、レジスタの設定により機能を切り替えることができます。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、不使用／入力／出力を指定するポート方向レジスタ（PDR）、出力データを格納するポート出力データレジスタ（PODR）、端子の状態を反映するポート入力データレジスタ（PIDR）、入力プルアップ／プルダウン抵抗の有効／無効を制御するプルアップ／プルダウン制御レジスタ（PCR）、機能端子を指定するポートモードレジスタ（PMR）を備えています。PMRレジスタの詳細については、「17. マルチファンクションピンコントローラ（MPC）」を参照してください。

表 16.1 に I/O ポートの仕様を、表 16.2 に I/O ポートの機能を示します。

表 16.1 I/Oポートの仕様

ポート シンボル	パッケージ	
	112ピン	本数
PORT0	P00	1
PORT1	P10	1
PORT2	P21, P22, P27	3
PORT3	P33~P35	3
PORT4	P40, P42, P44	3
PORT5 (注1)	P50~P56	—
PORT6	P60~P65	6
PORT7	P71~P73	3
PORT9	P90~P97	8
PORTA	PA3~PA5	3
PORTC	PC2, PC3, PC6, PC7	4
PORTE	PE0~PE7	8
PORTG	PG2~PG6	5
	ポートの合計数	48

注1. PORT5（P50～P56）は、1.2V端子です。

表 16.2 I/Oポートの機能

ポートシンボル	ポート	入力プルアップ/ プルダウン機能	駆動能力 切り替え機能	5Vトレラント	シュミット入力
PORT0	P00	○	—	—	—
PORT1	P10	○	—	—	○
PORT2	P21, P22, P27	○	—	—	○
PORT3	P33, P35	○	—	—	○
	P34	○	—	—	—
PORT4	P40, P42, P44	○	—	—	○
PORT5	P50～P56	○	○	—	○
PORT6	P60～P65	○	—	—	○
PORT7	P71～P73	○	—	—	—
PORT9	P90～P97	○	—	—	○
PORTA	PA3～PA5	○	—	—	—
PORTC	PC2, PC3, PC6, PC7	—	—	○	○
PORTE	PE0～PE7	○	—	—	—
PORTG	PG2～PG6	○	—	—	○

入力プルアップ/プルダウン機能、駆動能力切り替え機能は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

16.2 入出力ポートの構成

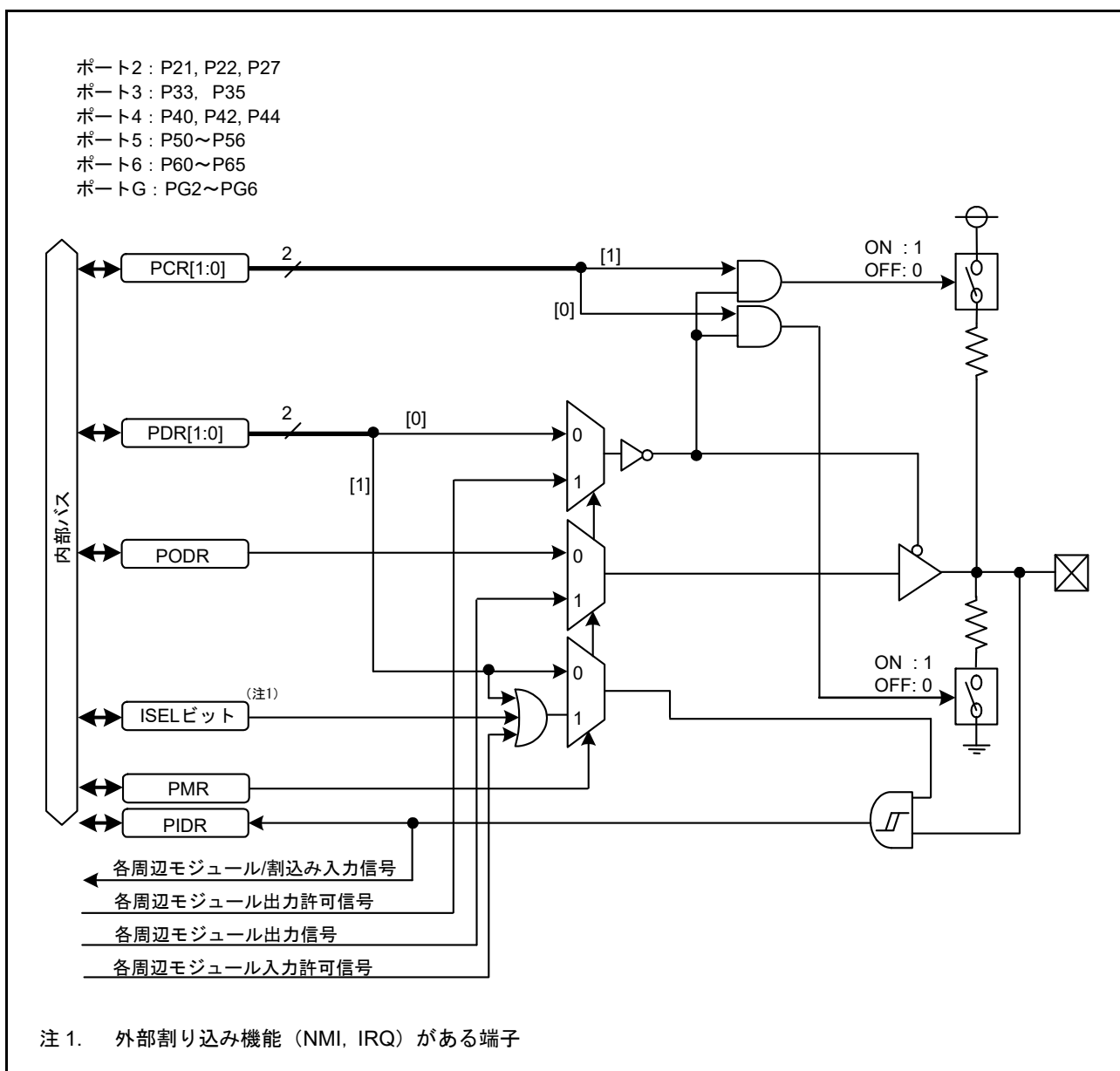


図 16.1 入出力ポートの構成 (1)

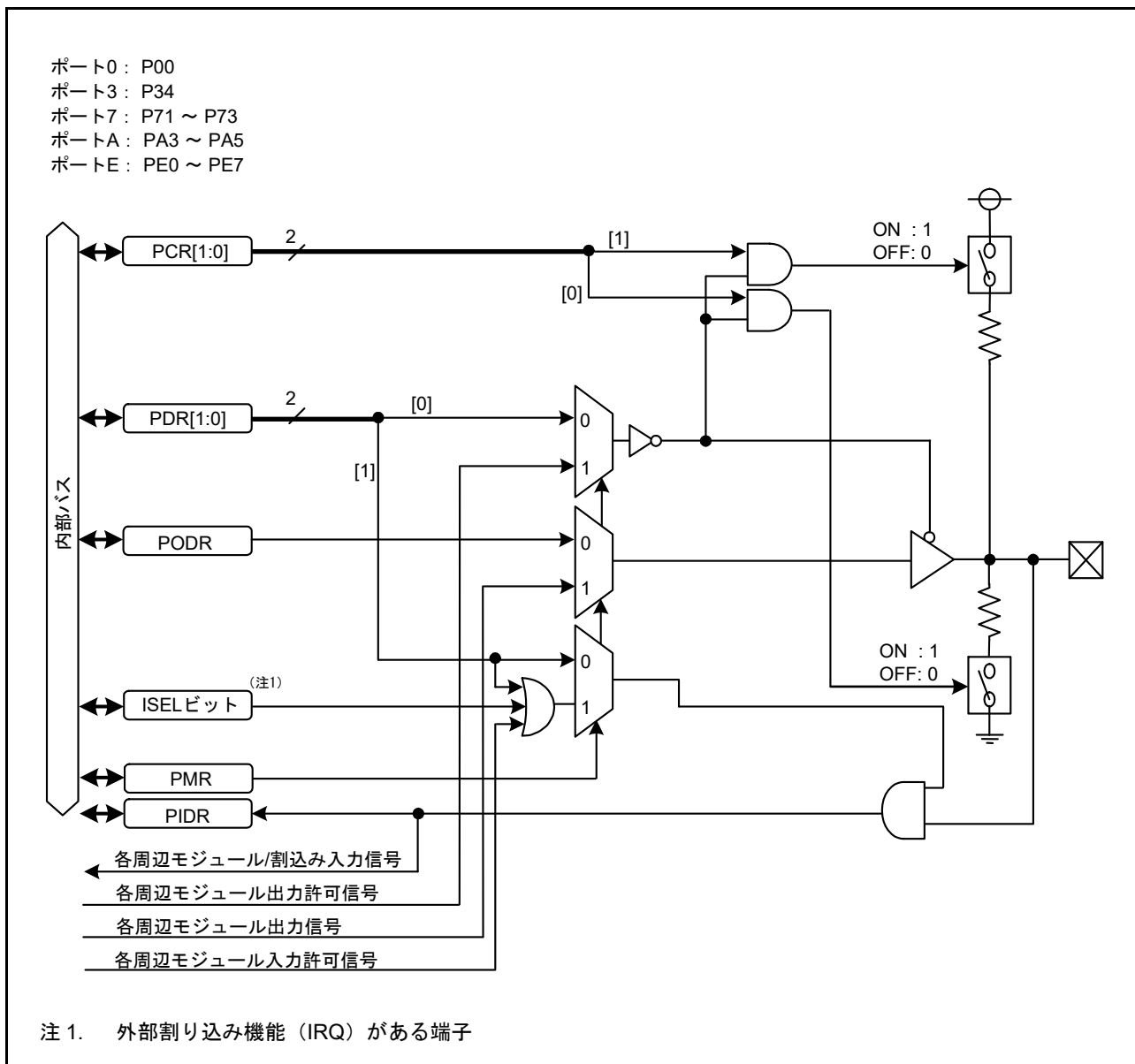


図 16.2 入出力ポートの構成 (2)

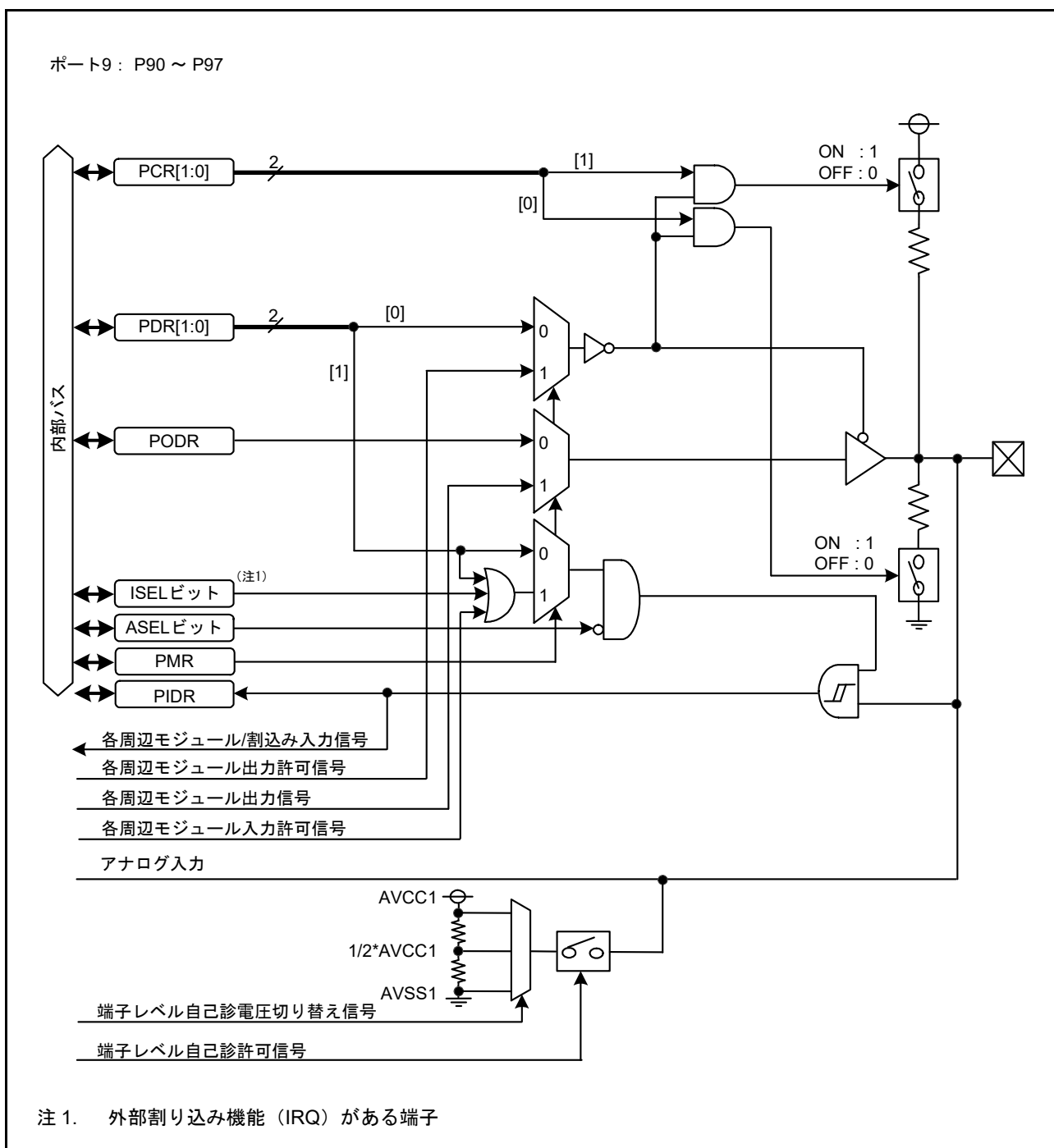


図 16.3 入出力ポートの構成 (3)

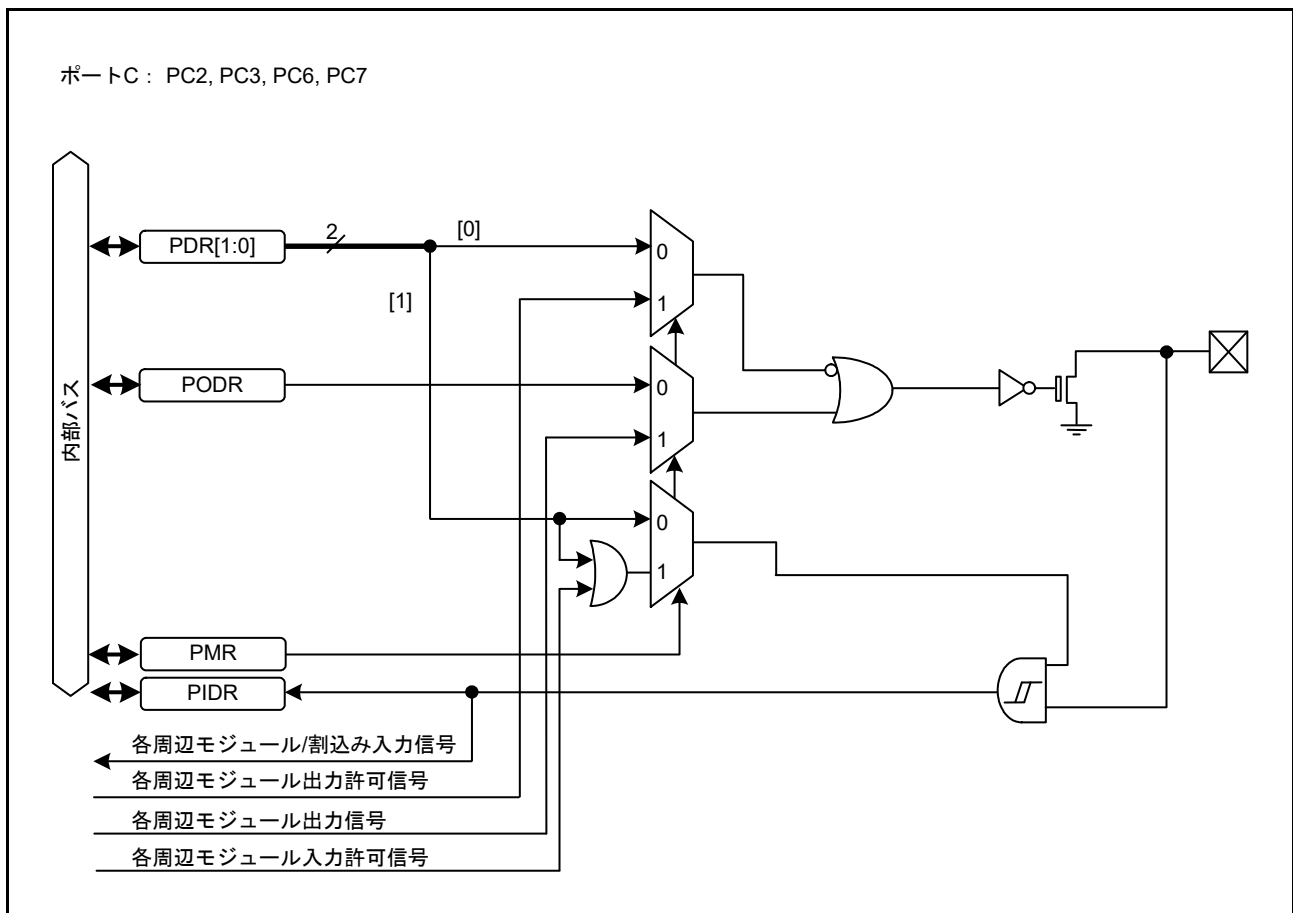


図 16.4 入出力ポートの構成 (4)

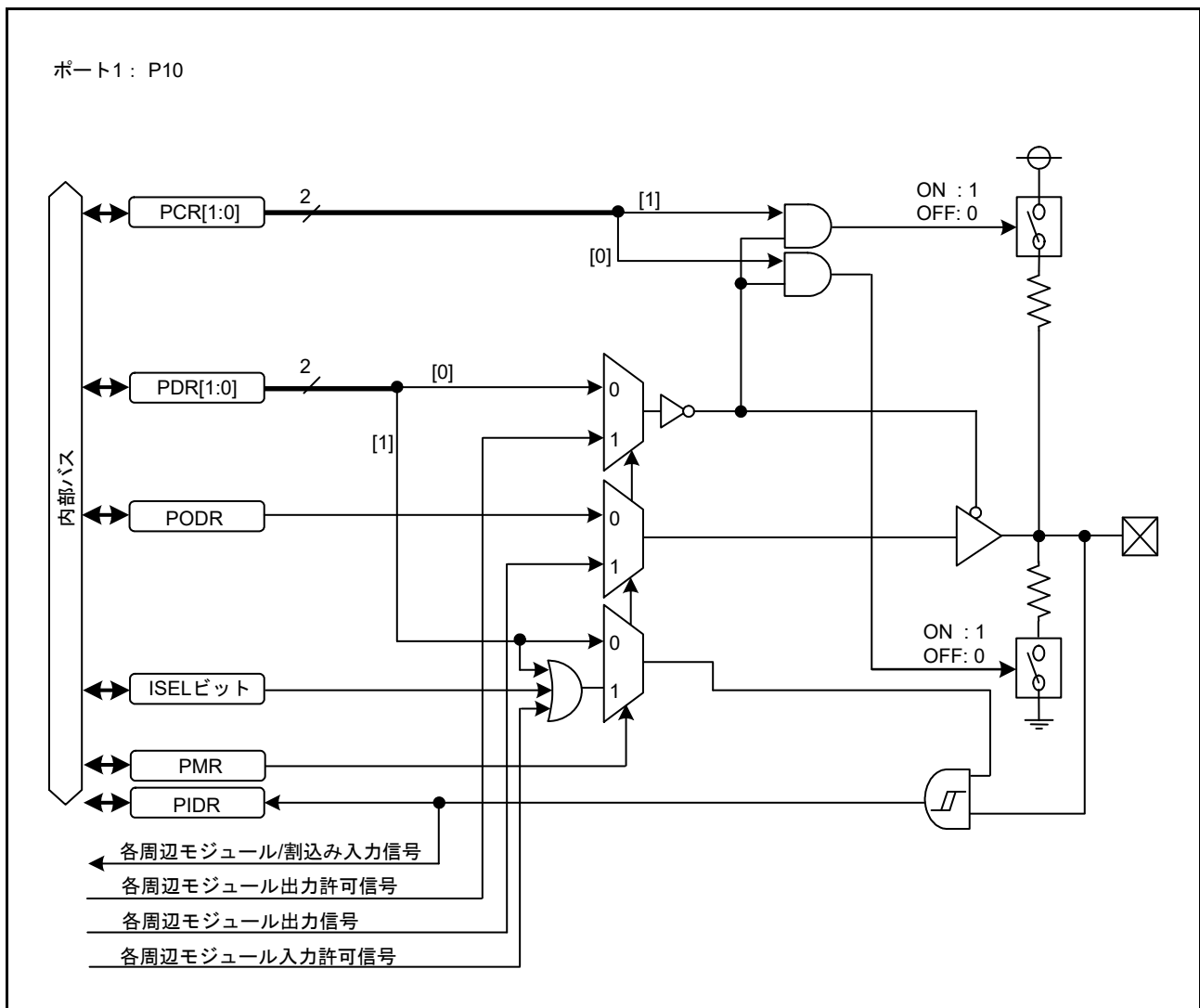


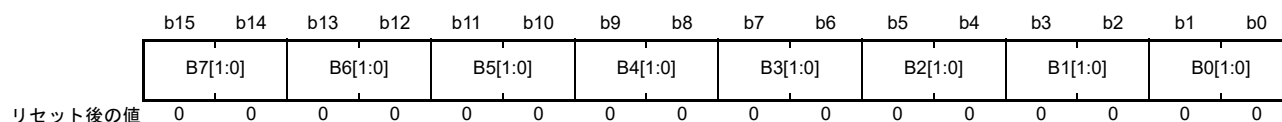
図 16.5 入出力ポートの構成 (5)

16.3 レジスタの説明

16.3.1 ポート方向レジスタ (PDR)

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの不使用/入力/出力（入力許可）を指定するレジスタです。“00”（不使用）を設定した場合、入力 Hi-Z 状態から本 LSI を保護することができます。

アドレス PORT0.PDR A000 0000h、PORT1.PDR A000 0002h、PORT2.PDR A000 0004h、PORT3.PDR A000 0006h、PORT4.PDR A000 0008h、PORT5.PDR A000 000Ah、PORT6.PDR A000 000Ch、PORT7.PDR A000 000Eh、PORT9.PDR A000 0012h、PORTA.PDR A000 0014h、PORTC.PDR A000 0018h、PORTE.PDR A000 001Ch、PORTG.PDR A000 0020h



ビット	シンボル	ビット名	機能	R/W
b1-b0	B0[1:0]	Pm0方向制御ビット	奇数b 偶数b 0 0: 不使用 (Hi-Z入力保護) 0 1: 設定禁止 1 0: 入力 (入力ポートとして機能) 1 1: 出力 (出力ポートとして機能 (ポートリード可能))	R/W
b3-b2	B1[1:0]	Pm1方向制御ビット		R/W
b5-b4	B2[1:0]	Pm2方向制御ビット		R/W
b7-b6	B3[1:0]	Pm3方向制御ビット		R/W
b9-b8	B4[1:0]	Pm4方向制御ビット		R/W
b11-b10	B5[1:0]	Pm5方向制御ビット		R/W
b13-b12	B6[1:0]	Pm6方向制御ビット		R/W
b15-b14	B7[1:0]	Pm7方向制御ビット		R/W

m = 0 ~ 7、9、A、C、E、G

PORTm.PDR レジスタの各ビットは、それぞれポート m の各端子に対応しており、2ビット単位で指定できます。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書き込む場合は、必ず“0”を書き込んでください。

16.3.2 ポート出力データレジスタ (PODR)

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

アドレス PORT0.PODR A000 0040h、PORT1.PODR A000 0041h、PORT2.PODR A000 0042h、PORT3.PODR A000 0043h、PORT4.PODR A000 0044h、PORT6.PODR A000 0046h、PORT7.PODR A000 0047h、PORT9.PODR A000 0049h、PORTA.PODR A000 004Ah、PORTC.PODR A000 004Ch、PORTE.PODR A000 004Eh、PORTG.PODR A000 0050h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	0 : Low出力 1 : High出力	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 4、6、7、9、A、C、E、G

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書き込む場合は、必ず“0”を書き込んでください。

16.3.3 ポート入力データレジスタ (PIDR)

PIDR レジスタは、入力ポート端子の状態を反映するレジスタです。

アドレス PORT0.PIDR A000 0060h、PORT1.PIDR A000 0061h、PORT2.PIDR A000 0062h、PORT3.PIDR A000 0063h、
PORT4.PIDR A000 0064h、PORT6.PIDR A000 0066h、PORT7.PIDR A000 0067h、PORT9.PIDR A000 0069h、
PORTA.PIDR A000 006Ah、PORTC.PIDR A000 006Ch、PORTE.PIDR A000 006Eh、PORTG.PIDR A000 0070h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 ビット	0 : Low入力 1 : High入力	R
b1	B1	Pm1 ビット		R
b2	B2	Pm2 ビット		R
b3	B3	Pm3 ビット		R
b4	B4	Pm4 ビット		R
b5	B5	Pm5 ビット		R
b6	B6	Pm6 ビット		R
b7	B7	Pm7 ビット		R

m = 0 ~ 4、6、7、9、A、C、E、G

PORTm.PDR レジスタが“10”または“11”に設定されている場合、PORTm.PIDR レジスタを読むと、PORTm.PMR レジスタの値に関係なく端子の状態が読めます。

存在しない端子のビットは予約ビットです。予約ビットに対する読み出し値は不定です。書き込みは無効になります。

16.3.4 ポートモードレジスタ (PMR)

PMR レジスタは、ポートの端子機能を指定するレジスタです。

アドレス PORT0.PMR A000 0080h、PORT1.PMR A000 0081h、PORT2.PMR A000 0082h、PORT3.PMR A000 0083h、
PORT4.PMR A000 0084h、PORT5.PMR A000 0085h、PORT6.PMR A000 0086h、PORT7.PMR A000 0087h、
PORT9.PMR A000 0089h、PORTA.PMR A000 008Ah、PORTC.PMR A000 008Ch、PORTE.PMR A000 008Eh、
PORTG.PMR A000 0090h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値
(注1) 0 0 0 0 0 0 0 0

注1. ポート3のPMRレジスタのリセット後の値は18hです。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	R/W
b1	B1	Pm1 端子モード制御ビット		R/W
b2	B2	Pm2 端子モード制御ビット		R/W
b3	B3	Pm3 端子モード制御ビット		R/W
b4	B4	Pm4 端子モード制御ビット		R/W
b5	B5	Pm5 端子モード制御ビット		R/W
b6	B6	Pm6 端子モード制御ビット		R/W
b7	B7	Pm7 端子モード制御ビット		R/W

m = 0 ~ 7、9、A、C、E、G

PORTm.PMR レジスタの各ビットは、それぞれポート m の各端子に対応しており、1 ビット単位で指定できます。存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書き込む場合は、必ず“0”を書き込んでください。

16.3.5 プルアップ／プルダウン制御レジスタ（PCR）

PCR レジスタは、ポートの入力プルアップ／プルダウン抵抗の有効／無効を制御するレジスタです。

汎用ポート、周辺モジュールの端子が入力状態のとき、PORTm.PCR レジスタが“10”のビットに対応する端子の入力プルアップ抵抗が有効になり、“01”のビットに対応する端子は入力プルダウン抵抗が有効になります。

汎用ポート出力、周辺モジュール出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。なお、PC2、PC3、PC6、PC7 端子には、本機能はありません。

また、リセット中もプルアップ／プルダウン抵抗は無効になります。

アドレス PORT0.PCR A000 0100h, PORT1.PCR A000 0102h, PORT2.PCR A000 0104h, PORT3.PCR A000 0106h,
PORT4.PCR A000 0108h, PORT5.PCR A000 010Ah, PORT6.PCR A000 010Ch, PORT7.PCR A000 010Eh,
PORT9.PCR A000 0112h, PORTA.PCR A000 0114h, PORTE.PCR A000 011Ch, PORTG.PCR A000 0120h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
B7[1:0]		B6[1:0]		B5[1:0]		B4[1:0]		B3[1:0]		B2[1:0]		B1[1:0]		B0[1:0]	
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b1-b0	B0[1:0]	Pm0入力プルアップ／プルダウン抵抗制御ビット	奇数b 偶数b 0 0 : 入力プルアップ抵抗／プルアップ抵抗無効 0 1 : 入力プルダウン抵抗有効 1 0 : 入力プルアップ抵抗有効 1 1 : 設定禁止	R/W
b3-b2	B1[1:0]	Pm1入力プルアップ／プルダウン抵抗制御ビット		R/W
b5-b4	B2[1:0]	Pm2入力プルアップ／プルダウン抵抗制御ビット		R/W
b7-b6	B3[1:0]	Pm3入力プルアップ／プルダウン抵抗制御ビット		R/W
b9-b8	B4[1:0]	Pm4入力プルアップ／プルダウン抵抗制御ビット		R/W
b11-b10	B5[1:0]	Pm5入力プルアップ／プルダウン抵抗制御ビット		R/W
b13-b12	B6[1:0]	Pm6入力プルアップ／プルダウン抵抗制御ビット		R/W
b15-b14	B7[1:0]	Pm7入力プルアップ／プルダウン抵抗制御ビット		R/W

m = 0 ~ 7、9、A、C、E、G

存在しない端子のビットは予約ビットです。予約ビットは、読むと“00b”が読めます。書き込む場合は、必ず“00b”を書き込んでください。

16.3.6 駆動能力制御レジスタ (DSCR)

DSCR レジスタは、P50 ~ P56 の駆動能力を制御するレジスタです。

駆動能力が固定されている端子の当該ビットは、読み出し／書き込み可能ですが、駆動能力の切り替えはできません。

アドレス PORT5.DSCR A000 014Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	B6[1:0]	B5[1:0]	B4[1:0]	B3[1:0]	B2[1:0]	B1[1:0]	B0[1:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	B0[0]	P50 駆動能力制御ビット0	0 0 : リセット後の値	R/W	
b1	B0[1]	P50 駆動能力制御ビット1	0 1 : 設定禁止	R/W	
b2	B1[0]	P51 駆動能力制御ビット0	1 0 : 設定禁止	R/W	
b3	B1[1]	P51 駆動能力制御ビット1	1 1 : 1.2V IO駆動出力	R/W	
b4	B2[0]	P52 駆動能力制御ビット0	注. 使用時は11bに設定してください。	R/W	
b5	B2[1]	P52 駆動能力制御ビット1		R/W	
b6	B3[0]	P53 駆動能力制御ビット0		R/W	
b7	B3[1]	P53 駆動能力制御ビット1		R/W	
b8	B4[0]	P54 駆動能力制御ビット0		R/W	
b9	B4[1]	P54 駆動能力制御ビット1		R/W	
b10	B5[0]	P55 駆動能力制御ビット0		R/W	
b11	B5[1]	P55 駆動能力制御ビット1		R/W	
b12	B6[0]	P56 駆動能力制御ビット0		R/W	
b13	B6[1]	P56 駆動能力制御ビット1		R/W	
b15-b14	—	予約ビット		読むと“0”が読めます。書く場合、“0”としてください。	R/W

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

16.4 未使用端子の処理

表 16.3 に未使用端子の処理内容を示します。

表 16.3 未使用端子の処理内容

端子名	処理内容
MD0, MD1	— (モード端子として使用)
RSTOUT#	端子を開放 (オープン)
TRST#	抵抗を介してVSSに接続 (プルダウン)、もしくはRES#端子と同じ信号が入力されるようにしてください。
TCK	抵抗を介してVSSに接続 (プルダウン)
TMS	抵抗を介してVCCQ33に接続 (プルアップ)
ポート34 (TDI)	抵抗を介してVCCQ33に接続 (プルアップ)
ポート0~4、6、7、9、A、C、E、G (ポート34を除く) (注1)	端子を解放 (オープン)、または抵抗を介してVCCQ33に接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン)
ポート5 (注1)	端子を解放 (オープン)、または抵抗を介してVCCQ12に接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン)
VREFH0	AVCC0に接続
VREFL0	AVSS0に接続
VREFH1	AVCC1に接続
VREFL1	AVSS1に接続
AN000~AN007	抵抗を介してAVSS0に接続 (プルダウン)

注1. 未使用端子とする場合は、ポート方向レジスタ (PDR) の設定をリセット解除後の値である“不使用 (Hi-Z入力保護)”に設定してください。

17. マルチファンクションピンコントローラ (MPC)

17.1 概要

本 LSI は、周辺機能の入出力、および割り込み端子を複数のポートに兼用しています。マルチファンクションピンコントローラ (MPC) は、使用する周辺機能の入出力、および割り込み端子を兼用している複数のポートの中から選択し、選択した端子に機能を割り付けるモジュールです。

表 17.1 に兼用端子構成一覧を示します。同一機能を複数の端子で有効にすることは禁止です。

表 17.1 兼用端子構成一覧 (1 / 3)

モジュール/機能	チャンネル	端子機能	割り当てポート
デバッグインタフェース		TDI (入力)	P34
		TDO (出力)	P33
		TRACECLK (出力)	P10
		TRACECTL (出力)	P00
			P71
		TRACEDATA0 (出力)	P72
			PE0
		TRACEDATA1 (出力)	P73
			PE1
		TRACEDATA2 (出力)	PE2
		TRACEDATA3 (出力)	PE3
		TRACEDATA4 (出力)	PE4
	TRACEDATA5 (出力)	PE5	
	TRACEDATA6 (出力)	PE6	
	TRACEDATA7 (出力)	PE7	
割り込み	NMI	NMI (入力)	P35
	IRQ0	IRQ0 (入力)	P10
	IRQ1	IRQ1 (入力)	P21
	IRQ2	IRQ2 (入力)	P22
			PE2
	IRQ3	IRQ3 (入力)	P73
			PE3
	IRQ4	IRQ4 (入力)	P94
IRQ6	IRQ6 (入力)	PE6	
IRQ7	IRQ7 (入力)	P97	
16ビットタイムパルスユニット	TPU0	TIOCA0 (入出力)	P10
		TIOCB0 (入出力)	P27
		TIOCC0 (入出力)	PE4
		TIOCD0 (入出力)	P22
	PE6		
	TPU1	TIOCA1 (入出力)	P00
		TIOCB1 (入出力)	P21
	TPU2	TIOCA2 (入出力)	PA3
TIOCB2 (入出力)		PE0	

表 17.1 兼用端子構成一覧 (2 / 3)

モジュール/機能	チャンネル	端子機能	割り当てポート	
16ビットタイマ パルスユニット	TPU3	TIOCA3 (入出力)	PA4	
		TIOCB3 (入出力)	PE1	
		TIOCC3 (入出力)	PE5	
		TIOCD3 (入出力)	PE7	
	TPU4	TIOCA4 (入出力)	PA5	
		TIOCB4 (入出力)	PE2	
	TPU5	TIOCA5 (入出力)	P90	
		TIOCB5 (入出力)	PE3	
	TPU	TCLKA (入力)	PG5	
		TCLKB (入力)	PG6	
		TCLKC (入力)	PC6	
		TCLKD (入力)	P44	
コンペアマッチタイマW	CMTW0	TOC0 (出力)	PG2	
		TIC0 (入力)	PC7	
	CMTW1	TOC1 (出力)	PG4	
		TIC1 (入力)	PG3	
	CMTW2	TOC2 (出力)	P71	
		TIC2 (入力)	P72	
	CMTW3	TOC3 (出力)	P92	
		TIC3 (入力)	P93	
	FIFO内蔵シリアルコミュニ ケーションインタフェース (SCIFA)	SCI0	RXD0 (入力)	P42
			TXD0 (出力)	P40
SCK0 (入出力)			P22	
CTS0# (入出力)			P21	
			P44	
RTS0# (出力)		P27		
SCI1		RXD1 (入力)	P73	
			PE6	
		TXD1 (出力)	P72	
			PE5	
		SCK1 (入出力)	P71	
			PE7	
CTS1# (入出力)		PE3		
SCI2		RXD2 (入力)	P92	
			PA4	
		TXD2 (出力)	P91	
			PA5	
		SCK2 (入出力)	P93	
			PA3	
		CTS2# (入出力)	P95	
RTS2# (出力)	P94			
SCI4	RXD4 (入力)	PC3		
	TXD4 (出力)	P90		

表 17.1 兼用端子構成一覧 (3 / 3)

モジュール/機能	チャンネル	端子機能	割り当てポート	
I ² Cバス インタフェース	RIIC0	SCL0 (入出力)	PC3	
		SDA0 (入出力)	PC2	
	RIIC1	SCL1 (入出力)	PC6	
		SDA1 (入出力)	PC7	
マネージメントデータインプット/ アウトプットインタフェース		PRTADR4 (入力)	P50	
		PRTADR2 (入力)	P51	
		PRTADR1 (入力)	P52	
		PRTADR3 (入力)	P53	
		PRTADR0 (入力)	P54	
		MDIO (入出力)	P55	
		MDC (入力)	P56	
		MMDC1 (出力)	PA3	
シリアルペリフェラルイン タフェース	RSPI0	RSPCK0 (入出力)	PE7	
		MOSI0 (入出力)	PE5	
		MISO0 (入出力)	PE6	
		SSL00 (入出力)	PE4	
		SSL01 (出力)	PE3	
		SSL02 (出力)	PE2	
		SSL03 (出力)	PE1	
	RSPI1	RSPCK1 (入出力)	PG2	
		MOSI1 (入出力)	PG4	
		MISO1 (入出力)	PG3	
		SSL10 (入出力)	PG5	
		SSL11 (出力)	PG6	
クアッドシリアルペリフェラルインタフェース		SPBCLK (出力)	P62	
		SPBMO/SPBIO0 (入出力)	P63	
		SPBMI/SPBIO1 (入出力)	P64	
		SPBIO2 (入出力)	P65	
		SPBIO3 (入出力)	P61	
		SPBSSL (出力)	P60	
12ビットA/Dコンバータ	Unit0	ADTRG0 (入力)	P44	
			PA4	
	Unit1	AN100 (入力) (注1)	P90	
		AN101 (入力) (注1)	P91	
		AN102 (入力) (注1)	P92	
		AN103 (入力) (注1)	P93	
		AN104 (入力) (注1)	P94	
		AN105 (入力) (注1)	P95	
		AN106 (入力) (注1)	P96	
		AN107 (入力) (注1)	P97	
	ADTRG1 (入力)	P00		
	P97			

注1. この端子を使用する場合は、該当端子の設定を不使用かつ汎用入出力ポート設定にしてください (PORTm.PDR.Bnビットを"00"およびPORTm.PMR.Bnビットを"0"にする)。

17.2 レジスタの説明

17.2.1 書き込みプロテクトレジスタ (PWPR)

PWPR レジスタは、PFS レジスタ、および本レジスタの PFSWE ビットに対する書き込みの許可/禁止を設定するレジスタです。

アドレス A000 02FFh

b7	b6	b5	b4	b3	b2	b1	b0
BOWI	PFSWE	—	—	—	—	—	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可	R/W
b7	BOWI	PFSWEビット書き込み禁止ビット	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”に設定したときのみ、PmnPFS レジスタ (m=0~7、9、A、C、E、G、n=0~7) に対する書き込みが許可されます。

PFSWE ビットを“1”にする場合は、BOWI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

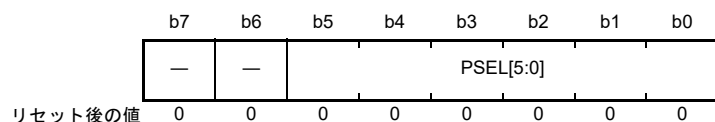
BOWI ビット (PFSWE ビット書き込み禁止ビット)

BOWI ビットを“0”に設定したときのみ、PFSWE ビットに対する書き込みが許可されます。

17.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0)

P0n 端子機能制御レジスタ (P0nPFS) は、使用する端子の機能を選択するレジスタです。P0nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合は、プロテクトを解除してから行ってください。

アドレス P00PFS A000 0200h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.2 を参照してください。	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

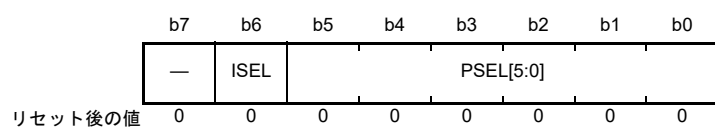
表 17.2 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子
	P00
00000b (リセット後の値)	Hi-Z
000011b	TIOCA1
001001b	ADTRG1
100111b	TRACECTL

17.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 0)

P1n 端子機能制御レジスタ (P1nPFS) は、使用する端子の機能を選択するレジスタです。P1nPFS レジスタは、書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス P10PFS A000 0208h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.3 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

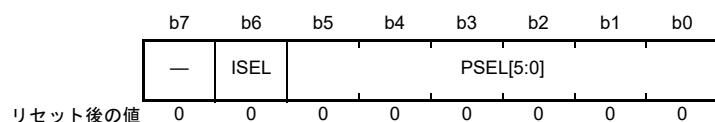
表 17.3 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子
	P10
000000b (リセット後の値)	Hi-Z
000011b	TIOCA0
100111b	TRACECLK

17.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 1、2、7)

P2n 端子機能制御レジスタ (P2nPFS) は、使用する端子の機能を選択するレジスタです。P2nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス P21PFS A000 0211h、P22PFS A000 0212h、P27PFS A000 0217h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.4 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.4 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子		
	P21	P22	P27
000000b (リセット後の値)	Hi-Z		
000011b	TIOCB1	TIOCD0	TIOCB0
001010b	—	—	RTS0#
001011b	CTS0#	SCK0	—

注. — : 設定しないでください。

17.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 3 ~ 5)

P3n 端子機能制御レジスタ (P3nPFS) は、使用する端子の機能を選択するレジスタです。P3nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。P35 には周辺機能は割り付けられていません。P35 を NMI 端子として、使用する場合は、「12.3.4 NMI 端子割り込み」を参照してください。

アドレス P33PFS A000 021Bh、P34PFS A000 021Ch、P35PFS A000 021Dh

	b7	b6	b5	b4	b3	b2	b1	b0	
	—	ISEL	PSEL[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	(注1)
	0	0	1	0	0	1	1	1	(注2)
注1.	P35PFS								
注2.	P33PFS, P34PFS								

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.5 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子または NMI 入力端子として使用しない 1 : IRQn 入力端子または NMI 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子、または NMI 入力端子 (P35) として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。NMI 端子として、使用する場合は、「12.3.4 NMI 端子割り込み」を参照してください。

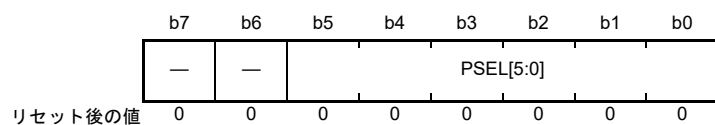
表 17.5 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子	
	P33	P34
000000b	Hi-Z	
100111b (リセット後の値)	TDO	TDI

17.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0、2、4)

P4n 端子機能制御レジスタ (P4nPFS) は、使用する端子の機能を選択するレジスタです。P4nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス P40PFS A000 0220h、P42PFS A000 0222h、P44PFS A000 0224h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.6 を参照してください。	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

表 17.6 端子入出力機能レジスタ設定

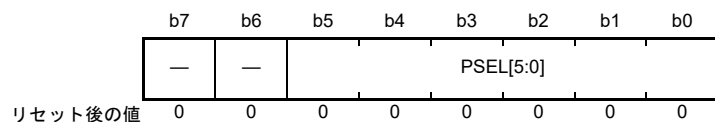
PSEL[5:0] ビット 設定値	端子		
	P40	P42	P44
000000b (リセット後の値)	Hi-Z		
000011b	—	—	TCLKD
001001b	—	—	ADTRG0
001010b	TXD0	RXD0	CTS0#

注. — : 設定しないでください。

17.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 6)

P5n 端子機能制御レジスタ (P5nPFS) は、使用する端子の機能を選択するレジスタです。P5nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス P50PFS A000 0228h、P51PFS A000 0229h、P52PFS A000 022Ah、P53PFS A000 022Bh、
P54PFS A000 022Ch、P55PFS A000 022Dh、P56PFS A000 022Eh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.7 を参照してください。	R/W
b7, b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

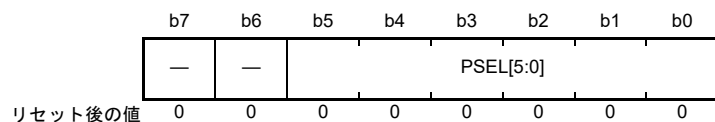
表 17.7 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子						
	P50	P51	P52	P53	P54	P55	P56
000000b (リセット後の値)	Hi-Z						
101011b	PRTADR4	PRTADR2	PRTADR1	PRTADR3	PRTADR0	MDIO	MDC

17.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ~ 5)

P6n 端子機能制御レジスタ (P6nPFS) は、使用する端子の機能を選択します。P6nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス P60PFS A000 0230h、P61PFS A000 0231h、P62PFS A000 0232h、P63PFS A000 0233h、
P64PFS A000 0234h、P65PFS A000 0235h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.8 を参照してください。	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

表 17.8 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子					
	P60	P61	P62	P63	P64	P65
000000b (リセット後の値)	Hi-Z					
011011b	SPBSSL	SPBIO3	SPBCLK	SPBMO/ SPBIO0	SPBMI/SPBIO1	SPBIO2

17.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n = 1 ~ 3)

P7n 端子機能制御レジスタ (P7nPFS) は、使用する端子の機能を選択するレジスタです。P7nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス P71PFS A000 0239h、P72PFS A000 023Ah、P73PFS A000 023Bh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.9 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.9 端子入出力機能レジスタ設定

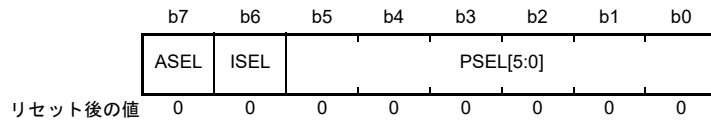
PSEL[5:0] ビット 設定値	端子		
	P71	P72	P73
000000b (リセット後の値)	Hi-Z		
001010b	SCK1	TXD1	RXD1
011101b	TOC2	TIC2	—
100111b	TRACECTL	TRACEDATA0	TRACEDATA1

注. — : 設定しないでください。

17.2.10 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 7)

P9n 端子機能制御レジスタ (P9nPFS) は、使用する端子の機能を選択するレジスタです。P9nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビット、アナログ入力機能のない端子の ASEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス P90PFS A000 0248h、P91PFS A000 0249h、P92PFS A000 024Ah、P93PFS A000 024Bh、P94PFS A000 024Ch、P95PFS A000 024Dh、P96PFS A000 024Eh、P97PFS A000 024Fh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.10 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	ASEL	アナログ入力機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

ASEL ビットを“1”にした場合は、ISEL ビットを“1”にしても IRQn 入力端子として機能しません。

ASEL ビット (アナログ入力機能選択ビット)

端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ (PORTm.PMR) で汎用入出力ポートを選択し、ポート方向レジスタ (PORTm.PDR) で不使用としてください。このとき、端子状態を読むことはできません。

表 17.10 端子入出力機能レジスタ設定

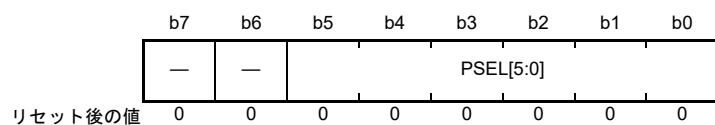
PSEL[5:0] ビット 設定値	端子							
	P90	P91	P92	P93	P94	P95	P96	P97
00000b (リセット後の値)	Hi-Z							
000011b	TIOCA5	—	—	—	—	—	—	—
001001b	—	—	—	—	—	—	—	ADTRG1
001011b	—	TXD2	RXD2	SCK2	RTS2#	CTS2#	—	—
001100b	TXD4	—	—	—	—	—	—	—
011101b	—	—	TOC3	TIC3	—	—	—	—

注. — : 設定しないでください。

17.2.11 PAn 端子機能制御レジスタ (PAnPFS) (n = 3 ~ 5)

PAn 端子機能制御レジスタ (PAnPFS) は、使用する端子の機能を選択するレジスタです。PAnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス PA3PFS A000 0253h、PA4PFS A000 0254h、PA5PFS A000 0255h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.11 を参照してください。	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

表 17.11 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子		
	PA3	PA4	PA5
000000b (リセット後の値)	Hi-Z		
000011b	TIOCA2	TIOCA3	TIOCA4
001001b	—	ADTRG0	—
001010b	SCK2	RXD2	TXD2
101011b	MMDC1 (注1)	—	MMDIO1 (注1)

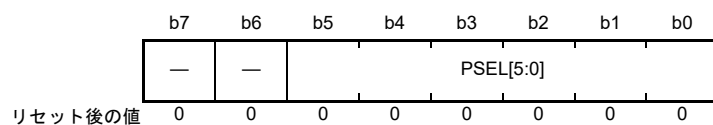
注. — : 設定しないでください。

注1. MDIO マスタ (オプション) 搭載製品のみ。

17.2.12 PCn 端子機能制御レジスタ (PCnPFS) (n = 2, 3, 6, 7)

PCn 端子機能制御レジスタ (PCnPFS) は、使用する端子の機能を選択するレジスタです。PCnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス PC2PFS A000 0262h、PC3PFS A000 0263h、PC6PFS A000 0266h、PC7PFS A000 0267h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.12 を参照してください。	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

表 17.12 端子入出力機能レジスタ設定

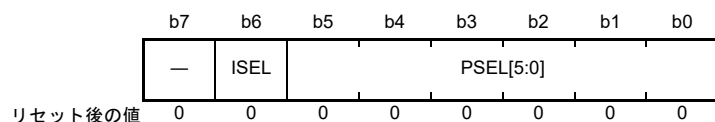
PSEL[5:0] ビット 設定値	端子			
	PC2	PC3	PC6	PC7
000000b (リセット後の値)	Hi-Z			
000011b	—	—	TCLKC	—
001010b	—	RXD4	—	—
001111b	SDA0	SCL0	SCL1	SDA1
011101b	—	—	—	TIC0

注. — : 設定しないでください。

17.2.13 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)

PEn 端子機能制御レジスタ (PEnPFS) は、使用する端子の機能を選択するレジスタです。PEnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス PE0PFS A000 0270h、PE1PFS A000 0271h、PE2PFS A000 0272h、PE3PFS A000 0273h、PE4PFS A000 0274h、PE5PFS A000 0275h、PE6PFS A000 0276h、PE7PFS A000 0277h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.13 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.13 端子入出力機能レジスタ設定

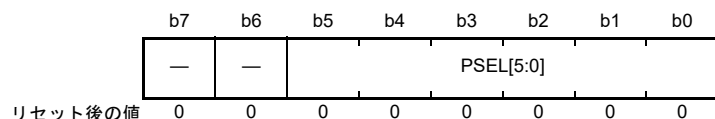
PSEL[5:0] ビット 設定値	端子							
	PE0	PE1	PE2	PE3	PE4	PE5	PE6	PE7
000000b (リセット 後の値)	Hi-Z							
000011b	TIOCB2	TIOCB3	TIOCB4	TIOCB5	TIOCC0	TIOCC3	TIOCD0	TIOCD3
001100b	—	—	—	CTS1#	RTS1#	TXD1	RXD1	SCK1
001110b	—	SSL03	SSL02	SSL01	SSL00	MOSI0	MISO0	RSPCK0
100111b	TRACEDATA0	TRACEDATA1	TRACEDATA2	TRACEDATA3	TRACEDATA4	TRACEDATA5	TRACEDATA6	TRACEDATA7

注. — : 設定しないでください。

17.2.14 PGn 端子機能制御レジスタ (PGnPFS) (n = 2 ~ 6)

PGn 端子機能制御レジスタ (PGnPFS) は、使用する端子の機能を選択するレジスタです。PGnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス PG2PFS A000 0282h、PG3PFS A000 0283h、PG4PFS A000 0284h、PG5PFS A000 0285h、PG6PFS A000 0286h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.14 を参照してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

表 17.14 端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子				
	PG2	PG3	PG4	PG5	PG6
000000b (リセット後の値)	Hi-Z				
000011b	—	—	—	TCLKA	TCLKB
001101b	RSPCK1	MISO1	MOSI1	SSL10	SSL11
011101b	TOC0	TIC1	TOC1	—	—

注. — : 設定しないでください。

17.3 使用上の注意事項

17.3.1 端子入出力機能の設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. 当該端子のポート方向レジスタ (PDR) を“00”、ポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
2. 各周辺機能モジュールで、当該端子にアサインする入出力信号を設定します。
3. PWPR.BOWI ビットを“0”にした後、PWPR.PFSWE ビットを“1”に設定することで、Pmn 端子機能制御レジスタ (PmnPFS) ($m=0\sim 7, 9, A, C, E, G, n=0\sim 7$) を書き込み可能にします。
4. PmnPFS.PSEL[5:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを“0”にして、PmnPFS レジスタへの書き込みを禁止してください。
6. 必要に応じて選択した端子に対する PMR レジスタの該当ビットを“1”にして、周辺機能の端子入出力機能に切り替えます。
7. 必要に応じて PDR レジスタを“10”にすることで、ポート状態をリードできます。

17.3.2 MPC レジスタ設定時の注意事項

1. Pmn 端子機能制御レジスタ (PmnPFS) ($m=0\sim 7, 9, A, C, E, G, n=0\sim 7$) を設定するときは、PMR レジスタの当該端子に相当するビットが“0”の状態を設定してください。PMR レジスタの当該ビットが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力される可能性があります。また出力機能の場合は意図しないパルスが出力される可能性があります。
2. PmnPFS.ISEL ビットを設定し IRQ、NMI 端子割り込みを使用する場合、当該端子の PMR レジスタの値にかかわらず、「12.3.3 外部端子割り込み」の [IRQ 端子の場合] および「12.3.4 NMI 端子割り込み」の手順にしたがって設定してください。異なる手順で PmnPFS.ISEL ビットを設定した場合、意図しないエッジが入力され誤動作を起こす可能性があります。
3. PmnPFS レジスタで設定可能な機能以外には設定しないでください。指定機能以外に設定した場合の動作は保証されません。
4. MPC のレジスタ設定で同一の機能を複数の端子に割り当てないでください。
5. ポート 9 は A/D コンバータのアナログ入力端子の機能も兼ねています。アナログ入力端子として使用する場合は、精度を劣化させないために、ポートモードレジスタ (PMR) の当該端子のビットを“0”にし、ポート方向レジスタ (PDR) の当該端子のビットを“00”にして端子を不使用にした後、PmnPFS.ASEL ビットを“1”にしてください。
6. 機能を兼用している端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR)、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 17.15 に示します。端子状態の読み出しは、Pmn 端子機能制御レジスタの ASEL ビットが“0”のとき可能です。PSEL[5:0] ビットの変更は、PMR レジスタの当該端子に相当するビットが“0”のときに行ってください。

表 17.15 レジスタの設定

項目	PMR.Bn	PDR.Bn[1:0]	PmnPFS			注意事項
			ASEL	ISEL	PSEL[5:0]	
リセット解除後	0 (注1)	00	0	0	000000b (注1)	リセット解除後は不使用 (Hi-z入力保護) 状態です
不使用時	0	00	0	0	x	
汎用入出力ポート	0	10/11 (注2)	0	0/1 (注3)	x	割り込み入力と併用する場合は、PmnPFS.ISELビットを“1”にしてください
周辺機能	1	00/10 (注4)	0	0/1 (注3)	周辺機能 (表 17.2～表 17.14を参照)	割り込み入力と併用する場合は、PmnPFS.ISELビットを“1”にしてください ポートリード機能 (PIDR.Bnビットでポートの端子状態読み出し) と併用する場合は、PDR.Bn[1:0]ビットを“10”にしてください
割り込み入力 (NMI, IRQ0～4、6、7)	0	10	0	1	x	
アナログ入力	0	00	1	x (注5)	x	アナログ入力端子として使用する場合は、精度を劣化させないために、ポートモードレジスタ (PMR) の当該端子のビットを“0”にし、ポート方向レジスタ (PDR) の当該端子のビットを“00”にして端子を不使用にした後、PmnPFS.ASELビットを“1”にしてください

x: 設定不要

- 注1. PORT3.PMR, P33PFS.PSEL[5:0], P34PFS.PSEL[5:0]はリセット解除後の値が異なります。
PSEL[5:0]ビットの詳細は、「17.2.5 P3n端子機能制御レジスタ (P3nPFS) (n=3～5)」を参照してください。
PORT3.PMRについては、「16.3.4 ポートモードレジスタ (PMR)」を参照してください。
- 注2. PDR.Bn[1:0]ビットを“10”にすることで、汎用入力ポートとして機能します。
PDR.Bn[1:0]ビットを“11”にすることで、汎用出力ポートとして機能します。
- 注3. PmnPFS.ISELビットを“0”にした場合、IRQ端子として機能しません。
PmnPFS.ISELビットを“1”にすることで、IRQ端子として機能します (IRQ機能を兼用している場合)。
- 注4. PDR.Bn[1:0]ビットを“00”にした場合、ポートリード機能 (PIDR.Bnビットでポートの端子状態読み出し) は使用できません。
PDR.Bn[1:0]ビットを“10”にすることで、ポート端子の状態を読み出すことができます。
- 注5. PmnPFS.ISELビットを“1”にしても、IRQn入力端子として機能しません。

17.3.3 ポートリード機能を使用する場合の注意事項

周辺機能で端子方向が双方向または出力である機能を使用する場合、端子の PDR レジスタを“00”（初期値）から“10”（入力許可）にすることで、周辺機能を使用しながら PIDR レジスタでポートの端子状態を読み出す（ポートリード機能）ことができます。

周辺機能において端子方向が入力の機能および表 17.16 に示す入出力の機能は、常に入力が許可されており、PDR レジスタの設定をすることなくポートリード機能と併用することができます。

ただし、該当する外部端子が Hi-z 状態になると貫通電流が流れるため、外部端子が Hi-z 状態になる場合は端子をプルアップもしくはプルダウンして使用してください。

表 17.16 常時入力許可機能一覧 (1/2)

モジュール/機能	チャンネル	端子機能	
16ビットタイマパルスユニット	TPU0	TIOCA0 (入出力)	
		TIOCB0 (入出力)	
		TIOCC0 (入出力)	
		TIOCD0 (入出力)	
	TPU1	TPU2	TIOCA1 (入出力)
			TIOCB1 (入出力)
	TPU3	TPU4	TIOCA2 (入出力)
			TIOCB2 (入出力)
			TIOCA3 (入出力)
			TIOCB3 (入出力)
	TPU5	TPU5	TIOCC3 (入出力)
			TIOCD3 (入出力)
			TIOCA4 (入出力)
			TIOCB4 (入出力)
FIFO 内蔵シリアルコミュニケーション インタフェース (SCIFA)	SCI0	TIOCA5 (入出力)	
		TIOCB5 (入出力)	
		RXD0 (入力)	
		SCK0 (入出力)	
	SCI1	SCI2	CTS0# (入出力)
			RTS0# (出力)
			RXD1 (入力)
			SCK1 (入出力)
	SCI4	SCI4	CTS1# (入出力)
			RTS1# (出力)
			RXD2 (入力)
			SCK2 (入出力)
	SCI4	SCI4	CTS2# (入出力)
			RTS2# (出力)
			RXD4 (入力)
			SCK4 (入出力)
SCI4	SCI4	CTS4# (入出力)	
		RTS4# (出力)	

表 17.16 常時入力許可機能一覧 (2 / 2)

モジュール/機能	チャンネル	端子機能
シリアルペリフェラルインタフェース	RSPI0	RSPCK0 (入出力)
		MOSI0 (入出力)
		MISO0 (入出力)
		SSL00 (入出力)
	RSPI1	RSPCK1 (入出力)
		MOSI1 (入出力)
		MISO1 (入出力)
		SSL10 (入出力)
SPIマルチI/Oバスコントローラ		SPBMO/SPBIO0 (入出力)
		SPBMI/SPBIO1 (入出力)
		SPBIO2 (入出力)
		SPBIO3 (入出力)

18. 16ビットタイマパルスユニット (TPUa)

本LSIは、6チャンネルの16ビットタイマで構成される16ビットタイマパルスユニット (TPU) を1ユニット (ユニット0)、合計6チャンネル (TPU0～TPU5) を内蔵しています。

18.1 概要

表18.1にTPUの仕様を、表18.2にTPUの機能一覧を示します。

図18.1にTPUのブロック図を示します。

表18.1 TPUの仕様

項目	内容
パルス入出力	最大16本
カウントクロック	各チャンネルに7種類または8種類
設定可能動作	<ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能 (ノイズフィルタ設定可能) カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 同期動作と組み合わせることによる最大15相のPWM出力 カスケード接続動作
チャンネル0、3	バッファ動作を設定可能
チャンネル1、2、4、5	個々に位相計数モードを設定可能
割り込み要因	26種類
バッファ動作	レジスタデータの自動転送
トリガ生成	A/Dコンバータの変換開始トリガを生成可能
イベントリンク機能 (出力)	イベント6種類をELCに出力可能 <ul style="list-style-type: none"> コンペアマッチA (TPU0～3) コンペアマッチB (TPU0～3) コンペアマッチC (TPU0、3) コンペアマッチD (TPU0、3) オーバフロー (TPU0～3) アンダフロー (TPU1、2)
イベントリンク機能 (入力)	イベント受付による3種類のうち、いずれかの動作が可能 <ul style="list-style-type: none"> カウントスタート動作 (TPU0～3) カウントクリア動作 (TPU0～3) インプットキャプチャ動作 (TPU0～3)
消費電力低減機能	モジュールストップ状態の設定が可能

表 18.2 TPUの機能一覧 (1 / 2)

項目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
カウントクロック (注1)	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 TCLKA TCLKB TCLKC TCLKD	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 TCLKA TCLKB	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/1024 TCLKA TCLKB TCLKC	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024 PCLKD/4096 TCLKA	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/1024 TCLKA TCLKC	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 TCLKA TCLKC TCLKD
タイマジェネラル レジスタ	TGRA TGRB TGRC (注2) TGRD (注2)	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC (注2) TGRD (注2)	TGRA TGRB	TGRA TGRB
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア機能	TGRyのコンペアマッチまたは インプットキャプチャ	TGRyのコンペアマッチまたは インプットキャプチャ	TGRyのコンペアマッチまたは インプットキャプチャ	TGRyのコンペアマッチまたは インプットキャプチャ	TGRyのコンペアマッチまたは インプットキャプチャ	TGRyのコンペアマッチまたは インプットキャプチャ
コンペア マッチ 出力	Low出力	○	○	○	○	○
	High出力	○	○	○	○	○
	トグル 出力	○	○	○	○	○
インプットキャプチャ 機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWMモード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DMACの起動	TGRA、TGRB のコンペアマッ チまたはイン プットキャプ チャ	TGRA、TGRB のコンペアマッ チまたはイン プットキャプ チャ	TGRA、TGRB のコンペアマッ チまたはイン プットキャプ チャ	TGRA、TGRB のコンペアマッ チまたはイン プットキャプ チャ	TGRA、TGRB のコンペアマッ チまたはイン プットキャプ チャ	TGRA、TGRB のコンペアマッ チまたはイン プットキャプ チャ
A/D変換開始トリガ	TGRAのコンペア マッチまたは インプットキャ プチャ	TGRAのコンペア マッチまたは インプットキャ プチャ	TGRAのコンペア マッチまたは インプットキャ プチャ	TGRAのコンペア マッチまたは インプットキャ プチャ	TGRAのコンペア マッチまたは インプットキャ プチャ	—
割り込み要因	5要因 <ul style="list-style-type: none"> コンペアマッチ ／インプット キャプチャ 0A コンペアマッチ ／インプット キャプチャ 0B コンペアマッチ ／インプット キャプチャ 0C コンペアマッチ ／インプット キャプチャ 0D オーバフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ ／インプット キャプチャ 1A コンペアマッチ ／インプット キャプチャ 1B オーバフロー アンダフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ ／インプット キャプチャ 2A コンペアマッチ ／インプット キャプチャ 2B オーバフロー アンダフロー 	5要因 <ul style="list-style-type: none"> コンペアマッチ ／インプット キャプチャ 3A コンペアマッチ ／インプット キャプチャ 3B コンペアマッチ ／インプット キャプチャ 3C コンペアマッチ ／インプット キャプチャ 3D オーバフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ ／インプット キャプチャ 4A コンペアマッチ ／インプット キャプチャ 4B オーバフロー アンダフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ ／インプット キャプチャ 5A コンペアマッチ ／インプット キャプチャ 5B オーバフロー アンダフロー

表 18.2 TPUの機能一覧 (2 / 2)

項目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
イベントリンク機能 (出力)	5要因 <ul style="list-style-type: none"> コンペアマッチ 0A コンペアマッチ 0B コンペアマッチ 0C コンペアマッチ 0D オーバフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ 1A コンペアマッチ 1B オーバフロー アンダフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ 2A コンペアマッチ 2B オーバフロー アンダフロー 	5要因 <ul style="list-style-type: none"> コンペアマッチ 3A コンペアマッチ 3B コンペアマッチ 3C コンペアマッチ 3D オーバフロー 	—	—
イベントリンク機能 (入力)	<ul style="list-style-type: none"> カウンタスタート動作 カウンタクリア動作 インプットキャプチャ動作 (TGRAにキャプチャ) 	<ul style="list-style-type: none"> カウンタスタート動作 カウンタクリア動作 インプットキャプチャ動作 (TGRAにキャプチャ) 	<ul style="list-style-type: none"> カウンタスタート動作 カウンタクリア動作 インプットキャプチャ動作 (TGRAにキャプチャ) 	<ul style="list-style-type: none"> カウンタスタート動作 カウンタクリア動作 インプットキャプチャ動作 (TGRAにキャプチャ) 	—	—
モジュールストップの設定 (注3)	MSTPCRA.MSTPCRA8ビット					

○：可能

—：不可能

注1. 位相計数モードでは、本表と異なる外部クロックが使用可能となります。詳細については「18.3.6 位相計数モード」を参照してください。

注2. TGRCレジスタとTGRDレジスタは、バッファレジスタとして設定できます。

注3. 詳細は「9. 消費電力低減機能」を参照してください。

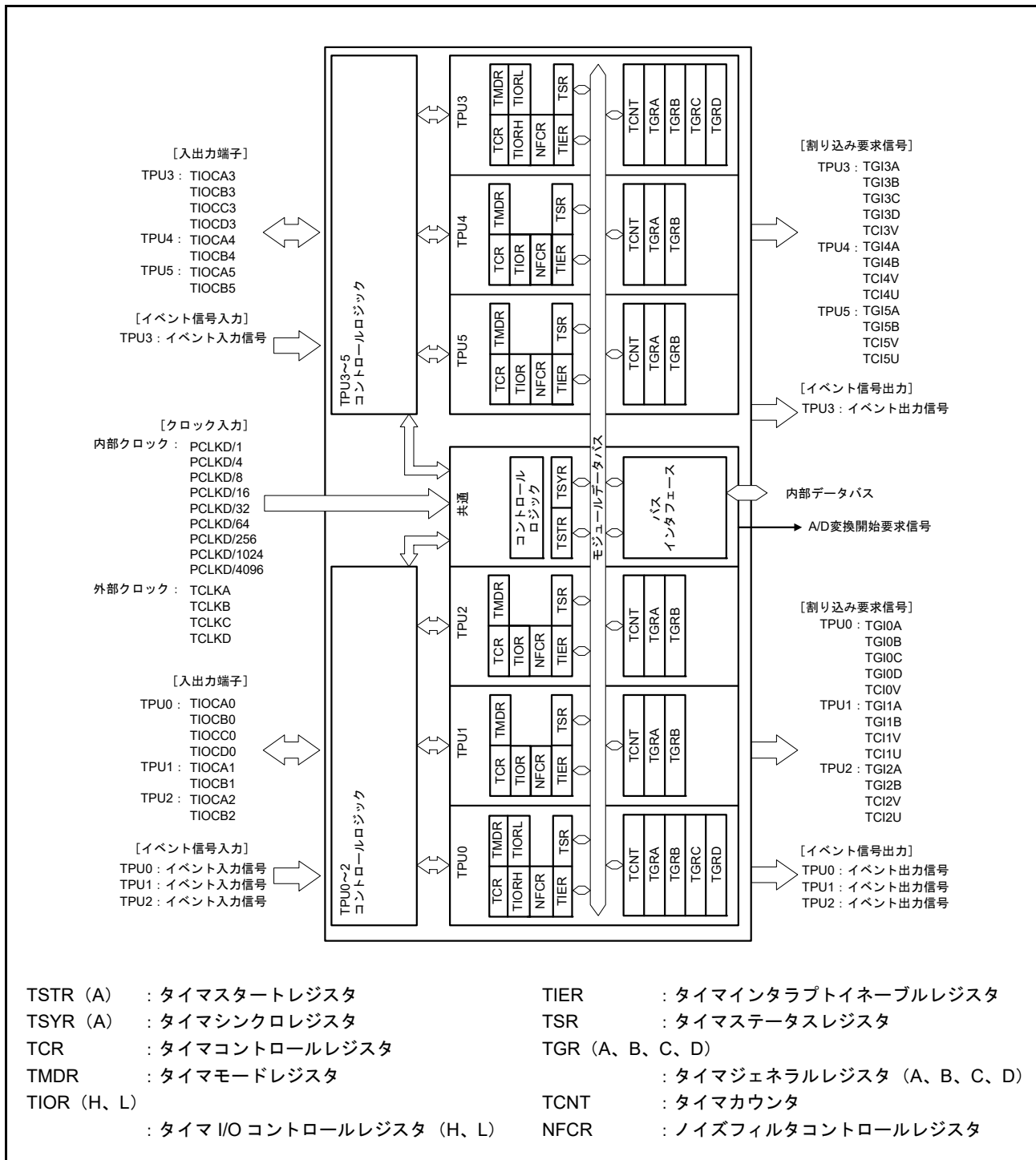


図 18.1 TPU のブロック図

表 18.3 に TPU で使用する入出力端子を示します。

表 18.3 TPUの入出力端子

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロックA入力端子 (TPU1、TPU5の位相計数モードA相入力)
	TCLKB	入力	外部クロックB入力端子 (TPU1、TPU5の位相計数モードB相入力)
	TCLKC	入力	外部クロックC入力端子 (TPU2、TPU4の位相計数モードA相入力)
	TCLKD	入力	外部クロックD入力端子 (TPU2、TPU4の位相計数モードB相入力)
TPU0	TIOCA0	入出力	TPU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB0	入出力	TPU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCC0	入出力	TPU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCD0	入出力	TPU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU1	TIOCA1	入出力	TPU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB1	入出力	TPU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU2	TIOCA2	入出力	TPU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB2	入出力	TPU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU3	TIOCA3	入出力	TPU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB3	入出力	TPU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCC3	入出力	TPU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCD3	入出力	TPU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU4	TIOCA4	入出力	TPU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB4	入出力	TPU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU5	TIOCA5	入出力	TPU5.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB5	入出力	TPU5.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

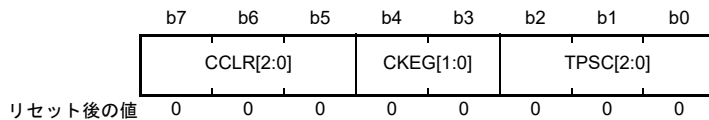
18.2 レジスタの説明

18.2.1 タイマコントロールレジスタ (TCR)

TPUには、各チャンネルに1本、計6本のTCRレジスタがあります。

TCRレジスタは、各チャンネルのTCNTカウンタを制御するレジスタです。TCRレジスタの設定は、TCNTカウンタの動作が停止した状態で行ってください。

アドレス TPU0.TCR A008 0110h、TPU1.TCR A008 0120h、TPU2.TCR A008 0130h、TPU3.TCR A008 0140h、TPU4.TCR A008 0150h、TPU5.TCR A008 0160h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケーラ選択ビット	表 18.4～表 18.9を参照してください。	R/W
b4-b3	CKEG[1:0]	入力クロックエッジ選択ビット	表 18.10を参照してください。	R/W
b7-b5	CCLR[2:0] (注1)	カウンタクリア要因選択ビット	表 18.11、表 18.12を参照してください。	R/W

注1. TPU1.TCR、TPU2.TCR、TPU4.TCR、TPU5.TCRレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPSC[2:0] ビット (タイマプリスケーラ選択ビット)

TCNTカウンタのクロックを選択します。各チャンネル個々にクロックを選択することができます。

クロックに外部クロックを選択する場合は、該当する端子のポート方向レジスタ (PDR) のビットを“0” (入力ポート) に、ポートモードレジスタ (PMR) のビットを“1” (周辺機能として使用) にしてください。詳細は、「16. I/Oポート」を参照してください。

CKEG[1:0] ビット (入力クロックエッジ選択ビット)

入力クロックのエッジを選択します。

内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります (例: PCLKD/4の両エッジ = PCLKD/2の立ち上がりエッジ)。

内部クロックのエッジ選択は、入力クロックがPCLKD/4、もしくはそれより遅い場合に有効です。入力クロックにPCLKD/1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、この設定は無視されます。

CCLR[2:0] ビット (カウンタクリア要因選択ビット)

TCNTカウンタのクリア要因を選択します。

表 18.4 TPSC[2:0]ビット (TPU0)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU0	0	0	0	内部クロック : PCLKD/1でカウント
	0	0	1	内部クロック : PCLKD/4でカウント
	0	1	0	内部クロック : PCLKD/16でカウント
	0	1	1	内部クロック : PCLKD/64でカウント
	1	0	0	外部クロック • TPU0 : TCLKA 端子入力でカウント
	1	0	1	外部クロック • TPU0 : TCLKB 端子入力でカウント
	1	1	0	外部クロック • TPU0 : TCLKC 端子入力でカウント
	1	1	1	外部クロック • TPU0 : TCLKD 端子入力でカウント

表 18.5 TPSC[2:0]ビット (TPU1)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU1	0	0	0	内部クロック : PCLKD/1でカウント
	0	0	1	内部クロック : PCLKD/4でカウント
	0	1	0	内部クロック : PCLKD/16でカウント
	0	1	1	内部クロック : PCLKD/64でカウント
	1	0	0	外部クロック • TPU1 : TCLKA 端子入力でカウント
	1	0	1	外部クロック • TPU1 : TCLKB 端子入力でカウント
	1	1	0	内部クロック : PCLKD/256でカウント
	1	1	1	• TPU1 TPU2.TCNTカウンタのオーバーフロー/アンダフローでカウント

注. TPU1が位相計数モード時、この設定は無効になります。

表 18.6 TPSC[2:0]ビット (TPU2)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU2	0	0	0	内部クロック : PCLKD/1でカウント
	0	0	1	内部クロック : PCLKD/4でカウント
	0	1	0	内部クロック : PCLKD/16でカウント
	0	1	1	内部クロック : PCLKD/64でカウント
	1	0	0	外部クロック • TPU2 : TCLKA 端子入力でカウント
	1	0	1	外部クロック • TPU2 : TCLKB 端子入力でカウント
	1	1	0	外部クロック • TPU2 : TCLKC 端子入力でカウント
	1	1	1	内部クロック : PCLKD/1024でカウント

注. TPU2が位相計数モード時、この設定は無効になります。

表 18.7 TPSC[2:0]ビット (TPU3)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU3	0	0	0	内部クロック : PCLKD/1でカウント
	0	0	1	内部クロック : PCLKD/4でカウント
	0	1	0	内部クロック : PCLKD/16でカウント
	0	1	1	内部クロック : PCLKD/64でカウント
	1	0	0	外部クロック • TPU3 : TCLKA端子入力でカウント
	1	0	1	内部クロック : PCLKD/1024でカウント
	1	1	0	内部クロック : PCLKD/256でカウント
	1	1	1	内部クロック : PCLKD/4096でカウント

表 18.8 TPSC[2:0]ビット (TPU4)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU4	0	0	0	内部クロック : PCLKD/1でカウント
	0	0	1	内部クロック : PCLKD/4でカウント
	0	1	0	内部クロック : PCLKD/16でカウント
	0	1	1	内部クロック : PCLKD/64でカウント
	1	0	0	外部クロック • TPU4 : TCLKA端子入力でカウント
	1	0	1	外部クロック • TPU4 : TCLKC端子入力でカウント
	1	1	0	内部クロック : PCLKD/1024でカウント
	1	1	1	• TPU4 TPU5.TCNTカウンタのオーバフロー/アンダフローでカウント

注. TPU4が位相計数モード時、この設定は無効になります。

表 18.9 TPSC[2:0]ビット (TPU5)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU5	0	0	0	内部クロック : PCLKD/1でカウント
	0	0	1	内部クロック : PCLKD/4でカウント
	0	1	0	内部クロック : PCLKD/16でカウント
	0	1	1	内部クロック : PCLKD/64でカウント
	1	0	0	外部クロック • TPU5 : TCLKA端子入力でカウント
	1	0	1	外部クロック • TPU5 : TCLKC端子入力でカウント
	1	1	0	内部クロック : PCLKD/256でカウント
	1	1	1	外部クロック • TPU5 : TCLKD端子入力でカウント

注. TPU5が位相計数モード時、この設定は無効になります。

表 18.10 CKEG[1:0]ビット

CKEG[1:0]ビット		入クロック	
b4	b3	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	0	両エッジでカウント	両エッジでカウント
1	1	両エッジでカウント	両エッジでカウント

表 18.11 CCLR[2:0]ビット (TPU0、TPU3)

チャンネル	CCLR[2:0]ビット			機能
	b7	b6	b5	
TPU0、TPU3	0	0	0	TCNTカウンタのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTカウンタをクリア (注2)
	1	0	0	TCNTカウンタのクリア禁止
	1	0	1	TGRCレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア (注1)
	1	1	0	TGRDレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア (注1)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTカウンタをクリア (注2)

注1. TGRC、またはTGRDレジスタをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTカウンタはクリアされません。

注2. 同期動作の設定は、TPUA.TSYRA.SYNCjビット (j=0, 3) を“1”にすることによって行います。

表 18.12 CCLR[2:0]ビット (TPU1、TPU2、TPU4、TPU5)

チャンネル	CCLR[2:0]ビット (注1)			機能
	b7	b6	b5	
TPU1、TPU2、 TPU4、TPU5	0	0	0	TCNTカウンタのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTカウンタをクリア (注2)
	1	0	0	設定しないでください
	1	0	1	設定しないでください
	1	1	0	設定しないでください
	1	1	1	設定しないでください

注1. TPU1.TCR、TPU2.TCR、TPU4.TCR、TPU5.TCRレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

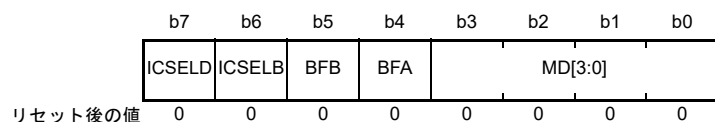
注2. 同期動作の設定は、TPUA.TSYRA.SYNCjビット (j=1, 2, 4, 5) を“1”にすることによって行います。

18.2.2 タイマモードレジスタ (TMDR)

TMDR レジスタは、各チャンネルの動作モードを設定するレジスタです。

TPU には、各チャンネルに 1 本、計 6 本の TMDR レジスタがあります。TMDR レジスタの設定は、TCNT カウンタの動作が停止した状態で行ってください。

アドレス TPU0.TMDR A008 0111h、TPU1.TMDR A008 0121h、TPU2.TMDR A008 0131h、TPU3.TMDR A008 0141h、TPU4.TMDR A008 0151h、TPU5.TMDR A008 0161h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	b3 (注1) b0 0 0 0 0 : 通常動作 0 0 1 0 : PWMモード1 0 0 1 1 : PWMモード2 0 1 0 0 : 位相計数モード1 (注2) 0 1 0 1 : 位相計数モード2 (注2) 0 1 1 0 : 位相計数モード3 (注2) 0 1 1 1 : 位相計数モード4 (注2) 上記以外は設定しないでください	R/W
b4	BFA (注3)	バッファ動作Aビット	0 : TPUm.TGRA レジスタは通常動作 1 : TPUm.TGRA レジスタと TPUm.TGRC レジスタはバッファ動作 (m = 0, 3)	R/W
b5	BFB (注4)	バッファ動作Bビット	0 : TPUm.TGRB レジスタは通常動作 1 : TPUm.TGRB レジスタと TPUm.TGRD レジスタはバッファ動作 (m = 0, 3)	R/W
b6	ICSELB	TGRB インพุットキャプチャ入力選択ビット	0 : インพุットキャプチャ入力元はTIOCBn端子 1 : インพุットキャプチャ入力元はTIOCA n端子 (n = 0~5)	R/W
b7	ICSELD (注4)	TGRD インพุットキャプチャ入力選択ビット	0 : インพุットキャプチャ入力元はTIOCDn端子 1 : インพุットキャプチャ入力元はTIOCCn端子 (n = 0, 3)	R/W

注1. b3は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. TPU0、TPU3では、位相計数モードの設定はできません。b2は“0”にしてください。

注3. TGRC レジスタを持たないTPU1、TPU2、TPU4、TPU5では、b4は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注4. TGRD レジスタを持たないTPU1、TPU2、TPU4、TPU5では、b5、b7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

MD[3:0] ビット (モード選択ビット)

タイマの動作モードを設定します。

BFA ビット (バッファ動作 A ビット)

TPUm.TGRA レジスタを通常動作させるか、TPUm.TGRA レジスタと TPUm.TGRC レジスタを組み合わせでバッファ動作させるかを選択します。(m = 0, 3)

TGRC レジスタをバッファレジスタとして使用した場合は、TGRC レジスタのインพุットキャプチャ/アウトプットコンペアは発生しません。

BFB ビット (バッファ動作 B ビット)

TPUm.TGRB レジスタを通常動作させるか、TPUm.TGRB レジスタと TPUm.TGRD レジスタを組み合わせでバッファ動作させるかを選択します。(m = 0, 3)

TGRD レジスタをバッファレジスタとして使用した場合は、TGRD レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

ICSELB ビット (TGRB インプットキャプチャ入力選択ビット)

TPUm.TGRB レジスタのインプットキャプチャ入力を選択します。この機能を使用して 1 本の TIOCAN 入力端子で入力パルスの High 幅と周期を測定できます。(m = 0 ~ 5)

ICSELD ビット (TGRD インプットキャプチャ入力選択ビット)

TPUm.TGRD レジスタのインプットキャプチャ入力を選択します。(m = 0, 3)

この機能を使用して 1 本の TIOCCn 入力端子で入力パルスの High 幅と周期を測定できます。

18.2.3 タイマ I/O コントロールレジスタ (TIORH、TIORL、TIOR)

TPUには、TPU0、TPU3に各1本、計2本のTIORHレジスタ、TPU0、TPU3に各1本、計2本のTIORLレジスタ、TPU1、TPU2、TPU4、TPU5に各1本、計4本のTIORレジスタがあります。総計8本のタイマI/Oコントロールレジスタがあります。

TIORH、TIORL、TIORレジスタは、TGRA～TGRDレジスタを制御します。

TIORH、TIORL、TIORレジスタは、TMDRレジスタの設定の影響を受けますので注意してください。

詳細は表 18.13～表 18.20 を参照してください。

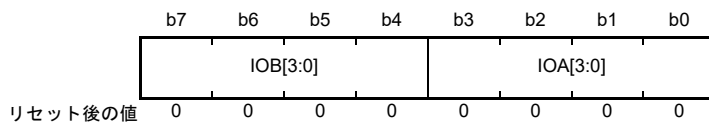
TIORH、TIORL、TIORレジスタで指定した初期出力は、カウンタのカウント動作が停止した状態 (TPUA.TSTRA.CSTj ビット (j=0～5) が“0”) で有効になります。また、PWM モード2の場合の初期出力には、TCNT カウンタが“0”になった時点での出力を指定します。

TGRCレジスタまたはTGRDレジスタをバッファ動作に設定した場合、IOC[3:0]ビットまたはIOD[3:0]ビットで設定したレジスタの機能は無効となり、TGRCレジスタまたはTGRDレジスタはバッファレジスタとして動作します。

TIORH、TIORL、TIORレジスタでインプットキャプチャとしての機能を選択する場合は、該当する端子のポート方向レジスタ (PDR) のビットを“0” (入力ポート) に、ポートモードレジスタ (PMR) のビットを“1” (周辺機能として機能) にしてください。詳細は、「16. I/Oポート」を参照してください。

- TPU0.TIORH、TPU1.TIOR、TPU2.TIOR、TPU3.TIORH、TPU4.TIOR、TPU5.TIOR

アドレス TPU0.TIORH A008 0112h、TPU1.TIOR A008 0122h、TPU2.TIOR A008 0132h、TPU3.TIORH A008 0142h、TPU4.TIOR A008 0152h、TPU5.TIOR A008 0162h

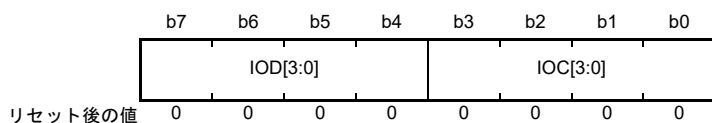


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	TGRAレジスタコントロールビット	表 18.13～表 18.18 を参照してください。(注1)	R/W
b7-b4	IOB[3:0]	TGRBレジスタコントロールビット	表 18.13～表 18.18 を参照してください。(注1)	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO[n]3:0ビット (n=A、B) の値を出力禁止 (“0000b”または“0100b”) へ変更するとHi-Zになります。

- TPU0.TIORL、TPU3.TIORL

アドレス TPU0.TIORL A008 0113h、TPU3.TIORL A008 0143h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	TGRCレジスタコントロールビット	表 18.19、表 18.20を参照してください。(注1)	R/W
b7-b4	IOD[3:0]	TGRDレジスタコントロールビット	表 18.19、表 18.20を参照してください。(注1)	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO_n[3:0]ビット (n = C, D) の値を出力禁止 ("0000b"または"0100b") へ変更するとHi-Zになります。

IOA[3:0] ビット (TGRA レジスタコントロールビット)

TPUm.TGRA レジスタ (m = 0 ~ 5) の機能を選択します。

IOB[3:0] ビット (TGRB レジスタコントロールビット)

TPUm.TGRB レジスタ (m = 0 ~ 5) の機能を選択します。

IOC[3:0] ビット (TGRC レジスタコントロールビット)

TPUm.TGRC レジスタ (m = 0, 3) の機能を選択します。

IOD[3:0] ビット (TGRD レジスタコントロールビット)

TPUm.TGRD レジスタ (m = 0, 3) の機能を選択します。

表 18.13 TPU0.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRA レジスタ (m = 0)の機能	TIOCA _n 端子 (n = 0) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA _n 端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA _n 端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA _n 端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU0の場合 キャプチャ入力元はTPU1のカウンタクロック TPU1.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ (注1)

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRB レジスタ (m = 0)の機能	TIOCB _n 端子 (n = 0) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注2)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注2)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注2)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU0の場合 キャプチャ入力元はTPU1のカウンタクロック TPU1.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ (注1)

x : Don't care

注1. TPUm.TCR.TPSC[2:0]ビットを“000b”とし、TPUm.TCNTカウンタのカウンタクロックにPCLKD/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません (m = 1)。

注2. TPUm.TMDR.ICSELBビットで選択します (m = 0)。

表 18.14 TPU1.TIOR

IOA[3:0] ビット				説明	
b3	b2	b1	b0	TPUm.TGRA レジスタ (m = 1) の機能	TIOCA _n 端子 (n = 1) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA _n 端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA _n 端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA _n 端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU1の場合 キャプチャ入力元はTPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0] ビット				説明	
b7	b6	b5	b4	TPUm.TGRB レジスタ (m = 1) の機能	TIOCB _n 端子 (n = 1) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU1の場合 キャプチャ入力元はTPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

注1. TPUm.TMDR.ICSELBビットで選択します (m = 1)。

表 18.15 TPU2.TIOR

IOA[3:0] ビット				説明	
b3	b2	b1	b0	TPUm.TGRA レジスタ (m = 2) の機能	TIOCA _n 端子 (n = 2) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA _n 端子、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCA _n 端子、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCA _n 端子、両エッジでインプットキャプチャ

IOB[3:0] ビット				説明	
b7	b6	b5	b4	TPUm.TGRB レジスタ (m = 2) の機能	TIOCB _n 端子 (n = 2) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 ^(注1) 、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 ^(注1) 、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 ^(注1) 、両エッジでインプットキャプチャ

x : Don't care

注1. TPUm.TMDR.ICSELB ビットで選択します (m = 2)。

表 18.16 TPU3.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRA レジスタ (m = 3)の機能	TIOCA _n 端子 (n = 3) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA _n 端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA _n 端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA _n 端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ (注1)

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRB レジスタ (m = 3)の機能	TIOCB _n 端子 (n = 3) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注2)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注2)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注2)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ (注1)

x : Don't care

注1. TPUm.TCR.TPSC[2:0]ビットを“000b”とし、TPUm.TCNTのカウントクロックにPCLKD/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません (m = 4)。

注2. TPUm.TMDR.ICSELBビットで選択します (m = 3)。

表 18.17 TPU4.TIOR

IOA[3:0] ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ (m = 4)の機能	TIOCA _n 端子 (n = 4) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA _n 端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA _n 端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA _n 端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU4の場合 キャプチャ入力元はTPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0] ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ (m = 4)の機能	TIOCB _n 端子 (n = 4) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU4の場合 キャプチャ入力元はTPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

注1. TPUm.TMDR.ICSELBビットで選択します (m = 4)。

表 18.18 TPU5.TIOR

IOA[3:0] ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ (m = 5)の機能	TIOCA _n 端子 (n = 5) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA _n 端子、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCA _n 端子、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCA _n 端子、両エッジでインプットキャプチャ

IOB[3:0] ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ (m = 5)の機能	TIOCB _n 端子 (n = 5) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、両エッジでインプットキャプチャ

x : Don't care

注1. TPUm.TMDR.ICSELB ビットで選択します (m = 5)。

表 18.19 TPU0.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRCレジスタ (m = 0)の機能	TIOCCn端子 (n = 0)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	キャプチャ入力元はTIOCCn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCCn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCCn端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU0の場合 キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ (注3)

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRDレジスタ (m = 0)の機能	TIOCDn端子 (n = 0)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注2)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注2)	キャプチャ入力元はTIOCDn/TIOCCn端子 (注4)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCDn/TIOCCn端子 (注4)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCDn/TIOCCn端子 (注4)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU0の場合 キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ (注3)

x : Don't care

- 注1. TPUm.TMDR.BFAビットを“1” (TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作) にして、TPUm.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません (m = 0)。
- 注2. TPUm.TMDR.BFBビットを“1” (TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作) にして、TPUm.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません (m = 0)。
- 注3. TPUm.TCR.TPSC[2:0]ビットを“000b”とし、TPUm.TCNTカウンタのカウントクロックにPCLKD/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません (m = 1)。
- 注4. TPUm.TMDR.ICSELDビットの設定で選択します (m = 0)。

表 18.20 TPU3.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRCレジスタ (m = 3) の機能	TIOCCn端子 (n = 3) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	キャプチャ入力元はTIOCCn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCCn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCCn端子、両エッジでインプットキャプチャ
1	1	x	x		TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのアップカウント/カウントダウンでインプット キャプチャ (注3)

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRDレジスタ (m = 3) の機能	TIOCDn端子 (n = 3) の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注2)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注2)	キャプチャ入力元はTIOCDn/TIOCCn端子 (注4)、立ち上がりエッジでイン プットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCDn/TIOCCn端子 (注4)、立ち下がりエッジでイン プットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCDn/TIOCCn端子 (注4)、両エッジでインプットキャ プチャ
1	1	x	x		TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのアップカウント/カウントダウンでインプット キャプチャ (注3)

x : Don't care

- 注1. TPUm.TMDR.BFAビットを“1” (TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作) にして、TPUm.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません (m = 3)。
- 注2. TPUm.TMDR.BFBビットを“1” (TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作) にして、TPUm.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません (m = 3)。
- 注3. TPUm.TCR.TPSC[2:0]ビットを“000b”とし、TPUm.TCNTのカウントクロックにPCLKD/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません (m = 4)。
- 注4. TPUm.TMDR.ICSELDビットの設定で選択します (m = 3)。

18.2.4 タイマ割り込み許可レジスタ (TIER)

TPUには、各チャンネルに1本、計6本のTIERレジスタがあります。

TPUAm.TIERレジスタは、各チャンネルの割り込みの許可、禁止を制御するレジスタです (m = 0 ~ 5)。

アドレス TPU0.TIER A008 0114h、TPU1.TIER A008 0124h、TPU2.TIER A008 0134h、TPU3.TIER A008 0144h、TPU4.TIER A008 0154h、TPU5.TIER A008 0164h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGRA割り込み許可ビット	0: 割り込み (TGImA) を禁止 1: 割り込み (TGImA) を許可 (m = 0 ~ 5)	R/W
b1	TGIEB	TGRB割り込み許可ビット	0: 割り込み (TGImB) を禁止 1: 割り込み (TGImB) を許可 (m = 0 ~ 5)	R/W
b2	TGIEC (注1)	TGRC割り込み許可ビット	0: 割り込み (TGImC) を禁止 1: 割り込み (TGImC) を許可 (m = 0, 3)	R/W
b3	TGIED (注1)	TGRD割り込み許可ビット	0: 割り込み (TGImD) を禁止 1: 割り込み (TGImD) を許可 (m = 0, 3)	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み (TCImV) を禁止 1: 割り込み (TCImV) を許可 (m = 0 ~ 5)	R/W
b5	TCIEU (注2)	アンダフロー割り込み許可ビット	0: 割り込み (TCImU) を禁止 1: 割り込み (TCImU) を許可 (m = 1, 2, 4, 5)	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b7	TTGE (注3)	A/D変換開始要求許可ビット	0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W

注1. TPU1.TIER、TPU2.TIER、TPU4.TIER、TPU5.TIERレジスタのb3、b2は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. TPU0.TIER、TPU3.TIERレジスタのb5は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注3. TPU5.TIERレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TGIEA ビット (TGRA 割り込み許可ビット)

割り込み (TGImA) を許可または禁止します (m = 0 ~ 5)。

TGIEB ビット (TGRB 割り込み許可ビット)

割り込み (TGImB) を許可または禁止します (m = 0 ~ 5)。

TGIEC ビット (TGRC 割り込み許可ビット)

割り込み (TGImC) を許可または禁止します (m = 0, 3)。

TGIED ビット (TGRD 割り込み許可ビット)

割り込み (TGImD) を許可または禁止します (m = 0, 3)。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み (TCImV) を許可または禁止します ($m = 0 \sim 5$)。

TCIEU ビット (アンダフロー割り込み許可ビット)

割り込み (TCImU) を許可または禁止します ($m = 1, 2, 4, 5$)。

TTGE ビット (A/D 変換開始要求許可ビット)

TPUm.TGRA レジスタ ($m = 0 \sim 4$) の入力キャプチャ/コンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。

18.2.5 タイマステータスレジスタ (TSR)

TPUには、各チャンネルに1本、計6本のTSRレジスタがあります。

TPUm.TSRレジスタは、各チャンネルのステータスおよびTPUm.TCNTカウンタのカウント方向を表示するレジスタです (m = 0 ~ 5)。

アドレス TPU0.TSR A008 0115h、TPU1.TSR A008 0125h、TPU2.TSR A008 0135h、TPU3.TSR A008 0145h、TPU4.TSR A008 0155h、TPU5.TSR A008 0165h

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGFA	インプットキャプチャ /アウトプットコンペア アフラグA	0 : TPUm.TGRAのインプットキャプチャまたはコンペアマッチが発生 していない 1 : TPUm.TGRAのインプットキャプチャまたはコンペアマッチが発生 (m = 0 ~ 5)	R/W (注2)
b1	TGFB	インプットキャプチャ /アウトプットコンペア アフラグB	0 : TPUm.TGRBのインプットキャプチャまたはコンペアマッチが発生 していない 1 : TPUm.TGRBのインプットキャプチャまたはコンペアマッチが発生 (m = 0 ~ 5)	R/W (注2)
b2	TGFC (注4)	インプットキャプチャ /アウトプットコンペア アフラグC	0 : TPUm.TGRCのインプットキャプチャまたはコンペアマッチが発生 していない 1 : TPUm.TGRCのインプットキャプチャまたはコンペアマッチが発生 (m = 0, 3)	R/W (注2)
b3	TGFD (注4)	インプットキャプチャ /アウトプットコンペア アフラグD	0 : TPUm.TGRDのインプットキャプチャまたはコンペアマッチが発生 していない 1 : TPUm.TGRDのインプットキャプチャまたはコンペアマッチが発生 (m = 0, 3)	R/W (注2)
b4	TCFV	オーバフローフラグ	0 : TPUm.TCNTのオーバフローが発生していない 1 : TPUm.TCNTのオーバフローが発生 (m = 0 ~ 5)	R/W (注2)
b5	TCFU (注3)	アンダフローフラグ	0 : TPUm.TCNTのアンダフローが発生していない 1 : TPUm.TCNTのアンダフローが発生 (m = 1, 2, 4, 5)	R/W (注2)
b6	—	予約ビット	読むと“1”が読めます。	R
b7	TCFD (注1)	カウント方向フラグ	0 : TPUm.TCNTカウンタはダウンカウント 1 : TPUm.TCNTカウンタはアップカウント (m = 1, 2, 4, 5)	R

注1. TPU0.TSR、TPU3.TSRレジスタのb7は、予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。

注2. フラグをクリアするための“0”を書くことのみ可能です。

注3. TPU0.TSR、TPU3.TSRレジスタのb5は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注4. TPU1.TSR、TPU2.TSR、TPU4.TSR、TPU5.TSRレジスタのb2、b3は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TGFA フラグ (インプットキャプチャ/アウトプットコンペアフラグ A)

TPUm.TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

(m = 0 ~ 5)

["1" になる条件]

- TPUm.TGRA がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRA になったとき
- TPUm.TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRA に転送されたとき

["0" になる条件]

- TGFA = 1 を読んだ後、TGFA フラグに "0" を書いたとき

TGFB フラグ (インプットキャプチャ/アウトプットコンペアフラグ B)

TPUm.TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

(m = 0 ~ 5)

["1" になる条件]

- TPUm.TGRB がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRB になったとき
- TPUm.TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRB に転送されたとき

["0" になる条件]

- TGFB = 1 を読んだ後、TGFB フラグに "0" を書いたとき

TGFC フラグ (インプットキャプチャ/アウトプットコンペアフラグ C)

TPUm.TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

(m = 0, 3)

["1" になる条件]

- TPUm.TGRC がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRC になったとき
- TPUm.TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRC に転送されたとき

["0" になる条件]

- TGFC = 1 を読んだ後、TGFC フラグに "0" を書いたとき

TGFD フラグ (インプットキャプチャ/アウトプットコンペアフラグ D)

TPUm.TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

(m = 0, 3)

["1" になる条件]

- TPUm.TGRD がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRD になったとき
- TPUm.TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRD に転送されたとき

["0" になる条件]

- TGFD = 1 を読んだ後、TGFD フラグに "0" を書いたとき

TCFV フラグ (オーバフローフラグ)

TPUm.TCNT (m = 0 ~ 5) のオーバフローの発生を示すステータスフラグです。

["1" になる条件]

- TPUm.TCNT の値がオーバフローしたとき (FFFFh → 0000h)

["0" になる条件]

- TCFV = 1 を読んだ後、TCFV フラグに "0" を書いたとき

TCFU フラグ (アンダフローフラグ)

TPUm.TCNT (m = 1, 2, 4, 5) のアンダフローの発生を示すステータスフラグです。

["1" になる条件]

- TPUm.TCNT の値がアンダフローしたとき (0000h → FFFFh)

["0" になる条件]

- TCFU = 1 を読んだ後、TCFU フラグに "0" を書いたとき

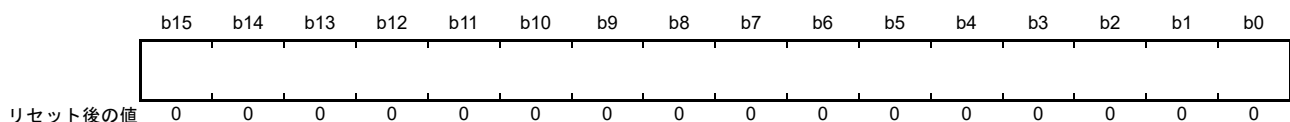
18.2.6 タイマカウンタ (TCNT)

TPUm.TCNT カウンタは、内部クロックまたは外部イベントをカウントできる 16 ビットのカウンタです (m = 0 ~ 5)。

16 ビット単位で読み出し/書き込みが可能です。

リセット時に "0000h" になります。

アドレス TPU0.TCNT A008 0116h, TPU1.TCNT A008 0126h, TPU2.TCNT A008 0136h, TPU3.TCNT A008 0146h, TPU4.TCNT A008 0156h, TPU5.TCNT A008 0166h



18.2.7 タイマジェネラルレジスタ A (TGRA) タイマジェネラルレジスタ B (TGRB) タイマジェネラルレジスタ C (TGRC) タイマジェネラルレジスタ D (TGRD)

TPU には、TPU0、3 に各 4 本、TPU1、2、4、5 に各 2 本、計 16 本のタイマジェネラルレジスタがあります。

TPUm.TGRA (m = 0 ~ 5)、TPUm.TGRB (m = 0 ~ 5)、TPUm.TGRC (m = 0, 3)、TPUm.TGRD (m = 0, 3) レジスタは、16 ビットのアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

16 ビット単位で読み出し/書き込みが可能です。

TPUm.TGRC レジスタと TPUm.TGRD レジスタは、バッファレジスタとして動作設定することができます。バッファ動作時のレジスタの組み合わせは、TPUm.TGRA レジスタと TPUm.TGRC レジスタ、TPUm.TGRB レジスタと TPUm.TGRD レジスタになります。

アドレス TPU0.TGRA A008 0118h、TPU0.TGRB A008 011Ah、TPU0.TGRC A008 011Ch、TPU0.TGRD A008 011Eh、
TPU1.TGRA A008 0128h、TPU1.TGRB A008 012Ah、TPU2.TGRA A008 0138h、TPU2.TGRB A008 013Ah、
TPU3.TGRA A008 0148h、TPU3.TGRB A008 014Ah、TPU3.TGRC A008 014Ch、TPU3.TGRD A008 014Eh、
TPU4.TGRA A008 0158h、TPU4.TGRB A008 015Ah、TPU5.TGRA A008 0168h、TPU5.TGRB A008 016Ah



18.2.8 タイマスタートレジスタ (TSTRA)

TSTRA レジスタは、TPU0～5のTCNTカウンタの動作/停止を選択するレジスタです。

TPUm.TMDR レジスタで動作モードを設定する場合や、TPUm.TCR レジスタでTPUm.TCNTカウンタのカウンタクロックを設定する場合は、TPUm.TCNTカウンタのカウンタ動作を停止させてから行ってください。

アドレス TPUA.TSTRA A008 0100h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CST5	CST4	CST3	CST2	CST1	CST0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0: TCNTカウンタのカウンタ動作は停止 1: TCNTカウンタはカウンタ動作	R/W
b1	CST1	カウンタスタート1ビット		R/W
b2	CST2	カウンタスタート2ビット		R/W
b3	CST3	カウンタスタート3ビット		R/W
b4	CST4	カウンタスタート4ビット		R/W
b5	CST5	カウンタスタート5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CSTn ビット (カウンタスタートビット) (n = 0 ~ 5)

TCNTカウンタの動作/停止を選択します。

CSTn ビットが“1”で、対応する TIOCyn 端子 (y = A ~ D, n = 0 ~ 5) が出力状態のときに、CSTn ビットを“0”にするとカウンタ動作は停止しますが、対応する TIOCyn 端子のアウトプットコンペア出力レベルは保持されます。

CSTn ビットが“0”のとき、TIORH、TIORL、TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

18.2.9 タイマシンクロレジスタ (TSYRA)

TPUA.TSYRA レジスタは、TPU0～5のTCNTカウンタの単独動作または同期動作を選択するレジスタです。

アドレス TPUA.TSYRA A008 0101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0: TCNTカウンタは単独動作 (TCNTカウンタのプリセット/クリアは、他のチャンネルとは無関係) 1: TCNTカウンタは同期動作 ^(注1) (TCNTカウンタの同期プリセット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット		R/W
b2	SYNC2	タイマ同期2ビット		R/W
b3	SYNC3	タイマ同期3ビット		R/W
b4	SYNC4	タイマ同期4ビット		R/W
b5	SYNC5	タイマ同期5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. 同期動作の設定には、最低2チャンネルのSYNCnビット (n=0～5) を“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTのクリア要因を選択する必要があります。

SYNCn ビット (タイマ同期ビット) (n = 0 ~ 5)

TCNTカウンタが他のチャンネルのTCNTカウンタと同期動作をするか、単独動作にするかを選択します。同期動作を選択すると、複数のTCNTカウンタの同期プリセットや、他のチャンネルのカウンタクリアによる同期クリアが可能となります。

18.2.10 ノイズフィルタコントロールレジスタ (NFCR)

TPUには、各チャンネルに1本、計6本のノイズフィルタコントロールレジスタがあります。

TPUm.NFCRレジスタは、各チャンネルのインプットキャプチャ信号のノイズフィルタを制御するレジスタです。TPUm.NFCRレジスタの設定は、TPUm.TCNTカウンタの動作が停止した状態で行ってください。
(m = 0 ~ 5)

アドレス TPU0.NFCR A008 0108h, TPU1.NFCR A008 0109h, TPU2.NFCR A008 010Ah, TPU3.NFCR A008 010Bh,
TPU4.NFCR A008 010Ch, TPU5.NFCR A008 010Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFC[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ許可Aビット	0 : TIOCAmのノイズフィルタは停止 1 : TIOCAmのノイズフィルタは許可 (m = 0 ~ 5)	R/W
b1	NFBEN	ノイズフィルタ許可Bビット	0 : TIOCBmのノイズフィルタは停止 1 : TIOCBmのノイズフィルタは許可 (m = 0 ~ 5)	R/W
b2	NFCEN (注1)	ノイズフィルタ許可Cビット	0 : TIOCCmのノイズフィルタは停止 1 : TIOCCmのノイズフィルタは許可 (m = 0, 3)	R/W
b3	NFDEN (注1)	ノイズフィルタ許可Dビット	0 : TIOCDmのノイズフィルタは停止 1 : TIOCDmのノイズフィルタは許可 (m = 0, 3)	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	00 : PCLKD/1 01 : PCLKD/8 10 : PCLKD/32 11 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書き込む場合は、“0”を書き込んでください。	R/W

注1. TPU1.NFCR, TPU2.NFCR, TPU4.NFCR, TPU5.NFCRレジスタのb2, b3は予約ビットです。読むと“0”が読めます。書き込みはできません。

NFAEN ビット (ノイズフィルタ許可 A ビット)

TIOCAm 端子のノイズフィルタを許可または停止します。(m = 0 ~ 5)

NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ許可 B ビット)

TIOCBm 端子のノイズフィルタを許可または停止します。(m = 0 ~ 5)

NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ許可 C ビット)

TIOCC_m 端子のノイズフィルタを許可または停止します。(m = 0, 3)

NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ許可 D ビット)

TIOCD_m 端子のノイズフィルタを許可または停止します。(m = 0, 3)

NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリングクロックを選択します。

NFCS[1:0] ビットを“11b”としてカウントソースを選択した場合、サンプリングクロックの対象となるのは、TPSC[2:0] ビットで設定される PCLKD/1 以外の内部クロックおよび外部クロックです。カウンタクロックとサンプリングクロックを両方とも PCLKD/1 にしたい場合は、NFCS[1:0] ビットを“00b”としてください。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが3回連続して一致した場合に、そのレベルをインプットキャプチャ信号として通過し、一致しない場合は前のレベルを保持します。

NFCS[1:0] ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。

18.3 動作説明

18.3.1 概要

各チャンネルには、TPUm.TCNT カウンタと TPUm.TGRy レジスタ (y=A~D) があります。

TCNT カウンタは、16ビットのアップカウンタで、フリーランカウンタ、周期カウンタ、またはイベントカウンタとして動作させることができます。

TGRy レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRA.CSTj ビット (j=0~5) を“1”にすると、対応するチャンネルの TCNT カウンタはカウント動作を開始します。

(a) カウント動作の設定手順例

カウント動作設定手順例を図 18.2 に示します。

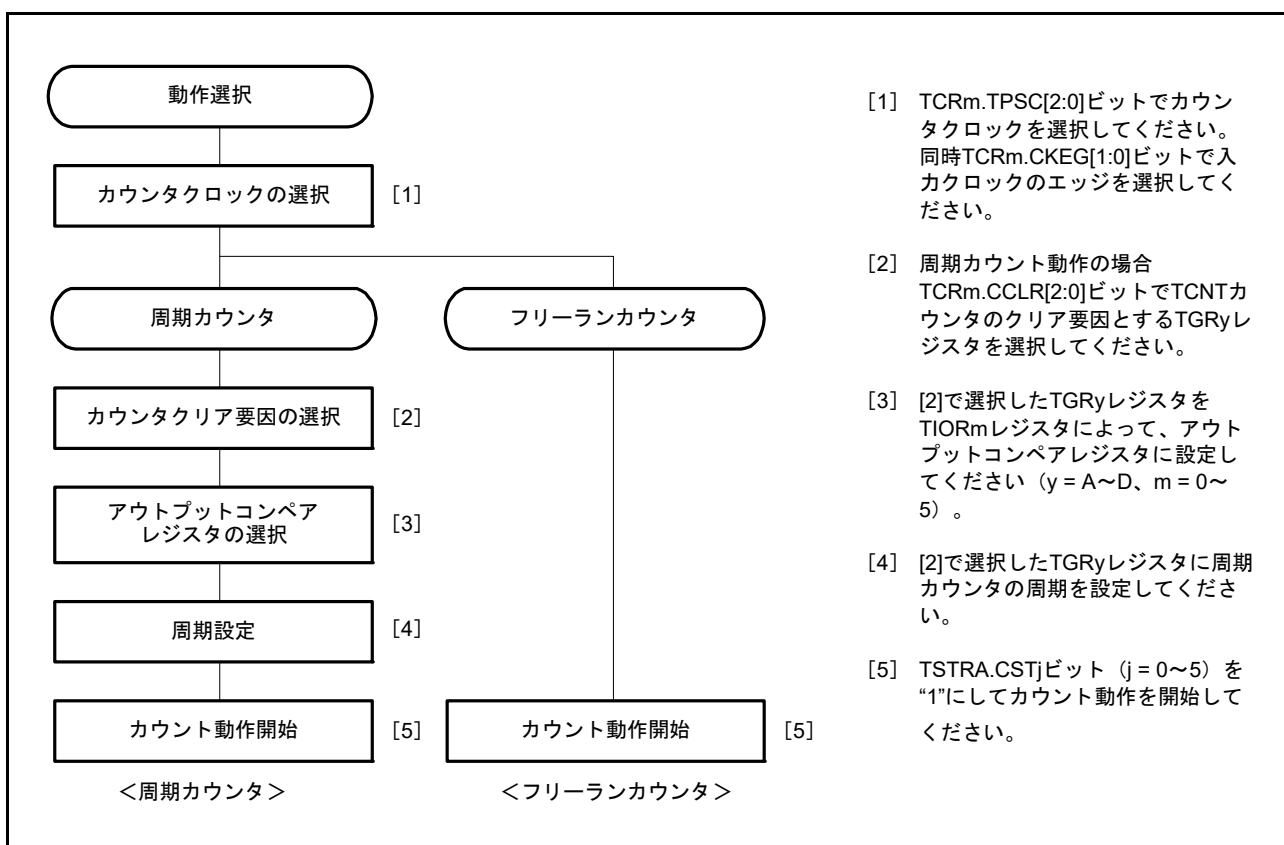


図 18.2 カウント動作設定手順例

(b) フリーランカウンタ動作と周期カウンタ動作

TPUm.TCNT カウンタは、リセット直後はすべてフリーランカウンタの設定となっており、TSTRA レジスタの対応するビットを“1”にするとフリーランカウンタとしてアップカウントを開始します。TCNT カウンタがオーバーフロー (“FFFFh” → “0000h”) すると、TPU はオーバーフロー割り込み (TCImV) を要求します。TCNT カウンタはオーバーフロー後、“0000h” からアップカウントを継続します (m = 0 ~ 5)。

フリーランカウンタの動作を図 18.3 に示します。

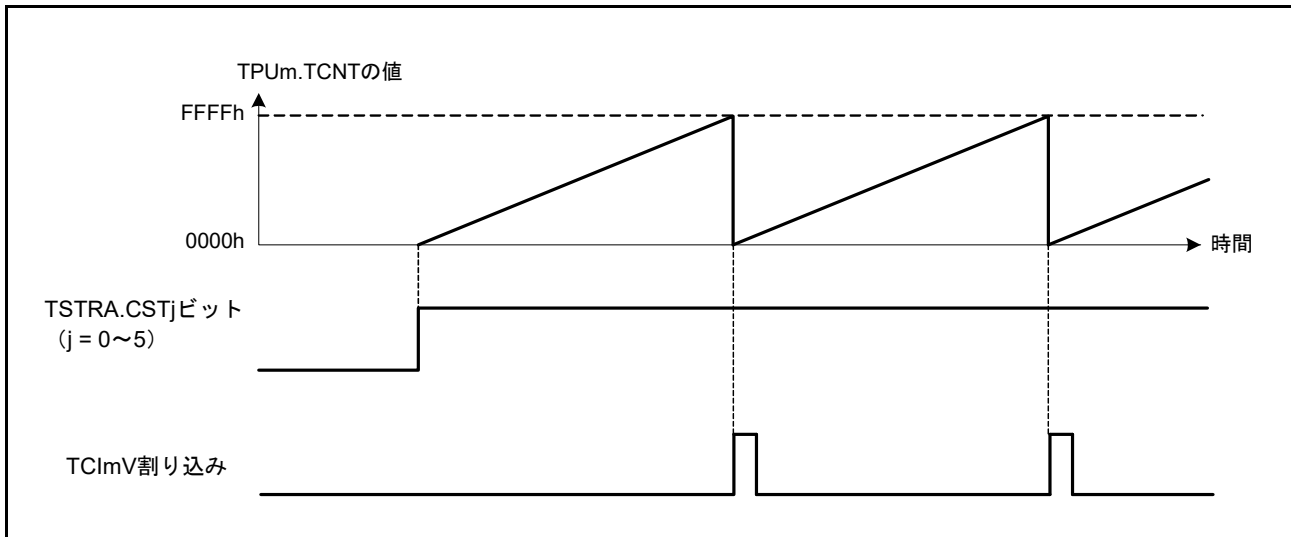


図 18.3 フリーランカウンタの動作

TCNT カウンタのクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT カウンタは周期カウンタ動作を行います。周期設定用の TPUm.TGRy レジスタをアウトプットコンペアレジスタに設定し、TPUm.TCR.CCLR[2:0] ビットでコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA レジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウントを開始します。カウント値が TGRy レジスタの値と一致すると TCNT カウンタは “0000h” になります。

このとき、TPU は TGRy 割り込み (TGImy) を要求します。TCNT カウンタはコンペアマッチ後、“0000h” からアップカウントを継続します (m = 0 ~ 5)。

周期カウンタの動作を図 18.4 に示します。

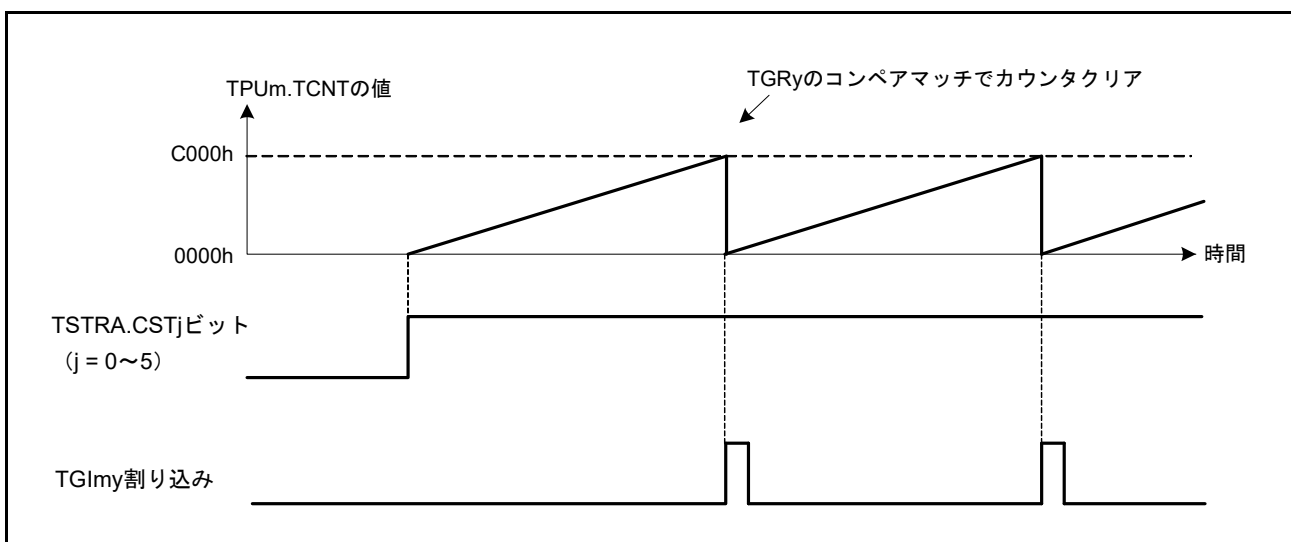


図 18.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPUは、コンペアマッチによって対応する出力端子からLow出力/High出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図18.5に示します。

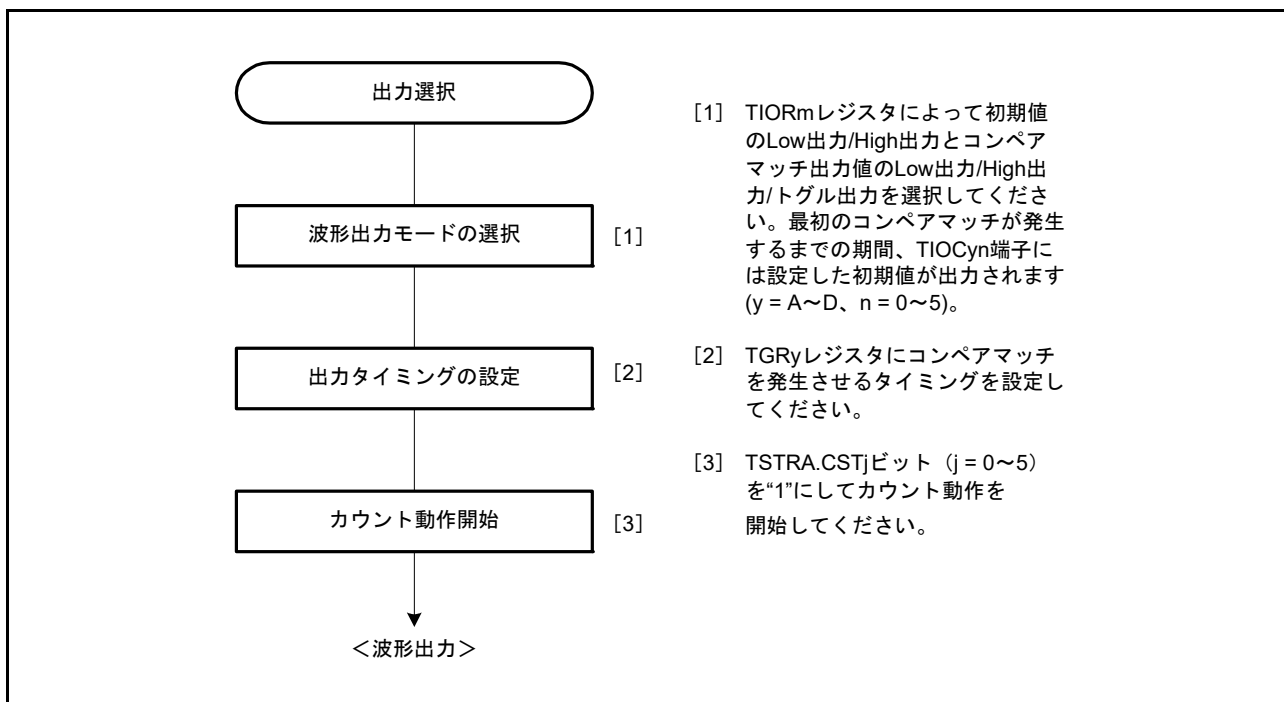


図 18.5 コンペアマッチによる波形出力動作の設定手順例

(b) 波形出力動作例

Low出力/High出力の動作例を図18.6に示します。

TPUm.TCNTをフリーランニングカウント動作とし、コンペアマッチAでHigh出力、コンペアマッチBでLow出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません (m = 0 ~ 5)。

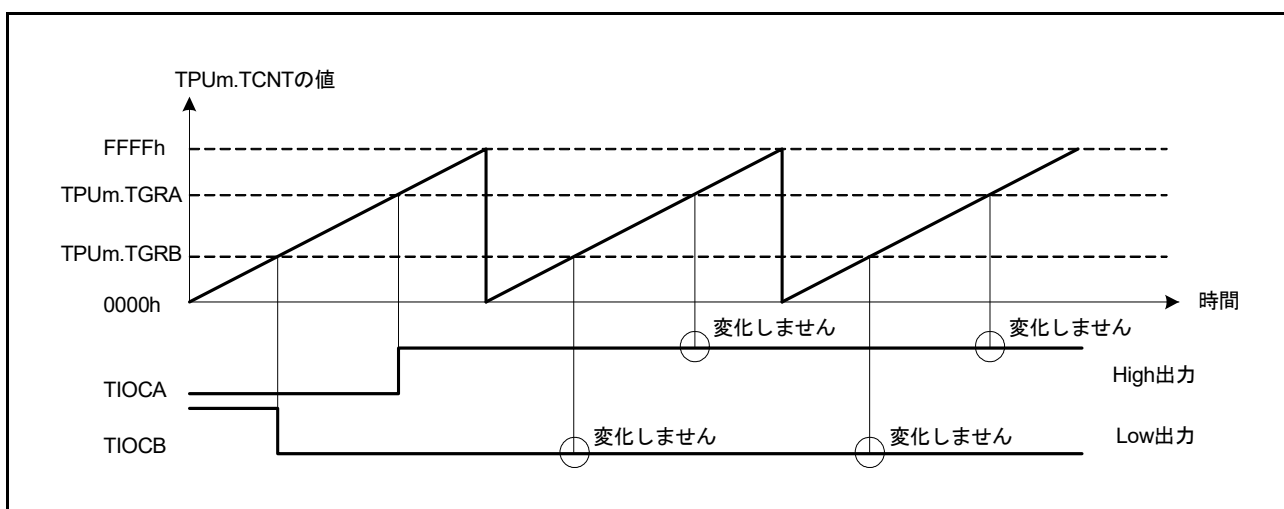


図 18.6 Low出力/High出力の動作例

トグル出力の動作例を図 18.7 に示します。

TPUm.TCNT カウンタを周期カウント動作（コンペアマッチ B によってカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です（ $m = 0 \sim 5$ ）。

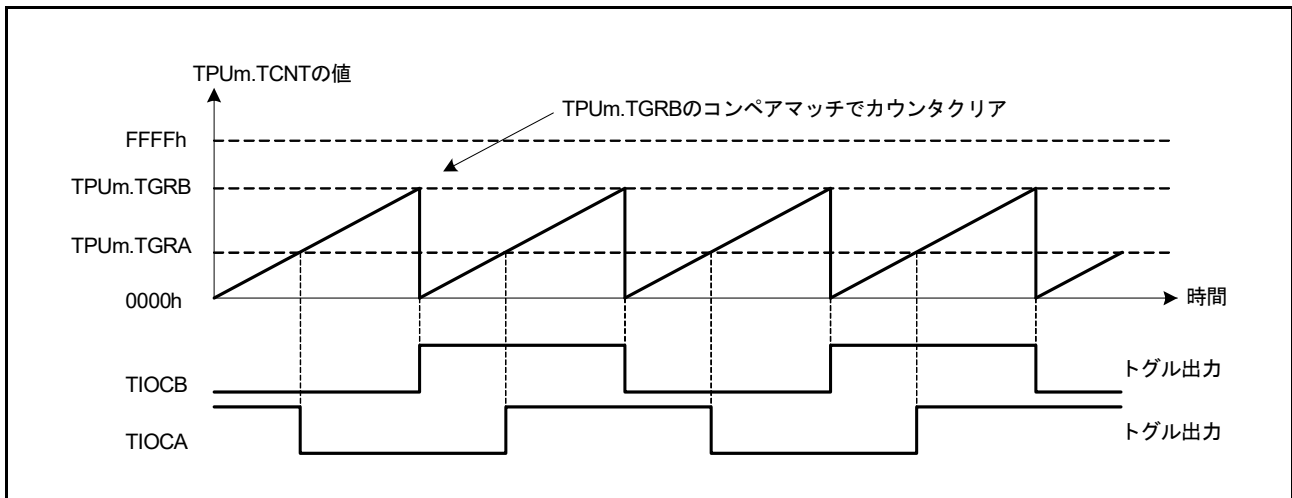


図 18.7 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOCyn 端子（ $y = A, B$ のとき $n = 0 \sim 5$ 、 $y = C, D$ のとき $n = 0, 3$ ）の入力エッジを検出して TCNT カウンタの値を TGRy レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、TPU0、1、3、4 のカウンタ入カクロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。また、インพุットキャプチャ入力にノイズフィルタをかけることができます。

- 注． カウンタが停止していても、インพุットキャプチャは発生し、フラグおよび割り込み信号を生成します。
- 注． TPU0、3 で別のチャネルのカウンタ入カクロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入カクロックに PCLKD/1 を選択しないでください。PCLKD/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 18.8 に示します。

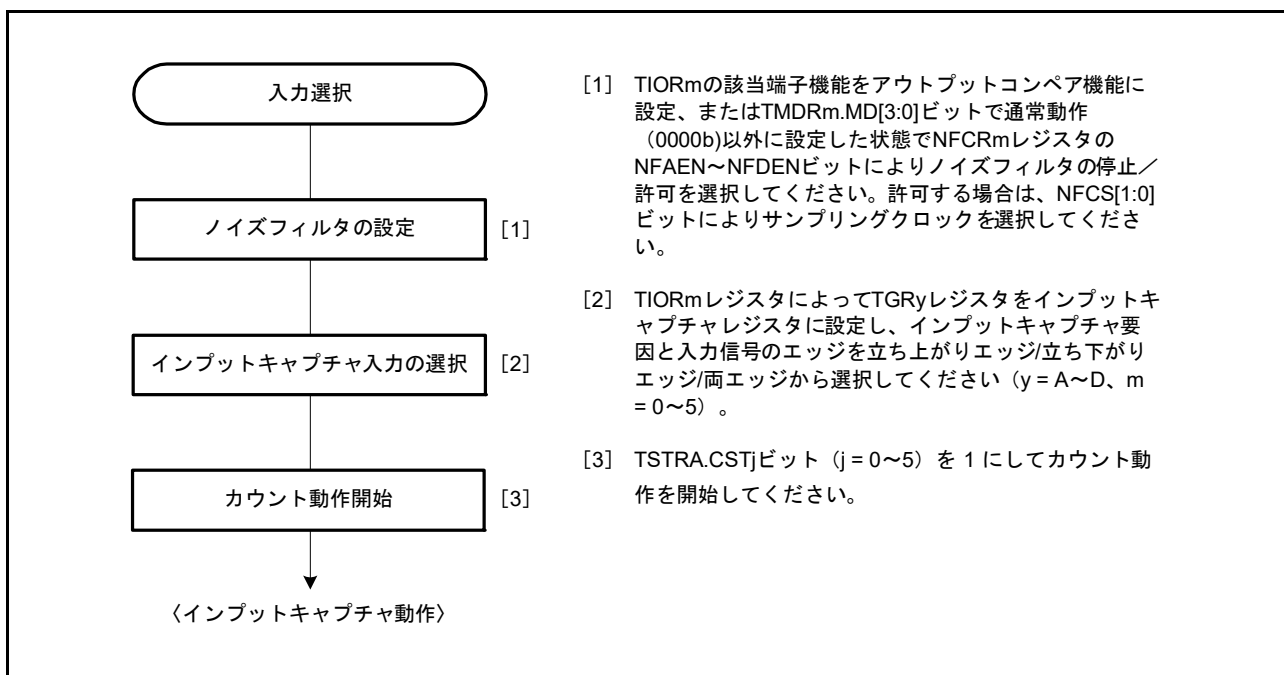


図 18.8 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

ノイズフィルタを停止した場合のインพุットキャプチャ動作例を図 18.9 に示します。

TIOCAm 端子のインพุットキャプチャ入力エッジは立ち上がり／立ち下がり両エッジ、また TIOCBm 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し (m=0~5)、TCNT カウンタは TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

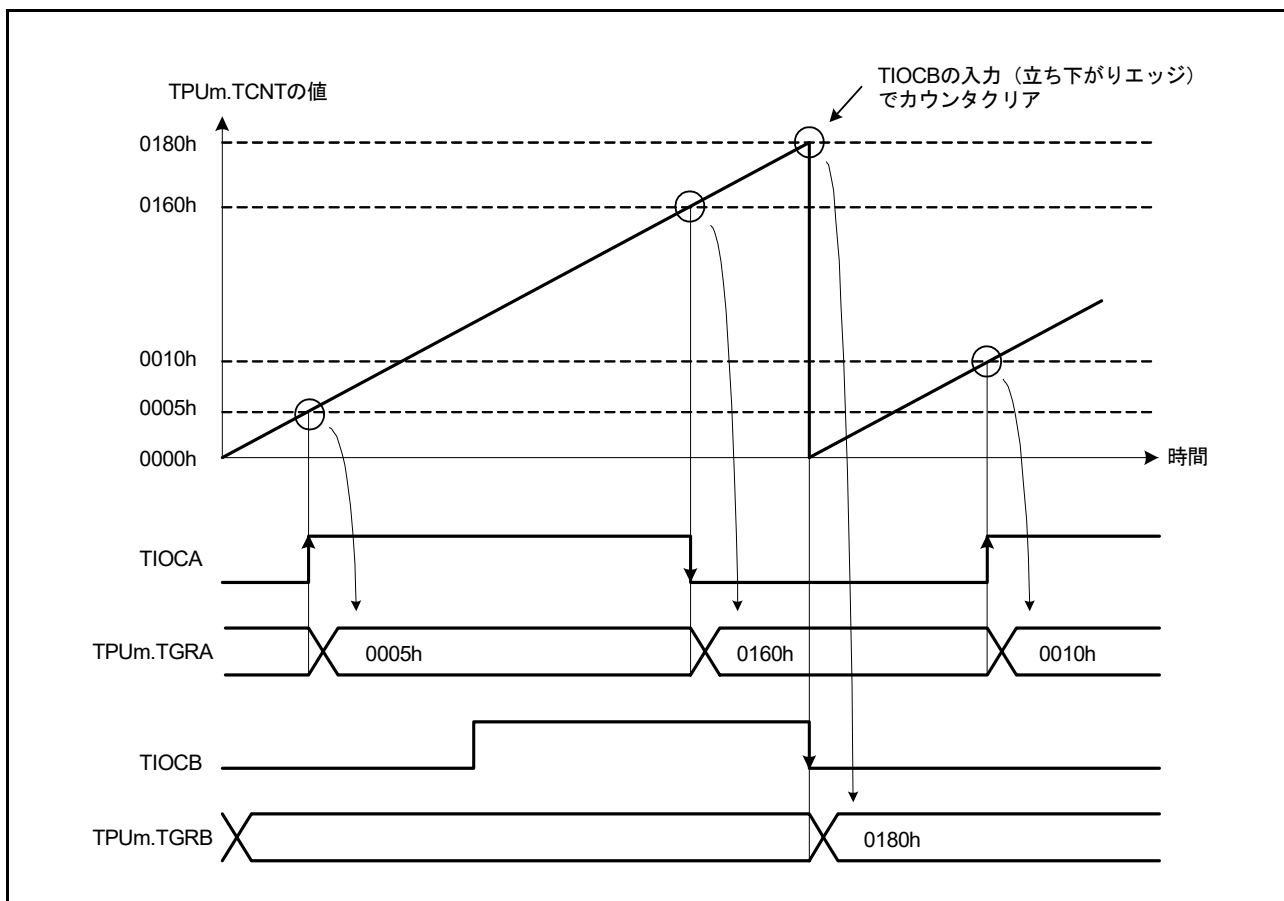


図 18.9 インพุットキャプチャ動作例 (ノイズフィルタ停止)

ノイズフィルタを許可した場合は、図 18.30 を参照してください。

18.3.2 同期動作

同期動作を使って、複数の TCNT カウンタの値を同時に書き換えることができます (同期プリセット)。また、TCR レジスタの設定によって複数の TCNT カウンタを同時にクリアすることができます (同期クリア)。

同期動作によって、1つのタイムベースに対して TGRy レジスタを増加させることができます。

TPU0 ~ 5 は全チャンネルで同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 18.10 に示します。

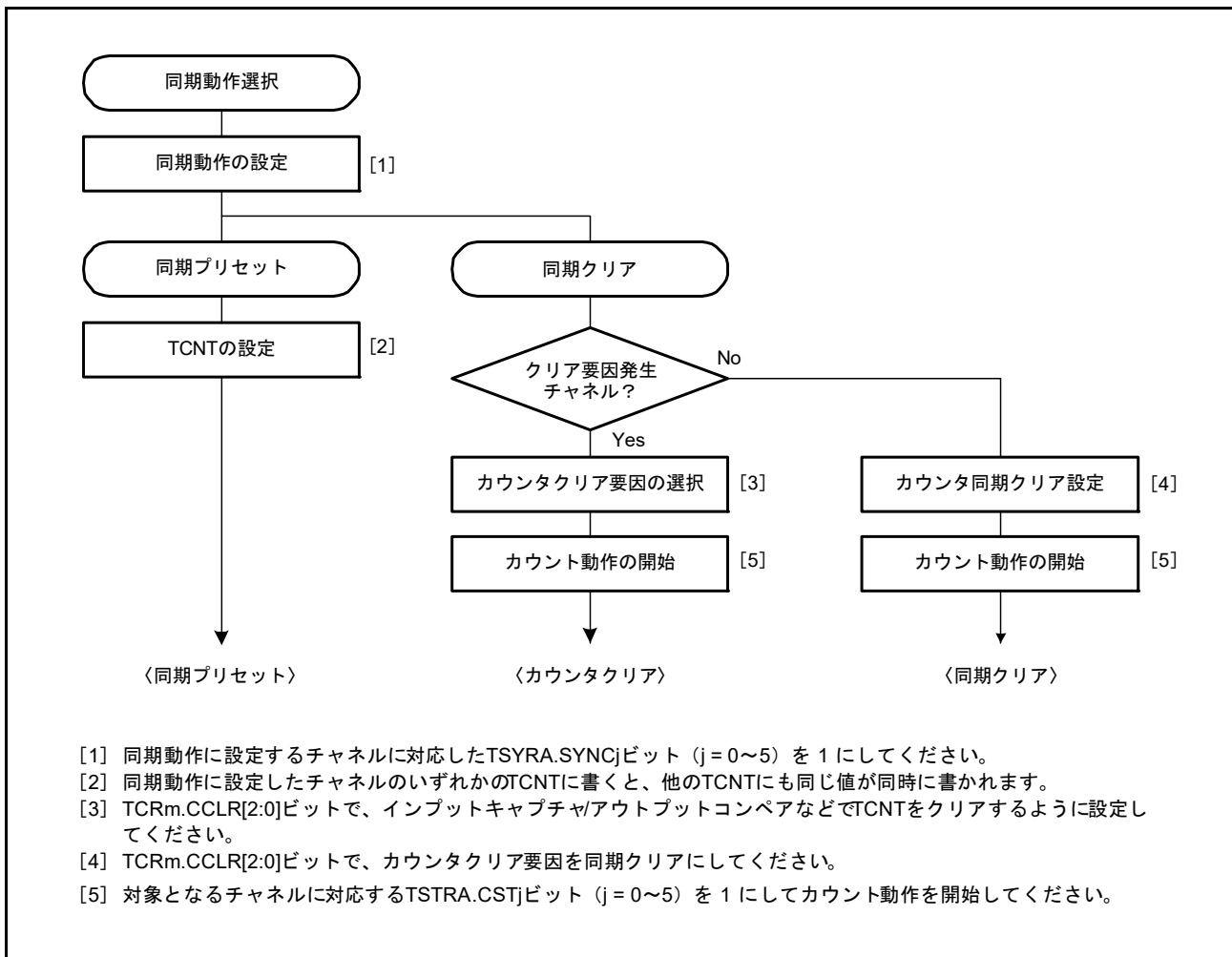


図 18.10 同期動作の設定手順例

(2) 同期動作の例

同期動作の動作例を図 18.11 に示します。

TPU0～2を同期動作かつPWMモード1に設定し、TPU0のカウンタクリア要因をTPU0.TGRBレジスタのコンペアマッチ、またTPU1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOCA0、TIOCA1、TIOCA2端子から出力します。このとき、TPU0～2のTCNTは同期プリセット、TPU0.TGRBレジスタのコンペアマッチによる同期クリアを行い、TPU0.TGRBレジスタに設定したデータがPWM周期となります。

PWMモードについては、「18.3.5 PWMモード」を参照してください。

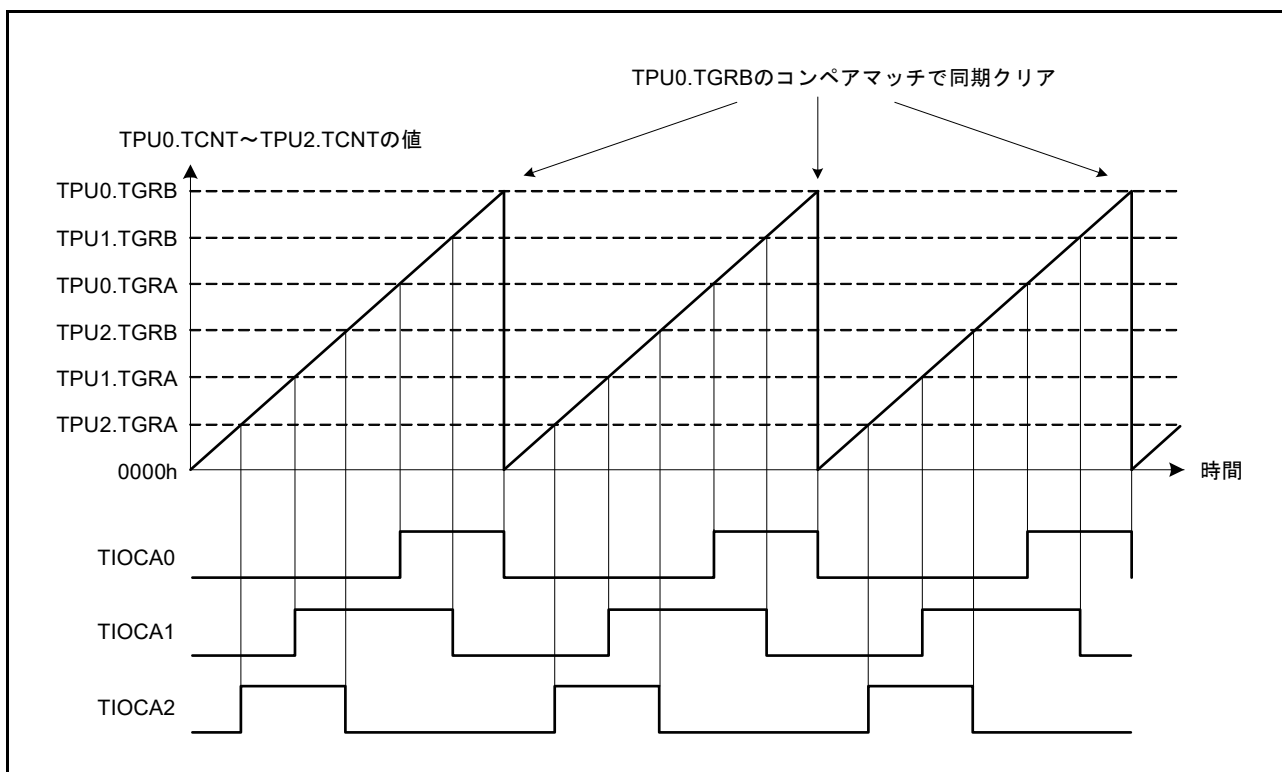


図 18.11 同期動作の動作例

18.3.3 バッファ動作

バッファ動作は、TPU0、3 が持つ機能です。TPUm.TGRC レジスタと TPUm.TGRD レジスタをバッファレジスタとして使用することができます。

バッファ動作は、TPUm.TGRy レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合で動作内容が異なります。

表 18.21 にバッファ動作時のレジスタの組み合わせを示します。

表 18.21 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
TPU0	TPU0.TGRA	TPU0.TGRC
	TPU0.TGRB	TPU0.TGRD
TPU3	TPU3.TGRA	TPU3.TGRC
	TPU3.TGRB	TPU3.TGRD

- TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 18.12 に示します。

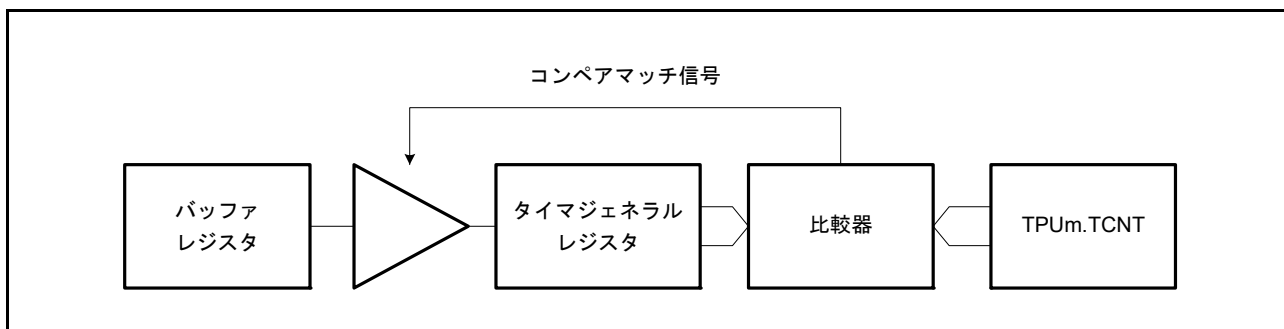


図 18.12 コンペアマッチバッファ動作

- TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TPUm.TCNT カウンタの値を TGRy レジスタに転送すると同時に、それまで格納されていた TGRy レジスタの値をバッファレジスタに転送します。

この動作を図 18.13 に示します。

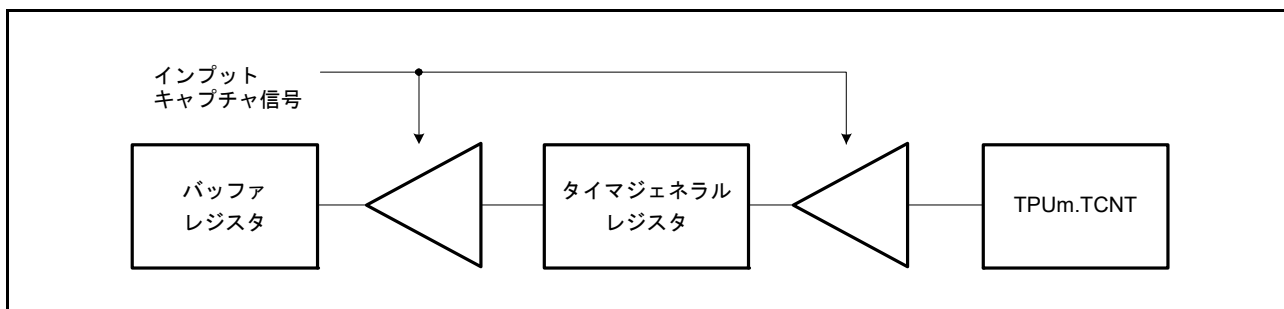


図 18.13 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 18.14 に示します。

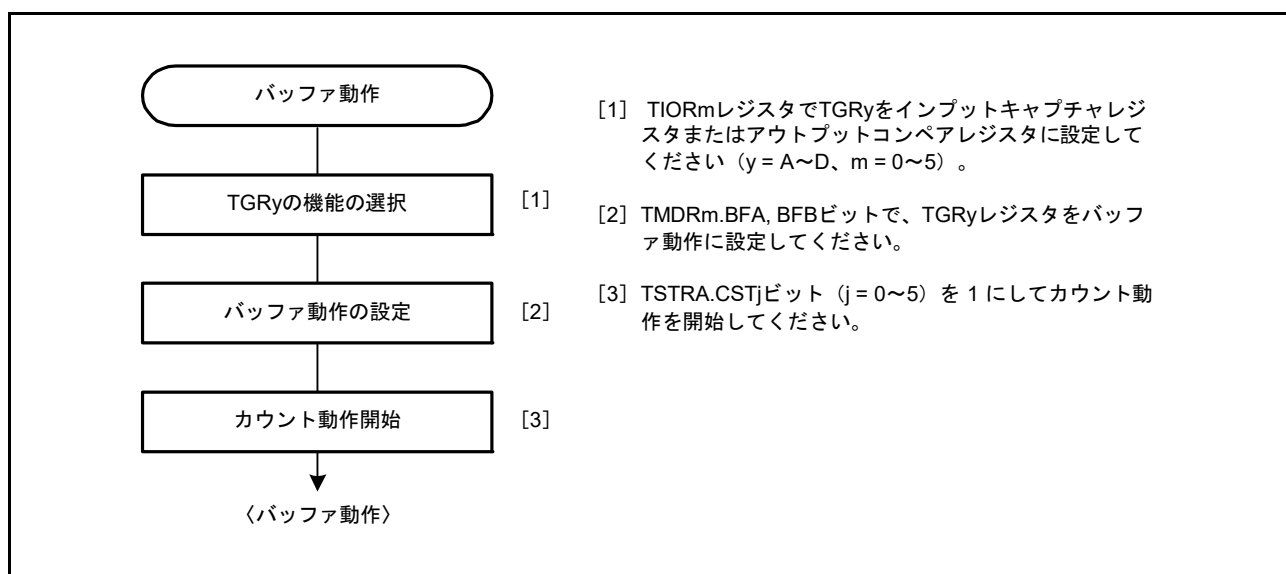


図 18.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

TPU0 を PWM モード 1 に設定し、TPU0.TGRA レジスタと TPU0.TGRC レジスタをバッファ動作に設定した場合の動作例を図 18.15 に示します。TPU0.TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、TPU0.TGRC レジスタの値が TPU0.TGRA レジスタに転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「18.3.5 PWM モード」を参照してください。

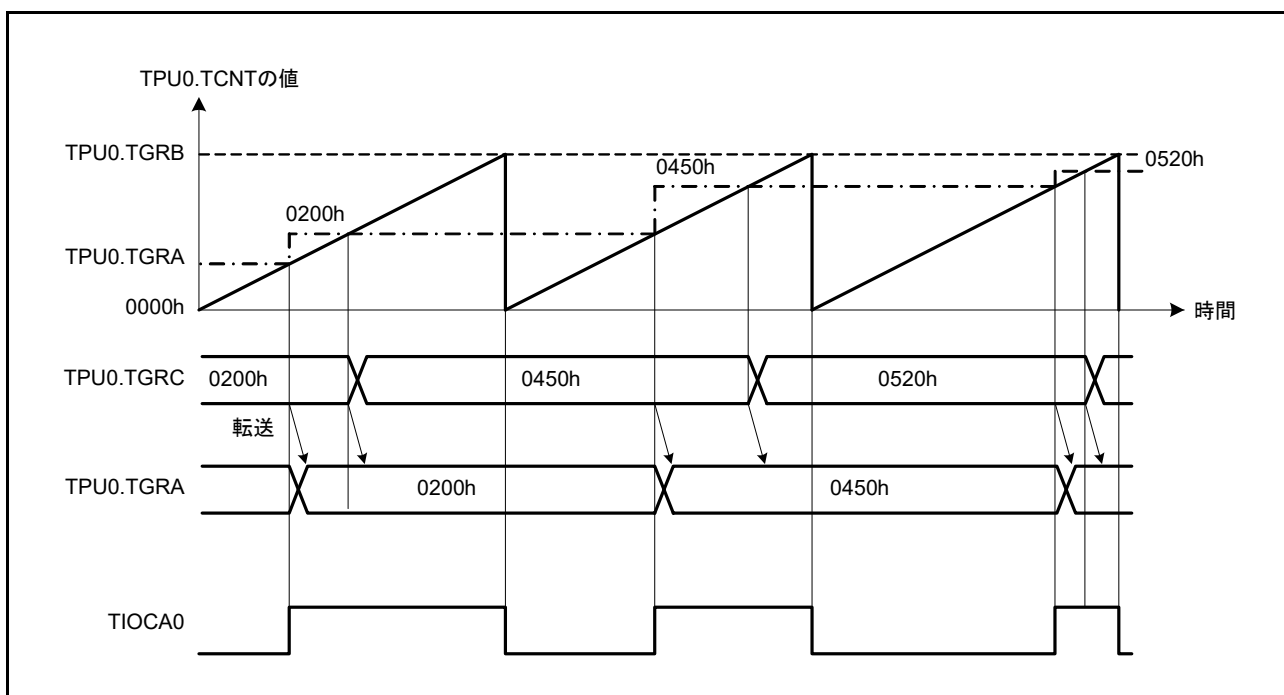


図 18.15 バッファ動作例 (1)

(b) TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

TPUm.TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TPUm.TGRC レジスタをバッファ動作に設定したときの動作例を図 18.16 に示します。

TPUm.TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、TIOCA_n 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT カウンタの値が TGRA レジスタに格納されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます ($m=0\sim 5$)。

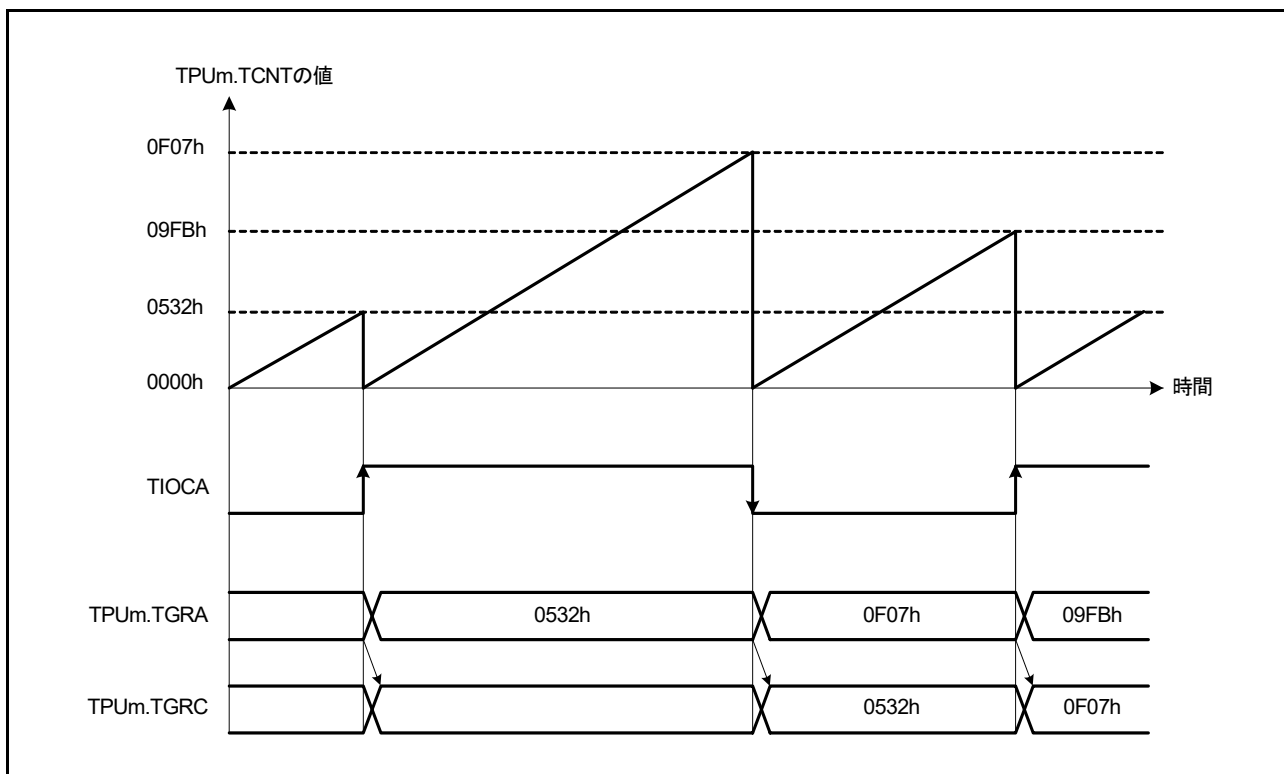


図 18.16 バッファ動作例 (2)

18.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

TPUm (m=1, 4) のカウンタクロックを TPUm.TCR.TPSC[2:0] (m=1, 4) ビットで、TPUn.TCNT (n=2, 5) カウンタのオーバーフロー/アンダフローでカウントに設定することによって動作します。

アンダフローが発生するのは、下位16ビットの TPUn.TCNT カウンタが位相計数モードのときのみです。表 18.22 にカスケード接続組み合わせを示します。

- 注 1. TPU1、4 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。
- 注 2. カスケード接続動作でインプットキャプチャを行う場合は必ず、「18.8.16 カスケード接続時におけるインプットキャプチャ動作」を参照してください。
- 注 3. 32ビット位相計数モードで動作させたい場合は、下位16ビットの TPUn を位相計数モード、上位16ビットの TPUm を通常動作に設定してください。

表 18.22 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
TPU1 と TPU2	TPU1.TCNT	TPU2.TCNT
TPU4 と TPU5	TPU4.TCNT	TPU5.TCNT

(1) カスケード接続動作の設定手順例

カスケード接続動作設定手順例を図 18.17 に示します。

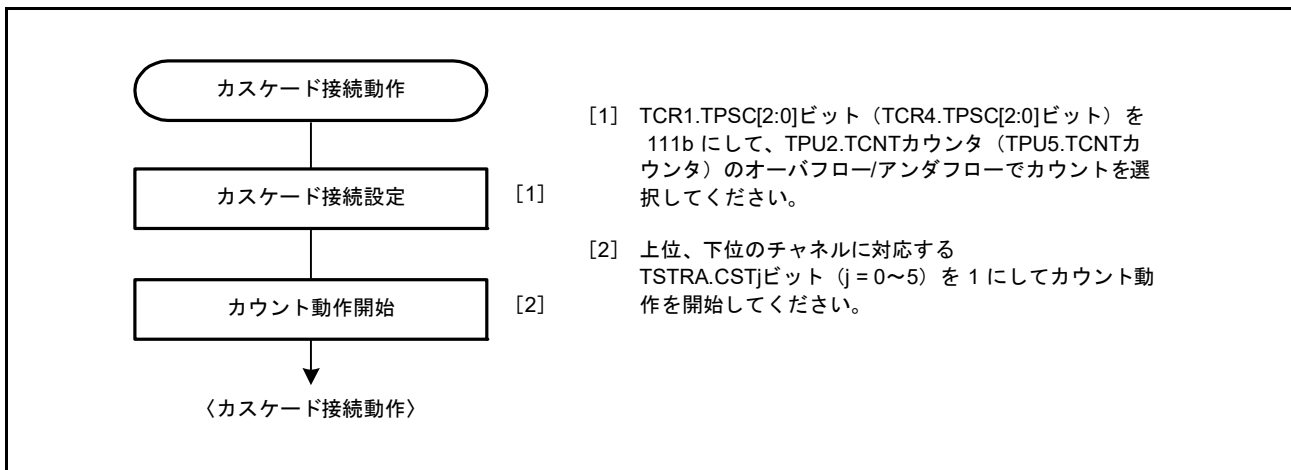


図 18.17 カスケード接続動作設定手順例

(2) カスケード接続動作例

TPU1.TCNT カウンタは TPU2.TCNT カウンタのオーバフロー／アンダフローでカウント、TPU1.TGRA レジスタと TPU2.TGRA レジスタをインプットキャプチャレジスタに設定し、TIOCA1 端子と TIOCA2 端子の立ち上がりエッジを選択したときの動作を図 18.18 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TPU1.TGRA レジスタに上位 16 ビット、TPU2.TGRA レジスタに下位 16 ビットの 32 ビットデータが転送されます。ただし TIOCA1 端子と TIOCA2 端子に同時に立ち上がりエッジを入力しても、LSI 内部の遅延により上位 16 ビットと下位 16 ビットを同時にキャプチャできず値がずれる場合があります。この場合「18.8.16 カスケード接続時におけるインプットキャプチャ動作」の内容にしたがいキャプチャ値の読み捨てを行ってください。

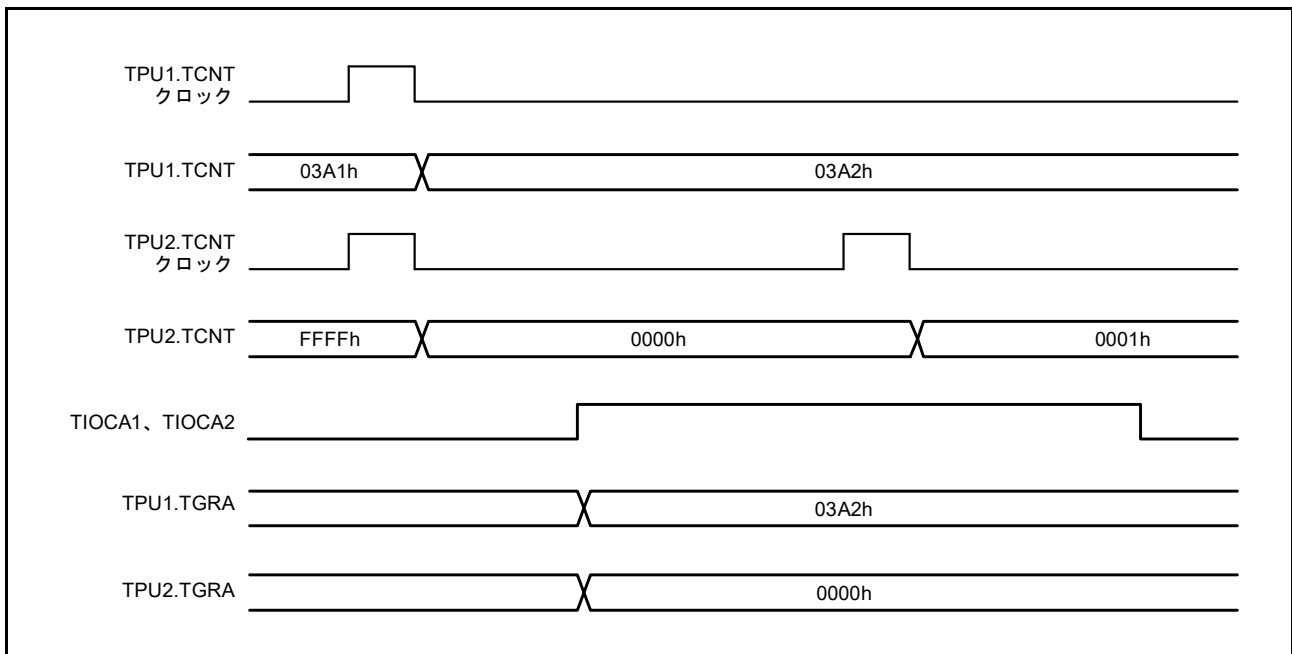


図 18.18 カスケード接続動作例 (1)

TPU1.TCNT カウンタは TPU2.TCNT カウンタのオーバフロー／アンダフローでカウント、TPU2 を位相計数モードに設定したときの動作を図 18.19 に示します。

TPU1.TCNT カウンタは、TPU2.TCNT カウンタのオーバフローでアップカウント、TPU2.TCNT カウンタのアンダフローでダウンカウントされます。

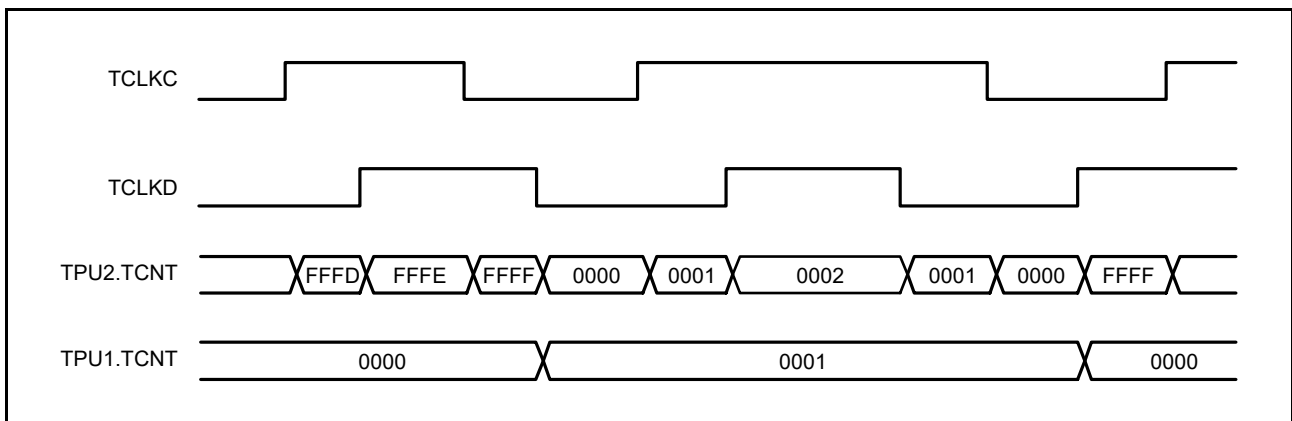


図 18.19 カスケード接続動作例 (2)

18.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGRy レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGRy レジスタの設定により、デューティ比 0 ~ 100% の PWM 波形が出力できます。

TGRy レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

1. PWM モード 1

TPUm.TGRA レジスタと TPUm.TGRB レジスタ、TPUm.TGRC レジスタと TPUm.TGRD レジスタをペアで使用して、TIOCA_n、TIOCC_n 端子から PWM 波形を出力します。TIOCA_n、TIOCC_n 端子からコンペアマッチ A、C によって TPUm.TIOR(H).IOA[3:0] ビット、TPUm.TIORL.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TPUm.TIOR(H).IOB[3:0] ビット、TPUm.TIORL.IOD[3:0] ビットで指定した出力を行います。TIOCA_n 端子 (TIOCC_n 端子) の初期出力値は TIOR.IOA ビット (TIORL.IOC ビット) で設定した値が出力されます。ペアで使用する TGRy レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

2. PWM モード 2

TPUm.TGRy レジスタの 1 本を周期レジスタ、他の TGRy レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIORH、TIORL、TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 波形の出力が可能です。

(y = A, B のとき m = 0 ~ 5、y = C, D のとき m = 0, 3)

PWM の出力端子とレジスタの対応を表 18.23 に示します。

表 18.23 各PWM出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
TPU0	TPU0.TGRA	TIOCA0	TIOCA0
	TPU0.TGRB		TIOCB0
	TPU0.TGRC	TIOCC0	TIOCC0
	TPU0.TGRD		TIOCD0
TPU1	TPU1.TGRA	TIOCA1	TIOCA1
	TPU1.TGRB		TIOCB1
TPU2	TPU2.TGRA	TIOCA2	TIOCA2
	TPU2.TGRB		TIOCB2
TPU3	TPU3.TGRA	TIOCA3	TIOCA3
	TPU3.TGRB		TIOCB3
	TPU3.TGRC	TIOCC3	TIOCC3
	TPU3.TGRD		TIOCD3
TPU4	TPU4.TGRA	TIOCA4	TIOCA4
	TPU4.TGRB		TIOCB4
TPU5	TPU5.TGRA	TIOCA5	TIOCA5
	TPU5.TGRB		TIOCB5

注. PWMモード2のとき、周期を設定したTPUm.TGRyレジスタのPWM波形は出力できません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 18.20 に示します。

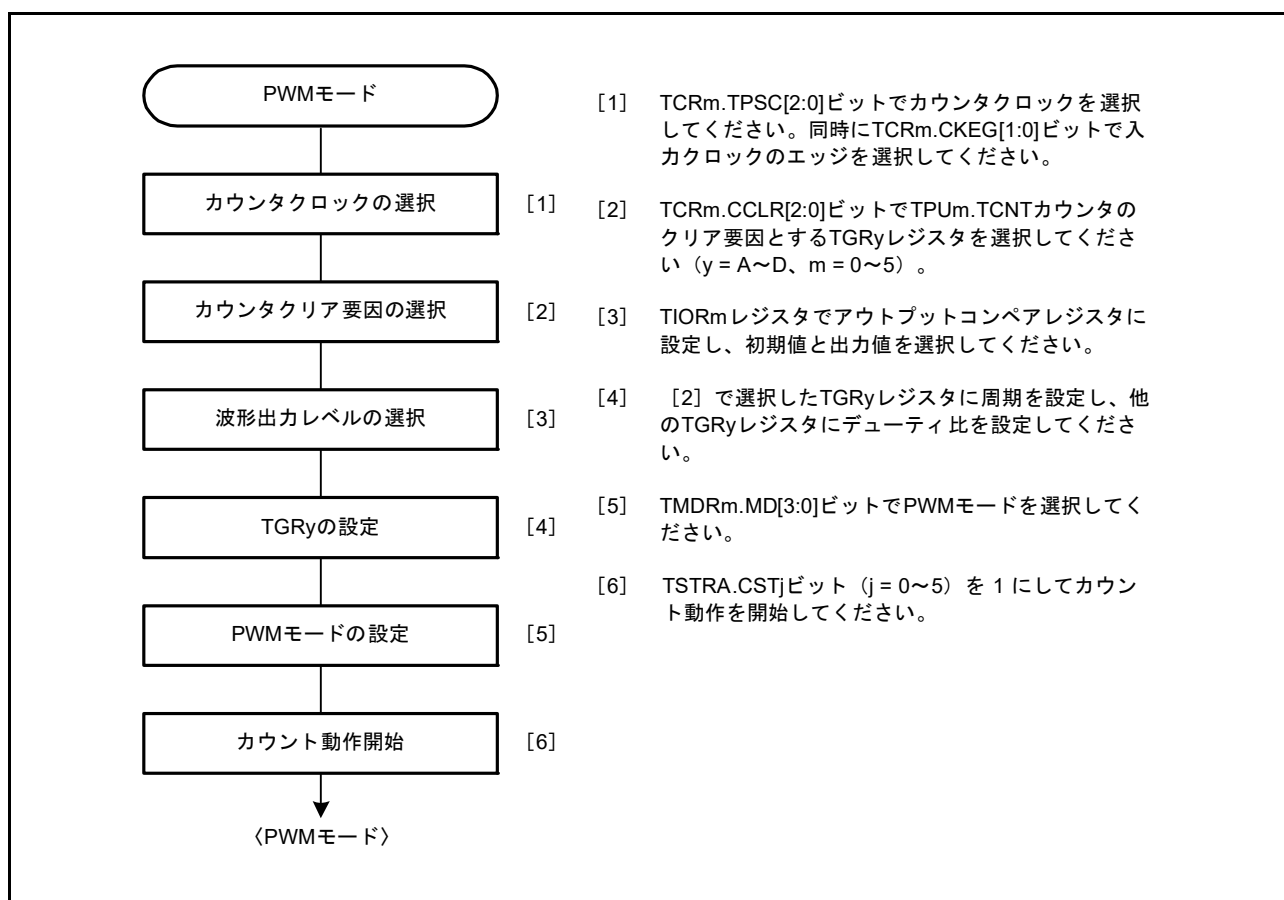


図 18.20 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図18.21に示します。

この図は、TPUm.TCNTカウンタのクリア要因をTPUm.TGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値を“0”、TPUm.TGRBレジスタの出力値を“1”に設定した場合の例です (m = 0 ~ 5)。

この場合、TGRAレジスタで周期を設定し、TGRBレジスタでデューティ比を設定しています。

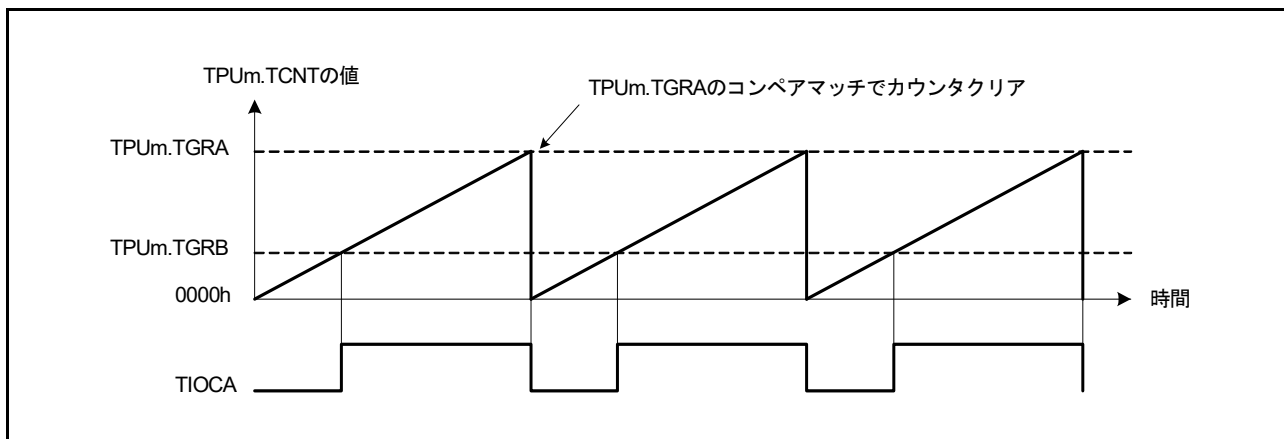


図 18.21 PWM モードの動作例 (1)

PWM モード2の動作例を図 18.22 に示します。

この図は、TPU0 と 1 を同期動作させ、TPUm.TCNT (m=0,1) カウンタのクリア要因を TPU1.TGRB のコンペアマッチとし、他の TPUm.TGRy レジスタ (TPU0.TGRA ~ TPU0.TGRD、TPU1.TGRA) の初期出力値を“Low”、出力値を“High”にして5相のPWM波形を出力させた場合の例です。

この場合、TPU1.TGRB レジスタに設定した値が周期となり、他の TGRy レジスタに設定した値がデューティ比になります。

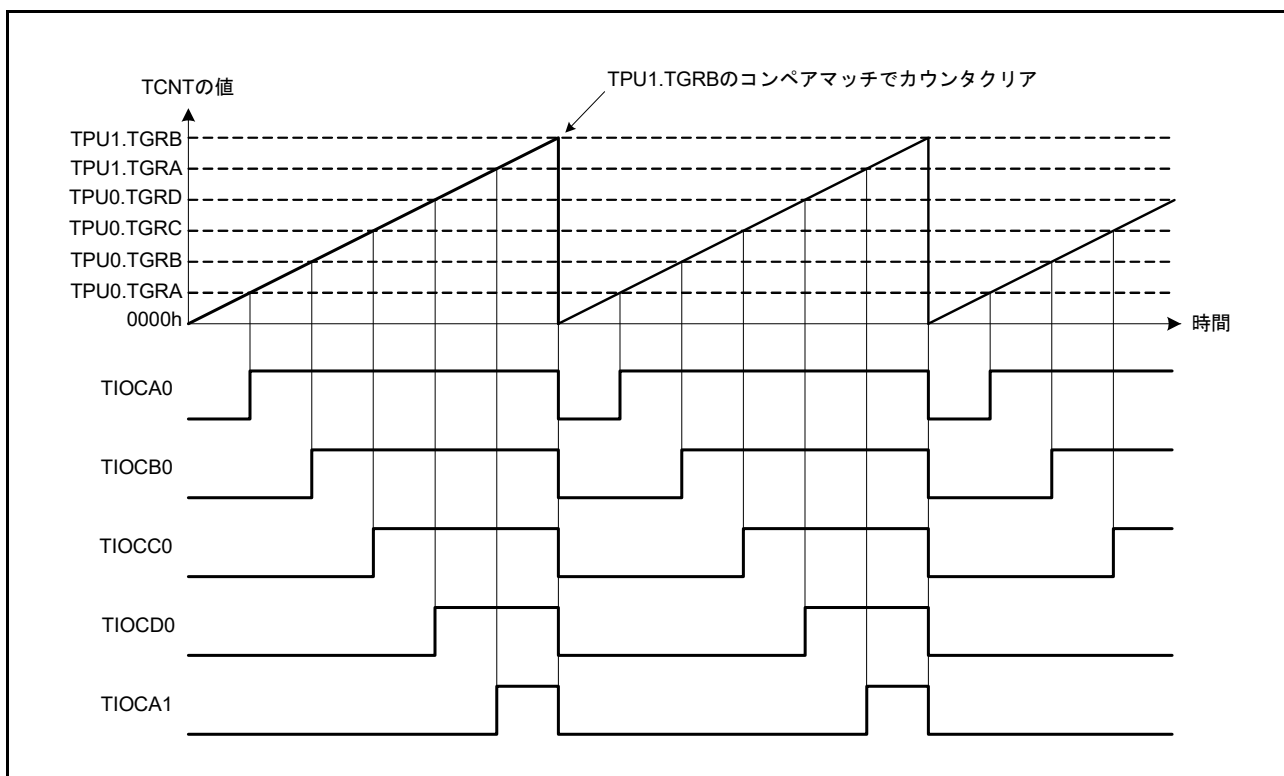


図 18.22 PWM モードの動作例 (2)

PWM モードで、デューティ比 0%、デューティ比 100% の PWM 波形を出力する例を図 18.23 に示します。

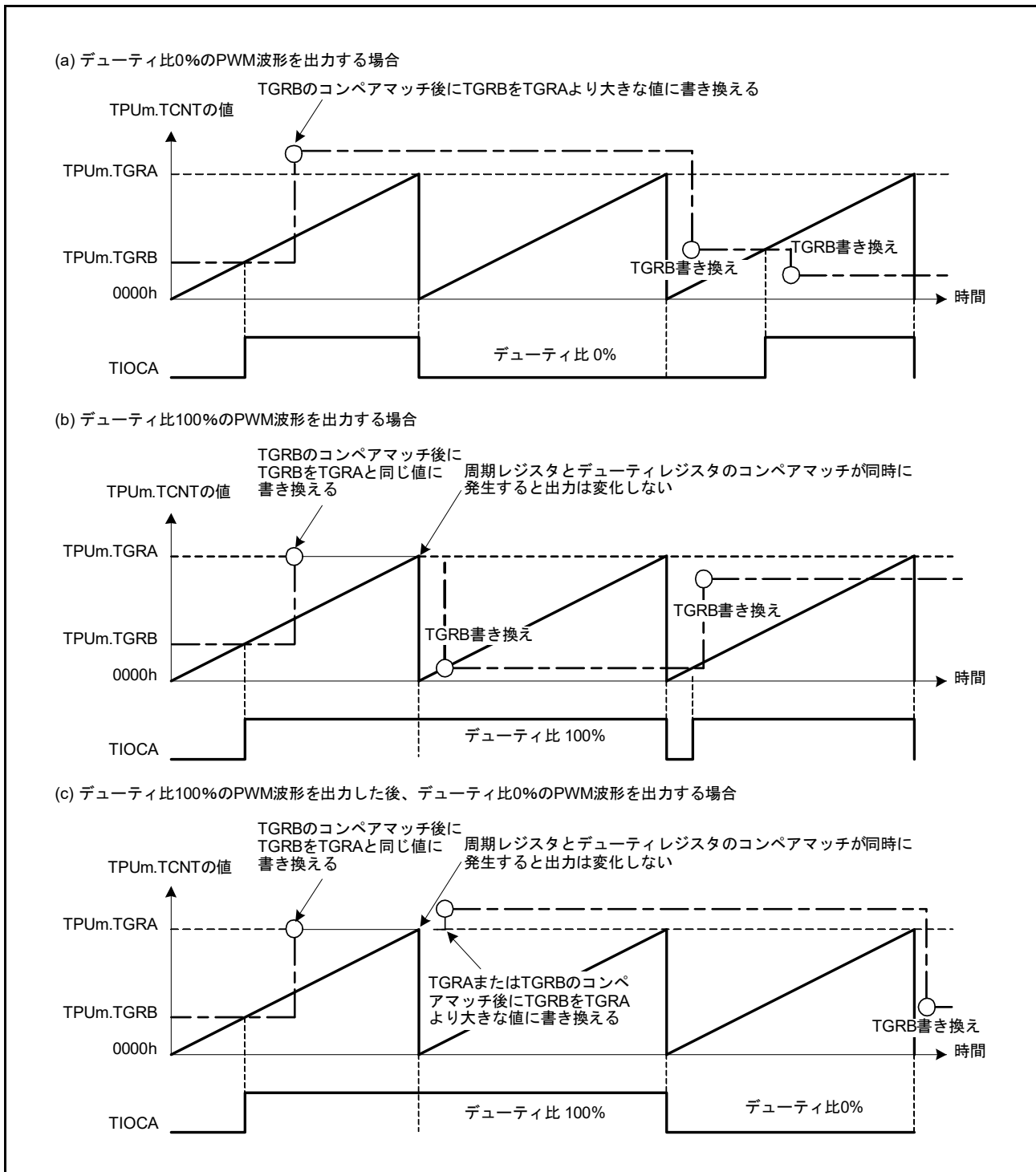


図 18.23 PWM モード動作例 (3)

18.3.6 位相計数モード

位相計数モードでは、チャンネル1、2、4、5の設定によって、2本の外部クロック入力の位相差を検出し、TPUm.TCNT カウンタをアップカウント/ダウンカウントします (m = 1, 2, 4, 5)。

位相計数モードに設定すると、TPUm.TCR.TPSC[2:0], CKEG[1:0] ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT カウンタはアップカウンタ/ダウンカウンタとして動作します。ただし、TPUm.TCR.CCLR[2:0] ビットの下位2ビット、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタ、TPUm.TIER レジスタ、TPUm.TGRy レジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2相エンコーダパルスの入力として使用できます。

TCNT カウンタがアップカウント時、オーバフローが発生するとすると TCIV 割り込み要求が発生します。また、ダウンカウント時にアンダフローが発生すると、TCIU 割り込み要求が発生します。TPUm.TSR.TCFD フラグはカウント方向フラグです。TCFD フラグを読むことにより、TCNT カウンタがアップカウントしているかダウンカウントしているかを確認することができます。

表 18.24 に外部クロック端子とチャンネルの対応を示します。

表 18.24 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
TPU1またはTPU5を位相計数モードとするとき	TCLKA	TCLKB
TPU2またはTPU4を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 18.24 に示します。

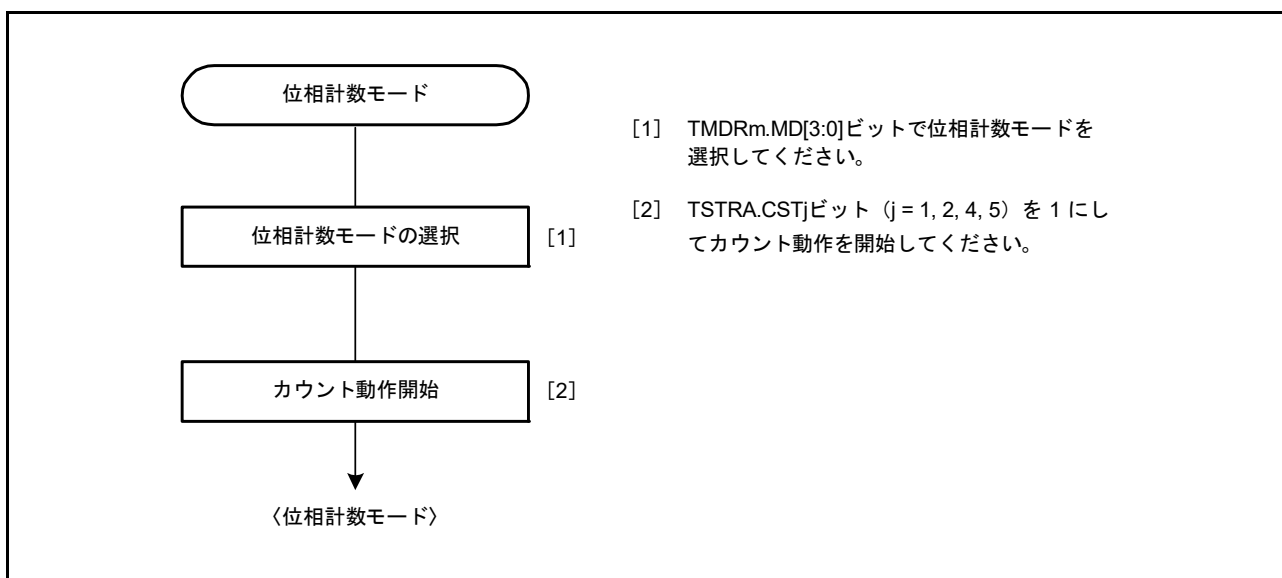


図 18.24 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTPUm.TCNTがアップカウント/ダウンカウントします ($m = 1, 2, 4, 5$)。なお、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図18.25に、TPUm.TCNTのアップカウント/ダウンカウント条件を表18.25に示します ($m = 1, 2, 4, 5$)。

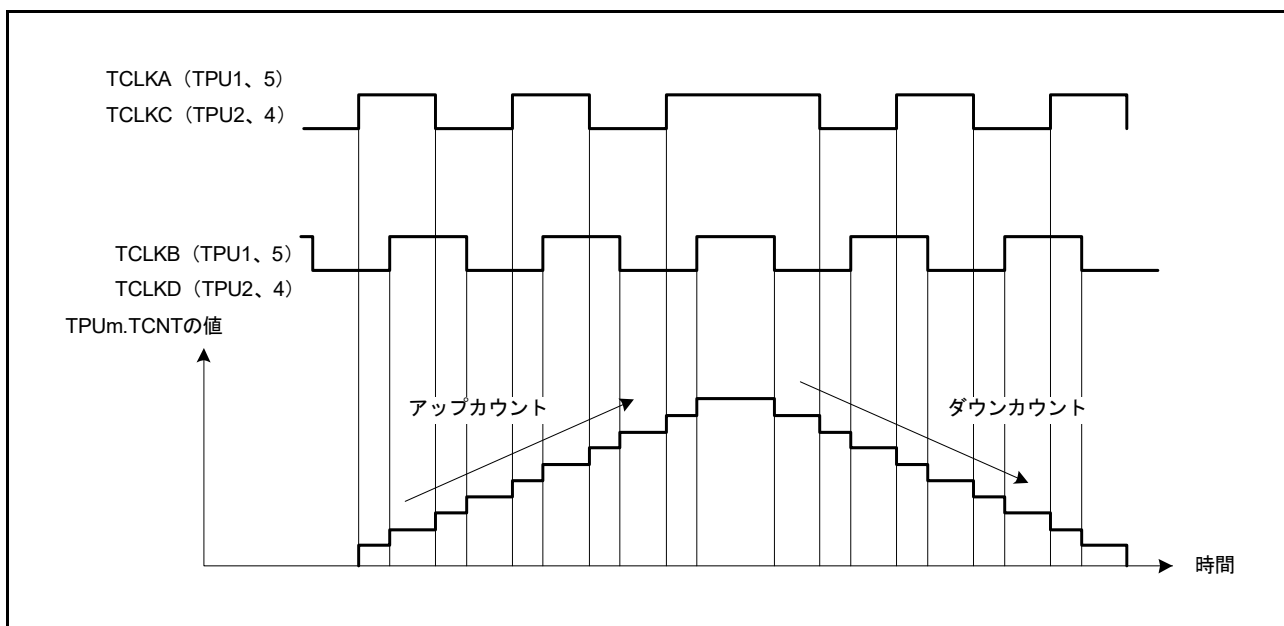


図 18.25 位相計数モード1の動作例

表 18.25 位相計数モード1のアップカウント/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High		アップカウント
Low		
	Low	
	High	
High		ダウンカウント
Low		
	High	
	Low	

: 立ち上がりエッジ

: 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図18.26に、TPUm.TCNTのアップカウント/ダウンカウント条件を表18.26に示します (m=1, 2, 4, 5)。

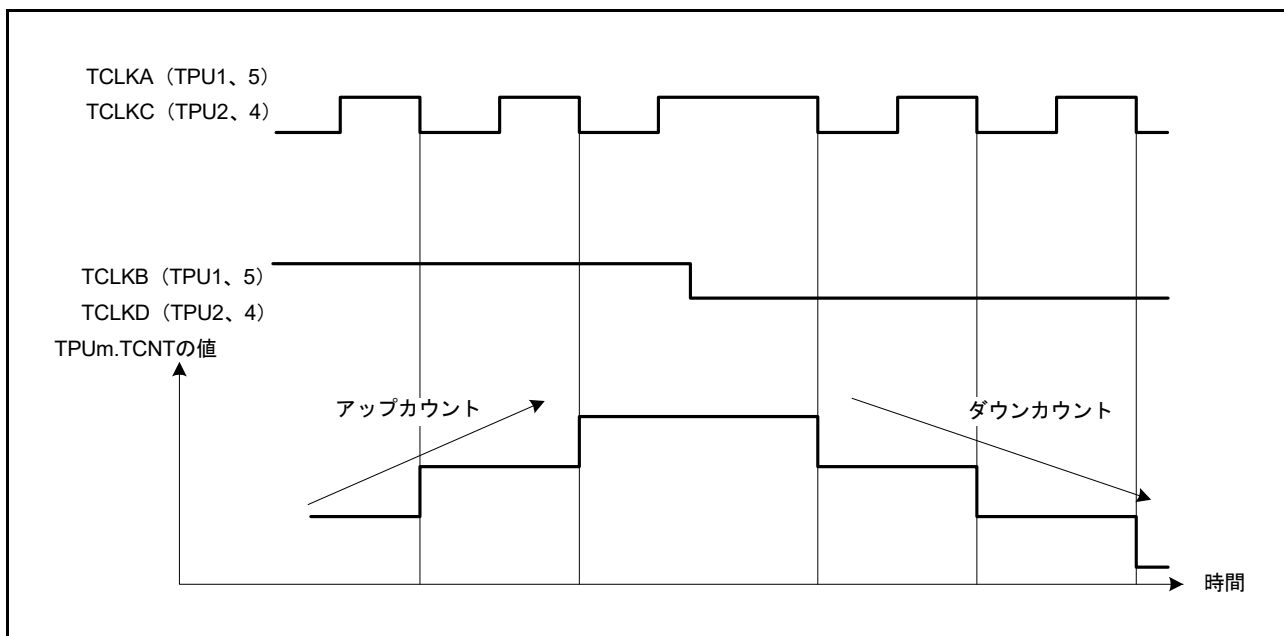


図 18.26 位相計数モード2の動作例

表 18.26 位相計数モード2のアップカウント/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High		Don't care
Low		Don't care
	Low	Don't care
	High	アップカウント
High		Don't care
Low		Don't care
	High	Don't care
	Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図18.27に、TPUm.TCNTのアップカウント/ダウンカウント条件を表18.27に示します (m=1, 2, 4, 5)。

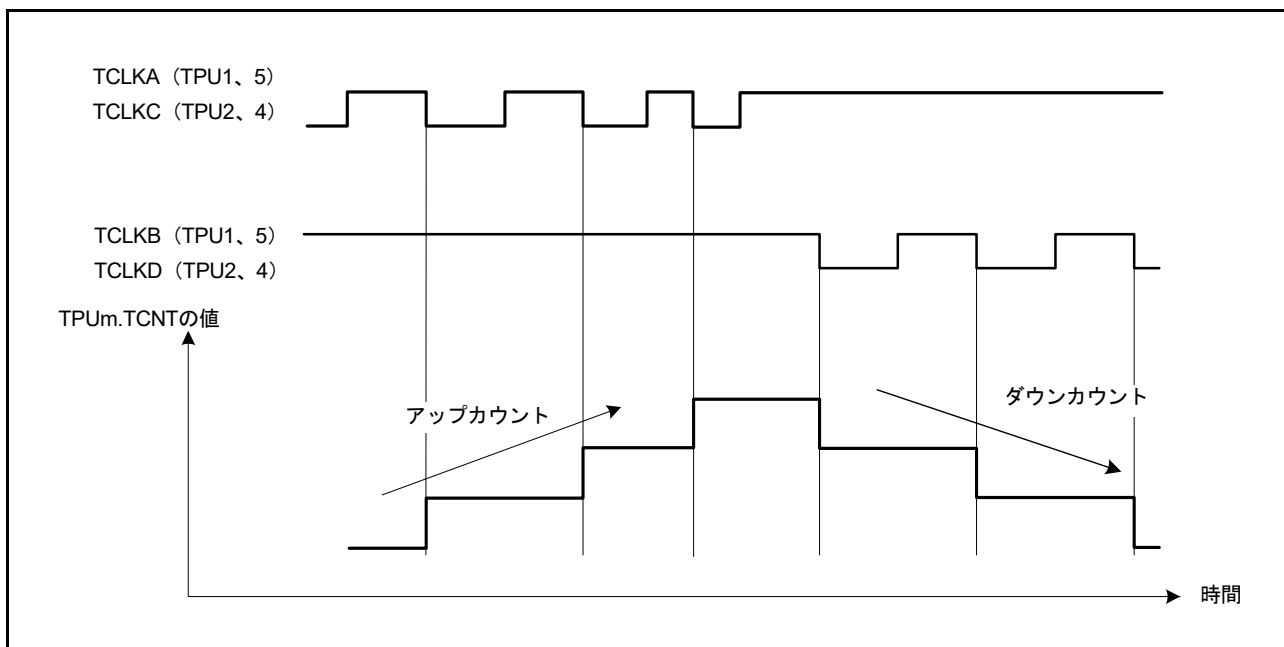


図 18.27 位相計数モード3の動作例

表 18.27 位相計数モード3のアップカウント/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High	↑	Don't care
Low	↓	Don't care
↑	Low	Don't care
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	Don't care
↑	High	Don't care
↓	Low	Don't care

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図18.28に、TPUm.TCNTのアップカウント/ダウンカウント条件を表18.28に示します (m=1, 2, 4, 5)。

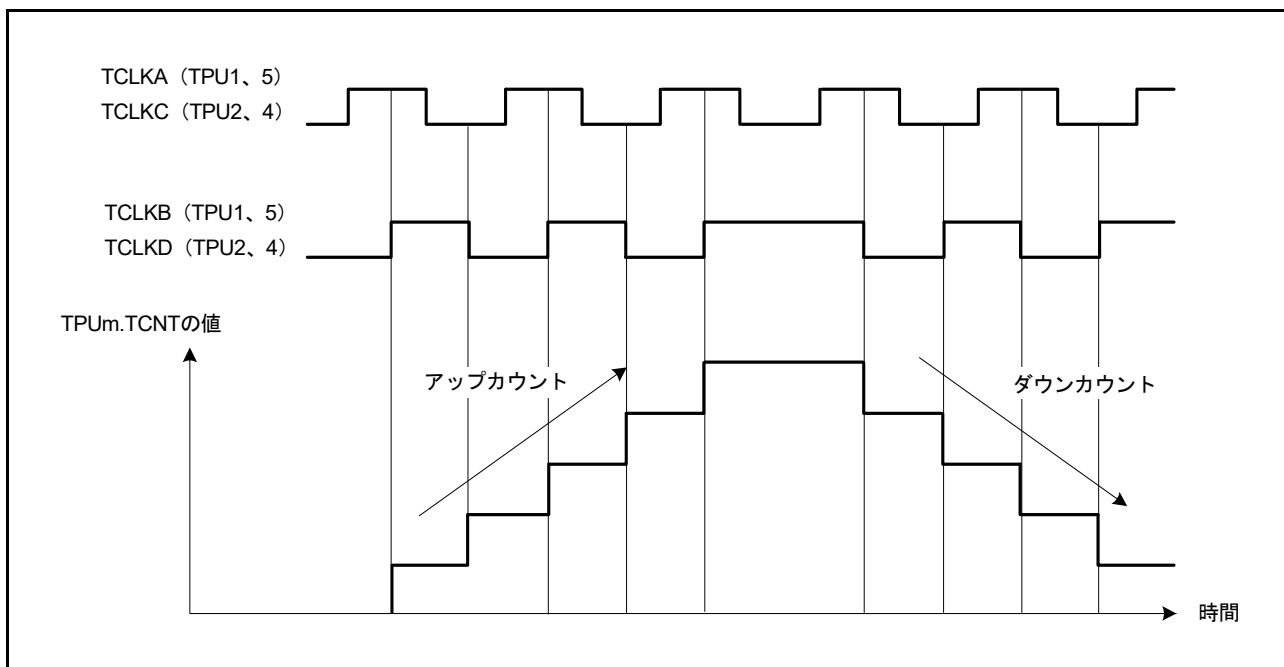


図 18.28 位相計数モード4の動作例

表 18.28 位相計数モード4のアップカウント/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High		アップカウント
Low		
	Low	Don't care
	High	
High		ダウンカウント
Low		
	High	Don't care
	Low	

: 立ち上がりエッジ

: 立ち下がりエッジ

18.3.6.1 位相計数モード応用例

TPU1 を位相計数モードに設定し、TPU0 と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図 18.29 に示します。

TPU1 は位相計数モード1 に設定し、TCLKA 端子と TCLKB 端子にエンコーダパルスの A 相、B 相を入力します。

TPU0 は TPU0.TCNT カウンタを TPU0.TGRC レジスタのコンペアマッチでカウンタクリアとして動作させ、TPU0.TGRA レジスタと TPU0.TGRC レジスタはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TPU0.TGRB レジスタは入力キャプチャ機能で使用し、TPU0.TGRB レジスタと TPU0.TGRD レジスタをバッファ動作させます。TPU0.TGRB レジスタの入力キャプチャ要因は、TPU1 のカウンタ入力クロックとし、TPU1.TCNT カウンタのアップカウント/カウントダウンで TPU0 カウント値を TPU0.TGRB レジスタに入力キャプチャし（一つ前の値は TPU0.TGRD レジスタへ転送）、エッジ間隔を計測することができます（パルス幅計測）。

TPU1 の TPU1.TGRA レジスタと TPU1.TGRB レジスタは、入力キャプチャ機能に設定し、入力キャプチャ要因は TPU0 の TPU0.TGRA レジスタと TPU0.TGRC レジスタのコンペアマッチを選択し、それぞれの制御周期時のアップカウント/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

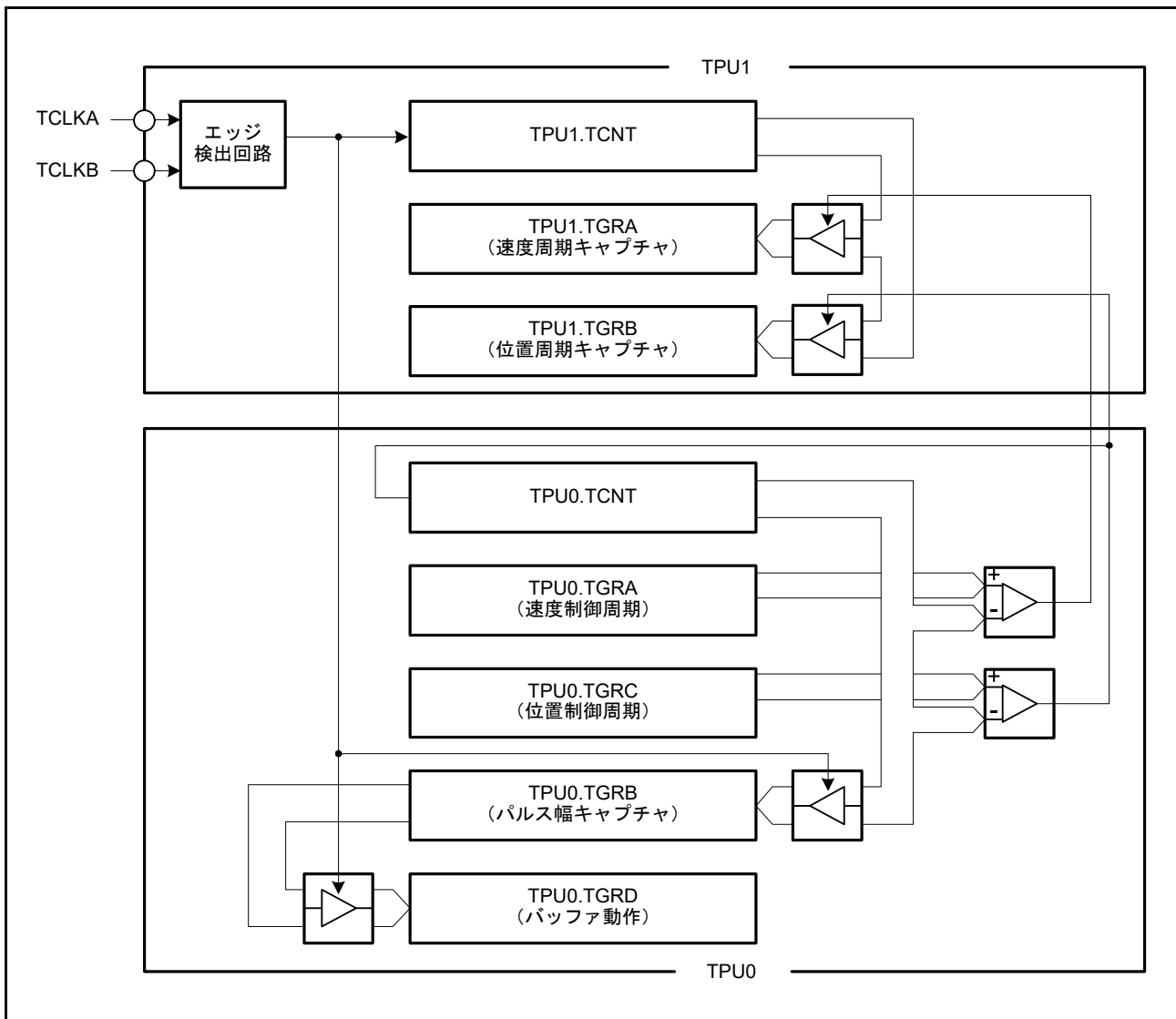


図 18.29 位相計数モードの応用例

18.3.7 ノイズフィルタ機能

TPUのインプットキャプチャ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング3回に満たないパルスを除去します。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可/停止が設定でき、サンプリングクロックは、チャンネルごとに設定が可能です。

図 18.30 にノイズフィルタのタイミングチャートを示します。

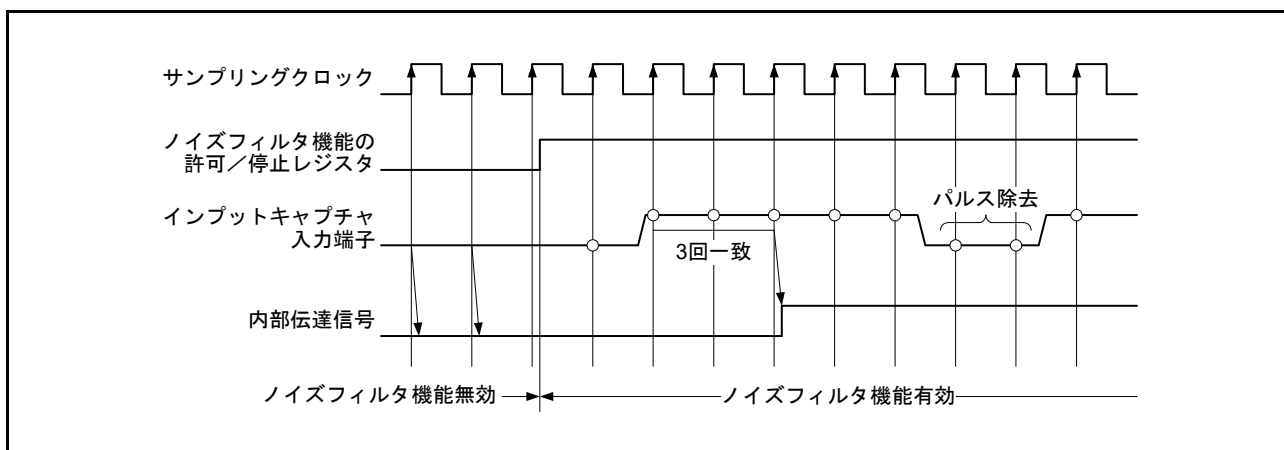


図 18.30 ノイズフィルタのタイミングチャート

ノイズフィルタ機能を設定した場合は、インプットキャプチャ入力に対するノイズフィルタリングによって最短で「サンプリングサイクル×2 + PCLKD」だけ遅延したノイズフィルタ後の信号のエッジに対してインプットキャプチャ動作が行われます。

18.4 割り込み要因

TPUの割り込み要因には、TPUm.TGRyレジスタのインプットキャプチャ/コンペアマッチ、TPUm.TCNTカウンタのオーバフロー、アンダフローの3種類があります。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は変更できません。詳細は「12. 割り込みコントローラ (ICUA)」を参照してください。

表 18.29 に TPU の割り込み要因の一覧を示します。

表 18.29 TPU 割り込み一覧

チャンネル	名称	割り込み要因	DMACの起動
TPU0	TGI0A	TPU0.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGI0B	TPU0.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGI0C	TPU0.TGRCのインプットキャプチャ/コンペアマッチ	不可能
	TGI0D	TPU0.TGRDのインプットキャプチャ/コンペアマッチ	不可能
	TCI0V	TPU0.TCNTのオーバフロー	不可能
TPU1	TGI1A	TPU1.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGI1B	TPU1.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TCI1V	TPU1.TCNTのオーバフロー	不可能
	TCI1U	TPU1.TCNTのアンダフロー	不可能
TPU2	TGI2A	TPU2.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGI2B	TPU2.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TCI2V	TPU2.TCNTのオーバフロー	不可能
	TCI2U	TPU2.TCNTのアンダフロー	不可能
TPU3	TGI3A	TPU3.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGI3B	TPU3.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGI3C	TPU3.TGRCのインプットキャプチャ/コンペアマッチ	不可能
	TGI3D	TPU3.TGRDのインプットキャプチャ/コンペアマッチ	不可能
	TCI3V	TPU3.TCNTのオーバフロー	不可能
TPU4	TGI4A	TPU4.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGI4B	TPU4.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TCI4V	TPU4.TCNTのオーバフロー	不可能
	TCI4U	TPU4.TCNTのアンダフロー	不可能
TPU5	TGI5A	TPU5.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGI5B	TPU5.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TCI5V	TPU5.TCNTのオーバフロー	不可能
	TCI5U	TPU5.TCNTのアンダフロー	不可能

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ/コンペアマッチ割り込み

各チャンネルのTPUm.TGRyレジスタのインプットキャプチャ/コンペアマッチの発生により、TPUm.TIER.TGIEyビット (y = A, B, C, D) が“1”なら、TGI_my割り込みを要求します (m = 0 ~ 5)。TPUには、TPU0、3に各4本、TPU1、2、4、5に各2本、計16本のインプットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTPUm.TCNTカウンタのオーバフローの発生により、TPUm.TIER.TCIEVビットが“1”なら、TCI_mV割り込みを要求します (m = 0 ~ 5)。TPUには、各チャンネルに1本、計6本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TPUm.TCNT カウンタのアンダフローの発生により、TPUm.TIER.TCIEU ビットが“1”なら、TCImU 割り込みを要求します (m=0~4)。TPU には、TPU1、2、4、5 に各 1 本、計 4 本のアンダフロー割り込みがあります。

18.5 DMAC の起動

各チャンネルの TPUm.TGRA、TPUm.TGRB レジスタのインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「14. DMA コントローラ (DMACAa)」を参照してください。

TPU では、各チャンネルに 2 本、計 12 本の TPUm.TGRA、TPUm.TGRB レジスタのインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます (m=0~5)。

18.6 A/D コンバータの起動

TPU は、各チャンネルの TPUm.TGRA レジスタのインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動することができます (m=0~4)。

各チャンネルの TPUm.TGRA レジスタのインプットキャプチャ/コンペアマッチが発生したとき、TPUm.TIER.TTGE ビットが“1”なら、TPU は A/D コンバータに対して A/D 変換の開始を要求します。(m=0~4)

なお、対応する A/D コンバータのユニットに関しては「30. 12 ビット A/D コンバータ (S12ADCa)」を参照してください。

18.7 動作タイミング

18.7.1 入出力タイミング

(1) TPUm.TCNT カウンタのカウントタイミング

内部クロック動作の場合の TPUm.TCNT カウンタのカウントタイミングを図 18.31 に示します。また、外部クロック動作の場合の TCNT カウンタのカウントタイミングを図 18.32 に示します ($m=0\sim 5$)。

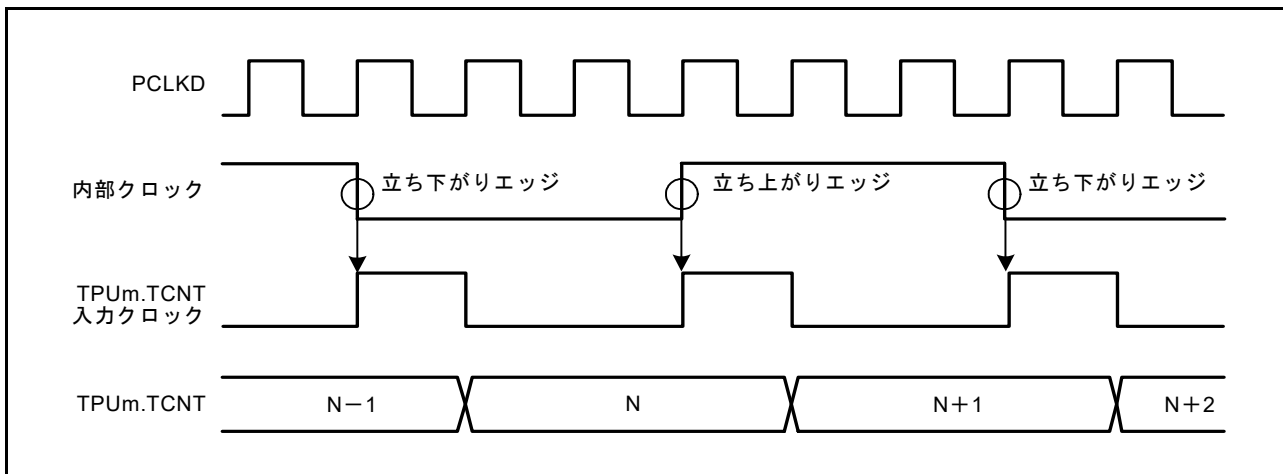


図 18.31 内部クロック動作時のカウントタイミング

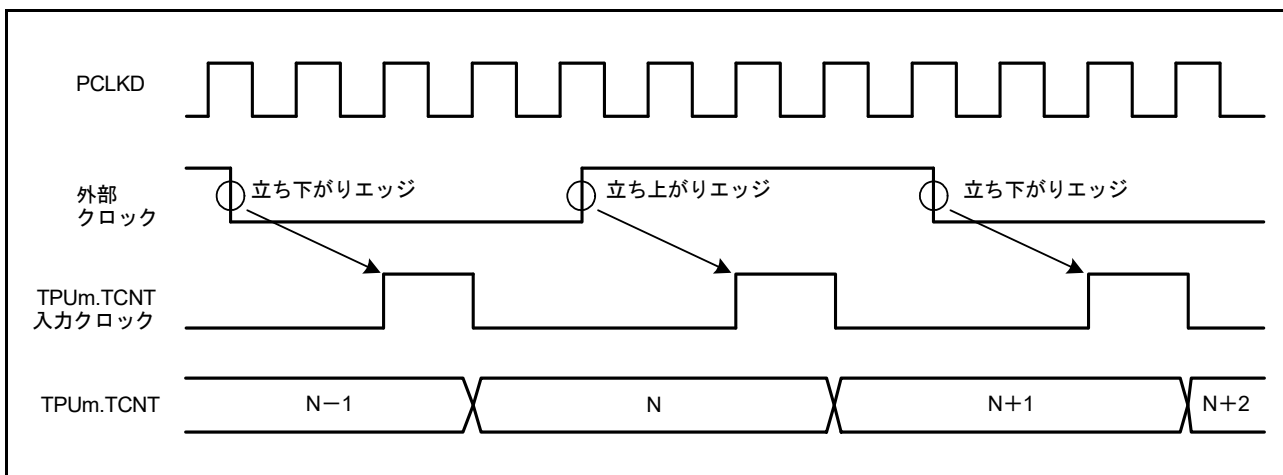


図 18.32 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TPUm.TCNT カウンタと TPUm.TGRy レジスタが一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TPUm.TIORH、TPUm.TIOLR、TPUm.TIOR レジスタで設定した出力値がアウトプットコンペア出力端子 (TIOCyn ($n=0, 3$ の場合 $y=A \sim D$ 、 $n=1, 2, 4, 5$ の場合 $y=A, B$) 端子) に出力されます。TCNT カウンタと TGRy レジスタが一致した後、TCNT カウンタ入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 18.33 に示します。

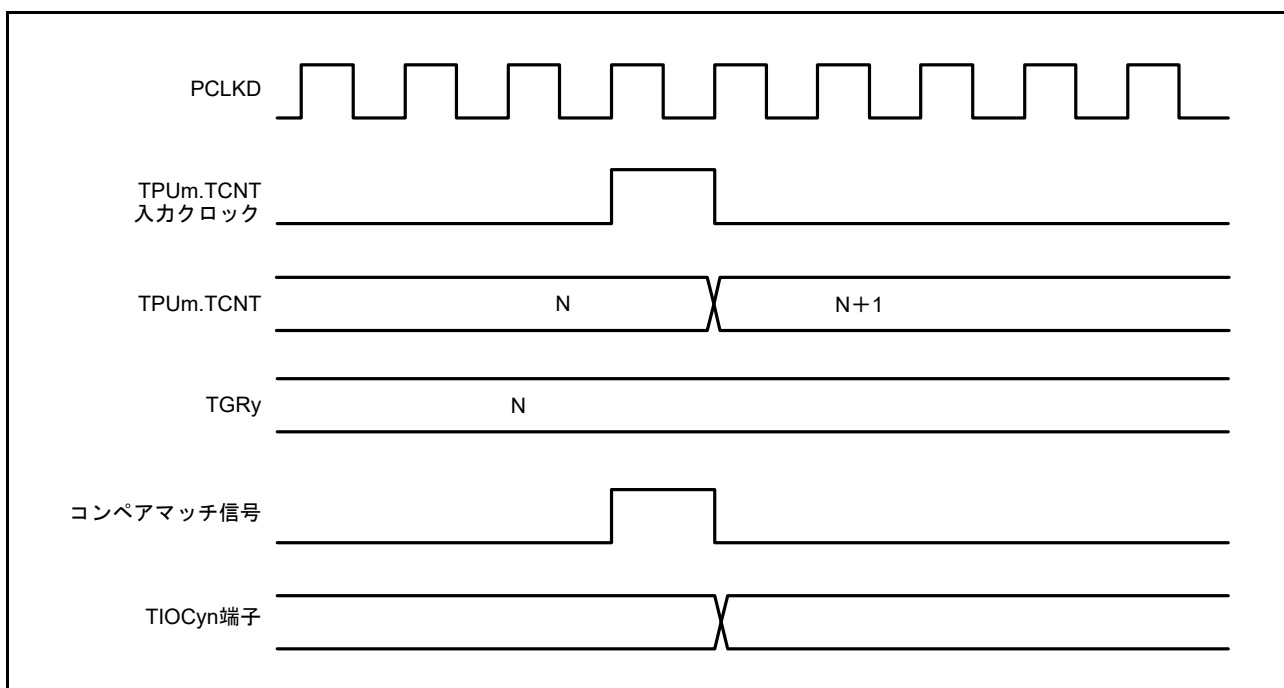


図 18.33 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 18.34 に示します。

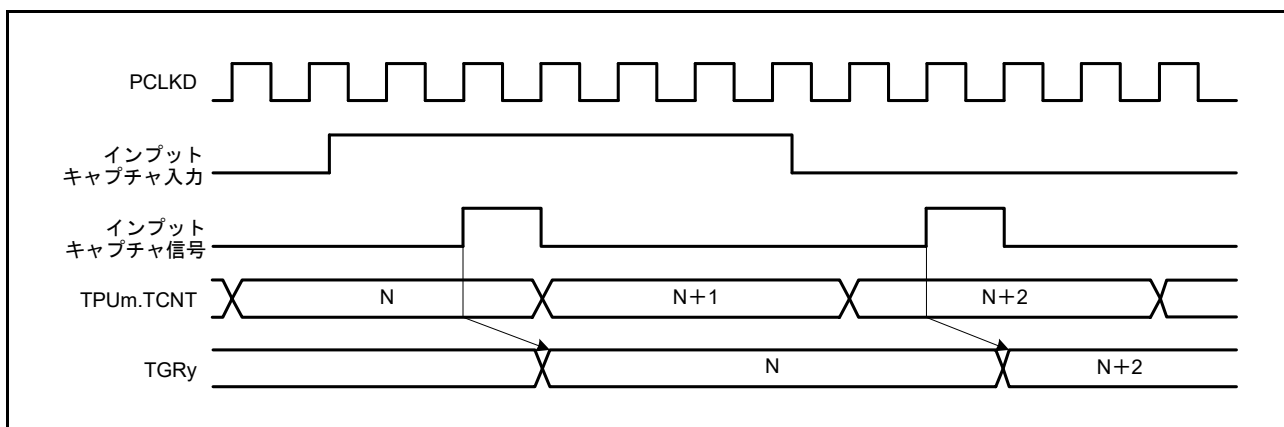


図 18.34 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 18.35 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 18.36 に示します。

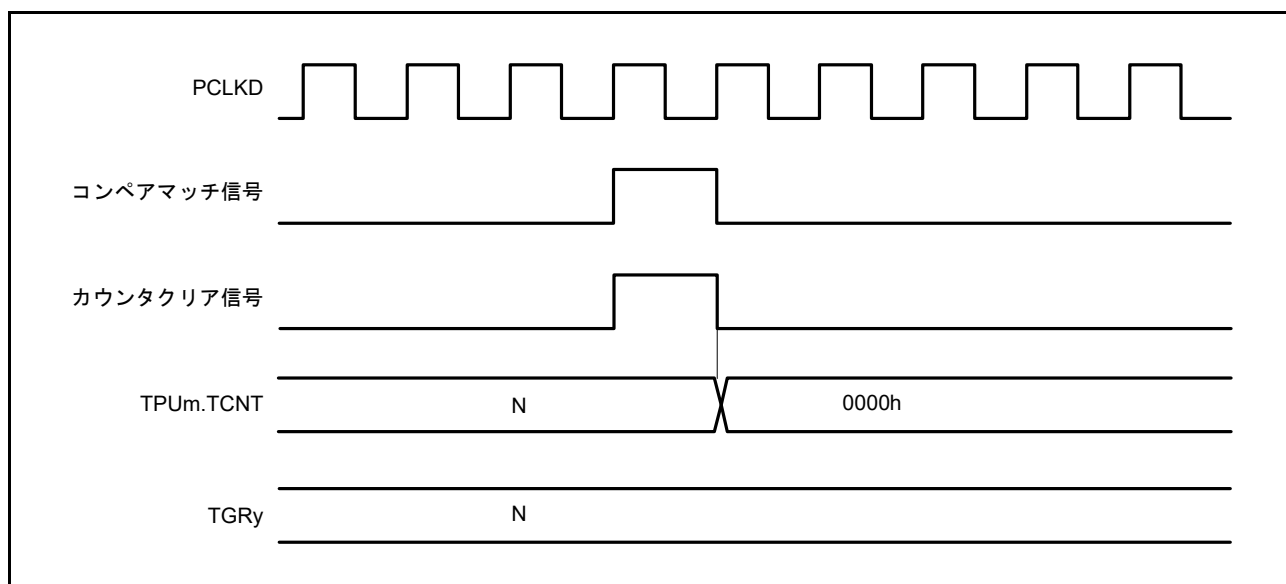


図 18.35 カウンタクリアタイミング (コンペアマッチ)

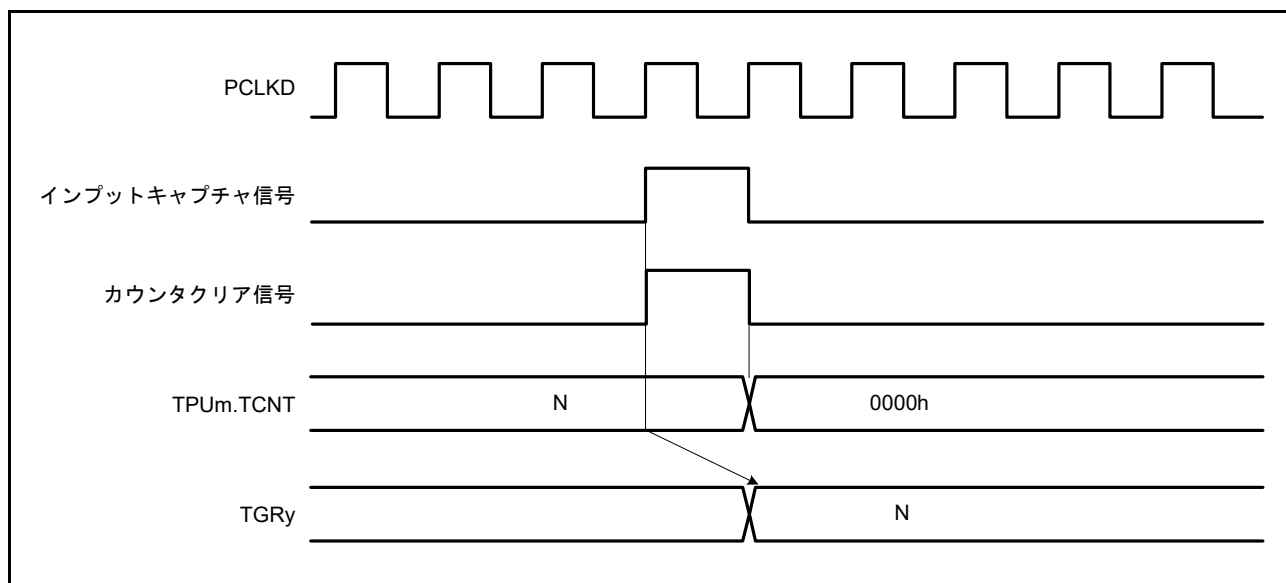


図 18.36 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 18.37、図 18.38 に示します。

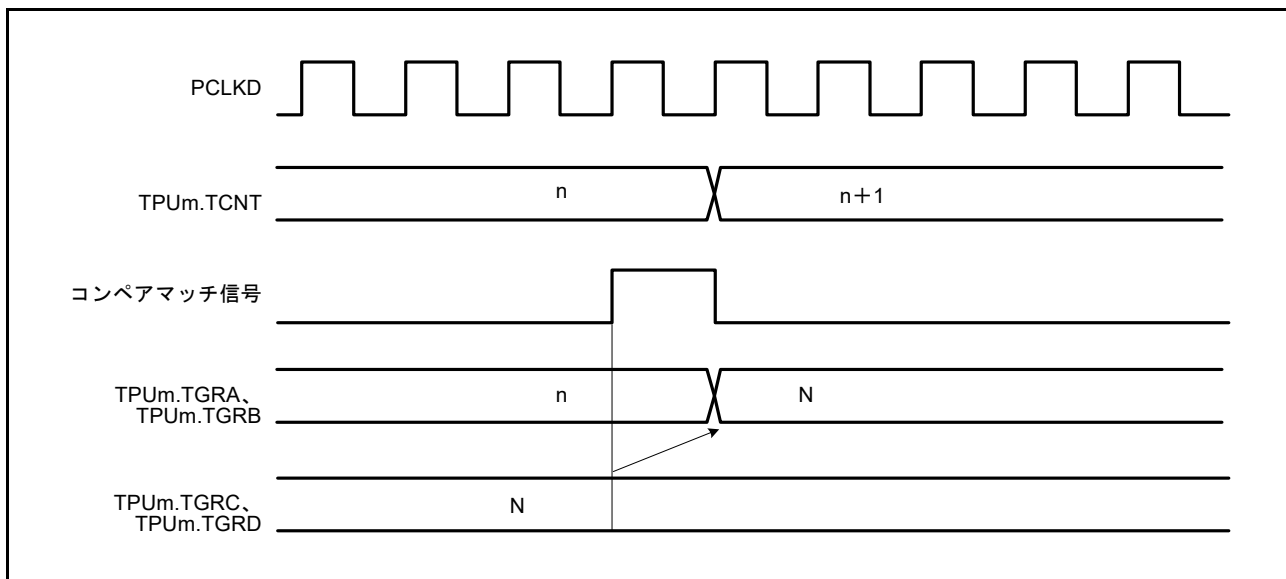


図 18.37 バッファ動作タイミング (コンペアマッチ)

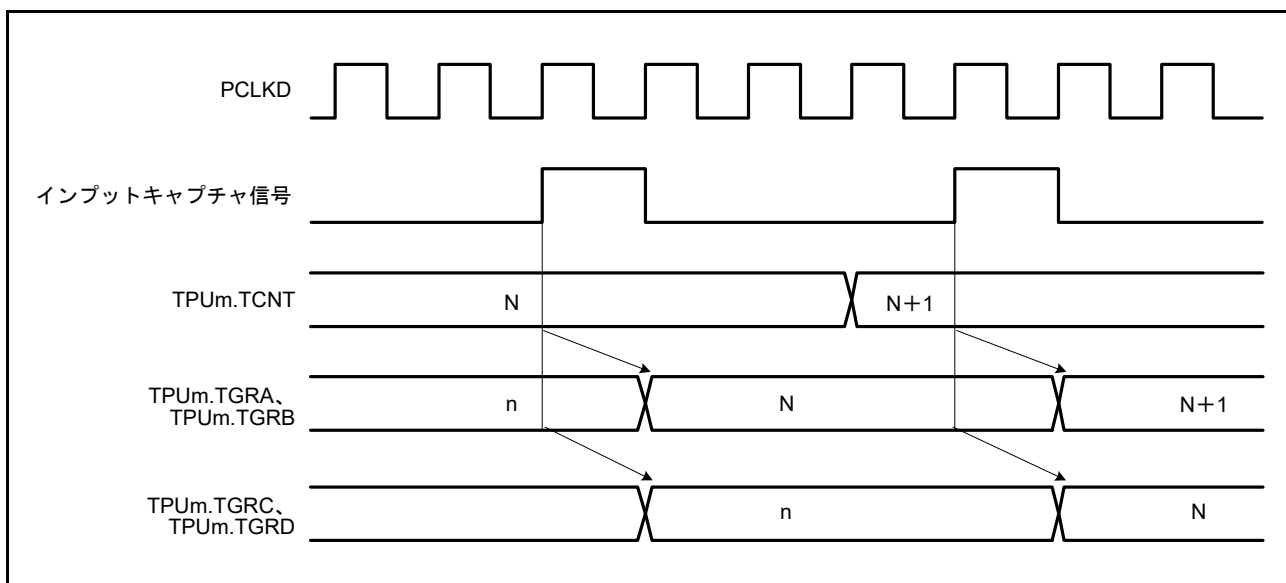


図 18.38 バッファ動作タイミング (インพุットキャプチャ)

18.7.2 割り込み信号タイミング

(1) コンペアマッチ時の割り込み信号のセットタイミング

コンペアマッチの発生による TGI_my 割り込み信号のタイミングを図 18.39 に示します (m = 0, 3 の場合 y = A ~ D、m = 1, 2, 4, 5 の場合 y = A, B)。

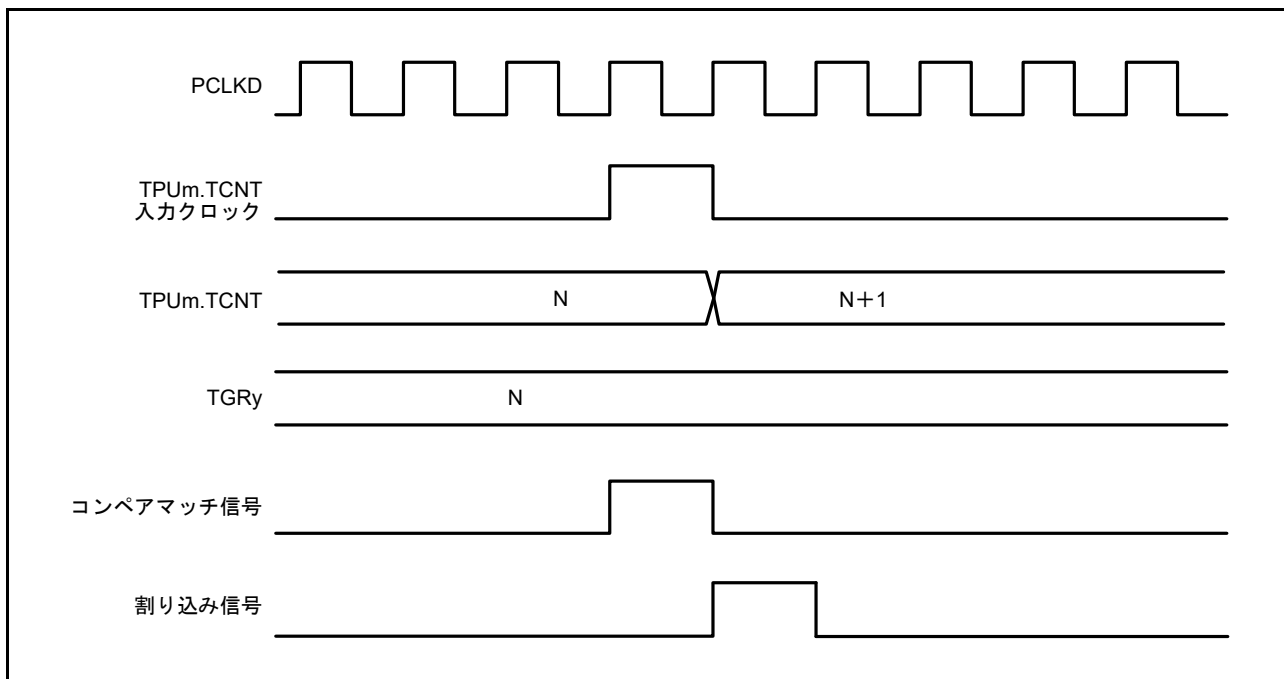


図 18.39 TGI_my 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の割り込み信号のセットタイミング

インพุットキャプチャの発生による TGI_my 割り込み信号のタイミングを図 18.40 に示します (m = 0, 3 の場合 y = A ~ D、m = 1, 2, 4, 5 の場合 y = A, B)。

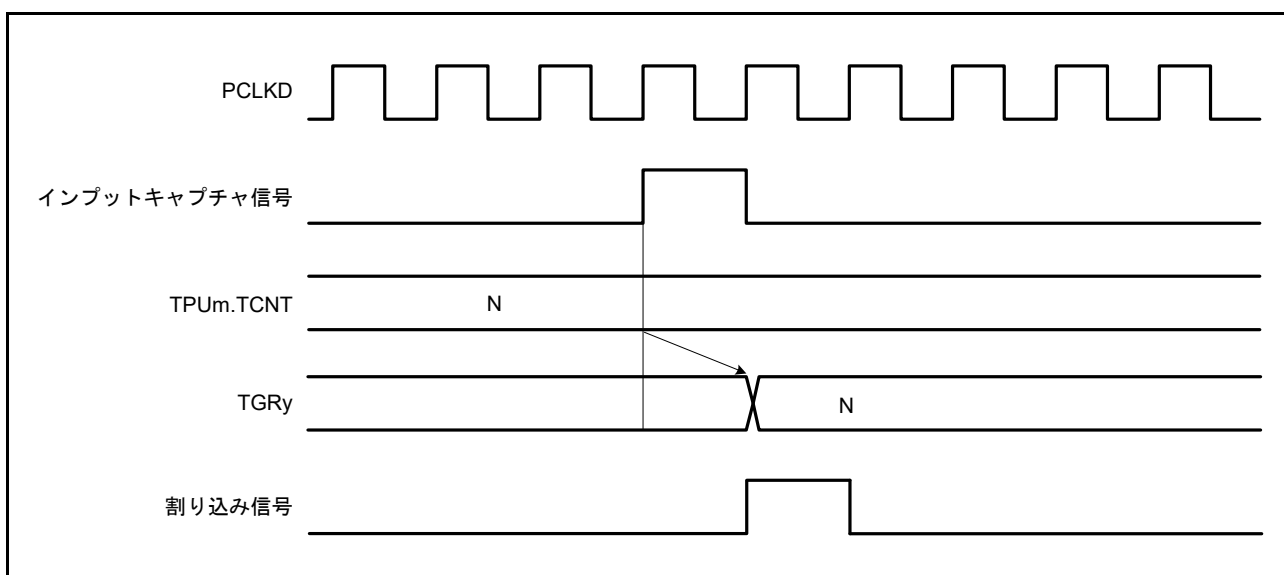


図 18.40 TGI_my 割り込みタイミング (インพุットキャプチャ)

(3) TCImV、TCImU 割り込み信号のセットタイミング

オーバーフローの発生による TCImV 割り込み信号のタイミングを図 18.41 に示します (m=0~5)。
 アンダフローの発生による TCImU 割り込み信号のタイミングを図 18.42 に示します (n=1, 2, 4, 5)。

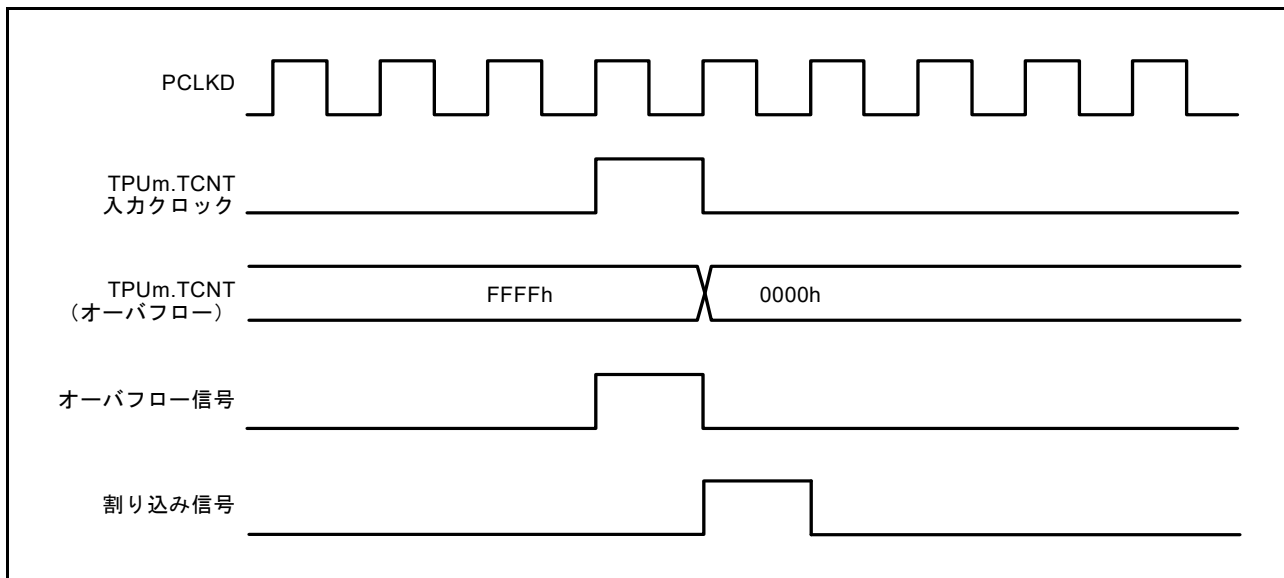


図 18.41 TCImV 割り込みのセットタイミング

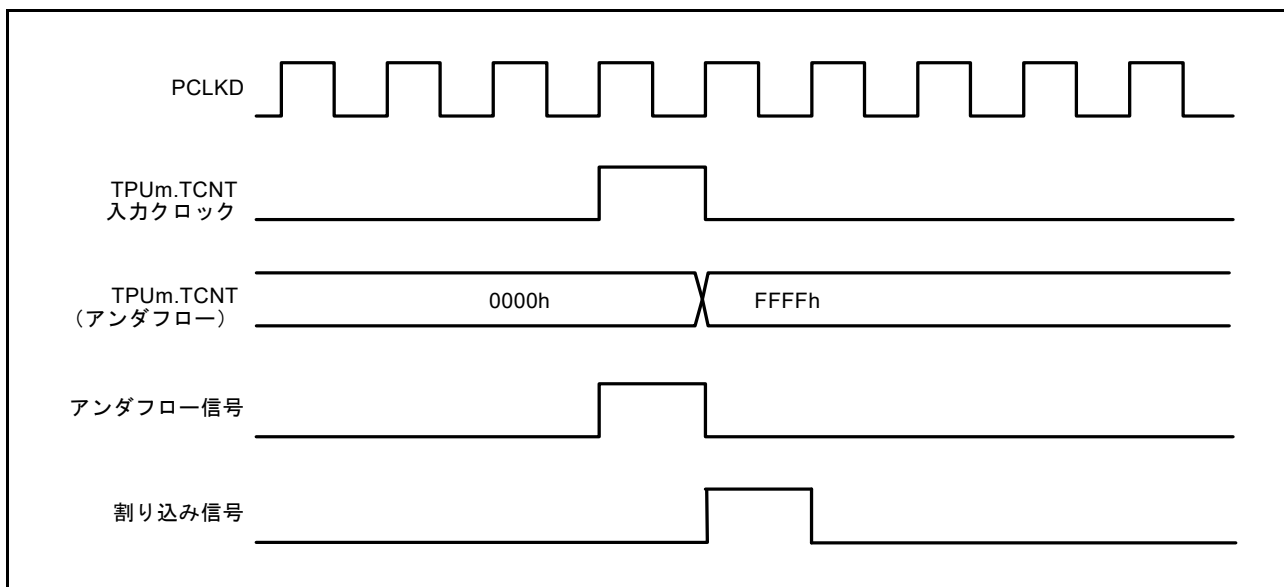


図 18.42 TCImU 割り込みのセットタイミング

18.8 使用上の注意事項

18.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、TPUの動作禁止/許可を設定することが可能です。初期値では、TPUの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「9. 消費電力低減機能」を参照してください。

18.8.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は1.5PCLKD以上、両エッジの場合は2.5 PCLKD以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ1.5 PCLKD以上、パルス幅は2.5PCLKD以上必要です。位相計数モードの入力クロックの条件を図18.43に示します。

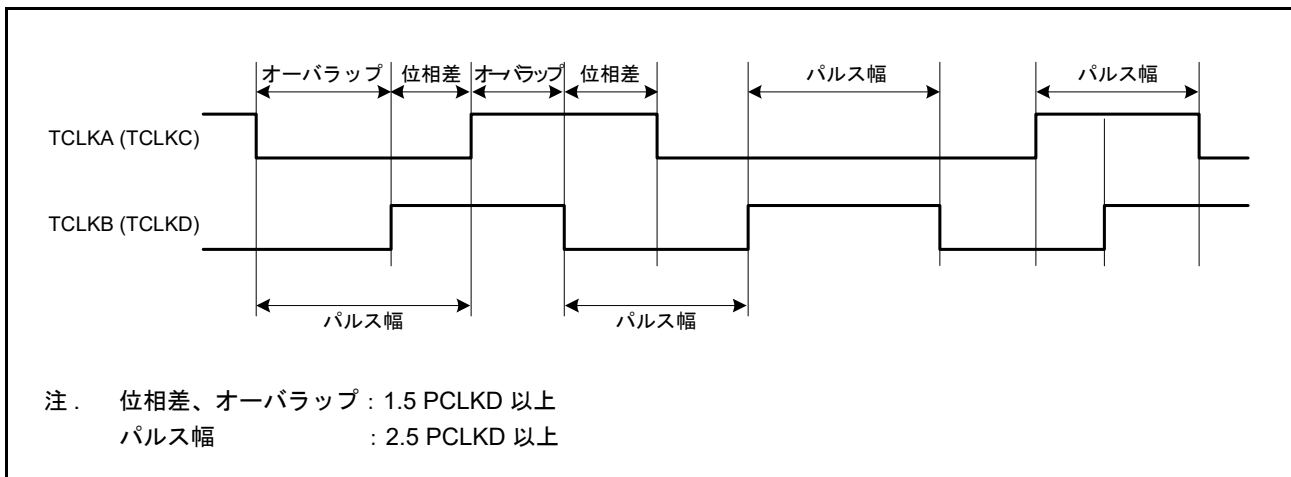


図 18.43 位相計数モード時の位相差、オーバーラップ、およびパルス幅

18.8.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TPUm.TCNT カウンタは TPUm.TGRy レジスタの値と一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は以下の式のようにになります (m=0,3 の場合 y=A~D, m=1, 2,4,5 の場合 y=A, B)。

$$f = \frac{f_{\text{TCNT_CLK}}}{(N+1)}$$

- f : カウンタ周波数
 $f_{\text{TCNT_CLK}}$: カウンタクロックの周波数
 N : TGRy レジスタの設定値

18.8.4 TPUm.TCNT カウンタへの書き込みとクリアの競合

TPUm.TCNT カウンタのライトサイクルでカウンタクリア信号が発生すると、TPUm.TCNT カウンタへの書き込みは行われずに TPUm.TCNT カウンタのクリアが優先されます。このタイミングを図 18.44 に示します (m=0~5)。

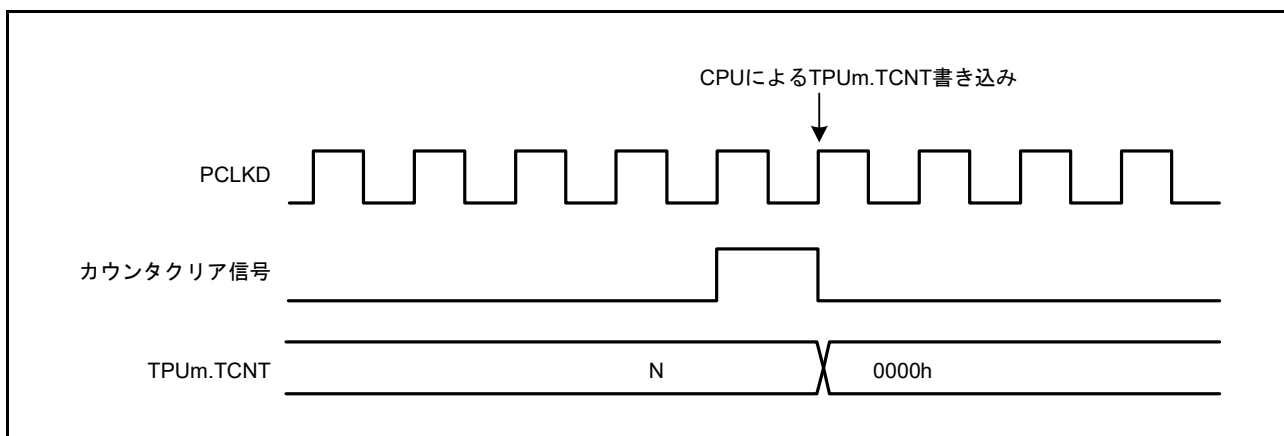


図 18.44 TPUm.TCNT カウンタへの書き込みとクリアの競合

18.8.5 TPUm.TCNT カウンタへの書き込みとカウントアップの競合

TPUm.TCNT カウンタのライトサイクルでカウントアップが発生してもカウントアップされず、TPUm.TCNT カウンタへの書き込みが優先されます。このタイミングを図 18.45 に示します (m=0~5)。

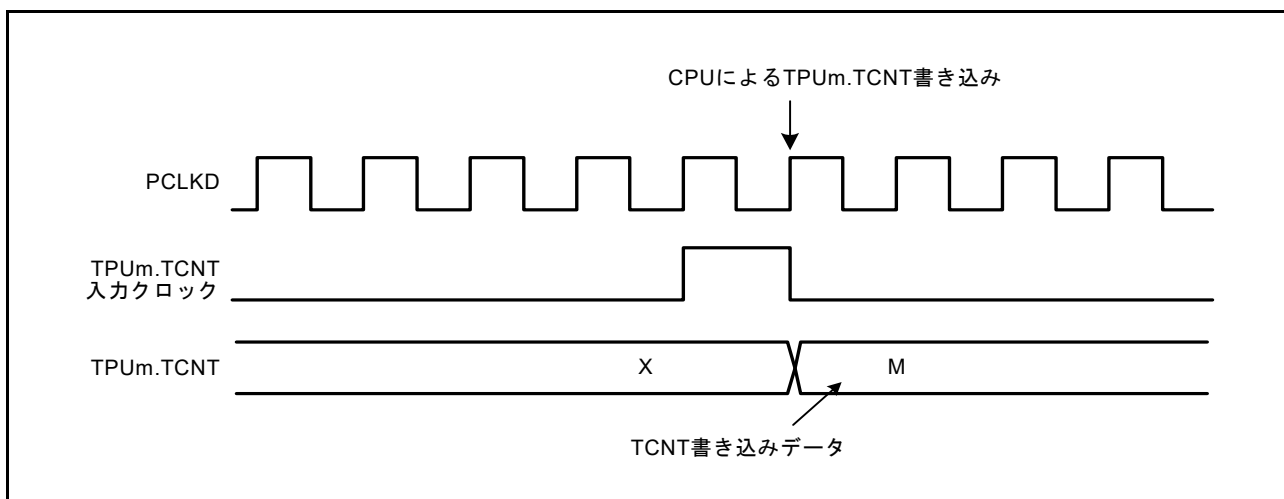


図 18.45 TPUm.TCNT カウンタへの書き込みとカウントアップの競合

18.8.6 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

TGRy レジスタのライトサイクルでコンペアマッチが発生しても TGRy レジスタへの書き込みが優先され、コンペアマッチ信号は禁止されます。前回と同じ値を書いた場合でもコンペアマッチは発生しません (m = 0, 3 の場合 y = A ~ D、m = 1, 2, 4, 5 の場合 y = A, B)。

このタイミングを図 18.46 に示します。

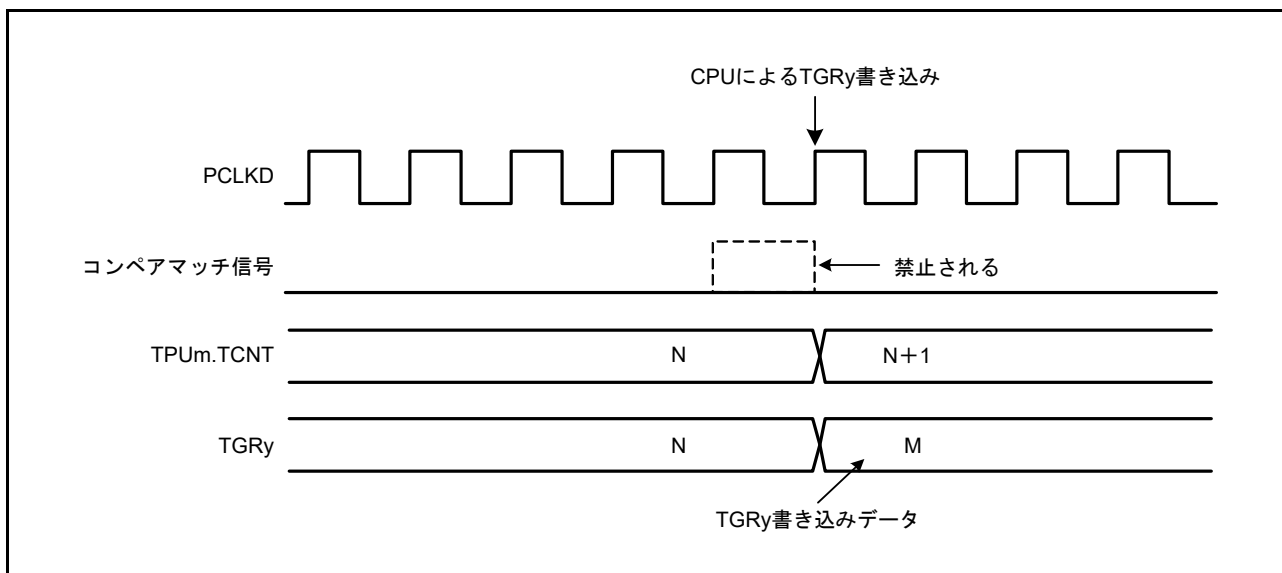


図 18.46 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

18.8.7 バッファレジスタへの書き込みとコンペアマッチの競合

TPUm.TGRy レジスタのライトサイクルでコンペアマッチが発生すると、バッファ動作によって TGRy レジスタに転送されるデータは書き込み前のデータとなります (m = 0, 3 の場合 y = A ~ D、m = 1, 2, 4, 5 の場合 y = A, B)。

このタイミングを図 18.47 に示します。

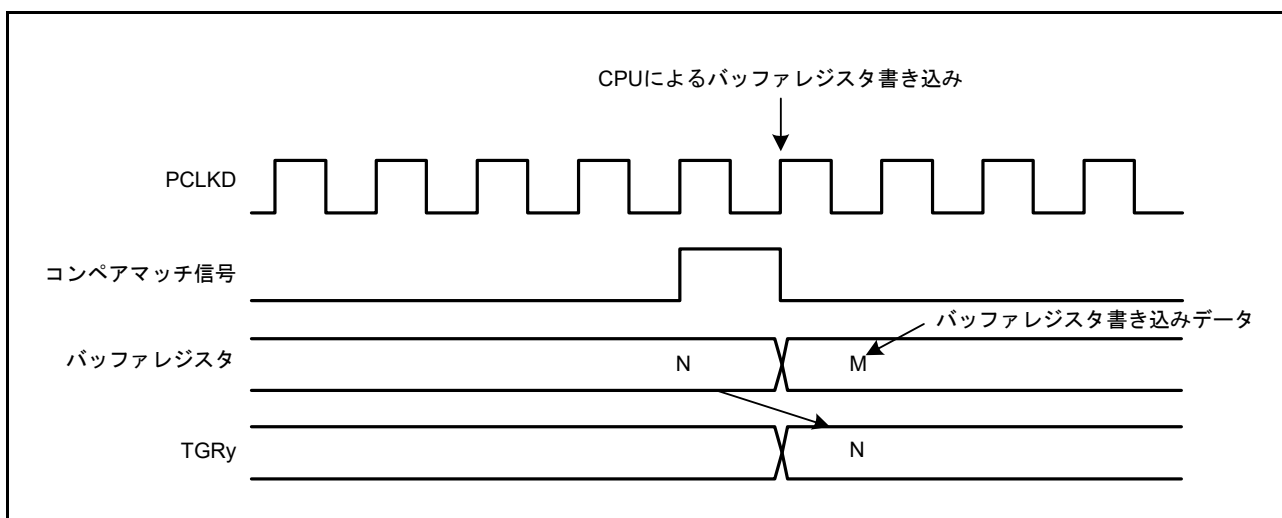


図 18.47 バッファレジスタへの書き込みとコンペアマッチの競合

18.8.8 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

TGRy レジスタのリードサイクルでインプットキャプチャ信号が発生すると、読み出しデータはインプットキャプチャ転送前のデータとなります ($m=0, 3$ の場合 $y=A \sim D$ 、 $m=1, 2, 4, 5$ の場合 $y=A, B$)。

このタイミングを図 18.48 に示します。

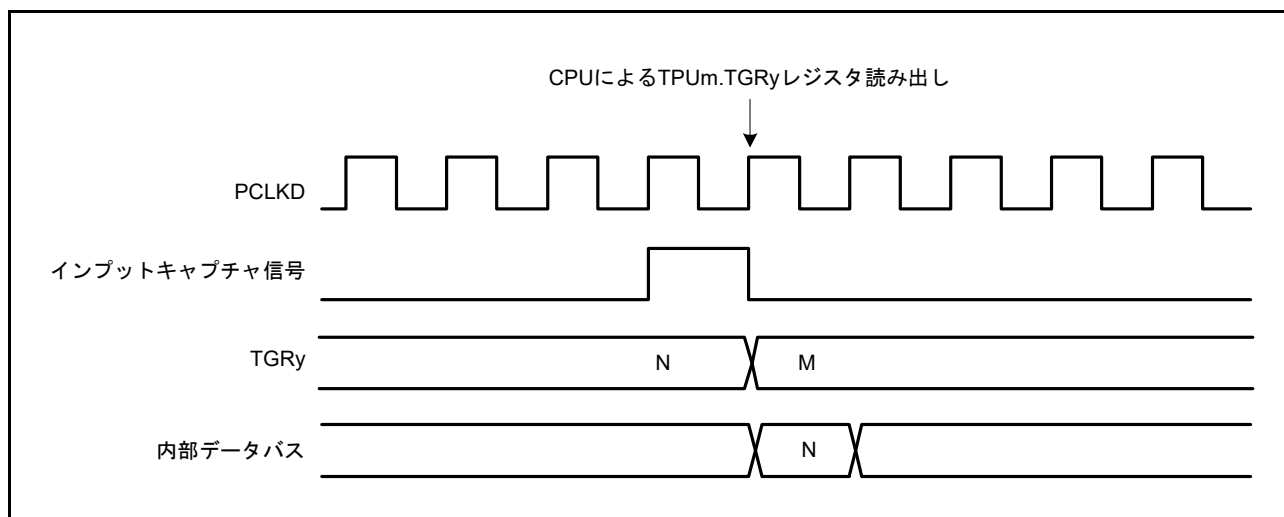


図 18.48 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

18.8.9 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

TGRy レジスタのライトサイクルでインプットキャプチャ信号が発生すると、TGRy レジスタへの書き込みは行われず、インプットキャプチャが優先されます ($m=0, 3$ の場合 $y=A \sim D$ 、 $m=1, 2, 4$ の場合 $y=A, B$)。このタイミングを図 18.49 に示します。

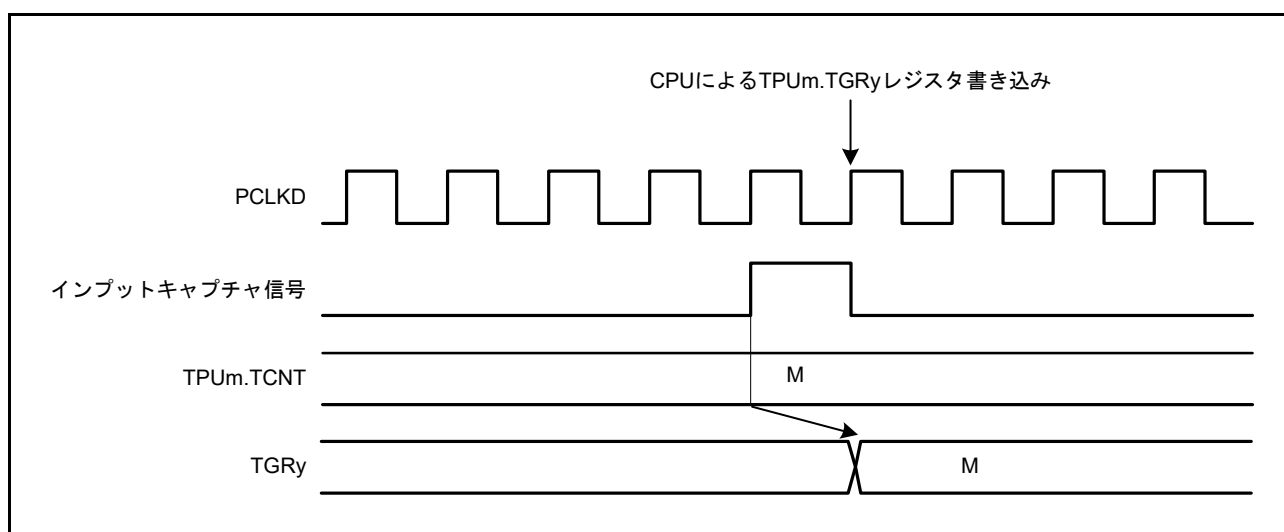


図 18.49 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

18.8.10 バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタのライトサイクルでインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます ($m=0,3$ の場合 $y=A \sim D$ 、 $m=1,2,4,5$ の場合 $y=A, B$)。このタイミングを図 18.50 に示します。

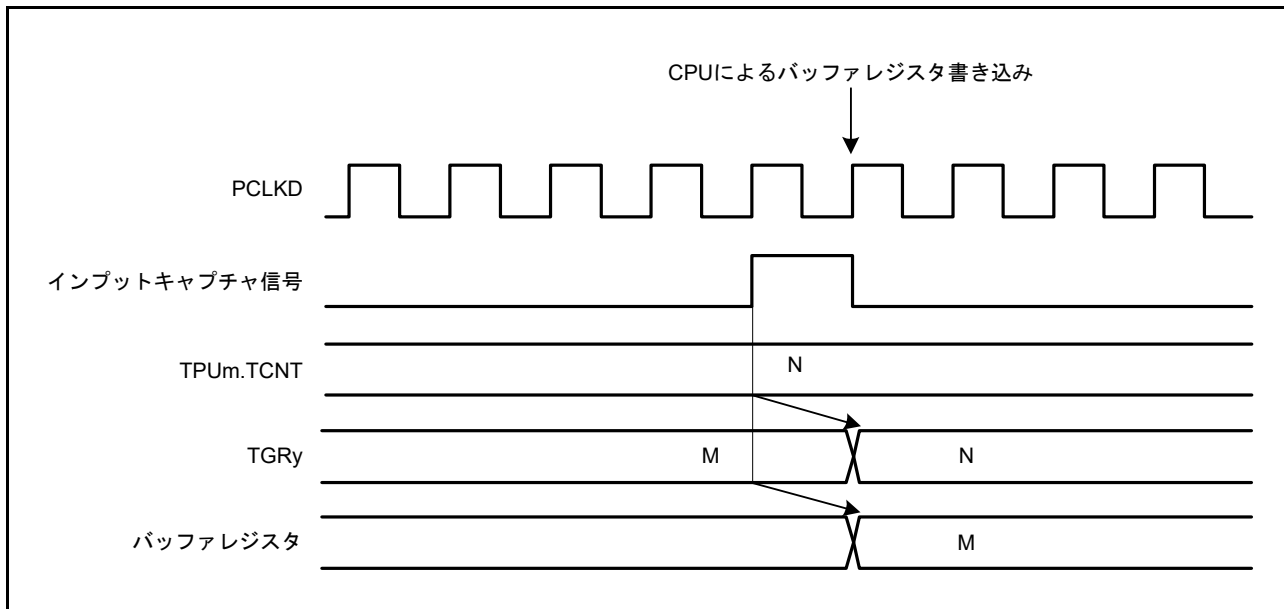


図 18.50 バッファレジスタへの書き込みとインプットキャプチャの競合

18.8.11 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリア（注1）が同時に発生すると、TPUm.TCNT カウンタのクリアが行われオーバフロー割り込み (TCImV) /アンダフロー割り込み (TCInU) が発生します (m = 0 ~ 5、n = 1, 2, 4, 5)。

TPUm.TGRy レジスタのコンペアマッチをクリア要因とし、TGRy レジスタを“FFFFh”にした場合の動作タイミングを図 18.51 に示します (m = 0, 3 の場合 y = A ~ D、m = 1, 2, 4, 5 の場合 y = A, B)。

注 1. カウンタクリアの要因は以下の 4 種類です。

- ・コンペアマッチ
- ・インプットキャプチャ
- ・同期クリア
- ・イベント信号によるカウントクリア動作

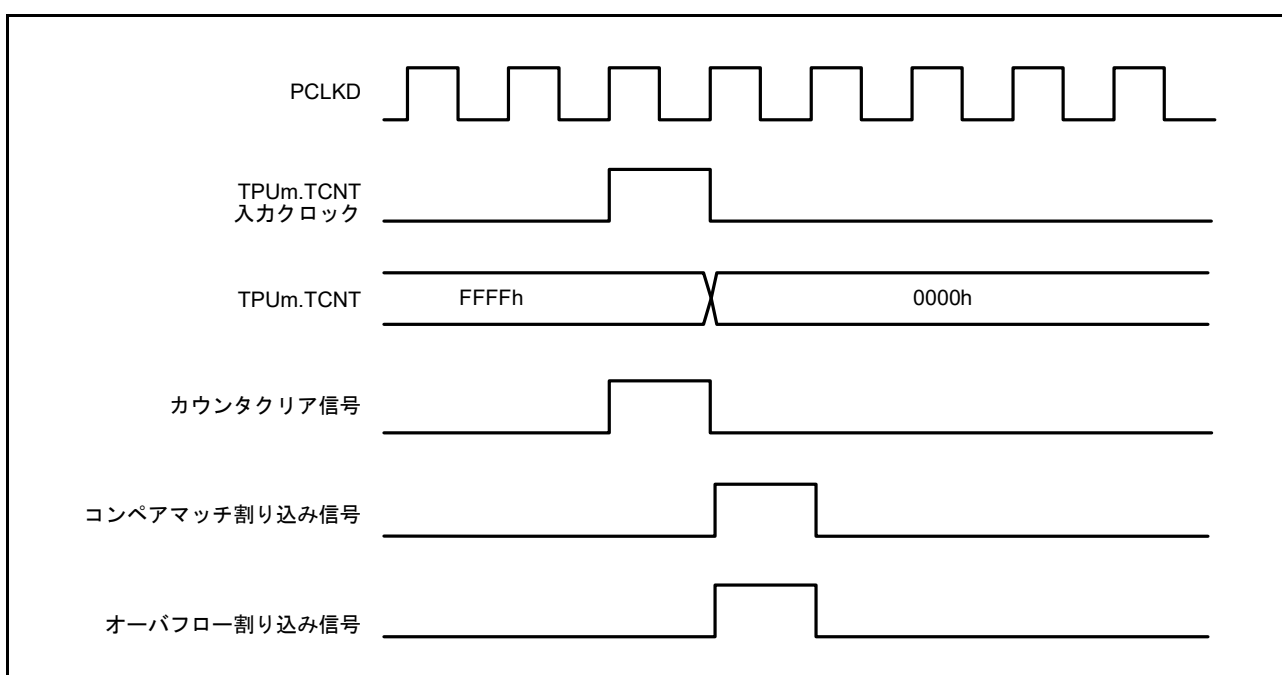


図 18.51 オーバフローとカウンタクリアの競合

18.8.12 TPUm.TCNT カウンタへの書き込みとオーバフロー／アンダフローの競合

TPUm.TCNT カウンタのライトサイクルでアップカウント／カウントダウンが発生し、オーバフロー／アンダフローが発生しても TPUm.TCNT カウンタへの書き込みが優先されます。

TPUm.TCNT カウンタへの書き込みとオーバフロー競合時の動作タイミングを図 18.52 に示します (m = 0 ~ 5)。

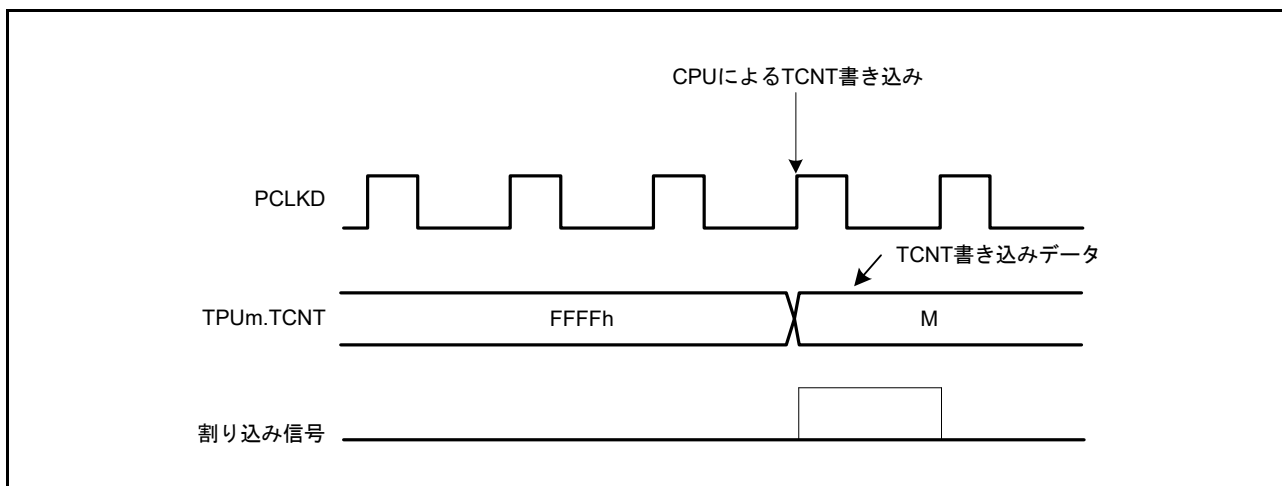


図 18.52 TPUm.TCNT カウンタへの書き込みとオーバフローの競合

18.8.13 コンペアマッチによる割り込み信号の連続出力

TGRy レジスタに“0000h”、カウンタクロックを PCLKD/1、コンペアマッチでカウンタクリアに設定した場合、TCNTは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込みを認識できなくなります (y = A ~ D)。

コンペアマッチによる割り込み信号の連続出力タイミングを図 18.53 に示します。

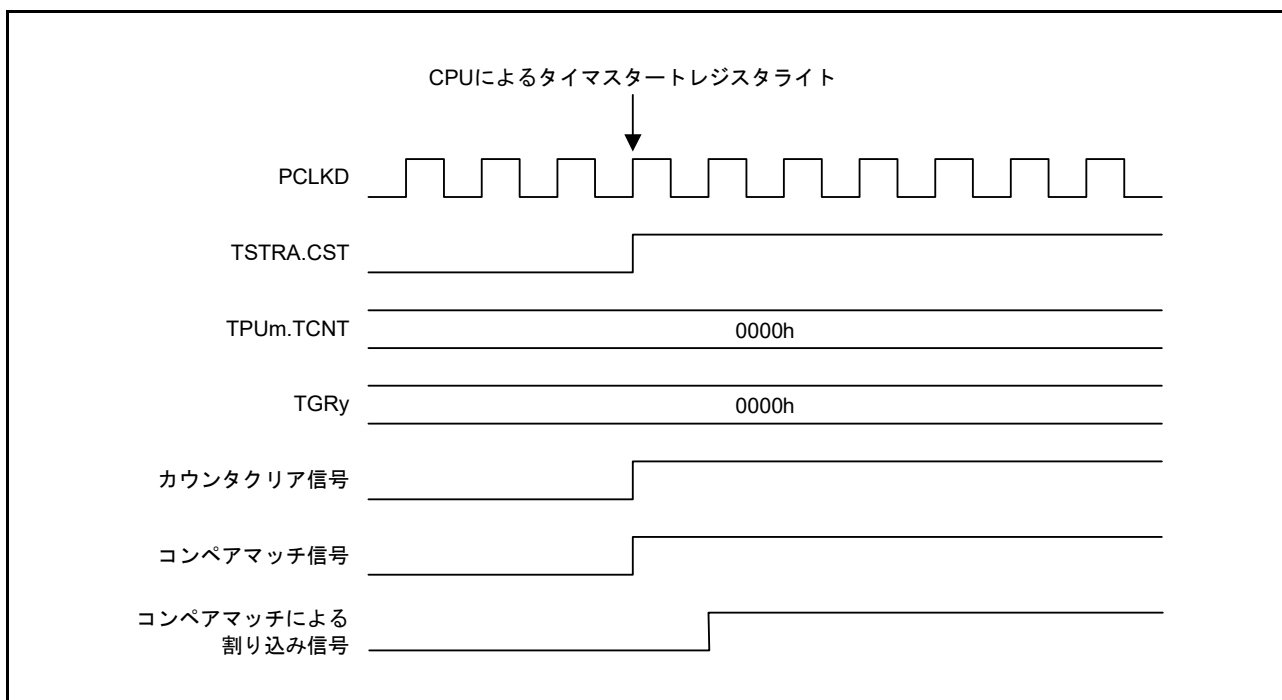


図 18.53 コンペアマッチによる割り込み信号の連続出力

18.8.14 インพุットキャプチャによる割り込み信号の連続出力

インพุットキャプチャを両エッジ、インพุットキャプチャ入力が内部サンプリングによって 1PCLKD サイクルとして検出されるパルス幅の場合、立ち上がりエッジと立ち下がりエッジによるインพุットキャプチャが連続して発生するために、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のインพุットキャプチャによる割り込みを認識できなくなります。

インพุットキャプチャによる割り込み信号の連続出力タイミングを図 18.54 に示します。

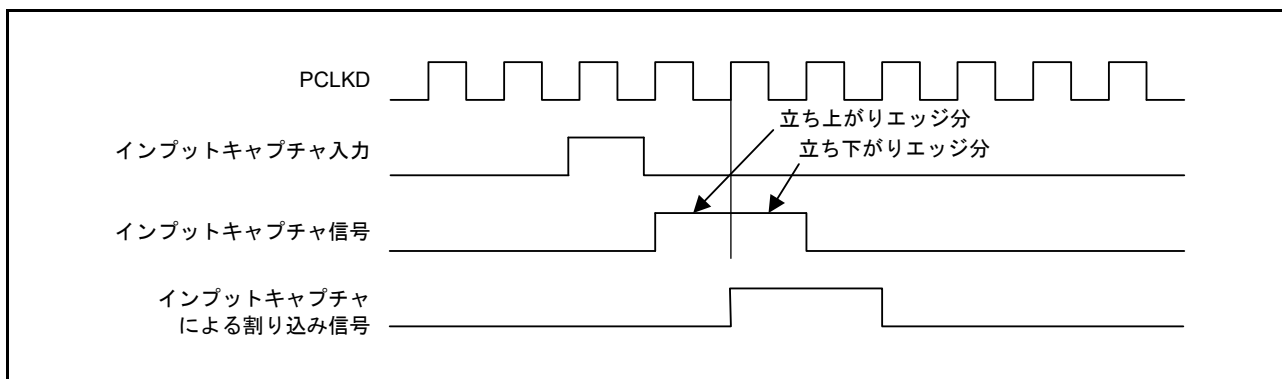


図 18.54 インพุットキャプチャによる割り込み信号の連続出力

18.8.15 アンダフローによる割り込み信号の連続出力

位相計数モード1、TGRyレジスタを“0000h”、カウンタクリア要因をコンペアマッチに設定し、TPUm.TCNTが“0000h”の状態のときに位相計数の対象となる2本の外部クロックの同方向のエッジがPCLKDの2サイクル内で発生した場合、TPUm.TCNTは“0000h”のままとなり、コンペアマッチ割り込み信号とアンダフロー割り込み信号は、レベル状の連続出力信号となります ($y = A \sim D$, $m = 1, 2, 4, 5$)。

これにより、2回目以降のコンペアマッチとアンダフローによる割り込みを認識できなくなります。アンダフローによる割り込み信号の連続出力するタイミングを図18.55に示します。

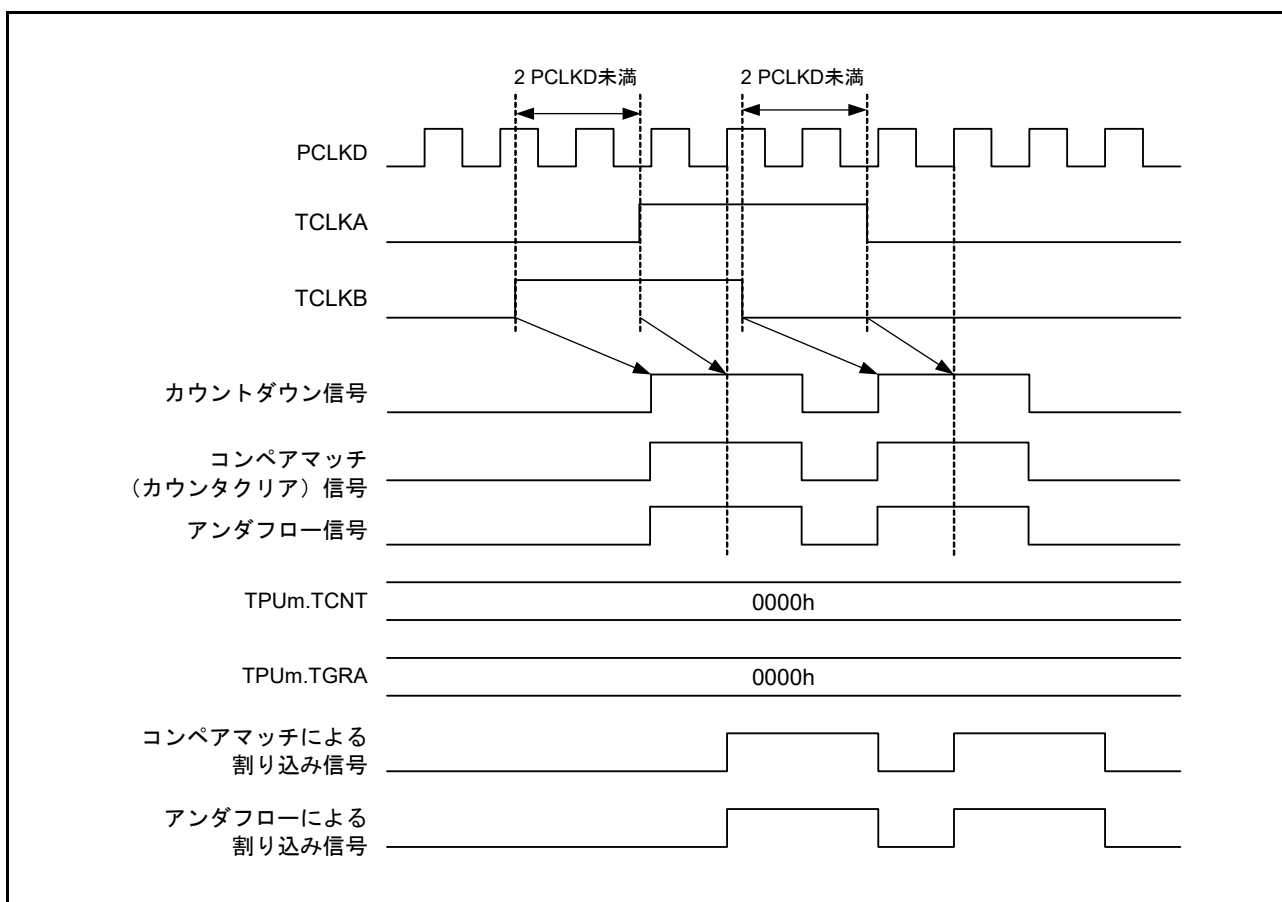


図 18.55 アンダフローによる割り込み信号の連続出力

18.8.16 カスケード接続時におけるインプットキャプチャ動作

2チャンネルの16ビットカウンタをカスケード接続して、上位16ビットカウンタ TPU_m.TCNT (m = 1, 4) と下位16ビットカウンタ TPU_n.TCNT (n = 2, 5) で32ビットカウンタとして動作させた場合、例えば TIOCA_m 端子と TIOCA_n 端子に2本同時に立ち上がりエッジを入力することで、それぞれ TPU_m.TGRA レジスタへ上位16ビット、TPU_n.TGRA レジスタに下位16ビットのデータが転送されます。

ただし TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時入力しても、LSI 内部に取り込むまでに遅延差が生じるため、上位16ビットと下位16ビットのキャプチャタイミングが1クロックずれる場合があります。本現象では 0000 FFFFh から 0001 0000h のように、下位16ビットカウンタのオーバフロータイミングをキャプチャした場合、本来ならキャプチャされた値は 0000 FFFFh、または 0001 0000h のどちらかになるべきですが 0000 0000h または 0001 FFFFh がキャプチャされる可能性があります。

このため32ビットカウンタとしてインプットキャプチャを使用する場合には、本現象でキャプチャ値がずれる可能性がある下位16ビットカウンタの値が 0000h、または FFFFh の値を示す場合はキャプチャ値を読み捨てるなど無効化の処理を行うようご注意ください。

18.9 イベントリンク動作

18.9.1 ELC へのイベント信号送信

TPU は ELC (イベントリンクコントローラ) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は該当する TIER0 レジスタの割り込み要求許可ビット (TGIEA/B/C/D、TCIEV/U) の設定に関係なく出力することができます。

各チャンネルが送信可能なイベント信号を表 18.30 に示します。

表 18.30 ELCへ送信するイベント信号の割り込み要因対応表

チャンネル番号	コンペアマッチA	コンペアマッチB	コンペアマッチC	コンペアマッチD	オーバーフロー	アンダフロー
チャンネル0	○	○	○	○	○	— (注1)
チャンネル1	○	○	— (注2)	— (注2)	○	○
チャンネル2	○	○	— (注2)	— (注2)	○	○
チャンネル3	○	○	○	○	○	— (注1)

○：可能

—：不可

注1. チャンネル0、3はアンダフローしないため対応する割り込み要求信号なし

注2. チャンネル1、2はTGRCとTGRDレジスタがないため対応する割り込み要求信号なし

18.9.2 ELC からのイベント信号受信

TPU は、ELC (イベントリンクコントローラ) のイベントリンク設定レジスタの設定により、3種類の動作ができます。

(1) カウントスタート動作

ELC の ELOPF レジスタで TPU のカウントスタート動作が選択された状態でイベント信号を受信すると、TSTRA (タイマスタートレジスタ) の CSTn ビットが“1”にセットされ、カウントがスタートします。

ただし、CSTn ビットが“1”にセットされているチャンネルでこのイベントが発生した場合、イベントは無効になります。

各チャンネルに対して使用する TSTRA の CSTn ビットを表 18.31 に示します。

また、カウントスタート動作のタイミングを図 18.56 に示します。

カウントスタート動作の設定手順の詳細については「18.3.1 (1) カウンタの動作」を参照してください。

表 18.31 チャンネルとTSTRAのCSTnビットの対応表

チャンネル番号	TSTRAのCSTnビット
チャンネル0	CST0
チャンネル1	CST1
チャンネル2	CST2
チャンネル3	CST3

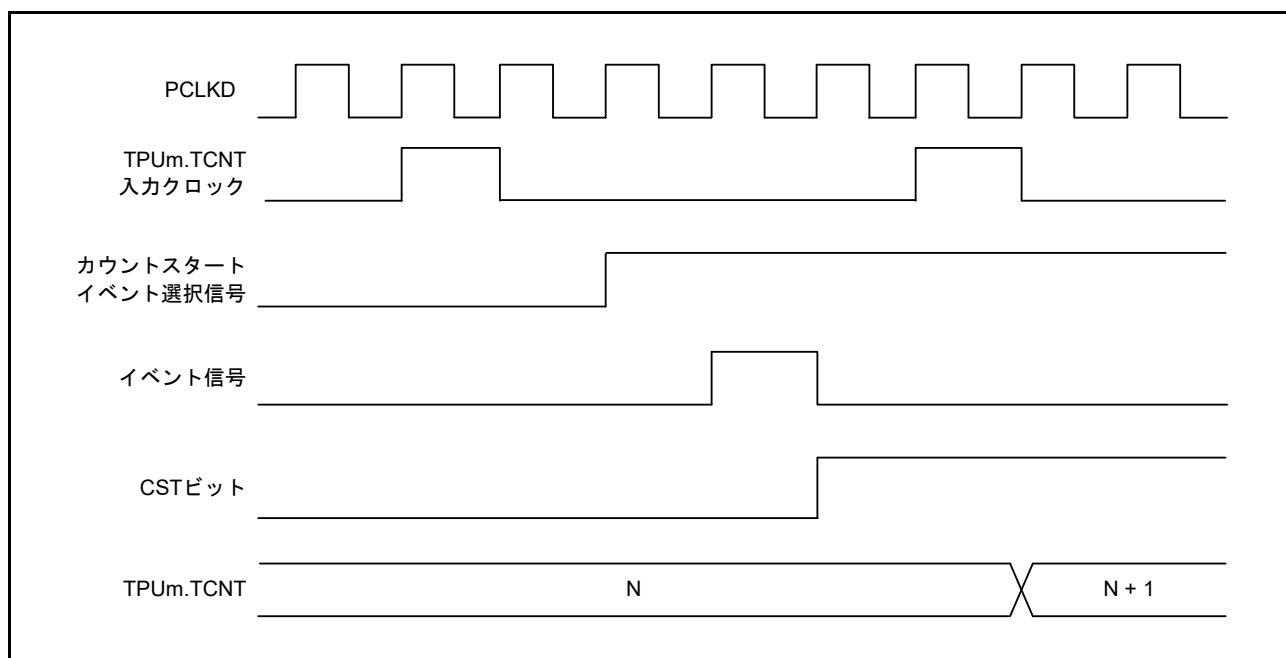


図 18.56 イベント信号受信によるカウントスタート動作

(2) カウントクリア動作

ELC の ELOPF レジスタで TPU のカウントクリア動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCNT (タイマカウンタ) の値が初期値 (0000h) に書き換わります。このとき、TSTRA (タイマスタートレジスタ) の CSTn ビットが“1”にセットされていればカウント動作を継続しカウントリスタート動作をすることができます。

各チャンネルに対して使用する TSTRA の CSTn ビットは表 18.31 を参照してください。

カウントリスタート動作のタイミングを図 18.57 に示します。

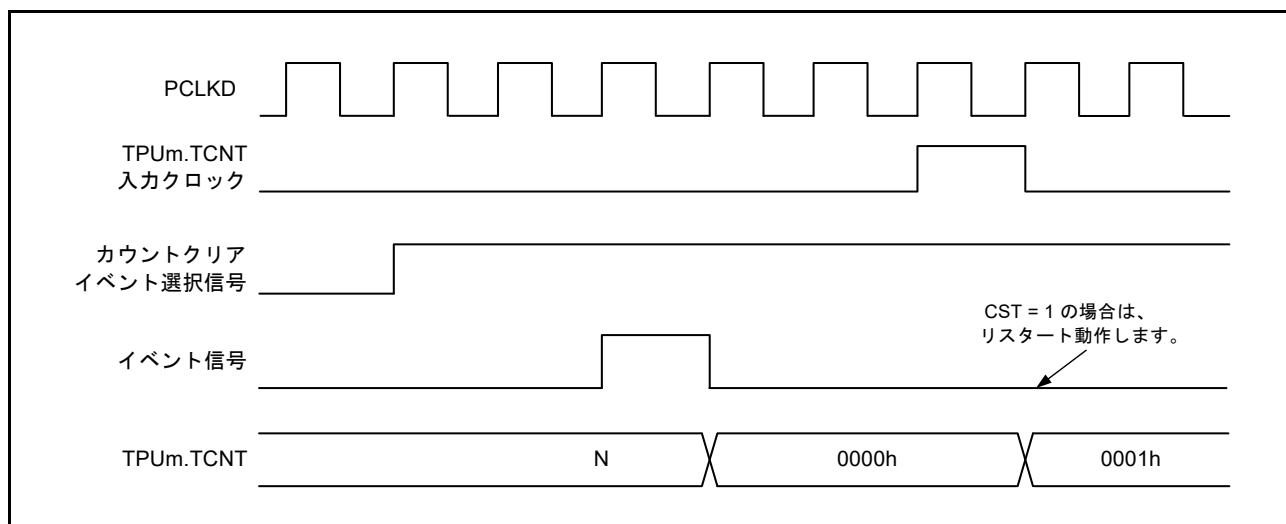


図 18.57 イベント信号受信によるカウントリスタート動作

(3) インพุットキャプチャ動作

ELCのELOPFレジスタでインพุットキャプチャ動作が選択された状態でイベント信号を受信すると、対応するチャンネルのTCNT(タイマカウンタ)の値をTGRA(タイマジェネラルレジスタA)へキャプチャします。イベントリンクによるインพุットキャプチャを使用する場合は、TIOR(タイマI/Oコントロールレジスタ)のIOAビットをインพุットキャプチャに設定し、TSTRA(タイマスタートレジスタ)のCSTnビットを“1”にしてカウントスタートさせてください。

各チャンネルに対して使用するTGRAとTIORのビット名を表18.32に示します。また、各チャンネルに対して使用するTSTRAのCSTnビットは表18.31を参照してください。

インพุットキャプチャ動作のタイミングを図18.58に示します。

イベントリンクによるインพุットキャプチャ動作が選択されているとき、TIORの設定と対応する(TIOCAm端子(インพุットキャプチャ端子)入力と他チャンネルの特定動作との連動)インพุットキャプチャは無効になります(m=0~5)。

インพุットキャプチャの設定手順の詳細は「18.3.1 (3) インพุットキャプチャ機能」を参照してください。

表18.32 ELC動作時のインพุットキャプチャ動作で使用するTGRとTIOR

チャンネル番号	キャプチャ先のレジスタ名	TIORのビット名
チャンネル0	TGRA(チャンネル0)	IOA[3:0]ビット(TIORH0)
チャンネル1	TGRA(チャンネル1)	IOA[3:0]ビット(TIOR1)
チャンネル2	TGRA(チャンネル2)	IOA[3:0]ビット(TIOR2)
チャンネル3	TGRA(チャンネル3)	IOA[3:0]ビット(TIORH3)

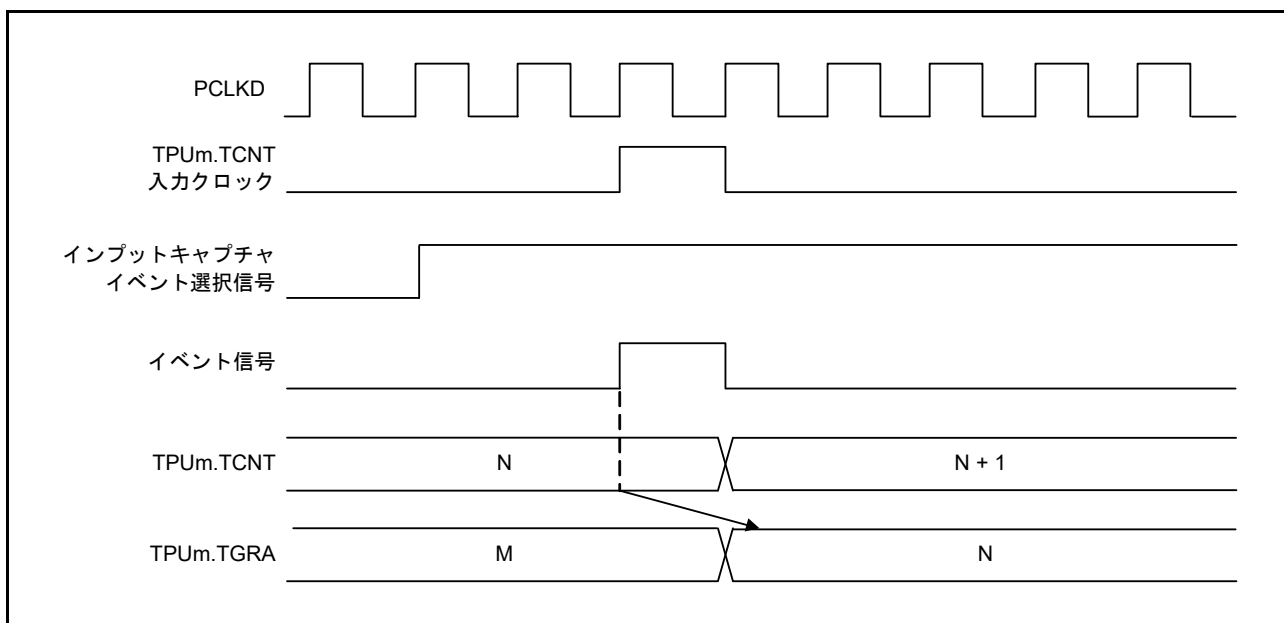


図18.58 イベント信号受信によるインพุットキャプチャ動作

18.9.3 イベントリンク信号受信による動作の注意事項

以下に TPU をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TSTRA (タイマスタートレジスタ) の CSTn ビットへのライトサイクルとカウントスタート動作が競合した場合、TSTRA の CSTn ビットへの書き込みは行われず、イベントによる“1”セットが優先されます。

このタイミングを図 18.59 に示します。

また、イベントリンクによるカウントスタート動作が選択されている時でも、イベント信号が“Low”ならば CPU による TSTRA の CSTn ビットへの書き込みは行われます。

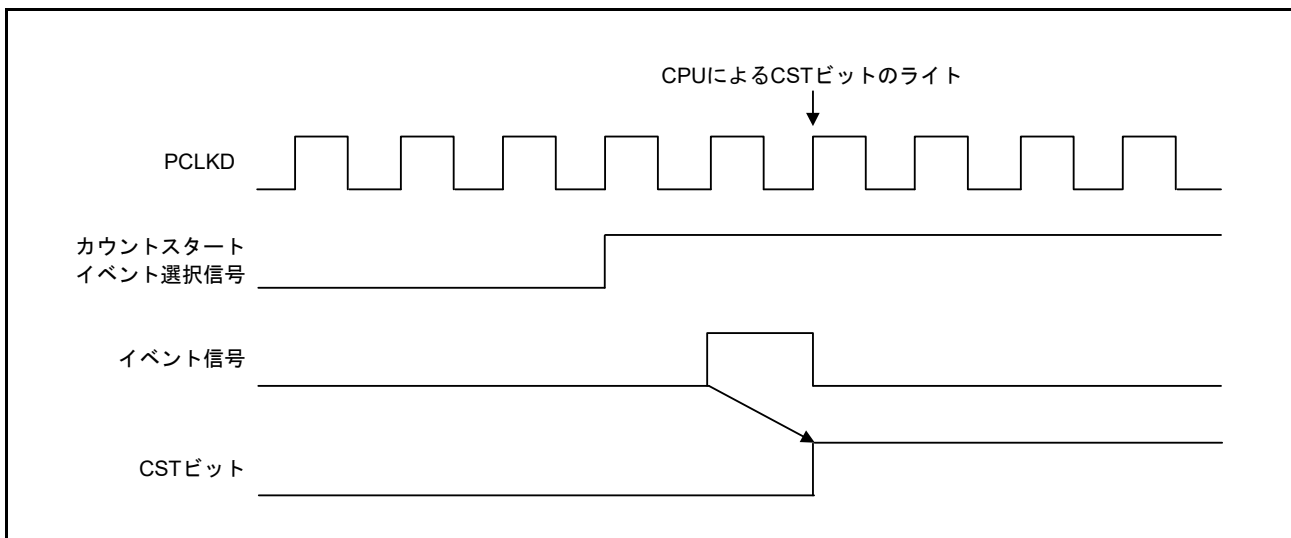


図 18.59 CSTn ビットへのライトサイクルとカウントスタート動作信号の競合

(2) カウントクリア動作

TCNT (タイマカウンタ) へのライトサイクルとカウントクリア動作が競合した場合、TCNT への書き込みは行われず、カウントクリア動作によるカウント値の初期化が優先されます。

このタイミングを図 18.60 に示します。

また、イベントリンクによるカウントクリア動作をする時でも、イベント信号が“Low”ならば CPU による TCNT への書き込みは行われます。

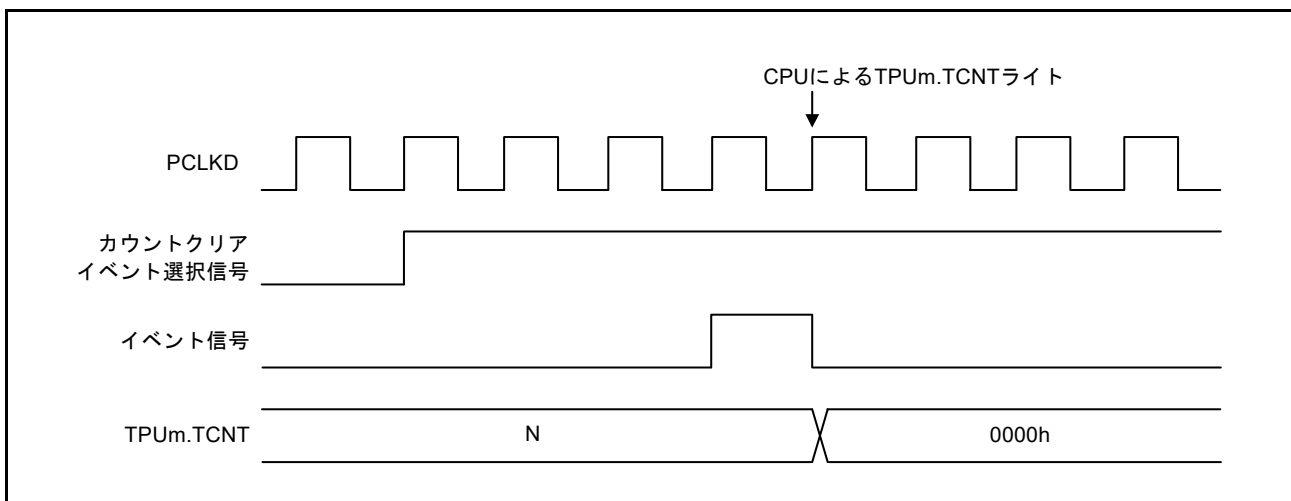


図 18.60 TCNT へのライトサイクルとカウントクリア動作の競合

(3) インพุットキャプチャ動作

TGRy (タイマジェネラルレジスタ) へのリード/ライトサイクルとインพุットキャプチャ動作が競合した場合、それぞれ下記の動作になります (y = A ~ D)。

(a) TGRy へのリードサイクルとインพุットキャプチャの競合

内部データバスにはインพุットキャプチャ転送前のデータがリードされます。
このタイミングを図 18.61 に示します。

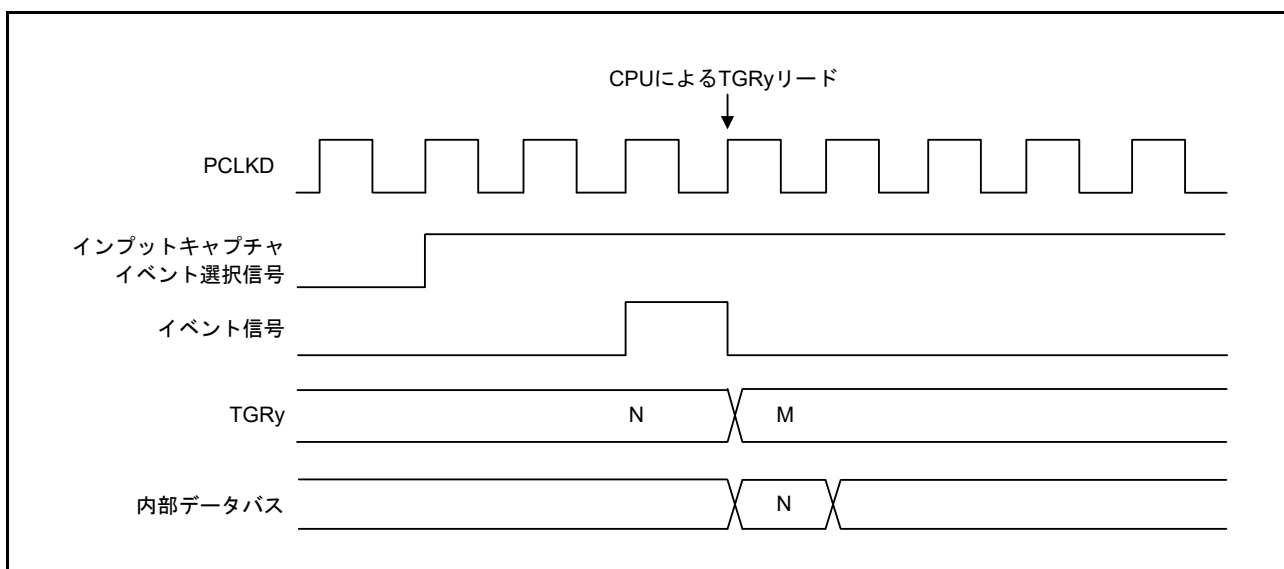


図 18.61 TGRy へのリードサイクルとインพุットキャプチャ動作の競合

(b) TGRy へのライトサイクルとインพุットキャプチャの競合

TGRy への書き込みは行われずインพุットキャプチャが優先されます。

このタイミングを図 18.62 に示します

また、イベントリンクによるインพุットキャプチャ動作が選択されている時でも、イベント信号が“Low”ならば CPU による TGRy への書き込みは行われます。

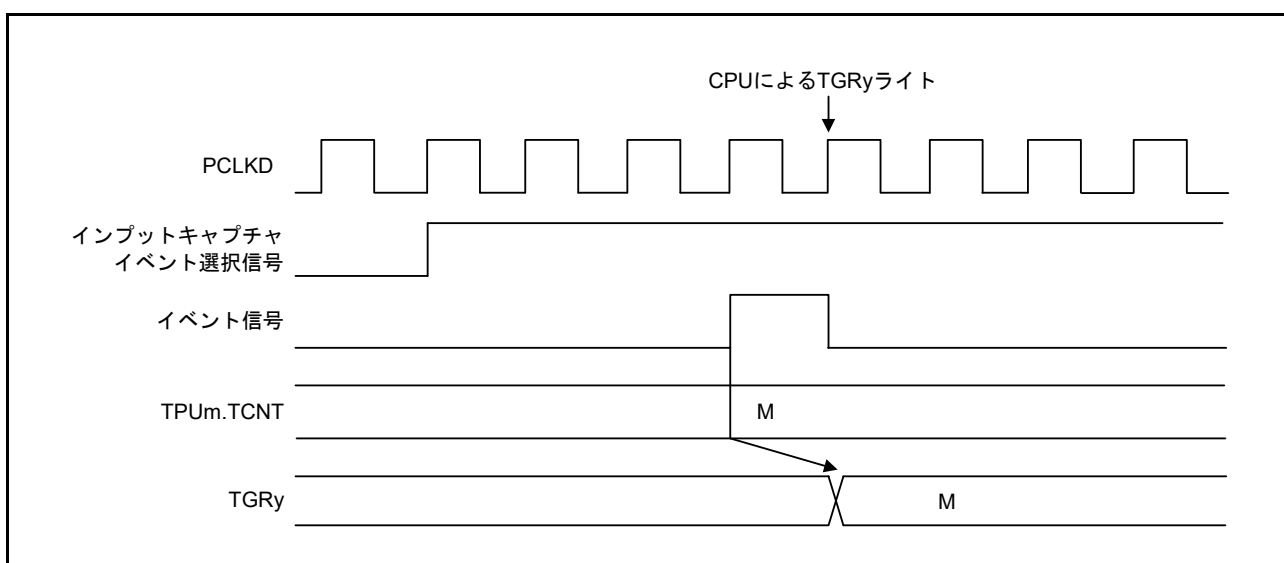


図 18.62 TGRy へのライトサイクルとインพุットキャプチャ動作の競合

18.9.4 イベントリンク信号送信動作の注意事項

以下にイベントリンク信号送信動作における注意点を記載します。

(1) コンペアマッチイベント送信動作

TGRy レジスタを“0000h”、カウンタクロックを PCLKD/1 (TCRn.TPSC[2:0]=000b)、コンペアマッチでカウンタクリアに設定した場合、TCNTは“0000h”のままとなり、イベント出力信号は1サイクルの信号ではなく、レベル上の連続してレベル状の連続出力信号となります (y=A~D)。

コンペアマッチによるイベント出力信号の連続出力タイミングを図 18.63 に示します。

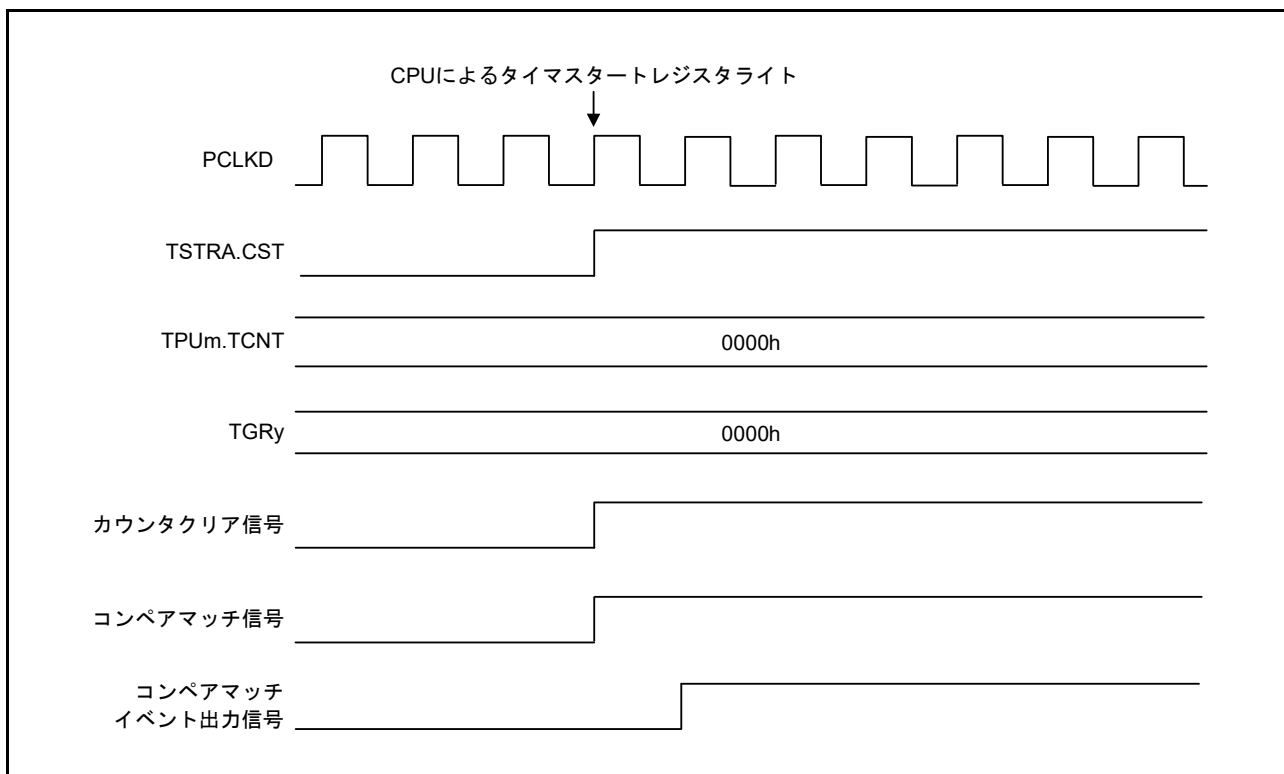


図 18.63 コンペアマッチイベント出力信号の連続出力

(2) アンダフローイベント送信動作

位相計数モード1、TGRyレジスタを“0000h”、カウンタクリア要因をコンペアマッチに設定し、TCNTが“0000h”の状態の時にカウントダウン（位相計数の対象となる2本の外部クロックの同方向のエッジ）がPCLKDの2サイクル内で発生した場合、TCNTは“0000h”のままとなり、コンペアマッチイベント出力とアンダフローイベント出力がレベル状の連続出力信号となります（y=A～D）。

アンダフローによるイベント出力信号の連続出力タイミングを図18.64に示します。

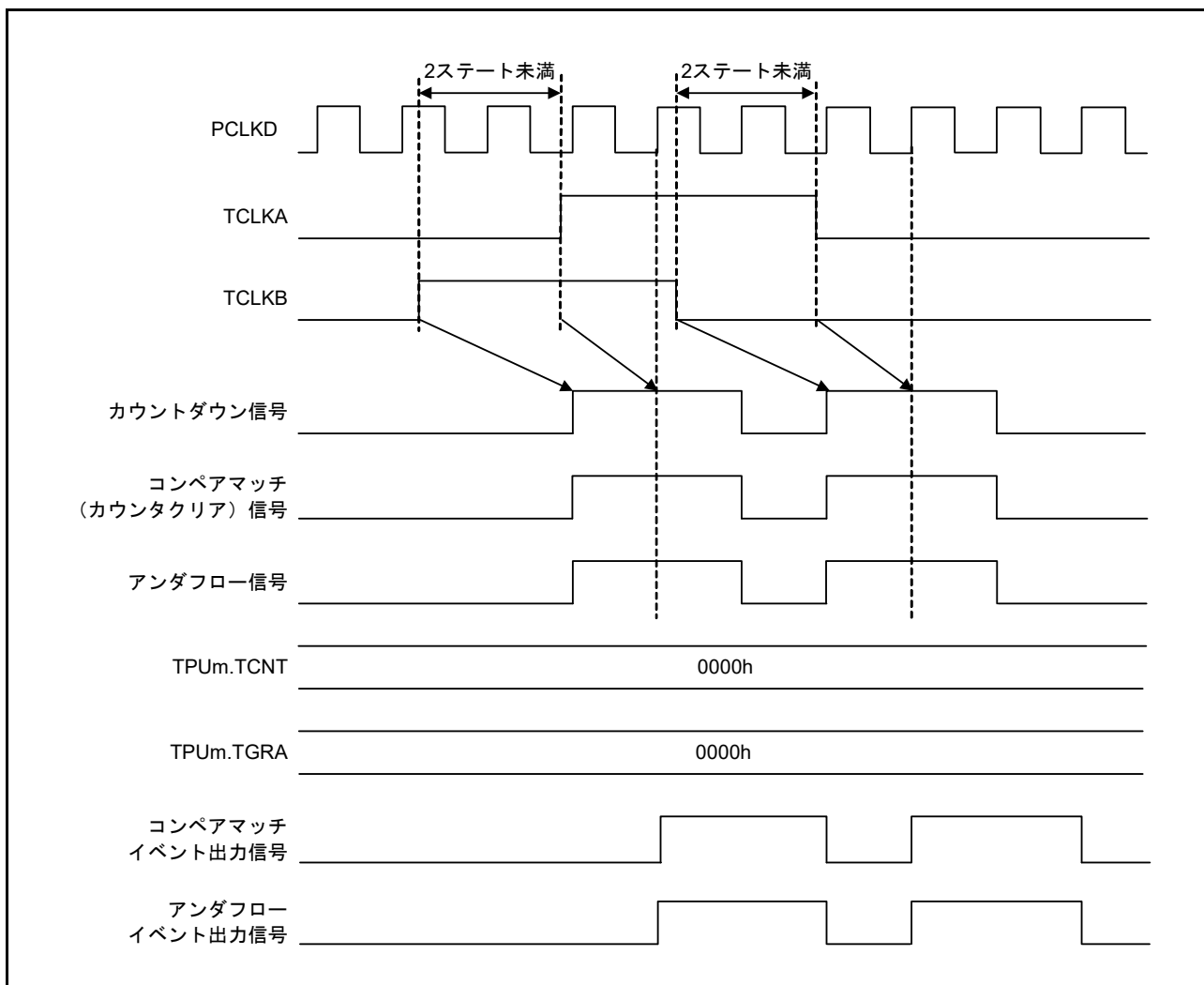


図 18.64 アンダフローイベント出力信号の連続出力

19. コンペアマッチタイマ (CMT)

CMTは、2チャンネルの16ビットタイマにより構成されるコンペアマッチタイマ (CMT) で、16ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

19.1 概要

表 19.1 に CMT の仕様を示します。

図 19.1 に CMT のブロック図を示します。

表 19.1 CMTの仕様

項目	機能
内蔵チャンネル数	2チャンネル×2ユニット
タイマカウンタ (チャンネルごと)	16ビットアップカウンタ (プリスケアラが出力するカウントイネーブルによりカウント) コンペアマッチ後に 0000hに戻る
プリスケアラ (チャンネルごと)	9ビットカウンタ (タイマカウンタの動作許可/禁止と連動) <ul style="list-style-type: none"> 4種類のカウンティネーブルを出力 PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512の中から選択可能
イベントリンク機能 (ユニット0のチャンネル1のみ)	イベントの受け付けにより3種類の内、何れかの動作が可能 <ul style="list-style-type: none"> カウントスタート動作 イベントカウント動作 カウントクリア動作 コンペアマッチイベントを発行可能
リセット	非同期リセット

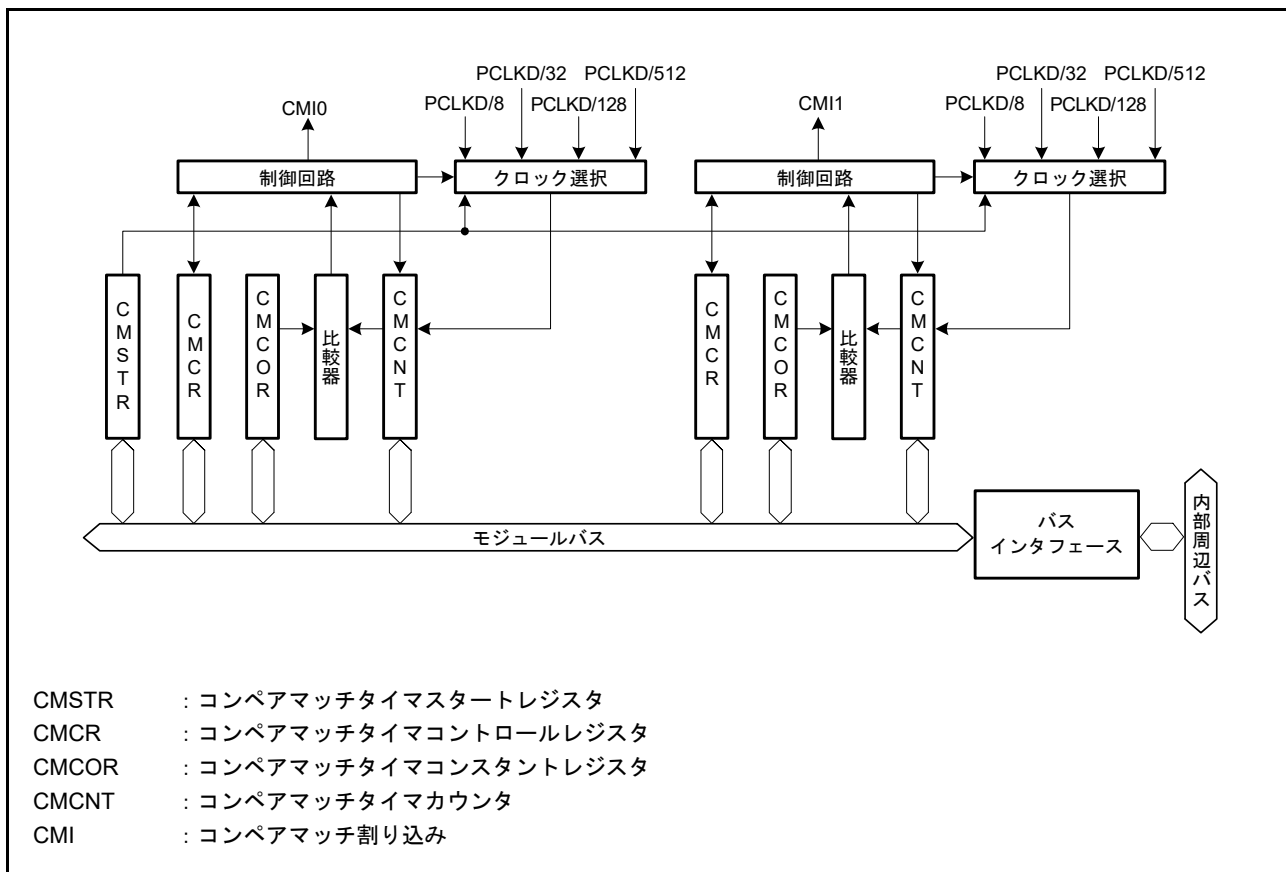


図 19.1 CMT 各ユニット (ユニット 0、ユニット 1) のブロック図

19.2 レジスタの説明

19.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

ユニット 0 の CMT0.CMCNT カウンタ、CMT1.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

アドレス A008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	CMT0.CMCNTカウンタの動作開始/停止を選択します。本ビットの設定にしたがって、対応するプリスケアラも連動して動作/停止します。 0 : CMT0.CMCNTカウンタのカウント動作停止 1 : CMT0.CMCNTカウンタのカウント動作開始	R/W
b1	STR1	カウントスタート1ビット	CMT1.CMCNTカウンタの動作開始/停止を選択します。本ビットの設定にしたがって、対応するプリスケアラも連動して動作/停止します。 0 : CMT1.CMCNTカウンタのカウント動作停止 1 : CMT1.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

19.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

ユニット 1 の CMT2.CMCNT カウンタ、CMT3.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

アドレス A008 0020h

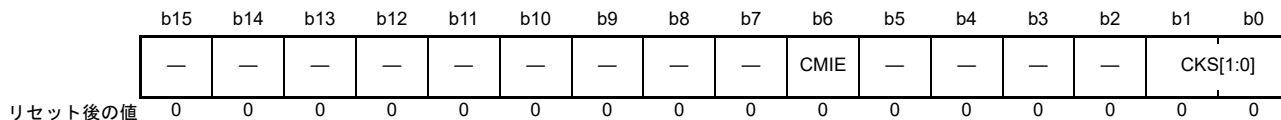
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	CMT2.CMCNTカウンタの動作開始/停止を選択します。本ビットの設定にしたがって、対応するプリスケアラも連動して動作/停止します。 0 : CMT2.CMCNTカウンタのカウント動作停止 1 : CMT2.CMCNTカウンタのカウント動作開始	R/W
b1	STR3	カウントスタート3ビット	CMT3.CMCNTカウンタの動作開始/停止を選択します。本ビットの設定にしたがって、対応するプリスケアラも連動して動作/停止します。 0 : CMT3.CMCNTカウンタのカウント動作停止 1 : CMT3.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

19.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

カウントアップに用いるクロックを設定するレジスタです。

アドレス CMT0: A008 0002h、CMT1: A008 0008h、CMT2: A008 0022h、CMT3: A008 0028h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	低速周辺モジュールクロック (PCLKD) を分周した内部クロックから、CMTn.CMCNTカウンタに入力するクロックを選択します。 CMSTRm.STRnビットを“1”に設定すると、CKS[1:0]ビットで選択されたクロックにより、対応するCMCNTカウンタがカウントアップ動作を開始します。(m = 0, 1, n = 0 ~ 3) b1 b0 0 0 : PCLKD/8 0 1 : PCLKD/32 1 0 : PCLKD/128 1 1 : PCLKD/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	CMCNTカウンタとCMCORレジスタの値が一致した時のコンペアマッチ割り込み (CMIn) 発生 of 許可/禁止を選択します。(n = 0 ~ 3) 0 : コンペアマッチ割り込み (CMIn) を禁止 1 : コンペアマッチ割り込み (CMIn) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください。	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

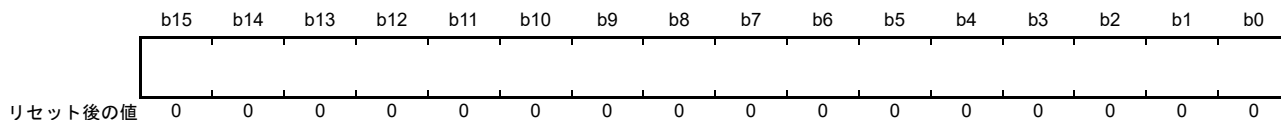
19.2.4 コンペアマッチタイマカウンタ (CMCNT)

CMCNT カウンタは、コンペアマッチタイマの本体であるアップカウンタで、リード/ライト可能です。

CMCR.CKS[1:0] ビットで内部クロックを選択し、CMSTRm.STRn (m = 0, 1, n = 0 ~ 3) ビットを“1”に設定することで内部クロックにより CMCNT カウンタはカウントアップ動作を開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”にクリアされます。このとき、コンペアマッチ割り込み (CMIn) が発生します。(n = 0 ~ 3)

アドレス CMT0: A008 0004h、CMT1: A008 000Ah、CMT2: A008 0024h、CMT3: A008 002Ah



19.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

CMCOR レジスタは、CMCNT カウンタとのコンペアマッチ周期を設定するレジスタで、リード/ライト可能です。

コンペアマッチ周期は次のようになります。

$$\text{コンペアマッチ周期} = (\text{CMCOR レジスタ設定値} + 1) \times \text{カウントクロック周期 (注1)}$$

注1. CMCR.CKS[1:0] ビットで設定するクロック周期です。

アドレス CMT0: A008 0006h、CMT1: A008 000Ch、CMT2: A008 0026h、CMT3: A008 002Ch



19.3 動作説明

19.3.1 周期カウント動作

CMCRn.CKS[1:0] ビットで内部クロックを選択し、CMSTRm.STRn ($m=0, 1, n=0 \sim 3$) ビットを“1”にすると、選択したクロックによってCMCNTカウンタはカウントアップを開始します。

CMCNTカウンタの値がCMCORレジスタの値と一致すると、CMCNTカウンタは“0000h”にクリアされます。このとき、コンペアマッチ割り込み (CMI_n) が発生します。CMCNTカウンタは“0000h”からカウントアップ動作を再開します。CMCNTカウンタの動作を図 19.2 に示します。

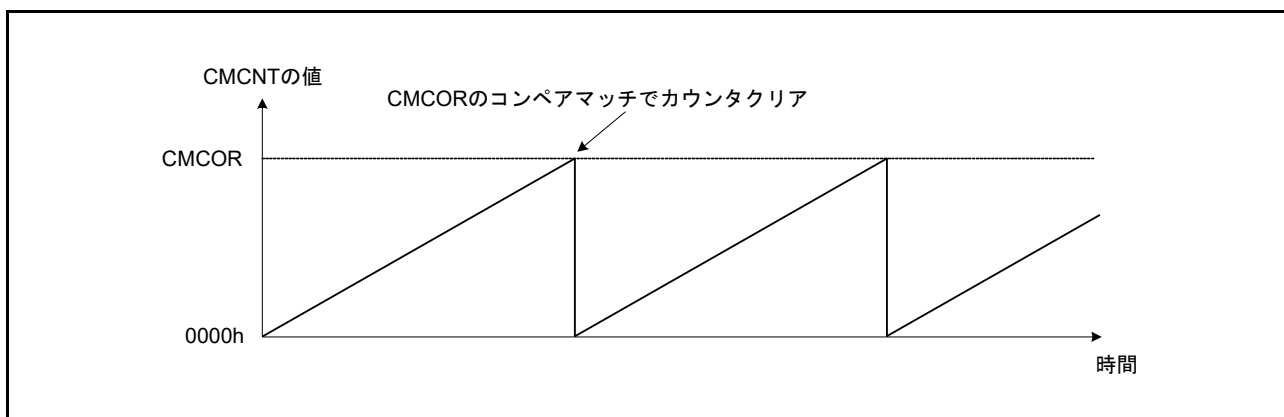


図 19.2 カウンタの動作

19.3.2 CMCNTカウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、低速周辺モジュールクロック (PCLKD) を分周した4種類の内部クロック (PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512) からカウントクロックを選択できます。このときのCMCNTカウンタのカウントタイミングを図 19.3 に示します。

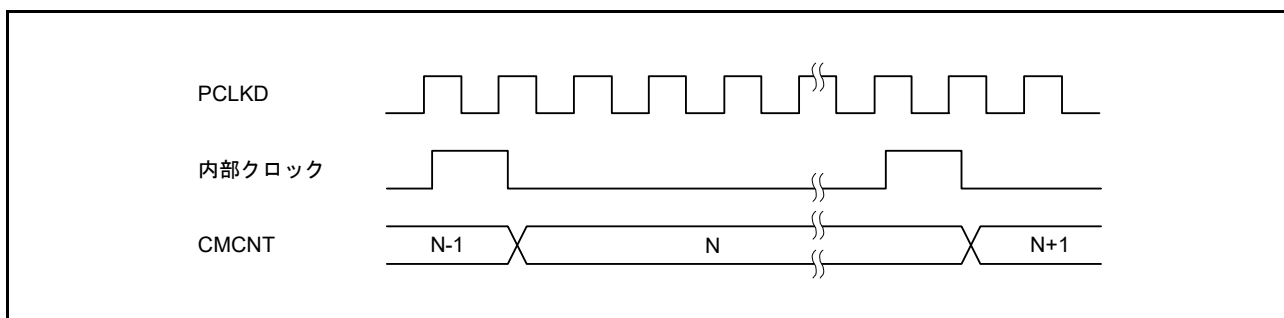


図 19.3 CMCNTカウンタのカウントタイミング

19.4 割り込み

19.4.1 割り込み要因

CMT は、チャンネルごとにコンペアマッチ割り込み (CMI_n) があり、それぞれ独立なベクタアドレスが割り当てられています。チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。

表 19.2 CMTの割り込み要因

名称	割り込み要因
CMI0	CMT0.CMCNTカウンタとCMT0.CMCORレジスタのコンペアマッチ
CMI1	CMT1.CMCNTカウンタとCMT1.CMCORレジスタのコンペアマッチ
CMI2	CMT2.CMCNTカウンタとCMT2.CMCORレジスタのコンペアマッチ
CMI3	CMT3.CMCNTカウンタとCMT3.CMCORレジスタのコンペアマッチ

19.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMI_n) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。(n = 0 ~ 3)

コンペアマッチ割り込みのタイミングを図 19.4 に示します。

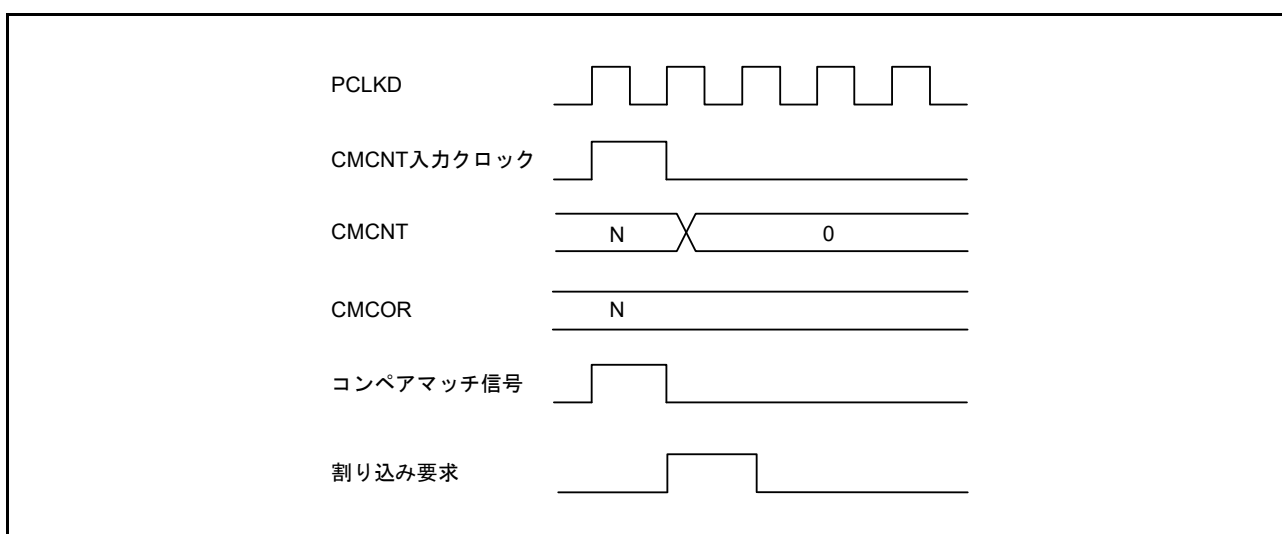


図 19.4 コンペアマッチ割り込みのセットタイミング

19.5 イベントリンク動作

19.5.1 ELC へのイベント発行

CMT はコンペアマッチが発生すると割り込みを要求しますが、同時にイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使うことで、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、対応する割り込みの割り込み要求許可ビット (CMT1.CMCR.CMIE ビット) の設定に関係なく出力されます。

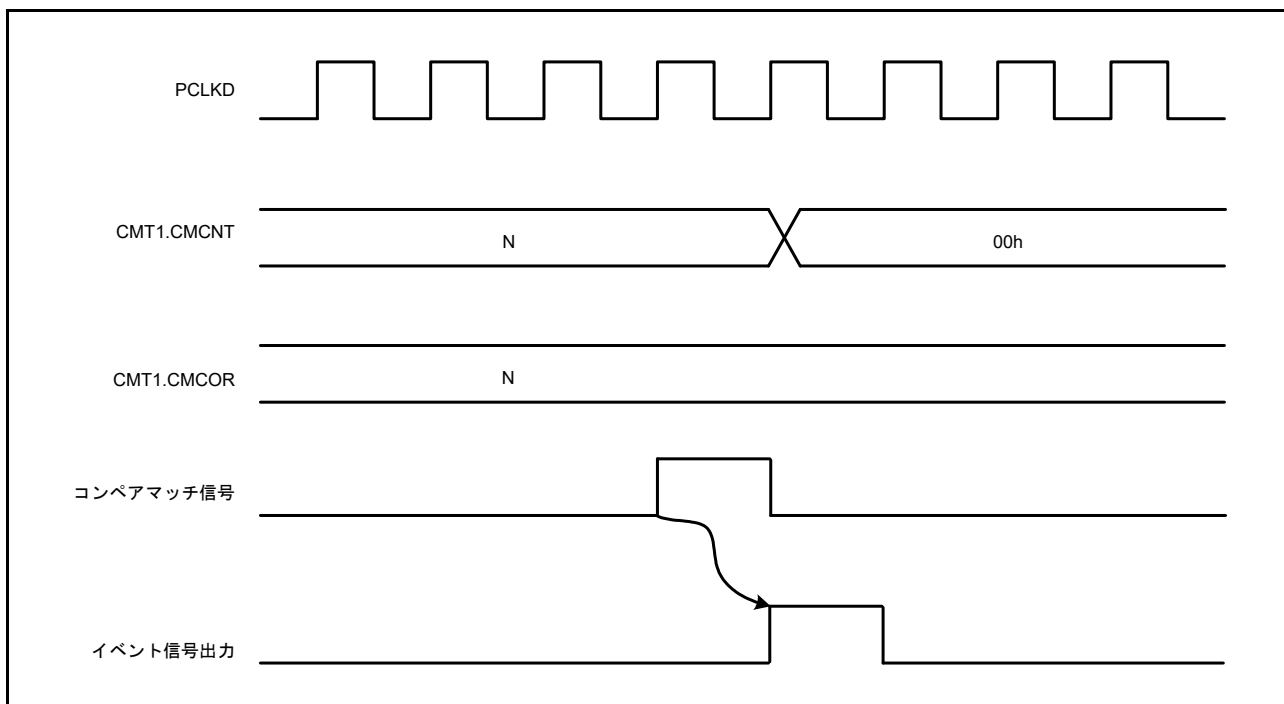


図 19.5 イベント発行タイミング

19.5.2 ELCからのイベント受け付けによるCMTの動作

CMTはイベントリンクコントローラ (ELC) にあらかじめ設定したイベントにより、次の3通りの動作が可能です。

(1) カウントスタート動作

ELCでCMTのカウントスタート動作を選択した場合、イベントを受け付けると、対応するCMSTR0 (コンペアマッチタイマスタートレジスタ0) のSTR1ビットが“1”にセットされカウントがスタートします。

ただし、CMSTR0.STR1ビットが“1”にセットされた状態で指定したイベントが発生した場合、そのイベントは無効となります。

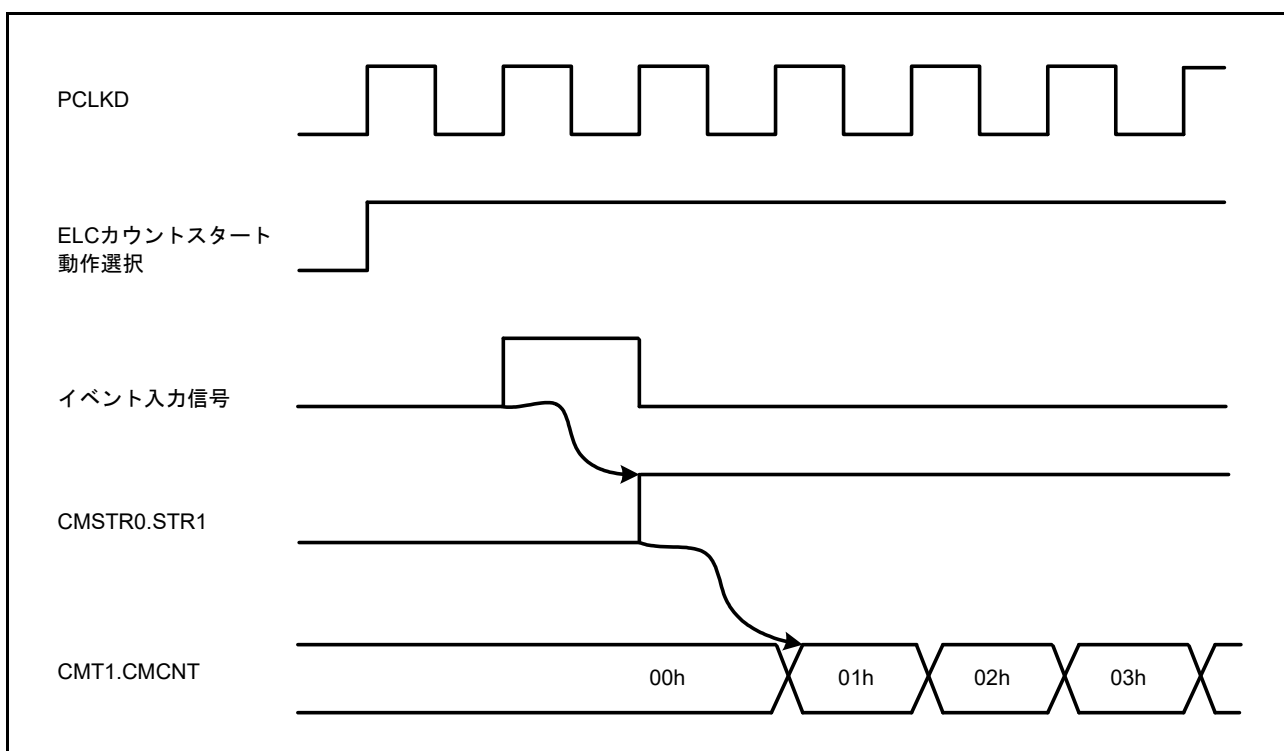


図 19.6 イベント受け付けによるカウントスタート動作

(2) イベントカウンタ動作

ELCでCMTのイベントカウンタ動作を選択した場合、イベントを受け付けると、CMT1.CMCR (コンペアマッチタイマコントロールレジスタ) のCKS[1:0]ビットの設定に関係なく、CMT1.CMCNT (コンペアマッチタイマカウンタ) をインクリメントします。イベントを受け付ける前にCMSTR0 (コンペアマッチタイマスタートレジスタ0) のSTR1ビットを“1”にセットしておく必要があります。

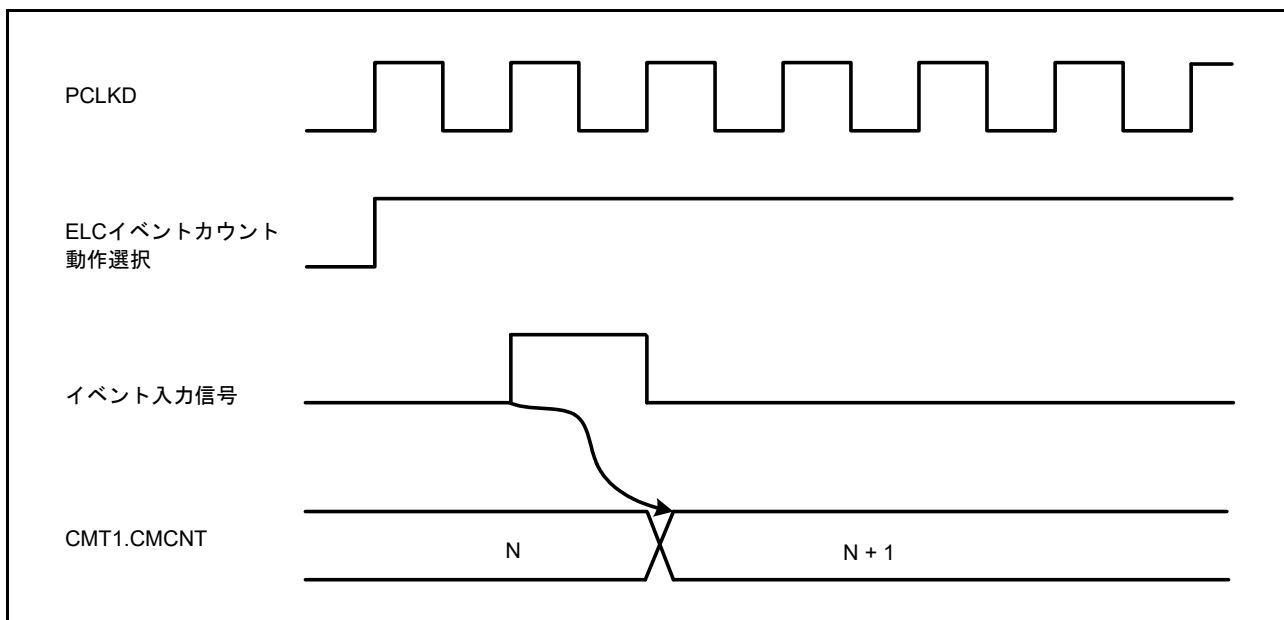


図 19.7 イベント受け付けによるイベントカウンタ動作

(3) カウントクリア動作

ELCでCMTのカウントクリア動作を選択した場合、イベントを受け付けると、CMT1.CMCNT（コンペアマッチタイマカウンタ）の値が初期値に書き換わります。このときCMSTR0（コンペアマッチタイマスタートレジスタ0）のSTR1ビットが“1”であればカウント動作を継続しカウントリスタート動作をすることができます。

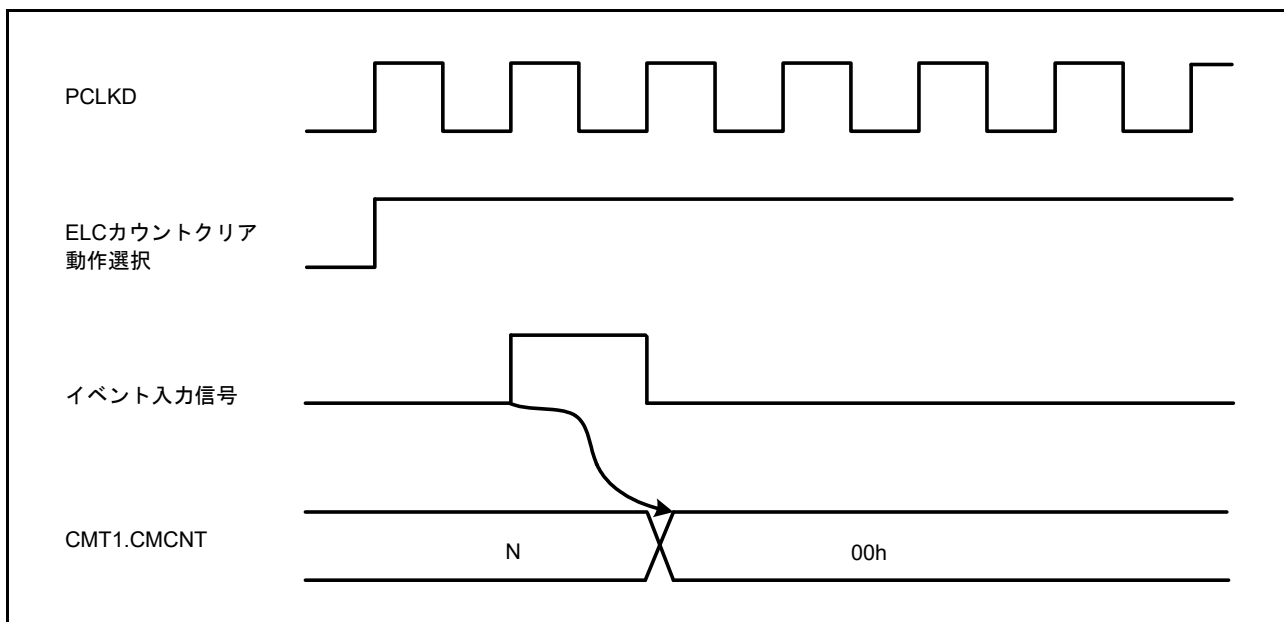


図 19.8 イベント受け付けによるカウントクリア動作

19.5.3 イベントリンク動作に関する CMT の注意事項

CMT をイベントリンクによる動作で使用するときは、以下のことに注意してください。

(1) カウントスタート動作

CMSTR0 (コンペアマッチタイマスタートレジスタ 0) の STR1 ビットへのライトアクセス中にイベントが発生すると、CMSTR0 (コンペアマッチタイマスタートレジスタ 0) の STR1 ビットへの書き込みは行われず、イベント発生による“1”セットが優先されます。

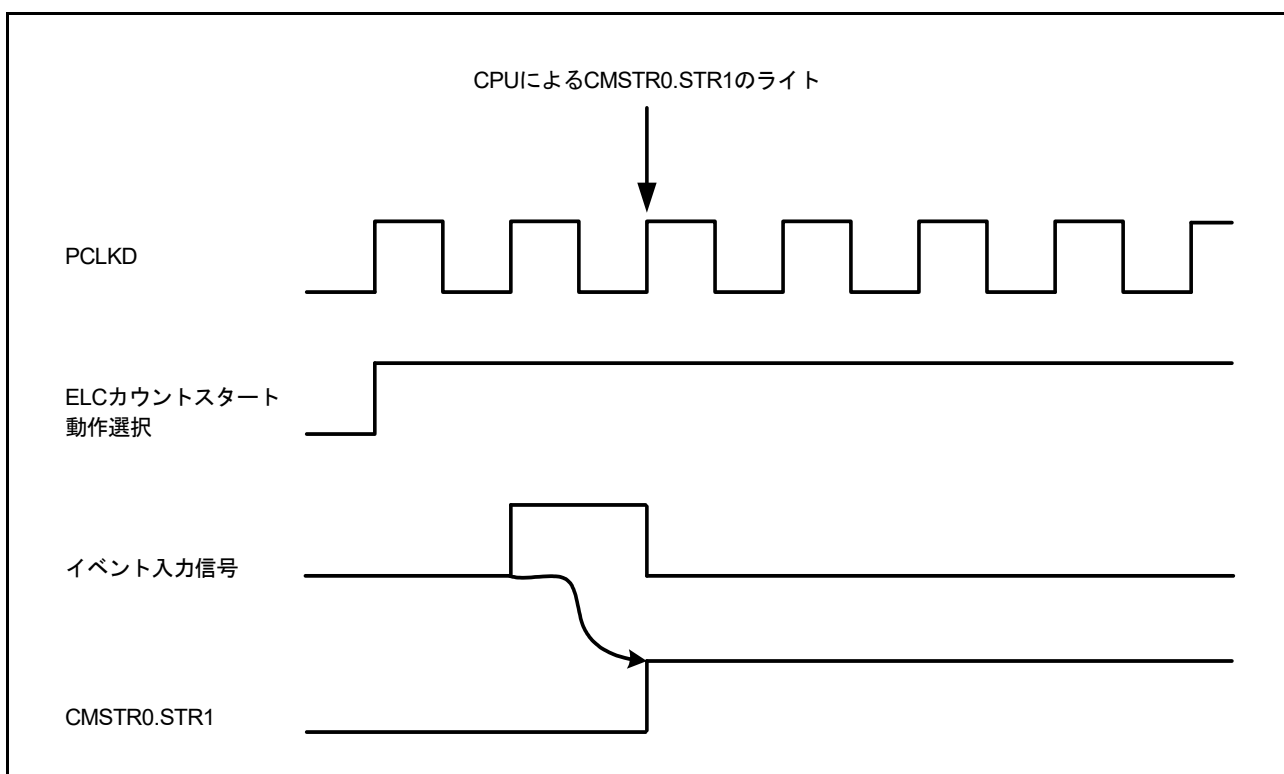


図 19.9 カウントスタート動作でのイベント受け付けとレジスタアクセスの競合

(2) イベントカウンタ動作

CMT1.CMCNT (コンペアマッチタイマカウンタ) へのライトアクセス中にイベントが発生すると、CMT1.CMCNT (コンペアマッチタイマカウンタ) への書き込みは行われず、イベント発生によるカウント動作が優先されます。

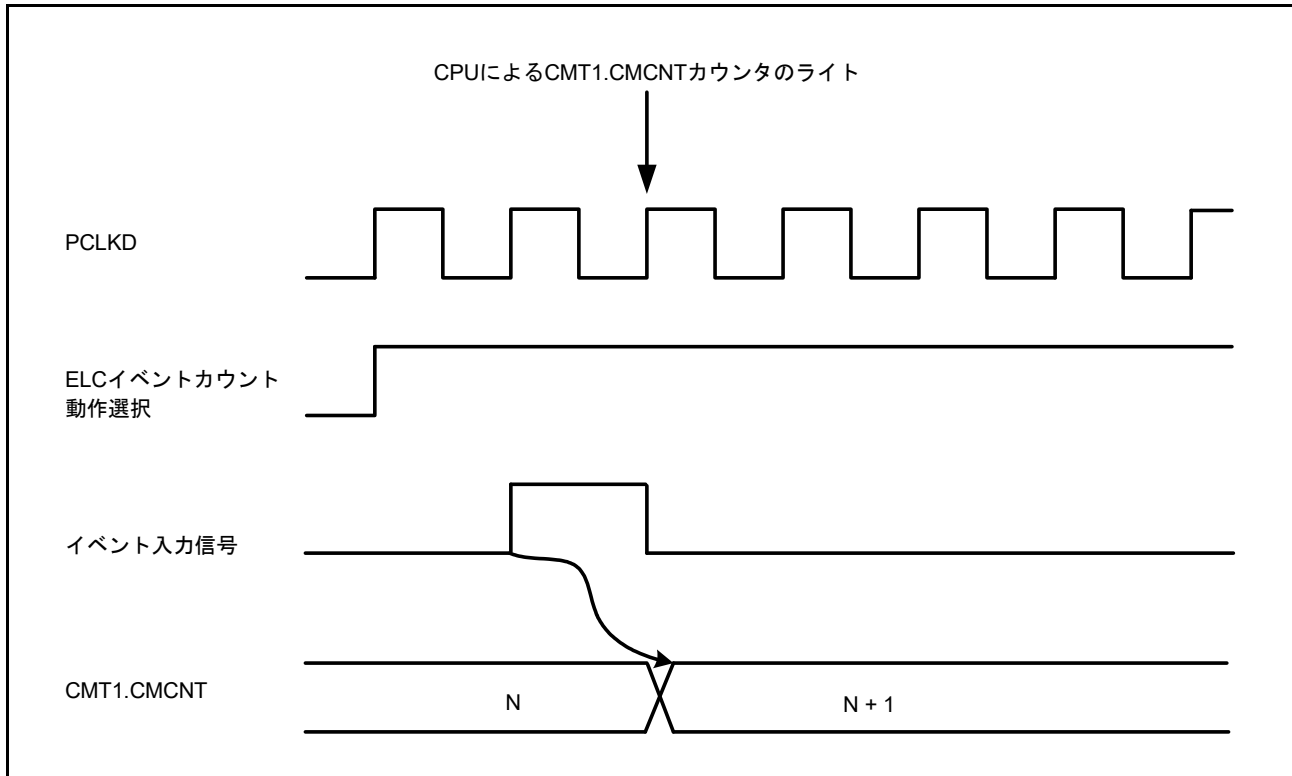


図 19.10 イベントカウンタ動作でのイベント受け付けとレジスタアクセスの競合

(3) カウントクリア動作

CMT1.CMCNT (コンペアマッチタイマカウンタ) へのライトアクセス中にイベントが発生すると、CMT1.CMCNT (コンペアマッチタイマカウンタ) への書き込みは行われず、イベント発生によるカウント値の初期化が優先されます。

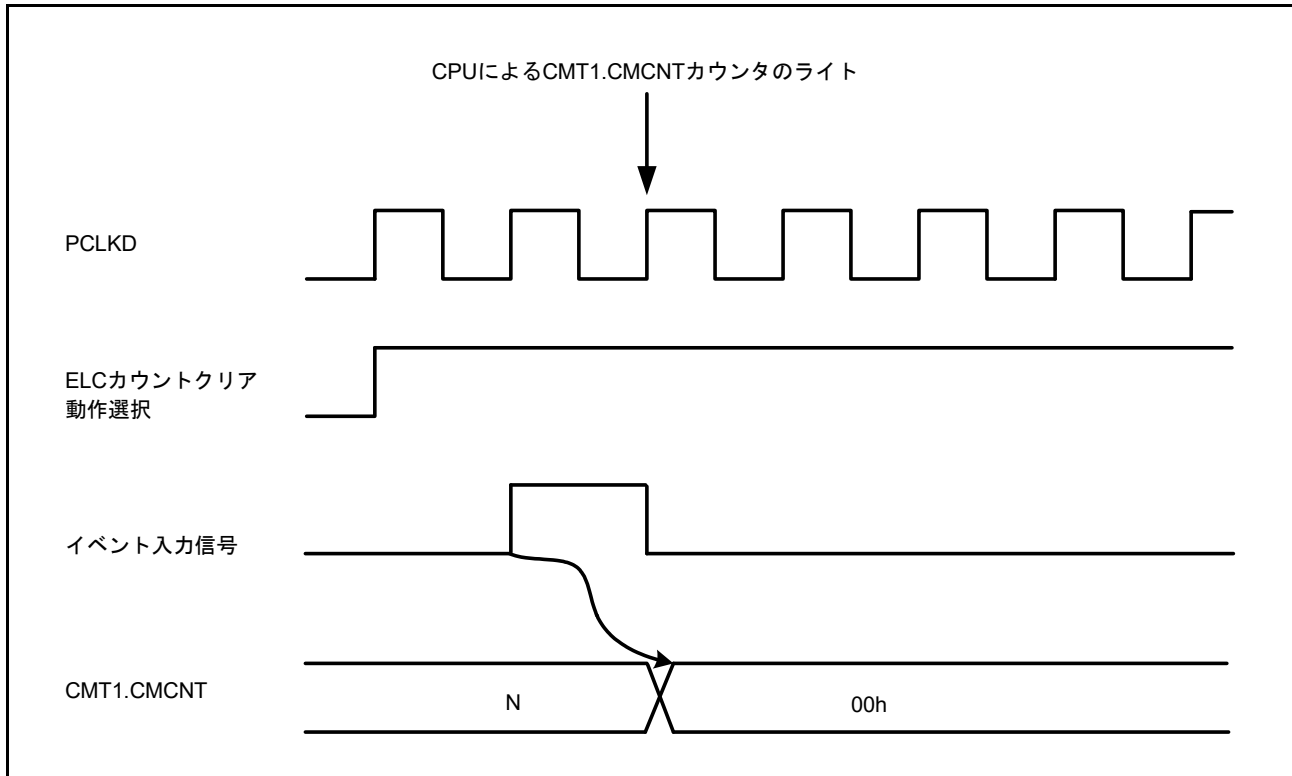


図 19.11 カウントクリア動作でのイベント受け付けとレジスタアクセスの競合

19.6 使用上の注意事項

19.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作を禁止/許可することが可能です。リセット後、CMTはモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

19.6.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図19.12に示します。

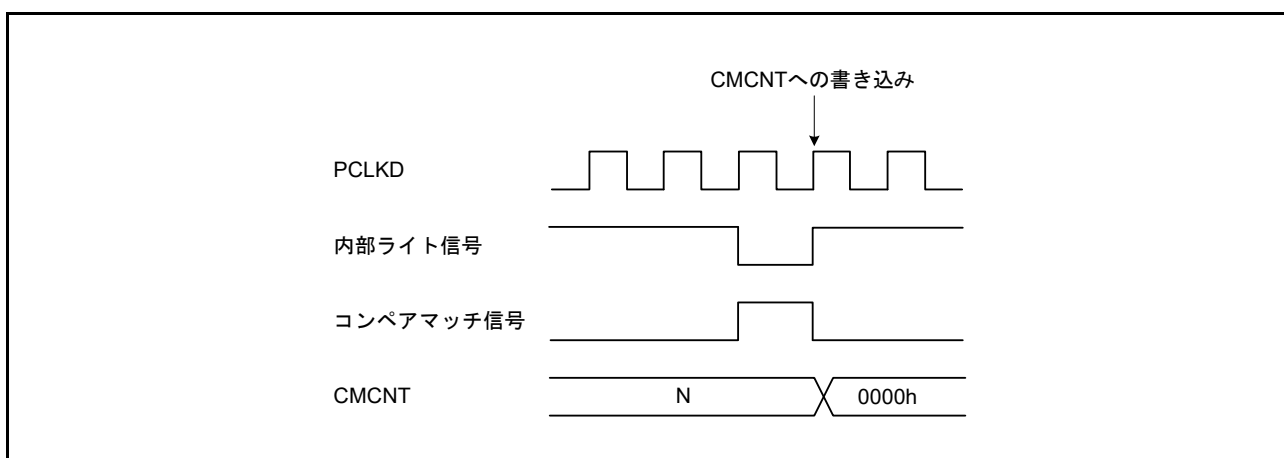


図 19.12 CMCNTカウンタへの書き込みとコンペアマッチの競合

19.6.3 CMCNT カウンタへの書き込みとカウントアップの競合

CMCNT カウンタへのライト中にカウントアップが発生しても、CMCNT カウンタはカウントアップされずに CMCNT カウンタへの書き込みが優先されます。

このタイミングを図 19.13 に示します。

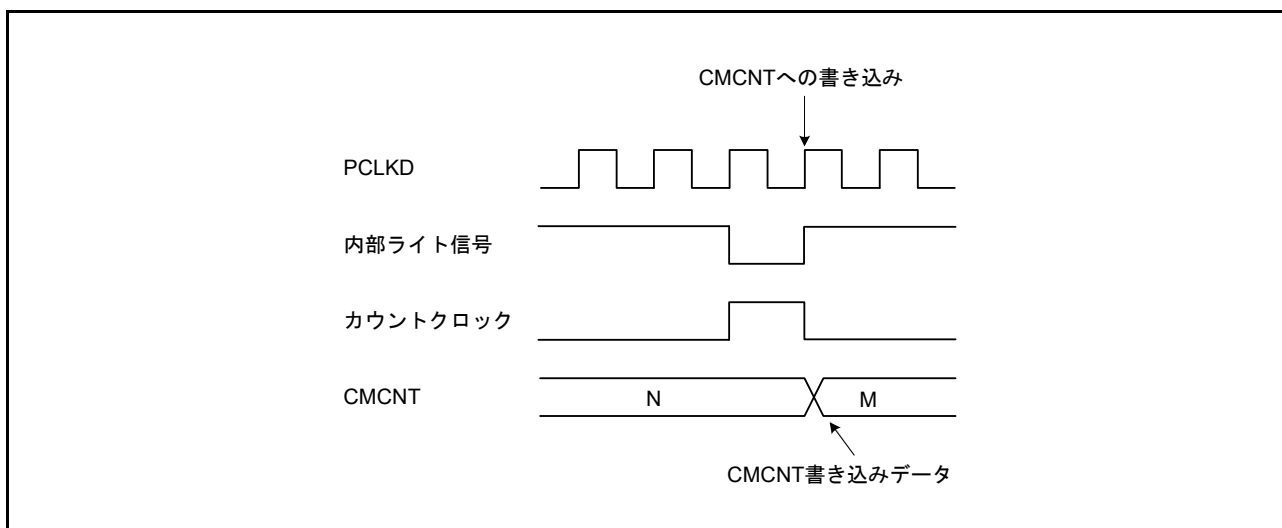


図 19.13 CMCNT カウンタへの書き込みとカウントアップの競合

表 19.3 イベントリンク動作/レジスタアクセス/カウンタ状態の競合動作まとめ

イベントリンク動作	レジスタアクセス	CMCNTの状態	実行される動作
カウントスタート	CMSTR0.STR1への書き込み	停止状態 コンペアマッチ カウントアップ	カウントスタート カウントスタート カウントスタート
イベントカウント	CMCNTへの書き込み	—	イベントカウント
カウントクリア	CMCORへの書き込み CMCNTへの書き込み CMCNTへの書き込み (レジスタアクセスなし)	コンペアマッチ コンペアマッチ以外 コンペアマッチ コンペアマッチ	コンペアマッチ カウントクリア コンペアマッチ コンペアマッチ
(イベントなし)	CMCNTへの書き込み CMCORへの書き込み	コンペアマッチ カウントアップ コンペアマッチ	コンペアマッチ CMCNTへの書き込み コンペアマッチ

20. コンペアマッチタイマ W (CMTW)

本 LSI は、1 チャンネルの 32 ビットタイマにより構成されるコンペアマッチタイマ W (CMTW) を 2 ユニット内蔵しています。CMTW は 32 ビットのカウンタを備え、設定した周期ごとに割り込みを発生させることができます。

20.1 概要

表 20.1 に CMTW の仕様を示します。図 20.1 に CMTW のブロック図を示します。

表 20.1 CMTW の仕様

項目	機能
チャンネル数	1チャンネル × 2ユニット
タイマカウンタ	16ビット/32ビット切り替え可能なアップカウンタ (プリスケアラが出力するカウント許可によりカウント) コンペアマッチ後に0000 0000hに戻る
プリスケアラ	9ビットカウンタ (タイマカウンタの動作許可/禁止と連動) <ul style="list-style-type: none"> 4種類のカウンタイネーブルを出力 PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512の中から選択可能
インプットキャプチャ	最大2本のインプットキャプチャ入力が可能
アウトプットコンペア	最大2本のアウトプットコンペア出力が可能
コンペアマッチ	1本のコンペアマッチが可能
割り込み	<ul style="list-style-type: none"> コンペアマッチ割り込み インプットキャプチャ0、インプットキャプチャ1割り込み アウトプットコンペア0、アウトプットコンペア1割り込み
イベントリンク	イベント受け付けにより以下の3種類の内、いずれかの動作が可能 <ul style="list-style-type: none"> カウントスタート動作 イベントカウント動作 カウントクリア動作 また、以下のイベントを発行可能 <ul style="list-style-type: none"> コンペアマッチイベント
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

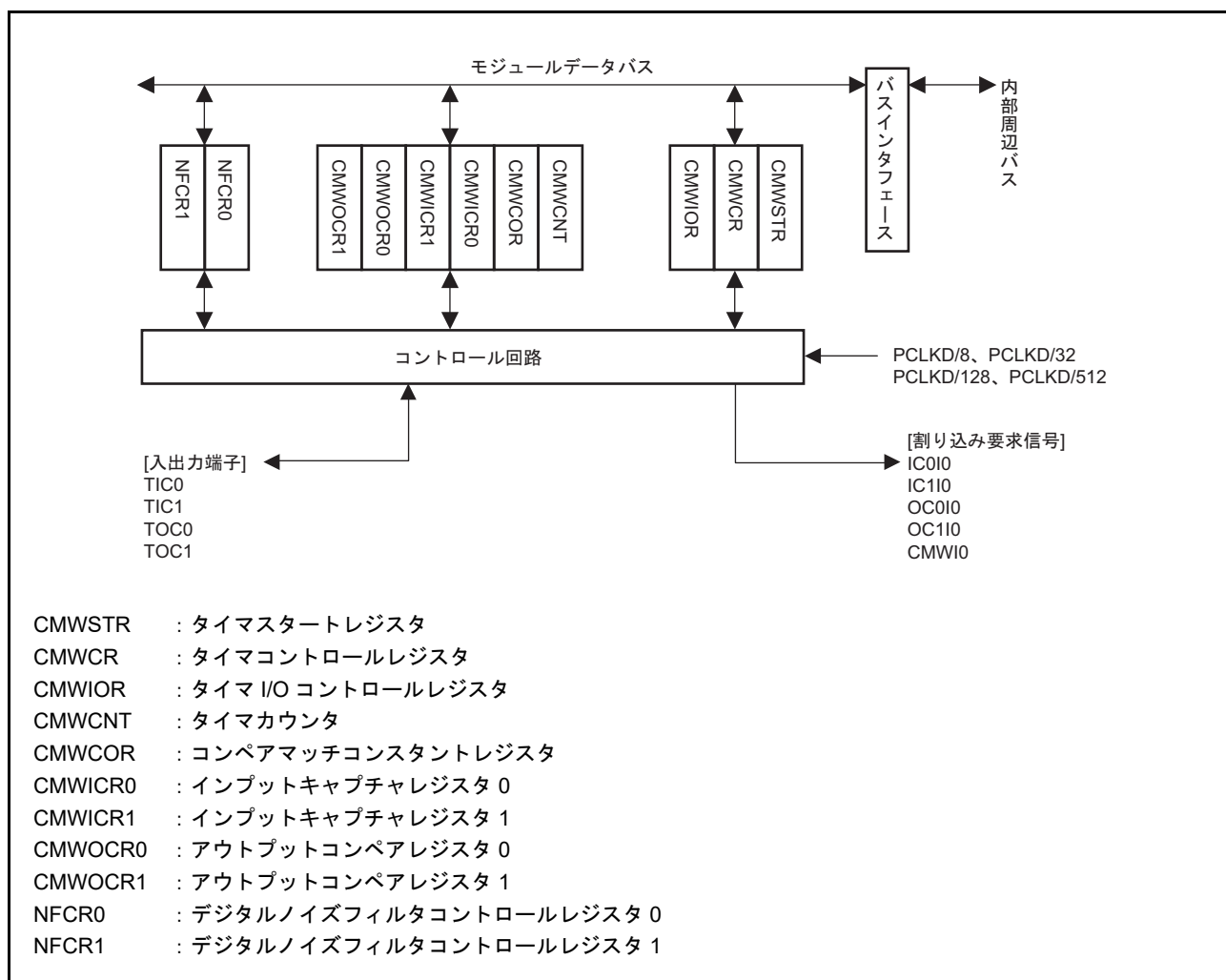


図 20.1 CMTW (ユニット 0) のブロック図

表 20.2 に CMTW の入出力端子を示します。

表 20.2 CMTWの入出力端子

ユニット	端子名	入出力	機能
CMTW0	TIC0	入力	インพุットキャプチャ入力0
	TIC1	入力	インพุットキャプチャ入力1
	TOC0	出力	アウトプットコンペア出力0
	TOC1	出力	アウトプットコンペア出力1
CMTW1	TIC2	入力	インพุットキャプチャ入力2
	TIC3	入力	インพุットキャプチャ入力3
	TOC2	出力	アウトプットコンペア出力2
	TOC3	出力	アウトプットコンペア出力3

20.2 レジスタの説明

20.2.1 タイマスタートレジスタ (CMWSTR)

CMWSTR レジスタは、CMWCNT カウンタの動作開始、停止の設定を行うレジスタです。

アドレス CMTW0.CMWSTR A008 0300h、CMTW1.CMWSTR A008 0380h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR	カウントスタートビット	0 : CMWCNT カウンタはカウントを停止 (カウント動作停止直前の値を保持して、カウント動作を停止) 1 : CMWCNT カウンタはカウント動作を開始	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

STR ビット (カウントスタートビット)

タイマカウンタの動作/停止を選択します。STR ビットの設定にしたがって、対応するプリスケラも連動して動作/停止します。

20.2.2 タイマコントロールレジスタ (CMWCR)

CMWCR レジスタは、カウンタクリア要因、カウンタ入力クロック、および割り込みの禁止/許可の設定を行うレジスタです。

CMWCR レジスタの設定は、タイマカウンタ (CMWCNT) の動作が停止した状態で行ってください。

アドレス CMTW0.CMWCR A008 0304h、CMTW1.CMWCR A008 0384h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CCLR[2:0]		—	—	—	CMS	—	OC1IE	OC0IE	IC1IE	IC0IE	CMWIE	—	CKS[1:0]		
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLKD/8 0 1 : PCLKD/32 1 0 : PCLKD/128 1 1 : PCLKD/512	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	CMWIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み要求 (CMWI) を禁止 1 : コンペアマッチ割り込み要求 (CMWI) を許可	R/W
b4	IC0IE	インプットキャプチャ0割り込み許可ビット	0 : インプットキャプチャ0ビットによる割り込み要求 (IC0I) を禁止 1 : インプットキャプチャ0ビットによる割り込み要求 (IC0I) を許可	R/W
b5	IC1IE	インプットキャプチャ1割り込み許可ビット	0 : インプットキャプチャ1ビットによる割り込み要求 (IC1I) を禁止 1 : インプットキャプチャ1ビットによる割り込み要求 (IC1I) を許可	R/W
b6	OC0IE	アウトプットコンペア0割り込み許可ビット	0 : アウトプットコンペア0ビットによる割り込み要求 (OC0I) を禁止 1 : アウトプットコンペア0ビットによる割り込み要求 (OC0I) を許可	R/W
b7	OC1IE	アウトプットコンペア1割り込み許可ビット	0 : アウトプットコンペア1ビットによる割り込み要求 (OC1I) を禁止 1 : アウトプットコンペア1ビットによる割り込み要求 (OC1I) を許可	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9	CMS	タイマカウンタサイズビット	0 : 32ビットカウンタ動作 1 : 16ビットカウンタ動作	R/W
b12-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b13	CCLR[2:0]	カウンタクリアビット	b15 b13 0 0 0 : CMWCORレジスタのコンペアマッチで CMWCNTカウンタクリア 0 0 1 : クリアしない 0 1 0 : クリアしない 0 1 1 : クリアしない 1 0 0 : CMWICR0レジスタのインプットキャプチャで CMWCNTカウンタクリア 1 0 1 : CMWICR1レジスタのインプットキャプチャで CMWCNTカウンタクリア 1 1 0 : CMWOCR0レジスタのコンペアマッチで CMWCNTカウンタクリア 1 1 1 : CMWOCR1レジスタのコンペアマッチで CMWCNTカウンタクリア	R/W

CKS[1:0] ビット (クロックセレクトビット)

周辺クロック (PCLKD) を分周した4種類の内部クロックから CMWCNT カウンタに入力するクロックを選択します。CMWSTR.STR ビットを“1”に設定すると、CMWCNT.CKS[1:0] ビットにより選択されたクロックで CMWCNT カウンタがカウントアップ動作を開始します。

CMWIE ビット (コンペアマッチ割り込み許可ビット)

CMWCNT カウンタと CMWCOR レジスタの値が一致したとき、コンペアマッチ割り込み要求 (CMWI) の発生を許可するか禁止するかを選択します。

IC0IE ビット (インプットキャプチャ0 割り込み許可ビット)

CMWICR0 レジスタにインプットキャプチャが発生したとき、インプットキャプチャ割り込み0 (IC0I) の発生を許可するか禁止するかを選択します。

IC1IE ビット (インプットキャプチャ1 割り込み許可ビット)

CMWICR1 レジスタにインプットキャプチャが発生したとき、インプットキャプチャ割り込み1 (IC1I) の発生を許可するか禁止するかを選択します。

OC0IE ビット (アウトプットコンペア0 割り込み許可ビット)

CMWCNT カウンタと CMWOCR0 レジスタの値が一致したとき、アウトプットコンペア割り込み0 (OC0I) の発生を許可するか禁止するかを選択します。

OC1IE ビット (アウトプットコンペア1 割り込み許可ビット)

CMWCNT カウンタと CMWOCR1 レジスタの値が一致したとき、アウトプットコンペア割り込み1 (OC1I) の発生を許可するか禁止するかを選択します。

CMS ビット (タイマカウンタサイズビット)

タイマカウンタ (CMWCNT) を、16 ビットまたは 32 ビットのどちらのカウンタとして使用するかを選択します。CMS ビットの設定がコンペアマッチコンスタントレジスタ (CMWCOR)、インプットキャプチャレジスタ (CMWICR0、CMWICR1)、アウトプットコンペアレジスタ (CMWOCR0、CMWOCR1) の有効ビットサイズになります。

CCLR[2:0] ビット (カウンタクリアビット)

CMWCNT カウンタのカウンタクリア要因を選択します。

20.2.3 タイマ I/O コントロールレジスタ (CMWIOR)

CMWIOR レジスタは CMWCOR、CMWICR0、CMWICR1、CMWOCR0、CMWOCR1 レジスタを制御するレジスタです。

CMWIOR の設定は、タイマカウンタ (CMWCNT) の動作が停止した状態で行ってください。

アドレス CMTW0.CMWIOR A008 0308h、CMTW1.CMWIOR A008 0388h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMWE	—	OC1E	OC0E	OC1[1:0]	OC0[1:0]	—	—	IC1E	IC0E	IC1[1:0]	IC0[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IC0[1:0]	インプットキャプチャコントロール0ビット	b1 b0 0 0 : TIC0端子の立ち上がりエッジでインプットキャプチャ 0 1 : TIC0端子の立ち下がりエッジでインプットキャプチャ 1 0 : TIC0端子の両エッジでインプットキャプチャ 1 1 : 設定しないでください	R/W
b3-b2	IC1[1:0]	インプットキャプチャコントロール1ビット	b3 b2 0 0 : TIC1端子の立ち上がりエッジでインプットキャプチャ 0 1 : TIC1端子の立ち下がりエッジでインプットキャプチャ 1 0 : TIC1端子の両エッジでインプットキャプチャ 1 1 : 設定しないでください	R/W
b4	IC0E	インプットキャプチャ許可0ビット	0 : CMWICR0レジスタのインプットキャプチャ動作を禁止 1 : CMWICR0レジスタのインプットキャプチャ動作を許可	R/W
b5	IC1E	インプットキャプチャ許可1ビット	0 : CMWICR1レジスタのインプットキャプチャ動作を禁止 1 : CMWICR1レジスタのインプットキャプチャ動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9-b8	OC0[1:0]	アウトプットコンペアコントロール0ビット	b9 b8 0 0 : 出力保持 (注1) 0 1 : 初期出力は“0”出力 コンペアマッチでトグル出力 1 0 : 初期出力は“1”出力 コンペアマッチでトグル出力 1 1 : 設定しないでください	R/W
b11-b10	OC1[1:0]	アウトプットコンペアコントロール1ビット	b11 b10 0 0 : 出力保持 (注1) 0 1 : 初期出力は“0”出力 コンペアマッチでトグル出力 1 0 : 初期出力は“1”出力 コンペアマッチでトグル出力 1 1 : 設定しないでください	R/W
b12	OC0E	コンペアマッチ許可0ビット	0 : CMWOCR0レジスタによるコンペアマッチ動作を禁止 1 : CMWOCR0レジスタによるコンペアマッチ動作を許可	R/W
b13	OC1E	コンペアマッチ許可1ビット	0 : CMWOCR1レジスタによるコンペアマッチ動作を禁止 1 : CMWOCR1レジスタによるコンペアマッチ動作を許可	R/W
b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15	CMWE	コンペアマッチ許可ビット	0 : CMWCORレジスタによるコンペアマッチ動作を禁止 1 : CMWCORレジスタによるコンペアマッチ動作を許可	R/W

注1. リセット後、CMWIORレジスタを設定するまでは“0”が出力されます。

IC0[1:0] ビット (インプットキャプチャコントロール0ビット)

CMWICR0 レジスタのインプットキャプチャ動作を選択します。

IC1[1:0] ビット (インプットキャプチャコントロール1ビット)

CMWICR1 レジスタのインプットキャプチャ動作を選択します。

IC0E ビット (インプットキャプチャ許可 0 ビット)

CMWICR0 レジスタのインプットキャプチャ動作の禁止/許可を設定します。

IC1E ビット (インプットキャプチャ許可 1 ビット)

CMWICR1 レジスタのインプットキャプチャ動作の禁止/許可を設定します。

OC0[1:0] ビット (アウトプットコンペアコントロール 0 ビット)

CMWOCR0 レジスタによるアウトプットコンペア動作を設定します。

OC1[1:0] ビット (アウトプットコンペアコントロール 1 ビット)

CMWOCR1 レジスタによるアウトプットコンペア動作を設定します。

OC0E ビット (コンペアマッチ許可 0 ビット)

CMWOCR0 レジスタによるコンペアマッチ動作の禁止/許可を設定します。

OC1E ビット (コンペアマッチ許可 1 ビット)

CMWOCR1 レジスタによるコンペアマッチ動作の禁止/許可を設定します。

CMWE ビット (コンペアマッチ許可ビット)

CMWCOR レジスタによるコンペアマッチ動作の禁止/許可を設定します。

20.2.4 タイマカウンタ (CMWCNT)

CMWCNT カウンタは、書き込み/読み出し可能なアップカウンタとして使用します。

カウント動作を開始する前に、タイマコントロールレジスタ (CMWCR) の設定を完了してください。

CMWCR.CMS ビットで 16 ビットカウンタ動作とした場合、CMWCNT カウンタの b15 ~ b0 が有効となります。本レジスタは、32 ビットアクセスのみ可能なため、書き込む場合は、上位に 0000h を加えた 32 ビットデータを書き込んでください。上位に 0000h 以外の値を設定した場合、本レジスタを読み出した際、0000 FFFFh より大きい値が読み出されることがあります。

なお、STR ビットを“1”にした場合、CMWCNT カウンタはカウント動作を開始し、STR ビットを“0”にした場合、CMWCNT カウンタはカウント動作停止直前の値を保持して停止します。

アドレス CMTW0.CMWCNT A008 0310h、CMTW1.CMWCNT A008 0390h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

20.2.5 コンペアマッチコンスタントレジスタ (CMWCOR)

CMWCOR レジスタは、書き込み/読み出し可能なレジスタで、タイマカウンタ (CMWCNT) とコンペアマッチするまでの期間を設定するレジスタです。タイマコントロールレジスタ (CMWCR) の CMS ビットで 16 ビットカウンタ動作に設定した場合、本レジスタの b15 ~ b0 が有効となります。本レジスタは、32 ビットアクセスのみ可能なため、書き込む場合は、上位に 0000h を加えた 32 ビットデータで書き込んでください。

コンペアマッチ周期は次のようになります。

$$\text{コンペアマッチ周期} = (\text{CMWCOR レジスタ設定値} + 1) \times \text{カウントクロック周期 (注 1)}$$

注 1. CMWCR.CKS[1:0] ビットで設定するクロック周期です。

アドレス CMTW0.CMWCOR A008 0314h、CMTW1.CMWCOR A008 0394h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

20.2.6 インプットキャプチャレジスタ 0、1 (CMWICR0、CMWICR1)

CMWICR0、CMWICR1 レジスタは、インプットキャプチャ時の CMWCNT カウンタ値を格納する読み出し専用のレジスタです。

タイマコントロールレジスタ (CMWCR) の CMS ビットで 16 ビットカウンタ動作に設定した場合、本レジスタの b15 ~ b0 が有効となります。本レジスタへの書き込みは無効です。

アドレス CMTW0.CMWICR0 A008 0318h、CMTW0.CMWICR1 A008 031Ch、
CMTW1.CMWICR0 A008 0398h、CMTW1.CMWICR1 A008 039Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

20.2.7 アウトプットコンペアレジスタ 0、1 (CMWOCR0、CMWOCR1)

CMWOCR0、CMWOCR1 レジスタは、アウトプットコンペア時のコンペア値を設定する書き込み/読み出し可能なレジスタです。

タイマコントロールレジスタ (CMWCR) の CMS ビットで 16 ビットカウンタ動作に設定した場合、本レジスタの b15 ~ b0 が有効となります。本レジスタは、32 ビットアクセスのみ可能なため、書き込む場合は、上位に 0000h を加えた 32 ビットデータで書き込んでください。

アドレス CMTW0.CMWOCR0 A008 0320h、CMTW0.CMWOCR1 A008 0324h、
CMTW1.CMWOCR0 A008 03A0h、CMTW1.CMWOCR1 A008 03A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

20.2.8 デジタルノイズフィルタコントロールレジスタ 0 (NFCR0)

NFCR0 レジスタは、CMTW0 のインプットキャプチャ信号 (TICn, n=0, 1) のデジタルノイズフィルタを制御するレジスタです。

NFCR0 レジスタの設定は、CMTW0.CMWCNT カウンタの動作が停止した状態で行ってください。

アドレス CMTW.NFCR0 A008 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	NFCS0[1:0]	NF1EN	NF0EN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NF0EN	デジタルノイズフィルタ有効0ビット	0 : TIC0 端子のデジタルノイズフィルタは無効 1 : TIC0 端子のデジタルノイズフィルタは有効	R/W
b1	NF1EN	デジタルノイズフィルタ有効1ビット	0 : TIC1 端子のデジタルノイズフィルタは無効 1 : TIC1 端子のデジタルノイズフィルタは有効	R/W
b3-b2	NFCS0[1:0]	デジタルノイズフィルタクロック選択0ビット	b3 b2 0 0 : PCLKD/1 0 1 : PCLKD/8 1 0 : PCLKD/32 1 1 : PCLKD/64	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NF0EN ビット (デジタルノイズフィルタ有効0ビット)

TIC0 端子のデジタルノイズフィルタを有効または無効にします。本ビットは、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で切り替えてください。(アウトプットコンペア機能に設定せずに本ビットを切り替えた場合、意図しない内部エッジが発生することがあります。)

NF1EN ビット (デジタルノイズフィルタ有効1ビット)

TIC1 端子のデジタルノイズフィルタを有効または無効にします。本ビットは、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で切り替えてください。(アウトプットコンペア機能に設定せずに本ビットを切り替えた場合、意図しない内部エッジが発生することがあります。)

NFCS0[1:0] ビット (デジタルノイズフィルタクロック選択0ビット)

CMTW0 のデジタルノイズフィルタのサンプリングクロックを選択します。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが3回連続して一致した場合に、そのレベルをインプットキャプチャ信号とみなし、一致しない場合は、前のレベルを保持します。

本ビットを設定した後、設定したサンプリング周期の2周期分待った後でインプットキャプチャ機能に設定してください。

20.2.9 デジタルノイズフィルタコントロールレジスタ 1 (NFCR1)

NFCR1 レジスタは、CMTW1 のインプットキャプチャ信号 (TICn, n=2, 3) のデジタルノイズフィルタを制御します。

NFCR1 レジスタの設定は、CMTW1.CMWCNT カウンタの動作が停止した状態で行ってください。

アドレス CMTW.NFCR1 A008 0404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	NFCS1[1:0]	NF3EN	NF2EN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NF2EN	デジタルノイズフィルタ有効2ビット	0 : TIC2端子のデジタルノイズフィルタは無効 1 : TIC2端子のデジタルノイズフィルタは有効	R/W
b1	NF3EN	デジタルノイズフィルタ有効3ビット	0 : TIC3端子のデジタルノイズフィルタは無効 1 : TIC3端子のデジタルノイズフィルタは有効	R/W
b3-b2	NFCS1[1:0]	デジタルノイズフィルタクロック選択1ビット	b3 b2 0 0 : PCLKD/1 0 1 : PCLKD/8 1 0 : PCLKD/32 1 1 : PCLKD/64	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NF2EN ビット (デジタルノイズフィルタ有効2ビット)

TIC2 端子のデジタルノイズフィルタを有効または無効にします。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NF3EN ビット (デジタルノイズフィルタ有効3ビット)

TIC3 端子のデジタルノイズフィルタを有効または無効にします。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NFCS1[1:0] ビット (デジタルノイズフィルタクロック選択1ビット)

CMTW1 のデジタルノイズフィルタのサンプリングクロックを選択します。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが3回連続して一致した場合に、そのレベルをインプットキャプチャ信号とみなし、一致しない場合は、前のレベルを保持します。

本ビットを設定した後、設定したサンプリング周期の2周期分待った後でインプットキャプチャ機能に設定してください。

20.3 動作説明

CMTWはCMWCRレジスタの設定後にCMWSTR.STRビットを“1”にすることによって、カウント動作を開始します。CMWSTR.STRビットを“0”にすることによって、CMWCNTカウンタはカウント動作停止直前の値を保持して、カウント動作を停止します。また、CMWIORレジスタを設定することにより、コンペアマッチ機能、インプットキャプチャ入力機能、およびアウトプットコンペア出力機能を使用することが可能です。

20.3.1 周期カウント動作

CMWCR.CKS[1:0]ビットで内部クロックを選択し、CMWSTR.STRビットを“1”にすると、選択したクロックによってCMWCNTカウンタはカウントアップ動作を開始します。CMWCR.CCLR[2:0]ビットでカウンタをクリアする条件に設定した場合は、カウンタクリア要因が発生するとCMWCNTカウンタは0000 0000hにクリアされ、カウントアップを続けます。カウンタをクリアしない条件に設定した場合、オーバフロー発生時(FFFF FFFFh → 0000 0000h (32ビットカウンタ動作時) / 0000 FFFFh → 0000 0000h (16ビットカウンタ動作時))のみCMWCNTカウンタは0000 0000hにクリアされ、カウントアップを続けます。

20.3.2 コンペアマッチ機能

CMWCNTカウンタの値がCMWCORレジスタの値と一致すると、コンペアマッチ割り込み(CMWI)が発生します。また、CMWCR.CCLR[1:0]の設定によって、CMWCNTカウンタは以下のように動作します。

1. CMWCR.CCLR[2:0] = 000b の場合

CMWCNTカウンタの値がCMWCORレジスタの値と一致すると、CMWCNTカウンタは“0000 0000h”にクリアされます。その後、CMWCNTカウンタは“0000 0000h”から再びカウントアップ動作を再開します。

2. CMWCR.CCLR[2:0] ≠ 000b の場合

CMWCNTカウンタの値がCMWCORレジスタの値と一致しても、CMWCNTカウンタは“0000 0000h”にクリアされず、CMWCR.CCLR[1:0]で設定されたクリア条件成立時、または“FFFF FFFFh (32ビットカウンタ動作時) / ****FFFFh (16ビットカウンタ動作時)”までカウントアップ動作を続けます。その後、CMWCNTカウンタは“0000 0000h”にクリアされ、“0000 0000h”から再びカウントアップ動作を再開します。

コンペアマッチ動作の設定手順例を図 20.2 に示します。

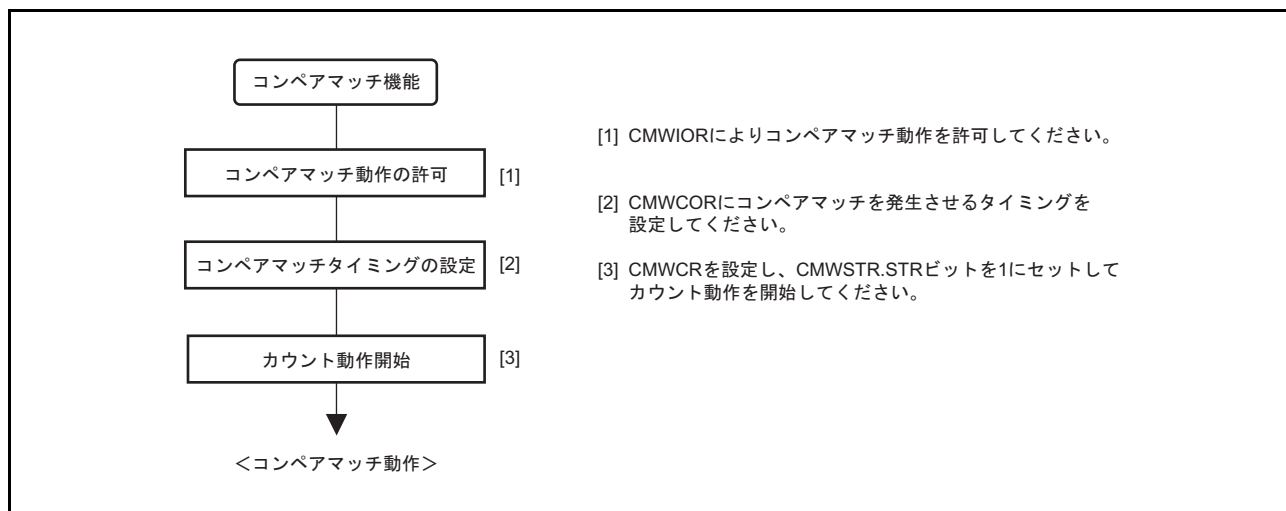


図 20.2 コンペアマッチ動作の設定手順例

CMWCOR レジスタとのコンペアマッチをカウンタクリア要因とした場合の例を図 20.3 に示します。

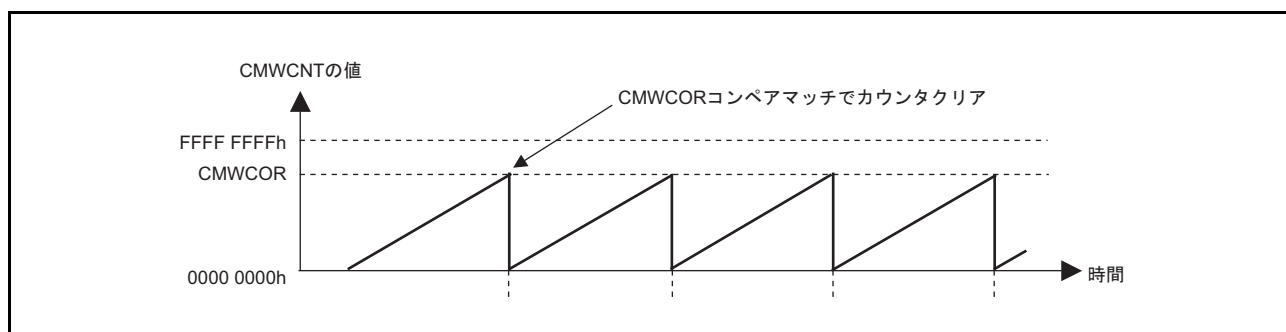


図 20.3 コンペアマッチ動作例

CMWCOR = FFFF FFFFh とし、オーバーフロー検出をした場合の例を図 20.4 に示します。

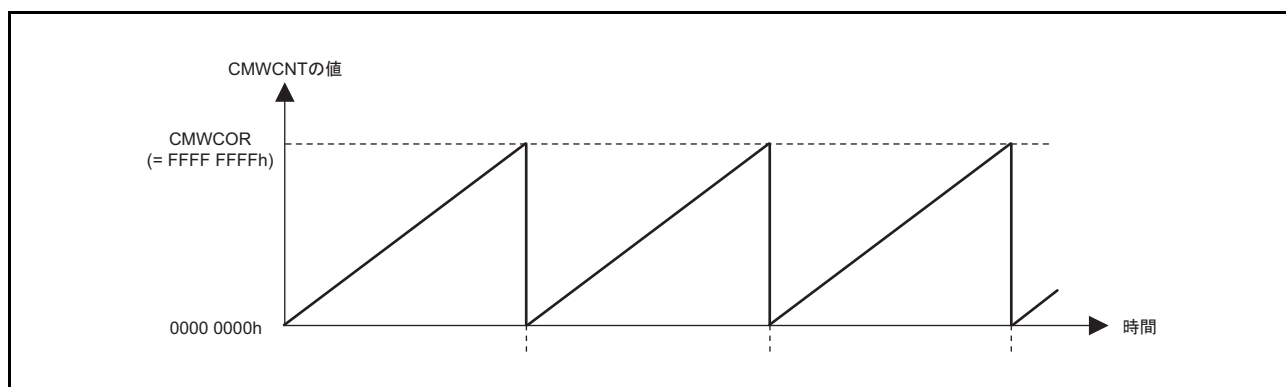


図 20.4 コンペアマッチ動作例 (オーバーフロー検出時)

20.3.3 アウトプットコンペア機能

アウトプットコンペア機能により、対応する出力端子からトグル出力を行うことができます。また、CMWCNTカウンタの値がCMWOCR0レジスタまたはCMWOCR1レジスタの値と一致すると、アウトプットコンペア割り込み(OC0IまたはOC1I)が発生します。また、CMWCR.CCLR[2:0]の設定によって、CMWCNTカウンタは以下のように動作します。

1. CMWCR.CCLR[2:0] = 110b の場合
CMWCNTカウンタの値がCMWOCR0レジスタの値と一致すると、CMWCNTカウンタは“0000 0000h”にクリアされます。その後、CMWCNTカウンタは“0000 0000h”から再びカウントアップ動作を再開します。
2. CMWCR.CCLR[2:0] = 111b の場合
CMWCNTカウンタの値がCMWOCR1レジスタの値と一致すると、CMWCNTカウンタは“0000 0000h”にクリアされます。その後、CMWCNTカウンタは“0000 0000h”から再びカウントアップ動作を再開します。
3. CMWCR.CCLR[2:0] ≠ 110b/111b の場合
CMWCNTカウンタの値がCMWOCR0/CMWOCR1レジスタの値と一致しても、CMWCNTカウンタは“0000 0000h”にクリアされず、CMWCR.CCLR[2:0]で設定されたクリア条件成立時、または“FFFF FFFFh (32ビットカウンタ動作時) / **** FFFFh (16ビットカウンタ動作時)”までカウントアップ動作を続けます。その後、CMWCNTカウンタは“0000 0000h”にクリアされ、“0000 0000h”から再びカウントアップ動作を再開します。

アウトプットコンペア動作の設定手順例を図 20.5 に示します。

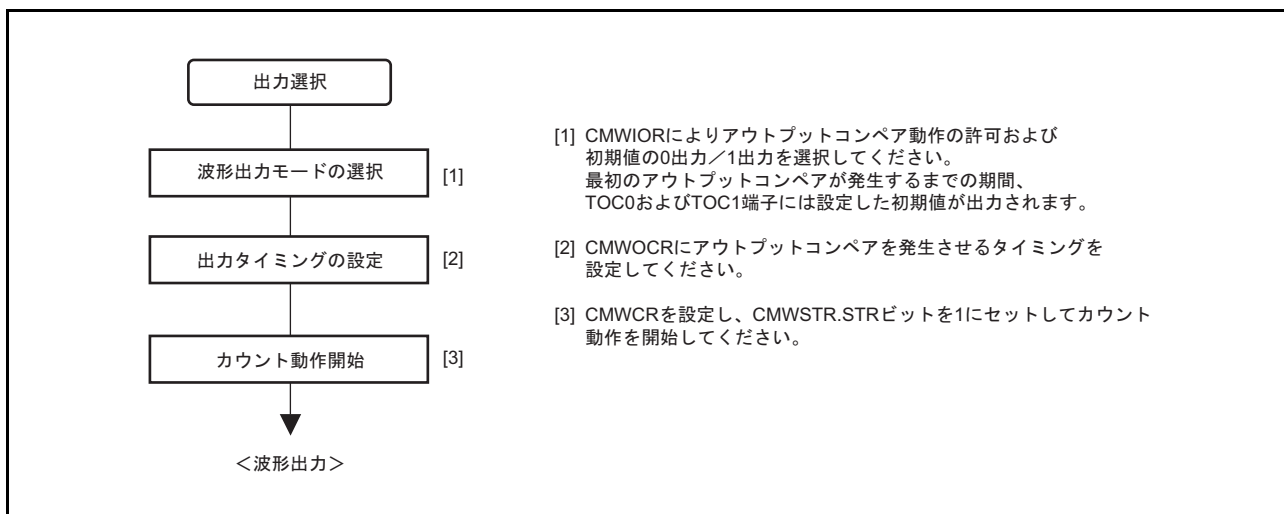


図 20.5 アウトプットコンペア動作の設定手順例

CMWOCR1 レジスタによりカウンタクリア、TOC0 および TOC1 端子をトグル出力とした場合の例を図 20.6 に示します。

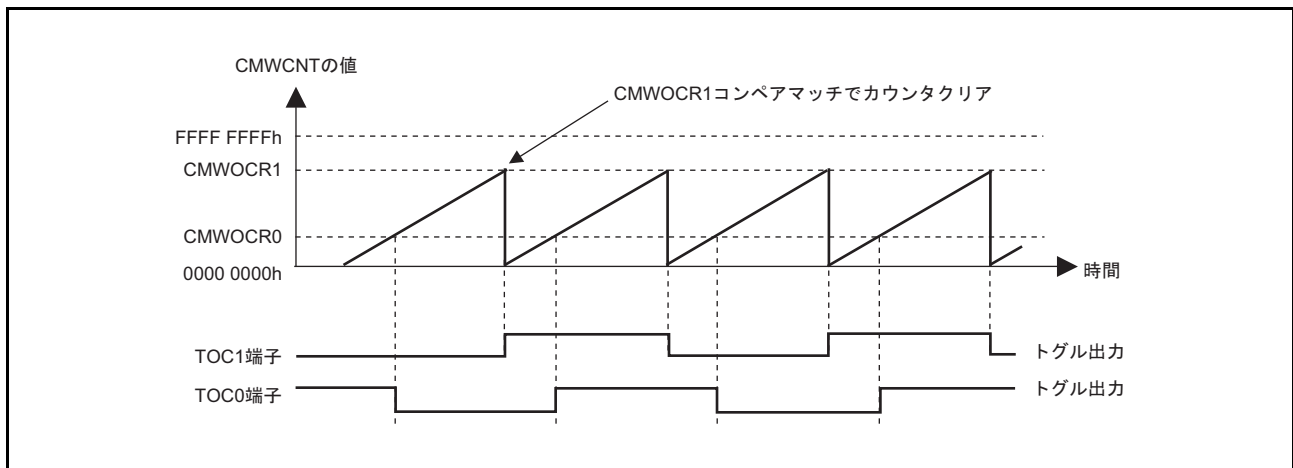


図 20.6 アウトプットコンペア動作例

20.3.4 インพุットキャプチャ機能

TIC0、TIC1 端子の入力エッジを検出して CMWCNT カウンタの値を CMWICR0、CMWICR1 レジスタにそれぞれ転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、インพุットキャプチャ機能により CMWCNT カウンタの値が CMWICR0 または CMWICR1 レジスタに転送されると、インพุットキャプチャ割り込み (IC0I または IC1I) が発生します。また、CMWCR.CCLR[2:0] の設定によって、CMWCNT カウンタは以下のように動作します。

1. CMWCR.CCLR[2:0] = 100b の場合

インพุットキャプチャにより CMWCNT の値が CMWICR0 に転送されると、CMWCNT カウンタは“0000 0000h”にクリアされます。

その後、CMWCNT カウンタは“0000 0000h”から再びカウントアップ動作を再開します。

2. CMWCR.CCLR[2:0] = 101b の場合

インพุットキャプチャにより CMWCNT の値が CMWICR1 に転送されると、CMWCNT カウンタは“0000 0000h”にクリアされます。

その後、CMWCNT カウンタは“0000 0000h”から再びカウントアップ動作を再開します。

3. CMWCR.CCLR[2:0] ≠ 100b/101b の場合

インพุットキャプチャにより CMWCNT の値が CMWICR0 または CMWICR1 に転送されても、CMWCNT カウンタは“0000 0000h”にクリアされず、CMWCR.CCLR[2:0] で設定されたクリア条件成立時、または“FFFF FFFFh (32 ビットカウンタ動作時) / **** FFFFh (16 ビットカウンタ動作時)”までカウントアップ動作を続けます。その後、CMWCNT カウンタは“0000 0000h”にクリアされ、“0000 0000h”から再びカウントアップ動作を再開します。

インพุットキャプチャ動作の設定手順例を図 20.7 に示します。

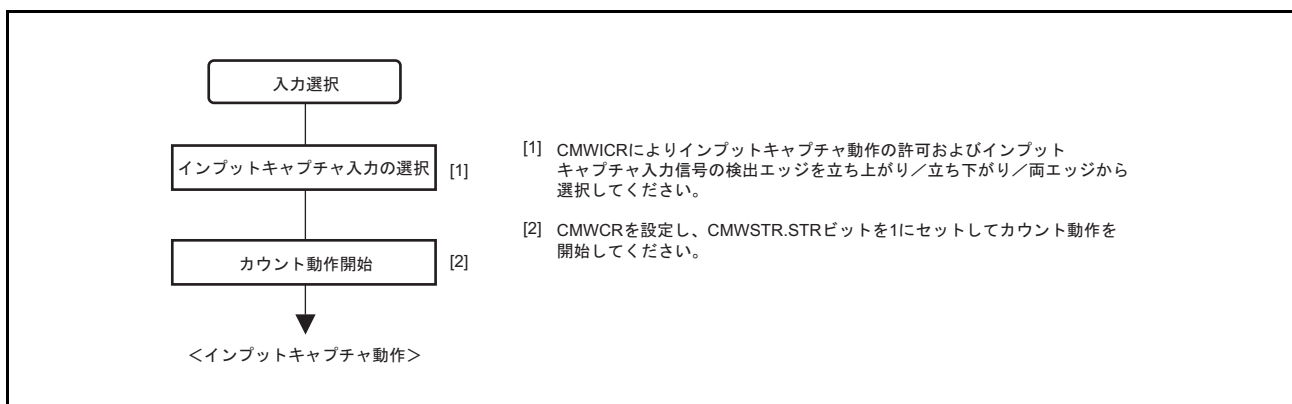


図 20.7 インพุットキャプチャ動作の設定手順例

TIC0 端子のインプットキャプチャ入力エッジを立ち上がり／立ち下がりの両エッジ、TIC1 端子を立ち下がりエッジに設定し、CMWICR1 レジスタのインプットキャプチャで CMWCNT カウンタがクリアされるように設定した場合の例を図 20.8 に示します。

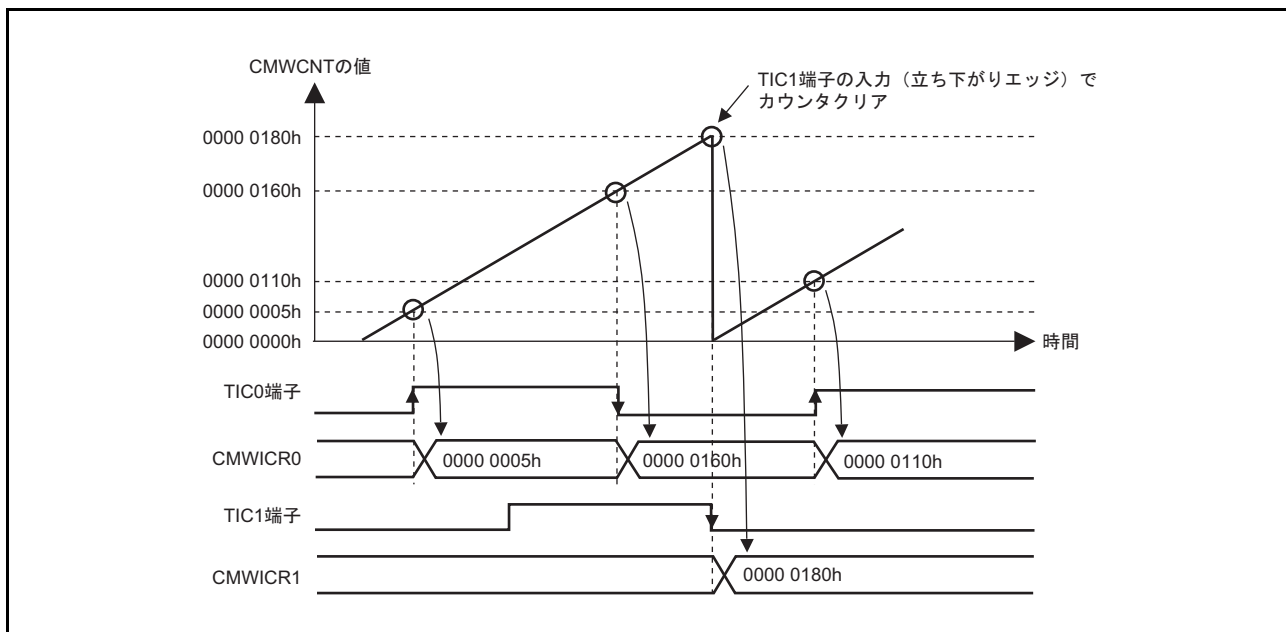


図 20.8 インプットキャプチャ動作例

20.3.5 カウンタサイズ

CMTWは、カウンタサイズを16ビットカウンタと32ビットカウンタから選択可能です。カウンタサイズの選択はCMWCR.CMSビットで行います。32ビットカウンタとして使う場合、CMWCOR、CMWOCR0、CMWOCR1レジスタには所望のデータを32ビットでセットしてください。CMWICR0、CMWICR1は32ビットすべてが有効な値として読み出されます。16ビットカウンタとして使う場合、CMWCORレジスタの値は上位に0000hを加えた32ビットでセットしてください。CMWOCR0、CMWOCR1レジスタの値は上位に0000hを加えた32ビットでセットしてください。CMWICR0、CMWICR1レジスタは上位に0000hを加えた32ビットの値が読み出されます。

20.3.6 CMWCNT カウントタイミング

CMWCR.CKS[1:0]ビットで、周辺クロック (PCLKD) を分周して得られた4種類のクロック (PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512) のうち1つをCMWCR.CKS[1:0]ビットにより選択することができます。図20.9にそのタイミングを示します。

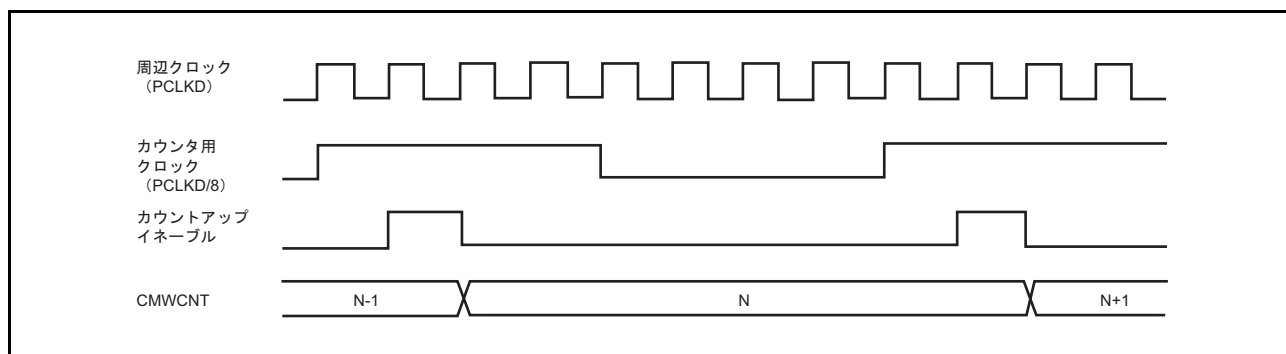


図 20.9 カウントタイミング (PCLKD/8 のとき)

20.3.7 アウトプットコンペア出カタイミング

CMWOCR レジスタと CMWCNT カウンタが一致した最後のステート (CMWCNT カウンタの値が更新されるタイミング) でコンペアマッチ信号が発生します。つまり、CMWOCR レジスタと CMWCNT カウンタの一致後、CMWCNT カウンタのカウント用クロックが入力されないとコンペアマッチ信号は発生しません。コンペアマッチ信号が発生したとき、CMWIOR レジスタの OC0/1 ビットの設定にしたがい、アウトプットコンペア出力端子 (TOC 端子) が変化します。アウトプットコンペア出カタイミングを図 20.10 に示します。

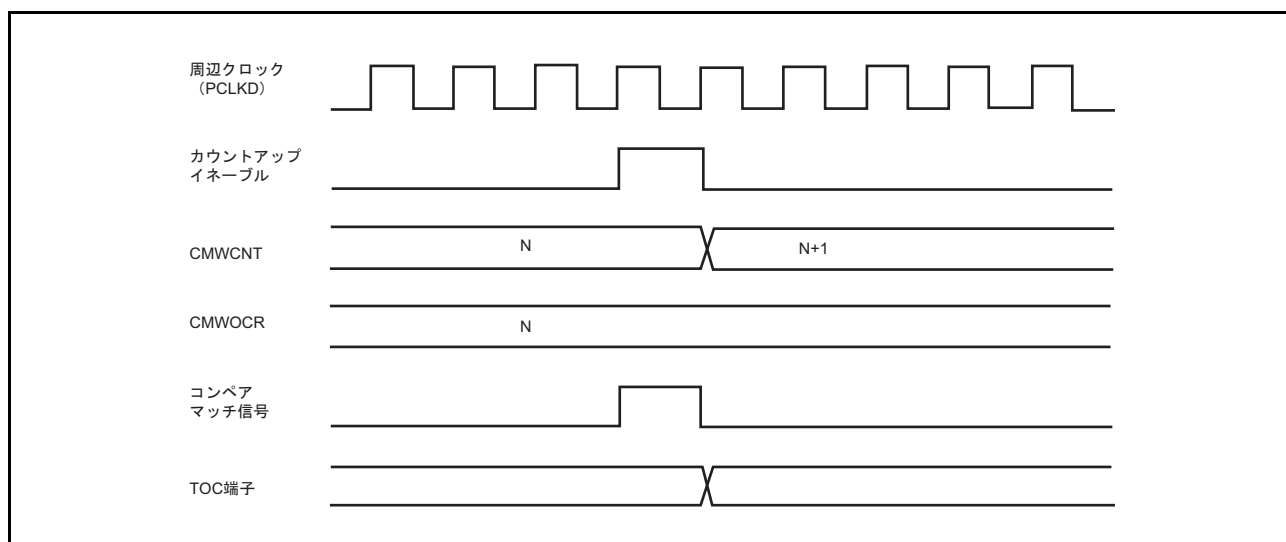


図 20.10 アウトプットコンペア出カタイミング

20.3.8 インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 20.11 に示します。

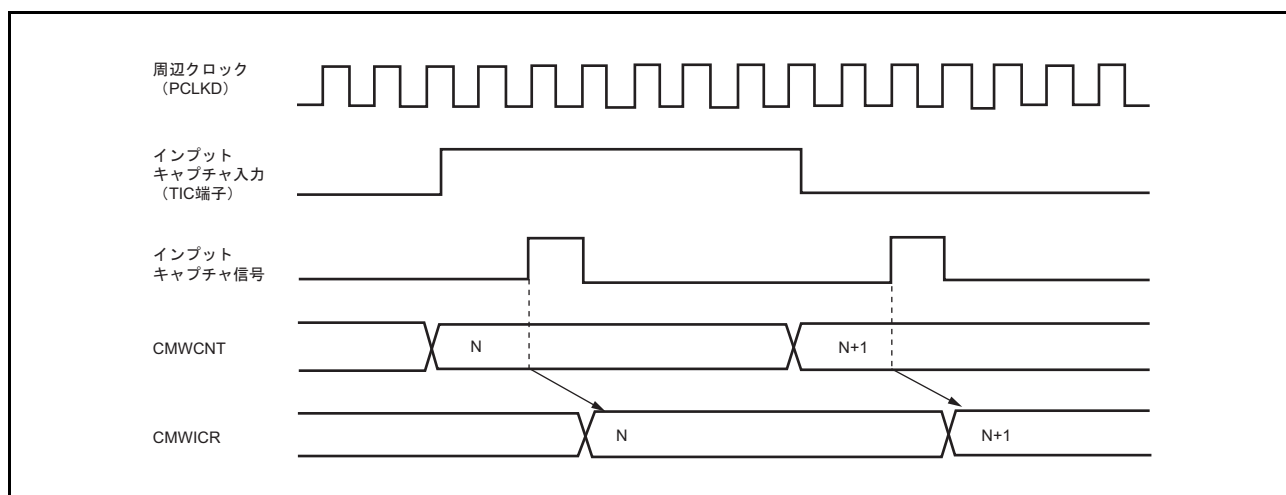


図 20.11 インプットキャプチャ入力信号タイミング

20.3.9 デジタルノイズフィルタ機能

デジタルノイズフィルタ機能は、CMTW の入力キャプチャ入力信号をサンプリングクロックでサンプリングし、サンプリング 3 回に満たないパルスを除去する機能です。

デジタルノイズフィルタは、端子ごとにデジタルノイズフィルタ機能の有効/無効が設定できます。図 20.12 にデジタルノイズフィルタのタイミングを示します。

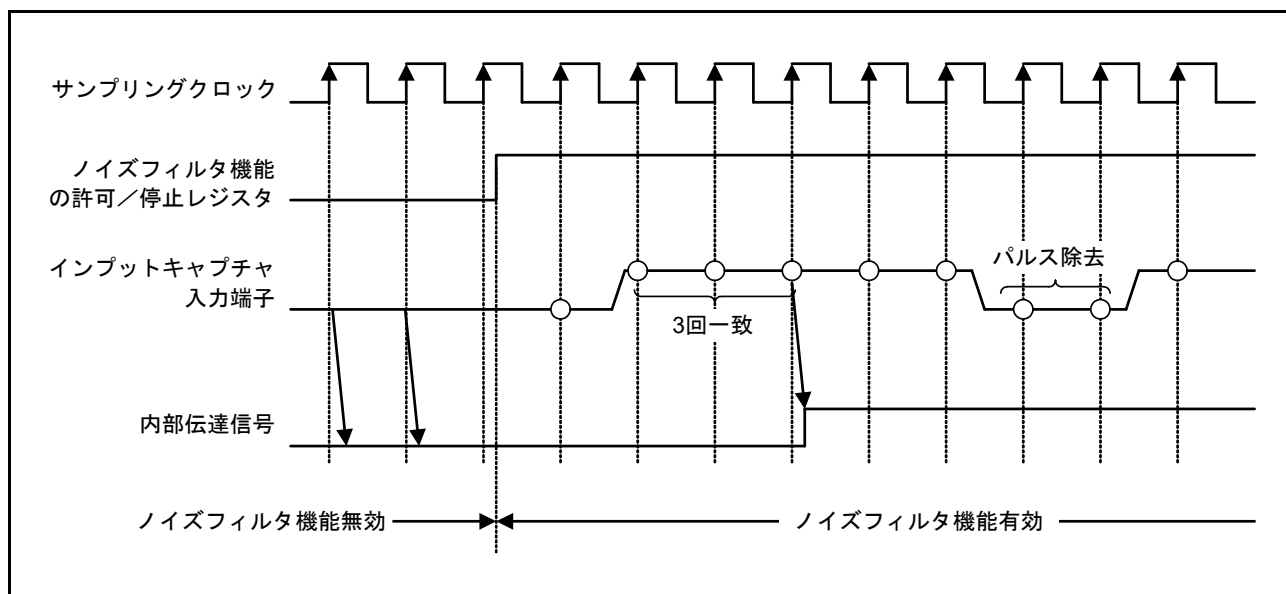


図 20.12 デジタルノイズフィルタ タイミングチャート

デジタルノイズフィルタを有効にした場合は、入力キャプチャ入力に対するノイズフィルタリングにより最短で「サンプリングサイクル×2 + PCLKD」だけ遅延したデジタルノイズフィルタ後の信号のエッジに対して入力キャプチャ動作が行われます。

20.4 割り込み

20.4.1 CMTWの割り込み要因とDMAC

CMTWはインプットキャプチャ割り込み要求 (IC0In、IC1In)、アウトプットコンペア割り込み要求 (OC0In、OC1In) と、コンペアマッチ割り込み要求 (CMWIn) の5種類の割り込み要因を持っています。

表 20.3 に各割り込み要因と優先順位を示します。各割り込み要因は、CMWCR レジスタの IC0IE、IC1IE、OC0IE、OC1IE、CMWIE ビットで許可/禁止の設定ができます。各割り込み要求はそれぞれ独立に割り込みコントローラに送られます (n = 0, 1)。

表 20.3 CMTW割り込み要因

割り込み要因	内容	割り込み許可ビット	DMACの起動	優先順位
CMWIn	コンペアマッチによる割り込み	CMWIE	可	高  低
IC0In	インプットキャプチャ 0 による割り込み	IC0IE	可	
IC1In	インプットキャプチャ 1 による割り込み	IC1IE	可	
OC0In	アウトプットコンペア 0 による 割り込み	OC0IE	可	
OC1In	アウトプットコンペア 1 による 割り込み	OC1IE	可	

20.4.2 コンペアマッチ割り込みの発生タイミング

CMWCNT カウンタと CMWCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMWI) が発生します。コンペアマッチ信号は、一致した最後のステート (CMWCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMWCNT カウンタの値と CMWCOR レジスタの値とが一致した後、CMWCNT カウンタ入力クロック (PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512) が発生するまでコンペアマッチ信号は発生しません。図 20.13 にコンペアマッチ割り込みのセットタイミングを示します。

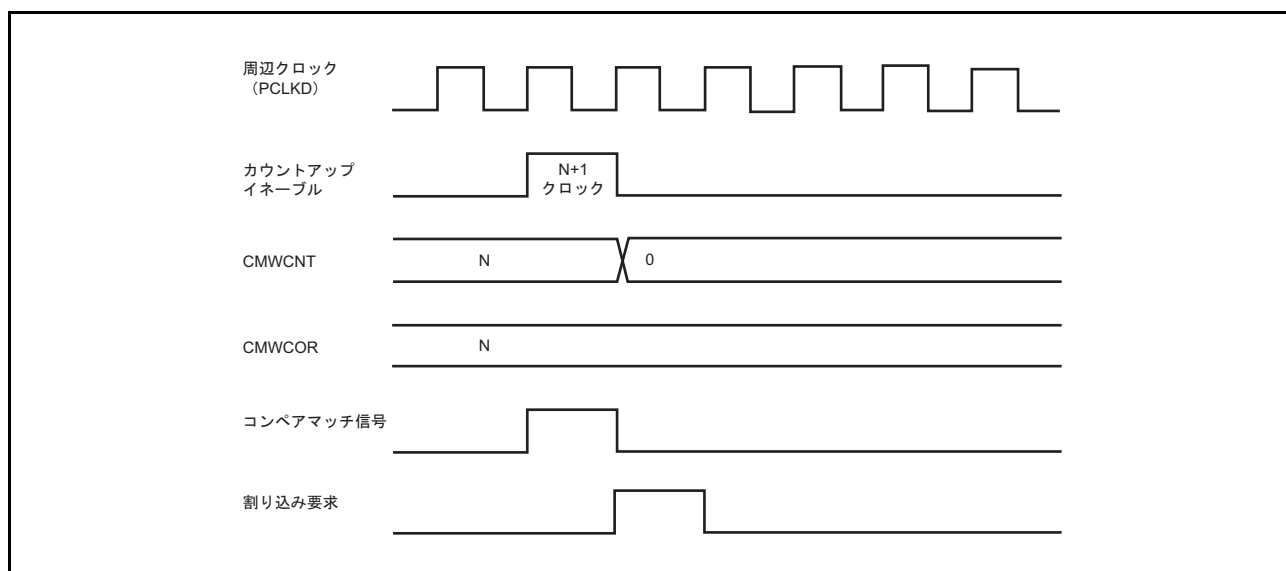


図 20.13 コンペアマッチ割り込みのセットタイミング

20.4.3 アウトプットコンペア割り込みの発生タイミング

図 20.14 にアウトプットコンペア割り込みのセットタイミングを示します。

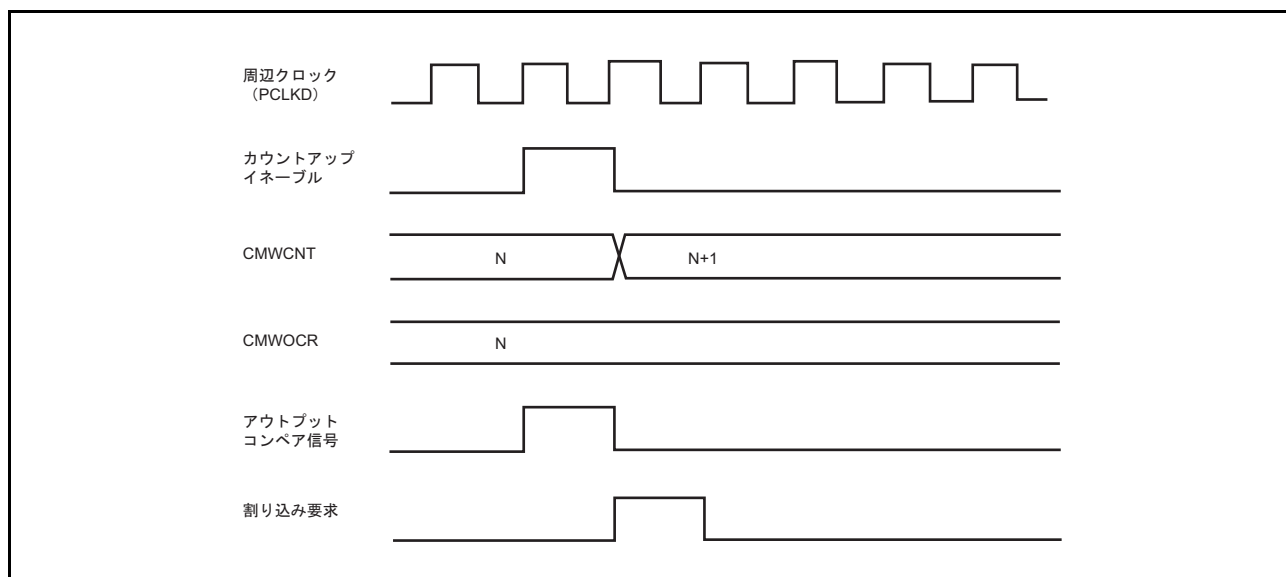


図 20.14 アウトプットコンペア割り込みのセットタイミング

20.4.4 インพุットキャプチャ割り込みの発生タイミング

図 20.15 にインพุットキャプチャ割り込みのセットタイミングを示します。

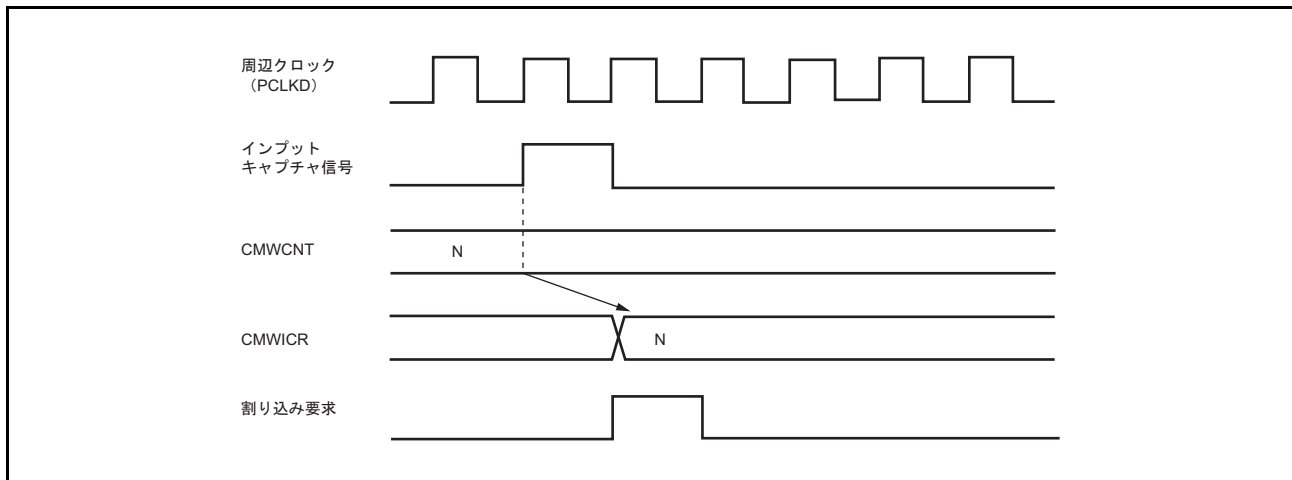


図 20.15 インพุットキャプチャ割り込みのセットタイミング

20.5 イベントリンク動作

20.5.1 ELC へのイベント発行

CMTW は、イベントリンクコントローラ (ELC) に対し以下のイベントを発行することができます。

コンペアマッチイベント

CMTW は、コンペアマッチが発生すると割り込み要求を発生しますが、同時に ELC へコンペアマッチイベントを発行します。このイベントは、対応する割り込みの割り込み要求許可ビット (CMWCR.CMWIE ビット) の設定に関係なく発行されます。

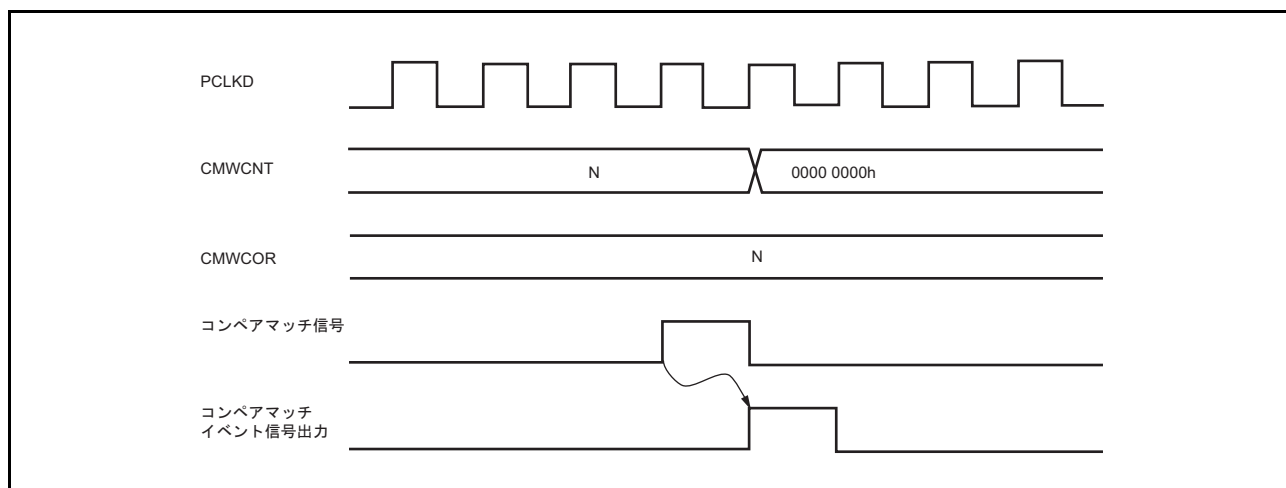


図 20.16 コンペアマッチイベント発行タイミング

20.5.2 ELCからのイベント受け付けによるアクション

イベントリンクコントローラ (ELC) に、CMTW のイベント受け付け時のアクションを設定することで、CMTW は3通りの動作をすることができます。

(1) カウントスタート動作

カウントスタート動作のアクションが選択されている時にイベントを受け付けると、CMWSTR (タイマスタートレジスタ) のSTR ビットが“1”にセットされカウントがスタートします。

CMWSTR.STR ビットが“1”にセットされた状態でイベントを受け付けた場合は、無視されます。

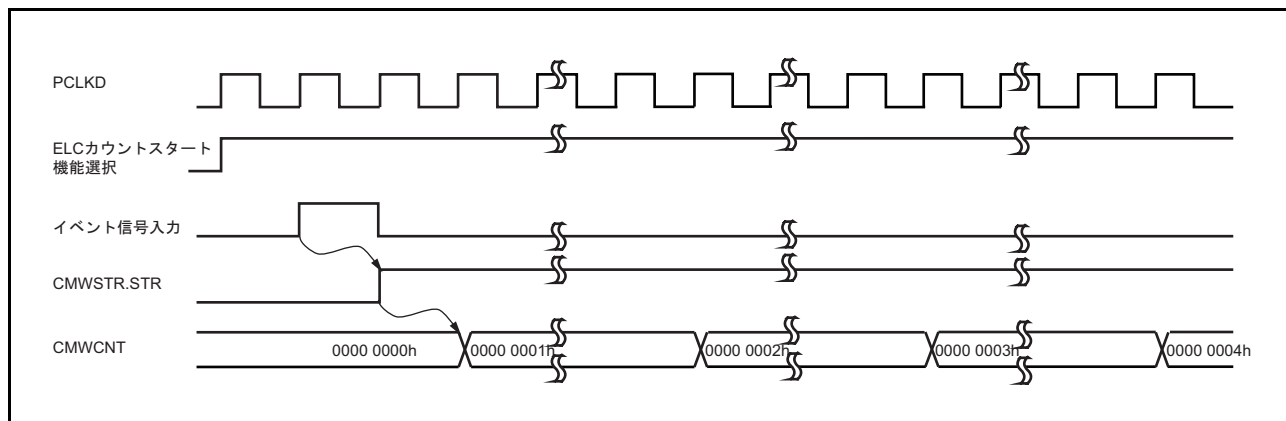


図 20.17 イベント受け付けによるカウントスタート動作

(2) イベントカウント動作

イベントカウント動作のアクションが選択されているときにイベントを受け付けると、CMWCNT (タイマカウンタ) をインクリメントします。イベントを受け付ける前に CMWSTR (タイマスタートレジスタ) のSTR ビットを“1”に設定しておく必要があります。

イベントカウント動作では、CMWCR (タイマコントロールレジスタ) のCKS[1:0] ビットの設定は無効です。

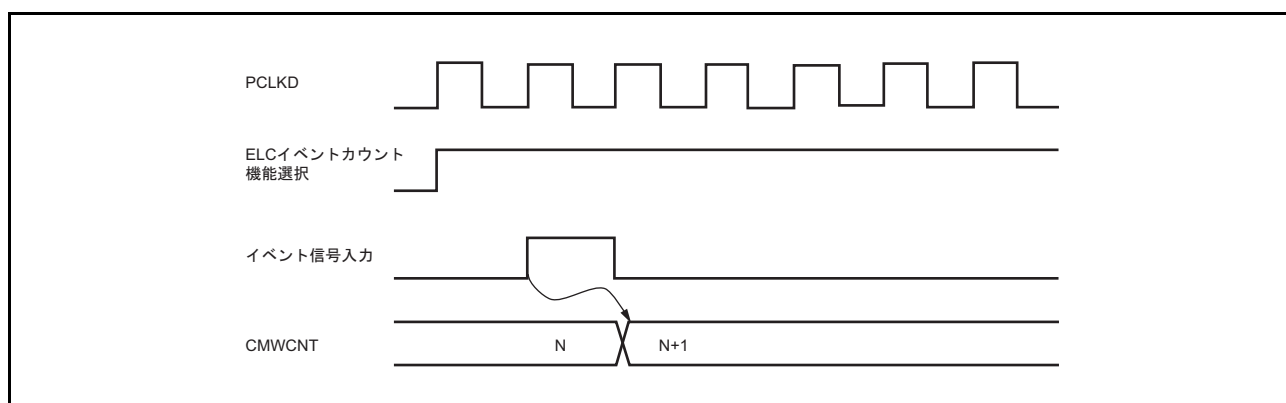


図 20.18 イベント受け付けによるイベントカウント動作

(3) カウントクリア動作

ELCのELOPHレジスタでCMTWのカウントクリア動作を選択します。ELSRnレジスタで指定したイベントが発生すると、CMWCNT(タイマカウンタ)の値が初期値(0000h)に書き換わります。このとき、CMWSTR(タイマスタートレジスタ)のSTRビットが“1”にセットされていればカウント動作を継続しカウントリスタート動作をすることができます。カウントリスタート動作のタイミングを図20.19に示します。

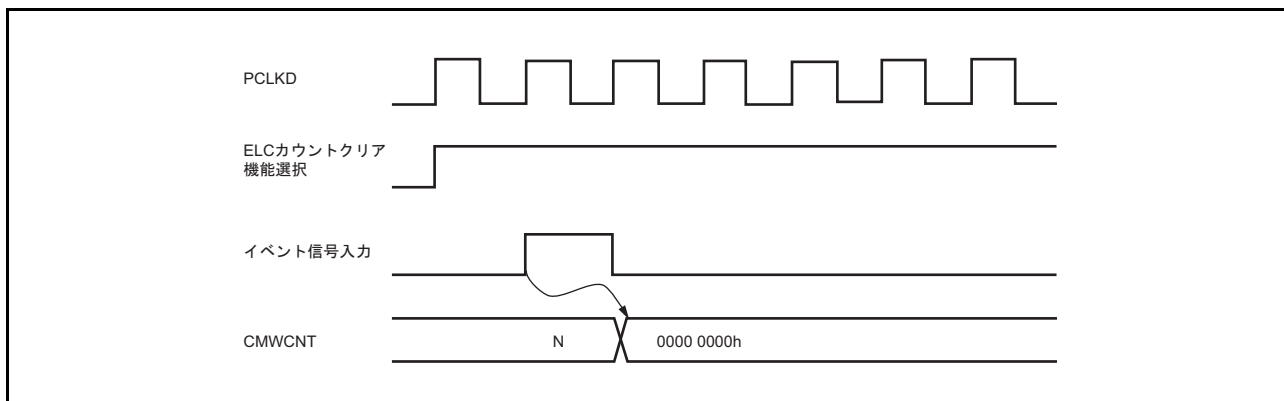


図 20.19 イベント受け付けによるカウントリスタート動作

20.6 使用上の注意事項

20.6.1 モジュールストップ機能

モジュールストップコントロールレジスタ (MSTPCRA) により、CMTW の動作禁止/許可を設定することが可能です。初期値では CMTW はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

20.6.2 CMWCNT カウンタの書き込みとコンペアマッチの競合

CPU による CMWCNT カウンタへのライト動作中にコンペアマッチ信号が発生した場合、コンペアマッチ割り込み要求は出力されますが、CMWCNT カウンタはカウンタクリアされずに、CPU による CMWCNT カウンタへの書き込みが優先されます。

このタイミングを図 20.20 に示します。

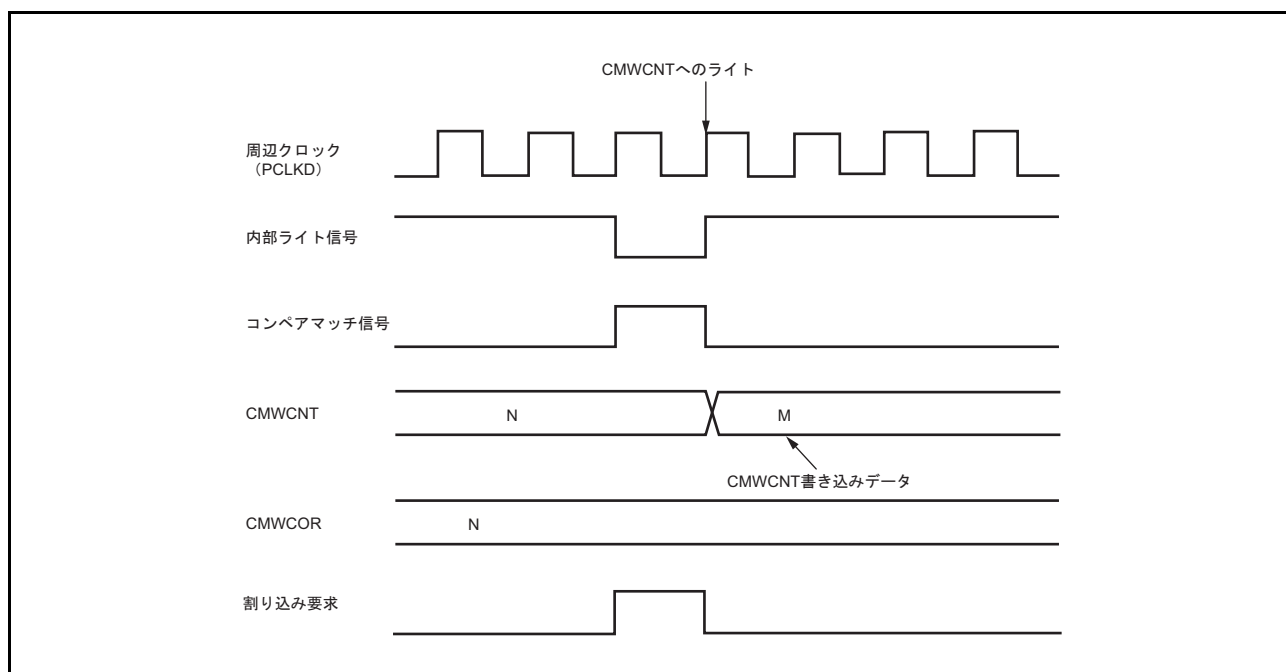


図 20.20 CMWCNT カウンタの書き込みとコンペアマッチの競合

20.6.3 CMWCNT カウンタの書き込みとカウントアップ/カウンタクリアの競合

CPUによるCMWCNTカウンタへのライト動作中にカウントアップまたはカウンタクリアが発生しても、CMWCNTカウンタはカウントアップまたはカウンタクリアされず、CPUによるCMWCNTカウンタへの書き込みが優先されます。

このタイミングを図20.21に示します。

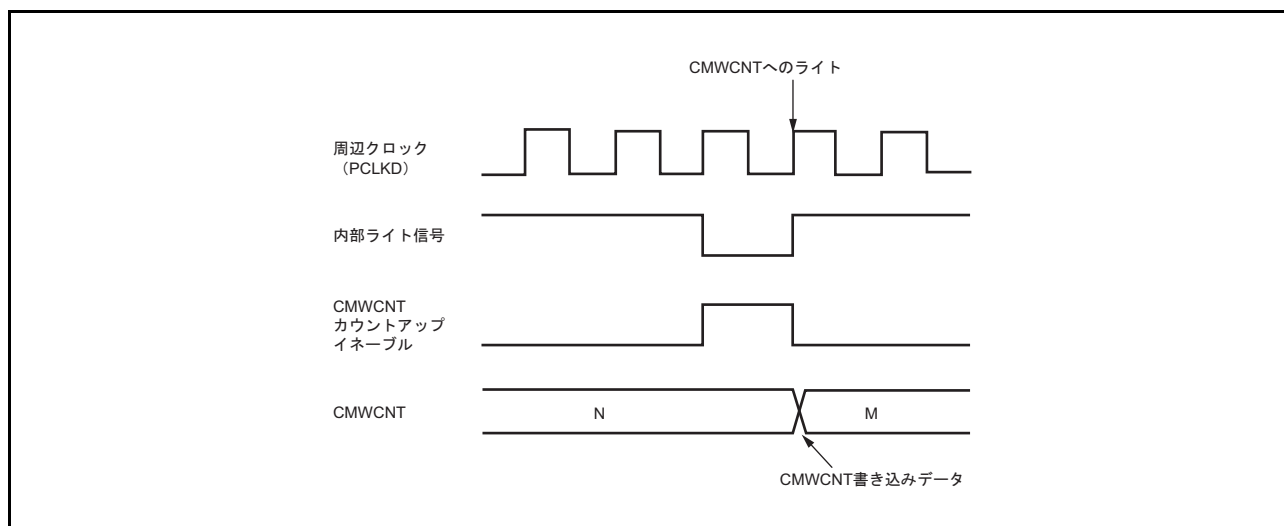


図 20.21 CMWCNT カウンタの書き込みとカウントアップの競合

20.6.4 CMWCOR レジスタの書き込みとコンペアマッチの競合

CPUによるCMWCORレジスタへのライト動作中にコンペアマッチが発生した場合、CPUによるCMWCORレジスタへの書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図20.22に示します。

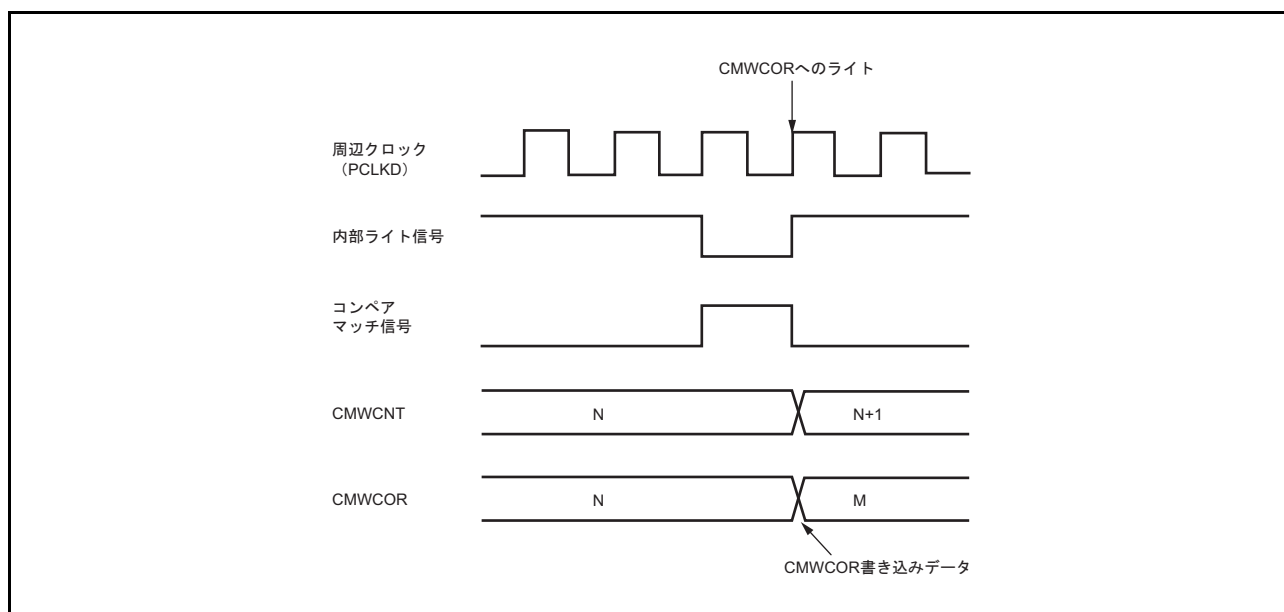


図 20.22 CMWCOR レジスタの書き込みとコンペアマッチの競合

20.6.5 CMWOCR レジスタの書き込みとコンペアマッチの競合

CPUによるCMWOCRレジスタへのライト動作中にコンペアマッチが発生した場合、CPUによるCMWOCRレジスタへの書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図20.23に示します。

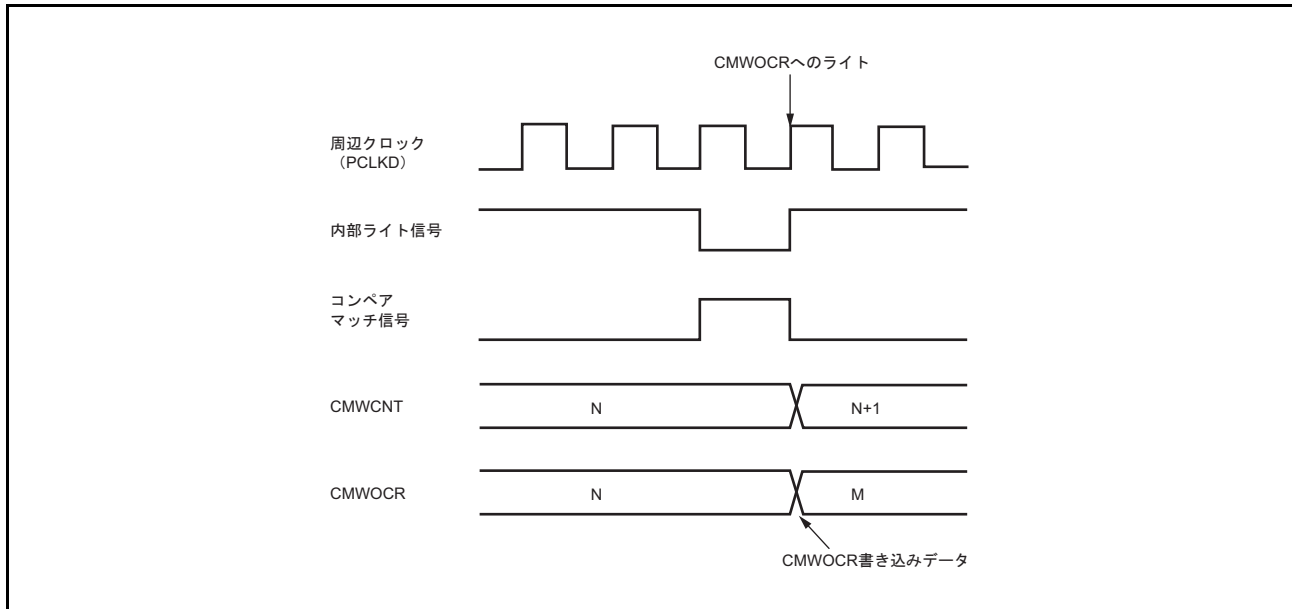


図 20.23 CMWOCR レジスタの書き込みとコンペアマッチの競合

20.6.6 CMWCNT カウンタ読み出しとカウントアップ/カウンタクリアの競合

CMWCNTカウンタのデータの読み出しと同時にカウントアップまたはカウンタクリアが発生した場合、読み出し値はカウントアップまたはカウンタクリア前のカウント値が読み出されます。

CMWCNTカウンタの読み出しとカウントアップが競合した場合のタイミングを図20.24に示します。

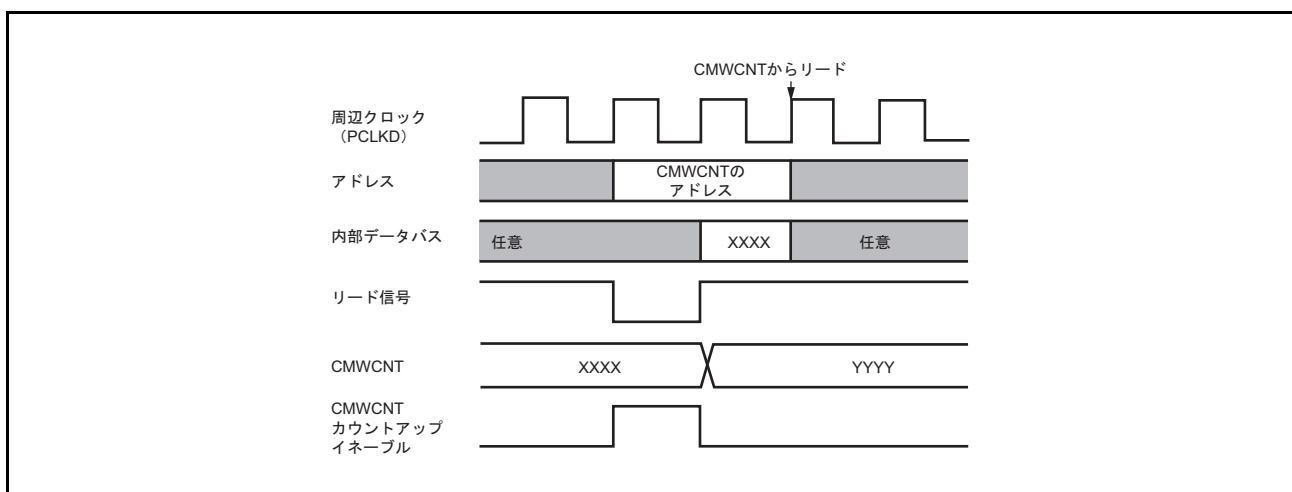


図 20.24 CMWCNT カウンタ読み出しとカウントアップの競合
(データの読み出しとカウントアップが同時に発生した場合)

20.6.7 CMWICR レジスタ読み出しとインプットキャプチャの競合

CMWICR レジスタの読み出しと同時にインプットキャプチャ信号が発生した場合、読み出し値はインプットキャプチャ転送前の値が読み出されます。

CMWICR レジスタの読み出しとインプットキャプチャが競合した場合のタイミングを図 20.25 に示します。

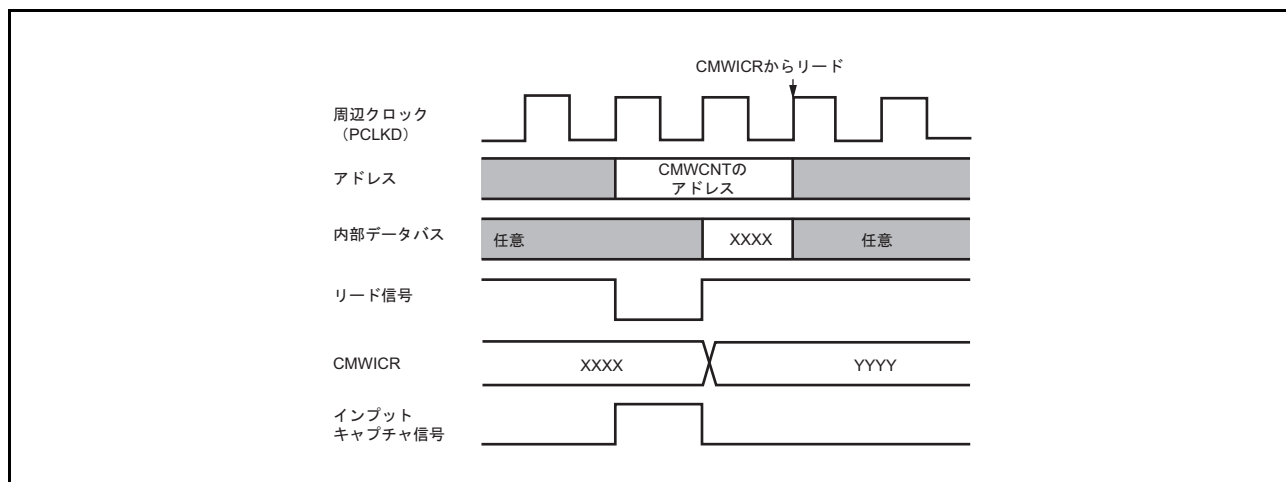


図 20.25 CMWICR レジスタ読み出しとインプットキャプチャの競合
(データの読み出しとインプットキャプチャ信号が同時に発生した場合)

20.6.8 イベントリンク動作とレジスタアクセスの競合

CMTW をイベントリンクによる動作で使用するときは、以下のことに注意してください。

表 20.4 にイベントリンク動作 / レジスタアクセス / カウンタ状態の競合動作まとめを示します。

(1) カウントスタート動作

CMWSTR (タイマスタートレジスタ) の STR ビットへのライトアクセスとイベントの受け付けが競合すると、CPU による CMWSTR (タイマスタートレジスタ) の STR ビットへの書き込み動作は無視され、イベントの受け付けによる STR ビットへの“1”動作が優先されます。

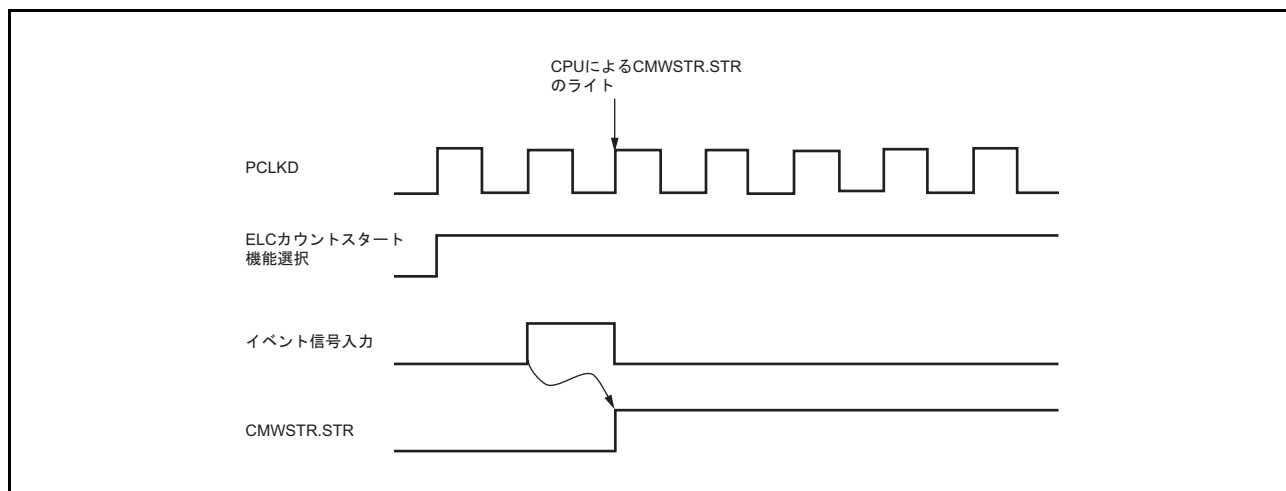


図 20.26 カウントスタート動作でのイベント受け付けとレジスタアクセスの競合

(2) イベントカウント動作

CMWCNT (タイマカウンタ) へのライトアクセスとイベントの受け付けが競合すると、CPU による CMWCNT (タイマカウンタ) への書き込み動作は無視され、イベントの受け付けによるカウント動作が優先されます。

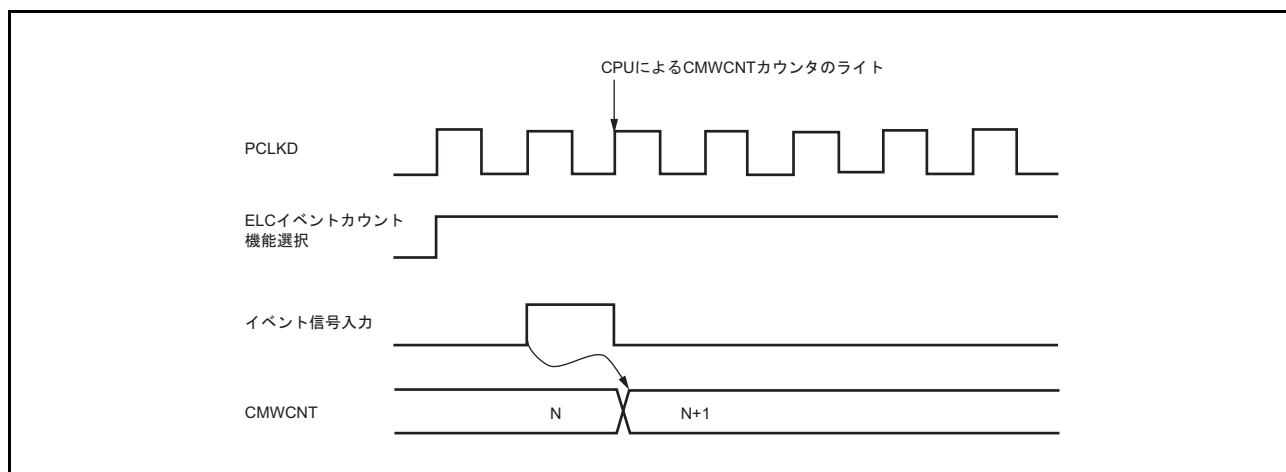


図 20.27 イベントカウント動作でのイベント受け付けとレジスタアクセスの競合

(3) カウントクリア動作

CMWCNT (タイマカウンタ) へのライトアクセスとイベントの受け付けが競合すると、CPU による CMWCNT (タイマカウンタ) への書き込み動作は無視され、イベントの受け付けによるカウント値の初期化が優先されます。

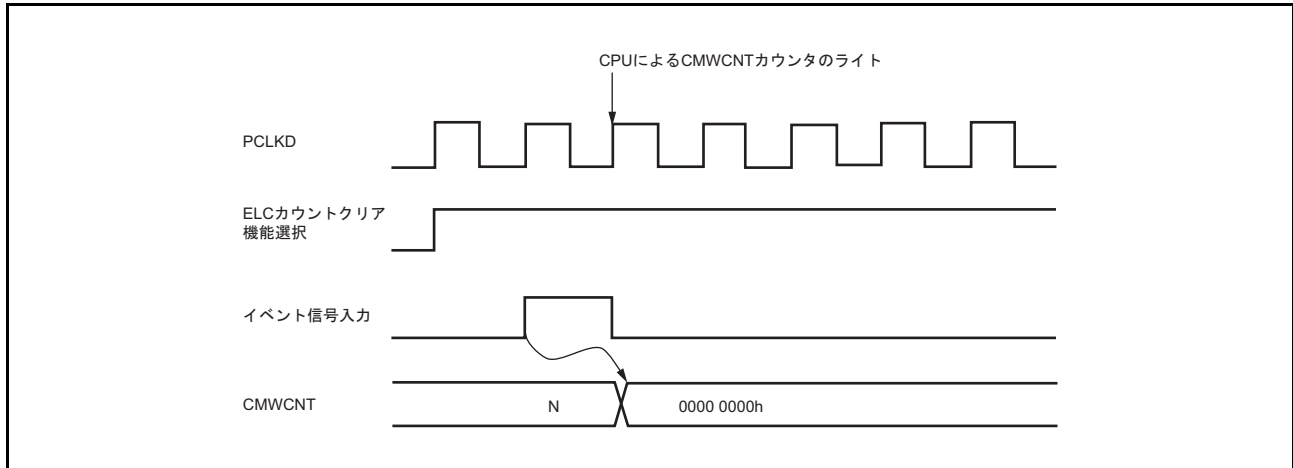


図 20.28 カウントクリア動作でのイベント受け付けとレジスタアクセスの競合

表20.4 イベントリンク動作/レジスタアクセス/カウンタ状態の競合動作まとめ

イベントリンク動作	レジスタアクセス	CMWCNTの状態	CMWICR0/1の状態	実行される動作
カウントスタート	CMWSTR.STRへの書き込み	停止状態	—	カウントスタート
		動作状態	—	カウントスタート
		コンペアマッチ	—	カウントスタート (CMWSTR.STR = 1を保持) とコンペアマッチ
		カウントアップ	—	カウントスタート (CMWSTR.STR = 1を保持) とカウントアップ
イベントカウント	CMWCNTへの書き込み	—	—	イベントカウント
	CMWCORへの書き込み	コンペアマッチ	—	コンペアマッチ
カウントクリア	CMWCNTへの書き込み	コンペアマッチ以外	—	カウントクリア
	CMWCNTへの書き込み	コンペアマッチ	—	コンペアマッチとカウントクリア
	(レジスタアクセスなし)	コンペアマッチ	—	コンペアマッチとカウントクリア
(イベントなし)	CMWCNTへの書き込み	コンペアマッチ	—	コンペアマッチの割り込み 要求を出力/CMWCNTへの 書き込み
		カウントアップ	—	CMWCNTへの書き込み
	CMWCORへの書き込み	コンペアマッチ	—	コンペアマッチ
	CMWOCR0への書き込み	アウトプットコンペア0	—	アウトプットコンペア0
	CMWOCR1への書き込み	アウトプットコンペア1	—	アウトプットコンペア1
	CMWCNTの読み出し	カウントアップ	—	カウントアップと その前の値の読み出し
	CMWICR0の読み出し	—	インプットキャプチャ0	インプットキャプチャ0と 転送前の値の読み出し
	CMWICR1の読み出し	—	インプットキャプチャ1	インプットキャプチャ1と 転送前の値の読み出し

21. ウォッチドッグタイマ (WDTA)

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタを内蔵しており、ダウンカウントしたカウント値がアンダフローすると、ECM へのエラー通知が発生します。ダウンカウンタのカウント値をリフレッシュすることによりカウント値をリセット後の値に戻し、再びカウントすることができます。また、リフレッシュ可能な期間を設定することができます。リフレッシュ可能な期間にリフレッシュ (レジスタ書き込み) を行うとカウンタを初期化し再度カウントすることができますが、リフレッシュ可能期間外にリフレッシュを行うと、エラーコントロールモジュール (ECM) へのエラー通知が発生します。これによりリフレッシュ間隔を加味したプログラムの暴走を検知できます。なお、アンダフローの発生、もしくはリフレッシュ可能期間外にリフレッシュを行った場合、WDT はカウントを停止します。カウントは、リフレッシュ実施後に再開します。(リフレッシュ動作については、「21.3.3 リフレッシュ動作」を参照してください。)

エラーコントロールモジュール (ECM) については「29. エラーコントロールモジュール (ECM)」を参照してください。

21.1 概要

WDT はリセット解除後、リフレッシュ (レジスタ書き込み) によりカウントを開始します。

カウント開始前に WDT コントロールレジスタ (WDTCR) に対して、クロック分周比、ウィンドウ開始/終了位置、タイムアウト期間の各設定を行います。

表 21.1 に WDT の仕様を示します。図 21.1 に WDT のブロック図を示します。

表21.1 WDTの仕様

項目	内容
内蔵チャンネル数	1チャンネル
カウントソース	周辺クロック (PCLK)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	リフレッシュ (WDTRRレジスタに00hを書き込み後、FFhを書き込む) によりカウント開始
カウント停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタ、レジスタはリセット後の値に戻ります) アンダフロー、リフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可期間)
ECMへのエラー通知出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	WDTSRレジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
WDTレジスタ制御	<ul style="list-style-type: none"> リフレッシュ動作後のクロック分周比の選択 (WDTCR.CKS[3:0]ビット) ウォッチドッグタイマのタイムアウト期間の選択 (WDTCR.TOPPS[1:0]ビット) ウォッチドッグタイマのウィンドウ開始位置の選択 (WDTCR.RPSS[1:0]ビット) ウォッチドッグタイマのウィンドウ終了位置の選択 (WDTCR.RPES[1:0]ビット)

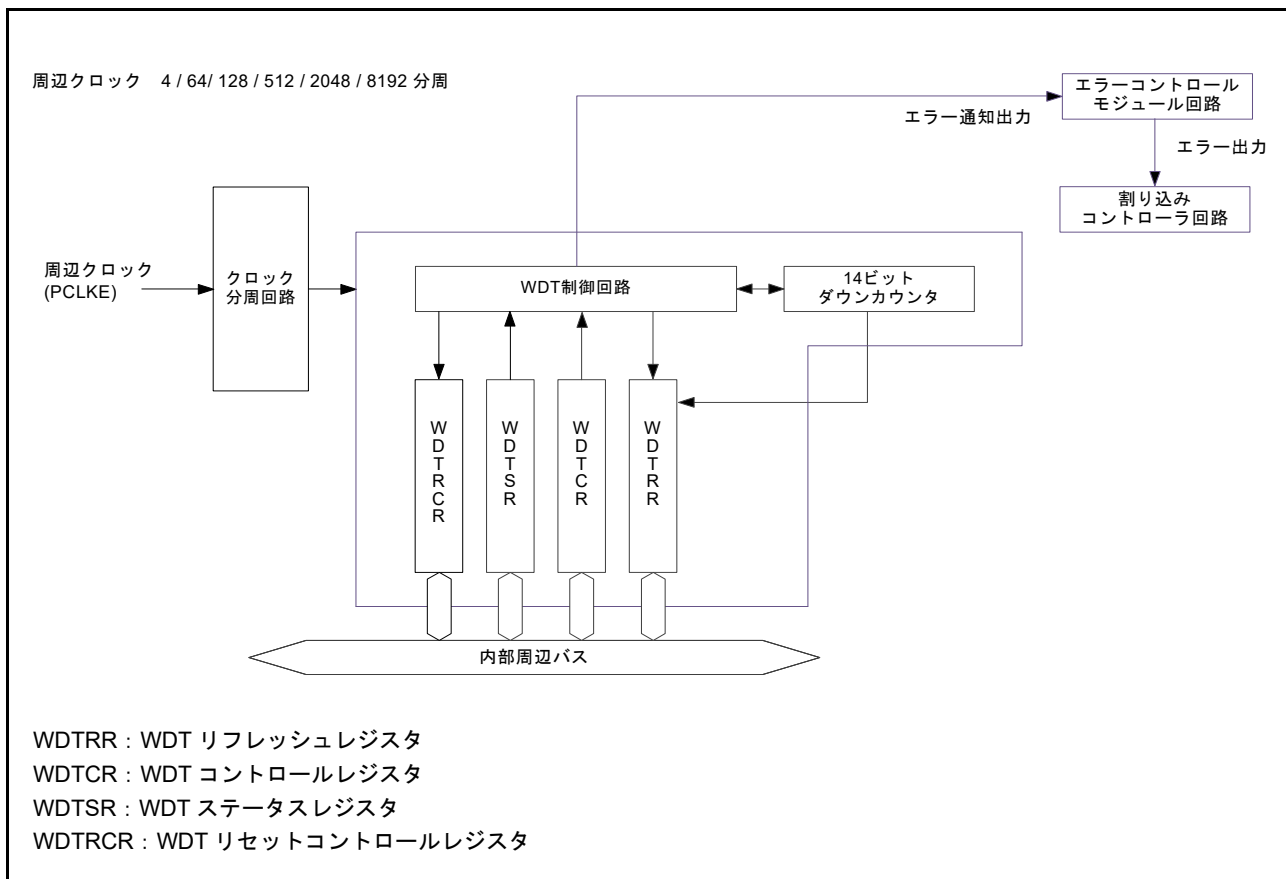


図 21.1 WDT のブロック図

21.2 レジスタの説明

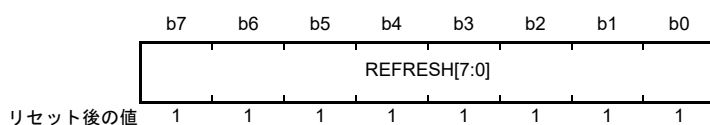
21.2.1 WDT リフレッシュレジスタ (WDTRR)

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに 00h を書き込んだ後、FFh を書き込む (リフレッシュ動作) ことにより WDT のダウンカウンタをリフレッシュします。ダウンカウンタはリフレッシュされると WDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は 00h を書き込んだ場合は 00h が、00h 以外の値を書き込んだ場合は常に FFh となります。リフレッシュ動作の詳細については、「21.3.3 リフレッシュ動作」を参照してください。

アドレス WDT0.WDTRR A008 0600h



ビット	シンボル	ビット名	機能	R/W
b7-b0	REFRESH[7:0]	リフレッシュレジスタ	"00h"書き込んだ後、"FFh"の書き込みでリフレッシュ	R/W

21.2.2 WDTコントロールレジスタ (WDTCR)

WDTCRレジスタは、ダウンカウンタがアンダフローを発生するまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始/終了位置を設定するレジスタです。

本レジスタの書き込みには制限があります。詳細については、「21.3.2 WDTCRレジスタ、WDTRCRレジスタの書き込み制御」を参照してください。

アドレス WDT0.WDTCR A008 0602h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]				
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh) () 内の値は、ダウンカウンタの開始値です。	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 1 : PCLK/4 0 1 0 0 : PCLK/64 1 1 1 1 : PCLK/128 0 1 1 0 : PCLK/512 0 1 1 1 : PCLK/2048 1 0 0 0 : PCLK/8192 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を100%、アンダフロー発生時を0%) の100%/75%/50%/25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。 図21.2にRPSS[1:0]、RPES[1:0]ビットの設定値とリフレッシュ許可/禁止期間の関係を示します。	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W

TOPS[1:0] ビット (タイムアウト期間選択ビット)

ダウンカウンタのアンダフローが発生するまでのタイムアウト期間を、CKS[3:0] ビットで設定した分周クロックを1サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。リフレッシュ後アンダフローが発生するまでの時間 (周辺クロック (PCLK)) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 21.2 に WDT の CKS[3:0]、TOPS[1:0] ビットの設定とタイムアウト期間、および周辺クロック (PCLK) 数の関係を示します。

CKS[3:0] ビット (クロック分周比選択ビット)

周辺クロック (PCLK) を分周する分周比設定を 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択します。TOPS[1:0] ビットの設定と合わせて、WDT のカウント期間を周辺クロック (PCLK) の 4096 ~ 134217728 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より、必ず小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPES[1:0]、RPSS[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、TOPS[1:0] ビットの設定により変わります。

表 21.3 に TOPS[1:0] ビットの値に対応した、ウィンドウ開始 / 終了位置のカウント値を示します。

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100% / 75% / 50% / 25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 21.2 に RPSS[1:0]、RPES[1:0] ビットの設定値とリフレッシュ許可 / 禁止期間の関係を示します。

表21.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	周辺クロック (PCLK) 数 @カウントクロック = PCLK
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	カウントクロック/ 4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	カウントクロック/ 64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	カウントクロック/ 128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	カウントクロック/ 512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	カウントクロック/ 2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	カウントクロック/ 8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

表21.3 タイムアウト期間とウィンドウ開始/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

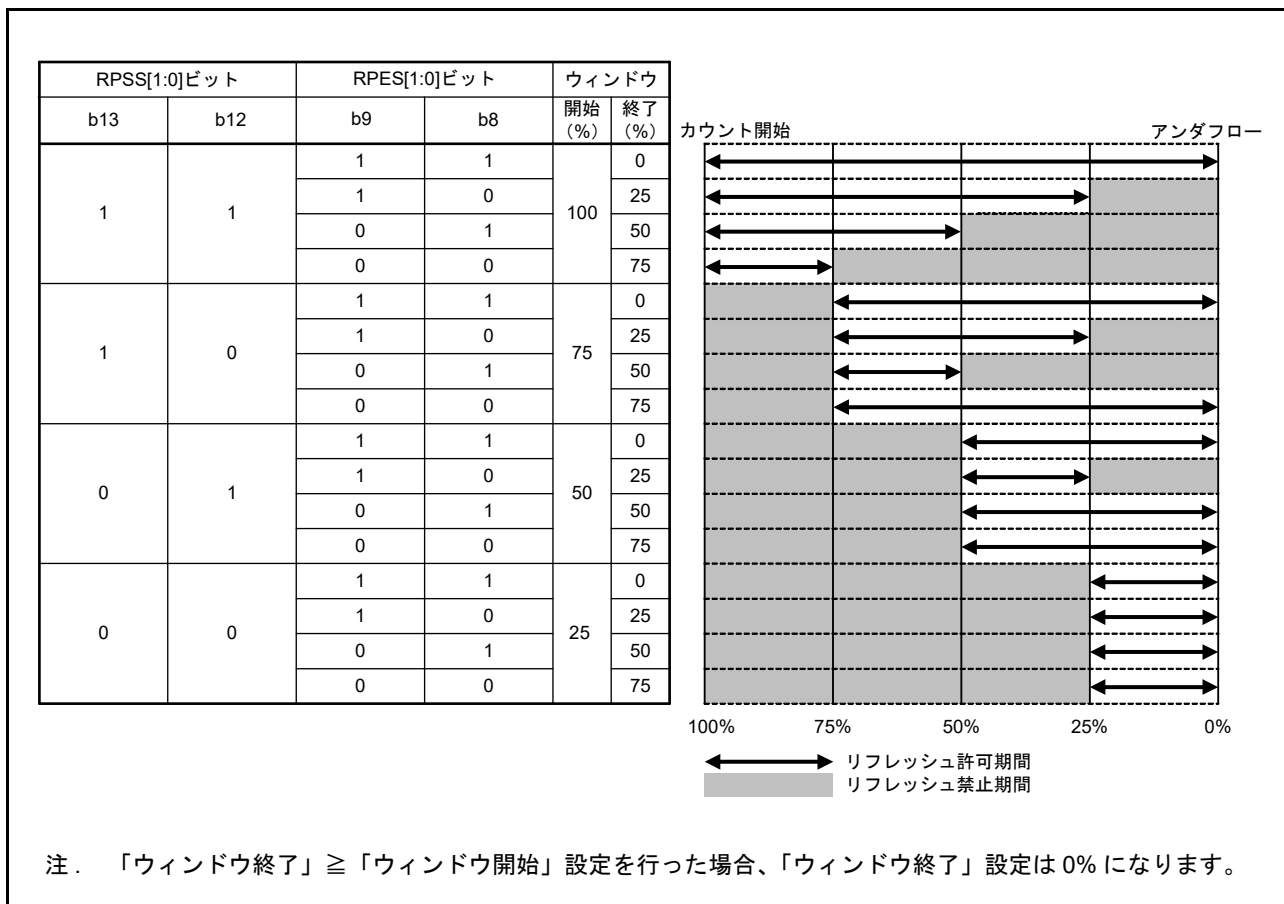
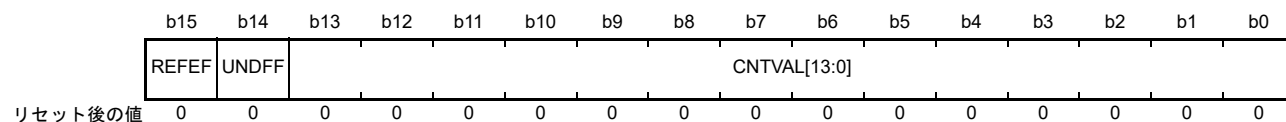


図 21.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可/禁止期間

21.2.3 WDT ステータスレジスタ (WDTSR)

WDTSR レジスタは、ダウンカウンタのカウンタ値の表示、およびアンダフロー、リフレッシュエラーの発生状態を表示するレジスタです。

アドレス WDT0.WDTSR A008 0604h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0 : アンダフローなし 1 : アンダフロー発生	R/(W)
b15	REFEF	リフレッシュエラーフラグ	0 : リフレッシュエラーなし 1 : リフレッシュエラー発生	R/(W)

CNTVAL[13:0] ビット (ダウンカウンタ値ビット)

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

ダウンカウンタのアンダフロー発生状態を確認することができます。読み出した値が“1”のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF ビット (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

21.2.4 WDT リセットコントロールレジスタ (WDTRCR)

WDTRCR レジスタは、エラーコントロールモジュール (ECM) に対し WDT のダウンカウンタのアンダフロー発生のエラー通知を制御するレジスタです。

本レジスタへの書き込みには制限があります。詳細については、「21.3.2 WDTCR レジスタ、WDTRCR レジスタの書き込み制御」を参照してください。

アドレス WDT0.WDTRCR A008 0606h

	b7	b6	b5	b4	b3	b2	b1	b0
RSTIRQS	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b7	RSTIRQS	リセット割り込み要求選択ビット	0 : ECM へのエラー通知を許可 1 : ECM にエラー通知しない	R/W

RSTIRQS ビット (リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラーによるエラーコントロールモジュール (ECM) へのエラー通知制御を行います。

21.3 動作説明

21.3.1 カウント開始条件の動作

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) が設定された状態で、WDT リフレッシュレジスタ (WDTRR) へのリフレッシュ動作によりカウントが開始されます。

21.3.1.1 レジスタ設定

リセット解除後、WDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、また WDTRCR レジスタにエラーコントロールモジュール (ECM) へのエラー通知出力制御の各設定を行います。その後、リフレッシュ動作によりダウンカウンタに WDTCR.TOPS[1:0] ビットで設定された値がセットされ、ダウンカウントを開始します。

以後、プログラムが正常に動作し、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT は ECM へのエラー通知を出力しません。

しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合、ECM へのエラー通知を出力します。

図 21.3 に以下の条件での動作例を示します。

- リセット割り込み要求選択ビット (RSTIRQS) : 0b (ECM へのエラー通知許可)
- ウィンドウ開始位置選択ビット (RPSS[1:0]) : 10b (75%)
- ウィンドウ終了位置選択ビット (RPES[1:0]) : 10b (25%)

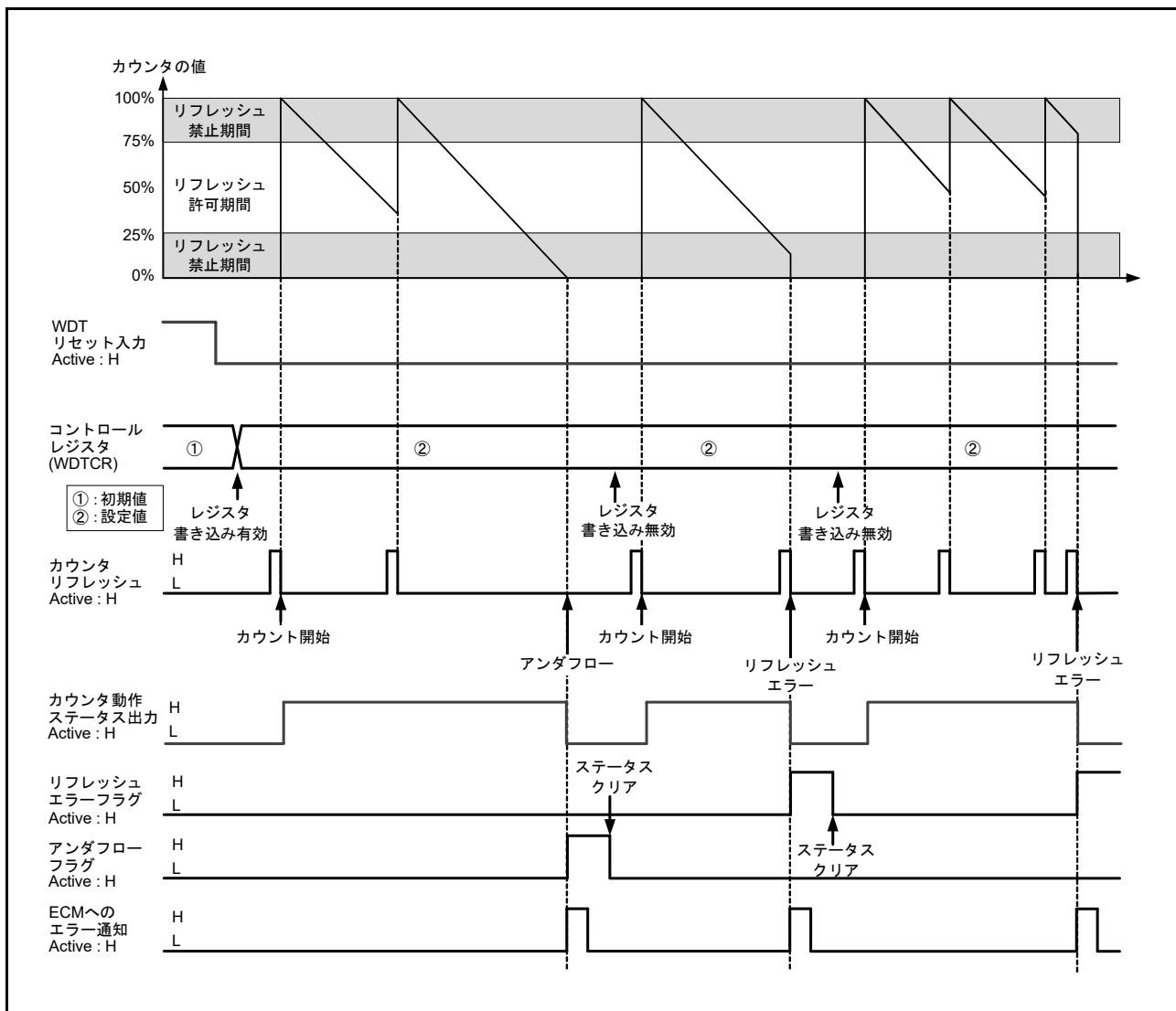


図 21.3 レジスタスタートモード動作例

21.3.2 WDTCR レジスタ、WDTRCR レジスタの書き込み制御

WDT コントロールレジスタ (WDTCR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に1回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは WDTCR レジスタに書き込み後には、WDT 内部のプロテクト信号が“1”となり、以後 WDTCR レジスタに対する書き込みをプロテクトします。

WDT リセットコントロールレジスタ (WDTRCR) についても、同様に制御されます。

WDT に対するリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 21.4 に WDTCR レジスタ書き込み制御波形を示します。

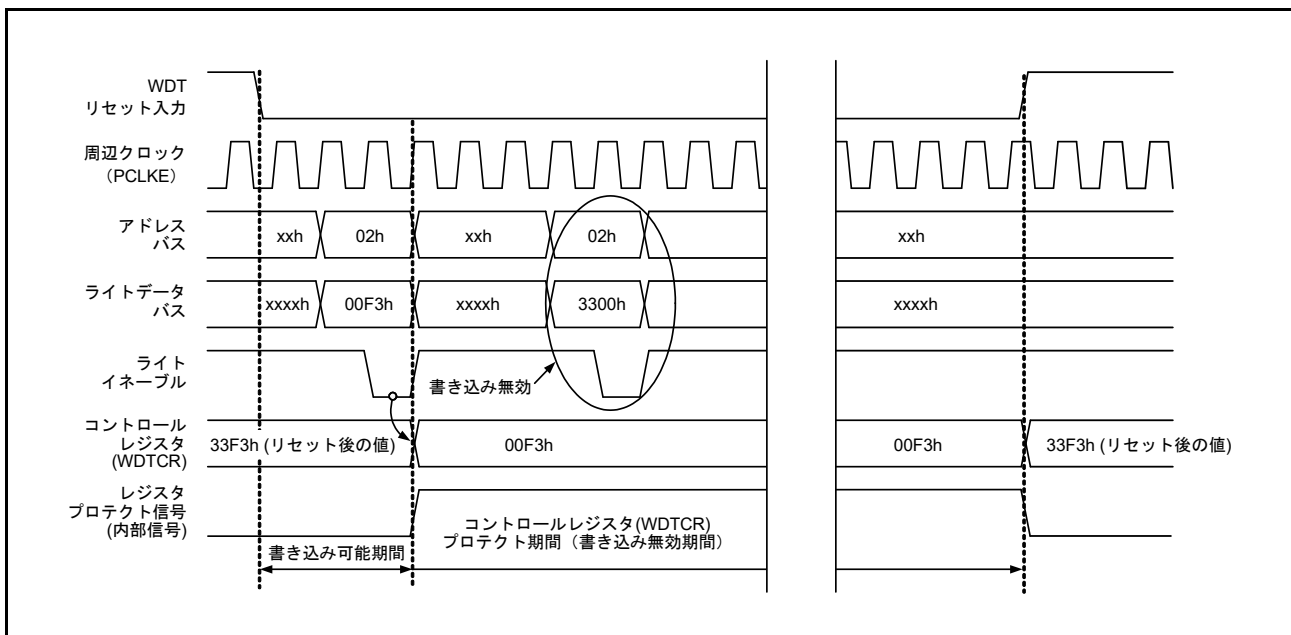


図 21.4 WDTCR レジスタ書き込み制御波形

21.3.3 リフレッシュ動作

ダウンカウンタのリフレッシュ、およびダウンカウンタ動作開始（リフレッシュによるカウント開始）を行うには、WDT リフレッシュレジスタ (WDTRR) に“00h”を書き込んだ後、続けて“FFh”を書き込みます。“00h”を書き込んだ後、“FFh”以外の値を書き込んだ場合、リフレッシュは行いません。再度、WDTRR レジスタに“00h”→“FFh”の順で値を書き込むことにより、リフレッシュを正常に行うことができます。

なお、00h (1回目) → 00h (2回目) の書き込みを行った場合でも、その後FFhを書き込むことにより、00h → FFh の書き込み動作が成立するため、00h (n-1回目) → 00h (n回目) → FFh のような書き込み動作も有効となり、リフレッシュを行います。

また、WDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、WDTRR レジスタ以外へのアクセス、またはWDTRR レジスタの読み出しを行った場合でも、リフレッシュを行います。

【リフレッシュが有効な書き込み例】

- “00h” → “FFh”
- “00h” (n-1回目) → “00h” (n回目) → “FFh”
- “00h” → 別レジスタへのアクセス、またはWDTRR レジスタの読み出し → “FFh”

【リフレッシュが無効な書き込み例】

- “23h” (“00h”以外) → “FFh”
- “00h” → “54h” (“FFh”以外)
- “00h” → “AAh” (“00h” および “FFh”以外) → “FFh”

リフレッシュ動作として、WDTRR レジスタへの00hの書き込みがリフレッシュ許可期間外であっても、WDTRR レジスタに対するFFhの書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立し、リフレッシュを行います。(書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh”の書き込み時に行っています。)

なお、ダウンカウンタがリフレッシュされるタイミングは、WDT リフレッシュレジスタ (WDTRR) に“FFh”を書き込んだ後、カウントサイクル数で最大4サイクル必要となります。(1サイクル間の周辺クロック (PCLK) 数は、クロック分周比選択ビット (WDTCR.CKS[3:0]) の設定値により異なります。)

そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはダウンカウンタがアンダフローする4カウント前までに、WDTRR レジスタへの“FFh”書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- 例えば、ウィンドウ開始位置が1FFFhの場合、WDTRR レジスタへ00hの書き込みが1FFFhよりも前(例えば、2002h)であっても、WDTSR.CNTVAL[13:0]の値が1FFFhになった後、WDTRR レジスタにFFhを書き込むことで、リフレッシュを行います。
- ウィンドウ終了位置が1FFFhの場合、WDTRR レジスタに00h → FFhを書き込んだ直後に、WDTSR.CNTVAL[13:0]の値が2003h (1FFFhの4カウント前) 以上であれば、リフレッシュを行います。
- 0000hまでがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能ですが、この場合WDTRR レジスタに00h → FFhを書き込んだ直後に、WDTSR.CNTVAL[13:0]の値が0003h (アンダフローの4カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 21.5 にクロック分周比が PCLK/64 の WDT リフレッシュ動作波形を示します。

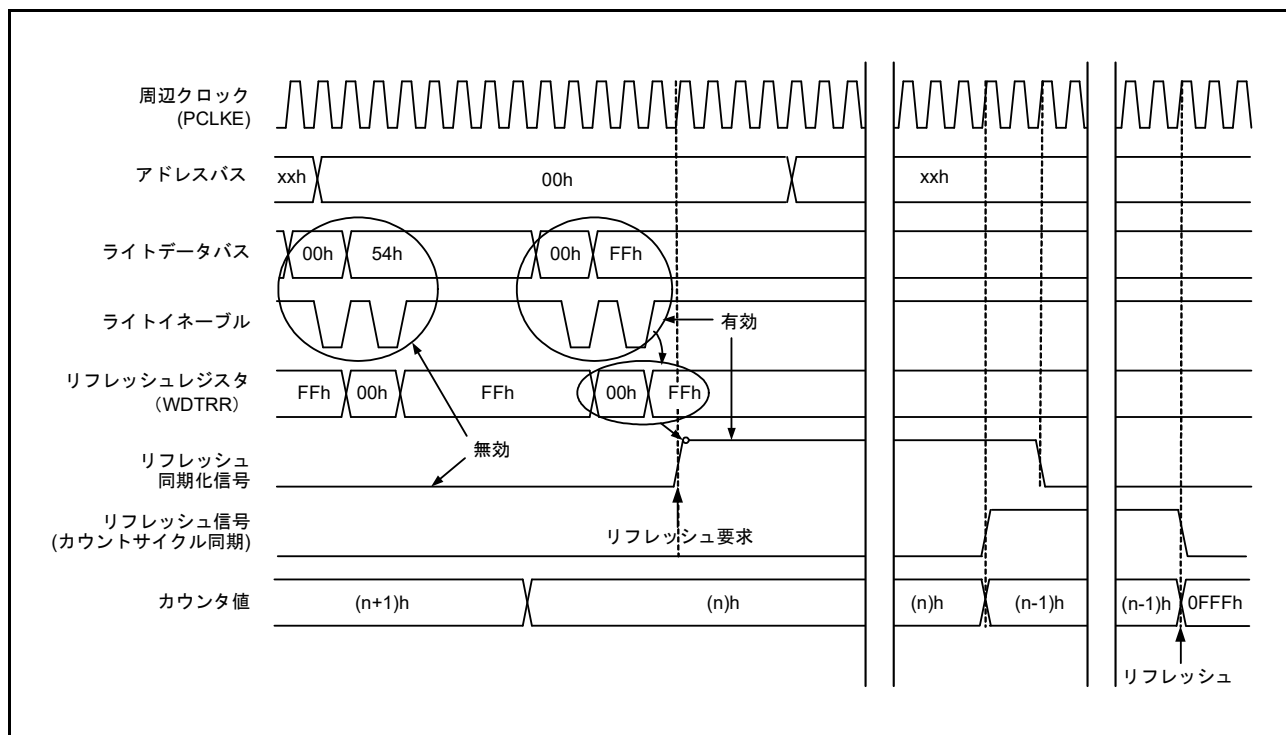


図 21.5 WDT リフレッシュ動作波形 (WDTA.CKS[3:0] = 0100b、WDTA.TOPS[1:0] = 01b)

21.3.4 ステータスフラグ

リフレッシュエラーフラグ (WDTA.SR.REFEF)、アンダフローフラグ (WDTA.SR.UNDF) は、WDT のエラーコントロールモジュール (ECM) に対するエラー通知が発生した場合のエラー要因を保持します。

リセット解除後、もしくは ECM へのエラー通知発生時に WDTA.SR.REFEF フラグ、または WDTA.SR.UNDF フラグを読み出すことで、ECM に対するエラー通知の発生状態を確認することができます。

各フラグの値をクリアするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、クリアしなくても動作に影響を与えません。クリアしない場合は、次に WDT の ECM に対するエラー通知が発生した時に古いエラー通知はクリアされ、新しい ECM へのエラー通知が書き込まれます。

21.3.5 エラーコントロールモジュール (ECM) へのエラー通知

リセット割り込み選択ビット (WDTRCR.RSTIRQS) を“0”に設定した場合、ダウンカウンタのアンダフローまたはリフレッシュエラーにより、1カウントサイクル間 ECM に対するエラー通知が発生します。

21.3.6 ダウンカウンタ値の読み出し

WDT はカウンタ値を WDT ステータスレジスタのダウンカウンタ (WDTSR.CNTVAL[13:0] ビット) へ格納します。WDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、カウンタ値を確認することができます。

なお、読み出しには周辺クロック (PCLKE) で最大4クロック必要となるため、読み出したカウンタ値は、ダウンカウンタの実際の値に対し、1カウントずれることがあります。

図 21.6 にクロック分周比が PCLKE/64 のダウンカウンタ値の読み出し処理を示します。

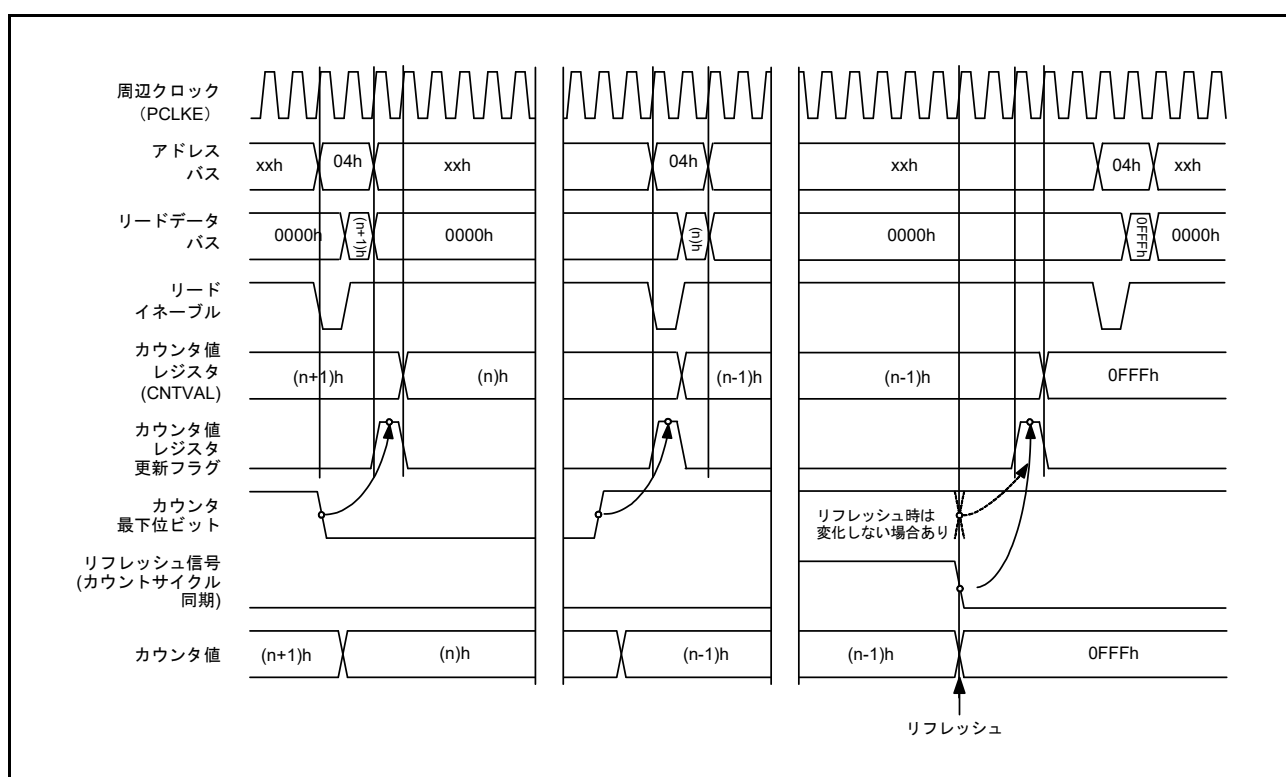


図 21.6 WDT ダウンカウンタ値の読み出し処理
(WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

21.4 低消費電力制御

21.4.1 低消費電力モード遷移におけるウォッチドッグタイマの動作

WDT のダウンカウンタが動作している時、Cortex-R4 のスタンバイモードへの遷移時に WDT に対するクロック供給制御が可能です。

表 21.4 に低消費電力モード遷移時の WDT 動作を示します。

表21.4 低消費電力モード遷移時のWDT動作<低消費電力モード遷移時>

低消費電力モード	WDT0クロック供給	WDT0動作
Cortex-R4スタンバイ	○	○

○ : 動作

22. 独立ウォッチドッグタイマ (IWDTa)

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタを内蔵しており、ダウンカウントしたカウント値がアンダフローすると、エラーコントロールモジュール (ECM) へのエラー通知が発生します。ダウンカウンタのカウント値をリフレッシュすることによりカウント値をリセット後の値に戻し、再びカウントすることができます。また、リフレッシュ可能な期間を設定することができます。リフレッシュ可能な期間にリフレッシュ (レジスタ書き込み) を行うとカウンタを初期化し再度カウントすることができますが、リフレッシュ可能期間外にリフレッシュを行うと、ECM へのエラー通知が発生します。これによりリフレッシュ間隔を加味したプログラムの暴走を検知できます。なお、アンダフローの発生、もしくはリフレッシュ可能期間外にリフレッシュを行った場合、IWDT はカウントを停止します。カウントは、リフレッシュ実施後に再開します。(リフレッシュ動作については、「22.3.3 リフレッシュ動作」を参照してください。)

エラーコントロールモジュール (ECM) については「29. エラーコントロールモジュール (ECM)」を参照してください。

22.1 概要

IWDT はリセット解除後、リフレッシュ (レジスタ書き込み) によりカウントを開始します。

カウント開始前に IWDT コントロールレジスタ (IWDTCR) に対して、クロック分周比、ウィンドウ開始/終了位置、タイムアウト期間の各設定を行います。

表 22.1 に IWDT の仕様を示します。

表 22.1 IWDT の仕様

項目	内容
カウントソース	IWDT クロック (IWDTCLK)
クロック分周比	1分周 / 16分周 / 32分周 / 64分周 / 128分周 / 256分周
IWDT クロック (IWDTCLK) 発振イネーブル	リフレッシュ動作により、IWDT クロック (IWDTCLK) の発振開始
カウント動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	リフレッシュ (IWDTRR レジスタに 00h を書き込み後、FFh を書き込む) によりカウント開始
カウント停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタ、レジスタはリセット後の値に戻ります) アンダフロー、リフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可期間)
ECM へのエラー通知出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローした場合 リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
IWDT レジスタ制御	<ul style="list-style-type: none"> リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0] ビット) 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0] ビット) 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0] ビット) 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0] ビット)

IWDT は、意図せず周辺クロック (PCLKB) が停止した場合でも動作するように、周辺クロック (PCLKB) と IWDT クロック (IWDTCLK) の 2 つのクロックで動作します。バスインタフェース部とレジスタ部は周辺クロック (PCLKB) で動作し、14 ビットのダウンカウンタと制御回路は IWDT クロック (IWDTCLK) で動作します。

周辺クロック (PCLKB) 動作ブロックと IWDT クロック (IWDTCLK) 動作ブロック間の信号は、同期化回路を介して接続されます。

図 22.1 に IWDT のブロック図を示します。

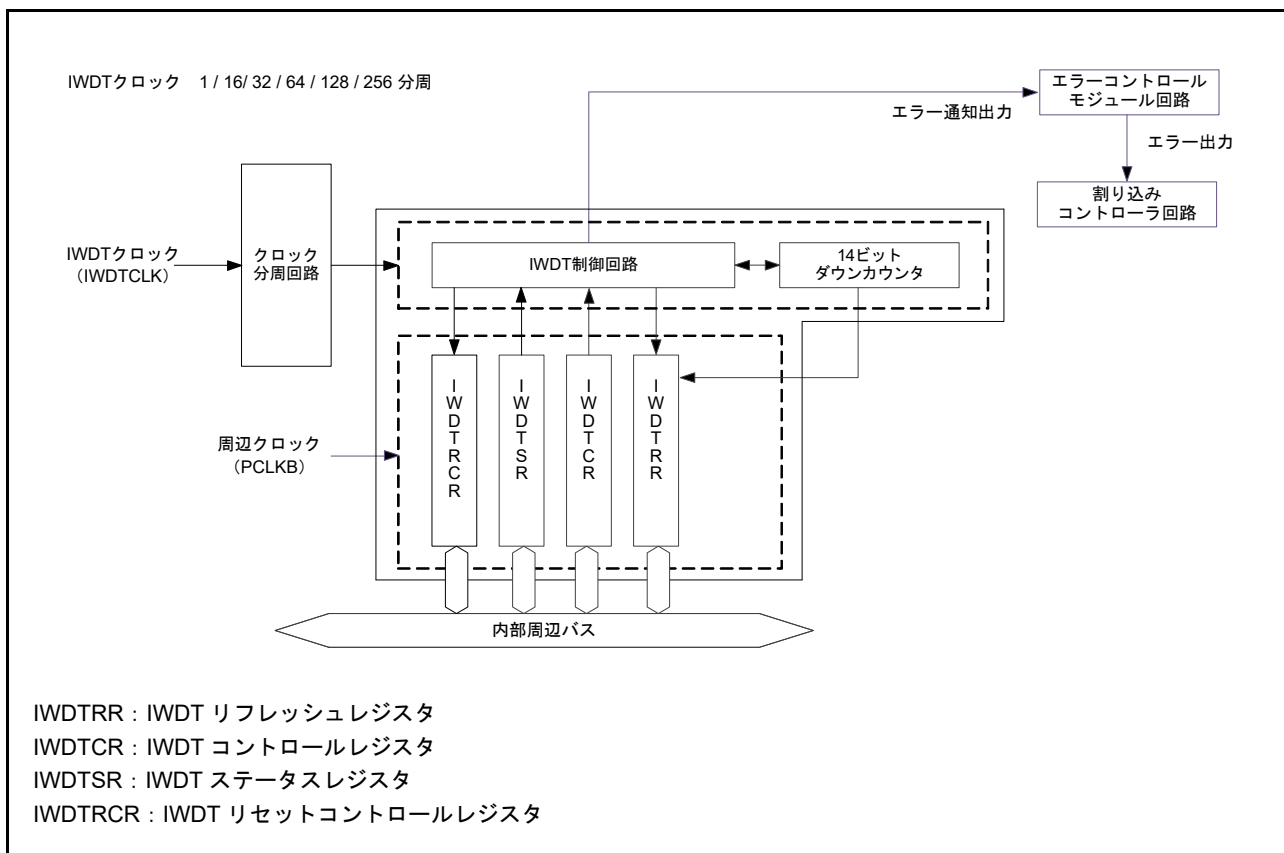


図 22.1 IWDT のブロック図

22.2 レジスタの説明

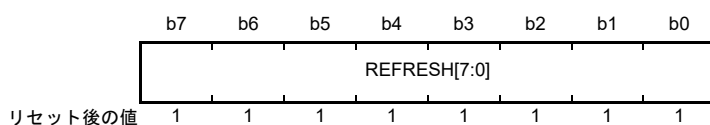
22.2.1 IWDTRR リフレッシュレジスタ (IWDTRR)

IWDTRR レジスタは、IWDTRR のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDTRR レジスタに 00h を書き込んだ後、FFh を書き込む (リフレッシュ動作) ことにより IWDTRR のダウンカウンタをリフレッシュします。ダウンカウンタはリフレッシュされると IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は 00h を書き込んだ場合は 00h が、00h 以外の値を書き込んだ場合は常に FFh となります。リフレッシュ動作の詳細については、「22.3.3 リフレッシュ動作」を参照してください。

アドレス A008 0700h



ビット	シンボル	ビット名	機能	R/W
b7-b0	REFRESH[7:0]	リフレッシュレジスタ	"00h" 書き込んだ後、"FFh" の書き込みでリフレッシュ	R/W

22.2.2 IWDT コントロールレジスタ (IWDTCR)

IWDTCR レジスタは、ダウンカウンタがアンダフローを発生するまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始/終了位置を設定するレジスタです。

本レジスタの書き込みには制限があります。詳細については、「22.3.2 IWDTCR レジスタ、IWDTRCR レジスタの書き込み制御」を参照してください。

アドレス A008 0702h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]				
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh) () 内の値は、ダウンカウンタの開始値です。	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : IWDTCLK 0 0 1 0 : IWDTCLK/16 0 0 1 1 : IWDTCLK/32 0 1 0 0 : IWDTCLK/64 1 1 1 1 : IWDTCLK/128 0 1 0 1 : IWDTCLK/256 上記以外の設定は禁止	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W

TOPS[1:0] ビット (タイムアウト期間選択ビット)

ダウンカウンタのアンダフローが発生するまでのタイムアウト期間を、CKS[3:0] ビットで設定した分周クロックを1サイクルとして、1024サイクル/4096サイクル/8192サイクル/16384サイクルから選択します。リフレッシュ後アンダフローが発生するまでの時間 IWDT クロック (IWDTCLK) 数は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 22.2 に IWDT の CKS[3:0]、TOPS[1:0] ビットの設定とタイムアウト期間、および IWDT クロック (IWDTCLK) 数の関係を示します。

CKS[3:0] ビット (クロック分周比選択ビット)

IWDT クロック (IWDTCLK) を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。TOPS[1:0] ビット設定と合わせて、IWDT のカウント期間を IWDT クロック (IWDTCLK) の 1024 ~ 4194304 クロックの間で設定できます。なお、最低周辺クロック (PCLKB) 周波数と最大 IWDT クロック (IWDTCLK) 周波数の関係によっては、ダウンカウンタ値が正常に読み出せない場合があります。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より、必ず小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPES[1:0]、RPSS[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 22.3 に TOPS[1:0] ビットの値に対応した、ウィンドウ開始 / 終了位置のカウンタ値を示します。

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100% / 75% / 50% / 25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 22.2 に RPSS[1:0]、RPES[1:0] ビットの設定値とリフレッシュ許可 / 禁止期間の関係を示します。

表22.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTクロック (IWDTCLK) 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	0	1	0	0	0	IWDTCLK/16	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	0	1	1	0	0	IWDTCLK/32	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	0	0	0	0	IWDTCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	IWDTCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	0	1	0	0	IWDTCLK/256	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

表22.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

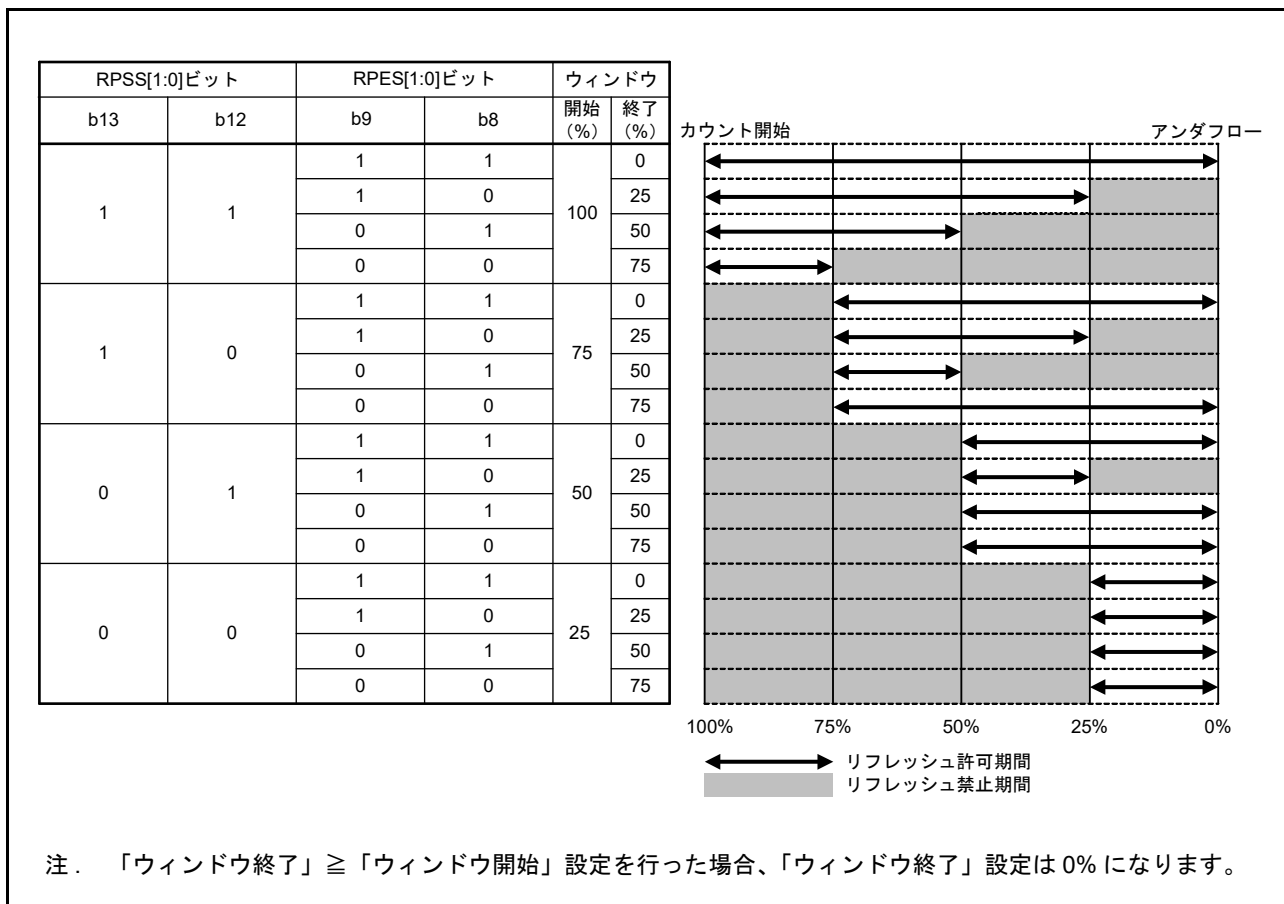
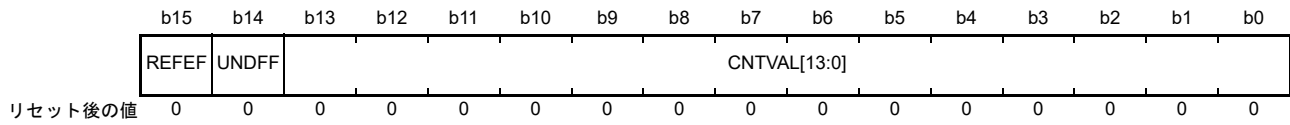


図 22.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

22.2.3 IWDT ステータスレジスタ (IWDTSR)

IWDTSR レジスタは、ダウンカウンタのカウンタ値の表示、およびアンダフロー、リフレッシュエラーの発生状態を表示するレジスタです。

アドレス A008 0704h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W)

CNTVAL[13:0] ビット (カウンタ値ビット)

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

ダウンカウンタのアンダフロー発生状態を確認することができます。読み出した値が“1”のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF ビット (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

22.2.4 IWDT リセットコントロールレジスタ (IWDTRCR)

IWDTRCR レジスタは、エラーコントロールモジュール (ECM) に対し IWDT のダウンカウンタのアンダフロー発生のエラー通知を制御するレジスタです。

本レジスタへの書き込みには制限があります。詳細については、「22.3.2 IWDTCR レジスタ、IWDTRCR レジスタの書き込み制御」を参照してください。

アドレス A008 0706h

	b7	b6	b5	b4	b3	b2	b1	b0
RSTIRQS	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b7	RSTIRQS	リセット割り込み要求選択ビット	0 : ECMへのエラー通知を許可 1 : ECMにエラー通知しない	R/W

RSTIRQS ビット (リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラーによるエラーコントロールモジュール (ECM) へのエラー通知制御を行います。

22.3 動作説明

22.3.1 カウント開始条件の動作

IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR) が設定された状態で、IWDT リフレッシュレジスタ (IWDTRR) へのリフレッシュ動作によりカウントが開始されます。

22.3.1.1 レジスタ設定

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにエラーコントロールモジュール (ECM) へのエラー通知出力制御の各設定を行います。その後、リフレッシュ動作によりダウンカウンタにタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で設定された値がセットされ、ダウンカウントを開始します。

以後、プログラムが正常に動作し、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT は ECM へのエラー通知を出力しません。

しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合、ECM へのエラー通知を出力します。

図 22.3 に以下の条件での動作例を示します。

- リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) : 0b (ECM へのエラー通知許可)
- ウィンドウ開始位置選択ビット (IWDTCR.RPSS[1:0]) : “10b” (75%)
- ウィンドウ終了位置選択ビット (IWDTCR.RPES[1:0]) : “10b” (25%)

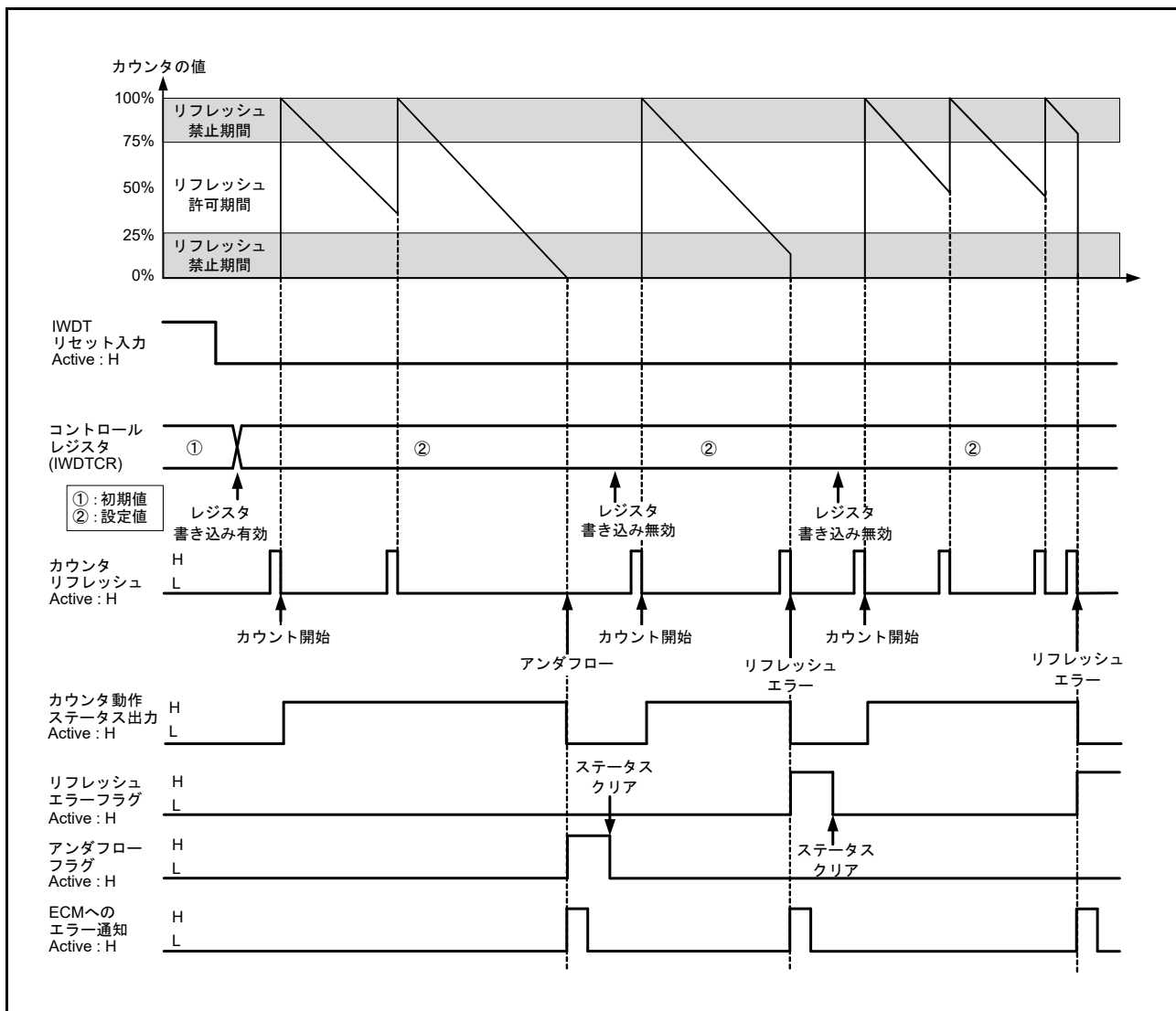


図 22.3 レジスタスタートモード動作例

22.3.2 IWDTCR レジスタ、IWDTRCR レジスタの書き込み制御

IWDT コントロールレジスタ (IWDTCR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは IWDTCR レジスタへ書き込み後に、IWDT 内部のプロテクト信号が“1”となり、以後 IWDTCR レジスタに対する書き込みをプロテクトします。

IWDT リセットコントロールレジスタ (IWDTRCR) についても、同様に制御されます。

IWDT に対するリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 22.4 に IWDTCR レジスタ書き込み制御波形を示します。

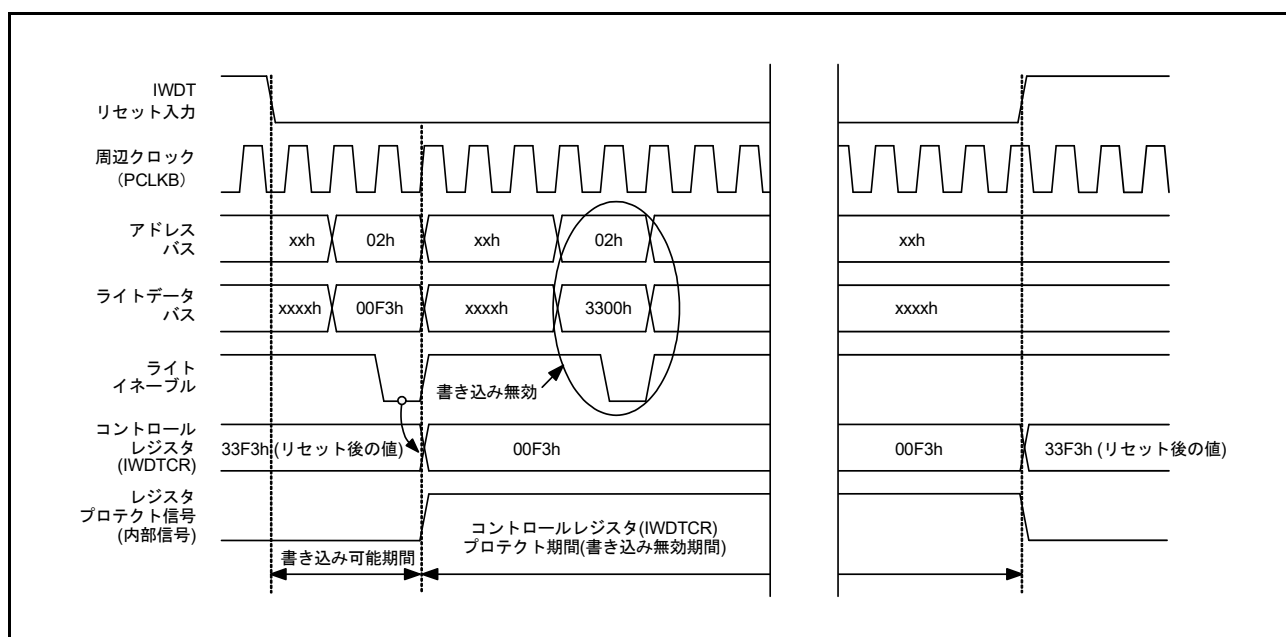


図 22.4 IWDTCR レジスタ書き込み制御波形

22.3.3 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始（リフレッシュによるカウント開始）を行うには、IWDTR リフレッシュレジスタ (IWDTRR) に“00h”を書き込んだ後、続けて“FFh”を書き込みます。“00h”を書き込んだ後に“FFh”以外の値を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタに“00h”→“FFh”の順で値を書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h”（1回目）→“00h”（2回目）の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h”→“FFh”の書き込み動作が成立するため、“00h”（n-1回目）→“00h”（n回目）→“FFh”のような書き込み動作も有効となり、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュが有効な書き込み例】

- “00h” → “FFh”
- “00h”（n-1回目） → “00h”（n回目） → “FFh”
- “00h” → 別レジスタへのアクセス、または IWDTRR レジスタの読み出し → “FFh”

【リフレッシュが無効な書き込み例】

- “23h”（“00h”以外） → “FFh”
- “00h” → “54h”（“FFh”以外）
- “00h” → “AAh”（“00h”および“FFh”以外） → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへ対する“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立しリフレッシュを行います。（書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh”の書き込み時に行っています。）

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに“FFh”を書き込んだ後、カウントサイクル数で最大4サイクル必要となります（1サイクル間のIWDTCクロック (IWDTCCLK) 数は、クロック分周比選択ビット (IWDTCR.CKS[3:0]) の設定値により異なります）。そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはカウンタがアンダフローする4カウント前までに、IWDTRR レジスタへの“FFh”書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- 例えば、ウィンドウ開始位置が“1FFFh”の場合、IWDTRR レジスタへの“00h”書き込みが“1FFFh”よりも前（たとえば“2002h”）であっても、IWDTSR.CNTVAL[13:0] ビットの値が“1FFFh”になった後、IWDTRR レジスタに“FFh”を書き込むことで、リフレッシュを行います。
- ウィンドウ終了位置が“1FFFh”の場合、IWDTRR レジスタに“00h”→“FFh”を書き込んだ直後に、IWDTSR.CNTVAL[13:0] ビットの値が“2003h”（“1FFFh”の4カウント前）以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能ですが、この場合、IWDTRR レジスタに“00h”→“FFh”を書き込んだ直後に、IWDTSR.CNTVAL[13:0] ビットの値が“0003h”（アンダフローの4カウント前）以上であればアンダフローは発生せず、リフレッシュを行います。

図 22.5 に、周辺クロック (PCLKB) > IWDTCクロック (IWDTCCLK)、クロック分周比 : IWDTCCLK の IWDTC リフレッシュ動作波形を、図 22.6 に、周辺クロック (PCLKB) < IWDTCクロック

(IWDTCLK)、クロック分周比 : IWDTCLK /16 の IWDT リフレッシュ動作波形を示します。

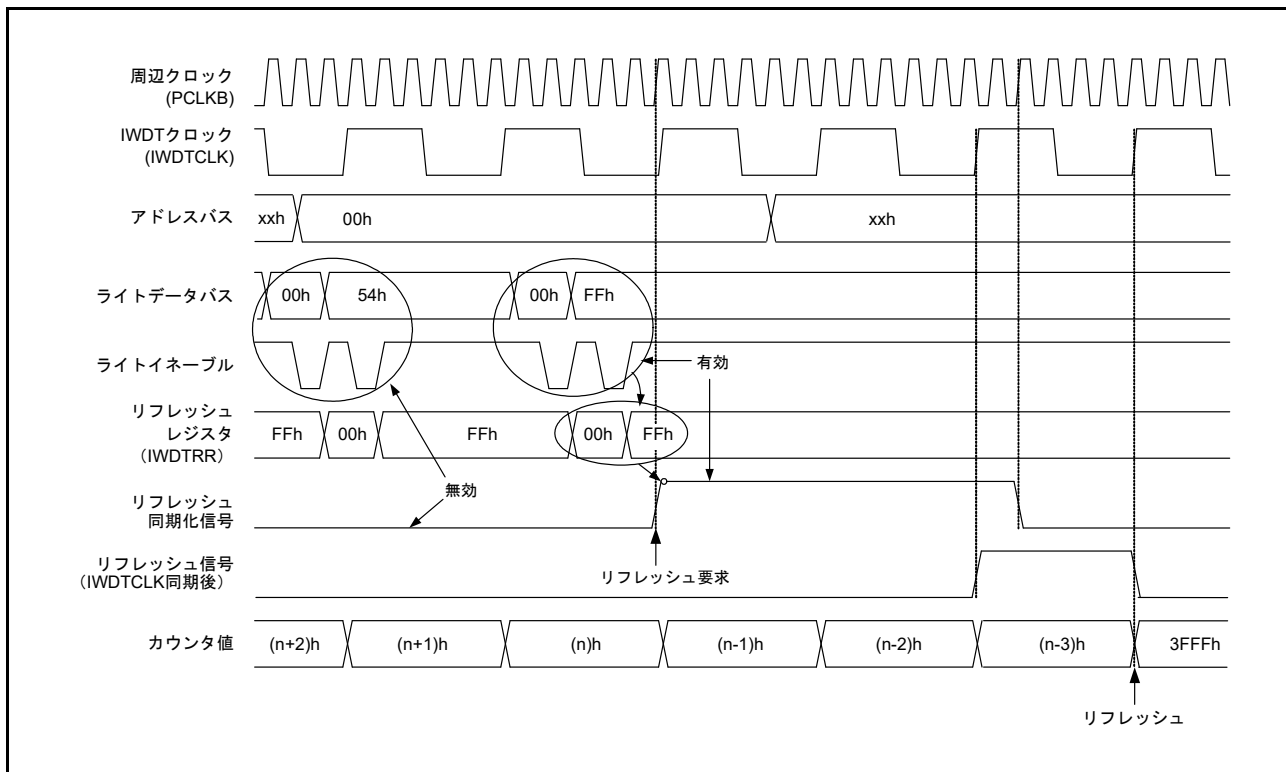


図 22.5 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

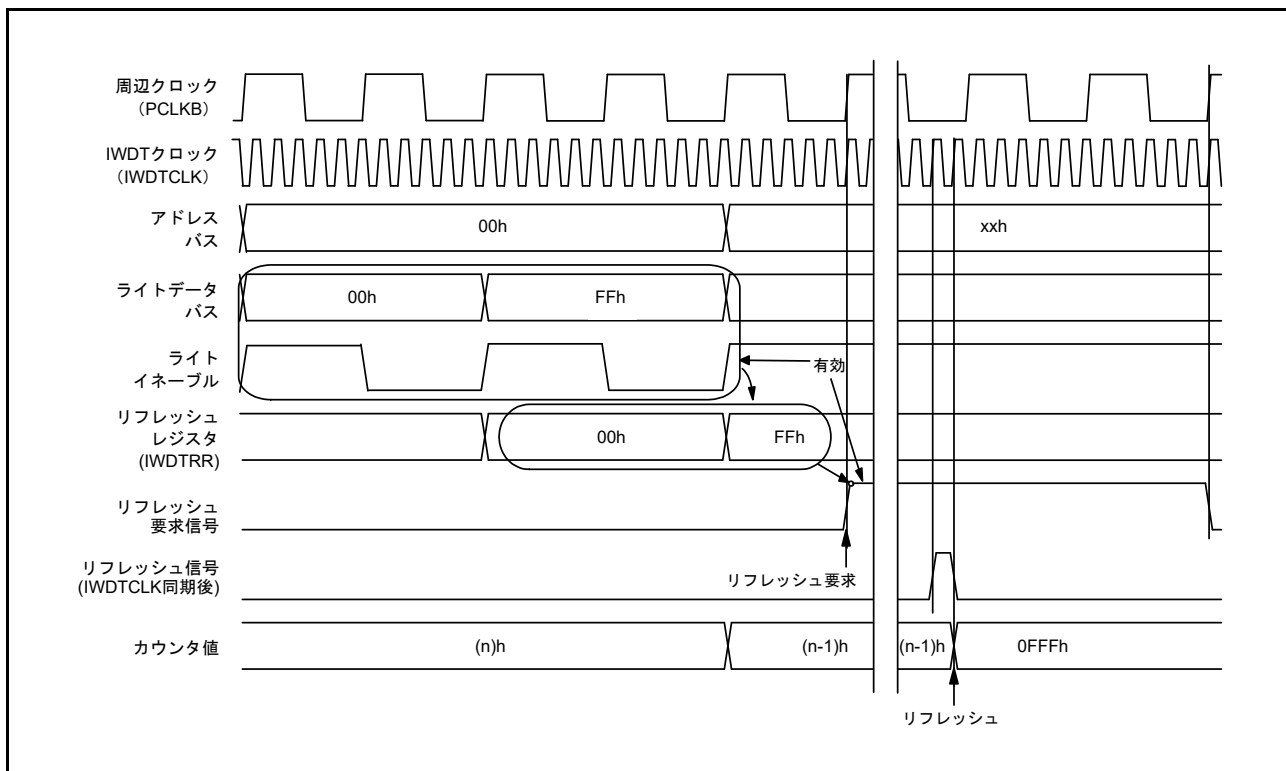


図 22.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 01b)

22.3.4 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEEF)、アンダフローフラグ (IWDTSR.UNDFE) は、IWDT のエラーコントロールモジュール (ECM) に対するエラー通知が発生した場合のエラー要因を保持します。

リセット解除後、もしくは ECM へのエラー通知発生時に IWDTSR.REFEEF フラグ、または IWDTSR.UNDFE フラグを読み出すことで、ECM に対するエラー通知の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。クリアしない場合は、次に IWDT の ECM に対するエラー通知が発生したときに古いエラー通知はクリアされ、新しい ECM へのエラー通知が書き込まれます。

22.3.5 エラーコントロールモジュール (ECM) へのエラー通知

リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“0”に設定した場合、ダウンカウンタのアンダフローまたはリフレッシュエラーにより、1 カウントサイクル間 ECM に対するへのエラー通知が発生します。

22.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。このため、IWDT はカウンタ値を周辺クロック (PCLKB) で同期化し、IWDT ステータスレジスタのカウンタ (IWDTSR.CNTVAL[13:0] ビット) に格納します。IWDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLKB で数クロック (最大 4 クロック) 必要となるため、読み出したカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 22.7 に IWDT ダウンカウンタ値の読み出し処理を示します。

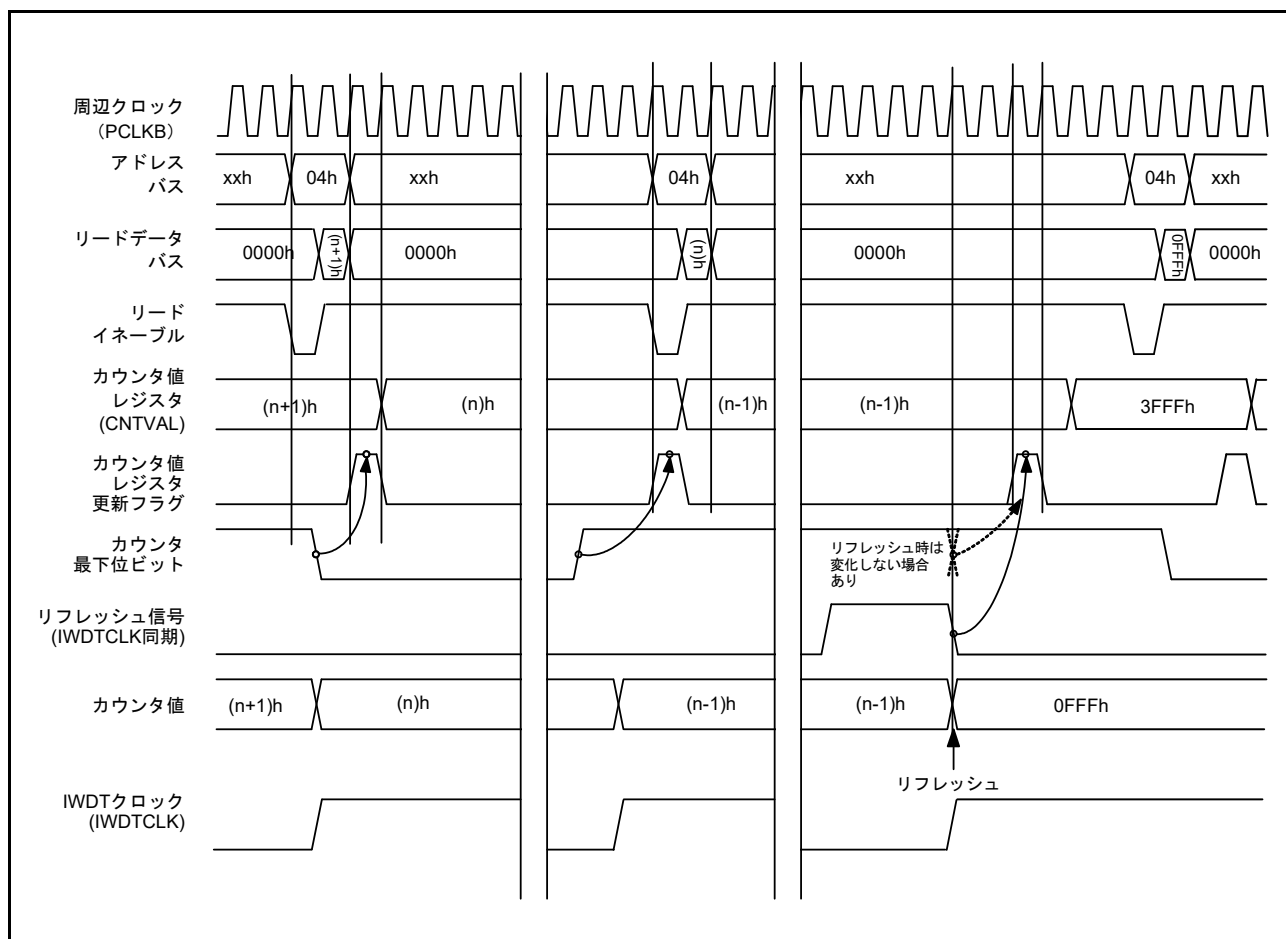


図 22.7 IWDT カウンタ値の読み出し処理
(IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

22.4 低消費電力制御

22.4.1 低消費電力モード遷移におけるウォッチドッグタイマの動作

IWDT のダウンカウンタが動作している時、Cortex-R4 のスタンバイモードへの遷移時に IWDT に対するクロック供給制御が可能です。

表 22.4 に低消費電力モード遷移時の IWDT 動作を示します。

表22.4 低消費電力モード遷移時のIWDT動作<低消費電力モード遷移時>

低消費電力モード	IWDTクロック供給	IWDT動作
Cortex-R4 スタンバイ	○	○

○ : 動作

23. マネージメントデータインプット/アウトプットインタフェース (MDIO)

本 LSI は、2 チャンネルのマネージメントデータインプット/アウトプットインタフェース (MDIO スレーブと MDIO マスタ) を内蔵します。

MDIO スレーブと MDIO マスタは同時に使用することができます。

23.1 マネージメントデータインプット/アウトプットインタフェース (MDIO スレーブ)

23.1.1 概要

本 LSI が搭載する MDIO スレーブは CFP MSA 仕様に準拠した光トランシーバモジュールに備わるインタフェースの 1 つです。MDIO スレーブはスレーブ用として、ホスト機器との通信を行います。一部の機能 (CFP レジスタの管理および GPIO によるステータス送信) については本 LSI の CPU で管理します。

なお、MDIO スレーブに関する技術的詳細に関しては、CFP MSA グループが発行する「CFP MSA Management Interface Specification Version 2.6 r03a September 26, 2016」をご参照ください。

図 23.1 に MDIO スレーブのブロック図を示します。

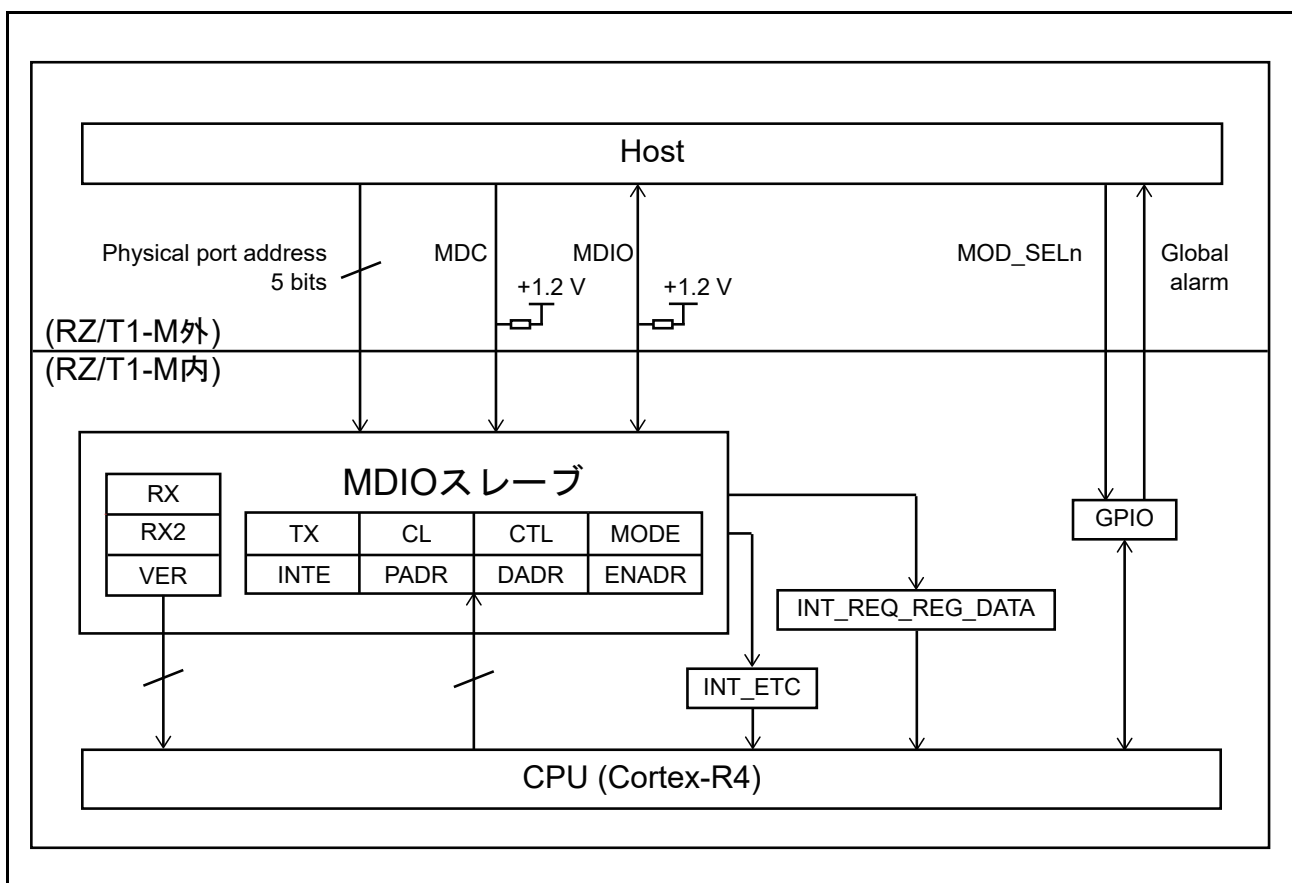


図 23.1 MDIO スレーブのブロック図

23.1.1.1 入出力端子

MDIO スレーブの端子構成を表 23.1 に示します。MDIO スレーブの各信号の入出力レベルは、1.2V LVCMOS レベルです。

表 23.1 MDIOの入出力端子

名称	端子名	入出力	機能
マネージメントデータクロック	MDC	入力	スレーブ用MDIOクロック入力端子 (～4MHz)
マネージメントデータI/O	MDIO	入出力	スレーブ用MDIOデータ入出力端子 (注1)
MDIOフィジカルポートアドレス0	PRTADR0	入力	光トランシーバモジュール選択用入力端子
MDIOフィジカルポートアドレス1	PRTADR1	入力	光トランシーバモジュール選択用入力端子
MDIOフィジカルポートアドレス2	PRTADR2	入力	光トランシーバモジュール選択用入力端子
MDIOフィジカルポートアドレス3	PRTADR3	入力	光トランシーバモジュール選択用入力端子 (注2)
MDIOフィジカルポートアドレス4	PRTADR4	入力	光トランシーバモジュール選択用入力端子 (注2)

注1. MDIO端子は駆動能力制御レジスタ (DSCR)のPORT5のB5[1:0]を“11” (1.2V IO駆動出力) に設定してください。

注2. CFP2,4で使用する場合、ポート方向レジスタ (PDR) のPORT5のB0[1:0]とB3[1:0]を“00” (不使用) に設定し、プルアップ/プルダウン制御レジスタ (PCR) のPORT5のB0[1:0]とB3[1:0]を“01” (入力プルダウン抵抗有効) に設定してください。

23.1.1.2 割り込み機能

割り込み要因一覧を表 23.2 に示します。

表 23.2 割り込み要因一覧

割り込み要因		INT_REQ_REG_DATA 割り込みの通知	INT_ETC 割り込みの通知
通常要因	データ送受信完了	○	×
	期待値と一致するDEVADDの受信完了	×	○
	期待値と一致しないDEVADDの受信完了	×	○
	期待値と一致するPHYADRの受信完了	×	○
	期待値と一致しないPHYADRの受信完了	×	○
	OP受信完了	×	○
エラー要因	送信エラー発生	×	○

割り込みの詳細は下記のとおりです。

- CPU への割り込み信号は2種類あります。
- 割り込み要因が“データ送受信完了”の場合、INT_REQ_REG_DATA 割り込みが通知されます。
- 割り込み要因がそれ以外の場合は、INT_ETC 割り込みが通知されます。
- INT_ETC 割り込みは、何れかの割り込み要因フラグが立つと、割り込み通知状態となります。すべての割り込み要因をクリアするまでは、割り込み通知状態となります。
- 通常要因の割り込みは、割り込みクリアをしなくてもデータ送受信処理を続行します。
- エラー要因の発生後、レジスタの値が0000hであるとHOSTに伝えた後、動作を停止します。
- エラー要因の発生後、レジスタの値が0000hであるとHOSTに伝えているので、HOSTに対しCPUからGPIOを使ってエラーを伝える制御が必要です。

割り込み制御については下記の制御機能の有効/無効設定が可能です。

- 割り込み要因が“データ送受信完了”の場合は、CFP レジスタのアドレスが有効範囲外のときでも割り込みを通知するかどうかの制御が可能です。
- 割り込み要因が“期待値と一致する DEVADD の受信完了”の場合は、割り込みを通知するかどうかの制御が可能です。
- 割り込み要因が“期待値と一致しない DEVADD の受信完了”の場合は、割り込みを通知するかどうかの制御が可能です。
- 割り込み要因が“期待値と一致する PHYADR の受信完了”の場合は、割り込みを通知するかどうかの制御が可能です。
- 割り込み要因が“期待値と一致しない PHYADR の受信完了”の場合は、割り込みを通知するかどうかの制御が可能です。
- 割り込み要因が“OP 受信完了”の場合は、割り込みを通知するかどうかの制御が可能です。
- 割り込み要因が“送信エラー発生”の場合は、割り込みを通知するかどうかの制御が可能です。
- 12.4.4.3 割り込み検出の (2) IRQ 割り込み (レベル割り込み) の手順は、RX レジスタをリードすることで実施してください。

23.1.1.3 制限事項

- Read 系オペレーション時に、TA 後の Read データ出力タイミングまでに、CPU が CFP レジスタからの Read データを MDIO に Write してください。
- CPU 側で受信した OP および DEVADD の参照を行う際、送受信完了割り込みの後、次のフレームの OP、DEVADD の受信までに、受信した OP および DEVADD を取得する必要があります。
- CFP2においてCFP等の5bitのPHYADRを持つデバイスが存在する場合、モードレジスタのPCMビットを0に設定してください。
- CFP2で使用する場合には、PRTADR3 端子と PRTADR4 端子をプルダウン (0 固定) してください。
- CFP4で使用する場合、ポート方向レジスタ (PDR) の PORT5 の B0[1:0] と B3[1:0] を“00” (不使用) に設定し、プルアップ/プルダウン制御レジスタ (PCR) の PORT5 の B0[1:0] と B3[1:0] を“01” (入力プルダウン抵抗有効) に設定してください。

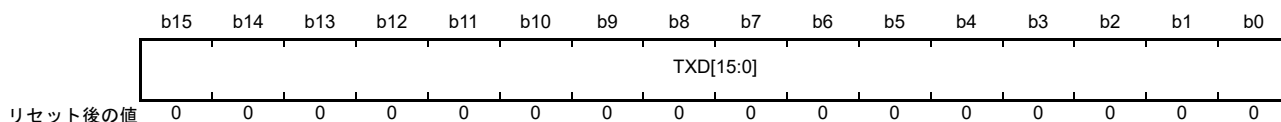
23.1.2 レジスタの説明

23.1.2.1 入力レジスタ

(1) 送信レジスタ (TX)

TX レジスタは送信するデータを扱うレジスタです。

アドレス B011 C100h



ビット	シンボル	ビット名	機能	R/W
b15-b0	TXD[15:0]	送信データビット	<p>送信を行う場合の送信データを設定します。データの送受信完了後、CPUはRXレジスタのRXOP[1:0]ビットの中身により下記のデータを設定する必要があります。</p> <p>RXOP[1:0] = "01" : RXレジスタのRXD[15:0]ビット。</p> <p>RXOP[1:0] = "01"以外 : RXレジスタのRXD[15:0]ビットに格納されているレジスタアドレスに格納されているデータ。</p> <p>設定を行うとINT_REQ_REG_DATA割り込み要因「データ送受信完了」フラグもクリアします。</p>	W

(2) 割り込みクリアレジスタ (CL)

CLレジスタは割り込みクリアを扱うレジスタです。

アドレス B011 C102h

b7	b6	b5	b4	b3	b2	b1	b0
CL PHY	—	CL DEV	CL OP	—	CLPHY NM	CLDEV NM	CL TXE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CLTXE	送信エラー発生フラグクリアビット	INT_ETC 割り込み要因「送信エラー発生」フラグをクリアします。 0: 「送信エラー発生」フラグをクリアしません。 1: 「送信エラー発生」フラグをクリアするために、RXレジスタのSSTXEビットを0にクリアします。	W
b1	CLDEVNM	期待値と一致しないDEVADDの受信完了フラグクリアビット	INT_ETC 割り込み要因「期待値と一致しないDEVADDの受信完了」フラグをクリアします。 0: 「期待値と一致しないDEVADDの受信完了」フラグをクリアしません。 1: 「期待値と一致しないDEVADDの受信完了」フラグをクリアするために、RXレジスタのSSDEVNMビットを0にクリアします。	W
b2	CLPHYNM	期待値と一致しないPHYADRの受信完了フラグクリアビット	INT_ETC 割り込み要因「期待値と一致しないPHYADRの受信完了」フラグをクリアします。 0: 「期待値と一致しないPHYADRの受信完了」フラグをクリアしません。 1: 「期待値と一致しないPHYADRの受信完了」フラグをクリアするために、RXレジスタのSSPHYNMビットを0にクリアします。	W
b3	—	予約ビット	書く場合、「0」としてください。	W
b4	CLOP	OP受信完了フラグクリアビット	INT_ETC 割り込み要因「OP受信完了」フラグをクリアします。 0: 「OP受信完了」フラグをクリアしません。 1: 「OP受信完了」フラグをクリアするために、RXレジスタのSSOPビットを0にクリアします。	W
b5	CLDEV	期待値と一致するDEVADDの受信完了フラグクリアビット	INT_ETC 割り込み要因「期待値と一致するDEVADDの受信完了」フラグをクリアします。 0: 「期待値と一致するDEVADDの受信完了」フラグをクリアしません。 1: 「期待値と一致するDEVADDの受信完了」フラグをクリアするために、RXレジスタのSSDEVビットを0にクリアします。	W
b6	—	予約ビット	書く場合、「0」としてください。	W
b7	CLPHY	期待値と一致するPHYADRの受信完了フラグクリアビット	INT_ETC 割り込み要因「期待値と一致するPHYADRの受信完了」フラグをクリアします。 0: 「期待値と一致するPHYADRの受信完了」フラグをクリアしません。 1: 「期待値と一致するPHYADRの受信完了」フラグをクリアするために、RXレジスタのSSPHYビットを0にクリアします。	W

(3) コントロールレジスタ (CTL)

CTL レジスタは MDIO スレーブの動作設定を行うレジスタです。

アドレス B011 C104h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ST MDIO

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	STMDIO	MDIOスレーブ動作制御ビット	MDIOスレーブの動作設定を行います。 0: 動作中でOP受信開始以降の場合には、送受信が完了した後で動作を停止します。それ以外の場合は即時動作を停止します。 1: RXレジスタのSSTXEビットが0である場合に、動作を開始します。動作開始後にRXレジスタのSSTXEビットが1になった(送信エラー)場合は、ダミーのレジスタデータ(0000h)の送信完了まで動作します。 注: 停止中はフレームの解析を行いません。再開後は停止前のアドレスを引き継ぐため、アドレスフレームから再開してください。	W
b7-b1	—	予約ビット	書く場合、“0”としてください。	W

(4) モードレジスタ (MODE)

MODE レジスタは MDIO スレーブの動作モードを設定するためのレジスタです。

アドレス B011 C105h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PCM	OM

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OM	出力モード制御ビット	Read系オペレーション時のデータ出力における、データ出力方法の設定を行います。 0: プッシュプルでデータ出力を行います。 1: オープンドレインでデータ出力を行います。	W
b1	PCM	PHYADR確認モード制御ビット	受信したPHYADRデータに対する、期待値一致確認を行う部分の設定を行います。 0: 受信した5bitPHYADRデータをすべて比較することにより、PHYADRデータの期待値一致確認を行います。 1: 受信した5bitPHYADRデータの内下位3bitデータを比較することにより、PHYADRデータの期待値一致確認を行います。 CFP2でCFP等の5bitのPHYADRを持つデバイスが存在する場合や、CFP、CFP8の場合には“0”を設定してください。CFP2で3bitのPHYADRを持つデバイスしか存在しない場合や、CFP4の場合には“1”を設定してください。	W
b7-b2	—	予約ビット	書く場合、“0”としてください。	W

(5) 割り込みイネーブルレジスタ (INTE)

INTE レジスタは割り込みの制御情報を書き込むレジスタです。

アドレス B011 C106h

b7	b6	b5	b4	b3	b2	b1	b0
PHY	END	DEV	OP	—	PHY NM	DEV NM	TXE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TXE	送信エラー割り込み許可設定ビット	INT_ETC 割り込み要因「送信エラー発生」に対する割り込み許可の設定を行います。 0: RXレジスタのSSTXEビットが1(送信エラー発生)でも、INT_ETC 割り込みを通知しません。 1: RXレジスタのSSTXEビットが1(送信エラー発生)ならば、INT_ETC 割り込みを通知します。 注. この値により、送信エラー発生後の動作(ダミーデータ送信後、RXレジスタのSSTXEビットが0クリアされるまで動作停止)が変わることはないので、0に設定した場合には、RXレジスタのSSTXEビットを定期的にチェックすることを推奨します。	W
b1	DEVNM	期待値と一致しないDEVADD受信割り込み許可設定ビット	INT_ETC 割り込み要因「期待値と一致しないDEVADDの受信完了」に対する割り込み許可の設定を行います。 0: RXレジスタのSSDEVNMビットが1(期待値と一致しないDEVADDの受信完了)でも、INT_ETC 割り込みを通知しません。 1: RXレジスタのSSDEVNMビットが1(期待値と一致しないDEVADDの受信完了)ならば、INT_ETC 割り込みを通知します。	W
b2	PHYNM	期待値と一致しないPHYADR受信割り込み許可設定ビット	INT_ETC 割り込み要因「期待値と一致しないPHYADRの受信完了」に対する割り込み許可の設定を行います。 0: RXレジスタのSSPHYNMビットが1(期待値と一致しないPHYADRの受信完了)でも、INT_ETC 割り込みを通知しません。 1: RXレジスタのSSPHYNMビットが1(期待値と一致しないPHYADRの受信完了)ならば、INT_ETC 割り込みを通知します。	W
b3	—	予約ビット	書く場合、“0”としてください。	W
b4	OP	OP受信割り込み許可設定ビット	INT_ETC 割り込み要因「OP受信完了」に対する割り込み許可の設定を行います。 0: RXレジスタのSSOPビットが1(OP受信完了)でも、INT_ETC 割り込みを通知しません。 1: RXレジスタのSSOPビットが1(OP受信完了)ならば、INT_ETC 割り込みを通知します。	W
b5	DEV	期待値と一致するDEVADD受信割り込み許可設定ビット	INT_ETC 割り込み要因「期待値と一致するDEVADDの受信完了」に対する割り込み許可の設定を行います。 0: RXレジスタのSSDEVビットが1(期待値と一致するDEVADDの受信完了)でも、INT_ETC 割り込みを通知しません。 1: RXレジスタのSSDEVビットが1(期待値と一致するDEVADDの受信完了)ならば、INT_ETC 割り込みを通知します。	W
b6	END	送受信完了割り込み許可設定ビット	INT_REQ_REG_DATA 割り込み要因「データ送受信完了」に対する割り込み許可の設定を行います。 0: RXレジスタのSSENDビットが1(データ送受信完了)かつ、アクセスするレジスタアドレスが有効範囲内ならば、INT_REQ_REG_DATA 割り込みを通知します。 1: RXレジスタのSSENDビットが1(データ送受信完了)ならば、アクセスするレジスタアドレスに関係なくINT_REQ_REG_DATA 割り込みを通知します。	W

ビット	シンボル	ビット名	機能	R/W
b7	PHY	期待値と一致するPHYADR受信割り込み許可設定ビット	INT_ETC割り込み要因「期待値と一致するPHYADRの受信完了」に対する割り込み許可の設定を行います。 0: RXレジスタのSSPHYビットが1(期待値と一致するPHYADRの受信完了)でも、INT_ETC割り込みを通知しません。 1: RXレジスタのSSPHYビットが1(期待値と一致するPHYADRの受信完了)ならば、INT_ETC割り込みを通知します。	W

(6) 物理ポートアドレスレジスタ (PADR)

PADRレジスタは受信したPHYADRの確認に使用するデータを扱うレジスタです。

アドレス B011 C108h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	PHYC[4:0]				—	—	—	EXPPHY[4:0]				—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b4-b0	EXPPHY[4:0]	PHYADR期待値データビット	受信したPHYADRデータに対する期待値一致確認を行うための期待値を設定します。 CFP2の場合には上位2ビットに“0”を設定してください。	W
b7-b5	—	予約ビット	書く場合、“0”としてください。	W
b12-b8	PHYC[4:0]	PHYADR確認方法設定ビット	受信したPHYADRデータに対する、期待値一致確認方法の設定を行います。ビット毎に確認方法を設定することが可能です。 0: RX2レジスタのPRTADRビットを使用してPHYADRデータの期待値一致確認を行います。 1: 本レジスタのEXPPHY[4:0]ビットを使用してPHYADRデータの期待値一致確認を行います。 CFP2の場合には“11000”を設定してください。CFP8の場合には“11111”を設定してください。	W
b15-b13	—	予約ビット	書く場合、“0”としてください。	W

(7) デバイスアドレスレジスタ (DADR)

DADRレジスタは受信したDEVADDの確認に使用するデータを扱うレジスタです。

アドレス B011 C10Ah

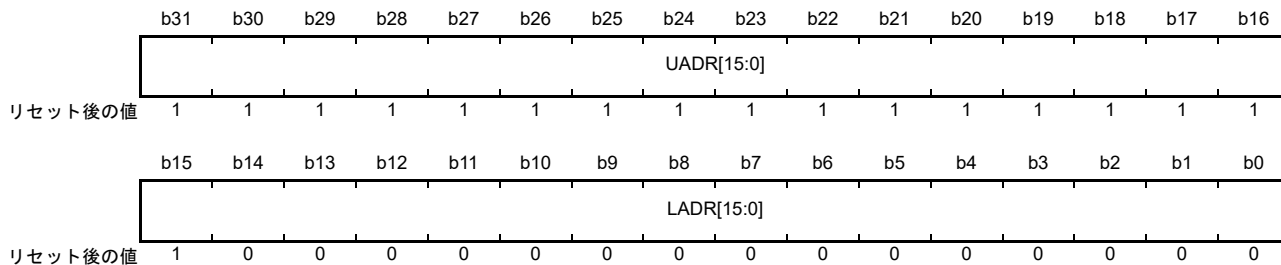
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	EXPDEV[4:0]				—
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	EXPDEV[4:0]	DEVADD期待値データビット	受信したDEVADDデータに対する期待値一致確認を行うための期待値を設定します。	W
b7-b5	—	予約ビット	書く場合、“0”としてください。	W

(8) イネーブルアドレスレジスタ (ENADR)

ENADR レジスタはレジスタアドレスの有効範囲設定を行うレジスタです。

アドレス B011 C10Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	LADR[15:0]	レジスタアドレス下限設定ビット	レジスタアドレス有効範囲の下限を設定します。	W
b31-b16	UADR[15:0] (注1)	レジスタアドレス上限設定ビット	レジスタアドレス有効範囲の上限を設定します。	W

注1. 本レジスタのLADR[15:0]ビットと同じ値を設定した場合、レジスタの有効範囲は設定したアドレスのみとなります。また、本レジスタのLADR[15:0]ビット以上の値を設定してください。

23.1.2.2 出力レジスタ

(1) 受信レジスタ (RX)

RX レジスタは受信したデータや割り込みステータスを扱うレジスタです。

アドレス B051 C700h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SS PHY	SS END	SS DEV	SS OP	—	SSPHY NM	SSDEV NM	SS TXE	RXOP[1:0]	—	RXDEV[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

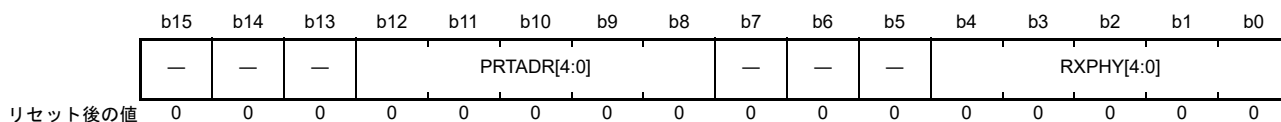
ビット	シンボル	ビット名	機能	R/W
b15-b0	RXD[15:0]	レジスタアクセス用データビット	CFPレジスタへアクセスするために必要なデータが格納されます。データ送受信完了のタイミングで更新され、RXレジスタのRXOP[1:0]ビットの中身により下記のデータが格納されます。 RXOP[1:0] = "00": 受信したレジスタアドレス。 RXOP[1:0] = "01": 受信したレジスタデータ。書き込み先のアドレスは、前回の送受信完了時のRXDを、CPU側で保持してください。 RXOP[1:0] = "11": 前回の送受信完了時のレジスタアドレス RXOP[1:0] = "10": 前回の送受信完了時のレジスタアドレスの値により、以下の値をとります。 有効範囲外のアドレス: 前回の送受信完了時のアドレス FFFFhを除いた有効範囲内のアドレス: 前回の送受信完了時のアドレス + 1 FFFFh: 前回の送受信完了時のアドレス	R
b20-b16	RXDEV[4:0]	受信DEVADDデータビット	受信したDEVADDデータが格納されます。DEVADD受信完了のタイミングでデータが更新されます。	R
b21	—	予約ビット	読むと"0"が読めます。	R
b23-b22	RXOP[1:0]	受信OPデータビット	受信したOPデータが格納されます。OP受信完了のタイミングでデータが更新されます。	R
b24	SSTXE	送信エラー発生ビット	INT_ETC割り込み要因「送信エラー発生」のステータスを示します。 0: 送信エラー未発生 1: 送信エラー発生 RXレジスタのRXOP[1]ビットが"1"のときで、データ受信からデータ送信に切り替わるまでに、RXレジスタのSSENDビットが0にクリアされなかったときに、送信エラー発生と判定されます。 送信エラー発生後、ダミーデータ(0000h)を送信し、このビットが0にクリアされるまで動作を停止します。 CLレジスタのCLTXEビットに、1を書き込むことで0にクリアされます。	R
b25	SSDEVNM	期待値と一致しないDEVADD受信完了ビット	INT_ETC割り込み要因「期待値と一致しないDEVADDの受信完了」のステータスを示します。 0: 期待値と一致しないDEVADDの未受信 1: 期待値と一致しないDEVADDの受信完了 CLレジスタのCLDEVNMビットに、1を書き込むことで0にクリアされます。	R

ビット	シンボル	ビット名	機能	R/W
b26	SSPHYNM	期待値と一致しないPHYADR受信完了ビット	INT_ETC割り込み要因「期待値と一致しないPHYADRの受信完了」のステータスを示します。 0: 期待値と一致しないPHYADRの未受信 1: 期待値と一致しないPHYADRの受信完了 CLレジスタのCLPHYNMビットに、1を書き込むことで0にクリアされます。	R
b27	—	予約ビット	読むと“0”が読めます。	R
b28	SSOP	OP受信完了ビット	INT_ETC割り込み要因「OP受信完了」のステータスを示します。 0: OP未受信 1: OP受信完了 CLレジスタのCLOPビットに、1を書き込むことで0にクリアされます。	R
b29	SSDEV	期待値と一致するDEVADD受信完了ビット	INT_ETC割り込み要因「期待値と一致するDEVADDの受信完了」のステータスを示します。 0: 期待値と一致するDEVADDの未受信 1: 期待値と一致するDEVADDの受信完了 CLレジスタのCLDEVビットに、1を書き込むことで0にクリアされます。	R
b30	SSEND	送受信完了ビット	INT_REQ_REG_DATA割り込み要因「データ送受信完了」のステータスを示します。 0: データ送受信未完了 1: データ送受信完了 TXレジスタのTXD[15:0]ビットに、任意の値を書き込むことで0にクリアされます。	R
b31	SSPHY	期待値と一致するPHYADR受信完了ビット	INT_ETC割り込み要因「期待値と一致するPHYADRの受信完了」のステータスを示します。 0: 期待値と一致するPHYADRの未受信 1: 期待値と一致するPHYADRの受信完了 CLレジスタのCLPHYビットに、1を書き込むことで0にクリアされます。	R

(2) 受信レジスタ 2 (RX2)

RX2 レジスタは受信したデータや入力端子の情報等を扱うレジスタです。

アドレス B051 C704h

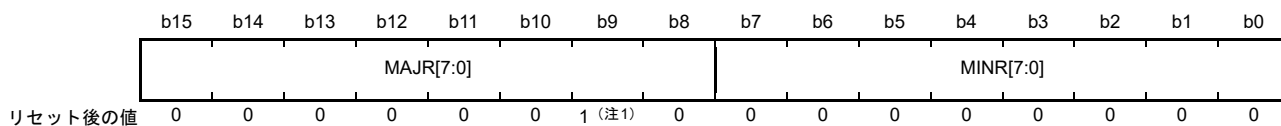


ビット	シンボル	ビット名	機能	R/W
b4-b0	RXPHY[4:0]	受信PHYADR データビット	受信したPHYADR データが格納されます。PHYADR 受信完了のタイミングでデータが更新されます。	R
b7-b5	—	予約ビット	読むと“0”が読めます。	R
b12-b8	PRTADR[4:0]	PRTADR 端子モニタビット	PRTADR4～PRTADR0 端子のモニタリング結果が格納されます。最上位ビットから順にPRTADR4端子、PRTADR3端子、PRTADR2端子、PRTADR1端子、PRTADR0端子のモニタリング結果が格納されます。MDIOスレーブが使用可能な状態であれば、随時更新されます。 0：PRTADR端子はLow 1：PRTADR端子はHi	R
b15-b13	—	予約ビット	読むと“0”が読めます。	R

(3) Version レジスタ (VER)

VER レジスタは、コンフィグレーションデータのバージョン情報を示すレジスタです。

アドレス B051 C70Eh



注1. ファーム書き込み後まではすべてのビットで0が読めます。

ビット	シンボル	ビット名	機能	R/W
b7-b0	MINR[7:0]	マイナーバージョンビット	コンフィグレーションデータのマイナーバージョンを示します。	R
b15-b8	MAJR[7:0]	メジャーバージョンビット	コンフィグレーションデータのメジャーバージョンを示します。	R

23.1.3 動作概要

23.1.3.1 MDIO スレーブ起動シーケンス

MDIO スレーブの初期化に関しては、必ず MDIO スレーブドライバの起動シーケンスを用いて行ってください。また、MDIO スレーブを使用するためには、起動時に MDIO スレーブへのファーム書き込みが必要になります。具体的な MDIO スレーブ起動シーケンスやファーム書き込み方法の詳細は「RZ/T1-M グループ MDIO スレーブアプリケーションノート」を参照してください。

23.1.3.2 MDIO スレーブ処理フローチャート

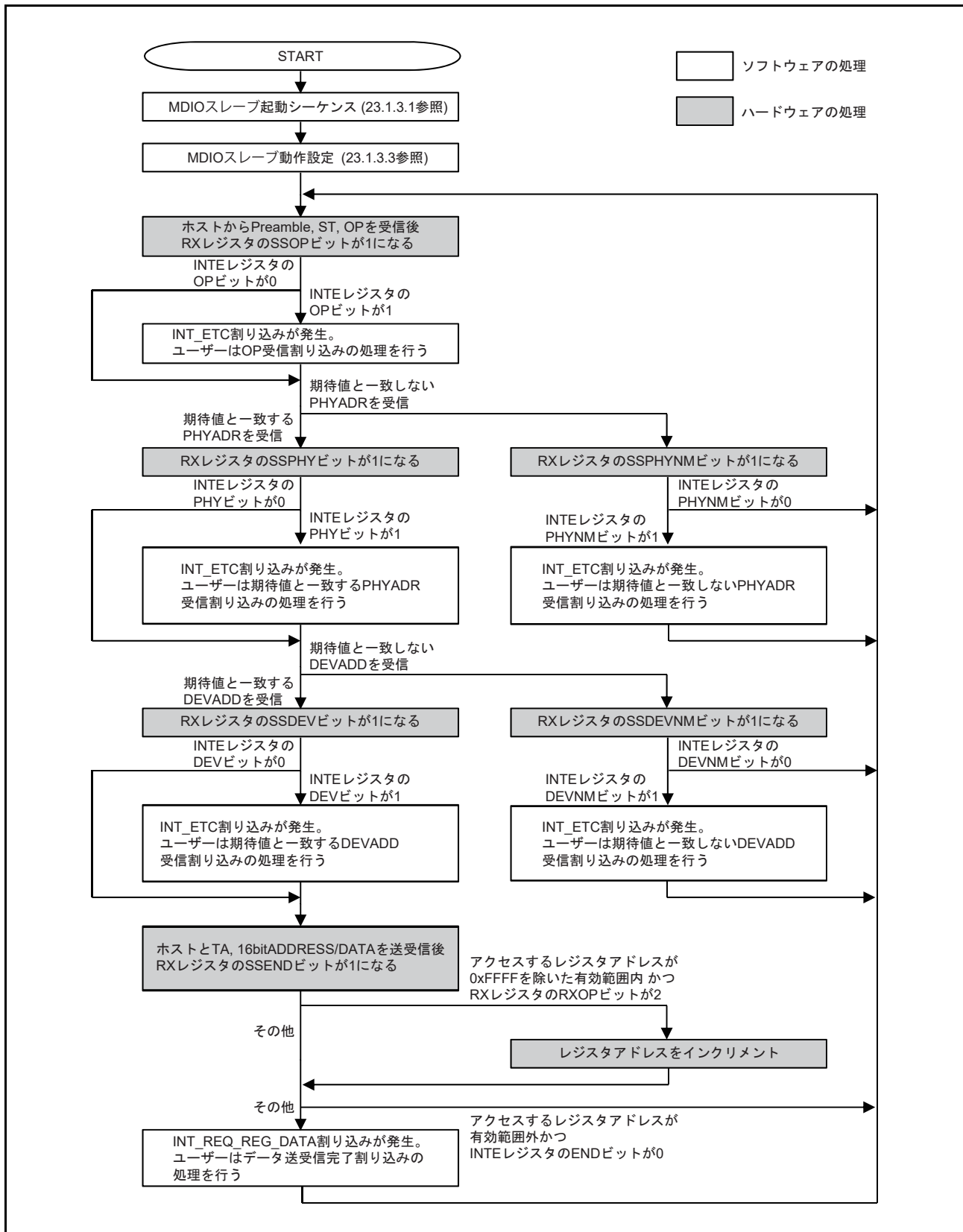


図 23.2 MDIO スレーブ処理フローチャート

23.1.3.3 MDIO スレーブ動作設定

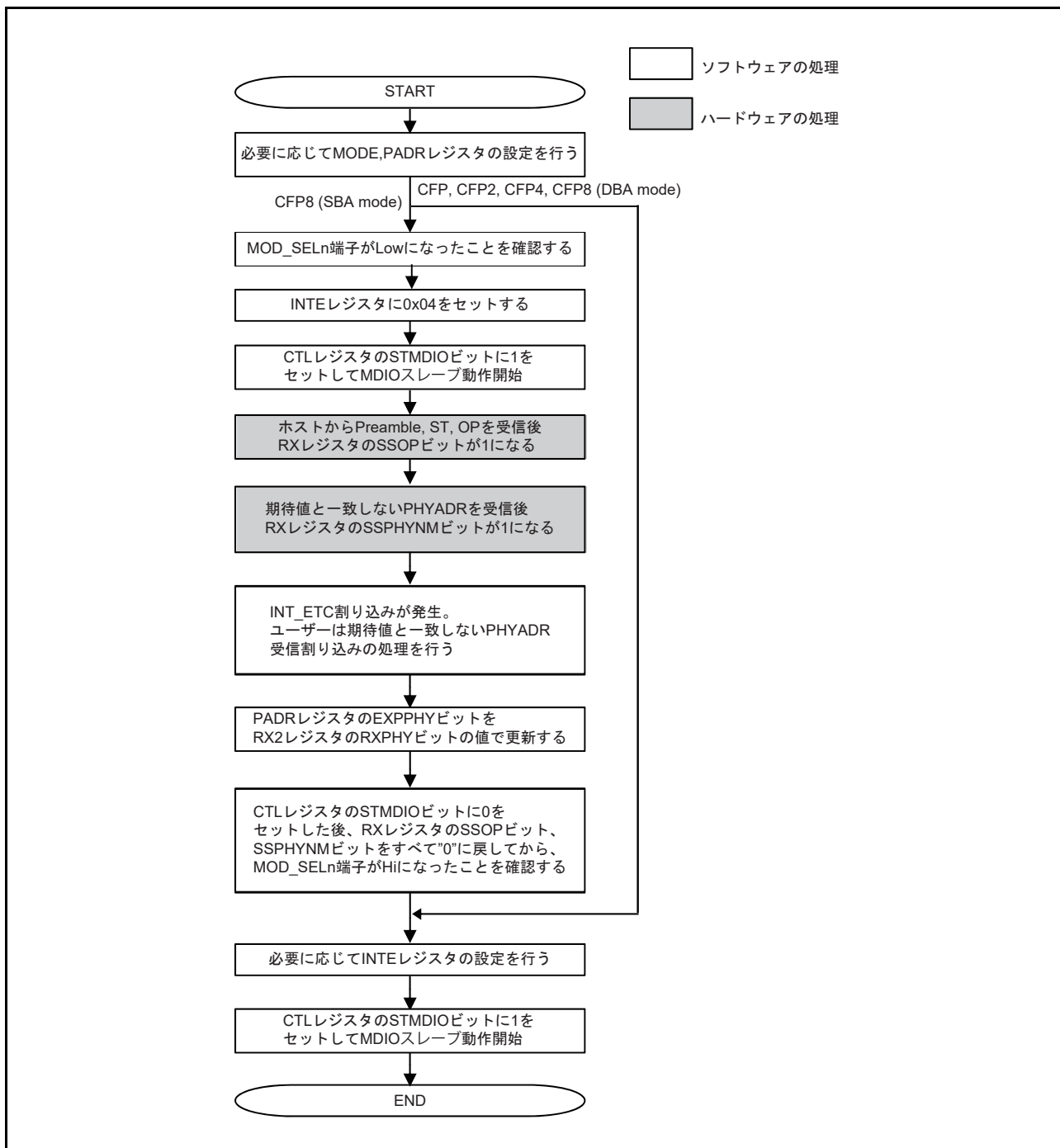


図 23.3 MDIO スレーブ動作設定フローチャート

23.1.4 使用上の注意事項

- Read系オペレーション時に、TA後のReadデータ出力タイミングまでに、CPUがCFPレジスタからのReadデータをMDIOスレーブにWriteしてください。
- CPU側で受信したOP, PHYADR, DEVADDの参照を行う際、次のフレームのOP, PHYADR, DEVADDの受信までに、受信したOP, PHYADR, DEVADDを取得する必要があります。
- CFP2においてCFP等の5bitのPHYADRを持つデバイスが存在する場合、モードレジスタのPCMビットを0に設定してください。
- CFP2,4で使用する場合、ポート方向レジスタ(PDR)のPORT5のB0[1:0]とB3[1:0]を“00”(不使用)に設定し、プルアップ/プルダウン制御レジスタ(PCR)のPORT5のB0[1:0]とB3[1:0]を“01”(入力プルダウン抵抗有効)に設定してください。

23.2 マネージメントデータインプット/アウトプットインタフェース (MDIO マスタ)

23.2.1 概要

本 LSI が搭載するマネージメントデータインプット/アウトプットインタフェース (MDIO マスタ) は、IEEE802.3 Clause45 仕様に準拠したマスタ用インタフェースです。MDIO マスタとして、スレーブ機器との通信を行います。

なお、MDIO マスタに関する技術的詳細に関しては、「IEEE802.3 Clause45」をご参照ください。

表23.3 マネージメントデータインプット/アウトプットインタフェース (MDIO マスタ) の仕様

項目	内容
チャンネル数	3.3V用1チャンネル
プロトコル	<ul style="list-style-type: none"> IEEE802.3 Clause45
クロック周波数	<ul style="list-style-type: none"> 最大10MHz
割り込み要因	<ul style="list-style-type: none"> データ送受信完了割り込み
機能	<ul style="list-style-type: none"> MDC (Management Data Clock)、MDIO (Management Data I/O) 信号を使用して、シリアル通信が可能 プッシュプルのみ対応
エラー検出	<ul style="list-style-type: none"> TA2bit目の受信エラー 送信オーバーフローエラー

図 23.4 に MDIO マスタのブロック図を示します。

MMDC はクロック出力端子、MMDIO はデータ入出力端子を表します。INT_END は MDIO マスタが生成する割り込み信号を表します。

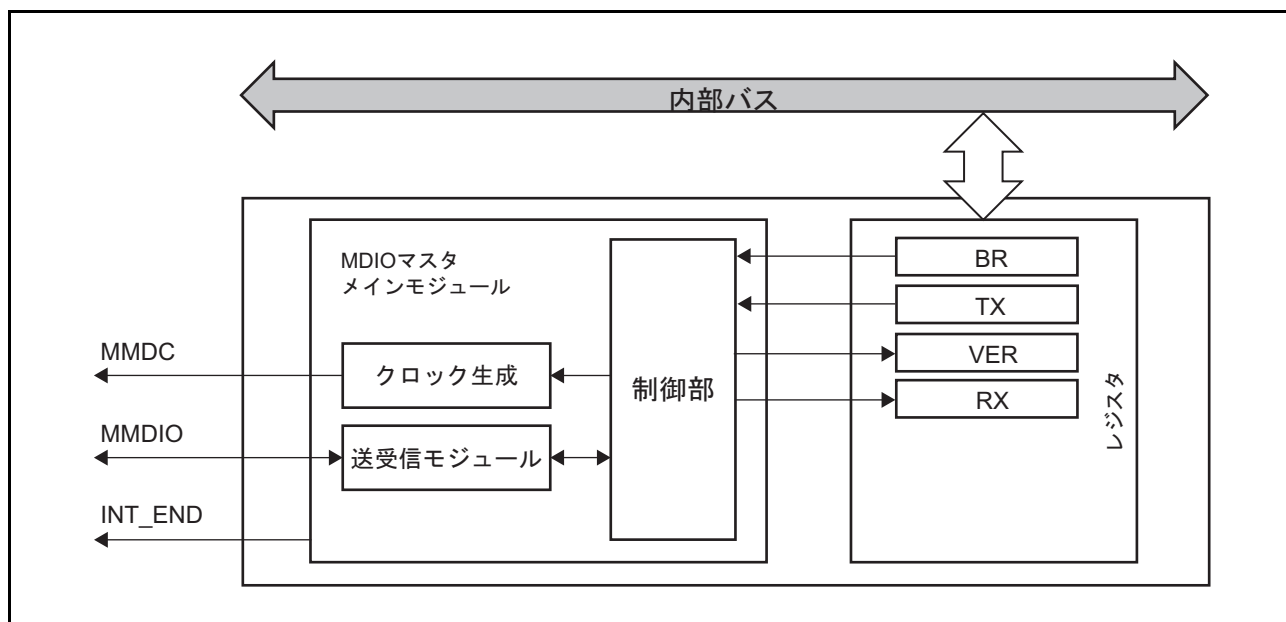


図 23.4 MDIO マスタのブロック図

23.2.1.1 入出力端子

MDIO マスタの端子構成を表 23.4 に示します。MDIOM1 チャンネルの各信号の入出力レベルは、3.3V CMOS レベルです。

表 23.4 MDIO マスタの入出力端子

チャンネル	端子名	入出力	機能
MDIOM1	MMDC1	出力	MDIOクロック出力端子 (~10MHz)
	MMDIO1	入出力	MDIOデータ入出力端子

23.2.1.2 入出力端子と I/O ポートの対応

入出力端子と I/O ポートの対応を表 23.5 に示します。

表 23.5 入出力端子と I/O ポートの対応

チャンネル	端子名	I/Oポート
MDIOM1	MMDC1	PA3
	MMDIO1	PA5

23.2.2 レジスタの説明

MDIO マスタで使用するレジスタ一覧を表 23.6 に記載します。記載されていない領域のアクセスは禁止します。ファーム書き込み後にリセット後の値が読めます。

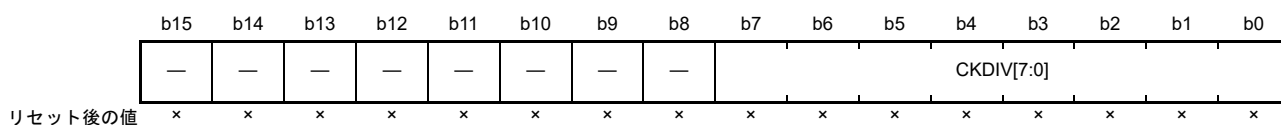
表 23.6 レジスタ一覧

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
B0A3 0012h	MDIOM1	ビットレートレジスタ	BR	16	16
B0B1 C100h	MDIOM1	送信レジスタ	TX	32	32
B0B1 C500h	MDIOM1	Version レジスタ	VER	16	16
B0B1 CD04h	MDIOM1	受信レジスタ	RX	32	32

23.2.2.1 ビットレートレジスタ (BR)

BR レジスタは、MDIO 通信のクロック周波数を設定するレジスタです。MDIO 通信を開始する前に設定してください。

アドレス MDIOM1.BR B0A3 0012h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CKDIV[7:0]	クロック分周比設定ビット	MDIO通信のクロック周波数は、200MHzを（本ビットの設定値+1）分周した周波数となります。 設定可能な値は“19 (13h)～“199 (C7h)”の内、奇数のみになります。 なお、リセット後には49 (31h)が書き込まれた状態となっています。	W
b15-b8	—	予約ビット	書く場合、“0”としてください。	W

CKDIV[7:0] ビット (クロック分周比設定ビット)

MDIO 通信のクロック周波数を設定します。

本ビットの設定値と、MDIO 通信のクロック周波数の対応は、表 23.7 を参照してください。

表 23.7 CKDIV[7:0]ビット設定値とMDIO通信のクロック周波数

CKDIV[7:0]ビット	MDIO通信のクロック周波数
19	10MHz
49	4MHz
199	1MHz

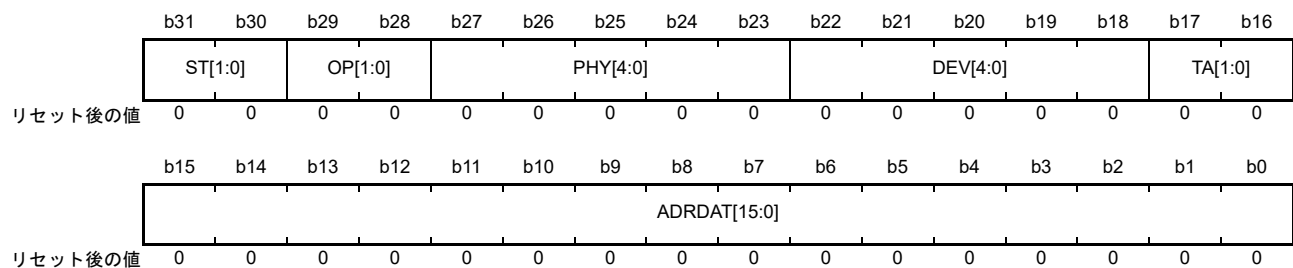
23.2.2.2 送信レジスタ (TX)

TX レジスタは、送信するデータを設定するレジスタです。設定されたデータが送信される際には、MSB 側から送信されます。

本レジスタのライトを行うことにより、本レジスタの設定値に応じた MDIO 通信を開始します。また、MDIO 通信中に本レジスタのライトを行うことで、連続で MDIO 通信を行うことが可能です。

ただし、同一の MDIO 通信中に本レジスタに対するライトを 2 回以上行った場合、後からライトした設定については無視され、ライトした時点で実施中の MDIO 通信が完了したときに、RX.TXOVFERR ビットが“1”になります。

アドレス MDIOM1.TX B0B1 C100h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ADRDAT[15:0]	16bit アドレスデータ設定ビット	MDIO 通信における、TA データの後に送信する、Address オペレーションのときに送信するアドレスや、Write オペレーションのときに送信するデータの設定を行います。 設定可能な値は“0”～“65535 (FFFFh)”になります。	R/W
b17-b16	TA[1:0]	TA データ設定ビット	MDIO 通信における、DEVADD データの後に送信する TA データの設定を行います。 設定可能な値は“2”のみになります。	R/W
b22-b18	DEV[4:0]	DEVADD データ設定ビット	MDIO 通信における、PHYADR データの後に送信する DEVADD データの設定を行います。 設定可能な値は“0”～“31 (1Fh)”になります。	R/W
b27-b23	PHY[4:0]	PHYADR データ設定ビット	MDIO 通信における、OP データの後に送信する PHYADR データの設定を行います。 設定可能な値は“0”～“31 (1Fh)”になります。	R/W
b29-b28	OP[1:0]	OP データ設定ビット	MDIO 通信における、ST データの後に送信する OP データの設定を行います。 本ビットの設定値に応じて、以下のオペレーションを実施することになります。 0 : Address オペレーション 1 : Write オペレーション 2 : Post-read-increment-address オペレーション 3 : Read オペレーション	R/W
b31-b30	ST[1:0]	ST データ設定ビット	MDIO 通信における、Preamble データの後に送信する ST データの設定を行います。 設定可能な値は“0”のみになります。	R/W

ADRDAT[15:0] ビット (16bit アドレスデータ設定ビット)

MDIO 通信における、TA データの後に送信する、Address オペレーションのときに送信するアドレスや、Write オペレーションのときに送信するデータの設定を行います。

Read オペレーションや Post-read-increment-address オペレーションのときには、DEVADD データ以降は送信を行わないので、本ビットの設定値は使用されません。

TA[1:0] ビット (TA データ設定ビット)

MDIO 通信における、DEVADD データの後に送信する TA データの設定を行います。

Read オペレーションや Post-read-increment-address オペレーションのときには、DEVADD データ以降は送信を行わないので、本ビットの設定値は使用されません。

本ビットには必ず“2”を設定してください。

DEV[4:0] ビット (DEVADD データ設定ビット)

MDIO 通信における、PHYADR データの後に送信する DEVADD データの設定を行います。

PHY[4:0] ビット (PHYADR データ設定ビット)

MDIO 通信における、OP データの後に送信する PHYADR データの設定を行います。

OP[1:0] ビット (OP データ設定ビット)

MDIO 通信における、ST データの後に送信する OP データの設定を行います。

本ビットの設定値と、オペレーションの種類に対応は、表 23.8 を参照してください。

表 23.8 OP[1:0] ビット設定値とオペレーションの種類

OP[1:0] ビット	オペレーションの種類
0	Addressオペレーション
1	Writeオペレーション
2	Post-read-increment-addressオペレーション
3	Readオペレーション

ST[1:0] ビット (ST データ設定ビット)

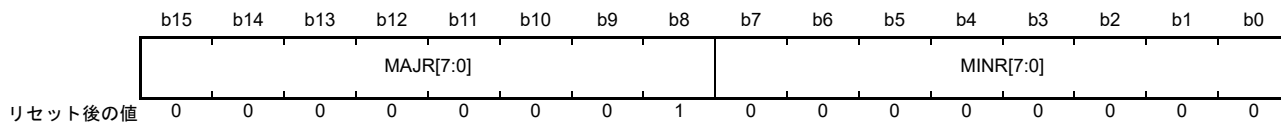
MDIO 通信における、Preamble データの後に送信する ST データの設定を行います。

本ビットには必ず“0”を設定してください。

23.2.2.3 Version レジスタ (VER)

VER レジスタは、コンフィグレーションデータのバージョン情報を示すレジスタです。

アドレス MDIOM1.VER B0B1 C500h



ビット	シンボル	ビット名	機能	R/W
b7-b0	MINR[7:0]	マイナーバージョンビット	コンフィグレーションデータのマイナーバージョンを示します。	R
b15-b8	MAJR[7:0]	メジャーバージョンビット	コンフィグレーションデータのメジャーバージョンを示します。	R

MINR[7:0] ビット (マイナーバージョンビット)

コンフィグレーションデータのマイナーバージョンを示します。

MAJR[7:0] ビット (メジャーバージョンビット)

コンフィグレーションデータのメジャーバージョンを示します。

23.2.2.4 受信レジスタ (RX)

RX レジスタは、受信した 16bit データや MDIO 通信のステータスが格納されるレジスタです。

アドレス MDIOM1.RX B0B1 CD04h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	END	—	—	—	—	—	TA2ERR	TXOVFERR	—	TXOP[1:0]	TXPHY[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DAT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-0	DAT[15:0]	16bit データビット	Read オペレーションや Post-read-increment-address オペレーションのときに受信したデータが格納されます。	R
b20-b16	TXPHY[4:0]	送信 PHYADR データビット	送信した PHYADR データが格納されます。	R
b22-b21	TXOP[1:0]	送信 OP データビット	送信した OP データが格納されます。	R
b23	—	予約ビット	読むと“0”が読めます。	R
b24	TXOVFERR	送信オーバーフローエラービット	同一の MDIO 通信中に TX レジスタライトが 2 回以上行われたことを示す、送信オーバーフローエラーが発生したかどうかを示すステータスが格納されます。 0: 送信オーバーフローエラーは発生していない 1: 送信オーバーフローエラー発生	R
b25	TA2ERR	TA2 受信エラービット	Read オペレーションや Post-read-increment-address オペレーションにおいて、TA2bit 目として受信したデータが正しいどうかを示すステータスが格納されます。 0: TA2bit 目として正しいデータ“0”を受信したか、受信を行わない Address/Write オペレーションを実施した 1: TA2bit 目として正しくないデータ“1”を受信した	R
b30-b26	—	予約ビット	読むと“0”が読めます。	R
b31	END	MDIO 通信完了ビット	MDIO 通信が完了したかどうかを示すステータスが格納されます。 0: MDIO 通信未完了 1: MDIO 通信完了	R

DAT[15:0] ビット (16bit データビット)

Read オペレーションや Post-read-increment-address オペレーションのときに受信したデータが格納されます。

Address オペレーションや Write オペレーションの場合には、本ビットは“0”となります。

本ビットは MDIO 通信が完了し、RX.END ビットが必ず“1”となるタイミングで更新されます。

TXPHY[4:0] ビット (送信 PHYADR データビット)

送信した PHYADR データが格納されます。

本ビットは MDIO 通信が完了し、RX.END ビットが必ず“1”となるタイミングで更新されます。

TXOP[1:0] ビット (送信 OP データビット)

送信した OP データが格納されます。

本ビットは MDIO 通信が完了し、RX.END ビットが必ず“1”となるタイミングで更新されます。

TXOVFERR ビット (送信オーバーフローエラービット)

同一の MDIO 通信中に TX レジスタライトが 2 回以上行われたことを示す、送信オーバーフローエラーが発生したかどうかを示すステータスが格納されます。“0” の場合には送信オーバーフローエラーが発生していないことを示し、“1” の場合には送信オーバーフローエラーが発生したことを示します。

本ビットは MDIO 通信が完了し、RX.END ビットが必ず“1”となるタイミングで更新されます。

図 23.5 に連続動作設定における本ビットの動作例を示します。

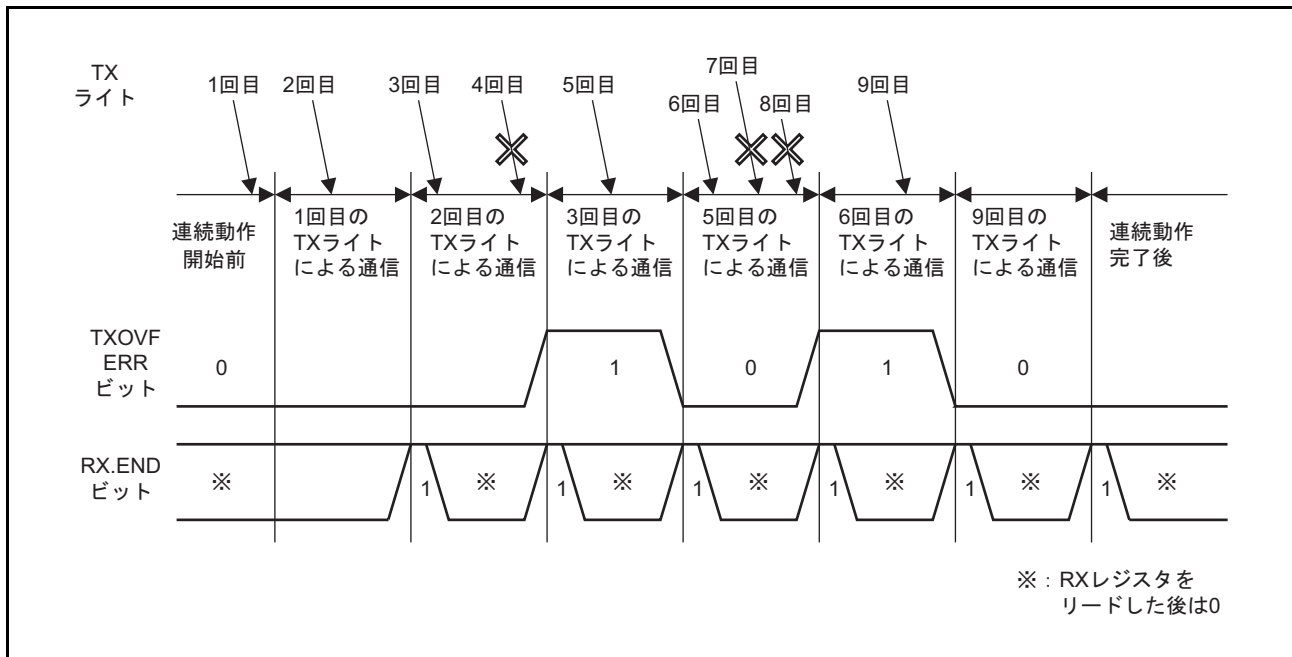


図 23.5 連続動作設定における TXOVFERR ビットの動作例

TA2ERR ビット (TA2 受信エラービット)

Read オペレーションや Post-read-increment-address オペレーションにおいて、TA2bit 目として受信したデータが正しいかどうかを示すステータスが格納されます。“0” の場合には正しいデータ“0”を受信したことを示し、“1” の場合には正しくないデータ“1”を受信したことを示します。

Address オペレーションや Write オペレーションの場合には、本ビットは“0”となります。

本ビットは MDIO 通信が完了し、RX.END ビットが必ず“1”となるタイミングで更新されます。

本ビットが“1”となったときには、スレーブ機器が動作可能となっていない場合や、スレーブ機器との距離が長過ぎる場合等、通信環境に問題がある可能性があります。

END ビット (MDIO 通信完了ビット)

MDIO 通信が完了したかどうかを示すステータスが格納されます。“1” の場合には、MDIO 通信が完了したことを示します。

MDIO 通信が完了したタイミングで、本ビットは必ず“1”となり、INT_END 割り込みが発生します。

RX レジスタのリードを行うことで、本ビットは“0”にクリアされ、INT_END 割り込みが解除されます。RX レジスタの中身は MDIO 通信完了毎に更新されるので、MDIO 通信が完了して本ビットが“1”となった後、次の MDIO 通信が完了する前までに、RX レジスタのリードを行ってください。

23.2.3 動作説明

MDIO マスタはオペレーションの種類に応じて必要なデータを送信し、16bit データの受信を行います。

23.2.3.1 オペレーションの種類

IEEE802.3 Clause45 仕様の MDIO 通信には、下記の 4 種類のオペレーションが存在します。どのオペレーションでも、MDIO 通信 1 回当たり 64 クロックサイクル分の処理時間となります。

- Address オペレーション
- Write オペレーション
- Post-read-increment-address オペレーション
- Read オペレーション

(1) Address, Write オペレーションフォーマット

Address, Write オペレーションのフォーマットは、図 23.6 のようになっています。

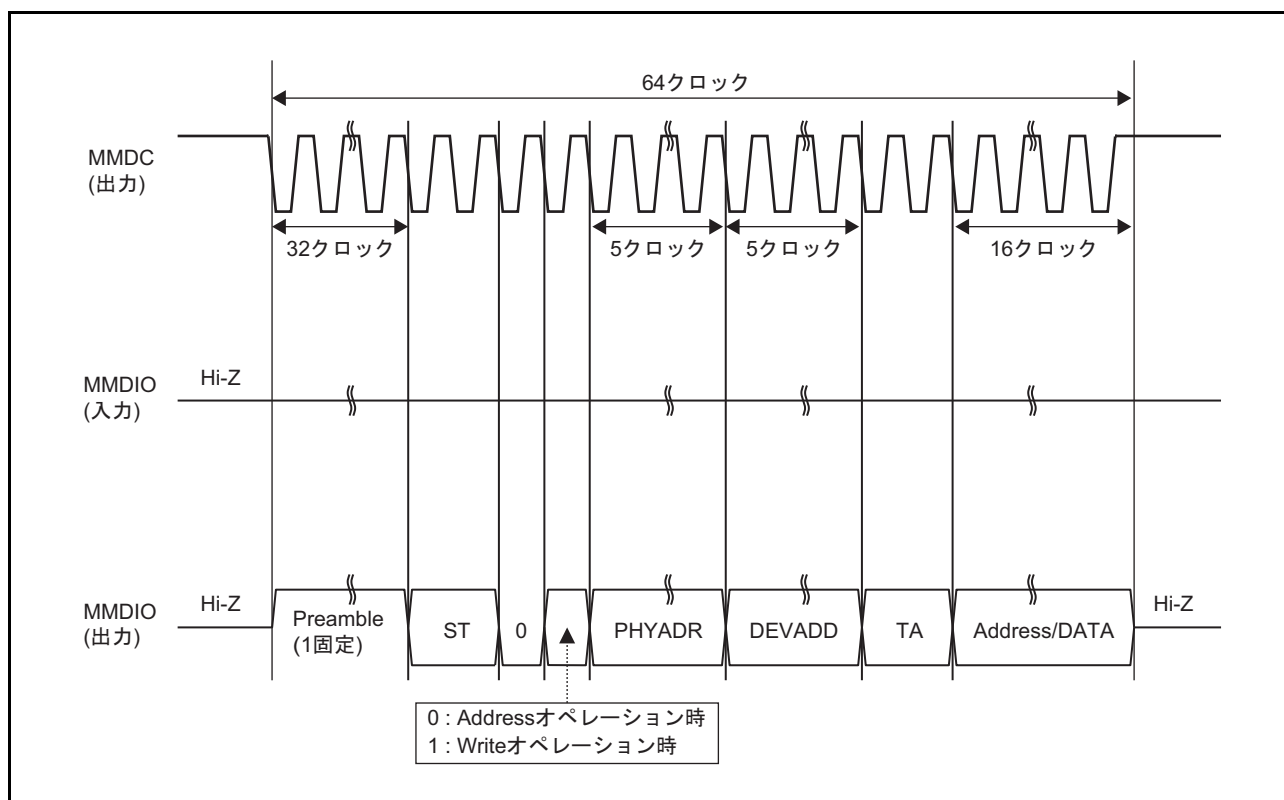


図 23.6 Address, Write オペレーションフォーマット

(2) Post-read-increment-address, Read オペレーションフォーマット

Post-read-increment-address, Read オペレーションのフォーマットは、図 23.7 のようになっています。なお、図 23.7 の MMDIO (入力) については、伝送遅延が 0 であると仮定したときの図となっています。

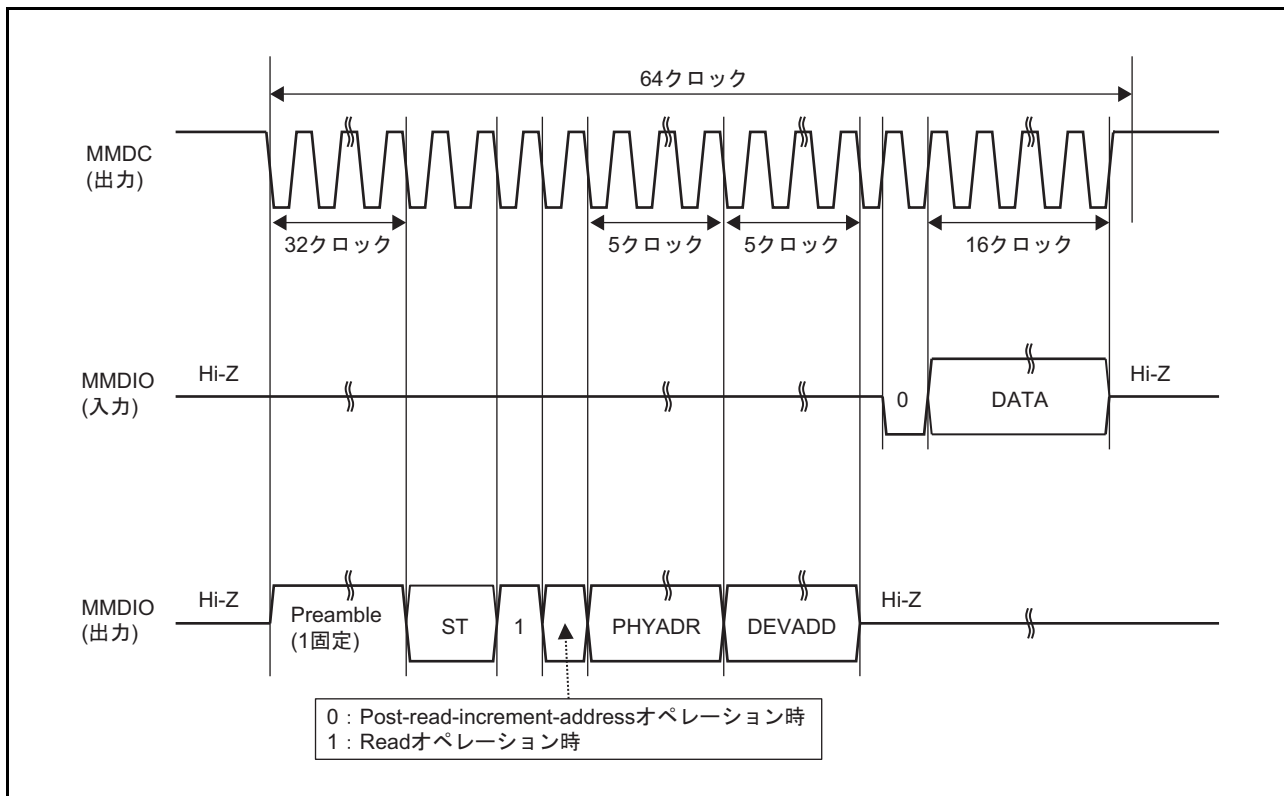


図 23.7 Post-read-increment-address, Read オペレーションフォーマット

23.2.3.2 MDIO 通信後の IDLE 動作

MDIO 通信が完了した後 IDLE 動作となり、次の MDIO 通信が開始されるまで、MMDC 端子の出力が Hi 固定、MMDIO 出力が Hi-Z となります。MDIO 通信を連続で実施しているときであっても、必ず MDIO 通信後に 1 クロックサイクル期間の間は IDLE 動作となります。図 23.8 に MDIO 通信の連続動作例を記載します。

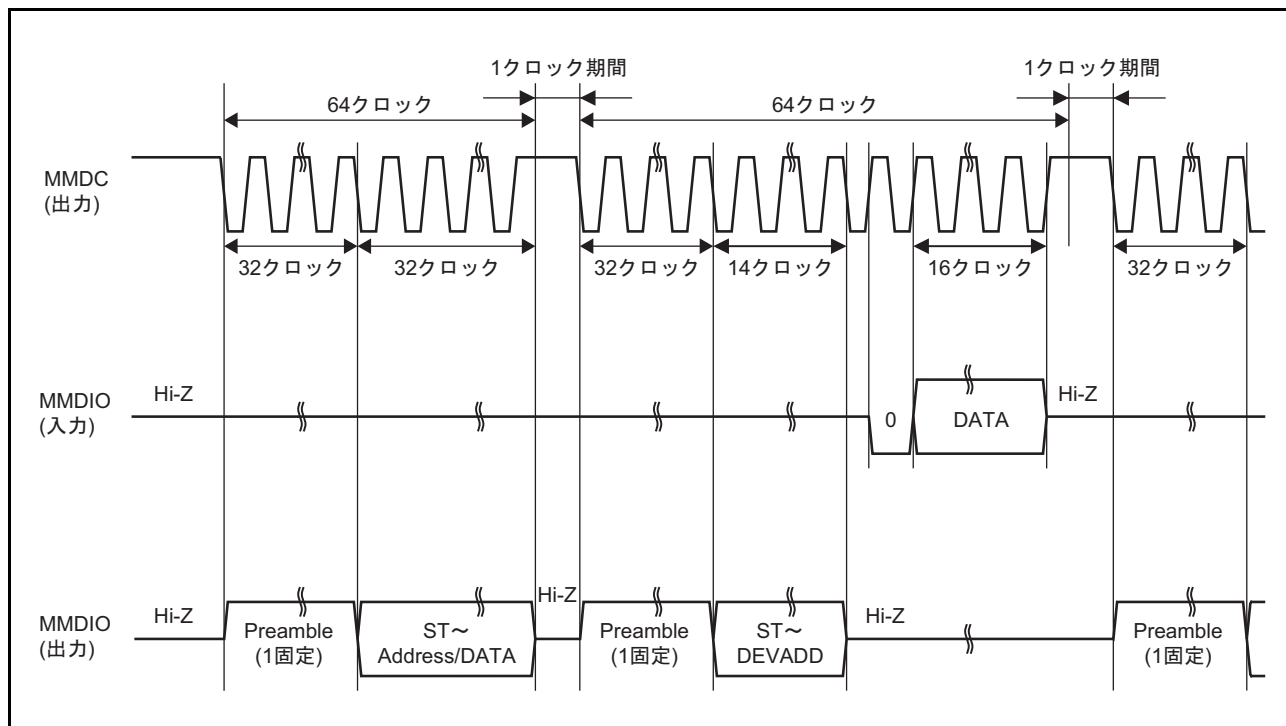


図 23.8 MDIO 通信の連続動作例

23.2.3.3 割り込み機能

MDIO 通信が完了し、RX.END ビットが“1”になると、割り込み要求 (INT_END) を発生します。INT_END 割り込みを解除するには、RX レジスタのリードを行います。これにより、INT_END 割り込みが解除されます。

23.2.4 設定手順

23.2.4.1 初期化

図 23.9 に MDIO マスタの初期化フローを記載します。

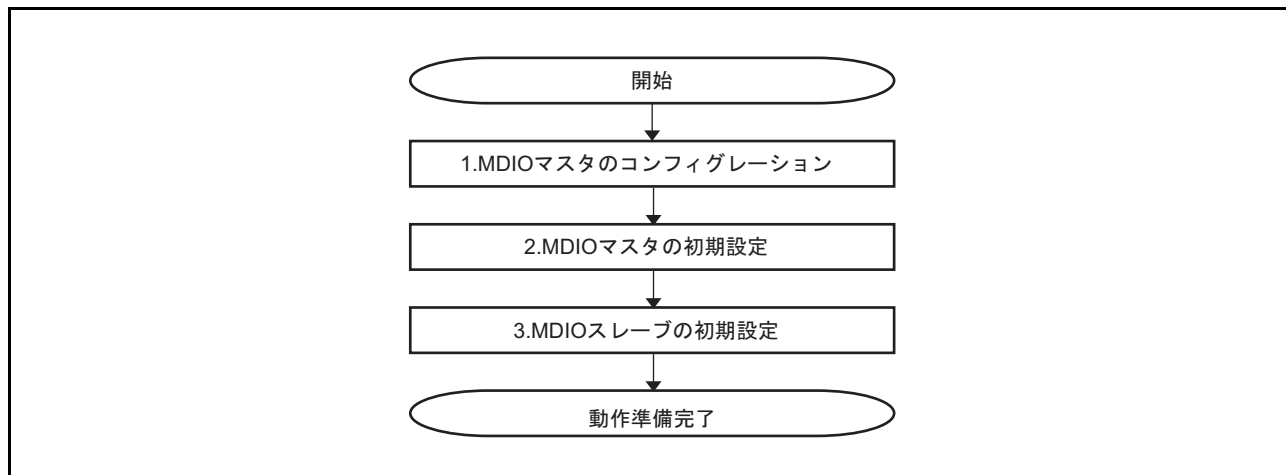


図 23.9 MDIO マスタの初期化フロー

1. MDIO マスタのコンフィグレーション

MDIO マスタのコンフィグレーションを行います。手順は以下となります。

- (1) MDIO マスタが使用する端子（「23.2.1.2 入出力端子と I/O ポートの対応」参照）のポート方向レジスタ (PDR) を“00b”、ポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
- (2) MDIO Configuration Library を用いて、MDIO マスタのコンフィグレーションを行います。
- (3) PWPR.B0WI ビットを“0”にした後、PWPR.PFSWE ビットを“1”に設定することで、Pmn 端子機能制御レジスタ (PmnPFS) (m=0~9, A~H, J~N, P, R~U, n=0~7) を書き込み可能にします。
- (4) (1) で設定した端子の PmnPFS.PSEL[5:0] ビットに“2Bh”を設定します。
- (5) PWPR.PFSWE ビットを“0”にして、PmnPFS レジスタへの書き込みを禁止してください。
- (6) (1) で設定した端子に対する PMR レジスタの該当ビットを“1”にして、MDIO マスタの端子入出力機能に切り替えます。
- (7) 必要に応じて PDR レジスタを“10b”にすることで、ポート状態をリードできます。
- (8) MDIO Configuration Library を用いて、MDIO マスタの起動を行います。

2. MDIO マスタの初期設定

BR レジスタの初期設定を行います。

例) MDIO 通信のクロック周波数が 10MHz の場合

BR.CKDIV[7:0] = 19 (MDIO 通信は $200 \div (19 + 1)$ MHz で動作)

3. MDIO スレーブの初期設定

MDIO スレーブの電源を ON にし、MDIO スレーブの初期化を行います。

MDIO スレーブの初期化手順の詳細は、使用する MDIO スレーブのマニュアル等を参照してください。

MDIO Configuration Library の詳細は「RZ/T1-M グループ MDIO Configuration Library ユーザーズマニュアル (R01UH0577)」を参照してください。

23.2.4.2 通常動作設定

MDIO 通信を実施するための通常動作設定について、図 23.10 に MDIO 通信の通常動作フローを記載します。

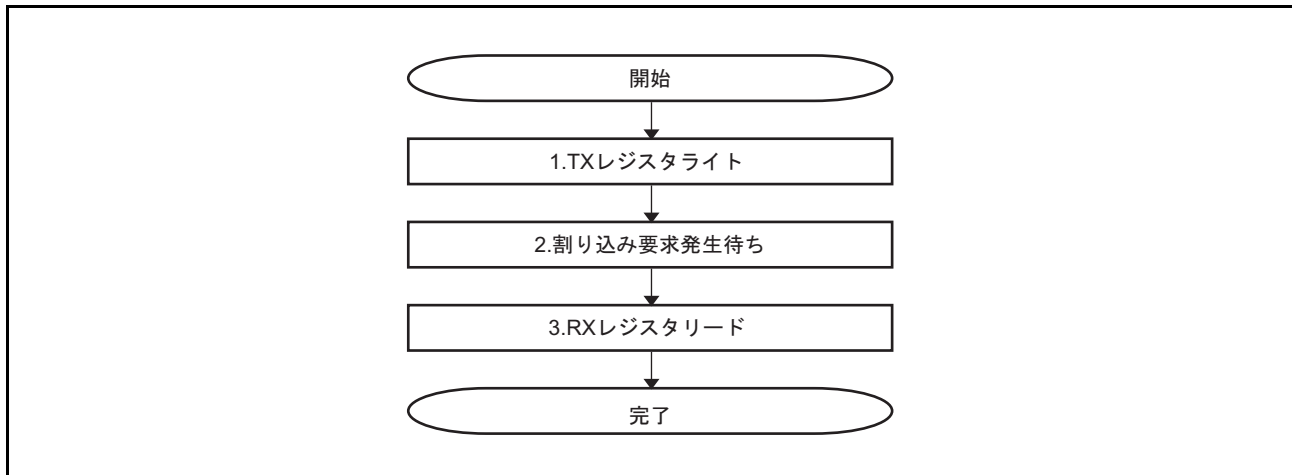


図 23.10 MDIO 通信の通常動作フロー

1. TX レジスタライト

実施する MDIO 通信の内容を TX レジスタに書き込むことにより、MDIO 通信を開始します。

2. 割り込み要求発生待ち

MDIO 通信が完了し、INT_END 割り込み要求が発生するのを待ちます。

3. RX レジスタリード

RX レジスタから MDIO 通信結果を読み込みます。また、RX レジスタリードにより INT_END 割り込みも解除されます。

23.2.4.3 連続動作設定

MDIO 通信を n 回連続実施するための連続動作設定について、図 23.11 に MDIO 通信の連続動作フローを記載します。

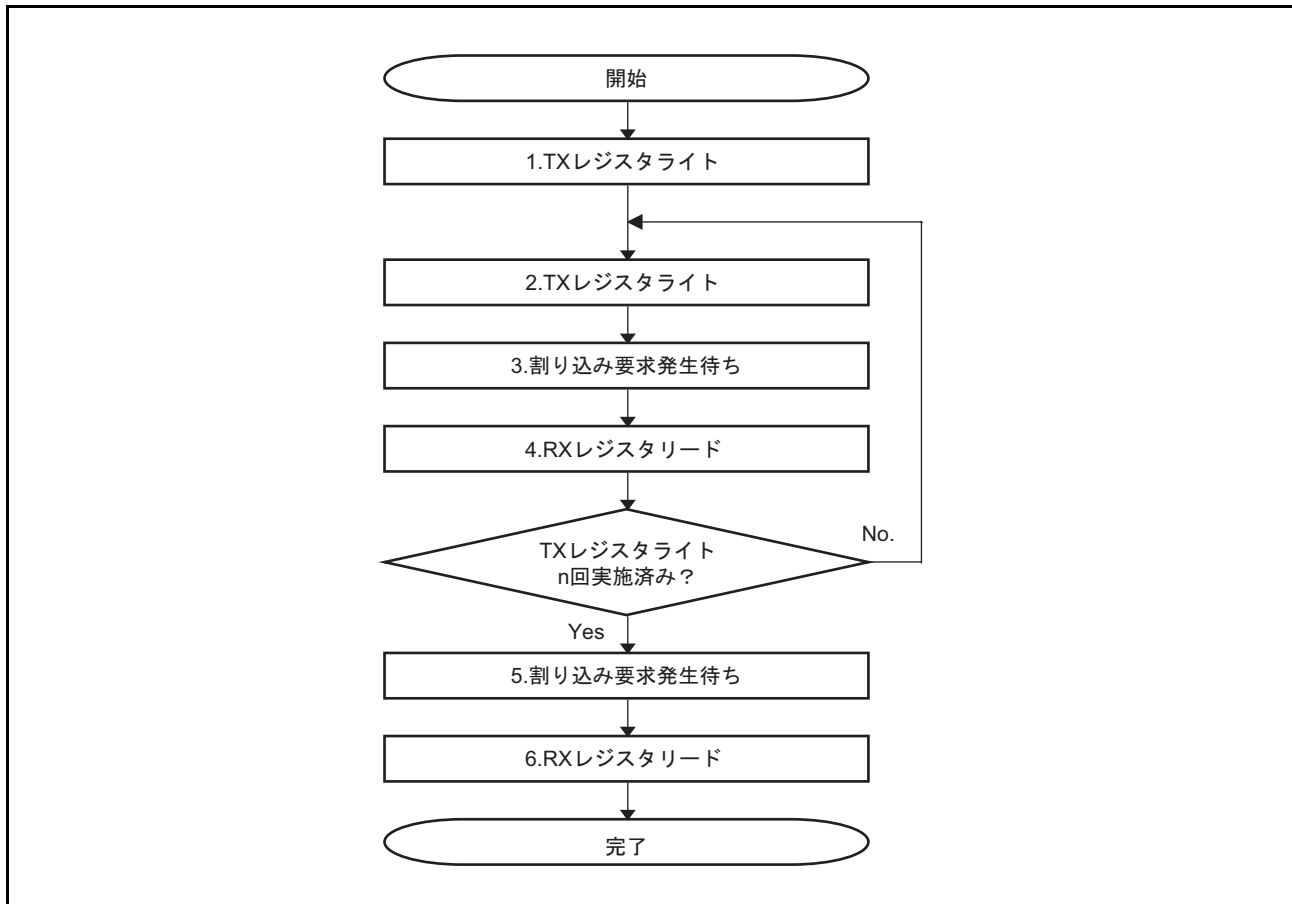


図 23.11 MDIO 通信の n 回連続動作フロー

1. TX レジスタライト
1 回目に実施する MDIO 通信の内容を TX レジスタに書き込むことにより、MDIO 通信を開始します。
2. TX レジスタライト
i 回目 (i は 1 から n-1 までの値) の MDIO 通信中に、i+1 回目に実施する MDIO 通信の内容を TX レジスタに書き込むことにより、i 回目の MDIO 通信が完了した後 i+1 回目の MDIO 通信を開始するようになります。
3. 割り込み要求発生待ち
i 回目の MDIO 通信が完了し、INT_END 割り込み要求が発生するのを待ちます。
4. RX レジスタリード
RX レジスタから i 回目の MDIO 通信結果を読み込みます。また、RX レジスタリードにより INT_END 割り込みも解除されます。TX レジスタライトを n 回実施していない場合は 2. に戻ります。
5. 割り込み要求発生待ち
n 回目の MDIO 通信が完了し、INT_END 割り込み要求が発生するのを待ちます。
6. RX レジスタリード
RX レジスタから n 回目の MDIO 通信結果を読み込みます。また、RX レジスタリードにより INT_END 割り込みも解除されます。

24. FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA) を 4 チャンネル内蔵しています。SCIFA は、各チャンネルとも独立に送信と受信に 16 段の FIFO バッファを内蔵し、効率的かつ高速な連続通信を可能にしています。

24.1 概要

表 24.1 に SCIFA の仕様を示します。

表 24.1 SCIFA の仕様

項目		内容
チャンネル		4チャンネル
シリアル通信方式		調歩同期式、クロック同期式 (注2)
転送速度		内蔵ポーレートジェネレータにより任意のビットレートを設定可能
全二重通信		送信部：16段のFIFOバッファによる連続送信が可能 受信部：16段のFIFOバッファによる連続受信が可能
データ転送		LSBファースト/MSBファースト選択可能
割り込み要因		6要因 <ul style="list-style-type: none"> • トランスミットエンド (TEIF) • 送信FIFOデータエンpty (TXIF) • 受信FIFOデータフル (RXIF) • 受信データレディ (DRIF) (注1) • フレーミングエラーまたはパリティエラー (ERIF) • ブレークまたはオーバラン (BRIF)
調歩同期式モード	キャラクタ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出	パリティエラー、オーバランエラー、フレーミングエラーを受信エラーとして検出
	ハードウェアフロー制御	CTS#端子、RTS#端子を用いた送受信制御が可能
	ブレーク検出	ハードウェアによるブレーク信号検出機能
	クロックソース	内部クロック/外部クロックから選択
	ノイズ除去	RXD端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	キャラクタ長	8ビット
	受信エラー検出	オーバランエラーを受信エラーとして検出
	クロックソース	内部クロック/外部クロックから選択
ビットレートモジュレーション機能		内蔵ポーレートジェネレータの出力補正により誤差を低減可能

注1. 調歩同期式モードのときのみ有効

注2. チャンネル4は調歩同期式のみ。クロック同期式は非対応

図 24.1 に SCIFA のブロック図を示します。

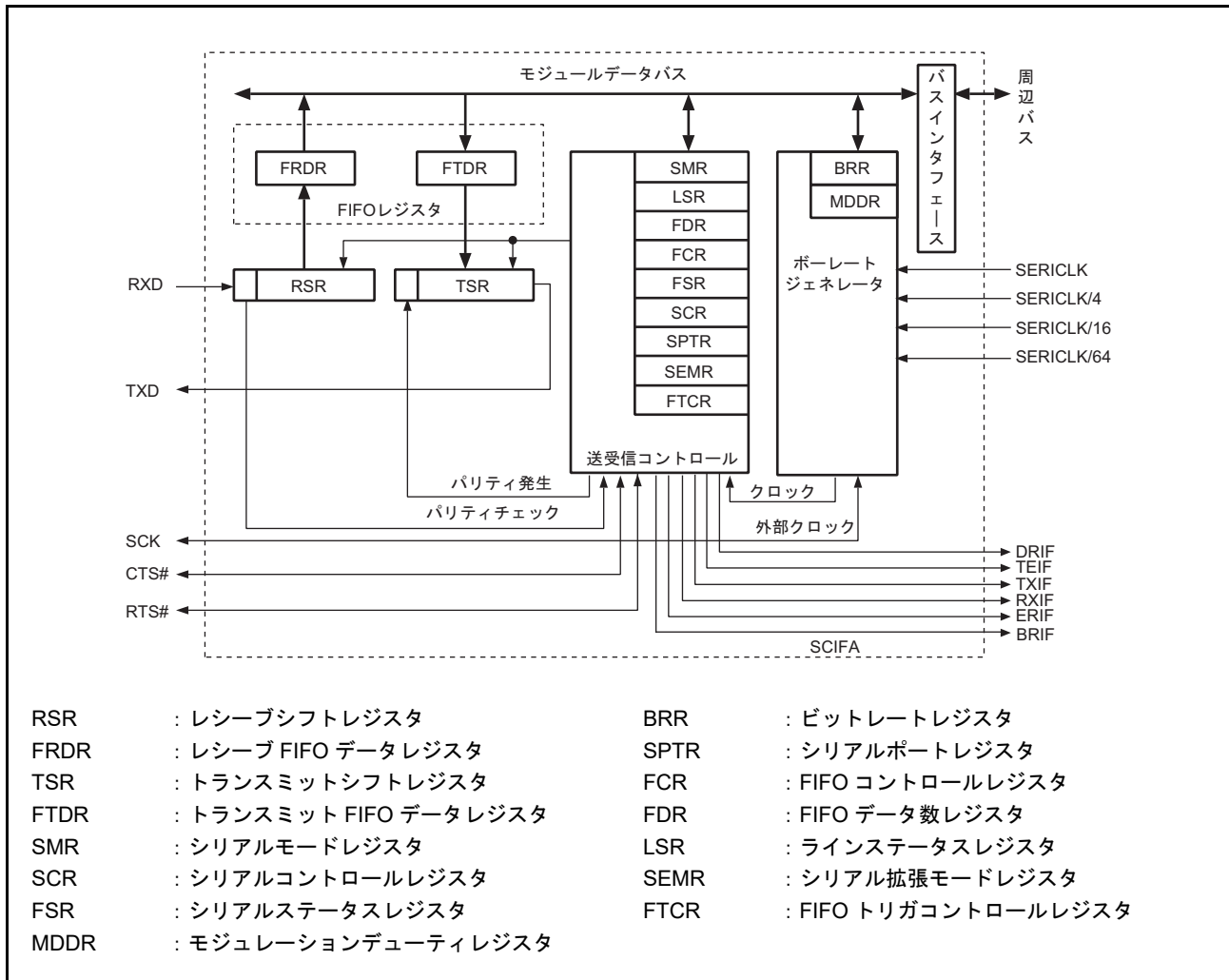


図 24.1 SCIFA のブロック図

表 24.2 に SCIFA の入出力端子を示します。

表 24.2 SCIFAの入出力端子

名称	端子名	入出力	機能
シリアルクロック端子	SCK	入出力	送受信クロック入出力／汎用出力
受信データ端子	RXD	入力	受信データ入力
送信データ端子	TXD	出力	送信データ出力
送受信開始制御端子	CTS#	入出力	ハードウェアフロー制御用入力 (送信可信号)／汎用出力
	RTS#	出力	ハードウェアフロー制御用出力 (送信要求信号)／汎用出力

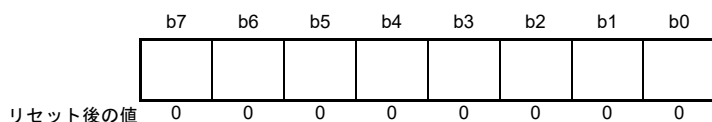
注. 各端子名のチャンネルは省略して表記しています。

24.2 レジスタの説明

24.2.1 レシーブシフトレジスタ (RSR)

RSR レジスタは、受信したシリアルデータを一時格納するレジスタです。SCIFA は、RXD 端子に入力されたシリアルデータを RSR レジスタに格納します。1 バイトのデータ受信が終了すると、データは自動的にレシーブ FIFO データレジスタ (FRDR) に転送されます。

CPU から直接 RSR レジスタの読み出し／書き込みはできません。



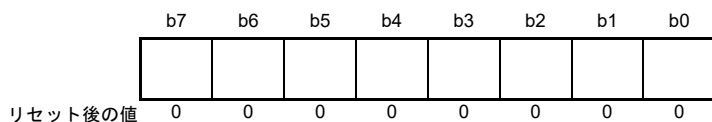
24.2.2 レシーブ FIFO データレジスタ (FRDR)

FRDR レジスタは、受信したシリアルデータを格納する 8 ビット 16 段の FIFO レジスタです。SCIFA は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (RSR) から FRDR レジスタに受信したシリアルデータを転送し、受信動作を完了します。16 バイトの受信データの格納が終了するまで、連続した受信動作が可能です。レシーブ FIFO データレジスタに受信データがない状態で FRDR レジスタを読み出した場合、不定値が読めます。

FRDR レジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

CPU は FRDR レジスタに対する読み出しはできますが、書き込みはできません。

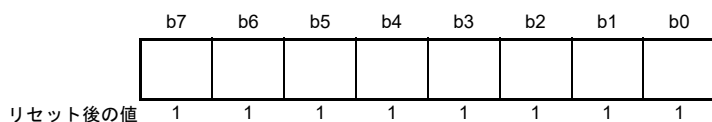
アドレス SCIFA0.FRDR A006 500Ah、SCIFA1.FRDR A006 540Ah、SCIFA2.FRDR A006 580Ah、SCIFA4.FRDR A006 600Ah



24.2.3 トランスミットシフトレジスタ (TSR)

SCIFA は、トランスミット FIFO データレジスタ (FTDR) から送信データをいったん TSR レジスタに転送し、TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータを送信後、自動的に FTDR レジスタから TSR レジスタに次の送信データを転送し、送信を開始します。

CPU から、直接 TSR レジスタの読み出し／書き込みはできません。



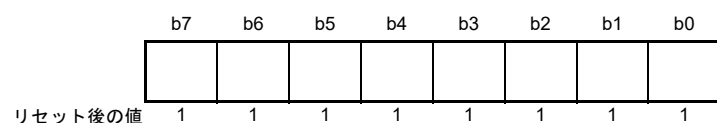
24.2.4 トランスミットFIFOデータレジスタ (FTDR)

FTDR レジスタは、シリアル送信データを格納する8ビット16段のFIFOレジスタです。SCIFAは、トランスミットシフトレジスタ (TSR) の空を検出すると、FTDR レジスタに書き込まれた送信データをTSRレジスタに転送してシリアル送信を開始します。FTDR レジスタの送信データが空になるまで連続してシリアル送信ができます。FTDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXIF) 要求が発生したときに行ってください。

FTDR レジスタが送信データでいっぱい (16バイト) になると、次のデータを書き込むことができません。書き込みを行ってもデータは無視されます。

CPUはFTDRレジスタに対する書き込みはできますが、読み出しはできません。

アドレス SCIFA0.FTDR A006 5006h、SCIFA1.FTDR A006 5406h、SCIFA2.FTDR A006 5806h、SCIFA4.FTDR A006 6006h

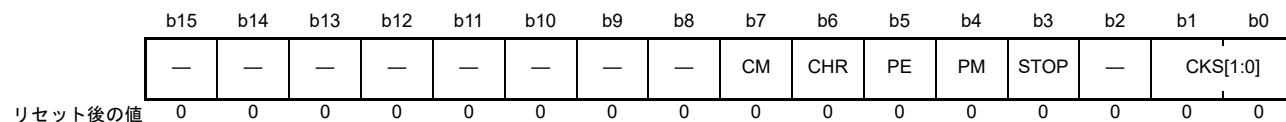


24.2.5 シリアルモードレジスタ (SMR)

SMR レジスタは、SCIFAのシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するためのレジスタです。

SMR レジスタは、常にCPUによる読み出し/書き込みが可能です。

アドレス SCIFA0.SMR A006 5000h、SCIFA1.SMR A006 5400h、SCIFA2.SMR A006 5800h、SCIFA4.SMR A006 6000h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 00: SERICLKクロック (注1) 01: SERICLK/4クロック (注1) 10: SERICLK/16クロック (注1) 11: SERICLK/64クロック (注1)	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	STOP	ストップビットレングスビット	0: 1ストップビット 1: 2ストップビット	R/W
b4	PM	パリティモードビット	0: 偶数パリティ 1: 奇数パリティ	R/W
b5	PE	パリティ許可ビット	0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可	R/W
b6	CHR	キャラクタレングスビット	0: 8ビットデータ 1: 7ビットデータ (注2)	R/W
b7	CM	コミュニケーションモードビット	0: 調歩同期式モード 1: クロック同期式モード	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. SERICLK: 周辺クロック

注2. 7ビットデータを選択した場合、トランスミットFIFOデータレジスタのMSB (b7) は送信されません。

CKS[1:0] ビット (クロックセレクト選択ビット)

内蔵ボーレートジェネレータの内部クロックソースを選択します。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「24.2.8 ビットレートレジスタ (BRR)」を参照してください。

STOP ビット (ストップビットレングスビット)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合、ストップビットは付加されませんので、このビットの設定は無効です。なお、受信時はSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。

ストップビットの2ビット目が“1”の場合はストップビットとして扱いますが、“0”の場合は次の送信キャラクタのスタートビットとして扱います。

注. STOP ビットが“1”で送信時は、送信キャラクタの最後尾に1ビットの“1” (ストップビット) を付加して送信します。

注. STOP ビットが“2”で送信時は、送信キャラクタの最後尾に2ビットの“1” (ストップビット) を付加して送信します。

PM ビット (パリティモードビット)

パリティチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。本ビットの設定は、調歩同期式モード、かつ本レジスタのPE ビットに“1”を設定したときのみ有効になります。クロック同期式モード、または調歩同期式モードでパリティの付加、およびチェックを禁止している場合、本ビットの指定は無効です。

注. 偶数パリティに設定した場合、送信時には、パリティビットと送信キャラクタをあわせて、その中の“1”の数の合計が偶数になるようにパリティビットを付加して送信します。受信時は、パリティビットと受信キャラクタをあわせて、その中の“1”の数の合計が偶数かどうかをチェックします。

注. 奇数パリティに設定した場合、送信時には、パリティビットと送信キャラクタをあわせて、その中の“1”の数の合計が奇数になるようにパリティビットを付加して送信します。受信時は、パリティビットと受信キャラクタをあわせて、その中の“1”の数の合計が奇数かどうかをチェックします。

PE ビット (パリティイネーブル許可ビット)

調歩同期式モードでの送信時のパリティビット付加、受信時のパリティビットチェックの許可/禁止を選択します。クロック同期式モードでは、本ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。

注. 本ビットに“1”をセットすると、送信時にはPM ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがPM ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。

CHR ビット (キャラクタレングスビット)

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は8ビットデータ固定です。

CM ビット (コミュニケーションモードビット)

SCIFA の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

24.2.6 シリアルコントロールレジスタ (SCR)

SCR レジスタは、SCIFA の送信/受信動作、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行うレジスタです。SCR レジスタは、常に CPU による読み出し/書き込みが可能です。

アドレス SCIFA0.SCR A006 5004h、SCIFA1.SCR A006 5404h、SCIFA2.SCR A006 5804h、SCIFA4.SCR A006 6004h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可ビット	(調歩同期式モードの場合) b1 b0 0 0: 内部クロック/SCK端子は、入力端子(入力信号は無視)。SCK端子の状態はSPTRのSCKIOビット、SCKDTビットに依存します。 0 1: 内部クロック/SCK端子はクロック出力(ビットレートの16倍または8倍の周波数のクロックを出力) 1 0: 外部クロック/SCK端子はクロック入力(ビットレートの16倍または8倍の周波数のクロックを入力) 1 1: 設定しないでください (クロック同期式モードの場合)(注2) b1 b0 0 0: 内部クロック/SCK端子は同期クロック出力 0 1: 内部クロック/SCK端子は同期クロック出力 1 0: 外部クロック/SCK端子は同期クロック入力 1 1: 設定しないでください	R/W
b2	TEIE (注1)	トランスミットエンドインタラプト許可ビット	0: トランスミットエンド割り込み (TEIF) 要求を禁止 1: トランスミットエンド割り込み (TEIF) 要求を許可	R/W
b3	REIE	レシーブエラーインタラプト許可ビット	0: 受信エラー割り込み (ERIF) 要求、ブレーク割り込み (BRIF) 要求を禁止 1: 受信エラー割り込み (ERIF) 要求、ブレーク割り込み (BRIF) 要求を許可	R/W
b4	RE	レシーブ許可ビット	0: 受信動作を禁止 1: 受信動作を許可	R/W
b5	TE	トランスミット許可ビット	0: 送信動作を禁止 1: 送信動作を許可	R/W
b6	RIE	レシーブインタラプト許可ビット	0: 受信FIFOデータフル割り込み (RXIF) 要求、受信データレディ割り込み (DRIF) 要求、受信エラー割り込み (ERIF) 要求、およびブレーク割り込み (BRIF) 要求を禁止 1: 受信FIFOデータフル割り込み (RXIF) 要求、受信データレディ割り込み (DRIF) 要求、受信エラー割り込み (ERIF) 要求、およびブレーク割り込み (BRIF) 要求を許可	R/W
b7	TIE	トランスミットインタラプト許可ビット	0: 送信FIFOデータエンpty割り込み (TXIF) 要求を禁止 1: 送信FIFOデータエンpty割り込み (TXIF) 要求を許可	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. TEIF割り込み要求を解除するには、TENDフラグの“1”を読み出した後、“0”にクリアするか、TEIEビットを“0”にしてください。

注2. チャネル4はクロック同期式モードに対応していません。

CKE[1:0] ビット (クロック許可ビット)

SCIFA のクロックソースの選択、および SCK 端子からのクロック出力の許可/禁止を設定します。本ビットで SCK 端子をシリアルクロック出力端子にするか、シリアルクロック入力端子にするかを選択します。クロック同期式モードで、SCK 端子を同期クロック出力に設定する場合は、SMR レジスタの CM ビットを“1”に設定してから本ビットを設定してください。設定内容を表 24.15 に示します。

REIE ビット (レシーブエラーインタラプト許可ビット)

受信エラー割り込み (ERIF) 要求、ブレーク割り込み (BRIF) 要求の許可/禁止を設定します。本ビットの設定は RIE ビットが“0”のときのみ有効です。

- 注. ERIF 割り込み要求の解除は、FSR レジスタの ER ビットの“1”を読み出した後、“0”にクリアするか、本レジスタの RIE、REIE ビットを共に“0”にクリアすることで行います。BRIF 割り込み要求の解除は、FSR レジスタの BRK ビット、LSR レジスタの ORER フラグの“1”を読み出した後、“0”にクリアするか、本レジスタの RIE、REIE ビットを共に“0”にクリアすることで行います。

RE ビット (レシーブ許可ビット)

シリアル受信動作の許可/禁止を設定します。

- 注. 本ビットを“0”に設定しても FSR レジスタの DR、ER、BRK、RDF、FER、PER、LSR レジスタの ORER の各ビットは影響を受けず、状態を保持しますので注意してください。
- 注. 受信動作を許可した状態で、調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力を検出すると、シリアル受信を開始します。なお、本ビットを“1”にセットする前に必ずシリアルモードレジスタ (SMR)、FIFO コントロールレジスタ (FCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。

TE ビット (トランスミット許可ビット)

シリアル送信動作の許可/禁止を設定します。

- 注. 送信動作を許可した状態で、FTDR レジスタに送信データを書き込むとシリアル送信を開始します。なお、本ビットを“1”にセットする前に、必ず SMR レジスタおよび FCR レジスタの設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。

RIE ビット (レシーブインタラプト許可ビット)

シリアルステータスレジスタ (FSR) の RDF フラグが“1”にセットされたときの受信 FIFO データフル割り込み (RXIF) 要求、FSR レジスタの DR フラグが“1”にセットされたときの受信データレディ割り込み (DRIF) 要求、FSR レジスタの ER フラグが“1”にセットされたときの受信エラー割り込み (ERIF) 要求、および FSR レジスタの BRK フラグまたはラインステータスレジスタ (LSR) の ORER フラグが“1”にセットされたときのブレーク割り込み (BRIF) 要求の許可/禁止を設定します。

- 注. RXIF 割り込み要求の解除は、FSR レジスタの DR または RDF フラグの“1”を読み出した後、“0”にクリアするか、本ビットを“0”にクリアすることで行えます。DRIF 割り込み要求の解除は、FSR レジスタの DR フラグの“1”を読み出した後、“0”にクリアするか、本レジスタの RIE ビットを“0”にクリアすることで行います。受信エラー割り込み (ERIF) 要求、およびブレーク割り込み (BRIF) 要求の解除は、本レジスタの RIE ビット、および REIE ビットを共に“0”にクリアすることで行います。

TIE ビット (トランスミットインタラプト許可ビット)

トランスミット FIFO データレジスタ (FTDR) からトランスミットシフトレジスタ (TSR) へシリアル送信データが転送され、トランスミット FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (FSR) の TDFE フラグが“1”にセットされたときの、送信 FIFO データエンpty割り込み (TXIF) 要求の許可/禁止を設定します。

- 注. TXIF 割り込み要求の解除は、FTDR レジスタに指定した送信トリガ数より多い量の送信データを書き込み、FSR レジスタの TDFE フラグの“1”を読み出した後、TDFE フラグを“0”にクリアするか、または本ビットを“0”にクリアすることで行うことができます。

24.2.7 シリアルステータスレジスタ (FSR)

FSR レジスタは、16 ビットのレジスタです。下位 8 ビットは SCIFA の動作状態を示すステータスフラグです。

FSR レジスタは常に CPU から読み出し/書き込みができます。ただし、本レジスタの ER、TEND、TDFE、BRK、RDF、DR ビット (各ステータスフラグ) に“1”を書き込むことはできません。また、これらのビットを“0”にクリアする場合は、あらかじめ“1”を読み出ししておく必要があります。さらに、b3 (FER)、および b2 (PER) は読み出し専用であり、書き込むことはできません。

アドレス SCIFA0.FSR A006 5008h、SCIFA1.FSR A006 5408h、SCIFA2.FSR A006 5808h、SCIFA4.FSR A006 6008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DR	レシーブデータレディフラグ	0: 受信中であるか、正常に受信完了後、FRDR レジスタに受信データが残っていないことを表示 1: 次の受信データが受信されていないことを表示	R/(W) (注1)
b1	RDF	受信FIFOデータフルフラグ	0: FRDR レジスタの受信データ数が指定受信トリガ数より少ないことを表示 1: FRDR レジスタの受信データ数が指定受信トリガ数以上であることを表示	R/(W) (注1)
b2	PER	パリティエラーフラグ	0: 次にFRDR レジスタから読み出す受信データにパリティエラーが発生しなかったことを表示 1: 次にFRDR レジスタから読み出す受信データにパリティエラーが発生したことを表示	R
b3	FER	フレーミングエラーフラグ	0: 次にFRDR レジスタから読み出す受信データにフレーミングエラーが発生しなかったことを表示 1: 次にFRDR レジスタから読み出す受信データにフレーミングエラーが発生したことを表示	R
b4	BRK	ブレーク検出フラグ	0: ブレーク信号なし 1: ブレーク信号を受信 (注2)	R/(W) (注1)
b5	TDFE	トランスミットFIFOデータエンptyフラグ	0: FTDR レジスタに書き込んだ送信データ数が指定送信トリガ数より多いことを表示 1: FTDR レジスタに書き込んだ送信データ数が指定送信トリガ数以下であることを表示 (注3)	R/(W) (注1)
b6	TEND	トランスミットエンドフラグ	0: 送信待機中または送信中であることを表示 1: 送信が終了したことを表示	R/(W) (注1)
b7	ER	受信エラーフラグ	0: 受信中、または正常に受信が完了したことを表示 1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示	R/(W) (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

注2. ブレーク信号が検出されると、検出後のFRDRレジスタへの受信データ (00h) の転送は停止します。ブレークが終了し、受信信号がマーク状態 (ハイレベル) になると、受信データの転送を再開します。

注3. FTDRレジスタは16バイトのFIFOレジスタのため、TDFE = 1の状態でも書き込むことができるデータの最大数は「16から未送信データ数を引いた数」になります。それ以上のデータを書き込んでもデータは無視されます。FTDRレジスタのデータ数はFDRレジスタの上位8ビットで示されます。

DR ビット (レシーブデータレディビットフラグ)

調歩同期式モードで、レシーブ FIFO データレジスタ (FRDR) に指定した受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU (注1) の時間経過後も次のデータが受信されていないことを示します。クロック同期式モードの場合はセットされません。

["1" になる条件]

- FRDR レジスタのデータ数が指定した受信トリガ数未満 (注2) であり、最後のストップビットから 15ETU 時間経過 (注1) 後も次のデータが受信されないとき

["0" になる条件]

以下のいずれかの条件成立時

- DR = 1 の状態を読み出した後、DR フラグに "0" を書き込んだとき
- FRDR レジスタ内の受信データをすべて読み出したとき

注1. 8ビット、1ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)

注2. FRDR レジスタ内の受信データをすべて読み出した場合は "0" になる条件が優先されます。

注. SCR の RE ビットを 0 にクリアしたときには、DR ビットは影響を受けず以前の状態を保持します。

RDF ビット (受信 FIFO データフルビットフラグ)

受信データがレシーブ FIFO データレジスタ (FRDR) に転送され、FRDR のデータ数が指定した受信トリガ数以上になったことを示します。

["1" になる条件]

- 指定受信トリガ数以上の受信データ数が FRDR レジスタに格納される時 (注1)

["0" になる条件]

- RDF = 1 を読み出した後、FRDR レジスタの受信データ数が指定受信トリガ数より少なくなるまで FRDR レジスタを読み出し、本ビットに "0" を書き込んだとき

注1. FRDR レジスタは 16 バイトの FIFO レジスタであるため、本ビットが "1" のときに読み出すことができるデータの最大数は、指定受信トリガ数となります。FRDR レジスタのすべてのデータを読み出した後、さらに読み出しを続けると不定値が読めます。FRDR レジスタの受信データ数は FDR レジスタの下位 8 ビットで示されます。

PER ビット (パリティエラー表示ビットフラグ)

調歩同期式モードで、レシーブ FIFO データレジスタ (FRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。

["1" になる条件]

- 次の FRDR レジスタの読み出しデータにパリティエラーあり

["0" になる条件]

- 次の FRDR レジスタの読み出しデータにパリティエラーなし

FER ビット (フレーミングエラー表示ビットフラグ)

調歩同期式モードで、レシーブ FIFO データレジスタ (FRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。

["1" になる条件]

- 次の FRDR レジスタの読み出しデータにフレーミングエラーあり

["0" になる条件]

- 次の FRDR レジスタの読み出しデータにフレーミングエラーなし

BRK ビット (ブレイク検出ビットフラグ)

受信データにブレイク信号が検出されたことを示します。

["1"になる条件]

- フレーミングエラーを含むデータを受信し、引き続き1フレーム長以上、受信データがスペース0 (Low) の場合

["0"になる条件]

- BRK = 1 の状態を読み出した後、BRK フラグに "0" を書き込んだとき

TDFE ビット (送信トランスミット FIFO データエンptyビットフラグ)

トランスミット FIFO データレジスタ (FTDR) からトランスミットシフトレジスタ (TSR) にデータが転送され、FTDR レジスタのデータ数が指定した送信トリガ数以下になり、FTDR レジスタへの送信データの書き込みが許可されることを示します。

["1"になる条件]

以下のいずれかの条件成立時

- SCR.TE ビットが "0" のとき
- FTDR レジスタに書き込んだ送信データ数が指定した送信トリガ数以下のとき

["0"になる条件]

- TDFE = 1 の状態を読み出した後、TDFE ビットに "0" を書き込んだとき

TEND ビット (トランスミットエンドビットフラグ)

送信データの最後のビットを送出時に、FTDR レジスタに有効なデータがなく、送信が終了したことを示します。

["1"になる条件]

- 1 バイトのシリアル送信データの最後のビットを送出した際、FTDR レジスタに送信データがないとき

["0"になる条件]

以下のいずれかの条件成立時

- FTDR レジスタへの送信データ書き込み
- TEND = 1 の状態を読み出した後、TEND フラグに "0" を書き込んだとき

ER ビット (受信エラービットフラグ)

フレーミングエラー、またはパリティを付加したデータの受信時にパリティエラーが発生したことを示します。(注1)

["1"になる条件]

以下のいずれかの条件成立時

- 1回のデータ受信の終わりで受信データのストップビットが "1" であるかどうかをチェックし、ストップビットが "0" だったとき (注2)
- 受信時の受信データとパリティビットを合わせた "1" の数が、シリアルモードレジスタ (SMR) の PM ビットで指定した偶数パリティ/奇数パリティの設定値と一致しなかったとき

["0"になる条件]

- ER = 1 の状態を読み出した後、"0" を書き込んだとき

注1. SCR レジスタの RE ビットを "0" にクリアした場合、本ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは FRDR レジスタに転送され受信動作は継続します。FRDR レジスタから読み出したデータに受信エラーが含まれるかどうかは、FSR レジスタの FER ビットと PER ビットで判定できます。

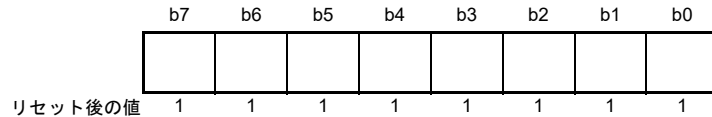
注2. 2ストップモードのときは第1ストップビットのみチェックし、第2ストップビットはチェックされません。

24.2.8 ビットレートレジスタ (BRR)

BRR レジスタは、シリアルモードレジスタ (SMR) の CKS[1:0] で選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。

BRR レジスタは MDDR レジスタと同一のアドレスに配置されており、SEMR.MDDRS=0 の場合に選択され、CPU による読み出し/書き込みが可能です。SCR レジスタの TE=RE=0 の状態で書いてください。

アドレス SCIFA0.BRR A006 5002h、SCIFA1.BRR A006 5402h、SCIFA2.BRR A006 5802h、SCIFA4.BRR A006 6002h



BRR レジスタの設定値は以下の計算式で求められます。

【調歩同期式モード】

- ボーレートジェネレータ通常モード (SEMR.BGDM=0)

$$N = \frac{\text{SERICKL}}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0=0) で動作時)

$$N = \frac{\text{SERICKL}}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0=1) で動作時)

- ボーレートジェネレータ倍速モード (SEMR.BGDM=1)

$$N = \frac{\text{SERICKL}}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0=0) で動作時)

$$N = \frac{\text{SERICKL}}{16 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0=1) で動作時)

【クロック同期式モード】

$$N = \frac{\text{SERICKL}}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: ビットレート (bit/s)

N: BRR レジスタの設定値 ($0 \leq N \leq 255$) (電气的特性を満足する設定値としてください)

SERICKL: 周辺モジュール用動作周波数 (MHz)

n: ボーレートジェネレータ入力クロック ($n=0, 1, 2, 3$) (n とクロックの関係は、表 24.3 を参照してください)

注. ビットレートは、MDDR レジスタにより補正することができます。詳細は、「24.2.9 モジュレーション デューティレジスタ (MDDR)」を参照してください。

表24.3 SMRレジスタの設定

n	クロック	SMR.CKS[1:0]ビットの設定値	
		b1	b0
0	SERICKL	0	0
1	SERICKL/4	0	1
2	SERICKL/16	1	0
3	SERICKL/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード (SEMR.BGDM = 0)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICKL} \times 10^6}{(\text{N} + 1) \times \text{B} \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICKL} \times 10^6}{(\text{N} + 1) \times \text{B} \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

- ボーレートジェネレータ倍速モード (SEMR.BGDM = 1)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICKL} \times 10^6}{(\text{N} + 1) \times \text{B} \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICKL} \times 10^6}{(\text{N} + 1) \times \text{B} \times 16 \times 2^{2n-1}} - 1 \right\} \times 100$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

表 24.4 に調歩同期式モードの BRR レジスタの設定例を、表 24.5 にクロック同期式モードの BRR レジスタの設定例を示します。

表 24.4 ビットレートに対する BRR レジスタの設定例 (調歩同期式モード)

ビットレート (bps)	SERICLK (MHz)					
	120			150		
	n	N	誤差 (%)	n	N	誤差 (%)
150						
300	3	194	0.16	3	243	0.06
600	3	97	-0.35	3	121	0.06
1200	2	194	0.16	2	243	0.06
2400	2	97	-0.35	2	121	0.06
4800	1	194	0.16	1	243	0.06
9600	1	97	-0.35	1	121	0.06
14400	1	64	0.16	1	80	0.47
19200	0	194	0.16	0	243	0.06
28800	0	129	0.16	0	162	-0.15
31250	0	119	0	0	149	0
38400	0	97	-0.35	0	121	0.06
115200				0	40	-0.76
500000						

注. SEMR.ABCS0ビットとSEMR.BGDMビットが両方とも“0”のときの値です。
SEMR.ABCS0ビットとSEMR.BGDMビットのいずれか一方を“1”にしたときは、ビットレートが2倍になります。
SEMR.ABCS0ビットとSEMR.BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。
誤差は、1%以内になるように設定してください。
また、空欄のビットレート設定については、MDDRレジスタを使用することで設定が可能です。詳細は「24.2.9 モジュレーションデューティレジスタ (MDDR)」と表 24.10 を参照してください。

表 24.5 ビットレートに対する BRR レジスタの設定例 (クロック同期式モード)

ビットレート (bps)	SERICLK (MHz)			
	120		150	
	n	N	n	N
250				
500				
1000				
2500	3	187	3	233
5000	3	93	3	116
10000	2	187	2	233
25000	2	74	2	93
50000	1	149	1	187
100000	1	74	1	93
250000	0	119	0	149
500000	0	59	0	74
1000000	0	29	0	37
2500000	0	11	0	14
5000000	0	5	0	7

空欄：設定できません。

注. 誤差は、1%以内になるように設定してください。

表 24.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを、表 24.7 にボーレートジェネレータを使用する場合のクロック同期式モードの各周波数における最大ビットレートを示します。また、表 24.8 に外部クロック入力時の調歩同期式モードの最大ビットレートを、表 24.9 に外部クロック入力時のクロック同期式モードの最大ビットレートを示します。

表 24.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

SERICKL (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
120	15000000	0	0
150	18750000	0	0

注. SEMR.ABCS0 ビットと SEMR.BGDM ビットが両方とも“1”のときの値です。
SEMR.ABCS0 ビットと SEMR.BGDM ビットのいずれか一方を“1”にしたときは、ビットレートが1/2になります。
SEMR.ABCS0 ビットと SEMR.BGDM ビットを両方とも“0”にしたときは、ビットレートが1/4になります。

表 24.7 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (クロック同期式モード)

SERICKL (MHz)	非連続送信/受信時			連続送信/受信時		
	最大ビットレート (bit/s)	設定値		最大ビットレート (bit/s)	設定値	
		n	N		n	N
120	30000000	0	0	15000000	0	1
150	37500000	0	0	18750000	0	1

表 24.8 外部クロック入力時の最大ビットレート (調歩同期式モード)

SERICKL (MHz)	外部入カクロック (MHz)	最大ビットレート (bit/s)
120	30	3750000
150	37.5	4687500

注. SEMR.ABCS0 ビット = 1 のときの例です。ABCS0 ビット = 0にしたときは、ビットレートが1/2 になります。

表 24.9 外部クロック入力時の最大ビットレート (クロック同期式モード)

SERICKL (MHz)	外部入カクロック (MHz)	最大ビットレート (bit/s)
120	10	10000000
150	12.5	12500000

24.2.9 モジュレーションデューティレジスタ (MDDR)

MDDR レジスタは、BRR レジスタにより調整されたビットレートを補正するためのレジスタです。MDDR レジスタのリセット後の値は“FFh”です。SEMR.BRME ビットが“1”にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に MDDR/256 に補正します。MDDR レジスタの設定値とビットレート B の関係を下記の計算式に示します。MDDR レジスタは BRR レジスタと同一のアドレスに配置されており、SEMR.MDDRS ビット = 1 の場合に選択されます。SCR レジスタの TE = RE = 0 の場合のみライト可能です。ビット 7 は“1”に固定されています。

アドレス SCIFA0.MDDR A006 5002h、SCIFA1.MDDR A006 5402h、SCIFA2.MDDR A006 5802h、SCIFA4.MDDR A006 6002h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

ビットレートモジュレーション機能使用時の MDDR レジスタの設定値とビットレート B の関係は以下の計算式になります。

【調歩同期式モード】

- ボーレートジェネレータ通常モード (SEMR.BGDM = 0)

$$B = \frac{\text{SERICKL} \times 10^6}{64 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N + 1)}$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$B = \frac{\text{SERICKL} \times 10^6}{32 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N + 1)}$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

- ボーレートジェネレータ倍速モード (SEMR.BGDM = 1)

$$B = \frac{\text{SERICKL} \times 10^6}{32 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N + 1)}$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$B = \frac{\text{SERICKL} \times 10^6}{16 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N + 1)}$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

【クロック同期式モード】

$$B = \frac{\text{SERICKL} \times 10^6}{8 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N + 1)}$$

調歩同期式モードでビットレートモジュレーション機能を使用した場合のビットレート平均誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード (SEMR.BGDM = 0)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICKL} \times 10^6}{\text{B} \times 64 \times 2^{2n-1} \times (256/\text{MDDR}) \times (\text{N} + 1)} - 1 \right\} \times 100$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICKL} \times 10^6}{\text{B} \times 32 \times 2^{2n-1} \times (256/\text{MDDR}) \times (\text{N} + 1)} - 1 \right\} \times 100$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

- ボーレートジェネレータ倍速モード (SEMR.BGDM = 1)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICKL} \times 10^6}{\text{B} \times 32 \times 2^{2n-1} \times (256/\text{MDDR}) \times (\text{N} + 1)} - 1 \right\} \times 100$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICKL} \times 10^6}{\text{B} \times 16 \times 2^{2n-1} \times (256/\text{MDDR}) \times (\text{N} + 1)} - 1 \right\} \times 100$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

B : ビットレート (bit/s)

N : BRR レジスタの設定値 ($0 \leq N \leq 255$) (電気的特性を満足する設定値としてください)

SERICKL : 周辺モジュール用動作周波数 (MHz)

MDDR : MDDR レジスタの設定値 ($128 \leq \text{MDDR} \leq 255$)

n : ボーレートジェネレータ入カクロック ($n = 0, 1, 2, 3$) (n とクロックの関係は、表 24.3 を参照してください)

表24.10 ビットレートに対するBRR、MDDRレジスタの設定例 (調歩同期式モード)

ビットレート (bps)	SERICLK (MHz)							
	120				150			
	n	N	MDDR	誤差 (%)	n	N	MDDR	誤差 (%)
150	3	205	135	-0.003	3	247	130	-0.018
300	3	176	232	0.001	3	205	216	-0.003
600	2	205	135	-0.003	3	102	216	-0.003
1200	2	176	232	0.001	2	205	216	-0.003
2400	1	205	135	-0.003	2	102	216	-0.003
4800	1	176	232	0.001	1	205	216	-0.003
9600	0	205	135	-0.003	1	102	216	-0.003
14400	0	176	174	0.001	0	205	162	-0.003
19200	0	176	232	0.001	0	205	216	-0.003
28800	0	117	232	0.001	0	102	162	-0.003
31250	0	59	128	0.000	0	74	128	0.000
38400	0	73	194	0.007	0	102	216	-0.003
115200	0	21	173	-0.009	0	23	151	0.003
500000	0	6	239	0.028	0	6	191	-0.077

注. SEMR.ABCS0ビットとSEMR.BGDMビットが両方とも“0”のときの値です。
SEMR.ABCS0ビットとSEMR.BGDMビットのいずれか一方を“1”にしたときは、ビットレートが2倍になります。
SEMR.ABCS0ビットとSEMR.BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。
誤差は、1%以内になるように設定してください。

24.2.10 FIFOコントロールレジスタ (FCR)

FCRレジスタは、トランスミットFIFOデータレジスタ (FTDR) およびレシーブFIFOデータレジスタ (FRDR) のデータ数のリセット、トリガ数の設定を行うレジスタです。また、本レジスタ設定により、ループバックテストを行うことができます。

FCRレジスタは、常にCPUによる読み出し/書き込みが可能です。

アドレス SCIFA0.FCR A006 500Ch、SCIFA1.FCR A006 540Ch、SCIFA2.FCR A006 580Ch、SCIFA4.FCR A006 600Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RSTRG[2:0]		RTRG[1:0]		TTRG[1:0]	MCE	TFRST	RFRST	LOOP		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LOOP	ループバックテストビット	0 : ループバックテストを禁止 1 : ループバックテストを許可	R/W
b1	RFRST	レシーブFIFOデータレジスタリセットビット	0 : 通常動作 1 : FRDRレジスタをリセット	R/W
b2	TFRST	トランスミットFIFOデータレジスタリセットビット	0 : 通常動作 1 : FTDRレジスタをリセット	R/W
b3	MCE	モデムコントロール許可ビット	0 : モデム信号を禁止 (注1) 1 : モデム信号を許可	R/W
b5-b4	TTRG[1:0]	トランスミットFIFOデータ数トリガ選択ビット	b5 b4 00 : 8 (8) (注2) 01 : 4 (12) (注2) 10 : 2 (14) (注2) 11 : 0 (16) (注2)	R/W
b7-b6	RTRG[1:0]	レシーブFIFOデータ数選択トリガビット	(調歩同期式モードの場合) b7 b6 00 : 1 01 : 4 10 : 8 11 : 14 (クロック同期式モードの場合) b7 b6 00 : 1 01 : 2 10 : 8 11 : 14	R/W
b10-b8	RSTRG[2:0]	RTS#出力アクティブトリガ数選択ビット	b10 b8 000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. CTS#の入力レベルは送信動作に影響しません。また、RTS#の入力レベルは受信動作に影響しません。

注2. () 内の数値はTDFEフラグが“1”にセットされ、送信FIFOデータエンプティ割り込み (TXIF) 要求が発生するときのFTDRレジスタの空きバイト数を意味します。

LOOP ビット (ループバックテストビット)

送信出力端子 (TXD) と受信入力端子 (RXD)、RTS# 端子と CTS# 端子を内部で接続しループバックテストを行います。

RFRST ビット (レシーブ FIFO データレジスタリセットビット)

レシーブ FIFO データレジスタ (FRDR) 内の受信データを無効にし、データを空の状態にします。なお“1”にセットした後は、必ずこのビットを“0”にしてください。

TFRST ビット (トランスミット FIFO データレジスタリセットビット)

トランスミット FIFO データレジスタ (FTDR) 内の送信データを無効にし、データが空の状態にします。なお、“1”にセットした後は、必ずこのビットを“0”にしてください。

MCE ビット (モデムコントロール許可ビット)

モデムコントロール信号 CTS#、RTS# の許可/禁止を設定します。
クロック同期モードの場合、本ビットは、常に 0 にしてください。

TTRG[1:0] ビット (トランスミット FIFO データ数トリガ選択ビット)

シリアルステータスレジスタ (FSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。トランスミット FIFO データレジスタ (FTDR) に格納された送信データ数が本ビットで設定するトリガ数以下になったとき TDFE フラグは“1”にセットされ、送信 FIFO データエンベティ割り込み (TXIF) 要求が発生します。

本ビットの設定は、FTCR レジスタの TTRGS ビットが“0”の場合に有効です。FTCR レジスタの TTRGS ビットが“1”の場合は、FTCR レジスタの TFTC[4:0] ビットの設定が有効になります。

RTRG[1:0] ビット (レシーブ FIFO データ数選択トリガビット)

シリアルステータスレジスタ (FSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。レシーブ FIFO データレジスタ (FRDR) に格納された受信データ数が本ビットで設定するトリガ数以上になったとき、RDF フラグは“1”にセットされ、受信 FIFO データフル割り込み (RXIF) 要求が発生します。

本ビットの設定は、FTCR レジスタの RTRGS ビットが“0”の場合に有効です。FTCR レジスタの RTRGS ビットが“1”の場合には、FTCR レジスタの RFTC[4:0] ビットの設定が有効になります。

RSTRG[2:0] ビット (RTS# 出力アクティブトリガ数選択ビット)

レシーブ FIFO データレジスタ (FRDR) 内に格納された受信データ数が本ビットで設定するトリガ数以上になったとき、RTS# 信号は High になります。

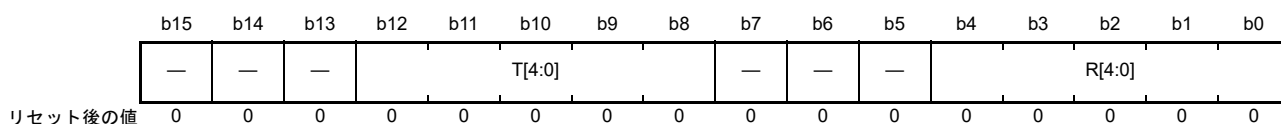
本ビットは調歩同期式モードにおいて、本レジスタの MCE ビットでモデム信号を許可した場合のみ有効です。

24.2.11 FIFO データ数レジスタ (FDR)

FDR レジスタは、トランスミット FIFO データレジスタ (FTDR) とレシーブ FIFO データレジスタ (FRDR) に格納されているデータ数を示します。

上位 8 ビットで FTDR レジスタの送信データ数を、下位 8 ビットで FRDR レジスタの受信データ数を示すレジスタです。FDR レジスタは、常に CPU から読み出しはできますが、書き込みはできません。

アドレス SCIFA0.FDR A006 500Eh、SCIFA1.FDR A006 540Eh、SCIFA2.FDR A006 580Eh、SCIFA4.FDR A006 600Eh



ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	FRDR格納受信データ数ビット	FRDRレジスタに格納された受信データ数を示します。	R
b7-b5	—	予約ビット	読むと“0”が読めます。	R
b12-b8	T[4:0]	FTDR格納未送信データ数ビット	FTDRレジスタに格納された未送信データ数を示します。	R
b15-b13	—	予約ビット	読むと“0”が読めます。	R

R[4:0] ビット

FRDR レジスタに格納された受信データ数を示します。

“00h”は受信データがないことを、“10h”は受信データがすべて FRDR レジスタに格納されていることを示します。

T[4:0] ビット

FTDR レジスタに格納された未送信データ数を示します。

“00h”は送信データがないことを、“10h”は送信データがすべて FTDR レジスタに格納されていることを示します。

24.2.12 シリアルポートレジスタ (SPTR)

SPTR レジスタは、SCIFA の端子にマルチプレクスされたポートの入出力およびデータを制御するレジスタです。

SPTR レジスタは、常に CPU による読み出し/書き込みが可能です。

注. SPTR レジスタの bit 6, 4, 2, 0 を読み出すと、端子への入力状態が読めます (詳細は、各ビットの説明を参照してください)。これらのビットに対し 1 ビット単位で書き込んだ場合、リード・モディファイ・ライトされ、意図した値が書き込まれない場合があります。このため、例えば、SPB2DT ビットと SPB2IO ビットを操作するような場合は、それぞれのビットを同時に書き込んでください。

アドレス SCIFA0.SPTR A006 5010h、SCIFA1.SPTR A006 5410h、SCIFA2.SPTR A006 5810h、SCIFA4.SPTR A006 6010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RTS2I O	RTS2D T	CTS2I O	CTS2D T	SCKIO	SCKDT	SPB2I O	SPB2D T
リセット後の値	0	0	0	0	0	0	0	0	0	x	0	x	0	x	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	SPB2DT	シリアルポートブレイクデータ選択ビット	SPB2IO ビット、SCR.TE ビットと組み合わせて、TXD 端子を制御します。表 24.13 を参照してください。	R/W
b1	SPB2IO	シリアルポートブレイク入出力ビット	SPB2DT ビット、SCR.TE ビットとあわせて、TXD 端子を制御します。	R/W
b2	SCKDT	SCK ポートデータ選択ビット	SCKIO ビット、SMR.CM ビット、SCR.CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。表 24.15 を参照してください。	R/W
b3	SCKIO	SCK ポート入出力ビット	SCKDT ビット、SMR.CM ビット、SCR.CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。表 24.15 を参照してください。	R/W
b4	CTS2DT	CTS# ポートデータ選択ビット	CTS2IO ビット、FCR.MCE ビットと組み合わせて CTS# 端子を制御します。表 24.12 を参照してください。	R/W
b5	CTS2IO	CTS# ポート出力指定ビット		R/W
b6	RTS2DT	RTS# ポートデータ選択ビット	RTS2IO ビット、FCR.MCE ビットと組み合わせて RTS# 端子を制御します。表 24.11 を参照してください。	R/W
b7	RTS2IO	RTS# ポート出力指定ビット		R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SPB2DT ビット (シリアルポートブレイクデータ選択ビット)

SCR.TE ビットが“0”のときに、TXD 端子の出力レベルを指定するビットです。本ビットを読み出した場合、SPB2IO ビットの設定値にかかわらず、RXD 端子への入力状態が読めます。ただし、MPC (マルチファンクションピンコントローラ) で RXD 端子機能を選択しておく必要があります。

SPB2IO ビット (シリアルポートブレイク入出力ビット)

SPB2DT ビット、SCR レジスタの TE ビットとあわせて、TXD 端子を制御します。

SCKDT ビット (SCK ポートデータ選択ビット)

本ビットを読み出した場合、SCKIO ビットの設定値にかかわらず、SCK 端子の状態が読めます (SCK 端子が入力の場合、入力信号自体は無効 (意味を持たない) ですが、端子状態は読めます)。ただし、MPC (マルチファンクションピンコントローラ) で SCK 端子機能を選択しておく必要があります。

SCKIO ビット (SCK ポート入出力ビット)

SCK 端子の入出力状態を指定します。SCKDT ビット、SMR レジスタの CM ビット、SCR レジスタの CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。

CTS2DT ビット (CTS# ポートデータ選択ビット)

本ビットを読み出した場合、CTS2IO ビットの設定値にかかわらず、CTS# 端子の状態が読めます。ただし、MPC (マルチファンクションピンコントローラ) で CTS# 端子機能を選択しておく必要があります。

RTS2DT ビット (RTS# ポートデータ選択ビット)

本ビットを読み出した場合、RTS2IO ビットの設定値にかかわらず、RTS# 端子の状態が読めます。ただし、MPC (マルチファンクションピンコントローラ) で RTS# 端子機能を選択しておく必要があります。

表 24.11 RTS#端子状態

FCR.MCE ビットの設定値	RTS2IO ビットの設定値	RTS2DT ビットの設定値	RTS#端子の状態
0	0	×	設定しないでください (注1)
0	1	0	Low出力
0	1	1	High出力
1	×	×	モデムコントロール出力

× : Don't care

注1. RTS#端子を使用しない場合は、初期状態のままでも問題ありません。

表 24.12 CTS#端子状態

FCR.MCE ビットの設定値	CTS2IO ビットの設定値	CTS2DT ビットの設定値	CTS#端子の状態
0	0	×	設定しないでください (注1)
0	1	0	Low出力
0	1	1	High出力
1	×	×	モデムコントロール入力

× : Don't care

注1. CTS#端子を使用しない場合は、初期状態のままでも問題ありません。

表 24.13 TXD 端子状態

SCR.TE ビットの設定値	SPB2IO ビットの設定値	SPB2DT ビットの設定値	TXD 端子の状態
0	0	×	設定しないでください
0	1	0	Low出力
0	1	1	High出力
1	×	×	送信データ出力

× : Don't care

24.2.13 ラインステータスレジスタ (LSR)

LSR レジスタは、16 ビットのレジスタです。PER ビットと FER ビットはレシーブ FIFO データレジスタの受信エラー数を示します。ORER ステータスフラグに“1”を書き込むことはできません。ORER ビットを“0”にクリアするには、あらかじめ“1”を読み出しておく必要があります。

アドレス SCIFA0.LSR A006 5012h、SCIFA1.LSR A006 5412h、SCIFA2.LSR A006 5812h、SCIFA4.LSR A006 6012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PER[3:0]				—	—	FER[3:0]				—	ORER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバランエラーフラグ	0 : 受信中、または正常に受信が完了したことを表示 1 : 受信時にオーバランエラーが発生したことを表示	R/(W) (注1)
b1	—	予約ビット	読むと“0”が読めます。	R
b5-b2	FER[3:0]	フレーミングエラー数ビット	レシーブFIFOデータレジスタ (FRDR) に格納されている受信データでフレーミングエラーが発生しているデータ数を示します。	R
b7-b6	—	予約ビット	読むと“0”が読めます。	R
b11-b8	PER[3:0]	パリティエラー数ビット	レシーブFIFOデータレジスタ (FRDR) に格納されている受信データでパリティエラーが発生しているデータ数を示します。	R
b15-b12	—	予約ビット	読むと“0”が読めます。	R

注1. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

ORER ビット (オーバランエラービットフラグ)

受信時にオーバランエラーが発生して異常終了したことを示します。本ビットはシリアルコントロールレジスタ (SCR) の RE ビットを 0 にクリアしても影響を受けず以前の状態を保持します。レシーブ FIFO データレジスタ (FRDR) はオーバランエラーが発生する前の受信データを保持し、後から受信したデータは失われます。さらに、ORER = 1 の状態で、以降のシリアル受信を続けることはできません。

["1"になる条件]

- 受信 FIFO がフルの状態 (16 バイトのデータが受信された状態) で次のシリアル受信を完了したとき

["0"になる条件]

- ORER = 1 の状態を読み出した後、“0”を書き込んだとき

注. クロック同期モードで内部クロックを選択した場合は、受信データ数を制御できるため、オーバランエラーは発生しません。

FER[3:0] ビット (フレーミングエラー数ビット)

FSR レジスタの ER ビットがセットされた後、ビット 5 ~ 2 の値がフレーミングエラーのデータ数になります。FRDR レジスタの 16 バイト受信データのすべてがフレーミングエラーをともなう場合、FER[3:0] は“0000”を表示します。

PER[3:0] ビット (パリティエラー数ビット)

FSR レジスタの ER ビットがセットされた後、ビット 11 ~ 8 の値がパリティエラーのデータ数になります。FRDR レジスタの 16 バイト受信データのすべてがパリティエラーをともなう場合、PER[3:0] は“0000”を表示します。

24.2.14 シリアル拡張モードレジスタ (SEMR)

SEMRレジスタは、LSBファースト/MSBファースト、ノイズ除去機能の許可、ボーレートジェネレータ通常/倍速モード、ビットレートモジュレーションの許可、モジュレーションデューティレジスタ選択、サンプリング回数設定を行うレジスタです。

アドレス SCIFA0.SEMR A006 5014h、SCIFA1.SEMR A006 5414h、SCIFA2.SEMR A006 5814h、SCIFA4.SEMR A006 6014h

b7	b6	b5	b4	b3	b2	b1	b0
BGDM	—	BRME	MDDRS	DIR	NFEN	—	ABCS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ABCS0	調歩同期式基本クロック選択ビット	0: 転送レートの16倍の周波数を基本クロックとして動作 1: 転送レートの8倍の周波数を基本クロックとして動作	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	NFEN	ノイズ除去機能許可ビット	0: RxD端子のノイズ除去機能無効 1: RxD端子のノイズ除去機能有効	R/W
b3	DIR	データトランスファディレクション選択ビット	0: FTDRレジスタの内容をLSBファーストで送信 受信データをLSBファーストでFRDRレジスタに格納 1: FTDRレジスタの内容をMSBファーストで送信 受信データをMSBファーストでFRDRレジスタに格納	R/W
b4	MDDRS	モジュレーションデューティレジスタ選択ビット	0: BRRレジスタのアクセスが可能 1: MDDRレジスタのアクセスが可能	R/W
b5	BRME	ビットレートモジュレーション許可ビット	0: ビットレートモジュレーション機能を禁止 1: ビットレートモジュレーション機能を許可	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b7	BGDM	ボーレートジェネレータ倍速モード選択ビット	0: ボーレートジェネレータ通常モード ボーレートジェネレータは、クロックソースの2分周で動作 1: ボーレートジェネレータ倍速モード ボーレートジェネレータは、クロックソース(分周なし)で動作	R/W

ABCS0 ビット (調歩同期式基本クロック選択ビット)

調歩同期式モードにおける1ビット期間の基本クロックを選択します。

本ビットの設定は、調歩同期式モード (SMRレジスタのCMビット=0) のときのみ有効です。

NFEN ビット (ノイズ除去機能許可ビット)

RxD端子への入力に対してノイズ除去を行います。なお、調歩同期式モードのみ有効です。詳細は「24.7 ノイズ除去機能」を参照してください。

クロック同期モードの場合、本ビットは、必ず“0”にしてください。

DIR ビット (データトランスファディレクション選択ビット)

シリアル通信フォーマットを選択します。送信/受信フォーマットが8ビットの場合(注1)のみ有効です。

注1. 8ビットデータ長の調歩同期式モードまたはクロック同期式モード

MDDRS ビット (モジュレーションデューティレジスタ選択ビット)

アクセスを可能にするレジスタを選択します。

BRME ビット (ビットレートモジュレーション許可ビット)

ビットレートモジュレーション機能の禁止/許可を設定します。

BGDM ビット (ポーレートジェネレータ倍速モード選択ビット)

ポーレートジェネレータの動作モードを選択します。本ビットを“1”にすると、SCIFA 内部のポーレートジェネレータが倍速モードで動作します。本ビットの設定は、調歩同期式モード (SMR.CM=0) かつクロックソースを内部クロック (SCR.CKE[1:0]=00) に設定したときのみ有効です。この設定以外の場合は通常モードを使用してください。

24.2.15 FIFO トリガコントロールレジスタ (FTCR)

FTCR レジスタは、FIFO トリガを設定する 16 ビットのレジスタです。FTCR レジスタは常に CPU から読み出し/書き込みが可能です。

アドレス SCIFA0.FTCR A006 5016h、SCIFA1.FTCR A006 5416h、SCIFA2.FTCR A006 5816h、SCIFA4.FTCR A006 6016h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RTRGS	—	—	RFTC[4:0]				TTRGS	—	—	TFTC[4:0]					
リセット後の値	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	TFTC[4:0]	送信 FIFO データ数トリガ設定ビット	00h 設定時、送信データトリガ数は“0”になり、0Fh 設定時は 15 になります。本ビットを 10h~1Fh に設定しないでください。	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	TTRGS	送信トリガ選択ビット	0 : FCR.TTRG[1:0] ビットが有効 1 : FTCR.TFTC[4:0] ビットが有効	R/W
b12-b8	RFTC[4:0]	受信 FIFO データ数トリガ設定ビット	01h 設定時、受信データトリガ数は“1”になり、10h 設定時は 16 になります。本ビットを 00h および 11h~1Fh に設定しないでください。	R/W
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15	RTRGS	受信トリガ選択ビット	0 : FCR.RTRG[1:0] ビットが有効 1 : FTCR.RFTC[4:0] ビットが有効	R/W

TFTC[4:0] ビット (送信 FIFO データ数トリガ設定ビット)

シリアルステータスレジスタ (FSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。

トランスミット FIFO データレジスタ (FTDR) に格納された送信データ数が設定トリガ数以下になったとき TDFE フラグをセットし、送信 FIFO データエンpty割り込み (TXIF) 要求が発生します。

RFTC[4:0] ビット (受信 FIFO データ数トリガ設定ビット)

シリアルステータスレジスタ (FSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。

レシーブ FIFO データレジスタ (FRDR) に格納された受信データ数が、設定トリガ数以上になったとき RDF フラグをセットし、受信 FIFO データフル割り込み (RXIF) 要求が発生します。

24.3 動作説明

24.3.1 概要

SCIFA は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。

送信/受信のそれぞれに16段のFIFOバッファを内蔵しているため、CPUのオーバヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号としてRTS#、CTS#信号を用意しています。

送受信フォーマットの選択は、シリアルモードレジスタ (SMR) で行います。これを表 24.14 に示します。また、SCIFAのクロックソースは、シリアルコントロールレジスタ (SCR) のCKE[1:0]ビットで設定できます。これを表 24.15 に示します。

(1) 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加、および1ビット/2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、受信FIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- FIFOデータ数レジスタ (FDR) に送信/受信時のFIFO格納データ数を表示
- SCIFAのクロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：SCIFAはボーレートジェネレータのクロックで動作し、ビットレートの16倍（または8倍）のクロックを出力することが可能
外部クロックを選択した場合：ビットレートの16倍（または8倍）のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信/受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出が可能
- SCIFAのクロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：SCIFAはボーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表24.14 SMRレジスタの設定値とSCIFA送信/受信フォーマット

SMRレジスタ				モード	SCIFA送信/受信フォーマット		
b7	b6	b5	b3		データ長	パリティビット	ストップビット長
CM	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8ビット	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
	1	0	0		7ビット	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
1	x	x	x	クロック同期式モード	8ビット	なし	なし

* : Don't care

表24.15 SMR、SCR、SPTRレジスタの設定値とSCIFAのクロックソースの選択

SMRレジスタ	SCRレジスタ		SPTRレジスタ		モード	クロックソース	SCK端子の機能
	b7	b1	b0	b3			
CM	CKE[1:0]		SCKIO	SCKDT			
0	0	0	0	x	調歩同期式モード	内部	入力端子（入力信号は無効）（初期状態）
			1	0			SCK端子の状態Low
		1	x	x			SCK端子の状態High
			x	x			ビットレートの16/8倍のクロックを出力（注1）
	1	0	x	x		外部	ビットレートの16/8倍のクロックを入力（注2）
		1	x	x		設定禁止	
1	0	x	x	クロック同期式モード	内部	同期クロックを出力	
		1	x			x	外部
	1	x	x		設定禁止		

* : Don't care

注1. SEMR.ABCS0 = 0 : ビットレートの16倍の周波数クロックを出力

SEMR.ABCS0 = 1 : ビットレートの8倍の周波数クロックを出力

注2. SEMR.ABCS0 = 0 : ビットレートの16倍の周波数クロックを入力

SEMR.ABCS0 = 1 : ビットレートの8倍の周波数クロックを入力

24.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIFA 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっているため、送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 24.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High) に保たれています。SCIFA は通信回線を監視し、スペース (Low) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット (Low) から始まり、データ (LSB ファースト時：最下位ビットから)、パリティビット (High / Low)、最後にストップビット (High) の順で構成されます。

調歩同期式モードでは、SCIFA は受信時にスタートビットの立ち上がりエッジで同期化を行います。

SCIFA は、データを 1 ビット期間の 16/8 倍のクロックの 8 番目 (注 1) でサンプリングするため、各ビットの中央で通信データが取り込まれます。

注 1. SEMR.ABCS0 ビット = "0" のとき、1 ビット期間の 16 倍の周波数クロックの 8 番目でサンプリングします。SEMR.ABCS0 ビット = "1" のときは、1 ビット期間の 8 倍の周波数のクロックの 4 番目でサンプリングします。

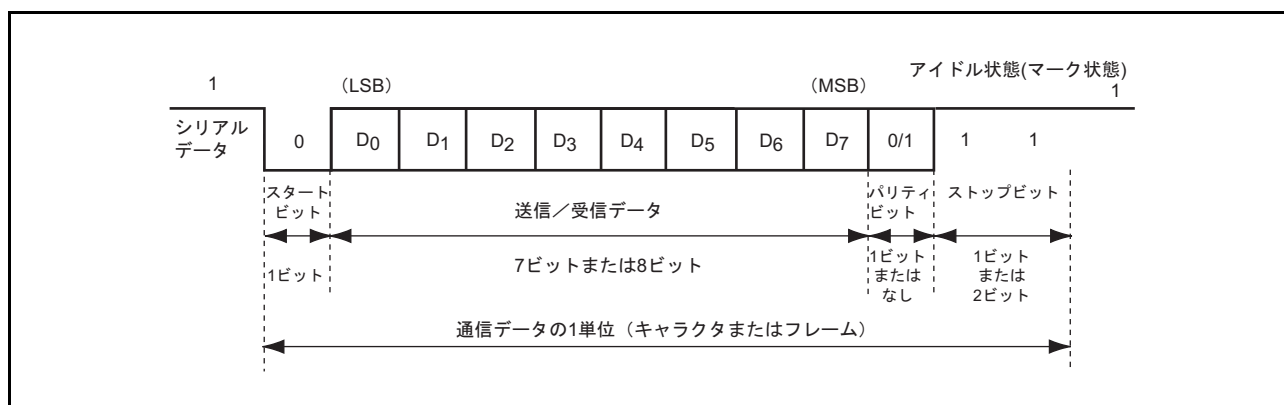


図 24.2 調歩同期式通信のデータフォーマット
(8 ビットデータ／パリティあり／2 ストップビット／LSB ファーストの例)

(1) 送信／受信フォーマット

設定可能な送信／受信フォーマットを、表 24.16 に示します。

送信／受信フォーマットは 8 種類あり、シリアルモードレジスタ (SMR) の設定により選択できます。

表 24.16 シリアル送信／受信フォーマット (調歩同期式モード)

SMRの設定			シリアル送信／受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	START 8ビットデータ STOP											
		1	START 8ビットデータ STOP STOP											
	1	0	START 8ビットデータ									P	STOP	
		1	START 8ビットデータ									P	STOP	STOP
1	0	0	START 7ビットデータ STOP											
		1	START 7ビットデータ STOP STOP											
	1	0	START 7ビットデータ								P	STOP		
		1	START 7ビットデータ								P	STOP	STOP	

START : スタートビット
 STOP : ストップビット
 P : パリティビット

(2) クロック

SCIFA の送受信クロックは、シリアルモードレジスタ (SMR) の CM ビット、シリアルコントロールレジスタ (SCR) の CKE[1:0] ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロック、SCK 端子から入力された外部クロックから選択できます。SCIFA のクロックソースの選択については表 24.15 を参照してください。

外部クロックを SCK 端子に入力する場合は、使用するビットレートの 16/8 倍の周波数を入力してください。

内部クロックで動作させる場合、SCK 端子からクロックを出力することができます。このとき出力されるクロックはビットレートの 16/8 倍の周波数です。

(3) データの送信／受信動作

- SCIFA 初期化（調歩同期式モード）

データの送信／受信前には、まずシリアルコントロールレジスタ（SCR）のTEビットおよびREビットを“0”にクリアした後、以下の順でSCIFAを初期化してください。

動作モードや通信フォーマットを変更する場合には、必ずSCRレジスタのTEビットおよびREビットを“0”にクリアしてから次の手順で変更を行ってください。TEビットを“0”にクリアすると、トランスミットシフトレジスタ（TSR）は初期化されます。しかし、TEビットとREビットを“0”にクリアしても、シリアルステータスレジスタ（FSR）、トランスミットFIFOデータレジスタ（FTDR）、レシーブFIFOデータレジスタ（FRDR）は初期化されず、これらのレジスタの内容は保持されますのでご注意ください。TEビットの“0”クリアは、送信データをすべて送信し、FSRレジスタのTENDフラグがセットされた後に行ってください。TEビットは送信中でも“0”クリア可能ですが、TEビットを“0”クリアした後の送信データ（TXD端子の出力レベル）は、SPTR.SPB2IO、SPB2DTビットの設定値によって決まります。また再度TEビットを“1”にセットして送信を開始する前にFCRレジスタのTFRSTビットを“1”にセットしてFTDRレジスタをリセットしてください。

外部クロックを使用している場合、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図24.3にSCIFA初期化（調歩同期式モード）のフローチャートの例を示します。

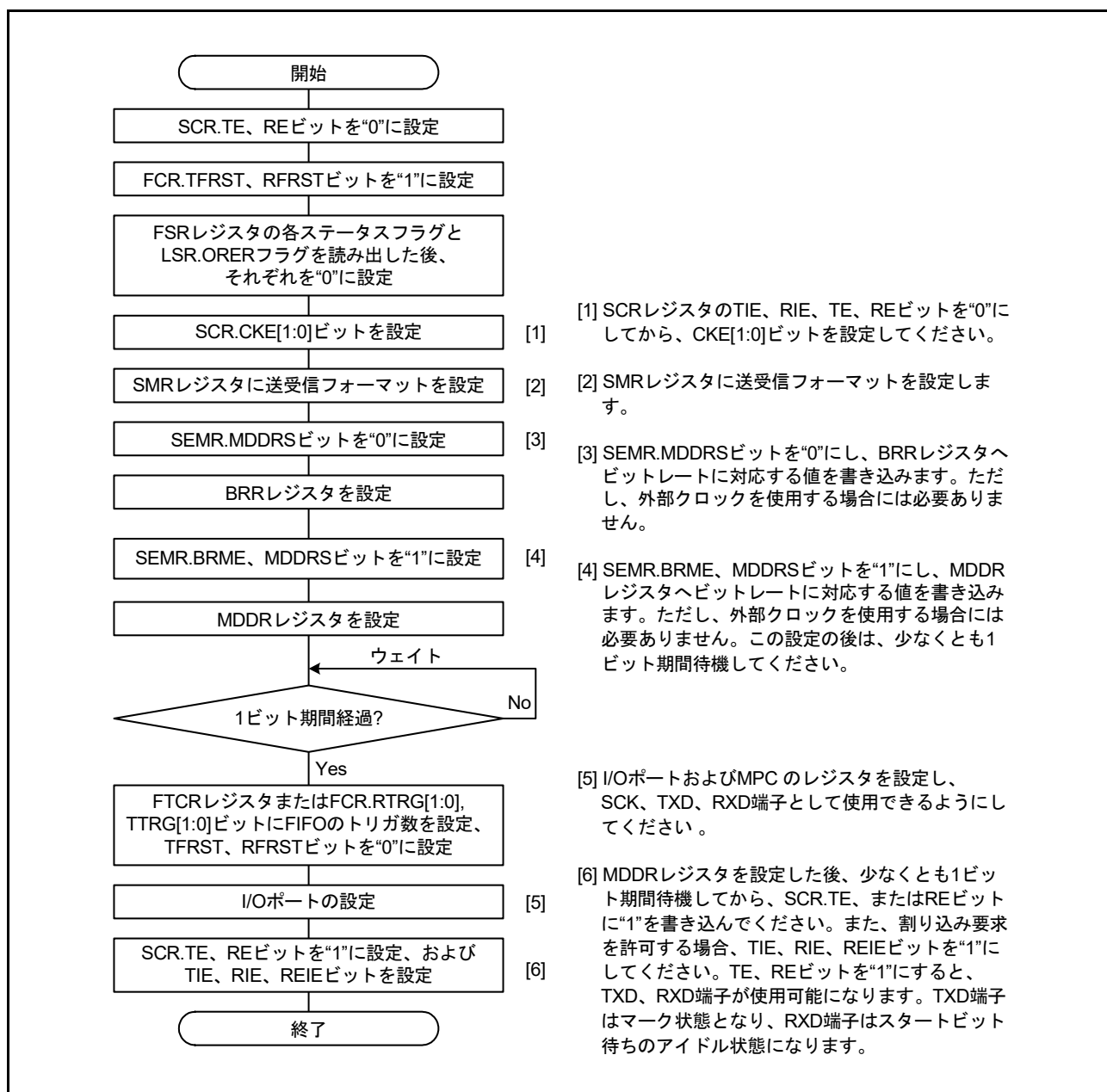


図 24.3 SCIFA 初期化（調歩同期式モード）のフローチャートの例

● シリアルデータ送信（調歩同期式モード）

図 24.4 にシリアル送信のフローチャートの例を示します。

SCIFA の送信を可能にした後、シリアルデータ送信は以下の手順で行ってください。

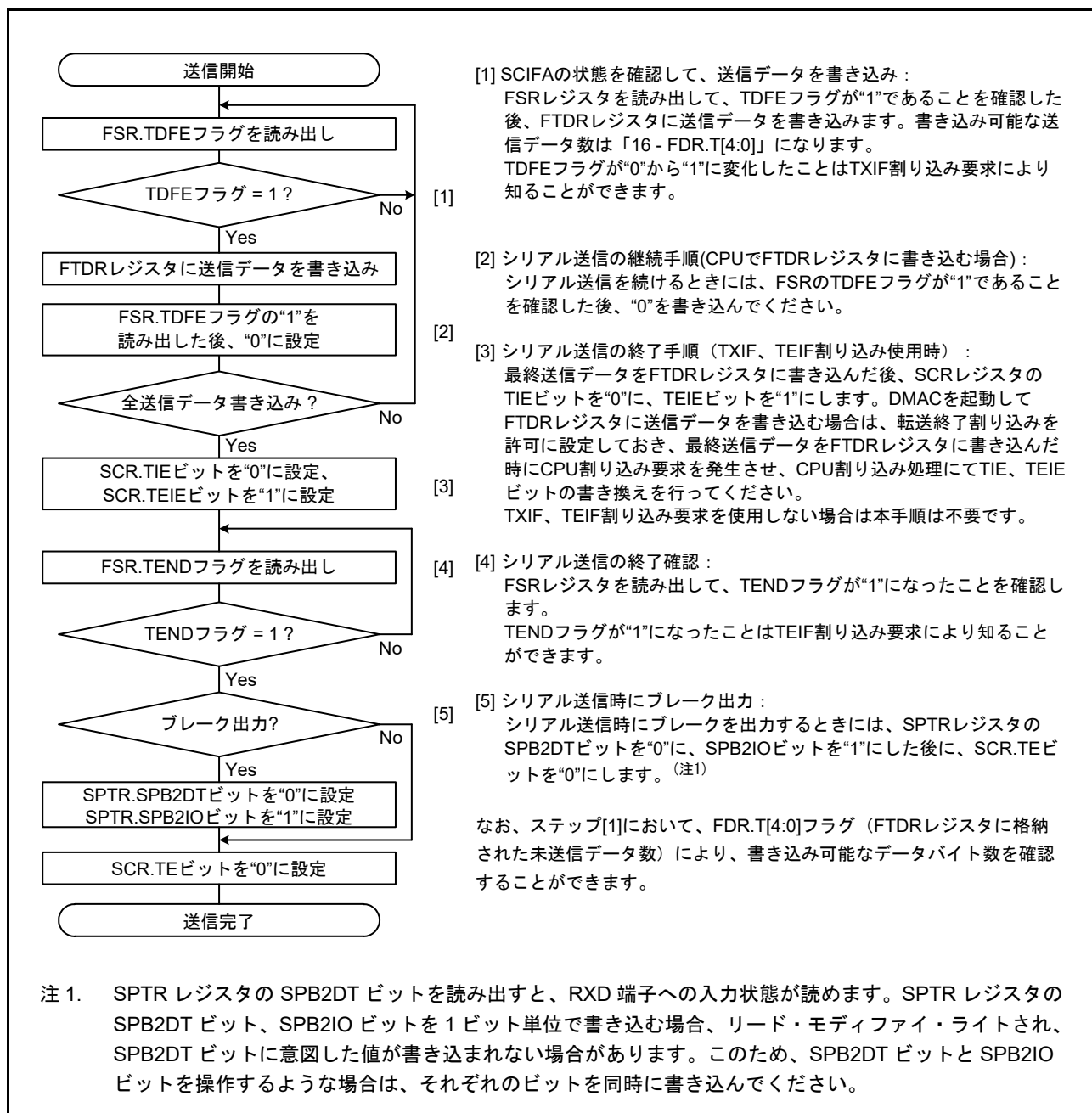


図 24.4 シリアル送信のフローチャートの例

SCIFA は、シリアル送信時、以下のように動作します。

1. SCIFA は、TXIF 割り込み処理ルーチンでトランスミット FIFO データレジスタ (FTDR) にデータが書き込まれると、FTDR レジスタからトランスミットシフトレジスタ (TSR) にデータを転送します。送信データを FTDR レジスタに書き込む前に、シリアルステータスレジスタ (FSR) の TDFE フラグが 1 にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 未送信データ数) です。
2. FTDR レジスタから TSR レジスタにデータを転送し、送信を開始すると、FTDR レジスタの送信データがなくなるまで連続して送信動作を実行します。FTDR レジスタの送信データバイト数が FIFO コントロールレジスタ (FCR) または FIFO トリガコントロールレジスタ (FTCR) で設定した送信トリガ数以下になると、TDFE フラグがセットされます。このとき、シリアルコントロールレジスタ (SCR) の TIE ビットが "1" にセットされていると送信 FIFO データエンプティ割り込み (TXIF) 要求が発生します。

シリアル送信データは、以下の順に TXD 端子から出力されます。

- (a) スタートビット : 1ビット "0" が出力されます。
 - (b) 送信データ : 8ビットまたは7ビットのデータが LSB から順に出力されます (LSB ファースト時)。
 - (c) パリティビット : 1ビットのパリティビット (偶数パリティ、または奇数パリティ) が出力されます (なお、パリティビットを出力しないフォーマットも選択できます)。
 - (d) ストップビット : 1ビットまたは2ビットの "1" (ストップビット) が出力されます。
 - (e) マーク状態 : 次の送信を開始するスタートビットを出力するまで "1" を出力し続けます。
3. SCIFA は、ストップビットを送出するタイミングで FTDR レジスタの送信データをチェックします。データがあると、FTDR レジスタから TSR レジスタにデータを転送し、ストップビットを出力した後、次のフレームのシリアル送信を開始します。送信するデータがない場合は FSR レジスタの TEND フラグに "1" をセットし、ストップビットを出力した後、"1" を連続して出力するマーク状態 (High) になります。

調歩同期式モードでの送信時の動作例を図 24.5 に示します。

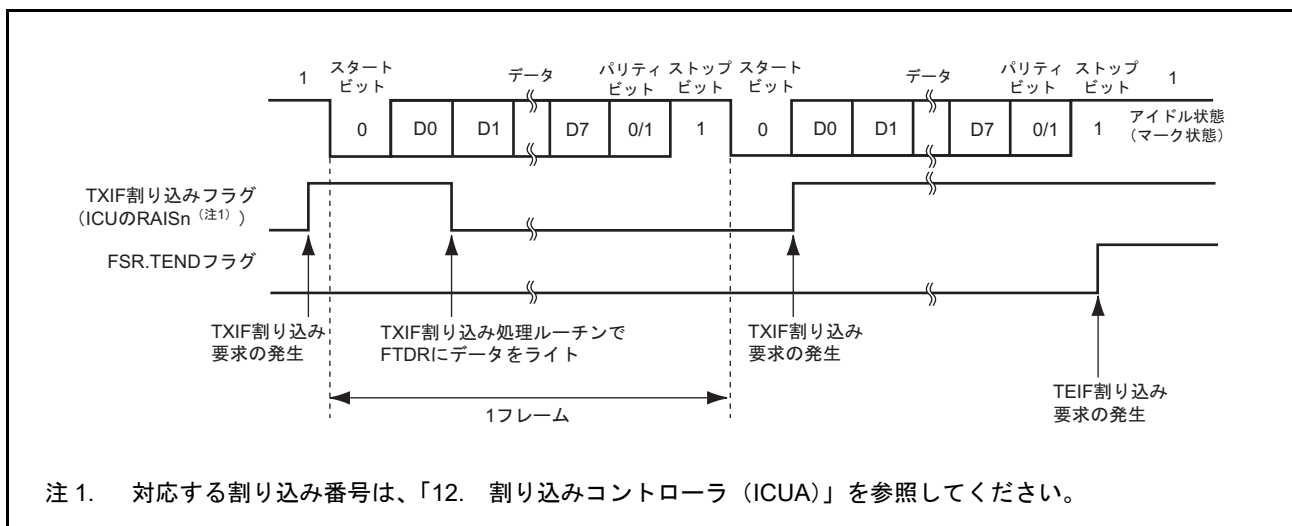


図 24.5 送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビット/LSB ファーストの例)

4. モデムコントロールを許可した場合、CTS# 端子への入力レベルによって送信を停止／再開することができます。CTS# 端子に High が入力されると、送信中のときは1フレームの送信終了後マーク状態 (High) になります。CTS# 端子に Low が入力されると、次の送信データがスタートビットを先頭に出力されます。モデムコントロールを使用した動作例を図 24.6 に示します。

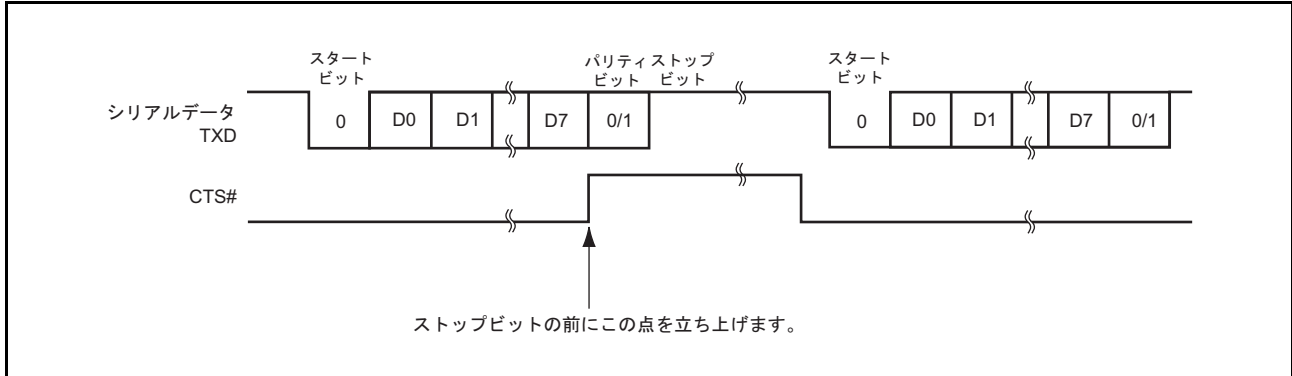


図 24.6 モデムコントロールを使用した動作例 (CTS#)

● シリアルデータ受信 (調歩同期式モード)

図 24.7、図 24.8 にシリアル受信のフローチャートの例を示します。

SCIFA を受信許可に設定した後、次の手順でシリアルデータ受信を行ってください。

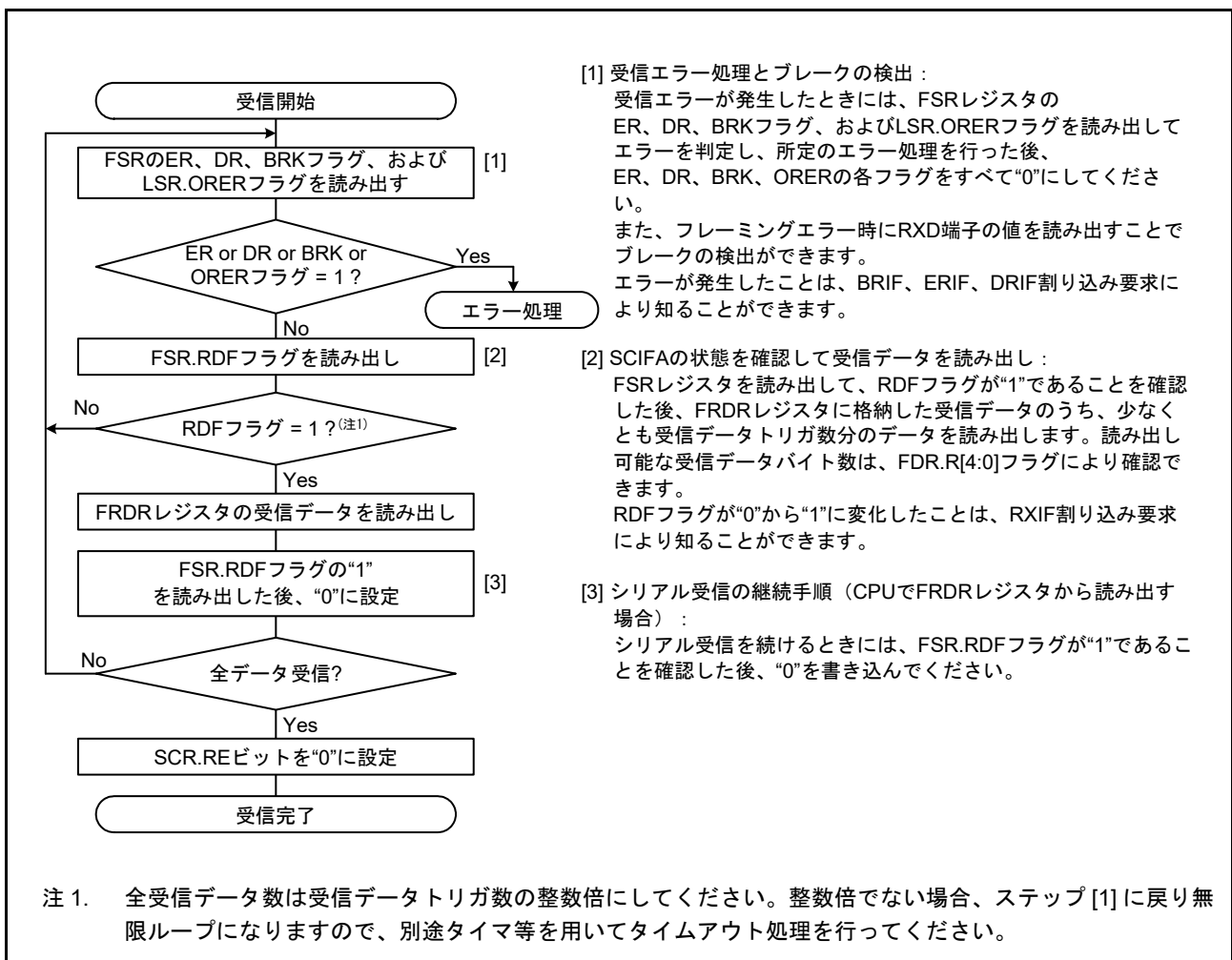


図 24.7 シリアル受信のフローチャートの例 (1)

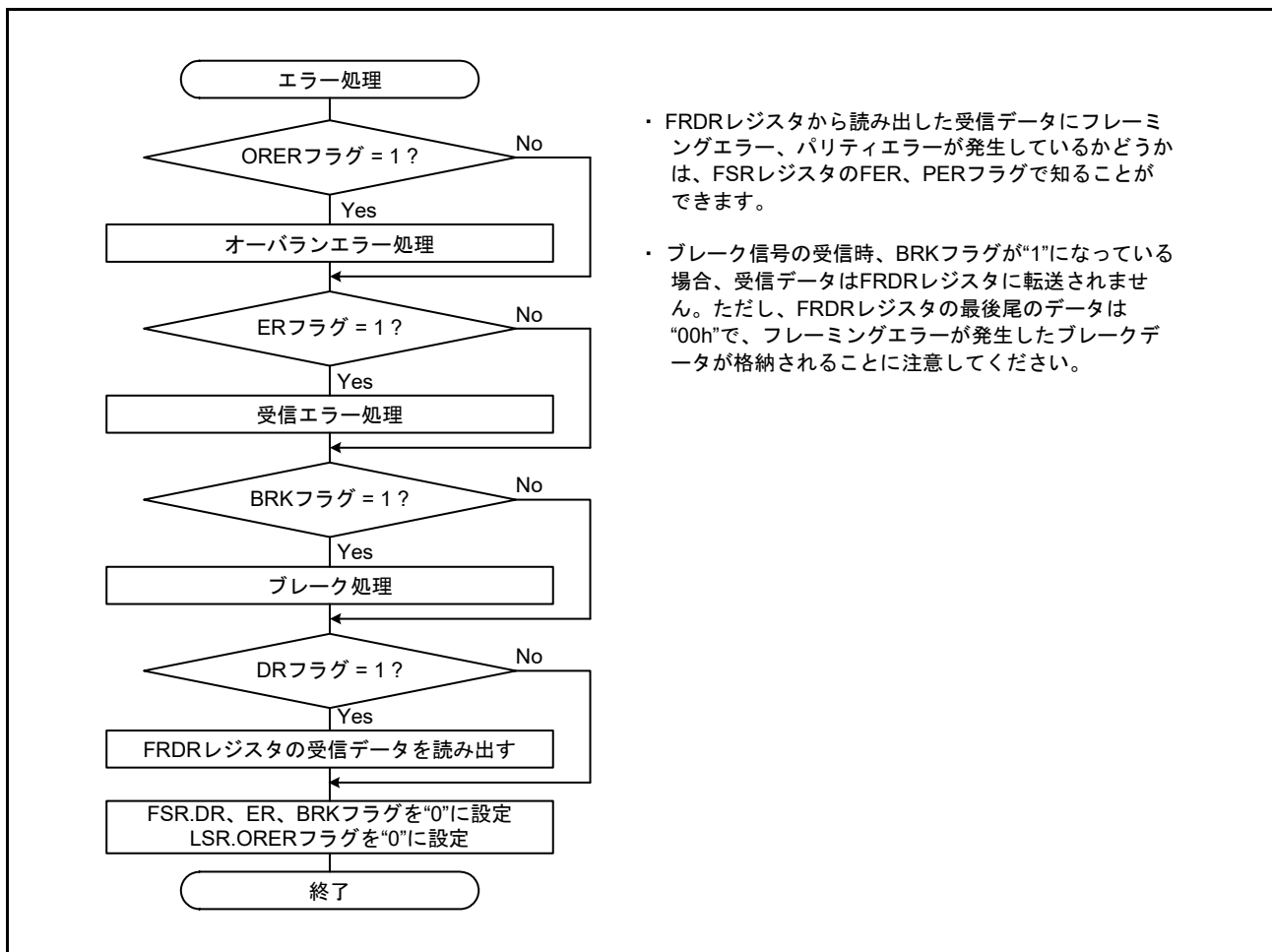


図 24.8 シリアル受信のフローチャートの例 (2)

SCIFA は受信時、以下のように動作します。

1. SCIFA は通信回線を監視し、スタートビットの“0”を検出すると内部を同期化し、受信を開始します。
2. 受信したデータを RSR レジスタに LSB から MSB の順に格納します (LSB ファースト時)。
3. パリティビットおよびストップビットを受信します。

受信後、SCIFA は以下のチェックを行います。

- (a) ストップビットチェック : ストップビットが“1”かどうかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをレシーブシフトレジスタ (RSR) からレシーブ FIFO データレジスタ (FRDR) に転送できる状態かどうかをチェックします。
- (c) パリティビットチェック : パリティビットが期待値かどうかをチェックします。
- (d) オーバランエラーチェック : オーバランエラーが発生していないことを示す ORER フラグが“0”かどうかをチェックします。
- (e) ブレークチェック : ブレーク状態がセットされていないことを示す BRK フラグが“0”かどうかをチェックします。

以上のチェックがすべてパスしたとき、FRDR レジスタに受信データが格納されます。

注 . パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. 指定受信トリガ数以上の受信データ数がレシーブ FIFO データレジスタ (FRDR) に格納され、RDF フラグが“1”になったとき、SCR レジスタの RIE ビットが“1”にセットされていると、受信 FIFO データフル割り込み (RXIF) 要求が発生します。また、FRDR レジスタのデータが指定受信トリガ数未満の場合、SCR レジスタの RIE ビットが“1”にセットされていると、最後のストップビットから 15ETU 時間経過 (注1) 後も次のデータが受信されないとき (FSR レジスタの DR フラグが“1”)、受信データレディ割り込み (DRIF) 要求が発生します。また、FSR レジスタの ER フラグが“1”になったとき、SCR レジスタの RIE ビットまたは REIE ビットが“1”にセットされていると、受信エラー割り込み (ERIF) 要求が発生します。さらに、FSR レジスタの BRK フラグまたは ORER フラグが“1”になったとき、SCR レジスタの RIE ビットまたは REIE ビットが“1”にセットされていると、ブレイク受信割り込み (BRIF) 要求が発生します。

注1. 8ビット、1ストップビットのフォーマットの1.5フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)

調歩同期式モード受信時の動作例を図 24.9 に示します。

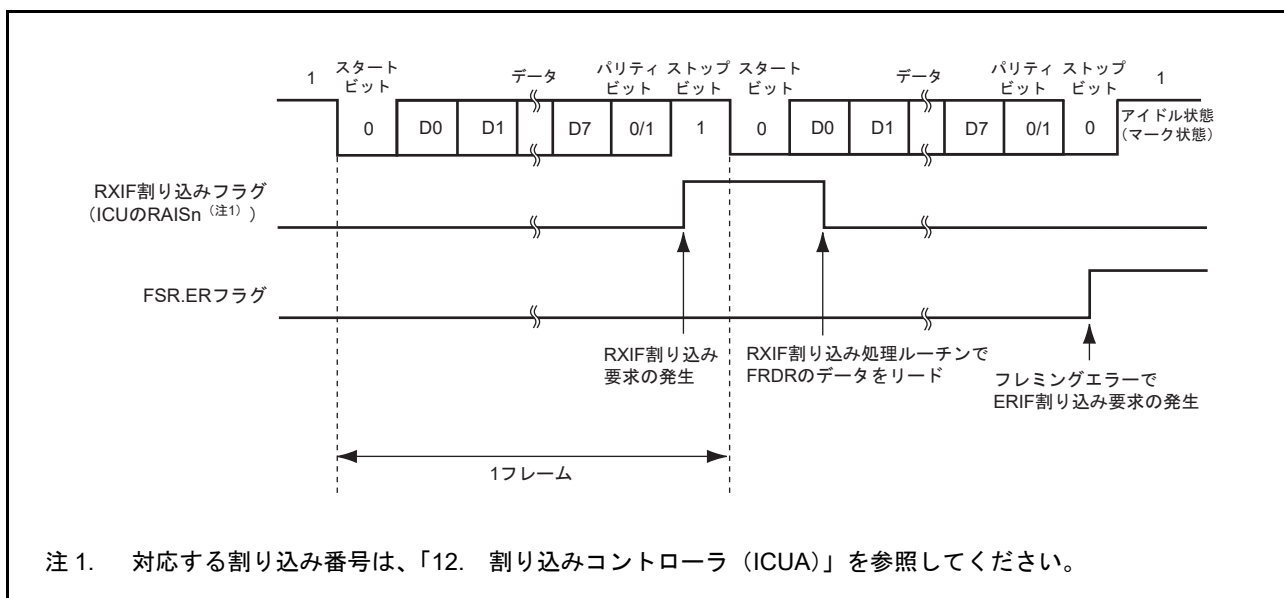


図 24.9 SCIFA の受信時の動作例
(8ビットデータ/パリティあり/1ストップビット/LSB ファーストの例)

5. モデムコントロールが有効の場合、FRDR レジスタに空きがあることを示す RTS# 信号を出力します。RTS# 端子が Low のときは受信可能です。RTS# 端子が High のときは FRDR レジスタのデータが RTS# 出力アクティブトリガ設定数以上となり、FRDR レジスタに余裕ができるまで次データの送信を待つて欲しい状態であることを示します。モデムコントロール使用時の動作例を例を図 24.10 に示します。

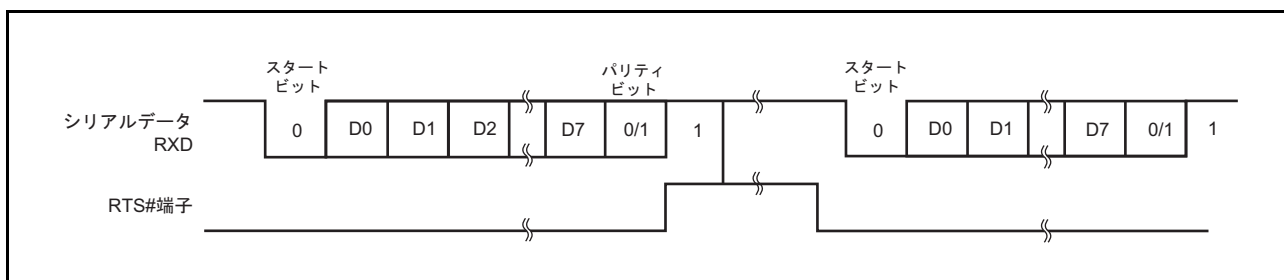


図 24.10 モデムコントロールを使用した動作例 (RTS#)

24.3.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

SCIFA 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部は、それぞれ 16 段の FIFO バッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 24.11 に示します。

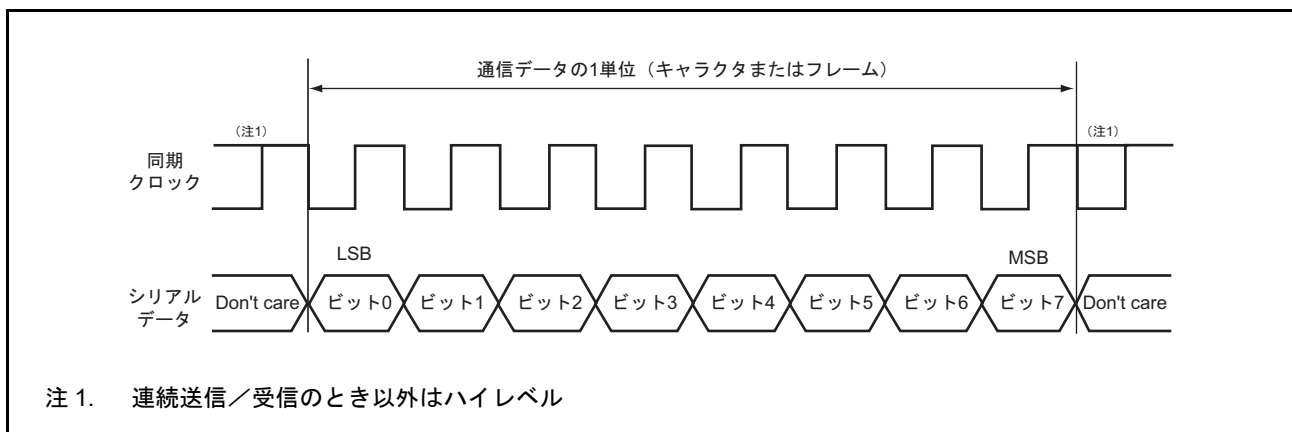


図 24.11 クロック同期式通信のデータフォーマット (LSB ファースト時)

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力され、MSB出力後の通信回線の状態はMSBの状態を保ちます (LSB ファースト時)。

クロック同期式モードでは、SCIFAは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信／受信フォーマット

8ビットデータ固定です。

パリティビットは付加できません。

(2) クロック

SCIFAの送受信クロックは、シリアルモードレジスタ (SMR) のCMビット、シリアルコントロールレジスタ (SCR) のCKE[1:0]ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、またはSCK端子から入力された外部クロックの2種類から選択できます。

内部クロックで動作させる場合、SCK端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わないときにはHighに固定されます。受信動作のみの場合、内部クロックを選択するとSCRレジスタのREビットが“1”の間、受信FIFO内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) データの送信／受信動作

- SCIFAの初期化（クロック同期式モード）

データの送信／受信前にシリアルコントロールレジスタ（SCR）のTE、REビットを“0”にクリアした後、以下の手順でSCIFAを初期化してください。

また、モードや通信フォーマットを変更する場合も、必ずTE、REビットを“0”にクリアした後、以下の手順で変更してください。TEビットを“0”にクリアするとトランスミットシフトレジスタ（TSR）が初期化されます。REビットを“0”にクリアしても、RDF、PER、FER、ORERの各フラグ、およびレシーブFIFOデータレジスタ（FRDR）の内容は保持されますので注意してください。

図 24.12 に SCIFA 初期化フローチャートの例を示します。

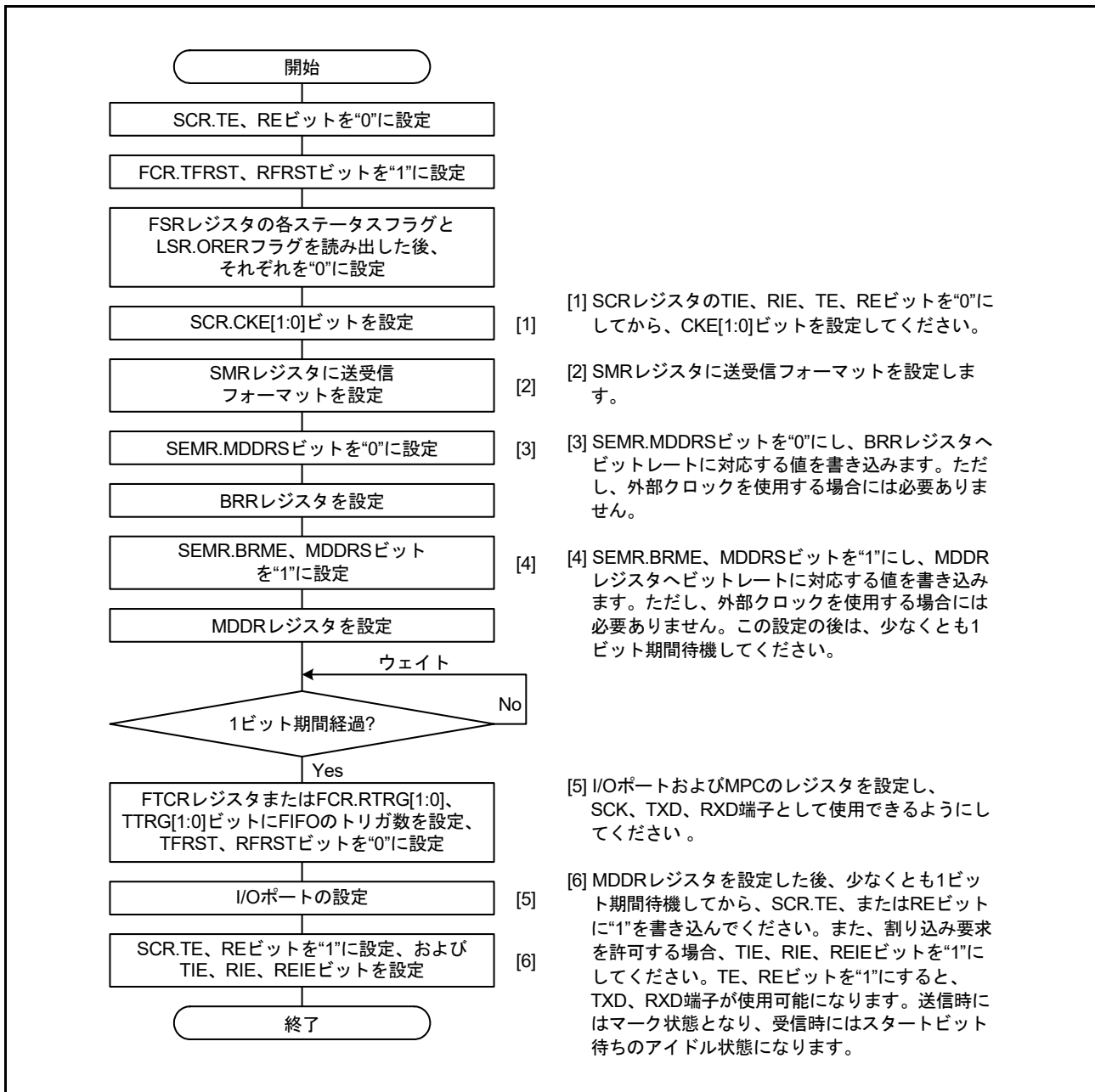


図 24.12 SCIFA 初期化フローチャートの例

- シリアルデータ送信（クロック同期式モード）

図 24.13 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFA を送信動作可能状態に設定した後、以下の手順で行ってください。

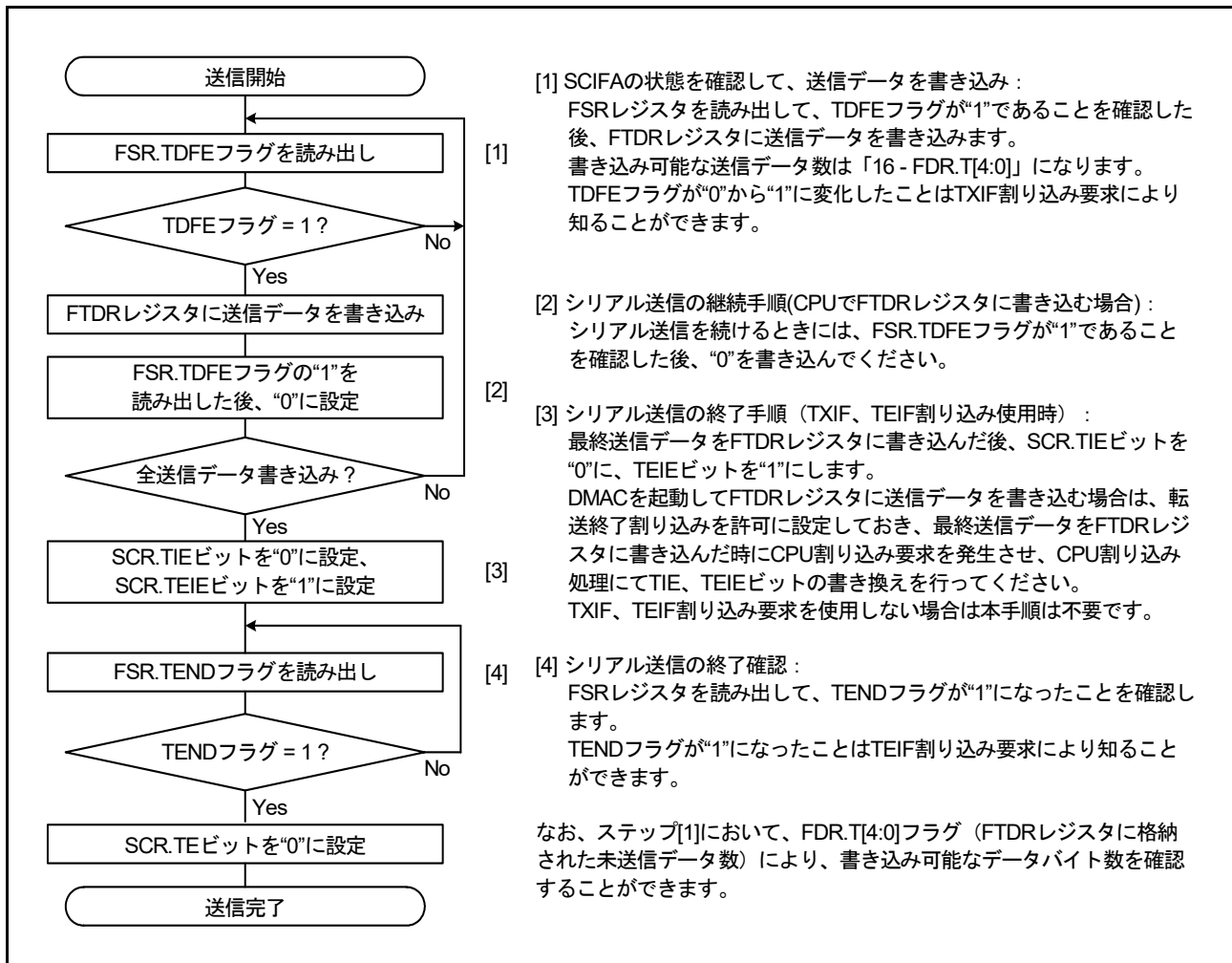


図 24.13 シリアル送信のフローチャートの例

SCIFA はシリアル送信時、以下のように動作します。

1. TXIF 割り込み処理ルーチンでトランスミット FIFO データレジスタ (FTDR) にデータが書き込まれると、FTDR レジスタからトランスミットシフトレジスタ (TSR) にデータを転送します。送信データを FTDR レジスタに書き込む前に、シリアルステータスレジスタ (FSR) の TDFE フラグが“1”にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 未送信データ数) です。
2. FTDR レジスタから TSR レジスタへデータが転送され、送信を開始すると、FTDR レジスタに送信データがなくなるまで連続して送信動作を続けます。FTDR レジスタの送信データバイト数が FIFO コントロールレジスタ (FCR)、または FIFO トリガコントロールレジスタ (FTCR) で設定した送信トリガ数以下になると、FSR レジスタの TDFE フラグがセットされます。このとき、シリアルコントロールレジスタ (SCR) の TIE ビットに“1”がセットされていると、送信 FIFO データエンプティ割り込み (TXIF) 要求が発生します。
クロック出力モードに設定した場合、SCIFA は同期クロックを 8 パルス出力します。外部クロックに設定した場合、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (b0) ~ MSB (b7) の順に TXD 端子から出力されます (LSB ファースト時)。
3. SCIFA は、最終ビットを送出するタイミングで FTDR レジスタの送信データをチェックします。送信データがある場合、FTDR レジスタから TSR レジスタにデータを転送し、次のフレームのシリアル送信を開始します。データがない場合は、FSR レジスタの TEND フラグを“1”にセットし、最終ビットを出力した後、TXD 端子は最終データの出力レベルを保持します。
4. シリアル送信終了後、SCK 端子は High 固定になります。

図 24.14 に SCIFA の送信時の動作例を示します。

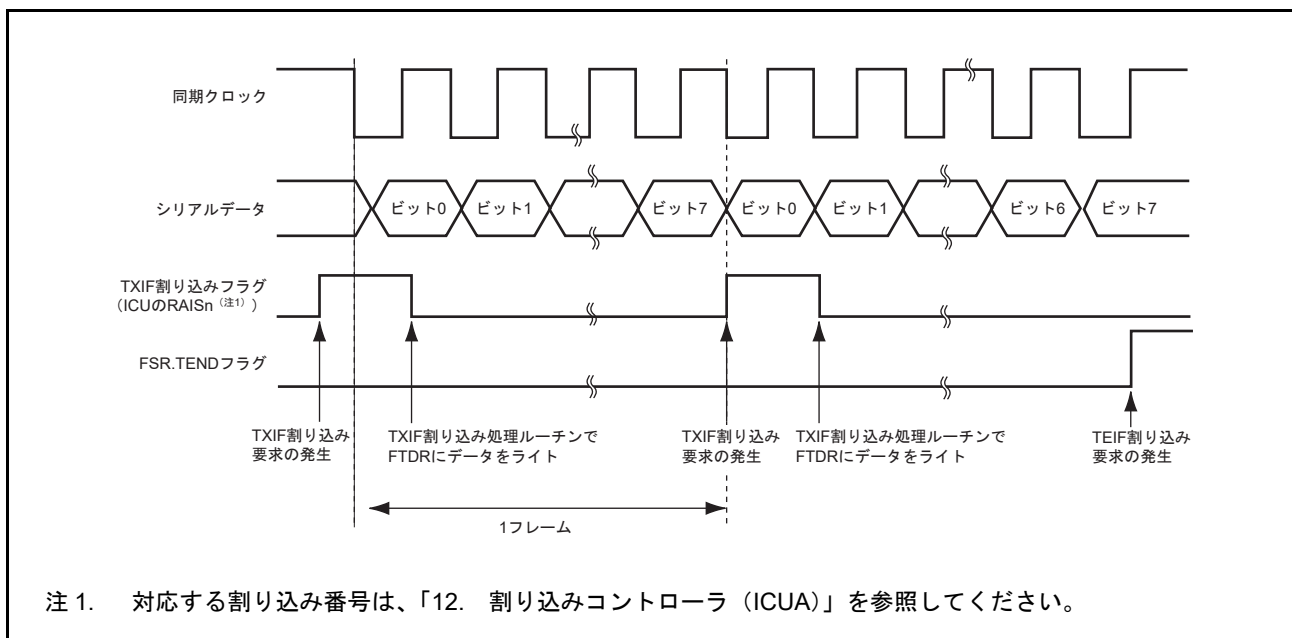


図 24.14 SCIFA の送信時の動作例 (LSB ファースト時)

• シリアルデータ受信（クロック同期式モード）

図 24.15 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIFA を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIFA の初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り替える際は、必ず、ラインステータスレジスタ (LSR) の ORER、PER、FER の各フラグが“0”にクリアされていることを確認してください。

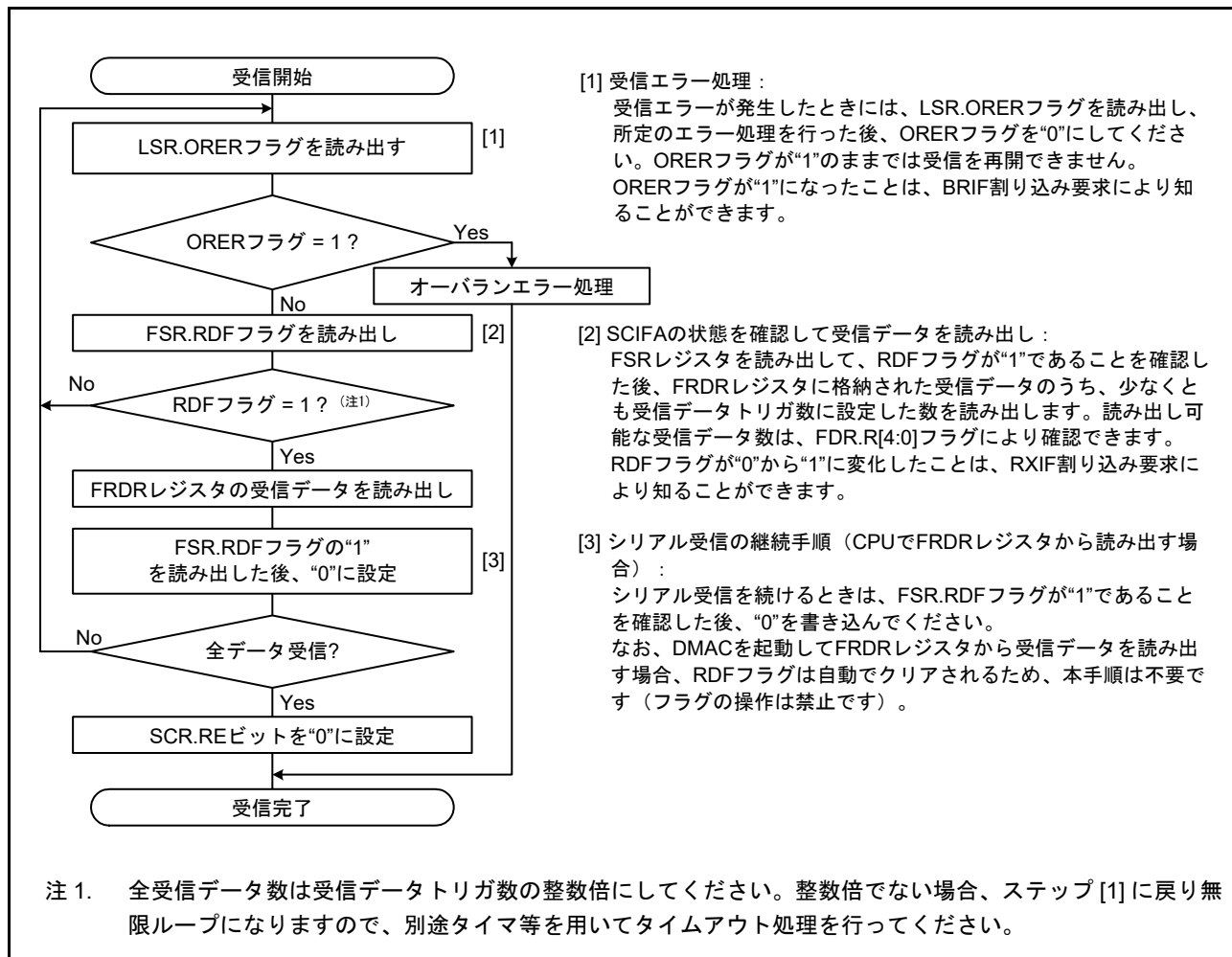


図 24.15 シリアル受信のフローチャートの例

SCIFA はシリアル受信時、以下のように動作します。

1. 同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをレシブシフトレジスタ (RSR) に LSB から MSB の順に格納します (LSB ファースト時)。受信後、SCIFA は受信データを RSR レジスタから FRDR レジスタに転送できる状態かどうか確認します。転送できる状態であれば、FRDR レジスタに受信データが格納されます。エラーチェックでオーバランエラーを検出すると、以後の受信動作は行われません。
3. 指定受信トリガ数以上の受信データ数が FRDR レジスタに格納され、RDF フラグが“1”になったとき、シリアルコントロールレジスタ (SCR) の RIE ビットが“1”にセットされている場合は、受信 FIFO データフル割り込み (RXIF) 要求が発生します。また、ラインステータスレジスタ (LSR) の ORER フラグが“1”になったとき、SCR レジスタの RIE ビットまたは REIE ビットが“1”にセットされている場合は、ブレイク割り込み (BRIF) 要求が発生します。

図 24.16 に SCIFA の受信時の動作例を示します。

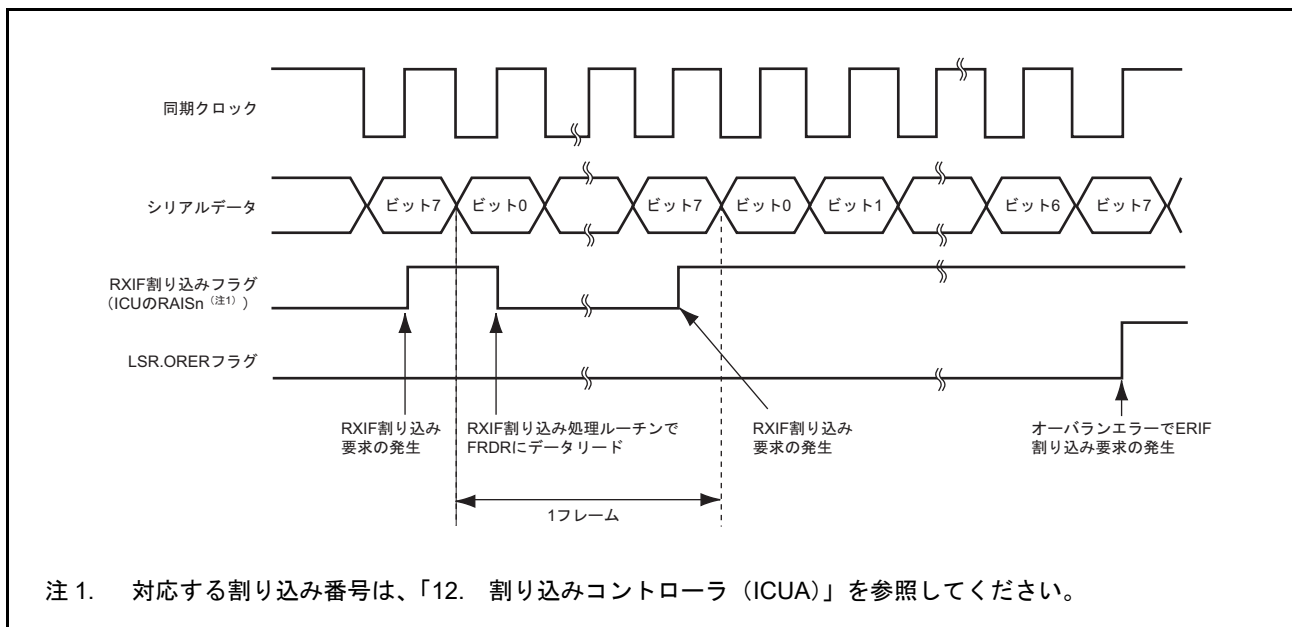


図 24.16 SCIFA の受信時の動作例 (LSB ファースト時)

● シリアルデータ送受信同時動作 (クロック同期式モード)

図 24.17 にシリアル送受信同時動作のフローチャートの例を示します。

送受信同時動作においては、受信データ数 = 送信データ数 = FTDR レジスタへ書き込む送信データ数になります。

シリアルデータの送受信同時動作は、SCIFA を送受信動作可能状態に設定した後、以下の手順で行ってください。

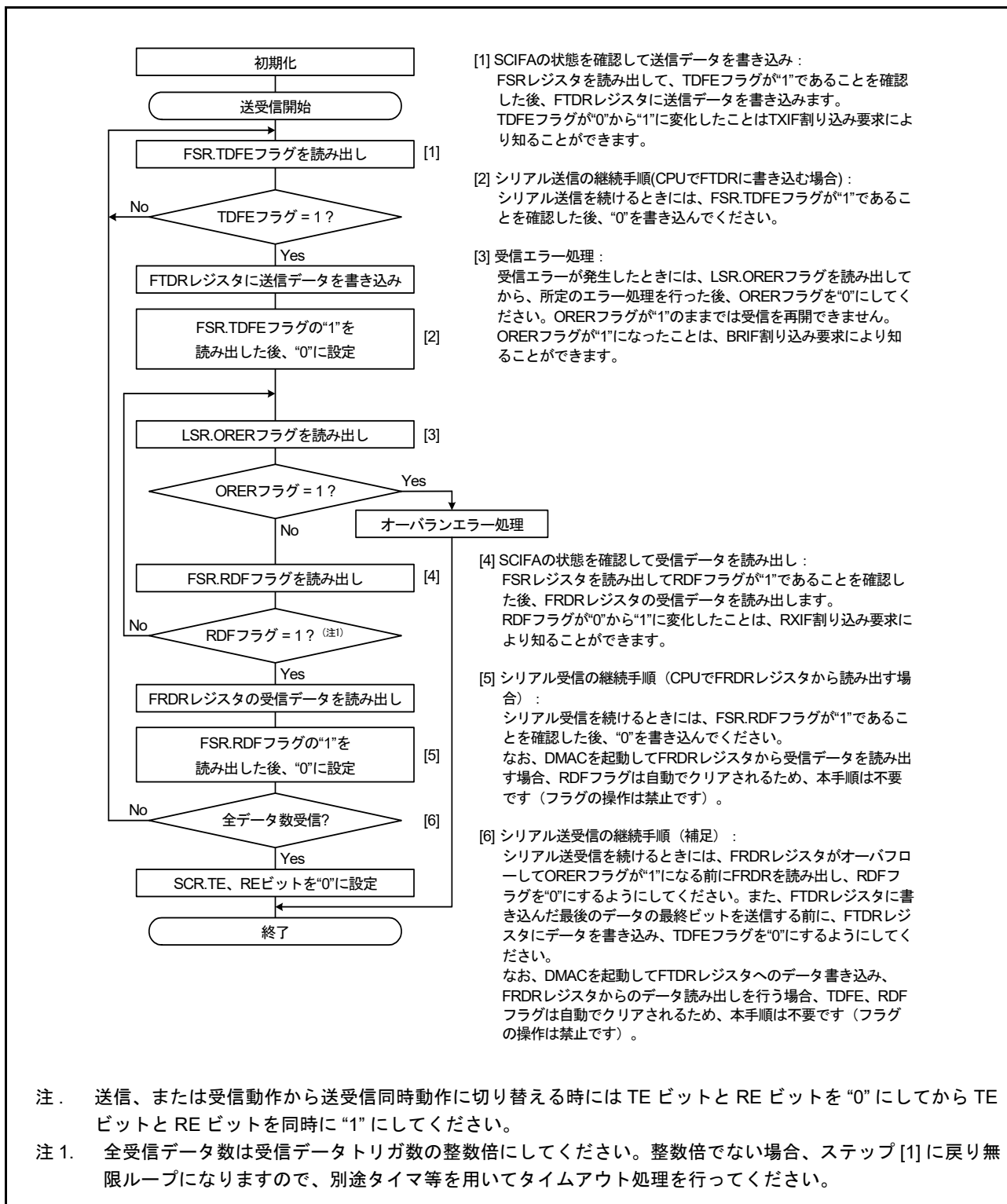


図 24.17 シリアルデータ送受信フローチャートの例

24.4 ビットモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。SMRレジスタのCKS[1:0]ビットで指定した内部クロックの256クロックに対し、MDDRレジスタで指定した個数のクロックだけを平均的な間隔になるように有効にすることによってビットレートを補正します。

調歩同期式モード時にCKS[1:0]ビットでSERICLKを選択し、BRR = 0、MDDR = 160に設定した例を、**図 24.18**に示します。この例では基本クロックの周期が平均的に256/160に補正され、ビットレートは160/256に補正されます。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

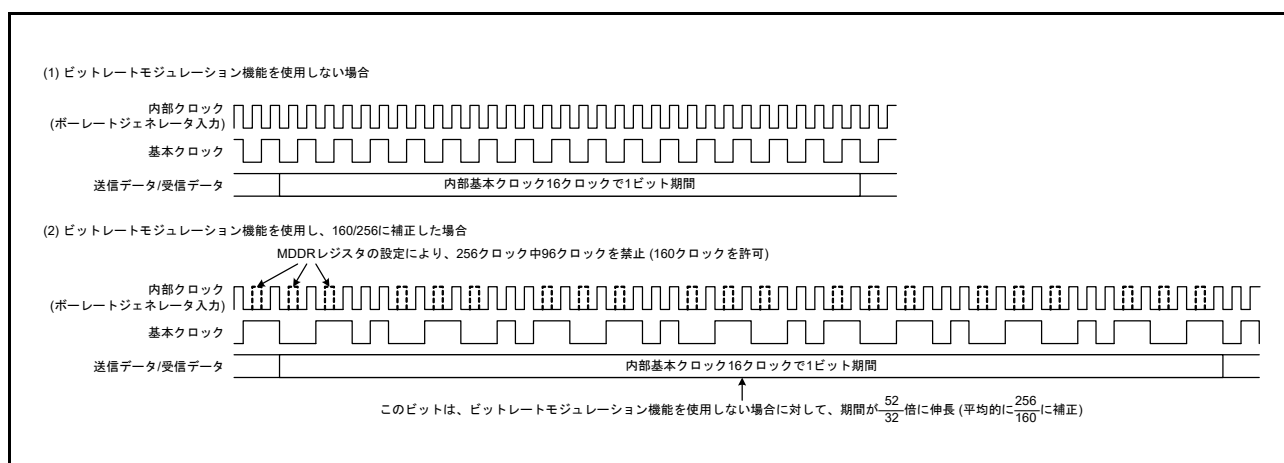


図 24.18 ビットレートモジュレーション機能使用時の内部基本クロックの例

24.5 割り込み要因

SCIFA は、送信 FIFO データエンプティ割り込み (TXIF) 要求、受信エラー割り込み (ERIF) 要求、受信 FIFO データフル割り込み (RXIF) 要求、ブ레이크割り込み (BRIF) 要求、トランスミットエンド割り込み (TEIF)、受信データレディ割り込み (DRIF) 要求の 6 種類の割り込み要因を持っています。TEIF 割り込みと DRIF 割り込み、ERIF 割り込みと BRIF 割り込みのベクタ番号はそれぞれ兼用になっています。

表 24.17 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR レジスタの TIE、RIE、REIE、TEIE ビットで許可/禁止を設定できます。また、各割り込み要求は、それぞれ独立に割り込みコントローラに入力されます。

送信の結果、FTDR レジスタに書き込んだ送信データ数が、指定送信トリガ数以下のとき、シリアルステータスレジスタ (FSR) の TDFE フラグが“1”にセットされ、TXIF 割り込み要求が発生します。

指定受信トリガ数以上の受信データ数が FRDR レジスタに格納され、FSR レジスタの RDF フラグが“1”にセットされると、RXIF 割り込み要求が発生します。

FRDR レジスタのデータ数が指定受信トリガ数未満の場合、最後のストップビットから 15ETU の時間経過 (注 1) 後も次のデータが受信されないと、FSR レジスタの DR フラグが“1”にセットされ、DRIF 割り込み要求が発生します。クロック同期モードの場合、DRIF 割り込み要求は発生しません。

FSR レジスタの BRK フラグまたは LSR レジスタの ORER フラグが“1”にセットされると BRIF 割り込み要求が発生します。

FSR レジスタの ER フラグが“1”にセットされると ERIF 割り込み要求が発生します。

FSR レジスタの TEND フラグが“1”にセットされると TEIF 割り込み要求が発生します。

SCR レジスタの RIE ビットを“0”に設定し、REIE ビットを“1”に設定すると RXIF、DRIF 割り込み要求は発生せず、ERIF、BRIF 割り込み要求だけが発生します。

なお、TXIF 割り込みは送信データの書き込みが可能であることを示し、RXIF 割り込みは FRDR レジスタに受信データがあることを示しています。

注 1. 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)

表 24.17 SCIFA 割り込み要因

名称	レベル/ エッジ	割り込み要因	割り込み許可 ビット	DMACの起動	優先 順位
BRIF	レベル	ブ레이크 (BRK) またはオーバラン (ORER) による割り込み	RIE または REIE	不可	高 ↑ ↓ 低
ERIF	レベル	フレーミングエラーまたはパリティエラー (ER) による割り込み	RIE または REIE	不可	
RXIF	レベル	受信 FIFO データフル (RDF) による割り込み	RIE	可	
TXIF	レベル	送信 FIFO データエンプティ (TDFE) による割り込み	TIE	可	
TEIF	レベル	トランスミットエンド (TEND) による割り込み	TEIE	不可	
DRIF	レベル	受信データレディ (DR) による割り込み	RIE	不可	

注. TEIF 割り込みと DRIF 割り込みのベクタ番号は兼用です。

24.6 シリアルポートレジスタ (SPTR) と SCIFA 関連の端子との関係

SPTR レジスタと SCIFA 関連の端子との関係を図 24.19 ~ 図 24.22 に示します。

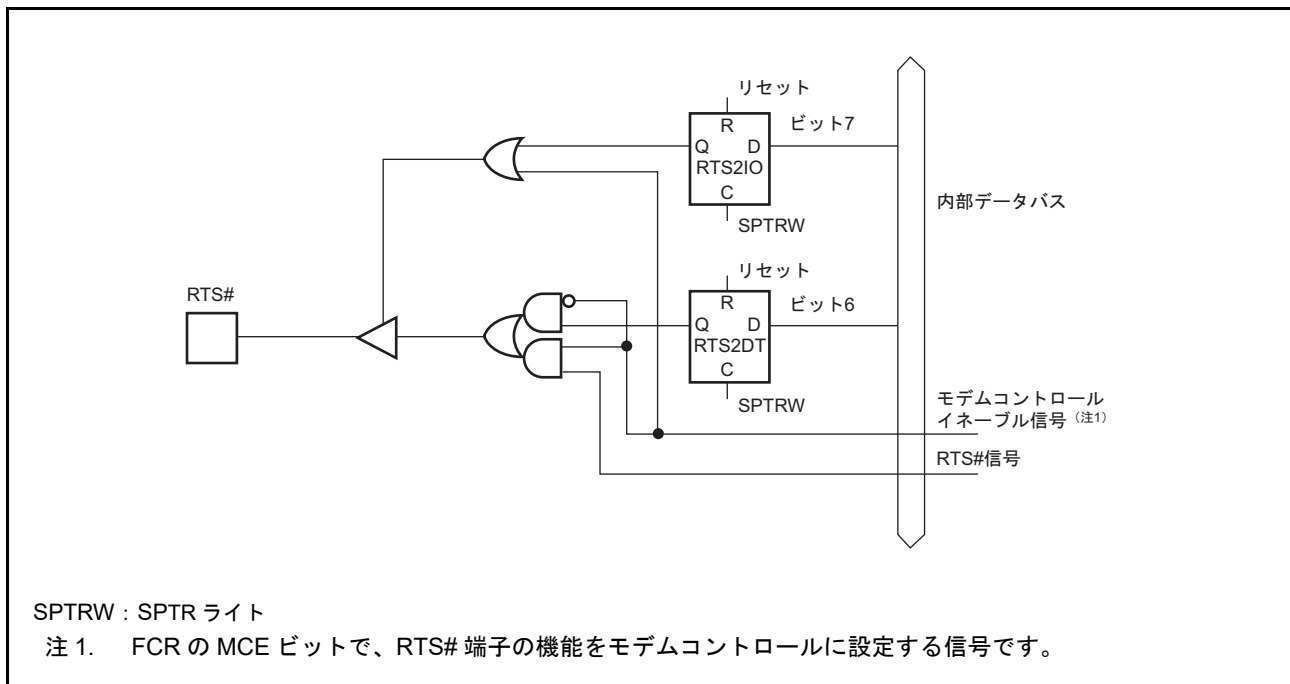


図 24.19 SPTR レジスタの RTS2IO ビット、RTS2DT ビットと RTS# 端子との関係

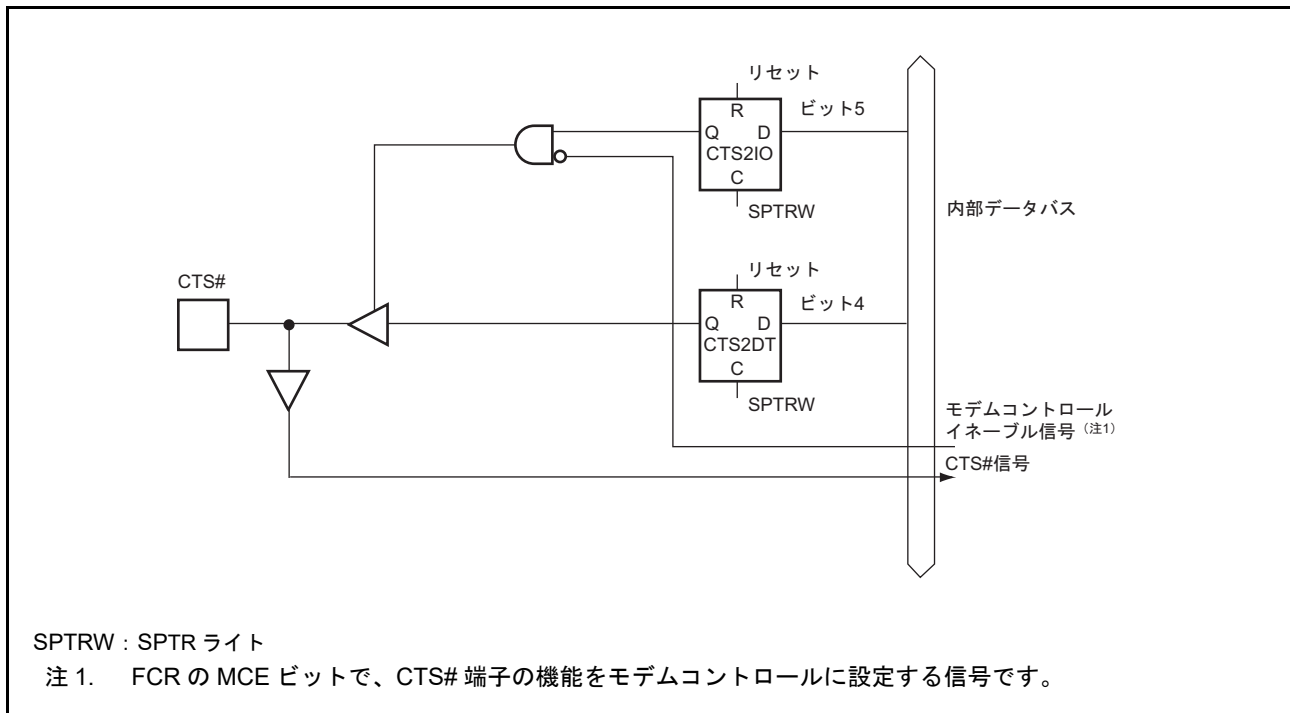


図 24.20 SPTR レジスタの CTS2IO ビット、CTS2DT ビットと CTS# 端子との関係

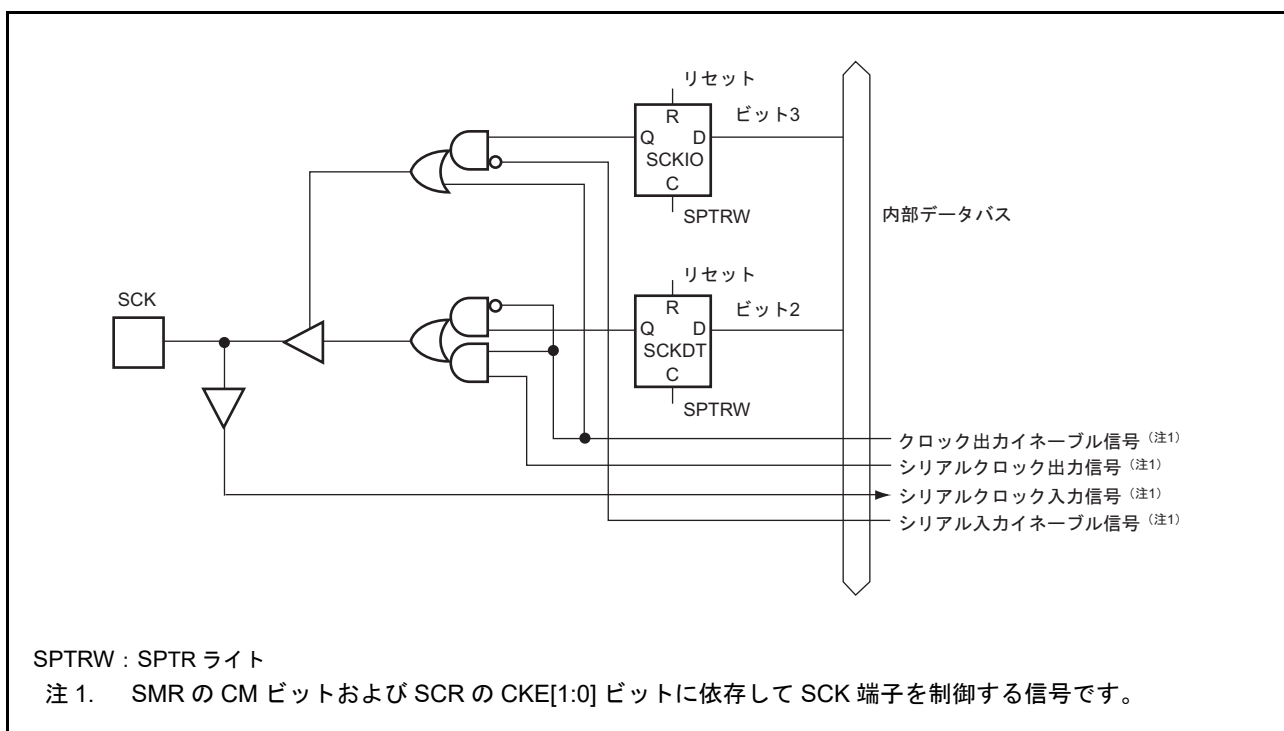


図 24.21 SPTR レジスタの SCKIO ビット、SCKDT ビットと SCK 端子との関係

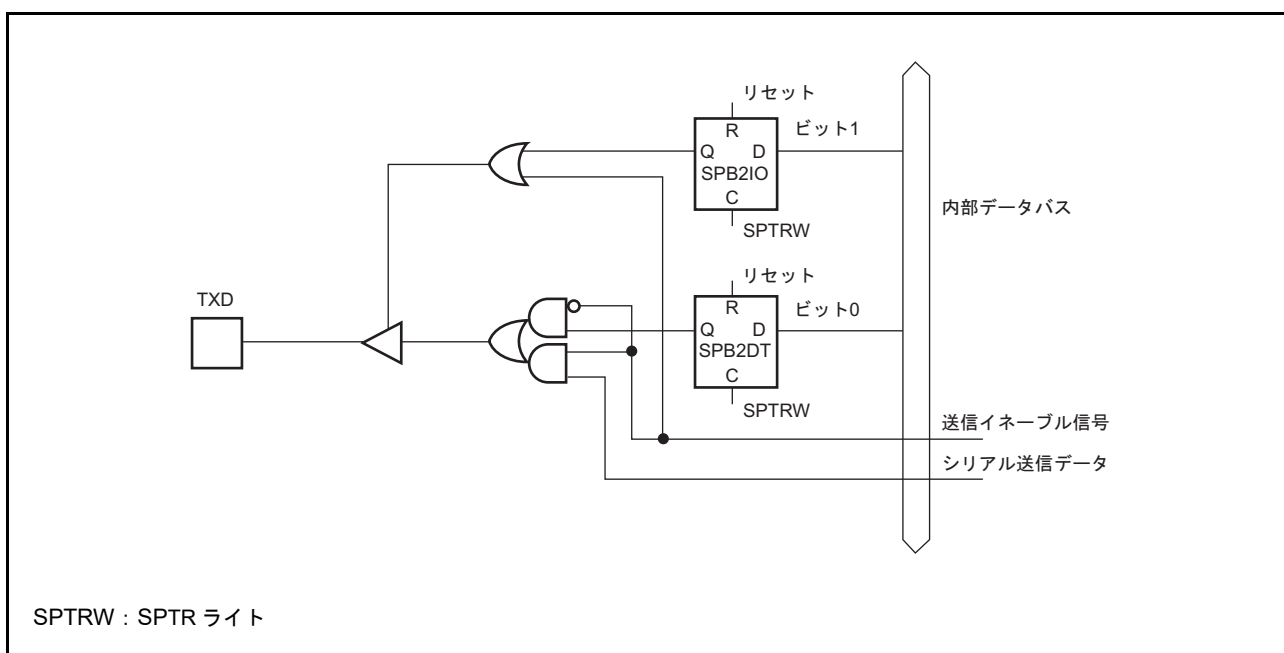


図 24.22 SPTR レジスタの SPB2IO ビット、SPB2DT ビットと TXD 端子との関係

24.7 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 24.23 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号、および2段のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられます。一致しない場合は前の値を保持します。(ノイズフィルタのサンプリングで使われるクロックで3回サンプリングした値が一致した場合、有効な受信信号として認識し、3回サンプリングした値が一致しない場合はノイズとして判断し、受信信号として認識しません)。

調歩同期式モード時は、受信信号 RxDn 端子の入力にノイズ除去機能を使用することが可能です。RxDn 端子の受信レベルは、基本クロック (転送レートの16倍、8倍、または4倍 (注1) のクロック) でノイズフィルタのフリップフロップ回路に取り込まれます。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.RE = 0 にした場合、ノイズフィルタは“0”を RxDn の内部信号に出力します。受信停止中も内部の一致検出回路は動作を続け、受信再開と同時に直前の3回のサンプリング結果を出力します。

- 注1. SEMR.ABCS0 ビットと SEMR.BGDM ビットが両方とも“0”のときは、ビットレートの16倍の周波数、SEMR.ABCS0 ビットまたは SEMR.BGDM ビットのいずれか一方が“1”のときは、ビットレートの8倍の周波数、SEMR.ABCS0 ビットと SEMR.BGDM ビットが両方とも“1”のときは、ビットレートの4倍の周波数になります。

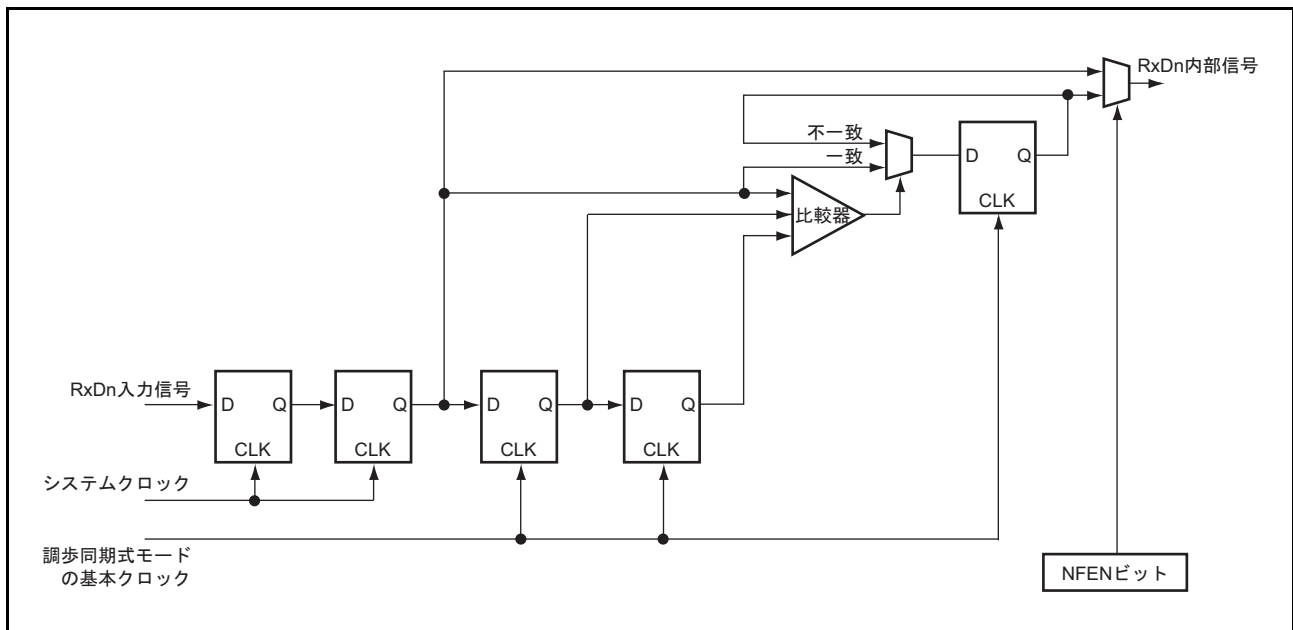


図 24.23 デジタルノイズフィルタ回路のブロック図

24.8 使用上の注意事項

SCIFA を使用する際は、以下のことに注意してください。

24.8.1 FTDR レジスタへの書き込みと TDFE フラグ

シリアルステータスレジスタ (FSR) の TDFE フラグは、トランスミット FIFO データレジスタ (FTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (FCR) の TTRG[1:0] または FIFO トリガコントロールレジスタ (FTCR) の TFTC[4:0] ビットで設定した送信トリガ数より少なくなるとセットされます。TDFE フラグがセットされた後、送信データは FTDR レジスタの空バイト数分、書き込むことができるため、効率のよい連続送信が可能です。

ただし、FTDR レジスタに書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは“1”を読み出した後“0”にクリアしても再び“1”にセットされます。

DMAC による FTDR レジスタへのデータ書き込み時は、DMAC 転送終了時も FSR.TDFE フラグは“1”のままですが、FSR.TDFE フラグとは関係なく DMAC 転送を行うことができます。

FTDR レジスタの送信データバイト数は、FIFO データ数レジスタ (FDR) の上位 8 ビットで確認することができます。

24.8.2 FRDR レジスタの読み出しと RDF フラグ

シリアルステータスレジスタ (FSR) の RDF フラグは、レシーブ FIFO データレジスタ (FRDR) の受信データバイト数が FIFO コントロールレジスタ (FCR) の RTRG[1:0] または FIFO トリガコントロールレジスタ (FTCR) の RFTC[4:0] ビットで設定した受信トリガ数以上になるとセットされます。RDF フラグがセットされた後、トリガ数分の受信データを FRDR レジスタから読み出すことで、効率のよい連続受信が可能です。

ただし、FRDR レジスタのデータバイト数が受信トリガ数を上回る場合、RDF フラグは、“1”を読み出した後“0”にクリアしても再び“1”にセットされます。

DMAC による FRDR レジスタからのデータ読み出し時は、DMAC 転送終了時も FSR.RDF フラグは“1”のままですが、FSR.RDF フラグとは関係なく DMAC 転送を行うことができます。

FRDR レジスタの受信データバイト数は、FIFO データ数レジスタ (FDR) の下位 8 ビットで確認することができます。

24.8.3 ブレークの検出と処理

フレーミングエラー (FER) 検出時に RXD 端子の値を直接読み出すことで、ブレーク信号を検出できます。ブレーク時は、RXD 端子からの入力がすべて Low になります。このため、シリアルステータスレジスタ (FSR) の FER フラグが“1”にセットされ、またパリティエラーフラグ (PER) も“1”にセットされる場合があります。

SCIFA は、ブレーク信号を検出すると FRDR レジスタへの受信データの転送は停止しますが、受信動作は継続します。

24.8.4 SPTR レジスタへの書き込み

SPTR レジスタの bit 6, 4, 2, 0 を読み出すと、端子への入力状態が読めます (詳細は、「24.2.12 シリアルポートレジスタ (SPTR)」の各ビットの説明を参照してください)。これらのビットに 1 ビット単位で書き込んだ場合、リード・モディファイ・ライトされ、意図した値が書き込まれない場合があります。このため、例えば、SPB2DT ビットと SPB2IO ビットを操作するような場合は、それぞれのビットを同時に書き込んでください。

24.8.5 ブレークの送付

TXD 端子の出力信号は、シリアルポートレジスタ (SPTR) の SPB2IO ビットと SPB2DT ビットで決まります。これを利用してブレーク信号を送出することができます。

SCIFA の初期化から SCR レジスタの TE ビットを“1”にセット (送信可能) するまで、TXD 端子は送信データ出力端子として機能しません。この間の TXD 端子状態は SPB2DT ビットの値で代替されます。このため、最初は SPTR レジスタの SPB2IO と SPB2DT ビットを“1” (High 出力) に設定しておきます (マーク状態 (High))。

シリアル送信時にブレーク信号を送出するためには、SPTR レジスタの SPB2IO ビットに“1”をセット、SPB2DT ビットを“0”にクリア (Low を指定) した後、SCR レジスタの TE ビットを 0 にクリア (送信停止) します。TE ビットを“0”にクリアすると、送信部は現在の送信状態とは無関係に初期化され、TXD 端子から Low が出力されます。

24.8.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIFA は転送レートの 16 倍 (注 1) の周波数の基本クロックで動作しています。受信時は、基本クロックの 8 クロック目 (注 1) の立ち上がりエッジで受信データを内部に取り込みます。このタイミングを図 24.24 に示します。

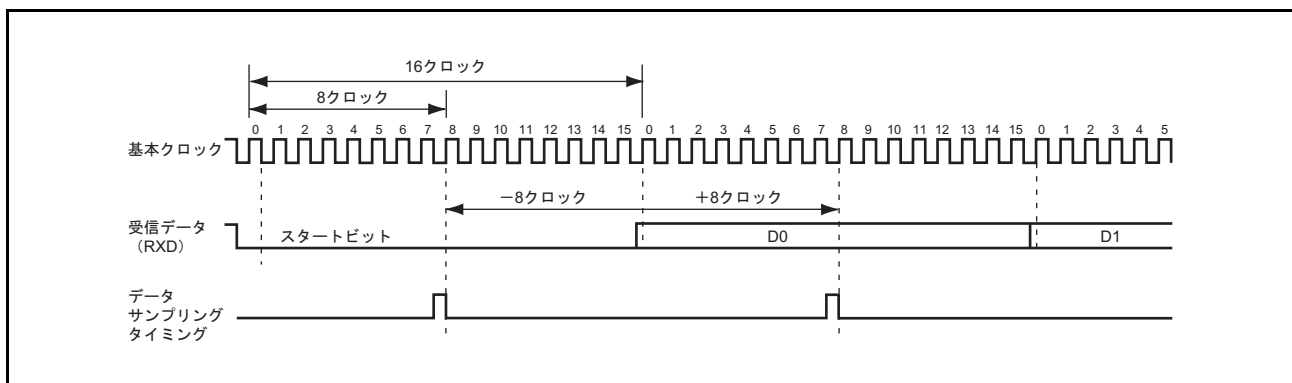


図 24.24 調歩同期式モードでの受信データサンプリングタイミング

注 1. SEMR.ABCS0 ビット = 0 のときの例です。ABCS0 ビット = 1 のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right) \times 100\% \right\} \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : ビットレートに対するクロック周波数の比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \quad \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際は 20 ~ 30% の余裕を持たせてください。

24.8.7 シリアルステータスレジスタ (FSR) の FER フラグおよび PER フラグの注意事項

シリアルステータスレジスタ (FSR) の FER フラグおよび PER フラグは、次に読み出すレシーブ FIFO データレジスタ (FRDR) のステータスフラグです。CPU によりレシーブ FIFO データレジスタを読み出すと、受信データのフレーミングエラーおよびパリティエラーのフラグはクリアされます。受信データのフレーミングエラーおよびパリティエラーの状態を確認する場合は、シリアルステータスレジスタの読み出し後にレシーブ FIFO データレジスタを読み出してください。

24.8.8 クロック同期式モードにおける外部クロック入力時の注意事項

シリアルコントロールレジスタ (SCR) の TE=1、RE=1 の設定は、外部クロック (SCK) が “0” (Low) から “1” (High) になった後、周辺動作クロックが 4 クロック以上入力された後に行ってください。

また、外部クロック (SCK) を入力する (通信を開始する) 場合、SCR レジスタの TE=1、RE=1 に設定し、外部クロックの 1 周期以上の時間経過後に入力してください。

24.8.9 モジュールスタンバイモードの設定

SCIFA はスタンバイコントロールレジスタにより、本モジュールの動作禁止/許可を設定することが可能です。初期値は、SCIFA の動作停止です。モジュールスタンバイモードを解除することにより、各レジスタのアクセスが可能となります。詳細は「9. 消費電力低減機能」を参照してください。

24.8.10 クロック同期式モードで内部クロック選択時における受信動作の注意事項

クロック同期式モードで内部クロックを選択して受信を行う場合、レシーブ FIFO データレジスタ (FRDR) に格納されるデータ数が指定した受信トリガ数以上になると、RDF フラグをセットして RXIF 割り込み要求が発生すると共に、同期クロックの出力が停止し、シリアルデータの受信動作が停止します。FRDR レジスタからデータを読み出し、FRDR レジスタに格納されたデータ数が指定受信トリガ数未満になると、同期クロックの出力を開始し、シリアルデータの受信動作を再開します。また、クロック同期式モードで内部クロックを選択して受信を行う場合、オーバランエラーは発生しないため、ORER フラグは “1” にセットされません。このため、オーバラン (ORER フラグ) を割り込み要因とする BRIF 割り込みは利用できません。

24.8.11 SCIFA 初期化時の注意事項

SCIFA の初期化の際、シリアルコントロールレジスタ (SCR) の TE ビットおよび RE ビットを “0” にクリアする場合は、各ビットを同時に “0” とするか、先に RE ビットを “0” としてください。

TE ビットのみを先に “0” とした場合、RE ビット = “1” で受信動作許可となるため、意図せず受信動作を開始する可能性があるため注意が必要です。

25. I²Cバスインタフェース (RIICa)

本LSIは、2チャンネルのI²Cバスインタフェース (RIIC) を内蔵しています。

RIICは、NXP社が提唱するI²Cバス (Inter-IC-Bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

25.1 概要

表 25.1 に RIIC の仕様を、図 25.1 に RIIC のブロック図を、図 25.2 に入出力端子の外部回路接続例 (I²Cバス構成例) を示します。表 25.2 に RIIC で使用する入出力端子を示します。

表 25.1 RIICの仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400kbps)
SCLクロック	マスタ時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション (リスタートコンディション含む) /ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> 異なるスレーブアドレスを3種類まで設定可能 7ビット/10ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイスIDアドレス検出可能
アクノリッジ応答	<ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送付 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト
SDA出力遅延機能	アクノリッジ送信を含むデータ送信の出カタイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 (マルチマスタ対応) マスタアービトレーションロスト スタートコンディション発行時、SDA信号とSDAライン上の信号の状態が不一致のとき検出 バスビジー中にスタートコンディションを発行したとき検出 マスタ送信時、送信データとSDAライン上の信号の状態が不一致のとき検出 NACK送信アービトレーションロスト ノットアクノリッジ送信時、SDAライン上の信号の状態が不一致のとき検出 スレーブアービトレーションロスト スレーブ送信時、送信データとSDAライン上の信号の状態が不一致のとき検出
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能
割り込み要因	4種類 <ul style="list-style-type: none"> 通信エラー/イベント発生 アービトレーション検出 NACK検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了
消費電力低減機能	モジュールストップ状態への設定が可能
RIICの動作モード	4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード

表 25.1 RIICの仕様 (2 / 2)

項目	内容
イベントリンク機能 (出力)	4種類 <ul style="list-style-type: none"> 通信エラー／イベント発生 アービトレーション検出 NACK検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了

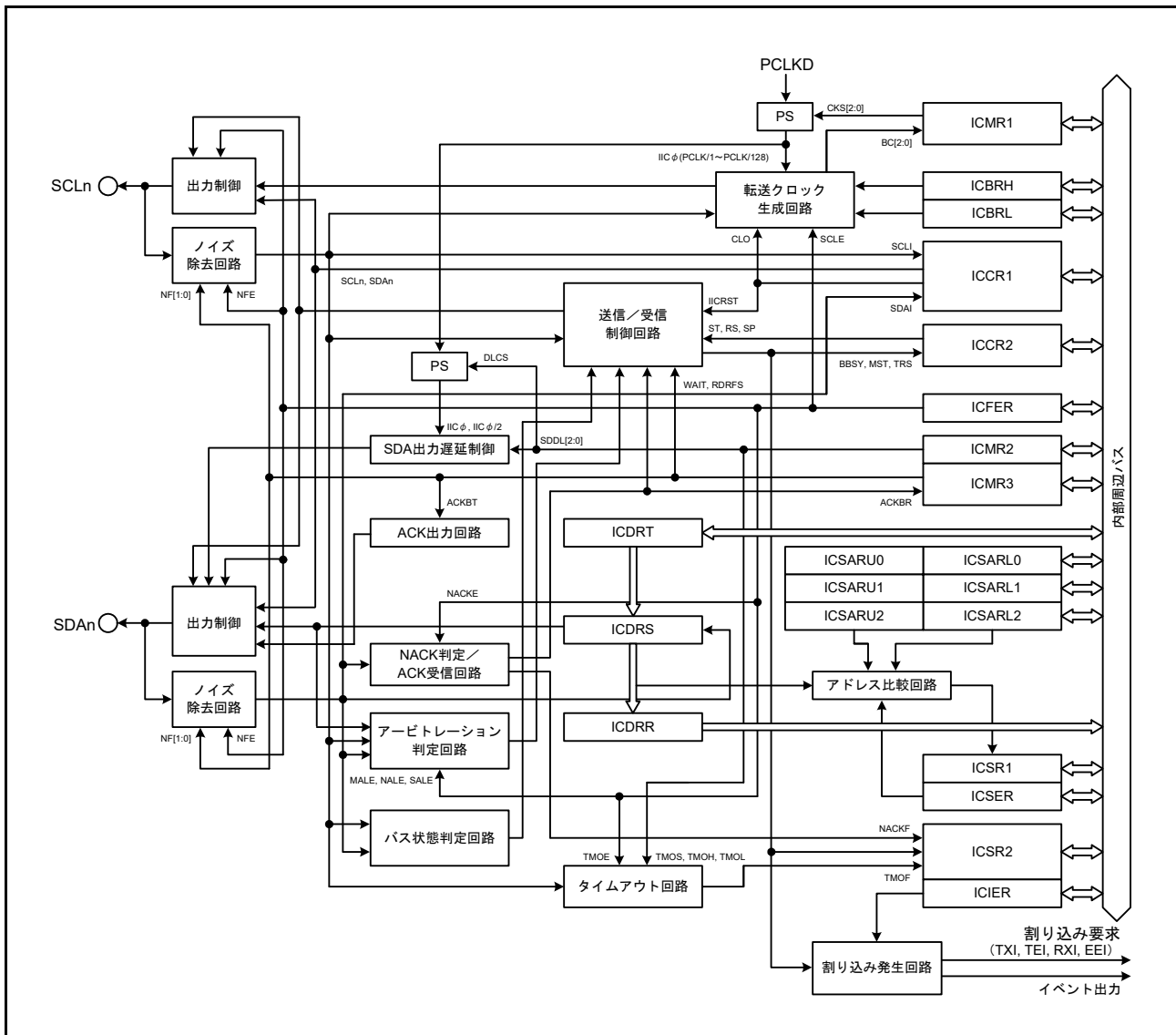


図 25.1 RIICのブロック図

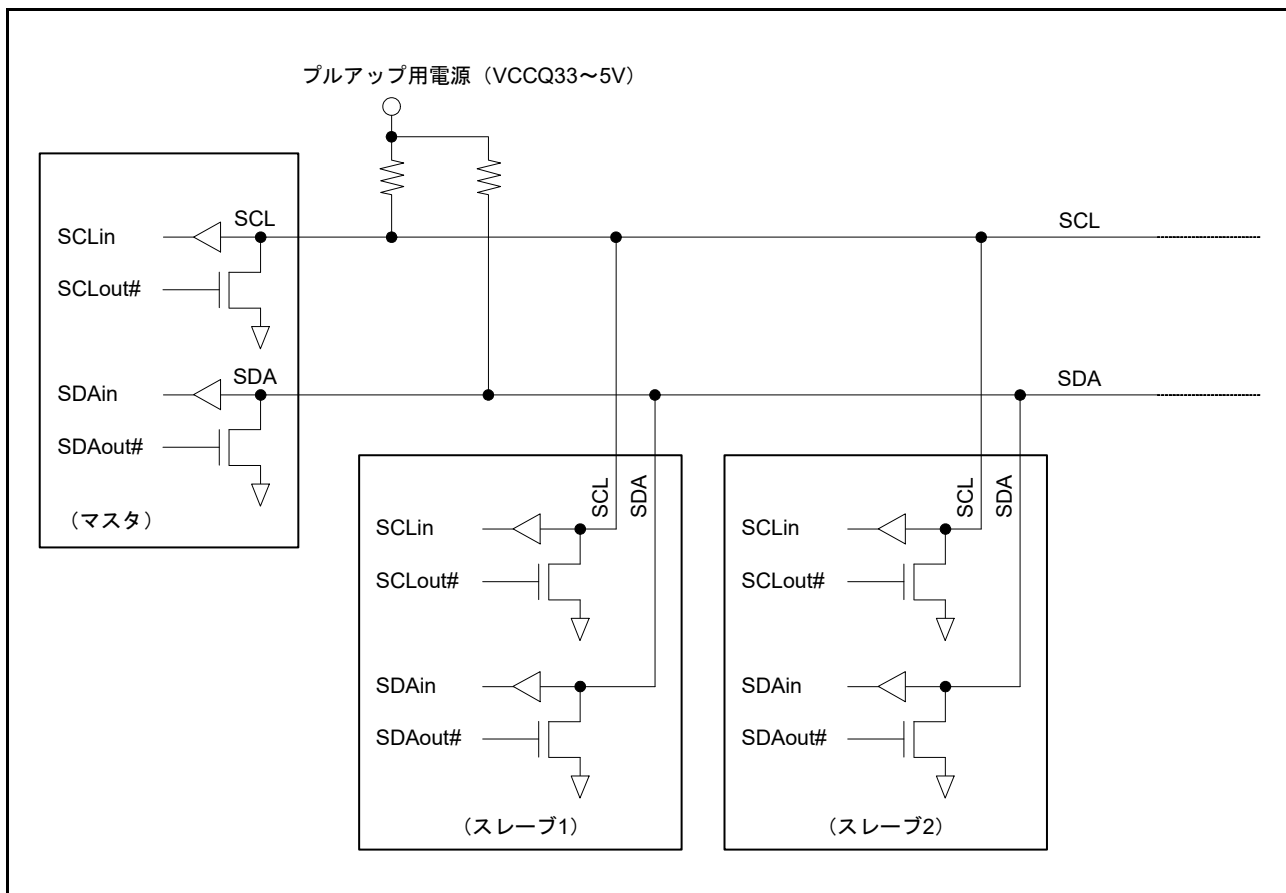


図 25.2 入出力端子の外部回路接続例 (I²C バス構成例)

RIIC の各信号の入力レベルは、CMOS レベルです。

表 25.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0 シリアルクロック入出力端子
	SDA0	入出力	RIIC0 シリアルデータ入出力端子
RIIC1	SCL1	入出力	RIIC1 シリアルクロック入出力端子
	SDA1	入出力	RIIC1 シリアルデータ入出力端子

25.2 レジスタの説明

25.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

ICCR1 レジスタは、RIIC が出力する SDA_n 信号、SCL_n 信号を制御するレジスタです (n=0, 1)。

アドレス RIIC0.ICCR1 A008 0900h, RIIC1.ICCR1 A008 0940h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0: SDA _n ラインはLow 1: SDA _n ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0: SCL _n ラインはLow 1: SCL _n ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0: SDA_n端子出力がLow 1: SDA_n端子出力がHigh ライト時 0: SDA_n端子出力をLowにする 1: SDA_n端子出力をハイインピーダンスに変更 (外部プルアップ抵抗によりHigh出力) 	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0: SCL_n端子出力がLow 1: SCL_n端子出力がHigh ライト時 0: SCL_n端子出力をLowにする 1: SCL_n端子出力をハイインピーダンスに変更 (外部プルアップ抵抗によりHigh出力) 	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0: SCLO、SDAOビットの書き換え許可 1: SCLO、SDAOビットを保護 (読むと常に“1”が読めます)	R/W
b5	CLO	SCLクロック追加出力ビット	0: SCLクロックを追加で出力しない (通常状態) 1: SCLクロックを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0: RIICリセット、内部リセット解除 1: RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCL _n /SDA _n 出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0: 禁止 (SCL _n 、SDA _n 端子非駆動状態) 1: 許可 (SCL _n 、SDA _n 端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御/モニタビット)、SCLO ビット (SCL 出力制御/モニタビット)

RIIC が出力する SDA_n 信号、SCL_n 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力ビット)

SCL クロックを1クロック単位で追加出力する機能で、デバッグ時または異常処理時に使用します。通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。本機能の詳細については、「25.11.2 SCL クロック追加出力機能」を参照してください。

IICRST ビット (I²C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 25.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1、ICSR2) および内部状態をリセットします。各レジスタのリセット状況については、「25.13 リセットと各コンディション発行時のレジスタおよび機能の状態」を参照してください。

動作中 (ICE ビット = 1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCLn 端子 / SDAn 端子をハイインピーダンスにしてバスを解放することができます。

注． スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCLn ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 25.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCLn、SDAn 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 25.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときは、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCLn、SDAn 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCLn、SDAn 端子非駆動状態になります。

25.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

ICCR2 レジスタは、スタート/リスタート/ストップコンディション発行を制御するレジスタです。

アドレス RIIC0.ICCR2 A008 0901h, RIIC1.ICCR2 A008 0941h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態 (バスフリー状態) 1: I ² Cバスが占有状態 (バスビジー状態)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

STビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0” (バスフリー) のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「25.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件] 以下のいずれかの条件成立時

- “0”を書いたとき
- スタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.ALフラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注. STビットは、BBSYフラグが“0” (バスフリー) のとき、“1” (スタートコンディション発行要求) にしてください。

BBSYフラグが“1” (バスビジー) のとき、STビットを“1” (スタートコンディション発行要求) にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが“1”になるとリスタートコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「25.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき (ICCR2.BBSY フラグが“0”の状態では、“1”を書き込めません)

[“0”になる条件] 以下のいずれかの条件成立時

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを“1”にしないでください。

注. リスタートコンディションを発行する場合、マスタ送信モードで発行することを推奨します。スレーブモードで RS ビットに“1” (リスタートコンディション発行要求) を書いた場合、リスタートコンディションは発行されずに RS ビットは“1”のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「25.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

[“0”になる条件] 以下のいずれかの条件成立時

- “0”を書いたとき
- ストップコンディションの発行が完了したとき (ストップコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグ = 0 (バスフリー) のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット (送信/受信モードビット)

送信/受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせでRIICの動作モードを表します。

TRS ビットは、スタートコンディションの発行/検出およびR/W# ビットの値で“1”または“0”になり、RIICの動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1”になる条件] 以下のいずれかの条件成立時

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (BBSY フラグが“0” (バスマスター)、ST ビットが“1”の状態、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (RS ビットが“1”の状態、リスタートコンディションを検出したとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが ICSESR レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態、“1”を書いたとき

[“0”になる条件] 以下のいずれかの条件成立時

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが ICSESR レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

R/W# は、送信データに含まれるビットで、送信/受信の方向を示します。R/W# = 1 の場合、スレーブデバイスからマスタデバイス、R/W# = 0 の場合、マスタデバイスからスレーブデバイスにデータを転送します。

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせでRIICの動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”または“0”になり、RIICの動作モードは自動的にマスタモードまたはスレーブモードに移行します。

ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1”になる条件] 以下のいずれかの条件成立時

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (BBSY フラグが“0” (バスフリー)、ST ビットが“1”の状態、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態、“1”を書いたとき

[“0”になる条件] 以下のいずれかの条件成立時

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²Cバスの占有 (バスビジー) /解放状態 (バスフリー) を示します。

SCLn ラインが High の状態で SDAn ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して“1”になります。

SCLn ラインが High の状態で SDAn ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき“0”になります。

[“1”になる条件]

- スタートコンディションを検出したとき

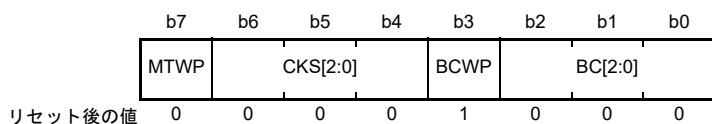
[“0”になる条件] 以下のいずれかの条件成立時

- ストップコンディションを検出後、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき
- ICCR1.ICE ビットが“0”の状態、ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

25.2.3 I²C バスモードレジスタ 1 (ICMR1)

ICMR1 レジスタは、ダウンカウントを行うカウンタのビット数、および基準クロックソースを設定するレジスタです。

アドレス R1IC0.ICMR1 A008 0902h, R1IC1.ICMR1 A008 0942h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	R1ICの内部基準クロックソース (IICφ) を選択します。 b6 b4 0 0 0 : PCLKD/1クロック 0 0 1 : PCLKD/2クロック 0 1 0 : PCLKD/4クロック 0 1 1 : PCLKD/8クロック 1 0 0 : PCLKD/16クロック 1 0 1 : PCLKD/32クロック 1 1 0 : PCLKD/64クロック 1 1 1 : PCLKD/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRS ビットへの書き込み禁止 1 : ICCR2.MST, TRS ビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットへの“0”書き込みと同時に行ってください。

BC[2:0] ビット (ビットカウンタ)

SCL_n ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできませんが、通常はアクセスする必要はありません。

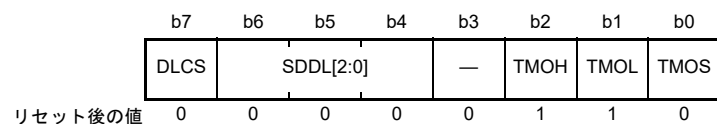
なお、書く場合には転送するデータのビット数+1を指定し (データにアクリッジ1ビットが付加されて転送される)、転送フレーム間にかつ SCL_n ラインが Low の状態で行ってください。

BC[2:0] ビットはアクリッジを含むデータ転送終了時、またはスタートコンディション検出 (リスタートコンディション含む) で自動的に“000b”に戻ります。

25.2.4 I²C バスモードレジスタ 2 (ICMR2)

ICMR2 レジスタは、タイムアウト検出機能および SDA 出力遅延機能に関する各種設定を行うレジスタです。

アドレス R1IC0.ICMR2 A008 0903h, R1IC1.ICMR2 A008 0943h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0 : ロングモードを選択 1 : ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0 : SCLnラインがLowでカウント禁止 1 : SCLnラインがLowでカウント有効	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0 : SCLnラインがHighでカウント禁止 1 : SCLnラインがHighでカウント有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> • ICMR2.DLCS = 0 (IICφ) のとき <li style="padding-left: 20px;">b6 b4 <li style="padding-left: 20px;">0 0 0 : 出力遅延なし <li style="padding-left: 20px;">0 0 1 : IICφの1サイクル <li style="padding-left: 20px;">0 1 0 : IICφの2サイクル <li style="padding-left: 20px;">0 1 1 : IICφの3サイクル <li style="padding-left: 20px;">1 0 0 : IICφの4サイクル <li style="padding-left: 20px;">1 0 1 : IICφの5サイクル <li style="padding-left: 20px;">1 1 0 : IICφの6サイクル <li style="padding-left: 20px;">1 1 1 : IICφの7サイクル • ICMR2.DLCS = 1 (IICφ/2) のとき <li style="padding-left: 20px;">b6 b4 <li style="padding-left: 20px;">0 0 0 : 出力遅延なし <li style="padding-left: 20px;">0 0 1 : IICφの1~2サイクル <li style="padding-left: 20px;">0 1 0 : IICφの3~4サイクル <li style="padding-left: 20px;">0 1 1 : IICφの5~6サイクル <li style="padding-left: 20px;">1 0 0 : IICφの7~8サイクル <li style="padding-left: 20px;">1 0 1 : IICφの9~10サイクル <li style="padding-left: 20px;">1 1 0 : IICφの11~12サイクル <li style="padding-left: 20px;">1 1 1 : IICφの13~14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0 : SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1 : SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注1. SCLがLowのときのみDLCS = 1 (IICφ/2) の設定が有効になります。SCL = HighのときDLCS = 1の設定は無効となり内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCLn ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「25.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウト L カウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCLn ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット (タイムアウト H カウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCLn ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス規格 (データ有効時間/アクノリッジ有効時間 (注1) 内) かつ SCL クロックの Low 幅—データセットアップ時間: 250ns の範囲内) に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「25.5 SDA 出力遅延機能」を参照してください。

注 1. データ有効時間/アクノリッジ有効時間
900ns (~ 400kbps : ファストモード [Fm])

25.2.5 I²C バスモードレジスタ 3 (ICMR3)

ICMR3 レジスタは、デジタルノイズフィルタやアクノリッジ、WAIT の設定を行うレジスタです。

アドレス RIIC0.ICMR3 A008 0904h, RIIC1.ICMR3 A008 0944h

b7	b6	b5	b4	b3	b2	b1	b0
—	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1IICφ以下のノイズを除去 (フィルタは1段) 0 1 : 2IICφ以下のノイズを除去 (フィルタは2段) 1 0 : 3IICφ以下のノイズを除去 (フィルタは3段) 1 1 : 4IICφ以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信 (ACK受信) 1 : アクノリッジビットに“1”を受信 (NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出 (ACK送信) 1 : アクノリッジビットに“1”を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : SCLクロックの9クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでSCLnラインをLowにホールドしない) 1 : SCLクロックの8クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでSCLnラインをLowにホールドする) LowホールドはACKBTビットを書き込むことにより、9クロック後に解除されます。	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) Lowホールドは、ICDRRレジスタの読み出しで解除されます。	R/W (注2)
b7	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効です。送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「25.6 デジタルノイズフィルタ回路」を参照してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1"になる条件]

- ICCR2.TRS ビットが“1”の状態でも、ACKBTビットに“1” (ノットアクノリッジ) を受信したとき

["0"になる条件] 以下のいずれかの条件成立時

- ICCR2.TRS ビットが“1”の状態でも、ACKBTビットに“0” (アクノリッジ) を受信したとき
- ICCR1.ICE ビットが“0”の状態でも、ICR1.IICRST ビットに“1”を書いたとき (RIICリセット)

ACKBT ビット (送信アクノリッジビット)

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

["1"になる条件]

- ACKWP ビットが "1" の状態で "1" (ノットアクノリッジ) を書いたとき

["0"になる条件] 以下のいずれかの条件成立時

- ACKWP ビットが "1" の状態で "0" (アクノリッジ) を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが "1" の状態でストップコンディションを検出したとき)
- ICCR1.ICE ビットが "0" の状態で ICCR1.IICRST ビットに "1" を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセットタイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がり
で SCLn ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが "0" のとき、8 クロック目の立ち下がり
で SCLn ラインの Low ホールドは行わず、9 ク
ロック目の立ち上がり
で RDRF フラグを "1" にします。

RDRFS ビットが "1" のとき、RDRF フラグは 8 クロック目の立ち上がり
で "1" にし、8 クロック目の立ち
下がり
で SCLn ラインを Low にホールドします。Low ホールドは ACKBT ビットを書き込むことによって、
9 クロック目以降に解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCLn ラインを自動的に Low にホールドする
ため、受信データの内容に応じて ACK (ACKBT ビットが "0") または NACK (ACKBT ビットが "1") を送
出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに受信データバッファ (ICDRR レジスタ) の読み出
しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制
御します。

WAIT ビットが "0" のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信
動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに "0" のとき、ダブルバッファによる連
続受信動作が可能です。

WAIT ビットが "1" のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み
出されるまでの間 SCLn ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを "0" にする場合は、ICDRR レジスタを先に読み出した後、"0" を書き込んでください。

25.2.6 I²C バスファンクション許可レジスタ (ICFER)

ICFER レジスタは、各種アービトレーション機能などの設定を行うレジスタです。

アドレス R1IC0.ICFER A008 0905h, R1IC1.ICFER A008 0945h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0: マスターアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生による ICCR2.MST, TRS ビットの自動クリアを行わない) 1: マスターアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生による ICCR2.MST, TRS ビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない (転送中断禁止) 1: NACK受信時、転送を中断する (転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「25.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスターアービトレーションロスト検出許可ビット)

マスターモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

マスターアービトレーションロスト検出機能の詳細については「25.9.1 マスターアービトレーションロスト検出機能 (MALE ビット)」を参照してください。

NALE ビット (NACK送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACK 送信アービトレーションロスト検出機能の詳細については「25.9.2 NACK送信アービトレーションロスト検出機能 (NALE ビット)」を参照してください。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

スレーブアービトレーションロスト検出機能の詳細については「25.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)」を参照してください。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクノリッジの内容にかかわらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「25.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL_n ラインの状態にかかわらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

SCL 同期回路機能の詳細については「25.4 SCL 同期回路」を参照してください。

25.2.7 I²C バスステータス許可レジスタ (ICSER)

ICSER レジスタは、スレーブアドレスの許可やデバイス ID アドレス検出などを設定するレジスタです。

アドレス RIIC0.ICSER A008 0906h, RIIC1.ICSER A008 0946h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0 許可ビット	0: ICSARL0、ICSARU0の設定値は無効 1: ICSARL0、ICSARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1 許可ビット	0: ICSARL1、ICSARU1の設定値は無効 1: ICSARL1、ICSARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2 許可ビット	0: ICSARL2、ICSARU2の設定値は無効 1: ICSARL2、ICSARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0: ジェネラルコールアドレス検出は無効 1: ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0: デバイスIDアドレス検出は無効 1: デバイスIDアドレス検出は有効	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

ICSARLy、ICSARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、ICSARLy、ICSARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、ICSARLy、ICSARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0[W]: All“0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は ICSARLy、ICSARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第1フレームにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第1フレームがデバイス ID アドレスと一致した場合、R1IC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0”[W] のとき第2フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第1フレームがデバイス ID アドレスと一致しても無視され、第1フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「25.7.3 デバイス ID アドレス検出機能」を参照してください。

25.2.8 I²Cバス割り込み許可レジスタ (ICIER)

ICIERレジスタは、RIICに関する割り込み要求の許可/禁止を設定するレジスタです。

アドレス RIIC0.ICIER A008 0907h, RIIC1.ICIER A008 0947h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0: タイムアウト割り込み (TMOI) 要求の禁止 1: タイムアウト割り込み (TMOI) 要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0: アービトレーションロスト割り込み (ALI) 要求の禁止 1: アービトレーションロスト割り込み (ALI) 要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0: スタートコンディション検出割り込み (STI) 要求の禁止 1: スタートコンディション検出割り込み (STI) 要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0: ストップコンディション検出割り込み (SPI) 要求の禁止 1: ストップコンディション検出割り込み (SPI) 要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0: NACK受信割り込み (NAKI) 要求の禁止 1: NACK受信割り込み (NAKI) 要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0: 受信データフル割り込み (RXI) 要求の禁止 1: 受信データフル割り込み (RXI) 要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0: 送信終了割り込み (TEI) 要求の禁止 1: 送信終了割り込み (TEI) 要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0: 送信データエンプティ割り込み (TXI) 要求の禁止 1: 送信データエンプティ割り込み (TXI) 要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可/禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可/禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可/禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可/禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可/禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可/禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可/禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが“1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可/禁止を選択します。

25.2.9 I²C バスステータスレジスタ 1 (ICSR1)

ICSR1 レジスタは、各種アドレスの検出状態を示すステータスレジスタです。

アドレス RIIC0.ICSR1 A008 0908h, RIIC1.ICSR1 A008 0948h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b5	DID	デバイスIDアドレス検出フラグ	0: デバイスIDアドレス未検出 1: デバイスIDアドレス検出 • スタートコンディション直後の第1フレームがデバイスIDアドレス (1111 100b) + 0[W]と一致した場合	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[“1”になる条件]

【7ビットアドレスフォーマット選択時: ICSARUy.FS ビット = 0】

- ICSER.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが ICSARLy.SVA[6:0] と一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

【10ビットアドレスフォーマット選択時: ICSARUy.FS ビット = 1】

- ICSER.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + ICSARUy.SVA[1:0] と一致し、それに続くアドレスが ICSARLy レジスタと一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

["0"になる条件] 以下のいずれかの条件成立時

- "1"を読んだ後、"0"を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに"1"を書き、RIIC リセットまたは内部リセットしたとき

【7ビットアドレスフォーマット選択時：ICSARUy.FS ビット = 0】

- ICSEr.SARyE ビットが"1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが ICSARLy.SVA[6:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10ビットアドレスフォーマット選択時：ICSARUy.FS ビット = 1】

- ICSEr.SARyE ビットが"1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + ICSARUy.SVA[1:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSEr.SARyE ビットが"1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + ICSARUy.SVA[1:0] と一致し、それに続くアドレスが ICSARLy レジスタと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1"になる条件]

- ICSEr.GCAE ビットが"1" (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

["0"になる条件] 以下のいずれかの条件成立時

- "1"を読んだ後、"0"を書いたとき
- ストップコンディションを検出したとき
- ICSEr.GCAE ビットが"1" (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに"1"を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

[“1”になる条件]

- IC SER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第1フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- IC SER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第1フレームがデバイス ID アドレス (1111 100b) と不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり
- IC SER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第1フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致し、続く第2フレームがスレーブアドレス0~2のすべてと不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

25.2.10 I²Cバスステータスレジスタ 2 (ICSR2)

ICSR2 レジスタは、各種コンディション検出状態を示すステータスレジスタです。

アドレス RIIC0.ICSR2 A008 0909h, RIIC1.ICSR2 A008 0949h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL_n ラインの状態が一定期間変化しない場合、タイムアウトを認識し、本フラグが“1”になります。

[“1”になる条件]

- ICFER.TMOE ビットが“1” (タイムアウト検出機能有効)、かつマスタモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL_n ラインの状態に変化がないとき

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失 (アービトレーションロスト) したことを示します。RIIC は送信中に SDA_n ラインのレベルを監視し、出力データと SDA_n ラインのレベルが一致しない場合 AL フラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定によりマスタモード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

[“1”になる条件] 以下のいずれかの条件成立時

【マスタアービトレーションロスト検出有効時：ICFER.MALE ビット = 1】

- マスタ送信モード時のデータ送信 (スレーブアドレス送信含む) において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき (内部 SDA 出力が High 出力 (SDA_n 端子はハイインピーダンス) で、SDA_n ラインに Low を検出したとき)
- ICCR2.ST ビットが“1” (スタートコンディション発行要求) の状態でスタートコンディションを検出したとき、出力した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが“1”の状態に ICCR2.ST ビットを“1”(スタートコンディション発行要求) に設定したとき

【NACK 送信アービトレーションロスト検出有効時：ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで出力した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 25.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST = 1 の状態でスタートコンディション検出時に出力した SDA 信号と SDA _n ライン上の信号の状態が不一致のとき ICCR2.BBSY = 1 の状態で ICCR2.ST = 1 にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ (スレーブアドレス送信含む) とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ (スタートコンディション検出フラグ)

[“1”になる条件]

- スタートコンディション (リスタートコンディション含む) を検出したとき

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

[“1”になる条件]

- ストップコンディションを検出したとき

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

[“1”になる条件]

- ICFER.NACKF ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の状態でも送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信/受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

[“1”になる条件] 以下のいずれかの条件成立時

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで“1”になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1”になる条件]

- TDRE フラグが“1”の状態、SCL クロックの9クロック目の立ち上がり

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ICDRT レジスタヘータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1”になる条件] 以下のいずれかの条件成立時

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき (“1”書き込みを含む)
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

[“0”になる条件] 以下のいずれかの条件成立時

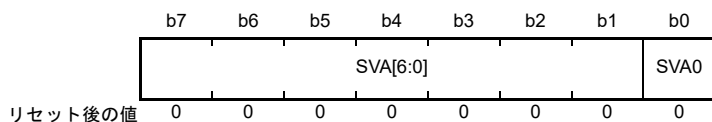
- ICDRT レジスタヘータを書いたとき
- ICCR2.TRS ビットが“0”になったとき (“0”書き込みを含む)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKF ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0”の状態 (次の送信データがすでに書き込まれている状態) の場合、9クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空になりますが、TDRE フラグは“1”になりません。

25.2.11 I²C スレーブアドレスレジスタ Ly (ICSARLy) (y = 0 ~ 2)

ICSARLy レジスタは、スレーブアドレスを設定するレジスタです。

アドレス R1IC0.ICSARL0 A008 090Ah, R1IC1.ICSARL0 A008 094Ah, R1IC0.ICSARL1 A008 090Ch,
R1IC1.ICSARL1 A008 094Ch, R1IC0.ICSARL2 A008 090Eh, R1IC1.ICSARL2 A008 094Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10ビットアドレスフォーマット選択時 (ICSARUy.FS ビット=1)、10ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて10ビットアドレス下位8ビットを設定します。

ICSER.SARyE ビットが“1” (ICSARLy、ICSARUy レジスタ有効) でかつ ICSARUy.FS ビットが“1” のとき設定値が有効になり、ICSARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

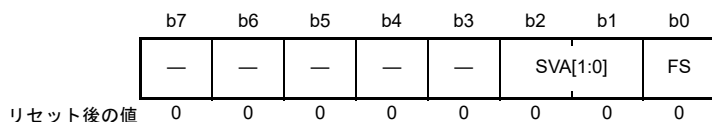
7ビットアドレスフォーマット選択時 (ICSARUy.FS ビット=0)、7ビットアドレスとして機能し、10ビットアドレスフォーマット選択時 (ICSARUy.FS ビット=1)、SVA0 ビットと合わせて10ビットアドレス下位8ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

25.2.12 I²C スレーブアドレスレジスタ Uy (ICSARUy) (y = 0 ~ 2)

ICSARUy レジスタは、スレーブアドレスのフォーマットを設定するレジスタです。

アドレス R1IC0.ICSARU0 A008 090Bh, R1IC1.ICSARU0 A008 094Bh, R1IC0.ICSARU1 A008 090Dh,
R1IC1.ICSARU1 A008 094Dh, R1IC0.ICSARU2 A008 090Fh, R1IC1.ICSARU2 A008 094Fh



ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0 : 7ビットアドレスフォーマット選択 1 : 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W

FS ビット (7 ビット/10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (ICSARLy、ICSARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (ICSARLy、ICSARUy レジスタ有効) でかつ ICSARUy.FS ビットが“0”のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、ICSARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび ICSARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (ICSARLy、ICSARUy レジスタ有効) でかつ ICSARUy.FS ビットが“1”のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、ICSARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (ICSARLy、ICSARUy レジスタ無効) のとき ICSARUy.FS ビットの設定値は無効です。

SVA[1:0] ビット (10 ビットアドレス上位ビット)

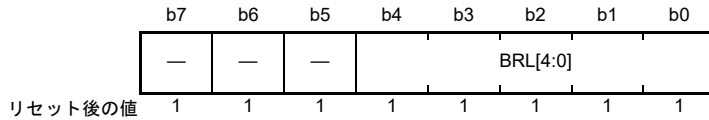
10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (ICSARLy、ICSARUy レジスタ有効) でかつ ICSARUy.FS ビットが“1”のとき設定値が有効になり、ICSARUy.FS ビットまたは SARyE ビットが“0”のとき設定値は無視されます。

25.2.13 I²Cバスビットレート Low レジスタ (ICBRL)

ICBRL レジスタは、SCL クロックの Low 幅、および SDA 信号追加する遅延サイクルを設定するためのレジスタです。

アドレス RIIC0.ICBRL A008 0910h, RIIC1.ICBRL A008 0950h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

ICBRL レジスタは、SCL 自動 Low ホールド発生時（「25.8 SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注1）以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロックソース (IIC ϕ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

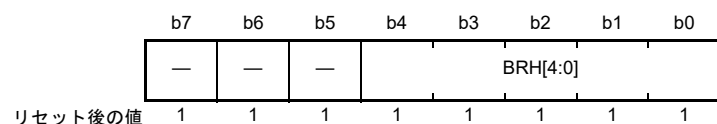
- 注 1. データセットアップ時間 (t_{SU:DAT})
100ns (~ 400kbps : ファストモード [Fm])

25.2.14 I²Cバスビットレート High レジスタ (ICBRH)

ICBRH レジスタは SCL クロックの High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロックソース (IICφ) で High 幅をカウントします。

アドレス RIIC0.ICBRH A008 0911h, RIIC1.ICBRH A008 0951h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLクロックのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRH レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

I²C 転送速度および SCL クロックのデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ (ICBRH + 1) + (ICBRL + 1) / IIC\phi \text{ (注1)} + SCLn \text{ ライン立ち上がり時間 } [tr] + SCLn \text{ ライン立ち下がり時間 } [tf] \}$$

$$\text{デューティ比} = \{ SCLn \text{ ライン立ち上がり時間 } [tr] \text{ (注2)} + (ICBRH + 1) / IIC\phi \} / \{ SCLn \text{ ライン立ち下がり時間 } [tf] \text{ (注2)} + (ICBRL + 1) / IIC\phi \}$$

注 1. IICφ = ICMR1.CKS[2:0] 設定値

注 2. SCLn ライン立ち上がり時間 [tr]、SCLn ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については NXP 社の I²C バス規格書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 25.5 に示します。

表 25.5 転送速度に対する ICBRH、ICBRL レジスタの設定例

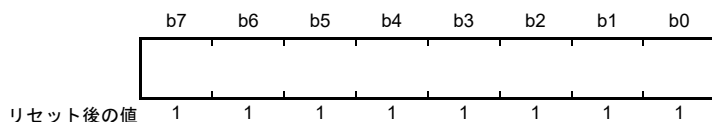
転送速度 (kbps)	動作周波数 PCLKD (MHz)		
	75		
	CKS[2:0]	ICBRH	ICBRL
10	111b	26 (FAh)	30 (FEh)
50	101b	20 (F4h)	23 (F7h)
100	100b	19 (F3h)	23 (F7h)
400	010b	11 (EBh)	24 (F8h)

注. SCLn ラインの立ち上がり時間 (tr) を 300ns、SCLn ラインの立ち下がり時間 (tf) を 300ns として計算した場合の設定例です。SCLn ライン立ち上がり時間 (tr)、SCLn ライン立ち下がり時間 (tf) の規格値については NXP 社の I²C バス規格書を参照してください。

25.2.15 I²Cバス送信データレジスタ (ICDRT)

ICDRT レジスタは、送信データを格納するレジスタです。

アドレス RIIC0.ICDRT A008 0912h, RIIC1.ICDRT A008 0952h



I²Cバスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

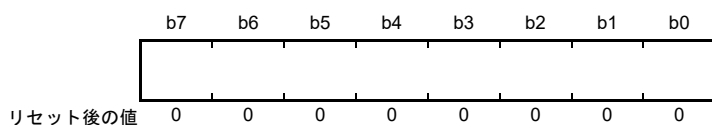
ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し/書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに1回だけ行ってください。

25.2.16 I²Cバス受信データレジスタ (ICDRR)

ICDRR レジスタは、受信データを格納するレジスタです。

アドレス RIIC0.ICDRR A008 0913h, RIIC1.ICDRR A008 0953h



1バイトのデータの受信が終了すると、受信したデータはI²Cバスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

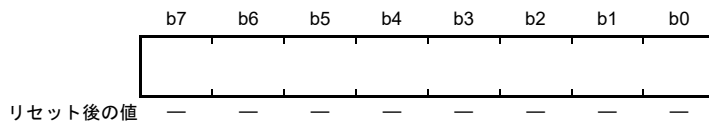
ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに1回だけ行ってください。

受信データを ICDRR レジスタから読み出ししないまま (ICSR2.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグを次に“1”になるタイミングの1つ手前の SCLn クロックで自動的に Low ホールドを行います。

25.2.17 I²Cバスシフトレジスタ (ICDRS)

ICDRSレジスタは、データを送信/受信するためのシフトレジスタです。



送信時はICDRTレジスタから送信データがICDRSレジスタに転送され、SDAn端子からデータが送信されます。受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。

ICDRSレジスタは直接アクセスすることはできません。

25.3 動作説明

25.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 25.3 に I²C バスフォーマットを、図 25.4 に I²C バスタイミングを示します。

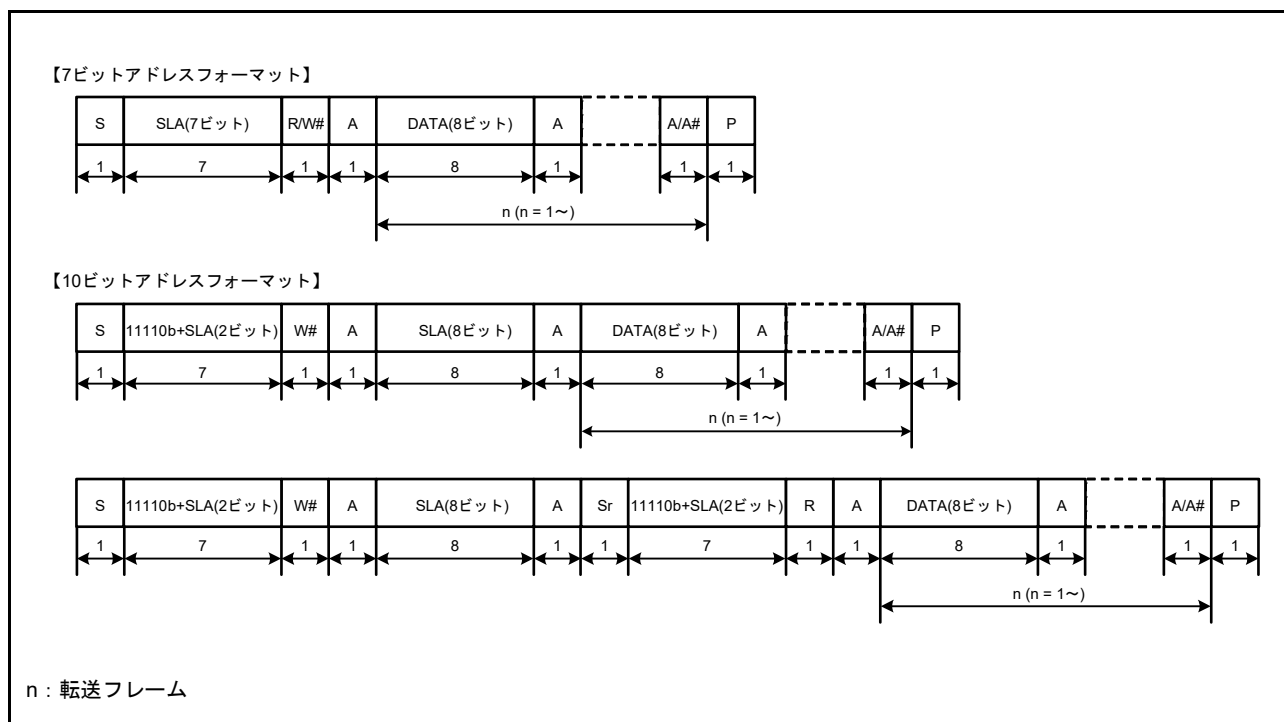
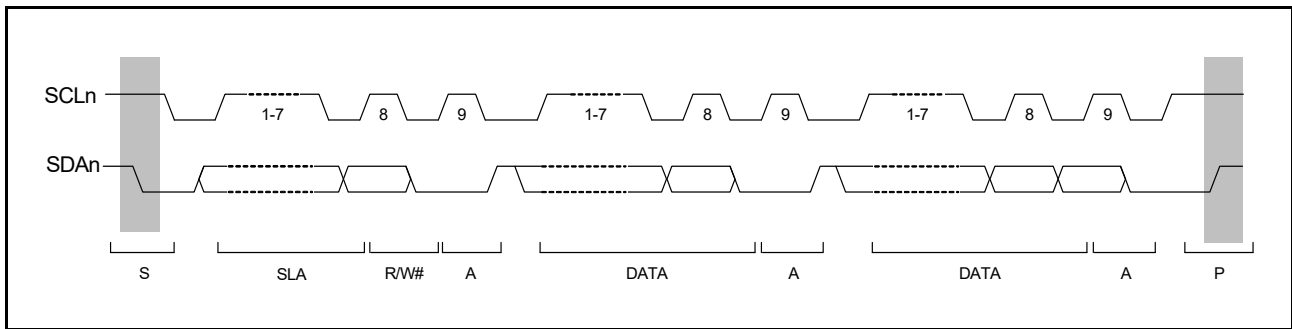


図 25.3 I²C バスフォーマット

図 25.4 I²C バスタイミング (SLA = 7 ビットの場合)

- S : スタートコンディションを示します。マスタデバイスのSCLnラインがHighの状態、スレーブデバイスのSDAnラインがHighからLowに変化します。
- SLA : スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W# : 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジを示します。受信デバイスがSDAnラインをLowにします (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A# : ノットアクノリッジを示します。受信デバイスがSDAnラインをHighにします。
- Sr : リスタートコンディションを示します。SCLnラインがHighの状態、セットアップ時間経過後にSDAnラインはHighからLowに変化します。
- DATA : 送受信データを示します。送受信するデータのビット長はICMR1.BC[2:0]で設定します。
- P : ストップコンディションを示します。SCLnラインがHighの状態、SDAnラインはLowからHighに変化します。

25.3.2 初期設定

データの送信／受信を開始する場合、**図 25.5** に示す手順にしたがって RIIC を初期化してください。

ICCR1.ICE ビットを“0” (SCLn、SDAn 端子非駆動状態) にしたまま ICCR1.IICRST ビットを“1” (RIIC リセット) にした後、ICCR1.ICE ビットを“1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、IC SARLy、IC SARUy、IC SER、IC MR1、IC BRH、IC BR L レジスタ (y=0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については**図 25.5** 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0” (RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

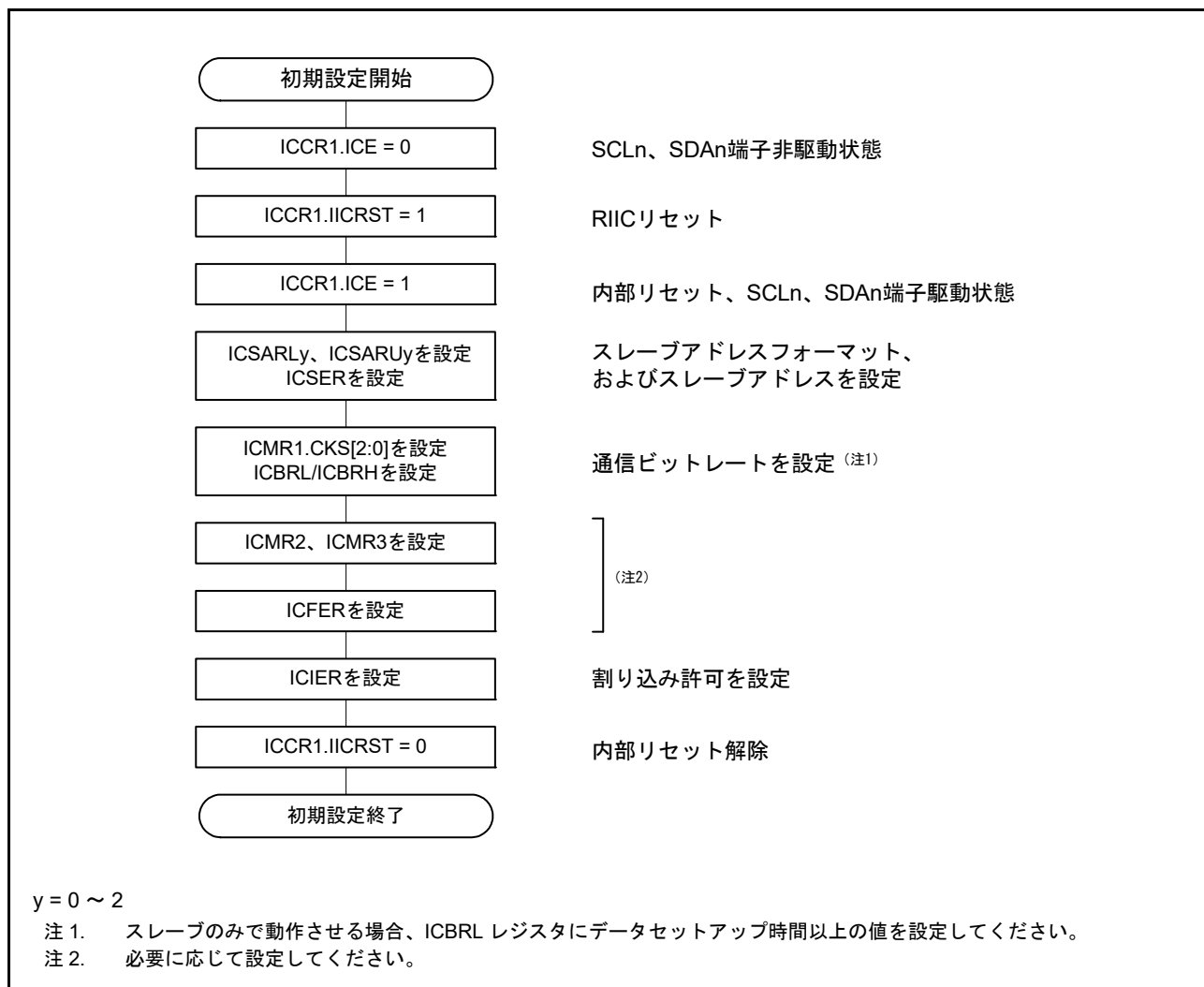


図 25.5 RIIC の初期化フローチャート例

25.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 25.6 にマスタ送信の使用例を、図 25.7 ~ 図 25.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「25.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読み出しバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると、BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき、ST ビットが“1”の状態を出力した SDA 信号と SDA_n ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また、ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は、R/W# ビット=0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき、ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているため、ストップコンディションを発行してください。ストップコンディションの発行は、ICCR2.SP ビットに“1”を書くことで行われます。
なお、10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b+ スレーブアドレスの上位 2 ビット+W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間、RIIC は自動的に SCL_n ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待つてから ICCR2.SP ビットに“1”を書いてください (ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

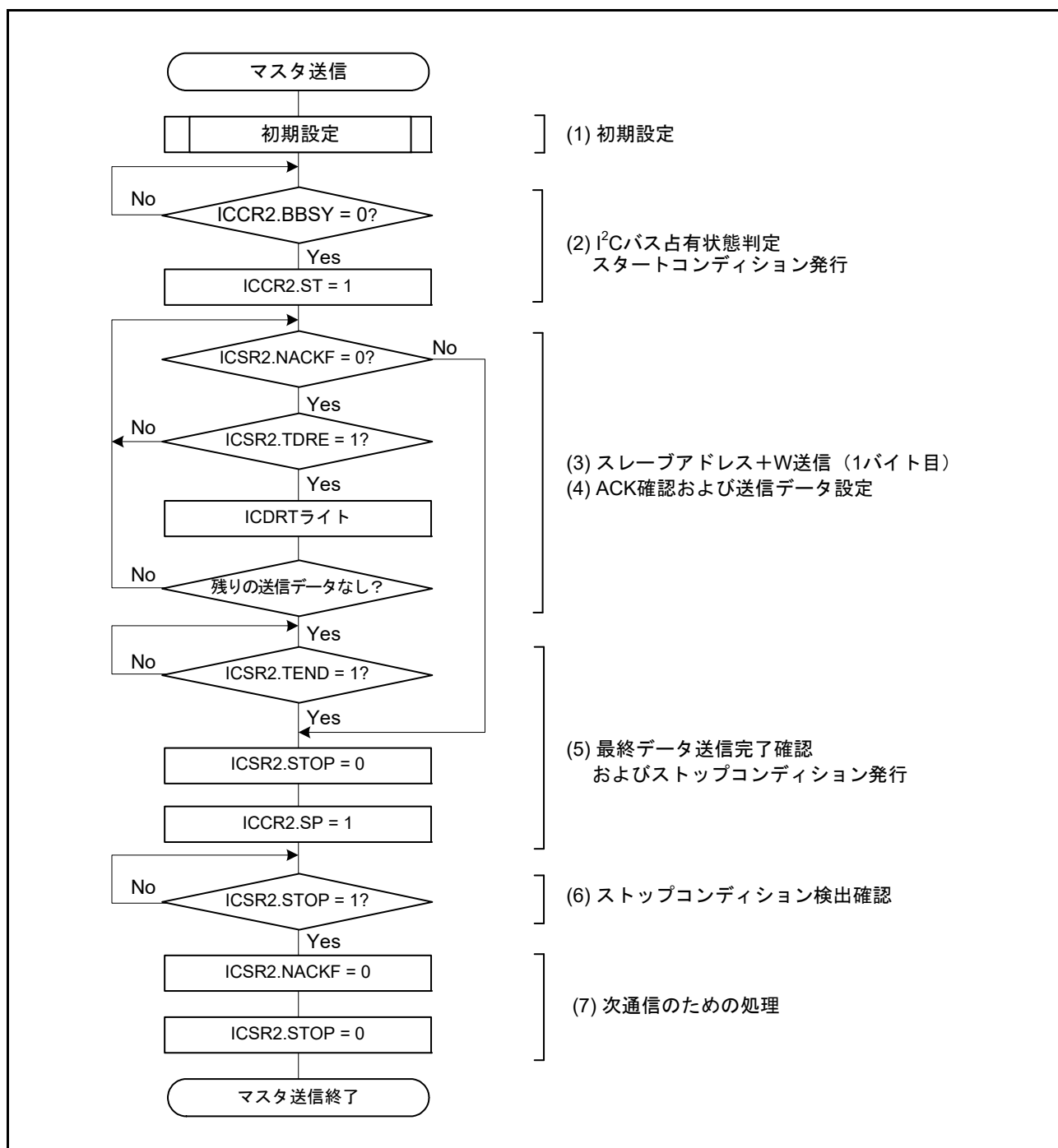


図 25.6 マスタ送信のフローチャート例

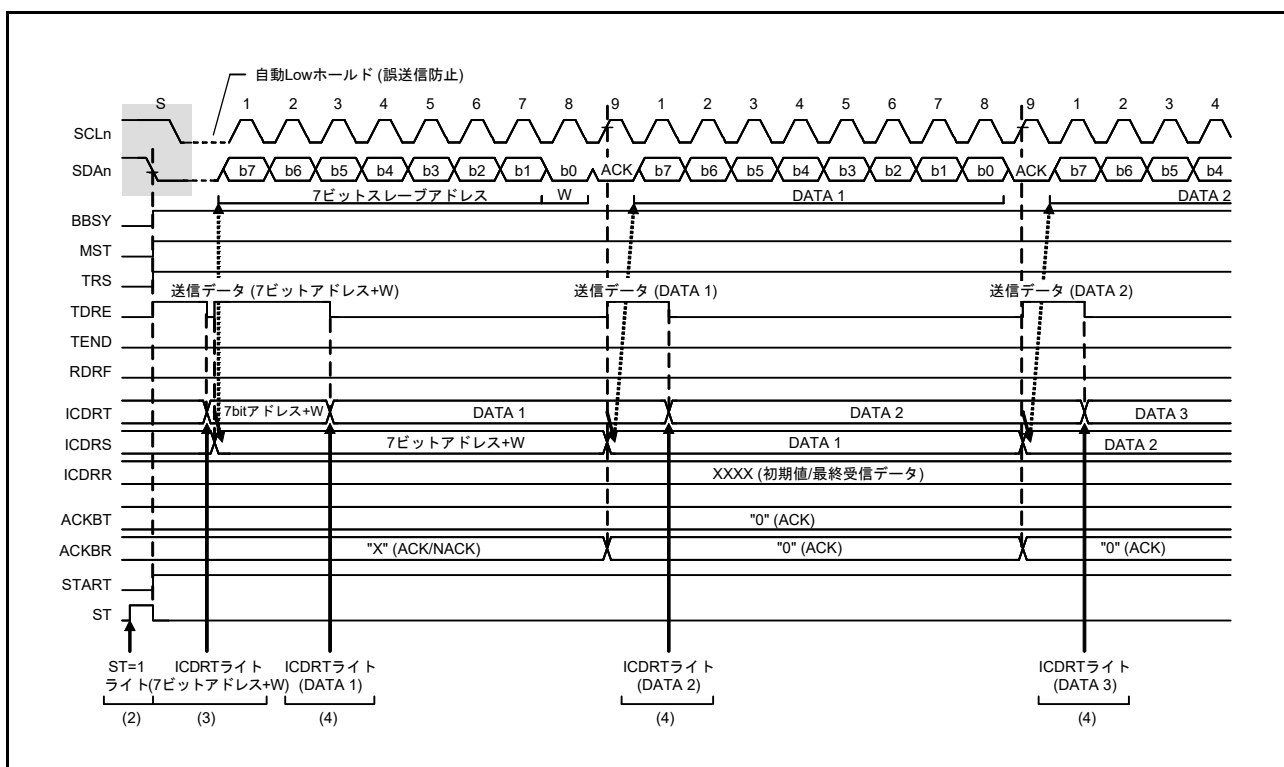


図 25.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

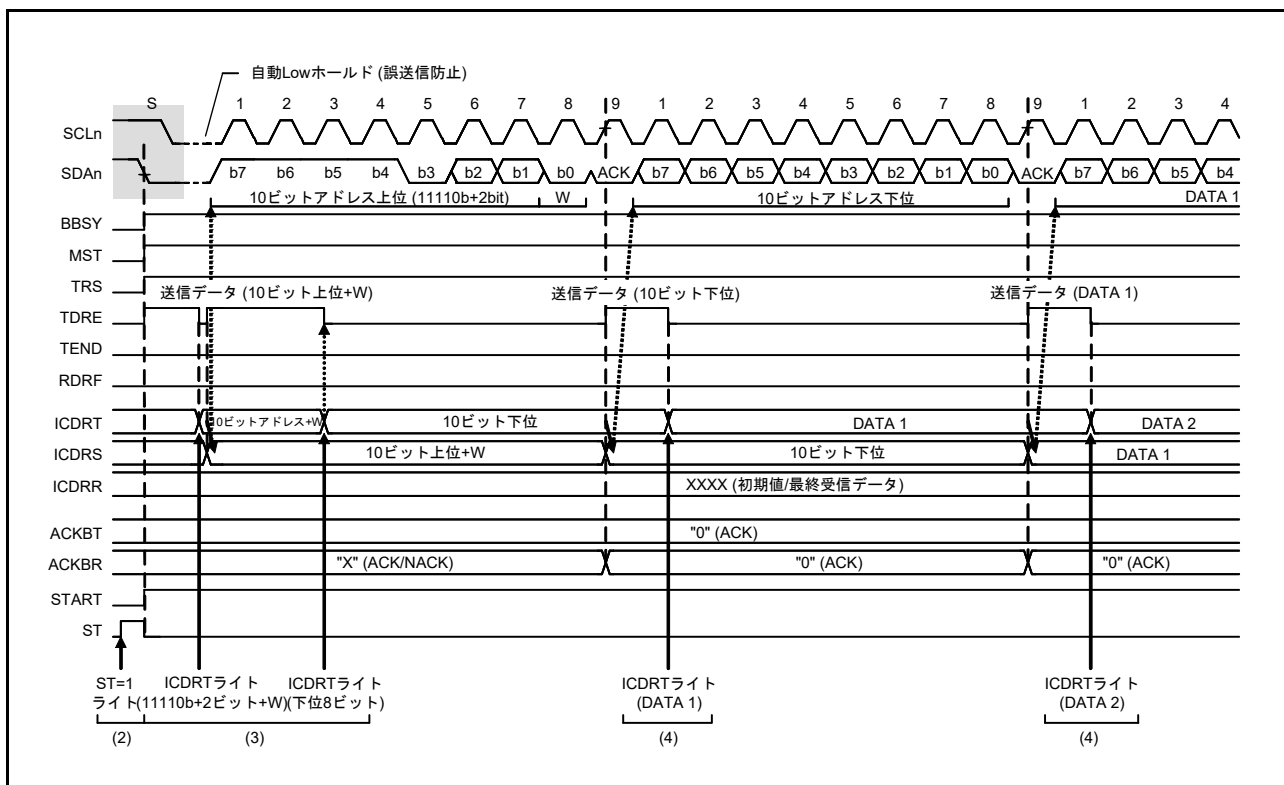


図 25.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットの時)

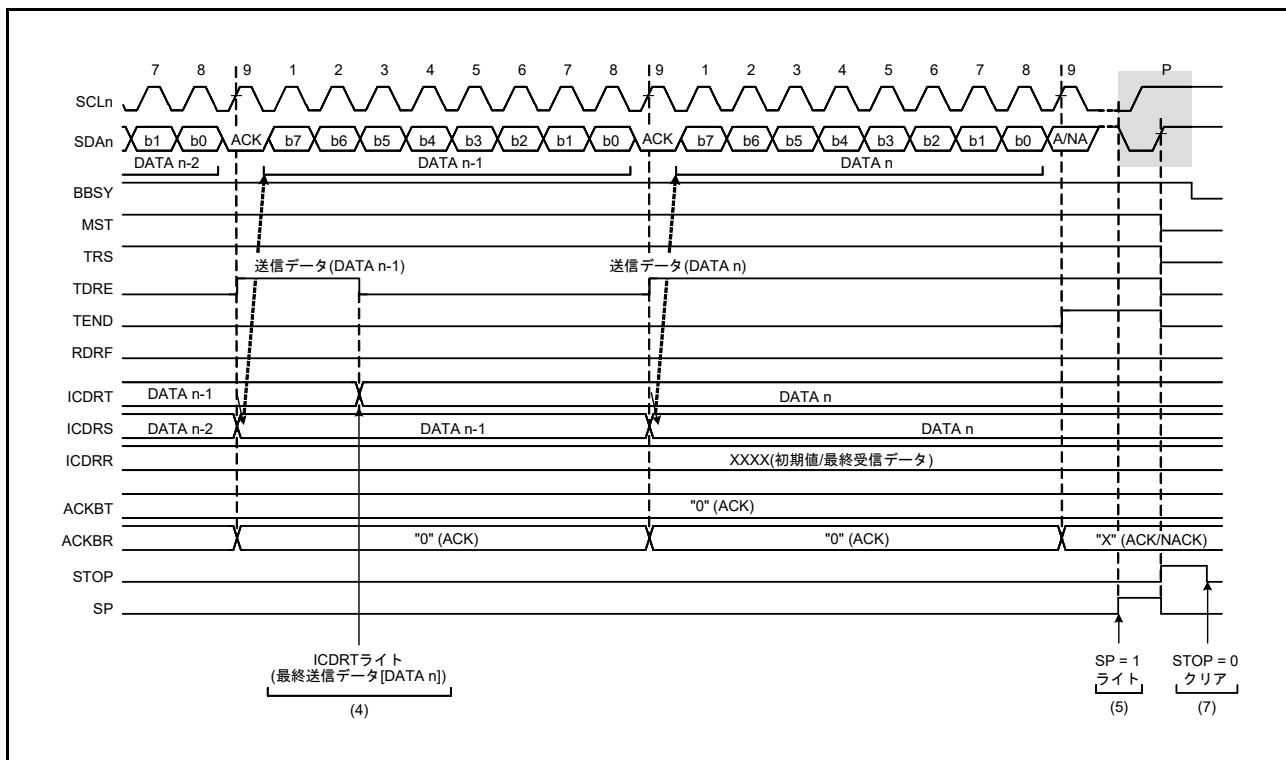


図 25.9 マスタ送信の動作タイミング (3)

25.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 25.10、図 25.11 にマスタ受信の使用例（7ビットアドレスフォーマットの場合）を、図 25.12～図 25.14 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「25.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読み出しバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき、ST ビットが“1”の状態で出力した SDA 信号と SDA_n ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビット=1により自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット=1を受信すると、9クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。
このとき、ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているため、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。
なお、10ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で10ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b+ スレーブアドレスの上位2ビット+Rを送信することで、マスタ受信モードに移行します。
- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。
- (5) 1バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの8クロック目、あるいは9クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また、SCL クロックの9クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。次の受信バイトが最終バイト-1の場合、ICDRR レジスタ（最終バイト-2バイト目）を読む前に ICMR3.WAIT ビットを“1”（WAIT あり）にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1”（NACK）にする処理が他の割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に9クロック目の立ち下がり SCL_n ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1”（NACK）にしてください。

- (7) ICDRR レジスタ (最終バイト - 1 バイト目) を読み出した後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9クロック目の Low 出力終了または SCLn ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次の通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

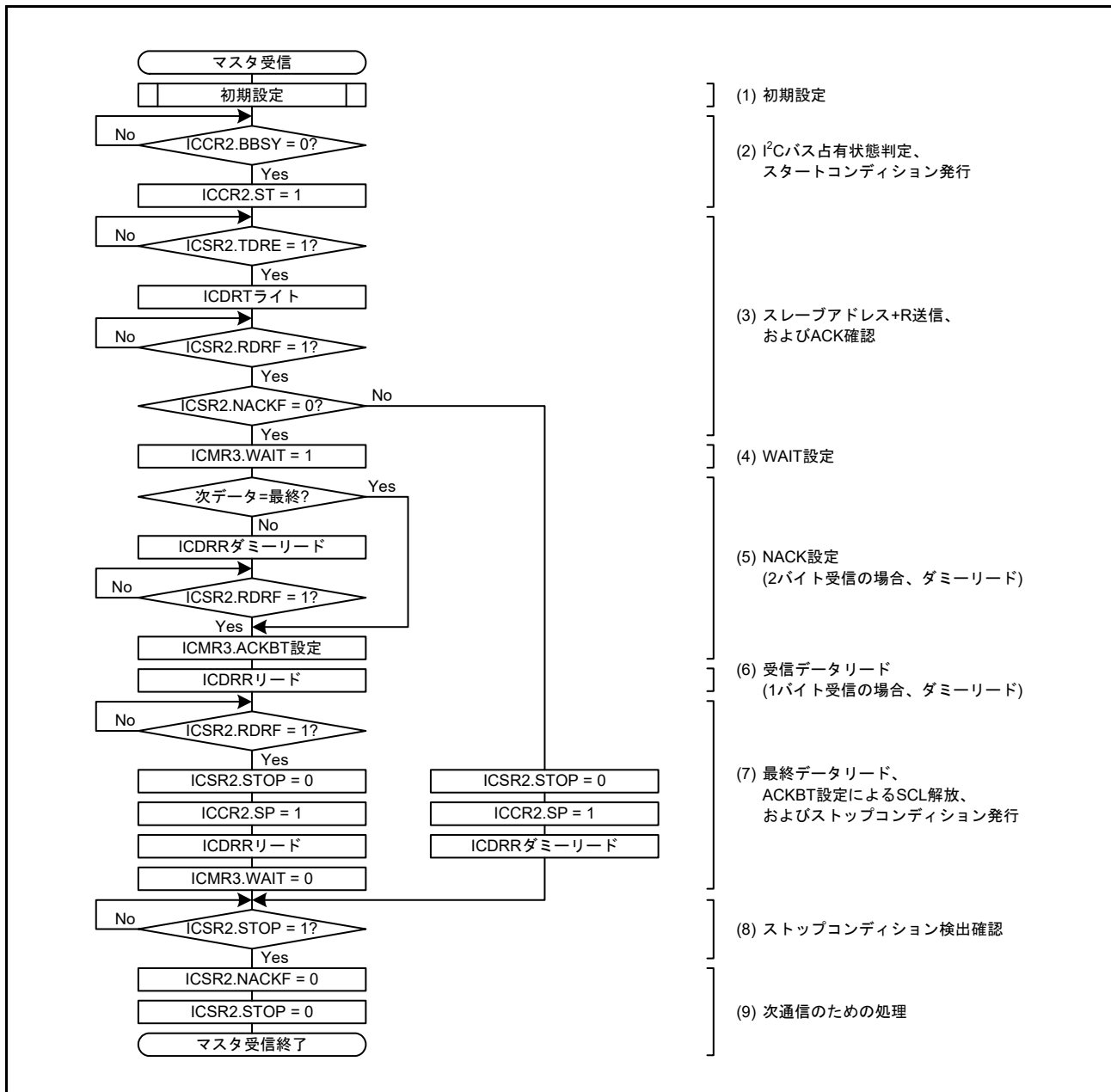


図 25.10 マスタ受信のフローチャート例 (7 ビットアドレスフォーマットの場合、2 バイト以下の場合)

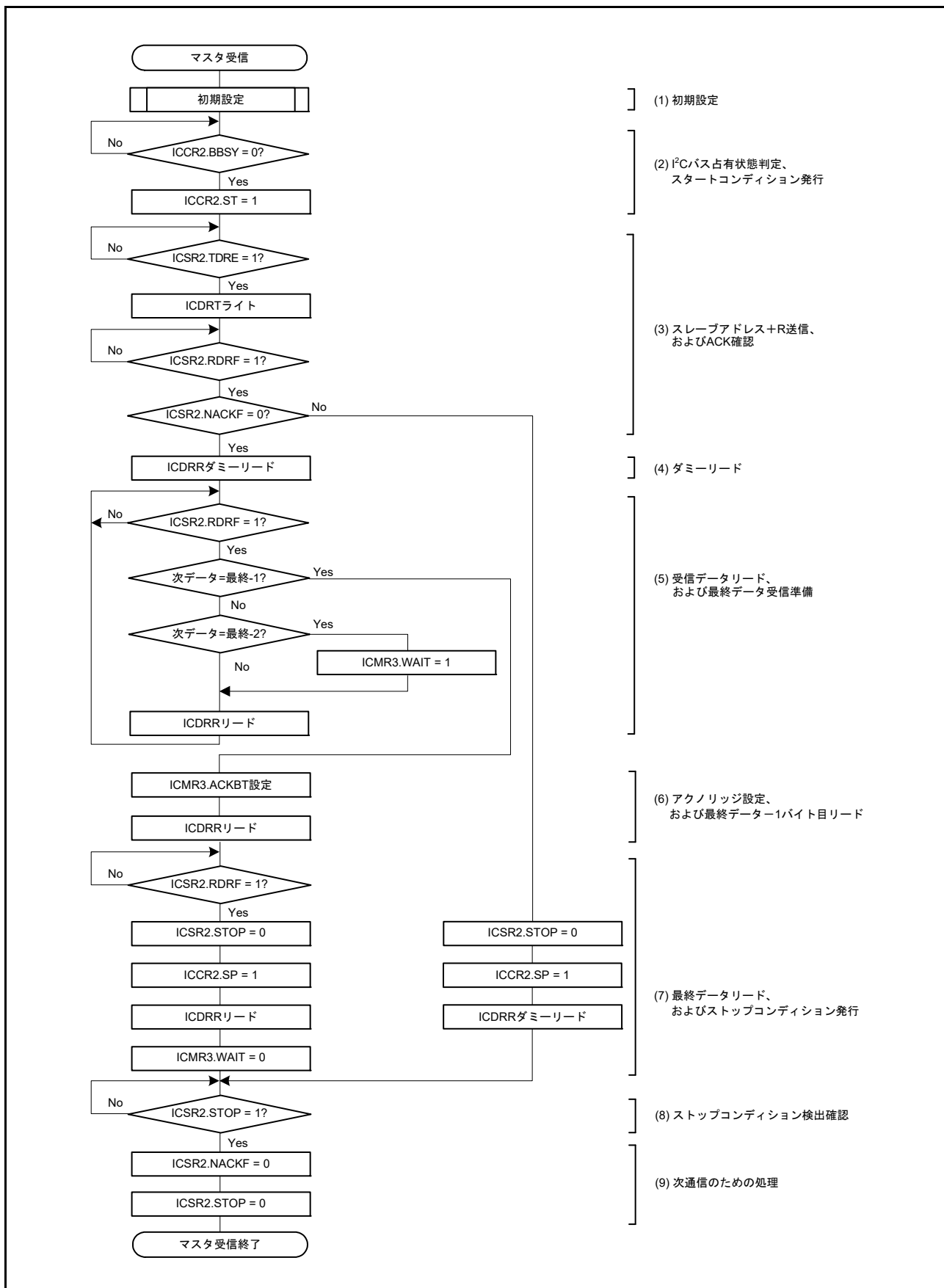


図 25.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

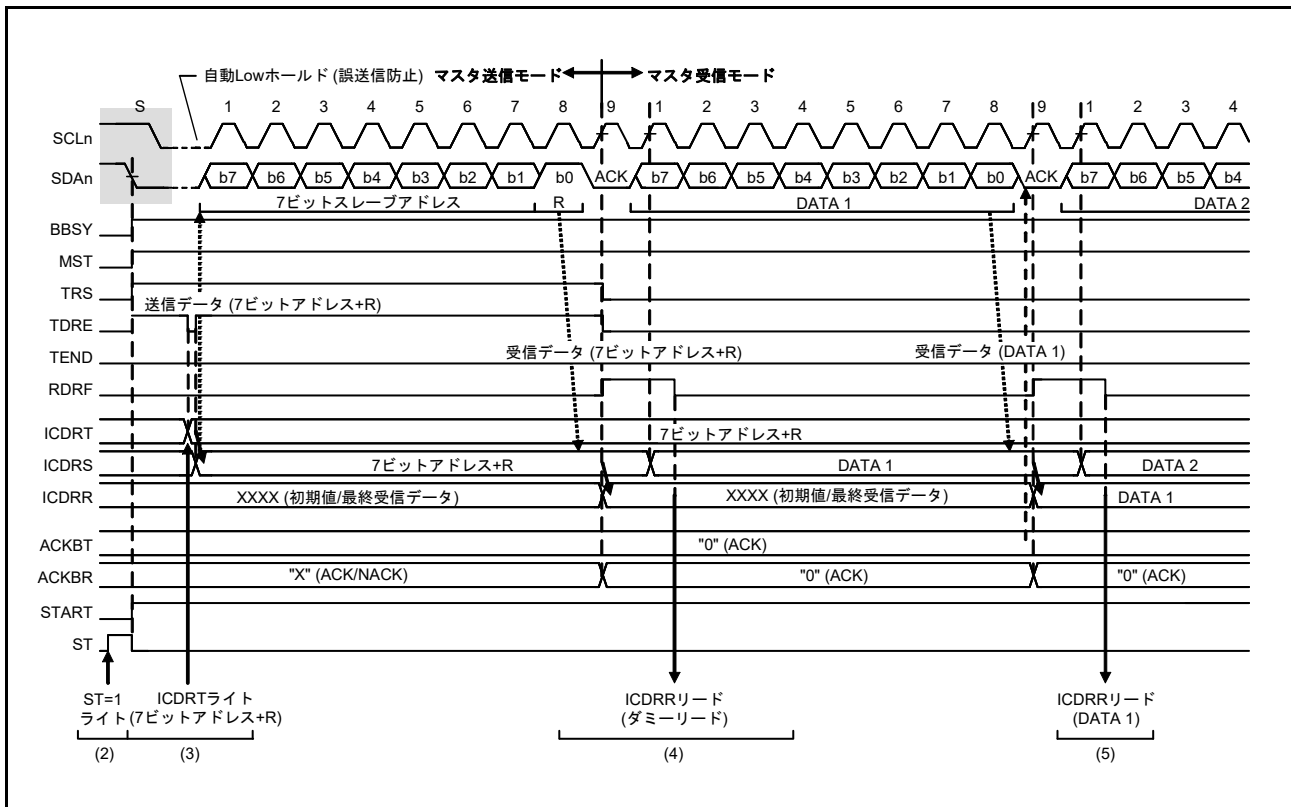


図 25.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS = 0 のとき)

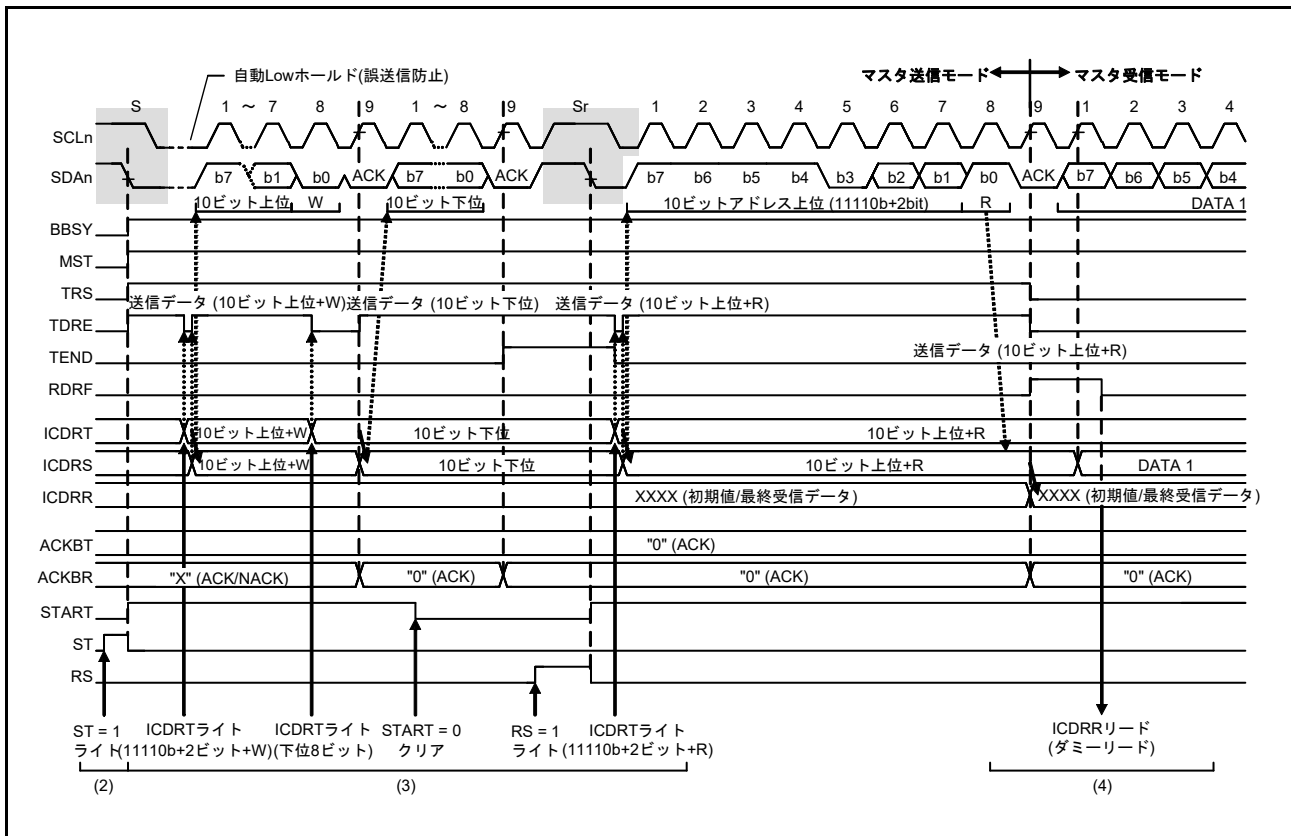


図 25.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS = 0 のとき)

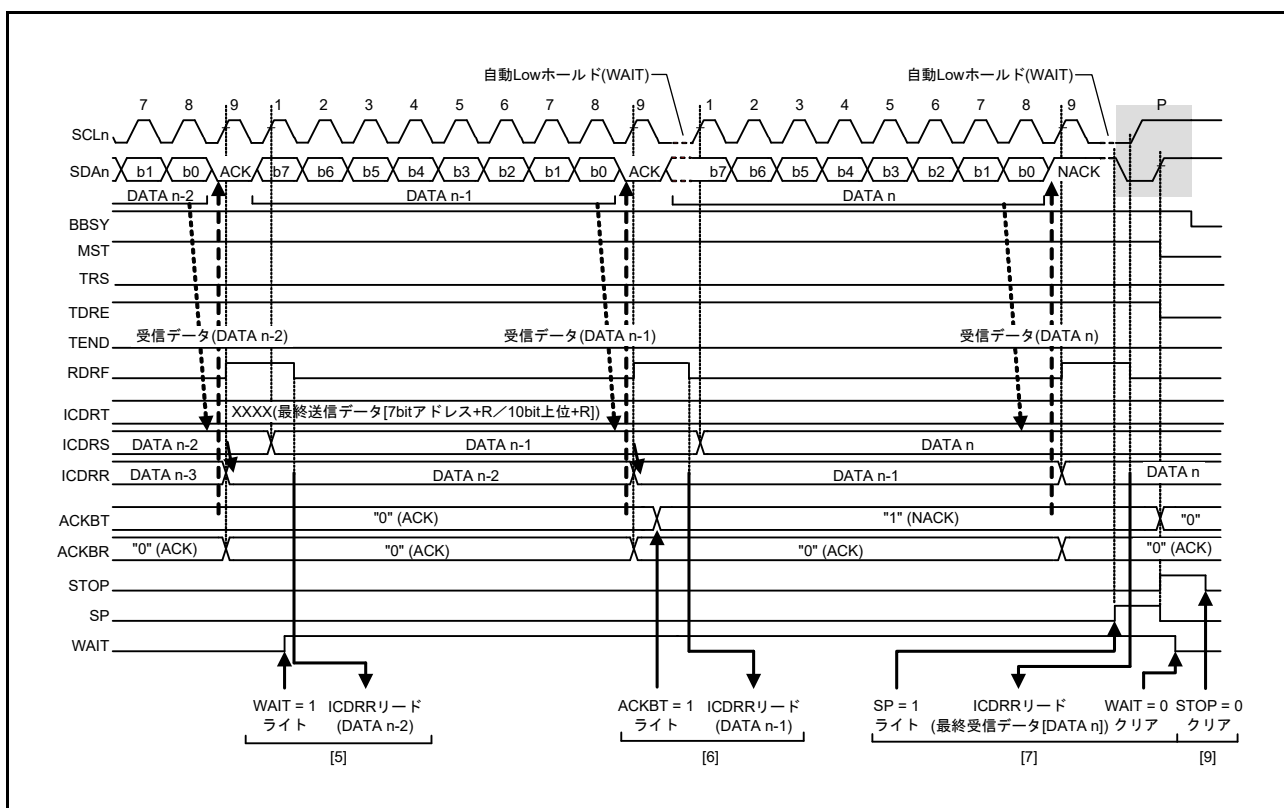


図 25.14 マスタ受信の動作タイミング (3) (RDRFS = 0 のとき)

25.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 25.15 にスレーブ送信の使用例を示します。図 25.16、図 25.17 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「25.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまでスレーブ受信モードで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.GCA, AASy ビット (y=0~2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに対し、ICMR3.ACKBT ビットに設定した値を返信します。7 ビットアドレスフォーマット時は、このとき受信した R/W# ビットが“1”のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。また、10 ビットアドレスフォーマット時はスレーブアドレス一致後、ICSR2.STOP フラグが“0”かつ ICSR2.RDRF フラグが“1”であることを確認して、ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは下位 8 ビットアドレスになります)。ダミーリード後、リスタートコンディションを検出し再びデータを受信します。このとき受信した R/W# ビットが“1”のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが“1”の状態でもスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが“1”になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが“1”の状態、ICSR2.TEND フラグが“1”になるまで待ってください。ICSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIIC は 9 クロック目の立ち下がり以降、SCLn ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが“1”または ICSR2.TEND フラグが“1”の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCLn ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.GCA, AASy ビット (y=0~2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に“0”にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次の通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

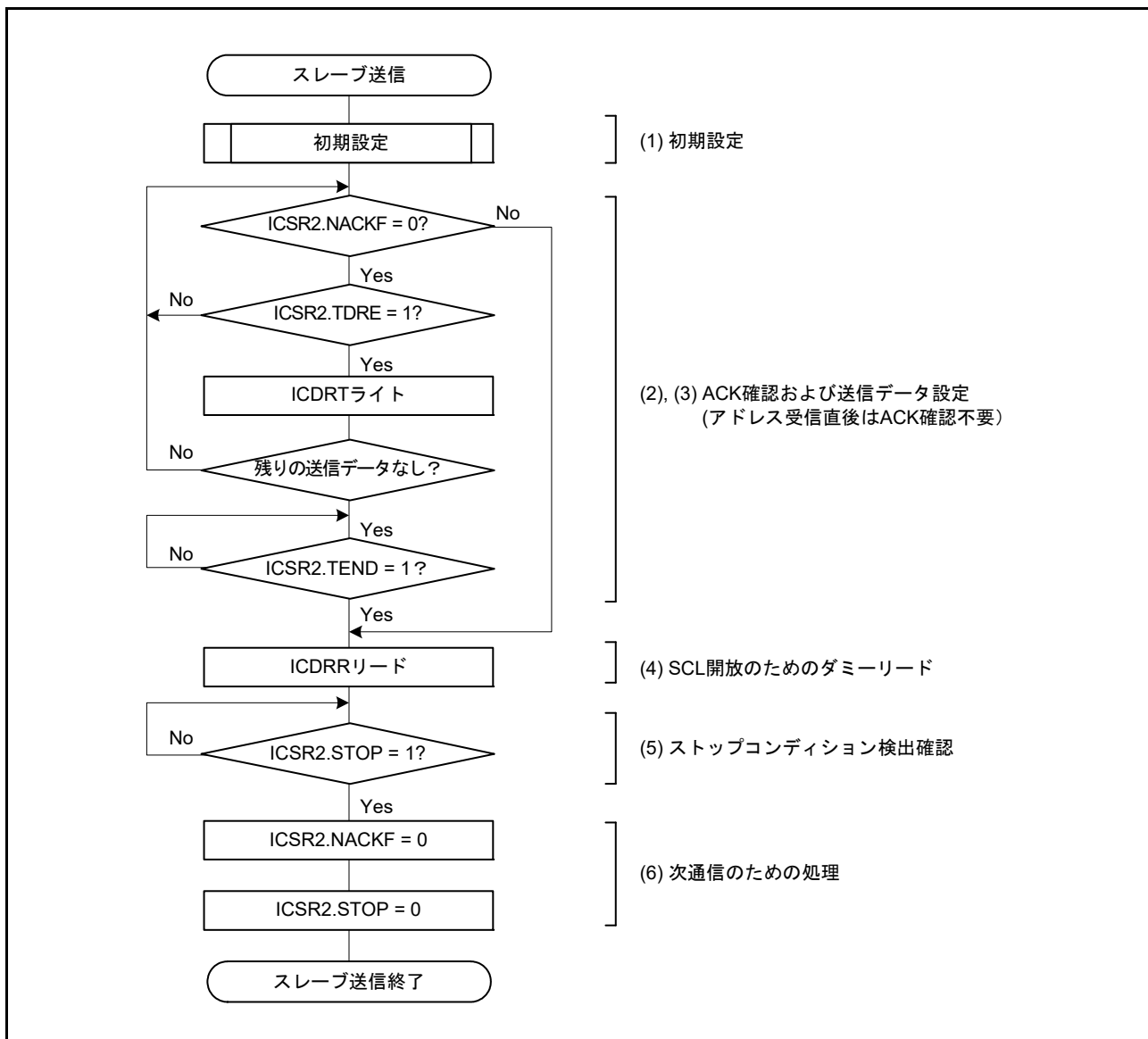


図 25.15 スレーブ送信のフローチャート例

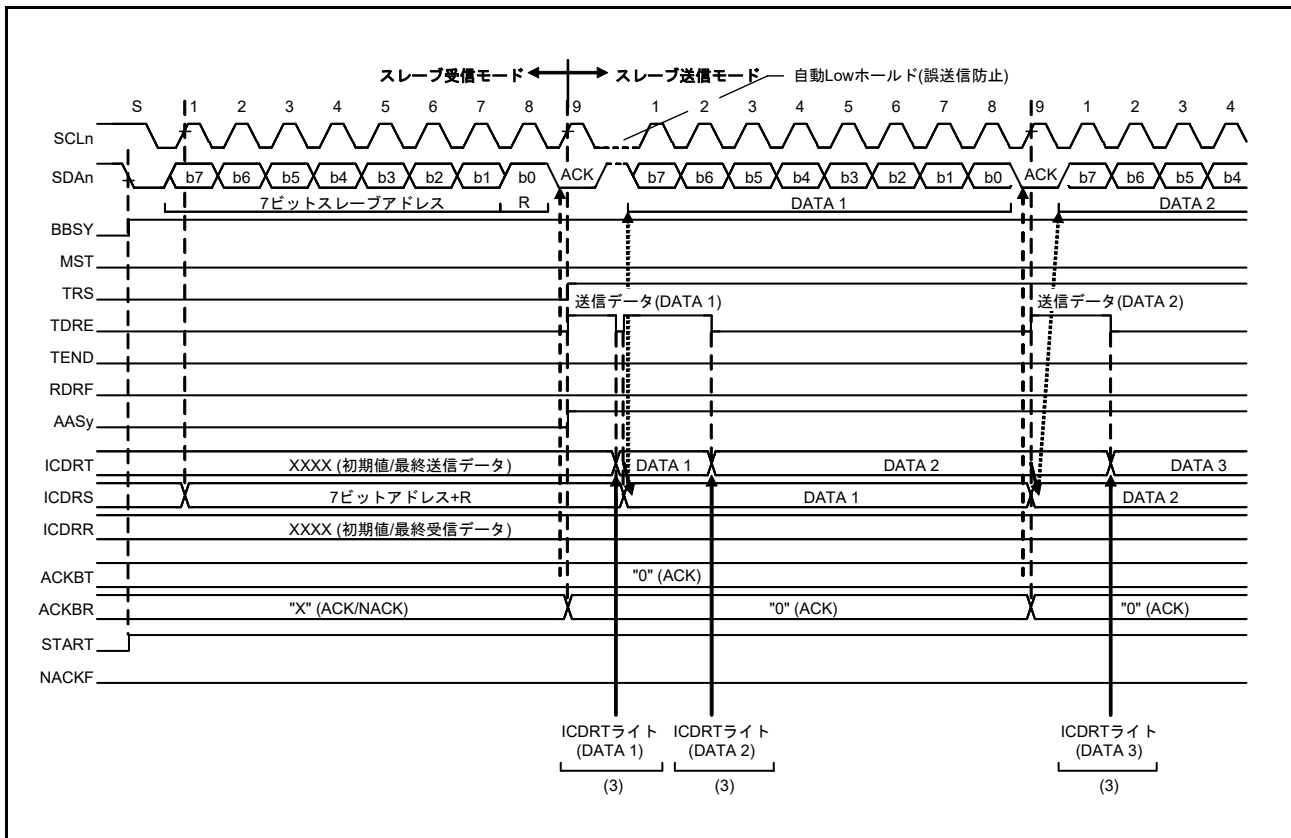


図 25.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットの場合)

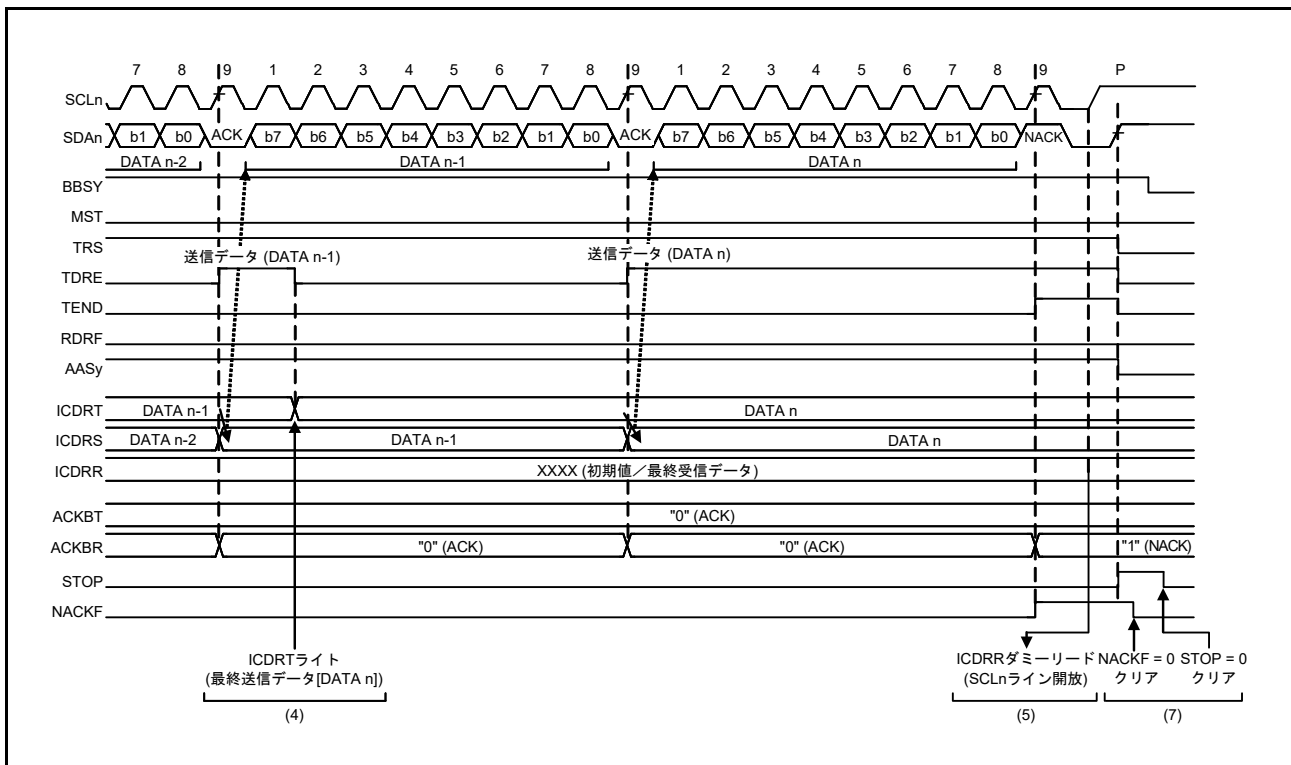


図 25.17 スレーブ送信の動作タイミング (2)

25.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 25.18 にスレーブ受信の使用例を図 25.19、図 25.20 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「25.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまでスレーブ受信モードで待機状態となります。
- (2) スレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.GCA, AASy ビット (y=0~2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに対し、ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。ダミーリード後、RIIC は RDRF フラグを“0”にし、受信動作を開始します。
- (4) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL クロック立ち下がり、SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され、RIIC は SCLn ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.GCA, AASy ビット (y=0~2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次の通信のために ICSR2.STOP フラグを“0”にしてください。

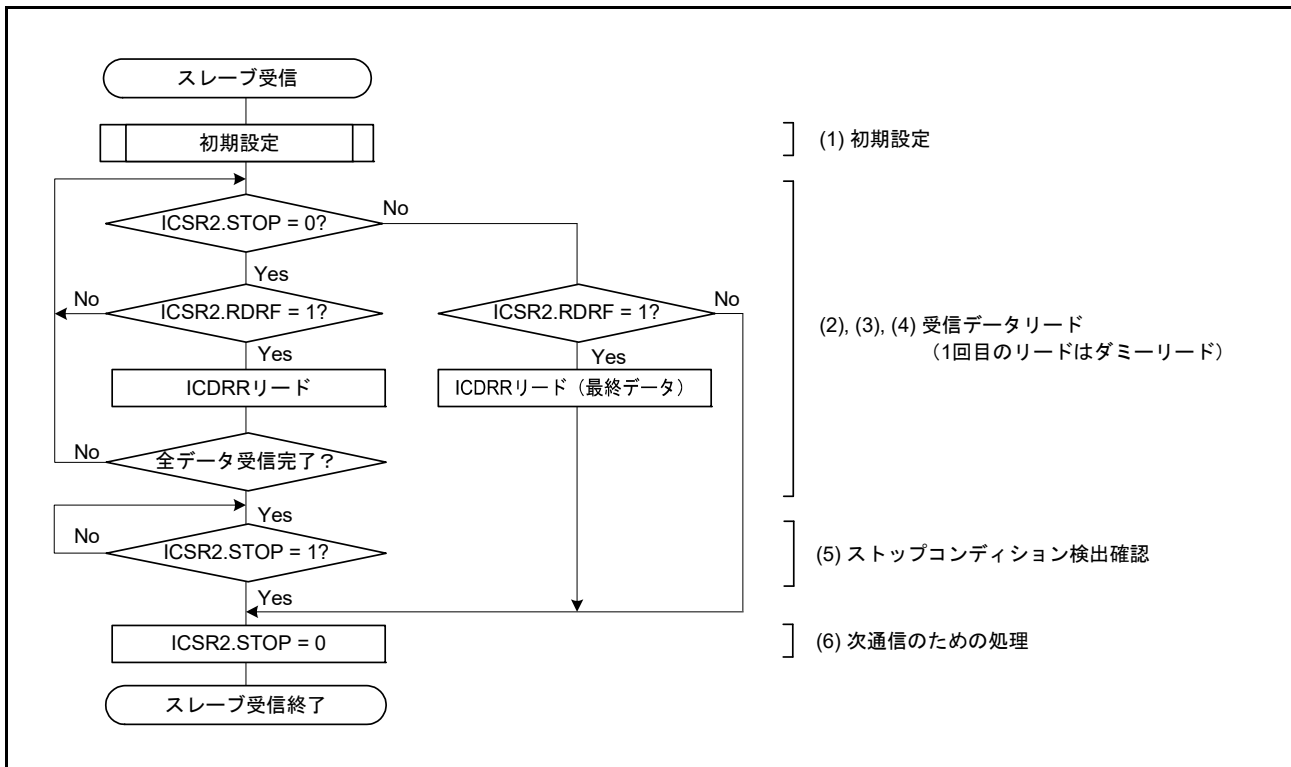


図 25.18 スレーブ受信のフローチャート例

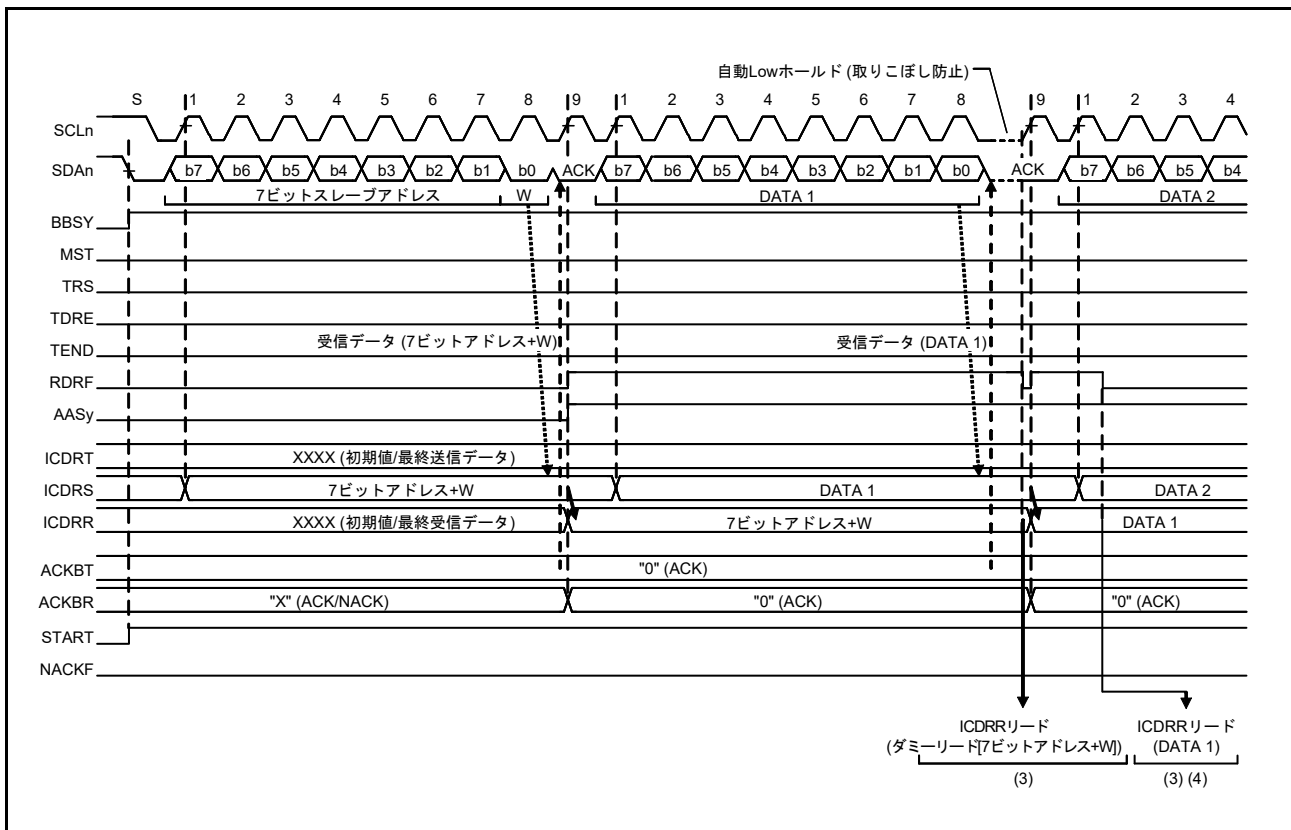


図 25.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS = 0 のとき)

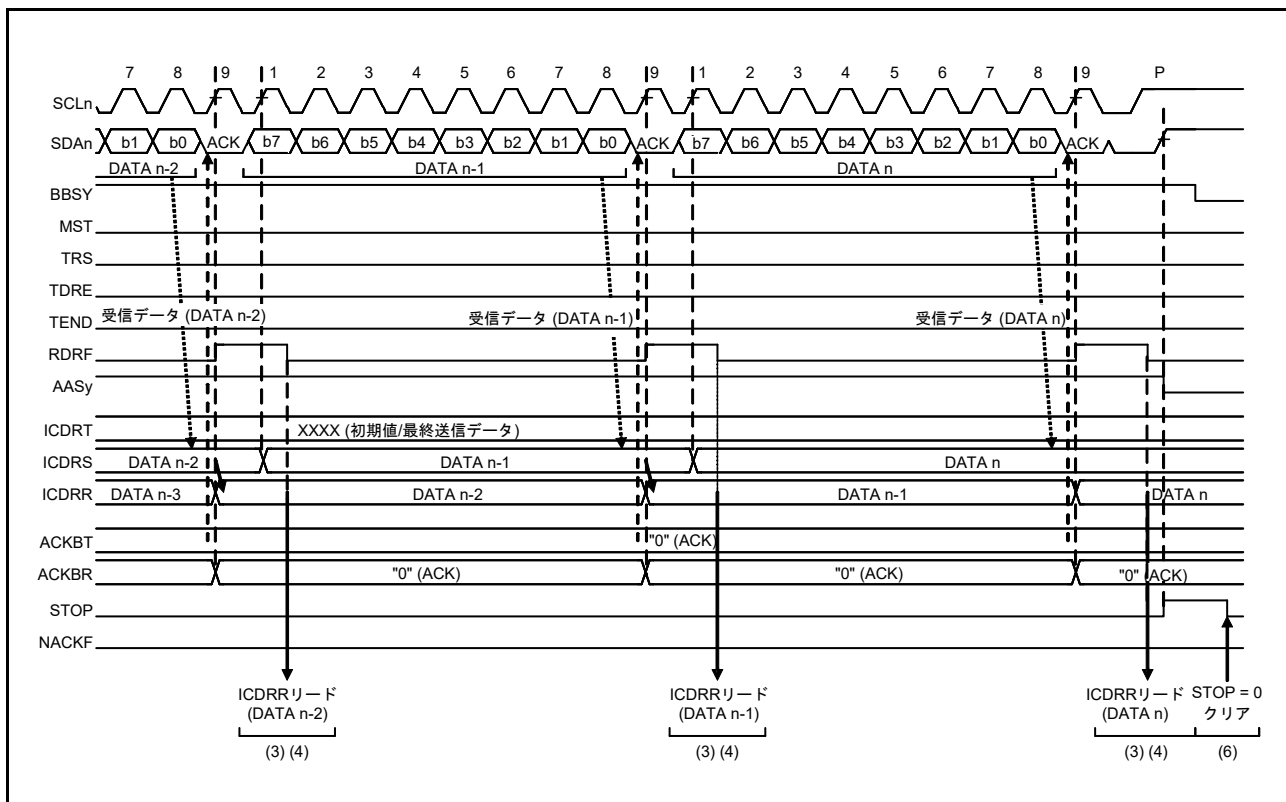


図 25.20 スレーブ受信の動作タイミング (2) (RDRFS = 0 のとき)

25.4 SCL 同期回路

RIICはSCLnラインの立ち上がりを検出すると、ICBRHレジスタで設定されたHigh幅のカウンタを開始し、High幅のカウンタが終了するとSCLnラインをLowにドライブして立ち下げ、SCLクロックを生成します。また、SCLnラインの立ち下がりを検出すると、ICBRLレジスタで設定されたLow幅のカウンタを開始し、Low幅のカウンタが終了するとSCLnラインのLowドライブを終了してSCLnラインを開放し、SCLクロックを生成します。

I²Cバスをマルチマスタで使用する場合、SCLクロックは他のマスタデバイスとの競合によりSCLクロック同士が衝突する場合があります。SCLクロックが衝突した場合、マスタデバイスはSCLクロックの同期化を行う必要があります。このSCLクロックの同期はビットごとに行う必要があり、RIICはマスタモード時にSCLnラインを監視してビットごとに同期を取りながらSCLクロックを生成する機能（SCL同期回路）を備えています。

RIICがSCLnラインの立ち上がりを検出し、ICBRHレジスタで設定されたHigh幅のカウンタ中に他のマスタデバイスのSCLクロック出力によりSCLnラインが立ち下げられた場合、RIICはSCLnラインの立ち下がりを検出するとHigh幅のカウンタアップ動作を中断し、SCLnラインのLowドライブと同時にICBRLレジスタで設定されたLow幅のカウンタアップを開始します。Low幅のカウンタが終了するとSCLnラインのLowドライブを終了してSCLnラインを開放します。このとき、他のマスタデバイスのSCLクロックのLow幅がRIICで設定されたLow幅よりも長い場合、SCLクロックのLow幅は延長されます。他のマスタデバイスのLow幅出力が終了すると、SCLnラインが開放されSCLクロックが立ち上がります。そのため、SCLクロック出力衝突時のSCLクロックのHigh幅は短いクロックに同期し、Low幅は長いクロックに同期化されます。なお、このSCL同期はICFER.SCLEビットが“1”のとき有効です。

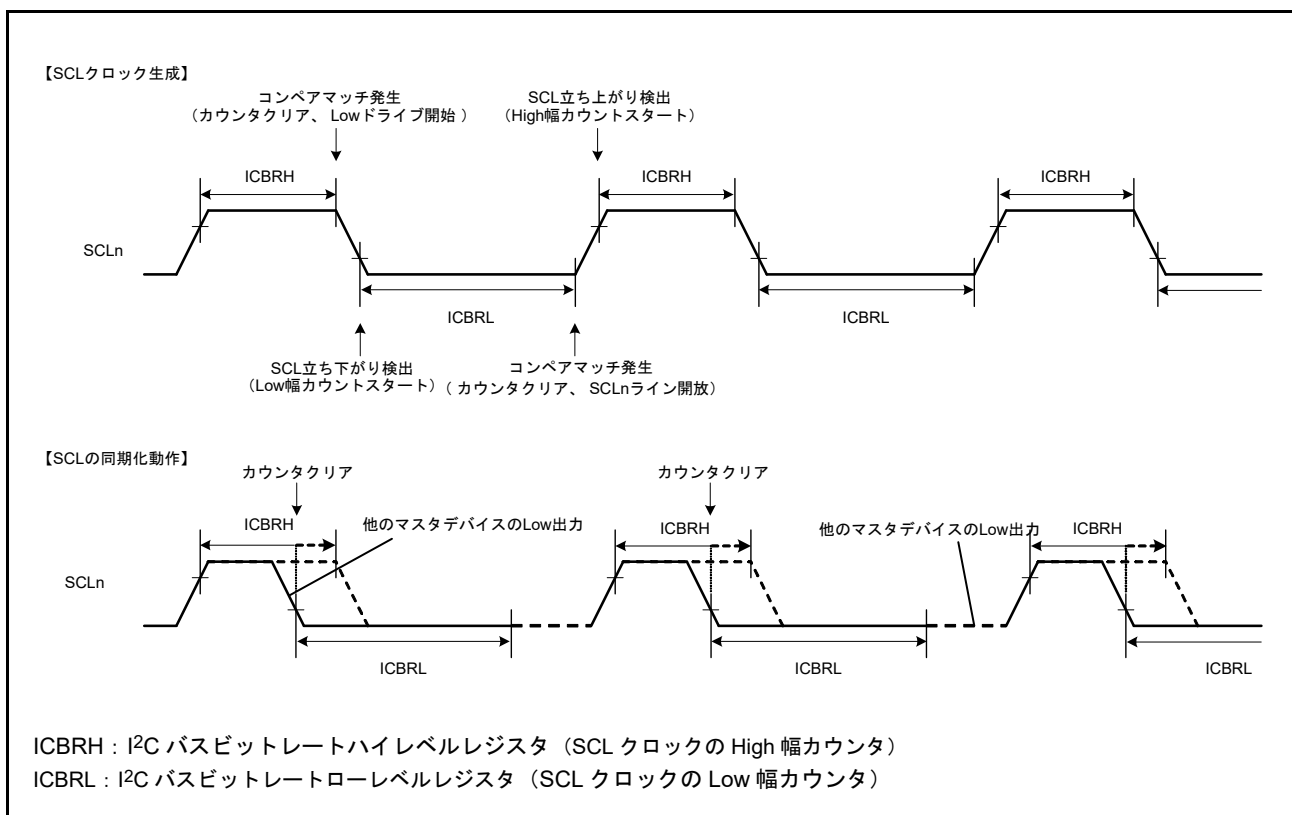


図 25.21 RIICのSCLクロック生成およびSCL同期化動作

25.5 SDA出力遅延機能

RIICはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング（発行動作（開始／再開始／停止）、データ出力、ACK／NACK出力）を遅延させることができます。

SDA出力遅延機能は、SCLクロックの立ち上がり検出からSDA出力を遅延させ、確実にSCLクロックのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用される機能です。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効（SDDL[2:0]ビットが“000b”以外）のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック（IICφ）、またはその2分周クロック（IICφ/2）をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル数のカウントが終了した時点でRIICはSDA出力（発行動作（開始／再開始／停止）、データ出力、ACK／NACK出力）を行います。

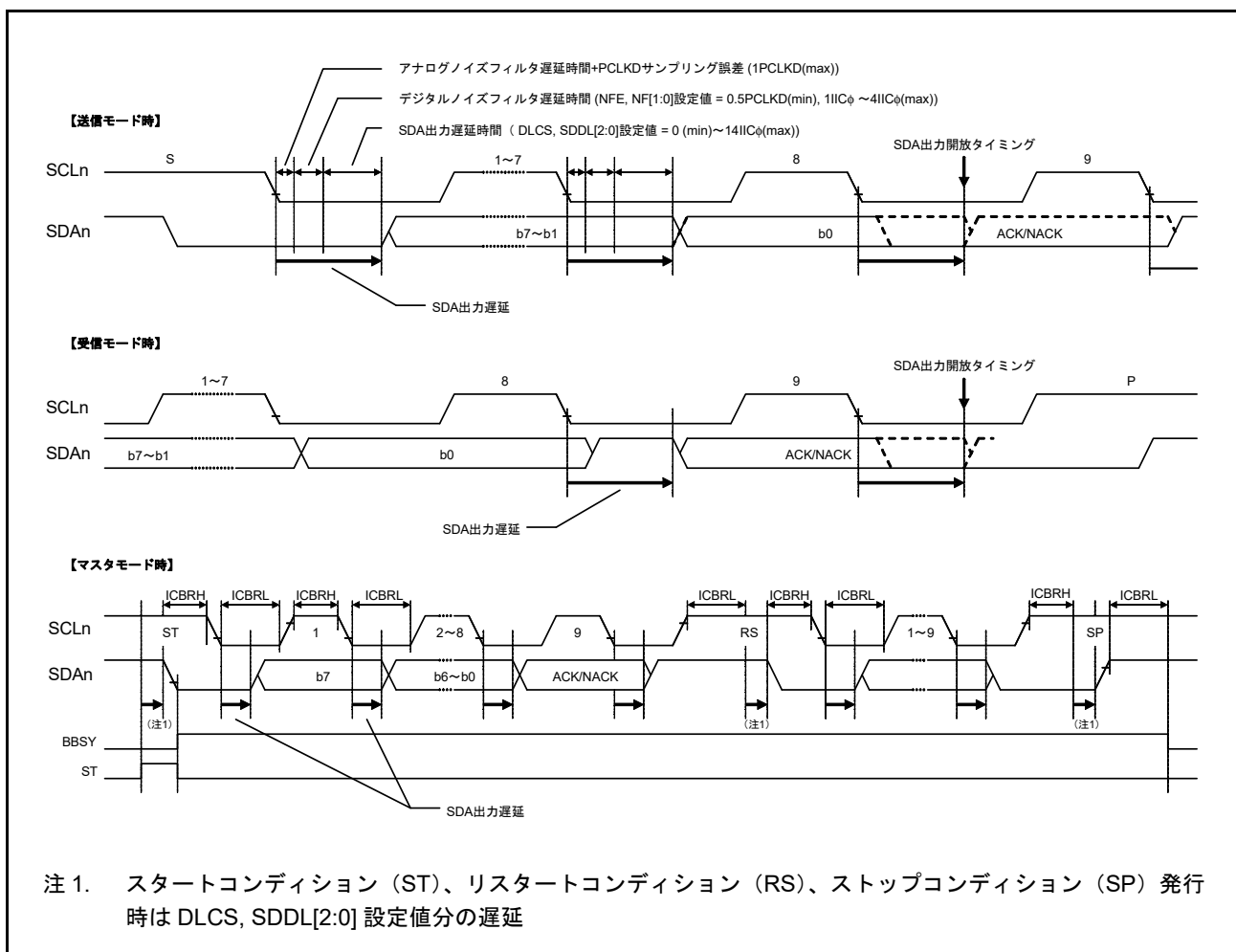


図 25.22 SDA出力遅延タイミング

25.6 デジタルノイズフィルタ回路

SCLn 端子および SDA_n 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 25.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1IIC ϕ ~ 4IIC ϕ サイクル分となります。

SCLn 端子入力信号（または SDA_n 端子入力信号）は IIC ϕ の立ち下がりでサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLKD = 4MHz 時の 400kbps 通信のような内部動作クロック (PCLKD) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (ICFER.NFE ビット = 0) し、アナログノイズフィルタ回路のみを使用することが可能です。

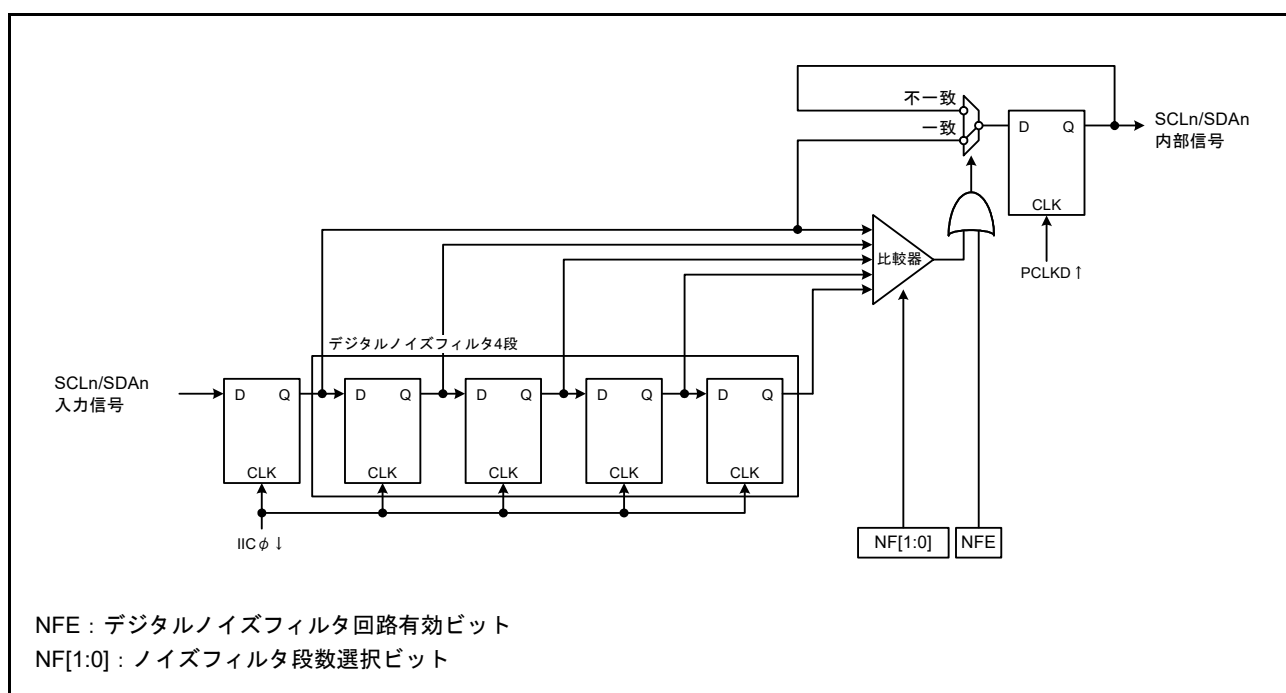


図 25.23 デジタルノイズフィルタ回路のブロック図

25.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

25.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット ($y=0\sim 2$) が“1”のとき、IC SARUy / IC SARLy レジスタ ($y=0\sim 2$) に設定されたスレーブアドレスを検出することができます。

RIICは、設定されたスレーブアドレス一致を検出すると、SCLクロックの9クロック目の立ち上がりで該当するICSR1.AASyフラグ ($y=0\sim 2$) を“1”にし、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み (RXI) または送信データエンプティ割り込み (TXI) を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 25.24 ~ 図 25.26 に AASy フラグが“1”になるタイミングを示します。

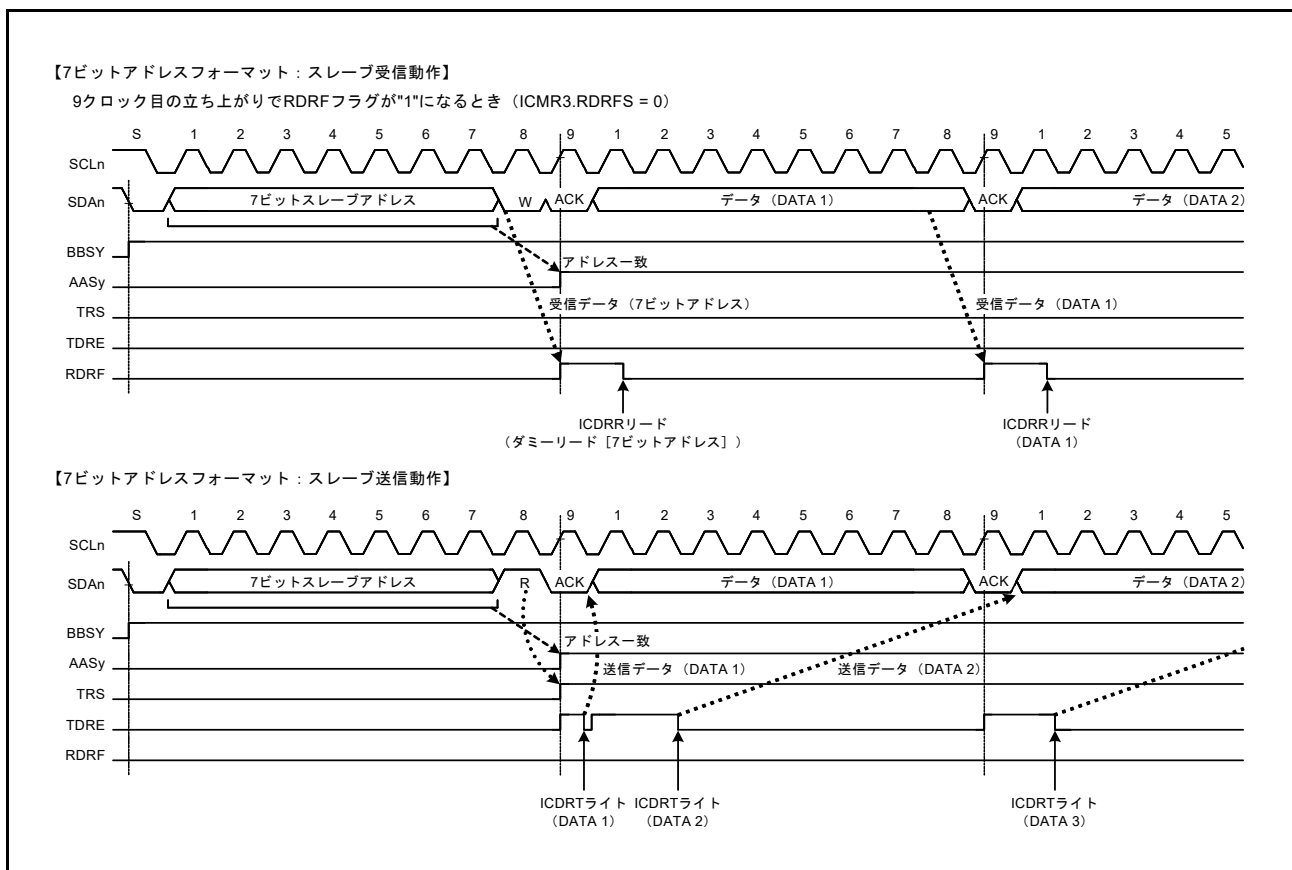


図 25.24 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

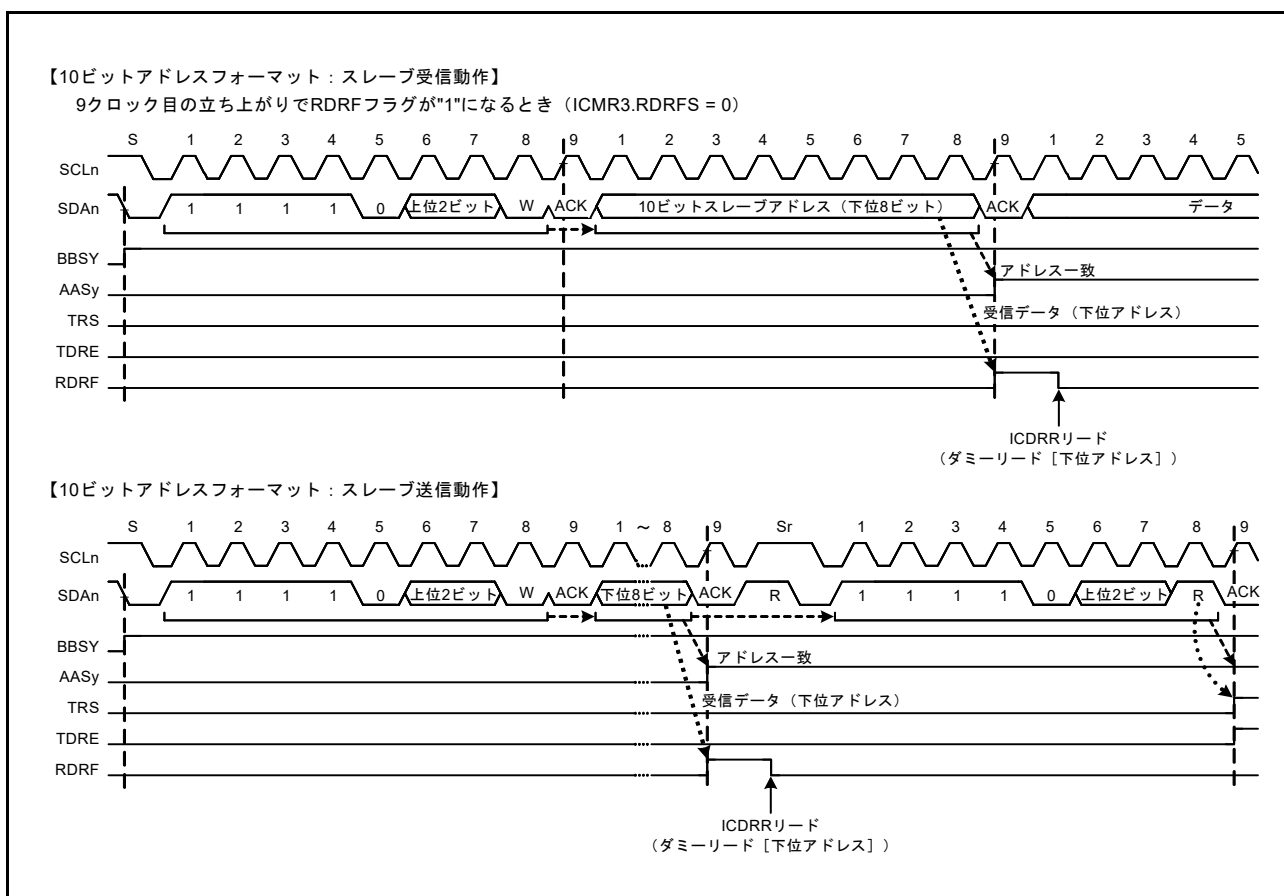


図 25.25 10ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

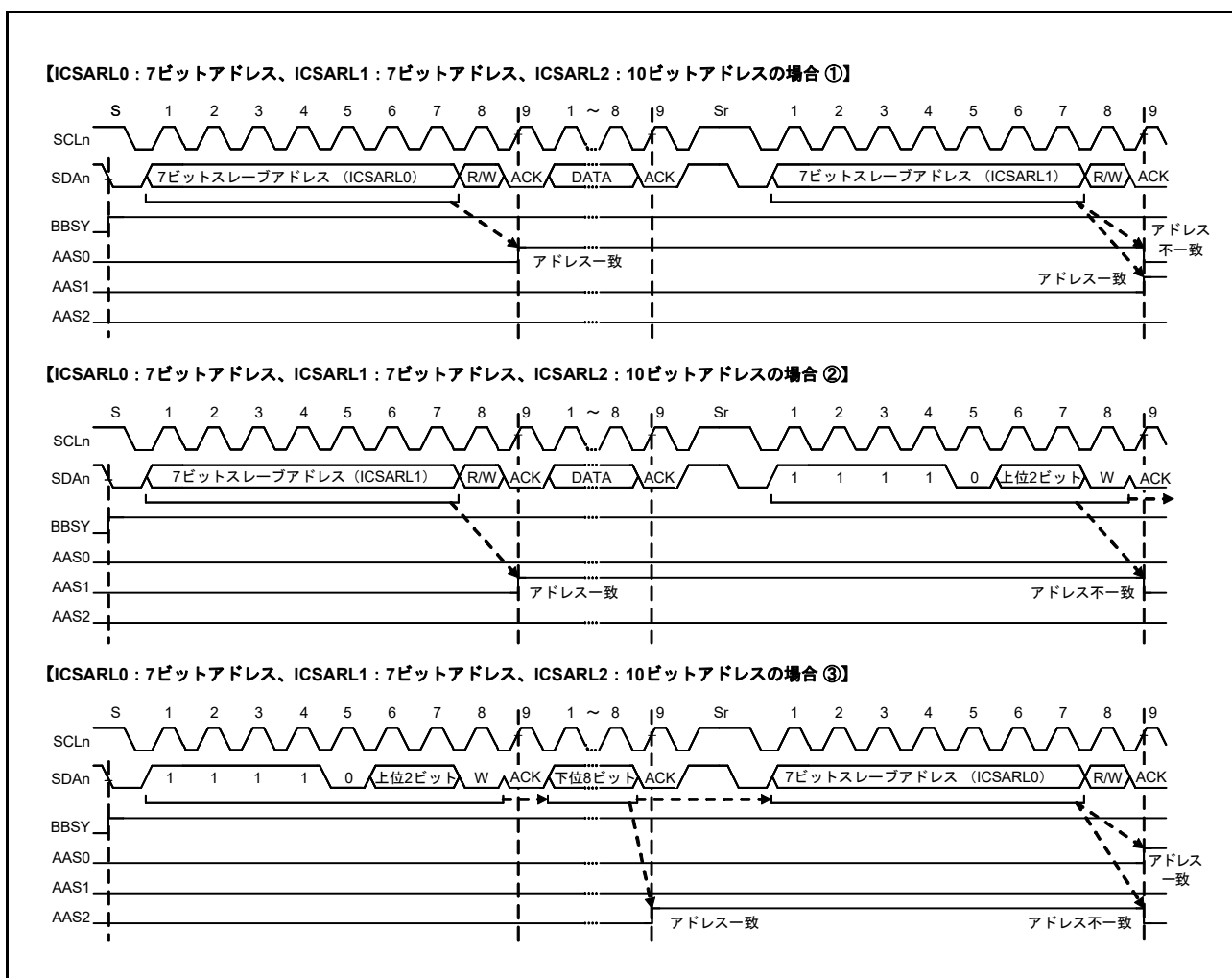


図 25.26 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”または“0”になるタイミング

25.7.2 ジェネラルコールアドレス検出機能

RIICは、ジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。ICSR.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディション、またはリスタートコンディション後のアドレスが 0000 000b + 1[R] (スタートバイト) だった場合、RIICはこのアドレスを All“0”のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、SCLクロックの9クロック目の立ち上がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

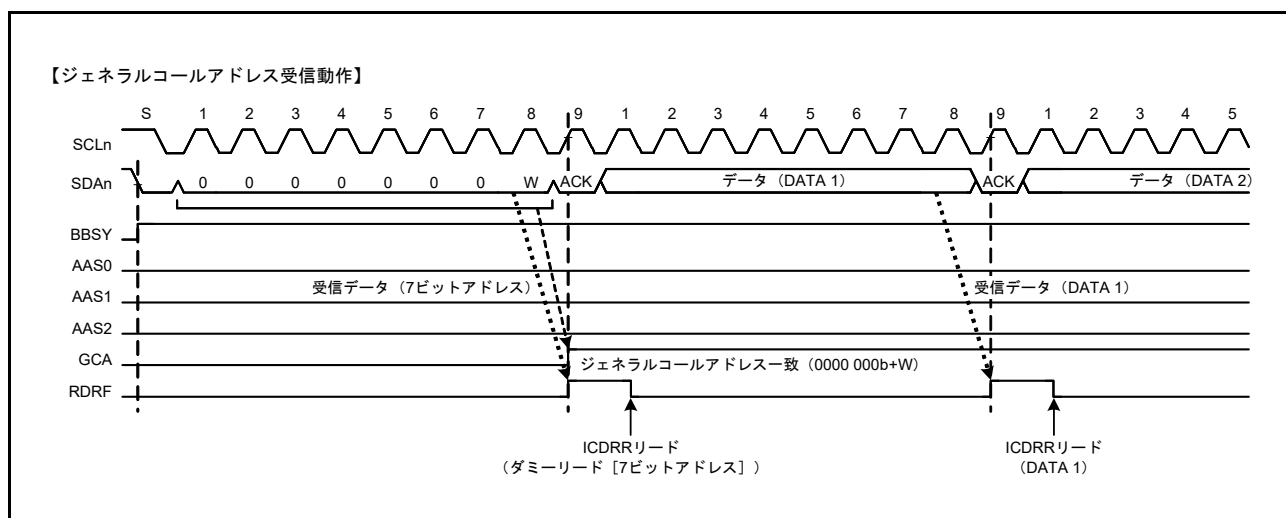


図 25.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

25.7.3 デバイス ID アドレス検出機能

RIICは、I²Cバス (Rev.03) に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RIICはこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが“0”のとき SCL クロックの8クロック目の立ち上がりで ICSR1.DID フラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AAS_y フラグ (y=0~2) が“1”になります。

その後、スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが“1”のとき、RIICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDRE フラグを“1”にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致、あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを“0”にします。その際、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが“0”のとき、DID フラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W# ビットが“1”の場合、DID フラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE=1を確認後、DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後に、ホストに送信するデバイス ID フィールドとして必要な情報 (3 バイト分: メーカー [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) は、通常の送信データと同様にあらかじめ準備してください。また、デバイス ID フィールドに必要な情報の詳細については NXP 社にお問い合わせください。

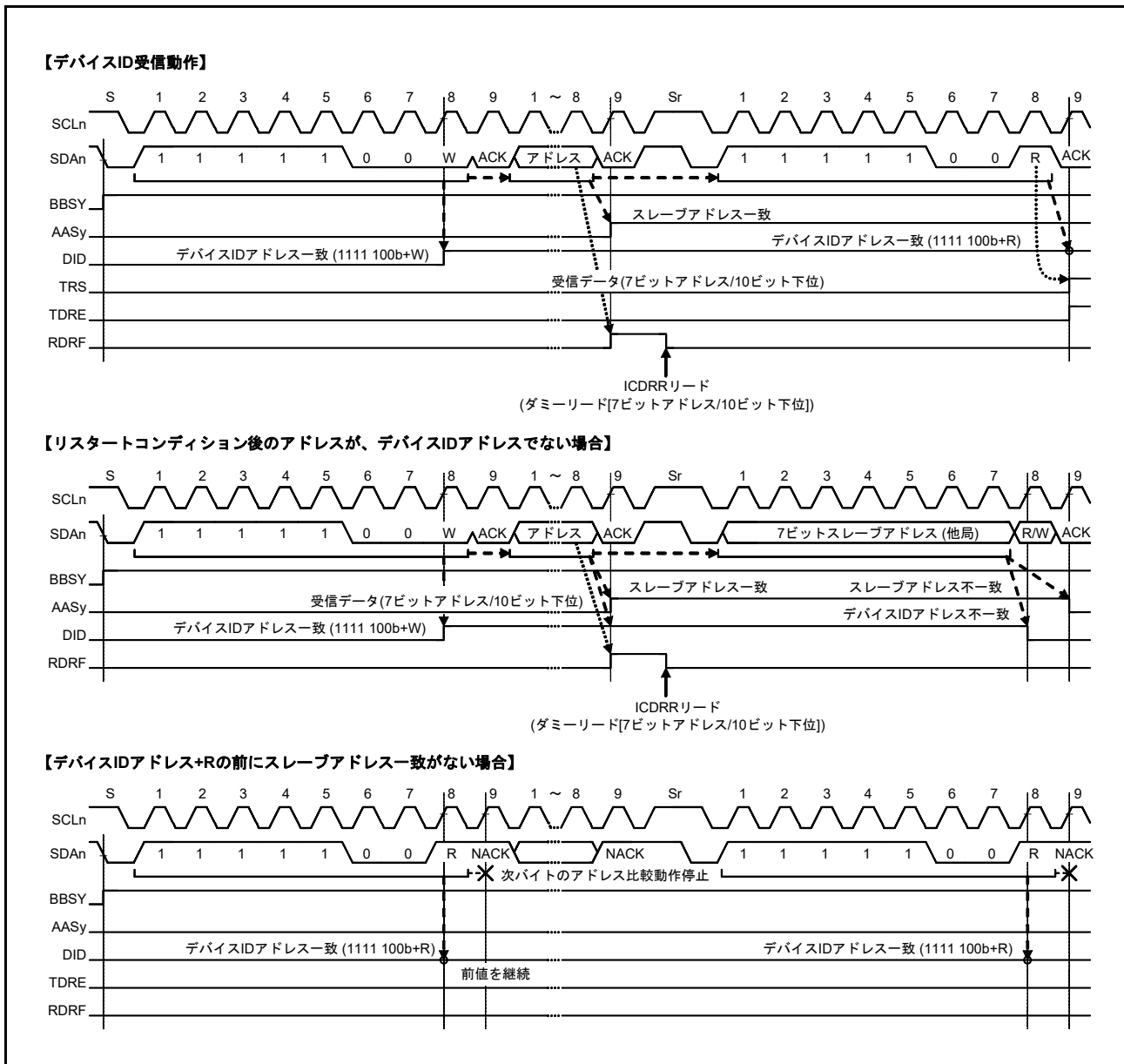


図 25.28 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

25.8 SCLの自動Lowホールド機能

25.8.1 送信データ誤送信防止機能

RIICは、送信モード時 (ICCR2.TRS ビット=1)、シフトレジスタ (ICDRS レジスタ) が空の状態であつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間、Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の Low 区間

《スレーブ送信モード》

- 9クロック目と1クロック目の Low 区間

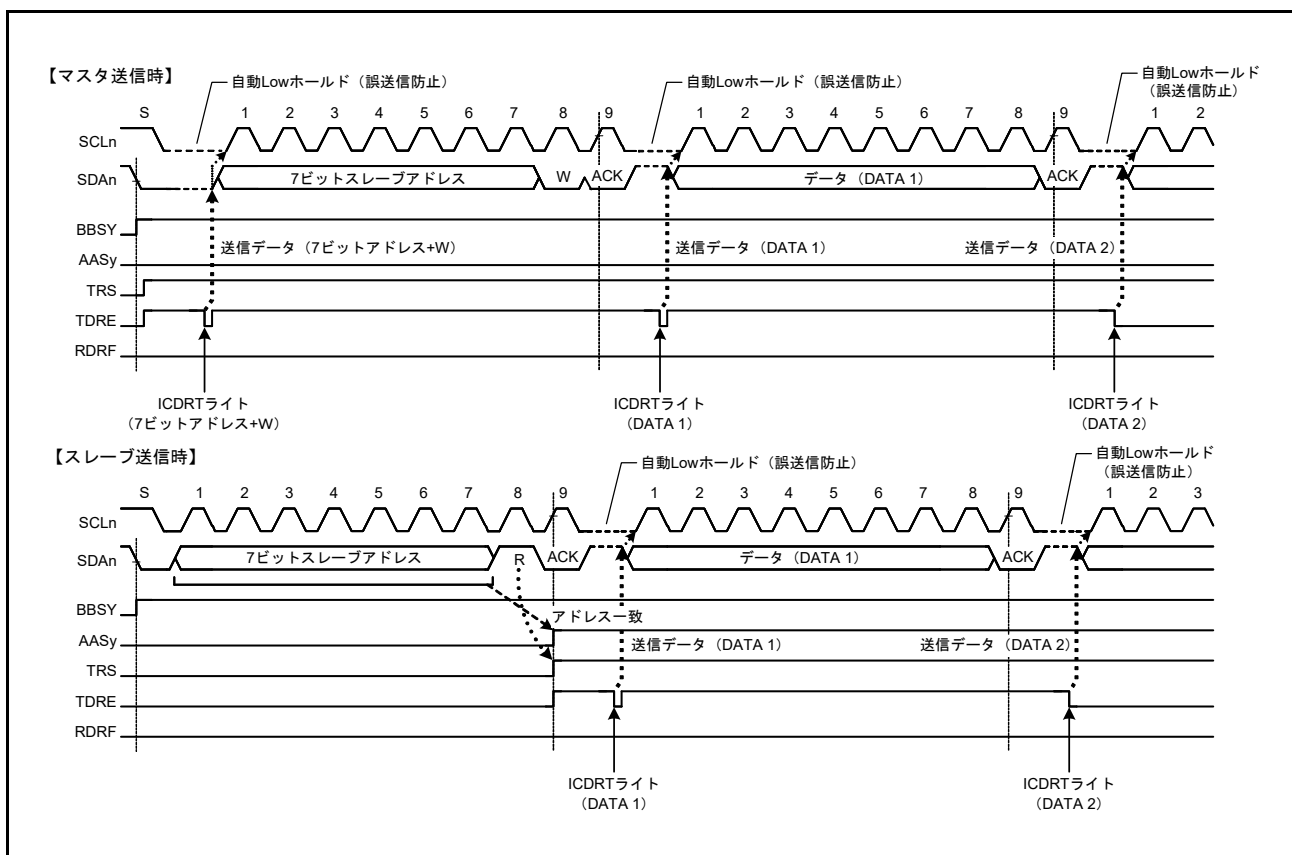


図 25.29 送信モードの自動 Low ホールド動作

25.8.2 NACK 受信転送中断機能

RIICは送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKCE ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次の送信データの MSB が “0” のときの SDA_n ライン Low 出力固定を防止することができます。

なお、NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合には NACKF フラグを “0” にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

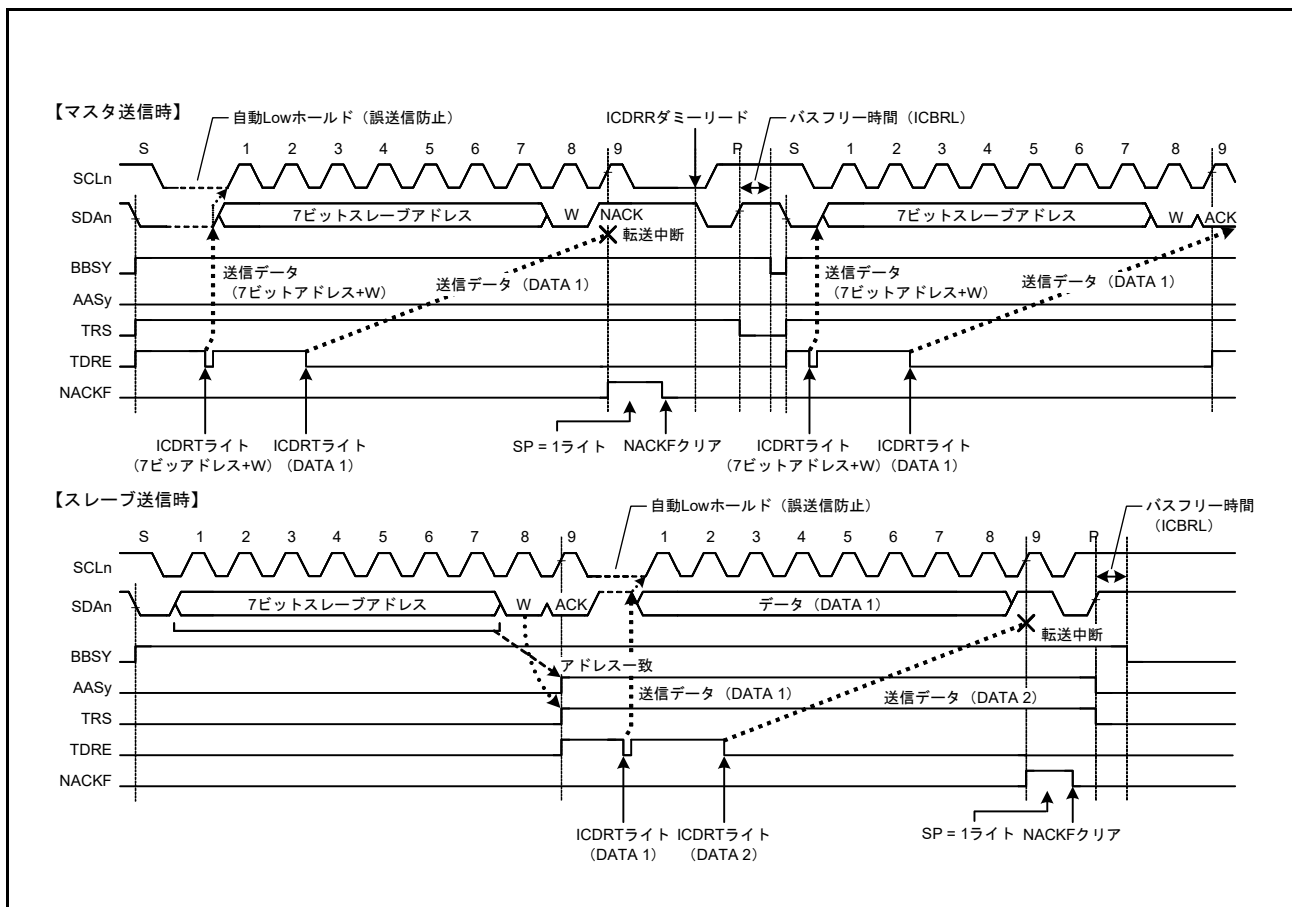


図 25.30 NACK 受信時の転送中断動作 (NACKCE = 1 のとき)

25.8.3 受信データ取りこぼし防止機能

RIICは、受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効です。ストップコンディション後、自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では ICMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出されます。9 クロック目の立ち下がりを検出すると WAIT ビット機能により、自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため、1 バイトごとの受信動作が可能になります。

なお、WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時で、かつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングが SCL クロックの 8 クロック目の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため、1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお、RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時で、かつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信フレームから有効になります。

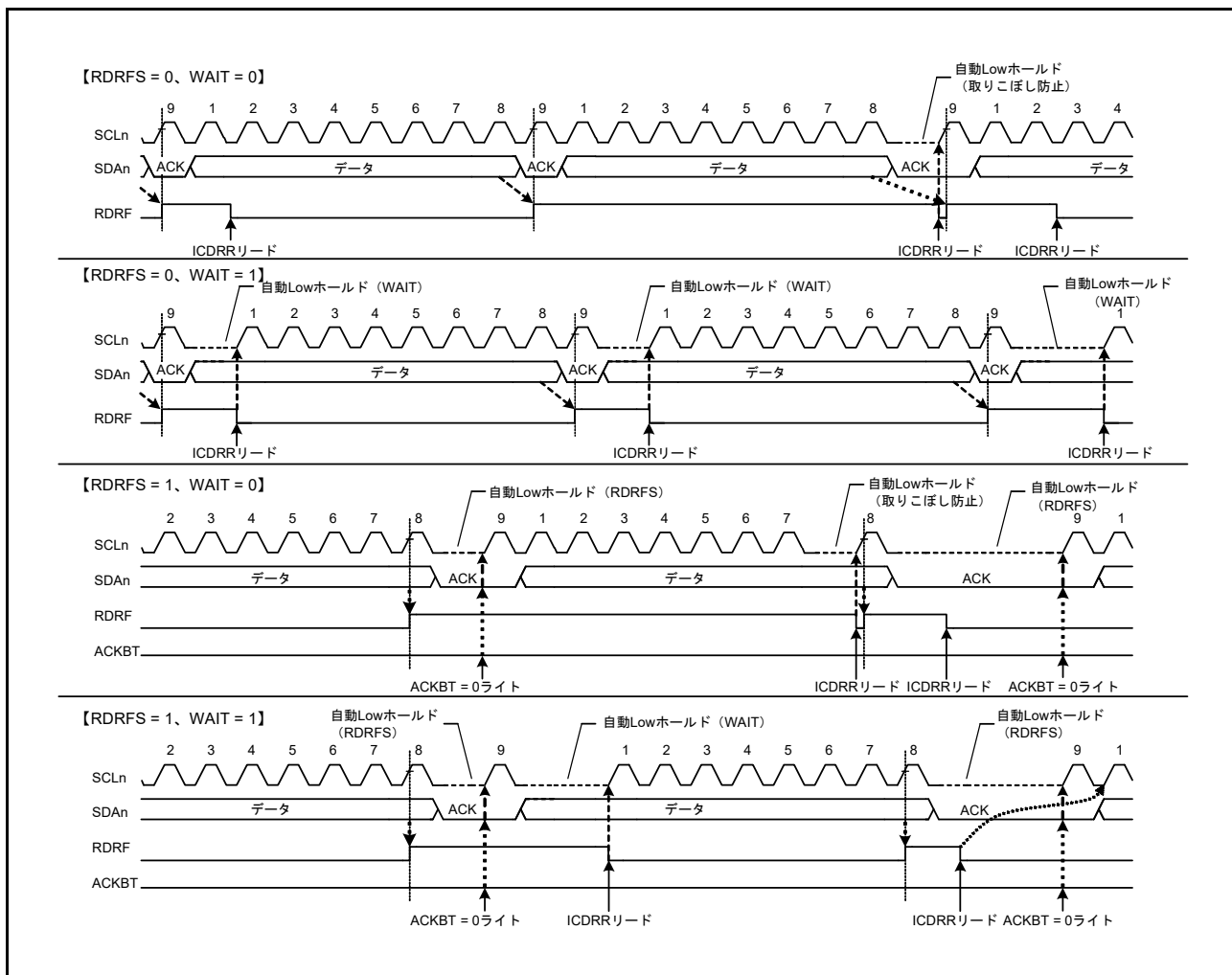


図 25.31 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

25.9 アービトレーションロスト検出機能

RIICにはI²Cバス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

25.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際、SDAnラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAnラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1”（バスビジー中）のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

また、スタートコンディション発行が正常に行われ、アドレス送信を含む送信データ（SDA信号）とSDAnラインに不一致が生じた場合（SDA出力がHigh出力（SDAn端子はハイインピーダンス）で、SDAラインにLowを検出したとき）、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このとき、ジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なお、マスタアービトレーションロスト検出は、ICFER.MALEビットが“1”（マスタアービトレーションロスト検出許可）の状態以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグ = 0の状態(ICCR2.STビット = 1によるスタートコンディション発行時にSDA信号とSDAnライン上の信号の状態が不一致のとき（スタートコンディション発行エラー）
- ICCR2.BBSYフラグ = 1でICCR2.STビットを“1”にしたとき(スタートコンディション二重発行エラー)
- マスタ送信モード時 (ICCR2.MST, TRS ビット = 11b)、アクノリッジを除く送信データ（SDA信号）とSDAnライン上の信号の状態が不一致のとき

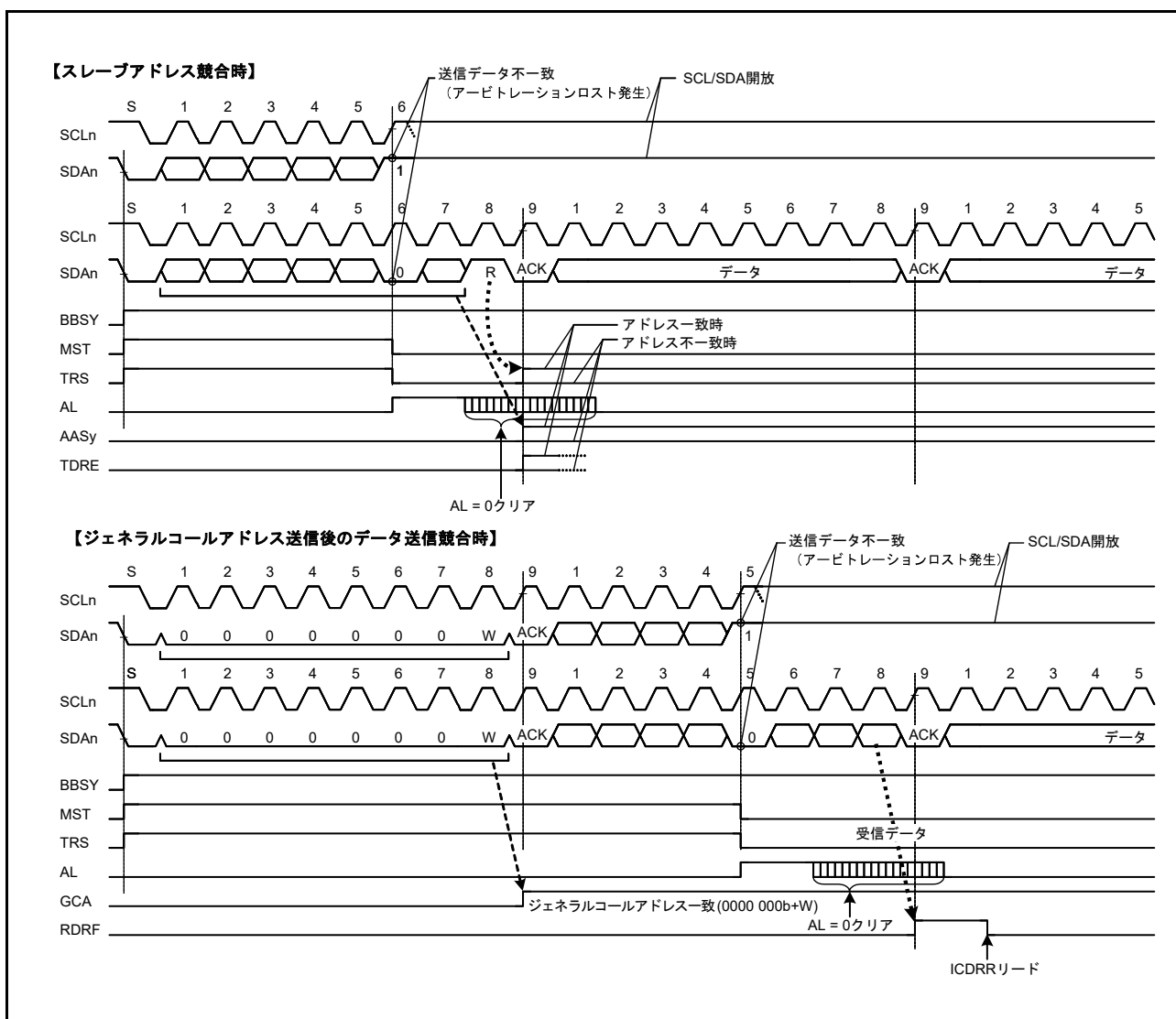


図 25.32 マスタアービトレーションロスト検出動作例 (MALE = 1 のとき)

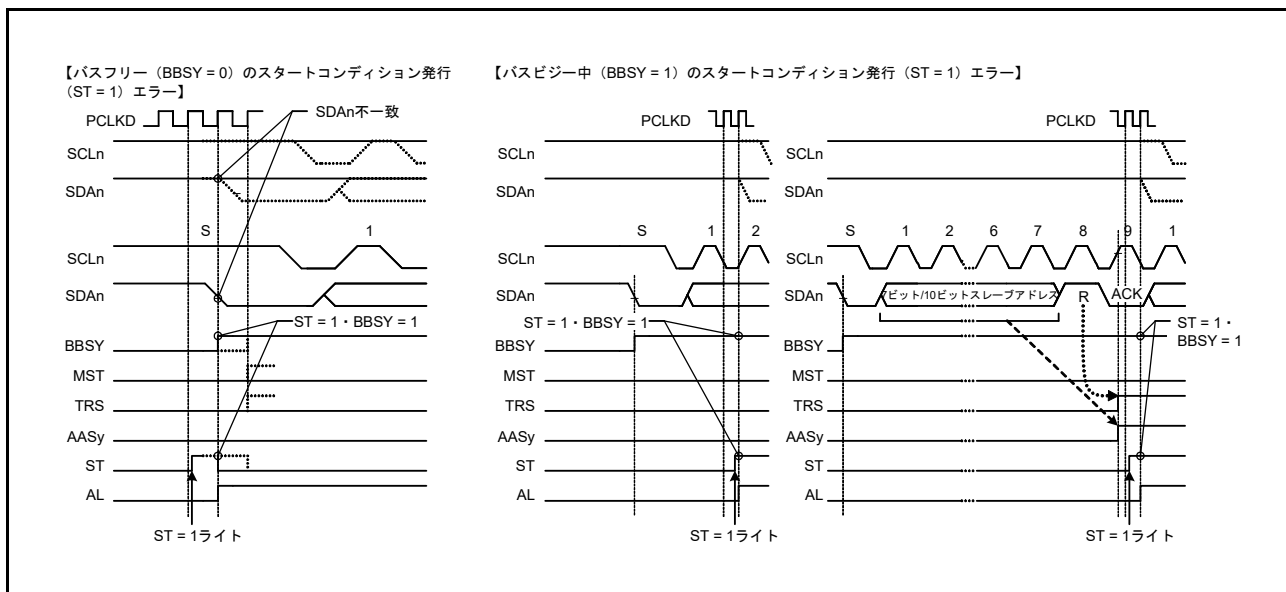


図 25.33 スタートコンディション発行時のアービトレーションロスト (MALE = 1 のとき)

25.9.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIICは受信モード時でNACK送信時に出力したSDA信号とSDAnライン上の信号の状態が不一致の場合(SDA出力がHigh出力(SDAn端子はハイインピーダンス)で、SDAnラインにLowを検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて、2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK送信とACK送信が衝突することで発生します。これは2つ以上のマスタデバイスが、1つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図25.34にNACK送信アービトレーションロスト検出動作例を示します。

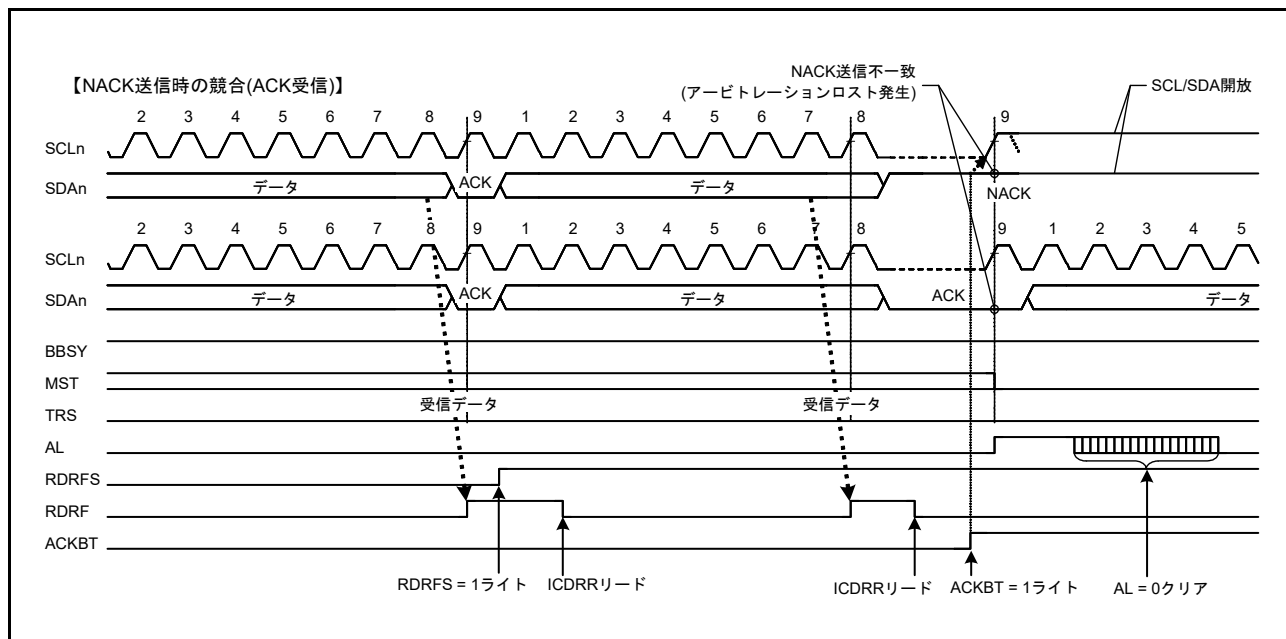


図 25.34 NACK 送信アービトレーションロスト検出動作例 (NALE = 1 のとき)

2つのマスタデバイス(マスタA、マスタB)と1つのスレーブデバイスがバス上に接続されている場合に例を挙げて説明します。マスタAはスレーブデバイスから2バイト受信、マスタBはスレーブデバイスから4バイト分のデータ受信を行うものとします。

このとき、マスタAとマスタBが同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタA、マスタBともスレーブデバイスアクセス時にアービトレーションロストは発生しません。そのため、マスタA、マスタBともにバス権を取得したものと認識して動作します。ここでマスタAは、スレーブデバイスから最終バイトである2バイト分の受信が完了した時点でNACKを送信します。一方マスタBは、スレーブデバイスから必要な4バイト受信に満たないためACK送信を行います。このとき、マスタAのNACK送信とマスタBのACK送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタAはマスタBが出したACK送信を検出できないままストップコンディション発行動作を行うため、マスタBのSCLクロック出力と競合し通信を阻害します。

RIICは、このようなNACK送信時にACKを受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。

NACK送信アービトレーションロストが発生した場合、RIICはスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

なお、NACK送信アービトレーションロスト検出は、ICFER.NALEビットが“1”(NACK送信アービトレーションロスト検出許可)の状態、以下に示す条件が成立したとき、アービトレーションロストを検出します。

[NACK 送信アービトレーションロスト条件]

- NACK 送信時(ICMR3.ACKBT ビット = 1)、出力した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき (ACK を受信したとき)

25.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA_n ライン上の信号の状態に不一致が生じた場合 (出力した SDA 出力が High 出力 (SDA_n 端子はハイインピーダンス) で、SDA_n ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

なお、スレーブアービトレーションロスト検出は、ICFER.SALE ビットが“1” (スレーブアービトレーションロスト検出許可) の状態で、以下に示す条件が成立したとき、アービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST, TRS ビット = 01b)、アクトリッジを除く送信データ (出力した SDA 信号) と SDA_n ライン上の信号の状態が不一致のとき

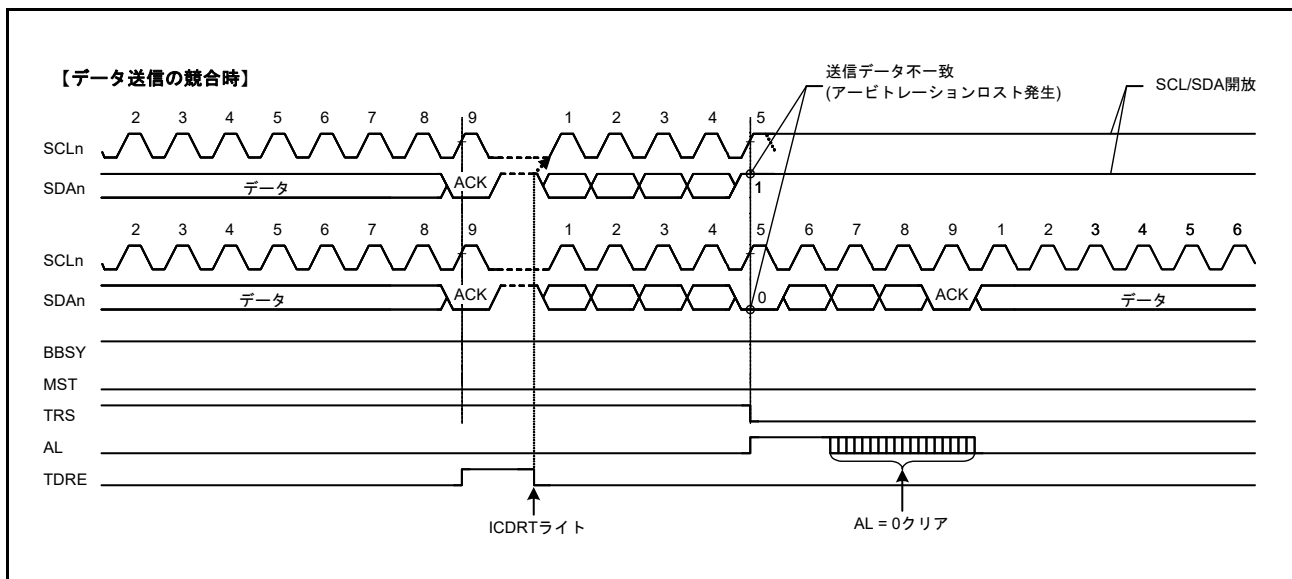


図 25.35 スレーブアービトレーションロスト検出動作例 (SALE = 1 のとき)

25.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

25.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスにしたがって行われます。

[スタートコンディション発行動作]

- (1) SDA_nラインを立ち下げ（HighからLowに遷移）
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL_nラインを立ち下げ（HighからLowに遷移）
- (4) SCL_nラインのLowを検出後、ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保

25.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”（バスビジー）の状態にかつICCR2.MSTビットが“1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスにしたがって行われます。

[リスタートコンディション発行動作]

- (1) SDA_nラインを開放
- (2) ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保
- (3) SCL_nラインを開放（LowからHighに遷移）
- (4) SCL_nラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA_nラインを立ち下げ（HighからLowに遷移）
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL_nラインを立ち下げ（HighからLowに遷移）
- (8) SCL_nラインのLowを検出後、ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保

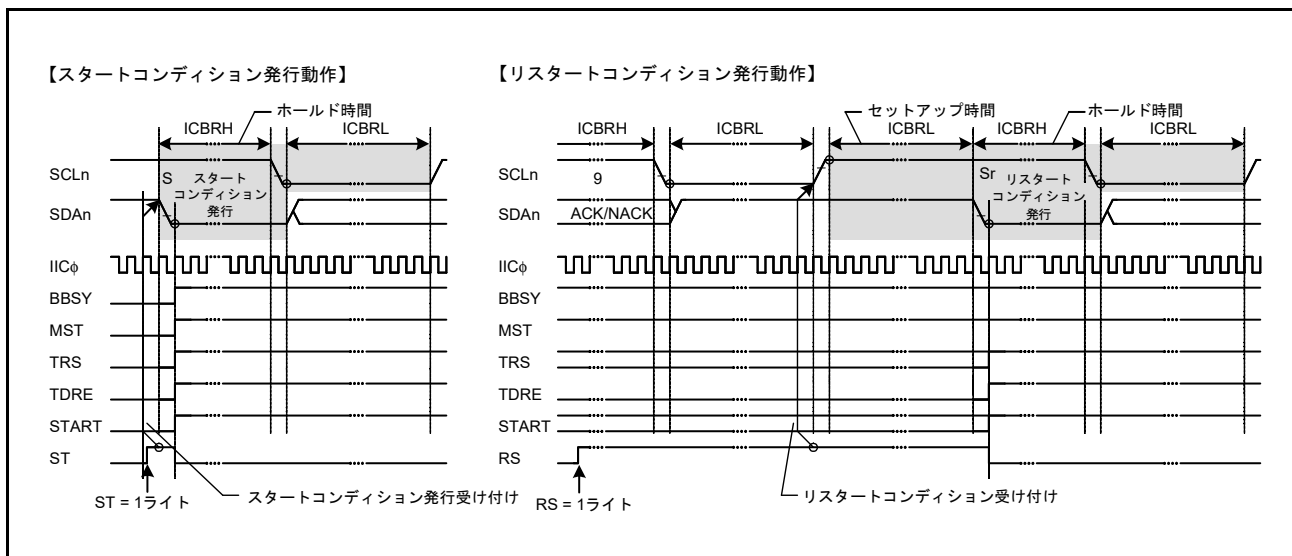


図 25.36 スタートコンディション／リスタートコンディション発行動作タイミング (ST、RS ビット)

25.10.3 ストップコンディション発行動作

RIICは、ICCR2.SPビットによりストップコンディションの発行を行います。

SPビットを“1”にするとストップコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”（バスビジー）の状態であつICCR2.MSTビットが“1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスにしたがって行われます。

[ストップコンディション発行動作]

- SDA_nラインを立ち下げ（HighからLowに遷移）
- ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保
- SCL_nラインを開放（LowからHighに遷移）
- SCL_nラインのHigh検出後、ICBRHレジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDA_nラインを開放（LowからHighに遷移）
- ICBRLレジスタで設定した時間バスフリー時間を確保
- BBSYフラグクリア（バス権解放）

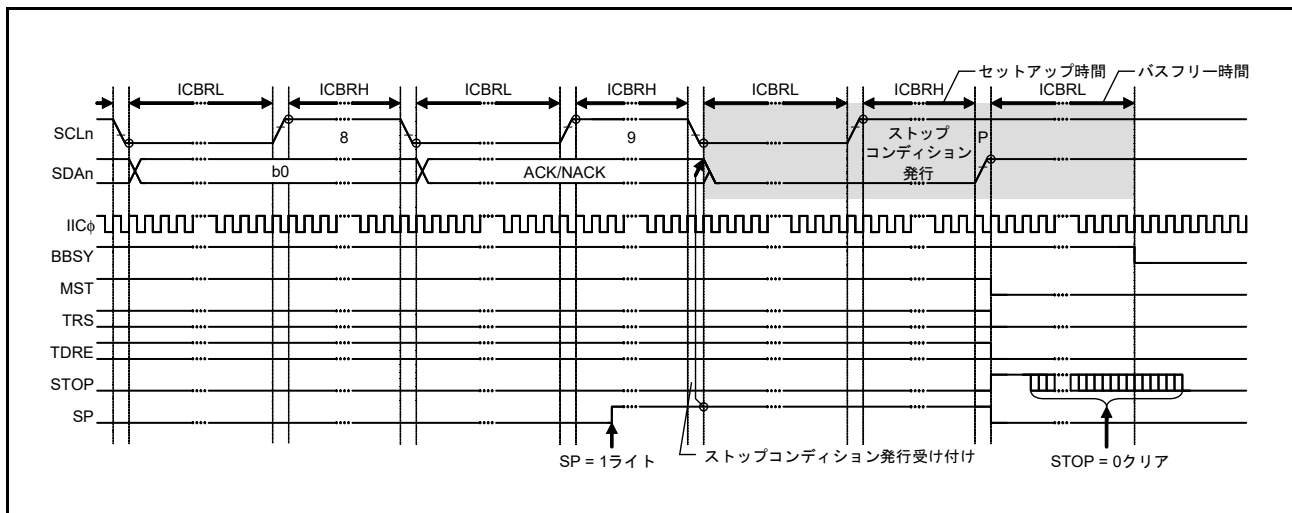


図 25.37 ストップコンディション発行動作タイミング（SPビット）

25.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLnラインやSDAnラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCLnラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するためのSCLクロック追加出力機能およびRIICリセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAIビットを確認することで、RIIC自身がSCLnライン/SDAnラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

25.11.1 タイムアウト検出機能

RIICは、SCLnラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICは、SCLnラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCLnラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCLnラインに変化（立ち上がり/立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLnラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCLnラインのLow固定またはHigh固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14ビットカウンタとなります。

また、内部カウンタのカウント動作は、SCLnラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH, TMOLビットの設定により選択することが可能です。なおTMOH, TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

注． タイムアウト検出機能を使用するときは、「25.2.4 I²Cバスモードレジスタ2 (ICMR2)」、「25.3 動作説明」、「25.3.2 初期設定」を参照してください。

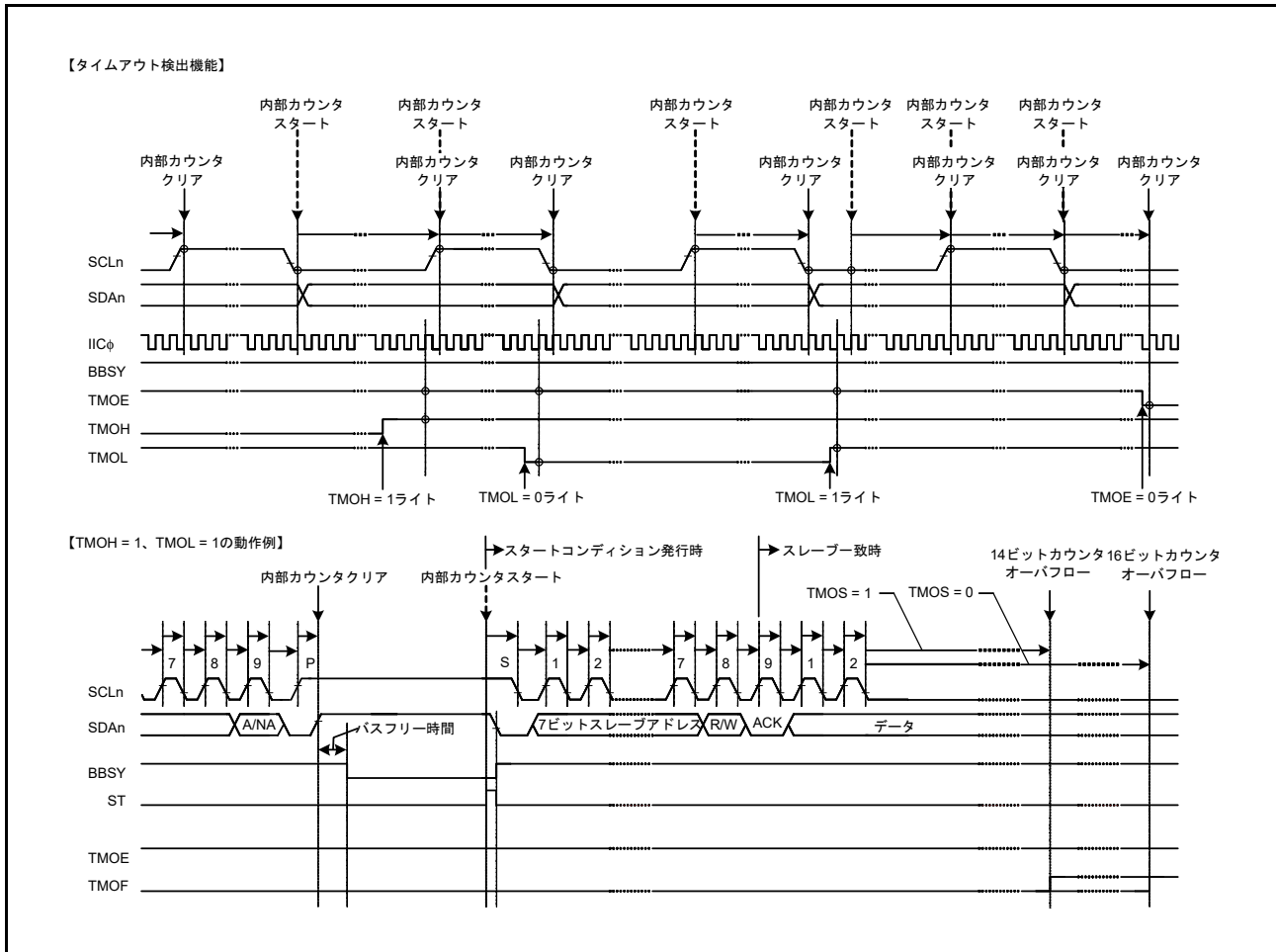


図 25.38 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビット)

25.11.2 SCL クロック追加出力機能

RIICは、マスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスのSDAnラインLow固定状態を開放するためのSCLクロック追加出力機能を備えています。

SCLクロック追加出力機能は、SCLクロックを1クロック単位で追加出力をする機能で、主にマスタモード時に、スレーブデバイスがSDAnラインをLow固定状態のままストップコンディションを発行できない場合、スレーブデバイスのSDAnライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCLクロック追加出力は、ICCR1.CLOビットを“1”にすると、ICMR1.CKS[2:0]ビット、ICBRH、ICBRLレジスタで設定された転送速度のSCLクロックが1クロック分追加クロックとして出力されます。1クロック分の追加クロック出力が終了するとCLOビットは自動的に“0”になります。そのためソフトウェアでCLOビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIICがマスタモード時に、ノイズ等の影響によりスレーブデバイスとの同期ズレが原因で、スレーブデバイスがSDAnラインをLow固定状態のままストップコンディションを発行できないバスハングアップの場合、SCLクロック追加出力機能を使用して追加クロックを1クロックずつ出力することで、スレーブデバイスのSDAnラインのLow固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスのSDAnライン開放はICCR1.SDAIビットをチェックすることで確認することができます。スレーブデバイスのSDAnライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合はICFER.MALEビットを“0”（マスタアービトレーションロスト検出禁止）にして使用してください。MALEビットが“1”（マスタアービトレーションロスト検出許可）の場合、ICCR1.SDAOビットの値とSDAnラインが不一致だとアービトレーションロストが発生しますので注意してください。

[ICCR1.CLOビットの出力条件]

- バスフリー状態（ICCR2.BBSYフラグ=0）またはマスタモード（ICCR2.MSTビット=1、BBSYフラグ=1の状態）のとき
- 通信デバイスがSCLnラインをLowホールドにしていない状態のとき

図 25.39 に SCL クロック追加出力機能（CLO ビット）を示します。

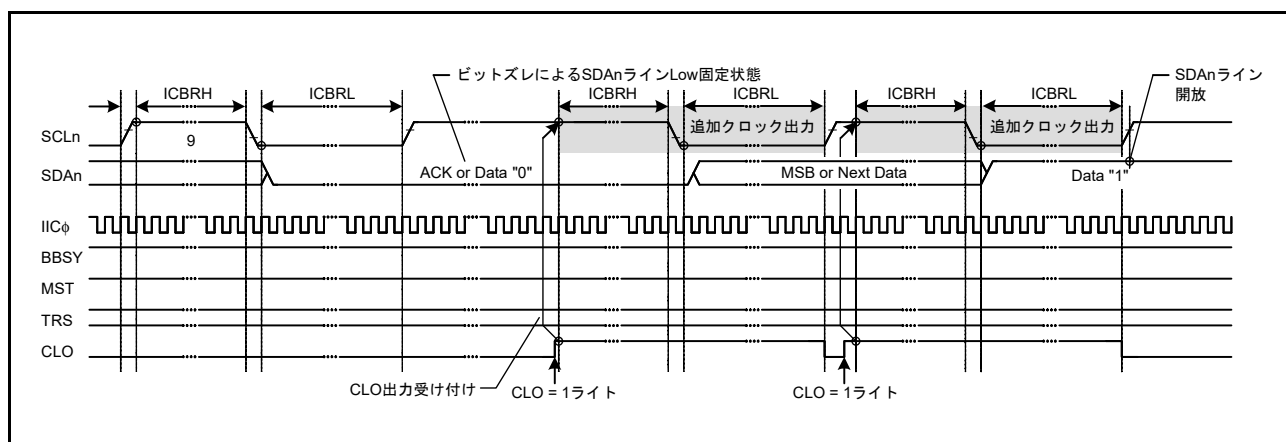


図 25.39 SCL クロック追加出力機能（CLO ビット）

25.11.3 RIIC リセット、内部リセット

RIIC は、RIIC モジュールをリセットするための機能を備えています。リセットには2種類のリセットがあり、1つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう1つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は、ICCR1.IICRST ビットを“0”にしてください。

いずれのリセットも SCLn 端子 / SDA_n 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なお、スレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用しないでください。また、RIIC リセット (ICCR1.ICE, IICRST ビット=01b) 中は、スタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「25.13 リセットと各コンディション発行時のレジスタおよび機能の状態」を参照してください。

25.12 割り込み要因

RIICの割り込み要因には、通信エラー／イベント発生（アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンプティ、送信終了の4種類があります。

表25.6に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DMACを起動してデータ転送を行うことができます。

表25.6 割り込み要因

名称	割り込み要因	割り込みフラグ	DMACの起動	割り込み条件
EEI	通信エラー／ イベント発生	AL	不可能	AL = 1かつALIE = 1
		NACKF		NACKF = 1かつNAKIE = 1
		TMOF		TMOF = 1かつTMOIE = 1
		START		START = 1かつSTIE = 1
		STOP		STOP = 1かつSPIE = 1
RXI (注1)	受信データフル	—	可能	RDRF = 1かつRIE = 1
TXI (注2)	送信データ エンプティ	—	可能	TDRE = 1かつTIE = 1
TEI (注3)	送信終了	TEND	不可能	TEND = 1かつTEIE = 1

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延時間があります。割り込みフラグをクリアまたはマスクした場合は、再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後、割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. RXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注2. TXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOPフラグ = 1）で自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。

なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOPフラグ = 1）で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

25.13 リセットと各コンディション発行時のレジスタおよび機能の状態

RIICは、リセット、およびRIICリセット、内部リセットのリセット機能を持っています。表25.7にリセットと各コンディション発行時のレジスタおよび機能の状態を示します。

表25.7 リセットと各コンディション発行時のレジスタおよび機能

		チップリセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出	
ICCR1	ICE、 IICRST	リセット	保持	保持	保持	保持	
	SCLO、 SDAO		リセット	リセット			
	それ以外			保持			
ICCR2	BBSY	リセット	リセット	保持	保持	保持	
	ST			リセット	リセット	保持	
	それ以外					リセット	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持	
	それ以外				保持		保持
ICMR2		リセット	リセット	保持	保持	保持	
ICMR3		リセット	リセット	保持	保持	保持	
ICFER		リセット	リセット	保持	保持	保持	
ICSER		リセット	リセット	保持	保持	保持	
ICIER		リセット	リセット	保持	保持	保持	
ICSR1		リセット	リセット	リセット	保持	リセット	
ICSR2	TDRE、 TEND	リセット	リセット	リセット	保持	リセット	
	START				保持		
	STOP				保持		保持
	それ以外				保持		保持
ICSARL0、1、2 ICSARU0、1、2		リセット	リセット	保持	保持	保持	
ICBRH、ICBRL		リセット	リセット	保持	保持	保持	
ICDRT		リセット	リセット	保持	保持	保持	
ICDRR		リセット	リセット	保持	保持	保持	
ICDRS		リセット	リセット	リセット	保持	保持	
タイムアウト 検出機能		リセット	リセット	動作	動作	動作	
バスフリー時間計測		リセット	リセット	動作	動作	動作	

25.14 イベントリンク出力機能

R1IC0はイベントリンクコントローラ (ELC) に対して次の要因によってイベント出力を行います。

(1) 通信エラー／イベント

通信エラー／イベント発生すると、ELCを介して他のモジュールにイベント信号として出力します。

(2) 受信データフル

受信データフルになると、ELCを介して他のモジュールにイベント信号として出力します。

(3) 送信データエンプティ

送信データエンプティになると、ELCを介して他のモジュールにイベント信号として出力します。

(4) 送信終了

送信終了すると、ELCを介して他のモジュールにイベント信号として出力します。

25.14.1 割り込み処理とイベントリンクの関係

R1ICの割り込みには、通信エラー／イベント発生 (アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があり、それぞれに割り込み許可／禁止を制御する許可ビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合にCPUに対して割り込み要求信号を出力します。

これに対して、イベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELCを介して他のモジュールにイベント信号として出力します。

割り込み要因については、表 25.6を参照してください。

25.15 使用上の注意事項

25.15.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移／解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「9. 消費電力低減機能」を参照してください。

26. シリアルペリフェラルインタフェース (RSPIa)

26.1 概要

本 LSI は、2 チャンネルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 26.1 に RSPI の仕様を、図 26.1 に RSPI のブロック図を示します。

なお、本章では、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0 ~ 7 を表します。

表 26.1 RSPI の仕様 (1 / 2)

項目	内容
チャンネル数	2チャンネル
RSPI 転送機能	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 • 送信のみの動作が可能 • 通信モード: 全二重または送信のみを選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	<ul style="list-style-type: none"> • MSB ファースト / LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信 / 受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)
ビットレート	<ul style="list-style-type: none"> • マスタモード時、内蔵ポーレートジェネレータで SERICLK を分周して RSPCK を生成 (分周比は 4 ~ 4096 分周) • スLEEP 時は、SERICLK の最少 8 分周のクロックを、RSPCK として入力可能 (RSPCK の最大周波数は SERICLK の 8 分周) High 幅: SERICLK の 4 サイクル、Low 幅: SERICLK の 4 サイクル
バッファ構成	<ul style="list-style-type: none"> • 送信および受信バッファはそれぞれダブルバッファ構成 • 送信および受信バッファは 128 ビット
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • オーバランエラー検出 (注1) • パリティエラー検出
SSL 制御機能	<ul style="list-style-type: none"> • チャンネル 0 に 4 本 (SSL00 ~ SSL03)、チャンネル 1 に 2 本 (SSL10, SSL11) の SSL 端子 • シングルマスタ設定時には、SSL00-SSL03, SSL10, SSL11 端子を出力 • マルチマスタ設定時: SSL00, SSL10 端子は入力、SSL01-SSL03, SSL11 端子は出力または未使用 • スLEEP 設定時: SSL00, SSL10 端子は入力、SSL01 ~ SSL03, SSL11 端子は未使用 • SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲: 1 ~ 8RSPCK 設定単位: 1RSPCK • RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲: 1 ~ 8RSPCK 設定単位: 1RSPCK • 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲: 1 ~ 8RSPCK 設定単位: 1RSPCK • SSL 極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> • 最大 8 コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性 / 位相、転送データ長、LSB / MSB ファースト、パースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSL ネゲート時の MOSI 信号値を設定可能 • RSPCK 自動停止機能
割り込み要因	<ul style="list-style-type: none"> • 割り込み要因 受信バッファフル割り込み 送信バッファエンpty割り込み RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) RSPI アイドル割り込み (RSPI アイドル)

表 26.1 RSPIの仕様 (2 / 2)

項目	内容
イベントリンク機能 (注2) (出力)	<ul style="list-style-type: none"> 以下のイベントをイベントリンクコントローラへ出力可能 <ul style="list-style-type: none"> 受信バッファフルイベント信号 送信バッファエンプティイベント信号 モードフォルト/オーバラン/パリティエラーのイベント信号 RSPIアイドルイベント信号 送信完了イベント信号
その他の機能	<ul style="list-style-type: none"> CMOS/オープンドレイン出力切り替え機能 RSPI初期化機能 ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. マスタ受信かつ、RSPCK自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

注2. チャンネル0 (RSPI0) のみです。

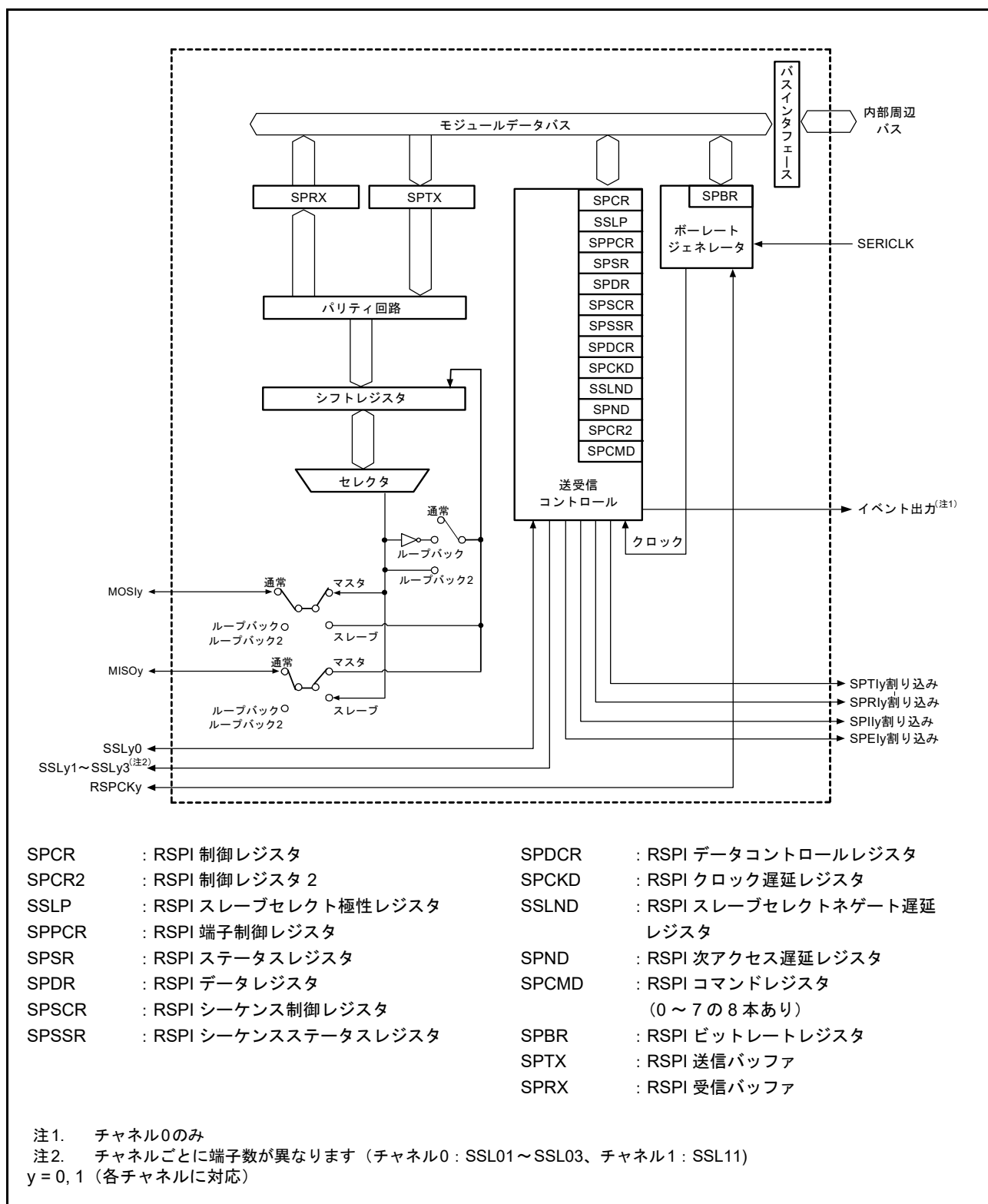


図 26.1 RSPI のブロック図

表 26.2 に RSPI で使用する入出力端子を示します。

SSLy0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKy、MOSIy、MISOy 端子の入出力方向は、マスタ/スレーブ設定と SSLy0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「26.3.2 RSPI 端子の制御」を参照してください。

表 26.2 RSPIの入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCK0	入出力	クロック入出力
	MOSI0	入出力	マスタ送出データ入出力
	MISO0	入出力	スレーブ送出データ入出力
	SSL00	入出力	スレーブセレクト信号入出力
	SSL01	出力	スレーブセレクト信号出力
	SSL02	出力	スレーブセレクト信号出力
	SSL03	出力	スレーブセレクト信号出力
RSPI1	RSPCK1	入出力	クロック入出力
	MOSI1	入出力	マスタ送出データ入出力
	MISO1	入出力	スレーブ送出データ入出力
	SSL10	入出力	スレーブセレクト信号入出力
	SSL11	出力	スレーブセレクト信号出力

注. SSLはチャンネルごとに端子数が異なります。またチャンネル識別の添え字は0, 1です。

26.2 レジスタの説明

26.2.1 RSPI 制御レジスタ (SPCR)

SPCR レジスタは、RSPI の動作設定を制御するレジスタです。

SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの設定は、SPCR.SPE ビットが“0”の状態で行ってください。SPCR.SPE ビットが“1”の状態での書き換えは禁止です。

アドレス RSPI0.SPCR A006 8000h、RSPI1.SPCR A006 8400h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0: SPI動作 (4線式) 1: クロック同期式動作 (3線式)	R/W
b1	TXMD	通信動作モード選択ビット	0: 全二重同期式シリアル通信 1: 送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	マスタ/スレーブモード選択ビット	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	エラー割り込み許可ビット	0: エラー割り込み要求の発生を禁止 1: エラー割り込み要求の発生を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0: 送信バッファエンプティ割り込み要求の発生を禁止 1: 送信バッファエンプティ割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能は有効	R/W
b7	SPRIE	受信バッファフル割り込み許可ビット	0: 受信バッファフル割り込み要求の発生を禁止 1: 受信バッファフル割り込み要求の発生を許可	R/W

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSLy0 ~ 3 端子を使用せず、RSPCKy 端子、MOSIy 端子、MISOy 端子の3端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを“0”、“1”どちらにも設定できます。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合は CPHA ビットを“1”に設定してください。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットを“0”に設定することは禁止です。
(y = 0, 1)

TXMD ビット (送信動作モード選択ビット)

全二重同期式のシリアル通信動作、または送信のみの動作を選択するためのビットです。

TXMD ビットを“1”にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません (「26.3.6 通信動作モード」参照)。

また、TXMD ビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです (「26.3.8 エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせにしたがって、SSLy0 ~ 3 (y = 0, 1) 端子の入出力方向を決定します (「26.3.2 RSPI 端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPI のマスタ/スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定にしたがって、RSPCKy、MOSIy、MISOy、SSLy0 ~ 3 端子の方向を決定します。
(y = 0, 1)

SPEIE ビット (RSPI エラー割り込み許可ビット)

RSPI がモードフォルトエラーを検出して SPSR.MODF フラグを“1”にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを“1”にした場合、またはパリティエラーを検出して SPSR.PERF フラグを“1”にした場合の RSPI エラー割り込み要求の発生を許可/禁止します。詳細については、「26.3.8 エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPI が送信バッファエンプティを検出した場合に発生する送信バッファエンプティ割り込み要求の許可/禁止を選択します。

RSPI 機能を無効 (SPE ビットが“0”) に設定した場合、送信バッファエンプティを検出した状態になります。このとき SPTIE ビットを“1”とすると送信バッファエンプティ割り込みが発生します。

また送信開始時に SPTIE ビットと同時に SPE ビットを“1”とした場合も、送信バッファエンプティ割り込み要求が発生するため注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI 機能の有効/無効を選択します。

SPSR.MODF ビットが“1”の場合には、SPE ビットを“1”にすることはできません。詳細は「26.3.8 エラー検出」を参照してください。

SPE ビットを“0”にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「26.3.9 RSPI の初期化」を参照してください。また、SPTIE ビット = 1 (送信バッファエンプティ割り込み許可) の場合、SPE ビットを“0”の状態から“1”または“1”の状態から“0”になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (RSPI 受信バッファフル割り込み許可ビット)

RSPI がシリアル転送完了後の受信バッファフルを検出した場合に発生する RSPI 受信バッファフル割り込み要求の許可/禁止を選択します。

26.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

SSLP レジスタは、RSPI_y (y=0, 1) のスレーブセレクト信号の極性を制御するレジスタです。

SSLP レジスタの設定は、SPCR.SPE ビットが“0”の状態で行ってください。SPCR.SPE ビットが“1”の状態での書き換えは禁止です。

アドレス RSPI0.SSLP A006 8001h、RSPI1.SSLP A006 8401h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSLy0信号はアクティブLow 1 : SSLy0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSLy1信号はアクティブLow 1 : SSLy1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット (注1)	0 : SSLy2信号はアクティブLow 1 : SSLy2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット (注1)	0 : SSLy3信号はアクティブLow 1 : SSLy3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. チャンネル1は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

26.2.3 RSPI 端子制御レジスタ (SPPCR)

SPPCR レジスタは、RSPI 端子出力を制御するレジスタです。

SPPCR レジスタの設定は、SPCR.SPE ビットが“0”の状態で行ってください。SPCR.SPE ビットが“1”の状態での書き換えは禁止です。

アドレス RSPI0.SPPCR A006 8002h、RSPI1.SPPCR A006 8402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	SPOM	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0: 通常モード 1: ループバックモード (データを反転して送信)	R/W
b1	SPLP2	RSPIループバック2ビット	0: 通常モード 1: ループバックモード (データを反転せずに送信)	R/W
b2	SPOM	出力端子モードビット	0: CMOS出力 1: オープンドレイン出力	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0: MOSIアイドル時のMOSIy端子の出力値はLow 1: MOSIアイドル時のMOSIy端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0: MOSI出力値は前回転送の最終データ 1: MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

RSPI は、SPLP ビットを“1”にすると、SPCR.MSTR ビットが“1”ならば、MISOy 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIy 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。(ループバックモード)
(y = 0, 1)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

RSPI は、SPLP2 ビットを“1”にすると、SPCR.MSTR ビットが“1”ならば、MISOy 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIy 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)
(y = 0, 1)

SPOM ビット (出力端子モードビット)

RSPI の出力端子を CMOS 出力 / オープンドレイン出力に設定するためのビットです。詳細は「26.3.2 RSPI 端子の制御」を参照してください。

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSIy 端子の出力値を Low、もしくは High にするか選択できます。

MOIFE ビット (MOSI アイドル値固定許可ビット)

RSPI がマスタモードのとき、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) に MOSI_y 出力値を固定するかどうかを選択するビットです。MOIFE が “0” の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI_y に出力します。MOIFE が “1” の場合には、RSPI は MOIFV ビットに設定された Low 出力、もしくは High 出力の固定値を MOSI_y に出力します。

(y = 0, 1)

26.2.4 RSPI ステータスレジスタ (SPSR)

SPSR レジスタは、RSPI 通信のステータス表示をするレジスタです。

アドレス RSPI0.SPSR A006 8003h、RSPI1.SPSR A006 8403h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PERF	MODF	IDLNF	OVRF
リセット後の値	x	0	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0 : オーバランエラーなし 1 : オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPIアイドルフラグ	0 : RSPIがアイドル状態 1 : RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0 : パリティエラーなし 1 : パリティエラー発生	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)
b5	—	予約ビット	読むと不定値が読めます。書く場合、“1”としてください。	R/(W)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)
b7	—	予約ビット	読むと不定値が読めます。書く場合、“1”としてください。	R/(W)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが“1”) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE ビットが“1”) のときは、オーバランエラーが発生しないため、“1”になりません。詳細は「26.3.8.1 オーバランエラー」を参照してください。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、受信バッファフル状態で次のシリアル受信が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (RSPI アイドルフラグ)

RSPI の転送状況を示します。

[“1”になる条件]

【マスタモード】

- 下記「“0”になる条件」でマスタモード時の（条件1）と（条件2）の両方が満たされないとき

【スレーブモード】

- SPCR.SPE ビットが“1”（RSPI機能が有効）のとき

[“0”になる条件]

【マスタモード】

下記1. が満たされたとき（条件1）、または下記2. ～4. がすべて満たされたとき（条件2）

1. SPCR.SPE ビットが“0”（RSPI初期化）のとき
2. 送信用バッファ（SPTX）が空（次転送データがセットされていない）のとき
3. SPSSR.SPCP[2:0] ビットが“000b”（シーケンス制御の先頭）であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき（次アクセス遅延までが動作完了された状態）

【スレーブモード】

- SPCR.SPE ビットが“0”（RSPI初期化）のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーの発生を示します。

[“1”になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが“1”（マスタモード）、SPCR.MODFEN ビットが“1”（モードフォルトエラー検出を許可）の状態、SSLy_i 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが“0”（スレーブモード）、SPCR.MODFEN ビットが“1”（モードフォルトエラー検出を許可）の状態、データ転送に必要な RSPCK サイクルが終了する前に SSLy_i 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき

なお、SSLy_i 信号のアクティブレベルは、SSLP.SSLiP ビット（SSL 信号極性設定ビット）によって決定されます。

(y = 0, 1 (各チャンネルに対応)、i = 0 ~ 3)

[“0”になる条件]

- MODF フラグが“1”の状態の SPSR レジスタを読んだ後、MODF フラグに“0”を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態でシリアル転送が終了し、パリティエラーが検出されたとき

[“0”になる条件]

- PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書いたとき

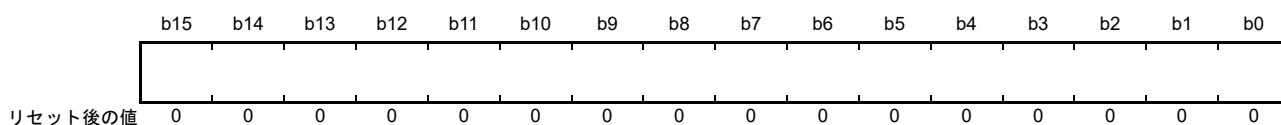
26.2.5 RSPI データレジスタ (SPDR)

SPDR レジスタは、RSPI 送受信用のデータを格納するバッファです。

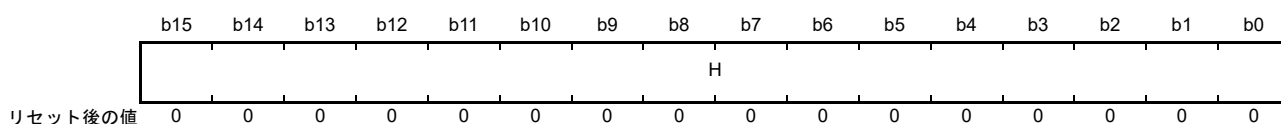
ロングワードアクセス (SPLW ビットが“1”) のときは、SPDR をアクセスしてください。

ワードアクセス (SPLW ビットが“0”) のときは、SPDR の上位側 16 ビット (H) をアクセスしてください。

アドレス RSPI0.SPDR A006 8004h, RSPI1.SPDR A006 8404h



アドレス RSPI0.SPDR A006 8004h, RSPI1.SPDR A006 8404h



送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 26.2 に示します。

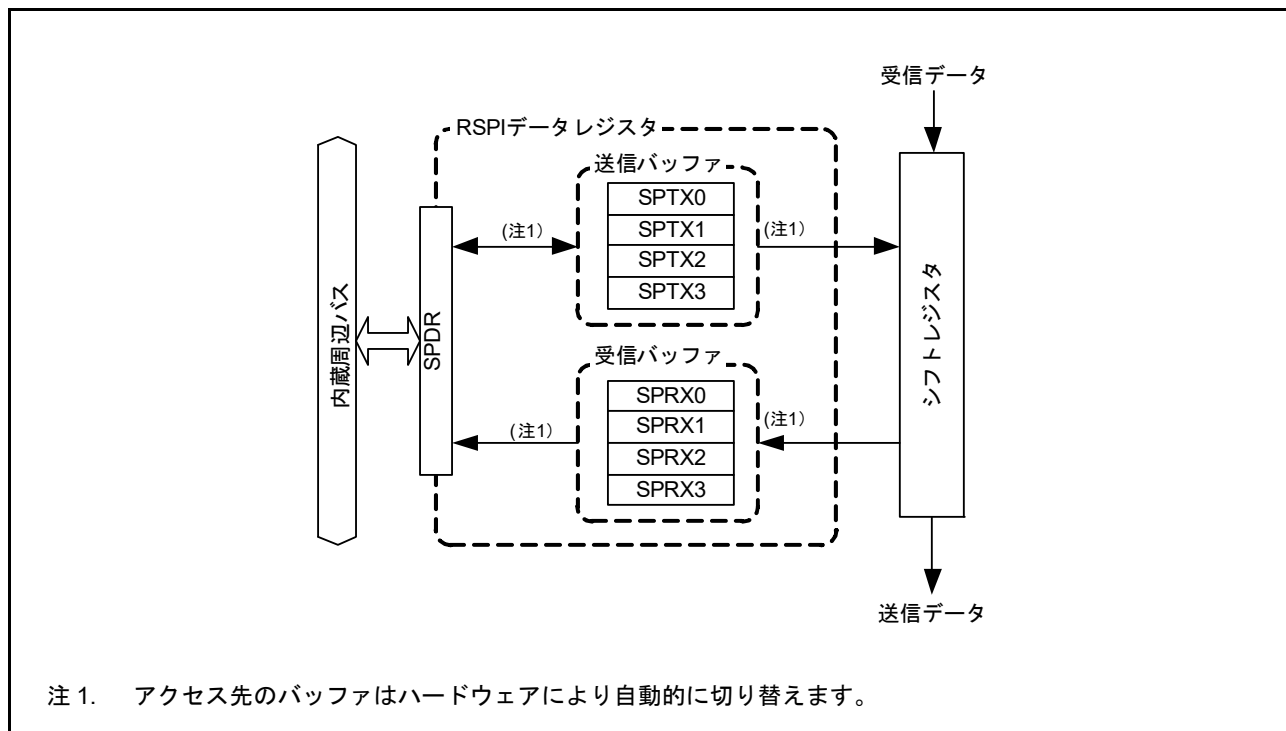


図 26.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ4バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計8バッファが1アドレスにマッピングされています。

送信バッファ SPTX_n (n=0~3) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバラン発生時は、受信バッファの値を更新しません。

また、データ長が32ビット以外の場合、SPRX_n (n=0~3) の非参照ビットには、SPTX_n (n=0~3) の非参照ビットが格納されます。

たとえば、データ長が9ビットのデータを受信した場合はSPRX_n[8:0]には受信データが格納され、SPRX_n[31:9]にSPTX_n[31:9]が格納されます。

(1) バスインタフェース

SPDR レジスタは、32ビットの送信バッファと受信バッファがそれぞれ4バッファ分、合計32バイトあります。これらの32バイトをSPDR レジスタの4バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、RSPI データコントロールレジスタのRSPI ロングワードアクセス/ワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データはLSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTX_n) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 26.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

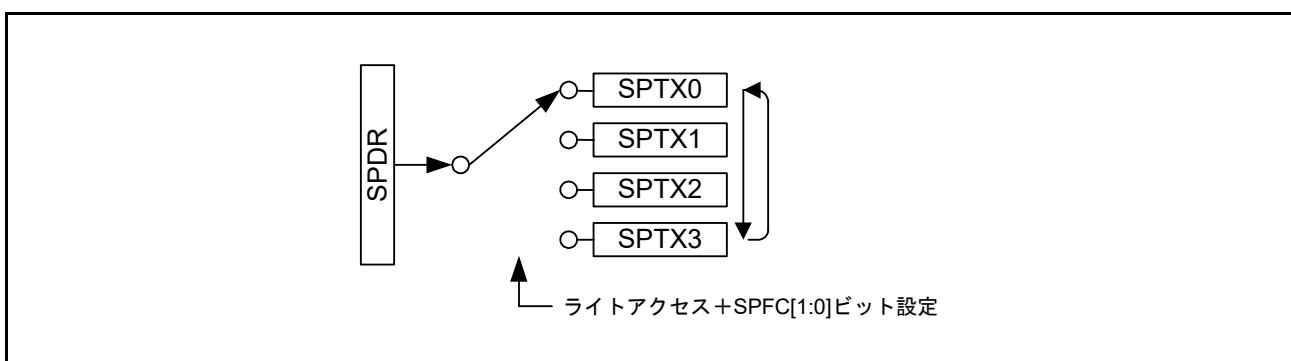


図 26.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ 3 の切り替え順序
 - SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .
 - SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信/送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 26.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

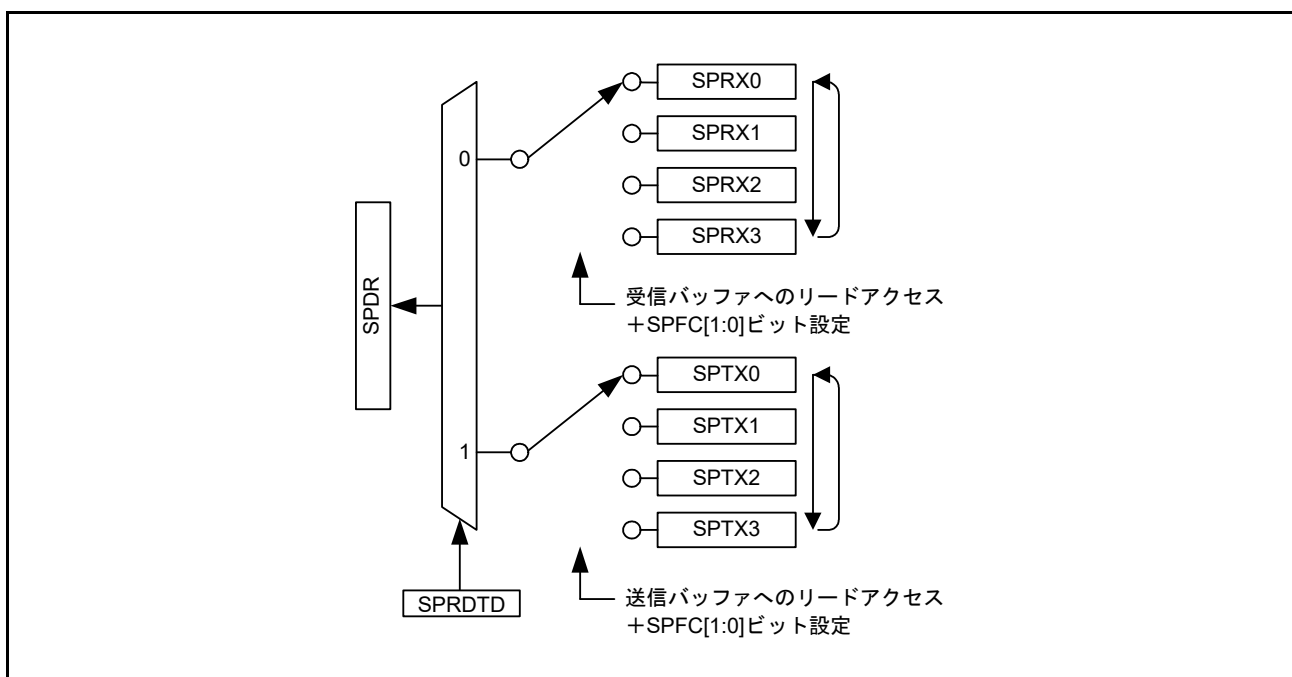


図 26.4 SPDR レジスタの構成図 (リード時)

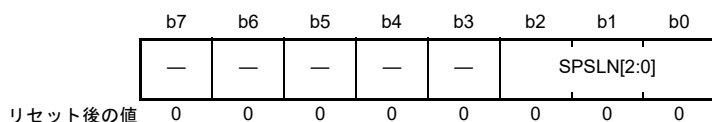
受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間は、送信バッファの読み出し値は、すべて “0” となります。

26.2.6 RSPI シーケンス制御レジスタ (SPSCR)

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

アドレス RSPI0.SPSCR A006 8008h、RSPI1.SPSCR A006 8408h



ビット	シンボル	ビット名	機能	R/W																																				
b2-b0	SPSSLN[2:0]	RSPIシーケンス長設定ビット	<table border="0"> <tr> <td>b2</td> <td>b0</td> <td>シーケンス長</td> <td>参照するSPCMD0~7レジスタ (番号)</td> </tr> <tr> <td>0 0 0</td> <td>:</td> <td>1</td> <td>0→0→...</td> </tr> <tr> <td>0 0 1</td> <td>:</td> <td>2</td> <td>0→1→0→...</td> </tr> <tr> <td>0 1 0</td> <td>:</td> <td>3</td> <td>0→1→2→0→...</td> </tr> <tr> <td>0 1 1</td> <td>:</td> <td>4</td> <td>0→1→2→3→0→...</td> </tr> <tr> <td>1 0 0</td> <td>:</td> <td>5</td> <td>0→1→2→3→4→0→...</td> </tr> <tr> <td>1 0 1</td> <td>:</td> <td>6</td> <td>0→1→2→3→4→5→0→...</td> </tr> <tr> <td>1 1 0</td> <td>:</td> <td>7</td> <td>0→1→2→3→4→5→6→0→...</td> </tr> <tr> <td>1 1 1</td> <td>:</td> <td>8</td> <td>0→1→2→3→4→5→6→7→0→...</td> </tr> </table> <p>設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタの参照順を変更します。SPSSLN[2:0] ビットの設定値とシーケンス長、RSPIが参照するSPCMD0~7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、常にSPCMD0レジスタが参照されます。</p>	b2	b0	シーケンス長	参照するSPCMD0~7レジスタ (番号)	0 0 0	:	1	0→0→...	0 0 1	:	2	0→1→0→...	0 1 0	:	3	0→1→2→0→...	0 1 1	:	4	0→1→2→3→0→...	1 0 0	:	5	0→1→2→3→4→0→...	1 0 1	:	6	0→1→2→3→4→5→0→...	1 1 0	:	7	0→1→2→3→4→5→6→0→...	1 1 1	:	8	0→1→2→3→4→5→6→7→0→...	R/W
b2	b0	シーケンス長	参照するSPCMD0~7レジスタ (番号)																																					
0 0 0	:	1	0→0→...																																					
0 0 1	:	2	0→1→0→...																																					
0 1 0	:	3	0→1→2→0→...																																					
0 1 1	:	4	0→1→2→3→0→...																																					
1 0 0	:	5	0→1→2→3→4→0→...																																					
1 0 1	:	6	0→1→2→3→4→5→0→...																																					
1 1 0	:	7	0→1→2→3→4→5→6→0→...																																					
1 1 1	:	8	0→1→2→3→4→5→6→7→0→...																																					
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																				

SPSSLN[2:0] ビット (RSPI シーケンス長設定ビット)

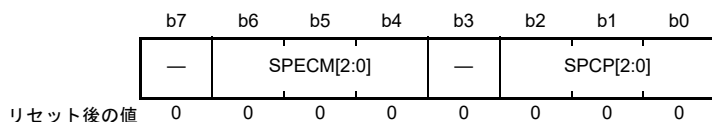
マスタモードのRSPIがシーケンス動作する場合のシーケンス長を設定します。マスタモードのRSPIはSPSSLN[2:0] ビットで設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。

スレーブモードでは、常にSPCMD0レジスタが参照されます。

26.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタへの書き込みは無効です。

アドレス RSPI0.SPSSR A006 8009h、RSPI1.SPSSR A006 8409h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます。	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます。	R

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
なお、RSPI のシーケンス制御については、「26.3.10.1 マスタモード動作」を参照してください。

SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「26.3.8 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「26.3.10.1 マスタモード動作」を参照してください。

26.2.8 RSPI ビットレートレジスタ (SPBR)

SPBR レジスタは、マスタモード時のビットレート設定を制御するレジスタです。SPCR.MSTR, SPE ビットがともに“1”の状態において、SPBR レジスタを書き換えることは禁止です。

アドレス RSPI0.SPBR A006 800Ah, RSPI1.SPBR A006 840Ah



RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートを使用してください)

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0、1、2、……、255)、N は BRDV[1:0] ビットの設定値 (0、1、2、3) です (m=0~7)。ただし、n=0 (SPR[7:0]=0) かつ、N=0 (BRDV[1:0]=0) の設定は禁止です。

$$\text{ビットレート} = \frac{f(\text{SERICLK})}{2 \times (n+1) 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 26.3 に示します。

表 26.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの設定値 (n)	BRDV[1:0] ビットの設定値 (N)	分周比	ビットレート	
			SERICLK = 120MHz	SERICLK = 150MHz
0	0	2	設定禁止	設定禁止
1	0	4	30.0Mbps	37.5Mbps
2	0	6	20.0Mbps	25.0Mbps
3	0	8	15.0Mbps	18.8Mbps
4	0	10	12.0Mbps	15.0Mbps
5	0	12	10.0Mbps	12.5Mbps
5	1	24	5.00Mbps	6.25Mbps
5	2	48	2.50Mbps	3.13Mbps
5	3	96	1.25Mbps	1.56Mbps
255	3	4096	29.3kbps	36.6kbps

注. 電気的特性の範囲内になるよう設定をしてください。

26.2.9 RSPI データコントロールレジスタ (SPDCR)

SPDCR レジスタは、SPDR レジスタのデータに対する制御レジスタです。

SPCMDm.SPB[3:0] ビット、SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます (m = 0 ~ 7)。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

アドレス RSPI0.SPDCR A006 800Bh、RSPI1.SPDCR A006 840Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	SPRDT	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ワードアクセス設定ビット	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1回の転送起動) フレーム数を設定します。SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI受信バッファフル割り込みが発生と送信バッファエンpty割り込みが発生または送信開始するためのフレーム数も変更します。表 26.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例以外の設定は禁止です。

表 26.4 SPSTLN[2:0] ビットと SPFC[1:0] ビットの設定可能な組み合わせ

設定	SPSTLN[2:0]	SPFC[1:0]	1シーケンスで転送するフレーム数	受信バッファフル割り込み発生、送信バッファにデータありになるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPI 受信/送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前に行ってください。

詳細は、「26.2.5 RSPI データレジスタ (SPDR)」を参照してください。

SPLW ビット (RSPI ロングワードアクセス/ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8～16 ビットに設定してください。20、24、32 ビットの設定は禁止です。

26.2.10 RSPI クロック遅延レジスタ (SPCKD)

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLyi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPCKD レジスタを書き換えることは禁止です (m=0~7, y=0,1 (各チャネルに対応)、i=0~3)。

アドレス RSPI0.SPCKD A006 800Ch, RSPI1.SPCKD A006 840Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

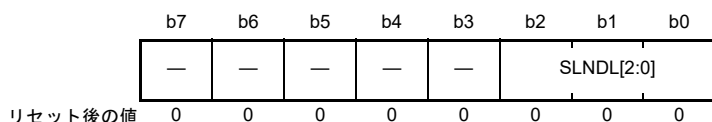
SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

26.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

SSLND レジスタは、マスタモードの RSPI がシリアル転送の最終 RSPCK エッジを送出してから SSL_{yi} 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態における、SSLND レジスタの書き換えは禁止です (y=0, 1 (各チャンネルに対応)、i=0~3)。

アドレス RSPI0.SSLND A006 800Dh、RSPI1.SSLND A006 840Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSL ネゲート遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SLNDL[2:0] ビット (SSL ネゲート遅延設定ビット)

マスタモードの RSPI の SSL ネゲート遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SLNDL[2:0] ビットを“000b”にしてください。

26.2.12 RSPI 次アクセス遅延レジスタ (SPND)

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態、シリアル転送終了後の SSL_{yi} 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態における、SPND レジスタの書き換えは禁止です（ $m=0\sim 7$ 、 $y=0,1$ （各チャンネルに対応）、 $i=0\sim 3$ ）。

アドレス RSPI0.SPND A006 800Eh、RSPI1.SPND A006 840Eh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1RSPCK + 2SERICLK 0 0 1 : 2RSPCK + 2SERICLK 0 1 0 : 3RSPCK + 2SERICLK 0 1 1 : 4RSPCK + 2SERICLK 1 0 0 : 5RSPCK + 2SERICLK 1 0 1 : 6RSPCK + 2SERICLK 1 1 0 : 7RSPCK + 2SERICLK 1 1 1 : 8RSPCK + 2SERICLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

26.2.13 RSPI 制御レジスタ 2 (SPCR2)

SPCR2 レジスタは RSPI の動作設定を制御するレジスタです。

SPCR.SPE ビットが“1”の状態における、SPCR2 レジスタの SPPE、SPOE、SCKASE ビットの変更は禁止です。

アドレス RSPI0.SPCR2 A006 800Fh、RSPI1.SPCR2 A006 840Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SCKAS E	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット	0: 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加し、受信データの パリティチェックを行う (SPCR.TXMD = 0のとき) 送信データにパリティビットを付加するが、受信データ のパリティチェックは行わない (SPCR.TXMD = 1の とき)	R/W
b1	SPOE	パリティモードビット	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可ビ ット	0: アイドル割り込み要求の発生を禁止 1: アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己判断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b4	SCKASE	RSPCK自動停止機能許可ビット	0: RSPCK自動停止機能が無効 1: RSPCK自動停止機能が有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが“1”、SPCR2.SPPE ビットが“1”の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット (パリティモードビット)

偶数パリティ/奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (RSPI アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、RSPI アイドル割り込み要求の発生を許可/禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する直前のタイミングで RSPCK クロックが停止します。詳細は「26.3.8.1 オーバランエラー」を参照してください。

26.2.14 RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)

SPCMD_m レジスタは、マスタモードの RSPI の転送フォーマットを制御するレジスタです。1 チャンネルに、8 本の RSPI コマンドレジスタがあります (m=0 ~ 7)。

また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定にしたがってシーケンシャルに SPCMD_m レジスタを参照し、参照した SPCMD_m レジスタに設定されたシリアル転送を実行します。

SPCMD_m レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMD_m レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMD_m レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが“0”、SPCR.SPE ビットが“1”の状態における、SPCMD_m レジスタの書き換えは禁止です。

アドレス RSPI0.SPCMD0 A006 8010h, RSPI0.SPCMD1 A006 8012h, RSPI0.SPCMD2 A006 8014h,
RSPI0.SPCMD3 A006 8016h, RSPI0.SPCMD4 A006 8018h, RSPI0.SPCMD5 A006 801Ah,
RSPI0.SPCMD6 A006 801Ch, RSPI0.SPCMD7 A006 801Eh,
RSPI1.SPCMD0 A006 8410h, RSPI1.SPCMD1 A006 8412h, RSPI1.SPCMD2 A006 8414h,
RSPI1.SPCMD3 A006 8416h, RSPI1.SPCMD4 A006 8418h, RSPI1.SPCMD5 A006 841Ah,
RSPI1.SPCMD6 A006 841Ch, RSPI1.SPCMD7 A006 841Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKDEN	SLNDE	SPNDE	LSBF	SPB[3:0]			SSLKP	SSLy[2:0]		BRDV[1:0]		CPOL	CPHA		
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0: アイドル時の RSPCK が Low 1: アイドル時の RSPCK が High	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0: ベースのビットレートを選択 0 1: ベースのビットレートの2分周を選択 1 0: ベースのビットレートの4分周を選択 1 1: ベースのビットレートの8分周を選択	R/W
b6-b4	SSLy[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0: SSLy0 (y = 0, 1) 0 0 1: SSLy1 (y = 0, 1) 0 1 0: SSL02 0 1 1: SSL03 上記以外は設定禁止	R/W
b7	SSLKP	SSL信号レベル保持ビット	0: 転送終了時に全 SSL 信号をネゲート 1: 転送終了後から次アクセス開始まで SSL 信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100 ~ 0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010, 0011 : 32ビット	R/W
b12	LSBF	RSPI LSB ファーストビット	0: MSB ファースト 1: LSB ファースト	R/W

ビット	シンボル	ビット名	機能	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0: 次アクセス遅延は1RSPCK + 2SERICLK 1: 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0: SSLネゲート遅延は1RSPCK 1: SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0: RSPCK遅延は1RSPCK 1: RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードのRSPIのRSPCK位相を設定します。RSPIモジュール間のデータ通信を行う場合、モジュール間で同一のRSPCK位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードのRSPIのRSPCK極性を設定します。RSPIモジュール間のデータ通信を行う場合、モジュール間で同一のRSPCK極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0]ビットとSPBRレジスタの設定値の組み合わせでビットレートを決定します(「26.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBRレジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0]ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMD_mレジスタにはそれぞれ異なるBRDV[1:0]ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます (m = 0 ~ 7)。

SSLy[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードのRSPIがシリアル転送する場合のSSL_yi信号のアサートを制御するためのビットです。SSLy[2:0]ビットの設定値が、SSL_yi信号のアサートを制御します。SSL_yi信号アサート時の信号極性は、SSLPレジスタの設定値に依存します。マルチマスタモードでSSLy[2:0]ビットを“000b”にした場合には、全SSL信号がネゲート状態でシリアル転送が実行されます (SSL_y0端子は入力になるため)。

なお、RSPIをスレーブモードで使用する場合には、SSLy[2:0]ビットを“000b”にしてください。(y = 0, 1 (各チャンネルに対応)、i = 0 ~ 3)

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードのRSPIがシリアル転送する場合に、現コマンドに対応するSSLネゲートタイミングから次コマンドに対応するSSLアサートタイミングの間、現コマンドのSSL_yi信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKPビットを“1”とすることによってバースト転送が可能となります。詳細は「26.3.10.1 マスタモード動作の(4) バースト転送」を参照してください。

RSPIをスレーブモードで使用する場合には、SSLKPビットを“0”にしてください。(y = 0, 1 (各チャンネルに対応)、i = 0 ~ 3)

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードのRSPIの転送データ長を設定します。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードのRSPIのデータフォーマットを、MSBファーストにするかLSBファーストにするかを設定するビットです。

ストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードの RSPI がシリアル転送を終了して SSL_{yi} 信号を非アクティブにしてから、次アクセスの SSL_{yi} 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが “0” のとき、RSPI は次アクセス遅延を 1RSPCK+2SERICLK にします。SPNDEN ビットが “1” のとき、RSPI は SPND レジスタの設定にしたがった次アクセス遅延を挿入します (y = 0, 1 (各チャンネルに対応)、i = 0 ~ 3)。

RSPI をスレーブモードで使用する場合には、SPNDEN ビットを “0” にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードの RSPI が、RSPCK を発振停止してから SSL_{yi} 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが “0” のとき、RSPI は SSL ネゲート遅延を 1RSPCK にします。SLNDEN ビットが “1” のとき、RSPI は SSLND レジスタの設定にしたがった RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合には、SLNDEN ビットを “0” にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードの RSPI が、SSL_{yi} 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定します。SCKDEN ビットが “0” のとき、RSPI は RSPCK 遅延を 1RSPCK にします。SCKDEN ビットが “1” のとき、RSPI は SPCKD レジスタの設定にしたがった RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合には、SCKDEN ビットを “0” にしてください。

26.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

26.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR, MODFEN, SPMS ビットによって設定できます。表 26.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 26.5 RSPI のモードと SPCR レジスタの設定の関係および各モードの概要

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 or 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCKy 信号	入力	出力	出力/Hi-Z	入力	出力
MOSly 信号	入力	出力	出力/Hi-Z	入力	出力
MISOy 信号	出力/Hi-Z	入力	入力	出力	入力
SSLy0 信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSLy1 ~ SSLy3 信号	Hi-Z (注1)	出力	出力/Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL 極性変更機能	あり	あり	あり	—	—
転送レート	~SERICKL/8	~SERICKL/4	~SERICKL/4	~SERICKL/8	~SERICKL/4
クロックソース	RSPCK 入力	内蔵ポーレートジェネレータ	内蔵ポーレートジェネレータ	RSPCK 入力	内蔵ポーレートジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種 (CPHA = 1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	8 ~ 16、20、24、32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0,1)	可能 (CPHA = 0,1)	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたは RSPCK 発振	送信バッファ エンプティ 割り込み要求で送信バッファ書き込み	送信バッファ エンプティ 割り込み要求で送信バッファ書き込み	RSPCK 発振	送信バッファ エンプティ 割り込み要求で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり				
受信バッファフル検出	あり (注2)				
オーバランエラー検出	あり (注2)	あり (注2) (注4)	あり (注2) (注4)	あり (注2)	あり (注2)
パリティエラー検出	あり (注2) (注3)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1. 本モードでは使用しません。

注2. SPCR.TXMD ビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注3. SPCR2.SPPE ビットが“0”のときは、パリティエラー検出を行いません。

注4. SPCR2.SCKASE ビットが“1”のときは、オーバランエラー検出を行いません。

y = 0, 1 (各チャネルに対応)

26.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR, MODFEN, SPMS、SPPCR.SPOM ビットの設定により、端子の状態を切り替えま
す。SPPCR.SPOM ビットの設定値を“0”にすると CMOS 出力に、“1”にするとオープンドレイン出力とな
ります。端子状態と各ビットの設定値の関係を表 26.6 に示します。I/O ポートの設定も同じとなるよう設定し
てください。

表 26.6 RSPI端子の状態と制御ビット設定値の関係

モード	端子	端子状態 (注2)	
		SPOM = 0	SPOM = 1
シングルマスタ (SPI動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKy	CMOS出力	オープンドレイン出力
	SSLy0~3	CMOS出力	オープンドレイン出力
	MOSly	CMOS出力	オープンドレイン出力
	MISOy	入力	入力
マルチマスタ (SPI動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKy (注3)	CMOS出力/Hi-Z	オープンドレイン出力/ Hi-Z
	SSLy0	入力	入力
	SSLy1~3 (注3)	CMOS出力/Hi-Z	オープンドレイン出力/ Hi-Z
	MOSly (注3)	CMOS出力/Hi-Z	オープンドレイン出力/ Hi-Z
スレーブ (SPI動作) (MSTR = 0, SPMS = 0)	RSPCKy	入力	入力
	SSLy0	入力	入力
	SSLy1~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MISOy (注4)	CMOS出力/Hi-Z	オープンドレイン出力/ Hi-Z
マスタ (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKy	CMOS出力	オープンドレイン出力
	SSLy0~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSly	CMOS出力	オープンドレイン出力
	MISOy	入力	入力
スレーブ (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKy	入力	入力
	SSLy0~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSly	入力	入力
	MISOy	CMOS出力	オープンドレイン出力

注1. 本モードでは使用しません。

注2. RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。

注3. SSLy0がアクティブレベルの場合、端子状態がHi-Zになります。

注4. SSLy0が非アクティブレベルまたはSPCR.SPEビットが“0”の場合、端子状態がHi-Zになります。

注5. I/Oポートとして使用できます。

y = 0, 1 (各チャンネルに対応)

シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作) の RSPI は、SPPCR.MOIFE, MOIFV ビットの設定にしたがって、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI 信号値を表 26.7 のように決定します。

表 26.7 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間の MOSI 信号値
0	0、1	前回転送の最終データ
1	0	常に Low
1	1	常に High

注. SSL ネゲート期間の MOSI 信号値を制御するためには RSPI 機能が有効 (SPPCR.SPE ビット = 1) である必要があります。

26.3.3 RSPI システム構成例

26.3.3.1 シングルマスタ/シングルスレーブ (本 LSI = マスタ)

図 26.5 に、本 LSI をマスタとして使用した場合のシングルマスタ/シングルスレーブの RSPI システムの構成例を示します。シングルマスタ/シングルスレーブの構成では、本 LSI (マスタ) の SSLy0 ~ SSLy3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを常に選択できる状態にします。(注 1)

本 LSI (マスタ) は、RSPCKy と MOSIy を常にドライブします。SPI スレーブは、MISO を常にドライブします。

(y = 0, 1 (各チャンネルに対応))

- 注 1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSLyi 出力をスレーブデバイスの SSL 入力に接続してください。

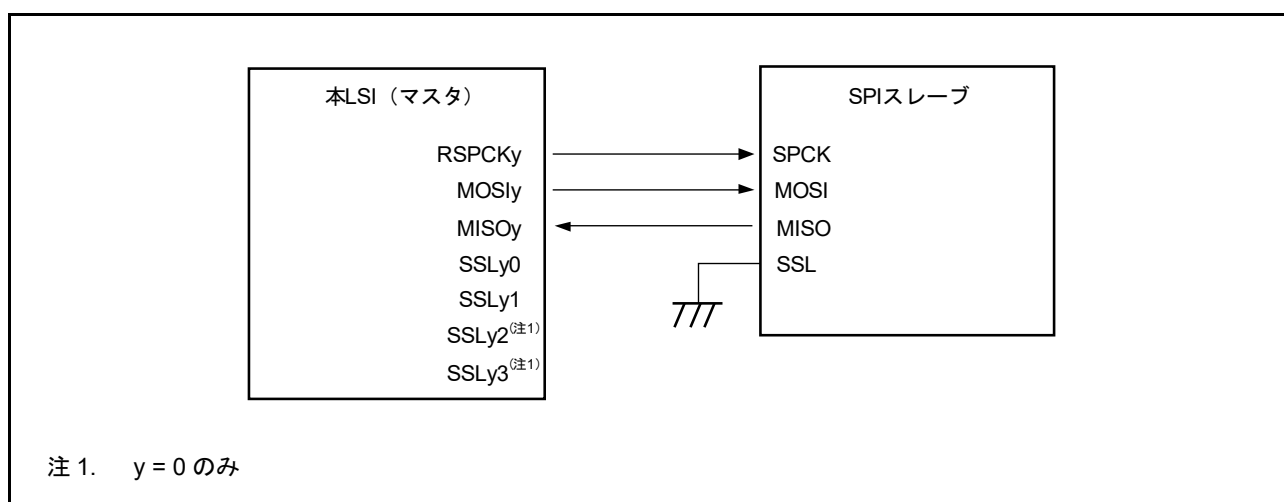


図 26.5 シングルマスタ/シングルスレーブの構成例 (本 LSI = マスタ)

26.3.3.2 シングルマスタ/シングルスレーブ (本 LSI = スレーブ)

図 26.6 に、本 LSI をスレーブとして使用した場合のシングルマスタ/シングルスレーブの RSPI システム構成例を示します。本 LSI をスレーブとして使用する場合には、SSLy0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI を常にドライブします。本 LSI (スレーブ) は、MISOy を常にドライブします。(注 1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 LSI (スレーブ) の SSLy0 入力を Low に固定して本 LSI (スレーブ) を常に選択できる状態とし、シリアル転送を実行することも可能です(図 26.7)。

(y = 0, 1 (各チャネルに対応))

注 1. SSLy0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

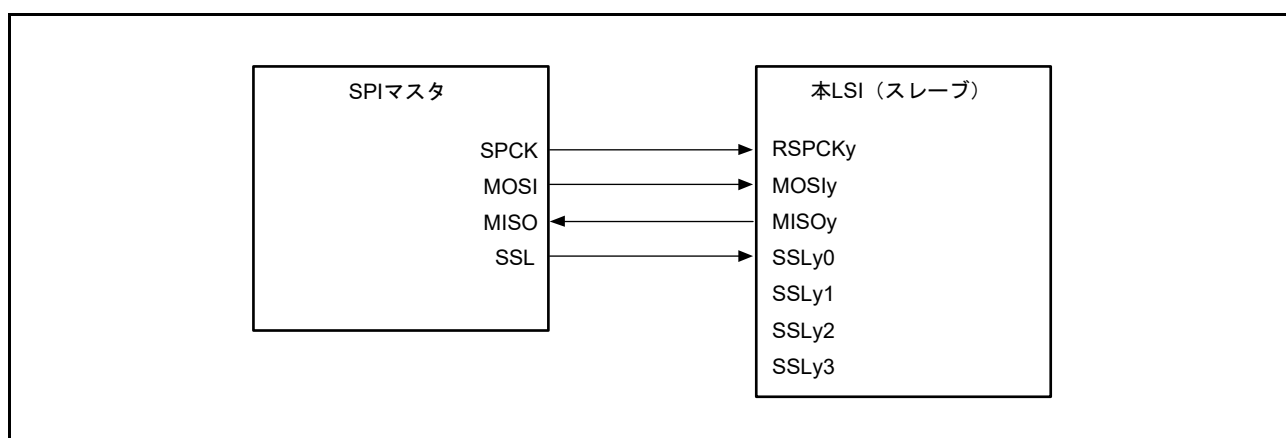


図 26.6 シングルマスタ/シングルスレーブの構成例 (本 LSI = スレーブ、CPHA = 0)

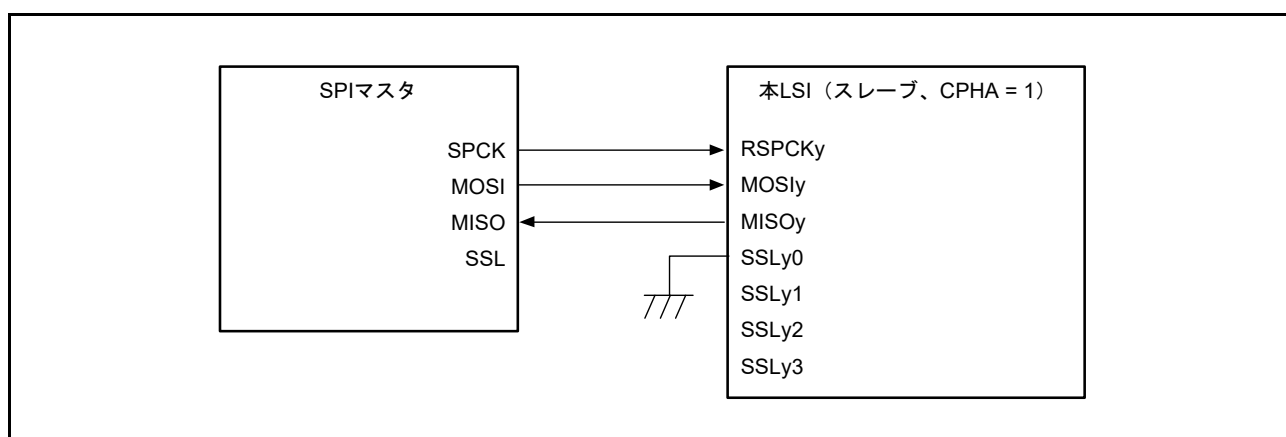


図 26.7 シングルマスタ/シングルスレーブの構成例 (本 LSI = スレーブ、CPHA = 1)

26.3.3.3 シングルマスタ/マルチスレーブ (本 LSI = マスタ)

図 26.8 に、本 LSI をマスタとして使用した場合のシングルマスタ/マルチスレーブの RSPI システム構成例を示します。図 26.8 の例では、本 LSI (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPI システムを構成しています。

本 LSI (マスタ) の RSPCK_y 出力と MOSI_y 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入りに接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて本 LSI (マスタ) の MISO_y 入りに接続します。本 LSI (マスタ) の SSL_{y0} ~ SSL_{y3} 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入りに接続します。

本 LSI (マスタ) は、RSPCK、MOSI、SSL_{y0} ~ SSL_{y3} を常にドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入りに Low を入力されているスレーブが、MISO をドライブします。

(y = 0, 1 (各チャンネルに対応))

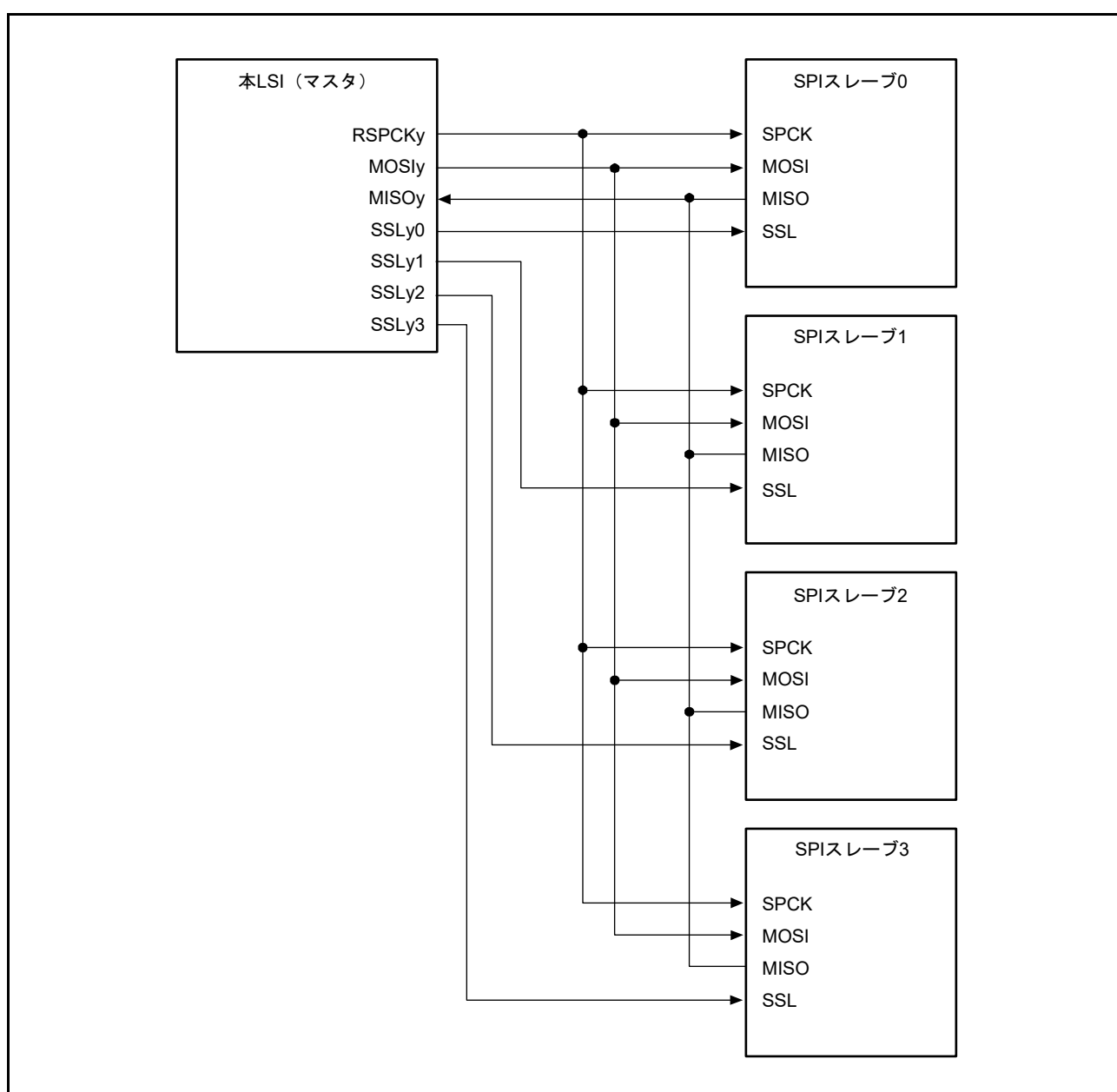


図 26.8 シングルマスタ/マルチスレーブの構成例 (本 LSI = マスタ)

26.3.3.4 シングルマスタ/マルチスレーブ (本 LSI = スレーブ)

図 26.9 に、本 LSI をスレーブとして使用した場合のシングルマスタ/マルチスレーブの RSPI システム構成例を示します。図 26.9 の例では、SPI マスタと 2 つの本 LSI (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 LSI (スレーブ X、スレーブ Y) の RSPCK_y 入力と MOSI_y 入力に接続します。本 LSI (スレーブ X、スレーブ Y) の MISO_y 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 LSI (スレーブ X、スレーブ Y) の SSL_{y0} 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI (スレーブ X、スレーブ Y) のうち、SSL_{y0} 入力に Low を入力されているスレーブが、MISO_y をドライブします。

(y = 0, 1 (各チャンネルに対応))

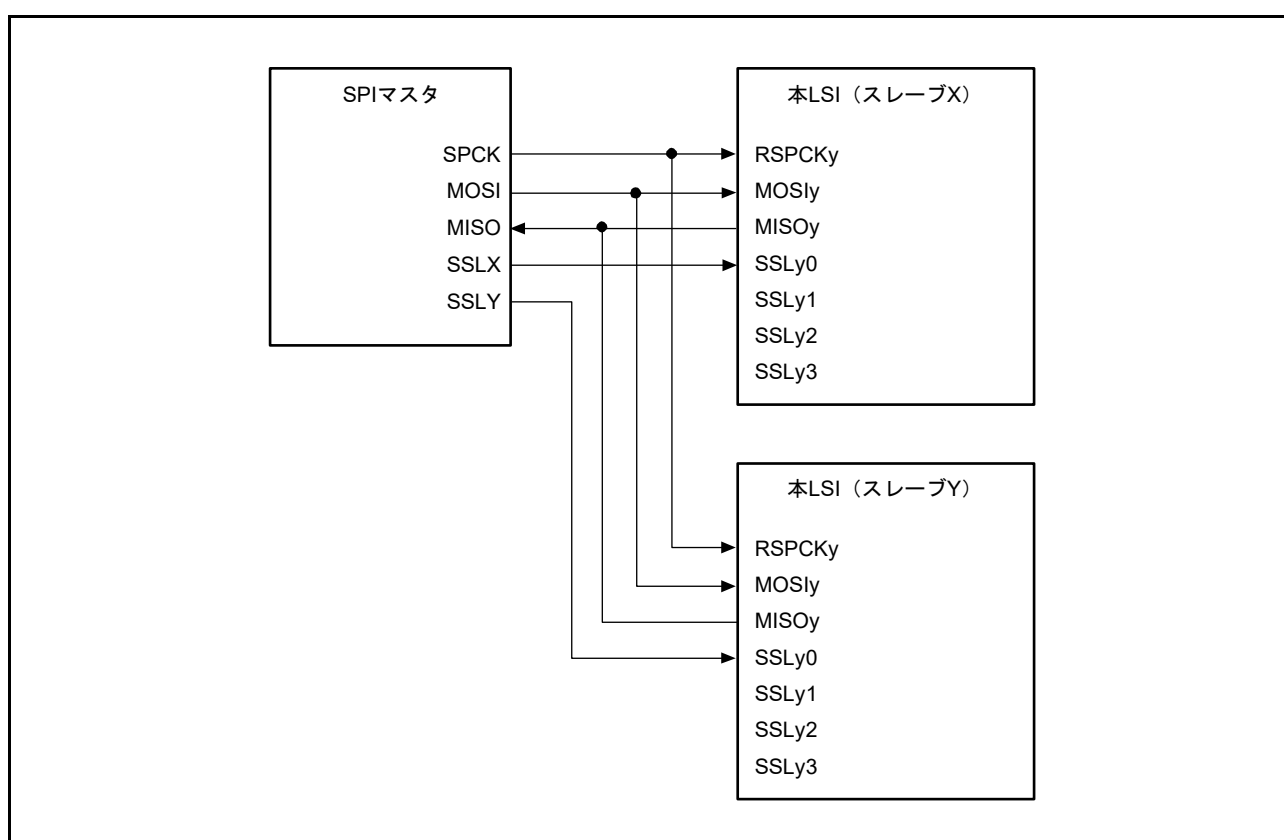


図 26.9 シングルマスタ/マルチスレーブの構成例 (本 LSI = スレーブ)

26.3.3.5 マルチマスタ/マルチスレーブ (本 LSI = マスタ)

図 26.10 に、本 LSI をマスタとして使用した場合のマルチマスタ/マルチスレーブの RSPI システム構成例を示します。図 26.10 の例では、2つの本 LSI (マスタ X、マスタ Y) と2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 LSI (マスタ X、マスタ Y) の RSPCK_y 出力と MOSI_y 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 LSI (マスタ X、マスタ Y) の MISO_y 入力に接続します。本 LSI (マスタ X) の任意の汎用ポート Y 出力は、本 LSI (マスタ Y) の SSL_{y0} 入力に接続します。本 LSI (マスタ Y) の任意の汎用ポート X 出力は、本 LSI (マスタ X) の SSL_{y0} 入力に接続します。本 LSI (マスタ X、マスタ Y) の SSL_{y1} 出力と SSL_{y2} 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL_{y0} 入力、スレーブ接続用の SSL_{y1} 出力、SSL_{y2} 出力のみでシステムを構成できるので、本 LSI の SSL_{y3} 出力を使用していません。

本 LSI は、SSL_{y0} 入力レベルが High の場合には、RSPCK_y、MOSI_y、SSL_{y1}、SSL_{y2} をドライブします。SSL_{y0} 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCK_y、MOSI_y、SSL_{y1}、SSL_{y2} を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

(y = 0, 1 (各チャンネルに対応))

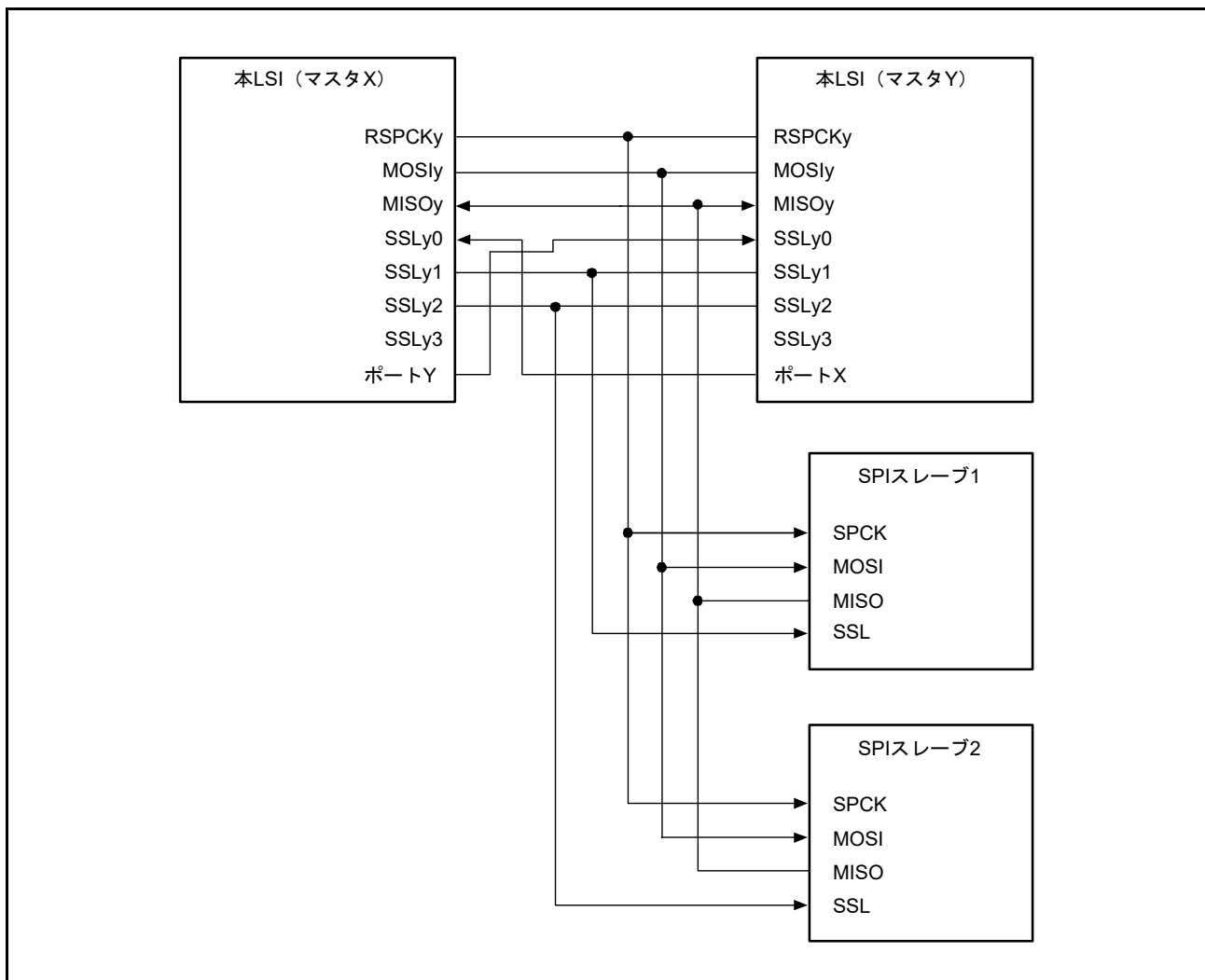


図 26.10 マルチマスタ/マルチスレーブの構成例 (本 LSI = マスタ)

26.3.3.6 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作） （本 LSI = マスタ）

図 26.11 に、本 LSI をマスタとして使用した場合のマスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の RSPI システムの構成例を示します。マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成では、本 LSI（マスタ）の SSLy0 ~ SSLy3 は使用しません。

本 LSI（マスタ）は、RSPCKy と MOSIy を常にドライブします。SPI スレーブは、MISO を常にドライブします。

(y = 0, 1 (各チャンネルに対応))

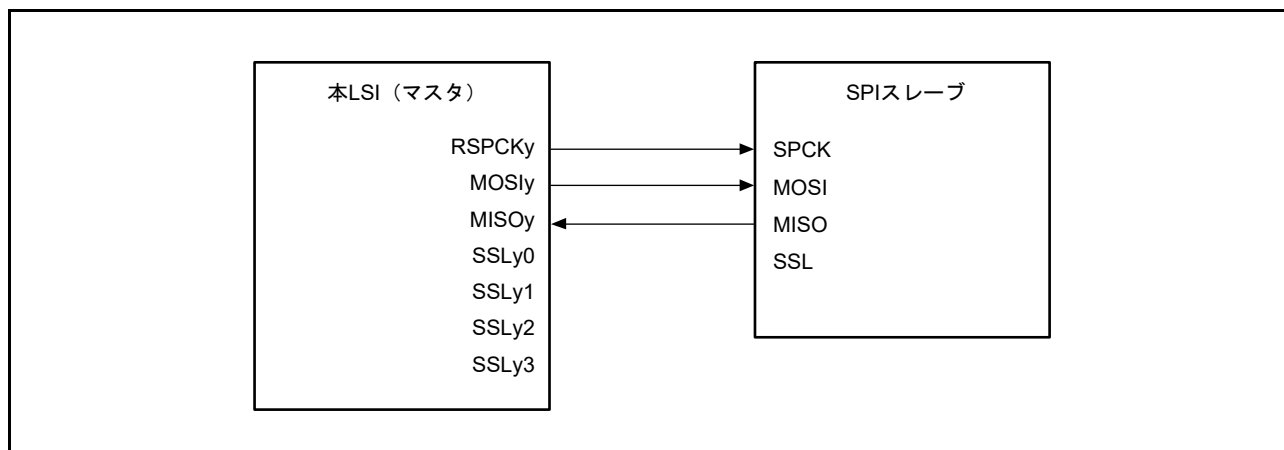


図 26.11 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成例（本 LSI = マスタ）

26.3.3.7 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作） （本 LSI = スレーブ）

図 26.12 に、本 LSI をスレーブとして使用した場合のマスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の RSPI システム構成例を示します。本 LSI をスレーブ（クロック同期式動作）として使用する場合には、本 LSI（スレーブ）は、MISO_y を常にドライブし、SPI マスタは、SPCK と MOSI を常にドライブします。また、本 LSI（スレーブ）の SSL_{y0} ~ SSL_{y3} は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 LSI（スレーブ）はシリアル転送を実行することが可能です。

(y = 0, 1 (各チャンネルに対応))

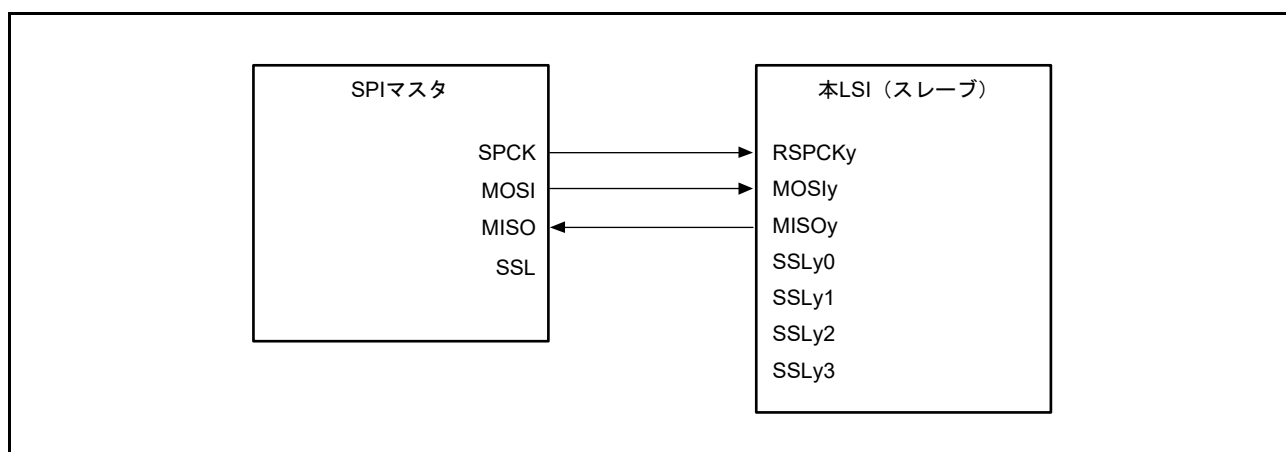


図 26.12 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成例
（本 LSI = スレーブ、CPHA = 1）

26.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m) ($m=0\sim 7$)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE) の設定値に依存します。MSB/LSB ファーストにかかわらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

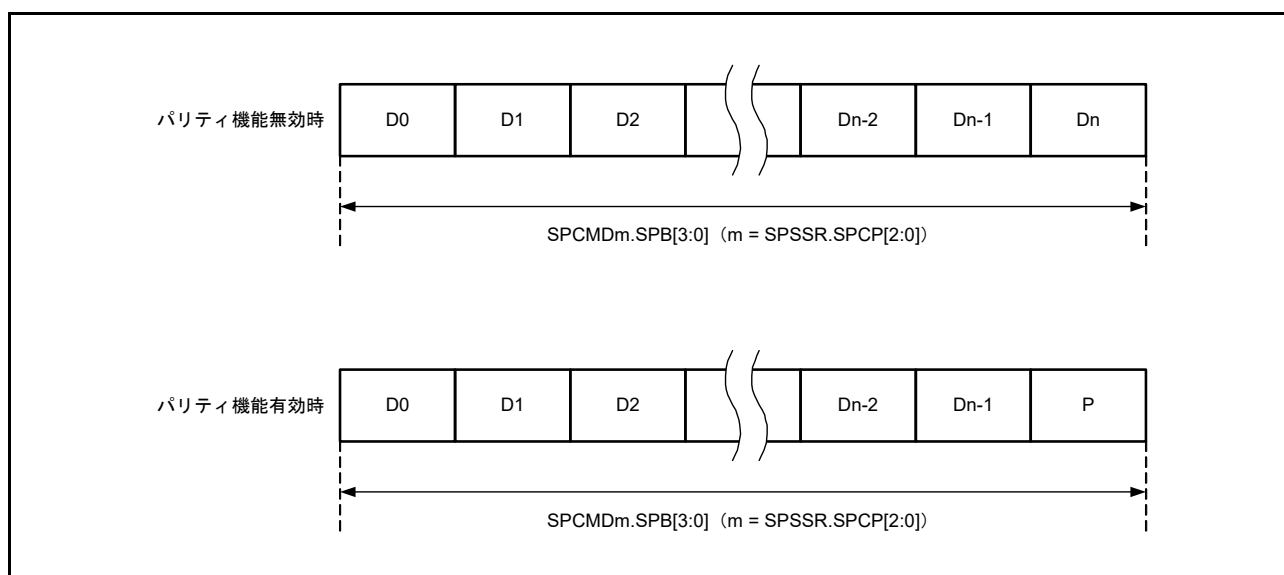


図 26.13 データフォーマット概要 (パリティ機能無効時/有効時)

26.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下に RSPI データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送 (32 ビットデータ)

図 26.14 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

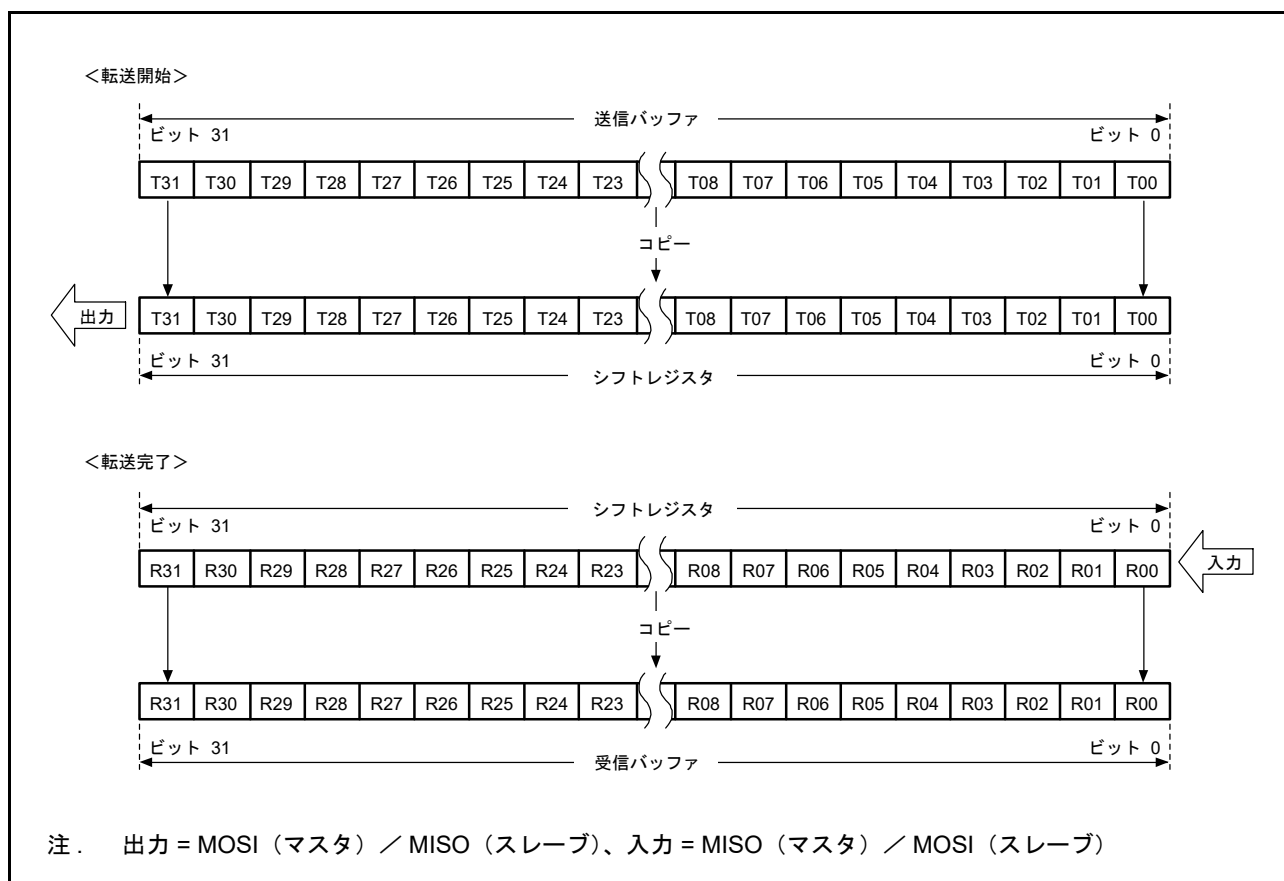


図 26.14 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 26.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

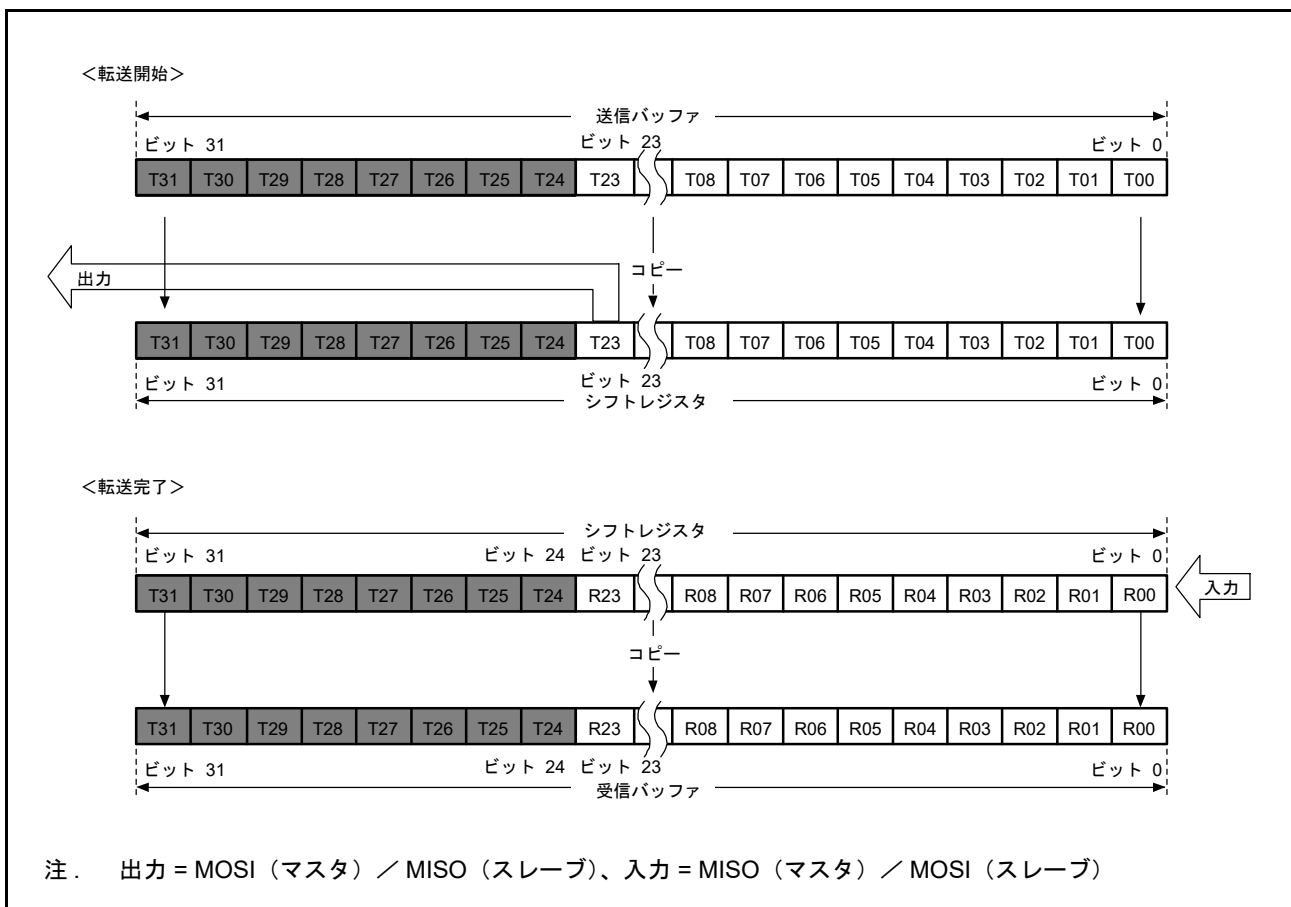


図 26.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 26.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

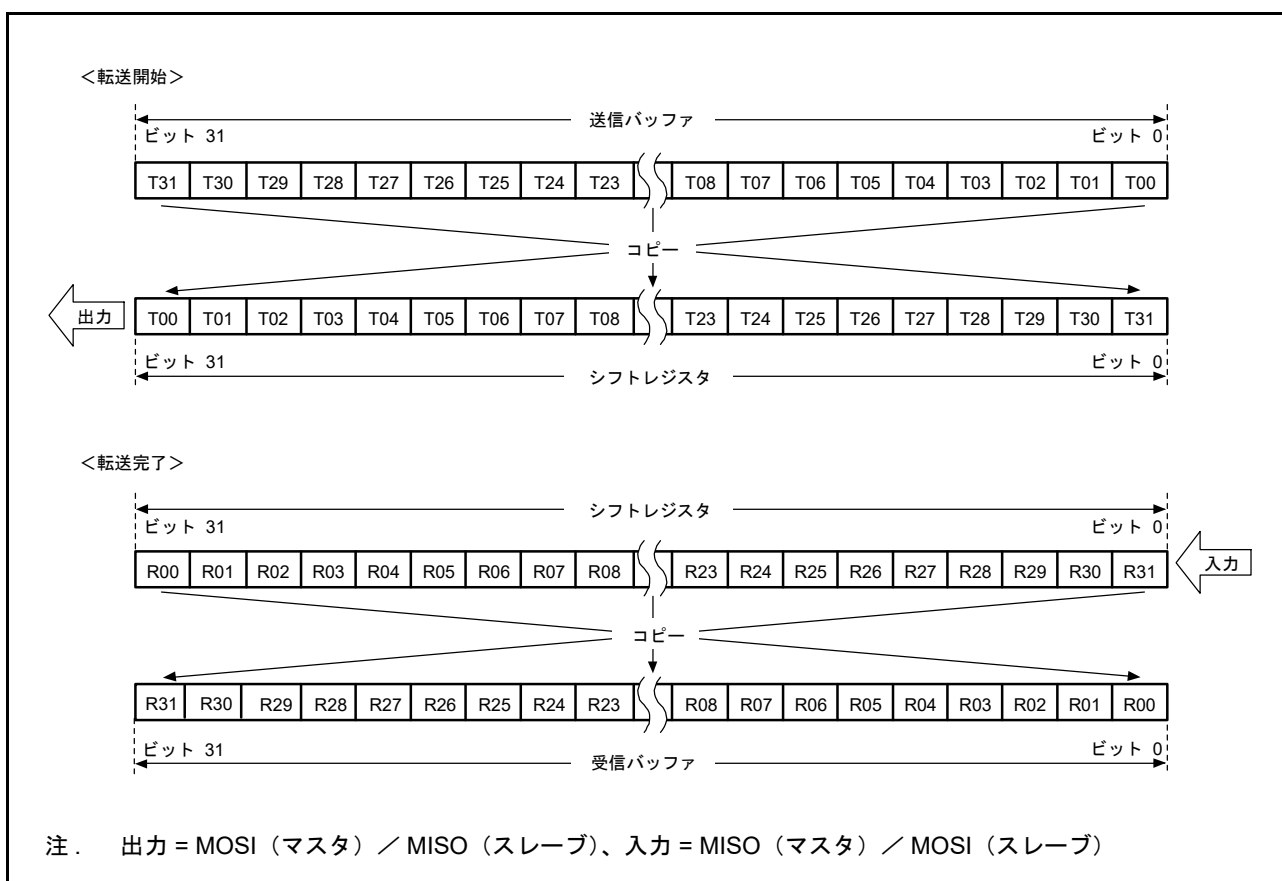


図 26.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 26.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

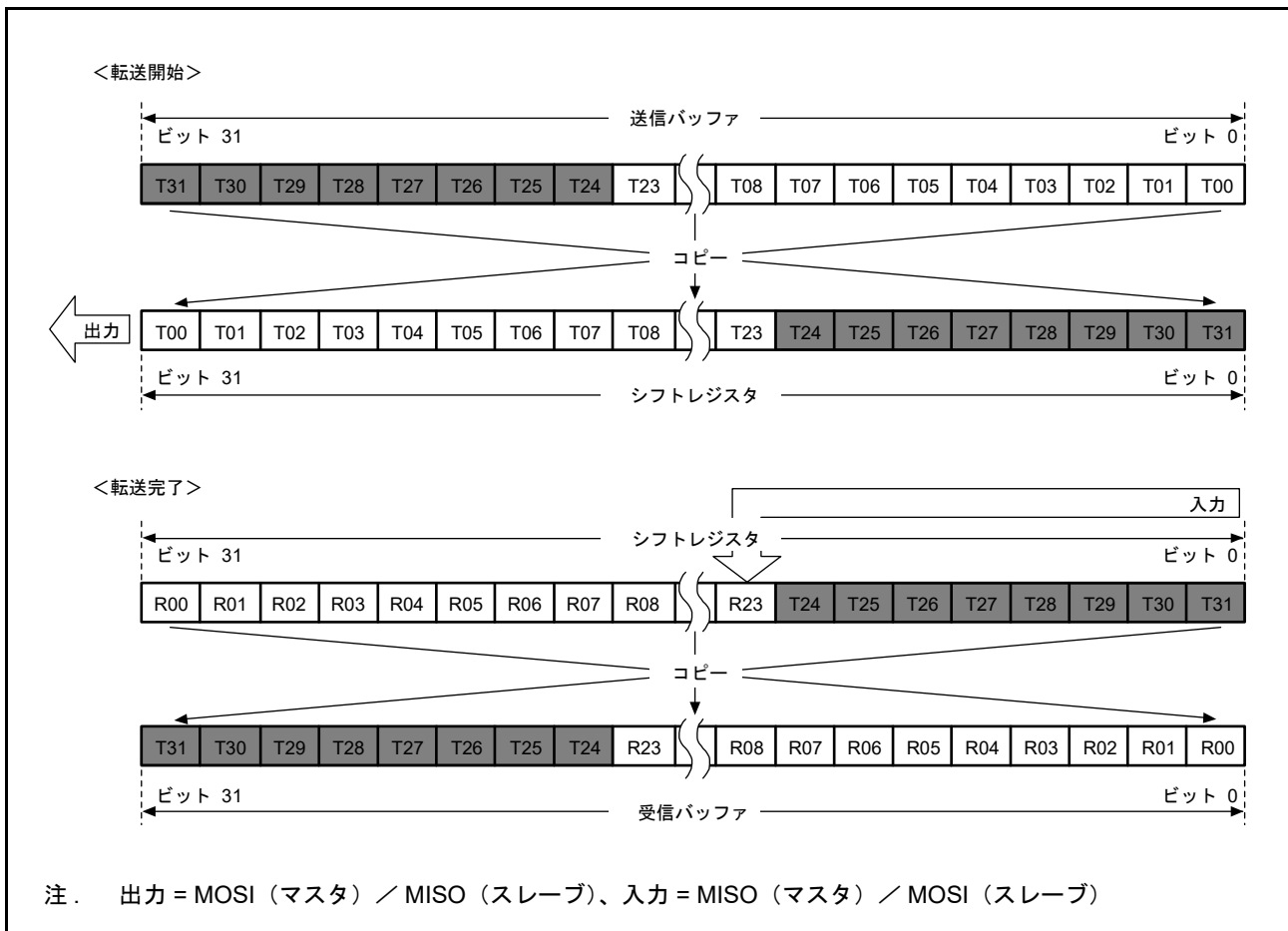


図 26.17 LSB ファースト (24 ビットデータ / パリティ機能無効)

26.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 26.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

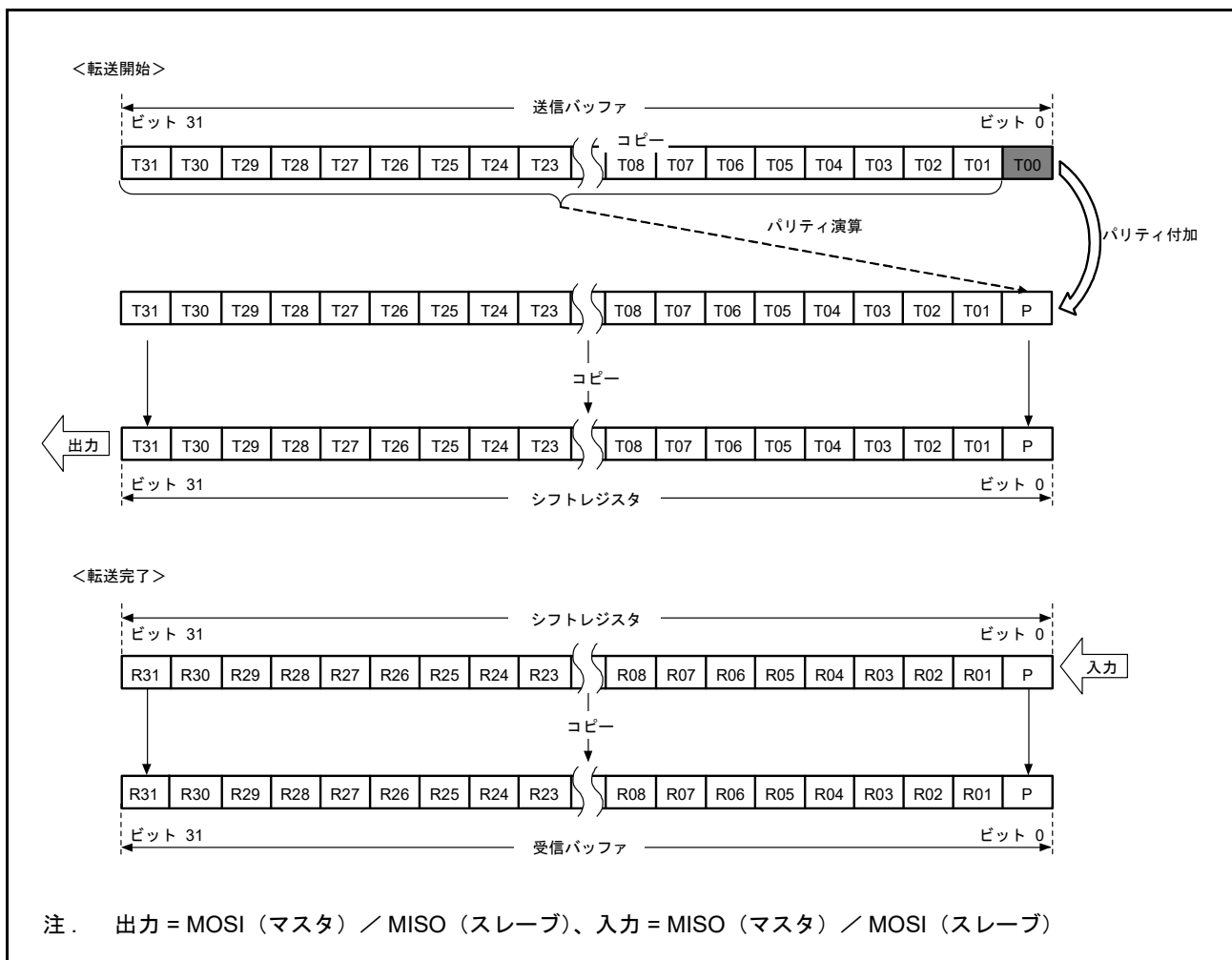


図 26.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 26.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

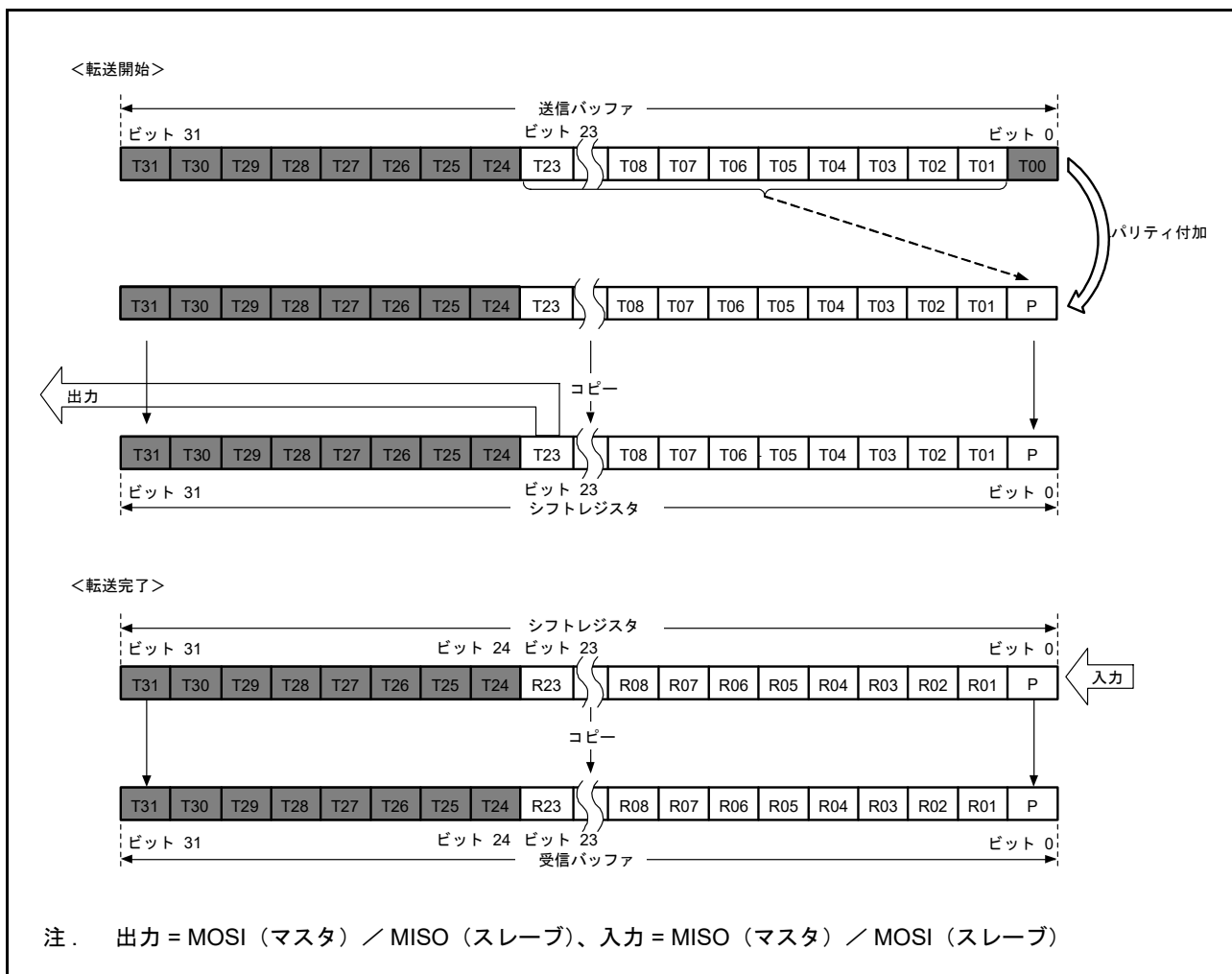


図 26.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 26.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまり、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

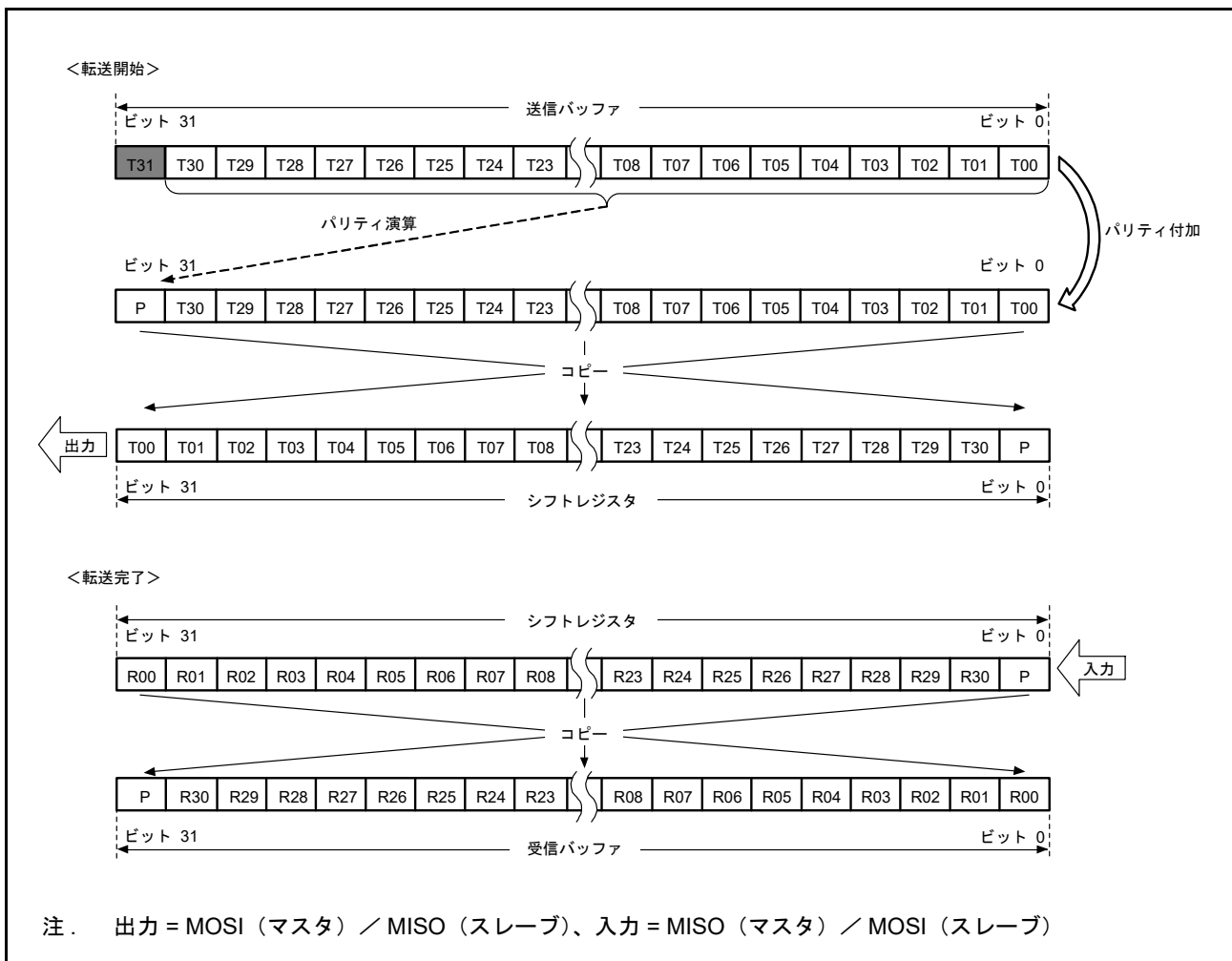


図 26.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 26.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

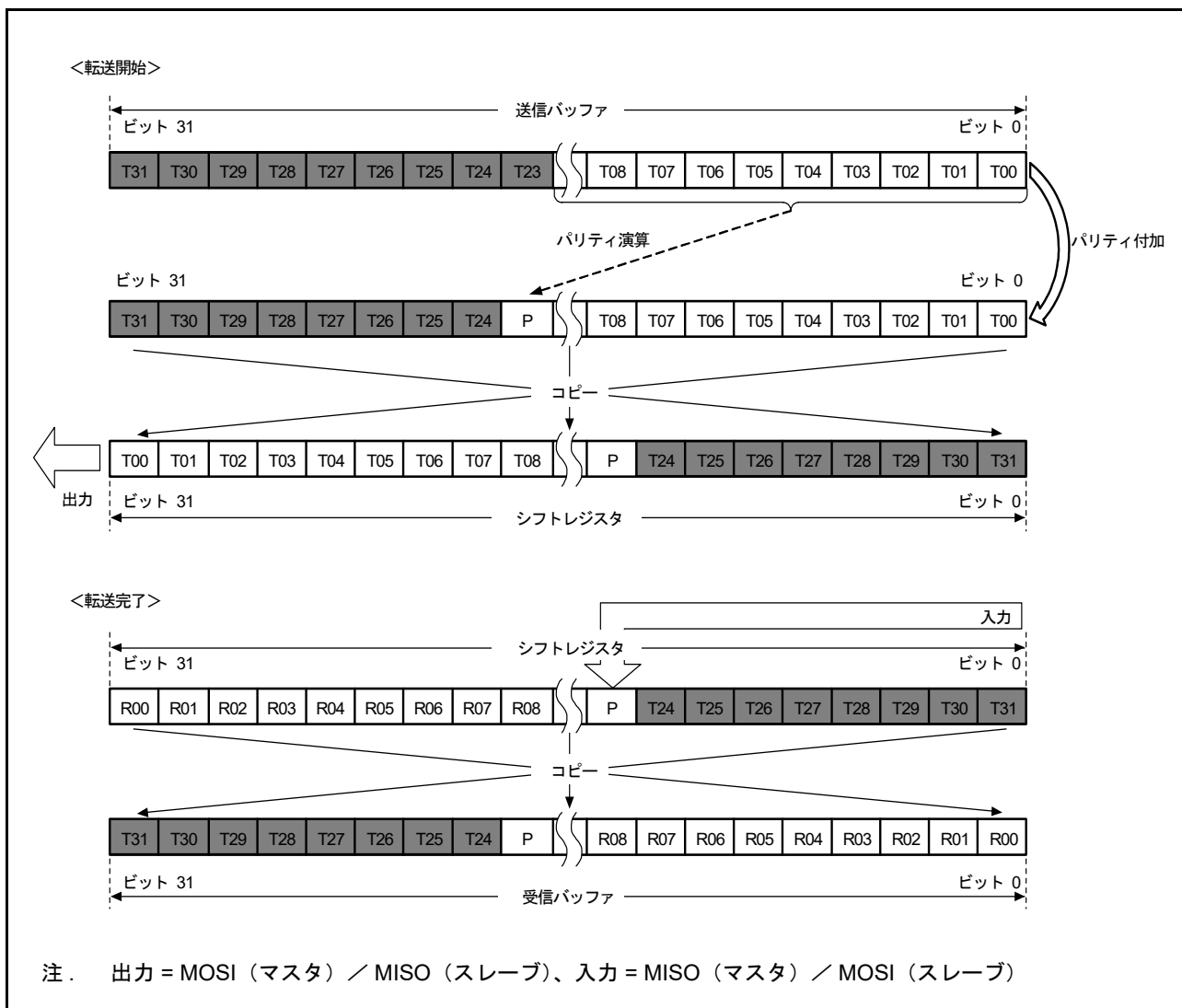


図 26.21 LSB ファースト (24 ビットデータ / パリティ機能有効)

26.3.5 転送フォーマット

26.3.5.1 CPHA ビット = 0 の場合

図 26.22 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR=0) で CPHA ビットが“0”の場合はクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) に設定することは禁止です。図 26.22 において、RSPCKy (CPOL=0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKy (CPOL=1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKy 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「26.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLyi 信号のアサートタイミングで、MOSIy 信号と MISOy 信号への有効データのドライブが開始されます。SSLyi 信号のアサート後に発生する最初の RSPCKy 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSIy 信号と MISOy 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLyi 信号のアサートから RSPCKy 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKy 発振停止から SSLyi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLyi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「26.3.10.1 マスタモード動作」を参照してください。

(i=0~3、m=0~7、y=0,1 (各チャンネルに対応))

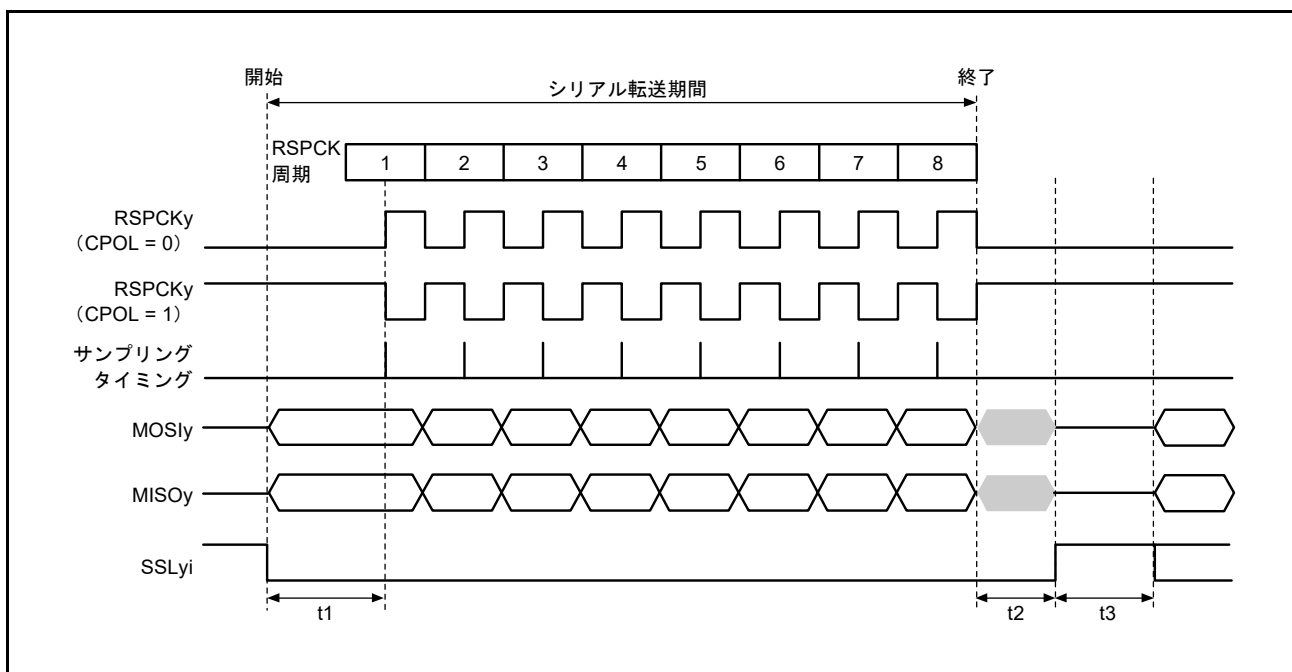


図 26.22 RSPI 転送フォーマット (CPHA ビット = 0)

26.3.5.2 CPHA ビット = 1 の場合

図 26.23 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSL_{yi} 信号を用いず、RSPCK_y 信号、MOSI_y 信号、MISO_y 信号のみで通信を行います。図 26.23 において、RSPCK (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCK (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCK_y 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ/スレーブ) に依存します。詳細は「26.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSL_{yi} 信号のアサートタイミングで、MISO_y 信号に無効データのドライブが開始されます。SSL_{yi} 信号のアサート後に発生する最初の RSPCK_y 信号変化タイミングで、MOSI_y 信号と MISO_y 信号への有効データへの出力が開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCK_y 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t₁、t₂、t₃ の内容は、CPHA ビット = 0 の場合と同様です。本 LSI の RSPI がマスタモードである場合の t₁、t₂、t₃ については、「26.3.10.1 マスタモード動作」を参照してください。

(i = 0 ~ 3、m = 0 ~ 7、y = 0, 1 (各チャンネルに対応))

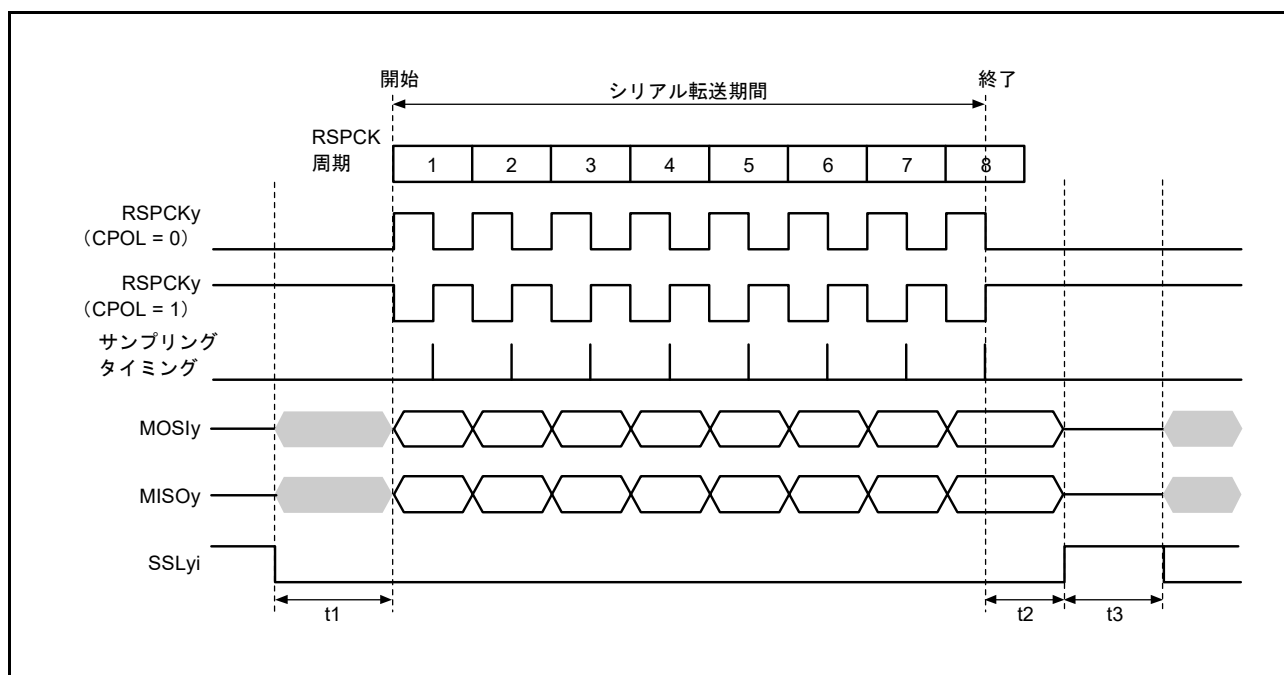


図 26.23 RSPI 転送フォーマット (CPHA ビット = 1)

26.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 26.24、図 26.25 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

26.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 26.24 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 26.24 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています (m = 0 ~ 7, y = 0, 1 (各チャンネルに対応))。

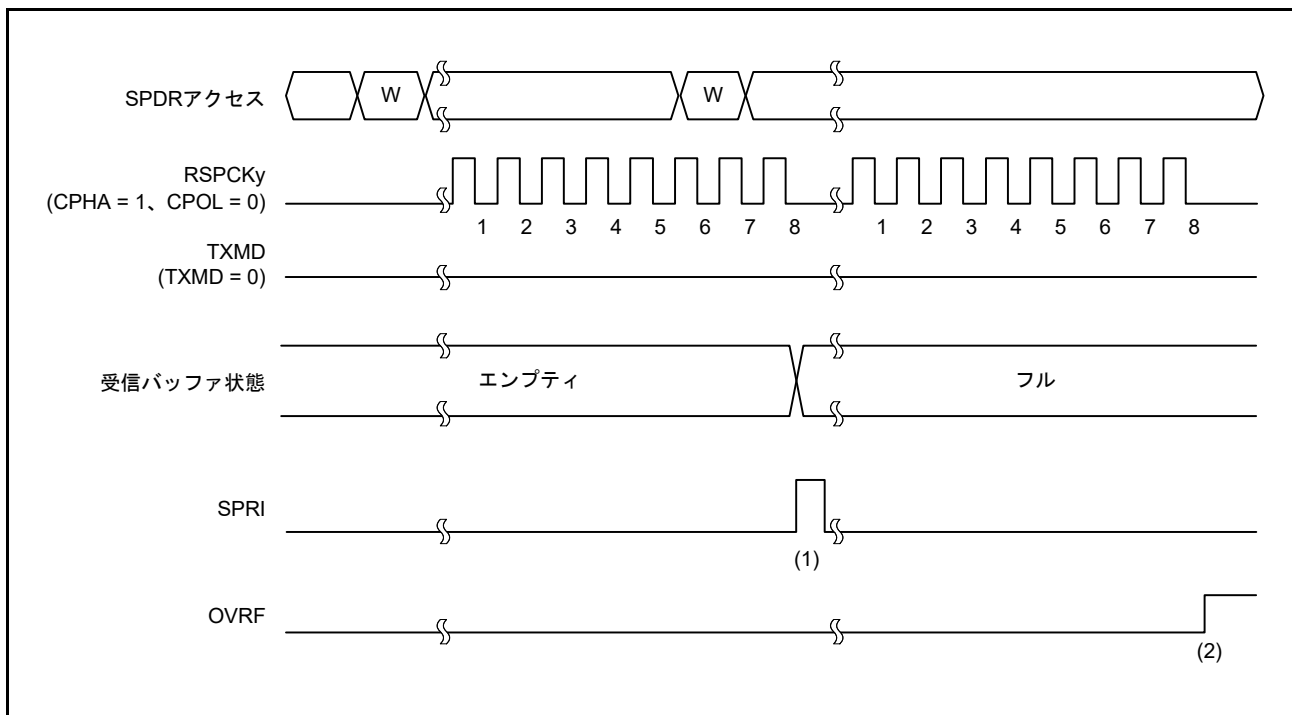


図 26.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を発生してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

26.3.6.2 送信のみ動作 (SPCR.TXMD = 1)

図 26.25 に、SPCR.TXMD ビットを“1”に設定した場合の動作例を示します。図 26.25 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK_y 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています (m = 0 ~ 7、y = 0, 1 (各チャンネルに対応))。

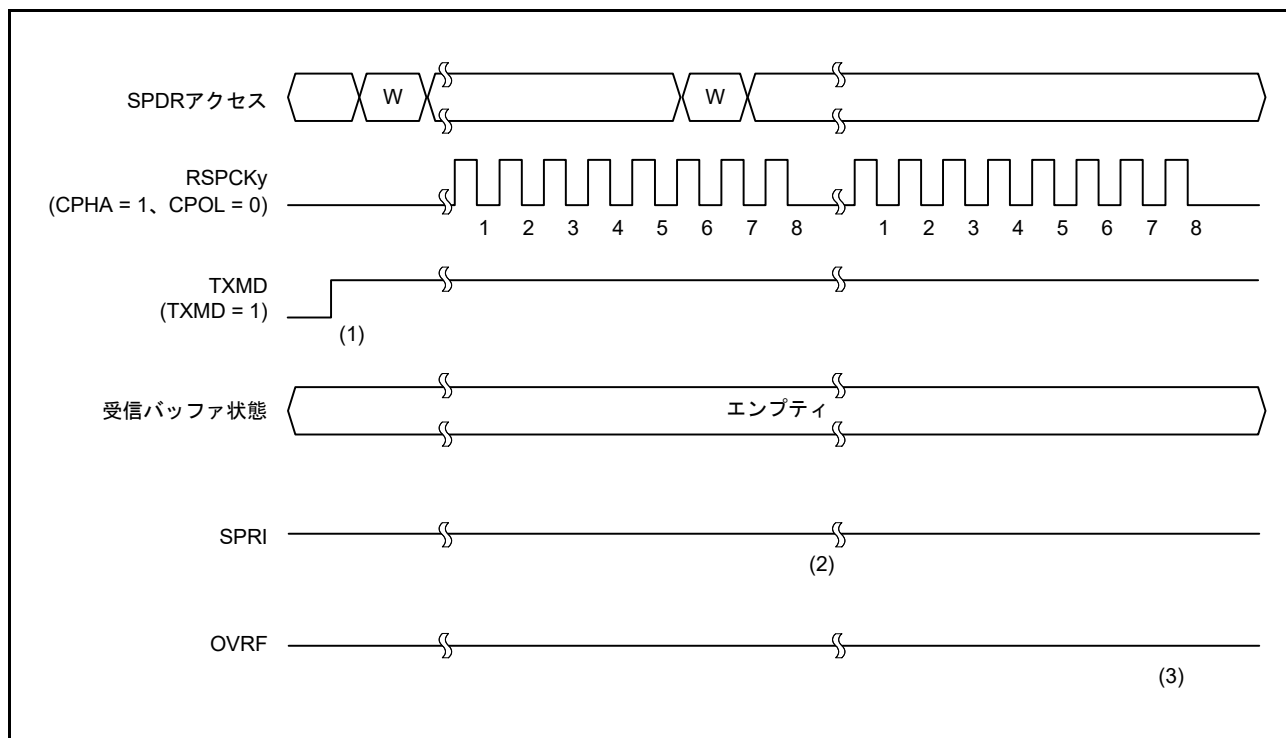


図 26.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1) (2) (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作 (SPCR.TXMD = 1) への遷移は、受信バッファにデータが残っていないこと、SPSR.OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみ動作 (SPCR.TXMD = 1) のときは、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時 (SPCR.TXMD = 1) は、送信データを送信し、受信データを受信しません。そのため、SPSR.OVRF フラグは (1) (2) (3) それぞれのタイミングで“0”を保持します。

26.3.7 送信バッファエンプティ／受信バッファフル割り込み

図 26.26 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 26.26 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 26.26 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています (m = 0 ~ 7, y = 0, 1 (各チャンネルに対応))。

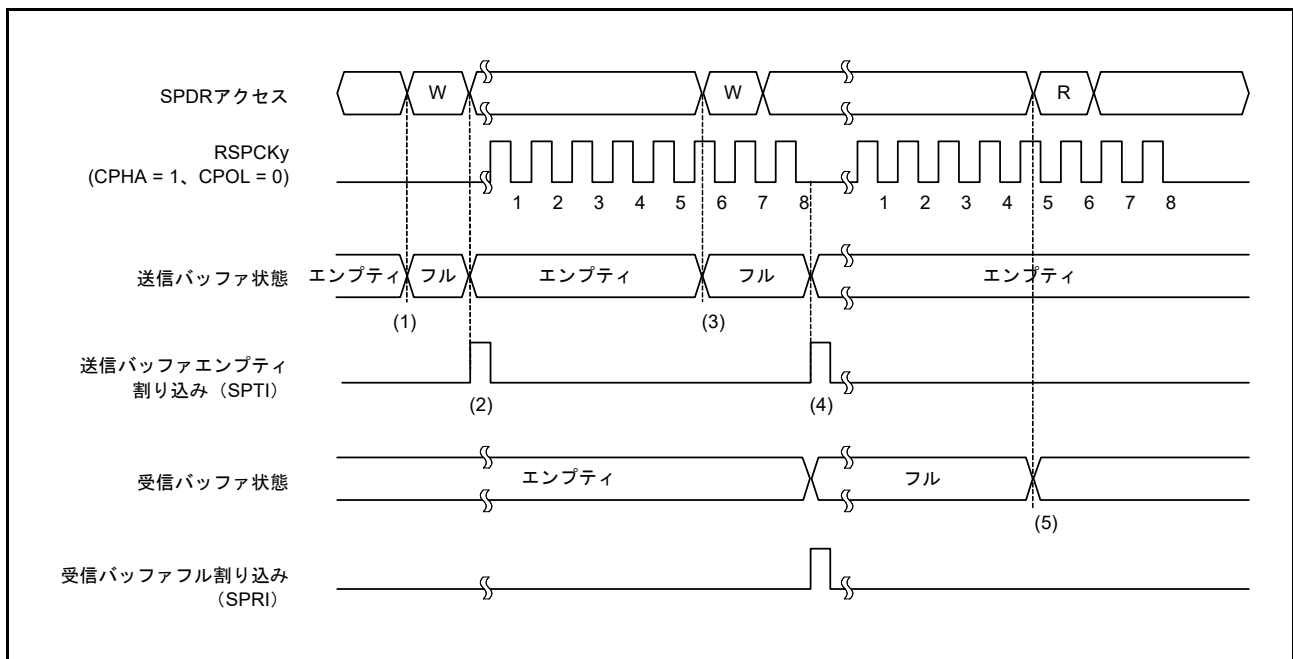


図 26.26 送信バッファエンプティ割り込み (SPTI)、受信バッファフル割り込み (SPRI) の動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

1. SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込みます。
2. シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み (SPTI) を発生します。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「26.3.10 SPI 動作」, 「26.3.11 クロック同期式動作」参照)
3. 送信バッファエンプティ割り込みルーチンで、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送されます。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を発生します。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフル割り込みルーチンで、SPDR レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態で、SPDR レジスタを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタを書き込む場合には、送信バッファエンpty割り込みルーチンで行ってください。また、送信バッファエンpty割り込みを利用する場合には、SPCR の SPTIE ビットを“1”にしてください。

RSPI 機能は無効 (SPCR.SPE ビットが“0”) の場合には、SPTIE ビットを“0”にしてください。

受信バッファフルの状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「26.3.8 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信/受信バッファの状態は、送信バッファエンpty割り込み/受信バッファフル割り込み、または対応する IRQ ステータスレジスタ (IRQSn) によって割り込み要求の発生を確認することができます。IRQ ステータスレジスタ (IRQSn) については、「12.4.2.1 IRQ ステータスレジスタ n (IRQSn) (n = 0 ~ 9)」を参照してください。

26.3.8 エラー検出

通常の RSPI のシリアル転送では、SPDR レジスタの送信バッファに書き込んだデータが送信され、受信されたデータを SPDR レジスタの受信バッファから読み出すことができます。SPDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表 26.8 に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表 26.8 通常以外の転送の発生条件と RSPI のエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ですPDRレジスタを書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
2	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データを送信	なし
3	受信バッファエンプティの状態ですPDRレジスタを読み出し	前回受信データを出力	なし
4	受信バッファフルの状態です、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時に SSLy0 入力信号アサート	<ul style="list-style-type: none"> RSPCKy、MOSly、SSLy1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中に SSLy0 入力信号アサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKy、MOSly、SSLy1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
8	スレーブモードでシリアル転送中に SSLy0 入力信号がネゲート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 MISOy出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出

y = 0, 1 (各チャンネルに対応)

表 26.8 の 1 に示した動作に対しては、RSPI はエラーを検出しません。SPDR レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR レジスタへの書き込みを実施してください。

2 に示した動作に対しても、RSPI はエラーを検出しません。RSPI では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、2 に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPDR レジスタの受信バッファに保持されているので、正しく読み出されます (シリアル転送が終了する前に SPDR レジスタを読み出さないと、オーバランエラーが発生します)。

3 に示した動作に対しても、RSPI はエラーを検出しません。不要なデータを読み出さないようにするためには、RSPI 受信バッファフル割り込みで SPDR レジスタの読み出しを実行するようにしてください。

4 に示したオーバランエラーについては「26.3.8.1 オーバランエラー」で、5 に示したパリティエラーについては「26.3.8.2 パリティエラー」で説明します。また、6～8 に示したモードフォルトエラーについては「26.3.8.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「26.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

26.3.8.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 26.27 に、OVRF フラグの動作を示します。図 26.27 に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 26.27 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています (m = 0 ~ 7, y = 0, 1 (各チャネルに対応))。

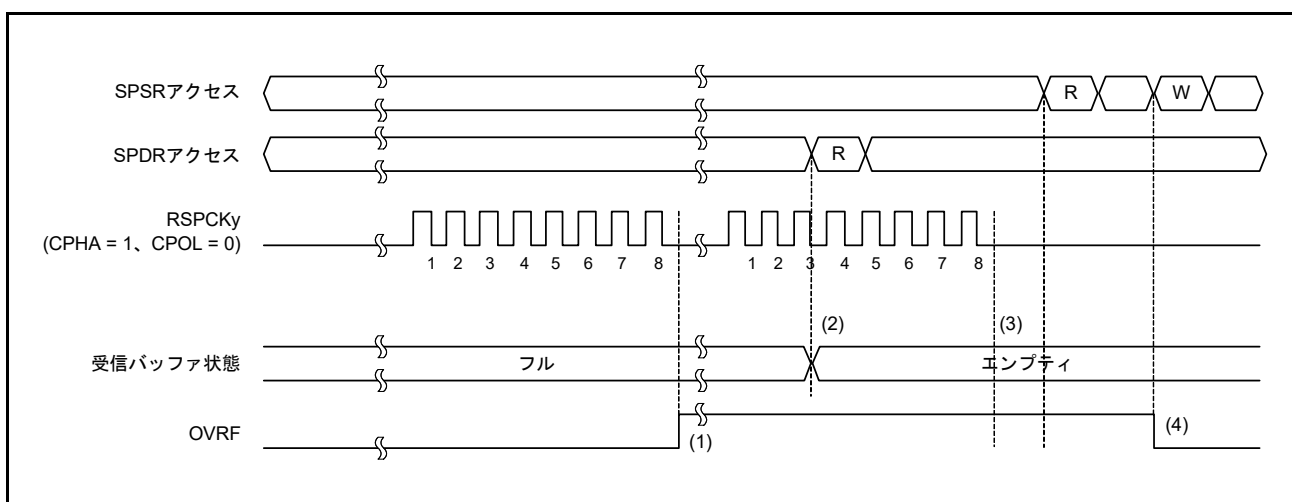


図 26.27 OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファフル状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
2. SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。受信バッファが空になっても、OVRF フラグは“0”になりません。
3. OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF フラグが“1”の状態で SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバランの発生は、SPSR レジスタの読み出しあるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI

をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

オーバランエラーが発生してOVRFフラグが“1”になると、OVRFフラグが“0”になるまで正常な受信動作ができなくなります。

マスタモードでRSPCK自動停止機能を有効にした場合は、オーバランエラーが発生しません。図26.28、図26.29にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

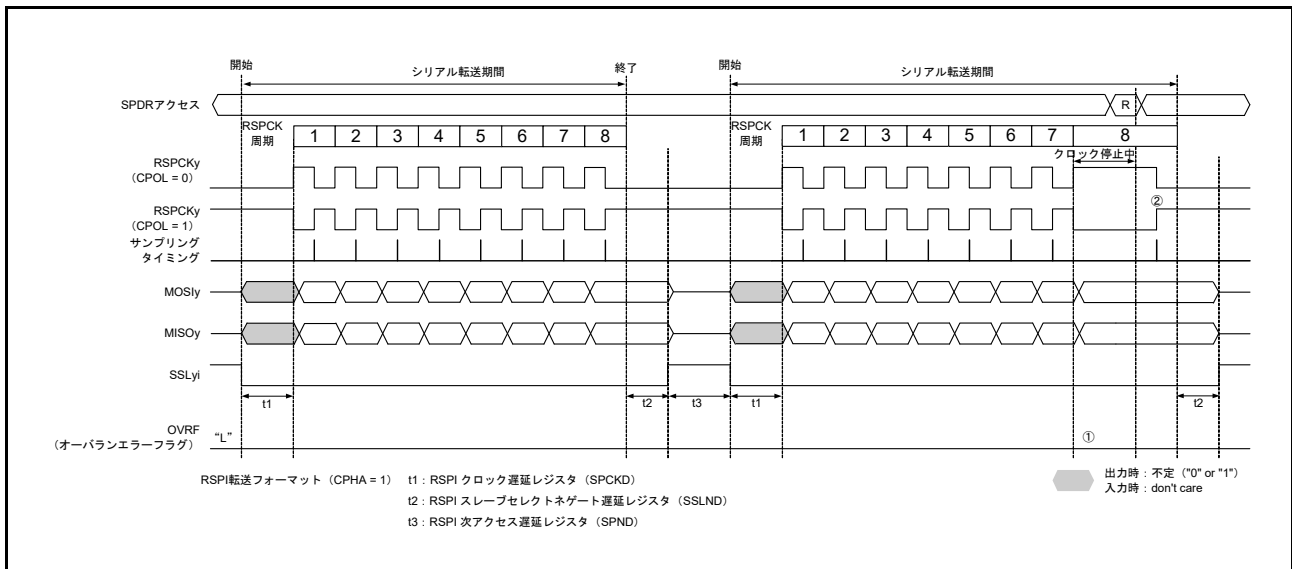


図 26.28 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

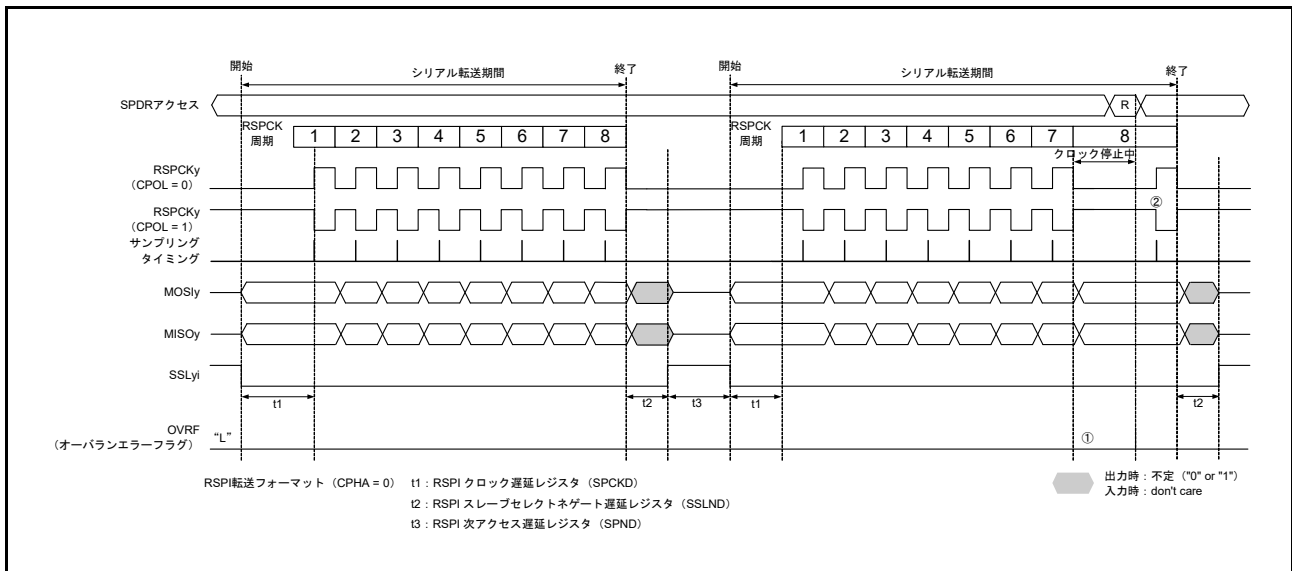


図 26.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバランエラーは発生しません。
- (2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後、RSPCK クロックが再開します。

26.3.8.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIは、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 26.30 に、OVRF フラグと PERF フラグの動作を示します。図 26.30 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 26.30 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています (m = 0 ~ 7, y = 0, 1 (各チャンネルに対応))。

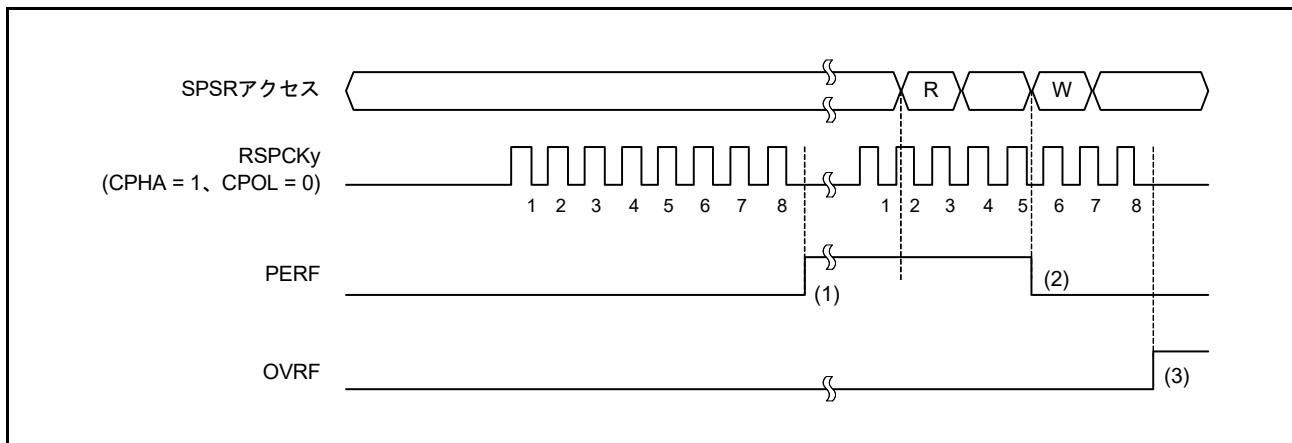


図 26.30 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- RSPI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- PERF フラグが“1”の状態ですべて SPSR レジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
- RSPI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

26.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSLy0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。なお、SSLy0信号のアクティブレベルは、SSLP.SSL0Pビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）にSSLy0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します（「26.3.9 RSPIの初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。RSPIエラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

MODFフラグが“1”の状態では、RSPIはSPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、MODFフラグを“0”にしてください（m=0～7、y=0,1（各チャンネルに対応））。

26.3.9 RSPIの初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラー検出により RSPI が SPE ビットを“0”にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

26.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステートの初期化
- RSPI 送信バッファを空にする

SPE ビットを“0”にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを“1”にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.OVRF, MODF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認ができません。

送信バッファは空の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書いてください。モードフォルトエラー検出後の送信バッファエンプティ割り込みを禁止するためには、エラー処理ルーチンで SPTIE ビットに“0”を書いてください。

26.3.9.2 システムリセット

システムのリセットによる初期化では、「26.3.9.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。詳細については、「6. リセット」を参照してください。

26.3.10 SPI 動作

26.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「26.3.8 エラー検出」を参照）のみです。シングルマスタモードの RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI 送信バッファが空き（次転送のデータがセットされていない）の状態、SPDR レジスタへデータを書き込むと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については「26.3.5 転送フォーマット」を参照してください。SSLy_i 出力端子の極性は、SSLP レジスタの設定値に依存します (i=0~3, y=0,1 (各チャンネルに対応))。

(2) シリアル転送の終了

SPCMDm.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCK_y エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。SSLy_i 出力端子の極性は、SSLP レジスタの設定値に依存します。RSPI の転送フォーマットの詳細については「26.3.5 転送フォーマット」を参照してください (i=0~3, m=0~7, y=0,1 (各チャンネルに対応))。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLy_i 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPI 次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長にしたがって、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にして RSPI 機能を許可すると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

($i=0\sim 3$, $m=0\sim 7$, $y=0, 1$ (各チャンネルに対応))

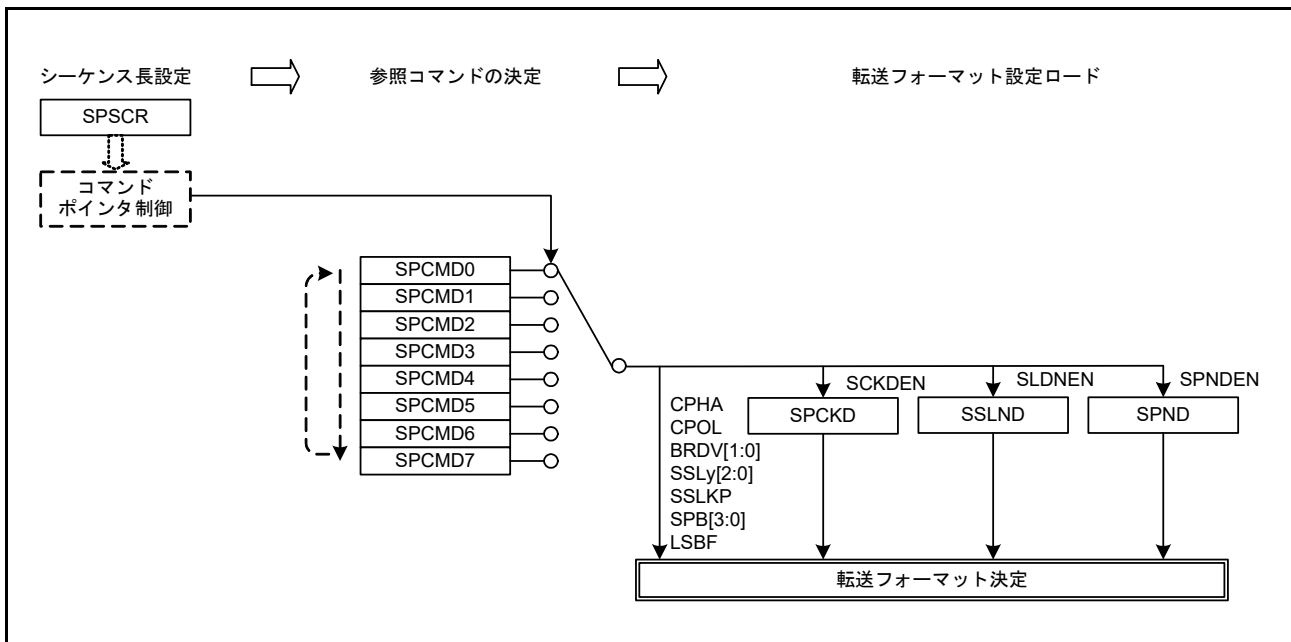


図 26.31 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

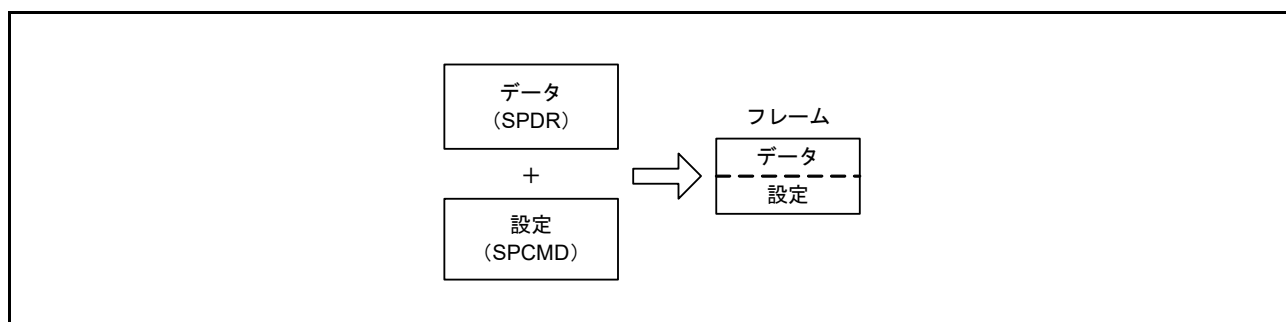


図 26.32 フレームの概念図

表 26.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ/受信バッファの関係を図 26.33 に示します。

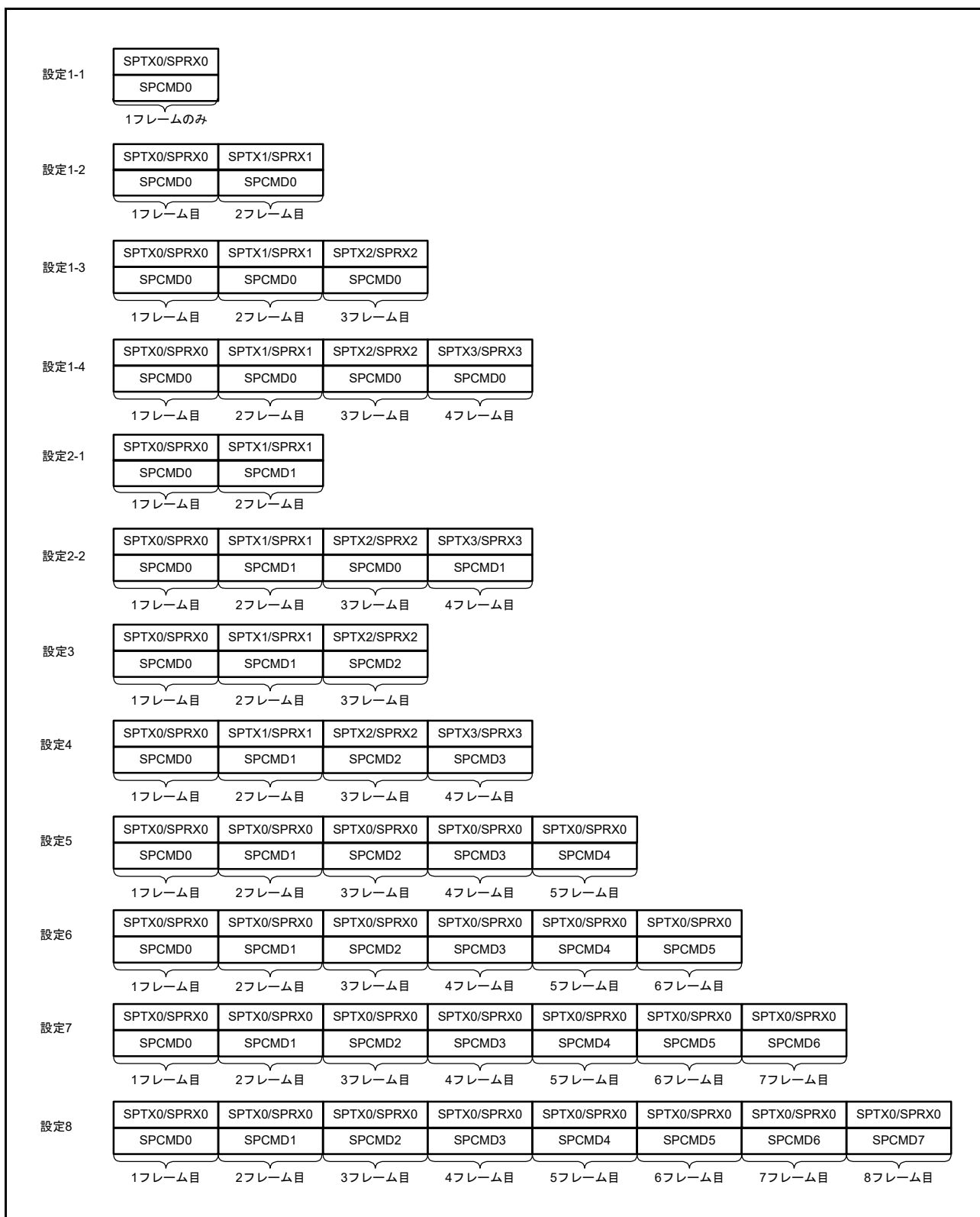


図 26.33 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが“1”の場合には、RSPI はシリアル転送中の SSLyi 信号レベルを次のシリアル転送の SSLyi 信号アサート開始まで保持します。次のシリアル転送での SSLyi 信号レベルが、現在のシリアル転送での SSLyi 信号レベルと同じであれば、RSPI は SSLyi 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

図 26.34 に、SPCMD0、1 レジスタの設定を使用してバースト転送を実現した場合の SSLyi 信号動作例を示します。図 26.34 に記載した (1) ~ (7) の RSPI 動作内容について、以下に説明します。なお、SSLyi 出力信号の極性は、SSLP レジスタの設定値に依存します。

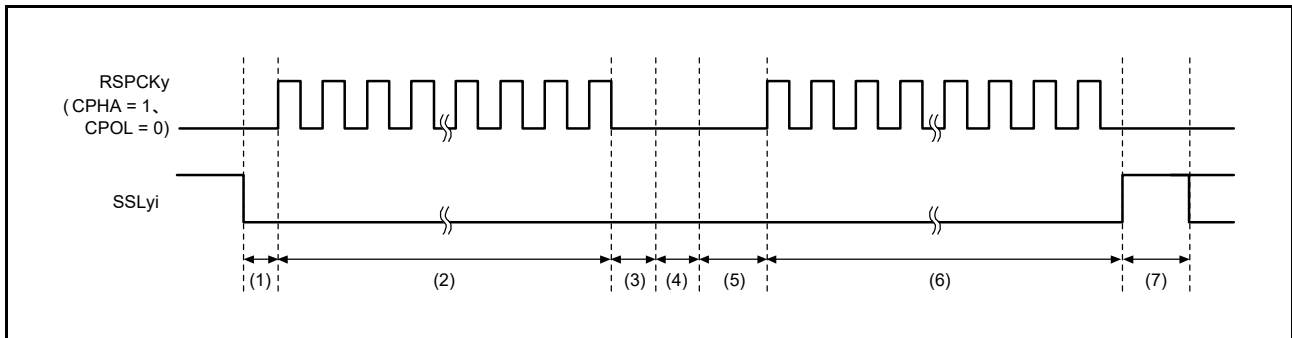


図 26.34 SSLKP ビットを利用したバースト転送動作の例

- (1) SPCMD0 レジスタにしたがった SSLyi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタにしたがったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) SPCMD0.SSLKP ビットが“1”であるため、SPCMD0 レジスタでの SSLyi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1 レジスタにしたがった SSLyi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタにしたがったシリアル転送を実行します。
- (7) SPCMD1.SSLKP ビットが“0”であるため、SSLyi 信号をネゲートします。また、SPCMD1 レジスタにしたがった次アクセス遅延が挿入されます。

SSLKP ビットを“1”にした SPCMDm レジスタでの SSLyi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLyi 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLyi 信号のアサート時 (図 26.34 の (5)) に SSLyi 信号状態を切り替えます。このような SSLyi 信号の切り替えが発生した場合、MISOy をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLyi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0”の場合でも、RSPI は内部で検出した次転送の SSLyi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

(i = 0 ~ 3, m = 0 ~ 7, y = 0, 1 (各チャンネルに対応))

(5) RSPCK 遅延 (t1)

マスタモードの RSPI の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、表 26.9 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「26.3.5 転送フォーマット」を参照してください。

表 26.9 SCKDEN ビット、SPCKD レジスタと RSPCK 遅延値の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延値
0	000 ~ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモードの RSPI の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SLNDEN ビットと SSLND レジスタを使用して、表 26.10 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「26.3.5 転送フォーマット」を参照してください。

表 26.10 SLNDEN ビット、SSLND レジスタと SSL ネゲート遅延値の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延値
0	000 ~ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(7) 次アクセス遅延 (t3)

マスタモードのRSPIの次アクセス遅延は、SPCMDm.SPNDENビットの設定とSPNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SPNDENビットとSPNDレジスタを使用して、表26.11のようにシリアル転送時のRSPCK遅延を決定します。なお、次アクセス遅延の定義については、「26.3.5 転送フォーマット」を参照してください。

表26.11 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000 ~ 111	1RSPCK + 2SERICK
1	000	1RSPCK + 2SERICK
	001	2RSPCK + 2SERICK
	010	3RSPCK + 2SERICK
	011	4RSPCK + 2SERICK
	100	5RSPCK + 2SERICK
	101	6RSPCK + 2SERICK
	110	7RSPCK + 2SERICK
	111	8RSPCK + 2SERICK

(8) 初期化フロー

図 26.35 に、SPI 動作時、RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

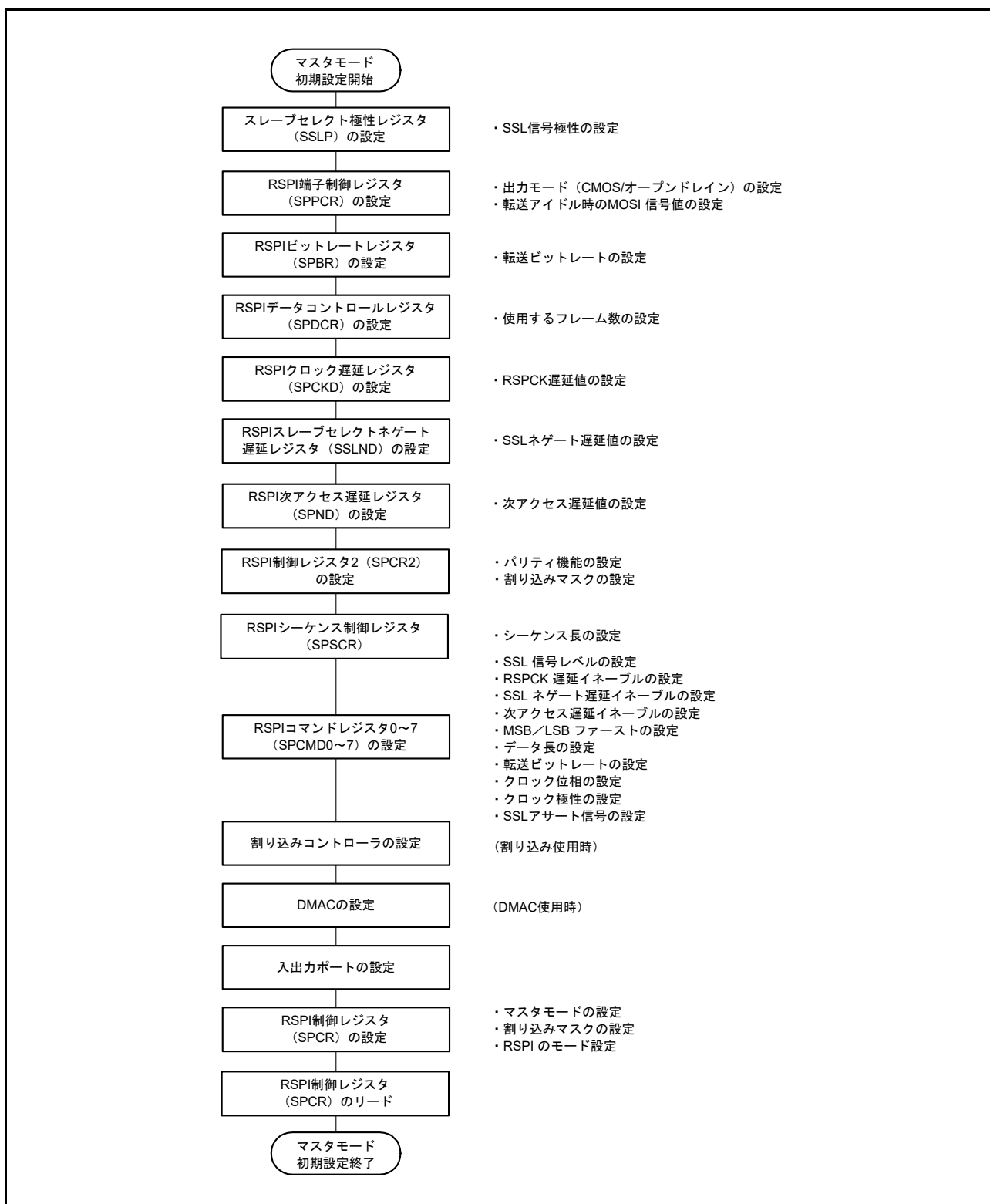


図 26.35 マスターモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 26.36 ~ 図 26.38 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後アイドル割り込み (SPII) を許可することによって、全データ送信完了を CPU に通知することが可能です。

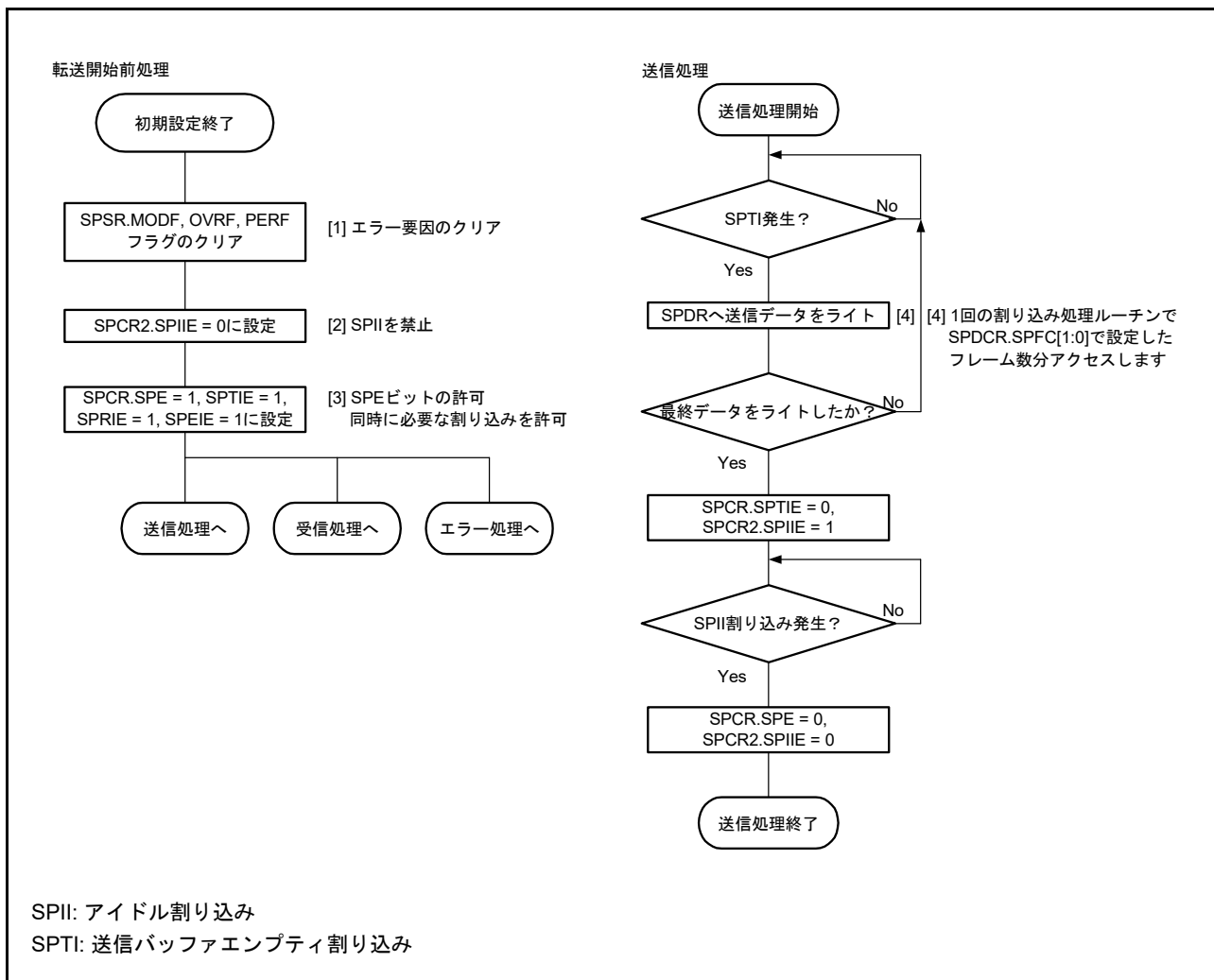


図 26.36 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、常に送信を必要とします。

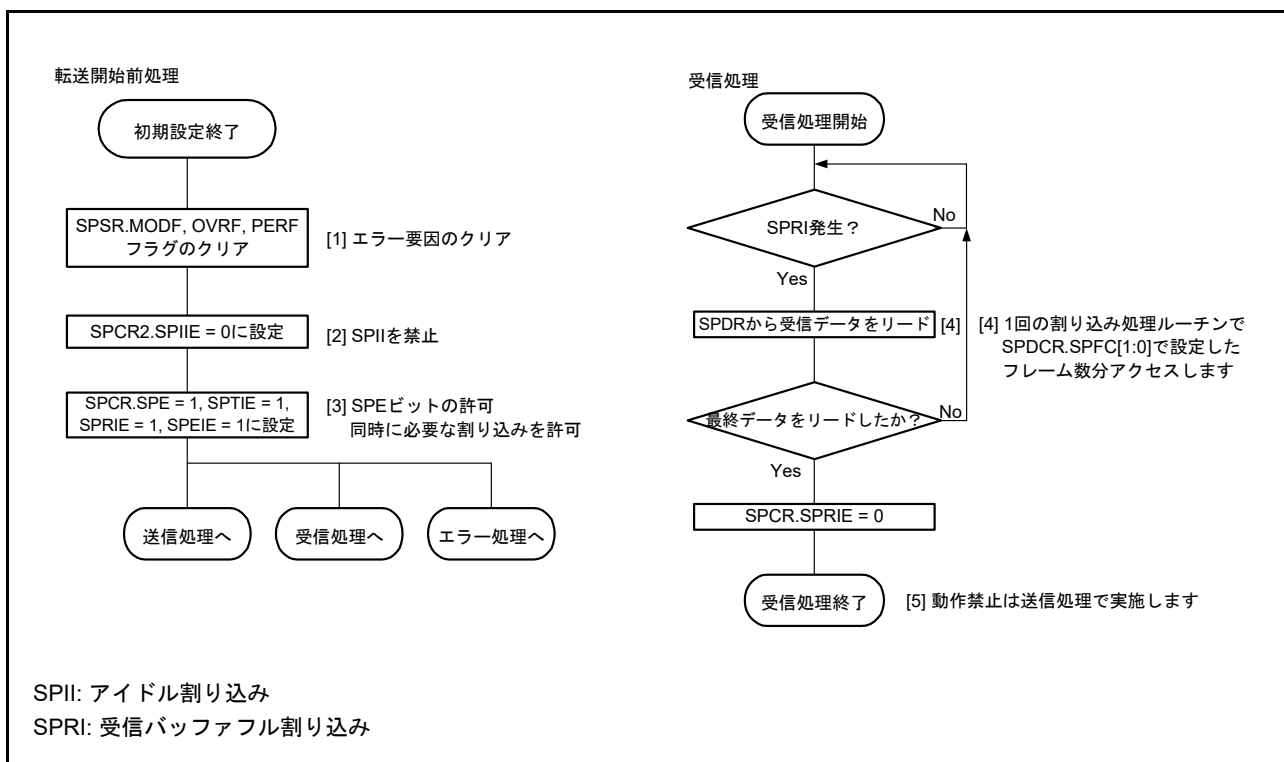


図 26.37 マスタモード時のフローチャート (受信)

(c) エラー処理フロー

RSPIは3種類のエラーを持ちます。モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。しかし、その他のエラー要因ではSPCR.SPEビットはクリアされず送信/受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0]ビットが更新されてしまうため、SPCR.SPEビットをクリアし動作を停止することを推奨します。

エラー発生時は、割り込み要求フラグとして、対応するIRQステータスレジスタに送信バッファエンプティ割り込み(SPTI)または受信バッファフル割り込み(SPRI)要求が保持されている可能性がありますので、エラー処理にて対応するIRQステータスレジスタのフラグをクリアしてください。また、受信バッファフル割り込み(SPRI)要求が保持されている場合、受信バッファを読み出してRSPIの内部シーケンサを初期化してください。

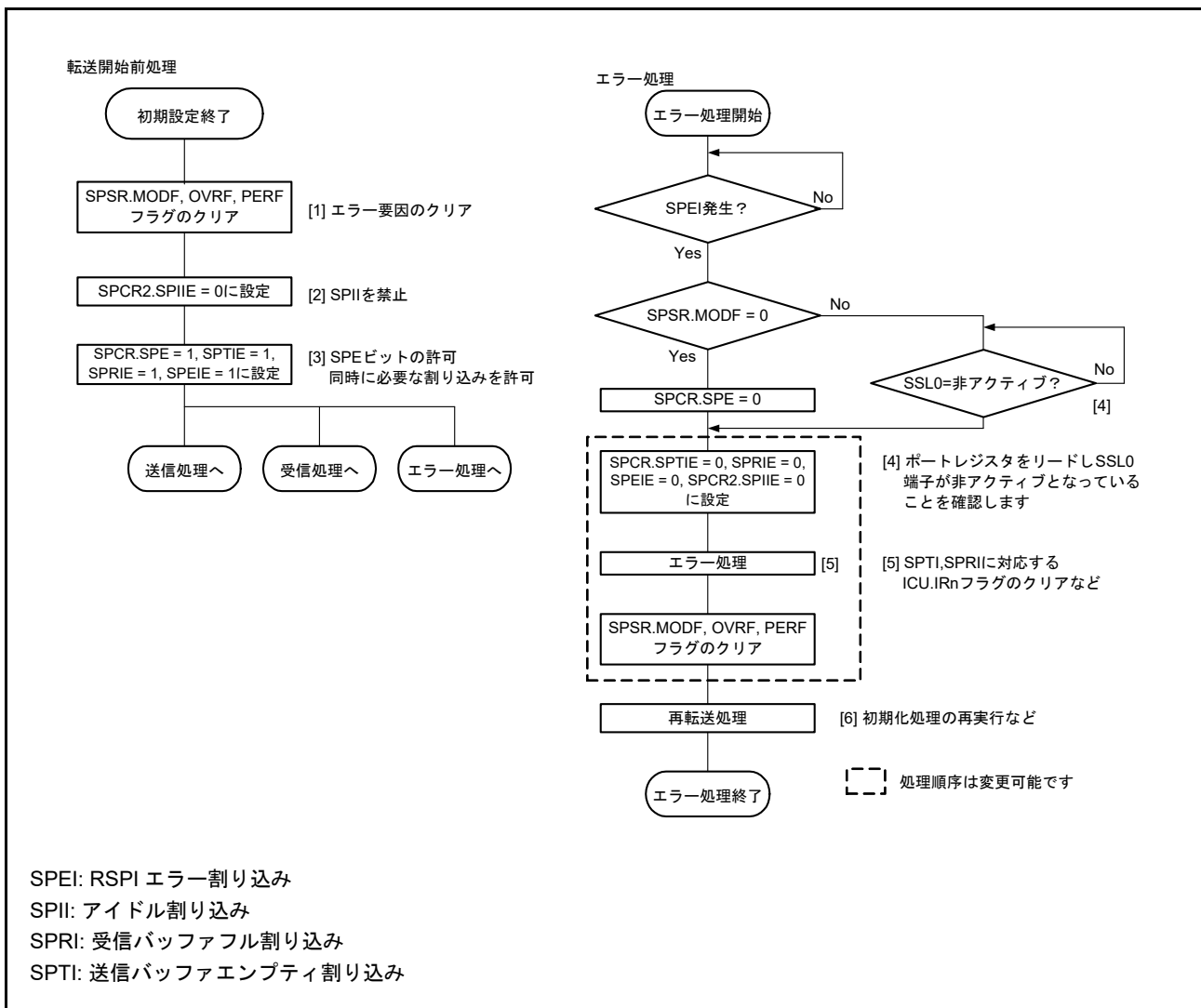


図 26.38 マスタモード時のフローチャート (エラー)

26.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSLy0入力信号のアサートを検出すると、MISOy出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“0”の場合には、SSLy0入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが“1”の場合には、RSPIはSSLy0入力信号のアサート状態で最初のRSPCKyエッジを検出すると、MISOy出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“1”の場合には、SSLy0信号アサート状態における最初のRSPCKyエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPIがMISOy出力信号のドライブを開始するタイミングは、SSLy0信号アサートタイミングです。CPHA ビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「26.3.5 転送フォーマット」を参照してください。SSLy0入力信号の極性は、SSLP.SSL0Pビットの設定値に依存します。

(y = 0, 1 (各チャンネルに対応))

(2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCKyエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSLy0入力信号のネゲートを検出するとモードフォルトエラーが発生します（「26.3.8 エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SP[3:0]ビットの設定値に依存します。SSLy0入力信号の極性は、SSLP.SSL0Pビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「26.3.5 転送フォーマット」を参照してください。

(y = 0, 1 (各チャンネルに対応))

(3) シングルスレーブ時の注意点

SPCMD0.CPHA ビットが“0”の場合には、RSPIはSSLy0入力信号のアサートエッジを検出するとシリアル転送を開始します。図26.7の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSLy0入力信号が常にアクティブ状態に固定されるため、CPHA ビットを“0”に設定したRSPIではシリアル転送を正しく開始できません。SSLy0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、CPHA ビットを“1”にしてください。CPHA ビットを“0”にする必要がある場合には、SSLy0入力信号を固定しないでください。

(y = 0, 1 (各チャンネルに対応))

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLy0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。CPHA ビットが“1”の場合には、SSLy0 入力信号アクティブ状態における最初の RSPCKy エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLy0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 26.39 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

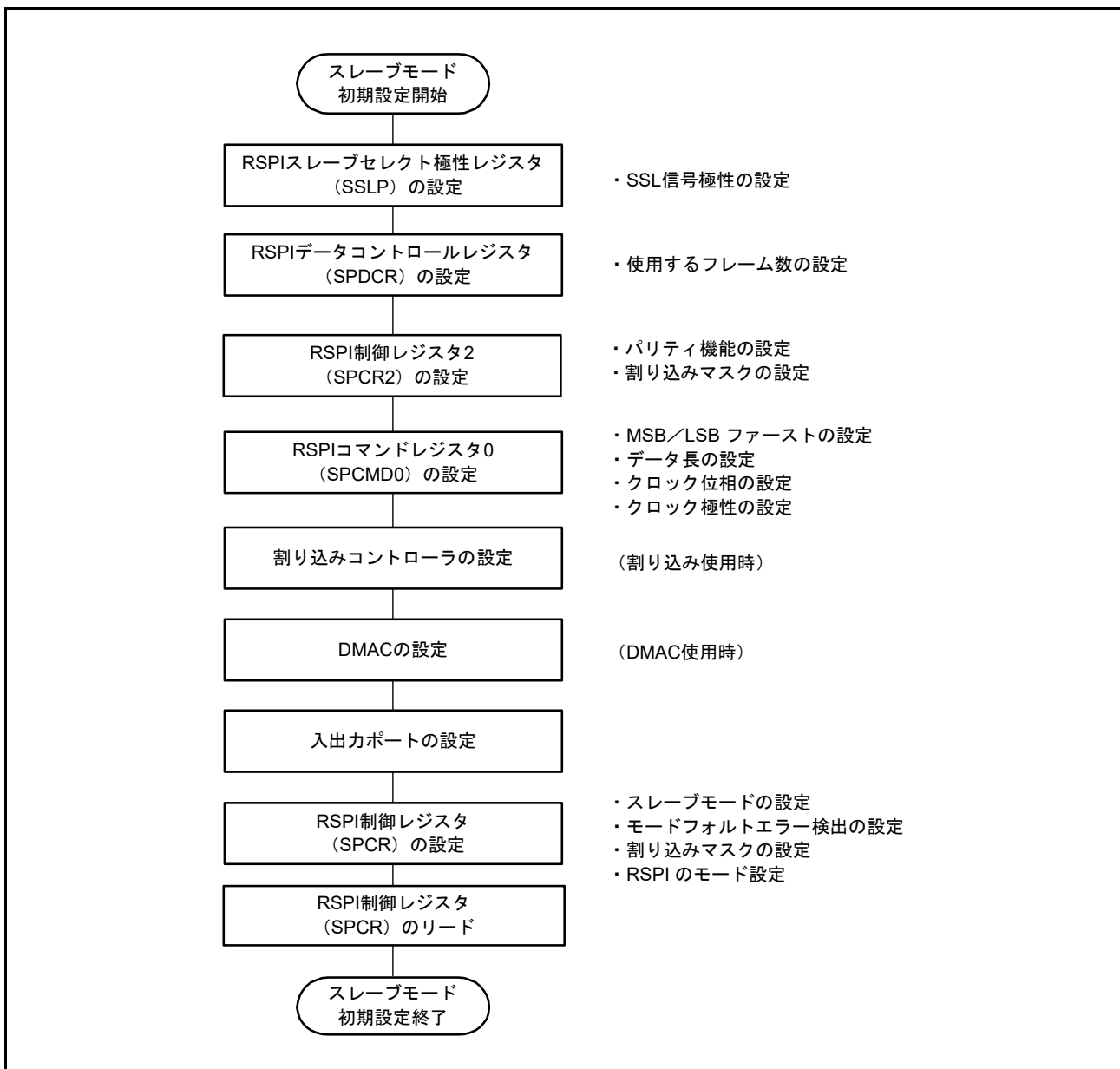


図 26.39 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 26.40 ~ 図 26.42 に示します。

(a) 送信処理フロー

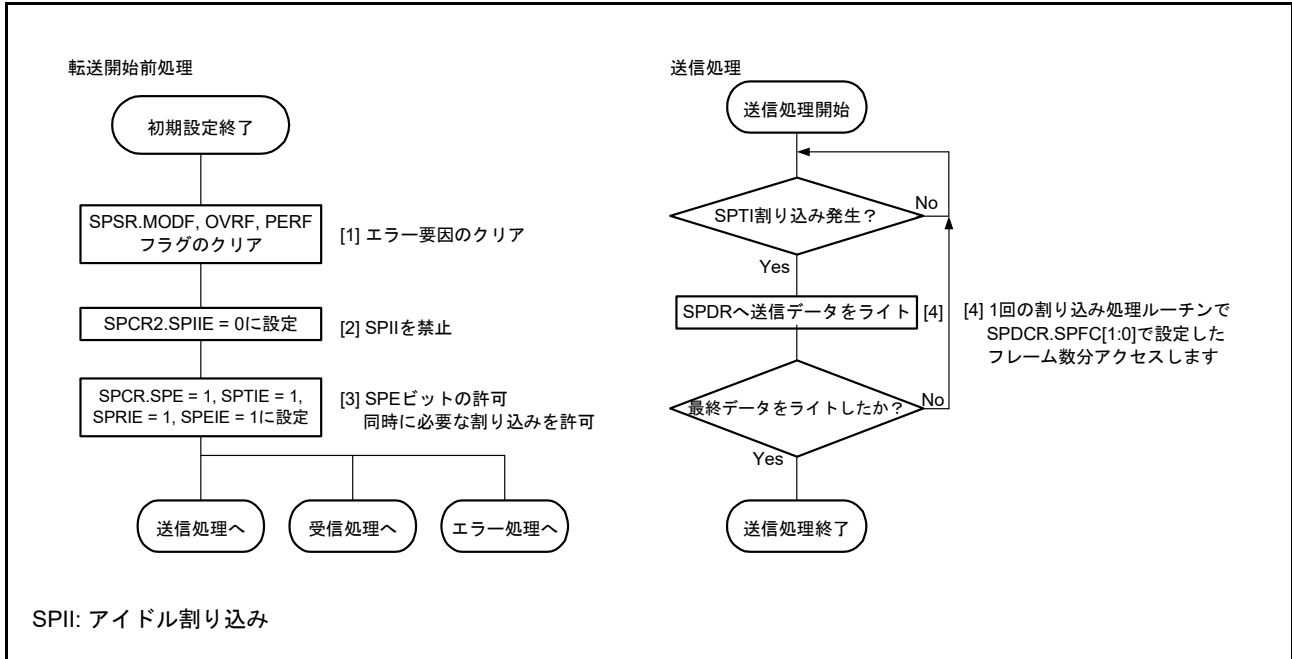


図 26.40 スレーブモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、常に送信を必要とします。

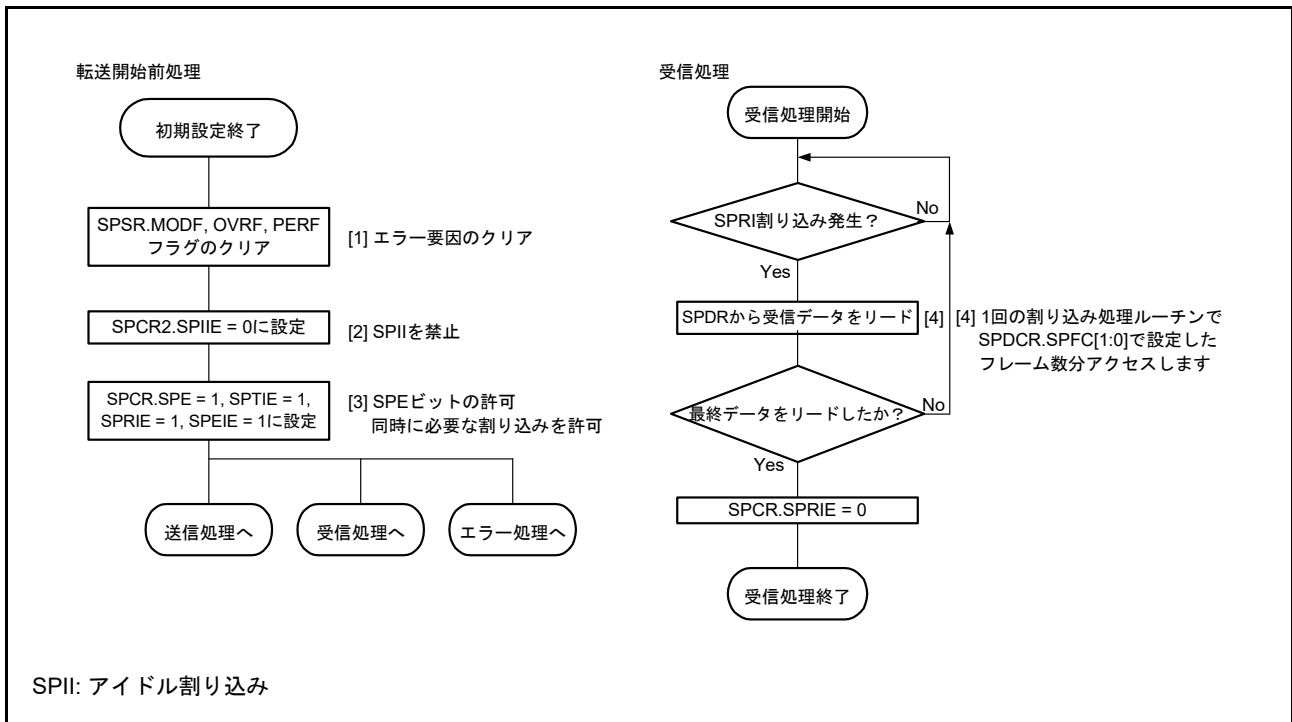


図 26.41 スレーブモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても端子を非アサートにせず、SPSR.MODF フラグをクリアすることができます。

エラー発生時は、割り込み要求フラグとして IRQ ステータスレジスタ (IRQSn) に送信バッファエンプティ割り込み (SPTI) または受信バッファフル割り込み (SPRI) 要求が保持されている可能性があるためエラー処理にて対応する IRQ ステータスレジスタ (IRQSn) のフラグをクリアしてください。また、受信バッファフル割り込み (SPRI) 要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

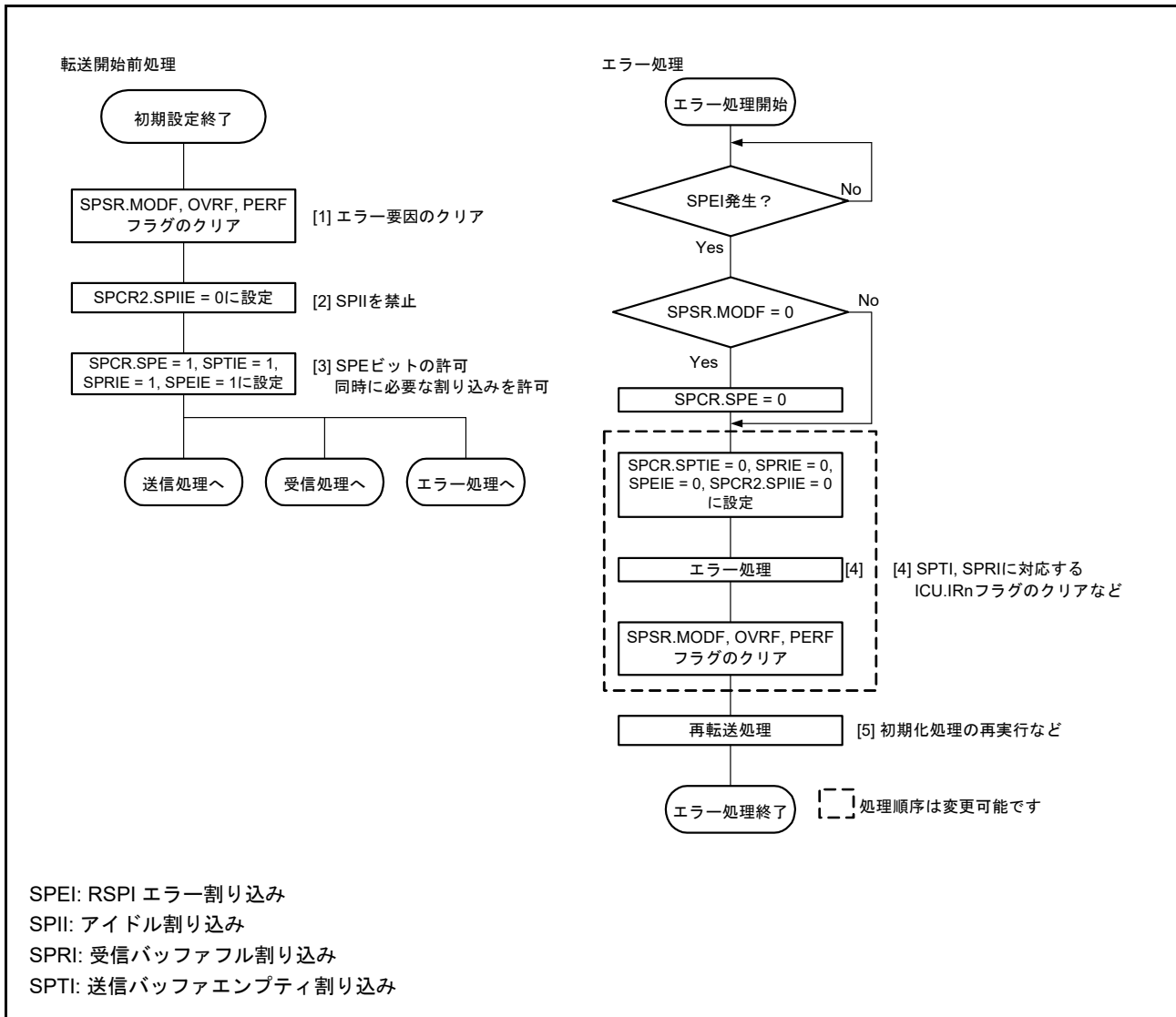


図 26.42 スレーブモード時のフローチャート (エラー処理)

26.3.11 クロック同期式動作

RSPIは、SPCR.SPMSビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLy_i端子を使用せず、RSPCK_y、MOSI_y、MISO_yの3本の端子を用いて通信を行い、SSLy_i端子はI/Oポートとして使用することができます。

クロック同期式動作は、SSLy_i端子を使用せず通信を行います。モジュール内部の動作はSPI動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI動作時と同様のフローで通信を行うことができますが、SSLy_i端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを“0”にした場合の動作はしないでください。

(i = 0 ~ 3、m = 0 ~ 7、y = 0, 1 (各チャンネルに対応))

26.3.11.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPIはSPDRレジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへSPDCR.SPFC[1:0]ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については、「26.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLy₀出力信号を用いずに通信を行います (y = 0, 1 (各チャンネルに対応))。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに対応するRSPCK_yエッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「26.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLy₀出力信号を用いずに通信を行います (y = 0, 1 (各チャンネルに対応))。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCRレジスタ、SPCMDmレジスタ、SPBRレジスタ、SPCKDレジスタ、SSLNDレジスタ、SPNDレジスタによって決定されます。クロック同期式動作時は、SSLy_i信号の出力を行いませんが、これらの設定は有効です。

SPSCRレジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDmレジスタには、SSLy_i出力信号値、MSB/LSBファースト、データ長、ビットレート設定の一部、RSPCK_y極性/位相、SPCKDレジスタの参照要否、SSLNDレジスタの参照要否、SPNDレジスタの参照要否が設定されています。SPBRレジスタにはビットレート設定の一部、SPCKDレジスタにはRSPIクロック遅延値、SSLNDレジスタにはSSLネゲート遅延、SPNDレジスタには次アクセス遅延値が設定されています。

RSPIは、SPSCRレジスタに設定されたシーケンス長にしたがって、SPCMDmレジスタの一部／全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDmレジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCCP[2:0]ビットの読み出しによって確認できます。SPCR.SPEビットが“1”でRSPI動作が許可された状態にすると、RSPIはコマンドに対するポインタをSPCMD0レジスタにセットし、シリアル転送の開始時にSPCMD0レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタをSPCMD0レジスタにセットするので、シーケンスは繰り返し実行されます。
($i=0\sim 3$, $m=0\sim 7$, $y=0,1$ (各チャンネルに対応))

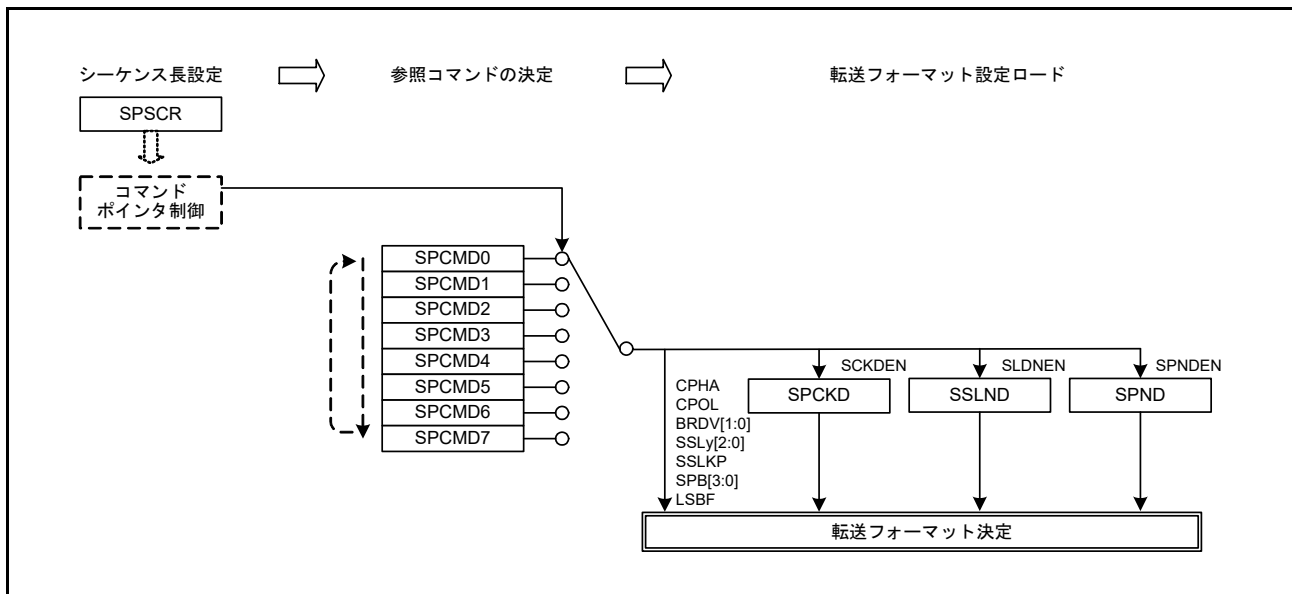


図 26.43 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします ($m=0\sim 7$)。

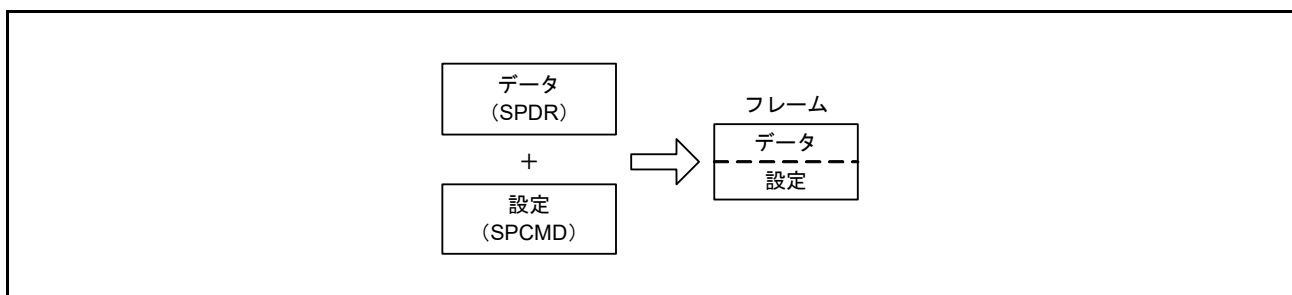


図 26.44 フレーム概念図

表 26.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ/受信バッファの関係を図 26.45 に示します。

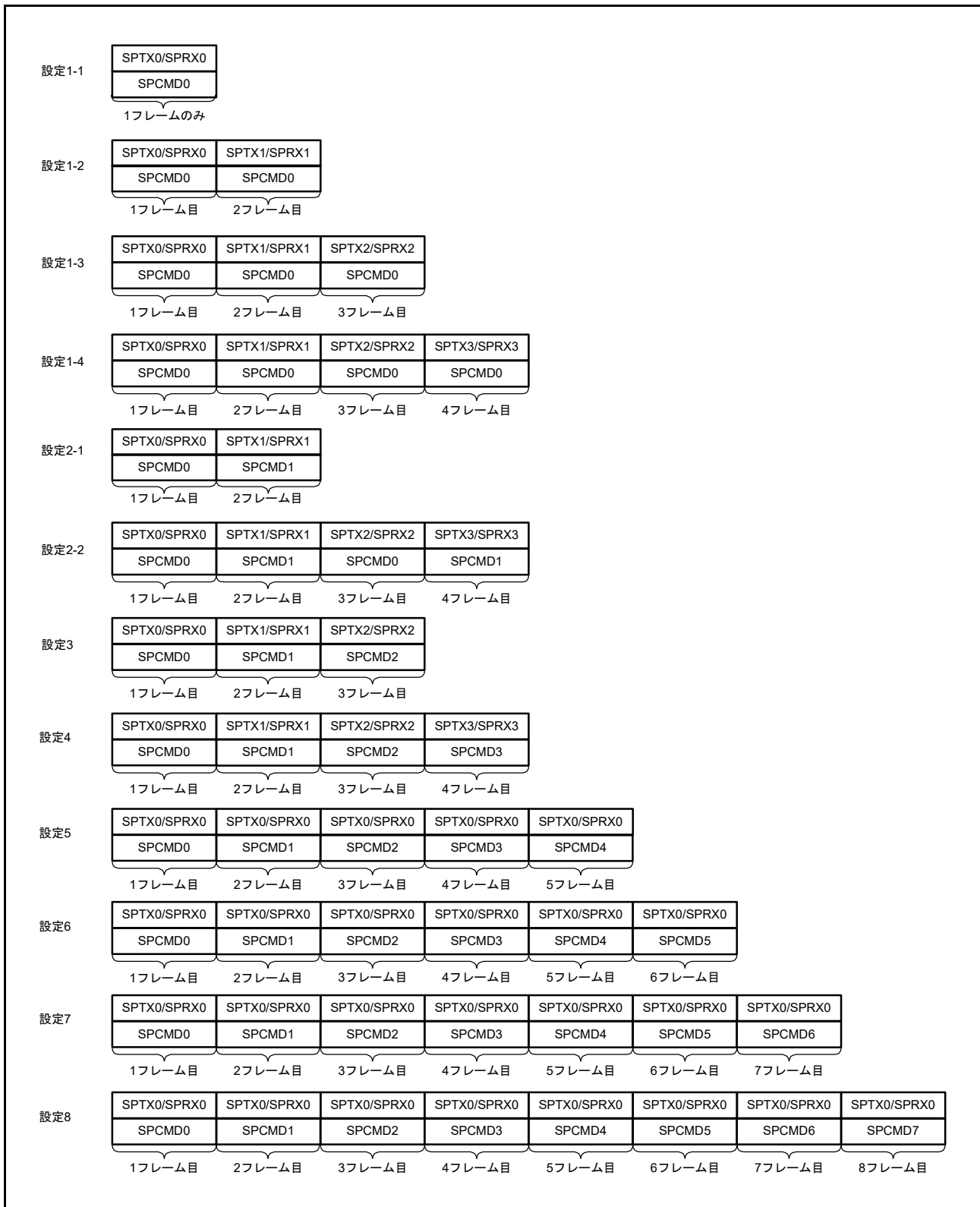


図 26.45 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 26.46 に、クロック同期式動作時の RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

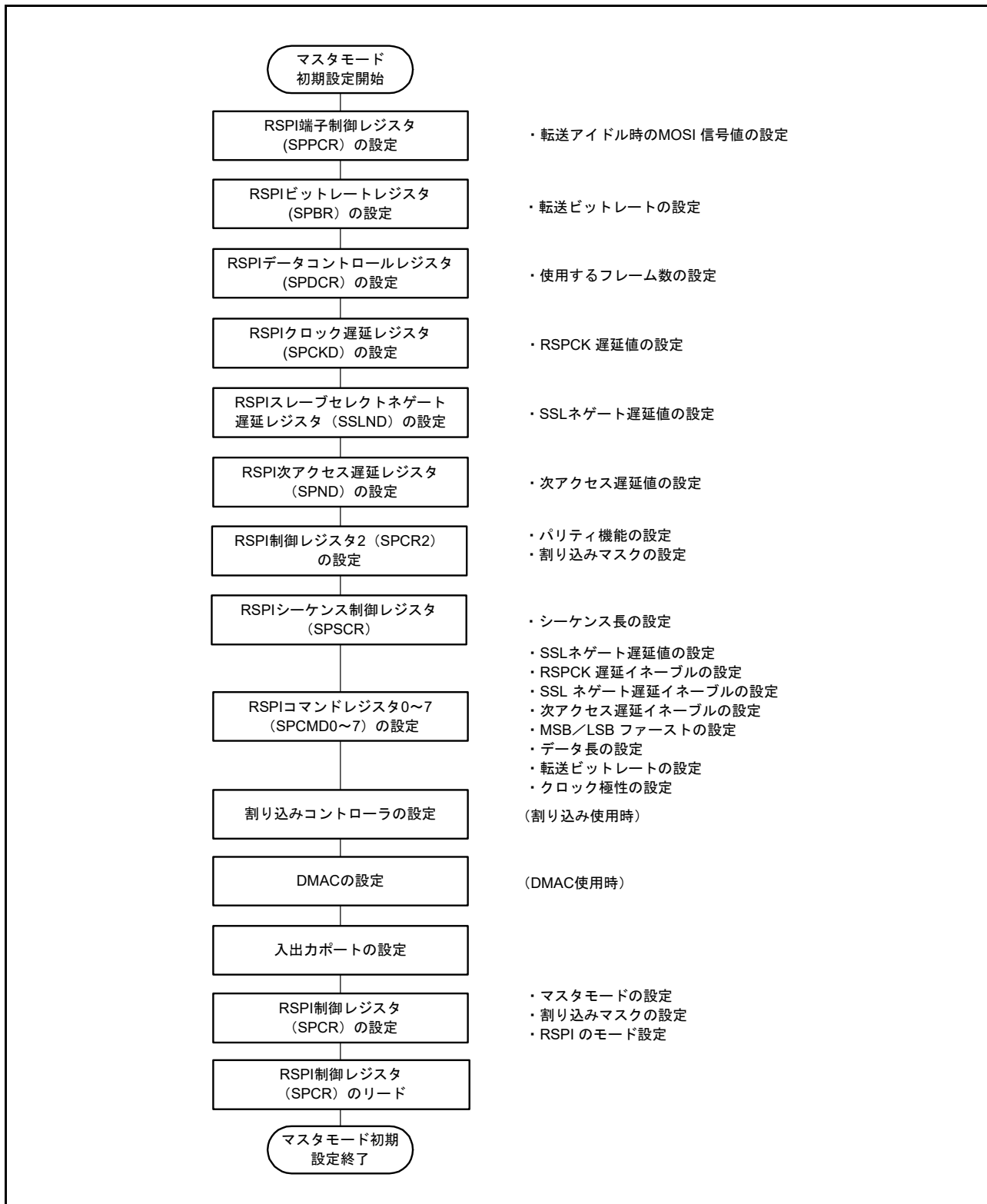


図 26.46 マスターモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「26.3.10.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

26.3.11.2 スレーブモード動作

(1) シリアル転送の開始

RSPIは、SPCR.SPMSビットが“1”であるとき、最初のRSPCK_yエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

SPMSビットが“1”であるときは、RSPIはMISO_y出力信号を常にドライブします。

なお、RSPIの転送フォーマットの詳細については、「26.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSL0入力信号を使用しません ($y=0, 1$ (各チャンネルに対応))。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCK_yエッジを検出するとシリアル転送を終了します。受信バッファが空の場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SP[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「26.3.5 転送フォーマット」を参照してください ($y=0, 1$ (各チャンネルに対応))。

(3) 初期化フロー

図 26.47 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

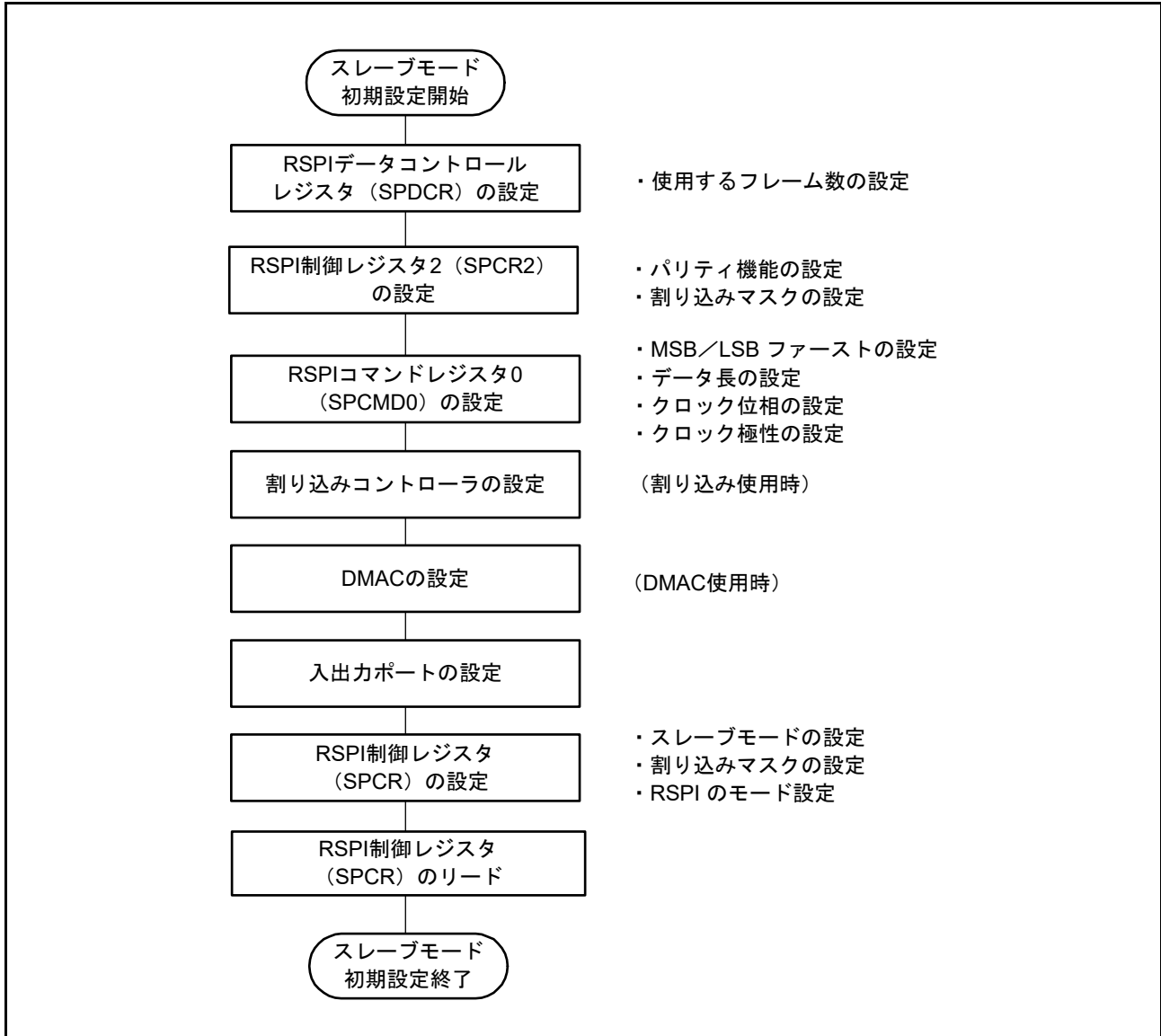


図 26.47 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「26.3.10.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

26.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPIは SPCR.MSTR ビットが“1”ならば、MISO_y 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSI_y 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSI_y 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISO_y 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 26.12 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 26.48 に、マスタモードの RSPI をループバックモード (SPPCR.SPLP2 = 0、SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します (y = 0, 1 (各チャンネルに対応))。

表 26.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSI _y 端子または MISO _y 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

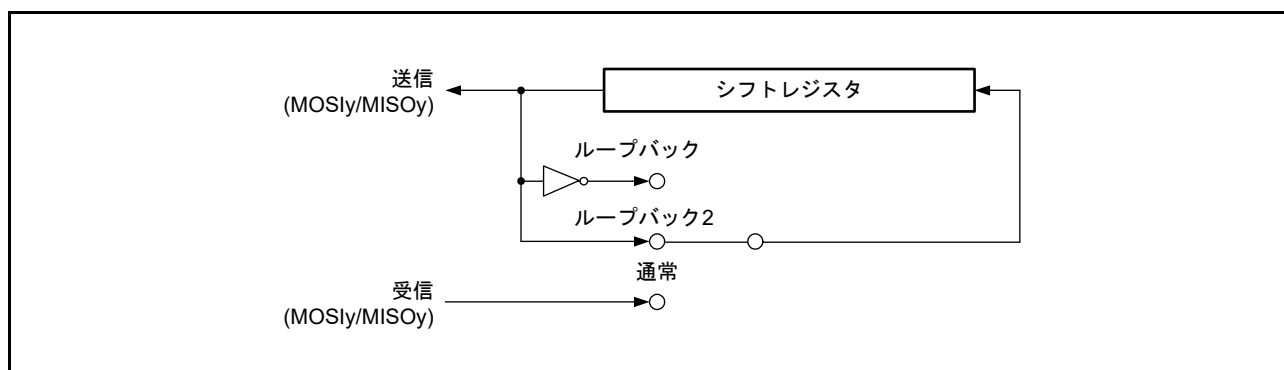


図 26.48 ループバックモード時のシフトレジスタ入出力構成 (マスタモード)

26.3.13 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 26.49 に示すフローにしたがい、パリティ回路の自己診断を行います。

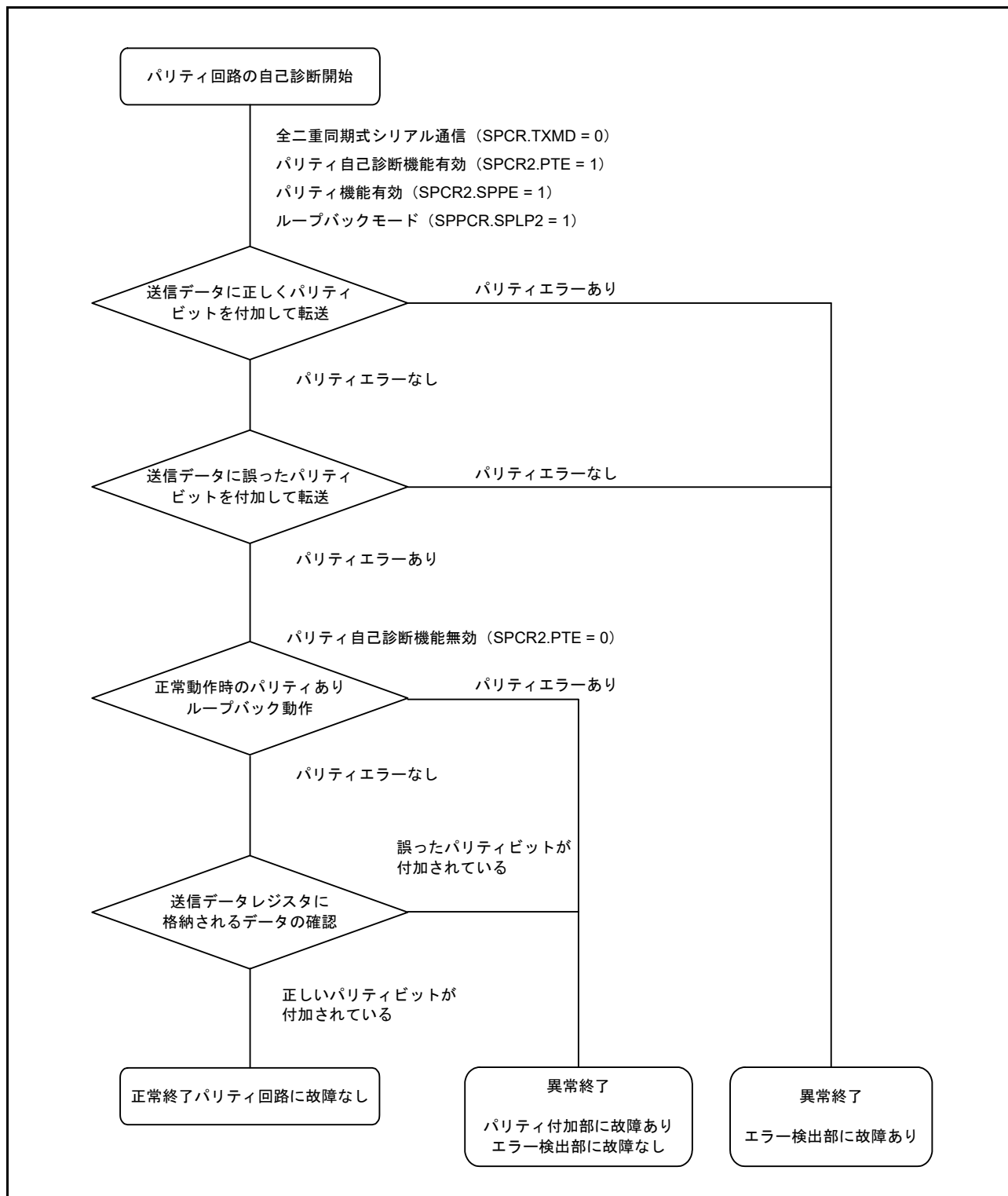


図 26.49 パリティ回路の自己判断フロー

26.3.14 割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバラン、パリティエラー、RSPI アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でDMAC を起動し、データ転送を行うことができます。

モードフォルト、オーバラン、パリティエラーの割り込み要求は共通のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表 26.13 に RSPI の割り込み要因を示します。表 26.13 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、許可状態にしてから RSPI の設定を行ってください。DMAC の設定方法は「14. DMA コントローラ (DMACAa)」を参照してください。

表 26.13 RSPIの割り込み要因

割り込み要因	略称	割り込み条件	DMAC 起動
受信バッファフル	SPRI	SPCR.SPRIE ビットが“1”の状態を受信バッファフルになったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIE ビットが“1”の状態を送信バッファエンプティになったとき	可能
RSPIエラー (モードフォルト、オーバラン、パリティエラー)	SPEI	SPCR.SPEIE ビットが“1”の状態でSPSR.MODF、OVRF、または PERF フラグが“1”になったとき	不可能
RSPIアイドル	SPII	SPCR2.SPIIE ビットが“1”の状態IDLNF フラグが“0”になったとき	不可能

26.4 イベントリンク機能によるリンク動作 (RSPI チャンネル 0 のみ)

イベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。イベントリンク出力信号は、対応する割り込み許可ビット (SPCR.SPEIE ビット、SPCR.SPTIE ビットおよび SPCR.SPRIE ビット) に依存せず出力します。

26.4.1 受信バッファフルイベント出力

シリアル転送が終了してシフトレジスタから SPDR レジスタに受信データを転送したときに、イベントを出力します。

26.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、また、SPCR.SPE ビットを“0”から“1”に変化させたときにイベントを出力します。

26.4.3 モードフォルト/オーバラン/パリティエラーイベント出力

(1) モードフォルト

表 26.14 にモードフォルトイベント出力の発生条件を示します。

表 26.14 モードフォルトイベント出力の発生条件

	SPCR.MODFEN ビット	SSLy0 端子 (y = 0, 1)	備考
マスタ (SPCR.MSTR ビットが“1”)	1	アクティブ	MSTR ビットが“1”かつ SPCR.MODFEN ビットが“1”のとき、SPCR.SPMS ビットが“0”では、モードフォルトエラーおよびオーバランエラー、パリティエラーイベント出力は使用できません。ELSRn レジスタに“52h”を設定しないでください。
スレーブ (SPCR.MSTR ビットが“0”)	1	非アクティブ	通信動作中に SSL0 端子が非アクティブになった場合のみイベント出力

(2) オーバラン

オーバランイベント出力の発生条件として、SPCR.TXMD ビットが“0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき、OVRF フラグが“1”となり、イベントを出力します。

(3) パリティエラー

パリティエラーイベント出力の発生条件として、SPCR の TXMD ビットが“0”、SPCR2 の SPPE ビットが“1”の状態ではシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

26.4.4 RSPI アイドルイベント出力

(1) マスタモード時

マスタモードのときは、IDLNF フラグ (RSPI アイドルフラグ) が “0” になる条件が成立したときイベントを出力します。

(2) スレーブモード時

スレーブモードのときは、SPCR の SPE ビットが “0” (RSPI 初期化) のとき、イベントを出力します。

26.4.5 送信完了イベント出力

SPI 動作、クロック同期式動作ともマスタモードのときは、IDLNF フラグ (RSPI アイドルフラグ) が “1” から “0” になる条件でイベントを出力します。

表 26.15 送信完了イベント出力の発生条件 (スレーブ)

	送信バッファ状態	シフトレジスタ状態	その他
SPI動作 (SPCR.SPMS = 0)	エンプティ	エンプティ	SSL0入力ネゲート
クロック同期式動作 (SPCR.SPMS = 1)	エンプティ	エンプティ	最終RSPCKのエッジ検出

マスタ/スレーブにかかわらず、送信動作中に SPCR.SPE ビットへの “0” の書き込み時、またはモードフォルトエラー発生による SPCR.SPE ビットのクリア時はイベントを出力しません。

26.5 使用上の注意事項

26.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止/許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「9. 消費電力低減機能」を参照してください。

26.5.2 消費電力低減機能の注意事項

モジュールストップ状態へ遷移する場合は、あらかじめ SPCR.SPE ビットを“0”に設定し通信を終了させてください。

26.5.3 通信の開始に関する注意事項

対応する IRQ ステータスレジスタ (IRQSn) の割り込み要求フラグが“1”で通信を開始すると、通信開始後に次の割り込み要求が発生して、モジュール内部で割り込み要求が保持されます。このため、割り込み要求フラグが予期しない挙動となる可能性があります。

通信開始時点で RSPI の割り込み要求に対応する要求フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順でモジュール内部および IRQ ステータスレジスタ (IRQSn) の割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) 対応する IRQ ステータスレジスタ (IRQSn) の割り込み要求フラグを“0”にする

27. SPI マルチ I/O バスコントローラ (SPIBSC)

SPI マルチ I/O バスコントローラは、SPI マルチ I/O バス空間に接続されたシリアルフラッシュに対し、制御信号を出力するバスコントローラです。これにより、シリアルフラッシュを直接接続することができます。

本 LSI は 1 チャンネルの SPI マルチ I/O バスコントローラを備えています。

27.1 概要

本モジュールは、SPI マルチ I/O バス空間に接続したシリアルフラッシュに対し、直接リードおよび SPI 動作モードによるデータの送受信を行うことができます。表 27.1 に SPIBSC の仕様を示します。

表 27.1 SPIBSC の仕様

項目	内容
シリアルフラッシュ インタフェース	<ul style="list-style-type: none"> シリアルフラッシュを 1 個接続可能 データバス幅を 1 ビット、2 ビット、4 ビットから選択可能
外部アドレス空間リード モード	<ul style="list-style-type: none"> アドレス空間を最大 4G バイトまでサポート アクセスアドレスをモニタすることにより、SPBSSL 端子の自動制御が可能 リードキャッシュ内蔵 (ラインサイズ 64 ビット × 16 エントリ) により、効率の良いデータ受信が可能
SPI 動作モード	<ul style="list-style-type: none"> シリアルフラッシュに対し、任意のリード/ライト動作が可能
ビットレート	<ul style="list-style-type: none"> 内部ポーレートジェネレータで PCLKA を分周して SPBCLK を生成 SPBCLK 分周比を 2 ~ 4080 で設定可能
SPBSSL 端子制御	<ul style="list-style-type: none"> SPBSSL 信号のアクティブから SPBCLK 動作までの遅延 (クロック遅延) を設定可能 設定範囲: 1 ~ 8SPBCLK 設定単位: 1SPBCLK SPBCLK 停止から SPBSSL 出力のインアクティブまでの遅延 (SPBSSL ネグート遅延) を設定可能 設定範囲: 1.5 ~ 8.5SPBCLK 設定単位: 1SPBCLK 次のアクセスの SPBSSL 出力のウェイト (次アクセス遅延) を設定可能 設定範囲: 1 ~ 8SPBCLK 設定端子: 1SPBCLK SPBSSL 極性変更可能

図 27.1 に本モジュールのブロック図を示します。

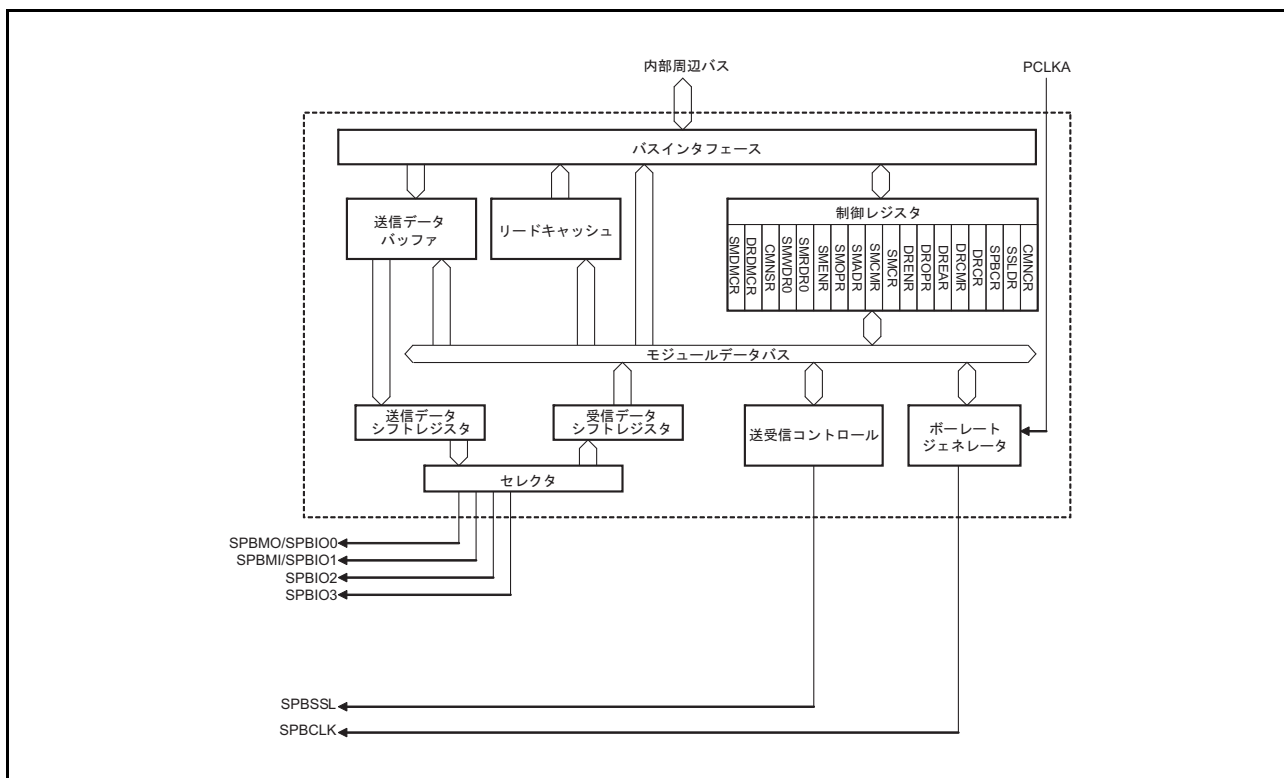


図 27.1 SPIBSC のブロック図

表 27.2 に本モジュールの入出力端子を示します。

表 27.2 SPIBSCの入出力端子

名称	端子名	入出力	機能
クロック端子	SPBCLK	出力	クロック出力
スレーブセレクト端子	SPBSSL	出力	スレーブセレクト
ポートデータ 0 端子	SPBMO/SPBIO0	入出力	ポートマスタ送出データ / データ 0
ポートデータ 1 端子	SPBBI/SPBIO1	入出力	ポートマスタ入力データ / データ 1
ポートデータ 2 端子	SPBIO2	入出力	ポートデータ 2
ポートデータ 3 端子	SPBIO3	入出力	ポートデータ 3

27.2 レジスタの説明

27.2.1 共通コントロールレジスタ (CMNCR)

CMNCR レジスタは、SPI マルチ I/O バスコントローラの制御を行う 32 ビットのレジスタです。本レジスタの設定は、外部アドレス空間リード / SPI 動作モード両方に反映されます。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MD	—	—	—	—	—	—	SFDE	MOIIIO3[1:0]	MOIIIO2[1:0]	MOIIIO1[1:0]	MOIIIO0[1:0]				
リセット後の値	0	0	0	0	0	0	0	1	1	0	1	0	1	0	1	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IO3FV[1:0]	IO2FV[1:0]	—	—	IO0FV[1:0]	—	CPHAT	CPHAR	SSLP	CPOL	—	BSZ[1:0]				
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W															
b1-b0	BSZ[1:0]	データバス幅指定	接続するシリアルフラッシュの数を指定します。本製品では、1個のみ接続可能なため、00b以外に設定しないでください。他の値を設定した場合の動作は保証しません。 b1 b0 00 : 1個 01 : 設定禁止 1X : 設定禁止	R/W															
b2	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W															
b3	CPOL	SPBSSLネゲート期間SPBCLK出力方向	SPBSSL信号がインアクティブ期間のSPBCLK端子の出力レベルを設定します。 0 : SPBSSL信号がインアクティブ時SPBCLK端子は0出力 1 : SPBSSL信号がインアクティブ時SPBCLK端子は1出力	R/W															
b4	SSLP	SPBSSL信号極性設定	SPBSSL信号の極性を設定します。 0 : SPBSSL信号はLowアクティブ 1 : SPBSSL信号はHighアクティブ	R/W															
b5	CPHAR	入力ラッチ設定	受信データに対するSPBCLK信号のエッジを設定します。CPHATビットと本ビットの設定は以下の表にしたがってください。 0 : 奇数エッジでデータ受信 1 : 偶数エッジでデータ受信 CPHATビットとCPHARビットの設定値 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CPHAT</th><th>CPHAR</th><th></th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>設定可</td></tr> <tr> <td>0</td><td>1</td><td>設定可</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td>設定可</td></tr> </tbody> </table>	CPHAT	CPHAR		0	0	設定可	0	1	設定可	1	0	設定禁止	1	1	設定可	R/W
CPHAT	CPHAR																		
0	0	設定可																	
0	1	設定可																	
1	0	設定禁止																	
1	1	設定可																	
b6	CPHAT	出力シフト設定	データ送信に対するSPBCLK信号のエッジを設定します。本ビットとCPHARビットの設定はCPHARビットの説明にしたがってください。 0 : 偶数エッジでデータ送信 1 : 奇数エッジでデータ送信	R/W															

ビット	シンボル	ビット名	機能	R/W
b7	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b9-b8	IO0FV[1:0]	1ビット幅入力時SPBIO0固定値	1ビット幅入力時のSPBIO0端子の出力値を固定します。 b9 b8 00: 出力値は0固定 01: 出力値は1固定 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b11-b10	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b13-b12	IO2FV[1:0]	1ビット/2ビット幅時SPBIO2固定値	1ビット/2ビット幅時のSPBIO2端子の出力値を固定します。 b13 b12 00: 出力値は0固定 01: 出力値は1固定 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b15-b14	IO3FV[1:0]	1ビット/2ビット幅時SPBIO3固定値	1ビット/2ビット幅時のSPBIO3端子の出力値を固定します。 b15 b14 00: 出力値は0固定 01: 出力値は1固定 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b17-b16	MOIIO0[1:0]	SPBSSLアイドル時SPBIO0固定値	SPBSSL信号のインアクティブ期間のSPBIO0端子の出力値を固定します。 b17 b16 00: 出力値は0 01: 出力値は1 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b19-b18	MOIIO1[1:0]	SPBSSLアイドル時SPBIO1固定値	SPBSSL信号のインアクティブ期間のSPBIO1端子の出力値を固定します。 b19 b18 00: 出力値は0 01: 出力値は1 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b21-b20	MOIIO2[1:0]	SPBSSLアイドル時SPBIO2固定値	SPBSSL信号のインアクティブ期間のSPBIO2端子の出力値を固定します。 b21 b20 00: 出力値は0 01: 出力値は1 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b23-b22	MOIIO3[1:0]	SPBSSLアイドル時SPBIO3固定値	SPBSSL信号のインアクティブ期間のSPBIO3端子の出力値を固定します。 b23 b22 00: 出力値は0 01: 出力値は1 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b24	SFDE	シリアルフラッシュデータスワップ設定	シリアルフラッシュのデータのスワップを設定します。 0: スワップしない 1: 8ビット単位でスワップ 詳細は「27.3.4 データアライメント」を参照してください。	R/W
b30-b25	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b31	MD	動作モード切り替え	動作モードの切り替えを行います。 0 : 外部アドレス空間リードモード 1 : SPI動作モード	R/W

27.2.2 SSL 遅延レジスタ (SSLDR)

SSLDR レジスタは、SPBSSL 信号と SPBCLK 信号間のタイミング調整を行う 32 ビットのレジスタです。本レジスタの設定は、外部アドレス空間リード / SPI 動作モード両方に反映されます。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	SPNDL[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	SLNDL[2:0]		—	—	—	—	—	—	SCKDL[2:0]			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1	

ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	クロック遅延設定	SPBSSL 信号のアクティブから SPBCLK 信号からクロックが出力されるまでの期間 (クロック遅延) を設定します。 b2 b0 000 : 1SPBCLK 001 : 2SPBCLK 010 : 3SPBCLK 011 : 4SPBCLK 100 : 5SPBCLK 101 : 6SPBCLK 110 : 7SPBCLK 111 : 8SPBCLK	R/W
b7-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b10-b8	SLNDL[2:0]	SPBSSL ネゲート遅延設定	転送最終時の SPBCLK 信号エッジを送出してから SPBSSL 信号をインアクティブにするまでの期間 (SPBSSL ネゲート遅延) を設定します。 b10 b8 000 : 1.5SPBCLK 001 : 2.5SPBCLK 010 : 3.5SPBCLK 011 : 4.5SPBCLK 100 : 5.5SPBCLK 101 : 6.5SPBCLK 110 : 7.5SPBCLK 111 : 8.5SPBCLK	R/W
b15-b11	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b18-b16	SPNDL[2:0]	次アクセス遅延設定	転送終了から次の転送開始までの期間 (次アクセス) を設定します。 b18 b16 000 : 1SPBCLK 001 : 2SPBCLK 010 : 3SPBCLK 011 : 4SPBCLK 100 : 5SPBCLK 101 : 6SPBCLK 110 : 7SPBCLK 111 : 8SPBCLK	R/W
b31-b19	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

27.2.3 ビットレート設定レジスタ (SPBCR)

SPBCR レジスタは、ビットレートを設定する 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード / SPI 動作モード両方に反映されます。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16			
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0			
	SPBR[7:0]											—	—	—	—	—	—	BRDV[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1		

ビット	シンボル	ビット名	機能	R/W
b1-b0	BRDV[1:0]	ビットレート分周設定	ビットレートを設定します。ビットレートは SPBR[7:0] ビットとの組み合わせで決まります。SPBR ビットの設定値で、ベースとなるビットレートを決定します。本ビットは、ベースのビットレートに対して分周なし / 2分周 / 4分周 / 8分周を選択するために使用します。 b1 b0 00 : ベースのビットレートを選択 01 : ベースのビットレートの2分周を選択 10 : ベースのビットレートの4分周を選択 11 : ベースのビットレートの8分周を選択	R/W
b7-b2	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b15-b8	SPBR[7:0]	ビットレート設定	ビットレートを設定します。ビットレートは BRDV[1:0] ビットとの組み合わせで決まります。ビットレート設定の詳細は「表 27.3 SPBR[7:0]、BRDV[1:0] ビットの設定例とビットレート」を参照してください。	R/W
b31-b16	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

(1) ビットレート

SPBR[7:0]、BRDV[1:0] ビットでビットレートを設定します。

SPBR[7:0] ≠ 0 のときのビットレートの計算式は以下のようになります。

式中の n は SPBR[7:0] の設定値 (1, ...255)、N は BRDV[1:0] の設定値 (0 ~ 3) です。

$$\text{ビットレート} = \text{PCLKA} / (2 \times n \times 2^N)$$

SPBR[7:0] = 0 のときのビットレートの計算式は以下のようになります。

$$\text{ビットレート} = \text{PCLKA} / 2^N$$

また、SPBR[7:0] = 0 かつ BRDV[1:0] = 0 の設定は禁止です。

表 27.3 SPBR[7:0]、BRDV[1:0] ビットの設定例とビットレート

SPBR[7:0]の 設定値 (n)	BRDV[1:0]の 設定値 (N)	分周比	ビットレート
			PCLKA = 150MHz
0	0	1	設定禁止
0	1	2	75Mbps
0	2	4	37.5Mbps
0	3	8	18.75Mbps
1	0	2	75Mbps
2	0	4	37.5Mbps
3	0	6	25Mbps
4	0	8	18.75Mbps
5	0	10	15Mbps
6	0	12	12.5Mbps
6	1	24	6.25Mbps
6	2	48	3.13Mbps
6	3	96	1.56Mbps
255	3	4080	36.76kbps

注. ビットレートは本モジュールのAC特性を満たせる範囲で設定してください。

27.2.4 データリードコントロールレジスタ (DRCR)

DRCR レジスタは、外部アドレス空間リードモード時の動作を設定する 32 ビットのレジスタです。

SSLN ビット以外は、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 500Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	SSLN	—	—	—	—	RBURST[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RCF	RBE	—	—	—	—	—	—	—	SSLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSLE	SPBSSLネゲート設定	リードバースト時の SPBSSL 信号のインアクティブ条件を設定します。 通常リード時はアクセスごとに SPBSSL 信号をインアクティブにします。 0: バースト長で設定されたデータ転送終了ごとに SPBSSL 信号をインアクティブにします。 1: アクセスしたアドレスが前回転送のアドレスから連続していないときに SPBSSL 信号をインアクティブにします。	R/W
b7-b1	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b8	RBE	リードバースト	バーストリードの ON/OFF を設定します。 0: アクセスサイズに応じてリードします。 1: リードキャッシュが有効となり、RBURST[3:0] ビットに指定されたバースト数分リードします。	R/W
b9	RCF	リードキャッシュフラッシュ	本ビットに1を書き込むと、リードキャッシュの全エントリをクリアします。 読み出すと常に0が読めます。 注. 本ビットに1を書き込み、リードキャッシュをクリアした場合、DRCR レジスタの内容を読み出した後に外部アドレス空間をリードしてください。	R/W
b15-b10	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b19-b16	RBURST[3:0]	リードデータバースト長	リード時のバースト長を設定します。 本レジスタの RBE ビット = “1” にセットしたときに有効になります。 b19 b16 0000: 1データ長連続 0001: 2データ長連続 : 1110: 15データ長連続 1111: 16データ長連続 1データ長は64ビットです。	R/W
b23-b20	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b24	SSLN	SPBSSL ネゲート	本レジスタのRBEビット="1"かつSSLEビット="1"の設定のとき、本ビットに1ライトすることにより、アクティブになっているSPBSSL信号をインアクティブにします。 読み出すと常に0が読めます。 注. 本ビットでSPBSSL信号をインアクティブにした後、次のアクセスを始める場合、CMNSRレジスタのSSLFビット=0をリードしてSPBSSL信号がインアクティブになったことを確認してください。	R/W
b31-b25	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

27.2.5 データリードコマンド設定レジスタ (DRCMR)

DRCMR レジスタは、外部アドレス空間リードモード時に発行するコマンドを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ="1" のときに変更してください。CMNSR レジスタの TEND フラグ="0" 時に変更した場合の動作は保証しません。

アドレス A000 5010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	CMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	OCMD[7:0]	オプションコマンド	オプションコマンドを設定します。	R/W
b15-b8	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b23-b16	CMD[7:0]	コマンド	コマンドを設定します。詳細については、使用されるシリアルフラッシュをご確認ください。	R/W
b31-b24	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

27.2.6 データリード拡張アドレス設定レジスタ (DREAR)

DREAR レジスタは、シリアルフラッシュのアドレスを 32 ビットで出力するときのアドレス設定レジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—					EAV[7:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	EAC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

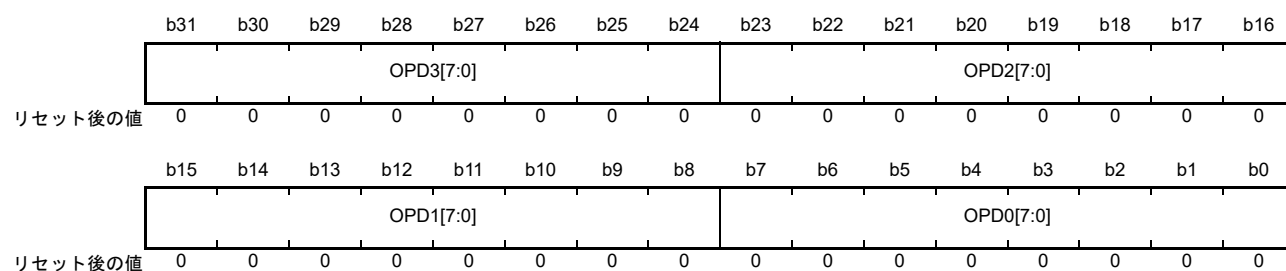
ビット	シンボル	ビット名	機能	R/W
b2-b0	EAC[2:0]	32 ビット拡張外部アドレス有効範囲設定	シリアルフラッシュのアドレスを 32 ビットで出力する場合、シリアルフラッシュのアドレスとして使用する外部アドレスの範囲を設定します。 この設定は DRENRE レジスタの ADE[3] ビット = 1 のときのみ有効です。 b2 b0 000 : 外部アドレスのビット [24:0] が有効 001 : 外部アドレスのビット [25:0] が有効 上記以外 : 設定禁止	R/W
b15-b3	—	予約ビット	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	R/W
b23-b16	EAV[7:0]	32 ビット拡張上位アドレス固定値設定	シリアルフラッシュのアドレスを 32 ビットで出力する場合、本レジスタの EAC[2:0] ビットで設定した外部アドレスの上位アドレスを本ビットに設定します。 ビット 0 がシリアルフラッシュのアドレスビット [25] に対応し、ビット 7 がビット [32] に対応します。 この設定は DRENRE レジスタの ADE[3] ビット = 1 のときのみ有効です。 EAC[2:0] = 000 のとき、シリアルフラッシュのアドレス [32:25] を EAV[7:0] に設定します。 EAC[2:0] = 001 のとき、シリアルフラッシュのアドレス [32:26] を EAV[7:1] に設定します。	R/W
b31-b24	—	予約ビット	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	R/W

27.2.7 データリードオプション設定レジスタ (DROPR)

DROPR レジスタは、外部アドレス空間リードモード時のオプションデータを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5018h



ビット	シンボル	ビット名	機能	R/W
b7-b0	OPD0[7:0]	オプションデータ 0	オプションデータ 0 を設定します。	R/W
b15-b8	OPD1[7:0]	オプションデータ 1	オプションデータ 1 を設定します。	R/W
b23-b16	OPD2[7:0]	オプションデータ 2	オプションデータ 2 を設定します。	R/W
b31-b24	OPD3[7:0]	オプションデータ 3	オプションデータ 3 を設定します。	R/W

注. 出力の順番は OPD3 → OPD2 → OPD1 → OPD0 です。

27.2.8 データリードイネーブル設定レジスタ (DRENr)

DRENr レジスタは、外部アドレス空間リードモード時のコマンド/オプションコマンド/アドレス/オプションデータ/リードデータのビット幅、およびリードデータ以外の出力イネーブルを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 501Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CDB[1:0]		OCDB[1:0]		—	—	ADB[1:0]		—	—	OPDB[1:0]		—	—	DRDB[1:0]	
リセット後の値															
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DME	CDE	—	OCDE	ADE[3:0]			OPDE[3:0]			—	—	—	—		
リセット後の値															
0 1 0 0 0 1 1 1 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b7-b4	OPDE[3:0]	オプションデータイネーブル	オプションデータ出力を設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b7 b4 0000 : 出力しない 1000 : OPD3を出力 1100 : OPD3、OPD2を出力 1110 : OPD3、OPD2、OPD1を出力 1111 : OPD3、OPD2、OPD1、OPD0を出力 上記以外 : 設定禁止	R/W
b11-b8	ADE[3:0]	アドレスイネーブル	アドレス出力を設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b11 b8 0000 : 出力しない 0111 : Address[23:0]を出力 1111 : Address[31:0]を出力 上記以外 : 設定禁止	R/W
b12	OCDE	オプションコマンドイネーブル	オプションコマンド出力を設定します。 0 : 出力しない 1 : 出力する	R/W
b13	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b14	CDE	コマンドイネーブル	コマンド出力を設定します。 0 : 出力しない 1 : 出力する	R/W
b15	DME	ダミーサイクルイネーブル	ダミーサイクル挿入を設定します。 ダミーサイクルはリードデータの前に挿入されます。 注. 転送がダミーサイクルから始まる設定は禁止です。 0 : 挿入しない 1 : 挿入する	R/W

ビット	シンボル	ビット名	機能	R/W
b17-b16	DRDB[1:0]	データリードビット幅	データリードのビット幅を設定します。 b17 b16 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W
b19-b18	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b21-b20	OPDB[1:0]	オプションデータビット幅	オプションデータのビット幅を設定します。 b21 b20 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W
b23-b22	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b25-b24	ADB[1:0]	アドレスビット幅	アドレスのビット幅を設定します。 b25 b24 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W
b27-b26	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b29-b28	OCDB[1:0]	オプションコマンドビット幅	オプションコマンドのビット幅を設定します。 b29 b28 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W
b31-b30	CDB[1:0]	コマンドビット幅	コマンドのビット幅を設定します。詳細については、使用されるシリアルフラッシュをご確認ください。 b31 b30 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W

27.2.9 SPI モードコントロールレジスタ (SMCR)

SMCR レジスタは、SPI 動作モードの動作を設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SSLKP	—	—	—	—	—	SPIRE	SPIWE	SPIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

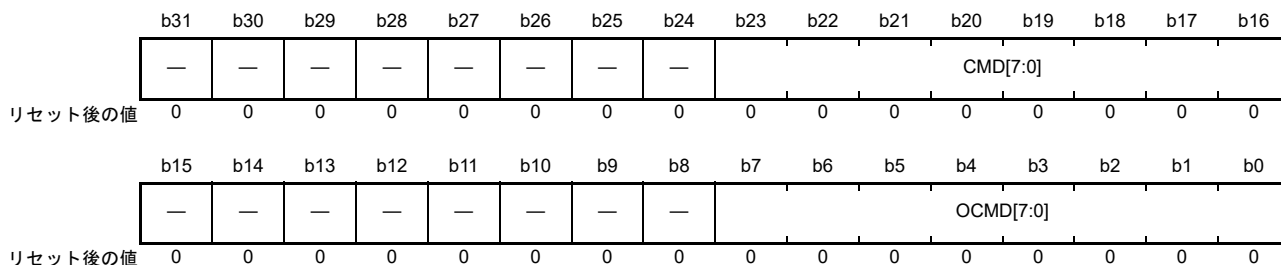
ビット	シンボル	ビット名	機能	R/W
b0	SPIE	SPI データ転送イネーブル	本ビットに1をセットすることにより、データ転送を行います。 CMNSR レジスタの TEND ビット = “1” 時のみ有効です。CMNSR レジスタの TEND ビット = “0” 時に、1 をセットした場合の動作は保証しません。 読み出すと常に0が読めます。 注. SPBSSL 信号がインアクティブのときは SPIRE、SPIWE ビット = “0” でも、DRENDR レジスタで出力に設定したコマンド/オプションコマンド/アドレス/オプションデータは出力されません。 SPBSSL 信号がアクティブのときは「27.4.2 SPI 動作モードの SPBSSL 信号保持状態からの転送開始の注意事項」にしたがってください。	R/W
b1	SPIWE	データライトイネーブル	SPI 動作モード時のライト動作を設定します。 0 : データライトしない 1 : データライトする 注. SPIDB[1:0] ビットで転送データビット幅を2ビットまたは4ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に1に設定しないでください。	R/W
b2	SPIRE	データリードイネーブル	SPI 動作モード時のリード動作を設定します。 0 : データリードしない 1 : データリードする 注. SPIDB[1:0] ビットで転送データビット幅を2ビットまたは4ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に1に設定しないでください。	R/W
b7-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b8	SSLKP	SPBSSL 信号レベル保持	転送終了後の SPBSSL 信号の状態を決定します。 0 : 転送終了時に SPBSSL 信号をインアクティブ 1 : 転送終了後から次アクセス開始まで SPBSSL 信号レベルを保持	R/W
b31-b9	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

27.2.10 SPI モードコマンド設定レジスタ (SMCMR)

SMCMR レジスタは、SPI 動作モード時に発行するコマンドを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5024h



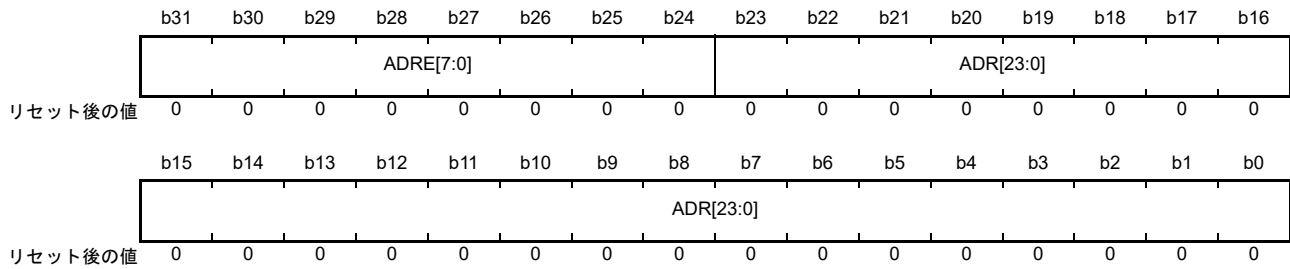
ビット	シンボル	ビット名	機能	R/W
b7-b0	OCMD[7:0]	オプションコマンド	オプションコマンドを設定します。	R/W
b15-b8	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b23-b16	CMD[7:0]	コマンド	コマンドを設定します。詳細については、使用されるシリアルフラッシュをご確認ください。	R/W
b31-b24	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

27.2.11 SPI モードアドレス設定レジスタ (SMADR)

SMADR レジスタは、SPI 動作モード時のシリアルフラッシュのアドレスを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5028h



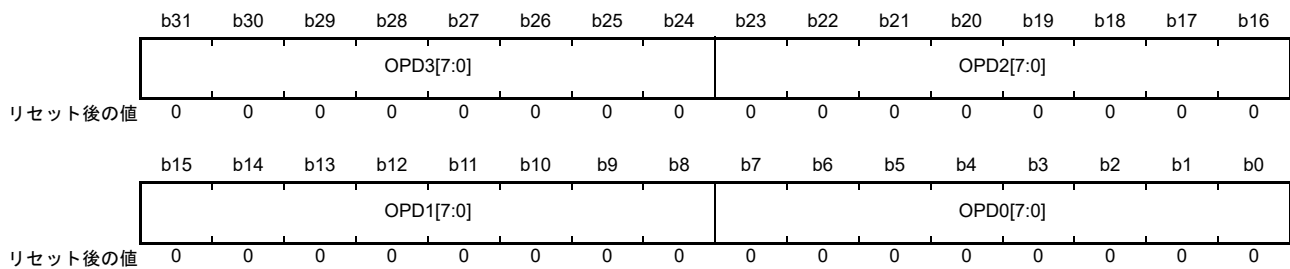
ビット	シンボル	ビット名	機能	R/W
b23-b0	ADR[23:0]	アドレス	シリアルフラッシュのアドレスを設定します。	R/W
b31-b24	ADRE[7:0]	アドレス	シリアルフラッシュのアドレスを 32 ビットで出力するときのビット 31 ~ 24 を設定します。 この設定は SMENR レジスタの ADE[3] ビット = 1 のときに有効になります。	R/W

27.2.12 SPI モードオプション設定レジスタ (SMOPR)

SMOPR レジスタは、SPI 動作モード時のオプションデータを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 502Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	OPD0[7:0]	オプションデータ 0	オプションデータ 0 を設定します。	R/W
b15-b8	OPD1[7:0]	オプションデータ 1	オプションデータ 1 を設定します。	R/W
b23-b16	OPD2[7:0]	オプションデータ 2	オプションデータ 2 を設定します。	R/W
b31-b24	OPD3[7:0]	オプションデータ 3	オプションデータ 3 を設定します。	R/W

注. 出力の順番は OPD3 → OPD2 → OPD1 → OPD0 です。

27.2.13 SPI モードイネーブル設定レジスタ (SMENR)

SMENR レジスタは、SPI 動作モード時のコマンド/オプションコマンド/アドレス/オプションデータ/転送データのビット幅、および各種出力イネーブルを設定する 32 ビットのレジスタです。コマンド/オプションコマンド/アドレス/オプションデータ/ダミーサイクル/転送データのすべてを出力しない設定にすることは禁止です。必ずダミーサイクル以外の 1 つはイネーブルとしてください。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CDB[1:0]		OCDB[1:0]		—	—	ADB[1:0]		—	—	OPDB[1:0]		—	—	SPIDB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DME	CDE	—	OCDE	ADE[3:0]			OPDE[3:0]			SPIDE[3:0]					
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	SPIDE[3:0]	転送データイネーブル	転送データを設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b3 b0 0000 : 転送しない 1000 : 8ビット転送 (SPIモードリード/ライトデータレジスタ0の0番地のデータを有効) 1100 : 16ビット転送 (SPIモードリード/ライトデータレジスタ0の0~1番地のデータを有効) 1111 : 32ビット転送 (SPIモードリード/ライトデータレジスタ0の0~3番地のデータを有効) 上記以外 : 設定禁止	R/W
b7-b4	OPDE[3:0]	オプションデータイネーブル	オプションデータ出力を設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b7 b4 0000 : 出力しない 1000 : OPD3を出力 1100 : OPD3、OPD2を出力 1110 : OPD3、OPD2、OPD1を出力 1111 : OPD3、OPD2、OPD1、OPD0を出力 上記以外 : 設定禁止	R/W
b11-b8	ADE[3:0]	アドレスイネーブル	アドレス出力を設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b11 b8 0000 : 出力しない 0100 : ADR[23:16]を出力 0110 : ADR[23:8]を出力 0111 : ADR[23:0]を出力 1111 : ADR[31:0]を出力 上記以外 : 設定禁止	R/W
b12	OCDE	オプションコマンドイネーブル	オプションコマンド出力を設定します。 0 : 出力しない 1 : 出力する	R/W

ビット	シンボル	ビット名	機能	R/W
b13	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b14	CDE	コマンドイネーブル	コマンド出力を設定します。 0: 出力しない 1: 出力する	R/W
b15	DME	ダミーサイクルイネーブル	ダミーサイクル挿入を設定します。 ダミーサイクルはリードデータの前に挿入されます。 注1. SPI動作モードでライトのときは挿入禁止です。 これは1回の転送がダミーサイクルで終わる場合も含まれます。 注2. 転送がダミーサイクルで始まる設定は禁止です。 0: 挿入しない 1: 挿入する	R/W
b17-b16	SPIDB[1:0]	転送データビット幅	転送データビット幅を設定します。 b17 b16 00: 1ビット 01: 2ビット 10: 4ビット 11: 設定禁止	R/W
b19-b18	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b21-b20	OPDB[1:0]	オプションデータビット幅	オプションデータのビット幅を設定します。 b21 b20 00: 1ビット 01: 2ビット 10: 4ビット 11: 設定禁止	R/W
b23-b22	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b25-b24	ADB[1:0]	アドレスビット幅	アドレスのビット幅を設定します。 b25 b24 00: 1ビット 01: 2ビット 10: 4ビット 11: 設定禁止	R/W
b27-b26	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b29-b28	OCDB[1:0]	オプションコマンドビット幅	オプションコマンドのビット幅を設定します。 b29 b28 00: 1ビット 01: 2ビット 10: 4ビット 11: 設定禁止	R/W
b31-b30	CDB[1:0]	コマンドビット幅	コマンドのビット幅を設定します。詳細については、使用されるシリアルフラッシュをご確認ください。 b31 b30 00: 1ビット 01: 2ビット 10: 4ビット 11: 設定禁止	R/W

27.2.14 SPI モードリードデータレジスタ 0 (SMRDR0)

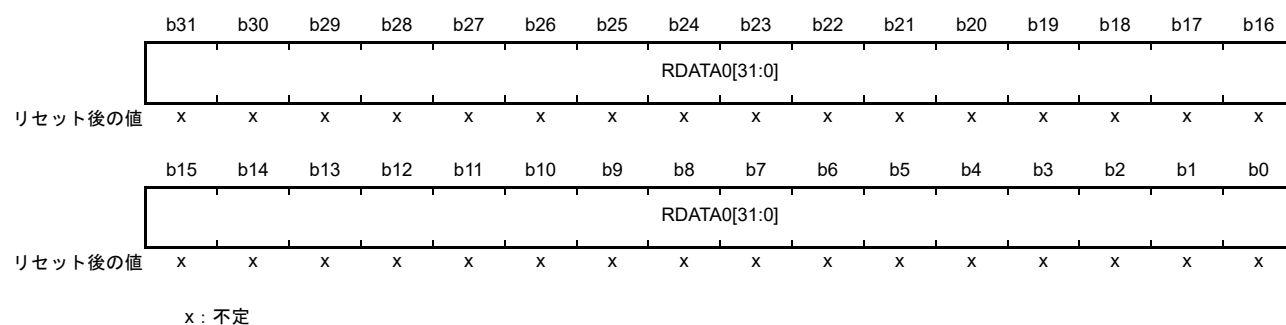
SMRDR0 レジスタは、SPI 動作モード時のリードデータを格納する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときにリードしてください。CMNSR レジスタの TEND フラグ = “0” 時にリードした場合の動作は保証しません。

アクセスサイズにより、データアライメントが異なります。詳細については「27.3.4 データアライメント」を参照してください。

本レジスタは、SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

アドレス A000 5038h



ビット	シンボル	ビット名	機能	R/W
b31-b0	RDATA0[31:0]	リードデータ	SPI動作モード時にリードしたデータを格納します。	R

本レジスタは SPI 動作モードの受信が終了すると内容が書き換えられます。

SPI 動作モードの受信が終了したら必ずデータを読み出してください。

27.2.15 SPI モードライトデータレジスタ 0 (SMWDR0)

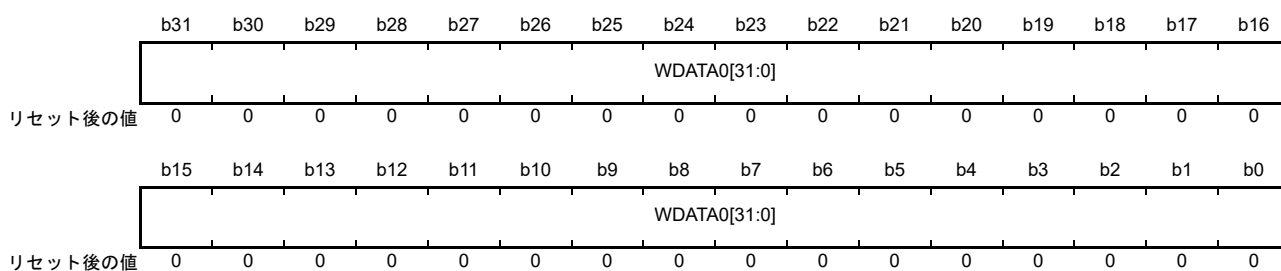
SMWDR0 レジスタは、SPI 動作モード時のライトデータを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アクセスサイズにより、データアライメントが異なります。詳細については「27.3.4 データアライメント」を参照してください。

本レジスタは、SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

アドレス A000 5040h



ビット	シンボル	ビット名	機能	R/W
b31-b0	WDATA0[31:0]	ライトデータ	SPI 動作モード時にライトするデータを格納します。	R/W

27.2.16 共通ステータスレジスタ (CMNSR)

CMNSR レジスタは、動作状態を示すフラグを格納する 32 ビットのレジスタです。
本レジスタは、外部アドレス空間リード / SPI 動作モード両方に反映されます。

アドレス A000 5048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSLF	TEND
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TEND	転送終了フラグ	データ転送が終了したことを示します。 0: 転送中であることを表示 1: 転送が終了したことを表示	R
b1	SSLF	SPBSSL 端子モニタ	0: SPBSSL 端子はインアクティブ状態 1: SPBSSL 端子はアクティブ状態	R
b31-b2	—	予約ビット	読み出すと常に0が読み出されます。	R

27.2.17 データリードダミーサイクル設定レジスタ (DRDMCR)

DRDMCR レジスタは、外部アドレス空間リードモード時に挿入するダミーサイクルのビット幅とサイクル数を設定する 32 ビットのレジスタです。

本レジスタの設定は、データリードイネーブル設定レジスタ (DREN) の DME ビット = “1” のときに有効になります。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMDB[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMCYC[2:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DMCYC[2:0]	ダミーサイクル数設定	データリードイネーブル設定レジスタ (DREN) の DME ビット = “1” のときに挿入するダミーサイクルのサイクル数を設定します。 b2 b0 000 : 1サイクル 001 : 2サイクル 010 : 3サイクル 011 : 4サイクル 100 : 5サイクル 101 : 6サイクル 110 : 7サイクル 111 : 8サイクル	R/W
b15-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b17-b16	DMDB[1:0]	ダミーサイクルビット幅	ダミーサイクルのビット幅を設定します。 本ビットの設定と共通コントロールレジスタ (CMNCR) の IO0FV ビット、IO2FV ビット、IO3FV ビットの設定により、ダミーサイクル中の未使用端子の状態が決まります。 使用中の端子はHi-Zとなります。 b17 b16 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W
b31-b18	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

27.2.18 SPI モードダミーサイクル設定レジスタ (SMDMCR)

SMDMCR レジスタは、SPI 動作モード時に挿入するダミーサイクルのビット数とサイクル数を設定する 32 ビットのレジスタです。

本レジスタの設定は SPI モードイネーブル設定レジスタ (SMENR) の DME ビット = “1” のときに有効になります。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5060h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMDB[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMCYC[2:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DMCYC[2:0]	ダミーサイクル数設定	SPIモードイネーブル設定レジスタ (SMENR) の DME ビット = “1” のときに挿入するダミーサイクルのサイクル数を設定します。 b2 b0 000 : 1サイクル 001 : 2サイクル 010 : 3サイクル 011 : 4サイクル 100 : 5サイクル 101 : 6サイクル 110 : 7サイクル 111 : 8サイクル	R/W
b15-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b17-b16	DMDB[1:0]	ダミーサイクルビット幅	ダミーサイクルのビット幅を設定します。本ビットの設定と共通コントロールレジスタ (CMNCR) の IO0FV ビット、IO2FV ビット、IO3FV ビットの設定により、ダミーサイクル中の未使用端子の状態が決まります。使用中の端子は Hi-Z となります。 b17 b16 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W
b31-b18	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

27.3 動作説明

27.3.1 システム構成

本モジュールは、1 個のシリアルフラッシュ（データ幅 1/2/4 ビット）を直接接続することが可能です。システム構成例を図 27.2 に示します。

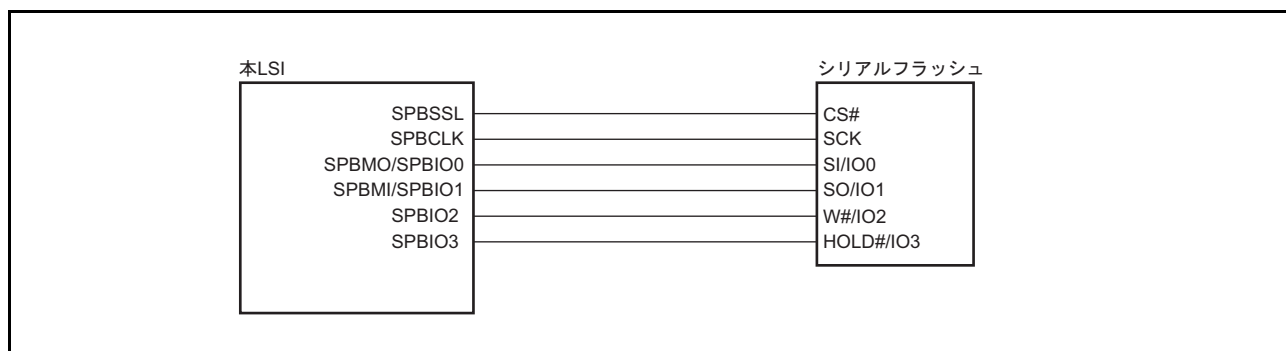


図 27.2 データ幅 4 ビットのシリアルフラッシュ接続例（CMNCR レジスタの BSZ[1:0] ビット = 00）

27.3.2 アドレスマップ

外部アドレス空間リードモード時、接続するシリアルフラッシュは、SPI マルチ I/O バス空間に割り当てられます。DREAR レジスタの設定により、最大 4G バイトまでアクセス可能です。

表 27.4 アドレスマップ

シリアルフラッシュ接続数	内部アドレス	最大アクセス領域
1個	1000 0000h ~ 13FF FFFFh	4G バイト
	3000 0000h ~ 33FF FFFFh (ミラー領域)	

27.3.3 シリアルフラッシュ 32 ビットアドレス

SPI マルチ I/O バス空間は 64M バイトであるため、シリアルフラッシュの 32 ビットアドレス領域の一部のみ直接アクセス可能です。このとき、32 ビットアドレスの上位ビットは DREAR レジスタに設定した固定値になります。

シリアルフラッシュのアドレスを 32 ビットで出力するためには、DRENr レジスタの ADE[3] ビット = 1 に設定し、DREAR レジスタの EAC[2:0] ビットにシリアルフラッシュのアドレスとして使用する外部アドレスの範囲、DREAR レジスタの EAV[7:0] ビットに 32 ビットアドレスの上位ビットにする固定値を設定します。

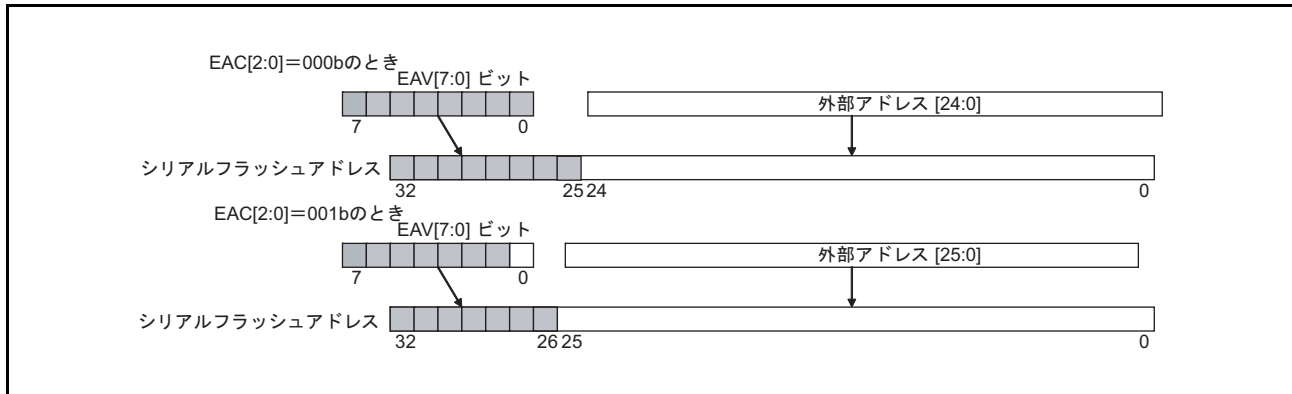


図 27.3 32 ビットアドレス設定

DRENr レジスタの ADE[3] ビット = 1 にすることで、シリアルフラッシュのアドレスを [31:0] ビットで出力することが可能です。

EAC[2:0] = 000b の場合、外部アドレス [24:0] が有効になります。[32:25] ビットは EAV[7:0] に設定してください。

EAC[2:0] = 001b の場合、外部アドレス [25:0] が有効になります。[32:26] ビットは EAV[7:1] に設定してください。

シリアルフラッシュ 1 個接続のときはアドレス [31:0] を使用します。

27.3.4 データアライメント

データアライメントは共通コントロールレジスタ (CMNCR) の SFDE ビットにより設定できます。データリードモードと SPI モードのデータアライメントを図 27.4 と図 27.5 に示します。

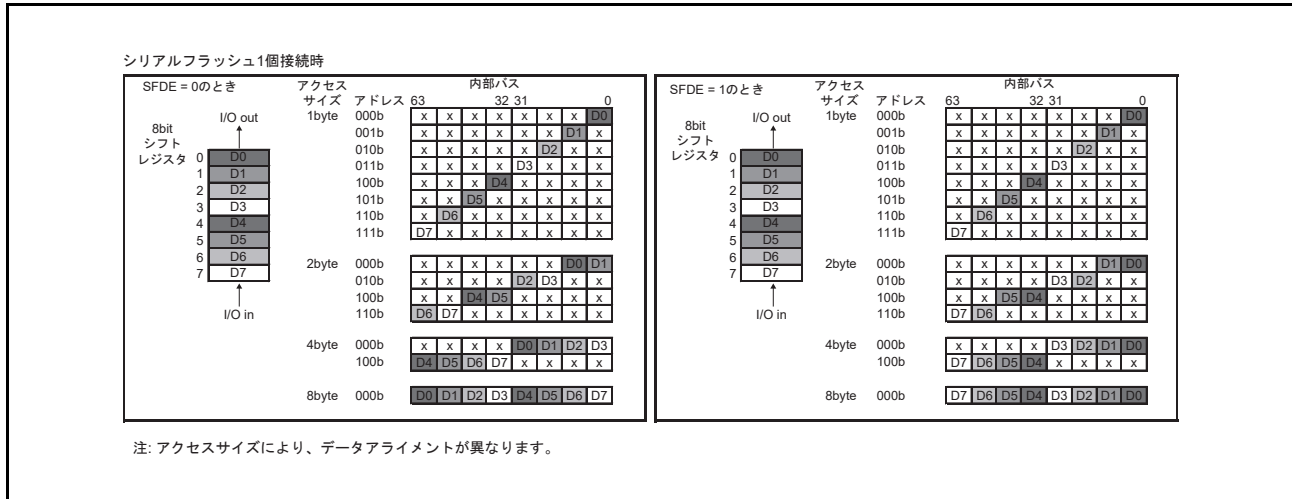


図 27.4 外部アドレス空間リードモードのデータアライメント

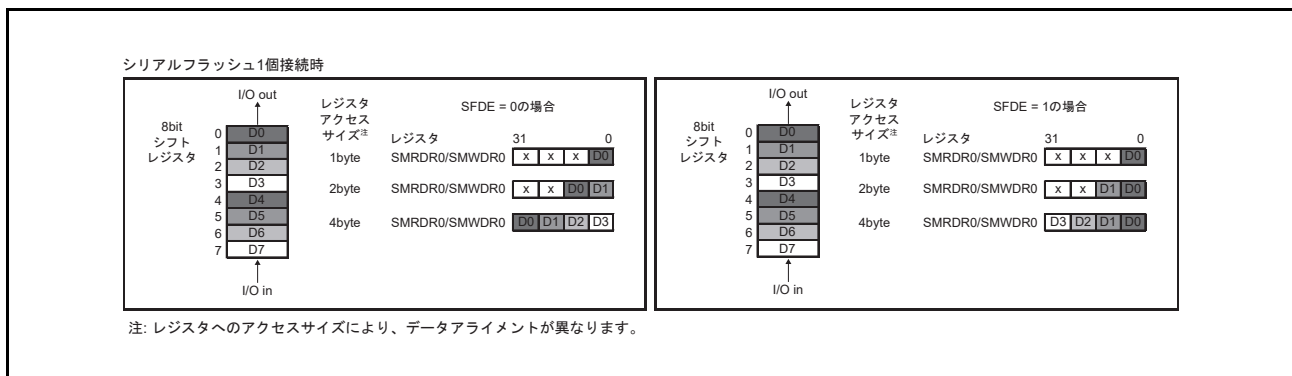


図 27.5 SPI 動作モードのデータアライメント

27.3.5 動作モード

本モジュールは、外部アドレス空間リードモードおよび SPI 動作モードの 2 つのモードを持っています。

外部アドレス空間リードモードは、SPI マルチ I/O バス空間へのリードを SPI 通信に変換し、データの受信を行います。データ取得後、発行元のバスマスタにデータを返します。詳細については、「27.3.6 外部アドレス空間リードモード」を参照してください。

SPI 動作モードは、レジスタ設定により任意の SPI 通信を行います。詳細については、「27.3.8 SPI 動作モード」を参照してください。

27.3.6 外部アドレス空間リードモード

外部アドレス空間リードモードにより、SPI マルチ I/O バス空間へのリードを SPI 通信に変換することができます。また、リード時に発行するコマンド/オプションコマンド/オプションデータとダミーサイクルを、レジスタ設定で変更することができます。

外部アドレス空間リードモードでは、通常リード動作とバーストリード動作の 2 つの動作を選択することができます。転送フォーマットは、共通コントロールレジスタ (CMNCR)、SSL 遅延レジスタ (SSLDR)、ビットレート設定レジスタ (SPBCR)、データリードコントロールレジスタ (DRCR)、データリードコマンド設定レジスタ (DRCMR)、データリード拡張アドレス設定レジスタ (DREAR)、データリードオプション設定レジスタ (DROPR)、データリードイネーブル設定レジスタ (DRENr)、データリードダミーサイクル設定レジスタ (DRDMCR) の設定で決まります。

(1) 通常リード動作

DRCR レジスタの RBE ビット = “0” に設定することにより、通常リード動作になります。

通常リード動作では、バイト/ワード/ロングワードリードに対し、それぞれ 8 ビット / 16 ビット / 32 ビット分データをリードします。データリード後、SPBSSL 信号はインアクティブになります。

通常リード動作時のタイミング図を図 27.6 に示します。

t1 は SPBSSL 信号がアクティブになり、SPBCLK 信号からクロックが出力されるまでの期間 (クロック遅延)、t2 は転送最終時の SPBCLK 信号のエッジ送出から SPBSSL 信号をインアクティブにするまでの期間 (SPBSSL ネゲート遅延)、t3 は転送終了から次の転送開始までの期間 (次アクセス) を意味します。t1、t2、t3 の詳細については、「27.3.9 転送フォーマット」を参照してください。

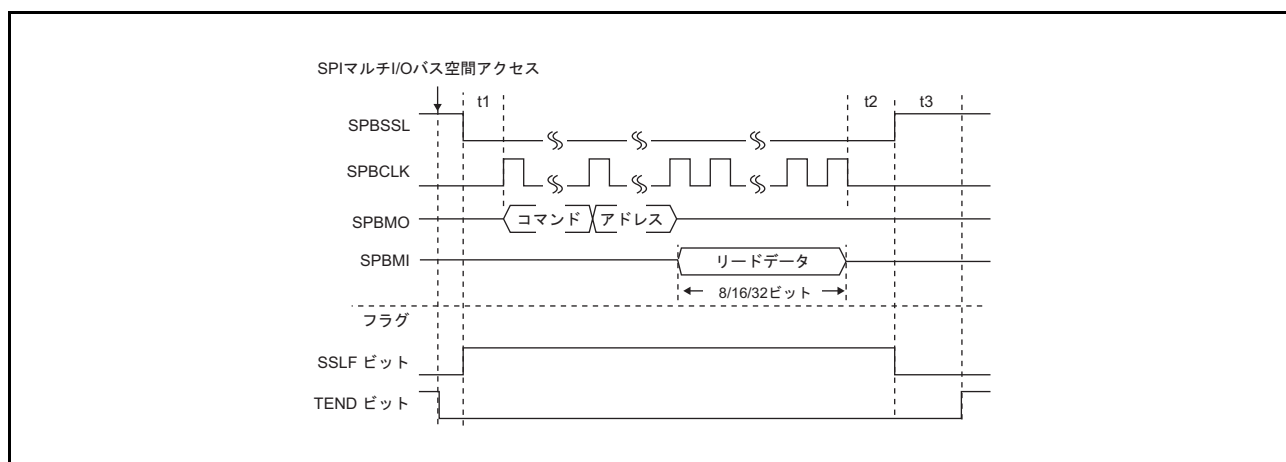


図 27.6 通常リード動作タイミング

(2) バーストリード動作

DRCR レジスタの RBE ビット = “1” に設定することにより、バーストリード動作になります。

バーストリード動作では、リードキャッシュが有効になります。リードキャッシュの動作については「27.3.7 リードキャッシュ」を参照してください。

バイト/ワード/ロングワードリードに対し、まずリードキャッシュからデータを参照します。リードキャッシュにデータがある場合は、シリアルフラッシュへはアクセスせず、リードキャッシュからデータを読み出します。リードキャッシュにデータが無い場合は、シリアルフラッシュへバーストリードし、読み出したデータはリードキャッシュに格納されます。このときのデータ転送長は 64 ビット × RBURST[3:0] ビットであり、必ず 64 ビット境界からリードします。

また、DRCR レジスタの SSLE ビットにより、データ転送後の SPBSSL 信号の状態を選択できます。SSLE ビット = 0 であれば、データ転送後必ず SPBSSL 信号をインアクティブにします。SSLE ビット = 1 の動作については、「27.3.6 (3) バーストリード動作 SPBSSL 自動インアクティブ」を参照してください。

本動作の模式図および SSLE ビット = “0” 時のバーストリード動作タイミングを図 27.7 と図 27.8 に示します。

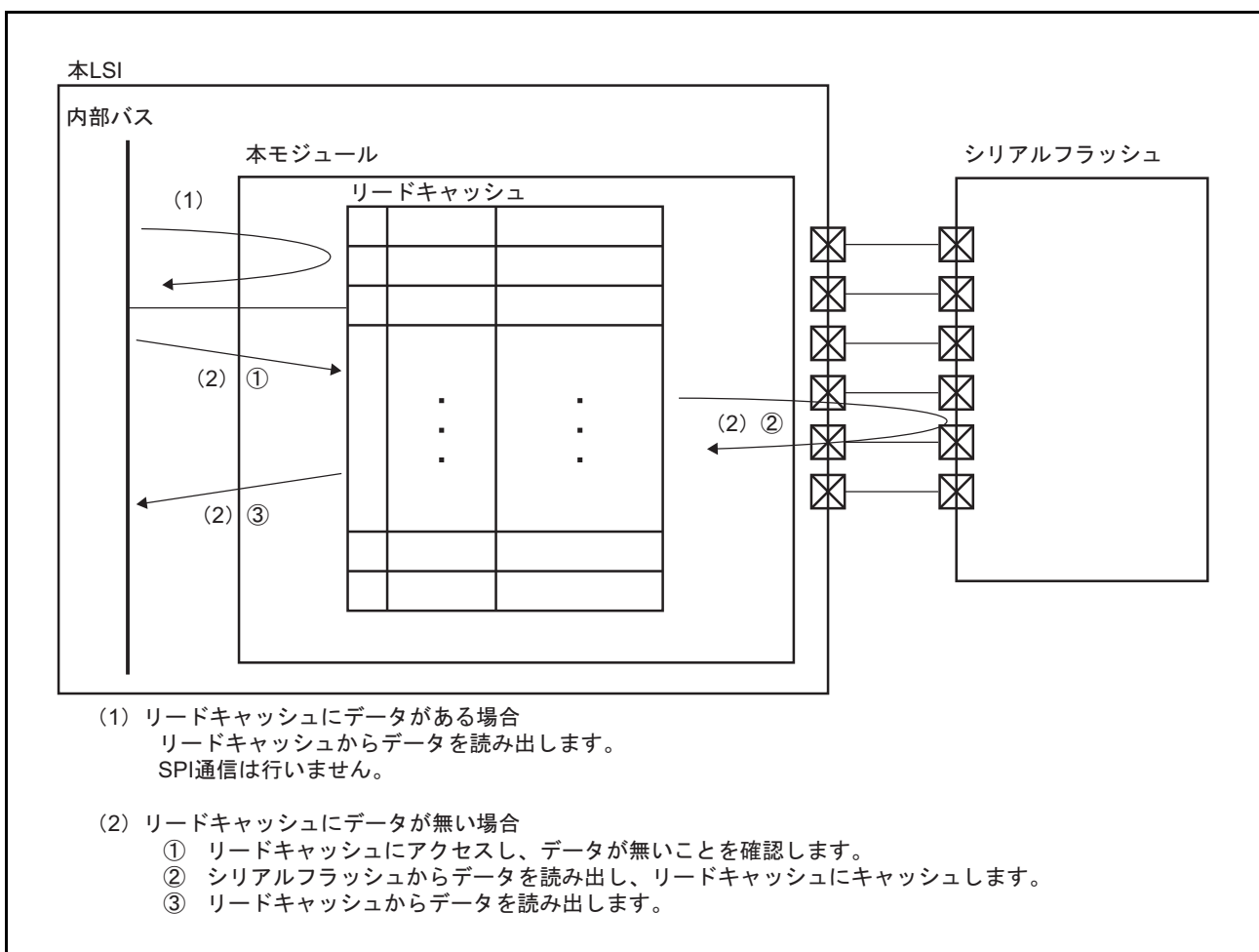


図 27.7 バーストリード動作時のリード動作

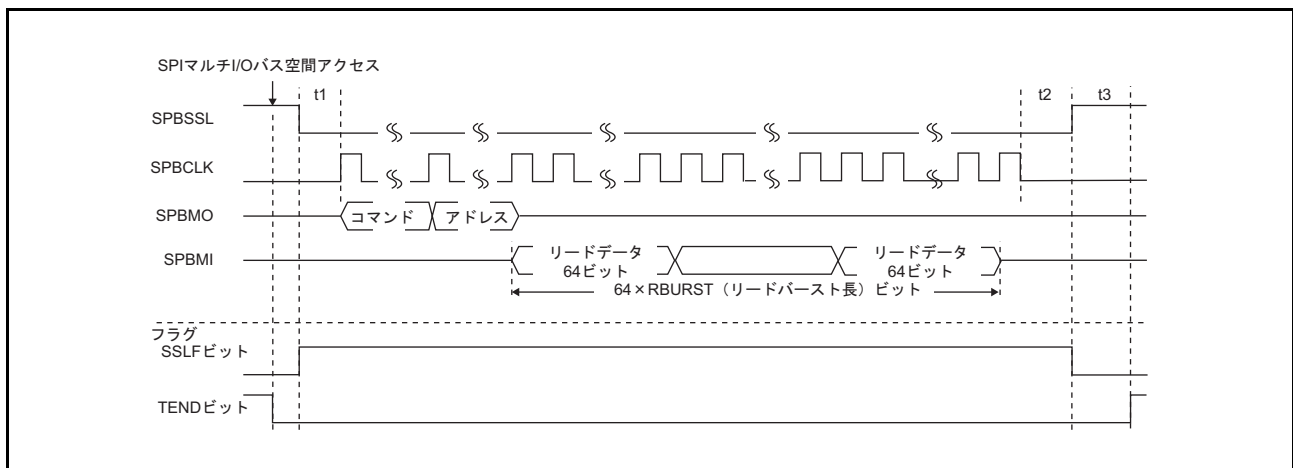


図 27.8 バーストリード動作タイミング (SSLE ビット = 0)

(3) バーストリード動作 SPBSSL 自動インアクティブ

本モジュールは、DRCR レジスタの SSLE ビット = “1” 設定時、バーストリード転送後に SPBSSL 信号をインアクティブにしません。次回アクセス時、前回のリードアドレスに対してアドレスが連続している場合、コマンド/オプションナルコマンド/アドレス/オプションデータ/ダミーサイクルは発行せず、バーストリードを行います。また、アドレスが連続していない場合は、SPBSSL 信号を一度インアクティブにし、コマンド/オプションナルコマンド/アドレス/オプションデータ/ダミーサイクルを発行後にバーストリードを行います。

連続アドレス時および非連続アドレス時のバーストリードタイミングを図 27.9 と図 27.10 に示します。

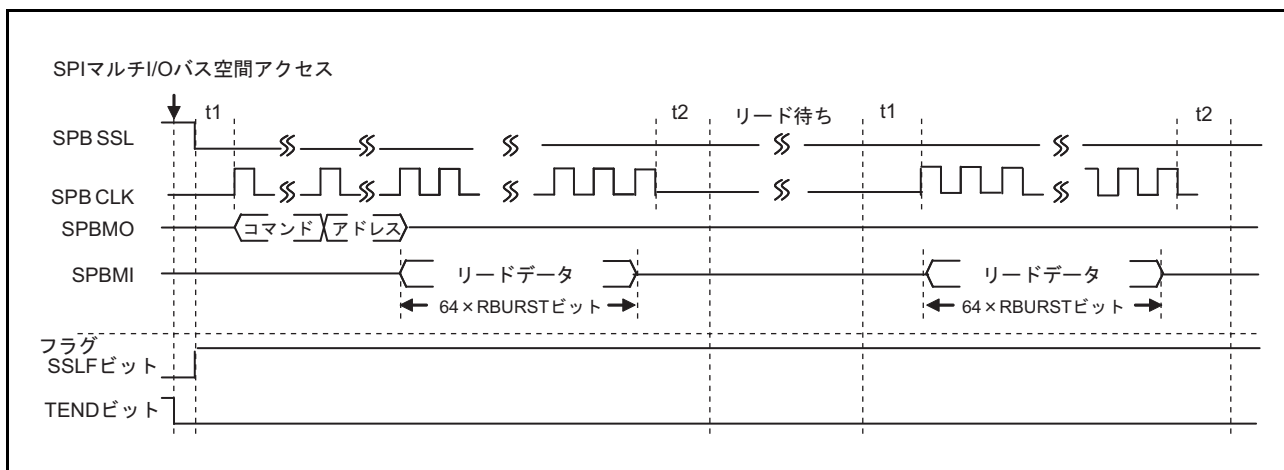


図 27.9 連続アドレスバーストリード動作タイミング (SSLE ビット = 1)

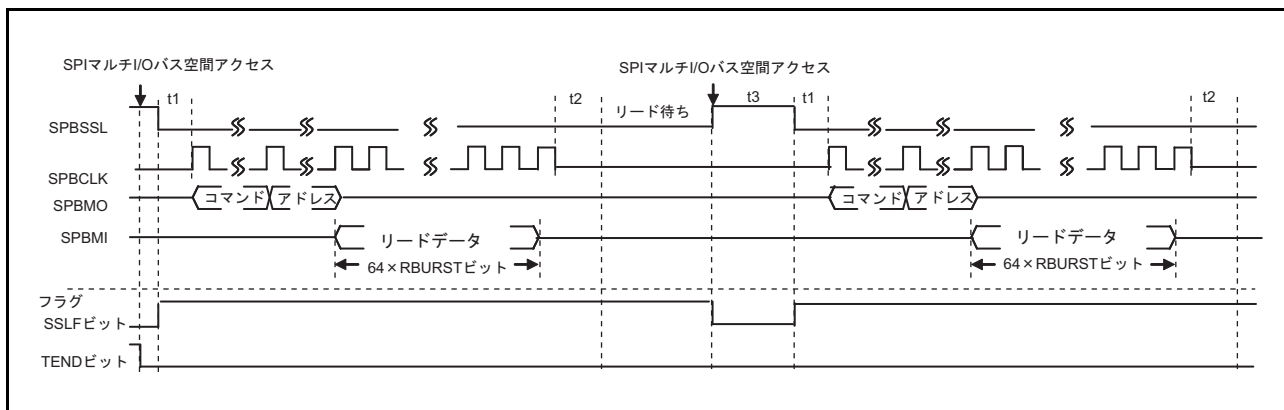


図 27.10 非連続アドレスバーストリード動作タイミング (SSLE ビット = 1)

本動作にて DRCR レジスタの SSLN ビットで SPBSSL 信号をインアクティブにした後に次のアクセスを行う場合、CMNSR レジスタの SSLF ビット = 0 をリードして SPBSSL 信号がインアクティブになったことを確認してください。

(4) 初期設定フロー

外部アドレス空間リードモード時の初期設定フロー例を図 27.11 に示します。

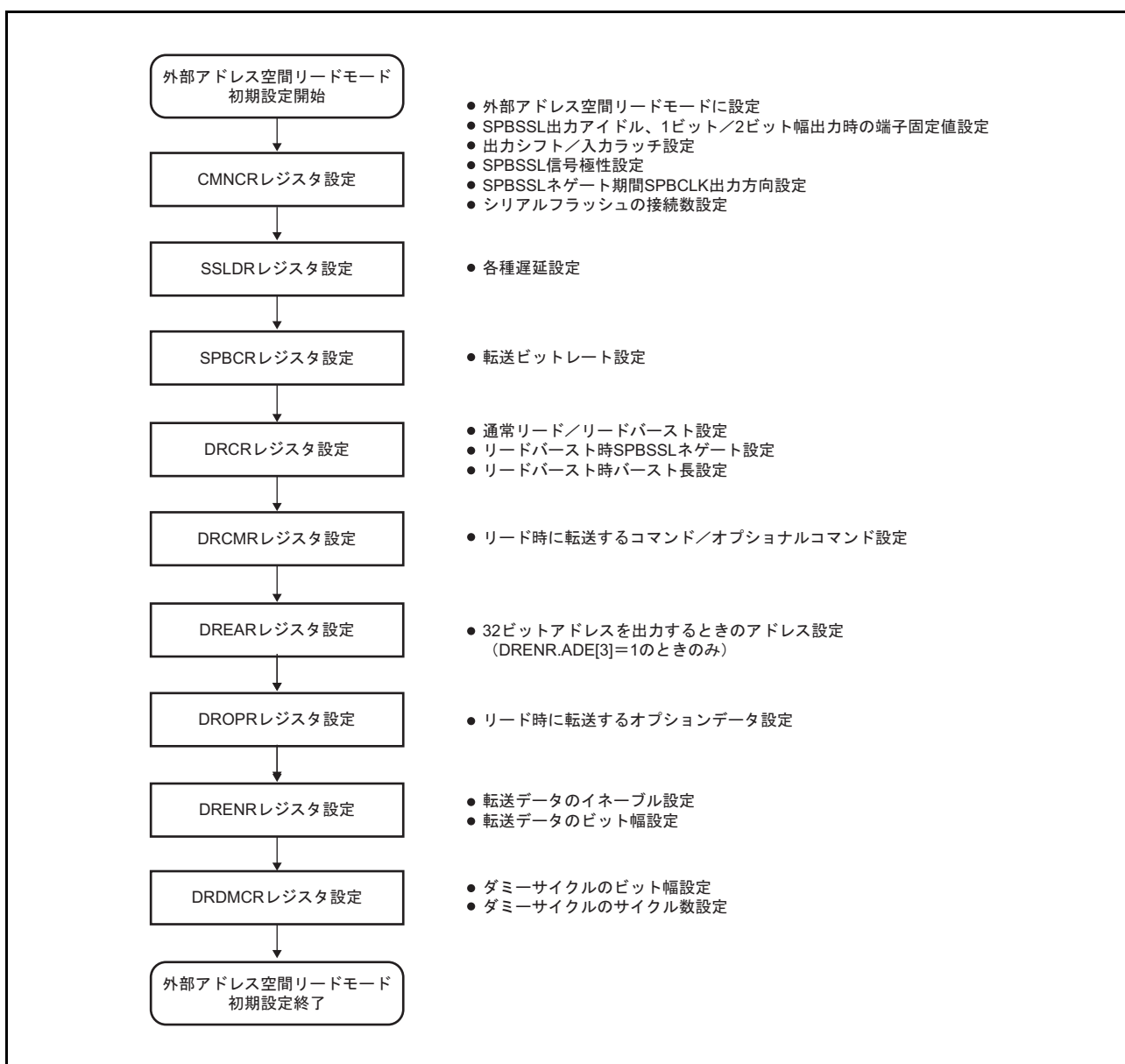


図 27.11 外部アドレス空間リードモード時の初期設定フロー例

27.3.7 リードキャッシュ

本モジュールは、簡易的なリードキャッシュを内蔵しています。外部アドレス空間リードモード、バーストリード動作時にリードキャッシュを使用できます。リードキャッシュは、ラインサイズ 64 ビット、16 エントリで構成されています。

リードキャッシュの構成を図 27.12 に示します。

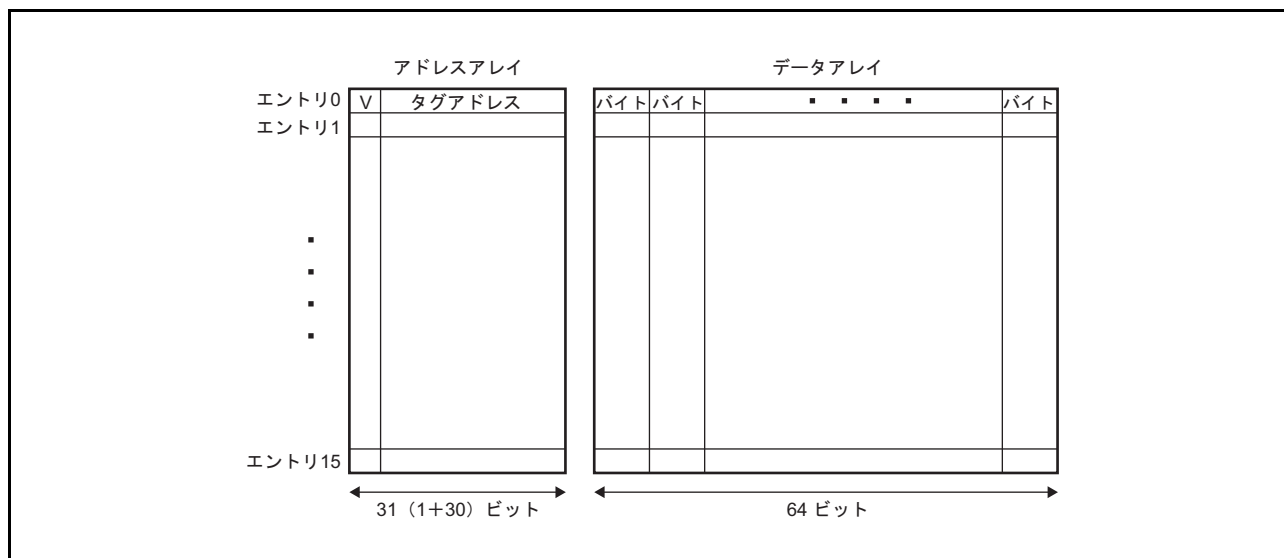


図 27.12 リードキャッシュの構成

(1) アドレスアレイ

図 27.12 中の V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

タグアドレスは、シリアルフラッシュが使用するアドレスを保持します。アドレスは 32 ~ 3 ビットで構成され、アドレス出力が 24 ビットの場合、アドレス 23 ~ 3 が有効になります。

アドレス出力が 32 ビットの場合、アドレス 31 ~ 3 が有効になります。

(2) データアレイ

64 ビットのリードデータを保持します。リードキャッシュへの登録はライン単位で行われます。

(3) リード動作

リードデータがキャッシュにヒットした場合、リードキャッシュからデータを読み出します。ミスヒットした場合は、 $64 \times \text{RBURST}$ （リードバースト長）分データをシリアルフラッシュから読み出し、リードキャッシュを更新した後、バスマスタに対しデータを返します。

(4) データ置換

データの更新はライトポインタで管理されます。リードデータがミスヒットの場合、ライトポインタが指し示しているエントリから RBURST（リードバースト長）分、データを置換します。つまり格納した古い順から置換します。データを参照したかどうかは影響しません。

27.3.8 SPI 動作モード

本モジュールは、レジスタ設定で任意の SPI 動作を行うことができます。

転送フォーマットは、共通コントロールレジスタ (CMNCR)、SSL 遅延レジスタ (SSLDR)、ビットレート設定レジスタ (SPBCR)、SPI モードコントロールレジスタ (SMCR)、SPI モードコマンド設定レジスタ (SMCMR)、SPI モードアドレス設定レジスタ (SMADR)、SPI モードオプション設定レジスタ (SMOPR)、SPI モードイネーブル設定レジスタ (SMENR)、SPI モードリードデータレジスタ (SMRDR)、SPI モードライトデータレジスタ (SMWDR)、SPI モードダミーサイクル設定レジスタ (SMDMCR) の設定で決まります。

シリアルフラッシュのステータスリードまたはライト動作等に使用することができます。

このモードでの 1 回の転送とは SMCR レジスタの SPIE ビットを 1 にセットしてから TEND が 1 にセットされるまでを意味します。

(1) 転送の開始

SMCR レジスタの SPIE ビット = "1" により、設定した転送フォーマットで転送を開始します。ライトイネーブル時、SPI モードライトデータレジスタがシリアルフラッシュに送信されます。リードイネーブル時、シリアルフラッシュから読み出したデータが、SPI モードリードデータレジスタに格納されます。

タイミング図を図 27.13 に示します。

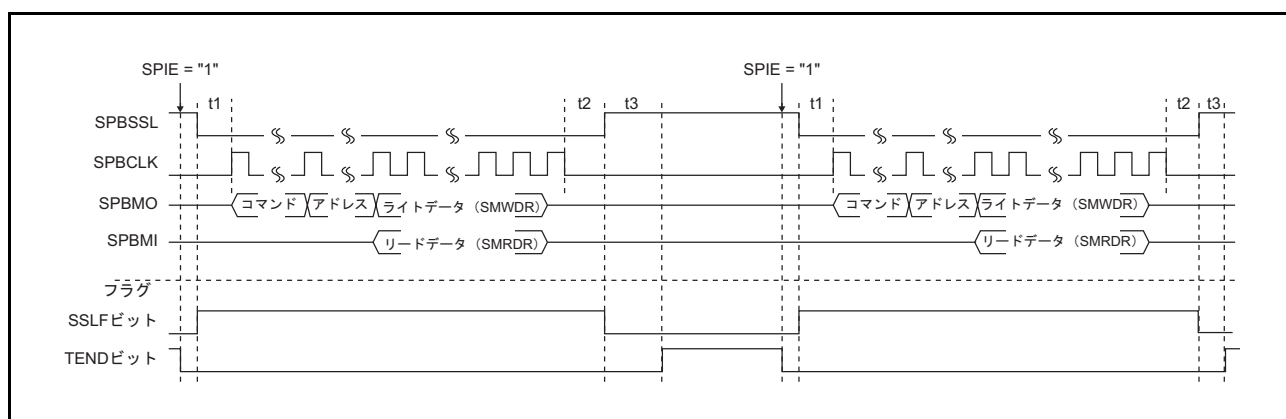


図 27.13 SPI 動作モードタイミング図

(2) リード/ライトイネーブル

- リード動作

SMCR レジスタの SPIRE ビット = "1" に設定することで、データをリードすることができます。リードしたデータは SMRDR レジスタに格納されます。

- ライト動作

SMCR レジスタの SPIWE ビット = "1" に設定することで、データをライトすることができます。

SMWDR レジスタに格納されたデータが出力されます。

また、SMENR レジスタの SPIDB[1:0] ビットのビット幅を 1 ビットに設定している場合、SPIRE、SPIWE ビット = "1" に設定することで送受信可能となります。ただし、SPIDB[1:0] ビットのビット幅を 2 ビット/4 ビットに設定した場合は、SPIRE、SPIWE ビットのどちらか片方を有効にしてください。両方有効にした場合の動作は保証しません。

(3) SPBSSL 端子アクティブ保持

SMCR レジスタの SSLKP ビット = “1” により、SPBSSL 信号を次の転送までアクティブ状態にします。本機能により、SPBSSL 信号はアクティブ状態のまま連続的に転送を行うことができます。

SSLKP ビットを利用した転送タイミングを図 27.14 に示します。

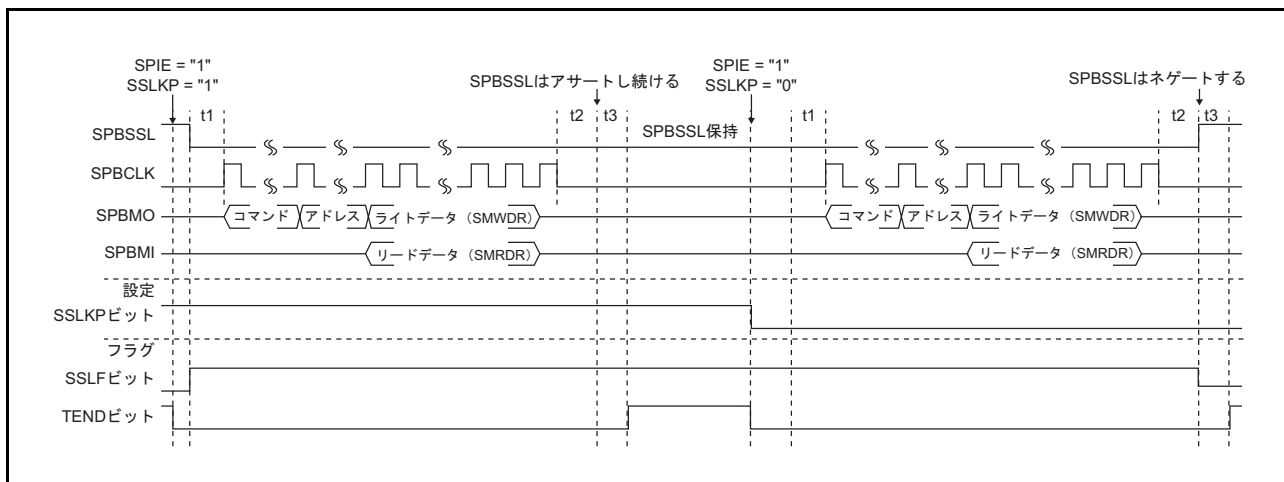


図 27.14 SSLKP ビットを利用した転送タイミング図

(4) 初期設定フロー

SPI 動作モード時の初期設定フロー例を図 27.15 に示します。

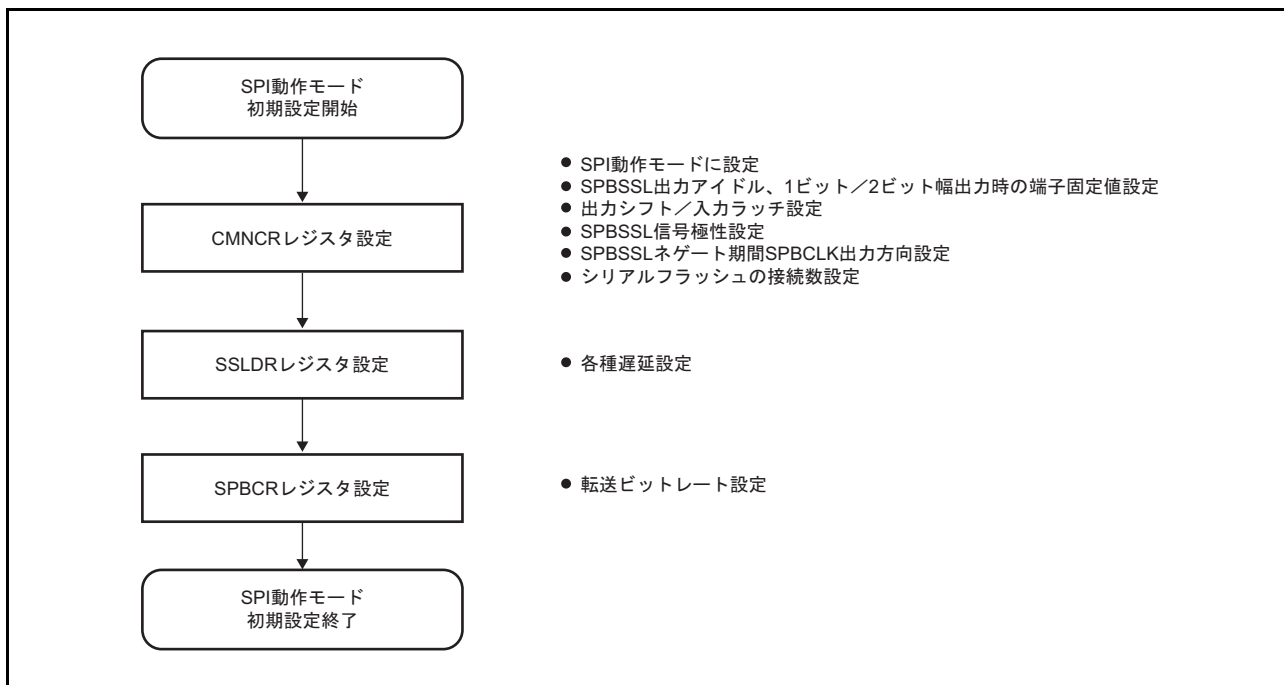


図 27.15 SPI 動作モード時の初期設定フロー例

(5) データ転送設定フロー

SPI 動作モード時のデータ転送設定フロー例を図 27.16 に示します。

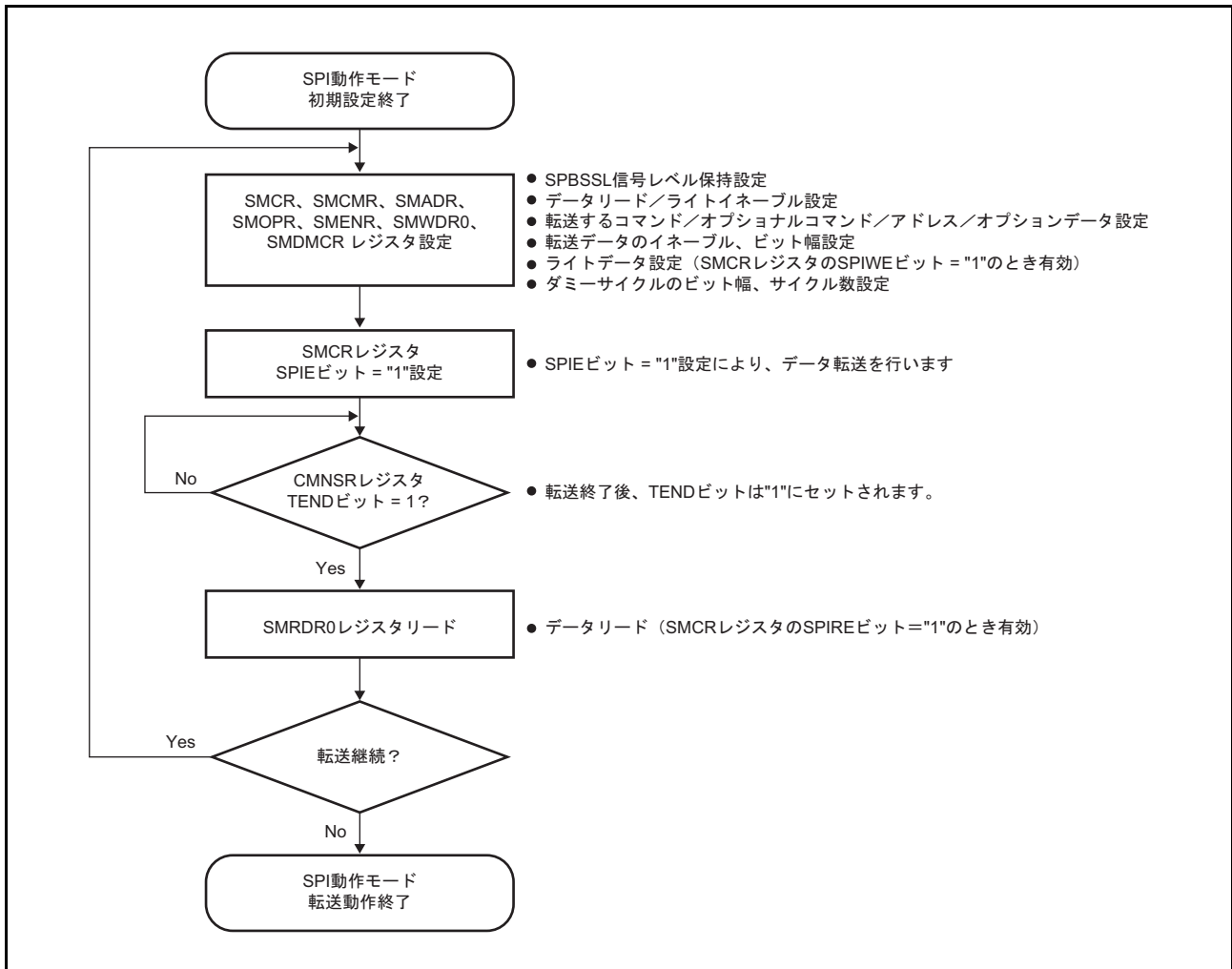


図 27.16 SPI 動作モード時のデータ転送設定フロー例

27.3.9 転送フォーマット

(1) SPBSSL 端子のイネーブル極性制御

CMNCR レジスタの SSLP ビットで、SPBSSL 信号のイネーブル極性を変更することができます。

(2) SPBCLK 出力

CMNCR レジスタの CPOL ビットで、SPBSSL 信号がインアクティブ時の SPBCLK 信号出力レベルを設定可能です。

(3) データ送信・受信タイミング

データ送信とデータ受信は、それぞれ奇数/偶数エッジのどちらかで行います。CMNCR レジスタの CPHAT ビットでデータ送信タイミングを奇数/偶数に設定可能です。同様に CMNCR レジスタの CPHAR ビットでデータ受信タイミングを奇数/偶数に設定可能です。

(4) 遅延設定

t1 は、SPBSSL 信号をアクティブにしてから SPBCLK 信号のクロック出力までの期間（クロック遅延）です。SSLDR レジスタの SCKDL[2:0] ビットで設定できます。t2 は、SPBCLK 信号のクロック出力停止から SPBSSL 信号のインアクティブまでの期間（SPBSSL ネゲート遅延）です。SSLDR レジスタの SLNDL[2:0] ビットで設定できます。t3 は、転送終了後に次の転送のため、SPBSSL 信号を抑制するための期間（次アクセス遅延）です。SSLDR レジスタの SPNDL[2:0] ビットで設定できます。

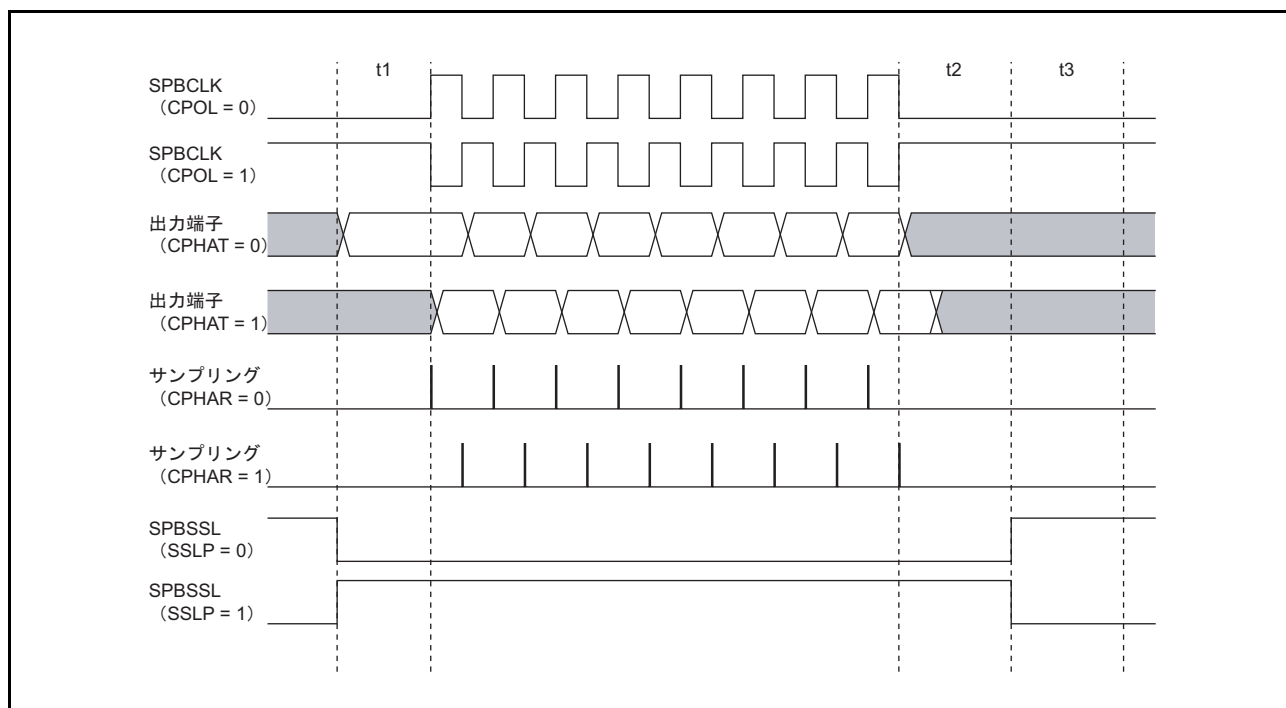


図 27.17 SDR 転送フォーマット

27.3.10 データフォーマット

本モジュールは、コマンド、オプションコマンド、アドレス、オプションデータ、ダミーサイクル、データの順番でデータ入出力を行います。

(1) データレジスタ

入出力されるデータを表 27.5 に示します。

表 27.5 データレジスタ

データ	外部アドレス空間リードモード	SPI動作モード
コマンド (8ビット)	DRCMR.CMD[7:0]ビット	SMCMR.CMD[7:0]ビット
オプションコマンド (8ビット)	DRCMR.OCMD[7:0]ビット	SMCMR.OCMD[7:0]ビット
アドレス (32ビット/24ビット)	32ビット時: DREAR.EAV[6:1~0]ビット+リードした下位アドレス[25~24:0]ビット 24ビット時: リードした下位アドレス[23:0]ビット	32ビット時: SMADR.ADR[31:0]ビット 24ビット時: SMADR.ADR[23:0]ビット
オプションデータ (8ビット×4)	DROPRレジスタ	SMOPRレジスタ
ダミーサイクル (1~8サイクル)	DRDMCRレジスタ	SMDMCRレジスタ (リード時のみ)
転送データ	通常リード: 8/16/32ビット バーストリード: 64×RBURSTビット	リード: SMRDR0、1レジスタ ライト: SMWDR0、1レジスタ

(2) データイネーブル

外部アドレス空間リードモード時、DREN R レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME ビットで、コマンド、オプションコマンド、アドレス、オプションデータ、ダミーサイクルの転送イネーブルを制御することが可能です。ダミーサイクルのサイクル数とビット幅はデータリードモードダミーサイクルレジスタ (DRDMCR) で制御することができます。同様に SPI 動作モード時、SMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME、SPIDE[3:0] ビットで、コマンド、オプションコマンド、アドレス、オプションデータ、ダミーサイクル、転送データのイネーブルを制御することが可能です。ただし、SPI 動作モード時、すべてをディスエーブルにすることは禁止です。必ずダミーサイクル以外の 1 つはイネーブルとしてください。ダミーサイクルのサイクル数とビット幅は SPI モードダミーサイクルレジスタ (SMDMCR) で制御することが可能です。

また、外部アドレス空間リードモード時のアドレス/オプションデータ、SPI 動作モード時のアドレス/オプションデータ/転送データは、転送データ長により設定可能なイネーブルビットが決まっています。設定可能なイネーブルビットの組み合わせについては、各レジスタの説明を参照してください。

これらのイネーブルビットをディスエーブルにした場合、そのデータは出力されず、次のデータの入出力を行います。コマンド、オプションコマンド、アドレス、オプションデータは常に出力です。ダミーサイクル中は使用している端子を Hi-Z にします。データは、外部アドレス空間リードモード時は常に入力、SPI 動作モード時は、SMCR レジスタの SPIRE、SPIWE ビットの設定により入出力を決めます。

ダミーサイクルの挿入には制限があります。詳細は DREN R レジスタと SMENR レジスタの DME ビットの説明を参照してください。

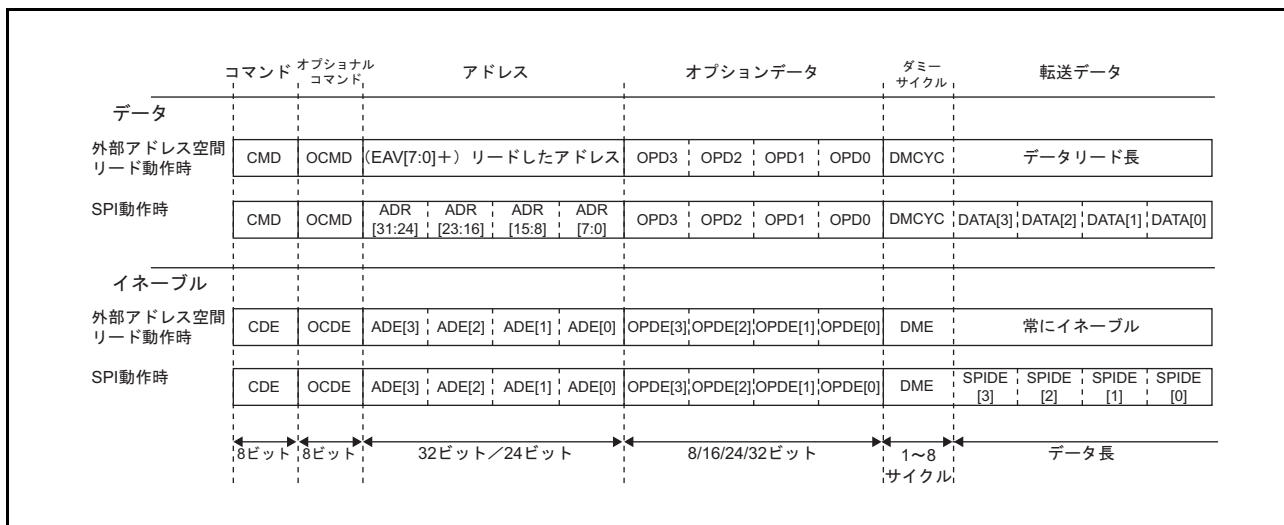


図 27.18 データとイネーブル

(3) ビット幅

外部アドレス空間リードモード時、DREN R レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、DRDB[1:0] ビットでコマンド/オプションコマンド/アドレス/オプションデータ/リードデータのビット幅を、それぞれ制御することが可能です。また、DRDMCR レジスタの DMDB[1:0] ビットでダミーサイクルのビット幅を制御することが可能です。

同様に SPI 動作モード時、SMEN R レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、SPIDB[1:0] ビットでコマンド/オプションコマンド/アドレス/オプションデータ/リードライトデータのビット幅を制御することが可能です。また、SMDMCR レジスタの DMDB[1:0] ビットでダミーサイクルのビット幅を制御することが可能です。

(a) 1 ビット幅

ビット幅を 1 ビットに設定した場合、SPBMI 端子は入力、SPBMO 端子は出力となります。SPBIO2、SPBIO3 端子は使用しません。

転送フォーマット例を図 27.19 に示します。

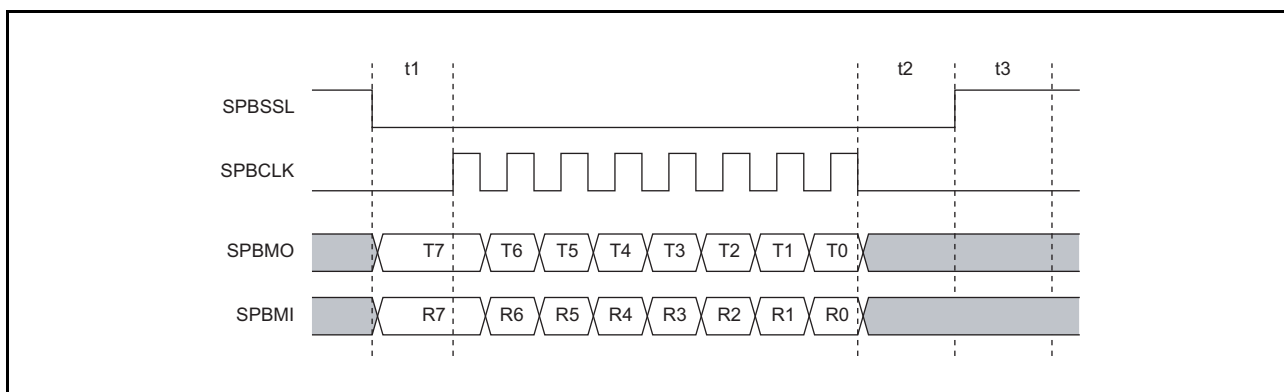


図 27.19 1 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

(b) 2 ビット幅

ビット幅を2ビットに設定した場合、SPBIO0 端子および SPBIO1 端子は入力もしくは出力のどちらかになります。SPBIO2、SPBIO3 端子は使用しません。

転送フォーマット例を図 27.20 に示します。

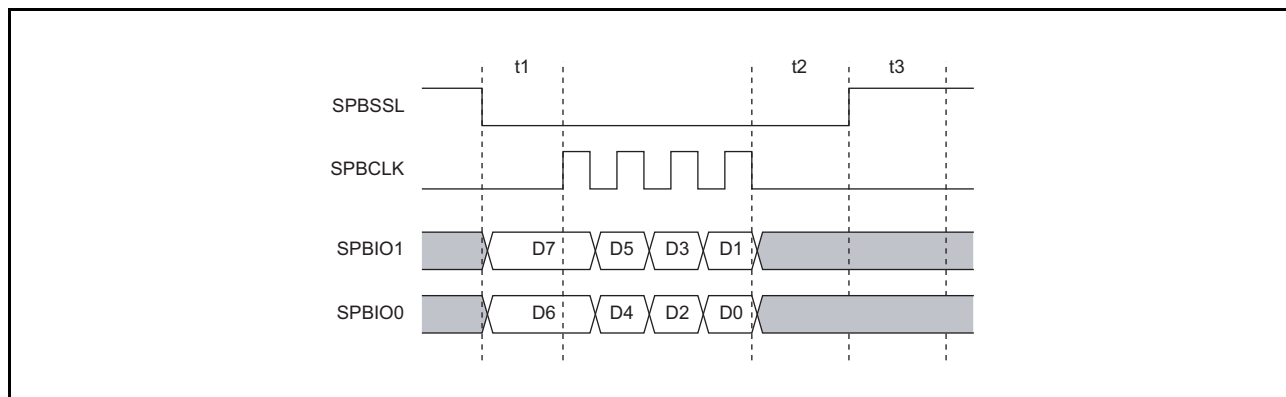


図 27.20 2 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

(c) 4 ビット幅

ビット幅を4ビットに設定した場合、SPBIO0、SPBIO1、SPBIO2、SPBIO3 端子は入力もしくは出力のどちらかになります。転送フォーマット例を図 27.21 に示します。

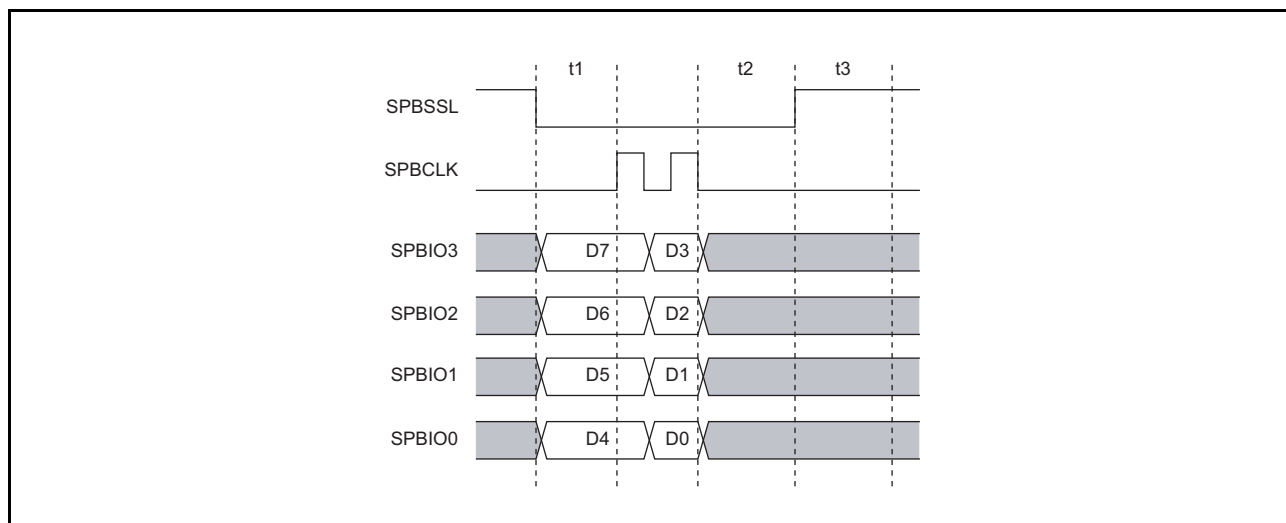


図 27.21 4 ビット幅、シリアルフラッシュ 1 個転送フォーマット例

27.3.11 データ端子制御

本モジュールは、使用するデータ幅・リード・ライト設定により端子状態を自動的に切り替えます。また、SPBSSL 信号のインアクティブ状態は CMNCR レジスタの MOII03、MOII02、MOII01、MOII00 ビットにより設定可能です。

SPBSSL、SPBCLK 端子は常に出力です。それぞれの端子状態の表を表 27.6 ~ 表 27.9 に示します。

表 27.6 端子状態 (1)

端子	SPBSSLインアクティブ	SPBSSLアクティブ		
		コマンド、オプションコマンド、アドレス、オプションデータ		
		1ビット幅	2ビット幅	4ビット幅
SPBMO/SPBIO0	MOII00ビット設定値	出力	出力	出力
SPBMI/SPBIO1	MOII01ビット設定値	Hi-Z	出力	出力
SPBIO2	MOII02ビット設定値	IO2FVビット設定値	IO2FVビット設定値	出力
SPBIO3	MOII03ビット設定値	IO3FVビット設定値	IO3FVビット設定値	出力

表 27.7 端子状態 (2)

端子	転送データ					
	外部アドレス空間リードモード			SPI動作モード		
	1ビット幅	2ビット幅	4ビット幅	SPIREビット=1、SPIWEビット=0		
				1ビット幅	2ビット幅	4ビット幅
SPBMO/SPBIO0	IO0FVビット設定値	入力	入力	IO0FVビット設定値	入力	入力
SPBMI/SPBIO1	入力	入力	入力	入力	入力	入力
SPBIO2	MOII02ビット設定値	MOII02ビット設定値	入力	MOII02ビット設定値	MOII02ビット設定値	入力
SPBIO3	MOII03ビット設定値	MOII03ビット設定値	入力	MOII03ビット設定値	MOII03ビット設定値	入力

表 27.8 端子状態 (3)

端子	転送データ					
	SPI動作モード					
	SPIREビット=0、SPIWEビット=1			SPIREビット=1、SPIWEビット=1		
	1ビット幅	2ビット幅	4ビット幅	1ビット幅	2ビット幅	4ビット幅
SPBMO/SPBIO0	出力	出力	出力	出力	設定禁止	設定禁止
SPBMI/SPBIO1	Hi-Z	出力	出力	入力	設定禁止	設定禁止
SPBIO2	MOII02ビット設定値	MOII02ビット設定値	出力	MOII02ビット設定値	設定禁止	設定禁止
SPBIO3	MOII03ビット設定値	MOII03ビット設定値	出力	MOII03ビット設定値	設定禁止	設定禁止

表 27.9 端子状態 (4)

端子	ダミーサイクル		
	1ビット幅	2ビット幅	4ビット幅
SPBMO/SPBIO0	IO0FVビット設定値	Hi-Z	Hi-Z
SPBMI/SPBIO1	Hi-Z	Hi-Z	Hi-Z
SPBIO2	IO2FVビット設定値	IO2FVビット設定値	Hi-Z
SPBIO3	IO3FVビット設定値	IO3FVビット設定値	Hi-Z

27.3.12 SPBSSL 端子制御

SPBSSL 信号のインアクティブ条件を以下に示します。

(1) 外部アドレス空間リードモード

(a) 通常リード動作 (DRCR レジスタの RBE ビット = "0")

データ転送が完了し、t2 サイクル後にインアクティブ

(b) バーストリード SPBSSL 自動インアクティブなし

(DRCR レジスタの RBE ビット = "1"、DRCR レジスタの SSLE ビット = "0")

データ転送が完了し、t2 サイクル後にインアクティブ

(c) バーストリード SPBSSL 自動インアクティブ

(DRCR レジスタの RBE ビット = "1"、DRCR レジスタの SSLE ビット = "1")

- リードアドレスが前回リードしたアドレスに対し非連続のとき、t2 サイクル後にインアクティブ
- DRCR レジスタの SSLN ビット = "1" 設定後にインアクティブ

(2) SPI 動作モード

(a) SPBSSL 端子アクティブ保持なし (SMCR レジスタの SSLKP ビット = "0")

データ転送が完了し、t2 サイクル後にインアクティブ

(b) SPBSSL 端子アクティブ保持あり (SMCR レジスタの SSLKP ビット = "1")

インアクティブにしません。

インアクティブにする場合は、SSLKP ビット = "0" 設定後にデータ転送を行ってください。

27.3.13 フラグ

本モジュールは、CMNSR レジスタに SSLF、TEND ビットの 2 つのビットを持っています。これらのビットはリードのみ可能です。

(1) SSLF ビット

SPBSSL 端子の状態を示します。SPBSSL 信号がアクティブのときは“1”、インアクティブのときは“0”が読めます。

(2) TEND ビット

データ転送中/終了を示します。

t1 期間、データ転送、t2 期間、t3 期間、およびバーストリード SPBSSL 自動インアクティブでのリードアクセス待ちのとき、データ転送中であることを示し TEND ビット=“0”が読めます。

上記以外のとき、データ転送終了を示し TEND ビット=“1”が読めます。

(3) レジスタ書き換え

TEND ビットの状態により、レジスタ書き換えタイミングを決定します。

DRCR レジスタの SSLN ビット以外、ライトアクセスが可能なすべてのレジスタは TEND=“1”の時に書き換えてください。

また、SMRDR0 レジスタは TEND=“1”のときにリードしてください。

CMNSR レジスタは常にリード可能です。

27.4 使用上の注意事項

27.4.1 SPI 動作モードのデータリード転送時の注意事項

SPI 動作モードかつビットレートが2分周以上のとき、SPI モードイネーブル設定レジスタ (SMENR) で、データリード転送のみイネーブルにする場合は以下の点に注意してください。

なお、データリード転送のみとは SMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0] の各ビットをすべて 0 に設定し、データのリード転送を行うことを意味します。

(1) SPBSSL 端子をインアクティブにしている状態でのデータリード転送

データリード転送のみを行う場合、SMENR.SPIDE[3:0] = 1100b または 1111b に設定してください。

SMENR.SPIDE[3:0] = 1000b でデータリード転送のみを行った場合、正常に転送が行われません。

(2) SPBSSL 端子をアクティブにしている状態でのデータリード転送

データリード転送のみを行う場合、直前の転送をデータリード転送で終了させるか、SMENR.SPIDE[3:0] = 1100b または 1111b に設定してください。

直前の転送がコマンド/オプションコマンド/アドレス/オプションデータまたはデータライト転送の場合、その後の転送で SMENR.SPIDE[3:0] = 1000b に設定したデータリード転送のみを行うと正常に転送が行われません。

27.4.2 SPI 動作モードの SPBSSL 信号保持状態からの転送開始の注意事項

SPI 動作モードで SPBSSL 信号をアクティブにしている状態で、コマンド、オプションコマンド、アドレス、オプションデータで転送を開始する場合、SMCR レジスタの SPIWE ビットを 1 に設定してください。

27.4.3 初期設定についての注意事項

本モジュールを使用する場合、ビットレート設定レジスタ (SPBCR) の SPBR[7:0] = 00h かつ BRDV[1:0] = 00b に設定しないでください。

28. CRC 演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、CRC コード生成を行います。

28.1 概要

表 28.1 に CRC 演算器の仕様を示します。また図 28.1 に CRC 演算器のブロック図を示します。

表 28.1 CRC 演算器 (CRC) の仕様

項目	内容
CRC 演算対象データ	8ビット、16ビット、32ビット単位の任意のデータ長に対してCRCコードを生成可能
CRC 生成多項式	4つの多項式から選択可能 <ul style="list-style-type: none"> 32ビットイーサネットCRC (32-Ethernet) $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ 16ビットCCITT CRC (16-CCITT) $X^{16} + X^{12} + X^5 + 1$ 8ビットSAE J1850 CRC (8-SAE J1850) $X^8 + X^4 + X^3 + X^2 + 1$ 8ビット0x2F CRC (8-0x2F) $X^8 + X^5 + X^3 + X^2 + X + 1$
消費電力低減機能	モジュールストップ状態への設定が可能

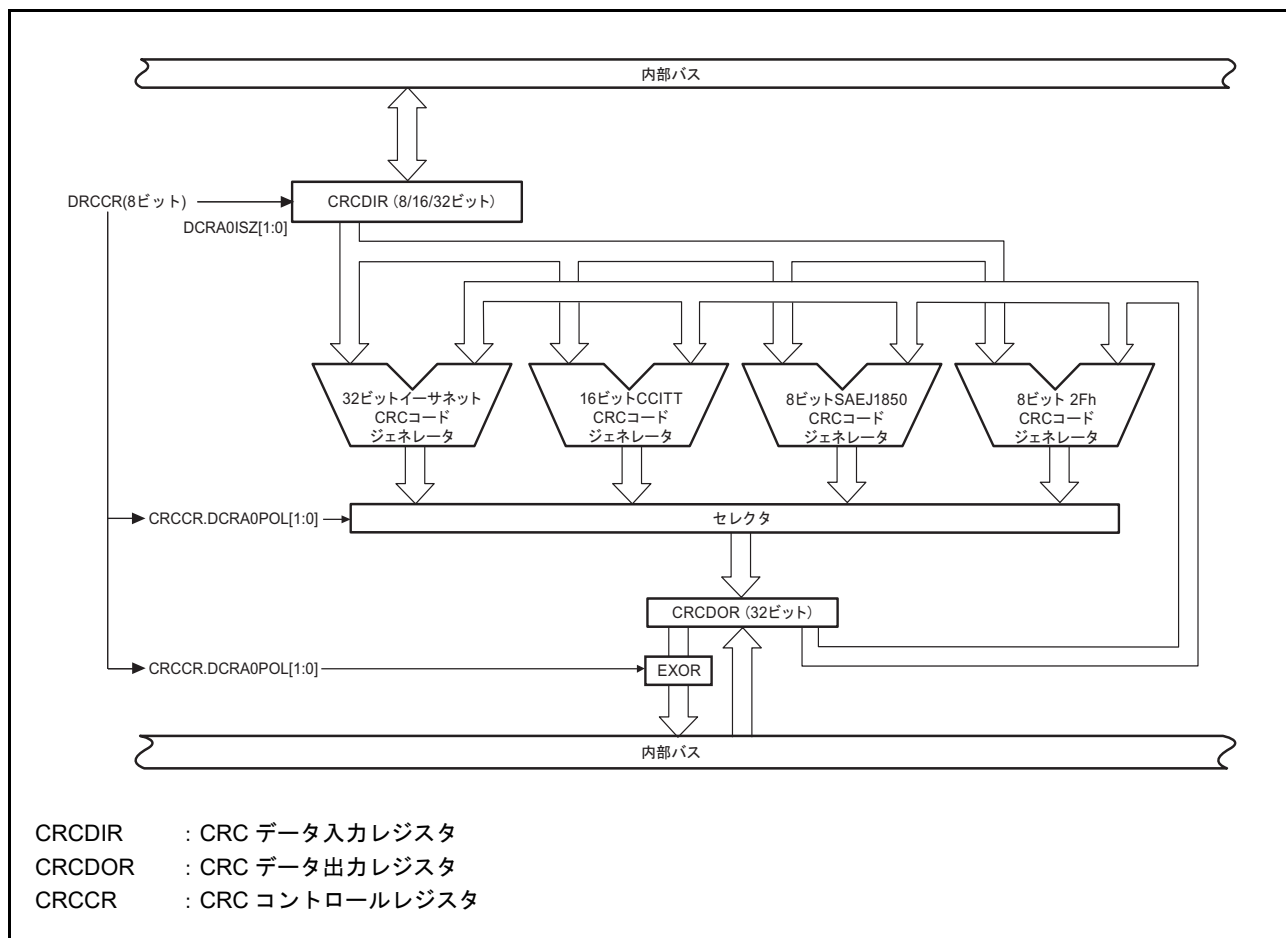


図 28.1 CRC 演算器 (CRC) のブロック図

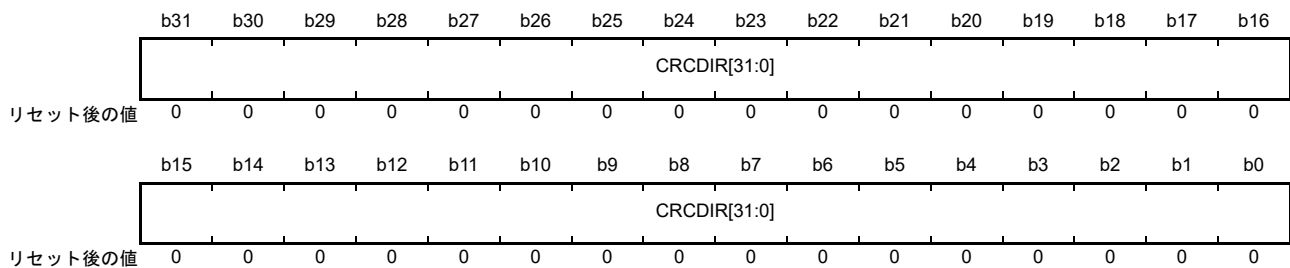
28.2 レジスタの説明

28.2.1 CRC データ入力レジスタ (CRCDIR)

CRCDIR レジスタはCRC計算用の入力データを格納するレジスタです。本レジスタにデータを書き込むと、CRCの計算が開始されます。

CRC計算に使われる有効ビット幅をCRCCR.DCRA0ISZ[1:0]で設定する必要があります。本レジスタに最初のデータを書き込む前に、CRCDORレジスタに初期開始値を書き込み、初期化を行う必要があります。初期化の詳細については「28.3.1 CRCデータ出力レジスタ (CRCDOR)の初期化」を参照してください。

アドレス A007 C000h



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRCDIR [31:0]	CRC計算用入力データ	以下のビット幅に対応しています。 <ul style="list-style-type: none"> CRC入力ビット幅32ビット：CRCDIR[31:0] CRC入力ビット幅16ビット：CRCDIR[15:0] CRC入力ビット幅8ビット：CRCDIR[7:0] 	R/W

バイト順

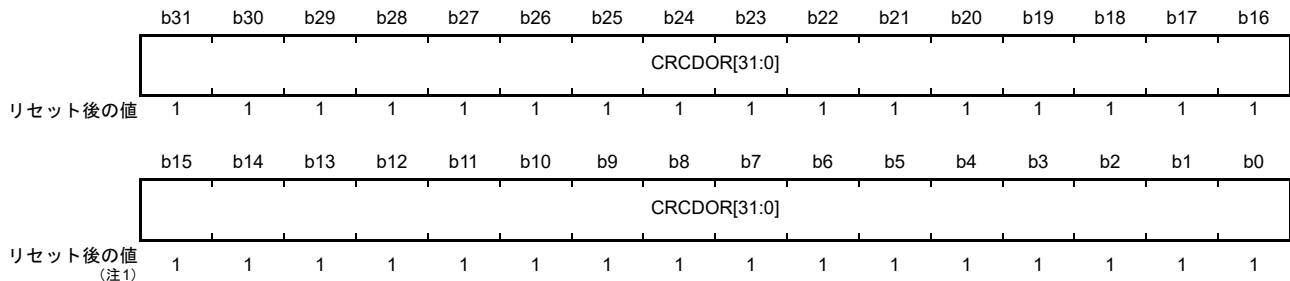
CRCDIRレジスタ内のバイト順は、選択されているCRC生成方式によって異なります。

- 32-Ethernet CRC多項式で生成する場合 (CRCCR.DCRA0POL[1:0] = 00b) バイト順はLSB (最下位バイト) が先頭になります。つまり、CRC入力ビット幅が8ビット (DCRA0ISZ[1:0] = 10b) の場合は、CRCDIRレジスタのビット位置7~0がLSBになります。
- 16-CCITT CRC多項式で生成する場合 (CRCCR.DCRA0POL[1:0] = 01b) バイト順はMSB (最上位バイト) が先頭になります。つまり、CRC入力ビット幅が8ビット (DCRA0ISZ[1:0] = 10b) の場合は、CRCDIRレジスタのビット位置7~0がMSBになります。
- 8-SAE J1850 CRC多項式で生成する場合 (CRCCR.DCRA0POL[1:0] = 10b) バイト順はMSB (最上位バイト) が先頭になります。つまり、CRC入力ビット幅が8ビット (DCRA0ISZ[1:0] = 10b) の場合は、CRCDIRレジスタのビット位置7~0がMSBになります。
- 8-0x2F CRC多項式で生成する場合 (CRCCR.DCRA0POL[1:0] = 11b) バイト順はMSB (最上位バイト) が先頭になります。つまり、CRC入力ビット幅が8ビット (DCRA0ISZ[1:0] = 10b) の場合は、CRCDIRレジスタのビット位置7~0がMSBになります。

28.2.2 CRC データ出力レジスタ (CRCDOR)

CRCDOR レジスタには、選択された CRC 生成多項式にもとづいて計算された CRC コードの結果が格納されます。

アドレス A007 C004h



注1. リセット後は、CRC 生成多項式として32ビットイーサネットCRCが選択されているため、読み出すとEXOR演算された値として0000 0000hが読めます。

ビット	シンボル	ビット名	機能	R/W
b31-b0	CRCDOR [31:0]	CRCコード生成の結果	<ul style="list-style-type: none"> 32-Ethernet : CRCDOR[31:0] 16-CCITT : CRCDOR[15:0] (b31-16は不定) 8-SAE J1850/8-0x2F : CRCDOR[7:0] (b31-8は不定) 本レジスタの読み出し値は、以下の値とEXOR演算された値となります。 <ul style="list-style-type: none"> 32-Ethernet : FFFF FFFFh 16-CCITT : 0000h 8-SAE J1850/8-0x2F : FFh 	R/W

注. CRC計算用の最初のデータをCRCDIRレジスタに書き込む前に、本レジスタを初期化（初期開始値を設定）する必要があります。初期化の詳細については「28.3.1 CRCデータ出力レジスタ (CRCDOR) の初期化」を参照してください。

CRCDOR[31:0] ビット

CRCCR.DCRA0POL[1:0] で選択した CRC 生成多項式にもとづいて、計算された CRC コードの結果が格納されます。

CRC コードの結果：

- 32-Ethernet の場合、CRCDOR[31:0] が CRC コードの結果を示します。
- 16-CCITT の場合、CRCDOR[15:0] が CRC コードの結果を示します。
ビット 31-16 は不定となります。
- 8-SAE J1850/8-0x2F の場合、CRCDOR[7:0] が CRC コードの結果を示します。
ビット 31-8 は不定となります。

また、本ビットの読み出し値は以下の EXOR 値と EXOR 演算された値が読み出されます。

EXOR 値：

- 32-Ethernet の場合、FFFF FFFFh
- 16-CCITT の場合、0000h
- 8-SAE J1850/8-0x2F の場合、FFh

リセット後は、CRC 生成多項式として 32-Ethernet が選択されているため、CRCDOR[31:0] を読み出すと、格納された初期値 FFFF FFFFh と、EXOR 値 FFFF FFFFh が EXOR 演算された値として、0000 0000h が読み出せます。

[例]

例えば、32-Ethernet の CRC 計算を行い、CRC コードの結果が CRCDOR[31:0] = 5555 5555h のとき、読み出すと EXOR 値 FFFF FFFFh と EXOR 演算をされた値である AAAA AAAAh が読めます。

28.2.3 CRCコントロールレジスタ (CRCCR)

CRCCR レジスタはCRC生成多項式、CRC入力ビット幅を制御するレジスタです。

アドレス A007 C020h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	DCRA0ISZ[1:0]	—	—	—	DCRA0POL[1:0]	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCRA0POL [1:0]	CRC生成方式指定	CRC生成方式を指定します。 b1 b0 00: 32-Ethernet ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 01: 16-CCITT ($X^{16} + X^{12} + X^5 + 1$) 10: 8-SAE J1850 ($X^8 + X^4 + X^3 + X^2 + 1$) 11: 8-0x2F ($X^8 + X^5 + X^3 + X^2 + X + 1$)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます	R
b5-b4	DCRA0ISZ [1:0]	CRC入力ビット幅指定	CRC入力ビット幅を指定します。 b1 b0 00: 32ビット (CRCDIR[31:0]) 01: 16ビット (CRCDIR[15:0]) 10: 8ビット (CRCDIR[7:0]) 11: 設定禁止	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。	R

- 注1. CRC生成方式 (CRCCR.DCRA0POL) を変更した場合、またはCRC入力ビット幅 (CRCCR.DCRA0ISZ) を変更した場合は、CRCDORレジスタを初期化 (初期開始値を設定) する必要があります。詳細については「28.3.1 CRCデータ出力レジスタ (CRCDOR) の初期化」を参照してください。
- 注2. CRC計算用データのブロック単位に合わせてCRC入力ビット幅 (CRCCR.DCRA0ISZ[1:0]) を設定する必要があります。CRC計算中にCRC入力ビット幅を変更することは禁止です。CRCDORレジスタから最終的なCRC計算結果を読み出したあとに、CRC入力ビット幅を変更することができます。この場合、次のCRC計算用データをCRCDIRレジスタに書き込む前に、CRCDORレジスタを初期化 (初期開始値を設定) する必要があります。

28.3 動作説明

CRC演算器は任意のデータブロック長のCRCコードを計算して生成します。対象データは、8ビット単位、16ビット単位または32ビット単位で、CRCデータ入力レジスタ (CRCDIR) へ設定することが可能です。CRCデータ入力レジスタ (CRCDIR) にデータが書き込まれると、選択されたCRC生成多項式にもとづいてCRC計算を開始します。CRCデータ入力レジスタ (CRCDIR) への最初の書き込みアクセスを行う前に、CRCDORレジスタに初期開始値を設定して初期化を行う必要があります。

以下にCRC演算器の使用方法の流れを示します。

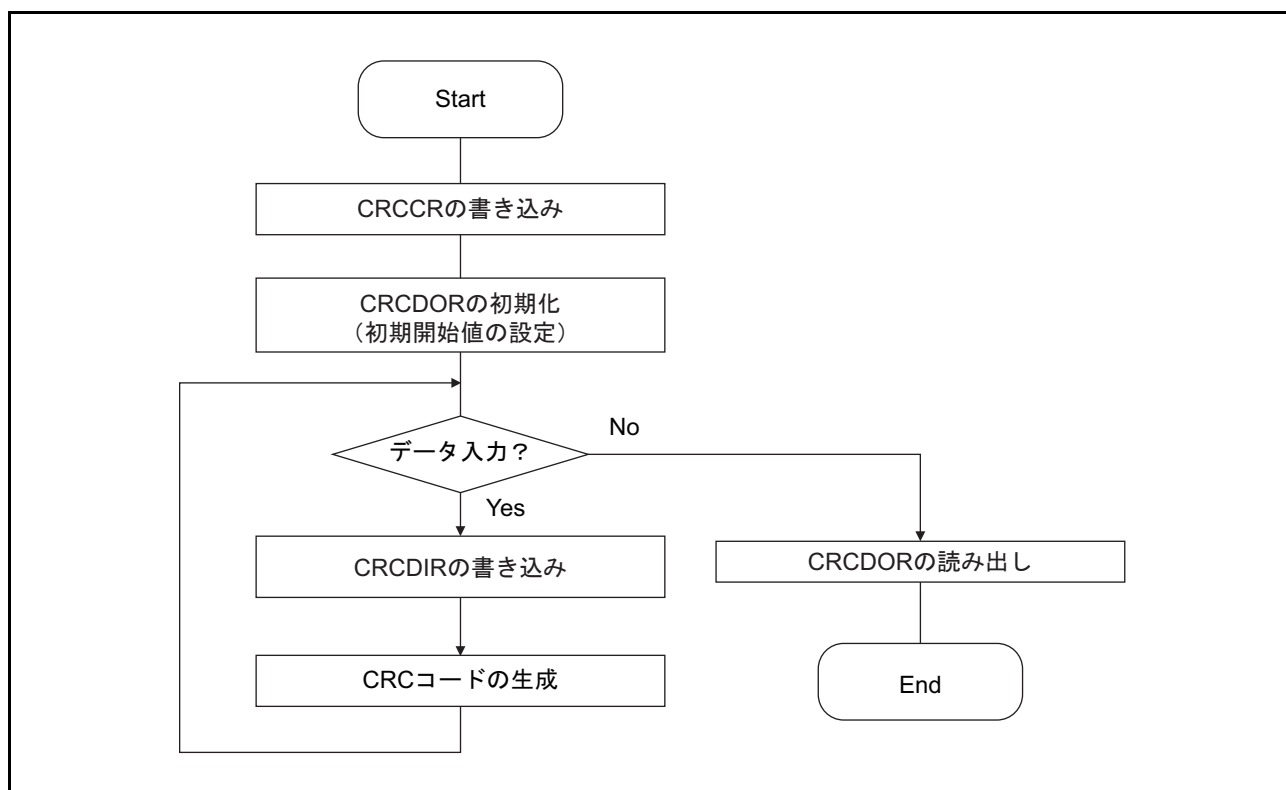


図 28.2 CRC演算器の使用方法

注. CRCCR.DCRA0POL[1:0]を書き換えてCRC生成多項式の設定を変更した場合は、再度CRCデータ出力レジスタ (CRCDOR) を初期化 (初期開始値を設定) する必要があります。

28.3.1 CRC データ出力レジスタ (CRCDOR) の初期化

CRC データ入力レジスタ (CRCDIR) に最初のデータ書き込みを行う前に、CRC データ出力レジスタ (CRCDOR) に初期開始値を設定して初期化する必要があります。表 28.2 に各 CRC 生成多項式の初期開始値を示します。

また初期開始値を設定後の CRCDOR レジスタの読み出し値と、読み出し時に EXOR 演算される EXOR 値も表 28.2 に示します。CRCDOR レジスタの読み出し値の詳細については「28.2.2 CRC データ出力レジスタ (CRCDOR)」を参照してください。

表 28.2 各CRC生成多項式の初期開始値

CRC 生成多項式	初期開始値	EXOR 値	初期開始値を設定後の CRCDOR の読み出し値
32-Ethernet (DCRA0POL[1:0] = 00b)	FFFF FFFFh	FFFF FFFFh	0000 0000h
16-CCITT (DCRA0POL[1:0] = 01b)	0000 FFFFh	0000 0000h	0000 FFFFh
8-SAE J1850 (DCRA0POL[1:0] = 10b)	0000 00FFh	0000 00FFh	0000 0000h
8-0x2F (DCRA0POL[1:0] = 11b)	0000 00FFh	0000 00FFh	0000 0000h

29. エラーコントロールモジュール (ECM)

本章では、エラーコントロールモジュール (ECM) について説明します。

29.1 概要

エラーコントロールモジュール (ECM) には各周辺モジュールからのエラー出力信号を受け付けて、エラー割り込みや内部リセット信号を発生させることが可能です。表 29.1 に ECM の仕様を、図 29.1 に ECM のブロック図を示します。

表 29.1 ECMの仕様

項目	説明
セーフティ処理	各モジュールからのエラー信号入力に対して、次の処理を行うことができます。 <ul style="list-style-type: none"> エラーフラグセット 各エラー要因ごとにエラー発生状態を示すフラグをもちます。 ECM マスカブル割り込み発生 各エラー要因ごとにマスカブル割り込みの発生を制御（許可／禁止）することが可能です。 ECM ノンマスカブル割り込み発生 各エラー要因ごとにノンマスカブル割り込みの発生を制御（許可／禁止）することが可能です。 ECM リセット（内部リセット） 各エラー要因ごとに内部リセットの発生を制御（許可／禁止）することが可能です。
エラーステータス	エラーステータスレジスタを搭載し、各エラーフラグの値から対応するエラー要因の発生があったかどうか確認することができます。
自己診断機能	<ul style="list-style-type: none"> 自己診断用に擬似エラーを発生させることができます。 擬似エラー発生時の動作は、実際にエラーが発生した場合と同じです。割り込み、内部リセットの設定はすべて反映されます。 また機能安全のエラー検出向けに拡張擬似エラーを使用可能です。
ディレイタイマタイムアウト機能	ECM マスカブル割り込み、ECM ノンマスカブル割り込みの発生と同時にディレイタイマをスタートし、割り込み処理中にディレイタイマを停止できず、ディレイタイマオーバーフローが発生した場合にエラー信号出力、またはECMリセットを発生する機能を搭載します。
その他	冗長化のためECMはマスタ／チェッカの2重構造をもちます。

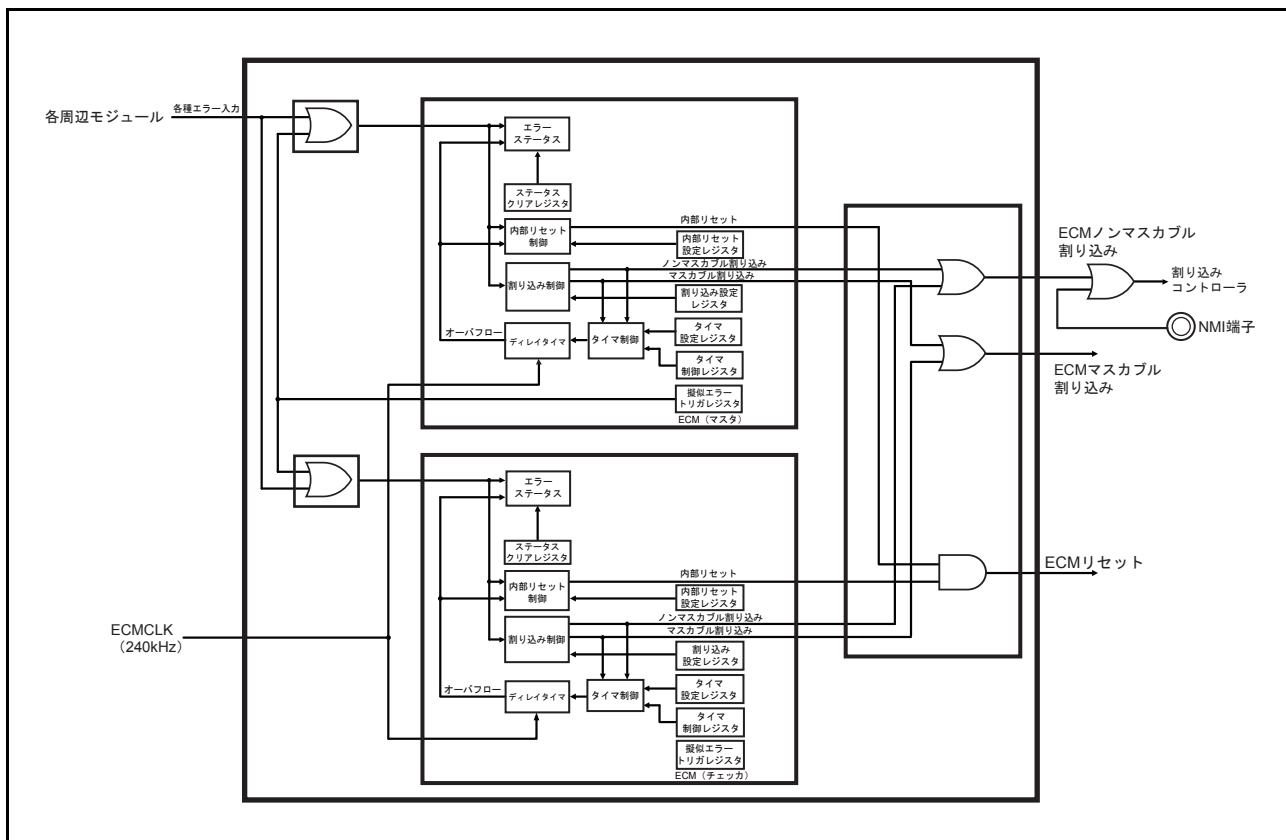


図 29.1 ECMのブロック図

ECM エラー入力を表 29.2 に示します。

表 29.2 ECMエラー入力 (1 / 2)

エラー要因番号	モジュール	機能
1	WDTA	WDTA アンドアフロー/リフレッシュエラー (Cortex-R4用)
2	—	予約
3	IWDTa	IWDTa アンドアフロー/リフレッシュエラー
4	—	予約
5	Cortex-R4 キャッシュ	命令キャッシュ (Tag RAM) のECC1ビット、ECC2ビットエラー
6		命令キャッシュ (Data RAM) のECC1ビット、ECC2ビットエラー
7		データキャッシュ (Tag/Dirty RAM) のECC1ビットエラー
8		データキャッシュ (Tag/Dirty RAM) のECC2ビットエラー
9		データキャッシュ (Data RAM) のECC1ビットエラー
10		データキャッシュ (Data RAM) のECC2ビットエラー
11	Cortex-R4 RAM	ATCMのECC1ビットエラー
12		ATCMのECC2ビットエラー
13		BTCMのECC1ビットエラー
14		BTCMのECC2ビットエラー
15	拡張内蔵SRAM	IRAM/DRAMのECC1ビットエラー
16		IRAM/DRAMのECC2ビットエラー
17	—	予約
18		予約
19		予約
20	クロックモニタ回路 (CLMA)	メインクロック発振停止検出
21		CLMA0 発振停止検出 (PLL0)
22		CLMA1 発振停止検出 (PLL1)
23		CLMA2 発振停止検出 (LOCO)
24	12ビットA/Dコンバータ (S12ADCa)	ユニット0 オーバライト割り込み
25		ユニット1 オーバライト割り込み
26	—	予約
27		予約
28		予約
29		予約
30		予約
31		予約
32	データ演算回路 (DOC)	DOC 演算エラー
33	内部バス	バスエラー
34	—	予約
35	—	拡張擬似エラー 35 (注1)
36	—	拡張擬似エラー 36 (注1)
37	—	拡張擬似エラー 37 (注1)
38	—	拡張擬似エラー 38 (注1)
39	—	拡張擬似エラー 39 (注1)
40	—	拡張擬似エラー 40 (注1)
41	—	拡張擬似エラー 41 (注1)

表 29.2 ECMエラー入力 (2 / 2)

エラー 要因 番号	モジュール	機能
42 ~ 92	—	予約
93	エラーコントロール モジュール (ECM)	コンペアエラー
94		ディレイタイマオーバーフローエラー
95		予約
96		予約

注1. ソフトウェアでECM擬似エラートリガレジスタ (ECMPEn) の対応するビットをセットすることで擬似エラーを発生できます。詳細は「29.3.1 疑似エラー発生」を参照してください。

29.2 レジスタの説明

29.2.1 ECM マスタ/チェッカエラーソースステータスレジスタ 0 (ECMmESSTR0 (m = M/C))

ECMmESSTR0 レジスタは各エラー要因の発生状態を示すフラグレジスタです (m = M, C)。本レジスタは ECM エラーソースステータスクリアトリガレジスタ 0 (ECMESSTC0) の対応ビットのセット、または RES# 端子リセットによってクリアされます。その他のリセット要因発生では本レジスタはクリアされません。

アドレス ECMMESSTR0 : A007 D008h
ECMCESSTR0 : A007 D048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMmSSE031	—	—	—	—	—	—	ECMmSSE024	ECMmSSE023	ECMmSSE022	ECMmSSE021	ECMmSSE020	ECMmSSE019	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMmSSE015	ECMmSSE014	ECMmSSE013	ECMmSSE012	ECMmSSE011	ECMmSSE010	ECMmSSE009	ECMmSSE008	ECMmSSE007	ECMmSSE006	ECMmSSE005	ECMmSSE004	—	ECMmSSE002	—	ECMmSSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMmSSE000	エラー要因ステータスビット1	エラー要因1のWDTAアンダフロー/リフレッシュエラー (Cortex-R4) の発生を示します。 0: エラー未発生 1: エラー発生	R
b1	—	予約ビット	読むと“0”が読めます。	R
b2	ECMmSSE002	エラー要因ステータスビット3	エラー要因3のIWDTaアンダフロー/リフレッシュエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b3	—	予約ビット	読むと“0”が読めます。	R
b4	ECMmSSE004	エラー要因ステータスビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生を示します。 0: エラー未発生 1: エラー発生	R
b5	ECMmSSE005	エラー要因ステータスビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生を示します。 0: エラー未発生 1: エラー発生	R
b6	ECMmSSE006	エラー要因ステータスビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b7	ECMmSSE007	エラー要因ステータスビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b8	ECMmSSE008	エラー要因ステータスビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b9	ECMmSSE009	エラー要因ステータスビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R

ビット	シンボル	ビット名	機能	R/W
b10	ECMmSSE010	エラー要因ステータスビット11	エラー要因11のATCMのECC1ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b11	ECMmSSE011	エラー要因ステータスビット12	エラー要因12のATCMのECC2ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b12	ECMmSSE012	エラー要因ステータスビット13	エラー要因13のBTCMのECC1ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b13	ECMmSSE013	エラー要因ステータスビット14	エラー要因14のBTCMのECC2ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b14	ECMmSSE014	エラー要因ステータスビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b15	ECMmSSE015	エラー要因ステータスビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b18- b16	—	予約ビット	読むと“0”が読めます。	R
b19	ECMmSSE019	エラー要因ステータスビット20	エラー要因20のメインクロック発振停止検出の発生を示します。 0: エラー未発生 1: エラー発生	R
b20	ECMmSSE020	エラー要因ステータスビット21	エラー要因21のCLMA0 発振停止検出 (PLL0) の発生を示します。 0: エラー未発生 1: エラー発生	R
b21	ECMmSSE021	エラー要因ステータスビット22	エラー要因22のCLMA1 発振停止検出 (PLL1) の発生を示します。 0: エラー未発生 1: エラー発生	R
b22	ECMmSSE022	エラー要因ステータスビット23	エラー要因23のCLMA2 発振停止検出 (LOCO) の発生を示します。 0: エラー未発生 1: エラー発生	R
b23	ECMmSSE023	エラー要因ステータスビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みの発生を示します。 0: エラー未発生 1: エラー発生	R
b24	ECMmSSE024	エラー要因ステータスビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みの発生を示します。 0: エラー未発生 1: エラー発生	R
b30- b25	—	予約ビット	読むと“0”が読めます。	R
b31	ECMmSSE031	エラー要因ステータスビット32	エラー要因32のDOC演算エラーの発生を示します。 0: エラー未発生 1: エラー発生	R

29.2.2 ECM マスタ/チェッカエラーソースステータスレジスタ 1 (ECMmESSTR1 (m = M/C))

ECMmESSTR1 レジスタは各エラー要因の発生状態を示すフラグレジスタです (m = M, C)。本レジスタは ECM エラーソースステータスクリアトリガレジスタ 1 (ECMESSTC1) の対応ビットのセット、または RES# 端子リセットによってクリアされます。その他のリセット要因発生では本レジスタはクリアされません。

アドレス ECMMESSTR1 : A007 D00Ch
ECMCESSTR1 : A007 D04Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMm SSE108	ECMm SSE107	ECMm SSE106	ECMm SSE105	ECMm SSE104	ECMm SSE103	ECMm SSE102	—	ECMm SSE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMmSSE100	エラー要因ステータスビット33	エラー要因33のバスエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b1	—	予約ビット	読むと“0”が読めます。	R
b2	ECMmSSE102	エラー要因ステータスビット35	エラー要因35の拡張擬似エラー 35 の発生を示します (注1)。 0: エラー未発生 1: エラー発生	R
b3	ECMmSSE103	エラー要因ステータスビット36	エラー要因36の拡張擬似エラー 36 の発生を示します (注1)。 0: エラー未発生 1: エラー発生	R
b4	ECMmSSE104	エラー要因ステータスビット37	エラー要因37の拡張擬似エラー 37 の発生を示します (注1)。 0: エラー未発生 1: エラー発生	R
b5	ECMmSSE105	エラー要因ステータスビット38	エラー要因38の拡張擬似エラー 38 の発生を示します (注1)。 0: エラー未発生 1: エラー発生	R
b6	ECMmSSE106	エラー要因ステータスビット39	エラー要因39の拡張擬似エラー 39 の発生を示します (注1)。 0: エラー未発生 1: エラー発生	R
b7	ECMmSSE107	エラー要因ステータスビット40	エラー要因40の拡張擬似エラー 40 の発生を示します (注1)。 0: エラー未発生 1: エラー発生	R
b8	ECMmSSE108	エラー要因ステータスビット41	エラー要因41の拡張擬似エラー 41 の発生を示します (注1)。 0: エラー未発生 1: エラー発生	R
b31-b9	—	予約ビット	読むと“0”が読めます。	R

注1. ソフトウェアでECMPE1.ECMPE102-108ビットをセットすることでエラーが発生します。

29.2.3 ECM マスタ/チェッカエラーソースステータスレジスタ 2 (ECMmESSTR2 (m = M/C))

ECMmESSTR2 レジスタは各エラー要因の発生状態を示すフラグレジスタです (m = M, C)。本レジスタのビット 29、ビット 28 は ECM エラーソースステータスクリアトリガレジスタ 2 (ECMESSTC2) の対応ビットのセット、または RES# 端子リセットによってクリアされます。その他のリセット要因発生では本レジスタはクリアされません。

アドレス ECMMESSTR2 : A007 D010h
ECMCESSTR2 : A007 D050h

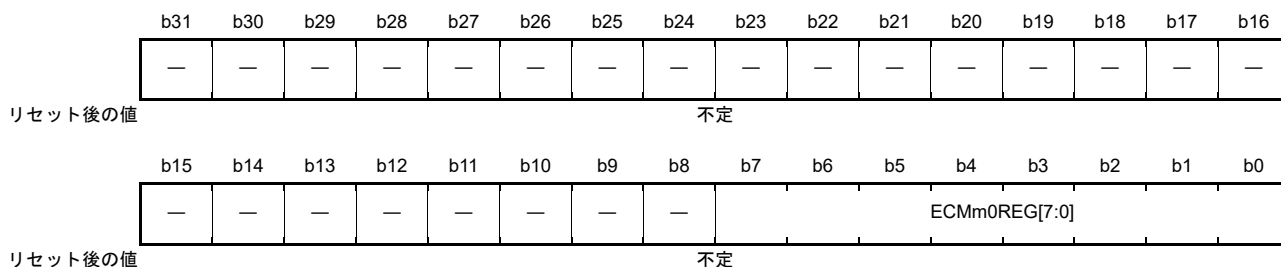
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ECMmSSE229	ECMmSSE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。	R
b28	ECMmSSE228	エラー要因ステータスビット93	エラー要因93のECMコンペアエラーの発生を示します。 0 : ECMコンペアエラー未発生 1 : ECMコンペアエラー発生	R
b29	ECMmSSE229	エラー要因ステータスビット94	エラー要因94のディレイタイマオーバーフロー有無を示します。 0 : ディレイタイマオーバーフロー未発生 1 : ディレイタイマオーバーフロー発生	R
b31-b30	—	予約ビット	読むと“0”が読めます。	R

29.2.4 ECM マスタ/チェッカ保護コマンドレジスタ (ECMmPCMD0 (m = M/C))

ECMmPCMD0 レジスタは保護されたレジスタへの書き込み制御を行うレジスタです (m = M, C)。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス ECMmPCMD0 : A007 D014h
ECMmPCMD0 : A007 D054h



ビット	シンボル	ビット名	機能	R/W
b7-b0	ECMm0REG7 ~ ECMm0REG0	特定命令シーケンス書き込みビット	ECMmレジスタ (m = M/C) への書き込みを有効にするため特定の命令シーケンスを書き込みます。	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

29.2.5 ECM マスカブル割り込みコンフィグレーションレジスタ 0 (ECMMICFG0)

ECMMICFG0 レジスタは各エラー要因の発生による ECM マスカブル割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMM IE031	—	—	—	—	—	—	ECMM IE024	ECMM IE023	ECMM IE022	ECMM IE021	ECMM IE020	ECMM IE019	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMM IE015	ECMM IE014	ECMM IE013	ECMM IE012	ECMM IE011	ECMM IE010	ECMM IE009	ECMM IE008	ECMM IE007	ECMM IE006	ECMM IE005	ECMM IE004	—	ECMM IE002	—	ECMM IE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMMIE000	ECM マスカブル割り込み発生制御ビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー (Cortex-R4) の発生によるマスカブル割り込みの許可／禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMMIE002	ECM マスカブル割り込み発生制御ビット3	エラー要因3のIWDtAアンダフロー／リフレッシュエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMMIE004	ECM マスカブル割り込み発生制御ビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるマスカブル割り込みの許可／禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b5	ECMMIE005	ECM マスカブル割り込み発生制御ビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるマスカブル割り込みの許可／禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b6	ECMMIE006	ECM マスカブル割り込み発生制御ビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b7	ECMMIE007	ECM マスカブル割り込み発生制御ビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b8	ECMMIE008	ECM マスカブル割り込み発生制御ビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b9	ECMMIE009	ECM マスカブル割り込み発生制御ビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b10	ECMMIE010	ECM マスカブル割り込み発生制御ビット11	エラー要因11のATCMのECC1ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b11	ECMMIE011	ECM マスカブル割り込み発生制御ビット12	エラー要因12のATCMのECC2ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b12	ECMMIE012	ECM マスカブル割り込み発生制御ビット13	エラー要因13のBTCMのECC1ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b13	ECMMIE013	ECM マスカブル割り込み発生制御ビット14	エラー要因14のBTCMのECC2ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b14	ECMMIE014	ECM マスカブル割り込み発生制御ビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b15	ECMMIE015	ECM マスカブル割り込み発生制御ビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b18- b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b19	ECMMIE019	ECM マスカブル割り込み発生制御ビット20	エラー要因20のメインクロック発振停止検出の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b20	ECMMIE020	ECM マスカブル割り込み発生制御ビット21	エラー要因21のCLMA0 発振停止検出 (PLL0) の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b21	ECMMIE021	ECM マスカブル割り込み発生制御ビット22	エラー要因22のCLMA1 発振停止検出 (PLL1) の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b22	ECMMIE022	ECM マスカブル割り込み発生制御ビット23	エラー要因23のCLMA2 発振停止検出 (LOCO) の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b23	ECMMIE023	ECM マスカブル割り込み発生制御ビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b24	ECMMIE024	ECM マスカブル割り込み発生制御ビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b30- b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b31	ECMMIE031	ECMマスカブル割り込み発生 制御ビット32	エラー要因32のDOC演算エラーの発生によるマスカブル割 り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W

29.2.6 ECM マスカブル割り込みコンフィグレーションレジスタ 1 (ECMMICFG1)

ECMMICFG1 レジスタは各エラー要因の発生による ECM マスカブル割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMM IE108	ECMM IE107	ECMM IE106	ECMM IE105	ECMM IE104	ECMM IE103	ECMM IE102	—	ECMM IE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMMIE100	ECMマスカブル割り込み発生制御ビット33	エラー要因33のバスエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMMIE102	ECMマスカブル割り込み発生制御ビット35	エラー要因35の拡張擬似エラー 35の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b3	ECMMIE103	ECMマスカブル割り込み発生制御ビット36	エラー要因36の拡張擬似エラー 36の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b4	ECMMIE104	ECMマスカブル割り込み発生制御ビット37	エラー要因37の拡張擬似エラー 37の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b5	ECMMIE105	ECMマスカブル割り込み発生制御ビット38	エラー要因38の拡張擬似エラー 38の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b6	ECMMIE106	ECMマスカブル割り込み発生制御ビット39	エラー要因39の拡張擬似エラー 39の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b7	ECMMIE107	ECMマスカブル割り込み発生制御ビット40	エラー要因40の拡張擬似エラー 40の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b8	ECMMIE108	ECMマスカブル割り込み発生制御ビット41	エラー要因41の拡張擬似エラー 41の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

29.2.7 ECM マスカブル割り込みコンフィグレーションレジスタ 2 (ECMMICFG2)

ECMMICFG2 レジスタは各エラー要因の発生による ECM マスカブル割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D08Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ECMMIE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMMIE228	ECM マスカブル割り込み発生制御ビット 93	エラー要因 93 の ECM コンペアエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

29.2.8 ECM ノンマスクابل割り込みコンフィグレーションレジスタ 0 (ECMNMICFG0)

ECMNMICFG0 レジスタは各エラー要因の発生による ECM ノンマスクابل割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMNM IE031	—	—	—	—	—	—	ECMNM IE024	ECMNM IE023	ECMNM IE022	ECMNM IE021	ECMNM IE020	ECMNM IE019	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMNM IE015	ECMNM IE014	ECMNM IE013	ECMNM IE012	ECMNM IE011	ECMNM IE010	ECMNM IE009	ECMNM IE008	ECMNM IE007	ECMNM IE006	ECMNM IE005	ECMNM IE004	—	ECMNM IE002	—	ECMNM IE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMNMIE000	ECMノンマスクابل割り込み発生制御ビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー (Cortex-R4) の発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMNMIE002	ECMノンマスクابل割り込み発生制御ビット3	エラー要因3のIWDTaアンダフロー／リフレッシュエラーの発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMNMIE004	ECMノンマスクابل割り込み発生制御ビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b5	ECMNMIE005	ECMノンマスクابل割り込み発生制御ビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b6	ECMNMIE006	ECMノンマスクابل割り込み発生制御ビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーの発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b7	ECMNMIE007	ECMノンマスクابل割り込み発生制御ビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーの発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b8	ECMNMIE008	ECMノンマスクابل割り込み発生制御ビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーの発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b9	ECMNMIE009	ECMノンマスカブル割り込み発生制御ビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーの発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b10	ECMNMIE010	ECMノンマスカブル割り込み発生制御ビット11	エラー要因11のATCMのECC1ビットエラーの発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b11	ECMNMIE011	ECMノンマスカブル割り込み発生制御ビット12	エラー要因12のATCMのECC2ビットエラーの発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b12	ECMNMIE012	ECMノンマスカブル割り込み発生制御ビット13	エラー要因13のBTCMのECC1ビットエラーの発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b13	ECMNMIE013	ECMノンマスカブル割り込み発生制御ビット14	エラー要因14のBTCMのECC2ビットエラーの発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b14	ECMNMIE014	ECMノンマスカブル割り込み発生制御ビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーの発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b15	ECMNMIE015	ECMノンマスカブル割り込み発生制御ビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーの発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b18- b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b19	ECMNMIE019	ECMノンマスカブル割り込み発生制御ビット20	エラー要因20のメインクロック発振停止検出の発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b20	ECMNMIE020	ECMノンマスカブル割り込み発生制御ビット21	エラー要因21のCLMA0発振停止検出 (PLL0) の発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b21	ECMNMIE021	ECMノンマスカブル割り込み発生制御ビット22	エラー要因22のCLMA1発振停止検出 (PLL1) の発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b22	ECMNMIE022	ECMノンマスカブル割り込み発生制御ビット23	エラー要因23のCLMA2発振停止検出 (LOCO) の発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b23	ECMNMIE023	ECMノンマスカブル割り込み発生制御ビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みの発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b24	ECMNMIE024	ECMノンマスカブル割り込み発生制御ビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みの発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b30- b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b31	ECMNMIE031	ECMノンマスカブル割り込み発生制御ビット32	エラー要因32のDOC演算エラーの発生によるノンマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W

29.2.9 ECM ノンマスクابل割り込みコンフィグレーションレジスタ 1 (ECMNMICFG1)

ECMNMICFG1 レジスタは各エラー要因の発生による ECM ノンマスクابل割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMNM IE108	ECMNM IE107	ECMNM IE106	ECMNM IE105	ECMNM IE104	ECMNM IE103	ECMNM IE102	—	ECMNM IE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMNMIE100	ECMノンマスクابل割り込み発生制御ビット33	エラー要因33のバスエラーの発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMNMIE102	ECMノンマスクابل割り込み発生制御ビット35	エラー要因35の拡張擬似エラー 35の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b3	ECMNMIE103	ECMノンマスクابل割り込み発生制御ビット36	エラー要因36の拡張擬似エラー 36の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b4	ECMNMIE104	ECMノンマスクابل割り込み発生制御ビット37	エラー要因37の拡張擬似エラー 37の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b5	ECMNMIE105	ECMノンマスクابل割り込み発生制御ビット38	エラー要因38の拡張擬似エラー 38の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b6	ECMNMIE106	ECMノンマスクابل割り込み発生制御ビット39	エラー要因39の拡張擬似エラー 39の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b7	ECMNMIE107	ECMノンマスクابل割り込み発生制御ビット40	エラー要因40の拡張擬似エラー 40の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b8	ECMNMIE108	ECMノンマスクابل割り込み発生制御ビット41	エラー要因41の拡張擬似エラー 41の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

29.2.10 ECM ノンマスクابل割り込みコンフィグレーションレジスタ 2 (ECMNMICFG2)

ECMNMICFG2 レジスタは各エラー要因の発生による ECM ノンマスクابل割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ECMNMIE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMNMIE228	ECMノンマスクابل割り込み発生制御ビット93	エラー要因93のECMコンペアエラーの発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

29.2.11 ECM 内部リセットコンフィグレーションレジスタ 0 (ECMIRCFG0)

ECMIRCFG0 レジスタは各エラー要因の発生による内部リセット (ECM リセット) の制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D09Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMIRE031	—	—	—	—	—	—	ECMIRE024	ECMIRE023	ECMIRE022	ECMIRE021	ECMIRE020	ECMIRE019	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMIRE015	ECMIRE014	ECMIRE013	ECMIRE012	ECMIRE011	ECMIRE010	ECMIRE009	ECMIRE008	ECMIRE007	ECMIRE006	ECMIRE005	ECMIRE004	—	ECMIRE002	—	ECMIRE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ECMIRE000	ECM内部リセット発生制御ビット1	エラー要因1のWDTアンダフロー/リフレッシュエラー (Cortex-R4) の発生によるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMIRE002	ECM内部リセット発生制御ビット3	エラー要因3のIWDtAアンダフロー/リフレッシュエラーの発生によるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMIRE004	ECM内部リセット発生制御ビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b5	ECMIRE005	ECM内部リセット発生制御ビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b6	ECMIRE006	ECM内部リセット発生制御ビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーの発生によるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b7	ECMIRE007	ECM内部リセット発生制御ビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーの発生によるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b8	ECMIRE008	ECM内部リセット発生制御ビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーの発生によるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b9	ECMIRE009	ECM内部リセット発生制御 ビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2 ビットエラーの発生によるECMリセット発生の許可/禁止 を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b10	ECMIRE010	ECM内部リセット発生制御 ビット11	エラー要因11のATCMのECC1ビットエラーの発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b11	ECMIRE011	ECM内部リセット発生制御 ビット12	エラー要因12のATCMのECC2ビットエラーの発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b12	ECMIRE012	ECM内部リセット発生制御 ビット13	エラー要因13のBTCMのECC1ビットエラーの発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b13	ECMIRE013	ECM内部リセット発生制御 ビット14	エラー要因14のBTCMのECC2ビットエラーの発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b14	ECMIRE014	ECM内部リセット発生制御 ビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーの発生に よるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b15	ECMIRE015	ECM内部リセット発生制御 ビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーの発生に よるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b18- b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b19	ECMIRE019	ECM内部リセット発生制御 ビット20	エラー要因20のメインクロック発振停止検出の発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b20	ECMIRE020	ECM内部リセット発生制御 ビット21	エラー要因21のCLMA0 発振停止検出 (PLL0) の発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b21	ECMIRE021	ECM内部リセット発生制御 ビット22	エラー要因22のCLMA1 発振停止検出 (PLL1) の発生によ るECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b22	ECMIRE022	ECM内部リセット発生制御 ビット23	エラー要因23のCLMA2 発振停止検出 (LOCO) の発生によ るECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b23	ECMIRE023	ECM内部リセット発生制御 ビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバ ライト割り込みの発生によるECMリセット発生の許可/禁 止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b24	ECMIRE024	ECM内部リセット発生制御 ビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバ ライト割り込みの発生によるECMリセット発生の許可/禁 止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b30- b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b31	ECMIRE031	ECM内部リセット発生制御 ビット32	エラー要因32のDOC演算エラーの発生によるECMリセット 発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W

29.2.12 ECM 内部リセットコンフィグレーションレジスタ 1 (ECMIRCFG1)

ECMIRCFG1 レジスタは各エラー要因の発生による内部リセット (ECM リセット) の制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMIRE108	ECMIRE107	ECMIRE106	ECMIRE105	ECMIRE104	ECMIRE103	ECMIRE102	—	ECMIRE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMIRE100	ECM内部リセット発生制御ビット33	エラー要因33のバスエラーの発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMIRE102	ECM内部リセット発生制御ビット35	エラー要因35の拡張擬似エラー 35の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b3	ECMIRE103	ECM内部リセット発生制御ビット36	エラー要因36の拡張擬似エラー 36の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b4	ECMIRE104	ECM内部リセット発生制御ビット37	エラー要因37の拡張擬似エラー 37の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b5	ECMIRE105	ECM内部リセット発生制御ビット38	エラー要因38の拡張擬似エラー 38の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b6	ECMIRE106	ECM内部リセット発生制御ビット39	エラー要因39の拡張擬似エラー 39の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b7	ECMIRE107	ECM内部リセット発生制御ビット40	エラー要因40の拡張擬似エラー 40の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b8	ECMIRE108	ECM内部リセット発生制御ビット41	エラー要因41の拡張擬似エラー 41の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

29.2.13 ECM 内部リセットコンフィグレーションレジスタ 2 (ECMIRCFG2)

ECMIRCFG2 レジスタは各エラー要因の発生による内部リセット (ECM リセット) の制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ECMIRE 229	ECMIRE 228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMIRE228	ECM内部リセット発生制御ビット93	エラー要因93のECMコンペアエラーの発生によるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b29	ECMIRE229	ECM内部リセット発生制御ビット94	エラー要因94のディレイタイマオーバーフローの発生によるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

29.2.14 ECM エラーソースステータスクリアトリガレジスタ 0 (ECMESSTC0)

ECMESSTC0 レジスタは各エラー状態のクリアを制御するレジスタです。各ビットに1をセットすることでECMmESSTR0 (m = M/C) レジスタが保持する各エラー状態をクリアすることができます。

このレジスタは共通レジスタです。書き込みによりECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMCL SSE031	—	—	—	—	—	—	ECMCL SSE024	ECMCL SSE023	ECMCL SSE022	ECMCL SSE021	ECMCL SSE020	ECMCL SSE019	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMCL SSE015	ECMCL SSE014	ECMCL SSE013	ECMCL SSE012	ECMCL SSE011	ECMCL SSE010	ECMCL SSE009	ECMCL SSE008	ECMCL SSE007	ECMCL SSE006	ECMCL SSE005	ECMCL SSE004	—	ECMCL SSE002	—	ECMCL SSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMCLSSE000	ECMエラー状態クリアビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー (Cortex-R4) のエラー状態をクリアし、ECMmESSTR0.ECMmSSE000ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b1	—	予約ビット	書く場合、“0”としてください。	W
b2	ECMCLSSE002	ECMエラー状態クリアビット3	エラー要因3のIWDtAアンダフロー／リフレッシュエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE002ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b3	—	予約ビット	書く場合、“0”としてください。	W
b4	ECMCLSSE004	ECMエラー状態クリアビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) のエラー状態をクリアし、ECMmESSTR0.ECMmSSE004ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b5	ECMCLSSE005	ECMエラー状態クリアビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) のエラー状態をクリアし、ECMmESSTR0.ECMmSSE005ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b6	ECMCLSSE006	ECMエラー状態クリアビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE006ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b7	ECMCLSSE007	ECMエラー状態クリアビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE007ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W

ビット	シンボル	ビット名	機能	R/W
b8	ECMCLSSE008	ECMエラー状態クリアビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE008ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b9	ECMCLSSE009	ECMエラー状態クリアビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE009ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b10	ECMCLSSE010	ECMエラー状態クリアビット11	エラー要因11のATCMのECC1ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE010ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b11	ECMCLSSE011	ECMエラー状態クリアビット12	エラー要因12のATCMのECC2ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE011ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b12	ECMCLSSE012	ECMエラー状態クリアビット13	エラー要因13のBTCMのECC1ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE012ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b13	ECMCLSSE013	ECMエラー状態クリアビット14	エラー要因14のBTCMのECC2ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE013ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b14	ECMCLSSE014	ECMエラー状態クリアビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE014ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b15	ECMCLSSE015	ECMエラー状態クリアビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE015ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b18- b16	—	予約ビット	書く場合、“0”としてください。	W
b19	ECMCLSSE019	ECMエラー状態クリアビット20	エラー要因20のメインクロック発振停止検出のエラー状態をクリアし、ECMmESSTR0.ECMmSSE019ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b20	ECMCLSSE020	ECMエラー状態クリアビット21	エラー要因21のCLMA0 発振停止検出 (PLL0) のエラー状態をクリアし、ECMmESSTR0.ECMmSSE020ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b21	ECMCLSSE021	ECMエラー状態クリアビット22	エラー要因22のCLMA1 発振停止検出 (PLL1) のエラー状態をクリアし、ECMmESSTR0.ECMmSSE021ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b22	ECMCLSSE022	ECMエラー状態クリアビット23	エラー要因23のCLMA2 発振停止検出 (LOCO) のエラー状態をクリアし、ECMmESSTR0.ECMmSSE022ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W

ビット	シンボル	ビット名	機能	R/W
b23	ECMCLSSE023	ECMエラー状態クリアビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みのエラー状態をクリアし、ECMmESSTR0.ECMmSSE023ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b24	ECMCLSSE024	ECMエラー状態クリアビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みのエラー状態をクリアし、ECMmESSTR0.ECMmSSE024ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b30- b25	—	予約ビット	書く場合、“0”としてください。	W
b31	ECMCLSSE031	ECMエラー状態クリアビット32	エラー要因32のDOC演算エラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE031ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W

29.2.15 ECM エラーソースステータスクリアトリガレジスタ 1 (ECMESSTC1)

ECMESSTC1 レジスタは各エラー状態のクリアを制御するレジスタです。各ビットに1をセットすることでECMmESSTR1 (m = M/C) レジスタが保持する各エラー状態をクリアすることができます。

このレジスタは共通レジスタです。書き込みによりECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMCL SSE108	ECMCL SSE107	ECMCL SSE106	ECMCL SSE105	ECMCL SSE104	ECMCL SSE103	ECMCL SSE102	—	ECMCL SSE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMCLSSE100	ECMエラー状態クリアビット 33	エラー要因33のバスエラーのエラー状態をクリアし、ECMmESSTR1.ECMmSSE100ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b1	—	予約ビット	書く場合、“0”としてください。	W
b2	ECMCLSSE102	ECMエラー状態クリアビット 35	エラー要因35の拡張擬似エラー 35のエラー状態をクリアし、ECMmESSTR1.ECMmSSE102ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b3	ECMCLSSE103	ECMエラー状態クリアビット 36	エラー要因36の拡張擬似エラー 36のエラー状態をクリアし、ECMmESSTR1.ECMmSSE103ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b4	ECMCLSSE104	ECMエラー状態クリアビット 37	エラー要因37の拡張擬似エラー 37のエラー状態をクリアし、ECMmESSTR1.ECMmSSE104ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b5	ECMCLSSE105	ECMエラー状態クリアビット 38	エラー要因38の拡張擬似エラー 38のエラー状態をクリアし、ECMmESSTR1.ECMmSSE105ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b6	ECMCLSSE106	ECMエラー状態クリアビット 39	エラー要因39の拡張擬似エラー 39のエラー状態をクリアし、ECMmESSTR1.ECMmSSE106ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b7	ECMCLSSE107	ECMエラー状態クリアビット 40	エラー要因40の拡張擬似エラー 40のエラー状態をクリアし、ECMmESSTR1.ECMmSSE107ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W

ビット	シンボル	ビット名	機能	R/W
b8	ECMCLSSE108	ECMエラー状態クリアビット41	エラー要因41の拡張擬似エラー 41のエラー状態をクリアし、ECMmESSTR1.ECMmSSE108ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b31-b9	—	予約ビット	書く場合、“0”としてください。	W

29.2.16 ECM エラーソースステータスクリアトリガレジスタ 2 (ECMESSTC2)

ECMESSTC2 レジスタは各エラー状態のクリアを制御するレジスタです。各ビットに1をセットすることでECMmESSTR2 (m = M/C) レジスタが保持する各エラー状態をクリアすることができます。

このレジスタは共通レジスタです。書き込みによりECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0BCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ECMCL SSE229	ECMCL SSE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	書く場合、“0”としてください。	W
b28	ECMCLSSE228	ECMエラー状態クリアビット93	エラー要因93のECMコンペアエラーのエラー状態をクリアし、ECMmESSTR2.ECMmSSE228ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b29	ECMCLSSE229	ECMエラー状態クリアビット94	エラー要因94のディレイタイマオーバフローのエラー状態をクリアし、ECMmESSTR2.ECMmSSE229ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b30	—	予約ビット	書く場合、“0”としてください。	W
b31	—	予約ビット	書く場合、“0”としてください。	W

29.2.17 ECM 保護コマンドレジスタ (ECMPCMD1)

ECMPCMD1 レジスタは保護された共通レジスタへの書き込み制御を行うレジスタです。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
リセット後の値	不定																	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
	—	—	—	—	—	—	—	—	ECM1REG[7:0]								—	—
リセット後の値	不定																	

ビット	シンボル	ビット名	機能	R/W
b7-b0	ECM1REG[7:0]	特定命令シーケンス書き込みビット	共通レジスタへの書き込みを有効にするため特定の命令シーケンスを書き込みます。	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

29.2.18 ECM 保護ステータスレジスタ (ECMPS)

ECMPS レジスタは保護されたレジスタに対し、正しく書き込みが行われたかどうかのステータスを示すレジスタです。

詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0C4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMPRERR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMPRERR	ECM保護ステータスビット	ライト保護レジスタへ正常に書き込まれたかどうかを表示します。 0: 書き込み成功 1: 書き込み失敗	R
b7-b1	—	予約ビット	読むと“0”が読めます。	R

29.2.19 ECM 擬似エラートリガレジスタ 0 (ECMPE0)

ECMPE0 レジスタは自己診断用の擬似エラーを発行させる制御レジスタです。擬似エラー発生時は、実際にエラー要因が発生した場合と同じように ECM で設定した割り込みや ECM リセットなどが発生します。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMPE031	—	—	—	—	—	—	ECMPE024	ECMPE023	ECMPE022	ECMPE021	ECMPE020	ECMPE019	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMPE015	ECMPE014	ECMPE013	ECMPE012	ECMPE011	ECMPE010	ECMPE009	ECMPE008	ECMPE007	ECMPE006	ECMPE005	ECMPE004	—	ECMPE002	—	ECMPE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMPE000	ECM擬似エラートリガビット1	エラー要因1のWDTアンダフロー/リフレッシュエラー (Cortex-R4) を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b1	—	予約ビット	書く場合、“0”としてください。	W
b2	ECMPE002	ECM擬似エラートリガビット3	エラー要因3のIWDTaアンダフロー/リフレッシュエラーを擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b3	—	予約ビット	書く場合、“0”としてください。	W
b4	ECMPE004	ECM擬似エラートリガビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b5	ECMPE005	ECM擬似エラートリガビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b6	ECMPE006	ECM擬似エラートリガビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーを擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b7	ECMPE007	ECM擬似エラートリガビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーを擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b8	ECMPE008	ECM擬似エラートリガビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーを擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b9	ECMPE009	ECM擬似エラートリガビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーを擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W

ビット	シンボル	ビット名	機能	R/W
b10	ECMPE010	ECM擬似エラートリガビット 11	エラー要因11のATCMのECC1ビットエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b11	ECMPE011	ECM擬似エラートリガビット 12	エラー要因12のATCMのECC2ビットエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b12	ECMPE012	ECM擬似エラートリガビット 13	エラー要因13のBTCMのECC1ビットエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b13	ECMPE013	ECM擬似エラートリガビット 14	エラー要因14のBTCMのECC2ビットエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b14	ECMPE014	ECM擬似エラートリガビット 15	エラー要因15のIRAM/DRAMのECC1ビットエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b15	ECMPE015	ECM擬似エラートリガビット 16	エラー要因16のIRAM/DRAMのECC2ビットエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b18- b16	—	予約ビット	書く場合、“0”としてください。	W
b19	ECMPE019	ECM擬似エラートリガビット 20	エラー要因20のメインクロック発振停止検出を擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b20	ECMPE020	ECM擬似エラートリガビット 21	エラー要因21のCLMA0 発振停止検出 (PLL0) を擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b21	ECMPE021	ECM擬似エラートリガビット 22	エラー要因22のCLMA1 発振停止検出 (PLL1) を擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b22	ECMPE022	ECM擬似エラートリガビット 23	エラー要因23のCLMA2 発振停止検出 (LOCO) を擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b23	ECMPE023	ECM擬似エラートリガビット 24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b24	ECMPE024	ECM擬似エラートリガビット 25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b30- b25	—	予約ビット	書く場合、“0”としてください。	W
b31	ECMPE031	ECM擬似エラートリガビット 32	エラー要因32のDOC演算エラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W

29.2.20 ECM 擬似エラートリガレジスタ 1 (ECMPE1)

ECMPE1 レジスタは自己診断用の擬似エラーを発行させる制御レジスタです。擬似エラー発生時は、実際にエラー要因が発生した場合と同じように ECM で設定した割り込みや ECM リセットなどが発生します。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

ビット 2-8 は拡張擬似エラー用のトリガビットです。詳細については「29.3.1 擬似エラー発生」を参照してください。

アドレス A007 D0CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMPE 108	ECMPE 107	ECMPE 106	ECMPE 105	ECMPE 104	ECMPE 103	ECMPE 102	—	ECMPE 100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMPE100	ECM擬似エラートリガビット 33	エラー要因33のバスエラーを擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b1	—	予約ビット	書く場合、“0”としてください。	W
b2	ECMPE102	ECM擬似エラートリガビット 35	エラー要因35の拡張擬似エラー 35を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b3	ECMPE103	ECM擬似エラートリガビット 36	エラー要因36の拡張擬似エラー 36を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b4	ECMPE104	ECM擬似エラートリガビット 37	エラー要因37の拡張擬似エラー 37を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b5	ECMPE105	ECM擬似エラートリガビット 38	エラー要因38の拡張擬似エラー 38を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b6	ECMPE106	ECM擬似エラートリガビット 39	エラー要因39の拡張擬似エラー 39を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b7	ECMPE107	ECM擬似エラートリガビット 40	エラー要因40の拡張擬似エラー 40を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b8	ECMPE108	ECM擬似エラートリガビット 41	エラー要因41の拡張擬似エラー 41を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b31-b9	—	予約ビット	書く場合、“0”としてください。	W

29.2.21 ECM 擬似エラートリガレジスタ 2 (ECMPE2)

ECMPE2 レジスタは自己診断用の擬似エラーを発行させる制御レジスタです。擬似エラー発生時は、実際にエラー要因が発生した場合と同じように ECM で設定した割り込みや ECM リセットなどが発生します。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ECMPE 229	ECMPE 228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	書く場合、“0”としてください。	W
b28	ECMPE228	ECM擬似エラートリガビット93	エラー要因93のECMエラーを擬似的に発生させます。 0：擬似エラーを発生しない 1：対応するエラーを擬似的に発生する	W
b29	ECMPE229	ECM擬似エラートリガビット94	エラー要因94のディレイタイマオーバーフローを擬似的に発生させます。 0：擬似エラーを発生しない 1：対応するエラーを擬似的に発生する	W
b31-b30	—	予約ビット	書く場合、“0”としてください。	W

29.2.22 ECM ディレイタイマコントロールレジスタ (ECMDTMCTL)

ECMDTMCTL レジスタはディレイタイマを制御するレジスタです。

このレジスタは共通レジスタです。このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0D4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DTMSTA CNTCLK	—	—	DTMST P	DTMST A

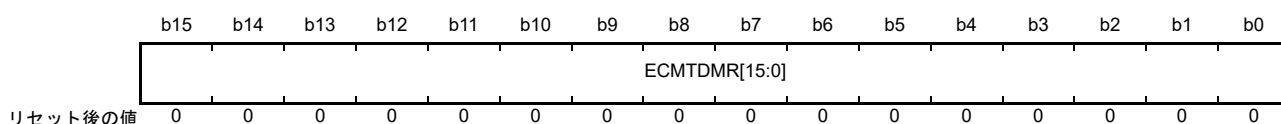
リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DTMSTA	ディレイタイマスタートビット	ディレイタイマの動作を設定します。 0: ディレイタイマ動作禁止 1: ディレイタイマ動作許可	R/W
b1	DTMSTP	ディレイタイマストップビット	このビットへ1を書き込むとディレイタイマカウンタが初期化され、ディレイタイマは停止します。同時にDTMSTAビットは0になります。	W
b3-b2	—	予約ビット	読むと“0”が読めます。	R
b4	DTMSTACNT CLK	ディレイタイマステータスビット	ディレイタイマの動作ステータスとして、DTMSTAビットの値が反映されます。DTMSTAビットを一度書き換えた場合、DTMSTACNTCLKビットにDTMSTAビットの設定値が反映されるまでは、DTMSTAビットを書き換えることは禁止です。	R
b7-b5	—	予約ビット	読むと“0”が読めます。	R

29.2.23 ECM ディレイタイマレジスタ (ECMDTMR)

ECMDTMR レジスタはディレイタイマの 16 ビットカウンタレジスタです。16 ビットカウンタは ECMCLK (240kHz) でカウントアップ動作します。ECM ディレイタイマコントロールレジスタの DTMSTA ビットを 1 (ディレイタイマ動作許可) から 0 (ディレイタイマ動作禁止) にすることで、16 ビットカウンタは初期化されます。本レジスタは、リードのみ可能です。

アドレス A007 D0D8h



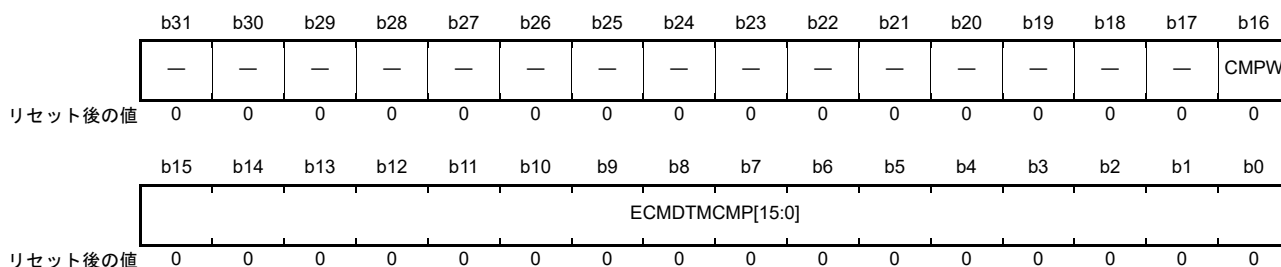
29.2.24 ECM ディレイタイマコンペアレジスタ (ECMDTMCMP)

ECMDTMCMP レジスタはディレイタイマのオーバフロー周期を設定するためのコンペアレジスタです。本レジスタとディレイタイマカウンタの値が一致するとディレイタイマオーバフロー信号が発生し、ECMmSSE229 ビットがセットされます。本レジスタへの書き込みはディレイタイマ停止中に行ってください。

このレジスタは共通レジスタです。このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

このレジスタへの書き込みは、CMPW ビットを読み出して 0 がセットされていることを確認した後に行ってください。

アドレス A007 D0DCh



ビット	シンボル	ビット名	機能	R/W
b15-b0	ECMDTMCMP[15:0]	ディレイタイマコンペアビット	ディレイタイマのオーバフロー周期を設定します。 (オーバフロー周期) = (N + 1) × (ECMCLKの周期 (240kHz)) N: 設定値 詳細は「29.3.3 ディレイタイマによる割り込み処理のタイムアウト機能」を参照してください。	R/W
b16	CMPW	コンペアライトビット	ディレイタイマコンペアビットの書き込み状態を示します。本ビットが0のときにコンペア値の書き込みが可能です。 0: ECMDTMCMP[15:0]へ書き込み可能 1: ECMDTMCMP[15:0]へ書き込み禁止	R
b31-b17	—	予約ビット	読むと“0”が読めます。	R

29.2.25 ECM ディレイタイマコンフィグレーションレジスタ 0 (ECMDTMCFG0)

ECMDTMCFG0 レジスタは ECM マスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM マスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMTE031	—	—	—	—	—	—	ECMTE024	ECMTE023	ECMTE022	ECMTE021	ECMTE020	ECMTE019	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMTE015	ECMTE014	ECMTE013	ECMTE012	ECMTE011	ECMTE010	ECMTE009	ECMTE008	ECMTE007	ECMTE006	ECMTE005	ECMTE004	—	ECMTE002	—	ECMTE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMTE000	ECMディレイタイマスタート制御ビット1	エラー要因1のWDTアンダフロー/リフレッシュエラー (Cortex-R4) によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMTE002	ECMディレイタイマスタート制御ビット3	エラー要因3のIWDTaアンダフロー/リフレッシュエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMTE004	ECMディレイタイマスタート制御ビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b5	ECMTE005	ECMディレイタイマスタート制御ビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b6	ECMTE006	ECMディレイタイマスタート制御ビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b7	ECMTE007	ECMディレイタイマスタート制御ビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMTE008	ECMディレイタイマスタート制御ビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b9	ECMTE009	ECMディレイタイマスタート制御ビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b10	ECMTE010	ECMディレイタイマスタート制御ビット11	エラー要因11のATCMのECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b11	ECMTE011	ECMディレイタイマスタート制御ビット12	エラー要因12のATCMのECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b12	ECMTE012	ECMディレイタイマスタート制御ビット13	エラー要因13のBTCMのECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b13	ECMTE013	ECMディレイタイマスタート制御ビット14	エラー要因14のBTCMのECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b14	ECMTE014	ECMディレイタイマスタート制御ビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b15	ECMTE015	ECMディレイタイマスタート制御ビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b18- b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b19	ECMTE019	ECMディレイタイマスタート制御ビット20	エラー要因20のメインクロック発振停止検出によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b20	ECMTE020	ECMディレイタイマスタート制御ビット21	エラー要因21のCLMA0発振停止検出 (PLL0) によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b21	ECMTE021	ECMディレイタイマスタート制御ビット22	エラー要因22のCLMA1発振停止検出 (PLL1) によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b22	ECMTE022	ECMディレイタイマスタート制御ビット23	エラー要因23のCLMA2発振停止検出 (LOCO) によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b23	ECMTE023	ECMディレイタイマスタート制御ビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b24	ECMTE024	ECMディレイタイマスタート制御ビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b30- b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31	ECMTE031	ECMディレイタイマスタート制御ビット32	エラー要因32のDOC演算エラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W

29.2.26 ECM ディレイタイマコンフィグレーションレジスタ 1 (ECMDTMCFG1)

ECMDTMCFG1 レジスタはECM マスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM マスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMTE 108	ECMTE 107	ECMTE 106	ECMTE 105	ECMTE 104	ECMTE 103	ECMTE 102	—	ECMTE 100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMTE100	ECMディレイタイマスタート制御ビット33	エラー要因33のバスエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMTE102	ECMディレイタイマスタート制御ビット35	エラー要因35の拡張擬似エラー 35によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b3	ECMTE103	ECMディレイタイマスタート制御ビット36	エラー要因36の拡張擬似エラー 36によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b4	ECMTE104	ECMディレイタイマスタート制御ビット37	エラー要因37の拡張擬似エラー 37によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b5	ECMTE105	ECMディレイタイマスタート制御ビット38	エラー要因38の拡張擬似エラー 38によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b6	ECMTE106	ECMディレイタイマスタート制御ビット39	エラー要因39の拡張擬似エラー 39によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b7	ECMTE107	ECMディレイタイマスタート制御ビット40	エラー要因40の拡張擬似エラー 40によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b8	ECMTE108	ECMディレイタイマスタート制御ビット41	エラー要因41の拡張擬似エラー 41によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

29.2.27 ECM ディレイタイマコンフィグレーションレジスタ 2 (ECMDTMCFG2)

ECMDTMCFG2 レジスタは ECM マスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM マスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ECMTE 228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMTE228	ECMディレイタイマスタート制御ビット93	エラー要因93のECMコンペアエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

29.2.28 ECM ディレイタイマコンフィグレーションレジスタ 3 (ECMDTMCFG3)

ECMDTMCFG3 レジスタはECM ノンマスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM ノンマスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMTE 331	—	—	—	—	—	—	ECMTE 324	ECMTE 323	ECMTE 322	ECMTE 321	ECMTE 320	ECMTE 319	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMTE 315	ECMTE 314	ECMTE 313	ECMTE 312	ECMTE 311	ECMTE 310	ECMTE 309	ECMTE 308	ECMTE 307	ECMTE 306	ECMTE 305	ECMTE 304	—	ECMTE 302	—	ECMTE 300
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMTE300	ECMディレイタイマスタート制御ビット1	エラー要因1のWDTアンダフロー/リフレッシュエラー (Cortex-R4) によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMTE302	ECMディレイタイマスタート制御ビット3	エラー要因3のIWDtAアンダフロー/リフレッシュエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMTE304	ECMディレイタイマスタート制御ビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b5	ECMTE305	ECMディレイタイマスタート制御ビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b6	ECMTE306	ECMディレイタイマスタート制御ビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b7	ECMTE307	ECMディレイタイマスタート制御ビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMTE308	ECMディレイタイマスタート制御ビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b9	ECMTE309	ECMディレイタイマスタート制御ビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b10	ECMTE310	ECMディレイタイマスタート制御ビット11	エラー要因11のATCMのECC1ビットエラーによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b11	ECMTE311	ECMディレイタイマスタート制御ビット12	エラー要因12のATCMのECC2ビットエラーによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b12	ECMTE312	ECMディレイタイマスタート制御ビット13	エラー要因13のBTCMのECC1ビットエラーによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b13	ECMTE313	ECMディレイタイマスタート制御ビット14	エラー要因14のBTCMのECC2ビットエラーによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b14	ECMTE314	ECMディレイタイマスタート制御ビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b15	ECMTE315	ECMディレイタイマスタート制御ビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b18- b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b19	ECMTE319	ECMディレイタイマスタート制御ビット20	エラー要因20のメインクロック発振停止検出によって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b20	ECMTE320	ECMディレイタイマスタート制御ビット21	エラー要因21のCLMA0発振停止検出 (PLL0) によって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b21	ECMTE321	ECMディレイタイマスタート制御ビット22	エラー要因22のCLMA1発振停止検出 (PLL1) によって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b22	ECMTE322	ECMディレイタイマスタート制御ビット23	エラー要因23のCLMA2発振停止検出 (LOCO) によって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b23	ECMTE323	ECMディレイタイマスタート制御ビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b24	ECMTE324	ECMディレイタイマスタート制御ビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b30- b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31	ECMTE331	ECMディレイタイマスタート制御ビット32	エラー要因32のDOC演算エラーによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W

29.2.29 ECM ディレイタイマコンフィグレーションレジスタ 4 (ECMDTMCFG4)

ECMDTMCFG4 レジスタは ECM ノンмасカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM ノンмасカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMTE 408	ECMTE 407	ECMTE 406	ECMTE 405	ECMTE 404	ECMTE 403	ECMTE 402	—	ECMTE 400
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMTE400	ECMディレイタイマスタート制御ビット33	エラー要因33のバスエラーによって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMTE402	ECMディレイタイマスタート制御ビット35	エラー要因35の拡張擬似エラー 35によって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b3	ECMTE403	ECMディレイタイマスタート制御ビット36	エラー要因36の拡張擬似エラー 36によって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b4	ECMTE404	ECMディレイタイマスタート制御ビット37	エラー要因37の拡張擬似エラー 37によって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b5	ECMTE405	ECMディレイタイマスタート制御ビット38	エラー要因38の拡張擬似エラー 38によって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b6	ECMTE406	ECMディレイタイマスタート制御ビット39	エラー要因39の拡張擬似エラー 39によって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b7	ECMTE407	ECMディレイタイマスタート制御ビット40	エラー要因40の拡張擬似エラー 40によって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMTE408	ECMディレイタイマスタート制御ビット41	エラー要因41の拡張擬似エラー41によって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

29.2.30 ECM ディレイタイマコンフィグレーションレジスタ 5 (ECMDTMCFG5)

ECMDTMCFG5 レジスタは ECM ノンマスクابل割り込みによるディレイタイマ動作を制御するレジスタです。ECM ノンマスクابل割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「29.3.2 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ECMTE528	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMTE528	ECMディレイタイマスタート制御ビット93	エラー要因93のECMコンペアエラーによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

29.2.31 ECM マスク制御レジスタ (ECMMCNT)

ECMMCNT レジスタはエラー要因 93 の ECM コンペアエラーのマスク制御を行うレジスタです。

アドレス A00B 0A80h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSKM	MSKC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSKC	チェッカ用ECMコンペアエラーマスクビット	ECMチェッカ側のエラー要因93 ECMコンペアエラー要因をマスクします。 0: ECMコンペアエラーはマスクしない 1: ECMコンペアエラーをマスク	R/W
b1	MSKM	マスタ用ECMコンペアエラーマスクビット	ECMマスタ側のエラー要因93 ECMコンペアエラー要因をマスクします。 0: ECMコンペアエラーはマスクしない 1: ECMコンペアエラーをマスク	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

29.3 動作説明

29.3.1 疑似エラー発生

自己診断用に各エラー要因を疑似的に発生することが可能です。ECM 疑似エラートリガレジスタ (ECMPEn) の対応するビットを1にセットすることで、対応する疑似エラーが発生し、ECM は実際にエラーが発生したときと同じ動作をします。疑似エラー発生時もエラー要因のマスク、ECM 割り込み、ECM リセット、ディレイタイマに対する設定はすべて反映されます。

またエラー要因 No.35 ~ 41 は拡張疑似エラーとして、以下に示す機能安全向けエラー検出に使用することが可能です。ソフトウェアによるエラーを判定したときに、ECMPEn レジスタの対応するビットをセットすることで疑似エラー発生による ECM 割り込み、ECM リセット、ディレイタイマの動作などを使用することが可能です。

表29.3 機能安全向けエラーのエラー要因割り当ての例

エラー要因番号	拡張疑似エラー 35~41に割り当てる機能例
35	Cortex-R4 保護領域アクセス違反で使用
37	PWM周期/Dutyエラーで使用
38	ADCユニット0 レンジオーバーエラーで使用
39	ADCユニット1 レンジオーバーエラーで使用
40	ADCユニット0 端子レベル 自己診断エラーで使用
41	ADCユニット1 端子レベル 自己診断エラーで使用

注. 上記以外にエラー要因番号36も使用可能です。

29.3.2 保護レジスタへの書き込み

書き込み保護レジスタは誤ったプログラム動作などによる不正なライトアクセスから保護されています。

29.3.2.1 保護シーケンス解除

書き込み保護レジスタへのデータの書き込みは、下記シーケンスによってのみ可能です。

1. 固定値 0000 00A5h を ECM 保護コマンドレジスタ (ECMPCMD1)、または ECM マスタ/チェッカ保護コマンドレジスタ (ECMmPCMD0) へ書き込みます (m = M/C)。書き込み対象レジスタが共通レジスタの場合は、ECM 保護コマンドレジスタ (ECMPCMD1) に固定値を、書き込み対象レジスタが共通レジスタではない場合は、ECM マスタ/チェッカ保護コマンドレジスタ (ECMmPCMD0) に固定値を書き込みます。対象レジスタが共通レジスタかどうかについては、「29.2 レジスタの説明」の各レジスタの説明を参照してください。
2. 次のシーケンスで ECM 共通、ECM マスタ/チェッカの保護レジスタに書き込みます。
 - 目的の設定値を書き込みます。
 - 目的の設定値の反転値を書き込みます。
 - 再度、目的の設定値を書き込みます。
3. ECM 保護ステータスレジスタ (ECMPS) の ECMPRERR ビットの値が 0 であることを確認し、保護レジスタに目的の設定値が正しく書き込まれたことを確認します。

上記シーケンスの手順 1 から手順 3 までに別レジスタへのアクセスがあった場合、保護機能は次のように動作します。

- 別レジスタが ECM に含まれる場合は、保護レジスタへの書き込みは失敗します (ECMPS.ECMPERR ビットが 1 になる)。手順 1 からシーケンスを再実行してください。
- 別レジスタが ECM に含まれない場合は、シーケンスが中断せず、保護レジスタへの書き込みが正常に行われます。

保護解除シーケンス中に割り込みがあった場合、保護機能は次のように動作します。

- 保護シーケンス中の割り込み
保護シーケンス中に割り込みが受け付けられて、その割り込み処理内で ECM レジスタへアクセスしない場合、保護シーケンスは中断されません。割り込み処理から復帰後に保護レジスタへの書き込みが正常に行われます。

保護解除シーケンス中にブレークが発生した場合、保護機能は次のように動作します。

- 保護シーケンス中のブレーク
保護シーケンス中にブレーク状態になり、ECM レジスタへアクセスをしない場合、保護シーケンスは中断されません。ブレークから復帰後に保護レジスタへの書き込みが正常に行われます。
保護シーケンス中にブレーク状態になり、ECM レジスタへのアクセスがある場合、保護シーケンスは中断されます。このためブレークから復帰後に保護レジスタへの書き込みが行われなため、保護シーケンス中はブレークを発生させないように注意してください。

29.3.3 ディレイタイマによる割り込み処理のタイムアウト機能

各エラー要因発生による ECM マスカブル割り込み、ECM ノンマスカブル割り込み要求発生と同時に、ディレイタイマをスタートさせ、割り込み処理時間のタイムアウト管理をすることが可能です。割り込み処理中にディレイタイマを停止 (ECMDTMCTL.DTMSTP ビットを 1 にセット) できず、ディレイタイマカウント値とディレイタイマコンペアレジスタの値が一致した場合にディレイタイマオーバフロー (エラー要因 94) を発生させ、ECM リセットを発生することが可能です。ディレイタイマオーバフロー発生 (エラー要因 94) 時の ECM リセットの設定は ECMIRCFG2 レジスタで設定してください。

ディレイタイマのカウントは常に 0 から ECMCLK (240kHz) クロックでカウント・アップを開始します。ディレイタイマのオーバフロー周期は、ECMDTMCMP レジスタで設定してください。

$$(\text{オーバフロー周期}) = (\text{ECMDTMCMP.ECMDTMCMP}[15:0] \text{ の設定} + 1) \times \text{ECMCLK 周期 (240kHz)}$$

注. ブレーク発生時もディレイタイマはカウント動作を継続します。

29.4 使用上の注意事項

29.4.1 ECMCLKに関する注意事項

ディレイタイマのカウント動作は低速オンチップオシレータで生成される ECMCKL により動作します。

リセット解除後、低速オンチップオシレータが動作停止状態のままディレイタイマを動作開始してもカウント動作が行われません。

ディレイタイマ機能を有効にするためには、事前に低速オンチップオシレータを動作許可として、LOCO発振安定時間が経過した後に使用してください。

低速オンチップオシレータの制御については、「7.2.5 低速オンチップオシレータコントロールレジスタ (LOCOCR)」を参照してください。

30. 12ビットA/Dコンバータ (S12ADCa)

30.1 概要

本LSIは、逐次比較方式の12ビットのA/Dコンバータを2ユニット内蔵しています。ユニット0は、最大8チャンネルのアナログ入力、温度センサ出力を選択できます。ユニット1は、最大8チャンネルのアナログ入力を選択できます。

12ビットA/Dコンバータは、選択した最大8チャンネル(ユニット0)のアナログ入力、温度センサ出力/最大8チャンネル(ユニット1)のアナログ入力を逐次比較方式で12ビットのデジタル値に変換します。動作モードは、任意に選択した最大8チャンネル(ユニット0)/最大8チャンネル(ユニット1)のアナログ入力をチャンネル番号の小さい順に1回のみ変換するシングルスキャンモードと、任意に選択した最大8チャンネル(ユニット0)/最大8チャンネル(ユニット1)のアナログ入力を順次チャンネル番号の小さい順に連続して変換する連続スキャンモード、最大8チャンネル(ユニット0)/最大8チャンネル(ユニット1)のアナログ入力を任意に選択し、2つのグループ(グループAとグループB)に分けて、グループ単位で選択したチャンネルのアナログ入力をチャンネル番号の小さい順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループAとグループBのスキャン開始条件(同期トリガ)を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することができます。グループAを優先制御動作に設定すると、前述の動作に加えてグループBのA/D変換中にグループAのスキャン開始を受け付け、グループBのA/D変換を中断して、グループAのA/D変換を優先的に開始します。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード(グループA)で変換し、1回目の同期トリガで変換したデータと2回目の同期トリガで変換したデータを別々のレジスタに格納(A/D変換データの2重化)するモードです。

温度センサ出力は、チャンネルのアナログ入力と同時に選択可能です。A/D変換順はチャンネルのアナログ入力、温度センサ出力の順です。

安全機能として、自己診断、端子レベル自己診断、断線検出、データレジスタのオーバライトチェック、データレジスタの自動クリアがあります。

表30.1に12ビットA/Dコンバータの仕様を、表30.2に12ビットA/Dコンバータの機能概要を示します。図30.1に12ビットA/Dコンバータのブロック図(ユニット0)を、図30.2に12ビットA/Dコンバータのブロック図(ユニット1)を示します。

表30.1 12ビットA/Dコンバータの仕様 (1/2)

項目	内容
ユニット数	2ユニット
入力チャンネル	ユニット0: 8チャンネル ユニット1: 8チャンネル
拡張アナログ機能	温度センサ出力
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	VREFH0, VREFH0, VREFH1 = 3.0~3.6V使用時 ユニット0: 1チャンネル当たり 0.483 μ s (A/D変換クロック ADCLK = 60 MHz動作時) ユニット1: 1チャンネル当たり 0.883 μ s (A/D変換クロック ADCLK = 60 MHz動作時) VREFH0, VREFH1 = 2.5~3.0V使用時 ユニット0: 1チャンネル当たり 0.883 μ s (A/D変換クロック ADCLK = 60 MHz動作時) ユニット1: 1チャンネル当たり 0.883 μ s (A/D変換クロック ADCLK = 60 MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLKHとA/D変換クロックADCLK (PCLKFまたはPCLKG) (注1) を以下の分周比で設定可能 PCLKH : ADCLK分周比 = 1 : 1, 1 : 2, 1 : 4, 1 : 8 ADCLKの設定はクロック発生回路で行います
データレジスタ	<ul style="list-style-type: none"> アナログ入力用16本 (ユニット0: 8本、ユニット1: 8本)、ダブルトリガモードでのA/D変換データ2重化用1本/各ユニット 温度センサ用1本 (ユニット0のみ) 自己診断用1本 (各ユニット) A/D変換結果を12ビットA/Dデータレジスタに保持 A/D変換結果の8、10、12ビット精度出力対応 加算モード時はA/D変換結果の加算値を変換精度ビット数+2ビットでA/Dデータレジスタに保持 ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは2重化レジスタに保持
動作モード	<ul style="list-style-type: none"> シングルスキャンモード: 任意に選択した最大8チャンネル (ユニット0) / 8チャンネル (ユニット1) のアナログ入力、温度センサ出力 (ユニット0のみ) を1回のみA/D変換 連続スキャンモード: 任意に選択した最大8チャンネル (ユニット0) / 8チャンネル (ユニット1) のアナログ入力、温度センサ出力 (ユニット0のみ) を繰り返しA/D変換 グループスキャンモード: 任意に選択した最大8チャンネル (ユニット0) / 8チャンネル (ユニット1) のアナログ入力、温度センサ出力 (ユニット0のみ) をグループAとグループBに分け、選択したアナログ入力をグループ単位で1回のみA/D変換 グループAとグループBは、各々の変換開始条件 (同期トリガ) を選択することで異なるタイミングでA/D変換を開始可能 グループスキャンモード (グループA優先制御選択時) グループBのA/D変換中にグループAのトリガ入力があった場合、グループBのA/D変換を中断し、グループAのA/D変換を実施 PCLKH : ADCLK分周比 = 1 : 1の場合のみ、グループAのA/D変換動作終了後、グループBのA/D変換動作を再実行 (再スキャン) の設定が可能
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ イベントリンクコントローラ (ELC)、16ビットタイマパルスユニット (TPUa) からのトリガ 非同期トリガ 外部トリガADTRG0端子 (ユニット0) / ADTRG1端子 (ユニット1) によるA/D変換の開始が可能

表30.1 12ビットA/Dコンバータの仕様 (2 / 2)

項目	内容
機能	<ul style="list-style-type: none"> • サンプル&ホールド機能 • チャンネル専用サンプル&ホールド機能 (4ch : ユニット0のみ) • サンプリングステート数可変機能 (チャンネルごとに設定可能) • 12ビットA/Dコンバータの自己診断機能 • A/D変換値加算モードと平均モードを選択可能 • アナログ入力断線検出機能 (プリチャージ機能/ディスチャージ機能) • ダブルトリガモード (A/D変換データ2重化機能) • 12/10/8ビット変換切り替え機能 (注2) • A/Dデータレジスタオートクリア機能 • コンペア機能 (コンペアレジスタとデータレジスタとの比較) • 端子レベル自己診断機能 • A/Dデータレジスタのオーバライトチェック機能
割り込み要因	<ul style="list-style-type: none"> • ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生 • ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生 • グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (S12GBADI) を発生 • グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (S12GBADI) を発生 • コンペア機能の比較条件成立で、コンペア割り込み (S12CMPDI) を発生 • データレジスタのオーバライトチェックによるエラーでADエラー割り込み要求 (S12ADE) を発生 • S12ADIまたはS12GBADI割り込みでDMAコントローラ (DMAC) を起動可能
イベントリンク (ELC) 機能	<ul style="list-style-type: none"> • グループスキャンモードでのグループBのスキャン終了を除くスキャン終了時にELCイベント発生 • ELCからのトリガによりスキャン開始可能
消費電力低減機能	<ul style="list-style-type: none"> • モジュールストップ状態の設定が可能 (注3)

注1. 周辺モジュールクロックPCLKHは、60MHz固定です。A/D変換クロックADCLKはSCKCR.PCKF[1:0]ビット (ユニット0)、SCKCR.PCKG[1:0]ビット (ユニット1) で設定した周変数になります。

注2. A/D変換精度を変えた場合、A/D変換時間も変わります。詳細は「30.3.6 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

注3. 詳細は、「9. 消費電力低減機能」を参照してください。

表30.2 12ビットA/Dコンバータの機能概要

項目		ユニット0 (S12ADC0)	ユニット1 (S12ADC1)	
アナログ入力チャンネル		AN000～AN007 温度センサ出力	AN100～AN107 拡張入力	
A/D変換開始 条件	ソフトウェア	ソフトウェアトリガ	可能	
	外部トリガ	トリガ入力端子	ADTRG0	
	同期トリガ (TPUaからの トリガ) (注1)	TPU0.TGRAのインプットキャプチャ/コンペアマッチ またはTPU1.TGRAのインプットキャプチャ/コンペアマッチ またはTPU2.TGRAのインプットキャプチャ/コンペアマッチ またはTPU3.TGRAのインプットキャプチャ/コンペアマッチ またはTPU4.TGRAのインプットキャプチャ/コンペアマッチ	TPTRGAN_0	TPTRGAN_0
		TPU0.TGRAのインプットキャプチャ/コンペアマッチ	TPTRG0AN_0	TPTRG0AN_0
同期トリガ (ELCからのト リガ)	ELCトリガ	ELCTRG0	ELCTRG1	
チャンネル専 用独立サン プル&ホー ルド機能	対象チャンネル	AN000～AN003	—	
割り込み	CPUへの割り込み要求	S12ADI0 S12GBADI0 S12CMPI0 S12ADE0	S12ADI1 S12GBADI1 S12CMPI1 S12ADE1	
	DMACへの起動要求	S12ADI0 S12GBADI0	S12ADI1 S12GBADI1	
	ELCへのイベント出力	S12ADI0	S12ADI1	
モジュールストップ機能の設定 (注2) (注3)		MSTPCRC.MSTPCRC5 ビット	MSTPCRC.MSTPCRC4 ビット	

- 注1. 同期トリガを出力されるための設定については、対応するモジュールの「A/Dコンバータの起動」項を参照してください。
注2. 詳細は「9. 消費電力低減機能」を参照してください。
注3. モジュールストップ状態を解除後は、1μs以上待ってからA/D変換を開始してください。

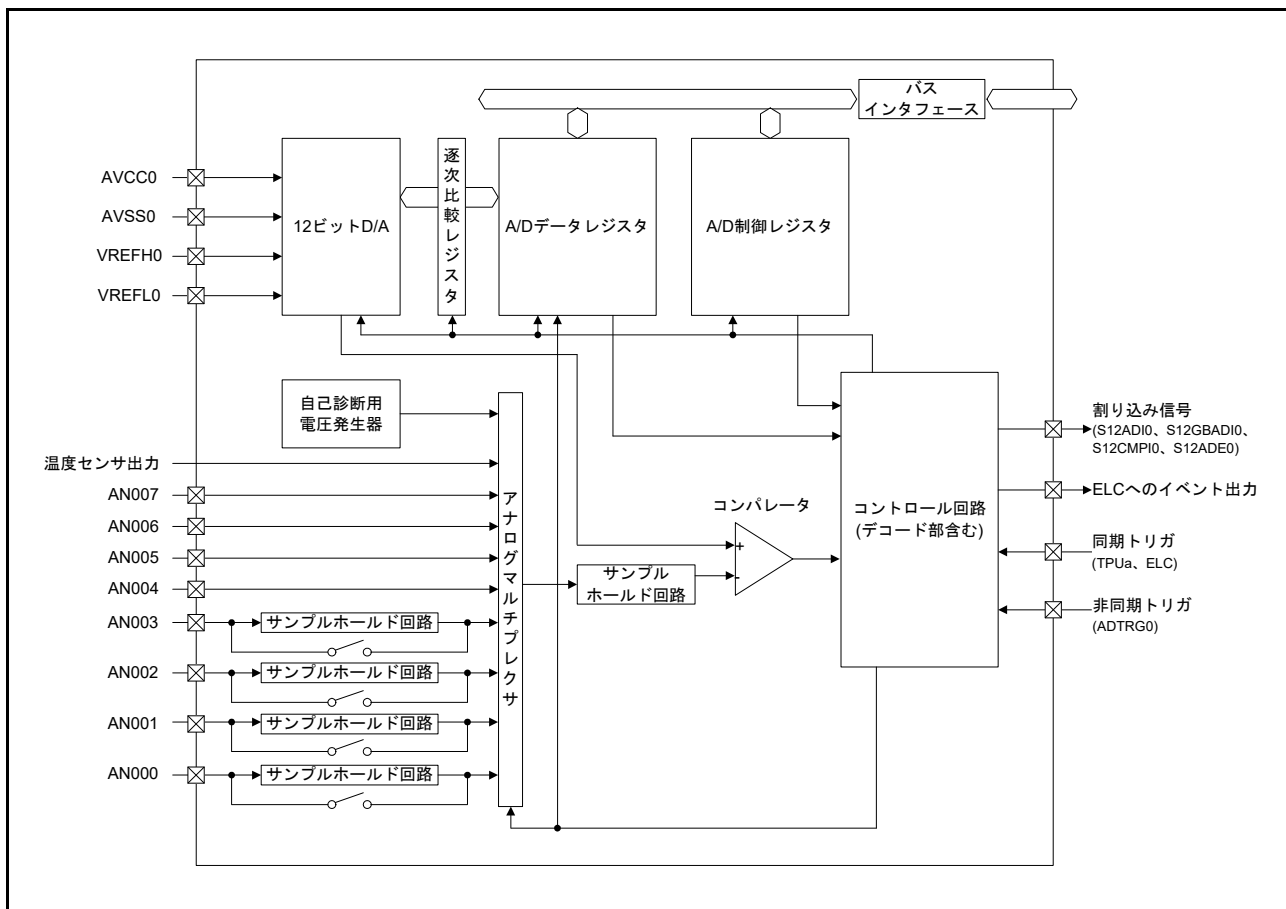


図 30.1 12ビットA/Dコンバータのブロック図 (ユニット0)

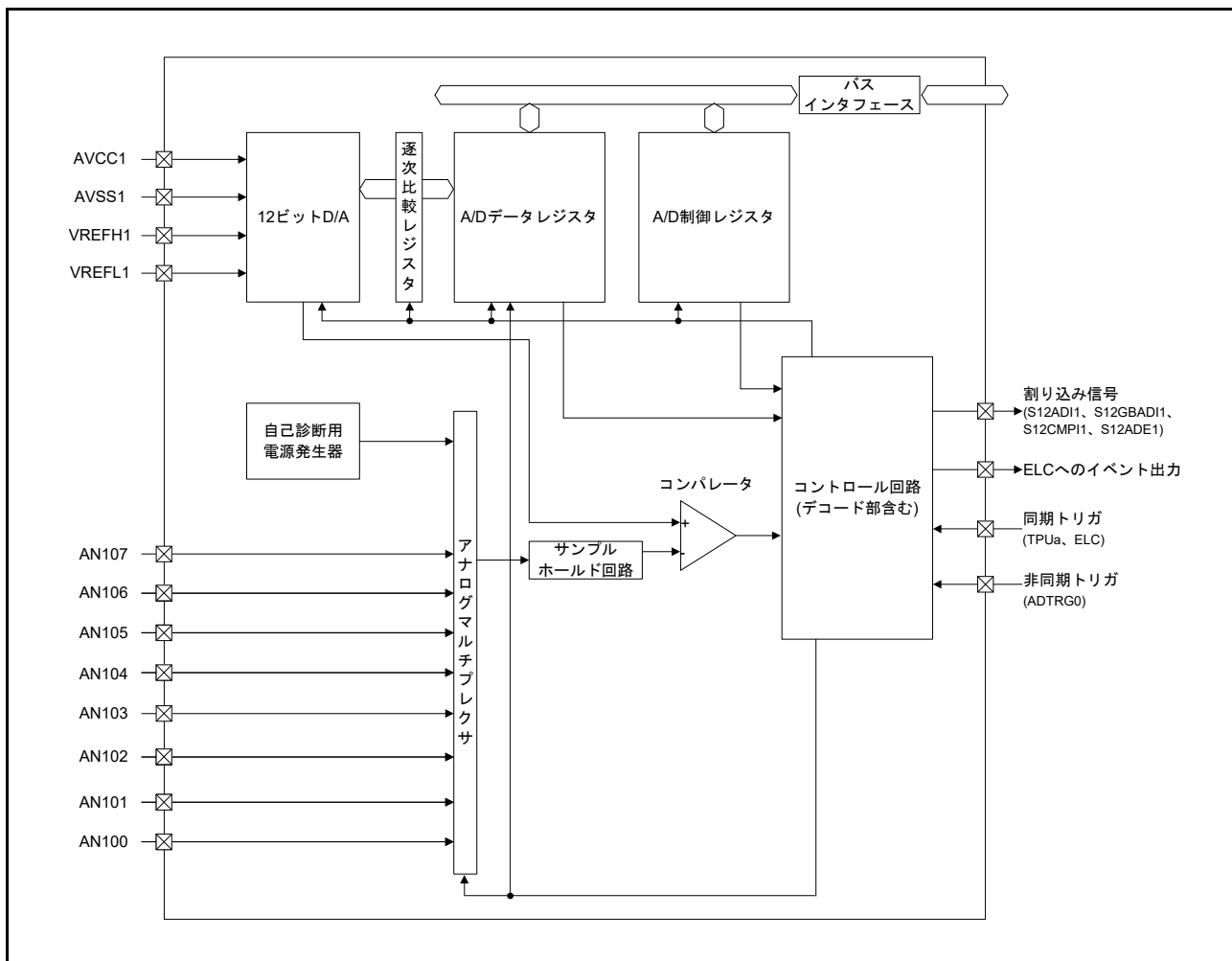


図 30.2 12ビットA/Dコンバータのブロック図 (ユニット1)

表 30.3 に 12 ビット A/D コンバータで使用する入力端子を示します。

表 30.3 12ビットA/Dコンバータの入力端子

ユニット	端子名	入出力	機能
ユニット0	AVCC0	入力	アナログ部の電源端子
	AVSS0	入力	アナログ部のグランド端子
	VREFH0	入力	基準電源端子
	VREFL0	入力	基準電源グランド端子
	AN000～AN007	入力	アナログ入力端子0～7
	ADTRG0	入力	A/D変換開始のための外部トリガ入力端子
	ユニット1	AVCC1	入力
AVSS1		入力	アナログ部のグランド端子
VREFH1		入力	基準電源端子
VREFL1		入力	基準電源のグランド端子
AN100～AN107		入力	アナログ入力端子8～15
ADTRG1		入力	A/D変換開始のための外部トリガ入力端子

30.2 レジスタの説明

30.2.1 A/D データレジスタ y (ADDRy)、A/D データ 2 重化レジスタ (ADDBLDR)、A/D 温度センサデータレジスタ (ADTSDR)

ADDRy レジスタ (y=0~7: ユニット 0, y=0~7: ユニット 1) は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。また、ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

各レジスタは、以下の条件でフォーマットが異なります。

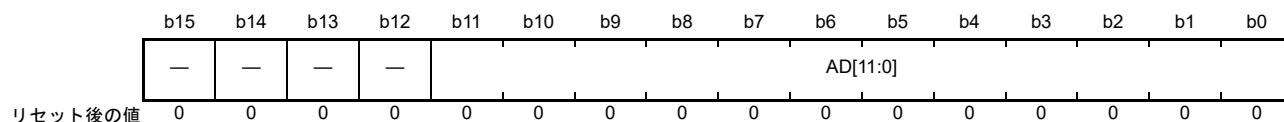
- A/D データレジスタフォーマット選択ビット (ADCER.ADRFT) の設定値 (右詰め、または左詰め)
- A/D 変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値 (12 ビット、10 ビット、または 8 ビット)
- 加算回数選択ビット (ADADC.ADC[1:0]) の設定値 (1 回、2 回、3 回、4 回加算)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算/平均モードを非選択とした場合

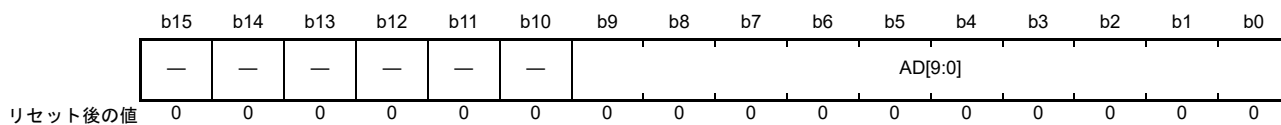
- 右詰めのフォーマット、12 ビット精度に設定した場合

アドレス S12ADC0.ADDBLDR A008 C018h、S12ADC0.ADTSDR A008 C01Ah、S12ADC0.ADDR0 A008 C020h、
S12ADC0.ADDR1 A008 C022h、S12ADC0.ADDR2 A008 C024h、S12ADC0.ADDR3 A008 C026h、
S12ADC0.ADDR4 A008 C028h、S12ADC0.ADDR5 A008 C02Ah、S12ADC0.ADDR6 A008 C02Ch、
S12ADC0.ADDR7 A008 C02Eh、S12ADC1.ADDBLDR A008 C418h、S12ADC1.ADDR0 A008 C420h、
S12ADC1.ADDR1 A008 C422h、S12ADC1.ADDR2 A008 C424h、S12ADC1.ADDR3 A008 C426h、
S12ADC1.ADDR4 A008 C428h、S12ADC1.ADDR5 A008 C42Ah、S12ADC1.ADDR6 A008 C42Ch、
S12ADC1.ADDR7 A008 C42Eh



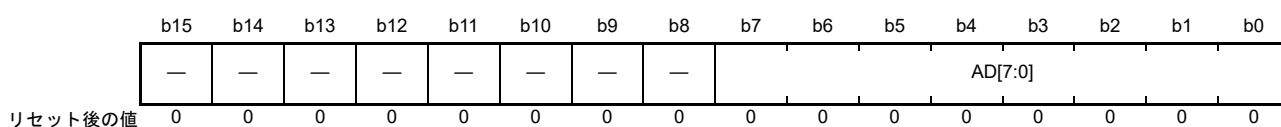
ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値 11~0	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。	R

- 右詰めフォーマット、10ビット精度に設定した場合



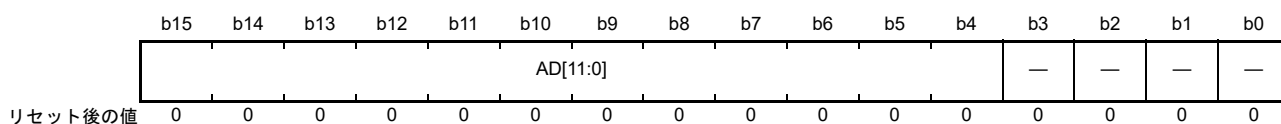
ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	変換値9~0	10ビットA/D変換値	R
b15-b10	—	予約ビット	読むと“0”が読めます。	R

- 右詰めフォーマット、8ビット精度に設定した場合



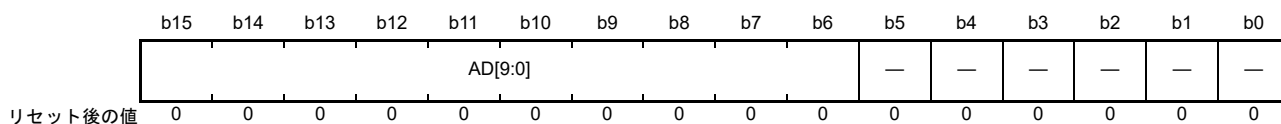
ビット	シンボル	ビット名	機能	R/W
b7-b0	AD[7:0]	変換値7~0	8ビットA/D変換値	R
b15-b8	—	予約ビット	読むと“0”が読めます。	R

- 左詰めフォーマット、12ビット精度に設定した場合



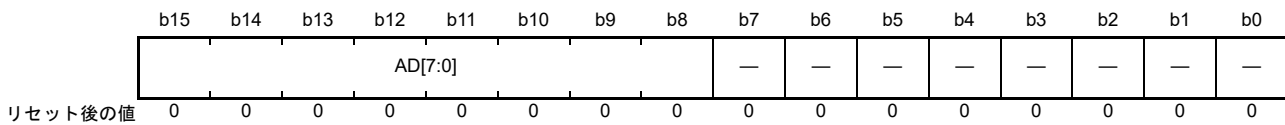
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。	R
b15-b4	AD[11:0]	変換値11~0	12ビットA/D変換値	R

- 左詰めフォーマット、10ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。	R
b15-b6	AD[9:0]	変換値9~0	10ビットA/D変換値	R

- 左詰めフォーマット、8ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。	R
b15-b8	AD[7:0]	変換値7~0	8ビットA/D変換値	R

(2) A/D変換値平均モードを選択した場合

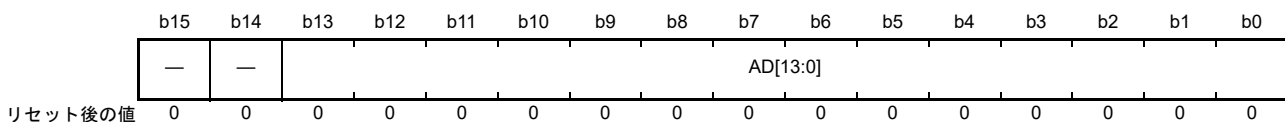
A/D変換値平均モードを選択した場合、AD[11:0]ビットは同一チャンネルのA/D変換値を平均した値を示します。A/D変換値平均モードを選択した場合でも、通常のA/D変換と同様にA/Dデータレジスタフォーマット選択ビットの設定にしたがい、A/Dデータレジスタに値が格納されます。

(3) A/D変換値加算モードを選択した場合

A/D変換値加算モードを選択した場合、AD[13:0]ビットは、同一チャンネルのA/D変換値を加算した値を示します。A/D変換値加算モードを選択すると、A/D変換結果の加算値を、変換精度のビット数に2ビット分拡張したデータとして、A/Dデータレジスタに保持します。A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定にしたがい、A/Dデータレジスタに値が格納されます。

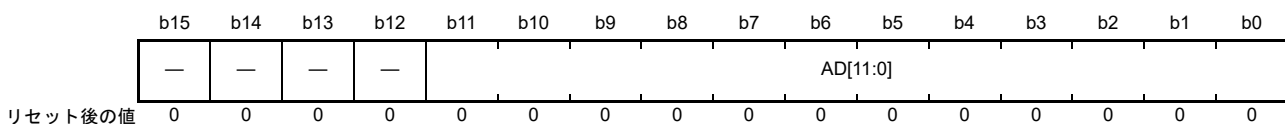
以下、条件ごとのフォーマットを示します。

- 右詰めフォーマット、12ビット精度に設定した場合 (A/D変換値加算モード選択時)



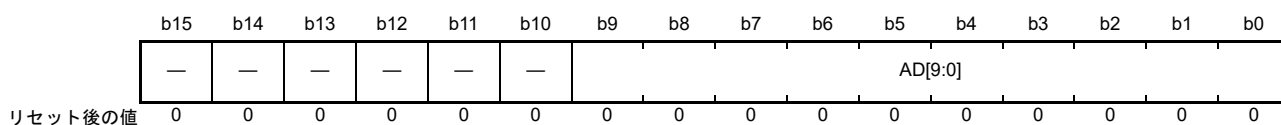
ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0]	加算結果13~0	14ビットA/D変換値加算結果	R
b15-b14	—	予約ビット	読むと“0”が読めます。	R

- 右詰めフォーマット、10ビット精度に設定した場合 (A/D変換値加算モード選択時)



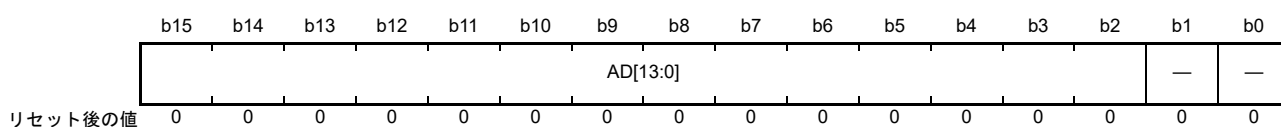
ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	加算結果11~0	12ビットA/D変換値加算結果	R
b15-b12	—	予約ビット	読むと“0”が読めます。	R

- 右詰めフォーマット、8ビット精度に設定した場合 (A/D変換値加算モード選択時)



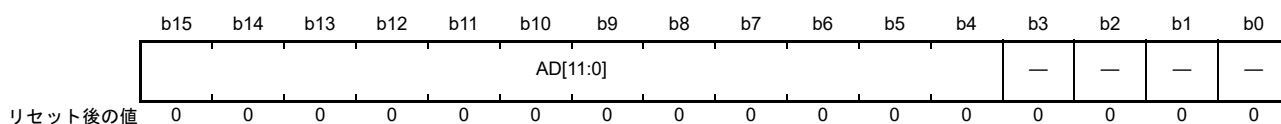
ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	加算結果9~0	10ビットA/D変換値加算結果	R
b15-b10	—	予約ビット	読むと“0”が読めます。	R

- 左詰めフォーマット、12ビット精度に設定した場合 (A/D変換値加算モード選択時)



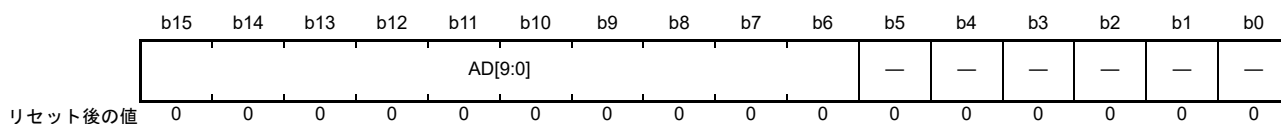
ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。	R
b15-b2	AD[13:0]	加算結果13~0	14ビットA/D変換値加算結果	R

- 左詰めフォーマット、10ビット精度に設定した場合 (A/D変換値加算モード選択時)



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。	R
b15-b4	AD[11:0]	加算結果11~0	12ビットA/D変換値加算結果	R

- 左詰めフォーマット、8ビット精度に設定した場合 (A/D変換値加算モード選択時)



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。	R
b15-b6	AD[9:0]	加算結果9~0	10ビットA/D変換値加算結果	R

30.2.2 A/D 自己診断データレジスタ (ADRD)

ADRD レジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。A/D変換値を示すADビットに加えて、自己診断のステータスビット (DIAGST) が付加されます。ADRDレジスタは以下の条件でフォーマットが異なります。

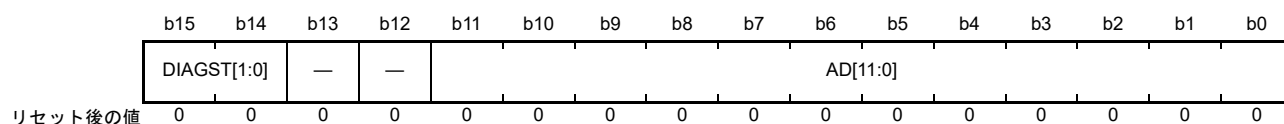
- A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFT) の設定値 (右詰め、または左詰め)
- A/D変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値 (12ビット、10ビット、または8ビット)

AD自己診断機能にはA/D変換加算モードとA/D変換平均モードを適用することはできません。自己診断の詳細については「30.2.8 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。

以下に、条件ごとのフォーマットを示します。

- 右詰めのフォーマット、12ビット精度に設定した場合

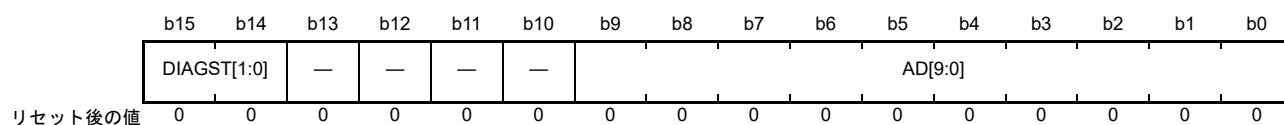
アドレス S12ADC0.ADRD A008 C01Eh、S12ADC1.ADRD A008 C41Eh



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値11~0	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと“0”が読めます。	R
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0 : 電源投入後、一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : 基準電源 (注1) × 1/2の電圧値の自己診断を実施したことを示す 1 1 : 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については「30.2.8 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。	R

注1. 基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

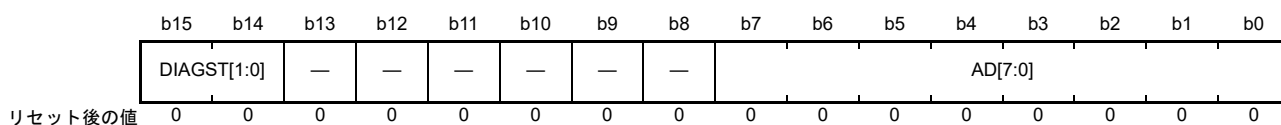
- 右詰めのフォーマット、10ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	変換値9~0	10ビットA/D変換値	R
b13-b10	—	予約ビット	読むと“0”が読めます。	R
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0 : 電源投入後、一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : 基準電源 (注1) × 1/2の電圧値の自己診断を実施したことを示す 1 1 : 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については「30.2.8 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。	R

注1. 基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

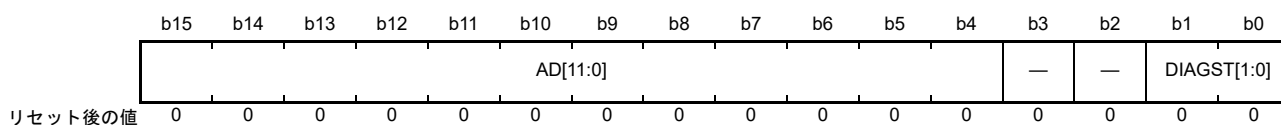
- 右詰めフォーマット、8ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b7-b0	AD[7:0]	変換値7~0	8ビットA/D変換値	R
b13-b8	—	予約ビット	読むと“0”が読めます。	R
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0: 電源投入後、一度も自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) × 1/2の電圧値の自己診断を実施したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については「30.2.8 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。	R

注1. 基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

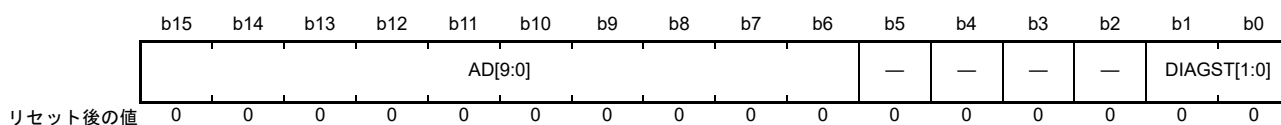
- 左詰めフォーマット、12ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータスビット	b1 b0 0 0: 電源投入後、一度も自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) × 1/2の電圧値の自己診断を実施したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については「30.2.8 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。	R
b3-b2	—	予約ビット	読むと“0”が読めます。	R
b15-b4	AD[11:0]	変換値11~0	12ビットA/D変換値	R

注1. 基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

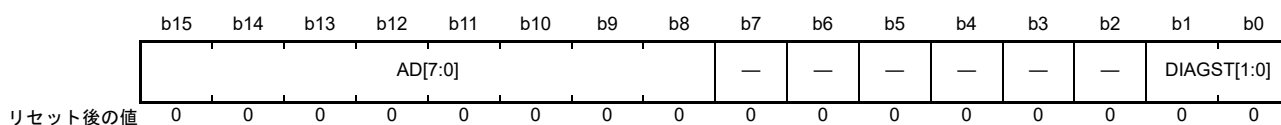
- 左詰めフォーマット、10ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータスビット	b1 b0 0 0 : 電源投入後、一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : 基準電源 (注1) × 1/2の電圧値の自己診断を実施したことを示す 1 1 : 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については「30.2.8 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。	R
b5-b2	—	予約ビット	読むと“0”が読めます。	R
b15-b6	AD[9:0]	変換値9~0	10ビットA/D変換値	R

注1. 基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

- 左詰めフォーマット、8ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータスビット	b1 b0 0 0 : 電源投入後、一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : 基準電源 (注1) × 1/2の電圧値の自己診断を実施したことを示す 1 1 : 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については「30.2.8 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。	R
b7-b2	—	予約ビット	読むと“0”が読めます。	R
b15-b8	AD[7:0]	変換値7~0	8ビットA/D変換値	R

注1. 基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

30.2.3 A/D コントロールレジスタ (ADCSR)

ADCSR レジスタは、ダブルトリガモードの設定、A/D 変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D 変換の開始/停止を行うレジスタです。

アドレス S12ADC0.ADCSR A008 C000h, S12ADC1.ADCSR A008 C400h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS[1:0]	ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択ビット	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード選択時のみ有効です。	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了後にS12GBADI割り込み発生を禁止 1: グループBのスキャン終了後にS12GBADI割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガ (TPUa, ELC) によるA/D変換の開始を選択 1: 非同期トリガ (ADTRG0 (ユニット0)、ADTRG1 (ユニット1)) によるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後、S12ADI割り込み発生を禁止 1: スキャン終了後、S12ADI割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子 (非同期トリガ) でA/D変換を起動する方法
外部端子 (ADTRG0 (ユニット0)、ADTRG1 (ユニット1)) にLowレベルを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0 (ユニット0)、ADTRG1 (ユニット1) の信号をHighレベルに変化させると、ADTRG0 (ユニット0)、ADTRG1 (ユニット1) の立ち上がりエッジを検出し、スキャン変換を開始します。このときのHigh入力のパルス幅は、1.5PCLKクロック以上必要です。

DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択ビット)

ダブルトリガモードでA/D変換データを2重化する1チャンネルを選択します。

DBLANS[4:0] ビットで選択したチャンネルのアナログ入力について、ダブルトリガモードの1回目のA/D変換開始トリガで変換した結果がA/Dデータレジスタyに格納され、2回目のA/D変換開始トリガで変換した結果がA/Dデータ2重化レジスタに格納されます。表30.4にダブルトリガ対象チャンネルの選択表を示します。

ダブルトリガモードを選択した場合、ADANSAレジスタで選択したチャンネルの選択は無効になり、DBLANS[4:0] ビットで選択した1チャンネルがA/D変換を行うチャンネルとなります。

ダブルトリガモードを使用する場合、温度センサ出力のA/D変換は選択しないでください。また、DBLANS[4:0] ビットは、ADSTビットが“0”のときに設定してください (ADSTビットへの“1”書き込みとの同時設定もしないでください)。

なお、ダブルトリガモードを設定した状態でA/D変換値加算/平均モードを使用するには、DBLANS[4:0]で選択したチャンネルをADANSAレジスタで選択してください。

表30.4 DBLANSビットの設定値とダブルトリガ対象チャンネルの関係

ユニット0		ユニット1	
DBLANS[4:0]	2重化チャンネル	DBLANS[4:0]	2重化チャンネル
00000	AN000	00000	AN100
00001	AN001	00001	AN101
00010	AN002	00010	AN102
00011	AN003	00011	AN103
00100	AN004	00100	AN104
00101	AN005	00101	AN105
00110	AN006	00110	AN106
00111	AN007	00111	AN107

注. 上記以外は設定しないでください。

GBADIEビット (グループB スキャン終了割り込みイネーブルビット)

グループスキャンモードでのグループBのスキャン終了割り込み (S12GBADI) 発生の許可/禁止を設定します。

DBLEビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、1回目の同期トリガで変換された結果と2回目に変換された結果を別々の結果レジスタに格納する機能です。

ダブルトリガモードを選択した場合、ADANSレジスタで指定したチャンネルは無効になり、DBLANS[4:0]ビットで選択したチャンネルが有効になります。また、ダブルトリガモードは、ADSTRGR.TRSA[5:0]ビットで選択された同期トリガ (TPUa、ELC) のみで動作し、非同期トリガ、およびソフトウェアトリガでは動作しません。1回目の同期トリガで変換した結果は、A/Dデータレジスタyに格納され、2回目の同期トリガで変換した結果は、A/Dデータ2重化レジスタに格納されます。このとき、ADIEビットを“1”に設定していると、1回目のスキャン終了時は割り込みを出力せず、2回目のスキャン終了時に割り込みを出力します。

なお、ダブルトリガモードは、連続スキャンモードで使用しないでください。さらに、温度センサ出力の変換でも使用しないでください。

DBLEビットの設定は、あらかじめADSTビットを“0”にしてから行ってください。

EXTRGビット (トリガ選択ビット)

A/D変換を起動するトリガを同期トリガか非同期トリガから選択します。

TRGEビット (トリガ起動許可ビット)

同期トリガ、非同期トリガによるA/D変換開始の許可/禁止を設定します。

グループスキャンモードでは、このビットを“1”にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモード (グループ B を除く) での、A/D スキャン変換終了割り込み (S12ADI) 発生の許可/禁止を設定します。

ダブルトリガモードを非選択に設定した場合、1 回のスキャンが終了したときに、ADIE ビットが“1”に設定されていれば、S12ADI 割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (TPUa、ELC) によるトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”に設定されていれば S12ADI 割り込みが発生します。

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA レジスタで選択した最大 8 チャンネル (ユニット 0) / 8 チャンネル (ユニット 1) のアナログ入力をチャンネル番号の小さい順に A/D 変換し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。(注 1)

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA レジスタで選択した最大 8 チャンネル (ユニット 0) / 8 チャンネル (ユニット 1) のアナログ入力をチャンネル番号の小さい順に A/D 変換し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを“0”にすると、スキャン中に A/D 変換を停止します。(注 1)

グループスキャンモードは ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (TPUa、ELC) を開始条件として、ADANSA レジスタで選択した最大 8 チャンネル (ユニット 0) / 8 チャンネル (ユニット 1) のアナログ入力 (グループ A) をチャンネル番号の小さい順に A/D 変換し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。同様に ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (TPUa、ELC) を A/D 変換開始条件として、ADANSB レジスタで選択した最大 8 チャンネル (ユニット 0) / 8 チャンネル (ユニット 1) のアナログ入力 (グループ B) をチャンネル番号の小さい順に A/D 変換し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。このとき、グループ A 側とグループ B 側の変換が重なると、ADC は別々に変換を制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット (ADGSPCR.PGS) を“1”に設定し、変換優先順位を A 側に設定してください。(注 1)

グループスキャンモードを選択する場合は、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

ADCS[1:0] ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みとの同時設定もしないでください)。

- 注 1. 温度センサ出力を選択した場合、チャンネルのアナログ入力の A/D 変換、温度センサ出力の順に A/D 変換されます。

表 30.5 にスキャンモード、ダブルトリガモードと A/D 変換対象の選択可否を示します。

表 30.5 スキャンモード、ダブルトリガモードと A/D 変換対象の選択可否

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象			
		自己診断	アナログ入力 (グループA含む)	アナログ入力 (グループB)	温度センサ 出力
シングルスキャン	DBLE = 0	○	○	×	○
	DBLE = 1	○	○ (1chのみ)	×	×
連続スキャン	DBLE = 0	○	○	×	○
	DBLE = 1	×	×	×	×
グループスキャン	DBLE = 0	○	○	○	○
	DBLE = 1	×	○ (1chのみ)	○	×

注. ○：選択可、×：選択不可

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始/停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

["1"になる条件]

以下のいずれかの条件成立時

- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG ビットに“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (TPUa、ELC) を検出したとき
- グループスキャンモードでADCSR.TRGEビットに“1”を設定しADSTRGR.TRSB[5:0]ビットで選択した同期トリガ (TPUa、ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[5:0] ビットを“000000b”に設定し、非同期トリガを検出したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、グループ B のトリガを検出し、グループ B の A/D 変換を開始したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループ B の A/D 変換を再開したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを“1”に設定し、グループ B の A/D 変換を開始したとき

["0"になる条件]

以下のいずれかの条件成立時

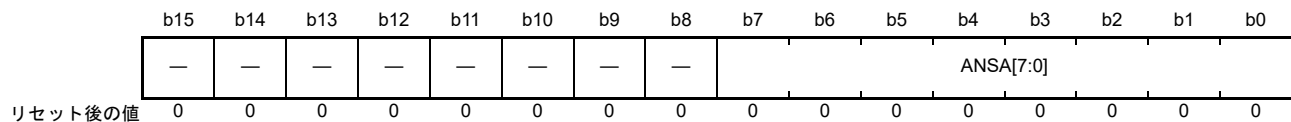
- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、グループ B の A/D 変換実行中にグループ A のトリガを検出し、グループ B のスキャンが中断されたとき

- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを“1”に設定し、グループ B の再起動トリガによるスキャンが終了したとき
 - グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループ B のトリガによるスキャンが終了したとき
- 注. グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを“1”にしないでください。
- 注. グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつ ADGSPCR.GBRP ビット = 1 のとき、ADST ビットを“0”にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順にしたがってください。

30.2.4 A/D チャネル選択レジスタ A (ADANSA)

ADANSA レジスタは、A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN007 (ユニット 0)、AN100 ~ AN107 (ユニット 1) を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

アドレス S12ADC0.ADANSA A008 C004h、S12ADC1.ADANSA A008 C404h



ビット	シンボル	ビット名	機能	R/W
b7-b0	ANSA[7:0]	A/D 変換チャネル選択ビット	0 : AN000 ~ AN007 (ユニット 0)、AN100 ~ AN107 (ユニット 1) を変換対象から外す 1 : AN000 ~ AN007 (ユニット 0)、AN100 ~ AN107 (ユニット 1) を変換対象とする	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、0としてください。	R/W

ANSA[7:0] ビット (A/D 変換チャネル選択ビット)

A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN007 (ユニット 0)、AN100 ~ AN107 (ユニット 1) の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ユニット 0 は ANSA[0] ビットが AN000、ANSA[7] ビットが AN007 に、ユニット 1 は ANSA[0] ビットが AN100、ANSA[7] ビットが AN107 に対応しています。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA[7:0] ビットの設定は無効になります。

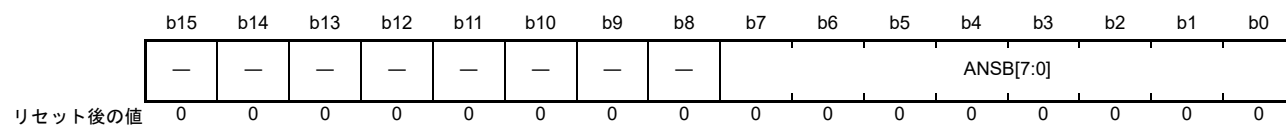
また、グループスキャンモード選択時は、A/D チャネル選択レジスタ B (ADANSB) で指定したチャネルを設定しないでください。

ANSA[7:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

30.2.5 A/D チャンネル選択レジスタ B (ADANSB)

ADANSB レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN007 (ユニット 0)、AN100 ~ AN107 (ユニット 1) を選択するレジスタです。ADANSB レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

アドレス S12ADC0.ADANSB A008 C014h、S12ADC1.ADANSB A008 C414h



ビット	シンボル	ビット名	機能	R/W
b7-b0	ANSB[7:0]	A/D変換チャンネル選択ビット	0 : AN000 ~ AN007 (ユニット0)、AN100 ~ AN107 (ユニット1) を変換対象から外す 1 : AN000 ~ AN007 (ユニット0)、AN100 ~ AN107 (ユニット1) を変換対象とする	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、0としてください。	R/W

ANSB[7:0] ビット (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN007 (ユニット 0)、AN100 ~ AN107 (ユニット 1) の選択を行います。ADANSB レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (ADANSA、またはダブルトリガモードによる ADCSR.DBLANS[4:0] で選択したグループ A に該当するチャンネル) 以外から設定します。

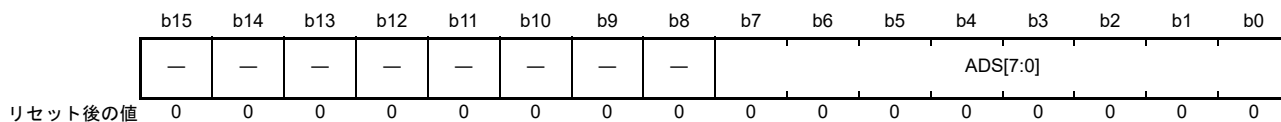
ユニット 0 は ANSB[0] ビットが AN000、ANSB[7] ビットが AN007 に、ユニット 1 は ANSB[0] ビットが AN100、ANSB[7] ビットが AN107 に対応します。

ANSB[7:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

30.2.6 A/D 変換値加算／平均モード選択レジスタ (ADADS)

ADADS レジスタは、A/D 変換を連続 2 ～ 4 回実施して加算（積算）、または平均する A/D 変換チャンネル AN000 ～ AN007、AN100 ～ AN107 を選択するレジスタです。

アドレス S12ADC0.ADADS A008 C008h、S12ADC1.ADADS A008 C408h



ビット	シンボル	ビット名	機能	R/W
b7-b0	ADS[7:0]	A/D変換値加算／平均チャンネル選択ビット	0 : AN000～AN007 (ユニット0)、AN100～AN107 (ユニット1) のA/D変換値加算／平均モード非選択 1 : AN000～AN007 (ユニット0)、AN100～AN107 (ユニット1) のA/D変換値加算／平均モード選択	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、0としてください。	R/W

ADS[7:0] ビット (A/D 変換値加算／平均チャンネル選択ビット)

ADANSA.ANSA[n] ビット (n=0～7/ユニット0、n=0～7/ユニット1)、または ADCSR.DBLANS[4:0] ビットと ADANSB.ANSB[n] ビット (n=0～7/ユニット0、n=0～7/ユニット1) で選択した A/D 変換チャンネルと同一番号の ADS[n] ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数 (2～4回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換します。ADADC.AVEE ビットが“0”の場合は加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合は加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算／平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換し、A/D データレジスタに値を格納します。

ADS[7:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

図 30.3 にビット ADS[2] と ADS[6] を“1”にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS = 10b) で、加算モードを選択 (ADADC.AVEE = 0)、加算回数は 3 回 (4 回変換) に設定 (ADADC.ADC[1:0] = 11b)、AN000 ～ AN007 が選択 (ADANSA.ANSA[7:0] = FFh) されているものとします。AN000 から変換を開始します。AN002 は 4 回連続変換され、加算 (積算) 値を A/D データレジスタ 2 に格納します。その後、AN003 の変換を開始します。AN006 は 4 回連続変換され、加算 (積算) 値を A/D データレジスタ 6 に格納します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

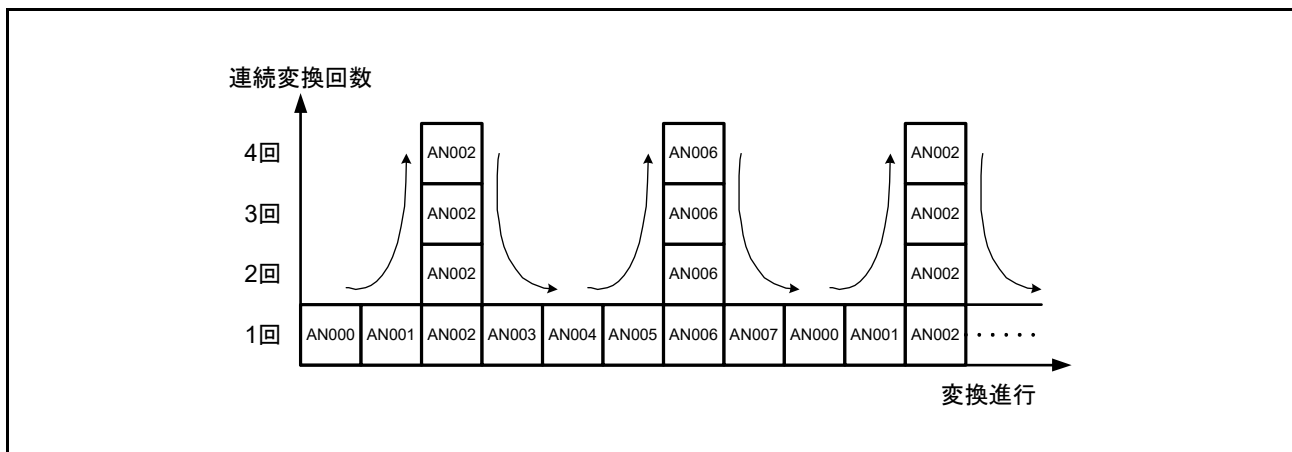


図 30.3 ADADC.ADC[1:0] = 11b、ADADC.AVEE = 0、ADS[2] = 1、ADS[6] = 1 選択時のスキャン変換シーケンス

30.2.7 A/D変換値加算／平均回数選択レジスタ (ADADC)

ADADCレジスタは、A/D変換値加算／平均モードが選択されたチャンネル、温度センサ出力のA/D変換に対して加算／平均回数の設定と、加算モード／平均モードの選択を行うレジスタです。

アドレス S12ADC0.ADADC A008 C00Ch, S12ADC1.ADADC A008 C40Ch

b7	b6	b5	b4	b3	b2	b1	b0
AVEE	—	—	—	—	—	ADC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADC[1:0]	加算回数選択ビット	b1 b0 0 0 : 1回変換 (加算なし。通常変換と同じ) 0 1 : 2回変換 (1回加算を行う) 1 0 : 3回変換 (2回加算を行う) (注1) 1 1 : 4回変換 (3回加算を行う)	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	AVEE	平均モードイネーブルビット	0 : 加算モードを選択 1 : 平均モードを選択	R/W

注1. 平均モードを選択した場合 (ADADC.AVEEビット=“1”)、3回変換 (ADADC.ADC[1:0]=“10b”) に設定しないでください。

ADC[1:0]ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0]ビットでの選択チャンネル) を含むA/D変換および加算／平均モードが選択されたチャンネル、温度センサ出力のA/D変換に対して共通の加算回数を設定します。

ADADC.AVEEビットを“1”にして平均モードを選択する場合、3回変換 (ADADC.ADC[1:0]=“10b”) に設定しないでください。

ADC[1:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。また、自己診断機能 (ADCER.DIAGM=1) を実施する場合、ADC[1:0]を“00b”以外の値に設定しないでください。

AVEEビット (平均モードイネーブルビット)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0]ビットでの選択チャンネル) を含むA/D変換および加算／平均モードが選択されたチャンネル、温度センサ出力のA/D変換に対して加算モード、または平均モードの選択を行います。

ADADC.AVEEビットを“1”にして平均モードを選択する場合、3回変換 (ADADC.ADC[1:0]=“10b”) に設定しないでください。

AVEEビットは、ADCSR.ADSTビットが“0”のときに設定してください。

30.2.8 A/D コントロール拡張レジスタ (ADCER)

ADCER レジスタは、自己診断モード、A/D データレジスタ y (ADDR y) のフォーマット、A/D データレジスタの自動クリア機能の設定を行うレジスタです。

アドレス S12ADC0.ADCER A008 C00Eh、S12ADC1.ADCER A008 C40Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	ADPRC[1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2-b1	ADPRC[1:0]	A/D変換精度指定ビット	b2 b1 0 0 : 12ビット精度でA/D変換を実施 0 1 : 10ビット精度でA/D変換を実施 1 0 : 8ビット精度でA/D変換を実施 1 1 : 設定しないでください	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b5	ACE	A/Dデータレジスタ自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 自己診断有効時は設定禁止 0 1 : 0Vの電圧を使って自己診断を行う 1 0 : 基準電源 (注1) × 1/2の電圧を使って自己診断を行う 1 1 : 基準電源 (注1) の電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0 : 12ビットA/Dコンバータの自己診断を実施しない 1 : 12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択ビット	0 : A/Dデータレジスタのフォーマットを右詰めにする 1 : A/Dデータレジスタのフォーマットを左詰めにする	R/W

注1. 基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

ADPRC[1:0] ビット (A/D 変換精度指定ビット)

A/D変換を、8ビット精度、10ビット精度、12ビット精度から選択します。A/D変換精度を変更した場合、結果レジスタに格納する有効データのビット幅、A/D変換時間も変わります。詳細は「30.3.6 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

ACE ビット (A/D データレジスタ自動クリアイネーブルビット)

CPU、DMACAによってA/Dデータレジスタ (ADDR y 、ADRD、ADDBLDR、ADTSDR) を読み出す際に、自動的に各A/Dデータレジスタをクリア (All“0”) する自動クリアの禁止/許可を選択します。A/Dデータレジスタの自動クリアを行うことで各A/Dデータレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

自己診断電圧固定モードでの電圧値を選択します。詳細はADCER.DIAGLDビットの説明を参照してください。

ADCER.DIAGVAL[1:0]ビットが“00b”の状態ではADCER.DIAGLDビットを“1”に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する3つの電圧値をローテーションするか、固定するかを選択します。ADCER.DIAGLD ビットを“0”に設定した場合、0V → 基準電源 × 1/2 → 基準電源の順番にローテーションして変換していきます。リセット後、自己診断電圧ローテーションモードを選択した場合は、0V から自己診断を行います。自己診断電圧固定モードを選択した場合は、ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても0Vに戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADST が“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断の実施を選択します。

自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する0V、基準電源 × 1/2、基準電源から選択した電圧値を変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアでADRDレジスタを読み出し、変換値が正常範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。自己診断の実行時間は、1チャンネルのA/D変換時間と異なります。ダブルトリガモードと自己診断を選択した場合は、同期トリガ (TPUa、ELC) による1回目のスキャン変換で自己診断を実行し、2回目のスキャンでは自己診断を実行しません。グループスキャンモードで自己診断を選択した場合は、グループAとグループBのそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADST ビットが“0”のときに行ってください。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

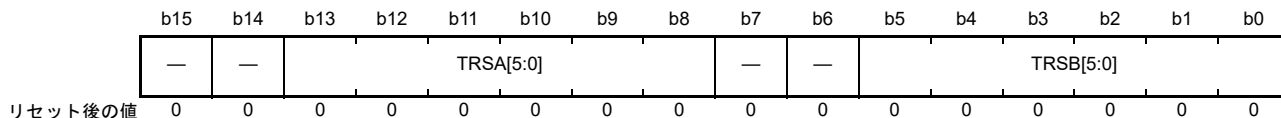
ADDRy、ADDBLDR、ADTSDR、ADRD、ADCMPDRy レジスタに格納するデータの右詰め/左詰めを選択します。

各データレジスタのフォーマットの詳細は、「30.2.1 A/D データレジスタ y (ADDRy)、A/D データ2重化レジスタ (ADDBLDR)、A/D 温度センサデータレジスタ (ADTSDR)」、「30.2.2 A/D 自己診断データレジスタ (ADRD)」、「30.2.20 A/D コンペアデータレジスタ y (ADCMPDRy) (y = 0、1)」を参照してください。

30.2.9 A/D 開始トリガ選択レジスタ (ADSTRGR)

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

アドレス S12ADC0.ADSTRGR A008 C010h、S12ADC1.ADSTRGR A008 C410h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでのグループBのA/D変換開始トリガを選択します	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します。	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TRSB[5:0] ビット (グループ B 専用 A/D 変換開始トリガ選択ビット)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガに、ソフトウェアトリガと非同期トリガの設定は禁止です。このため、グループスキャンモードでは、TRSB[5:0] ビットに“000000b”以外を設定し、ADCSR.TRGE ビットを“1”に設定してください。

グループスキャンモードのグループ A 優先制御時に、ADGSPCR.GBRP ビットを“1”にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを“1”に設定する場合は、TRSB[5:0] ビットを“3Fh”に設定してください。なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上を設定してください。発行間隔が tSCAN 以内の場合は、トリガによる A/D 変換が無効になる場合があります。

A/D 変換開始トリガは同期化処理が必要なため、同期化処理の分だけ遅延が発生します。詳細は「30.3.6 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 30.6 に TRSB[5:0] ビット (グループ B 専用) での A/D 起動要因選択一覧を示します。

TRSA[5:0] ビット (A/D 変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガを選択します。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンする場合、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガ (TPUa、ELC) の A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガ (ADTRGn) を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。

なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上を設定してください。発行間隔が tSCAN 以内の場合は、トリガによる A/D 変換が無効となる場合があります。A/D 変換開始トリガは同期化処理が必要なため、同期化処理の分だけ遅延が発生します。詳細は「30.3.6 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。表 30.7 に、TRSA[5:0] ビットでの A/D 起動要因選択一覧を示します。

表 30.6 TRSB[5:0]ビット (グループB専用) でのA/D起動要因選択一覧

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態			1	1	1	1	1	1
TPUa	TPTRGAN_0	TPUn.TGRA (n=0~4) のコンペアマッチ/インプットキャプチャ	0	1	1	1	1	1
	TPTRG0AN_0	TPU0.TGRAのコンペアマッチ/インプットキャプチャ	1	0	0	0	0	0
ELC	ELCTRG0/ ELCTRG1	各周辺モジュールによるイベント信号	1	1	0	0	0	0

表 30.7 TRSA[5:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態			1	1	1	1	1	1
外部端子	ADTRG0 ADTRG1	トリガ入力端子	0	0	0	0	0	0
TPUa	TPTRGAN_0	TPUn.TGRA (n=0~4) のコンペアマッチ/インプットキャプチャ	0	1	1	1	1	1
	TPTRG0AN_0	TPU0.TGRAのコンペアマッチ/インプットキャプチャ	1	0	0	0	0	0
ELC	ELCTRG0/ ELCTRG1	各周辺モジュールによるイベント信号	1	1	0	0	0	0

30.2.10 A/D変換拡張入力コントロールレジスタ (ADEXICR)

ADEXICR レジスタは、温度センサ出力を制御するレジスタです。

アドレス S12ADC0.ADEXICR A008 C012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TSSB	—	TSSA	—	—	—	—	—	—	—	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力A/D変換値加算/平均モード選択ビット	0: 温度センサ出力A/D変換値加算/平均モード非選択 1: 温度センサ出力A/D変換値加算/平均モード選択	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	TSSA	温度センサ出力A/D変換選択ビット	0: 温度センサ出力をA/D変換しない 1: 温度センサ出力をA/D変換する	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b10	TSSB	温度センサ出力A/D変換選択ビット	0: 温度センサ出力をA/D変換しない 1: 温度センサ出力をA/D変換する	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TSSAD ビット (温度センサ出力 A/D 変換値加算/平均モード選択ビット)

温度センサ出力の A/D 変換動作を選択します。TSSAD ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数 (2 ~ 4 回) 分、温度センサ出力を連続して A/D 変換します。ADADC.AVEE ビットが“0”の場合は加算 (積算) した値、ADADC.AVEE ビットが“1”の場合は平均した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。TSSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

TSSA ビット (温度センサ出力 A/D 変換選択ビット)

シングルスキャンモード、連続スキャンモード、およびグループスキャンモードのグループ A に対する温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換をする場合、ADCSR.DBLE ビットを“0”にしてください。

TSSA ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

TSSB ビット (温度センサ出力 A/D 変換選択ビット)

グループスキャンモードのグループ B に対する温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換をする場合、ADCSR.DBLE ビットを“0”にしてください。

TSSB ビットは、ADCSR.ADST ビットが“0”のときに設定してください。TSSA ビットが“1”のときは、TSSB ビットを“1”にしないでください。

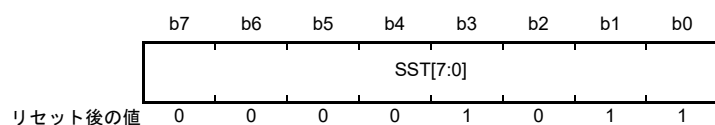
30.2.11 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 7、T)

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定するレジスタです。

1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 60MHz であれば 1 ステート = 16.7ns になります。初期値は 11 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、SST[7:0] ビットの値を変えることでサンプリング時間を調整することができます。本ビットの設定は ADCSR.ADST ビットが“0”のときに行ってください。サンプリング時間は、5 ステート以上 255 ステート以下の値を設定してください。表 30.8 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

サンプリング時間に関する詳細は、「30.3.6 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

アドレス S12ADC0.ADSSTR0 A008 C060h、S12ADC0.ADSSTR1 A008 C070h、S12ADC0.ADSSTR2 A008 C073h、S12ADC0.ADSSTR3 A008 C074h、S12ADC0.ADSSTR4 A008 C075h、S12ADC0.ADSSTR5 A008 C077h、S12ADC0.ADSSTR6 A008 C078h、S12ADC0.ADSSTR7 A008 C079h、S12ADC1.ADSSTR0 A008 C460h、S12ADC1.ADSSTR1 A008 C473h、S12ADC1.ADSSTR2 A008 C474h、S12ADC1.ADSSTR3 A008 C475h、S12ADC1.ADSSTR4 A008 C476h、S12ADC1.ADSSTR5 A008 C477h、S12ADC1.ADSSTR6 A008 C478h、S12ADC1.ADSSTR7 A008 C479h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定ビット	5~255ステートの間でサンプリング時間を設定します。	R/W

表30.8 A/Dサンプリングステートレジスタと対象チャネルの関係

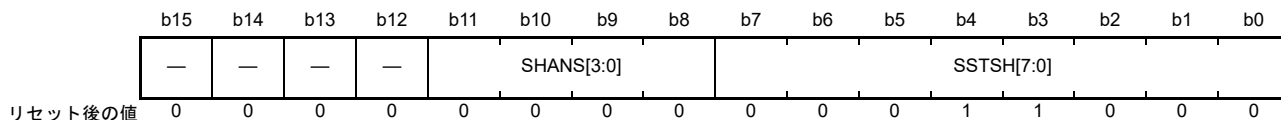
ビット名	対象チャネル	
	ユニット0	ユニット1
ADSSTR0.SST[7:0]ビット (注1)	AN000	AN100
ADSSTR1.SST[7:0]ビット	AN001	AN101
ADSSTR2.SST[7:0]ビット	AN002	AN102
ADSSTR3.SST[7:0]ビット	AN003	AN103
ADSSTR4.SST[7:0]ビット	AN004	AN104
ADSSTR5.SST[7:0]ビット	AN005	AN105
ADSSTR6.SST[7:0]ビット	AN006	AN106
ADSSTR7.SST[7:0]ビット	AN007	AN107
ADSSTR.T.SST[7:0]ビット	温度センサ出力 (ユニット0のみ)	—

注1. 自己診断機能を選択したときは、ADSSTR0.SST[7:0]で設定したサンプリング時間が適用されます。

30.2.12 サンプル & ホールド回路コントロールレジスタ (ADSHCR)

ADSHCR レジスタは、チャンネル専用サンプル & ホールド回路を設定するレジスタです。

アドレス S12ADC0.ADSHCR A008 C066h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTSH[7:0]	チャンネル専用サンプル&ホールド回路 サンプリング時間設定ビット	4～255ステートの間でサンプリング時間を設定します。	R/W
b11-b8	SHANS[3:0]	チャンネル専用サンプル&ホールド回路 バイパス選択ビット	AN000～AN003のチャンネル専用サンプル&ホールド回路を使用するか、使用せずバイパスするかを選択します。 0：チャンネル専用サンプル&ホールド回路をバイパス 1：チャンネル専用サンプル&ホールド回路を使用	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SSTSH[7:0] ビット (チャンネル専用サンプル & ホールド回路サンプリング時間設定ビット)

チャンネル専用サンプル&ホールド回路のサンプリング時間を設定します。1ステート = 1ADCLK クロック (A/D変換クロック) 幅で、ADCLK クロックが 60MHz であれば 1ステート = 16.7ns になります。初期値は 24ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。SSTSH[7:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。サンプリング時間は、4ステート以上 255ステート以下の値を設定してください。また、サンプリング時間が 0.4 μ s 以上になるように設定してください。

SHANS[3:0] ビット (チャンネル専用サンプル&ホールド回路バイパス選択ビット)

アナログ入力 AN000～AN003 のチャンネル専用サンプル&ホールド回路を使用するか、使用せずにバイパスするかを選択します。SHANS[0] ビットが AN000、SHANS[1] ビットが AN001、SHANS[2] ビットが AN002、SHANS[3] ビットが AN003 のチャンネル専用サンプル&ホールド回路の選択ビットになります。SHANS[3:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

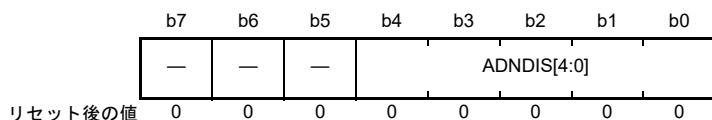
グループスキャンモードのグループ A 優先制御時に、グループ B に AN000～AN003 のいずれかを選択した場合は、チャンネル専用サンプル&ホールド回路をバイパスする設定にしてください。

なお、チャンネル専用サンプル&ホールド回路は、ユニット 1 用のチャンネルにはありません。

30.2.13 A/D 断線検出コントロールレジスタ (ADDISCR)

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

アドレス S12ADC0.ADDISCR A008 C07Ah、S12ADC1.ADDISCR A008 C47Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	断線検出アシスト設定ビット	断線アシスト機能設定	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ADNDIS[4:0] ビット (A/D 断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定、期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ/ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0001b は設定禁止です。ADNDIS[3:0] ビット = 0000b、0001b 以外を設定した場合、設定した値がプリチャージ/ディスチャージ期間のステート数となります。温度センサ出力を変換する場合や自己診断機能を使用する場合は、断線検出アシスト機能は使用できません。

ADNDIS[3:0] ビット = 0000b としてください。ADNDIS[3:0] を “0000b”、“0001b” 以外に設定し、断線検出アシスト機能を有効にした場合は、チャンネル専用サンプル&ホールド回路の断線検出アシスト機能も有効になります。

端子レベル自己診断時は、断線検出アシスト機能を有効にしないでください。

30.2.14 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

ADGSPCR レジスタは、グループスキャンモードでグループ A を優先的に A/D 変換する優先制御を設定するレジスタです。

アドレス S12ADC0.ADGSPCR A008 C080h、S12ADC1.ADGSPCR A008 C480h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定ビット (注1)	0: グループAの優先制御動作を行わない 1: グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定ビット	(PGS = 1のときのみ有効です。PGS = 0のときは0を設定してください。) 0: グループAの優先制御時、グループBのA/D変換中断後の再起動をしない 1: グループAの優先制御時、グループBのA/D変換中断後の再起動をする	R/W
b14-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15	GBRP	グループB用シングルスキャン連続起動設定ビット (注2)	(PGS = 1のときのみ有効です。PGS = 0のときは0を設定してください。) 0: グループBはシングルスキャン連続動作しない 1: グループBのシングルスキャン連続動作開始	R/W

注1. PGSビットを“1”に設定するときは、ADCSR.ADCS[1:0]ビットを“01b” (グループスキャンモード) に設定してください。それ以外の設定をした場合、動作保証できません。

注2. GBRPビットを“1”に設定した場合は、GBRSCNビットの設定にかかわらず、グループBのシングルスキャン連続動作を実行します。

PGS ビット (グループ A 優先制御設定ビット)

グループ A の優先動作を制御します。グループ A の優先制御動作を行う場合に“1”を設定してください。

PGS ビットを“1”に設定するときは、必ず ADCSR.ADCS[1:0] ビットを“01b” (グループスキャンモード) に設定してください。それ以外の値を設定した場合、動作保証できません。

PGS ビットを“0”に設定した場合は、「30.5.2 A/D 変換停止時の注意事項」にしたがい、A/D 変換の停止処理を行ってください。PGS ビットを“1”に設定した場合は、「30.3.4.3 グループ A 優先制御動作」の手順にしたがいレジスタ設定を行ってください。

GBRSCN ビット (グループ B 再起動設定ビット)

グループ A の優先制御時におけるグループ B の再スキャン動作を設定します。

GBRSCN ビットを“1”に設定すると、グループ A のトリガ入力によるスキャン動作中断後、グループ A の A/D 変換の終了を待ち、グループ B の再スキャン動作を実行します。また、グループ A の A/D 変換中にグループ B のトリガ入力があった場合、グループ A の A/D 変換の終了を待ち、グループ B の再スキャン動作を行います。ただし、本機能を使用する場合、PCLKH : ADCLK 分周比 = 1 : 1 に設定してください。それ以外の PCLKH : ADCLK 分周比では、本機能は使用できません。

GBRSCN ビットを“0”に設定した場合、A/D 変換実行中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

GBRSCN ビットの設定は、PGS ビットが“1”のとき有効になります。

GBRP ビット (グループ B 用シングルスキャン連続起動設定ビット)

グループ B をシングルスキャンで連続動作させる場合に設定します。

GBRP ビットを“1”に設定すると、グループ B のシングルスキャンが起動します。スキャン終了後、自動的にグループ B のシングルスキャンを再開します。グループ A の優先制御動作でグループ B の A/D 変換が中断した場合、グループ A の A/D 変換終了後、自動的にグループ B のシングルスキャンを再開します。

GBRP ビットを“1”にする場合は、事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを“1”にした場合、GBRSCN ビットの設定は無効です。

GBRP ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

GBRP ビットの設定は、PGS ビットが“1”のとき有効になります。

30.2.15 A/D コンペアコントロールレジスタ (ADCMPCR)

ADCMPCR レジスタは、コンペア機能の設定を行うレジスタです。

アドレス S12ADC0.ADCMPCR A008 C090h、S12ADC1.ADCMPCR A008 C490h

b7	b6	b5	b4	b3	b2	b1	b0
CMPIE	WCMP E	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	WCMP E	ウィンドウ機能設定ビット	0: ウィンドウ機能無効 1: ウィンドウ機能有効	R/W
b7	CMPIE	コンペア割り込みイネーブル ビット	0: 比較条件一致による S12CMPI 割り込み禁止 1: 比較条件一致による S12CMPI 割り込み許可	R/W

WCMP E ビット (ウィンドウ機能設定ビット)

ウィンドウ機能の有効/無効を選択します。

ウィンドウ機能については、「30.2.18 A/D コンペアレベルレジスタ (ADCMLR)」を参照してください。

CMPIE ビット (コンペア割り込みイネーブルビット)

比較条件の一致によるコンペア割り込み (S12CMPI) 発生の許可/禁止を選択します。

30.2.16 A/Dコンペアチャネル選択レジスタ (ADCMPANSR)

ADCMPANSRレジスタは、コンペアを行うチャネルのアナログ入力 AN000～AN007 (ユニット0)、AN100～AN107 (ユニット1) を選択するレジスタです。

アドレス S12ADC0.ADCMPANSR A008 C094h、S12ADC1.ADCMPANSR A008 C494h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	CMPS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CMPS[7:0]	コンペアチャネル選択ビット	0: AN000～AN007 (ユニット0)、AN100～AN107 (ユニット1) をコンペア対象から外す 1: AN000～AN007 (ユニット0)、AN100～AN107 (ユニット1) をコンペア対象とする	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMPS[7:0] ビット (コンペアチャネル選択ビット)

ADANSA.ANSA[n] ビット (n=0～7/ユニット0、n=0～7/ユニット1) と ADANSB.ANSB[n] ビット (n=0～7/ユニット0、n=0～7/ユニット1) で選択した A/D 変換チャネルと同一番号の CMPS[n] ビットを“1”にすると、コンペア機能が有効になります。

CMPS0[7:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

30.2.17 A/Dコンペアチャネル選択拡張レジスタ (ADCMPANSER)

ADCMPANSERレジスタは、温度センサ出力をコンペア対象とするかどうかを設定するレジスタです。

アドレス S12ADC0.ADCMPANSER A008 C092h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CMPST S
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTS	温度センサ出力コンペア選択ビット	0: 温度センサ出力をコンペア対象から外す 1: 温度センサ出力をコンペア対象とする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CMPSTS ビット (温度センサ出力コンペア選択ビット)

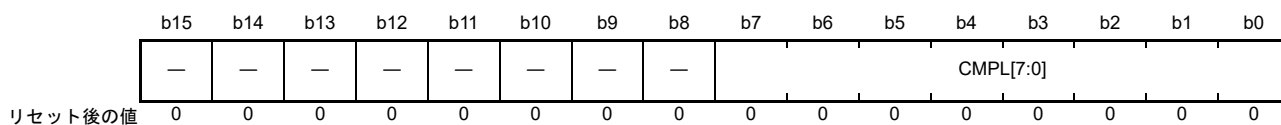
ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットが“1”の場合、CMPSTS ビットを“1”にすることで、コンペア機能が有効になります。

30.2.18 A/D コンペアレベルレジスタ (ADCMPLR)

ADCMPLR レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定するレジスタです。

ADCMPLR レジスタは、ADCSR.ADST ビットが“0”のときに設定してください。

アドレス S12ADC0.ADCMPLR A008 C098h、S12ADC1.ADCMPLR A008 C498h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CMPL[7:0]	コンペアレベル選択ビット	AN000～AN007 (ユニット0)、AN100～AN107 (ユニット1) の比較条件を設定します ウィンドウ機能無効時 (ADCMPDR.WCMPPE ビットが“0”) <ul style="list-style-type: none"> 0 : ADCMPDR0 レジスタ値 > A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPDR.WCMPPE ビットが“1”) <ul style="list-style-type: none"> 0 : AD 変換値 < ADCMPDR0 レジスタ値 または AD 変換値 > ADCMPDR1 レジスタ値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 < ADCMPDR1 レジスタ値 	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMPL[7:0] ビット (コンペアレベル選択ビット)

アナログ入力 AN000～AN007 (ユニット0)、AN100～AN107 (ユニット1) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPL[0] が AN000 (ユニット0) / AN100 (ユニット1)、CMPL[7] が AN007 (ユニット0) / AN107 (ユニット1) に対応します。

各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPDR.CMPFn ビットが“1”にセットされ、コンペア割り込み (S12CMPI) が発生します。

30.2.19 A/D コンペアレベル拡張レジスタ (ADCMPLER)

ADCMPLER レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定するレジスタです。

ADCMPLER レジスタは、ADCSR.ADST ビットが“0”のときに設定してください。

アドレス S12ADC0.ADCMPLER A008 C093h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPLTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTS	温度センサ出力コンペアレベル選択ビット	ウィンドウ機能無効時 (ADCMPCR.WCMPE ビットが“0”) 0 : ADCMPDR0 レジスタ値 > A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE ビットが“1”) 0 : AD 変換値 < ADCMPDR0 レジスタ値または AD 変換値 > ADCMPDR1 レジスタ値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 < ADCMPDR1 レジスタ値	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CMPLTS ビット (温度センサ出力コンペアレベル選択ビット)

温度センサ出力の比較条件を設定します。

温度センサ出力の比較結果が設定した条件と一致したとき、ADCMPSER.CMPFTS ビットが“1”にセットされ、コンペア割り込み (S12CMPI) が発生します。

30.2.20 A/D コンペアデータレジスタ y (ADCMPDRy) (y = 0, 1)

ADCMPDRy レジスタは、コンペア機能使用時、基準となるデータを設定するレジスタです。

ADCMPDRy レジスタの書き込みはA/D変換中でも有効です。A/D変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。ウィンドウ機能無効時、ADCMPDR1 レジスタは使用しません。

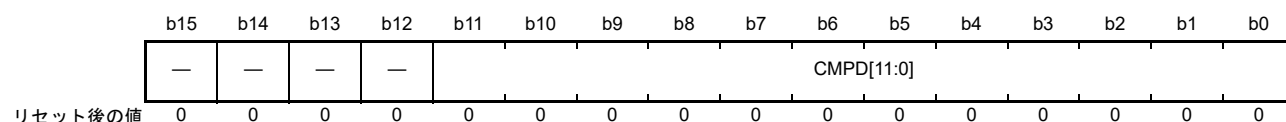
ADCMPDRy レジスタは、以下の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換精度指定ビットの設定値 (12ビット、10ビット、または8ビット)
- A/D 変換値加算/平均モード選択レジスタの設定値 (A/D 変換値加算モード選択、または非選択)

(1) A/D 変換値加算モードを非選択とした場合

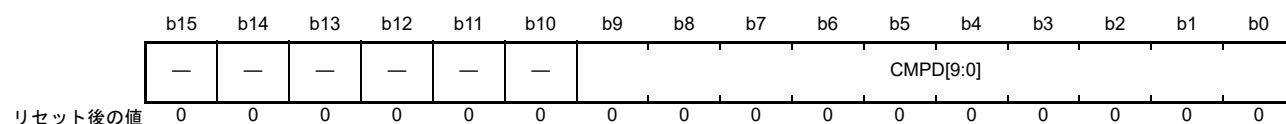
- 右詰めフォーマット、12ビット精度に設定した場合

アドレス S12ADC0.ADCMPDR0 A008 C09Ch, S12ADC0.ADCMPDR1 A008 C09Eh,
S12ADC1.ADCMPDR0 A008 C49Ch, S12ADC1.ADCMPDR1 A008 C49Eh



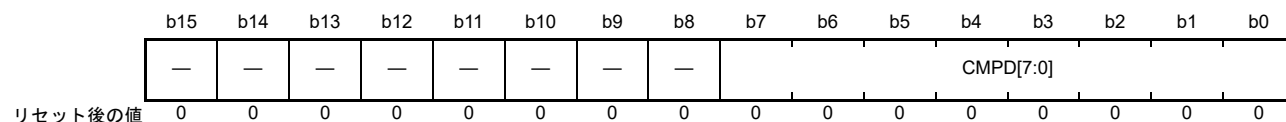
ビット	シンボル	ビット名	機能	R/W
b11-b0	CMPD[11:0]	—	12ビット基準値	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 右詰めフォーマット、10ビット精度に設定した場合



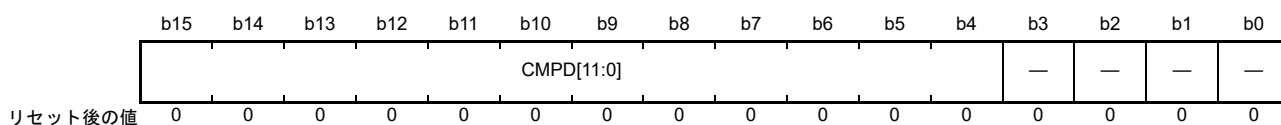
ビット	シンボル	ビット名	機能	R/W
b9-b0	CMPD[9:0]	—	10ビット基準値	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 右詰めフォーマット、8ビット精度に設定した場合



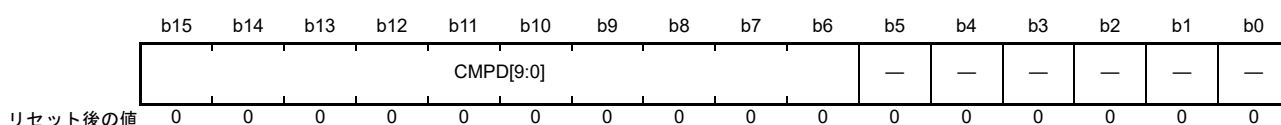
ビット	シンボル	ビット名	機能	R/W
b7-b0	CMPD[7:0]	—	8ビット基準値	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 左詰めフォーマット、12ビット精度に設定した場合



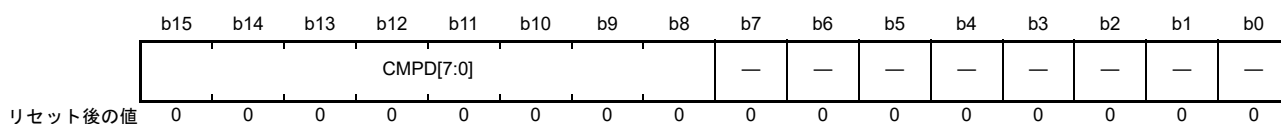
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b4	CMPD[11:0]	—	12ビット基準値	R/W

- 左詰めフォーマット、10ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b6	CMPD[9:0]	—	10ビット基準値	R/W

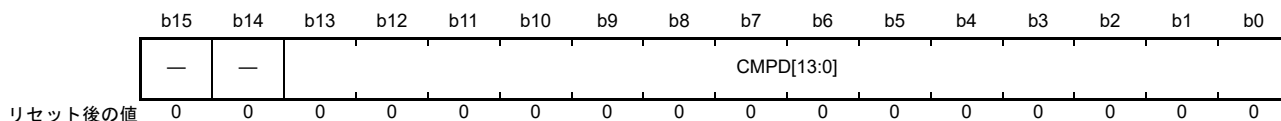
- 左詰めフォーマット、8ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b8	CMPD[7:0]	—	8ビット基準値	R/W

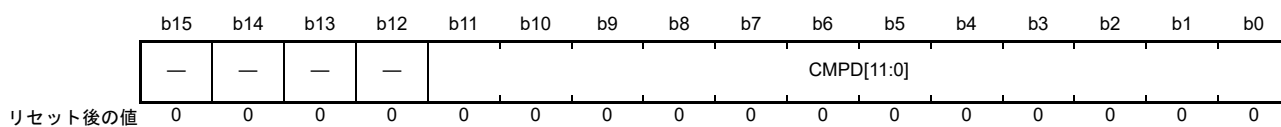
(2) A/D変換値加算モードを選択した場合

- 右詰めフォーマット、12ビット精度に設定した場合 (A/D変換値加算モード選択時)



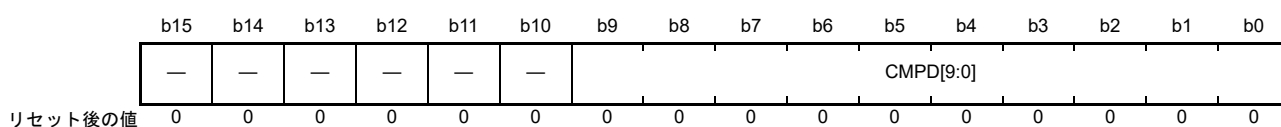
ビット	シンボル	ビット名	機能	R/W
b13-b0	CMPD[13:0]	—	14ビット基準値	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 右詰めフォーマット、10ビット精度に設定した場合 (A/D変換値加算モード選択時)



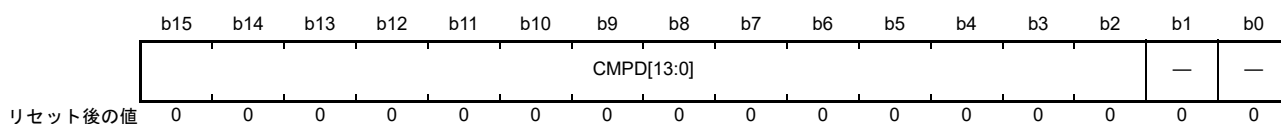
ビット	シンボル	ビット名	機能	R/W
b11-b0	CMPD[11:0]	—	12ビット基準値	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 右詰めフォーマット、8ビット精度に設定した場合 (A/D変換値加算モード選択時)



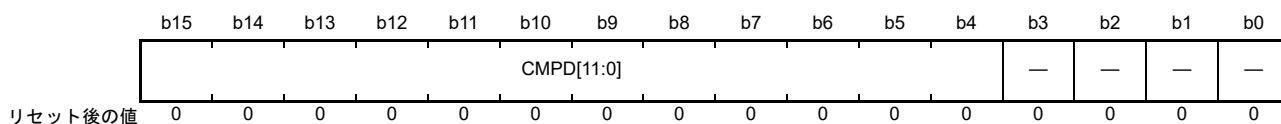
ビット	シンボル	ビット名	機能	R/W
b9-b0	CMPD[9:0]	—	10ビット基準値	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 左詰めフォーマット、12ビット精度に設定した場合 (A/D変換値加算モード選択時)



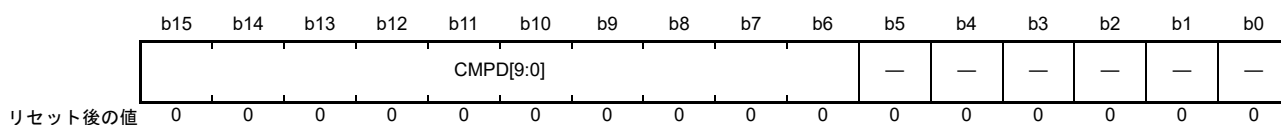
ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b2	CMPD[13:0]	—	14ビット基準値	R/W

- 左詰めフォーマット、10ビット精度に設定した場合 (A/D変換値加算モード選択時)



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b4	CMPD[11:0]	—	12ビット基準値	R/W

- 左詰めフォーマット、8ビット精度に設定した場合 (A/D変換値加算モード選択時)

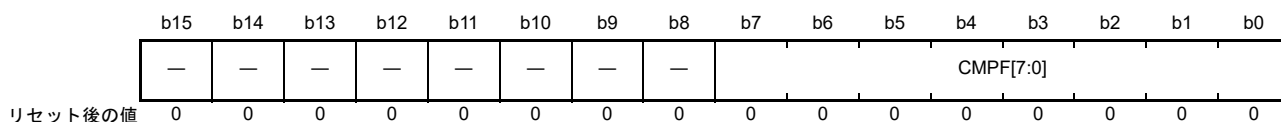


ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b6	CMPD[9:0]	—	10ビット基準値	R/W

30.2.21 A/Dコンペアステータスレジスタ (ADCMPSTR)

ADCMPSTRレジスタは、コンペア機能の比較結果を格納するレジスタです。

アドレス S12ADC0.ADCMPSTR A008 C0A0h、S12ADC1.ADCMPSTR A008 C4A0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CMPF[7:0]	コンペアフラグ	AN000～AN007 (ユニット0)、AN100～AN107 (ユニット1)の比較結果を示します 0: 比較条件不成立 1: 比較条件成立	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMPF[7:0]ビット (コンペアフラグ)

アナログ入力 AN000～AN007 (ユニット0)、AN100～AN107 (ユニット1)の比較結果を示すステータスフラグです。A/D変換終了時、ADCMPSTR.CMPFnに設定した比較条件と一致した場合、“1”にセットされます。ADCMPSTR.CMPIEビットが“1”のとき、本フラグがセットされるタイミングでコンペア割り込み (S12CMPI) 要求が発生します。CMPF[0]がAN000 (ユニット0) / AN100 (ユニット1)、CMPF[7]がAN007 (ユニット0) / AN107 (ユニット1)に対応します。

CMPFnビットに“1”を書き込むことはできません。

["1"になる条件]

- ADCMPSTR.CMPFnに設定した条件が成立したとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

30.2.22 A/D コンペアステータス拡張レジスタ (ADCMPSER)

ADCMPSER レジスタは、温度センサ出力の比較結果を示すステータスレジスタです。

アドレス S12ADC0.ADCMPSER A008 C0A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPFT S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPFTS	温度センサ出力コンペアフラグ	0: 比較条件不成立 1: 比較条件成立	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CMPFTS ビット (温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すステータスフラグです。A/D 変換終了時、ADCMPLER.CMPLTS に設定した比較条件と一致した場合、“1”にセットされます。ADCMPPCR.CMPIE ビットが“1”のとき、本フラグがセットされるタイミングでコンペア割り込み (S12CMPI) 要求が発生します。

CMPFTS ビットに“1”を書き込むことはできません。

["1"になる条件]

- ADCMPLER.CMPLTS に設定した条件が成立したとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

30.2.23 A/D 端子レベル自己診断制御レジスタ (ADTDCR)

ADTDCR レジスタは、端子レベル自己診断機能を制御するレジスタです。端子レベル自己診断機能の詳細については、「30.3.12 端子レベル自己診断機能」を参照してください。

アドレス S12ADC0.ADTDCR A008 C0C8h、S12ADC1.ADTDCR A008 C4C8h

b7	b6	b5	b4	b3	b2	b1	b0
TDE	—	—	—	—	—	TDLV[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TDLV[1:0]	端子レベル自己診断レベル選択ビット	b1 b0 00: 偶数番目の入力チャネルをAVSSにディスチャージし、奇数番目の入力チャネルをAVCCにチャージする 01: 偶数番目の入力チャネルをAVCCにチャージし、奇数番目の入力チャネルをAVSSにディスチャージする 10: 偶数番目の入力チャネルをAVSSにディスチャージし、奇数番目の入力チャネルをAVCC×1/2にチャージする 11: 偶数番目の入力チャネルをAVCC×1/2にチャージし、奇数番目の入力チャネルをAVSSにディスチャージする	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	TDE	端子レベル自己診断イネーブルビット	0: 端子レベル自己診断をしない 1: 端子レベル自己診断をする	R/W

TDLV[1:0] ビット (端子レベル自己診断レベル選択ビット)

端子レベル自己診断における端子レベルの選択を行います。

TDLV[1:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

TDE ビット (端子レベル自己診断イネーブルビット)

端子レベル自己診断を実施するかしないかを選択します。

TDE ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

30.2.24 A/D エラーコントロールレジスタ (ADERCR)

ADERCR レジスタは、エラー検出機能を制御するレジスタです。エラーの詳細については、「30.3.13 エラー検出機能」を参照してください。

アドレス S12ADC0.ADERCR A008 C0CAh、S12ADC1.ADERCR A008 C4CAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OWEIE	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	OWEIE	オーバーライトエラー割り込みイネーブルビット	0: オーバライトエラー検出時の割り込み発生禁止 1: オーバライトエラー検出時の割り込み発生許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

OWEIE ビット (オーバーライトエラー割り込みイネーブルビット)

オーバーライトエラーを検出した際のエラー割り込み要求 (S12ADE) 発生の許可/禁止を設定します。OWEIE ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

30.2.25 A/D エラークリアレジスタ (ADERCLR)

A/D エラークリアレジスタは、エラークリアを行う書き込み専用のレジスタです。

アドレス S12ADC0.ADERCLR A008 C0CBh、S12ADC1.ADERCLR A008 C4CBh

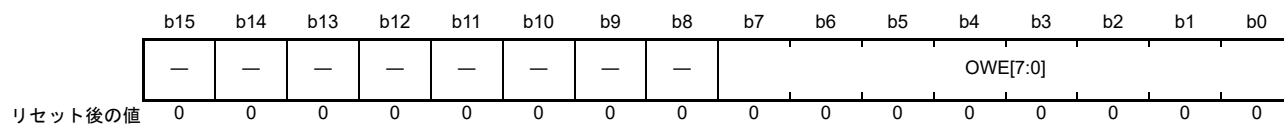
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OWEC	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	書く場合、“0”としてください。	W
b2	OWEC	オーバーライトエラークリアビット	0の書き込み: オーバライトエラーをクリアしない 1の書き込み: オーバライトエラーをクリアする	W
b7-b3	—	予約ビット	書く場合、“0”としてください。	W

30.2.26 A/D オーバライトエラーレジスタ (ADOWER)

ADOWER レジスタは、ADDR_y レジスタの A/D 変換結果が読み出されず、オーバーライトが発生したことを示すステータスレジスタです。

アドレス S12ADC0.ADOWER A008 C0D2h、S12ADC1.ADOWER A008 C4D2h



ビット	シンボル	ビット名	機能	R/W
b7-b0	OWE[7:0]	オーバーライトエラー	0 : S12ADC0.ADDR0～S12ADC0.ADDR7 (ユニット0)、 S12ADC1.ADDR0～S12ADC1.ADDR7 (ユニット1) でオーバーライトエラーは発生していない 1 : S12ADC0.ADDR0～S12ADC0.ADDR7 (ユニット0)、 S12ADC1.ADDR0～S12ADC1.ADDR7 (ユニット1) でオーバーライトエラーが発生	R
b15-b8	—	予約ビット	読むと“0”が読めます。	R

OWE[7:0] ビット (オーバーライトエラー 0)

OWE[7:0] ビットは、ADDR_y レジスタの A/D 変換結果が一度も読み出されないまま A/D 変換が終了し、ADDR_y レジスタに次の A/D 変換結果が格納されたとき“1”になります。

OWE[7:0] ビットは、ADERCLR .OWEC レジスタに“1”を書き込むことでクリアされ、“0”になります。OWE[7:0] ビットに“1”を書き込むことはできません。

ユニット 0 は OWE [0] ビットが S12ADC0.ADDR0、OWE [7] ビットが S12ADC0.ADDR7 に、ユニット 1 は OWE [0] ビットが S12ADC1.ADDR0、OWE[7] ビットが S12ADC1.ADDR7 に対応します。

30.2.27 A/D オーバライトエラー拡張レジスタ (ADOWEER)

ADOWEER レジスタは、ADDBLDR、ADRD、ADTSDR レジスタの A/D 変換結果が読み出されず、オーバーライトが発生したことを示すステータスレジスタです。

アドレス S12ADC0.ADOWEER A008 C0D6h、S12ADC1.ADOWEER A008 C4D6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	TSOWE	DIAGOWE	DOWE	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。	R
b2	DOWE	A/Dデータ2重化レジスタオーバーライトエラー	0: ADDBLDRでオーバーライトエラーは発生していない 1: ADDBLDRでオーバーライトエラーが発生	R
b3	DIAGOWE	A/D自己診断データレジスタオーバーライトエラー	0: ADRDでオーバーライトエラーは発生していない 1: ADRDでオーバーライトエラーが発生	R
b4	TSOWE	A/D温度センサデータレジスタオーバーライトエラー	0: ADTSDRでオーバーライトエラーは発生していない 1: ADTSDRでオーバーライトエラーが発生	R
b15-b5	—	予約ビット	読むと“0”が読めます。	R

DOWE ビット (A/D データ 2 重化レジスタオーバーライトエラー)

DOWE ビットは、ADDBLDR レジスタの A/D 変換結果が一度も読み出されないまま A/D 変換が終了し、ADDBLDR レジスタに次の A/D 変換結果が格納されたとき“1”になります。

DOWE ビットは、ADDERCLR.OWEC レジスタに“1”を書き込むことでクリアされ、“0”になります。DOWE ビットに“1”を書き込むことはできません。

DIAGOWE ビット (A/D 自己診断データレジスタオーバーライトエラー)

DIAGOWE ビットは、ADRD レジスタの A/D 変換結果が一度も読み出されないまま A/D 変換が終了し、ADRD レジスタに次の A/D 変換結果が格納されたとき“1”になります。

DIAGOWE ビットは、ADDERCLR.OWEC レジスタに“1”を書き込むことでクリアされ、“0”になります。DIAGOWE ビットに“1”を書き込むことはできません。

TSOWE ビット (A/D 温度センサデータレジスタオーバーライトエラー)

TSOWE ビットは、ADTSDR レジスタの A/D 変換結果が一度も読み出されないまま A/D 変換が終了し、ADTSDR レジスタに次の A/D 変換結果が格納されたとき“1”になります。

TSOWE ビットは、ADDERCLR.OWEC レジスタに“1”を書き込むことでクリアされ、“0”になります。TSOWE ビットに“1”を書き込むことはできません。

30.3 動作説明

30.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

動作モードには、シングルスキャンモードと連続スキャンモード、グループスキャンモードの3種類の動作モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回行って終了するモードです。連続スキャンモードは、指定した1チャンネル以上のスキャンを ADCSR.ADST ビットを“0” (“1”の状態から“0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択した同期トリガ (TPUa、ELC) で開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ1回ずつ行って終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換を開始すると、ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を行います。グループスキャンモードは、グループ A の場合、ADANSA レジスタで選択した ANn 端子の n が小さい番号順、グループ B の場合、ADANSB レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を行います。

自己診断を選択した場合、スキャンごとに最初に1回自己診断が行われ、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

温度センサ出力は、チャンネルのアナログ入力と同時にスキャン可能で、チャンネルのアナログ入力、温度センサ出力の順でA/D変換を行います。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[5:0] ビットで選択した、同期トリガ (TPUa、ELC) によるスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換データを2重化します。

ADSHCR.SHANS[3:0] で AN000 ~ AN003 のいずれかをチャンネル専用サンプル&ホールド回路を使用する設定にした場合、スキャンごとに最初のA/D変換開始前に対象となるアナログ入力のサンプル&ホールドを行います。

30.3.2 シングルスキャンモード

30.3.2.1 基本動作 (チャンネル専用サンプル&ホールドなし)

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガ (TPUa、ELC) または非同期トリガ入力によって、ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSAレジスタで選択したANn端子のnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了によるS12ADI割り込み許可) に設定されていると、S12ADI割り込みが発生します。
- (4) ADSTビットはA/D変換中、“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

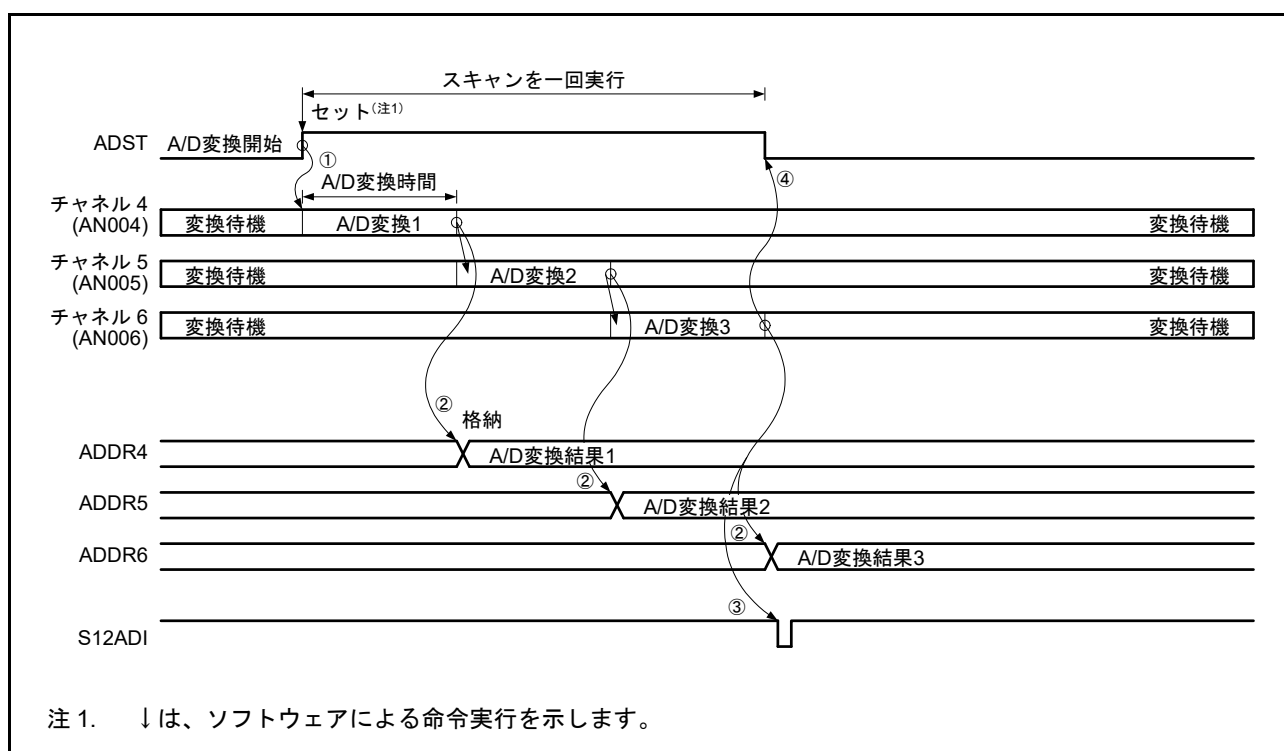


図 30.4 シングルスキャンモードの動作例 (基本動作 : AN004 ~ AN006 選択)

30.3.2.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に選択したすべてのチャンネルのアナログ入力を1回のみA/D変換します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[3:0]ビットで選択します。

- (1) ソフトウェア、同期トリガ (TPUa、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSA レジスタで選択したチャンネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (3) 1チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (4) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みが発生します。
- (5) ADCSR.ADST ビットは A/D 変換中、“1” (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、12ビット A/D コンバータは待機状態になります。

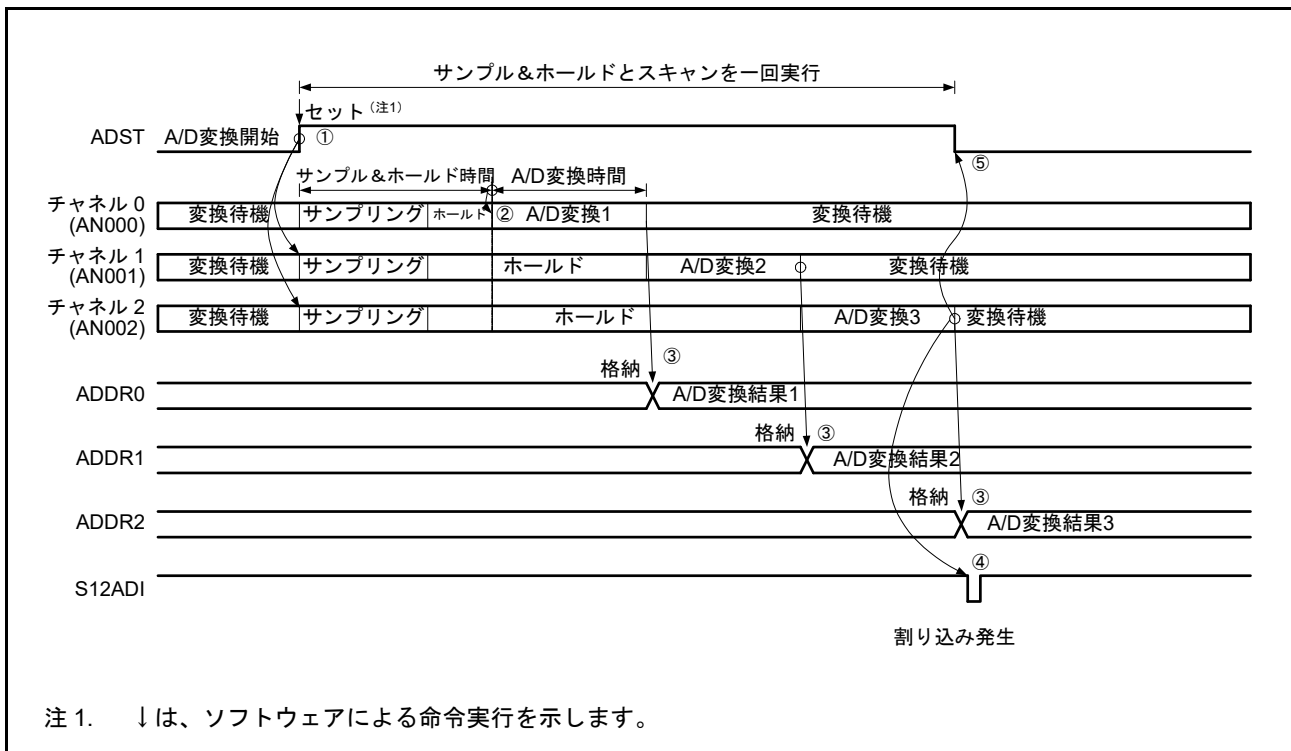


図 30.5 シングルスキャンモードの動作例
(チャンネル専用サンプル & ホールド回路使用 : AN000 ~ AN002 選択)

30.3.2.3 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)

チャンネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧VREFH0 (ユニット0)、VREFH1 (ユニット1) (基準電圧×0、×1/2、×1のいずれか)のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェア、同期トリガ (TPUa、ELC) または非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSAレジスタで選択したチャンネルANn端子のnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるS12ADI割り込み許可) に設定されていれば、S12ADI割り込みが発生します。
- (5) ADSTビットはA/D変換中、“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

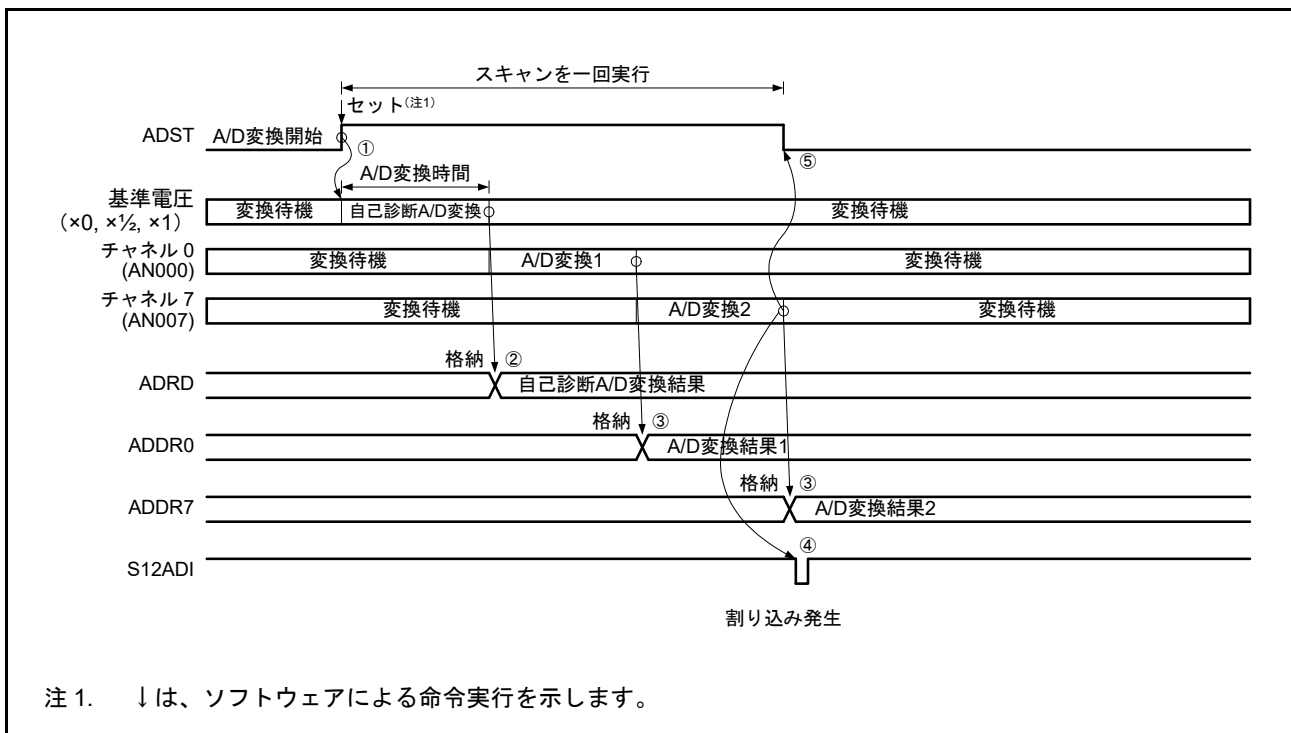


図 30.6 シングルスキャンモードの動作例 (基本動作: AN000、AN007 選択+自己診断)

30.3.2.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)

チャンネル選択と共に自己診断を選択し、チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に12ビットA/Dコンバータに供給される基準電圧VREFH0 (ユニット0)、VREFH1 (ユニット1) (基準電圧×0、×1/2、×1のいずれか)のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[3:0]ビットで選択します。

- (1) ソフトウェア、同期トリガ (TPUa、ELC) または非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に自己診断によるA/D変換を開始します。
- (3) 自己診断によるA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSAレジスタで選択したチャンネルANn端子のnが小さい番号順にA/D変換を開始します。
- (4) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (5) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるS12ADI割り込み許可) に設定されていると、S12ADI割り込みが発生します。
- (6) ADSTビットはA/D変換中、“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

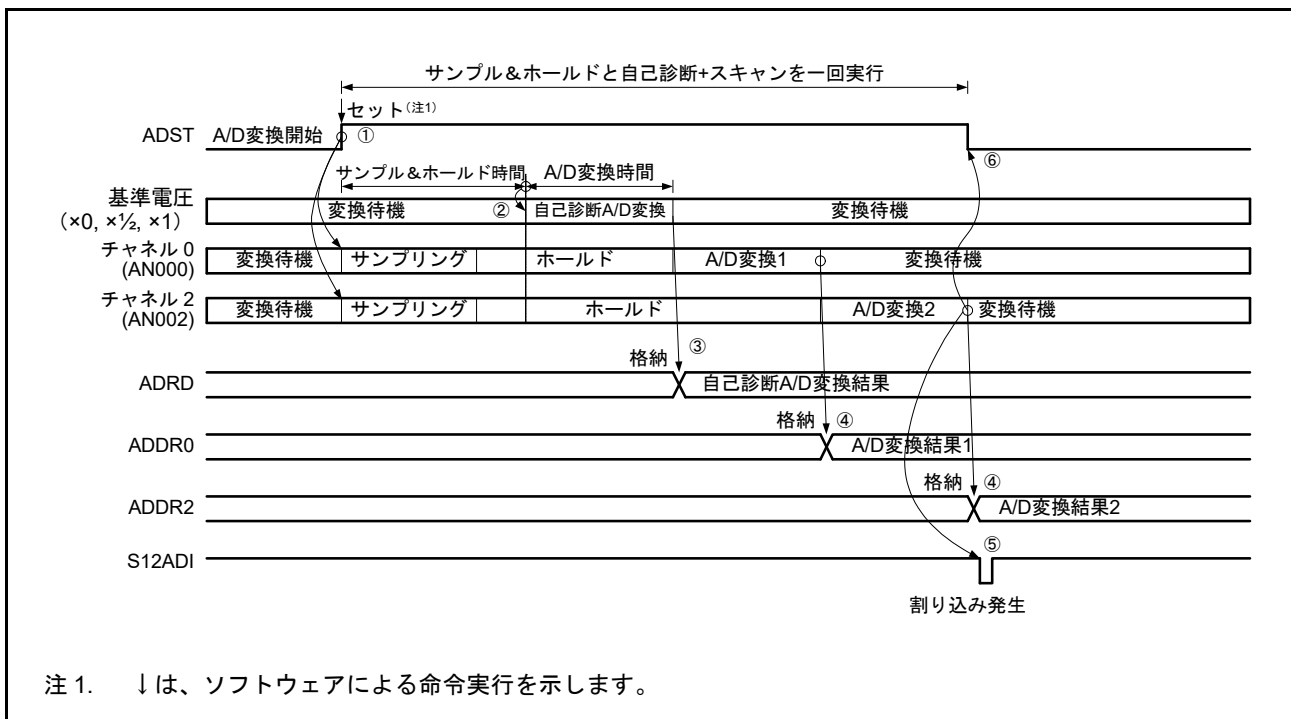


図 30.7 シングルスキャンモードの動作例
(チャンネル専用サンプル&ホールド回路使用 : AN000、AN002 選択 + 自己診断)

30.3.2.5 温度センサ出力選択時の A/D 変換動作

チャンネル選択と共に温度センサ出力を選択すると、以下のように選択したチャンネルのアナログ入力のア/D変換を行い、その後、1回のみ温度センサ出力をA/D変換します。チャンネルを非選択とし、温度センサのみを選択することも可能です。

- (1) ソフトウェア、同期トリガ (TPUa、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (2) 1チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納され、次に温度センサ出力の A/D 変換を開始します。
- (3) 温度センサ出力の A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ (ADTRDR) へ格納されます。
- (4) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みが発生します。
- (5) ADCSR.ADST ビットは A/D 変換中、“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

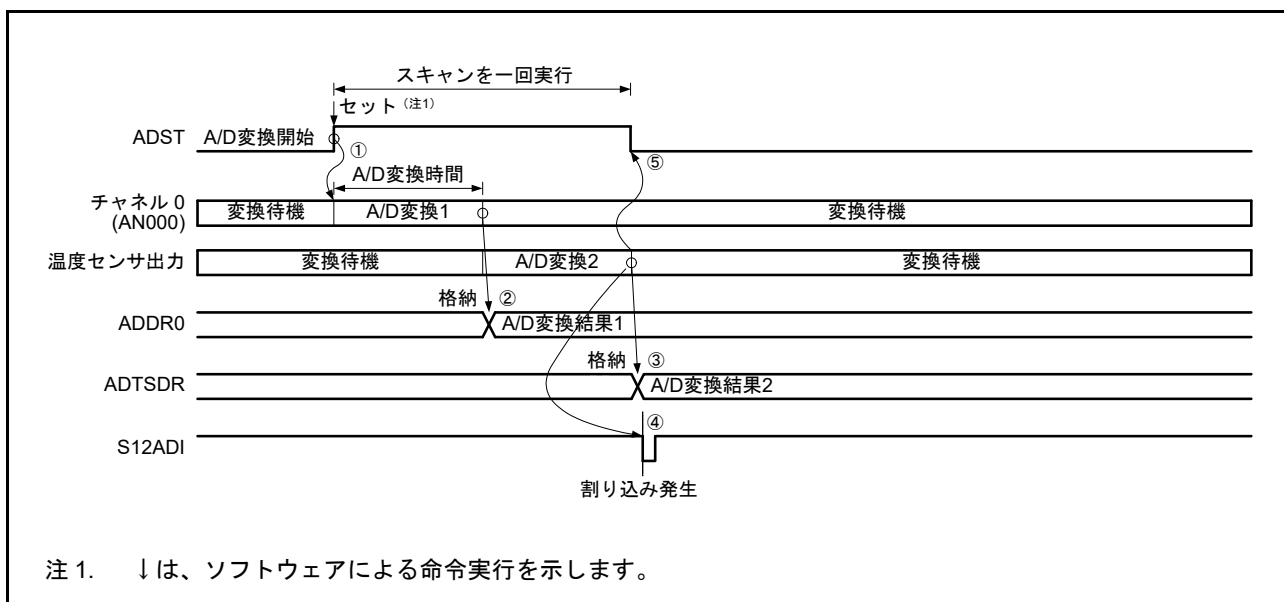


図 30.8 シングルスキャンモードの動作例 (基本動作 : AN000、温度センサ出力選択)

30.3.2.6 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合、以下のように同期トリガ (TPUa、ELC) で開始するシングルスキャンモードの実行2回分を一連の動作としてA/D変換を行います。

温度センサA/D変換選択ビット (ADEXICR.TSSA、ADEXICR.TSSB) は“0”に設定してください。

A/D変換データの2重化は、2重化するチャンネルの番号をADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLEビットを“1”にすると有効になります。ADCSR.DBLEを“1”に設定した場合はADANSAレジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0]ビットで同期トリガ (TPUa、ELC) を選択し、ADCSR.EXTRGビットを“0”、ADCSR.TRGEビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) 同期トリガ (TPUa、ELC) の入力によって、ADCSR.ADSTビットが“1” (A/D変換開始) になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) ADCSR.ADSTビットは自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。このとき、ADCSR.ADIEビット (スキャン終了によるS12ADI割り込み許可) の設定にかかわらず、S12ADI割り込みは発生しません。
- (4) 2回目の同期トリガ入力により、ADCSR.ADSTビットが“1” (A/D変換開始) になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
- (5) A/D変換が終了すると、A/D変換結果はダブルトリガモード専用のA/Dデータ2重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIEビットが“1” (スキャン終了によるS12ADI割り込み許可) に設定されていれば、S12ADI割り込みが発生します。
- (7) ADSTビットはA/D変換中、“1” (A/D変換開始) を保持し、A/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

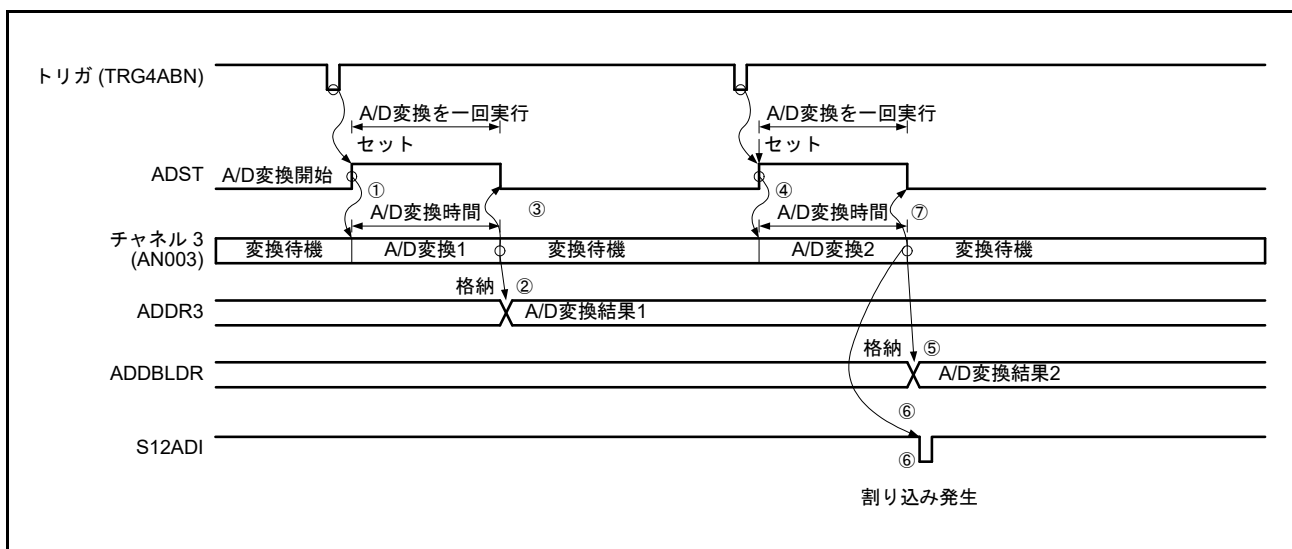


図 30.9 シングルスキャンモードの動作例 (ダブルトリガモード選択 : AN003 を 2 重化、トリガは TRG4ABN を選択、自己診断非選択)

30.3.3 連続スキャンモード

30.3.3.1 基本動作 (チャンネル専用サンプル&ホールドなし)

連続スキャンモードの基本動作は、ADANSAレジスタで選択したチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

- (1) ソフトウェア、同期トリガ (TPUa、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みが発生します。
また 12 ビット A/D コンバータは、継続して ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (4) ADST ビットは自動的にクリアされず、“1” (A/D 変換開始) の間は (2) ~ (3) を繰り返します。
ADCSR.ADST ビットを“0” (A/D 変換停止) に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
- (5) その後、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定されると再び ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。

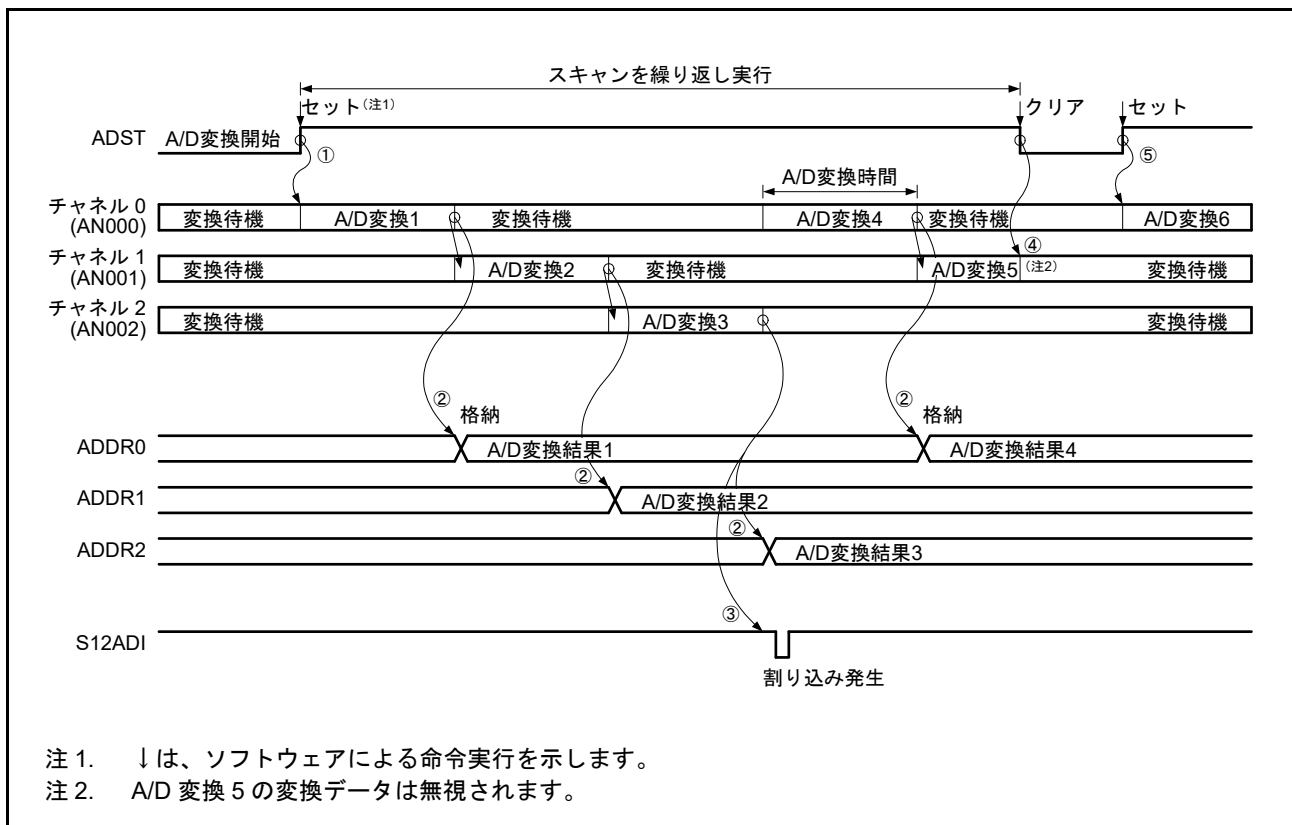


図 30.10 連続スキャンモードの動作例 (基本動作 : AN000 ~ AN002 選択)

30.3.3.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に、選択したすべてのチャンネルのアナログ入力に対する A/D 変換を繰り返します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[3:0] ビットで選択します。

- (1) ソフトウェア、同期トリガ (TPUa、ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルは、すべてのアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSA レジスタで選択したチャンネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (3) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (4) 選択したすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みが発生します。また、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングを開始します。
- (5) ADST ビットは自動的にクリアされず、“1” に設定されている間は (2) ~ (4) を繰り返します。ADST ビットを“0” (A/D 変換停止) に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
- (6) その後、ADST ビットが“1” (A/D 変換開始) になると、再びチャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングを開始します。

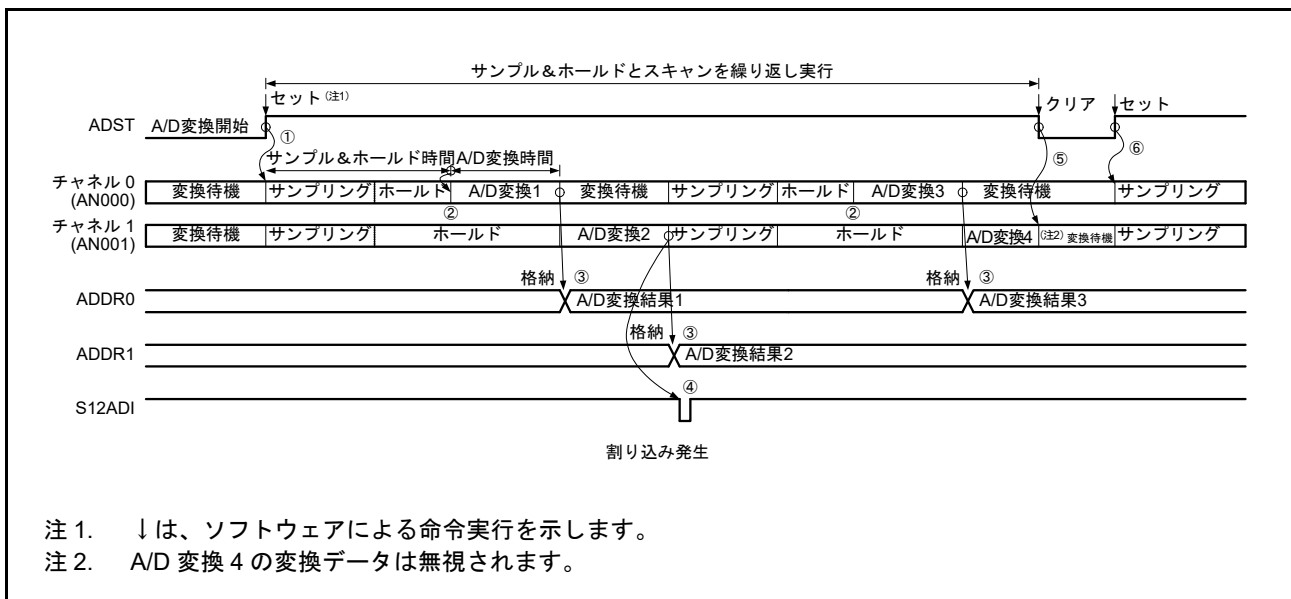


図 30.11 連続スキャンモードの動作例
(チャンネル専用サンプル&ホールド回路使用 : AN000、AN001 選択)

30.3.3.3 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)

チャンネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧 VREFH0 (ユニット0)、VREFH1 (ユニット1) (基準電圧×0、×1/2、×1のいずれか) のA/D変換を行い、その後選択したチャンネルのアナログ入力のA/D変換を繰り返します。

- (1) ソフトウェア、同期トリガ (TPUa、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、最初に自己診断によるA/D変換を開始します。
- (2) 自己診断によるA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADDRD) に格納され、次に ADANSA レジスタで選択したチャンネル ANn 端子の n が小さい番号順に A/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了によるS12ADI 割り込み許可) に設定されていれば、S12ADI 割り込みが発生します。また、12ビットA/Dコンバータは継続して自己診断によるA/D変換を開始し、終了後に ADANSA レジスタで選択したチャンネル ANn 端子の n が小さい番号順に A/D変換を開始します。
- (5) ADCSR.ADST ビットは自動的にクリアされず、“1”に設定されている間は (2) ~ (4) を繰り返します。ADCSR.ADST ビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADST ビットが“1” (A/D変換開始) に設定されると、再び自己診断によるA/D変換から順に変換を開始します。

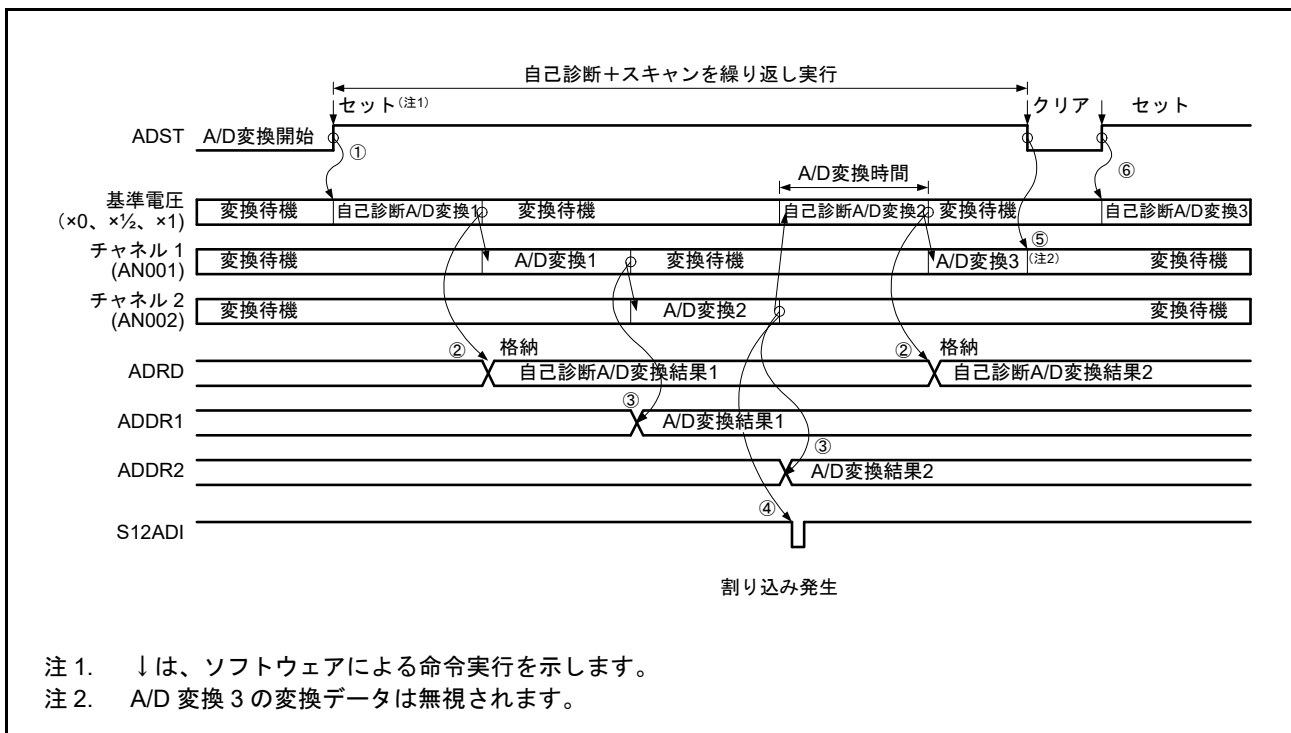


図 30.12 連続スキャンモードの動作例 (基本動作 : AN0001、AN0002 選択 + 自己診断)

30.3.3.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)

チャンネル選択と共に自己診断を選択し、チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に、12ビットA/Dコンバータに供給される基準電圧VREFH0(ユニット0)、VREFH1(ユニット1)(基準電圧×0、×1/2、×1のいずれか)のA/D変換を行い、その後選択したチャンネルのアナログ入力のA/D変換を繰り返し行います。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[3:0]ビットで選択します。

- (1) ソフトウェア、同期トリガ(TPUa、ELC)または非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルは、すべてのアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、自己診断によるA/D変換を開始します。
- (3) 自己診断によるA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ(ADRD)に格納され、次にADANSAレジスタで選択したチャンネルANn端子のnが小さい番号順にA/D変換を開始します。
- (4) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- (5) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI割り込み許可)に設定されていると、S12ADI割り込みが発生します。また、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングを開始します。
- (6) ADSTビットは自動的にクリアされず、“1”に設定されている間は(2)～(5)を繰り返します。ADSTビットを“0”(A/D変換停止)に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (7) その後、ADSTビットが“1”(A/D変換開始)に設定されると、再びチャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングを開始します。

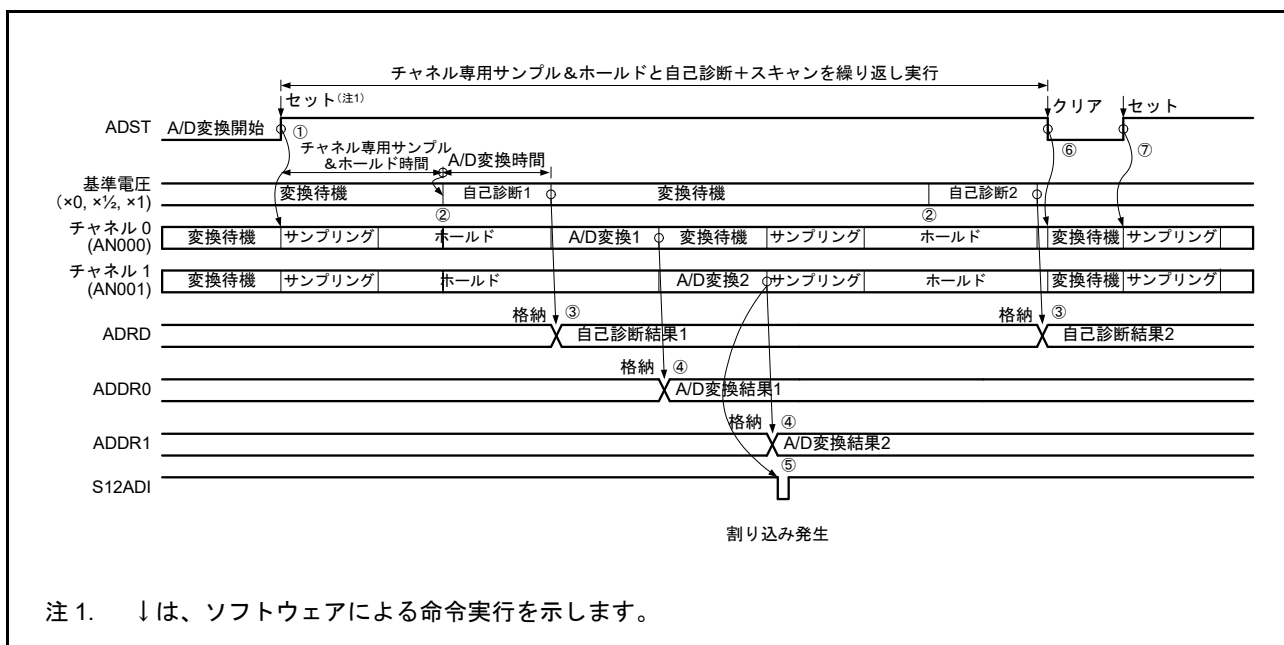


図 30.13 連続スキャンモードの動作例
(チャンネル専用サンプル&ホールド回路使用 : AN000、AN001 選択 + 自己診断)

30.3.3.5 温度センサ出力選択時の A/D 変換動作

チャンネル選択と共に温度センサ出力を選択すると、以下のように選択したチャンネルのアナログ入力の A/D 変換を行い、その後、温度センサ出力の A/D 変換を繰り返します。A/D 変換するチャンネルを非選択とし、温度センサ出力のみを選択することも可能です。

- (1) ソフトウェア、同期トリガ (TPUa、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (2) 選択したチャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納され、次に温度センサ出力の A/D 変換を開始します。
- (3) 温度センサ出力の A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ (ADTRDR) へ格納されます。
- (4) ADCSR.ADIE ビットが “1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みが発生します。また、12 ビット A/D コンバータは、継続して ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (5) ADCSR.ADST ビットは自動的にクリアされず、“1” にセットされている間は (2) ~ (4) を繰り返します。ADCSR.ADST ビットを “0” (A/D 変換停止) に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
- (6) その後、ADCSR.ADST ビットが “1” (A/D 変換開始) になると、再び ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。

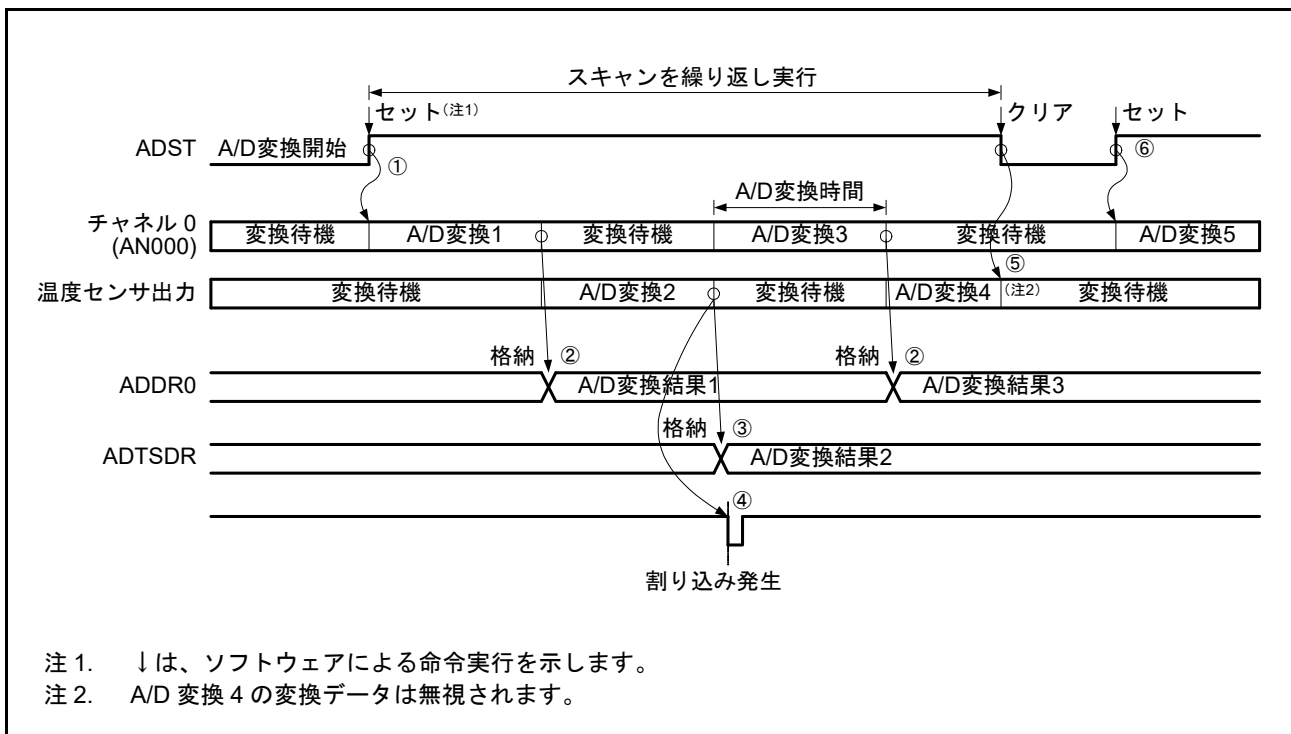


図 30.14 連続スキャンモードの動作例 (基本動作 : AN000、温度センサ出力、内部基準電圧選択)

30.3.4 グループスキャンモード

30.3.4.1 基本動作

グループスキャンモードの基本動作は、同期トリガ (TPUa、ELC) をスキャン開始条件とし、グループ A とグループ B のそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じです。

グループスキャンモードでは、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガを設定してください。また、ソフトウェアトリガは使用しないでください。

グループ A は、ADANSA レジスタ、ADEXICR.TSSA ビットで A/D 変換対象チャンネルを選択し、グループ B は、ADANSB レジスタ、ADEXICR.TSSB ビットで A/D 変換対象チャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

30.3.4.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合、グループ A は同期トリガ (TPUa、ELC) で開始するシングルスキャンモードの実行 2 回分を一連の動作として A/D 変換を行います。グループ B は同期トリガ (TPUa、ELC) で開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードでは、ADSTRGR.TRSA[5:0] ビットでグループ A のトリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B は別々のトリガを選択してください。また、ソフトウェアトリガ、および非同期トリガ (ADTRGn) は使用しないでください。

グループ A は、ADCSR.DBLANS[4:0] ビットで A/D 変換対象チャンネルを選択し、グループ B は、ADANSB レジスタで A/D 変換対象チャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモードでダブルトリガモードを選択した場合、温度センサ A/D 変換選択ビット (ADEXICR.TSSA、ADEXICR.TSSB) は“0” (非選択) に設定します。

グループスキャンモードでダブルトリガモードを選択する場合、自己診断は選択できません。

A/D 変換データを 2 重化する場合、2 重化するチャンネル番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効になります。

30.3.4.3 グループ A 優先制御動作

グループスキャンモードで A/D グループスキャン優先コントロールレジスタ (ADGSPCR) の PGS ビットを“1”にすると、グループ A 優先制御動作を行います。ADPGSCR レジスタの PGS ビットを“1”に設定する際は、**図 30.15**の手順にしたがい、各レジスタを設定してください。フロー以外の設定をした場合、A/D 変換の動作および格納されたデータは保証できません。

グループスキャンモードの基本動作では、グループ A、もしくはグループ B の A/D 変換中に他方のトリガ入力があっても無視されます。グループ A 優先制御動作では、グループ B の A/D 変換中にグループ A のトリガ入力があった場合、グループ B の A/D 変換を中断して、グループ A の A/D 変換を行います。

ADGSPCR.GBRSCN ビットが“0”のとき、グループ A のトリガにより中断されたグループ B の A/D 変換は、グループ A の A/D 変換後に再実行されず、待機状態になります。ADGSPCR.GBRSCN ビットが“1”のときは、グループ A の A/D 変換終了後、自動的にグループ B の A/D 変換をスキャン先頭から再開します。

ADGSPCR.GBRSCN ビットの設定と A/D 変換中のトリガ入力時の動作を**表 30.9**に示します。

グループ A とグループ B のスキャン動作は、シングルスキャンモードと同じです。また、ADGSPCR.GBRP ビットに“1”を設定すると、グループ B はシングルスキャンを連続して実行します。

グループスキャンモードでは、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択してください。ADGSPCR.GBRP ビットに“1”を設定する場合、ADSTRGR.TRSB[5:0] ビットは“3Fh”を設定してください。また、グループ A は、ADANSA レジスタ、ADEXICR.TSSA ビットで A/D 変換対象チャンネルを選択し、グループ B は、ADANSB レジスタ、ADEXICR.TSSB ビットで、グループ A とは異なる A/D 変換対象チャンネルを選択してください。

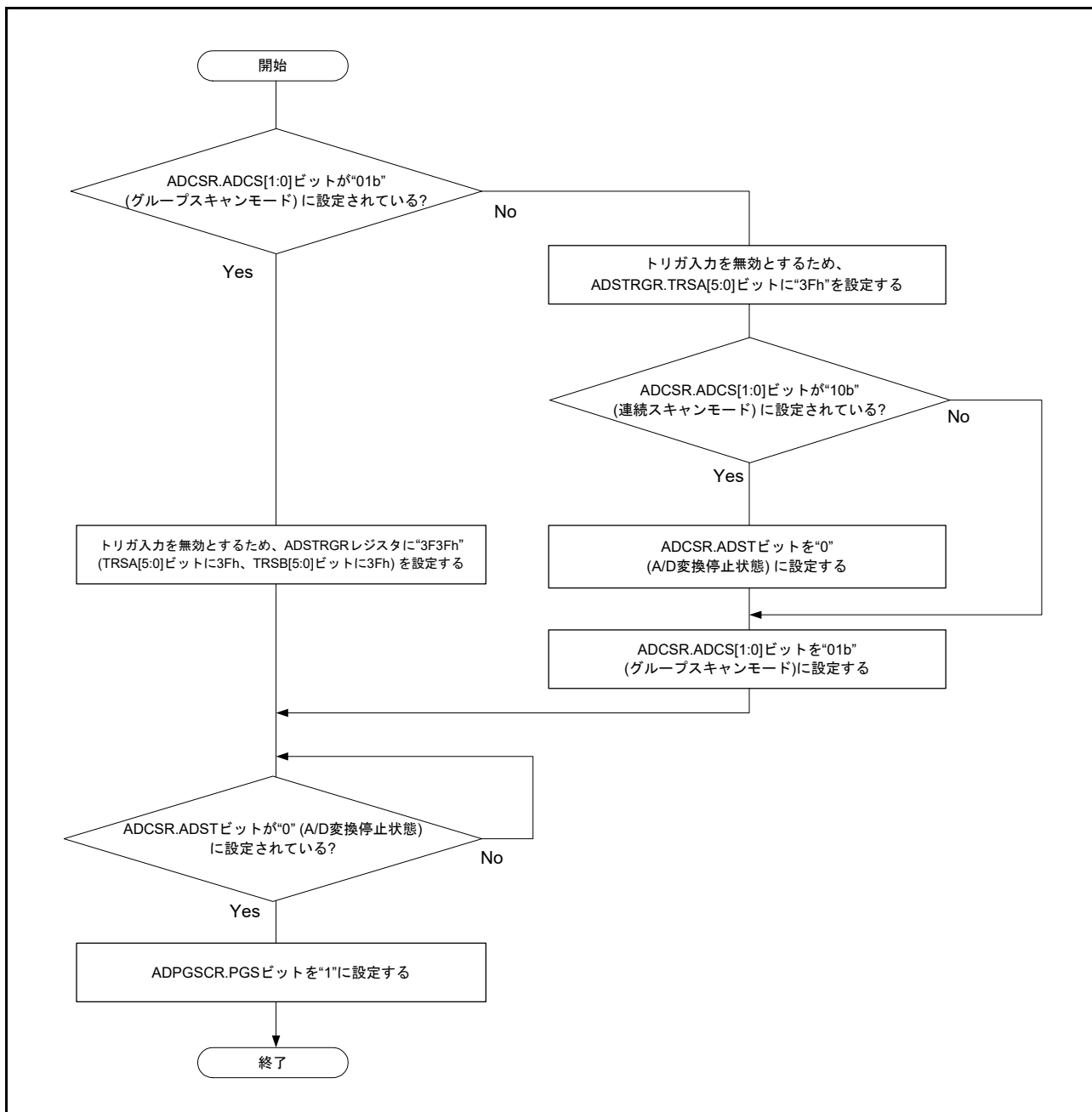


図 30.15 ADPGSCR.PGS ビット設定時のフロー

表 30.9 ADGSPCR.GBRSCNビットの設定によるA/D変換動作制御

A/D変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループA のA/D変換動作中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのA/D変換終了後、グループBのA/D変換を行います。
グループB のA/D変換動作中	グループAトリガ入力	グループBのA/D変換中断し、 グループAのA/D変換開始	<ul style="list-style-type: none"> グループBのA/D変換中断し、グループAのA/D変換開始 グループAのA/D変換終了後、グループBのA/D変換開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効

グループAにチャンネル0を、グループBにチャンネル1～3を選択したグループスキャンモードグループA優先制御動作の動作例 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0時) を以下に示します。

- グループBのトリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、ADANSBレジスタで選択したチャンネルANn端子のnが小さい番号順にA/D変換を開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- グループBのA/D変換中に、グループAのトリガ入力があると、ADCSR.ADSTビットを“0”にクリアし、動作中のA/D変換を中断します。その後、ADCSR.ADSTビットが“1” (A/D変換開始) になると、ADANSAレジスタで選択したチャンネルANn端子のnが小さい番号順にA/D変換を開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- ADCSR.ADIEビットが“1” (スキャン終了によるS12ADI割り込み許可) に設定されていると、S12ADI割り込みが発生します。
- ADSTビットは自動的にクリアされた後、再度、自動的にADCSR.ADSTビットが“1” (A/D変換開始) になると、ADANSBレジスタで選択したチャンネルANn端子のnが小さい番号順に、グループBのA/D変換を再度開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- ADCSR.GBADIEビットが“1” (グループBのスキャン終了によるS12GBADI割り込み許可) に設定されていると、S12GBADI割り込みが発生します。
- ADSTビットはA/D変換中、“1” (A/D変換開始) を保持し、A/D変換が終了すると自動的にクリアされ、A/Dコンバータは待機状態になります。

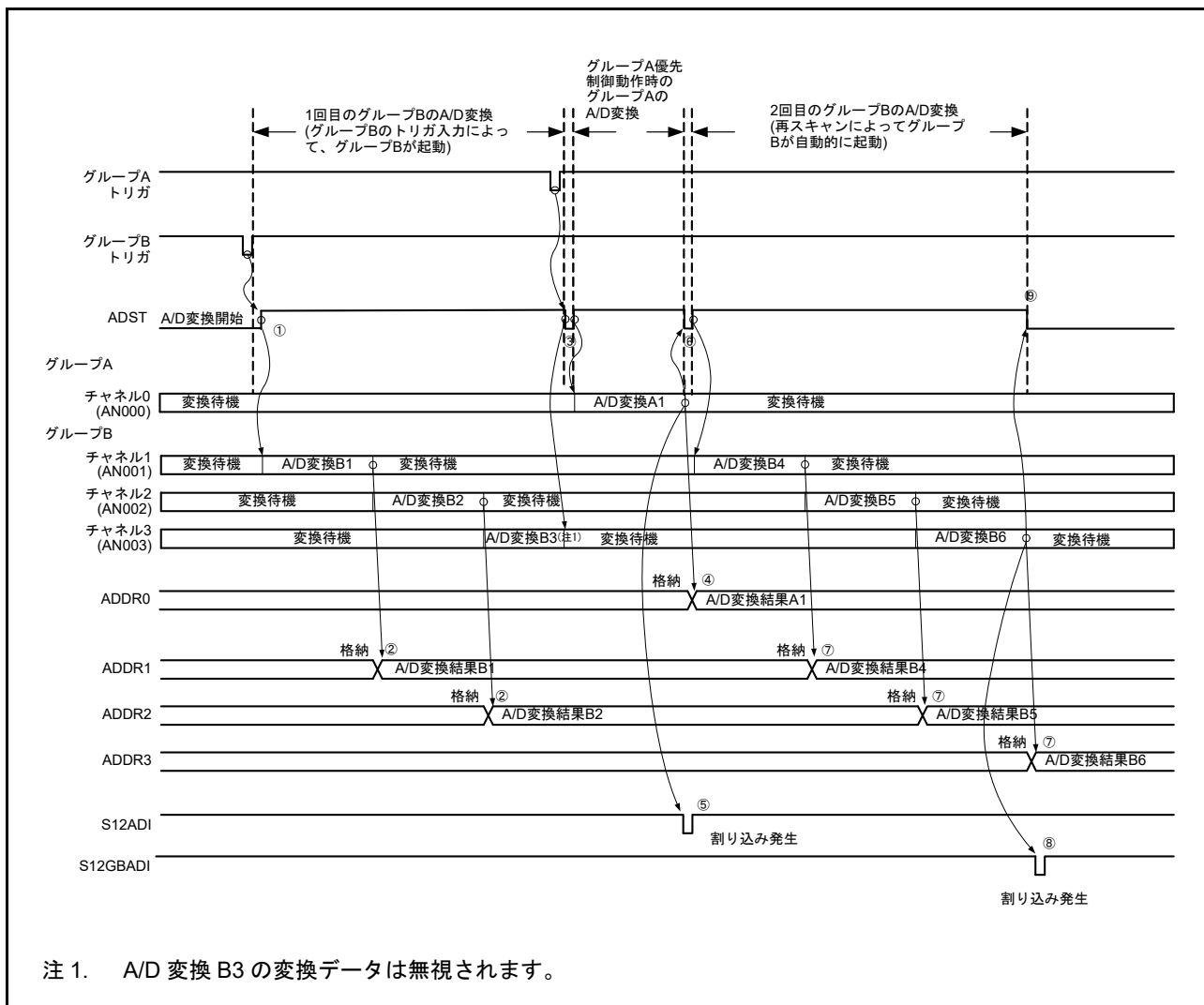


図 30.16 グループ A 優先制御の動作例 (1) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

次に、グループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 0 を、グループ B にチャンネル 1 ~ 3 を選択した場合の例を示します。

- (1) グループ B のトリガ入力によって、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定されると、ADANSB レジスタで選択した、グループ B のチャンネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリア (A/D 変換停止) し、動作中のグループ B の A/D 変換を中断します。
- (4) その後、ADCSR.ADST ビットを自動的に“1”にし、ADANSA レジスタで選択した、グループ A のチャンネル ANn 端子の n が小さい番号順に、グループ A の A/D 変換を開始します。
- (5) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みが発生します。
- (7) ADGSPCR.GBRSCN ビットが“1” (再スキャン動作有効) に設定されていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが“1”に設定されます。その後、ADANSB レジスタで選択した、グループ B のチャンネル ANn 端子の n が小さい番号順に、A/D 変換を再開します。
- (8) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (9) 再スキャン起動によるグループ B の A/D 変換中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリア (A/D 変換停止) し、動作中のグループ B の A/D 変換を中断します。
- (10) その後、ADCSR.ADST ビットを自動的に“1”にし、ADANSA レジスタで選択した、グループ A のチャンネル ANn 端子の n が小さい番号順に、グループ A の A/D 変換を開始します。
- (11) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (12) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みが発生します。
- (13) ADGSPCR.GBRSCN ビットが“1” (再スキャン動作有効) に設定されていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが“1”に設定されます。その後、ADANSB レジスタで選択した、グループ B のチャンネル ANn 端子の n が小さい番号順に、A/D 変換を再開します。
- (14) 再スキャン起動によるグループ B の A/D 変換中に、グループ A のトリガ入力があると、(9) ~ (13) を繰り返し実行します。グループ A のトリガ入力がない場合は、グループ B の A/D 変換が終了すると ADCSR.ADST ビットが自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

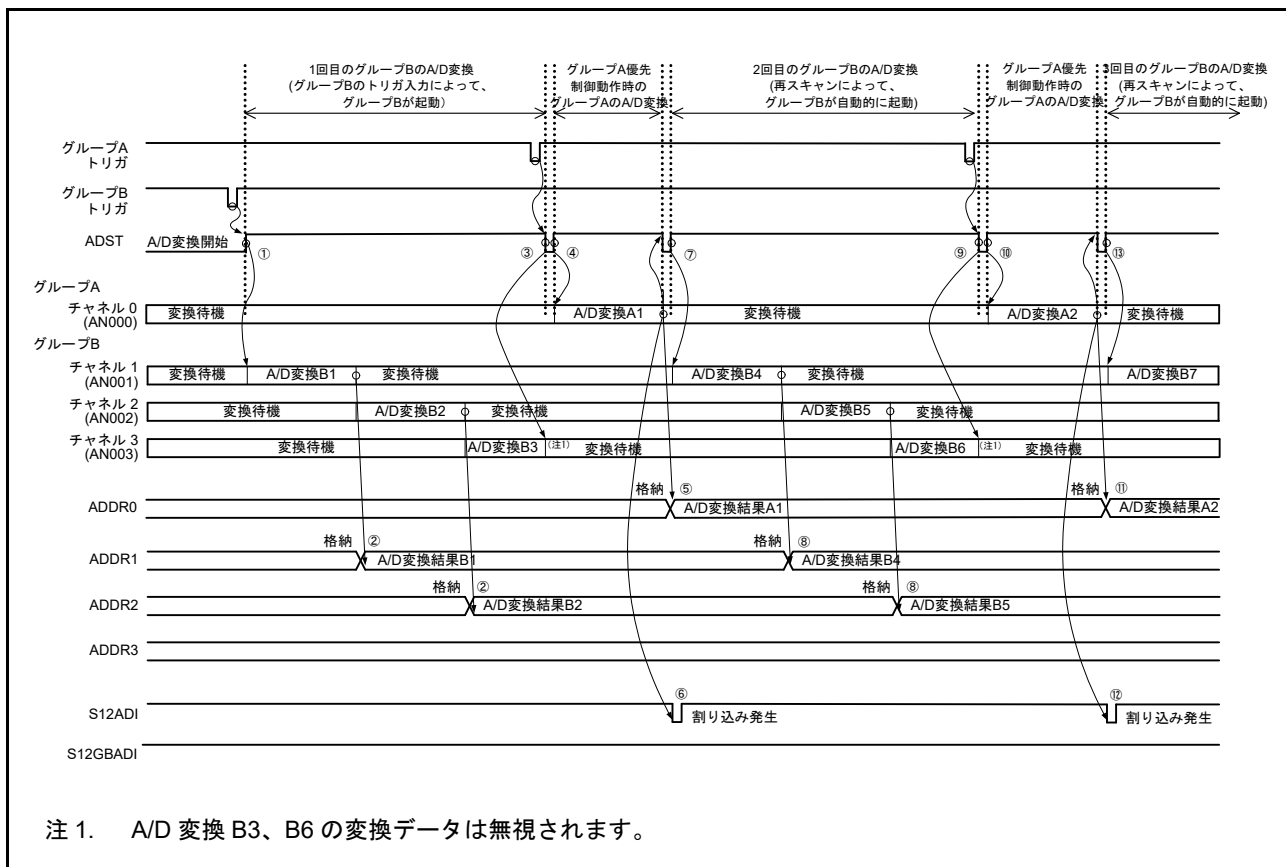


図 30.17 グループ A 優先制御の動作例 (2) (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0 時の動作)

次に、グループ A の A/D 変換中に、グループ B のトリガが入力された場合の、再スキャン動作の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 1 ~ 3 を、グループ B にチャンネル 0 を選択した場合の例を示します。

- (1) グループ A のトリガ入力によって、ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSA レジスタで選択した、グループ A のチャンネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ A の A/D 変換中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換が実行できる状態になります。(ただし、グループ A のトリガが連続で入力された場合、グループ B の再スキャン動作は、グループ A の変換に打ち消され、実施されません)
- (4) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みが発生します。
- (5) グループ A のスキャン終了後、グループ B の再スキャン起動により、自動的に ADCSR.ADST ビットが“1” に設定されます。
その後、ADANSB レジスタで選択した、グループ B のチャンネル ANn 端子の n が小さい番号順に、A/D 変換を再開します。
- (6) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (7) 再スキャン起動による、グループ B のスキャン終了後、ADCSR.GBADIE ビットが“1” (スキャン終了による S12GBADI 割り込み許可) に設定されていると、S12GBADI 割り込みが発生します。
- (8) ADST ビットは A/D 変換中、“1” (A/D 変換開始) を保持し、A/D 変換が終了すると、自動的にクリアされ、A/D 変換器は待機状態になります。

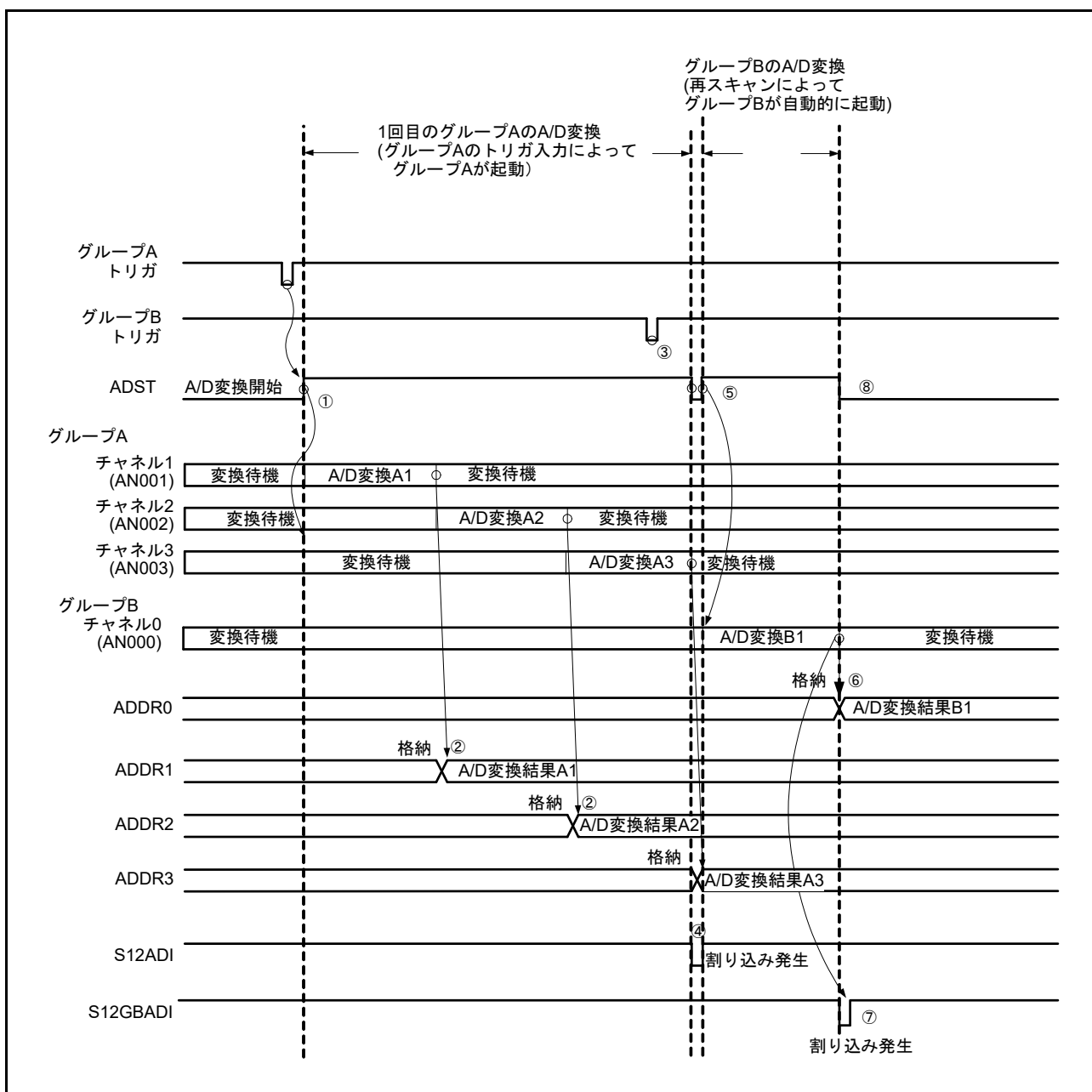


図 30.18 グループ A 優先制御の動作例 (3) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

グループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSCR.GBRSCN = 0、ADGSCR.GBRP = 0) を以下に示します。

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSA レジスタで選択したチャンネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが自動的に“1” (A/D 変換開始) になると、ADANSA レジスタで選択したチャンネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みが発生します。
- (6) ADST ビットは A/D 変換中、“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、A/D 変換器は待機状態になります。

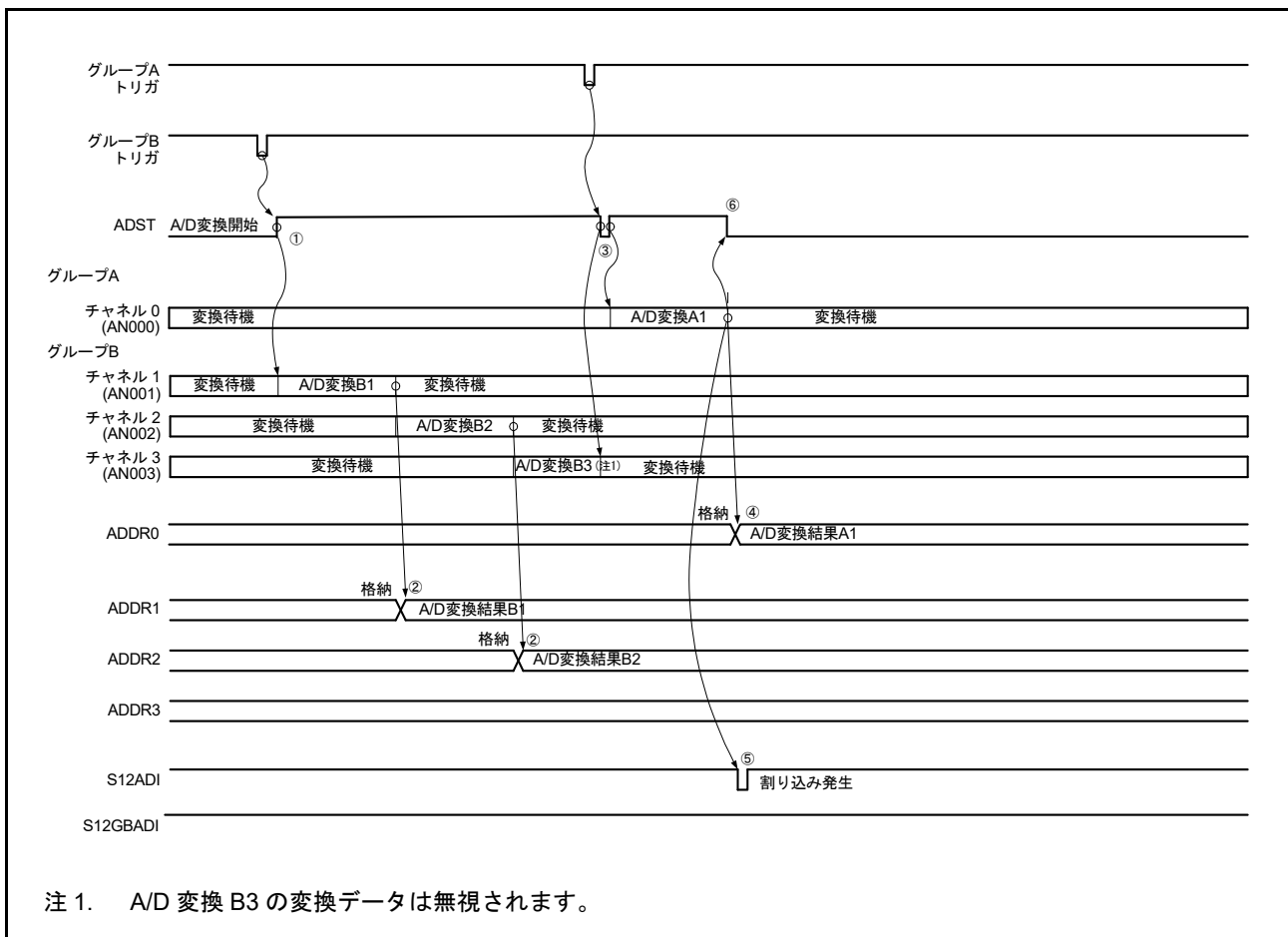



図 30.19 グループ A 優先制御の動作例 (4) (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0 時の動作)

グループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときの、グループ A 優先制御の動作例 (ADGSCR.GBRP = 1) を以下に示します。

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが“1” (A/D 変換開始) になり、ADANSB レジスタで選択したチャンネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが自動的に“1” (A/D 変換開始) になると、ADANSA レジスタで選択したチャンネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みが発生します。
- (6) ADST ビットが自動的にクリアされた後、再度、自動的に“1” (A/D 変換開始) になると、ADANSB レジスタで選択したチャンネル ANn 端子の n が小さい番号順に A/D 変換を再開します。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了による S12GBADI 割り込み許可) に設定されていると、S12GBADI 割り込みが発生します。
- (9) ADST ビットが自動的にクリアされた後、再度、自動的に“1” (A/D 変換開始) が設定され、ADANSB レジスタで選択したチャンネル ANn 端子の n が小さい番号順に A/D 変換を再開します。ADGSPCR.GBRP ビットが“1”に設定されている間は、(6)～(9)の動作を繰り返します。ADGSPCR.GBRP ビットが“1”に設定されている間は、ADCSR.ADST ビットを“0”にクリアしないでください。ADGSPCR.GBRP ビットが“1”のとき、A/D 変換を強制停止させる場合は、 30.31 に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローにしたがってください。

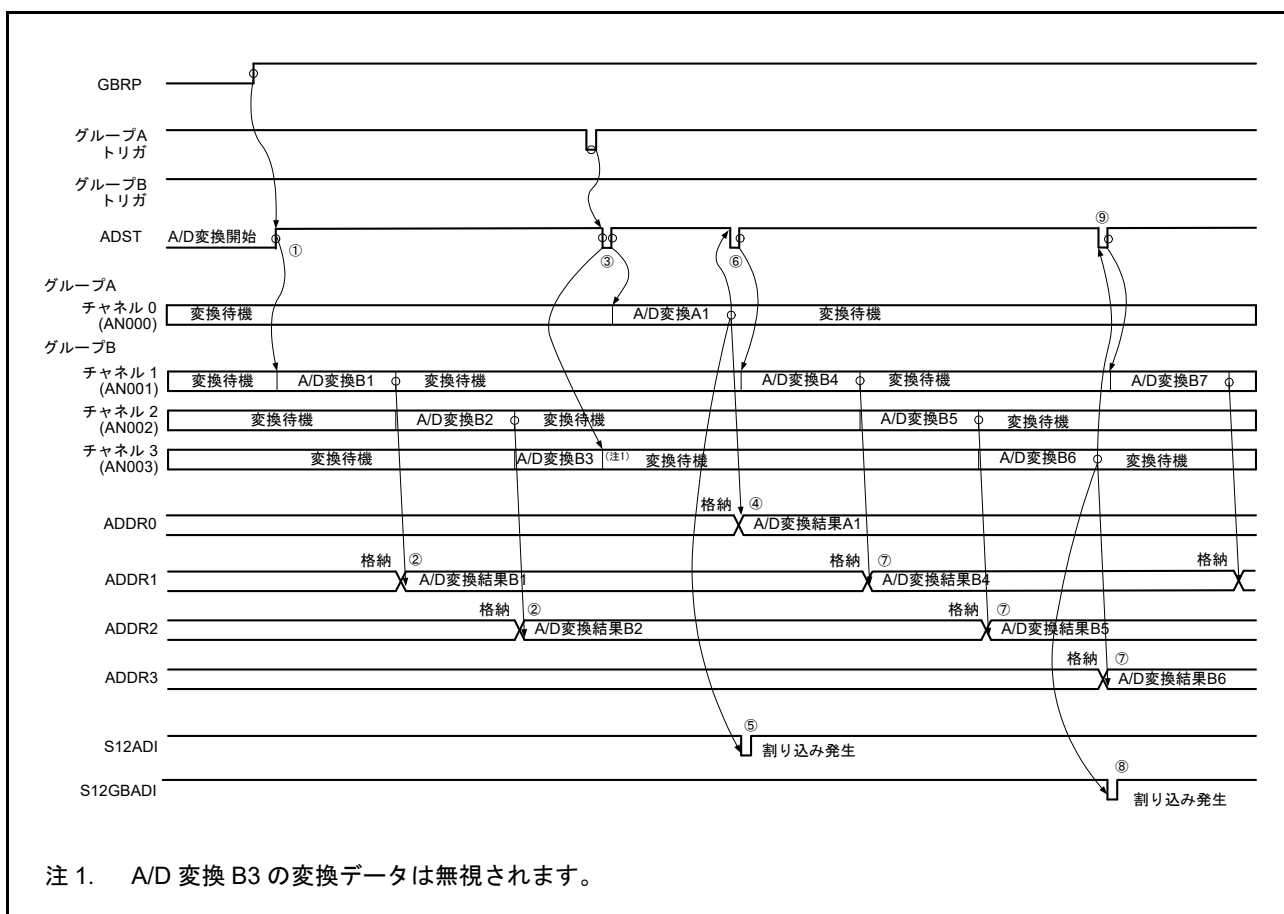


図 30.20 グループ A 優先制御の動作例 (5) (ADGSPCR.GBRP = 1 時の動作)

30.3.5 コンペア機能

コンペア機能は、レジスタに設定した基準値と A/D 変換結果を比較する機能です。コンペア機能使用時は、自己診断機能、ダブルトリガモードは使用できません。

連続スキャンモードとコンペア機能を組み合わせた場合の動作を以下に示します。

- (1) ソフトウェア、同期トリガ (TPUa、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、選択されたチャンネル、温度センサ出力の順に A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy、ADTSDR) に格納され、ADCMPANSR レジスタ、ADCMPANSER レジスタでコンペア対象に設定されていれば、ADCMPDR0/1 レジスタ設定値と比較されます。
- (3) 比較の結果、ADCMPDR.WCMPPE ビット、ADCMPPLR、ADCMPPLER レジスタで設定した条件と一致したとき、ADCMPSR.CMPFn、ADCMPSESR.CMPFts ビットが“1”にセットされます。このとき、ADCMPDR.CMPIE ビットが“1”に設定されていると、S12CMPI 割り込みが発生します。
- (4) 選択されたすべての A/D 変換と比較が終了すると、再び A/D 変換を開始します。
- (5) S12CMPI 割り込みを受け付けた後、ADCSR.ADST ビットを“0” (A/D 変換停止) に設定し、コンペアフラグがセットされているチャンネルに対する割り込み処理を実行します。
- (6) すべてのコンペアフラグをクリアすると、S12CMPI 割り込み要求が解除されます。再度コンペアを実行する場合は、再度 A/D 変換を開始してください。

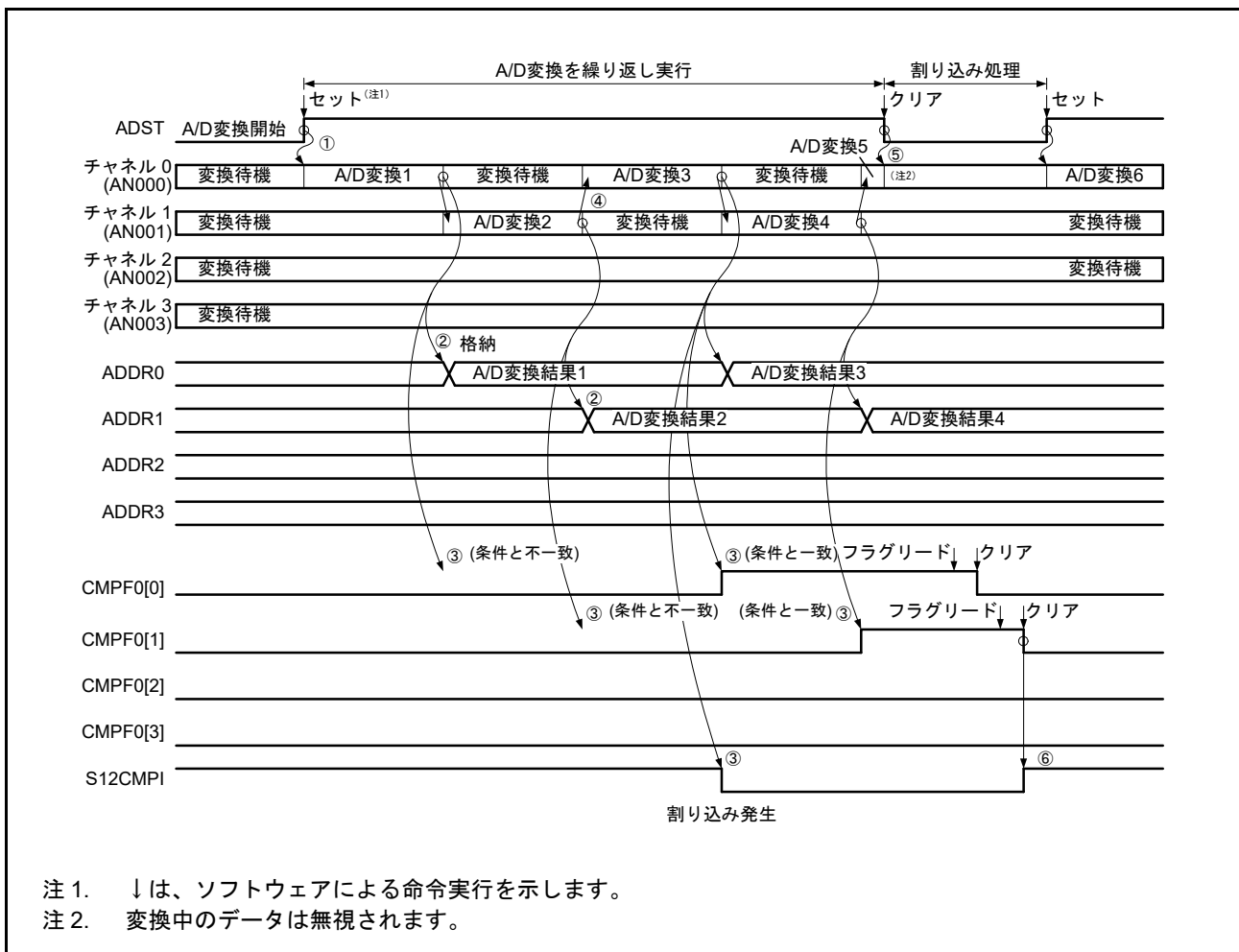


図 30.21 コンペア機能の動作例 (AN000、AN001、AN002、AN003 コンペア対象)

30.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェア起動、同期トリガ (TPUa、ELC) による起動および非同期トリガ (ADTRGn) による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、チャンネル専用サンプル&ホールド回路処理、断線検出アシスト処理、自己診断変換処理を行い、この後にA/D変換を開始します。

図 30.22 にシングルスキャンモード、ソフトウェア起動と同期トリガ (TPUa、ELC) 起動によるスキャン変換を行う場合のタイミングを示します。また、図 30.23 にシングルスキャンモード、非同期トリガ (ADTRGn) 要因によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、チャンネル専用サンプル&ホールド回路処理時間 (t_{SPLSH}) (注1)、断線検出アシスト処理時間 (t_{DIS}) (注2)、自己診断変換時間 (t_{DIAG}) (注3)、A/D変換処理時間 (t_{CONV})、チャンネル専用サンプル&ホールド回路終了処理時間 (t_{SHED}) (注4)、スキャン変換終了遅延時間 (t_{ED}) を含めた時間になります。

A/D変換処理時間 (t_{CONV}) は、入力サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間になります。サンプリング時間 (t_{SPL}) は、A/Dコンバータ内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D変換クロック (ADCLK) が低速の場合は、ADSSTRレジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、12ビット精度選択時：13ステート (ADCLK)、10ビット精度選択時：11ステート (ADCLK)、8ビット精度選択時：9ステート (ADCLK) になります。スキャン変換時間を表 30.11 に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) + t_{ED}$$

連続スキャンの1サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省き t_{SHED} を加えた時間です。

連続スキャンの2サイクル目以降は、 $t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) + t_{SHED}$ 固定になります。

注1. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SH} = 0$ になります。

注2. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ になります。

注3. 自己診断を設定しない場合は、 $t_{DIAG} = 0$ になります。

注4. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SHED} = 0$ になります。

連続スキャンモード実行時の所要時間です。シングルスキャンとグループスキャンモード実行時は、スキャン終了処理時間 (t_{ED}) に含まれます。

表 30.10 ADSSTRレジスタの設定例

使用例	設定範囲	サンプリング時間 (注1)
標準 (初期値)	"0Bh"	0.18 μ s (ADCLK = 60MHz時)
アナログ入力の信号源インピーダンスが高く、サンプリング時間が不足する場合に設定	"0Ch" ~ "FFh"	例: "FFh" 4.3 μ s (ADCLK = 60MHz時)
ADCLKが60MHzに満たない場合に、サンプリング時間を初期値より短くする場合に設定	"05h" ~ "0Ah"	例: "0Ah" 0.67 μ s (ADCLK = 15MHz時)

注1. サンプリング時間は、以下の式で表されます。

$$\text{サンプリング時間 } (\mu\text{s}) = \frac{\text{ADSSTRレジスタ設定値}}{\text{ADCLK (MHz)}}$$

表 30.11 スキャン変換時間 (ADCLKとPCLKHのサイクル数)

項目	記号	種別/条件			単位	
		同期トリガ TPUa、ELC	非同期トリガ	ソフトウェア トリガ		
スキャン開始 処理時間 (注1)(注2)	グループA優先制御動作によるグループAのA/D変換	グループB中断あり (グループAのA/D変換要因によってグループBを停止させた後、グループAを起動)	$3 \text{ PCLKH} + 6 \text{ ADCLK}$	—	—	サイクル
		グループB中断なし (グループAのA/D変換要因によって起動)	$2 \text{ PCLKH} + 4 \text{ ADCLK}$	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時	$2 \text{ PCLKH} + 6 \text{ ADCLK}$	$4 \text{ PCLKH} + 6 \text{ ADCLK}$	6 ADCLK	
		自己診断変換終了後、通常のA/D変換開始時	2 ADCLK	2 ADCLK	2 ADCLK	
		連続スキャン時の最終チャンネル変換終了後、自己診断変換開始時	2 ADCLK	2 ADCLK	2 ADCLK	
	上記以外		$2 \text{ PCLKH} + 4 \text{ ADCLK}$	$4 \text{ PCLKH} + 4 \text{ ADCLK}$	4 ADCLK	
チャンネル専用サンプルホールド処理時間 (注1)	サンプリング時間	t_{SPLSH} (注3)	t_{SH}	ADSHCR.SSTSH[7:0]設定値 (初期値18h) × ADCLK		
	サンプリング—A/D変換ウェイト時間		t_{W}	12 ADCLK		
断線検出アシスト処理時間		t_{DIS}		ADNDIS[3:0]設定値 (初期値00h) × ADCLK		
自己診断変換 処理時間 (注1)	サンプリング時間	t_{DIAG}	t_{SPL}	ADSSTR0設定値 (初期値0Bh) × ADCLK		
	逐次変換時間			12ビット変換精度	15 ADCLK	
				10ビット変換精度	13 ADCLK	
				8ビット変換精度	11 ADCLK	
A/D変換処理 時間 (注1)	サンプリング時間	t_{CONV} (注3)	t_{SPL}	ADSSTRn (n = 0~7, L, T) 設定値 (初期値0Bh) × ADCLK		
	逐次変換時間			12ビット変換精度	13 ADCLK	
				10ビット変換精度	11 ADCLK	
				8ビット変換精度	9 ADCLK	
チャンネル専用サンプルホールド終了処理時間		t_{SHED}		2 ADCLK		
スキャン終了処理時間 (注1)		t_{ED}		1 PCLKH + 3 ADCLK		

注1. t_{D} 、 t_{SPLSH} 、 t_{DIAG} 、 t_{CONV} 、 t_{ED} の各タイミングについては図30.22、図30.23を参照してください。
 注2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。
 注3. $t_{\text{SPLSH}} + t_{\text{CONV}}$ は、「34. 電気的特性」のA/D変換特性に記載の変換時間を満たすように設定してください。

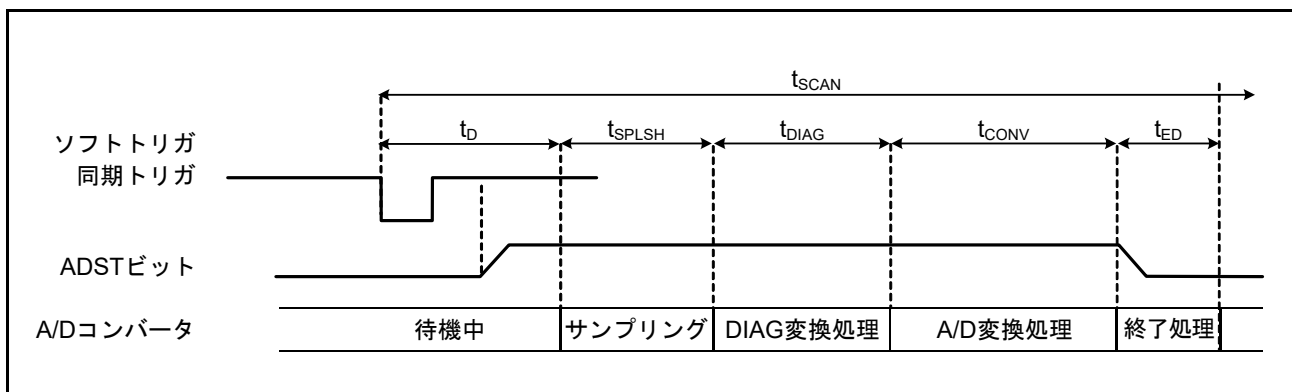


図 30.22 スキャン変換のタイミング
(ソフトウェア起動、同期トリガ (TPUa、ELC) 起動の場合)

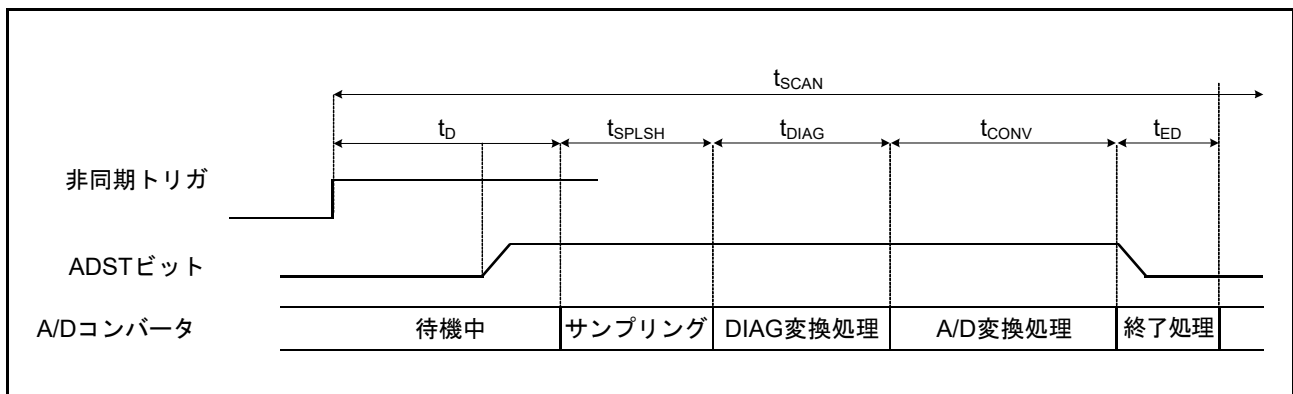


図 30.23 スキャン変換のタイミング（非同期トリガ（ADTRGn）要因の場合）

30.3.7 A/D データレジスタの自動クリア機能の使用例

A/D 変換値加算／平均モードは、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換選択時に A/D データレジスタの自動クリア機能を使用できます。

ADCER.ACE ビットを“1”にすることにより、CPU、DMAC によって A/D データレジスタ (ADDRy、ADDRD、ADDBLDR、ADTSDR) を読み出す際、自動的に ADDRy、ADDRD、ADDBLDR、ADTSDR レジスタを“0000h”にクリアできます。

この機能を使うことで、ADDRy、ADDRD、ADDBLDRB、ADTSDR レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効／有効時の例を示します。

ADCER.ACE ビットが“0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込まれないと、古いデータ (0111h) が ADDRy レジスタの値になります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) を汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保存しながらチェックを行う必要があります。

ADCER.ACE ビットが“1” (自動クリア許可) の場合には、CPU や DMAC による ADDRy = 0111h の読み出しで、ADDRy レジスタは自動的に“0000h”にクリアされます。その後、A/D 変換結果の 0222h が、何らかの原因で ADDRy レジスタに転送できなかった場合は、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、“0000h”が汎用レジスタなどに保持されます。読み出されたデータ値が“0000h”であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

30.3.8 A/D 変換値加算／平均モード

A/D 変換値加算モードは、同じチャンネルを 2～4 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持するモードです。A/D 変換平均モードは、同じチャンネルを 2～4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持するモードです。A/D 変換に影響するノイズ成分によっては、この結果の平均値を使用することで、A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算／平均モードは、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換選択時に使用できます。

30.3.9 断線検出アシスト機能

A/D変換開始前に、サンプリング容量の電荷を所定の状態（ユニット0はVREFH0またはVREFL0、ユニット1はVREFH1またはVREFL1）に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能です。

図30.24に断線検出アシスト機能を使用した場合のA/D変換動作図を示します。また、図30.25にプリチャージを選択したときの断線検出例を、図30.26にディスチャージを選択したときの断線検出例を示します。

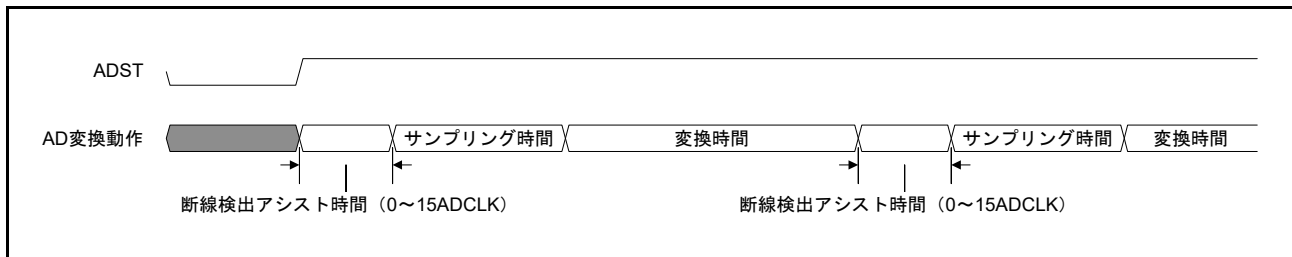


図 30.24 断線検出アシスト機能を使用した場合のA/D変換動作図

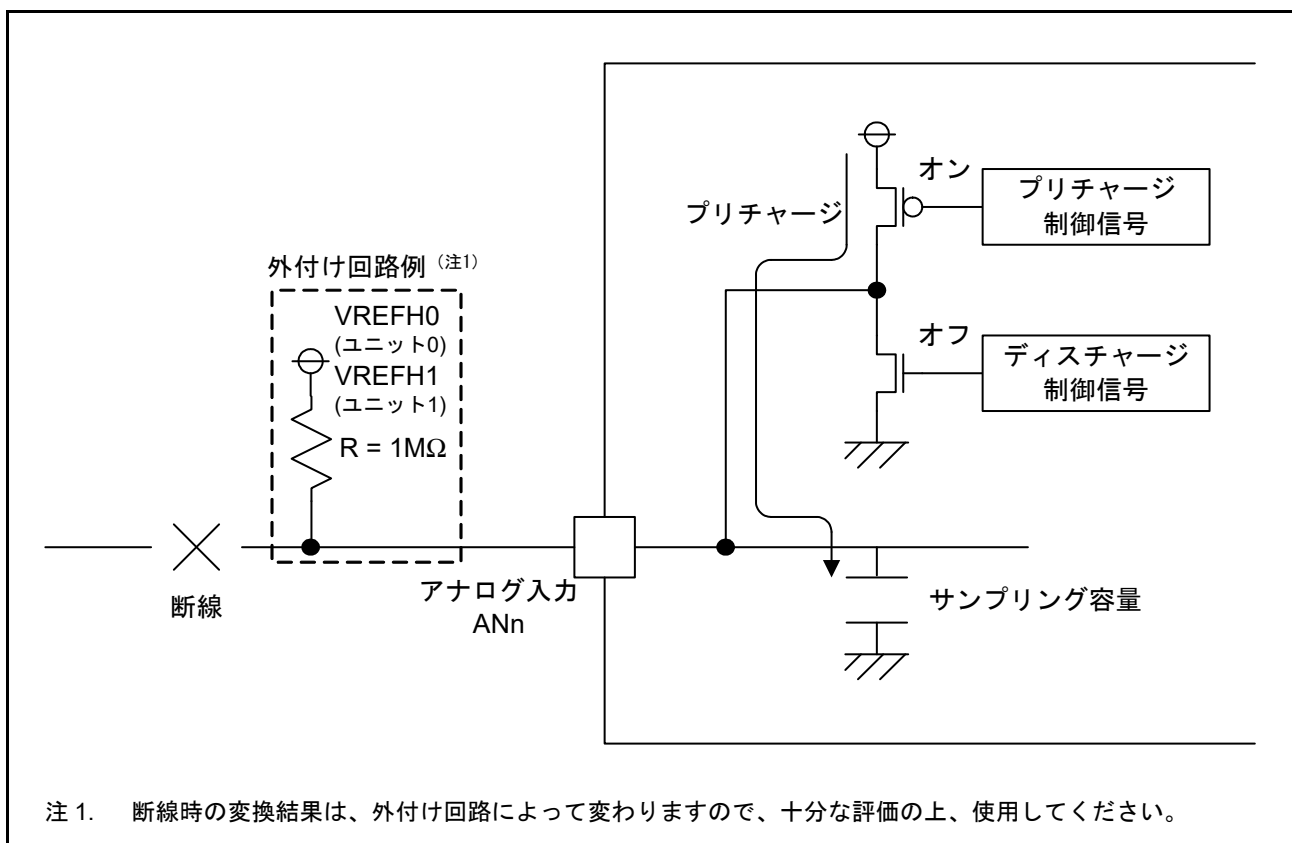


図 30.25 プリチャージを選択した場合の断線検出例

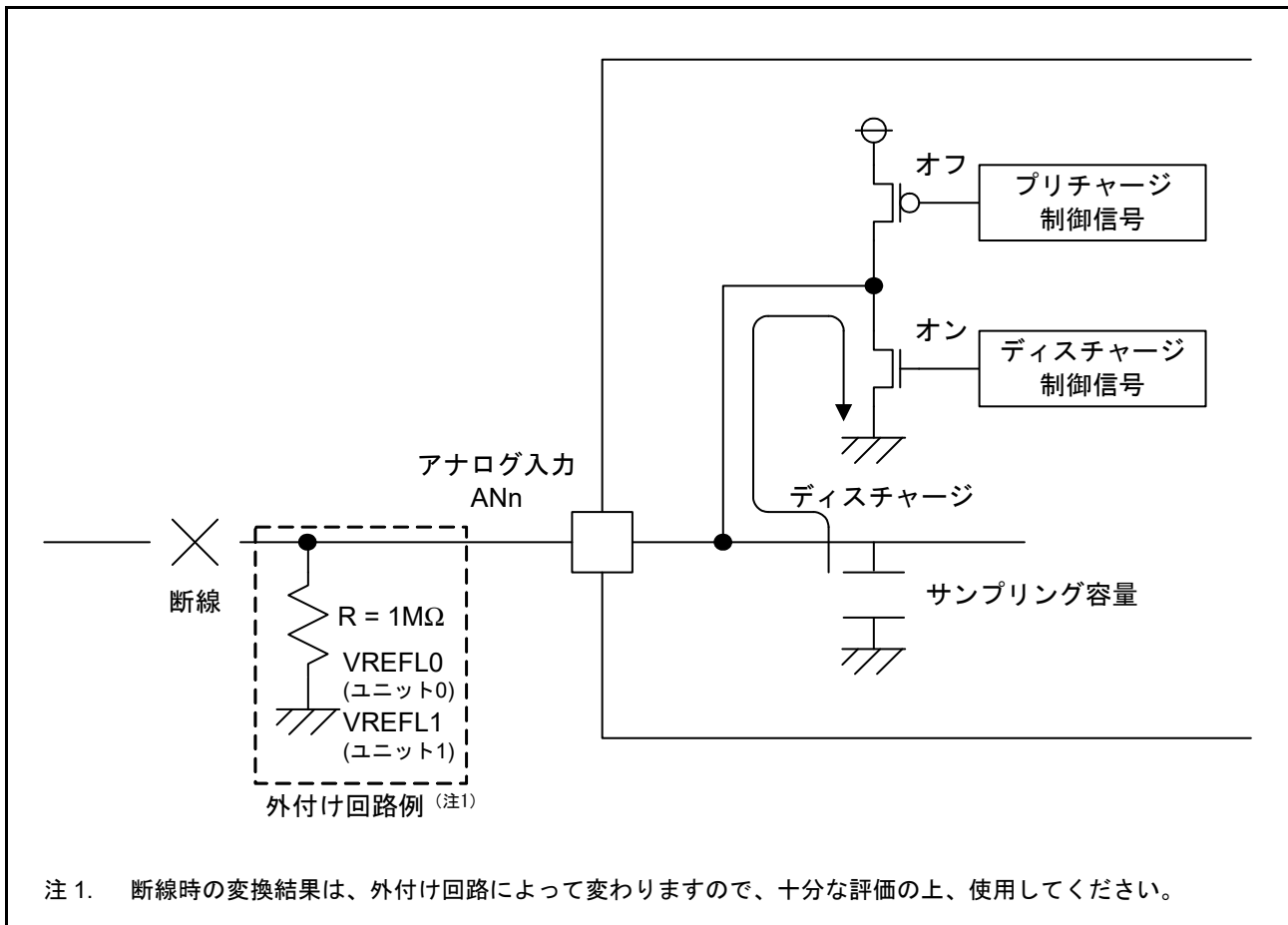


図 30.26 ディスチャージを選択した場合の断線検出例

30.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRGA[5:0]) を “000000b” に設定し、非同期トリガ (ADTRGn 端子) に Low レベルを入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” に設定します。図 30.27 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、A/D 変換を開始するまでの時間は、「30.5.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。

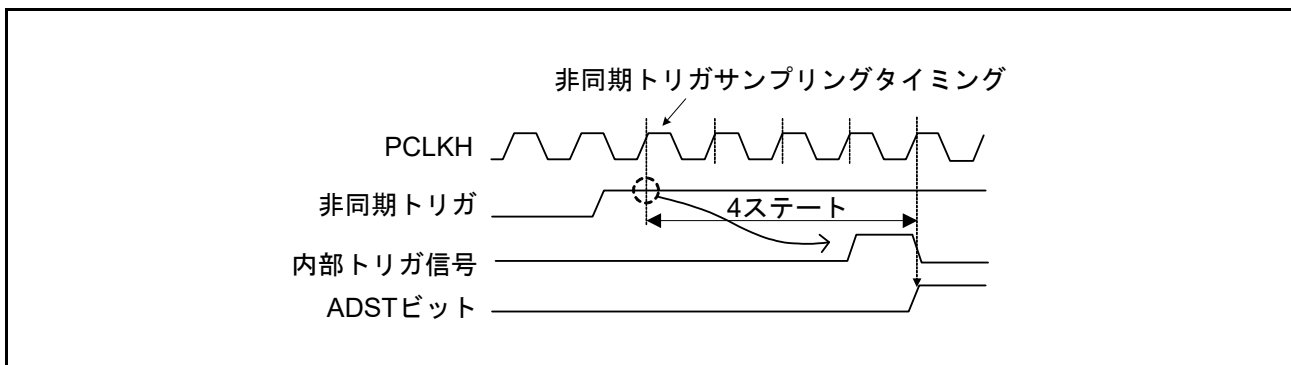


図 30.27 非同期トリガ入力タイミング

30.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガ (TPUa、ELC) によって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始する場合、ADCSR.TRGE ビットを“1”、ADCSR.EXTRG ビットを“0”にし、ADSTRGR.TRSA[5:0]、ADSTRGR.TRSA[5:0] ビットで該当の A/D 変換開始要因を選択します。

30.3.12 端子レベル自己診断機能

端子レベル自己診断は、偶数番目の入力チャネル、奇数番目の入力チャネルに対して、異なる電圧レベルに対する A/D 変換を実行することで、ANn 端子からの経路異常を診断するものです。

また、異なる電圧レベルの設定は、ADTDCR レジスタ で設定し、AVSS、AVCC、 $1/2 \times AVCC$ の組み合わせで検出可能です。

端子レベル自己診断機能では、ユーザーがテストする物理チャネルを任意に選択できます。さらに、すべてのスキャン動作で、端子レベル自己診断を行うことが可能です。

30.3.12.1 シングルスキャンモードでの端子レベル自己診断（チャンネル専用サンプル&ホールドなし）

シングルスキャンモードでの端子レベル自己診断では、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガ (TPUa、ELC) または非同期トリガ入力によって、ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSAレジスタで選択したANn端子のnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了によるS12ADI割り込み許可) に設定されていると、S12ADI割り込みが発生します。
- (4) ADCSR.ADST ビットはA/D変換中、“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

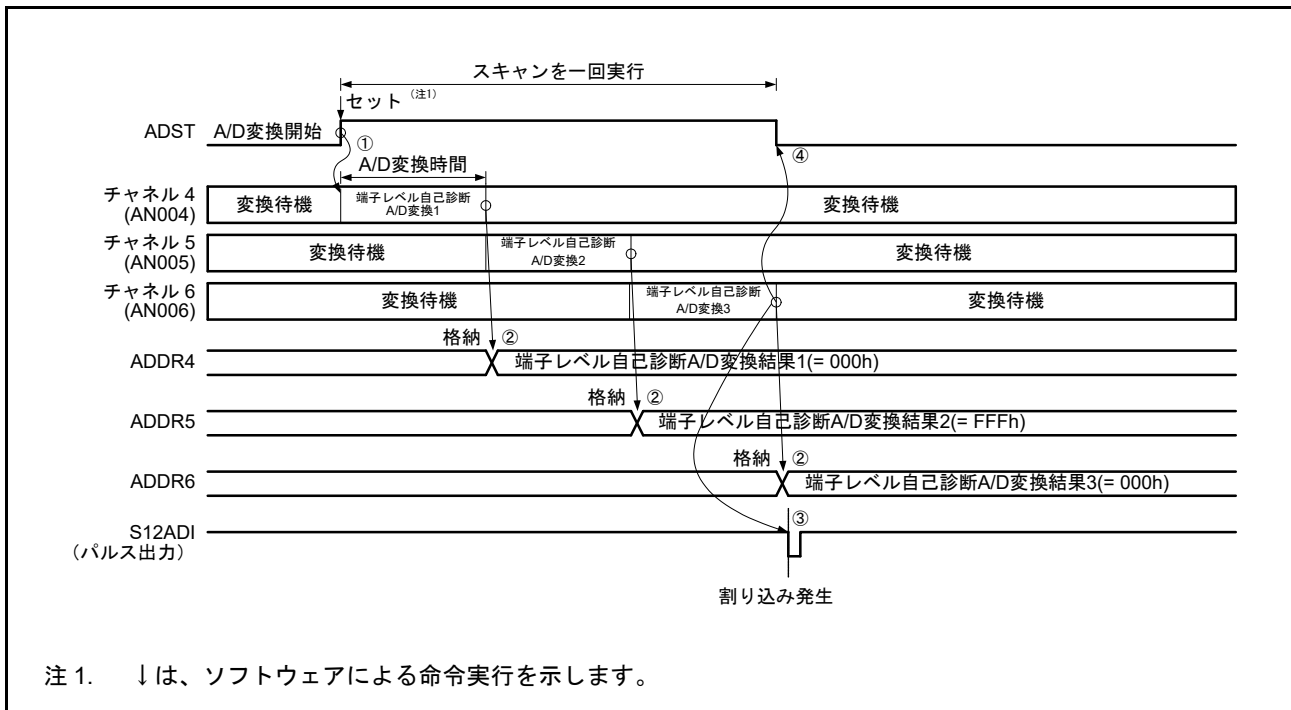


図 30.28 シングルスキャンモードでの端子レベル自己診断の動作例（基本動作：AN004～AN006選択／ADTDCR.TDLV[1:0]=00b）

30.3.12.2 シングルスキャンモードでの端子レベル自己診断 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用して端子レベル自己診断を行うと、以下のようにサンプル&ホールド実施後に選択したすべてのチャンネルのアナログ入力を1回のみA/D変換します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[3:0]ビットで選択します。

- (1) ソフトウェア、同期トリガ (TPUa、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSA レジスタで選択したチャンネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
- (3) 1チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (4) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みが発生します。
- (5) ADCSR.ADST ビットは A/D 変換中、“1” (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、12ビット A/D コンバータは待機状態になります。

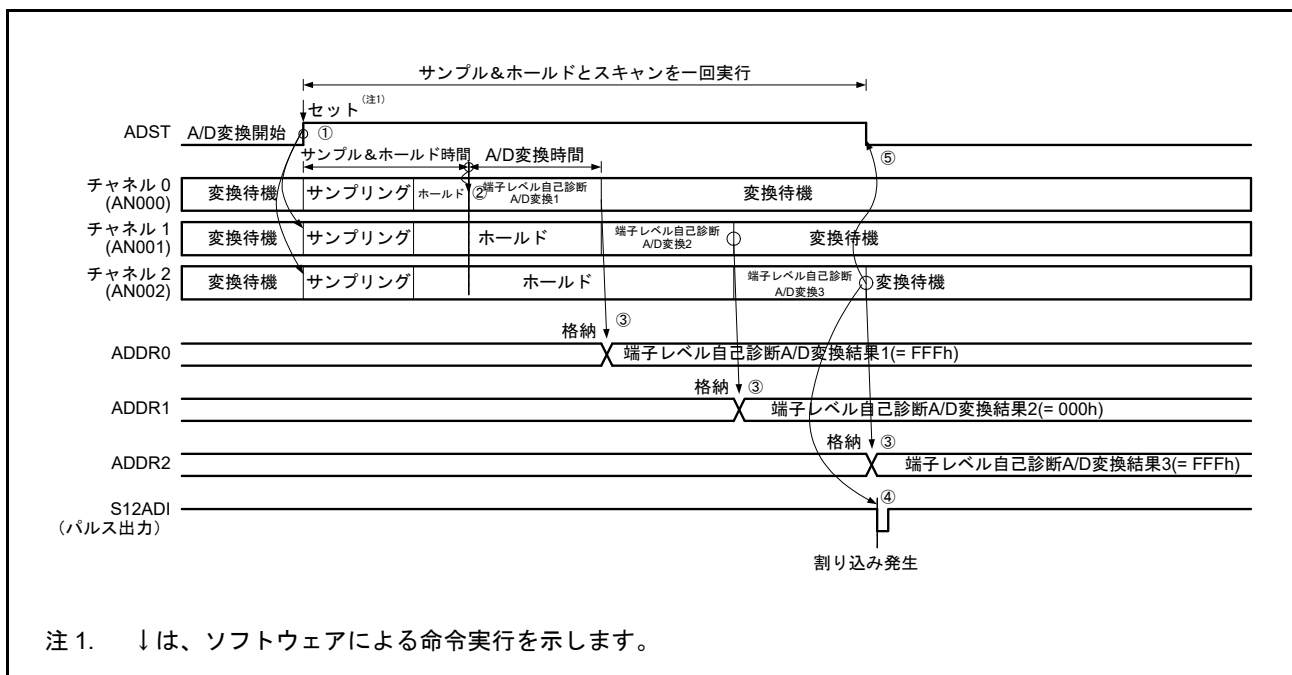


図 30.29 シングルスキャンモードでの端子レベル自己診断の動作例 (チャンネル専用サンプル&ホールド回路使用: AN000 ~ AN002 選択 / ADTDCR.TDLV[1:0] = 01b)

30.3.13 エラー検出機能

オーバーライトエラー検出機能は、各種 A/D データレジスタに保持されている A/D 変換結果を一度も読み出さず、A/D 変換結果が更新されたことを検出するエラー検出機能です。また、12ビット A/D コンバータは、エラーコントロールモジュール (ECM) へのオーバーライトエラー割り込み要求である S12ADOWEI 割り込みを発生することができます。

ADERCR. OWEIE ビットを“1”にすると S12ADOWEI 割り込み発生を許可、“0”にすると S12ADOWEI 割り込み発生を禁止できます。ADOWER 0/1、ADOWEER レジスタを読み出すことで、どの A/D データレジスタでオーバーライトエラーが発生したかを判定できます。ADERCLR. OWEC ビットに“1”を書き込むと、ADOWER 0/1、ADOWEER レジスタに保持されているオーバーライトエラーフラグをすべてクリアできます。

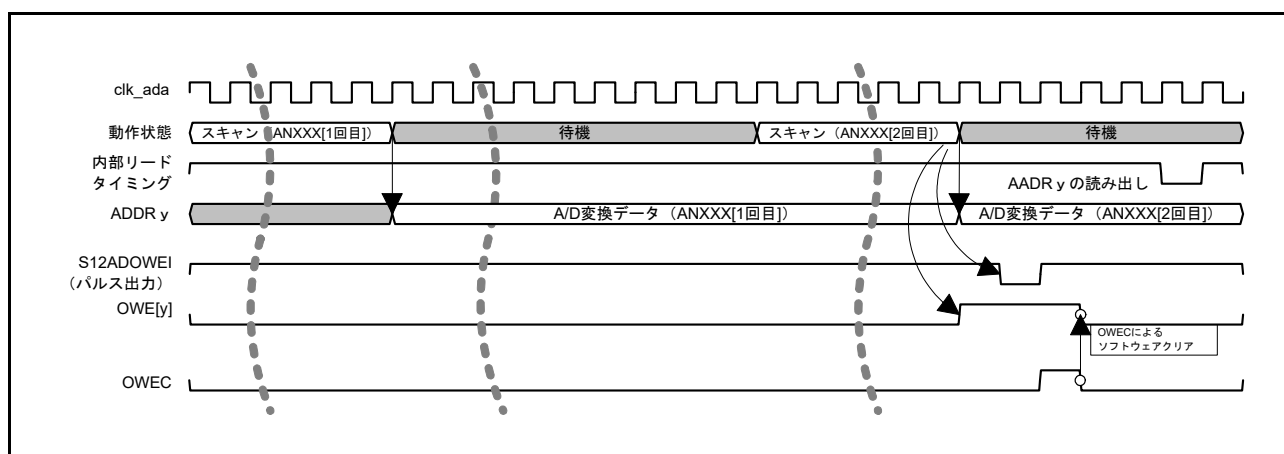


図 30.30 AD オーバーライトエラー割り込み発生例

30.4 割り込み要因とDMAC転送要求

30.4.1 割り込み要求

12ビットA/Dコンバータは、スキャン終了割り込み要求であるS12ADI、S12GBADI割り込みを発生することができます。また、コンペア条件成立割り込み要求であるS12CMPI割り込みを発生することができます。

ADCSR.ADIEビットを“1”にするとS12ADI割り込み発生を許可、“0”にするとS12ADI割り込み発生を禁止できます。ADCSR.GBADIEビットを“1”にするとS12GBADI割り込み発生を許可、“0”にするとS12GBADI割り込み発生を禁止できます。ADCMPCR.CMPIEビットを“1”にするとS12CMPI割り込み発生を許可、“0”にするとS12CMPI割り込み発生を禁止できます。

また、S12ADI、S12GBADI割り込み発生時にDMACを起動できます。S12ADI、S12GBADI割り込みで変換されたデータの読み出しをDMACで行うと、ソフトウェアの負荷なく連続A/D変換を実現できます。DMACの設定は「14. DMAコントローラ (DMACa)」を参照してください。

S12ADI割り込みとS12GBADI割り込みは、スキャンモードとダブルトリガモードの設定により、表30.12のように出力します。

表30.12 モード設定とS12ADI割り込み出力

スキャンモード	ダブルトリガモード (DBLE)	トリガ	S12ADI割り込み (ADIE = 1設定)	S12GBADI割り込み (GBADIE = 1設定)
シングル スキャンモード	DBLE = 0	ソフトウェア	スキャン終了ごとに出力	出力しない (グループBスキャン不可)
		同期トリガ	スキャン終了ごとに出力	出力しない (グループBスキャン不可)
		非同期トリガ	スキャン終了ごとに出力	出力しない (グループBスキャン不可)
	DBLE = 1	ソフトウェア (設定禁止) (注1)	—	—
		同期トリガ	スキャン偶数回終了ごとに出力	出力しない (グループBスキャン不可)
		非同期トリガ (設定禁止) (注1)	—	—
連続スキャン モード	設定禁止	ソフトウェア	スキャン終了ごとに出力	出力しない (グループBスキャン不可)
		同期トリガ	スキャン終了ごとに出力	出力しない (グループBスキャン不可)
		非同期トリガ	スキャン終了ごとに出力	出力しない (グループBスキャン不可)
グループ スキャンモード	DBLE = 0	ソフトウェア (設定禁止) (注1)	—	—
		同期トリガ	グループAのスキャン終了ごとに出力	グループBのスキャン終了ごとに出力
		非同期トリガ (設定禁止) (注1)	—	—
	DBLE = 1	ソフトウェア (設定禁止) (注1)	—	—
		同期トリガ	グループAのスキャン偶数回終了ごとに出力	グループBのスキャン終了ごとに出力
		非同期トリガ (設定禁止) (注1)	—	—

注1. ダブルトリガ機能でソフトウェアトリガ、非同期トリガは設定禁止です。
また、グループスキャンモードでソフトウェアトリガ、非同期トリガは設定禁止です。

30.4.2 ELC へのスキャン終了イベント出力

イベントリンクコントローラ (ELC) では、S12ADI 割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。S12GBADI、S12CMPI 割り込み要求信号をイベント信号として使用することはできません。イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。12ビットA/Dコンバータは、A/D変換終了イベントを出力します。

30.5 使用上の注意事項

30.5.1 データレジスタの読出し注意事項

A/Dデータレジスタ、A/Dデータ2重化レジスタ、A/Dデータ2重化レジスタA、A/Dデータ2重化レジスタB、A/D温度センサデータレジスタ、およびA/D自己診断データレジスタの読み出しは、必ずワード単位で行ってください。バイト単位で上位バイト/下位バイトの2回に分けて読み出した場合、1回目に読み出したA/D変換値と2回目に読み出したA/D変換値とで値が変化する可能性があります。

30.5.2 A/D変換停止時の注意事項

A/D変換開始条件に非同期トリガ、または同期トリガを選択し、A/D変換を停止する場合は、**図 30.31** のフローチャートの手順にしたがってください。

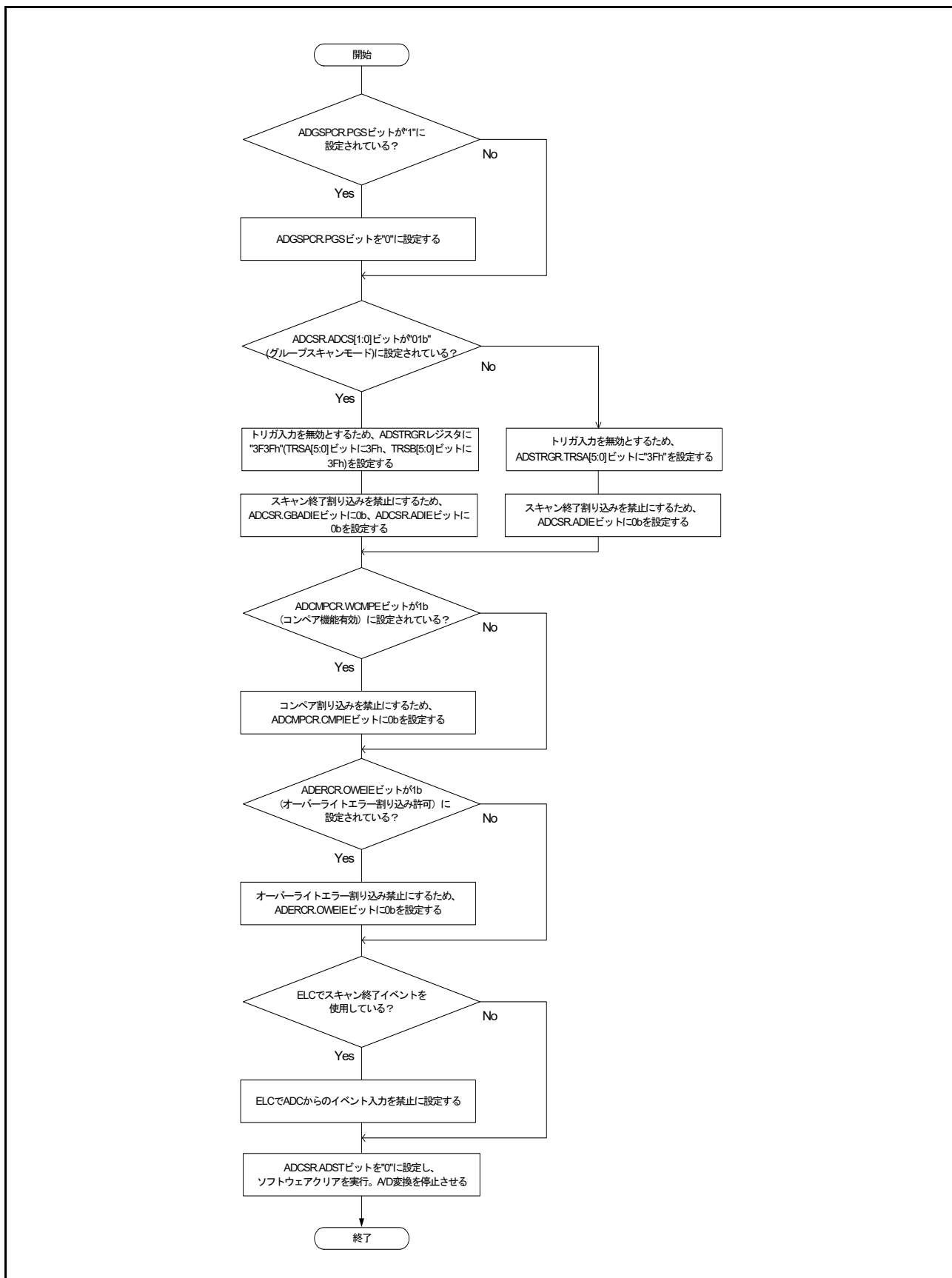


図 30.31 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

30.5.3 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定してから、12ビットA/Dコンバータのアナログ部が動作を開始するまでに ADCLK で最大6クロックの時間を必要とします。ADCSR.ADST ビットを“0”に設定してA/D変換を強制停止させた場合、12ビットA/Dコンバータのアナログ部が動作を停止するまでに、ADCLK で最大2クロックの時間を必要とします。

30.5.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合などで、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データの読み出しを完了していなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされ、オーバーライトエラーが発生します。

30.5.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタC (MSTPCRC) で、12ビットA/Dコンバータの動作禁止/許可を設定することができます。初期値では、12ビットA/Dコンバータは動作停止です。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は1 μ s以上待ってからA/D変換を開始してください。詳細は「9. 消費電力低減機能」を参照してください。

30.5.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードに移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADST ビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。以下の手順によりこの時間を確実に確保してください。

図 30.31 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローにしたがい、ADCSR.ADST ビットを“0”に設定してください。その後、ADCLK の2クロック期間経過後、モジュールストップモードやソフトウェアスタンバイモードに遷移させてください。

12ビットA/Dコンバータをスタンバイ状態にする場合は、MSTPCRC.MSTPCRC4 ビット (ユニット1)、MSTPCRC.MSTPCRC5 ビット (ユニット0) を“1”にしてください。

30.5.7 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ/プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤差電圧が入力され、A/Dコンバータの絶対精度誤差が生じます。絶対精度の誤差は以下の式で表されます。

断線検出アシスト機能は、十分な評価を行ったうえ、使用してください。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s / R_p$$

30.5.8 断線検出アシスト機能使用時の注意

端子レベル自己診断時は、断線検出アシスト機能を有効にしないでください。

30.5.9 自己診断機能使用時の注意

チャンネル専用サンプル & ホールド回路を使用して4チャンネル (AN000 ~ AN003) を同時サンプリングし、かつ自己診断機能を有効に設定する場合は、サンプル & ホールド回路のホールド特性 $3.2\mu\text{s}$ (max.) を満たすよう $\text{ADSSTR0.SST}[7:0]$ でサンプリング時間 t_{SPL} を $0.4\mu\text{s}$ に設定してください。

30.5.10 グループスキャンモード (グループ A 優先制御選択時) のグループ B 再起動設定について

グループスキャンモード (グループ A 優先制御選択時) で、グループ B 再起動設定を有効にする場合 ($\text{PGS} = 1$ かつ $\text{GBRSCN} = 1$) は、 $\text{PCLKH}:\text{ADCLK}$ 分周比 = 1:1 に設定してください。それ以外の $\text{PCLKH}:\text{ADCLK}$ 分周比では、グループスキャンモード (グループ A 優先制御選択時) でのグループ B 再起動は使用できません。

30.5.11 許容信号源インピーダンスについて

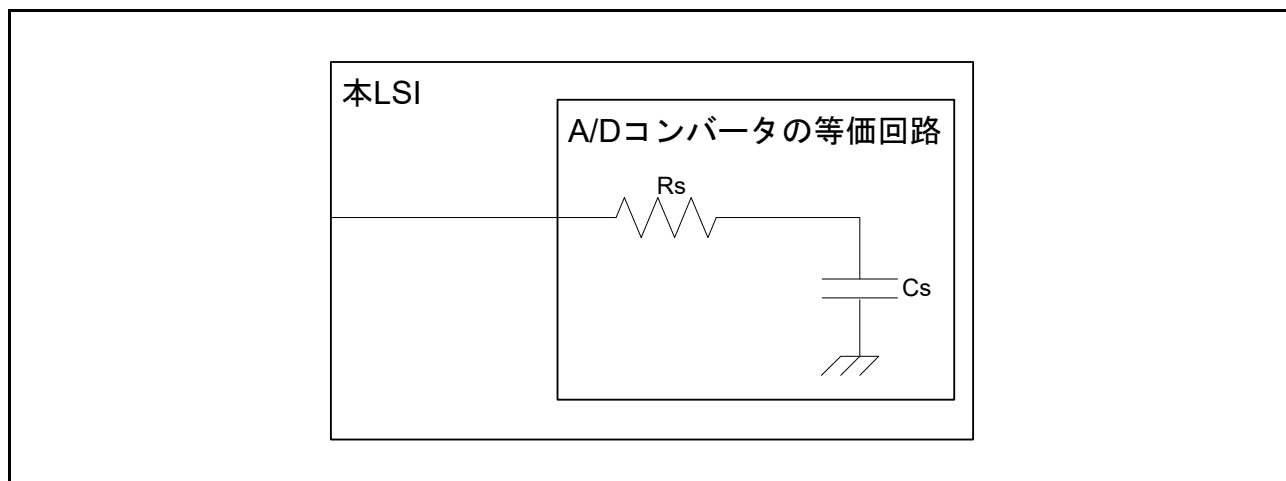


図 30.32 アナログ入力端子の内部等価回路

表 30.13 アナログ端子の規格

項目		Min.	Typ.	Max.	単位
ADC (ユニット0) 内部等価回路	Rs	—	1.5	—	kΩ
	Cs	—	8	—	pF
ADC (ユニット1) 内部等価回路	Rs	—	3.0	—	kΩ
	Cs	—	16	—	pF

注. 製品の端子から見た容量は、内部等価回路の他に「34. 電気的特性」で示す端子容量が加わります。

31. 温度センサ

31.1 概要

本 LSI は、温度センサを内蔵しています。温度センサは温度により変化する電圧を出力します。温度センサの出力電圧を 12 ビット A/D コンバータ（ユニット 0）でデジタル値に変換し、温度に換算することで本 LSI 周辺の温度を求めることができます。

表 31.1 に温度センサの仕様を示します。図 31.1 に温度センサのブロック図を示します。

表 31.1 温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータ（ユニット0）へ出力
消費電力低減機能	モジュールストップ状態の設定が可能

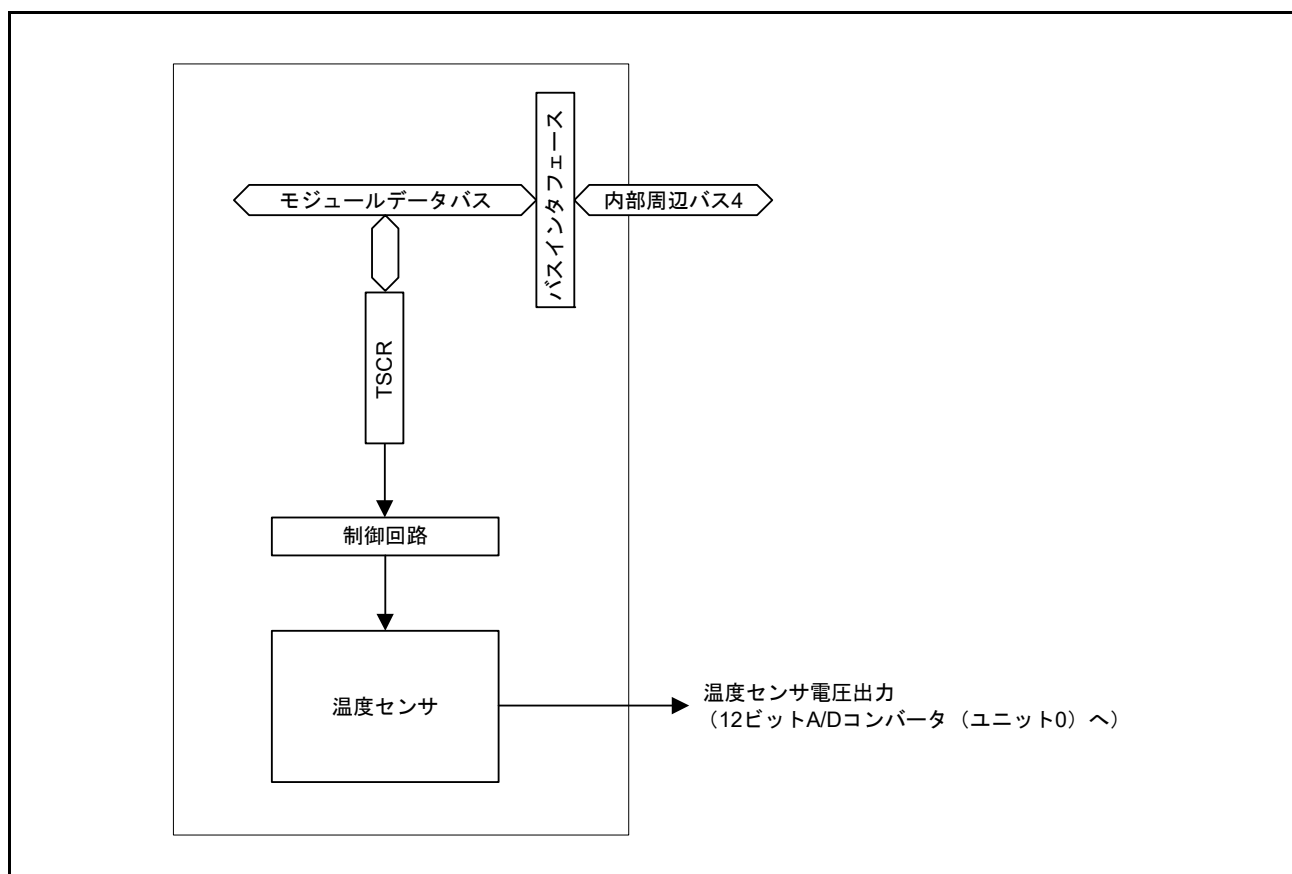


図 31.1 温度センサのブロック図

31.2 レジスタの説明

31.2.1 温度センサコントロールレジスタ (TSCR)

アドレス A008 0A00h

	b7	b6	b5	b4	b3	b2	b1	b0
	TSEN	—	—	TSOE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	TSOE	温度センサ出力許可ビット	0: 温度センサから12ビットA/Dコンバータ (ユニット0) への出力禁止 1: 温度センサから12ビットA/Dコンバータ (ユニット0) への出力許可	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	TSEN	温度センサ許可ビット	0: 温度センサが停止 1: 温度センサが動作	R/W

TSCR レジスタの設定には、[図 31.3](#) に示すタイミング制約があります。

31.3 温度センサの使用法

温度センサは、温度により変化する電圧を出力します。この電圧を 12 ビット A/D コンバータ（ユニット 0）を用いてデジタル変換し、温度に換算することで本 LSI の周辺の温度を求めることができます。

31.3.1 使用前の準備

温度センサの出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

T₁ : 1 点目の試行測定時の温度 (°C)

V₁ : 1 点目の試行測定時の温度センサの出力電圧 (V)

T₂ : 2 点目の試行測定時の温度 (°C)

V₂ : 2 点目の試行測定時の温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 (V/°C) $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$

温度センサには個体間のばらつきがあるため、以下のように異なる 2 点の温度の試行測定を実施しておくことを推奨します。

まず、温度 T₁ のときの温度センサの出力電圧 V₁ を 12 ビット A/D コンバータ（ユニット 0）で試行測定することで求めます。

次に、温度 T₁ と異なる温度 T₂ の温度センサの出力電圧 V₂ を、12 ビット A/D コンバータ（ユニット 0）で試行測定し求めます。

両者の測定結果から、温度傾斜 ($\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$) を求めます。

この Slope を温度特性の式に代入し、温度特性 $T = (V_s - V_1) / \text{Slope} + T_1$ を求めます。

また、「34.6 温度センサ特性」に記載の温度傾斜を用い、温度 T₁ のときの温度センサの出力電圧 V₁ を、12 ビット A/D コンバータ（ユニット 0）で試行測定することで求め、以下の式により測定温度を算出することもできます。なお、本測定温度精度は 2 点測定方法よりも劣ります。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

T₁ : 1 点目の試行測定時の温度 (°C)

V₁ : 1 点目の試行測定時の温度センサの出力電圧 (V)

Slope : 「34.6 温度センサ特性」に記載の温度傾斜 (V/°C)

- 温度センサの出力電圧の計算（A/D変換値加算モードを非選択とした場合）
温度センサの出力電圧（V）は下記の式で算出可能です。

$$\text{出力電圧 (V)} = \text{AVREFH0 の電圧 (V)} \times \frac{\text{ADTSDR レジスタの値}}{2^n}$$

n: ADCER.ADPRC[1:0] で指定する A/D 変換の精度（n = 8, 10, 12）

備考：A/D 変換値加算モードを選択した場合、ADTSDR レジスタには ADADC レジスタで指定した加算回数分の値が格納されます。このため上記式で算出した値に対し、設定した加算回数分だけ割り算を行うなどの計算が必要となります。

31.3.2 12 ビット A/D コンバータ（ユニット 0）の設定

温度センサの出力を A/D 変換するために、12 ビット A/D コンバータ（ユニット 0）のレジスタを以下のように設定する必要があります。

- 温度センサ出力を A/D 変換対象に設定

A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D 変換選択ビット（ADEXICR.TSSA または ADEXICR.TSSB）を“1”に設定し、温度センサ出力を A/D 変換対象に設定します。

- スキャンモードの設定

A/D コントロールレジスタのスキャンモード選択ビット（ADCSR.ADCS[1:0]）を設定し、スキャンモードを設定します。

- 加算／平均モードの設定

温度センサの出力を A/D 変換する際、加算モードと平均モードの選択が可能です。加算モードと平均モードのいずれのモードを使用する場合でも、A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D 変換値加算モード選択ビット（ADEXICR.TSSAD）を“1”に設定し、A/D 変換値加算回数選択レジスタの加算回数選択ビット（ADADC.ADC[1:0]）に加算回数を設定してください。

加算モードを選択する場合は、ADADC.AVEE ビットを“0”に、平均モードを選択する場合は、ADADC.AVEE ビットを“1”にしてください。ただし、平均モードを選択する場合は、ADADC.ADC[1:0] ビットを“10b”に設定しないでください。

- 12 ビット A/D コンバータ（ユニット 0）のサンプリングステート数の設定

温度センサの出力を A/D 変換する際、サンプリングステート数を設定することができます。初期値は 11 ステートです。サンプリングステート数を 11 ステートから変更する場合は、ADCSR.ADST ビットが“0”のときに A/D サンプリングステートレジスタ T のサンプリング時間設定ビット（ADSSTRT.SST[7:0]）を設定してください。

A/D コントロールレジスタの A/D 変換スタートビット（ADCSR.ADST ビット）を“1”にすると、A/D 変換を開始し、A/D 温度センサデータレジスタ（ADTSDR）に A/D 変換結果が格納されます。温度センサの出力を A/D 変換する際は、「31.3.3 温度センサの使用手順」にしたがってください。

31.3.3 温度センサの使用手順

図 31.2 に温度センサの使用手順フローを示します。



図 31.2 温度センサの使用手順フロー

31.3.4 温度センサ出力の A/D 変換タイミング

シングルスキャンモードで温度センサ出力のみを A/D 変換対象としたときの、温度センサの動作から A/D 変換完了までのタイミングを図 31.3 に、温度センサ動作から A/D 変換完了までの時間を表 31.2 に示します。

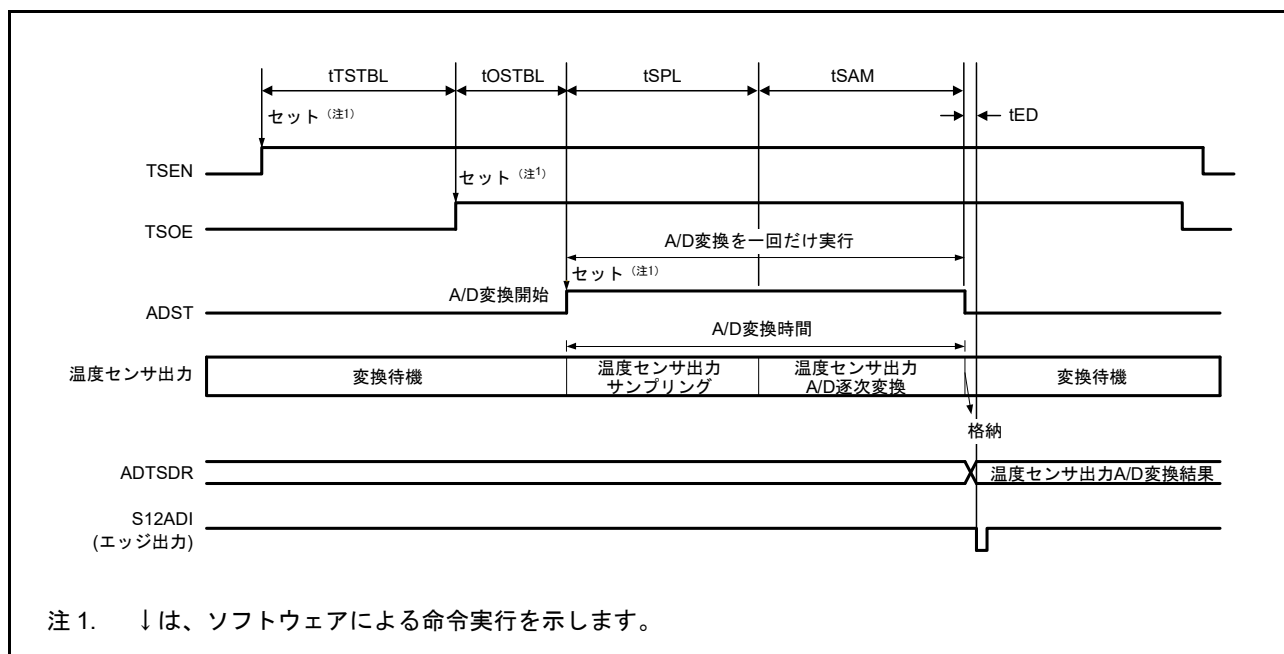


図 31.3 温度センサの動作から A/D 変換完了までのタイミング

表 31.2 温度センサの動作から A/D 変換完了までの時間

項目	記号	時間
温度センサ基準電圧安定待ち時間	tTSTBL	30 μ s (min)
温度センサ出力安定待ち時間	tOSTBL	0 μ s (min)
12ビット A/D コンバータ (ユニット0) 入力サンプリング時間	tSPL	4.25 μ s min. ADSSTR の設定値 \times ADCLK 周期
A/D 逐次変換時間	tSAM	12 ビット変換精度: 13ADCLK 10 ビット変換精度: 11ADCLK 8 ビット変換精度: 9ADCLK
スキャン変換終了遅延時間	tED	1 PCLKH + 3 ADCLK

31.4 使用上の注意事項

31.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、温度センサの動作禁止/許可を設定することが可能です。初期値では、温度センサの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「9. 消費電力低減機能」を参照してください。

32. データ演算回路 (DOC)

32.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算または減算する機能です。

表 32.1 にデータ演算回路 (DOC) の仕様を、ブロック図を図 32.1 に示します。

- 16 ビットのデータを比較し、選択した条件のとき割り込みを発生することができます。
- 16 ビットのデータを加算することができます。
- 16 ビットのデータを減算することができます。

表 32.1 データ演算回路 (DOC) の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能
割り込み	<ul style="list-style-type: none"> • データ比較の結果が一致または不一致のとき • データ加算の結果が“FFFFh”より大きくなったとき • データ減算の結果が“0000h”より小さくなったとき
イベントリンク機能 (イベント信号出力)	<ul style="list-style-type: none"> • データ比較の結果が一致または不一致のとき • データ加算の結果がFFFFhより大きくなったとき • データ減算の結果が0000hより小さくなったとき

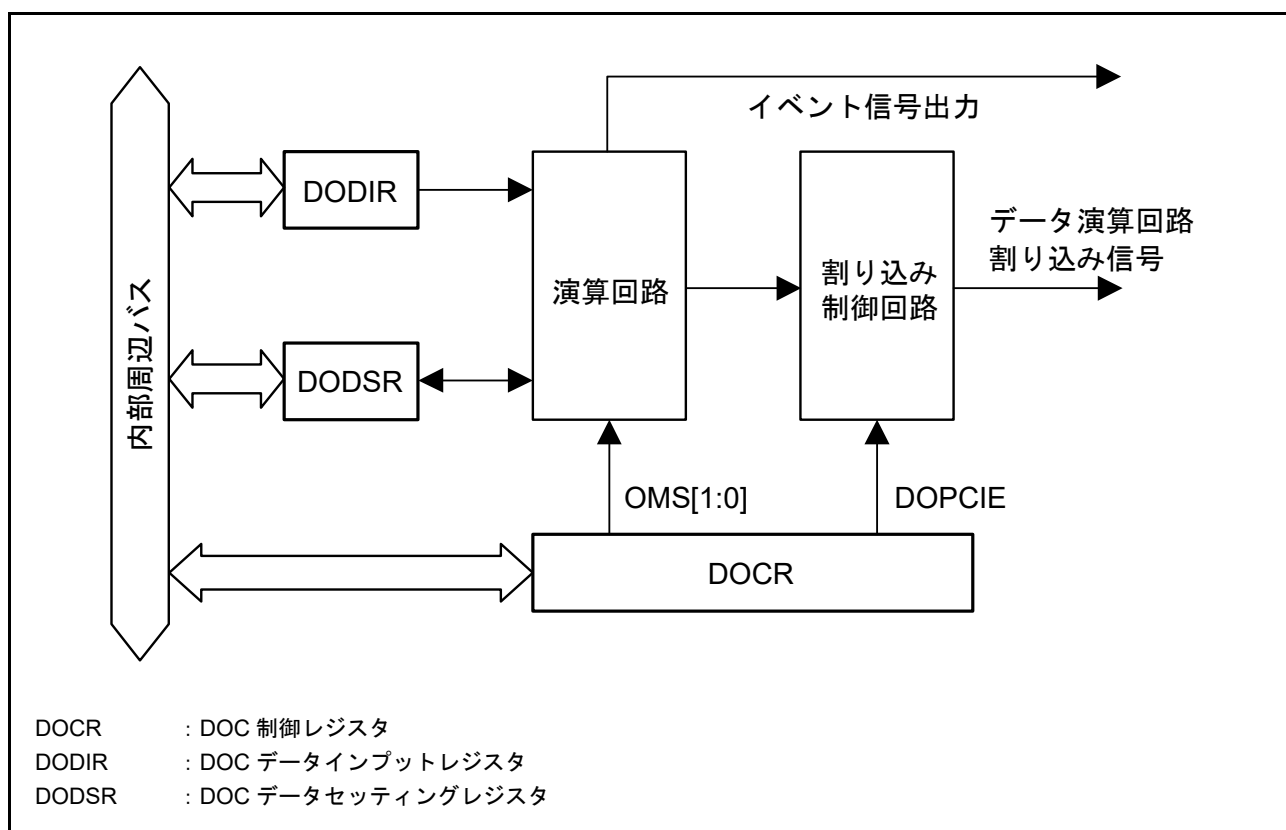


図 32.1 データ演算回路 (DOC) のブロック図

32.2 レジスタの説明

32.2.1 DOC 制御レジスタ (DOCR)

DOCR レジスタは DOC を制御するレジスタです。

アドレス A008 1200h

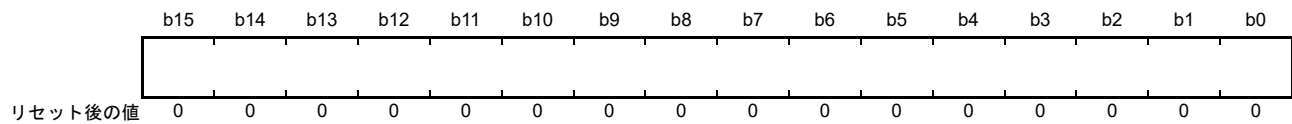
	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCFCL	DOPCF	DOPCIE	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b1-b0	OMS[1:0]	動作モード選択 [1:0]	データ演算回路の動作モードを選択します。 b1 b0 00: データ比較モード 01: データ加算モード 10: データ減算モード 11: 設定しないでください。	R/W
b2	DCSEL	検出条件 選択ビット	データ比較モード時の結果の検出条件を選択します。 0: 不一致を検出する 1: 一致を検出する 注: データ比較モード時のみ有効です。	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	DOPCIE	データ演算回路 割り込み許可	データ演算回路割り込み要求の許可/禁止を設定します。 0: データ演算回路割り込み要求を禁止 1: データ演算回路割り込み要求を許可	R/W
b5	DOPCF	データ演算回路 フラグ	[1になる条件] 以下のいずれかの条件成立時 <ul style="list-style-type: none"> 本レジスタのDCSELビットで選択した条件成立時 データ加算の結果がFFFFhより大きくなったとき データ減算の結果が0000hより小さくなったとき [0になる条件] <ul style="list-style-type: none"> 本レジスタのDOPCFCLビットに1をライトしたとき 	R
b6	DOPCFCL	DOPCFクリア	本ビットを1にすると本レジスタのDOPCFビットをクリアします。 読むと常に0が読めます。0書き込みは無効です。1のみ書き込めます。	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.2 DOC データインプットレジスタ (DODIR)

DODIR レジスタは、演算対象の 16 ビットデータを格納する 16 ビットのリード/ライト可能なレジスタです。

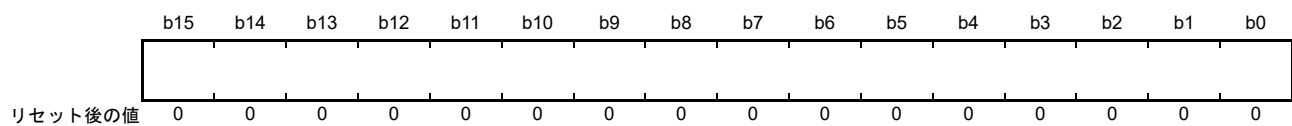
アドレス A008 1202h



32.2.3 DOC データセッティングレジスタ (DODSR)

DODSR レジスタは、16 ビットのリード/ライト可能なレジスタで、データ比較モード時、基準となる 16 ビットデータを格納します。また、データ加算モードおよびデータ減算モード時は、演算結果を格納するレジスタとなります。

アドレス A008 1204h



32.3 動作説明

32.3.1 データ比較モード

図 32.2 にデータ比較モードの動作例を示します。

データ演算回路は、データ比較モード時、以下のように動作します。

以下は DCSEL = 0 (データ比較の結果、不一致を検出) 設定時の動作例です。

- (1) DOCR.OMS[1:0] ビットに 00b を書き込むと、データ比較モードになります。
- (2) DODSR レジスタに基準となる 16 ビットのデータを設定します。
- (3) DODIR レジスタに比較する 16 ビットのデータを書き込みます。
- (4) 比較するすべてのデータ書き込みが完了するまで、比較する 16 ビットのデータを DODIR レジスタに書き込みます。
- (5) DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかった場合 (DOCR.DCSEL = 0)、DOCR.DOPCF フラグが "1" になります。また、DOCR.DOPCIE ビットが "1" の場合は、データ演算回路割り込みが発生します。

注. DODIR レジスタがリセット後の値 0000h の場合、DODSR レジスタに 0000h 以外の値を設定しても、その時 DOCR.DOPCF は "1" になりません。また、DODSR レジスタを設定し、DODIR レジスタを書き込んで比較された後、再度 DODSR レジスタを設定しても、その時の DODIR レジスタとは比較されません。つまり、比較動作は DODIR レジスタの書き込みで行われます。DODSR レジスタの書き込みでは、比較は行われません。

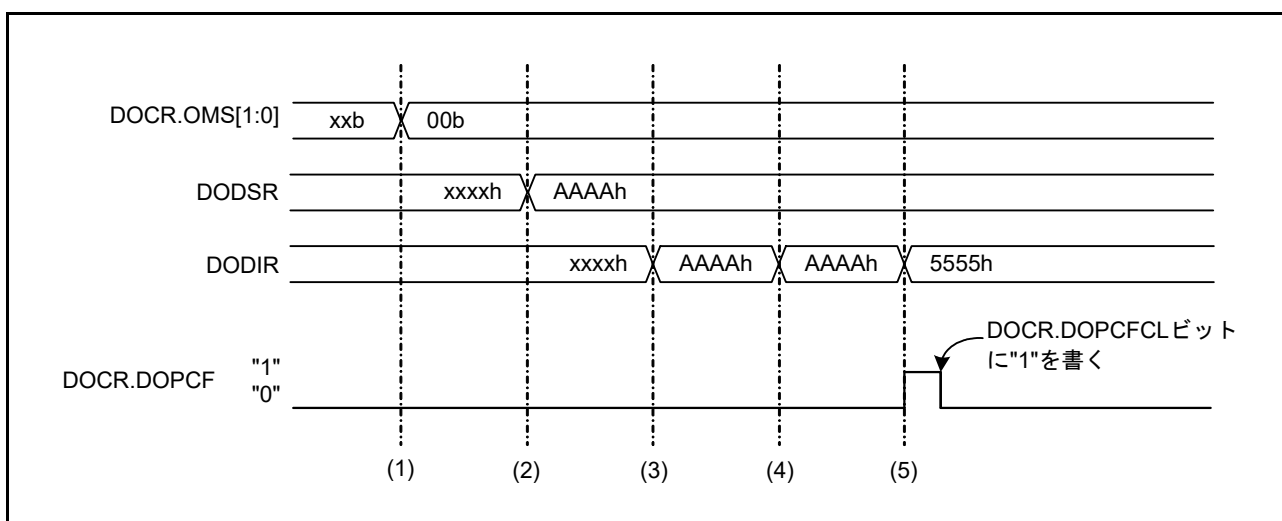


図 32.2 データ比較モードの動作例

32.3.2 データ加算モード

図 32.3 にデータ加算モードの動作例を示します。

データ演算回路は、データ加算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに 01b を書き込むと、データ加算モードになります。
- (2) DODSR レジスタにリセット後の値となる 16 ビットのデータを設定します。
- (3) DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) 加算するすべてのデータ書き込みが完了するまで、加算する 16 ビットのデータを DODIR レジスタに書き込みます。
- (5) 演算結果が FFFFh よりも大きくなったとき、DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

注． DODIR レジスタがリセット後の値 0000h で、DODSR レジスタに 0000h 以外の値を設定しても、その時は加算しません。また、DODSR レジスタを設定し、DODIR レジスタに加算する値を書き込んで加算された後、再度 DODSR レジスタを設定しても、その時の DODIR レジスタ値とは加算されません。つまり、加算動作は DODIR レジスタの書き込みで行われます。DODSR レジスタの書き込みでは、加算は行われません。

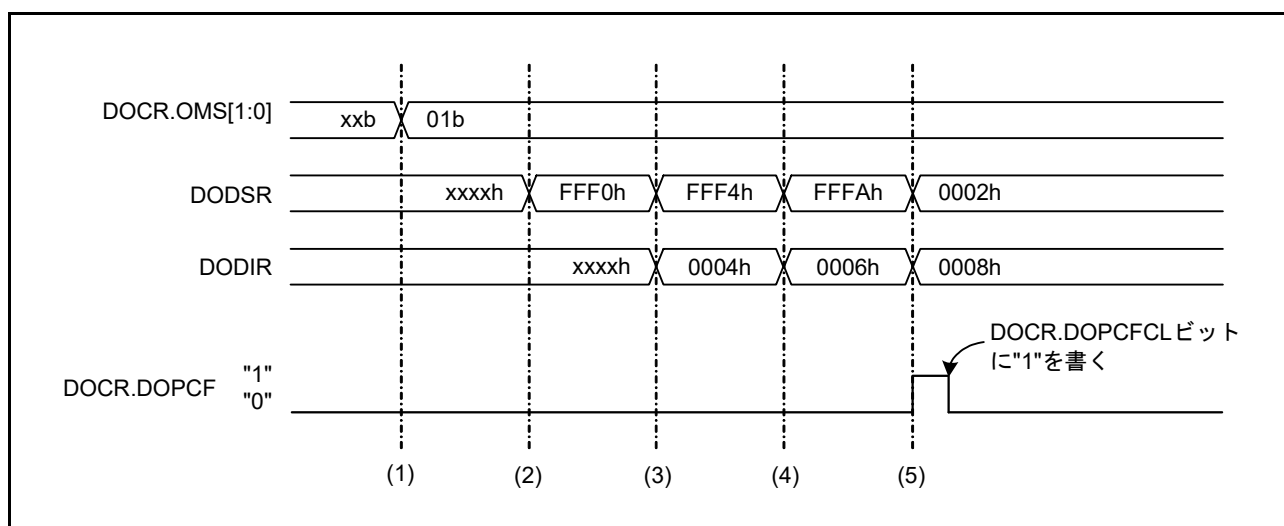


図 32.3 データ加算モードの動作例

32.3.3 データ減算モード

図 32.4 にデータ減算モードの動作例を示します。

データ演算回路は、データ減算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに 10b を書き込むと、データ減算モードになります。
- (2) DODSR レジスタにリセット後の値となる 16 ビットのデータを設定します。
- (3) DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) 減算するすべてのデータ書き込みが完了するまで、DODIR レジスタに減算する 16 ビットのデータを書き込みます。
- (5) 演算結果が 0000h よりも小さくなったとき DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

注． DODIR レジスタが初期値 0000h で、DODSR レジスタに 0000h 以外の値を設定しても、その時は減算しません。また、DODSR レジスタを設定し、DODIR レジスタに減算する値を書き込んで減算された後、再度 DODSR レジスタを設定しても、その時の DODIR レジスタ値からは減算されません。つまり、減算動作は DODIR レジスタの書き込みで行われます。DODSR レジスタの書き込みでは、減算は行われません。

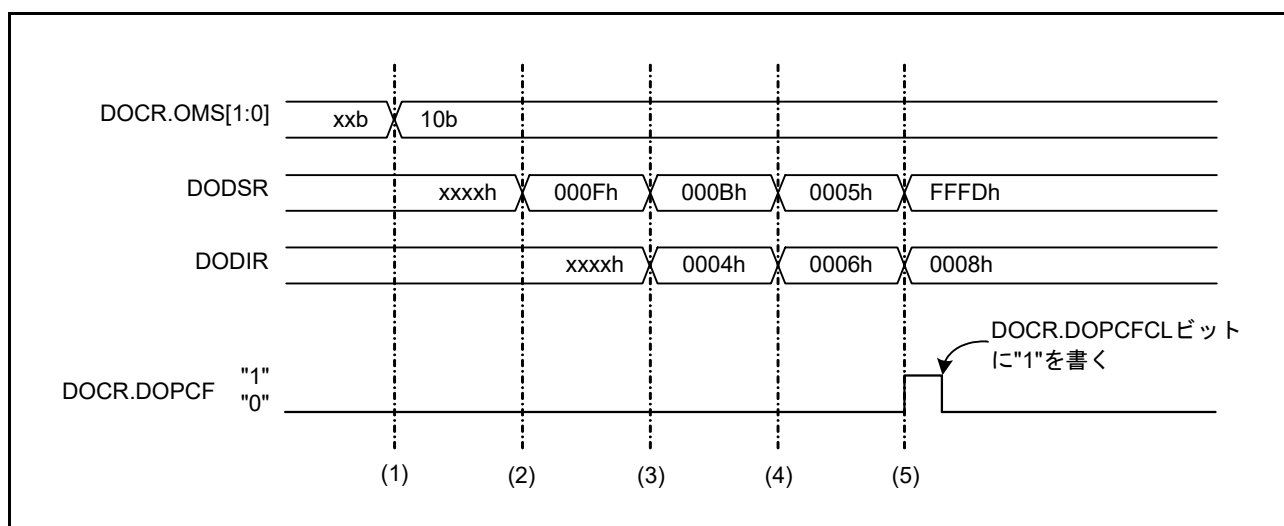


図 32.4 データ減算モードの動作例

32.4 割り込み要求

データ演算回路が生成する割り込み要求には、データ演算回路割り込みがあります。割り込み要因が発生するとステータスフラグ (DOCR.DOPCF) が1になります。表 32.2 に割り込み要求の内容を示します。

表 32.2 データ演算回路割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
データ演算回路割り込み	DOPCF	<ul style="list-style-type: none"> データ加算の結果がFFFFhより大きくなったとき データ減算の結果が0000hより小さくなったとき データ比較の結果が一致または不一致のとき

注. データ演算回路割り込みは、割り込みコントローラには通知されず、DOC演算エラーとして、エラーコントロールモジュール (ECM) に通知されます。

32.5 イベントリンク出力機能

データ演算回路 (DOC) は、イベントリンクコントローラ (ELC) に対して以下の条件でイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

- データ比較の結果が一致または不一致のとき
- データ加算の結果がFFFFhより大きくなったとき
- データ減算の結果が0000hより小さくなったとき

32.5.1 割り込み処理とイベントリンクの関係

データ演算回路 (DOC) には、割り込みの許可/禁止を制御するビット (DOCR.DOPCIE) があります。割り込み要因が発生すると、割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットには依存せず、ELC を介して他のモジュールにイベント信号として出力します。

32.6 使用上の注意事項

32.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、データ演算回路の動作を禁止/許可することができます。リセット後の値では、データ演算回路は動作停止です。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

33. RAM（製品オプション）

本 LSI は、高速 RAM（ECC 誤り訂正機能あり）を内蔵しています。容量は 1M バイト（512K バイト×2）の RAM を搭載しています。

33.1 概要

表 33.1 に RAM の仕様を示します。

表 33.1 RAM の仕様

項目	内容
RAM 容量	1M バイト
RAM アドレス (Cortex-R4 からのアクセス)	内蔵拡張 SRAM（領域 1） 0400 0000h～0407 FFFFh 2400 0000h～2407 FFFFh（ミラー） 内蔵拡張 SRAM（領域 2） 2000 0000h～2007 FFFFh 2200 0000h～2207 FFFFh（ミラー）
消費電力低減機能	アクセス時のみ動作
エラーチェック機能	1 ビット誤り訂正、2 ビット誤り検出（ECC Decoder を有効にする必要があります）
初期化機能	リセットにより全 RAM 領域はゼロ初期化

注． リセットの要因は、「RES# 端子入力によるリセット」、「ECM リセット」および「ソフトウェアリセット」が対象になります。

33.2 レジスタの説明

33.2.1 プロテクトコマンドレジスタ（RAMPCMD）

RAMPCMD レジスタは、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すためのレジスタです。PROTREL ビットに“1”をセットしない限り、プロテクト対象レジスタへの書き込みはできません。

アドレス A00F 3000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTREL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PROTREL	プロテクト対象レジスタへのライトアクセス許可ビット	1: ライトアクセス許可 0: ライトアクセス禁止（プロテクト状態）	R/W

RAMPCMD レジスタの PROTREL ビットに“1”をセットする場合は、以下のシーケンスでの書き込みのみ受け付けられます。“0”にクリアする、もしくはリードする場合には、特別なシーケンスはありません。

1. RAMPCMD レジスタに特定値として、0000 00A5h を書き込む。
2. RAMPCMD レジスタに、0000 0001h を書き込む。
3. RAMPCMD レジスタに、0000 FFFEh を書き込む。
4. RAMPCMD レジスタに、0000 0001h を書き込む。

注 1. 1.、2.、3. では、レジスタへの書き込みは行われていません。

注 2. 対象レジスタへのライト完了後は、必ず PROTREL ビットをクリア（0）してください。

表33.2 ライトプロテクション対象レジスタ一覧

レジスタ名	シンボル	R/W
プロテクトコマンドレジスタ	RAMPCMD	R/W
ECCデコーダコンフィグレジスタ	RAMEDC	R/W
ECCエンコーダコンフィグレジスタ	RAMEEC	R/W

33.2.2 ECC デコーダコンフィグレーションレジスタ（RAMEDC）

RAMEDC レジスタは、内蔵拡張 SRAM（領域 1, 2）の ECC デコーダを制御するレジスタです。

アドレス A00F 3100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECC_ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECC_ENABLE	ECC Decoder 許可ビット	0 : ECC Decoder を無効にします。 1 : ECC Decoder を有効にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RAMEDC.ECC_ENABLE ビットを“1”にセットすると、内蔵拡張 SRAM（領域 1, 2）の ECC デコーダ論理が有効になり、以下の機能が有効になり、エラーコントロールモジュール（ECM）に通知します。

- 1bit ECC エラーの場合：Read Data を補正し、エラーコントロールモジュール（ECM）への通知を行います。
- 2bit ECC エラーの場合：エラーコントロールモジュール（ECM）への通知を行います。

RAMEDC.ECC_ENABLE ビットを無効 (0) にすると、ECC エラーが発生した場合も、Read Data の補正、ECM への通知は行いません。したがって、RAMDBEST レジスタへのステータス保持機能、RAMDBEAD レジスタへのエラーアドレスキャプチャ機能、RAMDBECNT レジスタのエラーカウント機能も無効になります。

注 1. 本レジスタは、各 Master から RAM へのアクセスが無い時に切り替えてください。

注 2. 本レジスタは、RAMPCMD レジスタでライトプロテクトを解除するまでは、ライトすることができません。

33.2.3 ECC エンコーダコンフィグレーションレジスタ（RAMEEC）

RAMEEC レジスタは、内蔵拡張 SRAM（領域 1, 2）の ECC 回路のセルフテストを制御します。

RAMEEC.DBE_DISTn (n=0～15) ビットに“1”をセットすると、各ビットに対応した RAM にアクセスした際の Syndrome（ECC 冗長ビットデータ）をラッチしておき、次回アクセスした際にラッチした Syndrome を RAM に書き込むことで、ECC エラーを注入することができます。

RAMEEC.DBE_DISTn (n=0～15) ビットを“0”にした場合は、常に正常な Syndrome を各ビットに対応した RAM に書き込みます。

アドレス A00F 3104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DBE_D IST15	DBE_D IST14	DBE_D IST13	DBE_D IST12	DBE_D IST11	DBE_D IST10	DBE_D IST9	DBE_D IST8	DBE_D IST7	DBE_D IST6	DBE_D IST5	DBE_D IST4	DBE_D IST3	DBE_D IST2	DBE_D IST1	DBE_D IST0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBE_DIST0	内蔵拡張 SRAM（領域 1） BANK0 Way0 Syndrome のエラー注入許可ビット	0：常に正常な Syndrome を RAM に書き込みます。 1：前回アクセスした際の Syndrome を RAM に書き込みます。	R/W
b1	DBE_DIST1	内蔵拡張 SRAM（領域 1） BANK0 Way1 Syndrome のエラー注入許可ビット		R/W
b2	DBE_DIST2	内蔵拡張 SRAM（領域 1） BANK0 Way2 Syndrome のエラー注入許可ビット		R/W
b3	DBE_DIST3	内蔵拡張 SRAM（領域 1） BANK0 Way3 Syndrome のエラー注入許可ビット		R/W
b4	DBE_DIST4	内蔵拡張 SRAM（領域 1） BANK1 Way0 Syndrome のエラー注入許可ビット		R/W
b5	DBE_DIST5	内蔵拡張 SRAM（領域 1） BANK1 Way1 Syndrome のエラー注入許可ビット		R/W
b6	DBE_DIST6	内蔵拡張 SRAM（領域 1） BANK1 Way2 Syndrome のエラー注入許可ビット		R/W
b7	DBE_DIST7	内蔵拡張 SRAM（領域 1） BANK1 Way3 Syndrome のエラー注入許可ビット		R/W
b8	DBE_DIST8	内蔵拡張 SRAM（領域 2） BANK0 Way0 Syndrome のエラー注入許可ビット		R/W
b9	DBE_DIST9	内蔵拡張 SRAM（領域 2） BANK0 Way1 Syndrome のエラー注入許可ビット		R/W
b10	DBE_DIST10	内蔵拡張 SRAM（領域 2） BANK0 Way2 Syndrome のエラー注入許可ビット		R/W
b11	DBE_DIST11	内蔵拡張 SRAM（領域 2） BANK0 Way3 Syndrome のエラー注入許可ビット		R/W
b12	DBE_DIST12	内蔵拡張 SRAM（領域 2） BANK1 Way0 Syndrome のエラー注入許可ビット		R/W
b13	DBE_DIST13	内蔵拡張 SRAM（領域 2） BANK1 Way1 Syndrome のエラー注入許可ビット		R/W
b14	DBE_DIST14	内蔵拡張 SRAM（領域 2） BANK1 Way2 Syndrome のエラー注入許可ビット		R/W
b15	DBE_DIST15	内蔵拡張 SRAM（領域 2） BANK1 Way3 Syndrome のエラー注入許可ビット		R/W

ビット	シンボル	ビット名	機能	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 本レジスタは、各MasterからRAMへのアクセスが無い時に切り替えてください。

注2. 本レジスタは、RAMPCMDレジスタでライトプロテクトを解除するまでは、ライトすることができません。

33.2.4 2ビット ECC エラーステータスレジスタ（RAMDBEST）

RAMDBEST レジスタは、内蔵拡張 SRAM（領域 1, 2）の ECC 2bit エラーステータスを示します。

エラーコントロールモジュール（ECM）に通知後に、本レジスタをリードすることで、ECC 2bit エラーが発生した BANK / WAY を確認することができます。

アドレス A00F 3108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DBE_R AM15	DBE_R AM14	DBE_R AM13	DBE_R AM12	DBE_R AM11	DBE_R AM10	DBE_R AM9	DBE_R AM8	DBE_R AM7	DBE_R AM6	DBE_R AM5	DBE_R AM4	DBE_R AM3	DBE_R AM2	DBE_R AM1	DBE_R AM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBE_RAM0	内蔵拡張 SRAM（領域 1）Bank0 Way0 ECC 2bit エラー検出フラグ	0：エラーなし 1：エラーあり	R
b1	DBE_RAM1	内蔵拡張 SRAM（領域 1）Bank0 Way1 ECC 2bit エラー検出フラグ		R
b2	DBE_RAM2	内蔵拡張 SRAM（領域 1）Bank0 Way2 ECC 2bit エラー検出フラグ		R
b3	DBE_RAM3	内蔵拡張 SRAM（領域 1）Bank0 Way3 ECC 2bit エラー検出フラグ		R
b4	DBE_RAM4	内蔵拡張 SRAM（領域 1）Bank1 Way0 ECC 2bit エラー検出フラグ		R
b5	DBE_RAM5	内蔵拡張 SRAM（領域 1）Bank1 Way1 ECC 2bit エラー検出フラグ		R
b6	DBE_RAM6	内蔵拡張 SRAM（領域 1）Bank1 Way2 ECC 2bit エラー検出フラグ		R
b7	DBE_RAM7	内蔵拡張 SRAM（領域 1）Bank1 Way3 ECC 2bit エラー検出フラグ		R
b8	DBE_RAM8	内蔵拡張 SRAM（領域 2）Bank0 Way0 ECC 2bit エラー検出フラグ		R
b9	DBE_RAM9	内蔵拡張 SRAM（領域 2）Bank0 Way1 ECC 2bit エラー検出フラグ		R
b10	DBE_RAM10	内蔵拡張 SRAM（領域 2）Bank0 Way2 ECC 2bit エラー検出フラグ		R
b11	DBE_RAM11	内蔵拡張 SRAM（領域 2）Bank0 Way3 ECC 2bit エラー検出フラグ		R
b12	DBE_RAM12	内蔵拡張 SRAM（領域 2）Bank1 Way0 ECC 2bit エラー検出フラグ		R
b13	DBE_RAM13	内蔵拡張 SRAM（領域 2）Bank1 Way1 ECC 2bit エラー検出フラグ		R
b14	DBE_RAM14	内蔵拡張 SRAM（領域 2）Bank1 Way2 ECC 2bit エラー検出フラグ		R
b15	DBE_RAM15	内蔵拡張 SRAM（領域 2）Bank1 Way3 ECC 2bit エラー検出フラグ		R
b31-b16	—	予約ビット	読むと“0”が読めます	R

注1. 本レジスタをリードした場合は、ECCエラー要因がクリアされます。

33.2.5 2 ビット ECC エラーアドレスレジスタ (RAMDBEAD)

RAMDBEAD レジスタは、ECC 2bit エラーの発生アドレスを保持するリード専用レジスタです。

ECC 2bit エラーを検出すると、検出信号をトリガとして ECC エラー発生アドレスをキャプチャし、ADDRESS[15:0] ビットに格納します。

なお、一度 ECC エラー発生アドレスをキャプチャしたレジスタは、本レジスタの LOCK ビットが有効になり、本レジスタをリードするまでは、次の ECC エラー発生アドレスを保持することが出来ません。このため、新規に ECC エラー発生アドレスをキャプチャしたい場合は、本レジスタのリードを行ってください。

アドレス A00F 310Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	BANK[1:0]	ADDRESS[15:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	ADDRESS[15:0]															—	LOCK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LOCK	ロックイネーブルビット	0: レジスタロック解除 (ECC 2bitエラー発生アドレスのキャプチャ可) 1: レジスタロック (ECC 2bitエラー発生アドレスのキャプチャ不可) 本レジスタをリードするとロックが解除されます。	R
b1	—	予約ビット	読むと“0”が読めます	R
b17-b2	ADDRESS[15:0]	ECC 2bitエラー発生アドレスビット	ECC 2bitエラー発生アドレスを保持します	R
b19-b18	BANK[1:0]	ECC 2bitエラー発生BANKビット	ECC 2bitエラー発生時の対象BANK情報を保持します。 0: 内蔵拡張SRAM (領域1) BANK0 1: 内蔵拡張SRAM (領域1) BANK1 2: 内蔵拡張SRAM (領域2) BANK0 3: 内蔵拡張SRAM (領域2) BANK1	R
b31-b20	—	予約ビット	読むと“0”が読めます	R

注. ECC 2bitエラーが、異なるWAYで同時に発生した場合、アドレスをキャプチャする優先順位は以下のようになります。
 内蔵拡張SRAM (領域1) BANK0 WAY0 > 内蔵拡張SRAM (領域1) BANK0 WAY1 >
 内蔵拡張SRAM (領域1) BANK0 WAY2 > 内蔵拡張SRAM (領域1) BANK0 WAY3 >
 内蔵拡張SRAM (領域1) BANK1 WAY0 > 内蔵拡張SRAM (領域1) BANK1 WAY1 >
 内蔵拡張SRAM (領域1) BANK1 WAY2 > 内蔵拡張SRAM (領域1) BANK1 WAY3 >
 内蔵拡張SRAM (領域2) BANK0 WAY0 > 内蔵拡張SRAM (領域2) BANK0 WAY1 >
 内蔵拡張SRAM (領域2) BANK0 WAY2 > 内蔵拡張SRAM (領域2) BANK0 WAY3 >
 内蔵拡張SRAM (領域2) BANK1 WAY0 > 内蔵拡張SRAM (領域2) BANK1 WAY1 >
 内蔵拡張SRAM (領域2) BANK1 WAY2 > 内蔵拡張SRAM (領域2) BANK1 WAY3

33.2.6 2ビットECCエラーカウンタレジスタ（RAMDBECNT）

RAMDBECNTレジスタは、ECC 2bitエラーの発生回数を保持するリード専用レジスタです。
ECC 2bitエラーを検出すると、検出信号をトリガとしてエラーカウンタがインクリメントされます。
なお、カウント値が最大値（Fh）を超えた場合は、カウント値は0hにクリアされます。

アドレス A00F 3110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ERRCOUNT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ERRCOUNT[3:0]	ECC 2bitエラー発生カウンタビット	ECC 2bitエラーの発生回数を保持します。	R
b31-b4	—	予約ビット	読むと“0”が読めます。	R

注. ECC 2bitエラーが、異なるWAYで同時に発生した場合でも、カウントアップする値は、“1”になります。

33.3 動作説明

33.3.1 メモリ MAP 構成

内蔵拡張 SRAM としては 512K バイトの RAM が 2 領域あり、それぞれ 2 バンク 4 ウエイの構成になります。

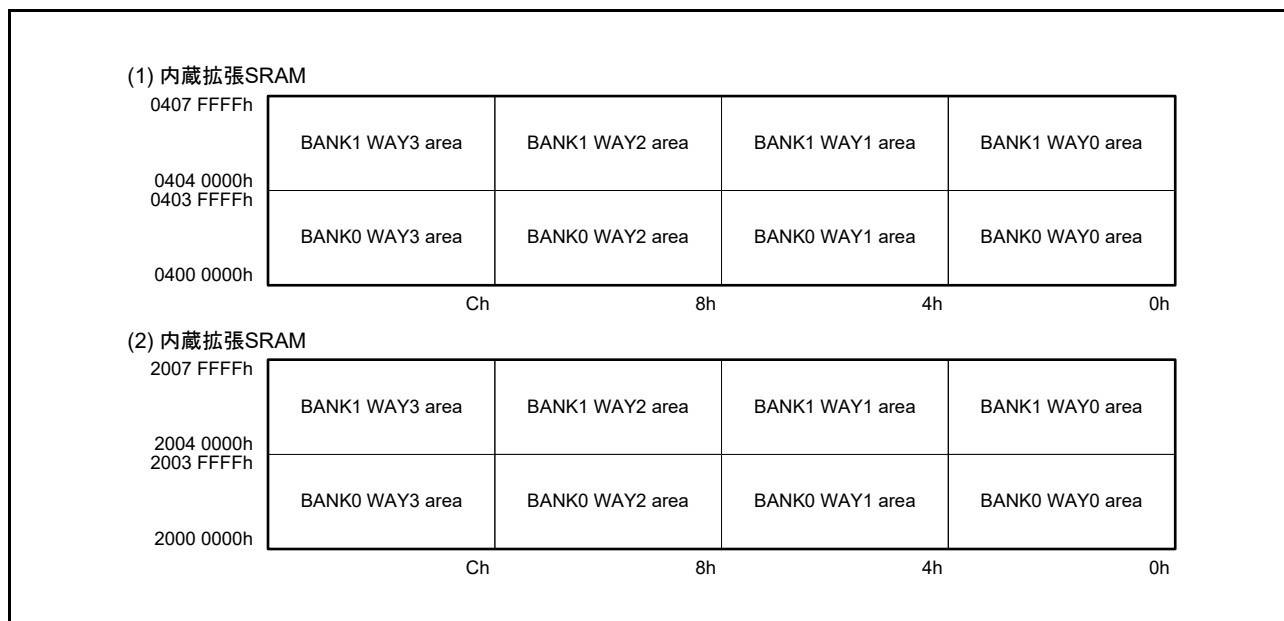


図 33.1 メモリ構成

33.3.2 ECC 誤り訂正機能

ECC 誤り訂正機能の有効／無効は RAMEDC レジスタにて 1M バイト空間で設定できます。ECC は、1 ビットのエラーは補正し、2 ビットのエラーは検出することができます。2 ビットのエラーは、エラーコントロールモジュール（ECM）にて要因の検出ができ、どのウエイで発生したかを RAMDBEST レジスタで確認することができます。また、2 ビットのエラー発生時の対象アドレスは RAMDBEAD レジスタで特定することができます。2 ビットエラーの発生回数は RAMDBECNT に保持されます。

33.3.3 ECC 回路セルフテスト

ウエイ単位で、ECC回路のセルフテストを行うことができます。対象の領域は、RAMEECレジスタでウエイごとに設定できます。ECC回路のセルフテスト時の手順例を以降に示します。

(1) ECC エラーインジェクション設定処理手順例

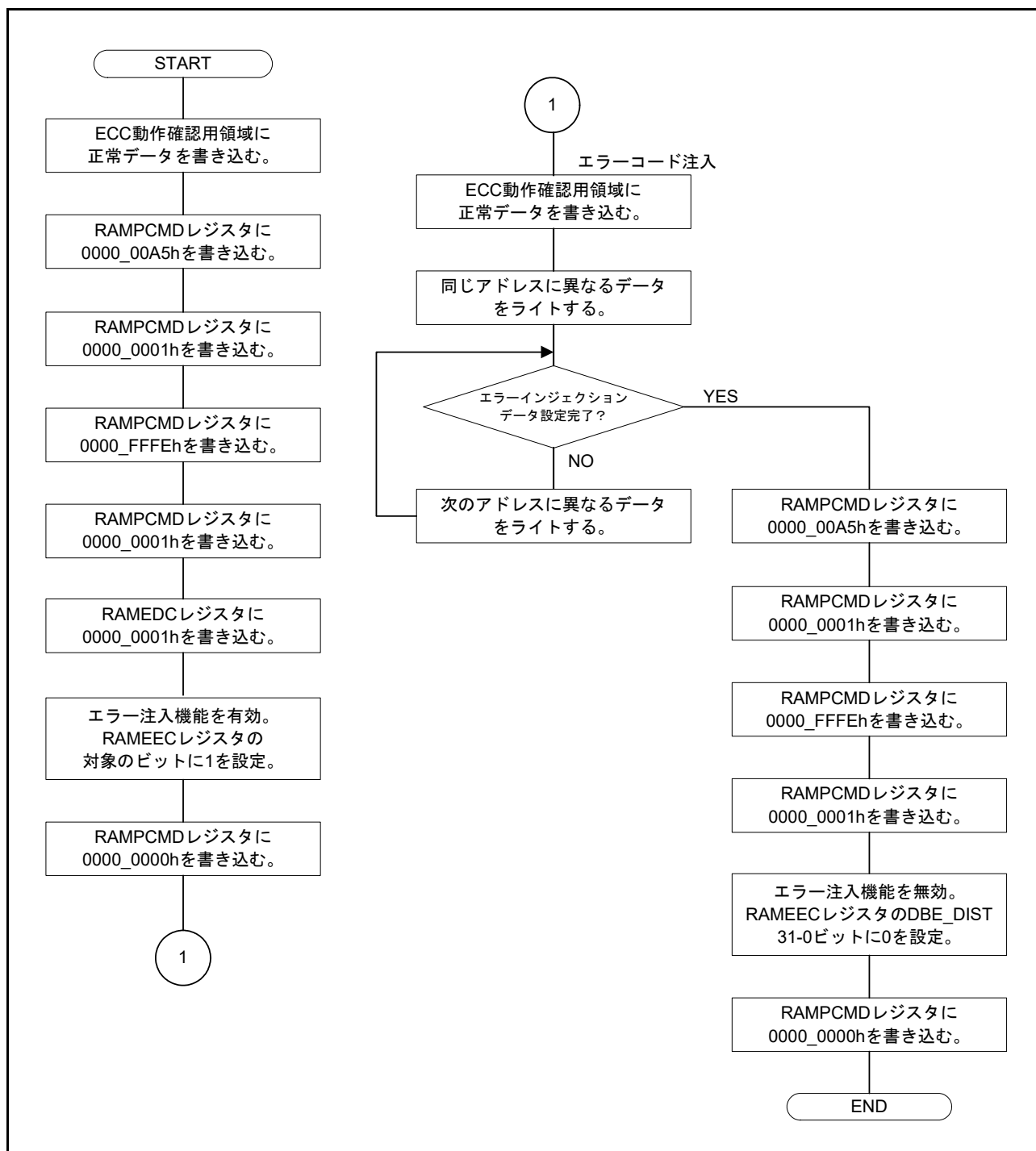


図 33.2 ECC エラーインジェクション設定手順例

(2) ECC 動作確認処理手順

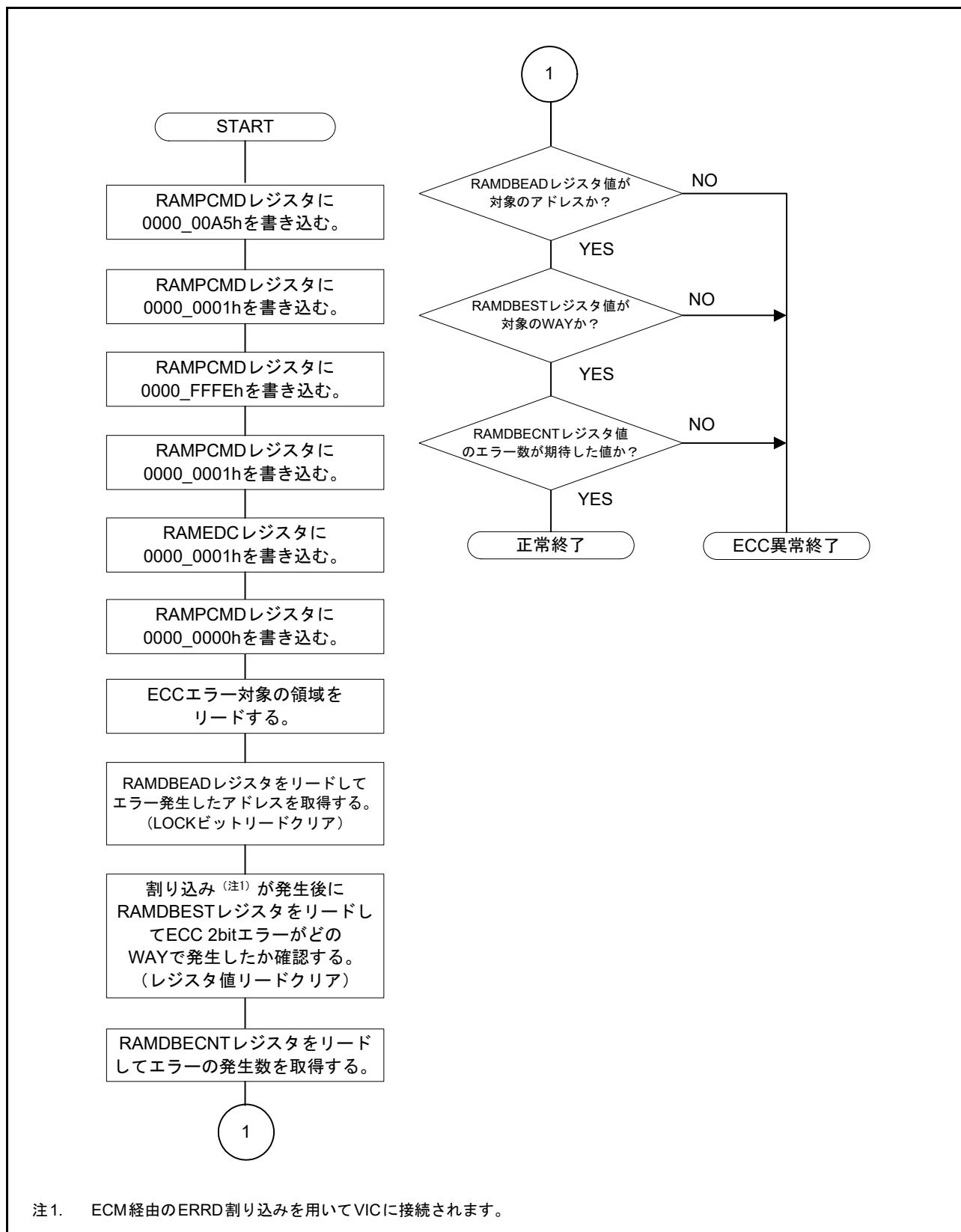


図 33.3 ECC 動作確認手順例

34. 電気的特性

34.1 絶対最大定格

表 34.1 絶対最大定格

条件 : VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V

項目	記号	定格値	単位
電源電圧 (I/O)	VCCQ33	-0.3 ~ +4.2	V
電源電圧 (1.2V I/O)	VCCQ12	-0.3 ~ +1.6	V
電源電圧 (内部)	VDD	-0.3 ~ +1.6	V
PLL 電源電圧	PLLVDD0, PLLVDD1	-0.3 ~ +1.6	V
入力電圧 (1.2V IOポート、5Vトレラント対応ポート (注1) 以外)	V _{in1}	-0.3 ~ VCCQ33 + 0.3 (注4)	V
入力電圧 (5Vトレラント対応ポート (注1))	V _{in2}	-0.3 ~ +5.5 (注3)	V
入力電圧 (1.2V IOポート)	V _{in3}	-0.3 ~ VCCQ12 + 0.3 (注5)	V
アナログ電源電圧	AVCC0, AVCC1 (注2)	-0.3 ~ +4.2	V
基準電源電圧	VREFH0, VREFH1	-0.3 ~ (AVCC0, AVCC1) + 0.3 (注4)	V
アナログ入力電圧	V _{AN}	-0.3 ~ (AVCC0, AVCC1) + 0.3 (注4)	V
動作温度 (ジャンクション温度)	T _j	-40 ~ +110	°C
保存温度	T _{stg}	-55 ~ +125	°C

【使用上の注意】

- IC 製品の出力 (出力状態の入出力端子) をほかの出力端子 (出力状態の入出力端子を含む)、および電源端子や GND 端子に直線接続しないでください。ただし、入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。
- 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。この定格値に近づかない状態で、製品をご使用ください。
DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

注1. ポートPC2, PC3, PC6, PC7は、5Vトレラント対応です。

注2. A/Dのユニット0を使用しない場合、AVCC0, VREFH0端子はVCCQ33に、AVSS0, VREFL0端子はVSSにそれぞれ接続し開放しないでください。同様に、A/Dのユニット1を使用しない場合、AVCC1, VREFH1端子はVCCQ33に、AVSS1, VREFL1端子はVSSにそれぞれ接続し開放しないでください。

注3. VCCQ33 = 3.0Vに満たない条件では、5Vトレラント対応ポートの定格値は3.6Vになります。

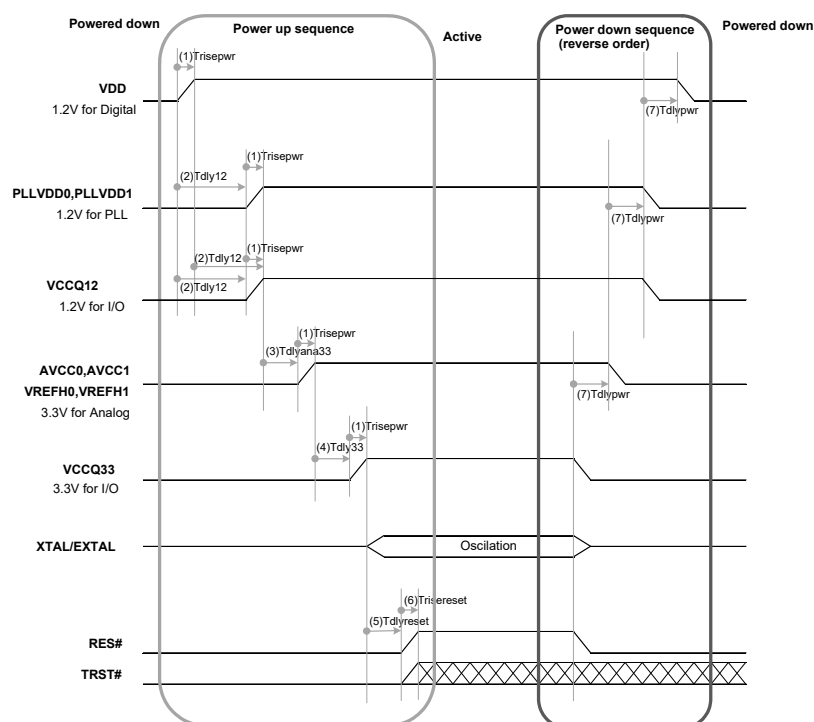
注4. 絶対最大定格 (4.2V) を超えないようにしてください。

注5. 絶対最大定格 (1.6V) を超えないようにしてください。

34.2 電源投入・切断シーケンス

各電源の投入・切断順序は図 34.1 に示した方法にしたがってください。

電源の投入時は、必ず TRST# 端子を Low レベル、かつ RES# 端子を Low レベルにしてください。それ以外の端子状態の場合、初期化が正常に行われません。



Timing

No.	Item	Value		
		min	typ	max
(1)	Trisepwr	100 μ s	—	50ms
(2)	Tdly12	0ms	—	100ms
(3)	Tdlyana33	0ms	—	100ms
(4)	Tdly33	0ms	—	100ms
(5)	Tdlyreset	10ms	—	—
(6)	Trisereset	—	—	150 μ s
(7)	Tdlypwr	0ms	—	—

注 1. 全電源およびリセット信号は、単調増加／単調減少で立ち上がる／立ち下がるようにしてください。

注 2. 電源にマイナス電圧を印可しないでください。

注 3. 電源投入前には必ずリセット端子 (TRST#/RES#) をアクティブ (Low) にしてください。

このことが守られない場合、端子の入出力状態が不定になる場合があります。また、電源の切断時も、このことが問題になる可能性がある場合は、リセット端子 (TRST#/RES#) をアクティブ (Low) にしてください。

注. 電源投入・遮断シーケンスを満たせない場合 (動作保証範囲以外) では、端子の入出力状態が不定になる場合があります。

図 34.1 電源投入・切断シーケンス

34.3 DC 特性

- 条件 : VDD = VCCQ12 = PLLVDD0 = PLLVDD1 = 1.14 ~ 1.26V,
VCCQ33 = AVCC0 = AVCC1 = 3.0 ~ 3.6V
VREFH0 = 2.5 ~ 3.6V (ただし AVCC0 \geq VREFH0) ,
VREFH1 = 2.5 ~ 3.6V (ただし AVCC1 \geq VREFH1) ,
VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V,
Tj = -40 ~ 110 °C

表 34.2 DC 特性 (1)

項目	記号	min	typ	max	単位	測定条件
電源電圧 (I/O)	VCCQ33	3.0	3.3	3.6	V	
電源電圧 (1.2V I/O)	VCCQ12	1.14	1.2	1.26	V	
電源電圧 (内部)	VDD	1.14	1.2	1.26	V	
PLL 電源電圧	PLLVDD0, PLLVDD1	1.14	1.2	1.26	V	
アナログ電源電圧	AVCC0, AVCC1	3.0	3.3	3.6	V	

表 34.3 DC 特性 (2) 【消費電流】

項目	電源種類	記号	typ	max	単位	測定条件
通常動作時	VDD	Vlcc	160	440	mA	Tj = -40 ~ 110 °C R7S910020 R7S910021 R7S910120 R7S910121
			220	511	mA	Tj = -40 ~ 110 °C R7S910022 R7S910023 R7S910122 R7S910123
	PLLVDD0 + PLLVDD1	PLLlcc	3.2	5	mA	
	VCCQ12	V12lcc	1 (注1) (注2)	—	mA	
	VCCQ33	V33lcc	19 (注1) (注2)	—	mA	
	AVCC0	AV0lcc	2	5	mA	A/D 変換時 (ユニット0)
	AVCC1	AV1lcc	0.7	1.5	mA	A/D 変換時 (ユニット1)
	VREFH0	VRF0lcc	0.07	0.2	mA	A/D 変換時 (ユニット0)
	VREFH1	VRF1lcc	0.07	0.2	mA	A/D 変換時 (ユニット1)
スタンバイモード+ 全モジュールストップ時 (参考値)	VDD	Vlcc	41	—	mA	
	PLLVDD0 + PLLVDD1	PLLlcc	3.2	—	mA	
	VCCQ12	V12lcc	0.1 (注1) (注2)	—	mA	
	VCCQ33	V33lcc	0.35 (注1) (注2)	—	mA	
	AVCC0	AV0lcc	0.64	—	μ A	
	AVCC1	AV1lcc	0.32	—	μ A	
	VREFH0	VRF0lcc	0.24	—	μ A	
VREFH1	VRF1lcc	0.24	—	μ A		

注1. 参考値です。実際の動作電流はシステムに大きく依存します (I/Oの負荷による波形なまり、トグル頻度等)。必ずシステムでの実測を行ってください。

注2. V33lcc + V12lccは 80mA以下にしてください (表34.7の ΣI_{OH})。

表 34.4 DC特性 (3) (注1)

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	5Vトレラント対応端子以外	V_{IH1}	2.4	—	$V_{CCQ33} + 0.3$	V	
		V_{IL1}	-0.3	—	0.8	V	
		ΔV_{T1}	$V_{CCQ33} \times 0.05$	—	—	V	
	5Vトレラント対応端子 (注2)	V_{IH2}	$V_{CCQ33} \times 0.7$	—	5.3 (注3)	V	
		V_{IL2}	-0.3	—	$V_{CCQ33} \times 0.3$	V	
		ΔV_{T2}	$V_{CCQ33} \times 0.05$	—	—	V	
入力Highレベル電圧 (シュミットトリガ入力端子を除く)		V_{IH3}	2.4	—	$V_{CCQ33} + 0.3$	V	
入力Lowレベル電圧 (シュミットトリガ入力端子を除く)		V_{IL3}	-0.3	—	0.8	V	
出力Highレベル電圧	5Vトレラント対応端子以外	V_{OH}	$V_{CCQ33} - 0.5$	—	—	V	$I_{OH} = -2\text{mA}$
出力Lowレベル電圧	5Vトレラント対応端子以外	V_{OL1}	—	—	0.4	V	$I_{OL1} = 2\text{mA}$
	5Vトレラント対応端子 (注2)	V_{OL2}	—	—	0.4	V	$I_{OL2} = 3\text{mA}$
			—	—	0.6	V	$I_{OL2} = 6\text{mA}$
入力リーク電流		$ I_{in} $	—	—	1.0	μA	$V_{in1} = V_{in2} = 0\text{V}$ $V_{in1} = V_{in2} = V_{CCQ33}$
スリーステートリーク電流 (オフ状態)	5Vトレラント対応端子以外の入出力、出力端子	I_{Tsil}	—	—	1.0	μA	$V_{in1} = 0\text{V}$ $V_{in1} = V_{CCQ33}$
	5Vトレラント対応端子 (注2)		—	—	5.0	μA	$V_{in2} = 0\text{V}$ $V_{in2} = V_{CCQ33}$
入力プルアップMOS電流/抵抗	ポート P90 ~ P97	I_{pu1}	-300	—	-30	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = 0\text{V}$
		R_{pu1}	10	—	120	k Ω	
	上記以外の端子 (注4)	I_{pu2}	-120	—	-7	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = 0\text{V}$
		R_{pu2}	25	—	515	k Ω	
入力プルダウンMOS電流/抵抗	ポート P90 ~ P97	I_{pd1}	30	—	300	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = V_{CCQ33}$
		R_{pd1}	10	—	120	k Ω	
	上記以外の端子 (注4)	I_{pd2}	7	—	120	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = V_{CCQ33}$
		R_{pd2}	25	—	515	k Ω	
端子容量	全入出力、入力端子	C_{in}	—	—	10	pF	

注1. ポートP50～P56は対象外です。

注2. ポートPC2、PC3、PC6、PC7は、5Vトレラント対応です。

注3. V_{CCQ33} が3.00V未満のときは、5Vトレラント対応端子に対して3.6V以上の電圧を印加しないでください。

注4. 5Vトレラント対応端子は対象外です。

表34.5 1.2V端子 DC特性 (注1)

項目	記号	min	typ	max	単位	測定条件
入力Highレベル電圧	V_{IH12}	0.84	—	$V_{CCQ12} + 0.3$	V	
入力Lowレベル電圧	V_{IL12}	-0.3	—	0.36	V	
入力リーク電流	I_{IN12}	-100	—	100	μ A	
出力Highレベル電圧 (注2)	V_{OH12}	1.0	—	—	V	$I_{OH} = -100\mu$ A
出力Lowレベル電圧 (注2)	V_{OL12}	—	—	0.2	V	$I_{OL} = 100\mu$ A
出力Highレベル電流 (注2)	I_{OH12}	—	—	-2	mA	$V_{OH} = 1.0$ V
出力Lowレベル電流 (注2)	I_{OL12}	4	—	—	mA	$V_{OL} = 0.2$ V
ブルアップMOS電流/抵抗	I_{pu12}	—	-9	—	μ A	$V_{CCQ12} = 1.2$ V $V_{in1} = V_{in2} = 0$ V
	R_{pu12}	—	133	—	k Ω	
ブルダウンMOS電流/抵抗	I_{pd12}	—	7.5	—	μ A	$V_{CCQ12} = 1.2$ V $V_{in1} = V_{in2} = V_{CCQ12}$
	R_{pd12}	—	160	—	k Ω	
端子容量	C_{in12}	—	—	10	pF	

注1. P50, P51, P52, P53, P54, P55, P56端子

注2. P50, P51, P52, P53, P54, P55, P56端子のDSCRレジスタを“11” (1.2VIO駆動出力) に設定時

表34.6 12ビットA/Dコンバータ DC特性

項目	記号	min	typ	max	単位	測定条件
アナログ入力電圧	アナログ入力端子 AN00n (n = 0~7)	V_{AN00}	VREFL0	—	VREFH0	V
	アナログ入力端子 AN10n (n = 0~7)	V_{AN10}	VREFL1	—	VREFH1	V

表 34.7 出力許容電流

項目		記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	5Vトレラント対応端子以外	I_{OL1}	—	—	2.0	mA
	5Vトレラント対応端子	I_{OL2}	—	—	3.0	mA
出力Lowレベル許容電流 (1端子あたりの最大値)	5Vトレラント対応端子以外	I_{OL1}	—	—	4.0	mA
	5Vトレラント対応端子	I_{OL2}	—	—	6.0	mA
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	—	—	80	mA
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子	I_{OH}	—	—	-2.0	mA
出力Highレベル許容電流 (1端子あたりの最大値)	全出力端子	I_{OH}	—	—	-4.0	mA
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}	—	—	-80	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 34.7 の値を超えないようにしてください。

34.4 AC 特性

- 条件 : $VDD = VCCQ12 = PLLVDD0 = PLLVDD1 = 1.14 \sim 1.26V$,
 $VCCQ33 = AVCC0 = AVCC1 = 3.0 \sim 3.6V$
 $VREFH0 = 2.5 \sim 3.6V$ (ただし $AVCC0 \geq VREFH0$) ,
 $VREFH1 = 2.5 \sim 3.6V$ (ただし $AVCC1 \geq VREFH1$) ,
 $VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V$,
 $T_j = -40 \sim 110 \text{ }^\circ\text{C}$

表 34.8 動作周波数

項目		記号	min	max	単位
動作周波数	CPUクロック (CPUCLK) 112ピンTFBGA	f	150	450	MHz
	システムクロック (ICLK)		150		
	周辺モジュールクロック (PCLKA)		150		
	周辺モジュールクロック (PCLKB)		75		
	周辺モジュールクロック (PCLKD)		75		
	周辺モジュールクロック (PCLKE)		18.75	75	
	周辺モジュールクロック (PCLKF)		7.5	60	
	周辺モジュールクロック (PCLKG)		7.5	60	
	周辺モジュールクロック (PCLKH)		60		
	高速シリアルクロック (SERICKL)		120	150	

- 1.2V IO クロック周期
出力負荷条件 : $C = 200\text{pF}$

項目	記号	min	max	単位	測定条件
出カクロック周期 (注1)	t_{prd}	250	—	ns	図 34.2

注1. P50, P51, P52, P53, P54, P55, P56端子のDSCRレジスタを“11”(1.2VIO駆動出力)に設定時

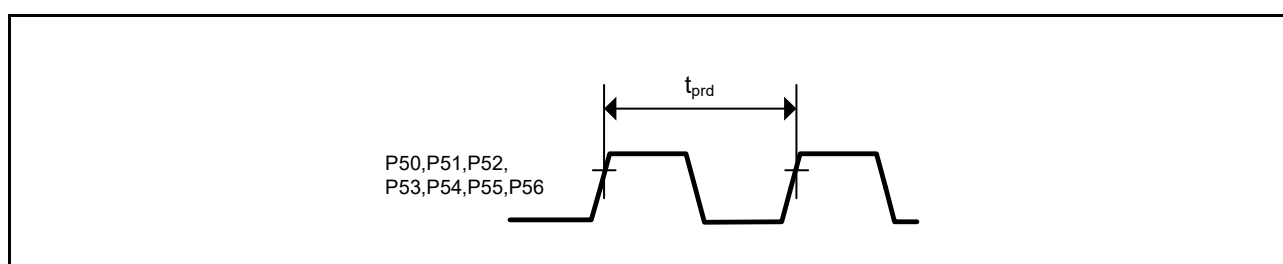


図 34.2 1.2V IO クロック周期

34.4.1 クロックタイミング

表34.9 XTALクロックタイミング

項目	記号	min	typ	max	単位
XTALクロック発振器出力周期 (注1)	$t_{XTALcyc}$	40.00 ± 50ppm			ns

注1. XTALクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

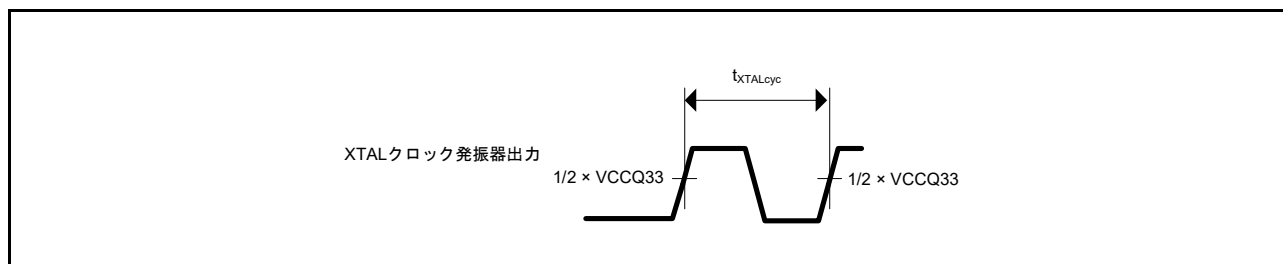


図 34.3 XTAL クロック発振器出力タイミング

表34.10 LOCOクロックタイミング

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	4.62	4.17	3.79	μs	
LOCOクロック発振周波数	f_{LOCO}	216	240	264	kHz	
LOCOクロック発振安定待機時間	t_{LOCOWT}	—	—	40	μs	図34.4

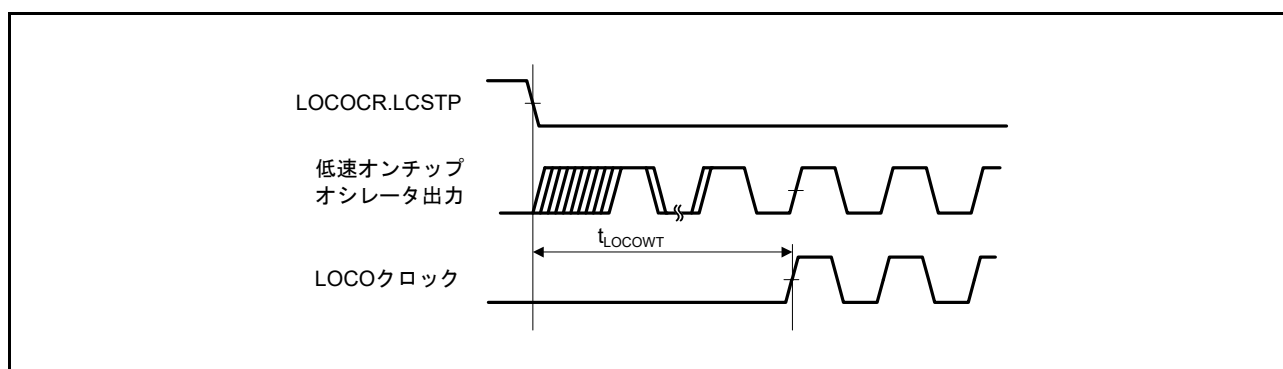


図 34.4 LOCO クロック発振開始タイミング

34.4.2 リセット、割り込みタイミング

表34.11 リセット、割り込みタイミング

項目		記号	Min (注1)	typ	max	単位	測定条件
RES#パルス幅	電源投入時	$T_{dlyreset}$	10	—	—	ms	図 34.5
	上記以外	$T_{dlyreset2}$	1	—	—	ms	
RES#立ち上がり時間		$T_{risereset}$	—	—	150	μ s	
TRST#パルス幅	電源投入時	$T_{dlyreset}$	10	—	—	ms	
	上記以外	$T_{dlyreset2}$	1	—	—	ms	
TRST#立ち上がり時間		$T_{risereset}$	—	—	150	μ s	
NMIパルス幅		t_{NMIW}	$t_{cyc} \times 2$	—	—	ns	図 34.6
IRQパルス幅		t_{IRQW}	$t_{cyc} \times 2$	—	—	ns	図 34.7

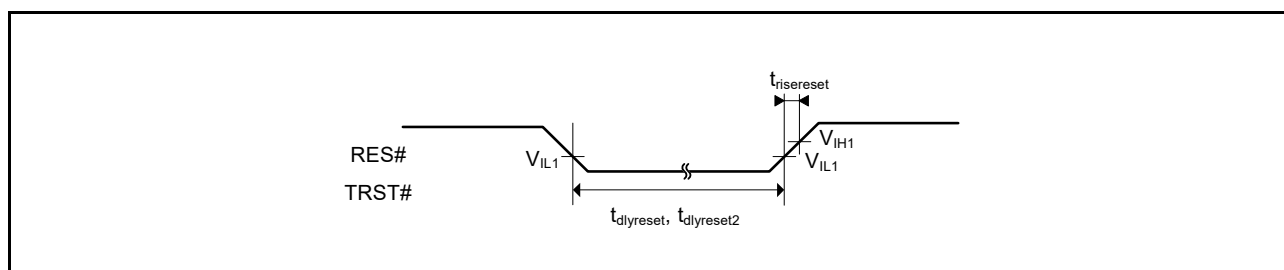
注1. t_{cyc} : ICLKの周期

図 34.5 リセット入力タイミング

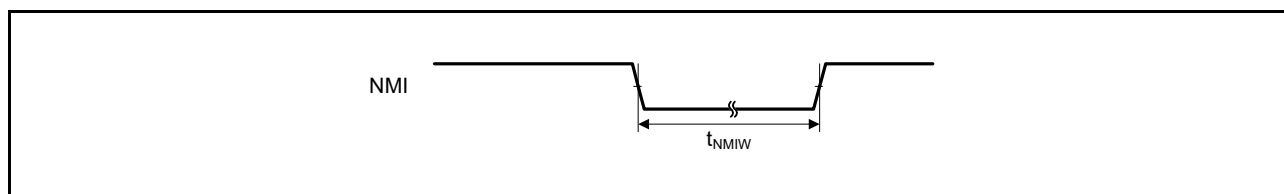


図 34.6 NMI 割り込み入力タイミング

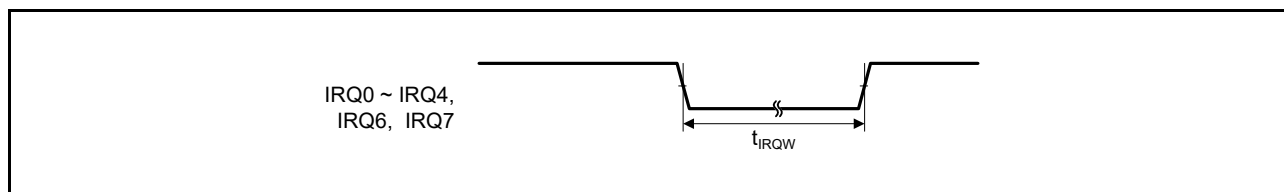


図 34.7 IRQ 割り込み入力タイミング

34.4.3 内蔵周辺モジュールタイミング

34.4.3.1 I/Oポートタイミング

表 34.12 I/Oポートタイミング

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図 34.8

注1. t_{PBcyc} : PCLKBの周期

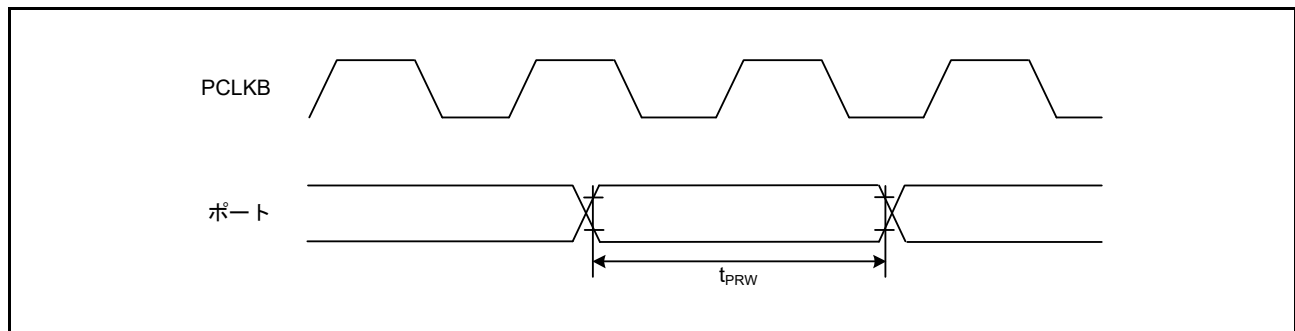


図 34.8 I/Oポート入力タイミング

34.4.3.2 TPUa タイミング

表34.13 TPUa タイミング

項目		記号	min	max	単位 (注1)	測定条件
TPUa	入力キャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{pDcyc}	図 34.9
		両エッジ指定	2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} 、 t_{TCKWL}	1.5	—	
両エッジ指定		2.5		—		
位相計数モード		2.5		—		

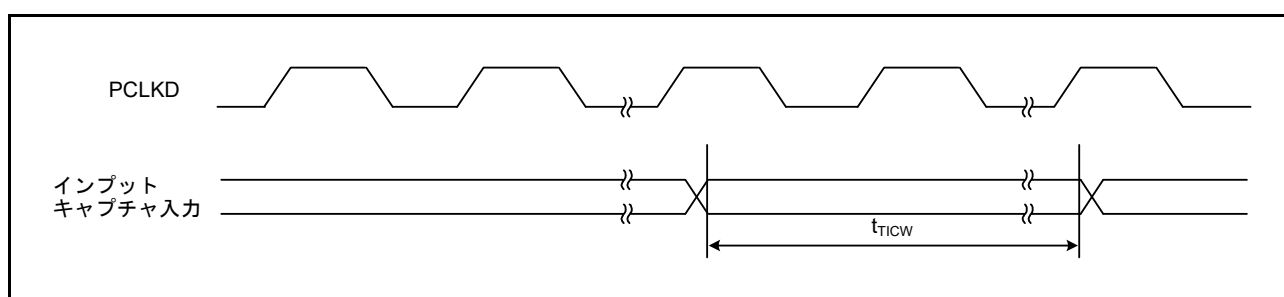
注1. t_{pDcyc} : PCLKDの周期

図 34.9 TPUa 入力キャプチャ入力タイミング

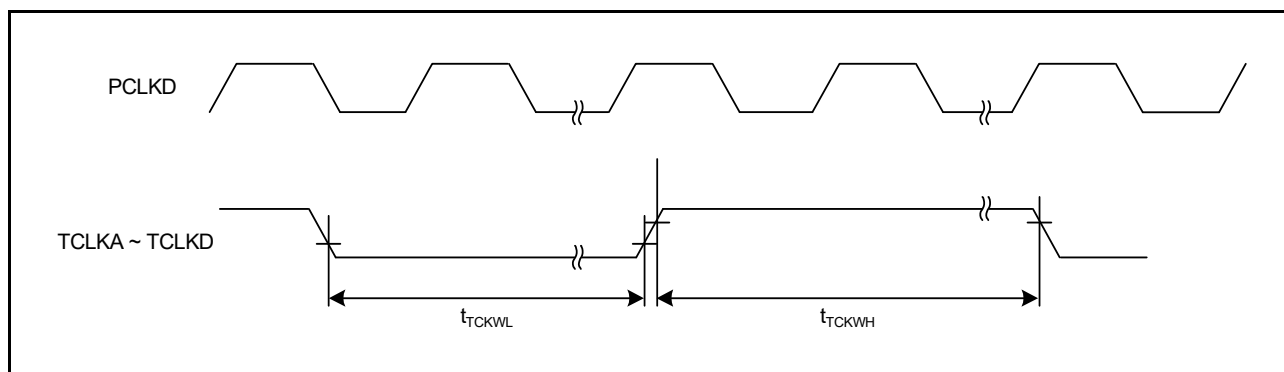


図 34.10 TPUa クロック入力タイミング

34.4.3.3 CMTW タイミング

表34.14 CMTWタイミング

項目		記号	min	max	単位 (注1)	測定条件
CMTW	入力キャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{pDcyc}	図34.11
		両エッジ指定	2.5	—		

注1. t_{pDcyc} : PCLKDの周期

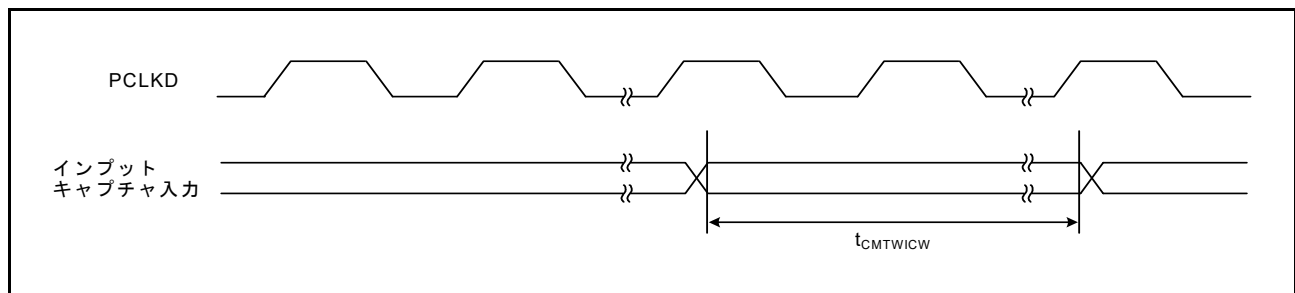


図 34.11 CMTW 入力キャプチャ入力タイミング

34.4.3.4 A/Dコンバータトリガタイミング

表34.15 A/Dコンバータトリガタイミング

項目		記号	min	max	単位 (注1)	測定条件
A/Dコンバータ	A/Dコンバータトリガ 入力パルス幅	ADTRG0	1.5	—	t_{PFcyc}	図34.12
		ADTRG1	1.5		t_{PGcyc}	図34.13

注1. t_{PFcyc} : PCLKFの周期、 t_{PGcyc} : PCLKGの周期

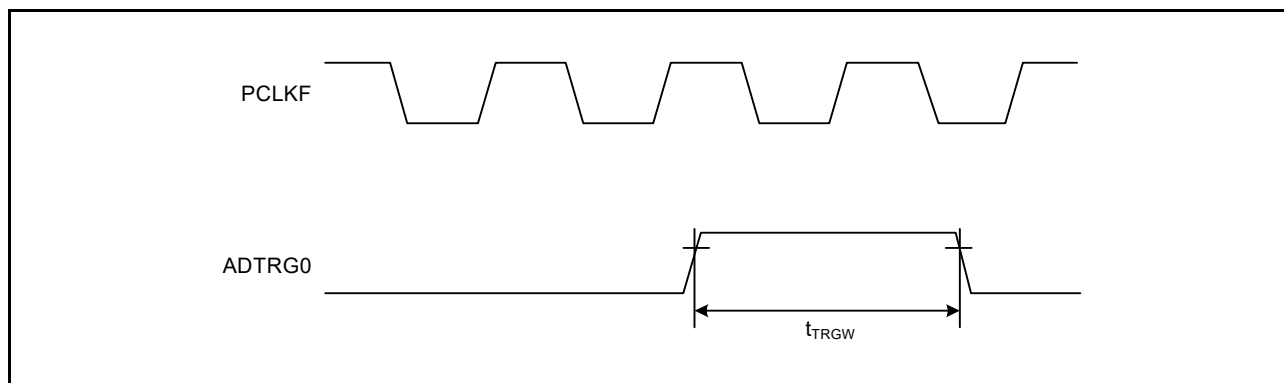


図 34.12 A/Dコンバータトリガ入力タイミング (ADTRG0)

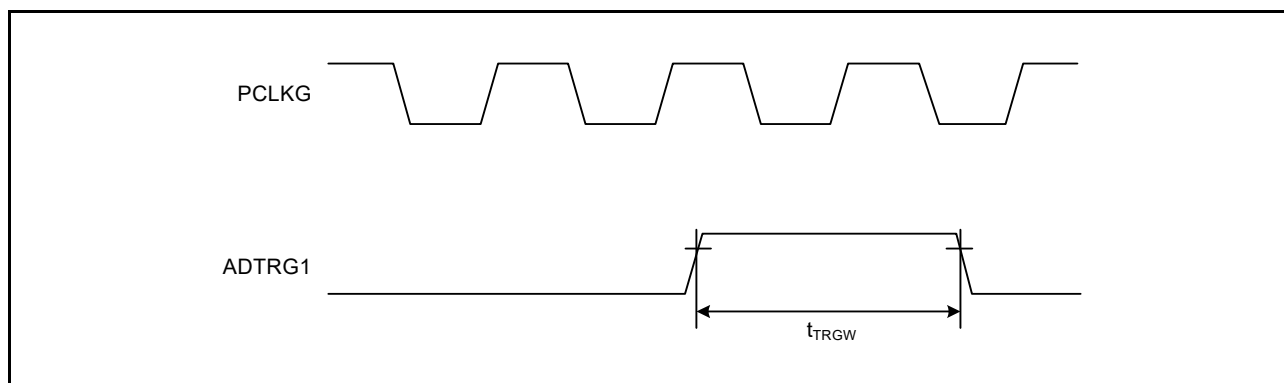


図 34.13 A/Dコンバータトリガ入力タイミング (ADTRG1)

34.4.3.5 SCIFA タイミング

表 34.16 SCIFA タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件	
SCIFA	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{SEcyc}	図 34.14
		クロック同期		12	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	出力クロックサイクル	調歩同期 (注2)	t_{Scyc}	8	—	t_{SEcyc}	
		クロック同期		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	9	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	9	ns	
送信データ遅延時間	内部クロック	t_{TXD}	-10	10	ns	図 34.15	
	外部クロック		$3 \times t_{SEcyc}$	$4 \times t_{SEcyc} + 20$			
受信データセットアップ時間	内部クロック	t_{RXS}	$3 \times t_{SEcyc} + 20$	—	ns		
	外部クロック		$t_{SEcyc} + 10$	—			
受信データホールド時間	内部クロック	t_{RXH}	$-3 \times t_{SEcyc}$	—	ns		
	外部クロック		$2 \times t_{SEcyc} + 10$	—			

注1. t_{SEcyc} : SERICLKの周期

注2. SEMR.ABCS0ビット=1かつSEMR.BGDMビット=1の時

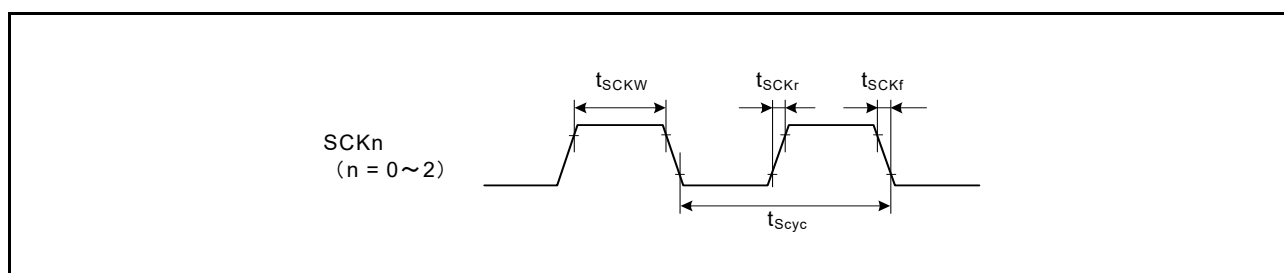


図 34.14 SCK クロック入力タイミング

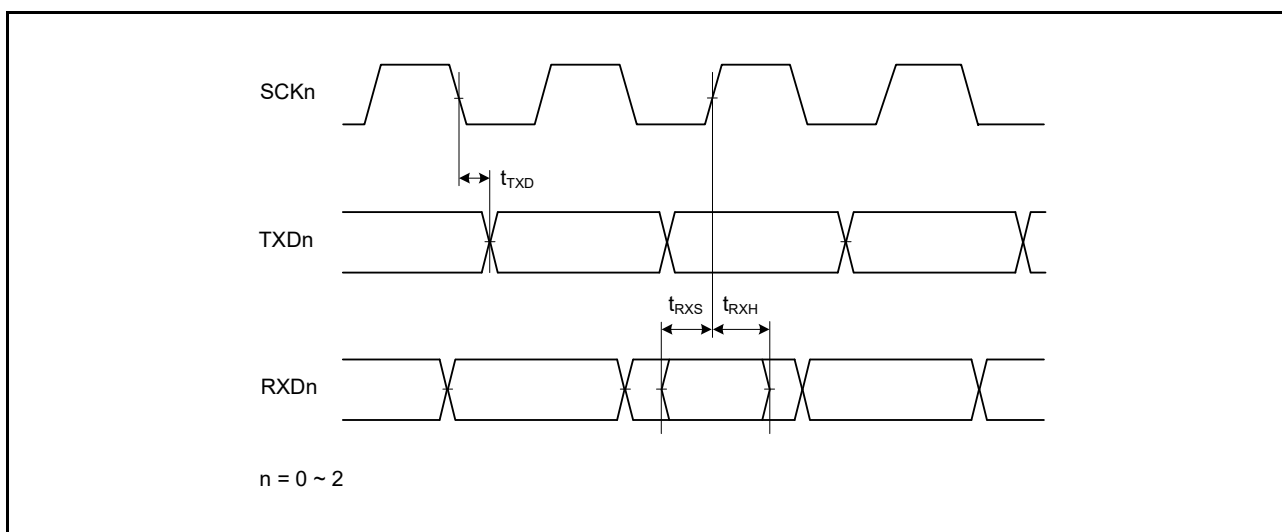


図 34.15 SCIFA 入出力タイミング/クロック同期式モード

34.4.3.6 RSPIa タイミング

表34.17 RSPIa タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号 (注1)	Min (注1)	Max (注1)	単位 (注1)	測定条件					
RSPIa	RSPCK クロック サイクル	マスタ	t_{SPcyc}	4	4096	t_{SEcyc}	図 34.16				
		スレーブ (注4)		8	4096						
	RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns		図 34.17 ~ 図 34.20			
		スレーブ		0.4	—	t_{SPcyc}					
	RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns			図 34.17 ~ 図 34.20		
		スレーブ		0.4	—	t_{SPcyc}					
	RSPCK クロック 立ち上がり/ 立ち下がり時間	出力	t_{SPCKr}	—	9	ns				図 34.17 ~ 図 34.20	
		入力	t_{SPCKf}	—	10	ns					
	データ入力セット アップ時間	マスタ	t_{SU}	6	—	ns					図 34.17 ~ 図 34.20
		スレーブ		$8 - t_{SEcyc}$	—						
	データ入力ホールド 時間	マスタ	t_H	t_{SEcyc}	—	ns	図 34.17 ~ 図 34.20				
		スレーブ		$8 + 2 \times t_{SEcyc}$	—						
	SSL セットアップ 時間	マスタ	t_{LEAD}	$N \times t_{SpCyc} - 3$ (注2)	$N \times t_{SpCyc} + 3$ (注2)	ns		図 34.17 ~ 図 34.20			
		スレーブ		4	—	t_{SEcyc}					
	SSL ホールド時間	マスタ	t_{LAG}	$N \times t_{SpCyc} - 3$ (注3)	$N \times t_{SpCyc} + 3$ (注3)	ns			図 34.17 ~ 図 34.20		
		スレーブ		4	—	t_{SEcyc}					
	データ出力遅延時間	マスタ	t_{OD}	—	6	ns				図 34.17 ~ 図 34.20	
		スレーブ		—	$3 \times t_{SEcyc} + 20$ (注4)						
	データ出力ホールド 時間	マスタ	t_{OH}	0	—	ns					図 34.17 ~ 図 34.20
		スレーブ		0	—						
連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{SEcyc}$	$8 \times t_{SPcyc} + 2 \times t_{SEcyc}$	ns	図 34.17 ~ 図 34.20					
	スレーブ		$4 \times t_{SEcyc}$	—							
MOSI、MISO 立ち 上がり/立ち下がり 時間	出力	t_{Dr} 、 t_{Df}	—	9	ns		図 34.17 ~ 図 34.20				
	入力		—	10	ns						
SSL 立ち上がり/ 立ち下がり時間	出力	t_{SSLr} 、 t_{SSLf}	—	9	ns			図 34.17 ~ 図 34.20			
	入力		—	10	ns						
スレーブアクセス時間		t_{SA}	—	4	t_{SEcyc}				図 34.19、 図 34.20		
スレーブ出力開放時間		t_{REL}	—	3	t_{SEcyc}						

注1. t_{SEcyc} : SERICLKの周期注2. $N = SPCKD$ の設定値 + 1 (1...8)注3. $N = SSLND$ の設定値 + 1 (1...8)

注4. ビットレートの設定によっては、データ出力遅延時間がRSPCKクロックサイクルの半周期を超える場合があります。マスタの電気的特性を満たせるよう注意してください。

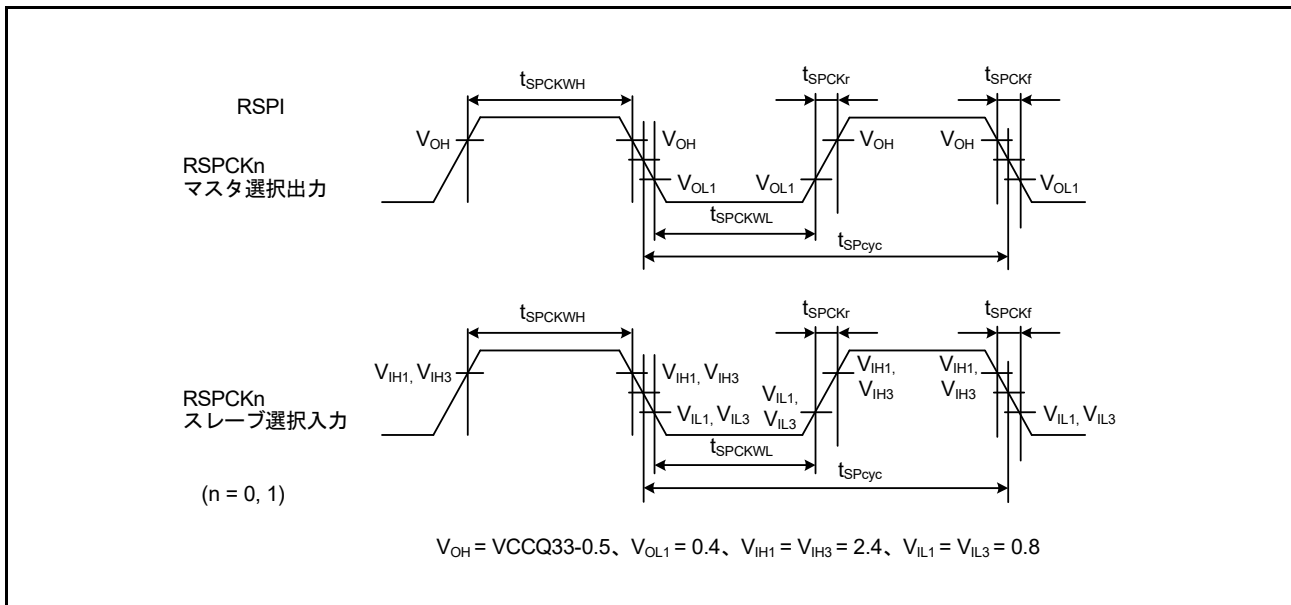


図 34.16 RSPIa クロックタイミング

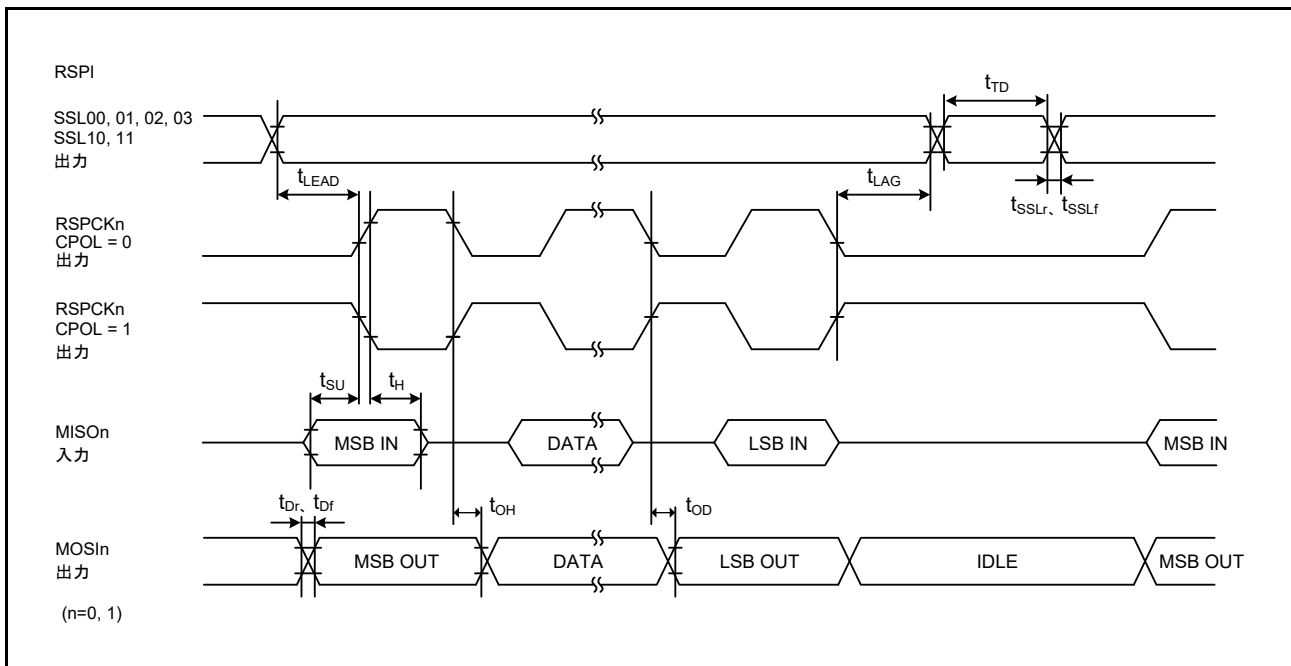


図 34.17 RSPIa タイミング (マスタ、CPHA = 0)

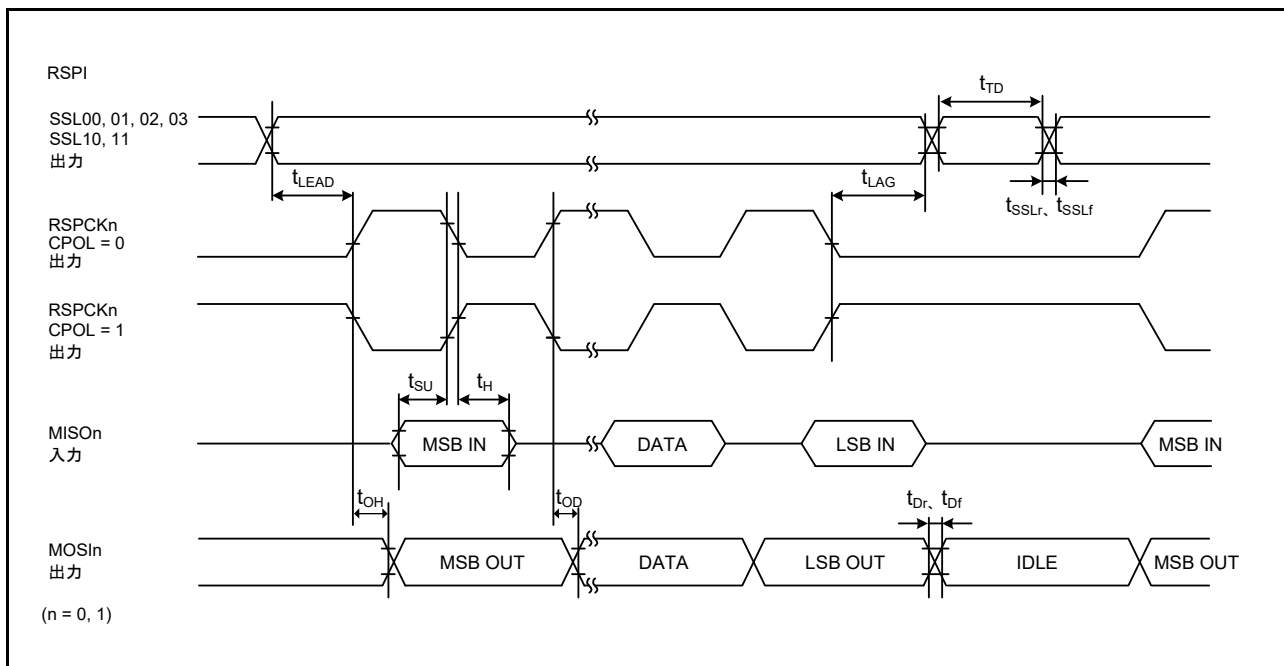


図 34.18 RSPIa タイミング (マスタ、CPHA = 1)

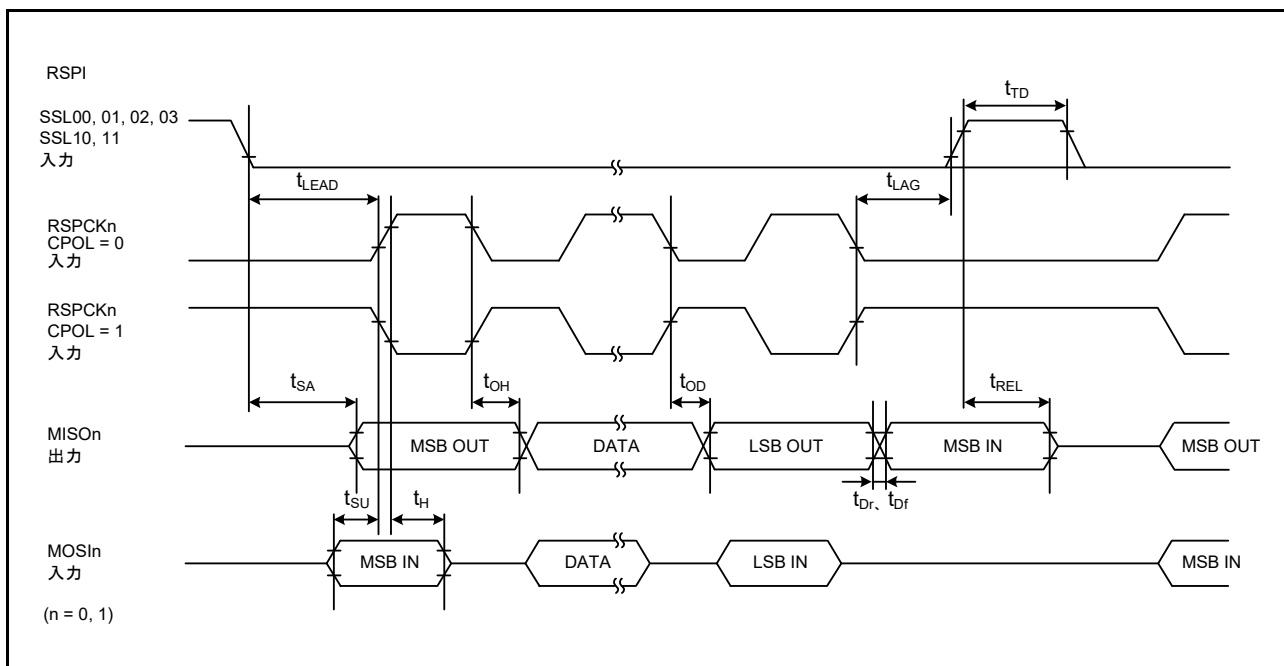


図 34.19 RSPI タイミング (スレーブ、CPHA = 0)

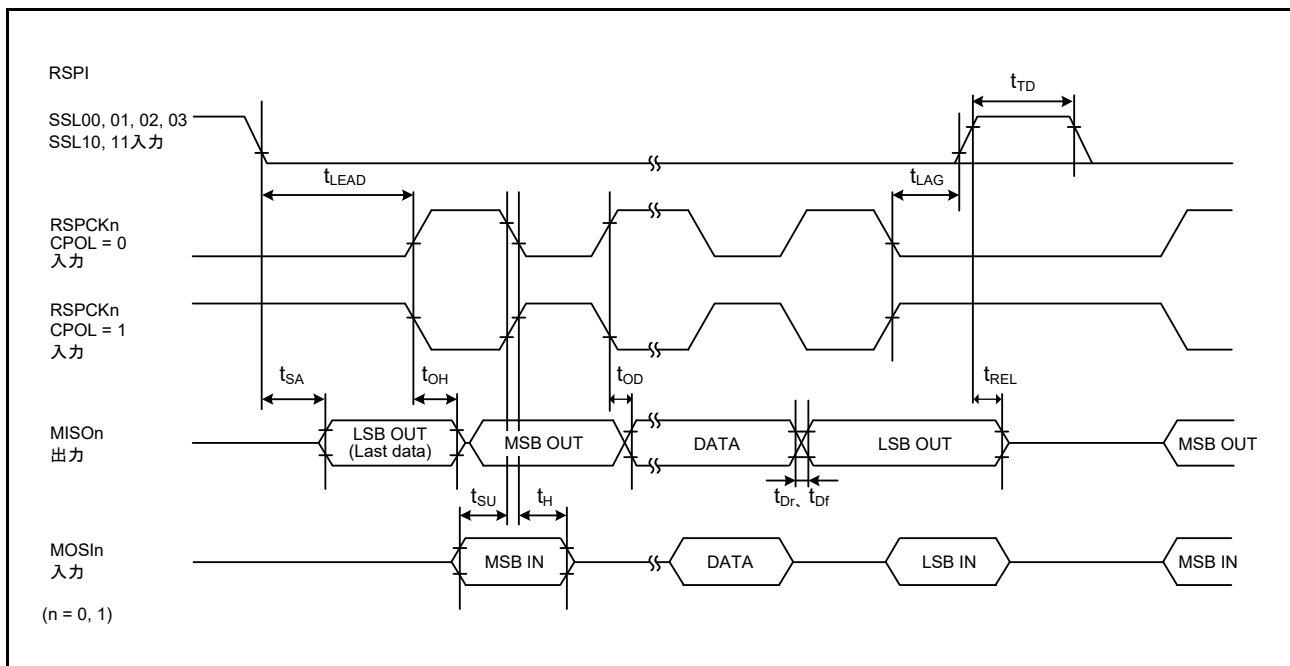


図 34.20 RSPI タイミング (スレーブ、CPHA = 1)

34.4.3.7 SPIBSC タイミング

表 34.18 SPIBSC タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min	max	単位 (注1)	測定条件	
SPIBSC	SPBCLKクロックサイクル	t_{SPBcyc}	2	4080	t_{PAcyc}	図 34.21	
	SPBCLKハイレベルパルス幅	t_{SPBWH}	0.45	0.55	t_{SPBcyc}		
	SPBCLKロウレベルパルス幅	t_{SPBWL}	0.45	0.55	t_{SPBcyc}		
	データ入力セットアップ時間	t_{SU}	3.5	—	ns		図 34.22、 図 34.23、 図 34.24
	データ入力ホールド時間	t_{H}	0.5	—	ns		
	SSLセットアップ時間	t_{LEAD}	$1 \times t_{SPBcyc} - 3$	$8 \times t_{SPBcyc}$	ns		
	SSLホールド時間	t_{LAG}	$1.5 \times t_{SPBcyc}$	$8.5 \times t_{SPBcyc} + 3$	ns		
	連続転送遅延時間	t_{TD}	1	8	t_{SPBcyc}		
	データ出力遅延時間	t_{OD}	—	3.6	ns		
	データ出力ホールド時間	t_{OH}	-1	—	ns		
	データ出力バッファオン時間	t_{BON}	—	3.6	ns	図 34.25、 図 34.26、 図 34.27	
	データ出力バッファオフ時間	t_{BOFF}	-7	0	ns		

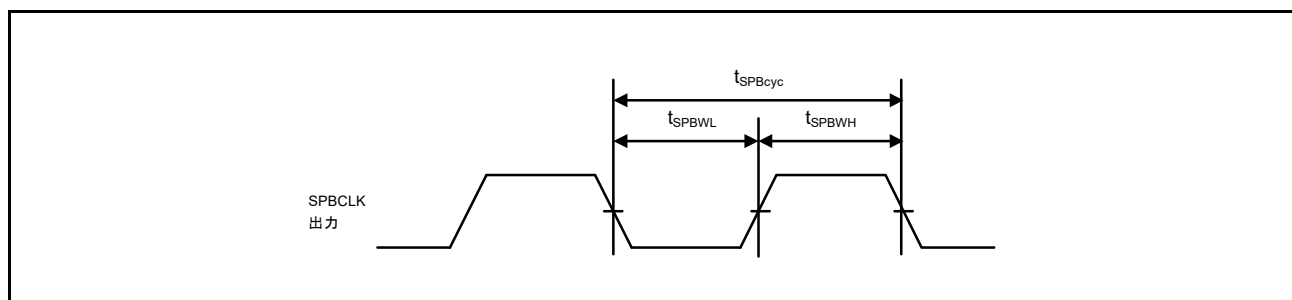
注1. t_{PAcyc} : PCLKAの周期

図 34.21 SPIBSC クロックタイミング

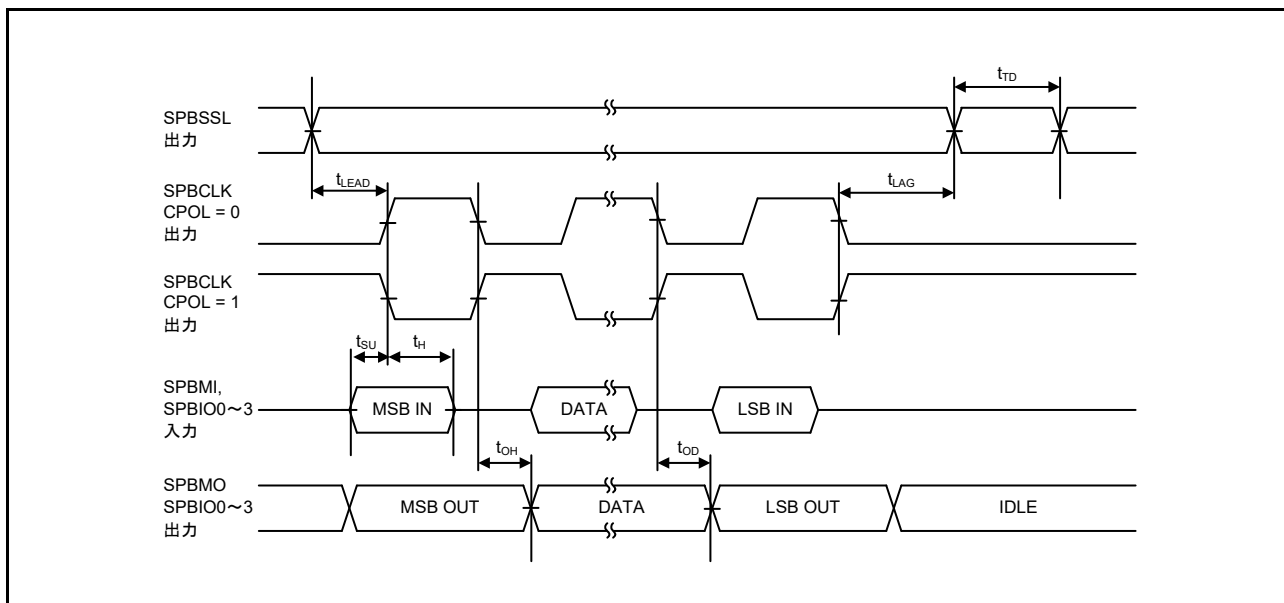


図 34.22 SPIBSC 送受信タイミング (CPHAT = 0, CPHAR = 0)

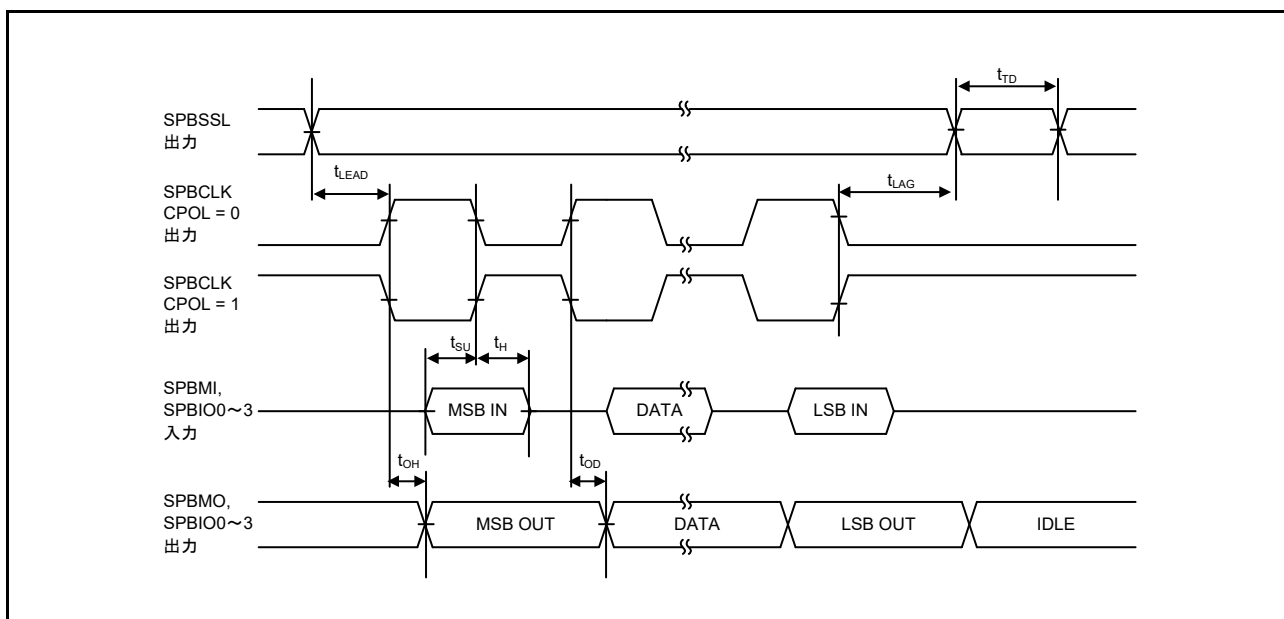


図 34.23 SPIBSC 送受信タイミング (CPHAT = 1, CPHAR = 1)

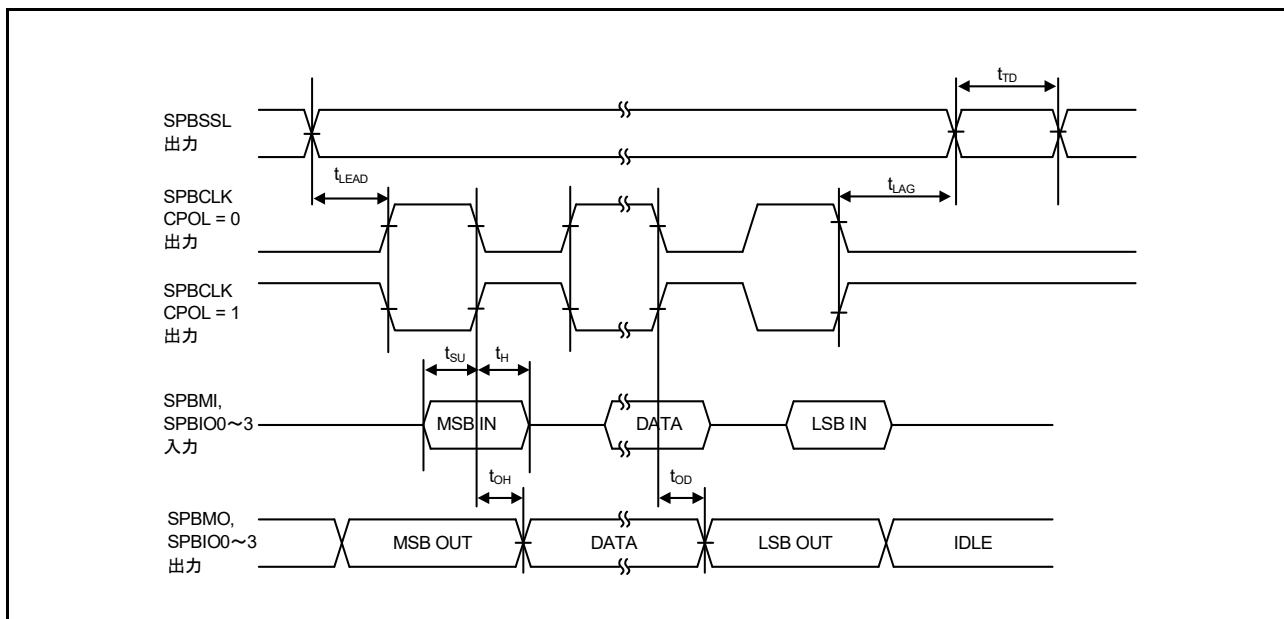


図 34.24 SPIBSC 送受信タイミング (CPHAT = 0, CPHAR = 1)

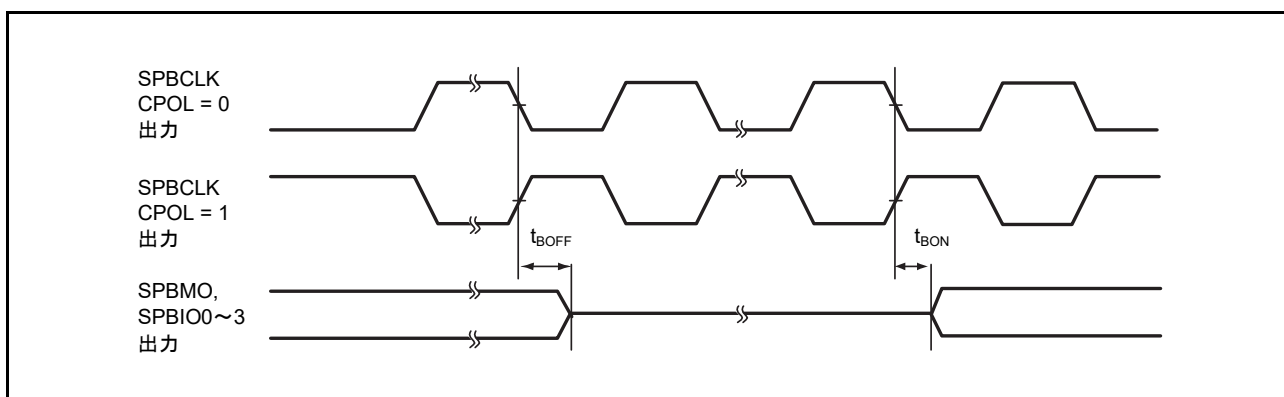


図 34.25 SPIBSC バッファオン/オフタイミング (CPHAT = 0, CPHAR = 0)

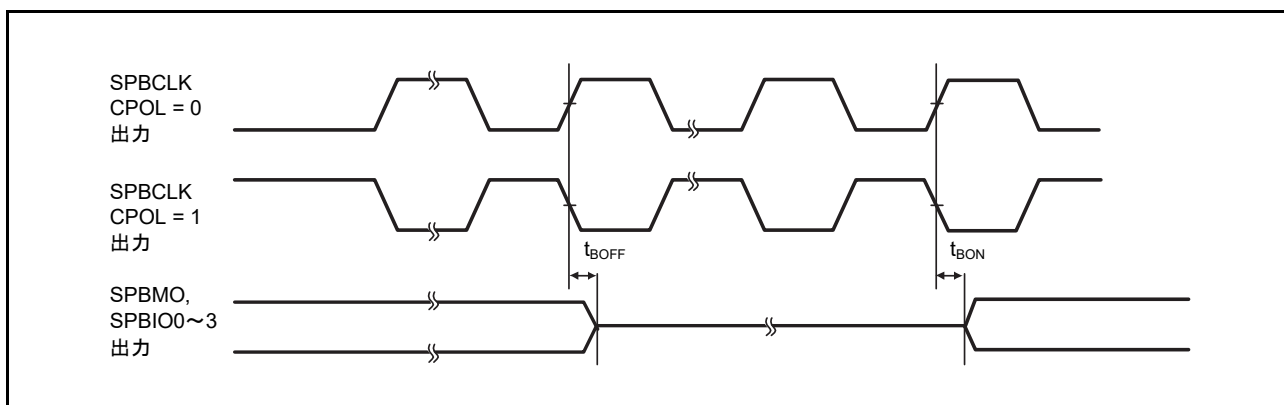


図 34.26 SPIBSC バッファオン/オフタイミング (CPHAT = 1, CPHAR = 1)

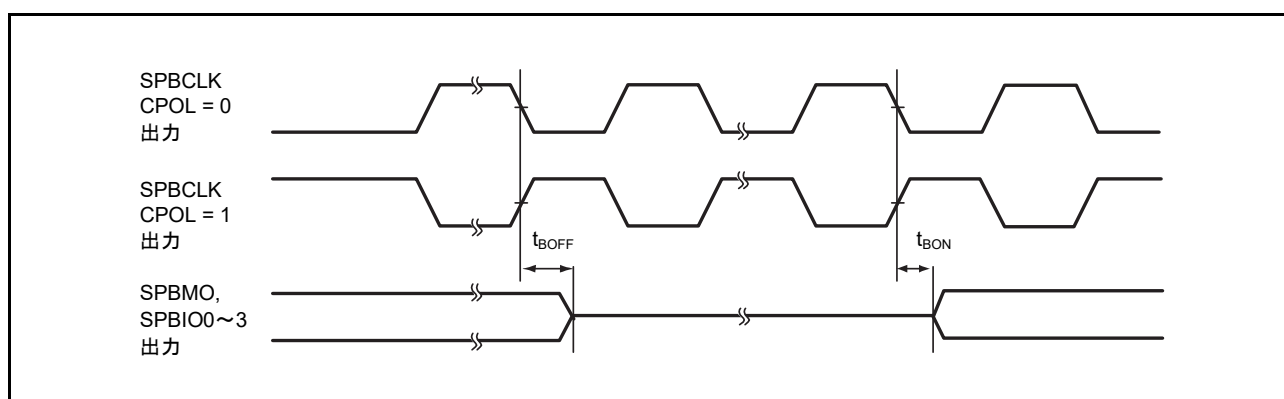


図 34.27 SPIBSC バッファオン/オフタイミング (CPHAT = 0, CPHAR = 1)

34.4.3.8 RIICa タイミング

表 34.19 RIICa タイミング

出力負荷条件 : $V_{OL2} = 0.4V$ 、 $I_{OL2} = 3mA$

項目	記号	min (注2)	max (注2)	単位 (注1)	測定条件	
RIICa (Standard-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図 34.28
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIICa (Fast-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{sr}	— (注4)	300	ns	
	SCL、SDA入力立ち下がり時間	t_{sf}	— (注4)	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷 (注3)	C_b	—	400	pF	

注1. t_{IICcyc} : RIICの内部基準クロック (IIC ϕ) の周期

注2. () 外の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 00bの場合を示します。() 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注3. C_b はバスラインの容量総計です。

注4. Fast-modeのtsr/tsfのmin.規格は設定していません。

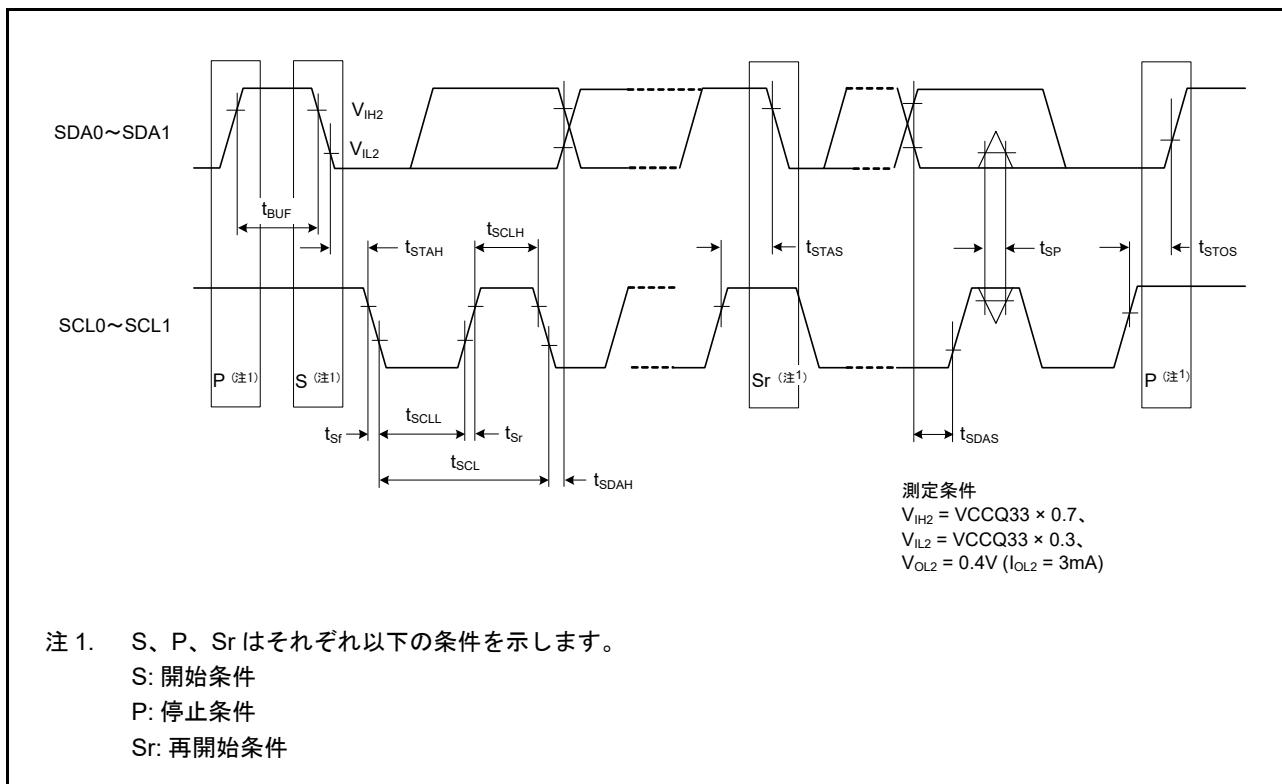


図 34.28 IICa バスインタフェース入出力タイミング

34.4.3.9 シリアル・マネージメント・インタフェースタイミング

(1) シリアル・マネージメント・インタフェース (スレーブ) タイミング

表 34.20 シリアル・マネージメント・インタフェース (スレーブ) タイミング (注1)

出力負荷条件: $V_{OH12} = 1.0V$ 、 $V_{OL12} = 0.2V$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
MDC入力周期	t_{MDC}	250	—	ns	図 34.29
MDIOセットアップ時間	t_{SMDIO}	10	—	ns	
MDIOホールド時間	t_{HMDIO}	10	—	ns	
MDIO出力遅延時間	t_{DMDIO}	—	175	ns	

注1. P50, P51, P52, P53, P54, P55, P56端子のDSCRレジスタ“11”(1.2VIO駆動出力)設定時

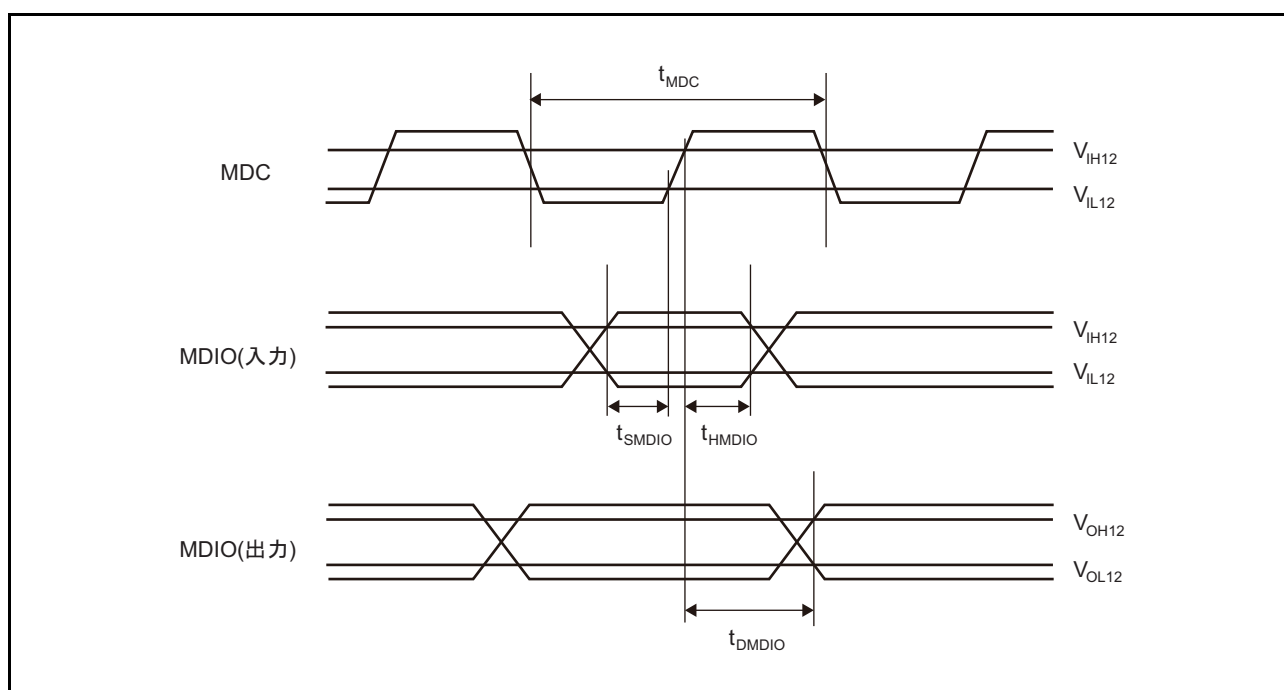


図 34.29 シリアル・マネージメント・インタフェース (スレーブ) タイミング

(2) シリアル・マネージメント・インタフェース（マスタ、チャンネル1）タイミング

表34.21 シリアル・マネージメント・インタフェース（マスタ、チャンネル1）タイミング

出力負荷条件： $V_{OH1} = V_{CCQ33} - 0.5V$ 、 $V_{OL1} = 0.4V$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
MDC出力周期	t_{MMDC1}	100	—	ns	図34.30
MDIOセットアップ時間	$t_{SMMDIO1}$	40	—	ns	
MDIOホールド時間	$t_{HMMDIO1}$	0	—	ns	
MDIO出力遅延時間	$t_{DMMDIO1}$	-20	20	ns	

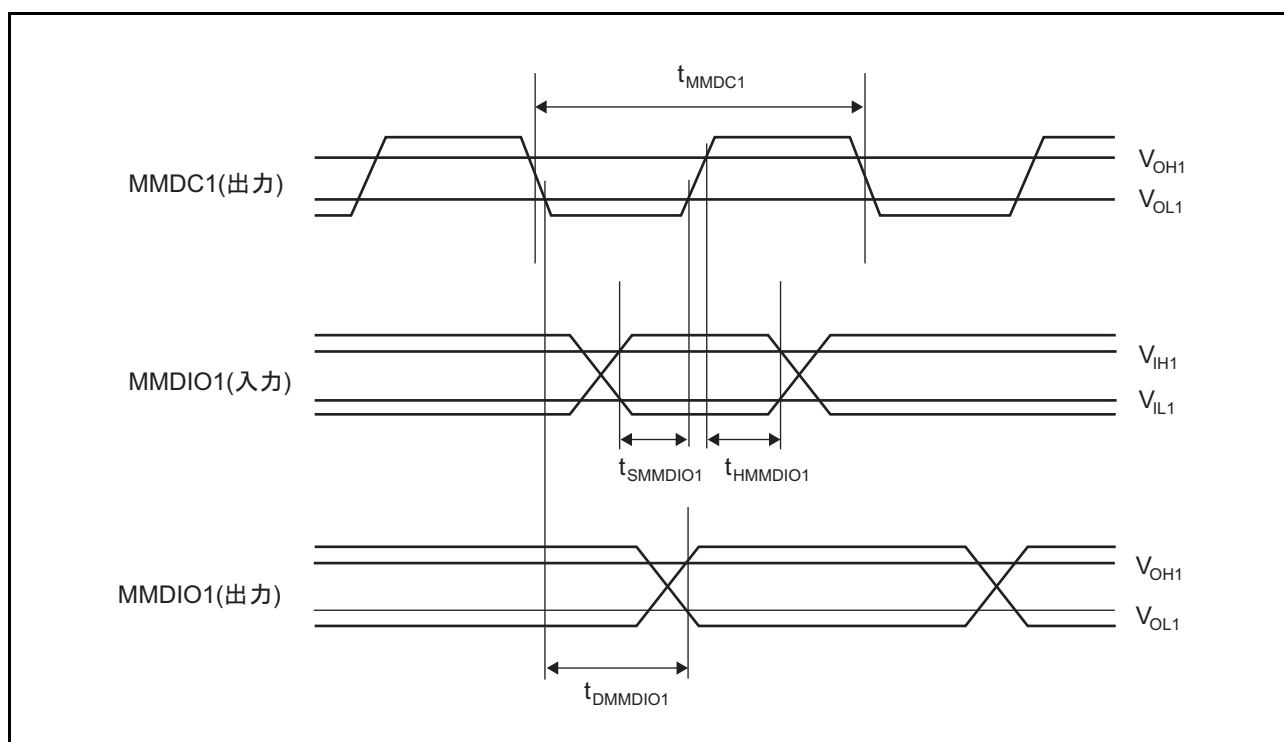


図 34.30 シリアル・マネージメント・インタフェース（マスタ、チャンネル1）タイミング

34.5 A/D 変換特性

- 条件 : $VDD = VCCQ12 = PLLVDD0 = PLLVDD1 = 1.14 \sim 1.26V$,
 $VCCQ33 = AVCC0 = AVCC1 = 3.0 \sim 3.6V$
 $VREFH0 = 3.0 \sim 3.6V$ (ただし $AVCC0 \geq VREFH0$) ,
 $VREFH1 = 3.0 \sim 3.6V$ (ただし $AVCC1 \geq VREFH1$) ,
 $VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V$,
 $T_j = -40 \sim 110 \text{ }^\circ\text{C}$

表34.22 12ビットA/D (ユニット0) 変換特性1

項目	min	typ	max	単位	測定条件	
分解能	8	—	12	ビット		
アナログ入力容量	—	—	30	pF		
チャンネル専用サンプル ホールド回路使用時 (AN000 ~ AN003)	変換時間 (注1) (PCLKF = 60MHz時) 許容信号源インピーダンス max = 1.0kΩ (注2)	1.2	—	3.6	μs	<ul style="list-style-type: none"> チャンネル専用サンプル ホールド回路のサンプ リング24ステート サンプリング24ステー ト
断線検出アシスト機 能使用時		—	—	± 7.5	LSB	
		—	—	± 7.5	LSB	
		—	± 0.5	—	LSB	
		—	—	± 7.5	LSB	
		—	—	± 3.0	LSB	
		—	—	± 4.0	LSB	
		—	—	3.2	μs	
チャンネル専用サンプル ホールド回路使用時 (AN000 ~ AN003)	変換時間 (注1) (PCLKF = 60MHz時) 許容信号源インピーダンス max = 1.0kΩ (注2)	1.2	—	3.6	μs	<ul style="list-style-type: none"> チャンネル専用サンプル ホールド回路のサンプ リング24ステート サンプリング24ステー ト
断線検出アシスト 機能未使用時		—	—	± 6.5	LSB	
		—	—	± 6.5	LSB	
		—	± 0.5	—	LSB	
		—	—	± 6.5	LSB	
		—	—	± 3.0	LSB	
		—	—	± 4.0	LSB	
		—	—	3.2	μs	
チャンネル専用サンプル ホールド回路未使用時 (AN000 ~ AN007)	変換時間 (注1) (PCLKF = 60MHz時) 許容信号源インピーダンス max = 1.0kΩ (注2)	0.483	—	—	μs	サンプリング16ステート
		—	—	± 5.0	LSB	
		—	—	± 5.0	LSB	
		—	± 0.5	—	LSB	
		—	—	± 6.0	LSB	
		—	—	± 2.5	LSB	
	—	—	± 3.0	LSB		

- 注1. 変換時間はサンプリング時間と比較時間の合計（30. 12ビットA/Dコンバータ（S12ADCa） 図30.22、図30.23のtSPLSH + tCONV）です。各項目には、測定条件にサンプリングステート数を示します。
- 注2. () はサンプリング時間を示します。

表34.23 12ビットA/D（ユニット1）変換特性1

項目		min	typ	max	単位	測定条件
分解能		8	—	12	ビット	
変換時間（注1） （PCLKG = 60MHz時）	許容信号源インピーダンス max = 1.0kΩ	0.883 (0.667) (注2)	—	—	μs	サンプリング40ステート
アナログ入力容量		—	—	30	pF	
オフセット誤差		—	—	± 6.0	LSB	
フルスケール誤差		—	—	± 6.0	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	—	± 6.0	LSB	
DNL 微分非直線性誤差		—	—	± 3.0	LSB	
INL 積分非直線性誤差		—	—	± 4.0	LSB	

- 注1. 変換時間はサンプリング時間と比較時間の合計（30. 12ビットA/Dコンバータ（S12ADCa） 図30.22、図30.23のtSPLSH + tCONV）です。各項目には、測定条件にサンプリングステート数を示します。
- 注2. () はサンプリング時間を示します。

- 条件 : $VDD = VCCQ12 = PLLVDD0 = PLLVDD1 = 1.14 \sim 1.26V$,
 $VCCQ33 = AVCC0 = AVCC1 = 3.0 \sim 3.6V$,
 $VREFH0 = 2.5 \sim 3.0V$ (ただし $AVCC0 \geq VREFH0$),
 $VREFH1 = 2.5 \sim 3.0V$ (ただし $AVCC1 \geq VREFH1$),
 $VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V$,
 $T_j = -40 \sim 110 \text{ }^\circ\text{C}$

表 34.24 12ビットA/D (ユニット0) 変換特性2

項目		min	typ	max	単位	測定条件
分解能		8	—	12	ビット	
アナログ入力容量		—	—	30	pF	
チャンネル専用サンプル ホールド回路未使用時 (AN000~AN007)	変換時間 (注1) (PCLKF = 60MHz時) 許容信号源インピーダンス max = 1.0k Ω	0.883 (0.667) (注2)	—	—	μs	サンプリング40ステート
	オフセット誤差	—	—	± 8.7	LSB	
	フルスケール誤差	—	—	± 8.7	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 8.7	LSB	
	DNL 微分非直線性誤差	—	—	± 5.0	LSB	
	INL 積分非直線性誤差	—	—	± 6.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計 (30. 12ビットA/Dコンバータ (S12ADCa) 図30.22、図30.23のtSPLSH + tCONV) です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

表 34.25 12ビットA/D (ユニット1) 変換特性2

項目		min	typ	max	単位	測定条件
分解能		8	—	12	ビット	
変換時間 (注1) (PCLKG = 60MHz時)	許容信号源インピーダンス max = 1.0k Ω	0.883 (0.667) (注2)	—	—	μs	サンプリング40ステート
アナログ入力容量		—	—	30	pF	
オフセット誤差		—	—	± 8.7	LSB	
フルスケール誤差		—	—	± 8.7	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	—	± 8.7	LSB	
DNL 微分非直線性誤差		—	—	± 5.0	LSB	
INL 積分非直線性誤差		—	—	± 6.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計 (30. 12ビットA/Dコンバータ (S12ADCa) 図30.22、図30.23のtSPLSH + tCONV) です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

34.6 温度センサ特性

- 条件 : $VDD = PLLVDD0 = PLLVDD1 = 1.14 \sim 1.26V$,
 $VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = 3.0 \sim 3.6V$
 $VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V$,
 $T_j = -40 \sim 110 \text{ } ^\circ\text{C}$

表 34.26 温度センサ特性

項目	min	typ	max	単位	測定条件
相対精度	—	± 1	—	$^\circ\text{C}$	
温度傾斜	—	4.1	—	mV/ $^\circ\text{C}$	
出力電位 (@25 $^\circ\text{C}$)	—	1.21	—	V	
温度センサ起動時間	—	—	30	μs	
サンプリング時間	4.25	—	—	μs	ADSSTRT.SST[7:0] = 255ステート (PCLKF[ADC(unit0)のサンプリングCLK] = 60MHz時の場合)

34.7 発振停止検出タイミング

表 34.27 発振停止検出回路特性

項目	記号	min	typ	max	単位	測定条件
クロック切替え時間	t_{dr}	—	—	1	ms	図 34.31

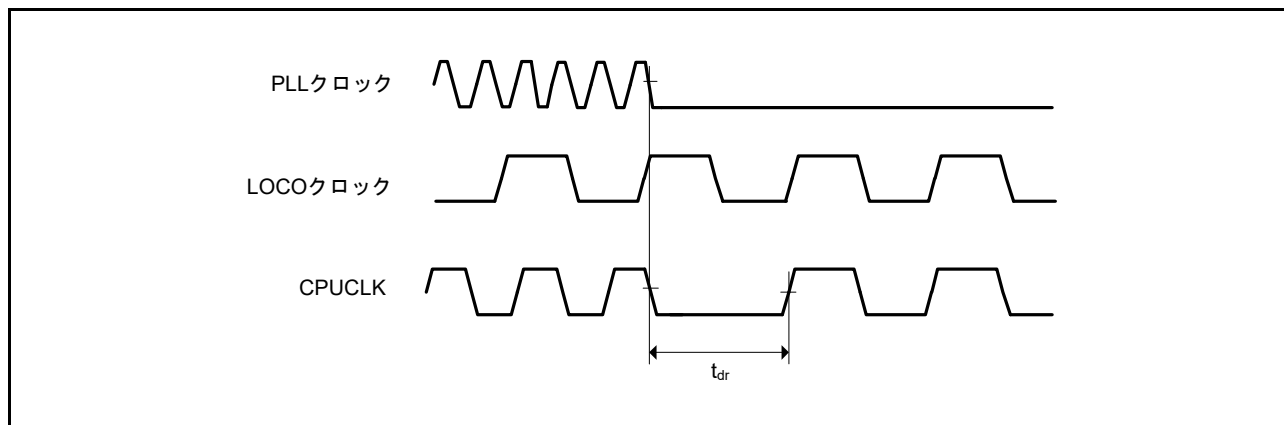


図 34.31 発振停止検出タイミング

34.8 デバッグインタフェースタイミング

表34.28 デバッグインタフェースタイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} - 0.5V$ 、 $V_{OL1} = 0.4V$

項目	記号	Min.	Max.	単位	参照図
TCKサイクル時間	t_{TCKcyc}	30	—	ns	図34.32
TCKハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCKロウレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDIセットアップ時間	t_{TDIS}	5	—	ns	図34.33 出力負荷 : 30pF
TDIホールド時間	t_{TDIH}	5	—	ns	
TMS/SWDIOセットアップ時間	t_{TMSS}	5	—	ns	
TMS/SWDIOホールド時間	t_{TMSH}	5	—	ns	
SWDIO遅延時間	t_{SWDO}	—	15	ns	
TDO遅延時間	t_{TDOD}	—	15	ns	
トレースクロック周期	t_{TCYC}	26.6	—	ns	図34.34 出力負荷 : 15pF
トレースデータ遅延時間	t_{TDT}	$0.25 \times t_{TCYC} - 2$	$0.25 \times t_{TCYC} + 2$	ns	

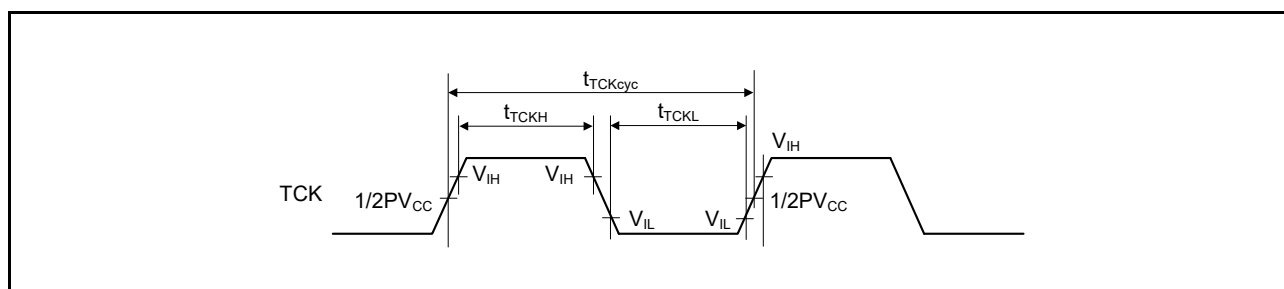


図 34.32 TCK 入力タイミング

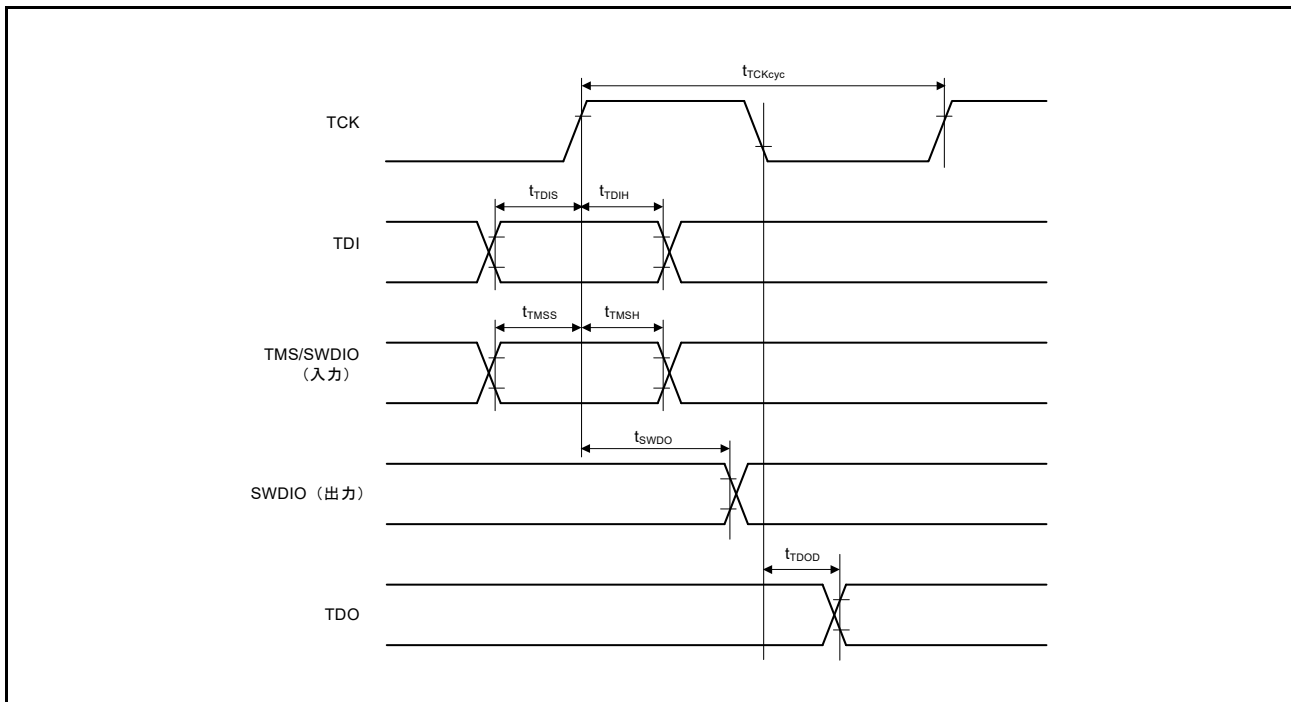


図 34.33 データ転送タイミング

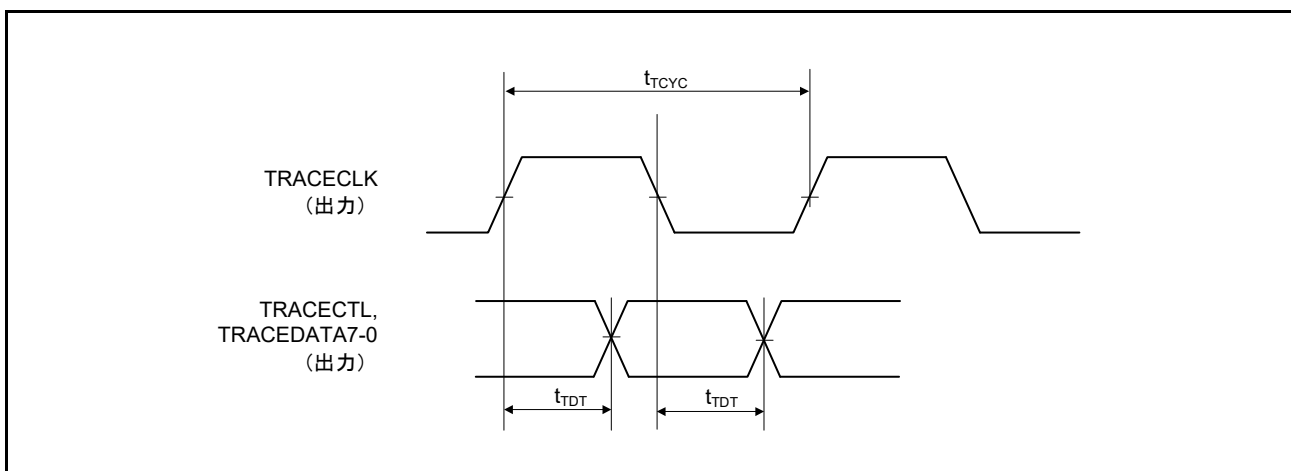
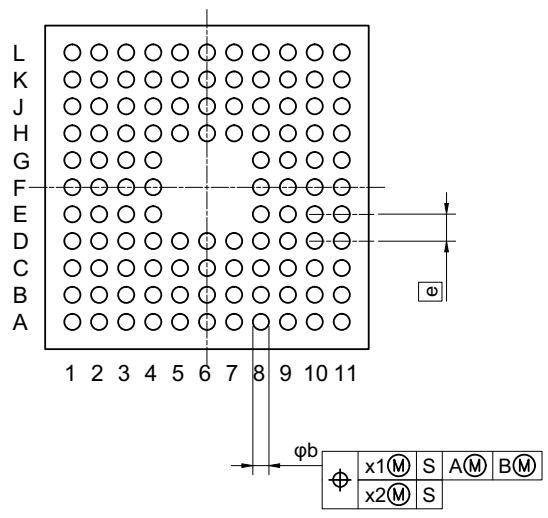
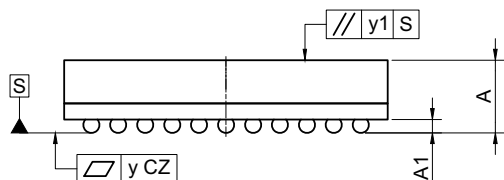
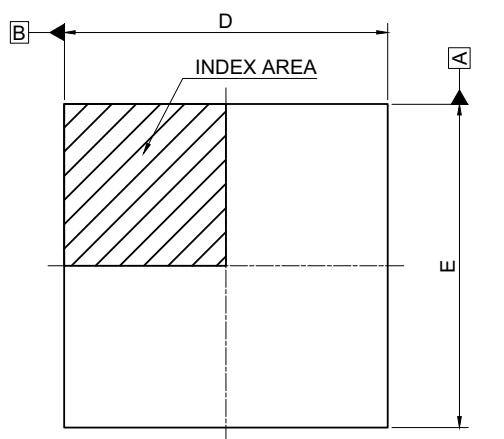


図 34.34 トレースインタフェースタイミング

付録1. 外形寸法図

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-LFBGA112-6x6-0.50	PLBG0112KA-A	-	0.09



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	5.80	6.00	6.20
E	5.80	6.00	6.20
A	—	—	1.70
A1	0.20	0.25	0.30
⓪	—	0.50	—
b	0.25	0.30	0.35
x1	—	—	0.20
x2	—	—	0.05
y	—	—	0.08
y1	—	—	0.20

図 A. 112 ピン FBGA (PLBG0112KA-A)

改訂記録	RZ/T1-Mグループ ユーザーズマニュアル ハードウェア編
------	--------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.60	2014.11.14	—	初版発行
0.70	2014.12.22	特長	
		29	■動作温度範囲 タイトルと内容を修正
		4. アドレス空間	
		61	4.1 アドレス空間 説明文を修正
		62	図4.1 メモリマップ 注1. 修正
		5. I/O レジスタ	
		104	表5.1 I/Oレジスタアドレス一覧 (39 / 42) ADCMPANSER、ADCMPLEPのアドレスとモジュールシンボルを修正、ADCMPANSERレジスタ行とADCMPLEPレジスタ行をADCMPPCRレジスタ行
		7. クロック発生回路	
		115	表7.1 クロック発生回路の仕様 PLL0回路の通信比の表記を修正
		119	7.2.1 システムクロックコントロールレジスタ (SCKCR) ビット配置図 b17を予約ビットに修正、レジスタの内容表のb17を予約ビットに修正
		10. デバッグインタフェース	
		150	図10.1 CoreSight 構成図 修正
		12. 割り込みコントローラ (ICUA)	
		169	12.2.4 ノンマスカブル割り込みステータスレジスタ (NMISR) ビット配置図 b0のビット名を
		14. DMAコントローラ (DMACAa)	
		255	表14.1 DMACの仕様 転送データ単位のDMAC0の内容の誤記を修正、割り込み要求の内容を修正
		272	14.2.13 チャンネルコンフィギュレーションレジスタn (CHCFG_n) レジスタの内容の表のLOENの機能説明を修正
		284	14.2.22 デスクリプタインターバルレジスタn (DSCITVL_X (X = A,B)) レジスタの内容の表のDITVLの機能説明を修正
		307	14.3.3.2 ラウンドロビン・モード 説明文を修正
		308	表14.19 DMA転送要求信号の検出方法 修正 (エッジ検出の機能)
		326	表14.27 DMA転送の設定例4 (ディスクリプタ1) 2番目の見出しを修正 (項目→内容)
		327	表14.28 DMA転送の設定例4 (ディスクリプタ2) 修正 (データ・サイズの項目 64ビット→
		328	表14.30 ディスクリプタ設定 修正 (CFG (Configuration) のディスクリプタ1、ディスクリプタ2、ディスクリプタ3)
		16. I/Oポート	
		363	16.3.1 ポート方向レジスタ (PDR) アドレス 誤記を修正
		18. 16ビットタイマパルスユニット (TPUa)	
		434	18.3.4 カスケード接続動作 注.を修正
		24. FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	
		582	24.3.10 FIFOコントロールレジスタ (FCR) レジスタの内容表のRFRSTとTFRSTの機能説明を
		25. I2Cバスインタフェース (RIICa)	
647	25.2.14 I2CバスビットレートHighレジスタ (ICBRH) 注1.を修正		
648	表25.5 転送速度に対するICBRH、ICBRLレジスタの設定例 表の内容を修正、注.の誤記を修正		
29. エラーコントロールモジュール (ECM)			
836	表29.2 ECMエラー入力 (1 / 2) エラー要因番号1と3のモジュールと機能を修正		

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.70	2014.12.22	840	29.2.3 ECM マスタ/チェッカエラーソースステータスレジスタ0 (ECMmESSTR0 (m = M/C)) レジスタの内容の表 ECMmSSE000、ECMmSSE002の機能説明を修正		
		872	29.2.23 ECMPCMD1 – ECM 保護コマンドレジスタ レジスタの内容の表 修正 (b7-b0とb31-b8のシンボル、ビット名、機能を入れ替え)		
		895	29.3.4.1 保護シーケンス解除 3.の説明文を修正		
		30. 12ビットA/Dコンバータ (S12ADCa)			
		934	30.2.18 A/D コンペアチャネル選択拡張レジスタ (ADCOMPANER) アドレスを修正		
		936	30.2.20 A/D コンペアレベル拡張レジスタ (ADCMPLER) アドレスを修正		
		33. RAM (製品オプション)			
		1002	表33.1 RAMの仕様 項目を修正 (RAMアドレス (Cortex-R4からのアクセス))		
		1010 ~ 1012	33.3 動作説明 追加		
		34. 電気的特性 (ターゲット)			
		1013	表 34.1 絶対最大定格 条件: VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V 項目を修正 (動作温度 (ジャンクション温度))		
		0.80	2015.04.06	全体	用語: アンダフローに統一
				全体	用語: オーバフローに統一
				全体	用語: オーバライトに統一
全体	用語: パスエラに統一				
1. 概要					
41 ~ 43	表 1.5 端子配置 (112ピンFBGA) 端子名変更 (MOSIn_BLUE → MOSIn、MOSIn_RED → MOSIn)				
44 ~ 46	表 1.6 機能別端子一覧 (112ピンFBGA) 端子名変更 (MOSIn_BLUE → MOSIn、MOSIn_RED → MOSIn)				
4. アドレス空間					
62	図4.1 メモリマップ 注6. 追加				
5. I/Oレジスタ					
65	(1) I/O レジスタアドレス一覧 (アドレス順) アクセスサイクル数の説明削除				
66 ~ 107	表5.1 I/Oレジスタアドレス一覧 アドレス: A007 D000h 削除				
66 ~ 107	表5.1 I/Oレジスタアドレス一覧 アドレス: A007 D004h 削除				
66 ~ 107	表5.1 I/Oレジスタアドレス一覧 アドレス: A007 D040h 削除				
66 ~ 107	表5.1 I/Oレジスタアドレス一覧 アドレス: A007 D044h 削除				
66 ~ 107	表5.1 I/Oレジスタアドレス一覧 アドレス: A007 D080h 削除				
66 ~ 107	表5.1 I/Oレジスタアドレス一覧 アドレス: A007 D0F8h 削除				

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	6. リセット	
		108	表6.2 リセット種別ごとの初期化対象 (○: 初期化対象、—: 変化しない) リセット対象: ERROROUT#端子出力 削除
		108	表6.2 リセット種別ごとの初期化対象 (○: 初期化対象、—: 変化しない) 注4. 削除
		111	6.2.2 ソフトウェアリセットレジスタ (SWRR1) ビット構成図 シンボル: SWRR1 修正
		7. クロック発生回路	
		120	7.2.2 システムクロックコントロールレジスタ2 (SCKCR2) ビット構成図 b4 リセット後の値 修正
		8. クロックモニタ (CLMA)	
		132	表8.1 CLMAの仕様 (n = 2-0) タイトル 修正
		133	図8.1 CLMAのブロック図 (n = 2-0) 上部に説明文 修正
		133	図8.1 CLMAのブロック図 (n = 2-0) タイトル 修正
		134	8.2.1 CLMA制御レジスタ0 (CLMACTL0) (n = 2-0) 注1. 修正
		10. デバッグインターフェース	
		149	10.1 概要 説明文 修正
		149	表10.1 CoreSightの仕様 タイトル 修正
		150	図10.1 CoreSightのブロック図 タイトル 修正
		151	表10.3 CTI Trigger Input and Output (Cortex-R4F) 注1. 削除
		153	表10.6 デバッグインターフェースの入出力端子 上部の説明文 修正
		153	表10.6 デバッグインターフェースの入出力端子 タイトル 修正
		154	10.2.1 デバッグインターフェース制御レジスタ (DBGIFCNT) ビット構成図 シンボル: SWVSEL 修正
		12. 割り込みコントローラ	
		164	12.1 概要 説明文 修正
		164	表12.1 割り込みコントローラの仕様 タイトル 修正
		165	図12.1 割り込みコントローラのブロック図 タイトル 修正
		216	12.4.2.13 割り込みアドレスレジスタ (HVA0) ビット構成図 シンボル: HVA 修正
		232 ~ 240	表12.3 Cortex-R4F/DMAC割り込みベクタテーブル 注1. 追加
		249	図12.10 多重割り込み処理の概念 (2/2) 図中の割り込み要求 u(レベル2)の注1を注2
		14. DMAコントローラ (DMACAa)	
		256	14.2.1 ・N0SA_n_N, N1SA_n_N (通常モード) の場合 ビット構成図 シンボル: SA 修正
		257	14.2.1 ・N0SA_n_W, N1SA_n_W (Write Only モード) の場合 ビット構成図 シンボル: WD 修正
		258	14.2.2 ネクストデスティネーションアドレスレジスタ n (N0DA_n, N1DA_n) ビット構成図 シンボル: DA 修正
		259	14.2.3 ネクストトランザクションバイトレジスタ n (N0TB_n, N1TB_n) ビット構成図 シンボル: TB 修正
		260	14.2.4 カレントソースアドレスレジスタ (CRSA_n) ビット構成図 シンボル: CRSA 修正
		261	14.2.5 カレントデスティネーションアドレスレジスタ (CRDA_n) ビット構成図 シンボル: CRDA 修正
		262	14.2.6 カレントトランザクションバイトレジスタ (CRTB_n) ビット構成図 シンボル: CRTB 修正
		269	14.2.11 共通コントロールレジスタ (CMNCR) ビット構成図 b3のリセット後の値 修正
		269	14.2.11 共通コントロールレジスタ (CMNCR) ビット一覧表 b3の機能 説明文 修正
		272	14.2.13 チャンネルコンフィギュレーションレジスタ n (CHCFG_n) 説明文 修正
		276	14.2.15 ネクストリンクアドレスレジスタ n (NXLA_n) ビット構成図 シンボル: NXLA 修正

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.80	2015.04.06	277	14.2.16 カレントリンクアドレスレジスタ n (CRLA_n) ビット構成図 シンボル: CRLA 修正		
		278	14.2.17 ソースコンティニューアドレスレジスタ n (SCNT_n) ビット構成図 シンボル: SCNT 修正		
		279	14.2.18 ソーススキップレジスタ n (SSKP_n) ビット構成図 シンボル: SSKP 修正		
		281	14.2.19 デスティネーションコンティニューアドレスレジスタ n (DCNT_n) ビット構成図 シンボル: DCNT 修正		
		282	14.2.20 デスティネーションスキップレジスタ n (DSKP_n) ビット構成図 シンボル: DSKP 修正		
		304	14.3.1.2(3)⑥ディスクリプタ・ライト・バックの下部の説明文 修正		
		307	14.3.2.1 シングル転送モード 説明文 修正		
		307	14.3.2.2 ブロック転送モード 説明文 修正		
		309	14.3.4 DMA 転送要求 説明文 修正		
		310 ~ 311	表 14.20 DMA 転送要求検出動作設定表 備考の下部に注. を2ヶ 追加		
		319	14.4.2 DMA 転送完了割り込み 説明文 修正		
		319	14.4.2 DMA 転送完了割り込み 注 追加		
		323	表 14.24 DMA 転送の設定例2 下部の設定例2 修正		
		324	図 14.20 設定例2 図中のフロ 修正		
		329	表 14.30 ディスクリプタ設定 項目: CFG (Configuration) のディスクリプタ1、ディスクリプタ2、ディスクリプタ3の値 修正		
		17. マルチファンクションピンコントローラ (MPC)			
		375	17.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0) 説明文 修正		
		376	17.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 0) 説明文 修正		
		377	17.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 1、2、7) 説明文 修正		
		378	17.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 3 ~ 5) 説明文 修正		
		379	17.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0、2、4) 説明文 修正		
		380	17.2.7 P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ~ 5) 説明文 修正		
		381	17.2.8 P7n 端子機能制御レジスタ (P7nPFS) (n = 1 ~ 3) 説明文 修正		
		382	17.2.9 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 7) 説明文 修正		
		383	17.2.10 PAn 端子機能制御レジスタ (PAnPFS) (n = 3 ~ 5) 説明文 修正		
		384	17.2.11 PCn 端子機能制御レジスタ (PCnPFS) (n = 2、3、6、7) 説明文 修正		
		385	17.2.12 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7) 説明文 修正		
		386	17.2.13 PGn 端子機能制御レジスタ (PGnPFS) (n = 2 ~ 6) 説明文 修正		
		388	表 17.14 レジスタの設定 注1. 修正		
		390	表 17.15 常時入力許可機能一覧 (2 / 2) 誤記?		
		21. ウォッチドッグタイマ (WDTA)			
		—	見出し: 21.1.1 ブロック図 削除		
		524	図21.1 WDT のブロック図 上部の説明文 修正		
		524	図21.1 WDT のブロック図 図 修正		
		—	見出し: 21.5 使用上の注意事項 削除		
		—	21.5.1 クロック分周比の設定 全章 削除		
		22. 独立ウォッチドッグタイマ (IWDTa)			
		—	見出し: 22.1.1 ブロック図 削除		
		540	図22.1 IWDT のブロック図 図 修正		
		24. FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)			
		567	24. FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA) 説明文 修正		
		567	表 24.1 SCIFAの仕様 項目: チャネルの内容の説明文 修正		

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.80	2015.04.06	—	見出し：24.2 入出力端子 削除		
		568	表24.2 SCIFAの入出力端子 上部の説明文 修正		
		568	表24.2 SCIFAの入出力端子 タイトル 修正		
		577	24.2.8 ビットレートレジスタ (BRR) 注 追加		
		580	表24.9 外部クロック入力時の最大ビットレート (クロック同期式モード) 表全面 修正		
		586	24.3.12 シリアルポートレジスタ (SPTR) 説明文 修正		
		586	24.3.12 シリアルポートレジスタ (SPTR) ビット構成図 シンボル：RTS2DT、CTS2DT、SCKDT、SPB2DTのリセット後の値 修正		
		25. I2Cバスインタフェース (RIIcA)			
		620	表25.2 RIIcAの入出力端子 上部の説明文 修正		
		630	25.2.5 I2C バスモードレジスタ3 (ICMR3) ビット構成図 b7のシンボル 修正		
		649	表25.5 転送速度に対するICBRH、ICBRLレジスタの設定例 注 修正		
		695	表25.6 割り込み要因 タイトル行：優先順位の欄 削除		
		26. シリアルペリフェラルインタフェース (RSPIa)			
		699	26.1 概要 説明文 修正		
		699 ~ 700	表26.1 RSPIの仕様 項目：チャンネルの内容の説明文 修正		
		27. SPI マルチI/O バスコントローラ (SPIBSC)			
		784	表27.1 SPIBSCの仕様 下部に図37.1 SPIBSCのブロック図 説明文 追加		
		—	見出し：27.2 ブロック図		
		—	図27.1 SPIBSCのブロック図 上部の説明文 削除		
		784	図27.1 SPIBSCのブロック図 タイトル 修正		
		—	見出し：27.3 入出力端子 削除		
		785	表27.2 SPIBSCの入出力端子 上部の説明文 修正		
		785	表27.2 SPIBSCの入出力端子 タイトル 修正		
		786	27.4.1 共通コントロールレジスタ (CMNCR) ビット一覧表 b6 機能の説明文 修正		
		801	27.4.11 SPI モードアドレス設定レジスタ (SMADR) ビット構成図 シンボル：ADR 修正		
		804	27.4.14 SPI モードリードデータレジスタ0 (SMRDR0) ビット構成図 シンボル：RDATA0 修正		
		804	27.4.14 SPI モードリードデータレジスタ0 (SMRDR0) ビット構成図 リセット後の値 修正		
		804	27.4.15 SPI モードライトデータレジスタ0 (SMWDR0) ビット構成図 シンボル：WDATA0 修正		
		28. CRC演算器 (CRC)			
		829	28.2.1 CRC データ入力レジスタ (CRCDIR) ビット構成図 シンボル：CRCDIR 修正		
		830	28.2.2 CRC データ出力レジスタ (CRCDOR) ビット構成図 シンボル：CRCDOR 修正		
		29. エラーコントロールモジュール (ECM)			
		834	29.1 概要 説明 修正		
		834	表29.1 ECMの仕様 タイトル 修正		
		834	表29.1 ECMの仕様 項目：セーフティ処理の説明 修正		
		835	図29.1 ECMのブロック図 図 修正		

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.80	2015.04.06	836 ～ 837	表29.2 ECMエラー入力 エラー要因番号：95の機能の説明文 修正		
		—	29.2.1 ECM マスタ/チェッカエラーセットトリガレジスタ (ECMmESET (m = M/C)) 全章 削除		
		—	29.2.2 ECM マスタ/チェッカエラークリアトリガレジスタ (ECMmECLR (m = M/C)) 全章 削除		
		841	29.2.3 ECM マスタ/チェッカエラーソースステータスレジスタ2 (ECMmESSTR2 (m = M/C)) ビット構成図 b30 シンボル 修正		
		841	29.2.3 ECM マスタ/チェッカエラーソースステータスレジスタ2 (ECMmESSTR2 (m = M/C)) ビット一覧表 b30 シンボル、ビット名、機能の説明文 修正		
		—	29.2.7 ECM エラーパルスコンフィグレーションレジスタ (ECMEPCFG) 全章 削除		
		843	29.2.5 ECM マスカブル割り込みコンフィグレーションレジスタ0 (ECMMICFG0) ビット一覧表 b2、b0 機能の説明文 修正		
		848	29.2.8 ECM ノンマスカブル割り込みコンフィグレーションレジスタ0 (ECNMICFG0) ビット一覧表 b2、b0 機能の説明文 修正		
		853	29.2.11 ECM 内部リセットコンフィグレーションレジスタ0 (ECMIRCFG0) ビット一覧表 b2、b0 機能の説明文 修正		
		858	29.2.14 ECM エラーマスクレジスタ0 (ECMEMK0) ビット一覧表 b2、b0 機能の説明文 修正		
		863	29.2.17 ECM エラーソースステータスクリアトリガレジスタ0 (ECMESSTC0) ビット一覧表 b2、b0 機能の説明文 修正		
		868	29.2.19 ECM エラーソースステータスクリアトリガレジスタ2 (ECMESSTC2) ビット構成図 b30 シンボル 修正		
		868	29.2.19 ECM エラーソースステータスクリアトリガレジスタ2 (ECMESSTC2) ビット一覧表 b30 シンボル、ビット名、機能の説明文 修正		
		871	29.2.22 ECM 擬似エラートリガレジスタ0 (ECMPE0) ビット一覧表 b2、b0 機能の説明文 修正		
		876	29.2.26 ECM デイレイタイマレジスタ (ECMDTMR) 説明文 修正		
		878	29.2.28 ECM デイレイタイマコンフィグレーションレジスタ0 (ECMDTMCFG0) ビット一覧表 b2、b0 機能の説明文 修正		
		883	29.2.31 ECM デイレイタイマコンフィグレーションレジスタ3 (ECMDTMCFG3) ビット一覧表 b2、b0 機能の説明文 修正		
		—	29.2.37 ECM エラー出カクリア無効コンフィグレーションレジスタ (ECMEOCCFG) 全章 削除		
		—	29.3.1 エラー出力動作 全章 削除		
		—	29.3.2 ループバック機能 全章 削除		
		891	29.3.3 デイレイタイマによる割り込み処理のタイムアウト機能 説明文 修正		
		—	29.3.6 エラー出カクリアの無効設定機能 全章 削除		
		892	29.4.1 ECMCLKに関する注意事項 説明文 修正		
		30. 12ビットA/Dコンバータ (S12ADCa)			
		893	30.1 概要 説明文 修正		
		894 ～ 895	表30.1 12ビットA/Dコンバータの仕様 項目：入力チャネル、A/D変換クロック 注1を注2に修正		
		924	30.2.13 サンプル& ホールド回路コントロールレジスタ (ADSHCR) アドレス 修正		
		980	図30.31 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー 図中のフローの判定文：“EMU2へのデータ転送機能を使用している？” 削除		
		980	図30.31 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー 図中のフローの処理文：“EMU2でADCからのデータ転送機能を禁止に設定する” 削除		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	31. 温度センサ	
		989	31.4.1 モジュールストップ機能の設定 説明文 修正
		32. データ演算回路 (DOC)	
		990	図32.1 データ演算回路 (DOC) のブロック図 タイトル 修正
		33. RAM (製品オプション)	
		997	表33.1 RAMの仕様 注意 追加
		1003	33.2.5 2ビットECC エラーアドレスレジスタ (RAMDBEAD) 説明文 修正
		1003	33.2.5 2ビットECC エラーアドレスレジスタ (RAMDBEAD) ビット構成図 b31~b20 シンボル: ADDRESSを"-"に修正
		1003	33.2.5 2ビットECC エラーアドレスレジスタ (RAMDBEAD) ビット構成図 b19~b18 シンボル: ADDRESSをBANKに修正
		1003	33.2.5 2ビットECC エラーアドレスレジスタ (RAMDBEAD) ビット一覧表 b31~b20 ADDRESSを予約ビットに修正
		1003	33.2.5 2ビットECC エラーアドレスレジスタ (RAMDBEAD) ビット一覧表 b19~b18 ADDRESSをBANKに修正
		1006	33.3.3 (1) ECC エラーインジェクション設定処理手順例 図中のフローの処理文: "エラー注入機能を有効。" 修正
		1007	33.3.3 (2) ECC 動作確認処理手順 図中のフローの処理文: "RAMEDCレジスタに0000_0001hを書き込む。"の後に 処理文: "RAMPCMDレジスタに0000_0000hを書き込む。" 追加
		1007	33.3.3 (2) ECC 動作確認処理手順 図中のフローの処理文: "RAMDBEADレジスタをリードしてエラー発生したアドレスを取得する" 修正
		1007	33.3.3 (2) ECC 動作確認処理手順 図中のフローの処理文: "RAMDBECNTレジスタをリードしてエラーの発生数を取得する。" 修正
		1007	33.3.3 (2) ECC 動作確認処理手順 図中のフローの処理文: "RAMPCMDレジスタに0000_0000hを書き込む。" 削除
		34. 電気的特性 (ターゲット)	
		1009	図34.1 電源投入・切断シーケンス (2)Tdiy12の期間修正
		1018	見出し: 34.4.4.1 I/Oポートタイミング 追加
		1019	見出し: 34.4.4.2 TPUa タイミング 追加
		1020	見出し: 34.4.4.3 CMTW タイミング 追加
		1021	見出し: 34.4.4.4 A/Dコンバータトリガタイミング 追加
		1022	見出し: 34.4.4.5 SCIFA タイミング 追加
		1024	見出し: 34.4.4.6 RSPIa タイミング 追加
		1028	見出し: 34.4.4.7 SPIBSC タイミング 追加
		1029	図34.25 SPIBSC 送受信タイミング (CPHAT=0, SPHAR=1) 追加
		1030	図34.28 SPIBSC パッファオン/オフタイミング (CPHAT=0, SPHAR=1) 追加
		1031	見出し: 34.4.4.8 RIICa タイミング 追加
		1033	表34.21 12ビットA/D (ユニット0) 変換特性 「チャンネル専用サンプルホールド回路使用時 (AN000~AN003) 断線検出アシスト機能使用時」 項目変更
		1033	表34.21 12ビットA/D (ユニット0) 変換特性 「チャンネル専用サンプルホールド回路使用時 (AN000~AN003) 断線検出アシスト機能未使用時」 項目追加
		1033	表34.21 12ビットA/D (ユニット0) 変換特性 項目: チャンネル専用サンプル ホールド回路使用時 (AN000~AN003) のオフセット誤差のmax値 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	1033	表 34.21 12ビットA/D (ユニット0) 変換特性 項目: チャネル専用サンプル ホールド回路使用時 (AN000 ~ AN003) のフルスケール誤差のmax値 修正
		1033	表 34.21 12ビットA/D (ユニット0) 変換特性 項目: チャネル専用サンプル ホールド回路使用時 (AN000 ~ AN003) の絶対精度のmax値 修正
		1033	表 34.21 12ビットA/D (ユニット0) 変換特性 項目: チャネル専用サンプルホールド回路未使用時 (AN000 ~ AN007) の変換時間のmin値、測定条件 修正
		1033	表 34.21 12ビットA/D (ユニット0) 変換特性 項目: チャネル専用サンプルホールド回路未使用時 (AN000 ~ AN007) のDNL 微分非直線性誤差のmax値 修正
		1034	表 34.22 12ビットA/D (ユニット1) 変換特性 項目: 変換時間のmin値、測定条件 修正
		1035	表 34.23 温度センサ特性 出力電位typ値変更
0.90	2015.08.28	1.	概要
		33	表 1.1 仕様概要 電源電圧の (T.B.D) を削除、パッケージの説明 (T.B.D) → PLBG0112KA-A
		3.	動作モード
		53	図 3.2 ローダ用パラメータ、ローダプログラムのメモリ配置 注3.を修正
		58	表 3.6 ブート終了時のARM CP15レジスタの状態 システム制御補助レジスタのブート終了時の設定値を修正
		4.	アドレス空間
		62	図 4.1 メモリマップ 誤記修正 (DMA0 → DMAC0)、MDIO用領域誤記修正 (4KB → 4MB)、注4.を削除し、「xxxのミラー領域」の記載に修正
		63	図 4.2 メモリマップ (拡張内蔵SRAM 1MB 品) MDIO用領域誤記修正 (4KB → 4MB)、注4.を削除し、「xxxのミラー領域」の記載に修正
		14.	DMA コントローラ (DMACAa)
		270	14.2.12 チャネルコントロールレジスタ n (CHCTRL_n) b0 (SETEN) の機能説明に注.を追加
		272 ~ 275	14.2.13 チャネルコンフィギュレーションレジスタ n (CHCFG_n) レジスタの説明文を修正、b30 (REN) の機能説明を修正
		323	14.5.2 設定例2 (レジスタ・モード ソフトウェア・リクエスト) 設定例2のCHCFGの設定を修正
		17.	マルチファンクションピンコントローラ (MPC)
		378	17.2.5 P3n 端子機能制御レジスタ (P3nPFS) リセット後の値を修正、 表 17.5 端子入出力機能レジスタ設定 PSEL[5:0]ビット設定値の (リセット後の値) を修正
		23.	マネージメントデータインプット/アウトプットインタフェース (MDIO)
		557	23.1.1 概要 説明文を修正 (MDIOに関する技術資料を修正 「CFP MSA Management Interface Specification Version 2.4 r06b June 8, 2015」)
		558	表 23.1 MDIOの入出力端子 注.追加
		559	23.1.3 割り込み機能 説明文を追加
		559	23.1.4 制限事項 説明文を追加
		564	23.3.1.4 モードレジスタ (MODE) 追加
		568	23.3.2.2 Versionレジスタ (VER) 追加
		24.	FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)
		581	表 24.4 ビットレートに対するBRRレジスタの設定例 (調歩同期式モード) ビットレート110bpsの行を削除、115200bps, 500000bpsのSERICLKを修正 (空欄)、注.を修正
		582	表 24.6 ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード) 最大ビットレートを修正、注.を修正
		582	表 24.8 外部クロック入力時の最大ビットレート (調歩同期式モード) 最大ビットレートを修正、注.を修正
		585	表 24.10 ビットレートに対するBRR、MDDRレジスタの設定例 (調歩同期式モード) 追加

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2015.08.28	619	24.8.4 ブレークの送出 説明文中のビット名の誤記を修正 (SPB2DT→SPB2IO)
		27. SPI マルチI/O バスコントローラ (SPIBSC)	
		789	27.2.1 共通コントロールレジスタ (CMNCR) b24 (SFDE) のリセット後の値を修正
		33. RAM (製品オプション)	
		1000	表 33.1 RAM の仕様 データ保持機能の項目を削除
		34. 電気的特性	
		1011	表 34.1 絶対最大定格 動作温度 (ジャンクション温度) の定格値を修正
		1031	表 34.19 SPIBSC タイミング tSU, tH の min 値を修正
		1034	表 34.20 RII Ca タイミング 記号を修正 (tr→tsr, tf→tsf)、注 4. 追加
		1036	表 34.21 12ビット A/D (ユニット 0) 変換特性 T.B.D. に数値を記載
		1037	表 34.22 12ビット A/D (ユニット 1) 変換特性 T.B.D. に数値を記載
		付録 1. 外形寸法図	
		1042	追加
1.00	2016.01.12	全体	S12ADC のモジュールシンボルを変更 (S12ADCa)
		特長	
		29	マネージメントデータインプット/アウトプットインタフェース (MDIO) 追加
		29	動作温度範囲 変更
		1. 概要	
		31 ~ 33	表 1.1 仕様概要 I/O ポートの説明を変更 (T.B.D. に本数を追加)、イベントリンクコントローラの説明を変更 (T.B.D. を削除)、12ビット A/D コンバータの変換時間を変更、温度センサの相対精度を変更、動作温度を変更
		41	表 1.5 端子配置 端子番号 A4, A5, A6, B4, B5, C4, C5 の端子名を変更
		44	表 1.6 機能別端子一覧 (112ピンFBGA) ピン番号 A4, A5, A6, B4, B5, C4, C5 の I/O ポートに端子名を追加
		5. I/O レジスタ	
		66, 67	表 5.1 I/O レジスタアドレス一覧 A000 000Ah (PDR), A000 0085h (PMR), A000 010Ah (PCR), A000 0228h (P50PFS), A000 0229h (P51PFS), A000 022Ah (P52PFS), A000 022Bh (P53PFS), A000 022Ch (P54PFS), A000 022Dh (P55PFS), A000 022Eh (P56PFS) を追加
		9. 消費電力低減機能	
		144	9.2.4 モジュールストップコントロールレジスタ E (MSTPCRE) b1-b3 (予約ビット) の機能説明を変更
		10. デバッグインタフェース	
		159	表 10.8 使用可能なトレース機能 モジュール名を変更
		12. 割り込みコントローラ (ICUA)	
		168	12.2.6 NMI 端子割り込みコントロールレジスタ (NMICR) レジスタ説明を変更
		212	12.4.2.13 割り込みアドレスレジスタ (HVA0) レジスタ説明を変更
		237	図 12.5 VIC のレジスタ初期化 図を変更、注. を追加
		241	図 12.7 IRQ 割り込み動作 (レベル動作) 変更 (HVA レジスタ→HVA0 レジスタ)
		242	図 12.8 IRQ 割り込み動作 (エッジ割り込み) 変更 (HVA レジスタ→HVA0 レジスタ)
		244	図 12.9 多重割り込み処理の概念 (1/2) 説明を変更
		245	図 12.9 多重割り込み処理の概念 (2/2) 説明を追加
		248	12.4.6.3 レベル検出選択時の注意 説明を変更、プログラム例を追加
		14. DMA コントローラ (DMACa)	
		266	14.2.11 共通コントロールレジスタ (CMNCR) b30, b29, b28, b26, b25, b24 を予約ビットに変更
		275	14.2.17 ソースコンティニューアレジスタ n (SCNT_n) レジスタ説明を変更
		278	14.2.19 デスティネーションコンティニューアレジスタ n (DCNT_n) レジスタ説明を変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2016.01.12	281	14.2.21 DMA コントロールレジスタ (DCTRL_X (X = A,B)) b31-b1 (予約ビット) を変更		
		318	表 14.23 DMA 転送の設定例1 転送元の開始アドレスを変更、DMA 転送要求の内容を変更、DMA 転送要求元選択を追加		
		318	14.5.1 設定例1 (レジスタ・ハードウェア・リクエスト) 設定例1 (N0SA、CHCFG) を変更		
		319	図 14.19 設定例1 変更		
		16. I/Oポート			
		359	16.3.1 ポート方向レジスタ (PDR) アドレス PORT5.PDR A000 000Ah を追加、添字 m を変更		
		362	16.3.4 ポートモードレジスタ (PMR) アドレス PORT5.PMR A000 0085h を追加、添字 m を変更		
		363	16.3.5 ブルアップ/ブルダウン制御レジスタ (PCR) アドレス PORT5.PCR A000 010Ah を追加、添字 m を変更		
		17. マルチファンクションピンコントローラ (MPC)			
		368	表 17.1 兼用端子構成一覧 マネージメントデータインプット/アウトプットインタフェースのモジュールを追加		
		373	17.2.5 P3n 端子機能制御レジスタ (P3nPFS) リセット後の値を変更、注1.、注2. を追加		
		375	17.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 6) 追加		
		23. マネージメントデータインプット/アウトプットインタフェース (MDIO)			
		552	図 23.1 MDIO のブロック図 変更		
		553	表 23.1 MDIO の入出力端子 PRTADR3, PRTADR4 端子の機能に (注1) を記載、注1. を変更		
		554	23.1.4 制限事項 CFP4 で使用する場合の説明を追加		
		559	23.2.2.1 受信レジスタ (RX) ビット機能 (表) の b15-b0 (RXD[15:0]) の機能を変更		
		562	23.3 動作概要 追加		
		562	23.3.1 MDIO 起動シーケンス 追加 (23.2 MDIO 起動シーケンスを 23.4.1 項に移動)		
		563	23.3.2 MDIO 処理フローチャート 追加		
		24. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA)			
		584	24.2.12 シリアルポートレジスタ (SPTR) レジスタ説明を変更、注. を追加		
		595	図 24.4 シリアル送信のフローチャートの例 注. を追加		
		612	24.8.4 SPTR レジスタへの書き込み 追加		
		26. シリアルペリフェラルインタフェース (RSPIa)			
		706	26.2.5 RSPI データレジスタ (SPDR) 上位側 16 ビット (H) のビット配置図を追加		
		29. エラーコントロールモジュール (ECM)			
		830	図 29.1 ECM のブロック図 変更		
		30. 12 ビット A/D コンバータ (S12ADCa)			
		885	表 30.1 12 ビット A/D コンバータの仕様 変換時間を変更、注の割り当てを変更		
		—	30.5.9 許容信号源インピーダンスについて 削除		
		34. 電気的特性			
		995	図 34.1 電源投入・切断シーケンス 注1.、注3. を変更		
		996	34.3 DC 特性 条件を変更		
		996	表 34.2 DC 特性 (1) VCCQ12 の typ 値を変更		
		996	表 34.3 DC 特性 (2) 【消費電流】 T.B.D. に数値を追加、スタンバイモード+全モジュールストップ時の AV0Icc, AV1Icc, VRF0Icc, VRF1Icc の単位を変更、注2. を変更		
		997	表 34.5 1.2V 端子 DC 特性 DC 特性 (4) 【MDIO】 → 1.2V 端子 DC 特性に変更、項目を変更 (出力 High レベル許容電流 → 出力 High レベル電流、出力 Low レベル許容電流 → 出力 Low レベル電流)、記号を変更、T.B.D. に数値を追加、前提、対象端子を削除、注1.、注2. 追加		
		999	34.4 AC 特性 条件を変更		
		999	1.2V IO ロック周期 追加		
		1018	34.5 A/D 変換特性 条件を追加		
		1020	34.6 温度センサ特性 条件を追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2016.01.12	1022	図34.33 トレースインタフェースタイミング 変更
1.10	2016.05.10	特長	
		29	データ転送機能、クロック機能の説明を修正
		1. 概要	
		30	1.1 仕様概要 周辺モジュールのチャンネル数の詳細参照先を修正
		30	表1.1 仕様概要 (1/5) クロック発生回路：入力クロックの機能説明を修正
		30	表1.1 仕様概要 (1/5) クロック発生回路：外部バスクロックを削除
		30	表1.1 仕様概要 (1/5) ベクタ割り込みコントローラ (VIC)：周辺機能割り込み、外部割り込みの要因数を修正
		31	表1.1 仕様概要 (2/5) 汎用入出力ポー：入出力数修正、オープンドレイン出力を削除
		31	表1.1 仕様概要 (2/5) 16ビットタイマパルスユニット (TPUa)：パルス入出力を修正
		32	表1.1 仕様概要 (3/5) FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)：シリアル通信方式に注2を追加
		33	表1.1 仕様概要 (4/5) 12ビットA/Dコンバータ (S12ADCa)：変換時間を修正
		33	表1.1 仕様概要 (4/5) エラーコントロールモジュール (ECM)：各モジュールからのエラー信号入力に対する動作を一部削除
		33	表1.1 仕様概要 (4/5) エラーコントロールモジュール (ECM)：マスタとチェックで2重化の対象を修正
		33	表1.1 仕様概要 (4/5)：電源電圧を修正
		35	表1.2 機能一覧 タイトルを修正
		35	表1.2 機能一覧 FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)：ch4に注2を追加
		36	1.2 製品一覧 注2を削除
		36	表1.3 製品一覧表 R7S910020CBG、R7S910021CBG：セキュリティ機能対応に記述追加
		37	図1.1 ブロック図 SCIFA：注1を追加
		37	図1.1 ブロック図 12ビットA/Dコンバータ (ユニット1)：ch数を修正
		38	表1.4 端子機能一覧 (1/3) 電源：VSSQ33を削除
		38	表1.4 端子機能一覧 (1/3) XTAL：機能説明を修正
		38	表1.4 端子機能一覧 (1/3) デバッグインタフェース：TRST#、TMS、TDI、TDO、TCKの機能説明を修正
		38	表1.4 端子機能一覧 (1/3) 16ビットタイマパルスユニット (TPUa)：TIOCA2、TIOCA3、TIOCA5を追加
		39	表1.4 端子機能一覧 (2/3) FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)：RXD4、TXD4に注1を追加
		40	表1.4 端子機能一覧 (3/3) I/Oポート：P35を追加、機能説明を修正
		40	表1.4 端子機能一覧 (3/3) I/Oポート：PC2、PC3、PC6、PC7の入出力、機能説明を修正
		41	図1.2 ピン配置図 (112ピンFBGA) (Top View) タイトルを修正
		41	図1.2 ピン配置図 (112ピンFBGA) (Top View) A-1、E-4、F-4,9、G-2,4、H-3,7、J-3、K-3を修正
		42	表1.5 端子配置 (112ピンFBGA) (1/3) 端子番号：A1の端子名を修正
		42	表1.5 端子配置 (112ピンFBGA) (1/3) 端子番号：A4、A5、A6、B4、B5、C4、C5の端子名に注1を追加
		43	表1.5 端子配置 (112ピンFBGA) (2/3) 端子番号：E4、F4、F9、G2、G4、H3、H7、J3の端子名を修正
44	表1.5 端子配置 (112ピンFBGA) (3/3) 端子番号：K3、L5の端子名を修正		
45	表1.6 機能別端子一覧 (112ピンFBGA) (1/3) ピン番号：A1、A9の電源クロックシステム制御を修正		
45	表1.6 機能別端子一覧 (112ピンFBGA) (1/3) ピン番号：A4、A5、A6、B4、B5、C4、C5のI/Oポートに注1を追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2016.05.10	46	表 1.6 機能別端子一覧 (112ピンFBGA) (2 / 3) ピン番号 : E4、F4、F9、G2、G4、H3、H7の電源クロックシステム制御を修正
		47	表 1.6 機能別端子一覧 (112ピンFBGA) (3 / 3) ピン番号 : J3、K3の電源クロックシステム制御を修正
		47	表 1.6 機能別端子一覧 (112ピンFBGA) (3 / 3) ピン番号 : L5のタイマに記述を追加
		3. 動作モード	
		54	図 3.2 ローダ用パラメータ、ローダプログラムのメモリ配置 オフセットアドレス : 0000 0004h、0000 0008hでの説明を修正
		56	3.5.3 ローダプログラム 外部メモリ内の格納アドレスの説明記述を修正
		60	図 3.4 ブート処理中のメモリマップ定義とCortex-R4Fのデフォルトメモリマップの関係 3000 0000h - 3400 0000hのAddress Mapを修正
		60	図 3.4 ブート処理中のメモリマップ定義とCortex-R4Fのデフォルトメモリマップの関係 4000 0000h - 4400 0000hのAddress Mapを削除
		4. アドレス空間	
		62	4.1 アドレス空間 記述を一部削除 (図 4.3)
		63	図 4.1 メモリマップ を削除
		63	図 4.1 メモリマップ (拡張内蔵SRAM 1MB 品) 注1を修正
		64	図 4.2 メモリマップ (拡張内蔵SRAM 0KB 品) 注1を修正
		64	図 4.2 メモリマップ (拡張内蔵SRAM 0KB 品) 注4、注5を削除
		5. I/O レジスタ	
		67	表 5.1 I/Oレジスタアドレス一覧 (2 / 42) アドレス : A000 0142hを削除
		99	表 5.1 I/Oレジスタアドレス一覧 (34 / 42) アドレス : A007 D0A8h、A007 D0ACh、A007 D0B0hを削除
		102	表 5.1 I/Oレジスタアドレス一覧 (37 / 42) アドレス : A008 0410hを削除
		104	表 5.1 I/Oレジスタアドレス一覧 (39 / 42) アドレス : A008 C012hを削除
		6. リセット	
		108	表 6.2 リセット種別ごとの初期化対象 リセット対象 : ECMエラー出力クリア無効設定レジスタを削除
		7. クロック発生回路	
		114	表 7.1 クロック発生回路の仕様 メインクロック発振器 : 外部クロック入力周波数を削除
		116	図 7.1 クロック発生回路のブロック図 CKSEL0.SCKCR2で制御するSelectorへの入力信号を修正
		117	表 7.3 クロック発生回路の入出力端子 XTAL、EXTALの機能説明を修正
		117	表 7.3 クロック発生回路の入出力端子 端子名 : OSCTHを削除
		119	7.2.2 システムクロックコントロールレジスタ2 (SCKCR2) ビット : b0、機能説明から外部バスクロックを削除
		125	7.3 メインクロック発振器の入力 タイトルを修正
		125	7.3 メインクロック発振器の入力 説明記述を修正
		125	表 7.5 OSCTH端子によるクロック入力モードの選択 記述を削除
		126	7.3.2 外部クロックを入力する方法 記述を削除
		130	7.9.1 クロック発生回路に関する使用上の注意事項 (4)、SCIFAのchを修正
		9. 消費電力低減機能	
		140	表 9.2 各周辺モジュールの動作停止、解除方法 モジュール : マネージメントデータインプット / アウトプットインターフェース (MDIO) を追加
		140	表 9.2 各周辺モジュールの動作停止、解除方法 注2(Rev.1.00版)を削除
		140	表 9.2 各周辺モジュールの動作停止、解除方法 注2を修正
		141	9.2.1 モジュールストップコントロールレジスタA (MSTPCRA) ビット : b2、b7のシンボル、機能説明を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2016.05.10	143	9.2.3 モジュールストップコントロールレジスタ C (MSTPCRC) ビット : b7のリセット後の値、注1を削除
		143	9.2.3 モジュールストップコントロールレジスタ C (MSTPCRC) 注1を修正
		144	9.2.4 モジュールストップコントロールレジスタ E (MSTPCRE) ビット : b0のシンボル、機能説明を修正
		11. レジスタライトプロテクション機能	
		160	表 11.1 PRCRレジスタと保護されるレジスタの対応 PRCRレジスタ : PRC1ビット、保護されるレジスタからMSTPCRD、MRCTLICを削除
		12. 割り込みコントローラ (ICUA)	
		163	図 12.1 割り込みコントローラのブロック図 要求元選択から出る矢印を削除
		171	12.3.1 割り込み要求先の選択 VIC/NVICをVICへ修正
		228	表 12.3 Cortex-R4F / DMAC 割り込みベクタテーブル (1 / 8) ベクタ番号 : 9、検出タイプ、CR4、DMACを修正
		230	表 12.3 Cortex-R4F / DMAC 割り込みベクタテーブル (3 / 8) ベクタ番号 : 88-91、要求元、要因、検出タイプ、CR4、DMACを修正
		234	表 12.3 Cortex-R4F / DMAC 割り込みベクタテーブル (7 / 8) ベクタ番号 : 248-250、要求元、要因、検出タイプ、CR4、DMACを修正
		234	表 12.3 Cortex-R4F / DMAC 割り込みベクタテーブル (7 / 8) ベクタ番号 : 267-272、要求元、要因、検出タイプ、CR4、DMACを修正
		235	表 12.3 Cortex-R4F / DMAC 割り込みベクタテーブル (8 / 8) ベクタ番号 : 273-292、要求元、要因、検出タイプ、CR4、DMACを修正
		13. 内部バス	
		249	表 13.1 内部バスの仕様 内部バスの種類 : 周辺バス1、周辺バス2、周辺バス3、周辺バス4、周辺バス5、名称を修正
		249	図 13.1 バスの構成図 Communicationバス (ICLK)、RAM1、RAM2を追加
		249	図 13.1 バスの構成図 周辺バス1、周辺バス2、周辺バス3、周辺バス4、周辺バス5、名称を修正
		249	図 13.1 バスの構成図 注1を追加
		250	表 13.3 内部メインバス2 バスマスタ・バススレーブ間接続 バススレーブ : 拡張内蔵RAM、名称を修正
		250	表 13.3 内部メインバス2 バスマスタ・バススレーブ間接続 バススレーブ : データRAM、記述を削除
		250	表 13.3 内部メインバス2 バスマスタ・バススレーブ間接続 バススレーブ : 周辺バス1、周辺バス2、周辺バス4、周辺バス5、名称を修正
		14. DMA コントローラ (DMACAa)	
		265	14.2.11 共通コントロールレジスタ (CMNCR) (Rev.1.00時)、記述を削除
		278	図 14.2 DSKPとDCNTの関係 タイトルを修正
		292	14.3.1.2 リンク・モード 説明記述を修正
		292	図 14.7 リンク・モードの概要 記述を修正 (メモリ)
		304	14.3.4.1 DMA 転送要求の要因毎の検出動作指定 一部記述を削除 (外部リクエスト、)
		315	図 14.18 バスエラー応答による停止タイミング DREQ[0]、DACK[0]信号を削除
		316	表 14.22 DMA転送設定例の転送条件一覧 設定例 : 設定例1 (Rev.1.00時) を削除
		316	表 14.22 DMA転送設定例の転送条件一覧 設定例 : 設定例1、設定例2、設定例3、Rev.1.00時の設定例2、設定例3、設定例4から変更
		317	14.5.1 設定例1 (レジスタ・ハードウェア・リクエスト) (Rev.1.00時)、記述を削除
		317	14.5.1 設定例1 (レジスタ・モード ソフトウェア・リクエスト) タイトルを修正
		317	表 14.23 DMA転送の設定例1 項目 : 開始アドレス、内容 : 転送元を修正
		317	14.5.1 設定例1 (レジスタ・モード ソフトウェア・リクエスト) 設定例1、N1SAのアドレスを修正
		318	図 14.19 設定例1 タイトルを修正

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.10	2016.05.10	318	図 14.19 設定例1 記述を修正 (開始 (設定例1)、ソースのアドレス、N1SA_2のアドレス、終了 (設定例1))		
		319	14.5.2 設定例2 (レジスタ・モード 連続実行) タイトルを修正		
		319	表 14.24 DMA転送の設定例2 項目: 開始アドレス、内容: 転送元を修正		
		319	14.5.2 設定例2 (レジスタ・モード 連続実行) 設定例2、N0DA、N1SA、N1DAのアドレスを修正		
		320	図 14.20 設定例2 タイトルを修正		
		320	図 14.20 設定例2 記述を修正 (開始 (設定例2)、ソースのアドレス、N1SA_1のアドレス、終了 (設定例2))		
		321	14.5.3 設定例3 (リンク・モード) タイトルを修正		
		321	表 14.25 DMA転送の設定例3 タイトルを修正		
		321	表 14.26 DMA転送の設定例3 (ディスクリプタ1) タイトルを修正		
		322	表 14.27 DMA転送の設定例3 (ディスクリプタ2) タイトルを修正		
		322	表 14.27 DMA転送の設定例3 (ディスクリプタ2) 項目: 開始アドレス、項目: 転送元を修正		
		322	表 14.28 DMA転送の設定例3 (ディスクリプタ3) タイトルを修正		
		322	表 14.28 DMA転送の設定例3 (ディスクリプタ3) 項目: 開始アドレス、項目: 転送元、転送先を修正		
		322	14.5.3 設定例3 (リンク・モード) 設定例3を修正		
		323	表 14.29 ディスクリプタ設定 項目: SA (Source Address)、ディスクリプタ2、ディスクリプタ3を修正		
		323	表 14.29 ディスクリプタ設定 項目: DA (Destination Address)、ディスクリプタ3を修正		
		323	図 14.21 設定例3 タイトル修正		
		323	図 14.21 設定例3 記述を修正 (開始 (設定例3)、終了 (設定例3))		
		325	図 14.23 設定例4 タイトルを修正		
		15. イベントリンクコントローラ (ELC)			
		342	図 15.3 シングルポートのイベントリンク動作 (ポートEの場合) タイトルを修正		
		342	図 15.3 シングルポートのイベントリンク動作 (ポートEの場合) ポート名称を修正		
		343	図 15.4 入力ポートグループのイベントリンク動作 (ポートEの場合) タイトルを修正		
		343	図 15.4 入力ポートグループのイベントリンク動作 (ポートEの場合) ポート名称を修正		
		345	図 15.5 出力ポートグループのイベントリンク動作 (ポートEの場合) タイトルを修正		
		345	図 15.5 出力ポートグループのイベントリンク動作 (ポートEの場合) ポート名称を修正		
		346	図 15.6 出力ポートグループのビットローテート動作 (ポートEの場合) タイトルを修正		
		346	図 15.6 出力ポートグループのビットローテート動作 (ポートEの場合) ポート名称を修正		
		16. I/Oポート			
		350	表 16.2 I/Oポートの機能 ポートシンボル: PORT1、駆動能力切り替え機能を修正		
		361	16.3.6 駆動能力制御レジスタ (DSCR) 一部記述を削除 (P10)		
		361	16.3.6 駆動能力制御レジスタ (DSCR) アドレス、一部記述を削除 (PORT1.DSCR A000 0142h)		
		361	16.3.6 駆動能力制御レジスタ (DSCR) アドレス、ビット: b0-b13、機能説明を修正		
		362	表 16.3 未使用端子の処理内容 端子名: EXTAL、XTAL、RES#、ポート33 (TDO) を削除		
		362	表 16.3 未使用端子の処理内容 端子名: ポート0~4、6、7、9、A、C、E、G (ポート34を除く) を修正		
		362	表 16.3 未使用端子の処理内容 端子名: ポート5を追加		
		17. マルチファンクションピンコントローラ (MPC)			
		363	17.1 概要 一部記述を削除		
		366	17.2 レジスタの説明 説明記述を削除		
		368	表 17.3 端子入出力機能レジスタ設定 注を削除		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.10	2016.05.10	370	17.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 3 ~ 5) 記述を修正		
		370	17.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 3 ~ 5) ISEL ビット (割り込み入力機能選択ビット) 記述を修正		
		371	17.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0, 2, 4) ビット: b6、シンボル、ビット名、機能説明を修正		
		372	表 17.7 端子入出力機能レジスタ設定 注を削除		
		373	17.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ~ 5) ビット: b6、シンボル、ビット名、機能説明を修正		
		377	17.2.12 PCn 端子機能制御レジスタ (PCnPFS) (n = 2, 3, 6, 7) ビット: b6、シンボル、ビット名、機能説明を修正		
		381	表 17.15 レジスタの設定 項目: 割り込み入力 (NMI, IRQ0 ~ 4, 6, 7)、記述を修正		
		18. 16 ビットタイマパルスユニット (TPUa)		384	18. 16 ビットタイマパルスユニット (TPUa) 説明記述を修正
		384	表 18.1 TPU の仕様 項目: 設定可能動作、内容、一部記述を削除 (内蔵PWMフィードバック入力選択)		
		385	表 18.2 TPU の機能一覧 (1 / 2) 項目: DMAC の起動、TPU0、TPU1、TPU2、TPU3、TPU4、TPU5 に記述を追加 (TGRB)		
		389	18.2.1 タイマコントロールレジスタ (TCR) 説明記述を修正 (計6本のTCRレジスタ)		
		421	18.3.2 同期動作 一部記述を削除 (それぞれの)		
		442	18.4 割り込み要因 (2) オーバフロー割り込み、説明記述を修正		
		443	18.5 DMAC の起動 説明記述を修正		
		19. コンペアマッチタイマ (CMT)		466	表 19.1 CMT の仕様 項目: 内蔵チャンネル数、機能説明を修正
		467	図 19.1 CMT (ユニット0) 各ユニット (ユニット0、ユニット1) のブロック図 タイトルを修正		
		20. コンペアマッチタイマW (CMTW)		482	図 20.1 CMTW のブロック図 一部記述を削除 (ECMDMESLR)
		491	20.2.10 ECM ダイナミックモードエラー出力選択レジスタ (ECMDMESLR) 記述を削除		
		500	20.3.10 ECM ダイナミックモードエラー出力選択機能 記述を削除		
		24. FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)		560	表 24.1 SCIFA の仕様 項目: シリアル通信方式、内容記述を追加 (注2)
		565	24.2.6 シリアルコントロールレジスタ (SCR) ビット: b1-b0、機能、説明記述を追加 (注2)		
		587	24.3.2 調歩同期式モード時の動作 (2)クロック、説明記述を一部削除		
		596	24.3.3 クロック同期式モード時の動作 (2)クロック、説明記述を一部削除		
		25. I ² Cバスインタフェース (RIICa)		612	図 25.1 RIIC のブロック図 一部記述を削除 (出力制御ブロック右上のFMPE)
		613	図 25.2 入出力端子の外部回路接続例 (I ² Cバス構成例) 一部記述を修正 (VCCQ33)		
		614	25.2.1 I ² Cバスコントロールレジスタ1 (ICCR1) 説明記述を追加 ((n = 0, 1))		
		656	25.3.5 スレープ送信動作 (2)、(6)、説明記述を一部削除 (HOA)		
		659	25.3.6 スレープ受信動作 (2)、(5)、説明記述を一部削除 (HOA)		
		27. SPI マルチI/O バスコントローラ (SPIBSC)		779	27.2.1 共通コントロールレジスタ (CMNCR) ビット: b17-b16、ビット名、機能の記述を修正
		779	27.2.1 共通コントロールレジスタ (CMNCR) ビット: b19-b18、b21-b20、b23-b22、ビット名の記述を修正		
		787	27.2.7 データリードオプション設定レジスタ (DROPR) ビット: b7-b0、ビット名を修正		
		29. エラーコントロールモジュール (ECM)		825	表 29.1 ECM の仕様 項目: 自己診断機能、説明記述を一部削除
		826	図 29.1 ECM のブロック図 修正		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.10	2016.05.10	828	表29.2 ECMエラー入力(2/2) エラー要因番号: 96、機能説明を修正		
		830	29.2.1 ECM マスタ/チェックエラーソースステータスレジスタ0 (ECMmESSTR0 (m = M/C)) ビット: b23、b24、機能説明を修正		
		832	29.2.3 ECM マスタ/チェックエラーソースステータスレジスタ2 (ECMmESSTR2 (m = M/C)) 説明記述を一部修正、削除		
		832	29.2.3 ECM マスタ/チェックエラーソースステータスレジスタ2 (ECMmESSTR2 (m = M/C)) ビット: b11、シンボル、ビット名、機能を修正		
		835	29.2.5 ECM マスカブル割り込みコンフィグレーションレジスタ0 (ECMMICFG0) ビット: b23、b24、機能説明を修正		
		836	29.2.5 ECM マスカブル割り込みコンフィグレーションレジスタ0 (ECMMICFG0) ビット: b31、ビット名の説明を修正		
		840	29.2.8 ECM ノンマスカブル割り込みコンフィグレーションレジスタ0 (ECMNMICFG0) ビット: b23、b24、機能説明を修正		
		845	29.2.11 ECM 内部リセットコンフィグレーションレジスタ0 (ECMIRCFG0) ビット: b23、b24、機能説明を修正		
		846	29.2.11 ECM 内部リセットコンフィグレーションレジスタ0 (ECMIRCFG0) ビット: b31、ビット名の説明を修正		
		849	29.2.14 ECM エラーマスクレジスタ0 (ECMEMK0) (Rev.1.00時) 記述を削除		
		849	29.2.15 ECM エラーマスクレジスタ0 (ECMEMK1) (Rev.1.00時) 記述を削除		
		849	29.2.16 ECM エラーマスクレジスタ2 (ECMEMK2) (Rev.1.00時) 記述を削除		
		850、851	29.2.14 ECM エラーソースステータスクリアトリガレジスタ0 (ECMESSTC0) ビット: b23、b24、機能説明を修正		
		856	29.2.19 ECM 擬似エラートリガレジスタ0 (ECMPPE0) ビット: b23、b24、機能説明を修正		
		862、863	29.2.25 ECM ディレイタイムコンフィグレーションレジスタ0 (ECMDTMCFG0) ビット: b23、b24、機能説明を修正		
		868	29.2.28 ECM ディレイタイムコンフィグレーションレジスタ3 (ECMDTMCFG3) ビット: b23、b24、機能説明を修正		
		872	表29.3 機能安全向けエラーのエラー要因割り当ての例 注を追加		
		873	29.3.2.1 保護シーケンス解除 1. 説明記述を修正、追加		
		873	29.3.3 ディレイタイムによる割り込み処理のタイムアウト機能 説明記述を修正		
		874	29.4.1 ECMCLKに関する注意事項 説明記述を修正		
		30. 12ビットA/Dコンバータ (S12ADCa)			
		876	表30.1 12ビットA/Dコンバータの仕様(1/2) 項目: 変換時間を修正		
		876	表30.1 12ビットA/Dコンバータの仕様(1/2) 項目: A/D変換クロック、内容記述を一部削除 (CPG)		
		878	表30.2 12ビットA/Dコンバータの機能概要 記述を一部削除 (注1)		
		878	表30.3 12ビットA/Dコンバータの入力端子 VREFH1、AN100~AN107の機能説明を修正		
		902	30.2.10 A/D変換拡張入力コントロールレジスタ (ADEXICR) タイトルを修正		
		903	30.2.11 A/D変換拡張入力コントロールレジスタ (ADEXICR) Unit1 (温度センサなし、拡張アナログ入力あり) (Rev.1.00時) 記述を削除		
		946	表30.11 スキャン変換時間 (ADCLKとPCLKHのサイクル数) 記号: tSPLSH、tCONV、注3を追加		
		947	図30.23 スキャン変換のタイミング (非同期トリガ (ADTRGn) 要因の場合) タイトルを修正		
		960	30.5.10 許容信号源インピーダンスについて 記述を追加		
		31. 温度センサ			
		961	図31.1 温度センサのブロック図 記述を修正 (内部周辺バス4)		
		965	図31.2 温度センサの使用手順フロー 記述を一部削除 (サンプリングステート数の設定ボックス)		
		33. RAM (製品オプション)			
		982	33.3.1 メモリMAP構成 説明記述を修正		
		982	図33.1 メモリ構成 一部記述を修正 ((1)内蔵拡張SRAM、(2)内蔵拡張SRAM)		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2016.05.10	34. 電気的特性	
		985	表 34.1 絶対最大定格 記号 : Vin1、VREFH0、VREFH1 項目を修正
		985	表 34.1 絶対最大定格 項目 : 入力電圧 (1.2V IOポート) Vin3を追加
		985	表 34.1 絶対最大定格 注1.を修正、注4.、注5.を追加
		986	図 34.1 電源投入・切断シーケンス 一部記述を修正 (Timing、No.)
		987	34.3 DC 特性 条件を修正
		987	表 34.3 DC 特性 (2) 【消費電流】 項目 : 通常動作時、電源種類 : VDD、測定条件、記述を追加
		988	表 34.4 DC 特性 (3) 項目 : 入力プルアップMOS電流、入力プルダウンMOS電流、項目から一部記述を削除
		988	表 34.6 12ビットA/Dコンバータ DC特性 追加
		990	34.4 AC 特性 条件を修正
		—	表 34.8 EXTALクロックタイミング (Rev.1.00時) 記述を削除
		—	図 34.3 EXTAL外部クロック入力タイミング (Rev.1.00時) 記述を削除
		991	表 34.9 XTALクロックタイミング 記述を削除 (注2)
		994	図 34.10 TPUa クロック入力タイミング 記述を修正 (TCLKA ~ TCLKD)
		997	図 34.14 SCK クロック入力タイミング 記述を修正 (n = 0 ~ 2)
		998	図 34.15 SCIFA 入出力タイミング/クロック同期式モード 記述を修正 (n = 0 ~ 2)
		1000	図 34.16 RSPIa クロックタイミング 記述を修正 (n = 0, 1)
		1000	図 34.17 RSPIa タイミング (マスタ、CPHA = 0) 記述を修正 (SSL00, 01, 02, 03、SSL10, 11、出力、(n = 0, 1))
		1001	図 34.18 RSPIa タイミング (マスタ、CPHA = 1) 記述を修正 (SSL00, 01, 02, 03、SSL10, 11、出力、(n = 0, 1))
		1001	図 34.19 RSPI タイミング (スレーブ、CPHA = 0) 記述を修正 (SSL00, 01, 02, 03、SSL10, 11、入力、(n = 0, 1))
		1002	図 34.20 RSPI タイミング (スレーブ、CPHA = 1) 記述を修正 (SSL00, 01, 02, 03、SSL10, 11、入力、(n = 0, 1))
		1007	図 34.28 RIICa バスインタフェース入出力タイミング 記述を修正 (SDA0 ~ SDA1、SCL0 ~ SCL1)
		1008	34.4.3.9 シリアル・マネージメント・インタフェース 追加
		1009	34.5 A/D変換特性 条件を修正
		1009	表 34.21 12ビットA/D (ユニット0) 変換特性1 タイトルを修正
		1010	表 34.22 12ビットA/D (ユニット1) 変換特性1 タイトルを修正
		1011	表 34.23 12ビットA/D (ユニット0) 変換特性2 追加
		1011	表 34.24 12ビットA/D (ユニット1) 変換特性2 追加
		1014	図 34.34 トレースインタフェースタイミング 記述を修正 (TRACECTL)
		1.20	2016.12.27
30	1.1 仕様概要 説明を修正		
33	表 1.1 仕様概要 (4 / 5) 12ビットA/Dコンバータ : 変換時間を修正		
43	表 1.5 端子配置 (112ピンFBGA) (2 / 3) 端子番号E4 : 端子名を修正		
45	表 1.6 機能別端子一覧 (112ピンFBGA) (1 / 3) ピン番号B11 : 電源/クロック/システム制御の端子名を修正		
46	表 1.6 機能別端子一覧 (112ピンFBGA) (2 / 3) ピン番号H3 : 電源/クロック/システム制御の端子名を修正		
3. 動作モード			
57	3.5.4.1 SPI ブートモードにおける動作設定 動作設定項目を追加		
62	3.5.7.2 SPI ブートモード使用時のシリアルフラッシュについて 追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2016.12.27	10. デバッグインタフェース	
		159	図 10.7 nTRST 出力を High ドライブできるエミュレータの接続回路例 エミュレータ未接続時、エミュレータ接続時の波形を修正
		12. 割り込みコントローラ (ICUA)	
		168	12.2.4 ノンマスカブル割り込みステータスレジスタ (NMISR) NMIST フラグの説明: ["1"になる条件]を修正
		175	12.3.4 NMI端子割り込み 説明を修正
		220	12.4.2.15 割り込みサービスカレントレジスタ n (ISCn) ISC1/ISCi ビットの説明: 添え字 (n)を修正
		221	12.4.2.15 割り込みサービスカレントレジスタ n (ISCn) ISC3/ISCi ビットの説明: 添え字 (n)を修正
		222	12.4.2.15 割り込みサービスカレントレジスタ n (ISCn) ISC5/ISCi ビットの説明: 添え字 (n)を修正
		223	12.4.2.15 割り込みサービスカレントレジスタ n (ISCn) ISC7/ISCi ビットの説明: 添え字 (n)を修正
		224	12.4.2.15 割り込みサービスカレントレジスタ n (ISCn) ISC9/ISCi ビットの説明: 添え字 (n)を修正
		225	12.4.2.16 割り込みアドレス格納レジスタ 0 (VADn) 割り込みアドレス格納レジスタ 1 (VADn) 添え字を削除、ビット機能表: VAD[31:0] ビットの機能説明を修正、VAD ビット: ビット説明を修正
		232	表 12.3 Cortex-R4F/DMAC 割り込みベクタテーブル (4/8) ベクタ番号 132: INT_ETCの要因を修正
		236	表 12.3 Cortex-R4F/DMAC 割り込みベクタテーブル 注2.を追加
		239	図 12.7 レジスタ書き換えフロー 修正
		249	12.4.6.5 NMI端子割り込みを立ち下がリエッジで使用する場合 追加
		14. DMAコントローラ (DMACAa)	
		305	表 14.18 DMA転送要求の要因毎の検出動作指定 外部割り込みのDMA転送要求の検出動作指定を修正
		16. I/Oポート	
		363	表 16.3 未使用端子の処理内容 TRST#, TCKの処理内容を修正
		17. マルチファンクションピンコントローラ (MPC)	
		367	17.2.1 書き込みプロテクトレジスタ (PWPR) レジスタ説明を修正: PFSW ビット→PFSWE ビット
		19. コンペアマッチタイマ (CMT)	
		470	19.2.3 コンペアマッチタイマコントロールレジスタ (CMCR) ビット機能表: b7 (予約ビット)を追加
		23. マネージメントデータインプット/アウトプットインタフェース (MDIO)	
		549	23.1.1 概要 参照する技術資料を修正
		549	図 23.1 MDIO のブロック図 修正
		550	表 23.1 MDIOの入出力端子 注1.を追加、注2.を修正
		550	表 23.2 割り込み要因一覧 修正
		550	23.1.3 割り込み機能 割り込みの詳細説明を修正
		553	23.2.1.2 割り込みクリアレジスタ (CL) ビット配置図: b7 (CLPHY)、b2 (CLPHYNM)、b1 (CLDEVNM) を追加、ビット機能表: b1 (CLDEVNM)、b2 (CLPHYNM)、b7 (CLPHY) を追加、b5 (CLDEV) のビット名、機能説明を修正
		554	23.2.1.3 コントロールレジスタ (CTL) ビット機能表: STMDIOビットの機能説明を修正
		555	23.2.1.4 モードレジスタ (MODE) ビット機能表: PCMビットの機能説明を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2016.12.27	556、 557	23.2.1.5 割り込みイネーブルレジスタ (INTE) ビット配置図: b7 (PHY)、b2 (PHYNM)、b1 (DEVNM) を追加、 ビット機能表: b1 (DEVNM)、b2 (PHYNM)、b7 (PHY) を追加、b5 (DEV) のビット名、機能説明を修正、b6 (END) の機能説明を修正
		558	23.2.1.6 物理ポートアドレスレジスタ (PADR) 追加
		558	23.2.1.7 デバイスアドレスレジスタ (DADR) 追加
		559	23.2.1.8 イネーブルアドレスレジスタ (ENADR) 追加
		560、 561	23.2.2.1 受信レジスタ (RX) ビット配置図: b31 (SSPHY)、b26 (SSPHYNM)、b25 (SSDEVNM) を追加、 ビット機能表: b15-b0 (RXD[15:0]) の機能説明を修正、b25 (SSDEVNM)、b26 (SSPHYNM)、 b31 (SSPHY) を追加、b29 (SSDEV) のビット名、機能説明を修正
		562	23.2.2.2 受信レジスタ2 (RX2) 追加
		563	23.2.2.3 Version レジスタ (VER) ビット配置図: b9、b8、b0のリセット後の値を修正
		565	図23.2 MDIO 処理フローチャート 修正
		566	23.3.3 MDIO 動作設定 追加
		567	23.4 使用上の注意事項 追加
		24. FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	
		600	図24.5 送信時の動作例 修正 (ICUのIRn→ICUのRAISn)
		603	図24.9 SCIFAの受信時の動作例 (8ビットデータ/パリティあり/1ストップビット/LSBファーストの例) 修正: ICUのIRn→ICUのRAISn
		607	図24.14 SCIFAの送信時の動作例 (LSBファースト時) 修正: ICUのIRn→ICUのRAISn
		609	図24.16 SCIFAの受信時の動作例 (LSBファースト時) 修正: ICUのIRn→ICUのRAISn
		25. I ² Cバスインタフェース (RIIcA)	
		—	25.12.1 TXI 割り込みおよびRXI 割り込みバッファ動作 削除
		—	25.15.2 通信の開始に関する注意事項 削除
		26. シリアルペリフェラルインタフェース (RSPIa)	
		710	26.2.5 RSPI データレジスタ (SPDR) ワードアクセス (SPLW ビットが“0”) のときのSPDRレジスタのビット配置図を修正: b31~b16→b15~b0
		27. SPI マルチI/O バスコントローラ (SPIBSC)	
		787	27.2.1 共通コントロールレジスタ (CMNCR) ビット機能表: IO0FV[1:0]、IO2FV[1:0]、IO3FV[1:0]、MOIIO0[1:0]、MOIIO1[1:0]、MOIIO2[1:0]、MOIIO3[1:0] ビットの機能説明を修正
		803	27.2.14 SPI モードリードデータレジスタ0 (SMRDR0) レジスタ説明を修正
		803	27.2.15 SPI モードライトデータレジスタ0 (SMWDR0) レジスタ説明を修正
		809	図27.4 外部アドレス空間リードモードのデータアライメント 修正
		809	図27.5 SPI 動作モードのデータアライメント 修正
		29. エラーコントロールモジュール (ECM)	
		835	表29.2 ECMエラー入力 (1/2) エラー要因番号5、6の機能を修正
		862	29.2.17 ECMPCMD1 - ECM保護コマンドレジスタ ビット機能表のb7-b0のビットシンボルを修正: ECM1REG7~ECM1REG0→ECM1REG[7:0]
		30. 12ビットA/Dコンバータ (S12ADCa)	
		884	表30.1 12ビットA/Dコンバータの仕様 (1/2) 変換時間の内容を修正
		889	表30.3 12ビットA/Dコンバータの入力端子 VREFL1の機能を修正
		33. RAM (製品オプション)	
		982	表33.1 RAMの仕様 エラーチェック機能の内容を修正
		983	33.2.1 プロテクトコマンドレジスタ (RAMPCMD) 2.の説明のアドレスを修正
		34. 電気的特性	
		994	図34.1 電源投入・切断シーケンス 誤記を修正: us→μs

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.20	2016.12.27	996	表 34.4 DC特性 (3) 入力プルアップMOS電流/抵抗、入力プルダウンMOS電流/抵抗：項目修正、Rpu1、Rpu2、Rpd1、Rpd2を追加、入力プルダウンMOS電流/抵抗の測定条件を修正、注1.を追加、注4.を修正：ポートP50～P56の記述を削除		
		1012	表 34.18 SPIBSCタイミング 測定条件：参照図を追加		
1.30	2017.04.14	3. 動作モード			
		51	3.1 概要 本文を変更		
		9. 消費電力低減機能			
		142	9.2.1 モジュールストップコントロールレジスタA(MSTPCRA) 説明を追加		
		143	9.2.2 モジュールストップコントロールレジスタB(MSTPCRB) 説明を追加		
		144	9.2.3 モジュールストップコントロールレジスタC(MSTPCRC) 説明を追加		
		145	9.2.4 モジュールストップコントロールレジスタE(MSTPCRE) 説明を追加		
		146	9.2.5 モジュールストップコントロールレジスタF(MSTPCRF) 説明を追加		
		147、148	9.3.1 モジュールストップ機能 説明(手順、記述例、表9.3)を追加		
		12. 割り込みコントローラ(ICUA)			
		241	図 12.7 レジスタ書き換えフロー 処理を変更		
		13. 内部バス			
		252	表 13.1 内部バスの仕様 外部Serial Flashバスの内容を変更(PCLKD→ICLK)		
		252	図 13.1 バスの構成図 Serial Flash (PCLKD)→Serial Flashに変更		
		14. DMA コントローラ(DMACAa)			
		330	14.6 使用上の注意 注意事項を追加		
		27. SPI マルチI/Oバスコントローラ(SPIBSC)			
		786	表 27.1 SPIBSCの仕様 ビットレートの内容を変更(PCLKA→ICLK)		
		787	図 27.1 SPIBSCのブロック図 PCLKA→ICLKに変更		
		792	27.2.3, (1) ビットレート PCLKA→ICLKに変更		
		793	表 27.3 SPBR[7:0]、BRDV[1:0]ビットの設定例とビットレート ビットレート：PCLKA→ICLKに変更、 SPBR[7:0]、BRDV[1:0]ビットの設定値：0,1、0,2、0,3の項目を追加		
		29. エラーコントロールモジュール(ECM)			
		862、863	ビット機能表：ECMCLSSE102～ECMCLSSE108ビットの機能説明を変更(ECMmESSTRレジスタのビットの誤記を修正)		
		34. 電気的特性			
		1016	図 34.24 SPIBSC送受信タイミング(CPHAT = 0, CPHAR = 1) 変更		
		1.40	2017.06.30	全体	Cortex-R4F → Cortex-R4に変更
				30	特長 マネージメントデータインプット/アウトプットインタフェース(MDIO)の特長を変更
1. 概要					
32	表 1.1 仕様概要 (2/5) 汎用入出力ポート：入出力を変更				
33	表 1.1 仕様概要 (3/5) マネージメントデータインプット/アウトプットインタフェース(MDIO)：説明を変更				
35	表 1.1 仕様概要 注3.を追加				
36	表 1.2 機能一覧 MDIO → MDIO マスタ/MDIOスレーブに変更、注1.を追加				
37	表 1.3 製品一覧表 製品を追加、オプション機能を追加				
38	図 1.1 ブロック図 注1.を削除				
40	表 1.4 端子機能一覧(2/3) マネージメントデータインプット/アウトプットインタフェース(MDIOM/MDIO)：MDIO → MDIOM/MDIOに変更、MDC、MDIOの機能を変更、MMDC0、MMDC1、MMDIO0、MMDIO1端子を追加、PRTADR0～PRTADR4の機能を変更				
41	表 1.4 端子機能一覧(3/3) I/Oポート：P50～P56端子を追加、注2.を追加				
42	図 1.2 ピン配置図(112ピンFBGA) 端子番号C4、C5、E10、F11を変更				

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.40	2017.06.30	43	表 1.5 端子配置 (112ピンFBGA) (1/3) 端子番号C4, C5の端子名を変更		
		44	表 1.5 端子配置 (112ピンFBGA) (2/3) 端子番号E10, F11の端子名を変更		
		45	表 1.5 端子配置 (112ピンFBGA) 注1.を削除		
		46	表 1.6 機能別端子一覧 (112ピンFBGA) (1/3) ピン番号C4, C5の通信機能の端子を変更		
		47	表 1.6 機能別端子一覧 (112ピンFBGA) (2/3) ピン番号E10, F11の通信機能の端子を変更		
		48	表 1.6 機能別端子一覧 (112ピンFBGA) 注1.を削除		
		4. アドレス空間			
		65	図4.1 メモリマップ (拡張内蔵SRAM 1MB品) アドレスを変更		
		5. I/Oレジスタ			
		109	表 5.1 I/Oレジスタアドレス一覧 (42/42) MDIOM0(BR, TX, VER, RXレジスタ), MDIOM1(BR, TX, VER, RXレジスタ)、注1.を追加		
		9. 消費電力低減機能			
		142	表 9.2 各周辺モジュールの動作停止、解除方法 モジュールシンボルを変更 (MDIO → MDIOM/MDIO)		
		146	9.2.4 モジュールストップコントロールレジスタE(MSTPCRE) ビット機能表 : MSTPCRE0ビットの機能説明を変更 (MDIO → MDIOM/MDIO)、注1.を追加		
		149	表 9.3 モジュールストップ解除手順の必要な周辺機能 (2/2) モジュールシンボルを変更 (MDIO → MDIOM/MDIO)、注1.を追加		
		12. 割り込みコントローラ(ICUA)			
		235	表 12.3 Cortex-R4/DMAC 割り込みベクタテーブル (4/8) ベクタ番号 135(MDIOM0)、143(MDIOM1)を追加		
		239	表 12.3 Cortex-R4/DMAC 割り込みベクタテーブル 注3.を追加		
		16. I/Oポート			
		353	表 16.1 I/Oポートの仕様 注1.を変更		
		360	16.3.1 ポート方向レジスタ (PDR) PC2, PC3, PC6, PC7 端子に対応する PORTC.PDR.Bnビットへの設定の説明を削除		
		361	16.3.2 ポート出力データレジスタ (PODR) PC2, PC3, PC6, PC7 端子に対応する PORTC.PDR.Bnビットへの設定の説明を削除		
		365	16.3.6 駆動能力制御レジスタ (DSCR) ビット機能表 : 注.を追加		
		17. マルチファンクションピンコントローラ (MPC)			
		369	表 17.1 兼用端子構成一覧 (3/3) マネージメントデータインプット/アウトプットインタフェースの端子機能を変更 (MMDIO0, MMDC0, MMDC1, MMDIO1端子を追加)		
		375	17.2.6 P4n端子機能制御レジスタ (P4nPFS) ISELビットの説明を削除		
		376	表 17.7 端子入出力機能レジスタ設定 設定値 101011b : P50, P51に割り付ける端子機能を変更、注1.を追加		
		377	17.2.8 P6n端子機能制御レジスタ (P6nPFS) ISELビットの説明を削除		
		380	17.2.11 PAn端子機能制御レジスタ (PAnPFS) ISELビットの説明を削除、端子機能の切り替えの説明を追加		
		380	表 17.11 端子入出力機能レジスタ設定 設定値 101011bを追加、注1.を追加		
		381	17.2.12 PCn端子機能制御レジスタ (PCnPFS) ISELビットの説明を削除		
		23. マネージメントデータインプット/アウトプットインタフェース			
		552	本文追加		
		552~567	23.1 マネージメントデータインプット/アウトプットインタフェース (MDIOスレーブ)に変更、MDIO → MDIOスレーブに変更		
		568~583	23.2 マネージメントデータインプット/アウトプットインタフェース (MDIOマスタ) 追加		
		34. 電気的特性			
		1011	表 34.3 DC特性 (2) 【消費電流】 通常動作時(VDD)の特性を変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.40	2017.06.30	1012	表 34.4 DC特性(3) 出力Highレベル電圧(VOH)の適用端子を変更
		1013	表 34.5 1.2V端子 DC特性 プルアップMOS電流/抵抗、プルダウンMOS電流/抵抗を追加
		1034	34.4.3.9 (1) シリアル・マネージメント・インタフェース(スレーブ)タイミングに変更
		1034	図 34.29 シリアル・マネージメント・インタフェース (スレーブ) タイミング 変更
		—	図 34.30 シリアル・マネージメント・インタフェース出力タイミング 削除
		1035	34.4.3.9 (2) シリアル・マネージメント・インタフェース (マスタ、チャンネル0) タイミング 追加
		1036	34.4.3.9 (3) シリアル・マネージメント・インタフェース (マスタ、チャンネル1) タイミング 追加
1.50	2017.12.08	全体	Cortex-R4F → Cortex-R4 に変更
		1. 概要	
		38	図 1.1 ブロック図 注1.を追加
		40	表 1.4 端子機能一覧(2/3) CTS0#~CTS2#: 入出力、機能説明を変更、RTS0#~RTS2#: 機能説明を変更
		3. 動作モード	
		56	表 3.3 SPI ブートモード時のローダ用パラメータ情報 注3.を追加
		57	図 3.3 シリアルフラッシュメモリとの接続図 シリアルフラッシュメモリの端子を変更: SI/SIO0 → SO/SIO1、SI/SIO1 → SI/SIO0
		4. アドレス空間	
		66	図 4.2 メモリマップ(拡張内蔵SRAM 0KB品) MDIO用領域(4KB)の番地を変更: B051 C700h → B100 0000h
		6. リセット	
		110	表 6.2 リセット種別ごとの初期化対象 RSTOUT#端子出力のリセット要因を変更
		10. デバッグインタフェース	
		161	図 10.6 nTRST出力をHighドライブできないエミュレータの接続回路例 ResetIC → 外付けリセットIC
		162	図 10.7 nTRST出力をHighドライブできるエミュレータの接続回路例 ResetIC → 外付けリセットIC
		12. 割り込みコントローラ(ICUA)	
		166	表 12.1 割り込みコントローラの仕様 注2.を修正: CR4F → CR4
		232	表 12.3 Cortex-R4/DMAC 割り込みベクタテーブル(1/8) ベクタ番号1~3の要求元を修正: System (CR4F) → System (CR4)
		252	12.4.6.3 レベル検出選択時の注意 レベル割り込みA発生時の説明を追加
		253	12.4.6.6 ベクタ設定について 追加
		16. I/Oポート	
		367	表 16.3 未使用端子の処理内容 注1.を追加
		18. 16ビットタイマパルスユニット(TPUa)	
		432	18.3.4 カスケード接続動作 注2.を追加
		433	18.3.4, (2) カスケード接続動作例 説明を追加
		433	図 18.18 カスケード接続動作例(1) TPU1.TCNTクロック、TPU2.TCNTクロックの波形を変更
		464	18.8.16 カスケード接続時におけるインプットキャプチャ動作 追加
		19. コンペアマッチタイマ(CMT)	
		476	19.2.5 コンペアマッチタイマコンスタントレジスタ(CMCOR) 説明を追加
		20. コンペアマッチタイマW(CMTW)	
		494	20.2.5 コンペアマッチコンスタントレジスタ(CMWCOR) 説明を追加
24. FIFO内蔵シリアルコミュニケーションインタフェース(SCIFA)			
596, 597	24.2.8 ビットレートレジスタ(BRR) レジスタシンボルを修正: SMER → SEMR		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2017.12.08	26. シリアルペリフェラルインタフェース (RSPIa)	
		741	26.2.14 RSPIコマンドレジスタ0～7(SPCMD0～SPCMD7) ビット機能表b6-b4(SSLy[2:0]ビット): 010, 011の機能説明の誤記を修正
		746	26.3.2 RSPI端子の制御 注を追加
		27. SPIマルチI/Oバスコントローラ (SPIBSC)	
		821	27.2.14 SPIモードリードデータレジスタ0(SMRDR0) 説明を追加
		822	27.2.15 SPIモードライトデータレジスタ0(SMWDR0) 説明を追加
		34. 電気的特性	
		1027	表34.17 RSPIaタイミング 注2.を追加、注2.→注3.
1.60	2019.05.24	全体	
		—	ARM社→Arm社に修正
		1. 概要	
		31	表1.1 仕様概要 (1/5) 中央演算処理装置 (Cortex-R4) : ARMv7-Rアーキテクチャ→Armv7-Rアーキテクチャに修正
		31	表1.1 仕様概要 (1/5) ECC付き拡張内蔵SRAM: “動作周波数”を追加
		31	表1.1 仕様概要 (1/5) DMAC: 起動要因を変更
		32	表1.1 仕様概要 (2/5) CMT: イベントリンク機能を変更
		39	表1.4 端子機能一覧 (1/3) TPUaの各端子の機能説明を修正
		3. 動作モード	
		53	3.4.1 モードモニタレジスタ ビット配置図: b24のリセット後の値を修正
		54	3.5.1 ブート機能 (3) の説明を変更
		54	図3.1 ブート処理の動作概要 ③の説明を変更
		55	図3.2 ローダ用パラメータ、ローダプログラム のメモリ配置 ローダプログラムを修正
		56	表3.3 SPIブートモード時のローダ用パラメータ情報 注2を追加、注3を修正、注2→注4に変更
		57	3.5.3 ローダプログラム ローダプログラムの設定の説明を変更: 外部メモリ内の格納アドレスの説明を削除、SPIブートモード時の外部メモリ内の格納アドレスの説明を追加
		58	表3.4 SPIブートモード終了時の各周辺モジュール/レジスタの設定値 MSTPCRC, PORT6 .PMR, MPC.PmnPFS レジスタのブート処理終了時の設定値を修正
		61	図3.4 ブート処理中のメモリマップ定義とCortex-R4のデフォルトメモリマップの関係 4000 0000h～5FFF FFFFhの設定をDefault Memory Mapに追加
		4. アドレス空間	
		65	図4.1 メモリマップ (拡張内蔵SRAM 1MB 品) 拡張内蔵SRAMのミラー領域を変更、周辺I/Oレジスタ、MDIO用領域に注3を追記
		66	図4.2 メモリマップ (拡張内蔵SRAM 0KB 品) MDIO用領域: 4KB→4MBに修正、注3を追記
		5. I/O レジスタ	
		69	表5.1 I/Oレジスタアドレス一覧 (2/42) A000 014Ah / PORT5レジスタのアクセスサイズを修正
		6. リセット	
		110	6.1 概要 RES# 端子リセットを追加
		110	表6.2 リセット種別ごとの初期化対象 注3を修正
		114	6.3.1 RES# 端子リセット PLL0 発振安定待ち時間 (tPLOWT) の説明を削除
		114	6.3.2 ECM リセット PLL0 発振安定待ち時間 (tPLOWT) の説明を削除
		114	6.3.3 ソフトウェアリセット PLL0 発振安定待ち時間 (tPLOWT) の説明を削除
		116	6.4 使用上の注意事項 6.4.1 リセット出力端子 (RSTOUT#) について 追加
		7. クロック発生回路	
		118	表7.2 クロック発生回路の仕様 (内部クロック) PCLK, CLMAPLCLK1, TCLKの周波数を修正、注1を追加
		121	7.2.1 システムクロックコントロールレジスタ ビット機能表: b20 (TCLK) の機能説明を修正

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.60	2019.05.24	123	7.2.3 PLL1 コントロールレジスタ ビット機能表：注1を修正		
		125	7.2.4 PLL1 コントロールレジスタ2 ビット機能表：注を修正（PLL1CR1 レジスタ→PLL1CR レジスタ）		
		126	7.2.5 低速オンチップオシレータコントロールレジスタ 低速オンチップオシレータコントロールレジスタ→LOCOCR レジスタに変更		
		127	7.2.6 発振停止検出コントロールレジスタ ビット機能表：注1を修正		
		131	7.8 内部クロック (5) のCLMA クロックを修正		
		132	7.8.7 CLMA クロック (CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、CLMAPLCLK1) タイトル、本文を修正		
		132	7.8.9 ECM クロック (ECMCLK) 説明を追加		
		132	7.8.11 トレース I/F クロック (TCLK) 説明を追加		
		133	7.9.1 クロック発生回路に関する使用上の注意事項 (2) ~ (4) の説明を修正		
		8. クロックモニタ回路 (CLMA)			
		142	8.3.2, (2) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法 例 CLMA0 の場合：上限しきい値 (Nmax) を修正		
		9. 消費電力低減機能			
		144	9.2 レジスタの説明 本文を修正		
		10. デバッグインタフェース			
		153	10.1 概要 参照先 (表) を追加		
		153	表 10.1 CoreSightの仕様 トレース機能のトレースポートインタフェースの内容を修正		
		157	表 10.6 デバッグインタフェースの入出力端子 注1を修正		
		161	10.3.3 トレースポートインタフェース 75MHzの説明を削除		
		165	表 10.8 使用可能なトレース機能 TracePortI/Fのトレース機能の説明を修正		
		11. レジスタライトプロテクション機能			
		167	11.2.1 プロテクトレジスタ PRCi ビットの添字 (i) を修正		
		12. 割り込みコントローラ (ICUA)			
		168	12.1 概要 本文を修正		
		168	表 12.1 割り込みコントローラの仕様 注3を追加		
		170	12.2.1 IRQ コントロールレジスタi 注を追加		
		172	12.2.3 IRQ 端子デジタルノイズフィルタ設定レジスタ FCLKSELi[1:0] ビットの説明を修正		
		177	12.3.1 割り込み要求先の選択 本文を修正、注を追加		
		177	図 12.2 割り込み要求先をDMAC に選択した場合 タイトルを修正、説明を追加		
		178	図 12.3 割り込み要求先をCPU (割り込みコントローラ) に選択した場合 タイトルを修正、説明を追加		
		179	12.3.2 デジタルノイズフィルタ サンプリング周期→サンプリングに修正		
		180	12.3.3 外部端子割り込み 本文を変更		
		181	12.4 Cortex-R4 ベクタ割り込みコントローラ (VIC) 12.4.1 概要 本文を修正		
		213	12.4.2.8 割り込み優先レベルマスクレジスタ1 ビット機能表：b15-b0 (PRLM[15:0]) の1機能の説明を修正、PRLMi ビットの説明を修正		
		230	12.4.2.16 割り込みアドレス格納レジスタ0、割り込みアドレス格納レジスタ1 VADビットの説明を変更		
		245	12.4.4.3, (2) IRQ 割り込み (レベル割り込み) 添字を修正：m→n		
		254	12.4.6.5 ベクタ設定について オフセットアドレス→アドレスに修正		
		255	12.5 使用上の注意事項 12.5.1 外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合 追加		
		255	12.5.2 NMI 端子割り込みを立ち下がりエッジで使用する場合 (12.4.6.5→12.5.2に移動)		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.60	2019.05.24	14. DMA コントローラ (DMACa)	
		258	表 14.1 DMACの仕様 DMAモード (レジスタモード/リンクモード)、スキップ機能の内容を修正
		264	14.2.5 カレントデスティネーションアドレスレジスタ アドレス: レジスタシンボルを修正 (CRDA_C→CRDA_8)
		268、269	14.2.7 チャネルステータスレジスタ n ビット機能表: b10 (DER)、b16 (INTM) の機能説明を修正
		270	14.2.8 DMAC Unit0 要因選択レジスタ i 本文を修正、アドレス: ICU.DMA0SELx→DMA0.DMA0SELxに修正
		270	14.2.9 DMAC Unit1 要因選択レジスタ i 本文を修正、アドレス: ICU.DMA1SELx→DMA1.DMA1SELxに修正
		271	14.2.10 DMAC ソフトウェア起動レジスタ アドレス: ICU.DMASTG→DMAC.DMASTGに修正
		273	14.2.11 チャネルコントロールレジスタ n ビット機能表: b7のビットシンボル、機能説明を変更、b12 (SETREN) の機能説明を変更
		276、277	14.2.12 チャネルコンフィギュレーションレジスタ n ビット機能表: b20 (SAD)、b21 (DAD) の機能説明を変更、注1を追加
		284	14.2.19 デスティネーションスキップレジスタ n DSKP_15のアドレスを修正: A006 36E8→A006 36ECh
		287	14.2.21 デスクリプタインターバルレジスタ n ビット機能表: b7-b1 (予約ビット) →b7-b0 (予約ビット) に修正
		299	14.3.1.2 リンク・モード 本文を修正
		302	表 14.11 ディスクリプタ・フォーマット Channel Extensionの項目を削除
		303	表 14.12 「表 14.11 ディスクリプタ・フォーマット」中の起動の説明 “Channel Extension” を削除
		303	表 14.13 ディスクリプタ配置例 DSCFM 1hのアドレス +18hの内容を“Extension”→“—”に修正
		303	図 14.9 header 領域 説明を修正
		305	図 14.10 header 領域 外部メモリ→メモリ、DMA transaction→DMA transferに修正
		306	14.3.1.2, (3) ディスクリプタ設定 ・ディスクリプタに関する注意事項: 説明を修正 (LV = 0→LV = 1)
		307	図 14.11 header 領域 外部メモリ→メモリに修正
		309	14.3.3.1 固定優先順位モード 本文を修正
		309	図 14.12 リセット直後の優先順位とDMA チャネル0の転送が行われた後の優先順位 追加
		310	14.3.3.2 ラウンドロビン・モード 本文を修正
		310	図 14.13 リセット直後の優先順位とDMA チャネル2の転送が行われた後の優先順位 追加
		311	14.3.4.1 DMA 転送要求の要因毎の検出動作指定 ビットシンボルを修正: HEN→HIEN、LEN→LOEN
		312	表 14.20 DMA転送要求検出動作設定表 (1/2) DMA転送要求元/S12ADCa Unit0, S12ADCa Unit1のCHCFG_nのTMビットを修正
		314	図 14.14 ソフトウェア強制排出タイミング スウィーブライト→強制排出 (ライト) に修正
		315	14.3.7.1 転送元側の転送データサイズが小さい場合 本文を修正
		318	14.3.10.1 転送中断 (パッファ掃き出しなし: SBE = 0) 説明を追加
		321	表 14.21 DMACの割り込み要因 ディスクリプタ・インバリッド→ディスクリプタ無効に修正
		324	表 14.23 DMA転送の設定例1 AHB設定の項目を削除
		326	表 14.24 DMA転送の設定例2 AHB設定の項目を削除
		332	図 14.25 Next レジスタ連続実行の設定例 タイトルを修正
		334	14.6 使用上の注意 SKIP転送→スキップ転送に変更
		15. イベントリンクコントローラ (ELC)	
		全体	カウントリスタート→カウントクリアに修正
		336	15.2.2 イベントリンク設定レジスタ n ビット機能表: b7-b0 (ELS[7:0]) の機能説明を修正

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.60	2019.05.24	341	15.2.6 ポートバッファレジスタ n ビット機能表：機能説明を修正		
		346	図 15.2 割り込み処理と ELC の関係 ICU→ICUAに修正		
		347	15.3.2 イベントのリンク 本文を修正		
		347	表 15.5 イベント入力時のモジュール別動作一覧 CMT, CMTW, TPU, I/Oポート（出力）, I/Oポート（入力）のイベント入力時の動作を修正、Encoder I/Fモジュールを削除		
		348	15.3.3, (2) カウントクリア動作 説明を修正		
		348	15.3.3, (5) カウントストップ動作 削除		
		348	15.3.5, (1) シングルポートとポートグループ レジスタシンボルを修正：PEL0～PEL3→PELn、PGCn→PGRn		
		349	15.3.5, (2) シングル入力ポートでのイベント発生動作 タイトル、説明を修正		
		349	15.3.5, (3) シングル出力ポートのイベント入力動作 説明を修正		
		349	図 15.3 シングルポートのイベントリンク動作（ポートEの場合） 図を修正		
		350	15.3.5, (4) 入力ポートグループのイベント発生動作 タイトル、説明を修正		
		350	15.3.5, (5) 入力ポートグループのイベント入力動作 追加		
		350	図 15.4 入力ポートグループのイベント入力時の動作（ポートEの場合） 図を修正		
		351	15.3.5, (6) 出力ポートグループのイベント入力動作 タイトル、説明を修正		
		351	図 15.5 出力ポートグループのイベントリンク動作（ポートEの場合） 図を修正		
		352	図 15.6 出力ポートグループのビットローテート出力の動作（ポートEの場合） 図を修正		
		—	15.3.5, (6) ポートバッファレジスタの動作 削除		
		352	15.3.5, (7) PODR レジスタ、PDBFn レジスタへのCPU での書き込み制限 タイトル、説明を修正		
		353	15.3.6 イベントリンクの動作設定手順例 2.の説明：見出しを追加、4.の説明を修正		
		354	15.4.1 ELSR18、ELSR19 レジスタの設定について 本文を修正		
		16. I/Oポート			
		360	図 16.4 入出力ポートの構成 (4) ISELビットを削除、注1を削除		
		361	図 16.5 入出力ポートの構成 (5) 注1を削除		
		17. マルチファンクションピンコントローラ (MPC)			
		377	17.2.6 P4n 端子機能制御レジスタ 本文を修正		
		379	17.2.8 P6n 端子機能制御レジスタ 本文を修正		
		381	17.2.10 P9n 端子機能制御レジスタ ISELビット：説明を追加		
		382	17.2.11 PAn 端子機能制御レジスタ 本文を修正		
		383	17.2.12 PCn 端子機能制御レジスタ 本文を修正		
		385	17.2.14 PGn 端子機能制御レジスタ 本文を修正		
		387	表 17.15 レジスタの設定 アナログ入力の注意事項を修正		
		18. 16 ビットタイマパルスユニット (TPUa)			
		全体	カウントリスタート→カウントクリアに修正		
		392	表 18.2 TPUの機能一覧 (2/2) モジュールストップの設定：ビットの誤記を修正、注1を追加（それに伴い、注1→注2、注2→注3に変更）		
		411	18.2.4 タイマ割り込み許可レジスタ ビット機能表：注3を追加		
		415	18.2.6 タイマカウンタ 添字 (m) を修正		
		423	図 18.5 コンペアマッチによる波形出力動作の設定手順例 添字を修正：n→m		
		433	18.3.4 カスケード接続動作 添字を修正：TPUm.TCNT (n = 2, 5) →TPUn.TCNT (n = 2, 5)、注3を追加		
		435	18.3.5 PWM モード 記載場所の移動、1. PWM モード1の説明を修正、2. PWM モード2の説明を修正		
		440	図 18.23 PWM モード動作例 (3) (a) ~ (c) の項目、および説明を追加		
		446	18.3.6.1 位相計数モード応用例 本文を修正		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.60	2019.05.24	447	18.3.7 ノイズフィルタ機能 サンプリング周期→サンプリングに修正		
		449	18.5 DMAC の起動 TGRB→TPUm.TGRBに修正		
		451	図 18.34 インพุットキャプチャ入力信号タイミング インพุットキャプチャ信号の立ち上りのタイミング線を変更		
		459	図 18.48 TPUm.TGRy レジスタの読み出しとインพุットキャプチャの競合 バッファレジスタ→TPUm.TGRy レジスタに修正		
		459	図 18.49 TPUm.TGRy レジスタへの書き込みとインพุットキャプチャの競合 TPUm.TCNT→TPUm.TGRy レジスタに修正		
		466	表 18.30 ELCへ送信するイベント信号の割り込み要因対応表 チャンネル4, チャンネル5を削除、注2を修正		
		466	18.9.2, (1) カウントスタート動作 “ELCのELOPF レジスタで”の文言を追加		
		467	18.9.2, (2) カウントクリア動作 タイトル、説明を修正		
		467	図 18.57 イベント信号受信によるカウントリスタート動作 TCNTレジスタが“0000h”→“0001h”に変化するタイミングに説明を追加		
		468	18.9.2, (3) インพุットキャプチャ動作 説明を修正		
		469	18.9.3, (2) カウントクリア動作 説明を修正		
		19. コンペアマッチタイマ (CMT)			
		全体	レジスタシンボルを修正 : CMCNT0→CMT0.CMCNT、CMCNT1→CMT1.CMCNT、CMCNT2→CMT2.CMCNT、CMCNT3→CMT3.CMCNT、CMCOR0→CMT0.CMCOR、CMCOR1→CMT1.CMCOR、CMCOR2→CMT2.CMCOR、CMCOR3→CMT3.CMCOR		
		473	表 19.1 CMTの仕様 イベントリンク機能 : (チャンネル1のみ) → (ユニット0のチャンネル1のみ)に修正		
		476	19.2.3 コンペアマッチタイマコントロールレジスタ ビット機能表 : b1-b0 (CKS[1:0]) の機能説明を修正 (CMCNTnカウンタ→CMTn.CMCNTカウンタ、CMSTR.STRnビット→CMSTRm.STRnビット、添字を修正 (m, n))		
		476	19.2.4 コンペアマッチタイマカウンタ レジスタシンボルを修正 : CMSTRn.STRm→CMSTRm.STRn、添字を修正 (m, n)		
		478	19.3.1 周期カウント動作 レジスタシンボルを修正 : CMSTRn.STRm→CMSTRm.STRn、添字を追加 (m, n)		
		480	19.5.1 ELC へのイベント発行 レジスタシンボルを修正 : CMCSRn.CMIE ビット→CMT1.CMCR.CMIE ビット		
		481	19.5.2, (1) カウントスタート動作 レジスタ名、ビット名を修正		
		481	図 19.6 イベント受け付けによるカウントスタート動作 機能選択n→動作選択、イベント入力信号n→イベント入力信号、CMSTR.STRn→CMSTR0.STR1、CMCNTn→CMT1.CMCNTに修正		
		482	19.5.2, (2) イベントカウンタ動作 レジスタシンボル、レジスタ名を修正		
		482	図 19.7 イベント受け付けによるイベントカウント動作 機能選択n→動作選択、イベント入力信号n→イベント入力信号、CMCNTn→CMT1.CMCNTに修正		
		483	19.5.2, (3) カウントクリア動作 説明を修正、レジスタシンボル、レジスタ名を修正		
		483	図 19.8 イベント受け付けによるカウントクリア動作 機能選択n→動作選択、イベント入力信号n→イベント入力信号、CMCNTn→CMT1.CMCNTに修正		
		484	図 19.9 カウントスタート動作でのイベント受け付けとレジスタアクセスの競合 機能選択m→動作選択、イベント入力信号m→イベント入力信号、CMSTRn.STRm→CMSTR0.STR1に修正		
		485	図 19.10 イベントカウント動作でのイベント受け付けとレジスタアクセスの競合 機能選択→動作選択、CMCNT→CMT1.CMCNTに修正		
		486	図 19.11 カウントクリア動作でのイベント受け付けとレジスタアクセスの競合 機能選択→動作選択、CMCNT→CMT1.CMCNTに修正		
		488	表 19.3 イベントリンク動作/レジスタアクセス/カウンタ状態の競合動作まとめ CMSTRn.STRm→CMSTR0.STR1に修正		
		20. コンペアマッチタイマ W (CMTW)			
		全体	カウントリスタート→カウントクリアに修正		
		489	表 20.1 CMTWの仕様 イベントリンク : 誤記を修正		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.60	2019.05.24	490	図20.1 CMTW (ユニット0) のブロック図 タイトル、レジスタシンボルの誤記、割り込み要求信号を修正		
		492、493	20.2.2 タイマコントロールレジスタ ビット機能表: b6 (OC0IE), b7 (OC1IE) の機能説明を修正 (アウトプットキャプチャ→アウトプットコンペア)、CMWIE ビットの説明を修正: “ (CMWF = 1) ” を削除		
		506	図20.9 カウントタイミング (PCLKD/8 のとき) CMWCNT: “N-1” を追記		
		508	20.3.9 デジタルノイズフィルタ機能 サンプリング周期→サンプリングに修正		
		509	20.4.1 CMTW の割り込み要因とDMAC 割り込み要因名に添字 (n) を追記		
		513	20.5.2 ELC からのイベント受け付けによるアクション 本文の誤記を修正: 4 通りの動作→3 通りの動作		
		514	20.5.2, (3) カウントクリア動作 説明を修正		
		515	20.6.1 モジュールストップ機能 本文を修正		
		517	図20.23 CMWOCR レジスタの書き込みとカウントアップの競合 CMWCOR→CMWOCR、CMWCR→CMWOCRに修正		
		—	20.6.8, (4) インพุットキャプチャ動作 削除		
		—	20.6.8, 図20.29 インพุットキャプチャ動作でのイベント受け付けによるカウントクリアとレジスタアクセスの競合 削除		
		521	表20.4 イベントリンク動作/レジスタアクセス/カウンタ状態の競合動作まとめ レジスタシンボルを置き換え、インพุットキャプチャの項目を削除		
		21. ウォッチドッグタイマ (WDTA)			
		522	表21.1 WDTの仕様 イベントリンク機能: 削除		
		523	図21.1 WDT のブロック図 WDTRCR レジスタを追加、イベントリンク出力とイベントリンクコントローラ回路を削除		
		529	21.2.3 WDT ステータスレジスタ 本文を修正		
		532	図21.3 レジスタスタートモード動作例 ECMへのエラー通知: Active: L→Active: Hに修正		
		533	21.3.2 WDTCR レジスタ、WDTRCR レジスタの書き込み制御 本文を修正		
		537	21.4.1 低消費電力モード遷移におけるウォッチドッグタイマの動作 本文を修正: Coretex-R4→Cortex-R4		
		537	表21.4 低消費電力モード遷移時のWDT動作<低消費電力モード遷移時> VDD、WDT1クロック供給、WDT1動作の項目を削除		
		—	21.5 イベントリンク (ELC) 機能によるリンク動作 削除		
		22. 独立ウォッチドッグタイマ (IWDTa)			
		538	表22.1 IWDTの仕様 イベントリンク機能: 削除		
		539	図22.1 IWDT のブロック図 IWDRCR レジスタを追加、イベントリンク出力とイベントリンクコントローラ回路を削除		
		542	22.2.2 IWDT コントロールレジスタ CKS[3:0] ビットの説明を修正		
		545	22.2.3 IWDT ステータスレジスタ 本文を修正		
		547	22.3.1 カウント開始条件の動作 レジスタ名を修正		
		548	図22.3 レジスタスタートモード動作例 ECMへのエラー通知: Active: L→Active: Hに修正		
		549	22.3.2 IWDRCR レジスタ、IWDRCR レジスタの書き込み制御 本文を修正		
		553	22.3.6 ダウンカウンタ値の読み出し 本文を修正		
		553	図22.7 IWDT カウンタ値の読み出し処理 (IWDRCR.CKS[3:0] = 0000b、IWDRCR.TOPS[1:0] = 11b) 修正 (差し替え)		
		—	図22.8 IWDT カウンタ値の読み出し処理 (IWDRCR.CKS[3:0] = 0010b、IWDRCR.TOPS[1:0] = 11b) 削除		
		554	22.4.1 低消費電力モード遷移におけるウォッチドッグタイマの動作 本文を修正: Coretex-R4→Cortex-R4		
		554	表22.4 低消費電力モード遷移時のIWDT動作<低消費電力モード遷移時> VDDの項目を削除		
		—	22.5 使用上の注意事項 削除		
		—	22.6 イベントリンク (ELC) 機能によるリンク動作 削除		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.60	2019.05.24	24. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA)	
		587	表 24.1 SCIFAの仕様 割り込み要因、調歩同期式モード (受信エラー検出) の内容を修正、注 1 を修正 (調歩同期モード→調歩同期式モード)
		589	24.2.1 レシーブシフトレジスタ 本文を修正
		589	24.2.2 レシーブFIFO データレジスタ 説明を追加
		596	24.2.7 シリアルステータスレジスタ TEND ビットの説明を修正
		598	表 24.3 SMRレジスタの設定 見出し行を修正: SMRレジスタ→SMR.CKS[1:0]ビット、CKS1→b1、CKS0→b0
		602	24.2.9 モジュレーションデューティレジスタ MDDR レジスタの設定値を修正: $128 \leq MDDR \leq 256 \rightarrow 128 \leq MDDR \leq 255$
		603	表 24.10 ビットレートに対するBRR、MDDRレジスタの設定例 (調歩同期式モード) 誤差が最小になる組み合わせに修正
		605	24.2.10 FIFO コントロールレジスタ TTRG[1:0], RTRG[1:0], RSTRG[2:0] ビットの説明を修正
		606	24.2.11 FIFO データ数レジスタ 本文を修正
		607、608	24.2.12 シリアルポートレジスタ MPC (マルチポートコントローラ) →MPC (マルチファンクションピンコントローラ) に修正
		610	24.2.14 シリアル拡張モードレジスタ DIRビットの説明の注1を修正 (同期モード→同期式モード)
		612	24.3 動作説明 24.3.1 概要 本文を修正
		613	表 24.15 SMR、SCR、SPTRレジスタの設定値とSCIFAのクロックソースの選択 CKE1 CKE0 →CKE[1:0]に変更
		617	図 24.3 SCIFA 初期化 (調歩同期式モード) のフローチャートの例 処理を修正
		620	図 24.7 シリアル受信のフローチャートの例 (1) 受信FIFO しきい値→受信データトリガ数、手順→ステップに変更
		622	図 24.10 モデムコントロールを使用した動作例 (RTS#) RTSn端子→RTS#端子に修正
		624	図 24.12 SCIFA 初期化フローチャートの例 処理を修正
		625	図 24.13 シリアル送信のフローチャートの例 [2]の説明を修正
		627	図 24.15 シリアル受信のフローチャートの例 受信FIFO しきい値→受信データトリガ数に変更
		629	図 24.17 シリアルデータ送受信フローチャートの例 注の説明を修正、受信FIFO しきい値→受信データトリガ数、手順→ステップに変更
		630	24.4 ビットモジュレーション機能 ビットシンボルを修正
		631	24.5 割り込み要因 本文を修正
		636	24.8.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン 式 (1): Dの説明を修正 ("D:0~1.0"→"D=0~1.0")
		637	24.8.11 SCIFA 初期化時の注意事項 追加
		25. I ² C バスインタフェース (RIICa)	
		638	表 25.1 RIICの仕様 (1/2) アービトレーションの内容を修正
		648	25.2.4 I ² C バスモードレジスタ2 本文を修正: SDA 出力遅延機能を追加、RIIC1.ICMR2のアドレスを修正
		650、651	25.2.5 I ² C バスモードレジスタ3 本文を修正: アクノリッジの設定を追加、ビット機能表: b5 (RDRFS) の"1"機能の説明を修正、ACKBR, ACKBT, RDRFS ビットの説明を修正
		652、653	25.2.6 I ² C バスファンクション許可レジスタ MALE, NALE, SALE, SCLEビットの説明を変更
		662	25.2.10 I ² C バスステータスレジスタ2 AL フラグの説明を修正: NACK アービトレーションロスト検出有効時→NACK 送信アービトレーションロスト検出有効時
		675	図 25.6 マスタ送信のフローチャート例 (6) の説明を修正
		679	図 25.10 マスタ受信のフローチャート例 (7 ビットアドレスフォーマットの場合、2 バイト以下の場合) (8) の説明を修正
		680	図 25.11 マスタ受信のフローチャート例 (7 ビットアドレスフォーマット、3 バイト以上の場合) (8) の説明を修正

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.60	2019.05.24	683	25.3.5 スレーブ送信動作 (1)、(2) の説明を修正		
		684	図25.15 スレーブ送信のフローチャート例 (5) の説明を修正		
		686	25.3.6 スレーブ受信動作 (1)、(3)、(4) の説明を修正		
		689	図25.21 RIIC のSCL クロック生成およびSCL 同期化動作 SCL0nライン→SCLnラインに修正		
		691	図25.23 デジタルノイズフィルタ回路のブロック図 SCL0n/SDA0n→SCLn/SDAnに修正		
		692	図25.24 7ビットアドレスフォーマット選択時にAASy フラグが“1”になるタイミング 【7ビットアドレスフォーマット：スレーブ受信動作】に説明を追加		
		693	図25.25 10ビットアドレスフォーマット選択時にAASy フラグが“1”になるタイミング 【10ビットアドレスフォーマット：スレーブ受信動作】に説明を追加		
		694	図25.26 7ビット/10ビットアドレスフォーマット混在時にAASy フラグが“1”または“0”になるタイミング ①：“アドレス不一致”記載位置移動、②：ICSA1L→ICSA1L1に修正		
		708	図25.36 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット) 【リスタートコンディション発行動作】SCLnラインのHigh幅：8→9に修正		
		711	図25.38 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビット) 【TMOH = 1、TMOL = 1の動作例】TMOSビット設定値の誤記を修正		
		26. シリアルペリフェラルインタフェース (RSPIa)			
		720	図26.1 RSPI のブロック図 割り込み名に添字を追加 (y)		
		721	表26.2 RSPIの出力端子 SSL00, SSL01, SSL02, SSL03, SSL10, SSL11 端子の機能を修正、注の添字を修正		
		723	26.2.1 RSPI 制御レジスタ SPTIE ビットの説明を修正：(SPSR.SPTEFビット=“1”)を削除		
		727	26.2.4 RSPI ステータスレジスタ ビット機能表：b7-b4 (予約ビット) の機能説明、R/Wを修正		
		729	図26.2 SPDR レジスタの構造図 “シフトレジスタ”の記載を変更		
		737	26.2.10 RSPI クロック遅延レジスタ 本文を修正		
		743	26.2.14 RSPI コマンドレジスタ0～7 ビット機能表：xの説明を削除		
		748	図26.5 シングルマスタ/シングルスレーブの構成例 (本LSI = マスタ) 注1を変更、注2を削除		
		777	図26.31 マスタモードでのシリアル転送方式の決定方法 SSLA[2:0]→SSLy[2:0]に修正		
		788	図26.39 スレーブモード時の初期化フロー例 (SPI 動作) SSLA0 入力→SSL信号に修正		
		792	図26.43 マスタモードでのシリアル転送方式の決定方法 SSLA[2:0]→SSLy[2:0]に修正		
		799	26.3.14 割り込み要因 本文を修正：送信バッファエンプティ割り込みおよび受信バッファフル割り込みの説明を削除		
		802	26.5.2 消費電力低減機能の注意事項 本文を修正		
		27. SPI マルチI/O バスコントローラ (SPIBSC)			
		全体	ICLK→PCLKAに修正		
		803	27.1 概要 本文を修正		
		831	図27.7 バーストリード動作時のリード動作 (1) の説明を修正		
		840	表27.5 データレジスタ ダミーサイクルのモードの説明を修正：DRDMCレジスタ→DRDMCRレジスタ、SMDMCレジスタ→SMDMCRレジスタ		
		840	27.3.10, (2) データイネーブル 説明を修正		
		843	表27.8 端子状態 (3) 端子の誤記を修正：SPBMI0/SPBIO10→SPBMI/SPBIO1		
		28. CRC 演算器 (CRC)			
		847	図28.1 CRC 演算器 (CRC) のブロック図 誤記を修正：CRCCR.DCRA0POL[1:0]→CRCCR.DCRA0POL[1:0]		
		850	28.2.3 CRC コントロールレジスタ ビット機能表：ビットシンボルの誤記を修正 (CRCCR→CRCDIR)		
		29. エラーコントロールモジュール (ECM)			
		855	表29.2 ECMエラー入力 (1/2) エラー要因番号1の機能説明を修正：Cortex-RF4→Cortex-R4		
		857	29.2.1 ECM マスタ/チェッカエラーソースステータスレジスタ0 ビット機能表：b4 (ECMmSSE004)、b5 (ECMmSSE005) の機能説明を修正		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.60	2019.05.24	862	29.2.5 ECM マスカブル割り込みコンフィグレーションレジスタ0 ビット機能表 : b4 (ECMMIE004)、b5 (ECMMIE005) の機能説明を修正		
		867	29.2.8 ECM ノンマスカブル割り込みコンフィグレーションレジスタ0 ビット機能表 : b4 (ECMNMIE004)、b5 (ECMNMIE005) の機能説明を修正		
		872	29.2.11 ECM 内部リセットコンフィグレーションレジスタ0 ビット機能表 : b4 (ECMIRE004)、b5 (ECMIRE005) の機能説明を修正		
		877	29.2.14 ECM エラーソースステータスクリアトリガレジスタ0 ビット機能表 : b4 (ECMCLSSE004)、b5 (ECMCLSSE005) の機能説明を修正		
		883	29.2.19 ECM 擬似エラートリガレジスタ0 ビット機能表 : b4 (ECMPE004)、b5 (ECMPE005) の機能説明を修正		
		889	29.2.25 ECM デレイタイマコンフィグレーションレジスタ0 ビット機能表 : b4 (ECMTE004)、b5 (ECMTE005) の機能説明を修正		
		894	29.2.28 ECM デレイタイマコンフィグレーションレジスタ3 ビット機能表 : b4 (ECMTE304)、b5 (ECMTE305) の機能説明を修正		
		30. 12 ビットA/D コンバータ (S12ADCa)			
		923	30.2.6 A/D 変換値加算/平均モード選択レジスタ ADS[7:0] ビットの説明を修正 : ビットシンボルの誤記を修正 (ADANSA0.ANSA0[7:0]→ADANSA.ANSA[7:0])		
		932	30.2.12 サンプル& ホールド回路コントロールレジスタ ビット機能表 : b15-b11 (予約ビット) →b15-b12 (予約ビット) に修正		
		943	30.2.22 A/D コンペアステータス拡張レジスタ アドレスを修正		
		945	30.2.25 A/D エラークリアレジスタ アドレス : モジュールシンボルを修正		
		946	30.2.26 A/D オーバライトエラーレジスタ OWE[7:0] ビットの説明 : シンボルの誤記を修正 (OWE0[7]→OWE [7])		
		972	30.3.5 コンペア機能 (2) の説明を修正 : ADCMPANSRy レジスタ→ADCMPANSR レジスタ		
		983	30.4.1 割り込み要求 本文を修正 : ADI 割り込み→S12ADI 割り込み、GBADI 割り込み→S12GBADI 割り込み		
		983	表30.12 モード設定とS12ADI割り込み出力 ADI 割り込み→S12ADI 割り込み、GBADI 割り込み→S12GBADI 割り込みに修正		
		986	30.5.6 低消費電力状態への遷移時の注意 本文の誤記を修正		
		31. 温度センサ			
		991、992	31.3.1 使用前の準備 参照先を変更、・温度センサの出力電圧の計算 (A/D 変換値加算モードを非選択とした場合) 追加		
		33. RAM (製品オプション)			
		1002	33.1 概要 注を修正		
		1004	33.2.2 ECC デコーダコンフィグレーションレジスタ 本文を修正 : 1bit ECC エラーの場合、2bit ECC エラーの場合の説明を追加		
		1007	33.2.4 2 ビットECC エラーステータスレジスタ 本文を修正		
		1008	33.2.5 2 ビットECC エラーアドレスレジスタ ビット機能表 : 注の誤記を修正		
		1011	図33.2 ECC エラーインジェクション設定手順例 タイトルを追加		
		1012	図33.3 ECC 動作確認手順例 タイトルを追加、処理を修正 : DBE_IRQ 割り込み→割り込み、注1を追加		
		34. 電気的特性			
		1016	表34.4 DC特性 (3) シュミットトリガ入力電圧/5Vトレラント対応端子の注の参照先を修正 : (注3) → (注2)		
		1.70	2020.10.23	全体	登録商標表示 Arm → Arm®
				1. 概要	
				35	表 1.1 仕様概要 (5/5) 注2 修正
				38	図 1.1 ブロック図 不要なバス線 削除
				40	表 1.4 端子機能一覧 (2/3) MDIOM/MDIO : MMDC0、MMDIO0端子 削除
42	図 1.2 ピン配置図 (112ピンFBGA) MMDC0、MMDIO0端子 削除				

Rev.	発行日	改訂内容	
		ページ	ポイント
1.70	2020.10.23	43	表 1.5 端子配置 (112ピンFBGA) (1/3) MMDC0、MMDIO0端子 削除
		46	表 1.6 機能別端子一覧 (112ピンFBGA) (1/3) MMDC0、MMDIO0端子 削除
		3. 動作モード	
		55	図 3.2 ロード用パラメータ、ロードプログラムのメモリ配置 注3 追加 (注3→注4、注4→注5に修正)
		56	表 3.3 SPIブートモード時のロード用パラメータ情報 注3 修正
		57	3.5.3 ロードプログラム SPIブートモード時の外部メモリ内の格納アドレスの説明 修正
		5. I/Oレジスタ	
		109	表 5.1 I/Oレジスタアドレス一覧 (42 / 42) アドレス : B083 0012h、B091 C100h、B091 C500h、B091 CD04h 削除
		6. リセット	
		112	6.2.1 リセットステータスレジスタ0 (RSTSR0) ビット機能表のR/W : R(W) → R(W) 修正
		7. クロック発生回路	
		131	7.8.2 システムクロック (ICLK) 本文 修正
		131	7.8.3 高速周辺モジュールクロック (PCLKA) 本文 修正
		131	7.8.4 低速周辺モジュールクロック (PCLKB) 本文 修正
		131	7.8.5 低速周辺モジュールクロック (PCLKD、PCLKE、PCLKF、PCLKG、PCLKH) 本文 修正
		8. クロックモニタ回路 (CLMA)	
		139	8.3.1 CLMAの動作 (1) 動作許可 : 3. の説明を修正
		9. 消費電力低減機能	
		全体	RIICaユニット → RIICaチャンネル、SCIFAユニット → SCIFAチャンネル、RSPIaユニット → RSPIaチャンネル 修正
		153	9.4.4 ライトプロテクション機能 モジュールストップコントロールレジスタ → モジュールストップコントロールレジスタ 修正
		12. 割り込みコントローラ (ICUA)	
		170	図 12.1 割り込みコントローラのブロック図 レジスタ : DMA0SELi、DMA1SELi、IRQFLTE → DMA0SELi、DMA1SELi (IRQFLTE レジスタを削除)
		231	12.4.2.16 割り込みアドレス格納レジスタ0 (VADn)、割り込みアドレス格納レジスタ1 (VADn) ビット配置図 : VADn[31:0] 記載
		231	12.4.2.16 割り込みアドレス格納レジスタ0 (VADn)、割り込みアドレス格納レジスタ1 (VADn) ビット機能表 : シンボル、機能説明 修正
		231	12.4.2.16 割り込みアドレス格納レジスタ0 (VADn)、割り込みアドレス格納レジスタ1 (VADn) VADn[31:0] ビットの説明 : ビットシンボル、添え字、ビット説明 修正
		236	表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (2/8) 要求元 : RSPI Unit0 → RSPI ch0 修正
		237	表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (3/8) 要求元 : RSPI Unit1、SCIFA Unit0 ~ SCIFA Unit2、SCIFA Unit4、RIIC Unit0 → RSPI ch1、SCIFA ch0 ~ SCIFA ch2、SCIFA ch4、RIIC ch0 修正
		238	表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (4/8) RIIC Unit1 → RIIC ch1 修正、ベクタ番号 : 135 要因 (Reserved) 修正
		241	表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (7/8) ベクタ番号 : 242、243 要因 修正
		242	表 12.3 Cortex-R4 / DMAC 割り込みベクタテーブル (8/8) 注2 修正
		243	図 12.5 VIC のレジスタ初期化 添え字 (m、q) 修正
		248	12.4.4.3 割り込み検出 (3) IRQ 割り込み (エッジ割り込み) 説明 修正
		14. DMAコントローラ (DMACa)	
		313	表 14.20 DMA 転送要求検出動作設定表 (1/2) RSPI Unit0、RSPI Unit1 → RSPI チャンネル0、RSPI チャンネル1 修正
314	表 14.20 DMA 転送要求検出動作設定表 (2/2) DMA 転送要求元 : SCIFA Unit0 ~ SCIFA Unit2、SCIFA Unit4、RIIC Unit0、RIIC Unit1 → SCIFA チャンネル0 ~ SCIFA チャンネル2、SCIFA チャンネル4、RIIC チャンネル0、RIIC チャンネル1 修正、ELC の DMA 転送要求 修正		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.70	2020.10.23	15. イベントリンクコントローラ (ELC)	
		338	表 15.2 ELSRn レジスタと周辺機能の対応 ELSR18、ELSR19 レジスタの周辺機能 (モジュール) 修正
		348	表 15.5 イベント入力時のモジュール別動作一覧 CMT、CMTW、TPUモジュール: イベント入力時の動作説明 修正
		349	15.3.3 タイマ系周辺機能のイベント入力時の動作 本文 修正
		16. I/O ポート	
		全体	Hi-z → Hi-Z 修正
		368	16.3.6 駆動能力制御レジスタ (DSCR) ビット機能表: ビット名の添え字 (m → 5) 修正
		17. マルチファンクションピンコントローラ (MPC)	
		372	表 17.1 兼用端子構成一覧 (3/3) マネージメントデータインプット/アウトプットインタフェース: 端子機能 MMDIO0 (入出力)、MMDC0 (出力) 削除
		379	17.2.7 P5n 端子機能制御レジスタ (P5nPFS) 表 17.7 端子入出力機能レジスタ設定 101011b: MMDIO0、MMDC0 端子 削除、注1 削除
		380	17.2.8 P6n 端子機能制御レジスタ (P6nPFS) 本文 修正
		383	17.2.11 PAn 端子機能制御レジスタ (PAnPFS) 表 17.11 端子入出力機能レジスタ設定 注1 修正
		18. 16 ビットタイマパルスユニット (TPUa)	
		424	図 18.5 コンペアマッチによる波形出力動作の設定手順例 [1]の説明: 添え字 修正
		467	18.9.2 ELCからのイベント信号受信 (2) カウントクリア動作 誤記修正
		19. コンペアマッチタイマ (CMT)	
		481	図 19.5 イベント発行タイミング CMCNTn → CMT1.CMCNT、CMCORn → CMT1.CMCOR 修正
		483	19.5.2 ELCからのイベント受け付けによるCMTの動作 (2) イベントカウンタ動作 レジスタ名 修正
		485	19.5.3 イベントリンク動作に関するCMTの注意事項 (1) カウントスタート動作 レジスタ名 修正
		486	19.5.3 イベントリンク動作に関するCMTの注意事項 (2) イベントカウンタ動作 レジスタ表記 修正
		487	19.5.3 イベントリンク動作に関するCMTの注意事項 (3) カウントクリア動作 レジスタ表記 修正
		20. コンペアマッチタイマW (CMTW)	
		500	20.2.9 デジタルノイズフィルタコントロールレジスタ1 (NFCR1) 本文 修正
		517	図 20.22 CMWCOR レジスタの書き込みとコンペアマッチの競合 タイトル 修正
		518	図 20.23 CMWOCR レジスタの書き込みとコンペアマッチの競合 タイトル 修正
		21. ウォッチドッグタイマ (WDTA)	
		530	21.2.3 WDTステータスレジスタ (WDTSR) ビット機能表: b14、b15のR/W 修正
		22. 独立ウォッチドッグタイマ (IWDTa)	
		546	22.2.3 IWDTステータスレジスタ (IWDTSR) ビット機能表: b14、b15のR/W 修正
		23. マネージメントデータインプット/アウトプットインタフェース (MDIO)	
		556	23. マネージメントデータインプット/アウトプットインタフェース (MDIO) 本文 修正
		572	表 23.3 マネージメントデータインプット/アウトプットインタフェース (MDIO マスタ) の仕様チャンネル数の内容 修正
		573	23.2.1.1 入出力端子 本文 修正
		573	表 23.4 MDIO マスタの入出力端子 チャンネル: MDIOM0 削除、注1 削除
		573	表 23.5 入出力端子とI/Oポートの対応 チャンネル: MDIOM0 削除
		574	表 23.6 レジスタ一覧 アドレス: B083 0012h、B091 C100h、B091 C500h、B091 CD04h 削除
		574	23.2.2.1 ビットレートレジスタ (BR) アドレス: MDIOM0.BR B083 0012h 削除
		575	23.2.2.2 送信レジスタ (TX) アドレス: MDIOM0.TX B091 C100h 削除

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.70	2020.10.23	577	23.2.2.3 Versionレジスタ (VER) アドレス : MDIOM0.VER B091 C500h 削除		
		578	23.2.2.4 受信レジスタ (RX) アドレス : MDIOM0.RX B091 CD04h 削除		
		584	23.2.4.1 初期化 1. MDIO マスタのコンフィグレーション (2)の説明 修正、(8)の説明 削除、(9)→(8) 変更		
		24. FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)			
		619	図24.4 シリアル送信のフローチャートの例 [2]の説明 修正		
		620	図24.5 送信時の動作例 (8ビットデータ/パリティあり/1ストップビット/LSBファーストの例) 注→注1 修正		
		626	図24.13 シリアル送信のフローチャートの例 [2]の説明 修正		
		630	図24.17 シリアルデータ送受信フローチャートの例 [2]の説明 修正		
		25. I ² Cバスインタフェース (R1ICa)			
		659	25.2.9 I ² Cバスステータスレジスタ1 (ICSR1) ビット機能表 : b0、b1、b2、b3、b5のR/W 修正		
		662	25.2.10 I ² Cバスステータスレジスタ2 (ICSR2) ビット機能表 : b0、b1、b2、b3、b4、b5、b6のR/W 修正、TDREフラグの説明 : 注 修正		
		672	25.3.1 通信データフォーマット 本文 : I ² C → I ² C 修正		
		691	図25.22 SDA出力遅延タイミング 送信モード時 : SCLn 修正		
		715	表25.6 割り込み要因 注1と注2を入れ替え		
		29. エラーコントロールモジュール (ECM)			
		全体	キャッシュ → キャッシュ 用語修正		
		858～900	29.2 レジスタの説明 ビット機能表 : 予約ビット (R/W)、予約ビット (W)の機能説明 修正		
		30. 12ビットA/Dコンバータ (S12ADCa)			
		919	表30.4 DBLANSビットの設定値とダブルトリガ対象チャネルの関係 注 追加		
		921	表30.5 スキャンモード、ダブルトリガモードとA/D変換対象の選択可否 グループスキャン : DBLE = 1の自己診断 修正		
		955	30.3.2.6 ダブルトリガモード選択時の動作 本文 修正		
		955	図30.9 シングルスキャンモードの動作例 (ダブルトリガモード選択 : AN003を2重化、トリガはTRG4ABNを選択、自己診断非選択) タイトル 修正		
		984	表30.12 モード設定とS12ADI割り込み出力 シングルスキャンモードのDBLE = 1、グループスキャンモードのDBLE = 0、グループスキャンモードのDBLE = 1 : トリガ、S12ADI割り込み、S12GBADI割り込み 修正、注1 修正		
		988	30.5.9 自己診断機能使用時の注意 追加		
		31. 温度センサ			
		995	表31.2 温度センサの動作からA/D変換完了までの時間 tSAM、tEDの時間 修正		
		34. 電気的特性			
		1017	表34.4 DC特性 (3) 出力Lowレベル電圧 / 5Vトレラント対応端子(注3) / V _{OL2} → 出力Lowレベル電圧 / 5Vトレラント対応端子(注2) / V _{OL2} 脚注番号修正、スリーステートリーク電流 (オフ状態) / 5Vトレラント対応端子 / I _{TSil} → スリーステートリーク電流 (オフ状態) / 5Vトレラント対応端子(注2) / I _{TSil} 脚注番号追加		
		1037	表34.19 R1ICaタイミング 注4 修正		
		—	34.4.3.9 シリアル・マネージメント・インタフェースタイミング (2) シリアル・マネージメント・インタフェース (マスタ、チャネル0)タイミング 削除、 表34.21 シリアル・マネージメント・インタフェース (マスタ、チャネル0)タイミング 削除、 図34.30 シリアル・マネージメント・インタフェース (マスタ、チャネル0)タイミング 削除		
		1040	表34.21 シリアル・マネージメント・インタフェース (マスタ、チャネル1)タイミング 注1 削除		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.80	2022.01.31	12. 割り込みコントローラ (ICUA)	
		241	表 12.3 Cortex-R4/DMAC 割り込みベクタテーブル (7/8) RIIC Unit0 → RIIC ch0、RIIC Unit1 → RIIC ch1 修正
		14. DMA コントローラ (DMACa)	
		278	14.2.12 チャンネルコンフィギュレーションレジスタ n (CHCFG_n) 注2. 追加
		24. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA)	
		596	24.2.7 シリアルステータスレジスタ (FSR) DRビット (レシーブデータレディビットフラグ)の説明 注2. 追加
635	24.7 ノイズ除去機能 基本クロック (転送レートの16倍、または8倍のクロック) → 基本クロック (転送レートの16倍、8倍、または4倍のクロック) 修正、注1. 修正		

RZ/T1-Mグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2014年11月14日 Rev.0.60
2022年01月31日 Rev.1.80

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RZ/T1-Mグループ