

## S124

ユーザーズマニュアル: マイクロコントローラ  
(参考資料)

## Renesas Synergy™ プラットフォーム

本資料は英語版を翻訳した参考資料です。内容に相違がある場合には英語版を優先します。資料によっては英語版のバージョンが更新され、内容が変わっている場合があります。日本語版は参考用としてご使用のうえ、最新および正式な内容については英語版のドキュメントをご参照ください。

資料番号 R01UM0003EU0100、リビジョン Rev.1.00、発行日 2016 年 2 月 23 日の翻訳版です。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 製品ご使用上の注意事項

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、VIL (Max.) から VIH (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、VIL (Max.) から VIH (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# このマニュアルの使い方

## 1. このマニュアルについて

このマニュアルは、本製品の各種機能と電気的特性をユーザに理解していただくことを目的としています。

このマニュアルに記載の注意事項には、特に注意を払う必要があります。これらの注意事項は、各章の本文中、各章の最後、および「使用上の注意事項」の節に示されています。

改訂記録には、このマニュアルの改訂内容と発行日の一覧が記されています。

## 2. 対象読者

このマニュアルは、Renesas Synergy™ S124 MCU 製品を用いて応用システムを設計するユーザを対象としています。読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識が求められます。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、および使用上の注意事項で構成されています。

## 3. 参考資料

弊社では、Renesas Synergy MCU 用に下記のドキュメントを用意しています。これらのドキュメントを使用する際は、弊社ウェブサイトアクセスして、最新版が発行されていないか確認してください。

ドキュメントの種類	内容	資料名	資料番号
データシート	MCUの概要と電気的特性	S124 Datasheet	R01DS0264EU
ユーザーズマニュアル：マイクロコントローラ	MCUの仕様（ピン配置、メモリマップ、周辺機能、電気的特性、タイミング図）と動作説明	S124ユーザーズマニュアル：マイクロコントローラ	本ユーザーズマニュアル
Renesas Synergy Software Package (SSP) ユーザーズマニュアル	APIリファレンス、およびSSPアーキテクチャとプログラミングの入門書	Renesas Synergy Software Package (SSP) User's Manual	R01US0171EU
RENESAS TECHNICAL UPDATE	製品の仕様と最新情報に関する速報	—	—

## 4. 数値の表記法

数値には、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
011b	2進数。たとえば、数値3を2進数で表記すると011bになります。
1Fh	16進数。たとえば、数値31を16進数で表記すると1Fhになります。16進数には、接頭辞として0xが付加されている場合もあります。
1234	10進数。混同する可能性のある場合に限って、10進数の後にこのシンボルが付加されます。通常、10進数に接尾辞は付加されません。

## 5. シンボルの表記法

シンボルには、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
WDT.WDTRCR.RSTIRQS	機能モジュールのシンボル (WDT)、レジスタのシンボル (WDTRCR)、およびビットフィールドのシンボル (RSTIRQS) は、ピリオドで区切られます。
WDT.WDTRCR	機能モジュールのシンボル (WDT) とレジスタのシンボル (WDTRCR) は、ピリオドで区切られます。
WDTRCR.RSTIRQS	レジスタのシンボル (WDTRCR) とビットフィールドのシンボル (RSTIRQS) は、ピリオドで区切られます。
CKS[3:0]	角カッコ内の数値はビット番号を表します。たとえばCKS[3:0]は、WDTコントロールレジスタ (WDTCR) のビット3~0を使用します。

## 6. 特殊用語

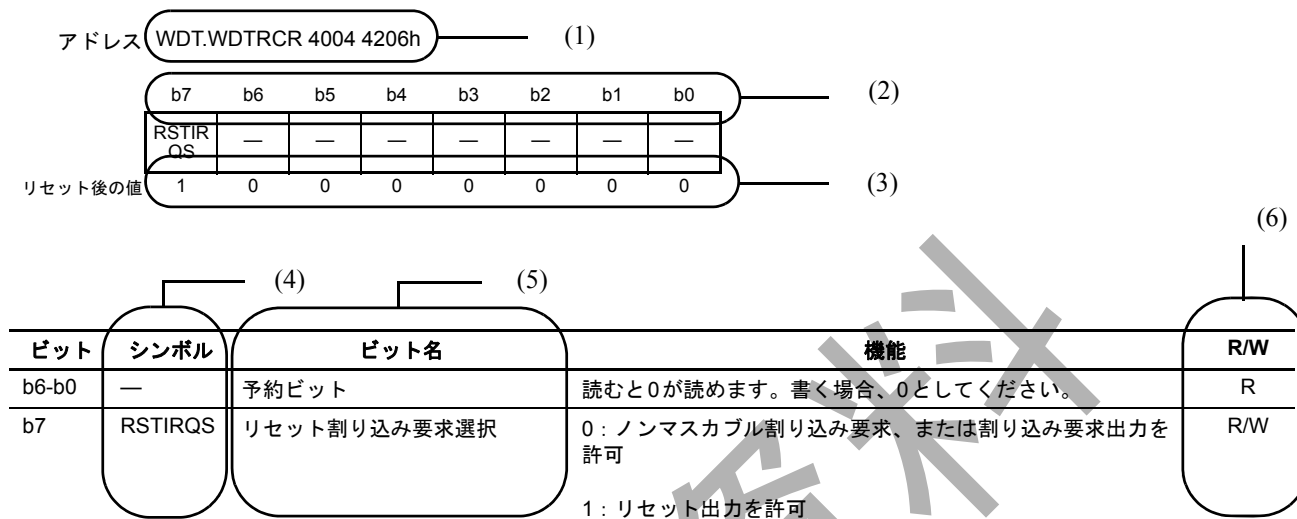
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。NCは、端子がMCUに接続されていないことを意味します。
Hi-Z	ハイインピーダンス

## 7. レジスタの説明

各章の「レジスタの説明」には、ビットの並びを示すレジスタ配置図と、各ビットの内容を説明するレジスタのビット機能表があります。以下に、これらの表で使用するシンボルの例を示します。

### X.X.X WDT リセットコントロールレジスタ (WDTRCR)



(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレス配置

この部分には、通常、機能モジュールのシンボル、レジスタのシンボル、およびこのレジスタのアドレス配置が記載されます。

たとえば、WDT.WDTRCR 4004 4206h は、ウォッチドッグタイマ (WDT) の WDT リセットコントロールレジスタ (WDTRCR) がアドレス 4004 4206h に配置されることを意味します。

(2) ビット番号

この番号はビット番号を表します。32 ビットレジスタの場合は b31 ~ b0 の順に、16 ビットレジスタの場合は b15 ~ b0 の順に、8 ビットレジスタの場合は b7 ~ b0 の順に示されます。

(3) リセット後の値

これらのシンボルや数字は、ハードリセット後の各ビット値を示しています。特に記載のない限り、値は 2 進数で示されます。

0: ハードリセット後、値は 0

1: ハードリセット後、値は 1

x: ハードリセット後、値は不定

(4) ビットシンボル

ビットシンボルは、ビットフィールドの略名です。予約ビットの場合は、—と表記されます。

(5) ビット名

ビット名は、ビットフィールドの正式名です。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であることを示します。

R/W: 読み出しも書き込みも可能

R(W): 読み出しも書き込みも可能。ただし、書き込みには制限あり

制限の内容については、各レジスタの説明や注記を参照してください。

R: 読み出しのみ可能。書き込んでも無効

W: 書き込みのみ可能。読み出し値は不定

## 8. 略称

このマニュアルで使用する略称が下表に示されています。

略称	内容
AES	Advanced Encryption Standard (高度暗号化標準)
AHB	Advanced High-performance Bus (アドバンストハイパフォーマンスバス)
AHB-AP	AHB Access Port (AHBアクセスポート)
APB	Advanced Peripheral Bus (アドバンスト周辺バス)
ARC	Alleged RC (Alleged RC 暗号)
ATB	Advanced Trace Bus (アドバンストトレースバス)
BCD	Binary Coded Decimal (2進化10進数)
DES	Data Encryption Standard (データ暗号化標準)
DSA	Digital Signature Algorithm (デジタル署名アルゴリズム)
ECC	Error Correction Code (誤り訂正コード)
ETB	Embedded Trace Buffer (エンベデッドトレースバッファ)
ETM	Embedded Trace Macrocell (エンベデッドトレースマクロセル)
FPU	Floating Point Unit (浮動小数点ユニット)
HMI	Human Machine Interface (ヒューマンマシンインタフェース)
IrDA	Infrared Data Association (赤外線通信協会/規格)
LSB	Least Significant Bit (最下位ビット)
MSB	Most Significant Bit (最上位ビット)
NVIC	Nested Vector Interrupt Controller (ネスト型ベクタ割り込みコントローラ)
PC	Program Counter (プログラムカウンタ)
PFS	Port Function Select (ポート機能選択)
PLL	Phase Locked Loop (位相同期回路)
POR	Power On Reset (パワーオンリセット)
PWM	Pulse Width Modulation (パルス幅変調)
RSA	Rivest Shamir Adleman (Rivest/Shamir/Adlemanによる公開鍵暗号方式)
SHA	Secure Hash Algorithm (セキュアハッシュアルゴリズム)
S/H	Sample and Hold (サンプルアンドホールド)
SP	Stack Pointer (スタックポインタ)
SWD	Serial Wire Debug (シリアルワイヤデバッグ)
SW-DP	Serial Wire-Debug Port (シリアルワイヤデバッグポート)
TRNG	True Random Number Generator (真性乱数発生器)
UART	Universal Asynchronous Receiver/Transmitter (調歩同期式シリアルインタフェース)
VCO	Voltage Controlled Oscillator (電圧制御発振器)

## 9. 所有権通知

このマニュアルに含まれるすべてのテキスト、画像、写真、商標、ロゴ、挿絵、コンピュータコード (総称して「コンテンツ」) は、ルネサスが所有、管理、またはライセンス保持するものであり、トレード Dress 法、著作権法、特許法、商標法、その他の知的所有権法、不当競争法で保護されています。このマニュアルに明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、このマニュアルの一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

# 目次

特長 .....	36
1. 概要 .....	37
1.1 機能の概要 .....	37
1.2 ブロック図 .....	42
1.3 型名 .....	43
1.4 機能の比較 .....	44
1.5 端子機能 .....	45
1.6 ピン配置図 .....	48
1.7 端子一覧 .....	52
2. CPU .....	54
2.1 概要 .....	54
2.1.1 CPU .....	54
2.1.2 デバッグ .....	54
2.1.3 動作周波数 .....	55
2.2 実装オプション .....	56
2.3 トレースインタフェース .....	56
2.4 SWD インタフェース .....	56
2.5 デバッグモード .....	57
2.5.1 デバッグモード定義 .....	57
2.5.2 デバッグモードの影響 .....	57
2.6 プログラムモデル .....	59
2.6.1 アドレス空間 .....	59
2.6.2 Cortex-M0+ ペリフェラルアドレスマップ .....	59
2.6.3 外部デバッグアドレスマップ .....	60
2.6.4 CoreSight ROM テーブル .....	60
2.6.5 DBGREG .....	62
2.6.6 OCDREG .....	65
2.7 SysTick システムタイマ .....	68
2.8 OCD エミュレータ接続 .....	68
2.8.1 アンロック ID コード .....	68
2.8.2 OCD エミュレータ接続における制限 .....	69
2.9 参考資料 .....	70
3. 動作モード .....	71
3.1 動作モードの種類と選択 .....	71
3.2 動作モードの説明 .....	71
3.2.1 シングルチップモード .....	71
3.2.2 SCI ブートモード .....	71
3.3 動作モード遷移 .....	71
3.3.1 モード設定端子による動作モード遷移 .....	71



4.	アドレス空間 .....	72
4.1	アドレス空間 .....	72
5.	リセット .....	73
5.1	概要 .....	73
5.2	レジスタの説明 .....	77
5.2.1	リセットステータスレジスタ 0 (RSTSR0) .....	77
5.2.2	リセットステータスレジスタ 1 (RSTSR1) .....	79
5.2.3	リセットステータスレジスタ 2 (RSTSR2) .....	80
5.3	動作説明 .....	81
5.3.1	RES 端子リセット .....	81
5.3.2	パワーオンリセット .....	81
5.3.3	電圧監視リセット .....	83
5.3.4	独立ウォッチドッグタイマリセット .....	84
5.3.5	ウォッチドッグタイマリセット .....	85
5.3.6	ソフトウェアリセット .....	85
5.3.7	コールドスタート/ウォームスタート判定機能 .....	85
5.3.8	リセット発生要因の判定 .....	86
6.	オプション設定メモリと情報メモリ .....	87
6.1	概要 .....	87
6.2	レジスタの説明 .....	88
6.2.1	オプション機能選択レジスタ 0 (OFS0) .....	88
6.2.2	オプション機能選択レジスタ 1 (OFS1) .....	92
6.2.3	アクセスウィンドウ設定コントロールレジスタ (AWSC) .....	93
6.2.4	アクセスウィンドウ設定レジスタ (AWS) .....	94
6.2.5	OCD / シリアルプログラマ ID 設定レジスタ (OSIS) .....	96
6.3	オプション設定メモリの設定方法 .....	97
6.3.1	オプション設定メモリへのデータの配置方法 .....	97
6.3.2	オプション設定メモリにプログラムするデータの設定方法 .....	97
6.4	使用上の注意事項 .....	97
6.4.1	オプション設定メモリの予約領域および予約ビットにプログラムするデータ .....	97
7.	低電圧検出 (LVD) .....	98
7.1	概要 .....	98
7.2	レジスタの説明 .....	101
7.2.1	電圧モニタ 1 回路コントロールレジスタ 1 (LVD1CR1) .....	101
7.2.2	電圧モニタ 1 回路ステータスレジスタ (LVD1SR) .....	102
7.2.3	電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1) .....	103
7.2.4	電圧モニタ 2 回路ステータスレジスタ (LVD2SR) .....	104
7.2.5	電圧モニタ回路コントロールレジスタ (LVCMPCR) .....	105
7.2.6	電圧検出レベル選択レジスタ (LVDLVLR) .....	106
7.2.7	電圧モニタ 1 回路コントロールレジスタ 0 (LVD1CR0) .....	107
7.2.8	電圧モニタ 2 回路コントロールレジスタ 0 (LVD2CR0) .....	108

7.3	VCC 入力電圧のモニタ .....	109
7.3.1	Vdet0 のモニタ .....	109
7.3.2	Vdet1 のモニタ .....	109
7.3.3	Vdet2 のモニタ .....	109
7.4	電圧監視 0 リセット .....	110
7.5	電圧監視 1 割り込み、電圧監視 1 リセット .....	111
7.6	電圧監視 2 割り込み、電圧監視 2 リセット .....	113
7.7	イベントリンク出力機能 .....	115
7.7.1	割り込み処理とイベントリンクの関係 .....	115
8.	クロック発生回路 .....	116
8.1	概要 .....	116
8.2	レジスタの説明 .....	119
8.2.1	システムクロック分周コントロールレジスタ (SCKDIVCR) .....	119
8.2.2	システムクロックソースコントロールレジスタ (SCKSCR) .....	120
8.2.3	メインクロック発振器コントロールレジスタ (MOSCCR) .....	121
8.2.4	サブクロック発振器コントロールレジスタ (SOSCCR) .....	122
8.2.5	低速オンチップオシレータコントロールレジスタ (LOCOCR) .....	123
8.2.6	高速オンチップオシレータコントロールレジスタ (HOCOCR) .....	124
8.2.7	中速オンチップオシレータコントロールレジスタ (MOCOCR) .....	125
8.2.8	発振安定フラグレジスタ (OSCSF) .....	126
8.2.9	発振停止検出コントロールレジスタ (OSTDCR) .....	127
8.2.10	発振停止検出ステータスレジスタ (OSTDSR) .....	128
8.2.11	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) .....	129
8.2.12	高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR) .....	130
8.2.13	メインクロック発振器モード発振コントロールレジスタ (MOMCR) .....	131
8.2.14	サブクロック発振器モードコントロールレジスタ (SOMCR) .....	131
8.2.15	クロックアウトコントロールレジスタ (CKOCR) .....	132
8.2.16	LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR) .....	133
8.2.17	MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR) .....	133
8.2.18	HOCO ユーザトリミングコントロールレジスタ (HOCOUTCR) .....	134
8.3	メインクロック発振器 .....	135
8.3.1	水晶振動子を接続する方法 .....	135
8.3.2	外部クロックを入力する方法 .....	135
8.3.3	外部クロック入力に関する注意事項 .....	135
8.4	サブクロック発振器 .....	136
8.4.1	32.768kHz 水晶振動子を接続する方法 .....	136
8.5	発振停止検出機能 .....	137
8.5.1	発振停止検出と検出後の動作 .....	137
8.5.2	発振停止検出割り込み .....	139
8.6	内部クロック .....	140
8.6.1	システムクロック (ICLK) .....	140

8.6.2	周辺モジュールクロック (PCLKB, PCLKD) .....	140
8.6.3	FlashIF クロック (ICLK) .....	140
8.6.4	USB クロック (UCLK) .....	141
8.6.5	CAN クロック (CANMCLK) .....	141
8.6.6	CAC クロック (CACCLK) .....	141
8.6.7	RTC 専用クロック (RTCSCCLK、RTCLCLK) .....	141
8.6.8	IWDT 専用クロック (IWDTCLK) .....	141
8.6.9	AGT 専用クロック (AGTSCCLK、AGTLCLK) .....	141
8.6.10	SysTick タイマ専用クロック (SYSTICCLK) .....	141
8.6.11	クロック／ブザー出力クロック (CLKOUT) .....	141
8.7	使用上の注意事項 .....	142
8.7.1	クロック発生回路に関する注意事項 .....	142
8.7.2	発振子に関する注意事項 .....	142
8.7.3	ボード設計に関する注意事項 .....	142
8.7.4	発振子接続端子に関する注意事項 .....	142
9.	クロック周波数精度測定回路 (CAC) .....	143
9.1	概要 .....	143
9.2	レジスタの説明 .....	145
9.2.1	CAC コントロールレジスタ 0 (CACR0) .....	145
9.2.2	CAC コントロールレジスタ 1 (CACR1) .....	146
9.2.3	CAC コントロールレジスタ 2 (CACR2) .....	147
9.2.4	CAC 割り込みコントロールレジスタ (CAICR) .....	148
9.2.5	CAC ステータスレジスタ (CASTR) .....	149
9.2.6	CAC 上限値設定レジスタ (CAULVR) .....	150
9.2.7	CAC 下限値設定レジスタ (CALLVR) .....	150
9.2.8	CAC カウンタバッファレジスタ (CACNTBR) .....	150
9.3	動作説明 .....	151
9.3.1	クロック周波数測定 .....	151
9.3.2	CACREF 端子のデジタルフィルタ機能 .....	152
9.4	割り込み要求 .....	152
9.5	使用上の注意事項 .....	152
9.5.1	モジュールストップ状態の設定 .....	152
10.	低消費電力モード .....	153
10.1	概要 .....	153
10.2	レジスタの説明 .....	157
10.2.1	スタンバイコントロールレジスタ (SBYCR) .....	157
10.2.2	モジュールストップコントロールレジスタ A (MSTPCRA) .....	157
10.2.3	モジュールストップコントロールレジスタ B (MSTPCRB) .....	158
10.2.4	モジュールストップコントロールレジスタ C (MSTPCRC) .....	159
10.2.5	モジュールストップコントロールレジスタ D (MSTPCRD) .....	160
10.2.6	動作電力コントロールレジスタ (OPCCR) .....	161

10.2.7	サブ動作電力コントロールレジスタ (SOPCCR) .....	162
10.2.8	スヌーズコントロールレジスタ (SNZCR) .....	163
10.2.9	スヌーズ終了コントロールレジスタ (SNZEDCR) .....	164
10.2.10	スヌーズ要求コントロールレジスタ (SNZREQCR) .....	165
10.2.11	フラッシュ動作コントロールレジスタ (FLSTOP) .....	167
10.2.12	システムコントロール OCD コントロールレジスタ (SYOCDRCR) .....	168
10.3	クロックの切り替えによる消費電力の低減 .....	169
10.4	モジュールストップ機能 .....	169
10.5	低消費電力機能 .....	169
10.5.1	動作電力制御モードの設定方法 .....	169
10.5.2	動作範囲 .....	172
10.6	スリープモード .....	175
10.6.1	スリープモードへの遷移 .....	175
10.6.2	スリープモードの解除 .....	176
10.7	ソフトウェアスタンバイモード .....	177
10.7.1	ソフトウェアスタンバイモードへの遷移 .....	177
10.7.2	ソフトウェアスタンバイモードの解除 .....	178
10.7.3	ソフトウェアスタンバイモードの応用例 .....	179
10.8	スヌーズモード .....	180
10.8.1	スヌーズモードへの遷移 .....	180
10.8.2	スヌーズモードの解除 .....	181
10.8.3	ソフトウェアスタンバイモードへの復帰 .....	182
10.8.4	スヌーズモードの動作例 .....	184
10.9	使用上の注意事項 .....	187
10.9.1	レジスタアクセス .....	187
10.9.2	I/O ポートの状態 .....	188
10.9.3	DTC のモジュールストップ状態 .....	188
10.9.4	内部割り込み要因 .....	188
10.9.5	低消費電力モードへの遷移 .....	189
10.9.6	WFI 命令のタイミング .....	189
10.9.7	スリープモード/スヌーズモード時の DTC による WDT/IWDT レジスタの 書き込みについて .....	189
10.9.8	スヌーズモードにおける発振器について .....	189
10.9.9	RXD0 の立ち下がリエッジによるスヌーズモードエントリ .....	189
10.9.10	スヌーズモードにおける SCI0 の使用 .....	189
10.9.11	スヌーズモードにおける A/D 変換開始条件 .....	190
10.9.12	スヌーズモードにおける CTSU の条件 .....	190
10.9.13	スヌーズモードにおける ELC イベント .....	190
10.9.14	ADC140 に関するモジュールストップ機能 .....	190
11.	レジスタライトプロテクション .....	191
11.1	概要 .....	191

11.2	レジスタの説明 .....	191
11.2.1	プロテクトレジスタ (PRCR) .....	191
12.	割り込みコントローラユニット (ICU) .....	192
12.1	概要 .....	192
12.2	レジスタの説明 .....	194
12.2.1	IRQ コントロールレジスタ $i$ (IRQCR $i$ ) ( $i = 0 \sim 7$ ) .....	194
12.2.2	ノンマスクابل割り込みステータスレジスタ (NMISR) .....	195
12.2.3	ノンマスクابل割り込みイネーブルレジスタ (NMIER) .....	197
12.2.4	ノンマスクابل割り込みステータスクリアレジスタ (NMICLR) .....	198
12.2.5	NMI 端子割り込みコントロールレジスタ (NMICR) .....	199
12.2.6	ICU イベントリンク設定レジスタ $n$ (IELSR $n$ ) .....	200
12.2.7	SYS イベントリンク設定レジスタ (SELSR0) .....	201
12.2.8	ウェイクアップ割り込みイネーブルレジスタ (WUPEN) .....	202
12.3	ベクタテーブル .....	204
12.3.1	割り込みベクタテーブル .....	204
12.3.2	イベント番号 .....	206
12.4	割り込み動作 .....	210
12.4.1	割り込みの検出 .....	210
12.4.2	割り込み要求先の選択 .....	211
12.4.3	デジタルフィルタ .....	212
12.4.4	外部端子割り込み .....	213
12.5	ノンマスクابل割り込みの動作 .....	213
12.6	低消費電力モードからの復帰 .....	214
12.6.1	スリープモードからの復帰 .....	214
12.6.2	ソフトウェアスタンバイモードからの復帰 .....	214
12.6.3	スヌーズモードからの復帰 .....	214
12.7	ノンマスクابل割り込みとともに WFI 命令を使用する場合 .....	215
12.8	参考資料 .....	215
13.	バス .....	216
13.1	概要 .....	216
13.2	バスの説明 .....	217
13.2.1	メインバス .....	217
13.2.2	スレーブインタフェース .....	217
13.2.3	並列動作 .....	217
13.2.4	制限事項 .....	217
13.3	レジスタの説明 .....	218
13.3.1	マスタバスコントロールレジスタ (BUSMCNT<master>) .....	218
13.3.2	スレーブバスコントロールレジスタ (BUSSCNT<slave>) .....	219
13.4	バスエラー監視部 .....	220
13.4.1	バスに生じるエラーの種類 .....	220
13.4.2	バスエラー発生時の動作 .....	220

13.4.3	不正アドレスアクセスエラーを引き起こす条件 .....	220
13.4.4	タイムアウト .....	221
13.5	参考資料 .....	221
14.	データトランスファコントローラ (DTC) .....	222
14.1	概要 .....	222
14.2	レジスタの説明 .....	224
14.2.1	DTC モードレジスタ A (MRA) .....	224
14.2.2	DTC モードレジスタ B (MRB) .....	225
14.2.3	DTC 転送元レジスタ (SAR) .....	226
14.2.4	DTC 転送先レジスタ (DAR) .....	226
14.2.5	DTC 転送カウントレジスタ A (CRA) .....	227
14.2.6	DTC 転送カウントレジスタ B (CRB) .....	228
14.2.7	DTC コントロールレジスタ (DTCCR) .....	228
14.2.8	DTC ベクタベースレジスタ (DTCVBR) .....	229
14.2.9	DTC モジュール起動レジスタ (DTCST) .....	229
14.2.10	DTC ステータスレジスタ (DTCSTS) .....	230
14.3	起動要因 .....	231
14.3.1	転送情報の配置と DTC ベクタテーブル .....	231
14.4	動作説明 .....	233
14.4.1	転送情報のリードスキップ機能 .....	235
14.4.2	転送情報のライトバックスキップ機能 .....	236
14.4.3	ノーマル転送モード .....	237
14.4.4	リピート転送モード .....	238
14.4.5	ブロック転送モード .....	240
14.4.6	チェーン転送 .....	241
14.4.7	動作タイミング .....	242
14.4.8	DTC の実行サイクル .....	244
14.4.9	DTC のバス権解放タイミング .....	244
14.5	DTC の設定手順 .....	245
14.6	DTC の使用例 .....	246
14.6.1	ノーマル転送 .....	246
14.6.2	チェーン転送 .....	247
14.6.3	カウンタ = 0 のときのチェーン転送 .....	249
14.7	割り込み要因 .....	251
14.8	イベントリンク .....	251
14.9	スヌーズ制御インタフェース .....	251
14.10	モジュールストップ機能 .....	251
14.11	使用上の注意事項 .....	252
14.11.1	転送情報の開始アドレス .....	252
15.	イベントリンクコントローラ (ELC) .....	253
15.1	概要 .....	253

15.2	レジスタの説明 .....	254
15.2.1	イベントリンクコントローラレジスタ (ELCR) .....	254
15.2.2	イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) (n = 0, 1) .....	255
15.2.3	イベントリンク設定レジスタ n (ELSRn) (注1) .....	256
15.3	動作説明 .....	260
15.3.1	割り込み処理とイベントリンクの関係 .....	260
15.3.2	イベントのリンク .....	260
15.3.3	イベントリンクの動作設定手順例 .....	260
15.4	使用上の注意事項 .....	261
15.4.1	DTC 転送終了のイベントリンクを使用する場合 .....	261
15.4.2	クロックの設定について .....	261
15.4.3	モジュールストップ機能の設定 .....	261
16.	I/O ポート .....	262
16.1	概要 .....	262
16.2	レジスタの説明 .....	264
16.2.1	ポートコントロールレジスタ 1 (PCNTR1) .....	264
16.2.2	ポートコントロールレジスタ 2 (PCNTR2) .....	265
16.2.3	ポートコントロールレジスタ 3 (PCNTR3) .....	266
16.2.4	ポートコントロールレジスタ 4 (PCNTR4) .....	267
16.2.5	ポート mn 端子機能選択レジスタ (PmnPFS) (m = 0 ~ 5; n = 00 ~ 15) .....	268
16.2.6	書き込みプロテクトレジスタ (PWPR) .....	270
16.3	動作説明 .....	271
16.3.1	汎用入出力ポート .....	271
16.3.2	ポート機能選択 .....	271
16.3.3	ELC のポートグループ機能 .....	272
16.4	未使用端子の処理 .....	274
16.5	使用上の注意事項 .....	275
16.5.1	端子機能の設定手順 .....	275
16.5.2	ポートグループ入力の使用手順 .....	275
16.5.3	ポート出力データレジスタ (PODR) の概要 .....	275
16.5.4	アナログ機能使用時の注意事項 .....	275
16.6	製品ごとの周辺選択設定 .....	276
17.	キー割り込み機能 (KINT) .....	281
17.1	概要 .....	281
17.2	レジスタの説明 .....	283
17.2.1	キーリターンコントロールレジスタ (KRCTL) .....	283
17.2.2	キーリターンフラグレジスタ (KRF) .....	283
17.2.3	キーリターンモードレジスタ (KRM) .....	284
17.3	動作説明 .....	285
17.3.1	キー割り込みフラグを使用しない場合 (KRMD = 0) .....	285
17.3.2	キー割り込みフラグを使用する場合 (KRMD = 1) .....	286

17.4	使用上の注意事項 .....	287
18.	GPT 用ポートアウトプットイネーブル (POEG) .....	288
18.1	概要 .....	288
18.2	レジスタの説明 .....	290
18.2.1	POEG グループ n 設定レジスタ (POEGGn) (n = A, B) .....	290
18.3	出力禁止制御の動作 .....	291
18.3.1	端子入力レベル検出時の動作 .....	291
18.3.2	GPT からの出力禁止要求 .....	292
18.3.3	発振停止検出による出力禁止制御 .....	292
18.3.4	レジスタによる出力禁止制御 .....	292
18.3.5	出力禁止状態の解除 .....	292
18.4	割り込み要因 .....	293
18.5	GPT に対する外部トリガ出力 .....	293
18.6	使用上の注意事項 .....	294
18.6.1	ソフトウェアスタンバイモードへの移行 .....	294
18.6.2	GPT 対応端子の指定 .....	294
19.	汎用 PWM タイマ (GPT) .....	295
19.1	概要 .....	295
19.2	レジスタの説明 .....	299
19.2.1	汎用 PWM タイマ書き込み保護レジスタ (GTWP) .....	300
19.2.2	汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR) .....	300
19.2.3	汎用 PWM タイマソフトウェアストップレジスタ (GTSTP) .....	301
19.2.4	汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR) .....	301
19.2.5	汎用 PWM タイマスタート要因選択レジスタ (GTSSR) .....	302
19.2.6	汎用 PWM タイマストップ要因選択レジスタ (GTPSR) .....	305
19.2.7	汎用 PWM タイマクリア要因選択レジスタ (GTCSR) .....	308
19.2.8	汎用 PWM タイマアップカウント要因選択レジスタ (GTUPSR) .....	311
19.2.9	汎用 PWM タイマダウンカウント要因選択レジスタ (GTDNSR) .....	314
19.2.10	汎用 PWM タイマインプットキャプチャ要因選択レジスタ A (GTICASR) .....	317
19.2.11	汎用 PWM タイマインプットキャプチャ要因選択レジスタ B (GTICBSR) .....	320
19.2.12	汎用 PWM タイマコントロールレジスタ (GTCR) .....	323
19.2.13	汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC) .....	325
19.2.14	汎用 PWM タイマ I/O コントロールレジスタ (GTIOR) .....	328
19.2.15	汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD) .....	332
19.2.16	汎用 PWM タイマステータスレジスタ (GTST) .....	333
19.2.17	汎用 PWM タイマバッファイネーブルレジスタ (GTBER) .....	337
19.2.18	汎用 PWM タイマカウンタ (GTCNT) .....	338
19.2.19	汎用 PWM タイマコンペアキャプチャレジスタ n (GTCCRn) (n = A ~ F) .....	339
19.2.20	汎用 PWM タイマ周期設定レジスタ (GTPR) .....	340
19.2.21	汎用 PWM タイマ周期設定バッファレジスタ (GTPBR) .....	340
19.2.22	汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCR) .....	341



19.2.23	汎用 PWM タイマデッドタイム値レジスタ U (GTDVU)	342
19.2.24	出力相切り替えコントロールレジスタ (OPSCR)	343
19.3	動作説明	346
19.3.1	基本動作	346
19.3.2	バッファ動作	358
19.3.3	PWM 出力動作モード	366
19.3.4	デッドタイム自動設定機能	378
19.3.5	カウント方向切り替え機能	383
19.3.6	出力デューティ 0% および出力デューティ 100% 機能	384
19.3.7	ハードウェアカウントスタート/カウントストップ、カウントクリア動作	386
19.3.8	同期動作	395
19.3.9	PWM 出力動作例	399
19.3.10	位相計数機能	405
19.3.11	出力相切り替え (GPT_OPS)	415
19.4	割り込み要因	424
19.4.1	割り込み要因と優先順位	424
19.4.2	DTC の起動	426
19.5	ELC によるリンク動作	427
19.5.1	ELC へのイベント信号出力	427
19.5.2	ELC からのイベント信号入力	427
19.6	ノイズフィルタ機能	428
19.7	保護機能	429
19.7.1	レジスタの書き込み保護	429
19.7.2	バッファ動作の禁止	429
19.7.3	GTIOC 端子出力のネゲート制御	430
19.8	出力端子の初期化方法	431
19.8.1	リセット後の端子設定	431
19.8.2	動作中の異常による端子の初期化	431
19.9	使用上の注意事項	432
19.9.1	モジュールストップ状態の設定	432
19.9.2	コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F)	432
19.9.3	GTCNT カウンタの範囲設定	433
19.9.4	GTCNT カウンタのスタート/ストップ	433
19.9.5	イベントごとの優先順位	434
20.	非同期汎用タイマ (AGT)	435
20.1	概要	435
20.2	レジスタの説明	437
20.2.1	AGT カウンタレジスタ (AGT)	437
20.2.2	AGT コンペアマッチ A レジスタ (AGTCMA)	437
20.2.3	AGT コンペアマッチ B レジスタ (AGTCMB)	438
20.2.4	AGT コントロールレジスタ (AGTCR)	438

20.2.5	AGT モードレジスタ 1 (AGTMR1)	440
20.2.6	AGT モードレジスタ 2 (AGTMR2)	441
20.2.7	AGT I/O コントロールレジスタ (AGTIOC)	442
20.2.8	AGT イベント端子選択レジスタ (AGTISR)	443
20.2.9	AGT コンペアマッチ機能選択レジスタ (AGTCMSR)	443
20.2.10	AGT 端子選択レジスタ (AGTIOSEL)	444
20.3	動作説明	445
20.3.1	リロードレジスタおよびカウンタの書き換え動作	445
20.3.2	リロードレジスタおよびコンペアレジスタ A/B の書き換え動作	447
20.3.3	タイマモード	448
20.3.4	パルス出力モード	449
20.3.5	イベントカウンタモード	450
20.3.6	パルス幅測定モード	452
20.3.7	パルス周期測定モード	453
20.3.8	コンペアマッチ機能	454
20.3.9	各モードの出力設定	456
20.3.10	スタンバイモード	457
20.3.11	割り込み要因	458
20.3.12	ELC へのイベント信号出力	458
20.4	使用上の注意事項	459
20.4.1	カウント動作のスタートおよびストップ制御	459
20.4.2	フラグ (AGTCR レジスタの TEDGF、TUNDF、TCMAF、 および TCMBF ビット) へのアクセス	459
20.4.3	カウンタレジスタへのアクセス	460
20.4.4	モード変更時	460
20.4.5	デジタルフィルタ	460
20.4.6	イベント番号、パルス幅、およびパルス周期の計算方法	460
20.4.7	TSTOP ビットによってカウントを強制停止した場合	460
20.4.8	カウントソースに AGT0 アンダーフローを選択した場合	461
20.4.9	I/O レジスタのリセット	461
20.4.10	カウントソースに PCLKB、PCLKB/8、または PCLKB/2 を選択した場合	461
20.4.11	カウントソースに AGTLCLK または AGTSCLK を選択した場合	461
21.	リアルタイムクロック (RTC)	462
21.1	概要	462
21.2	レジスタの説明	464
21.2.1	64Hz カウンタ (R64CNT)	464
21.2.2	秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0)	465
21.2.3	分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)	466
21.2.4	時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)	467
21.2.5	曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)	468
21.2.6	日カウンタ (RDAYCNT)	469

21.2.7	月カウンタ (RMONCNT) .....	469
21.2.8	年カウンタ (RYRCNT) .....	470
21.2.9	秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR) .....	471
21.2.10	分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR) .....	472
21.2.11	時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR) .....	473
21.2.12	曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR) .....	475
21.2.13	日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラームイネーブル レジスタ (BCNT0AER) .....	476
21.2.14	月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラームイネーブル レジスタ (BCNT1AER) .....	477
21.2.15	年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラームイネーブル レジスタ (BCNT2AER) .....	478
21.2.16	年アラームイネーブルレジスタ (RYRAREN) / バイナリカウンタ 3 アラーム イネーブルレジスタ (BCNT3AER) .....	479
21.2.17	RTC コントロールレジスタ 1 (RCR1) .....	480
21.2.18	RTC コントロールレジスタ 2 (RCR2) .....	481
21.2.19	RTC コントロールレジスタ 4 (RCR4) .....	484
21.2.20	周波数レジスタ (RFRH/RFRL) .....	485
21.2.21	時計誤差補正レジスタ (RADJ) .....	486
21.3	動作説明 .....	487
21.3.1	電源投入後のレジスタ初期設定の概要 .....	487
21.3.2	クロックおよびカウントモードの設定手順 .....	488
21.3.3	時刻の設定 .....	489
21.3.4	30 秒調整手順 .....	490
21.3.5	64Hz カウンタと時刻の読み出し .....	491
21.3.6	アラーム機能 .....	492
21.3.7	アラーム割り込み禁止手順 .....	493
21.3.8	時計誤差補正機能 .....	494
21.4	割り込み要因 .....	496
21.5	イベントリンク出力 .....	497
21.5.1	割り込み処理とイベントリンク機能 .....	497
21.6	使用上の注意事項 .....	498
21.6.1	カウント動作時のレジスタ書き込みについて .....	498
21.6.2	周期割り込みの使用について .....	498
21.6.3	RTCOUT (1Hz/64Hz) クロック出力について .....	499
21.6.4	レジスタ設定後の低消費電力モード遷移について .....	499
21.6.5	レジスタの書き込み/読み出し時の注意事項 .....	499
21.6.6	カウントモードの変更について .....	499
21.6.7	リアルタイムクロックを使用しない場合の初期化手順 .....	500

22.	ウォッチドッグタイマ (WDT)	501
22.1	概要	501
22.2	レジスタの説明	503
22.2.1	WDT リフレッシュレジスタ (WDTRR)	503
22.2.2	WDT コントロールレジスタ (WDTCR)	504
22.2.3	WDT ステータスレジスタ (WDTSR)	507
22.2.4	WDT リセットコントロールレジスタ (WDTRCR)	508
22.2.5	WDT カウント停止コントロールレジスタ (WDCSTPR)	508
22.2.6	オプション機能選択レジスタ 0 (OFS0)	508
22.3	動作説明	509
22.3.1	スタートモード別のカウント動作	509
22.3.2	WDTCR、WDTRCR、および WDCSTPR レジスタへの書き込み制御	513
22.3.3	リフレッシュ動作	514
22.3.4	リセット出力	515
22.3.5	割り込み要因	515
22.3.6	ダウンカウンタ値の読み出し	515
22.3.7	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応	516
22.4	ELC によるリンク動作	516
22.5	使用上の注意事項	516
22.5.1	ICU イベントリンク設定レジスタ n (IELSRn) の設定	516
23.	独立ウォッチドッグタイマ (IWDT)	517
23.1	概要	517
23.2	レジスタの説明	519
23.2.1	IWDT リフレッシュレジスタ (IWDTRR)	519
23.2.2	IWDT ステータスレジスタ (IWDTSR)	520
23.2.3	オプション機能選択レジスタ 0 (OFS0)	521
23.3	動作説明	524
23.3.1	オートスタートモード	524
23.3.2	リフレッシュ動作	526
23.3.3	ステータスフラグ	527
23.3.4	リセット出力	527
23.3.5	割り込み要因	528
23.3.6	ダウンカウンタ値の読み出し	528
23.4	ELC によるリンク動作	528
23.5	使用上の注意事項	529
23.5.1	リフレッシュ動作	529
23.5.2	クロック分周比の設定	529
24.	USB2.0 フルスピードモジュール (USBFS)	530
24.1	概要	530
24.2	レジスタの説明	532
24.2.1	システムコンフィグレーションコントロールレジスタ (SYSCFG)	532

24.2.2	システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0) .....	533
24.2.3	デバイスステートコントロールレジスタ 0 (DVSTCTRL0) .....	534
24.2.4	CFIFO ポートレジスタ (CFIFO/CFIFOL) .....	535
24.2.5	CFIFO ポート選択レジスタ (CFIFOSEL) .....	537
24.2.6	CFIFO ポートコントロールレジスタ (CFIFOCTR) .....	539
24.2.7	割り込みイネーブルレジスタ 0 (INTENB0) .....	541
24.2.8	BRDY 割り込みイネーブルレジスタ (BRDYENB) .....	542
24.2.9	NRDY 割り込みイネーブルレジスタ (NRDYENB) .....	543
24.2.10	BEMP 割り込みイネーブルレジスタ (BEMPENB) .....	544
24.2.11	SOF 出力コンフィギュレーションレジスタ (SOFCFG) .....	545
24.2.12	割り込みステータスレジスタ 0 (INTSTS0) .....	546
24.2.13	BRDY 割り込みステータスレジスタ (BRDYSTS) .....	548
24.2.14	NRDY 割り込みステータスレジスタ (NRDYSTS) .....	549
24.2.15	BEMP 割り込みステータスレジスタ (BEMPSTS) .....	549
24.2.16	フレームナンバレジスタ (FRMNUM) .....	550
24.2.17	USB リクエストタイプレジスタ (USBREQ) .....	550
24.2.18	USB リクエストバリューレジスタ (USBVAL) .....	551
24.2.19	USB リクエストインデックスレジスタ (USBINDX) .....	551
24.2.20	USB リクエストレングスレジスタ (USBLENG) .....	552
24.2.21	DCP コンフィギュレーションレジスタ (DCPCFG) .....	552
24.2.22	DCP マックスパケットサイズレジスタ (DCPMAXP) .....	553
24.2.23	DCP コントロールレジスタ (DCPCTR) .....	554
24.2.24	パイプウィンドウ選択レジスタ (PIPESEL) .....	556
24.2.25	パイプコンフィギュレーションレジスタ (PIPECFG) .....	557
24.2.26	パイプマックスパケットサイズレジスタ (PIPEMAXP) .....	559
24.2.27	パイプ n コントロールレジスタ (PIPE <sub>n</sub> CTR) (n = 4 ~ 7) .....	560
24.2.28	パイプ n トランザクションカウンタイネーブルレジスタ (PIPE <sub>n</sub> TRE) (n = 4, 5) .....	566
24.2.29	パイプ n トランザクションカウンタレジスタ (PIPE <sub>n</sub> TRN) (n = 4, 5) .....	567
24.2.30	USB モジュールコントロールレジスタ (USBMC) .....	568
24.2.31	BC コントロールレジスタ 0 (USBBCCTRL0) .....	569
24.2.32	USB クロック選択レジスタ (UCKSEL) .....	570
24.3	動作説明 .....	571
24.3.1	システム制御 .....	571
24.3.2	割り込み要因 .....	578
24.3.3	割り込みの説明 .....	580
24.3.4	パイプコントロール .....	588
24.3.5	FIFO バッファメモリ .....	592
24.3.6	FIFO バッファクリア .....	593
24.3.7	FIFO ポートの機能 .....	594
24.3.8	DCP を使用したコントロール転送 .....	595

24.3.9	バルク転送 (パイプ 4 および 5) .....	596
24.3.10	インタラプト転送 (パイプ 6 および 7) .....	596
24.3.11	パイプスケジュール .....	596
24.3.12	バッテリーチャージング検出処理 .....	597
24.4	使用上の注意事項 .....	599
24.4.1	モジュールストップ状態の設定 .....	599
24.4.2	ソフトウェアスタンバイモード後の割り込みステータスレジスタのクリア .....	599
24.4.3	ポート機能設定後の割り込みステータスレジスタのクリア .....	599
25.	シリアルコミュニケーションインタフェース (SCI) .....	600
25.1	概要 .....	600
25.2	レジスタの説明 .....	604
25.2.1	レシーブシフトレジスタ (RSR) .....	604
25.2.2	レシーブデータレジスタ (RDR) .....	604
25.2.3	レシーブ 9 ビットデータレジスタ (RDRHL) .....	604
25.2.4	レシーブ FIFO データレジスタ H, L, HL (FRDRH, FRDRL, FRDRHL) .....	605
25.2.5	トランスミットデータレジスタ (TDR) .....	606
25.2.6	トランスミット 9 ビットデータレジスタ (TDRHL) .....	607
25.2.7	トランスミット FIFO データレジスタ H, L, HL (FTDRH, FTDRL, FTDRHL) .....	608
25.2.8	トランスミットシフトレジスタ (TSR) .....	608
25.2.9	非スマートカードインタフェースモード用シリアルモードレジスタ (SMR) (SCMR.SMIF = 0) .....	609
25.2.10	スマートカードインタフェースモード用シリアルモードレジスタ (SMR_SMCI) (SCMR.SMIF = 1) .....	611
25.2.11	非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0) .....	613
25.2.12	スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR_SMCI) (SCMR.SMIF = 1) .....	615
25.2.13	非スマートカードインタフェースおよび非 FIFO モード用シリアルステータス レジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0) .....	617
25.2.14	非スマートカードインタフェースおよび FIFO モード用シリアルステータス レジスタ (SSR_FIFO) (SCMR.SMIF = 0 および FCR.FM = 1) .....	620
25.2.15	スマートカードインタフェースモード用シリアルステータスレジスタ (SSR_SMCI) (SCMR.SMIF = 1) .....	623
25.2.16	スマートカードモードレジスタ (SCMR) .....	626
25.2.17	ビットレートレジスタ (BRR) .....	628
25.2.18	モジュレーションデューティレジスタ (MDDR) .....	636
25.2.19	シリアル拡張モードレジスタ (SEMR) .....	639
25.2.20	ノイズフィルタ設定レジスタ (SNFR) .....	641
25.2.21	I <sup>2</sup> C モードレジスタ 1 (SIMR1) .....	642
25.2.22	I <sup>2</sup> C モードレジスタ 2 (SIMR2) .....	643
25.2.23	I <sup>2</sup> C モードレジスタ 3 (SIMR3) .....	644
25.2.24	I <sup>2</sup> C ステータスレジスタ (SISR) .....	646
25.2.25	SPI モードレジスタ (SPMR) .....	647

25.2.26	FIFO コントロールレジスタ (FCR) .....	649
25.2.27	FIFO データ数レジスタ (FDR) .....	650
25.2.28	ラインステータスレジスタ (LSR) .....	651
25.2.29	コンペアマッチデータレジスタ (CDR) .....	652
25.2.30	データコンペアマッチコントロールレジスタ (DCCR) .....	653
25.2.31	シリアルポートレジスタ (SPTR) .....	655
25.3	調歩同期式モードの動作 .....	656
25.3.1	シリアル転送フォーマット .....	657
25.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン .....	659
25.3.3	クロック .....	660
25.3.4	倍速動作とビットレートの 6 倍の周波数 .....	660
25.3.5	CTS、RTS 機能 .....	661
25.3.6	アドレス一致 (受信データ一致) 検出機能 .....	662
25.3.7	SCI の初期化 (調歩同期式モード) .....	665
25.3.8	シリアルデータの送信 (調歩同期式モード) .....	667
25.3.9	シリアルデータの受信 (調歩同期式モード) .....	673
25.4	マルチプロセッサ通信機能 .....	680
25.4.1	マルチプロセッサシリアルデータ送信 .....	682
25.4.2	マルチプロセッサシリアルデータ受信 .....	685
25.5	クロック同期式モードの動作 .....	690
25.5.1	クロック .....	690
25.5.2	CTS、RTS 機能 .....	691
25.5.3	SCI の初期化 (クロック同期式モード) .....	692
25.5.4	シリアルデータの送信 (クロック同期式モード) .....	694
25.5.5	シリアルデータの受信 (クロック同期式モード) .....	699
25.5.6	シリアルデータの同時送受信動作 (クロック同期式モード) .....	704
25.6	スマートカードインタフェースモードの動作 .....	706
25.6.1	接続例 .....	706
25.6.2	データフォーマット (ブロック転送モード時を除く) .....	707
25.6.3	ブロック転送モード .....	708
25.6.4	受信データのサンプリングタイミングと受信マージン .....	709
25.6.5	SCI の初期化 .....	710
25.6.6	シリアルデータの送信 (ブロック転送モードを除く) .....	711
25.6.7	シリアルデータの受信 (ブロック転送モード以外) .....	714
25.6.8	クロック出力制御 .....	716
25.7	簡易 IIC モードの動作 .....	717
25.7.1	開始条件、再開条件、停止条件の生成 .....	719
25.7.2	クロック同期化 .....	720
25.7.3	SDA 出力遅延 .....	721
25.7.4	SCI の初期化 (簡易 IIC モード) .....	722
25.7.5	マスタ送信動作 (簡易 IIC モード) .....	723

25.7.6	マスタ受信動作（簡易 IIC モード）	725
25.8	簡易 SPI モードの動作	727
25.8.1	マスタモード、スレーブモードと各端子の状態	728
25.8.2	マスタモード時の SS 機能	728
25.8.3	スレーブモード時の SS 機能	728
25.8.4	クロックと送受信データの関係	729
25.8.5	SCI の初期化（簡易 SPI モード）	729
25.8.6	シリアルデータの送受信（簡易 SPI モード）	730
25.9	ビットレートモジュレーション機能	730
25.10	割り込み要因	731
25.10.1	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時）	731
25.10.2	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（FIFO 選択時）	731
25.10.3	調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける 割り込み	731
25.10.4	スマートカードインタフェースモードにおける割り込み	733
25.10.5	簡易 IIC モードにおける割り込み	734
25.11	イベントリンク機能	735
25.12	ノイズ除去機能	737
25.13	使用上の注意事項	738
25.13.1	モジュールストップ状態の設定	738
25.13.2	低消費電力状態での SCI の動作について	738
25.13.3	ブレークの検出と処理について	743
25.13.4	マーク状態とブレークの送出	743
25.13.5	受信エラーフラグと送信動作 （クロック同期式モードおよび簡易 SPI モード）	743
25.13.6	クロック同期送信に関する制約事項 （クロック同期式モードおよび簡易 SPI モード）	744
25.13.7	DTC 使用時の制約事項	745
25.13.8	通信の開始に関する注意事項	745
25.13.9	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	745
25.13.10	簡易 SPI モードに関する制約事項	746
26.	I <sup>2</sup> C バスインタフェース（IIC）	747
26.1	概要	747
26.2	レジスタの説明	750
26.2.1	I <sup>2</sup> C バスコントロールレジスタ 1（ICCR1）	750
26.2.2	I <sup>2</sup> C バスコントロールレジスタ 2（ICCR2）	752
26.2.3	I <sup>2</sup> C バスモードレジスタ 1（ICMR1）	755
26.2.4	I <sup>2</sup> C バスモードレジスタ 2（ICMR2）	756
26.2.5	I <sup>2</sup> C バスモードレジスタ 3（ICMR3）	758
26.2.6	I <sup>2</sup> C バスファンクションイネーブルレジスタ（ICFER）	760
26.2.7	I <sup>2</sup> C バスステータスイネーブルレジスタ（ICSER）	762
26.2.8	I <sup>2</sup> C バス割り込みイネーブルレジスタ（ICIER）	764



26.2.9	I <sup>2</sup> C バスステータスレジスタ 1 (ICSR1) .....	766
26.2.10	I <sup>2</sup> C バスステータスレジスタ 2 (ICSR2) .....	769
26.2.11	I <sup>2</sup> C バスウェイクアップユニットレジスタ (ICWUR) .....	772
26.2.12	Reserved (ICWUR2) .....	773
26.2.13	スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2) .....	773
26.2.14	スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2) .....	774
26.2.15	I <sup>2</sup> C バスビットレート Low レジスタ (ICBRL) .....	775
26.2.16	I <sup>2</sup> C バスビットレート High レジスタ (ICBRH) .....	776
26.2.17	I <sup>2</sup> C バス送信データレジスタ (ICDRT) .....	778
26.2.18	I <sup>2</sup> C バス受信データレジスタ (ICDRR) .....	778
26.2.19	I <sup>2</sup> C バスシフトレジスタ (ICDRS) .....	778
26.3	動作説明 .....	779
26.3.1	通信データフォーマット .....	779
26.3.2	初期設定 .....	780
26.3.3	マスタ送信動作 .....	781
26.3.4	マスタ受信動作 .....	785
26.3.5	スレーブ送信動作 .....	789
26.3.6	スレーブ受信動作 .....	792
26.4	SCL 同期回路 .....	794
26.5	SDA 出力遅延機能 .....	795
26.6	デジタルノイズフィルタ回路 .....	796
26.7	アドレス一致検出機能 .....	797
26.7.1	スレーブアドレス一致検出機能 .....	797
26.7.2	ジェネラルコールアドレス検出機能 .....	800
26.7.3	デバイス ID アドレス検出機能 .....	800
26.7.4	ホストアドレス検出機能 .....	802
26.8	ウェイクアップ機能 .....	803
26.8.1	ノーマルウェイクアップモード 1 .....	803
26.8.2	ノーマルウェイクアップモード 2 .....	806
26.8.3	コマンドリカバリモードと EEP 応答モード (特殊ウェイクアップモード) .....	808
26.8.4	WFI 命令の実行に関する注意事項 .....	811
26.9	SCL の自動 Low ホールド機能 .....	812
26.9.1	送信データ誤送信防止機能 .....	812
26.9.2	NACK 受信転送中断機能 .....	813
26.9.3	受信データ取りこぼし防止機能 .....	813
26.10	アービトレーションロスト検出機能 .....	815
26.10.1	マスタアービトレーションロスト検出機能 (MALE ビット) .....	815
26.10.2	NACK 送信中のアービトレーションロスト検出機能 (NALE ビット) .....	817
26.10.3	スレーブアービトレーションロスト検出機能 (SALE ビット) .....	818
26.11	スタートコンディション、リスタートコンディション、 ストップコンディション発行機能 .....	819
26.11.1	スタートコンディション発行動作 .....	819

26.11.2	リスタートコンディション発行動作	819
26.11.3	ストップコンディション発行動作	822
26.12	バスハングアップ	823
26.12.1	タイムアウト検出機能	823
26.12.2	SCL クロック追加出力機能	825
26.12.3	IIC リセット、内部リセット	826
26.13	SMBus 動作	827
26.13.1	SMBus タイムアウト測定	827
26.13.2	パケットエラーコード (PEC)	828
26.13.3	SMBus ホスト通知プロトコル (Notify ARP Master コマンド)	828
26.14	割り込み要因	829
26.14.1	IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作	829
26.15	各コンディション発行時のリセット、レジスタ、機能の状態	830
26.16	イベントリンク出力機能	831
26.16.1	割り込み処理とイベントリンク機能	831
26.17	使用上の注意事項	831
26.17.1	モジュールストップ状態の設定	831
26.17.2	転送開始に関する注意事項	831
27.	CAN (Controller Area Network) モジュール	832
27.1	概要	832
27.2	レジスタの説明	835
27.2.1	コントロールレジスタ (CTRL)	835
27.2.2	ビットコンフィグレーションレジスタ (BCR)	839
27.2.3	マスクレジスタ k (MKRk) (k = 0 ~ 7)	841
27.2.4	FIFO 受信 ID 比較レジスタ 0 および 1 (FIDCR0 および FIDCR1)	842
27.2.5	マスク無効レジスタ (MKIVLR)	843
27.2.6	メールボックスレジスタ j (MBj_ID、MBj_DL、MBj_Dm、MBj_TS) (j = 0 ~ 31、m = 0 ~ 7)	844
27.2.7	メールボックス割り込みイネーブルレジスタ (MIER)	848
27.2.8	FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ (MIER_FIFO)	849
27.2.9	送信用メッセージコントロールレジスタ (MCTL_TXj) (j = 0 ~ 31)	850
27.2.10	送信用メッセージコントロールレジスタ (MCTL_RXj) (j = 0 ~ 31)	852
27.2.11	受信 FIFO コントロールレジスタ (RFCCR)	854
27.2.12	受信 FIFO ポインタコントロールレジスタ (RFPCR)	856
27.2.13	送信 FIFO コントロールレジスタ (TFCCR)	857
27.2.14	送信 FIFO ポインタコントロールレジスタ (TFPCR)	858
27.2.15	ステータスレジスタ (STR)	859
27.2.16	メールボックスサーチモードレジスタ (MSMR)	861
27.2.17	メールボックスサーチステータスレジスタ (MSSR)	862
27.2.18	チャネルサーチサポートレジスタ (CSSR)	863
27.2.19	アクセプタンスフィルタサポートレジスタ (AFSR)	864

27.2.20	エラー割り込みイネーブルレジスタ (EIER) .....	865
27.2.21	エラー割り込み要因判定レジスタ (EIFR) .....	867
27.2.22	受信エラーカウントレジスタ (RECR) .....	869
27.2.23	送信エラーカウントレジスタ (TECR) .....	869
27.2.24	エラーコード格納レジスタ (ECSR) .....	870
27.2.25	タイムスタンプレジスタ (TSR) .....	871
27.2.26	テストコントロールレジスタ (TCR) .....	871
27.3	動作モード .....	874
27.3.1	CAN リセットモード .....	875
27.3.2	CAN halt モード .....	876
27.3.3	CAN スリープモード .....	877
27.3.4	CAN オペレーションモード (バスオフ状態以外) .....	877
27.3.5	CAN オペレーションモード (バスオフ状態) .....	878
27.4	データ転送レートの設定 .....	879
27.4.1	クロックの設定 .....	879
27.4.2	ビットタイムの設定 .....	879
27.4.3	データ転送レート .....	880
27.5	メールボックスとマスクレジスタの構成 .....	881
27.6	アクセプタンスフィルタ機能とマスク機能 .....	883
27.7	受信/送信 .....	885
27.7.1	受信 .....	886
27.7.2	送信 .....	888
27.8	割り込み .....	889
27.9	使用上の注意事項 .....	890
27.9.1	モジュールストップ状態の設定 .....	890
27.9.2	動作クロックの設定 .....	890
28.	シリアルペリフェラルインタフェース (SPI) .....	891
28.1	概要 .....	891
28.2	レジスタの説明 .....	895
28.2.1	SPI コントロールレジスタ (SPCR) .....	895
28.2.2	SPI スレーブ選択極性レジスタ (SSLP) .....	896
28.2.3	SPI 端子コントロールレジスタ (SPPCR) .....	897
28.2.4	SPI ステータスレジスタ (SPSR) .....	898
28.2.5	SPI データレジスタ (SPDR_HA) .....	901
28.2.6	SPI ビットレートレジスタ (SPBR) .....	903
28.2.7	SPI データコントロールレジスタ (SPDCR) .....	904
28.2.8	SPI クロック遅延レジスタ (SPCKD) .....	904
28.2.9	SPI スレーブ選択ネゲート遅延レジスタ (SSLND) .....	905
28.2.10	SPI 次アクセス遅延レジスタ (SPND) .....	906
28.2.11	SPI コントロールレジスタ 2 (SPCR2) .....	907
28.2.12	SPI コマンドレジスタ 0 (SPCMD0) .....	908

28.3	動作説明 .....	910
28.3.1	SPI 動作の概要 .....	910
28.3.2	SPI 端子の制御 .....	911
28.3.3	SPI システム構成例 .....	912
28.3.4	データフォーマット .....	918
28.3.5	転送フォーマット .....	927
28.3.6	データ転送モード .....	929
28.3.7	送信バッファエンプティ/受信バッファフル割り込み .....	931
28.3.8	エラー検出 .....	933
28.3.9	SPI の初期化 .....	938
28.3.10	SPI 動作 .....	939
28.3.11	クロック同期式動作 .....	950
28.3.12	ループバックモード .....	954
28.3.13	パリティビット機能の自己診断 .....	955
28.3.14	割り込み要因 .....	956
28.4	イベントリンク機能によるリンク動作 .....	957
28.4.1	受信バッファフルイベント出力 .....	957
28.4.2	送信バッファエンプティイベント出力 .....	957
28.4.3	モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力 .....	957
28.4.4	SPI アイドルイベント出力 .....	957
28.4.5	送信完了イベント出力 .....	958
28.5	使用上の注意事項 .....	959
28.5.1	モジュールストップ機能の設定 .....	959
28.5.2	低消費電力機能に関する制約 .....	959
28.5.3	転送の開始に関する制約 .....	959
28.5.4	モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に関する制約 .....	959
28.5.5	SPRF および SPTEF フラグに関する制約 .....	959
29.	巡回冗長検査 (CRC) 演算器 .....	960
29.1	概要 .....	960
29.2	レジスタの説明 .....	961
29.2.1	CRC コントロールレジスタ 0 (CRCCR0) .....	961
29.2.2	CRC コントロールレジスタ 1 (CRCCR1) .....	962
29.2.3	CRC データ入力レジスタ (CRCDIR/CRCDIR_BY) .....	962
29.2.4	CRC データ出力レジスタ (CRCDOR/CRCDOR_HA/CRCDOR_BY) .....	963
29.2.5	スヌープアドレスレジスタ (CRCSAR) .....	963
29.3	動作説明 .....	964
29.3.1	基本動作 .....	964
29.3.2	CRC スヌープ .....	968
29.4	使用上の注意事項 .....	969
29.4.1	モジュールストップ状態の設定 .....	969

29.4.2	送信時の注意事項 .....	969
30.	14ビットA/Dコンバータ (ADC14) .....	970
30.1	概要 .....	970
30.2	レジスタの説明 .....	974
30.2.1	A/D データレジスタ y (ADDRy)、 A/D データ 2 重化レジスタ (ADDBLDR)、 A/D データ 2 重化レジスタ A (ADDBLDRA)、 A/D データ 2 重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR) .....	974
30.2.2	A/D 自己診断データレジスタ (ADRD) .....	978
30.2.3	A/D コントロールレジスタ (ADCSR) .....	980
30.2.4	A/D チャネル選択レジスタ A0 (ADANSA0) .....	984
30.2.5	A/D チャネル選択レジスタ A1 (ADANSA1) .....	985
30.2.6	A/D チャネル選択レジスタ B0 (ADANSB0) .....	986
30.2.7	A/D チャネル選択レジスタ B1 (ADANSB1) .....	987
30.2.8	A/D 変換値加算/平均チャネル選択レジスタ 0 (ADADS0) .....	988
30.2.9	A/D 変換値加算/平均チャネル選択レジスタ 1 (ADADS1) .....	989
30.2.10	A/D 変換値加算/平均回数選択レジスタ (ADADC) .....	990
30.2.11	A/D コントロール拡張レジスタ (ADCER) .....	991
30.2.12	A/D 変換開始トリガ選択レジスタ (ADSTRGR) .....	993
30.2.13	A/D 変換拡張入力コントロールレジスタ (ADEXICR) .....	995
30.2.14	A/D サンプリングステータレジスタ n (ADSSTRn) (n = 00 ~ 10, L, T, O) .....	997
30.2.15	A/D 断線検出コントロールレジスタ (ADDISCR) .....	998
30.2.16	A/D グループスキャン優先コントロールレジスタ (ADGSPCR) .....	999
30.2.17	A/D コンペア機能コントロールレジスタ (ADCMPCR) .....	1000
30.2.18	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 (ADCMPANSR0) .....	1002
30.2.19	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1 (ADCMPANSR1) .....	1002
30.2.20	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER) .....	1003
30.2.21	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0) .....	1003
30.2.22	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1) .....	1005
30.2.23	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER) ..	1006
30.2.24	A/D コンペア機能ウィンドウ A 下側レベル設定レジスタ (ADCMPDR0)、 A/D コンペア機能ウィンドウ A 上側レベル設定レジスタ (ADCMPDR1)、 A/D コンペア機能ウィンドウ B 下側レベル設定レジスタ (ADWINLLB)、 A/D コンペア機能ウィンドウ B 上側レベル設定レジスタ (ADWINULB) .....	1007
30.2.25	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSR0) ...	1009
30.2.26	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1 (ADCMPSR1) ...	1010
30.2.27	A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER) .....	1011
30.2.28	A/D コンペア機能ウィンドウ B チャネル選択レジスタ (ADCMPBNSR) .....	1012
30.2.29	A/D コンペア機能ウィンドウ B ステータスレジスタ (ADCMPBSR) .....	1014
30.2.30	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON) ....	1015
30.2.31	A/D 高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT) .....	1016

30.3	動作説明	1017
30.3.1	スキヤンの動作説明	1017
30.3.2	シングルスキャンモード	1018
30.3.3	連続スキャンモード	1023
30.3.4	グループスキャンモード	1025
30.3.5	コンペア機能（ウィンドウ A、ウィンドウ B）	1036
30.3.6	アナログ入力のサンプリング時間とスキャン変換時間	1040
30.3.7	A/D データレジスタの自動クリア機能の使用例	1043
30.3.8	A/D 変換値加算／平均モード	1043
30.3.9	断線検出アシスト機能	1044
30.3.10	非同期トリガによる A/D 変換の開始	1046
30.3.11	周辺モジュールからの同期トリガによる A/D 変換の開始	1046
30.4	割り込み要因と DTC 転送要求	1047
30.4.1	割り込み要求	1047
30.5	イベントリンク機能	1048
30.5.1	ELC へのイベント出力	1048
30.5.2	ELC からのイベントによる ADC14 の動作	1048
30.6	基準電圧の選択	1048
30.7	高電位基準電圧に内部基準電圧を選択する A/D 変換手順	1048
30.8	使用上の注意事項	1049
30.8.1	データレジスタの読み出し注意事項	1049
30.8.2	A/D 変換停止時の注意事項	1049
30.8.3	A/D 変換強制停止と再開時の動作タイミング	1050
30.8.4	スキヤン終了割り込み処理の制約	1050
30.8.5	モジュールストップ状態の設定	1051
30.8.6	低消費電力状態への遷移時の制約	1051
30.8.7	断線検出アシスト機能使用時の絶対精度誤差	1051
30.8.8	ADHSC ビット書き換え手順	1051
30.8.9	動作モードおよびステータスビット	1052
30.8.10	ノイズ軽減	1052
30.8.11	ADC14 入力使用時のポート設定	1053
30.8.12	A/D コンバータと ACMPLP の関係	1053
30.8.13	ソフトウェアスタンバイモードの解除についての注意事項	1053
31.	12 ビット D/A コンバータ（DAC12）	1054
31.1	概要	1054
31.2	レジスタの説明	1055
31.2.1	D/A データレジスタ 0（DADR0）	1055
31.2.2	D/A コントロールレジスタ（DACR）	1055
31.2.3	DADR0 フォーマット選択レジスタ（DADPR）	1056
31.2.4	D/A A/D 同期スタートコントロールレジスタ（DAADSCR）	1056
31.2.5	D/A VREF コントロールレジスタ（DAVREFCR）	1057

31.3	動作説明 .....	1058
31.3.1	D/A 変換と A/D 変換の干渉の最小化 .....	1059
31.4	イベントリンクの動作設定手順 .....	1061
31.5	イベントリンク動作における注意事項 .....	1061
31.6	使用上の注意事項 .....	1061
31.6.1	モジュールストップ機能の設定 .....	1061
31.6.2	モジュールストップ時の DAC12 の動作 .....	1061
31.6.3	ソフトウェアスタンバイモード時の DAC12 の動作 .....	1061
31.6.4	D/A 変換と A/D 変換の干渉低減有効時の制約 .....	1061
32.	温度センサ (TSN) .....	1062
32.1	概要 .....	1062
32.2	レジスタの説明 .....	1063
32.2.1	温度センサ補正データレジスタ H (TSCDRH) .....	1063
32.2.2	温度センサ補正データレジスタ L (TSCDRL) .....	1063
32.3	温度センサの使用手法 .....	1064
32.3.1	使用前の準備 .....	1064
32.3.2	温度センサの使用手順 .....	1065
33.	低消費電力アナログコンパレータ (ACMPLP) .....	1066
33.1	概要 .....	1066
33.2	レジスタの説明 .....	1069
33.2.1	ACMPLP モード設定レジスタ (COMPMDR) .....	1069
33.2.2	ACMPLP フィルタコントロールレジスタ (COMPFIR) .....	1070
33.2.3	ACMPLP 出力コントロールレジスタ (COMPOCR) .....	1071
33.3	動作説明 .....	1072
33.4	ノイズフィルタ .....	1075
33.5	ACMPLP 割り込み .....	1076
33.6	ELC イベント出力 .....	1076
33.7	割り込み処理と ELC リンクの関係 .....	1076
33.8	コンパレータ端子出力 .....	1076
33.9	使用上の注意事項 .....	1077
33.9.1	モジュールストップ状態の設定 .....	1077
33.9.2	ADC14 と ACMPLP の関係 .....	1077
34.	静電容量式タッチセンシングユニット (CTSU) .....	1078
34.1	概要 .....	1079
34.2	レジスタの説明 .....	1080
34.2.1	CTSU コントロールレジスタ 0 (CTSUCR0) .....	1080
34.2.2	CTSU コントロールレジスタ 1 (CTSUCR1) .....	1082
34.2.3	CTSU 同期ノイズ低減設定レジスタ (CTSUSDPRS) .....	1083
34.2.4	CTSU センサ安定待ち時間コントロールレジスタ (CTSUSST) .....	1084
34.2.5	CTSU 計測チャネルレジスタ 0 (CTSUMCH0) .....	1085
34.2.6	CTSU 計測チャネルレジスタ 1 (CTSUMCH1) .....	1087

34.2.7	CTSU チャネルイネーブルコントロールレジスタ 0 (CTSUCHAC0) .....	1088
34.2.8	CTSU チャネルイネーブルコントロールレジスタ 1 (CTSUCHAC1) .....	1088
34.2.9	CTSU チャネルイネーブルコントロールレジスタ 2 (CTSUCHAC2) .....	1089
34.2.10	CTSU チャネルイネーブルコントロールレジスタ 3 (CTSUCHAC3) .....	1089
34.2.11	CTSU チャネル送受信コントロールレジスタ 0 (CTSUCHTRC0) .....	1090
34.2.12	CTSU チャネル送受信コントロールレジスタ 1 (CTSUCHTRC1) .....	1090
34.2.13	CTSU チャネル送受信コントロールレジスタ 2 (CTSUCHTRC2) .....	1091
34.2.14	CTSU チャネル送受信コントロールレジスタ 3 (CTSUCHTRC3) .....	1091
34.2.15	CTSU 高域ノイズ低減コントロールレジスタ (CTSUDCLKC) .....	1092
34.2.16	CTSU ステータスレジスタ (CTSUST) .....	1093
34.2.17	CTSU 高域ノイズ低減スペクトラム拡散コントロールレジスタ (CTSUSSC) .....	1095
34.2.18	CTSU センサオフセットレジスタ 0 (CTSUSO0) .....	1096
34.2.19	CTSU センサオフセットレジスタ 1 (CTSUSO1) .....	1097
34.2.20	CTSU センサカウンタ (CTSUSC) .....	1098
34.2.21	CTSU リファレンスカウンタ (CTSURC) .....	1099
34.2.22	CTSU エラーステータスレジスタ (CTSUERRS) .....	1100
34.3	動作説明 .....	1101
34.3.1	計測動作原理 .....	1101
34.3.2	計測モード .....	1103
34.3.3	複数モードに関わる共通機能 .....	1113
34.4	使用上の注意事項 .....	1116
34.4.1	計測結果データ (CTSUSC カウンタ、CTSURC カウンタ) .....	1116
34.4.2	ソフトウェアトリガ .....	1116
34.4.3	外部トリガ .....	1116
34.4.4	強制終了に関する注意事項 .....	1116
34.4.5	TSCAP 端子 .....	1117
34.4.6	計測動作時 (CTSUCR0.CTSUSTRT ビット = 1) の注意事項 .....	1117
35.	データ演算回路 (DOC) .....	1118
35.1	概要 .....	1118
35.2	レジスタの説明 .....	1119
35.2.1	DOC コントロールレジスタ (DOCR) .....	1119
35.2.2	DOC データインプットレジスタ (DODIR) .....	1120
35.2.3	DOC データ設定レジスタ (DODSR) .....	1120
35.3	動作説明 .....	1121
35.3.1	データ比較モード .....	1121
35.3.2	データ加算モード .....	1122
35.3.3	データ減算モード .....	1123
35.4	割り込み要求とイベントリンク出力 .....	1123
35.5	使用上の注意事項 .....	1123
35.5.1	モジュールストップ状態の設定 .....	1123



36.	SRAM .....	1124
36.1	概要 .....	1124
36.2	レジスタの説明 .....	1125
36.2.1	SRAM パリティエラー検出後動作レジスタ (PARIOAD) .....	1125
36.2.2	SRAM プロテクトレジスタ (SRAMPRCR) .....	1125
36.2.3	トレースコントロール (MTB 用) .....	1126
36.2.4	CoreSight™ (MTB 用) .....	1126
36.3	動作説明 .....	1127
36.3.1	パリティ計算機能 .....	1127
36.3.2	SRAM エラー要因 .....	1128
36.3.3	アクセスサイクル .....	1128
36.4	使用上の注意事項 .....	1129
36.4.1	SRAM 領域からの命令フェッチ .....	1129
37.	フラッシュメモリ .....	1130
37.1	概要 .....	1130
37.2	メモリ構造 .....	1131
37.3	フラッシュメモリ関連の動作モード .....	1132
37.3.1	ID コードプロテクト機能 .....	1133
37.4	機能概要 .....	1134
37.4.1	構成領域ビットマップ .....	1136
37.4.2	スタートアップ領域選択 .....	1136
37.4.3	アクセスウィンドウによるプロテクション .....	1137
37.5	プログラムコマンド .....	1137
37.6	サスペンド動作 .....	1137
37.7	プロテクション機能 .....	1138
37.8	シリアルプログラミングモード .....	1138
37.8.1	SCI ブートモード .....	1138
37.9	シリアルプログラマを使用する場合 .....	1139
37.9.1	シリアルプログラミング .....	1139
37.10	セルフプログラミング .....	1139
37.10.1	概要 .....	1139
37.10.2	バックグラウンドオペレーション .....	1140
37.11	フラッシュメモリの読み出し .....	1140
37.11.1	コードフラッシュメモリの読み出し .....	1140
37.11.2	データフラッシュメモリの読み出し .....	1140
37.12	使用上の注意事項 .....	1140
37.12.1	イレースを中断した領域 .....	1140
37.12.2	イレースサスペンドコマンドによる中断 .....	1140
37.12.3	追加プログラムの禁止 .....	1140
37.12.4	プログラム/イレース中のリセット .....	1140
37.12.5	プログラム/イレース中におけるノンマスクブル割り込みの禁止 .....	1141
37.12.6	プログラム/イレース中における割り込みベクタの配置 .....	1141

37.12.7	低速動作モードでのプログラム/イレース	1141
37.12.8	プログラム/イレース中の異常終了	1141
37.12.9	プログラム/イレース中に禁止されているアクション	1141
37.12.10	プログラム/イレース中のフラッシュインタフェースクロック (ICLK)	1141
38.	AES エンジン	1142
39.	真性乱数発生器 (TRNG)	1143
40.	内部電圧レギュレータ	1144
40.1	概要	1144
40.2	動作説明	1144
41.	電気的特性	1145
41.1	絶対最大定格	1146
41.2	DC 特性	1148
41.2.1	Tj/Ta の定義	1148
41.2.2	I/O VIH, VIL	1148
41.2.3	I/O IOH, IOL	1150
41.2.4	I/O VOH, VOL、その他の特性	1151
41.2.5	低駆動能力の入出力端子出力特性	1153
41.2.6	中駆動能力の入出力端子出力特性	1155
41.2.7	中駆動能力の P408、P409 入出力端子出力特性	1158
41.2.8	IIC 入出力端子出力特性	1160
41.2.9	動作電流とスタンバイ電流	1161
41.2.10	VCC 立ち上がり/立ち下がり勾配とリップル周波数	1164
41.3	AC 特性	1165
41.3.1	周波数	1165
41.3.2	クロックタイミング	1167
41.3.3	リセットタイミング	1169
41.3.4	ウェイクアップ時間	1171
41.3.5	NMI/IRQ ノイズフィルタ	1174
41.3.6	I/O ポート、POEG、GPT、AGT、KINT、ADC14 のトリガタイミング	1175
41.3.7	CAC タイミング	1177
41.3.8	SCI タイミング	1177
41.3.9	SPI タイミング	1184
41.3.10	IIC タイミング	1190
41.3.11	CLKOUT タイミング	1192
41.4	USB 特性	1193
41.4.1	USBFS タイミング	1193
41.4.2	USB 外部供給	1194
41.5	ADC14 特性	1195
41.6	DAC12 特性	1205
41.7	TSN 特性	1207
41.8	OSC 停止検出特性	1207

41.9	POR/LVD 特性 .....	1208
41.10	CTSU 特性 .....	1212
41.11	コンパレータ特性 .....	1213
41.12	フラッシュメモリ特性 .....	1214
41.12.1	コードフラッシュメモリ特性 .....	1214
41.12.2	データフラッシュメモリ特性 .....	1215
41.12.3	シリアルワイヤデバッグ (SWD) .....	1217
付録 1.	各プロセスモードのポート状態 .....	1219
付録 2.	外形寸法図 .....	1221
改訂記録	.....	1227

参考資料

## S124 MCU (超低消費電力 MCU)

### 32ビット ARM® Cortex®-M0+ マイクロコントローラ

超低消費電力32MHz ARM Cortex-M0+ マイクロコントローラ、最大128KBのコードフラッシュメモリ、16KB SRAM、静電容量式タッチセンシングユニット、14ビットA/Dコンバータ、12ビットD/Aコンバータ、セキュリティ&セーフティ機能

## 特長

### ■ ARM Cortex-M0+ コア

- ARMv6-M アーキテクチャ
- 最高動作周波数：32MHz
- デバッグ&トレース：DWT、BPU、CoreSight™ MTB-M0+
- CoreSight デバッグポート：SW-DP

### ■ メモリ

- 最大128KBのコードフラッシュメモリ
- 4KB データフラッシュメモリ (最大100,000回のイレース/ライトサイクル)
- 最大16KBのSRAM
- 128ビットの固有のID

### ■ 接続性

- USB2.0 フルスピードモジュール (USBFS)
  - オンチップトランシーバ (電圧レギュレータ付き)
  - USB バッテリチャージ規格 1.2 に準拠
- シリアルコミュニケーションインタフェース (SCI) ×3
  - UART
  - 簡易 IIC
  - 簡易 SPI
- シリアルペリフェラルインタフェース (SPI) ×2
- I<sup>2</sup>C バスインタフェース (IIC) ×2
- CAN モジュール (CAN)

### ■ アナログ

- 14ビット A/D コンバータ (ADC14)
- 12ビット D/A コンバータ (DAC12)
- 低消費電力アナログコンパレータ (ACMPLP) ×2
- 温度センサ (TSN)

### ■ タイマ

- 32ビット汎用 PWM タイマ (GPT32)
- 16ビット汎用 PWM タイマ (GPT16) ×6
- 非同期汎用タイマ (AGT) ×2
- ウォッチドッグタイマ (WDT)

### ■ セーフティ

- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- メインクロック発振器停止検出

### ■ システムおよびパワーマネジメント

- 低消費電力モード
- リアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 電圧設定が可能な低電圧検出

### ■ セキュリティおよび暗号化

- AES128/256
- 真性乱数発生器 (TRNG)

### ■ ヒューマンマシーンインタフェース (HMI)

- 静電容量式タッチセンシングユニット (CTSU)

### ■ マルチクロックソース

- メインクロック発振器 (MOSC)
  - (1 ~ 20MHz、VCC = 2.4 ~ 5.5V の場合)
  - (1 ~ 8MHz、VCC = 1.8 ~ 5.5V の場合)
  - (1 ~ 4MHz、VCC = 1.6 ~ 5.5V の場合)
- サブクロック発振器 (SOSC) (32.768kHz)
- 高速オンチップオシレータ (HOCO)
  - (24, 32, 48, 64MHz、VCC = 2.4 ~ 5.5V の場合)
  - (24, 32, 48MHz、VCC = 1.8 ~ 5.5V の場合)
  - (24, 32MHz、VCC = 1.6 ~ 5.5V の場合)
- 中速オンチップオシレータ (MOCO) (8MHz)
- 低速オンチップオシレータ (LOCO) (32.768kHz)
- 独立ウォッチドッグタイマ OCO (15kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- クロックアウトのサポート

### ■ 汎用入出力ポート

- 最大51本の入出力端子
  - 最大3本のCMOS入力
  - 最大48本のCMOS入出力
  - 最大6本の5Vトレラント入出力 (VCC = 3.6Vの場合)
  - 最大16本の大電流端子 (20mA)

### ■ 動作電圧

- VCC : 1.6 ~ 5.5V

### ■ 動作温度およびパッケージ

- Ta = -40°C ~ +85°C
  - 36ピン LGA (4mm×4mm、0.5mmピッチ)
- Ta = -40°C ~ +105°C
  - 64ピン LQFP (10mm×10mm、0.5mmピッチ)
  - 48ピン LQFP (7mm×7mm、0.5mmピッチ)
  - 64ピン QFN (8mm×8mm、0.4mmピッチ)
  - 48ピン QFN (7mm×7mm、0.5mmピッチ)
  - 40ピン QFN (6mm×6mm、0.5mmピッチ)

## 1. 概要

S124 MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある ARM® ベースの 32 ビット MCU で構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

エネルギー効率の高い ARM Cortex®-M0+ 32 ビットコアをベースとしているため、本 MCU は特にコスト重視の低消費電力機器に適しています。このシリーズの MCU には、下記のような特長があります。

- 最大 128KB のコードフラッシュメモリ
- 16KB の SRAM
- 静電容量式タッチセンシングユニット (CTS)
- 14 ビット ADC
- 12 ビット DAC
- セキュリティ機能

### 1.1 機能の概要

表 1.1 ARM コア

機能	機能の説明
ARM Cortex-M0+	<ul style="list-style-type: none"> <li>• 最高動作周波数 : 32MHz</li> <li>• ARM Cortex-M0+ :               <ul style="list-style-type: none"> <li>- リビジョン : r0p1-00rel0</li> <li>- ARMv6-Mアーキテクチャプロファイル</li> <li>- シングルサイクル整数乗算器</li> </ul> </li> <li>• SysTickタイマ               <ul style="list-style-type: none"> <li>- LOCOクロックによる駆動</li> </ul> </li> </ul>

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 128KB のコードフラッシュメモリ。「37. フラッシュメモリ」を参照してください。
データフラッシュメモリ	4KB のデータフラッシュメモリ。「37. フラッシュメモリ」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。「6. オプション設定メモリと情報メモリ」を参照してください。
SRAM	本 MCU は、偶数パリティビットを有する高速 SRAM を内蔵しています。「36. SRAM」を参照してください。

表 1.3 システム

機能	機能の説明
動作モード	2種類の動作モード： <ul style="list-style-type: none"> <li>• シングルチップモード</li> <li>• SCIブートモード</li> </ul> 「3. 動作モード」を参照してください。
リセット	本MCUは、以下の9種類のリセットをサポートしています。 <ul style="list-style-type: none"> <li>• RES端子リセット</li> <li>• パワーオンリセット</li> <li>• 独立ウォッチドッグタイマリセット</li> <li>• ウォッチドッグタイマリセット</li> <li>• 電圧監視0リセット</li> <li>• 電圧監視1リセット</li> <li>• 電圧監視2リセット</li> <li>• SRAMパリティエラーリセット</li> <li>• ソフトウェアリセット</li> </ul> 「5. リセット」を参照してください。
低電圧検出 (LVD)	低電圧検出 (LVD) は、VCC端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。「7. 低電圧検出 (LVD)」を参照してください。
クロック	<ul style="list-style-type: none"> <li>• メインクロック発振器 (MOSC)</li> <li>• サブクロック発振器 (SOSC)</li> <li>• 高速オンチップオシレータ (HOCO)</li> <li>• 中速オンチップオシレータ (MOCO)</li> <li>• 低速オンチップオシレータ (LOCO)</li> <li>• 独立ウォッチドッグタイマオンチップオシレータ</li> <li>• クロックアウトのサポート</li> </ul> 「8. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定対象となるシステムクロックのパルス数をカウントし、基準クロック信号に基づいてシステムクロックの周波数をチェックします。基準クロックは、CACREF端子を介して外部から入力することも、さまざまなオンチップオシレータから内部入力することも可能です。クロックが一致しなかった場合、または測定終了時に、イベント信号を発生させることができます。この機能は、ホームオートメーションや工業オートメーション機器にフェールセーフ機構を組み込む場合、特に役立ちます。「9. クロック周波数精度測定回路 (CAC)」を参照してください。
低消費電力モード	本MCUには、クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。「10. 低消費電力モード」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。「11. レジスタライトプロテクション」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は14ビットのダウンカウンタです。システムが暴走してWDTをリフレッシュできないためにカウンタがアンダーフローした場合、MCUをリセットするために使用できます。また、アンダーフローにより、ノンマスクابل割り込みまたは割り込みを発生させることもできます。カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、この許可期間を暴走検知の条件として使用できます。「22. ウォッチドッグタイマ (WDT)」を参照してください。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は14ビットダウンカウンタで構成されますが、このカウンタはアンダーフロー防止のために定期的に動作させる必要があります。IWDTには、MCUをリセットする機能や、タイマのアンダーフローに備えて割り込み／ノンマスクابل割り込みを生成する機能があります。タイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、フェールセーフ機構と呼ばれる状態に戻すことに役に立ちます。ウォッチドッグタイマは、リセット、アンダーフロー、またはリフレッシュエラー時に自動的に起動します。あるいはレジスタのカウント値のリフレッシュによっても起動します。「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.4 割り込みコントロール

機能	機能の説明
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、NVIC/DTCモジュールにリンクされるイベント信号を制御します。また、NMI割り込みも制御します。「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 1.5 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号として使用し、それらを異なるモジュールに接続することにより、CPU を介さずにモジュール間の直接的な相互作用を可能にします。「15. イベントリンクコントローラ (ELC)」を参照してください。

表 1.6 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	本MCUはデータトランスファコントローラ (DTC) を内蔵しています。DTCは割り込み要求による起動時に、データ転送を行います。「14. データトランスファコントローラ (DTC)」を参照してください。

表 1.7 タイマ

機能	機能の説明
汎用PWMタイマ (GPT)	汎用PWMタイマ (GPT) は、1チャンネルの32ビットタイマの場合と、6チャンネルの16ビットタイマの場合があります。PWM波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、ブラシレスDCモータ制御用のPWM波形を発生させることもできます。GPTは汎用タイマとしても使用可能です。「19. 汎用PWMタイマ (GPT)」を参照してください。
GPT用のポートアウトプットイネーブル (POEG)	汎用PWMタイマ (GPT) の出力端子を出力禁止状態とするには、GPT用ポートアウトプットイネーブル (POEG) 機能を使用します。「18. GPT用ポートアウトプットイネーブル (POEG)」を参照してください。
非同期汎用タイマ (AGT)	非同期汎用タイマ (AGT) は、パルスの出力、外部パルスの幅/周期の測定、および外部イベントのカウントに利用可能な16ビットタイマです。この16ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTレジスタでアクセスが可能です。「20. 非同期汎用タイマ (AGT)」を参照してください。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) は、カレンダーカウントモードとバイナリカウントモードの2種類のカウントモードを持ちます。これらはレジスタ設定により切り替えて使用します。カレンダーカウントモードでは、RTCは2000年から2099年までの100年間のカレンダーを内蔵しており、うるう年を自動調整します。バイナリカウントモードは、秒をカウントし、その情報をシリアル値として保持するモードです。バイナリカウントモードは、西暦以外のカレンダーに使用できます。「21. リアルタイムクロック (RTC)」を参照してください。

表 1.8 通信インターフェース

機能	機能の説明
シリアルコミュニケーションインターフェース (SCI)	シリアルコミュニケーションインターフェース (SCI) は、下記の5種類の調歩同期式および同期式シリアルインターフェースとして設定が可能です。 <ul style="list-style-type: none"> <li>調歩同期式インターフェース (UART および調歩同期式通信インターフェースアダプタ (ACIA))</li> <li>8ビットクロック同期式インターフェース</li> <li>簡易 IIC (マスタのみ)</li> <li>簡易 SPI</li> <li>スマートカードインターフェース</li> </ul> スマートカードインターフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。 SCI0 は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のポーレートジェネレータを用いて、データ転送速度の個別設定が可能です。「25. シリアルコミュニケーションインターフェース (SCI)」を参照してください。
I <sup>2</sup> C バスインターフェース (IIC)	本 MCU は、2 チャンネルの I <sup>2</sup> C バスインターフェース (IIC) を内蔵しています。 IIC モジュールは、NXP 社が提唱する I <sup>2</sup> C バス (Inter-Integrated Circuit Bus) インターフェース方式に準拠しており、そのサブセット機能を提供しています。「26. I <sup>2</sup> C バスインターフェース (IIC)」を参照してください。
シリアルペリフェラルインターフェース (SPI)	本 MCU は、独立した 2 チャンネルのシリアルペリフェラルインターフェース (SPI) を内蔵しています。SPI チャンネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式のシリアル通信が可能です。「28. シリアルペリフェラルインターフェース (SPI)」を参照してください。
CAN (Controller Area Network) モジュール	CAN (Controller Area Network) モジュールは、電磁ノイズの多い応用機器において、複数のスレーブ・マスタ間でメッセージベースのプロトコルを用いたデータの送受信機能を提供しています。 CAN モジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠しており、通常のメールボックスモードおよび FIFO モードを送受信用に設定可能な最大 32 個のメールボックスをサポートしています。標準 (11 ビット) と拡張 (29 ビット) の両方のメッセージフォーマットに対応しています。「27. CAN (Controller Area Network) モジュール」を参照してください。
USB2.0 フルスピードモジュール (USBFS)	本 MCU は、USB2.0 フルスピードモジュール (USBFS) を内蔵しています。USBFS は、デバイスコントローラとして動作可能な USB コントローラです。このモジュールは、ユニバーサルシリアルバス規格 2.0 のフルスピードおよびロースピード転送に対応しています。また USB トランシーバを内蔵しており、ユニバーサルシリアルバス規格 2.0 で定義されている全転送タイプに対応しています。 データ転送用にバッファメモリを備え、最大 5 本のパイプを使用できます。パイプ 0 およびパイプ 4~7 に対しては、通信を行う周辺デバイスやユーザシステムに合わせて任意のエンドポイント番号の割り付けが可能です。 本 MCU は、バッテリーチャージ規格のリビジョン 1.2 に準拠しています。本 MCU は 5V で動作するため、USB LDO レギュレータは内蔵 USB トランシーバの電源に 3.3V を供給します。「24. USB2.0 フルスピードモジュール (USBFS)」を参照してください。



表 1.9 アナログ

機能	機能の説明
14ビットA/Dコンバータ (ADC14)	本MCUは、逐次比較方式の14ビットA/Dコンバータを最大1ユニット内蔵しています。アナログ入力チャネルは最大18チャネルまで選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。A/D変換精度には12ビット変換と14ビット変換が選択可能であり、デジタル値生成における速度と分解能のバランスを最適化できます。「30. 14ビットA/Dコンバータ (ADC14)」を参照してください。
12ビットD/Aコンバータ (DAC12)	本MCUは、出力アンプ付きの12ビットD/Aコンバータを内蔵しています。「31. 12ビットD/Aコンバータ (DAC12)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵の温度センサを用いたダイ温度の測定と監視が可能です。このセンサはダイ温度に正比例した電圧を出力するため、ダイ温度と出力電圧はリニアな関係にあります。出力された電圧はADCで変換されてから、末端の応用機器で使用できます。「32. 温度センサ (TSN)」を参照してください。
低消費電力アナログコンパレータ (ACMPLP)	アナログコンパレータを用いて、基準入力電圧とアナログ入力電圧の比較が可能です。比較結果はソフトウェアで読み取ることも、外部に出力することもできます。基準入力電圧としては、CMPREFi (i = 0, 1) 端子への入力か、または本MCUで内部生成された内部基準電圧 (Vref) から選択できます。ACMPLPの応答速度は、動作開始前に設定可能です。高速モードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。低速モードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。「33. 低消費電力アナログコンパレータ (ACMPLP)」を参照してください。

表 1.10 ヒューマンマシンインタフェース (HMI)

機能	機能の説明
キー割り込み機能 (KINT)	キー割り込みは、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子に立ち上がりエッジ/立ち下がりエッジを入力することで発生させることができます。「17. キー割り込み機能 (KINT)」を参照してください。
静電容量式タッチセンシングユニット (CTSUS)	静電容量式タッチセンシングユニット (CTSUS) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が電極に直接接触することはありません。「34. 静電容量式タッチセンシングユニット (CTSUS)」を参照してください。

表 1.11 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC) は、CRCコードを生成してデータエラーを検出します。LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることができます。さらに、さまざまなCRC生成多項式を使用できます。スヌープ機能により、特定のアドレスの読み出し/書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントでCRCコードの自動生成が必要となるアプリケーションで役立ちます。「29. 巡回冗長検査 (CRC) 演算器」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16ビットのデータを比較、加算、または減算する機能です。「35. データ演算回路 (DOC)」を参照してください。

表 1.12 セキュリティ

機能	機能の説明
AES	AESエンジンの章を参照してください。
真性乱数発生器 (TRNG)	真性乱数発生器の章を参照してください。

## 1.2 ブロック図

図 1.1 に、本 MCU スーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

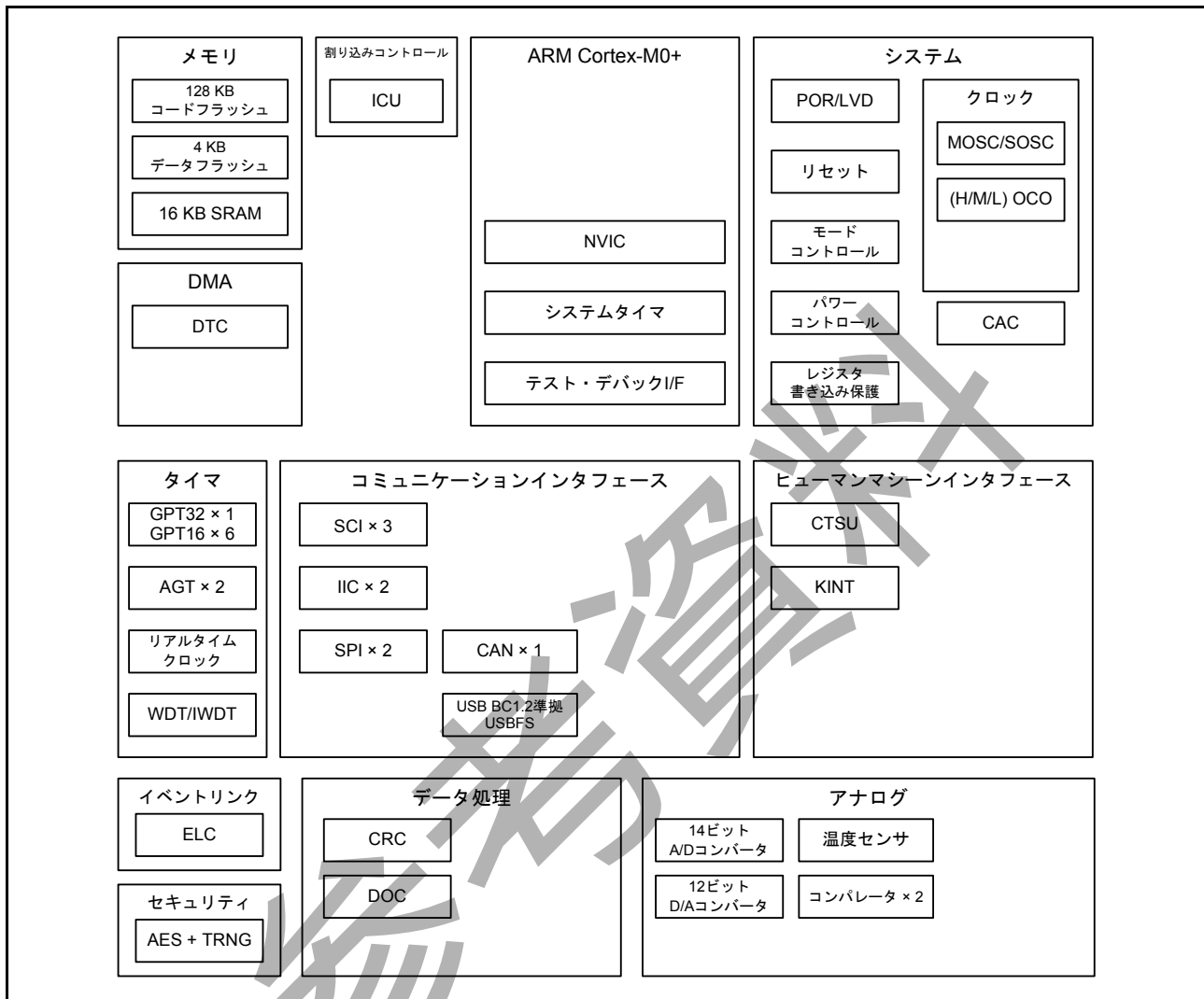


図 1.1 ブロック図

1.3 型名

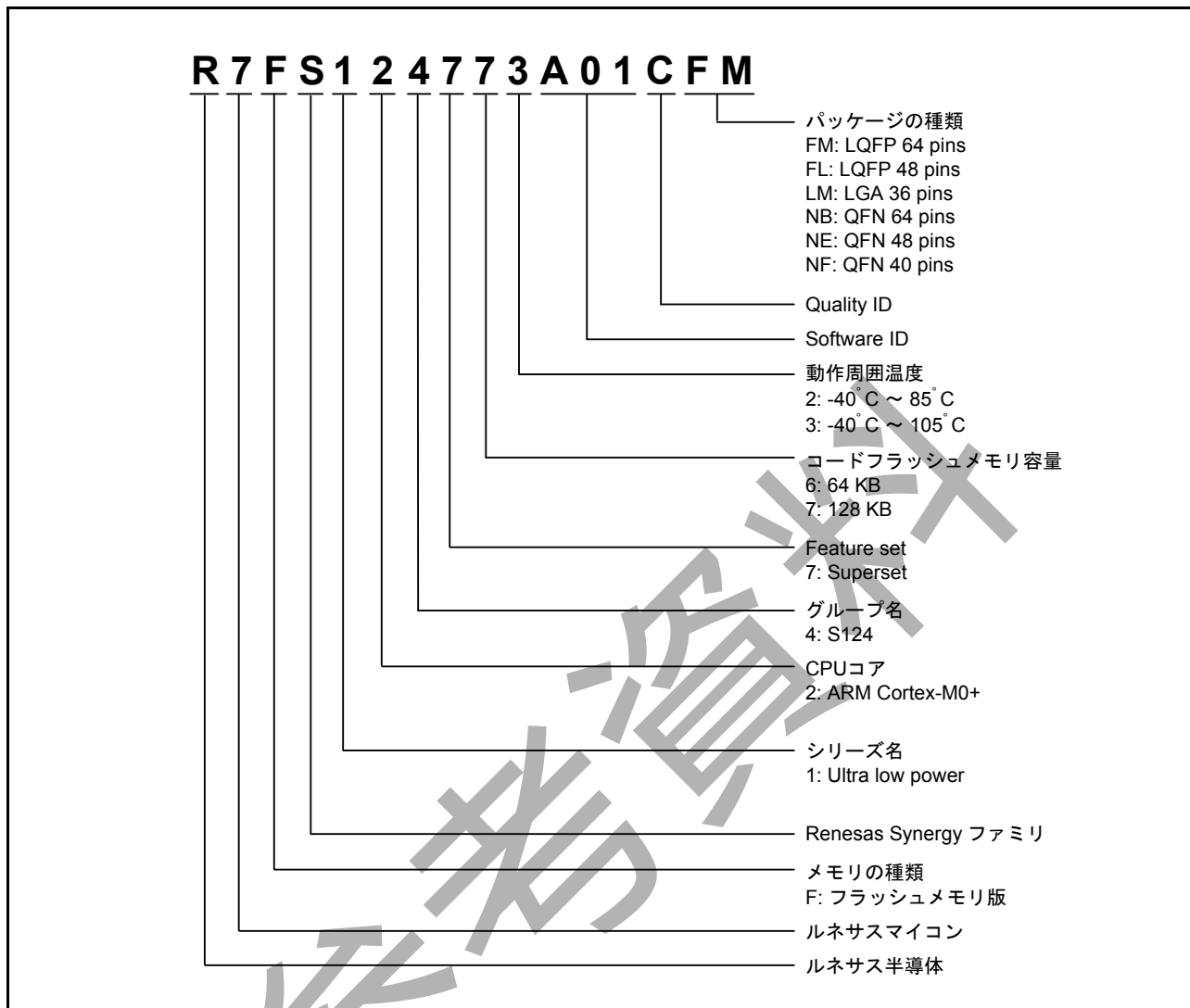


図 1.2 型名の読み方

## 1.4 機能の比較

表 1.13 機能の比較

型名	R7FS124773A01CFM/ R7FS124763A01CFM/ R7FS124773A01CNB/ R7FS124763A01CNB	R7FS124773A01CFL/ R7FS124763A01CFL/ R7FS124773A01CNE/ R7FS124763A01CNE	R7FS124773A01CNF/ R7FS124763A01CNF	R7FS124772A01CLM/ R7FS124762A01CLM	
端子総数	64	48	40	36	
パッケージ	LQFP/QFN	LQFP/QFN	QFN	LGA	
コードフラッシュメモリ	128/64KB				
データフラッシュメモリ	4KB				
SRAM	16KB				
	パリティ	4KB			
システム	CPUクロック	32MHz			
割り込みコントロール	ICU	あり			
イベントコントロール	ELC	8	8	7	6
DMA	DTC	あり			
タイマ	GPT32	1			
	GPT16	6	6	4	4
	AGT	2	2	2	2
	RTC	あり			
	WDT/IWDT	あり			
通信	SCI	3			
	IIC	2			
	SPI	2			
	CAN	あり			
	USBFS	あり			
アナログ	ADC14	18	14	12	11
	DAC12	1			
	ACMPLP	2			
	TSN	あり			
HMI	CTSU	31	23	17	13
	KINT	8	5	5	4
データ処理	CRC	あり			
	DOC	あり			
セキュリティ	AESおよびTRNG				

## 1.5 端子機能

表 1.14 端子機能 (1/3)

機能	信号	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
	VCL	入力	この端子は、内部電源を安定化するための平滑コンデンサを介してVSS端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グラウンド端子。システムの電源（0V）に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください。
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。これらの端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。この端子がLowになると、MCUはリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0～IRQ7	入力	マスクブル割り込み要求端子
GPT	GTETRGA, GTETRGB	入力	外部トリガ入力端子
	GTIOC0A～GTIOC6A, GTIOC0B～GTIOC6B	入出力	インプットキャプチャ、アウトプットコンペア、またはPWM出力端子
	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDCモータ制御用3相PWM出力（正相U相）
	GTOULO	出力	BLDCモータ制御用3相PWM出力（逆相U相）
	GTOVUP	出力	BLDCモータ制御用3相PWM出力（正相V相）
	GTOVLO	出力	BLDCモータ制御用3相PWM出力（逆相V相）
	GTOUWP	出力	BLDCモータ制御用3相PWM出力（正相W相）
	GTOWLO	出力	BLDCモータ制御用3相PWM出力（逆相W相）
AGT	AGTEE0, AGTEE1	入力	外部イベント入力許可
	AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力
	AGTO0, AGTO1	出力	パルス出力
	AGTOA0, AGTOA1	出力	出力コンペアマッチA出力
	AGTOB0, AGTOB1	出力	出力コンペアマッチB出力
RTC	RTCOUT	出力	1Hz/64Hzクロック用の出力端子

表 1.14 端子機能 (2/3)

機能	信号	入出力	説明
SCI	SCK0, SCK1, SCK9	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXD0, RXD1, RXD9	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXD0, TXD1, TXD9	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS0_RTS0, CTS1_RTS1, CTS9_RTS9	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブLow
	SCL0, SCL1, SCL9	入出力	IICクロック用の入出力端子 (簡易IIC)
	SDA0, SDA1, SDA9	入出力	IICデータ用の入出力端子 (簡易IIC)
	SCK0, SCK1, SCK9	入出力	クロック用の入出力端子 (簡易SPI)
	MISO0, MISO1, MISO9	入出力	データのスレーブ送信用の入出力端子 (簡易SPI)
	MOSI0, MOSI1, MOSI9	入出力	データのマスタ送信用の入出力端子 (簡易SPI)
	SS0, SS1, SS9	入力	スレーブ選択入力端子 (簡易SPI)、アクティブLow
IIC	SCL0, SCL1	入出力	クロック用の入出力端子
	SDA0, SDA1	入出力	データ用の入出力端子
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタから出力されたデータの入出力
	MISOA, MISOB	入出力	スレーブから出力されたデータの入出力
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1~SSLA3, SSLB1~SSLB3	出力	スレーブ選択用の出力端子
CAN	CRX0	入力	受信データ
	CTX0	出力	送信データ
USBFS	VSS_USB	入力	グランド端子
	VCC_USB_LDO	入力	USB LDOレギュレータ用の電源端子
	VCC_USB	入出力	入力: USBトランシーバ用の電源端子 出力: USB LDOレギュレータ出力端子。この端子は外部コンデンサに接続してください。
	USB_DP	入出力	USB内蔵トランシーバD+入出力端子。この端子はUSBバスのD+端子に接続してください。
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子。この端子はUSBバスのD-端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニター端子。USBバスのVBUSに接続してください。ファンクションコントローラ機能選択時のVBUSの接続/切断を検出することができます。
アナログ電源	AVCC0	入力	アナログ用のアナログ電圧源端子。この端子をVCCに接続してください。
	AVSS0	入力	アナロググランド端子。この端子をVSSに接続してください。
	VREFH0	入力	A/Dコンバータ用のアナログ基準電圧源端子。A/Dコンバータを使用しない場合はVCCに接続してください。
	VREFL0	入力	A/Dコンバータ用のアナログ基準グランド端子。A/Dコンバータを使用しない場合は、この端子はVSSに接続してください。
ADC14	AN000~AN010, AN016~AN022	入力	A/Dコンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D変換を開始する外部トリガ信号用の入力端子、アクティブLow

表 1.14 端子機能 (3/3)

機能	信号	入出力	説明
DAC12	DA0	出力	D/Aコンバータで処理されるアナログ信号用の出力端子
ACMPLP	VCOUT	出力	コンパレータ出力端子
	CMPREF0, CMPREF1	入力	基準電圧入力端子
	CMPIN0, CMPIN1	入力	アナログ電圧入力端子
CTSU	TS00 ~ TS28, TS30, TS31	入力	静電容量式タッチ検出端子 (タッチ端子)
	TSCAP	-	タッチドライバ用の二次電源端子
KINT	KR00 ~ KR07	入力	キー割り込み入力端子
I/Oポート	P000 ~ P004, P010 ~ P015	入出力	汎用入出力端子
	P100 ~ P113	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P204 ~ P206, P212, P213	入出力	汎用入出力端子
	P214, P215	入力	汎用入力端子
	P300 ~ P304	入出力	汎用入出力端子
	P400 ~ P403, P407 ~ P411	入出力	汎用入出力端子
	P500 ~ P502	入出力	汎用入出力端子

## 1.6 ピン配置図

図 1.3 ~ 図 1.8 にピン配置図を示します。

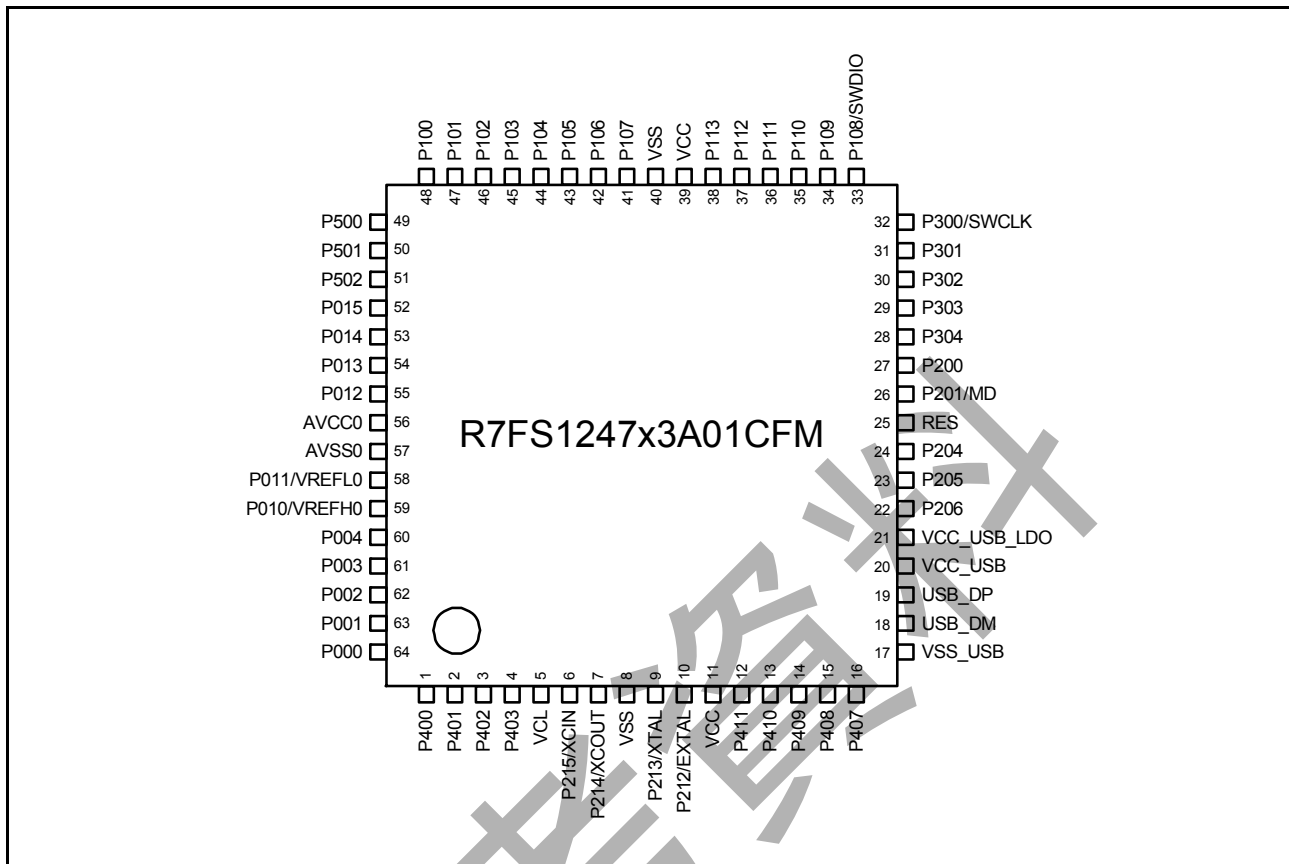


図 1.3 64-pin LQFP のピン配置 (上面図)



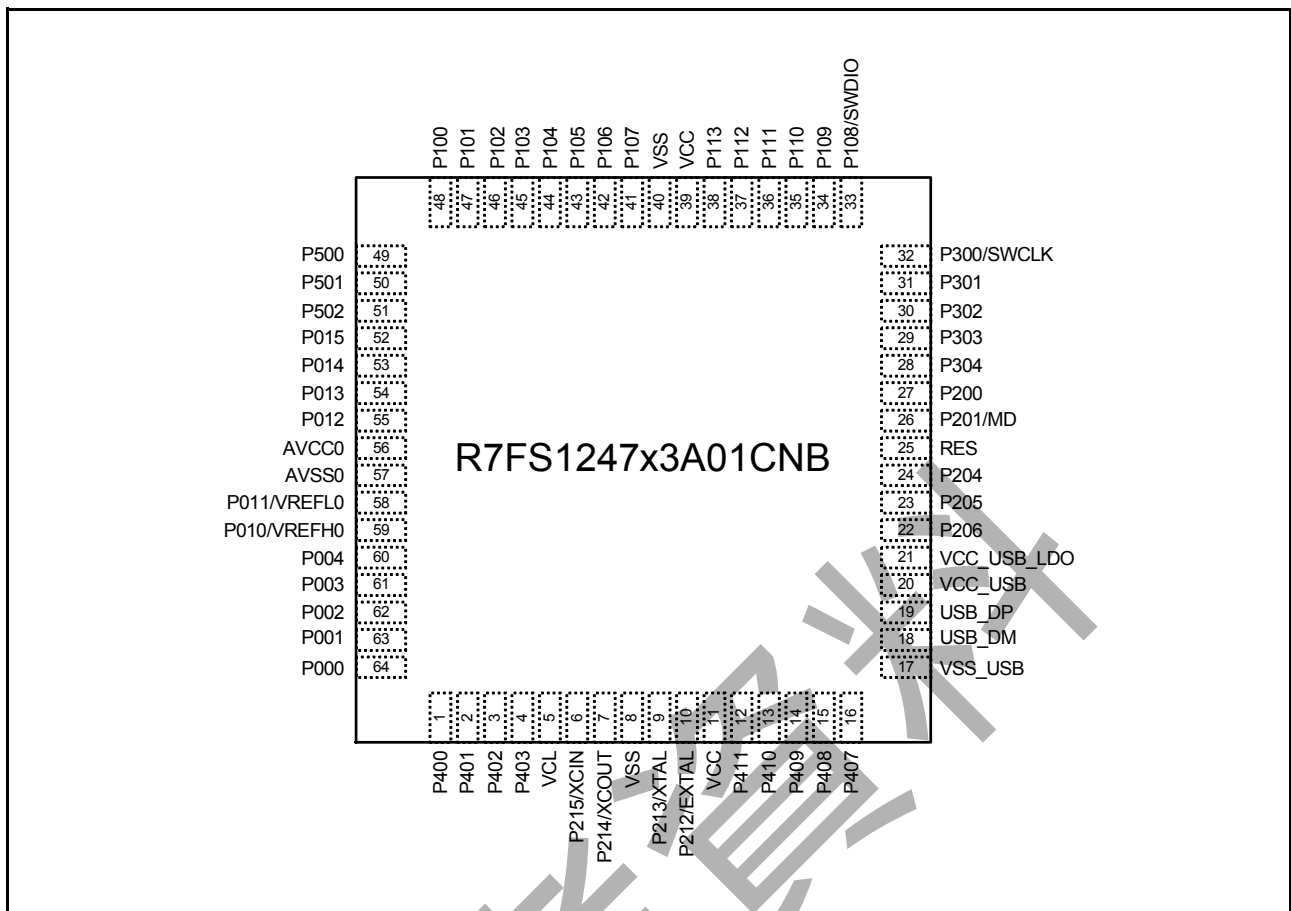


図 1.4 64-pin QFN のピン配置（上面図）

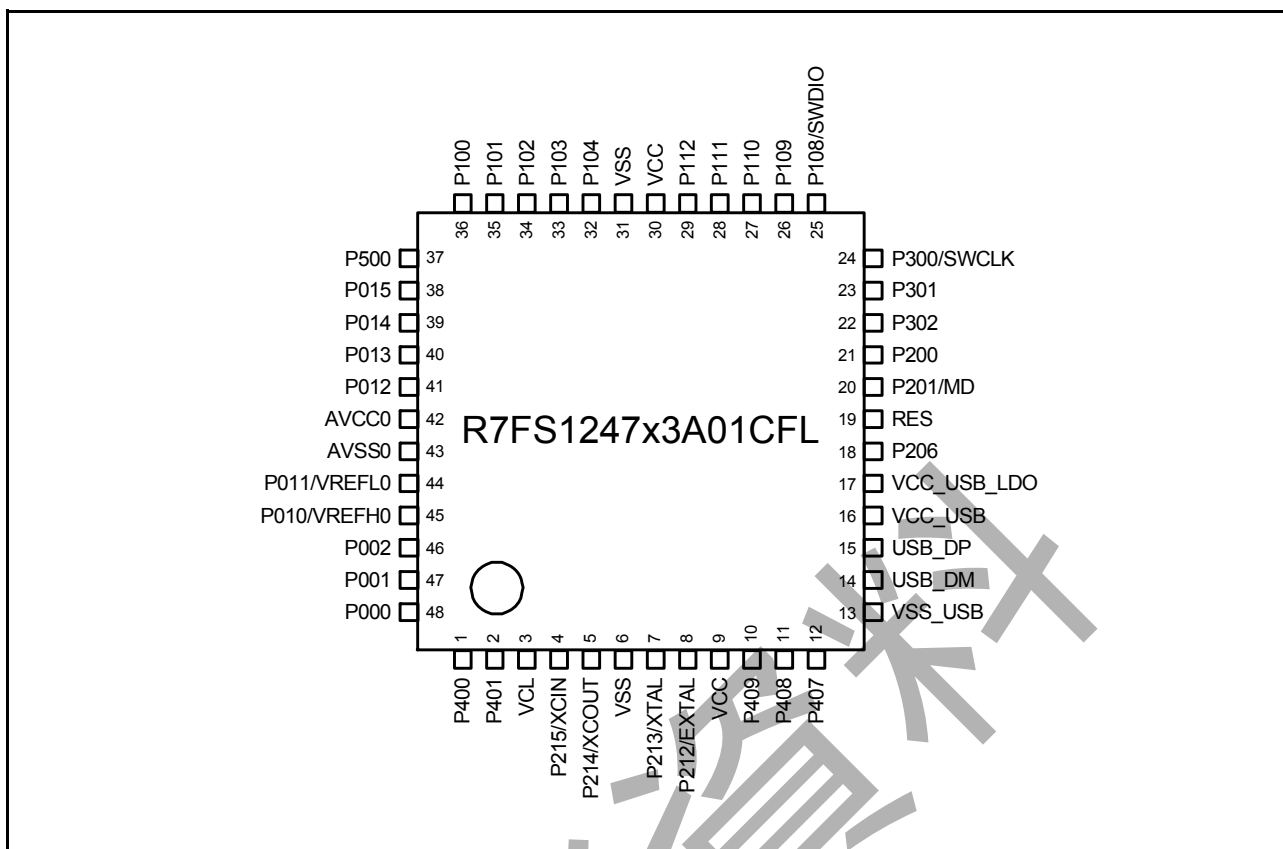


図 1.5 48-pin LQFP のピン配置 (上面図)

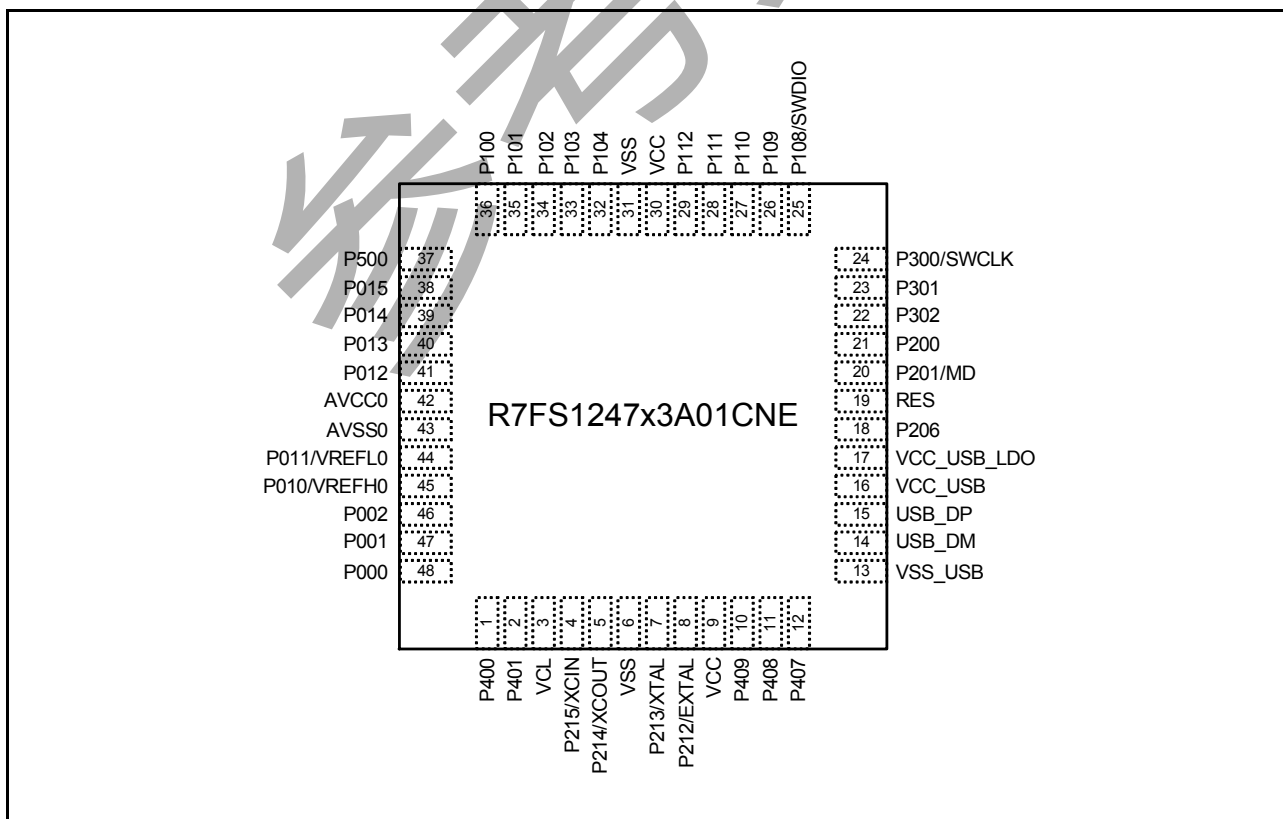


図 1.6 48-pin QFN のピン配置 (上面図)

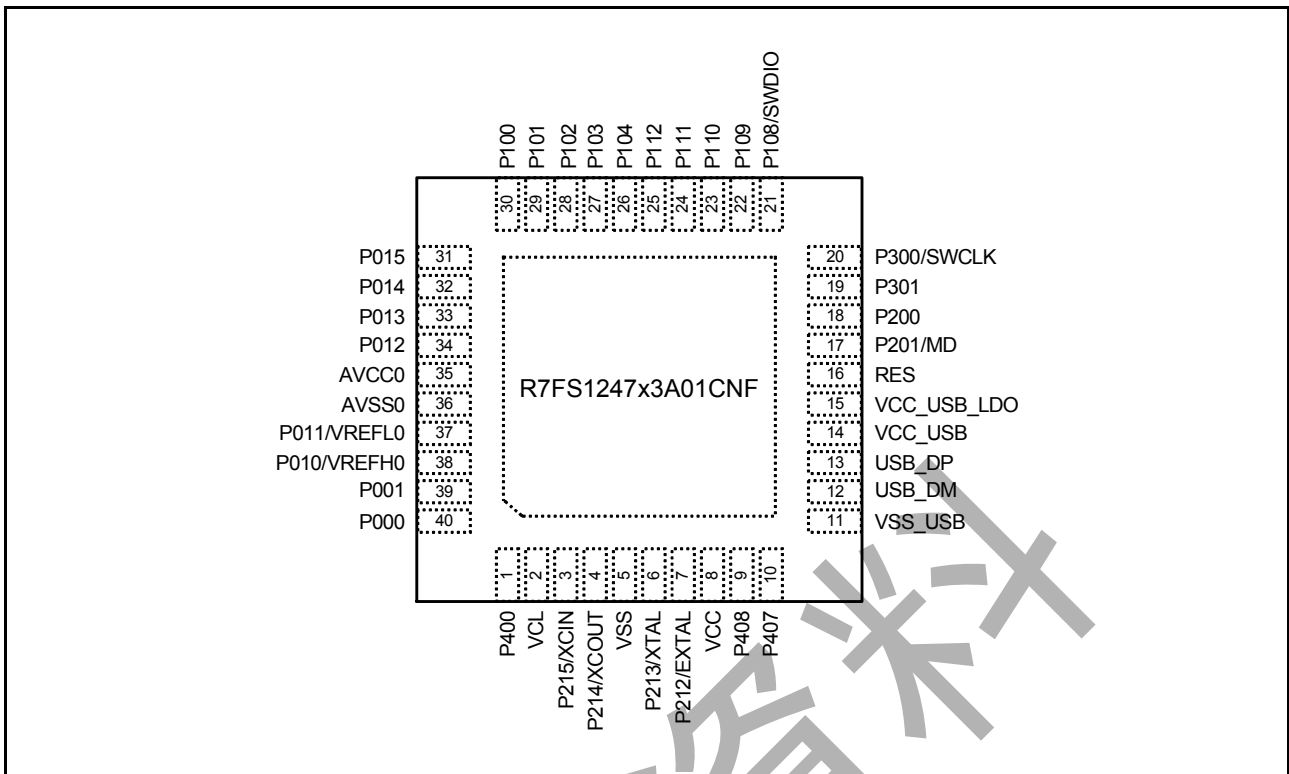


図 1.7 40-pin QFN のピン配置 (上面図)

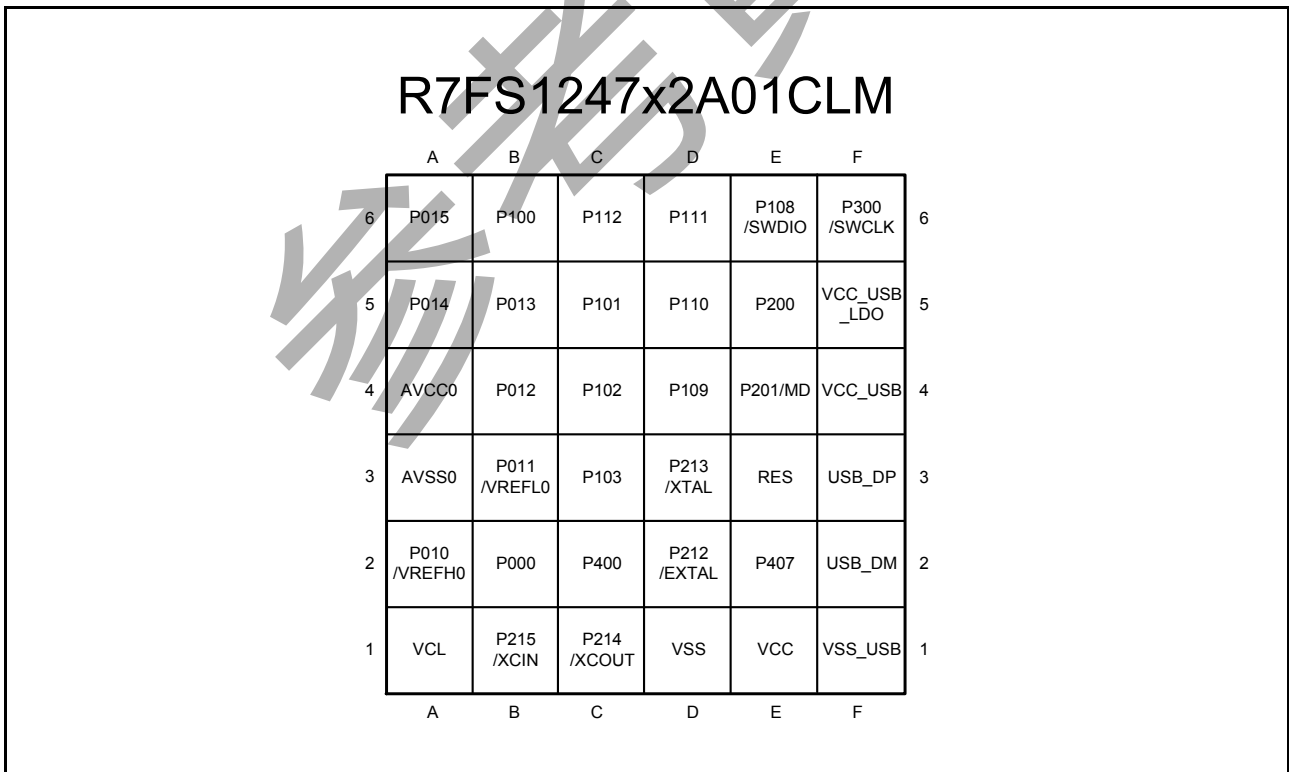


図 1.8 36-pin LGA のピン配置 (上面図、パッド側が下面)

1.7 端子一覧

ピン番号					機能、システム、クロック、デバッグ、CAC	I/Oポート	タイマ				通信インターフェース				アナログ		HMI	
LQFP64	LQFP48	QFN48	QFN40	LGA36			AGT	GPT_OPS, POEG	GPT	RTC	USBFS, CAN	SCI	IIC	SPI	ADC14	ADC12, ACMP1P	CTS0	割り込み
1	1	1	1	C2	CACREF_C	P400	AGTIO1_D	GTIOC6A_A			SCK0_B/ SCK1_B	SCL0_A				TS20	IRQ0	
2	2	2	-	-		P401		GTETRGA_B	GTIOC6B_A		CTX0_B	SDA0_A				TS19	IRQ5	
3	-	-	-	-		P402					CRX0_B					TS18	IRQ4	
4	-	-	-	-		P403			GTIOC3A_B			CTS1_RT S1_B/ SS1_B				TS17		
5	3	3	2	A1	VCL													
6	4	4	3	B1	XCIN	P215												
7	5	5	4	C1	XCOU	P214												
8	6	6	5	D1	VSS													
9	7	7	6	D3	XTAL	P213		GTETRGA_D									IRQ2	
10	8	8	7	D2	EXTAL	P212	AGTEE1	GTETRGA_D				RXD1_A/ MISO1_A/ SDA1_A					IRQ3	
11	9	9	8	E1	VCC													
12	-	-	-	-		P411	AGTOA1	GTOVUP_B	GTIOC6A_B				TXD0_B/ MISO0_B/ SDA0_B	MOSIA_B		TS07	IRQ4	
13	-	-	-	-		P410	AGTOB1	GTOVLO_B	GTIOC6B_B				RXD0_B/ MISO0_B/ SCL0_B	MISOA_B		TS06	IRQ5	
14	10	10	-	-		P409		GTOVUP_B	GTIOC5A_B				TXD9_A/ MISO9_A/ SDA9_A			TS05	IRQ6	
15	11	11	9	-		P408		GTOVLO_B	GTIOC5B_B				RXD9_A/ MISO9_A/ SCL9_A			TS04	IRQ7	
16	12	12	10	E2		P407				RTCCOUT	USB_VBUS	CTS0_RT S0_D/ SS0_D	SDA0_B	SSLB3_A	ADTRG0_B	TS03		
17	13	13	11	F1	VSS_USB													
18	14	14	12	F2							USB_DM							
19	15	15	13	F3							USB_DP							
20	16	16	14	F4	VCC_US_B													
21	17	17	15	F5	VCC_US_B_LDO													
22	18	18	-	-		P206		GTIU_A					RXD0_D/ MISO0_D/ SCL0_D	SDA1_A	SSLB1_A	TS01	IRQ0	
23	-	-	-	-	CLKOUT_A	P205	AGTO1	GTIV_A	GTIOC4A_B				TXD0_D/ MOSIO_D/ SDA0_D/ CTS9_RT S9_A/ SS9_A	SCL1_A	SSLB0_A	TSCAP_A	IRQ1	
24	-	-	-	-	CACREF_A	P204	AGTIO1_A	GTIW_A	GTIOC4B_B				SCK0_D/ SCK9_A	SCL0_B	RSPCKB_A	TS00		
25	19	19	16	E3	RES													
26	20	20	17	E4	MD	P201												
27	21	21	18	E5		P200											NMI	
28	-	-	-	-		P304			GTIOC1A_B									
29	-	-	-	-		P303			GTIOC1B_B							TS02		
30	22	22	-	-		P302		GTOUUP_A	GTIOC4A_A				SSLB3_B		TS08	IRQ5		
31	23	23	19	-		P301		GTOULO_A	GTIOC4B_A				SSLB2_B		TS09	IRQ6		
32	24	24	20	F6	SWCLK	P300		GTOUUP_C	GTIOC0A_A				SSLB1_B					
33	25	25	21	E6	SWDIO	P108		GTOULO_C	GTIOC0B_A				CTS9_RT S9_B/ SS9_B		SSLB0_B			
34	26	26	22	D4	CLKOUT_B	P109		GTOVUP_A	GTIOC1A_A		CTX0_A	TXD9_B/ MOSI9_B/ SDA9_B		MOSIB_B		TS10		

ピン番号					機能、シスチム、クロック、チャット、CAC	IOポート	タイマ				通信インタフェース				アナログ		HMI	
LQFP64	LQFP48	QFN48	QFN40	LGA36			AGT	QPT_OPS, POEG	GPT	RTC	USBFS, CAN	SCI	IIC	SPI	ADC14	DAC12, ACMP1P	CTS0	割り込み
35	27	27	23	D5		P110		GTIOVLO_A	GTIOC1B_A		CRX0_A	CTS0_RT_S0_C/SS0_C/RXD9_B/MISO9_B/SCL9_B		MISOB_B	VCOU	TS11	IRQ3	
36	28	28	24	D6		P111			GTIOC3A_A			SCK0_C/SCK9_B		RSPCKB_B		TS12	IRQ4	
37	29	29	25	C6		P112			GTIOC3B_A			TXD0_C/MOSIO_C/SDA0_C				TSCAP_C		
38	-	-	-	-		P113												
39	30	30	-	-	VCC													
40	31	31	-	-	VSS													
41	-	-	-	-		P107			GTIOC0A_B								KR07	
42	-	-	-	-		P106			GTIOC0B_B				SSLA3_A				KR06	
43	-	-	-	-		P105		GTETRG_A_C					SSLA2_A				KR05/IRQ0	
44	32	32	26	-		P104		GTETRG_B_B				RXD0_C/MISO0_C/SCL0_C	SSLA1_A			TS13	KR04/IRQ1	
45	33	33	27	C3		P103		GTOWUP_A	GTIOC2A_A		CTX0_C	CTS0_RT_S0_A/SS0_A	SSLA0_A	AN019	CMPREF1	TS14	KR03	
46	34	34	28	C4		P102	AGTO0	GTOWLO_A	GTIOC2B_A		CRX0_C	SCK0_A	RSPCKA_A	AN020/ADTRG0_A	CMPIN1	TS15	KR02	
47	35	35	29	C5		P101	AGTEE0	GTETRG_B_A	GTIOC5A_A			TXD0_A/MOSIO_A/SDA0_A/CTS1_RT_S1_A/SS1_A	SDA1_B	MOSIA_A	AN021	CMPREF0	TS16	KR01/IRQ1
48	36	36	30	B6		P100	AGTIO0_A	GTETRG_A_A	GTIOC5B_A			RXD0_A/MISO0_A/SCL0_A/SCK1_A	SCL1_B	MISOA_A	AN022	CMPIN0	TS26	KR00/IRQ2
49	37	37	-	-		P500	AGTOA0	GTIU_B	GTIOC2A_B					AN016		TS27		
50	-	-	-	-		P501	AGTOB0	GTIV_B	GTIOC2B_B					AN017				
51	-	-	-	-		P502		GTIIV_B	GTIOC3B_B					AN018				
52	38	38	31	A6		P015								AN010		TS28	IRQ7	
53	39	39	32	A5		P014								AN009	DA0			
54	40	40	33	B5		P013								AN008				
55	41	41	34	B4		P012								AN007				
56	42	42	35	A4	AVCC0													
57	43	43	36	A3	AVSS0													
58	44	44	37	B3	VREFL0	P011								AN006		TS31		
59	45	45	38	A2	VREFH0	P010								AN005		TS30		
60	-	-	-	-		P004								AN004		TS25	IRQ3	
61	-	-	-	-		P003								AN003		TS24		
62	46	46	-	-		P002								AN002		TS23	IRQ2	
63	47	47	39	-		P001								AN001		TS22	IRQ7	
64	48	48	40	B2		P000								AN000		TS21	IRQ6	

注. いくつかの端子名には、\_A、\_B、\_C、および\_Dという接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

## 2. CPU

S124 MCU は、ARM® Cortex®-M0+ CPU コアをベースにしています。

### 2.1 概要

#### 2.1.1 CPU

- ARM Cortex-M0+
  - リビジョン : r0p1-00rel0
  - ARMv6-M アーキテクチャプロファイル
  - シングルサイクル整数乗算器
- SysTick タイマ
  - LOCO クロックによる駆動 (32.768kHz +/- 10%)

詳細は、[2.9 章の参考資料 1.](#) および [参考資料 2.](#) を参照してください。

#### 2.1.2 デバッグ

- CoreSight™ MTB-M0+
  - リビジョン : r0p1-00rel0
  - バッファサイズ : 16KB MTB SRAM のうち 1KB
- データウォッチポイントユニット (DWT)
  - ウォッチポイント用の 2 つのコンパレータ
- ブレークポイントユニット (BPU)
  - 4 つの命令コンパレータ
- CoreSight デバッグアクセスポート (DAP)
  - シリアルワイヤデバッグポート (SW-DP)
- デバッグレジスタモジュール (DBGREG)
  - リセットコントロール
  - 停止コントロール

詳細は [2.9 章の参考資料 1.](#) および [参考資料 2.](#) を参照してください。

### 2.1.3 動作周波数

- CPU コア : 最大 32MHz
- シリアルワイヤデータ (SWD) インタフェース : 最大 12.5MHz

図 2.1 に Cortex-M0+ CPU のブロック図を示します。

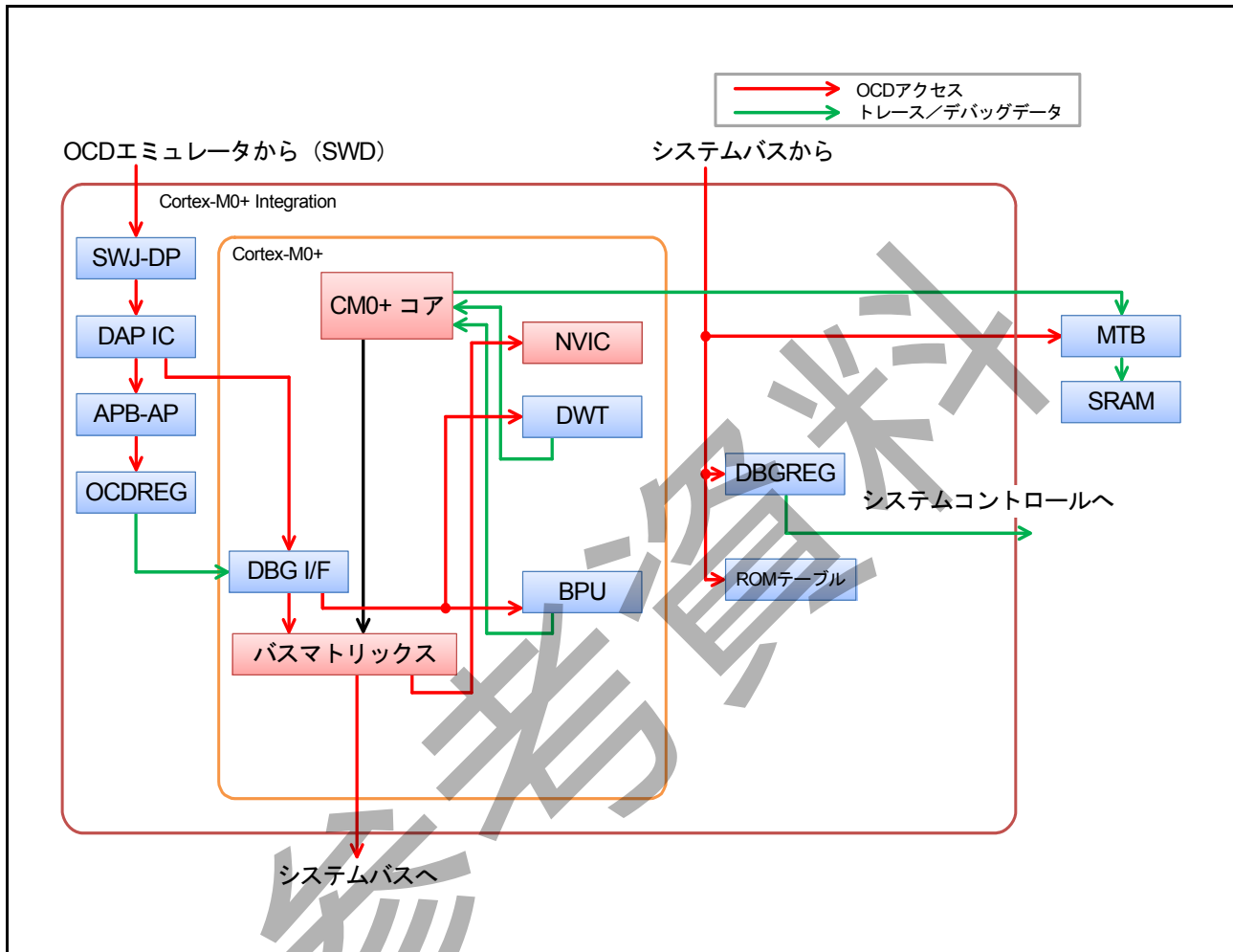


図 2.1 Cortex-M0+ CPU ブロック図

## 2.2 実装オプション

表 2.1 実装オプション

オプション	実装
MPU	なし
シングルサイクル乗算器	あり
割り込み回数	32
ウェイクアップ割り込みコントローラ (WIC) の数	なし
スリープモードパワーセーブ	スリープモードなどの低消費電力モードがサポートされています。詳細は、「10. 低消費電力モード」を参照してください。 注. SCB.SCR.SLEEPDEEP は無視されます。
エンディアン形式	リトルエンディアン
SysTick SYST_CALIBレジスタ	SYST_CALIB = 4000 0147h ビット[31] = 0 基準クロック提供 ビット[30] = 1 TERMS値が精度異常 ビット[29:24] = 00h 予約ビット ビット[23:0] = 000147h TERM : (32768 × 10ms) - 1 / 32.768kHz = 326.66 (10進) = 327 (スキューを含む) = 000147h
イベント入出力	実装なし
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタのSYSRESETREQビットによってCPUがリセットされます。
補助フォルト入力 (AUXFAULT)	実装なし

詳細は 2.9 章の参考資料 3. を参照してください。

## 2.3 トレースインタフェース

本 MCU は専用のトレース出力インタフェースを提供していません。

## 2.4 SWD インタフェース

表 2.2 はチップの SWD 端子を示しています。

表 2.2 SWD 端子

名前	入出力	P/N	幅	機能	使用しない場合
SWCLK	入力	Pos.	1ビット	シリアルワイヤデータクロック端子	プルアップ
SWDIO	入出力	Neg.	1ビット	シリアルワイヤデータ入出力端子	プルアップ



## 2.5 デバッグモード

### 2.5.1 デバッグモード定義

本 MCU は 2 種類の CPU デバッグモードを備えています。

表 2.3 に、CPU デバッグモードとその条件を示します。

表 2.3 CPU デバッグモードおよび条件

条件		モード	
OCD 接続	SWD 認証	デバッグモード	デバッグ認証
未接続	—	ユーザモード	禁止
接続	不合格	ユーザモード	禁止
接続	合格	OCD モード	許可

- 注 1. OCD 接続は、SWJ-DP レジスタの CDBGPWRUPREQ ビット出力によって判別されます。このビットは OCD によってのみ書き込むことができます。ただし、このビットのレベルは、DBGSTR.CDBGPWRUPREQ ビットの読み出しによって確認できます。
- 注 2. デバッグ認証は、ARMv6-M アーキテクチャによって定義されず、「許可」とは、侵入型と非侵入型の両方の CPU デバッグが許可されることを意味します。「禁止」とは、これらが両方とも許可されないことを意味します。

### 2.5.2 デバッグモードの影響

デバッグモードは CPU の内部および外部に影響を与えます。デバッグモードの影響を以下に示します。

#### 2.5.2.1 低消費電力モード

すべての CoreSight デバッグコンポーネントは、CPU がソフトウェアスタンバイモードまたはスヌーズモードに入った場合でも、レジスタの設定値を保持することが可能です。ただし、これらの低消費電力モードにおいては、AHB-AP はオンチップデバッグ (OCD) アクセスに 응답できません。すなわち、CoreSight デバッグコンポーネントにアクセスするには、OCD は低消費電力モードが解除されるのを待つ必要があります。この場合、OCD は MCUCTRL レジスタの DBIRQ ビットを用いて、低消費電力モードの解除を要求できます。詳細は、2.6.6.3 MCU コントロールレジスタ (MCUCTRL) を参照してください。

### 2.5.2.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPCR の設定内容に依存します。

表 2.4 リセット／割り込みおよびモード設定

リセット／割り込み名称	オンチップデバッグ (OCD) モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザモードと同じ	
パワーオンリセット	ユーザモードと同じ	
独立ウォッチドッグタイマリセット／割り込み	発生なし (注1)	DBGSTOPCR の設定内容に依存 (注2)
ウォッチドッグタイマリセット／割り込み	発生なし (注1)	DBGSTOPCR の設定内容に依存 (注2)
電圧監視0リセット	DBGSTOPCR の設定内容に依存 (注3)	
電圧監視1リセット／割り込み	DBGSTOPCR の設定内容に依存 (注3)	
電圧監視2リセット／割り込み	DBGSTOPCR の設定内容に依存 (注3)	
SRAM パリティエラーリセット／割り込み	DBGSTOPCR の設定内容に依存 (注3)	
ソフトウェアリセット	ユーザモードと同じ	

注. 「OCD ブレークモード」は CPU が停止していることを意味し、「OCD RUN モード」は CPU が OCD モードにあって、停止していないことを意味します。

注 1. このモードでは IWDT/WDT は常に停止しています。

注 2. IWDT/WDT が動作するか否かは、DBGSTOPCR の設定内容に依存します。

注 3. リセット／割り込みをマスクするか否かは、DBGSTOPCR の設定内容に依存します。

## 2.6 プログラマモデル

### 2.6.1 アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート (AP) があります。

- AHB-AP : CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします。
- APB-AP : 専用のアドレス空間 (OCD アドレス空間) を持ち、OCD レジスタに接続されます。

図 2.2 は、AP 接続とアドレス空間のブロック図です。

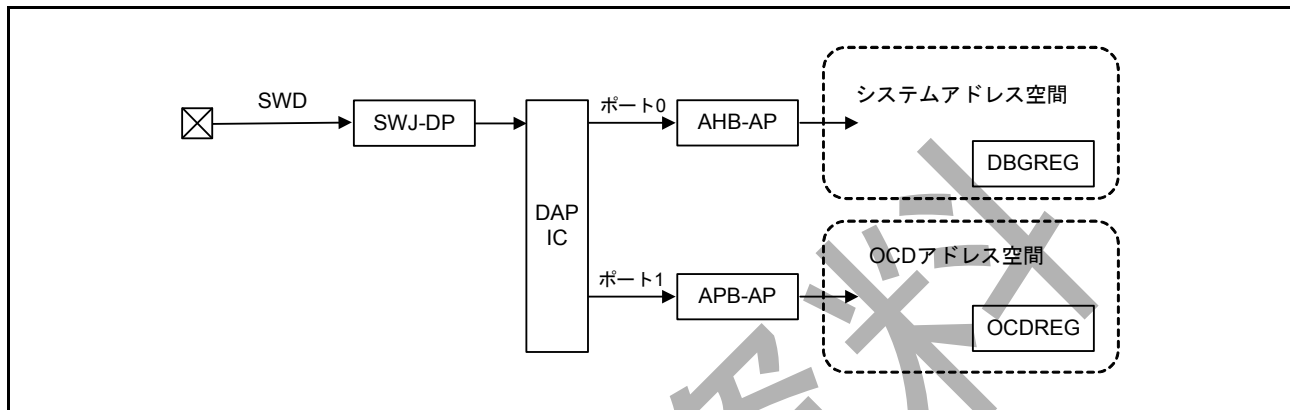


図 2.2 SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、OCD エミュレータ、CPU、および LSI の他のバスマスタからアクセスが可能です。OCDREG は OCD アドレス空間に配置され、OCD ツールからのみアクセスが可能です。CPU と他のバスマスタは OCD レジスタにアクセスできません。

### 2.6.2 Cortex-M0+ ペリフェラルアドレスマップ

システムアドレス空間では、Cortex-M0+ は専用周辺バス (PPB) を備えます。このバスは CPU および OCD エミュレータからのみアクセスが可能です。表 2.5 は、Cortex-M0+ ペリフェラルアドレスマップを示しています。

表 2.5 ペリフェラルアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
DWT	E000 1000h	E000 1FFFh	参考資料 2. を参照してください
BPU	E000 2000h	E000 2FFFh	参考資料 2. を参照してください
SCS	E000 E000h	E000 EFFFh	参考資料 2. を参照してください
ROM テーブル	E00F F000h	E00F FFFFh	2.6.4 CoreSight ROM テーブルおよび参考資料 5. を参照してください

### 2.6.3 外部デバッグアドレスマップ

システムアドレス空間では、Cortex-M0+ コアは外部デバッグコンポーネントを備えています。これらのコンポーネントは、システムバスを介してCPU および他のバスマスタからアクセスできます。表 2.6 に、Cortex-M0+ 外部デバッグコンポーネントのアドレスマップを示します。

表 2.6 外部デバッグアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
MTB (SRAM 領域)	2000 0000h	2000 3FFFh	MTBは16KBのうち1KBをトレースバッファとして使用します。 参考資料 6. を参照してください
MTB (SFR 領域)	4001 9000h	4001 9FFFh	参考資料 6. を参照してください
ROM テーブル	4001 A000h	4001 AFFFh	参考資料 6. を参照してください

### 2.6.4 CoreSight ROM テーブル

本 MCU には、2つの CoreSight ROM テーブルがあります。一方の ROM テーブルはルートであり、外部デバッグコンポーネントのリストと、ARM コンポーネントへのポインタを保持しています。もう一方の ROM テーブルは ARM コンポーネントのリストを保持しています。

#### 2.6.4.1 ROM エントリ

2つの ROM テーブルが存在します。表 2.7 に最初の ROM テーブルを示します。ここには、ARM システムエリアへのポインタと、ユーザエリアコンポーネントの情報が含まれています。

表 2.8 に 2 番目の ROM テーブルを示します。ここには、ARM システムエリアコンポーネントの情報が含まれています。詳細は参考資料 5. および参考資料 6. を参照してください。

表 2.7 ROM テーブル (1)

#	アドレス	アクセスサイズ	R/W	値	対象モジュール
0	4001 A000h	32ビット	R	A00E5003h	ARM Cortex-M0+ プロセッサ
1	4001 A004h	32ビット	R	FFFFFF003h	MTB
2	4001 A008h	32ビット	R	00000000h	(エントリ終了)

表 2.8 ROM テーブル (2)

#	アドレス	アクセスサイズ	R/W	値	対象モジュール
0	E00F F000h	32ビット	R	FFF0F003h	SCS
1	E00F F004h	32ビット	R	FFF02003h	DWT
2	E00F F008h	32ビット	R	FFF03003h	BPU
3	E00F F00Ch	32ビット	R	00000000h	(エントリ終了)

### 2.6.4.2 CoreSight レジスタ

CoreSight ROM テーブルは、ARM CoreSight アーキテクチャで定義された CoreSight レジスタを含んでいます。表 2.9 にこれらのレジスタを示します。各レジスタの詳細は参考資料 5. を参照してください。

表 2.9 CoreSight ROM テーブルの CoreSight レジスタ

名前	アドレス	アクセスサイズ	R/W	初期値
DEVTYPE	E00F FFCCh	32ビット	R	00000001h
PID4	E00F FFD0h	32ビット	R	00000004h
PID5	E00F FFD4h	32ビット	R	00000000h
PID6	E00F FFD8h	32ビット	R	00000000h
PID7	E00F FFDCh	32ビット	R	00000000h
PID0	E00F FFE0h	32ビット	R	00000003h
PID1	E00F FFE4h	32ビット	R	00000030h
PID2	E00F FFE8h	32ビット	R	0000000Ah
PID3	E00F FFECh	32ビット	R	00000000h
CID0	E00F FFF0h	32ビット	R	0000000Dh
CID1	E00F FFF4h	32ビット	R	00000010h
CID2	E00F FFF8h	32ビット	R	00000005h
CID3	E00F FFFCh	32ビット	R	000000B1h

## 2.6.5 DBGREG

DBGREG は、デバッグ機能を制御するレジスタモジュールです。DBGREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.10 は、CoreSight コンポーネントレジスタを除いた、DBGREG のレジスタ一覧です。

表 2.10 レジスタ一覧

名前	DAPポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	ポート0	4001 B000h	32ビット	R
デバッグストップコントロールレジスタ	ポート0	4001 B010h	32ビット	R/W

### 2.6.5.1 デバッグステータスレジスタ (DBGSTR)

アドレス [DBG.DBGSTR 4001 B000h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	CDBGPWRUPACK	CDBGPWRUPREQ	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと0が読めます。	R
b28	CDBGPWRUPREQ		デバッグパワーアップアクリッジ 0: デバッグパワーアップ要求は承認されない 1: デバッグパワーアップ要求は承認される	R
b29	CDBGPWRUPACK		デバッグパワーアップ要求 0: OCDはデバッグパワーアップを要求していない 1: OCDはデバッグパワーアップを要求している	R
b31-b30	—	予約ビット	読むと0が読めます。	R

### 2.6.5.2 デバッグストップコントロールレジスタ (DBGSTOPCR)

アドレス DBG.DBGSTOPCR 4001 B010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	DBGSTO P_RPER	—	—	—	—	—	DBGSTOP_LVD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTO P_WDT	DBGSTO P_IWDT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DBGSTOP_IWDT		IWDTリセット／割り込み用のマスクビット 0：IWDTリセット／割り込みを許可 1：IWDTリセット／割り込みをマスクし、CPUがOCDブレークモードの場合はWDTカウントを停止	R/W
b1	DBGSTOP_WDT		WDTリセット／割り込み用のマスクビット 0：WDTリセット／割り込みを許可 1：WDTリセット／割り込みをマスクし、CPUがOCDブレークモードの場合はWDTカウントを停止	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	DBGSTOP_LVD[2:0]		LVD0リセット／割り込み用のマスクビット 0：LVD0リセット／割り込みを許可 1：LVD0リセット／割り込みをマスク	R/W
b17			LVD1リセット／割り込み用のマスクビット 0：LVD1リセット／割り込みを許可 1：LVD1リセット／割り込みをマスク	R/W
b18			LVD2リセット／割り込み用のマスクビット 0：LVD2リセット／割り込みを許可 1：LVD2リセット／割り込みをマスク	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	DBGSTOP_RPER		SRAMパリティエラーリセット／割り込み用のマスクビット 0：SRAMパリティエラーリセット／割り込みを許可 1：SRAMパリティエラーリセット／割り込みをマスク	R/W
b31-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時の機能停止を指定します。このレジスタの全ビットは、チップが OCD モードでないときは、0 とみなされます。

### 2.6.5.3 CoreSight レジスタ

DBGREG は、ARM CoreSight アーキテクチャで定義された CoreSight レジスタを含んでいます。表 2.11 は、これらのレジスタの一覧です。各レジスタの詳細は 2.9 章の参考資料 5. を参照してください。

表 2.11 DBGREG の CoreSight レジスタ一覧

名前	アドレス	アクセスサイズ	R/W	初期値
PID4	4001 BFD0h	32ビット	R	00000004h
PID5	4001 BFD4h	32ビット	R	00000000h
PID6	4001 BFD8h	32ビット	R	00000000h
PID7	4001 BFDCh	32ビット	R	00000000h
PID0	4001 BFE0h	32ビット	R	00000005h
PID1	4001 BFE4h	32ビット	R	00000030h
PID2	4001 BFE8h	32ビット	R	0000001Ah
PID3	4001 BFEC h	32ビット	R	00000000h
CID0	4001 BFF0h	32ビット	R	0000000Dh
CID1	4001 BFF4h	32ビット	R	000000F0h
CID2	4001 BFF8h	32ビット	R	00000005h
CID3	4001 BFFCh	32ビット	R	000000B1h



## 2.6.6 OCDREG

OCDREG は、オンチップデバッグ (OCD) エミュレータ機能を制御するレジスタモジュールです。OCDREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.12 は OCDREG のレジスタ一覧です。

表 2.12 OCDREG のレジスタ一覧

名前	DAPポート	アドレス	アクセスサイズ	R/W	
ID 認証コードレジスタ 0	IAUTH0	ポート1	8000 0000h	32ビット	W
ID 認証コードレジスタ 1	IAUTH1	ポート1	8000 0100h	32ビット	W
ID 認証コードレジスタ 2	IAUTH2	ポート1	8000 0200h	32ビット	W
ID 認証コードレジスタ 3	IAUTH3	ポート1	8000 0300h	32ビット	W
MCU ステータスレジスタ	MCUSTAT	ポート1	8000 0400h	32ビット	R
MCU コントロールレジスタ	MCUCTRL	ポート1	8000 0410h	32ビット	R/W

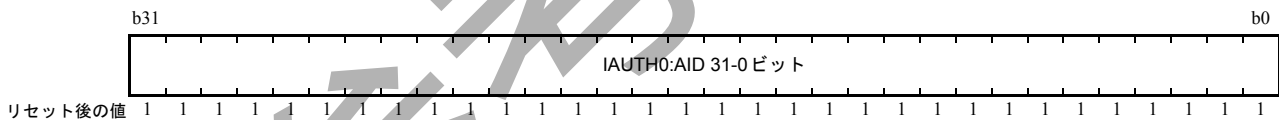
注. OCDREG は専用の OCD アドレス空間に配置されます。このアドレスマップはシステムのアドレスマップから独立しています。

### 2.6.6.1 ID 認証コードレジスタ (IAUTH0 ~ 3)

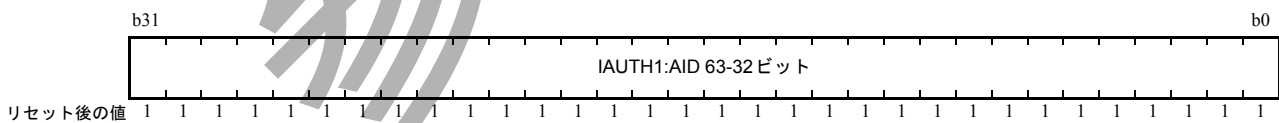
128 ビットキーを書き込むための認証レジスタが存在します。これら 4 つのレジスタは、IAUTH0 から IAUTH3 への順序で書き込む必要があります。レジスタセットへの書き込みがこの順序に従わないと、予測できない結果となります。

32 ビットの書き込みのみが許可されます。これらのレジスタの初期値はすべて 1 です。これは、OSIS レジスタの ID コードが初期値の場合、SWD アクセスが許可されることを意味します。2.8.1 アンロック ID コードを参照してください。

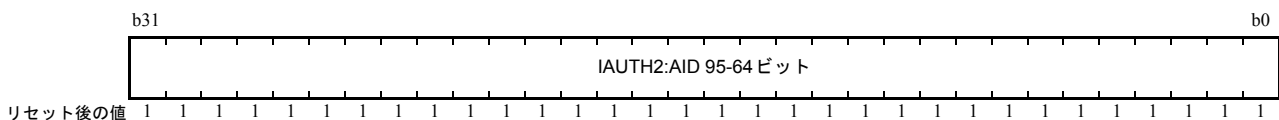
アドレス [IAUTH0 8000 0000h](#)



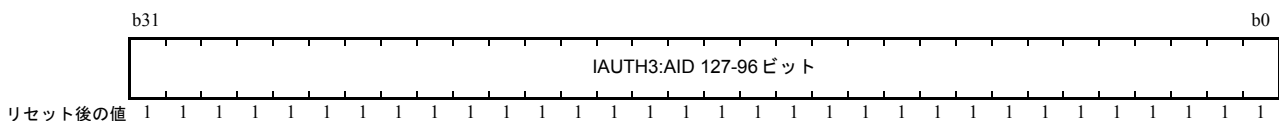
アドレス [IAUTH1 8000 0100h](#)



アドレス [IAUTH2 8000 0200h](#)



アドレス [IAUTH3 8000 0300h](#)



## 2.6.6.2 MCU ステータスレジスタ (MCUSTAT)

アドレス MCUSTAT 8000 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUSL EEP	CPUSL EEP	AUTH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0 (注1)	1/0 (注1)	0

ビット	シンボル	ビット名	機能	R/W
b0	AUTH		0: 認証失敗 1: 認証成功	R
b1	CPUSLEEP		0: CPUは非スリープモード 1: CPUはスリープモード	R
b2	CPUSTOPCLK		0: CPUクロックを停止させない。MCUが、スヌーズモードまたはソフトウェアスタンバイモードであることを示す 1: CPUクロックを停止させる。MCUがノーマルモードまたはスリープモードであることを示す	R
b31-b3	—	予約ビット	読むと0が読めます。	R

注 1. チップ状態に依存します。

### 2.6.6.3 MCU コントロールレジスタ (MCUCTRL)

アドレス MCUCTRL 8000 0410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	EDBGRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EDBGRQ	外部デバッグ要求	このビットに1を書き込むと、CPUが停止するかデバッグモニタ例外となる。 0：デバッグイベントを要求しない 1：デバッグイベントを要求する EDBGRQビットに0を書き込むと、これらの条件は解除されます。 - EDBGRQビットに0を書く - CPUは停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。	R
b8	DBIRQ	デバッグ割り込み要求	このビットに1を書き込むと、MCUは低消費電力モードから復帰する。 0：デバッグ割り込みを要求しない 1：デバッグ割り込みを要求する DBIRQビットに0を書き込むと、この条件は解除されます。	R/W
b31-b9	—	予約ビット	読むと0が読めます。	R

注 1. チップ状態に依存します。

### 2.6.6.4 CoreSight レジスタ

OCDREG は、ARM CoreSight アーキテクチャで定義された CoreSight レジスタを備えています。

表 2.13 は、これらのレジスタの一覧です。各レジスタの詳細は 2.9 章の参考資料 5. を参照してください。

表 2.13 OCDREG の CoreSight レジスタ一覧

名前	アドレス	アクセスサイズ	R/W	初期値
PID4	8000 0FD0h	32ビット	R	00000004h
PID5	8000 0FD4h	32ビット	R	00000000h
PID6	8000 0FD8h	32ビット	R	00000000h
PID7	8000 0FDCh	32ビット	R	00000000h
PID0	8000 0FE0h	32ビット	R	00000004h
PID1	8000 0FE4h	32ビット	R	00000030h
PID2	8000 0FE8h	32ビット	R	0000000Ah
PID3	8000 0FECh	32ビット	R	00000000h
CID0	8000 0FF0h	32ビット	R	0000000Dh
CID1	8000 0FF4h	32ビット	R	000000F0h
CID2	8000 0FF8h	32ビット	R	00000005h
CID3	8000 0FFCh	32ビット	R	000000B1h

## 2.7 SysTick システムタイマ

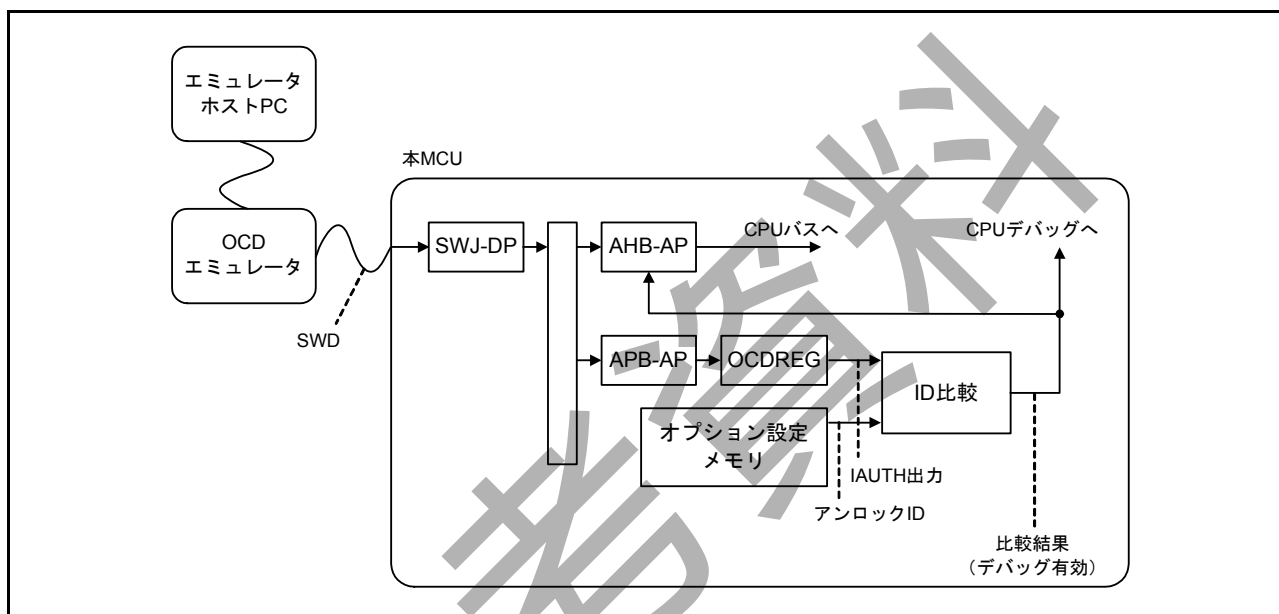
本 MCU は、簡易的な 24 ビットダウンカウンタとなる SysTick システムタイマを内蔵しています。このタイマは、CPU クロックまたは `clkly_stclk` 基準クロックを選択できます。

詳細は、「[8. クロック発生回路](#)」および[参考資料 1](#)を参照してください。

## 2.8 OCD エミュレータ接続

本 MCU は、デバッグとチップリソースへのアクセス許可をチェックするための SWD 認証機構を含んでいます。全デバッグ機能を取得するには、この認証機構の合格結果が必要です。

[図 2.3](#) に、認証機構のブロック図を示します。



**図 2.3 認証機構のブロック図**

本 MCU には認証用の ID コンパレータがあります。このコンパレータは、OCDREG からの 128 ビットの IAUTH 出力と、オプション設定メモリからの 128 ビットのアンロック ID コードを比較します。これら 2 つの出力が同一であると、CPU デバッグ機能と、OCD エミュレータからのシステムバスアクセスが許可されます。

OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ (SYOCD CR) の DBGEN ビットを設定する必要があります。また、OCD エミュレータは DBGEN ビットをクリアしないと切断されません。「[10. 低消費電力モード](#)」の SYOCD CR の説明を参照してください。

### 2.8.1 アンロック ID コード

アンロック ID コードは、デバッグとオンチップリソースへのアクセスの許可を判定するために用いられます。アンロック ID コードが ID 認証レジスタ 0 ~ 3 に書き込まれた 128 ビットデータと一致した場合、SWD デバッガはアクセス許可を取得します。アンロック ID コードは、オプション設定メモリの CD / シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれます。アンロック ID コードの初期値は、すべて 1 (FFFFFFFF\_FFFFFFFF\_FFFFFFFF\_FFFFFFFFh) です。詳細は「[6. オプション設定メモリと情報メモリ](#)」を参照してください。

## 2.8.2 OCD エミュレータ接続における制限

この節では、エミュレータのアクセス制限について説明します。

### 2.8.2.1 低消費電力モード中の接続開始

OCD エミュレータから SWD 接続を開始するとき、チップはノーマルモードかスリープモードでなければいけません。チップがソフトウェアスタンバイモードかスヌーズモードであると、OCD エミュレータはチップをハングさせる場合があります。

### 2.8.2.2 OCD モードにおける低消費電力モードの切り替え

チップが OCD モードであるとき、チップの低消費電力モードへの切り替えが可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモードまたはスヌーズモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.14 にこれらの制限を示します。

表 2.14 各モードの制限

現在のモード	OCDエミュレータの接続開始	低消費電力モードへの切り替え	AHB-APとシステムバスへのアクセス	APB-APとOCDREGへのアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能
スヌーズ	不可能	可能	不可能	可能

ソフトウェアスタンバイモードまたはスヌーズモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを使用してください。これによって、チップを低消費電力モードから復帰させることができます。同時に、OCDREG の MCUCTRL.EDBGRQ ビットを用いることで、OCD エミュレータは CPU ブレークによって CPU の実行を開始することなく、チップを復帰させることが可能です。

### 2.8.2.3 OSIS におけるアンロック ID コードの変更

OSIS においてアンロック ID コードを変更した後、OCD エミュレータは、RES 端子をアサートするか、またはシステムコントロールブロックのアプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットを 1 にすることによって、MCU をリセットする必要があります。変更されたアンロック ID コードは、このリセット後に反映されます。

### 2.8.2.4 接続順序と SWD 認証

OCD エミュレータは SWD 認証機構で保護されているため、OCD では認証レジスタに対し ID コードの入力が必要となる場合があります。オプション設定メモリの OSIS の値によって、コード入力が必要かどうかが決まります。

#### (1) OSIS がすべて 1 の場合（デフォルト）

OCD 認証は不要であり、OCD は認証なしで AHB-AP を使用できます。

1. SWD インタフェースを介して OCD エミュレータを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CSDBGPWRUPACK がアサートされるまで待ちます。
3. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
4. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

#### (2) OSIS がすべて 1 でない場合

OCD 認証が必要であり、OCD は、OCDREG の IAUTH レジスタ 0～3 にアンロックコードを書き込んでから、AHB-AP を使用する必要があります。

1. SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CSDBGPWRUPACK がアサートされるまで待ちます。
3. OCDREG にアクセスするよう APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH レジスタ 0～3 に 128 ビット ID コードを書き込みます。
5. この 128 ビット ID コードが OSIS の値と一致した場合、AHB-AP に対して AHB トランザクションを発行する権限が与えられます。認証結果は、MCUSTAT レジスタの AUTH ビット、または AHB-AP コントロールステータスワードレジスタの DbgStatus ビットで確認できます。
  - DbgStatus ビットが 1 の場合、128 ビット ID コードが OSIS 値と一致している。AHB 転送が許可される
  - DbgStatus ビットが 0 の場合、128 ビット ID コードが OSIS 値と一致していない。AHB 転送は許可されない
6. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
7. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

## 2.9 参考資料

1. ARM Limited, *ARM v6-M Architecture Reference Manual (ARM DDI 0419C)*
2. ARM Limited, *ARM Cortex-M0+ Processor Technical Reference Manual (ARM DDI 0484C)*
3. ARM Limited, *Cortex-M0+ Devices Generic User Guide (ARM DUI 0662B)*
4. ARM Limited, *ARM CoreSight SoC-400 Technical Reference Manual (ARM DDI 0480F)*
5. ARM Limited, *ARM CoreSight Architecture Specification (ARM IHI 0029D)*
6. ARM Limited, *CoreSight MTB-M0+ Technical Reference Manual (ARM DDI 0486B)*

### 3. 動作モード

#### 3.1 動作モードの種類と選択

表 3.1 は、モード設定端子による動作モードの選択を示しています。各動作モードの詳細は、3.2 動作モードの説明を参照してください。どのモードで起動しても、内蔵フラッシュメモリが有効な状態で動作を開始します。

表 3.1 モード設定端子による動作モードの選択

モード設定端子	動作モード
MD	
1	シングルチップモード
0	SCI ブートモード

#### 3.2 動作モードの説明

##### 3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。

MD 端子が High になっているときにリセットが解除されると、チップはシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

##### 3.2.2 SCI ブートモード

このモードでは、本 MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き込みルーチン（SCI ブートプログラム）が用いられます。調歩同期式インタフェース（SCI）を使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「37. フラッシュメモリ」を参照してください。

MD 端子を Low に保持してリセットを解除すると、ブートモードで起動します。

### 3.3 動作モード遷移

#### 3.3.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

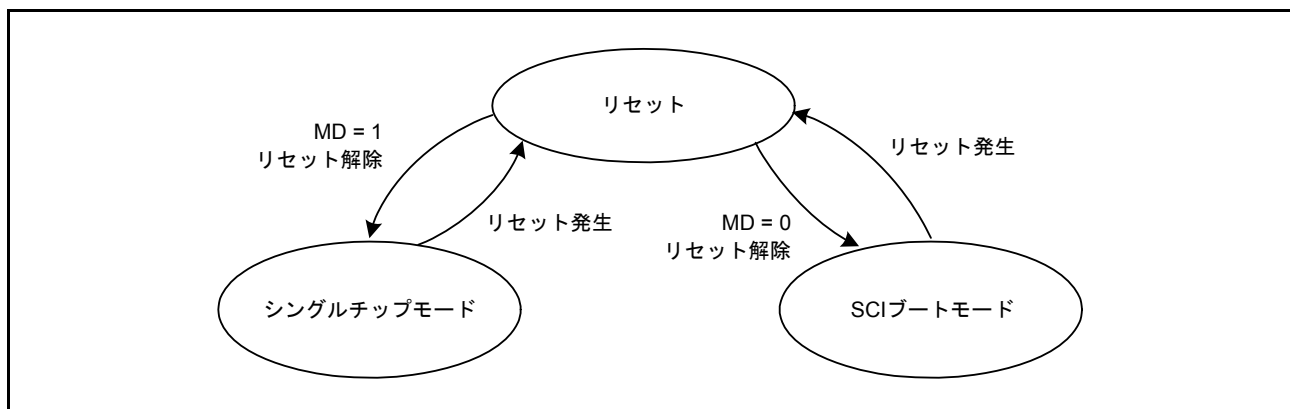


図 3.1 モード設定端子のレベルと動作モード

## 4. アドレス空間

### 4.1 アドレス空間

本 MCU は、プログラムとデータの両方を格納できる 4GB のリニアアドレス空間（0000 0000h ~ FFFF FFFFh）をサポートしています。図 4.1 にメモリマップを示します。

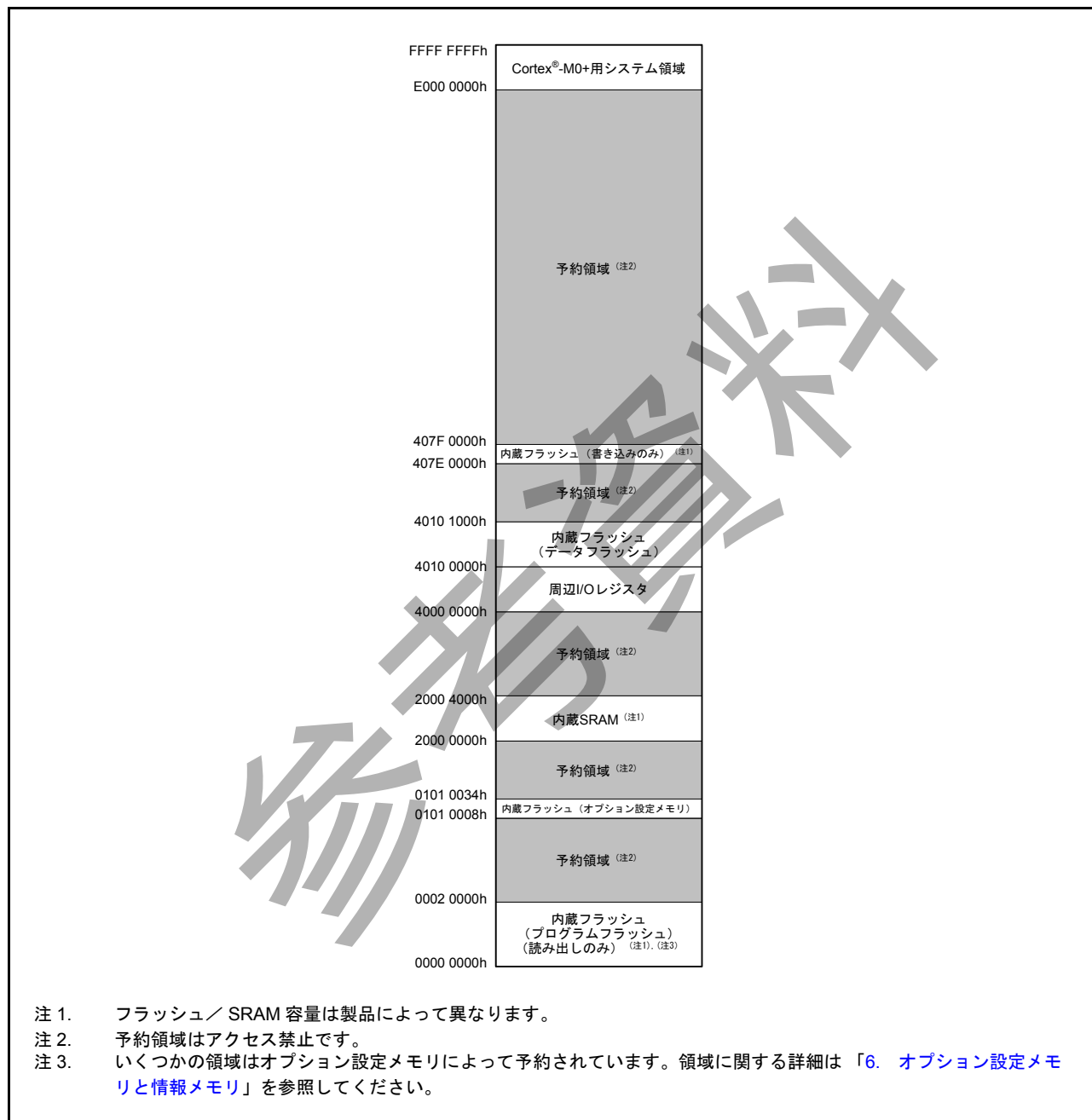


図 4.1 メモリマップ



## 5. リセット

### 5.1 概要

本 MCU は、以下の 9 種類のリセットをサポートしています。

- RES 端子リセット
- パワーオンリセット
- 独立ウォッチドッグタイマリセット
- ウォッチドッグタイマリセット
- 電圧監視 0 リセット
- 電圧監視 1 リセット
- 電圧監視 2 リセット
- SRAM パリティエラーリセット
- ソフトウェアリセット

表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセット名	要因
RES端子リセット	RES端子への入力電圧がLow
パワーオンリセット	VCCの上昇（監視電圧：VPOR）（注1）
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダーフロー、またはリフレッシュエラーの発生
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダーフロー、またはリフレッシュエラーの発生
電圧監視0リセット	VCCの下降（監視電圧：Vdet0）（注1）
電圧監視1リセット	VCCの下降（監視電圧：Vdet1）（注1）
電圧監視2リセット	VCCの下降（監視電圧：Vdet2）（注1）
SRAMパリティエラーリセット	SRAMパリティエラー検出
ソフトウェアリセット	レジスタ設定（ARM®ソフトウェアリセットビット：AIRCR.SYSRESETREQを使用）

注 1. 監視電圧（VPOR、Vdet0、Vdet1、Vdet2）については、「7. 低電圧検出（LVD）」と「41. 電氣的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 5.2 と表 5.3 に、リセット種別ごとの初期化対象を示します。

表 5.2 リセット種別ごとの初期化対象（リセット検出フラグ）

初期化対象	リセット要因				
	RES 端子リセット	パワーオンリセット	電圧監視0リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	X	X	X	X
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	X	X	X
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	○	○	○	X	X
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	○	○	○	X	X
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	X	X
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	X	X
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	○	○	○	X	X
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	○	○	○	X	X
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	X	○	X	X	X

初期化対象	リセット要因			
	電圧監視1リセット	電圧監視2リセット	ソフトウェアリセット	SRAMパリティエラーリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	X	X	X	X
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	X	X	X	X
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	X	X	X	X
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	X	X	X	X
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	X	X	X	X
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	X	X	X	X
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	X	X	X	X
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	X	X	X	X
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	X	X	X	X

○：初期化される。X：初期化されない。

表 5.3 リセット種別ごとの初期化対象（各モジュールの関連レジスタ）

初期化対象		リセット要因				
		RES端子リセット	パワーオンリセット	電圧監視0リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
ウォッチドッグタイマ関連のレジスタ	WDTRR, WDTCSR, WDTSR, WDTRCR	○	○	○	○	○
電圧監視機能1関連のレジスタ	LVD1CR0, LVCMPCLR.LVD1E, LVDLVL.R.LVD1LVL	○	○	○	○	○
	LVD1CR1/LVD1SR	○	○	○	○	○
電圧監視機能2関連のレジスタ	LVD2CR0, LVCMPCLR.LVD2E, LVDLVL.R.LVD2LVL	○	○	○	○	○
	LVD2CR1/LVD2SR	○	○	○	○	○
SOSC関連のレジスタ	SOSCCR	X	○	X	X	X
	SOMCR	X	○	X	X	X
LOCO関連のレジスタ	LOCOCR	○	○	○	○	○
	LOCOUTCR	X	○	○	X	X
MOSC関連のレジスタ	MOMCR	○	○	○	○	○
リアルタイムクロック関連のレジスタ		X	○	X	X	X
AGT関連のレジスタ		X	○	○	X	X
端子状態（XCIN/XCOUT端子以外）		○	○	○	○	○
端子状態（XCIN/XCOUT端子）		X	○	X	X	X
上記以外のレジスタ、CPU、および内部状態		○	○	○	○	○

初期化対象		リセット要因			
		電圧監視1リセット	電圧監視2リセット	ソフトウェアリセット	SRAMパリティエラーリセット
ウォッチドッグタイマ関連のレジスタ	WDTRR, WDTCSR, WDTSR, WDTRCR	○	○	○	○
電圧監視機能1関連のレジスタ	LVD1CR0, LVCMPCLR.LVD1E, LVDLVL.R.LVD1LVL	X	X	X	X
	LVD1CR1/LVD1SR	X	X	X	X
電圧監視機能2関連のレジスタ	LVD2CR0, LVCMPCLR.LVD2E, LVDLVL.R.LVD2LVL	X	X	X	X
	LVD2CR1/LVD2SR	X	X	X	X
SOSC関連のレジスタ	SOSCCR	X	X	X	X
	SOMCR	X	X	X	X
LOCO関連のレジスタ	LOCOCR	○	○	○	○
	LOCOUTCR	○	○	X	X
MOSC関連のレジスタ	MOMCR	○	○	○	○
リアルタイムクロック関連のレジスタ（注1）		X	X	X	X
AGT関連のレジスタ		○	○	X	X
端子状態（XCIN/XCOUT端子以外）		○	○	○	○
端子状態（XCIN/XCOUT端子）		X	X	X	X
上記以外のレジスタ、CPU、および内部状態		○	○	○	○

○：初期化される。x：初期化されない。

注 1. RTCにはソフトウェアリセットがあります。一部の制御ビットは、いずれのリセットによっても初期化されません。対象ビットの詳細については、「21. リアルタイムクロック (RTC)」を参照してください。

RTC は、POR 以外のリセット要因によって初期化されません。SOSC と LOCO は、RTC のクロックソースとして選択可能です。下表は、リセット発生時の SOSC と LOCO の状態を示しています。

**表 5.4** リセット発生時の SOSC の状態

		リセット要因	
		POR	その他
SOSC	有効または無効	無効に初期化	リセット発生前の状態を継続
	駆動能力	ノーマルモードに初期化	リセット発生前の状態を継続
	XGIN/XCOUT	ポートモードに初期化	リセット発生前の状態を継続

**表 5.5** リセット発生時の LOCO の状態

		リセット要因	
		POR/LVD0/LVD1/LVD2	その他
LOCO	有効または無効	有効に初期化	
	発振精度 (注1)	電源投入によるトリミング前の精度に初期化 (精度: +/- 15%)	LOCOUTCRによってトリミングされた精度を継続

注 1. LOCOUTCR によってトリミングされた LOCO が、RTC のクロックソースとして選択された場合、LOCO の発振精度は POR、LVD0、LVD1、および LVD2 の各リセットによって初期化されます。

リセットが解除されると、リセット例外処理を開始します。

表 5.6 にリセット機能に関連する入出力端子を示します。

**表 5.6** リセット関連の入出力端子

端子名	入出力	機能
RES	入力	リセット端子

## 5.2 レジスタの説明

### 5.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス SYSTEM.RSTSR0 4001 E410h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
リセット後の値	0	0	0	0	x (注1)	x (注1)	x (注1)	x (注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0: パワーオンリセット未検出 1: パワーオンリセット検出	R/W (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0: 電圧監視0リセット未検出 1: 電圧監視0リセット検出	R/W (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0: 電圧監視1リセット未検出 1: 電圧監視1リセット検出	R/W (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0: 電圧監視2リセット未検出 1: 電圧監視2リセット検出	R/W (注2)
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための0の書き込みのみ可能です。リセットフラグは、1を読んだ後に0を書く必要があります。

#### PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

[1になる条件]

- パワーオンリセットが発生したとき

[0になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

#### LVD0RF フラグ (電圧監視0リセット検出フラグ)

VCC 電圧が Vdet0 レベル以下になったことを示します。

[1になる条件]

- 電圧監視0リセットが発生したとき

[0になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

**LVD1RF フラグ (電圧監視 1 リセット検出フラグ)**

VCC 電圧が Vdet1 レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**LVD2RF フラグ (電圧監視 2 リセット検出フラグ)**

VCC 電圧が Vdet2 レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

参考資料

## 5.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス SYSTEM.RSTSR1 4001 E0C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RPERF	—	—	—	—	—	SWRF	WDTRF	IWDTRF
リセット後の値	0	0	0	0	0	0	0	x (注1)	0	0	0	0	0	x (注1)	x (注1)	x (注1)

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R(W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R(W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R(W) (注2)
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	RPERF	SRAMパリティエラーリセット検出フラグ	0: SRAMパリティエラーリセット未検出 1: SRAMパリティエラーリセット検出	R(W) (注2)
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための0の書き込みのみ可能です。リセットフラグは、1を読んだ後に0を書く必要があります。

### IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

[1になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

### WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

[1になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

**SWRF フラグ (ソフトウェアリセット検出フラグ)**

ソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**RPERF フラグ (SRAM パリティエラーリセット検出フラグ)**

SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**5.2.3 リセットステータスレジスタ 2 (RSTSR2)**

アドレス SYSTEM.RSTSR2 4001 E411h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	x (注1)

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0: コールドスタート 1: ウォームスタート	R/(W) (注2)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。

注 2. フラグをセットするための 1 の書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

**CWSF フラグ (コールドスタート/ウォームスタート判別フラグ)**

リセット処理の種類（コールドスタートまたはウォームスタート）を示します。

CWSF フラグは、パワーオンリセットで初期化されます。RES 端子リセットでは初期化されません。

[1 になる条件]

- プログラムで 1 を書いたとき。0 を書いても 0 にはならない

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき



## 5.3 動作説明

### 5.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切れ、MCU はリセット状態になります。MCU を適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、RES 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「[41. 電気的特性](#)」を参照してください。

### 5.3.2 パワーオンリセット

パワーオンリセット (POR) は、パワーオンリセット回路による内部リセットです。

RES 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間とは、外部電源と MCU 回路のための安定期間です。パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。

VCC が Vdet0 を超えると、電圧監視 0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。Vdet0 の電圧検出レベルは、オプション機能選択レジスタ 1 (OFS1) の VDSEL1[2:0] ビットの設定により変更できます。

図 5.1 に、パワーオンリセットおよび電圧監視 0 リセット時の動作例を示します。

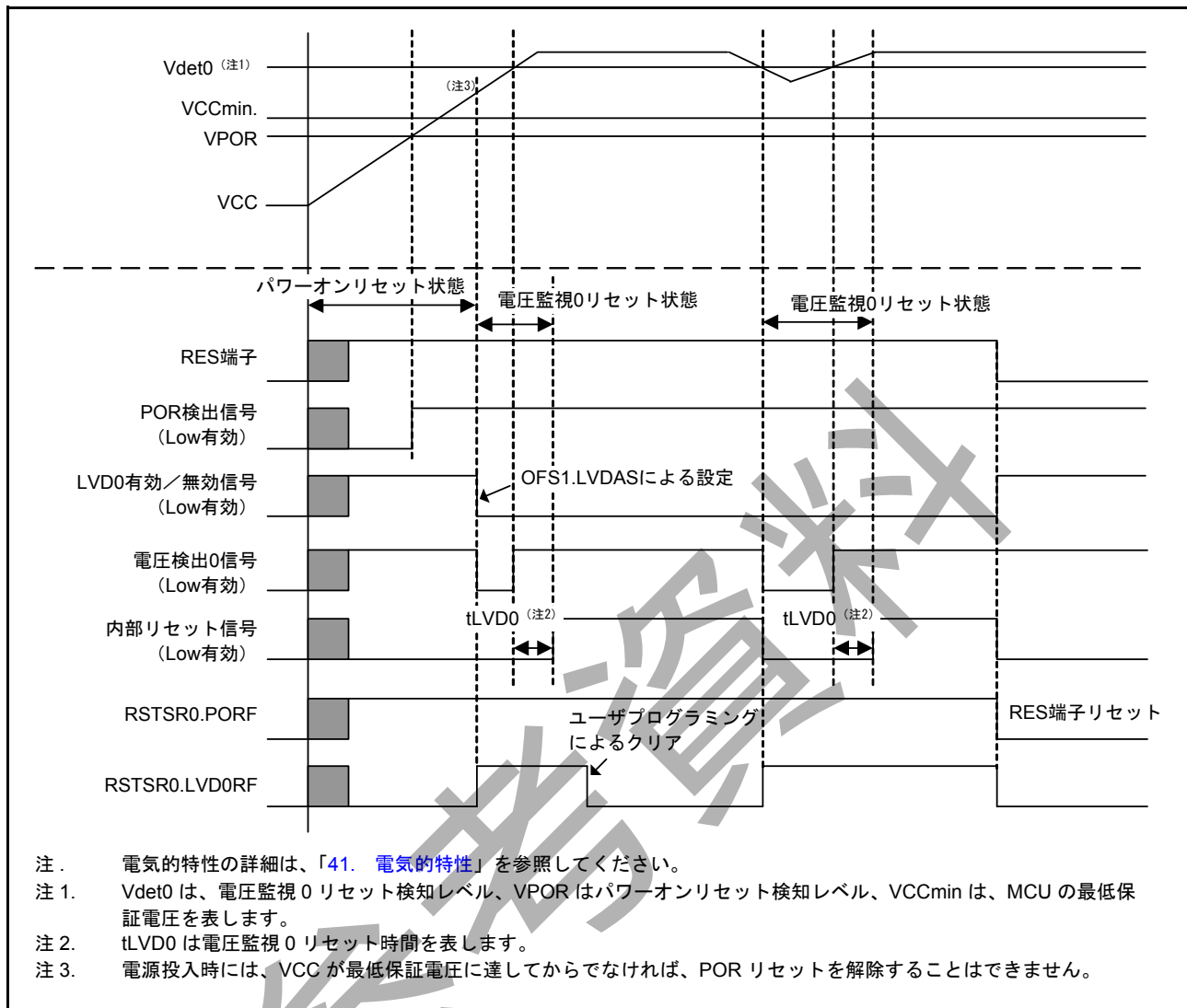


図 5.1 パワーオンリセットおよび電圧監視 0 リセット時の動作例

### 5.3.3 電圧監視リセット

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が  $V_{det0}$  以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が  $V_{det0}$  を超えると、電圧監視 0 リセット時間 ( $t_{LVD0}$ ) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (RIE) が 1 (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC が  $V_{det1}$  以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧検出回路は電圧監視 1 リセットを発生させます。

同様に、電圧監視 2 回路コントロールレジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (RIE) が 1 (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC が  $V_{det2}$  以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧検出回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。LVD1CR0.RN ビットが 0 で、かつ VCC が  $V_{det1}$  以下になっている場合、 $V_{det1}$  を超えてから LVD1 リセット時間 ( $t_{LVD1}$ ) が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.RN ビットが 1 で、かつ VCC が  $V_{det1}$  以下になっている場合、LVD1 リセット時間 ( $t_{LVD1}$ ) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) の設定により選択可能です。

$V_{det1}$  および  $V_{det2}$  の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 5.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。

電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「7. 低電圧検出 (LVD)」を参照してください。

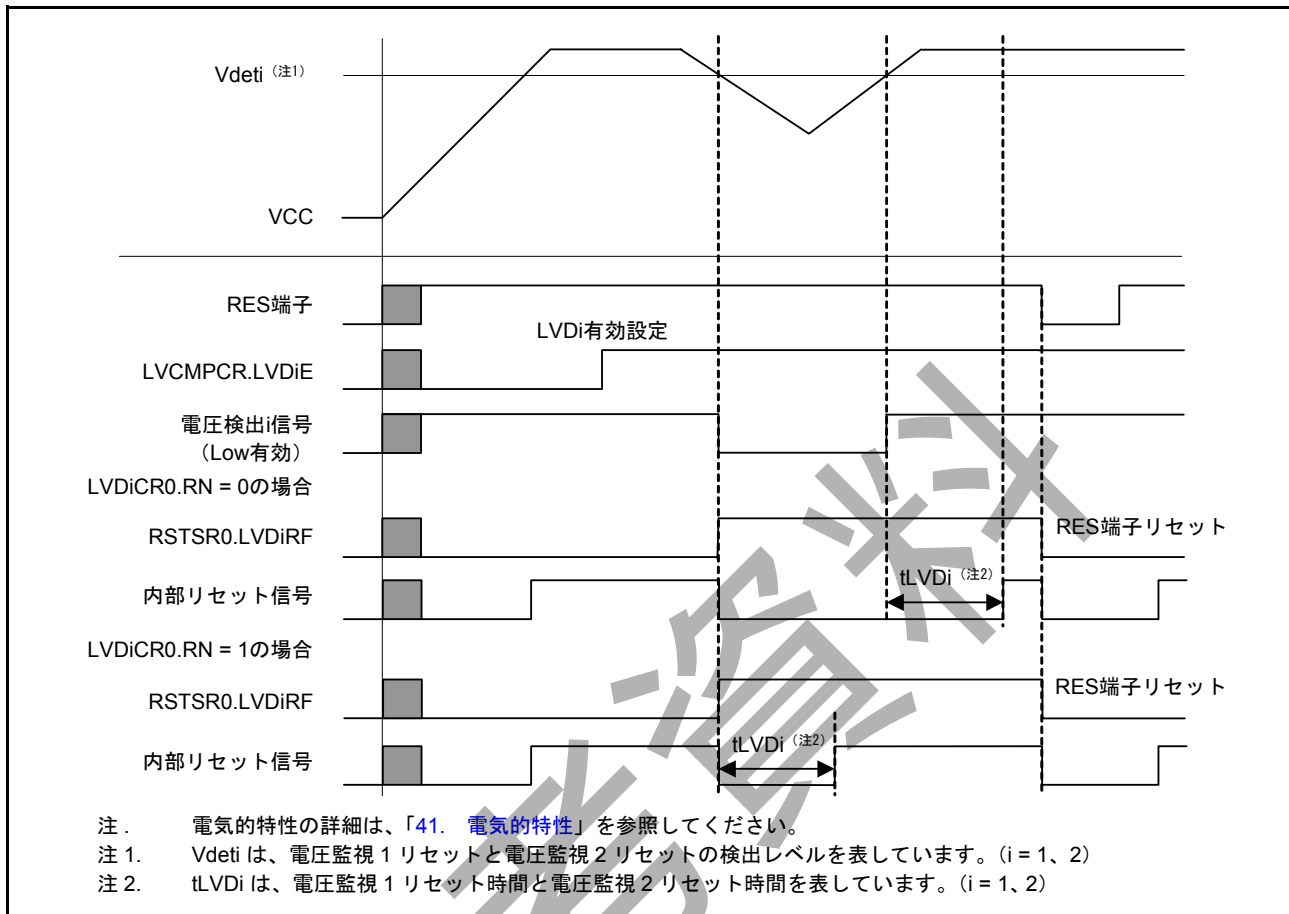


図 5.2 電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例

### 5.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマによる内部リセットです。

オプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、独立ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### 5.3.5 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマによる内部リセットです。

WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセット発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「[22. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

### 5.3.6 ソフトウェアリセット

ARM コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。

SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットについての詳細は、*ARM Cortex-M0+ Technical Reference Manual* を参照してください。

### 5.3.7 コールドスタート/ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因、すなわち、電源が投入されたときのリセット処理 (コールドスタート) なのか、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) なのかを判定できます。

RSTSR2.CWSF フラグは、パワーオンリセットが発生すると 0 (コールドスタート) になります。その他のリセットを行っても 0 になりません。また、プログラムで 1 を書くと 1 になります。0 を書いても 0 になりません。

[図 5.3](#) にコールドスタート/ウォームスタート判定機能の動作例を示します。

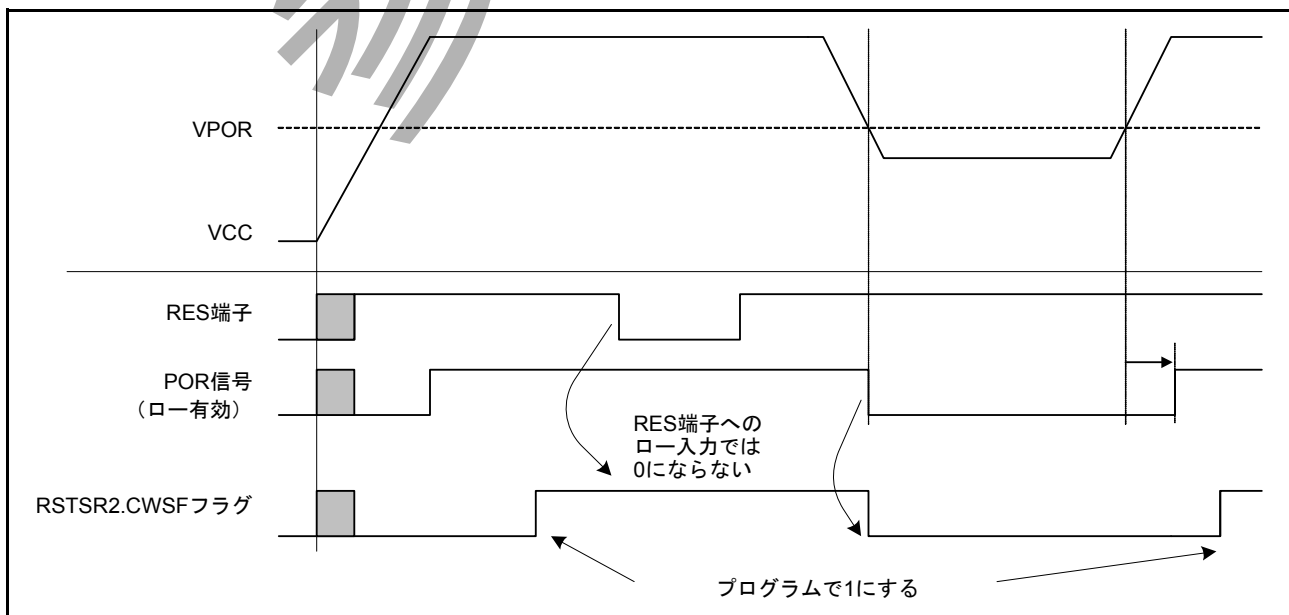


図 5.3 コールドスタート/ウォームスタート判定機能の動作例

### 5.3.8 リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。

図 5.4 にリセット発生要因の判定フロー例を示します。リセットフラグは、1 を読んだ後に 0 を書く必要があります。

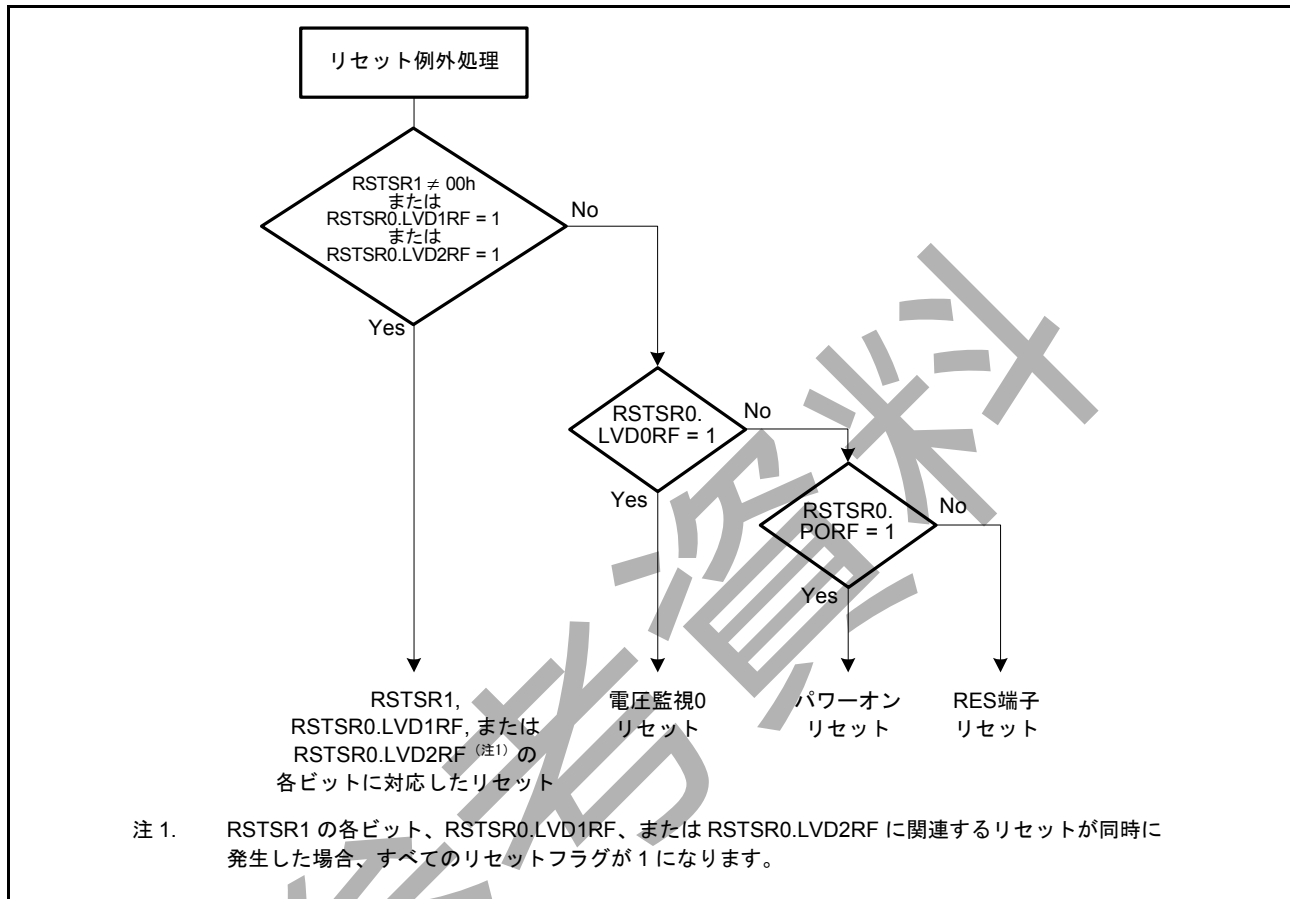


図 5.4 リセット発生要因の判定フロー例

## 6. オプション設定メモリと情報メモリ

### 6.1 概要

オプション設定メモリは、MCUのリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域とプログラムフラッシュ領域にあり、これら2つの領域では設定方法が異なります。

図 6.1 にオプション設定メモリの領域を示します。

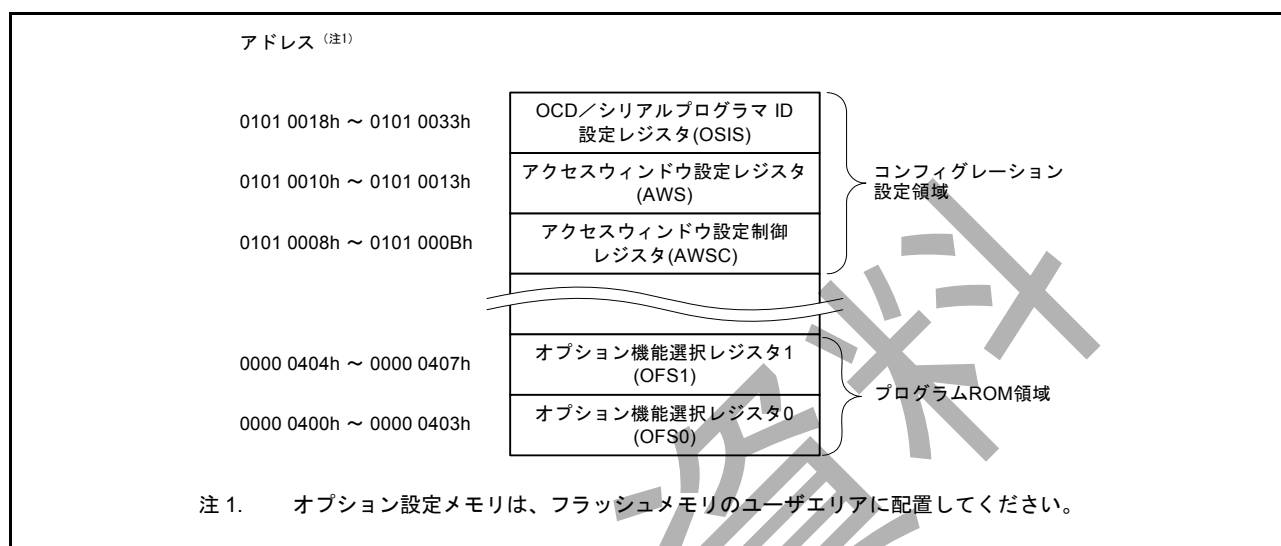


図 6.1 オプション設定メモリの領域

## 6.2 レジスタの説明

## 6.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス OFS0 0000 0400h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	WDTST PCTL	—	WDRS TIRQS	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]	WDTST RT	—				
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDT TPCTL	—	IWDR STIRQS	IWDRPSS[1:0]	IWDRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDT TRT	—				
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b1	IWDTSTRT	IWDTスタートモード選択	0 : リセット後、IWDTは自動的に起動（オートスタートモード） 1 : IWDTは無効	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択	b3 b2 0 0 : 128サイクル (007Fh) 0 1 : 512サイクル (01FFh) 1 0 : 1024サイクル (03FFh) 1 1 : 2048サイクル (07FFh)	R
b7-b4	IWDTCKS[3:0]	IWDT専用クロック分周比選択	b7 b4 0 0 0 0 : 1分周 0 0 1 0 : 16分周 0 0 1 1 : 32分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 0 1 : 256分周 上記以外は設定しないでください。	R
b9-b8	IWDRPES[1:0]	IWDTウィンドウ終了位置選択	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0%（ウィンドウの終了位置設定なし）	R
b11-b10	IWDRPSS[1:0]	IWDTウィンドウ開始位置選択	b11 b10 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%（ウィンドウの開始位置設定なし）	R
b12	IWDRSTIRQS	IWDTリセット割り込み要求選択	0 : ノンマスクブル割り込み要求、または割り込み要求を許可 1 : リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b14	IWDTSTPCTL	IWDT停止制御	0 : カウント継続 1 : スリープモード、スヌーズモード、またはソフトウェアスタンバイモードの状態にあるとき、カウント停止	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b17	WDTSTRT	WDTスタートモード選択	0 : リセット後、WDTは自動的に起動（オートスタートモード） 1 : リセット後、WDTは停止状態（レジスタスタートモード）	R



ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDT タイムアウト期間選択	b19 b18 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)	R
b23-b20	WDTCKS[3:0]	WDT クロック分周比選択	b23 b20 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2048 1 0 0 0 : PCLKB/8192 上記以外は設定しないでください。	R
b25-b24	WDRPES[1:0]	WDT ウィンドウ終了位置選択	b25 b24 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDRPSS[1:0]	WDT ウィンドウ開始位置選択	b27 b26 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b28	WDRSTIRQS	WDT リセット割り込み要求選択	WDT 動作の選択 0 : NMI 1 : リセット	R
b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b30	WDTSTPCTL	WDT 停止制御	0 : カウント継続 1 : スリープモード遷移時にカウント停止	R
b31	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

注 1. ブランク品は、FFFF FFFFh です。ユーザがプログラムした値になります。

#### IWDTSTRT ビット (IWDT スタートモード選択)

リセット後の IWDT の起動モード (停止状態または起動状態) を選択します。

#### IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでのタイムアウト期間を、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128、512、1024、2048 の各サイクルから選択します。リフレッシュ後、IWDT がアンダーフローするまでのサイクル数は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせで決定されます。

詳細は、「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

#### IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)

IWDT 専用クロックを分周するプリスケアラの分周比設定を、1、16、32、64、128、256 の各分周から選択します。これらのビット設定を IWDTTOPS[1:0] ビット設定と組み合わせることで、IWDT のカウント期間は 128 から 524,288 までの IWDT クロックサイクル数に設定可能です。

詳細は、「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDTRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の値のみが有効となります。

IWDTRPSS[1:0] および IWDTRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は、「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となりますが、それ以外は禁止期間です。

詳細は、「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択)

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDTSTPCTL ビット (IWDT 停止制御)

スリープモードまたはソフトウェアスタンバイモード遷移時のカウント停止を選択します。

詳細は、「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### WDTSTRT ビット (WDT スタートモード選択)

リセット後の WDT の起動モード (停止状態、またはオートスタートモードでの起動) を選択します。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

### WDTTOPS[1:0] ビット (WDT タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでのタイムアウト期間を、WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、16384 の各サイクルから選択します。リフレッシュ後、アンダーフローするまでの PCLKB サイクル数は、WDTCKS[3:0] ビットと WDTTOPS[1:0] ビットの組み合わせで決定されます。

詳細は、「22. ウォッチドッグタイマ (WDT)」を参照してください。

### WDTCKS[3:0] ビット (WDT クロック分周比選択)

PCLKB を分周するプリスケアラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。これらのビット設定を WDTTOPS[1:0] ビット設定と組み合わせることで、WDT のカウント期間は 4096 から 134,217,728 までの PCLKB サイクル数に設定可能です。

詳細は、「22. ウォッチドッグタイマ (WDT)」を参照してください。

### WDRPES[1:0] ビット (WDT ウィンドウ終了位置選択)

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の値のみが有効となります。

WDRPSS[1:0] ビットおよび WDRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、WDTTOPS[1:0] ビットの設定によって変わります。

詳細は、「22. ウォッチドッグタイマ (WDT)」を参照してください。

**WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択)**

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となりますが、それ以外は禁止期間です。

詳細は、「22. ウォッチドッグタイマ (WDT)」を参照してください。

**WDRSTIRQS ビット (WDT リセット割り込み要求選択)**

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。詳細は、「22. ウォッチドッグタイマ (WDT)」を参照してください。

**WDTSTPCTL ビット (WDT 停止制御)**

スリープモード遷移時の WDT ダウンカウンタ停止を選択します。

詳細は、「22. ウォッチドッグタイマ (WDT)」を参照してください。

参考資料

## 6.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス OFS1 0000 0404h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	HOCOFRQ1[2:0]		—	—	—	HOCOEN	—	—	VDSEL1[2:0]			LVDAS	—	—	
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b2	LVDAS	電圧検出0回路起動	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R
b5-b3	VDSEL1[2:0]	電圧検出0レベル選択	b5 b3 0 0 0: 3.84Vを選択 0 0 1: 2.82Vを選択 0 1 0: 2.51Vを選択 0 1 1: 1.90Vを選択 1 0 0: 1.70Vを選択 上記以外は設定しないでください。	R
b7-b6	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b8	HOCOEN	HOCO発振有効	0: リセット後、HOCO発振が有効 1: リセット後、HOCO発振が無効	R
b11-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b14-b12	HOCOFRQ1[2:0]	HOCO周波数設定1	b14 b12 0 0 0: 24MHz 0 1 0: 32MHz 1 0 0: 48MHz 1 0 1: 64MHz 上記以外は設定しないでください。	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

注1. ブランク品は、FFFF FFFFhです。ユーザがプログラムした値になります。

### LVDAS ビット (電圧検出0回路起動)

リセット後、電圧監視0リセットを有効にするか無効にするかを選択します。

### VDSEL1[2:0] ビット (電圧検出0レベル選択)

電圧検出0回路の電圧検出レベルを選択します。

**HOCOEN ビット (HOCO 発振有効)**

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。

HOCOEN ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を書き換えることによるのみ、システムクロックソースは HOCO に切り替わります。HOCO を使用する場合は、OFS1.HOCOFRQ1 ビットを最適な値に設定してください。

リセット解除後の動作モードは低電圧モードです。そのため、リセット解除後、ただちに HOCOCR.HCSTP を 0 にする必要があります。

**HOCOFRQ1[2:0] ビット (HOCO 周波数設定 1)**

リセット後の HOCO 周波数 (24、32、48、または 64MHz) を選択します。

**6.2.3 アクセスウィンドウ設定コントロールレジスタ (AWSC)**

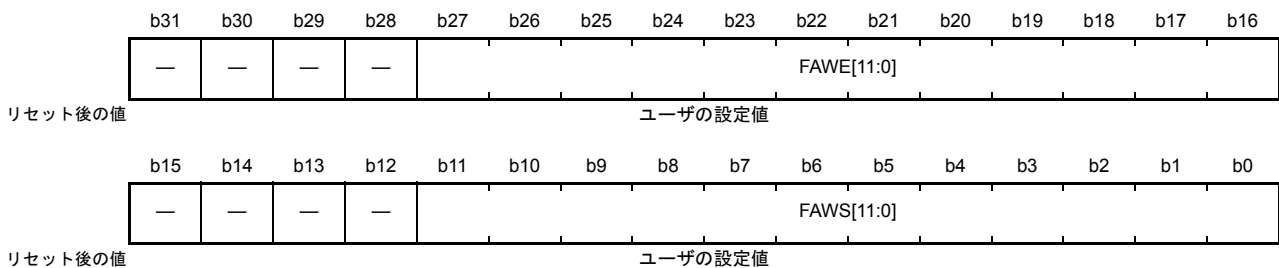
アドレス AWSC 0101 0008h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	FSPR	—	—	—	—	—	BTFLG	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値															

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b8	BTFLG	スタートアップ領域選択フラグ	ブートスワップ用のスタートアップ領域選択フラグ スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。 0: 最初の 8KB 領域 (0000 0000h ~ 0000 1FFFh) と次の 8KB 領域 (0000 2000h ~ 0000 3FFFh) が入れ替わる 1: 最初の 8KB 領域 (0000 0000h ~ 0000 1FFFh) と次の 8KB 領域 (0000 2000h ~ 0000 3FFFh) は入れ替わらない	R
b13-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b14	FSPR	アクセスウィンドウとスタートアップ領域選択機能の保護	アクセスウィンドウ、スタートアップ領域選択フラグ (BTFLG)、およびテンポラリブートスワップ制御のライト/イレース保護 このビットは一度 0 にすると、1 にできません。 0: アクセスウィンドウ (FAWE10-00、FAWS10-00) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は無効。 FSSET レジスタのスタートアップ領域選択ビット (TMSPMD、TMBTSEL) への書き込みは無効 1: アクセスウィンドウ (FAWE10-00、FAWS10-00) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は有効。 FISR レジスタのスタートアップ領域選択ビット (SAS[1:0]) への書き込みは有効	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

## 6.2.4 アクセスウィンドウ設定レジスタ (AWS)

アドレス AWS 0101 0010h



ビット	シンボル	ビット名	機能	R/W
b11-b0	FAWS[11:0]	アクセスウィンドウ開始ブロックアドレス	アクセスウィンドウの開始ブロックアドレス。これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。このブロックアドレスは、ブロックの先頭アドレスを指定し、10～21 ([21:10]) のアドレスビットで構成されます。	R
b15-b12	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b27-b16	FAWE[11:0]	アクセスウィンドウ終了ブロックアドレス	アクセスウィンドウの終了ブロックアドレス。これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウの終了ブロックアドレスは、アクセスウィンドウで定義されるP/E受け付け可能領域の次のブロックです。このブロックアドレスは、ブロックの先頭アドレスを指定し、10～21 ([21:10]) のアドレスビットで構成されます。	R
b31-b28	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

アクセスウィンドウ外の領域にプログラム/イレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。アクセスウィンドウは FSPR ビットでロックすることが可能です。

アクセスウィンドウは、FAWS ビットと FAWE ビットの両方を用いて指定されます。

以下に、FAWS ビットと FAWE ビットの設定方法を説明します。

FAWE = FAWS : P/E コマンドは、全プログラムフラッシュ領域に対して実行が許可される

FAWE > FAWS : P/E コマンドは、FAWS ビットで指示されたブロックから、FAWE ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウでのみ実行が許可される

FSWE ≤ FAWS : P/E コマンドは、プログラムフラッシュ領域に対して実行が禁止される

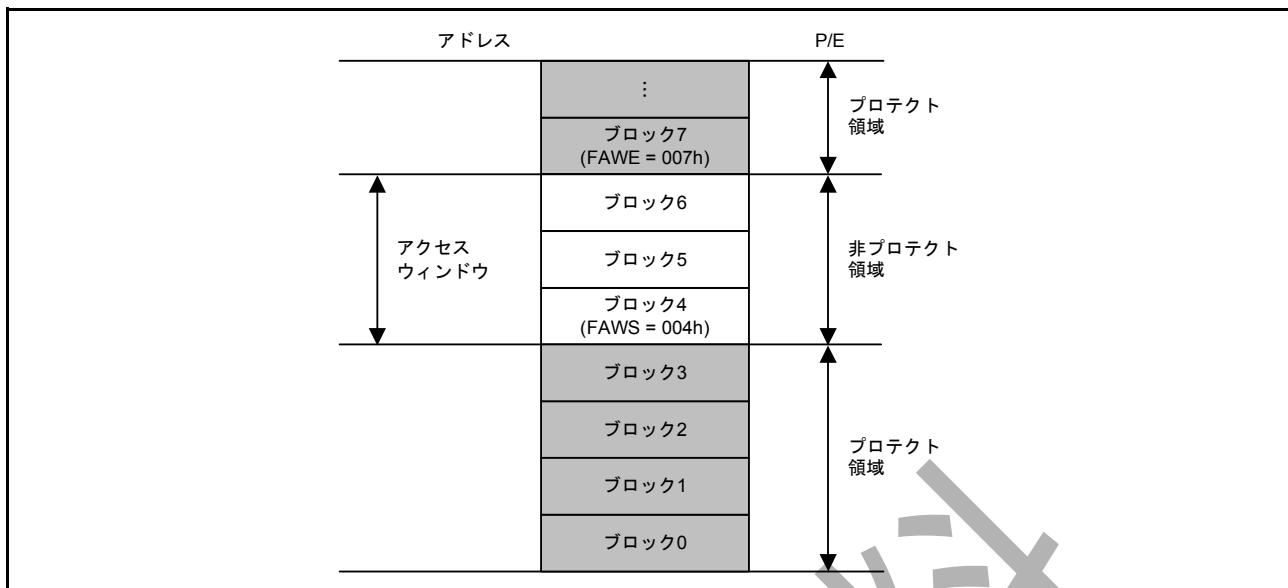


図 6.2 アクセスウィンドウの概要

### 6.2.5 OCD / シリアルプログラマ ID 設定レジスタ (OSIS)

このレジスタは、OCD / シリアルプログラマの ID コードプロテクト機能の ID を格納する領域として用いられます。

OCD / シリアルプログラマを接続する場合、チップがその接続を許可するか否か判定できるようにするための値を書き込んでください。このレジスタは、OCD / シリアルプログラマから送られてくるコードが、オプション設定メモリ上の ID コードと一致するか否かを判定します。

ID コードが一致した場合、OCD / シリアルプログラマとの接続が許可されます。一致しない場合、OCD / シリアルプログラマとの接続はできません。OSIS レジスタは 32 ビット単位で設定してください。

アドレス OSIS 0101 0018h, OSIS 0101 0020h, OSIS 0101 0028h, OSIS 0101 0030h



OCD / シリアルプログラマの ID 認証に使用する ID を格納します。

ID コードのビット 127 とビット 126 は、ID コードプロテクト機能の有効 / 無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 6.1 に示します。

表 6.1 IDコードプロテクト機能の仕様

起動時の動作モード	IDコード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCI ブートモード)	FFh, ..., FFh (全バイトが FFh)	プロテクト無効	ID コードはチェックされません。ID コードは常に一致して、プログラマまたはオンチップデバッグへの接続が許可されます。
オンチップデバッグモード (SWD ブートモード)	ビット 127 = 1 および ビット 126 = 1 (全バイトが FFh とは限らない)	プロテクト有効	ID コードの一致 = 認証が完了し、プログラマまたはオンチップデバッグとの接続が許可されます。ID コードの不一致 = さらに ID コードプロテクト待ち状態へ移行します。プログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの "ALeRASE" であると、ユーザフラッシュ領域の内容は消去されます。ただし、FSPR ビットが 0 であれば、強制消去は実行されません。
	ビット 127 = 1 および ビット 126 = 0	プロテクト有効	ID コードの一致 = 認証が完了し、プログラマまたはオンチップデバッグとの接続が許可されます。ID コードの不一致 = さらに ID コードプロテクト待ち状態へ移行します。プログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの "ALeRASE" であると、強制消去は実行されません。
	ビット 127 = 0	プロテクト有効	ID コードはチェックされません。ID コードは常に不一致であり、プログラマまたはオンチップデバッグへの接続は禁止されます。



## 6.3 オプション設定メモリの設定方法

### 6.3.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、[図 6.1](#) に示すアドレスに配置してください。配置したデータは、フラッシュ書き込みソフトウェアやオンチップデバッガなどのツールで使用されます。

注. プログラムの書式はコンパイラによって異なります。詳細は、コンパイラのマニュアルを参照してください。

### 6.3.2 オプション設定メモリにプログラムするデータの設定方法

[6.3.1 オプション設定メモリへのデータの配置方法](#)に記載した方法でデータを配置するだけでは、オプション設定メモリにプログラムできません。同時に、下記のいずれかを実施する必要があります。

#### (1) セルフプログラミングでオプション設定メモリを変更する場合

プログラムコマンドを用いて、プログラムフラッシュ領域へデータを書き込むことができます。また、コンフィグレーション設定コマンドを用いて、コンフィグレーション設定領域のオプション設定メモリへデータを書き込むことができます。

さらに、スタートアップ領域選択機能では、オプション設定メモリを含むブートプログラムを安全に更新することが可能です。

プログラムコマンド、コンフィグレーション設定コマンド、およびスタートアップ領域選択機能の詳細については、「[37. フラッシュメモリ](#)」を参照してください。

#### (2) OCD によるデバッグ時またはフラッシュライターによってプログラムする場合

使用するツールによって設定方法が異なるため、各ツールのマニュアルを参照してください。設定手順としては、下記の 2 通りがあります。

- [6.3.1 オプション設定メモリへのデータの配置方法](#)に示すように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へプログラムする
- ツールの GUI インタフェースを使用して、[6.3.1 オプション設定メモリへのデータの配置方法](#)に示すように配置された値と同じデータをプログラムする

## 6.4 使用上の注意事項

### 6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 1 を書いてください。これらのビットに 0 を書き込むと、正常動作は保証されません。

## 7. 低電圧検出 (LVD)

低電圧検出 (LVD) は、VCC 端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。

### 7.1 概要

低電圧検出 (LVD) は、3つの独立した電圧レベル検出器 (電圧検出 0、1、2 回路) で構成され、それぞれが VCC 端子への入力電圧レベルを測定します。LVD 電圧検出レジスタにより、さまざまな電圧しきい値で VCC の変動を検出するようにユーザアプリケーションを設定できます。それぞれの電圧レベル検出器には、電圧監視 0、1、2 などの電圧監視回路が対応しています。

電圧監視レジスタを用いることで、電圧しきい値を通過したときに、割り込み、イベントリンク出力、またはリセットを発生させるように LVD を設定できます。

表 7.1 は、低電圧検出 (LVD) の特性の一覧です。

表 7.1 低電圧検出 (LVD) の特性

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視電圧	Vdet0	Vdet1	Vdet2
	検出イベント	下降してVdet0を通過	上昇または下降してVdet1を通過	上昇または下降してVdet2を通過
	検出電圧	OFS1.VDSEL1[2:0]ビットで5レベルから選択可能	LVDLVL.R.LVD1LVL[4:0]ビットで16レベルから選択可能	LVDLVL.R.LVD2LVL[2:0]ビットで4レベルから選択可能
	モニタフラグ	なし	LVD1SR.MONフラグ：電圧がVdet1より高いか低いかを監視 LVD1SR.DETフラグ：Vdet1通過検出	LVD2SR.MONフラグ：電圧がVdet2より高いか低いかを監視 LVD2SR.DETフラグ：Vdet2通過検出
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット。 VCC > Vdet0の一定時間後にCPU動作再開	電圧監視1リセット Vdet1 > VCCでリセット。 CPU動作再開タイミングとして、VCC > Vdet1の一定時間後、またはVdet1 > VCCの一定時間後を選択可能	電圧監視2リセット Vdet2 > VCCでリセット。 CPU動作再開タイミングとして、VCC > Vdet2の一定時間後、またはVdet2 > VCCの一定時間後を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 Vdet1 > VCCおよびVCC > Vdet1の両方、またはどちらかのとき割り込み要求	ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 Vdet2 > VCCおよびVCC > Vdet2の両方、またはどちらかのとき割り込み要求
イベントリンク機能	なし	あり Vdet1通過検出時にイベント信号出力	あり Vdet2通過検出時にイベント信号出力	

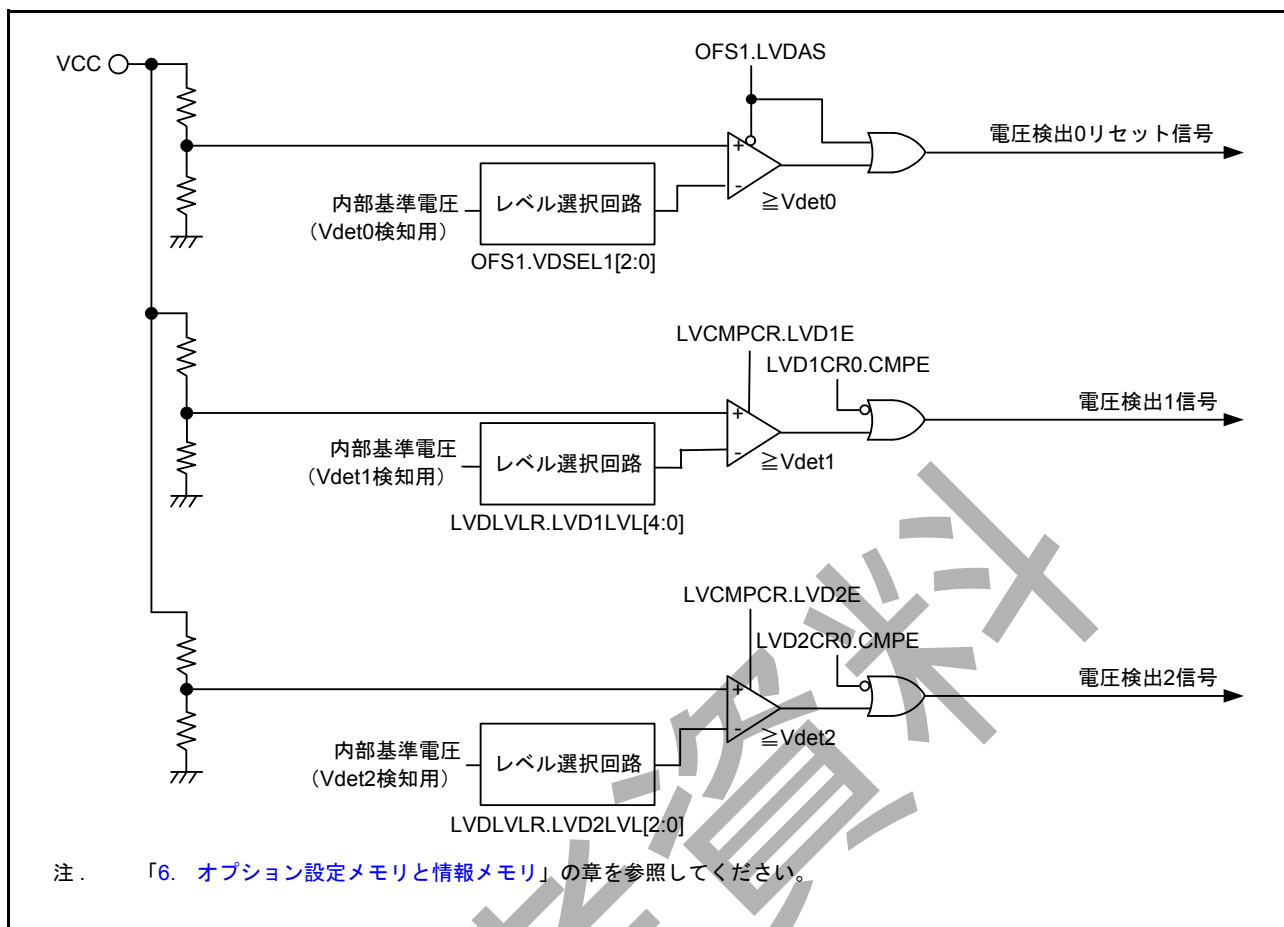


図 7.1 電圧検出 0、1、2 回路のブロック図

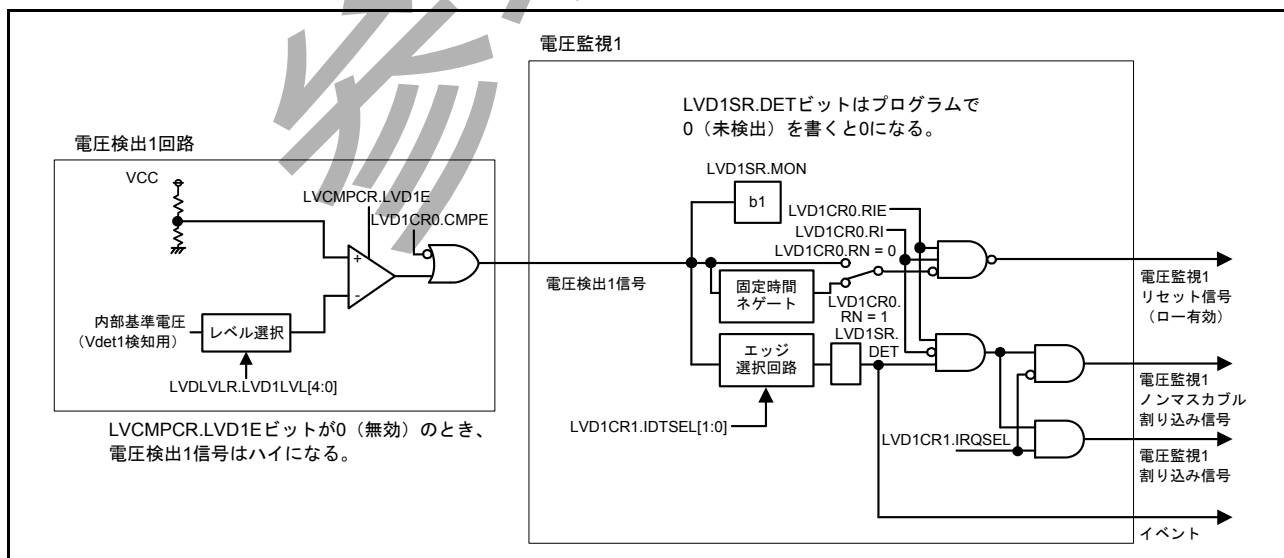


図 7.2 電圧監視 1 割り込み/リセット発生回路のブロック図

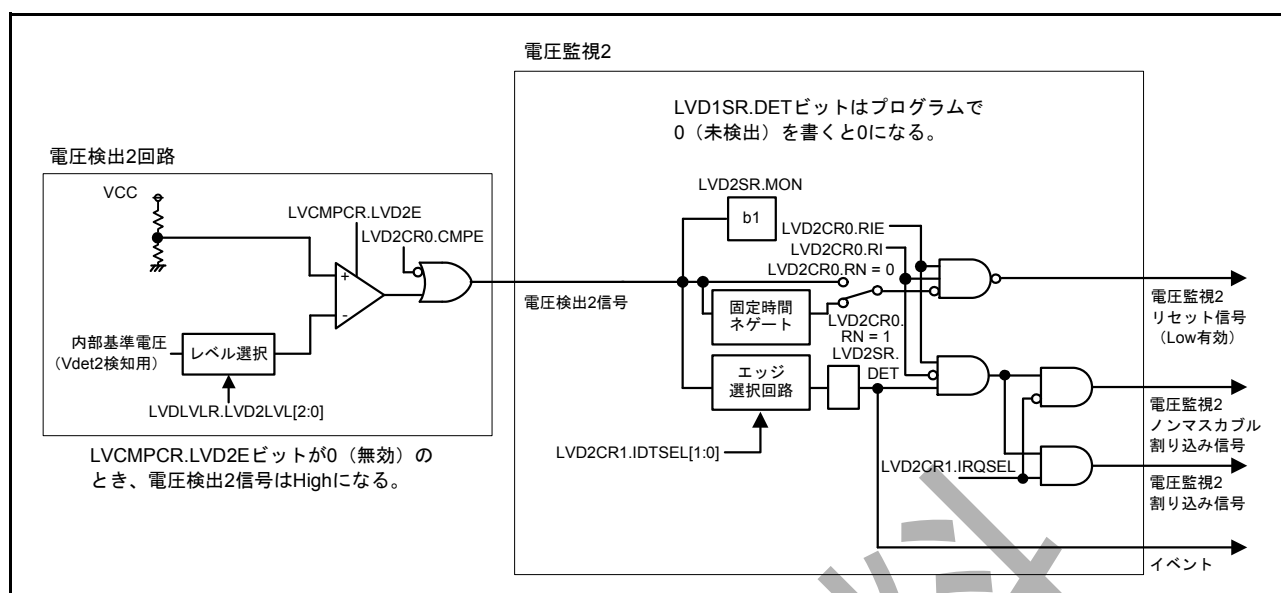


図 7.3 電圧監視2 割り込み/リセット発生回路のブロック図

## 7.2 レジスタの説明

### 7.2.1 電圧モニタ 1 回路コントロールレジスタ 1 (LVD1CR1)

アドレス SYSTEM.LVD1CR1 4001 E0E0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
リセット後の値							
0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	IDTSEL[1:0]	電圧監視 1 割り込み発生条件選択	b1 b0 0 0 : VCC ≥ Vdet1 (上昇) 検出時 0 1 : VCC < Vdet1 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定禁止	R/W
b2	IRQSEL	電圧監視 1 割り込み種類選択	0 : ノンマスクابل割り込み 1 : マスクابل割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. マスクابل割り込みを設定する場合、ICU 側にある NMIER.LVD1EN ビットをリセット状態から変更しないでください。

## 7.2.2 電圧モニタ 1 回路ステータスレジスタ (LVD1SR)

アドレス SYSTEM.LVD1SR 4001 E0E1h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	MON	DET
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	DET	電圧監視 1 電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	MON	電圧監視 1 信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または MON 無効	R
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. このビットには 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

### DET フラグ (電圧監視 1 電圧変化検出フラグ)

DET フラグは、LVCMPCR.LVD1E ビットが 1 (電圧検出 1 回路有効) であり、かつ LVD1CR0.CMPE ビットが 1 (電圧監視 1 回路比較結果出力許可) のときに有効になります。

DET フラグを 0 にするときは、LVD1CR0.RIE を 0 (禁止) にしてから行ってください。LVD1CR0.RIE を 0 にした後、再度 1 (許可) にする場合は、PCLKB の 2 サイクル以上が経過してから行ってください。

I/O レジスタのリードアクセス用に定義されている PCLKB のサイクル数によっては、待ち時間として PCLKB の 2 サイクル以上が必要です。

### MON フラグ (電圧監視 1 信号モニタフラグ)

MON フラグは、LVCMPCR.LVD1E ビットが 1 (電圧検出 1 回路有効) であり、かつ LVD1CR0.CMPE ビットが 1 (電圧監視 1 回路比較結果出力許可) のときに有効になります。

## 7.2.3 電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1)

アドレス SYSTEM.LVD2CR1 4001 E0E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	IRQSEL	IDTSEL	IDTSEL
					L	[1:0]	[1:0]
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	IDTSEL [1:0]	電圧監視2割り込み発生条件選択	b1 b0 0 0 : VCC $\geq$ Vdet2 (上昇) 検出時 0 1 : VCC < Vdet2 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定禁止	R/W
b2	IRQSEL	電圧監視2割り込み種類選択	0 : ノンマスクブル割り込み 1 : マスクブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. マスクブル割り込みを設定する場合、ICU 側にある NMIER.LVD1EN ビットをリセット状態から変更しないでください。

## 7.2.4 電圧モニタ 2 回路ステータスレジスタ (LVD2SR)

アドレス SYSTEM.LVD2SR 4001 E0E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MON	DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	DET	電圧監視2電圧変化検出フラグ	0: 未検出 1: Vdet2通過検出	R/(W) (注1)
b1	MON	電圧監視2信号モニタフラグ	0: VCC < Vdet2 1: VCC ≥ Vdet2 または MON 無効	R
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. このビットには 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

### DET フラグ (電圧監視 2 電圧変化検出フラグ)

DET フラグは、LVCMPCR.LVD2E ビットが 1 (電圧検出 2 回路有効) であり、かつ LVD2CR0.CMPE ビットが 1 (電圧監視 2 回路比較結果出力許可) のときに有効になります。

DET フラグを 0 にするときは、LVD2CR0.RIE を 0 (禁止) にしてから行ってください。LVD2CR0.RIE を 0 にした後、再度 1 (許可) にする場合は、PCLKB の 2 サイクル以上が経過してから行ってください。

I/O レジスタの読み出しアクセス用に定義されている PCLKB のサイクル数によっては、PCLKB の 2 サイクル以上が待ち時間として必要です。

### MON フラグ (電圧監視 2 信号モニタフラグ)

MON フラグは、LVCMPCR.LVD2E ビットが 1 (電圧検出 2 回路有効) であり、かつ LVD2CR0.CMPE ビットが 1 (電圧監視 2 回路比較結果出力許可) のときに有効になります。



### 7.2.5 電圧モニタ回路コントロールレジスタ (LVCMPCR)

アドレス SYSTEM.LVCMPCR 4001 E417h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	LVD1E	電圧検出1許可	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを1 (書き込み許可) にしてから、このレジスタを書き換えてください。

#### LVD1E ビット (電圧検出1許可)

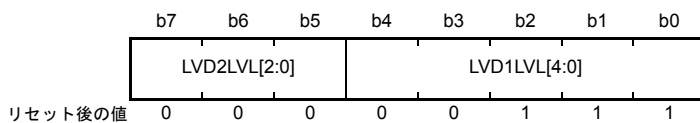
電圧検出1の割り込み/リセットを使用する場合、または LVD1SR.MON ビットを使用する場合、LVD1E ビットを1にしてください。LVD1E ビットを0から1に変更した後、 $t_d(E-A)$  経過すると、電圧検出1回路が動作します。

#### LVD2E ビット (電圧検出2許可)

電圧検出2の割り込み/リセットを使用する場合、または LVD2SR.MON ビットを使用する場合、LVD2E ビットを1にしてください。LVD2E ビットを0から1に変更した後、 $t_d(E-A)$  経過すると、電圧検出2回路が動作します。

## 7.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス SYSTEM.LVDLVLR 4001 E418h



ビット	シンボル	ビット名	機能	R/W
b4-b0	LVD1LVL[4:0]	電圧検出1レベル選択 (電圧下降時の標準電圧)	b4    b0 0 0 0 0 0 : 4.29V (Vdet1_0) 0 0 0 0 1 : 4.14V (Vdet1_1) 0 0 0 1 0 : 4.02V (Vdet1_2) 0 0 0 1 1 : 3.84V (Vdet1_3) 0 0 1 0 0 : 3.10V (Vdet1_4) 0 0 1 0 1 : 3.00V (Vdet1_5) 0 0 1 1 0 : 2.90V (Vdet1_6) 0 0 1 1 1 : 2.79V (Vdet1_7) 0 1 0 0 0 : 2.68V (Vdet1_8) 0 1 0 0 1 : 2.58V (Vdet1_9) 0 1 0 1 0 : 2.48V (Vdet1_A) 0 1 0 1 1 : 2.20V (Vdet1_B) 0 1 1 0 0 : 1.96V (Vdet1_C) 0 1 1 0 1 : 1.86V (Vdet1_D) 0 1 1 1 0 : 1.75V (Vdet1_E) 0 1 1 1 1 : 1.65V (Vdet1_F) 上記以外は設定しないでください。	R/W
b7-b5	LVD2LVL[2:0]	電圧検出2レベル選択 (電圧下降時の標準電圧)	b7    b5 0 0 0 : 4.29V (Vdet2_0) 0 0 1 : 4.14V (Vdet2_1) 0 1 0 : 4.02V (Vdet2_2) 0 1 1 : 3.84V (Vdet2_3) 1 0 0 : 設定禁止 1 0 1 : 設定禁止 1 1 0 : 設定禁止 1 1 1 : 設定禁止	R/W

注. PRCR.PRC3 ビットを1(書き込み許可)にしてから、このレジスタを書き換えてください。

LVDLVLR レジスタは、LVCMPPCR.LVD1E ビット、LVCMPPCR.LVD2E ビットがともに0(電圧検出n回路無効)(n=1,2)の場合のみ変更可能です。また、低電圧検出1および2回路は、同じ電圧検出レベルに設定しないでください。

## 7.2.7 電圧モニタ 1 回路コントロールレジスタ 0 (LVD1CR0)

アドレス SYSTEM.LVD1CR0 4001 E41Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	RN	RI	—	—	—	CMPE	—	RIE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RIE	電圧監視 1 割り込み/リセット許可	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b2	CMPE	電圧監視 1 回路比較結果出力許可	0 : 電圧監視 1 回路比較結果出力禁止 1 : 電圧監視 1 回路比較結果出力許可	R/W
b5-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b6	RI	電圧監視 1 回路モード選択	0 : Vdet1 通過時に電圧監視 1 割り込み 1 : 下降して Vdet1 通過時に電圧監視 1 リセット許可	R/W
b7	RN	電圧監視 1 リセットネゲート選択	0 : VCC > Vdet1 検出時、安定時間 (tLVD1) 経過後にネゲート 1 : LVD1 リセットアサート時、安定時間 (tLVD1) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

**RIE ビット (電圧監視 1 割り込み/リセット許可)**

フラッシュメモリのプログラム/イレース中は、電圧監視 1 リセットと電圧監視 1 割り込みはどちらも発生させないでください。

**RN ビット (電圧監視 1 リセットネゲート選択)**

RN ビットを 1 (LVD1 リセットアサート時、安定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは 0 (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードへ遷移する場合は、RN ビットは 0 (VCC > Vdet1 検出時、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 (LVD1 リセットアサート時、安定時間経過後にネゲート) にしないでください。

## 7.2.8 電圧モニタ 2 回路コントロールレジスタ 0 (LVD2CR0)

アドレス SYSTEM.LVD2CR0 4001 E41Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	RN	RI	—	—	—	CMPE	—	RIE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RIE	電圧監視2割り込み／リセット許可	0: 禁止 1: 許可	R/W
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	CMPE	電圧監視2回路比較結果出力許可	0: 電圧監視2回路比較結果出力禁止 1: 電圧監視2回路比較結果出力許可	R/W
b5-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RI	電圧監視2回路モード選択	0: Vdet2通過時に電圧監視2割り込み 1: 下降してVdet2通過時に電圧監視2リセット許可	R/W
b7	RN	電圧監視2リセットネゲート選択	0: VCC > Vdet2検出時、安定時間 (tLVD2) 経過後にネゲート 1: LVD2リセットアサート時、安定時間 (tLVD2) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

**RIE ビット (電圧監視 2 割り込み／リセット許可)**

フラッシュメモリのプログラム／イレース中は、電圧監視 2 リセットと電圧監視 2 割り込みはどちらも発生させないでください。

**RN ビット (電圧監視 2 リセットネゲート選択)**

RN ビットを 1 (LVD2 リセットアサート時、安定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは 0 (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードへ遷移する場合は、RN ビットは 0 (VCC > Vdet2 検出時、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 (LVD2 リセットアサート時、安定時間経過後にネゲート) にしないでください。

## 7.3 VCC 入力電圧のモニタ

### 7.3.1 Vdet0 のモニタ

電圧監視 0 の比較結果は、読み出すことができません。

### 7.3.2 Vdet1 のモニタ

表 7.2 に Vdet1 のモニタの設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果をモニタできます。

表 7.2 Vdet1 のモニタの設定手順

手順	電圧監視1の比較結果モニタ	
電圧検出1回路の設定	1	LVCMPCR.LVD1E = 0 (LVDLVLRレジスタへの書き込み前に電圧検出1を無効) に設定
	2	LVDLVLR.LVD1LVL[4:0]ビットで検出電圧を選択
	3	LVCMPCR.LVD1E = 1 (電圧検出1を有効) に設定
	4	td(E-A) (LVD有効切り替え後のLVD動作安定時間) 以上待つ
出力許可の設定	5	LVD1CR0.CMPE = 1 (電圧監視1の比較結果出力を許可) に設定

### 7.3.3 Vdet2 のモニタ

表 7.3 に Vdet2 のモニタの設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果をモニタできます。

表 7.3 Vdet2 のモニタの設定手順

手順	電圧監視2の比較結果モニタ	
電圧検出2回路の設定	1	LVCMPCR.LVD2E = 0 (LVDLVLRレジスタへの書き込み前に電圧検出2を無効) に設定
	2	LVDLVLR.LVD2LVL[2:0]ビットで検出電圧を選択
	3	LVCMPCR.LVD2E = 1 (電圧検出2回路を有効) に設定
	4	td(E-A) (LVD有効切り替え後のLVD動作安定時間) 以上待つ
出力許可の設定	5	LVD2CR0.CMPE = 1 (電圧監視2の比較結果出力を許可) に設定

## 7.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 (リセット後、電圧監視 0 リセット有効) にしてください。

図 7.4 に電圧監視 0 リセットの動作例を示します。

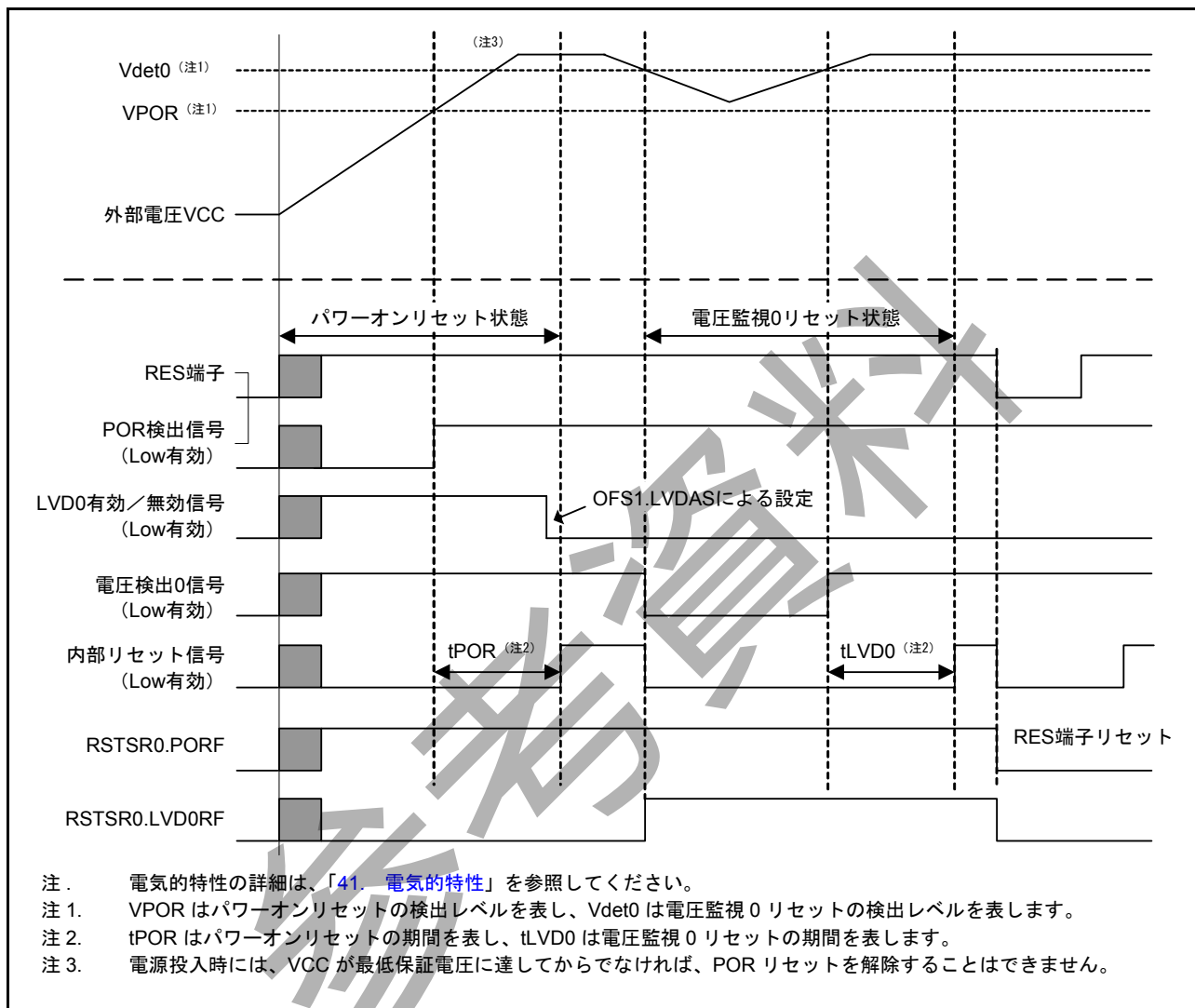


図 7.4 電圧監視 0 リセットの動作例

## 7.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.4 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を示します。表 7.5 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を示します。図 7.5 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、電圧監視 1 回路を以下のように設定してください。

ソフトウェアスタンバイモード時の設定：

- VCC > Vdet1 検出時、安定時間経過後に電圧監視 1 リセット信号をネゲート (LVD1CR0.RN = 0) に設定

表 7.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)		電圧監視 1 リセット
	電圧検出 1 回路の設定	1	LVCMPCR.LVD1E = 0 (LVLDVLRレジスタへの書き込み前に電圧検出 1 を無効) に設定
	2	LVLDVLR.LVD1LVL[3:0] ビットで検出電圧を選択	
	3	LVCMPCR.LVD1E = 1 (電圧検出 1 回路を有効) に設定	
	4	td(E-A) (LVD 有効切り替え後の LVD 動作安定時間) 以上待つ	
電圧監視 1 割り込み/ リセットの設定	5	LVD1CR0.RI = 0 (電圧監視 1 割り込みを選択) に設定	<ul style="list-style-type: none"> <li>• LVD1CR0.RI = 1 (電圧監視 1 リセットを選択) に設定</li> <li>• LVD1CR0.RN ビットでリセットネゲートの種類を選択</li> </ul>
	6	<ul style="list-style-type: none"> <li>• LVD1CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択</li> <li>• LVD1CR1.IRQSEL ビットで割り込みの種類を選択</li> </ul>	—
出力許可の設定	7	LVD1SR.DET = 0 に設定	
	8	LVD1CR0.RIE = 1 (電圧監視 1 割り込み/リセットを許可) に設定 (注 2)	
	9	LVD1CR0.CMPE = 1 (電圧監視 1 の比較結果出力を許可) に設定	

注 1. 手順 4 の待ち時間中に手順 5 ~ 8 を行うことができます。td(E-A) の詳細は、「41. 電気的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 7.5 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)、電圧監視 1 リセット	
	出力許可停止の設定	1
2		LVD1CR0.RIE = 0 (電圧監視 1 割り込み/リセットを禁止) に設定 (注 1)
電圧検出 1 回路停止の設定	3	LVCMPCR.LVD1E = 0 (電圧検出 1 回路を無効) に設定

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 1 割り込みや電圧監視 1 リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 1 回路の設定を変更しない場合、電圧検出 1 回路の設定または停止は不要
- 電圧監視 1 割り込みまたはリセットの設定を変更しない場合、電圧監視 1 割り込みまたはリセットの設定は不要

図 7.5 に電圧監視 1 割り込みの動作例を示します。

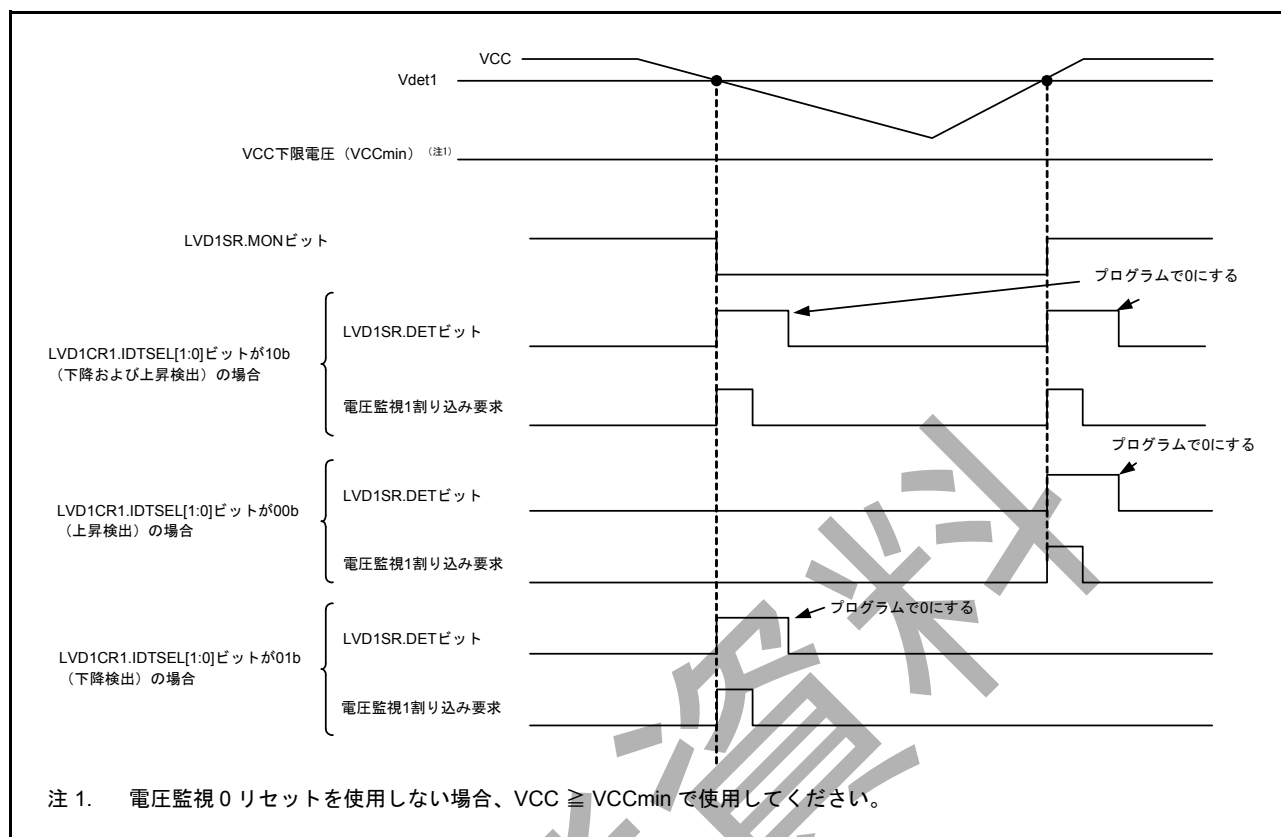


図 7.5 電圧監視 1 割り込みの動作例



## 7.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧監視 2 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.6 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を示します。表 7.7 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を示します。図 7.6 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 2 回路を使用する場合は、電圧監視 2 回路を以下のように設定してください。

ソフトウェアスタンバイモード時の設定：

- $VCC > V_{det2}$  が検出された場合、一定時間経過後に LVDD2CR0.RN ビットをクリア (LVD2CR0.RN = 0) してください。

表 7.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)	電圧監視 2 リセット
電圧検出 2 回路の設定	1	LVCMPCR.LVD2E = 0 (LVLDVLRレジスタへの書き込み前に電圧検出 2 を無効) に設定
	2	LVLDVLR.LVD2LVL[2:0] ビットで検出電圧を選択
	3	LVCMPCR.LVD2E = 1 (電圧検出 2 回路を有効) に設定
	4	td(E-A) (LVD 有効切り替え後の LVD 動作安定時間) 以上待つ (注 1)
電圧監視 2 割り込み / リセットの設定	5	LVD2CR0.RI = 0 (電圧監視 2 割り込みを選択) に設定 <ul style="list-style-type: none"> <li>• LVD2CR0.RI = 1 (電圧監視 2 リセットを選択) に設定</li> <li>• LVD2CR0.RN ビットでリセットネゲートの種類を選択</li> </ul>
	6	<ul style="list-style-type: none"> <li>• LVD2CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択</li> <li>• LVD2CR1.IRQSEL ビットで割り込みの種類を選択</li> </ul>
出力許可の設定	7	LVD2SR.DET = 0 に設定
	8	LVD2CR0.RIE = 1 (電圧監視 2 割り込み / リセットを許可) に設定 (注 2)
	9	LVD2CR0.CMPE = 1 (電圧監視 2 の比較結果出力を許可) に設定

注 1. 手順 4 の待ち時間中に手順 5 ~ 8 を行うことができます。td(E-A) の詳細は、「41. 電気的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

注 3. 手順 5 の待ち時間中に手順 6 ~ 9 を行うことができます。

表 7.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)、電圧監視 2 リセット	
出力許可停止の設定	1	LVD2CR0.CMPE = 0 (電圧監視 2 の比較結果出力を禁止) に設定
	2	LVD2CR0.RIE = 0 (電圧監視 2 割り込み / リセットを禁止) に設定 (注 1)
電圧検出 1 回路停止の設定	3	LVCMPCR.LVD2E = 0 (電圧検出 2 回路を無効) に設定

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 2 割り込みや電圧監視 2 リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 2 回路の設定を変更しない場合、電圧検出 2 回路の設定または停止は不要
- 電圧監視 2 割り込みまたはリセットの設定を変更しない場合、電圧監視 2 割り込みまたはリセットの設定は不要

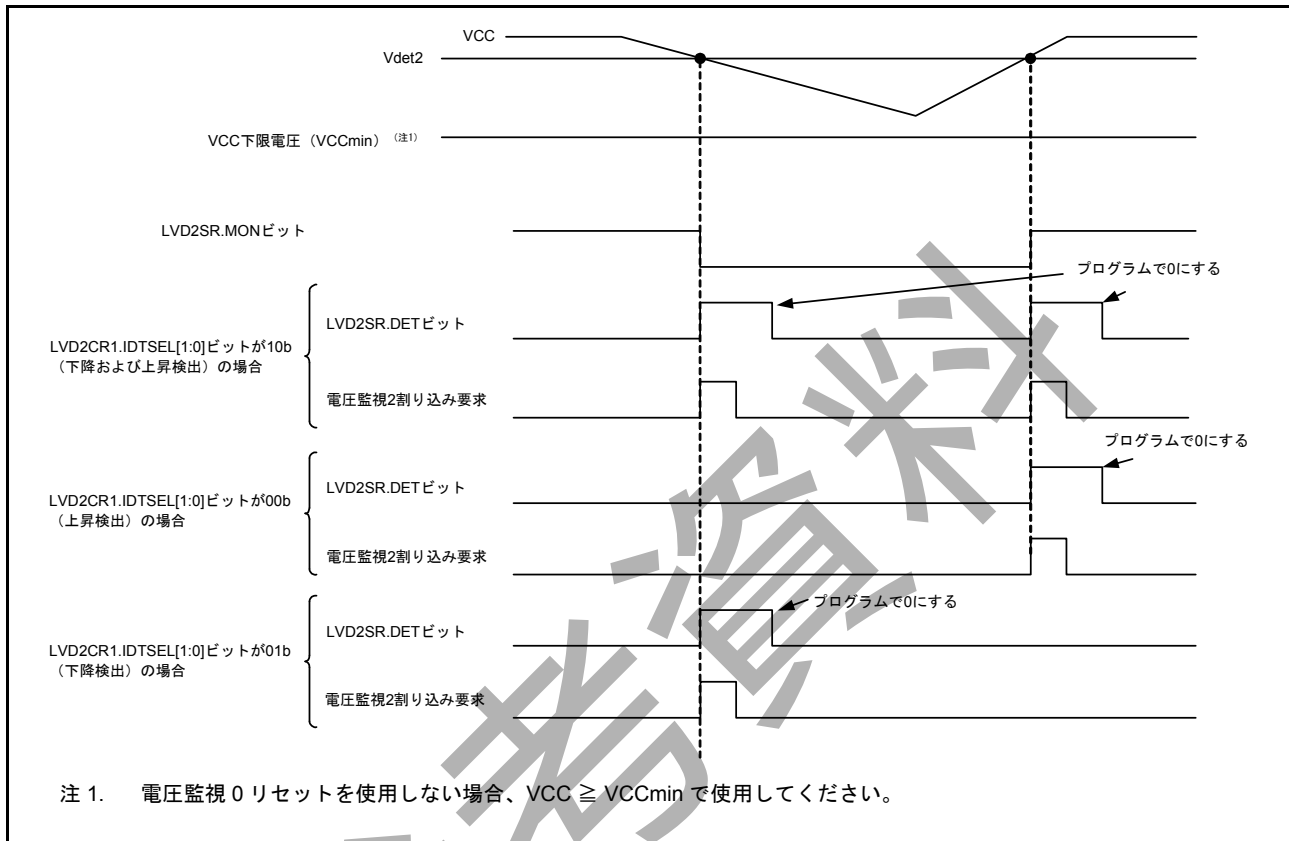


図 7.6 電圧監視 2 割り込みの動作例

## 7.7 イベントリンク出力機能

LVD は、イベントリンクコントローラ (ELC) に対してイベント信号出力を行うことができます。

### (1) Vdet1 通過検出イベント

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合、LVD はイベント信号を出力します。

### (2) Vdet2 通過検出イベント

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、Vdet2 通過を検出した場合、LVD はイベント信号を出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD を有効にしてから、ELC 側の LVD イベントリンク機能を有効にしてください。LVD のイベントリンク出力機能を停止にする場合は、LVD を停止してから、ELC 側の LVD イベントリンク機能を無効にしてください。

### 7.7.1 割り込み処理とイベントリンクの関係

LVD には、電圧監視 1 割り込みと電圧監視 2 割り込みのそれぞれに割り込み許可/禁止を制御するビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合は、割り込み信号 (LVD1CR0.RIE および LVD2CR0.RIE) が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ただちに ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモードにおいても、電圧監視 1 割り込み信号および電圧監視 2 割り込みを出力することが可能です。ソフトウェアスタンバイモードでは、ELC 用のイベント信号が以下のように出力されません。

- ソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないため ELC 用のイベント信号は出力されません。Vdet1/Vdet2 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1/Vdet2 通過検出フラグにしたがって ELC 用のイベント信号が出力されます。

## 8. クロック発生回路

### 8.1 概要

本 MCU はクロック発生回路を内蔵しています。

表 8.1 および表 8.2 にクロック発生回路の仕様を示します。図 8.1 にクロック発生回路のブロック図を示します。

表 8.1 クロック発生回路の仕様 (クロックソース)

クロックソース	項目	内容
メインクロック発振器 (MOSC)	発振子周波数	1MHz~20MHz (最大5.5V) 1MHz~8MHz (最大2.4V)
	外部クロック入力周波数	最大20MHz
	外部発振子または付加回路: セラミック発振子、水晶振動子	あり
	接続端子: EXTAL、XTAL	
	ドライブ能力切り替え 発振停止検出機能	
サブクロック発振器 (SOSC)	発振子周波数	32.768kHz
	外部発振子または付加回路: 水晶振動子	あり
	接続端子: XCIN、XCOUT ドライブ能力切り替え	
高速オンチップオシレータ (HOCO)	発振周波数	24/32/48/64MHz
	ユーザトリミング	あり
中速オンチップオシレータ (MOCO)	発振周波数	8MHz
	ユーザトリミング	あり
低速オンチップオシレータ (LOCO)	発振周波数	32.768kHz
	ユーザトリミング	あり
IWDWT専用オンチップオシレータ (IWDWTLOCO)	発振周波数	15kHz
	ユーザトリミング	なし
SWD用外部クロック入力 (SWCLK)	入力クロック周波数	最大12.5MHz

表 8.2 クロック発生回路の仕様（内部クロック）

項目	クロックソース	クロック供給	内容
システムクロック (ICLK)	MOSC/SOSC/HOCO/ MOCO/LOCO	CPU, DTC, FLASH, SRAM, FlashIF	最大 32MHz 分周比 : 1/2/4/8/16/32/64 1MHz ~ 32MHz (P/E)
周辺モジュールクロック B (PCLKB)	MOSC/SOSC/HOCO/ MOCO/LOCO	周辺モジュール (CAC, ELC, I/O ポート, POEG, RTC, WDT, IWDT, SCI, IIC, CAN, SPI, CRC, GPT, ADC14, DAC12, DOC, AES, TRNG, KINT, AGT, USBFS, ACMPLP, CTSU)	最大 32MHz 分周比 : 1/2/4/8/16/32/64
周辺モジュールクロック D (PCLKD)	MOSC/SOSC/HOCO/ MOCO/LOCO	周辺モジュール (GPT カウントク ロック、ADC14 変換クロック)	最大 64MHz 分周比 : 1/2/4/8/16/32/64
USBクロック (UCLK)	HOCO	USBFS	48MHz
CANクロック (CANMCLK)	MOSC	CAN	1MHz ~ 20MHz
AGTクロック (AGTCLK) (AGTSCLK/AGTLCLK)	SOSC/LOCO/PCLKB	AGT	最大 32MHz
CACメインクロック (CACMCLK)	MOSC	CAC	最大 20MHz
CACサブクロック (CACSCLK)	SOSC	CAC	32.768kHz
CAC LOCOクロック (CACLCLK)	LOCO	CAC	32.768kHz
CAC MOCOクロック (CACMOCLK)	MOCO	CAC	8MHz
CAC HOCOクロック (CACHCLK)	HOCO	CAC	24/32/48/64MHz
CAC IWDTLCOCKロックス (CACILCLK)	IWDTLCOCK	CAC	15kHz
RTCクロック (RTCSCLK/RTCLCLK)	SOSC/LOCO	RTC	32.768kHz
IWDTCロックス (IWDTCCLK)	IWDTLCOCK	IWDTC	15kHz
SysTickタイマクロックス (SYSTICCLK)	LOCO	SysTickタイマ	32.768kHz
クロックス/ブザー出力 (CLKOUT)	MOSC/SOSC/LOCO/ MOCO/HOCO	CLKOUT 端子	最大 16MHz 分周比 : 1/2/4/8/16/32/64/128
シリアルワイヤクロックス (SWCLK)	SWCLK端子	OCD	最大 12.5MHz

注. クロックス周波数の設定に関する制限 : ICLK ≥ PCLKB、PCLKD ≥ PCLKB

クロックス周波数比に関する制限 : (ここで、N は最大 64 の整数)

ICLK:PCLKB = N: 1、ICLK:PCLKD = N:1 または 1:N

P/E モードでの最小 ICLK 周波数は 1MHz

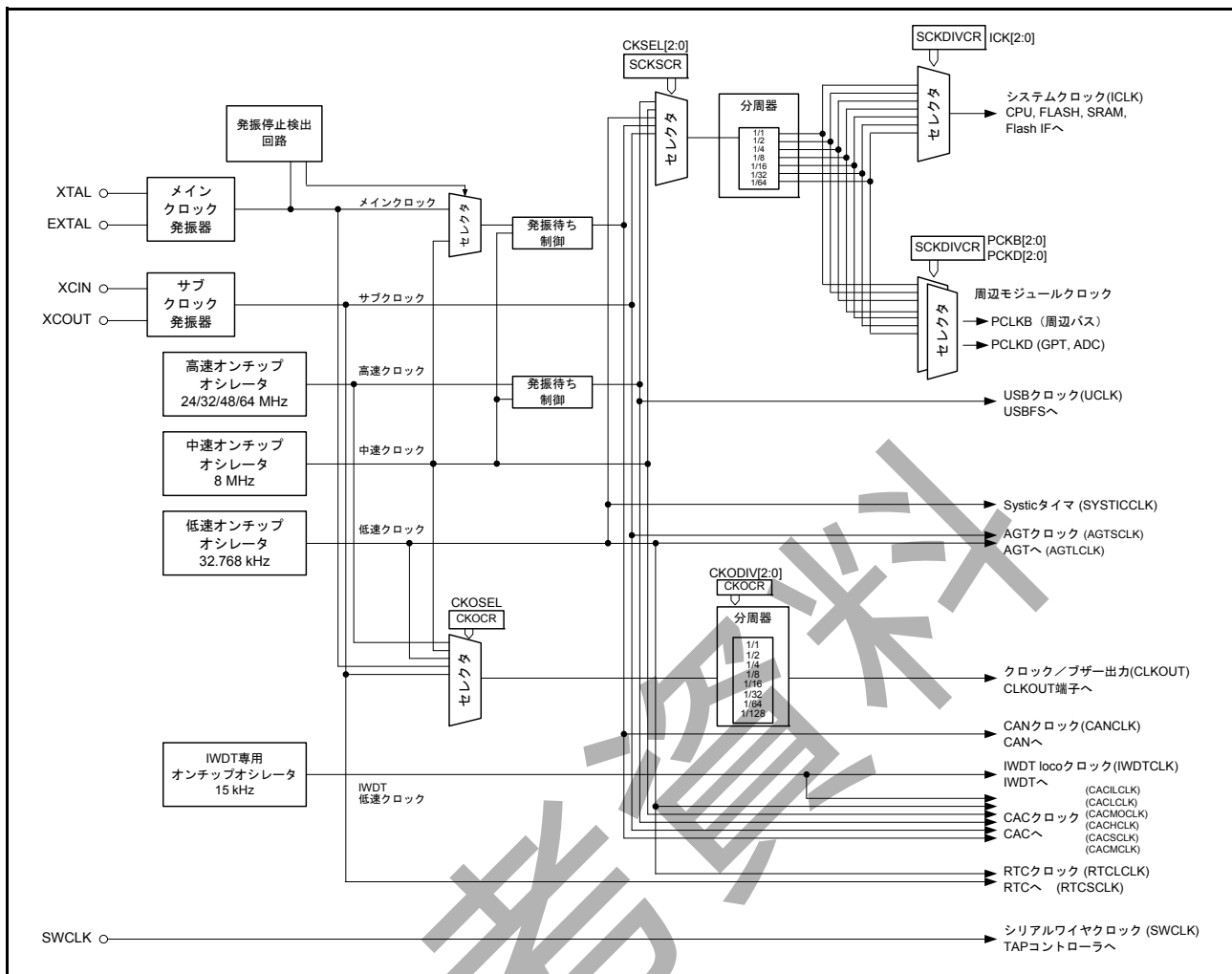


図 8.1 クロック発生回路のブロック図

表 8.3 にクロック発生回路の入出力端子を示します。

表 8.3 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	水晶振動子用の接続端子。EXTAL端子は外部クロックの入力にも使用可能。詳細は、8.3.2 外部クロックを入力する方法を参照してください
EXTAL	入力	
XCIN	入力	32.768kHz水晶振動子用の接続端子
XCOU	出力	
CLKOUT	出力	CLKOUT/BUZZERクロック用の出力端子
SWCLK	入力	SWDからの入力端子

## 8.2 レジスタの説明

### 8.2.1 システムクロック分周コントロールレジスタ (SCKDIVCR)

アドレス SYSTEM.SCKDIVCR 4001 E020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	ICK[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	PCKB[2:0]		—	—	—	—	—	—	PCKD[2:0]		—
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	PCKD[2:0]	周辺モジュールクロック D (PCLKD) 選択 (注2)	b2 b0 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	PCKB[2:0]	周辺モジュールクロック B (PCLKB) 選択 (注1)	b10 b8 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b23-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	ICK[2:0]	システムクロック (ICLK) 選択 (注1)、(注2)	b26 b24 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. システムクロック (ICLK) と周辺モジュールクロック (PCLKB) の間には次の周波数関係が必要です。

ICLK:PCLKB = N:1 (N は整数)

ICLK < PCLKB となる書き込みは無視されます。

注2. システムクロック (ICLK) と周辺モジュールクロック (PCLKD) の間には次の周波数関係が必要です。

ICLK:PCLKD = N:1 または 1:N (N は整数)

SCKDIVCR レジスタは、システムクロック (ICLK) と周辺モジュールクロック (PCLKB、PCLKD) の周波数を選択するレジスタです。

**PCKD[2:0] ビット (周辺モジュールクロック D (PCLKD) 選択)**

周辺モジュールクロック D (PCLKD) の周波数を選択します。

**PCKB[2:0] ビット (周辺モジュールクロック B (PCLKB) 選択)**

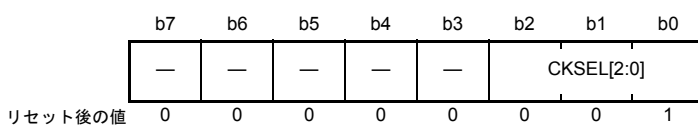
周辺モジュールクロック B (PCLKB) の周波数を選択します。

**ICK[2:0] ビット (システムクロック (ICLK) 選択)**

CPU および DTC 用システムクロックの周波数を選択します。

**8.2.2 システムクロックソースコントロールレジスタ (SCKSCR)**

アドレス SYSTEM.SCKSCR 4001 E026h



ビット	シンボル	ビット名	機能	R/W																		
b2-b0	CKSEL[2:0]	クロックソース選択	<table border="0"> <tr> <td>b2</td> <td>b0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0: HOCO</td> </tr> <tr> <td>0</td> <td>0</td> <td>1: MOCO</td> </tr> <tr> <td>0</td> <td>1</td> <td>0: LOCO</td> </tr> <tr> <td>0</td> <td>1</td> <td>1: メインクロック発振器 (MOSC)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0: サブクロック発振器 (SOSC)</td> </tr> </table> <p>上記以外は設定しないでください。</p>	b2	b0		0	0	0: HOCO	0	0	1: MOCO	0	1	0: LOCO	0	1	1: メインクロック発振器 (MOSC)	1	0	0: サブクロック発振器 (SOSC)	
b2	b0																					
0	0	0: HOCO																				
0	0	1: MOCO																				
0	1	0: LOCO																				
0	1	1: メインクロック発振器 (MOSC)																				
1	0	0: サブクロック発振器 (SOSC)																				
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																		

SCKSCR レジスタは、システムクロックのクロックソースを選択するレジスタです。

**CKSEL[2:0] ビット (クロックソース選択)**

システムクロック (ICLK) および周辺モジュールクロック (PCLKB、PCLKD) のクロックソースを、低速オンチップオシレータ (LOCO)、中速オンチップオシレータ (MOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器 (MOSC)、およびサブクロック発振器 (SOSC) から選択します。

停止しているクロックソースへの切り替えは禁止です。



### 8.2.3 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス SYSTEM.MOSCCR 4001 E032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止	0: メインクロック発振器動作 (注1) 1: メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. MOSTP を 0 にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御するレジスタです。

#### MOSTP ビット (メインクロック発振器停止)

メインクロック発振器の動作/停止を制御します。

MOSTP ビットを動作に設定することで、メインクロック発振器を動作させることができます。MOSTP ビットの値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

メインクロックを使用する場合は、MOSTP ビットを 0 にする前に、メインクロック発振器モード発振コントロールレジスタ (MOMCR) およびメインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) を設定する必要があります。OSCCR.MOSTP ビットでメインクロックが動作するように変更した場合、必ず OSCSF.MOSCSF ビットが 1 になっていることを確認してから、メインクロックを使用してください。

メインクロック発振器を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、停止に設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- メインクロック発振器の停止後、動作を再開させる前に OSCSF.MOSCSF ビットが 0 であることを確認すること
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OSCSF.MOSCSF ビットが 1 であることを確認すること
- メインクロック発振器をシステムクロックとして選択しているかどうかに関わらず、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 1 になっていることを確認した上で WFI 命令を実行すること
- メインクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 0 にクリアされていることを確認した上で WFI 命令を実行すること

以下の条件下で MOSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC)

## 8.2.4 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス SYSTEM.SOSCCR 4001 E480h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止	0: サブクロック発振器動作 (注1) 1: サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SOSTP を0にする前に、SOMCR レジスタを設定する必要があります。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

### SOSTP ビット (サブクロック発振器停止)

サブクロック発振器の動作/停止を制御します。SOSTP ビットの値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。RTC など一部のモジュールに対するソースとしてサブクロック発振器を使用する場合、SOSTP ビットを使用します。

サブクロック発振器を使用する場合は、SOSTP ビットを0にする前に、サブクロック発振器モードコントロールレジスタ (SOMCR) を設定する必要があります。SOSTP ビットを0にした後、必ずサブクロック発振安定時間 (iSUBOSCOWT) が経過してから、サブクロック発振器を使用してください。

SOSTP ビットでサブクロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、SOSTP ビットを停止に設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- サブクロック発振器の停止後、動作を再開させるまでに SOSC で5サイクル以上の待ち時間が必要
- サブクロック発振器を停止させる場合、サブクロック発振器の発振が安定していることを確認すること
- サブクロック発振器をシステムクロックとして選択しているかどうかに関わらず、ソフトウェアスタンバイモードへ遷移する場合は、サブクロック発振器の発振が安定していることを確認した上で WFI 命令を実行すること
- サブクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、サブクロック発振器を停止させてから SOSC で3クロックサイクル以上待った後、WFI 命令を実行すること

以下の条件下で、SOSTP に1を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 100b (システムクロックソース = SOSC)

## 8.2.5 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス SYSTEM.LOCOCR 4001 E490h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

LOCOCR レジスタは、LOCO を制御するレジスタです。

### LCSTP ビット (LOCO 停止)

LOCO を起動/停止させます。

LCSTP ビットの設定を LOCO 動作に変更した後、必ず LOCO クロック発振安定待機時間 (tLOCOWT) が経過してから LOCO を使用してください。LOCO を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、停止に設定した後も、発振が停止するまでに一定の時間を要します。

発振器の開始および停止に関しては、以下の制限があります。

- LOCO の停止後、動作を再開させるまでに LOCO で 5 サイクル以上の待ち時間が必要
- LOCO を停止させる場合、LOCO による発振が安定していることを確認すること
- LOCO をシステムクロックとして選択しているかどうかに関わらず、ソフトウェアスタンバイモードへ遷移する場合は、LOCO の発振が安定していることを確認した上で WFI 命令を実行すること
- LOCO の設定後、ソフトウェアスタンバイモードへ遷移する場合は、LOCO で 3 サイクル以上待ってから WFI 命令を実行すること

以下の条件下で LOSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 010b (システムクロックソース = LOCO)

## 8.2.6 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス SYSTEM.HOCOOCR 4001 E036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO 停止	0 : HOCO 動作 (注2), (注4) 1 : HOCO 停止	R/W (注3)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. HOCOOCR.HCSTP = 0 および OSCSF.HOCOSF = 0 (HOCO は安定待機時間カウンタ中) の状態にあるとき、OPCCR.OPCM[1:0] ビットへの書き込みは禁止されています。

注1. OFS1.HOCOEN ビットが0のとき、HCSTP ビットのリセット後の値は0になります。OFS1.HOCOEN ビットが1のとき、HCSTP ビットのリセット後の値は1になります。

注2. HOCO の動作周波数が 48MHz の場合、HOCO 動作時の VCC は 1.8V 以上 ( $VCC \geq 1.8V$ ) である必要があります。  
HOCO の動作周波数が 64MHz の場合、HOCO 動作時の VCC は 2.4V 以上 ( $VCC \geq 2.4V$ ) である必要があります。

注3. OPCCR.OPCMTSF = 1、SOPCCR.SOPCMTSF = 1 (動作電力制御モードの遷移中)、または FLSTOP.CFLSTOPF = 1 (フラッシュの遷移中) の状態にあるとき、HCSTP ビットへの書き込みは禁止されています。

注4. HOCO を使用する場合 (HCSTP = 0)、OFS1.HOCOFREQ1 ビットを最適な値に設定する必要があります。低電圧モードの間中は、HOCOOCR.HCSTP は常に0でなければいけません。

HOCOOCR レジスタは、HOCO を制御するレジスタです。

### HCSTP ビット (HOCO 停止)

HOCO を起動/停止させます。

HCSTP ビットで HOCO が動作するように変更した場合、必ず OSCSF.HOCOSF ビットが1になっていることを確認してから、発振器を使用してください。OFS1.HOCOEN ビットが1になっている場合、OSCSF.HOCOSF ビットも1になっていることを確認してから、HOCO クロックを使用してください。HOCO が動作するように設定してから、発振が安定するまでに一定の時間を要します。また、HOCO を停止に設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO の停止後、動作を再開させる前に OSCSF.HOCOSF ビットが0であることを確認すること
- HOCO を停止させる前に、HOCO が動作していること、および OSCSF.HOCOSF ビットが1であることを確認すること
- HOCO をシステムクロックとして選択しているかどうかに関わらず、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが1になっていることを確認した上で WFI 命令を実行すること
- HOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが0になっていることを確認した上で WFI 命令を実行すること

以下の条件下で HCSTP ビットに1を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b (システムクロックソース = HOCO)

## 8.2.7 中速オンチップオシレータコントロールレジスタ (MOCO CR)

アドレス SYSTEM.MOCO CR 4001 E038h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MCSTP	MOCO停止	0 : MOCO動作 1 : MOCO停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MOCO CR レジスタは、MOCO を制御するレジスタです。

### MCSTP ビット (MOCO 停止)

MOCO を起動/停止させます。

MCSTP ビットを 0 にした後、必ず MOCO クロック発振安定時間 (tMOCOWT) が経過してから、MOCO クロックを使用してください。MCSTP ビットを 0 にしてから、発振が安定するまでに一定の時間を要します。また、MCSTP ビットを 1 にした後、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- MOCO の停止後、動作を再開させるまでに MOCO で 5 クロックサイクル以上の待ち時間が必要
- MOCO を停止させる場合、MOCO による発振が安定していることを確認すること
- MOCO をシステムクロックとして選択しているかどうかに関わらず、ソフトウェアスタンバイモードへ遷移する場合は、MOCO の発振が安定していることを確認した上で WFI 命令を実行すること
- MOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、MOCO で 3 サイクル以上待ってから WFI 命令を実行すること

以下の条件下で MCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b (システムクロックソース = MOCO)

発振停止検出コントロールレジスタの発振停止検出機能有効ビット (OSTDCR.OSTDE) で発振停止検出機能を有効にしているとき、MCSTP ビットを 1 (MOCO 停止) にすることは禁止されています。

MOCO クロックは他の発振器の待機時間の計測に使用されるため、MOCO CR.MCSTP ビットの設定値に関わらず、他の発振器の待機時間が計測されている間は MOCO クロックが発振しています。そのため、MCSTP ビットが停止に設定されていても、意図せず MOCO クロックが供給される場合があります。

## 8.2.8 発振安定フラグレジスタ (OSCSF)

アドレス SYSTEM.OSCSF 4001 E03Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MOSC SF	—	—	HOCO SF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HOCOSF	HOCOクロック発振安定フラグ	0: HOCOクロックは停止、または発振安定待ち中 1: HOCOクロックは安定、システムクロックとして使用可能	R
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MOSCSF	メインクロック発振安定フラグ	0: メインクロック発振器は停止 (MOSTP = 1)、または発振安定待ち中 (注2) 1: メインクロック発振器は安定、システムクロックとして使用可能	R
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は OFS1.HOCOEN ビットによって決まります。OFS1.HOCOEN が0になっている場合、HOCOSF のリセット後の値は0です。OFS1.HOCOEN が1になっている場合は、リセット解除直後にHOCOSF の値が0になり、HOCO 発振安定時間の経過後に HOCOSF の値が1になります。

注2. 該当する発振器のウェイトコントロールレジスタに適切な値が設定されている場合、その値 (待機時間) が不十分であると、発振が安定する前に発振安定フラグが1になり、内部回路へクロック信号の供給が開始されます。

OSCSF レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すフラグからなるレジスタです。

これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、対応する発振器から内部回路へクロックの供給が開始されたことを示します。

### HOCOSF フラグ (HOCO クロック発振安定フラグ)

高速クロック発振器の待機時間を計測するカウンタの動作状態を示します。

OFS1.HOCOEN ビットが1になっている場合、OSCSF.HOCOSF フラグも1になっていることを確認してから、HOCO クロックを使用してください。

[1になる条件]

- 高速クロック発振器が停止しているとき、HOCOCR.HCSTP ビットを0にすると、中速クロック 287 サイクル分がカウントされて、MCU 内部へ高速クロック供給が開始されたとき

[0になる条件]

- 高速クロック発振器が動作しているとき、HOCOCR.HCSTP ビットを1にすると、高速クロック発振器が発振停止になったとき

### MOSCSF フラグ (メインクロック発振安定フラグ)

メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[1になる条件]

- メインクロック発振器が停止しているとき、MOSCCR.MOSTP ビットを0にすると、MOSCWTCR レジスタの設定値に応じた中速クロックのサイクル数がカウントされて、MCU 内部へメインクロックの供給が開始されたとき

[0 になる条件]

- メインクロック発振器が動作しているとき、MOSCCR.MOSTP ビットを 1 にすると、メインクロック発振器が発振停止になったとき

## 8.2.9 発振停止検出コントロールレジスタ (OSTDCR)

アドレス SYSTEM.OSTDCR 4001 E040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可	0: 発振停止検出割り込みを禁止、POEG への発振停止検出通知なし 1: 発振停止検出割り込みを許可、POEG への発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	OSTDE	発振停止検出機能有効	0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

OSTDCR レジスタは、発振停止検出機能を制御するレジスタです。

### OSTDIE ビット (発振停止検出割り込み許可)

発振停止検出機能割り込みを許可します。また、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) をクリアする必要がある場合、OSTDIE ビットを 0 にしてからクリアしてください。OSTDIE ビットを 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、PCLKB の 2 サイクルを超える待ち時間が必要になる場合があります。

### OSTDE ビット (発振停止検出機能有効)

発振停止検出機能を有効にします。

OSTDE ビットを 1 (発振停止検出機能有効) にすると、MOCO 停止ビット (MOCOCR.MCSTP) が 0 となり、MOCO が起動します。発振停止検出機能が有効の間は、MOCO は停止できません。MOCOCR.MCSTP ビットへの 1 の書き込み (MOCO 停止) は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が 1 (メインクロック発振停止検出) のとき、OSTDE ビットへの 0 の書き込みは無効です。

OSTDE ビットが 1 の場合、ソフトウェアスタンバイモードへ遷移できません。ソフトウェアスタンバイモードへ遷移する場合は、OSTDE ビットを 0 にしてから WFI 命令を実行してください。

発振停止検出機能を使用する場合、以下の制限があります。

- 低速モードでは、ICLK、PCLKB、および PCLKD に対する 1 分周、2 分周、4 分周、8 分周の設定は禁止
- 低電圧モードでは、ICLK、PCLKB、および PCLKD に対する 1 分周と 2 分周の設定は禁止

## 8.2.10 発振停止検出ステータスレジスタ (OSTDSR)

アドレス SYSTEM.OSTDSR 4001 E041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロック発振停止を未検出 1: メインクロック発振停止を検出	R(W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注 1. 0のみ書けます。

OSTDSR レジスタは、メインクロック発振停止の検出状態を示すレジスタです。

### OSTDF フラグ (発振停止検出フラグ)

メインクロックの状態を示します。OSTDF フラグが1のとき、メインクロックの発振停止が検出されたことを示します。メインクロックの発振停止が検出された後、メインクロックの発振が再開しても OSTDF ビットは0になりません。OSTDF ビットは、このビットから1を読んだ後、0を書くことによって0になります。

OSTDF に0を書き込んでから、0を読み出せるようになるまで、ICLK で3サイクル以上待つ必要があります。メインクロックの発振が停止している状態で OSTDF ビットを0にした場合、OSTDF ビットはいったん0になった後、再度1に戻ります。

以下の条件下では、OSTDSR.OSTDF ビットは0にクリアできません。

- SCKSCR.CKSEL[2:0]=011b (システムクロックソース=MOSC)

クロックソースをメインクロック発振器以外に切り替えてから OSTDF ビットを0にする必要があります。

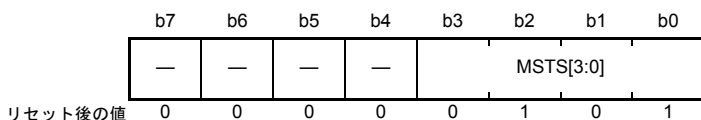
[1になる条件]

- OSTDCR.OSTDE ビットが1 (発振停止検出機能有効) の状態で、メインクロックの発振が停止したとき
- [0になる条件]
- SCKSCR.CKSEL[2:0] ビットが011b (システムクロックが MOSC) 以外の場合に、1を読んだ後、0を書いたとき



## 8.2.11 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス SYSTEM.MOSCWTCR 4001 E0A2h



ビット	シンボル	ビット名	機能	R/W																																	
b3-b0	MSTS[3:0]	メインクロック発振器待機時間設定	<table border="0"> <tr> <td>b3</td> <td>b0</td> <td></td> </tr> <tr> <td>0 0 0</td> <td>0</td> <td>待機時間 = 2サイクル (0.25<math>\mu</math>s)</td> </tr> <tr> <td>0 0 0</td> <td>1</td> <td>待機時間 = 1,024サイクル (128<math>\mu</math>s)</td> </tr> <tr> <td>0 0 1</td> <td>0</td> <td>待機時間 = 2,048サイクル (256<math>\mu</math>s)</td> </tr> <tr> <td>0 0 1</td> <td>1</td> <td>待機時間 = 4,096サイクル (512<math>\mu</math>s)</td> </tr> <tr> <td>0 1 0</td> <td>0</td> <td>待機時間 = 8,192サイクル (1,024<math>\mu</math>s)</td> </tr> <tr> <td>0 1 0</td> <td>1</td> <td>待機時間 = 16,384サイクル (2,048<math>\mu</math>s) (リセット後の値)</td> </tr> <tr> <td>0 1 1</td> <td>0</td> <td>待機時間 = 32,768サイクル (4,096<math>\mu</math>s)</td> </tr> <tr> <td>0 1 1</td> <td>1</td> <td>待機時間 = 65,536サイクル (8,192<math>\mu</math>s)</td> </tr> <tr> <td>1 0 0</td> <td>0</td> <td>待機時間 = 131,072サイクル (16,384<math>\mu</math>s)</td> </tr> <tr> <td>1 0 0</td> <td>1</td> <td>待機時間 = 262,144サイクル (32,768<math>\mu</math>s)</td> </tr> </table> <p>上記以外は設定しないでください。 待機時間は"MOCO = 8MHz (0.125<math>\mu</math>s (標準))"として計算されます。</p>	b3	b0		0 0 0	0	待機時間 = 2サイクル (0.25 $\mu$ s)	0 0 0	1	待機時間 = 1,024サイクル (128 $\mu$ s)	0 0 1	0	待機時間 = 2,048サイクル (256 $\mu$ s)	0 0 1	1	待機時間 = 4,096サイクル (512 $\mu$ s)	0 1 0	0	待機時間 = 8,192サイクル (1,024 $\mu$ s)	0 1 0	1	待機時間 = 16,384サイクル (2,048 $\mu$ s) (リセット後の値)	0 1 1	0	待機時間 = 32,768サイクル (4,096 $\mu$ s)	0 1 1	1	待機時間 = 65,536サイクル (8,192 $\mu$ s)	1 0 0	0	待機時間 = 131,072サイクル (16,384 $\mu$ s)	1 0 0	1	待機時間 = 262,144サイクル (32,768 $\mu$ s)	R/W
b3	b0																																				
0 0 0	0	待機時間 = 2サイクル (0.25 $\mu$ s)																																			
0 0 0	1	待機時間 = 1,024サイクル (128 $\mu$ s)																																			
0 0 1	0	待機時間 = 2,048サイクル (256 $\mu$ s)																																			
0 0 1	1	待機時間 = 4,096サイクル (512 $\mu$ s)																																			
0 1 0	0	待機時間 = 8,192サイクル (1,024 $\mu$ s)																																			
0 1 0	1	待機時間 = 16,384サイクル (2,048 $\mu$ s) (リセット後の値)																																			
0 1 1	0	待機時間 = 32,768サイクル (4,096 $\mu$ s)																																			
0 1 1	1	待機時間 = 65,536サイクル (8,192 $\mu$ s)																																			
1 0 0	0	待機時間 = 131,072サイクル (16,384 $\mu$ s)																																			
1 0 0	1	待機時間 = 262,144サイクル (32,768 $\mu$ s)																																			
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R																																	

**MSTS[3:0] ビット (メインクロック発振器待機時間設定)**

メインクロック発振器の発振安定待機時間を設定します。

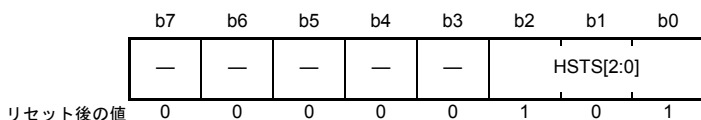
発振器メーカーが推奨する安定時間以上の時間をメインクロック発振安定時間に設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので、0000b に設定してください。

MSTS[3:0] ビットに設定した待機時間は、MOCO クロックでカウントされます。MOCO は、必要であれば、MOCOCR.MCSTP ビットの値に関わらず、自動的に発振を開始します。設定した待機時間が経過すると、MCU 内部へメインクロックの供給が開始され、OSCSF.MOSCSF フラグは1になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロックの供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが1で、かつOSCF.MOSCSF フラグが0の場合にのみ行ってください。他の状態ではレジスタの書き換えを行わないでください。

## 8.2.12 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)

アドレス SYSTEM.HOCOWTCR 4001 E0A5h



ビット	シンボル	ビット名	機能	R/W
b2-b0	HSTS[2:0]	HOCO 待機時間設定	b2 b0 1 0 1: <ul style="list-style-type: none"> <li>待機時間 = 245 サイクル (29.13<math>\mu</math>s) HOCO の動作周波数が 24MHz、32MHz、または 48MHz で、かつ動作電力制御モードが低電圧モード以外の場合</li> <li>待機時間 = 679 サイクル (84.88<math>\mu</math>s) (リセット後の値) 動作電力制御モードが低電圧モードの場合</li> </ul> 1 1 0: <ul style="list-style-type: none"> <li>待機時間 = 541 サイクル (67.63<math>\mu</math>s) HOCO の動作周波数が 64MHz の場合</li> </ul> 上記以外は設定しないでください。 待機時間は "MOCO = 8MHz (0.125 $\mu$ s (標準))" として計算されます。	R/W
b7-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R

HOCOWTCR レジスタは、高速クロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。

HOCOCR.HCSTP ビットが 1 の場合、または OSCSF.HOCOSF フラグが 1 の場合にのみ、HOCOWTCR に書き込むことができます。それ以外では、このレジスタに書き込まないでください。

**HSTS[2:0] ビット (HOCO 待機時間設定)**

高速クロック発振器用の発振安定待ち回路が、HOCOWTCR レジスタの設定値に応じたサイクル数を中速クロックでカウントすることにより、待機時間を計測します。

発振安定待ち回路は、待機時間を計測し、MCU 内部へのクロック供給を制御します。高速クロック発振器が発振を開始すると、発振安定待ち回路は中速クロックでサイクル数をカウントし始めます。カウントが完了するまでの間、MCU 内部へのクロック供給は行われません。カウント完了後、MCU 内部へのクロック供給が開始され、OSCSF.HOCOSF フラグが 1 になります。

発振安定待ち回路での中速クロックサイクルのカウントは、MOCOCR.MCSTP ビットの設定に関わらず行われます。待機時間の計測時には、ハードウェアで自動的に中速発振器の動作/停止が制御されます。

## 8.2.13 メインクロック発振器モード発振コントロールレジスタ (MOMCR)

アドレス SYSTEM.MOMCR 4001 E413h

b7	b6	b5	b4	b3	b2	b1	b0
—	MOSEL	—	—	MODR V1	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MODRV1	メインクロック発振器ドライブ能力1切り替え	0: 10MHz~20MHz 1: 1MHz~10MHz	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	MOSEL	メインクロック発振器切り替え	0: 発振子 1: 外部クロック入力	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

EXTAL/XTAL 端子もポートとして使用されます。初期設定状態では、この端子がポートとして設定されています。

このレジスタの変更は、MOSTP が 1 (MOSC 停止) のときに行う必要があります。

**MODRV1 ビット (メインクロック発振器ドライブ能力1切り替え)**

メインクロック発振器のドライブ能力を切り替えます。

**MOSEL ビット (メインクロック発振器切り替え)**

メインクロック発振器の発振源を切り替えます。

## 8.2.14 サブクロック発振器モードコントロールレジスタ (SOMCR)

アドレス SYSTEM.SOMCR 4001 E481h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	SODRV[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SODRV[1:0]	サブクロック発振器ドライブ能力切り替え	b1 b0 0 0: 通常モード 0 1: 低消費電力モード1 1 0: 低消費電力モード2 1 1: 低消費電力モード3	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

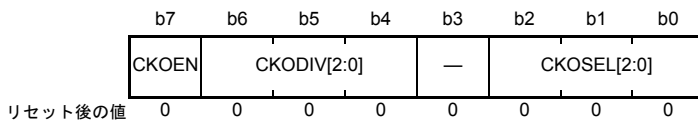
このレジスタの変更は、SOSCCR.SOSTP が 1 (SOSC 停止) のときに行う必要があります。

**SODRV[1:0] ビット (サブクロック発振器ドライブ能力切り替え)**

サブクロック発振器のドライブ能力を切り替えます。

## 8.2.15 クロックアウトコントロールレジスタ (CKOCR)

アドレス SYSTEM.CKOCR 4001 E03Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKOSEL[2:0]	クロックアウトソース選択	b2 b0 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: MOSC 1 0 0: SOSC  上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	CKODIV[2:0]	クロックアウト入力分周比選択	b6 b4 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 1 1 1: 128分周	R/W
b7	CKOEN	クロックアウト許可	0: クロックアウト禁止 1: クロックアウト許可	R/W

**CKOSEL[2:0] ビット (クロックアウトソース選択)**

HOCO、MOCO、LOCO、MOSC、または SOSC クロックを、CLKOUT 端子から出力するクロックのソースとして選択します。

CLKOUT ソースクロックを変更する場合、CKOEN ビットを 0 にしてください。

**CKODIV[2:0] ビット (クロックアウト入力分周比選択)**

クロック分周比を設定します。

分周比を変更する場合、CKOEN ビットを 0 にしてください。出力クロック周波数の分周比は、CLKOUT 端子出力周波数の特性を超えない値に設定する必要があります。CLKOUT 端子の特性の詳細については、「41. 電気的特性」を参照してください。

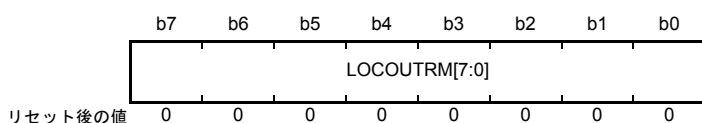
**CKOEN ビット (クロックアウト許可)**

CLKOUT 端子からの出力を許可します。

1 を書き込むと、選択したクロックが出力されます。0 を書き込むと、Low が出力されます。クロック発振中に CKOSTP ビットを書き換えると、出力にグリッチを生じる恐れがあります。

## 8.2.16 LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR)

アドレス SYSTEM.LOCOUTCR 4001 E492h



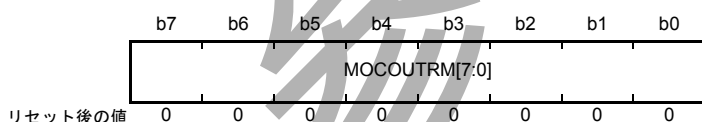
ビット	シンボル	ビット名	機能	R/W
b7-b0	LOCOUTRM[7:0]	LOCOユーザトリミング	b7                      b0 1 0 0 0 0 0 0 0 : -128 1 0 0 0 0 0 0 1 : -127 1 0 0 0 0 0 1 0 : -126 ... 1 1 1 1 1 1 1 1 : -1 0 0 0 0 0 0 0 0 : センターコード 0 0 0 0 0 0 0 1 : +1 ... 0 1 1 1 1 1 0 1 : +125 0 1 1 1 1 1 1 0 : +126 0 1 1 1 1 1 1 1 : +127  これらのビットは、元のLOCOトリミングビットに追加 されます。	R/W

LOCO 周波数が仕様外となるような値に LOCOUTCR を設定した場合、MCU 動作は保証されません。LOCOUTCR を変更した場合、周波数が安定するまでの時間は、MCU 動作開始時に周波数が安定するまでの時間に相当します。

LOCO 周波数と他の発振周波数が整数比の関係にあるとき、LOCOUTCR 値の変更は禁止されています。

## 8.2.17 MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR)

アドレス SYSTEM.MOCOUTCR 4001 E061h



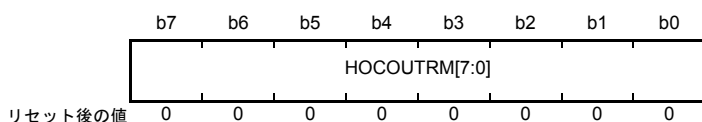
ビット	シンボル	ビット名	機能	R/W
b7-b0	MOCOUTRM[7:0]	MOCOユーザトリミング	b7                      b0 1 0 0 0 0 0 0 0 : -128 1 0 0 0 0 0 0 1 : -127 1 0 0 0 0 0 1 0 : -126 ... 1 1 1 1 1 1 1 1 : -1 0 0 0 0 0 0 0 0 : センターコード 0 0 0 0 0 0 0 1 : +1 ... 0 1 1 1 1 1 0 1 : +125 0 1 1 1 1 1 1 0 : +126 0 1 1 1 1 1 1 1 : +127  これらのビットは、元のMOCOトリミングビットに追加 されます。	R/W

MOCO 周波数が仕様外となるような値に MOCOUTCR を設定した場合、MCU 動作は保証されません。MOCOUTCR 変更後、周波数が安定するまでの時間は、MCU 動作開始時に周波数が安定するまでの時間に

相当します。MOCO 周波数と他の発振周波数が整数比の関係にあるとき、MOCOUTCR 値の変更は禁止されています。

### 8.2.18 HOCO ユーザトリミングコントロールレジスタ (HOCOUTCR)

アドレス [SYSTEM.HOCOUTCR 4001 E062h](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	<a href="#">HOCOUTRM[7:0]</a>	HOCOユーザトリミング	b7            b0 1 0 0 0 0 0 0 0 : -128 1 0 0 0 0 0 0 1 : -127 1 0 0 0 0 0 1 0 : -126 ... 1 1 1 1 1 1 1 1 : -1 0 0 0 0 0 0 0 0 : センターコード 0 0 0 0 0 0 0 1 : +1 ... 0 1 1 1 1 1 0 1 : +125 0 1 1 1 1 1 1 0 : +126 0 1 1 1 1 1 1 1 : +127 これらのビットは、元のHOCOトリミングビットに追加されます。	R/W

HOCO 周波数が仕様外となるような値に HOCOUTCR を設定した場合、MCU 動作は保証されません。HOCOUTCR 変更後、周波数が安定するまでの時間は、MCU 動作開始時に周波数が安定するまでの時間に相当します。

UCKSEL.UCKSELC = 1 のとき、HOCOUTCR レジスタへの 00h 以外の値の書き込みは禁止されています。UCKSEL レジスタについては、「[24. USB2.0 フルスピードモジュール \(USBFS\)](#)」を参照してください。

### 8.3 メインクロック発振器

メインクロック発振器にクロック信号を供給する方法は2つあります。

- 発振器を接続
- 外部クロック信号の入力を接続

#### 8.3.1 水晶振動子を接続する方法

水晶振動子の接続例を図 8.2 に示します。

必要に応じてダンピング抵抗 ( $R_d$ ) を挿入することができます。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーから外部に帰還抵抗 ( $R_f$ ) を追加するよう指示があった場合は、その指示に従って EXTAL と XTAL の間に  $R_f$  を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 8.1 に記載されているように、メインクロック発振器の発振子周波数の範囲内としてください。

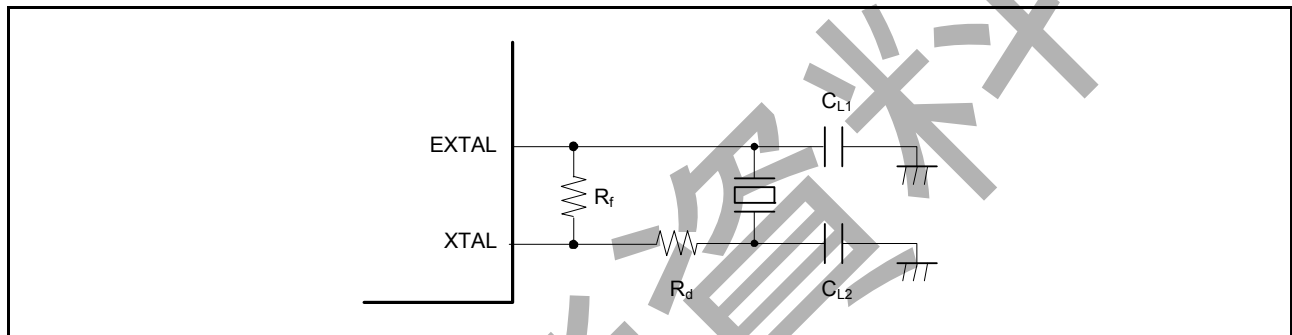


図 8.2 水晶振動子の接続例

#### 8.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 8.3 に示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子はハイインピーダンスになります。



図 8.3 外部クロックの等価回路

#### 8.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止している時のみ可能です。メインクロック発振器の停止ビット (MOSCCR.MOSTP) が 0 の場合、外部クロック入力周波数を変更しないでください。

## 8.4 サブクロック発振器

サブクロック発振器へクロックを供給する唯一の方法は、水晶振動子を接続することです。

### 8.4.1 32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、[図 8.4](#) に示すように 32.768kHz 水晶振動子を接続します。

必要に応じてダンピング抵抗 ( $R_d$ ) を挿入することができます。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーから外部に帰還抵抗 ( $R_f$ ) を追加するよう指示があった場合は、その指示に従って XCIN と XCOU の間に  $R_f$  を挿入してください。振動子を接続してクロックを供給する場合、その振動子の周波数は、[表 8.1](#) に記載されているように、サブクロック発振器の発振子周波数の範囲内としてください。

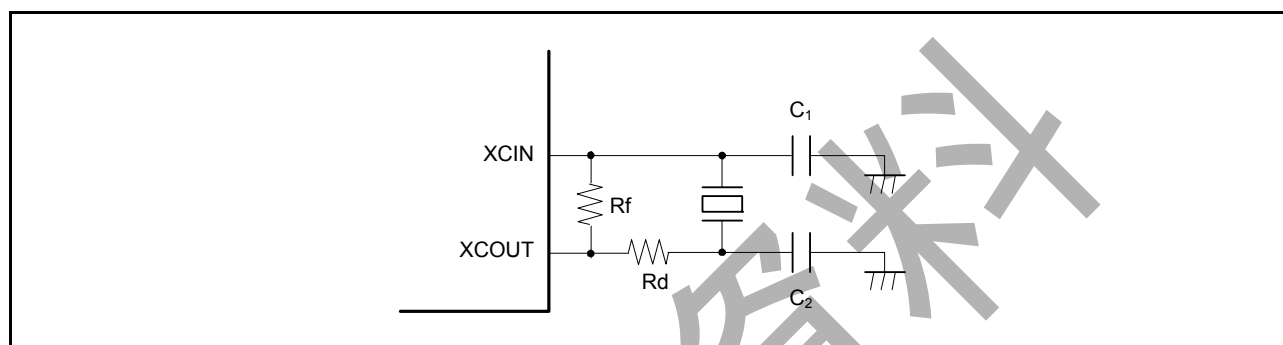


図 8.4 32.768kHz 水晶振動子の接続例



## 8.5 発振停止検出機能

### 8.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器停止の検出に使用されます。

発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC) で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わる

発振停止検出時には発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ (GPT) 出力をハイインピーダンスにすることができます。

メインクロック発振器の異常などによって、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロック発振器停止が検出されます。「41. 電気的特性」を参照してください。

メインクロックと MOCO クロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。

OSTDF は切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC) の場合 :
  - OSTDF が 0 から 1 になると、クロックソースは MOCO に切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは MOSC に戻る

発振停止検出後にクロックソースをメインクロックに戻したい場合は、いったん CKSEL[2:0] ビットの設定をメインクロック以外に変更し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0] ビットの設定をメインクロックに変更してください。

リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット (OSTDCR.OSTDE) に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロックが停止したことを検出します。そのため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードへ遷移する場合は、あらかじめ発振停止検出機能は無効にする必要があります。

発振停止検出機能によって、MOCO (システムクロックが MOSC の場合) に切り替わるクロックは、以下の通りです。

- CLKOUT 以外の MOSC を選択できるすべてのクロック
- MOCO 動作中 (システムクロックが MOSC の場合) のシステムクロック (ICLK) 周波数は、MOCO 発振周波数と、システムクロック選択ビット (SCKDIVCR.ICK[2:0]) で設定された分周比で指定される

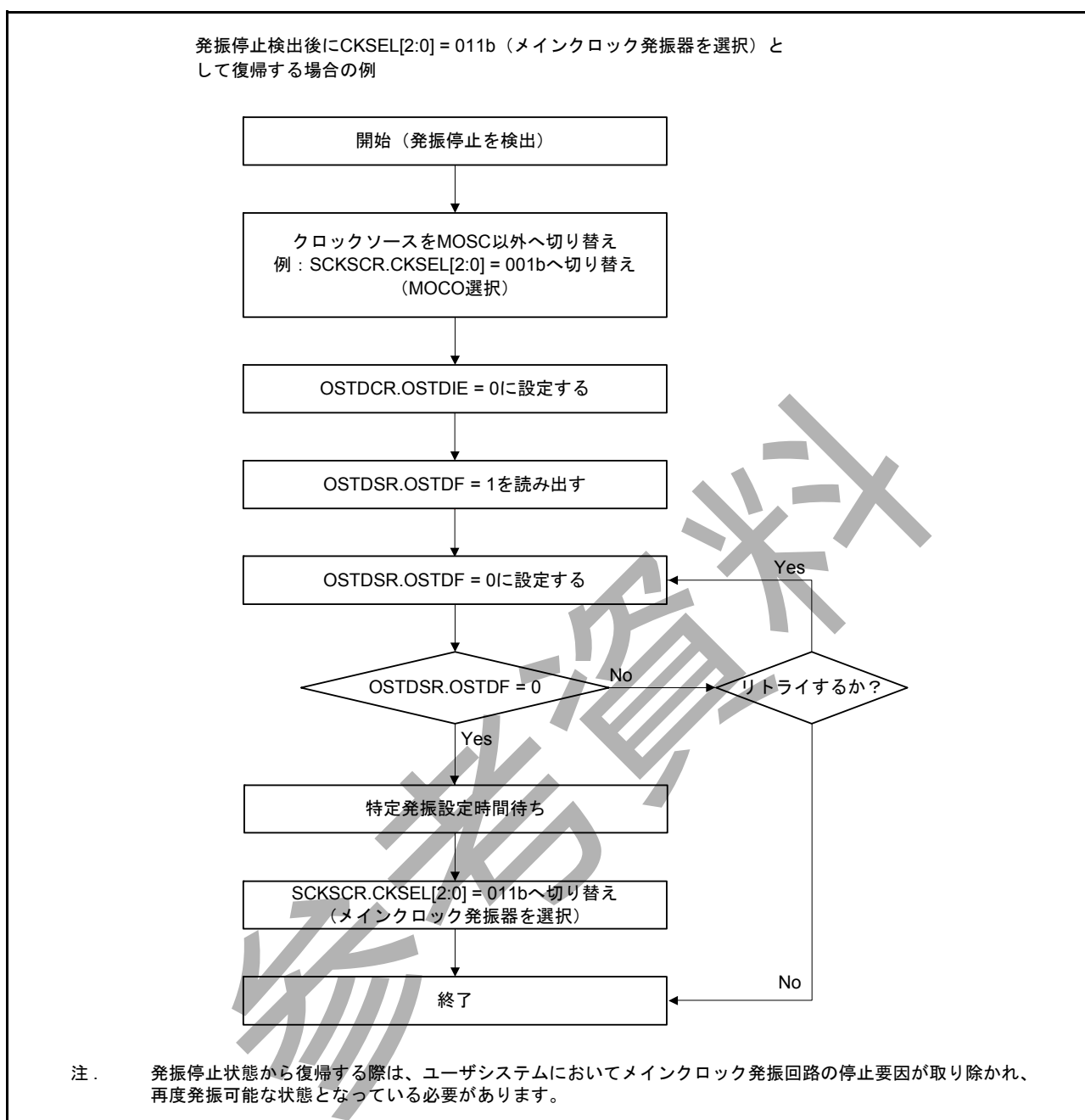


図 8.5 発振停止検出からの復帰フロー

### 8.5.2 発振停止検出割り込み

発振停止検出フラグ (OSTDSR.OSTDF) が 1 で、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が 1 (発振停止検出割り込みを許可) のとき、発振停止検出割り込み (MOSC\_STOP) が発生します。このとき GPT 用ポートアウトプットイネーブル (POEG) に対して、メインクロック発振器の停止が通知されます。POEG はこの通知を受けて、入力レベルコントロール/ステータスレジスタ 6 の OSTST ハイインピーダンスフラグ (ICSR6.OSTSTF) を 1 にします。

この ICSR6.OSTSTF フラグに対しては、発振停止を検出後、PCLKB で 10 サイクル以上経過するまで書き込みできません。OSTDSR.OSTDF フラグのクリアは、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を 0 にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、PCLKB の 2 サイクルを超える待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態ではノンマスカブル割り込みは禁止されているため、発振停止検出割り込みを使用する前にソフトウェアでノンマスカブル割り込みを許可にしてください。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

参考資料

## 8.6 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック
- サブクロック
- HOCO クロック
- MOCO クロック
- LOCO クロック
- IWDT 専用クロック

これらのソースから、以下の内部クロックが生成されます。

- CPU、DTC、フラッシュ、および SRAM の動作クロック — システムクロック (ICLK)
- 周辺モジュールの動作クロック — PCLKB および PCLKD
- Flash IF の動作クロック — ICLK
- CAN の動作クロック — CANMCLK
- CAC の動作クロック — CACCLK
- RTC LOCO クロックの動作クロック — RTCLCLK
- RTC サブクロックの動作クロック — RTCSCCLK
- IWDT の動作クロック — IWDTCCLK
- AGT LOCO クロックの動作クロック — AGTLCLK
- AGT サブクロックの動作クロック — AGTSCCLK
- SysTick タイマの動作クロック — SYSTICCLK
- 外部端子出力のクロック — CLKOUT

内部クロックの周波数設定に使用するレジスタの詳細については、[8.6.1 システムクロック \(ICLK\)](#) を参照してください。

各ビットを書き換えると、変更後の周波数で動作します。

### 8.6.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DTC、Flash、FlashIF、および SRAM の動作クロックです。

ICLK の周波数は、SCKDIVCR.ICK[2:0] ビット、SCKSCR.CKSEL[2:0] ビット、および OFS1.HOCOFRQ1[2:0] ビットで設定します。

### 8.6.2 周辺モジュールクロック (PCLKB, PCLKD)

周辺モジュールクロック (PCLKB および PCLKD) は、周辺モジュールが使用する動作クロックです。

周波数はそれぞれ、SCKDIVCR.PCKB[2:0] ビット、SCKDIVCR.PCKD[2:0] ビット、SCKSCR.CKSEL[2:0] ビット、および OFS1.HOCOFRQ1[2:0] ビットで設定します。

### 8.6.3 FlashIF クロック (ICLK)

フラッシュインタフェースクロック (ICLK) は、フラッシュメモリインタフェースの動作クロックです。すなわち、データフラッシュからの読み出しに加え、コードフラッシュとデータフラッシュのプログラミング/イレースに使用されます。

### 8.6.4 USB クロック (UCLK)

USB クロック (UCLK) は、USBFS モジュールの動作クロックです。USBFS モジュールには 48MHz クロックを供給する必要があります。USBFS モジュールを使用する場合は、UCLK クロックを 48MHz に設定してください。UCLK の周波数は、OFS1.HOCOFRQ1[2:0] ビットで設定します。

### 8.6.5 CAN クロック (CANMCLK)

CAN クロック (CANMCLK) は、CAN モジュールの動作クロックです。CANMCLK は、メインクロック発振器で生成されたクロックです。

### 8.6.6 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC モジュールの動作クロックです。CACCLK は、メインクロック発振器、サブクロック発振器、高速クロック発振器、中速クロック発振器、低速オンチップオシレータ、および IWDTC 専用オンチップオシレータで生成されます。

### 8.6.7 RTC 専用クロック (RTCSCLK、RTCLCLK)

RTC 専用クロック (RTCSCLK および RTCLCLK) は、RTC の動作クロックです。RTCSCLK はサブクロック発振器で生成され、RTCLCLK は LOCO で生成されます。

### 8.6.8 IWDTC 専用クロック (IWDTCCLK)

IWDTC 専用クロック (IWDTCCLK) は、IWDTC の動作クロックです。IWDTCCLK は、IWDTC 専用オンチップオシレータの内部発振によって生成されます。

### 8.6.9 AGT 専用クロック (AGTSCLK、AGTLCLK)

AGT 専用クロック (AGTSCLK および AGTLCLK) は、AGT の動作クロックです。AGTSCLK はサブクロック発振器で生成され、AGTLCLK は LOCO で生成されます。

### 8.6.10 SysTick タイマ専用クロック (SYSTICCLK)

SysTick タイマ専用クロック (SYSTICCLK) は、SYSTICCLK の動作クロックです。SYSTICCLK は、LOCO で生成されます。

### 8.6.11 クロック／ブザー出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力用に CLKOUT 端子から外部に出力されます。CKOCR.CKOEN を 1 にすると、CLKOUT を CLKOUT 端子に出力できます。CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビットの値を変更する場合は、CKOCR.CKOEN ビットの値が 0 になっているか確認してください。

CLKOUT の周波数は、CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビット、および OFS1.HOCOFRQ1[2:0] ビットで設定します。

## 8.7 使用上の注意事項

### 8.7.1 クロック発生回路に関する注意事項

各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKB および PCLKD)、FlashIF クロック (ICLK) の周波数は、SCKDIVCR レジスタの設定に応じて変化します。各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 特性で規定されるクロックサイクル時間 ( $t_{cyc}$ ) の動作保証範囲内に収まるように選択すること。「41. 電気的特性」を参照してください
- 周波数は表 8.2 に記載の周波数範囲を超えないこと
- 周辺モジュールは PCLKB を基準に動作するため、周波数変更の前後で、タイマや SCI などのモジュールは動作速度が変化する
- システムクロック (ICLK)、周辺モジュールクロック (PCLKB および PCLKD)、および FlashIF クロック (ICLK) は、表 8.2 に従って設定すること

外部バスアクセス中は、クロック周波数の変更を実施しないでください。また、クロック周波数の変更後に外部バスによるアクセスを開始する場合は、周波数変更が完了したことを確認してからバスをアクセスするようにしてください。

クロック周波数変更後の処理を確実に実行するには、最初に該当するクロックコントロールレジスタを書き換えて周波数を変更し、次にレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

### 8.7.2 発振子に関する注意事項

発振子の諸特性はユーザのボード設計に密接に関係するので、使用する前に十分な評価が必要です。発振子の接続例については図 8.4 を参照してください。発振子の回路定数は、使用する発振子および実装回路の浮動容量によって異なります。そのため、回路定数は発振子メーカーと十分相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

### 8.7.3 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 8.6 に示すように、発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

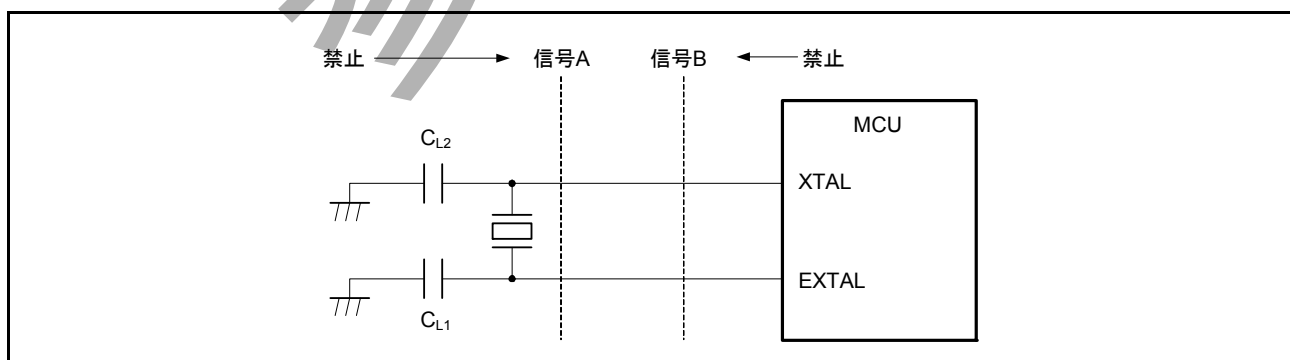


図 8.6 発振回路部のボード設計に関する注意事項 (メインクロック発振器の場合、サブクロック発振器も同様)

### 8.7.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポート P212 および P213 として使用可能です。これらの端子を汎用ポートとして使用する場合は、メインクロックを停止させる (MOSCCR.MOSTP ビットを 1 にする) 必要があります。

## 9. クロック周波数精度測定回路 (CAC)

### 9.1 概要

クロック周波数精度測定回路 (CAC) は、測定対象となるシステムクロックのパルス数をカウントし、基準クロック信号に基づいてシステムクロックの周波数をチェックします。

基準クロックは、GPIO 端子を介して外部入力することも、さまざまなオンチップオシレータから内部入力することも可能です。クロックが一致しなかった場合、または測定終了時に、割り込み信号を発生させることができます。この機能は、ホームオートメーションや工業オートメーション機器にフェールセーフ機構を組み込む場合、特に役立ちます。

表 9.1 に CAC の特性を、図 9.1 に CAC のブロック図を示します。

表 9.1 CACの特性

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> <li>• メインクロック</li> <li>• サブクロック</li> <li>• HOCOクロック</li> <li>• MOCOクロック</li> <li>• LOCOクロック</li> <li>• IWDTCCLKクロック</li> <li>• 周辺モジュールクロック B (PCLKB)</li> </ul>
測定基準クロック	<ul style="list-style-type: none"> <li>• 外部からCACREF端子に入力したクロック</li> <li>• メインクロック</li> <li>• サブクロック</li> <li>• HOCOクロック</li> <li>• MOCOクロック</li> <li>• LOCOクロック</li> <li>• IWDTCCLKクロック</li> <li>• 周辺モジュールクロック B (PCLKB)</li> </ul>
選択機能	デジタルフィルタ
割り込み要因	<ul style="list-style-type: none"> <li>• 測定終了</li> <li>• 周波数エラー</li> <li>• オーバーフロー</li> </ul>
モジュールストップ機能	モジュールストップ状態の設定が可能

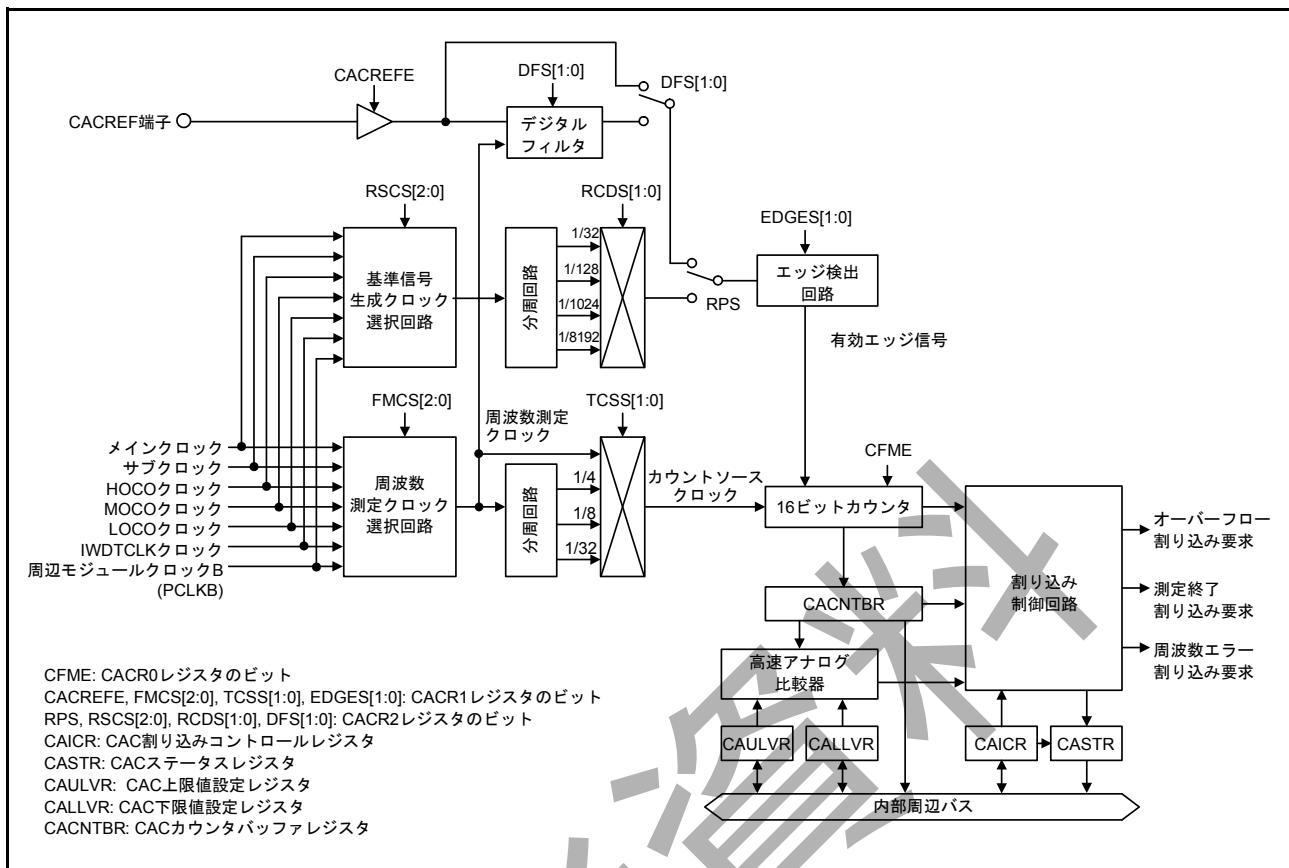


図 9.1 CAC のブロック図

表 9.2 に CAC の入出力端子を示します。

表 9.2 CAC の入出力端子

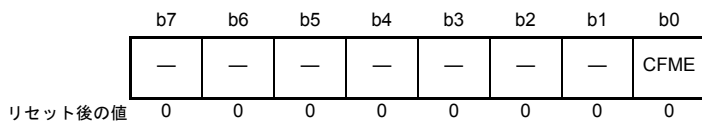
端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子



## 9.2 レジスタの説明

### 9.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス CAC.CACR0 4004 4600h



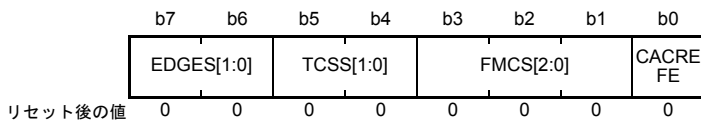
ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### CFME ビット (クロック周波数測定有効)

クロック周波数測定を有効または無効にします。CFME ビットを読み出すことで、このビットが変更されたことを確認できます。変更が完了するまでは、さらなる書き込みは無視されます。

## 9.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 4004 4601h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : MOCOクロック 1 0 0 : LOCOクロック 1 0 1 : 周辺モジュールクロック (PCLKB) 1 1 0 : IWDTCLKクロック 1 1 1 : 設定禁止	R/W
b5-b4	TCSS[1:0]	測定対象クロック分周比選択	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定禁止	R/W

注 1. CACR1 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

### CACREFE ビット (CACREF 端子入力有効)

CACREF 端子入力を有効または無効にします。

### FMCS[2:0] ビット (測定対象クロック選択)

周波数を測定するクロックを選択します。

### TCSS[1:0] ビット (測定対象クロック分周比選択)

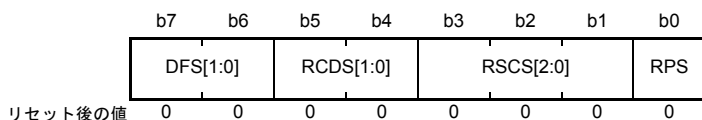
測定対象クロックの分周比を選択します。

### EDGES[1:0] ビット (有効エッジ選択)

基準信号の有効エッジを選択します。

## 9.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 4004 4602h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : MOCOクロック 1 0 0 : LOCOクロック 1 0 1 : 周辺モジュールクロック (PCLKB) 1 1 0 : IWDTCCLKクロック 1 1 1 : 設定禁止	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1,024分周クロック 1 1 : 8,192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックとして使用 1 0 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックの4分周クロックとして使用 1 1 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックの16分周クロックとして使用	R/W

注 1. CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

**RPS ビット (基準信号選択)**

基準信号として CACREF 端子入力と内部クロック (内部生成信号) のどちらを使用するか選択します。

**RSCS[2:0] ビット (測定基準クロック選択)**

測定基準クロックを選択します。

**RCDS[1:0] ビット (測定基準クロック分周比選択)**

基準クロックの分周比を選択します。

**DFS[1:0] ビット (デジタルフィルタ機能選択)**

このビットの設定により、デジタルフィルタが有効または無効になります。また、そのサンプリングクロックを選択します。

## 9.2.4 CAC 割り込みコントロールレジスタ (CAICR)

アドレス CAC.CAICR 4004 4603h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可	0: 周波数エラー割り込み要求禁止 1: 周波数エラー割り込み要求許可	R/W
b1	MENDIE	測定終了割り込み要求許可	0: 測定終了割り込み要求禁止 1: 測定終了割り込み要求許可	R/W
b2	OVFIE	オーバーフロー割り込み要求許可	0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	FERRFCL	FERRF フラグクリア	このビットを1にすると FERRF フラグをクリアします。読むと0が読めます。	R/W
b5	MENDFCL	MENDF フラグクリア	このビットを1にすると MENDF フラグをクリアします。読むと0が読めます。	R/W
b6	OVFFCL	OVFF フラグクリア	このビットを1にすると OVFF フラグをクリアします。読むと0が読めます。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**FERRIE ビット (周波数エラー割り込み要求許可)**

周波数エラー割り込み要求を許可または禁止にします。

**MENDIE ビット (測定終了割り込み要求許可)**

測定終了割り込み要求を許可または禁止にします。

**OVFIE ビット (オーバーフロー割り込み要求許可)**

オーバーフロー割り込み要求を許可または禁止にします。

**FERRFCL ビット (FERRF フラグクリア)**

このビットを1にすると FERRF フラグをクリアします。

**MENDFCL ビット (MENDF フラグクリア)**

このビットを1にすると MENDF フラグをクリアします。

**OVFFCL ビット (OVFF フラグクリア)**

このビットを1にすると OVFF フラグをクリアします。

### 9.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 4004 4604h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロック周波数は設定値の範囲内 1: クロック周波数が設定値の範囲を外れた (周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定終了	R
b2	OVFF	オーバーフローフラグ	0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローしている	R
b7-b3	—	予約ビット	読むと0が読めます。	R

#### FERRF フラグ (周波数エラーフラグ)

クロック周波数が設定値から外れた (周波数エラー) ことを示します。

[1 になる条件]

- クロック周波数が CAULVR と CALLVR の両レジスタで定義された許容範囲を外れたとき

[0 になる条件]

- FERRFCL ビットに 1 を書いたとき

#### MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[1 になる条件]

- 測定が終了したとき

[0 になる条件]

- MENDFCL ビットに 1 を書いたとき

#### OVFF フラグ (オーバーフローフラグ)

カウンタがオーバーフローしたことを示します。

[1 になる条件]

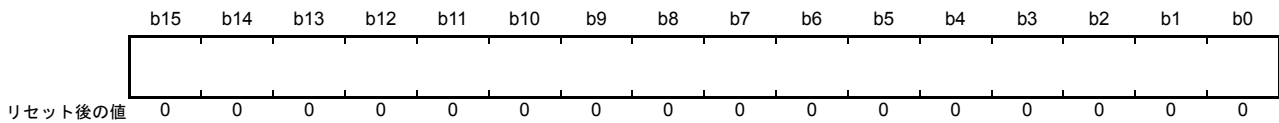
- カウンタがオーバーフローしたとき

[0 になる条件]

- OVFFCL ビットに 1 を書いたとき

### 9.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス CAC.CAULVR 4004 4606h



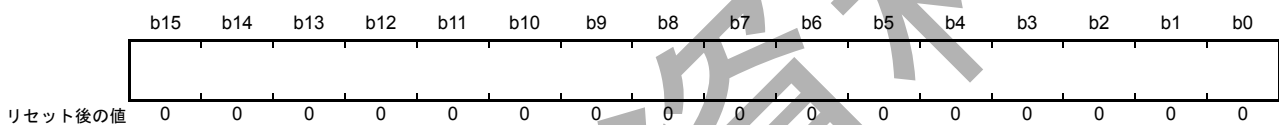
CAULVR レジスタは、許容範囲の上限値を指定する 16 ビットの読み出し/書き込み可能なレジスタです。カウンタ値がこのレジスタに指定された値を上回った場合、周波数エラーが検出されます。

CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに保持されるカウンタ値がずれる可能性があります。そのため、余裕をもった値を設定してください。

### 9.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス CAC.CALLVR 4004 4608h



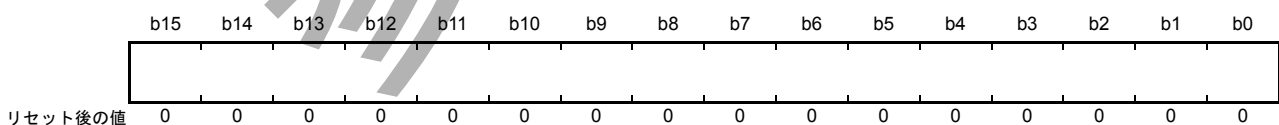
CALLVR レジスタは、許容範囲の下限値を指定する 16 ビットの読み出し/書き込み可能なレジスタです。カウンタ値がこのレジスタに指定された値を下回った場合、周波数エラーが検出されます。

CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに保持されるカウンタ値がずれる可能性があります。そのため、余裕をもった値を設定してください。

### 9.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス CAC.CACNTBR 4004 460Ah



CACNTBR レジスタは、測定結果を保持する 16 ビットの読み出し専用レジスタです。

## 9.3 動作説明

### 9.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準として、クロック周波数を測定します。図 9.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数の測定時に、図 9.2 のように動作します。

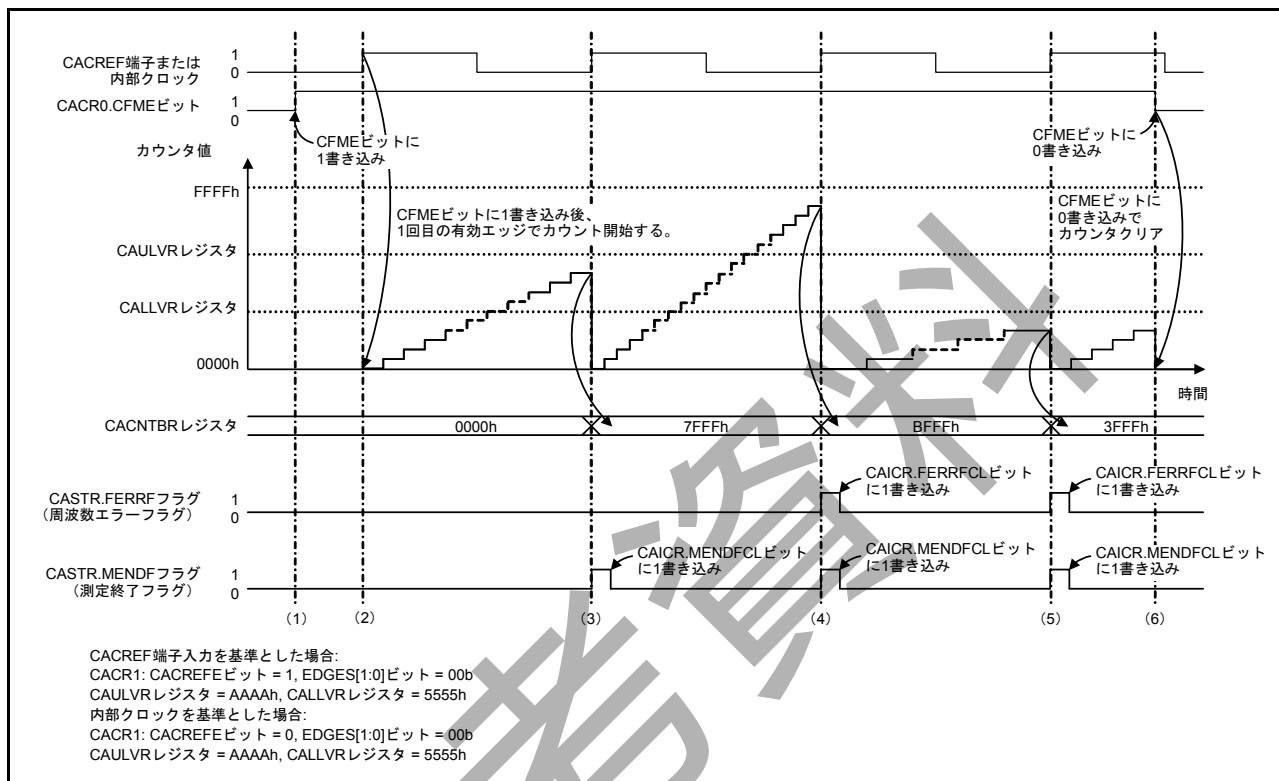


図 9.2 クロック周波数精度測定回路の動作例

1. CACR0.CFME ビットに 1 を書き込む前に、CACR1 レジスタと CACR2 レジスタを設定して、測定対象クロックと測定基準クロックを定義する必要があります。CACR0.CFME ビットに 1 を書き込むと、クロック周波数測定が有効になります。
2. CACR1.EDGES[1:0] ビットで選択した有効エッジが測定基準クロックから入力されると、タイマがカウントアップを開始します。図 9.2 に示すように、有効エッジは立ち上がりエッジ (CACR1.EDGES[1:0] = 00b) です。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR  $\leq$  CAULVR および CACNTBR  $\geq$  CALLVR が成立する場合、クロック周波数は正常なので CASTR.MENDF フラグのみが 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR > CAULVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生し、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR < CALLVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生し、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。

6. CACR0.CFME ビットが 1 のときは、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしカウントアップが停止します。

### 9.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期で CACREF 端子レベルが 3 回連続して一致した場合、内部回路に一致したレベルを送信します。再度サンプリングした端子のレベルが 3 回連続して一致するまで内部へ同じレベルを送信し続けます。デジタルフィルタ機能では、デジタルフィルタ機能の有効/無効と、サンプリングクロックの設定が可能です。

デジタルフィルタと CACREF 端子入力信号の位相差によって、CACNTBR レジスタに転送されるカウンタ値には、サンプリングクロックの最大 1 周期分の誤差が生じる場合があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウンタ値の誤差を表すことができます。

$$\text{カウンタ値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

## 9.4 割り込み要求

CAC は次の 3 種類の割り込み要求を発生させます。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

割り込み要因が発生すると、対応するステータスフラグが 1 になります。表 9.3 に、クロック周波数精度測定回路の割り込み要求に関する情報を示します。

表 9.3 クロック周波数精度測定回路の割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較した結果が、CACNTBR > CAULVR または CACNTBR < CALLVR のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	CACREF 端子または内部クロックから有効エッジが入力されたとき ただし、CACR0.CFME ビットに 1 を書き込んだ後の 1 回目の有効エッジでは測定終了割り込みは発生しない。
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

## 9.5 使用上の注意事項

### 9.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CAC の動作禁止/許可を設定できます。リセット後は、CAC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。



## 10. 低消費電力モード

### 10.1 概要

本 MCU には、クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 10.1 に、低消費電力モード機能の仕様を示します。表 10.2 に、低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DTC と SRAM のみが動作しています。

表 10.1 低消費電力モード機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK) と周辺モジュールクロック (PCLKB および PCLKD) に対して、個別に分周比の選択が可能 (注1)
モジュールストップ	各周辺モジュールに対して、個別に機能停止が可能
低消費電力モード	<ul style="list-style-type: none"> <li>スリープモード</li> <li>ソフトウェアスタンバイモード</li> <li>スヌーズモード</li> </ul>
電力制御モード	動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、およびスヌーズモード時の消費電力の低減が可能 <ul style="list-style-type: none"> <li>5つの動作電力制御モードが利用可能               <ul style="list-style-type: none"> <li>High-speed モード</li> <li>Middle-speed モード</li> <li>Low-speed モード</li> <li>Low-voltage モード</li> <li>Subosc-speed モード</li> </ul> </li> </ul>

注 1. 詳細は、「8. クロック発生回路」を参照してください。

表 10.2 各低消費電力モードの動作状態 (1/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード (注1)
遷移条件	SBYCR.SSBY = 0 の状態で WFI 命令	SBYCR.SSBY = 1 の状態で WFI 命令	ソフトウェアスタンバイモード時のスヌーズ要求 SNZCR.SNZE = 1
解除方法	すべての割り込みこのモードで利用可能なすべてのリセット	表 10.3 に示す割り込みこのモードで利用可能なすべてのリセット	表 10.3 に示す割り込みこのモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態
メインクロック発振器	選択可能	停止	選択可能 (注2)
サブクロック発振器	選択可能	選択可能	選択可能
高速オンチップオシレータ	選択可能	停止	選択可能
中速オンチップオシレータ	選択可能	停止	選択可能
低速オンチップオシレータ	選択可能	選択可能	選択可能
IWDT 専用オンチップオシレータ	選択可能 (注4)	選択可能 (注4)	選択可能 (注4)
発振停止検出機能	選択可能	動作禁止	動作禁止
クロック/ブザー出力機能	選択可能	選択可能 (注3)	選択可能
CPU	停止 (保持)	停止 (保持)	停止 (保持)
SRAM	選択可能	停止 (保持)	選択可能
フラッシュメモリ	動作	停止 (保持)	停止 (保持)
データトランスファコントローラ (DTC)	選択可能	停止 (保持)	選択可能

表 10.2 各低消費電力モードの動作状態 (2/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード (注1)
USB2.0フルスピードモジュール (USBFS)	選択可能	停止 (保持) (注5)	動作禁止 (注5)
ウォッチドッグタイマ (WDT)	選択可能	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	選択可能 (注4)	選択可能 (注4)	選択可能 (注4)
リアルタイムクロック (RTC)	選択可能	選択可能	選択可能
非同期汎用タイマ (AGTn : n = 0, 1)	選択可能	選択可能 (注6)	選択可能 (注6)
14ビットA/Dコンバータ (ADC14)	選択可能	停止 (保持)	選択可能 (注10)
12ビットD/Aコンバータ (DAC12)	選択可能	停止 (保持)	選択可能
静電容量式タッチセンシングユニット (CTSUS)	選択可能	停止 (保持)	選択可能
データ演算回路 (DOC)	選択可能	停止 (保持)	選択可能
シリアルコミュニケーションインタフェース (SCI0)	選択可能	停止 (保持)	選択可能 (注9)
シリアルコミュニケーションインタフェース (SCIn : n = 1, 9)	選択可能	停止 (保持)	動作禁止
I <sup>2</sup> Cバスインタフェース (IIC0)	選択可能	選択可能	動作禁止
I <sup>2</sup> Cバスインタフェース (IIC1)	選択可能	停止 (保持)	動作禁止
イベントリンクコントローラ (ELC)	選択可能	停止 (保持)	選択可能 (注7)
低消費電力アナログコンパレータ (ACMPLP0)	選択可能	選択可能 (注8)	選択可能 (注8)
低消費電力アナログコンパレータ (ACMPLP1)	選択可能	選択可能 (注8)	選択可能 (注8)
NMI、IRQn (n = 0~7) 端子割り込み	選択可能	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能	選択可能
低電圧検出 (LVD)	選択可能	選択可能	選択可能
パワーオンリセット回路	動作	動作	動作
その他の周辺モジュール	選択可能	停止 (保持)	動作禁止
I/Oポート	動作	保持	動作

- 注. 「選択可能」とは、動作/停止がコントロールレジスタによって選択できることを意味します。  
「停止 (保持)」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。  
「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。  
そうしないと、スヌーズモードでは適切な動作が保証されません。
- 注1. モジュールストップビットが0に設定されている全モジュールはすべて、スヌーズモード遷移後にPCLKが供給されると、ただちに起動します。スヌーズモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを1にしてください。
- 注2. スヌーズモードでSCI0を使用する場合、MOSCCR.MOSTPビットは1でなければいけません。
- 注3. クロックアウトソース選択ビット (CKOCR.CKOSEL[2:0]) が010b (LOCO) および100b (SOSC) 以外の値に設定されている場合は停止します。
- 注4. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDT停止制御ビット (OFS0.IWDTSTPCTL) の設定により、動作/停止を選択することができます。
- 注5. USBFSレジューム検出が可能です。
- 注6. AGT0.AGTMR1.TCK[2:0]ビットで100b (LOCO) または110b (SOSC) が選択されている場合、AGT0は動作可能です。AGT1.AGTMR1.TCK[2:0]ビットで100b (LOCO)、110b (SOSC)、または101 (AGT0からのアンダーフローイベント信号) が選択されている場合、AGT1は動作可能です。
- 注7. イベントは、10.9.13 スヌーズモードにおけるELCイベントに記載のものに限定されます。
- 注8. VCOOUT機能のみが許可されます。ACMPLPがデジタルフィルタを使用していない場合に、VCOOUT端子は動作します。デジタルフィルタの詳細については、「33. 低消費電力アナログコンパレータ (ACMPLP)」を参照してください。
- 注9. SCI0のシリアル通信モードは、調歩同期式モードに限定されます。

注 10. スヌーズモードで 14 ビット A/D コンバータを使用する場合、ADCMPCR.CMPAE ビットまたは ADCMPCR.CMPBE ビットは 1 でなければいけません。

表 10.3 スヌーズモードとソフトウェアスタンバイモードから通常モードへ遷移する場合に利用可能な割り込み要因

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
NMI		可能	可能
ポート	PORT_IRQn (n = 0~7)	可能	可能
LVD	LVD_LVD1	可能	可能
	LVD_LVD2	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能
USBFS	USBFS_USBR	可能	可能
RTC	RTC_ALM	可能	可能
	RTC_PRD	可能	可能
KINT	KEY_INTKR	可能	可能
AGT1	AGT1_AGTI	可能	可能 (注3)
	AGT1_AGTCMAI	可能	可能
	AGT1_AGTCMBI	可能	可能
ACMPLP	ACMP_LP0	可能	可能
IIC0	IIC0_WUI	可能	不可能
ADC140	ADC140_WCMPPM	不可能	SELSR0 で可能 (注1)、(注3)
	ADC140_WCMPUM	不可能	SELSR0 で可能 (注1)、(注3)
SCI0	SCI0_AM	不可能	SELSR0 で可能 (注1)、(注2)
	SCI0_RXI_OR_ERI	不可能	SELSR0 で可能 (注1)、(注2)
DTC	DTC_COMPLETE	不可能	SELSR0 で可能 (注1)、(注3)
DOC	DOC_DOPCI	不可能	SELSR0 で可能 (注1)
CTSU	CTSU_CTSUFN	不可能	SELSR0 で可能 (注1)

- 注 1. 割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。「12. 割り込みコントローラユニット (ICU)」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、通常モードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられる可能性はトリガ発生のタイミングに依存します。
- 注 2. SCI0\_AM または SCI0\_RXI\_OR\_ERI のいずれか一方のみ選択可能です。
- 注 3. SNZEDCR レジスタで許可されたイベントを使用してはいけません。

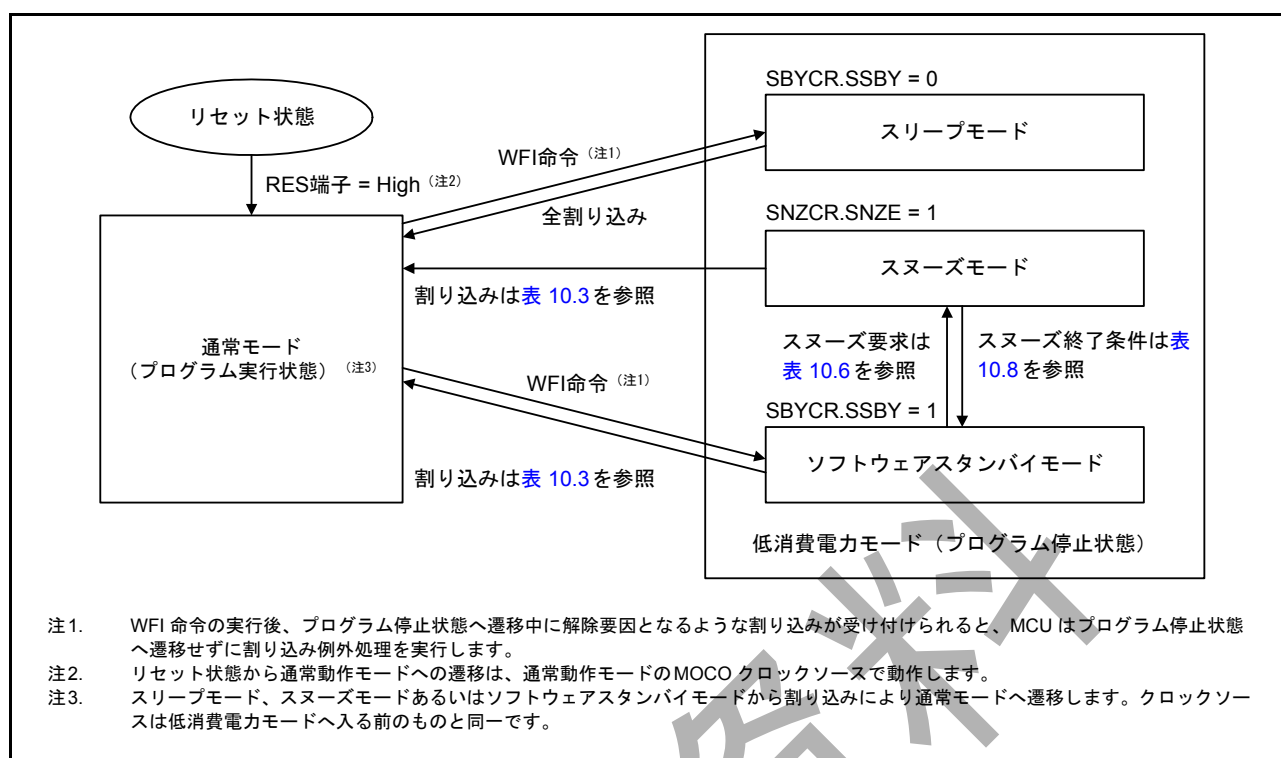


図 10.1 モード遷移

## 10.2 レジスタの説明

### 10.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス SYSTEM.SBYCR 4001 E00Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	SSBY	ソフトウェアスタンバイ	0: スリープモード 1: ソフトウェアスタンバイモード	R/W

#### SSBY ビット (ソフトウェアスタンバイ)

WFI 命令実行後の遷移先を設定します。

SSBY ビットが1の状態では WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。なお、割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは1のままです。0を書き込むことにより、SSBY ビットをクリアできます。

OSTDCR.OSTDE ビットが1の場合、SSBY ビットの設定値は無視されます。SSBY ビットが1であっても、WFI 命令を実行するとスリープモードへ遷移します。

FENTRYR.FENTRY0 ビットが1、または FENTRYR.FENTRYD ビットが1の場合、SSBY ビットの設定値は無視されます。SSBY ビットが1であっても、WFI 命令を実行するとスリープモードへ遷移します。

### 10.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス SYSTEM.MSTPCRA 4001 E01Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	MSTPA22	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b21-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPA22	データトランスファコントローラ モジュールストップ設定 <sup>(注1)</sup>	対象モジュール: DTC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b31-b23	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

注1. MSTPA22 ビットを0から1に書き換える場合、DTC を無効にしてから MSTPA22 ビットを設定してください。

## 10.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス MSTP.MSTPCRB 4004 7000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
MSTPB31	MSTPB30	—	—	—	—	—	—	—	MSTPB22	—	—	MSTPB19	MSTPB18	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	MSTPB11	—	MSTPB9	MSTPB8	—	—	—	—	—	MSTPB2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPB2	コントローラエリアネットワーク0モジュールストップ設定 (注1)	対象モジュール：CAN0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7-b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b8	MSTPB8	I2Cバスインタフェース1モジュールストップ設定	対象モジュール：IIC1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPB9	I2Cバスインタフェース0モジュールストップ設定	対象モジュール：IIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b11	MSTPB11	ユニバーサルシリアルバス2.0 FSインタフェースモジュールストップ設定 (注2)	対象モジュール：USBFS 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17-b12	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b18	MSTPB18	シリアルペリフェラルインタフェース1モジュールストップ設定	対象モジュール：SPI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19	MSTPB19	シリアルペリフェラルインタフェース0モジュールストップ設定	対象モジュール：SPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21-b20	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPB22	シリアルコミュニケーションインタフェース9モジュールストップ設定	対象モジュール：SCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29-b23	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタフェース0モジュールストップ設定	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注 1. MSTPB2 ビットの書き換えは、このビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 CAN クロック (CANMCLK) が 2 サイクル経過してから WFI 命令を実行してください。

注 2. MSTPB11 ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 USB クロック (UCLK) が 2 サイクル経過してから WFI 命令を実行してください。

## 10.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス MSTP.MSTPCRC 4004 7004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	クロック周波数精度測定回路 モジュールストップ設定 (注1)	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPC1	巡回冗長検査演算器モジュール ストップ設定	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b3	MSTPC3	静電容量式タッチセンシング ユニットモジュールストップ 設定	対象モジュール：CTSU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12-b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b13	MSTPC13	データ演算回路モジュールス トップ設定	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPC14	イベントリンクコントローラ モジュールストップ設定	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27-b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b28	MSTPC28	乱数発生器モジュールス トップ設定	対象モジュール：TRNG 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30-b29	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b31	MSTPC31	AESモジュールストップ設定	対象モジュール：AES 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注1. MSTPC0 ビットの書き換えは、このビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、発振器によって出力されるクロックのうち、最も遅いクロックが2サイクル経過してから WFI 命令を実行してください。

## 10.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス MSTP.MSTPCRD 4004 7008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	MSTPD 29	—	—	—	—	—	—	—	—	MSTPD 20	—	—	—	MSTPD 16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MSTPD 14	—	—	—	—	—	—	—	MSTPD 6	MSTPD 5	—	MSTPD 3	MSTPD 2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPD2	非同期汎用タイマ1モジュールストップ設定 (注1)	対象モジュール：AGT1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPD3	非同期汎用タイマ0モジュールストップ設定 (注2)	対象モジュール：AGT0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	MSTPD5	汎用PWMタイマ320モジュールストップ設定	対象モジュール：GPT320 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPD6	汎用PWMタイマ166～161モジュールストップ設定	対象モジュール：GPT166～GPT161 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b7	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b14	MSTPD14	GPT用ポートアウトプットイネーブルモジュールストップ設定	対象モジュール：POEG 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b16	MSTPD16	14ビットA/Dコンバータモジュールストップ設定	対象モジュール：ADC140 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19-b17	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b20	MSTPD20	12ビットD/Aコンバータモジュールストップ設定	対象モジュール：DAC12 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b28-b21	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b29	MSTPD29	低消費電力アナログコンパレータモジュールストップ設定	対象モジュール：ACMPLP 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b30	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

注1. カウントソースがサブクロック発振器または LOCO の場合、MSTPD2 ビットを 1 にしても、AGT1 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT1 レジスタにアクセスするときを除いて、このビットを 1 にする必要があります。

注2. カウントソースがサブクロック発振器または LOCO の場合、MSTPD3 ビットを 1 にしても、AGT0 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT0 レジスタにアクセスするときを除いて、このビットを 1 にする必要があります。



## 10.2.6 動作電力コントロールレジスタ (OPCCR)

アドレス SYSTEM.OPCCR 4001 E0A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	—	OPCM[1:0]	—
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OPCM[1:0]	動作電力制御モード選択	b1 b0 0 0 : High-speedモード 0 1 : Middle-speedモード 1 0 : Low-voltageモード (注1) 1 1 : Low-speedモード	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	OPCMTSF	動作電力制御モード遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. HOCOCR.HCSTP は常に 0 でなければいけません。

OPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるためのレジスタです。OPCCR レジスタを設定することにより、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

動作電力制御モードの変更手順については、[10.5 低消費電力機能](#)を参照してください。

### OPCM[1:0] ビット (動作電力制御モード選択)

通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。

表 10.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

HOCOCR.HCSTP と OSCSF.HOCOSF が 0 (HOCO クロックの発振がまだ安定になっていない) の状態にあるとき、OPCCR.OPCM[1:0] への書き込みは禁止されます。

### OPCMTSF フラグ (動作電力制御モード遷移状態フラグ)

動作電力制御モード切り替え時の切り替え制御状態を表します。このフラグは、OPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。このフラグを読み取って 0 であることを確認してから次の処理を行ってください。

## 10.2.7 サブ動作電力コントロールレジスタ (SOPCCR)

アドレス SYSTEM.SOPCCR 4001 E0AAh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SOPC MTSF	—	—	—	SOPC M
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOPCM	サブ動作電力制御モード選択	0 : Subosc-speed モード以外 1 : Subosc-speed モード	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SOPCMTSF	サブ動作電力制御モード遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SOPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるためのレジスタです。このレジスタを設定することによって、Subosc-speed モードへの遷移、およびこのモードからの復帰が開始されます。Subosc-speed モードは、サブクロック発振器または分周なしの LOCO を使用した場合に限り利用可能です。

動作電力制御モードの変更手順については、10.5 低消費電力機能を参照してください。

### SOPCM ビット (サブ動作電力制御モード選択)

通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。このビットを1にすることで、Subosc-speed モードへ遷移できます。また、このビットを0にすることで、Subosc-speed モード遷移前の動作モード (OPCCR.OPCM[1:0] で設定された動作モード) へ復帰できます。

表 10.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

### SOPCMTSF フラグ (サブ動作電力制御モード遷移状態フラグ)

サブ動作電力制御モード切り替え時の切り替え制御状態を表します。このフラグは、SOPCM ビットが書き換えられると1、モード遷移が完了すると0になります。このフラグを読み取って0であることを確認してから次の処理を行ってください。

表 10.4 は、各動作電力制御モードを示しています。

表 10.4 動作電力制御モード

動作電力制御モード	OPCM[1:0] ビット	SOPCM ビット	消費電力
High-speed モード	00b	0	高 ↓ 低
Middle-speed モード	01b	0	
Low-voltage モード	10b	0	
Low-speed モード	11b	0	
Subosc-speed モード	xxb	1	

## 10.2.8 スヌーズコントロールレジスタ (SNZCR)

アドレス SYSTEM.SNZCR 4001 E092h

	b7	b6	b5	b4	b3	b2	b1	b0
	SNZE	—	—	—	—	—	SNZDTCEN	RXDREQEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXDREQEN	RXD0 スヌーズ要求許可	0: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを無視 1: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを検出	R/W
b1	SNZDTCEN	スヌーズモード時の DTC 許可	スヌーズモード時に DTC 動作を許可 0: DTC 動作を禁止 1: DTC 動作を許可	R/W
b6-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	SNZE	スヌーズモード許可	0: スヌーズモードを禁止 1: スヌーズモードを許可	R/W

### RXDREQEN ビット (RXD0 スヌーズ要求許可)

ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジを検出するか否かを指定します。このビットは調歩同期式モードでのみ使用可能です。RXD0 端子の立ち下がりエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジが検出されると、MCU はスヌーズモードへ遷移します。

### SNZDTCEN ビット (スヌーズモード時の DTC 許可)

スヌーズモード時に DTC と SRAM を使用するかどうかを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、IELSRn (ICU イベントリンク設定レジスタ n) の設定によって、DTC を起動することができます。

### SNZE ビット (スヌーズモード許可)

ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可するか否かを指定します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、ソフトウェアスタンバイモード時に表 10.6 に示すトリガによって、MCU はスヌーズモードへ遷移します。ソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットをいったんクリアしてから再設定してください。詳細は、10.8 スヌーズモードを参照してください。

## 10.2.9 スヌーズ終了コントロールレジスタ (SNZEDCR)

アドレス SYSTEM.SNZEDCR 4001 E094h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCI0UMTED	—	—	AD0UMTED	AD0MATED	DTCNZRED	DTCZRED	AGTUNFED
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AGTUNFED	AGT1アンダーフロー時スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b1	DTCZRED	最後のDTC送信完了時スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b2	DTCNZRED	最後以外のDTC送信完了時スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b3	AD0MATED	ADC140コンペアマッチスヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b4	AD0UMTED	ADC140コンペア不一致スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SCI0UMTED	SCI0アドレス不一致スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W

表 10.8 に示すトリガの1つをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用するには、SNZEDCR レジスタの対応するビットを1にしてください。

### AGTUNFED ビット (AGT1 アンダーフロー時スヌーズ終了許可)

AGT1 アンダーフローによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「20. 非同期汎用タイマ (AGT)」を参照してください。

### DTCZRED ビット (最後の DTC 送信完了時スヌーズ終了許可)

最後の DTC 送信完了 (すなわち、DTC の CRA または CRB レジスタが 0) による、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「14. データトランスファコントローラ (DTC)」を参照してください。

### DTCNZRED ビット (最後以外の DTC 送信完了時スヌーズ終了許可)

各 DTC 送信完了 (すなわち、DTC の CRA または CRB レジスタが 0 以外) による、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「14. データトランスファコントローラ (DTC)」を参照してください。

### AD0MATED ビット (ADC140 コンペアマッチスヌーズ終了許可)

変換結果が期待値と一致した場合に、ADC140 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「30. 14 ビット A/D コンバータ (ADC14)」を参照してください。

### AD0UMTED ビット (ADC140 コンペア不一致スヌーズ終了許可)

変換結果が期待値と一致しない場合に、ADC140 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「30. 14 ビット A/D コンバータ (ADC14)」を参照してください。

### SCI0UMTED ビット (SCI0 アドレス不一致スヌーズ終了許可)

ソフトウェアスタンバイモード時に受信したアドレスが期待値と一致しない場合に、SCI0 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「25. シリアルコミュニケーションインタフェース (SCI)」を参照してください。調歩同期式モード以外では、このビットを 1 にしないでください。

### 10.2.10 スヌーズ要求コントロールレジスタ (SNZREQCR)

アドレス SYSTEM.SNZREQCR 4001 E098h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	SNZREQEN30	SNZREQEN29	SNZREQEN28	—	—	SNZREQEN25	SNZREQEN24	SNZREQEN23	—	—	—	—	—	SNZREQEN17	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	SNZREQEN7	SNZREQEN6	SNZREQEN5	SNZREQEN4	SNZREQEN3	SNZREQEN2	SNZREQEN1	SNZREQEN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SNZREQEN0	スヌーズ要求許可0	IRQ0 端子のスヌーズ要求を許可 0 : スヌーズ要求を禁止 1 : スヌーズ要求を許可	R/W
b1	SNZREQEN1	スヌーズ要求許可1	IRQ1 端子のスヌーズ要求を許可 0 : スヌーズ要求を禁止 1 : スヌーズ要求を許可	R/W
b2	SNZREQEN2	スヌーズ要求許可2	IRQ2 端子のスヌーズ要求を許可 0 : スヌーズ要求を禁止 1 : スヌーズ要求を許可	R/W
b3	SNZREQEN3	スヌーズ要求許可3	IRQ3 端子のスヌーズ要求を許可 0 : スヌーズ要求を禁止 1 : スヌーズ要求を許可	R/W
b4	SNZREQEN4	スヌーズ要求許可4	IRQ4 端子のスヌーズ要求を許可 0 : スヌーズ要求を禁止 1 : スヌーズ要求を許可	R/W
b5	SNZREQEN5	スヌーズ要求許可5	IRQ5 端子のスヌーズ要求を許可 0 : スヌーズ要求を禁止 1 : スヌーズ要求を許可	R/W
b6	SNZREQEN6	スヌーズ要求許可6	IRQ6 端子のスヌーズ要求を許可 0 : スヌーズ要求を禁止 1 : スヌーズ要求を許可	R/W
b7	SNZREQEN7	スヌーズ要求許可7	IRQ7 端子のスヌーズ要求を許可 0 : スヌーズ要求を禁止 1 : スヌーズ要求を許可	R/W
b16-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17	SNZREQEN17	スヌーズ要求許可17	KRのスヌーズ要求を許可 0 : スヌーズ要求を禁止 1 : スヌーズ要求を許可	R/W
b22-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	SNZREQEN23	スヌーズ要求許可23	ACMPLPのスヌーズ要求を許可 0 : スヌーズ要求を禁止 1 : スヌーズ要求を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b24	SNZREQEN24	スヌーズ要求許可24	RTCアラームのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b25	SNZREQEN25	スヌーズ要求許可25	RTC周期のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b27-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	SNZREQEN28	スヌーズ要求許可28	AGT1アンダーフローのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b29	SNZREQEN29	スヌーズ要求許可29	AGT1コンペアマッチAのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b30	SNZREQEN30	スヌーズ要求許可30	AGT1コンペアマッチBのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SNZREQCR レジスタは、ソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのトリガを制御します。WUPEN レジスタ（「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照）の設定によって、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR レジスタの対応するビットが1であっても、そのトリガが発生するとMCUは通常モードへ遷移します。WUPEN レジスタの設定値は、SNZREQCR レジスタの設定値よりも常に優先順位は高くなります。詳細は、[10.8 スヌーズモード](#)と「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

### 10.2.11 フラッシュ動作コントロールレジスタ (FLSTOP)

アドレス SYSTEM.FLSTOP 4001 E09Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	FLSTP F	—	—	—	FLSTO P
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLSTOP	フラッシュメモリ動作ON/OFF選択	0: コードフラッシュメモリとデータフラッシュメモリは動作 1: コードフラッシュメモリとデータフラッシュメモリは停止	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	FLSTPF	フラッシュメモリ動作ステータスフラグ	0: 遷移完了 1: 遷移中 (フラッシュ停止状態からフラッシュ動作状態へ、またはフラッシュ動作状態からフラッシュ停止状態へ)	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### FLSTOP ビット (フラッシュメモリ動作 ON/OFF 選択)

フラッシュメモリを有効または無効にします。FLSTOP ビットは SRAM で実行されるプログラムによって書き込む必要があります。FLSTOP ビットが 1 のときに割り込みを使用する場合は、SRAM 内に割り込みベクタを配置してください。Low-voltage モードが選択されていない場合、このビットを 0 にしてください。

- 注 1. フラッシュメモリの動作を開始するために FLSTOP ビットの値を 1 から 0 に変更した場合、フラッシュメモリへのアクセスを再開する前に、FLSTPF フラグが 0 であること、および OSCSF.HOCOSF が 1 であることを確認してください。その後、命令はコードフラッシュメモリで実行可能になります。
- 注 2. HOCOCR.HCSTP と OSCSF.HOCOSF が 0 (HOCO は発振安定待ちカウント中) の状態にあるとき、FLSTOP.FLSTOP への書き込みは禁止されます。

#### FLSTPF フラグ (フラッシュメモリ動作ステータスフラグ)

フラッシュ停止状態からフラッシュ動作状態へ、またはフラッシュ動作状態からフラッシュ停止状態への遷移状態を表します。遷移が完了したとき、このフラグを読むと 0 が読めます。フラッシュメモリ停止後、再度フラッシュメモリを使用する場合は、FLSTPF フラグが 0 であることを確認してから処理を進めてください。

## 10.2.12 システムコントロール OCD コントロールレジスタ (SYOCD CR)

アドレス SYSTEM.SYOCD CR 4001 E40Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	DBGEN	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DBGEN	デバッグ有効	0 : オンチップデバッグは無効 1 : オンチップデバッグは有効 オンチップデバッグモードで最初に1にしてください。	R/W

**DBGEN ビット (デバッグ有効)**

オンチップデバッグモードを有効にします。このビットは、オンチップデバッグモードで最初に1にする必要があります。

[1になる条件]

- デバッグの接続時に1を書いたとき

[0になる条件]

- パワーオンリセットが発生したとき
- 0を書いたとき



### 10.3 クロックの切り替えによる消費電力の低減

SCKDIVCR.ICK[2:0]、PCKB[2:0]、および PCKD[2:0] の各ビットを設定すると、クロック周波数が切り替わります。CPU、DTC、フラッシュ、および SRAM は、ICK[2:0] ビットで設定された動作クロックを使用します。

周辺モジュールは、PCKB[2:0] および PCKD[2:0] の各ビットで設定された動作クロックを使用します。

フラッシュメモリインタフェースは、ICK[2:0] ビットで設定された動作クロックを使用します。

詳細は、「8. クロック発生回路」を参照してください。

### 10.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRD レジスタの MSTPmi ビット (m = A ~ D; i = 31 ~ 0) を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は動作を継続します。MSTPmi ビットを 0 にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。

モジュールストップ状態では、モジュール内部の状態が保持されます。

リセット解除後は、DTC 以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。そうでないと、そのモジュールに対するデータの読み出し/書き込みやモジュールの動作は保証されません。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

### 10.5 低消費電力機能

動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、およびスヌーズモード時の消費電力を削減できます。

#### 10.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、電圧範囲や周波数範囲などの動作条件が仕様範囲内に収まっていることを必ず確認してください。

動作電力制御モードの切り替え手順例を以下に示します。

表 10.5 各モードで利用可能な発振器

モード	発振器					
	高速オンチップ オシレータ	中速オンチップ オシレータ	低速オンチップ オシレータ	メインクロック 発振器	サブクロック 発振器	IWDT専用 オンチップ オシレータ
High-Speed	可能	可能	可能	可能	可能	可能
Middle-Speed	可能	可能	可能	可能	可能	可能
Low-Voltage	可能	可能	可能	可能	可能	可能
Low-Speed	可能	可能	可能	可能	可能	可能
Subosc-Speed	不可能	不可能	可能	不可能	可能	可能

**(1) 消費電力が大きいモードから小さいモードへ切り替える場合**

例 1 : High-speed モードから Low-speed モードへの切り替え

(High-speed モードで動作)

↓

発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最大動作周波数未満とする。

↓

Low-speed モードで不要な発振器をオフにする。

↓

OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

OPCCR.OPCM ビットを 1b (Low-speed モード) にする。

↓

OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

(Low-speed モードで動作)

例 2 : High-speed モードから Subosc-speed モードへの切り替え

(High-speed モードで動作)

↓

クロックソースをサブクロック発振器に切り替える。HOCO、MOCO、およびメインクロック発振器をオフにする。

↓

サブクロック発振器以外の全クロックソースが停止していることを確認する。

↓

SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

SOPCCR.SOPCM ビットを 1 (Subosc-speed モード) にする。

↓

SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

(Subosc-speed モードで動作)

**(2) 消費電力が小さいモードから大きいモードへ切り替える場合**

例 1 : Subosc-speed モードから High-speed モードへの切り替え

(Subosc-speed モードで動作)

↓

SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

SOPCCR.SOPCM ビットを 0 (High-speed モード) にする。

↓

SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

High-speed モードに必要なすべての発振器をオンにする。

↓

各クロックの周波数を、High-speed モードにおける最大動作周波数未満とする。

↓

(High-speed モードで動作)

例 2 : Low-speed モードから High-speed モードへの切り替え

(Low-speed モードで動作)

↓

OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

OPCCR.OPCM ビットを 00b (High-speed モード) にする。

↓

OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

High-speed モードに必要なすべての発振器をオンにする。

↓

各クロックの周波数を、High-speed モードにおける最大動作周波数未満とする。

↓

(High-speed モードで動作)

## 10.5.2 動作範囲

### High-speed モード

フラッシュリード時の ICLK の最大動作周波数は 32MHz です。フラッシュリード時の動作電圧範囲は 2.4 ~ 5.5V です。ただし ICLK では、動作電圧が 2.4V 以上かつ 2.7V 未満の場合、フラッシュリード時の最大動作周波数は 16MHz になります。

フラッシュプログラム/イレース時では、動作周波数範囲は 1 ~ 32MHz で、動作電圧範囲は 2.7 ~ 5.5V です。

図 10.2 に、High-speed モードにおける動作電圧と動作周波数を示します。

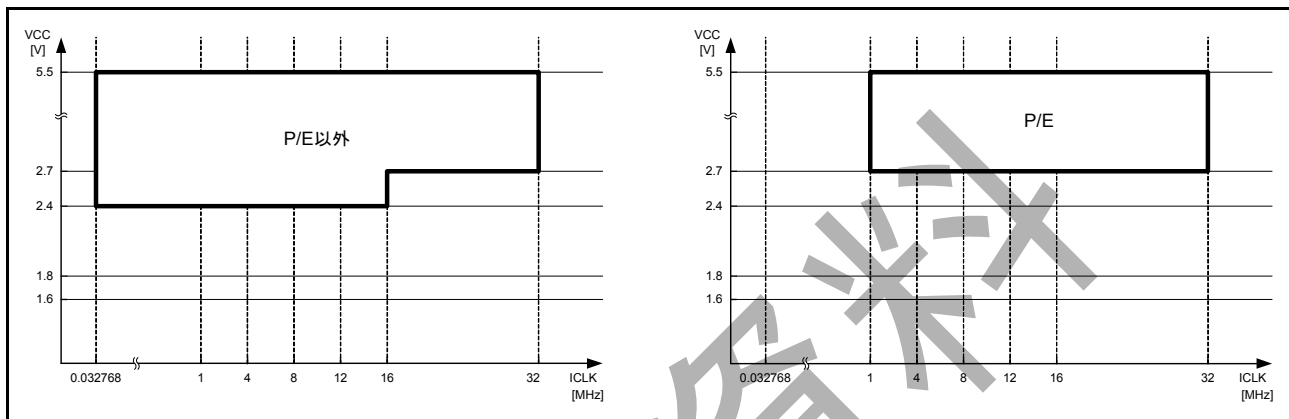


図 10.2 High-speed モードにおける動作電圧と動作周波数

### Middle-speed モード

このモードでは、同じ条件下で High-speed モードよりも消費電力を低減できます。

フラッシュリード時の ICLK の最大動作周波数は 12MHz です。フラッシュリード時の動作電圧範囲は 1.8 ~ 5.5V です。ただし ICLK では、動作電圧が 1.8V 以上かつ 2.4V 未満の場合、フラッシュリード時の最大動作周波数は 8MHz になります。

フラッシュプログラム/イレース時では、動作周波数範囲は 1 ~ 12MHz で、動作電圧範囲は 1.8 ~ 5.5V です。動作電圧が 1.8V 以上かつ 2.4V 未満の場合、フラッシュプログラム/イレース時の最大動作周波数は 8MHz になります。

図 10.3 に、Middle-speed モードにおける動作電圧と動作周波数を示します。

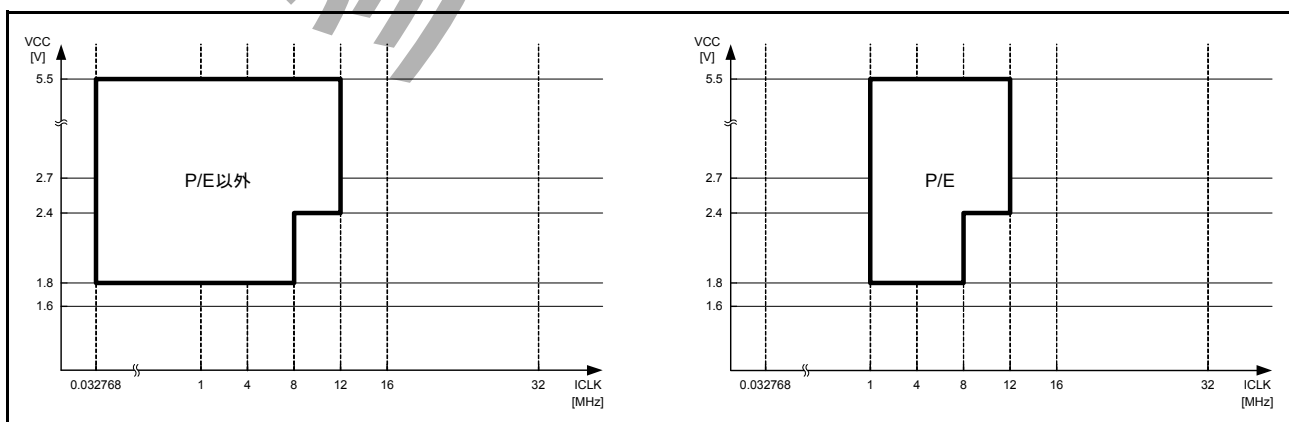


図 10.3 Middle-speed モードにおける動作電圧と動作周波数

### Low-voltage モード

リセット解除後、このモードで動作が開始されます。

フラッシュリード時の ICLK の最大動作周波数は 4MHz です。フラッシュリード時の動作電圧範囲は 1.6 ~ 5.5V です。

フラッシュプログラム/イレース時では、動作周波数範囲は 1 ~ 4MHz で、動作電圧範囲は 1.8 ~ 5.5V です。

図 10.4 に、Low-voltage モードにおける動作電圧と動作周波数を示します。

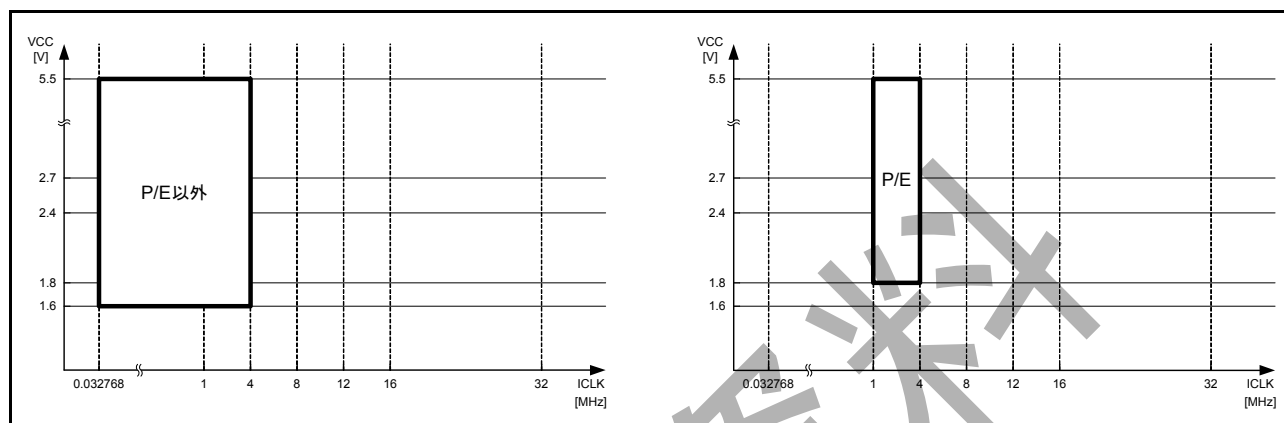


図 10.4 Low-voltage モードにおける動作電圧と動作周波数

### Low-speed モード

フラッシュリード時の ICLK の最大動作周波数は 1MHz です。フラッシュリード時の動作電圧範囲は 1.8 ~ 5.5V です。

フラッシュメモリの P/E 動作は禁止です。

図 10.5 に、Low-speed モードにおける動作電圧と動作周波数を示します。

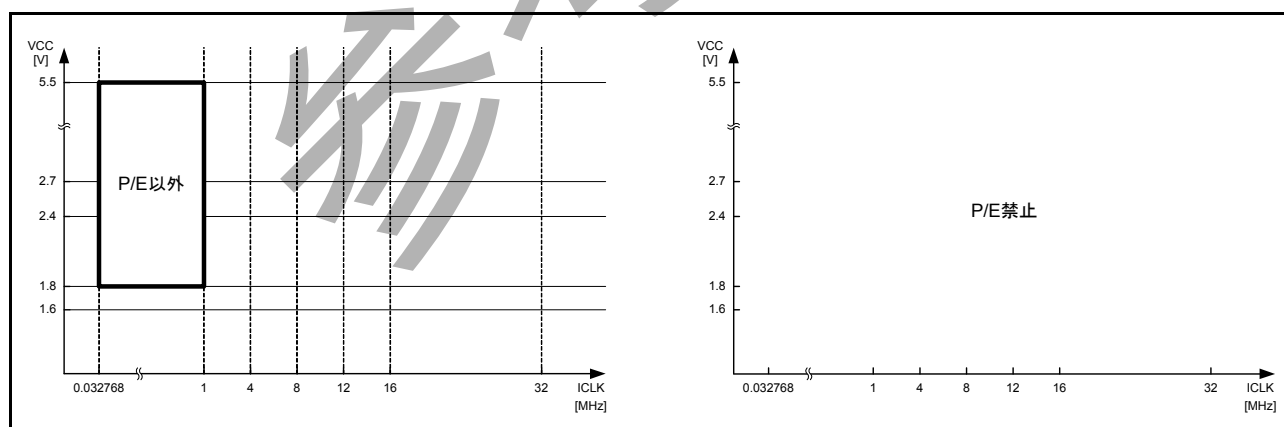


図 10.5 Low-speed モードにおける動作電圧と動作周波数

### Subosc-speed モード

フラッシュリード時の ICLK の最大動作周波数は 37.6832kHz です。フラッシュリード時の動作電圧範囲は 1.8 ~ 5.5V です。フラッシュメモリの P/E 動作は禁止です。

サブクロック発振器と低速オンチップオシレータ以外の発振器は使用禁止です。

図 10.6 に、Subosc-speed モードにおける動作電圧と動作周波数を示します。

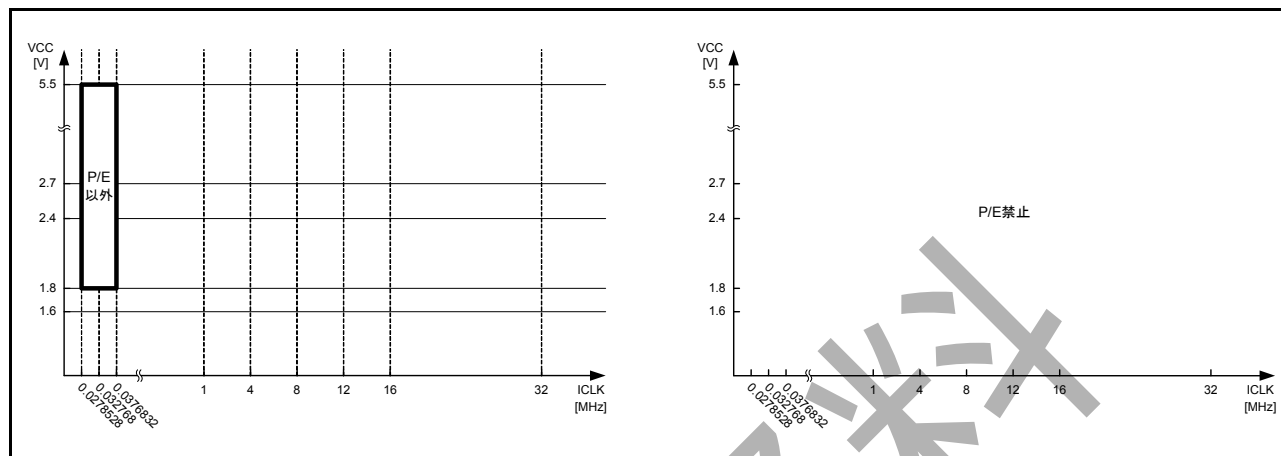


図 10.6 Subosc-speed モードにおける動作電圧と動作周波数

## 10.6 スリープモード

### 10.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止) の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCS1PR.SLCSTP ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。同様に、WDT がレジスタスタートモードであり、かつ WDTCS1PR.SLCSTP ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

参考資料

## 10.6.2 スリープモードの解除

スリープモードは、すべての割り込み、RES 端子リセット、パワーオンリセット、電圧監視リセット、SRAM パリティエラーリセット、あるいは、IWDT または WDT アンダーフローによるリセットによって解除されます。

1. 割り込みによる解除  
利用可能な割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
  2. RES 端子リセットによる解除  
RES 端子を Low にすると、MCU はリセット状態になります。「41. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
  3. IWDT リセットによる解除  
IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。
    - $OFS0.IWDTSTRT = 0$  かつ  $OFS0.IWDTSTPCTL = 1$
  4. WDT リセットによる解除  
WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件においては、通常モード時にカウントしている場合でも WDT はスリープモードで停止して、スリープモードを解除するための内部リセットが発生しません。
    - $OFS0.WDTSTRT = 0$  (オートスタートモード) かつ  $OFS0.WDTSTPCTL = 1$
    - $OFS0.WDTSTRT = 1$  (レジスタスタートモード) かつ  $WDTICSTPR.SLCSTP = 1$
  5. スリープモードで利用可能な他のリセットによる解除  
その他の利用可能なリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。
- 注. 割り込みの正しい設定方法については、「12. 割り込みコントローラユニット (ICU)」を参照してください。



## 10.7 ソフトウェアスタンバイモード

### 10.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。表 10.2 には、各内蔵周辺機能と発振器の状態が示されています。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 10.3 を、ソフトウェアスタンバイモードから復帰させる方法については、12.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。割り込みを使用してソフトウェアスタンバイモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、およびスヌーズモード時に IWDT カウント停止) の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、およびスヌーズモード時に IWDT カウント継続) の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

MCU がソフトウェアスタンバイモードへ遷移すると、WDT はカウントを停止します。

OSTDCR.OSTDE = 1 (発振停止検出機能が有効) の状態で、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、発振停止検出機能を無効 (OSTDCR.OSTDE = 0) にした後、WFI 命令を実行してください。OSTDCR.OSTDE = 1 の状態で WFI 命令を実行すると、SBYCR.SSBY = 1 であっても、MCU はスリープモードへ遷移します。また、フラッシュメモリのプログラム/イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム/イレース処理が完了してから WFI 命令を実行してください。

### 10.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、表 10.3 に示す利用可能な割り込み、RES 端子リセット、パワーオンリセット、電圧監視リセット、または IWDT アンダーフローによるリセットによって解除されます。

ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰します。ソフトウェアスタンバイモードから復帰させる方法については、12.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除  
利用可能な割り込み要求 (表 10.3 を参照) が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。
2. RES 端子リセットによる解除  
RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルト状態で動作している発振器が発振を開始します。「41. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除  
パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除  
電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
5. IWDT リセットによる解除  
IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
  - $OFS0.IWDTSTRT = 0$  かつ  $OFS0.IWDTSTPCTL = 1$

### 10.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 10.7 に示します。

この例では、通常モードにおいて、ICU の IRQCRI.IRQMD[1:0] ビットが 01b (立ち下がりエッジ) の状態で IRQn 端子の割り込みを受け付けた後、IRQCRI.IRQMD[1:0] ビットを 10b (立ち上がりエッジ) にしています。続いて、SBYCR.SSBY ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。図 10.7 の発振安定時間については、「41. 電気的特性」に示されています。

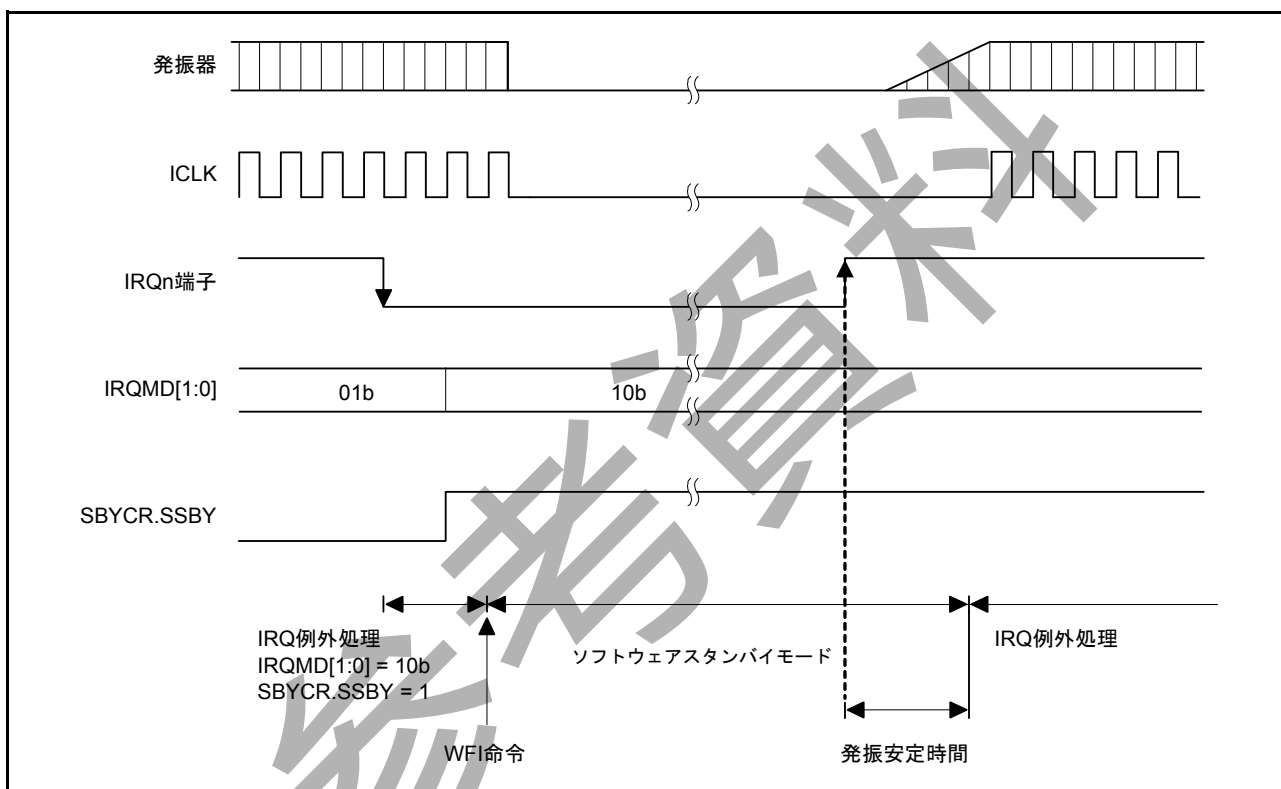


図 10.7 ソフトウェアスタンバイモードの応用例

## 10.8 スヌーズモード

### 10.8.1 スヌーズモードへの遷移

図 10.8 に、スヌーズモードエントリの構成を示します。ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。スヌーズモードで動作可能な周辺モジュールを、表 10.2 各低消費電力モードの動作状態に示します。また、スヌーズモード時の DTC の動作は、SNZCR.DTCEN ビットで選択できます。

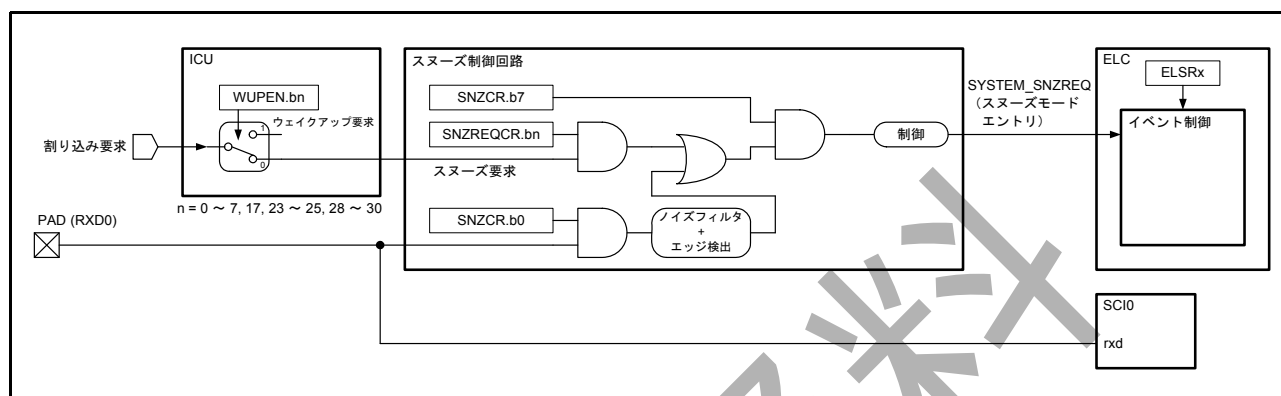


図 10.8 スヌーズモードエントリの構成

表 10.6 に、ソフトウェアスタンバイモードからスヌーズモードへの切り替えに利用可能なスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、SNZREQCR レジスタの対応する SNZREQENn ビット、または SNZCR レジスタの RXDREQEN ビットを設定する必要があります。同時に複数のスヌーズ要求を有効にしないでください。

表 10.6 スヌーズモードへの切り替えに利用可能なスヌーズ要求

スヌーズ要求	コントロールレジスタ	
	レジスタ名	ビット
PORT_IRQn (n = 0~7)	SNZREQCR	SNZREQENn (n = 0~7)
KEY_INTKR	SNZREQCR	SNZREQEN17
ACMP_LP0	SNZREQCR	SNZREQEN23
RTC_ALM	SNZREQCR	SNZREQEN24
RTC_PRD	SNZREQCR	SNZREQEN25
AGT1_AGTI	SNZREQCR	SNZREQEN28
AGT1_AGTCMAI	SNZREQCR	SNZREQEN29
AGT1_AGTCMBI	SNZREQCR	SNZREQEN30
RXD0 立ち下がリエッジ	SNZCR	RXDREQEN (注1)

注 1. 調歩同期モードでない場合、RXDREQEN ビットを 1 にしないでください。

スヌーズモード時に DTC を使用する場合を除き、DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

## 10.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能な割り込み要求、またはすべてのリセットで解除されます。各モードを解除するために使用可能な要求を、表 10.3 に示します。スヌーズモードの解除後、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 レジスタで選択した割り込み要求によって引き起こされた動作が、スヌーズモードを解除します。スヌーズモードを解除するための割り込みは、対応する割り込み処理の NVIC とリンクさせるため、IELSRn (n = 0 ~ 31) で選択する必要があります。SELSR0 レジスタと IELSRn レジスタの設定方法については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

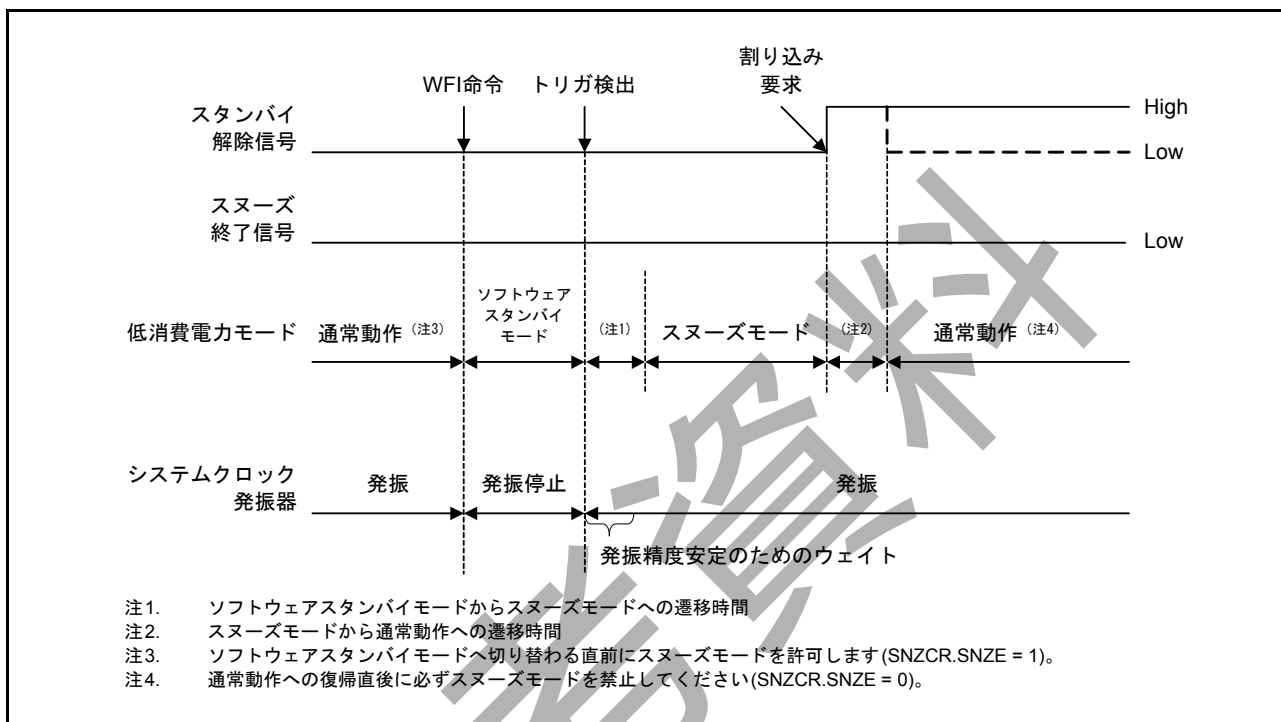


図 10.9 スヌーズモード時に割り込み要求信号が発生する場合

### 10.8.3 ソフトウェアスタンバイモードへの復帰

表 10.7 に、ソフトウェアスタンバイモードへ復帰するためのトリガとして使用可能なスヌーズ終了要求を示します。スヌーズ終了要求は、スヌーズモードでのみ利用可能です。MCU がスヌーズモード状態でないときに要求が発生しても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスヌーズモードからソフトウェアスタンバイモードへの切り替えを行います。

表 10.8 に、スヌーズ終了条件を構成するスヌーズ終了要求と周辺モジュールの条件を示します。CTSU、SCI0、ADC140、および DTC は、それらの動作が完了するまで MCU をスヌーズモード状態に保ちます。ただし、ソフトウェアスタンバイモードへの復帰トリガとしての AGT1 アンダーフローは、SCI0 の動作完了を待たずにスヌーズモードを解除します。

図 10.10 に、スヌーズモードからソフトウェアスタンバイモードへ遷移する際のタイミング図を示します。このようなモード遷移は、SNZEDCR レジスタで設定したスヌーズ終了要求に従って発生します。ソフトウェアスタンバイモードへ復帰後、スヌーズ要求は自動的にクリアされます。

表 10.7 利用可能なスヌーズ終了要求（ソフトウェアスタンバイモードへの復帰トリガ）

スヌーズ終了要求	許可/禁止制御	
	レジスタ名	ビット
AGT1 アンダーフローまたは測定終了 (AGT1_AGTI)	SNZEDCR	b0
DTC 転送終了時 (DTC_COMPLETE)	SNZEDCR	b1
DTC 転送終了前 (DTC_TRANSFER)	SNZEDCR	b2
ADC140 ウィンドウ A/B コンペアマッチ (ADC140_WCMPPM)	SNZEDCR	b3
ADC140 ウィンドウ A/B コンペア不一致 (ADC140_WCMPUM)	SNZEDCR	b4
SCI0 アドレス不一致 (SCI0_DCUF)	SNZEDCR	b7

表 10.8 スヌーズ終了条件

スヌーズ終了要求発生時の動作モジュール	スヌーズ終了要求	
	AGT1 アンダーフロー	AGT1 アンダーフロー以外
DTC	左記の全モジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。	左記の全モジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。
ADC140		
CTSU		
SCI0	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	
上記以外	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	

注 . DTC を用いて ADC140、CTSU、または SCI を起動した場合は、スヌーズ終了要求の発生後、MCU はソフトウェアスタンバイモードへ遷移します。

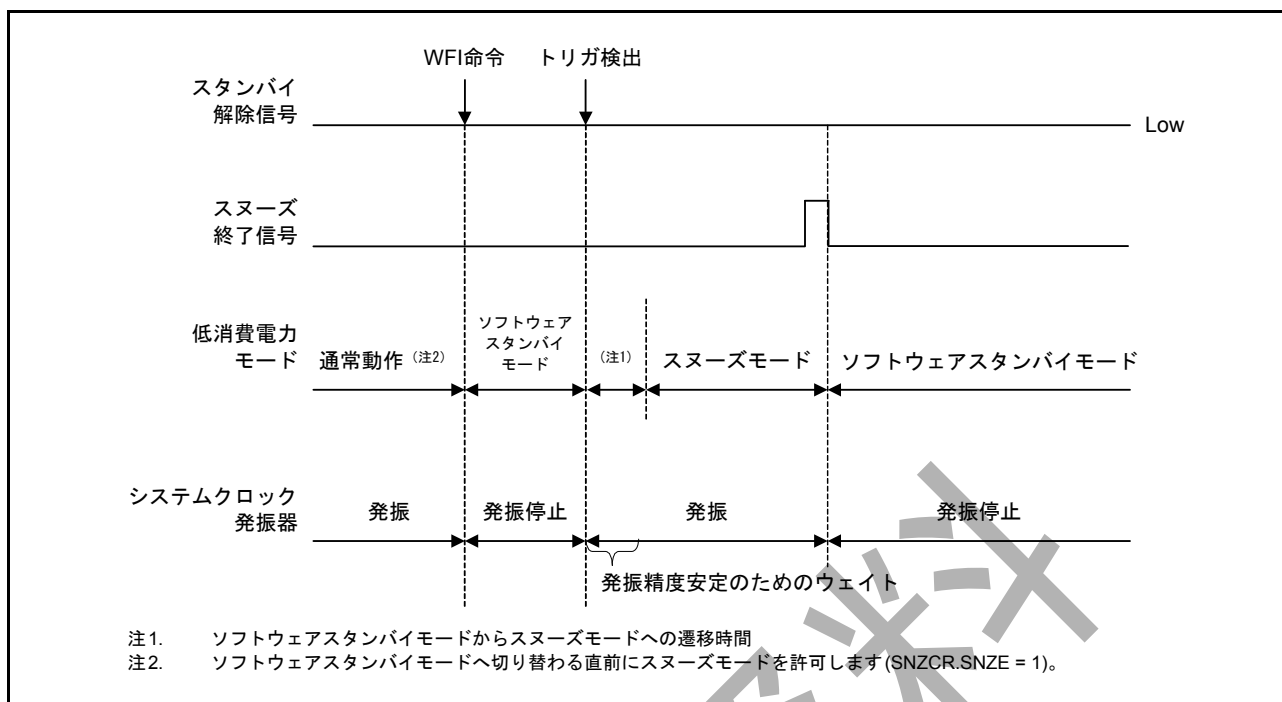


図 10.10 スヌーズモード時に割り込み要求信号が発生しない場合

### 10.8.4 スヌーズモードの動作例

図 10.11 に、スヌーズモードで ELC を使用する場合の設定例を示します。

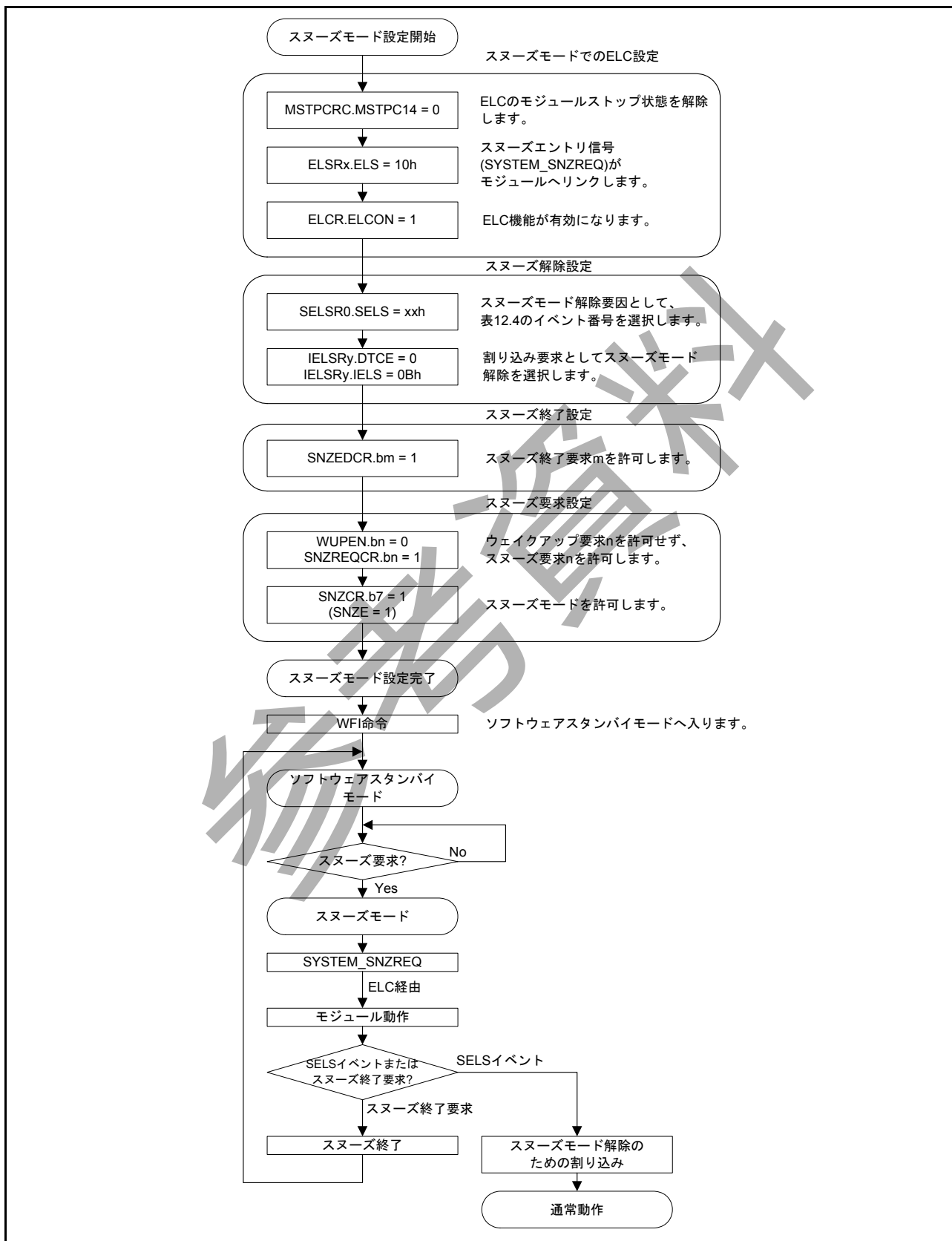


図 10.11 スヌーズモードで ELC を使用するための設定例



本 MCU は、CPU を介さずに SCI0 の調歩同期式モードでデータの送受信が可能です。表 10.9 および表 10.10 に、スリープモードにおける SCI0 の最大転送速度を示します。スリープモードで SCI0 を使用する場合は、High-speed モード、Middle-speed モード、Low-speed モードのいずれかを使用してください。Low-voltage モードと Subosc-speed モードは使用しないでください。

表 10.9 および表 10.10 は、スリープモードにおける SCI0 の最大転送速度です。

#### High-speed モード、Middle-speed モード、Low-speed モード

表 10.9 HOCO :  $\pm 1.0\%$  ( $T_a = -20 \sim 85^\circ\text{C}$ )

(単位 : bps)

ICLK、PCLKB、PCLKDの最大分周比	HOCO周波数			
	24MHz	32MHz	48MHz	64MHz
1	9600	9600	—	
2			4800	2400
4				
8	4800	4800	—	
16				
32				
64				

#### High-speed モード、Middle-speed モード、Low-speed モード

表 10.10 HOCO :  $\pm 1.5\%$  ( $T_a = -40 \sim -20^\circ\text{C}$ ,  $85 \sim 105^\circ\text{C}$ )

(単位 : bps)

ICLK、PCLKB、PCLKDの最大分周比	HOCO周波数			
	24MHz	32MHz	48MHz	64MHz
1	2400	—		
2		2400		
4		—		
8		—		
16		—		
32		—		
64		—		

図 10.12 に、スヌーズモードエントリで SCI0 を使用する場合の設定例を示します。

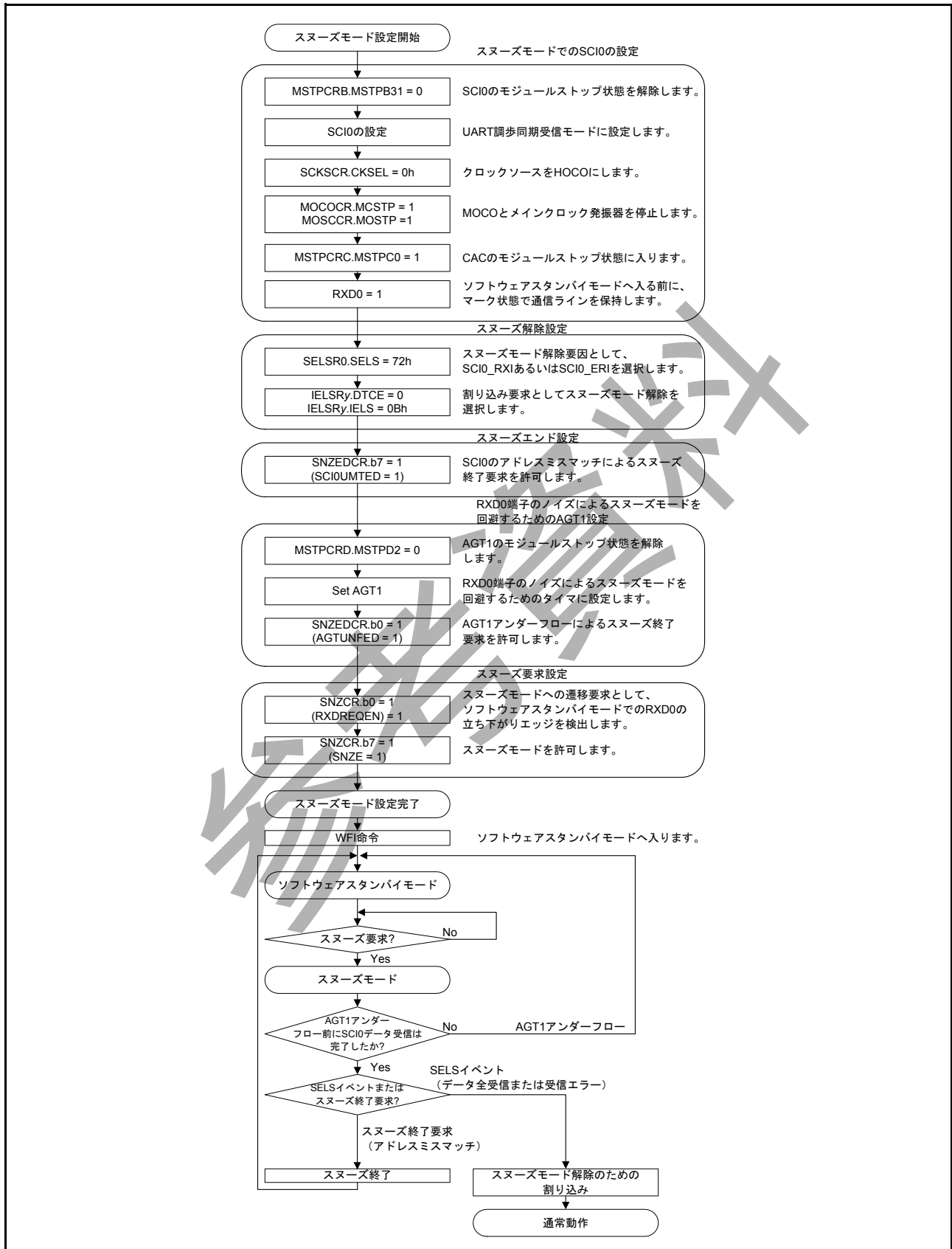


図 10.12 スヌーズモードエントリで SCI0 を使用するための設定例

## 10.9 使用上の注意事項

### 10.9.1 レジスタアクセス

(1) 下記の条件のいずれかに当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- “SYSTEM” という周辺名をもつ全レジスタ

[条件]

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1 (動作電力制御モードへの遷移中)
- WFI 命令の実行から、通常モードへ復帰するまでの期間中
- FENTRYR.FENTRY0 = 1 または FENTRYR.FENTRYD = 1 (フラッシュ P/E モード、データフラッシュ P/E モード)
- FLSTOP.FLSTPF = 1 (遷移中)

### (2) クロック関連レジスタの有効な設定値

表 10.11 と表 10.12 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。これら有効な設定値以外を書き込まないようにしてください。書き込んでも無視されます。また、各レジスタには、動作電力制御モード以外の特定の条件下で禁止される設定値もあります。各レジスタに対する他の条件については、「8. クロック発生回路」を参照してください。

表 10.11 クロック関連レジスタの有効な設定値 (1)

モード	有効な設定値						
	SCKSCR CKSEL[2:0] CKOCR CKOSEL[2:0]	SCKDIVCR ICK[2:0]	HOCOVR HCSTP	MOCOVR MCSTP	LOCOVR LCSTP	MOSCCR MOSTP	SOSCCR SOSTP
高速 中速 低電圧 低速	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (MOSC) 100b (SOSC)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)
Subosc速度	010b (LOCO) 100b (SQSC)	000b (1/1)	1 (停止)	1 (停止)	0 (動作) 1 (停止)	1 (停止)	0 (動作) 1 (停止)

表 10.12 クロック関連レジスタの有効な設定値 (2)

動作発振器	有効な設定値	
	SOPCCR SOPCM	OPCCR OPCM[1:0]
高速オンチップオシレータ	0	00b, 01b, 10b, 11b
中速オンチップオシレータ		
メインクロック発振器		
低速オンチップオシレータ	0, 1	00b, 01b, 10b, 11b
サブクロック発振器		
IWDT専用オンチップオシレータ		

(3) 下記の条件に当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SCKSCR, OPCCR

[条件]

- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(4) DTC によって、下記のレジスタに書き込まないでください。

[レジスタ]

- MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD

(5) スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

[レジスタ]

- SNZCR, SNZEDCR, SNZREQCR

(6) 下記の条件のいずれかに当てはまる場合、FLSTOP.FLSTOP ビットを 1 に設定しないでください。

[条件]

- SOPCCR.SOPCM = 0, OPCCR.OPCM[1:0] = 00b (High-speed モード)
- SOPCCR.SOPCM = 0, OPCCR.OPCM[1:0] = 01b (Middle-speed モード)
- SOPCCR.SOPCM = 0, OPCCR.OPCM[1:0] = 11b (Low-speed モード)
- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(7) PRCR.PRC1 ビットが 0 の場合、下記のレジスタに対する書き込みは無効です。

[レジスタ]

- SBYCR, SNZCR, SNZEDCR, SNZREQCR, FLSTOP, OPCCR, SOPCCR

### 10.9.2 I/O ポートの状態

ソフトウェアスタンバイモードおよびスヌーズモード（スヌーズモード時に書き換える場合を除く）における I/O ポートの状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、供給電流は低減されません。

### 10.9.3 DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「[14. データトランスファコントローラ \(DTC\)](#)」を参照してください。

### 10.9.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因や DTC の起動要因をクリアできません。そのため、事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

### 10.9.5 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（スリープモードまたはソフトウェアスタンバイモード）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex®-M0+ コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットは設定しないでください。

### 10.9.6 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻すことによって、書き込みの完了を確認することが推奨されます。

### 10.9.7 スリープモード/スヌーズモード時の DTC による WDT/IWDT レジスタの書き込みについて

スリープモードやスヌーズモードに遷移すると WDT や IWDT が停止します。停止中は DTC によって、WDT または IWDT 関連のレジスタを書き換えしないでください。

### 10.9.8 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードに遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCU はスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、必ずスヌーズモードで不要な発振器を無効にしてください。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

### 10.9.9 RXD0 の立ち下がりエッジによるスヌーズモードエントリ

SNZCR.RXDREQEN ビットが 1 の場合、RXD0 端子のノイズが原因で、MCU がソフトウェアスタンバイモードからスヌーズモードへ遷移する場合があります。また RXD0 端子のノイズによって、スヌーズモード時に後続の RXD0 データを受信する可能性があります。ノイズ発生後、MCU が RXD0 データを受信しなければ、割り込み（SCI0\_ERI や SCI0\_RXI など）もアドレス不一致イベントも発生せず、MCU はスヌーズモードを維持します。この問題を避けるには、スヌーズモードで SCI0 を使用する場合、AGT1 アンダーフロー割り込みを用いてソフトウェアスタンバイモードまたは通常モードへ復帰するようにしてください。ただし SCI 通信中は、ソフトウェアスタンバイモードへの復帰要因として AGT1 アンダーフローを使用しないでください。これは、SCI0 の動作を中途半端に停止させます。

### 10.9.10 スヌーズモードにおける SCI0 の使用

スヌーズモードで SCI0 を使用する場合、AGT1 アンダーフロー以外のウェイクアップ要求を使用しないでください。

スヌーズモードで SCI0 を使用する場合は、下記の条件が満たされなければいけません。

- クロックソースは HOCO であること
- MOCO とメインクロック発振器は、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0 端子は、ソフトウェアスタンバイモード遷移前に High を維持していること
- SCI 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0 ビットが 1 であること

### 10.9.11 スヌーズモードにおける A/D 変換開始条件

スヌーズモードでは、ELC のみが A/D コンバータの開始トリガとなれます。ソフトウェアトリガや ADTRG0 端子は使用しないでください。

### 10.9.12 スヌーズモードにおける CTSU の条件

スヌーズモードでは、ELC のみが CTSU を起動できます。

### 10.9.13 スヌーズモードにおける ELC イベント

スヌーズモードで利用可能なイベントを下記に示します。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ (ELSRn) において、スヌーズモードエントリイベント (SYSTEM\_SNZREQ) をトリガとして設定する必要があります。

- スヌーズモードエントリ (SYSTEM\_SNZREQ)
- DTC 転送終了 (DTC\_DTCEND)
- ADC140 ウィンドウ A/B コンペアマッチ (ADC140\_WCMPPM)
- ADC140 ウィンドウ A/B コンペア不一致 (ADC140\_WCMPUM)
- データ演算回路割り込み (DOC\_DOPCI)

### 10.9.14 ADC140 に関するモジュールストップ機能

ソフトウェアスタンバイモードへ遷移する場合は、ADC140 をモジュールストップ状態に設定して消費電力を削減することが推奨されます。この場合、DTC を用いて ADC140 のモジュールストップ状態を解除すると、スヌーズモードで ADC140 が利用可能になります。同様に、スヌーズモードからソフトウェアスタンバイモードへ復帰する前に、DTC を使用してモジュールストップ状態に戻してください。

## 11. レジスタライトプロテクション

### 11.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護されるレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 11.1 に PRCR レジスタのビットと保護されるレジスタの対応を示します。

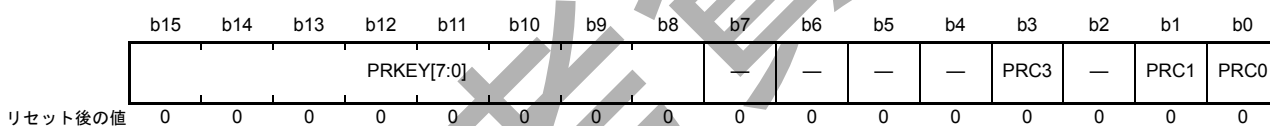
表 11.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> <li>クロック発生回路関連レジスタ SCKDIVCR, SCKSCR, MOSCCR, HOCOCCR, MOCOCCR, CKOCR, OSTDCR, OSTDSR, MOCOUTCR, HOCOUTCR, MOSCWTCR, MOMCR, SOSCCR, SOMCR, LOCOCCR, LOCOUTCR, HOCOWTCR</li> </ul>
PRC1 ビット	<ul style="list-style-type: none"> <li>低消費電力モード関連レジスタ SBYCR, SNZCR, SNZEDCR, SNZREQCR, FLSTOP, OPCCR, SOPCCR, SYOCDRCR</li> </ul>
PRC3 ビット	<ul style="list-style-type: none"> <li>LVD 関連レジスタ LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVCMPCCR, LVDLVLRL, LVD1CR0, LVD2CR0</li> </ul>

### 11.2 レジスタの説明

#### 11.2.1 プロテクトレジスタ (PRCR)

アドレス SYSTEM.PRCR 4001 E3FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	低消費電力モード関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	PRC3	プロテクトビット3	LVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	PRC キーコード	PRCR レジスタへの書き込みを制御します。PRCR レジスタを書き換える場合、上位8ビットにA5h、下位8ビットに任意の値を、16ビット単位で書いてください。	W (注1)

注 1. 書き込みデータは保持されません。読むと 00h が読めます。

#### PRCi ビット (プロテクトビット i) (i = 0, 1, 3)

保護されるレジスタ (表 11.1 を参照) への書き込みを許可または禁止します。PRCi ビットを 1 にすると書き込み許可、0 にすると書き込み禁止になります。

## 12. 割り込みコントローラユニット (ICU)

### 12.1 概要

割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ/データトランスファコントローラ (NVIC/DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。

表 12.1 に割り込みコントローラユニットの仕様を示します。

表 12.1 ICUの仕様

項目	内容	
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> <li>周辺モジュールからの割り込み 要因数：128 (イベントリスト番号9～137から要因を選択)</li> </ul>
	外部端子割り込み	<ul style="list-style-type: none"> <li>割り込み検出：Lowレベル<sup>(注4)</sup>、立ち下がリエッジ、立ち上がりエッジ、両エッジ。要因ごとに設定可能</li> <li>デジタルフィルタ機能をサポート</li> <li>8要因 (IRQ0～IRQ7端子からの割り込み)</li> </ul>
	DTC制御	割り込み要因によってDTCの起動が可能 <sup>(注1)</sup>
	NVICへの割り込み要因	32要因
ノンマスクابل割り込み <sup>(注2)</sup>	NMI端子割り込み	<ul style="list-style-type: none"> <li>NMI端子からの割り込み</li> <li>割り込み検出：立ち下がリエッジまたは立ち上がりエッジ</li> <li>デジタルフィルタ機能をサポート</li> </ul>
	発振停止検出割り込み <sup>(注3)</sup>	メイン発振器の停止を検出したときの割り込み
	WDTアンダーフロー/リフレッシュエラー <sup>(注3)</sup>	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDTアンダーフロー/リフレッシュエラー <sup>(注3)</sup>	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	電圧監視1割り込み <sup>(注3)</sup>	低電圧検出1回路の電圧監視割り込み (LVD_LVD1)
	電圧監視2割り込み <sup>(注3)</sup>	低電圧検出2回路の電圧監視割り込み (LVD_LVD2)
	RPEST	SRAMパリティエラー発生時の割り込み
低消費電力モードからの復帰	<ul style="list-style-type: none"> <li>スリープモード：ノンマスクابل割り込みまたはその他の割り込み要因によって復帰</li> <li>ソフトウェアスタンバイモード：ノンマスクابل割り込みによって復帰。WUPENレジスタで割り込みの選択が可能</li> <li>スヌーズモード：ノンマスクابل割り込みによって復帰。SELSR0およびWUPENレジスタで割り込みの選択が可能</li> </ul> <p>12.2.7 SYSイベントリンク設定レジスタ (SELSR0) と 12.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。</p>	

注 1. DTCの起動要因については、表 12.4 イベントテーブルを参照してください。

注 2. リセット解除後に1回だけノンマスクابل割り込みを許可することができます。

注 3. これらのノンマスクابل割り込みは、イベント信号としても使用可能です。割り込みとして使用する場合、NMIERレジスタの値をリセット状態から変更しないでください。電圧監視1と電圧監視2の割り込みを許可するには、LVD1CR1.IRQSELビットとLVD2CR1.IRQSELビットを1にしてください。

注 4. Lowレベルが一度検出されると、それをクリアしなければ解除されません。





## 12.2 レジスタの説明

本章では、ARM® NVIC の内部レジスタについては説明していません。これらのレジスタについては、次のマニュアルを参照してください：[ARM Limited, ARM Cortex-M0+ Processor Technical Reference Manual \(ARM DDI 0484C\)](#)

### 12.2.1 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)

アドレス [ICU.IRQCR0 4000 6000h](#), [ICU.IRQCR1 4000 6001h](#), [ICU.IRQCR2 4000 6002h](#), [ICU.IRQCR3 4000 6003h](#),  
[ICU.IRQCR4 4000 6004h](#), [ICU.IRQCR5 4000 6005h](#), [ICU.IRQCR6 4000 6006h](#), [ICU.IRQCR7 4000 6007h](#)

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN	—	FCLKSEL[1:0]	—	—	—	IRQMD[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	<a href="#">IRQMD[1:0]</a>	IRQi 検出センス選択	b1 b0 0 0: 立ち下がリエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ 1 1: Lowレベル	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	<a href="#">FCLKSEL[1:0]</a>	IRQi デジタルフィルタサンプリングクロック選択	b5 b4 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	<a href="#">FLTEN</a>	IRQi デジタルフィルタ有効	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W

IRQCRi レジスタの変更には、以下の条件があります。

1. CPU 割り込みまたは DTC 起動要因の場合：  
IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ (n = 0 ~ 31) を設定する必要があります。  
対象の IELSRn レジスタが 0000h の場合にのみ、レジスタ値の変更が可能です。
2. ウェイクアップ許可信号の場合：  
IRQCRi レジスタの設定を変更してから、対象の WUPEN.IRQWUPENi ビット (i = 0 ~ 7) を設定する必要があります。  
対象の WUPEN.IRQWUPENi ビットが 0 の場合にのみ、レジスタ値の変更が可能です。

#### [IRQMD\[1:0\]](#) ビット (IRQi 検出センス選択)

IRQi 外部端子割り込み要因の検出センシング方法を設定します。設定値に関する詳細は、[12.4.4 外部端子割り込み](#)を参照してください。

#### [FCLKSEL\[1:0\]](#) ビット (IRQi デジタルフィルタサンプリングクロック選択)

IRQi 外部端子割り込み要求のデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB (毎サイクル)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細については、[12.4.3 デジタルフィルタ](#)を参照してください。

### FLTEN ビット (IRQi デジタルフィルタ有効)

IRQi 外部端子割り込み要因に使用するデジタルフィルタを有効にします。デジタルフィルタは、IRQCRI.FLTEN ビットが 1 の場合に有効になり、IRQCRI.FLTEN ビットが 0 の場合に無効になります。IRQi 端子レベルは、IRQCRI.FCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、12.4.3 デジタルフィルタを参照してください。

## 12.2.2 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 4000 6140h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	RPEST	NMIST	OSTST	—	—	LVD2S T	LVD1S T	WDTST	IWDTST T
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTST	IWDTアンダーフロー/リフレッシュエラーステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b1	WDTST	WDTアンダーフロー/リフレッシュエラーステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b2	LVD1ST	電圧監視1割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b3	LVD2ST	電圧監視2割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b5-b4	—	予約ビット	読むと0が読めます。	R
b6	OSTST	発振停止検出割り込みステータスフラグ	0: メイン発振停止検出割り込み要求なし 1: メイン発振停止検出割り込み要求あり	R
b7	NMIST	NMIステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b8	RPEST	SRAMパリティエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b15-b9	—	予約ビット	読むと0が読めます。	R

NMISR レジスタは、ノンマスクابل割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスクابل割り込み許可レジスタ (NMIER) の設定は、このレジスタのステータスフラグには影響しません。ノンマスクابل割り込みの処理ルーチンでは、このレジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

### IWDTST フラグ (IWDT アンダーフロー/リフレッシュエラーステータスフラグ)

IWDT アンダーフロー/リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1 になる条件]

IWDT アンダーフロー/リフレッシュエラー割り込みが発生し、この割り込み要因が許可されているとき

[0 になる条件]

NMICLR.IWDTCLR ビットに 1 を書いたとき

### WDTST フラグ (WDT アンダーフロー/リフレッシュエラーステータスフラグ)

WDT アンダーフロー/リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

WDT アンダーフロー/リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.WDTCLR ビットに 1 を書いたとき

#### **LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)**

電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

[1 になる条件]

電圧監視 1 割り込みがその要因で許可されている場合に、この割り込みが発生したとき

[0 になる条件]

NMICLR.LVD1CLR ビットに 1 を書いたとき

#### **LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)**

電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

[1 になる条件]

電圧監視 2 割り込みが発生し、この割り込み要因が許可されているとき

[0 になる条件]

NMICLR.LVD2CLR ビットに 1 を書いたとき

#### **OSTST フラグ (発振停止検出割り込みステータスフラグ)**

発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。

[1 になる条件]

メイン発振停止検出割り込みが発生したとき

[0 になる条件]

NMICLR.OSTCLR ビットに 1 を書いたとき

#### **NMIST フラグ (NMI ステータスフラグ)**

NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMICLR ビットでクリアされます。

[1 になる条件]

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

NMICLR.NMICLR ビットに 1 を書いたとき

#### **RPEST フラグ (SRAM パリティエラー割り込みステータスフラグ)**

SRAM パリティエラー割り込み要求を示します。

[1 になる条件]

SRAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RPECLR ビットに 1 を書いたとき

### 12.2.3 ノンマスクブル割り込みイネーブルレジスタ (NMIER)

アドレス ICU.NMIER 4000 6120h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	RPEEN	NMIEN	OSTEN	—	—	LVD2EN N	LVD1EN N	WDTE N	IWDTE N
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTEN	IWDTアンダーフロー／リフレッシュエラー割り込み許可	0：禁止 1：許可	R/(W) (注1)，(注2)
b1	WDTEN	WDTアンダーフロー／リフレッシュエラー割り込み許可	0：禁止 1：許可	R/(W) (注1)，(注2)
b2	LVD1EN	電圧監視1割り込み許可	0：禁止 1：許可	R/(W) (注1)，(注2)
b3	LVD2EN	電圧監視2割り込み許可	0：禁止 1：許可	R/(W) (注1)，(注2)
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OSTEN	発振停止検出割り込み許可	0：禁止 1：許可	R/(W) (注1)，(注2)
b7	NMIEN	NMI端子割り込み許可	0：禁止 1：許可	R/(W) (注1)
b8	RPEEN	SRAMパリティエラー割り込み許可	0：禁止 1：許可	R/(W) (注1)，(注2)
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後、1回だけ1を書き込むことができ、以後のライトアクセスは無効です。0の書き込みは無効です。

注2. イベント信号として使用する場合、1にしないでください。

#### IWDTEN ビット (IWDT アンダーフロー／リフレッシュエラー割り込み許可)

NMIの起動要因となるIWDTアンダーフロー／リフレッシュエラー割り込みを許可します。

#### WDTEN ビット (WDT アンダーフロー／リフレッシュエラー割り込み許可)

NMIの起動要因となるWDTアンダーフロー／リフレッシュエラー割り込みを許可します。

#### LVD1EN ビット (電圧監視1割り込み許可)

NMIの起動要因となる電圧監視1割り込みを許可します。

#### LVD2EN ビット (電圧監視2割り込み許可)

NMIの起動要因となる電圧監視2割り込みを許可します。

#### OSTEN ビット (発振停止検出割り込み許可)

NMIの起動要因となるメイン発振停止検出割り込みを許可します。

#### NMIEN ビット (NMI 端子割り込み許可)

NMIの起動要因となるNMI端子割り込みを許可します。

#### RPEEN ビット (SRAM パリティエラー割り込み許可)

NMIの起動要因となるSRAMパリティエラー割り込みを許可します。

### 12.2.4 ノンマスクブル割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 4000 6130h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	RPECLR	NMICLR	OSTCLR	—	—	LVD2CLR	LVD1CLR	WDTCLR	IWDTCLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTCLR	IWDTクリア	0: 無効 1: NMISR.IWDTST フラグをクリア	R/(W) (注1)
b1	WDTCLR	WDTクリア	0: 無効 1: NMISR.WDTST フラグをクリア	R/(W) (注1)
b2	LVD1CLR	LVD1クリア	0: 無効 1: NMISR.LVD1ST フラグをクリア	R/(W) (注1)
b3	LVD2CLR	LVD2クリア	0: 無効 1: NMISR.LVD2ST フラグをクリア	R/(W) (注1)
b5-b4	—	予約ビット	書く場合、0としてください。	R/(W) (注1)
b6	OSTCLR	OSTクリア	0: 無効 1: NMISR.OSTST フラグをクリア	R/(W) (注1)
b7	NMICLR	NMIクリア	0: 無効 1: NMISR.NMIST フラグをクリア	R/(W) (注1)
b8	RPECLR	SRAMパリティエラークリア	0: 無効 1: NMISR.RPEST フラグをクリア	R/(W) (注1)
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/(W) (注1)

注1. このビットには1のみ書けます。

#### IWDTCLR ビット (IWDT クリア)

1 を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと0が読めます。

#### WDTCLR ビット (WDT クリア)

1 を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと0が読めます。

#### LVD1CLR ビット (LVD1 クリア)

1 を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと0が読めます。

#### LVD2CLR ビット (LVD2 クリア)

1 を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと0が読めます。

#### OSTCLR ビット (OST クリア)

1 を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと0が読めます。

#### NMICLR ビット (NMI クリア)

1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと0が読めます。

#### RPECLR ビット (SRAM パリティエラークリア)

1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと0が読めます。

### 12.2.5 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 4000 6100h

	b7	b6	b5	b4	b3	b2	b1	b0
	NFLTEN	—	NFCLKSEL[1:0]	—	—	—	—	NMIMD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIMD	NMI 検出設定	0 : 立ち下がりエッジ 1 : 立ち上がりエッジ	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック選択	b5 b4 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	NFLTEN	NMI デジタルフィルタ有効	0 : 無効 1 : 有効	R/W

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可 (NMIER.NMIEN ビットを 1) にしてください。

#### NMIMD ビット (NMI 検出設定)

NMI 端子割り込みの検出センシング方法を選択します。

#### NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック選択)

NMI 端子割り込みのデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB (毎サイクル)
- PCKLB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細については、[12.4.3 デジタルフィルタ](#)を参照してください。

#### NFLTEN ビット (NMI デジタルフィルタ有効)

NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NMIFLTC.NFCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、[12.4.3 デジタルフィルタ](#)を参照してください。

## 12.2.6 ICU イベントリンク設定レジスタ n (IELSRn)

アドレス ICU.IELSR0 4000 6300h, ICU.IELSR1 4000 6304h, ICU.IELSR2 4000 6308h, ICU.IELSR3 4000 630Ch.....  
.....ICU.IELSR28 4000 6370h, ICU.IELSR29 4000 6374h, ICU.IELSR30 4000 6378h, ICU.IELSR31 4000 637Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	—	—	—	—	IELS[7:0]								—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b7-b0	IELS[7:0]	ICU イベントリンク選択	b7 b0 00000000 : 対応する NVIC または DTC モジュールへの割り込みは禁止 00000001 ~ 10001001 : リンクするイベント信号の番号 上記以外は設定しないでください。詳細は、表 12.4 を参照してください。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	IR	割り込みステータスフラグ	0 : 割り込み要求の発生なし 1 : 割り込み要求の発生あり	R/(W) (注1)
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	DTCE	DTC 起動許可	0 : 禁止 1 : 許可	R/W
b31-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. IR フラグを 1 にする書き込みは禁止です。

IELSRn レジスタでは、NVIC で使用する IRQ 要因を選択します。詳細は、表 12.4 を参照してください。IELSRn (n = 0 ~ 31) は、NVIC-IRQ 入力要因番号 0 ~ 31 に対応しています。

## IELS[7:0] ビット (ICU イベントリンク選択)

対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。

## IR フラグ (割り込みステータスフラグ)

IELS[7:0] で指定されたイベントからの割り込み要求の有無を示します。

[1 になる条件]

対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

[0 になる条件]

0 を書いたとき。DTCE ビットを 0 にしてから、IR フラグを 0 にすること

IR フラグのクリア方法：

1. 入力割り込み信号をネゲートする。
2. 周辺リードアクセスを 1 回実行し、対象モジュールクロック PCLKB または PCLKD の 2 クロックサイクル分待つ。
3. 0 を書き込んで IR フラグをクリアする。



**DTCE ビット (DTC 起動許可)**

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

[1 になる条件]

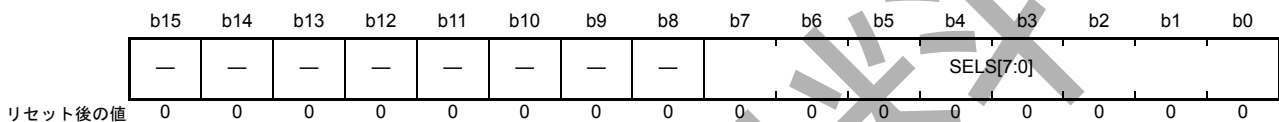
1 を書いたとき

[0 になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- 0 を書いたとき

**12.2.7 SYS イベントリンク設定レジスタ (SELSR0)**

アドレス ICU.SELSR0 4000 6200h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SELS[7:0]	SYS イベントリンク選択	b7 b0 00000000 : 対応する低消費電力モードモジュールへのイベント出力は無効 00000001 ~ 10001001 : リンクするイベント信号の番号 上記以外は設定しないでください。詳細は、表 12.4 を参照してください。	R/W
b15-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このレジスタにはハーフワードアクセスが必要です。

SELSR0 レジスタでは、スリープモードから CPU を復帰させるためのイベントを選択します。表 12.4 において「SELSR0 を用いたスリープモードの解除」欄に○印が付いたイベントのみを使用できます。このレジスタで指定されるイベントは、表 12.4 では ICU\_SNZCANCEL (0Bh) と定義されています。IELSRn.IELS ビットに 0Bh が設定されると、SELSR0 イベント割り込みが発生します。

**SELS[7:0] ビット (SYS イベントリンク選択)**

これら全ビットを同時に書き込む必要があります。

## 12.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN)

アドレス ICU.WUPEN 4000 61A0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16		
IIC0WUPEN	AGT1CBWUP	AGT1CAWUP	AGT1UDWUP	USBFSWUPE	—	RTCPRDWUP	RTCALMWUP	ACMPLP0WUP	—	—	—	LVD2WUPEN	LVD1WUPEN	KEYWUPEN	IWDTWUPEN		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
—	—	—	—	—	—	—	—	IRQWUPEN[7:0]								—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	ビット名	機能	R/W
b7-b0	IRQWUPEN[7:0]	IRQ割り込みソフトウェアスタンバイ復帰許可	0: IRQ割り込みによるソフトウェアスタンバイ復帰禁止 1: IRQ割り込みによるソフトウェアスタンバイ復帰許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	IWDTWUPEN	IWDT割り込みソフトウェアスタンバイ復帰許可	0: IWDT割り込みによるソフトウェアスタンバイ復帰禁止 1: IWDT割り込みによるソフトウェアスタンバイ復帰許可	R/W
b17	KEYWUPEN	キー割り込みソフトウェアスタンバイ復帰許可	0: キー割り込みによるソフトウェアスタンバイ復帰禁止 1: キー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b18	LVD1WUPEN	LVD1割り込みソフトウェアスタンバイ復帰許可	0: LVD1割り込みによるソフトウェアスタンバイ復帰禁止 1: LVD1割り込みによるソフトウェアスタンバイ復帰許可	R/W
b19	LVD2WUPEN	LVD2割り込みソフトウェアスタンバイ復帰許可	0: LVD2割り込みによるソフトウェアスタンバイ復帰禁止 1: LVD2割り込みによるソフトウェアスタンバイ復帰許可	R/W
b22-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	ACMPLP0WUPEN	ACMPLP0割り込みソフトウェアスタンバイ復帰許可	0: ACMPLP0割り込みによるソフトウェアスタンバイ復帰禁止 1: ACMPLP0割り込みによるソフトウェアスタンバイ復帰許可	R/W
b24	RTCALMWUPEN	RTCアラーム割り込みソフトウェアスタンバイ復帰許可	0: RTCアラーム割り込みによるソフトウェアスタンバイ復帰禁止 1: RTCアラーム割り込みによるソフトウェアスタンバイ復帰許可	R/W
b25	RTCPRDWUPEN	RTC周期割り込みソフトウェアスタンバイ復帰許可	0: RTC周期割り込みによるソフトウェアスタンバイ復帰禁止 1: RTC周期割り込みによるソフトウェアスタンバイ復帰許可	R/W
b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27	USBFSWUPEN	USBFS割り込みソフトウェアスタンバイ復帰許可	0: USBFS割り込みによるソフトウェアスタンバイ復帰禁止 1: USBFS割り込みによるソフトウェアスタンバイ復帰許可	R/W
b28	AGT1UDWUPEN	AGT1アンダーフロー割り込みソフトウェアスタンバイ復帰許可	0: AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b29	AGT1CAWUPEN	AGT1コンペアマッチA割り込みソフトウェアスタンバイ復帰許可	0: AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰許可	R/W
b30	AGT1CBWUPEN	AGT1コンペアマッチB割り込みソフトウェアスタンバイ復帰許可	0: AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰許可	R/W

ビット	シンボル	ビット名	機能	R/W
b31	IIC0WUPEN	IIC0アドレス一致割り込みソフトウェアスタンバイ復帰許可	0: IIC0アドレス一致割り込みによるソフトウェアスタンバイ復帰禁止 1: IIC0アドレス一致割り込みによるソフトウェアスタンバイ復帰許可	R/W

このレジスタの各ビットは、対応する割り込みがソフトウェアスタンバイモードから CPU を復帰させることができるかどうかを制御します。

#### IRQWUPEN[7:0] ビット (IRQ 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IRQn 割り込みの使用を許可します。

#### IWDTWUPEN ビット (IWDT 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IWDT 割り込みの使用を許可します。

#### KEYWUPEN ビット (キー割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するためキー割り込みの使用を許可します。

#### LVD1WUPEN ビット (LVD1 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため LVD1 割り込みの使用を許可します。

#### LVD2WUPEN ビット (LVD2 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため LVD2 割り込みの使用を許可します。

#### ACMPLP0WUPEN ビット (ACMPLP0 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため ACMPLP0 割り込みの使用を許可します。

#### RTCALMWUPEN ビット (RTC アラーム割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため RTC アラーム割り込みの使用を許可します。

#### RTCPRDWUPEN ビット (RTC 周期割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため RTC 周期割り込みの使用を許可します。

#### USBFSWUPEN ビット (USBFS 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため USBFS 割り込みの使用を許可します。

#### AGT1UDWUPEN ビット (AGT1 アンダーフロー割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 アンダーフロー割り込みの使用を許可します。

#### AGT1CAWUPEN ビット (AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ A 割り込みの使用を許可します。

#### AGT1CBWUPEN ビット (AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ B 割り込みの使用を許可します。

#### IIC0WUPEN ビット (IIC0 アドレス一致割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IIC0 割り込みの使用を許可します。

## 12.3 ベクタテーブル

ICUは次の2種類の割り込みを検出します。

- マスカブル割り込み
- ノンマスカブル割り込み

割り込み優先順位はARM NVICで設定されます。これらのレジスタについては、次のマニュアルのNVICの章を参照してください：[ARM Limited, ARM Cortex-M0+ Processor Technical Reference Manual \(ARM DDI 0484C\)](#)

### 12.3.1 割り込みベクタテーブル

表 12.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、NVICの仕様に従います。

表 12.3 割り込みベクタテーブル (1/2)

例外番号	IRQ番号	ベクタオフセット	発生元	内容
0	—	000h	ARM	初期スタックポインタ
1	—	004h	ARM	初期プログラムカウンタ (リセットベクタ)
2	—	008h	ARM	ノンマスカブル割り込み (NMI)
3	—	00Ch	ARM	ハード障害
4	—	010h	ARM	予約ビット
5	—	014h	ARM	予約ビット
6	—	018h	ARM	予約ビット
7	—	01Ch	ARM	予約ビット
8	—	020h	ARM	予約ビット
9	—	024h	ARM	予約ビット
10	—	028h	ARM	予約ビット
11	—	02Ch	ARM	スーパーバイザコール (SVCall)
12	—	030h	ARM	予約ビット
13	—	034h	ARM	予約ビット
14	—	038h	ARM	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	03Ch	ARM	システムティックタイマ (SysTick)
16	0	040h	ICU.IELSR0	ICU.IELSR0レジスタで選択されたイベント
17	1	044h	ICU.IELSR1	ICU.IELSR1レジスタで選択されたイベント
18	2	048h	ICU.IELSR2	ICU.IELSR2レジスタで選択されたイベント
19	3	04Ch	ICU.IELSR3	ICU.IELSR3レジスタで選択されたイベント
20	4	050h	ICU.IELSR4	ICU.IELSR4レジスタで選択されたイベント
21	5	054h	ICU.IELSR5	ICU.IELSR5レジスタで選択されたイベント
22	6	058h	ICU.IELSR6	ICU.IELSR6レジスタで選択されたイベント
23	7	05Ch	ICU.IELSR7	ICU.IELSR7レジスタで選択されたイベント
24	8	060h	ICU.IELSR8	ICU.IELSR8レジスタで選択されたイベント
25	9	064h	ICU.IELSR9	ICU.IELSR9レジスタで選択されたイベント
26	10	068h	ICU.IELSR10	ICU.IELSR10レジスタで選択されたイベント
27	11	06Ch	ICU.IELSR11	ICU.IELSR11レジスタで選択されたイベント
28	12	070h	ICU.IELSR12	ICU.IELSR12レジスタで選択されたイベント
29	13	074h	ICU.IELSR13	ICU.IELSR13レジスタで選択されたイベント
30	14	078h	ICU.IELSR14	ICU.IELSR14レジスタで選択されたイベント
31	15	07Ch	ICU.IELSR15	ICU.IELSR15レジスタで選択されたイベント

表 12.3 割り込みベクタテーブル (2/2)

例外番号	IRQ番号	ベクタオフセット	発生元	内容
32	16	080h	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
33	17	084h	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	088h	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
35	19	08Ch	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント
36	20	090h	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	094h	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	098h	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	09Ch	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0A0h	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0A4h	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0A8h	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0ACh	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0B0h	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0B4h	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0B8h	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0BCh	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント

## 12.3.2 イベント番号

下表は、イベント番号を記した表 12.4 の各項目の説明です。

項目	内容
割り込み要求の発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVICへの接続	CPU割り込みとして使用可能な割り込みが○印で示されています。
DTCの起動	DTCの起動要求に使用可能な割り込みが○印で示されています。
スヌーズモードの解除	スヌーズモードからの復帰要求に使用可能な割り込みが○印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが○印で示されています。

表 12.4 イベントテーブル (1/4)

イベント番号	割り込み要求の発生元	名称	IELSRn		スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動		
01h	ポート	PORT_IRQ0	○	○	○	○
02h		PORT_IRQ1	○	○	○	○
03h		PORT_IRQ2	○	○	○	○
04h		PORT_IRQ3	○	○	○	○
05h		PORT_IRQ4	○	○	○	○
06h		PORT_IRQ5	○	○	○	○
07h		PORT_IRQ6	○	○	○	○
08h		PORT_IRQ7	○	○	○	○
09h	DTC	DTC_COMPLETE	○		○ (注4)	
0Bh	ICU	ICU_SNZCANCEL	○		○	
0Ch	FCU	FCU_FRDY1	○			
0Dh	LVD	LVD_LVD1	○		○	○
0Eh		LVD_LVD2	○		○	○
0Fh	MOSC	MOSC_STOP	○			
10h	低消費電力モード	SYSTEM_SNZREQ		○		
11h	AGT0	AGT0_AGTI	○	○		
12h		AGT0_AGTCMAI	○	○		
13h		AGT0_AGTCMBI	○	○		
14h	AGT1	AGT1_AGTI	○	○	○	○
15h		AGT1_AGTCMAI	○	○	○	○
16h		AGT1_AGTCMBI	○	○	○	○
17h	IWDT	IWDT_NMIUNDF	○		○	○
18h	WDT	WDT_NMIUNDF	○			
19h	RTC	RTC_ALM	○		○	○
1Ah		RTC_PRD	○		○	○
1Bh		RTC_CUP	○			

表 12.4 イベントテーブル (2/4)

イベント番号	割り込み要求の発生元	名称	IELSRn		スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動		
1Ch	ADC140	ADC140_ADI	○	○		
1Dh		ADC140_GBADI	○	○		
1Eh		ADC140_CMPAI	○			
1Fh		ADC140_CMPBI	○			
20h		ADC140_WCMPPM		○	○ (注4)	
21h		ADC140_WCMPUM		○	○ (注4)	
22h		ACMPLP	ACMP_LP0	○		○
23h	ACMP_LP1		○			
24h	USBFS	USBFS_USBI	○			
25h		USBFS_USBR	○		○	○
26h	IIC0	IIC0_RXI	○	○		
27h		IIC0_TXI	○	○		
28h		IIC0_TEI	○			
29h		IIC0_EEI	○			
2Ah		IIC0_WUI	○			○
2Bh		IIC1	IIC1_RXI	○	○	
2Ch	IIC1_TXI		○	○		
2Dh	IIC1_TEI		○			
2Eh	IIC1_EEI		○			
2Fh	CTSU	CTSU_CTSUWR	○	○		
30h		CTSU_CTSURD	○	○		
31h		CTSU_CTSUFN	○		○ (注4)	
32h	KINT	KEY_INTKR	○		○ (注1)	○ (注1)
33h	DOC	DOC_DOPCI	○		○ (注4)	
34h	CAC	CAC_FERRI	○			
35h		CAC_MENDI	○			
36h		CAC_OVFI	○			
37h	CAN0	CAN0_ERS	○			
38h		CAN0_RXF	○			
39h		CAN0_TXF	○			
3Ah		CAN0_RXM	○			
3Bh		CAN0_TXM	○			
3Ch	I/Oポート	IOPORT_GROUP1	○	○ (注2)		
3Dh		IOPORT_GROUP2	○	○ (注2)		
3Eh	ELC	ELC_SWEVT0	○ (注3)	○		
3Fh		ELC_SWEVT1	○ (注3)	○		
40h	POEG	POEG_GROUP0	○			
41h		POEG_GROUP1	○			
42h	GPT320	GPT0_CCMPA	○	○		
43h		GPT0_CCMPB	○	○		
44h		GPT0_CMPC	○	○		
45h		GPT0_CMPD	○	○		
46h		GPT0_OVF	○	○		
47h		GPT0_UDF	○	○		

表 12.4 イベントテーブル (3/4)

イベント番号	割り込み要求の発生元	名称	IELSRn		スヌーズ モードの解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動		
48h	GPT161	GPT1_CCMPA	○	○		
49h		GPT1_CCMPB	○	○		
4Ah		GPT1_CMPC	○	○		
4Bh		GPT1_CMPD	○	○		
4Ch		GPT1_OVF	○	○		
4Dh		GPT1_UDF	○	○		
4Eh	GPT162	GPT2_CCMPA	○	○		
4Fh		GPT2_CCMPB	○	○		
50h		GPT2_CMPC	○	○		
51h		GPT2_CMPD	○	○		
52h		GPT2_OVF	○	○		
53h		GPT2_UDF	○	○		
54h	GPT163	GPT3_CCMPA	○	○		
55h		GPT3_CCMPB	○	○		
56h		GPT3_CMPC	○	○		
57h		GPT3_CMPD	○	○		
58h		GPT3_OVF	○	○		
59h		GPT3_UDF	○	○		
5Ah	GPT164	GPT4_CCMPA	○	○		
5Bh		GPT4_CCMPB	○	○		
5Ch		GPT4_CMPC	○	○		
5Dh		GPT4_CMPD	○	○		
5Eh		GPT4_OVF	○	○		
5Fh		GPT4_UDF	○	○		
60h	GPT165	GPT5_CCMPA	○	○		
61h		GPT5_CCMPB	○	○		
62h		GPT5_CMPC	○	○		
63h		GPT5_CMPD	○	○		
64h		GPT5_OVF	○	○		
65h		GPT5_UDF	○	○		
66h	GPT166	GPT6_CCMPA	○	○		
67h		GPT6_CCMPB	○	○		
68h		GPT6_CMPC	○	○		
69h		GPT6_CMPD	○	○		
6Ah		GPT6_OVF	○	○		
6Bh		GPT6_UDF	○	○		
6Ch	GPT	GPT_UVWEDGE	○			
6Dh	SCIO	SCIO_RXI	○	○		
6Eh		SCIO_TXI	○	○		
6Fh		SCIO_TEI	○			
70h		SCIO_ERI	○			
71h		SCIO_AM	○		○ (注4)	
72h		SCIO_RXI_OR_ERI			○ (注4)	



表 12.4 イベントテーブル (4/4)

イベント番号	割り込み要求の発生元	名称	IELSRn		スヌーズ モードの解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動		
73h	SCI1	SCI1_RXI	○	○		
74h		SCI1_TXI	○	○		
75h		SCI1_TEI	○			
76h		SCI1_ERI	○			
77h		SCI1_AM	○			
78h	SCI9	SCI9_RXI	○	○		
79h		SCI9_TXI	○	○		
7Ah		SCI9_TEI	○			
7Bh		SCI9_ERI	○			
7Ch		SCI9_AM	○			
7Dh	SPI0	SPI0_SPRI	○	○		
7Eh		SPI0_SPTI	○	○		
7Fh		SPI0_SPII	○			
80h		SPI0_SPEI	○			
81h		SPI0_SPTEND	○			
82h	SPI1	SPI1_SPRI	○	○		
83h		SPI1_SPTI	○	○		
84h		SPI1_SPII	○			
85h		SPI1_SPEI	○			
86h		SPI1_SPTEND	○			
87h	AES	AES_WRREQ	○	○		
88h		AES_RDREQ	○	○		
89h	TRNG	TRNG_RDREQ	○			

- 注 1. KRCTL.KRMD = 1 の場合にのみサポートされます。  
 注 2. 最初のエッジ検出のみが有効です。  
 注 3. DTC 転送後の割り込みのみがサポートされます。  
 注 4. SELSR0 の使用

## 12.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択 (CPU 割り込み、DTC 起動など)

### 12.4.1 割り込みの検出

外部端子割り込み要求は、下記の 2 つの方法のいずれかで検出されます。

- 割り込み信号のエッジ
- 割り込み信号のレベル (立ち下がりエッジ／立ち上がりエッジ／両エッジ／Low レベル)

IRQ<sub>i</sub> 端子検出モードを選択するには、IRQCR<sub>i</sub> レジスタの IRQMD[1:0] ビットを設定します。周辺モジュールに関連した割り込み要因については、[12.3.2 イベント番号](#)を参照してください。イベントは、割り込みが発生して CPU に受け付けられる前に、NVIC で受け付けられる必要があります。

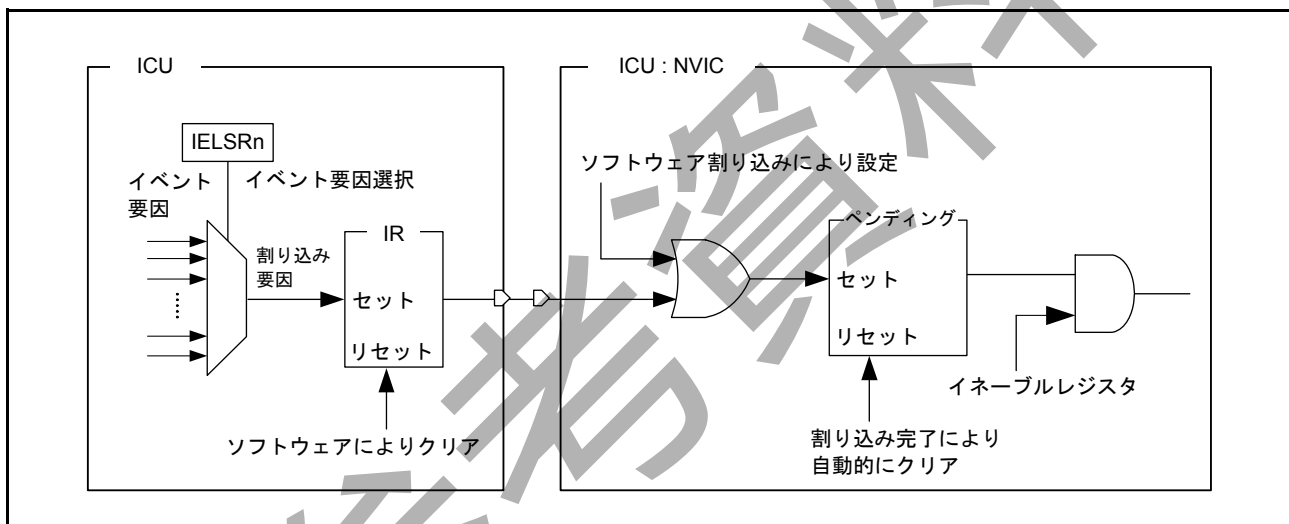


図 12.2 ICU および CPU: NVIC の割り込み経路

割り込み中の動作

- 非ソフトウェア割り込みが発生したとき：  
IELSRn.IR フラグと割り込みセット／クリア保留レジスタ (NVIC) が設定される。
- ソフトウェア割り込みが発生したとき：  
割り込みセット保留レジスタを設定する。
- 割り込みが完了したとき：  
ソフトウェアで IELSRn.IR フラグをクリアする。  
割り込みセット／クリア保留レジスタは自動的にクリアされる。

割り込みが許可される場合

1. 割り込みセットイネーブルレジスタを設定する。
2. IELSRn.IELS ビットを割り込み要因として設定する。
3. イベント要因に対し動作設定値を指定する。

割り込みが禁止される場合

1. イベント要因に対し設定値を無効にする。

2. IELSRn.IELS ビットをクリアする (IELSRn.IELS = 00h)。必要に応じて、IELSRn.IR フラグをクリアする。
3. 割り込みクリアイネーブルレジスタをクリアする。必要に応じて、割り込みクリア保留レジスタをクリアする。

割り込みのポーリングを行う場合

1. 割り込みクリアイネーブルレジスタを設定 (割り込みを禁止) する。
2. IELSRn.IELS ビットを設定 (割り込み要因を選択) する。
3. イベント要因に対し動作設定値を指定する。
4. 割り込みセット保留レジスタをポーリングする。
5. ポーリングが不要になった場合、割り込みが完了したときに、そのクリア手順に従う。

## 12.4.2 割り込み要求先の選択

割り込み出力先 (CPU または DTC) は、割り込み要因ごとに個別に選択できます。利用可能な出力先は、[表 12.4](#) に示されているように、割り込みごとに固定されています。

注. イベントリスト ([表 12.4](#)) で○印が付いていない割り込み要求先の設定は使用しないでください。

IELSRn レジスタで CPU または DTC を選択した場合、その他の IELSRn レジスタで同じ割り込み要因を設定することは禁止されています。

DTC が IRQi 端子からの要求先として選択された場合、その割り込みに対して IRQCRi の IRQMD[1:0] ビットをエッジ検出の選択に設定する必要があります。

### 12.4.2.1 CPU 割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。以下の手順に従ってください。

1. IELSRn.IELS ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 0 にする。

### 12.4.2.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。以下の手順に従ってください。

1. IELSRn.IELS ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 1 にする。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 にする。

DTC が要求先となる場合の動作を [表 12.5](#) に示します。

表 12.5 DTC が起動するときの動作

割り込み要求先	DISEL (注1)	残り転送動作	1要求あたりの動作	IR (注2)	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC 転送 → CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	DTC
		= 0	DTC 転送 → CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	IELSRn.DTCE ビットがクリアされ、CPU が要求先になる。
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる。	DTC
		= 0	DTC 転送 → CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	IELSRn.DTCE ビットがクリアされ、CPU が要求先になる。

注 1. DTC.MRB.DISEL ビットで DTC 用の割り込み要求モードを設定します。

- 注2. IELSRn.IR フラグが1のとき、再度発生した割り込み要求 (DTC 起動要求) は無視されます。
- 注3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IESRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。  
「14. データトランスファコントローラ (DTC)」の表 14.3 チェーン転送の条件を参照してください。

### 12.4.3 デジタルフィルタ

デジタルフィルタ機能は、外部割り込み要求端子 (IRQi,  $i=0\sim7$ ) と NMI 端子割り込みのために準備されています。この機能は、入力信号をフィルタサンプリングクロック (PCLKB) でサンプリングし、3 サンプルサイクル未満のパルス幅を持つ信号を除去します。

- IRQi 端子に対するデジタルフィルタの使用方法：

- IRQCRI.FCLKSEL[1:0] ビット ( $i=0\sim7$ ) で、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
- IRQCRI.FLTEN ビット ( $i=0\sim7$ ) を 1 (デジタルフィルタ有効) にする。

- NMI 端子に対するデジタルフィルタの使用方法：

- NMICR.NFCLKSEL[1:0] ビットで、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
- NMICR.NFLTEN ビットを 1 (デジタルフィルタ有効) にする。

図 12.3 にデジタルフィルタの動作例を示します。

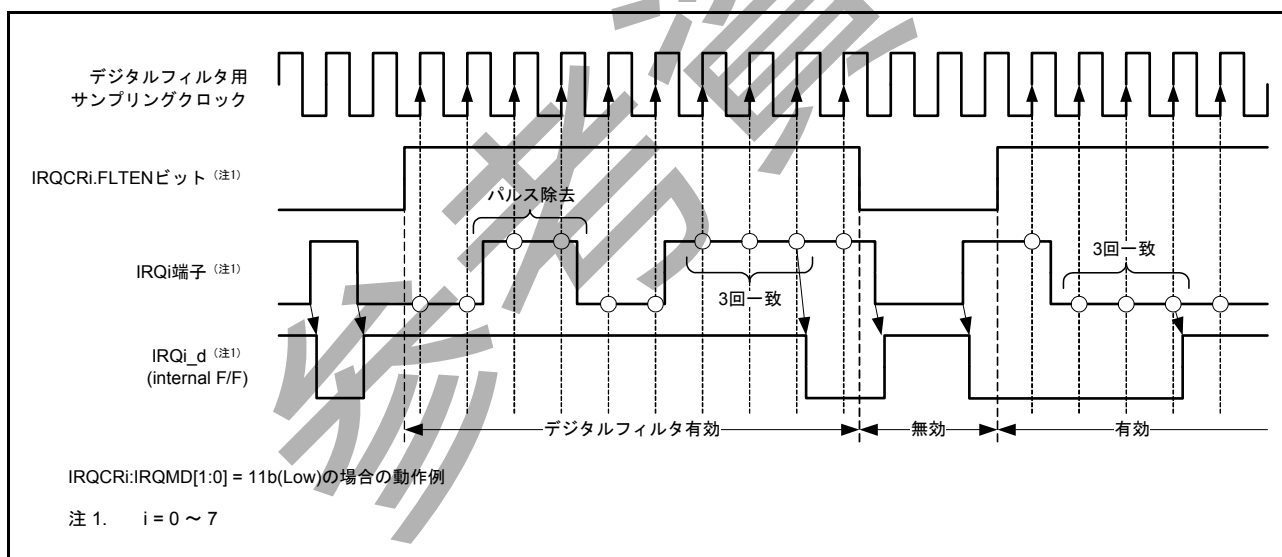


図 12.3 デジタルフィルタの動作例

ソフトウェアスタンバイモードへ遷移する前に、IRQCRI.FLTEN ビットと NMICR.NFLTEN ビットをクリアしてデジタルフィルタを無効にしてください。ICU のクロックはソフトウェアスタンバイモードでは停止します。ソフトウェアスタンバイモードが終了したとき、デジタルフィルタを再度有効にできます。

回路は、スタンバイ前の状態をスタンバイ解除後の状態と比較することでエッジを検出します。ソフトウェアスタンバイモード中に入力に変化すると、誤ったエッジが検出される可能性があります。

#### 12.4.4 外部端子割り込み

外部端子割り込みの使用法：

1. IRQCRi.FLTEN ビット (i=0～7) を 0 (デジタルフィルタ無効) にする。
2. I/O ポートの設定値を指定または確認する。
3. IRQCRi レジスタの IRQMD[1:0] ビット、FCLKSEL[1:0] ビット、および FLTEN ビットを設定する。
4. IRQ 端子を CPU 割り込み要求に使用する場合、IELSRn.IELS ビットを設定し、IELSRn.DTCE ビットを 0 にする。  
IRQ 端子を DTC 起動に使用する場合、IELSRn.IELS ビットを設定し、IELSRn.DTCE ビットを 1 にする。

#### 12.5 ノンマスクابل割り込みの動作

ノンマスクابل割り込みをトリガできるのは、以下の 7 つ要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- SRAM パリティエラー割り込み

ノンマスクابل割り込みは CPU でのみ使用可能です。DTC の起動には使用できません。ノンマスクابل割り込みは他のすべての割り込みよりも優先します。ノンマスクابل割り込みの状態は、ノンマスクابل割り込みステータスレジスタ (NMISR) で確認できます。NMI 処理ルーチンから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスクابل割り込みはデフォルトで無効になっています。ノンマスクابل割り込みを使用するには、以下の手順に従う必要があります。

1. NMI 端子を使用するために、NMICR.NFLTEN ビットを 0 (デジタルフィルタ無効) にする。
2. NMI 端子を使用するために、NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0] ビット、および NFLTEN ビットを設定する。
3. NMI 端子を使用するために、NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にする。
4. ノンマスクابل割り込みイネーブルレジスタ (NMIER) の対応するビットを 1 にしてノンマスクابل割り込みを許可にする。

NMIER レジスタに 1 を書いた後は、NMIER レジスタの NMIEN ビットに対する後続のライトアクセスは無視されます。NMI 割り込みは、リセットの場合を除いて、許可されたものを禁止することはできません。

## 12.6 低消費電力モードからの復帰

スリープモードまたはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因は、表 12.4 イベントテーブルに示されています。詳細は、「10. 低消費電力モード」を参照してください。

12.6.1 ~ 12.6.3 には、割り込みを使用してスリープモード、ソフトウェアスタンバイモード、およびスヌーズモードから復帰する方法が示されています。

### 12.6.1 スリープモードからの復帰

割り込みによってスリープモードから復帰する方法：

1. 割り込み要求先として CPU を選択する。
2. NVIC で割り込みを許可にする。

ノンマスクابل割り込みによってスリープモードから復帰するには、NMIER レジスタにおいて必要な割り込み要求を許可します。

### 12.6.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスクابل割り込みを用いるか、または WUPEN レジスタで選択された割り込みを用いて、ソフトウェアスタンバイモードからの復帰を可能にします。12.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

1. ソフトウェアスタンバイモードからの復帰を許可する割り込み要因を選択する。
  - ノンマスクابل割り込みの場合、NMIER レジスタを使用して必要な割り込み要求を許可する
  - マスクابل割り込みの場合、WUPEN レジスタを使用して必要な割り込み要求を許可する
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可にする。

これらの条件を満たさない IRQ 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

### 12.6.3 スヌーズモードからの復帰

ICU は、スヌーズモード用の割り込みを用いて、スヌーズモードからの復帰を可能にします。SELSR0 レジスタで割り込み要因を選択してください。

スヌーズモードからの復帰方法：

1. スヌーズモードからの復帰を許可する割り込み要因を選択する。
2. ICU\_SNZCANCEL を使用するため、SELSR0 レジスタを設定する。
3. 割り込み要求先として CPU を選択する。
4. NVIC で割り込みを許可にする。

これらの条件を満たさない IRQ 端子による割り込み要求は、スヌーズモードでクロックが停止している間は検出されません。

注 . スヌーズモードでは、クロックが ICU に供給されます。IELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクノリッジを実行できます。

## 12.7 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

## 12.8 参考資料

- 1) *ARM Limited, ARM Cortex-M0+ Processor Technical Reference Manual (ARM DDI 0484C)*

参考資料

## 13. バス

### 13.1 概要

表 13.1 にバスの仕様を、図 13.1 にバスの構成図を、表 13.2 にバス種類別アドレス対応表を示します。

表 13.1 バスの仕様

バスの種類		内容
メインバス	システムバス (CPU)	<ul style="list-style-type: none"> <li>• CPU を接続</li> <li>• 内蔵メモリと内部周辺バスを接続</li> </ul>
	DMAバス	<ul style="list-style-type: none"> <li>• DTC を接続</li> <li>• 内蔵メモリと内部周辺バスを接続</li> </ul>
スレーブインタフェース	メモリバス1	<ul style="list-style-type: none"> <li>• コードフラッシュメモリを接続</li> </ul>
	メモリバス4	<ul style="list-style-type: none"> <li>• SRAM0 を接続</li> </ul>
	内部周辺バス1	<ul style="list-style-type: none"> <li>• 周辺モジュール関連のシステムコントロールを接続</li> <li>• フラッシュメモリ (P/E時) とデータフラッシュメモリを接続</li> </ul>
	内部周辺バス3	<ul style="list-style-type: none"> <li>• 周辺モジュール (CAC, ELC, I/Oポート, POEG, RTC, WDT, IWD, SCI, IIC, CAN, SPI, CRC, ADC14, DAC12, DOC) を接続</li> <li>• セキュアIPを接続</li> </ul>
	内部周辺バス5	<ul style="list-style-type: none"> <li>• 周辺モジュール (KINT, AGT, USBFS, ACMPLP, CTSU) を接続</li> </ul>

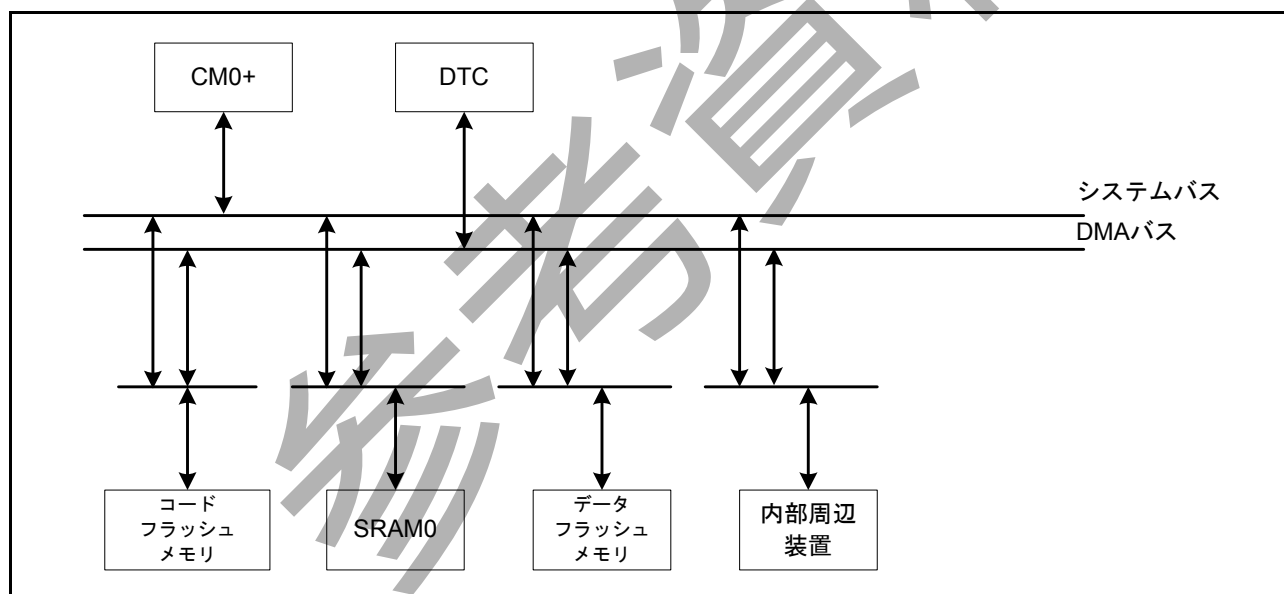


図 13.1 バスの構成図

表 13.2 バス種類別アドレス対応表

アドレス	バス	領域
0000 0000h ~ 01FF FFFFh	メモリバス1	コードフラッシュメモリ
2000 0000h ~ 2000 3FFFh	メモリバス4	SRAM0
4000 0000h ~ 4001 FFFFh	内部周辺バス1	周辺I/Oレジスタ
4004 0000h ~ 4007 FFFFh	内部周辺バス3	
4008 0000h ~ 400B FFFFh	内部周辺バス5	
400C 0000h ~ 400D FFFFh	内部周辺バス3	セキュアIP
4010 0000h ~ 407F FFFFh	内部周辺バス1	フラッシュメモリ (P/E時 (注1)) とデータフラッシュメモリ

注1. P/E = プログラム/イレース



## 13.2 バスの説明

### 13.2.1 メインバス

CPU 用のメインバスは、システムバスと DMA バスで構成されます。システムバスと DMA バスには以下が接続されます。

- コードフラッシュメモリ
- SRAM0
- データフラッシュメモリ
- 内部周辺バス

システムバスは、CPU への命令コードおよびデータコードのアクセスに用いられます。

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。また、DTC の転送制御情報を読み出している間は、DTC 以外のマスタからのバスアクセス要求は受け付けません。

### 13.2.2 スレーブインタフェース

メインバスからスレーブインタフェースへの接続については、[表 13.1 バスの仕様](#)に記載のスレーブインタフェースを参照してください。

システムバスと DMA バスからのバスアクセスが調停されます。調停法には、優先順位固定またはラウンドロビンのいずれかを選択できます。詳細は、[13.3.2](#)を参照してください。

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。

### 13.2.3 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。並列動作の例を [図 13.2](#) に示します。この例では、CPU は命令バスとオペランドバスを使用して、それぞれフラッシュと SRAM に同時にアクセスしています。また、CPU がフラッシュと SRAM にアクセスする間、DTC は DMA バスを同時に使用して、周辺バスにアクセスしています。

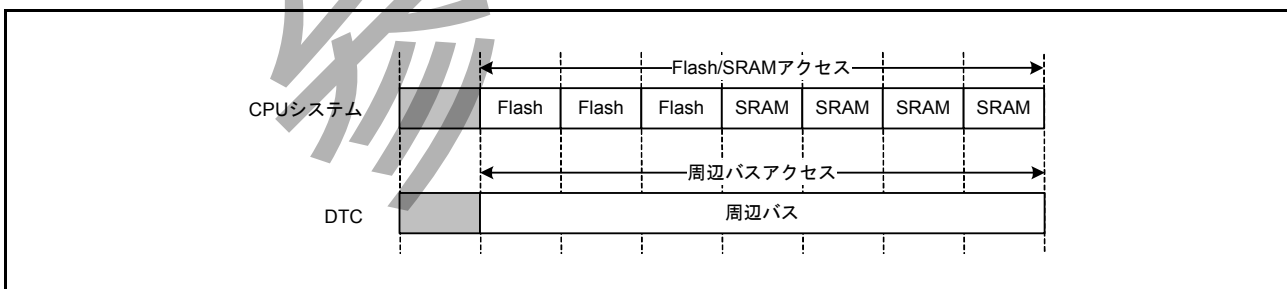


図 13.2 並列動作の例

### 13.2.4 制限事項

#### (1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域にまたがるアクセスは禁止されており、その場合の動作は保証していません。

#### (2) エンディアンに関する制限事項

Cortex®-M0+ コアでコードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。

### 13.3 レジスタの説明

#### 13.3.1 マスタバスコントロールレジスタ (BUSMCNT<master>)

アドレス [BUS.BUSMCNTSYS 4000 4008h](#), [BUS.BUSMCNTDMA 4000 400Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IERES	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	IERES	エラー応答無視	0 : バスエラーを通知する 1 : バスエラーを通知しない	R/W

注. 予約ビットを初期値 0 から変更することは禁止されています。書き換え中の動作は保証されません。

#### IERES ビット (エラー応答無視)

このビットを 1 にすると、AHB-Lite プロトコルエラー応答が無効になります。

表 13.3 に、バスの種類に対応したレジスタを示します。

表 13.3 バスの種類とレジスタの対応

バスの種類	マスタバスコントロールレジスタ	スレーブバスコントロールレジスタ
システムバス (CPU)	BUSMCNTSYS	—
DMAバス	BUSMCNTDMA	—
メモリバス1	—	BUSCNTFLI
メモリバス4	—	BUSCNTTRAM0
内部周辺バス 1, 3, 5	—	BUSCNTPhB [n = 0, 2, 4]

### 13.3.2 スレーブバスコントロールレジスタ (BUSSCNT<slave>)

アドレス BUS.BUSSCNTFLI 4000 4100h, BUS.BUSSCNTRAM0 4000 410Ch, BUS.BUSSCNTPOB 4000 4114h,  
BUS.BUSSCNTP2B 4000 4118h, BUS.BUSSCNTP4B 4000 4120h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	ARBMET	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	ARBMET	調停法	グループ優先順位を指定します。 b5 b4 00 : 優先順位固定 01 : ラウンドロビン 10 : 設定禁止 11 : 設定禁止	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. 予約ビットを初期値0から変更することは禁止されています。書き換え中の動作は保証されません。

#### ARBMET ビット (調停法)

調停法を、すべてのバスマスタに定義される優先順位で指定します。優先順位固定については、表 13.4 を参照してください。ラウンドロビンについては、表 13.5 を参照してください。バスの種類とレジスタの対応については、表 13.3 を参照してください。

表 13.4 優先順位固定 (ARBMET = 00b)

スレーブバスコントロールレジスタ	スレーブインタフェース	優先順位
BUSSCNTFLI	メモリバス1	メモリバス3 > システムバス (CPU)
BUSSCNTRAM0	メモリバス4	DMAバス > システムバス (CPU)
BUSSCNTPnB [n = 0, 2, 4]	内部周辺バス1, 3, 5	DMAバス > システムバス (CPU)

表 13.5 ラウンドロビン (ARBMET = 01b)

スレーブバスコントロールレジスタ	スレーブインタフェース	優先順位 (注1)
BUSSCNTFLI	メモリバス1	メモリバス3 <=> システムバス (CPU)
BUSSCNTRAM0	メモリバス4	DMAバス <=> システムバス (CPU)
BUSSCNTPnB [n = 0, 2, 4]	内部周辺バス1, 3, 5	DMAバス <=> システムバス (CPU)

注1. ラウンドロビンであることは <=> で示されます。

## 13.4 バスエラー監視部

この監視システムは、個々の領域を監視して、エラーを検出すると AHB-Lite プロトコルを用いてそのエラーを要求マスタ IP に返します。

### 13.4.1 バスに生じるエラーの種類

それぞれのバスでは、次の 2 種類のエラーが生じる可能性があります。

- 不正アドレスアクセス
- タイムアウト

表 13.6 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスレンジを示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。

### 13.4.2 バスエラー発生時の動作

バスエラーが発生すると、動作は保証されず、要求マスタ IP にエラーが返されます。

注. DTC はバスエラーを受信しません。DTC がバスにアクセスした場合、転送は継続されます。

### 13.4.3 不正アドレスアクセスエラーを引き起こす条件

表 13.6 に、不正アドレスアクセスエラーを引き起こす、バスごとのアドレス空間を示します。

表 13.6 不正アドレスアクセスエラーを引き起こす条件

アドレス	スレーブバス名	マスタバス	
		CPU システム	DMA
0000 0000h ~ 01FF FFFFh	メモリバス 1	—	—
0200 0000h ~ 1FFF FFFFh	予約領域	E	E
2000 0000h ~ 2000 3FFFh	メモリバス 4	—	—
2000 4000h ~ 3FFF FFFFh	予約領域	E	E
4000 0000h ~ 4001 FFFFh	周辺バス 1	—	—
4002 0000h ~ 4003 FFFFh	予約領域	E	E
4004 0000h ~ 4007 FFFFh	周辺バス 3	—	—
4008 0000h ~ 400B FFFFh	周辺バス 5	—	—
400C 0000h ~ 400D FFFFh	周辺バス 3	—	—
400E 0000h ~ 400F FFFFh	予約領域	E	E
4010 0000h ~ 407F FFFFh	周辺バス 1	—	—
4080 0000h ~ FFFF FFFFh	予約領域	E	E

注. E は、不正アドレスアクセスエラーが生じる経路を示します。

注. — は、不正アドレスアクセスエラーが生じなかった経路を示します。

注. バスモジュールは、スレーブに対して何も領域が割り当てられていない場合など、予約領域へのアクセスに起因したアクセスエラーを検出します。

0200 0000h ~ 1FFF FFFFh : アクセスエラーを検出

0000 0000h ~ 01FF FFFFh : メモリバス 1 のアクセスエラー検出なし

#### 13.4.4 タイムアウト

一部の周辺モジュールでは、モジュールストップ機能によってタイムアウトエラーが発生します。一定期間スレーブから応答がないと、タイムアウトエラーが検出されます。タイムアウトエラーは、AHB-Lite エラー応答プロトコルを用いて要求マスタ IP に返されます。

#### 13.5 参考資料

1. *ARM Limited, Cortex-M0+ Devices Generic User Guide (ARM DUI 0662B)*
2. *ARM Limited, AMBA 3 AHB-Lite Protocol v1.0 Specification (ARM IHI 0033A)*

参考資料

## 14. データトランスファコントローラ (DTC)

本 MCU はデータトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込み要求によって起動するとデータ転送を行います。

### 14.1 概要

表 14.1 に DTC の仕様を、図 14.1 に DTC のブロック図を示します。

表 14.1 DTC の仕様

項目	内容
転送モード	<ul style="list-style-type: none"> <li>ノーマル転送モード 1回の起動で1データを転送</li> <li>リピート転送モード 1回の起動で1データを転送 リピートサイズ分データを転送すると転送開始時のアドレスに復帰 リピート回数は最大256回設定可能で、最大256×32ビット (1,024バイト) 転送可能</li> <li>ブロック転送モード 1回の起動で1ブロックを転送 ブロックサイズは、最大256×32ビット=1,024バイト設定可能</li> </ul>
転送チャンネル	<ul style="list-style-type: none"> <li>割り込み要因に対応するチャンネルの転送が可能 (ICUからのDTC起動要求で転送)</li> <li>1つの起動要因に対して複数データの転送が可能 (チェーン転送)</li> <li>チェーン転送は「カウンタが0のとき実施」または「毎回実施」のいずれかを選択可能</li> </ul>
転送空間	<ul style="list-style-type: none"> <li>0000 0000h ~ FFFF FFFFhのうち予約領域を除く4Gバイトの領域</li> </ul>
データ転送単位	<ul style="list-style-type: none"> <li>1データ: 1バイト (8ビット)、1ハーフワード (16ビット)、1ワード (32ビット)</li> <li>1ブロックサイズ: 1~256データ</li> </ul>
CPU割り込み要因	<ul style="list-style-type: none"> <li>DTCを起動した割り込みでCPUへの割り込み要求を発生可能</li> <li>1回のデータ転送後にCPUへの割り込み要求を発生可能</li> <li>指定したデータ数のデータ転送後にCPUへの割り込み要求を発生可能</li> </ul>
イベントリンク機能	1回のデータ転送後 (ブロックの場合は1ブロック転送後) にイベントリンク要求を発生
リードスキップ	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能
モジュールストップ機能	モジュールストップ状態の設定が可能

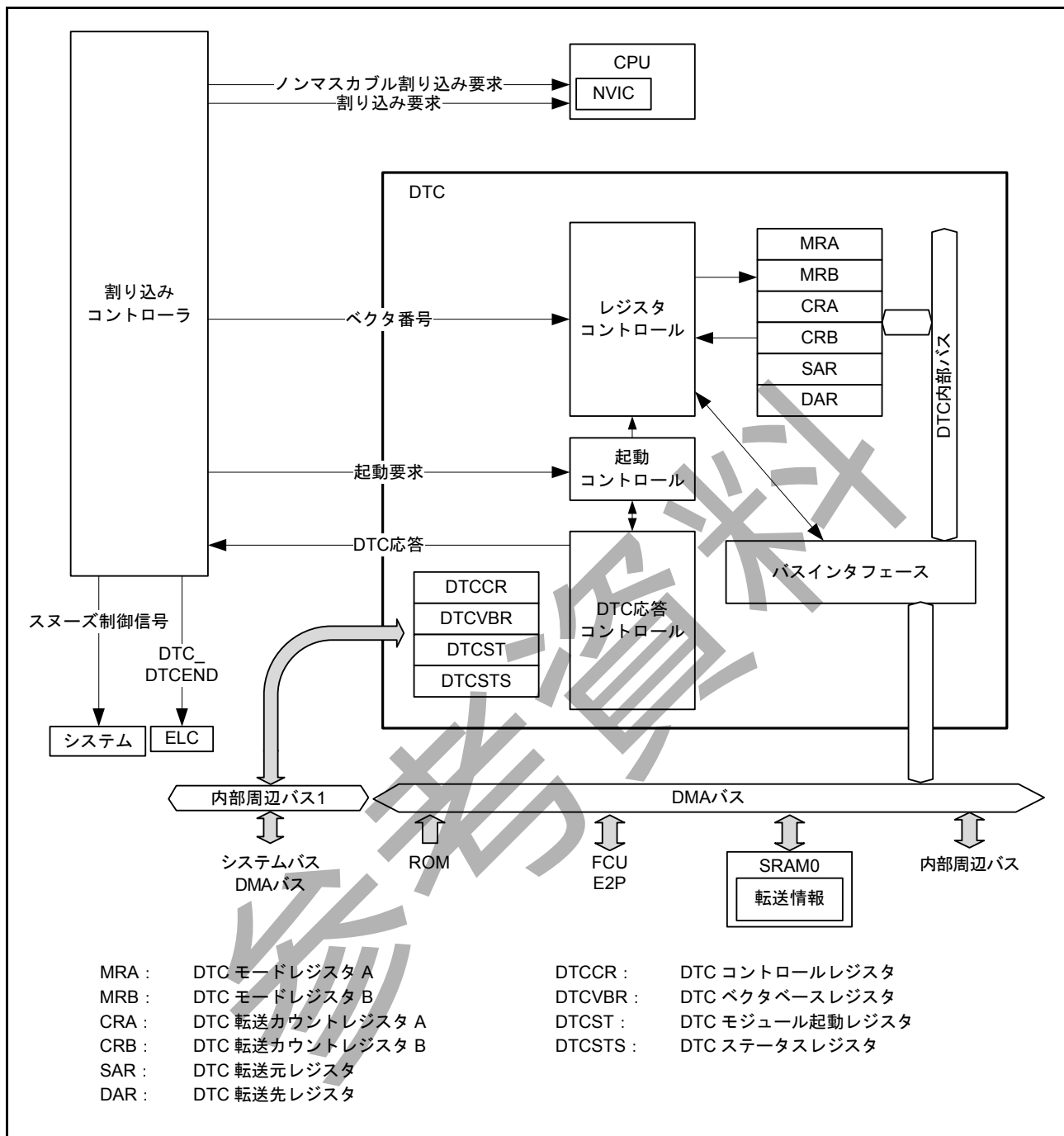


図 14.1 DTC のブロック図

DTC と NVIC (CPU 内) の接続関係については、「12. 割り込みコントローラユニット (ICU)」の概要を参照してください。

## 14.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

### 14.2.1 DTC モードレジスタ A (MRA)

アドレス (CPU から直接アクセス不可。14.3.1 を参照してください)

b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		SZ[1:0]		SM[1:0]		—	—
リセット後の値	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモード	b3 b2 0 0 : SARレジスタはアドレス固定 (SARレジスタへのライトバックをスキップ) 0 1 : SARレジスタはアドレス固定 (SARレジスタへのライトバックをスキップ) 1 0 : 転送後 SARレジスタをインクリメント (SZ[1:0]ビット = 00bのとき+1、01bのとき+2、10b のとき+4) 1 1 : 転送後 SARレジスタをデクリメント (SZ[1:0]ビット = 00bのとき-1、01bのとき-2、10b のとき-4)	—
b5-b4	SZ[1:0]	DTC データトランスファサイズ	b5 b4 0 0 : バイト (8ビット) 転送 0 1 : ハーフワード (16ビット) 転送 1 0 : ワード (32ビット) 転送 1 1 : 設定禁止	—
b7-b6	MD[1:0]	DTC 転送モード選択	b7 b6 0 0 : ノーマル転送モード 0 1 : リピート転送モード 1 0 : ブロック転送モード 1 1 : 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 03h) にアクセス可能なので、DTC によって MRA レジスタから (および MRA レジスタへ) 自動的に転送されます。14.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。



## 14.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可。14.3.1を参照してください)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	
リセット後の値	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモード	b3 b2 0 0: DARレジスタはアドレス固定 (DARレジスタへのライトバックをスキップ) 0 1: DARレジスタはアドレス固定 (DARレジスタへのライトバックをスキップ) 1 0: 転送後DARレジスタをインクリメント (MRA.SZ[1:0]ビット = 00bのとき+1、01bのとき+2、10bのとき+4) 1 1: 転送後DARレジスタをデクリメント (MRA.SZ[1:0]ビット = 00bのとき-1、01bのとき-2、10bのとき-4)	—
b4	DTS	DTC転送モード選択	0: 転送先がリピート領域またはブロック領域 1: 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC割り込み選択	0: 指定されたデータ転送の終了時、CPUへの割り込み要求が発生 1: DTCデータ転送のたびに、CPUへの割り込み要求が発生	—
b6	CHNS	DTCチェーン転送選択	0: 連続してチェーン転送を行う 1: 転送カウンタが1→0、または1→CRAHとなったとき、チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可	0: チェーン転送禁止 1: チェーン転送許可	—

MRBレジスタは、CPUから直接アクセスすることはできません。CPUはSRAM領域 (転送情報 (n) の開始アドレス + 02h) にアクセス可能なので、DTCによってMRBレジスタから (およびMRBレジスタへ) 自動的に転送されます。14.3.1 転送情報の配置とDTCベクタテーブルを参照してください。

### DTS ビット (DTC 転送モード選択)

リピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に指定します。

### CHNS ビット (DTC チェーン転送選択)

チェーン転送の条件を選択します。CHNEビットが0のとき、CHNSビットの設定は無視されます。チェーン転送の条件については、表 14.3 チェーン転送の条件を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPUへの割り込み要求は発生しません。

### CHNE ビット (DTC チェーン転送許可)

チェーン転送を許可します。チェーン転送条件の選択は、CHNSビットで行います。チェーン転送の詳細については、14.4.6 チェーン転送を参照してください。

### 14.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可。14.3.1を参照してください)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

SAR レジスタは転送元の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 04h) にアクセス可能なので、DTC によって SAR レジスタから (および SAR レジスタへ) 自動的に転送されます。14.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

### 14.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可。14.3.1を参照してください)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

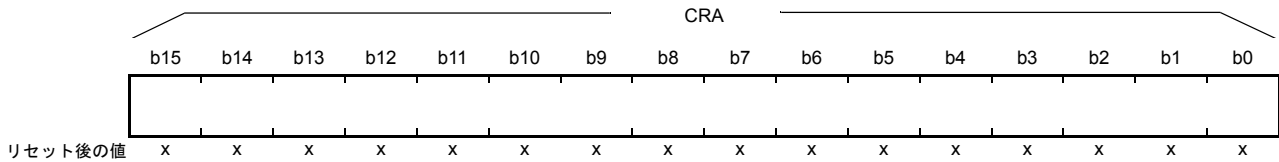
x: 不定

DAR レジスタは転送先の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 08h) にアクセス可能なので、DTC によって DAR レジスタから (および DAR レジスタへ) 自動的に転送されます。14.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。DTC 転送では、アドレスの不整合は禁止されます。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 であり、MRA.SZ[1:0] = 10b の場合、ビット 1 またはビット 0 は 0 でなければいけません。

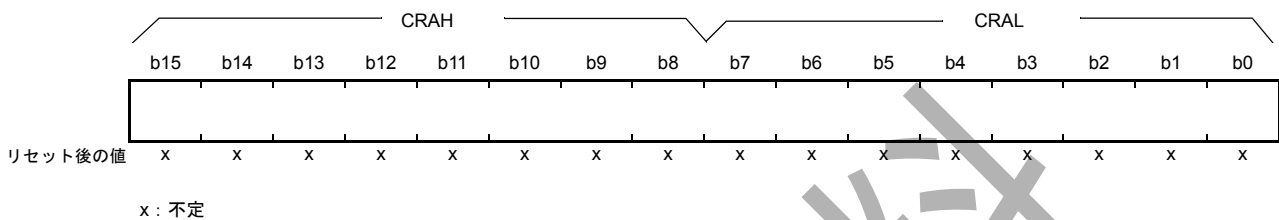
### 14.2.5 DTC 転送カウントレジスタ A (CRA)

アドレス (CPUから直接アクセス不可。14.3.1を参照してください)

- ノーマル転送モード



- リピート転送モード/ブロック転送モード



シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定	—
CRAH	転送カウンタA上位レジスタ		—

注. 転送モードによって機能が異なります。

注. リピート転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 0eh) にアクセス可能なので、DTC によって CRA レジスタから (および CRA レジスタへ) 自動的に転送されます。14.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

#### (1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65,535 回、0000h のときは 65,536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。

#### (2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

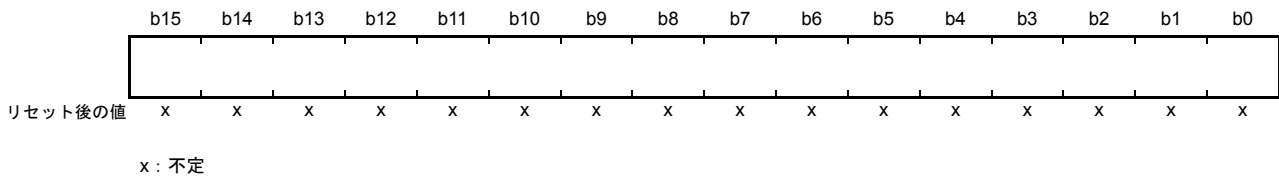
リピート転送モードでは、CRAH レジスタは転送回数を保持し、8 ビットの転送カウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

#### (3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

### 14.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可。14.3.1を参照してください)

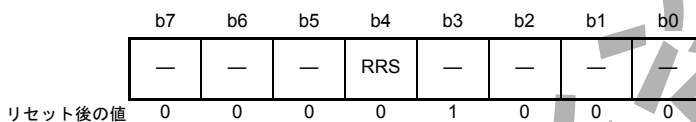


CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65,535 回、0000h のときは 65,536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、CRB レジスタは使用されず、設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 0ch) にアクセス可能なので、DTC によって CRB レジスタから (および CRB レジスタへ) 自動的に転送されます。14.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

### 14.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 4000 5400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b4	RRS	DTC 転送情報リードスキップ許可	0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### RRS ビット (DTC 転送情報リードスキップ許可)

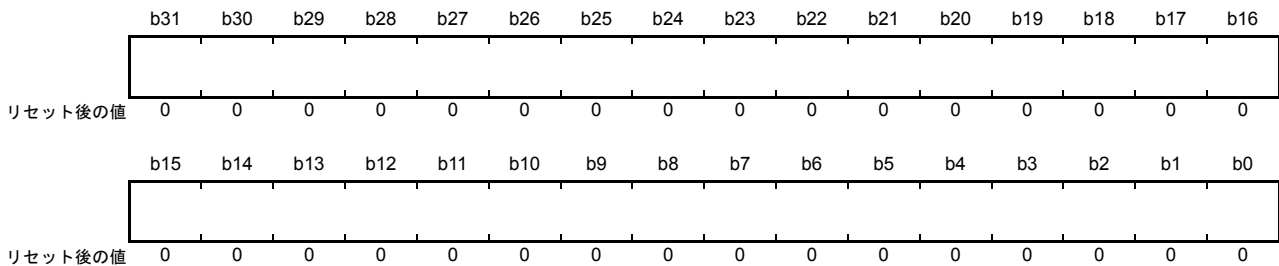
DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。

ベクタ番号が一致して RRS ビットが 1 になっているときは、転送情報の読み出しを行わずに DTC のデータ転送を行います。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ (CRA レジスタ) が 0 になっている場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

### 14.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス [DTC.DTCVBR 4000 5404h](#)

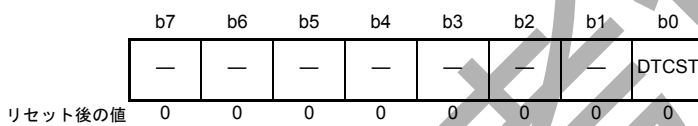


ビット	ビット名	機能	R/W
b31-b0	DTCベクタベースアドレス	DTCベクタベースアドレスを設定 (下位10ビットは0にしてください)	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0000 0000h ~ FFFF FFFFh (4G バイト) の範囲内で 1K バイト単位の設定が可能です。

### 14.2.9 DTC モジュール起動レジスタ (DTCST)

アドレス [DTC.DTCST 4000 540Ch](#)



ビット	シンボル	ビット名	機能	R/W
b0	<a href="#">DTCST</a>	DTCモジュール起動	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### DTCST ビット (DTC モジュール起動)

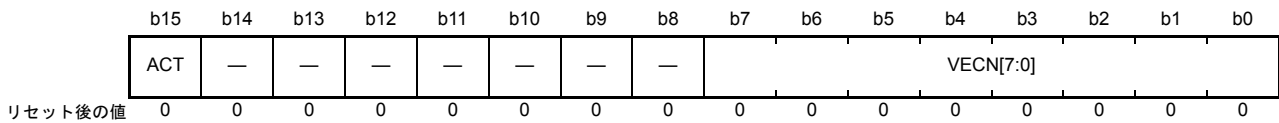
DTC が転送要求を受け付けられるようにするには、DTCST ビットを1にしてください。DTCST ビットを0にすると、新たな転送要求を受け付けません。データ転送中に0に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

モジュールストップ状態へ遷移する場合や、スリープモードへの遷移を伴わないソフトウェアスタンバイモードへ遷移する場合は、事前に DTCST ビットを0にする必要があります。

これらの遷移については、[14.10 モジュールストップ機能](#)と「[10. 低消費電力モード](#)」を参照してください。

## 14.2.10 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 4000 540Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号 モニタ	DTC転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC転送動作中 (ACTフラグが1の場合) にのみ有効 です。	R
b14-b8	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b15	ACT	DTCアクティブフラグ	0 : DTC転送動作なし 1 : DTC転送動作中	R

**VECN[7:0] ビット (DTC アクティブベクタ番号モニタ)**

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1 (DTC 転送動作中) であれば、読み出された VECN[7:0] の値は有効であり、ACT フラグが 0 (DTC 転送動作なし) であれば、読み出された VECN[7:0] の値は無効です。

**ACT フラグ (DTC アクティブフラグ)**

DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

### 14.3 起動要因

DTC は割り込み要求によって起動します。ICU の ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSR の選択出力番号  $n$  ( $n=0 \sim 31$ ) は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号  $n$  に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[7:0] ( $n=0 \sim 31$ ) によって選択されます。

ICU.IELSRn.IELS[7:0] ( $n=0 \sim 31$ ) の設定方法については、「[12. 割り込みコントローラユニット \(ICU\)](#)」の表 [12.4 イベントテーブル](#) を参照してください。ソフトウェアによる起動については、[15.2.2 イベントリンクソフトウェアイベント発生レジスタ  \$n\$  \(ELSEGRn\) \( \$n=0, 1\$ \)](#) を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その 1 回の要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けられません。DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時 (チェーン転送の場合、連続した最後の転送時)、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に対して割り込み要求が送信される
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が送信される
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR ビットはデータ転送開始時に 0 になる

#### 14.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

ベクタテーブルのベースアドレス (開始アドレス) は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号  $n$  を持つ転送情報  $n$  の開始アドレスは、ベクタテーブルのベースアドレス +  $4n$  番地でなければいけません。

DTC ベクタテーブルと転送情報の対応を [図 14.2](#) に示します。SRAM 領域上の転送情報の配置を [図 14.3](#) に示します。

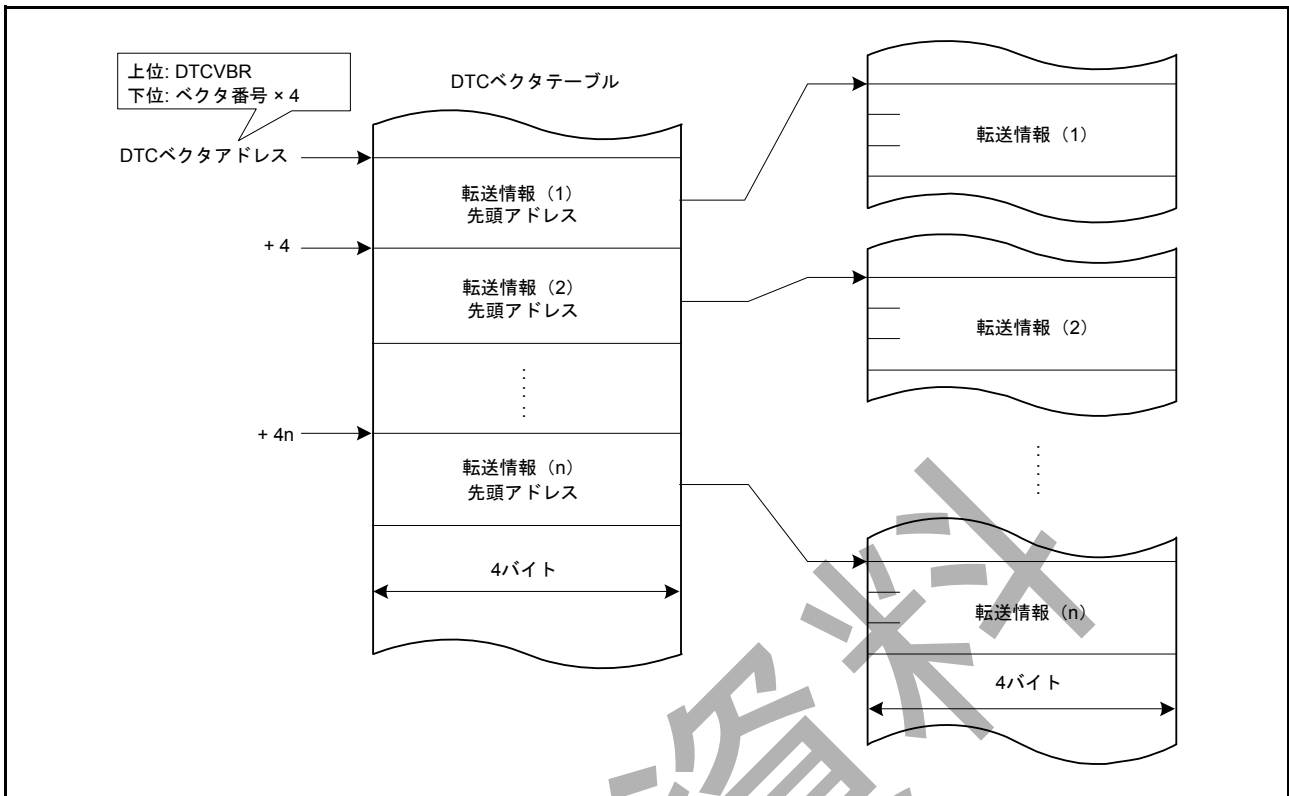


図 14.2 DTC ベクタテーブルと転送情報の対応

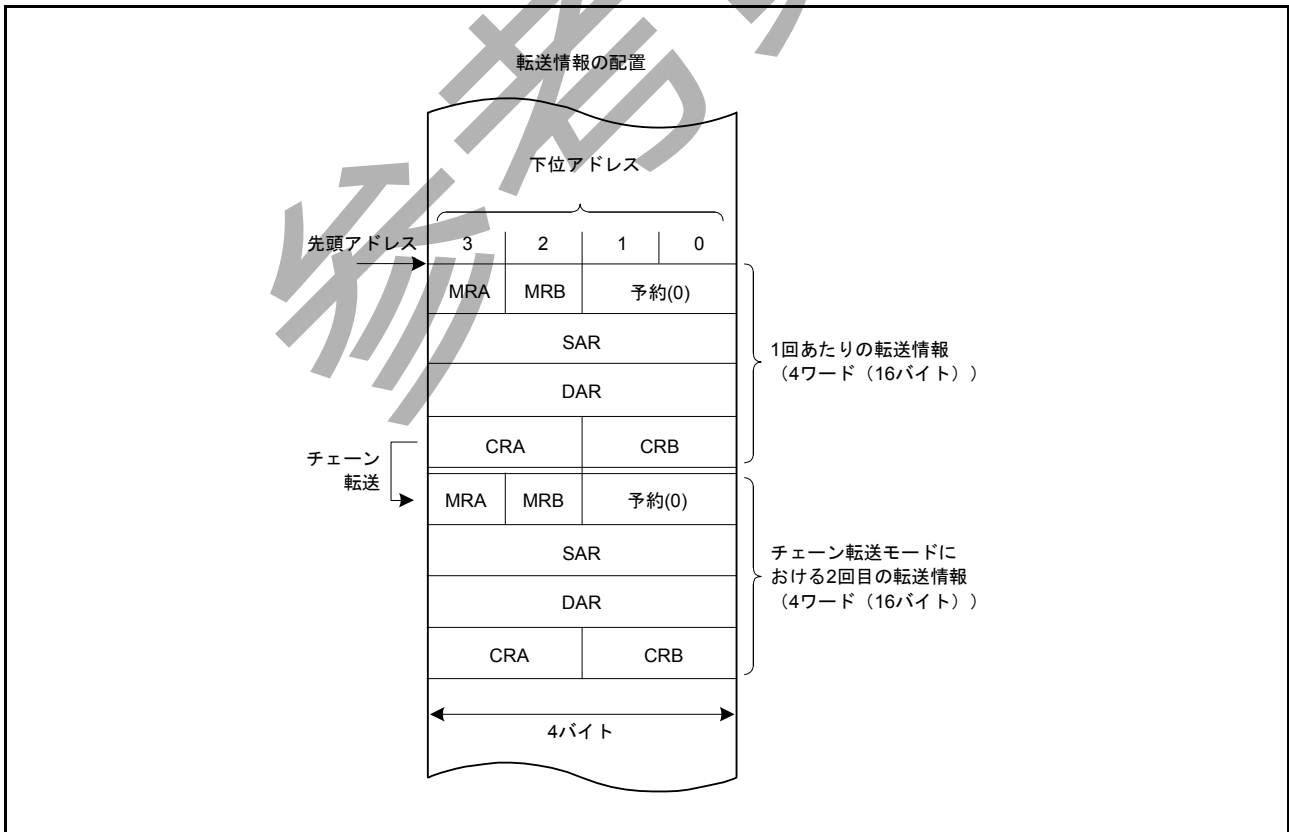


図 14.3 SRAM 領域上の転送情報の配置



## 14.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。DTC は、DTC ベクタで参照される転送情報格納アドレスから転送情報を読み出した後、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャンネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

DTC の転送モードを [表 14.2](#) に示します。

**表 14.2 DTC の転送モード**

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト (8ビット) / 1ハーフワード (16ビット) / 1ワード (32ビット)	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65,536回
リピート転送モード (注1)	1バイト (8ビット) / 1ハーフワード (16ビット) / 1ワード (32ビット)	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAHレジスタで指定したブロックサイズ (1～256バイト / 1～256ハーフワード (2～512バイト) / 1～256ワード (4～1024バイト))	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65,536回

- 注 1. 転送元または転送先のいずれかをリピート領域に設定します。  
 注 2. 転送元または転送先のいずれかをブロック領域に設定します。  
 注 3. 指定回数の転送終了後は、初期状態を回復し動作を再開します。

MRB.CHNE ビットを 1 にすると、1つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC の動作フローチャートを [図 14.4](#) に示します。チェーン転送の条件を [表 14.3](#) に示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。

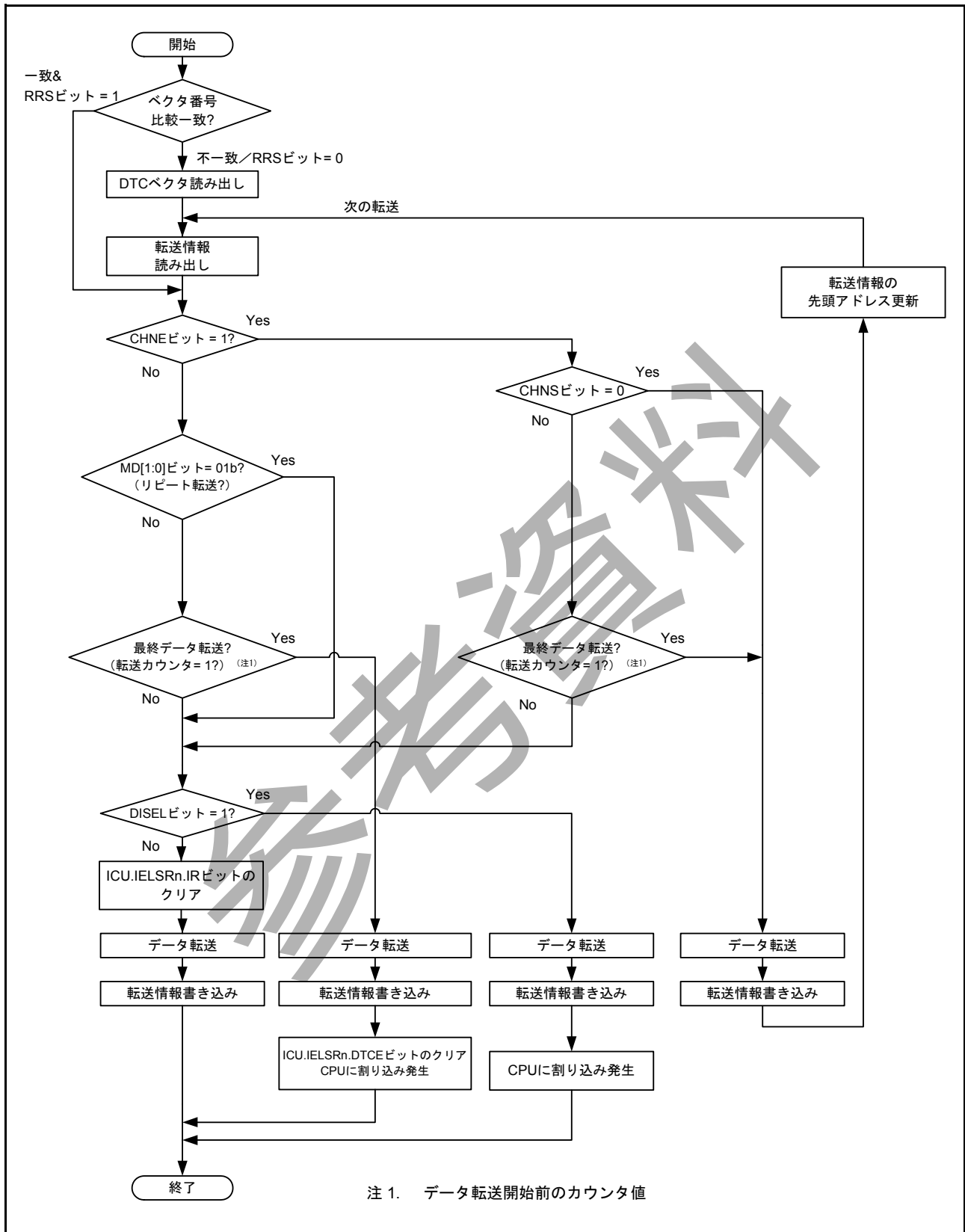


図 14.4 DTC 動作フローチャート

表 14.3 チェーン転送の条件

第1転送				第2転送 (注3)				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1), (注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1), (注2)	
0	—	0	(1→0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1→0)	—	—	—	—	第1転送で終了しCPU へ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了しCPU へ割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第1転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了しCPU へ割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第1転送で終了しCPU へ割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。

ノーマル転送モード：CRA レジスタ  
 リピート転送モード：CRAL レジスタ  
 ブロック転送モード：CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下の通りです。

ノーマル転送モード、ブロック転送モードでは (1→0)  
 リピート転送モードでは (1→CRAH)

表中の (1→\*) は、モードに応じて、これら両方の動作を表します。

注 3. 2番目以降の転送に対してチェーン転送の選択が可能です。第2転送とCHNEビットが1の組み合わせに対する条件は省略されています。

#### 14.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。比較結果が一致し、かつ DTCCR.RRS ビットが1になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が0になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が0になった場合も、DTCCR.RRS ビットの値にかかわらず転送情報が読み出されます。転送情報のリードスキップの動作例を図 14.12 に示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを0にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを1に戻してください。DTCCR.RRS ビットをいったん0にすることによって、格納されていたベクタ番号が破棄されます。次回の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

### 14.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0] ビットまたは MRB.DM[1:0] ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。転送情報のライトバックスキップ条件と対応するレジスタを表 14.4 に示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされます。

表 14.4 転送情報のライトバックスキップ条件と対応するレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

### 14.4.3 ノーマル転送モード

このモードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、1ワード（32ビット）のデータ転送が可能です。転送回数は1～65,536回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表 14.5 に、ノーマル転送モードのメモリマップを図 14.5 に示します。

表 14.5 ノーマル転送モードのレジスタ機能

レジスタ名	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新なし

注1. アドレス固定のとき、ライトバックはスキップされます。

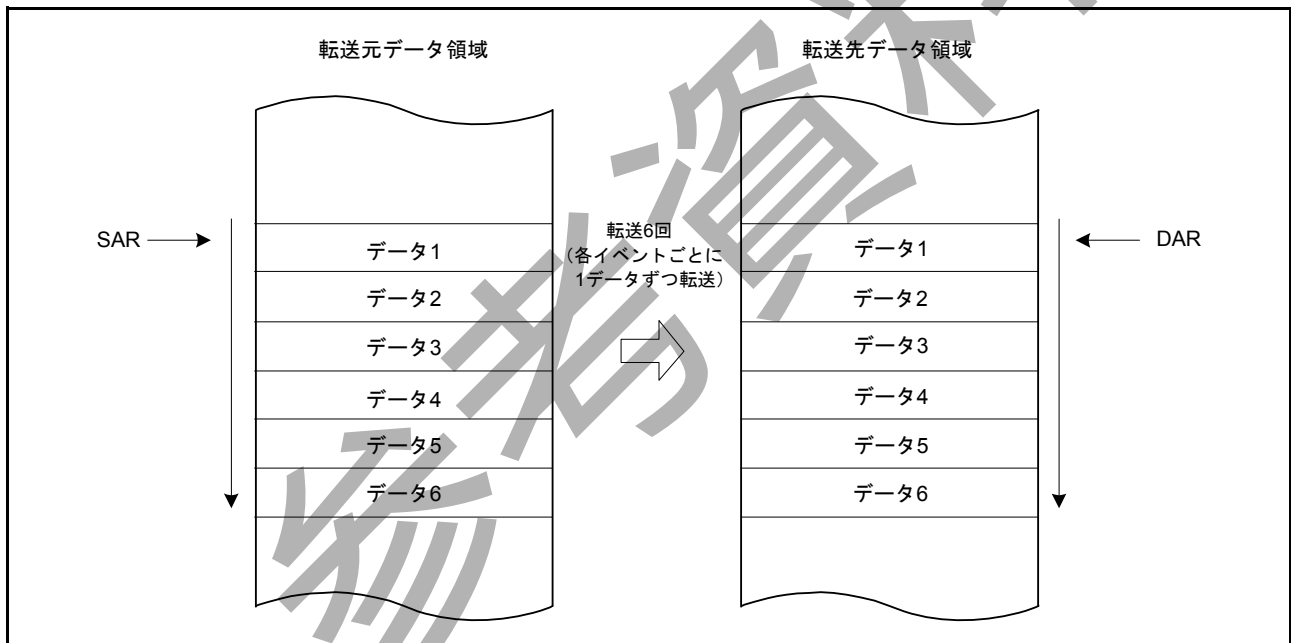


図 14.5 ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0006h)

#### 14.4.4 リピート転送モード

このモードでは、1つの起動要因で、1バイト、1ハーフワード、または1ワードのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は1～256回まで設定できます。指定回数 of 転送が終了すると、リピート領域に指定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ (CRAL レジスタ) が 00h になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタが 00h にならないので、MRB.DISEL ビットが 0 になっていると、CPU への割り込み要求は禁止されます。指定されたデータ転送が終了したとき、CPU への割り込み要求が発生します。

リピート転送モードのレジスタ機能を表 14.6 に、リピート転送モードのメモリマップを図 14.6 に示します。

表 14.6 リピート転送モードのレジスタ機能

レジスタ名	機能	転送情報のライトバックによって書き戻される値	
		CRALが1以外のとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTSビット=1のとき) SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき) DARレジスタの初期値 (MRB.DTSビット=1のとき) インクリメント/デクリメント/固定 (注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタA	CRAL - 1	CRAH
CRB	転送カウンタB	更新なし	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

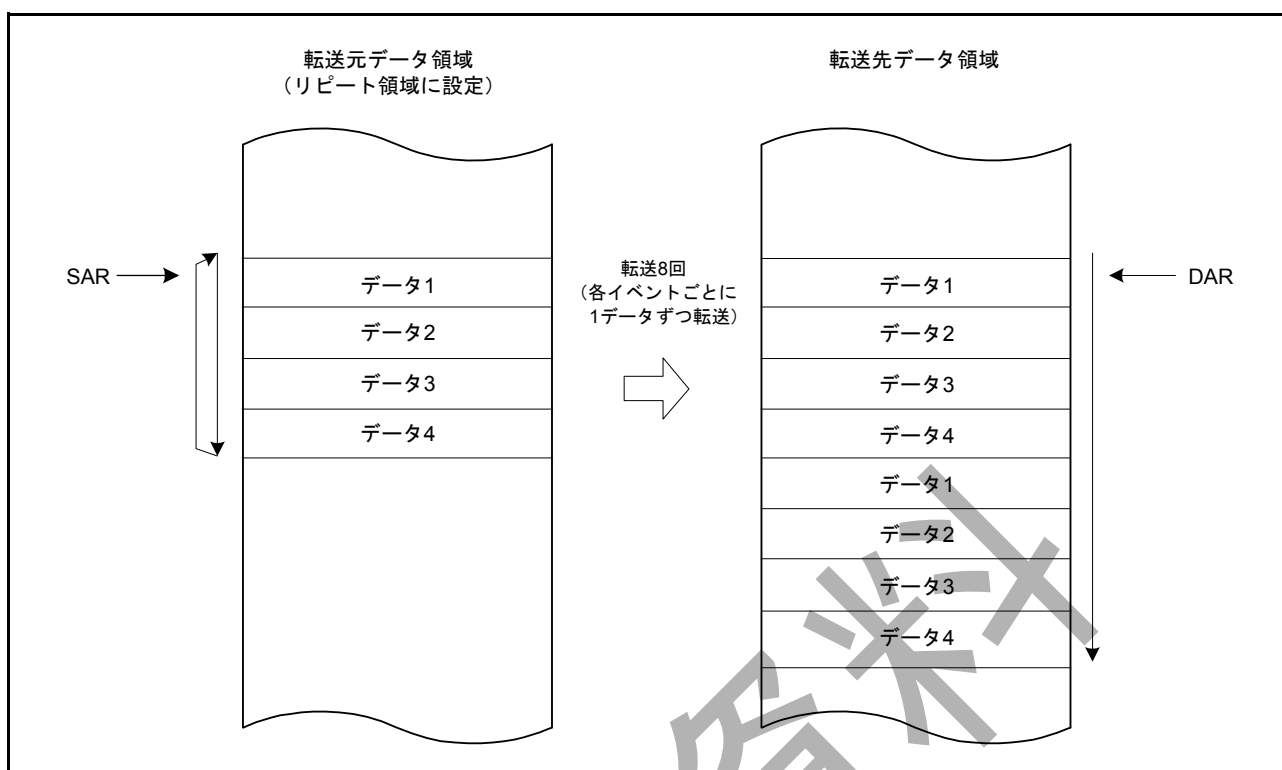


図 14.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合) (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 04h)

### 14.4.5 ブロック転送モード

このモードでは、1つの起動要因で1ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1～256 バイト、1～256 ハーフワード (2～512 バイト)、または1～256 ワード (4～1024 バイト) に設定できます。指定された1ブロックの転送が終了すると、ブロックサイズカウンタ (CRAL レジスタ) と、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが1のとき SAR レジスタ、DTS ビットが0のとき DAR レジスタ) は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数 (ブロック数) は、1～65,536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

ブロック転送モードのレジスタ機能を表 14.7 に、ブロック転送モードのメモリマップを図 14.7 に示します。

表 14.7 ブロック転送モードのレジスタ機能

レジスタ名	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	(MRB.DTS ビット=0のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTS ビット=1のとき) SAR レジスタの初期値
DAR	転送先アドレス	(MRB.DTS ビット=0のとき) DAR レジスタの初期値 (MRB.DTS ビット=1のとき) インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAL
CRB	ブロック転送回数カウンタ	CRB - 1

注1. アドレス固定のとき、ライトバックはスキップされます。

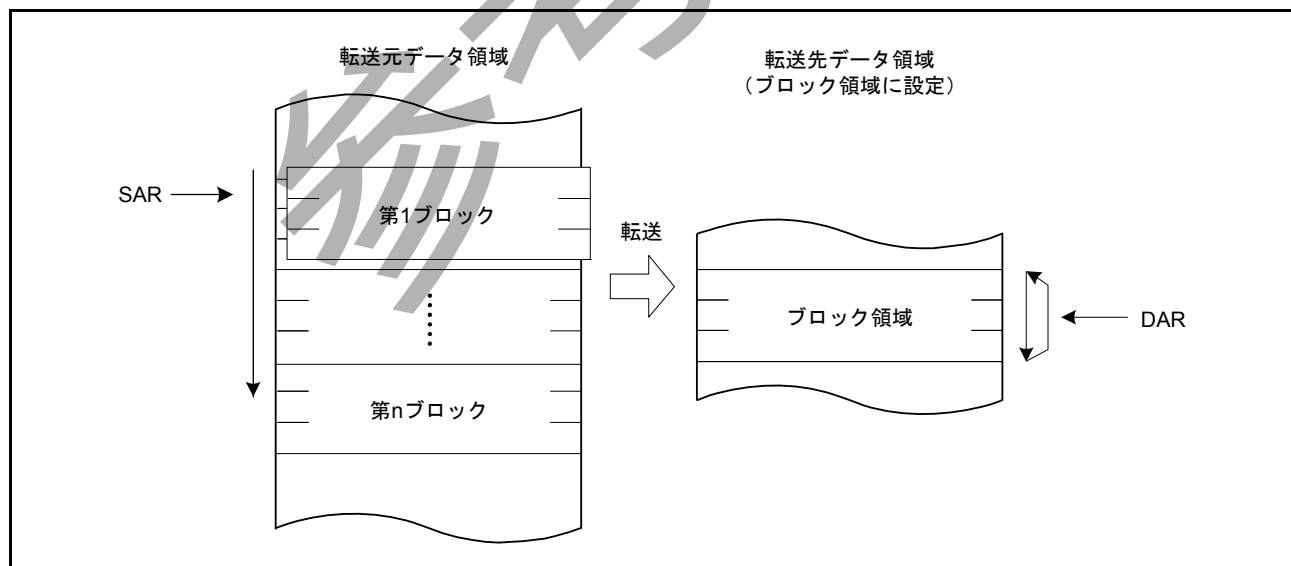


図 14.7 ブロック転送モードのメモリマップ



### 14.4.6 チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL ビット=1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR ビットに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 14.8 にチェーン転送の動作を示します。

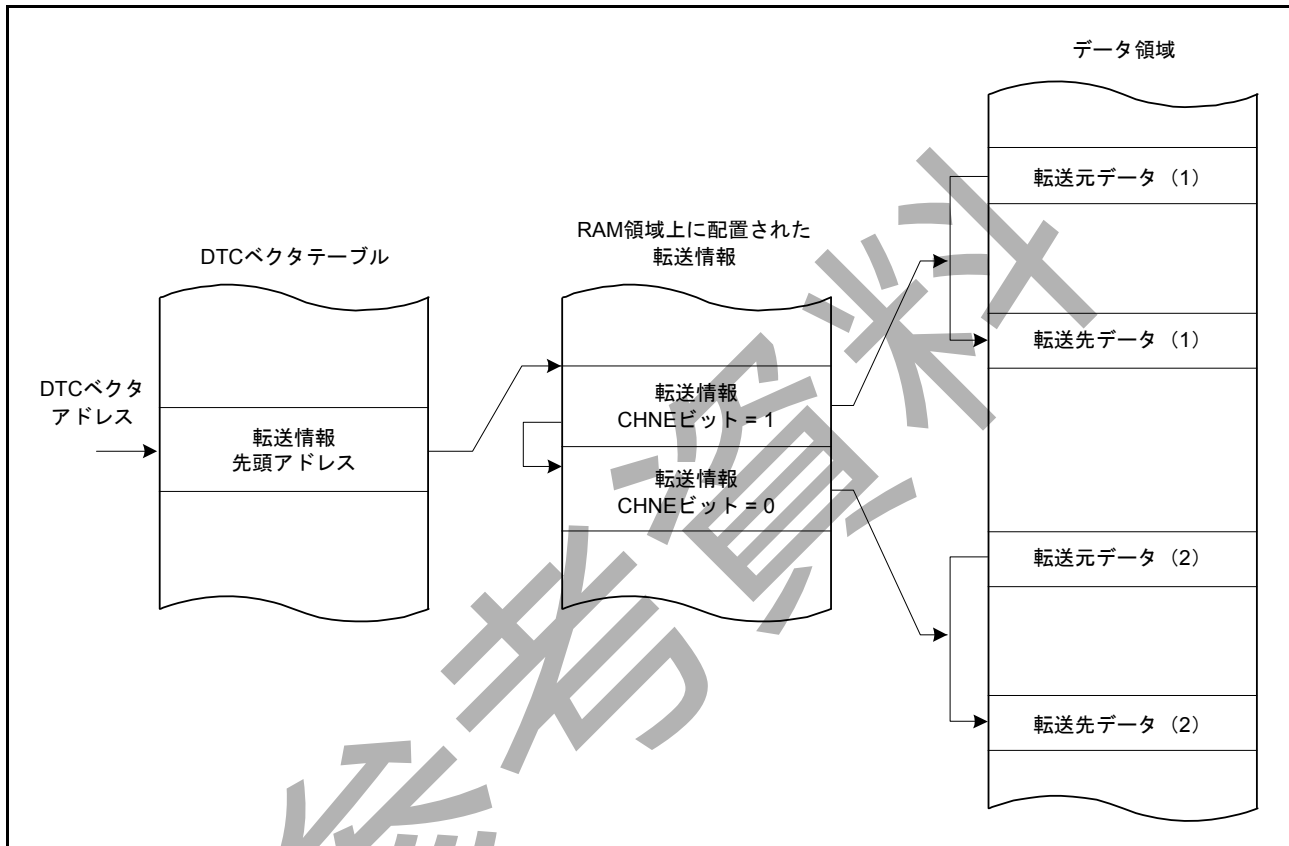


図 14.8 チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 14.3 チェーン転送の条件を参照してください。

## 14.4.7 動作タイミング

図 14.9 ~ 図 14.12 に示すタイミング図は、最小実行サイクル数を示しています。

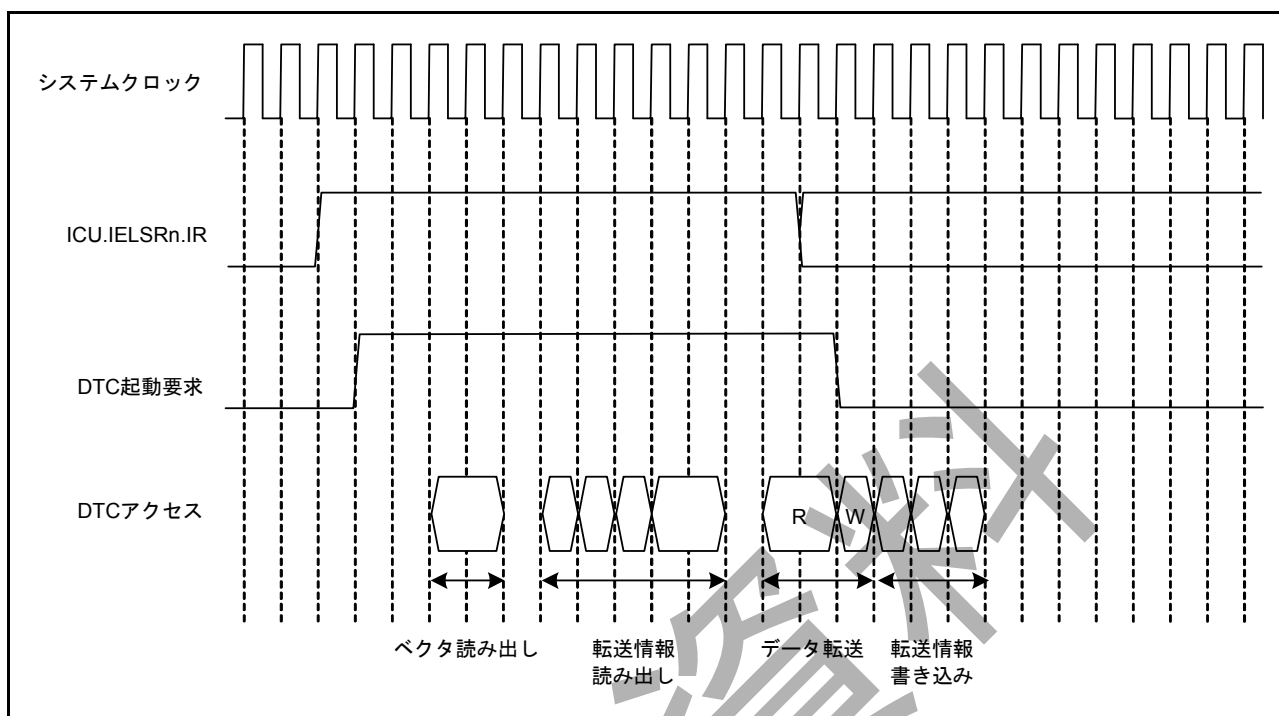


図 14.9 DTC 動作タイミング例 (1) (ノーマル転送モード、リピート転送モードの場合)

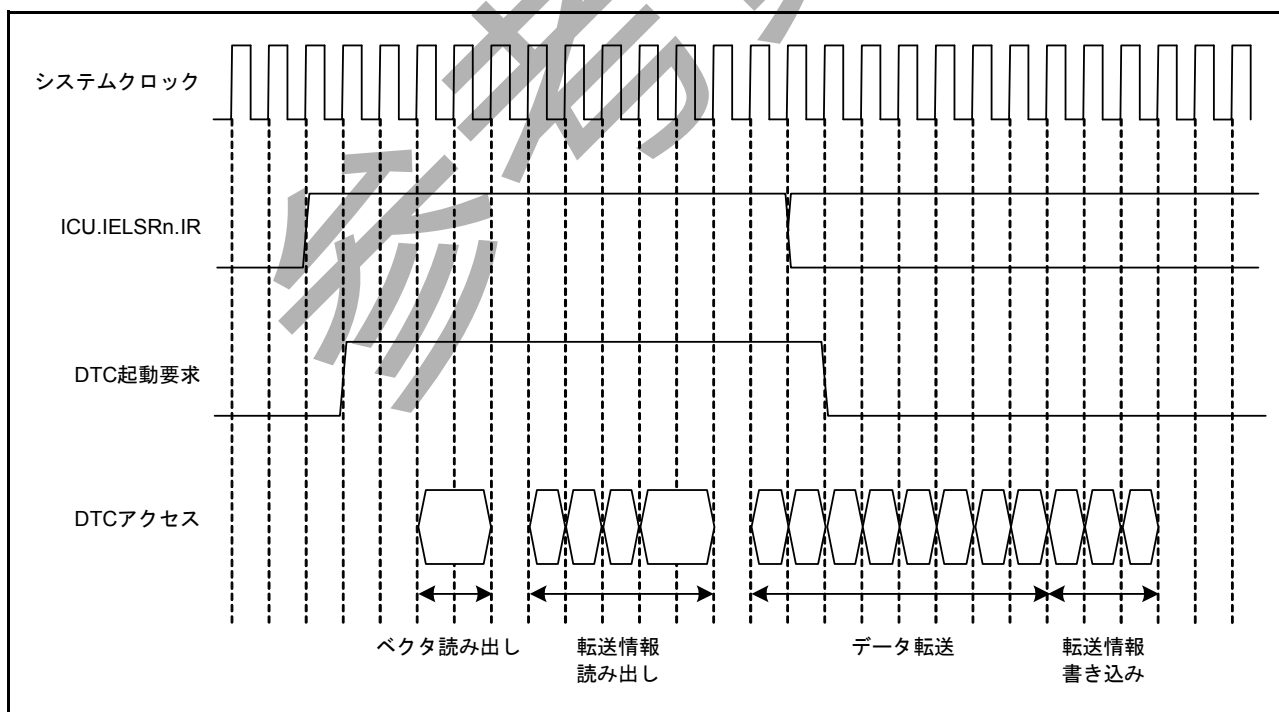


図 14.10 DTC 動作タイミング例 (2) (ブロック転送モード、ブロックサイズ = 4 の場合)

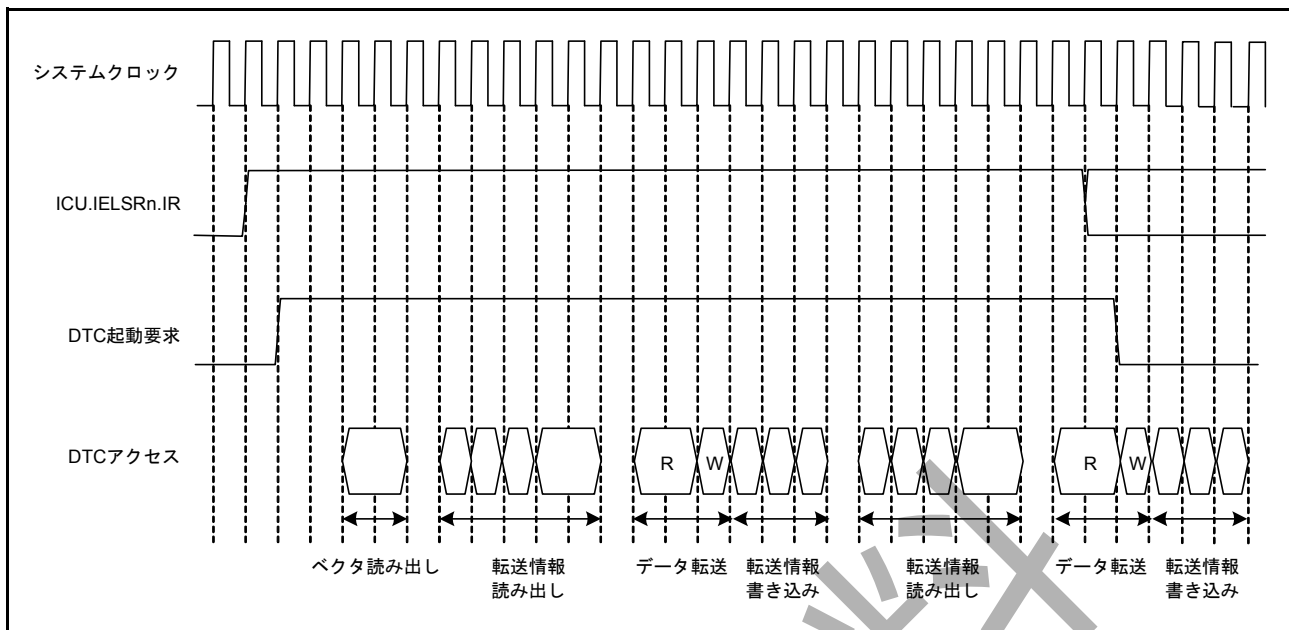


図 14.11 DTC 動作タイミング例 (3) (チェーン転送の場合)

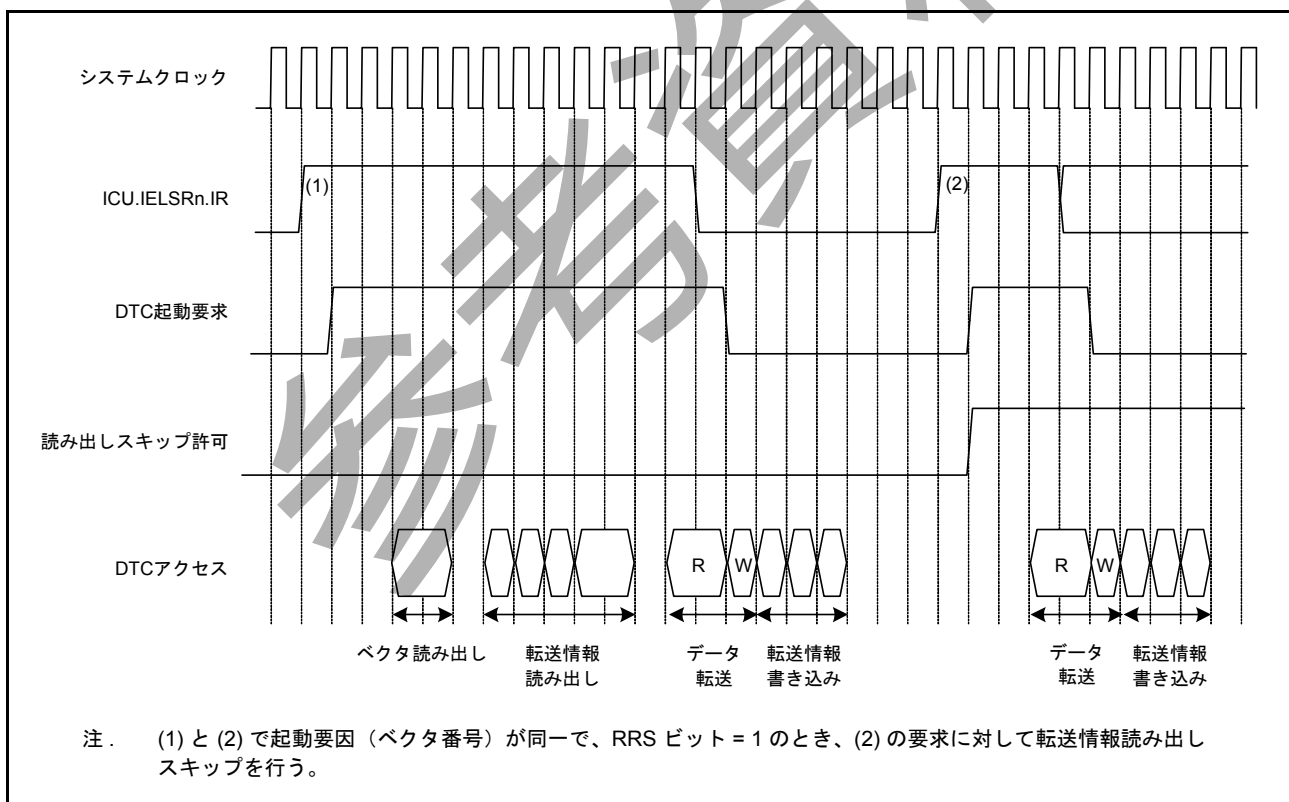


図 14.12 転送情報リードスキップ実行時の動作例 (ベクタ、転送情報、転送先データがSRAMにあり、転送元データが周辺モジュールにある場合)

### 14.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 14.8 に示します。

各実行状態の順序については、14.4.7 動作タイミングを参照してください。

表 14.8 DTC の実行サイクル

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
								読み出し	書き込み		
ノーマル	Cv+1	0 (注1)	4×Ci+1	0 (注1)	3×Ci+1 (注2)	2×Ci+1 (注3)	Ci (注4)	Cr+1	Cw+1	2	0 (注1)
リピート								Cr+1	Cw+1		
ブロック (注5)								P×Cr	P×Cw		

注 1. 転送情報がリードスキップされる場合

注 2. SAR レジスタと DAR レジスタがともにアドレス固定でない場合

注 3. SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合

注 4. SAR レジスタと DAR レジスタがともにアドレス固定の場合

注 5. ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P: ブロックサイズ (CRAH および CRAL レジスタの初期設定値)

Cv: ベクタ転送情報格納先へのアクセスサイクル

Ci: 転送情報格納先アドレスへのアクセスサイクル

Cr: データリード先へのアクセスサイクル

Cw: データライト先へのアクセスサイクル

ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の "+1" の単位と、内部動作の列に記載の "2" の単位は、いずれもシステムクロック (ICLK) です。

Cv、Ci、Cr、Cw は対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「36. SRAM」および「37. フラッシュメモリ」を参照してください。

システムクロックと周辺クロックの周波数比も考慮されています。

DTC の応答時間は、DTC の起動要因が検出されてから DTC 転送が始まるまでの時間です。

この表には、DTC の起動要因がアクティブになってから DTC データ転送が始まるまでの時間は含まれていません。

### 14.4.9 DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「13. バス」を参照してください。

## 14.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。図 14.13 に、DTC の設定手順を示します。

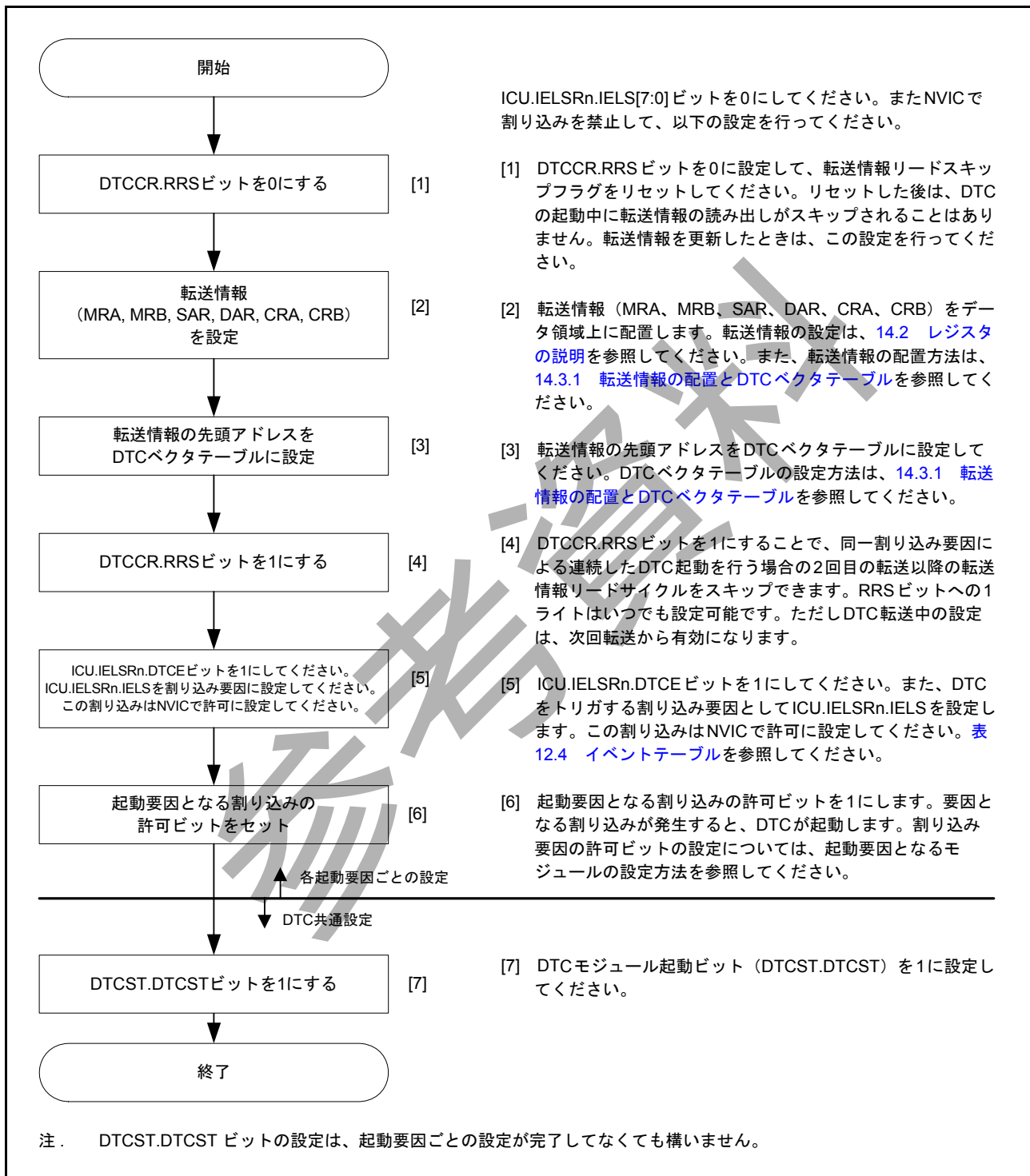


図 14.13 DTC の設定手順

## 14.6 DTC の使用例

### 14.6.1 ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

#### (1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] ビット = 00b)、ノーマル転送モード (MRA.MD[1:0] ビット = 00b)、およびバイト転送 (MRA.SZ[1:0] ビット = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] ビット = 10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を設定します。MRB.DTS ビットは、任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0080h) を設定します。CRB レジスタは任意の値を設定できます。

#### (2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

#### (3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

#### (4) SCI の設定

SCI の SCR.RIE ビットを 1 にして RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるように設定してください。

#### (5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

#### (6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する RXI 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

## 14.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することができます。

チェーン転送の最初の転送には、GPTm.GTCCRC レジスタ ( $m = 320, 161 \sim 166$ ) への転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、GPTm.GTCCRE レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、GPTm.GTPBR レジスタへの転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE ビット = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、GPT320.GTPR レジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

### (1) 第 1 転送情報の設定

GPT320.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、チェーン転送 (MRB.CHNE ビット = 1、MRB.CHNS ビット = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRC レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

### (2) 第 2 転送情報の設定

GPT320.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、チェーン転送 (MRB.CHNE ビット = 1、MRB.CHNS ビット = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRE レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

### (3) 第 3 転送情報の設定

GPT320.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を設定します。MRB.DTS ビットは、任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTPBR レジスタのアドレスを設定します。

6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

#### (4) 転送情報の配置

GPT320.GTPBR レジスタへの転送で使用する転送情報は、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

#### (5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

#### (6) ICU の設定と DTC モジュールの起動

1. GPT320 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[7:0] ビットを 70 (46h) にして、GPT320 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

#### (7) GPT の設定

1. GTCCRA および GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT320.GTIOR レジスタを設定します。
2. GPT320.GTCCRA レジスタと GPT320.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。
3. GPT320.GTPR レジスタには、デフォルトの PWM タイマ周期を設定し、GPT320.GTPBR レジスタには、次の PWM タイマ周期を設定します。
4. PmnPFS.PDR の出力ビットを 1 にして、PmnPFS.PSEL[4:0] の周辺選択ビットを 00011b にします。

#### (8) GPT の起動

GPT320.GTSTR.CSTRT ビットを 1 にして、GPT320.GTCNT カウンタのカウント動作を開始します。

#### (9) DTC 転送

GPT320.GTPR レジスタで GPT320 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT320.GTPBR レジスタへ転送されます。

#### (10) 割り込み処理

指定した回数の転送終了後 (たとえば、GPT 転送用 CRA レジスタの値が 0 になると)、CPU に対して GPT320 カウンタオーバーフロー割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。



### 14.6.3 カウンタ = 0 のときのチェーン転送

第2転送は第1データ転送の転送カウンタが0になったときにだけ実行されます。第1データ転送情報は第2転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256回以上のリピート転送が可能になります。

以下に、128K バイトの入力バッファを構成する例を示します。入力バッファは下位アドレスが0000h から始まるように設定されています。カウンタ=0のときのチェーン転送を図14.14に示します。

1. 第1データ転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
  - a. 転送元アドレス = 固定
  - b. CRAレジスタ = 0000h (65,536回)
  - c. MRB.CHNEビット = 1 (チェーン転送許可)
  - d. MRB.CHNSビット = 1 (転送カウンタが0の場合のみチェーン転送を行う)
  - e. MRB.DISELビット = 0 (指定されたデータ転送の終了時、CPUへの割り込み要求が発生)
2. 第1転送の転送先アドレスの65,536回ごとに、開始アドレスの上位8ビットアドレスを別の領域(フラッシュなど)に用意してください。たとえば、入力バッファを20 0000h ~ 21 FFFFhにする場合は、21hと20hを用意します。
3. 第2データ転送は以下のように設定してください。
  - a. 第1データ転送の転送先アドレスをリセットするため、リピート転送モード(転送元をリピート領域)に設定
  - b. 転送先として、第1転送情報領域のDARレジスタの上位8ビットを指定
  - c. MRB.CHNEビット = 0 (チェーン転送禁止)
  - d. MRB.DISELビット = 0 (指定されたデータ転送の終了時、CPUへの割り込み要求が発生)
  - e. 入力バッファを20 0000h ~ 21 FFFFhにした場合は、転送カウンタ = 2
4. 1回の割り込みで、第1データ転送が65,536回実行されます。第1データ転送の転送カウンタが0になると、第2データ転送がスタートします。第1データ転送の転送元アドレスの上位8ビットを21hにしてください。第1データ転送の転送先アドレスの下位16ビット(転送カウンタ)は0000hになっています。
5. 引き続き1回の割り込みで、第1データ転送用に指定された65,536回だけ、第1データ転送が実行されます。第1データ転送の転送カウンタが0になると、第2データ転送がスタートします。第1データ転送の転送元アドレスの上位8ビットを20hにしてください。第1データ転送の転送先アドレスの下位16ビット(転送カウンタ)は0000hになっています。
6. 手順4と5が無限に繰り返されます。第2データ転送はリピート転送モードのため、CPUへの割り込み要求は発生しません。

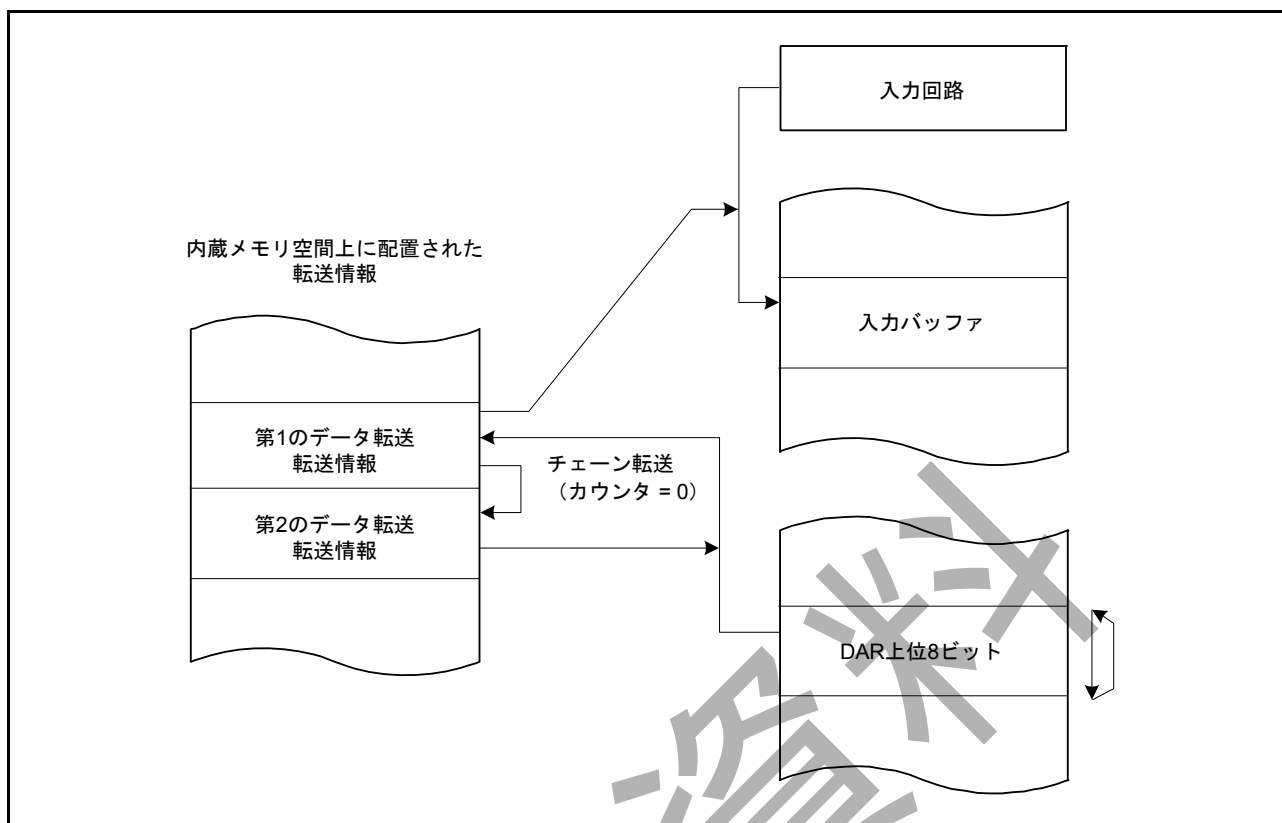


図 14.14 カウンタ = 0 のときのチェーン転送

## 14.7 割り込み要因

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。CPU に対する割り込みは、NVIC および ICU.IELSRn.IELS[7:0] ビットの設定に従って制御されます。「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。DTC 起動要因の優先順位については、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

## 14.8 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力できます。

## 14.9 スヌーズ制御インタフェース

DTC によってスヌーズモードからソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED ビットを 1 にしてください。[10.8.3 ソフトウェアスタンバイモードへの復帰](#)を参照してください。

SYSTEM.SNZEDCR.DTCZRED は、最後の DTC 送信完了 (CRA と CRB が 0 であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。

SYSTEM.SNZEDCR.DTCNZRED は、最後以外の DTC 送信完了 (CRA と CRB が 0 以外であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。

## 14.10 モジュールストップ機能

モジュールストップ機能、またはスヌーズモードへの遷移を伴わないソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にしてください。その後、本節に示す情報に従ってください。SYSTEM.SNZCR.SNZDTCEN ビットを 1 にすると、DTC はスヌーズモードでも利用可能です。「[10. 低消費電力モード](#)」を参照してください。

### (1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたときに DTC 転送が動作中の場合、DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA22 ビットに 0 を書くことで、DTC のモジュールストップ状態が解除されます。

### (2) ソフトウェアスタンバイモード

[10.7.1 ソフトウェアスタンバイモードへの遷移](#)の手順に従って設定してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードへ遷移します。

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。[10.8.1 スヌーズモードへの遷移](#)を参照してください。スヌーズモード時の DTC の動作は、SYSTEM.SNZCR.SNZDTCEN ビットで選択できます。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。DTC によってソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED を 1 にしてください。[10.8.3 ソフトウェアスタンバイモードへの復帰](#)を参照してください。ソフトウェアスタンバイモード中は ICU からの DTC 起動要求は停止しますが、スヌーズモード中は停止しません。

### (3) モジュールストップ機能の制限事項

WFI 命令とレジスタの設定手順については、「10. 低消費電力モード」を参照してください。

スヌーズモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、12.4.2 割り込み要求先の選択に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スヌーズモード時に DTC 動作を許可にする場合、DTC のモジュールストップ機能を使用しないでください。

## 14.11 使用上の注意事項

### 14.11.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

参考資料

## 15. イベントリンクコントローラ (ELC)

### 15.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さない直接リンクを実現します。

表 15.1 に ELC の仕様を、図 15.1 に ELC のブロック図を示します。

表 15.1 ELC の仕様

項目	内容
イベントリンク機能	108種類のイベント信号を、直接モジュールに接続可能。ELCイベント信号と、DTC起動用のイベントの発生が可能
モジュールストップ機能	モジュールストップ状態の設定が可能

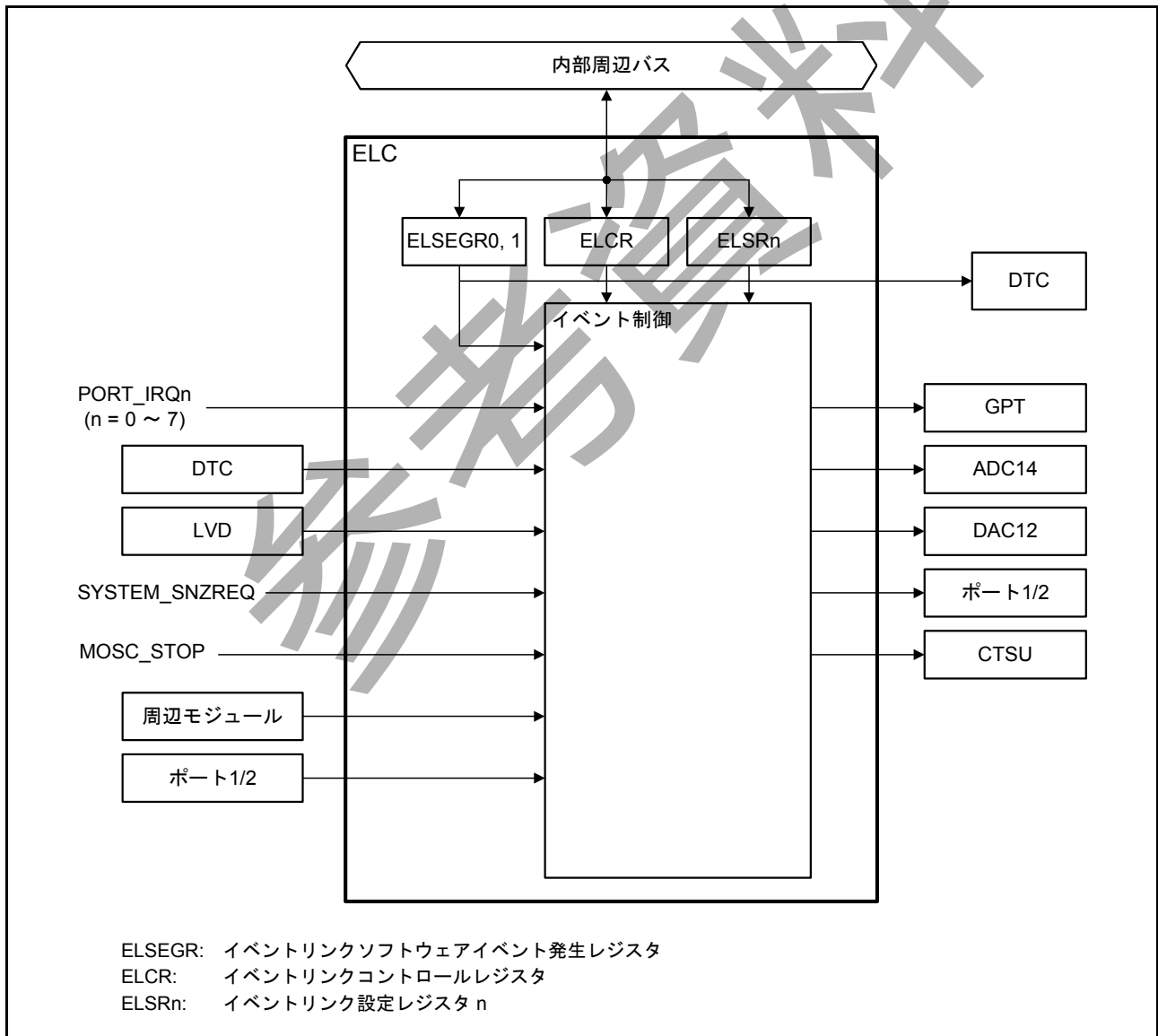


図 15.1 ELC のブロック図 (n = 0 ~ 3, 8, 9, 12, 14, 15, 18)

## 15.2 レジスタの説明

### 15.2.1 イベントリンクコントローラレジスタ (ELCR)

アドレス ELC.ELCR 4004 1000h

	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	ELCON	全イベントリンク許可	0 : ELC機能は無効 1 : ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

参考資料

## 15.2.2 イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) (n = 0, 1)

アドレス ELC.ELSEGR0 4004 1002h, ELC.ELSEGR1 4004 1004h

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生	0: 通常動作 1: ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	WE	SEGビット書き込み許可	0: SEGビットへの書き込み禁止 1: SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止	0: ELSEGRレジスタへの書き込み許可 1: ELSEGRレジスタへの書き込み禁止	W

**SEG ビット (ソフトウェアイベント発生)**

WE ビットが1の状態、このビットに1を書くとソフトウェアイベントが発生します。読むと0が読めます。1を書いてもデータは格納されません。WE ビットを1にしてから、このビットを書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることができます。

**WE ビット (SEG ビット書き込み許可)**

WE ビットが1のときのみ、SEG ビットに対する書き込みが可能になります。WI ビットを0にクリアしてから、このビットを書く必要があります。

[1になる条件]

- WI ビットが0の状態、1を書いたとき

[0になる条件]

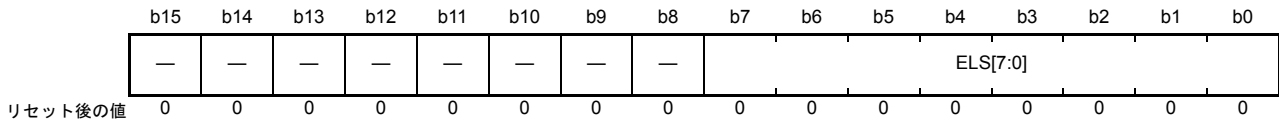
- WI ビットが0の状態、0を書いたとき

**WI ビット (ELSEGR レジスタ書き込み禁止)**

WI ビットが0のときのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと1が読めます。WI ビットを0にしてから、WE または SEG ビットを設定する必要があります。

## 15.2.3 イベントリンク設定レジスタ n (ELSRn) (注 1)

アドレス [ELC.ELSR0 4004 1010h](#), [ELC.ELSR1 4004 1014h](#), [ELC.ELSR2 4004 1018h](#), [ELC.ELSR3 4004 101Ch](#), [ELC.ELSR8 4004 1030h](#),  
[ELC.ELSR9 4004 1034h](#), [ELC.ELSR12 4004 1040h](#), [ELC.ELSR14 4004 1048h](#), [ELC.ELSR15 4004 104Ch](#), [ELC.ELSR18 4004 1058h](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	<a href="#">ELS[7:0]</a>	イベントリンク選択	b7 b0 00000000 : 対応する周辺モジュールへのイベント出力は禁止 00000001 ~ 10000110 : リンクするイベント信号の番号を指定 上記以外は設定しないでください。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. n = 0 ~ 3, 8, 9, 12, 14, 15, 18

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を[表 15.2](#)に示します。また、ELSRn レジスタに設定するイベント信号名と信号番号の対応を[表 15.3](#)に示します。

表 15.2 ELSRn レジスタと周辺機能の対応

レジスタ名	周辺機能 (モジュール)	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR8	ADC14A	ELC_AD00
ELSR9	ADC14B	ELC_AD01
ELSR12	DAC12	ELC_DA0
ELSR14	PORT 1	ELC_PORT1
ELSR15	PORT 2	ELC_PORT2
ELSR18	CTSU	ELC_CTSU



表 15.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応 (1/3)

イベント番号	割り込み要求の発生元	名称	内容
01h	ポート	PORT_IRQ0 (注1)	外部端子割り込み0
02h		PORT_IRQ1 (注1)	外部端子割り込み1
03h		PORT_IRQ2 (注1)	外部端子割り込み2
04h		PORT_IRQ3 (注1)	外部端子割り込み3
05h		PORT_IRQ4 (注1)	外部端子割り込み4
06h		PORT_IRQ5 (注1)	外部端子割り込み5
07h		PORT_IRQ6 (注1)	外部端子割り込み6
08h		PORT_IRQ7 (注1)	外部端子割り込み7
0Ah	DTC	DTC_DTCEND (注3)	DTC転送終了
0Dh	LVD	LVD_LVD1	電圧監視1割り込み
0Eh		LVD_LVD2	電圧監視2割り込み
0Fh	MOSC	MOSC_STOP	メインクロック発振停止
10h	低消費電力モード	SYSTEM_SNZREQ (注2) , (注3)	スヌーズエントリ
11h	AGT0	AGT0_AGTI	AGT割り込み
12h		AGT0_AGTCMAI	コンペアマッチA
13h		AGT0_AGTCMBI	コンペアマッチB
14h	AGT1	AGT1_AGTI	AGT割り込み
15h		AGT1_AGTCMAI	コンペアマッチA
16h		AGT1_AGTCMBI	コンペアマッチB
17h	IWDT	IWDT_NMIUNDF	IWDTアンダーフロー
18h	WDT	WDT_NMIUNDF	WDTアンダーフロー
1Ah	RTC	RTC_PRD	周期割り込み
1Ch	ADC140	ADC140_ADI	A/Dスキャン変換終了割り込み
20h		ADC140_WCMPPM (注3)	コンペアマッチ
21h		ADC140_WCMPUM (注3)	コンペア不一致
22h	ACMPLP	ACMP_LP0	低消費電力アナログコンパレータ割り込み0
23h		ACMP_LP1	低消費電力アナログコンパレータ割り込み1
26h	IIC0	IIC0_RXI	受信データフル
27h		IIC0_TXI	送信データエンプティ
28h		IIC0_TEI	送信終了
29h		IIC0_EEI	通信エラー
2Bh	IIC1	IIC1_RXI	受信データフル
2Ch		IIC1_TXI	送信データエンプティ
2Dh		IIC1_TEI	送信終了
2Eh		IIC1_EEI	通信エラー
33h	DOC	DOC_DOPCI (注3)	データ演算回路割り込み
3Ch	I/Oポート	IOPORT_GROUP1	ポート1イベント
3Dh		IOPORT_GROUP2	ポート2イベント
3Eh	ELC	ELC_SWEVT0	ソフトウェアイベント0
3Fh		ELC_SWEVT1	ソフトウェアイベント1

表 15.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応 (2/3)

イベント番号	割り込み要求の発生元	名称	内容
42h	GPT320	GPT0_CCMPA	コンペアマッチA
43h		GPT0_CCMPB	コンペアマッチB
44h		GPT0_CMPC	コンペアマッチC
45h		GPT0_CMPD	コンペアマッチD
46h		GPT0_OVF	オーバーフロー
47h		GPT0_UDF	アンダーフロー
48h		GPT161	GPT1_CCMPA
49h	GPT1_CCMPB		コンペアマッチB
4Ah	GPT1_CMPC		コンペアマッチC
4Bh	GPT1_CMPD		コンペアマッチD
4Ch	GPT1_OVF		オーバーフロー
4Dh	GPT1_UDF		アンダーフロー
4Eh	GPT162		GPT2_CCMPA
4Fh		GPT2_CCMPB	コンペアマッチB
50h		GPT2_CMPC	コンペアマッチC
51h		GPT2_CMPD	コンペアマッチD
52h		GPT2_OVF	オーバーフロー
53h		GPT2_UDF	アンダーフロー
54h		GPT163	GPT3_CCMPA
55h	GPT3_CCMPB		コンペアマッチB
56h	GPT3_CMPC		コンペアマッチC
57h	GPT3_CMPD		コンペアマッチD
58h	GPT3_OVF		オーバーフロー
59h	GPT3_UDF		アンダーフロー
5Ah	GPT164		GPT4_CCMPA
5Bh		GPT4_CCMPB	コンペアマッチB
5Ch		GPT4_CMPC	コンペアマッチC
5Dh		GPT4_CMPD	コンペアマッチD
5Eh		GPT4_OVF	オーバーフロー
5Fh		GPT4_UDF	アンダーフロー
60h		GPT165	GPT5_CCMPA
61h	GPT5_CCMPB		コンペアマッチB
62h	GPT5_CMPC		コンペアマッチC
63h	GPT5_CMPD		コンペアマッチD
64h	GPT5_OVF		オーバーフロー
65h	GPT5_UDF		アンダーフロー
66h	GPT166		GPT6_CCMPA
67h		GPT6_CCMPB	コンペアマッチB
68h		GPT6_CMPC	コンペアマッチC
69h		GPT6_CMPD	コンペアマッチD
6Ah		GPT6_OVF	オーバーフロー
6Bh		GPT6_UDF	アンダーフロー
6Ch		GPT	GPT_UVWEDGE

表 15.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応 (3/3)

イベント番号	割り込み要求の発生元	名称	内容
6Dh	SCI0	SCI0_RXI (注4)	受信データフル
6Eh		SCI0_TXI (注4)	送信データエンプティ
6Fh		SCI0_TEI	送信終了
70h		SCI0_ERI (注4)	受信エラー
71h		SCI0_AM	アドレス一致イベント
73h	SCI1	SCI1_RXI	受信データフル
74h		SCI1_TXI	送信データエンプティ
75h		SCI1_TEI	送信終了
76h		SCI1_ERI	受信エラー
77h		SCI1_AM	アドレス一致イベント
78h	SCI9	SCI9_RXI	受信データフル
79h		SCI9_TXI	送信データエンプティ
7Ah		SCI9_TEI	送信終了
7Bh		SCI9_ERI	受信エラー
7Ch		SCI9_AM	アドレス一致イベント
7Dh	SPI0	SPI0_SPRI	受信バッファフル
7Eh		SPI0_SPTI	送信バッファエンプティ
7Fh		SPI0_SPII	アイドル
80h		SPI0_SPEI	エラー
81h		SPI0_SPTEND	送信完了イベント
82h	SPI1	SPI1_SPRI	受信バッファフル
83h		SPI1_SPTI	送信バッファエンプティ
84h		SPI1_SPII	アイドル
85h		SPI1_SPEI	エラー
86h		SPI1_SPTEND	送信完了イベント

- 注 1. パルス（エッジ検出）のみがサポートされています。  
注 2. ELSR8, 9, 14, 15 および ELSR18 が、このイベントを選択できます。  
注 3. このイベントはスヌーズモードでも発生可能です。  
注 4. このイベントは FIFO モードではサポートされていません。

## 15.3 動作説明

### 15.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

### 15.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSRn) に設定しておいたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、前もって完了しておく必要があります。表 15.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 15.4 イベント発生時のモジュールの動作

モジュール	イベント発生時の動作
GPT	<ul style="list-style-type: none"> <li>• カウント開始</li> <li>• カウント停止</li> <li>• カウントクリア</li> <li>• アップカウント</li> <li>• ダウンカウント</li> <li>• インพุットキャプチャ</li> </ul>
ADC14	A/D 変換開始
DAC12	D/A 変換開始
I/Oポート	<ul style="list-style-type: none"> <li>• EORR (リセット) または EOSR (セット) に基づく端子出力の変化</li> <li>• 端子状態を EIDR にラッチ</li> <li>• ELC で使用可能なポート:               <ul style="list-style-type: none"> <li>PORT 1</li> <li>PORT 2</li> </ul> </li> </ul>
CTSU	測定動作開始
DTC	DTC データ転送開始

### 15.3.3 イベントリンクの動作設定手順例

イベントのリンク方法は以下の通りです。

1. イベントをリンクするモジュールの動作設定を行います。
2. イベントをリンクするモジュールに対して、ELSRn レジスタを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にします。
4. イベント出力元モジュールの設定を行い、起動させます。これによって、2つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[7:0] ビットを 0000000b にします。また、ELCR.ELCON ビットを 0 にすることにより、すべてのイベントリンクを停止します。

RTC のイベントリンク出力機能を使用する場合は、RTC の設定 (初期化、時刻設定など) を行った後、ELC を設定してください。ELC の設定後に RTC の設定を行うと、意図しないイベント出力が発生する可能性があります。

## 15.4 使用上の注意事項

### 15.4.1 DTC 転送終了のイベントリンクを使用する場合

DTC 転送終了のイベントリンクを使用する場合、DTC 転送先とイベントのリンク先を同一周辺モジュールに設定しないでください。設定すると周辺モジュールへの DTC 転送が完了する前に、周辺モジュールが起動する可能性があります。

### 15.4.2 クロックの設定について

イベントリンクを使用するには、ELC と対象モジュールが動作可能な状態でなければなりません。対象モジュールがモジュールストップ状態の場合、または、対象モジュールが停止するような低消費電力モード (ソフトウェアスタンバイモードなど) の場合、そのモジュールは動作できません。モジュールによっては、スリープモードで動作できるものもあります。詳細については、表 15.3 と「10. 低消費電力モード」を参照してください。

### 15.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC 動作を禁止または許可することが可能です。リセット後、ELC はモジュールストップ状態にあるため、動作は禁止されています。詳細については、表 15.3 と「10. 低消費電力モード」を参照してください。

モジュールストップコントロールレジスタを用いて ELC 動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。

## 16. I/Oポート

### 16.1 概要

I/Oポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、またはELCのポートグループ機能として動作します。

すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子の設定は、対応するI/Oポートおよび周辺モジュールのレジスタによって行います。

図 16.1 に、I/Oポートレジスタの接続図を示します。

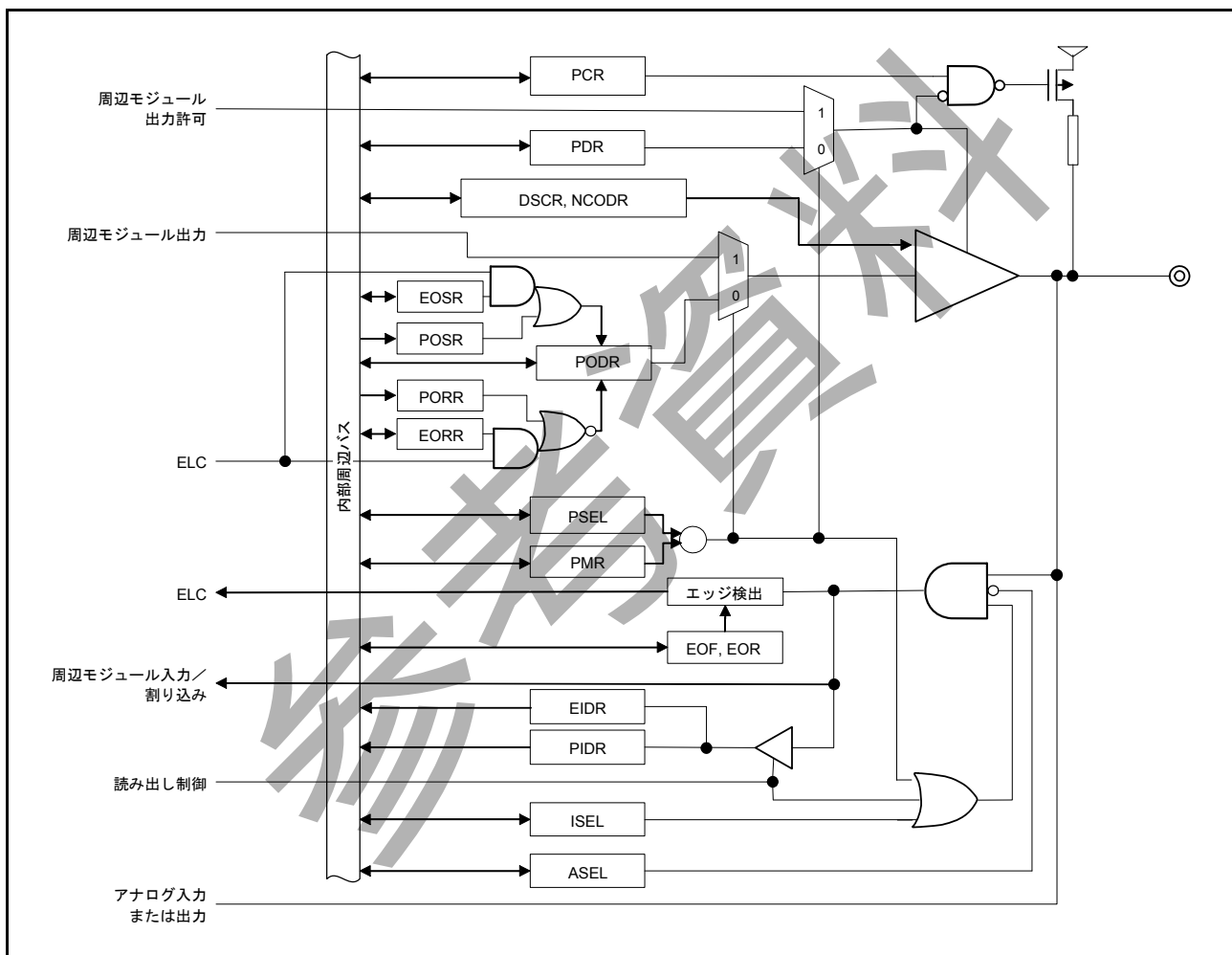


図 16.1 I/Oポートレジスタの接続図

注. この図はポートの基本構成を示しています。ポートによって構成は一部異なります。

パッケージによって、I/Oポートの構成は異なります。表 16.1 に I/Oポートの仕様を、表 16.2 に I/Oポートの機能を示します。

表 16.1 I/Oポートの仕様

ポート	パッケージ		パッケージ		パッケージ		パッケージ	
	64ピン	本数	48ピン	本数	40ピン	本数	36ピン	本数
ポート0	P000~P004, P010~P015	11	P000~P002, P010~P015	9	P000, P001, P010~P015	8	P000, P010~ P015	7
ポート1	P100~P113	14	P100~P104, P108~P112	10	P100~P104, P108 ~P112	10	P100~P103, P108~P112	9
ポート2	P200, P201, P204~P206, P212~P215	9	P200, P201, P206, P212~P215	7	P200, P201, P212~P215	6	P200, P201, P212~P215	6
ポート3	P300~P304	5	P300~P302	3	P300, P301	2	P300	1
ポート4	P400~P403, P407~P411	9	P400, P401, P407~P409	5	P400, P407, P408	3	P400, P407	2
ポート5	P500~P502	3	P500	1	なし	0	なし	0
	合計本数	51	合計本数	35	合計本数	29	合計本数	25

表 16.2 I/Oポートの機能

ポート	ポート名	入力プルアップ 機能	オープンドレイン 出力機能	駆動能力切り替え	5Vトレラント
ポート0	P000~P004, P010~P015	○	—	低/中	—
ポート1	P100, P101, P104, P109, P110, P112	○	○	低/中	—
	P102, P103, P105~P108, P111, P113	○	—	低/中	—
ポート2	P200, P214, P215	—	—	—	—
	P201	○	—	低/中	—
	P204	○	○	低/中	—
	P205, P206	○	○	低/中	○
	P212, P213	○	○	—	—
ポート3	P300~P304	○	—	低/中	—
ポート4	P400, P401, P407	○	○	低/中	○
	P402, P408~P411	○	○	低/中	—
	P403	○	—	低/中	—
ポート5	P500~P502	○	—	低/中	—

## 16.2 レジスタの説明

### 16.2.1 ポートコントロールレジスタ 1 (PCNTR1)

アドレス PORT0.PCNTR1 4004 0000h, PORT1.PCNTR1 4004 0020h, PORT2.PCNTR1 4004 0040h,  
PORT3.PCNTR1 4004 0060h, PORT4.PCNTR1 4004 0080h, PORT5.PCNTR1 4004 00A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PODR15	PODR14	PODR13	PODR12	PODR11	PODR10	PODR09	PODR08	PODR07	PODR06	PODR05	PODR04	PODR03	PODR02	PODR01	PODR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR09	PDR08	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PDRn	Pmn 方向	0 : 入力 (入力端子として機能) 1 : 出力 (出力端子として機能)	R/W
b31-b16	PODRn	Pmn 出力データ	0 : Low 出力 1 : High 出力	R/W

m = 0 ~ 5

n = 00 ~ 15

PDR は、汎用入出力端子として設定されている個々のポート端子の入力/出力方向を選択するビットです。PORTm.PDR の各ビットが、それぞれポート m の端子に対応しています。入出力方向は 1 ビット単位で指定できます。存在しないポート m のビットは予約ビットです。これらのビットに書く場合、1 (出力) としてください。存在しない端子のビットも予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。P200, P214, P215 は入力専用です。そのため PORT2.PCNTR1.b0, b14, b15 は予約ビットです。

PODR は、汎用入出力端子から出力されるデータを格納するビットです。存在しないポート m のビットは予約ビットです。これらのビットには 0 を書いてください。存在しない端子のビットは予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。予約ビットは、読むと 0 が読めます。



## 16.2.2 ポートコントロールレジスタ 2 (PCNTR2)

アドレス PORT0.PCNTR2 4004 0004h, PORT1.PCNTR2 4004 0024h, PORT2.PCNTR2 4004 0044h,  
PORT3.PCNTR2 4004 0064h, PORT4.PCNTR2 4004 0084h, PORT5.PCNTR2 4004 00A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EIDR15	EIDR14	EIDR13	EIDR12	EIDR11	EIDR10	EIDR09	EIDR08	EIDR07	EIDR06	EIDR05	EIDR04	EIDR03	EIDR02	EIDR01	EIDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIDR15	PIDR14	PIDR13	PIDR12	PIDR11	PIDR10	PIDR09	PIDR08	PIDR07	PIDR06	PIDR05	PIDR04	PIDR03	PIDR02	PIDR01	PIDR00
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b15-b0	PIDRn	Pmn入力データ	0: Low入力 1: High入力	R
b31-b16	EIDRn	Pmnイベント入力データ (注1)	ELC_PORTxの発生時 0: Low入力 1: High入力	R

m = 0 ~ 5

n = 00 ~ 15

x = 1, 2

注1. ポート1とポート2に対応しています。

PIDRは、個々のポートの端子状態を反映するビットです。PORTm.PIDRを読むと、PORTm.PMRおよびPORTm.PDRの値に関係なく、ポートmの端子状態が読めます。PORTm.PMR = 1またはPORTm.PDR = 1のとき、リードデータは“Don't care”です。存在しない端子のビットは予約ビットです。予約ビットは、読むと不定値が読めます。書き換えることはできません。P200端子からはNMI端子の状態が読み出されます。ただし、PmnPFS.ASELビットが1になっている端子は、端子状態を読むことができません。

EIDRは、ELCからELC\_PORTxが発生したときの端子状態をラッチするビットです。PORTm.PMR = 0かつPORTm.PDR = 0の場合にのみ、EIDRに端子状態を入力できます。PORTm.PMR = 1またはPORTm.PDR = 1の場合、リードデータは“Don't care”です。存在しない端子のビットは予約ビットです。予約ビットは、読むと不定値が読めます。書き換えることはできません。P200端子からはNMI端子の状態が読み出されます。ただし、PmnPFS.ASELビットが1になっている端子は、端子状態を読むことができません。

## 16.2.3 ポートコントロールレジスタ 3 (PCNTR3)

アドレス PORT0.PCNTR3 4004 0008h, PORT1.PCNTR3 4004 0028h, PORT2.PCNTR3 4004 0048h,  
PORT3.PCNTR3 4004 0068h, PORT4.PCNTR3 4004 0088h, PORT5.PCNTR3 4004 00A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	POSRn	Pmn出力設定	0 : 出力に影響なし 1 : High出力	W
b31-b16	PORRn	Pmn出力リセット	0 : 出力に影響なし 1 : Low出力	W

m = 0 ~ 5

n = 00 ~ 15

POSRは、ソフトウェアによる書き込み発生時に設定される POSR の値に基づいて PODR を変更するためのビットです。例えば P100 端子の場合、PORT1.POSR00 = 1 であると、PORT1.PODR00 は 1 を出力します。存在しないポート m のビットは予約ビットです。これらのビットには 0 を書いてください。存在しない端子のビットは予約ビットです。書く場合、常に 0 としてください。P200 端子は入力専用です。そのため PORT2.PCNTR3.b0 は予約ビットです。

PORRは、ソフトウェアによる書き込み発生時にリセットされる PORR の値に基づいて PODR を変更するためのビットです。例えば P100 端子の場合、PORT1.PORR00 = 1 であると、PORT1.PODR00 は 0 を出力します。存在しないポート m のビットは予約ビットです。これらのビットには 0 を書いてください。存在しない端子のビットは予約ビットです。書く場合、常に 0 としてください。P200 端子は入力専用です。そのため PORT2.PCNTR3.b16 は予約ビットです。

## 16.2.4 ポートコントロールレジスタ 4 (PCNTR4)

アドレス PORT1.PCNTR4 4004 002Ch, PORT2.PCNTR4 4004 004Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	EOSRn	Pmn イベント出力設定	ELC_PORTxの発生時 0 : 出力に影響なし 1 : High出力	R/W
b31-b16	EORRn	Pmn イベント出力リセット	ELC_PORTxの発生時 0 : 出力に影響なし 1 : Low出力	R/W

m = 1, 2

n = 00 ~ 15

x = 1, 2

EOSR は、ELC\_PORTx の発生時に設定される EOSR の値に基づいて PODR を変更するためのビットです。例えば P100 端子の場合、ELC\_PORTx の発生時に PORT1.EOSR00 が 1 になると、PORT1.PODR00 は 1 を出力します。存在しないポート  $m$  のビットは予約ビットです。これらのビットに書く場合、0 を書いてください。存在しない端子のビットは予約ビットです。書く場合、常に 0 としてください。P200 端子は入力専用です。そのため PORT2.PCNTR3.b0 は予約ビットです。

EORR は、ELC\_PORTx の発生時にリセットされる EORR の値に基づいて PODR を変更するためのビットです。例えば P100 端子の場合、ELC\_PORTx の発生時に PORT1.EORR00 が 1 になると、PORT1.PODR00 は 0 を出力します。存在しないポート  $m$  のビットは予約ビットです。これらのビットに書く場合、0 を書いてください。存在しない端子のビットは予約ビットです。書く場合、常に 0 としてください。P200 端子は入力専用です。そのため PORT2.PCNTR3.b16 は予約ビットです。

## 16.2.5 ポート mn 端子機能選択レジスタ (PmnPFS) (m = 0 ~ 5; n = 00 ~ 15)

アドレス PFS.P000PFS 4004 0800h ~ PFS.P004PFS 4004 0810h, PFS.P010PFS 4004 0828h ~ PFS.P015PFS 4004 083Ch,  
PFS.P100PFS 4004 0840h ~ PFS.P113PFS 4004 0874h,  
PFS.P200PFS 4004 0880h ~ PFS.P201PFS 4004 0884h, PFS.P204PFS 4004 0890h ~ PFS.P206PFS 4004 0898h,  
PFS.P212PFS 4004 08B0h ~ PFS.P215PFS 4004 08BCh,  
PFS.P300PFS 4004 08C0h ~ PFS.P304PFS 4004 08D0h,  
PFS.P400PFS 4004 0900h ~ PFS.P403PFS 4004 090Ch, PFS.P407PFS 4004 091Ch ~ PFS.P411PFS 4004 092Ch,  
PFS.P500PFS 4004 0940h ~ PFS.P502PFS 4004 0948h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	—	PSEL[4:0]				—	—	—	—	—	—	—	—	—	PMR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 (注2)	

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ASEL	ISEL	EOF	EOR	—	DSCR	—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR
リセット後の値	0	0	0	0	0 (注2)	0	0	0	0	0	0 (注2)	0	0	x	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	PODR	ポート出力データ	0: Low出力 1: High出力	R/W
b1	PIDR	ポート入力データ	0: Low入力 1: High入力	R
b2	PDR	ポート方向	0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PCR	プルアップ制御	0: 入力プルアップ無効 1: 入力プルアップ有効	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	NCODR	Nチャンネルオープンドレイン制御	0: CMOS出力 1: NMOSオープンドレイン出力	R/W
b9-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	DSCR	ポート駆動能力	0: 低駆動 1: 中駆動	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	EOF/EOR	立ち下がり時イベント/立ち上がり時イベント (注1)	b13 b12 0 0: Don't care 0 1: 立ち上がりエッジ検出 1 0: 立ち下がりエッジ検出 1 1: 両エッジ検出	R/W
b14	ISEL	IRQ入力許可	0: IRQn入力端子として使用しない 1: IRQn入力端子として使用する	R/W
b15	ASEL	アナログ入力許可	0: アナログ端子以外に使用する 1: アナログ端子として使用する	R/W
b16	PMR	ポートモード制御	0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28-b24	PSEL[4:0]	周辺機能選択	周辺機能を選択します。個々の端子機能については、この章の関連する表を参照してください。	R/W
b31-b29	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. ポート1~ポート4に対応しています。

注2. P108、P201、P300の初期値は0000 0000h以外になります。

P108は0001 0010h、P201は0000 0010h、P300は0001 0010hとなります。

Port mn 端子機能コントロールレジスタ (PmnPFS) は、端子機能を選択します。

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR 値が読めます。

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効/無効にする場合に設定します。端子が入力状態にあって、PORTm.PCR の対応するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。外部バス端子、汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子のビットは予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。

NCODR ビットは、ポート端子の出力タイプを選択する場合に設定します。存在しない端子のビットは予約ビットです。書く場合、0 (CMOS 出力) としてください。存在しない端子のビットも予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。

DSCR ビットは、ポートの駆動能力を切り替える場合に設定します。駆動能力が固定されている端子の当該ビットは、読み出し/書き込み可能ですが、駆動能力の切り替えはできません。存在しない端子のビットは予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。

EOR/EOF ビットは、ポートグループ入力信号のエッジ検出方法を選択する場合に設定します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOR/EOF ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子のビットは予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。このビットでアナログ端子に設定する場合、以下のように指定します。

1. ポートモードレジスタ (PORTm.PMR) で、汎用入出力ポートを選択します。
2. プルアップコントロールレジスタ (PORTm.PCR) で、入力プルアップ抵抗を無効にします。
3. ポート方向レジスタ (PORTm.PDR) で、入力に設定します。このとき、端子状態を読むことはできません。

PmnPFS レジスタは、ライトプロテクトレジスタ (PWPR) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定の IRQn に対する ISEL ビットは予約ビットです。未指定のアナログ入出力に対する ASEL ビットは予約ビットです。

PMR ビットは、ポートの端子機能を指定する場合に設定します。存在しない端子のビットは予約ビットです。このビットに書く場合、0 (汎用入出力ポート) を書いてください。存在しない端子のビットも予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。

PSEL[4:0] ビットは、割り当てる周辺機能を選択します。

製品ごとの周辺選択設定に関する詳細は [16.6 製品ごとの周辺選択設定](#) を参照してください。

## 16.2.6 書き込みプロテクトレジスタ (PWPR)

アドレス PMISC.PWPR 4004 0D03h

	b7	b6	b5	b4	b3	b2	b1	b0
	B0WI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	PFSWE	PmnPFSレジスタ書き込み許可	0 : PmnPFSレジスタへの書き込みを禁止 1 : PmnPFSレジスタへの書き込みを許可	R/W
b7	B0WI	PFSWEビット書き込み禁止	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

### PFSWE ビット (PmnPFS レジスタ書き込み許可)

PFSWE ビットを1にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。PFSWE ビットを1にする場合は、B0WI ビットに0を書いた後、PFSWE ビットを1にしてください。

### B0WI ビット (PFSWE ビット書き込み禁止)

B0WI ビットを0にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

## 16.3 動作説明

### 16.3.1 汎用入出力ポート

リセット後は、すべての端子は汎用入力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ (PCNTRn; n = 1 ~ 4) によるポート単位のアクセス、または端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は [16.2 レジスタの説明](#)を参照してください。

各ポートのレジスタを以下に示します。

- ポート方向レジスタ (PDR) : 入力/出力の方向を選択する
- ポート出力データレジスタ (PODR) : 出力用データを格納する
- ポート入力データレジスタ (PIDR) : 端子状態を示す
- イベント入力データレジスタ (EIDR) : ELC からの ELC\_PORT1 または 2 発生時の端子状態を示す
- ポート出力設定レジスタ (POSR) : ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットレジスタ (PORR) : ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定レジスタ (EOSR) : ELC からの ELC\_PORT1 または 2 発生時の出力値を示す
- イベント出力リセットレジスタ (EORR) : ELC からの ELC\_PORT1 または 2 発生時の出力値を示す

### 16.3.2 ポート機能選択

ポート機能選択による各端子の構成を以下に示します。

- 入出力設定 — 相補出力またはオープンドレイン出力、プルアップ制御、および駆動強度
- 汎用入出力ポート — ポート方向、出力データ設定、および読み出し入力データ
- 代替機能 — 端子への設定機能の割り当て

端子ごとに端子機能選択レジスタ (PmnPFS) が存在します。前述のように、このレジスタには対応する PODR、PIDR、および PDR ビットが含まれています。さらに、PmnPFS レジスタは以下のビットを持ちます。

- プルアップ抵抗制御ビット (PCR) : 入力プルアップ MOS のオン/オフを制御
- N チャネルオープンドレイン制御ビット (NCODR) : 各端子の出力タイプを選択
- 駆動能力制御ビット (DSCR) : 駆動能力を選択
- 立ち上がり時イベントビット (EOR) : ポート入力の立ち上がりエッジ検出に使用
- 立ち下がり時イベントビット (EOF) : ポート入力の立ち下がりエッジ検出に使用
- IRQ 入力許可ビット (ISEL) : 端子を IRQ 入力端子として使用
- アナログ入力許可ビット (ASEL) : 端子をアナログ端子として使用
- ポートモードビット (PMR) : 各ポートの端子機能を指定
- ポート機能選択ビット (PSEL) : ビットに割り当てる周辺機能を選択

これらの設定を実行するには、端子機能選択レジスタに対して単一レジスタアクセスを行います。詳細は、「[16. ポート mn 端子機能選択レジスタ \(PmnPFS\) \(m = 0 ~ 5; n = 00 ~ 15\)](#)」を参照してください。

### 16.3.3 ELC のポートグループ機能

本 MCU では、ポート 1 とポート 2 がポートグループ機能に割り当てられています。

#### 16.3.3.1 ELC から ELC\_PORT1 または 2 が入力された場合の動作

本 MCU は、ELC から ELC\_PORT1 または 2 が入力されたとき、以下の 2 つの機能をサポートしています。

##### (1) EIDR への入力

GPI 機能 (PmnPFS レジスタで PDR = 0 および PMR = 0) では、ELC から ELC\_PORT1 または 2 が入力されると、入出力セルの入力許可がアサートされ、外部端子のデータが EIDR ビットに読み出されます。

GPO 機能 (PDR = 1) または周辺モード (PMR = 1) では、外部端子から EIDR ビットに 0 が入力されます。

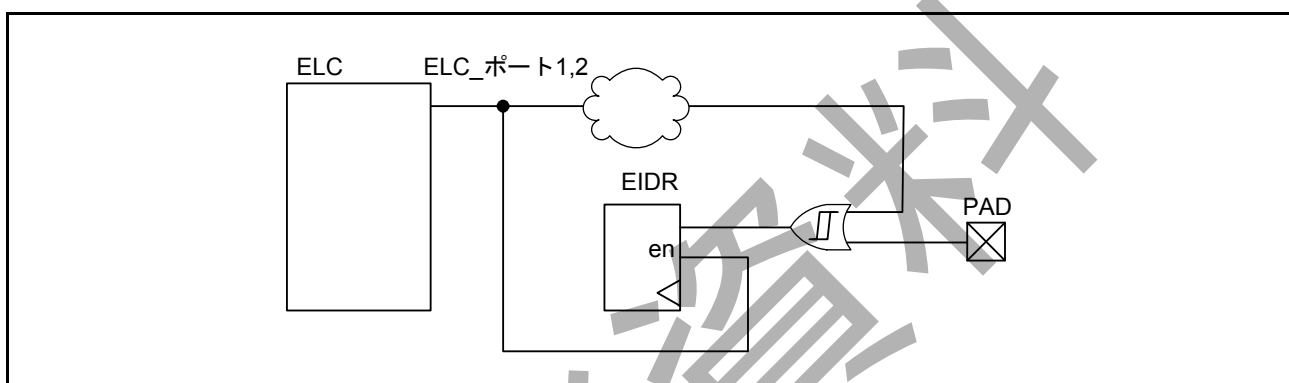


図 16.2 ポート入力データ

##### (2) EOSR/EORR による PODR からの出力

ELC からの ELC\_PORT1 または 2 発生時に、EOSR/EORR レジスタの設定値に基づいて、PODR から外部端子へデータが出力されます。

- EOSR レジスタを 1 にすると、ELC\_PORT1 または 2 発生時に、PODR レジスタは外部端子へ 1 を出力  
EOSR = 0 の場合、PODR の値はそのままです。
- EORR レジスタを 1 にすると、ELC\_PORT1 または 2 発生時に PODR レジスタは外部端子へ 0 を出力  
EORR = 0 の場合、PODR の値はそのままです。

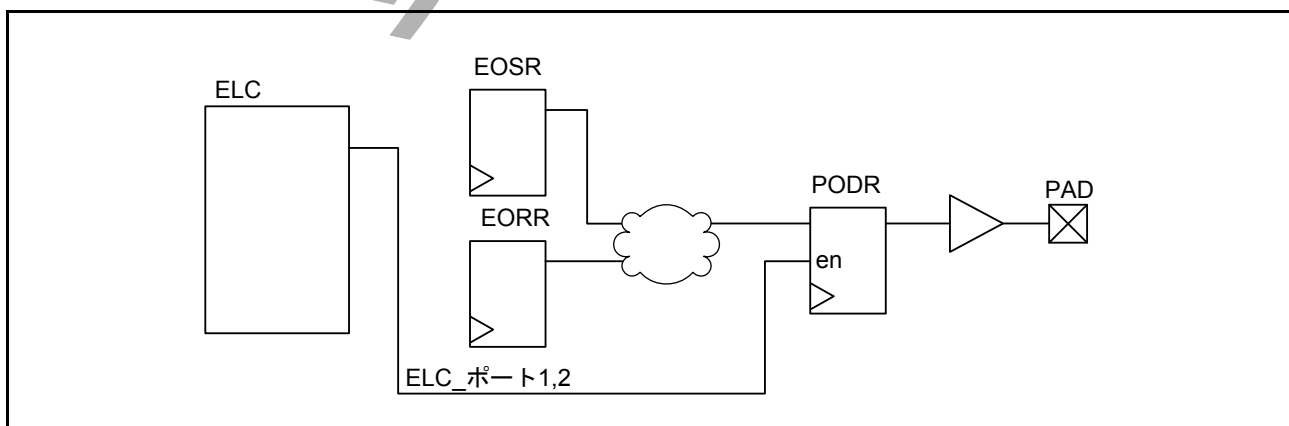


図 16.3 ポート出力データ



### 16.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC へイベントパルスを出力するには、以下の設定を行います。

- PmnPFS レジスタの EOR/EOF ビットを設定。詳細は、[16.2.5 ポート mn 端子機能選択レジスタ \(PmnPFS\) \(m = 0 ~ 5; n = 00 ~ 15\)](#) を参照してください。EOR/EOF ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子のデータが入力となります。例えばポート 1 に対して、P100 から P113 へデータが入力されると、これら 14 端子のデータは OR 論理で構成されます。OR 論理で構成された 14 端子からのデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート 2 の動作もポート 1 と同様です。

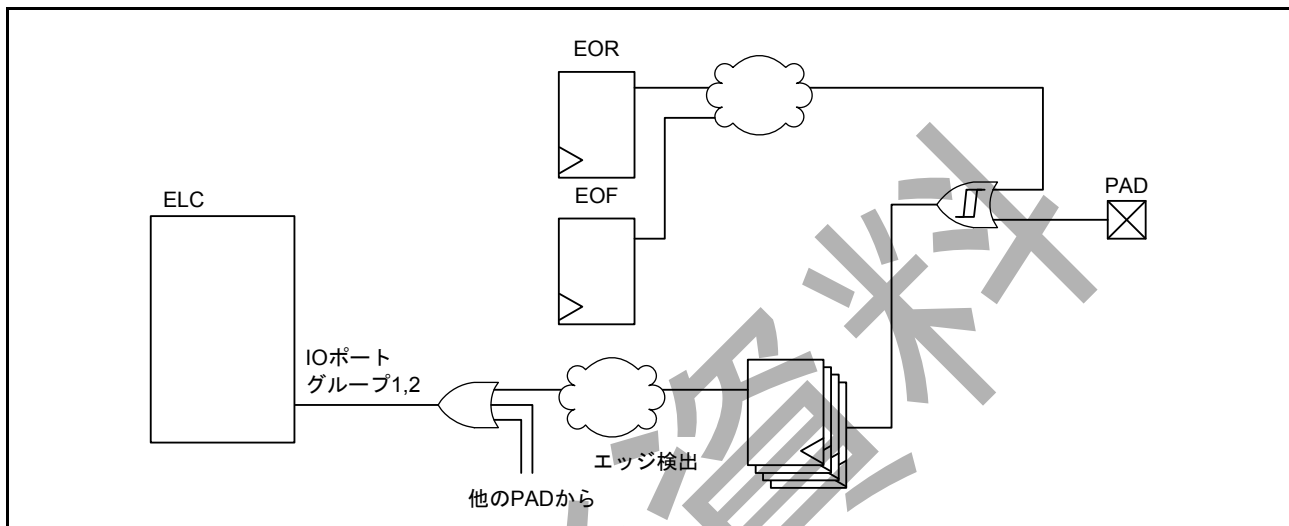


図 16.4 イベントパルスの発生

## 16.4 未使用端子の処理

表 16.3 未使用端子の処理に未使用端子の処理内容を示します。

表 16.3 未使用端子の処理

端子名	内容
P201/MD	モード端子として使用
RES	抵抗を介してVCCに接続（プルアップ）
USB_DP	開放したまま
USB_DM	開放したまま
P200/NMI	抵抗を介してVCCに接続（プルアップ）
P212/EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTPビットを1（汎用ポートP212）に設定。この端子をポートP212として使用しない場合、ポート1～5と同じ方法で設定される
P213/XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTPビットを1（汎用ポートP213）に設定。この端子をポートP213として使用しない場合、ポート1～5と同じ方法で設定される。外部クロックがEXTAL端子に入力される場合、この端子は開放したまま
P215/XCIN	サブクロック発振器を使用しない場合、SOSCCR.SOSTPビットを1（汎用ポートP215）に設定。この端子をポートP215として使用しない場合、ポート1～5と同じ方法で設定される
P214/XCOUT	サブクロック発振器を使用しない場合、SOSCCR.SOSTPビットを1（汎用ポートP214）に設定。この端子をポートP214として使用しない場合、ポート1～5と同じ方法で設定される
P000～P015	入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子は抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）（注1）
P1x～P5x	入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子は抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）（注1） 出力（PCNTR1.PDRn = 1）に設定した場合、端子を開放（注1）、（注2）
VREFH	AVCC0に接続
VREFL	AVSS0に接続

注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。

注 2. 出力に設定したため端子を開放する場合、リセット解除から端子が出力状態になるまでの間、ポートは入力状態です。そのため、ポートが入力状態の間は、端子の電圧レベルが不定となり、電源電流が増加する場合があります。詳細は、「40. 内部電圧レギュレータ」を参照してください。

## 16.5 使用上の注意事項

### 16.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.BOWI ビットをクリアします。PWPR.PFSWE ビットに書き込みできるようになります。
2. PWPR.PFSWE ビットを 1 にします。PmnPFS レジスタに書き込みできるようになります。
3. 当該端子の PMR のポートモード制御を 0 にして汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0] ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR を 1 にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。
7. PWPR.BOWI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。

### 16.5.2 ポートグループ入力の使用手順

ポートグループ入力（ポート 1 およびポート 2）を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[7:0] ビットを 00000000b にして、意図しないパルスを無視します。詳細は、「[15. イベントリンクコントローラ \(ELC\)](#)」を参照してください。
2. PmnPFS.EOF/EOR ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、または少しの間（例えば 100ns）待ちます。意図しないパルスは無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[7:0] ビットを設定して、イベント信号を許可します。

### 16.5.3 ポート出力データレジスタ (PODR) の概要

このレジスタは下記のようにデータを出力します。

1. PCNTR4.EORR ビットを 1 にすると、ELC からの ELC\_PORT1 または 2 発生時に 0 を出力する。
2. PCNTR4.EOSR ビットを 1 にすると、ELC からの ELC\_PORT1 または 2 発生時に 1 を出力する。
3. PCNTR3.PORR ビットを 1 にすると、0 を出力する。
4. PCNTR3.POSR ビットを 1 にすると、1 を出力する。
5. PCNTR1.PODR ビットを設定することで、0 または 1 を出力する。
6. PmnPFS.PODR ビットを設定することで、0 または 1 を出力する。

上記の番号は、PODR への書き込み優先順位に相当しています。例えば、上記の 1. と 3. が同時に発生した場合、優先順位の高い 1. が実行されます。

### 16.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモードコントロールレジスタ (PMR) とポート方向レジスタ (PDR) の対応するビットを両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、Pmn 端子機能コントロールレジスタ (PmnPFS.ASEL) の端子機能選択ビットを 1 にしてください。

## 16.6 製品ごとの周辺選択設定

本節では、PmnPFS レジスタによる端子機能選択設定について詳しく説明します。いくつかの端子名には、A、B、C、および D という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。ただし、同じ機能を2つ以上の端子に同時に割り当てることは禁止されています。

表 16.4 入出力端子機能のレジスタ設定 (ポート0)

PSEL[4:0] ビット設定値	機能	端子				
		P000	P001	P002	P003	P004
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z				
01100b	CTSUS	TS21	TS22	TS23	TS24	TS25
ASELビット		AN000	AN001	AN002	AN003	AN004
ISELビット		IRQ6	IRQ7	IRQ2	—	IRQ3
DSCRビット		低/中	低/中	低/中	低/中	低/中
NCODRビット		—	—	—	—	—
PCRビット		○	○	○	○	○
64ピン製品		○	○	○	○	○
48ピン製品		○	○	○		
40ピン製品		○	○			
36ピン製品		○				

PSEL[4:0] ビット設定値	機能	端子					
		P010	P011	P012	P013	P014	P015
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z					
01100b	CTSUS	TS30	TS31	—	—	—	TS28
ASELビット		AN005/ VREFH0	AN006/ VREFLO	AN007	AN008	AN009/ DA0	AN010
ISELビット		—	—	—	—	—	IRQ7
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中
NCODRビット		—	—	—	—	—	—
PCRビット		○	○	○	○	○	○
64ピン製品		○	○	○	○	○	○
48ピン製品		○	○	○	○	○	○
40ピン製品		○	○	○	○	○	○
36ピン製品		○	○	○	○	○	○

○：利用可能

—：設定禁止

表 16.5 入出力端子機能のレジスタ設定 (ポート1) (1)

PSEL[4:0] ビット設定値	機能	端子							
		P100	P101	P102	P103	P104	P105	P106	P107
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z							
00001b	AGT	AGTIO0_A	AGTEE0	AGTO0	—	—	—	—	—
00010b	GPT	GTETRG_A	GTETRG_B	GOWLO_A	GOWUP_A	GTETRG_B	GTETRG_C	—	—
00011b	GPT	GTIOC5B_A	GTIOC5A_A	GTIOC2B_A	GTIOC2A_A	—	—	GTIOC0B_B	GTIOC0A_B
00100b	SCI	RXD0_A/ SCL0_A/ MISO0_A	TXD0_A/ SDA0_A/ MOSI0_A	SCK0_A	CTS0_RTS0_A/ SS0_A	RXD0_C/ SCL0_C/ MISO0_C	—	—	—
00101b	SCI	SCK1_A	CTS1_RTS1_A/ SS1_A	—	—	—	—	—	—
00110b	SPI	MISOA_A	MOSIA_A	RSPCKA_A	SSLA0_A	SSLA1_A	SSLA2_A	SSLA3_A	—
00111b	IIC	SCL1_B	SDA1_B	—	—	—	—	—	—
01000b	KINT	KR00	KR01	KR02	KR03	KR04	KR05	KR06	KR07
01001b	CLKOUT/ ACMPLP/RTC	—	—	—	—	—	—	—	—
01010b	CAC/ADC14	—	—	ADTRG0_A	—	—	—	—	—
01100b	CTSU	TS26	TS16	TS15	TS14	TS13	—	—	—
10000b	CAN	—	—	CRX0_C	CTX0_C	—	—	—	—
ASELビット		AN022/ CMPIN0	AN021/ CMPREF0	AN020/ CMPIN1	AN019/ CMPREF1	—	—	—	—
ISELビット		IRQ2	IRQ1	—	—	IRQ1	IRQ0	—	—
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
NCODRビット		○	○	—	—	○	—	—	—
PCRビット		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	○	○	○	○
48ピン製品		○	○	○	○	○			
40ピン製品		○	○	○	○	○			
36ピン製品		○	○	○	○				

○：利用可能  
—：設定禁止

表 16.6 入出力端子機能のレジスタ設定 (PORT1) (2)

PSEL[4:0] ビット設定値	機能	端子					
		P108	P109	P110	P111	P112	P113
00000b (リセット後の値)	Hi-Z/SWD	SWDIO	Hi-Z				
00001b	AGT	—	—	—	—	—	—
00010b	GPT	GTOULO_C	GTOVUP_A	GTOVLO_A	—	—	—
00011b	GPT	GTIOC0B_A	GTIOC1A_A	GTIOC1B_A	GTIOC3A_A	GTIOC3B_A	—
00100b	SCI	—	—	CTS0_RTS0_C /SS0_C	SCK0_C	TXD0_C/ SDA0_C/ MOSI0_C	—
00101b	SCI	CTS9_RTS9_B /SS9_B	TXD9_B/ SDA9_B/ MOSI9_B	RXD9_B/ SCL9_B/ MISO9_B	SCK9_B	—	—
00110b	SPI	SSLB0_B	MOSIB_B	MISOB_B	RSPCKB_B	—	—
00111b	IIC	—	—	—	—	—	—
01000b	KINT	—	—	—	—	—	—
01001b	CLKOUT/ ACMPLP/RTC	—	CLKOUT_B	VCOUT	—	—	—
01010b	CAC/ADC14	—	—	—	—	—	—
01100b	CTSU	—	TS10	TS11	TS12	TSCAP_C	—
10000b	CAN	—	CTX0_A	CRX0_A	—	—	—
ASELビット		—	—	—	—	—	—
ISELビット		—	—	IRQ3	IRQ4	—	—
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中
NCODRビット		—	○	○	—	○	—
PCRビット		○	○	○	○	○	○
64ピン製品		○	○	○	○	○	○
48ピン製品		○	○	○	○	○	—
40ピン製品		○	○	○	○	○	—
36ピン製品		○	○	○	○	○	—

○：利用可能  
—：設定禁止

表 16.7 入出力端子機能のレジスタ設定 (ポート2)

PSEL[4:0] ビット設定値	機能	端子								
		P200	P201	P204	P205	P206	P212	P213	P214	P215
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z								
00001b	AGT	—	—	AGTIO1_A	AGTO1	—	AGTEE1	—	—	—
00010b	GPT	—	—	GTIW_A	GTIV_A	GTIU_A	GTETRGB_D	GTETRGA_D	—	—
00011b	GPT	—	—	GTIOC4B_B	GTIOC4A_B	—	—	—	—	—
00100b	SCI	—	—	SCK0_D	TXD0_D/ SDA0_D/ MOSI0_D	RXD0_D/ SCL0_D/ MISO0_D	—	—	—	—
00101b	SCI	—	—	SCK9_A	CTS9_RTS9 _A/SS9_A	—	RXD1_A/ SCL1_A/ MISO1_A	TXD1_A/ SDA1_A/ MOSI1_A	—	—
00110b	SPI	—	—	RSPCKB_A	SSLB0_A	SSLB1_A	—	—	—	—
00111b	IIC	—	—	SCL0_B	SCL1_A	SDA1_A	—	—	—	—
01001b	CLKOUT/ ACMPLP/RTC	—	—	—	CLKOUT_A	—	—	—	—	—
01010b	CAC/ADC14	—	—	CACREF_A	—	—	—	—	—	—
01100b	CTSU	—	—	TS00	TSCAP_A	TS01	—	—	—	—
ASELビット		—	—	—	—	—	—	—	—	—
ISELビット		NMI	—	—	IRQ1	IRQ0	IRQ3	IRQ2	—	—
DSCRビット		—	低/中	低/中	低/中	低/中	—	—	—	—
NCODRビット		—	—	○	○	○	○	○	—	—
PCRビット		—	○	○	○	○	○	○	—	—
64ピン製品		○	○	○	○	○	○	○	○	○
48ピン製品		○	○	—	—	○	○	○	○	○
40ピン製品		○	○	—	—	—	○	○	○	○
36ピン製品		○	○	—	—	—	○	○	○	○

○：利用可能  
—：設定禁止

表 16.8 入出力端子機能のレジスタ設定 (ポート3)

PSEL[4:0] ビット設定値	機能	端子				
		P300	P301	P302	P303	P304
00000b (リセット後の値)	Hi-Z/SWD	SWCLK	Hi-Z	—	—	—
00010b	GPT	GTOUUP_C	GTOULO_A	GTOUUP_A	—	—
00011b	GPT	GTIOC0A_A	GTIOC4B_A	GTIOC4A_A	GTIOC1B_B	GTIOC1A_B
00110b	SPI	SSLB1_B	SSLB2_B	SSLB3_B	—	—
01100b	CTSU	—	TS09	TS08	TS02	—
ASELビット		—	—	—	—	—
ISELビット		—	IRQ6	IRQ5	—	—
DSCRビット		低/中	低/中	低/中	低/中	低/中
NCODRビット		—	—	—	—	—
PCRビット		○	○	○	○	○
64ピン製品		○	○	○	○	○
48ピン製品		○	○	○	—	—
40ピン製品		○	○	—	—	—
36ピン製品		○	—	—	—	—

○：利用可能  
—：設定禁止

表 16.9 入出力端子機能のレジスタ設定 (ポート4)

PSEL[4:0] ビット設定値	機能	端子								
		P400	P401	P402	P403	P407	P408	P409	P410	P411
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z								
00001b	AGT	AGTIO1_D	—	—	—	—	—	—	AGTOB1	AGTOA1
00010b	GPT	—	GTETRG_A_B	—	—	—	GTOWLO_B	GTOWUP_B	GTOVLO_B	GTOVUP_B
00011b	GPT	GTIOC6A_A	GTIOC6B_A	—	GTIOC3A_B	—	GTIOC5B_B	GTIOC5A_B	GTIOC6B_B	GTIOC6A_B
00100b	SCI	SCK0_B	CTS0_RTS0_B/SS0_B	—	—	CTS0_RTS0_D/SS0_D	—	—	RXD0_B/SCL0_B/MISO0_B	TXD0_B/SDA0_B/MOSI0_B
00101b	SCI	SCK1_B	TXD1_B/SDA1_B/MOSI1_B	RXD1_B/SCL1_B/MISO1_B	CTS1_RTS1_B/SS1_B	—	RXD9_A/SCL9_A/MISO9_A	TXD9_A/SDA9_A/MOSI9_A	—	—
00110b	SPI	—	—	—	—	SSLB3_A	—	—	MISOA_B	MOSIA_B
00111b	IIC	SCL0_A	SDA0_A	—	—	SDA0_B	—	—	—	—
01001b	CLKOUT/ ACMPLP/RTC	—	—	—	—	RTCOUT	—	—	—	—
01010b	CAC/ADC14	CACREF_C	—	—	—	ADTRG0_B	—	—	—	—
01100b	CTSU	TS20	TS19	TS18	TS17	TS03	TS04	TS05	TS06	TS07
10000b	CAN	—	CTX0_B	CRX0_B	—	—	—	—	—	—
10011b	USBFS	—	—	—	—	USB_VBUS	—	—	—	—
ASELビット		—	—	—	—	—	—	—	—	—
ISELビット		IRQ0	IRQ5	IRQ4	—	—	IRQ7	IRQ6	IRQ5	IRQ4
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
NCODRビット		○	○	○	○	○	○	○	○	○
PCRビット		○	○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	○	○	○	○	○
48ピン製品		○	○			○	○	○		
40ピン製品		○				○	○			
36ピン製品		○				○				

○：利用可能  
—：設定禁止

表 16.10 入出力端子機能のレジスタ設定 (ポート5)

PSEL[4:0] ビット設定値	機能	端子		
		P500	P501	P502
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z		
00001b	AGT	AGTOA0	AGTOB0	
00010b	GPT	GTIU_B	GTIV_B	GTIW_B
00011b	GPT	GTIOC2A_B	GTIOC2B_B	GTIOC3B_B
01100b	CTSU	TS27	—	—
ASELビット		AN016	AN017	AN018
ISELビット		—	—	—
DSCRビット		低/中	低/中	低/中
NCODRビット		—	—	—
PCRビット		○	○	○
64ピン製品		○	○	○
48ピン製品		○		
40ピン製品				
36ピン製品				

○：利用可能  
—：設定禁止



## 17. キー割り込み機能 (KINT)

### 17.1 概要

キー割り込み (KEY\_INTKR) は、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子 KR00 ~ KR07 に立ち上がりエッジ/立ち下がりエッジを入力することで発生させることができます。

表 17.1 キー割り込み検出端子の配置

フラグ	内容
KRM0	1ビット単位でKR00信号を制御
KRM1	1ビット単位でKR01信号を制御
KRM2	1ビット単位でKR02信号を制御
KRM3	1ビット単位でKR03信号を制御
KRM4	1ビット単位でKR04信号を制御
KRM5	1ビット単位でKR05信号を制御
KRM6	1ビット単位でKR06信号を制御
KRM7	1ビット単位でKR07信号を制御

キー割り込み機能 (KINT) の構成を [表 17.2](#) に示します。

表 17.2 キー割り込み機能 (KINT) の構成

項目	構成
入力	KR00 ~ KR07
コントロールレジスタ	キーリターンコントロールレジスタ (KRCTL) キーリターンモードレジスタ (KRM) キーリターンフラグレジスタ (KRF)

キー割り込み機能 (KINT) のブロック図を [図 17.1](#) に示します。

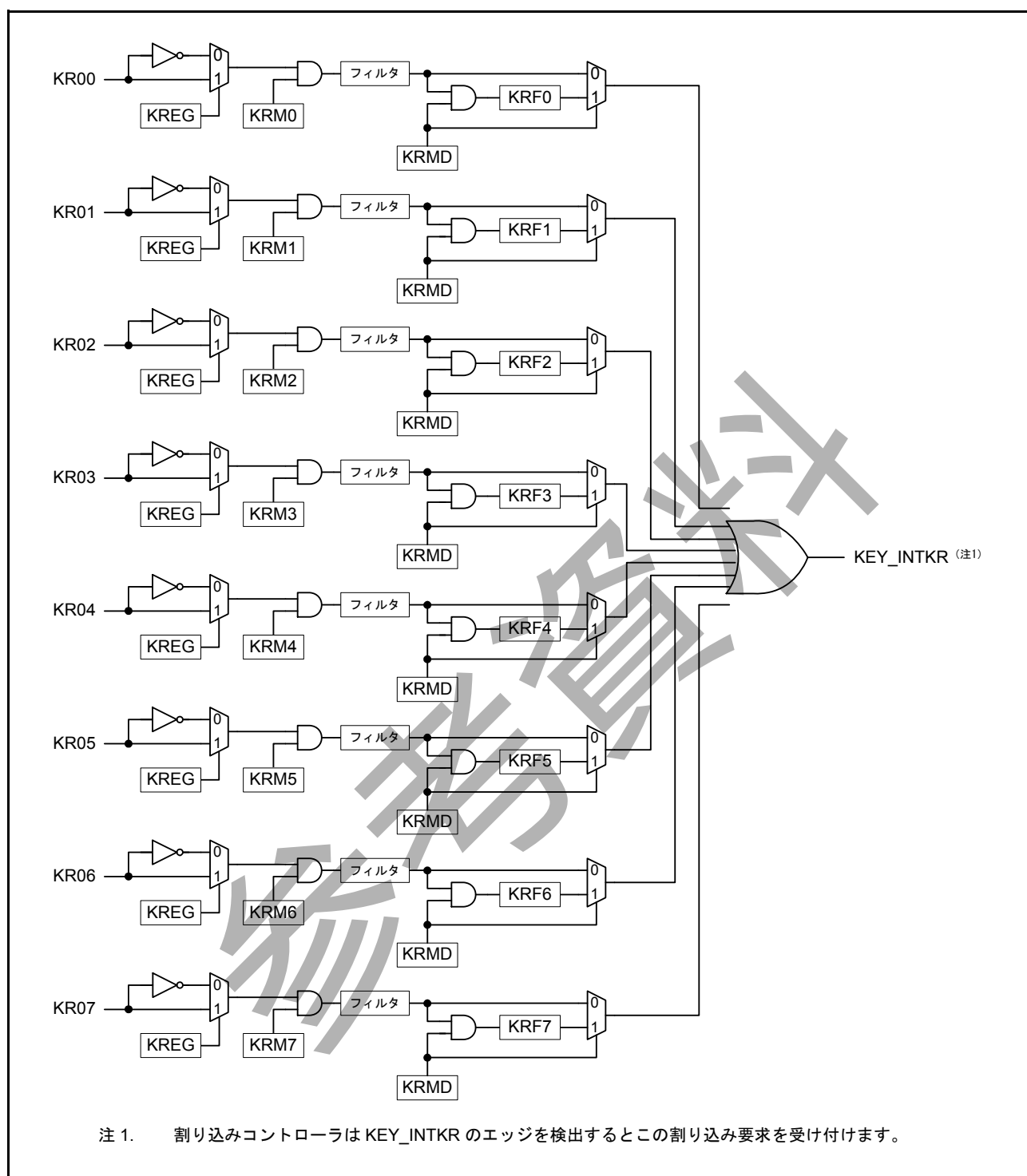


図 17.1 キー割り込み機能のブロック図

## 17.2 レジスタの説明

### 17.2.1 キーリターンコントロールレジスタ (KRCTL)

アドレス KINT.KRCTL 4008 0000h

	b7	b6	b5	b4	b3	b2	b1	b0
	KRMD	—	—	—	—	—	—	KREG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KREG	検出エッジ選択 (KR00~KR07)	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	KRMD	キー割り込みフラグ使用状態 (KRF0~KRF7)	0: キー割り込みフラグを使用しない 1: キー割り込みフラグを使用する	R/W

KRCTL レジスタは、キー割り込みフラグ (KRF0 ~ KRF7) の使用状態を制御し、検出エッジを設定するためのレジスタです。このレジスタは、8 ビットのメモリ操作命令で設定できます。リセット信号が発生すると、このレジスタは 00h にクリアされます。

### 17.2.2 キーリターンフラグレジスタ (KRF)

アドレス KINT.KRF 4008 0004h

	b7	b6	b5	b4	b3	b2	b1	b0
	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	KRFn	キー割り込みフラグn	0: キー割り込み信号の検出なし 1: キー割り込み信号の検出あり	R/W

n = 0 ~ 7

注. KRMD = 0 の場合、KRFn ビットを 1 にすることは禁止されます。このレジスタの各ビットを 1 にすることはできません。KRFn ビットをクリアするには、8 ビットのメモリ操作命令を使用します。このとき、対象ビットに 0 が書き込まれ、他のビットには 1 が書き込まれます。

KRF レジスタは、キー割り込みフラグ (KRF0 ~ KRF7) を制御するレジスタです。このレジスタは、8 ビットのメモリ操作命令でのみ設定可能です。リセット信号が発生すると、このレジスタは 00h にクリアされます。

### 17.2.3 キーリターンモードレジスタ (KRM)

アドレス KINT.KRM 4008 0008h

	b7	b6	b5	b4	b3	b2	b1	b0
	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	KRMn	キー割り込みモード制御n	0: キー割り込み信号を検出しない 1: キー割り込み信号を検出する	R/W

n = 0 ~ 7

- 注 . 対応するキー割り込み入力端子をプルアップ抵抗に設定することで、内蔵プルアップ抵抗の適用が可能です。詳細は、「16. I/Oポート」を参照してください。  
キー割り込みは PmnPFS.PSEL ビットで割り当てることができます。詳細は、「16. I/Oポート」を参照してください。  
キー割り込み入力端子へ入力中の信号が Low レベル (KREG = 0 の場合) または High レベル (KREG = 1 の場合) のとき、KRM レジスタの対象ビットがセットされると割り込みが発生します。この割り込みを無視するには、割り込み処理を禁止してから、KRM レジスタを設定してください。

KRM レジスタは、キー割り込みモードの設定を行うレジスタです。このレジスタは、8 ビットのメモリ操作命令でのみ設定可能です。リセット信号が発生すると、このレジスタは 00h にクリアされます。

## 17.3 動作説明

### 17.3.1 キー割り込みフラグを使用しない場合 (KRMD = 0)

キー割り込み端子 KR00 ~ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み (KEY\_INTKR) が発生します。有効エッジが入力されたチャンネルは、キー割り込み (KEY\_INTKR) の発生後にポートレジスタを読み出して、ポートのレベルをチェックすることで判断できます。

KEY\_INTKR 信号は、キー割り込み入力端子 (KR00 ~ KR07) の入力レベルに応じて変化します。

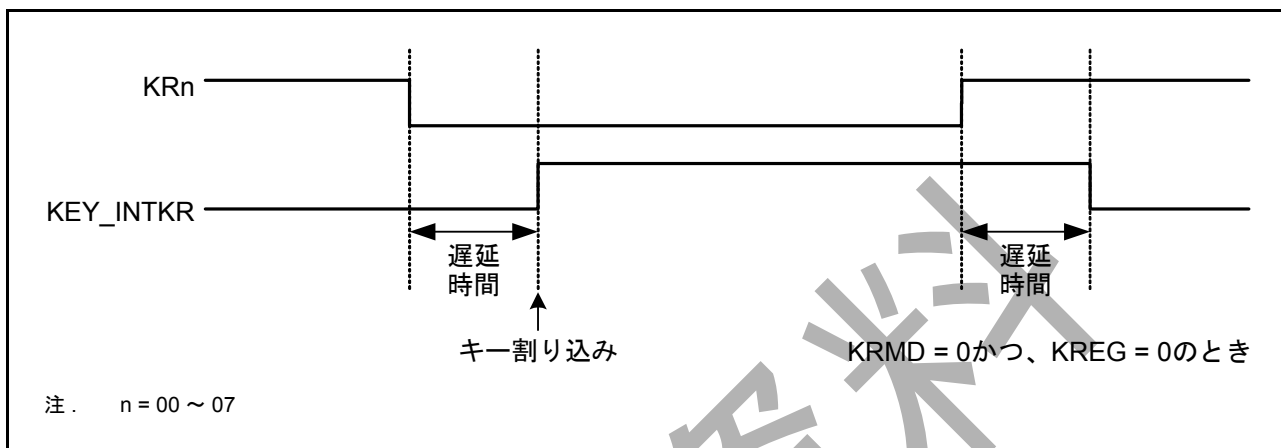


図 17.2 キー割り込みが 1 つのチャンネルに入力された場合の KEY\_INTKR 信号の動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 17.3 に示します。KREG ビットが 0 の場合、一方の端子に Low レベルが入力中であると、KEY\_INTKR 信号がセットされます。そのため、この期間中に他方の端子に立ち下がりエッジが入力されても、再度キー割り込み (KEY\_INTKR) は発生しません。図 17.3 の [1] を参照してください。

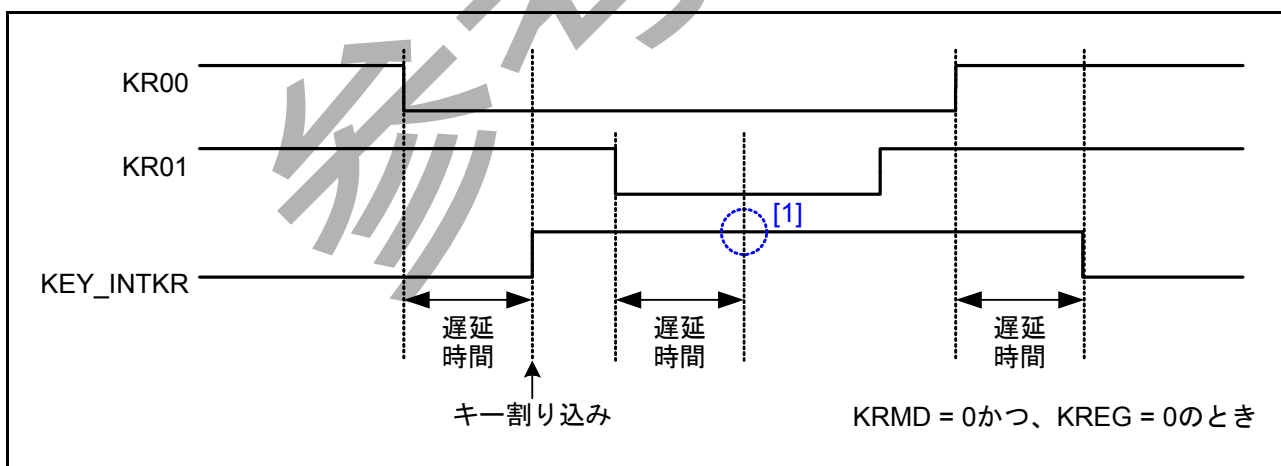


図 17.3 キー割り込みが複数のチャンネルに入力された場合の KEY\_INTKR 信号の動作

### 17.3.2 キー割り込みフラグを使用する場合 (KRMD = 1)

キー割り込み端子 KR00 ~ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み (KEY\_INTKR) が発生します。有効エッジが入力されたチャンネルは、キー割り込み (KEY\_INTKR) の発生後にキーリターンフラグレジスタ (KRF) を読み出すことで判断できます。KRMD ビットが 1 になっている場合、KRF レジスタの対応するビットをクリアすると、KEY\_INTKR 信号がクリアされます。

図 17.4 に示すように、KREG ビットが 0 の場合、1 つのチャンネルに立ち下がりエッジが入力されるごとに、1 回だけ割り込みが発生します。立ち上がりエッジが入力される前や後に KRFn ビットがクリアされても、それ以上割り込みは発生しません。

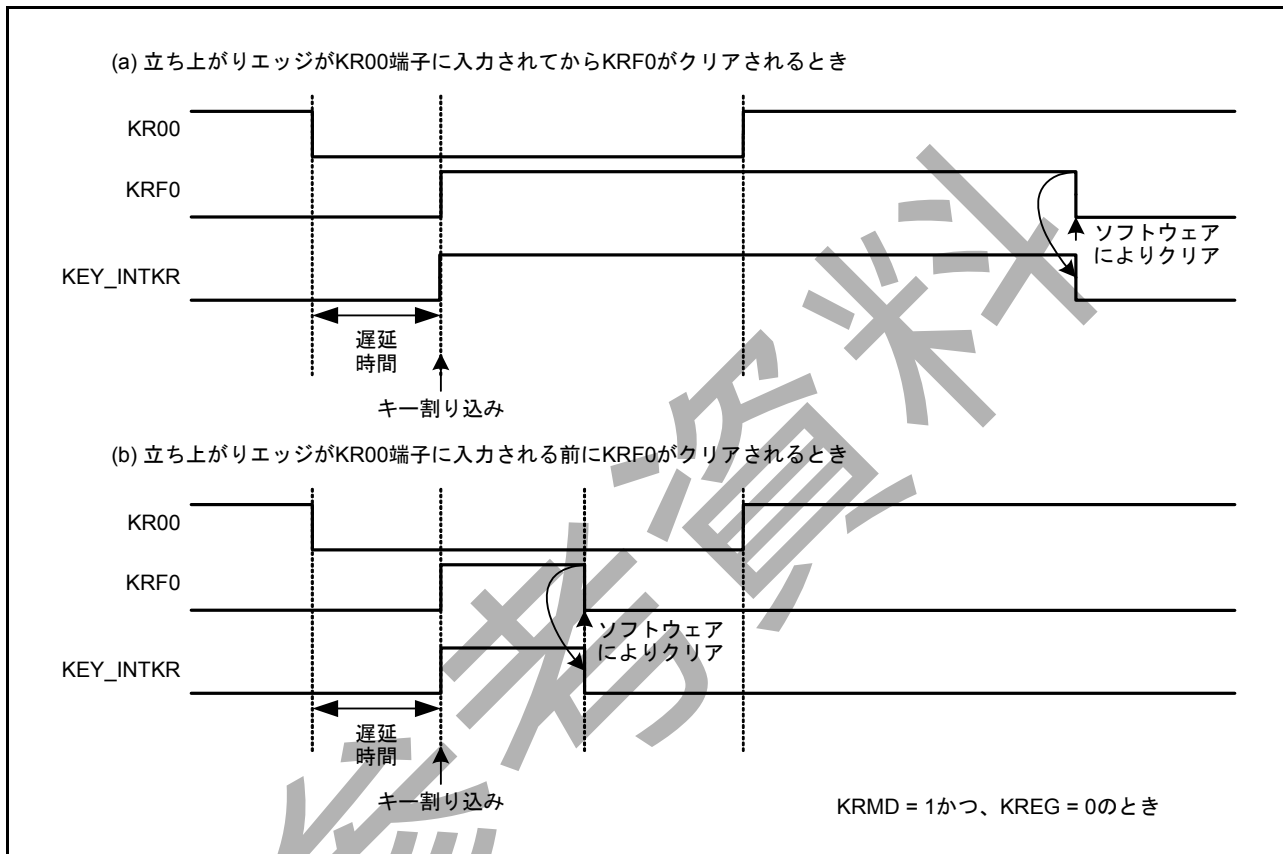


図 17.4 キー割り込みフラグを使用する場合の KEY\_INTKR 信号の基本動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 17.5 に示します。KREG ビットが 0 の場合、KR00 端子に立ち下がりエッジが入力された後に、KR01 端子と KR05 端子にも立ち下がりエッジが入力されています。KRF0 ビットがクリアされたとき、KRF1 ビットはセット状態になっています。そのため、KRF0 ビットがクリアされると、キー割り込みが 1 クロック (PCLKB) を生成します。図 17.5 の [1] を参照してください。また、KR05 端子に立ち下がりエッジが入力された後に、KRF5 ビットがセットされます。KRF1 ビットがクリアされたとき、図中の [2] の状態になります。そのため、KRF1 ビットがクリアされると、キー割り込みが 1 クロック (PCLKB) を生成します。図中の [3] を参照してください。したがって、複数チャンネルに有効エッジが入力されたとき、それぞれキー割り込みを発生させることが可能です。

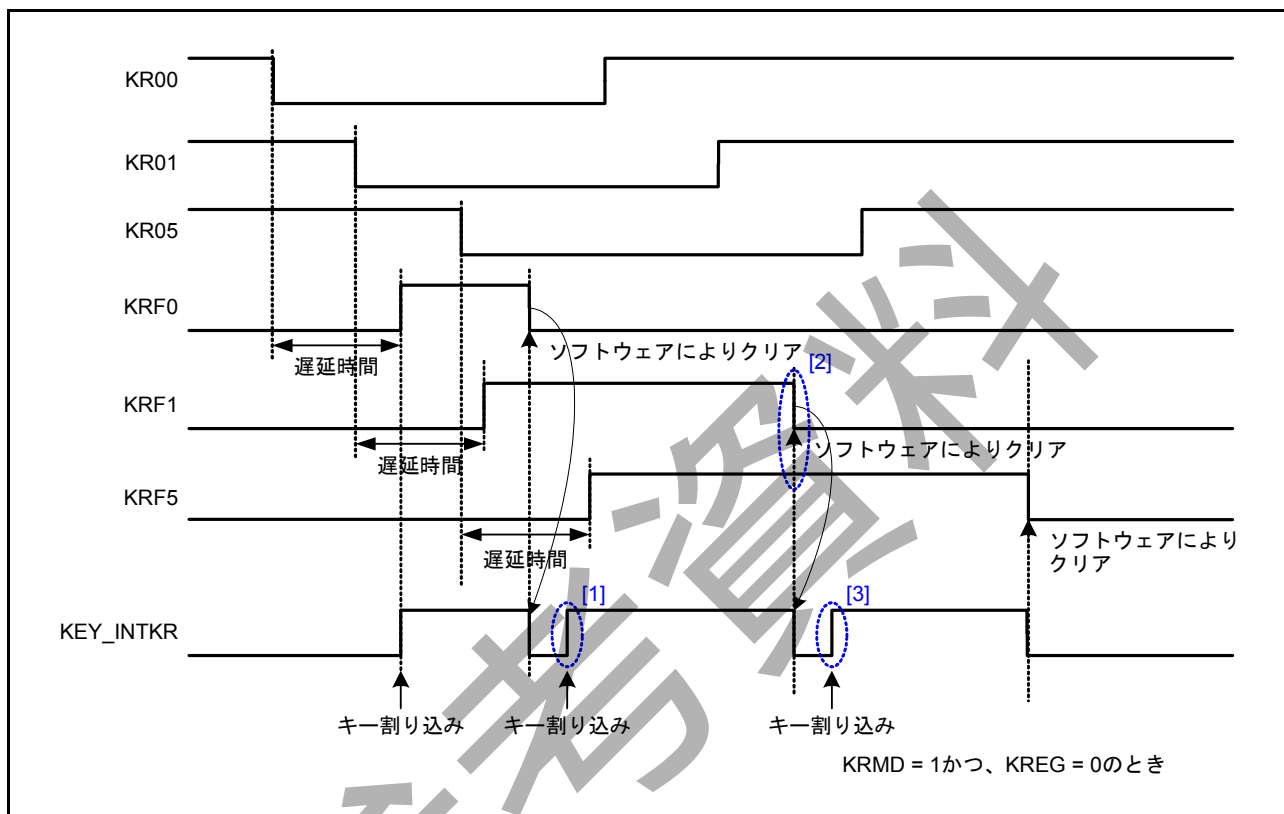


図 17.5 キー割り込みが複数のチャンネルに入力された場合の KEY\_INTKR 信号の動作

#### 17.4 使用上の注意事項

- KEY\_INTKR をスヌーズ要求として用いる場合は、KRMD を 0 にすること
- KEY\_INTKR をスヌーズモードおよびソフトウェアスタンバイモードから通常モードへ復帰するための割り込み要因として用いる場合は、KRMD を 1 にすること
- キー割り込み機能が MPC によって端子に割り当てられる場合、この端子入力ソフトウェアスタンバイモード時に常に許可される。また、この端子レベルが変化すると、対応する KRFn がセットされる可能性がある。そのため、ソフトウェアスタンバイモードの解除後に、キー割り込みが発生する可能性があるソフトウェアスタンバイモード時のキー割り込み端子の変化を無視するには、ソフトウェアスタンバイモードへ遷移する前に、対応する KRM ビットをクリアしてください。ソフトウェアスタンバイモードの解除後は、KRF をクリアしてから、対応する KRM ビットをセットする必要があります。

## 18. GPT用ポートアウトプットイネーブル (POEG)

GPT用ポートアウトプットイネーブル (POEG) では、GTETRGA 端子の入力レベル検出、GPTからの出力禁止要求、クロック発生回路の発振停止検出、ならびにレジスタ設定に基づいて、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態とすることができます。さらに、GTETRGA 端子は GPT への外部トリガ入力端子として利用可能です。

### 18.1 概要

表 18.1 に POEG の仕様を、図 18.1 に POEG のブロック図を、表 18.2 に POEG の入力端子を示します。

表 18.1 POEGの仕様

項目	内容
入力レベル検出による出力禁止制御	<ul style="list-style-type: none"> <li>極性とフィルタの選択後、GTETRGA および GTETRGA 端子の立ち上がりエッジをサンプリングすることで、GPT 出力端子を出力禁止に設定可能</li> </ul>
GPTからの出力禁止要求	<ul style="list-style-type: none"> <li>GTIOCA および GTIOCB 端子が同時にアクティブレベルとなる場合、GPTはPOEGに対して出力禁止要求を発生させる。POEGは、この出力禁止要求を受信して、GTIOCA および GTIOCB 端子を出力禁止状態にするか否かの制御が可能</li> </ul>
発振停止検出による出力禁止制御	<ul style="list-style-type: none"> <li>クロック発生回路の発振が停止した場合に、GPT 出力端子を出力禁止に設定可能</li> </ul>
ソフトウェア (レジスタ) による出力禁止制御	<ul style="list-style-type: none"> <li>レジスタの設定値を書き換えることにより、GPT 出力端子を出力禁止に設定可能</li> </ul>
割り込み	<ul style="list-style-type: none"> <li>入力レベル検出による出力禁止制御</li> <li>GPTからの出力禁止要求</li> </ul>
GPTに対する外部トリガ出力機能 (カウント開始/カウント停止/カウントクリア/アップカウント/ダウンカウント/インプットキャプチャ機能)	<ul style="list-style-type: none"> <li>極性とフィルタの選択後、GTETRGA および GTETRGA 信号を GPT へ出力可能</li> </ul>
ノイズフィルタリング	<ul style="list-style-type: none"> <li>各入力端子 (GTETRGA および GTETRGA) に対して、PCLKB/1、PCLKB/8、PCLKB/32、または PCLKB/128 クロックごとに3回のサンプリングを設定可能</li> <li>各入力端子 (GTETRGA および GTETRGA) に対して、正または負の極性を選択可能</li> <li>極性およびフィルタ選択後の信号状態のモニタが可能</li> </ul>



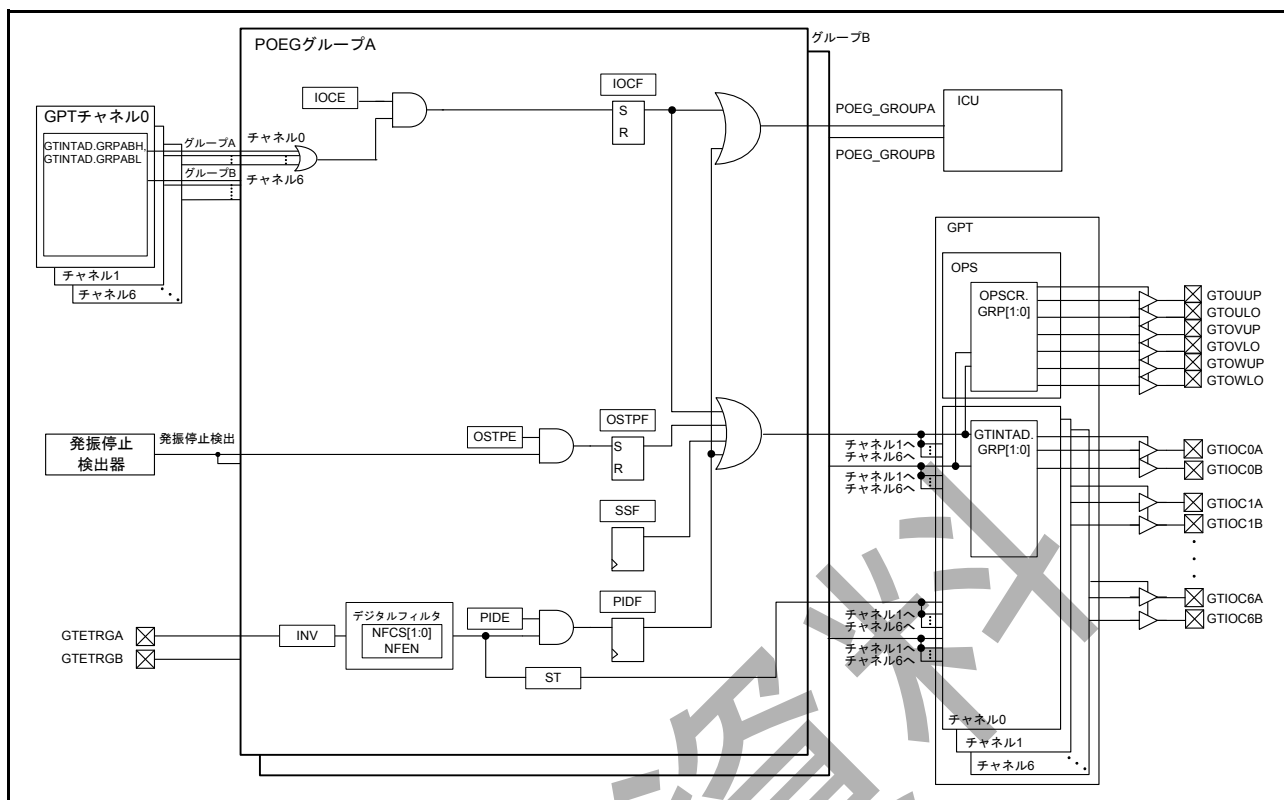


図 18.1 POEGのブロック図

表 18.2 POEGの入力端子

端子名	入出力	機能
GTETRGA	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子A
GTETRGB	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子B

## 18.2 レジスタの説明

## 18.2.1 POEG グループ n 設定レジスタ (POEGGn) (n = A, B)

アドレス POEG.POEGGA 4004 2000h, POEG.POEGGB 4004 2100h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCS[1:0]	NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	—	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIDF	ポート入力検出フラグ	0 : GTETRn端子からの出力禁止要求なし 1 : GTETRn端子からの出力禁止要求あり	R/W (注1)
b1	IOCF	GPTからの出力禁止要求検出フラグ	0 : GPTからの出力禁止要求なし 1 : GPTからの出力禁止要求あり	R/W (注1)
b2	OSTPF	発振停止検出フラグ	0 : 発振停止検出による出力禁止要求なし 1 : 発振停止検出による出力禁止要求あり	R/W (注1)
b3	SSF	ソフトウェア停止フラグ	0 : ソフトウェアによる出力禁止要求なし 1 : ソフトウェアによる出力禁止要求あり	R/W
b4	PIDE	ポート入力検出許可	0 : GTETRn端子からの出力禁止要求を禁止 1 : GTETRn端子からの出力禁止要求を許可	R/W (注2)
b5	IOCE	GPTからの出力禁止要求許可	0 : GPTからの出力禁止要求の割り込みを禁止 1 : GPTからの出力禁止要求の割り込みを許可	R/W (注2)
b6	OSTPE	発振停止検出許可	0 : 発振停止検出による出力禁止要求を禁止 1 : 発振停止検出による出力禁止要求を許可	R/W (注2)
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	ST	GTETRn入カステータスフラグ	0 : フィルタリング後のGTETRn入力は0 1 : フィルタリング後のGTETRn入力は1	R
b27-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	INV	GTETRn入力反転	0 : GTETRn入力 1 : GTETRn入力反転	R/W
b29	NFEN	ノイズフィルタ有効	0 : ノイズフィルタは無効 1 : ノイズフィルタは有効	R/W
b31-b30	NFCS[1:0]	ノイズフィルタクロック選択	b1 b0 0 0 : GTETRn端子の入カレベルをPCLKB/1クロックごとに3回サンプリング 0 1 : GTETRn端子の入カレベルをPCLKB/8クロックごとに3回サンプリング 1 0 : GTETRn端子の入カレベルをPCLKB/32クロックごとに3回サンプリング 1 1 : GTETRn端子の入カレベルをPCLKB/128クロックごとに3回サンプリング	R/W

注1. フラグをクリアするための0の書き込みのみ可能です。

注2. リセット後、1回のみ書き込み可能です。

POEGGA および POEGGB レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御するレジスタです。以下の説明で POEGGn とは、POEGGA および POEGGB レジスタを表しています。

### 18.3 出力禁止制御の動作

GTIOCxA および GTIOCxB (x : GPT チャンネル番号) 端子出力においては、以下のいずれかの条件が成立したとき、端子は出力禁止状態になります。POEGGA および POEGGB レジスタからグループを 1 つ選択する場合、GPT レジスタの GTINTAD.GRP[1:0] ビットを使用します。これらのビットは、GTIOCxA 端子と GTIOCxB 端子を制御するために使用されます。ポートの出力禁止状態の選択は、GPT レジスタの GTIOR.OADF ビットと GTIOR.OBDF ビットで行います。

- GTETRGA および GTETRGB 端子の入力レベル/エッジ検出

POEGGn.PIDE ビットが 1 の状態で、POEGGn.PIDF フラグが 1 になったとき

- GPT からの出力禁止要求

POEGGn.IOCE ビットが 1 の状態で、GTINTAD.GRPABH ビットまたは GTINTAD.GRPABL ビットで許可された禁止要求が、GPT レジスタの GTINTAD.GRP[1:0] ビットで選択されたグループに適用されると、POEGGn.IOCF フラグが 1 になります。

- クロック発生回路の発振停止検出

POEGGn.OSTPE ビットが 1 の状態で、POEGGn.OSTPF フラグが 1 になったとき

- SSF ビットの設定

POEGGn.SSF フラグが 1 になったとき

#### 18.3.1 端子入力レベル検出時の動作

POEGGn.PIDE、POEGGn.NFCS[1:0]、POEGGn.NFEN、および POEGGn.INV ビットで設定した入力条件が、GTETRGA および GTETRGB 端子で発生した場合、GPT 出力端子は出力禁止状態になります。

##### 18.3.1.1 デジタルフィルタ

図 18.2 に、デジタルフィルタによる High 検出時の動作を示します。POEGGn.INV ビットで設定した極性に対応した High 状態が、POEGGn.NFCS[1:0] ビットと POEGGn.NFEN ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETRGA および GTETRGB 端子のレベル変化が無視されます。

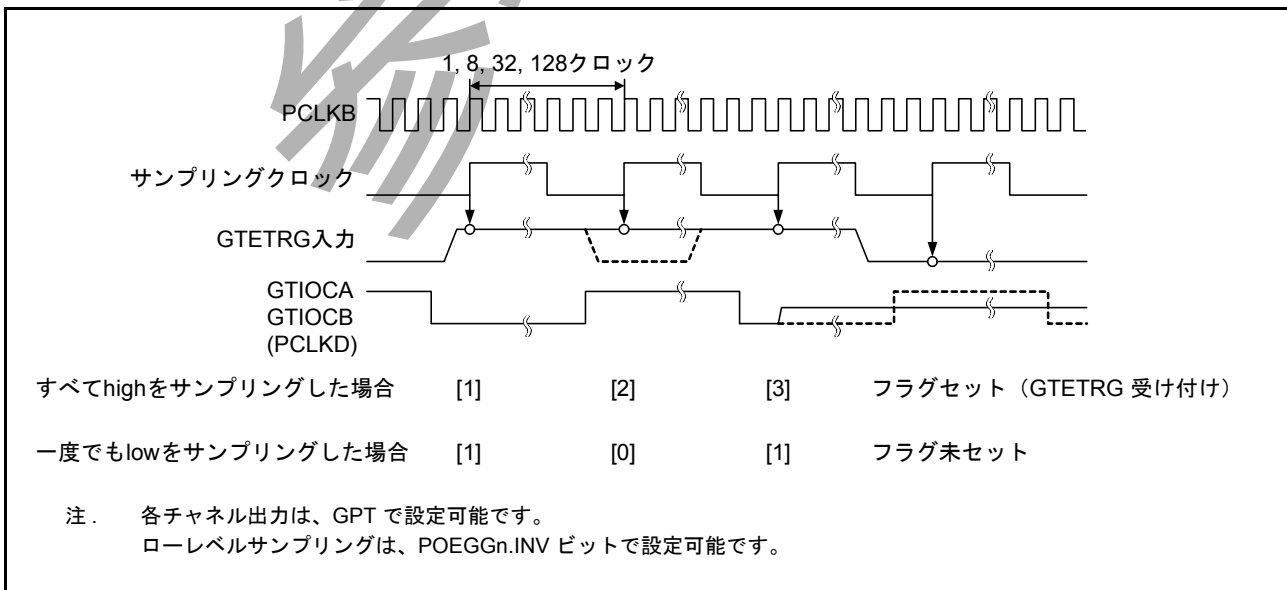


図 18.2 デジタルフィルタの動作例

### 18.3.2 GPT からの出力禁止要求

この動作の詳細については、「19. 汎用 PWM タイマ (GPT)」に記載の GTIOC 端子の出力禁止制御を参照してください。

### 18.3.3 発振停止検出による出力禁止制御

POEGn.OSTPE ビットが 1 の状態で、クロック発生回路の発振停止検出機能が発振停止を検出すると、GPT 出力端子はグループごとに出力禁止状態になります。

### 18.3.4 レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ (POEGn.SSF) に書き込むことで直接制御が可能です。

### 18.3.5 出力禁止状態の解除

出力禁止状態になっている GPT 出力端子は、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアすることで出力禁止状態を解除できます。

- POEGn.PIDF フラグ
- POEGn.IOCF フラグ
- POEGn.OSTPF フラグ
- POEGn.SSF フラグ

外部入力端子 GTETRGA および GTETRGB が無効ではなく、かつ POEGn.ST ビットが 0 になっていなければ、POEGn.PIDF フラグに 0 を書いても無視されます (フラグはクリアされません)。

GPT の GTST.DTEF フラグ、GTST.OABHF フラグ、および GTST.OABLF フラグがすべて 0 になっている場合にのみ、POEGn.IOCF フラグに 0 を書くこと (フラグをクリアすること) ができます。

クロック発生回路の OSTDSR.OSTDF フラグが 0 になっていない場合、POEGn.OSTPF フラグに 0 を書いても無視されます (フラグはクリアされません)。また、フラグのセットとクリアが同時に発生した場合、セットが優先されます。

図 18.3 に、出力禁止状態からの解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。

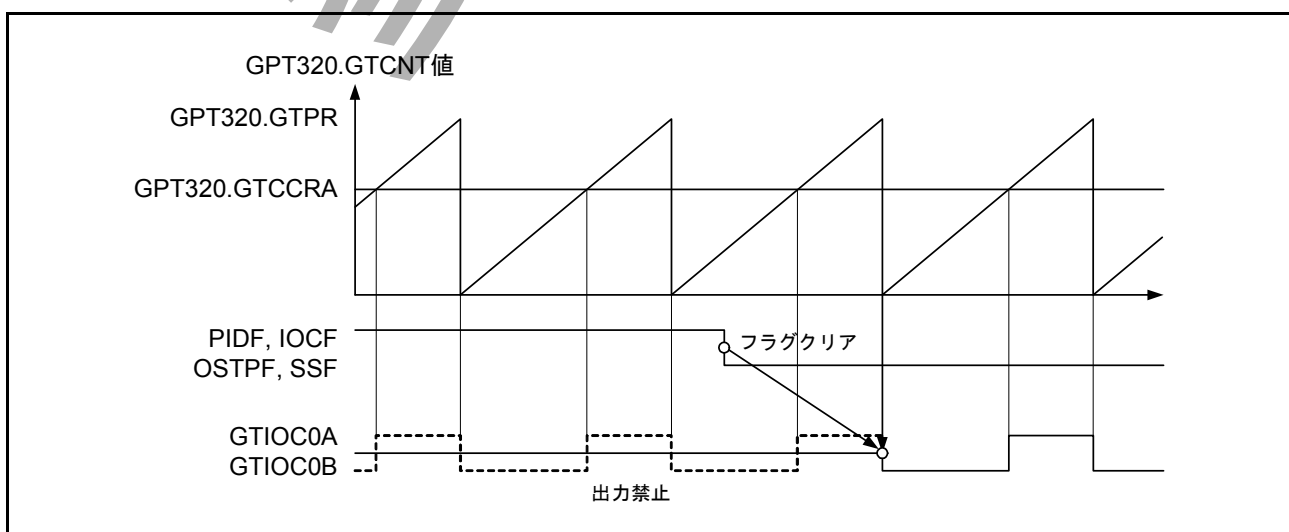


図 18.3 GPT 端子出力の出力禁止状態からの解除タイミング

## 18.4 割り込み要因

POEG は以下の要因によって割り込み要求を発行します。

- 入力レベル検出による出力禁止制御
- GPT からの出力禁止要求

表 18.3 に、割り込み要求の条件を示します。

表 18.3 割り込み要因と条件

割り込み要因	シンボル	対応するフラグ	内容
POEGグループA割り込み	POEG_GROUPA	POEGGA.IOCF	GPTからの出力禁止要求が発生
		POEGGA.PIDF	GTETRGA端子からの出力禁止要求が発生
POEGグループB割り込み	POEG_GROUPB	POEGGB.IOCF	GPTからの出力禁止要求が発生
		POEGGB.PIDF	GTETRGB端子からの出力禁止要求が発生

## 18.5 GPT に対する外部トリガ出力

POEG は、下記の GPT 動作のトリガ信号として、GTETRGA および GTETRGB 信号を出力します。

- カウント開始
- カウント停止
- カウントクリア
- アップカウント
- ダウンカウント
- インพุットキャプチャ

POEGG.INV で設定した極性信号に対し、POEGGn.NFCS[1:0] および POEGGn.NFEN ビットで選択したサンプリングクロックで同じレベルが3回連続して入力されたとき、その値が出力されます。そのコントロールレジスタは、18.3.1 端子入力レベル検出時の動作に記載の入力レベル検出時の動作レジスタと同一です。フィルタリング後の状態は POEGGn.ST フラグでモニタできます。

図 18.4 に、GPT に対する外部トリガ出力のタイミングを示します。

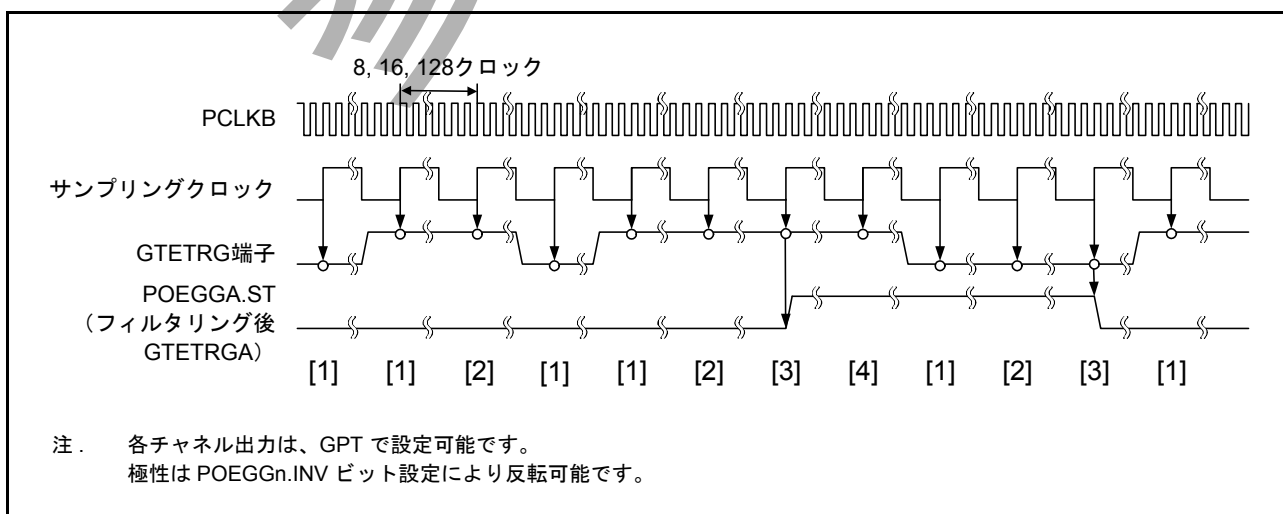


図 18.4 GPT に対する外部トリガ出力のタイミング

## 18.6 使用上の注意事項

### 18.6.1 ソフトウェアスタンバイモードへの遷移

POEGを使用する場合は、ソフトウェアスタンバイモードへ遷移させないでください。このモードではPOEGが停止するため、端子の出力禁止を制御することができません。

### 18.6.2 GPT 対応端子の指定

POEGは、PmnPFS.PMR および PmnPFS.PSEL ビットによって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEGは出力禁止制御を行いません。

参考資料

## 19. 汎用 PWM タイマ (GPT)

### 19.1 概要

表 19.1 に GPT の仕様を、表 19.2 に GPT の機能一覧を示します。図 19.1 に GPT のブロック図を示します。

表 19.1 GPTの仕様

項目	内容
機能	<ul style="list-style-type: none"> <li>• GPT32 (32ビットカウンタ) ×1チャンネル、GPT16 (16ビットカウンタ) ×6チャンネル</li> <li>• 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、またはアップダウンカウント (三角波)</li> <li>• チャンネルごとに独立したクロックソースを選択可能</li> <li>• チャンネルごとに2本の入出力端子</li> <li>• チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本</li> <li>• 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能</li> <li>• アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成</li> <li>• チャンネルごとにフレーム周期設定用レジスタを搭載 (オーバーフロー/アンダーフローで割り込み可能)</li> <li>• PWM動作の際にデットタイム生成が可能</li> <li>• 任意チャンネルのカウンタの同期スタート/ストップ/クリア</li> <li>• 最大4個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウン</li> <li>• 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウン</li> <li>• 最大2個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウン</li> <li>• 出力端子間の短絡検出による出力端子無効機能</li> <li>• ブラシレスDCモータ制御用のPWM波形生成が可能</li> <li>• コンペアマッチA~Dイベント、オーバーフローイベント/アンダーフローイベント、および入力UVWエッジイベントをELCに出力可能</li> <li>• インプットキャプチャおよび入力UVWに対しノイズフィルタを使用可能</li> </ul>

表 19.2 GPTの機能一覧

項目		GPT32, GPT16
カウントクロック		PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024
アウトプットコンペア/インプットキャプチャレジスタ (GTCCR)		GTCCRA GTCCRB
コンペア/バッファレジスタ		GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ		GTPR
周期設定バッファレジスタ		GTPBR
入出力端子		GTIOCA GTIOCB
外部トリガ入力端子		GTETRGA GTETRGB
カウンタクリア要因		GTPRレジスタコンペアマッチ、インプットキャプチャ、入力端子状態、ELCイベント入力、およびGTETRG端子入力
コンペアマッチ出力	Low出力	可能
	High出力	可能
	トグル出力	可能
インプットキャプチャ機能		可能
デッドタイム自動付加機能		可能 (デッドタイムバッファなし)
PWMモード		可能
位相計数機能		可能
バッファ動作		ダブルバッファ
ワンショット動作		可能
DTCの起動		すべての割り込み要因
ブラシレスDCモータ制御機能		可能
割り込み要因		6要因 <ul style="list-style-type: none"> <li>• GTCCRAのコンペアマッチ/インプットキャプチャ (GPTn_CCMPA)</li> <li>• GTCCRBのコンペアマッチ/インプットキャプチャ (GPTn_CCMPB)</li> <li>• GTCCRCのコンペアマッチ (GPTn_CMPC)</li> <li>• GTCCRDのコンペアマッチ (GPTn_CMPD)</li> <li>• GTCNTのオーバーフロー (GTPRのコンペアマッチ) (GPTn_OVF)</li> <li>• GTCNTのアンダーフロー (GPTn_UDF)</li> </ul> 注. n = 0~6
イベントリンク (ELC) 機能		可能
ノイズフィルタ機能		可能



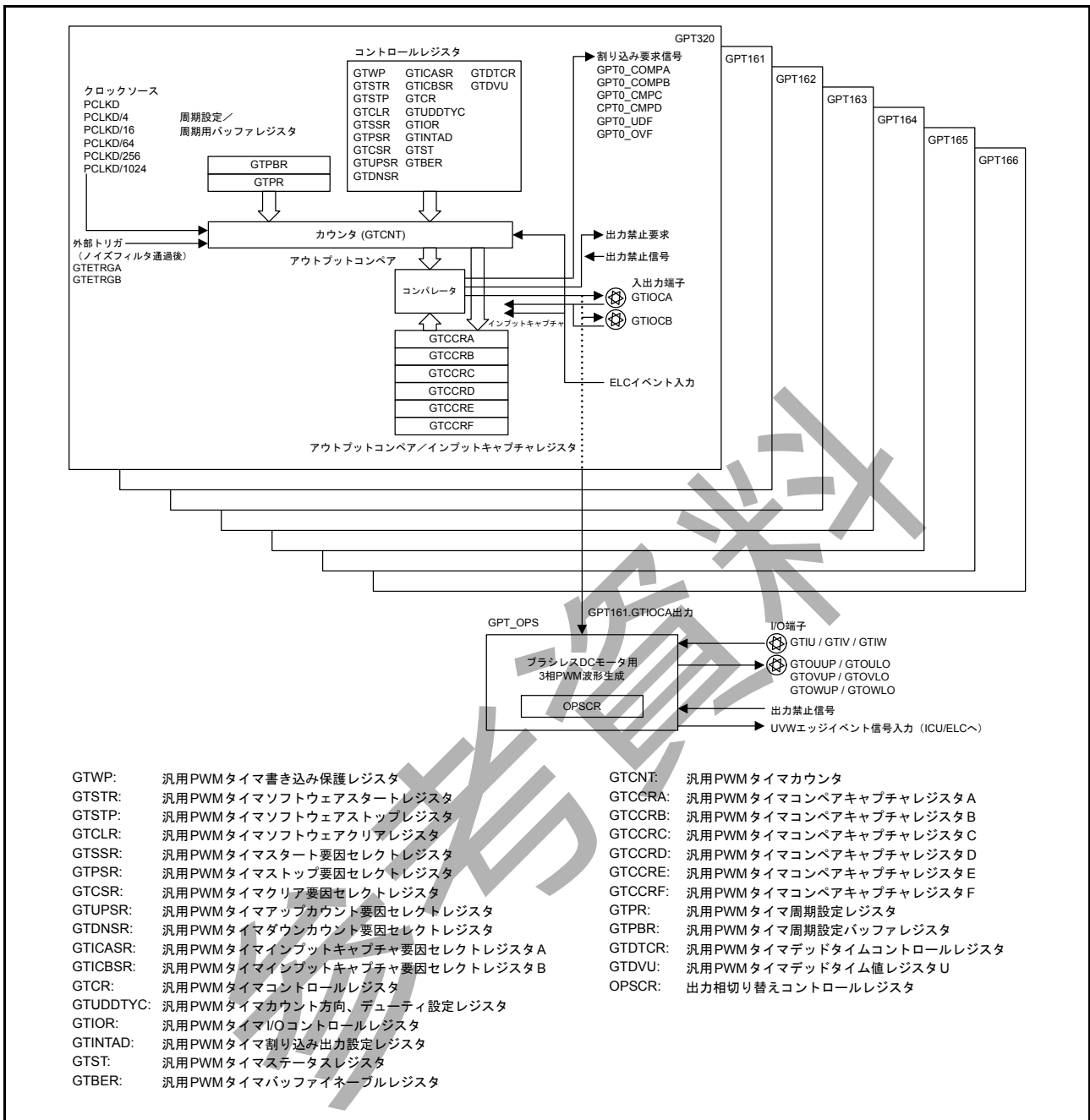


図 19.1 GPT のブロック図  
 図 19.2 に複数の GPT の使用例を示します。

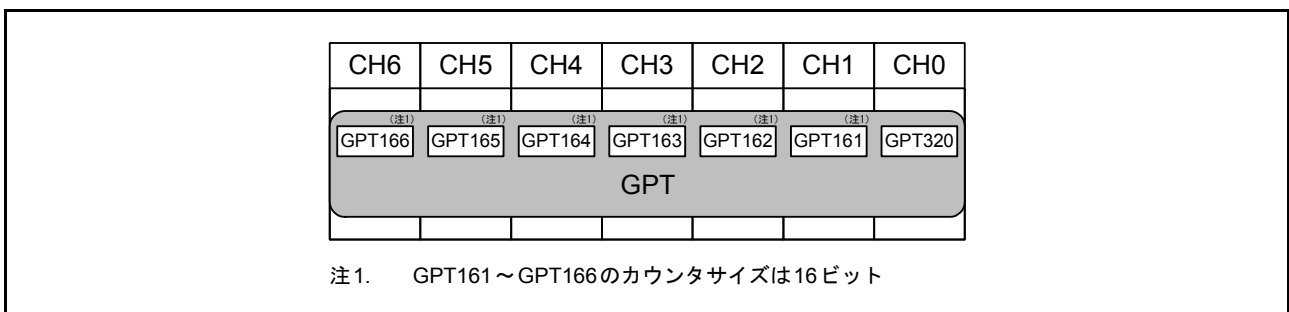


図 19.2 複数の GPT の使用例

表 19.3 に GPT で使用する入出力端子の一覧を示します。

表 19.3 GPTの入出力端子

チャンネル	端子名	入出力	機能
共通	GTETRGA	入力	外部トリガ入力端子A (ノイズフィルタリング後)
	GTETRGB	入力	外部トリガ入力端子B (ノイズフィルタリング後)
GPT320	GTIOC0A	入出力	GTCCRAレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0B	入出力	GTCCRBレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT161	GTIOC1A	入出力	GTCCRAレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC1B	入出力	GTCCRBレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT162	GTIOC2A	入出力	GTCCRAレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC2B	入出力	GTCCRBレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT163	GTIOC3A	入出力	GTCCRAレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC3B	入出力	GTCCRBレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT164	GTIOC4A	入出力	GTCCRAレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC4B	入出力	GTCCRBレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT165	GTIOC5A	入出力	GTCCRAレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC5B	入出力	GTCCRBレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT166	GTIOC6A	入出力	GTCCRAレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC6B	入出力	GTCCRBレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT OPS	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDCモータ制御用3相PWM出力 (正相U相)
	GTOULO	出力	BLDCモータ制御用3相PWM出力 (逆相U相)
	GTOVUP	出力	BLDCモータ制御用3相PWM出力 (正相V相)
	GTOVLO	出力	BLDCモータ制御用3相PWM出力 (逆相V相)
	GTOWUP	出力	BLDCモータ制御用3相PWM出力 (正相W相)
GTOWLO	出力	BLDCモータ制御用3相PWM出力 (逆相W相)	

## 19.2 レジスタの説明

表 19.4 に GPT のレジスタ一覧を示します。

表 19.4 GPT のレジスタ

モジュール シンボル	レジスタ名	レジスタ シンボル	リセット値	アドレス	アクセス サイズ
GPT320, GPT16n	汎用PWMタイマ書き込み保護レジスタ	GTWP	00000000h	4007 8000h + 0100h × m	32
	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	00000000h	4007 8004h + 0100h × m	32
	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	FFFFFFFFh	4007 8008h + 0100h × m	32
	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	00000000h	4007 800Ch + 0100h × m	32
	汎用PWMタイマスタート要因選択レジスタ	GTSSR	00000000h	4007 8010h + 0100h × m	32
	汎用PWMタイマストップ要因選択レジスタ	GTPSR	00000000h	4007 8014h + 0100h × m	32
	汎用PWMタイマクリア要因選択レジスタ	GTCSR	00000000h	4007 8018h + 0100h × m	32
	汎用PWMタイマアップカウント要因選択レジスタ	GTUPSR	00000000h	4007 801Ch + 0100h × m	32
	汎用PWMタイマダウンカウント要因選択レジスタ	GTDNSR	00000000h	4007 8020h + 0100h × m	32
	汎用PWMタイマインプットキャプチャ要因選択レジスタ A	GTICASR	00000000h	4007 8024h + 0100h × m	32
	汎用PWMタイマインプットキャプチャ要因選択レジスタ B	GTICBSR	00000000h	4007 8028h + 0100h × m	32
	汎用PWMタイマコントロールレジスタ	GTCR	00000000h	4007 802Ch + 0100h × m	32
	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	00000001h	4007 8030h + 0100h × m	32
	汎用PWMタイマ I/O コントロールレジスタ	GTIOR	00000000h	4007 8034h + 0100h × m	32
	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	00000000h	4007 8038h + 0100h × m	32
	汎用PWMタイマステータスレジスタ	GTST	00008000h	4007 803Ch + 0100h × m	32
	汎用PWMタイマパルファイネーブルレジスタ	GTBER	00000000h	4007 8040h + 0100h × m	32
	汎用PWMタイマカウンタ	GTCNT	00000000h	4007 8048h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ A	GTCCRA	FFFFFFFFh (注1)	4007 804Ch + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ B	GTCCRB	FFFFFFFFh (注1)	4007 8050h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ C	GTCCRC	FFFFFFFFh (注1)	4007 8054h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ E	GTCCRE	FFFFFFFFh (注1)	4007 8058h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ D	GTCCRD	FFFFFFFFh (注1)	4007 805Ch + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ F	GTCCRF	FFFFFFFFh (注1)	4007 8060h + 0100h × m	32
	汎用PWMタイマ周期設定レジスタ	GTPR	FFFFFFFFh (注1)	4007 8064h + 0100h × m	32
	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	FFFFFFFFh (注1)	4007 8068h + 0100h × m	32
汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	00000000h	4007 8088h + 0100h × m	32	
汎用PWMタイマデッドタイム値レジスタ U	GTDVU	FFFFFFFFh (注1)	4007 808Ch + 0100h × m	32	
GPT_OPS	出力相切り替えコントロールレジスタ	OPSCR	00000000h	4007 8FF0h	32

m = 0 ~ 6; n = 1 ~ 6

注 1. カウンタの有効サイズが 16 ビットのとき、リセット値は 0000FFFFh となります。

### 19.2.1 汎用 PWM タイマ書き込み保護レジスタ (GTWP)

アドレス GPT320.GTWP 4007 8000h  
GPT16m.GTWP 4007 8000h + 0100h × m (m = 1 ~ 6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	—	—	—	WP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止	0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	GTWP キーコード	これらのビットにA5hを書き込むと、WPビットへの書き込みが許可されます。読むと0が読めます。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可/禁止するレジスタです。書き込みが許可/禁止されるレジスタは以下のとおりです。

GTSSR, GTPSR, GTCNR, GTUPSR, GTDNSR, GTICASR, GTIBCSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU

### 19.2.2 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)

アドレス GPT320.GTSTR 4007 8004h  
GPT16m.GTSTR 4007 8004h + 0100h × m (m = 1 ~ 6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CSTRT <sub>6</sub>	CSTRT <sub>5</sub>	CSTRT <sub>4</sub>	CSTRT <sub>3</sub>	CSTRT <sub>2</sub>	CSTRT <sub>1</sub>	CSTRT <sub>0</sub>
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTSTR レジスタは、各チャネル x (x = 0 ~ 6) の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャネル番号に相当します。GTSTR レジスタは各チャネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャネルの GTCNT カウンタが開始されます。0 を書き込んでも、GTCNT カウンタの状態および GTSTR レジスタの値には影響しません。

GTSTR のビット番号とチャネル番号の対応関係については、[図 19.2](#) を参照してください。

#### CSTRT[6:0] ビット (チャネル x GTCNT カウントスタート) (x = 0 ~ 6)

本ビットは、チャネル x の GTCNT カウンタ動作を開始します。GPTm.GTSSR.CSTRT ビットを 1 にしない限り、GTSTR.CSTRT<sub>n</sub> ビットへの書き込みは無効です (n = 0 ~ 6, m = 320, 161 ~ 166)。

リードデータは各チャネルのカウンタ状態 (GTCR.CST ビット値) を示します。0 はカウンタストップを、1 はカウンタ動作を意味します。

### 19.2.3 汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)

アドレス GPT320.GTSTP 4007 8008h  
GPT16m.GTSTP 4007 8008h + 0100h × m (m = 1~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTSTP レジスタは、各チャンネル  $x$  ( $x = 0 \sim 6$ ) の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャンネル番号に相当します。GTSTP レジスタは各チャンネル共通です。1 が書き込まれた GTSTP レジスタのビット番号に対応するチャンネルの GTCNT カウンタが停止されます。0 を書き込んでも、GTCNT カウンタの状態および GTSTP レジスタの値には影響しません。

GTSTP のビット番号とチャンネル番号の対応関係については、[図 19.2](#) を参照してください。

#### CSTOP[6:0] ビット (チャンネル $x$ GTCNT カウントストップ) ( $x = 0 \sim 6$ )

本ビットは、チャンネル  $x$  の GTCNT カウンタ動作を停止します。GPTm.GTPSR.CSTOP ビットを 1 にしない限り、GTSTP.CSTOP $n$  ビットへの書き込みは無効です ( $n = 0 \sim 6$ ,  $m = 320, 161 \sim 166$ )。

リードデータは各チャンネルのカウンタ状態 (GTCR.CST ビットの反転値) を示します。0 はカウンタ動作を、1 はカウンタストップを意味します。

### 19.2.4 汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)

アドレス GPT320.GTCLR 4007 800Ch  
GPT16m.GTCLR 4007 800Ch + 0100h × m (m = 1~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTCLR レジスタは書き込み専用レジスタで、各チャンネル  $x$  ( $x = 0 \sim 6$ ) の GTCNT カウンタ動作をクリアします。

GTCLR レジスタのビット番号はチャンネル番号に相当します。GTCLR レジスタは各チャンネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャンネルの GTCNT カウンタがクリアされます。0 を書き込んでも GTCNT カウンタの状態には影響しません。

GTCLR のビット番号とチャンネル番号の対応関係については、[図 19.2](#) を参照してください。

#### CCLR[6:0] ビット (チャンネル $x$ GTCNT カウントクリア) ( $x = 0 \sim 6$ )

本ビットに 1 を書き込むと、チャンネル  $x$  の GTCNT カウンタ値がクリアされます。読むと 0 が読めます。

## 19.2.5 汎用PWMタイマスタート要因選択レジスタ (GTSSR)

アドレス GPT320.GTSSR 4007 8010h  
GPT16m.GTSSR 4007 8010h + 0100h × m (m = 1~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTRT	—	—	—	—	—	—	—	—	—	—	—	SSELC D	SSELC C	SSELC B	SSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCBF AH	SSCBF AL	SSCBR AH	SSCBR AL	SSCAF BH	SSCAF BL	SSCAR BH	SSCAR BL	—	—	—	—	SSGTR GBF	SSGTR GBR	SSGTR GAF	SSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタスタート許可	0: GTETRGA入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b1	SSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタスタート許可	0: GTETRGA入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b2	SSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタスタート許可	0: GTETRGB入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b3	SSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタスタート許可	0: GTETRGB入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	SSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタスタート許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b9	SSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタスタート許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b10	SSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタスタート許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b11	SSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタスタート許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b12	SSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタスタート許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b13	SSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタスタート許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	SSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタスタート許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b15	SSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタスタート許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b16	SSELCA	ELCAイベント要因カウンタスタート許可	0: ELCAイベント入力でのカウンタスタートを禁止 1: ELCAイベント入力でのカウンタスタートを許可	R/W
b17	SSELCB	ELCBイベント要因カウンタスタート許可	0: ELCBイベント入力でのカウンタスタートを禁止 1: ELCBイベント入力でのカウンタスタートを許可	R/W
b18	SSELCC	ELCCイベント要因カウンタスタート許可	0: ELCCイベント入力でのカウンタスタートを禁止 1: ELCCイベント入力でのカウンタスタートを許可	R/W
b19	SSELCD	ELCDイベント要因カウンタスタート許可	0: ELCDイベント入力でのカウンタスタートを禁止 1: ELCDイベント入力でのカウンタスタートを許可	R/W
b30-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTRT	ソフトウェア要因カウンタスタート許可	0: GTSTRレジスタによるカウンタスタートを禁止 1: GTSTRレジスタによるカウンタスタートを許可	R/W

GTSSR レジスタは GTCNT カウンタの開始要因を設定するレジスタです。

#### SSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタスタート許可)

本ビットは、GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可/禁止します。

#### SSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタスタート許可)

本ビットは、GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可/禁止します。

#### SSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタスタート許可)

本ビットは、GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可/禁止します。

#### SSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタスタート許可)

本ビットは、GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可/禁止します。

#### SSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタスタート許可)

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可/禁止します。

#### SSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタスタート許可)

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可/禁止します。

#### SSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタスタート許可)

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可/禁止します。

#### SSCAFBLH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタスタート許可)

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可/禁止します。

#### SSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタスタート許可)

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可/禁止します。

**SSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタスタート許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可/禁止します。

**SSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタスタート許可)**

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可/禁止します。

**SSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタスタート許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可/禁止します。

**SSELCm ビット (ELCm イベント要因カウンタスタート許可) (m = A ~ D)**

本ビットは、ELCm イベント入力での GTCNT カウンタスタートを許可/禁止します。

**CSTRT ビット (ソフトウェア要因カウンタスタート許可)**

本ビットは、GTSTR レジスタによる GTCNT カウンタスタートを許可/禁止します。

参考資料



## 19.2.6 汎用 PWM タイマストップ要因選択レジスタ (GTPSR)

アドレス GPT320.GTPSR 4007 8014h  
GPT16m.GTPSR 4007 8014h + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CSTOP	—	—	—	—	—	—	—	—	—	—	—	PSELC D	PSELC C	PSELC B	PSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PSCBF AH	PSCBF AL	PSCBR AH	PSCBR AL	PSCAF BH	PSCAF BL	PSCAR BH	PSCAR BL	—	—	—	—	PSGTR GBF	PSGTR GBR	PSGTR GAF	PSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタストップ許可	0: GTETRGA入力の立ち上がりエッジでのカウンタストップを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b1	PSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタストップ許可	0: GTETRGA入力の立ち下がりエッジでのカウンタストップを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b2	PSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタストップ許可	0: GTETRGB入力の立ち上がりエッジでのカウンタストップを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b3	PSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタストップ許可	0: GTETRGB入力の立ち下がりエッジでのカウンタストップを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	PSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b9	PSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b10	PSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b11	PSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b12	PSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタストップ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b13	PSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタストップ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	PSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタストップ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b15	PSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタストップ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b16	PSELCA	ELCAイベント要因カウンタストップ許可	0: ELCAイベント入力でのカウンタストップを禁止 1: ELCAイベント入力でのカウンタストップを許可	R/W
b17	PSELCB	ELCBイベント要因カウンタストップ許可	0: ELCBイベント入力でのカウンタストップを禁止 1: ELCBイベント入力でのカウンタストップを許可	R/W
b18	PSELCC	ELCCイベント要因カウンタストップ許可	0: ELCCイベント入力でのカウンタストップを禁止 1: ELCCイベント入力でのカウンタストップを許可	R/W
b19	PSELCD	ELCDイベント要因カウンタストップ許可	0: ELCDイベント入力でのカウンタストップを禁止 1: ELCDイベント入力でのカウンタストップを許可	R/W
b30-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTOP	ソフトウェア要因カウンタストップ許可	0: GTSTPレジスタによるカウンタストップを禁止 1: GTSTPレジスタによるカウンタストップを許可	R/W

GTCSR レジスタは GTCNT カウンタの停止要因を設定するレジスタです。

#### PSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタストップ許可)

本ビットは、GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可/禁止します。

#### PSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタストップ許可)

本ビットは、GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可/禁止します。

#### PSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタストップ許可)

本ビットは、GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可/禁止します。

#### PSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタストップ許可)

本ビットは、GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可/禁止します。

#### PSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタストップ許可)

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可/禁止します。

#### PSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタストップ許可)

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可/禁止します。

#### PSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタストップ許可)

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可/禁止します。

#### PSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタストップ許可)

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可/禁止します。

#### PSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタストップ許可)

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可/禁止します。

**PSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタストップ許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可/禁止します。

**PSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタストップ許可)**

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可/禁止します。

**PSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタストップ許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可/禁止します。

**PSELCm ビット (ELCm イベント要因カウンタストップ許可) (m = A ~ D)**

本ビットは、ELCm イベント入力での GTCNT カウンタストップを許可/禁止します。

**CSTOP ビット (ソフトウェア要因カウンタストップ許可)**

本ビットは、GTSTP レジスタによる GTCNT カウンタストップを許可/禁止します。

参考資料

## 19.2.7 汎用 PWM タイマクリア要因選択レジスタ (GTCSR)

アドレス GPT320.GTCSR 4007 8018h  
GPT16m.GTCSR 4007 8018h + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CCLR	—	—	—	—	—	—	—	—	—	—	—	CSELC D	CSELC C	CSELC B	CSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CSCBF AH	CSCBF AL	CSCBR AH	CSCBR AL	CSCAF BH	CSCAF BL	CSCAR BH	CSCAR BL	—	—	—	—	CSGTR GBF	CSGTR GBR	CSGTR GAF	CSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタクリア許可	0: GTETRGA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b1	CSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタクリア許可	0: GTETRGA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b2	CSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタクリア許可	0: GTETRGB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b3	CSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタクリア許可	0: GTETRGB入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b9	CSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b10	CSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b11	CSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b12	CSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタクリア許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b13	CSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタクリア許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	CSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタクリア許可	0 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを禁止 1 : GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b15	CSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタクリア許可	0 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを禁止 1 : GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b16	CSELCA	ELCA イベント要因カウンタクリア許可	0 : ELCA イベント入力でのカウンタクリアを禁止 1 : ELCA イベント入力でのカウンタクリアを許可	R/W
b17	CSELCB	ELCB イベント要因カウンタクリア許可	0 : ELCB イベント入力でのカウンタクリアを禁止 1 : ELCB イベント入力でのカウンタクリアを許可	R/W
b18	CSELCC	ELCC イベント要因カウンタクリア許可	0 : ELCC イベント入力でのカウンタクリアを禁止 1 : ELCC イベント入力でのカウンタクリアを許可	R/W
b19	CSELCD	ELCD イベント要因カウンタクリア許可	0 : ELCD イベント入力でのカウンタクリアを禁止 1 : ELCD イベント入力でのカウンタクリアを許可	R/W
b30-b20	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b31	CCLR	ソフトウェア要因カウンタクリア許可	0 : GTCLR レジスタによるカウンタクリアを禁止 1 : GTCLR レジスタによるカウンタクリアを許可	R/W

GTCSR レジスタは GTCNT カウンタのクリア要因を設定するレジスタです。

#### CSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタクリア許可)

本ビットは、GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可/禁止します。

#### CSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタクリア許可)

本ビットは、GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可/禁止します。

#### CSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタクリア許可)

本ビットは、GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可/禁止します。

#### CSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタクリア許可)

本ビットは、GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可/禁止します。

#### CSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタクリア許可)

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可/禁止します。

#### CSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタクリア許可)

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可/禁止します。

#### CSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタクリア許可)

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可/禁止します。

#### CSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタクリア許可)

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可/禁止します。

#### CSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタクリア許可)

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可/禁止します。

**CSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタクリア許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可/禁止します。

**CSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタクリア許可)**

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可/禁止します。

**CSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタクリア許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可/禁止します。

**CSELCm ビット (ELCm イベント要因カウンタクリア許可) (m = A ~ D)**

本ビットは、ELCm イベント入力での GTCNT カウンタクリアを許可/禁止します。

**CCLR ビット (ソフトウェア要因カウンタクリア許可)**

本ビットは、GTCLR レジスタによる GTCNT カウンタクリアを許可/禁止します。

参考資料

## 19.2.8 汎用 PWM タイマアップカウント要因選択レジスタ (GTUPSR)

アドレス GPT320.GTUPSR 4007 801Ch  
GPT16m.GTUPSR 4007 801Ch + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	USEL C D	USEL C C	USEL C B	USEL C A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
USCBF AH	USCBF AL	USCBR AH	USCBR AL	USCAF BH	USCAF BL	USCAR BH	USCAR BL	—	—	—	—	USGTR GBF	USGTR GBR	USGTR GAF	USGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA端子立ち上がり入力要因カウンタカウントアップ許可	0: GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b1	USGTRGAF	GTETRGA端子立ち下がり入力要因カウンタカウントアップ許可	0: GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b2	USGTRGBR	GTETRGB端子立ち上がり入力要因カウンタカウントアップ許可	0: GTETRGB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b3	USGTRGBF	GTETRGB端子立ち下がり入力要因カウンタカウントアップ許可	0: GTETRGB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	USCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b9	USCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b10	USCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b11	USCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b12	USCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタカウントアップ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b13	USCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタカウントアップ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	USCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b15	USCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b16	USELCA	ELCA イベント要因カウンタカウントアップ許可	0: ELCA イベント入力でのカウンタカウントアップを禁止 1: ELCA イベント入力でのカウンタカウントアップを許可	R/W
b17	USELCB	ELCB イベント要因カウンタカウントアップ許可	0: ELCB イベント入力でのカウンタカウントアップを禁止 1: ELCB イベント入力でのカウンタカウントアップを許可	R/W
b18	USELCC	ELCC イベント要因カウンタカウントアップ許可	0: ELCC イベント入力でのカウンタカウントアップを禁止 1: ELCC イベント入力でのカウンタカウントアップを許可	R/W
b19	USELCD	ELCD イベント要因カウンタカウントアップ許可	0: ELCD イベント入力でのカウンタカウントアップを禁止 1: ELCD イベント入力でのカウンタカウントアップを許可	R/W
b31-b20	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTUPSR レジスタは GTCNT カウンタのカウントアップ要因を設定するレジスタです。

GTUPSR レジスタの少なくとも 1 つのビットを 1 にすると、そのビットに対応する要因によって GTCNT カウンタがカウントアップされます。この場合、GTCR.TPCS で設定した GTCNT カウンタのカウントは実行されません。

#### USGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタカウントアップ許可)

本ビットは、GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

#### USGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタカウントアップ許可)

本ビットは、GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

#### USGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタカウントアップ許可)

本ビットは、GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

#### USGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタカウントアップ許可)

本ビットは、GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

#### USCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可)

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

#### USCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可)

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。



**USCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可)**

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

**USAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可)**

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

**USCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可)**

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

**USCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

**USCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可)**

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

**USCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

**USELCm ビット (ELCm イベント要因カウンタカウントアップ許可) (m = A ~ D)**

本ビットは、ELCm イベント入力での GTCNT カウンタカウントアップを許可/禁止します。

参考資料

## 19.2.9 汎用 PWM タイマダウンカウント要因選択レジスタ (GTDNSR)

アドレス GPT320.GTDNSR 4007 8020h  
GPT16m.GTDNSR 4007 8020h + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	DSELC D	DSELC C	DSELC B	DSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DSCBF AH	DSCBF AL	DSCBR AH	DSCBR AL	DSCAF BH	DSCAF BL	DSCAR BH	DSCAR BL	—	—	—	—	DSGTR GBF	DSGTR GBR	DSGTR GAF	DSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタカウントダウン許可	0: GTETRGA入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b1	DSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタカウントダウン許可	0: GTETRGA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b2	DSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタカウントダウン許可	0: GTETRGB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b3	DSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタカウントダウン許可	0: GTETRGB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	DSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b9	DSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b10	DSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b11	DSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b12	DSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b13	DSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	DSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b15	DSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b16	DSELCA	ELCA イベント要因カウンタカウントダウン許可	0: ELCA イベント入力でのカウンタカウントダウンを禁止 1: ELCA イベント入力でのカウンタカウントダウンを許可	R/W
b17	DSELCB	ELCB イベント要因カウンタカウントダウン許可	0: ELCB イベント入力でのカウンタカウントダウンを禁止 1: ELCB イベント入力でのカウンタカウントダウンを許可	R/W
b18	DSELCC	ELCC イベント要因カウンタカウントダウン許可	0: ELCC イベント入力でのカウンタカウントダウンを禁止 1: ELCC イベント入力でのカウンタカウントダウンを許可	R/W
b19	DSELCD	ELCD イベント要因カウンタカウントダウン許可	0: ELCD イベント入力でのカウンタカウントダウンを禁止 1: ELCD イベント入力でのカウンタカウントダウンを許可	R/W
b31-b20	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDNSR レジスタは GTCNT カウンタのカウントダウン要因を設定するレジスタです。

GTDNSR レジスタの少なくとも 1 つのビットを 1 にすると、そのビットに対応する要因によって GTCNT カウンタがカウントダウンされます。この場合、GTCR.TPCS で設定した GTCNT カウンタのカウントは実行されません。

#### DSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタカウントダウン許可)

本ビットは、GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

#### DSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタカウントダウン許可)

本ビットは、GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

#### DSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタカウントダウン許可)

本ビットは、GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

#### DSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタカウントダウン許可)

本ビットは、GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

#### DSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可)

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

#### DSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可)

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

**DSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可)**

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

**DSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可)**

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

**DSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可)**

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

**DSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

**DSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可)**

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

**DSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

**DSELCm ビット (ELCm イベント要因カウンタカウントダウン許可) (m = A ~ D)**

本ビットは、ELCm イベント入力での GTCNT カウンタカウントダウンを許可/禁止します。

参考資料

## 19.2.10 汎用PWM タイマインプットキャプチャ要因選択レジスタ A (GTICASR)

アドレス GPT320.GTICASR 4007 8024h  
GPT16m.GTICASR 4007 8024h + 0100h × m (m = 1~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	ASEL D	ASEL C	ASEL B	ASEL A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASCB F AH	ASCB F AL	ASCB R AH	ASCB R AL	ASCAF BH	ASCAF BL	ASCAR BH	ASCAR BL	—	—	—	—	ASGTR GBF	ASGTR GBR	ASGTR GAF	ASGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b1	ASGTRGAF	GTETRGA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b2	ASGTRGBR	GTETRGB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b3	ASGTRGBF	GTETRGB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	ASCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b9	ASCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b10	ASCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b11	ASCAFBL	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b12	ASCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b13	ASCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	ASCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b15	ASCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b16	ASELCA	ELCAイベント要因GTCCRAインプットキャプチャ許可	0: ELCAイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELCAイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b17	ASELCB	ELCBイベント要因GTCCRAインプットキャプチャ許可	0: ELCBイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELCBイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b18	ASELCC	ELCCイベント要因GTCCRAインプットキャプチャ許可	0: ELCCイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELCCイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b19	ASELCD	ELCDイベント要因GTCCRAインプットキャプチャ許可	0: ELCDイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELCDイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b31-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICASR レジスタは GTCCRA のインプットキャプチャ要因を設定するレジスタです。

#### ASGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可)

本ビットは、GTETRGA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

#### ASGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可)

本ビットは、GTETRGA 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

#### ASGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可)

本ビットは、GTETRGB 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

#### ASGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可)

本ビットは、GTETRGB 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

#### ASCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可)

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

#### ASCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可)

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

#### ASCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可)

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

**ASCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可/禁止します。

**ASCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可/禁止します。

**ASCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可/禁止します。

**ASCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可/禁止します。

**ASCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可/禁止します。

**ASELCm ビット (ELCm イベント要因カウンタ GTCCRA インพุットキャプチャ許可) (m = A ~ D)**

本ビットは、ELCm イベント入力での GTCCRA インพุットキャプチャを許可/禁止します。

## 19.2.11 汎用PWM タイマインプットキャプチャ要因選択レジスタ B (GTICBSR)

アドレス GPT320.GTICBSR 4007 8028h  
GPT16m.GTICBSR 4007 8028h + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	BSELC D	BSELC C	BSELC B	BSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSCBF AH	BSCBF AL	BSCBR AH	BSCBR AL	BSCAF BH	BSCAF BL	BSCAR BH	BSCAR BL	—	—	—	—	BSGTR GBF	BSGTR GBR	BSGTR GAF	BSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b1	BSGTRGAF	GTETRGA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b2	BSGTRGBR	GTETRGB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b3	BSGTRGBF	GTETRGB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b9	BSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b10	BSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b11	BSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b12	BSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b13	BSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W



ビット	シンボル	ビット名	機能	R/W
b14	BSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b15	BSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b16	BSELCA	ELCAイベント要因GTCCRBインプットキャプチャ許可	0: ELCAイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELCAイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b17	BSELCB	ELCBイベント要因GTCCRBインプットキャプチャ許可	0: ELCBイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELCBイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b18	BSELCC	ELCCイベント要因GTCCRBインプットキャプチャ許可	0: ELCCイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELCCイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b19	BSELCD	ELCDイベント要因GTCCRBインプットキャプチャ許可	0: ELCDイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELCDイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b31-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICBSR レジスタは GTCCRB のインプットキャプチャ要因を設定するレジスタです。

#### BSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可)

本ビットは、GTETRGA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

#### BSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可)

本ビットは、GTETRGA 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

#### BSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可)

本ビットは、GTETRGB 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

#### BSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可)

本ビットは、GTETRGB 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

#### BSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可)

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

#### BSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可)

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

#### BSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可)

本ビットは、GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

**BSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

本ビットは、GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可/禁止します。

**BSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可/禁止します。

**BSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可/禁止します。

**BSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

本ビットは、GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可/禁止します。

**BSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

本ビットは、GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可/禁止します。

**BSELCm ビット (ELCm イベント要因カウンタ GTCCRB インพุットキャプチャ許可) (m = A ~ D)**

本ビットは、ELCm イベント入力での GTCCRB インพุットキャプチャを許可/禁止します。

## 19.2.12 汎用 PWM タイマコントロールレジスタ (GTCCR)

アドレス GPT320.GTCCR 4007 802Ch  
GPT16m.GTCCR 4007 802Ch + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	TPCS[2:0]			—	—	—	—	—	MD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタート	0: カウント動作を停止 1: カウント動作を実行	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	MD[2:0]	モード選択	b18 b16 0 0 0: のこぎり波PWMモード (シングル/ダブルバッファ可) 0 0 1: のこぎり波ワンショットパルスモード (バッファ動作固定) 0 1 0: 設定禁止 0 1 1: 設定禁止 1 0 0: 三角波PWMモード1 (谷16ビット転送) (シングル/ダブルバッファ可) 1 0 1: 三角波PWMモード2 (山/谷16ビット転送) (シングル/ダブルバッファ可) 1 1 0: 三角波PWMモード3 (谷32ビット転送) (バッファ動作固定) 1 1 1: 設定禁止	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	TPCS[2:0]	タイマプリスケラ選択	b26 b24 0 0 0: PCLKD/1 0 0 1: PCLKD/4 0 1 0: PCLKD/16 0 1 1: PCLKD/64 1 0 0: PCLKD/256 1 0 1: PCLKD/1024	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTCCR レジスタは、GTCNT カウンタを制御するレジスタです。

## CST ビット (カウントスタート)

本ビットは、GTCNT カウンタのスタート/ストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが1の状態、GTSTR レジスタの値 (チャンネル番号はビット番号に対応) を1にしたとき
- ELC イベント入力、またはカウンタスタート要因により GTSSR レジスタで許可した GTIOCA/GTIOCB/GTETRГ ポート入力が発生したとき
- ソフトウェアで直接1を書き込んだとき

[0 になる条件]

- GTSSR.CSTOP ビットが1の状態、GTSTP レジスタの値 (チャンネル番号はビット番号に対応) を1にしたとき
- ELC イベント入力、またはカウンタストップ要因により GTSSR レジスタで許可した GTIOCA/GTIOCB/

GTETRГ ポート入力が発生したとき

- ソフトウェアで直接 0 を書き込んだとき

#### **MD[2:0] ビット (モード選択)**

これらのビットは、GPT の動作モードを選択します。

MD[2:0] ビットの設定は、GTCNT 動作が停止しているときに行ってください。

#### **TPCS[2:0] ビット (タイマプリスケーラ選択)**

これらのビットは、GTCNT カウンタのクロックを選択します。チャンネルごとに個別にクロックプリスケーラの選択が可能です。

TPCS[2:0] ビットの設定は、GTCNT 動作が停止しているときに行ってください。

参考資料

## 19.2.13 汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC)

アドレス GPT320.GTUDDTYC 4007 8030h  
GPT16m.GTUDDTYC 4007 8030h + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	OBDTY R	OBDTY F	OBDTY[1:0]	—	—	—	—	—	OADTY R	OADTY F	OADTY[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウント方向設定	0 : GTCNTカウンタはダウンカウント 1 : GTCNTカウンタはアップカウント	R/W
b1	UDF	カウント方向強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	OADTY[1:0]	GTIOCA出力デューティ設定	b17 b16 0 x : GTIOCA端子のデューティはコンペアマッチに依存 1 0 : GTIOCA端子のデューティは0% 1 1 : GTIOCA端子のデューティは100%	R/W
b18	OADTYF	GTIOCA出力デューティ強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b19	OADTYR	0%/100%デューティ設定解除後のGTIOCA出力値選択	0 : 0%/100%デューティ設定解除後に、0%/100%デューティに設定された出力値をGTIOA[3:2]機能に適用 1 : 0%/100%デューティ設定解除後に、マスクされたコンペアマッチ出力値をGTIOA[3:2]機能に適用	
b23-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	OBDTY[1:0]	GTIOCB出力デューティ設定	b25 b24 0 x : GTIOCB端子のデューティはコンペアマッチに依存 1 0 : GTIOCB端子のデューティは0% 1 1 : GTIOCB端子のデューティは100%	R/W
b26	OBDTYF	GTIOCB出力デューティ強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b27	OBDTYR	0%/100%デューティ設定解除後のGTIOCB出力値選択	0 : 0%/100%デューティ設定解除後に、0%/100%デューティに設定された出力値をGTIOB[3:2]機能に適用 1 : 0%/100%デューティ設定解除後に、マスクされたコンペアマッチ出力値をGTIOB[3:2]機能に適用	
b31-b28	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

x : Don't care

GTUDDTYCレジスタは、GTCNTカウンタのカウント方向（アップ/ダウン）およびGTIOCA/GTIOCB端子出力のデューティを設定するレジスタです。

## 【カウント方向】

- のこぎり波モードの場合

アップカウント中にUD値を0にした場合、オーバーフロー時に（GTCNTカウンタ値がGTPR値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。ダウンカウント中にUD値を1にした場合、アンダーフロー時に（GTCNTカウンタ値が0になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。

カウントストップ中にUDFビットが0の状態からUD値を1から0に変更した場合、カウント動作はアップカウントとなり、オーバーフロー時に（GTCNTカウンタ値がGTPR値になった後、カウントクロックに

同期したタイミングで) カウント方向が切り替わります。カウントストップ中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に (GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで) カウント方向が切り替わります。

カウントストップ中に UDF ビットを 1 にすると、そのときの UD ビット値がカウントスタート時のカウント方向に反映されます。

- 三角波モードの場合

カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD 値を変更しても、カウントスタート時のカウント方向には反映されません。

カウントストップ中に UDF ビットを 1 にすると、そのときの UD 値がカウントスタート時のカウント方向に反映されます。

### UD ビット (カウント方向設定)

本ビットは、GTCNT カウンタのカウント方向 (アップ/ダウン) を設定します。

### UDF ビット (カウント方向強制設定)

本ビットは、GTCNT カウンタスタート時のカウント方向を強制的に UD 値に設定します。カウンタが動作している間は、本ビットに 0 以外を書き込まないでください。カウントストップ中にこのビットに 1 を書いた場合、カウントがスタートする前にこのビットを 0 に戻す必要があります。

#### 【出力デューティ】

- のこぎり波モードの場合

アップカウント中に OADTY/OBDTY 値を変更すると、オーバーフロー時 (GTCNT = GTPR) にデューティが反映されます。ダウンカウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時 (GTCNT = 0) にデューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を 1 に変更すると、カウンタスタート時に出力デューティは反映されません。カウント方向がアップカウントの場合、オーバーフロー時 (GTCNT = GTPR) に出力デューティが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時 (GTCNT = 0) に出力デューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を 0 に変更すると、カウンタスタート時に出力デューティが反映されます。

- 三角波モードの場合

カウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を 1 に変更すると、カウンタスタート時に出力デューティは反映されません。アンダーフロー時に出力デューティが反映されません。

カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を 0 に変更すると、カウンタスタート時に出力デューティが反映されます。

### OmDTY[1:0] ビット (GTIOCm 出力デューティ設定) (m = A, B)

これらのビットは、GTIOCm 端子の出力デューティ (0%、100%、またはコンペアマッチ制御) を設定します。

### OmDTYF ビット (GTIOCm 出力デューティ強制設定) (m = A, B)

本ビットは、出力デューティサイクルを OmDTY の設定値に強制的に設定します。カウンタの動作中は、このビットを 0 にする必要があります。カウントストップ中にこのビットを 1 にした場合、カウンタの動作開始後、最初の周期が終わるまでにこのビットを 0 に戻す必要があります。

### OmDTYR ビット (0%/100% デューティ設定解除後の GTIOCm 出力値選択) (m = A, B)

0%/100% デューティ設定から GTIOCm 端子のコンペアマッチに制御が変更され、かつ GTIOR.GTIOm[3:2] ビットが 00b (周期の終わりで出力保持) または 11b (周期の終わりでトグル出力) に設定されている場合、これらのビットは、周期の終わりで出力保持/トグル出力の対象となる値を選択します。

0%/100% デューティ動作の実行時に、GPT は内部でコンペアマッチ動作を継続します。OmDTYR ビットを 1 にすると、周期の終わりでのコンペアマッチの値が GTIOR.GTIOm[3:2] に適用されます。

参考資料

## 19.2.14 汎用PWMタイマ I/O コントロールレジスタ (GTIOR)

アドレス GPT320.GTIOR 4007 8034h  
GPT16m.GTIOR 4007 8034h + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFC SB[1:0]	NFBEN	—	—	OBDF[1:0]	OBE	OBHLD	OBDFL T	—	GTIOB[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
NFC SA[1:0]	NFAEN	—	—	OADF[1:0]	OAE	OAHL D	OADFL T	—	GTIOA[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	GTIOA[4:0]	GTIOCA 端子機能選択	表 19.5 を参照してください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OADFLT	カウントストップ時のGTIOCA 端子出力値設定	0: カウントストップ時にGTIOCA 端子はLow を出力 1: カウントストップ時にGTIOCA 端子はHigh を出力	R/W
b7	OAHL D	カウントスタート/ストップ時のGTIOCA 端子出力設定	0: カウントスタート/ストップ時のGTIOCA 端子出力レベルはレジスタ設定値に従う 1: カウントスタート/ストップ時のGTIOCA 端子出力レベルは保持される	R/W
b8	OAE	GTIOCA 端子出力許可	0: 出力を禁止 1: 出力を許可	R/W
b10-b9	OADF[1:0]	GTIOCA 端子禁止値設定	b10 b9 0 0: 出力禁止を禁止 0 1: 出力禁止時にGTIOCA 端子をHi-Zにする 1 0: 出力禁止時にGTIOCA 端子を0にする 1 1: 出力禁止時にGTIOCA 端子を1にする	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	NFAEN	ノイズフィルタA有効	0: GTIOCA 端子のノイズフィルタは無効 1: GTIOCA 端子のノイズフィルタは有効	R/W
b15-b14	NFC SA[1:0]	ノイズフィルタAサンプリングクロック選択	b15 b14 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W
b20-b16	GTIOB[4:0]	GTIOCB 端子機能選択	表 19.5 を参照してください。	R/W
b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22	OBDFLT	カウントストップ時のGTIOCB 端子出力値設定	0: カウントストップ時にGTIOCB 端子はLow を出力 1: カウントストップ時にGTIOCB 端子はHigh を出力	R/W
b23	OBHL D	カウントスタート/ストップ時のGTIOCB 端子出力設定	0: カウントスタート/ストップ時のGTIOCB 端子出力レベルはレジスタ設定値に従う 1: カウントスタート/ストップ時のGTIOCB 端子出力レベルは保持される	R/W
b24	OBE	GTIOCB 端子出力許可	0: 出力を禁止 1: 出力を許可	R/W
b26-b25	OBDF[1:0]	GTIOCB 端子禁止値設定	b26 b25 0 0: 出力禁止を禁止 0 1: 出力禁止時にGTIOCB 端子をHi-Zにする 1 0: 出力禁止時にGTIOCB 端子を0にする 1 1: 出力禁止時にGTIOCB 端子を1にする	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFBEN	ノイズフィルタB有効	0: GTIOCB 端子のノイズフィルタは無効 1: GTIOCB 端子のノイズフィルタは有効	



ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCSB[1:0]	ノイズフィルタBサンプリングクロック選択	b31 b30 0 0 : PCLKD/1 0 1 : PCLKD/4 1 0 : PCLKD/16 1 1 : PCLKD/64	

GTIOR レジスタは、GTIOCA 端子および GTIOCB 端子の機能を設定するレジスタです。

#### GTIOA[4:0] ビット (GTIOCA 端子機能選択)

これらのビットは、GTIOCA 端子の機能を選択します。詳細は、表 19.5 を参照してください。

#### OADFLT ビット (カウントストップ時の GTIOCA 端子出力値設定)

本ビットは、カウントストップ時に、GTIOCA 端子が High または Low のいずれを出力するかを設定します。

#### OAHLDB ビット (カウントスタート/ストップ時の GTIOCA 端子出力設定)

本ビットは、カウントスタート/ストップ時に、GTIOCA 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

[OAHLDB ビットを 0 にした場合]

- カウントスタート時に、GTIOA[4:0] ビットの b4 で指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に OADFLT ビットを書き換えた場合、ただちに出力に反映される

[OAHLDB ビットを 1 にした場合]

- カウントスタート/ストップ時に出力が保持される

#### OAE ビット (GTIOCA 端子出力許可)

本ビットは、GTIOCA 端子出力を許可/禁止します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくとも 1 つのビットを 1 にした場合)、GTIOCA 端子出力は OAE ビット値に依存します。

#### OADF[1:0] ビット (GTIOCA 端子禁止値設定)

これらのビットは、出力禁止要求の発生時に GTIOCA 端子の出力値を選択します。

#### NFAEN ビット (ノイズフィルタ A 有効)

本ビットは、GTIOCA 端子からの入力に対してノイズフィルタを有効/無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

#### NFCSA[1:0] ビット (ノイズフィルタ A サンプリングクロック選択)

これらのビットは、GTIOCA 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

#### GTIOB[4:0] ビット (GTIOCB 端子機能選択)

これらのビットは、GTIOCB 端子機能を選択します。詳細は、表 19.5 を参照してください。

#### OBDFLT ビット (カウントストップ時の GTIOCB 端子出力値設定)

本ビットは、カウントストップ時に、GTIOCB 端子が High または Low のいずれを出力するかを設定します。

**OBHLD ビット (カウントスタート/ストップ時の GTIOCB 端子出力設定)**

本ビットは、カウントスタート/ストップ時に、GTIOCB 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

[OBHLD ビットを 0 にした場合]

- カウントスタート時に、GTIOB[4:0] ビットの b4 で指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に OBDFLT ビットを書き換えた場合、ただちに出力に反映される

[OBHLD ビットを 1 にした場合]

- カウントスタート/ストップ時に出力が保持される

**OBE ビット (GTIOCB 端子出力許可)**

本ビットは、GTIOCB 端子出力を許可/禁止します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくとも 1 つのビットを 1 にした場合)、GTIOCB 端子出力は OBE ビット値に依存します。

**OBDF[1:0] ビット (GTIOCB 端子禁止値設定)**

これらのビットは、出力禁止要求の発生時に GTIOCB 端子の出力値を選択します。

**NFBEN ビット (ノイズフィルタ B 有効)**

本ビットは、GTIOCB 端子からの入力に対してノイズフィルタを有効/無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

**NFCSB[1:0] ビット (ノイズフィルタ B サンプリングクロック選択)**

これらのビットは、GTIOCB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表 19.5 GTIOA[4:0] ビットと GTIOB[4:0] ビットの設定値 (1/2)

GTIOA/GTIOB[4:0] ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
0	0	0	0	0	初期出力はLow	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0	周期の終わりでLow出力	周期の終わりでLow出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0	周期の終わりでHigh出力	周期の終わりでHigh出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0	周期の終わりでトグル出力	周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

表 19.5 GTIOA[4:0] ビットと GTIOB[4:0] ビットの設定値 (2/2)

GTIOA/GTIOB[4:0] ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
1	0	0	0	0	初期出力は High	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチで トグル出力
1	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチで トグル出力
1	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチで トグル出力
1	1	1	0	0		周期の終わりで トグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチで トグル出力

- 注 1. 周期の終わりとは、オーバーフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）、またはアンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）を意味します。この場合、GTCNT カウンタはのこぎり波に対してクリアされます。また三角波の谷（GTCNT カウンタが 0 から 1 に変化）に対してクリアされます。
- 注 2. コンペアマッチ動作時に、周期の終わりと GTCCRA/GTCCRB レジスタのコンペアマッチのタイミングが一致した場合、のこぎり波 PWM モードでは b3-b2 の設定値が優先され、それ以外のモードでは b1-b0 の設定値が優先されます。
- 注 3. GTUPSR レジスタまたは GTDNSR レジスタの少なくとも 1 つのビットが 1 の場合のイベントカウント動作では、b3-b2 の設定値は無視されます。

## 19.2.15 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)

アドレス GPT320.GTINTAD 4007 8038h  
GPT16m.GTINTAD 4007 8038h + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	GRPABL	GRPABH	—	—	—	GRP[1:0]	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	GRP[1:0]	出力禁止要因選択	b25 b24 0 0: グループA出力禁止要求 0 1: グループB出力禁止要求 1 0: 設定禁止 1 1: 設定禁止	R/W
b28-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	GRPABH	同時出力レベルHigh禁止要求許可	0: 同時出力レベルHigh禁止要求を禁止 1: 同時出力レベルHigh禁止要求を許可	R/W
b30	GRPABL	同時出力レベルLow禁止要求許可	0: 同時出力レベルLow禁止要求を禁止 1: 同時出力レベルLow禁止要求を許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTINTAD レジスタは、割り込み要求と出力禁止要求を許可/禁止するレジスタです。

**GRP[1:0] ビット (出力禁止要因選択)**

これらのビットは、GTIOCA 端子と GTIOCB 端子の出力禁止要因を選択します。

GTST.ODF が、GRP[1:0] ビットで選択した出力禁止要因グループの要求を示します。

**GRPABH ビット (同時出力レベル High 禁止要求許可)**

本ビットは、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力する場合に、出力禁止要求を許可/禁止します。

**GRPABL ビット (同時出力レベル Low 禁止要求許可)**

本ビットは、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力する場合に、出力禁止要求を許可/禁止します。

## 19.2.16 汎用PWM タイマステータスレジスタ (GTST)

アドレス GPT320.GTST 4007 803Ch  
GPT16m.GTST 4007 803Ch + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	OABLF	OABHF	—	—	—	—	ODF	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TUCF	—	—	—	—	—	—	—	TCFPU	TCFPO	—	—	TCFD	TCFC	TCFB	TCFA
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	インプットキャプチャ/コンペアマッチフラグA	0: GTCCRAのインプットキャプチャ/コンペアマッチの発生なし 1: GTCCRAのインプットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b1	TCFB	インプットキャプチャ/コンペアマッチフラグB	0: GTCCRBのインプットキャプチャ/コンペアマッチの発生なし 1: GTCCRBのインプットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b2	TCFC	インプットコンペアマッチフラグC	0: GTCCRCのコンペアマッチの発生なし 1: GTCCRCのコンペアマッチの発生あり	R/(W) (注1)
b3	TCFD	インプットコンペアマッチフラグD	0: GTCCRDのコンペアマッチの発生なし 1: GTCCRDのコンペアマッチの発生あり	R/(W) (注1)
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	TCFPO	オーバーフローフラグ	0: オーバーフロー (山) の発生なし 1: オーバーフロー (山) の発生あり	R/(W) (注1)
b7	TCFPU	アンダーフローフラグ	0: アンダーフロー (谷) の発生なし 1: アンダーフロー (谷) の発生あり	R/(W) (注1)
b14-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	TUCF	カウント方向フラグ	0: GTCNTカウンタはダウンカウント 1: GTCNTカウンタはアップカウント	R
b23-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	ODF	出力禁止フラグ	0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
b28-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	OABHF	同時出力レベルHighフラグ	0: GTIOCA端子とGTIOCB端子は同時に1を出力していない 1: GTIOCA端子とGTIOCB端子は同時に1を出力した	R
b30	OABLF	同時出力レベルLowフラグ	0: GTIOCA端子とGTIOCB端子は同時に0を出力していない 1: GTIOCA端子とGTIOCB端子は同時に0を出力した	R
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. このビットには0のみ書けます。1を書き込まないでください。

GTST レジスタは、GPT の状態を示します。

#### TCFA フラグ (インプットキャプチャ/コンペアマッチフラグA)

本ビットは、GTCCRA のインプットキャプチャまたはコンペアマッチのステータスフラグです。

[1になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRA 値になったとき

- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

[0 になる条件]

- このビットに 0 を書いたとき

#### TCFB フラグ (インプットキャプチャ/コンペアマッチフラグ B)

本ビットは、GTCCRB のインプットキャプチャまたはコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRB 値になったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[0 になる条件]

- このビットに 0 を書いたとき

#### TCFC フラグ (インプットコンペアマッチフラグ C)

本ビットは、GTCCRC のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRC 値になったとき

[0 になる条件]

- このビットに 0 を書いたとき
- [比較を行わない条件]
- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

#### TCFD フラグ (インプットコンペアマッチフラグ D)

本ビットは、GTCCRD のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRD 値になったとき

[0 になる条件]

- このビットに 0 を書いたとき
- [比較を行わない条件]
- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRD レジスタがバッファ動作)

#### TCFPO フラグ (オーバーフローフラグ)

本ビットは、オーバーフローまたは山が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、オーバーフロー (アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化) が発生したとき

- 三角波モードにおいて、山 (GTCNT カウンタが GTPR 値から GTPR 値 -1 に変化) が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化) が発生したとき

[0 になる条件]

- このビットに 0 を書いたとき

#### TCFPU フラグ (アンダーフローフラグ)

本ビットは、アンダーフローまたは谷が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、アンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき
- 三角波モードにおいて、山 (GTCNT カウンタが 0 から 1 に変化) が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき

[0 になる条件]

- このビットに 0 を書いたとき

#### TUCF フラグ (カウント方向フラグ)

本フラグは、GTCNT カウンタのカウント方向を示します。

イベントカウント動作で、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

#### ODF フラグ (出力禁止フラグ)

本フラグは、GRP[1:0] ビットで選択する出力禁止要因グループの要求を示します。

出力が禁止された場合、出力禁止要求がネゲートされる同じ 1 周期の間、出力禁止制御は解除されません。次の周期に解除されます。

#### OABHF フラグ (同時出力レベル High フラグ)

本フラグは、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 0 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。

OABHF フラグによる割り込みが許可されている (GTINTAD.GRPABH ビット = 1) 場合、OABHF フラグが出力禁止要求として POEG に出力されます。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットの少なくとも一方が 0 になったとき

### OABLF フラグ (同時出力レベル Low フラグ)

本フラグは、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 1 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。

OABLF フラグによる割り込みが許可されている (GTINTAD.GRPABL ビット = 1) 場合、OABLF フラグが出力禁止要求として POEG に出力されます。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットの少なくとも一方が 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力 (PWM 出力) 信号です。出力禁止状態が実行される場合、コンペアマッチも GPT 内部で継続して実行され、OABHF/OABLF フラグはコンペア値の結果に応じて更新されます。

資料



## 19.2.17 汎用PWMタイマバッファイネーブルレジスタ (GTBER)

アドレス GPT320.GTBER 4007 8040h  
GPT16m.GTBER 4007 8040h + 0100h × m (m = 1~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	CCRS WT	PR[1:0]	CCRB[1:0]	CCRA[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD[0]	GTCCRバッファ動作禁止	0 : バッファ動作を許可 1 : バッファ動作を禁止	R/W
b1	BD[1]	GTPRバッファ動作禁止		R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	CCRA[1:0]	GTCCRAバッファ動作	b17 b16 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRA ⇄ GTCCRC) 1 x : ダブルバッファとして動作する (GTCCRA ⇄ GTCCRC ⇄ GTCCRD)	R/W
b19-b18	CCRB[1:0]	GTCCRBバッファ動作	b19 b18 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRB ⇄ GTCCRE) 1 x : ダブルバッファとして動作する (GTCCRB ⇄ GTCCRE ⇄ GTCCRF)	R/W
b21-b20	PR[1:0]	GTPRバッファ動作	b21 b20 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTPBRレジスタ ⇄ GTPRレジスタ) 1 x : 設定禁止	R/W
b22	CCRSWT	GTCCRA・GTCCRB強制バッファ動作	1を書くとGTCCRAおよびGTCCRBレジスタのバッファ転送を強制的に行います。このビットは1を書いた後、自動的に0に戻ります。読むと0が読めます。	R/W
b31-b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTBERレジスタは、バッファ動作を設定するレジスタです。GTCNTカウンタが停止しているときに設定する必要があります。

**BD[0] ビット (GTCCR バッファ動作禁止)**

本ビットは、GPTのGTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、およびGTCCRFレジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDEビットが1のとき、BD[0]ビットを0にしても、GTCCRBレジスタはバッファ動作を行いません。GTCCRBレジスタは、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

**BD[1] ビット (GTPR バッファ動作禁止)**

本ビットは、GPTのGTPRレジスタとGTPBRレジスタを組み合わせたバッファ動作を禁止します。

**CCRA[1:0] ビット (GTCCRA バッファ動作)**

これらのビットは、GTCCRA、GTCCRC、およびGTCCRDレジスタを組み合わせたバッファ動作を設定します。GTCRレジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCRレジスタの設定が優先されます。(注1)

**CCRB[1:0] ビット (GTCCRB バッファ動作)**

これらのビットは、GTCCRB、GTCCRE、およびGTCCRFレジスタを組み合わせたバッファ動作を設定します。GTCRレジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCRレジスタの設定が優先されます。(注1)

**PR[1:0] ビット (GTPR バッファ動作)**

これらのビットは、GTPRレジスタとGTPBRレジスタを組み合わせたバッファ動作を設定します。

**CCRSWT ビット (GTCCRA・GTCCRB 強制バッファ動作)**

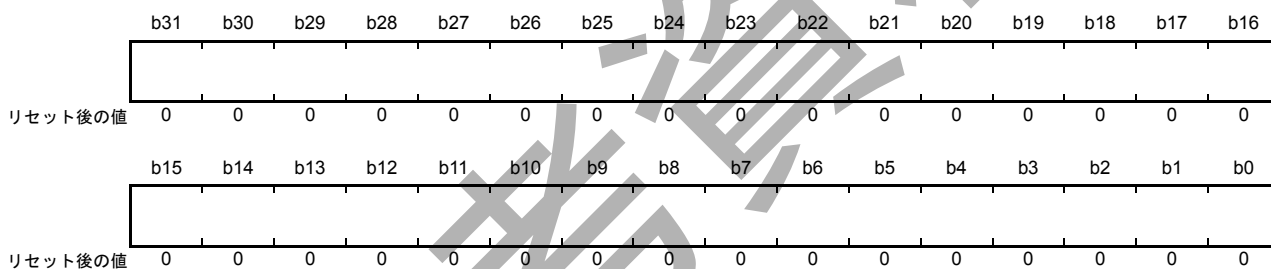
CCRSWTビットに1を書くと、強制的にGTCCRAレジスタとGTCCRBレジスタのバッファ転送を行います。このビットは1を書いた後、自動的に0に戻ります。読むと0が読めます。

本ビットは、カウントストップ時にコンペアマッチ動作が指定されている場合にのみ有効です。

注1. のこぎり波ワンショットパルスモード、または三角波PWMモード3(谷64ビット転送)では、バッファ動作モードは固定されます。

**19.2.18 汎用PWMタイマカウンタ (GTCNT)**

アドレス GPT320.GTCNT 4007 8048h  
GPT16m.GTCNT 4007 8048h + 0100h × m (m = 1 ~ 6)



GTCNTは、GPT320用の32ビットの読み出し/書き込み可能なカウンタです。GPT16m (m = 1 ~ 6)の場合、GTCNTは16ビットレジスタになります。GTCNTへの書き込みは、カウントストップ後にのみ可能です。32ビット単位でアクセスしてください。8ビット単位/16ビット単位でのアクセスはしないでください。

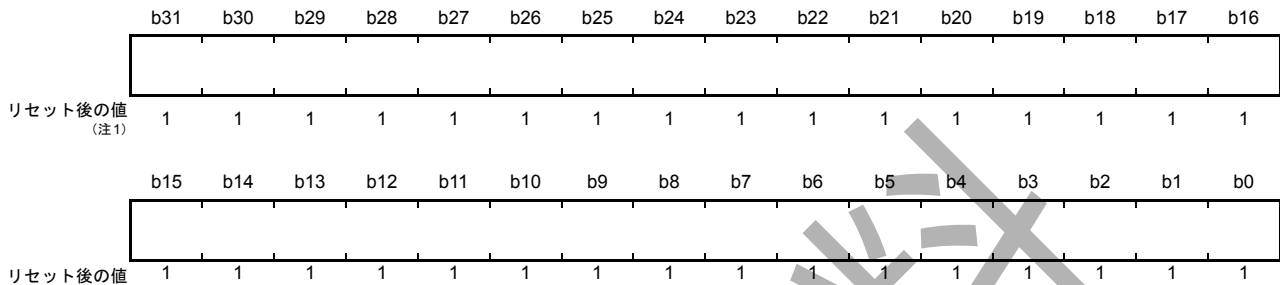
GPT16m (m = 1 ~ 6)の場合、32ビット単位アクセス時の上位16ビットは、読むと常に0000hが読み出され、書き込みは無視されます。

GTCNTレジスタは、 $0 \leq \text{GTCNT} \leq \text{GTPR}$ の範囲に収まるように設定する必要があります。

## 19.2.19 汎用 PWM タイマコンペアキャプチャレジスタ n (GTCCRn) (n = A ~ F)

アドレス GPT320.GTCCRA 4007 804Ch  
 GPT320.GTCCRB 4007 8050h  
 GPT320.GTCCRC 4007 8054h  
 GPT320.GTCCRD 4007 805Ch  
 GPT320.GTCCRE 4007 8058h  
 GPT320.GTCCRF 4007 8060h

GPT16m.GTCCRA 4007 804Ch + 0100h × m (m = 1~6)  
 GPT16m.GTCCRB 4007 8050h + 0100h × m (m = 1~6)  
 GPT16m.GTCCRC 4007 8054h + 0100h × m (m = 1~6)  
 GPT16m.GTCCRD 4007 805Ch + 0100h × m (m = 1~6)  
 GPT16m.GTCCRE 4007 8058h + 0100h × m (m = 1~6)  
 GPT16m.GTCCRF 4007 8060h + 0100h × m (m = 1~6)



注1. GPT16m (m = 1 ~ 6) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTCCRn レジスタは読み出し/書き込み可能なレジスタです。GTCCRn レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTCCRn レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

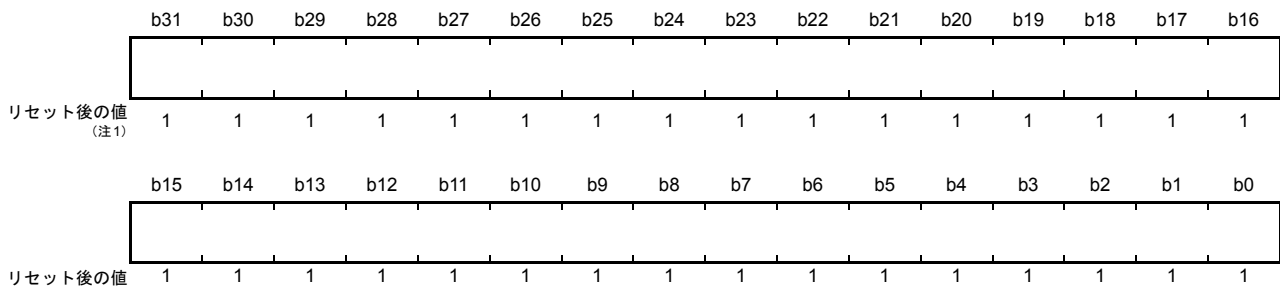
GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア/インプットキャプチャ兼用のレジスタです。

GTCCRC レジスタと GTCCRE レジスタは、コンペアマッチレジスタですが、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。

GTCCRD レジスタと GTCCRF レジスタは、コンペアマッチレジスタですが、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ (GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ) としても機能します。

### 19.2.20 汎用 PWM タイマ周期設定レジスタ (GTPR)

アドレス GPT320.GTPR 4007 8064h  
GPT16m.GTPR 4007 8064h + 0100h × m (m = 1~6)



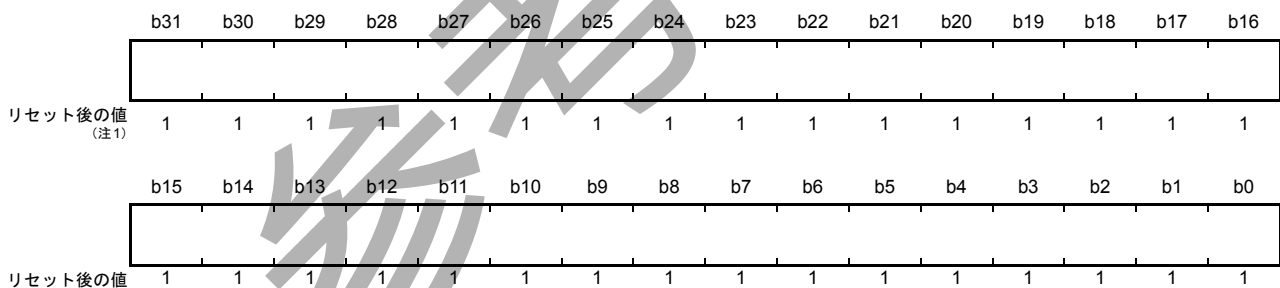
注1. GPT16m (m = 1~6) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTPR レジスタは、読み出し/書き込み可能な、GTCNT カウンタの最大カウント値を設定するレジスタです。GTPR レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTPR レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

のこぎり波の場合、GTPR 値 +1 がカウント周期になります。三角波の場合、GTPR 値 ×2 がカウント周期になります。

### 19.2.21 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)

アドレス GPT320.GTPBR 4007 8068h  
GPT16m.GTPBR 4007 8068h + 0100h × m (m = 1~6)



注1. GPT16m (m = 1~6) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTPBR レジスタは、読み出し/書き込み可能な、GTPR レジスタ用のバッファレジスタとして機能するレジスタです。GTPBR レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTPBR レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

## 19.2.22 汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCCR)

アドレス GPT320.GTDTCCR 4007 8088h  
GPT16m.GTDTCCR 4007 8088h + 0100h × m (m = 1~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定	0: GTDVUレジスタを使用しないで、GTCCRBレジスタを設定する 1: GTDVUレジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値をGTCCRBレジスタに自動設定する	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDTCCR レジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可するレジスタです。

GPT にはデッドタイム制御機能があります。デッドタイム値の設定には GTDVU レジスタを使用します。

**TDE ビット (逆相波形設定)**

本ビットは、GTDVU レジスタを使用するか否かを指定します。GTDVU レジスタを使用する場合、正相波形のコンペアマッチ値 (GTCCRA 値) とデッドタイム値 (GTDVU 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

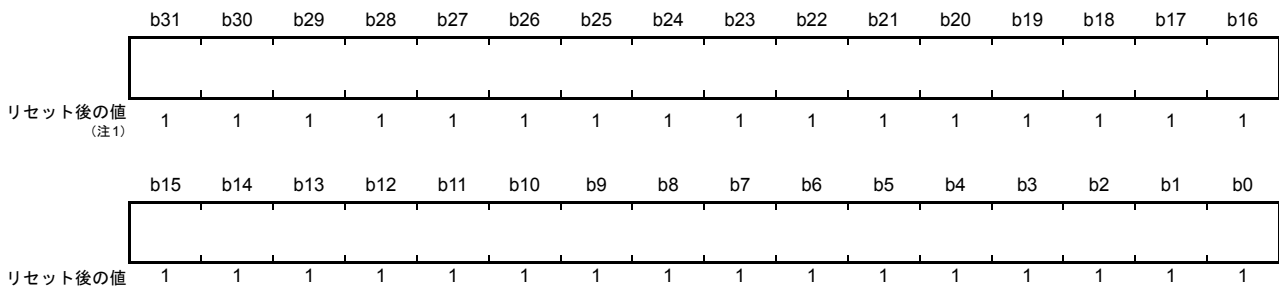
TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、自動設定は行われません。

GTCCRB 値が自動設定されるとき、下記のような上限/下限値があります。算出された GTCCRB 値がこの範囲に収まらない場合、GTCCRB レジスタにはこの制限値が設定されます。

- 三角波の場合  
上限値: GTPR 値 - 1  
下限値: アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモードの場合  
上限値: GTPR 値  
下限値: 0

## 19.2.23 汎用 PWM タイマデッドタイム値レジスタ U (GTDVU)

アドレス GPT320.GTDVU 4007 808Ch  
GPT16m.GTDVU 4007 808Ch + 0100h x m (m = 1~6)



注1. GPT16m (m = 1 ~ 6) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTDVU レジスタは、読み出し/書き込み可能な、デッドタイム付き PWM 波形を生成するためのデッドタイム値を設定するレジスタです。GTDVU レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTDVU レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

周期を超えるデッドタイム値の設定はしないでください。GTCCRB レジスタを読み出すことによって、設定された値の確認が可能です。GTDVU レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。このレジスタ値を 0 にすれば、デッドタイムなしの波形が出力されます。

GPT の動作中は、GTDVU レジスタ値の変更はしないでください。GTDVU レジスタを新しい値に変更する場合、GTCR レジスタの CST ビットによって GPT を停止させてください。GTDVU レジスタは 32 ビット単位でアクセスする必要があります。8 ビット単位 / 16 ビット単位でのアクセスはしないでください。

## 19.2.24 出力相切り替えコントロールレジスタ (OPSCR)

アドレス GPT\_OPS.OPSCR 4007 8FF0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCS[1:0]	NFEN	—	—	GODF	—	GRP	—	—	ALIGN	RV	INV	N	P	FB	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	入力相ソフト設定	ソフトウェア設定により入力相を設定します。OPSCR.FBビットが1のとき、これらのビットの設定が有効になります。	R/W
b1	VF			R/W
b2	WF			R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	U	入力U相監視	入力相の状態を監視します。 OPSCR.FB = 0 : これらのビットでPCLKDと同期した外部入力を監視 OPSCR.FB = 1 : OPSCR.U、OPSCR.V、およびOPSCR.WビットでOPSCR.UF、OPSCR.VF、およびOPSCR.WFビットの読み出しが可能	R
b5	V	入力V相監視		R
b6	W	入力W相監視		R
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	EN	イネーブル相出力制御	0 : 出力しない (Hi-Z外部端子) 1 : 出力する (注1)	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	FB	外部フィードバック信号許可	ソフトウェア設定と外部入力から入力相を選択します。 0 : 外部入力を選択 1 : ソフトウェア設定 (OPSCR.UF/VF/WFビット) を選択	R/W
b17	P	正相出力 (P) 制御	0 : レベル信号出力 1 : PWM信号出力 (GPT161のPWM)	R/W
b18	N	逆相出力 (N) 制御	0 : レベル信号出力 1 : PWM信号出力 (GPT161のPWM)	R/W
b19	INV	反転相出力制御	0 : 正論理 (アクティブHigh) を出力 1 : 負論理 (アクティブLow) を出力	R/W
b20	RV	出力相回転方向反転	0 : U/V/W相を出力 1 : V/W相の反転を出力	R/W
b21	ALIGN	入力相アライメント	0 : 入力相をPCLKDに調整 1 : 入力相をPWMに調整	R
b23-b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	GRP	出力禁止要因選択	0 : グループA出力禁止要因を選択 1 : グループB出力禁止要因を選択	R/W
b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26	GODF	グループ出力禁止機能	0 : このビット機能を見捨てる 1 : グループ禁止でOPSCR.ENビットをクリア (注1)	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFEN	外部入力ノイズフィルタ有効	0 : 外部入力にノイズフィルタを使用しない 1 : 外部入力にノイズフィルタを使用する	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCS[1:0]	外部入力ノイズフィルタクロック 選択	外部入力のノイズフィルタサンプリングクロック設定 b31 b30 0 0 : PCLKD/1 0 1 : PCLKD/4 1 0 : PCLKD/16 1 1 : PCLKD/64	R/W

注1. OPSCR.GODF ビット = 1 の場合、OPSCR.GRP ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 にクリアされます。

OPSCR レジスタは、ブラシレス DC モータ制御に必要な信号波形の出力を設定するレジスタです。

#### UF、VF、WF ビット (入力相ソフト設定)

これらのビットは、ソフトウェア設定からの入力相を設定します。

OPSCR.FB ビットが 0 のとき、これらのビットが有効になります。UF/VF/WF ビットの設定値が U/V/W 外部入力に取って代わります。

#### U、V、W ビット (入力相監視)

OPSCR.FB ビットが 0 の場合、PCLKD と同期した外部入力をこれらのビットで監視します。

OPSCR.FB ビットが 1 の場合、OPSCR.U、OPSCR.V、OPSCR.W ビットは、OPSCR.UF、OPSCR.VF、OPSCR.WF ビットを読み出せます。

#### EN ビット (イネーブル相出力制御)

本ビットは、出力許可信号出力相 (正相/逆相) を制御します。OPSCR.EN ビットが 1 の場合、信号波形が出力されます。

OPSCR.EN ビットが 0 の場合は、最初に OPSCR.FB、OPSCR.UF/VF/WF (ソフトウェア設定を選択)、OPSCR.P/N、OPSCR.INV、OPSCR.ALIGN、OPSCR.NFCS、OPSCR.GRP、OPSCR.GODF、OPSCR.NFEN、OPSCR.NFCS ビットを設定してください。その後、このビットを 1 にしてください。また、OPSCR.GODF ビットが 1 の場合、OPSCR.GRP ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 にクリアされます。

#### FB ビット (外部フィードバック信号許可)

本ビットは、ソフトウェア設定 (OPSCR.UF、VF、WF ビット) およびホール素子などの外部入力からの入力相を選択します。

#### P ビット (正相出力 (P) 制御)

本ビットは、レベル信号出力 (GPT161 の PWM) または正相出力の PWM 信号出力 (GTOUUP 端子、GTOVUP 端子、GTOWUP 端子) のどちらかを選択します。

#### N ビット (逆相出力 (N) 制御)

本ビットは、レベル信号出力 (GPT161 の PWM) または逆相出力の PWM 信号出力 (GTOULO 端子、GTOVLO 端子、GTOWLO 端子) のどちらかを選択します。

#### INV ビット (反転相出力制御)

本ビットは、出力相として正論理 (アクティブ High) 出力または負論理 (アクティブ Low) 出力のどちらかを選択します。

#### RV ビット (出力相回転方向反転)

本ビットは、V 相/W 相を入れ替えることにより、モータの回転方向を反転させます。



### ALIGN ビット (入力相アライメント)

本ビットは、入力相のサンプリングとして PCLKD または PWM を選択します (入力相は OPSCR.FB ビットで指定)。OPSCR.ALIGN ビットが 0 のとき、入力相は PCLKD に調整されます。

注. PWM 出力 (OPSCR.P/N ビット = 1) を選択した場合、PCLKD 入力相を調整すると、PWM パルスは短パルスになる場合があります。

注. OPSCR.ALIGN ビットが 1 のとき、入力相は PWM 出力に調整されます。

### GRP ビット (出力禁止要因選択)

これらのビットは、出力禁止要因 A ~ D を選択します。

### GODF ビット (グループ出力禁止機能)

OPSCR.GODF ビットが 1 の場合、OPSCR.GRP ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 にクリアされます。OPSCR.GODF ビットが 0 の場合、このビットは無視されます。

### NFEN ビット (外部入力ノイズフィルタ有効)

本ビットは、外部入力用のノイズフィルタを選択します。OPSCR.NFEN ビットが 0 の場合、外部入力にノイズフィルタは使用されません。OPSCR.NFEN ビットが 1 の場合、外部入力にノイズフィルタが使用されます。

注. このビットを切り替えると、意図しない内部エッジが発生するため、最初に OPSCR.EN ビットを 0 にしてください。

### NFCS[1:0] ビット (外部入力ノイズフィルタクロック選択)

OPSCR.NFEN ビットが 1 の場合、外部入力のノイズフィルタサンプリングクロック設定が有効になります。

1. NFCS を設定します。
2. クロックの 2 周期分待ちます。
3. OPSCR.EN ビットを 1 にします。

## 19.3 動作説明

### 19.3.1 基本動作

各チャンネルには32ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPRレジスタがカウント周期を制御します。

GTCNTカウンタ値がGTCCRAまたはGTCCRBレジスタの値に一致すると、対応するGTIOCA端子またはGTIOCB端子からの出力を変更できます。GTCCRAまたはGTCCRBレジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用できます。

GTCCRCおよびGTCCRDレジスタは、GTCCRAレジスタ用のバッファレジスタとしても機能します。また、GTCCREおよびGTCCRFレジスタは、GTCCRBレジスタ用のバッファレジスタとしても機能します。

#### 19.3.1.1 カウンタの動作

##### (1) カウンタスタート/ストップ

各チャンネルのカウンタは、GTCR.CSTビットを1にするとカウント動作を開始し、GTCR.CSTビットを0にするとカウント動作を停止します。

GTCR.CSTビット値は以下の要因によって変化します。

- GTCRレジスタへの書き込み
- GTSSR.CSTRTビットが1になっている場合、GTSTRレジスタのGPTチャンネル番号に対応したビットへの1の書き込み
- GTPSR.CSTOPビットが1になっている場合、GTSTPレジスタのGPTチャンネル番号に対応したビットへの1の書き込み
- GTSSRレジスタで選択したハードウェア要因
- GTPSRレジスタで選択したハードウェア要因

## (2) カウントクロックによるアップカウント時の周期カウント動作

各チャンネルのGTCNTカウンタは、GTUPSRおよびGTDNSRレジスタを00000000hにした状態で、対応するGTCR.CSTビットを1にすると、アップカウントを開始します。GTCNTカウンタ値がGTPR値から0に変化（オーバーフロー）すると、GTST.TCFPOフラグが1になります。GTCNTカウンタはオーバーフロー後、00000000hからアップカウントを再開します。

アップカウント時の周期カウント動作例を図19.3に示します。

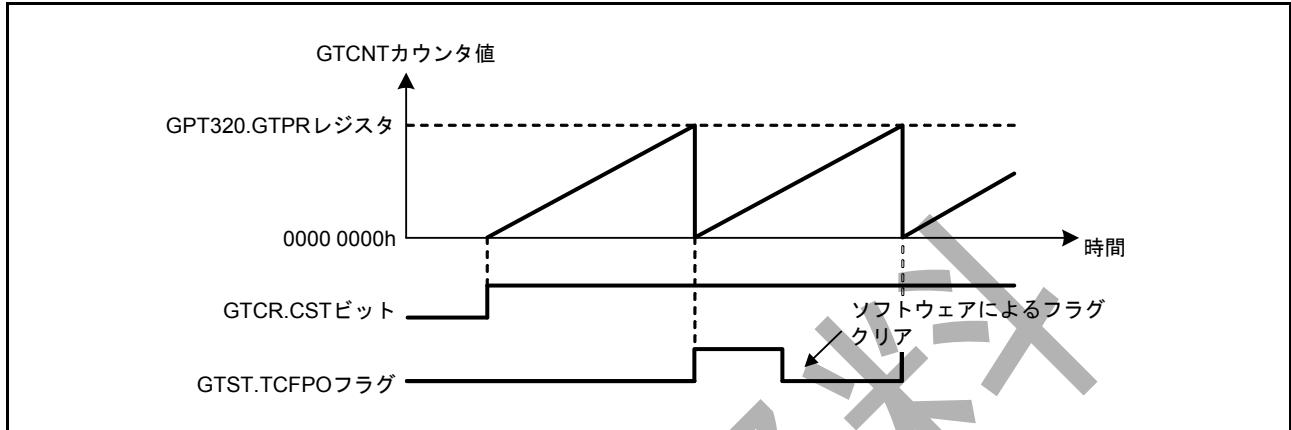


図 19.3 カウントクロックによるアップカウント時の周期カウント動作例

アップカウント時の周期カウント動作の設定例を図19.4に示します。

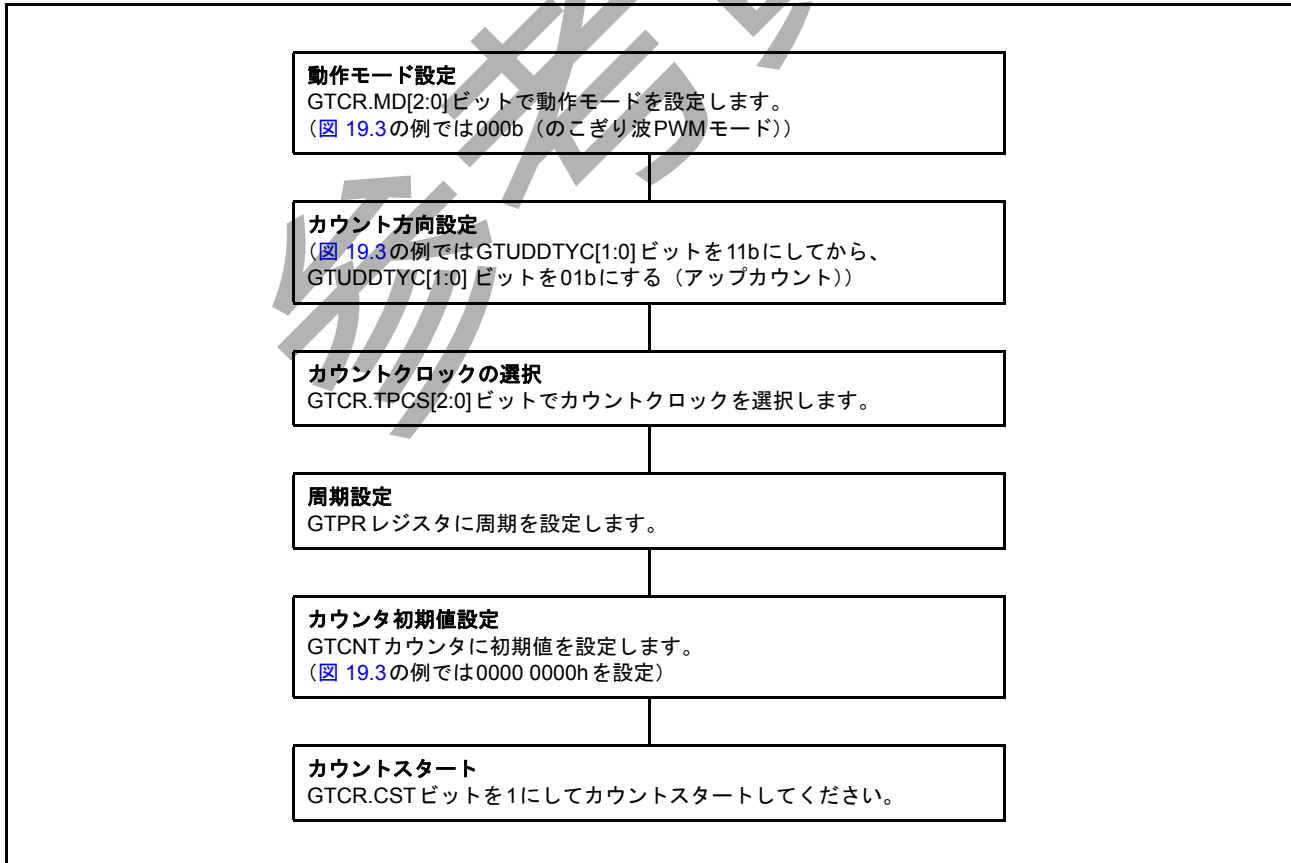


図 19.4 カウントクロックによるアップカウント時の周期カウント動作の設定例

### (3) カウントクロックによるダウンカウント時の周期カウント動作

各チャンネルのGTCNTカウンタは、GTUPSRおよびGTDNSRレジスタを00000000hにした状態で、GTUDDTYC.UDビットを設定することにより、ダウンカウントを実行できます。GTCNTカウンタ値が0からGTPR値に変化（アンダーフロー）すると、GTST.TCFPUビットが1になります。GTCNTカウンタはアンダーフロー後、GTPR値からダウンカウントを再開します。

カウントクロックによるダウンカウント時の周期カウント動作例を図19.5に示します。

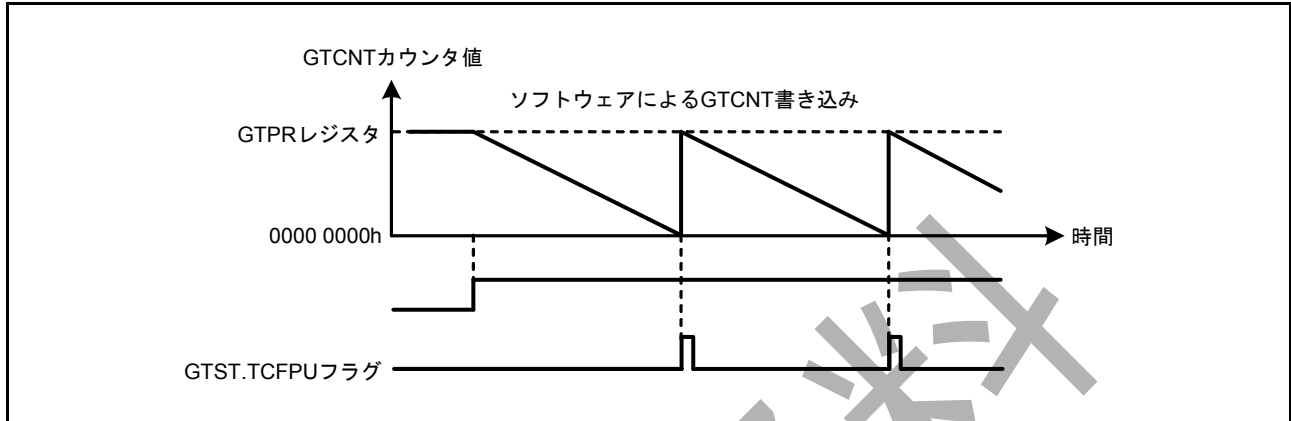


図 19.5 カウントクロックによるダウンカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作の設定例を図19.6に示します。

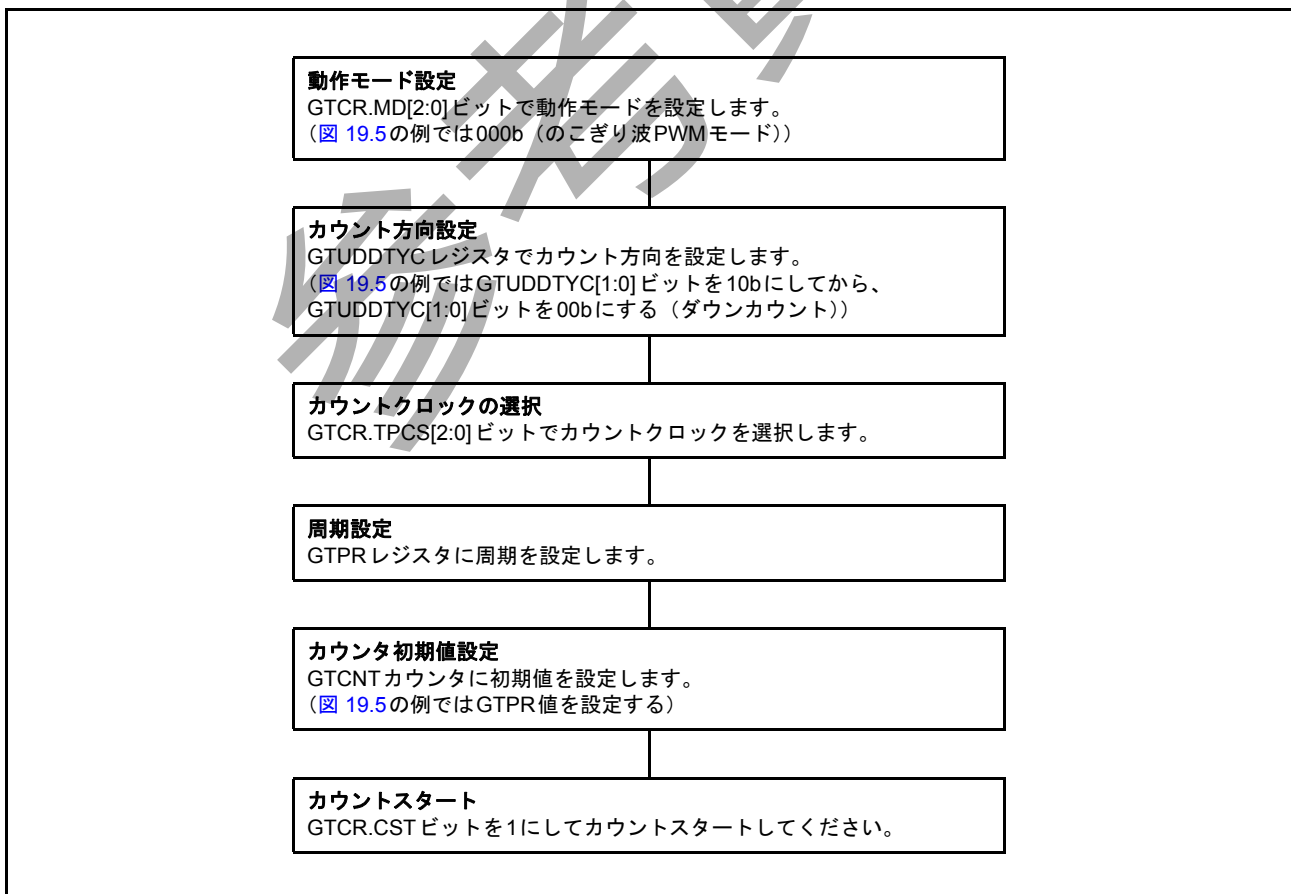


図 19.6 カウントクロックによるダウンカウント時の周期カウント動作の設定例

#### (4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャンネルのGTCNTカウンタは、GTUPSRレジスタで設定したハードウェア要因によるアップカウントを実行できます。

GTUPSRレジスタを許可に設定すると、GTCR.TPCS[2:0]ビットで選択したカウントクロックと、GTUDDTYC.UDビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNTカウンタ値は変化しません。ハードウェア要因によるアップカウント時のオーバーフロー動作は、カウントクロックによるアップカウント時のオーバーフロー動作と同じです。

GTCR.CSTビットを1にしてハードウェア要因によるカウントアップを行う場合、カウント動作が有効になります。GTCR.CSTビットを1にした後も、カウント動作はGTCR.TPCS[2:0]ビットで選択したカウントクロックと同期するため、GTCR.TPCS[2:0]ビットで指定された1クロックサイクルの間、カウンタはカウントアップを行えません。GTCR.CSTビットを1にした後、GTCR.TPCS[2:0]ビットを000bにして、PCLKD 1クロック分の遅延でカウントアップを行ってください。

ハードウェア要因 (GTETRGA 端子の立ち上がりエッジ) によるアップカウント時の周期カウント動作例を図 19.7 に示します。

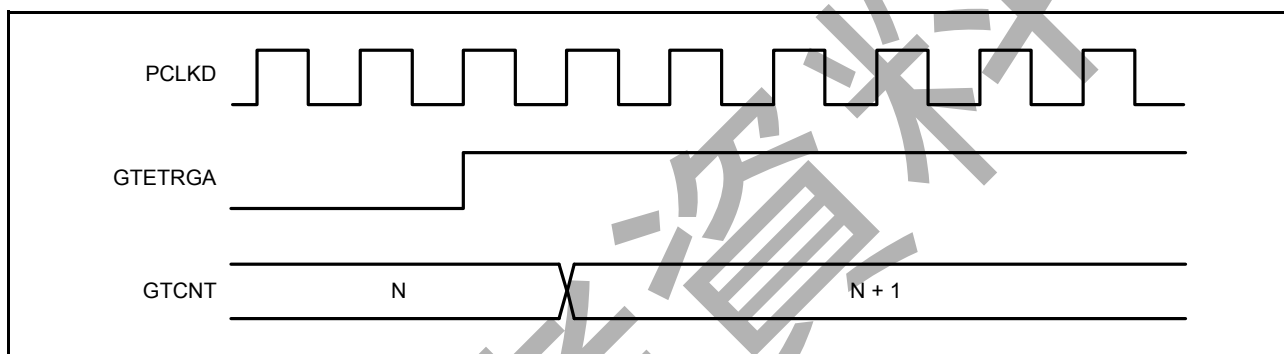


図 19.7 ハードウェア要因によるアップカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作の設定例を図 19.8 に示します。

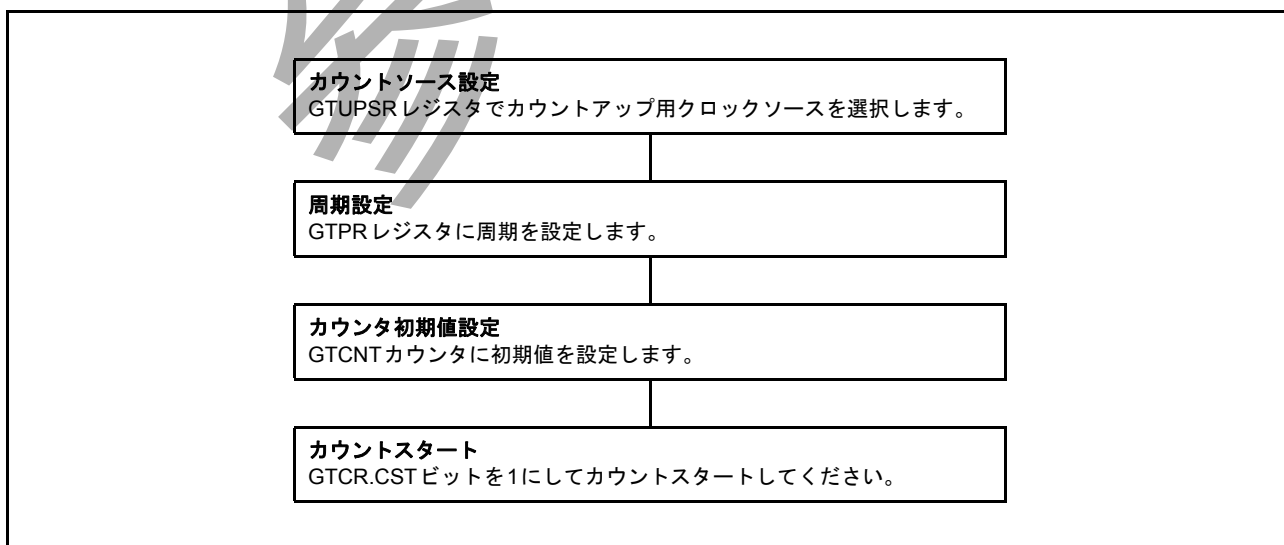


図 19.8 ハードウェア要因によるアップカウント時のイベントカウント動作の設定例

### (5) ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャネルのGTCNTカウンタは、GTDNSRレジスタで設定したハードウェア要因によるダウンカウントを実行できます。

GTDNSRレジスタを許可に設定すると、GTCR.TPCS[2:0]ビットで選択したカウントクロックと、GTUDDTYC.UDビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNTカウンタ値は変化しません。ハードウェア要因によるダウンカウント時のアンダーフロー動作は、カウントクロックによるダウンカウント時のアンダーフロー動作と同じです。

GTCR.CSTビットを1にしてハードウェア要因によるカウントダウンを行う場合、カウント動作が有効になります。GTCR.CSTビットを1にした後も、カウント動作はGTCR.TPCS[2:0]ビットで選択したカウントクロックと同期するため、GTCR.TPCS[2:0]ビットで指定された1クロックサイクルの間、カウンタはカウントダウンを行えません。GTCR.CSTビットを1にした後、GTCR.TPCS[2:0]ビットを000bにして、PCLKD 1クロック分の遅延でカウントダウンを行ってください。

ハードウェア要因 (GTETRGA 端子の立ち下がリエッジ) によるダウンカウント時の周期カウント動作例を図 19.9 に示します。

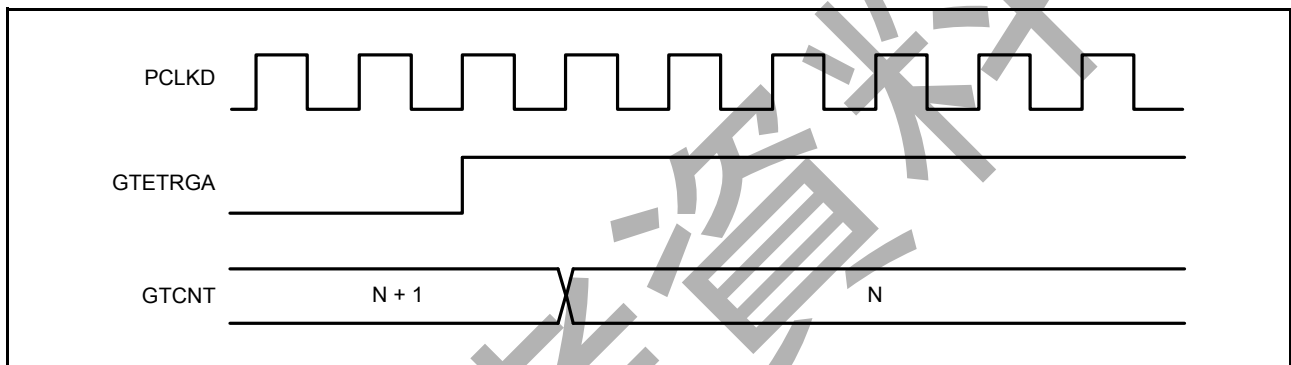


図 19.9 イベントカウント動作例 (ハードウェア要因によるダウンカウント時)

ハードウェア要因によるダウンカウント時の周期カウント動作の設定例を図 19.10 に示します。

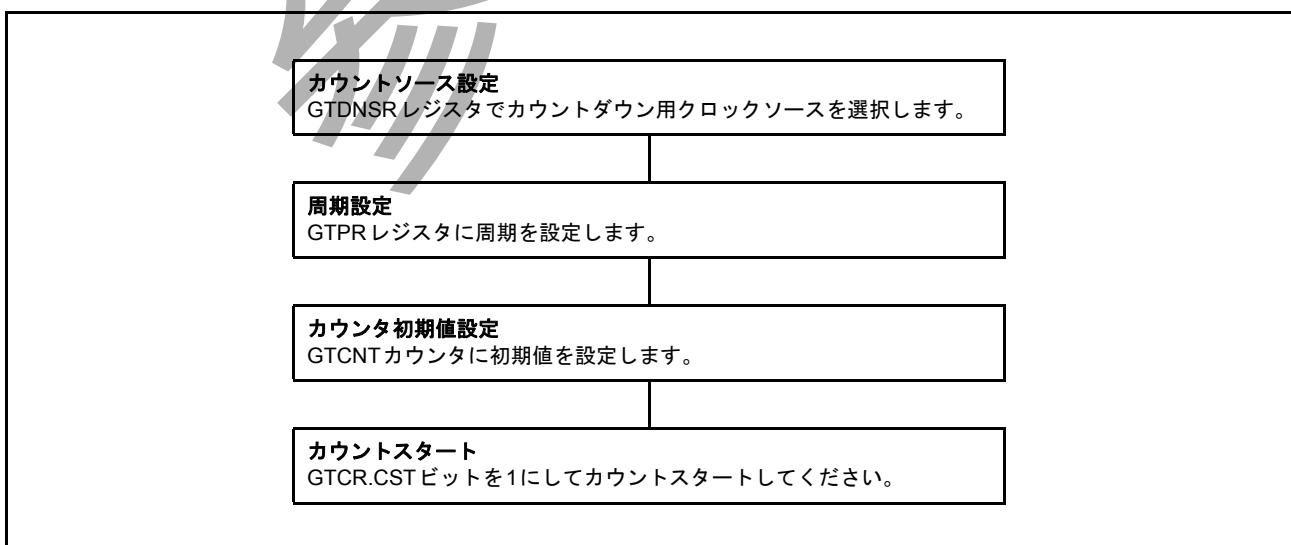


図 19.10 ハードウェア要因によるダウンカウント時のイベントカウント動作の設定例

## (6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアされます。

- GTCNT レジスタへの 0 の書き込み
- GTCSR.CCLR ビットが 1 になっている場合、GTCLR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント動作時は、GTCNT レジスタへの書き込みはしないでください。GTCNT カウンタは、カウント中でも (GTCSR.CST ビットが 1)、カウント中でなくても (GTCSR.CST ビットが 0)、GTCLR レジスタへの 1 の書き込みとハードウェア要因のクリア要求の両方の方法でクリアできます。

GTCSR.MD[2:0] ビットの設定によってのこぎり波が選択され、カウント方向フラグがダウンカウント (GTST.TUCF ビットが 0) を示している場合、GTCLR レジスタへの 1 の書き込みと、ハードウェア要因によるクリアの実行時に、GTCNT レジスタに対して GTPR レジスタ値が設定されます。

のこぎり波モードでもダウンカウントでもない場合、GTCLR レジスタへの 1 の書き込みと、ハードウェア要因によるクリアの実行時に、GTCNT レジスタは 0 になります。

GTUPSR または GTDNSR レジスタの少なくとも 1 つのビットが 1 になっている場合のイベントカウント動作では、クリア要因の発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアの両方がただちに実行され、PCLKD と同期が取られます。

その他の設定を使用すると、GTCSR.TPCS[2:0] ビットで選択したカウンタクロックと同期してクリアが実行されます。

参考資料

### 19.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA または GTCCRB レジスタ値と一致することを意味します。

コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は、対応する GTIOCA または GTIOCB 出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。

また、GTPR レジスタで決定される“周期の終わり”においても、GTIOCA または GTIOCB 端子出力を Low 出力 / High 出力 / トグル出力とすることができます。

“周期の終わり”とは、以下の場合です。

- アップカウント時ののこぎり波の場合：GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- ダウンカウント時ののこぎり波の場合：GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波の場合：GTCNT カウンタがクリアされたとき
- 三角波の場合：GTCNT カウンタが 0 から 1 に変化したとき（谷）

#### (1) Low 出力 / High 出力

GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力 / High 出力の動作例を図 19.11 に示します。

この例では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子から High が出力され、GPT320.GTCCRB レジスタのコンペアマッチによって GTIOC0B 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合は、端子レベルは変化しません。

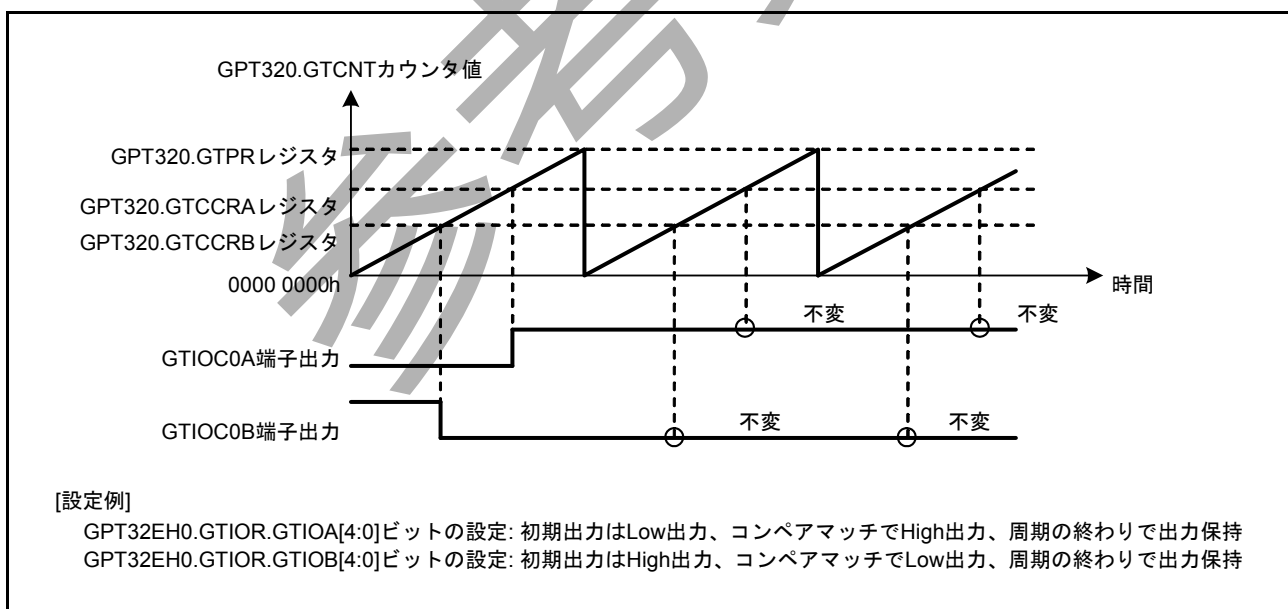


図 19.11 Low 出力 / High 出力動作例



Low 出力 / High 出力動作の設定例を図 19.12 に示します。

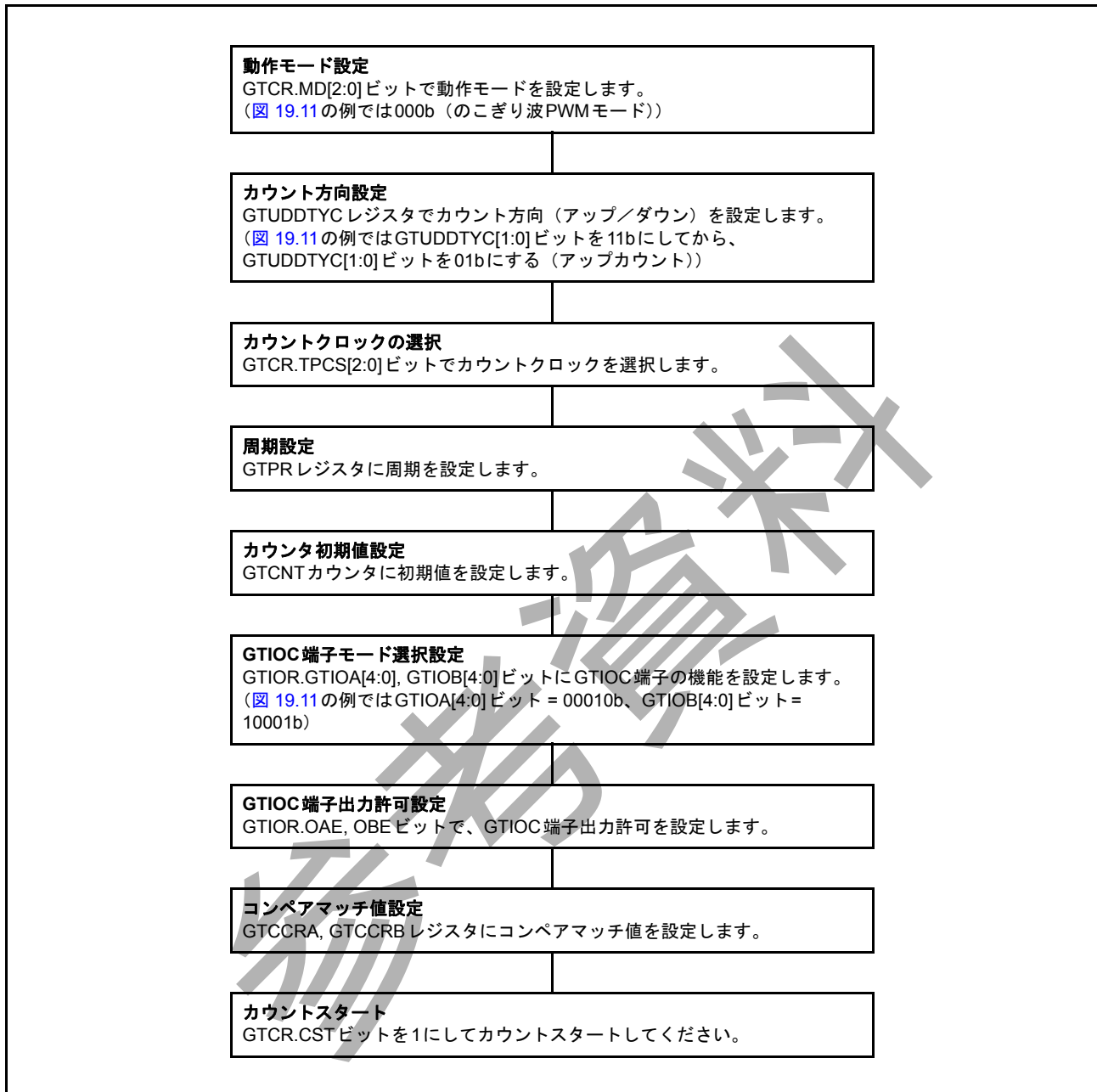


図 19.12 Low 出力 / High 出力動作の設定例

## (2) トグル出力

GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力動作例を、[図 19.13](#) および [図 19.14](#) に示します。[図 19.13](#) では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチと、GPT320.GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOC0A 端子と GTIOC0B 端子がトグル出力となるように設定しています。

[図 19.14](#) では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子がトグル出力となり、周期の終わりで GTIOC0B 端子がトグル出力となるように設定しています。

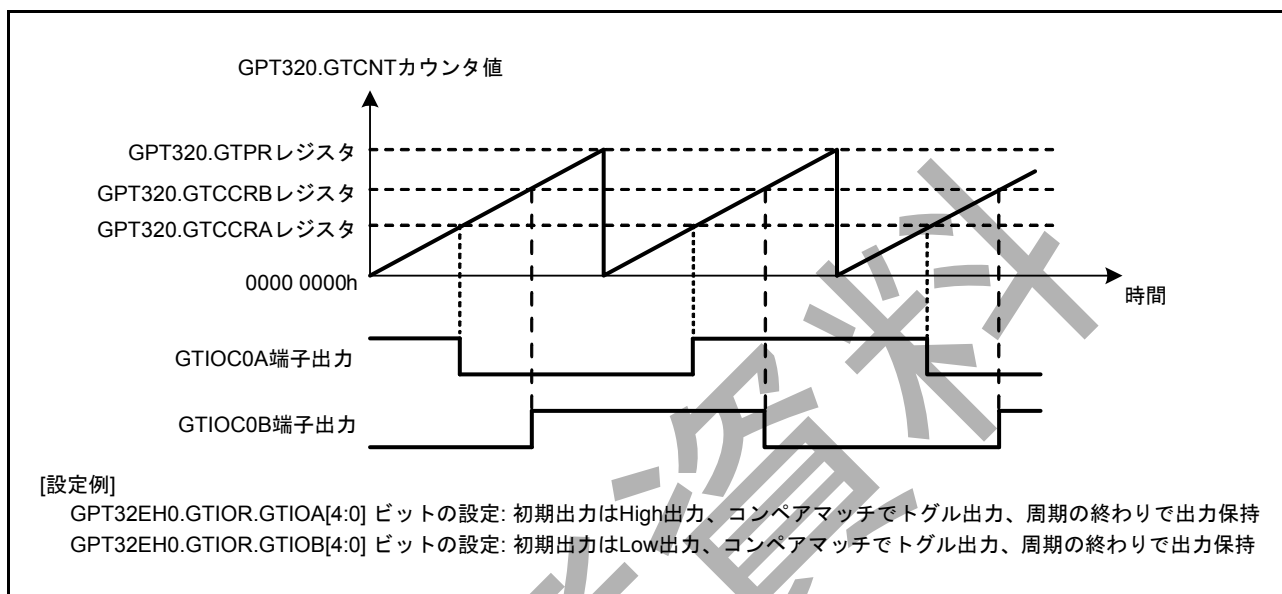


図 19.13 トグル出力動作例 (1)

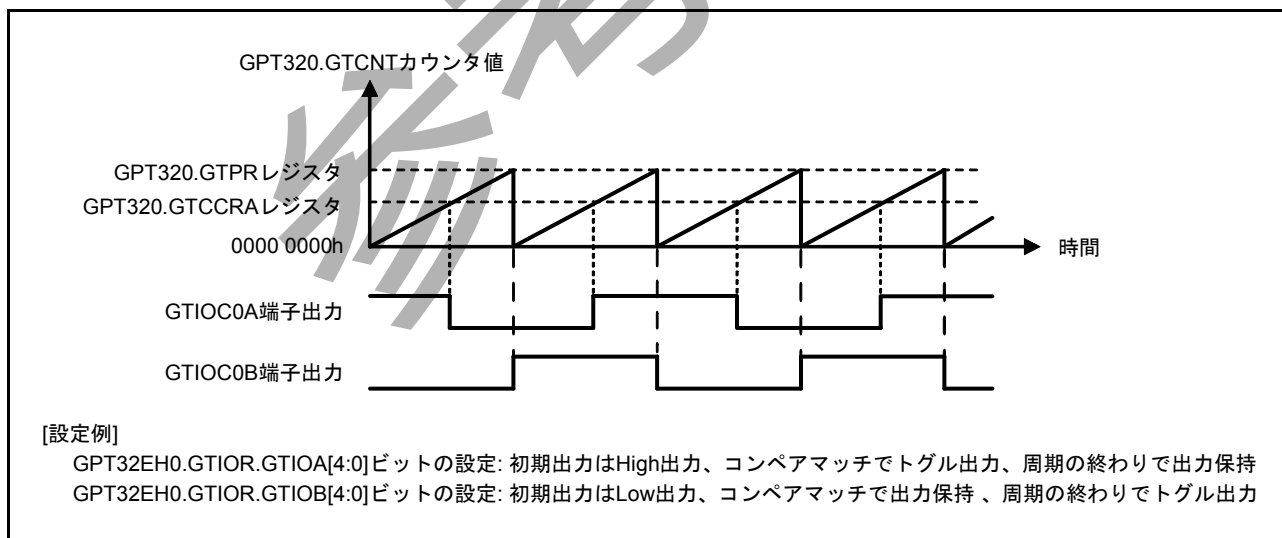


図 19.14 トグル出力動作例 (2)

トグル出力動作の設定例を図 19.15 に示します。

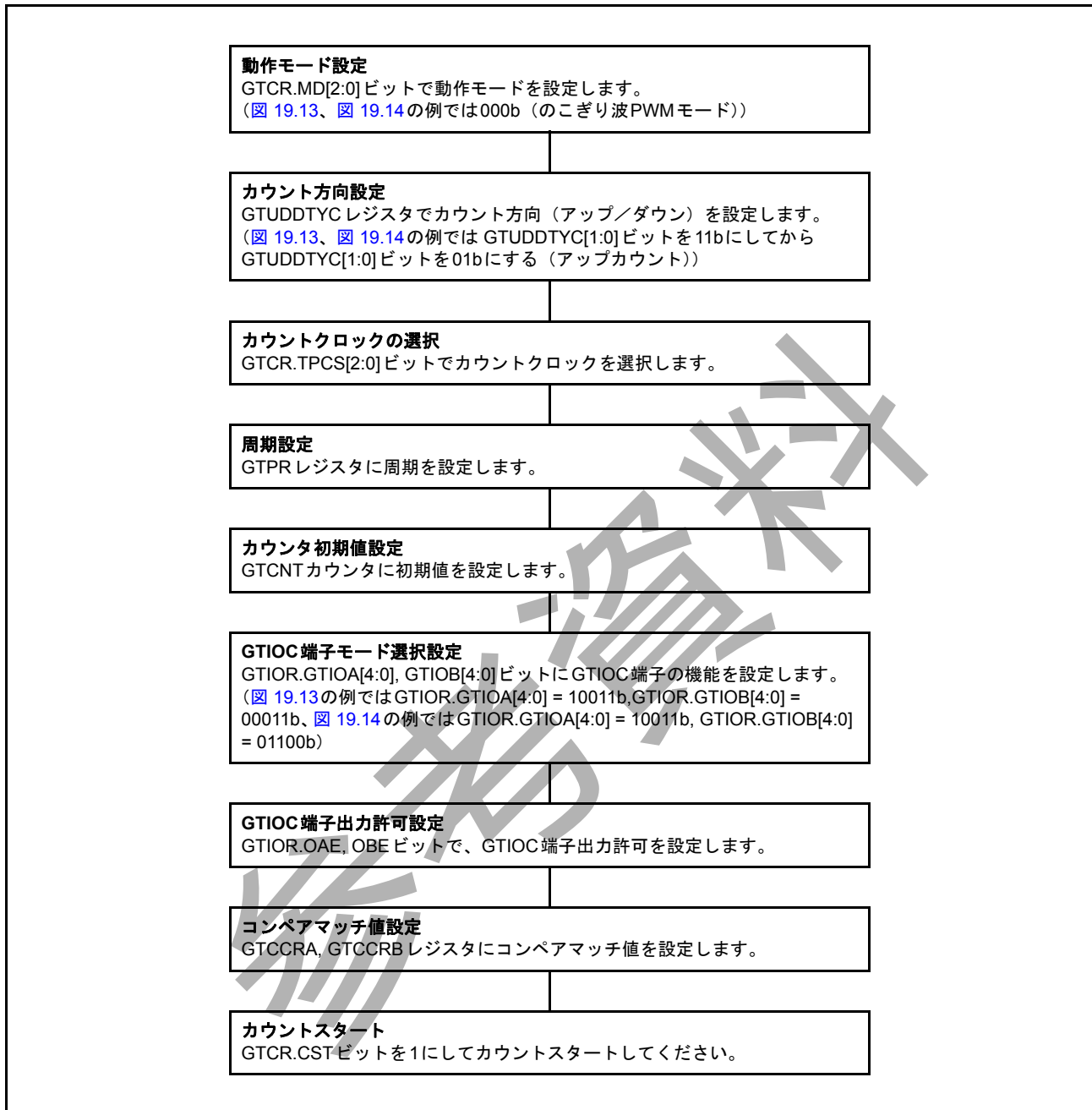


図 19.15 トグル出力動作の設定例

### 19.3.1.3 インพุットキャプチャ機能

GTICASR および GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。

インพุットキャプチャ機能の動作例を図 19.16 に示します。

この例では、カウントクロックで GPT320.GTCNT カウンタがアップカウント動作を行い、GTIOC0A 入力端子の両エッジで GTICCRB レジスタにインพุットキャプチャを実行し、GTIOC0B 入力端子の立ち上がりエッジで GTICCRB レジスタにインพุットキャプチャを実行するように設定しています。

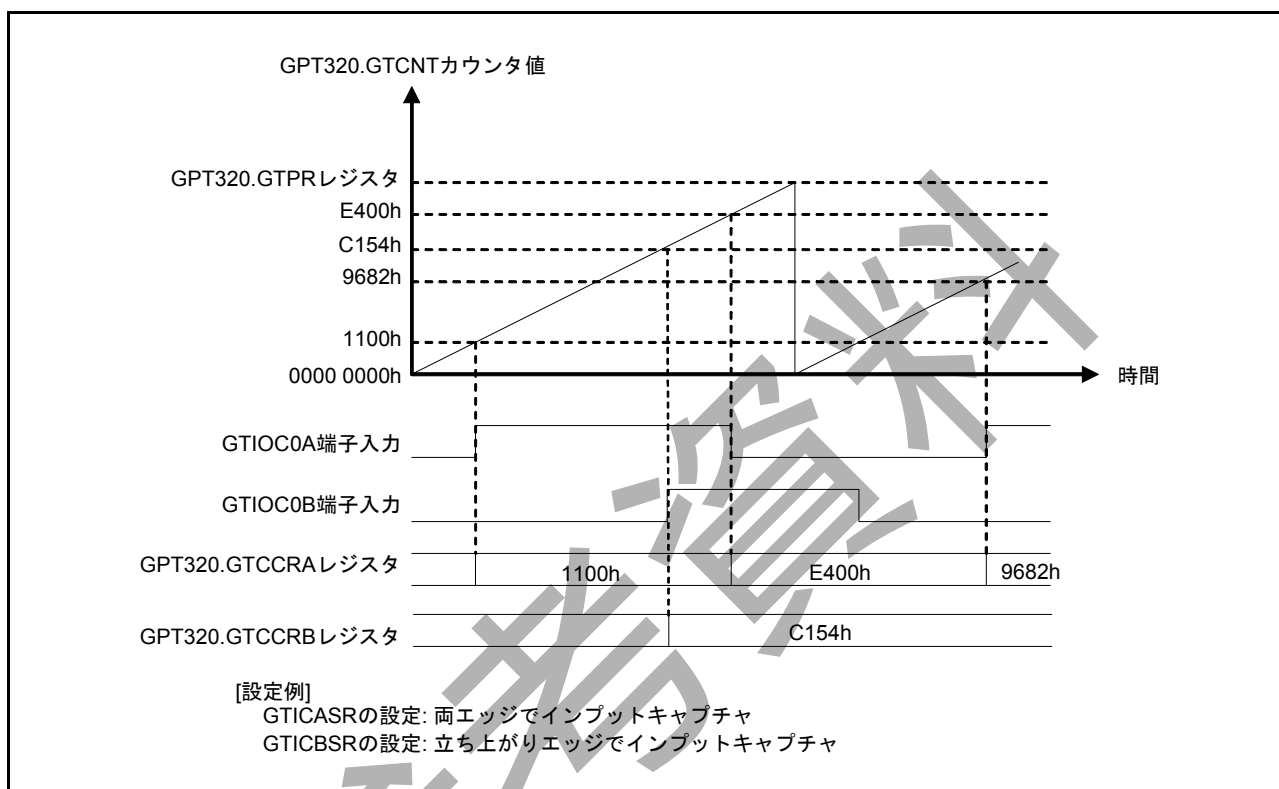


図 19.16 インพุットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作の設定例を図 19.17 に示します。

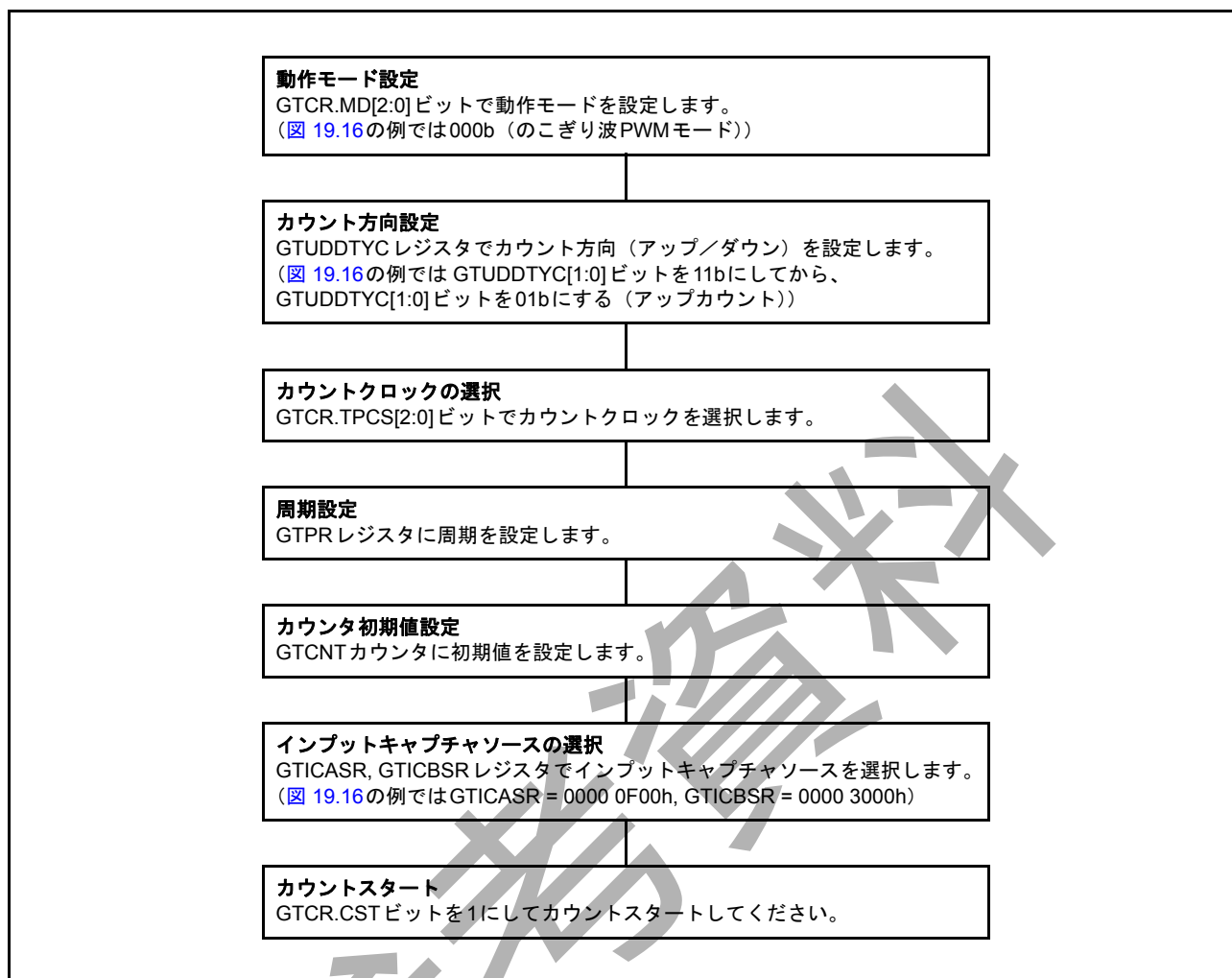


図 19.17 インプットキャプチャ動作の設定例

### 19.3.2 バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR レジスタと GTPBR レジスタを組み合わせたバッファ動作
- GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作
- GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作

#### 19.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能します。バッファ転送は、のこぎり波モードまたはイベントカウントにおいてはオーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に実行されます。また、三角波モードにおいては谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR[23:0] ビットで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR[n] ビットが 1、n=チャンネル番号）

GTPR レジスタのバッファ動作例を図 19.18 ~ 図 19.20 に、GTPR レジスタのバッファ動作の設定例を図 19.21 に示します。

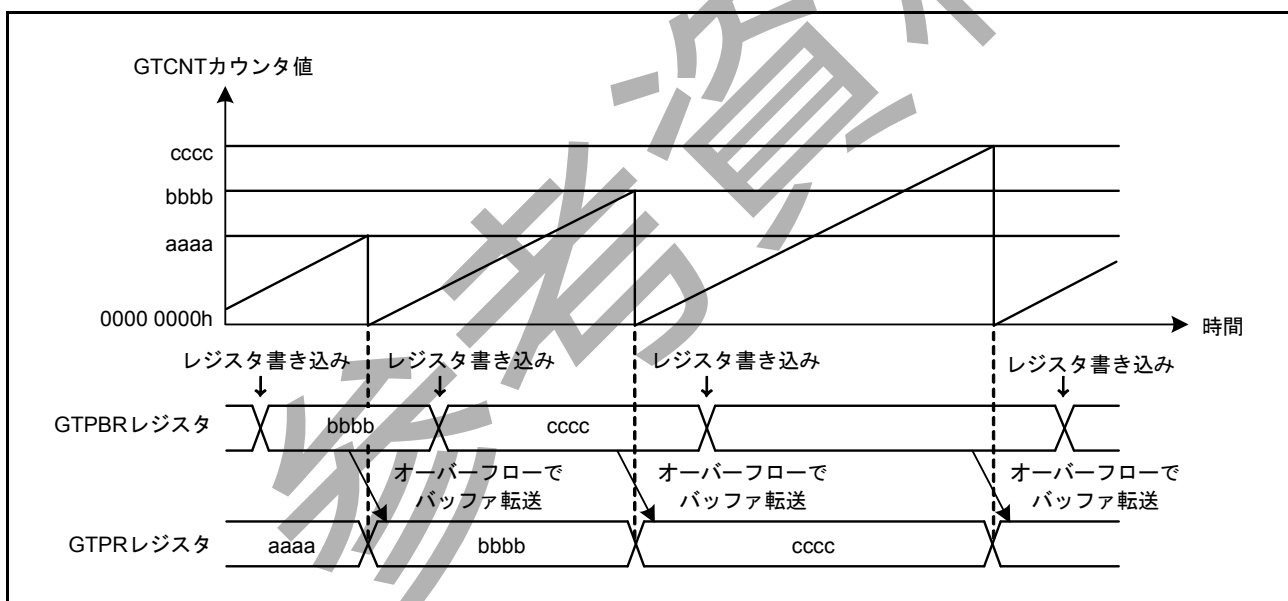


図 19.18 GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

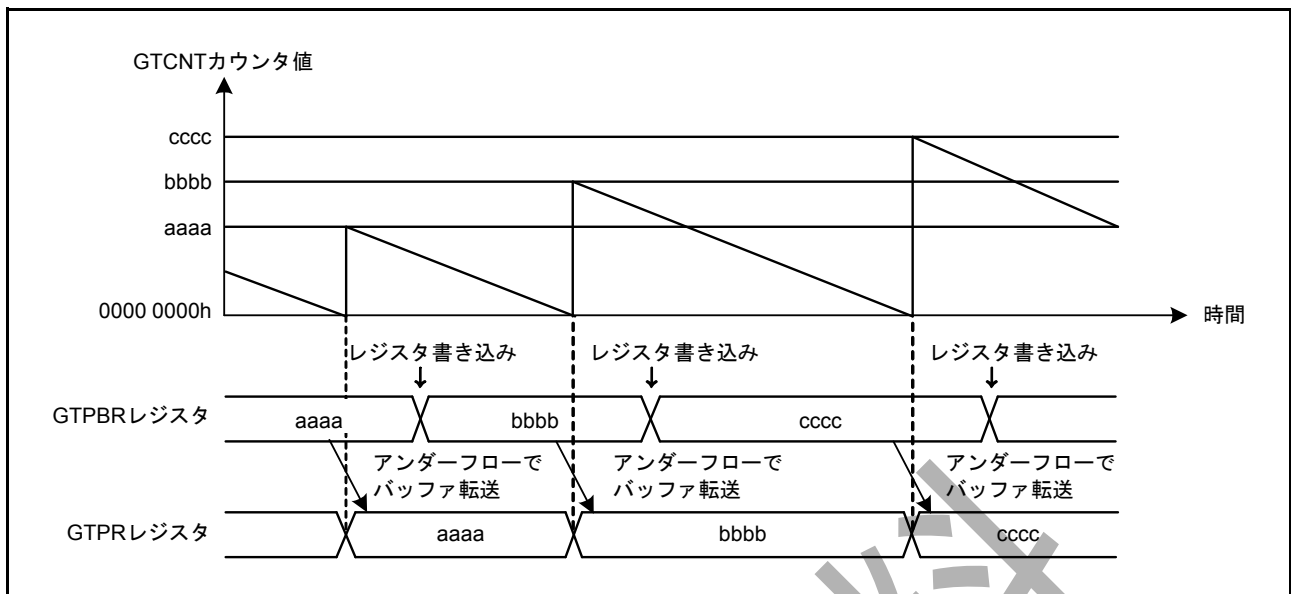


図 19.19 GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合)

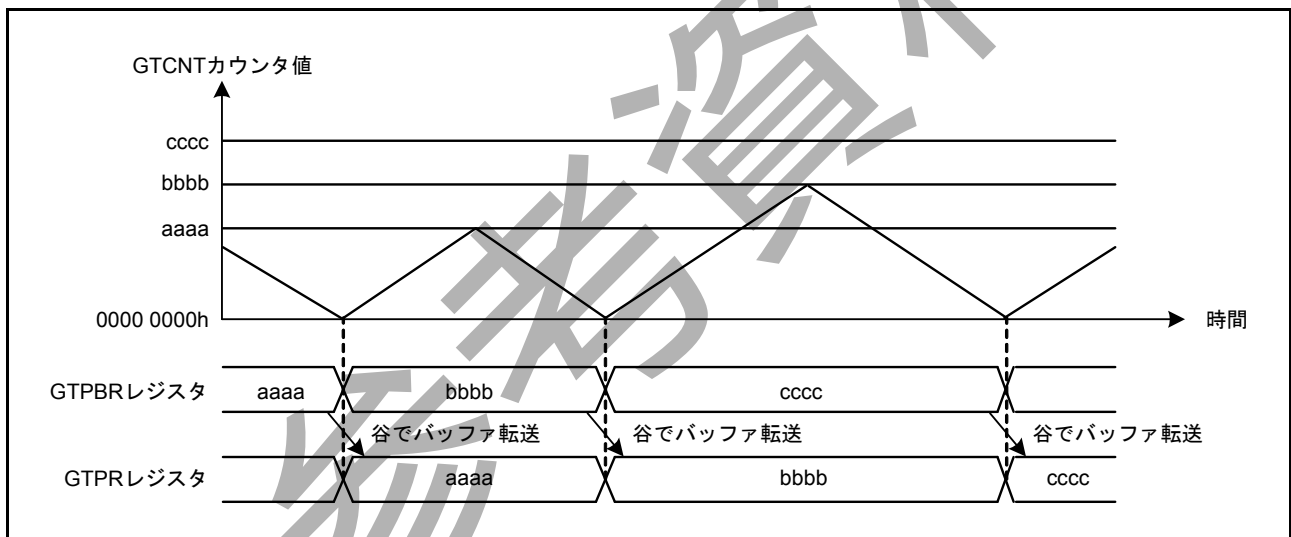


図 19.20 GTPR レジスタのバッファ動作例 (三角波の場合)

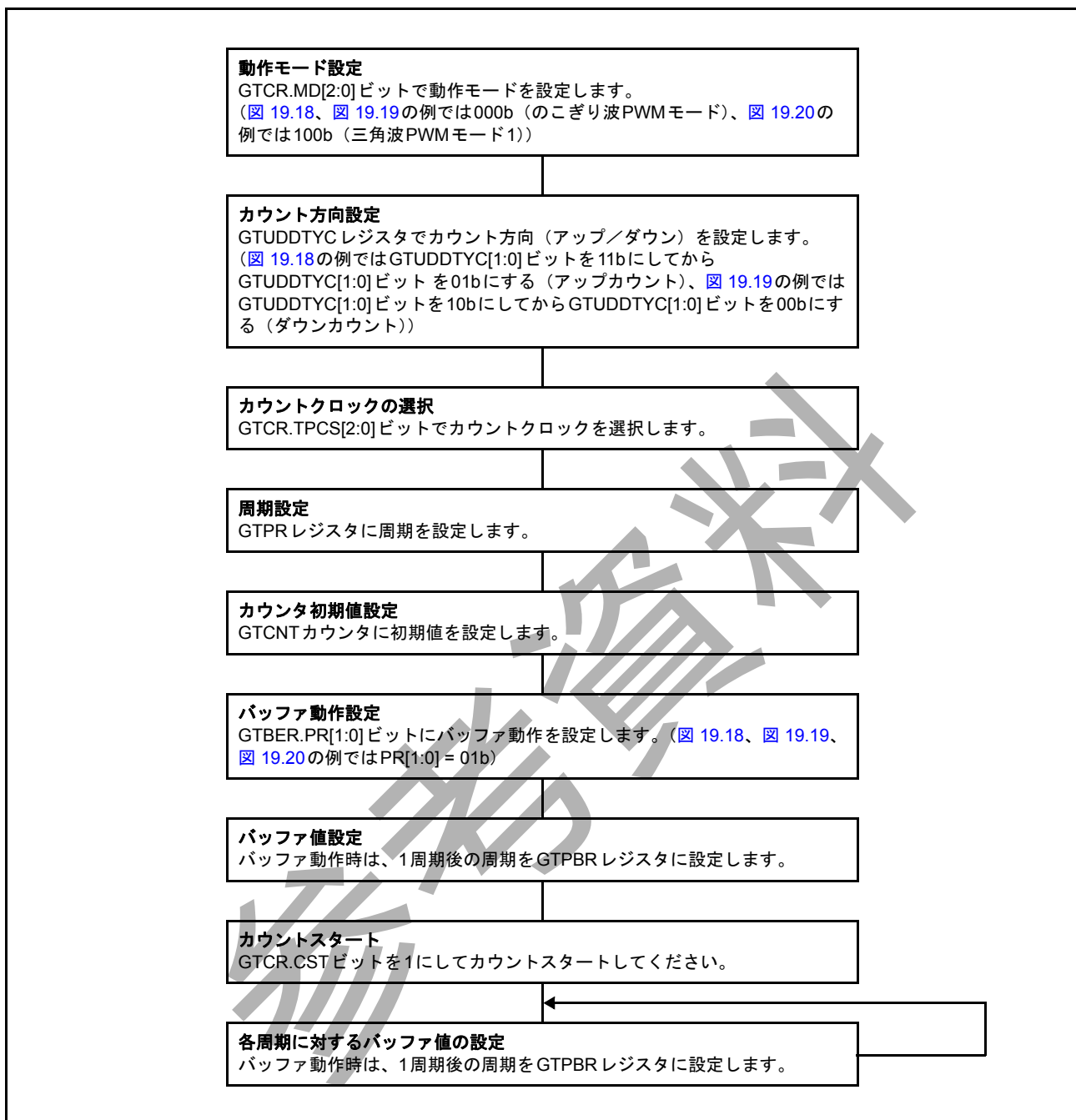


図 19.21 GTPR レジスタのバッファ動作設定例



### 19.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタ用のバッファレジスタとして、GTCCRD レジスタは GTCCRC レジスタ用のバッファレジスタ (すなわち、GTCCRA レジスタ用のダブルバッファレジスタ) として機能します。同様に、GTCCRE レジスタは GTCCRB レジスタ用のバッファレジスタとして、GTCCRF レジスタは GTCCRE レジスタ用のバッファレジスタ (すなわち、GTCCRB レジスタ用のダブルバッファレジスタ) として機能します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 10b または 11b に設定します。シングルバッファ動作の場合は、01b とします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、00b にしてください。

#### (1) GTCCRA、GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

バッファ転送は次の場合に実行されます。

- オーバーフロー／アンダーフローによるバッファ転送**  
 のこぎり波モードまたはイベントカウント動作では、オーバーフロー時 (アップカウント中) またはアンダーフロー時 (ダウンカウント中) に、バッファ転送が実行されます。三角波モードでは、谷 (三角波 PWM モード 1) または山および谷 (三角波 PWM モード 2) で、バッファ転送が実行されます。
- カウンタクリアによるバッファ転送**  
 のこぎり波モードまたはイベントカウント動作では、カウント中に [19.3.2.1 GTPR レジスタのバッファ動作](#) の場合と同じカウンタクリア要因によって、バッファ転送が (同じく、アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時に) 実行されます。三角波モードでは、カウンタクリアによるバッファ転送は実行されません。
- バッファ強制転送**  
 GTBER.CCRSWT ビットを 1 にしてカウントを停止させると、のこぎり波モード、イベントカウント動作、および三角波モードでは、GTCCRA および GTCCRB レジスタのバッファ転送が強制的に実行されます。さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタから一時レジスタ A へのバッファ転送、および GTCCRF レジスタから一時レジスタ B へのバッファ転送が実行されます。

GTCCRA および GTCCRB レジスタのバッファ動作例を [図 19.22](#) ~ [図 19.24](#) に、GTCCRA および GTCCRB レジスタのバッファ動作の設定例を [図 19.25](#) に示します。

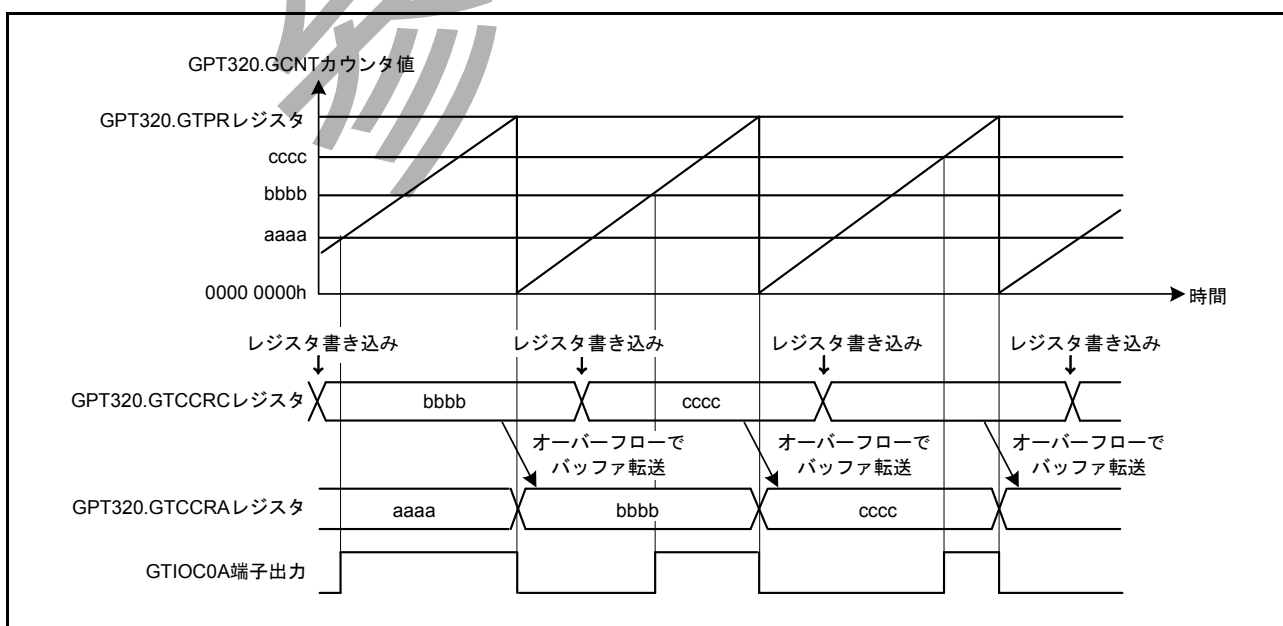


図 19.22 GTCCRA、GTCCRB レジスタのバッファ動作例 (アウトプットコンペア、アップカウント時ののこぎり波、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合)

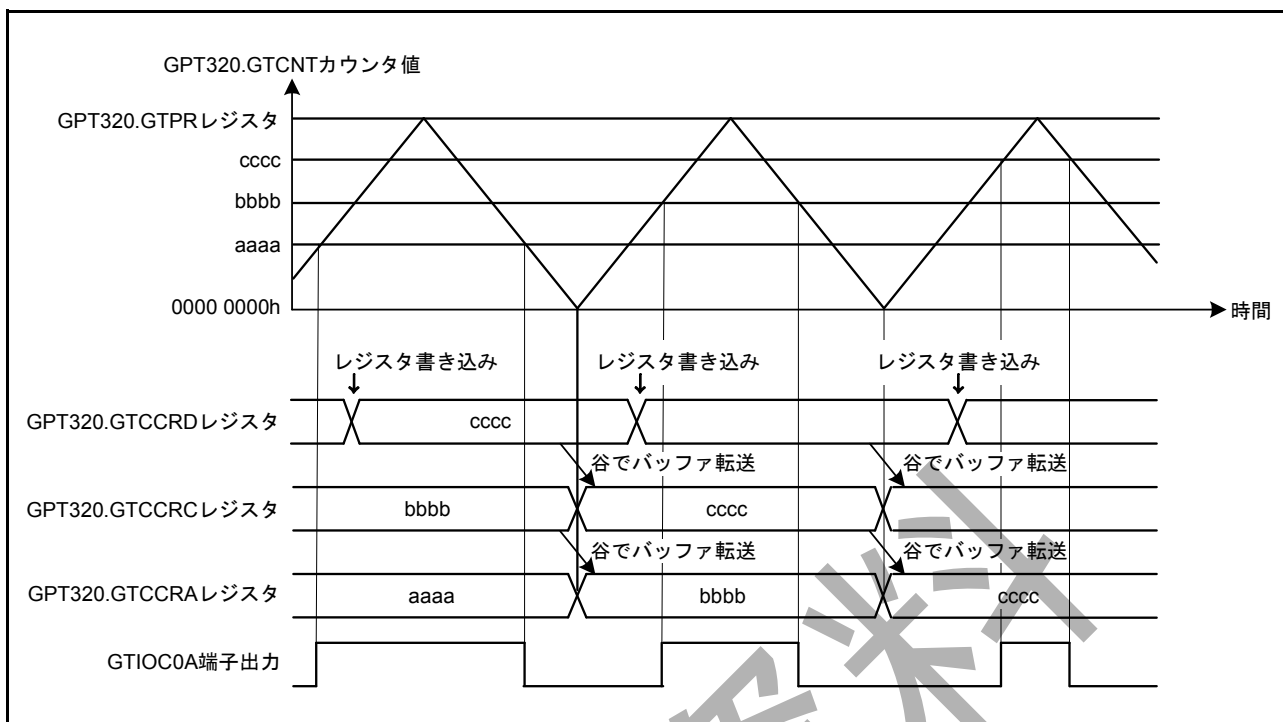


図 19.23 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

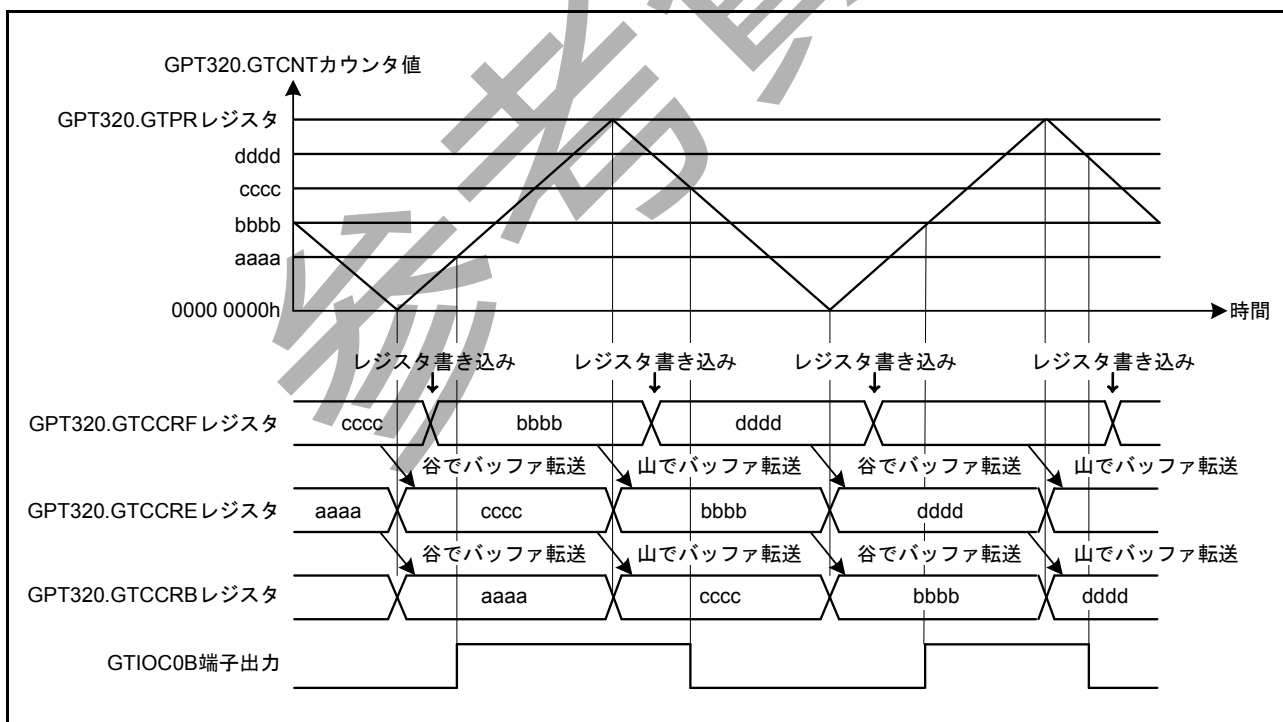


図 19.24 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

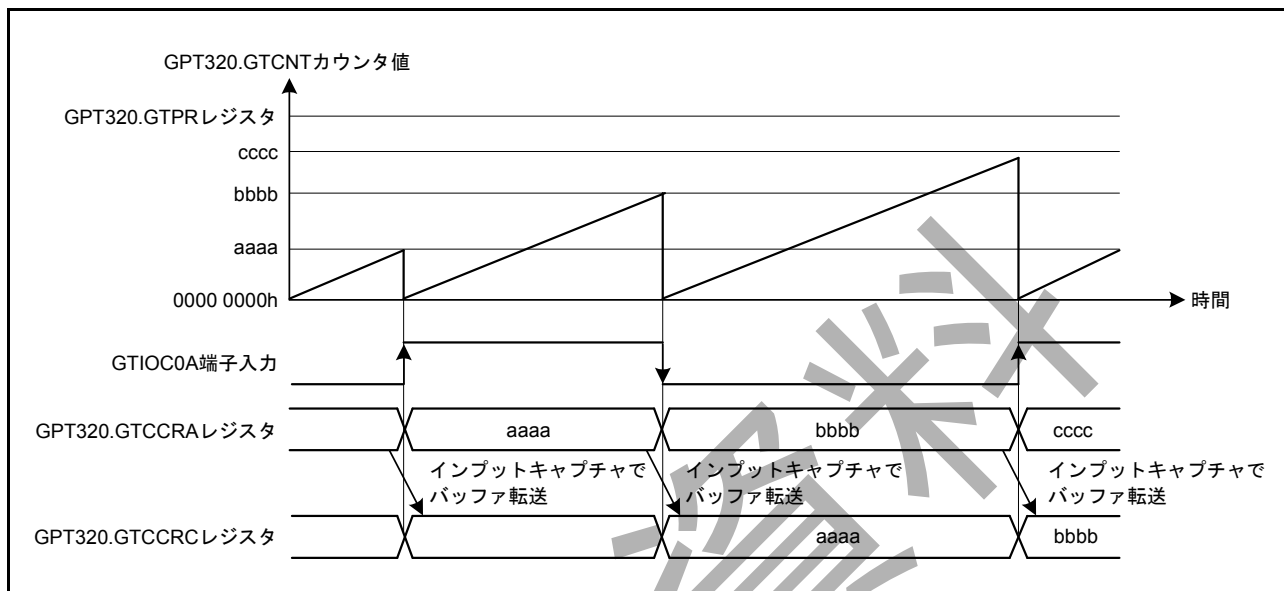


図 19.25 GTCCRA、GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時)

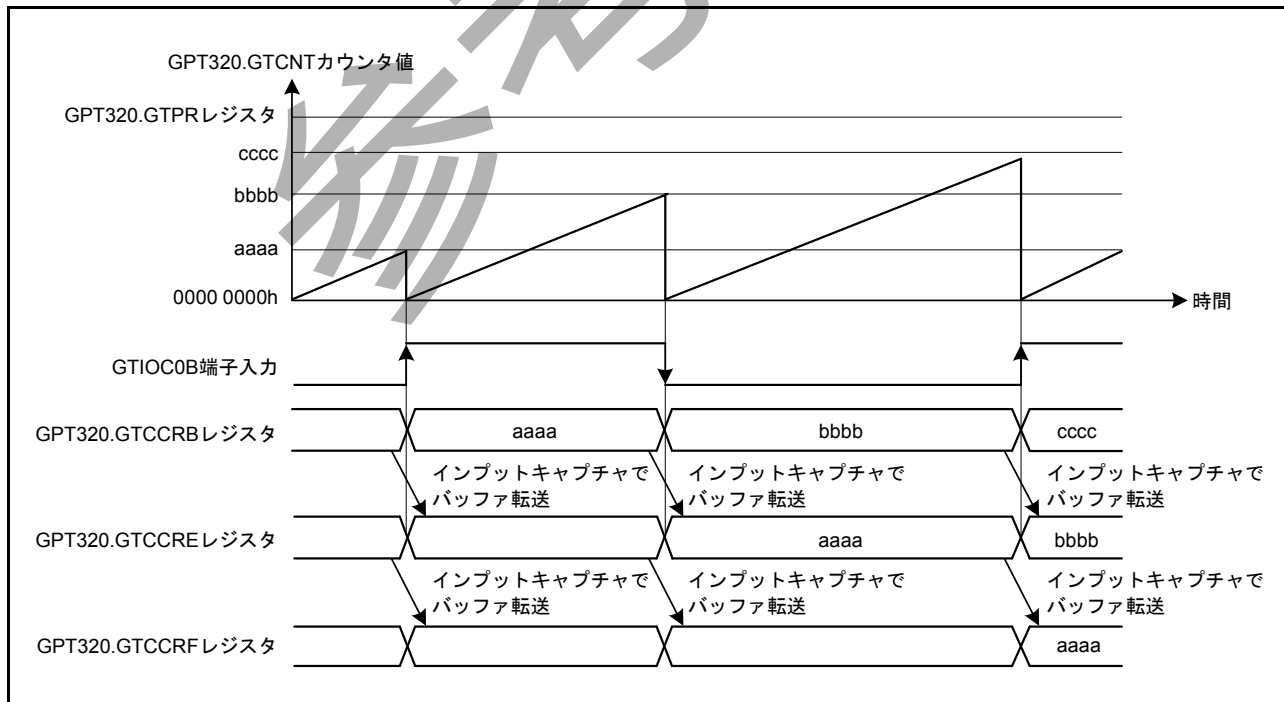
## (2) GTCCRA、GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

GTCCRA および GTCCRB レジスタのバッファ動作例を、[図 19.26](#) と [図 19.27](#) に、GTCCRB レジスタのバッファ動作の設定例を [図 19.28](#) に示します。



**図 19.26** GTCCRA、GTCCRB レジスタのバッファ動作例 (GTIOC0A 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0A 端子入力の両エッジで GTCNT カウンタクリアの場合)



**図 19.27** GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (GTIOC0B 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0B 端子入力の両エッジで GTCNT カウンタクリアの場合)

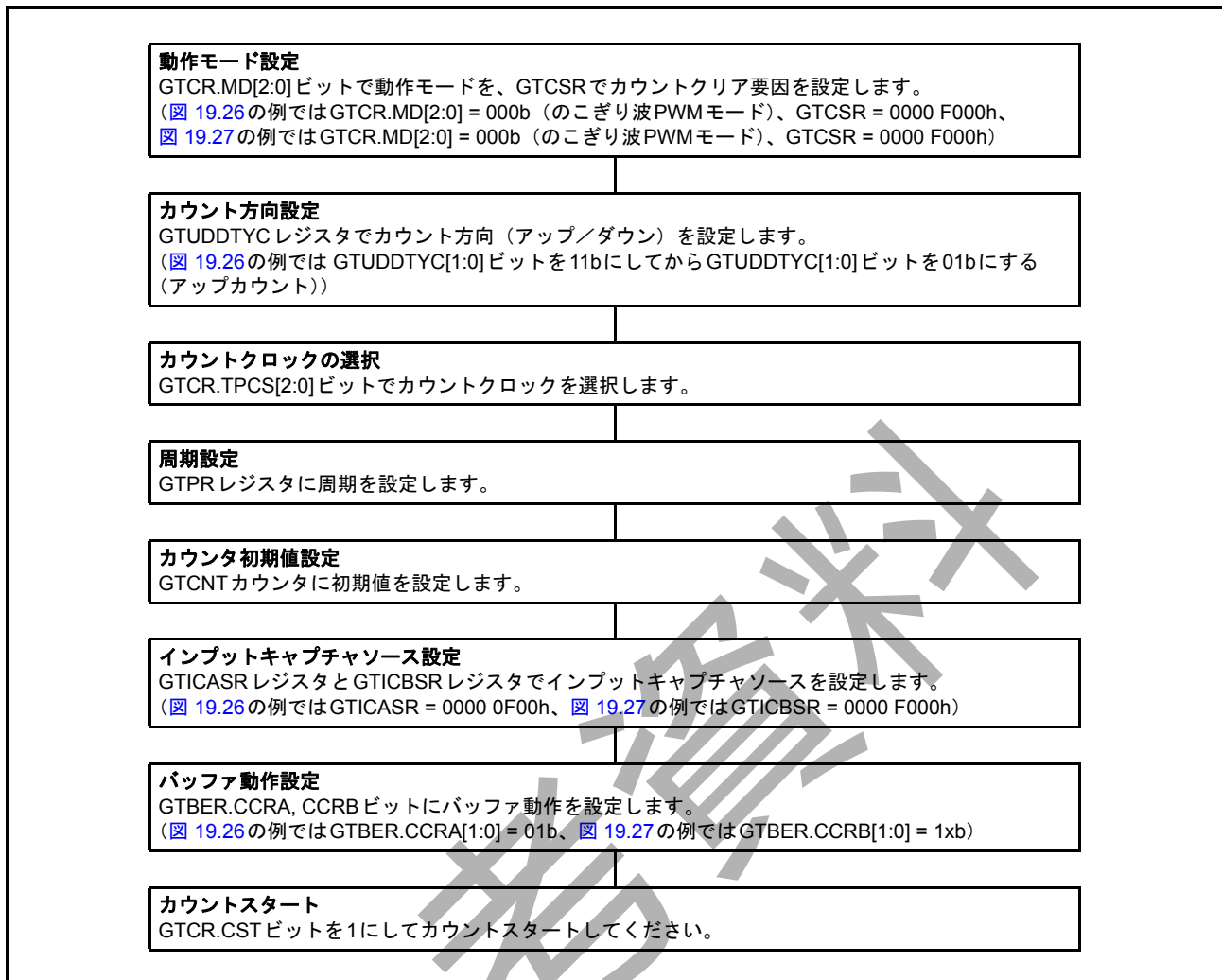


図 19.28 GTCCRA、GTCCRB レジスタのバッファ動作設定例 (入力キャプチャ時)

### 19.3.3 PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA または GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCA 端子または GTIOCB 端子へ PWM 波形を出力することができます。

また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

#### 19.3.3.1 のこぎり波 PWM モード

のこぎり波 PWM モードでは、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に、GTIOCA または GTIOCB 端子に PWM 波形を出力させます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

図 19.29 にのこぎり波 PWM モードの動作例を、図 19.30 にのこぎり波 PWM モードの設定例を示します。

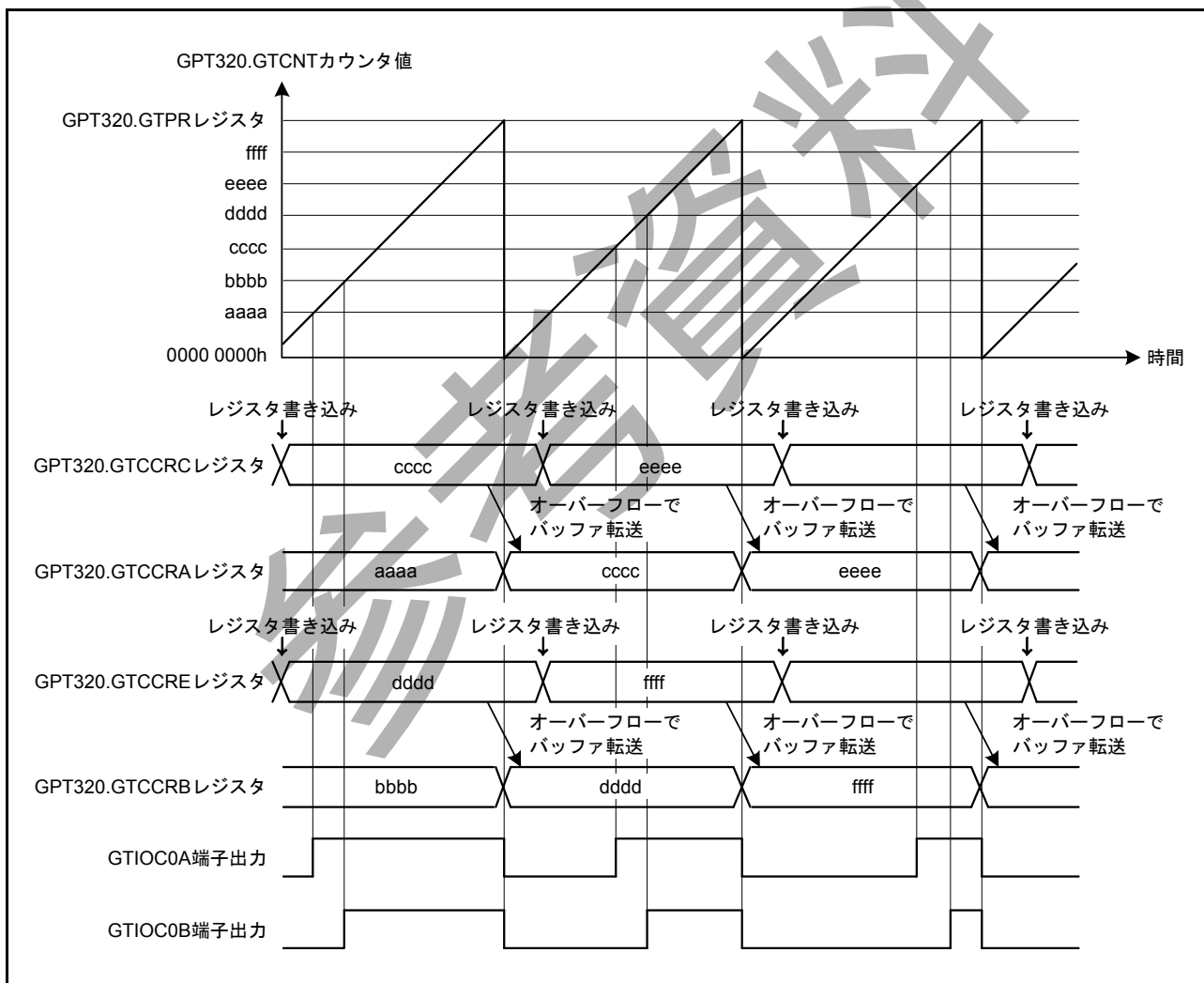


図 19.29 のこぎり波 PWM モード動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）



図 19.30 のこぎり波 PWM モード設定例

### 19.3.3.2 のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定して、GTCNT カウンタにのこぎり波（半波）動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させるモードです。

のこぎり波ワンショットパルスモードでのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- GTCCRC レジスタから GTCCRA レジスタへ
- GTCCRE レジスタから GTCCRB レジスタへ
- GTCCRD レジスタから一時レジスタ A へ
- 周期の終わりに GTCCRF レジスタから一時レジスタ B へ
- GTCCRA レジスタのコンペアマッチ時に、一時レジスタ A から GTCCRA レジスタへ
- GTCCRB レジスタのコンペアマッチ時に、一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。GTBER.CCRSWT ビットを 1 にしてカウントを停止させると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 19.31 に、のこぎり波ワンショットパルスモードの動作例を、図 19.32 に、のこぎり波ワンショットパルスモードの設定例を示します。



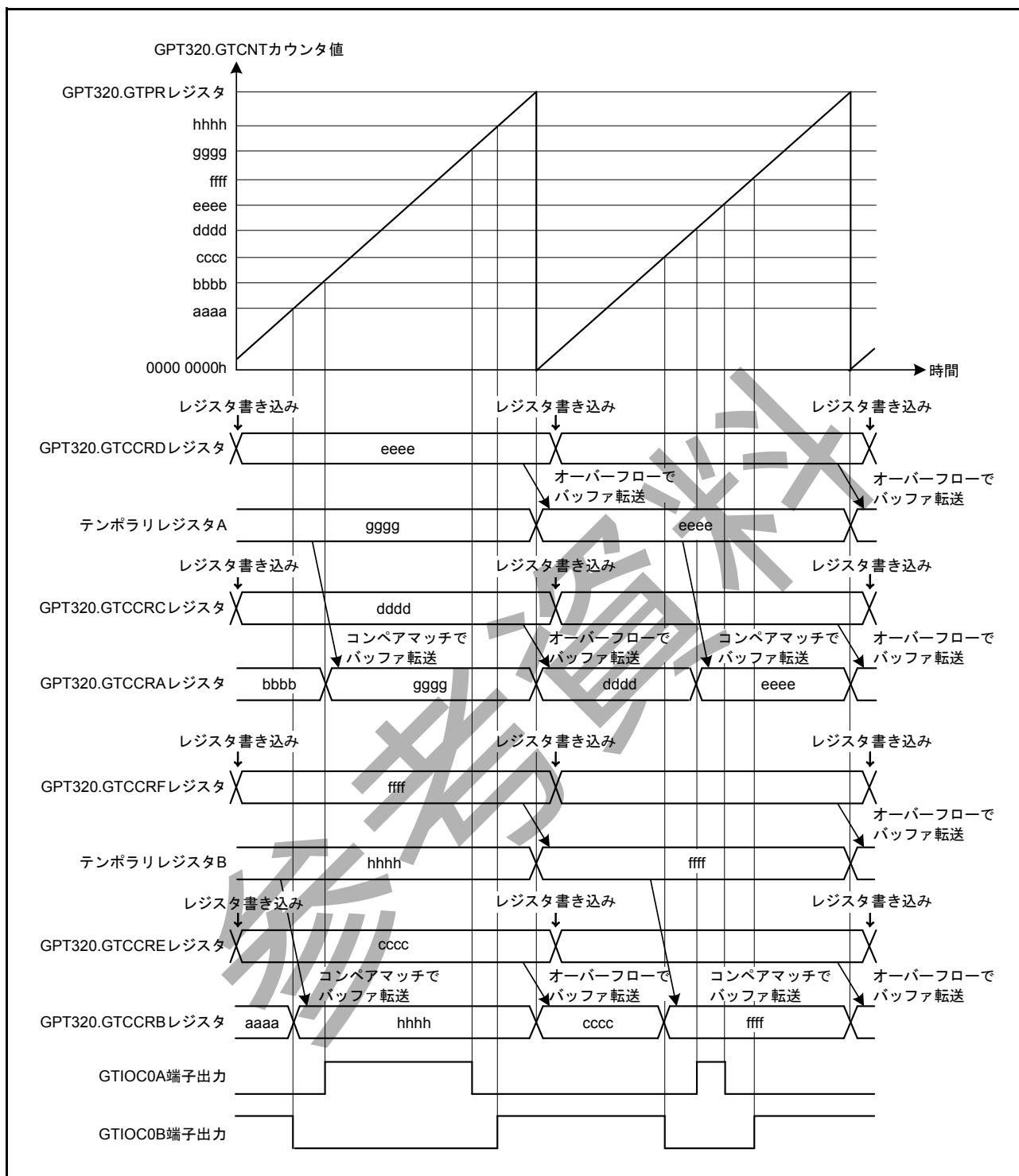


図 19.31 のこぎり波ワンショットパルスモード動作例 (アップカウント、カウントスタート時に GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

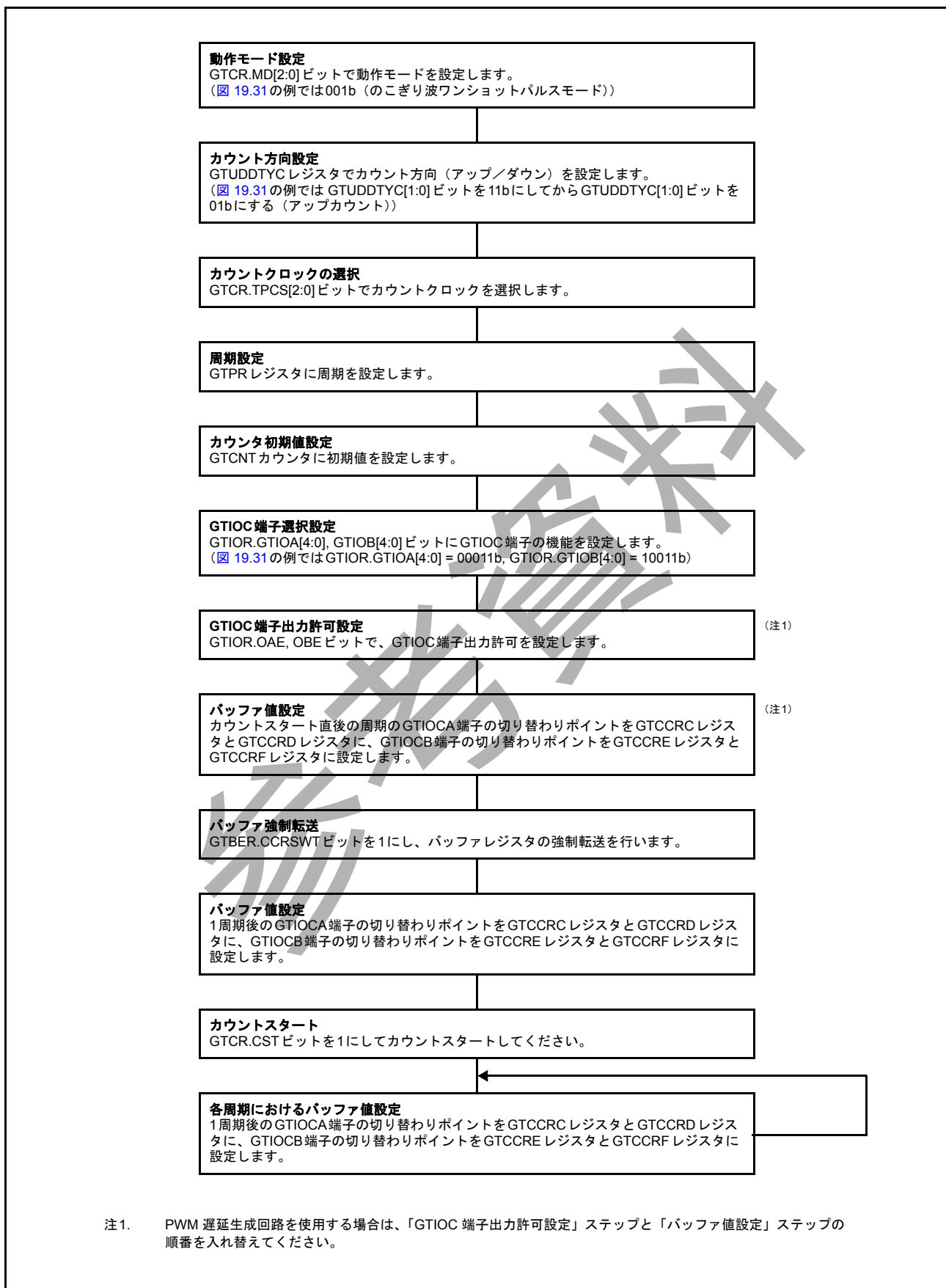


図 19.32 のこぎり波ワンショットパルスモード設定例

### 19.3.3.3 三角波 PWM モード 1 (谷 32 ビット転送)

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波 (全波) 動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

また、GDTDCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 19.33 に三角波 PWM モード 1 の動作例を、図 19.34 に三角波 PWM モード 1 の設定例を示します。

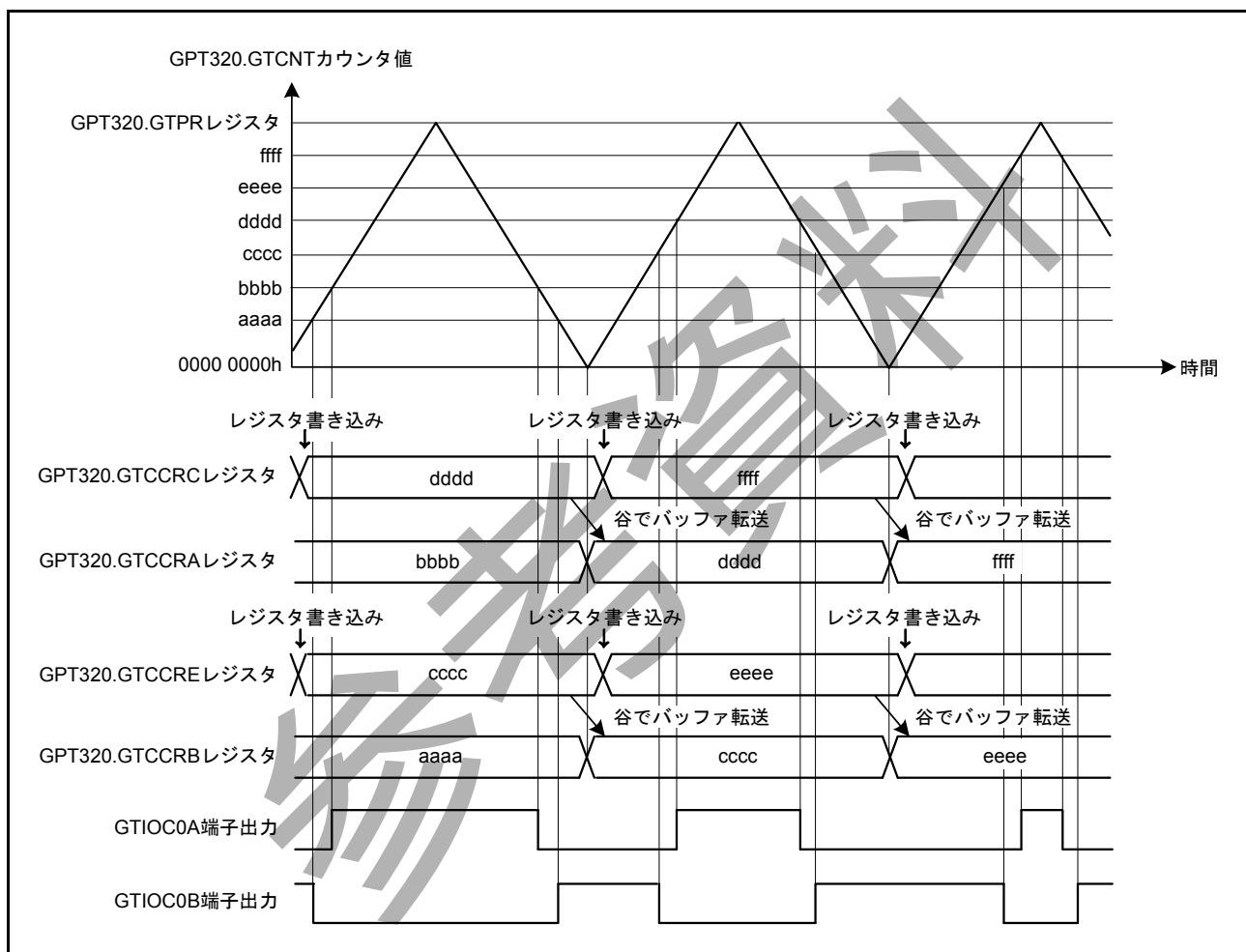


図 19.33 三角波 PWM モード 1 動作例 (バッファ動作、カウントスタート時に GTIOCA 端子 = Low 出力 / GTIOCB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

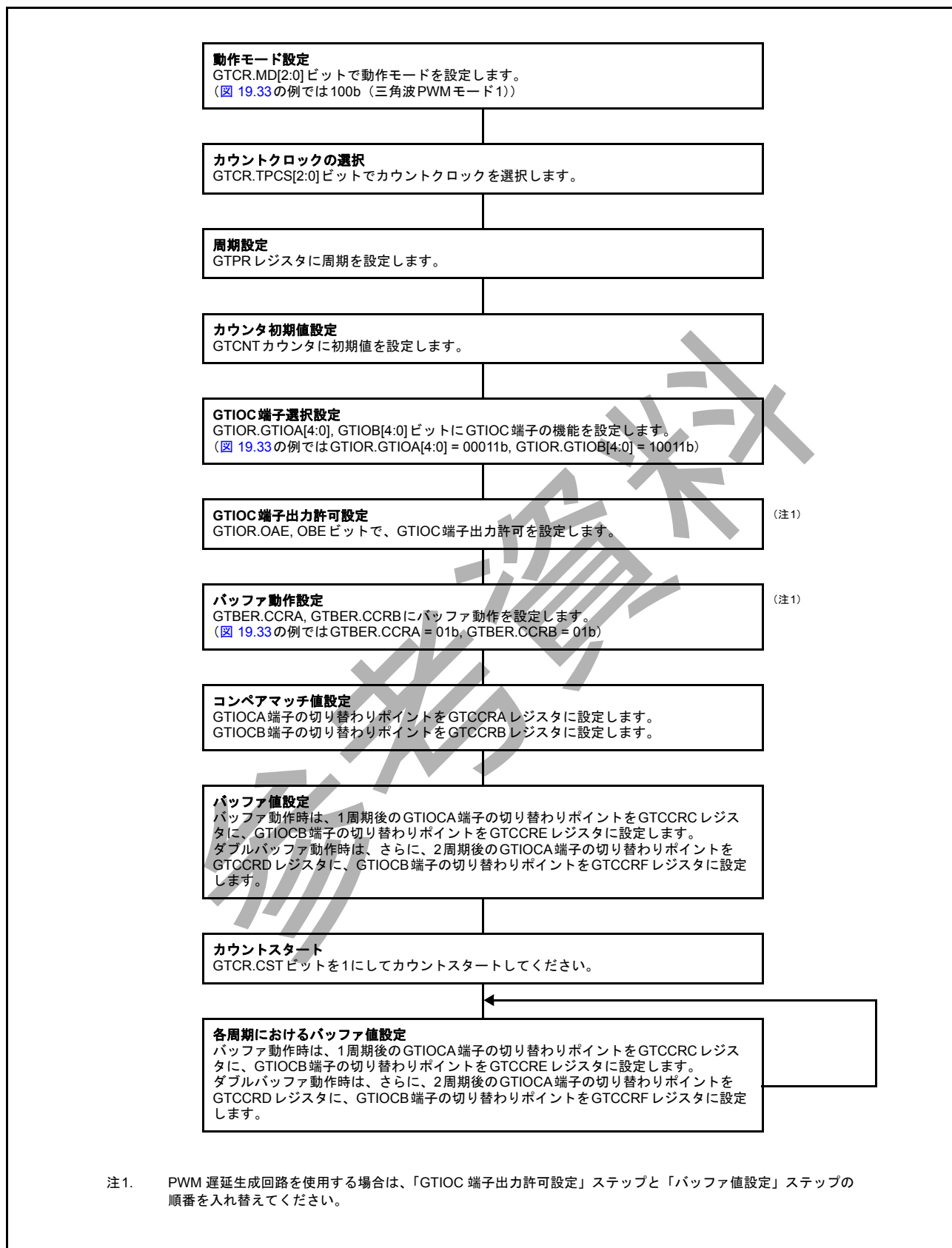


図 19.34 三角波 PWM モード 1 設定例

### 19.3.3.4 三角波 PWM モード 2 (山/谷 32 ビット転送)

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波 (全波) 動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。山および谷の両方でバッファ転送が行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 19.35 に三角波 PWM モード 2 の動作例を、図 19.36 に三角波 PWM モード 2 の設定例を示します。

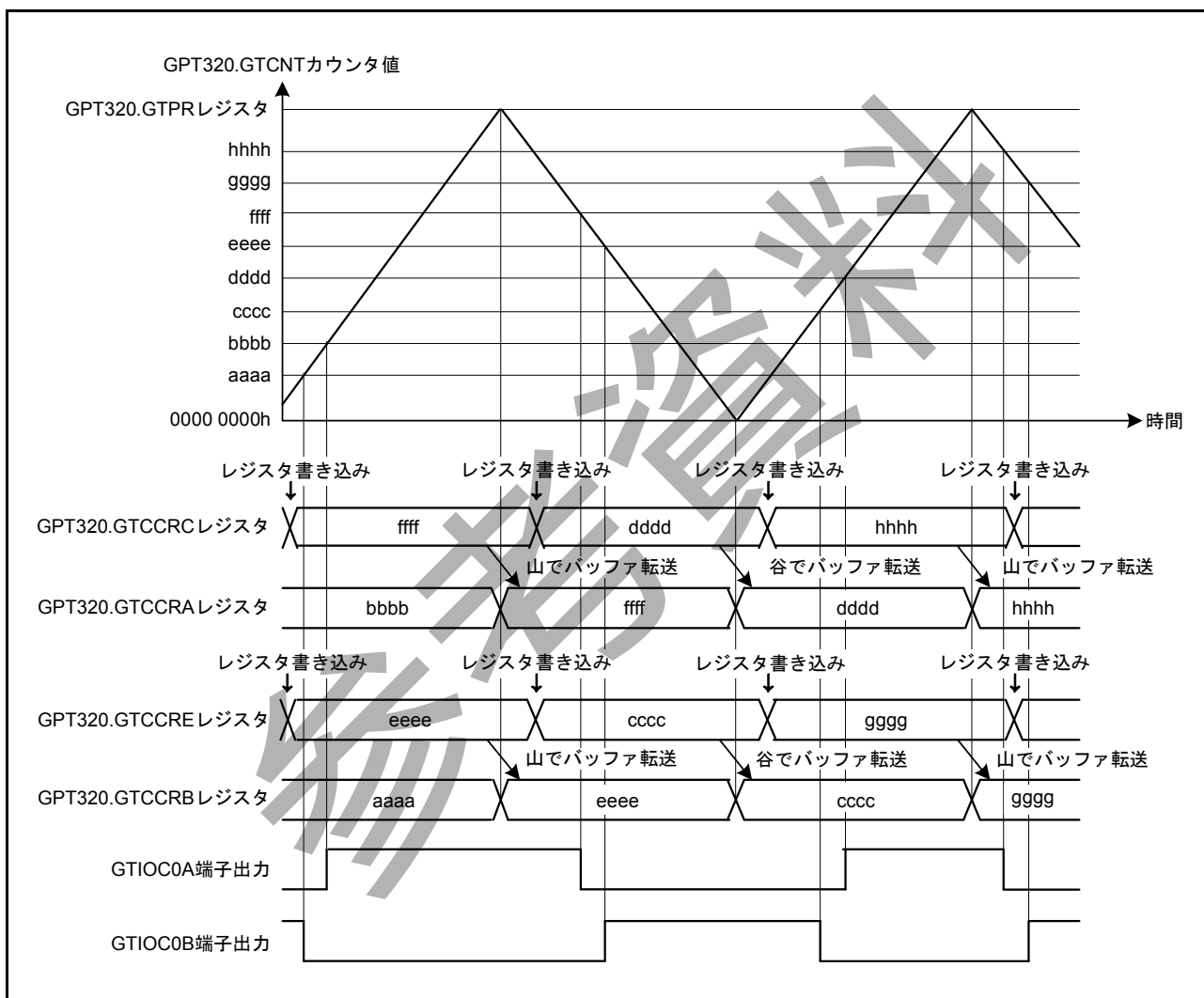


図 19.35 三角波 PWM モード 2 動作例 (バッファ動作、カウントスタート時に GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

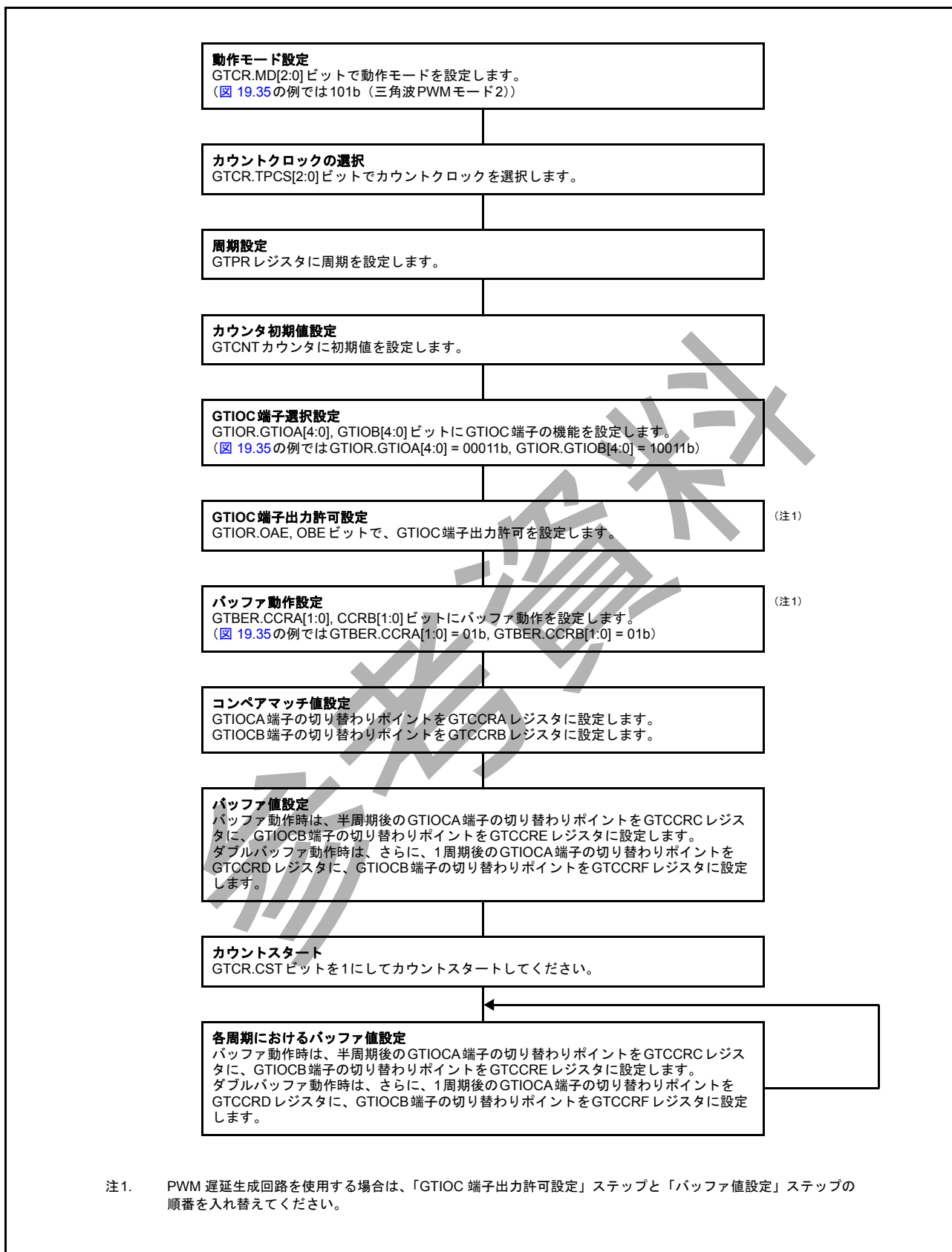


図 19.36 三角波 PWM モード 2 設定例

### 19.3.3.5 三角波 PWM モード 3 (谷 64 ビット転送)

三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波 (全波) 動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。三角波 PWM モード 3 でのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- GTCCRC レジスタから GTCCRA レジスタへ
- GTCCRE レジスタから GTCCRB レジスタへ
- GTCCRD レジスタから一時レジスタ A へ
- 谷で GTCCRF レジスタから一時レジスタ B へ
- 一時レジスタ A から GTCCRA レジスタへ
- 山で一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 19.37 に三角波 PWM モード 3 の動作例を、図 19.38 に三角波 PWM モード 3 の設定例を示します。

参考資料

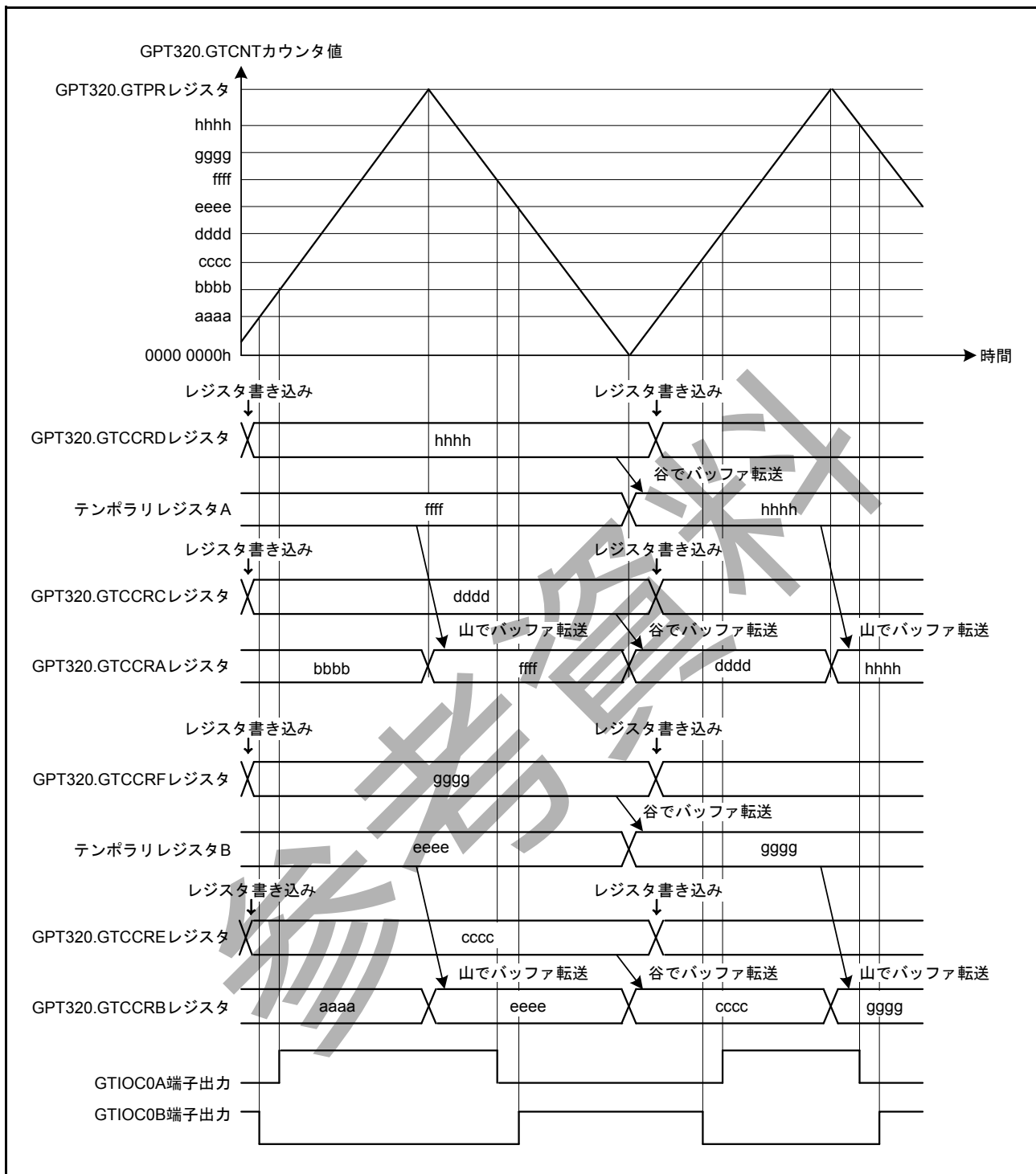


図 19.37 三角波 PWM モード 3 動作例 (カウントスタート時に GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)



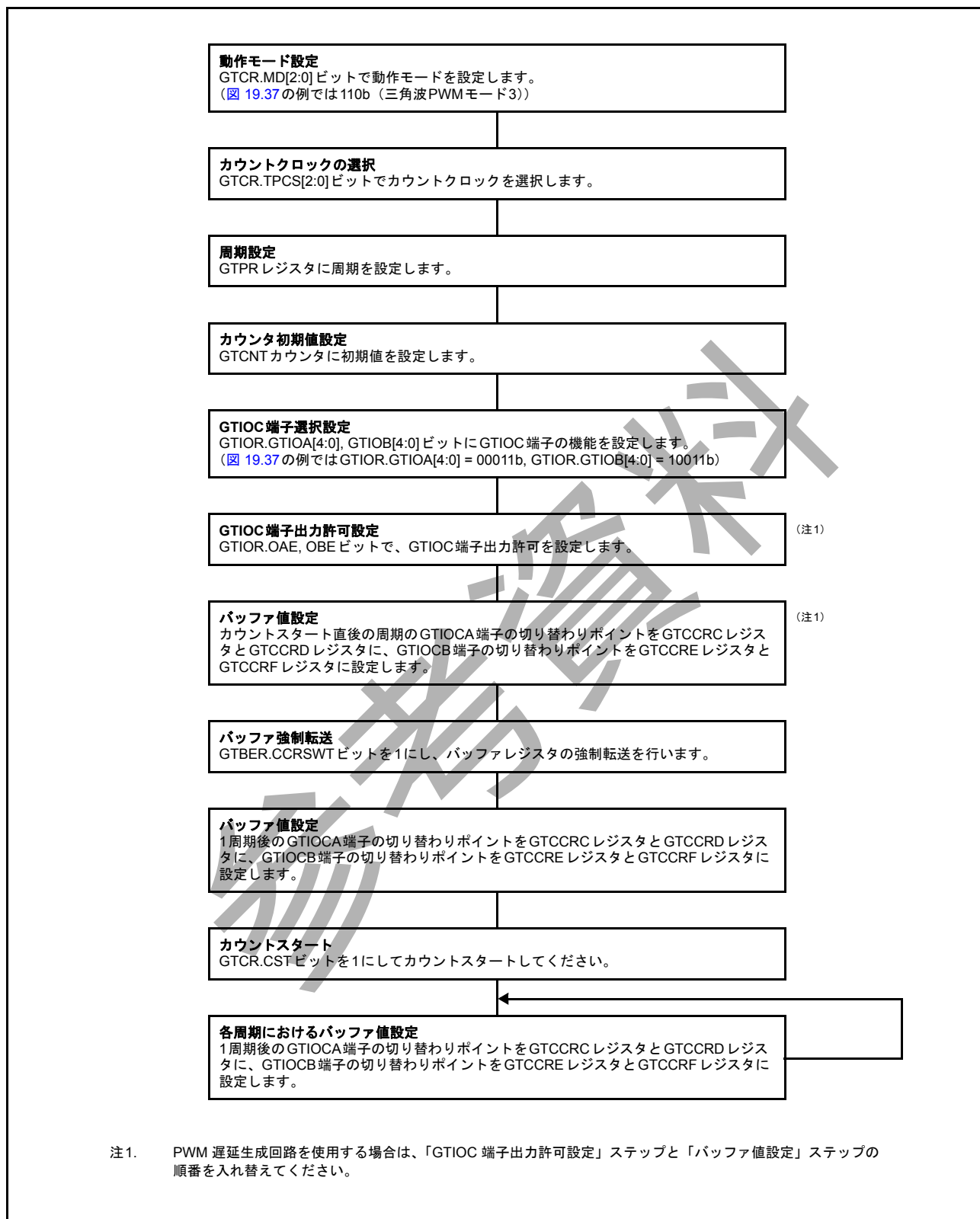


図 19.38 三角波 PWM モード 3 設定例

### 19.3.4 デッドタイム自動設定機能

GTDTCR レジスタを設定することにより、正相波形のコンペアマッチ値 (GTCCRA 値) と指定したデッドタイム値 (GTDVU 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

このデッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

なお、デッドタイム自動設定機能を使用する場合、GTCCRB レジスタへの書き込みはしないでください。また、周期を超えるデッドタイムの設定もしないでください。デッドタイム自動設定値は、GTCCRB レジスタ値を読むことで確認できます。GTCCRB レジスタにデッドタイム値が自動設定されるのは、次のカウントクロック周期で、デッドタイム自動設定値の計算用レジスタが更新されるときです。

デッドタイム自動設定機能の動作例を [図 19.39](#) ~ [図 19.42](#) に示します。設定例を [図 19.43](#) および [図 19.44](#) に示します。

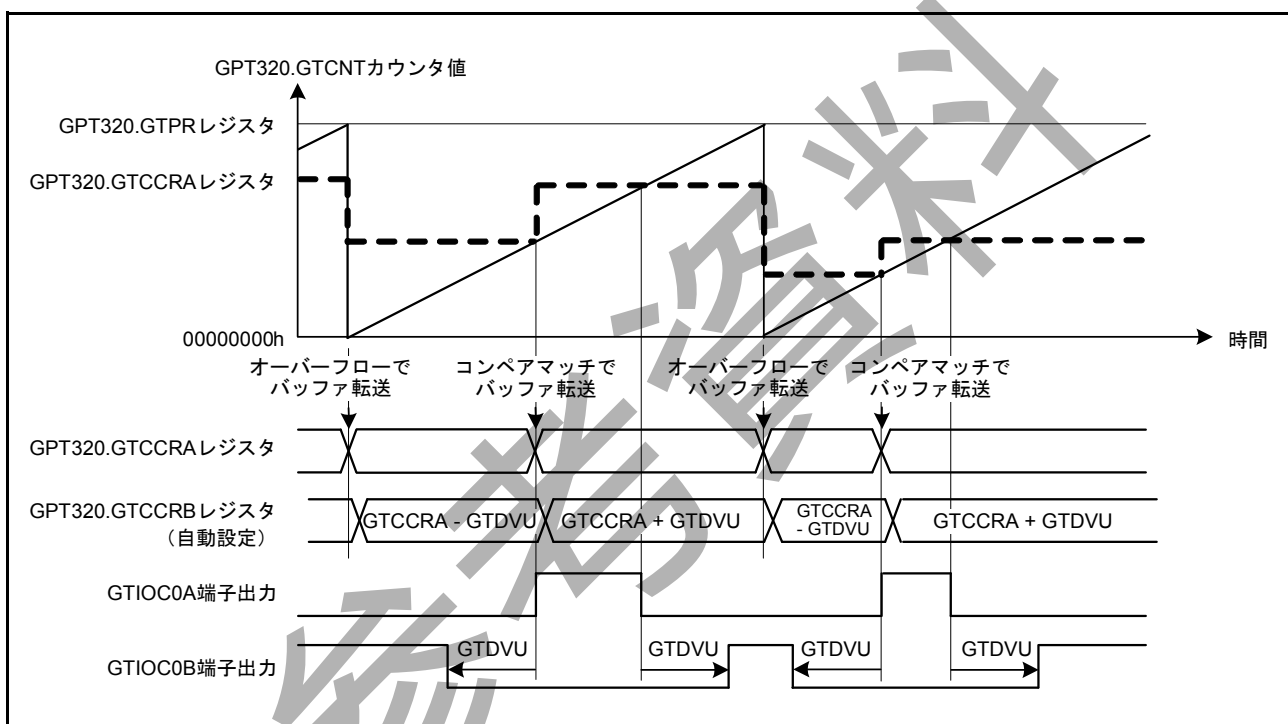


図 19.39 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、アップカウント、アクティブ High の場合)

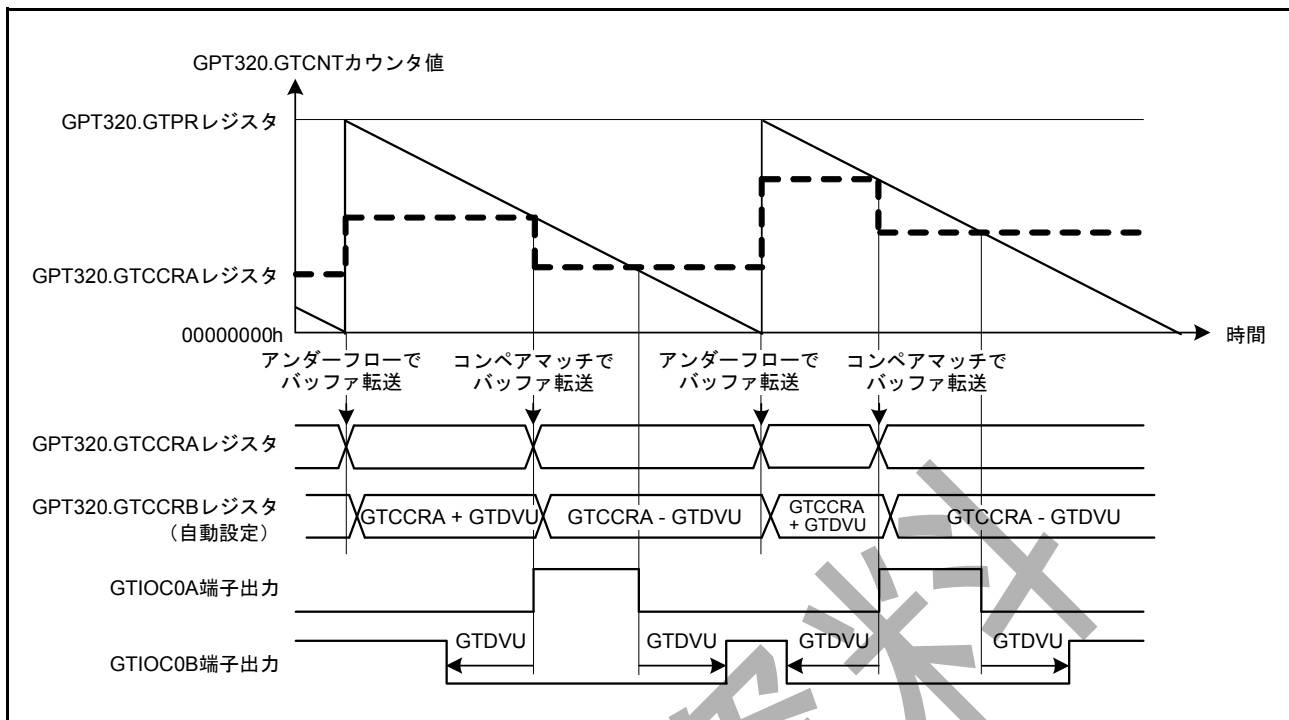


図 19.40 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、ダウンカウント、アクティブ High の場合)

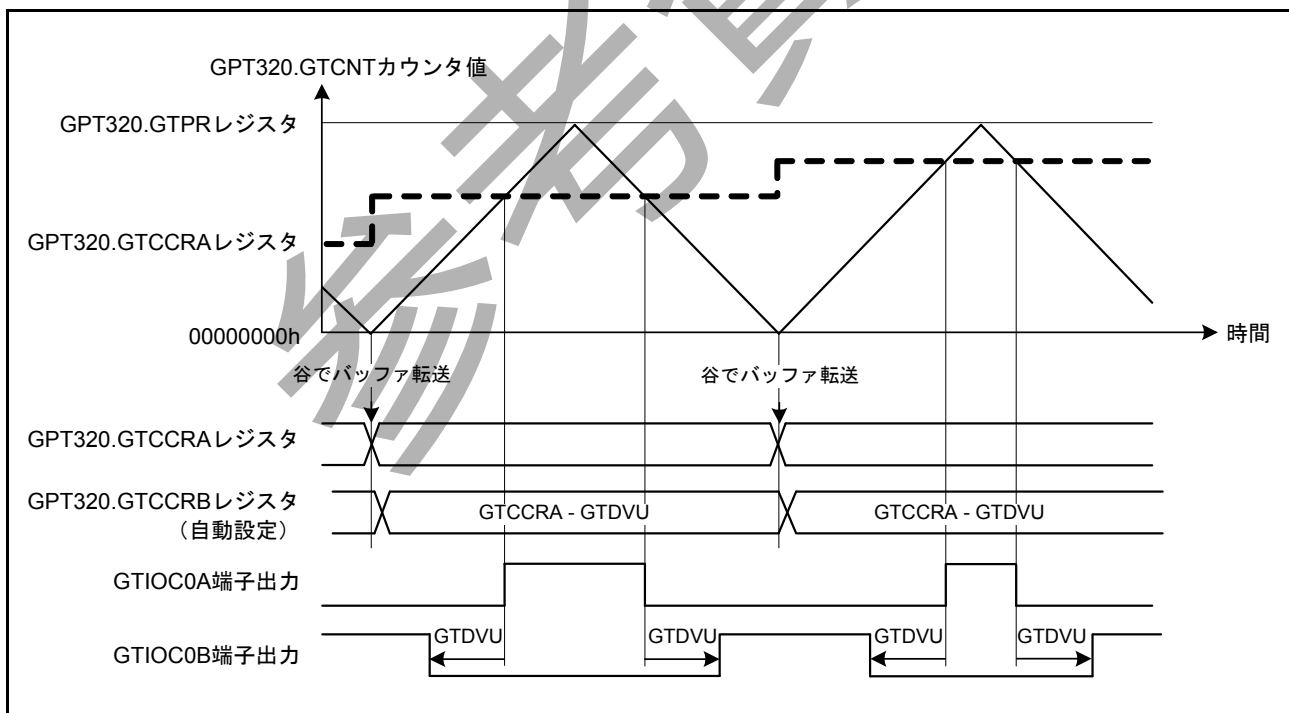


図 19.41 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード1、アクティブ High の場合)

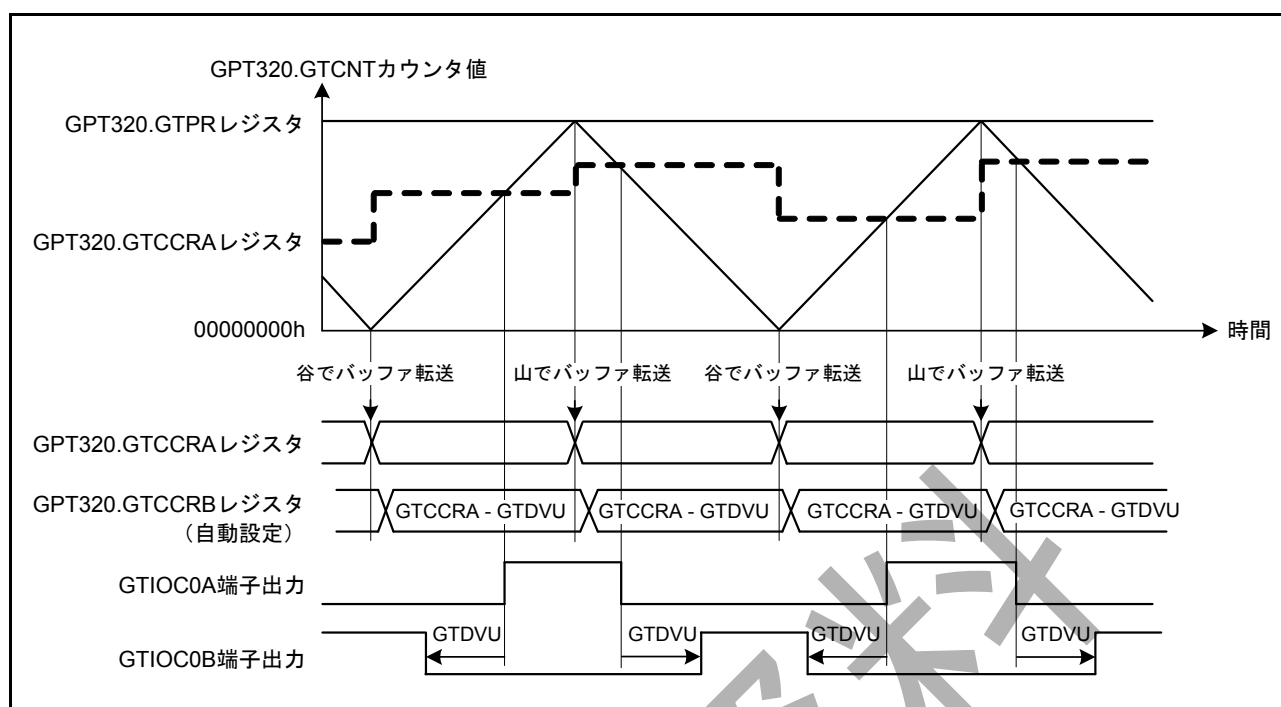


図 19.42 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 2 または 3、アクティブ High の場合)

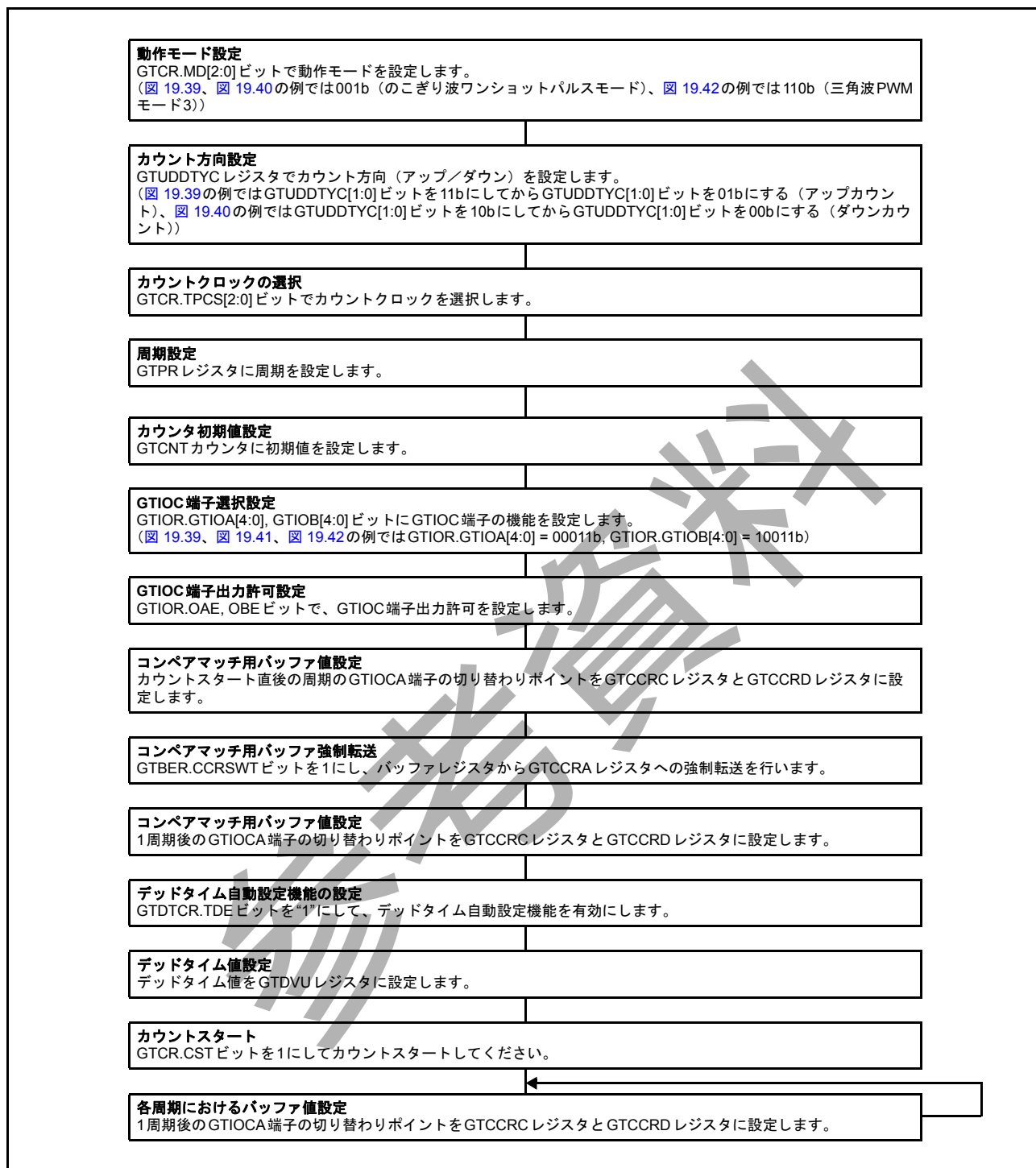


図 19.43 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合)

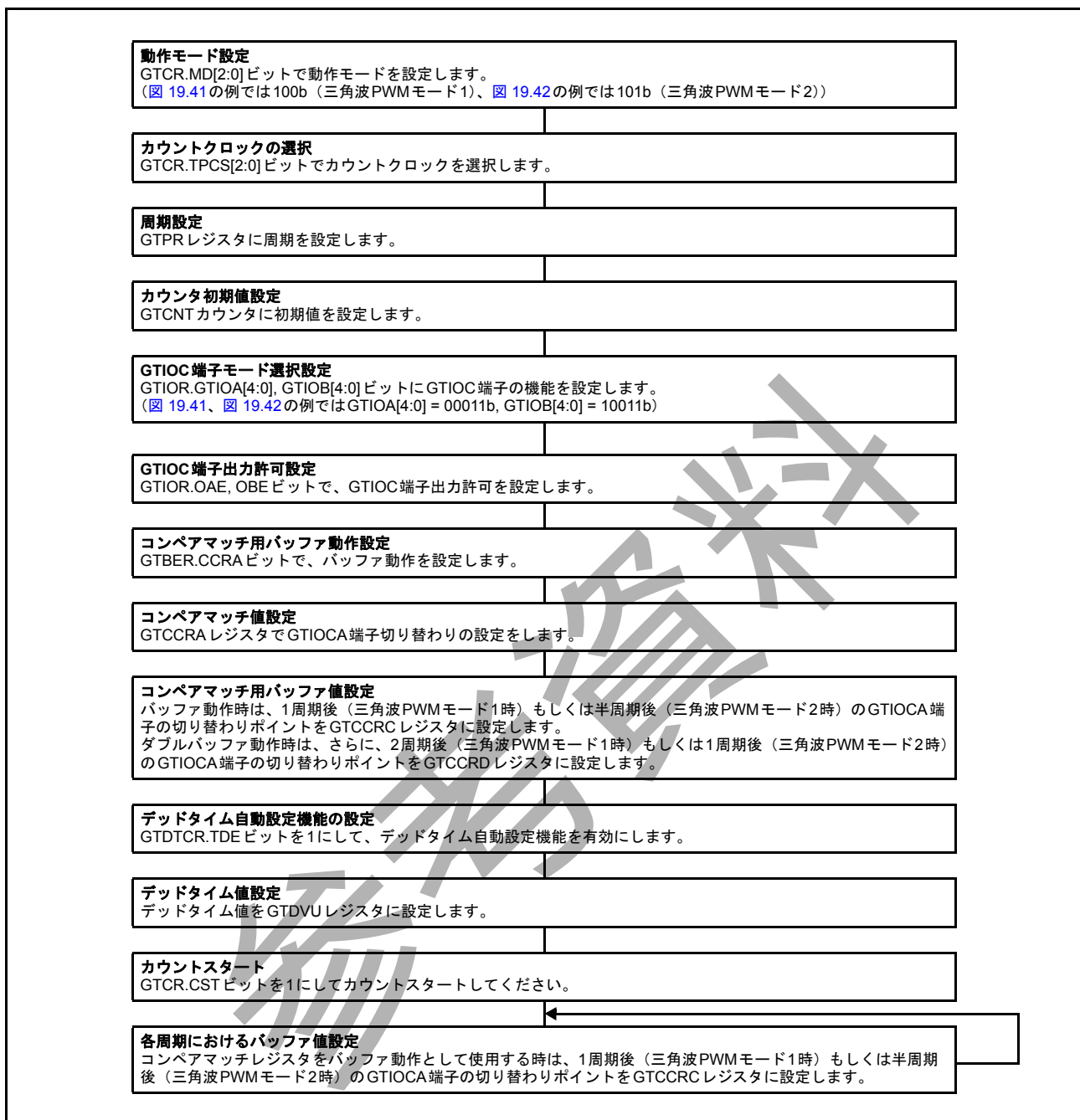


図 19.44 デッドタイム自動設定機能の設定例 (三角波 PWM モード 1 または 2 の場合)

### 19.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート前の GTPR 値が反映されます。

図 19.45 にカウント方向切り替え機能の動作例を示します。

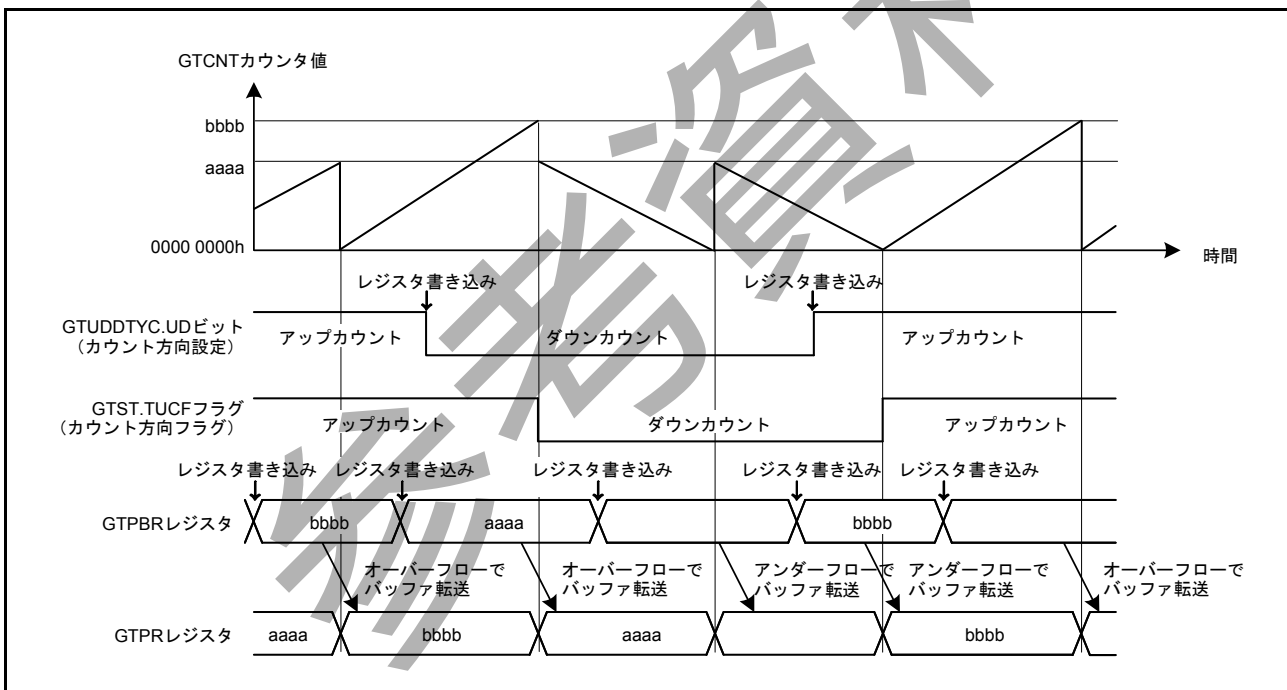


図 19.45 カウント方向切り替え機能の動作例（バッファ動作時）

### 19.3.6 出力デューティ 0% および出力デューティ 100% 機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCA 端子と GTIOCB 端子の出力デューティが 0% または 100% に設定されます。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。出力デューティはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットを 1 にすると、そのときの GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダーフロー発生時に出力デューティの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティの変更値はカウントスタート時に反映されます。

0% または 100% デューティ動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0% または 100% デューティ設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCA 端子の出力値は、GTIOR.GTIOA[3:2] ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCB 端子の出力値は、GTIOR.GTIOB[3:2] ビットと GTUDDTYC.OBDTYR ビットで決定されます。

GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2] ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。周期の終わりで GTIOCA/GTIOCB 端子の出力値を表 19.6 に示します。

表 19.6 0%または100%デューティ設定解除後の出力値 (m = A, B)

GTIOR.GTIOm[3:2]	0%/100%デューティ設定で マスクされた周期の終わりでの コンペアマッチ値	GTUDDTYC.OADTYR (デューティ 0% 設定時)		GTUDDTYC.OADTYR (デューティ 100% 設定時、 5V トレラント)	
		0	1	0	1
00 (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01 (周期の終わりでLow出力)	—	0	0	0	0
10 (周期の終わりでHigh出力)	—	1	1	1	1
11 (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0



図 19.46 にカウント方向切り替え機能の動作例を示します。

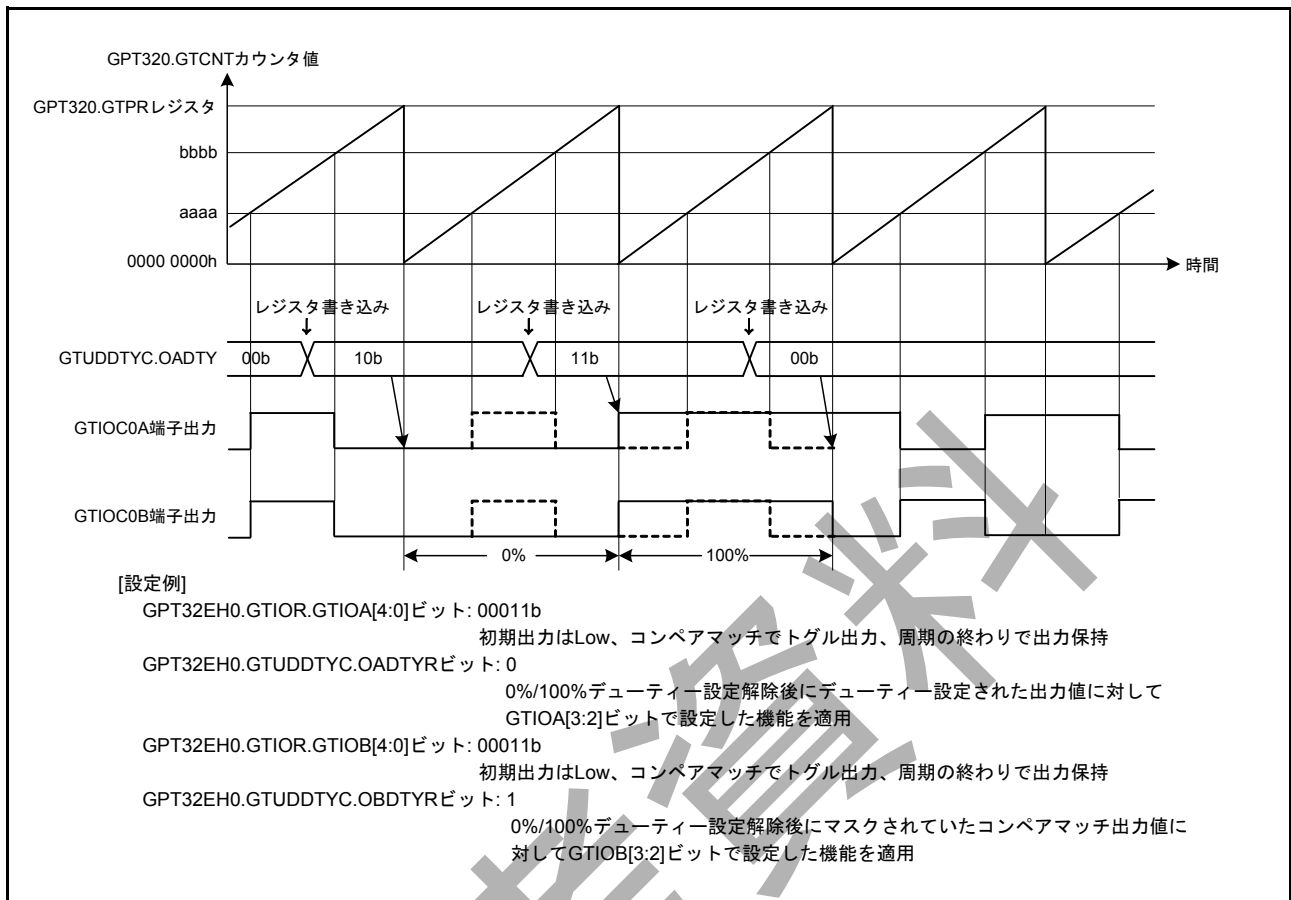


図 19.46 出力デューティ 0%、100% 機能動作例

### 19.3.7 ハードウェアカウントスタート/カウントストップ、カウントクリア動作

下記のハードウェア要因によって、GTCNTカウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 出力トリガ入力
- ELC イベント入力
- GTIOCA/GTIOCB 端子入力

#### 19.3.7.1 ハードウェアスタート動作

GTSSRレジスタでハードウェア要因を選択することにより、GTCNTカウンタのカウントスタートが可能です。

図 19.47 にハードウェア要因によるカウントスタートの動作例を示します。図 19.48 に設定例を示します。

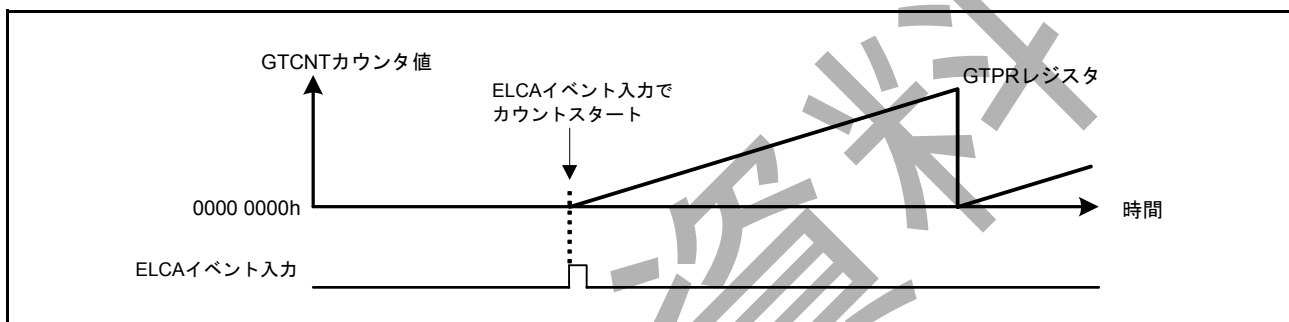


図 19.47 ハードウェア要因によるカウントスタート動作例 (ELCA イベントからの信号入力時のスタート)

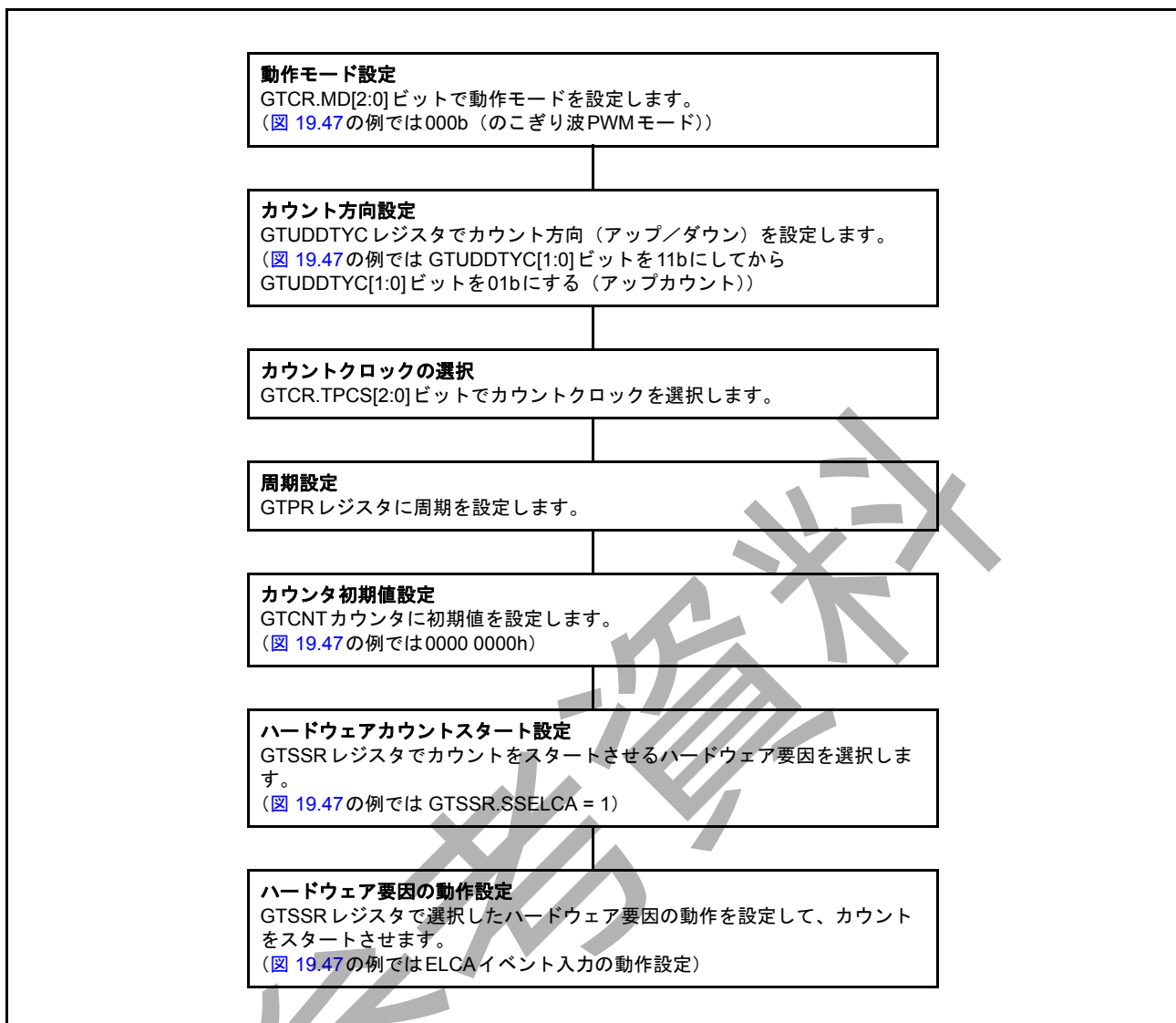


図 19.48 ハードウェア要因によるカウントスタート動作設定例

### 19.3.7.2 ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。

図 19.49 にハードウェア要因によるカウントストップの動作例を示します。図 19.50 に設定例を示します。この例では、カウント動作が ELCA イベント入力のエッジでストップし、ELCB イベント入力のエッジで再スタートしています。

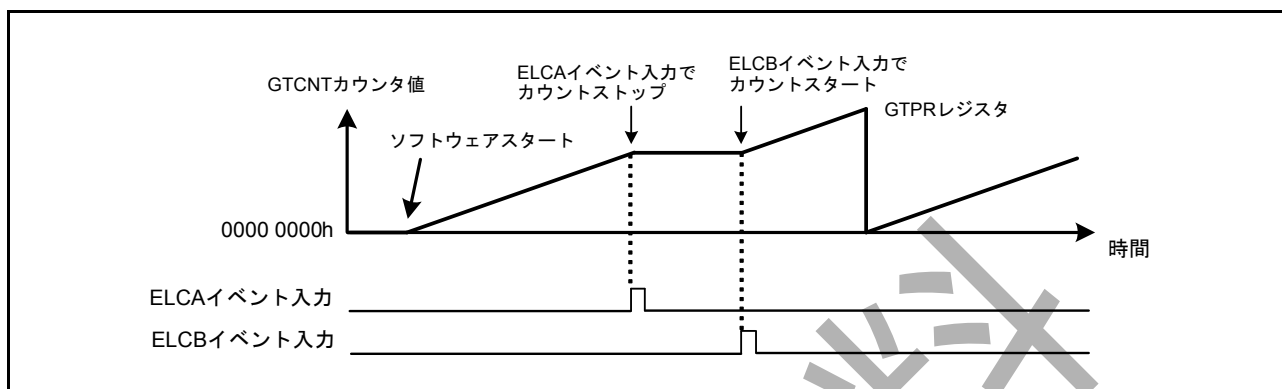


図 19.49 ハードウェア要因によるカウントストップ動作例  
(ソフトウェアによるスタート、ELCA イベント入力でのストップ、ELCB イベント入力での再スタートの場合)

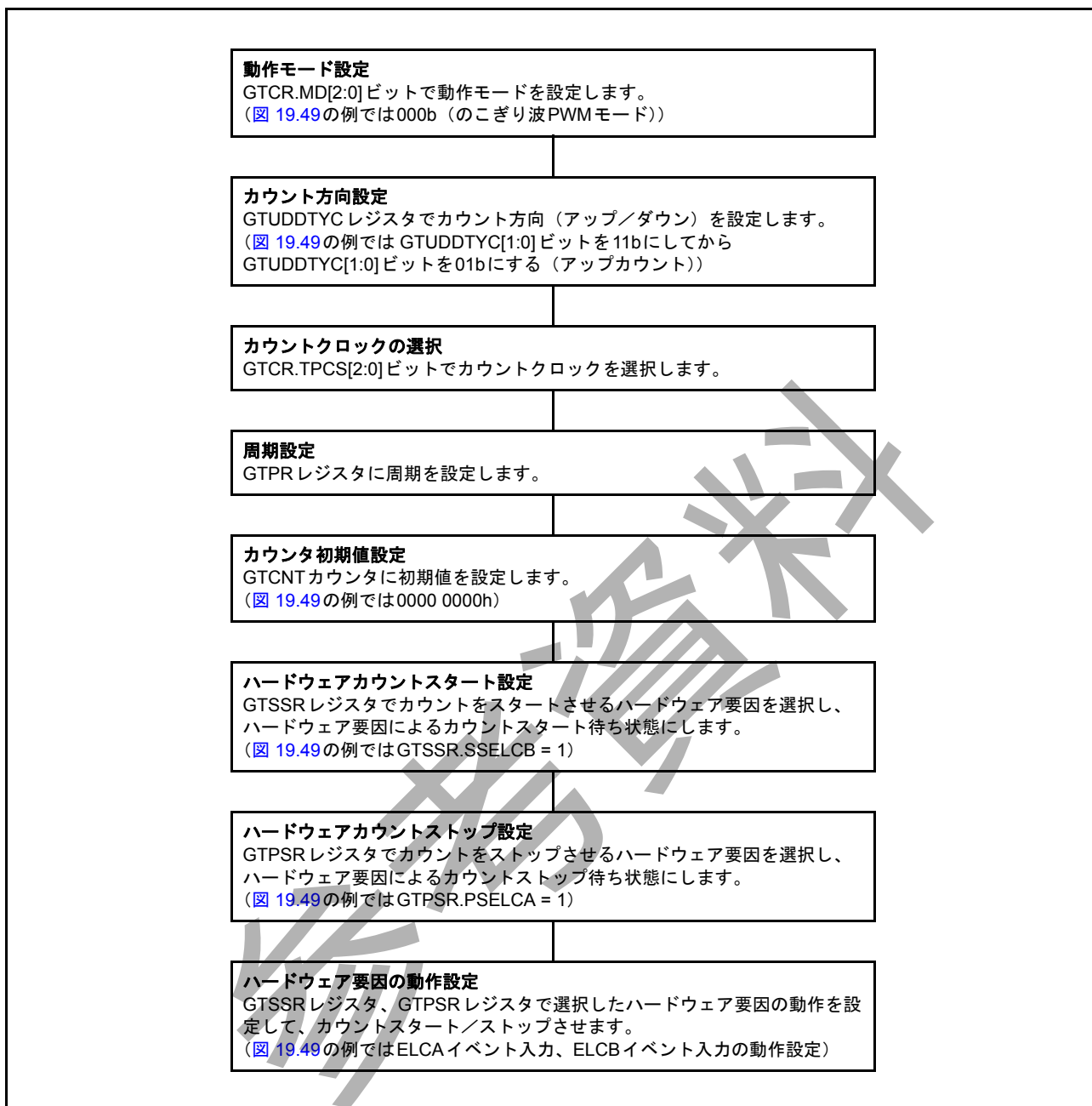


図 19.50 ハードウェア要因によるカウントストップ動作設定例

図 19.51 にハードウェア要因によるカウントスタート/ストップ動作例を示します。図 19.52 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

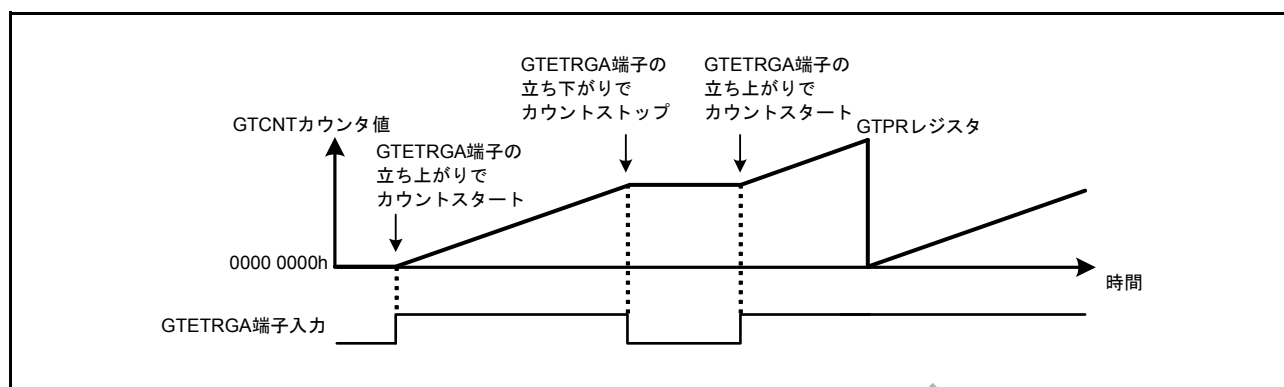


図 19.51 ハードウェア要因によるカウントスタート/ストップ動作例 (GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合)

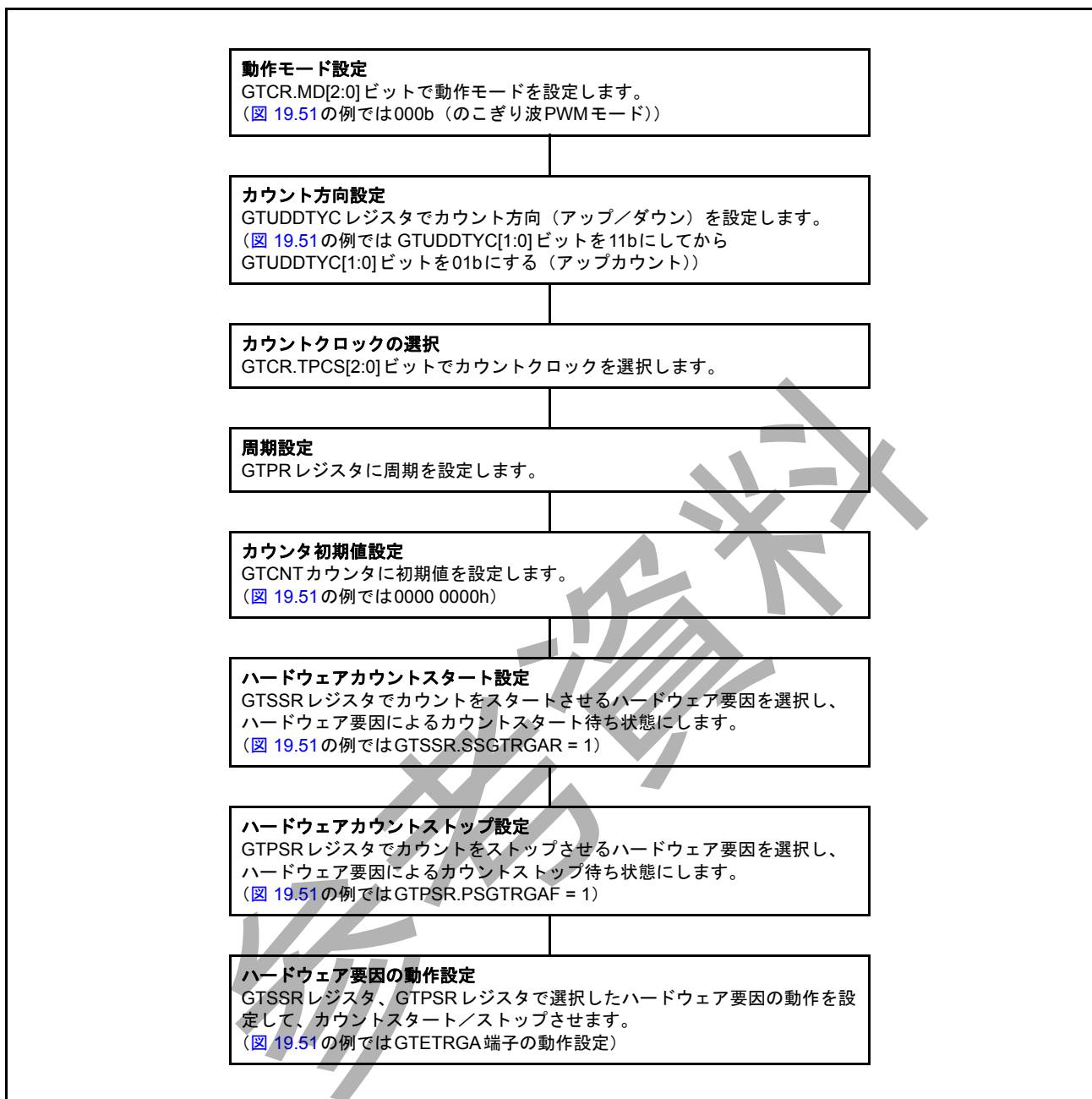


図 19.52 ハードウェア要因によるカウントスタート/ストップ動作設定例

### 19.3.7.3 ハードウェアクリア動作

GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウンタクリアが可能です。

なお、ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn\_OVF/ GPTn\_UDF (n=0~6) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 19.53 および図 19.54 に、ハードウェア要因による GTCNT カウンタのクリア動作例を示します。図 19.55 に設定例を示します。この例では、GTCNT カウンタは ELCA イベント入力のエッジでスタートし、ELCB イベント入力のエッジでストップ/クリアされています。

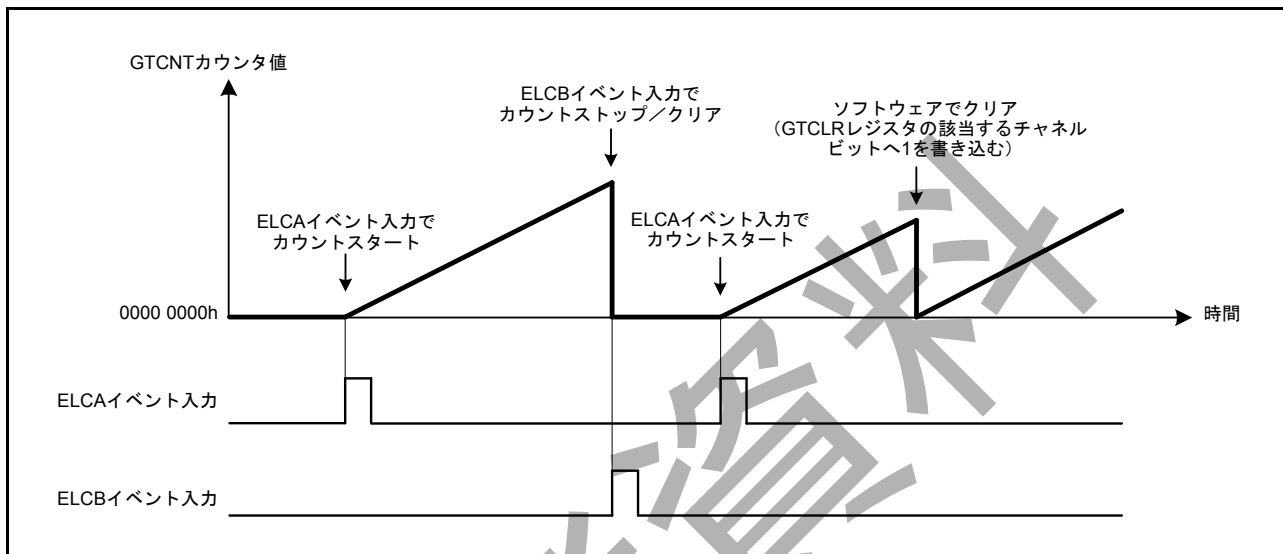


図 19.53 ハードウェア要因によるカウンタクリア動作例 (のこぎり波アップカウント、ELCA イベント入力でスタート、ELCB イベント入力でストップ/クリアの場合)

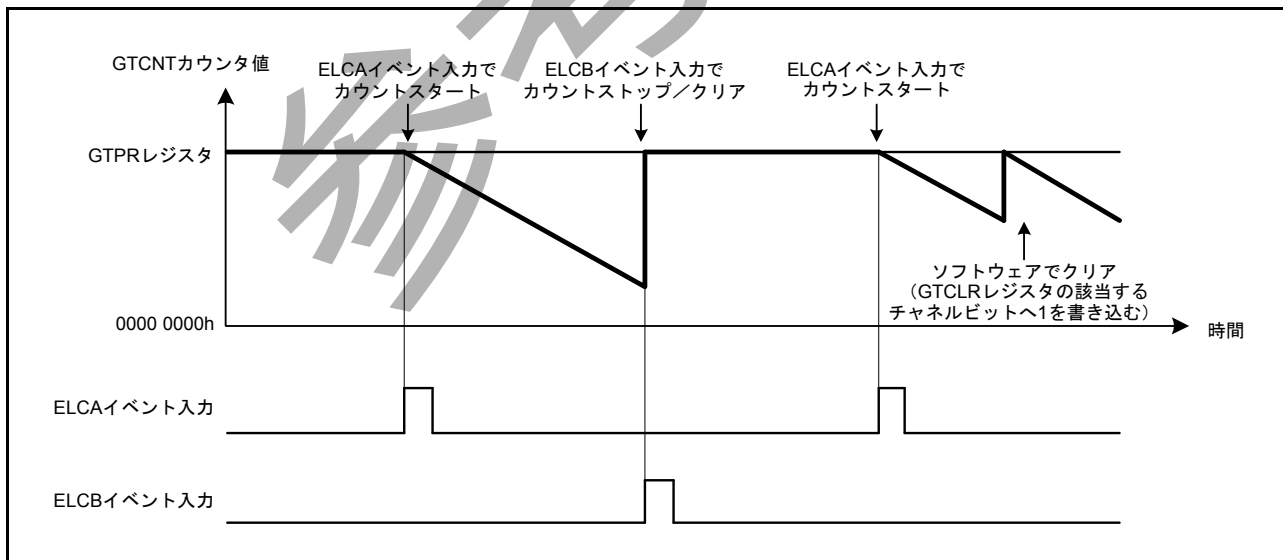


図 19.54 ハードウェア要因によるカウンタクリア動作例 (のこぎり波ダウンカウント、ELCA イベント入力でスタート、ELCB イベント入力でストップ/クリアの場合)



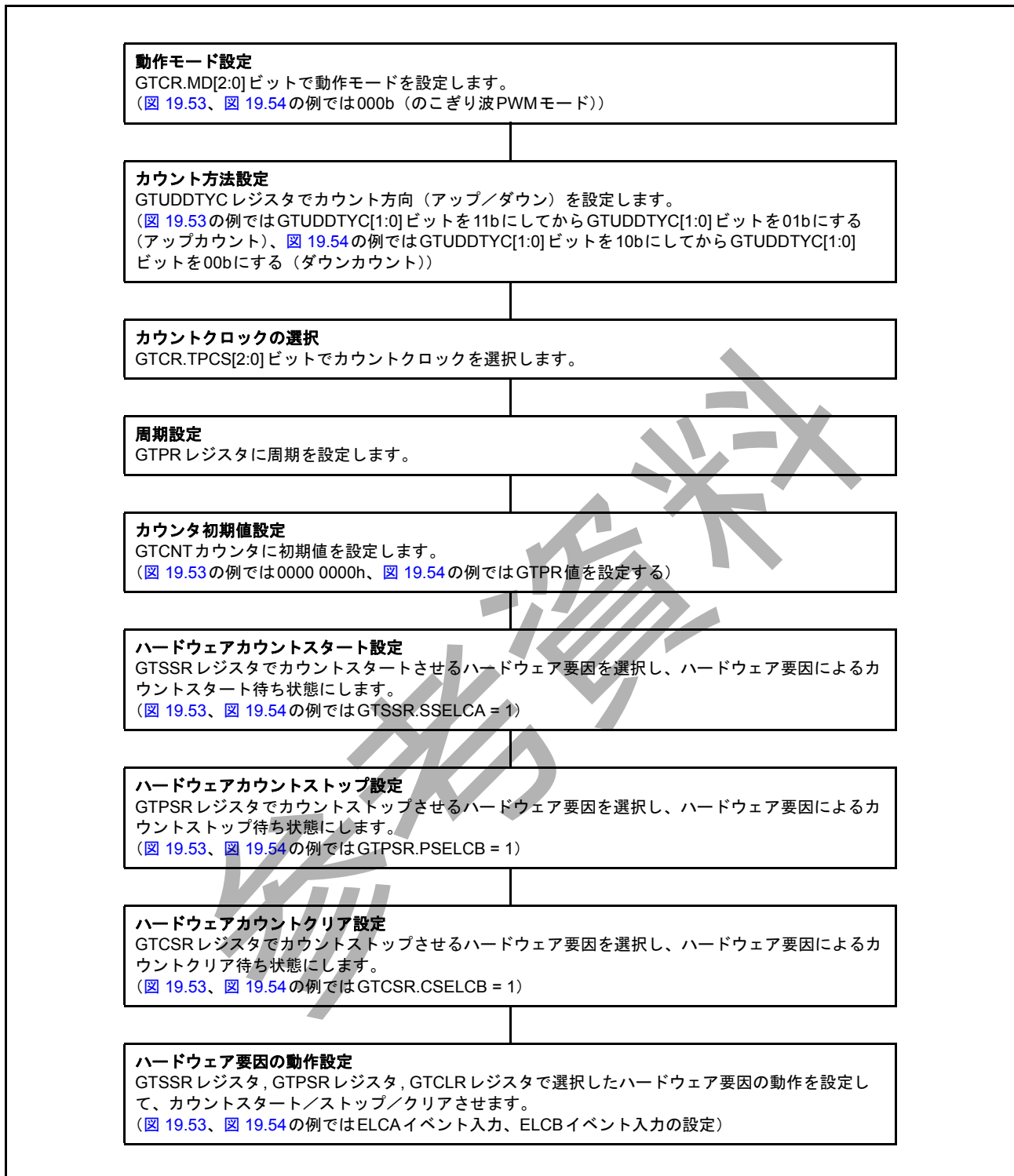


図 19.55 ハードウェア要因によるカウントクリア動作設定例

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn\_OVF/GPTn\_UDF (n = 0 ~ 6) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 19.56 にハードウェア要因によるカウンタクリアと GPTn\_OVF/GPTn\_UDF (n=0~6) 割り込みの関係を示します。

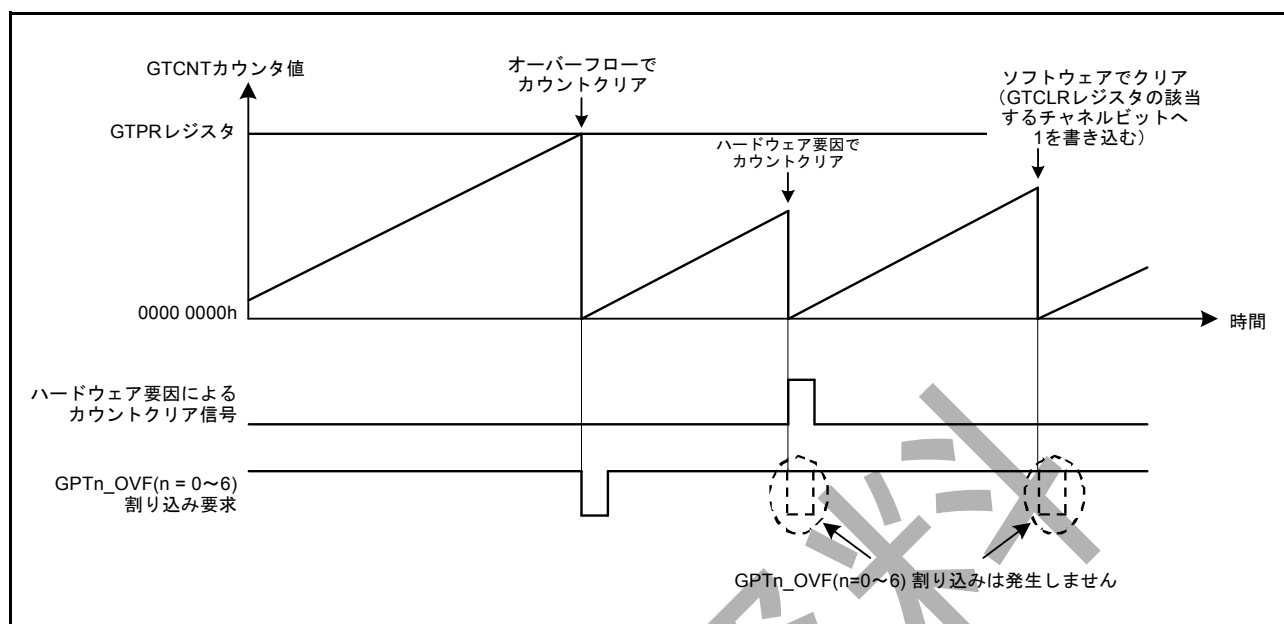


図 19.56 ハードウェア要因によるカウンタクリアと GPTn\_OVF (n=0~6) 割り込みの関係

### 19.3.8 同期動作

同期スタート/ストップ/クリア動作など、チャンネル間の同期動作を実行できます。

#### 19.3.8.1 ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャンネル上でスタート/ストップ/クリアできます。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

図 19.57 に、ソフトウェアによる同時スタート/ストップ/クリアの動作例を示します。図 19.58 に、ソフトウェアによる位相スタートの動作例を示します。

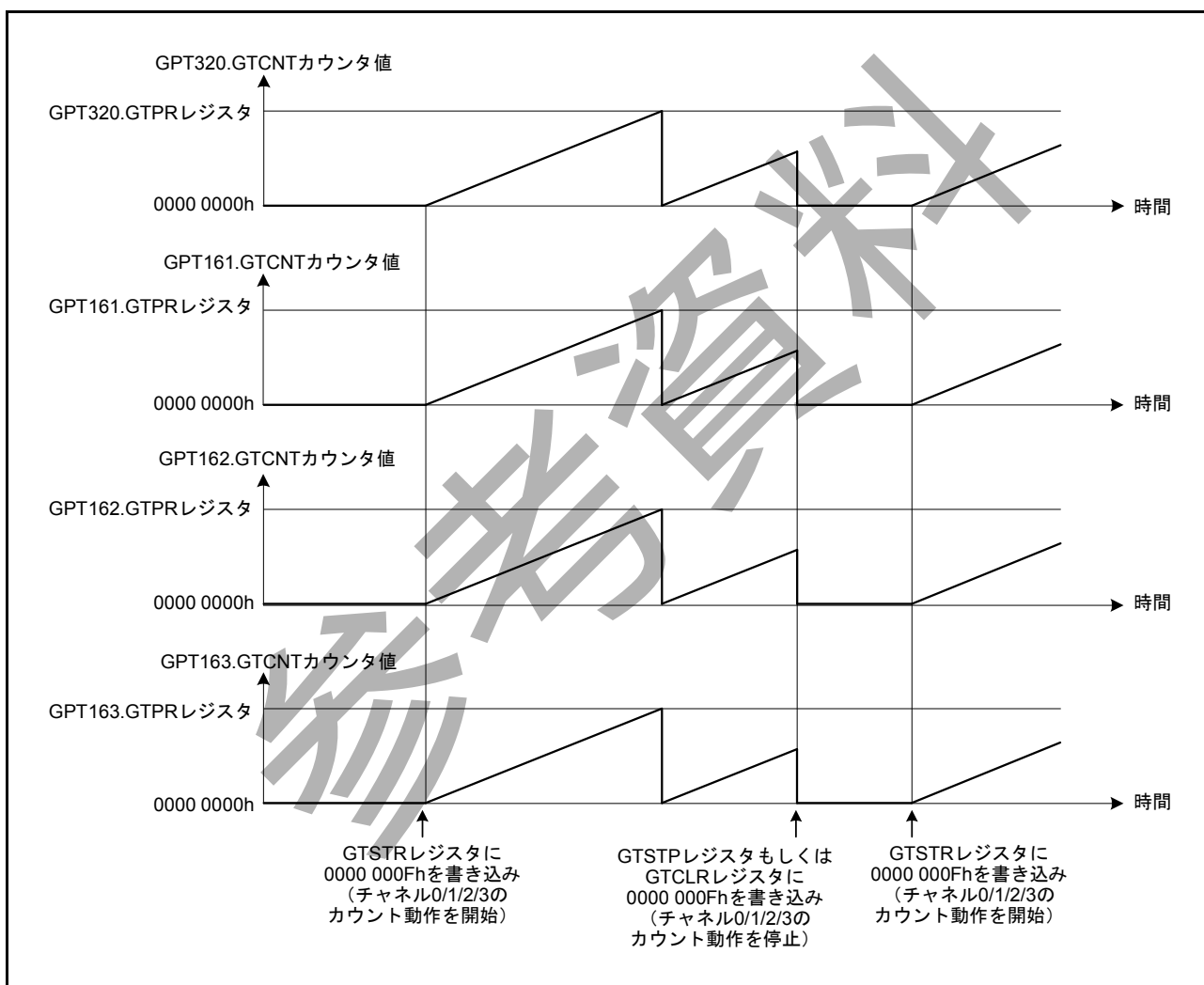


図 19.57 ソフトウェアによる同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

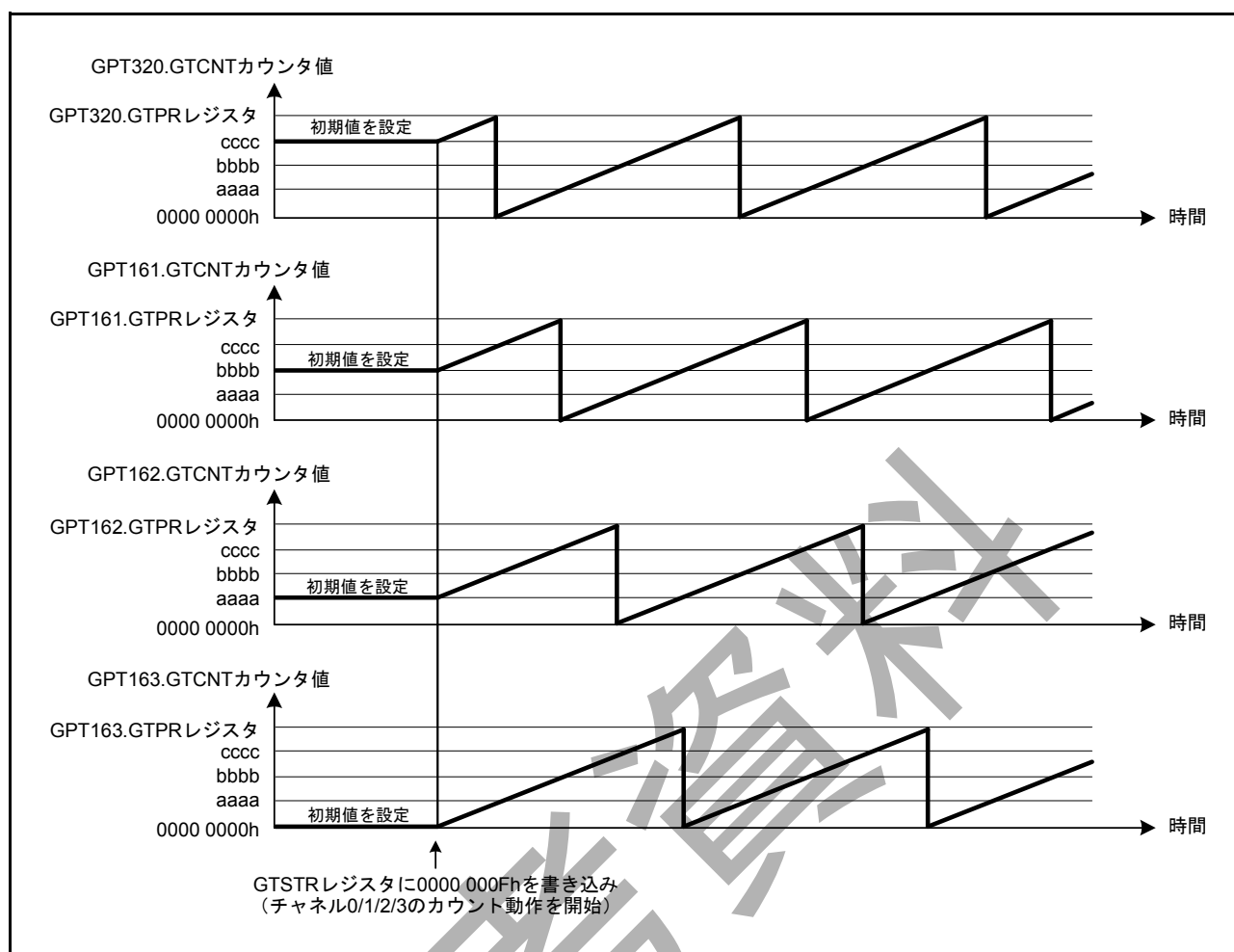


図 19.58 ソフトウェアによる位相スタート動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

### 19.3.8.2 ハードウェアによる同期動作

下記のハードウェア要因によって、GTCNT カウンタを同時にスタートさせることができます。

- 出力トリガ入力
- ELC イベント入力
- GTIOCA/GTIOCB 端子入力

図 19.59 にハードウェア要因による同時スタート/ストップ/クリアの動作例を示します。図 19.60 に設定例を示します。

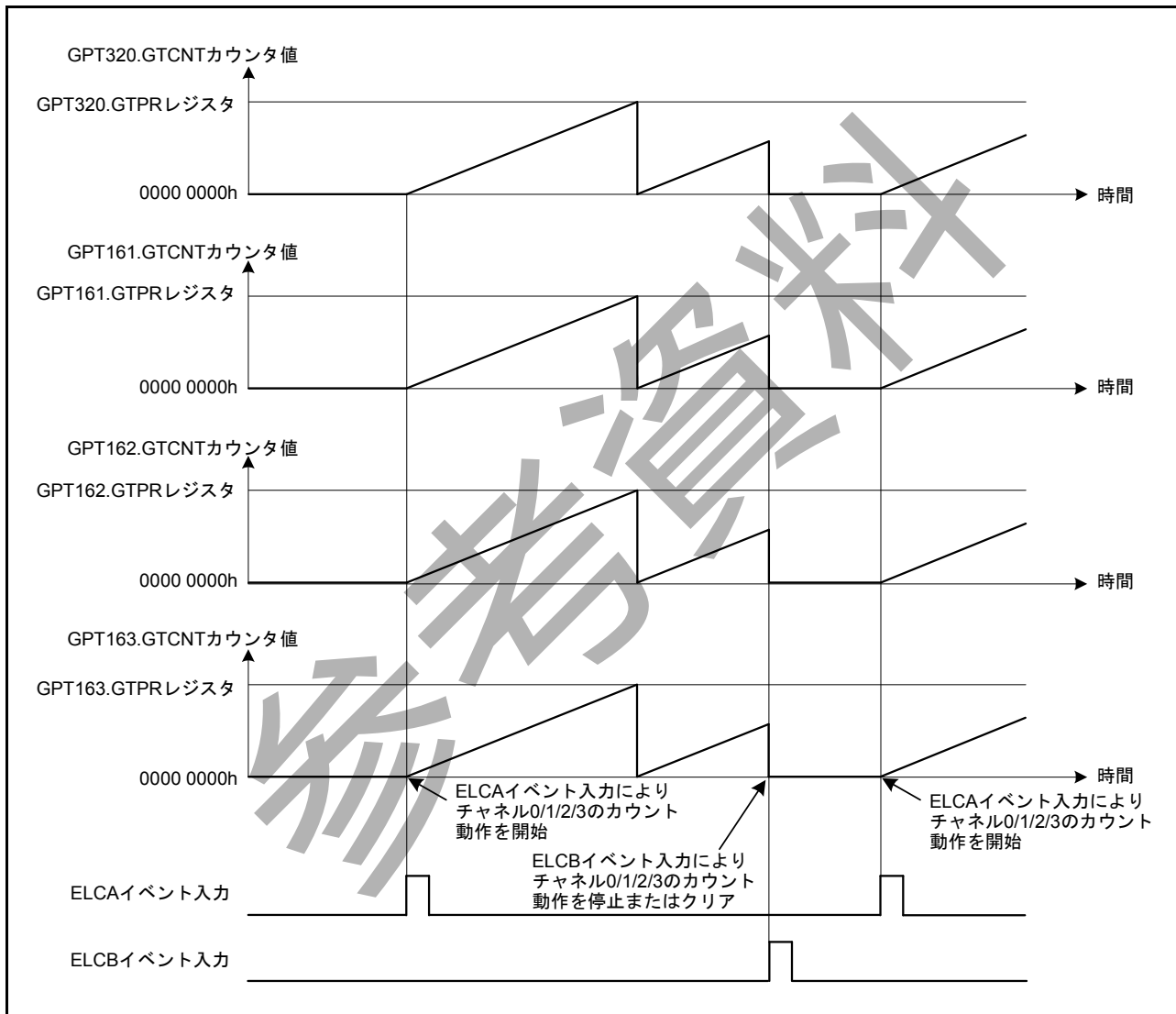


図 19.59 ソフトウェアによる同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)



図 19.60 ハードウェア要因による同時スタート設定例

### 19.3.9 PWM 出力動作例

#### (1) 同期 PWM 出力

複数の GPT を使用することで、最大 7 チャンネル 14 相の連動した PWM 波形を出力します。

図 19.61 に、4 チャンネルをのこぎり波 PWM モードで同期動作させて、8 相の PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

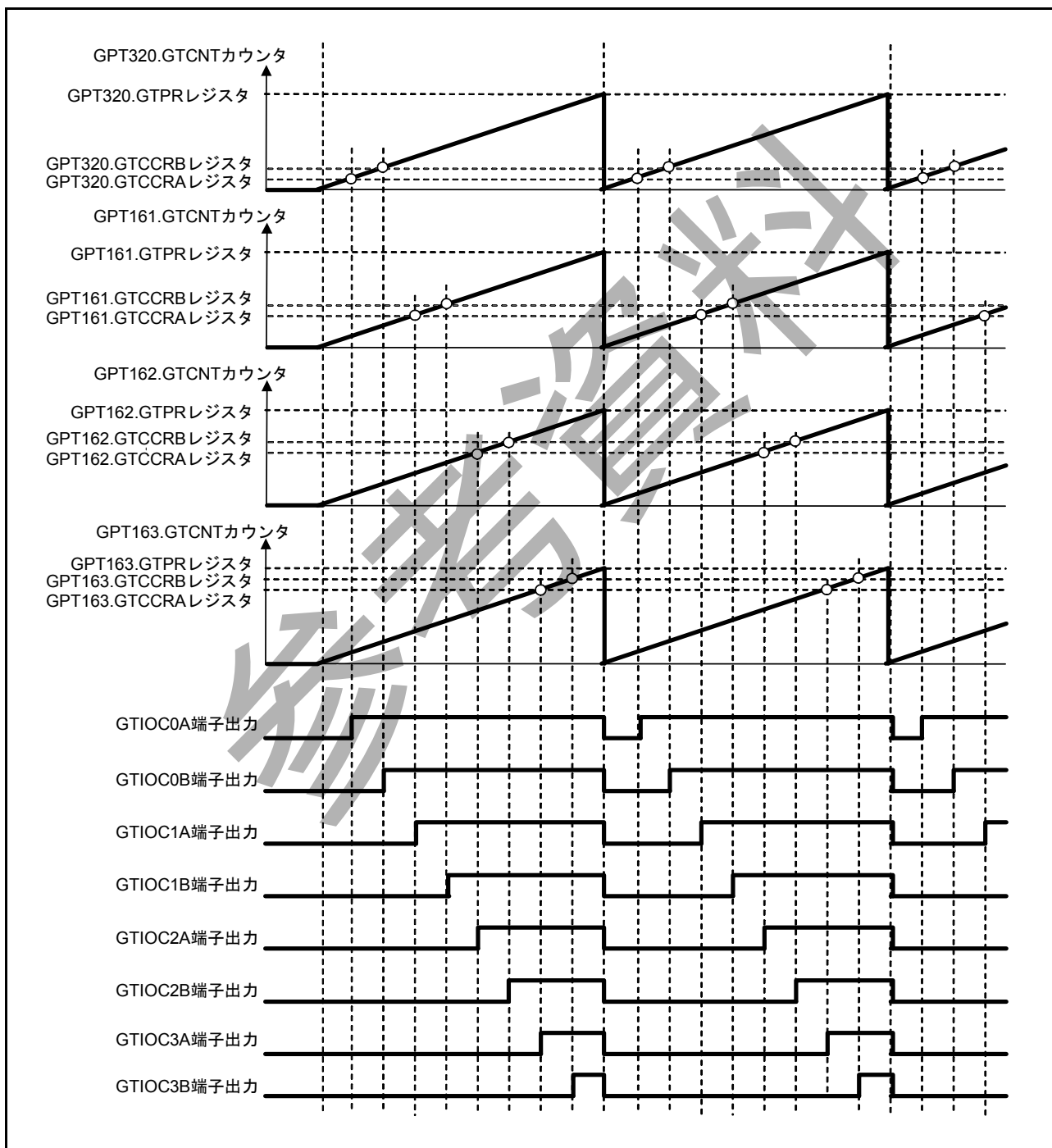


図 19.61 同期 PWM 出力例

## (2) のこぎり波 3 相相補 PWM 出力

図 19.62 に、3 チャネルをのこぎり波 PWM モードで同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

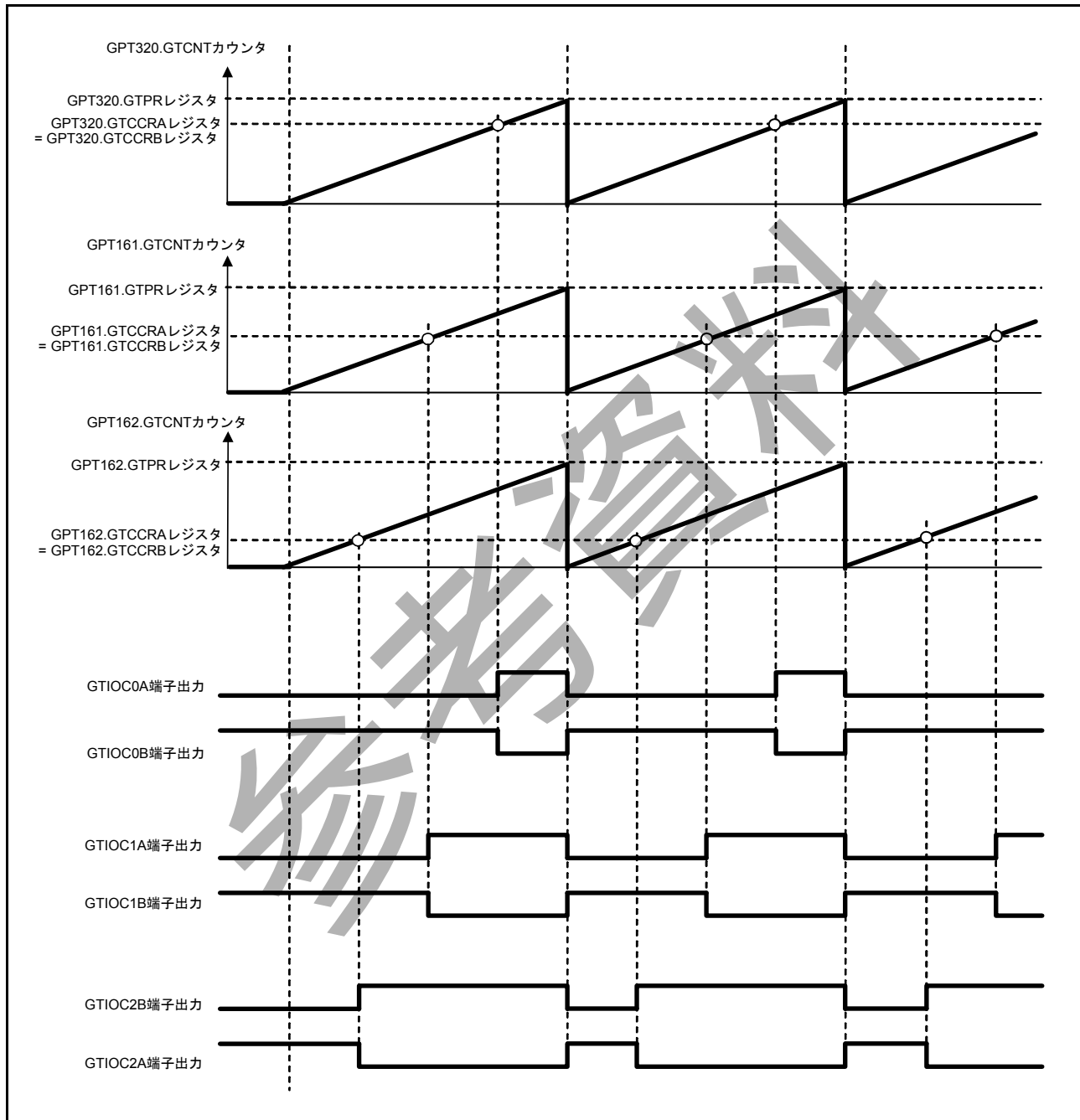


図 19.62 のこぎり波 3 相相補 PWM 出力例



## (3) のこぎり波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 19.63 に、デッドタイム自動設定機能を使用して、3 チャンネルののこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

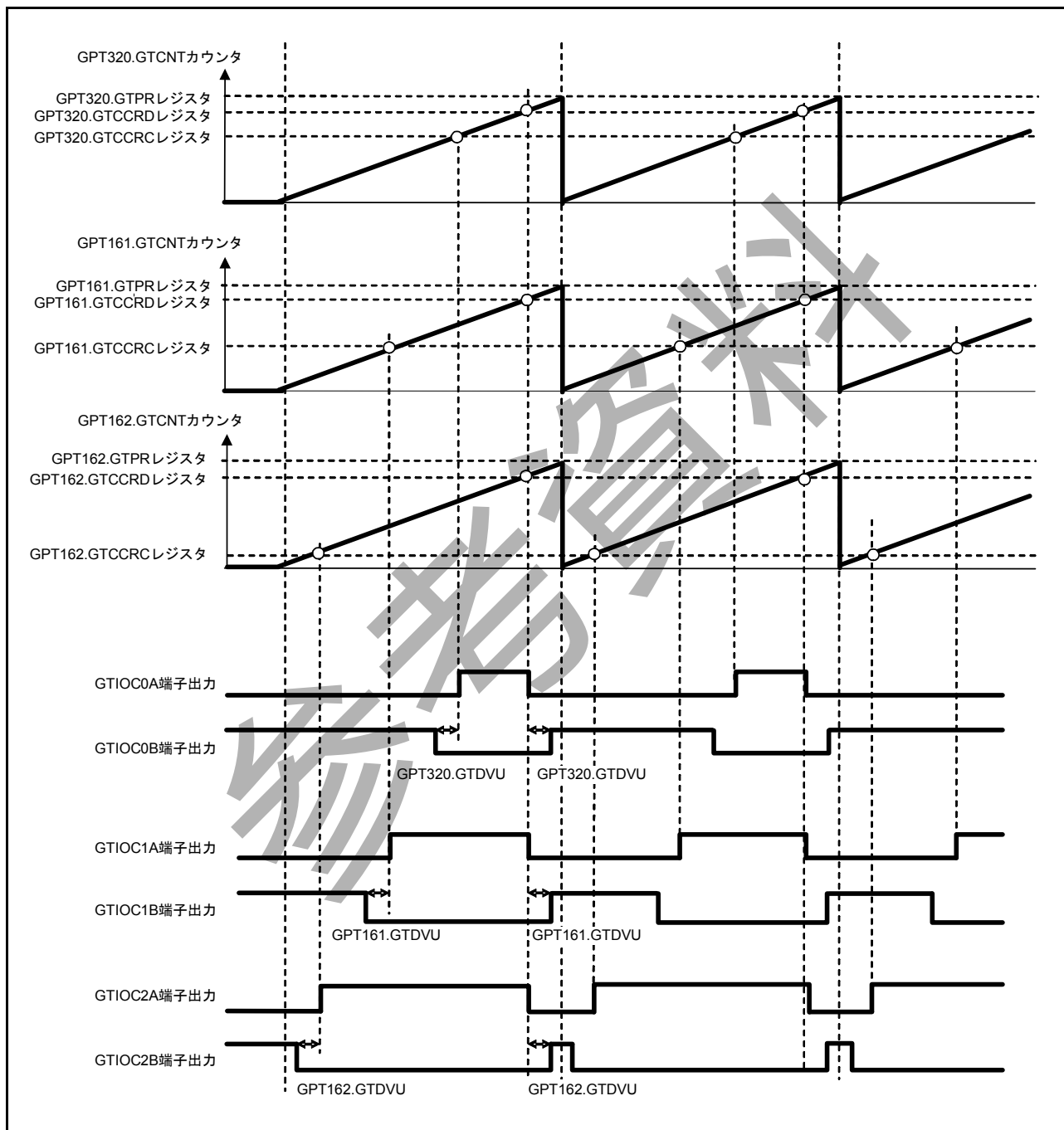


図 19.63 のこぎり波 3 相相補 PWM 出力例 (デッドタイム自動設定)

#### (4) 三角波 3 相相補 PWM 出力

図 19.64 に、3 チャネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

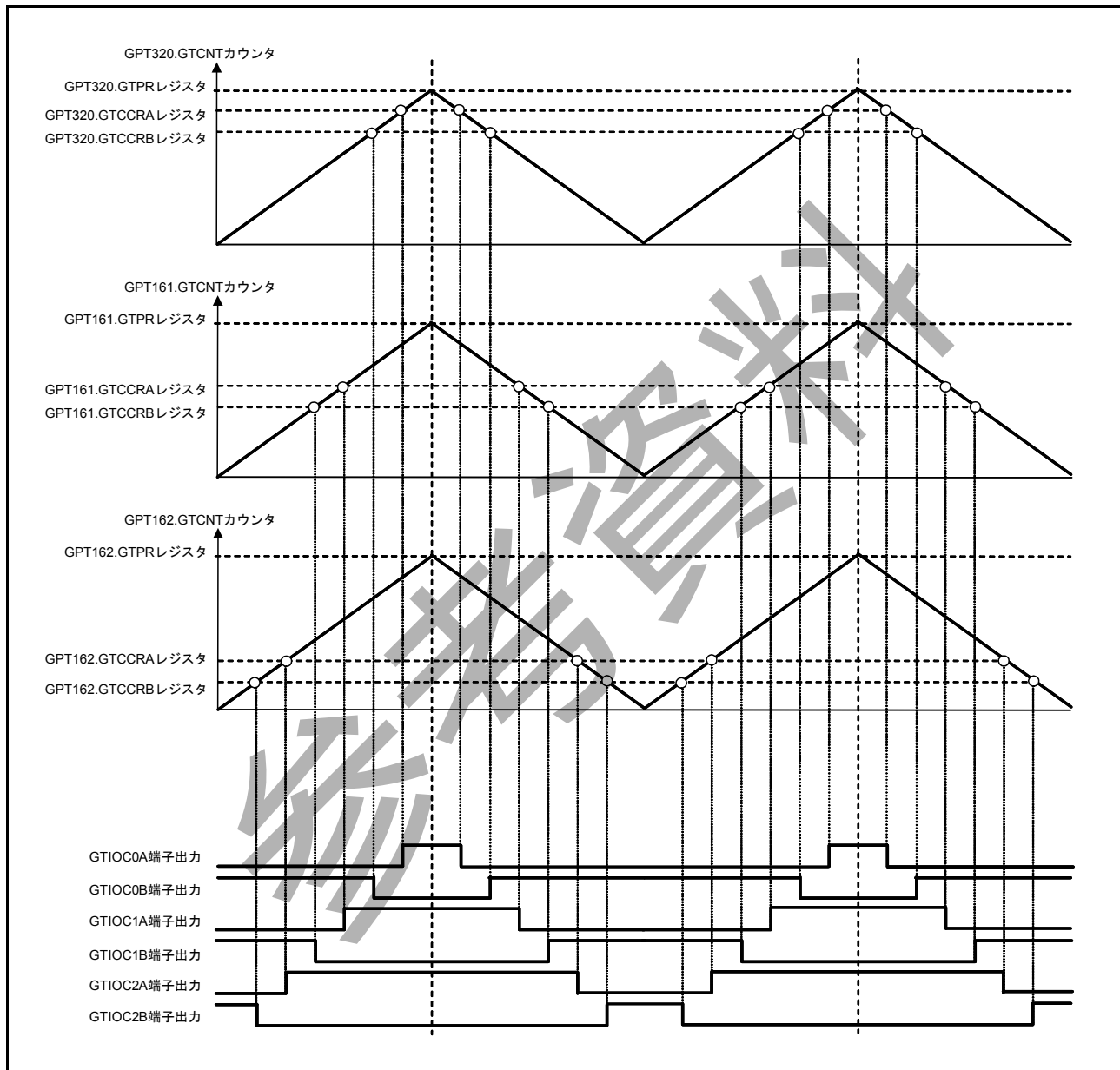


図 19.64 三角波 3 相相補 PWM 出力例

## (5) 三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 19.65 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

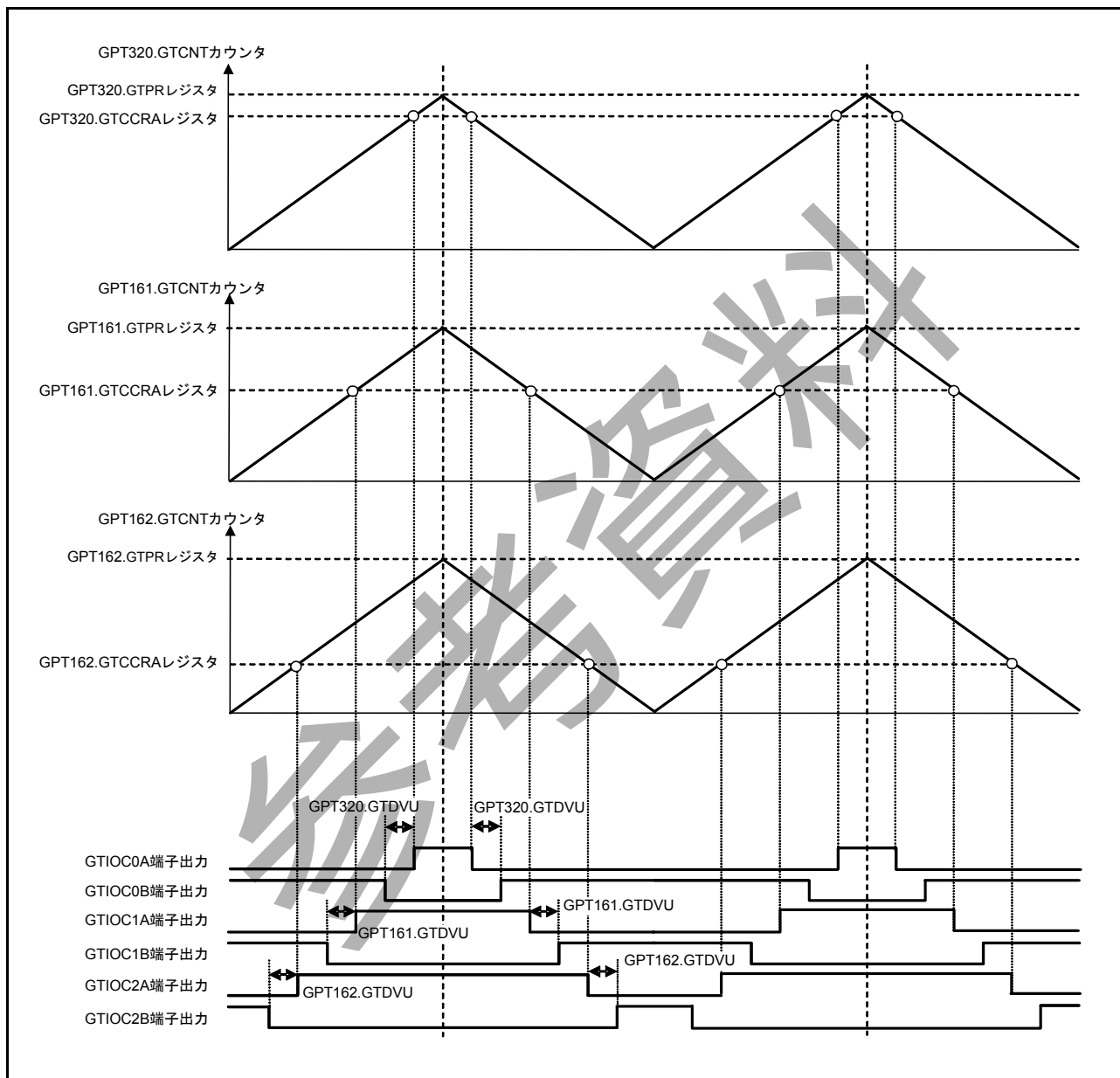


図 19.65 三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

## (6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 19.66 に、デッドタイム自動設定機能を使用して、3 チャンネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

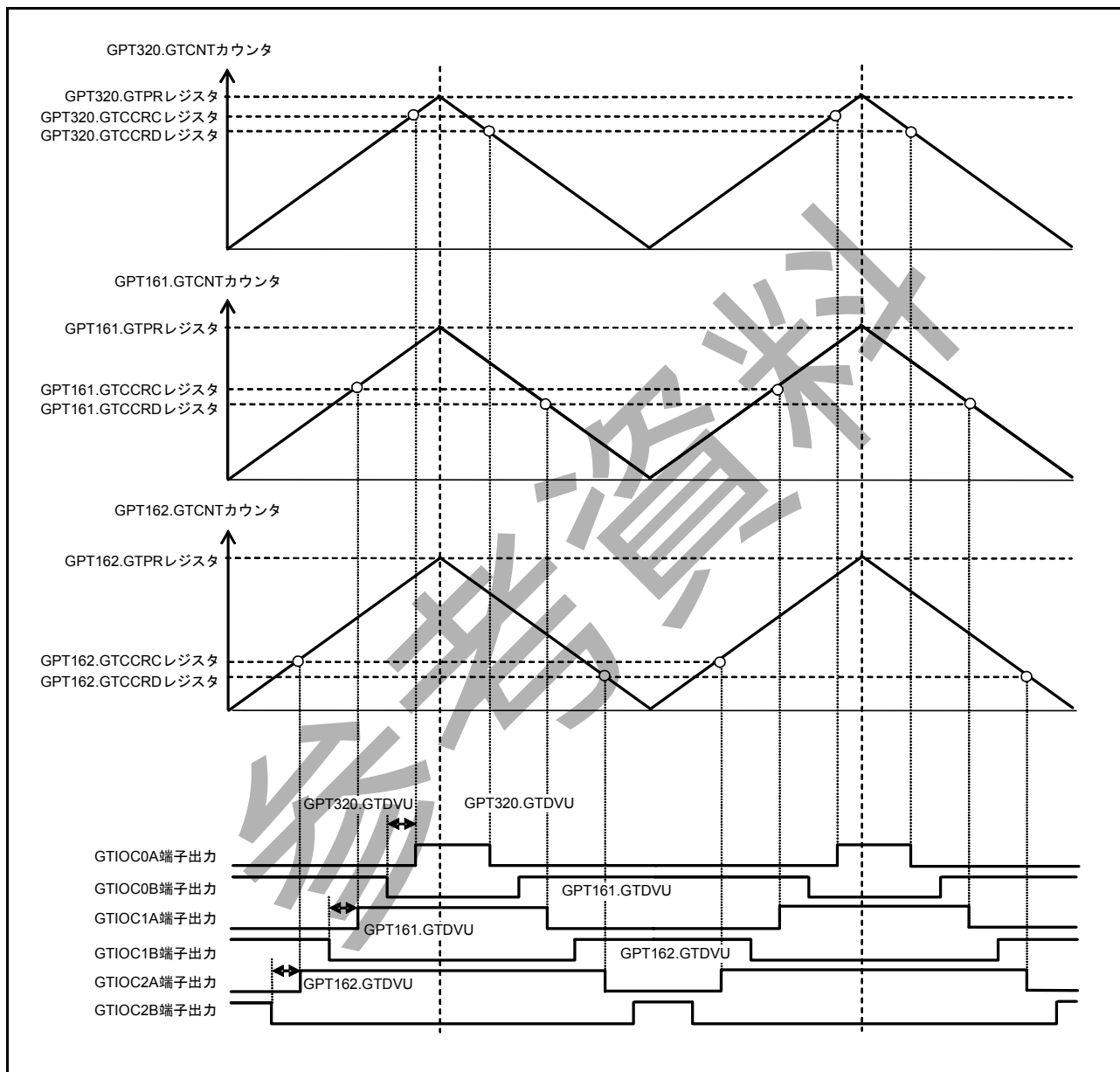


図 19.66 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

### 19.3.10 位相計数機能

GTIOCA 端子入力と GTIOCB 端子入力の間で位相差が検出されると、対応する GTCNT カウンタがカウントアップまたはカウントダウンを実行します。GTUPSR および GTDNSR レジスタに設定されている GTIOCA 端子入力と GTIOCB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作については、19.3.1.1 カウンタの動作を参照してください。

図 19.67 ～ 図 19.76 に、位相計数モード 1 ～ 5 を示します。表 19.7 ～ 表 19.16 に、アップカウント/ダウンカウントの条件と、GTUPSR および GTDNSR レジスタの設定値を示します。

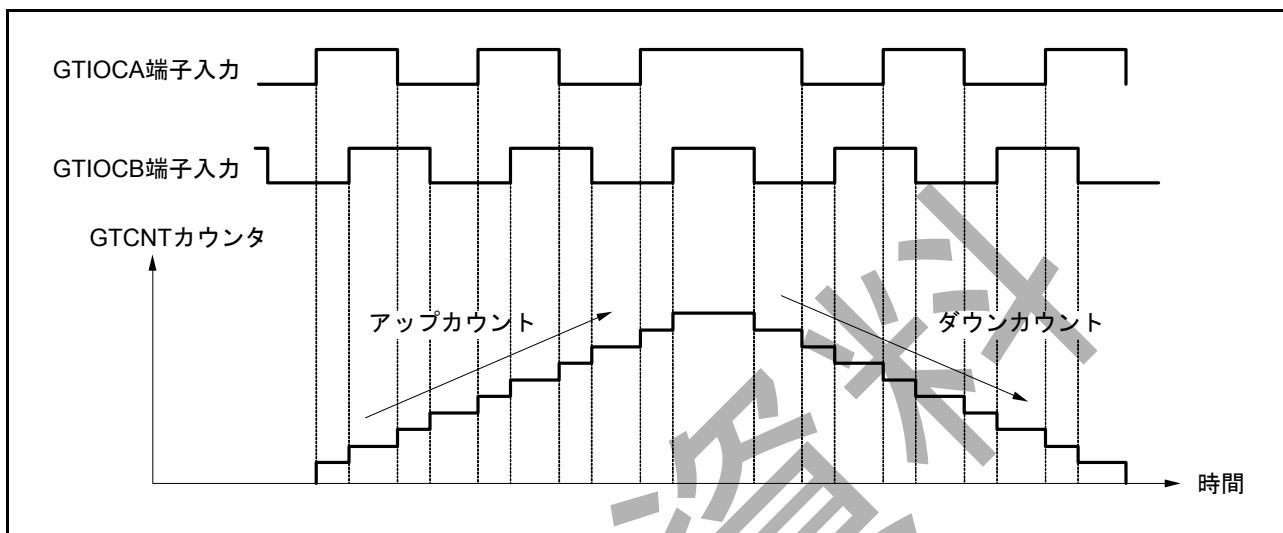


図 19.67 位相計数モード 1 の動作例

表 19.7 位相計数モード 1 でのアップカウント/ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR レジスタ = 00006900h GTDNSR レジスタ = 00009600h
Low	↓		
↑	Low		
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High		
↓	Low		

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

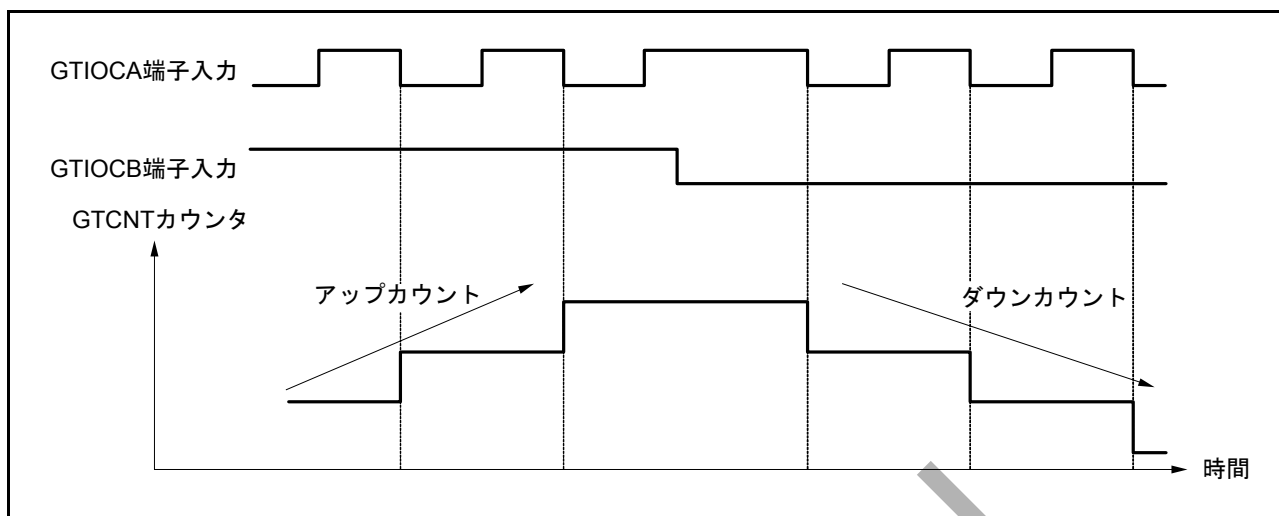


図 19.68 位相計数モード2の動作例 (A)

表 19.8 位相計数モード2でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 00000800h GTDNSR レジスタ = 00000400h
Low		Don't care	
	Low	アップカウント	
	High	アップカウント	
High		Don't care	
Low		Don't care	
	High	ダウンカウント	
	Low	ダウンカウント	

: 立ち上がりエッジ

: 立ち下がりエッジ

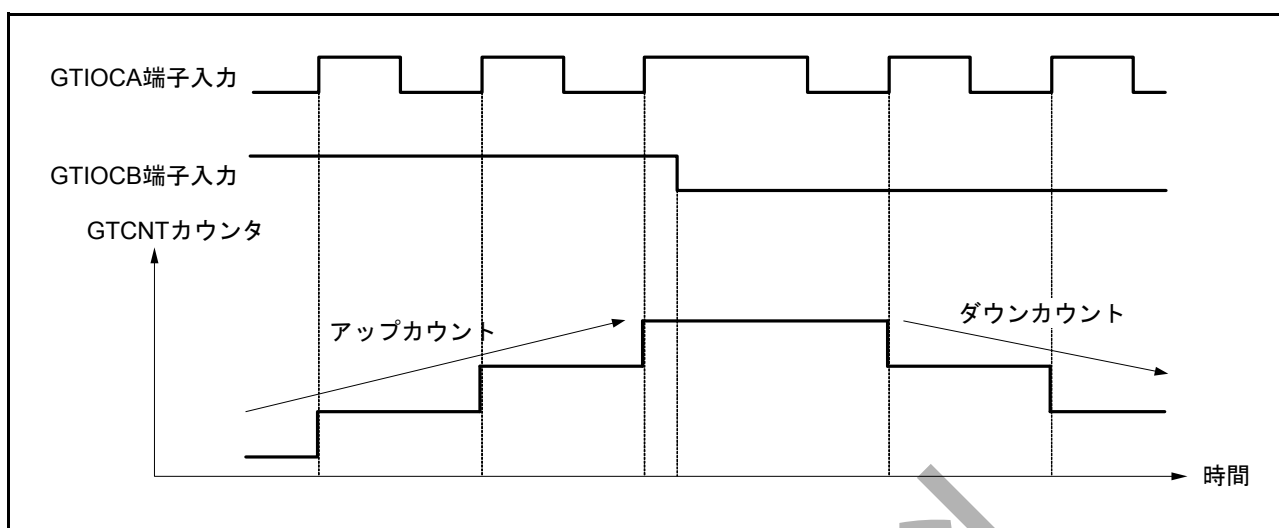


図 19.69 位相計数モード2の動作例 (B)

表 19.9 位相計数モード2でのアップカウント/ダウンカウントの条件 (B)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 00000200h GTDNSR レジスタ = 00000100h
Low	↓	Don't care	
↑	Low	ダウンカウント	
↓	High	Don't care	
High	↓	Don't care	
Low	↑	Don't care	
↑	High	アップカウント	
↓	Low	ダウンカウント	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

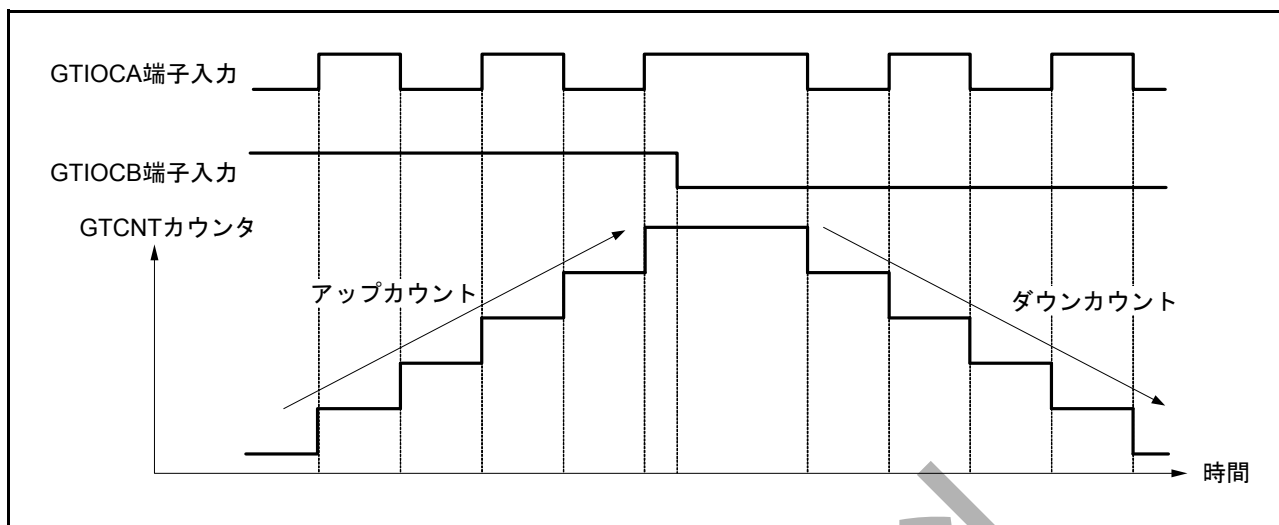


図 19.70 位相計数モード2の動作例 (C)

表 19.10 位相計数モード2でのアップカウント/ダウンカウントの条件 (C)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 00000A00h GTDNSR レジスタ = 00000500h
Low	↓	Don't care	
↑	Low	ダウンカウント	
↓	High	Don't care	
High	↓	Don't care	
Low	↑	Don't care	
↑	High	アップカウント	
↓	Low	ダウンカウント	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ



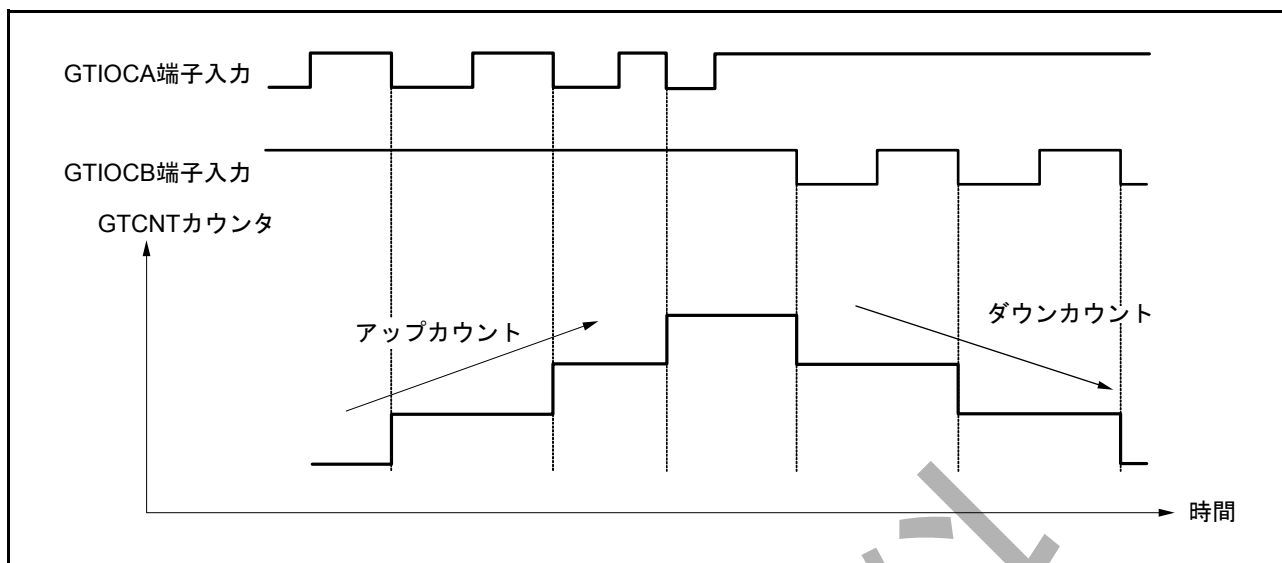


図 19.71 位相計数モード3の動作例 (A)

表 19.11 位相計数モード3でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 00000800h GTDNSR レジスタ = 00008000h
Low	↓	Don't care	
↑	Low	アップカウント	
↓	High	ダウンカウント	
High	↓	Don't care	
Low	↑	Don't care	
↑	High	Don't care	
↓	Low	Don't care	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

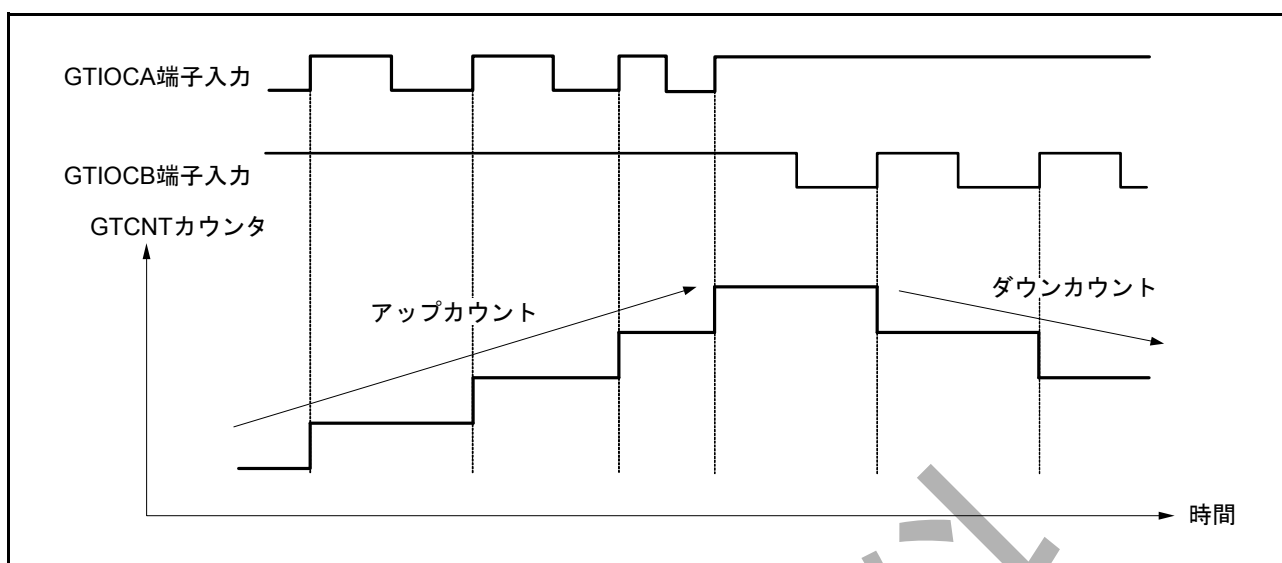


図 19.72 位相計数モード3の動作例 (B)

表 19.12 位相計数モード3でのアップカウント/ダウンカウントの条件 (B)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR レジスタ = 00000200h GTDNSR レジスタ = 00002000h
Low	↓	Don't care	
↑	Low		
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	Don't care	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

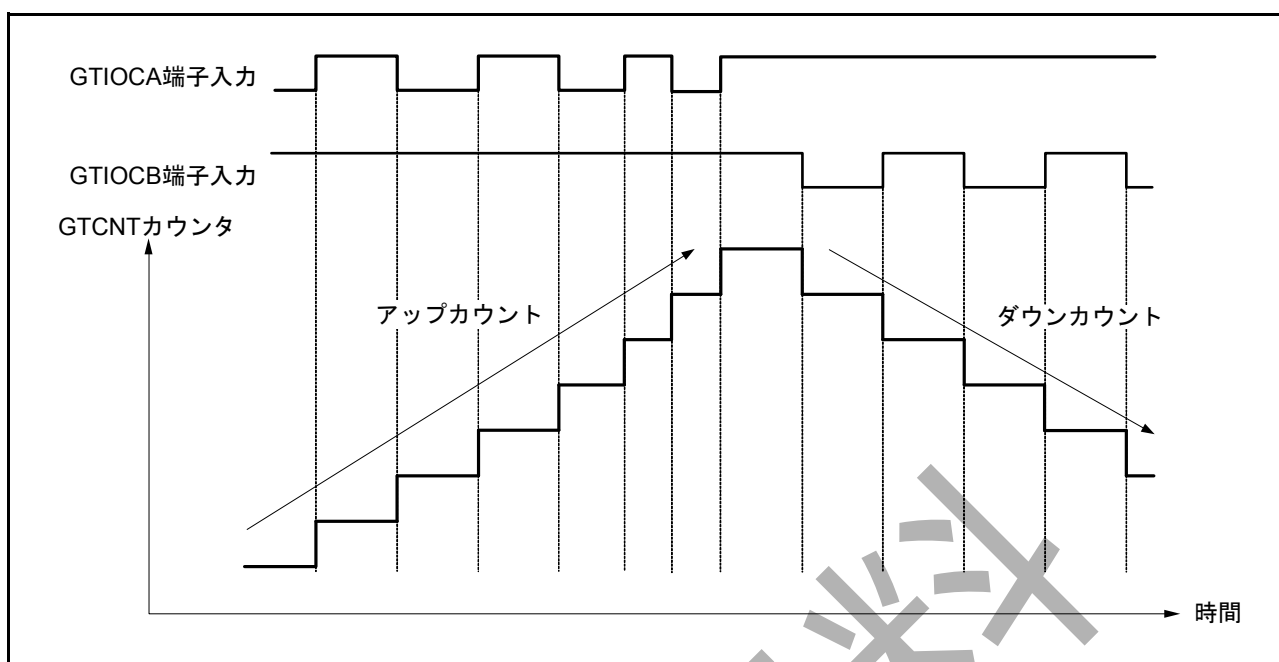


図 19.73 位相計数モード3の動作例 (C)

表 19.13 位相計数モード3でのアップカウント/ダウンカウントの条件 (C)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR レジスタ = 0000A00h GTDNSR レジスタ = 0000A00h
Low	↓	Don't care	
↑	Low	アップカウント	
↓	High	ダウンカウント	
High	↓	ダウンカウント	
Low	↑	Don't care	
↑	High	アップカウント	
↓	Low	Don't care	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

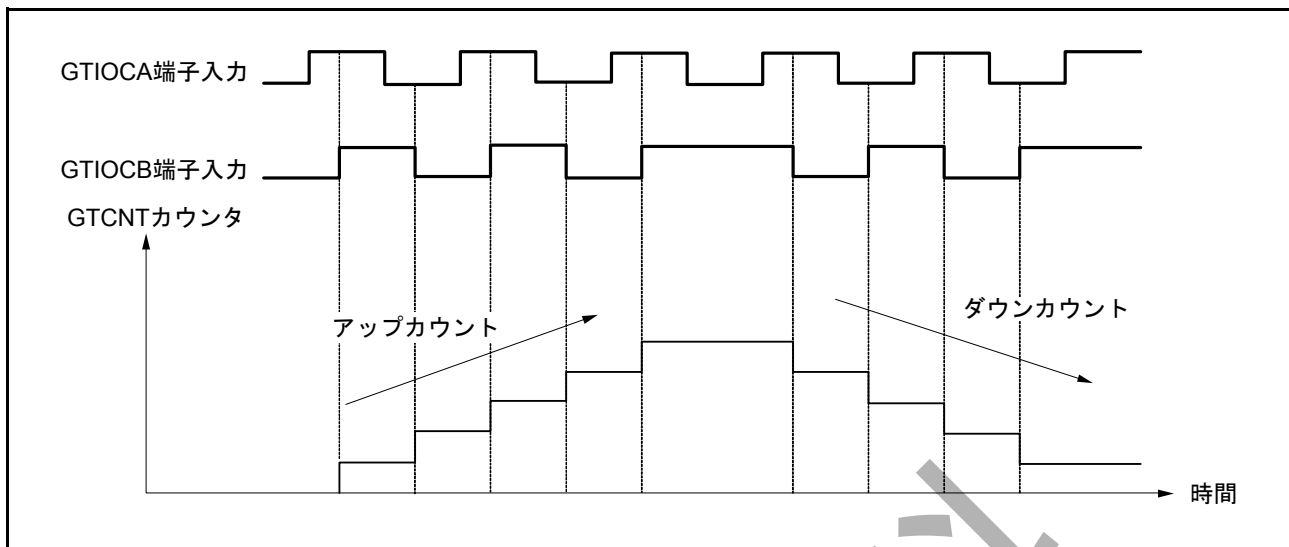


図 19.74 位相計数モード4の動作例

表 19.14 位相計数モード4でのアップカウント/ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR レジスタ = 00006000h GTDNSR レジスタ = 00009000h
Low	↓	アップカウント	
↑	Low	Don't care	
↓	High	ダウンカウント	
High	↓	ダウンカウント	
Low	↑	ダウンカウント	
↑	High	Don't care	
↓	Low	Don't care	

↑ : 立ち上がりエッジ  
↓ : 立ち下がりエッジ

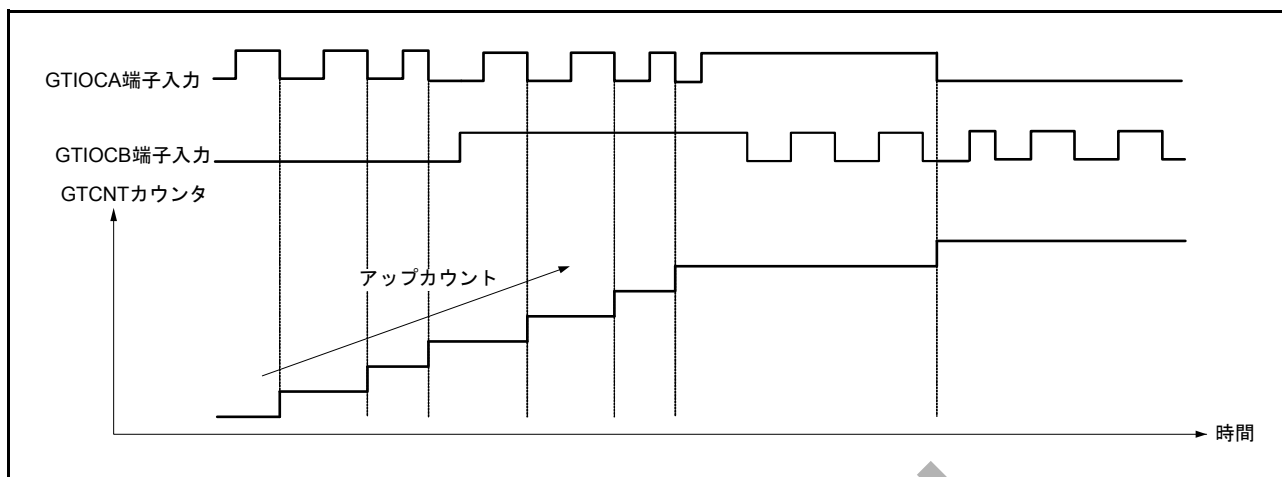


図 19.75 位相計数モード5の動作例 (A)

表 19.15 位相計数モード5でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 00000C00h GTDNSR レジスタ = 00000000h
Low		Don't care	
	Low	アップカウント	
	High	Don't care	
High		Don't care	
Low		Don't care	
	High	アップカウント	
	Low	アップカウント	

: 立ち上がりエッジ

: 立ち下がりエッジ

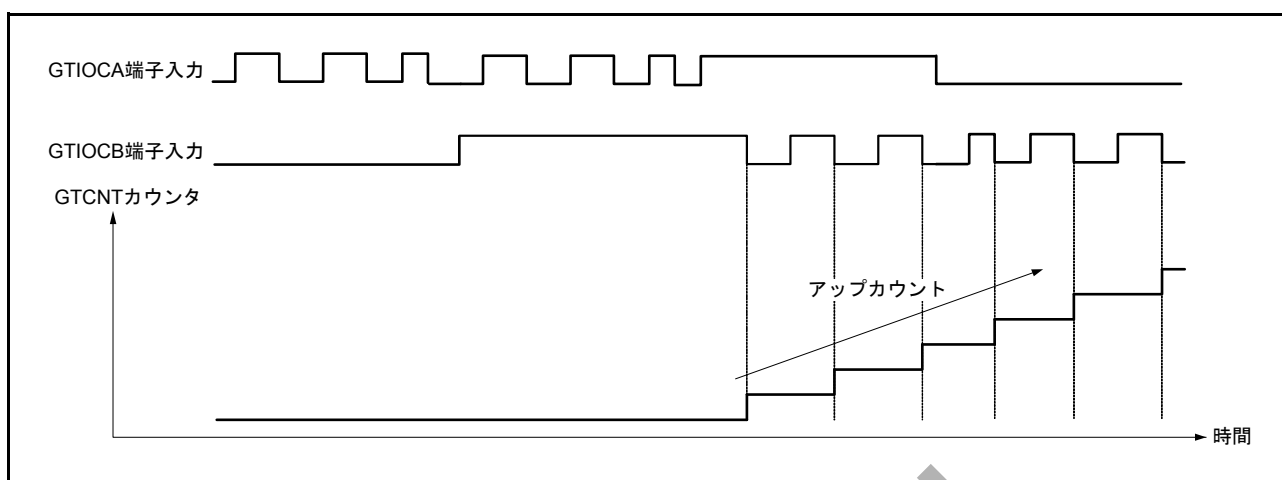


図 19.76 位相計数モード5の動作例 (B)

表 19.16 位相計数モード5でのアップカウント/ダウンカウントの条件 (B)

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 00000C00h GTDNSR レジスタ = 00000000h
Low		アップカウント	
	Low	Don't care	
	High	アップカウント	
High		アップカウント	
Low		Don't care	
	High	アップカウント	
	Low	Don't care	

: 立ち上がりエッジ

: 立ち下がりエッジ

### 19.3.11 出力相切り替え (GPT\_OPS)

GPT\_OPS は、出力相切り替えコントロールレジスタ (OPSCR) によるブラシレス DC モータ動作の簡易制御機能を提供します。

GPT\_OPS は、6相モータ制御の各相 (U 正相/逆相、V 正相/逆相、W 正相/逆相) のレベル信号またはチョップ制御に使用する PWM 信号を出力します。この機能では、ソフトウェアで設定したソフト設定値 (OPSCR.UF、VF、WF ビット)、ホール素子により検知した外部信号、GPT161.GTIOCA 端子の PWM 波形などを使用します。

図 19.77 に GPT\_OPS 制御フローの概念図を示します。

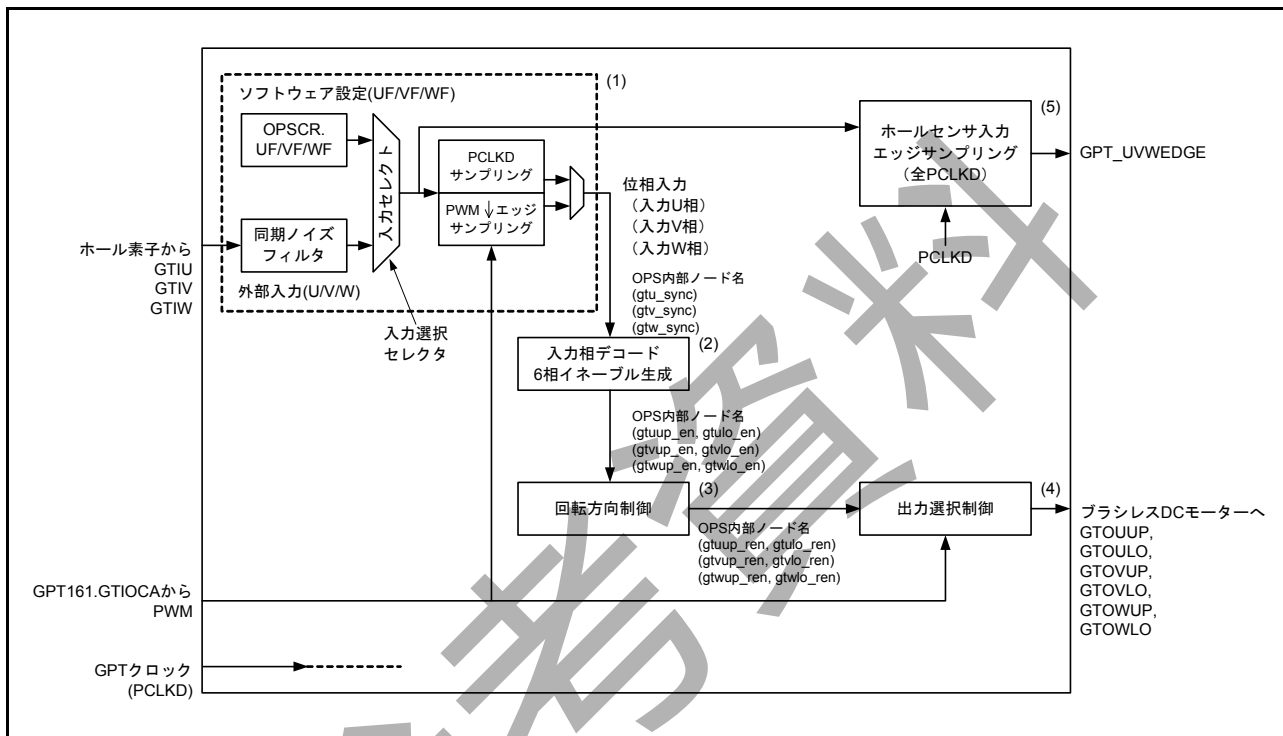


図 19.77 GPT\_OPS 制御フロー概念図

図 19.78 に GPT\_OPS 動作の 6 相レベル信号出力例を示します。

図 19.78 の GPT\_UVWEDGE 信号は、ELC 出力へのホールセンサ入力エッジです。

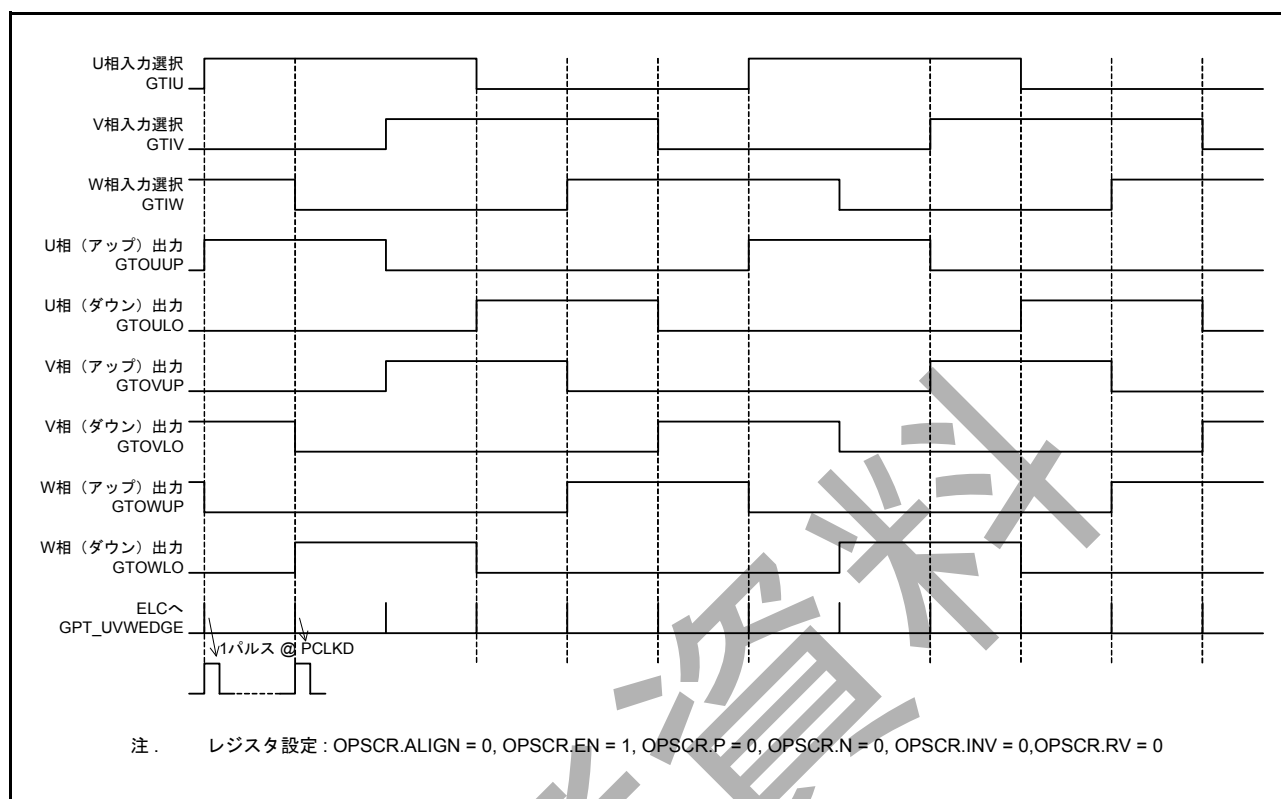


図 19.78 6 相レベル出力動作例



図 19.79 に GPT\_OPS 動作の 6 相 PWM 出力例 (チョップ制御) を示します。

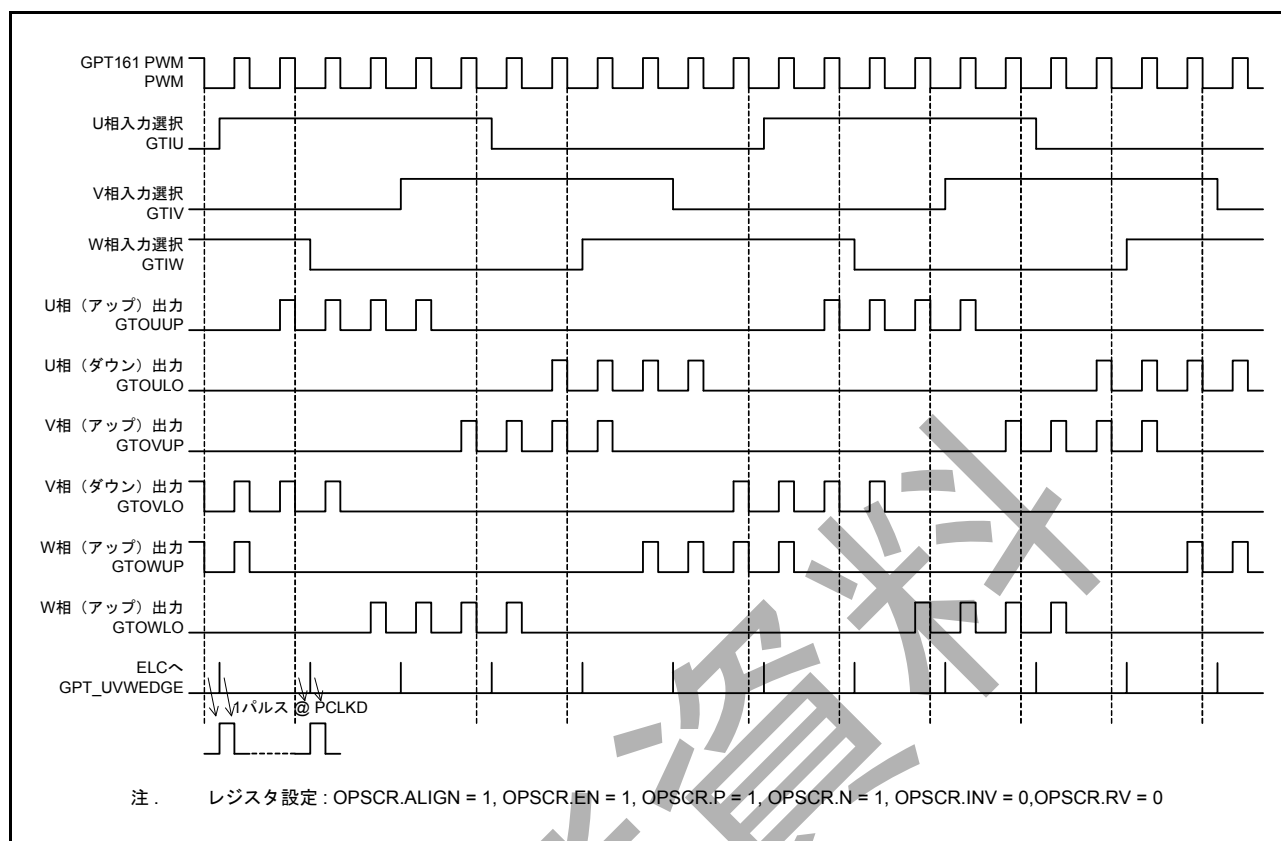


図 19.79 6 相 PWM 出力動作例 (チョップ制御)

図 19.80 に出力禁止制御の例 (6相PWM出力動作) を示します。

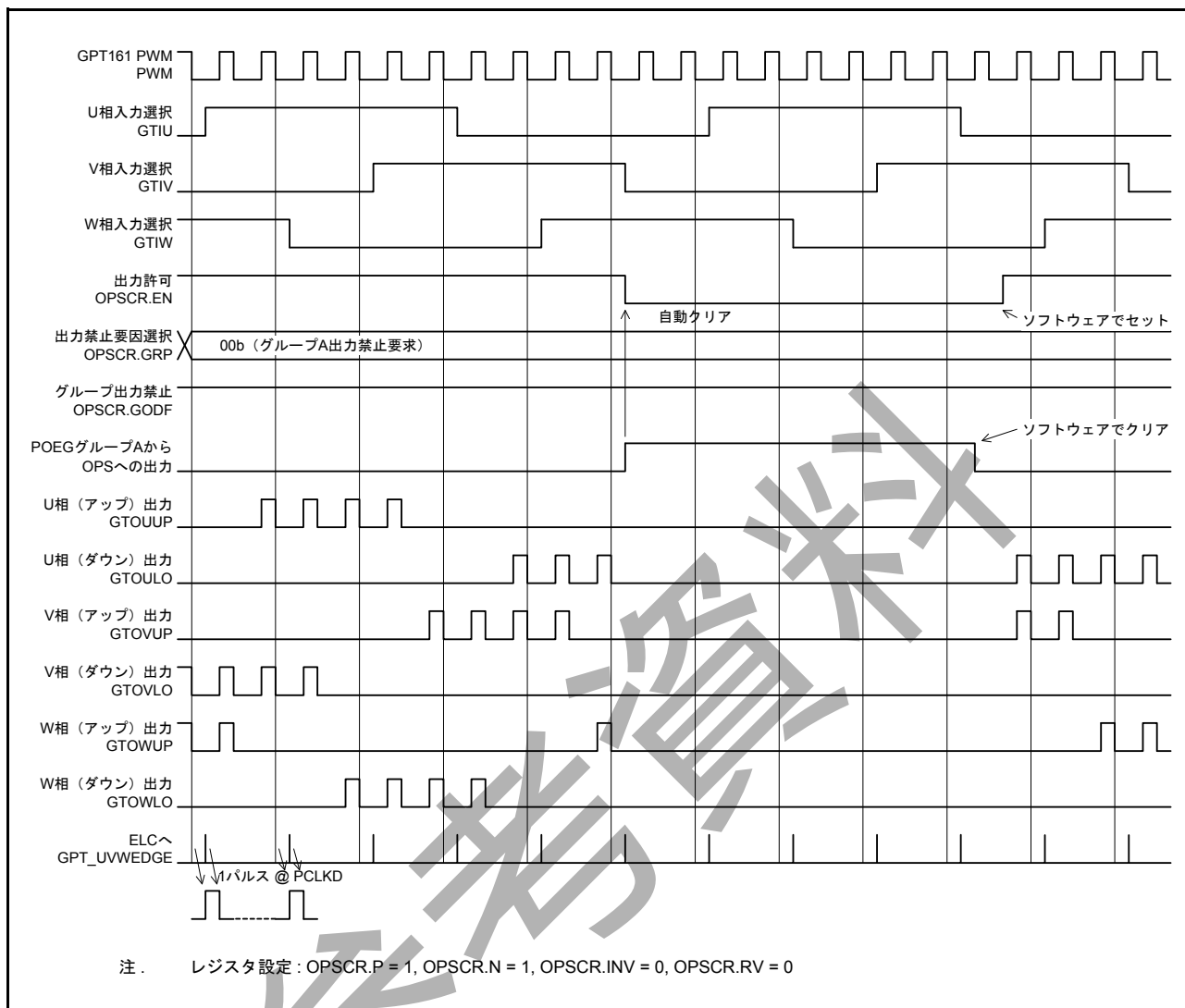


図 19.80 グループ出力禁止制御動作例

### 19.3.11.1 外部入力信号の同期および入力選択

図 19.77 に示す GPT\_OPS 制御フロー概念図の (1) の部分では、ソフトウェア設定による入力相と OPSCR.FB ビットによる外部入力を選択します。

OPSCR.FB ビットが 0 の場合、外部入力を選択してください。GPT クロック (PCLKD) で同期してから入力信号を許可してください。ノイズフィルタ (オプション) 実施後、OPSCR.ALIGN ビットを 1 にしてサンプリングした立ち下がりエッジで、外部入力を PWM (GPT161.GTIOCA 端子の PWM) の入力相に設定してください。

OPSCR.FB ビットが 1 の場合、OPSCR.ALIGN ビットを 1 にしてサンプリングした立ち下がりエッジで、PWM (GPT161.GTIOCA 端子の PWM) の入力相の値でソフト設定 (OPSCR.UF、VF、WF ビット) を選択してください。

OPSCR.ALIGN ビットが 0 の場合、OPSCR.FB ビットが 0 または 1 のいずれにおいても、GPT\_OPS は PCLKD 同期の入力相で動作します。ただし、切り替えタイミング (直前/直後) の出力 U/V/W 相 (PWM 出力モード) の PWM パルス幅が狭くなる場合があります。

表 19.17 に、入力選択処理と対応する OPSCR レジスタのビット設定を示します。

表 19.17 入力選択処理方法

OPSCR レジスタ		入力相サンプリング方法の選択 (U/V/W相)	同期入出力選択処理 (GPT_OPS 内部ノード名)
FB ビット	ALIGN ビット		
0	1	PWM立ち下がりエッジサンプリングでの外部入力 (PCLKD同期 + 立ち下がりエッジサンプル)	"入力相" 入力U相 (gtu_sync) 入力V相 (gtv_sync) 入力W相 (gtw_sync)
	0	PCLKD同期出力での外部入力 (PCLKD同期 + スルーモード)	
1	1	PWM立ち下がりエッジサンプリングでのソフトウェア設定 (立ち下がりエッジサンプルの OPSCR.UF、VF、WF ビット)	
	0	ソフトウェア設定値選択 (= OPSCR.UF/VF/WF ビット値) (= PCLKD 同期)	

### 19.3.11.2 入力サンプリング

OPSCR.U、V、W レジスタは、PCLKD および、OPSCR.FB ビットで選択した入力のサンプリング結果を示すレジスタです。

OPSCR.FB ビットが 0 の場合、GPT クロック (PCLKD) との同期およびノイズフィルタリング (オプション) 後に、OPSCR.U、V、W レジスタは外部入力のサンプリング結果を示します。

OPSCR.FB ビットが 1 の場合、OPSCR.U、V、W レジスタはソフト設定値 (OPSCR.UF、VF、WF ビット) です。

### 19.3.11.3 入力相デコード

図 19.77 に示す GPT\_OPS 制御フロー概念図の (2) の部分では、OPSCR.FB ビットで選択した入力相をデコードすることにより、6 相信号を有効にします。6 相許可信号は、GPT\_OPS の内部処理に使用されます。

表 19.18 に入力相のデコード表を示します。

表 19.18 入力相デコード表

入力相 (U/V/W) (GPT_OPS 内部ノード名)			入力相のデコードによる 6 相許可 [U/V/W (Up/Lo)] (GPT_OPS 内部ノード名)					
入力U相	入力V相	入力W相	U相 (Up)	U相 (Lo)	V相 (Up)	V相 (Lo)	W相 (Up)	W相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	0	0	1
1	1	0	0	0	1	0	0	1
0	1	0	0	1	1	0	0	0
0	1	1	0	1	0	0	1	0
0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

### 19.3.11.4 回転方向制御

図 19.77 に示す GPT\_OPS 制御フロー概念図の (3) の部分では、OPSCR.RV ビットを使用して 3 相モータの回転方向を制御します。

OPSCR.RV ビットが 1 の場合、V 相と W 相を入れ替えることにより、OPSCR.RV ビット設定 0 の回転方向を反転させます。

表 19.19 に、OPSCR.RV ビットへの出力相の割り当て (回転方向制御の実施前後) を示します。

表 19.19 回転方向制御方法

OPSCR レジスタ出力相 回転方向反転	回転方向制御の出力 [U/V/W (正/逆)] (制御後の GPT_OPS 内部ノード名)					
	(gtulo_ren)	(gtuup_ren)	(gtvup_ren)	(gtvlo_ren)	(gtwup_ren)	(gtwlo_ren)
0	U相 (Up) (gtuup_en)	U相 (Lo) (gtulo_en)	V相 (Up) (gtvup_en)	V相 (Lo) (gtvlo_en)	W相 (Up) (gtwup_en)	W相 (Lo) (gtwlo_en)
1	U相 (Up) (gtuup_en)	U相 (Lo) (gtulo_en)	W相 (Up) (gtwup_en)	W相 (Lo) (gtwlo_en)	V相 (Up) (gtvup_en)	V相 (Lo) (gtvlo_en)

### 19.3.11.5 出力選択制御

図 19.77 に示す GPT\_OPS 制御フロー概念図の (4) の部分では、OPSCR レジスタのビットを設定することによって出力波形を選択します。

出力選択に関連するビットを以下に示します。

- OPSCR.EN ビット : 6 相出力の出力/停止を制御
- OPSCR.P ビットおよび OPSCR.N ビット : 出力相に対してレベル信号/ PWM 信号 (チョッパ出力) を選択可能
- 出力相の極性は、OPSCR.INV ビットで正論理/負論理に設定可能

表 19.20 および表 19.21 に、OPSCR レジスタのビットを使用した出力選択制御方法を示します。

表 19.20 出力選択制御方法 (正相)

イネーブル相出力制御	正相出力 (P) 制御	反転相出力制御	出力ポート名 (正相 = Up) (出力選択内部ノード割り当て)	
			GTOUUP GTOVUP GTOWUP	モード
OPSCR.EN レジスタ	OPSCR.P レジスタ	OPSCR.INV レジスタ		
0	x	x	0	出力停止 (外部端子 Hi-Z) GPT_OPS → 0 出力
1	0	0	レベル信号 (gtuup_ren) (gtvup_ren) (gtwup_ren)	レベル出力モード (正相) (正論理)
1	0	1	レベル信号 (~gtuup_ren) (~gtvup_ren) (~gtwup_ren)	レベル出力モード (正相) (負論理)
1	1	0	PWM 信号 (PWM & gtuup_ren) (PWM & gtvup_ren) (PWM & gtwup_ren)	PWM 出力モード (正相) (正論理)
1	1	1	PWM 信号 (~(PWM & gtuup_ren)) (~(PWM & gtvup_ren)) (~(PWM & gtwup_ren))	PWM 出力モード (正相) (負論理)

表 19.21 出力選択制御方法 (逆相)

イネーブル相出力制御	正相出力 (N) 制御	反転相出力制御	出力ポート名 (逆相 = Lo) (出力選択内部ノード割り当て)	
			GTOULO GTOVLO GTOWLO	モード
OPSCR.EN レジスタ	OPSCR.N レジスタ	OPSCR.INV レジスタ		
0	x	x	0	出力停止 (外部端子 Hi-Z) GPT_OPS → 0 出力
1	0	0	レベル信号 (gtulo_ren) (gtvlo_ren) (gtwlo_ren)	レベル出力モード (逆相) (正論理)
1	0	1	レベル信号 (~gtulo_ren) (~gtvlo_ren) (~gtwlo_ren)	レベル出力モード (逆相) (負論理)
1	1	0	PWM 信号 (PWM & gtulo_ren) (PWM & gtvlo_ren) (PWM & gtwlo_ren)	PWM 出力モード (逆相) (正論理)
1	1	1	PWM 信号 (~ (PWM & gtulo_ren)) (~ (PWM & gtvlo_ren)) (~ (PWM & gtwlo_ren))	PWM 出力モード (逆相) (負論理)

### 19.3.11.6 出力選択制御 (グループ出力禁止機能)

OPSCR.GODF ビットが 1 の場合、OPSCR.GRP ビットで選択した信号値が High (出力禁止要求) であると、GPT\_OPS 出力端子は非同期に Hi-Z に変化し、PCLKD と同期した出力禁止要求信号によって OPSCR.EN ビットは 0 にクリアされます。

その応答として、ソフトウェアによって出力禁止要求をクリアした後、OPSCR.EN ビットを 1 にしてください。

OPSCR.EN ビットが 0 にクリアされるタイミングは、出力禁止要求が発生してから PCLKD の 3 サイクル後です。出力禁止制御を確実に実行するには、(POEG の出力禁止要求フラグのクリアによる) 出力禁止要求の発生から停止まで、少なくとも PCLKD の 4 サイクル待つ必要があります。

グループ出力禁止制御の動作例については、[図 19.80](#) を参照してください。

### 19.3.11.7 イベントリンクコントローラ (ELC) 出力

[図 19.77](#) に示す GPT\_OPS 制御フロー概念図の (5) の部分では、ホールセンサ入力信号エッジをイベントリンクコントローラに出力します。

ホールセンサ入力エッジ信号は、GPT クロック (PCLKD) で検出したパルスと、入力相の U 相 / V 相 / W 相それぞれの立ち上がり / 立ち下がりエッジとの論理積となります。すなわち、入力相の U 相 / V 相 / W 相それぞれの High レベル持続期間が短いと、その時点でホールセンサエッジ入力信号は出力されません。

OPSCR.FB ビットが 0 の場合、ホールセンサ入力エッジ信号は、GPT クロック (PCLKD) で検出したパルスと、外部入力相のエッジとの論理積となります。

OPSCR.FB ビットが 1 の場合、ホールセンサ入力エッジ信号は、GPT クロック (PCLKD) で検出したパルスと、ソフト設定 (OPSCR.UF、VF、WF ビット) のエッジとの論理積となります。

ELC への出力信号の例については、[図 19.78](#) ~ [図 19.80](#) を参照してください。

## 19.3.11.8 GPT OPS スタート動作設定フロー

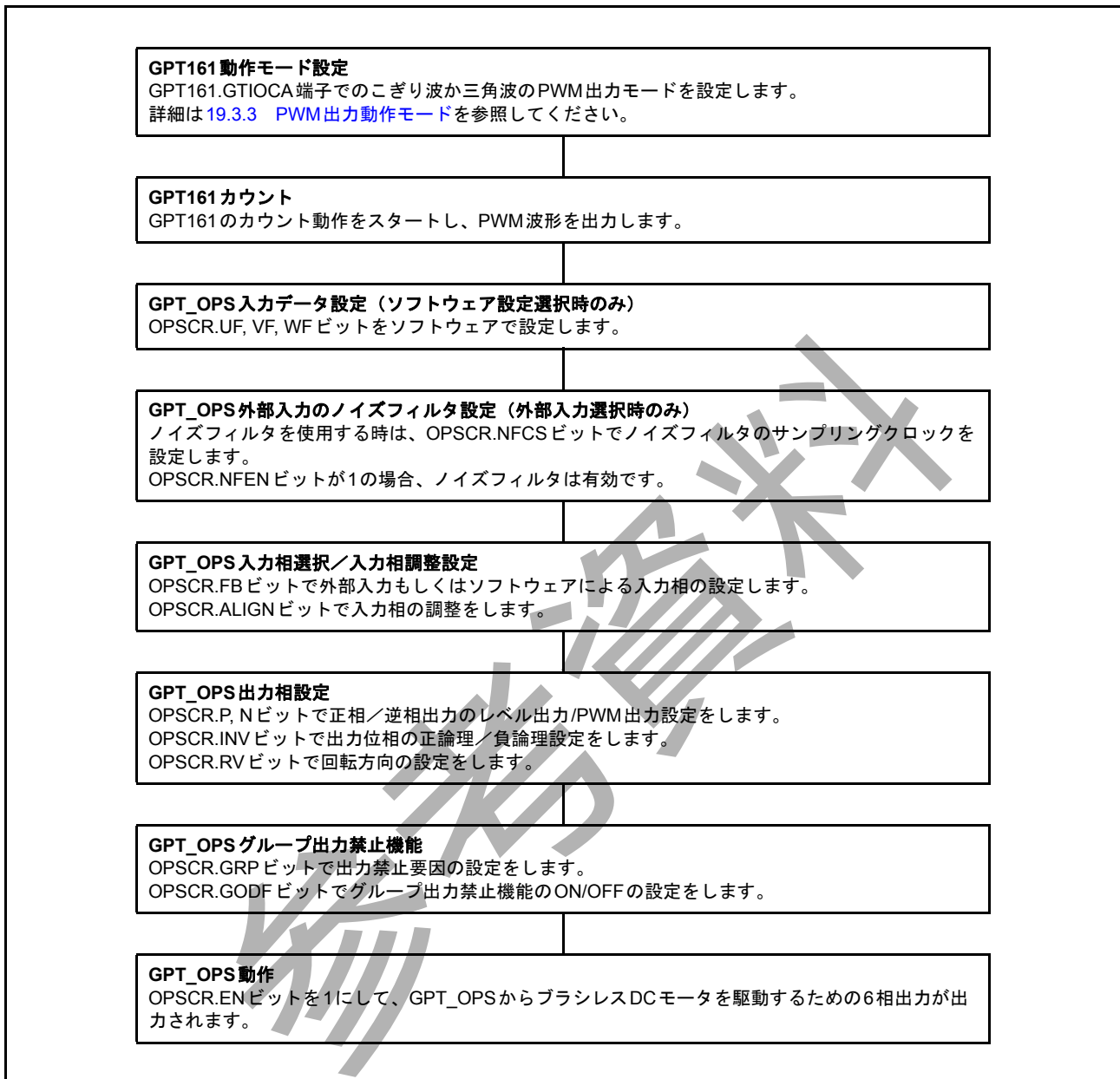


図 19.81 GPT OPS スタート動作設定例

## 19.4 割り込み要因

### 19.4.1 割り込み要因と優先順位

GPT には以下の割り込み要因があります。

- GTCCR のインプットキャプチャ/コンペアマッチ
- GTCNT カウンタのオーバーフロー (GTPR のコンペアマッチ) /アンダーフロー

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態により自動更新されます。

割り込みコントローラユニットでは、チャンネル間の優先順位を変更できます。ただし、1 つのチャンネル内での優先順位は固定されています。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。表 19.22 は、GPT の割り込み要因の一覧です。

表 19.22 割り込み要因 (1/2)

チャンネル	名称	割り込み要因	割り込みフラグ	DTCの起動
0	GPT0_CCMPA	GPT320.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT0_CCMPB	GPT320.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT0_CMPC	GPT320.GTCCRCコンペアマッチ	TCFC	可能
	GPT0_CMPD	GPT320.GTCCRDコンペアマッチ	TCFD	可能
	GPT0_OVF	GPT320.GTCNTオーバーフロー (GPT320.GTPRコンペアマッチ)	TCFPO	可能
	GPT0_UDF	GPT320.GTCNTアンダーフロー	TCFPU	可能
1	GPT1_CCMPA	GPT161.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT1_CCMPB	GPT161.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT1_CMPC	GPT161.GTCCRCコンペアマッチ	TCFC	可能
	GPT1_CMPD	GPT161.GTCCRDコンペアマッチ	TCFD	可能
	GPT1_OVF	GPT161.GTCNTオーバーフロー (GPT161.GTPRコンペアマッチ)	TCFPO	可能
	GPT1_UDF	GPT161.GTCNTアンダーフロー	TCFPU	可能
2	GPT2_CCMPA	GPT162.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT2_CCMPB	GPT162.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT2_CMPC	GPT162.GTCCRCコンペアマッチ	TCFC	可能
	GPT2_CMPD	GPT162.GTCCRDコンペアマッチ	TCFD	可能
	GPT2_OVF	GPT162.GTCNTオーバーフロー (GPT162.GTPRコンペアマッチ)	TCFPO	可能
	GPT2_UDF	GPT162.GTCNTアンダーフロー	TCFPU	可能
3	GPT3_CCMPA	GPT163.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT3_CCMPB	GPT163.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT3_CMPC	GPT163.GTCCRCコンペアマッチ	TCFC	可能
	GPT3_CMPD	GPT163.GTCCRDコンペアマッチ	TCFD	可能
	GPT3_OVF	GPT163.GTCNTオーバーフロー (GPT163.GTPRコンペアマッチ)	TCFPO	可能
	GPT3_UDF	GPT163.GTCNTアンダーフロー	TCFPU	可能
4	GPT4_CCMPA	GPT164.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT4_CCMPB	GPT164.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT4_CMPC	GPT164.GTCCRCコンペアマッチ	TCFC	可能
	GPT4_CMPD	GPT164.GTCCRDコンペアマッチ	TCFD	可能
	GPT4_OVF	GPT164.GTCNTオーバーフロー (GPT164.GTPRコンペアマッチ)	TCFPO	可能
	GPT4_UDF	GPT164.GTCNTアンダーフロー	TCFPU	可能



表 19.22 割り込み要因 (2/2)

チャンネル	名称	割り込み要因	割り込みフラグ	DTCの起動
5	GPT5_CCMPA	GPT165.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT5_CCMPB	GPT165.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT5_CMPC	GPT165.GTCCRCコンペアマッチ	TCFC	可能
	GPT5_CMPD	GPT165.GTCCRDコンペアマッチ	TCFD	可能
	GPT5_OVF	GPT165.GTCNTオーバーフロー (GPT165.GTPRコンペアマッチ)	TCFPO	可能
	GPT5_UDF	GPT165.GTCNTアンダーフロー	TCFPU	可能
6	GPT6_CCMPA	GPT166.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT6_CCMPB	GPT166.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT6_CMPC	GPT166.GTCCRCコンペアマッチ	TCFC	可能
	GPT6_CMPD	GPT166.GTCCRDコンペアマッチ	TCFD	可能
	GPT6_OVF	GPT166.GTCNTオーバーフロー (GPT166.GTPRコンペアマッチ)	TCFPO	可能
	GPT6_UDF	GPT166.GTCNTアンダーフロー	TCFPU	可能

注. この表は、リセット直後の初期状態を示しています。割り込みコントローラユニットでは、チャンネル間の優先順位を変更できません。

### (1) GPTn\_CCMPA 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- GTCCRAレジスタがコンペアマッチレジスタとして機能している場合、GTCNTカウンタ値がGTCCRAレジスタ値と一致したとき
- GTCCRAレジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によってGTCNTカウンタ値がGTCCRAレジスタに転送されたとき

### (2) GPTn\_CCMPB 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- GTCCRBレジスタがコンペアマッチレジスタとして機能している場合、GTCNTカウンタ値がGTCCRBレジスタ値と一致したとき
- GTCCRBレジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によってGTCNTカウンタ値がGTCCRBレジスタに転送されたとき

### (3) GPTn\_CMPC 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- GTCCRCレジスタがコンペアマッチレジスタとして機能している場合、GTCNTカウンタ値がGTCCRCレジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波PWMモード3)
- GTBER.CCRA[1:0] ビット = 01b、10b、11b (GTCCRCレジスタがバッファ動作)

**(4) GPTn\_CMPD 割り込み (n = 0 ~ 6)**

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRD レジスタがバッファ動作)

**(5) GPTn\_OVF 割り込み (n = 0 ~ 6)**

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) によって割り込み要求が許可されたとき
- 三角波モードの場合、山 (GTCNT カウンタ値が GTPR 値から GTPR 値 -1 に変化) によって割り込み要求が許可されたとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) が発生したとき

**(6) GPTn\_UDF 割り込み (n = 0 ~ 6)**

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、アンダーフロー (ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化) によって割り込み要求が許可されたとき
- 三角波モードの場合、谷 (GTCNT カウンタ値が 0 から 1 に変化) によって割り込み要求が許可されたとき
- ハードウェア要因によるカウントで、アンダーフロー (ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化) が発生したとき

**表 19.23 割り込み信号と割り込みステータスフラグ**

割り込み信号	割り込みステータスフラグ
GPTn_UDF	GTST[7] (TCFPU)
GPTn_OVF	GTST[6] (TCFPO)
GPTn_CMPD	GTST[3] (TCFD)
GPTn_CMPC	GTST[2] (TCFC)
GPTn_CCMPB	GTST[1] (TCFB)
GPTn_CCMPA	GTST[0] (TCFA)

n = 0 ~ 6

**19.4.2 DTC の起動**

各チャンネルの割り込みによって、DTC を起動することができます。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」と「[14. データトランスファコントローラ \(DTC\)](#)」を参照してください。

## 19.5 ELC によるリンク動作

### 19.5.1 ELC へのイベント信号出力

GPT では、その割り込み要求信号がイベントリンクコントローラ (ELC) でイベント信号として使用された場合、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn\_CCMPA)
- コンペアマッチ B 割り込み発生 (GPTn\_CCMPB)
- コンペアマッチ C 割り込み発生 (GPTn\_CMPC)
- コンペアマッチ D 割り込み発生 (GPTn\_CMPD)
- オーバーフロー割り込み発生 (GPTn\_OVF)
- アンダーフロー割り込み発生 (GPTn\_UDF)

注. n = 0 ~ 6

### 19.5.2 ELC からのイベント信号入力

GPT は、イベントリンクコントローラ (ELC) からの最大 6 個のイベントに対して、以下の動作の実行が可能です。

- カウントスタート/ストップ/クリア
- アップカウント/ダウンカウント
- インプットキャプチャ

ハードウェア要因についての詳細は、[19.3 動作説明](#)を参照してください。

## 19.6 ノイズフィルタ機能

GPT の入力キャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプル周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効/無効にすることや、チャンネルごとにサンプリングクロックを設定することが可能です。

図 19.82 にノイズフィルタのタイミングを示します。

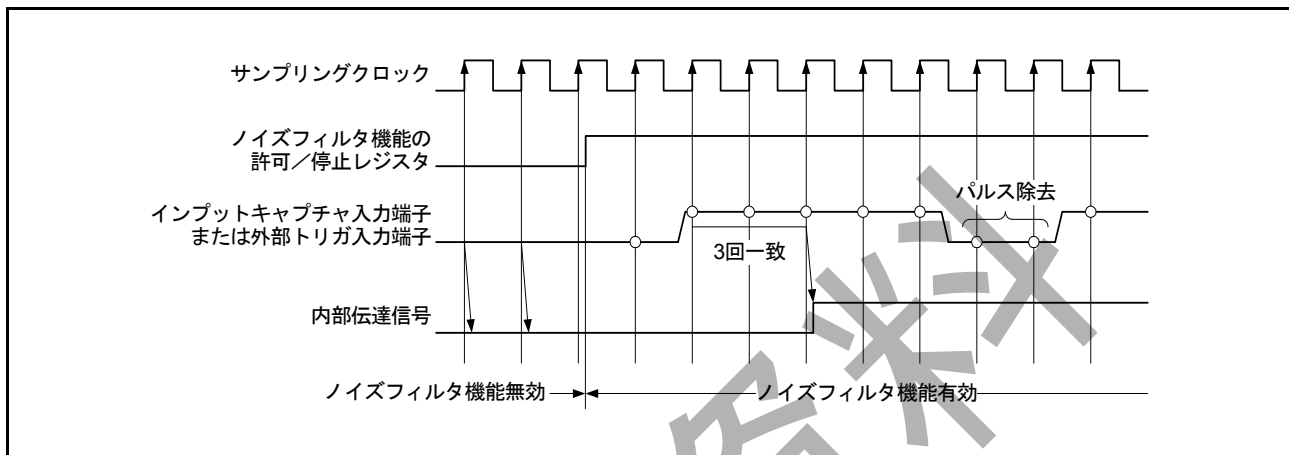


図 19.82 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、「最小サンプリング周期×2+PCLKD」の遅延の後、ノイズフィルタ対象信号の両エッジで入力キャプチャ動作または外部トリガ動作が実行されます。この遅延は、入力キャプチャ入力または外部トリガ動作に対するノイズフィルタリングに起因するものです。

## 19.7 保護機能

### 19.7.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャンネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCR, GTUPSR, GTDNSR, GTICASR, GTIBCSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU

### 19.7.2 バッファ動作の禁止

バッファレジスタへの書き込みタイミングが、バッファの転送タイミングに対して遅延した場合、GTBER.BD ビットの設定でバッファ動作の中断が可能です。具体的には、バッファレジスタへの書き込み前に対応する GTBER.BD ビットを 1 (バッファ動作禁止) にしておき、すべてのバッファレジスタへの書き込み終了後に 0 (バッファ動作許可) に戻すことによって、バッファレジスタへの書き込み中にバッファ転送条件が発生しても、バッファ転送を一時的に禁止することが可能です。

図 19.83 にバッファ動作を禁止するための動作例を示します。

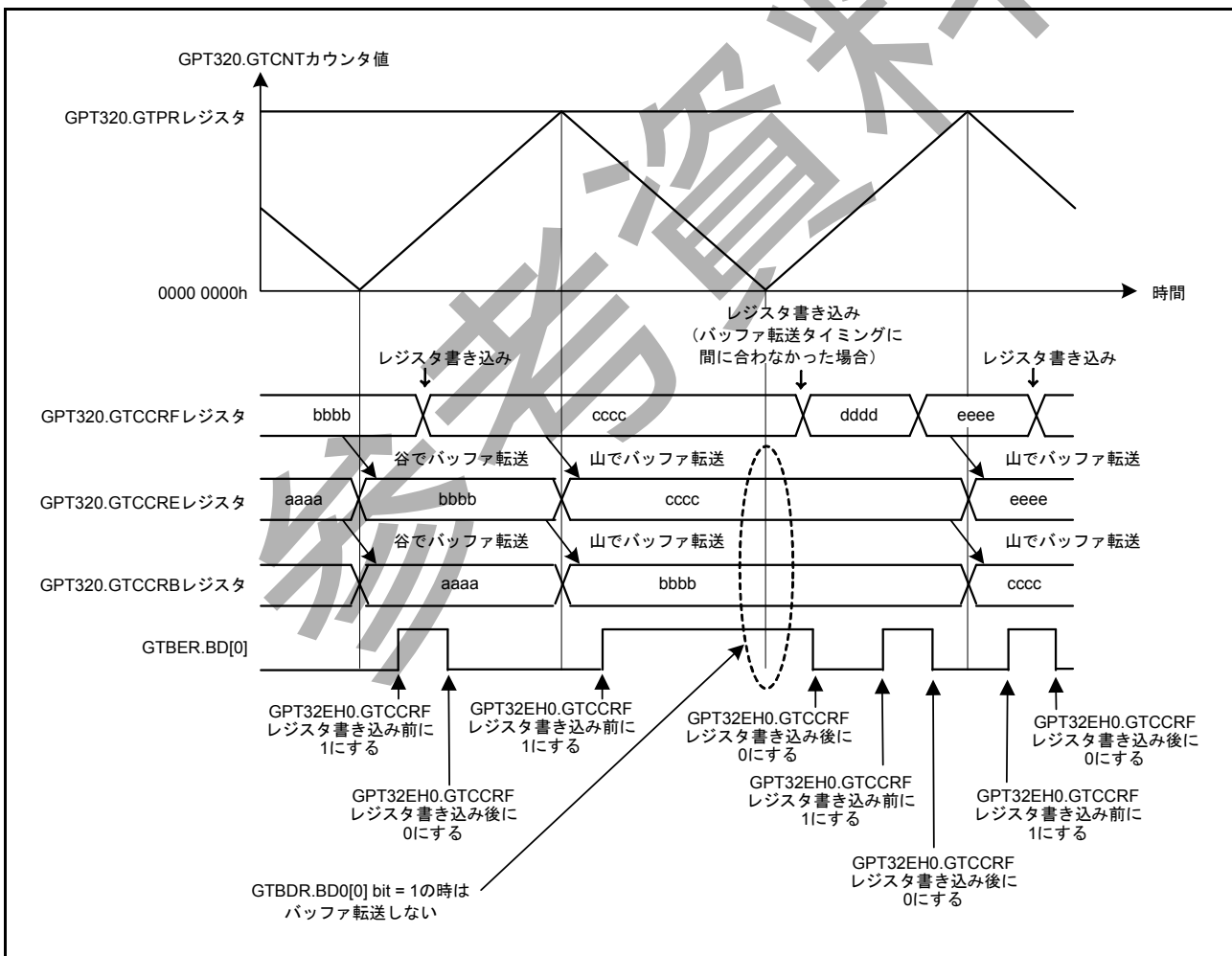


図 19.83 バッファ動作禁止の動作例 (三角波、ダブルバッファ動作、谷および山の両方でバッファ転送の場合)

### 19.7.3 GTIOC 端子出力のネゲート制御

システム障害から保護するために、POEG からの出力禁止要求によって、GTIOC 端子の出力値を強制的に変更する出力禁止制御が備えられています。デッドタイムエラーが発生した場合や、GTIOA 端子の出力値が GTIOB 端子の出力値と同じ場合には、出力保護が必要です。GPT は、そのような事例を検出すると、GTINAD.GRPABH ビットや GTINTAD.GRPABL ビットなどの出力禁止要求許可ビットの設定に応じて、POEG に対して出力禁止要求を発生させます。POEG は、各チャンネルから出力禁止要求を受信すると、OR 演算を用いて外部入力を計算し、GPT に対して出力禁止要求を発生させます。

POEG が発生させた 2 つの出力禁止要求のうちの 1 つの出力禁止信号 (GTIOCA 端子と GTIOCB 端子の共通出力禁止要求信号) が、GTINTAD.GRP[1:0] ビットの設定で選択されます。選択した禁止出力要求の状態は、GTST.ODF ビットを読むことでモニタできます。出力禁止中の出力レベルは、GTIOCA 端子については GTIOR.OADF[1:0] ビットで、GTIOCB 端子については GTIOR.OBDF[1:0] ビットで設定されます。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止状態の解除タイミングは、出力禁止要求の停止から、早くとも PCLKD の 3 サイクル後です。出力禁止制御を確実に実行するには、(POEG の出力禁止要求フラグのクリアによる) 出力禁止要求の発生から停止まで、少なくとも PCLKD の 4 サイクル待つ必要があります。

イベントカウント実行時、または出力禁止状態を周期の終わりを待たずにただちに解除する必要がある場合は、GTIOR.OADF[1:0] ビットを 00b (GTIOCA 端子の場合) にするか、GTIOR.OBDF[1:0] ビットを 00b (GTIOCB 端子の場合) にしてください。

図 19.84 に GTIOC 端子出力禁止制御の動作例を示します。

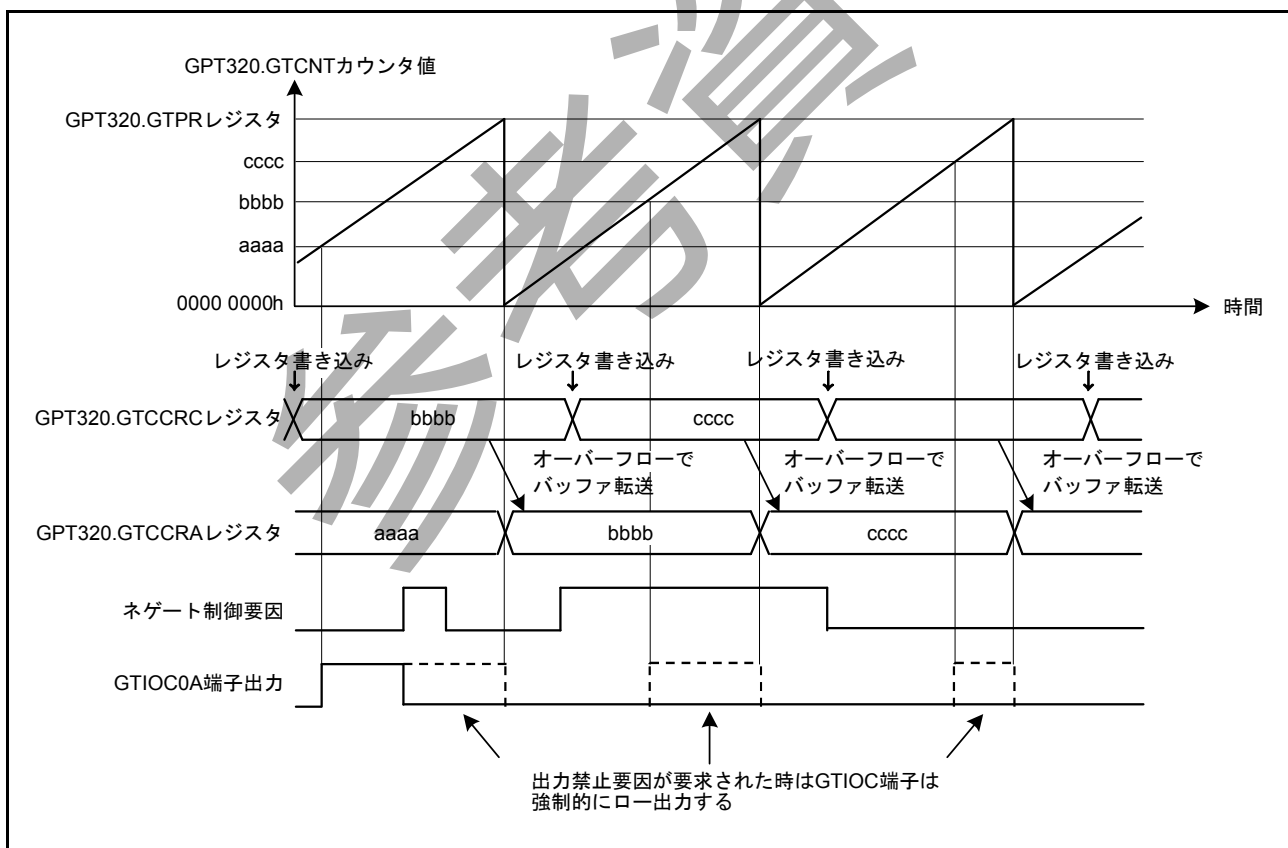


図 19.84 GTIOC 端子出力禁止制御動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合)

## 19.8 出力端子の初期化方法

### 19.8.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートモードを設定し、GTIOR.OAE および GTIOR.OBE ビットを設定し、GPT 機能を外部端子に出力してから、カウントを開始してください。

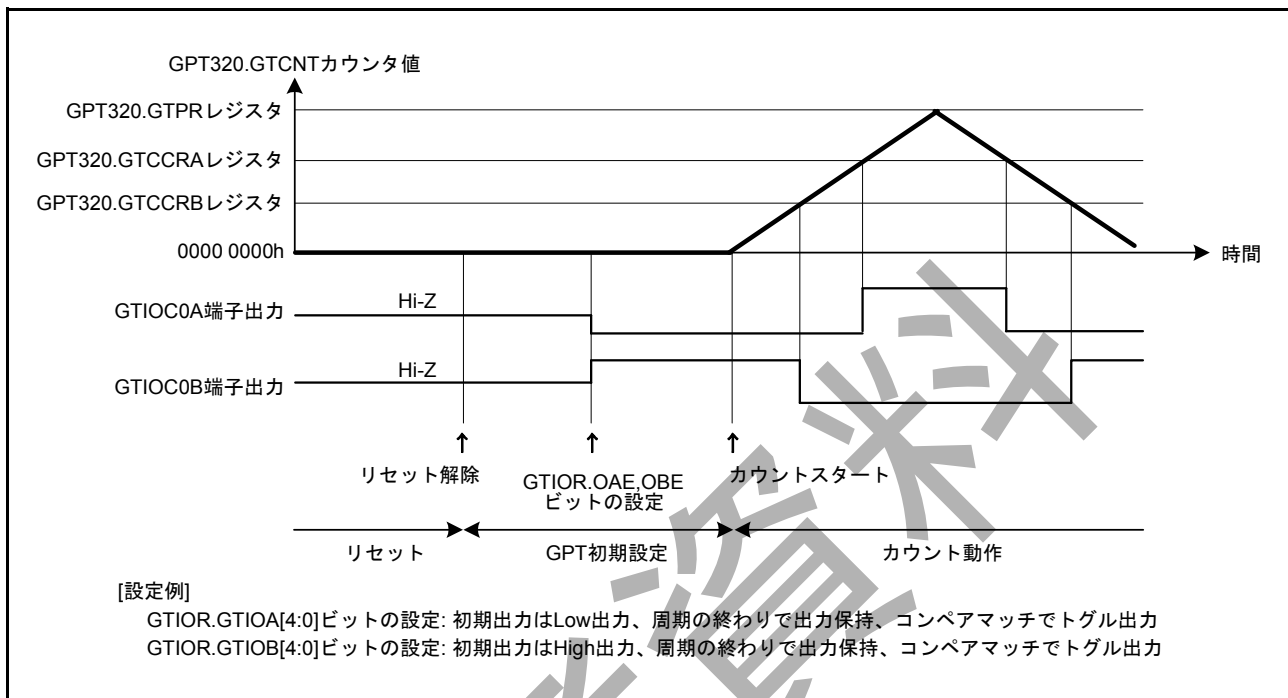


図 19.85 リセット後の端子設定例

### 19.8.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子処理を実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの PDR、PODR、PMR レジスタを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PMR レジスタの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行った後は、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウントを停止させた場合は、各レジスタを初期化してからカウントを再開してください。

## 19.9 使用上の注意事項

### 19.9.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタによって、GPT の動作を許可または禁止できます。リセット後、GPT の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

### 19.9.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F)

#### (1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次の両方の条件を満たす必要があります。

- $GTDVU < GTCCRA$
- $GTCCRA < GTPR$

#### (2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$  の範囲に収まるように設定する必要があります。GTCCRA = 0 または  $GTCCRA \geq GTPR$  に設定しても、GTCCRA = 0 または  $GTCCRA = GTPR$  が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に GTCCRB レジスタも、 $0 < GTCCRB < GTPR$  の範囲に収まるように設定する必要があります。GTCCRB = 0 または  $GTCCRB \geq GTPR$  に設定しても、GTCCRB = 0 または  $GTCCRB = GTPR$  が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

#### (3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時： $GTCCRC < GTCCRD$ 、 $GTCCRC > GTDVU$ 、 $GTCCRD < (GTPR - GTDVU)$
- ダウンカウント時： $GTCCRC > GTCCRD$ 、 $GTCCRC < (GTPR - GTDVU)$ 、 $GTCCRD > GTDVU$

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時： $GTCCRE < GTCCRF$ 、 $GTCCRE > GTDVU$ 、 $GTCCRF < (GTPR - GTDVU)$
- ダウンカウント時： $GTCCRE > GTCCRF$ 、 $GTCCRE < (GTPR - GTDVU)$ 、 $GTCCRF > GTDVU$

#### (4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRC < GTCCRD < GTPR$
- ダウンカウント時： $GTPR > GTCCRC > GTCCRD > 0$

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRE < GTCCRF < GTPR$
- ダウンカウント時： $GTPR > GTCCRE > GTCCRF > 0$



### (5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$  の範囲に収まるように設定してください。GTCCRA = 0 または GTCCRA = GTPR に設定しても、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < GTCCRB < GTPR$  の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定しても、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

### 19.9.3 GTCNT カウンタの範囲設定

GTCNT カウンタレジスタは、 $0 \leq GTCNT \leq GTPR$  の範囲に収まるように設定してください。

### 19.9.4 GTCNT カウンタのスタート/ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート/ストップ制御タイミングは、GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート/ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視され、結果として GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生したりします。

参考資料

### 19.9.5 イベントごとの優先順位

#### (1) GTCNT レジスタ

表 19.24 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 19.24 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPUによる書き込み (GTCNT/GTCLRレジスタへの書き込み)	高 ↑ 低
GTCSRレジスタで設定したハードウェア要因によるクリア	
GTUPSR/GTDNSRレジスタで設定したハードウェア要因によるカウントアップ/ダウン	
カウント動作	

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。

GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

#### (2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート/ストップと CPU による書き込み (GTCR/GTSTR/GTSTP レジスタへの書き込み) の間で競合があると、CPU による書き込みが優先されます。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。

GTCR.CST ビットの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

#### (3) GTCCRm レジスタ (m = A ~ F)

インプットキャプチャ/バッファ転送動作と GTCCRm レジスタへの書き込みの間で競合があると、GTCCRm レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みまたはハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。

GTCCRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されません。

#### (4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。

GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

## 20. 非同期汎用タイマ (AGT)

### 20.1 概要

非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅および周期の測定、および外部イベントのカウンタに利用可能な 16 ビットのタイマです。

この 16 ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同じアドレスに配置され、AGT レジスタでアクセスが可能です。

AGT の仕様を表 20.1 に示します。AGT のブロック図を図 20.1 に示します。AGT の端子構成を表 20.2 に示します。

表 20.1 AGTの仕様

項目		内容
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	タイマがアンダーフローするごとにカウントソースをカウントし、出力を反転
	イベントカウンタモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
カウントソース (動作クロック) (注2)		PCLKB、PCLKB/2、PCLKB/8、AGTLCLK/d、AGTSCLK/d、またはAGT0 (注1) のアンダーフロー信号を選択可能 (d = 1、2、4、8、16、32、64、または128)
割り込み/イベントリンク機能 (出力)		<ul style="list-style-type: none"> <li>• アンダーフローイベント信号/測定完了イベント信号               <ul style="list-style-type: none"> <li>- カウンタのアンダーフロー時</li> <li>- パルス幅測定モードで、外部入力 (AGTIO<sub>n</sub>) のアクティブ幅の測定が終了したとき</li> <li>- パルス周期測定モードで、外部入力 (AGTIO<sub>n</sub>) の設定エッジが入力されたとき</li> </ul> </li> <li>• コンペアマッチAイベント信号               <ul style="list-style-type: none"> <li>- AGTとAGTCMAの値が一致したとき (コンペアマッチA機能が有効)</li> </ul> </li> <li>• コンペアマッチBイベント信号               <ul style="list-style-type: none"> <li>- AGTとAGTCMBの値が一致したとき (コンペアマッチB機能が有効)</li> </ul> </li> <li>• AGT1_AGTI、AGT1_AGTCMAI、またはAGT1_AGTCMBIによる、ソフトウェアスタンバイモードからの復帰が可能</li> </ul>
選択可能な機能		<ul style="list-style-type: none"> <li>• コンペアマッチ機能               <ul style="list-style-type: none"> <li>コンペアマッチAレジスタとコンペアマッチBレジスタの両方または一方を選択可能</li> </ul> </li> </ul>

注 1. AGT0 では使用できません。AGT1 が、AGT0 タイマからのアンダーフローイベント信号に直接接続します。

注 2. 周辺モジュールクロック (PCLKB) 周波数  $\geq$  カウントソースクロック周波数となるように設定してください。

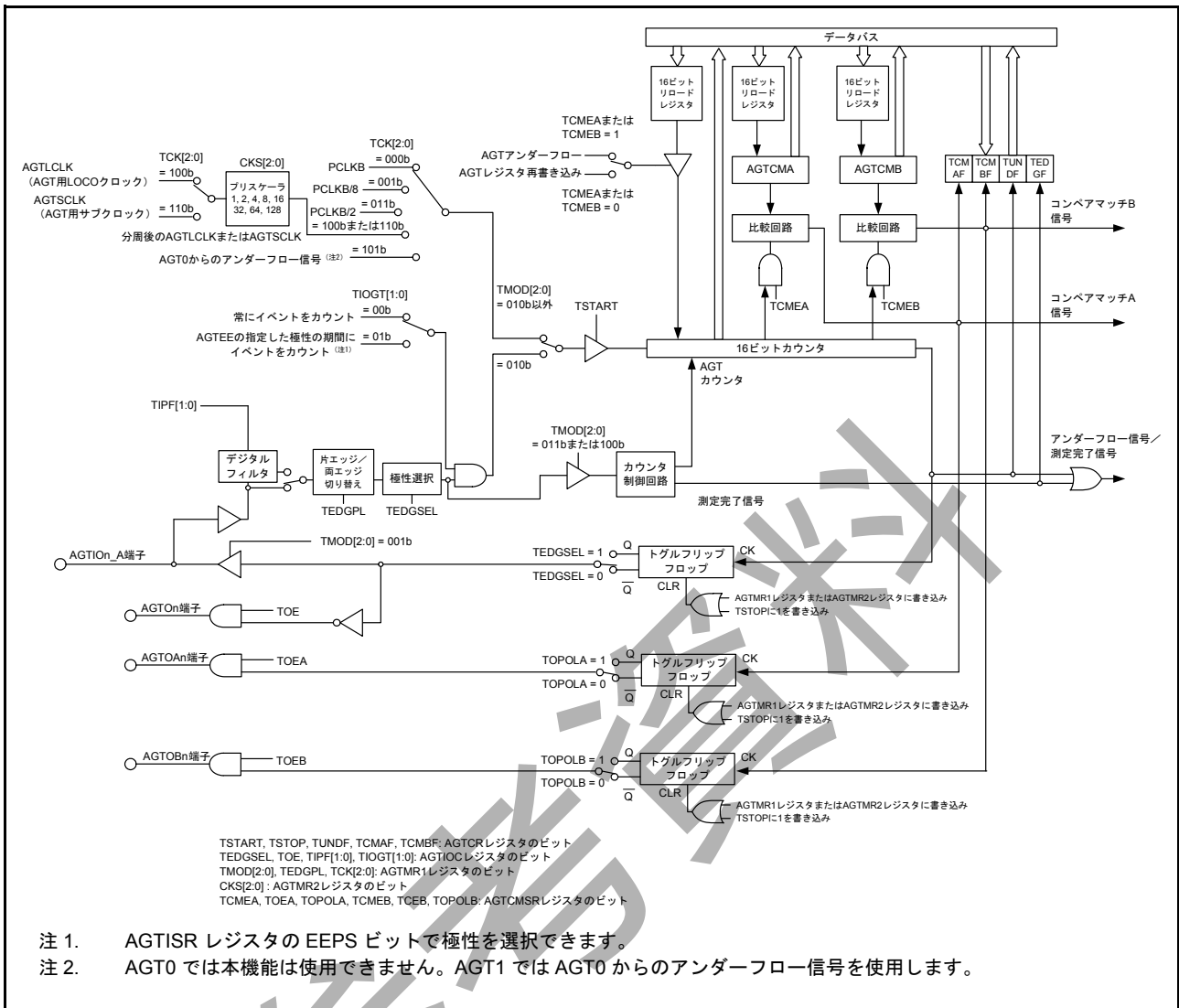


図 20.1 AGT のブロック図

表 20.2 AGT の入出力端子

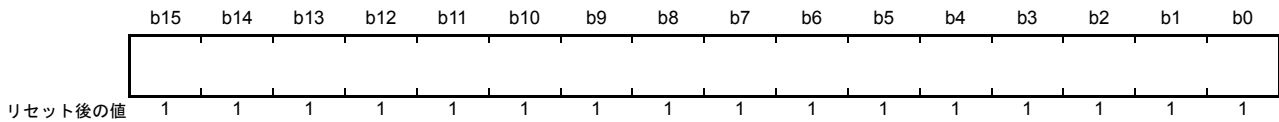
端子名	入出力	機能
AGTEEn	入力	AGTの外部イベント入力
AGTIOn	入出力	AGTの外部イベント入力およびパルス出力
AGTOn	出力	AGTのパルス出力
AGTOAn	出力	AGTの出力コンペアマッチA出力
AGTOBn	出力	AGTの出力コンペアマッチB出力

チャンネル番号 (n = 0, 1)

## 20.2 レジスタの説明

### 20.2.1 AGT カウンタレジスタ (AGT)

アドレス [AGT0.AGT4008 4000h](#), [AGT1.AGT 4008 4100h](#)



ビット	機能	設定範囲	R/W
b15-b0	16ビットのカウンタおよびリロードレジスタ (注1)、(注2)	0000h~FFFFh	R/W

- 注1. AGTCR レジスタの TSTOP ビットに 1 を書き込むと、この 16 ビットカウンタは強制的に停止して、FFFFh になります。
- 注2. AGTMR1 レジスタの TCK[2:0] ビットの設定値が 001b (PCLKB/8) または 011b (PCLKB/2) 以外の場合、AGT レジスタが 0000h になると、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度だけ発生します。ただし、AGTOn および AGTIOh はトグル出力となります。AGT レジスタがイベントカウンタモードで 0000h の場合、TCK[2:0] ビットの値に関わらず、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度だけ発生します。また、指定したカウント期間以外の期間も AGTOn はトグル出力となります。AGT レジスタが 0001h 以上の場合、AGT がアンダーフローするたびに要求信号が発生します。

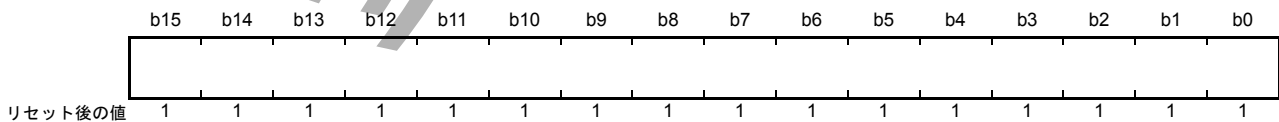
AGT は 16 ビットのレジスタです。書く場合リロードレジスタに書き込まれ、読む場合はカウンタから読み出されます。

リロードレジスタとカウンタの状態は、AGTCR レジスタの TSTART ビットと AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は、[20.3.1 リロードレジスタおよびカウンタの書き換え動作](#)を参照してください。

AGT レジスタは、16 ビットのメモリ操作命令によって設定できます。

### 20.2.2 AGT コンペアマッチ A レジスタ (AGTCMA)

アドレス [AGT0.AGTCMA4008 4002h](#), [AGT1.AGTCMA 4008 4102h](#)



ビット	機能	設定範囲	R/W
b15-b0	16ビットのコンペアマッチAデータを格納 (注1)	0000h~FFFFh	R/W

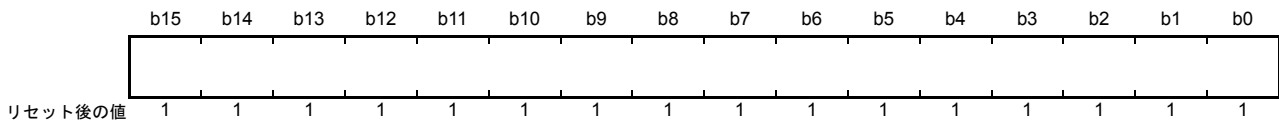
- 注1. コンペアマッチ A を使用しない場合、AGTCMA レジスタは FFFFh にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込み可能なレジスタです。リロードレジスタとコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、[20.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作](#)を参照してください。

AGTCMA レジスタは、16 ビットのメモリ操作命令によって設定できます。

### 20.2.3 AGT コンペアマッチ B レジスタ (AGTCMB)

アドレス AGT0.AGTCMB4008 4004h, AGT1.AGTCMB 4008 4104h



ビット	機能	設定範囲	R/W
b15-b0	16ビットのコンペアマッチBデータを格納(注1)	0000h~FFFFh	R/W

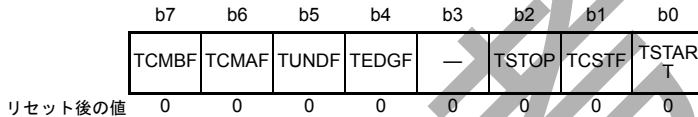
注1. コンペアマッチ B を使用しない場合、AGTCMB レジスタは FFFFh にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込み可能なレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、[20.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作](#)を参照してください。

AGTCMB レジスタは、16 ビットのメモリ操作命令によって設定できます。

### 20.2.4 AGT コントロールレジスタ (AGTCR)

アドレス AGT0.AGTCR4008 4008h, AGT1.AGTCR 4008 4108h



ビット	シンボル	ビット名	機能	R/W
b0	TSTART	AGT カウンタ開始(注2)	0: カウンタ停止 1: カウンタ開始	R/W
b1	TCSTF	AGT カウンタ状態フラグ(注2)	0: カウンタ停止 1: カウンタ実行中	R
b2	TSTOP	AGT カウンタ強制停止(注1)	0: 書き込みは無効 1: 強制的にカウンタ停止	W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TEDGF	アクティブエッジ判定フラグ	0: アクティブエッジの未受信 1: アクティブエッジの受信	R/(W) (注3)
b5	TUNDF	アンダーフローフラグ	0: 不一致 1: 一致	R/(W) (注3)
b6	TCMAF	コンペアマッチAフラグ	0: 不一致 1: 一致	R/(W) (注3)
b7	TCMBF	コンペアマッチBフラグ	0: 不一致 1: 一致	R/(W) (注3)

注1. TSTOP ビットに 1 (カウンタの強制停止) を書き込むと、TSTOP、TSTART、および TCSTF ビットが同時に初期化されます。パルス出力レベルも初期化されます。読むと 0 が読めます。

注2. TSTART および TCSTF ビットの使用に関する注意事項については、[20.4.1 カウンタ動作のスタートおよびストップ制御](#)を参照してください。

注3. フラグを 0 にするための 0 書き込みのみ可能です。

### TSTART ビット (AGT カウント開始)

カウント動作は、TSTART ビットに 1 を書き込むとカウント動作が開始し、0 を書き込むとカウント動作が停止します。TSTART ビットを 1 (カウント開始) にすると、カウントソースと同期して、TCSTF ビットが 1 (カウント実行中) になります。また、TSTART ビットに 0 を書き込むと、カウントソースと同期して、TCSTF ビットが 0 (カウント停止) になります。詳細は、[20.4.1 カウント動作のスタートおよびストップ制御](#)を参照してください。

### TCSTF ビット (AGT カウント状態フラグ)

[1 になる条件]

- TSTART ビットに 1 を書いたとき (カウントソースと同期して、TCSTF ビットが 1 になる)

[0 になる条件]

- TSTART ビットに 0 を書いたとき (カウントソースと同期して、TCSTF ビットが 0 になる)
- TSTOP ビットに 1 を書いたとき

### TSTOP ビット (AGT カウント強制停止)

このビットに 1 を書くと、カウントが強制停止します。読むと 0 が読めます。

### TEDGF ビット (アクティブエッジ判定フラグ)

[1 になる条件]

- 外部入力 (AGTIO<sub>n</sub>) のアクティブ幅の測定がパルス幅測定モードで、終了したとき
- 外部入力 (AGTIO<sub>n</sub>) の設定エッジがパルス周期測定モードで、入力されたとき

[0 になる条件]

- プログラムによって 0 が書かれた時

### TUNDF ビット (アンダーフローフラグ)

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- プログラムによって 0 が書かれた時

### TCMAF ビット (コンペアマッチ A フラグ)

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- プログラムによって 0 が書かれた時

### TCMBF ビット (コンペアマッチ B フラグ)

[1 になる条件]

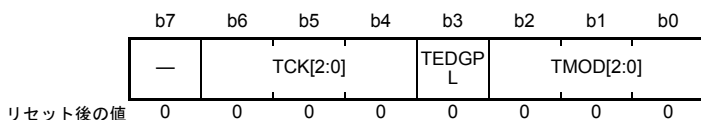
- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- プログラムによって 0 が書かれた時

## 20.2.5 AGT モードレジスタ 1 (AGTMR1)

アドレス AGT0.AGTMR14008 4009h, AGT1.AGTMR1 4008 4109h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TMOD[2:0]	動作モード (注3)	b2 b0 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウンタモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード 上記以外は設定しないでください。	R/W
b3	TEDGPL	エッジ極性 (注4)	0: 片エッジ 1: 両エッジ	R/W
b6-b4	TCK[2:0]	カウントソース (注1), (注2), (注5)	b6 b4 0 0 0: PCLKB 0 0 1: PCLKB/8 0 1 1: PCLKB/2 1 0 0: AGTMR2 レジスタの CKS[2:0] ビットで設定した分周クロック AGTLCLK 1 0 1: AGT0からのアンダーフローイベント信号 (注6) 1 1 0: AGTMR2 レジスタの CKS[2:0] ビットで設定した分周クロック AGTSCLK 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注. AGTMR1 レジスタに書き込みを行うと、AGT の AGTOn、AGTIO<sub>n</sub>、AGTOAn、および AGTOB<sub>n</sub> 端子 (n = 0, 1) からの出力が初期化されます。初期化時の出力レベルの詳細は、[20.2.7 AGT I/O コントロールレジスタ \(AGTIOC\)](#) の説明を参照してください。
- 注1. イベントカウンタモードを選択した場合、TCK[2:0] ビットの設定に関わらず、カウントソースとして外部入力 (AGTIO<sub>n</sub>) が選択されます。
- 注2. カウント動作中は、カウントソースを切り替えしないでください。カウントソースは、AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ切り替えてください。
- 注3. AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の状態で、カウントが停止している場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。
- 注4. TEDGPL ビットは、イベントカウンタモード時に限り有効です。
- 注5. AGT をソフトウェアスタンバイモードで動作させるには、AGTLCLK または AGTSCLK を選択してください。
- 注6. AGT0 では使用できません (設定禁止)。AGT1 が、AGT0 のアンダーフローを使用します。



## 20.2.6 AGT モードレジスタ 2 (AGTMR2)

アドレス AGT0.AGTMR24008 400Ah, AGT1.AGTMR2 4008 410Ah

b7	b6	b5	b4	b3	b2	b1	b0
LPM	—	—	—	—	CKS[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	AGTLCLKまたは AGTSCLKカウンタ ソースクロック分周比 (注1), (注2), (注3)	b2 b0 0 0 0 : 1/1 0 0 1 : 1/2 0 1 0 : 1/4 0 1 1 : 1/8 1 0 0 : 1/16 1 0 1 : 1/32 1 1 0 : 1/64 1 1 1 : 1/128	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	LPM	低消費電力モード	0 : 通常モード 1 : 低消費電力モード	R/W

注 1. カウント動作中は、AGTMR2 レジスタを書き換えしないでください。AGTMR2 レジスタは、AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ書き換えてください。

注 2. カウントソースが AGTLCLK または AGTSCLK の場合に限り、CKS[2:0] の切り替えが有効となります。

注 3. CKS[2:0] が 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0] ビットを切り替えしないでください。CKS[2:0] を 000b にした後、AGTMR1 レジスタの TCK[2:0] ビットを切り替えて、カウントソースの 1 サイクル待機してください。

### LPM ビット (低消費電力モード)

低消費電力モードに設定します。これによって、特定の AGT レジスタへのアクセスに影響が及びます。低消費電力で動作させるには 1 にしてください。このビットが 1 の場合、次のレジスタへのアクセスが以下に示すように影響を受けます。

- AGT/AGTCMA/AGTCMB/AGTCR

このビットを 1 から 0 に切り替えた後は、最初のレジスタアクセスが以下のように制限されます。

- AGT : レジスタを 2 回読む必要があります。2 回目の読み出しデータのみが有効です。
- AGT、AGTCMA、AGTCMB、および AGTCR : 上記のレジスタに書き込む場合、少なくともカウントソースクロックの 2 サイクルは必要です。

## 20.2.7 AGT I/O コントロールレジスタ (AGTIOC)

アドレス AGT0.AGTIOC4008 400Ch, AGT1.AGTIOC 4008 410Ch

b7	b6	b5	b4	b3	b2	b1	b0
TIOGT[1:0]	TIPF[1:0]	—	TOE	—	TEDGSEL		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	I/O極性切り替え	動作モードによって機能が異なります (表 20.3 および表 20.4 参照)。TEDGSEL ビットは、AGTOn の出力極性、および AGTIO n の入出力エッジと極性を切り替えるために使用します。パルス出力モードでは、AGTOn の出力極性と AGTIO n の出力極性のみが制御されます。AGTMR1 レジスタに書き込みを行った場合、および AGTCR レジスタの TSTOP ビットに 1 を書いた場合、AGTOn 出力と AGTIO n 出力が初期化されます。	R/W
b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b2	TOE	AGTOn 出力許可	0 : AGTOn 出力を禁止 1 : AGTOn 出力を許可	R/W
b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b5-b4	TIPF[1:0]	入力フィルタ (注3)	b5 b4 00 : フィルタなし 01 : PCLKB でのフィルタサンプリング 10 : PCLKB/8 でのフィルタサンプリング 11 : PCLKB/32 でのフィルタサンプリング これらのビットは、AGTIO n 入力用フィルタのサンプリング周波数を指定するために使用します。AGTIO n 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。	R/W
b7-b6	TIOGT[1:0]	カウント制御 (注1)、(注2)	b7 b6 00 : 常にイベントがカウントされる 01 : AGTEEn に指定された極性の期間に、イベントがカウントされる 上記以外は設定しないでください。	R/W

注 1. AGTEEn またはタイマ出力信号を使用する場合、イベントをカウントする極性は AGTISR レジスタの EEPS ビットで選択できます。

注 2. TIOGT[1:0] ビットは、イベントカウンタモード時に限り有効です。

注 3. ソフトウェアスタンバイモード中にイベントカウンタモード動作が実行される場合、デジタルフィルタ機能は使用できません。

表 20.3 AGTIO n の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0 : High で出力開始 (初期レベル : High) 1 : Low で出力開始 (初期レベル : Low)
イベントカウンタモード	0 : 立ち上がりエッジでカウント 1 : 立ち下がりエッジでカウント
パルス幅測定モード	0 : Low レベル幅を測定 1 : High レベル幅を測定
パルス周期測定モード	0 : 1 つの立ち上がりエッジから次の立ち上がりエッジまで測定 1 : 1 つの立ち下がりエッジから次の立ち下がりエッジまで測定

表 20.4 AGTOnの出力極性切り替え

動作モード	機能
全モード	0 : Lowで出力開始 (初期レベル : Low) 1 : Highで出力開始 (初期レベル : High)

## 20.2.8 AGT イベント端子選択レジスタ (AGTISR)

アドレス AGT0.AGTISR4008 400Dh, AGT1.AGTISR 4008 410Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	EEPS	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	EEPS	AGTEEn極性選択	0 : Lowの期間、イベントをカウントする 1 : Highの期間、イベントをカウントする	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## 20.2.9 AGT コンペアマッチ機能選択レジスタ (AGTCMSR)

アドレス AGT0.AGTCMSR4008 400Eh, AGT1.AGTCMSR 4008 410Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TOPOL B	TOEB	TCMEB	—	TOPOL A	TOEA	TCMEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCMEA	コンペアマッチAレジスタ許可 (注1)、(注2)	0 : コンペアマッチAレジスタを禁止 1 : コンペアマッチAレジスタを許可	R/W
b1	TOEA	AGTOAn出力許可 (注1)、(注2)	0 : AGTOAn出力を禁止 1 : AGTOAn出力を許可	R/W
b2	TOPOLA	AGTOAn極性選択 (注1)、(注2)	0 : AGTOAn出力をLowで開始 1 : AGTOAn出力をhighで開始	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TCMEB	コンペアマッチBレジスタ許可 (注1)、(注2)	0 : コンペアマッチBレジスタを禁止 1 : コンペアマッチBレジスタを許可	R/W
b5	TOEB	AGTOBn出力許可 (注1)、(注2)	0 : AGTOBn出力を禁止 1 : AGTOBn出力を許可	R/W
b6	TOPOLB	AGTOBn極性選択 (注1)、(注2)	0 : AGTOBn出力をLowで開始 1 : AGTOBn出力をhighで開始	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. カウント動作中は、AGTCMSR レジスタを書き換えしないでください。AGTCMSR レジスタは、AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ書き換えてください。

注2. パルス幅測定モードまたはパルス周期測定モード中は、1 にしないでください。

### 20.2.10 AGT 端子選択レジスタ (AGTIOSEL)

アドレス AGT0.AGTIOSEL4008 400Fh, AGT1.AGTIOSEL 4008 410Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TIES	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TIES	AGTIO <sub>n</sub> 入力許可	0: ソフトウェアスタンバイモード中、外部イベント入力を禁止 1: ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ソフトウェアスタンバイモード時に AGTIO<sub>n</sub> を使用する場合、AGTIOSEL レジスタで AGTIO<sub>n</sub> 端子の設定を行います。AGTIOSEL レジスタは、8 ビットのメモリ操作命令によって設定できます。

#### TIES ビット (AGTIO<sub>n</sub> 入力許可)

外部イベント入力を許可または禁止します。

## 20.3 動作説明

### 20.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードに関わらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA/TCMEB ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタとカウンタに直接書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA および TCMEB ビットが 0 (コンペアマッチ A/B レジスタが無効) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、次のカウントソースと同期してカウンタに書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA または TCMEB ビットが 1 (コンペアマッチ A/B レジスタが有効) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミングを図 20.2 および図 20.3 に示します。

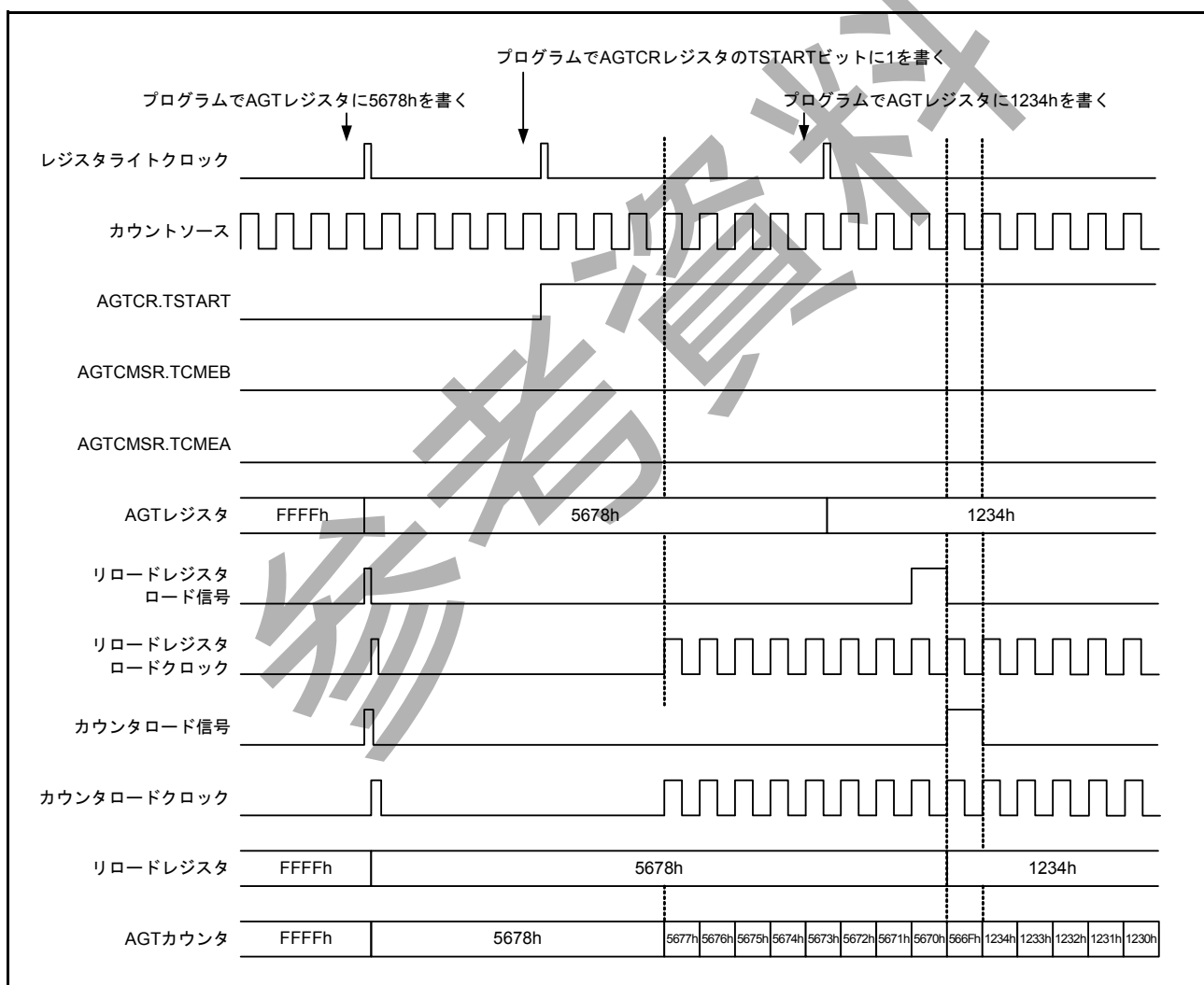


図 20.2 TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミング (コンペアマッチ A レジスタまたはコンペアマッチ B レジスタが無効の場合)

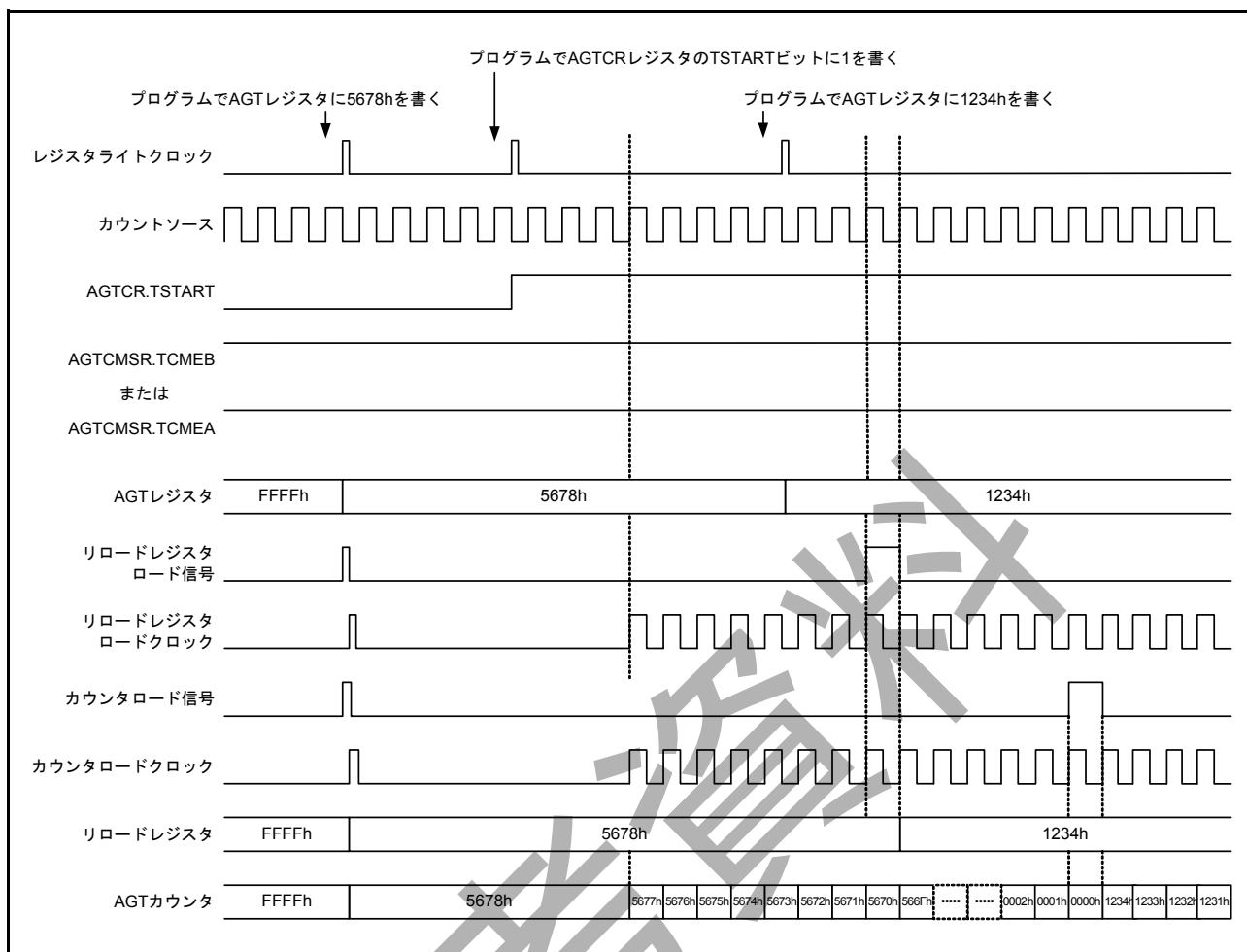


図 20.3 TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミング (コンペアマッチ A レジスタまたはコンペアマッチ B レジスタが有効の場合)

### 20.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作

動作モードに関わらず、コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタとコンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1 (カウント開始) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

コンペアレジスタ A に対する TSTART ビット値による書き換え動作のタイミングを図 20.4 に示します。コンペアレジスタ B のタイミングもコンペアレジスタ A と同じです。

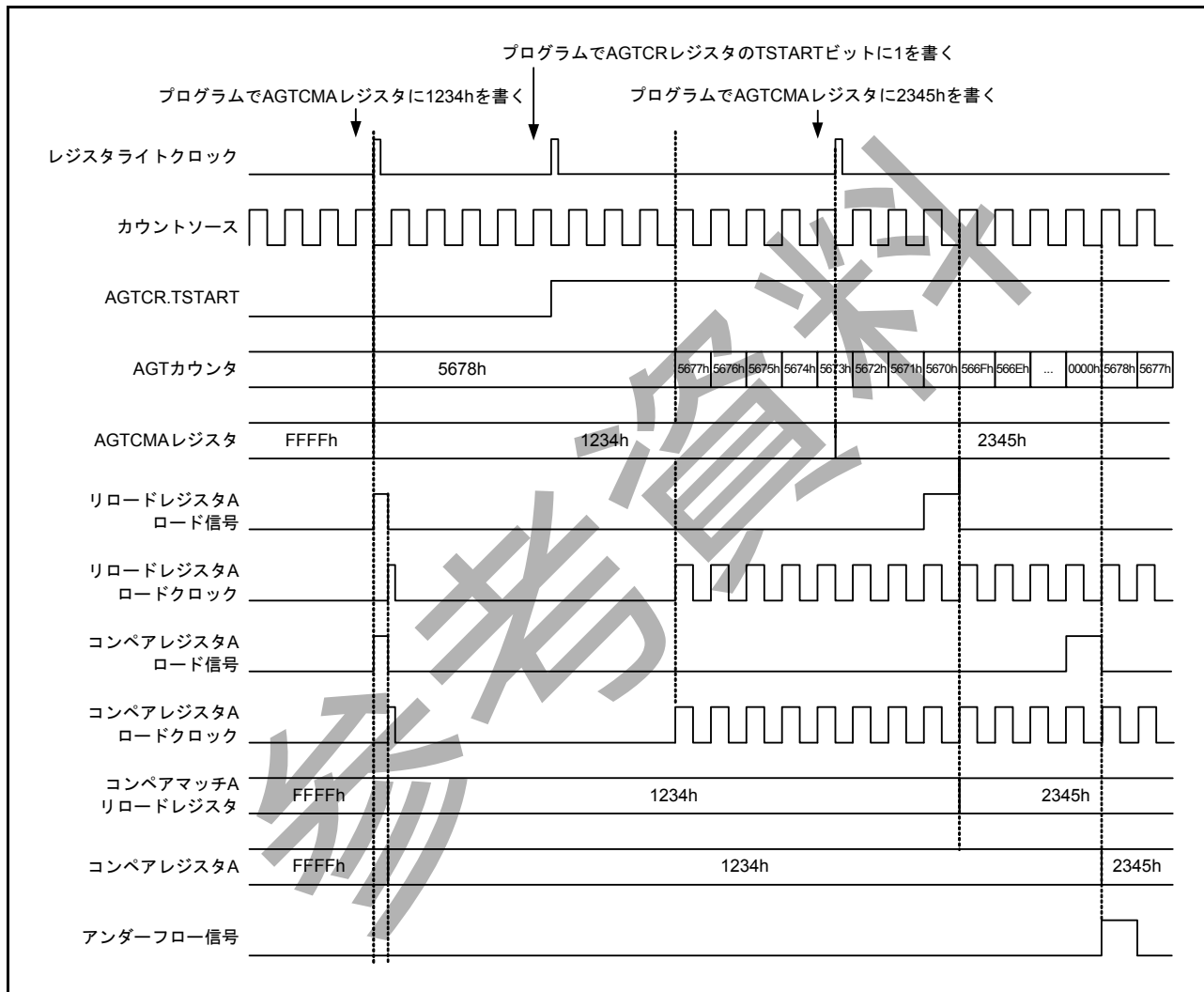


図 20.4 TSTART ビット値による書き換え動作のタイミング (コンペアレジスタ A の場合)

### 20.3.3 タイマモード

このモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。

タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに1ずつデクリメントします。カウント値が 0000h に達したときに、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が発生します。

タイマモードでの動作例を図 20.5 に示します。

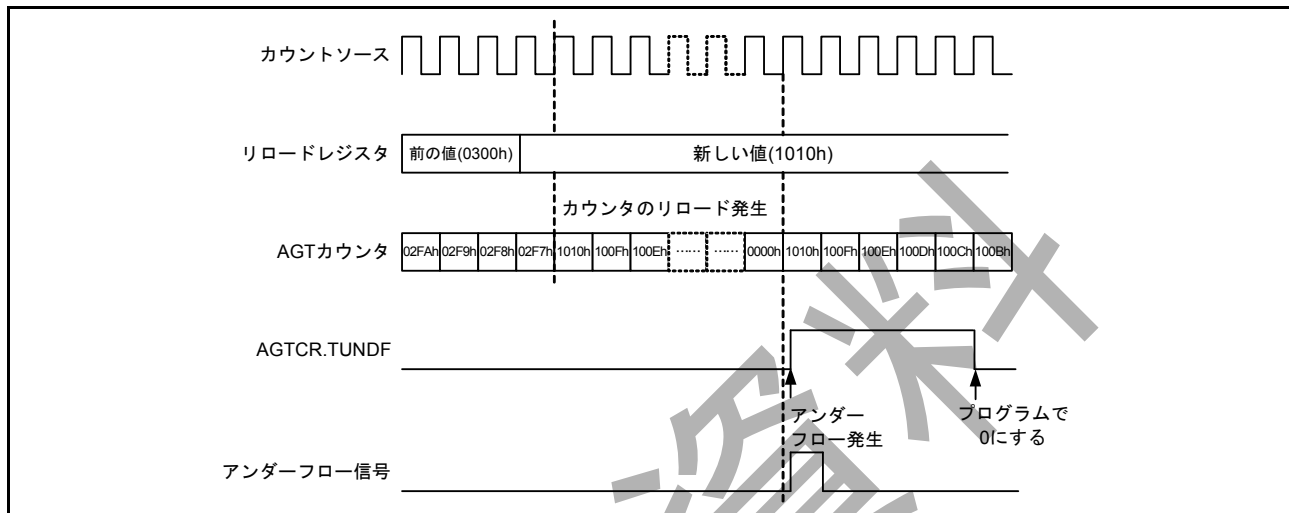


図 20.5 タイマモードでの動作例



### 20.3.4 パルス出力モード

このモードでは、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するごとに AGTIO<sub>n</sub> および AGTO<sub>n</sub> 端子の出力レベルが反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに1ずつデクリメントします。カウント値が 0000h に達したときに、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。

さらに、AGTIO<sub>n</sub> および AGTO<sub>n</sub> 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTO<sub>n</sub> 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。また、その出力レベルは AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 20.6 に示します。

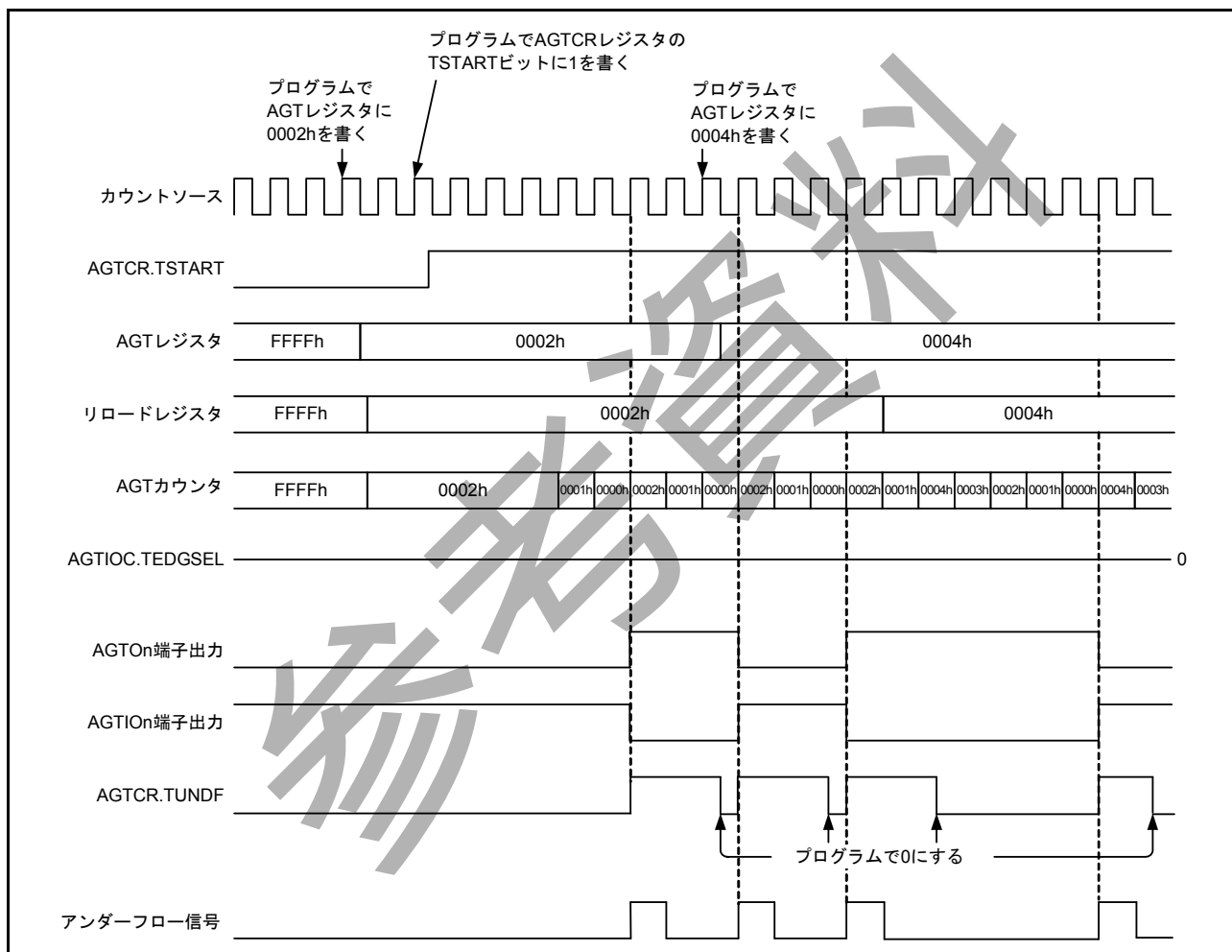


図 20.6 パルス出力モードでの動作例

### 20.3.5 イベントカウンタモード

このモードでは、カウンタは AGTIO<sub>n</sub> 端子への外部イベント信号（カウントソース）入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0] ビットと AGTISR レジスタによってさまざまな設定が可能です。さらに、AGTIOC レジスタの TIPF[1:0] ビットによって、AGTIO<sub>n</sub> 入力用のフィルタ機能を指定できます。また、イベントカウンタモードでも、AGTIO<sub>n</sub> 端子からトグル出力が可能です。

イベントカウンタモードでの動作例を図 20.7 に示します。

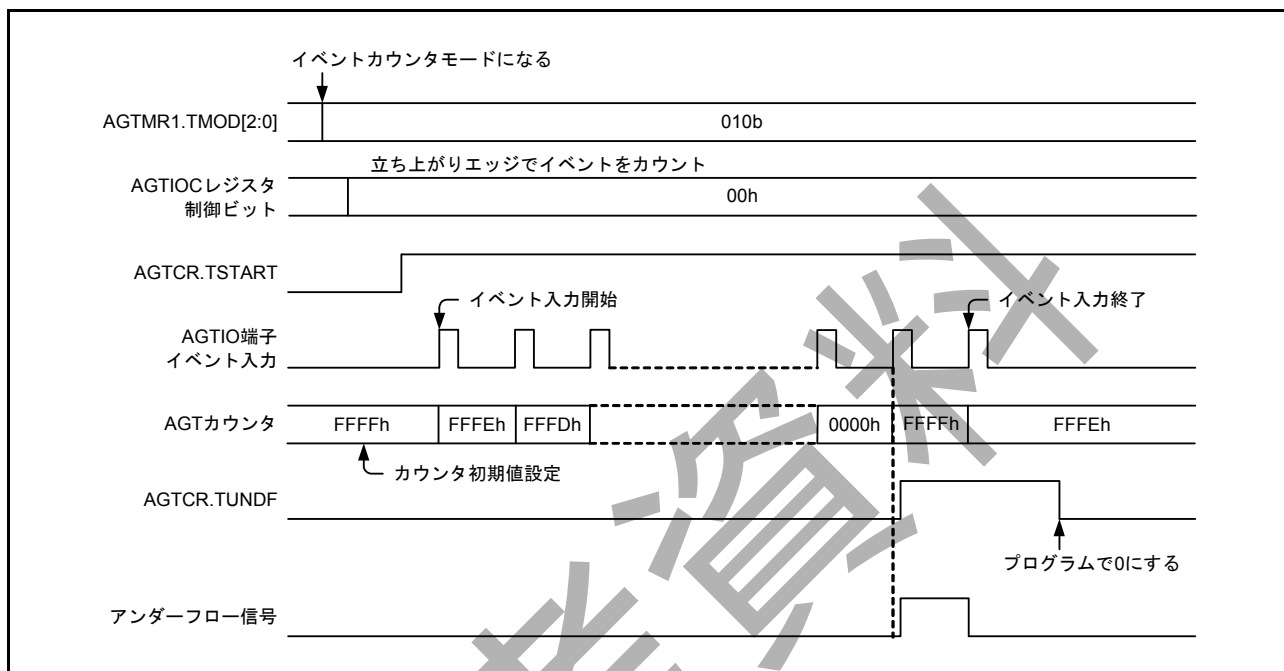


図 20.7 イベントカウンタモードでの動作例 1

イベントカウンタモードにおける、指定された期間 (AGTIOC レジスタの TIOGT[1:0] ビットが 01b) 中のカウント動作例を図 20.8 に示します。

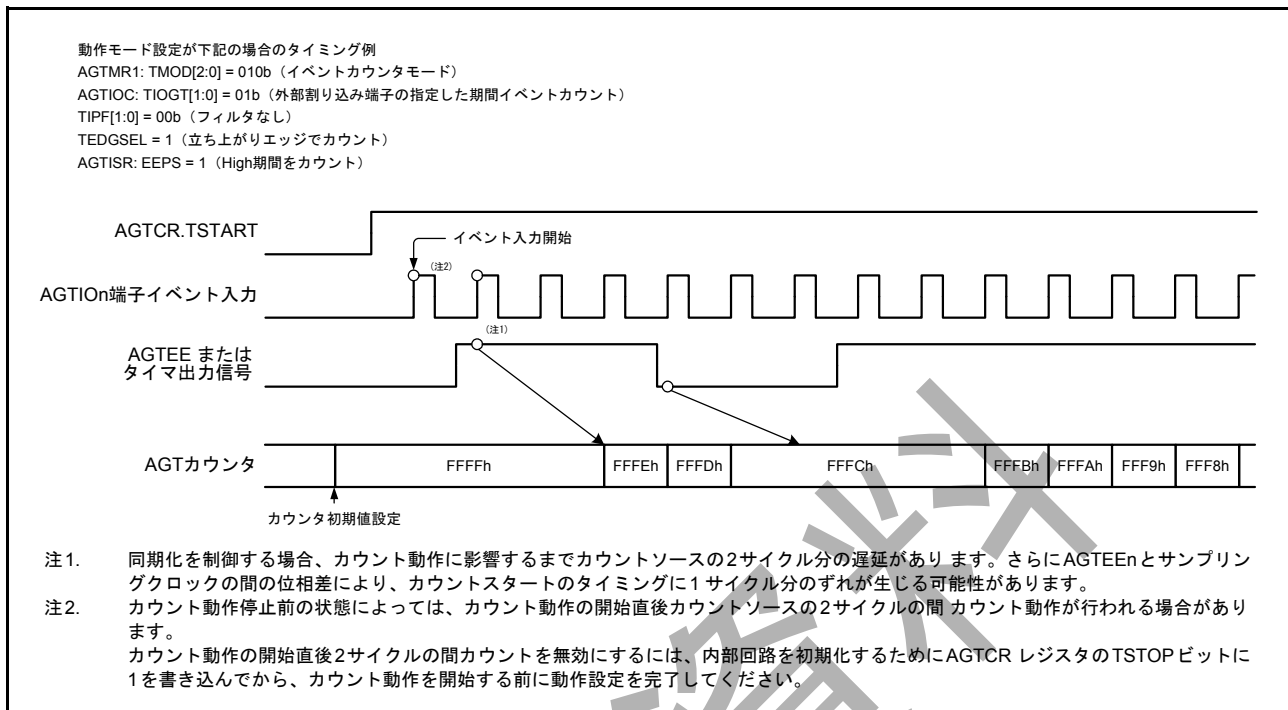


図 20.8 イベントカウンタモードでの動作例 2

### 20.3.6 パルス幅測定モード

このモードでは、AGTIO<sub>n</sub> 端子に入力される外部信号のパルス幅を測定します。

AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIO<sub>n</sub> 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIO<sub>n</sub> 端子レベルが終了すると、カウンタは停止して、AGTCR レジスタの TEDGF ビットが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。カウンタの停止中にカウント値を読み込むことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 (アンダーフロー) になり、割り込み要求が発生します。

パルス幅測定モードでの動作例を図 20.9 に示します。

AGTCR レジスタの TEDGF および TUNDF ビットへアクセスするには、[20.4.2 フラグ \(AGTCR レジスタの TEDGF、TUNDF、TCMAF、および TCMBF ビット\)](#) へのアクセスを参照してください。

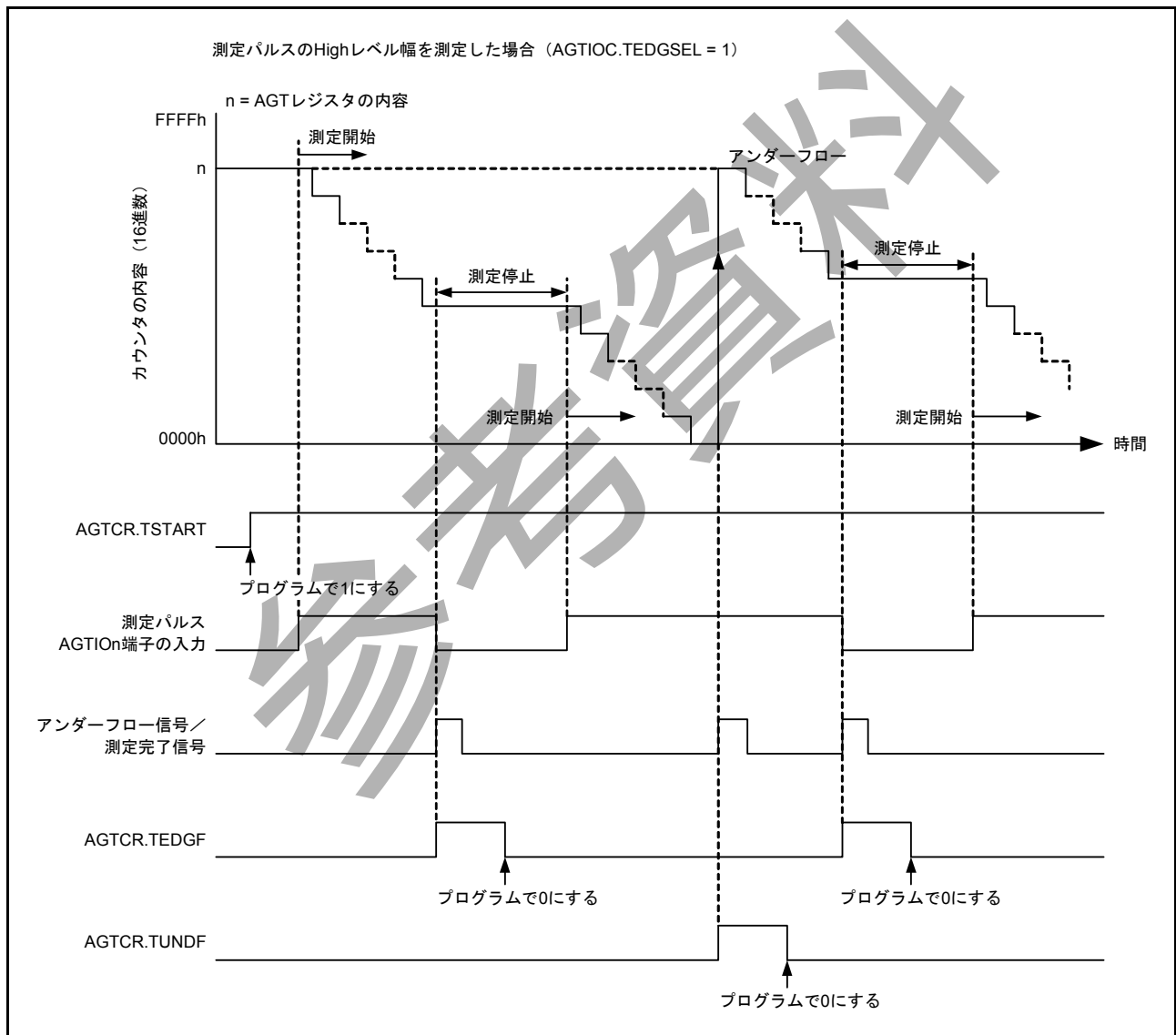


図 20.9 パルス幅測定モードでの動作例

### 20.3.7 パルス周期測定モード

このモードでは、AGTIO<sub>n</sub> 端子に入力される外部信号のパルス周期を測定します。

カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIO<sub>n</sub> 端子に入力されると、カウント値が、カウントソースの立ち上がりエッジで読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF ビットが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。この時点で読み出しバッファ (AGT レジスタ) が読み出され、リロード値 (20.4.6 イベント番号、パルス幅、およびパルス周期の計算方法を参照) との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 (アンダーフロー) になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 20.10 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、カウントソースの周期よりも長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。

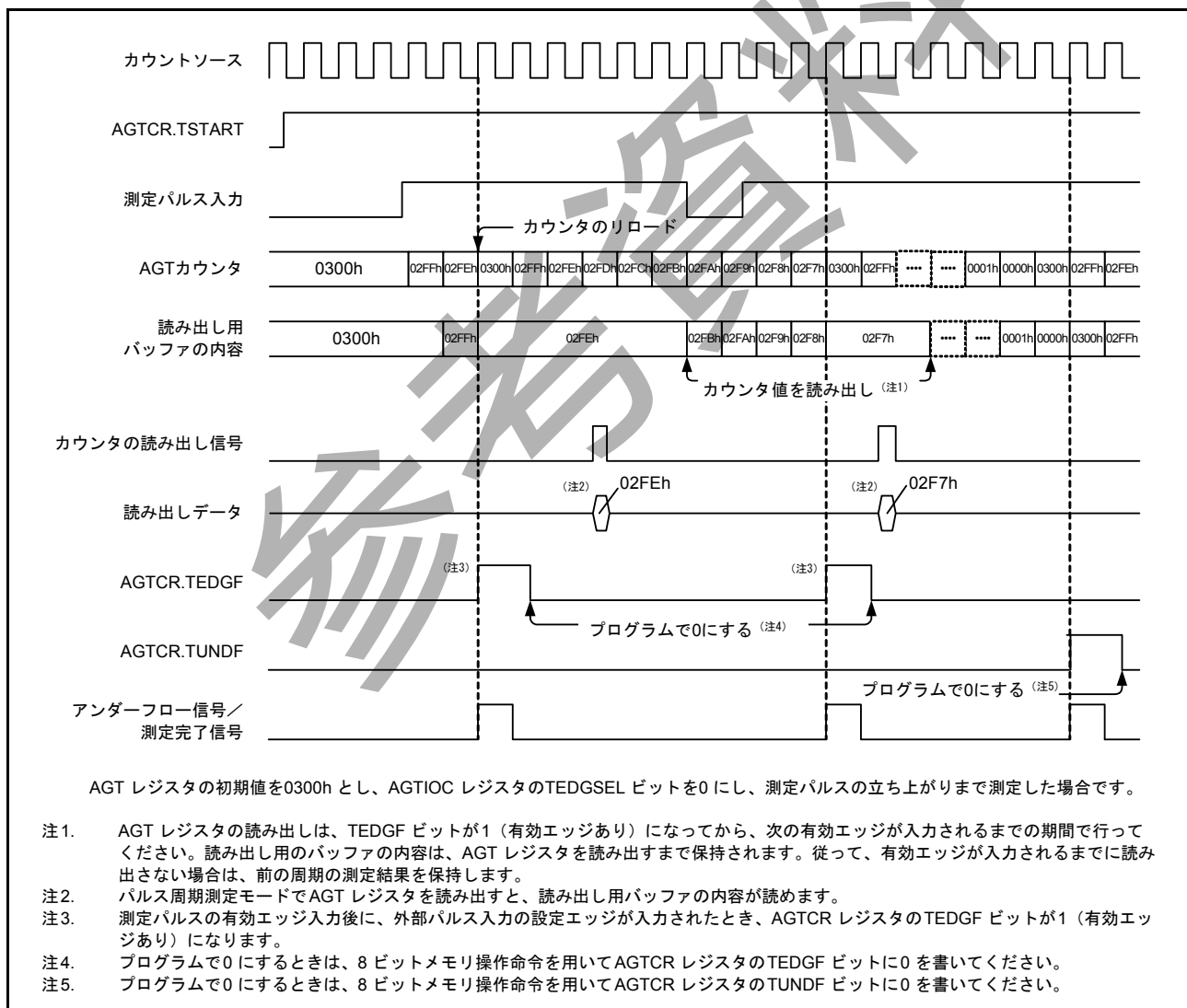


図 20.10 パルス周期測定モードでの動作例

### 20.3.8 コンペアマッチ機能

この機能は、AGTCMA/AGTCMB レジスタの内容と AGT レジスタの内容の一致を検出します。この機能は、AGTCMSR レジスタの TCMEA または TCMEB ビットが 1 (コンペアマッチ A/B レジスタが有効) の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA/AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF ビットが 1 になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタへの書き替え動作のタイミングは異なります。詳細は、[20.3.1 リロードレジスタおよびカウンタの書き換え動作](#)を参照してください。また、AGTOAn および AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA/TOPOLB ビットで選択できます。

参考資料

コンペアマッチモードでの動作例を図 20.11 に示します。

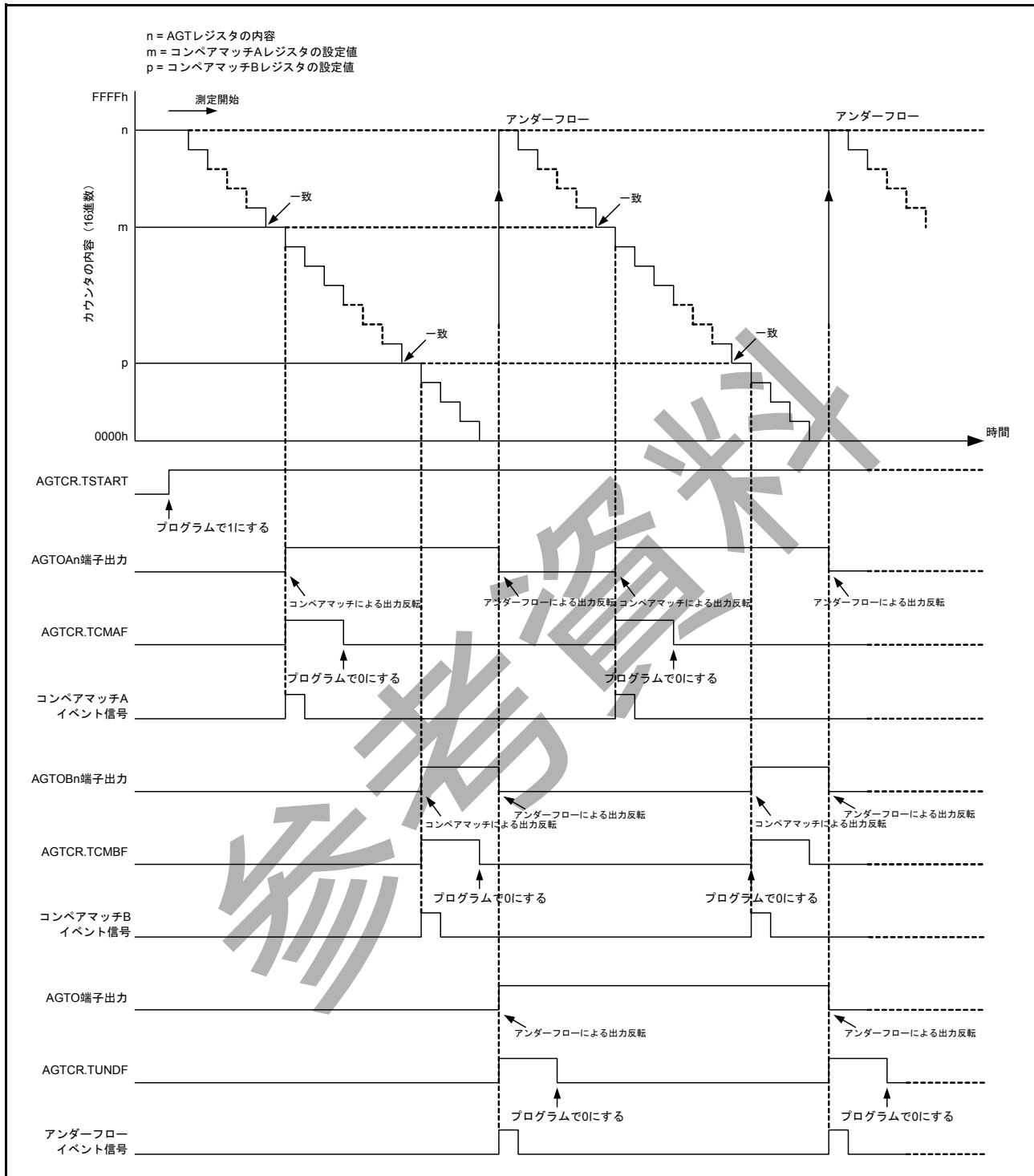


図 20.11 コンペアマッチモードでの動作例 (TOPOLA = 0、TOPOLB = 0 の場合)

## 20.3.9 各モードの出力設定

各モードでの AGTOn、AGTIO<sub>n</sub>、AGTOAn、および AGTOB<sub>n</sub> 端子の状態を表 20.5 ~ 表 20.8 に示します。

表 20.5 AGTOn端子の設定

動作モード	AGTIOCレジスタ		AGTOn端子出力
	TOEビット	TEDGSELビット	
全モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止

表 20.6 AGTIO0端子の設定

動作モード	AGTIOCレジスタ		AGTIO <sub>n</sub> 端子入出力
	TEDGSELビット		
タイマモード	0または1		入力 (使用しない)
パルス出力モード	1		通常出力
	0		反転出力
イベントカウンタモード	0または1		入力
パルス幅測定モード			
パルス周期測定モード			

表 20.7 AGTOAn端子の設定

動作モード	AGTCMSRレジスタ		AGTOAn端子出力
	TOEAビット	TOPOLAビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
イベントカウンタモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス幅測定モード	0	0	禁止
パルス周期測定モード			



表 20.8 AGTOBn端子の設定

動作モード	AGTCMSRレジスタ		AGTOBn端子出力
	TOEBビット	TOPOLBビット	
タイマモード	1	1	反転出力
		0	通常出力
パルス出力モード	1	0または1	出力禁止 (使用しない)
		0	通常出力
イベントカウンタモード	1	1	反転出力
		0	通常出力
パルス幅測定モード	0	0	禁止

### 20.3.10 スタンバイモード

AGTはソフトウェアスタンバイモードでも動作可能です。カウント開始 (TSTART = 1 および TCSTF = 1) 状態でソフトウェアスタンバイモードに設定してください。

ソフトウェアスタンバイモードで使用可能な設定を表 20.9 および表 20.10 に示します。

表 20.9 ソフトウェアスタンバイモードで使用可能な設定 (AGT0)

動作モード	AGTMR1レジスタの TCK[2:0]ビット	動作クロック	CPUの回復要因
タイマモード	100bまたは110b	AGTLCLKまたはAGTSCLK	-
パルス出力モード	100bまたは110b	AGTLCLKまたはAGTSCLK	-
イベントカウンタモード	- (無効)	AGTIO <sub>n</sub>	-
パルス幅測定モード	100bまたは110b	AGTLCLKまたはAGTSCLK	-
パルス周期測定モード	100bまたは110b	AGTLCLKまたはAGTSCLK	-

表 20.10 ソフトウェアスタンバイモードで使用可能な設定 (AGT1)

動作モード	AGTMR1レジスタのTCK[2:0] ビット	動作クロック	CPUの回復要因
タイマモード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、または AGT0アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>コンペアマッチA/B</li> </ul>
パルス出力モード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、または AGT0アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>コンペアマッチA/B</li> </ul>
イベントカウンタモード	- (無効)	AGTIO <sub>n</sub>	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>コンペアマッチA/B</li> </ul>
パルス幅測定モード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、または AGT0アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>アクティブエッジ</li> </ul>
パルス周期測定モード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、または AGT0アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>アクティブエッジ</li> </ul>

注. ソフトウェアスタンバイモードの解除はAGT1のみです。

注1. AGT0が表 20.9 の状態で動作している場合のみ。

### 20.3.11 割り込み要因

AGT には、表 20.11 に示すように、チャンネル  $n$  ( $n=0, 1$ ) に対する下記の 3 種類の割り込み要因があります。

- AGTn\_AGTI
- AGTn\_AGTCMAI
- AGTn\_AGTCMBI

表 20.11 AGT 割り込み要因

名称	割り込み要因	DTC の起動
AGTn_AGTI	<ul style="list-style-type: none"> <li>• カウンタのアンダーフロー時</li> <li>• 外部入力 (AGTIO<math>n</math>) のアクティブ幅の測定がパルス幅測定モードで終了したとき</li> <li>• 外部入力 (AGTIO<math>n</math>) の設定エッジがパルス周期測定モードで入力されたとき</li> </ul>	可能
AGTn_AGTCMAI	<ul style="list-style-type: none"> <li>• AGT と AGTCMA の値が一致したとき</li> </ul>	可能
AGTn_AGTCMBI	<ul style="list-style-type: none"> <li>• AGT と AGTCMB の値が一致したとき</li> </ul>	可能

チャンネル番号 ( $n = 0, 1$ )

### 20.3.12 ELC へのイベント信号出力

AGT はイベントリンクコントローラ (ELC) を用いて、割り込み要求信号をイベント信号として使用することにより、指定したモジュールに対するリンク動作の実行が可能です。AGT は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー/測定完了信号をイベント信号として出力します。詳細は、「[15. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

## 20.4 使用上の注意事項

### 20.4.1 カウント動作のスタートおよびストップ制御

- イベントカウントモードに設定されている場合、またはカウントソースが AGT0 アンダーフロー (TCK[2:0]=101b) 以外に設定されている場合

カウント停止状態にあるとき、AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、カウントソースの 3 サイクル中は、AGTCR レジスタの TCSTF ビットは 0 (カウント停止) のままです。TCSTF ビットが 1 (カウント実行中) になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。

カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、カウントソースの 3 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。

TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

注 1. AGT 関連レジスタ : AGT, AGTCMA, AGTCMB, AGTCR, AGTMR1, AGTMR2, AGTIOC, AGTISR, および AGTCMSR

- イベントカウントモードに設定されている場合、またはカウントソースが AGT0 アンダーフロー (TCK[2:0]=101b) に設定されている場合

カウント停止状態にあるとき、AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、PCLKB の 2 サイクル中は、AGTCR レジスタの TCSTF ビットは 0 (カウント停止) のままです。TCSTF ビットが 1 (カウント実行中) になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。

カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、PCLKB の 2 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。

TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

注 1. AGT 関連レジスタ : AGT, AGTCMA, AGTCMB, AGTCR, AGTMR1, AGTMR2, AGTIOC, AGTISR, および AGTCMSR

### 20.4.2 フラグ (AGTCR レジスタの TEDGF、TUNDF、TCMAF、および TCMBF ビット) へのアクセス

AGTCR レジスタの TEDGF、TUNDF、TCMAF、および TCMBF ビットは、0 を書き込むと 0 にクリアされますが、1 を書き込んでも無効になります。

命令実行中に下記のビットを 1 にしても、タイミング次第では、TEDGF、TUNDF、TCMAF、および TCMBF ビットが誤って 0 になる場合があります。

- TCMBF (一致)
- TCMAF (一致)
- TEDGF (アクティブエッジ受信)
- TUNDF (アンダーフロー)

### 20.4.3 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART および TCSTF ビットがともに 1 (カウント開始) の場合、AGT レジスタへ連続して書き込むときの書き込み間隔には、少なくともカウントソースクロックの 3 サイクル分のゆとりをみてください。

### 20.4.4 モード変更時

AGT の動作モードに関連するレジスタ (AGTMR1、AGTMR2、AGTIOC、AGTISR、AGTCMSR、および AGTIOC) は、TSTART および TCSTF ビットがともに 0 (カウント停止) になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF ビットの値は不定となります。カウントを開始する前に、以下のビットに 0 を書き込んでください。

- TEDGF
- TUNDF
- TCMAF
- TCMBF

### 20.4.5 デジタルフィルタ

デジタルフィルタを使用する場合、TIPF[1:0] ビットを設定した後、デジタルフィルタクロックの 5 サイクル内は、タイマ動作を開始しないでください。また、デジタルフィルタの使用中に AGTIOC レジスタの TEDGSEL ビットを変更した場合、デジタルフィルタクロックの 5 サイクル内は、タイマ動作を開始しないでください。

### 20.4.6 イベント番号、パルス幅、およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号を以下のように数学的に表します。  
イベント番号 = カウンタ [AGT レジスタ] の初期値 - アクティブイベント終了のカウンタ値
- パルス幅測定モードでは、パルス幅を以下のように数学的に表します。  
パルス幅 = 測定停止のカウンタ値 - 次の測定停止のカウンタ値
- パルス周期測定モードでは、入力パルス周期を以下のように数学的に表します。  
入力パルス周期 = (カウンタ [AGT レジスタ] の初期値 - 読み出しバッファの読み出し値) + 1

### 20.4.7 TSTOP ビットによってカウントを強制停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制停止した後は、カウントソースの 1 サイクル間、以下の I/O レジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

#### 20.4.8 カウントソースに AGT0 アンダーフローを選択した場合

カウントソースに AGT のアンダーフロー信号を選択した場合、以下の手順に従って AGT を操作してください。

- 動作開始手順
  1. AGT0 および AGT1 を設定します。
  2. AGT0 のカウント動作を開始します。
  3. AGT1 のカウント動作を開始します。
- 動作停止手順
  1. AGT1 のカウント動作を停止します。
  2. AGT0 のカウント動作を停止します。

#### 20.4.9 I/O レジスタのリセット

AGT の I/O レジスタは、すべての種類のリセットで初期化されるとは限りません。詳細は、「[5. リセット](#)」を参照してください。

#### 20.4.10 カウントソースに PCLKB、PCLKB/8、または PCLKB/2 を選択した場合

リセット発生後、AGT の動作は保証されません。AGT 関連レジスタを再設定してください。

#### 20.4.11 カウントソースに AGTLCLK または AGTSCCLK を選択した場合

MSTPCRD レジスタの MSTPD2 は、AGT1 レジスタにアクセスする場合を除き、1 にする必要がありません。MSTPCRD レジスタの MSTPD3 は、AGT0 レジスタにアクセスする場合を除き、1 にする必要がありません。MSTPD2 または MSTPD3 が 0 の状態でリセットが発生した場合、AGT1 または AGT0 の動作は保証されません。AGT 関連レジスタを再設定してください。

## 21. リアルタイムクロック (RTC)

### 21.1 概要

RTCには、カレンダーカウントモードとバイナリカウントモードの2種類のカウントモードがあり、レジスタ設定を切り替えることで使用します。カレンダーカウントモードでは、RTCは2000年から2099年まで100年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTCは秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに利用可能です。

時計カウンタのカウントソースとして、サブクロックまたはLOCOを選択できます。RTCは、カウントソースをプリスケアラで分周して得られた128Hzクロックを使用します。年、月、日、曜日、午前/午後(12時間モード時)、時、分、秒、または32ビットバイナリを1/128秒単位でカウントします。

表 21.1 に RTC の仕様を、図 21.1 に RTC のブロック図を、表 21.2 に RTC の入出力端子を示します。

表 21.1 RTCの仕様

項目	内容
カウントモード	カレンダーカウントモード/バイナリカウントモード
カウントソース (注1)	サブクロック (XCIN) または LOCO
時計/カレンダー機能	<ul style="list-style-type: none"> <li>• カレンダーカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD表示 12時間/24時間モード切り替え機能 30秒調整機能 (30秒未満は00秒に切り捨て、30秒以上は1分に切り上げ) うるう年自動補正機能</li> <li>• バイナリカウントモード 秒を32ビットでカウント、バイナリ表示</li> <li>• 両モード共通 スタート/ストップ機能 秒以下の桁のバイナリ表示 (1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) 時計誤差補正機能 クロック (1Hz/64Hz) 出力</li> </ul>
割り込み	<ul style="list-style-type: none"> <li>• アラーム割り込み (RTC_ALM) アラーム割り込み条件として、比較対照を下記から選択可能 カレンダーカウントモード: 年、月、日、曜日、時、分、秒 バイナリカウントモード: 32ビットバイナリカウンタの各ビット</li> <li>• 周期割り込み (RTC_PRD) 割り込み周期として、2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒から選択可能</li> <li>• 桁上げ割り込み (RTC_CUP) 次のいずれかの条件で割り込み発生 <ul style="list-style-type: none"> <li>• 64Hzカウンタから秒カウンタへ桁上げが生じたとき</li> <li>• 64Hzカウンタの変化とR64CNTレジスタの読み出しタイミングが重なったとき</li> </ul> </li> <li>• アラーム割り込みまたは周期割り込みによる、ソフトウェアスタンバイモードからの復帰が可能</li> </ul>
イベントリンク機能	周期イベント出力 (RTC_PRD)

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≥ カウントソースクロック周波数となるように設定してください。

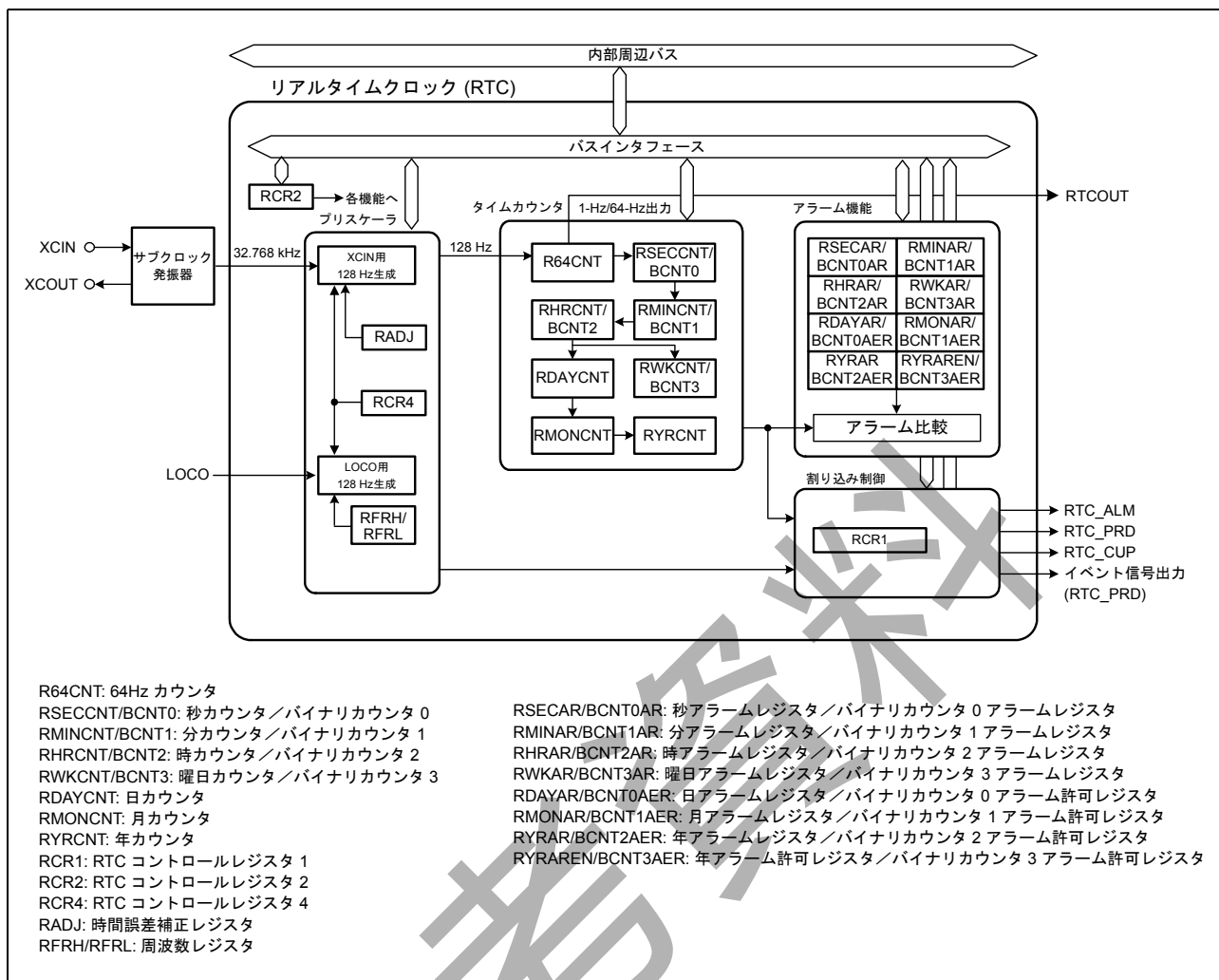


図 21.1 RTC のブロック図

表 21.2 RTC の入出力端子

端子名	入出力	機能
XCIN	入力	32.768kHzの水晶振動子を接続します。
XCOUT	出力	
RTCOUT	出力	1Hz/64Hz波形出力に使用します。

## 21.2 レジスタの説明

RTC レジスタの書き込み／読み出しは、[21.6.5 レジスタの書き込み／読み出し時の注意事項](#)に従って行ってください。

RTC レジスタのビット一覧で、リセット後の値が x (不定) になっているビットは、リセットで初期化されません。カウント動作時 (例えば RCR2.START ビットが 1 のとき) に、RTC がリセット状態または低消費電力状態へ遷移した場合、年／月／曜日／日／時／分／秒／64Hz カウンタは動作を継続します。

注. レジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊される可能性があります。また、どのレジスタに対しても、その設定直後は、ソフトウェアスタンバイモードへ遷移しないでください。詳細は、[21.6.4 レジスタ設定後の低消費電力モード遷移について](#)を参照してください。

### 21.2.1 64Hz カウンタ (R64CNT)

アドレス [RTC.R64CNT 4004 4000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値	0	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	<a href="#">F64HZ</a>	64Hz	秒以下の桁の1Hz～64Hzの状態を示します。	R
b1	<a href="#">F32HZ</a>	32Hz		R
b2	<a href="#">F16HZ</a>	16Hz		R
b3	<a href="#">F8HZ</a>	8Hz		R
b4	<a href="#">F4HZ</a>	4Hz		R
b5	<a href="#">F2HZ</a>	2Hz		R
b6	<a href="#">F1HZ</a>	1Hz		R
b7	—	予約ビット	読むと0が読めます。	R

R64CNT カウンタは、カレンダーカウントモード／バイナリカウントモード共通で使用します。64Hz カウンタ (R64CNT) カウンタは、128Hz クロックでアップカウントするカウンタで、秒周期を生成します。このカウンタを読み出すことで、秒以下の領域の状態を確認できます。

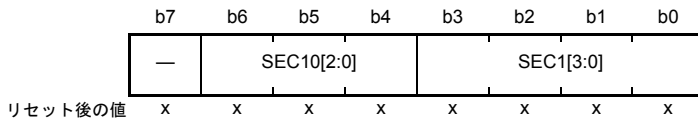
このカウンタは、RTC ソフトウェアリセットまたは 30 秒調整により 00h になります。このカウンタを読み出す際は、[21.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。



## 21.2.2 秒カウンタ (RSECNT) / バイナリカウンタ 0 (BCNT0)

### (1) カレンダカウントモード時

アドレス [RTC.RSECNT 4004 4002h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">SEC1[3:0]</a>	1秒カウンタ	1秒ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b6-b4	<a href="#">SEC10[2:0]</a>	10秒カウンタ	0から5までカウントして、60秒カウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

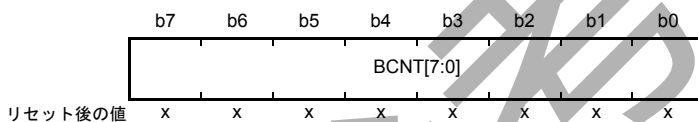
RSECNT カウンタは、BCD コード化された秒の値の設定およびカウントに用いられます。64Hz カウンタでの1秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は10進で00～59です。それ以外の値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にRCR2.STARTビットでカウント動作を停止させてください。

このカウンタを読み出す際は、[21.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT0 4004 4002h](#)



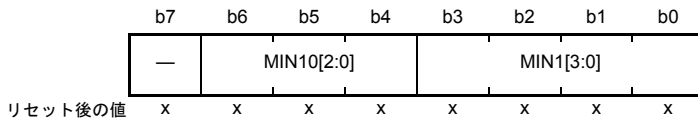
x: 不定

BCNT0 カウンタは、書き込み/読み出し可能な、32ビットバイナリカウンタのb7～b0部分です。32ビットバイナリカウンタは、64Hz カウンタの1秒ごとに生じる桁上げに基づいてカウント動作を行います。このレジスタへ書き込む際は、必ず事前にRCR2.STARTビットでカウント動作を停止させてください。このカウンタを読み出す際は、[21.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

### 21.2.3 分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)

#### (1) カレンダーカウントモード時

アドレス [RTC.RMINCNT 4004 4004h](#)



x: 不定

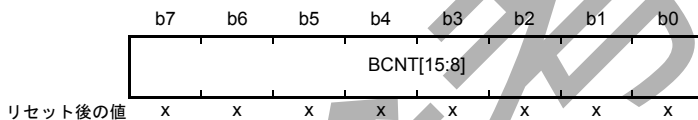
ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">MIN1[3:0]</a>	1分カウンタ	1分ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b6-b4	<a href="#">MIN10[2:0]</a>	10分カウンタ	0から5までカウントして、60分カウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RMINCNT カウンタは、BCD コード化された分の値の設定およびカウントに用いられます。秒カウンタの1分ごとの桁上げによってカウント動作を行います。

設定可能範囲は10進 (BCD) で00～59です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、[21.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

#### (2) バイナリカウントモード時

アドレス [RTC.BCNT1 4004 4004h](#)



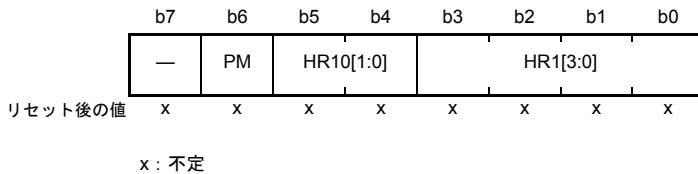
x: 不定

BCNT1 カウンタは、書き込み/読み出し可能な、32ビットバイナリカウンタのb15～b8部分です。32ビットバイナリカウンタは、64Hzカウンタの1秒ごとに生じる桁上げに基づいてカウント動作を行います。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、[21.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

## 21.2.4 時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)

### (1) カレンダーカウントモード時

アドレス [RTC.RHRCNT 4004 4006h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">HR1[3:0]</a>	1時間カウント	1時間に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b5-b4	<a href="#">HR10[1:0]</a>	10時間カウント	一の位からの桁上げごとに1回、0から2までカウントします。	R/W
b6	PM	PM	時計カウンタのAM/PM設定 0: 午前 1: 午後	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

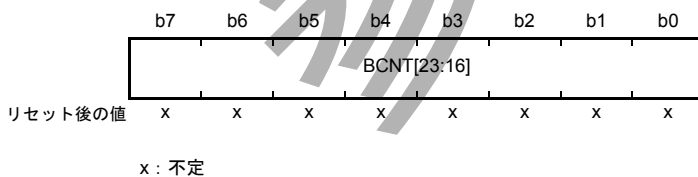
RHRCNT カウンタは、BCD コード化された時間の値の設定およびカウントに用いられます。分カウンタの1時間ごとの桁上げによってカウント動作を行います。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00 ~ 11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00 ~ 23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。PM ビットは、RCR2.HR24 ビットが 0 の場合にのみ有効です。それ以外では、PM ビットの値は無効です。このカウンタを読み出す際は、[21.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT2 4004 4006h](#)

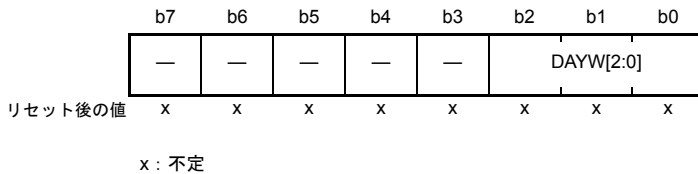


BCNT2 カウンタは、書き込み/読み出し可能な、32 ビットバイナリカウンタの b23 ~ b16 部分です。32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとに生じる桁上げに基づいてカウント動作を行います。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、[21.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

### 21.2.5 曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)

#### (1) カレンダーカウントモード時

アドレス [RTC.RWKCNT 4004 4008h](#)

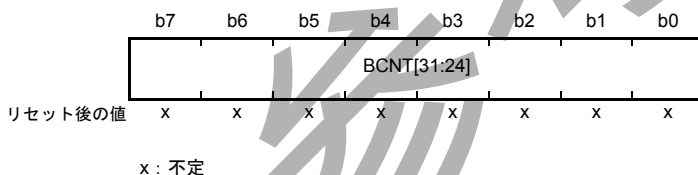


ビット	シンボル	ビット名	機能	R/W
b2-b0	<a href="#">DAYW[2:0]</a>	曜日カウンタ	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定禁止	R/W
b7-b3	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RWKCNT カウンタは、コード化された曜日の値の設定およびカウントに用いられます。時カウンタの1日ごとの桁上げによってカウント動作を行います。設定可能範囲は0～6です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[21.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

#### (2) バイナリカウントモード時

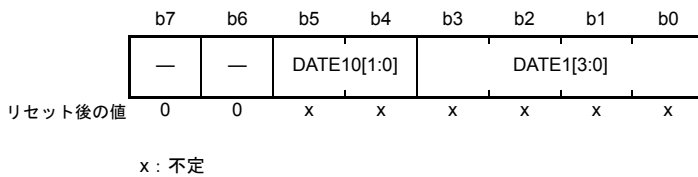
アドレス [RTC.BCNT3 4004 4008h](#)



BCNT3 カウンタは、書き込み/読み出し可能な、32ビットバイナリカウンタのb31～b24部分です。32ビットバイナリカウンタは、64Hzカウンタの1秒ごとの桁上げに基づいてカウント動作を行います。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[21.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

### 21.2.6 日カウンタ (RDAYCNT)

アドレス [RTC.RDAYCNT 4004 400Ah](#)



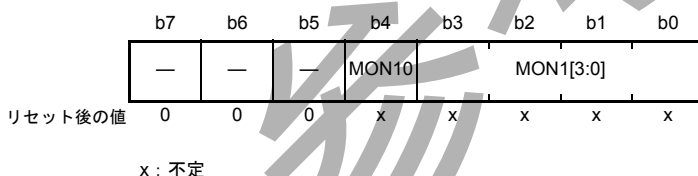
ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">DATE1[3:0]</a>	1日カウンタ	1日に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b5-b4	<a href="#">DATE10[1:0]</a>	10日カウンタ	一の位からの桁上げごとに1回、0から3までカウントします。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RDAYCNT カウンタは、カレンダーカウントモード時に使用します。RDAYCNT カウンタは、BCD コード化された日の値の設定およびカウントに用いられます。時カウンタの一日ごとの桁上げによってカウント動作を行います。カウント動作は、月によっても、うるう年か否かによっても異なります。うるう年は、年カウンタ (RYRCNT) の値が 400、100、および 4 で割り切れるか否かで判定されます。

設定可能範囲は 10 進 (BCD) で 01 ~ 31 です。この範囲にない値が設定されると、RTC は正常に動作しません。値を設定する際は、指定可能な日数範囲が月によっても、うるう年か否かによっても異なるので注意してください。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[21.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

### 21.2.7 月カウンタ (RMONCNT)

アドレス [RTC.RMONCNT 4004 400Ch](#)



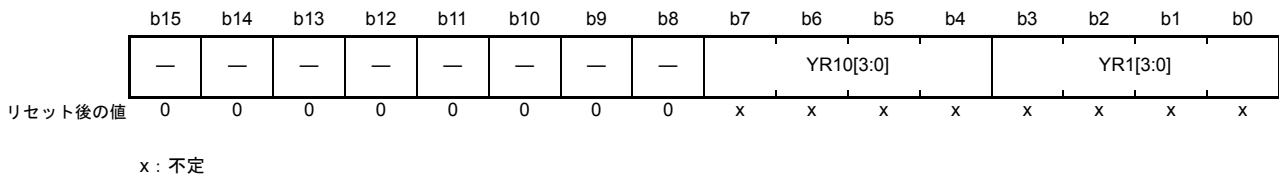
ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">MON1[3:0]</a>	1月カウンタ	1月に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b4	<a href="#">MON10</a>	10月カウンタ	一の位からの桁上げごとに1回、0から1までカウントします。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RMONCNT カウンタは、カレンダーカウントモード時に使用します。RMONCNT カウンタは、BCD コード化された月の値の設定およびカウントに用いられます。日カウンタの月ごとの桁上げによってカウント動作を行います。

設定可能範囲は 10 進 (BCD) で 01 ~ 12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[21.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

## 21.2.8 年カウンタ (RYRCNT)

アドレス RTC.RYRCNT 4004 400Eh



ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年カウンタ	1年に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b7-b4	YR10[3:0]	10年カウンタ	一の位からの桁上げごとに1回、0から9までカウントします。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

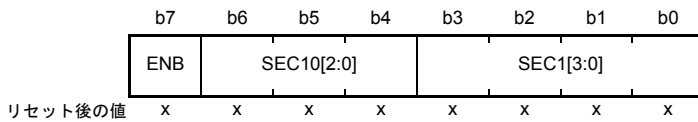
RYRCNT カウンタは、カレンダーカウントモード時に使用します。RYRCNT カウンタは、BCD コード化された年の値の設定およびカウントに用いられます。月カウンタの1年ごとの桁上げによってカウント動作を行います。

設定可能範囲は10進 (BCD) で00～99です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、21.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。

## 21.2.9 秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)

### (1) カレンダーカウントモード時

アドレス [RTC.RSECAR 4004 4010h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">SEC1[3:0]</a>	1 秒	一秒の値の設定値	R/W
b6-b4	<a href="#">SEC10[2:0]</a>	10 秒	十秒の値の設定値	R/W
b7	<a href="#">ENB</a>	ENB	0: このレジスタ値と RSECCNT カウンタ値との比較を行わない 1: このレジスタ値と RSECCNT カウンタ値との比較を行う	R/W

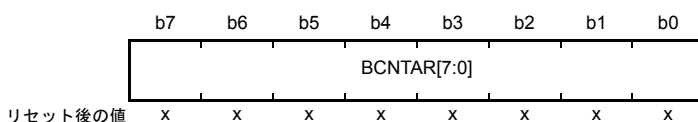
RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RSECAR レジスタ値が RSECCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC ALM 割り込みに対応した IR フラグが 1 になります。RSECAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT0AR 4004 4010h](#)



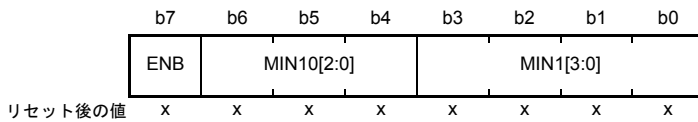
x: 不定

BCNT0AR カウンタは、32 ビットバイナリカウンタの b7 ~ b0 部分に対応する書き込み/読み出し可能なアラームレジスタです。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

## 21.2.10 分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR)

### (1) カレンダーカウントモード時

アドレス [RTC.RMINAR 4004 4012h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分	分の値の一の位に対応する値	R/W
b6-b4	MIN10[2:0]	10分	分の値の十の位に対応する値	R/W
b7	ENB	ENB	0: このレジスタ値とRMINCNTカウンタ値との比較を行わない 1: このレジスタ値とRMINCNTカウンタ値との比較を行う	R/W

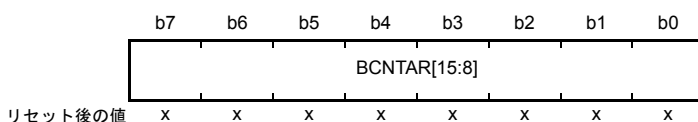
RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に関連するアラームレジスタです。ENB ビットが 1 であれば、RMINAR レジスタ値が RMINCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC ALM 割り込みに対応した IR フラグが 1 になります。RMINAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT1AR 4004 4012h](#)



x: 不定

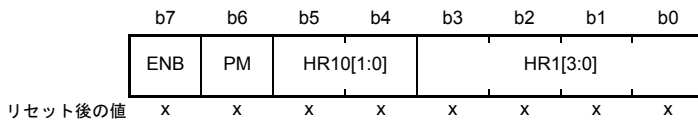
BCNT1AR カウンタは、32 ビットバイナリカウンタの b15 ~ b8 部分に関連する書き込み/読み出し可能なアラームレジスタです。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。



## 21.2.11 時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)

### (1) カレンダーカウントモード時

アドレス [RTC.RHRAR 4004 4014h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">HR1[3:0]</a>	1時間	一時間の位の設定値	R/W
b5-b4	<a href="#">HR10[1:0]</a>	10時間	十時間の位の設定値	R/W
b6	<a href="#">PM</a>	PM	時計アラームのAM/PM設定 0: 午前 1: 午後	R/W
b7	<a href="#">ENB</a>	ENB	0: このレジスタ値とRHCNTカウンタ値との比較を行わない 1: このレジスタ値とRHCNTカウンタ値との比較を行う	R/W

RHRAR レジスタは、BCD コード化された時カウンタ (RHCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RHRAR レジスタ値が RHCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

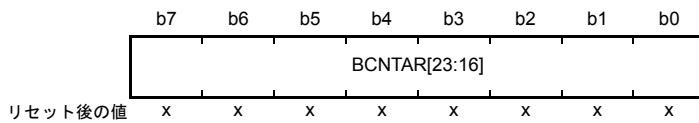
- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00 ~ 11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00 ~ 23 (BCD)

それ以外の値が設定されると、RTC は正常に動作しません。RCR2.HR24 ビットが 0 の場合、必ず PM ビットを設定してください。RCR2.HR24 ビットが 1 の場合、PM ビットの設定は無効です。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

## (2) バイナリカウントモード時

アドレス `RTC.BCNT2AR 4004 4014h`

x: 不定

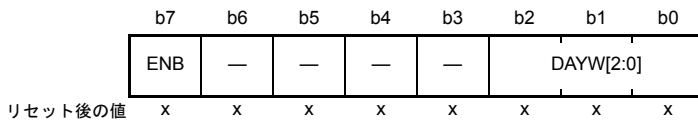
BCNT2AR カウンタは、32 ビットバイナリカウンタの b23 ~ b16 部分に対応する書き込み/読み出し可能なアラームレジスタです。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

参考資料

## 21.2.12 曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)

### (1) カレンダーカウントモード時

アドレス [RTC.RWKAR 4004 4016h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	<a href="#">DAYW[2:0]</a>	曜日設定	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定禁止	R/W
b6-b3	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	<a href="#">ENB</a>	ENB	0: このレジスタ値とRWKCNTカウンタ値との比較を行わない 1: このレジスタ値とRWKCNTカウンタ値との比較を行う	R/W

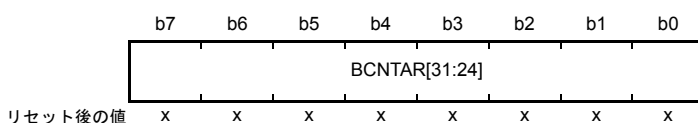
RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RWKAR レジスタ値が RWKCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。RWKAR レジスタの設定可能範囲は、10 進 (BCD) で 0 ~ 6 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT3AR 4004 4016h](#)



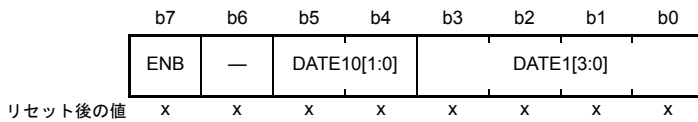
x: 不定

BCNT3AR カウンタは、32 ビットバイナリカウンタの b31 ~ b24 部分に関連する書き込み/読み出し可能なアラームレジスタです。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

### 21.2.13 日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラームイネーブルレジスタ (BCNT0AER)

#### (1) カレンダーカウントモード時

アドレス [RTC.RDAYAR 4004 4018h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">DATE1[3:0]</a>	1日	一日の位の設定値	R/W
b5-b4	<a href="#">DATE10[1:0]</a>	10日	十日の位の設定値	R/W
b6	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	<a href="#">ENB</a>	ENB	0: このレジスタ値とRDAYCNTカウンタ値との比較を行わない 1: このレジスタ値とRDAYCNTカウンタ値との比較を行う	R/W

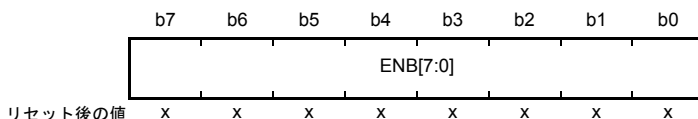
RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に関連するアラームレジスタです。ENB ビットが 1 であれば、RDAYAR レジスタ値が RDAYCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。RDAYAR レジスタの設定可能範囲は、10 進 (BCD) で 01 ~ 31 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

#### (2) バイナリカウントモード時

アドレス [RTC.BCNT0AER 4004 4018h](#)



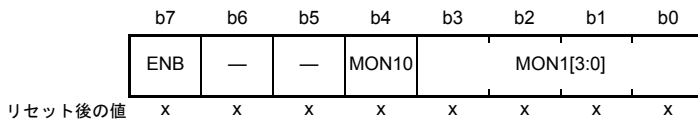
x: 不定

BCNT0AER レジスタは、32 ビットバイナリカウンタの b7 ~ b0 部分に対応するアラーム許可設定用の書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応したバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

## 21.2.14 月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラームイネーブルレジスタ (BCNT1AER)

### (1) カレンダーカウントモード時

アドレス [RTC.RMONAR 4004 401Ah](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">MON1[3:0]</a>	1月	一月の値の設定値	R/W
b4	<a href="#">MON10</a>	10月	十月の値の設定値	R/W
b6-b5	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	<a href="#">ENB</a>	ENB	0: このレジスタ値とRMONCNTカウンタ値との比較を行わない 1: このレジスタ値とRMONCNTカウンタ値との比較を行う	R/W

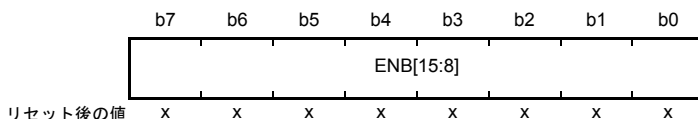
RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RMONAR レジスタ値が RMONCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。RMONAR レジスタの設定可能範囲は、10 進 (BCD) で 01 ~ 12 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT1AER 4004 401Ah](#)



x: 不定

BCNT1AER レジスタは、32 ビットバイナリカウンタの b15 ~ b8 部分に対応するアラーム許可設定用の書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応したバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

## 21.2.15 年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラームイネーブルレジスタ (BCNT2AER)

### (1) カレンダカウントモード時

アドレス [RTC.RYRAR 4004 401Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">YR1[3:0]</a>	1年	一年の位の設定値	R/W
b7-b4	<a href="#">YR10[3:0]</a>	10年	十年の値の設定値	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。RYRAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 99 です。それ以上の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 0000h になります。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT2AER 4004 401Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ENB[23:16]								
リセット後の値	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x

x: 不定

BCNT2AER レジスタは、32 ビットバイナリカウンタの b23 ~ b16 部分に対応するアラーム許可設定用の書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応したバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 0000h になります。

## 21.2.16 年アラームイネーブルレジスタ (RYRAREN) / バイナリカウンタ 3 アラームイネーブルレジスタ (BCNT3AER)

### (1) カレンダーカウントモード時

アドレス [RTC.RYRAREN 4004 401Eh](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0: このレジスタ値とRYRCNTカウンタ値との比較を行わない 1: このレジスタ値とRYRCNTカウンタ値との比較を行う	R/W

RYRAREN レジスタの ENB ビットが 1 であれば、RYRAR レジスタ値が RYRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT3AER 4004 401Eh](#)

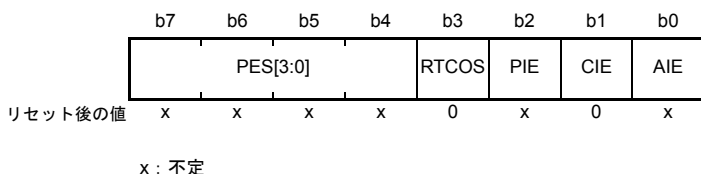
	b7	b6	b5	b4	b3	b2	b1	b0
	ENB[31:24]							
リセット後の値	x	x	x	x	x	x	x	x

x: 不定

BCNT3AER レジスタは、32 ビットバイナリカウンタの b31 ~ b24 部分に対応するアラーム許可設定用の書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

## 21.2.17 RTC コントロールレジスタ 1 (RCR1)

アドレス RTC.RCR1 4004 4022h



ビット	シンボル	ビット名	機能	R/W
b0	AIE	アラーム割り込み許可	0: アラーム割り込み要求を禁止 1: アラーム割り込み要求を許可	R/W
b1	CIE	桁上げ割り込み許可	0: 桁上げ割り込み要求を禁止 1: 桁上げ割り込み要求を許可	R/W
b2	PIE	周期割り込み許可	0: 周期割り込み要求を禁止 1: 周期割り込み要求を許可	R/W
b3	RTCOS	RTCOUT 出力選択	0: RTCOUT は 1Hz を出力 1: RTCOUT は 64Hz を出力	R/W
b7-b4	PES[3:0]	周期割り込み選択	b7    b4 0 1 1 0: 1/256 秒ごとに周期割り込みが発生 (注1) 0 1 1 1: 1/128 秒ごとに周期割り込みが発生 1 0 0 0: 1/64 秒ごとに周期割り込みが発生 1 0 0 1: 1/32 秒ごとに周期割り込みが発生 1 0 1 0: 1/16 秒ごとに周期割り込みが発生 1 0 1 1: 1/8 秒ごとに周期割り込みが発生 1 1 0 0: 1/4 秒ごとに周期割り込みが発生 1 1 0 1: 1/2 秒ごとに周期割り込みが発生 1 1 1 0: 1 秒ごとに周期割り込みが発生 1 1 1 1: 2 秒ごとに周期割り込みが発生 上記以外: 周期割り込みは発生しない	R/W

注 1. PES[3:0] ビット = 0110b のときに LOCO を選択 (RCR4.RCKSEL ビット = 1) すると、割り込み発生周期は 1/128 秒ごとになります。

RCR1 レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換える際は、全ビットが更新されたことを確認してから次の処理を実行してください。

**AIE ビット (アラーム割り込み許可)**

アラーム割り込み要求を許可または禁止します。

**CIE ビット (桁上げ割り込み許可)**

RSECCNT/BCNT0 カウンタへの桁上げが生じたとき、または 64Hz カウンタの読み出し中に 64Hz カウンタ (R64CNT) への桁上げが生じたときの割り込み要求を許可または禁止します。

**PIE ビット (周期割り込み許可)**

周期割り込み要求を許可または禁止します。

**RTCOS ビット (RTCOUT 出力選択)**

RTCOUT の出力周期を選択します。RTCOS ビットは、必ず、カウント動作停止中 (RCR2.START ビット = 0)、かつ RTCOUT 出力禁止のときに (RCR2.RTCOE ビット = 0) に書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットを有効にしてください。I/O ポートの制御については、[16.5.1 端子機能の設定手順](#)を参照してください。



**PES[3:0] ビット (周期割り込み選択)**

周期割り込みの周期を設定します。これらのビットで設定した周期に応じて周期割り込みが発生します。

**21.2.18 RTC コントロールレジスタ 2 (RCR2)****(1) カレンダカウントモード時**

アドレス [RTC.RCR2 4004 4024h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTM D	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	<a href="#">START</a>	スタート	0: プリスケアラと時計カウンタを停止 1: プリスケアラと時計カウンタは通常動作	R/W
b1	<a href="#">RESET</a>	RTCソフトウェアリセット	<ul style="list-style-type: none"> <li>書き込み時 0: 書き込みは無効 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ(注1)を初期化</li> <li>読み出し時 0: 通常の時計動作中またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット処理中</li> </ul>	R/W
b2	<a href="#">ADJ30</a>	30秒調整	<ul style="list-style-type: none"> <li>書き込み時 0: 書き込みは無効 1: 30秒調整を実行</li> <li>読み出し時 0: 通常の時計動作中または30秒調整が完了 1: 30秒調整処理中</li> </ul>	R/W
b3	<a href="#">RTCOE</a>	RTCOUT出力許可	0: RTCOUT出力を禁止 1: RTCOUT出力を許可	R/W
b4	<a href="#">AADJE</a>	自動補正機能許可 (注2)	0: 自動補正は禁止 1: 自動補正は許可	R/W
b5	<a href="#">AADJP</a>	自動補正周期選択 (注2)	0: 1分ごとにプリスケアラのカウンタ値に対してRADJ.ADJ[5:0]ビット値を加減算 1: 10秒ごとにプリスケアラのカウンタ値に対してRADJ.ADJ[5:0]ビット値を加減算	R/W
b6	<a href="#">HR24</a>	時間モード	0: RTCは12時間モードで動作 1: RTCは24時間モードで動作	R/W
b7	<a href="#">CNTMD</a>	カウンタモード選択	0: カレンダカウントモード 1: バイナリカウンタモード	R/W

注 1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注 2. LOCO を選択した場合、本ビットの設定は無効です。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、およびカウンタ制御に関するレジスタです。

### START ビット (スタート)

プリスケアラまたは時計カウンタの停止または動作を再開します。

START ビットは、カウントソースの次の周期に同期して更新されます。START ビットを書き換える際は、このビットが更新されたことを確認してから次の処理を実行してください。

### RESET ビット (RTC ソフトウェアリセット)

プリスケアラと RTC ソフトウェアリセット対象レジスタを初期化します。

RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。このビットが 0 になったことを確認してから次の処理を実行してください。

### ADJ30 ビット (30 秒調整)

30 秒調整を行います。

ADJ30 ビットに 1 を書くと、RSECCNT カウンタ値が 30 秒未満の場合は 00 秒に切り捨てられ、30 秒以上の場合は 1 分に切り上げられます。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに 1 を書いた場合、30 秒調整が完了すると ADJ30 ビットは自動的に 0 になります。ADJ30 ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。30 秒調整を実行すると、プリスケアラと R64CNT カウンタもリセットされます。RTC ソフトウェアリセットを実行すると ADJ30 ビットは 0 になります。

### RTC OE ビット (RTCOUT 出力許可)

RTCOUT からの 1Hz/64Hz クロック信号出力を許可します。

RTC OE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、RTC OE ビット値の変更は、同時に行わないでください。

RTCOUT を外部端子から出力する場合は、RTC OE ビットを許可にするとともに、この端子にポート制御を設定してください。

### AADJE ビット (自動補正機能許可 (注2))

自動補正機能を制御 (許可 / 禁止) します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正しない) にしてください。

AADJE ビットは、RTC ソフトウェアリセットを実行すると 0 になります。

### AADJP ビット (自動補正周期選択 (注2))

自動補正周期を選択します。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正しない) にしてください。

AADJP ビットは、RTC ソフトウェアリセットを実行すると 0 になります。

### HR24 ビット (時間モード)

RTC を 12 時間モードと 24 時間モードのどちらで動作させるかを指定します。

HR24 ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、HR24 ビット値の変更は、同時に行わないでください。

### CNTMD ビット (カウントモード選択)

RTC をカレンダーカウントモードとバイナリカウントモードのどちらで動作させるかを指定します。

カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。このビットはカウントソースに同期して更新され、RTC ソフトウェアリセットが完了する前に値が確定します。

初期設定の詳細は、21.3.1 電源投入後のレジスタ初期設定の概要を参照してください。

## (2) バイナリカウントモード時

アドレス RTC.RCR2 4004 4024h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTM D	—	AADJP	AADJE	RTCOE	—	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0: 32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケアラを停止 1: 32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケアラは通常動作	R/W
b1	RESET	RTCソフトウェアリセット	<ul style="list-style-type: none"> <li>書き込み時 0: 書き込みは無効 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ(注1)を初期化</li> <li>読み出し時 0: 通常の時計動作中またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット処理中</li> </ul>	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	RTCOE	RTCOE出力許可	0: RTCOE出力を禁止 1: RTCOE出力を許可	R/W
b4	AADJE	自動補正機能許可(注2)	0: 自動補正は禁止 1: 自動補正は許可	R/W
b5	AADJP	自動補正周期選択(注2)	0: 32秒ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[5:0]ビット値を加減算 1: 8秒ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[5:0]ビット値を加減算	R/W
b6	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	R/W
b7	CNTMD	カウントモード選択	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2. LOCO を選択した場合、本ビットの設定は無効です。

**START ビット (スタート)**

プリスケアラまたはカウンタ (時計) の動作を停止または再開します。

START ビットは、カウントソースに同期して更新されます。START ビットを書き換える際は、このビットが更新されたことを確認してから次の処理を実行してください。

**RESET ビット (RTC ソフトウェアリセット)**

プリスケアラと RTC ソフトウェアリセット対象レジスタを初期化します。

RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。RESET ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。

**RTCOE ビット (RTCOUT 出力許可)**

RTCOUT からの 1Hz/64Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、RTCOE ビット値の変更は、同時に行わないでください。RTCOUT 信号を外部端子から出力する場合は、このビットを許可にするとともに、ポート制御を有効にしてください。

**AADJE ビット (自動補正機能許可 (注2))**

自動補正機能を制御 (許可 / 禁止) します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正しない) にしてください。AADJE ビットは、RTC ソフトウェアリセットを実行すると 0 になります。

**AADJP ビット (自動補正周期選択 (注2))**

自動補正の周期を選択します。

バイナリカウントモードでは、32 秒ごとまたは 8 秒ごとの補正周期を選択できます。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正しない) にしてください。AADJP ビットは、RTC ソフトウェアリセットを実行すると 0 になります。

**CNTMD ビット (カウントモード選択)**

RTC をカレンダーカウントモードとバイナリカウントモードのどちらで動作させるかを指定します。

カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。このビットはカウントソースに同期して更新され、RTC ソフトウェアリセットが完了する前に値が確定します。

初期設定の詳細は、21.3.1 電源投入後のレジスタ初期設定の概要を参照してください。

**21.2.19 RTC コントロールレジスタ 4 (RCR4)**

アドレス RTC.RCR4 4004 4028h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RCKSEL
リセット後の値	0	0	0	0	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	RCKSEL	カウントソース選択	0: サブクロック発振器を選択 1: LOCO を選択	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

RCR4 レジスタは、カウントソースを選択するために用いられます。本レジスタは、カレンダーカウントモードとバイナリカウントモードで共通の機能です。RCKSEL ビットを 0 にすると、サブクロックを使用して時計のカウント動作が行われます。RCKSEL ビットを 1 にすると、LOCO を使用して時計のカウント動作が行われます。

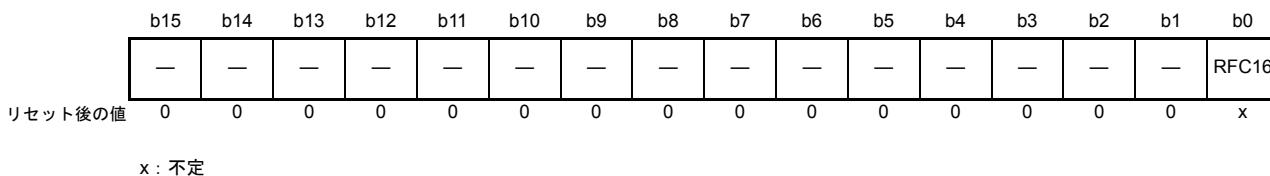
**RCKSEL ビット (カウントソース選択)**

カウントソースを、サブクロックと LOCO から選択します。

カウントソースの選択は、電源投入後、RTC レジスタの初期設定前に一度だけ行ってください。

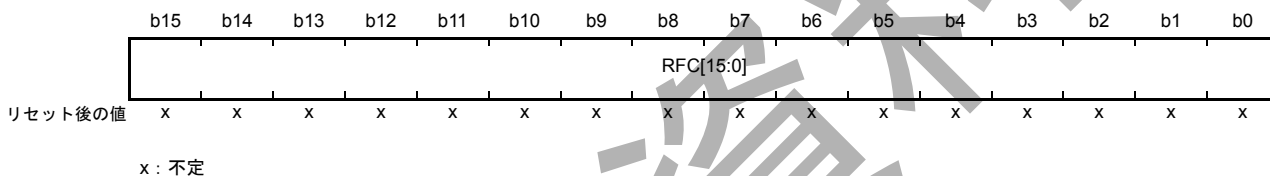
## 21.2.20 周波数レジスタ (RFRH/RFRL)

アドレス RTC.RFRH 4004 402Ah



ビット	シンボル	ビット名	機能	R/W
b0	RFC16	予約ビット	コールドスタート後、RFRLレジスタに書き込む前に0を書いてください。	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス RTC.RFRL 4004 402Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	RFC[15:0]	周波数比較値	LOCO使用時は、このレジスタに00FFhを書いてください。	R/W

RFRL は、LOCO 選択時のプリスケアラを制御するレジスタです。

RTC の時計カウンタは、128Hz クロック信号を基本クロックとして動作します。そのため、LOCO を選択した場合、プリスケアラで LOCO が分周されて 128Hz クロック信号が生成されます。RFC[15:0] ビットには、LOCO 周波数から 128Hz クロックを生成するための周波数比較値を設定します。コールドスタート後、最初に RFC[15:0] へ書き込む前に、RFRH に 0000h を書き込んでください。

周波数比較値の設定可能範囲は、0007h ~ 01FFh です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。周辺モジュールクロックと LOCO の動作周波数は、「周辺モジュールクロック ≥ LOCO」となるようにしてください。

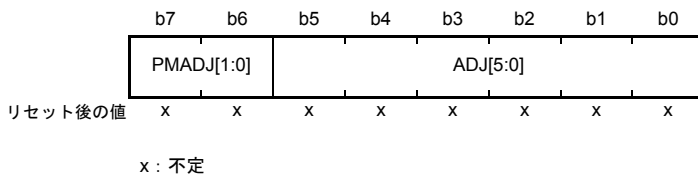
周波数比較値計算方法：

$$\text{RFC}[15:0] = (\text{LOCO クロック周波数}) \div 128 - 1$$

LOCO 周波数が 32.768kHz の場合、RFRL レジスタは 00FFh にする必要があります。

## 21.2.21 時計誤差補正レジスタ (RADJ)

アドレス RTC.RADJ 4004 402Eh



ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正值	プリスケアラに対する補正值を設定します。	R/W
b7-b6	PMADJ[1:0]	プラスマイナス	b7 b6 0 0: 補正しない 0 1: プリスケアラに対して値を加えて補正 1 0: プリスケアラに対して値を減じて補正 1 1: 設定禁止	R/W

プリスケアラに値を加えるかまたは値を減じることによって補正を行います。自動補正機能有効ビット (RCR2.AADJE) が 0 であると、RADJ レジスタへの書き込み時に補正が行われます。RCR2.AADJE ビットが 1 であると、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正が行われます。

ソフトウェア設定による補正 (自動補正しない設定) では、このレジスタの設定後、カウントソースの 320 サイクル中に次の補正值を設定すると、現在の補正值設定が無効となる場合があります。連続して補正を行う場合は、レジスタの設定後、カウントソースで 320 サイクル以上待ってから次の補正值を設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換える際は、全ビットの値が更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 00h になります。サブクロックを選択した場合にのみ、このレジスタの設定が有効になります。LOCO を選択した場合、補正は行われません。

**ADJ[5:0] ビット (補正值)**

プリスケアラに対する補正值 (サブクロックのサイクル数) を設定します。

**PMADJ[1:0] ビット (プラスマイナス)**

ADJ[5:0] ビットで設定した誤差補正值に従って、時計を進めるか、遅らせるかを選択します。

## 21.3 動作説明

### 21.3.1 電源投入後のレジスタ初期設定の概要

電源投入後に、クロック設定、カウントモード設定、時計誤差補正、時刻設定、アラーム、および割り込みコントロールレジスタに対し、それぞれ初期設定を行ってください。

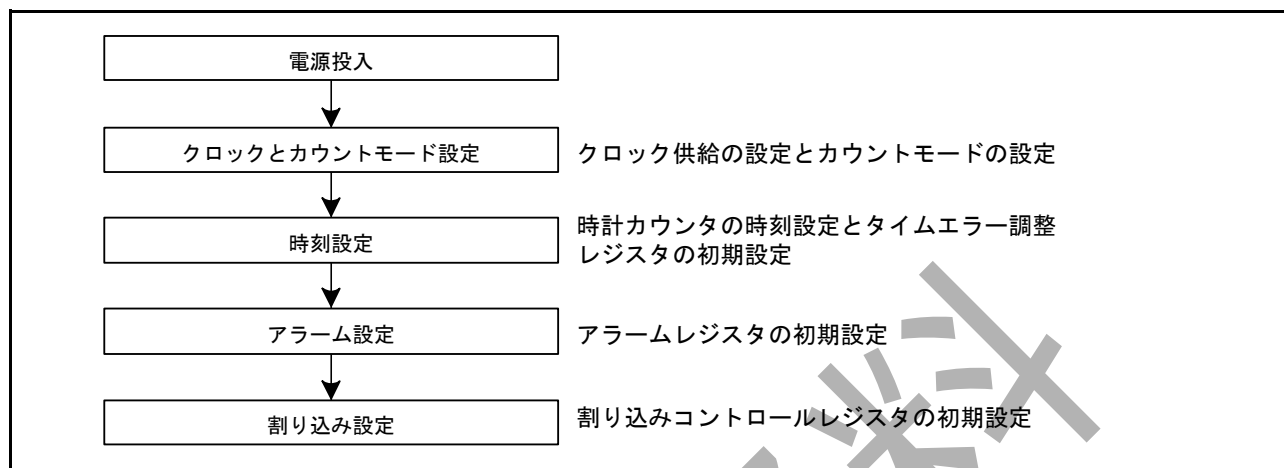


図 21.2 電源投入後の初期設定の概要

### 21.3.2 クロックおよびカウントモードの設定手順

図 21.3 にクロックおよびカウントモードの設定方法を示します。

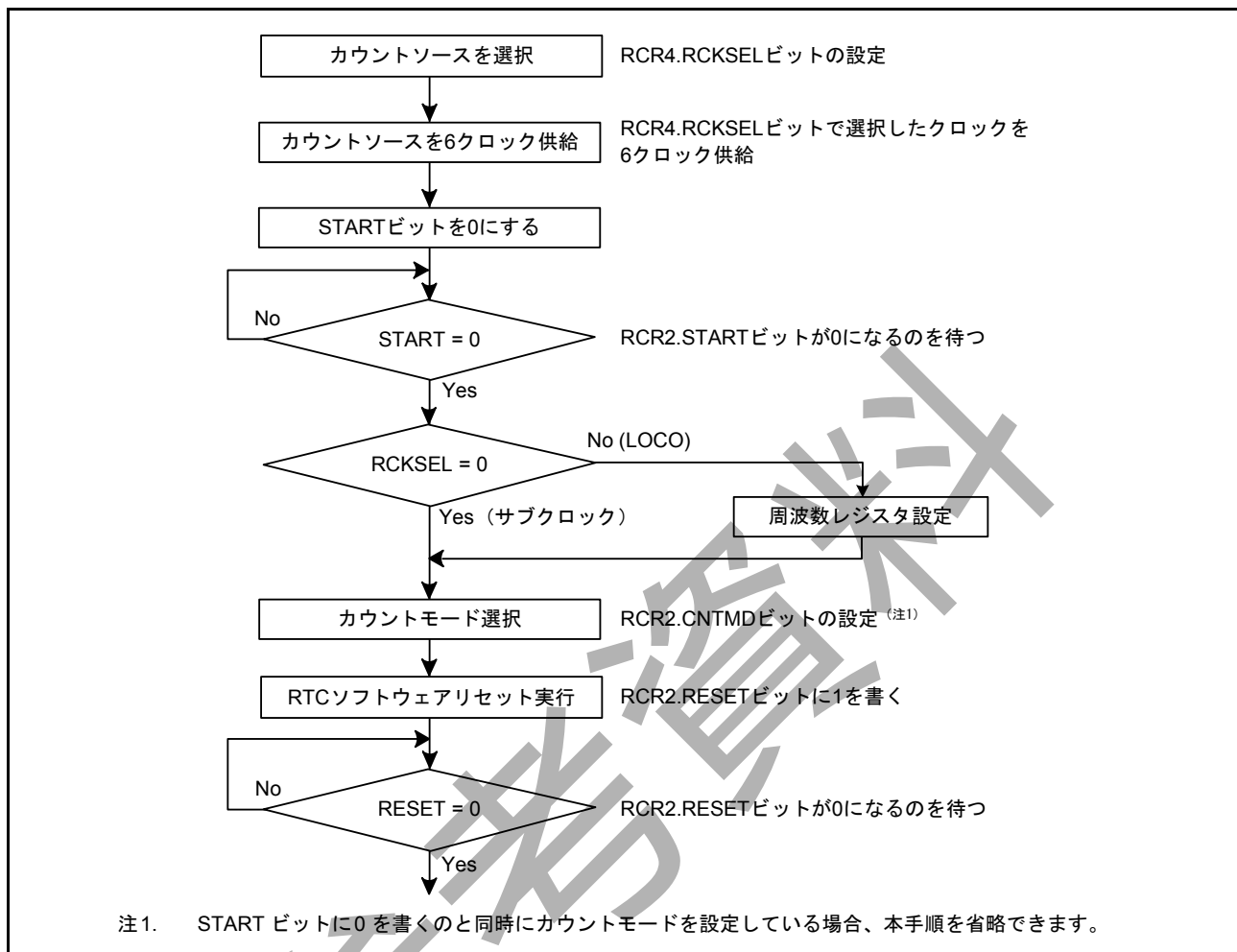


図 21.3 クロックおよびカウントモードの設定手順



## 21.3.3 時刻の設定

図 21.4 に時刻の設定方法を示します。

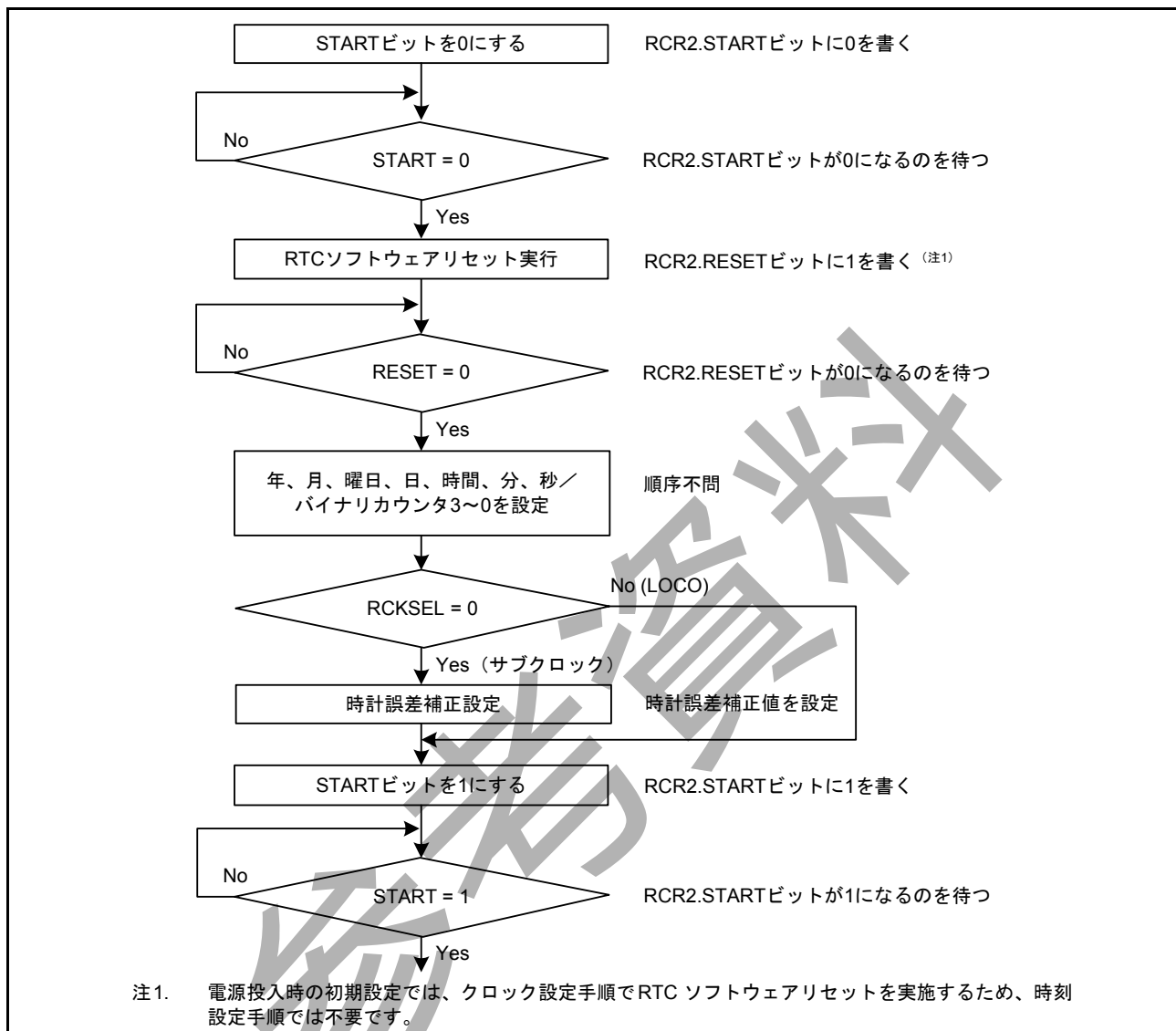


図 21.4 時刻の設定

## 21.3.4 30 秒調整手順

図 21.5 に 30 秒調整手順を示します。

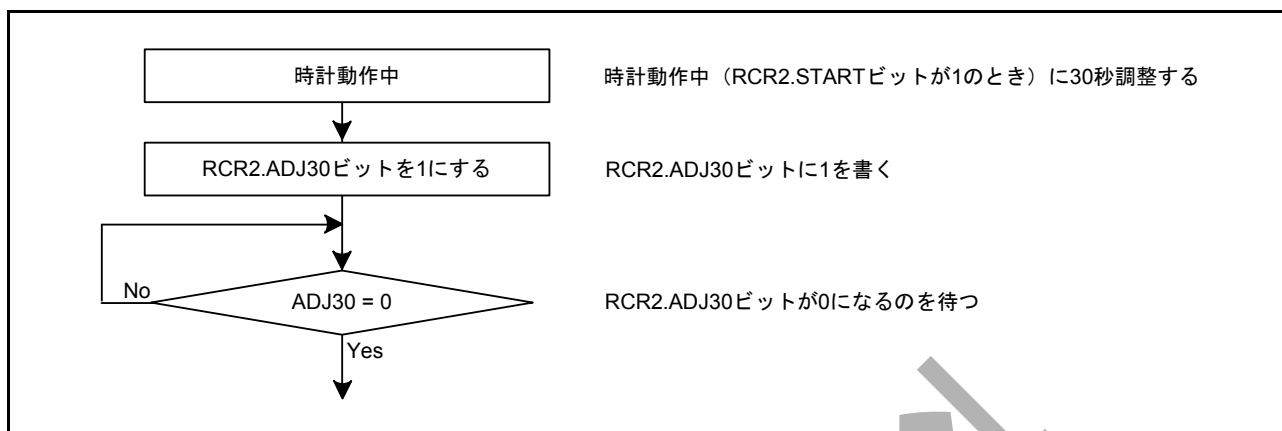


図 21.5 30 秒調整手順

## 21.3.5 64Hz カウンタと時刻の読み出し

図 21.6 に 64Hz カウンタと時刻の読み出し方法を示します。

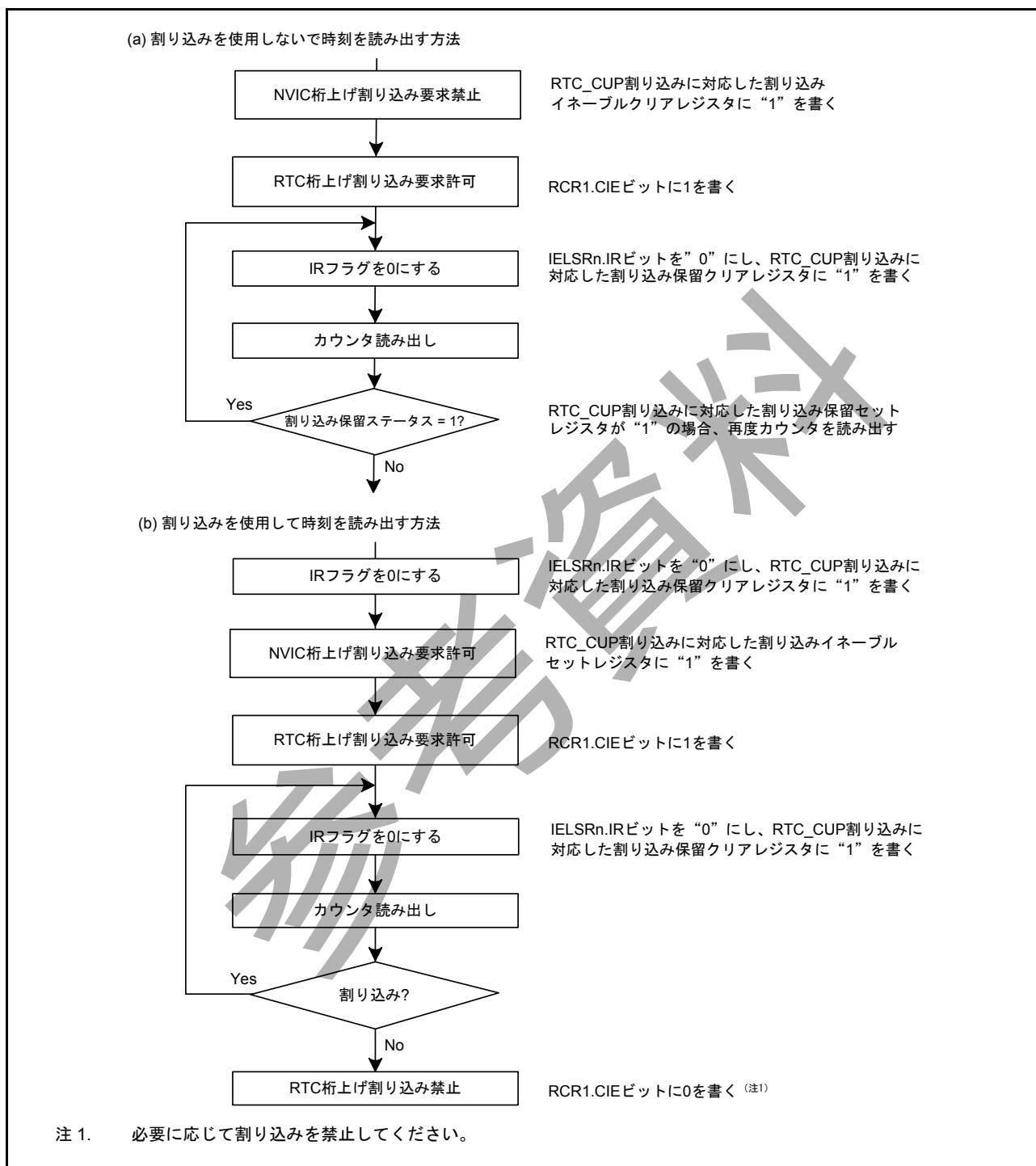


図 21.6 時刻の読み出し手順

64Hz カウンタと時刻の読み出し中に桁上げが生じると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しないで時刻を読み出す場合の手順を図 21.6 の (a) に、桁上げ割り込みを使用する場合の手順を (b) に示します。通常は、プログラムを容易にするために、方法 (a) を使用してください。

### 21.3.6 アラーム機能

図 21.7 にアラーム機能の使用方法を示します。

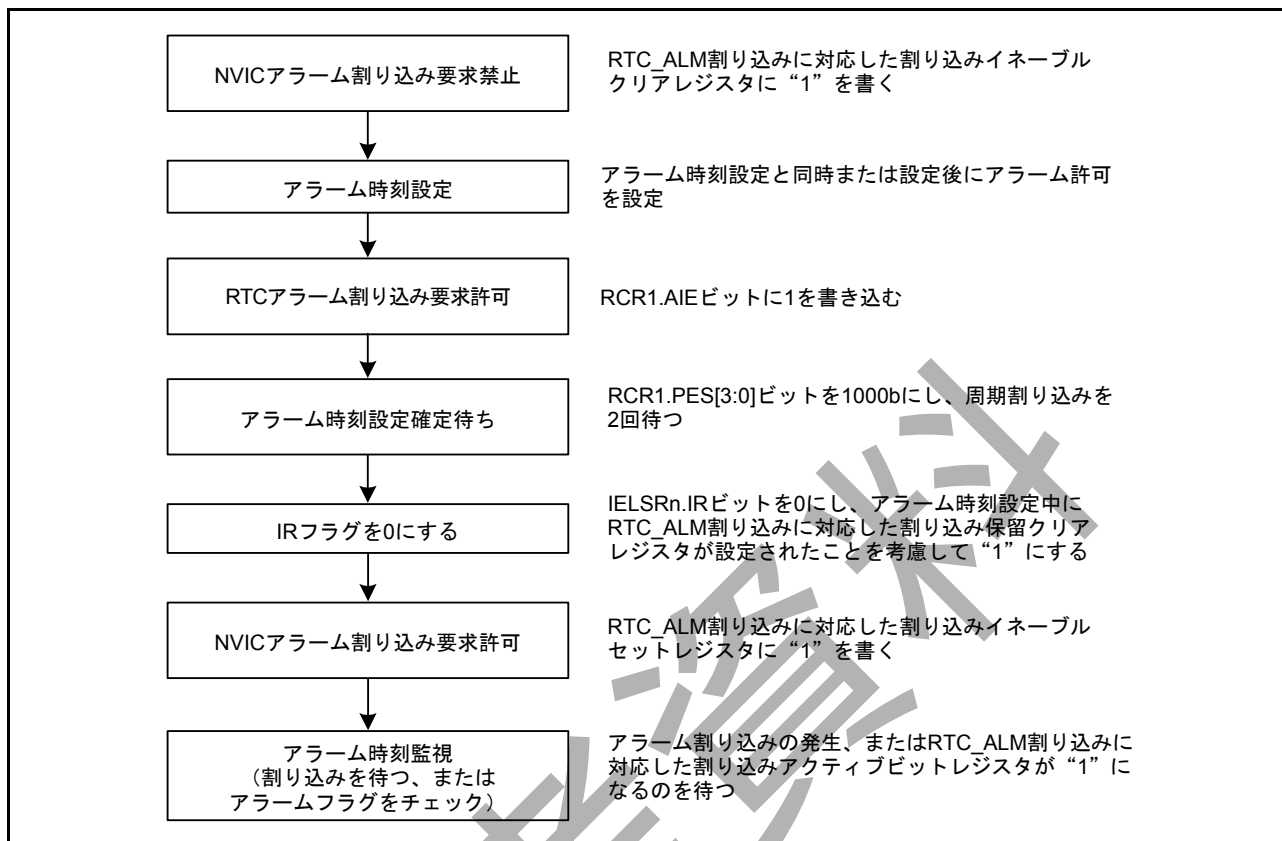


図 21.7 アラーム機能の使用方法

カレンダーカウントモードでは、年、月、日、曜日、時、分、秒のいずれか1つ、またはこれらの任意の組み合わせで、アラームを発生させることができます。アラーム設定を必要とする各アラームレジスタのENBビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタはENBビットに0を書き込みます。

バイナリカウントモードでは、32ビットの任意ビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応したアラームイネーブルレジスタのENBビットに1を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットに対しては、アラームイネーブルレジスタのENBビットに0を書き込みます。

カウンタとアラーム時刻が一致すると、IELSRn.IRビットと、RTC\_ALM割り込みに対応した割り込みセット保留/クリア保留レジスタが1になります。アラームの検出は、RTC\_ALM割り込みに対応した割り込み設定保留レジスタを読み出すことで確認できますが、通常は割り込みを使用してください。RTC\_ALM割り込みに対応した割り込み設定イネーブルレジスタと割り込みアクティブビットレジスタが1になると、アラームイベント発生時にアラーム割り込みが発生し、アラームの検出が可能になります。

RTC\_ALM割り込みに対応したIELSRn.IRビットは、0を書き込むと0になります。割り込みを許可した場合、割り込みハンドラの終了後、RTC\_ALM割り込みに対応した割り込み設定保留/クリア保留レジスタと割り込みアクティブビットレジスタが自動的にクリアされます。割り込みを禁止した場合は、RTC\_ALM割り込みに対応した割り込みクリア保留レジスタに1を書いてクリアしてください。

低消費電力状態のときにカウンタとアラーム時刻が一致すると、MCUは低消費電力状態から復帰します。

## 21.3.7 アラーム割り込み禁止手順

図 21.8 に、許可状態のアラーム割り込み要求を禁止する手順を示します。

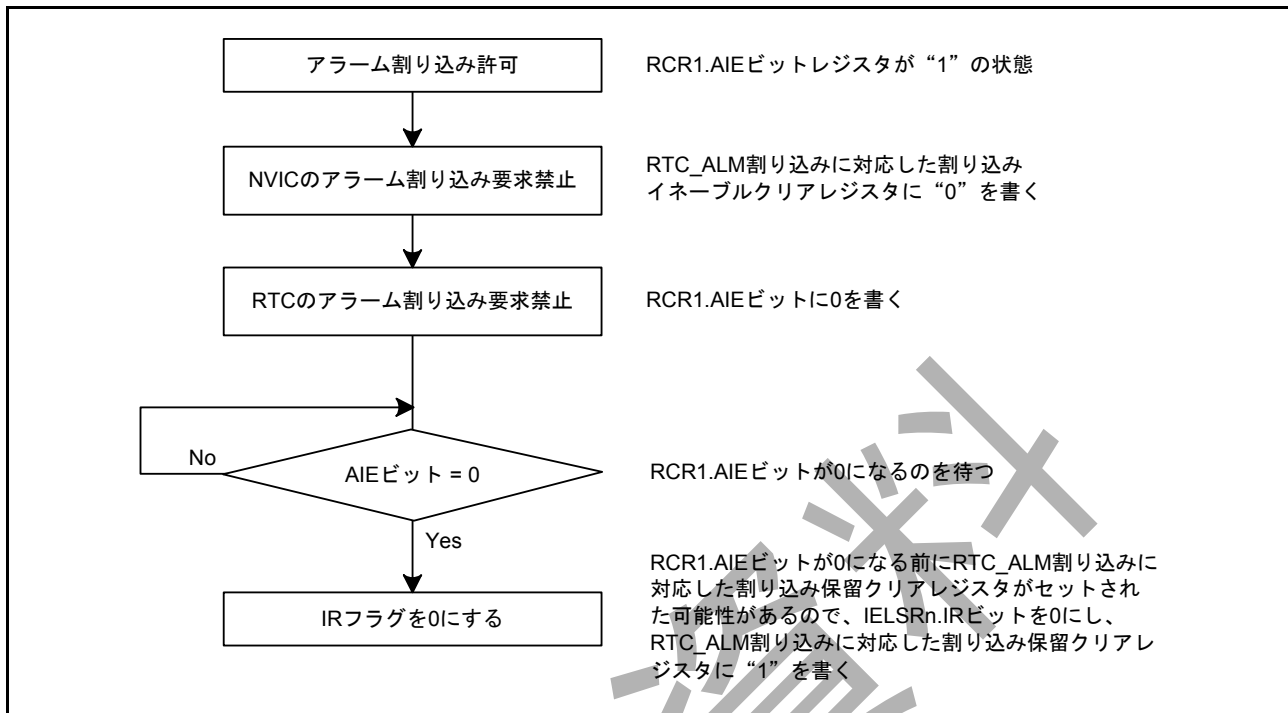


図 21.8 アラーム割り込み要求の禁止手順

### 21.3.8 時計誤差補正機能

時計誤差補正機能は、サブクロックによる発振精度の変動に起因した、時計の誤差（遅れ／進み）を補正するために使用します。サブクロックを選択した場合、サブクロックの 32,768 サイクルが 1 秒の動作に相当するため、サブクロックの周波数が高いと時計が進み、低いと時計が遅れます。この機能を使用して、時計の進みまたは遅れによる誤差を補正することが可能です。

時計誤差補正機能には下記の 2 種類があります。

- **自動補正機能**
- **ソフトウェアによる補正**

自動補正またはソフトウェアによる補正は、RCR2.AADJE ビットで選択してください。

#### 21.3.8.1 自動補正機能

RCR2.AADJE ビットを 1 にすると、自動補正機能が有効になります。自動補正機能では、RCR2.AADJE ビットで選択した補正周期ごとに、プリスケアラでカウントした値に対して RADJ レジスタ値を加算または減算します。

##### (1) 例 1：サブクロックが 32.769kHz で動作している場合

###### (a) 補正方法

サブクロックが 32.769kHz で動作している場合、32,769 クロックサイクルごとに 1 秒経過します。RTC は、32,768 クロックサイクルで動作するよう設計されているため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 分当たり 60 クロックサイクルのペースで早くなるため、1 分ごとに 60 クロックサイクルだけ遅らせる方法で補正が可能です。

レジスタ設定内容 (RCR2.CNTMD = 0 の場合) :

- RCR2.AADJP ビット = 0 (1 分ごとに補正)
- RADJ.PMADJ[1:0] ビット = 10b (プリスケアラに対して値を減算して補正)
- RADJ.ADJ[5:0] ビット = 60 (3Ch)

##### (2) 例 2：サブクロックが 32.766kHz で動作している場合

###### (a) 補正方法

サブクロックが 32.766kHz で動作している場合、32,766 クロックサイクルごとに 1 秒経過します。RTC は、32,768 クロックサイクルで動作するよう設計されているため、1 秒ごとに 2 クロックサイクル分時計が遅れます。時計は、10 秒当たり 20 クロックサイクルのペースで遅くなるため、10 秒ごとに 20 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定内容 (RCR2.CNTMD = 0 の場合) :

- RCR2.AADJP ビット = 1 (10 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (プリスケアラに対して値を加算して補正)
- RADJ.ADJ[5:0] ビット = 20 (14h)

**(3) 例 3 : サブクロックが 32.764kHz で動作している場合****(a) 補正方法**

32.764kHz で動作している場合、32,764 クロックサイクルで 1 秒経過します。RTC は、32,768 クロックサイクルを 1 秒として動作するため、時計は 1 秒間に 4 クロックサイクル分遅れます。8 秒間では 32 クロックサイクル遅れるため、8 秒ごとに 32 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定内容 (RCR2.CNTMD = 1 の場合) :

- RCR2.AADJP ビット = 1 (8 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (プリスケアラに対して値を加算して補正)
- RADJ.ADJ[5:0] ビット = 32 (20h)

**21.3.8.2 ソフトウェアによる補正**

RCR2.AADJE ビットを 0 にすると、ソフトウェアによる補正が有効になります。ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで、プリスケアラでカウントした値に対し RADJ レジスタ値を加算または減算します。

**(1) 例 1 : サブクロックが 32.769kHz で動作している場合****(a) 補正方法**

サブクロックが 32.769kHz で動作している場合、32,769 クロックサイクルごとに 1 秒経過します。RTC は、32,768 クロックサイクルで動作するように設計されているため、1 秒ごとに 1 クロックサイクル分、時計が進みます。時計は、1 秒当たり 1 クロックサイクルのペースで早くなるため、1 秒ごとに 1 クロックサイクル分、時計を遅らせる方法で補正が可能です。

**(b) レジスタ設定内容**

- RADJ.PMADJ[1:0] ビット = 10b (プリスケアラに対して値を減算して補正)
- RADJ.ADJ[5:0] ビット = 1 (01h)  
この値を、1 秒の割り込みにつき 1 回、RADJ レジスタに書き込みます。

**21.3.8.3 補正モードの変更手順**

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを 00b (補正しない) にした後、RCR2.AADJE ビットの値を変更してください。

ソフトウェアによる補正から自動補正へ切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b (補正しない) にします。
2. RCR2.AADJE ビットを 1 (自動補正機能許可) にします。
3. RCR2.AADJP ビットで補正周期を選択します。
4. RADJ.PMADJ[1:0] ビットに加算または減算を設定し、RADJ.ADJ[5:0] ビットに時計誤差補正值を設定します。

自動補正からソフトウェアによる補正へ切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b (補正しない) にします。
2. RCR2.AADJE ビットを 0 (ソフトウェアによる補正を有効) にします。
3. 任意のタイミングで、RADJ.PMADJ[1:0] ビットに加算または減算を設定し、RADJ.ADJ[5:0] ビットに時計誤差補正值を設定することにより、補正を開始します。以降、RADJ レジスタに値を書き込むごとに時間補正が行われます。

**21.3.8.4 補正機能の停止手順**

補正機能を停止するには、RADJ.PMADJ[1:0] ビットを 00b (補正しない) にします。

## 21.4 割り込み要因

RTC には、表 21.3 に示すように、3 種類の割り込み要因があります。

表 21.3 RTCの割り込み要因

名称	割り込み要因
RTC_ALM	アラーム割り込み
RTC_PRD	周期割り込み
RTC_CUP	桁上げ割り込み

### (1) アラーム割り込み (RTC\_ALM)

アラームレジスタとリアルタイムクロックカウンタとの比較結果に基づいて割り込みが発生します。詳細は、21.3.6 アラーム機能を参照してください。

アラームレジスタの設定時に時計カウンタと一致して、割り込みフラグが 1 になる可能性があるため、アラーム時刻設定の確定を待ってください。アラームレジスタの値を変更した後は、IELSRn.IR ビットと、RTC\_ALM 割り込みに対応した割り込みセット保留レジスタを再び 0 にクリアしてください。アラーム割り込みの割り込みフラグが 1 になった後、アラームレジスタと時計カウンタを不一致状態に戻すと、再び一致するかアラームレジスタの値の再設定を行うまでフラグは 1 になりません。

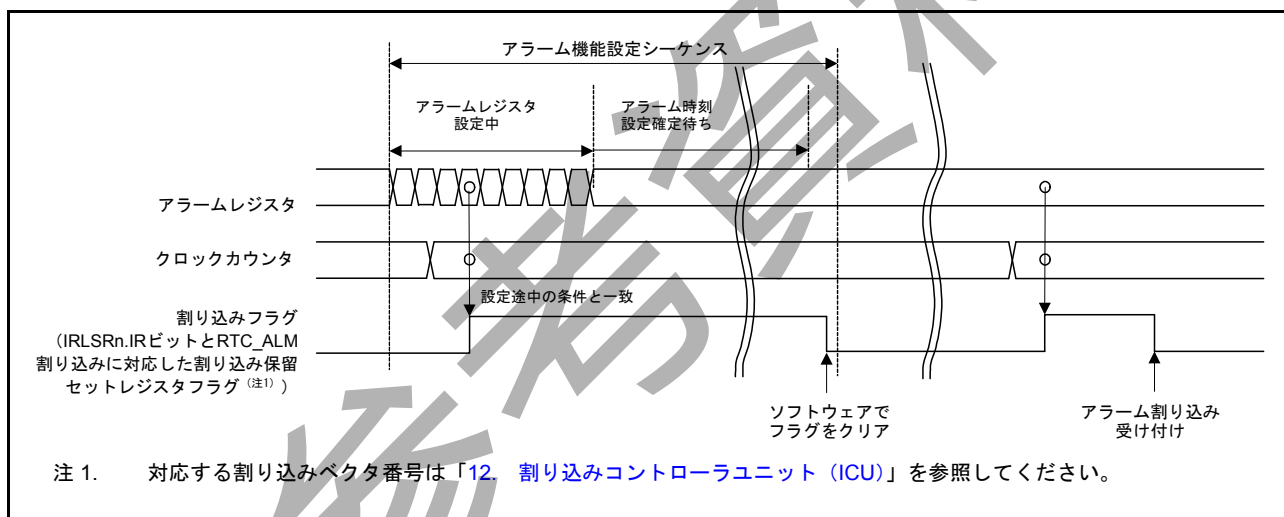


図 21.9 アラーム割り込み (RTC\_ALM) のタイミング図

### (2) 周期割り込み (RTC\_PRD)

この割り込みは、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、または 1/256 秒周期で発生します。RCR1.PES[3:0] ビットによって割り込み周期の選択が可能です。

### (3) 桁上げ割り込み (RTC\_CUP)

この割り込みは、秒カウンタ/バイナリカウンタ 0 への桁上げが生じたとき、または 64Hz カウンタ読み出しと R64CNT カウンタへの桁上げが生じたときに発生します。



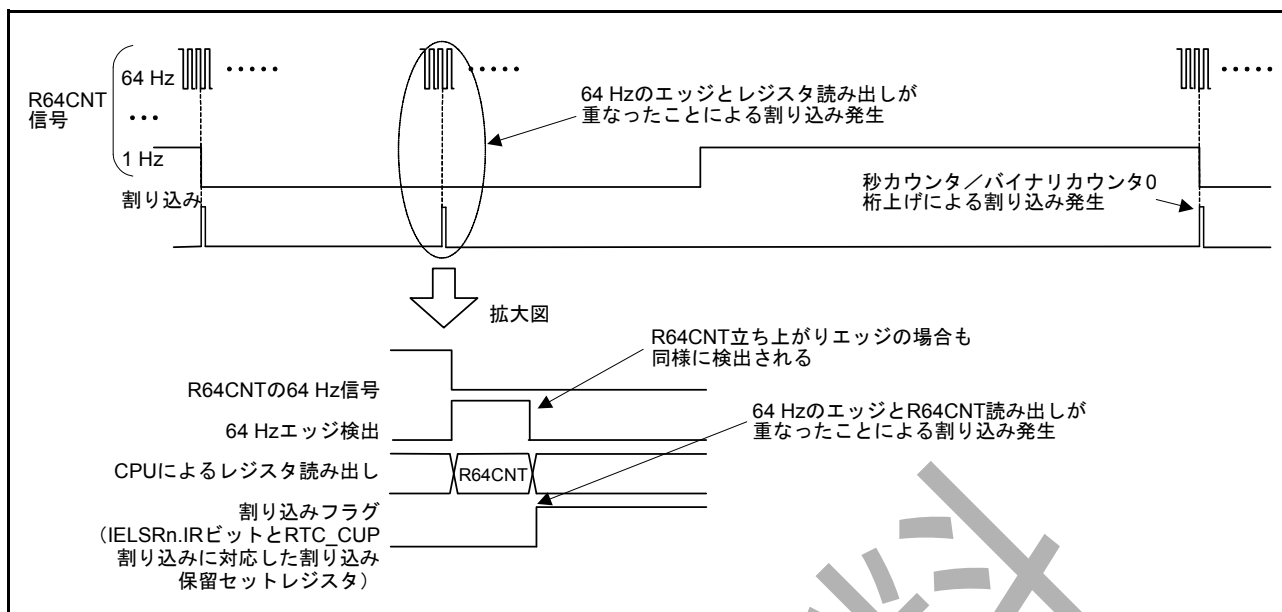


図 21.10 桁上げ割り込み (RTC\_CUP) のタイミング図

## 21.5 イベントリンク出力

RTC は、イベントリンクコントローラ (ELC) に対して下記のイベント信号を出力し、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

- 周期イベント出力 (RTC\_PRD)

RCR1.PES[3:0] ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択された周期でイベントを出力します。

イベント発生を選択した直後のイベント発生周期は保証されません。

注. RTC からのイベントリンク機能を使用する場合は、必ず RTC の設定 (初期化、時刻設定など) を行った後、ELC を設定してください。ELC の設定後に RTC を設定すると、意図しないイベント信号が出力することがあります。

### 21.5.1 割り込み処理とイベントリンク機能

RTC には、周期割り込みを許可または禁止する許可ビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対して、イベントリンク出力信号は、対応する割り込み許可ビットの設定とは無関係に、割り込み要因が発生すると、ELC を介して他のモジュールにイベント信号として出力します。

注. ソフトウェアスタンバイ中も、アラーム割り込みと周期割り込みの出力は可能ですが、ELC 用の周期イベント信号は出力しません。

## 21.6 使用上の注意事項

### 21.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時 (RCR2.START ビット = 1 のとき) は、以下のレジスタに書き込みを行わないでください。

- RSECCNT/BCNT0
- RMINCNT/BCNT1
- RHRCNT/BCNT2
- RDAYCNT
- RWKCNT/BCNT3
- RMONCNT
- RYRCNT
- RCR1.RTCOS
- RCR2.RTCOE
- RCR2.HR24
- RFRL

上記のレジスタのいずれかに書き込みを行う場合、前もってカウント動作を停止する必要があります。

### 21.6.2 周期割り込みの使用について

周期割り込みの使用法を [図 21.11](#) に示します。

周期割り込みの周期とその発生は、RCR1.PES[3:0] ビットの設定で変更できます。ただし、割り込みの生成にはプリスケアラ R64CNT と RSECCNT/BCNT0 カウンタが使用されるため、RCR1.PES[3:0] ビットの設定直後は、割り込み発生周期が保証されません。

さらに、RCR2 レジスタ値を変更して、カウント動作の停止/動作/リセット、RTC ソフトウェアリセット、および 30 秒調整を行うと、割り込み発生周期に影響が及びます。時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值に従って加算または減算されます。

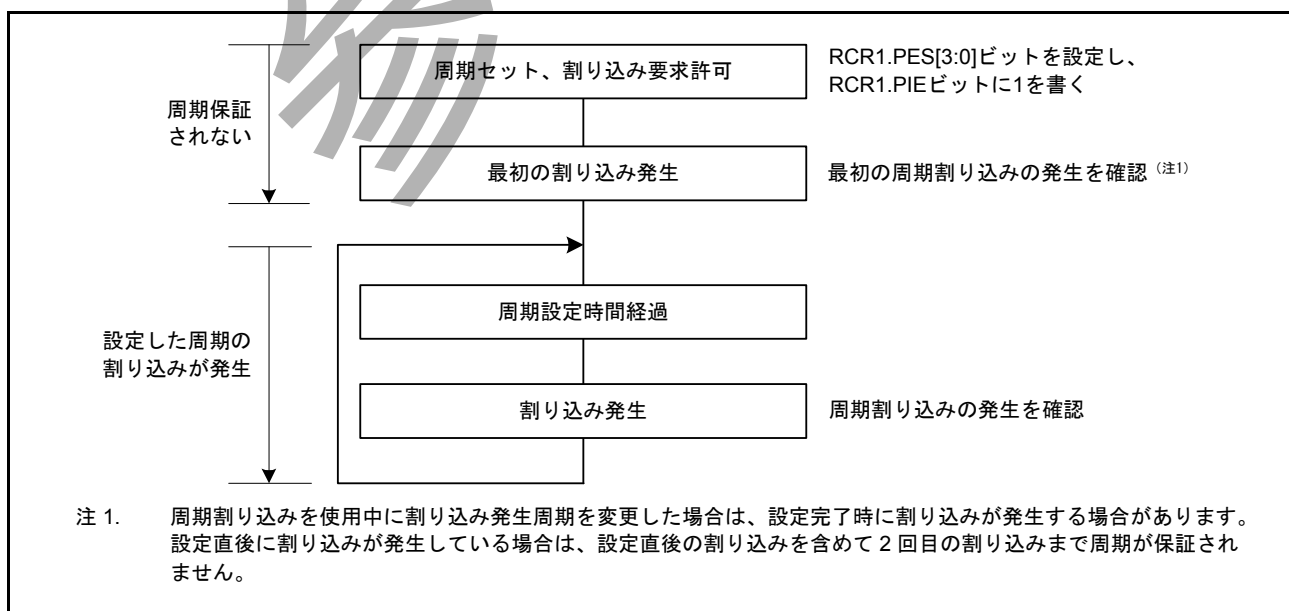


図 21.11 周期割り込み機能の使用法

### 21.6.3 RTCOUT (1Hz/64Hz) クロック出力について

RCR2 レジスタ値を変更して、カウント動作の停止/動作/リセット、RTC ソフトウェアリセット、および 30 秒調整を行うと、RTCOUT (1Hz/64Hz) 出力周期に影響が及びます。時計誤差補正機能を使用した場合、補正後の RTCOUT (1Hz/64Hz) 出力周期は、補正值に従って加算または減算されます。

### 21.6.4 レジスタ設定後の低消費電力モード遷移について

RTC レジスタへの書き込み中に低消費電力モードへ遷移すると、レジスタ値が破損する可能性があります。レジスタの設定後は、設定が確定したことを確認してから低消費電力状態へ遷移してください。

### 21.6.5 レジスタの書き込み/読み出し時の注意事項

- カウンタレジスタ (秒カウンタなど) へ書き込んだ後、そのカウンタレジスタを読み出す際は、[21.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。
- カウントレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR4 レジスタ、または周波数レジスタに書いた値は、書き込み後、4 回目の読み出しから反映されます。
- RCR1.CIE ビット、RCR1.RTCOS ビット、および RCR2.RTCOE ビットは、書き込み直後に書いた値を読み出すことができます。
- リセットまたはソフトウェアスタンバイモード状態から復帰した後、タイマカウンタ値を読み出す際は、時計動作中 (RCR2.START ビット = 1) の状態で 1/128 秒待ってください。
- リセット発生後、カウントソースクロックが 6 サイクル経過してから、RTC レジスタへ書き込んでください。

### 21.6.6 カウントモードの変更について

カウントモード (カレンダー/バイナリ) を変更する場合は、RCR2.START ビットを 0 にしてカウント動作を停止させた後、初期設定からやり直してください。初期設定の詳細は、[21.3.1 電源投入後のレジスタ初期設定の概要](#)を参照してください。

### 21.6.7 リアルタイムクロックを使用しない場合の初期化手順

RTC 内のレジスタは、リセットによる初期化が行われません。初期状態によっては、意図しない割り込み要求の発生やカウンタの動作によって、電力消費が多くなります。

リアルタイムクロックを必要としない製品では、[図 21.12](#) に示す初期化手順に従って、レジスタを初期化してください。

他の方法として、サブクロックをシステムクロックにもリアルタイムクロックにも使用しない場合は、RCR4.RCKSEL ビットを 0 (サブクロック発振器を選択) にした後、サブクロックを停止させることでカウンタを停止できます。サブクロックを停止させるには、SOSCCR.SOSTP ビットに 1 を書き込んでください。

SOSCCR.SOSTP ビットの設定については、「[8. クロック発生回路](#)」を参照してください。

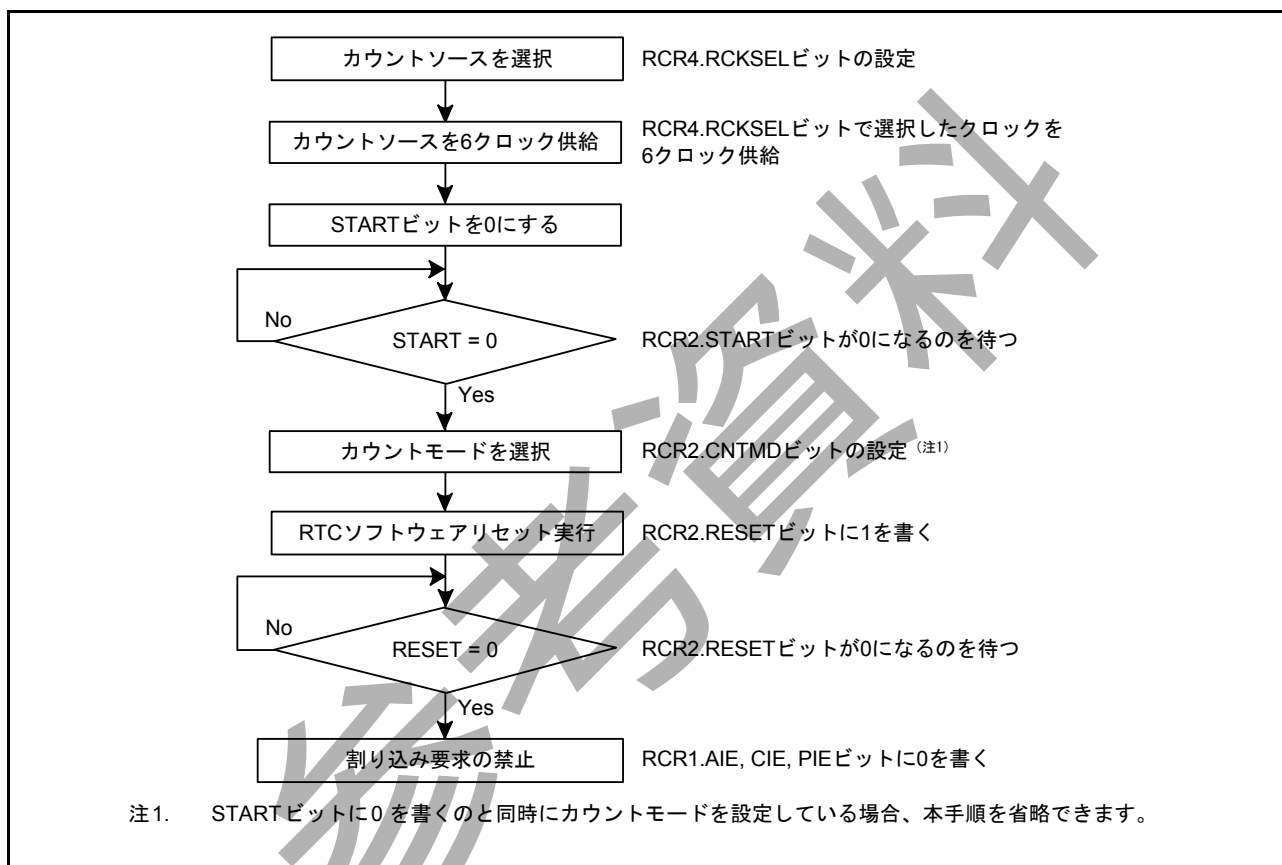


図 21.12 初期化手順

## 22. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするために使用できます。さらに、アンダーフローによって、ノンマスカブル割り込みまたは割り込みを発生させることも可能です。

カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、この許可期間を暴走検知の条件として使用できます。

### 22.1 概要

表 22.1 に WDT の仕様を、図 22.1 に WDT のブロック図を示します。

表 22.1 WDTの仕様

項目	内容
カウンタソース	周辺クロック (PCLKB)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	<ul style="list-style-type: none"> <li>オートスタートモード：リセット後、またはアンダーフロー/リフレッシュエラー発生後に自動的にカウント開始</li> <li>レジスタスタートモード：リフレッシュ動作 (WDTRR レジスタへの書き込み) によってカウント開始</li> </ul>
カウンタ停止条件	<ul style="list-style-type: none"> <li>リセット (ダウンカウンタおよび他のレジスタが初期値に戻る)</li> <li>カウンタのアンダーフローまたはリフレッシュエラー発生時</li> </ul>
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット要因	<ul style="list-style-type: none"> <li>ダウンカウンタがアンダーフローしたとき</li> <li>リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー)</li> </ul>
ノンマスカブル割り込み/割り込み要因	<ul style="list-style-type: none"> <li>ダウンカウンタがアンダーフローしたとき</li> <li>リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー)</li> </ul>
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	<ul style="list-style-type: none"> <li>ダウンカウンタアンダーフローイベント出力</li> <li>リフレッシュエラーイベント出力</li> </ul>
出力信号 (内部信号)	<ul style="list-style-type: none"> <li>リセット出力</li> <li>割り込み要求出力</li> <li>スリープモードカウント停止制御出力</li> </ul>

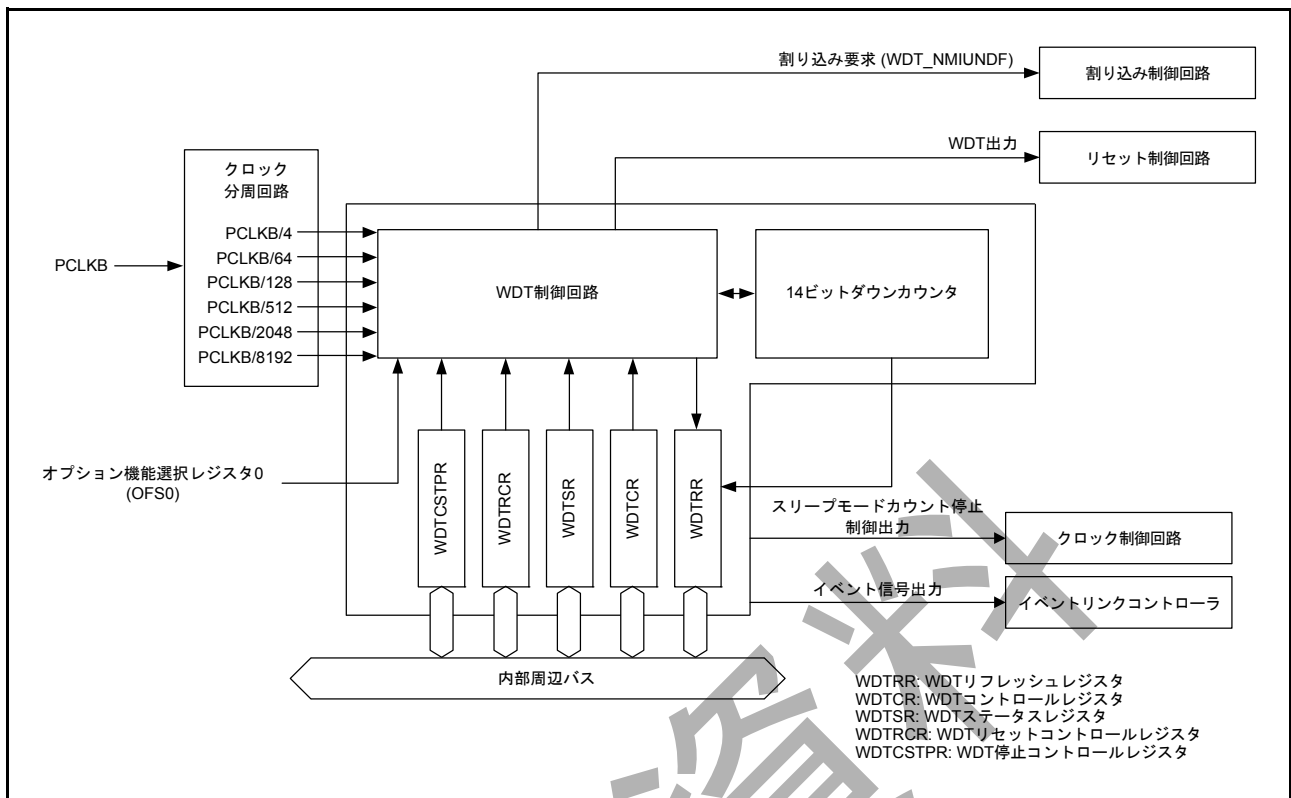
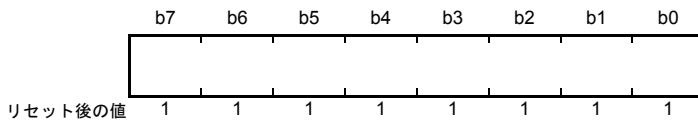


図 22.1 WDT のブロック図

## 22.2 レジスタの説明

### 22.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス WDT.WDTRR 4004 4200h



ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは、ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 の WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、[22.3.3 リフレッシュ動作](#)を参照してください。

## 22.2.2 WDT コントロールレジスタ (WDTCR)

アドレス WDT.WDTCR 4004 4202h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	<a href="#">TOPS[1:0]</a>	タイムアウト期間選択	b1 b0 0 0 : 1,024 サイクル (03FFh) 0 1 : 4,096 サイクル (0FFFh) 1 0 : 8,192 サイクル (1FFFh) 1 1 : 16,384 サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W
b7-b4	<a href="#">CKS[3:0]</a>	クロック分周比選択	b7 b4 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2048 1 0 0 0 : PCLKB/8192 上記以外は設定しないでください。	R/W
b9-b8	<a href="#">RPES[1:0]</a>	ウィンドウ終了位置選択	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウ終了位置の設定なし)	R/W
b11-b10	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W
b13-b12	<a href="#">RPSS[1:0]</a>	ウィンドウ開始位置選択	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウ開始位置の設定なし)	R/W
b15-b14	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は、[22.3.2 WDTCR、WDTCR、および WDTCSR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。WDTCR レジスタの各ビットの設定は、OFS0 レジスタでも可能です。詳細は、[22.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応](#)を参照してください。

**TOPS[1:0] ビット (タイムアウト期間選択)**

タイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間 (PCLKB サイクル数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせで決定されます。



表 22.2 に、CKS[3:0] および TOPS[1:0] ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 22.2 タイムアウト期間の設定

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLKB クロックサイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	PCLKB/4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	PCLKB/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	PCLKB/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	PCLKB/512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	PCLKB/2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	PCLKB/8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

#### CKS[3:0] ビット (クロック分周比選択)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、周辺クロック (PCLKB) の 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択できます。TOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB クロックの 4,096 ~ 134,217,728 サイクルから選択できます。

#### RPES[1:0] ビット (ウィンドウ終了位置選択)

リフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を選択してください (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置がウィンドウ開始位置よりも大きいと、ウィンドウ開始位置の設定のみが有効となります。

#### RPSS[1:0] ビット (ウィンドウ開始位置選択)

リフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ終了位置は 0% になります。

ウィンドウ開始、終了位置のカウンタ値を表 22.3 に、RPSS[1:0]、RPES[1:0]、TOPS[1:0] ビットで設定されるリフレッシュ許可期間を図 22.2 に示します。

表 22.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
		サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

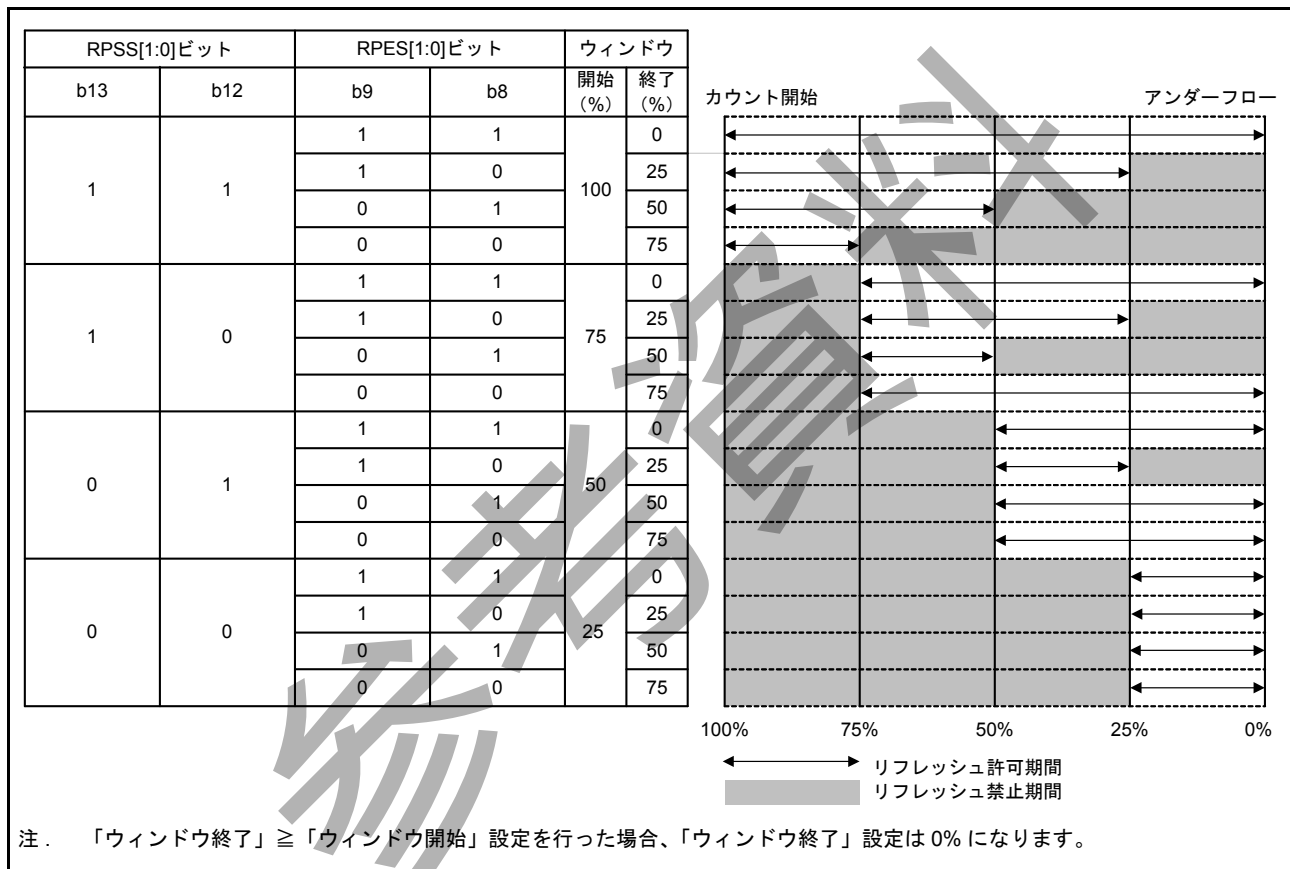
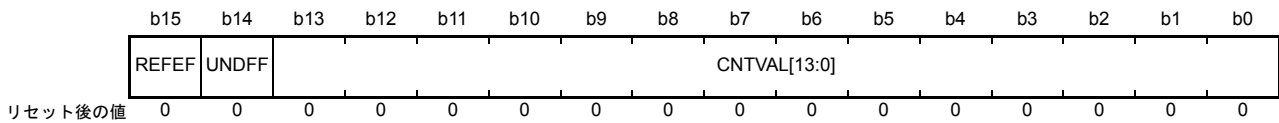


図 22.2 RPSS[1:0] および RPES[1:0] ビットとリフレッシュ許可期間

### 22.2.3 WDT ステータスレジスタ (WDTSR)

アドレス WDT.WDTSR 4004 4204h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダーフローフラグ	0: アンダーフロー発生なし 1: アンダーフロー発生あり	R(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラー発生なし 1: リフレッシュエラー発生あり	R(W) (注1)

注1. フラグを0にするための0書き込みのみ可能です。

#### CNTVAL[13:0] ビット (ダウンカウンタ値)

これらのビットを読み出すことにより、ダウンカウンタのカウンタ値を確認できます。ただし読み出し値は、実際のカウント値から1カウントずれる場合があります。

#### UNDFE フラグ (アンダーフローフラグ)

このフラグを読み出すことにより、ダウンカウンタにアンダーフローが発生したか否かを確認できます。読み出し値が1のとき、ダウンカウンタがアンダーフローしたことを示します。値を0にするには、UNDFE フラグに0を書き込んでください。1の書き込みは無効です。

UNDFE フラグのクリアには、5 PCLKB サイクルを要します。さらに、アンダーフローの発生から一定サイクル数の間は、このフラグをクリアしても無視されます。このサイクル数は、次式のように、WDTCR.CKS[3:0] ビットで指定されます。

$$(4 \sim 8192) + 2 \text{ PCLKB サイクル}$$

#### REFEF フラグ (リフレッシュエラーフラグ)

このフラグを読み出すことにより、リフレッシュエラーが発生したか否かを確認できます。読み出し値が1のとき、リフレッシュエラーが発生したことを示します。値を0にするには、REFEF フラグに0を書き込んでください。1の書き込みは無効です。

REFEF フラグのクリアには、5 PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から一定サイクル数の間は、このフラグをクリアしても無視されます。このサイクル数は、次式のように、WDTCR.CKS[3:0] ビットで指定されます。

$$(4 \sim 8192) + 2 \text{ PCLKB サイクル}$$

### 22.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス WDT.WDTRCR 4004 4206h

	b7	b6	b5	b4	b3	b2	b1	b0
RSTIR QS	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W
b7	RSTIRQS	リセット割り込み要求選択	0: ノンマスクブル割り込み要求または割り込み要求出力を許可 1: リセット出力を許可	R/W

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、[22.3.2 WDTCR、WDTRCR、および WDTCSR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。WDTCR レジスタの各ビットの設定は、OFS0 レジスタでも可能です。詳細は、[22.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応](#)を参照してください。

### 22.2.5 WDT カウント停止コントロールレジスタ (WDTCSR)

アドレス WDT.WDTCSR 4004 4208h

	b7	b6	b5	b4	b3	b2	b1	b0
SLCST P	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W
b7	SLCSTP	スリープモードカウント停止制御	0: カウント停止を禁止 1: スリープモード遷移時にカウント停止	R/W

WDTCSR レジスタは、低消費電力状態において、WDT カウンタを停止させるか否かを制御します。WDTCSR レジスタへの書き込みには、いくつかの制限があります。詳細は、[22.3.2 WDTCR、WDTRCR、および WDTCSR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTCSR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。WDTCSR レジスタのビットの設定は、OFS0 レジスタでも可能です。詳細は、[22.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応](#)を参照してください。

#### SLCSTP ビット (スリープモードカウント停止制御)

スリープモード遷移時に、カウントを停止させるか否かを選択します。

### 22.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタの詳細については、[22.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応](#)を参照してください。

## 22.3 動作説明

### 22.3.1 スタートモード別のカウント動作

WDTには、次の2つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：リフレッシュ（リフレッシュレジスタへの書き込み）によってカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュ内のオプション機能選択レジスタ0 (OFS0) の設定に従って自動的にカウントがスタートします。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してからリフレッシュ（リフレッシュレジスタへの書き込み）を行うと、カウントがスタートします。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0レジスタのWDTスタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモードを選択した場合、WDTコントロールレジスタ (WDTCR)、WDTリセットコントロールレジスタ (WDTRCR)、およびWDTカウント停止コントロールレジスタ (WDTCSSTPR) の設定値は無効となり、OFS0レジスタの設定値が有効となります。

一方、レジスタスタートモードを選択した場合、OFS0レジスタの設定値は無効となり、WDTコントロールレジスタ (WDTCR)、WDTリセットコントロールレジスタ (WDTRCR)、およびWDTカウント停止コントロールレジスタ (WDTCSSTPR) の設定値が有効となります。

#### 22.3.1.1 レジスタスタートモード

WDTスタートモード選択ビット (OFS0.WDTSTRT) が1の場合、レジスタスタートモードが選択されて、WDTコントロールレジスタ (WDTCR)、WDTリセットコントロールレジスタ (WDTRCR)、およびWDTカウント停止コントロールレジスタ (WDTCSSTPR) が有効となります。

リセット状態の解除後に、以下を設定してください。

- クロック分周比
- ウィンドウ開始/終了位置
- WDTCRレジスタにおいて、タイムアウト期間
- WDTRCRレジスタにおいて、リセット出力または割り込み要求出力
- WDTCSSTPRレジスタにおいて、スリープモード遷移時のカウント停止制御

次に、ダウンカウンタをリフレッシュして、タイムアウト期間選択ビット (WDTCR.TOPS[1:0]) の設定値からダウンカウントを開始してください。

以降、許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウントが継続する間、WDTはリセット信号を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュできなかったため、ダウンカウンタがアンダーフローした場合や、許可期間外にカウンタをリフレッシュしたため、リフレッシュエラーが発生した場合は、WDTはリセット信号を出力するか、またはノンマスクابل割り込み要求/割り込み要求 (WDT\_NMIUNDF) を出力します。リセット出力または割り込み要求出力の選択は、WDTリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で行います。ノンマスクابل割り込み要求または割り込み要求の選択は、WDTアンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で行います。

図 22.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- リセット出力を許可 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

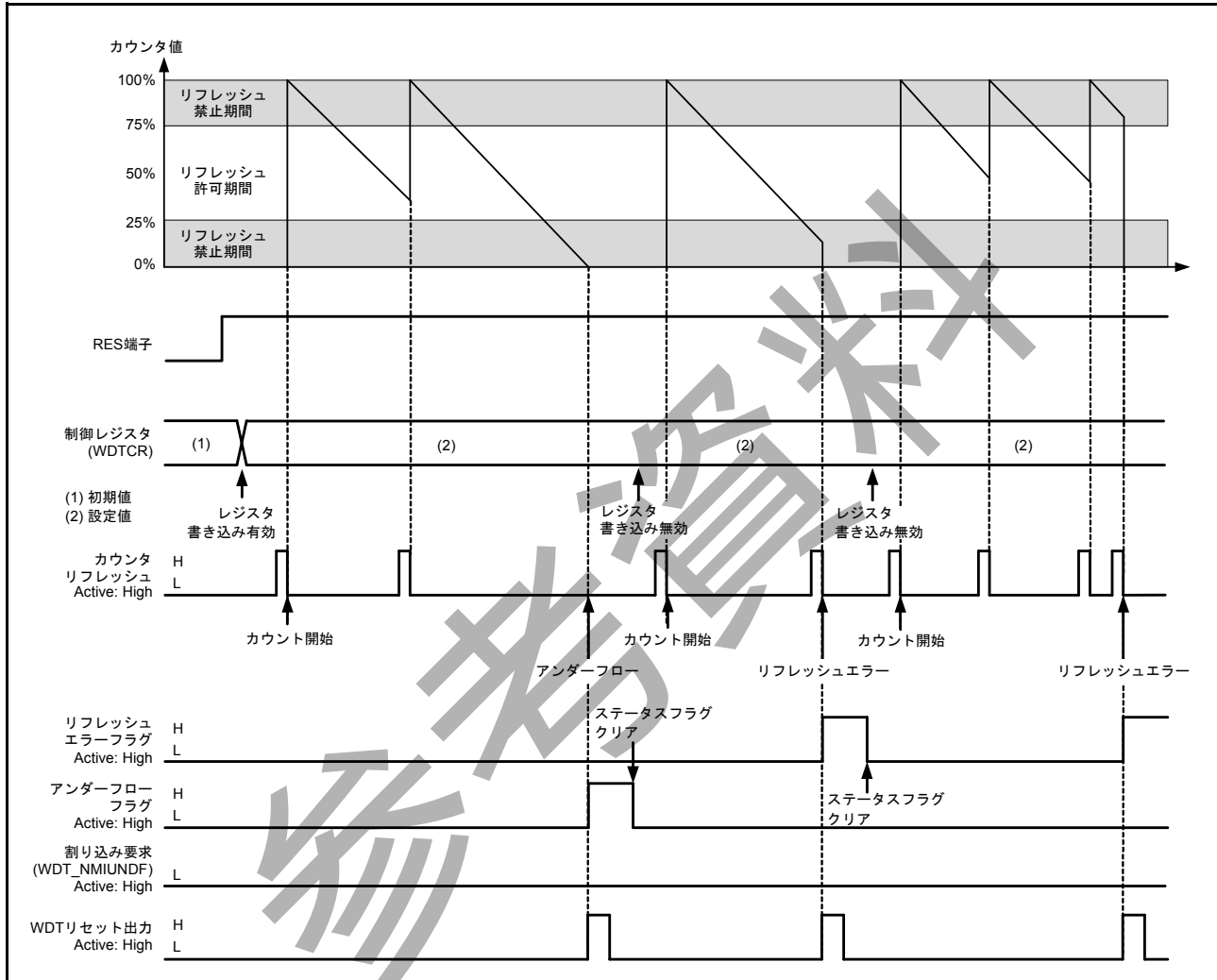


図 22.3 レジスタスタートモードでの動作例

### 22.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されて、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) が無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の設定値 (クロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求) とスリープモード遷移時のカウント停止制御が、WDT のレジスタに設定されます。

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTPOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。以降、許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウンタが継続する間、WDT はリセット信号を出力しません。

ただし、プログラムの暴走によってダウンカウンタをリフレッシュできなかったため、ダウンカウンタがアンダーフローした場合や、リフレッシュ許可期間外にカウンタをリフレッシュしたため、リフレッシュエラーが発生した場合は、WDT はリセット信号を出力するか、またはノンマスカブル割り込み要求/割り込み要求 (WDT\_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求/割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードして、カウント動作を再開します。

リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) で行います。ノンマスカブル割り込み要求または割り込み要求の選択は、WDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で行います。

参考資料

図 22.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード（OFS0.WDTSTRT = 0）
- ノンマスカブル割り込み要求出力を許可（OFS0.WDTRSTIRQS = 0）
- ウィンドウ開始位置 75%（WDTCR.RPSS[1:0] = 10b）
- ウィンドウ終了位置 25%（WDTCR.RPES[1:0] = 10b）

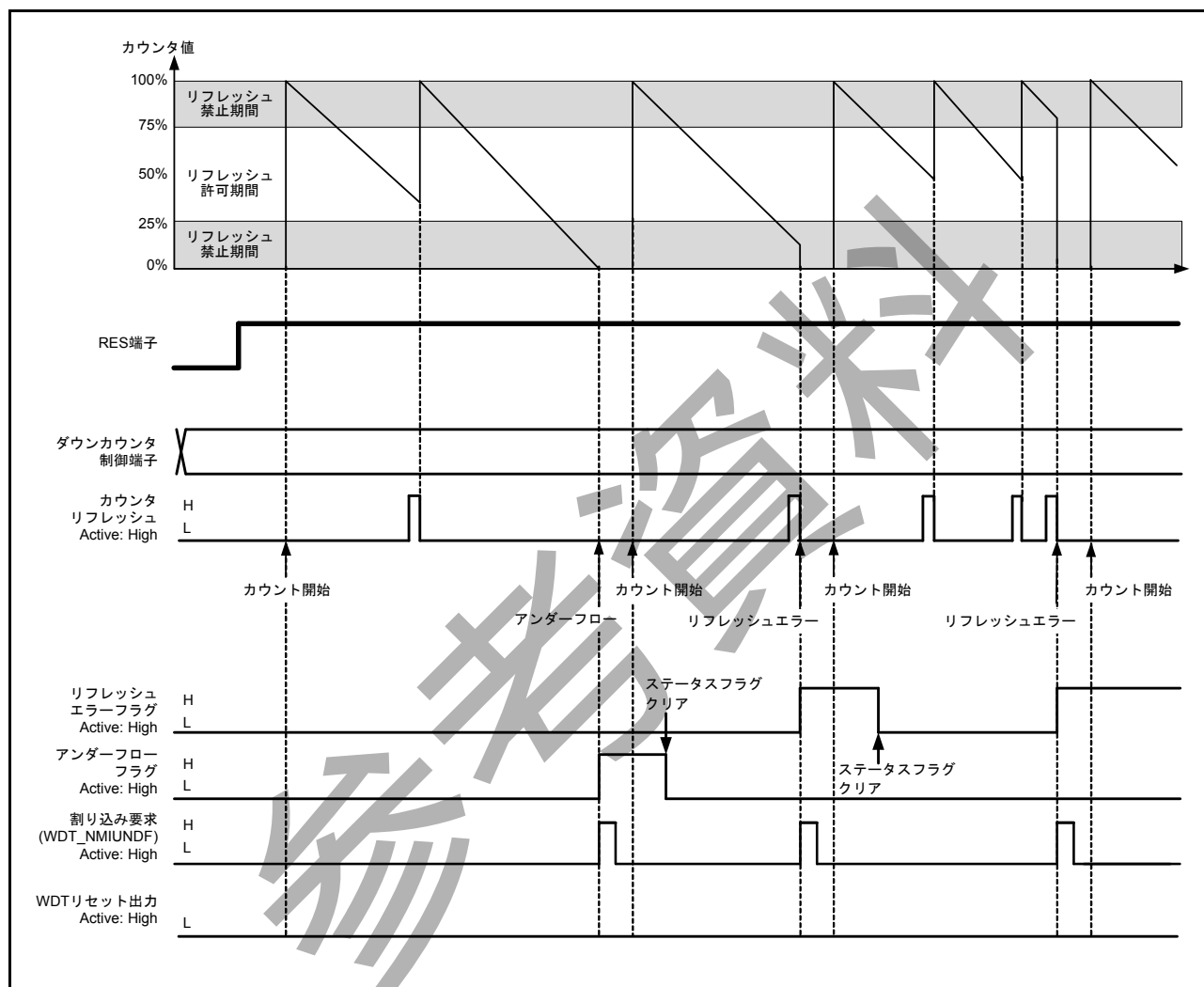


図 22.4 オートスタートモードでの動作例



### 22.3.2 WDTCR、WDTRCR、および WDTCSPTPR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTPR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間に 1 回可能です。

リフレッシュ動作 (カウントスタート) 後、あるいは WDTCR、WDTRCR、または WDTCSPTPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後の書き込みから WDTCR、WDTRCR、および WDTCSPTPR レジスタを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 22.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。

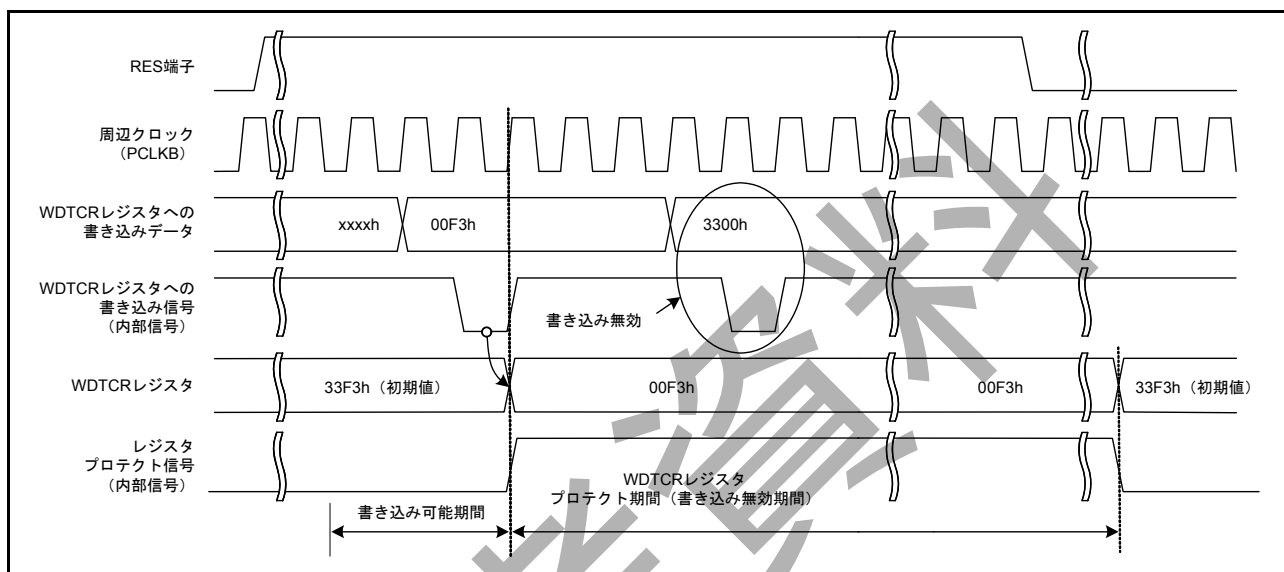


図 22.5 WDTCR レジスタへの書き込みに対して生成される制御波形

### 22.3.3 リフレッシュ動作

ダウンカウンタは、WDT リフレッシュレジスタ (WDTRR) に 00h と FFh を書き込むことによってリフレッシュされます。00h の後に FFh 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、再度、WDTRR レジスタへ 00h と FFh を書き込むと、正常にリフレッシュが行われます。

また、WDTRR レジスタへの 00h の書き込みと FFh の書き込みの間に、WDTRR 以外のレジスタにアクセスするか、または WDTRR レジスタを読み出すと、正常にリフレッシュが行われます。

カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間内に行う必要があります。書き込みがリフレッシュ許可期間内かどうかの判定は、FFh の書き込み時に行われます。そのため、00h の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

#### 【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h (n-1 回目) → 00h (n 回目) → FFh
- 00h → 別レジスタへのアクセスまたは WDTRR レジスタの読み出し → FFh

#### 【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h (00h 以外の値) → FFh
- 00h → 54h (FFh 以外の値)
- 00h → AAh (00h および FFh 以外の値) → FFh

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に FFh を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します。そのため、ダウンカウンタがアンダーフローする 4 カウントサイクル前までに、WDTRR レジスタへの FFh の書き込みを完了してください。

図 22.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。

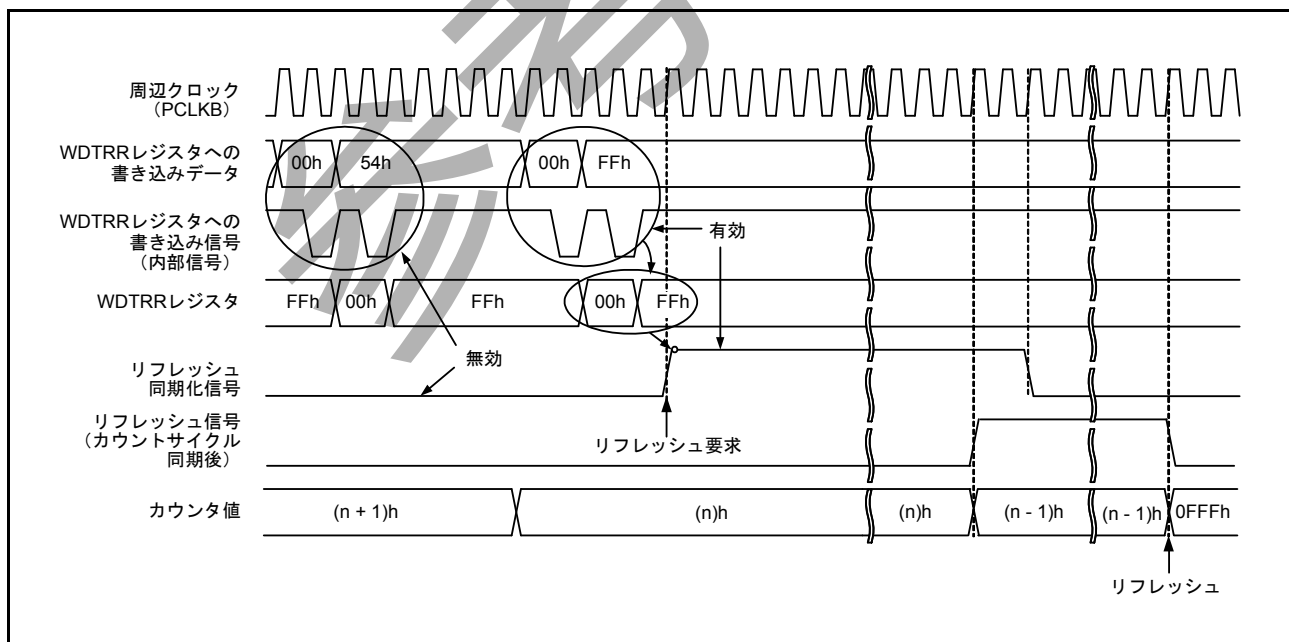


図 22.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合)

### 22.3.4 リセット出力

レジスタスタートモードでリセット割り込み選択ビット (WDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号が 1 カウントサイクル間出力されます。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され (全ビットが 0 になり)、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後、リフレッシュ動作を行うと、カウンタが再設定されダウンカウンタがスタートします。

オートスタートモードでは、リセット状態の解除後、自動的にダウンカウンタがスタートします。

### 22.3.5 割り込み要因

レジスタスタートモードでリセット割り込み選択ビット (WDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (WDT\_NMIUNDF) 信号が生成されます。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 22.4 WDT の割り込み要因

名称	割り込み要因	DTC の起動
WDT_NMIUNDF	ダウンカウンタアンダーフロー リフレッシュエラー	不可能

### 22.3.6 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。したがって、カウンタ値は WDTSR.CNTVAL[13:0] ビットで確認できます。

図 22.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。

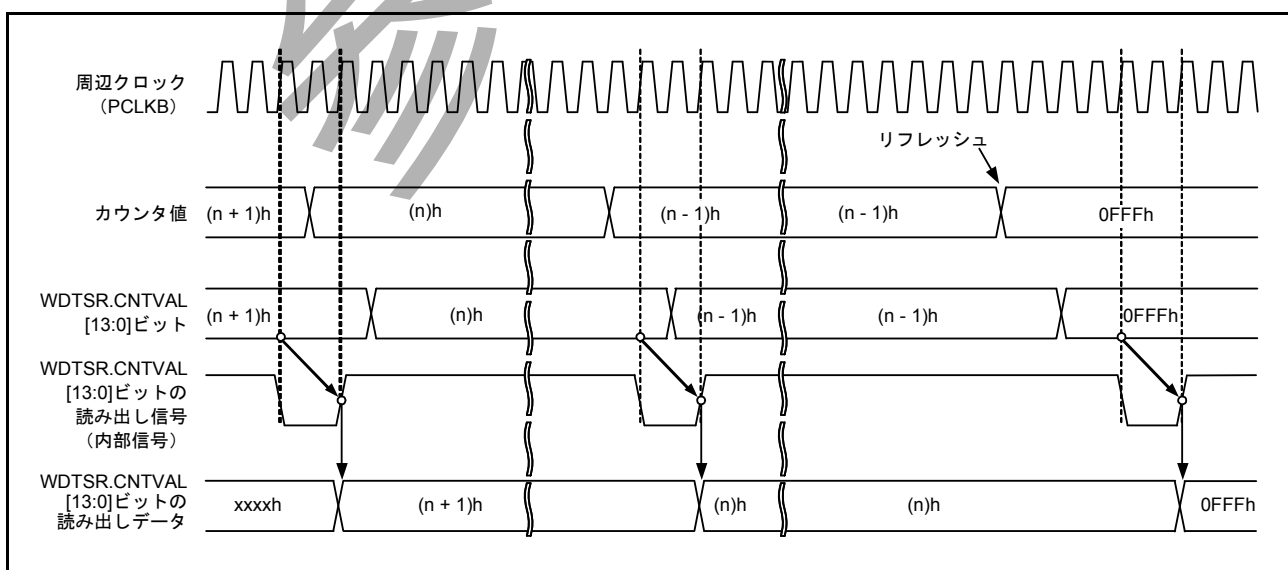


図 22.7 WDT ダウンカウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合)

### 22.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

表 22.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。OFS0 レジスタの設定値は、WDT 動作中は変更しないでください。オプション機能選択レジスタ 0 (OFS0) については、6.2.1 オプション機能選択レジスタ 0 (OFS0) を参照してください。

表 22.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係

制御対象	機能	OFS0 レジスタ (オートスタートモードで有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモードで有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCSR.SLCSTP

## 22.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) が割り込み要求信号をイベント信号として使用する場合、WDT はあらかじめ設定しておいたモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローおよびリフレッシュエラーによって出力されます。

イベント信号は、レジスタスタートモードまたはオートスタートモードでのリセット割り込み要求選択ビット (WDTCSR.RSTIRQS) の設定とは無関係に出力されます。また、リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDF) が 1 の状態で、次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「15. イベントリンクコントローラ (ELC)」を参照してください。

## 22.5 使用上の注意事項

### 22.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定

WDT リセットアサートを許可 (OFS0.WDTRSTIRQS = 0 または WDTCSR.RSTIRQS = 0) にした場合、またはイベントリンク動作を許可 (IELSRm.ELS[7:0] = 18h) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[7:0]) に 18h を設定することは禁止されています。

## 23. 独立ウォッチドッグタイマ (IWDT)

### 23.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットダウンカウンタで構成されます。このカウンタはアンダーフロー防止のため周期的に動作させる必要があります。IWDT には、MCU をリセットする機能や、タイマのアンダーフロー発生時にノンマスクابل割り込み／割り込みを生成する機能があります。このタイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、MCU をフェイルセーフメカニズムと呼ばれる状態に戻すことに特に役立ちます。ウォッチドッグタイマは、リセット、アンダーフロー、リフレッシュエラー、またはレジスタのカウント値のリフレッシュで自動的に起動します。

IWDT 機能は、WDT と以下の点で異なります。

- カウントソースとして IWDT 専用クロック (IWDTCLK) の分周したものを使用 (PCLKB の影響を受けない)
- IWDT はレジスタスタートモードを非サポート
- 低消費電力モードへ遷移したとき、OFS0.IWDTSTPCTL ビットを使用してカウンタを停止する／しないの選択が可能

表 23.1 に IWDT の仕様を、図 23.1 に IWDT のブロック図を示します。

表 23.1 IWDT の仕様

項目	内容
カウントソース (注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1分周 / 16分周 / 32分周 / 64分周 / 128分周 / 256分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	<ul style="list-style-type: none"> <li>• リセット後、自動的にカウント開始</li> </ul>
カウンタ停止条件	<ul style="list-style-type: none"> <li>• リセット (ダウンカウンタおよび他のレジスタが初期値に戻る)</li> <li>• カウンタのアンダーフローまたはリフレッシュエラー発生時 自動的にカウント再開</li> </ul>
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能 (リフレッシュ許可／禁止期間)
リセット出力要因	<ul style="list-style-type: none"> <li>• ダウンカウンタがアンダーフローしたとき</li> <li>• リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー)</li> </ul>
ノンマスクابل割り込み／割り込み要因	<ul style="list-style-type: none"> <li>• ダウンカウンタがアンダーフローしたとき</li> <li>• リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー)</li> </ul>
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	<ul style="list-style-type: none"> <li>• ダウンカウンタアンダーフローイベント出力</li> <li>• リフレッシュエラーイベント出力</li> </ul>
出力信号 (内部信号)	<ul style="list-style-type: none"> <li>• リセット出力</li> <li>• 割り込み要求出力</li> <li>• スリープモードカウンタ停止制御出力</li> </ul>
オートスタートモード	<ul style="list-style-type: none"> <li>• リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット)</li> <li>• 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット)</li> <li>• 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0]ビット)</li> <li>• 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDTRPES[1:0]ビット)</li> <li>• リセット出力または割り込み要求出力の選択 (OFS0.IWDRSTIRQSビット)</li> <li>• スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード遷移時のダウンカウンタ停止機能の選択 (OFS0.IWDTSTPCTLビット)</li> </ul>

注 1. 周辺モジュールクロック (PCLKB) 周波数  $\geq 4 \times$  (カウントクロックソースの分周後周波数) となるように設定してください。

IWDT を使用するには、IWDT 専用クロック (IWDTCLK) を供給する必要があります。バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

図 23.1 に IWDT のブロック図を示します。

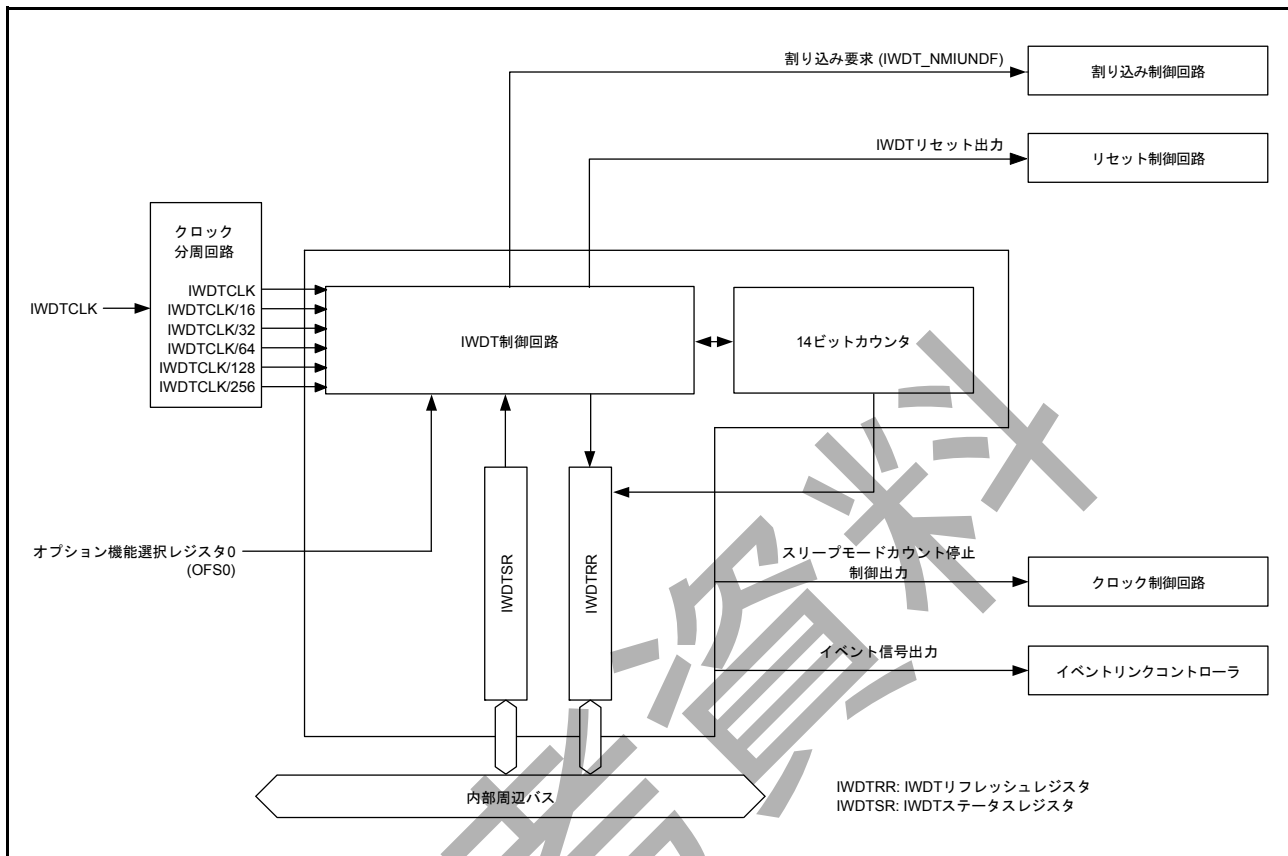


図 23.1 IWDT のブロック図

## 23.2 レジスタの説明

### 23.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス IWDTRR 4004 4400h



ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするレジスタです。

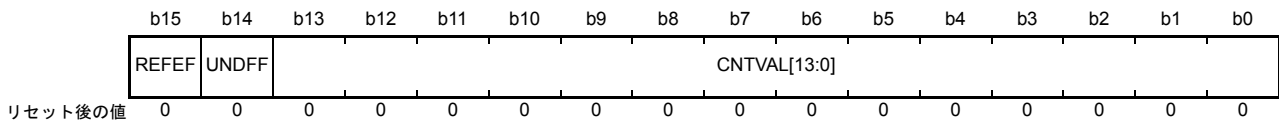
リフレッシュ許可期間内に IWDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。

リフレッシュ動作の詳細は、[23.3.2 リフレッシュ動作](#)を参照してください。

### 23.2.2 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 4004 4404h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダーフローフラグ	0: アンダーフローの発生なし 1: アンダーフローの発生あり	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーの発生なし 1: リフレッシュエラーの発生あり	R/(W) (注1)

注1. フラグを0にするための0書き込みのみ可能です。

#### CNTVAL[13:0] ビット (カウンタ値)

これらのビットを読み出すことにより、ダウンカウンタのカウンタ値を確認できます。ただし読み出し値は、実際のカウント値から1カウントずれる場合があります。

#### UNDFE フラグ (アンダーフローフラグ)

このフラグを読み出すことにより、ダウンカウンタにアンダーフローが発生したか否かを確認できます。読み出し値が1のとき、ダウンカウンタがアンダーフローしたことを示します。値を0にするには、UNDFE フラグに0を書き込んでください。1の書き込みは無効です。

UNDFE フラグのクリアには、3 IWDTCLK サイクルと2 PCLKB サイクルを要します。さらに、このフラグのクリアは、アンダーフロー後の一定サイクル数無視されます。このサイクル数は、次式のように、IWDTCKS[3:0] ビットで指定されます。

$(1 \sim 256) + 2 \text{ IWDTCLK サイクル}$

#### REFEF フラグ (リフレッシュエラーフラグ)

このフラグを読み出すことにより、リフレッシュエラーが発生したか否かを確認できます。読み出し値が1のとき、リフレッシュエラーが発生したことを示します。値を0にするには、REFEF フラグに0を書き込んでください。1の書き込みは無効です。

REFEF フラグのクリアには、3 IWDTCLK サイクルと2 PCLKB サイクルを要します。さらに、このフラグのクリアは、リフレッシュエラー発生後の一定サイクル数無視されます。このサイクル数は、次式のように、IWDTCKS[3:0] ビットで指定されます。

$(1 \sim 256) + 2 \text{ IWDTCLK サイクル}$



### 23.2.3 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) の詳細については、[6.2.1 オプション機能選択レジスタ 0 \(OFS0\)](#) を参照してください。

#### IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

タイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間 (IWDTCLK サイクル数) は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせで決定されます。[表 23.2](#) に、IWDTCKS[3:0] および IWDTTOPS[1:0] ビットの設定値、タイムアウト期間、および IWDTCLK サイクル数の関係を示します。

表 23.2 タイムアウト期間の設定

IWDTCKS[3:0] ビット				IWDTTOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK サイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDTCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDTCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDTCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDTCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDTCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

**IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)**

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDT 専用クロック (IWDTCLK) の 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択できます。IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK クロックの 128 ~ 524288 サイクルから選択できます。

**IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)**

リフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を選択してください。ウィンドウ終了位置がウィンドウ開始位置よりも大きいと、ウィンドウ開始位置の設定のみが有効となります。

**IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)**

リフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置がウィンドウ終了位置以下であると、ウィンドウ終了位置は 0% になります。

ウィンドウ開始、終了位置のカウント値を表 23.3 に、IWDRPSS[1:0]、IWDRPES[1:0]、IWDTTOPS[1:0] ビットで設定されるリフレッシュ許可期間を図 23.2 に示します。

表 23.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

IWDTTOPS[1:0] ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

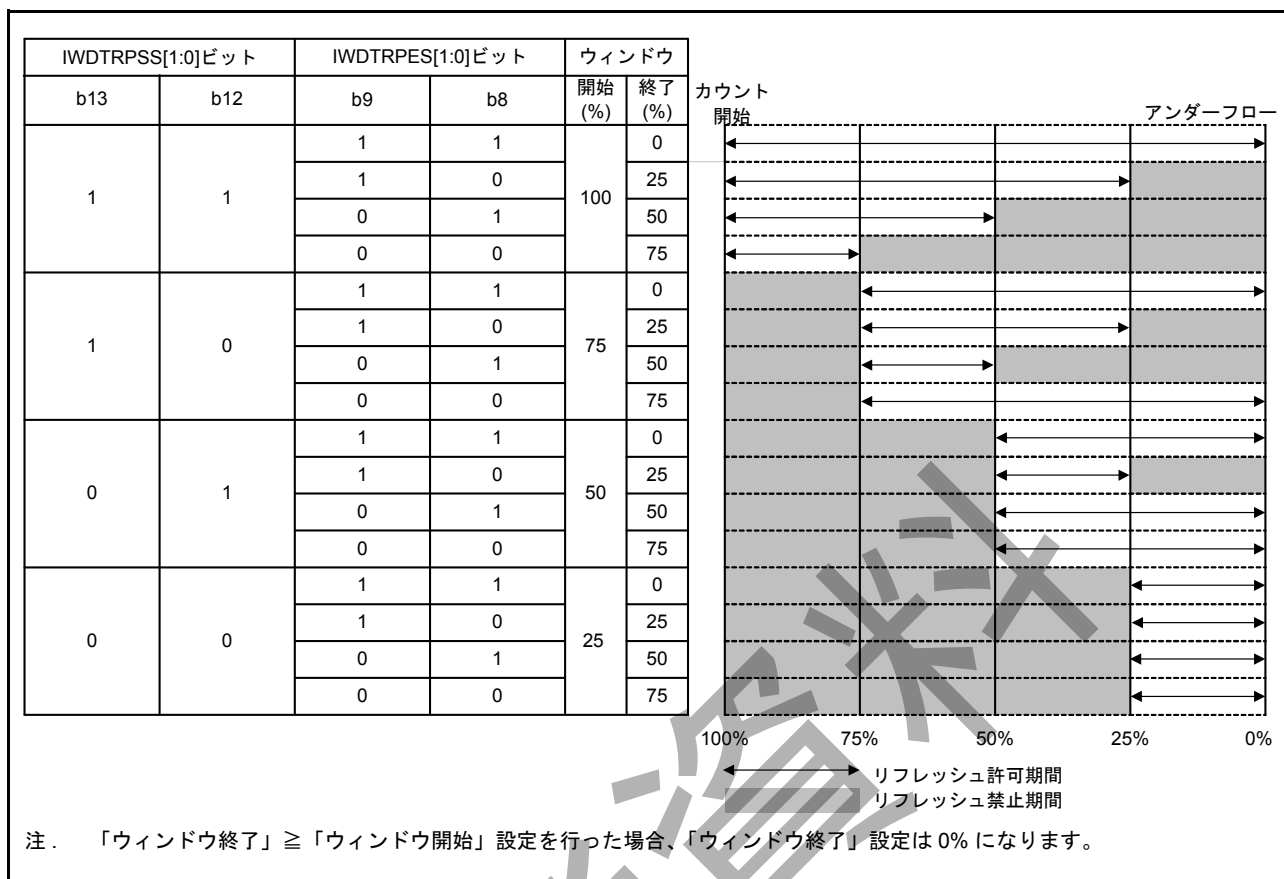


図 23.2 IWDRPSS[1:0] および IWDRPES[1:0] ビットとリフレッシュ許可期間

#### IWDRSTIRQS ビット (IWDT リセット割り込み要求選択)

アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1にすると、リセット出力が選択されます。0にすると、ノンマスカブル割り込み/割り込みが選択されます。

#### IWDTSTPCTL ビット (IWDT 停止制御)

スリープモードまたはソフトウェアスタンバイモード遷移時にカウントを停止させるか否かを選択します。

## 23.3 動作説明

### 23.3.1 オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。それ以外では IWDT は無効です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始/終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- 低消費電力モード遷移時のカウント停止制御

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で選択した値からカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウンタが継続する間、IWDT はリセット信号を出力しません。ただし、プログラムのクラッシュや、リフレッシュ許可期間外のリフレッシュ動作に起因したリフレッシュエラーの発生によって、カウンタがアンダーフローすると、IWDT はリセット信号またはノンマスカブル割り込み要求/割り込み要求 (IWDT\_NMIUNDF) をアサートします。

リセット信号またはノンマスカブル割り込み要求/割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードして、カウント動作を再開します。リセット出力または割り込み要求の選択は、IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) で行います。ノンマスカブル割り込み要求または割り込み要求の選択は、IWDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で行います。

図 23.3 に、下記の条件下での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- ノンマスカブル割り込み要求出力を許可 (OFS0.IWDRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.IWDRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDRPES[1:0] = 10b)

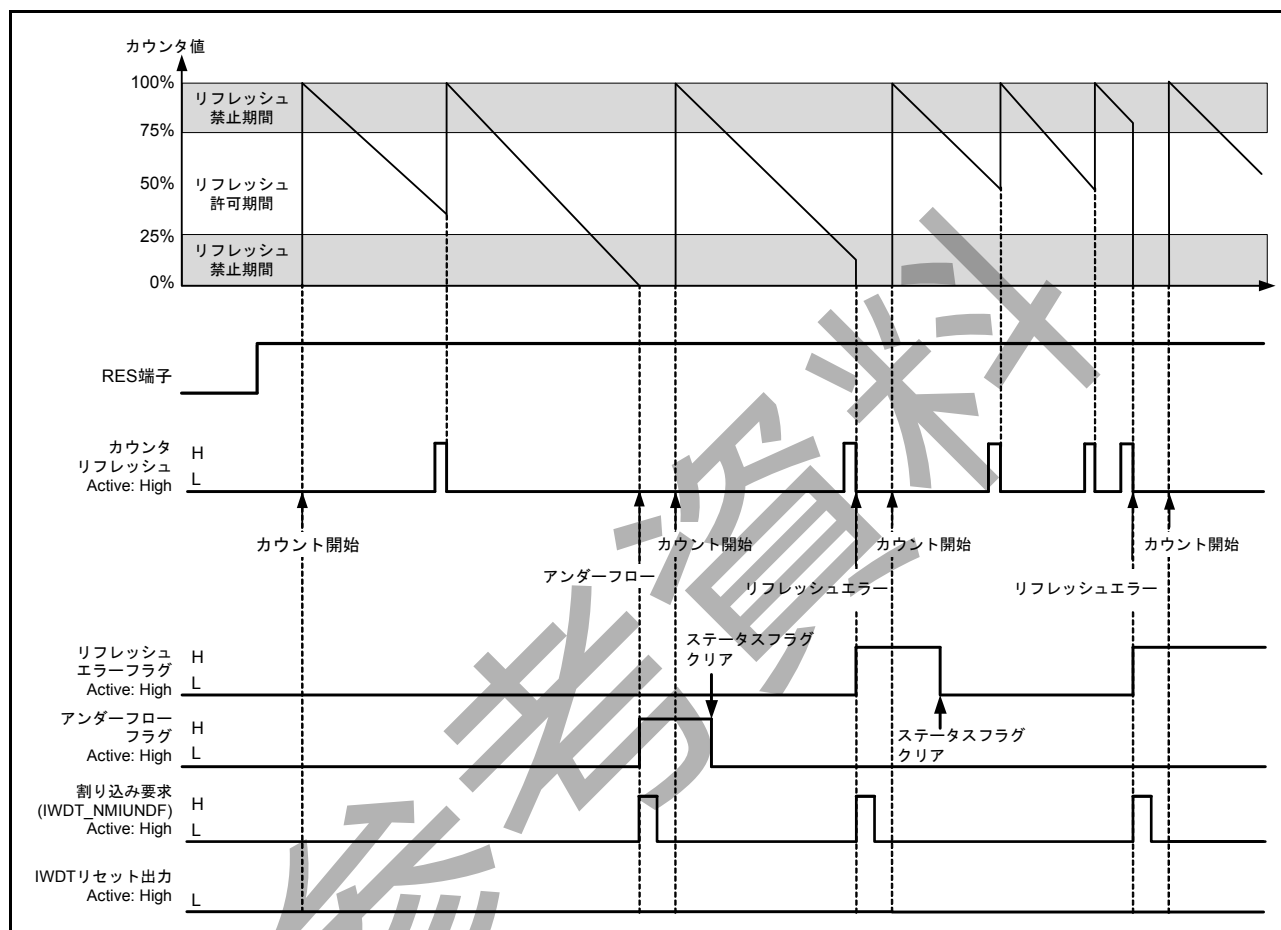


図 23.3 オートスタートモードでの動作例

### 23.3.2 リフレッシュ動作

ダウンカウンタは、IWDT リフレッシュレジスタ (IWDTRR) に 00h と FFh を書き込むことによってリフレッシュされ、カウント動作を開始します (リフレッシュ動作によるカウントスタート)。00h の後に FFh 以外の値を書き込むと、カウンタはリフレッシュされません。無効な値を書き込んだ場合は、再度、IWDT リフレッシュレジスタ (IWDTRR) へ 00h と FFh を書き込むと、正常にリフレッシュが行われます。

00h (1 回目) → 00h (2 回目) の順で書き込みを行った場合でも、その後に FFh を書き込めば、00h → FFh の書き込み順序が成立します。00h (n-1 回目) → 00h (n 回目) → FFh という書き込み順序は有効であり、正常にリフレッシュが行われます。00h より前の書き込み値が 00h 以外であっても、動作に 00h → FFh という書き込み順序が含まれていれば、正常にリフレッシュが行われます。また、IWDTRR レジスタへの 00h の書き込みと FFh の書き込みの間に、IWDTRR 以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出すことでも、正常にリフレッシュが行われます。

#### 【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h (n-1 回目) → 00h (n 回目) → FFh
- 00h → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → FFh

#### 【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h (00h 以外の値) → FFh
- 00h → 54h (FFh 以外の値)
- 00h → AAh (00h および FFh 以外の値) → FFh

リフレッシュ許可期間外に IWDTRR レジスタへ 00h を書き込んだ後、リフレッシュ許可期間内に IWDTRR レジスタへ FFh を書き込んだ場合も、この書き込み順序は有効であり、リフレッシュ動作が完了します。

カウンタのリフレッシュには、IWDTRR レジスタに FFh を書き込んだ後、カウント信号のサイクル数で最大 4 サイクル必要です。(カウントの 1 サイクルが、IWDT 専用クロック (IWDTCCLK) の何サイクルに相当するかは、IWDT 専用クロック分周比選択ビット (OFS0.IWDTCCKS[3:0]) で決まります)。そのため、リフレッシュ許可期間の終了またはカウンタアンダーフローの 4 カウントサイクル前までに、IWDTRR レジスタへの FFh の書き込みを完了してください。カウンタの値は、カウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

#### 【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 1FFFh とした場合、IWDTSR.CNTVAL[13:0] ビット値が 1FFFh に達する前(たとえば 2002h) に IWDTRR レジスタへ 00h を書き込んだとしても、1FFFh に達した後に IWDTRR レジスタへ FFh を書き込めば、リフレッシュが行われます。
- ウィンドウ終了位置を 1FFFh とした場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 2003h (1FFFh の 4 カウントサイクル前) 以上であれば、リフレッシュが行われます。
- リフレッシュ許可期間が 0000h まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 0003h (アンダーフローの 4 カウントサイクル前) 以上であれば、アンダーフローが発生することなく、リフレッシュが行われます。

図 23.4 に、PCLKB > IWDTCLK のとき、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を示します。

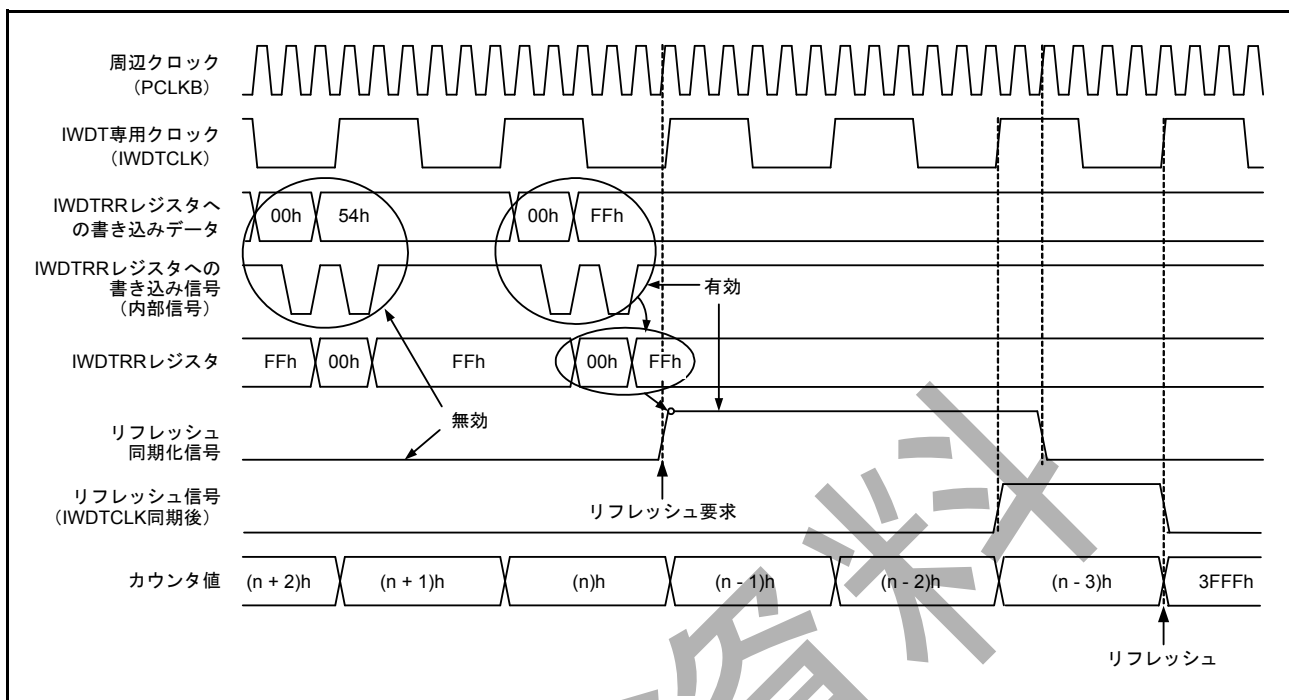


図 23.4 IWDT リフレッシュ動作波形 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

### 23.3.3 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF) とアンダーフローフラグ (IWDTSR.UNDF) は、IWDT からのリセット信号出力の要因、または割り込み要求の要因を保持します。そのため、リセット状態の解除後、または割り込み要求の発生後に、IWDTSR.REFEF フラグや UNDF フラグを読み出すことで、リセット要因や割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしても、動作に影響を与えません。フラグがクリアされていなければ、次に IWDT がリセットまたは割り込み要求を出力したとき、古いリセット要因や割り込み要因はクリアされて、新しいリセット要因や割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでに、最大で 3 IWDTCLK サイクルと 2 PCLKB サイクルを要します。

### 23.3.4 リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を 1 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号が出力されます。リセット出力後、自動でダウンカウントがスタートします。

### 23.3.5 割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTRQRS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (IWDT\_NMIUNDF) 信号が生成されます。この割り込みは、ノンマスクابل割り込みと割り込みの両方に対応しています。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 23.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動
IWDT_NMIUNDF	ダウンカウンタのアンダーフロー リフレッシュエラー	不可能

### 23.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT はカウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。そのため、カウンタ値は IWDTSR.CNTVAL[13:0] ビットで間接的に確認できます。

ただし、カウンタ値の読み出しには PCLKB で数クロックサイクル (最大 4 クロックサイクル) を要するため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 23.5 に、 $PCLKB > IWDTCLK$  のとき、クロック分周比が IWDTCLK である場合の IWDT カウンタ値の読み出し処理を示します。

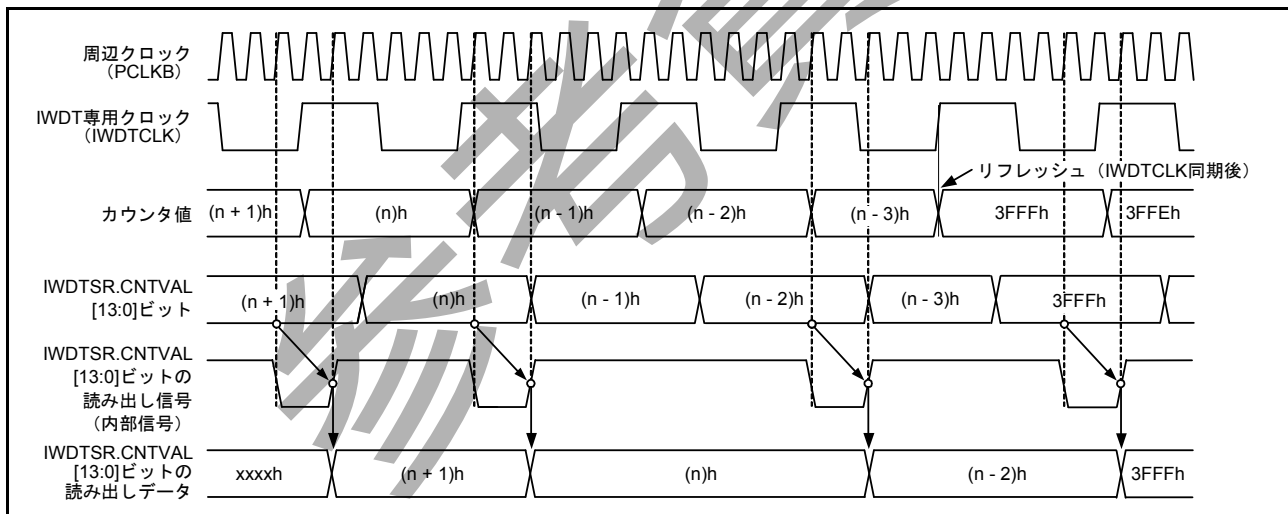


図 23.5 IWDT カウンタ値の読み出し処理  
(OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

## 23.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) が割り込み要求信号をイベント信号として使用する場合、IWDT は設定されたモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローおよびリフレッシュエラーによって出力されます。

イベント信号は、OFS0.WDTRSTRQRS ビットの設定とは無関係に出力されます。また、リフレッシュエラーフラグ (IWDTSR.REFDEF) またはアンダーフローフラグ (IWDTSR.UNDF) が 1 の状態で、次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「15. イベントリンクコントローラ (ELC)」を参照してください。



## 23.5 使用上の注意事項

### 23.5.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK の精度における誤差の範囲を考慮して、リフレッシュが可能となるように値を設定してください。

### 23.5.2 クロック分周比の設定

周辺モジュールクロック (PCLKB) 周波数  $\geq 4 \times$  (カウントクロックソースの分周後周波数) となるように設定してください。

参考資料

## 24. USB2.0 フルスピードモジュール (USBFS)

### 24.1 概要

本 MCU は、USB2.0 フルスピードモジュール (USBFS) を内蔵しています。

USBFS は、デバイスコントローラとして動作する機能を備えた USB コントローラです。USB (Universal Serial Bus) 規格 2.0 で定義されているフルスピード転送とロースピード転送に対応しています。また、本モジュールは USB トランシーバを内蔵しており、USB 規格 2.0 で定義されている全転送タイプに対応しています。

USBFS はデータ転送用のバッファメモリを内蔵し、最大 5 本のパイプを使用できます。パイプ 4～7 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

本 MCU は、バッテリーチャージング規格のリビジョン 1.2 に準拠しています。

表 24.1 に USBFS の仕様を示します。

表 24.1 USBFS の仕様

項目	内容
特徴	<ul style="list-style-type: none"> <li>UDC デバイスコントローラ (USB) および USB2.0 トランシーバを内蔵デバイスコントローラに対応 (1 チャンネル)</li> <li>セルフパワーモードまたはバスパワーモードの選択が可能</li> <li>バッテリーチャージング規格のリビジョン 1.2 に準拠</li> <li>USB LDO レギュレータによる内蔵 USB トランシーバへの電力供給</li> <li>フルスピード転送 (12Mbps) とロースピード転送 (1.5Mbps) に対応</li> <li>コントロール転送ステージ管理機能</li> <li>デバイスステート管理機能</li> <li>SET_ADDRESS リクエストに対する自動応答機能</li> <li>SOF 補完機能</li> </ul>
通信データ転送タイプ	<ul style="list-style-type: none"> <li>コントロール転送</li> <li>バルク転送</li> <li>インタラプト転送</li> </ul>
パイプコンフィグレーション	<ul style="list-style-type: none"> <li>USB 通信用バッファメモリを内蔵</li> <li>最大 5 本のパイプを選択可能 (デフォルトコントロールパイプを含む)</li> <li>パイプ 4～7 に対して任意のエンドポイント番号を割り付け可能</li> <li>パイプごとに転送条件を設定可能</li> <li>パイプ 0: コントロール転送、64 バイトシングルバッファ</li> <li>パイプ 4, 5: バルク転送、64 バイトダブルバッファ</li> <li>パイプ 6, 7: インタラプト転送、64 バイトシングルバッファ</li> </ul>
その他	<ul style="list-style-type: none"> <li>トランザクションカウントによる受信終了機能</li> <li>BRDY 割り込みイベント通知タイミング変更機能 (BFRE)</li> <li>転送終了による応答 PID の NAK 設定機能 (SHTNAK)</li> <li>USB_DP/USB_DM のプルアップ抵抗、プルダウン抵抗をチップに内蔵</li> <li>HOCO クロックを USB クロックとして使用可能</li> </ul>
モジュールストップ機能	モジュールストップ状態の設定が可能

図 24.1 に USBFS のブロック図を示します。

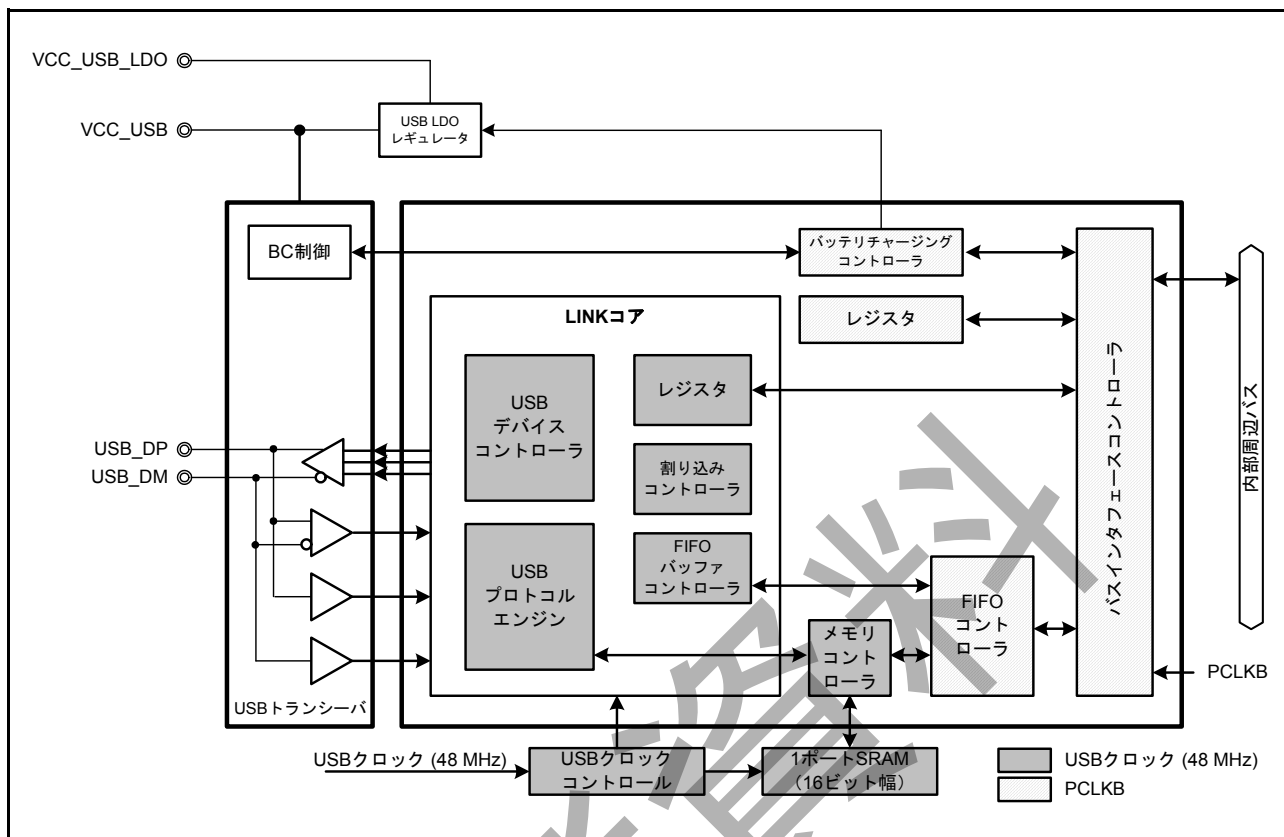


図 24.1 USBFS のブロック図

表 24.2 に USBFS の入出力端子を示します。

表 24.2 USBFS の入出力端子

ポート	端子名	入出力	機能
USBFS	USB_DP	入出力	USB内蔵トランシーバD+入出力端子 USBバスのD+端子に接続してください。
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子 USBバスのD-端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子 USBバスのVBUSに接続してください。VBUS端子の状態（アタッチ/デタッチ）を検出することができます。(注1)
共通	VCC_USB	入出力	入力：USB トランシーバの入力供給電圧 出力：USB LDOレギュレータの出力供給電圧。外部コンデンサに接続してください。
	VCC_USB_LDO	入力	USB LDOレギュレータの入力供給電圧
	VSS_USB	入力	USB用グランド端子

注 1. P407 は 5V トレラントです。

## 24.2 レジスタの説明

### 24.2.1 システムコンフィグレーションコントロールレジスタ (SYSCFG)

アドレス USBFS.SYSCFG 4009 0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SCKE	—	CNEN	—	—	—	DPRPU	DMRPU	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USBFS動作許可	0: USBFS動作を禁止 1: USBFS動作を許可	R/W
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	DMRPU	D-ライン抵抗制御(注1)	0: ラインのプルアップを禁止 1: ラインのプルアップを許可	R/W
b4	DPRPU	D+ライン抵抗制御(注1)	0: ラインのプルアップを禁止 1: ラインのプルアップを許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CNEN	CNENシングルエンドレシーバ許可	0: シングルエンドレシーバ動作を禁止 1: シングルエンドレシーバ動作を許可	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	SCKE	USBクロック許可(注2)	0: USBへのクロック供給を停止 1: USBへのクロック供給を許可	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. DMRPU ビットと DPRPU ビットを同時に許可にしないでください。

注2. SCKE ビットに1を書き込んだ後は、SCKE ビットを読み出して、1になっていることを確認してください。

#### USBE ビット (USBFS 動作許可)

USBFS の動作を許可または禁止します。

USBE ビットを1から0に変更したときに初期化されるレジスタのビットを表 24.3 に示します。このビットの変更は、SCKE ビットが1のときに限り行ってください。

表 24.3 SYSCFG.USBE ビットへの0の書き込みにより初期化されるレジスタ

レジスタ	ビット
SYSSTS0	LNST[1:0]
DVSTCTR0	RHST[2:0]
INTSTS0	DVSQ[2:0]
USBREQ	BREQUEST[7:0]、BMREQUESTTYPE[7:0]
USBVAL	WVALUE[15:0]
USBINDX	WINDEX[15:0]
USBLENG	WLENTUH[15:0]

#### DMRPU ビット (D-ライン抵抗制御)

DMRPU ビットは、D-ラインのプルアップを許可または禁止します。

DMRPU ビットを1にすると、D-ラインを強制的にプルアップし、USB ホストに対してロースピードデバイスとしてのアタッチを通知します。DMRPU ビットを1から0に変更することにより、USB はD-ラインを解放するので、USB ホストに対してデータタッチを通知することができます。

**DPRPU ビット (D+ ライン抵抗制御)**

D+ ラインのプルアップを許可または禁止します。

DPRPU ビットを 1 にすると、D+ ラインを強制的にプルアップし、USB ホストに対してアタッチを通知します。DPRPU ビットを 1 から 0 に変更することにより、USB は D+ ラインを解放するので、USB ホストに対してデタッチを通知することができます。

**CNEN ビット (CNEN シングルエンドレシーバ許可)**

CNEN ビットを 1 にすることにより、USBFS はシングルエンドレシーバを有効にし、LNST ビットを設定して D+/D- ラインのステータスをモニタできるようになります。

CNEN ビットを使用するのは、USBFS がバッテリーチャージ用ポータブルデバイスとして動作する場合です。

**SCKE ビット (USB クロック許可)**

USB への 48MHz クロック供給を停止または許可します。

このビットが 0 の場合、SYSCFG レジスタのみ読み出し/書き込みが可能です。他の USB 関連レジスタの読み出し/書き込みはできません。

**24.2.2 システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)**

アドレス `USBFS.SYSSTS0 4009 0004h`

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USB データラインステータスマニタ	表 24.4 を参照してください。	R
b15-b2	—	予約ビット	読むと 0 が読めます。書き換えることはできません。	R

**LNST[1:0] ビット (USB データラインステータスマニタ)**

USB データライン (D+ ライン、D- ライン) のステータスを示します。表 24.4 を参照してください。

アタッチ処理 (SYSCFG.DPRPU ビット = 1) 後に、LNST[1:0] ビットを読み出してください。

表 24.4 USB データバスライン (D+ ライン、D- ライン) のステータス

LNST[1:0] ビット	フルスピード動作時	ロースピード動作時
00b	SE0	SE0
01b	J-State	K-State
10b	K-State	J-State
11b	SE1	SE1

### 24.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTR0)

アドレス USBFS.DVSTCTR0 4009 0008h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	WKUP	—	—	—	—	—	RHST[2:0]		
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータス	b2 b0 0 0 0: 通信速度は不確定 0 0 1: USBバスリセット処理中またはロースピード接続時 0 1 0: USBバスリセット処理中またはフルスピード接続時	R
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	WKUP	ウェイクアップ出力	0: リモートウェイクアップ信号を出力しない 1: リモートウェイクアップ信号を出力する	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### RHST[2:0] ビット (USB バスリセットステータス)

USB バスリセットのステータスを示します。

ソフトウェアで USBRST ビットに 0 を書き込み、USB が SE0 ドライブを終了すると、USB は RHST[2:0] ビットの値を確定します。

USB が USB バスリセットを検出すると、RHST[2:0] ビットは 010b を示し (DPRPU = 1 の状態でのアタッチ)、DVST 割り込みが発生します。

#### WKUP ビット (ウェイクアップ出力)

USB バスへのリモートウェイクアップ信号 (レジェーム信号) の出力を許可または禁止します。

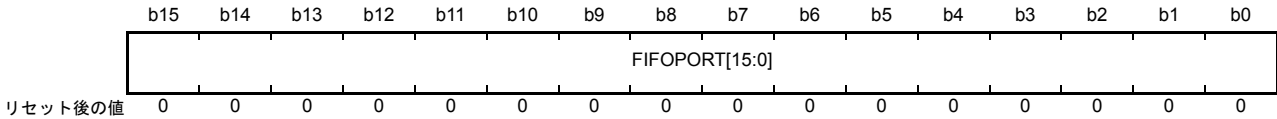
USB は、リモートウェイクアップ信号の出力時間を管理しています。このビットを 1 にすると、USB は 10ms の K-State を出力した後、このビットを 0 にします。USB 規格 2.0 では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。そのため、USB は、Suspended ステートを検出した直後にこのビットに 1 を書いて、2ms 待ってから K-State を出力します。

このビットへの 1 の書き込みは、デバイスステートが Suspended ステート (INTSTS0.DVSQ[2:0] ビット = 1xxb) で、かつ USB ホストがリモートウェイクアップ信号を許可している場合にのみ行ってください。このビットを 1 にする場合は、Suspended ステートであっても、内部クロックを停止しないでください (SYSCFG.SCKE ビットが 1 のときに、1 を書き込んでください)。

### 24.2.4 CFIFO ポートレジスタ (CFIFO/CFIFOL)

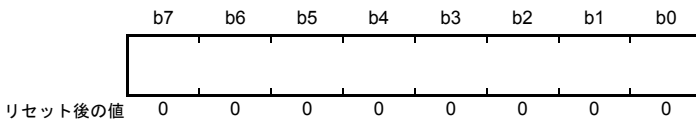
#### (1) MBW ビットが 1 の場合

アドレス `USBFS.CFIFO 4009 0014h`



#### (2) MBW ビットが 0 の場合

アドレス `USBFS.CFIFOL 4009 0014h`



ビット	シンボル	ビット名	機能	R/W
b15-b0	<code>FIFOPORT[15:0]</code>	FIFO ポート	FIFO ポートレジスタの有効ビットは、表 24.5 と表 24.6 に示すように、MBW ビット (CFIFOSEL.MBW) の設定値と、BIGEND ビット (CFIFOSEL.BIGEND) の設定値で決まります。	R/W

CFIFO は、FIFO バッファメモリに対してデータの読み出し/書き込みを行うポートレジスタ (CFIFO)、FIFO ポートに割り当てられたパイプを選択するためのポート選択レジスタ (CFIFOSEL)、およびポートコントロールレジスタ (CFIFOCTR) で構成されます。

CFIFO には以下のような特徴があります。

- DCP (コントロール転送) 用 FIFO バッファへのアクセスは、CFIFO ポート経由で行うことが必要
- FIFO ポート固有の機能を使用する場合、ポート選択レジスタの `CURPIPE[3:0]` ビットで指定したパイプ番号 (選択パイプ) は変更不可 (たとえば、DTC 転送機能の使用時)
- FIFO ポートを設定するレジスタ群が、他の FIFO ポートに影響を与えることはない
- 同一パイプを複数の FIFO ポートに割り当てることは禁止
- FIFO バッファには、アクセス権が CPU 側にある場合と SIE (Serial Interface Engine) 側にある場合の 2 つの状態がある。FIFO バッファのアクセス権が SIE 側にある場合、CPU から FIFO バッファへのアクセスは不可

#### FIFOPORT[15:0] ビット (FIFO ポート)

FIFOPORT[15:0] ビットにアクセスすることで、FIFO バッファからの受信データの読み出し、または FIFO バッファへの送信データの書き込みが可能になります。

CFIFO ポートレジスタへのアクセスは、ポートコントロールレジスタ (CFIFOSEL) の `FRDY` ビットが 1 のときに限り可能です。FIFO ポートレジスタの有効ビットは、表 24.5 と表 24.6 に示すように、ポート選択レジスタ (CFIFOSEL) の `MBW` および `BIGEND` ビットの設定値で決まります。

表 24.5 16 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット	ビット 15~8	ビット 7~0
0	N+1 データ	N+0 データ
1	N+0 データ	N+1 データ

表 24.6 8ビットアクセス時のエンディアン動作

CFIFOSEL.BIGENDビット	ビット15~8	ビット7~0
0	アクセス禁止 (注1)	N+0 データ
1	アクセス禁止 (注1)	N+0 データ

注 1. アクセス禁止領域からの読み出しは許されません。

参考資料



## 24.2.5 CFIFO ポート選択レジスタ (CFIFOSEL)

アドレス **USBFS.CFIFOSEL 4009 0020h**

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	<b>CURPIPE[3:0]</b>	CFIFO ポートアクセスパイプ指定	b3 b0 0 0 0 0 : DCP (デフォルトコントロールパイプ) 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 上記以外は設定しないでください。	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	<b>ISEL</b>	DCP 選択時 CFIFO ポートアクセス方向	0 : バッファメモリからの読み出しを選択 1 : バッファメモリへの書き込みを選択	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	<b>BIGEND</b>	CFIFO ポートエンディアン制御	0 : リトルエンディアン 1 : ビッグエンディアン	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	<b>MBW</b>	CFIFO ポートアクセスビット幅	0 : 8ビット幅 1 : 16ビット幅	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	<b>REW</b>	バッファポインタリワインド	0 : バッファポインタのリワインドを行わない 1 : バッファポインタのリワインドを行う	R/W (注1)
b15	<b>RCNT</b>	リードカウントモード	0 : CFIFO から全受信データを読み出したときに DTLN[8:0] ビットをクリア ダブルバッファモードの場合、1面のみ全データを読み出したときに DTLN[8:0] ビット値をクリア 1 : CFIFO から受信データを読み出すごとに DTLN[8:0] ビットをダウンカウント	R/W

注 1. 読むと 0 が読み出されます。

CFIFOSEL レジスタの CURPIPE[3:0] ビットでは同じパイプを指定しないでください。DTC 転送が許可されているとき、パイプ番号を変更しないでください。

### **CURPIPE[3:0] ビット (CFIFO ポートアクセスパイプ指定)**

CFIFO ポート経由のデータの読み出し/書き込みに使用するパイプ番号を指定します。

これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、これらのビットの設定値を変更しようとしても、アクセスが完了するまで現在のアクセスの設定値が維持されます。変更はアクセス完了後に有効になるので、連続アクセスが可能です。

### **ISEL ビット (DCP 選択時 CFIFO ポートアクセス方向)**

選択パイプが DCP のときに ISEL ビットを変更する場合、書き込み後に読み出しを行って、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

このビットと CURPIPE[3:0] ビットの設定は同時に行ってください。

### MBW ビット (CFIFO ポートアクセスビット幅)

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。読み出し後、このビットの設定値に従ってデータが開始されます。すべてのデータの読み出しが完了するまで、このビットを変更しないでください。

選択パイプが送信方向の場合、バッファメモリへのデータの書き込み中は、ビット幅を 8 ビット幅から 16 ビット幅へ切り替えることはできません。

16 ビット幅を選択した場合でも、バイトアクセス制御を通じて、奇数バイトの書き込みが可能です。

### REW ビット (バッファポインタリワインド)

バッファポインタのリワインドを行うか否かを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中に REW ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しが可能になります (ダブルバッファモードでは、現在読み出している FIFO バッファ面の最初のデータから再読み出しが可能になります)。

REW ビットを 1 にする設定と CURPIPE[3:0] ビットの変更は、同時に行わないでください。REW ビットを 1 にする前に、必ず FRDY ビットが 1 であることを確認してください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

参考資料

## 24.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR)

アドレス **USBFS.CFIFOCTR 4009 0022h**



ビット	シンボル	ビット名	機能	R/W
b8-b0	<b>DTLN[8:0]</b>	受信データ長	受信データ長を表示します。これらのビットが示す値は、ポート選択レジスタのRCNTビットの設定値によって異なります。詳細は、この節のDTLN[8:0]ビットの説明を参照してください。	R
b12-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	<b>FRDY</b>	FIFOポートレディ	0: FIFOポートアクセス不可能 1: FIFOポートアクセス可能	R
b14	<b>BCLR</b>	CPUバッファクリア	0: 何もしない 1: CPU側バッファメモリクリア	R/W (注1)
b15	<b>BVAL</b>	バッファメモリ有効フラグ	0: 無効 1: 書き込み終了	R/W

注1. 読むと0が読み出されます。

CFIFOCTR レジスタは CFIFO レジスタに対応しています。

### DTLN[8:0] ビット (受信データ長)

受信データ長を表示します。

FIFO バッファの読み出し中、DTLN[8:0] ビットは、以下に示すように、DnFIFOSEL.RCNT ビット (n=0, 1) の設定値に応じて異なる値を示します。

- RCNT ビットが0のとき：  
CPU または DTC が FIFO バッファ 1 面分の全受信データの読み出しを完了するまで、USB は受信データ長を DTLN[8:0] ビットに表示します。  
PIPECFG.BFRE ビットが1のときは、全データが読み出された後も、BCLR ビットが1になるまで、これらのビットは受信データ長を保持します。
- RCNT ビットが1のとき：  
FIFO バッファからデータを読み出すごとに、USB は DTLN[8:0] ビットの表示値をダウンカウントします。MBW ビットが0のときは-1ずつ、MBW ビットが1のときは-2ずつ値がダウンカウントされます。  
1 面分の FIFO バッファ読み出し完了時に、USB は DTLN[8:0] ビットを0にします。ただし、ダブルバッファモードでは、FIFO バッファ 1 面分の受信データの読み出しを完了する前に、もう 1 面分の FIFO バッファにデータを受信した場合、USB は、最初の 1 面分の読み出し完了時に、2 番目の 1 面分の受信データ長を DTLN[8:0] ビットに表示します。

### FRDY ビット (FIFO ポートレディ)

CPU または DTC から FIFO ポートにアクセス可能かどうかを表示します。

以下の場合、USB は FRDY ビットを1にしますが、読み出すべきデータがないため FIFO ポートによるデータ読み出しはできません。このような場合は、BCLR ビットを1にして FIFO バッファをクリアし、次のデータ送受信が可能な状態にしてください。

- 選択パイプに割り当てられている FIFO バッファが空の状態 Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが1のときに、ショートパケットを受信し、データ読み出しを完了した場合

### BCLR ビット (CPU バッファクリア)

選択パイプの CPU 側の FIFO バッファをクリアする場合、BCLR ビットを 1 にしてください。

選択パイプに割り当てられた FIFO バッファに、ダブルバッファモードが設定されている場合、FIFO バッファの両面とも読み出し可能な状態であっても、USB はその片面のみをクリアします。

選択パイプが DCP の場合は、FIFO バッファが CPU 側か SIE 側かにかかわらず、BCLR ビットを 1 にすることによって、USB は FIFO バッファのクリアが可能になります。SIE 側のバッファをクリアするには、DCP の DCPCTR.PID[1:0] ビットを NAK に設定してから BCLR ビットを 1 にしてください。

選択パイプが送信方向の場合、BVAL フラグと BCLR ビットへ同時に 1 を書き込むと、USB は書き込み済みのデータをクリアし、Zero-Length パケットを送信可能な状態にします。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、FIFO ポートコントロールレジスタの FRDY ビットが (USB によって) 1 になっているときに行ってください。

### BVAL フラグ (バッファメモリ有効フラグ)

CURPIPE[3:0] ビットで選択したパイプ (選択パイプ) の CPU 側の FIFO バッファへのデータ書き込みが完了したとき、BVAL フラグを 1 にしてください。

選択パイプが送信方向のとき、以下の場合に BVAL フラグを 1 にしてください。これを行うと、USB は CPU 側の FIFO バッファを SIE 側に切り替えて、送信可能な状態にします。

- ショートパケットを送信するには、データ書き込み後に BVAL フラグを 1 にする
- Zero-Length パケットを送信するには、FIFO バッファへのデータ書き込み前に BVAL フラグを 1 にする

連続転送モード時にパイプに対して最大パケットサイズ分のデータを書き込むと、USB が BVAL フラグを 1 にして、CPU 側の FIFO バッファを SIE 側に切り替え、送信可能な状態にします。

BVAL フラグへの 1 の書き込みは、FRDY ビットが (USB によって) 1 になっているときに行ってください。選択パイプが受信方向の場合、BVAL フラグは 1 にしないでください。

## 24.2.7 割り込みイネーブルレジスタ 0 (INTENB0)

アドレス USBFS.INTENB0 4009 0030h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BRDYE	バッファレディ割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b10	BEMPE	バッファEMPTY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b13	SOFE	フレーム番号更新割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b14	RSME	レジューム割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15	VBSE	VBUS割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W

ソフトウェアで1にした INTENB0 レジスタのビットに対応する割り込みが検出されると、USB は USB 割り込み要求を発生させます。

INTENB0 レジスタの設定値（割り込み出力の許可／禁止）にかかわらず、各割り込み要因の検出条件が成立したとき、USB は INTSTS0 レジスタの対応するステータスビットを1にします。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが1のとき、ソフトウェアで INTENB0 レジスタの対応する割り込み許可ビットを0から1に変更すると、USB は USBFS 割り込み要求を発生させます。

## 24.2.8 BRDY 割り込みイネーブルレジスタ (BRDYENB)

アドレス USBFS.BRDYENB 4009 0036h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	PIPE7B RDYE	PIPE6B RDYE	PIPE5B RDYE	PIPE4B RDYE	—	—	—	PIPE0B RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4BRDYE	パイプ4のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b5	PIPE5BRDYE	パイプ5のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b6	PIPE6BRDYE	パイプ6のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b7	PIPE7BRDYE	パイプ7のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットを 1 にすることを許可または禁止します。

ソフトウェアで 1 にした BRDYENB レジスタのビットに対応するパイプに BRDY 割り込みが検出されると、USB は対応する BRDYSTS.PIPE $n$ BRDY ビット ( $n=0, 4\sim 7$ ) と INTSTS0.BRDY ビットを 1 にします。このとき INTENB0.BRDYE = 1 であれば、USB は BRDY 割り込み要求を発生させます。

PIPE $n$ BRDY ビットの少なくとも 1 つが 1 のとき、ソフトウェアで BRDYENB レジスタの対応する割り込み許可ビットを 0 から 1 に変更すると、USB は BRDY 割り込み要求を発生させます。

## 24.2.9 NRDY 割り込みイネーブルレジスタ (NRDYENB)

アドレス USBFS.NRDYENB 4009 0038h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	PIPE7N RDYE	PIPE6N RDYE	PIPE5N RDYE	PIPE4N RDYE	—	—	—	PIPE0N RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4NRDYE	パイプ4のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b5	PIPE5NRDYE	パイプ5のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b6	PIPE6NRDYE	パイプ6のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b7	PIPE7NRDYE	パイプ7のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

NRDYENB レジスタは、各パイプのNRDY割り込み検出時に、INTSTS0.NRDY ビットを1にすることを許可または禁止します。

ソフトウェアで1にしたNRDYENBレジスタのビットに対応するパイプにNRDY割り込みが検出されると、USBは対応するNRDYSTS.PIPE $n$ NRDY ビット ( $n=0, 4\sim 7$ ) とINTSTS0.NRDY ビットを1にします。このときINTENB0.NRDYEが1であれば、USBはNRDY割り込み要求を発生させます。

PIPE $n$ NRDY ビットの少なくとも1つが1のとき、ソフトウェアでNRDYENBレジスタの対応する割り込み許可ビットを0から1に変更すると、USBはNRDY割り込み要求を発生させます。

## 24.2.10 BEMP 割り込みイネーブルレジスタ (BEMPENB)

アドレス USBFS.BEMPENB 4009 003Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	PIPE7B EMPE	PIPE6B EMPE	PIPE5B EMPE	PIPE4B EMPE	—	—	—	PIPE0B EMPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4BEMPE	パイプ4のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b5	PIPE5BEMPE	パイプ5のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b6	PIPE6BEMPE	パイプ6のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b7	PIPE7BEMPE	パイプ7のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に、INTSTS0.BEMP ビットを 1 にすることを許可または禁止します。

ソフトウェアで 1 にした BEMPENB レジスタのビットに対応するパイプに BEMP 割り込みが検出されると、USB は対応する BEMPSTS.PIPE $n$ BEMP ビット ( $n=0, 4\sim7$ ) と INTSTS0.BEMP ビットを 1 にします。このとき INTENB0.BEMPE = 1 であれば、USB は BEMP 割り込み要求を発生させます。

BEMPSTS の PIPE $n$ BEMP ビットの少なくとも 1 つが 1 のとき、ソフトウェアで BEMPENB レジスタの対応する割り込み許可ビットを 0 から 1 に変更すると、USB は BEMP 割り込み要求を発生させます。



## 24.2.11 SOF 出力コンフィグレーションレジスタ (SOFCFG)

アドレス USBFS.SOFCFG 4009 003Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	BRDY M	—	EDGES TS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	EDGESTS	エッジ割り込み出力ステータスマニタ(注1)	エッジ割り込み出力信号のエッジ処理中は1になります。	R
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	BRDYM	BRDY 割り込みステータスクリアタイミング	0 : ソフトウェアでステータスをクリア 1 : FIFOバッファに対するデータの読み出し/書き込み時にUSBがステータスをクリア	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. USBFS へのクロック供給を停止するときは、事前にこのビットが0であることを確認してください。

**EDGESTS ビット (エッジ割り込み出力ステータスマニタ)**

エッジ割り込み出力信号のエッジ処理中は1を示します。USB へのクロック供給を停止するときは、事前にこのビットが0であることを確認してください。

**BRDYM ビット (BRDY 割り込みステータスクリアタイミング)**

各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。

## 24.2.12 割り込みステータスレジスタ 0 (INTSTS0)

アドレス USBFS.INTSTS0 4009 0040h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]		VALID	CTSQ[2:0]				
リセット後の値	0	0	0	0/1 (注1)	0	0	0	0	0	0	0	0/1 (注3)	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージ	b2 b0 000 : アイドルまたはセットアップステージ 001 : コントロールリードデータステージ 010 : コントロールリードステータスステージ 011 : コントロールライトデータステージ 100 : コントロールライトステータスステージ 101 : コントロールライト (no-Data) ステータスステージ 110 : コントロール転送シーケンスエラー	R
b3	VALID	USB リクエスト受信	0 : Setup パケットの受信なし 1 : Setup パケットの受信あり	R/W
b6-b4	DVSQ[2:0]	デバイスステート	b6 b4 000 : Powered ステート 001 : Default ステート 010 : Address ステート 011 : Configured ステート 1xx : Suspended ステート	R
b7	VBSTS	VBUS 入力ステータス	0 : USB_VBUS 端子が Low 1 : USB_VBUS 端子が High	R
b8	BRDY	バッファレディ割り込みステータス	0 : BRDY 割り込み発生なし 1 : BRDY 割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータス	0 : NRDY 割り込み発生なし 1 : NRDY 割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータス	0 : BEMP 割り込み発生なし 1 : BEMP 割り込み発生あり	R
b11	CTRT	コントロール転送ステージ遷移割り込みステータス	0 : コントロール転送ステージ遷移割り込み発生なし 1 : コントロール転送ステージ遷移割り込み発生あり	R/W (注4)
b12	DVST	デバイスステート遷移割り込みステータス	0 : デバイスステート遷移割り込み発生なし 1 : デバイスステート遷移割り込み発生あり	R/W (注4)
b13	SOFR	フレーム番号更新割り込みステータス	0 : SOF 割り込み発生なし 1 : SOF 割り込み発生あり	R/W (注4)
b14	RESM	レジューム割り込みステータス (注5)	0 : レジューム割り込み発生なし 1 : レジューム割り込み発生あり	R/W (注4)
b15	VBINT	VBUS 割り込みステータス (注5)	0 : VBUS 割り込み発生なし 1 : VBUS 割り込み発生あり	R/W (注4)

x : Don't care

- 注 1. MCU のリセット時は 0、USB バスリセット後は 1 です。
- 注 2. USB\_VBUS 端子が High のとき 1、Low のとき 0 です。
- 注 3. MCU のリセット時は 000b、USB バスリセット後は 001b です。
- 注 4. VBINT、RESM、SOFR、DVST、CTRT、または VALID の各ビットをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。0 を示しているステータスビットには、0 を書き込まないでください。
- 注 5. VBINT および RESM ビットが示すステータスの変化は、クロック停止中 (SCKE ビットが 0 のとき) でも検出可能であり、対応する割り込み許可ビットが許可になっていれば、その割り込みが出力されます。ソフトウェアによるステータスのクリアは、クロック供給を許可にしてから行ってください。

## DVSQ[2:0] ビット (デバイスステート)

USB バスリセットで DVSQ[2:0] ビットは初期化されます。

### BRDY ビット (バッファレディ割り込みステータス)

BRDY 割り込みステータスを示します。

PIPEnBRDY ビット ( $n=0, 4\sim7$ ) の少なくとも1つが1になると、USB は BRDY ビットを1にします。PIPEnBRDY ビットは BRDYENB.PIPEnBRDYE ビット ( $n=0, 4\sim7$ ) に対応しており、ソフトウェアが BRDY 割り込み出力を許可しているパイプの少なくとも1つで、USB が BRDY 割り込みステータスを検出すると1になります。

PIPEnBRDY ステータスのアサート条件については、[24.3.3.1 BRDY 割り込み](#)を参照してください。

1になっている PIPEnBRDYE ビットに対応した PIPEnBRDY ビットのすべてに、ソフトウェアで0を書くと、USB は BRDY ビットを0にします。ソフトウェアで BRDY ビットに0を書いても、BRDY ビットを0にすることはできません。

### NRDY ビット (バッファノットレディ割り込みステータス)

PIPEnNRDY ビット ( $n=0, 4\sim7$ ) の少なくとも1つが1になると、USB は NRDY ビットを1にします。PIPEnNRDY ビットは PIPEnNRDYE ビット ( $n=0, 4\sim7$ ) に対応しており、ソフトウェアが NRDY 割り込み出力を許可しているパイプの少なくとも1つで、USB が NRDY 割り込みステータスを検出すると1になります。

PIPEnNRDY ステータスのアサート条件については、[24.3.3.2 NRDY 割り込み](#)を参照してください。

1になっている PIPEnNRDYE ビットに対応した PIPEnNRDY ビットのすべてに、ソフトウェアで0を書くと、USB は NRDY ビットを0にします。ソフトウェアで NRDY ビットに0を書いても、NRDY ビットを0にすることはできません。

### BEMP ビット (バッファEMPTY割り込みステータス)

PIPEnBEMP ビット ( $n=0, 4\sim7$ ) の少なくとも1つが1になると、USB は BEMP ビットを1にします。PIPEnBEMP ビットは PIPEnBEMPE ビット ( $n=0, 4\sim7$ ) に対応しており、ソフトウェアが BEMP 割り込み出力を許可しているパイプの少なくとも1つで、USB が BEMP 割り込みステータスを検出すると1になります。

PIPEnBEMP ステータスのアサート条件については、[24.3.3.3 BEMP 割り込み](#)を参照してください。

1になっている PIPEnBEMPE ビットに対応した PIPEnBEMP ビットのすべてに、ソフトウェアで0を書くと、USB は BEMP ビットを0にします。ソフトウェアで BEMP ビットに0を書いても、BEMP ビットを0にすることはできません。

### CTRT ビット (コントロール転送ステージ遷移割り込みステータス)

USB は、コントロール転送ステージの変化を検出すると、CTS[2:0] ビット値を更新して、CTRT ビットを1にします。

コントロール転送ステージ遷移割り込みが発生した場合、USB が次のコントロール転送ステージ遷移を検出する前に、このステータスをクリアしてください。

### DVST ビット (デバイスステート遷移割り込みステータス)

USB は、デバイスステートの変化を検出すると、DVSQ[2:0] ビット値を更新して、DVST ビットを1にします。

デバイスステート遷移割り込みが発生した場合、USB が次のデバイスステート遷移を検出する前に、このステータスをクリアしてください。

### SOFR ビット (フレーム番号更新割り込みステータス)

USB は、フレーム番号の更新時に SOFR ビットを1にします。フレーム番号更新割り込みは、1ms ごとに検出されます。

USB ホストから受信した SOF パケットが破損していても、USB は内部補完機能によって SOFR 割り込みを検出できます。

**RESM ビット (レジューム割り込みステータス)**

USB は、Suspended ステート (DVSQ[2:0] ビット = 1xxb) 時に USB\_DP 端子で信号の立ち下がりエッジを検出すると、RESM ビットを 1 にします。

**VBINT ビット (VBUS 割り込みステータス)**

USB は、USB\_VBUS 端子入力値のレベル変化 (High から Low へ、または Low から High へ) を検出すると、VBINT ビットを 1 にします。USB は、USB\_VBUS 端子の入力値を VBSTS ビットに示します。VBUS 割り込みが発生した場合、チャタリングを除去するため、同じ値が 3 回以上読み出されるまでソフトウェアで VBSTS ビットの読み出しを繰り返してください。

**24.2.13 BRDY 割り込みステータスレジスタ (BRDYSTS)**

アドレス USBFS.BRDYSTS 4009 0046h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	PIPE7B RDY	PIPE6B RDY	PIPE5B RDY	PIPE4B RDY	—	—	—	PIPE0B RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4BRDY	パイプ4のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BRDY	パイプ5のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BRDY	パイプ6のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BRDY	パイプ7のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SOFCFG.BRDYM ビットが 0 の場合、BRDYSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ 0 を、その他のビットには 1 を書いてください。

注 2. SOFCFG.BRDYM ビットが 0 の場合、BRDY 割り込みのクリアは、FIFO にアクセスする前に行ってください。

## 24.2.14 NRDY 割り込みステータスレジスタ (NRDYSTS)

アドレス USBFS.NRDYSTS 4009 0048h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	PIPE7N RDY	PIPE6N RDY	PIPE5N RDY	PIPE4N RDY	—	—	—	PIPE0N RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4NRDY	パイプ4のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5NRDY	パイプ5のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6NRDY	パイプ6のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7NRDY	パイプ7のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. NRDYSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ0を、その他のビットには1を書いてください。

## 24.2.15 BEMP 割り込みステータスレジスタ (BEMPSTS)

アドレス USBFS.BEMPSTS 4009 004Ah

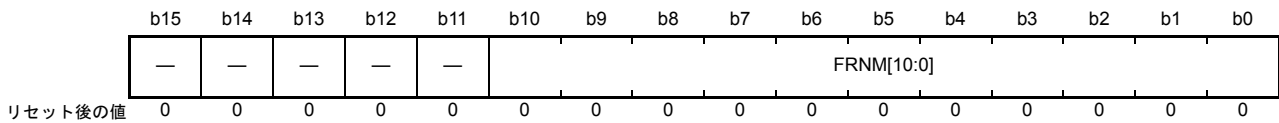
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	PIPE7B EMP	PIPE6B EMP	PIPE5B EMP	PIPE4B EMP	—	—	—	PIPE0B EMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4BEMP	パイプ4のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BEMP	パイプ5のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BEMP	パイプ6のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BEMP	パイプ7のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. BEMPSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ0を、その他のビットには1を書いてください。

### 24.2.16 フレームナンバーレジスタ (FRMNUM)

アドレス `USBFS.FRMNUM 4009 004Ch`



ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号	最新のフレーム番号	R
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

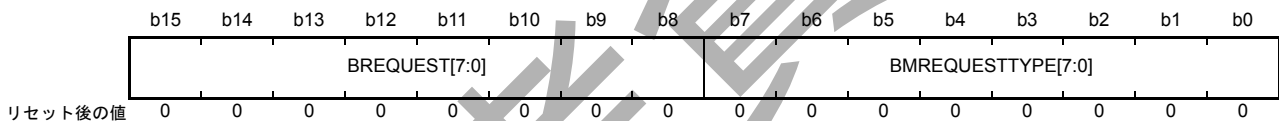
#### FRNM[10:0] ビット (フレーム番号)

1ms ごとの SOF パケット発行後、または SOF パケット受信時の FRNM[10:0] ビットへ書き込み後に、最新のフレーム番号を示します。

ソフトウェアで CRCE ビットに 0 を書くことにより、CRCE ビットを 0 にすることができます。

### 24.2.17 USB リクエストタイプレジスタ (USBREQ)

アドレス `USBFS.USBREQ 4009 0054h`



ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプ	USB リクエストの bmRequestType の値を格納	R/W
b15-b8	BREQUEST[7:0]	リクエスト	USB リクエストの bRequest の値を格納	R/W

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。

受信した bRequest および bmRequestType の値が格納されます。

USBREQ レジスタは、USB バスリセットで初期化されます。

#### BMREQUESTTYPE[7:0] ビット (リクエストタイプ)

USB リクエストの bmRequestType フィールドの値を保持します。

これらのビットは、Setup トランザクションで受信した USB リクエストデータ値を示します。書き込みは無効です。

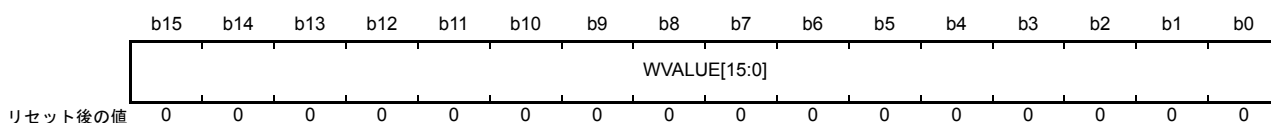
#### BREQUEST[7:0] ビット (リクエスト)

USB リクエストの bRequest 値を格納します。

これらのビットは、Setup トランザクションで受信した USB リクエストデータ値を示します。書き込みは無効です。

### 24.2.18 USB リクエストバリュeregスタ (USBVAL)

アドレス `USBFS.USBVAL 4009 0056h`



ビット	シンボル	ビット名	機能	R/W
b15-b0	<code>WVALUE[15:0]</code>	バリュー	USB リクエストの wValue の値	R/W

受信した wValue の値が、USBVAL レジスタに格納されます。USBVAL レジスタは、USB バスリセットで初期化されます。

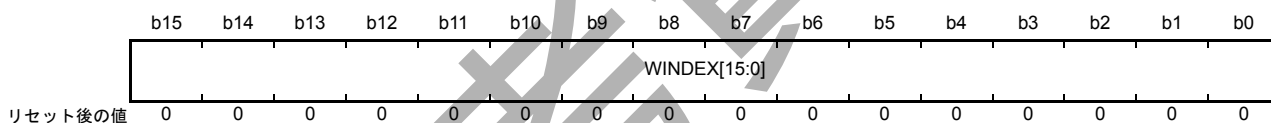
#### WVALUE[15:0] ビット (バリュー)

USB リクエストの wValue 値を格納します。

これらのビットは、Setup トランザクションで受信した USB リクエストの wValue フィールドの値を示します。WVALUE[15:0] ビットへの書き込みは無効です。

### 24.2.19 USB リクエストインデックスレジスタ (USBINDX)

アドレス `USBFS.USBINDX 4009 0058h`



ビット	シンボル	ビット名	機能	R/W
b15-b0	<code>WINDEX[15:0]</code>	インデックス	USB リクエストの wIndex の値	R/W

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。

受信した wIndex の値が格納されます。

USBINDX レジスタは、USB バスリセットで初期化されます。

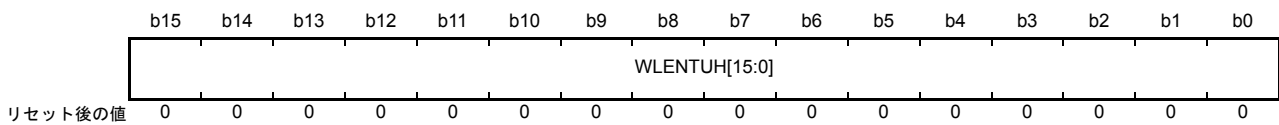
#### WINDEX[15:0] ビット (インデックス)

USB リクエストの wIndex フィールドの値を保持します。

これらのビットは、Setup トランザクションで受信した USB リクエストの wIndex フィールドの値を示します。WINDEX[15:0] ビットへの書き込みは無効です。

## 24.2.20 USB リクエストレングスレジスタ (USBLENG)

アドレス USBFS.USBLENG 4009 005Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	WLENTUH[15:0]	レングス	USB リクエストの wLength の値	R/W

USBLENG レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。

受信した wLength の値が格納されます。

USBLENG レジスタは、USB バスリセットで初期化されます。

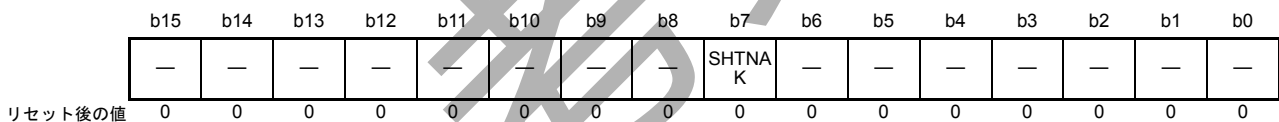
### WLENTUH[15:0] ビット (レングス)

USB リクエストの wLength フィールドの値を保持します。

これらのビットは、Setup トランザクションで受信した USB リクエストの wLength フィールドの値を示しています。WLENTUH[15:0] ビットへの書き込みは無効です。

## 24.2.21 DCP コンフィグレーションレジスタ (DCPCFG)

アドレス USBFS.DCPCFG 4009 005Ch



ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止 <sup>(注1)</sup>	0 : 転送終了時にパイプ継続 1 : 転送終了時にパイプ禁止	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. このビットの変更は、PID が NAK であるときに行ってください。このビットを変更するときは、DCP の DCPCTR.PID[1:0] ビットを BUF から NAK へ変更し、DCPCTR.PBUSY ビットが 0 であることを確認してから変更してください。ただし、USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

### SHTNAK ビット (転送終了時のパイプ禁止)

選択パイプが受信方向の場合、転送終了時に PID を NAK に変更するかどうかを指定します。

SHTNAK ビットは、選択パイプが受信方向の場合にのみ有効です。

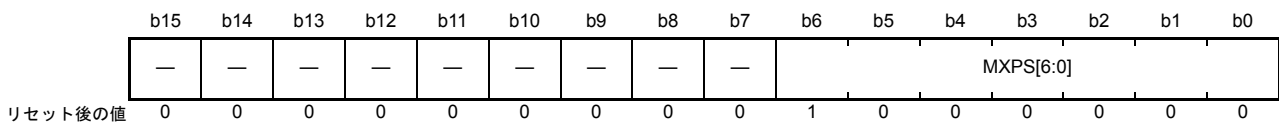
SHTNAK ビットを 1 にすると、USB は、転送終了と判定したときに、DCP の DCPCTR.PID[1:0] ビットを NAK に変更します。USB は、下記の条件が満たされると転送終了を判定します。

- ショートパケット (Zero-Length パケットを含む) を正常に受信したとき



## 24.2.22 DCP マックスパケットサイズレジスタ (DCPMAXP)

アドレス USBFS.DCPMAXP 4009 005Eh



ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	最大パケットサイズ(注1)	DCPのペイロード内の最大データ量(最大パケットサイズ)を設定します。 b6 b0 0 0 0 1 0 0 0 : 8バイト 0 0 1 0 0 0 0 : 16バイト 0 0 1 1 0 0 0 : 24バイト 0 1 0 0 0 0 0 : 32バイト 0 1 0 1 0 0 0 : 40バイト 0 1 1 0 0 0 0 : 48バイト 0 1 1 1 0 0 0 : 56バイト 1 0 0 0 0 0 0 : 64バイト 1 0 0 1 0 0 0 : 72バイト 1 0 1 0 0 0 0 : 80バイト 1 0 1 1 0 0 0 : 88バイト 1 1 0 0 0 0 0 : 96バイト 1 1 0 1 0 0 0 : 104バイト 1 1 1 0 0 0 0 : 112バイト 1 1 1 1 0 0 0 : 120バイト 上記以外は設定しないでください。	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. MXPS[6:0] ビットの変更は、PIDがNAKであるときに行ってください。これらのビットを変更するときは、DCPのDCPCTR.PID[1:0] ビットをBUFからNAKへ変更し、DCPCTR.PBUSY ビットが0であることを確認してから変更してください。ただし、USBがPID[1:0] ビットをNAKに変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。MXPS[6:0] ビットの変更後は、ポート選択レジスタのCURPIPE[3:0] ビットをDCPに設定した後、ポートコントロールレジスタのBCLR ビットを1にしてバッファをクリアしてください。

**MXPS[6:0] ビット (最大パケットサイズ)**

DCPのペイロード内の最大データ量(最大パケットサイズ)を指定します。初期値は40h(64バイト)です。

MXPS[6:0] ビットの設定値は、USB規格2.0に従う必要があります。MXPS[6:0] ビットの設定値が0のときは、FIFOバッファへの書き込みも、PID=BUFの設定も行わないでください。

## 24.2.23 DCP コントロールレジスタ (DCPCTR)

アドレス USBFS.DCPCTR 4009 0060h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	—	—	—	—	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答 (バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b2	CCPL	コントロール転送終了許可	0 : 無効 1 : コントロール転送終了を許可	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジュー	0 : DCPはトランザクションで未使用 1 : DCPはトランザクションで使用	R
b6	SQMON	シーケンスストールビットモニタ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンスストールビットセット(注2)	0 : 無効 1 : DATA1を指定	R/W (注1)
b8	SQCLR	シーケンスストールビットクリア(注2)	0 : 無効 1 : DATA0を指定	R/W (注1)
b14-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	BSTS	バッファステータス	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

注 1. 読むと0が読めます。

注 2. SQSET および SQCLR ビットへの1書き込みは、PIDがNAKであるときに行ってください。これらのビットを変更するときは、DCPのPID[1:0]ビットをBUFからNAKへ変更し、PBUSYビットが0であることを確認してから変更してください。ただし、USBがPID[1:0]ビットをNAKに変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

## PID[1:0] ビット (応答PID)

コントロール転送におけるUSB応答の種類を制御します。

USBは、以下のように、PID[1:0]ビットの設定値を変更します。

- USBは、Setupパケットの受信時に、PID[1:0]ビットをNAKに変更する。USBは、INTSTS0.VALIDビットを1にする。ソフトウェアでVALIDビットを0にするまで、PID[1:0]ビットの設定値は変更できなくなる
- ソフトウェアでPID[1:0]ビットをBUFにした場合、USBは、最大パケットサイズを超えるデータを受信すると、PIDをSTALL(11b)にする
- USBは、コントロール転送シーケンスエラーを検出すると、PIDをSTALL(1xb)にする
- USBは、USBバスリセットを検出すると、PIDをNAKにする

USBは、SET\_ADDRESSリクエストの処理中、PID[1:0]ビットの設定値を確認しません。

PID[1:0]ビットはUSBバスリセットで初期化されます。

### CCPL ビット (コントロール転送終了許可)

CCPL ビットを 1 にすることにより、コントロール転送のステータスステージの終了が許可されます。

対応する PID[1:0] ビットが BUF のときにソフトウェアで CCPL ビットを 1 にすると、USB はコントロール転送ステータスステージを終了します。

コントロールリード転送中は、USB は、USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信します。コントロールライト転送またはノーデータコントロール転送中は、USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET\_ADDRESS リクエスト検出時は、CCPL ビットの設定値とは無関係に、USB はセットアップステージからステータスステージ完了まで、自動応答モードで動作します。

新たな Setup パケットを受信すると、USB は CCPL ビットを 1 から 0 に変更します。INTSTS0.VALID ビットが 1 のとき、ソフトウェアで CCPL ビットに 1 を書き込むことはできません。CCPL ビットは USB バスリセットで初期化されます。

### PBUSY ビット (パイプビジー)

USB が PID[1:0] ビットを BUF から NAK に変更したときに、DCP がトランザクションで使用されているかどうかを示します。

USB は、当該パイプに対する USB トランザクション開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。

ソフトウェアで PID を NAK に設定した後、PBUSY ビットを読み出すと、パイプ設定の変更が可能かどうかを確認できます。

詳細は、[24.3.4.1 パイプコントロールレジスタの切り替え手順](#)を参照してください。

### SQMON ビット (シーケンストグルビットモニタ)

DCP 転送において、次回トランザクションのシーケンストグルビットの期待値を示します。

トランザクションが正常に終了すると、USB は SQMON ビットのトグルを許可します。ただし、受信方向での転送中に DATA-PID 不一致が発生すると、SQMON ビットのトグルは許可されません。

Setup パケットが正常に受信されると、USB は SQMON ビットを 1 に (期待値として DATA1 を指定) します。

USB は、ステータスステージの IN/OUT トランザクション中は SQMON ビットを参照しません。また正常終了しても SQMON ビットのトグルを許可しません。

### SQSET ビット (シーケンストグルビットセット)

DCP 転送において、次回トランザクションのシーケンストグルビットの期待値として DATA1 を指定します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

### SQCLR ビット (シーケンストグルビットクリア)

DCP 転送において、次回トランザクションのシーケンストグルビットの期待値として DATA0 を指定します。SQCLR ビットは 0 を示します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

### BSTS ビット (バッファステータス)

DCP FIFO バッファアクセスが可能かどうかを示します。

BSTS ビットの意味は、以下のように、ポート選択レジスタの ISEL ビットの設定値で決まります。

- ISEL ビットが 0 のとき、バッファから受信データの読み出しが可能かどうかを表示
- ISEL ビットが 1 のとき、バッファへの送信データの書き込みが可能かどうかを表示

## 24.2.24 パイプウィンドウ選択レジスタ (PIPESEL)

アドレス USBFS.PIPESEL 4009 0064h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択	b3    b0 0 0 0 0: パイプ選択なし 0 1 0 0: パイプ4 0 1 0 1: パイプ5 0 1 1 0: パイプ6 0 1 1 1: パイプ7 上記以外は設定しないでください。	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

パイプ4～7の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEnCTR、PIPEnTRE、およびPIPEnTRNレジスタで行ってください。

PIPESELレジスタでパイプを選択した後、パイプ機能をPIPECFGおよびPIPEMAXPレジスタで設定してください。PIPEnCTR、PIPEnTRE、およびPIPEnTRNレジスタは、PIPESELレジスタによるパイプ選択とは無関係に設定可能です。

**PIPESEL[3:0] ビット (パイプウィンドウ選択)**

データの読み出し/書き込みに使用するPIPECFGおよびPIPEMAXPレジスタに対応したパイプ番号を選択します。

PIPESEL[3:0]ビットでパイプ番号を選択することにより、その番号に対応したPIPECFGおよびPIPEMAXPレジスタの読み出し/書き込みが可能になります。

PIPESEL[3:0]ビット = 0000bの場合、PIPECFGおよびPIPEMAXPレジスタのすべてのビットから0が読み出されます。書き込みは無効です。

## 24.2.25 パイプコンフィグレーションレジスタ (PIPECFG)

アドレス USBFS.PIPECFG 4009 0068h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TYPE[1:0]	—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]			—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号 (注1)	選択パイプのエンドポイント番号を指定します。0000bの設定は、未使用パイプを意味します。	R/W
b4	DIR	転送方向 (注2) (注3)	0: 受信方向 1: 送信方向	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止 (注1)	0: 転送終了時にパイプの割り当てを継続 1: 転送終了時にパイプの割り当てを禁止	R/W
b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	DBLB	ダブルバッファモード (注2) (注3)	0: シングルバッファ 1: ダブルバッファ	R/W
b10	BFRE	BRDY割り込み動作指定 (注2) (注3)	0: データ送受信時にBRDY割り込み 1: データ読み出し完了時にBRDY割り込み	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	TYPE[1:0]	転送タイプ (注1)	<ul style="list-style-type: none"> <li>パイプ4および5 b15 b14 0 0: パイプ不使用 0 1: バルク転送 1 0: 設定禁止 1 1: 設定禁止</li> <li>パイプ6および7 b15 b14 0 0: パイプ不使用 0 1: 設定禁止 1 0: インタラプト転送 1 1: 設定禁止</li> </ul>	R/W

- 注1. TYPE[1:0]、SHTNAK、および EPNUM[3:0] ビットの変更は、PID が NAK であるときに行ってください。これらのビットを変更するときは、選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更し、PIPEnCTR.PBUSY ビットが0であることを確認してから変更してください。ただし、USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。
- 注2. BFRE、DBLB、および DIR ビットの変更は、PID が NAK であるときに、ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択する前に行ってください。これらのビットを変更するときは、選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更し、PIPEnCTR.PBUSY ビットが0であることを確認してから変更してください。ただし、USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PIPEnCTR.PBUSY ビットの確認は不要です。
- 注3. 選択パイプを使用した USB 通信が終了した後、BFRE、DBLB、および DIR ビットを変更する場合は、PID および CURPIPE[3:0] ビットが注2. に示した状態にあるときに、ソフトウェアによって PIPEnCTR.ACLRM ビットに1と0を連続して書き込んで、選択パイプに割り当てられた FIFO バッファをクリアしてください。

PIPECFG レジスタは、パイプ4～7に対して、転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号を指定するレジスタです。また、シングルまたはダブルバッファモードの選択と、転送終了時にパイプ動作を継続するか禁止するかの選択を行います。

## EPNUM[3:0] ビット (エンドポイント番号)

選択パイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを意味します。DIR ビットと EPNUM[3:0] ビットの設定値の組み合わせが、2つ以上のパイプで重複しないように設定してください (すべてのパイプに対し、EPNUM[3:0] ビットを 0000b にすることは可能です)。

### DIR ビット (転送方向)

選択パイプの転送方向を指定します。ソフトウェアで DIR ビットを 0 にすると、USB は選択パイプを受信方向で使用します。ソフトウェアで DIR ビットを 1 にすると、USB は選択パイプを送信方向で使用します。

### SHTNAK ビット (転送終了時のパイプ禁止)

選択パイプが受信方向の場合、転送終了時に PID を NAK に変更するかどうかを指定します。SHTNAK ビットは、選択パイプが受信方向のパイプ 4 とパイプ 5 のときに有効です。

受信方向の選択パイプに対して、ソフトウェアで SHTNAK ビットを 1 にすると、USB は、転送終了と判定したとき、選択パイプに対応する PIPEnCTR.PID[1:0] ビットを NAK に変更します。USB は、以下のいずれかの条件が満たされたときに転送終了と判定します。

- ショートパケット (Zero-Length パケットを含む) を正常に受信したとき
- トランザクションカウンタを使用し、カウンタに指定した数のパケットを正常に受信したとき

### DBLB ビット (ダブルバッファモード)

選択パイプが使用する FIFO バッファに対して、シングルまたはダブルバッファモードのいずれか一方を選択します。DBLB ビットは、パイプ 4 とパイプ 5 の選択時に有効です。

### BFRE ビット (BRDY 割り込み動作指定)

選択パイプに関して、USB から CPU への BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを 1 にした場合、選択パイプが受信方向であると、USB は転送終了を検出し、当該パケットの読み出し後に BRDY 割り込みを発生させます。

この設定で BRDY 割り込みが発生した場合、ソフトウェアでポートコントロールレジスタの BCLR ビットに 1 を書く必要があります。BCLR ビットに 1 を書くまで、選択パイプに割り当てられた FIFO バッファは受信可能な状態になりません。

ソフトウェアで BFRE ビットを 1 にしても、選択パイプが送信方向であると、USB は BRDY 割り込みを発生させません。詳細は、[24.3.3.1 BRDY 割り込み](#)を参照してください。

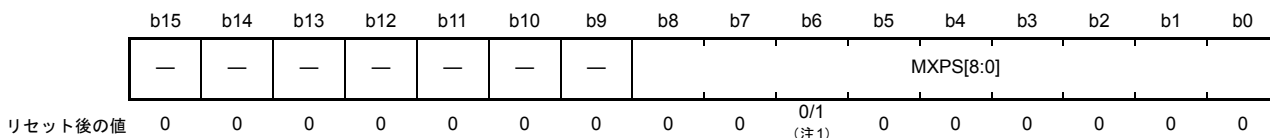
### TYPE[1:0] ビット (転送タイプ)

PIPESEL.PIPESEL[3:0] ビットで選択したパイプに対して、転送タイプを選択します。

選択パイプの PID を BUF に設定する前に (選択パイプを使用した USB 通信を開始する前に)、TYPE[1:0] ビットに 00b 以外の値を設定してください。

## 24.2.26 パイプマックスパケットサイズレジスタ (PIPEMAXP)

アドレス USBFS.PIPEMAXP 4009 006Ch



ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS[8:0]	最大パケットサイズ(注2)	<ul style="list-style-type: none"> <li>パイプ4および5: 8バイト (008h)、16バイト (010h)、 32バイト (020h)、64バイト (040h) ([8:7]ビットと[2:0]ビットはサポートされていません)</li> <li>パイプ6および7: 1バイト (001h) ~ 64バイト (040h) ([8:7]ビットはサポートされていません)</li> </ul>	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. これらのビットの値は、PIPESEL.PIPESEL[3:0] ビットでパイプを選択していないときは 0000h、選択しているときは 0040h です。

注2. MXPS[8:0] ビットの変更は、PID が NAK であるときに、ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択する前に行ってください。これらのビットを変更するときは、選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更し、PIPEnCTR.PBUSY ビットが 0 であることを確認してから変更してください。ただし、USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

PIPEMAXP レジスタは、パイプ 4 ~ 7 に対して、最大パケットサイズを指定するレジスタです。

**MXPS[8:0] ビット (最大パケットサイズ)**

選択パイプの最大データペイロード (最大パケットサイズ) を指定します。

これらのビットは、転送タイプごとに USB 規格 2.0 に従って適切な値を設定してください。MXPS[8:0] ビット = 0 のときは、FIFO バッファへの書き込みも、PID を BUF にする設定も行わないでください。

## 24.2.27 パイプ n コントロールレジスタ (PIPEnCTR) (n = 4 ~ 7)

## PIPEnCTR (n = 4, 5)

アドレス USBFS.PIPE4CTR 4009 0076h, USBFS.PIPE5CTR 4009 0078h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答 (バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用中	R
b6	SQMON	シーケンスストグルビット確認	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンスストグルビットセット (注2)	0 : 書き込み禁止 1 : DATA1を指定	R/W (注1)
b8	SQCLR	シーケンスストグルビットクリア (注2)	0 : 書き込み禁止 1 : DATA0を指定	R/W (注1)
b9	ACLRM	自動バッファクリアモード (注3)	0 : 禁止 1 : 許可 (全バッファ初期化)	R/W
b10	ATREPM	自動応答モード (注2)	0 : 自動応答を禁止 1 : 自動応答を許可	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	INBUFM	送信バッファモニタ	0 : バッファメモリに送信可能データなし 1 : バッファメモリに送信可能データあり	R
b15	BSTS	バッファステータス	0 : CPUからのバッファアクセス不可能 1 : CPUからのバッファアクセス可能	R

注 1. 読むと0のみが読めます。

注 2. ATREPM ビットの変更と、SQCLR または SQSET ビットへの1書き込みは、PIDがNAKであるときに行ってください。これらのビットを変更するときは、選択パイプのPID[1:0] ビットをBUFからNAKへ変更し、PIPEnCTR.PBUSY ビットが0であることを確認してから変更してください。ただし、USBがPID[1:0] ビットをNAKに変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。

注 3. ACLRM ビットの変更は、PID[1:0] がNAKであるときに、ポート選択レジスタのCURPIPE[3:0] ビットでパイプを選択する前に行ってください。このビットを変更するときは、選択パイプのPID[1:0] ビットをBUFからNAKへ変更し、PBUSY ビットが0であることを確認してから変更してください。ただし、USBがPID[1:0] ビットをNAKに変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。

PIPEnCTR レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。



### PID[1:0] ビット (応答 PID)

当該パイプの次回トランザクションにおける応答の種類を指定します。PID[1:0] ビットの初期値は NAK です。当該パイプで USB 転送を行う場合は、PID[1:0] ビットを BUF に変更してください。表 24.7 に、PID[1:0] ビット設定値に対応した USB の基本動作 (通信パケットにエラーがない場合) を示します。

パイプが USB 通信中のときに、ソフトウェアでパイプの PID[1:0] ビット設定を BUF から NAK に変更したときは、そのパイプを用いた USB 転送が実際に NAK 状態に遷移したかどうかを調べるため、PBUSY ビットが 1 であることを確認してください。USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

以下の場合に、USB が PID[1:0] ビット設定を変更します。

- 当該パイプが受信方向で、かつソフトウェアで選択パイプの PIPECFG.SHTNAK ビットを 1 にしている場合、USB は、転送終了を認識したときに PID を NAK に設定
- 当該パイプの最大パケットサイズを超えるペイロードのデータパケットを受信したとき、USB は PID を STALL (11b) に設定
- USB バスリセットを検出したとき、USB は PID を NAK に設定

応答の種類を指定するには、PID[1:0] ビットを以下のように設定してください。

- NAK (00b) から STALL へ遷移させるには、10b を設定
- BUF (01b) から STALL へ遷移させるには、11b を設定
- STALL (11b) から NAK へ遷移させるには、10b を設定してから 00b を設定
- STALL から BUF へ遷移させるには、00b (NAK) を設定してから 01b (BUF) を設定

### PBUSY ビット (パイプビジー)

当該パイプが現在のトランザクションで使用中かどうかを示します。

USB は、当該パイプに対する USB トランザクションの開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。

ソフトウェアで PID を NAK に設定した後に PBUSY ビットを読み出すと、パイプ設定の変更が可能かどうかを確認できます。詳細は、24.3.4.1 [パイプコントロールレジスタの切り替え手順](#)を参照してください。

### SQMON ビット (シーケンストグルビット確認)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。受信方向での転送時に DATA-PID 不一致が発生した場合、SQMON ビットのトグルは許可されません。

### SQSET ビット (シーケンストグルビットセット)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値として DATA1 を設定するには、SQSET ビットを 1 にする必要があります。

ソフトウェアで SQSET ビットを 1 にすると、USB は当該パイプのシーケンストグルビットの期待値として DATA1 を設定します。USB は SQSET ビットを 0 にします。

### SQCLR ビット (シーケンストグルビットクリア)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値をクリア (期待値として DATA0 を設定) するには、SQCLR ビットを 1 にする必要があります。

ソフトウェアで SQCLR ビットを 1 にすると、USB は当該パイプのシーケンストグルビットの期待値として DATA0 を設定します。USB は SQCLR ビットを 0 にします。

### ACLRM ビット (自動バッファクリアモード)

当該パイプの自動バッファクリアモードを許可または禁止します。

当該パイプに割り当てられた FIFO バッファの情報を完全に削除するには、ACLRM ビットに 1 を書いた後、引き続き 0 を書いてください。

表 24.8 に、ACLRM ビットに 1 と 0 を連続して書くことでクリアされる情報と、情報のクリアが必要となる状況を示します。

### ATREPM ビット (自動応答モード)

当該パイプの転送タイプがバルク転送の場合、ATREPM ビットを 1 にすることが可能です。

ATREPM ビットを 1 にした場合、USB ホストからのトークンに対し USB は以下のように応答します。当該パイプがバルク IN 転送 (PIPECFG.TYPE[1:0] ビットが 01b、かつ PIPECFG.DIR ビットが 1) のとき：

ATREPM ビットが 1 で PID = BUF の場合、IN トークンに対して USB は Zero-Length パケットを送信します。

USB ホストから ACK を受信するたびに、USB はシーケンスストグルビット (DATA-PID) を更新 (トグルを許可) します (1 トランザクションでは、IN トークン受信 → Zero-Length パケット送信 → ACK 受信の順で発生します)。この場合、USB は BRDY 割り込みも BEMP 割り込みも発生させません。

当該パイプがバルク OUT 転送 (PIPECFG.TYPE[1:0] ビットが 01b かつ PIPECFG.DIR ビットが 0) のとき：

ATREPM ビットが 1 で PID = BUF の場合、OUT トークンに対して USB は NAK 応答を行い、NRDY 割り込みを発生させます。

自動応答モードで USB 通信を行う場合、FIFO バッファが空の状態に ATREPM ビットを 1 にしてください。自動応答モードでの USB 通信中は、FIFO バッファに書き込まないでください。

### INBUFM ビット (送信バッファモニタ)

当該パイプが送信方向の場合に、そのパイプの FIFO バッファステータスを示します。

当該パイプが送信方向 (PIPECFG.DIR ビットが 1) の場合、CPU または DTC が FIFO バッファに少なくとも 1 面分のデータの書き込みを完了すると、USB は INBUFM ビットを 1 にします。

書き込みが完了している面の FIFO バッファ上のデータを USB がすべて送信完了したときに、USB は INBUFM ビットを 0 にします。ダブルバッファモード (PIPECFG.DBLEB ビット = 1) では、CPU または DTC が 1 面分のデータ書き込みを完了する前に、USB が 2 面分のデータ送信を完了すると、USB は INBUFM ビットを 0 にします。

当該パイプが受信方向 (PIPECFG.DIR ビットが 0) の場合、INBUFM ビットは BSTS ビットと同じ値を示します。

### BSTS ビット (バッファステータス)

当該パイプの FIFO バッファステータスを示します。

BSTS ビットの意味は、表 24.9 に示すように、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値で異なります。

表 24.7 PID[1:0] ビット設定値で決まる USB の動作

PID[1:0] ビット	転送タイプ	転送方向 (DIR ビット)	USB の動作
00b (NAK)	バルクまたは インタラプト	設定値に依存しない	USB ホストからのトークンに対して NAK 応答を行う。
01b (BUF)	バルク	受信方向 (DIR ビット = 0)	USB ホストからの OUT トークンに対して、当該パイプに対応する FIFO バッファが受信可能な状態であればデータを受信し、ACK 応答を行う。
	インタラプト	受信方向 (DIR ビット = 0)	USB ホストからの OUT トークンに対して、当該パイプに対応する FIFO バッファが受信可能な状態であればデータを受信し、ACK 応答を行う。
	バルクまたは インタラプト	送信方向 (DIR ビット = 1)	USB ホストからのトークンに対して、対応する FIFO バッファが送信可能な状態であればデータを送信する。送信可能でなければ NAK 応答を行う。
10b (STALL) または 11b (STALL)	バルクまたは インタラプト	設定値に依存しない	USB ホストからのトークンに対して STALL 応答を行う。

表 24.8 ACLRM = 1 設定時に USB がクリアする情報

番号	ACLRM ビット操作によってクリアされる情報	クリアが必要となる状況
1	当該パイプに割り当てられ付けた FIFO バッファのすべての情報 (ダブルバッファモード選択時は FIFO バッファを 2 面ともクリア)	パイプを初期化する場合
2	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定を変更する場合
3	FIFO バッファトグル制御	PIPECFG.DBLB ビットの設定を変更する場合
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

表 24.9 BSTS ビットの動作

DIR ビット	BFRE ビット	DCLRM ビット	BSTS ビットの機能
0	0	0	FIFO バッファからの受信データの読み出しが可能 FIFO バッファからの受信データの読み出しが完了
		1	設定禁止
	1	0	FIFO バッファからの受信データの読み出しが可能。FIFO バッファからの受信データの読み出し完了時に、ソフトウェアによって 1 になる
		1	FIFO バッファからの受信データの読み出しが可能 FIFO バッファからの受信データの読み出しが完了
1	0	0	FIFO バッファへの送信データの書き込みが可能 FIFO バッファへの送信データの書き込みが完了
		1	設定禁止
	1	0	設定禁止
		1	設定禁止

## PIPEnCTR (n = 6 および 7)

アドレス USBFS.PIPE6CTR 4009 007Ah, USBFS.PIPE7CTR 4009 007Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答 (バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0 : 当該パイプはUSBバスで未使用 1 : 当該パイプはUSBバスで使用	R
b6	SQMON	シーケンストグルビット確認	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンストグルビットセット (注2)	0 : 無効 1 : DATA1を指定	R/W (注1)
b8	SQCLR	シーケンストグルビットクリア (注2)	0 : 無効 1 : DATA0を指定	R/W (注1)
b9	ACLRM	自動バッファクリアモード (注2) (注3)	0 : 自動バッファクリアモードを禁止 1 : 自動バッファクリアモードを許可 (全バッファ初期化)	R/W
b14-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	BSTS	バッファステータス	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

注 1. 読むと0が読み出されます。1のみ書けます。

注 2. SQCLR または SQSET ビットへの1書き込みは、PIDがNAKのときに行ってください。これらのビットを変更するときは、選択パイプのPID[1:0]ビットをBUFからNAKへ変更し、PIPEnCTR.PBUSYビットが0であることを確認してから変更してください。ただし、USBがPID[1:0]ビットをNAKに変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

注 3. ACLRM ビットの変更は、PIDがNAKのときに、ポート選択レジスタのCURPIPE[3:0]ビットでパイプを選択する前に行ってください。このビットを変更するときは、選択パイプのPID[1:0]ビットをBUFからNAKへ変更し、PBUSYビットが0であることを確認してから変更してください。ただし、USBがPID[1:0]ビットをNAKに変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

## PID[1:0] ビット (応答 PID)

当該パイプの次回トランザクションにおける応答の種類を指定します。

PID[1:0] ビットの初期値はNAKです。当該パイプでUSB転送を行う場合にはPID[1:0]ビットをBUFに変更してください。表 24.7 に、PID[1:0] ビット設定値に対応したUSBの基本動作 (通信パケットにエラーがない場合) を示します。

当該パイプがUSB通信中のときに、ソフトウェアでPID[1:0]ビットをBUFからNAKに変更したときは、そのパイプを用いたUSB転送が実際にNAK状態に遷移したかどうかを調べるため、PBUSYビットが1であることを確認してください。ただし、USBがPIDビットをNAKに変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

以下の場合、USBがPID[1:0]ビット設定を変更します。

- 当該パイプが受信方向で、かつソフトウェアで選択パイプのPIPECFG.SHTNAKビットを1にしている場合、USBが転送終了を認識したときにPIDをNAKに設定
- 当該パイプの最大パケットサイズを超えるペイロードのデータパケットを受信したとき、USBはPIDをSTALL (11b) に設定

- USB バスリセットを検出したとき、USB は PID を NAK に設定  
応答の種類を指定するには、PID[1:0] ビットを以下のように設定してください。
- NAK (00b) から STALL へ遷移させるには、10b を設定
- BUF (01b) から STALL へ遷移させるには、11b を設定
- STALL (11b) から NAK へ遷移させるには、10b を設定してから 00b を設定
- STALL から BUF へ遷移させるには、00b (NAK) を設定してから 01b (BUF) を設定

### PBUSY ビット (パイプビジー)

当該パイプが現在トランザクションで使用かどうかを表示します。

USB は、当該パイプに対する USB トランザクションの開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。ソフトウェアで PID を NAK に設定した後に PBUSY ビットを読み出すと、パイプ設定の変更が可能かどうかを確認できます。

### SQMON ビット (シーケンスストールビット確認)

当該パイプの次回トランザクションにおけるシーケンスストールビットの期待値を示します。トランザクションが正常に終了すると、USB は SQMON ビットのトグルを許可します。ただし、受信方向での転送中に DATA-PID 不一致が発生すると、SQMON ビットのトグルは許可されません。

### SQSET ビット (シーケンスストールビットセット)

当該パイプの次回トランザクションにおけるシーケンスストールビットの期待値として DATA1 を設定するには、SQSET ビットを 1 にする必要があります。

ソフトウェアで SQSET ビットを 1 にすると、USB は当該パイプのシーケンスストールビットの期待値として DATA1 を設定します。USB は SQSET ビットを 0 にします。

### SQCLR ビット (シーケンスストールビットクリア)

当該パイプの次回トランザクションにおけるシーケンスストールビットの期待値をクリア (期待値として DATA0 を設定) するには、SQCLR ビットを 1 にする必要があります。

ソフトウェアで SQCLR ビットを 1 にすると、USB は当該パイプのシーケンスストールビットの期待値として DATA0 を設定します。USB は SQCLR ビットを 0 にします。

### ACLRM ビット (自動バッファクリアモード)

当該パイプの自動バッファクリアモードを許可または禁止します。当該パイプに割り当てられた FIFO バッファの情報を完全に削除するには、ACLRM ビットに 1 を書いた後、引き続き 0 を書いてください。

表 24.10 に、ACLRM ビットに 1 と 0 を連続して書くことでクリアされる情報と、情報のクリアが必要となる状況を示します。

### BSTS ビット (バッファステータス)

当該パイプの FIFO バッファステータスを示します。BSTS ビットの意味は、表 24.9 に示すように、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRMBIT ビットの設定値で異なります。

表 24.10 ACLRM ビット = 1 設定時に USB がクリアする情報

番号	ACLRM ビット操作によってクリアされる情報	クリアが必要となる状況
1	選択パイプに割り当てられた FIFO バッファの全情報	パイプを初期化する場合
2	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定を変更する場合
3	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

## 24.2.28 パイプ n トランザクションカウンタインーブルレジスタ (PIPE<sub>n</sub>TRE) (n = 4, 5)

アドレス [USBFS.PIPE4TRE 4009 009Ch](#), [USBFS.PIPE5TRE 4009 00A0h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TRCLR	トランザクションカウンタクリア	0: 無効 1: 現在のカウンタ値をクリア	R/W
b9	TRENB	トランザクションカウンタ有効	0: トランザクションカウンタは無効 1: トランザクションカウンタは有効	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PIPE<sub>n</sub>TRE レジスタの各ビットの変更は、PID が NAK のときに行ってください。これらのビットを変更するときは、選択パイプの PIPE<sub>n</sub>CTR.PID[1:0] ビットを BUF から NAK へ変更し、PIPE<sub>n</sub>CTR.PBUSY ビットが 0 であることを確認してから変更してください。ただし、USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

### TRCLR ビット (トランザクションカウンタクリア)

当該パイプに対応するトランザクションカウンタの現在の値をクリアし、その後、TRCLR ビットを 0 にします。

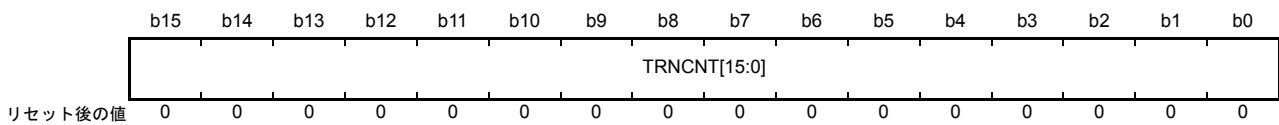
### TRENB ビット (トランザクションカウンタ有効)

トランザクションカウンタを有効または無効にします。

受信パイプに対して、ソフトウェアで PIPE<sub>n</sub>TRN.TRNCNT[15:0] ビットに総受信パケット数を設定した後、TRENB ビットを 1 にすると、USB は TRNCNT[15:0] ビットの設定値と同数のパケットを受信し終えた時点で、以下のハードウェア制御を行います。

- PIPECFG.SHTNAK ビットが 1 のとき、TRNCNT[15:0] ビットの設定値と同数のパケットを受信し終えた時点で、USB は対応するパイプの PIPE<sub>n</sub>CTR.PID[1:0] ビットを NAK に変更
- PIPECFG.BFRE ビットが 1 のとき、TRNCNT[15:0] ビットの設定値と同数のパケットを受信し、その最後の受信データを読み出し終えた時点で、USB は BRDY 割り込みをアサート

送信パイプに対しては、TRENB ビットを 0 にしてください。トランザクションカウンタを使用しない場合は、TRENB ビットを 0 にしてください。トランザクションカウンタを使用する場合は、TRNCNT[15:0] ビットを設定してから TRENB ビットを 1 にしてください。トランザクションカウンタのカウンタ対象となる最初のパケットを受信する前に、TRENB ビットを 1 にしてください。

24.2.29 パイプ n トランザクションカウンタレジスタ (PIPE<sub>n</sub>TRN) (n = 4, 5)アドレス [USBFS.PIPE4TRN 4009 009Eh](#), [USBFS.PIPE5TRN 4009 00A2h](#)

ビット	シンボル	ビット名	機能	R/W
b15-b0	<a href="#">TRNCNT[15:0]</a>	トランザクションカウンタ	<ul style="list-style-type: none"> <li>レジスタ書き込み時 当該パイプが受信すべき総パケット数（トランザクション回数）を設定します。</li> <li>レジスタ読み出し時 PIPE<sub>n</sub>TRE.TRENB ビットが0の場合、設定したトランザクション回数が表示されます。 PIPE<sub>n</sub>TRE.TRENB ビットが1の場合、現在のトランザクションカウンタが表示されます。</li> </ul>	R/W

PIPE<sub>n</sub>TRN レジスタは、USB バスリセット時も、現在の設定値を保持します。

**TRNCNT[15:0] ビット (トランザクションカウンタ)**

USB は、パケット受信時に下記の条件がすべて満たされたとき、TRNCNT[15:0] ビット値を 1 インクリメントします。

- PIPE<sub>n</sub>TRE.TRENB ビットが 1 である
- パケット受信時に「TRNCNT[15:0] 設定値 ≠ 現在のカウンタ値 + 1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットの設定値と一致した

USB は、下記の条件のいずれかが満たされたとき、TRNCNT[15:0] ビット値を 0 にします。

- 以下の条件がすべて満たされたとき：
  - PIPE<sub>n</sub>TRE.TRENB ビットが 1 である
  - パケット受信時に「TRNCNT[15:0] 設定値 = 現在のカウンタ値 + 1」である
  - 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットの設定値と一致した
- 以下の条件がすべて満たされたとき：
  - PIPE<sub>n</sub>TRE.TRENB ビットが 1 である
  - USB がショートパケットを受信した
- 以下の条件がすべて満たされたとき：
  - PIPE<sub>n</sub>TRE.TRENB ビットが 1 である
  - PIPE<sub>n</sub>TRE.TRCLR ビットがソフトウェアによって 1 にされた

送信パイプ対しては、TRNCNT[15:0] ビットを 0 にしてください。トランザクションカウンタを使用しない場合、TRNCNT[15:0] ビットを 0 にしてください。

転送するトランザクションの回数を TRNCNT[15:0] ビットに設定することは、PIPE<sub>n</sub>TRE.TRENB ビットが 0 の場合にのみ可能です。転送するトランザクションの回数を変更する場合は、PIPE<sub>n</sub>TRE.TRENB ビットを 1 にする前に、TRCLR ビットを 1（現在のカウンタ値をクリア）してください。

## 24.2.30 USB モジュールコントロールレジスタ (USBMC)

アドレス USBFS.USBMC 4009 00CCh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	VDCEN	—	—	—	—	—	—	VDDUS BE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VDDUSBE	USB 基準電源回路 ON/OFF 制御	0 : USB 基準電源回路 OFF 1 : USB 基準電源回路 ON	R/W
b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b6-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	VDCEN	USB レギュレータ ON/OFF 制御	0 : USB レギュレータ OFF 1 : USB レギュレータ ON	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**VDDUSBE ビット (USB 基準電源回路 ON/OFF 制御)**

USB 基準電源回路はバッテリーチャージ用の基準電圧を発生させます。バッテリーチャージ機能使用時は、このビットを1にしてください。

**VDCEN ビット (USB レギュレータ ON/OFF 制御)**

USB レギュレータ回路を制御します。USB レギュレータ回路の使用時は、このビットを1にしてください。



## 24.2.31 BC コントロールレジスタ 0 (USBBCCTRL0)

アドレス USBFS.USBBCCTRL0 4009 00B0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PDDETSTS0	CHGDETSTS0	BATCHGEO	—	VDMSRCE0	IDPSINKE0	VDPSRCE0	IDMSINKE0	IDPSRCE0	RPDME0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPDME0	D-端子プルダウン制御	0: プルダウンOFF 1: プルダウンON	R/W
b1	IDPSRCE0	D+端子IDPSRC出力制御	0: 停止 1: 10 $\mu$ A出力	R/W
b2	IDMSINKE0	D-端子0.6V入力検出 (コンパレータ & シンク) 制御	0: 検出OFF 1: 検出ON (コンパレータ & シンク電流ON)	R/W
b3	VDPSRCE0	D+端子VDPSRC (0.6V) 出力制御	0: 停止 1: 0.6V出力	R/W
b4	IDPSINKE0	D+端子0.6V入力検出 (コンパレータ & シンク) 制御	0: 検出OFF 1: 検出ON (コンパレータ & シンク電流ON)	R/W
b5	VDMSRCE0	D-端子VDMSRC (0.6V) 出力制御	0: 停止 1: 0.6V出力	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	BATCHGEO	BC (バッテリーチャージャ) 機能Ch0汎用イネーブル制御	0: 禁止 1: 許可	R/W
b8	CHGDETSTS0	D-端子0.6V入力検出ステータス (注1)	0: 未検出 1: 検出あり	R
b9	PDDETSTS0	D+端子0.6V入力検出ステータス (注2)	0: 未検出 1: 検出あり	R
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. IDMSINKE0 = 1 のときに有効

注 2. IDPSINKE0 = 1 のときに有効

**RPDME0 ビット (D- 端子プルダウン制御)**

バッテリーチャージ機能の使用時は、このビットを1にしてD-端子のプルダウン抵抗を制御してください。

**IDPSRCE0 ビット (D+ 端子IDPSRC 出力制御)**

このビットを1にすると、データ端子のアタッチとD+端子のプルアップが検出されたときに電流出力が許可されます。

**IDMSINKE0 ビット (D- 端子0.6V入力検出 (コンパレータ & シンク) 制御)**

このビットを1にすると、USBFSは、一次検出時にホストからD-に出力されるVDMSRC (0.6V) がアタッチされたか否か、または、デバイスからD+に出力されるVDPSRC (0.6V) がデバイスのホストによってD-にアタッチされたか否かを検出します。

**VDPSRCE0 ビット (D+ 端子VDPSRC (0.6V) 出力制御)**

このビットを1にすると、一次検出時に出力が許可されて、D+にVDPSRC (0.6V) が印加されます。

**IDPSINKE0 ビット (D+ 端子0.6V入力検出 (コンパレータ & シンク) 制御)**

このビットを1にすると、USBFSは、デバイスからD-に出力されるVDMSRC (0.6V) が、デバイスのホストによってD+ (DCP) にアタッチされたか否かを検出します。

**VDMSRCE0 ビット (D- 端子 VDMSRC (0.6V) 出力制御)**

このビットを 1 にすると、二次検出時に出力が許可されて、D- に VDMSRC (0.6V) が印加されます。

**CHGDETSTS0 フラグ (D- 端子 0.6V 入力検出ステータス)**

一次検出中にホストから D- に出力される VDMSRC (0.6V) がアタッチされたか否か、または、デバイスから D+ に出力される VDPSRC (0.6V) がデバイスのホストによって D- にアタッチされたか否かを USBFS が検出すると、このフラグが 1 になります。

**PDDTSTS0 フラグ (D+ 端子 0.6V 入力検出ステータス)**

二次検出中にデバイスから D- に出力される VDMSRC (0.6V) がデバイスのホストによって D+ (DCP) にアタッチされたか否かを USBFS が検出すると、このフラグが 1 になります。

**24.2.32 USB クロック選択レジスタ (UCKSEL)**

アドレス `USBFS.UCKSEL 4009 00C4h`

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UCKSEL LC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UCKSELC	USB クロック選択 <sup>(注1)</sup>	0 : USB クロックとして、高速オンチップオシレータ (HOCO) のクロックを選択しない 1 : USB クロックとして、高速オンチップオシレータ (HOCO) のクロックを選択する	R/W
b15-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. UCKSELC ビット = 1 の場合、ユーザトリミング機能は使用できません。ユーザトリミング機能については、「8. クロック発生回路」を参照してください。

## 24.3 動作説明

### 24.3.1 システム制御

本節では、本モジュールの初期化および消費電力制御のために必要なレジスタ設定について説明します。

#### 24.3.1.1 USB 関連レジスタの設定

USB へクロック供給を開始 (SYSCFG.SCKE ビットを 1 に) した後、SYSCFG.USBE ビットを 1 にすると、USB の動作が許可されて、USB は動作を開始します。

#### 24.3.1.2 USB データバス抵抗制御

USB は、D+/D- ライン用のプルアップ抵抗とプルダウン抵抗を内蔵しています。SYSCFG.DPRPU ビットと SYSCFG.DRPD ビットを設定して、これらのラインをプルアップまたはプルダウンしてください。

USB ホストへの接続を確認した後、SYSCFG.DPRPU ビットを 1 にして、D+ ライン (フルスピード通信時) をプルアップしてください。

システムとの通信中に SYSCFG.DPRPU ビットを 0 にすると、USBFS が USB データラインのプルアップ抵抗を無効にするので、USB ホストに対してデータタッチを通知することができます。

表 24.11 USB データバス抵抗制御

SYSCFG レジスタ				
DPRPU ビット	DMRPU ビット	D-	D+	機能
0	0	オープン	オープン	使用しない
1	0	オープン	プルアップ	フルスピード
0	1	プルアップ	オープン	ロースピード
上記以外の設定		—	—	設定禁止

## 24.3.1.3 USB の電源接続例

図 24.2 に、USB レギュレータを使用しない場合の電源接続例を示します。図 24.3 と図 24.4 に、USB レギュレータを使用する場合の電源接続例を示します。

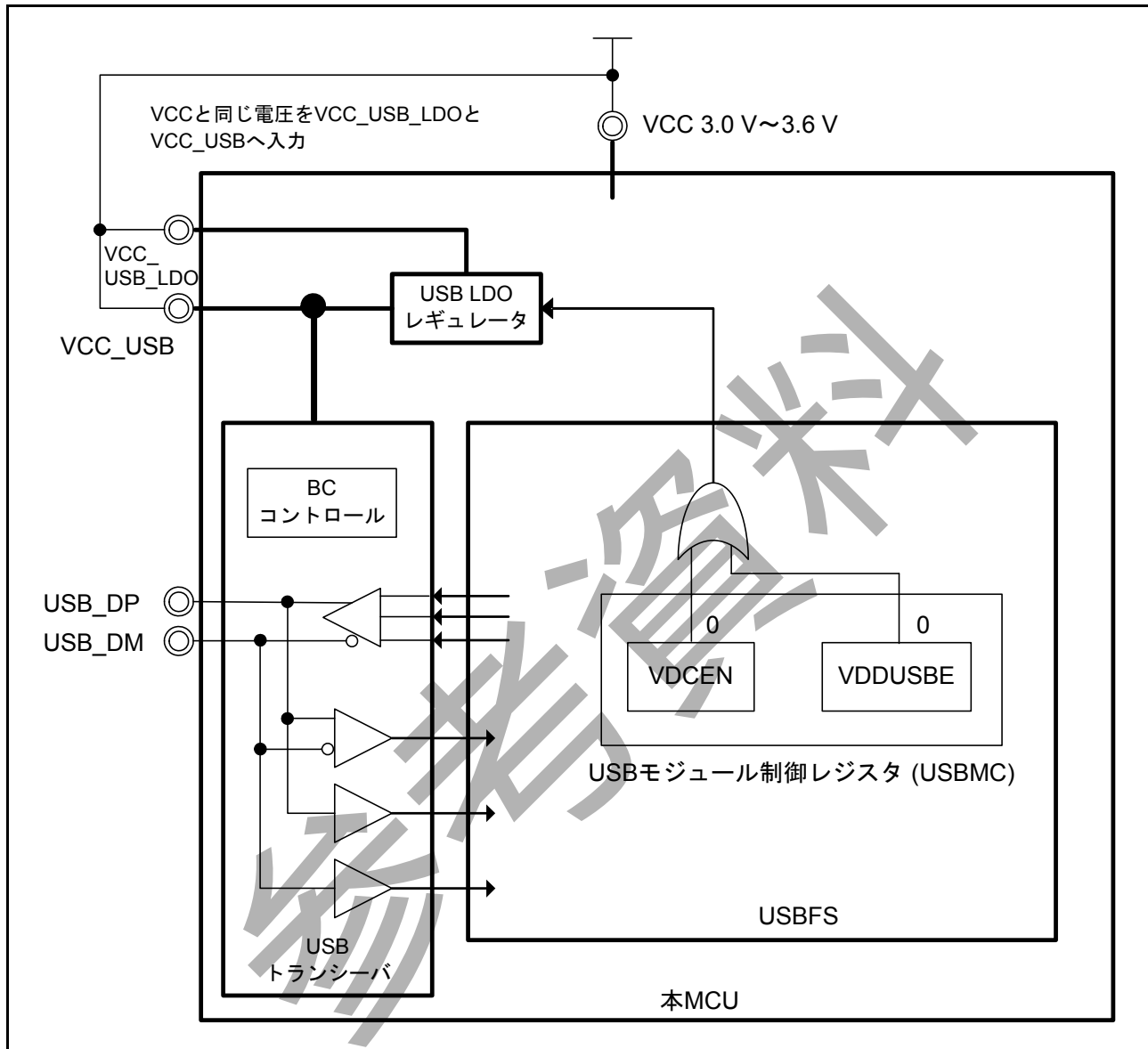


図 24.2 USB LDO レギュレータを使用しない場合の電源接続例

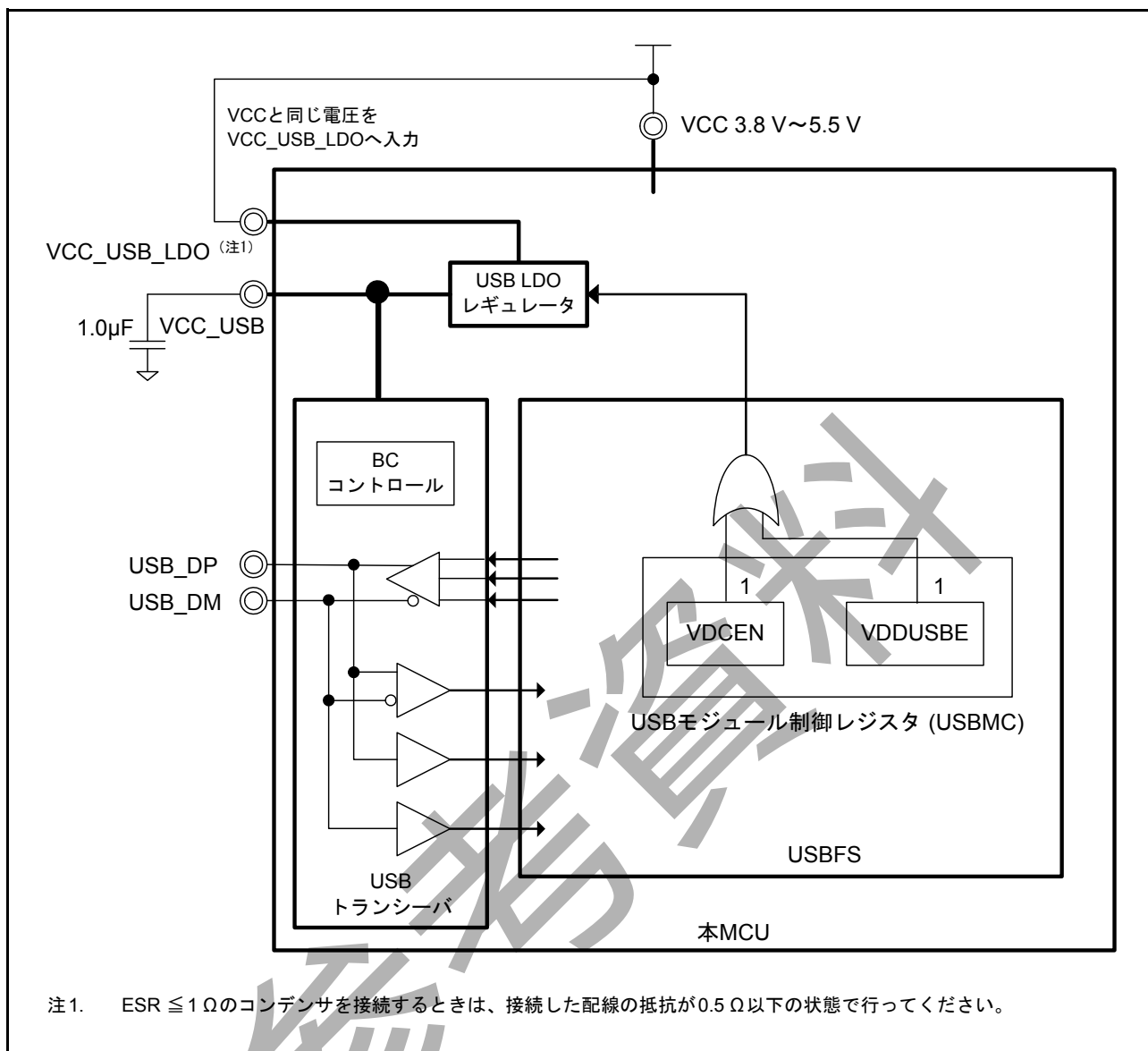


図 24.3 USB LDO レギュレータを使用する場合の電源接続例 (BC 使用)

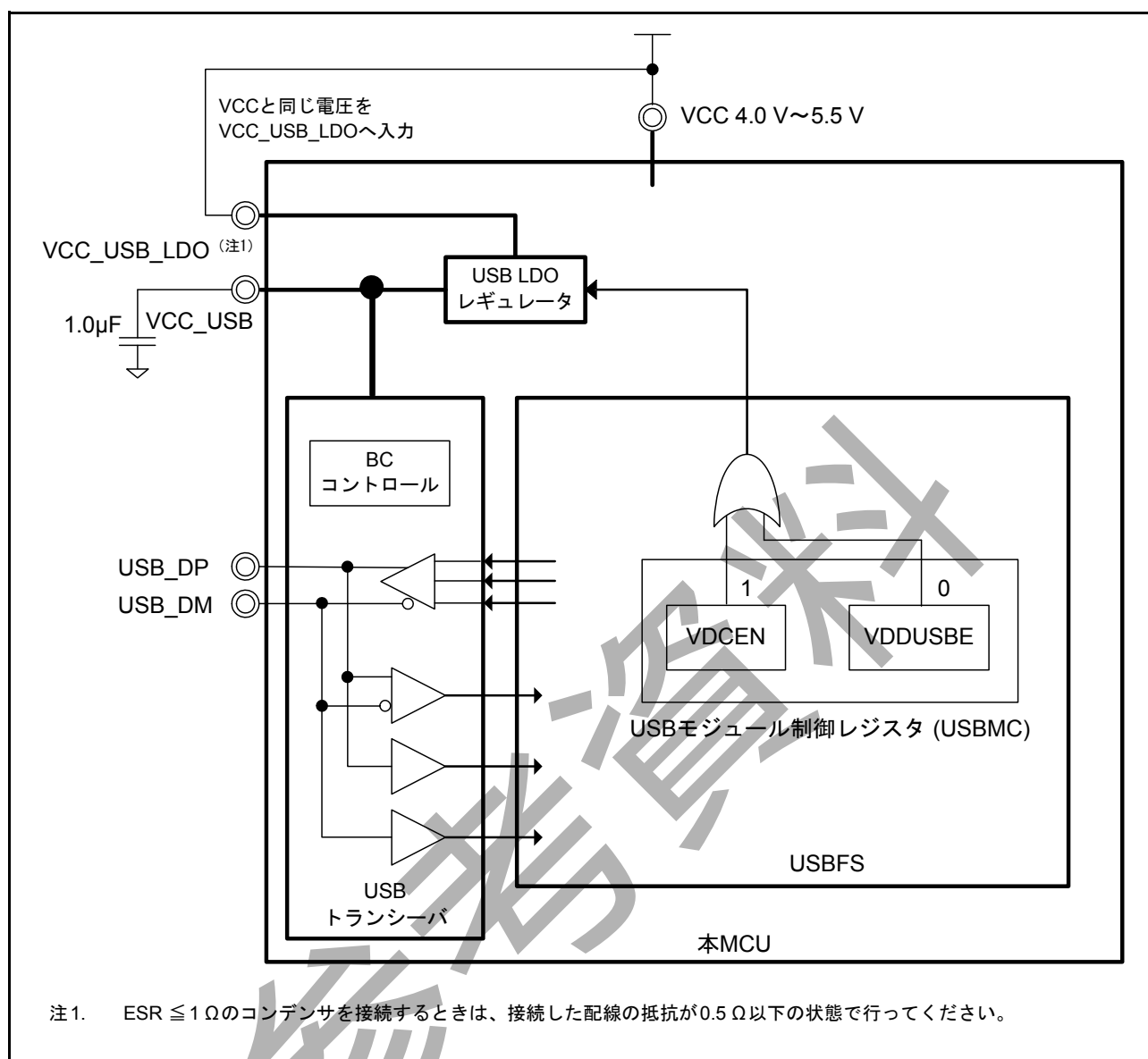


図 24.4 USB LDO レギュレータを使用する場合の電源接続例 (BC 不使用)

### 24.3.1.4 USB 外部接続回路の例

データラインの1つがプルアップされると、ホストはUSBデバイスを認識します。本MCUでは、このために内蔵プルアップ抵抗を切り替えることができます。また、本MCUはUSB-PHYに電源を内蔵しているため、バスパワーデバイスは外部レギュレータを必要としません。図24.6と図24.7に、USB接続用外部回路の例を示します。

図24.5に、セルフパワー状態でのUSBコネクタのファンクション接続例を示します。

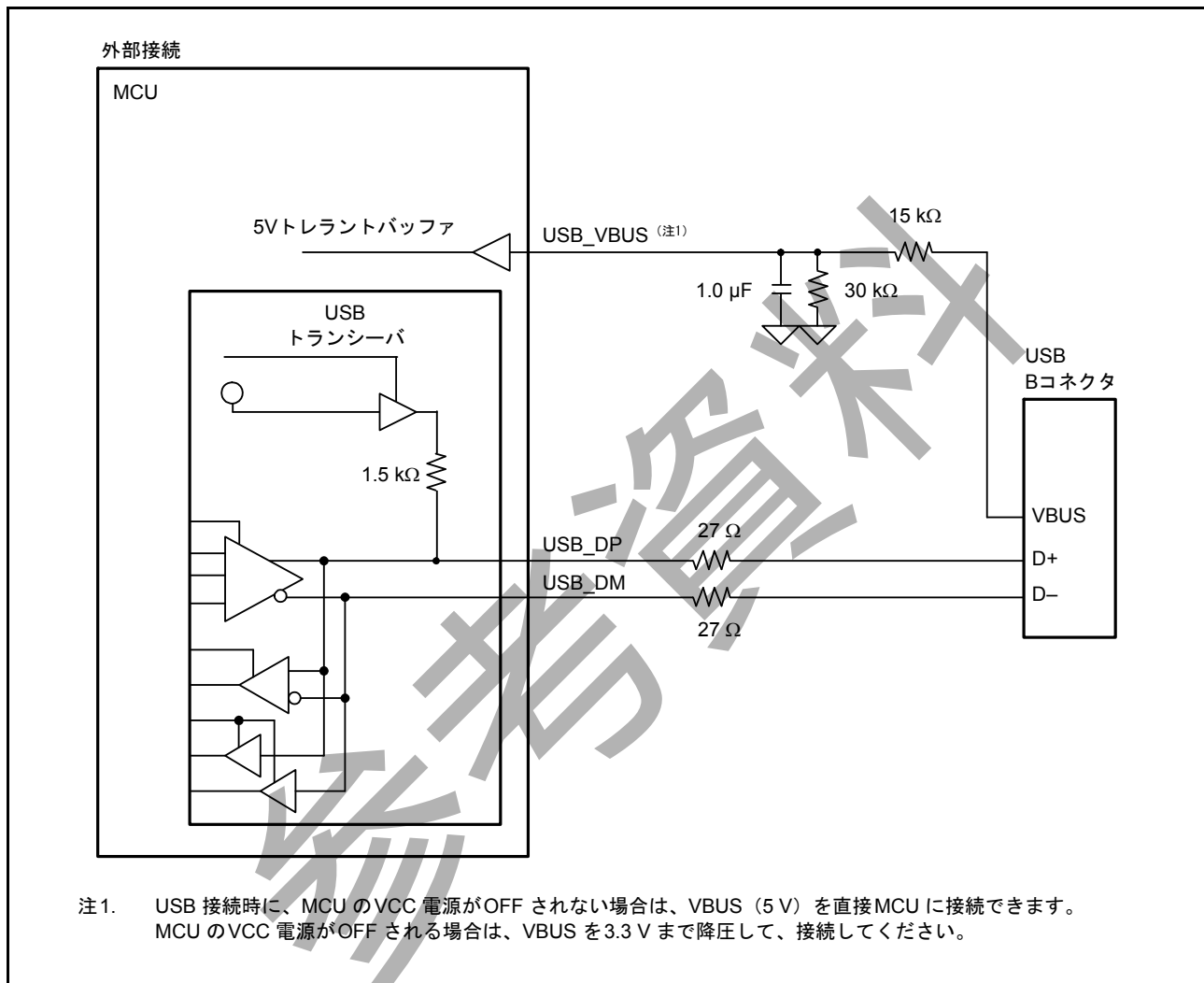


図24.5 セルフパワー状態でのUSBコネクタのUSBファンクション接続

図 24.6 に、バスパワー状態での USB コネクタのファンクション接続例を示します。

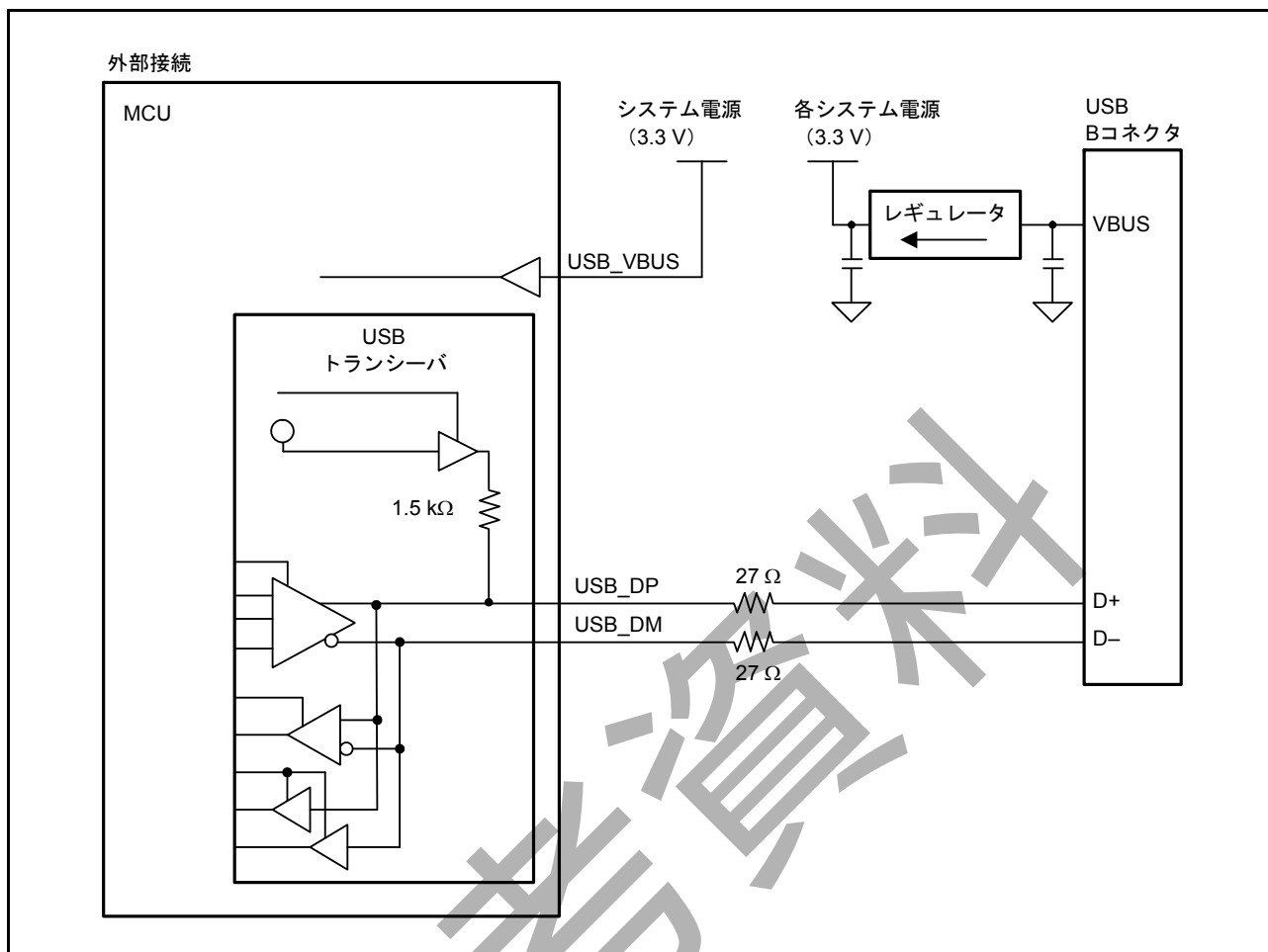


図 24.6 バスパワー状態での USB コネクタのファンクション接続例

この節に記載の外部回路の例は、概略回路であり、すべてのシステムにおいて動作を保証するものではありません。



図 24.7 に、バッテリーチャージング規格 1.2 対応 USB コネクタのファンクション接続例を示します。

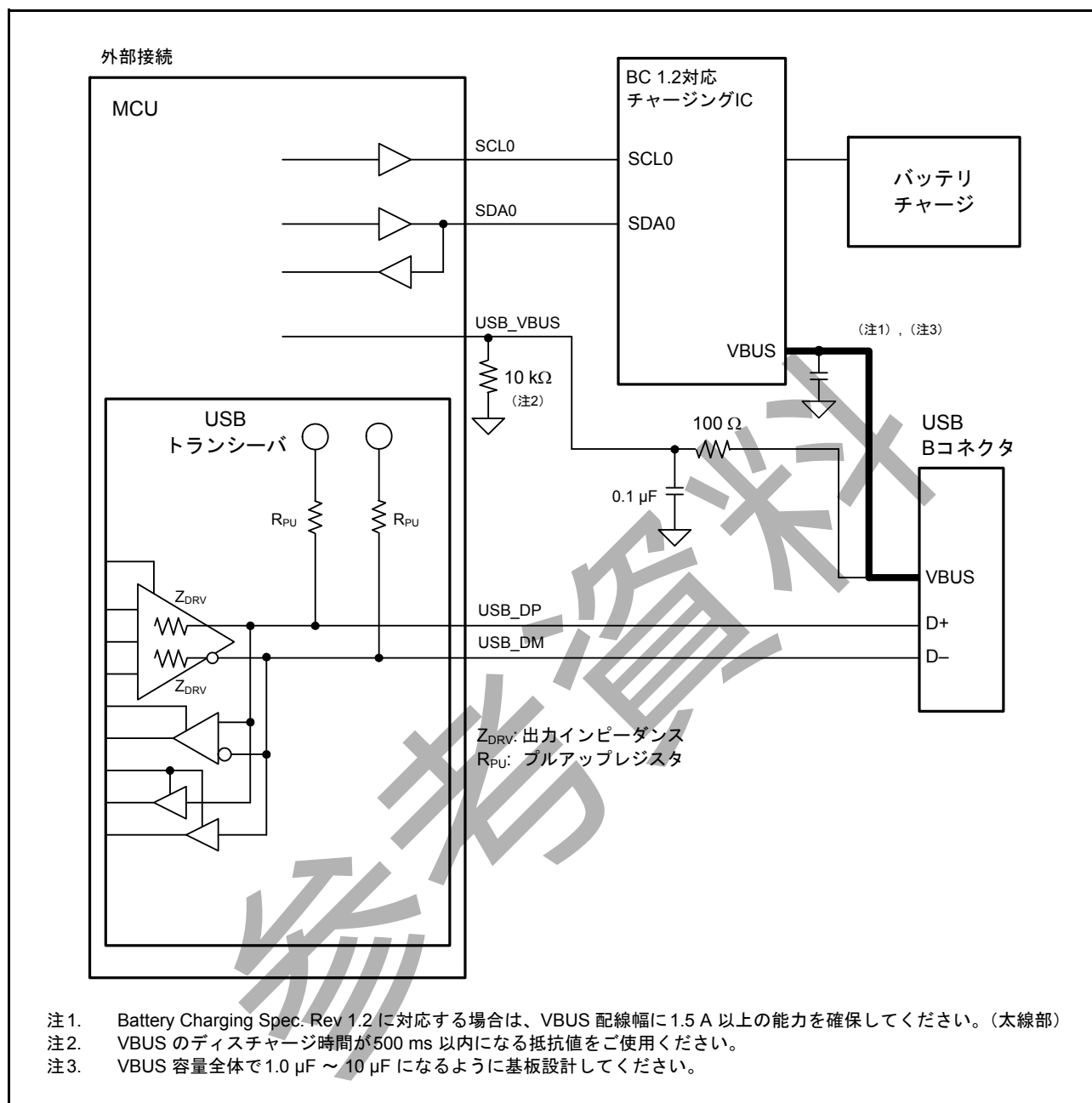


図 24.7 バッテリーチャージング規格 1.2 対応 USB コネクタのファンクション接続例

### 24.3.2 割り込み要因

表 24.12 に、USBFS の割り込み要因一覧を示します。

これらの割り込み発生条件が成立し、かつ対応する割り込みイネーブルレジスタで割り込み出力が許可されていると、割り込みコントローラユニットに対して USB 割り込み要求が発行されて、USB 割り込みが発生します。「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 24.12 割り込み要因

1にするビット	名称	割り込み要因	ステータスフラグ
VBINT	VBUS割り込み	<ul style="list-style-type: none"> <li>• USB_VBUS入力端子の状態変化を検出したとき (Low→HighまたはHigh→Low)</li> </ul>	INTSTS0. VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> <li>• SuspendedステートにおいてUSBバスの状態変化を検出したとき (J-State→K-StateまたはJ-State→SE0)</li> </ul>	—
SOFR	フレーム番号更新割り込み	<ul style="list-style-type: none"> <li>• フレーム番号の異なるSOFパケットを受信したとき</li> </ul>	—
DVST	デバイスステート遷移割り込み	<ul style="list-style-type: none"> <li>• 以下のいずれかの条件下でデバイスステート遷移を検出したとき               <ul style="list-style-type: none"> <li>- USBバスリセットを検出</li> <li>- Suspendedステートを検出</li> <li>- SET_ADDRESSリクエストを受信</li> <li>- SET_CONFIGURATIONリクエストを受信</li> </ul> </li> </ul>	INTSTS0. DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	<ul style="list-style-type: none"> <li>• 以下のいずれかの条件下でコントロール転送のステージ遷移を検出したとき               <ul style="list-style-type: none"> <li>- セットアップステージ完了</li> <li>- コントロールライト転送ステータスステージ遷移</li> <li>- コントロールリード転送ステータスステージ遷移</li> <li>- コントロール転送完了</li> <li>- コントロール転送シーケンスエラー発生</li> </ul> </li> </ul>	INTSTS0. CTSQ[2:0]
BEMP	バッファエンプティ割り込み	<ul style="list-style-type: none"> <li>• バッファメモリ中の全データを送信してバッファが空になったとき</li> <li>• 最大パッケージサイズを超えたパッケージを受信したとき</li> </ul>	BEMPSTS. PIPEnBEMP
NRDY	バッファノットレディ割り込み	<ul style="list-style-type: none"> <li>• PIDビット≠BUFのときに、INトークンまたはOUTトークンに対してNAKを応答したとき</li> </ul>	NRDYSTS. PIPEnNRDY
BRDY	バッファレディ割り込み	<ul style="list-style-type: none"> <li>• バッファがレディ状態 (読み出しまたは書き込み可能) になったとき</li> </ul>	BRDYSTS. PIPEnBRDY

図 24.8 に、USBFS の割り込みに関連する回路を示します。

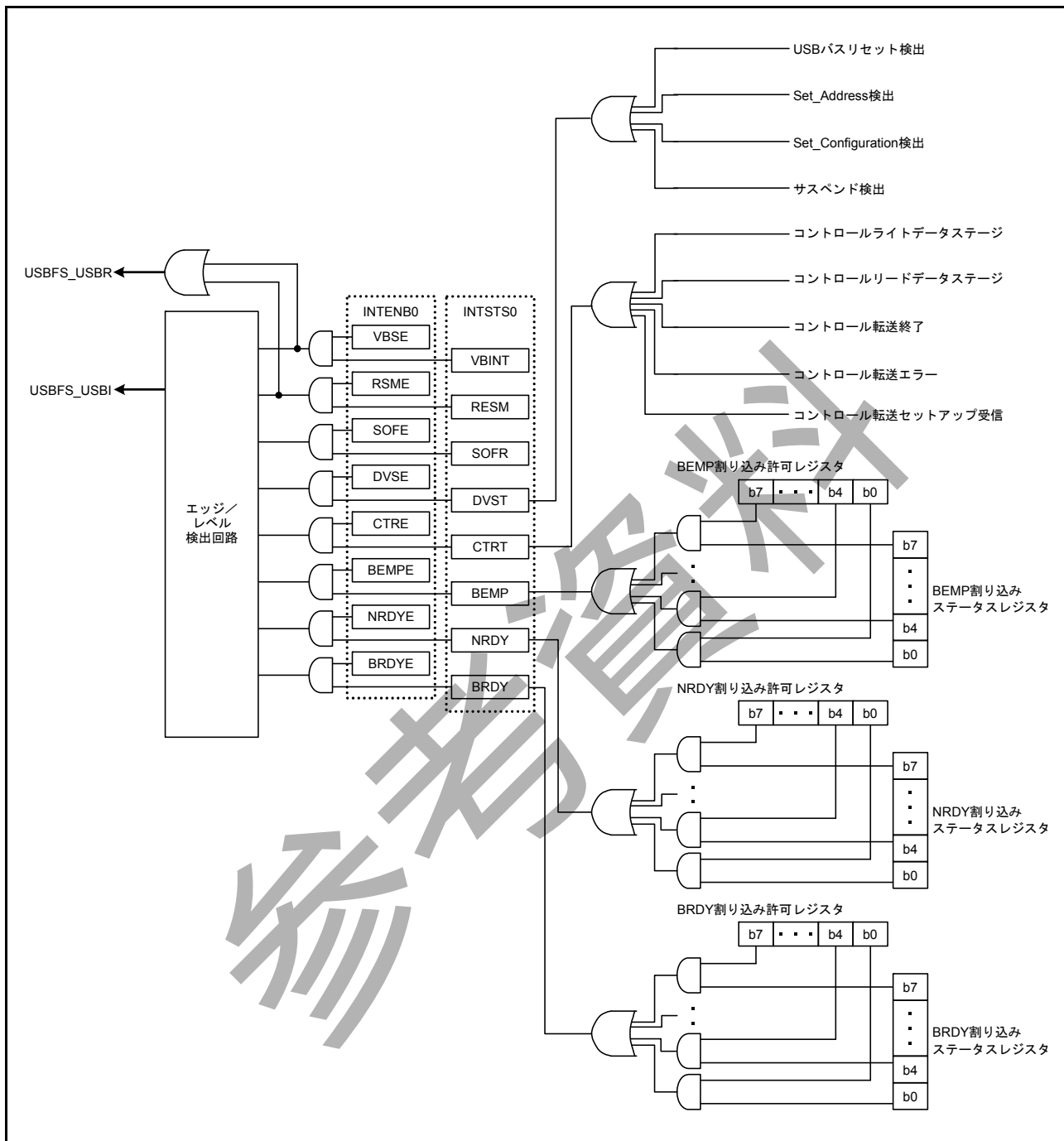


図 24.8 USBFS の割り込みに関連する回路

表 24.13 に、USBFS で発生する割り込みを示します。

表 24.13 USB の割り込み

割り込み名	割り込みステータスフラグ	DTCの起動
USBFS_USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファEMPTY割り込み、バッファノットレディ割り込み、バッファレディ割り込み	不可能
USBFS_USBR	VBUS割り込み、レジューム割り込み	不可能

### 24.3.3 割り込みの説明

#### 24.3.3.1 BRDY 割り込み

ここでは、USB が BRDYSTS レジスタの対応するビットを 1 にするときの条件について説明します。この条件下では、ソフトウェアで当該パイプに対応する BRDYENB.PIPEnBRDYE ビットを 1 にして、さらに INTENB0.BRDYE ビットを 1 にしていると、USB は BRDY 割り込みを発生させます。

BRDY 割り込みの発生およびクリア条件は、以下のように、各パイプの SOFCFG.BRDYM ビットおよび PIPECFG.BFRE ビットの設定値によって異なります。

##### (1) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 0 のとき

この設定の場合、BRDY 割り込みは FIFO ポートがアクセス可能であることを示します。

下記条件のいずれかに該当する場合、USB は内部 BRDY 割り込み要求トリガを発生させ、当該パイプに対応する BRDYSTS.PIPEnBRDY ビットを 1 にします。

##### (a) 送信パイプの場合

- ソフトウェアで DIR ビットを 0 から 1 に変更したとき
- CPU から当該パイプの FIFO バッファへのライトアクセスが不可能な (BSTS ビットの読み出し値が 0 の) 状態で、そのパイプを用いたパケット送信が完了したとき
- ダブルバッファモードにおいて、一方の FIFO バッファへの書き込み完了時に、もう一方の FIFO バッファが空であったとき
- 一方の FIFO バッファへの送信が完了しても、現在書き込み中の FIFO バッファへの書き込みが完了するまで、要求トリガは発生しません。
- PIPEnCTR.ACLRM ビットに 1 を書くことで、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては (すなわち、コントロール転送でのデータ送信においては)、要求トリガは発生しません。

##### (b) 受信パイプの場合

- CPU から当該パイプの FIFO バッファへのリードアクセスが不可能な (BSTS ビットの読み出し値が 0 の) 状態で、パケット受信が正常に完了したため、FIFO バッファの読み出しが可能になったとき  
DATA-PID 不一致が発生したトランザクションに対しては、要求トリガは発生しません。
- ダブルバッファモードにおいて、一方の FIFO バッファからの読み出し完了時に、もう一方の FIFO バッファも読み出し可能なとき  
一方の FIFO バッファが受信を完了しても、現在読み出し中の FIFO バッファからの読み出しが完了するまで、要求トリガは発生しません。

コントロール転送のステータスステージでは、BRDY 割り込みは発生しません。

当該パイプの PIPEBRDY 割り込みステータスは、ソフトウェアで対応する PIPEnBRDY ビットに 0 を書くことにより、0 にすることができます。このとき、他のパイプの PIPEBRDY ビットにはすべて 1 を書いてください。

BRDY ステータスのクリアは、FIFO バッファへアクセスする前に行ってください。

## (2) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 1 のとき

この設定の場合、受信パイプによって1転送分の全データがすべて読み出されたときに、USBはBRDY割り込みを発生させ、BRDYSTSレジスタの当該パイプに対応するビットを1にします。

下記条件のいずれかに該当する場合、USBは1転送分の最後のデータが受信されたと判定します。

- ショートパケット (Zero-Length パケットを含む) を受信したとき
- パイプ  $n$  トランザクションカウンタレジスタ (PIPE $n$ TRN) を使用し、PIPE $n$ TRN.TRNCNT[15:0] ビットで設定したパケット数をすべて受信したとき

上記条件のいずれかが満たされた後、当該データの読み出しが完了したときに、USBは1転送分の全データがすべて読み出されたと判定します。

FIFO バッファが空の状態 Zero-Length パケットを受信した場合、FIFO ポートコントロールレジスタのFRDY ビットが1、DTLN[8:0] ビットが0の時点で、USBFSは1転送分の全データがすべて読み出されたと判定します。この場合、次の転送を開始するには、対応するポートコントロールレジスタのBCLR ビットにソフトウェアで1を書いてください。この設定の場合、USBは送信パイプに対してBRDY割り込みを検出しません。

当該パイプのPIPEBRDY割り込みステータスは、ソフトウェアで対応するBRDYSTS.PIPE $n$ BRDY ビットに0を書くことにより、0にすることができます。このとき、他のパイプのPIPEBRDY ビットにはすべて1を書いてください。

このモードを使用する場合、1転送分の全データを処理するまで、PIPECFG.BFRE ビットの設定値を変更しないでください。処理の途中でPIPECFG.BFRE ビットを変更する必要がある場合は、PIPE $n$ CTR.ACLRM ビットを用いて当該パイプのFIFO バッファをすべてクリアする必要があります。

## (3) SOFCFG.BRDYM ビット = 1 かつ PIPECFG.BFRE ビット = 0 のとき

この設定の場合、BRDYSTS.PIPE $n$ BRDY ビット値は、各パイプのBSTS ビットの設定値に連動します。すなわち、BRDY割り込みステータスビット (PIPEBRDY) は、FIFO バッファの状態に応じてUSBが1または0にします。

### (a) 送信パイプの場合

BRDY割り込みステータスビットは、FIFO バッファが書き込み可能な状態であれば1になり、そうでなければ0になります。

ただし、送信方向のDCPが書き込み可能であっても、BRDY割り込みは発生しません。

### (b) 受信パイプの場合

BRDY割り込みステータスビットは、FIFO バッファが読み出し可能な状態であれば1になり、全データが読み出されたとき (読み出し不可能な状態で) 0になります。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアでBCLR=1を書くまで、該当のビットは1になり、BRDY割り込みが発生し続けます。

この設定の場合、ソフトウェアでPIPE $n$ BRDY ビットを0にすることはできません。

SOFCFG.BRDYM ビットが1のときは、すべてのPIPECFG.BFRE ビットを (全パイプに対して) 0にしてください。

図 24.9 に、BRDY 割り込みの発生タイミングを示します。

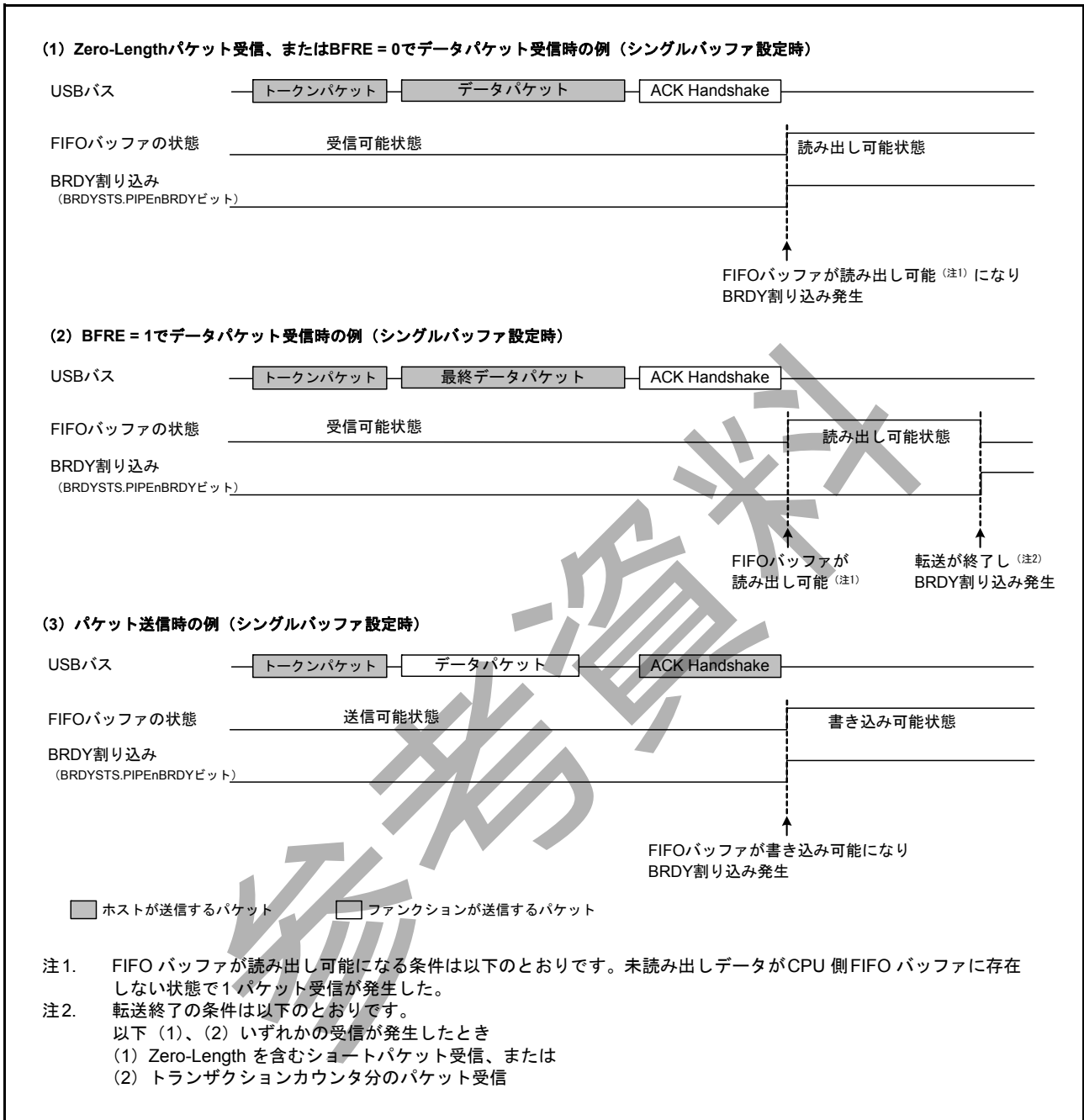


図 24.9 BRDY 割り込み発生タイミング

USB が INTSTS0.BRDY ビットをクリアする条件は、SOFCFG.BRDYM ビットの設定値によって異なります。表 24.14 に、BRDY ビットのクリア条件を示します。

表 24.14 BRDY ビットのクリア条件

BRDYM ビット	BRDY ビットのクリア条件
0	ソフトウェアでBRDYSTSレジスタの全ビットを0にすると、USBはBRDYビットを0にします。
1	全パイプのBSTSビットが0になったとき、USBはBRDYビットを0にします。

### 24.3.3.2 NRDY 割り込み

ソフトウェアで PID ビットを BUF に設定したパイプに内部 NRDY 割り込み要求が発生すると、USB は対応する NRDYSTS.PIPEnNRDY ビットを 1 にします。ソフトウェアで NRDYENB レジスタの対応するビットを 1 にしておくこと、USB は INTSTS0.NRDY ビットを 1 にして、USB 割り込みを発生させます。

USB が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

コントロール転送のステータスステージ実行時には、内部 NRDY 割り込み要求は発生しません。

#### (a) 送信パイプの場合

FIFO バッファ内に送信すべきデータがない状態で IN トークンを受信すると、USB は IN トークンの受信時に NRDY 割り込み要求を発生させ、NRDYSTS.PIPEnNRDY ビットを 1 にします。

#### (b) 受信パイプの場合

FIFO バッファに空きがない状態で OUT トークンを受信したとき。

割り込みが発生した転送用パイプに対して、OUT トークンに続くデータの受信後に NAK ハンドシェイクを転送するとき、USB は NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にします。

ただし、再送信時 (DATA-PID 不一致発生時) には、NRDY 割り込み要求は発生しません。また、DATA パケットにエラーがある場合も、NRDY 割り込み要求は発生しません。

図 24.10 に、NRDY 割り込みの発生タイミングを示します。

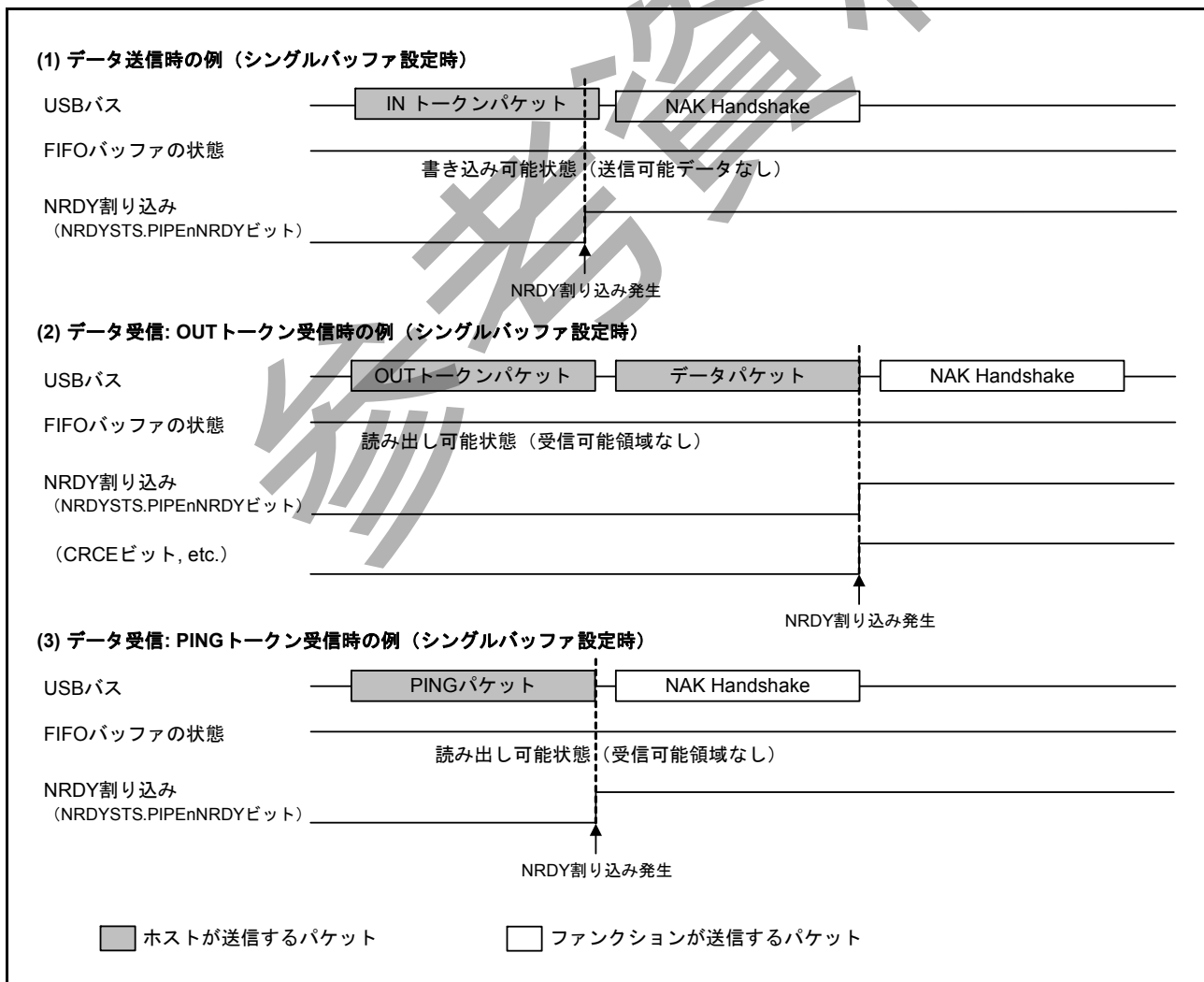


図 24.10 NRDY 割り込みの発生タイミング

### 24.3.3.3 BEMP 割り込み

ソフトウェアで PID ビットを BUF に設定したパイプに、BEMP 割り込みが検出されると、USB は対応する BEMPSTS.PIPEnBEMP ビットを 1 にします。ソフトウェアで BEMPENB レジスタの対応するビットを 1 にしている場合、USB は INTSTS0.BEMP ビットを 1 にして、USB 割り込みを発生させます。

ここでは、USB が内部 BEMP 割り込み要求を発生させる条件について説明します。

#### (1) 送信パイプの場合

- 送信完了時 (Zero-Length パケットの送信時を含む) に、対応するパイプの FIFO バッファが空のとき  
シングルバッファモードでは、DCP 以外のパイプに対して BRDY 割り込みと同時に内部 BEMP 割り込み要求が発生します。ただし、下記条件のいずれかに該当する場合、内部 BEMP 割り込み要求は発生しません。
  - ダブルバッファモードで、片方の FIFO バッファからのデータ送信完了時に、CPU または DTC が CPU 側の FIFO バッファへ書き込みを開始した場合
  - PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタの BCLR ビットを 1 にして、バッファをクリアした場合
  - コントロール転送ステータスステージにおいて、IN 転送 (Zero-Length パケット送信) を実行した場合

#### (2) 受信パイプの場合

- 正常に受信したデータの packet サイズが、設定した最大 packet サイズを超えたとき  
この場合、USB は BEMP 割り込み要求を発生させ、対応する BEMPSTS.PIPEnBEMP ビットを 1 にして、受信データを破棄し、当該パイプの PID[1:0] ビット値を STALL (11b) に変更します。USB は STALL 応答を行います。ただし、下記条件のいずれかに該当する場合、内部 BEMP 割り込み要求は発生しません。
  - 受信データに CRC エラーまたはビットスタッフィングエラーが検出された場合
  - Setup トランザクションが実行された場合  
BEMPSTS.PIPEnBEMP ビットに 0 を書くと、ステータスがクリアされます。  
BEMPSTS.PIPEnBEMP ビットに 1 を書いても、何の影響もありません。

図 24.11 に、BEMP 割り込みの発生タイミングを示します。

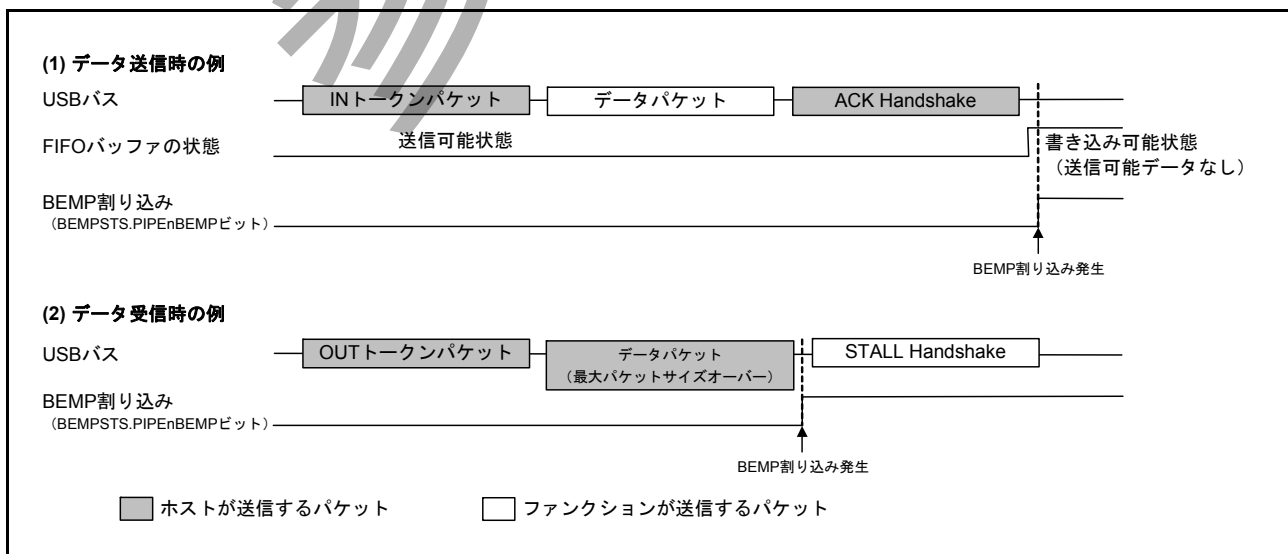


図 24.11 BEMP 割り込みの発生タイミング



### 24.3.3.4 デバイスステート遷移割り込み

図 24.12 に、USB のデバイスステート遷移図を示します。USB は、デバイスステートを管理して、デバイスステート遷移割り込みを発生させます。ただし、Suspended ステートからの復帰（レジューム信号検出）は、レジューム割り込みによって検出します。デバイスステート遷移割り込みは、INTENB0 レジスタを用いて個別に許可または禁止できます。遷移した先のデバイスステートは、INTSTS0.DVSQ[2:0] ビットで確認できます。

Default ステートに遷移する場合は、USB バスリセットの検出後に、デバイスステート遷移割り込みが発生します。

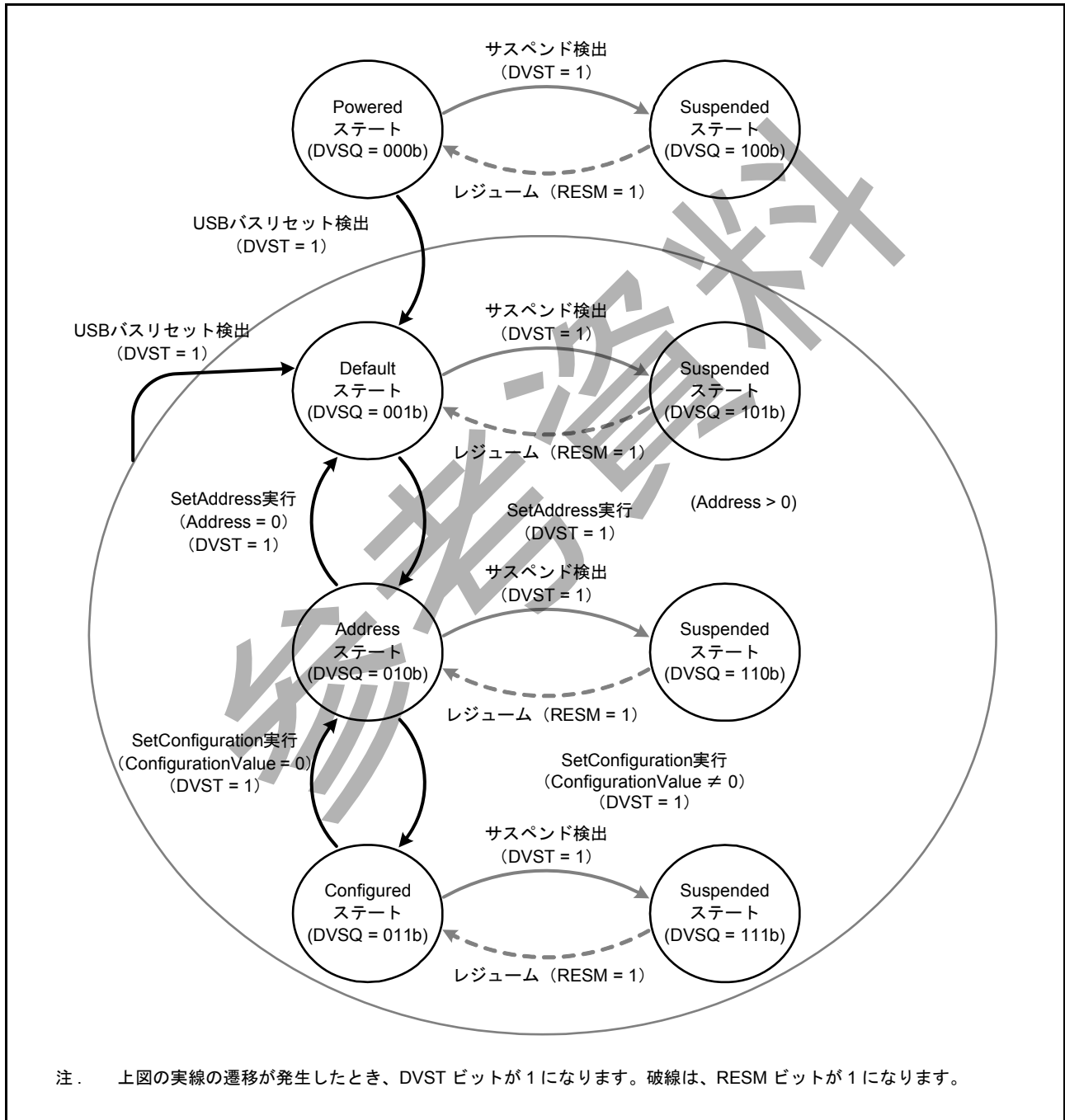


図 24.12 デバイスステートの遷移

### 24.3.3.5 コントロール転送ステージ遷移割り込み

図 24.13 に、USB のコントロール転送ステージ遷移図を示します。USB は、コントロール転送のシーケンスを制御して、コントロール転送ステージ遷移割り込みを発生させます。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタを用いて個別に許可または禁止できます。遷移した先の転送ステージは INTSTS0.CTSQ[2:0] ビットで確認できます。コントロール転送ステージ遷移割り込みが発生します。

以下に、コントロール転送のシーケンスエラーを列記します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが 1xb (STALL 応答) になります。

コントロールリード転送時：

- データステージの IN トークンに対して、一度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークンを受信
- ステータスステージで DATAPID = DATA0 のデータパケットを受信

コントロールライト転送時：

- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットとして DATAPID = DATA0 のパケットを受信
- ステータスステージで OUT トークンを受信

ノーデータコントロール転送時：

- ステータスステージで OUT トークンを受信

コントロールライト転送のデータステージでは、受信データ長が USB リクエストの wLength 値を超えても、コントロール転送シーケンスエラーと認識されません。コントロールリード転送のステータスステージでは、Zero-Length パケット以外のパケットが ACK 応答によって受信され、転送が正常に終了します。

シーケンスエラーに対して CTRT 割り込みが発生した場合 (INTSTS0.CTRT = 1)、システムから CTRT ビットに 0 を書き込む (割り込みステータスがクリアされる) まで、CTSQ[2:0] = 110b の値が保持されます。CTSQ[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。セットアップステージ完了のステータスは USB で保持されており、ソフトウェアによって割り込みステータスがクリアされた後、セットアップステージ完了割り込みが発生します。

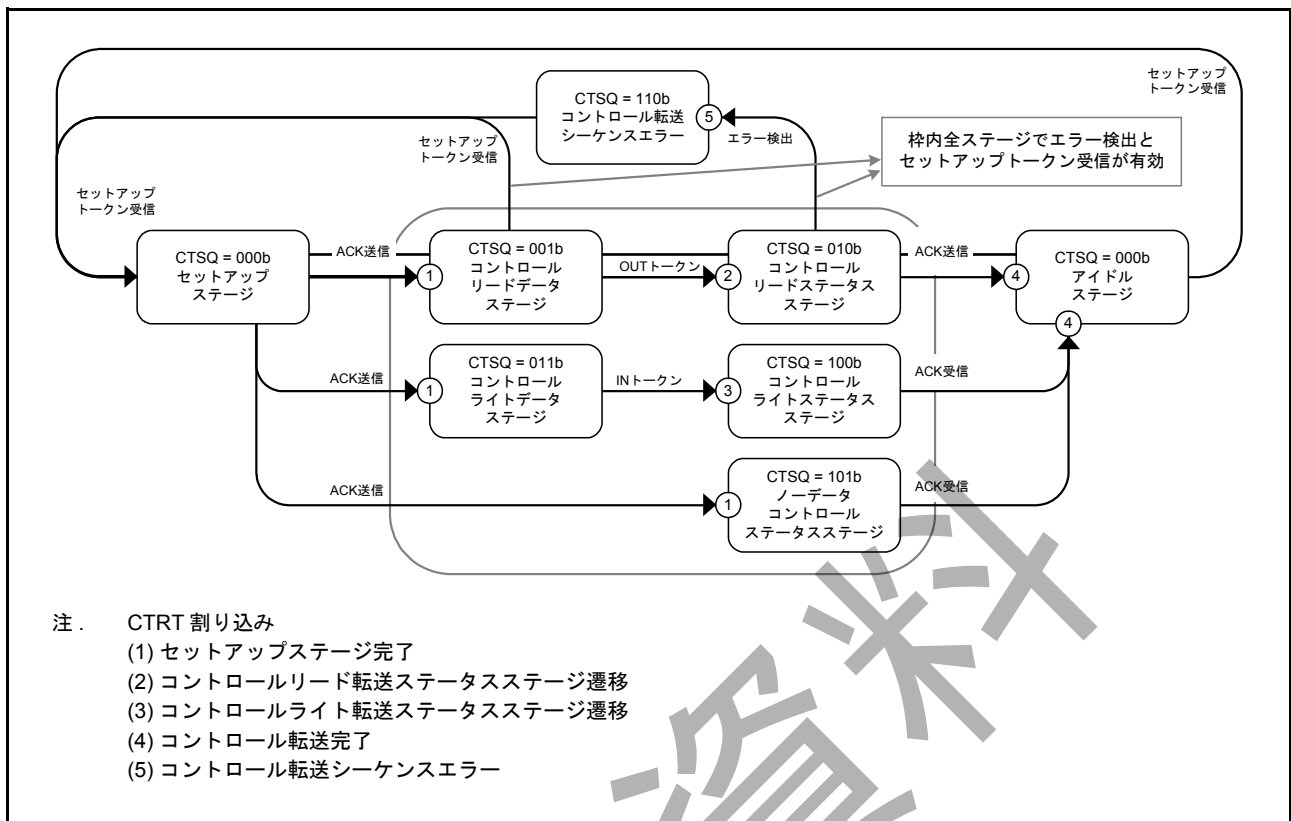


図 24.13 コントロール転送ステージの遷移

### 24.3.3.6 フレーム番号更新割り込み

USB は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生させます。

### 24.3.3.7 VBUS 割り込み

USB\_VBUS 端子レベルに変化があった場合、VBUS 割り込みが発生します。USB\_VBUS 端子のレベルは、INTSTS0.VBSTS ビットで確認できます。VBUS 割り込みによって、ホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、USB\_VBUS 端子レベルが変化しないため、最初の VBUS 割り込みは発生しません。

### 24.3.3.8 レジューム割り込み

レジューム割り込みは、デバイスステートが Suspended ステートで、USB バスステートが J-state から K-state へ、または J-state から SE0 へ変化したときに発生します。レジューム割り込みによって Suspended ステートからの復帰を検出します。

### 24.3.4 パイプコントロール

表 24.15 に、USB のパイプ設定項目一覧を示します。USB データ転送では、ソフトウェアがエンドポイントに関連付けたパイプによって、データ転送が行われます。USB にはデータ転送用に 5 本のパイプがあります。

各パイプは、システムの仕様に合わせて適切に設定してください。

表 24.15 パイプ設定項目

レジスタ名	ビット名	設定内容	注意点
DCPCFG PIPECFG	TYPE	転送タイプを指定	パイプ4～7：設定可能
	BFRE	BRDY 割り込みモードを選択	パイプ4および5：設定可能
	DBLB	ダブルバッファモードを選択	パイプ4および5：設定可能
	DIR	転送方向を選択	INまたはOUT 設定可能
	EPNUM	エンドポイント番号	パイプ4～7：設定可能 パイプ使用時は0000b以外に設定
	SHTNAK	転送終了時のパイプ禁止を選択	パイプ4および5：設定可能
DCPMAXP PIPEMAXP	MXPS	最大パケットサイズ	USB規格2.0に準拠
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCPは、ISELビットで受信/送信バッファ状態を切り替え
	INBUFM	INバッファモニタ	パイプ4とパイプ5のみ搭載
	ATREPM	自動応答モード	パイプ4および5：設定可能
	ACLRM	自動バッファクリア	パイプ4～7：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンスモニタ	データトグルビットの監視
	PBUSY	パイプビジーステータス	-
	PID	応答PID	24.3.4.6 応答PIDを参照してください
PIPEnTRE	TRENB	トランザクションカウンタ許可	パイプ4および5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ4および5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ4および5：設定可能

### 24.3.4.1 パイプコントロールレジスタの切り替え手順

USB 通信が許可 (PID = BUF) されているときは、以下のレジスタおよびビットを書き換えないでください。

- DCPCFG および DCPMAXP レジスタの各ビット
- DCPCTR レジスタの SQCLR および SQSET ビット
- PIPECFG および PIPEMAXP レジスタの各ビット
- PIPEnCTR レジスタの ATREPM、ACLRM、SQCLR、および SQSET ビット
- PIPEnTRE および PIPEnTRN レジスタの各ビット

USB 通信が許可 (PID = BUF) されている場合に上記の各ビットを書き換えるには、以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求が発生したとき、パイプに対応する PID[1:0] ビットを NAK に変更します。
2. 対応する PBUSY ビットが 0 になるまで待ちます。
3. パイプコントロールレジスタのビットを変更します。

パイプコントロールレジスタの下記のビットは、CFIFOSEL レジスタの CURPIPE[3:0] ビットに当該パイプの情報が設定されていない場合にのみ書き換え可能です。

CURPIPE[3:0] ビットが設定されているとき、設定してはいけないビット：

- DCPCFG および DCPMAXP レジスタの各ビット
- PIPECFG および PIPEMAXP レジスタの各ビット

パイプ情報を変更する場合は、ポート選択レジスタの CURPIPE[3:0] ビットで、変更するパイプ以外のパイプを指定してください。DCP については、パイプ情報の変更後、ポートコントロールレジスタの BCLR ビットを用いてバッファをクリアしてください。

### 24.3.4.2 転送タイプ

PIPECFG.TYPE[1:0] ビットで、各パイプの転送タイプを指定します。選択可能な転送タイプは以下のとおりです。

- DCP — 設定不要 (コントロール転送固定)
- パイプ 4 および 5 — バルク転送に設定してください。
- パイプ 6 および 7 — インタラプト転送に設定してください。

### 24.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットで、各パイプのエンドポイント番号を設定します。DCP は、エンドポイント 0 に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP — 設定不要 (エンドポイント 0 固定)
- パイプ 4 ~ 7 — 1 から 15 までのエンドポイント番号を選択して設定してください。ただし、PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないようにしてください。

### 24.3.4.4 最大パケットサイズ設定

DCPMAXP.MXPS[6:0] ビットと PIPEMAXP.MXPS[8:0] ビットで、各パイプの最大パケットサイズを指定します。DCP、パイプ 4、およびパイプ 5 は、USB 規格 2.0 で定義されているすべての最大パケットサイズに設定可能です。パイプ 6 とパイプ 7 では、64 バイトが最大パケットサイズの上限です。最大パケットサイズは、転送を開始 (PID = BUF) する前に、以下のように設定してください。

- DCP — 8、16、32、または 64 に設定

- パイプ 4 および 5 — バルク転送時は 8、16、32、または 64 に設定
- パイプ 6 および 7 — 1 ~ 64 の値に設定

#### 24.3.4.5 トランザクションカウンタ (受信方向パイプ 4 および 5)

データパケット受信方向で指定回数のトランザクションが完了したとき、USB は転送が終了したと認識します。トランザクションカウンタには以下の 2 つがあります。

1. 実行するトランザクション回数を指定する PIPE<sub>n</sub>TRN レジスタ
2. 実行されたトランザクション回数を内部でカウントするカレントカウンタ

PIPECFG.SHTNAK ビットが 1 の状態で、カレントカウンタ値がトランザクションの指定回数に一致すると、対応する PIPE<sub>n</sub>CTR.PID[1:0] ビットが NAK に設定され、次の転送を禁止状態にします。PIPE<sub>n</sub>TRE.TRCLR ビットで、トランザクションカウンタ機能のカレントカウンタを初期化することにより、トランザクションを最初からカウントし直すことができます。PIPE<sub>n</sub>TRN レジスタからの読み出し情報は、PIPE<sub>n</sub>TRE.TRENB ビットの設定値に応じて以下のように異なります。

- TRENB ビット = 0 — 指定したトランザクションカウンタ値の読み出しが可能
- TRENB ビット = 1 — 内部でカウントした実行済みトランザクション回数を示すカレントカウンタ値の読み出しが可能

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションのカウント中で、PID = BUF の場合、カレントカウンタはクリアできない
- バッファ内にデータが残っている場合、カレントカウンタはクリアできない

#### 24.3.4.6 応答 PID

DCPCTR および PIPE<sub>n</sub>CTR レジスタの PID[1:0] ビットで、各パイプの応答 PID を設定します。各応答 PID の設定における USB の動作について以下に説明します。

##### (1) 応答 PID の設定

応答 PID では、ホストからのトランザクションに対する応答を指定します。

- NAK 設定 — 発生したトランザクションに対して NAK 応答を返す
- BUF 設定 — バッファメモリの状態に応じてトランザクションに応答する
- STALL 設定 — 発生したトランザクションに対して STALL 応答を返す

注. Setup トランザクションに対しては、PID[1:0] ビットの設定にかかわらず ACK 応答を返し、レジスタに USB リクエストを格納します。

トランザクションの結果に従って、USB が PID[1:0] ビットに書き込みを行う状況について以下に説明します。

##### (2) 応答 PID がハードウェアで設定される場合

- NAK 設定 — 以下のトランザクションに対して、PID = NAK となり、NAK 応答を返す
  - SETUP トークンを正常に受信したとき (DCP のみ)
  - バルク転送時で PIPECFG.SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定 — USB による BUF 書き込みなし
- STALL 設定 — 以下のトランザクションに対して、PID = STALL となり、STALL 応答を返す
  - 受信データパケットに、最大パケットサイズの超過エラーが検出されたとき
  - コントロール転送シーケンスエラーが検出されたとき (DCP のみ)

### 24.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USB がデータ PID のシーケンスビットを自動的にトグルします。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットで確認できます。データ送信時は ACK ハンドシェイク受信のタイミングでシーケンスビットが切り替わります。データ受信時は ACK ハンドシェイク送信のタイミングでシーケンスビットが切り替わります。DCPCTR レジスタの SQCLR ビットと PIPEnCTR レジスタの SQSET ビットで、データ PID シーケンスビットの変更が可能です。

コントロール転送では、ステージ遷移時に USB が自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 が返されます。ステータスステージではシーケンスビットは参照せず、PID = DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。

ClearFeature リクエストの送受信では、ソフトウェアでデータ PID シーケンスビットを設定してください。

### 24.3.4.8 応答 PID = NAK 機能

USB には、PIPECFG.SHTNAK ビットを 1 にすることで、トランザクションの最後のデータパケットを受信したときパイプ動作を禁止 (応答 PID = NAK) にする機能があります。USB は、ショートパケット受信またはトランザクションカウンタに基づいて、トランザクションの終了を自動識別します。

この機能を使用することで、バッファメモリをダブルバッファモードで使用している場合に、転送単位でのデータパケットの受信が可能です。パイプ動作を禁止した場合は、ソフトウェアで再度パイプの許可設定 (応答 PID = BUF) を行う必要があります。

なお、応答 PID = NAK 機能は、バルク転送時のみ使用可能です。

### 24.3.4.9 自動応答モード

バルク転送のパイプ (パイプ 4 および 5) において、PIPEnCTR.ATREPM ビットを 1 にすると、自動応答モードで遷移します。OUT 転送時 (PIPECFG.DIR ビットが 0) では OUT-NAK モードとなり、IN 転送時 (DIR ビットが 1) では Null 自動応答モードとなります。

### 24.3.4.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、OUT トークンに対して NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ遷移させるには、パイプ動作禁止 (応答 PID = NAK) の状態で OUT-NAK モードに設定し、その後、パイプ動作許可 (応答 PID = BUF) に設定してください。パイプ動作を許可すると、OUT-NAK モードが有効になります。ただし、パイプ動作を禁止する直前で OUT トークンを受け付けた場合、そのトークンのデータは受信されて、ホストへ ACK が返されます。

OUT-NAK モードから通常モードへ遷移させるには、パイプ動作禁止 (応答 PID = NAK) の状態で OUT-NAK モードを解除し、その後、パイプ動作許可 (応答 PID = BUF) に設定してください。通常モードでは、OUT データ受信が可能となります。

### 24.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ遷移させるには、パイプ動作禁止 (応答 PID = NAK) の状態で Null 自動応答モードに設定し、その後、パイプ動作許可 (応答 PID = BUF) に設定してください。パイプ動作を許可すると、Null 自動応答モードが有効になります。Null 自動応答モードの設定は、バッファが空でなければ不可能なため、事前に PIPEnCTR.INBUFM ビットが 0 であることを確認してください。INBUFM ビットが 1 の場合は、PIPEnCTR.ACLRM ビットでバッファを空にしてください。また、Null 自動応答モードへの遷移中は、FIFO ポートからのデータ書き込みを行わないでください。

Null 自動応答モードから通常モードへ遷移させるには、パイプ動作禁止 (応答 PID = NAK) の状態を Zero-Length パケット送信期間 (約 10 $\mu$ s) だけ維持した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからのデータ書き込みが可能となり、パイプ動作許可 (応答 PID = BUF) に設定することで、ホストへのパケット送信が可能となります。

### 24.3.5 FIFO バッファメモリ

USB はデータ転送用の FIFO バッファメモリを内蔵しています。各パイプに使用されるメモリ領域は、USB によって管理されます。FIFO バッファメモリには、アクセス権がシステム (CPU 側) にある場合と、USB (SIE 側) にある場合の 2 種類の状態があります。

#### (1) バッファステータス

表 24.16 および表 24.17 に、USB のバッファステータスを示します。バッファメモリのステータスは、DCPCTR.BSTS および PIPE<sub>n</sub>CTR.INBUFM ビットで確認できます。バッファメモリの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット (DCP 選択時) のいずれかで指定できます。INBUFM ビットは、送信方向のパイプ 0、パイプ 4、およびパイプ 5 に対して有効です。

送信側の転送パイプがダブルバッファモードを使用している場合、ソフトウェアは BSTS ビットを読み出して CPU 側のバッファメモリ状態を監視することや、INBUFM ビットを読み出して SIE 側のバッファメモリ状態を監視することが可能です。CPU または DTC による FIFO ポートへのライトアクセスが遅く、BEMP 割り込みではバッファの空き状態を判別できない場合に、ソフトウェアは INBUFM ビットで送信完了を確認できます。

表 24.16 BSTS ビットが示すバッファステータス

ISEL または DIR	BSTS	バッファメモリのステータス
0 (受信方向)	0	受信データなし。FIFO ポートからの読み出し不可能
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信。FIFO ポートからの読み出し可能 注. Zero-Length パケット受信時は読み出しが不可能のためバッファクリアが必要です。
1 (送信方向)	0	送信未完了。FIFO ポートへの書き込み不可能
1 (送信方向)	1	送信完了。CPU は書き込み可能

表 24.17 INBUFM ビットが示すバッファステータス

DIR	INBUFM	バッファメモリのステータス
0 (受信方向)	無効	無効
1 (送信方向)	0	送信完了 送信待ちデータなし
1 (送信方向)	1	データが FIFO ポートからバッファへ書き込まれた。 送信データあり



### 24.3.6 FIFO バッファクリア

表 24.18 に、USB による FIFO バッファメモリのクリア方式を示します。バッファメモリは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、および PIPEnCTR.ACLRM ビットでクリアすることができます。

パイプ 4 とパイプ 5 に対しては、PIPECFG.DBLB ビットを用いて、シングルバッファまたはダブルバッファを選択できます。

表 24.18 バッファのクリア方式

FIFO バッファクリアモード	CPU 側バッファメモリのクリア	指定パイプのデータ読み出し後に自動でバッファメモリをクリアするモード	すべての受信パケットを破棄するための自動バッファクリアモード
使用するレジスタ	CFIFOCTR	-	PIPEnCTR
使用するビット	BCLR	DCLRM	ACLRM
クリア条件	1書き込みでクリア	1: モード有効 0: モード無効	1: モード有効 0: モード無効

#### (1) 自動バッファクリアモード機能

USB では、PIPEnCTR.ACLRM ビットを 1 にすると、受信したすべてのデータパケットが破棄されます。正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。自動バッファクリアモード機能は、バッファメモリ読み出し方向にのみ設定可能です。

ACLRM ビットを 1 にした後、続けて 0 にすると、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。ハードウェアの内部シーケンス処理時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

### 24.3.7 FIFO ポートの機能

表 24.19 に、USB の FIFO ポート機能の設定内容を示します。ライトアクセス時は、最大パケットサイズに達するまで書き込みを行うと、自動的にデータ送信が可能になります。最大パケットサイズに達する前に送信を可能とするには、ポートコントロールレジスタの BVAL ビットを書き込み終了に設定してください。Zero-Length パケットを送信するには、同レジスタの BCLR ビットを使用してバッファをクリアし、BVAL ビットを書き込み終了に設定してください。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケットの受信が可能になります。Zero-Length パケット受信時 (DTLN[8:0] ビット=0) は、データは読み出せないで、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0] ビットで確認できます。

表 24.19 FIFOポート機能設定

レジスタ名	ビット名	機能
CFIFOSEL	RCNT	DTLN読み出しモードを選択
	REW	バッファメモリをリワインド (再読み出し、再書き込み)
	MBW	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアンを選択
	ISEL	FIFOポートアクセス方向 (DCP専用)
	CURPIPE	カレントパイプを選択
CFIFOCTR	BVAL	バッファメモリへの書き込みを終了
	BCLR	CPU側バッファメモリをクリア
	DTLN	受信データ長の確認

#### (1) FIFO ポート選択

表 24.20 に、各 FIFO ポートで選択可能なパイプを示します。ポート選択レジスタの CURPIPE[3:0] ビットで、アクセスするパイプを選択してください。パイプを選択した後、書き込み値が CURPIPE[3:0] ビットから正しく読み出せたかどうかを確認してください。

注． 前回のパイプ番号が読み出された場合、USB コントローラがパイプ変更処理中であることを示し、ポートコントロールレジスタの FRDY ビット = 1 が確認されます。

また、ポート選択レジスタの MBW ビットを用いて、アクセスするバス幅を選択してください。バッファメモリのアクセス方向は、PIPECFGDIR ビットに従います。DCP のみ、ポート選択レジスタの ISEL ビットにより決定します。

表 24.20 パイプ別 FIFO ポートアクセス

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
パイプ4~7	CPUアクセス	CFIFOポートレジスタ

#### (2) REW ビット

現在アクセス中のパイプへのアクセスを一時的に中断し、別のパイプにアクセスした後、再度現在のパイプ処理を続行することが可能です。このような処理には、ポート選択レジスタの REW ビットを使用します。

REW ビットを 1 にした状態で、ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択すると、バッファメモリの読み出しまたは書き込みポインタがリセットされます。それにより、先頭バイトからの読み出し/書き込みが実行可能になります。REW ビットを 0 にした状態でパイプを選択すると、ポインタをリセットせずに、前回の選択時の続きから継続してデータの読み出し/書き込みが可能です。FIFO ポートへアクセスするには、パイプの選択後、ポートコントロールレジスタの FRDY ビットが 1 であることを確認してください。

### 24.3.8 DCP を使用したコントロール転送

コントロール転送のデータステージでは、デフォルトコントロールパイプ (DCP) を使用してデータが転送されます。

DCP のバッファメモリは、コントロールリードとコントロールライトで共通の固定領域を持つ 64 バイトシングルバッファです。バッファメモリは、CFIFO ポートでのみアクセス可能です。

#### 24.3.8.1 コントロール転送

##### (1) セットアップステージ

USB は、USB に対する正常な Setup パケットには ACK 応答を送信します。セットアップステージでの USB 動作は以下のとおりです。

新しい Setup パケットを受信すると、USB は以下のビットを設定します。

- INTSTS0.VALID ビットを 1 にする
- DCPCTR.PID[1:0] ビットを NAK にする
- DCPCTR.CCPL ビットを 0 にする

Setup パケットの後にデータパケット受信すると、USB は、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。コントロール転送に対する応答処理は、VALID ビットを 0 にしてから実行してください。VALID ビットが 1 の状態では、PID = BUF に設定できず、データステージを終了することができません。

VALID ビットの機能により、USB は、コントロール転送中に新しい USB リクエストを受信すると、現在のリクエスト処理を中断できます。その後、USB は最新のリクエストに対する応答を送信できます。

また、USB は、受信した USB リクエストの方向ビット (bmRequestType のビット 8) と、リクエストデータ長 (wLength) を自動検出します。USB は他にも、コントロールリード転送、コントロールライト転送、およびノーデータコントロール転送を自動判別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、そのエラーがソフトウェアに通知されます。USB のステージ管理については [図 24.13](#) を参照してください。

##### (2) データステージ

受信した USB リクエストに対応したデータ転送は、DCP を用いて行ってください。DCP のバッファメモリへアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。転送データが DCP のバッファメモリサイズより大きい場合は、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

##### (3) ステータスステージ

DCPCTR.PID[1:0] ビットが BUF に設定された状態で、DCPCTR.CCPL ビットを 1 にすることにより、コントロール転送が終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USB が自動的にステータスステージを実行します。具体的な手順は下記のとおりです。

- コントロールリード転送の場合  
USB ホストから Zero-Length パケットが受信され、ACK 応答が送信されます。
- コントロールライト転送、ノーデータコントロール転送の場合  
Zero-Length パケットが送信され、USB ホストから ACK 応答が受信されます。

##### (4) コントロール転送自動応答機能

USB は、正常な SET\_ADDRESS リクエストに自動応答します。SET\_ADDRESS リクエストに下記のエラーのいずれかが発生した場合は、ソフトウェアによる応答が必要です。

- bmRequestType が 00h でない場合 — コントロールライト転送以外
- wIndex が 00h でない場合 — リクエストエラー

- wLength が 00h でない場合 — ノーデータコントロール転送以外
- wValue が 7Fh より大きい場合 — リクエストエラー
- INTSTS0.DVSQ[2:0] ビットが 011b (Configured ステート) の場合 — デバイスステートエラーのコントロール転送

SET\_ADDRESS リクエスト以外のすべてのリクエストには、対応するソフトウェアによる応答が必要です。

### 24.3.9 バルク転送 (パイプ 4 および 5)

バルク転送では、バッファメモリの使用方法 (シングル/ダブルバッファ設定) の選択が可能です。USB は、バルク転送用として下記の機能を備えています。

- BRDY 割り込み機能 (PIPECFG.BFRE ビット : 24.3.3.1 章 (2) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 1 のときを参照)
- トランザクションカウント機能 (PIPEnTRE.TRENB, TRCLR ビット、PIPEnTRN.TRNCNT[15:0] ビット : 24.3.4.5 トランザクションカウンタ (受信方向パイプ 4 および 5) を参照)
- 応答 PID = NAK 機能 (PIPECFG.SHTNAK ビット : 24.3.4.8 応答 PID = NAK 機能を参照)
- 自動応答モード (PIPEnCTR.ATREPM ビット : 24.3.4.9 自動応答モードを参照)

### 24.3.10 インタラプト転送 (パイプ 6 および 7)

USB は、ホストコントローラが管理するタイミングに従ってインタラプト転送を行います。

### 24.3.11 パイプスケジュール

#### 24.3.11.1 転送スケジュール

USB のフレーム内の転送スケジューリング方法について説明します。USB は SOF を送信後、以下に示す順序で転送を行います。

1. 周期的転送の実行  
パイプ 6 → パイプ 7 の順にパイプを検索し、インタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
2. コントロール転送の Setup トランザクション  
DCP を確認して、Setup トランザクションが可能であれば送信します。
3. バルク転送、コントロール転送データステージ、およびコントロール転送ステータスステージの実行  
DCP → パイプ 4 → パイプ 5 の順にパイプを検索し、バルク転送、コントロール転送データステージ、コントロール転送ステータスステージのトランザクション発行が可能なパイプがあれば、トランザクションを発行します。  
トランザクションが発行されると、周辺デバイスからの応答が ACK であるか NAK であるかにかかわらず、処理は次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、このステップを繰り返します。

### 24.3.12 バッテリチャージング検出処理

バッテリチャージング規格で規定されている、データコンタクト検出 (D+ ラインコンタクトチェック)、一次検出 (チャージャ検出)、および二次検出 (チャージャ検証) の処理を制御することができます。以下では、ファンクションデバイスとホストデバイスに求められる動作についてそれぞれ説明します。

#### 24.3.12.1 処理

USB モジュールをバッテリチャージ用のポータブルデバイスとして動作させる場合、以下の処理が必要です。

1. データライン (D+/D-) がコンタクトしたタイミングを検出し、一次検出処理を開始します。
2. 一次検出の開始後、マスク処理のため 40ms 待機してから D- の電圧レベルをチェックし、一次検出結果を確認します。
3. 一次検出中にチャージャが検出されると、二次検出を開始します。
4. 二次検出の開始後、マスク処理のため 40ms 待機してから D+ の電圧レベルをチェックし、二次検出結果を確認します。

ステップ 1. では、VBINT ビットと VBSTS ビットで VBUS を検出した後、ソフトウェアで 300 ~ 900ms 待機し、その後、BCCTRL レジスタの VDPSRCE ビットと IDMSINKE ビットを 1 にしてください。あるいは、IDPSRCE ビットを 1 にして、D+ ラインが High から Low へ変化したことを LNST ビットで検出した後、IDPSRCE ビットを 0、VDPSRCE ビットと IDMSINKE ビットを 1 にすることもできます。なお、VDPSRCE ビットと IDMSINKE ビットは同時に設定してください。(注 1)

ステップ 2. では、VDPSRCE ビットと IDMSINKE ビットを 1 にして、ソフトウェアで 40ms 待機した後、CHGDETSTS ビットで一次検出結果を検証してください。(注 2)

ステップ 3. では、ステップ 2. で CHGDETSTS ビットを 1 にした場合は、チャージャの検出を検証した後、VDPSRCE ビットと IDMSINKE ビットを 0、VDMSRCE ビットと IDPSINKE ビットを 1 にしてください。

ステップ 4. では、VDMSRCE ビットと IDPSINKE ビットを 1 にして、ソフトウェアで 40ms 待機した後、PDDDETSTS ビットで二次検出結果を検証してください。

図 24.14 に、この処理フローを示します。

- 注 1. バッテリチャージング規格は、データコンタクト検出 (D+/D- ラインの接続チェック) の処理について 2 つの方法を記述しています。1 つは、D+ ラインに 7 ~ 13 $\mu$ A の電流を印加することで D+ ラインを Logic High に保持し、D+/D- ラインがターゲットと接続したとき、ホストデバイスのプルダウン抵抗により生じる Logic Low への変化を検出する方法です。もう 1 つは、VBUS を検出した後、300 ~ 900ms 待機する方法です。
- 注 2. 一次検出中に、D- ラインの電圧が 0.25 ~ 0.4V 以上かつ 0.8 ~ 2.0V 以下であることが検出されると、ターゲットデバイスが、バッテリチャージ用ホストデバイス (チャージングダウンストリームポート) として認識されます。使用中の PHY に対して、CHGDETSTS ビットで D- ラインの電圧が 0.25 ~ 0.4V 以上であることだけが判明した場合、必要に応じて、LNST ビットを用いて D- ラインの電圧が 0.8 ~ 2.0V 以下であることをチェックするための処理を追加してください。

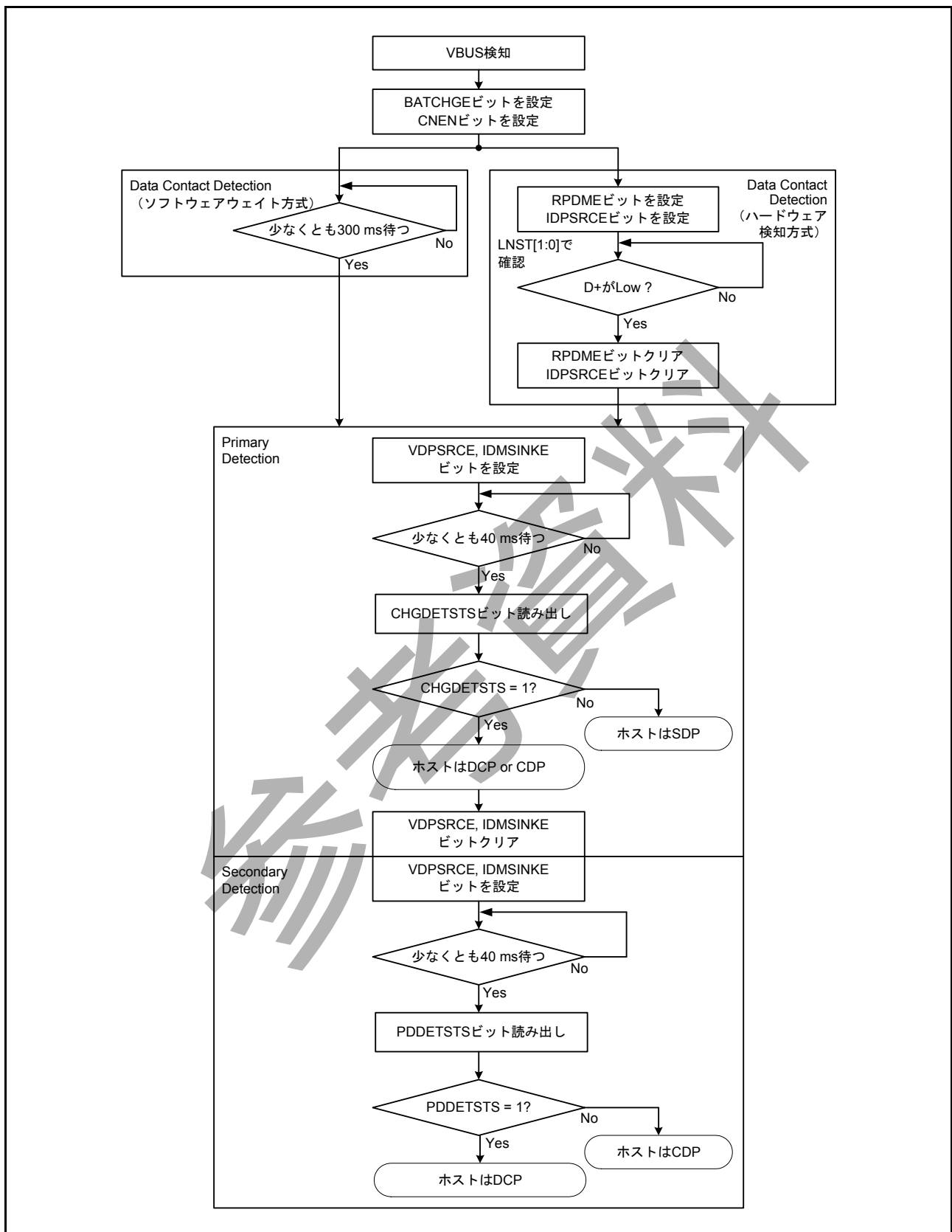


図 24.14 ポータブルデバイスとして動作時の処理フロー

## 24.4 使用上の注意事項

### 24.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、USBFS の動作を許可または禁止することが可能です。リセット後、USBFS の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

### 24.4.2 ソフトウェアスタンバイモード後の割り込みステータスレジスタのクリア

下記の条件が同時に満たされたとき、ソフトウェアスタンバイモードでは入力バッファが常に有効となるため、予期せぬ割り込みが発生する可能性があります。

- 本 MCU が通常モードのときに割り込みを許可する
- 本 MCU がソフトウェアスタンバイモードのときに割り込みを禁止する
- ソフトウェアスタンバイを解除する端子の入力レベルが SSTBY モードで変更されている

指定された条件下で、割り込みステータスレジスタの割り込みフラグがセットされます。ソフトウェアスタンバイモードの解除後に、予期せぬ割り込みが割り込みコントローラに伝播する場合があります。そのため解除シーケンスでは、INTSTS0 および INTSTS1 レジスタを必ずクリアする必要があります。

### 24.4.3 ポート機能設定後の割り込みステータスレジスタのクリア

入力バッファは、ポート (PmnPFS.PSEL および PmnPFS.PMR) の設定前に無効にされるため、内部信号が High または Low に固定されます。そのため、ポートの設定後に入力バッファが有効になると、外部端子の状態がチップに伝播します。このとき、予期せぬ割り込みが発生する場合があります。INTSTS0 や INTSTS1 などの割り込みステータスレジスタのビット (特に VBINT ビットと OVRCCR ビット) が 1 になります。この誤動作を回避するには、ポート設定後に INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

## 25. シリアルコミュニケーションインタフェース (SCI)

シリアルコミュニケーションインタフェース (SCI) は、下記の 5 種類の調歩同期式および同期式シリアルインタフェースとして設定が可能です。

- 調歩同期式インタフェース (UART および調歩同期式通信アダプタ (ACIA))
- 8 ビットクロック同期式インタフェース
- 簡易 IIC (マスタのみ)
- 簡易 SPI
- スマートカードインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCI0 は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。

本章に記載している PCLK とは PCLKB を指します。

### 25.1 概要

表 25.1 に SCI の仕様を示します。

表 25.1 SCI の仕様 (1/2)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> <li>• 調歩同期式</li> <li>• クロック同期式</li> <li>• スマートカードインタフェース</li> <li>• 簡易 IIC</li> <li>• 簡易 SPI</li> </ul>
転送速度	内蔵のボーレートジェネレータにより任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファによる連続送信が可能 受信部：ダブルバッファによる連続受信が可能
入出力端子	表 25.2 を参照してください。
データ転送	LSB ファースト / MSB ファースト 選択可能
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、およびアドレス一致 開始条件 / 再開条件 / 停止条件の生成完了 (簡易 IIC モード用)
モジュールストップ機能	チャンネルごとにモジュールストップ状態の設定が可能
スヌーズ終了要求	SCI0 アドレス不一致 (SCI0_DCUF)



表 25.1 SCIの仕様 (2/2)

項目	内容	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバーランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn_RTSn端子を用いた送受信制御が可能
	送受信	1段レジスタまたは16段FIFOのいずれかを選択可能 (SCI0のみFIFOをサポート)
	アドレス一致	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求/イベント出力の発行が可能
	アドレス不一致 (SCI0のみ) 受信データ	受信データとコンペアマッチレジスタの値が一致しないとき、スヌーズ終了要求の発行が可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	ブレークの検出	フレーミングエラー発生時、SPTRレジスタを読み出すことでブレークの検出が可能
	クロックソース	内部クロック/外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラー検出機能	オーバーランエラー
	クロックソース	内部クロック (マスタモード) または外部クロック (スレーブモード) を選択可能
	ハードウェアフロー制御	CTSn_RTSn端子を用いた送受信制御が可能
	送受信	1段レジスタまたは16段FIFOのいずれかを選択可能 (SCI0のみFIFOをサポート)
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易IICモード	通信フォーマット	I <sup>2</sup> Cバスフォーマット (MSBファーストのみ)
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	最大400kbps
	ノイズ除去	SCLn端子とSDAn端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバーランエラー
	クロックソース	内部クロック (マスタモード) または外部クロック (スレーブモード) を選択可能
	SS入力端子機能	SSn端子をHighにして、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能	内蔵ボーレートジェネレータの出力補正により誤差の低減が可能	
イベントリンク機能	エラー (受信エラー/エラーシグナル検出) イベント出力 (SCIn_ERI (注1))	
	受信データフルイベント出力 (SCIn_RXI (注1), (注2))	
	送信データエンプティイベント出力 (SCIn_TXI (注1), (注2))	
	送信終了イベント出力 (SCIn_TEI (注1), (注2))	
	アドレス一致イベント出力 (SCIn_AM (注1))	

注1. チャネル番号 (n=0, 1, 9)

注2. このイベントリンク機能は、FIFOが調歩同期式モードで選択された場合には使用禁止となります。

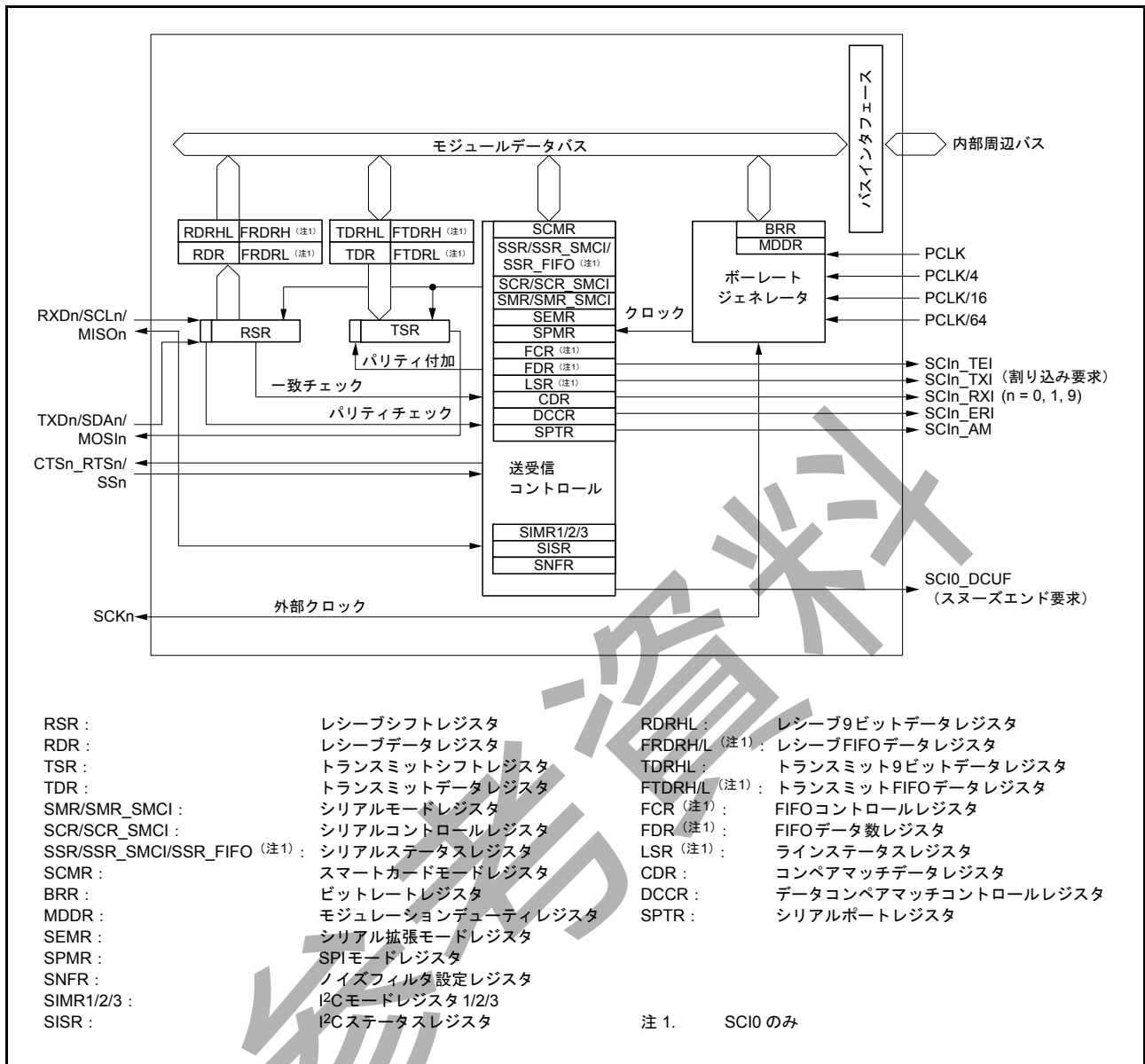


図 25.1 SCIのブロック図

表 25.2 に、SCI の入出力端子をモード別に示します。

表 25.2 SCIの入出力端子

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0/SCL0/ MISO0	入出力	SCI0の受信データ入力端子 SCI0 IICのクロック入出力端子 SCI0のスレーブ送出データ入出力端子
	TXD0/SDA0/ MOSI0	入出力	SCI0の送信データ出力端子 SCI0 IICのデータ入出力端子 SCI0のマスタ送出データ入出力端子
	SS0/CTS0_RTS0	入出力	SCI0チップセレクト入力端子、アクティブロー SCI0送受信開始制御用入出力端子、アクティブロー
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1/SCL1/ MISO1	入出力	SCI1の受信データ入力端子 SCI1 IICのクロック入出力端子 SCI1のスレーブ送出データ入出力端子
	TXD1/SDA1/ MOSI1	入出力	SCI1の送信データ出力端子 SCI1 IICのデータ入出力端子 SCI1のマスタ送出データ入出力端子
	SS1/CTS1_RTS1	入出力	SCI1チップセレクト入力端子、アクティブロー SCI1送受信開始制御用入出力端子、アクティブロー
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9/SCL9/ MISO9	入出力	SCI9の受信データ入力端子 SCI9 IICのクロック入出力端子 SCI9のスレーブ送出データ入出力端子
	TXD9/SDA9/ MOSI9	入出力	SCI9の送信データ出力端子 SCI9 IICのデータ入出力端子 SCI9のマスタ送出データ入出力端子
	SS9/CTS9_RTS9	入出力	SCI9チップセレクト入力端子、アクティブロー SCI9送受信開始制御用入出力端子、アクティブロー

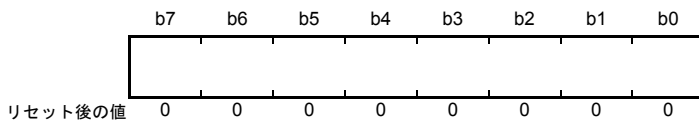
## 25.2 レジスタの説明

### 25.2.1 レシーブシフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタ、RDRHL レジスタ、またはレシーブ FIFO へ転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

### 25.2.2 レシーブデータレジスタ (RDR)

アドレス SCI0.RDR 4007 0005h, SCI1.RDR 4007 0025h, SCI9.RDR 4007 0125h



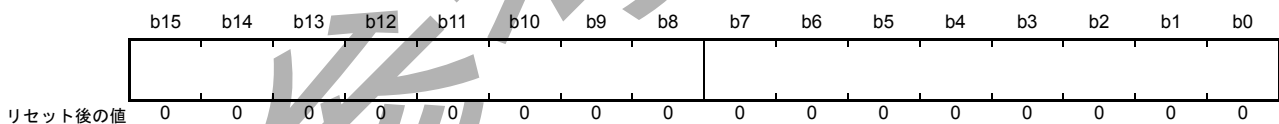
RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。1 フレーム分のシリアルデータを受信すると、受信データは RSR レジスタからこのレジスタへ転送され、RSR レジスタは次のデータを受信できるようになります。RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

RDR レジスタの読み出しは、受信データフル割り込み (SCI<sub>n</sub>\_RXI) 要求が発生したときに 1 回だけ行ってください。

注. 受信データを RDR から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDR レジスタに書き込むことはできません。

### 25.2.3 レシーブ 9 ビットデータレジスタ (RDRHL)

アドレス SCI0.RDRHL 4007 0010h, SCI1.RDRHL 4007 0030h, SCI9.RDRHL 4007 0130h



RDRHL レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

RDRHL レジスタの下位 8 ビットは RDR レジスタのシャドウレジスタとなっており、たとえば、RDRHL レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL レジスタへのアクセスはしないでください。

1 フレーム分のデータを受信すると、受信データは RSR レジスタからこれらのレジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。RDRHL レジスタの読み出しは、受信データフル割り込み (SCI<sub>n</sub>\_RXI) 要求が発生した場合にのみ行ってください。受信データを RDRHL から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになるので注意してください。CPU から RDRHL レジスタに書き込むことはできません。ビット 9 ~ 15 は 0 に固定されているため、読むと 0 が読めます。書く場合、0 としてください。

## 25.2.4 レシーブ FIFO データレジスタ H, L, HL (FRDRH, FRDRL, FRDRHL)

## レシーブ FIFO データレジスタ H (FRDRH)

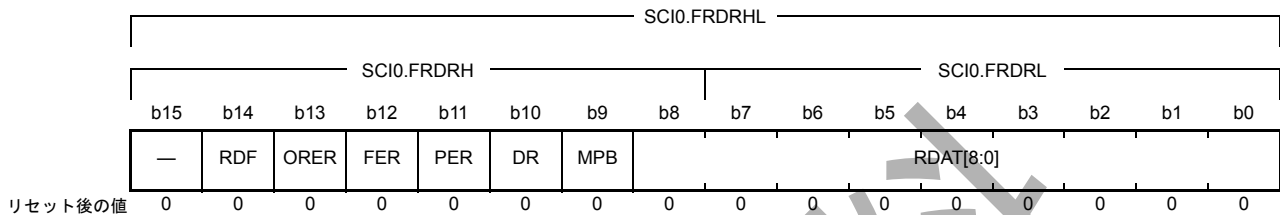
アドレス SCI0.FRDRH 4007 0010h

## レシーブ FIFO データレジスタ L (FRDRL)

アドレス SCI0.FRDRL 4007 0011h

## レシーブ FIFO データレジスタ HL (FRDRHL)

アドレス SCI0.FRDRHL 4007 0010h



ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	シリアル受信データ	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO 選択時にのみ有効 シリアル受信データの読み出しが可能です。	R
b9	MPB	マルチプロセッサビットフラグ	調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時にのみ有効 シリアル受信データ（RDAT[8:0]）に関連するマルチプロセッサビットの読み出しが可能です。 0：データ送信サイクル 1：ID 送信サイクル	R
b10	DR	受信データレディフラグ	このフラグは SSR_FIFO.DR と同じです。 0：受信中であるか、または正常に受信を完了した後、FRDRH および FRDRL に受信データが残っていない 1：正常に受信を完了した後、次の受信データが一定期間来ない	R (注1)
b11	PER	パリティエラーフラグ	0：FRDRH および FRDRL の第 1 データにパリティエラーの発生なし 1：FRDRH および FRDRL の第 1 データにパリティエラーの発生あり	R
b12	FER	フレーミングエラーフラグ	0：FRDRH および FRDRL の第 1 データにフレーミングエラーの発生なし 1：FRDRH および FRDRL の第 1 データにフレーミングエラーの発生あり	R
b13	ORER	オーバーランエラーフラグ	このフラグは SSR_FIFO.ORER と同じです。 0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R (注1)
b14	RDF	レシーブ FIFO データフルフラグ	このフラグは SSR_FIFO.RDF と同じです。 0：FRDRH および FRDRL に書き込まれた受信データ数が指定された受信トリガ数より少ない 1：FRDRH および FRDRL に書き込まれた受信データ数が指定された受信トリガ数以上である	R (注1)
b15	—	予約ビット	読むと 0 が読めます。	R

注 1. このフラグを読むと、SSR\_FIFO レジスタと同じ値が読み出されます。フラグをクリアするには、SSR\_FIFO レジスタに 0 を書いてください。

FRDRHL レジスタは、FRDRL と FRDRH からなる 16 ビットのレジスタです。

FRDRH と FRDRL は、シリアル受信データと関連するステータス情報を格納するための 16 段の FIFO レジスタを構成します。ソフトウェアによって、シリアル受信データと関連するステータス情報を読み出すことができます。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

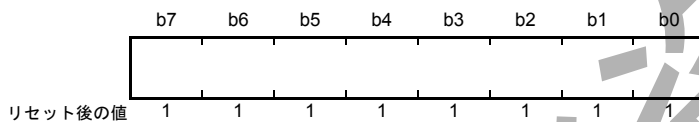
SCI は、受信データをレシフシフトレジスタ (RSR) から FRDRH と FRDRL へ転送し格納することで、1 フレーム分のシリアルデータの受信動作を完了します。16 段が格納されるまで連続受信が実行されます。FRDRH と FRDRL に受信データが存在しない場合、データを読み出すと、その値は不定値です。FRDRH と FRDRL が受信データでいっぱいになると、それ以降のシリアル受信データは失われます。CPU から FRDRH と FRDRL を読み出すことはできますが、書き込むことはできません。

FRDRH レジスタの RDF、ORER、または DR フラグから 1 を読むことは、SSR\_FIFO レジスタの対応するビットを読むことと同等です。FRDRH レジスタの読み出し後、SSR\_FIFO レジスタのフラグに 0 を書いてクリアする場合は、クリアするフラグにのみ 0 を書いて、他のフラグには 1 を書いてください。

FRDRH レジスタと FRDRL レジスタの両方を読む場合は、FRDRH から FRDRL の順に読んでください。FRDRHL レジスタは 16 ビット単位でアクセスが可能です。

### 25.2.5 トランスミットデータレジスタ (TDR)

アドレス SCI0.TDR 4007 0003h, SCI1.TDR 4007 0023h, SCI9.TDR 4007 0123h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

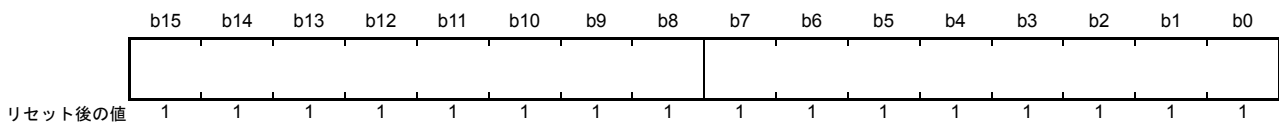
SCI は、TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データを TSR レジスタへ転送し、送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば、SCI はそれを TSR レジスタへ転送して送信を続けます。

CPU からいつでも TDR レジスタの読み出し／書き込みが可能です。TDR レジスタへの送信データの書き込みは、送信データエンブティ割り込み (SCI<sub>In</sub>\_TXI) 要求が発生するごとに 1 回だけ行ってください。

### 25.2.6 トランスミット 9 ビットデータレジスタ (TDRHL)

アドレス SCI0.TDRHL 4007 000Eh, SCI1.TDRHL 4007 002Eh, SCI9.TDRHL 4007 012Eh



TDRHL レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL レジスタの下位 8 ビットは TDR レジスタのシャドールレジスタとなっており、たとえば、TDRHL レジスタへアクセスすると TDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL レジスタへのアクセスはしないでください。

TSR レジスタに空きが検出されると、TDRHL レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDRHL レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL レジスタに次の送信データが書き込まれていれば、TSR レジスタへ転送されて、送信動作が継続します。

CPU から TDRHL レジスタの読み出し/書き込みが可能です。TDRHL レジスタのビット 9 ~ 15 は 1 に固定されているため、読むと 1 が読めます。書く場合、1 としてください。

TDRHL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI<sub>In</sub>\_TXI) 要求が発生したときに 1 回だけ行ってください。

## 25.2.7 トランスミット FIFO データレジスタ H, L, HL (FTDRH, FTDRL, FTDRHL)

### トランスミット FIFO データレジスタ H (FTDRH)

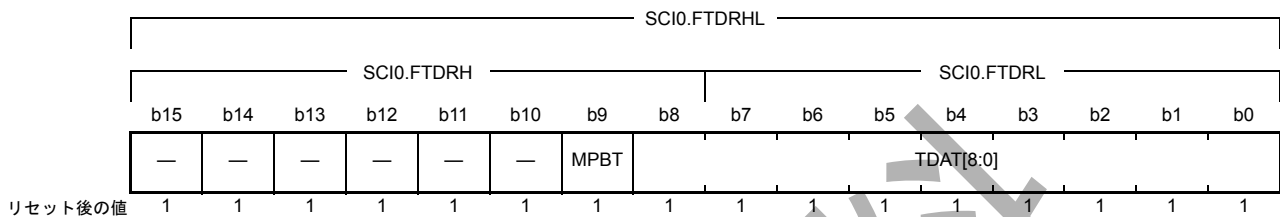
アドレス SCI0.FTDRH 4007 000Eh

### トランスミット FIFO データレジスタ L (FTDRL)

アドレス SCI0.FTDRL 4007 000Fh

### トランスミット FIFO データレジスタ HL (FTDRHL)

アドレス SCI0.FTDRHL 4007 000Eh



ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	シリアル送信データ	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO選択時にのみ有効 シリアル送信データの書き込みが可能です。	W
b9	MPBT	マルチプロセッサ通信ビットフラグ	調歩同期式モードにおいて、SMR.MP = 1およびFIFO選択時にのみ有効 送信フレーム中のマルチプロセッサビットの値： 0：データ送信サイクル 1：ID送信サイクル	W
b15-b10	—	予約ビット	書く場合、1としてください。	W

FTDRHL レジスタは、FTDRH と FTDRL からなる 16 ビットのレジスタです。

FTDRH と FTDRL は、シリアル送信データとマルチプロセッサ通信ビットを格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

SCI は、トランスミットシフトレジスタ (TSR) に空きを検出すると、FTDRH と FTDRL に書き込まれた送信データを TSR に転送し、シリアル送信を開始します。FTDRH と FTDRL に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。FTDR レジスタが送信データでいっぱいになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。CPU から FTDRH と FTDRL に書き込むことはできますが、読み出すことはできません。

FTDRH レジスタと FTDRL レジスタの両方に書き込む場合は、FTDRH から FTDRL の順に書いてください。

### MPBT ビット（マルチプロセッサ通信ビットフラグ）

送信フレームのマルチプロセッサビットを選択します。

FCR.FM = 1 の場合、SSR.MPBT ビットは無効です。

## 25.2.8 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR、TDRHL、またはトランスミット FIFO から TSR レジスタへ送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。



## 25.2.9 非スマートカードインタフェースモード用シリアルモードレジスタ (SMR) (SCMR.SMIF = 0)

アドレス SCI0.SMR 4007 0000h, SCI1.SMR 4007 0020h, SCI9.SMR 4007 0120h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択	b1 b0 0 0: PCLKBクロック (n=0) (注1) 0 1: PCLKB/4クロック (n=1) (注1) 1 0: PCLKB/16クロック (n=2) (注1) 1 1: PCLKB/64クロック (n=3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモード	調歩同期式モードでのみ有効 0: マルチプロセッサ通信機能は無効 1: マルチプロセッサ通信機能は有効	R/W (注4)
b3	STOP	ストップビット長	調歩同期式モードでのみ有効 0: 1ストップビット 1: 2ストップビット	R/W (注4)
b4	PM	パリティモード	PEビット=1の場合にのみ有効 0: 偶数パリティを選択 1: 奇数パリティを選択	R/W (注4)
b5	PE	パリティ許可	調歩同期式モードでのみ有効 • 送信時 0: パリティビットなし 1: パリティビットを付加 • 受信時 0: パリティチェックを行わない 1: パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタ長	調歩同期式モードでのみ有効 (注2) SCMR.CHR1ビットと組み合わせて選択します。  CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	通信モード	0: 調歩同期式モード、または簡易IICモード 1: クロック同期式モード、または簡易SPIモード	R/W (注4)

- 注1. nはBRRの設定値を10進表記で示します。25.2.17 ビットレートレジスタ (BRR) を参照してください。  
 注2. 調歩同期式モード以外では、このビットの設定は無効であり、データ長は8ビット固定です。  
 注3. LSBファースト固定となり、送信時にTDRレジスタのMSB(ビット7)は送信されません。  
 注4. SCR.TEビットとSCR.REビットが0(シリアル送信動作およびシリアル受信動作を禁止)の場合にのみ書き込み可能です。

SMRレジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

### CKS[1:0] ビット (クロック選択)

内蔵ボーレートジェネレータのクロックソースを選択します。

これらのビットの設定値とボーレートの関係については、25.2.17 ビットレートレジスタ (BRR) を参照してください。

**MP ビット (マルチプロセッサモード)**

マルチプロセッサ通信機能を有効または無効にします。マルチプロセッサモードでは、PE および PM ビットの設定は無効です。

**STOP ビット (ストップビット長)**

送信データのストップビット長を選択します。

受信時には、このビットの設定にかかわらず、受信したストップビットの1ビット目のみがチェックされます。2ビット目が0の場合は、次の送信フレームのスタートビットとみなされます。

**PM ビット (パリティモード)**

送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

**PE ビット (パリティ許可)**

このビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加、チェックは行いません。

**CHR ビット (キャラクタ長)**

SCMR.CHR1 ビットと組み合わせて、送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は8ビット固定です。

**CM ビット (通信モード)**

通信モードを以下から選択します。

- 調歩同期式モード、または簡易 IIC モード
- クロック同期式モード、または簡易 SPI モード

## 25.2.10 スマートカードインタフェースモード用シリアルモードレジスタ (SMR\_SMCI) (SCMR.SMIF = 1)

アドレス SCI0.SMR\_SMCI 4007 0000h, SCI1.SMR\_SMCI 4007 0020h, SCI9.SMR\_SMCI 4007 0120h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択	b1 b0 0 0 : PCLKBクロック (n = 0) (注1) 0 1 : PCLKB/4クロック (n = 1) (注1) 1 0 : PCLKB/16クロック (n = 2) (注1) 1 1 : PCLKB/64クロック (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルス	SCMR.BCP2ビットと組み合わせて基本クロックのサイクル数を選択します。 表 25.3 に、SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモード	PEビット = 1の場合にのみ有効 0 : 偶数パリティを選択 1 : 奇数パリティを選択	R/W (注2)
b5	PE	パリティ許可	PEビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、このビットを1にしてください。	R/W (注2)
b6	BLK	ブロック転送モード	0 : 通常モードで動作 1 : ブロック転送モードで動作	R/W (注2)
b7	GM	GSMモード	0 : 通常モードで動作 1 : GSMモードで動作	R/W (注2)

- 注 1. n は BRR の設定値を 10 進表記で示します。25.2.17 ビットレートレジスタ (BRR) を参照してください。  
注 2. SCR\_SMCI.TE ビットと SCR\_SMCI.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR\_SMCI レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

### CKS[1:0] ビット (クロック選択)

内蔵ボーレートジェネレータのクロックソースを選択します。

これらのビットの設定値とボーレートの関係については、25.2.17 ビットレートレジスタ (BRR) を参照してください。

### BCP[1:0] ビット (基本クロックパルス)

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2 ビットと組み合わせて設定します。

詳細は、25.6.4 受信データのサンプリングタイミングと受信マージンを参照してください。

表 25.3 SCMR.BCP2ビットとSMR\_SMCI.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR_SMCI.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. SはBRRレジスタのSの値を表します (25.2.17 ビットレートレジスタ (BRR) を参照してください)。

#### PM ビット (パリティモード)

送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、25.6.2 データフォーマット (ブロック転送モード時を除く) を参照してください。

#### PE ビット (パリティ許可)

PE ビットは1にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

#### BLK ビット (ブロック転送モード)

このビットを1にすると、ブロック転送モードで動作します。

詳細は、25.6.3 ブロック転送モードを参照してください。

#### GM ビット (GSM モード)

このビットを1にすると、GSM モードで動作します。

GSM モードでは、SSR\_SMCI.TEND フラグのセットタイミングが、先頭から 11.0ETU (ETU : Elementary Time Unit = 1 ビット転送時間) に繰り上げられ、クロック出力制御機能が追加されます。詳細は、25.6.6 シリアルデータの送信 (ブロック転送モードを除く) と 25.6.8 クロック出力制御を参照してください。

## 25.2.11 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0)

アドレス SCI0.SCR 4007 0002h, SCI1.SCR 4007 0022h, SCI9.SCR 4007 0122h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	<p>調歩同期式モード</p> <p>b1 b0</p> <p>0 0: 内蔵ポーレートジェネレータ I/Oポートの設定に従って、SCKn端子は入出力ポートとして使用できます。</p> <p>0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します。</p> <p>1 x: 外部クロック</p> <p>• SEMR.ABCSビットが0の場合、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが1の場合、8倍の周波数のクロック信号を入力してください。</p> <p>クロック同期式モード</p> <p>b1 b0</p> <p>0 x: 内部クロック SCKn端子はクロック出力端子となります。</p> <p>1 x: 外部クロック SCKn端子はクロック入力端子となります。</p>	R/W (注1)
b2	TEIE	送信終了割り込み許可	<p>0: SCIn_TEI割り込み要求を禁止</p> <p>1: SCIn_TEI割り込み要求を許可</p>	R/W
b3	MPIE	マルチプロセッサ割り込み許可	<p>調歩同期式モードで、SMR.MPビット = 1のとき有効</p> <p>0: 通常の受信動作</p> <p>1: マルチプロセッサビットが0のデータを受信した場合、そのデータは読み飛ばし、SSRレジスタのORERおよびFERの各ステータスフラグに1を書くことはできない。マルチプロセッサビットが1のデータを受信すると、MPIEビットは自動的に0にクリアされ、通常の受信動作に戻る</p>	R/W (注3)
b4	RE	受信許可	<p>0: シリアル受信動作を禁止</p> <p>1: シリアル受信動作を許可</p>	R/W (注2)
b5	TE	送信許可	<p>0: シリアル送信動作を禁止</p> <p>1: シリアル送信動作を許可</p>	R/W (注2)
b6	RIE	受信割り込み許可	<p>0: SCIn_RXIおよびSCIn_ERI割り込み要求を禁止</p> <p>1: SCIn_RXIおよびSCIn_ERI割り込み要求を許可</p>	R/W
b7	TIE	送信割り込み許可	<p>0: SCIn_TXI割り込み要求を禁止</p> <p>1: SCIn_TXI割り込み要求を許可</p>	R/W

x: Don't care

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

注2. TEビットおよびREビットが0、かつSMR.CMビットが1のときのみ、1の書き込みが可能です。TEビットまたはREビットを1にした後は、TEビットとREビットには0の書き込みのみが可能です。SMR.CMビットが0、かつSIMR1.IICMビットが0の場合、任意のタイミングで書き込みが可能です。

注3. マルチプロセッサモード (SMR.MPビット = 1) では、このレジスタのMPIEビット以外のビットに新しい値を書き込む場合、ビット操作命令を用いたときにリードモディファイライト命令によってMPIEビットが誤って1になってしまうのを防ぐため、ストア命令を用いてMPIEビットに0を書いてください。

SCR レジスタは、送受信の制御とクロックソース選択を行うためのレジスタです。

### CKE[1:0] ビット (クロック許可)

クロックソースおよび SCKn 端子の機能を選択します。

### TEIE ビット (送信終了割り込み許可)

SCIn\_TEI 割り込み要求を許可または禁止します。

TEIE ビットを 0 にすると、SCIn\_TEI 割り込み要求が禁止されます。

簡易 IIC モードでは、開始/再開/停止条件の発行完了時の割り込み (STIn 割り込み) に SCIn\_TEI 割り込みが割り当てられます。この場合、TEIE ビットによって STI 割り込み要求を許可または禁止にできます。

### MPIE ビット (マルチプロセッサ割り込み許可)

このビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み飛ばされて、SSR/SSR\_FIFO レジスタの ORER、FER、BRK、DR の各ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信すると、MPIE ビットは自動的に 0 にクリアされ、通常の受信動作に戻ります。詳細は、25.4 マルチプロセッサ通信機能を参照してください。

SSR.MPB ビットが 0 のデータを受信した場合、RSR レジスタから RDR レジスタへ受信データは転送されず、受信エラーも検出されません。また、ORER および FER フラグを 1 にすることができません。

MPB ビットが 1 のデータを受信した場合、MPIE ビットが自動的に 0 にクリアされ、SCIn\_RXI および SCIn\_ERI 割り込み要求が許可されます (SCR.RIE ビットが 1 の場合)。また、ORER および FER フラグを 1 にすることができます。

マルチプロセッサ通信機能を使用しない場合、MPIE ビットを 0 にしてください。

### RE ビット (受信許可)

シリアル受信動作を許可または禁止します。

このビットを 1 にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出することによって、シリアル受信が開始されます。なお、RE ビットを 1 にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

非 FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR レジスタの RDRF、ORER、FER、PER の各フラグは影響を受けず、以前の値が保持されます。FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR\_FIFO レジスタの RDF、ORER、FER、PER、BRK、DR の各フラグは影響を受けず、以前の値が保持されます。

### TE ビット (送信許可)

シリアル送信動作を許可または禁止します。

このビットを 1 にすると、TDR レジスタに送信データを書き込むことによって、シリアル送信が開始されます。

注. TE ビットを 1 にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

### RIE ビット (受信割り込み許可)

SCIn\_RXI および SCIn\_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn\_RXI 割り込み要求が禁止されます。

SCIn\_ERI 割り込み要求の解除は、SSR/SSR\_FIFO レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

### TIE ビット (送信割り込み許可)

SCIn\_TXI 割り込み要求を許可または禁止します。

TIE ビットを 0 にすると、SCIn\_TXI 割り込み要求が禁止されます。このビットは、TE ビットが 1 のときに 1 にしてください。TE ビットと TIE ビットは、同時に 0 から 1 にすることが可能です。

## 25.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR\_SMCI) (SCMR.SMIF = 1)

アドレス SCI0.SCR\_SMCI 4007 0002h, SCI1.SCR\_SMCI 4007 0022h, SCI9.SCR\_SMCI 4007 0122h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	<ul style="list-style-type: none"> <li>SMR_SMCI.GMビット = 0の場合 b1 b0 0 0: 出力を禁止 I/Oポートの設定に従って、SCKn端子は入出力ポートとして使用できます。 0 1: クロック出力 1 x: 設定禁止</li> <li>SMR_SMCI.GMビット = 1:00の場合 b1 b0 0 0: Low出力固定 x 1: クロック出力 1 0: High出力固定</li> </ul>	R/W (注1)
b2	TEIE	送信終了割り込み許可	スマートカードインタフェースモードでは、このビットを0にしてください。	R/W
b3	MPIE	マルチプロセッサ割り込み許可	スマートカードインタフェースモードでは、このビットを0にしてください。	R/W
b4	RE	受信許可	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可	0: SCIn_RXIおよびSCIn_ERI割り込み要求を禁止 1: SCIn_RXIおよびSCIn_ERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可	0: SCIn_TXI割り込み要求を禁止 1: SCIn_TXI割り込み要求を許可	R/W

x : Don't care

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

注2. TEビット=0かつREビット=0の場合にのみ、1の書き込みが可能です。TEビットまたはREビットを1にした後は、TEビットとREビットには0の書き込みのみが可能です。

SCR\_SMCIレジスタは、送信制御、割り込みの制御と受信、および送受信のクロックソース選択を行うためのレジスタです。

各割り込み要求については、[25.10 割り込み要因](#)を参照してください。

### CKE[1:0] ビット (クロック許可)

SCKn端子からのクロック出力を制御します。

GSMモードでは、クロック出力を動的に切り替えることが可能です。詳細は、[25.6.8 クロック出力制御](#)を参照してください。

### TEIE ビット (送信終了割り込み許可)

スマートカードインタフェースモードでは、このビットを0にしてください。

**RE ビット (受信許可)**

シリアル受信動作を許可または禁止します。

このビットを1にすると、スタートビットを検出することによって、シリアル受信が開始されます。

注. RE ビットを1にする前に SMR\_SMCI レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを0にして受信動作を停止しても、SSR\_SMCI レジスタの ORER、FER、PER の各フラグは影響を受けず、以前の値を保持します。

**TE ビット (送信許可)**

シリアル送信動作を許可または禁止します。

このビットを1にすると、TDR レジスタに送信データを書き込むことによって、シリアル送信が開始されます。なお、TE ビットを1にする前に SMR\_SMCI レジスタの設定を行い、送信フォーマットを決定してください。

**RIE ビット (受信割り込み許可)**

SCIn\_RXI および SCIn\_ERI 割り込み要求を許可または禁止します。

RIE ビットを0にすると、SCIn\_RXI 割り込み要求が禁止されます。

SCIn\_ERI 割り込み要求の解除は、SSR\_SMCI レジスタの ORER、FER、または PER フラグから1を読み出した後に0にするか、RIE ビットを0にすることで行うことができます。

**TIE ビット (送信割り込み許可)**

SCIn\_TXI 割り込み要求を許可または禁止します。

TIE ビットを0にすると、SCIn\_TXI 割り込み要求が禁止されます。このビットは、TE ビットが1のときに1にしてください。TE ビットと TIE ビットは、同時に0から1にすることが可能です。



### 25.2.13 非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0)

アドレス SCI0.SSR 4007 0004h, SCI1.SSR 4007 0024h, SCI9.SSR 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサ	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに受信データなし 1: RDRレジスタに受信データあり	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに送信データあり 1: TDRレジスタに送信データなし	R/(W) (注1)

注1. フラグが1になっていることを確認した（読み出した）後、フラグをクリアするために0の書き込みのみが可能です。

SSR レジスタは、SCI ステータスフラグと送受信マルチプロセッサビットを設定するためのレジスタです。

#### MPBT (マルチプロセッサビット転送)

送信フレームのマルチプロセッサビットを選択します。

#### MPB ビット (マルチプロセッサ)

受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが0のときは変化しません。

#### TEND フラグ (送信終了フラグ)

送信が終了したことを示します。

[1になる条件]

- SCR.TE ビットが0（シリアル送信動作を禁止）、かつ FCR.FM ビットが0（非 FIFO 選択時）のとき SCR.TE ビットが1のときは、TEND フラグは影響を受けず、1の値を保持します
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されないとき

[0になる条件]

- SCR.TE ビットが1の状態、TDR レジスタに送信データを書いたとき
- SCR.TE ビットが1の状態、TDRE = 1 を読んだ後、TDRE に0を書いたとき

### PER フラグ (パリティエラーフラグ)

調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、パリティエラーが検出されたとき  
パリティエラーが発生したときの受信データは RDR レジスタへ転送されますが、SCI<sub>In</sub>\_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、PER ビットを読んで実際に 0 になっていることを確認してください)

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

### FER フラグ (フレーミングエラーフラグ)

調歩同期式モードでの受信時に、フレーミングエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、ストップビットとして 0 がサンプリングされたとき  
2 ストップビットモードでは、ストップビットの 1 ビット目のみが 1 であるかチェックされ、2 ビット目はチェックされません。フレーミングエラーが発生したときの受信データは RDR レジスタへ転送されますが、SCI<sub>In</sub>\_RXI 割り込み要求は発生しません。さらに、FER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、FER ビットを読んで実際に 0 になっていることを確認してください)

SCR.RE ビットを 0 にしても、FER フラグは影響を受けず、以前の値を保持します。

### ORER フラグ (オーバーランエラーフラグ)

受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーのない受信データを読み出す前に次のデータを受信したとき  
RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、後から受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。クロック同期式モードでは、シリアル送受信は停止します。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、ORER ビットを読んで実際に 0 になっていることを確認してください)

SCR.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

**RDR フラグ (受信データフルフラグ)**

RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを転送したとき

**TDRE フラグ (送信データエンプティフラグ)**

TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.TE ビットが 1 の状態で、TDR レジスタへ送信データを転送したとき

参考資料

## 25.2.14 非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ (SSR\_FIFO) (SCMR.SMIF = 0 および FCR.FM = 1)

アドレス SCI0.SSR\_FIFO 4007 0004h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDFE	RDF	ORER	FER	PER	TEND	—	DR
リセット後の値	1	0	0	0	0	0	x	0

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ	0: 受信中であるか、または正常に受信を完了した後、FRDRHLに受信データが残っていない (レシーブ FIFO が空である) 1: FIFOに格納されているデータ数が受信トリガ数以下であるとき、正常に受信を完了した後、一定期間内に次の受信データが来ない	R/(W) (注1)
b1	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R/(W) (注1)
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b6	RDF	レシーブFIFOデータフルフラグ	0: FRDRHLに書き込まれた受信データ数が指定された受信トリガ数より少ない 1: FRDRHLに書き込まれた受信データ数が指定された受信トリガ数以上である	R/(W) (注1)
b7	TDFE	トランスミットFIFOデータEMPTYフラグ	0: FTDRHLに書き込まれた送信データ数が指定された送信トリガ数を超過している 1: FTDRHLに書き込まれた送信データ数が指定された送信トリガ数以下である	R/(W) (注1)

注1. フラグが1になっていることを確認した後、フラグをクリアするために0の書き込みのみが可能です。

SSR\_FIFO レジスタは、FIFO モード用のステータスフラグのためのレジスタです。

### DR フラグ (受信データレディフラグ)

レシーブ FIFO データレジスタ (FRDRHL) に格納されたデータ数が指定された受信トリガ数より少ないこと、および、調歩同期式モードにおいて最後のストップビットから 15ETU (Element Time Unit = 基本時間単位) 経過しても次のデータが受信されていないことを示します。このビットは、調歩同期式モード (マルチプロセッサモードを含む) において、FIFO 選択時にのみ有効です。

クロック同期式モードでは、このビットは1になりません。

[1 になる条件]

- FRDRHL 内のデータ数が指定された受信トリガ数より少なく、最後のストップビットから 15ETU (注1) 経過しても次のデータが受信されておらず、かつ SSR\_FIFO.FER および SSR\_FIFO.PER フラグが 0 のとき

[0 になる条件]

- 受信データをすべて読み出した後、DR フラグから 1 を読んで、次に 0 を書いたとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

- 注 1. これは 8 ビットフォーマットで 1 ストップビットが選択されている場合の 1.5 フレーム分に相当します (単位は ETU)。  
調歩同期式モード (マルチプロセッサモードを含む) において、FIFO 選択時にのみ DR フラグは 1 になりますが、他の動作モードでは 1 になりません。

### TEND フラグ (送信終了フラグ)

シリアルキャラクタの最後尾ビットの送信時に、FTDRHL レジスタに有効なデータがなく、送信が停止したことを示します。

[1 になる条件]

- 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に、FTDRHL レジスタに送信データがないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、FTDRHL レジスタ (注 1) に送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TEND から 1 を読んだ後、TEND に 0 を書いたとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

- 注 1. SCI<sub>n</sub>\_TXI 割り込み要求に応じて DTC が FTDRHL レジスタにデータを書き込む場合は、このビットを送信終了フラグとして使用しないでください。

### PER ビット (パリティエラーフラグ)

調歩同期式モードにおいて、アドレス一致検出機能が無効 (DCCR.DCME=0) のとき、レシーブ FIFO データレジスタ (FRDRHL) から読み出したデータにパリティエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効 (DCCR.DCME=0) の状態で、データ受信時にパリティエラーが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

データ受信時にパリティエラーが発生しても、受信データが FRDRHL レジスタに格納されている場合は、受信動作が継続します。

SCR.RE ビットを 0 にクリアしても、PER フラグは影響を受けず、以前の状態を保持します。

### FER ビット (フレーミングエラーフラグ)

調歩同期式モードにおいて、アドレス一致検出機能が無効 (DCCR.DCME=0) のとき、レシーブ FIFO データレジスタ (FRDRHL) から読み出したデータにフレーミングエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効 (DCCR.DCME=0) の状態で、受信時にストップビットとして 0 がサンプリングされたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

データ受信時にフレーミングエラーが発生しても、受信データが FRDRHL レジスタに格納されている場合は、受信動作が継続します。

SCR.RE ビットを 0 にクリアしても、PER フラグは影響を受けず、以前の状態を保持します。

### ORER フラグ (オーバーランエラーフラグ)

オーバーランエラーの発生が原因で受信動作が異常終了したことを示します。

[1 になる条件]

- レシーブ FIFO が 16 バイトの受信データでいっぱいになった状態で、次のシリアル受信を完了したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

シリアルコントロールレジスタ (SCR) の RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の状態を保持します。

### RDF ビット (レシーブ FIFO データフルフラグ)

受信データがレシーブ FIFO データレジスタ (FRDRHL) へ転送されて、FRDRHL 内のデータ数が指定された受信トリガ数を越えたことを示します。ただし RTRG が 0 の場合は、レシーブ FIFO 内のデータ数が 0 であっても、RDF フラグはセットされません。

[1 になる条件]

- 指定された受信トリガ数以上の受信データ数が FRDRHL レジスタ (注 1) に格納され、かつ FIFO が空状態でないとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- FRDRHL レジスタが DTC によって読み出されたとき (ブロック転送が最終送信の場合のみ)
- 1 になる条件と 0 になる条件が同時に成立したとき、RDF フラグは 0 になります。その後、FRDRHL レジスタに格納されたデータ数が RTRG の値以上になると、1PCLKB 後に RDF フラグは 1 になります。

注 1. FRDRHL は 16 段の FIFO レジスタであるため、RDF が 1 のときに読み出し可能な最大のデータ数は指定された受信トリガ数と同等です。FRDRHL 内のデータをすべて読み出した後に、さらに読み出しを実行すると、不定値が読み出されます。

### TDFE ビット (トランスミット FIFO データエンptyフラグ)

データがトランスミット FIFO データレジスタ (FTDRHL) からトランスミットシフトレジスタ (TSR) へ転送されて、FTDRHL 内のデータ数が指定された送信トリガ数を下回り、FTDRHL への送信データの書き込みが可能になったことを示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- FTDRHL に書き込まれた送信データ数が指定された送信トリガ数以下であるとき (注 1)

[0 になる条件]

- DTC が起動している状態で、最終送信に対する FTDRHL への書き込みが実行されたとき
- 1 を読んだ後、0 を書いたとき (注 2)  
TE = 0 のときは、1 になる条件が優先されます。1 になる条件と 0 になる条件が同時に成立したとき、TDFE フラグは 0 になります。その後、FTDRHL レジスタに格納されたデータ数が TTRG の値以上になると、1PCLKB 後に TDFE フラグは 1 になります。

注 1. FTDRHL レジスタは 16 段の FIFO レジスタであるため、TDFE フラグが 1 のときに書き込み可能な最大のデータ数は "16 - FDR.T[4:0]" で示されます。さらにデータを書き込んでも、そのデータは破棄されます。

注 2. ブロック転送モードでは、DTC による処理中に TDFE ビットをクリアしないでください。

## 25.2.15 スマートカードインタフェースモード用シリアルステータスレジスタ (SSR\_SMCI) (SCMR.SMIF = 1)

アドレス SCI0.SSR\_SMCI 4007 0004h, SCI1.SSR\_SMCI 4007 0024h, SCI9.SSR\_SMCI 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	スマートカードインタフェースモードでは、このビットを0にしてください。	R/W
b1	MPB	マルチプロセッサ	スマートカードインタフェースモードでは、このビットを0にしてください。	R
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W)*
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに受信データなし 1: RDRレジスタに受信データあり	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに送信データあり 1: TDRレジスタに送信データなし	R/(W) (注1)

注1. フラグが1になっていることを確認した（読み出した）後、フラグをクリアするための0の書き込みのみが可能です。

SSR\_SMCI レジスタは、スマートカードインタフェースモード用のステータスフラグの設定レジスタです。

### TEND フラグ (送信終了フラグ)

受信側からエラー信号がなく、次の送信データが TDR レジスタに転送可能となったとき、このビットが1になります。

[1になる条件]

- SCR\_SMCI.TE ビット = 0 (シリアル送信動作を禁止) のとき

SCR\_SMCI.TE ビットを0から1に変更しても、TEND フラグは影響を受けず、1の値を保持します。

- 1バイトのデータを送信してから指定した期間が経過した後、ERS フラグが0で、TDR レジスタが更新されないとき

1になるタイミングは、レジスタの設定により以下のように異なります。

SMR\_SMCI.GM = 0, SMR\_SMCI.BLK = 0 のとき、送信開始から 12.5ETU 経過後

SMR\_SMCI.GM = 0, SMR\_SMCI.BLK = 1 のとき、送信開始から 11.5ETU 経過後

SMR\_SMCI.GM = 1, SMR\_SMCI.BLK = 0 のとき、送信開始から 11.0ETU 経過後

SMR\_SMCI.GM = 1, SMR\_SMCI.BLK = 1 のとき、送信開始から 11.0ETU 経過後

[0になる条件]

- SCR\_SMCI.TE ビットが1の状態、TDR レジスタに送信データを書いたとき
- SCR\_SMCI.TE ビットが1の状態、TDRE = 1 を読んだ後、TDRE に0を書いたとき

### PER フラグ (パリティエラーフラグ)

調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき

パリティエラーが発生したときの受信データは RDR レジスタへ転送されますが、SCI<sub>In</sub>\_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、PER ビットを読んで実際に 0 になっていることを確認してください)

SCR\_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

### ERS フラグ (エラーシグナルステータスフラグ)

[1 になる条件]

- エラーシグナル Low をサンプリングしたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

### ORER フラグ (オーバーランエラーフラグ)

受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーとフレーミングエラーのない受信データを読み出す前に、次のデータを受信したとき

RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、その後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、ORER ビットを読んで実際に 0 になっていることを確認してください)

SCR\_SMCI.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

### RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを転送したとき



**TDRE フラグ (送信データエンプティフラグ)**

TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR\_SMCI.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR\_SMCI.TE ビットが 1 の状態で、TDR レジスタへデータを転送したとき

参考資料

## 25.2.16 スマートカードモードレジスタ (SCMR)

アドレス SCI0.SCMR 4007 0006h, SCI1.SCMR 4007 0026h, SCI9.SCMR 4007 0126h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモード選択	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易IICモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	SINV	送受信データ反転	0: TDRレジスタの内容をそのまま送信。受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信。受信データを反転してRDRレジスタに格納 以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード (マルチプロセッサモード) • クロック同期式モード • 簡易SPIモード 簡易IICモードで動作させる場合は、このビットを0にしてください。	R/W (注1)
b3	SDIR	送受信データ転送方向 (注2)	0: LSBファースト転送 1: MSBファースト転送  以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード (マルチプロセッサモード) • クロック同期式モード • 簡易SPIモード 簡易IICモードで動作させる場合は、このビットを1にしてください。	R/W (注1)
b4	CHR1	キャラクタ長1	調歩同期式モードでのみ有効 (注2) SMR.CHRビットと組み合わせて選択します。 CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注1)
b6-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b7	BCP2	基本クロックパルス2	SMR_SMCI.BCP[1:0]ビットと組み合わせて基本クロック数を選択します。 表 25.4に、SCMR.BCP2ビットとSMR_SMCI.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注 1. SCR/SCR\_SMCI レジスタの TE ビットと RE ビットが 0 (シリアル送信動作および受信動作を禁止) の場合にのみ書き込み可能です。

注 2. 調歩同期式モード以外では、このビットの設定は無効であり、データ長は 8 ビット固定となります。

注 3. LSB ファースト固定となり、送信では TDR レジスタの MSB (b7) は送信されません。

SCMR レジスタは、スマートカードインタフェースと通信フォーマットを選択するためのレジスタです。

**SMIF ビット (スマートカードインタフェースモード選択)**

スマートカードインタフェースモードで動作させるときは、このビットを1にします。

非スマートカードインタフェースモードで動作させるときは、このビットを0にします。すなわち、調歩同期式モード (マルチプロセッサモードを含む)、クロック同期式モード、簡易 SPI モード、または簡易 IIC モードで動作させる場合です。

**SINV ビット (送受信データ反転)**

送受信データのロジックレベルを反転します。このビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR または SMR\_SMCI レジスタの PM ビットを反転してください。

**CHR1 ビット (キャラクタ長 1)**

SMR レジスタの CHR ビットと組み合わせて、送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

**BCP2 ビット (基本クロックパルス 2)**

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。SMR\_SMCI.BCP[1:0] ビットと組み合わせて設定します。

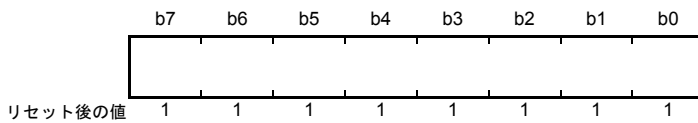
表 25.4 SCMR.BCP2 ビットと SMR\_SMCI.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0] ビット		1 ビット転送期間中の基本クロック数
0	0	0	93 クロック (S = 93) (注1)
0	0	1	128 クロック (S = 128) (注1)
0	1	0	186 クロック (S = 186) (注1)
0	1	1	512 クロック (S = 512) (注1)
1	0	0	32 クロック (S = 32) (注1) (初期値)
1	0	1	64 クロック (S = 64) (注1)
1	1	0	372 クロック (S = 372) (注1)
1	1	1	256 クロック (S = 256) (注1)

注 1. S は BRR レジスタの S の値を表します (25.2.17 ビットレートレジスタ (BRR) を参照してください)。

## 25.2.17 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 4007 0001h, SCI1.BRR 4007 0021h, SCI9.BRR 4007 0121h



BRR レジスタは、ビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を表 25.5 に示します。

BRR レジスタの初期値は FFh です。

BRR レジスタは、CPU からの読み出しは可能ですが、書き込みは SCR/SCR\_SMCI レジスタの TE および RE ビットが 0 の場合にのみ可能です。

表 25.5 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定値			BRR レジスタの設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLKB \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLKB \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLKB \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLKB \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLKB \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 8 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI				$N = \frac{PCLKB \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLKB \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 IIC (注1)				$N = \frac{PCLKB \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B : ビットレート (bps)

N : 内蔵ボーレートジェネレータの BRR の設定値 ( $0 \leq N \leq 255$ )

PCLKB : 動作周波数 (MHz)

n および S : 表 25.6 および表 25.7 に示すように、SMR/SMR\_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. 簡易 IIC モードでは、SCL 出力の High/Low 幅が IIC 規格を満たすように、ビットレートを調整してください。

表 25.6 SCL High/Low幅算出式

モード	SCL	算出式 (結果は秒単位)
IIC	High幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{\text{PCLKB} \times 10^6}$
	Low幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{\text{PCLKB} \times 10^6}$

表 25.7 クロックソースの設定

SMR/SMR_SMCI.CKS[1:0]ビットの設定値	クロックソース	n
CKS[1:0]ビット		
00	PCLKBクロック	0
01	PCLKB/4クロック	1
10	PCLKB/16クロック	2
11	PCLKB/64クロック	3

表 25.8 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定値	SMR_SMCI.BCP[1:0]ビットの設定値	1ビット期間中の基本クロック数	S
BCP2ビット	BCP[1:0]ビット		
0	00	93クロック	93
0	01	128クロック	128
0	10	186クロック	186
0	11	512クロック	512
1	00	32クロック	32
1	01	64クロック	64
1	10	372クロック	372
1	11	256クロック	256

通常の調歩同期式モードにおける、BRRレジスタ値Nの設定例を表25.9と表25.10に示します。各動作周波数において選択可能な最大ビットレートを表25.11に示します。また、スマートカードインタフェースモードにおける、BRRレジスタ値Nの設定例を表25.14に示します。簡易IICモードにおけるBRRレジスタ値Nの設定例を表25.17に示します。

スマートカードインタフェースモードでは、1ビット転送期間の基本クロック数Sを選択できます。詳細は、25.6.4 受信データのサンプリングタイミングと受信マージンを参照してください。また、表25.12と表25.14に、外部クロック入力時の最大ビットレートを示します。

調歩同期式モードにおいて、シリアル拡張モードレジスタ (SEMR) の調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれか一方を1にした場合、ビットレートは表25.16に記載された値の2倍になります。両ビットとも1にした場合、ビットレートは記載値の4倍になります。

表 25.9 各ビットレートに対するBRRの設定例 (調歩同期式モード) (1)

ビット レート (bps)	動作周波数PCLKB (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1,200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2,400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4,800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9,600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19,200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31,250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38,400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLKB (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1,200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2,400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4,800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9,600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19,200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31,250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38,400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 25.10 各ビットレートに対するBRRの設定例 (調歩同期式モード) (2)

ビットレート (bps)	動作周波数PCLKB (MHz)								
	20			25			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13
150	3	64	0.16	3	80	0.47	3	97	-0.35
300	2	129	0.16	2	162	-0.15	2	194	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35
1,200	1	129	0.16	1	162	-0.15	1	194	0.16
2,400	1	64	0.16	1	80	0.47	1	97	-0.35
4,800	0	129	0.16	0	162	-0.15	0	194	0.16
9,600	0	64	0.16	0	80	0.47	0	97	-0.35
19,200	0	32	-1.36	0	40	-0.76	0	48	-0.35
31,250	0	19	0.00	0	24	0.00	0	29	0.00
38,400	0	15	1.73	0	19	1.73	0	23	1.73

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 25.11 各動作周波数における最大ビットレート (調歩同期式モード) (1/2)

PCLKB (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)	PCLKB (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250,000	17.2032	0	0	0	0	0	537,600
		1	0	0	0	500,000			1	0	0	0	1,075,200
	1	0	0	0	0	1,000,000		1	0	0	0	0	2,150,400
		1	0	0	0	1,333,333			1	0	0	0	2,867,200
9.8304	0	0	0	0	0	307,200	18	0	0	0	0	0	562,500
		1	0	0	0	614,400			1	0	0	0	1,125,000
	1	0	0	0	0	1,228,800		1	0	0	0	0	2,250,000
		1	0	0	0	1,638,400			1	0	0	0	3,000,000
10	0	0	0	0	0	312,500	19.6608	0	0	0	0	0	614,400
		1	0	0	0	625,000			1	0	0	0	1,228,800
	1	0	0	0	0	1,250,000		1	0	0	0	0	2,457,600
		1	0	0	0	1,666,666			1	0	0	0	3,276,800
12	0	0	0	0	0	375,000	20	0	0	0	0	0	625,000
		1	0	0	0	750,000			1	0	0	0	1,250,000
	1	0	0	0	0	1,500,000		1	0	0	0	0	2,500,000
		1	0	0	0	2,000,000			1	0	0	0	3,333,333
Don't care	Don't care	1	0	0	0	2,000,000	Don't care	Don't care	1	0	0	0	3,333,333

表 25.11 各動作周波数における最大ビットレート (調歩同期式モード) (2/2)

PCLKB (MHz)	SEMRレジスタの設定値					最大ビットレート (bps)	PCLKB (MHz)	SEMRレジスタの設定値					最大ビットレート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
12.288	0	0	0	0	0	384,000	25	0	0	0	0	0	781,250
		1	0	0	0	768,000			1	0	0	0	1,562,500
	1	0	0	0	0	1,536,000		1	0	0	0	0	3,125,000
		1	0	0	0				0	0	0	0	
Don't care	Don't care	1	0	0	2,048,000	Don't care	Don't care	1	0	0	4,166,666		
14	0	0	0	0	0	437,500	30	0	0	0	0	0	937,500
		1	0	0	0	875,000			1	0	0	0	1,875,000
	1	0	0	0	0	1,750,000		1	0	0	0	0	3,750,000
		1	0	0	0				0	0	0		
Don't care	Don't care	1	0	0	2,333,333	Don't care	Don't care	1	0	0	5,000,000		
16	0	0	0	0	0	500,000							
		1	0	0	0	1,000,000							
	1	0	0	0	0	2,000,000							
		1	0	0	0				0				
Don't care	Don't care	1	0	0	2,666,666								

表 25.12 外部クロック入力時の最大ビットレート (調歩同期式モード)

PCLKB (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCSビット = 0	SEMR.ABCSビット = 1
8	2.0000	125,000	250,000
9.8304	2.4576	153,600	307,200
10	2.5000	156,250	312,500
12	3.0000	187,500	375,000
12.288	3.0720	192,000	384,000
14	3.5000	218,750	437,500
16	4.0000	250,000	500,000
17.2032	4.3008	268,800	537,600
18	4.5000	281,250	562,500
19.6608	4.9152	307,200	614,400
20	5.0000	312,500	625,000
25	6.2500	390,625	781,250
30	7.5000	468,750	937,500



表 25.13 各ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLKB (MHz)											
	8		10		16		20		25		30	
	n	N	n	N	n	N	n	N	n	N	n	N
110												
250	3	124	—	—	3	249						
500	2	249	—	—	3	124	—	—			3	233
1k	2	124	—	—	2	249	—	—	3	97	3	116
2.5k	1	199	1	249	2	99	2	124	2	155	2	187
5k	1	99	1	124	1	199	1	249	2	77	2	93
10k	0	199	0	249	1	99	1	124	1	155	1	187
25k	0	79	0	99	0	159	0	199	0	249	1	74
50k	0	39	0	49	0	79	0	99	0	124	0	149
100k	0	19	0	24	0	39	0	49	0	62	0	74
250k	0	7	0	9	0	15	0	19	0	24	0	29
500k	0	3	0	4	0	7	0	9	—	—	0	14
1M	0	1			0	3	0	4	—	—	—	—
2.5M			0	0 (注1)			0	1	—	—	0	2
5M							0	0 (注1)	—	—	—	—
7.5M											0	0 (注1)

空欄：設定禁止

—：設定可能ですが誤差が生じます。

注 1. 連続送受信はできません。1フレームの送受信後、次のフレームの送受信を開始するまでに1ビット期間の間隔が空きます。すなわち、同期クロックの出力が1ビット期間停止します。そのため、1フレーム(8ビット)のデータ転送に9ビット分の時間がかかり、平均転送レートはビットレートの8/9倍になります。

表 25.14 外部クロック入力時の最大ビットレート (クロック同期式モード、簡易SPIモード)

PCLKB (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333333
10	1.6667	1.6666667
12	2.0000	2.0000000
14	2.3333	2.3333333
16	2.6667	2.6666667
18	3.0000	3.0000000
20	3.3333	3.3333333
25	4.1667	4.1666667
30	5.0000	5.0000000

表 25.15 各ビットレートに対するBRRの設定例  
(スマートカードインタフェースモード、n = 0、S = 372の場合)

ビットレート (bps)	動作周波数PCLKB (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9,600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bps)	動作周波数PCLKB (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9,600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.66

ビットレート (bps)	動作周波数PCLKB (MHz)					
	25.00			30.00		
	n	N	誤差 (%)	n	N	誤差 (%)
9,600	0	3	12.49	0	3	5.01

表 25.16 各動作周波数における最大ビットレート (スマートカードインタフェースモード、S = 32の場合)

PCLKB (MHz)	最大ビットレート (bps)	n	N
10.00	156,250	0	0
10.7136	167,400	0	0
13.00	203,125	0	0
16.00	250,000	0	0
18.00	281,250	0	0
20.00	312,500	0	0
25.00	390,625	0	0
30.00	468,750	0	0

表 25.17 各ビットレートに対するBRRの設定例 (簡易IICモード)

ビットレート (bps)	動作周波数PCLKB (MHz)								
	8			10			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8
25k	0	9	0.0	0	12	-3.8	1	4	0.0
50k	0	4	0.0	0	6	-10.7	1	2	-16.7
100k	0	2	-16.7	0	3	-21.9	0	4	0.0
250k	0	0	0.0	0	1	-37.5	0	1	0.0
350k	—	—	—	—	—	—	—	—	—
400k	—	—	—	—	—	—	—	—	—

ビットレート (bps)	動作周波数PCLKB (MHz)								
	20			25			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	15	-2.3	1	19	-2.3	1	23	-2.3
25k	1	6	-10.7	1	7	-2.3	1	9	-6.3
50k	1	3	-21.9	1	3	-2.3	1	4	-6.3
100k	0	6	-10.7	1	1	-2.3	1	2	-21.9
250k	0	2	-16.7	0	3	-21.9	0	3	-6.3
350k	0	1	-10.7	0	2	-25.6	0	2	-10.7
400k	0	1	-21.9	0	1	-2.3	0	1	17.2

表 25.18 各ビットレート設定でのSCL High/Low幅最小値 (簡易IICモード)

ビットレート (bps)	動作周波数PCLKB (MHz)								
	8			10			16		
	n	N	SCL High/Low幅 最小値 (μs)	n	N	SCL High/Low幅 最小値 (μs)	n	N	SCL High/Low幅 最小値 (μs)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.5/52.00
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00
350k	—	—	—	—	—	—	—	—	—
400k	—	—	—	—	—	—	—	—	—

ビットレート (bps)	動作周波数PCLKB (MHz)								
	20			25			30		
	n	N	SCL High/Low幅 最小値 (μs)	n	N	SCL High/Low幅 最小値 (μs)	n	N	SCL High/Low幅 最小値 (μs)
10k	1	15	44.80/51.20	1	19	44.80/51.20	1	23	44.80/51.20
25k	1	6	19.60/22.40	1	7	17.92/20.48	1	9	18.66/21.33
50k	1	3	11.20/12.80	1	3	8.96/10.24	1	4	9.33/10.66
100k	0	6	4.90/5.60	1	1	4.48/5.12	1	2	5.60/6.40
250k	0	2	2.10/2.40	0	3	2.24/2.56	0	3	1.86/2.13
350k	0	1	1.40/1.60	0	2	1.68/1.92	0	2	1.40/1.60
400k	0	1	1.40/1.60	0	1	1.12/1.28	0	1	0.93/1.07

## 25.2.18 モジュレーションデューティレジスタ (MDDR)

アドレス SCI0.MDDR 4007 0012h, SCI1.MDDR 4007 0032h, SCI9.MDDR 4007 0132h



MDDR レジスタは、BRR レジスタにより調整されたビットレートを補正するためのレジスタです。

SEMR.BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR レジスタの設定に応じて均一に補正されます (M/256)。MDDR レジスタの設定値 M とビットレート B の関係を表 25.19 に示します。

MDDR レジスタの初期値は FFh です。b7 は 1 に固定されています。

MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR\_SMCI レジスタの TE ビットと RE ビットが 0 の場合にのみ可能です。

表 25.19 ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係

モード	SEMR レジスタの設定値			BRR レジスタの設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLKB \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLKB \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLKB \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLKB \times 10^6}{12 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 12 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLKB \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 8 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI (注1)				$N = \frac{PCLKB \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLKB \times 10^6}{S \times 2^{2n+1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times S \times 2^{2n+1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
簡易 IIC (注2)				$N = \frac{PCLKB \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	

B : ビットレート (bps)

M : MDDR レジスタの設定値 ( $128 \leq MDDR \leq 256$ )

N : ボーレートジェネレータの BRR の設定値 ( $0 \leq N \leq 255$ )

PCLKB : 動作周波数 (MHz)

n および S : ビットレートレジスタ (BRR) の表 25.8 と表 25.9 に示すように、SMR/SMR\_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. クロック同期モードと、簡易 SPI モードの最高速設定 (SMR.CKS[1:0] ビット = 00b, SCR.CKE[1] ビット = 0、および BRR = 0) では、この機能を使用しないでください。

注 2. 簡易 IIC モードでは、SCL 出力の High/Low 幅が IIC 規格を満たすように、ビットレートを調整してください。

通常の調歩同期式モードにおける BRR レジスタ値 N と MDDR レジスタ値 M の設定例を表 25.20 と表 25.21 に示します。

表 25.20 各ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (1)

ビット レート (bps)	動作周波数 PCLKB (MHz)														
	8					9.8304					16				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38,400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57,600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115,200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230,400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460,800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

ビット レート (bps)	動作周波数 PCLKB (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38,400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57,600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115,200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230,400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460,800	0	0	157	1	-0.18	0	0	154	1	-0.26	0	0	135	1	0.14

ビット レート (bps)	動作周波数 PCLKB (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38,400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57,600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115,200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230,400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460,800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。SEMR.BRME = 0 (M = 256) の場合、ビットレートモジュレーション機能は無効になります。

表 25.21 各ビットレートに対するBRRとMDDRの設定例 (調歩同期式モード) (2)

ビット レート (bps)	動作周波数PCLKB (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38,400	0	15	(256) (注1)	0	0.00	0	10	173	0	-0.01	0	11	151	0	0.00
57,600	0	9	240	0	0.00	0	9	236	0	0.03	0	7	151	0	0.00
115,200	0	4	240	0	0.00	0	4	236	0	0.03	0	3	151	0	0.00
230,400	0	1	192	0	0.00	0	4	236	1	0.03	0	1	151	0	0.00
460,800	0	0	192	0	0.00	0	0	189	0	0.14	0	0	151	0	0.00

ビット レート (bps)	動作周波数PCLKB (MHz)				
	30				
	n	N	M	BGDM ビット	誤差 (%)
38,400	0	36	194	1	0.01
57,600	0	10	173	0	-0.01
115,200	0	10	173	1	-0.01
230,400	0	6	220	1	-0.09
460,800	0	3	252	1	0.14

注 1. この例は、SEMRレジスタのABCSビットとABCSEビットが0の場合を示しています。SEMR.BRME = 0 (M = 256) の場合、ビットレートモジュレーション機能は無効になります。

## 25.2.19 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 4007 0007h, SCI1.SEMR 4007 0027h, SCI9.SEMR 4007 0127h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	BRME	ビットレートモジュレーション有効	0: ビットレートモジュレーション機能は無効 1: ビットレートモジュレーション機能は有効	R/W (注1)
b3	ABCSE	調歩同期拡張基本クロック選択1	調歩同期式モードにおいて、SCR.CKE[1]=0の場合にのみ有効 0: 1ビット期間のクロック数はSEMRレジスタのBGDMとABCSの組み合わせにより決定 1: ポーレートは1ビット期間に対して基本クロックの6クロック	R/W (注1)
b4	ABCS	調歩同期基本クロック選択	調歩同期式モードでのみ有効 0: 基本クロックの16クロックを1ビット期間として選択 1: 基本クロックの8クロックを1ビット期間として選択	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能有効	0: RXDn入力信号のノイズ除去機能は無効 1: RXDn入力信号のノイズ除去機能は有効  簡易IICモードの場合: 0: SCLnおよびSDAn入力信号のノイズ除去機能は無効 1: SCLnおよびSDAn入力信号のノイズ除去機能は有効 上記以外のモードでは、NFENビットを0にしてください。	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モード選択	調歩同期式モードにおいて、SCR.CKE[1]=0の場合にのみ有効 0: ポーレートジェネレータから通常の周波数のクロックを出力 1: ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出選択	調歩同期式モードでのみ有効 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

注1. SCR/SCR\_SMCI レジスタのTEビットとREビットが0（シリアル送信動作および受信動作を禁止）の場合にのみ書き込み可能です。

SEMR レジスタは、調歩同期式モード時の1ビット期間のクロックを選択するためのレジスタです。

**BRME ビット (ビットレートモジュレーション有効)**

ビットレートモジュレーション機能を有効または無効にします。有効にすると、内蔵ポーレートジェネレータにより生成されるビットレートを均一に補正します。

**ABCSE ビット (調歩同期拡張基本クロック選択1)**

1ビット期間における基本クロックのパルス数は6であり、ポーレートジェネレータから2倍の周波数のクロックが出力されます。バスクロック周波数を分周しているときにビットレートを6にする場合、このビットを使用し、かつSMR.CKS[1:0]=00b、BRR=0に設定してください。

**ABCS ビット (調歩同期基本クロック選択)**

1ビット期間の基本クロック数を選択します。

**NFEN ビット (デジタルノイズフィルタ機能有効)**

デジタルノイズフィルタ機能を有効または無効にします。

有効にすると、調歩同期式モードの場合は RXDn 入力信号のノイズを除去し、簡易 IIC モードの場合は SDA<sub>n</sub> および SCL<sub>n</sub> 入力信号のノイズを除去します。

これ以外のモードでは、NFEN ビットを 0 にして、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、受信した信号がそのまま内部信号として転送されます。

**BGDM ビット (ボーレートジェネレータ倍速モード選択)**

ボーレートジェネレータの出力クロック周期を選択します。

このビットは、調歩同期式モード (SMR.CM ビット=0) において、クロックソースに内蔵ボーレートジェネレータを選択 (SCR.CKE[1] ビット=0) したとき有効です。内蔵ボーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

このビットは、調歩同期式モード以外では 0 にしてください。

**RXDESEL ビット (調歩同期スタートビットエッジ検出選択)**

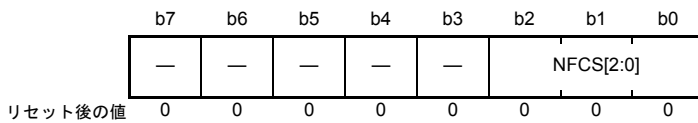
調歩同期式モードで受信する場合のスタートビットの検出方法を選択します。このビットの設定により、ブレイク時の受信動作が異なります。ブレイク中に受信動作を停止させたい場合、または、ブレイク終了後に RXD<sub>n</sub> 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始したい場合、このビットを 1 にしてください。

このビットは、調歩同期式モード以外では 0 にしてください。



## 25.2.20 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 4007 0008h, SCI1.SNFR 4007 0028h, SCI9.SNFR 4007 0128h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロック 選択	調歩同期式モード時、基本クロックの標準設定は下記の通りです。  b2 b0 0 0 0 : 1分周のクロック信号をノイズフィルタに使用  簡易IICモード時、SMR.CKS[1:0]ビットで選択した内蔵ポーレート ジェネレータのクロックソースの標準設定は下記の通りです。  b2 b0 0 0 1 : 1分周のクロック信号をノイズフィルタに使用 0 1 0 : 2分周のクロック信号をノイズフィルタに使用 0 1 1 : 4分周のクロック信号をノイズフィルタに使用 1 0 0 : 8分周のクロック信号をノイズフィルタに使用 上記以外は設定しないでください。	R/W (注1)
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SCR/SCR\_SMCI レジスタのTEビットとREビットが0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

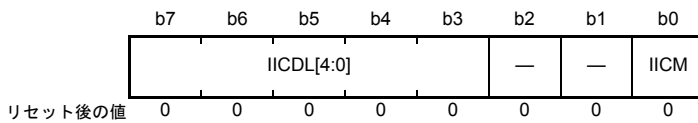
SNFR レジスタは、デジタルノイズフィルタのクロックを設定するためのレジスタです。

**NFCS[2:0] ビット (ノイズフィルタクロック選択)**

デジタルノイズフィルタのサンプリングクロックを選択します。調歩同期式モードでノイズフィルタを使用する場合、これらのビットを000bにしてください。簡易IICモードでは、これらのビットを001b～100bの範囲で設定してください。

25.2.21 I<sup>2</sup>C モードレジスタ 1 (SIMR1)

アドレス SCI0.SIMR1 4007 0009h, SCI1.SIMR1 4007 0029h, SCI9.SIMR1 4007 0129h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易IICモード選択	SMIF IICM 0 0: 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード 0 1: 簡易IICモード 1 0: スマートカードインタフェースモード 1 1: 設定禁止	R/W (注1)
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b3	IICDL[4:0]	SDA遅延出力選択	下記のサイクル数は、内蔵ポーレートジェネレータからのクロック信号のサイクル数です。 b7 b3 00000: 出力遅延なし 00001: 0~1サイクル 00010: 1~2サイクル 00011: 2~3サイクル 00100: 3~4サイクル 00101: 4~5サイクル 11110: 29~30サイクル 11111: 30~31サイクル	R/W (注1)

注1. SCR.RE ビットと SCR.TE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SIMR1 レジスタは、簡易 IIC モードと、SDAn 出力の遅延段数を選択するためのレジスタです。

**IICM ビット (簡易 IIC モード選択)**

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

**IICDL[4:0] ビット (SDA 遅延出力選択)**

SCLn 端子出力の立ち下がりに対する SDAn 端子出力の遅延を設定します。

内蔵ポーレートジェネレータからのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲で設定が可能です。PCLKB を SMR.CKS[1:0] ビットの設定により分周することで得られた信号が、内蔵ポーレートジェネレータのクロック信号として供給されます。簡易 IIC モード以外では、これらのビットを 00000b にしてください。簡易 IIC モードでは、これらのビットを 00001b ~ 11111b の範囲で設定してください。

25.2.22 I<sup>2</sup>C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 4007 000Ah, SCI1.SIMR2 4007 002Ah, SCI9.SIMR2 4007 012Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	IICACK T	—	—	—	IICCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	IIC 割り込みモード選択	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化	0 : クロック信号と同期しない 1 : クロック信号と同期する	R/W (注1)
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	IICACKT	ACK 送信データ	0 : ACK 送信 1 : NACK 送信または ACK/NACK 受信	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル送信およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SIMR2 レジスタは、簡易 IIC モードでの送受信の制御方法を選択するためのレジスタです。

**IICINTM ビット (IIC 割り込みモード選択)**

簡易 IIC モードでの割り込み要求の要因を選択します。

**IICCSC ビット (クロック同期化)**

SCLn 端子を Low にしたとき (たとえば、他のデバイスがウェイトを挿入したとき)、内部で生成する SCL クロックを同期化する場合は、IICCSC ビットを 1 にします。

IICCSC ビットを 0 にすると、SCL クロック信号の同期化を行いません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCL クロック信号を生成します。

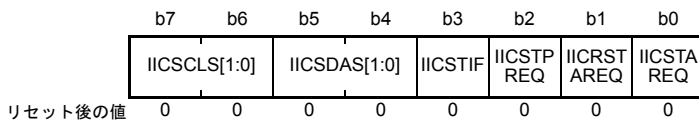
デバッグ時を除いて、IICCSC ビットは 1 にしてください。

**IICACKT ビット (ACK 送信データ)**

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は、このビットを 1 にしてください。

25.2.23 I<sup>2</sup>C モードレジスタ 3 (SIMR3)

アドレス SCI0.SIMR3 4007 000Bh, SCI1.SIMR3 4007 002Bh, SCI9.SIMR3 4007 012Bh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成	0: 開始条件を生成しない 1: 開始条件を生成する (注1), (注3), (注5), (注6)	R/W
b1	IICRSTAREQ	再開条件生成	0: 再開条件を生成しない 1: 再開条件を生成する (注2), (注3), (注5), (注6)	R/W
b2	IICSTPREQ	停止条件生成	0: 停止条件を生成しない 1: 停止条件を生成する (注2), (注3), (注5), (注6)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0: 各条件生成要求がない状態、または生成中の状態 1: 各条件生成が完了した状態 IICSTIFビットに0を書くと、0にクリアされます (注4)	R/W (注4)
b5-b4	IICSDAS[1:0]	SDA出力選択	b5 b4 0 0: シリアルデータ出力 0 1: 開始条件、再開条件、停止条件の生成 1 0: SDA <sub>n</sub> 端子はLowを出力 1 1: SDA <sub>n</sub> 端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SCL出力選択	b7 b6 0 0: シリアルクロック出力 0 1: 開始条件、再開条件、停止条件の生成 1 0: SCL <sub>n</sub> 端子はLowを出力 1 1: SCL <sub>n</sub> 端子はハイインピーダンス状態	R/W

- 注1. バスの状態を確認し、バスフリー状態のときにのみ開始条件を生成してください。  
 注2. バスの状態を確認し、バスビジー状態のときに再開条件または停止条件を生成してください。  
 注3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2つ以上を1にしないでください。  
 注4. 0のみを書いてください。1を書くと、その値は無視されます。  
 注5. IICSTIF フラグを0にしてから、各条件生成を行ってください。  
 注6. 1の状態にあるとき、0を書かないでください。このビットが1の状態にあるとき0を書くと、条件生成が中断します。

**IICSTAREQ ビット (開始条件生成)**

開始条件の生成を行うときは、IICSTAREQ ビットを1にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1を書いたとき

[0 になる条件]

- 開始条件の生成が完了したとき

**IICRSTAREQ ビット (再開条件生成)**

再開条件の生成を行うときは、IICRSTAREQ ビットを1にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1を書いたとき

[0 になる条件]

- 再開条件の生成が完了したとき

**IICSTPREQ ビット (停止条件生成)**

停止条件の生成を行うときは、IICSTPREQ ビットを 1 にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 停止条件の生成が完了したとき

**IICSTIF フラグ (開始/再開/停止条件生成完了フラグ)**

各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STI 要求が出力されます。

[1 になる条件]

- 開始/再開/停止の各条件の生成が完了したとき(ただし 0 になる条件と競合した場合は 0 になる条件が優先されます)

[0 になる条件]

- 0 を書いたとき (IICSTIF フラグが 0 であることを確認してから書いてください)
- SIMR1.IICM ビットに 0 を書いたとき (簡易 IIC モード以外の場合)
- SCR.TE ビットに 0 を書いたとき

**IICSDAS[1:0] ビット (SDA 出力選択)**

SDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

**IICSCLS[1:0] ビット (SCL 出力選択)**

SCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

25.2.24 I<sup>2</sup>C ステータスレジスタ (SISR)

アドレス SCI0.SISR 4007 000Ch, SCI1.SISR 4007 002Ch, SCI9.SISR 4007 012Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACK R
リセット後の値	0	0	x	x	0	x	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	—	予約ビット	読むと不定値が読めます。	R
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	—	予約ビット	読むと不定値が読めます。	R
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. フラグをクリアするための0の書き込みのみ可能です。

SISR レジスタは、簡易 IIC モードにおける状態をモニタするためのレジスタです。

**IICACKR フラグ (ACK 受信データフラグ)**

このビットから、受信された ACK/NACK ビットを読み出すことができます。IICACKR フラグは、ACK/NACK を受信するビットの SCL クロックの立ち上がりのタイミングで更新されます。

## 25.2.25 SPI モードレジスタ (SPMR)

アドレス SCI0.SPMR 4007 000Dh, SCI1.SPMR 4007 002Dh, SCI9.SPMR 4007 012Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn 端子機能有効	0 : SSn 端子機能は無効 1 : SSn 端子機能は有効	R/W (注1)
b1	CTSE	CTS 有効	0 : CTS 機能は無効 (RTS 出力機能は有効) 1 : CTS 機能は有効	R/W (注1)
b2	MSS	マスタスレーブ選択	0 : TXDn 端子は送信、RXDn 端子は受信 (マスタモード) 1 : TXDn 端子は受信、RXDn 端子は送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MFF	モードフォルトフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CKPOL	クロック極性選択	0 : クロック極性反転なし 1 : クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相選択	0 : クロック遅れなし 1 : クロック遅れあり	R/W (注1)

注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. フラグをクリアするための0の書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

**SSE ビット (SSn 端子機能有効)**

SSn 端子を用いて送受信制御を行う場合 (簡易 SPI モード)、このビットを1にしてください。それ以外の通信モードでは0にしてください。なお、簡易 SPI モードで、マスタモード (SCR.CKE[1:0] ビット = 00b、MSS ビット = 0) を選択し、かつシングルマスタで使用する場合、マスタ側の SSn 端子を用いた送受信制御は不要です。そのため、SSE ビットを0にします。SSE ビットと CTSE ビットの両方を有効にしないでください (両方を有効にした場合、両ビットを0にしたときと同じ動作になります)。

**CTSE ビット (CTS 有効)**

SSn 端子を CTS 制御信号入力として用いて送受信制御を行う場合、このビットを1にしてください。このビットを0にした場合は RTS 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードでは、このビットを0にしてください。CTSE ビットと SSE ビットの両方を有効にしないでください (両方を有効にした場合、両ビットを0にしたときと同じ動作になります)。

**MSS ビット (マスタスレーブ選択)**

簡易 SPI モード時のマスタ動作またはスレーブ動作を選択します。MSS ビットを1にすると、TXDn 端子と RXDn 端子の機能が逆になり、データは TXDn 端子を介して受信され、RXDn 端子を介して送信されません。簡易 SPI モード以外では0にしてください。

**MFF フラグ (モードフォルトフラグ)**

モードフォルトエラーが発生したことを示します。

マルチマスタ構成では、MFF フラグを読み出すことでモードフォルトエラーの発生を判定できます。

[1 になる条件]

- 簡易 SPI モードでマスタモード (SSE ビット = 1 かつ MSS ビット = 0) の場合に、SSn 端子入力が Low になったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

**CKPOL ビット (クロック極性選択)**

SCKn 端子からのクロック信号出力の極性を選択します。詳細は [図 25.69](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 0 としてください。

**CKPH ビット (クロック位相選択)**

SCKn 端子からのクロック信号出力の位相を選択します。詳細は [図 25.69](#) を参照してください。

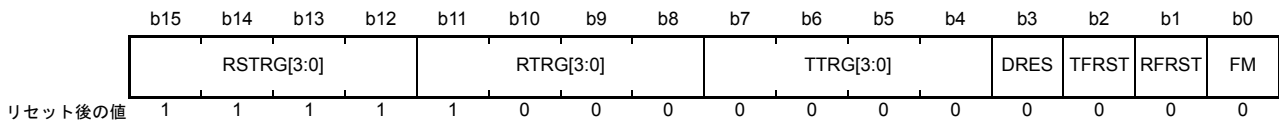
簡易 SPI モードおよびクロック同期式モード以外では 0 としてください。

参考資料



## 25.2.26 FIFO コントロールレジスタ (FCR)

アドレス SCI0.FCR 4007 0014h



ビット	シンボル	ビット名	機能	R/W
b0	FM	FIFOモード選択	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードでのみ有効 0：非FIFOモード 通信にはTDR/RDRまたはTDRHL/RDRHLレジスタが選択されます。 1：FIFOモード 通信にはFTDRHL/FRDRHLレジスタが選択されます。	R/W (注1)
b1	RFRST	レシーブFIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効 0：FRDRHLレジスタをリセットしない 1：FRDRHLレジスタをリセットする	R/W
b2	TFRST	トランスミットFIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効 0：FTDRHLレジスタをリセットしない 1：FTDRHLレジスタをリセットする	R/W
b3	DRES	受信データレディエラー選択	受信データレディ検出時の割り込み要求を選択 0：受信データフル割り込み (SCIn_RXI) 1：受信エラー割り込み (SCIn_ERI)	R/W
b7-b4	TTRG[3:0]	トランスミットFIFOデータトリガ数	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードでのみ有効 0000：トリガ数0 1111：トリガ数15	R/W
b11-b8	RTRG[3:0]	レシーブFIFOデータトリガ数	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードでのみ有効 0000：トリガ数0 1111：トリガ数15	R/W
b15-b12	RSTRG[3:0]	RTS出力アクティブトリガ数選択	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FCR.FM = 1、SPMR.CTSE = 0、およびSPMR.SSE = 0の場合にのみ有効 0000：トリガ数0 1111：トリガ数15	R/W

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

FCRレジスタは、FIFOモードの選択、FTDRHL/FRDRHLレジスタのリセット、送受信のFIFOデータトリガ数、およびRTS出力アクティブトリガ数を設定するためのレジスタです。

**FMビット (FIFOモード選択)**

FMビットを1にすると、通信にはFTDRHLとFRDRHLが選択されます。FMビットを0にすると、通信にはTDRとRDRが選択されます。

**RFRSTビット (レシーブFIFOデータレジスタリセット)**

RFRSTビットを1にすると、FRDRHLレジスタがリセットされ、受信データ数は0にリセットされます。

1を書いた後、1PCLKB経過後、このビットは0にクリアされます。

**TFRSTビット (トランスミットFIFOデータレジスタリセット)**

TFRSTビットを1にすると、FTDRHLレジスタがリセットされ、送信データ数は0にリセットされます。1を書いた後、1PCLKB経過後、このビットは0にクリアされます。

**TTRG[3:0] ビット (トランスミット FIFO データトリガ数)**

トランスミット FIFO データレジスタ (FTDRHL) 内の送信データ数が指定された送信トリガ数以下の場合、TDFE フラグが 1 になり、ソフトウェアによる FTDRHL レジスタへのデータ書き込みが可能になります。SCR.TIE = 1 であれば、SCIn\_TXI 割り込み要求が発生しています。

**RTRG[3:0] ビット (レシーブ FIFO データトリガ数)**

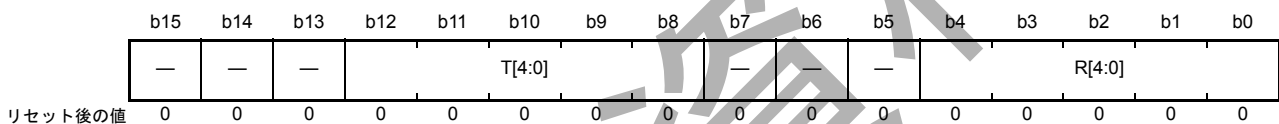
レシーブ FIFO データレジスタ (FRDRHL) 内の受信データ数が指定された受信トリガ数以上の場合、RDF フラグが 1 になり、ソフトウェアによる FRDRHL レジスタからのデータ読み出しが可能になります。SCR.RIE = 1 であれば、SCIn\_RXI 割り込み要求が発生しています。RTRG が 0 の場合は、レシーブ FIFO 内のデータ数が 0 であっても、RDF フラグはセットされません。また、SCIn\_RXI 割り込みは発生しません。

**RSTRG[3:0] ビット (RTS 出力アクティブトリガ数選択)**

レシーブ FIFO データレジスタ (FRDRHL) に格納された受信データ数が指定された受信トリガ数以上の場合、RTS 信号は High 状態です。RTRG が 0 の場合は、レシーブ FIFO 内のデータ数が 0 であっても、RTS 信号は High 状態ではありません。

**25.2.27 FIFO データ数レジスタ (FDR)**

アドレス SCI0.FDR 4007 0016h



ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	レシーブ FIFO データ数	調歩同期式モード (マルチプロセッサを含む) またはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効 FRDRHL レジスタに格納された受信データ数を示します。	R
b7-b5	—	予約ビット	読むと 0 が読めます。	R
b12-b8	T[4:0]	トランスミット FIFO データ数	調歩同期式モード (マルチプロセッサを含む) またはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効 FTDRHL レジスタに格納された未送信データ数を示します。	R
b15-b13	—	予約ビット	読むと 0 が読めます。	R

このレジスタは、FRDRHL/FTDRHL レジスタに格納されたデータ数を示します。

**R[4:0] ビット (レシーブ FIFO データ数)**

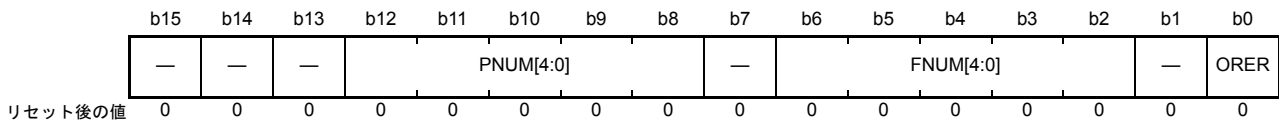
FRDRHL レジスタに格納された受信データ数を示します。値 00h は受信データがないことを意味します。また、値 10h は最大数の受信データが FRDRHL レジスタに格納されていることを意味します。

**T[4:0] ビット (トランスミット FIFO データ数)**

FTDRHL レジスタに格納された未送信データ数を示します。値 00h は送信データがないことを意味します。また、値 10h は全送信データ (最大数) が FTDRHL レジスタに格納されていることを意味します。

## 25.2.28 ラインステータスレジスタ (LSR)

アドレス SCI0.LSR 4007 0018h



ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバーランエラーフラグ	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO選択時にのみ有効 0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R (注1)
b1	—	予約ビット	読むと0が読めます。	R
b6-b2	FNUM[4:0]	フレーミングエラー数	レシーブFIFOデータレジスタ（FRDRHL）に格納された受信データの中でフレーミングエラーを含むデータ数を示します。	R
b7	—	予約ビット	読むと0が読めます。	R
b12-b8	PNUM[4:0]	パリティエラー数	レシーブFIFOデータレジスタ（FRDRHL）に格納された受信データの中でパリティエラーを含むデータ数を示します。	R
b15-b13	—	予約ビット	読むと0が読めます。	R

注1. 本フラグを読み出しても、SSR\_FIFOレジスタの対応するフラグを読み出したことにはなりません。1を読んだ場合は、SSR\_FIFO.ORERに0を書いてクリアしてください。

LSRレジスタは、受信エラーのステータスを示すためのレジスタです。

**ORER ビット (オーバーランエラーフラグ)**

SSR\_FIFO.ORER ビットの値を反映します。

**FNUM[4:0] ビット (フレーミングエラー数)**

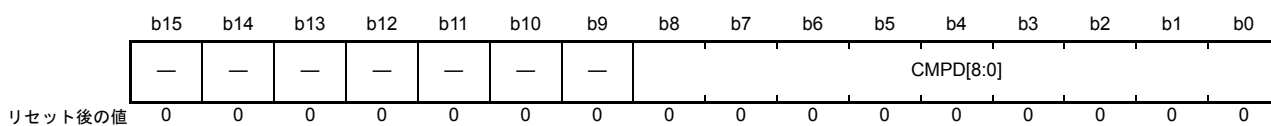
FRDRHLレジスタに格納されたフレーミングエラーを含むデータ数を示します。

**PNUM[4:0] ビット (パリティエラー数)**

FRDRHLレジスタに格納されたパリティエラーを含むデータ数を示します。

## 25.2.29 コンペアマッチデータレジスタ (CDR)

アドレス SCI0.CDR 4007 001Ch, SCI1.CDR 4007 003Ah, SCI9.CDR 4007 013Ah



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	コンペアマッチデータ	アドレス一致ウェイクアップ機能用の比較データパターン	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CDR レジスタは、アドレス一致検出機能を設定するためのレジスタです。

**CMPD[8:0] ビット (コンペアマッチデータ)**

アドレス一致検出機能が有効 (DCCR.DCME = 1) のとき、受信データに対する比較データを設定します。

以下の3種類のビット長から選択できます。

- 7ビット長の MPD[6:0]
- 8ビット長の CMPD[7:0]
- 9ビット長の CMPD[8:0]

## 25.2.30 データコンペアマッチコントロールレジスタ (DCCR)

アドレス SCI0.DCCR4007 0013h, SCI1.DCCR4007 0033h, SCI9.DCCR 4007 0133h

	b7	b6	b5	b4	b3	b2	b1	b0
	DCME	IDSEL	—	DFER	DPER	—	—	DCMF
リセット後の値	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCMF	データコンペアマッチフラグ	0: 不一致 1: 一致	R/(W) (注1)
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	DPER	データコンペアマッチパリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	DFER	データコンペアマッチフレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	IDSEL	IDフレーム選択	調歩同期式モード (マルチプロセッサを含む) でのみ有効 0: MPB ビットの値とは無関係に、常にデータを比較する 1: MPB ビットが1 (IDフレーム) のデータのみを比較する	R/W
b7	DCME	データコンペアマッチ有効	調歩同期式モード (マルチプロセッサを含む) でのみ有効 0: アドレス一致検出機能は無効 1: アドレス一致検出機能は有効	R/W

注1. フラグが1になっていることを確認した後、フラグをクリアするために0の書き込みのみが可能です。

DCCR レジスタは、アドレス一致検出機能を制御するためのレジスタです。

**DCMF フラグ (データコンペアマッチフラグ)**

SCI によって受信データと比較データ (CDR.CMPD) の一致が検出されたことを示します。

[1 になる条件]

- DCCR.DCME = 1 の状態で、受信データが比較データ (CDR.CMPD) と一致したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

シリアルコントロールレジスタ (SCR) の RE ビットを 0 にしても、DCMF フラグは影響を受けず、以前の状態を保持します。

**DPER フラグ (データコンペアマッチパリティエラーフラグ)**

アドレス一致検出 (受信データの一致検出) 時に、パリティエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、DPER フラグは影響を受けず、以前の値を保持します。

### DFER フラグ (データコンペアマッチフレーミングエラーフラグ)

アドレス一致検出 (受信データの一致検出) 時に、フレーミングエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームのストップビットが 0 のとき
- 2 ストップモードの場合、ストップビットの 1 ビット目のみが 1 であるかチェックされます (2 ビット目はチェックされません)。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、DFER フラグは影響を受けず、以前の値を保持します。

### IDSEL ビット (ID フレーム選択)

アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または MPB ビット = 1 (ID フレーム) の場合にのみ比較を行うかを選択します。同時に、アドレス一致検出機能の選択タイミングを設定します。

### DCME ビット (データコンペアマッチ有効)

アドレス一致検出機能 (データコンペアマッチ機能) を使用するか否かを選択します。

SCI によって受信データと比較データ (CDR.CMPD) の一致が検出された場合、DCME は自動的にクリアされ、その後、SCI の動作モードは通常の受信モードになります。[25.3.6 アドレス一致 \(受信データ一致\) 検出機能](#)を参照してください。

調歩同期式モード以外では、書き込み値は 0 にしてください。

## 25.2.31 シリアルポートレジスタ (SPTR)

アドレス SCI0.SPTR 4007 001Ch, SCI1.SPTR 4007 003Ch, SCI9.SPTR 4007 013Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SPB2I O	SPB2D T	RXDM ON
リセット後の値	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RXDMON	シリアル入力データモニタ	RXD 端子の状態を示します。 0 : RXD 端子はLow状態 1 : RXD 端子はHigh状態	R
b1	SPB2DT	シリアルポートブ레이크データ 選択	SCR.TE = 0 の場合、TXD 端子の出力レベルを選択します。 0 : TXD 端子はLow出力 1 : TXD 端子はHigh出力	R/W
b2	SPB2IO	シリアルポートブ레이크入出力	TXD 端子へSPB2DTの値を出力するか否かを選択します。 0 : SPB2DT ビットの値をTXD端子に出力しない 1 : SPB2DT ビットの値をTXD端子に出力する	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPTR レジスタは、シリアル受信端子 (RXD 端子) の状態を確認し、送信端子 (TXD 端子) の状態を設定するためのレジスタです。

このレジスタは調歩同期式モードでのみ使用可能です。

表 25.22 に示すように、TXD 端子の状態は、SCR.TE ビット、SPTR.SPB2IO ビット、および SPTR.SPB2DT ビットの組み合わせで決定されます。

表 25.22 TXD 端子の状態

SCR.TE ビットの値	SPTR.SPB2IO ビット の値	SPTR.SPB2DT ビット の値	TXD 端子の状態
0	0	x	Hi-Z (初期値)
0	1	0	Low を出力
0	1	1	High を出力
1	x	x	シリアル送信データを出力

x : Don't care

注. SPTR レジスタは調歩同期式モードでのみ使用してください。他のモードでの使用は保証されません。

### 25.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを、[図 25.2](#) に示します。

1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High) に保たれています。

SCI は通信回線を監視しています。Low を検出すると、スタートビットとみなしてシリアル通信を開始します。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらもダブルバッファ構成 (FIFO モードも含む) になっているため、送受信中でもデータの読み出し/書き込みが可能であり、連続送受信が実現されます。

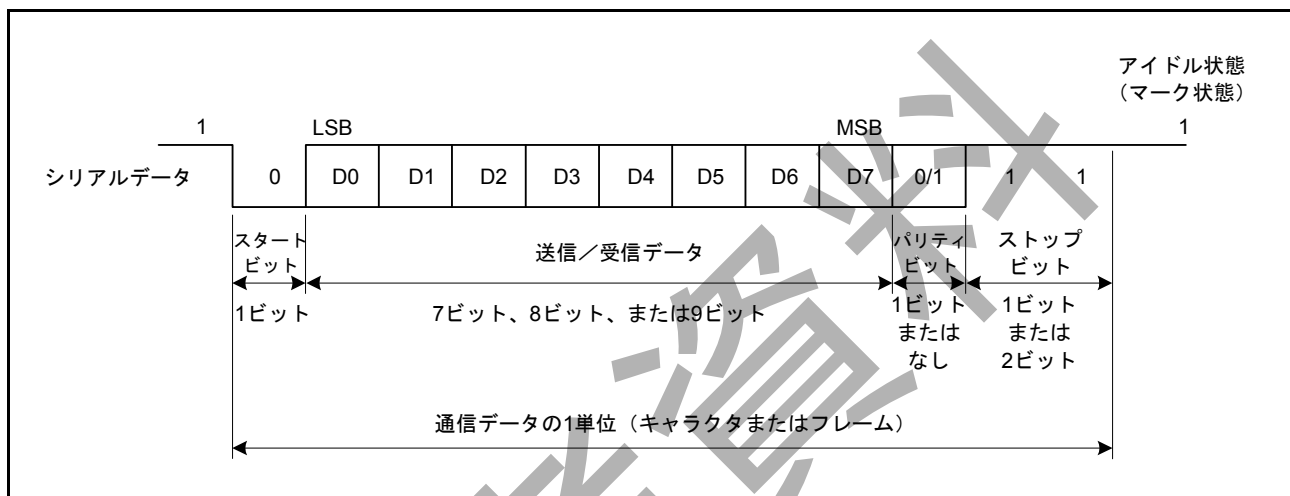


図 25.2 調歩同期式シリアル通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)



### 25.3.1 シリアル転送フォーマット

調歩同期式モードで設定できるシリアル転送フォーマットを表 25.23 に示します。フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの設定により選択できます。マルチプロセッサ機能の詳細については 25.4 マルチプロセッサ通信機能を参照してください。

表 25.23 シリアル転送フォーマット (調歩同期式モード)

SCMR の設定 値	SMRの設定値				シリアル転送フォーマットとフレーム長																		
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13					
0	0	0	0	0	0	S	9ビットデータ								STOP								
0	0	0	0	1	1	S	9ビットデータ								STOP		STOP						
0	0	1	0	0	0	S	9ビットデータ								P	STOP							
0	0	1	0	1	1	S	9ビットデータ								P	STOP		STOP					
1	0	0	0	0	0	S	8ビットデータ							STOP									
1	0	0	0	1	1	S	8ビットデータ							STOP		STOP							
1	0	1	0	0	0	S	8ビットデータ							P	STOP								
1	0	1	0	1	1	S	8ビットデータ							P	STOP	STOP							
1	1	0	0	0	0	S	7ビットデータ						STOP										
1	1	0	0	1	1	S	7ビットデータ						STOP		STOP								
1	1	1	0	0	0	S	7ビットデータ						P	STOP									

表 25.23 シリアル転送フォーマット (調歩同期式モード)

SCMR の設定 値	SMRの設定値				シリアル転送フォーマットとフレーム長																		
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13					
1	1	1	0	1	1	S	7ビットデータ							P	STOP	STOP							
0	0	—	1	0	0	S	9ビットデータ									MPB	STOP						
0	0	—	1	1	0	S	9ビットデータ									MPB	STOP	STOP					
1	0	—	1	0	0	S	8ビットデータ								MPB	STOP							
1	0	—	1	1	0	S	8ビットデータ								MPB	STOP	STOP						
1	1	—	1	0	0	S	7ビットデータ							MPB	STOP								
1	1	—	1	1	0	S	7ビットデータ							MPB	STOP	STOP							

S : スタートビット  
 STOP : ストップビット  
 P : パリティビット  
 MPB : マルチプロセッサビット

### 25.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍（注1）の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。

また、図 25.3 に示すように、受信データは基本クロックの8パルス目（注1）の立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。したがって、調歩同期式モードでの受信マージンは以下の式（1）のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%] \dots \text{Formula (1)}$$

M：受信マージン

N：クロックに対するビットレートの比

SEMR.ABCSE ビット = 0 かつ SEMR.ABCS ビット = 0 のとき N = 16

SEMR.ABCS ビット = 1 のとき N = 8、SEMR.ABCSE ビット = 1 のとき N = 6

D：クロックのデューティ（D = 0.5 ~ 1.0）

L：フレーム長（L = 9 ~ 13）

F：クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）= 0、D（クロックのデューティ）= 0.5 とすると、受信マージンは下記の式で算出されます。

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875\%$$

ただし、これはあくまでも計算上の値なので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

注1. この例では、SEMRレジスタのABCSビットとABCSEビットが0です。ABCSビットが1でABCSEビットが0の場合は、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4パルス目の立ち上がりエッジでサンプリングされます。ABCSEビットが1の場合は、ビットレートの6倍の周波数が基本クロックとなり、受信データは基本クロックの3パルス目の立ち上がりエッジでサンプリングされます。

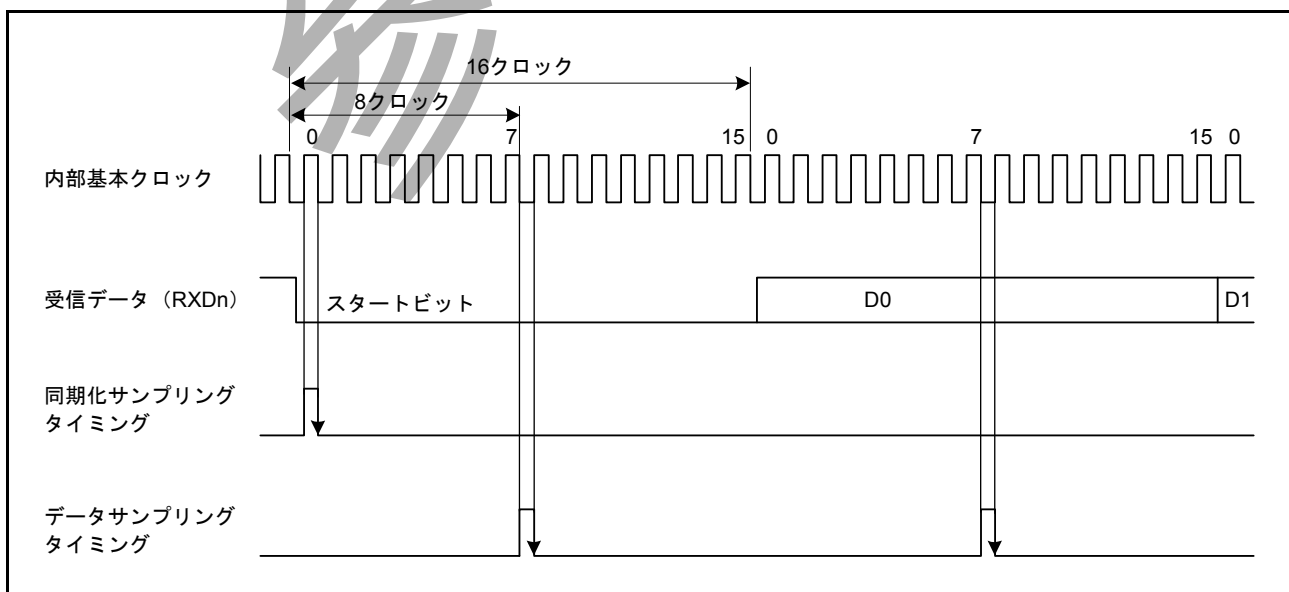


図 25.3 調歩同期式モードでの受信データサンプリングタイミング

### 25.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ポーレートジェネレータが生成する内部クロック、またはSCKn端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、または8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。

内部クロックで動作させるときは、SCKn端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図25.4のようになるため、送信データの間でクロックが立ち上がりません。

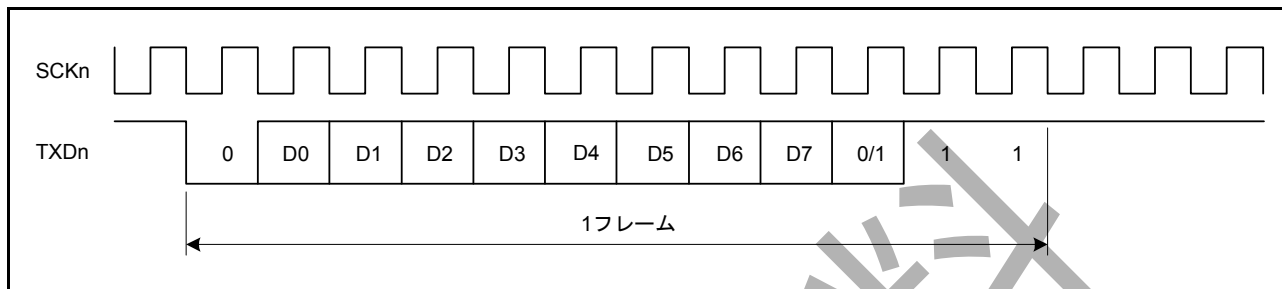


図 25.4 出力クロックと送信データの位相関係（調歩同期式モード：SMR.CHR=0、PE=1、MP=0、STOP=1）

### 25.3.4 倍速動作とビットレートの6倍の周波数

SEMR.ABCSビットを1にして、1ビット期間として基本クロックの8パルスを選択した場合、ABCSビットが0の場合に比べて、SCIは2倍のビットレートで動作します。SEMR.BGDMビットが1になっていると、基本クロックの周期は1/2倍になり、ビットレートはBGDMビットが0の場合の2倍になります。SCR.CKE[1]ビットを0にして、内蔵ポーレートジェネレータを選択した場合、ABCSビットとBGDMビットを1にすることにより、ABCSビットとBGDMビットが0の場合に比べて、SCIは4倍のビットレートで動作できるようになります。SEMR.ABCSEビットが1になっている場合、基本クロックのパルス数は1ビット期間中6になり、SEMR.ABCS、SEMR.BGDM、およびSEMR.ABCSEが0になっている場合、SCIは16/3倍のビットレートで動作します。

25.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージンの式(1)に示すとおり、SEMR.ABCSビットが1、またはSEMR.ABCSEビットが1の場合、受信マージンは減少します。そのため、ABCSビットまたはABCSEビットが0の状態、目的とするビットレートが達成できるのであれば、ABCSビットとABCSEビットを0にすることが推奨されます。

### 25.3.5 CTS、RTS 機能

CTS 機能は、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力を使用して送信制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力が Low になると送信が開始されます。

送信中に CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力を High にしても、送信中のフレームは影響を受けません。

RTS 機能は、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力を使用して受信要求を行います。受信可能な状態になると Low が出力されます。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

下記条件をすべて満たす場合

#### (a) 非 FIFO 選択時

- SCR.RE ビットが 1
- 受信動作中でない
- 読み出し前の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて 0

#### (b) FIFO 選択時

- SCR.RE ビットが 1
- FRDRHL に書き込まれた受信データ数が指定された受信トリガ数以下
- SSR\_FIFO.ORER (FRDRH.ORER) ビットが 0

[High になる条件]

- Low になる条件を満たさない場合

### 25.3.6 アドレス一致 (受信データ一致) 検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

DCCR.DCME が 1 の場合、1 フレーム分のデータを受信すると、SCI は受信データと CDR.CMPD ビットの値を比較します。SCI によって受信データと比較データ (CDR.CMPD (注3)) の一致が検出された場合、SCI<sub>In</sub>\_RXI 割り込み要求を発生させることができます。

SMR.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対照になります。マルチプロセッサモード (SMR.MP ビット = 1) では、DCCR.IDSEL ビットが 1 の場合、MPB ビット = 1 の受信データがアドレス一致の比較対照となります。MPB ビット = 0 の受信データは、常に不一致として処理されます。

DCCR.IDSEL ビットが 0 の場合、SCI は受信データの MPB ビットの値にかかわらず、アドレス一致または不一致検出を実行します。

受信データと比較データ (CDR.CMPD (注3)) の一致が検出されるまで、受信データが読み飛ばされる (廃棄される) ので、SCI はパリティエラーもフレーミングエラーも検出することができません。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグは 1 になります。

このとき、DCCR.IDSEL ビットが 1 であれば、SCR.MPIE ビットが自動的にクリアされます。また、DCCR.IDSEL ビットが 0 であれば、SCR.MPIE ビットの値が保持されます。同時に、SCR.RIE ビットが 1 になっていると、SCI は SCI<sub>In</sub>\_RXI 割り込み要求を発行します。一致が検出された受信データに対して、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。比較された受信データは RDR レジスタ (注1) に格納されません。また、SSR.RDRF フラグ (注2) は 0 を保持します。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、現在のレジスタ設定に従って、SCI は次のデータを連続して受信します。

DCCR.DFER フラグまたは DCCR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

アドレス一致検出機能の例を [図 25.5](#) に示します。

- 注 1. FCR.FM = 1 の場合、これは FRDRHL レジスタになります。
- 注 2. FCR.FM = 1 の場合、これは SSR\_FIFO.RDF フラグになります。
- 注 3. 比較対照は、3 種類のビット長 (7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]) から 1 つ選択できます。

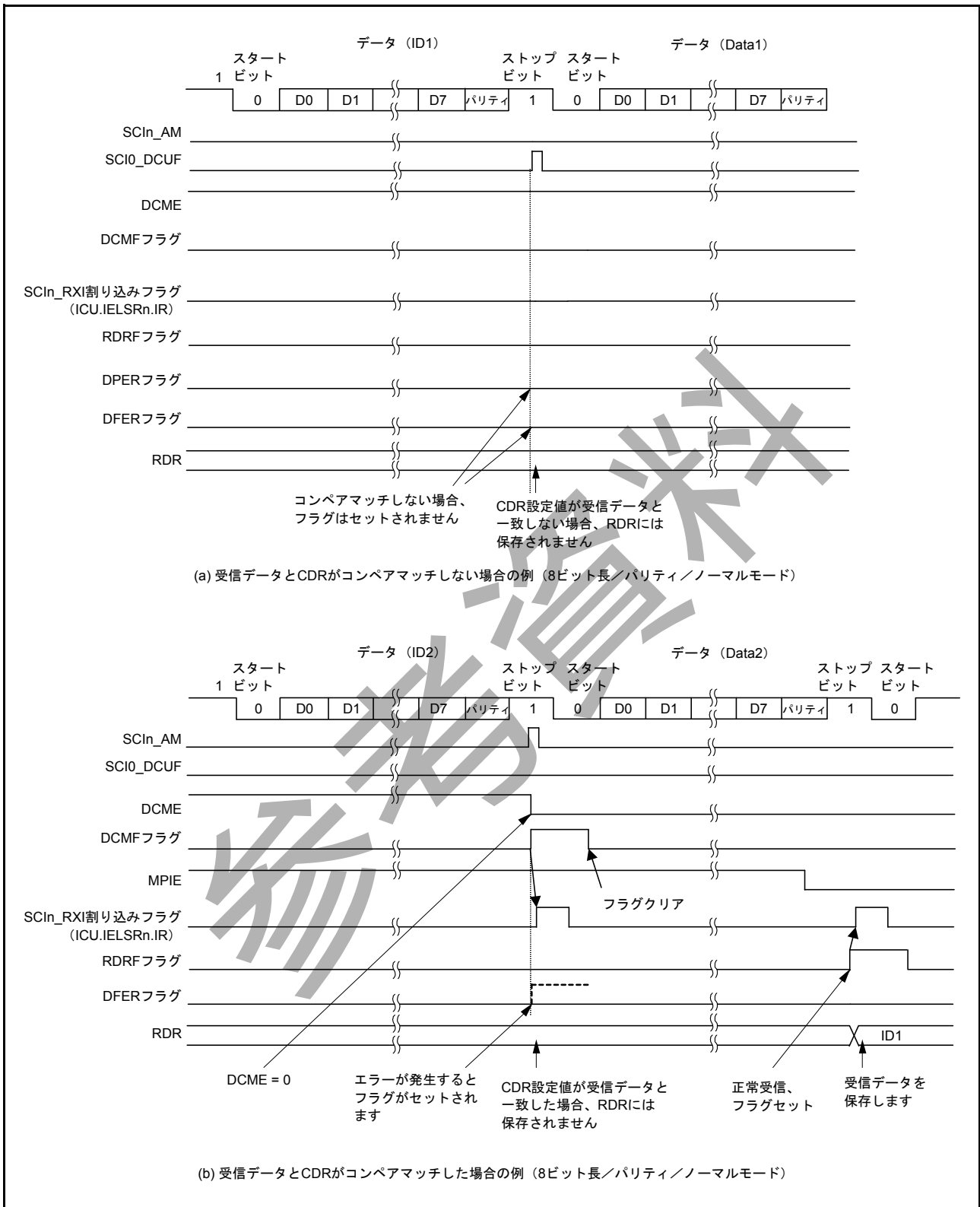


図 25.5 アドレス一致検出の例 (1) (通常モード)

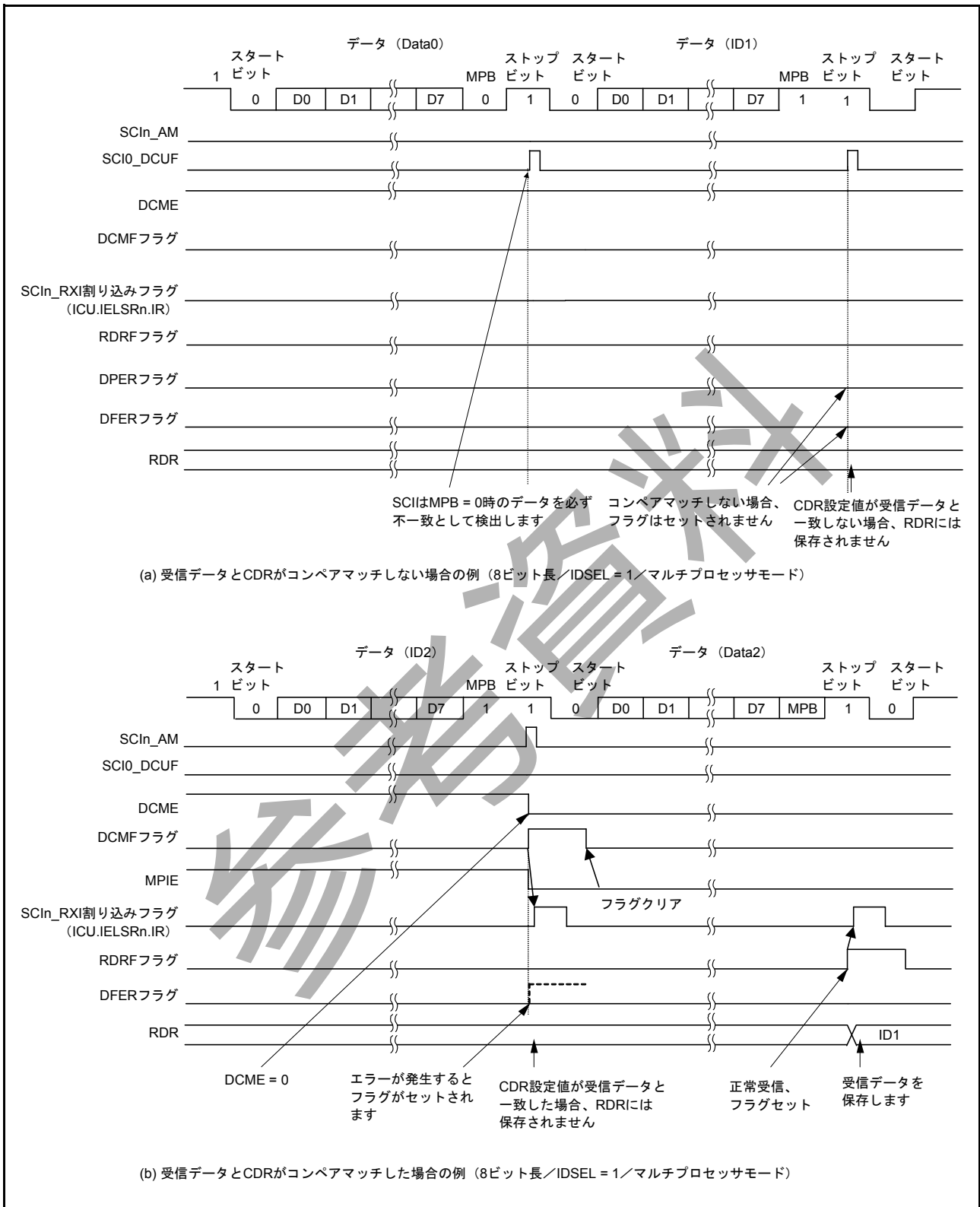


図 25.6 アドレス一致検出の例 (2) (マルチプロセッサモード)



### 25.3.7 SCI の初期化 (調歩同期式モード)

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に図 25.7 のフローチャートに従って、SCI の設定 (非 FIFO 選択時または FIFO 選択時) を続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の間も含めてクロック信号を供給してください。

- 注. SCR.RE ビットを 0 にしても、SSR/SSR\_FIFO レジスタの ORER、FER、RDRF、RDF、PER の各フラグ、ならびに RDR レジスタと RDRHL レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。
- 注. SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCI<sub>n</sub>\_TXI 割り込み要求が発生します。

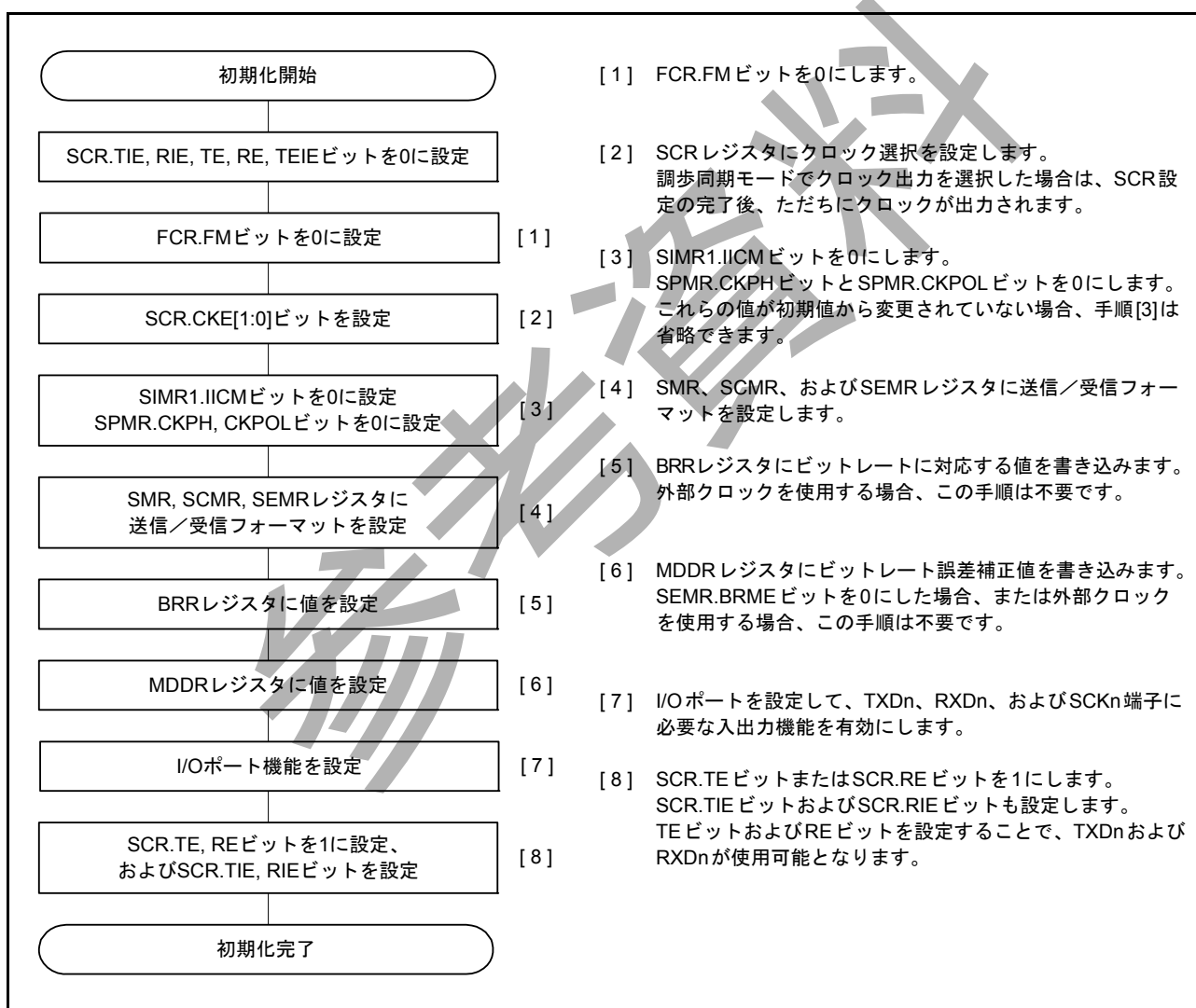


図 25.7 SCI の初期化フローチャート例 (調歩同期式モード/非 FIFO 選択時)



図 25.8 SCIの初期化フローチャート例（調歩同期式モード／FIFO 選択時）

### 25.3.8 シリアルデータの送信 (調歩同期式モード)

#### (1) 非 FIFO 選択時

図 25.9、図 25.10、および図 25.11 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

本セクションではシリアルデータの送信動作について説明します。TE ビットが 1 の場合、1 フレーム (プリアンブル) 分の High レベルが TXD 端子に出力されます。

1. SCIn\_TXI 割り込み処理ルーチンで TDR レジスタ (注 1) にデータが書き込まれると、SCI は TDR レジスタ (注 1) から TSR レジスタへデータを転送します。  
なお、送信開始時の SCIn\_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTSn\_RTSn 端子入力が Low であると、TDR レジスタ (注 1) から TSR レジスタへデータが転送され、送信が開始されます。このとき、SCR.TIE ビットが 1 になっていると、SCIn\_TXI 割り込み要求が発生します。この SCIn\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタ (注 1) に次の送信データを書き込むことで連続送信が可能になります。SCIn\_TEI 割り込み要求を使用する場合は、SCIn\_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタ (注 1) に書き込んだ後、SCR.TIE ビットを 0 (SCIn\_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCIn\_TEI 割り込み要求を許可) にします。
3. データは、以下の順に TXDn 端子から送り出されます。
  - スタートビット
  - 送信データ
  - パリティビットまたはマルチプロセッサビット (フォーマットによっては、ない場合もある)
  - ストップビット
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが 0 (CTS 機能は無効)、または CTSn\_RTSn 端子入力が Low で、次の送信データが TDR レジスタ (注 1) から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. TDR レジスタが更新されていない場合は、SSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR.TEND フラグが 1 になり、SCIn\_TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRHL レジスタになります。

図 25.9 ~ 図 25.12 に、調歩同期式モードにおけるシリアル送信のフローチャート例を示します。

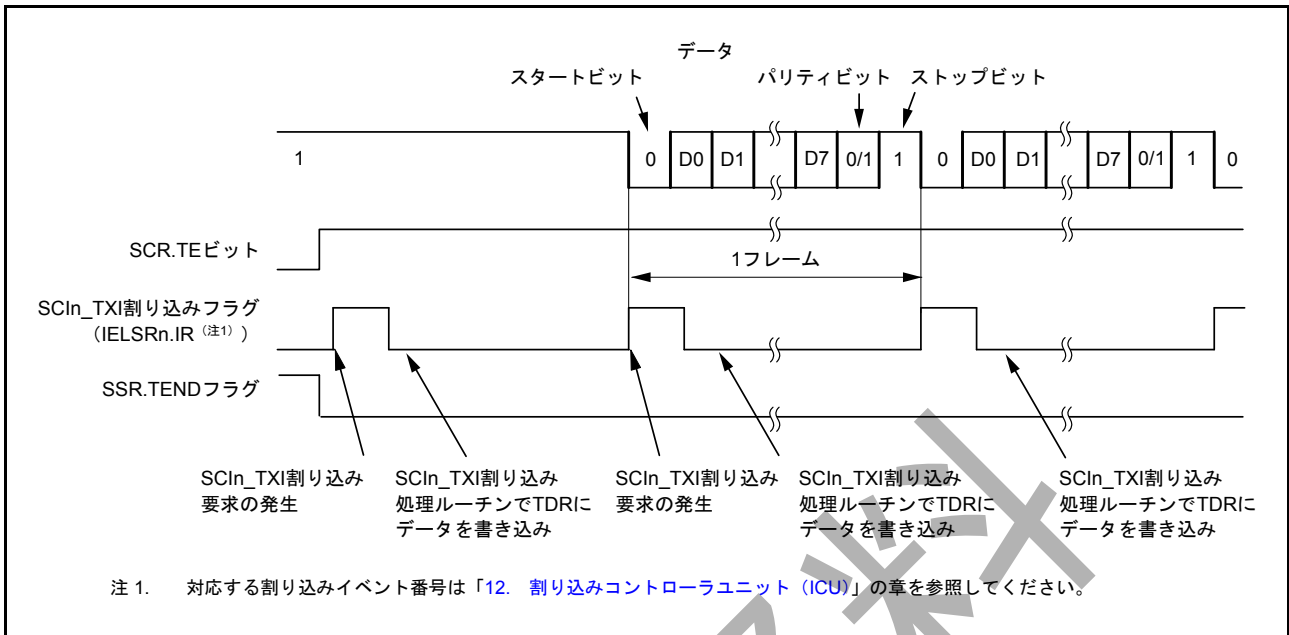


図 25.9 調歩同期式モードのシリアル送信の動作例 (1) (8 ビットデータ/パリティあり/1 ストップビット/CTS 機能不使用/送信開始時)

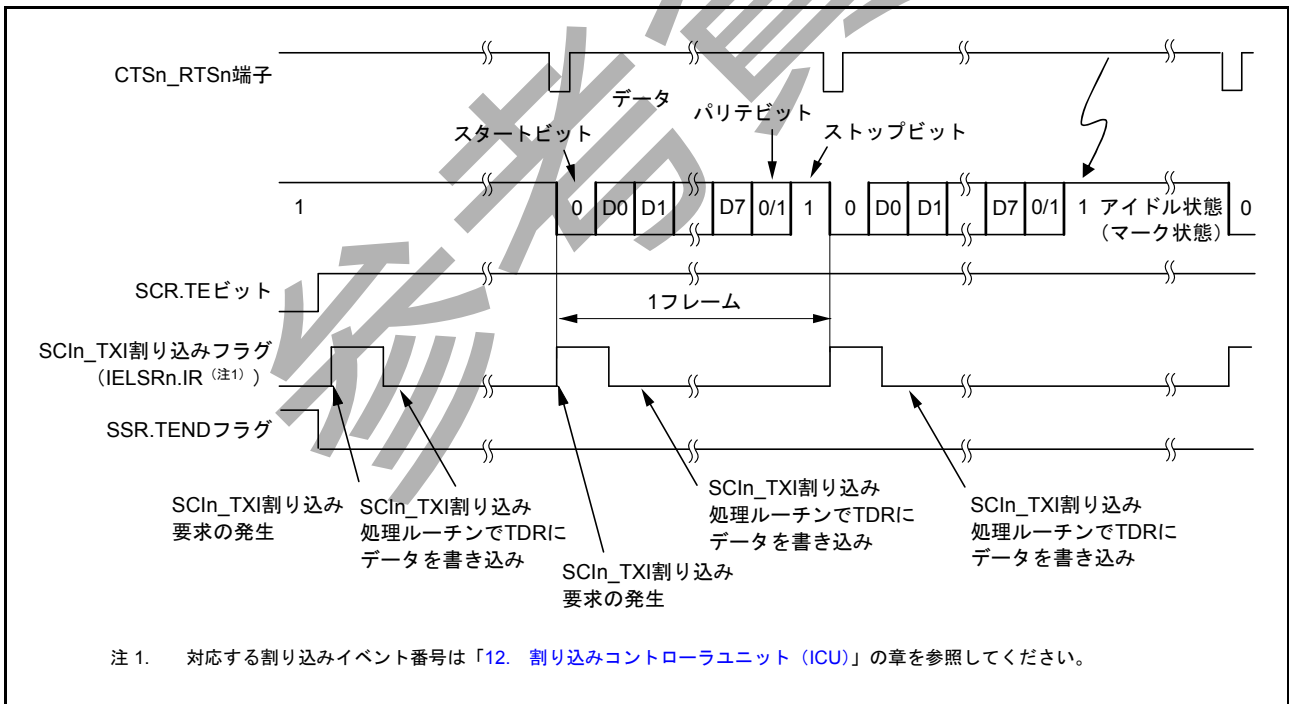


図 25.10 調歩同期式モードのシリアル送信の動作例 (2) (8 ビットデータ/パリティあり/1 ストップビット/CTS 機能使用/送信開始時)

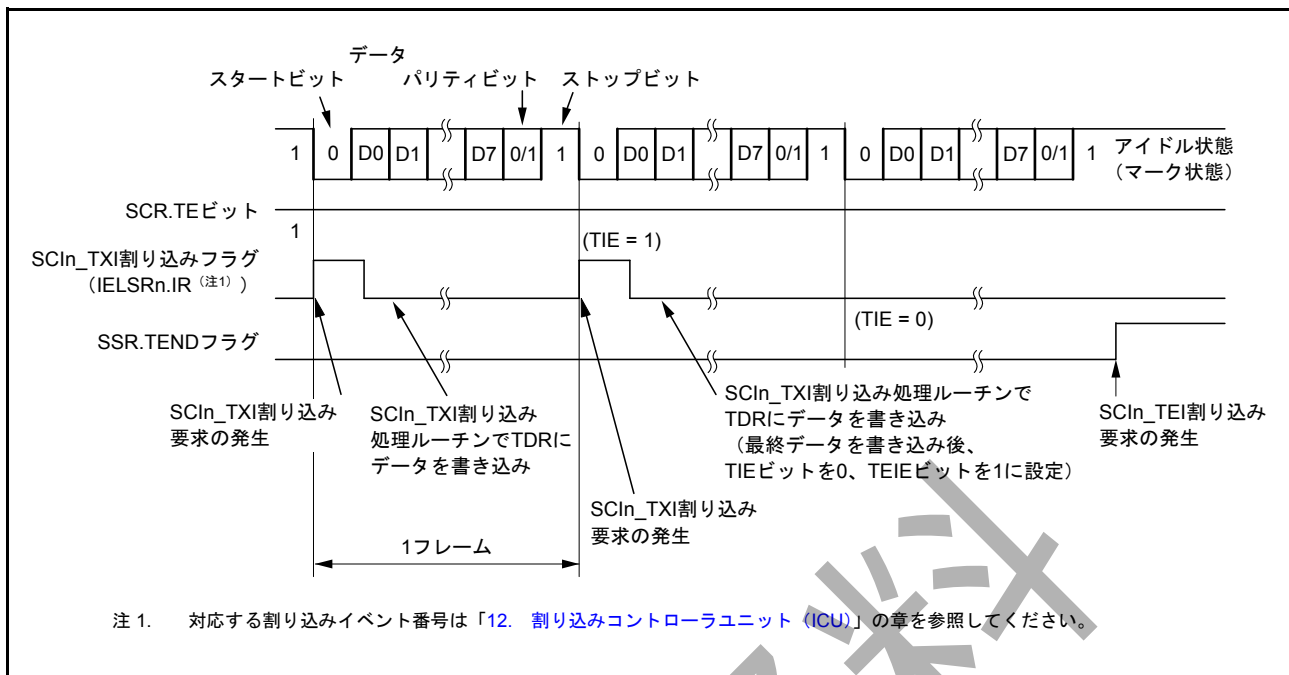


図 25.11 調歩同期式モードのシリアル送信の動作例 (3) (8ビットデータ/パリティあり/1ストップビット/CTS機能不使用/送信中~送信終了時)

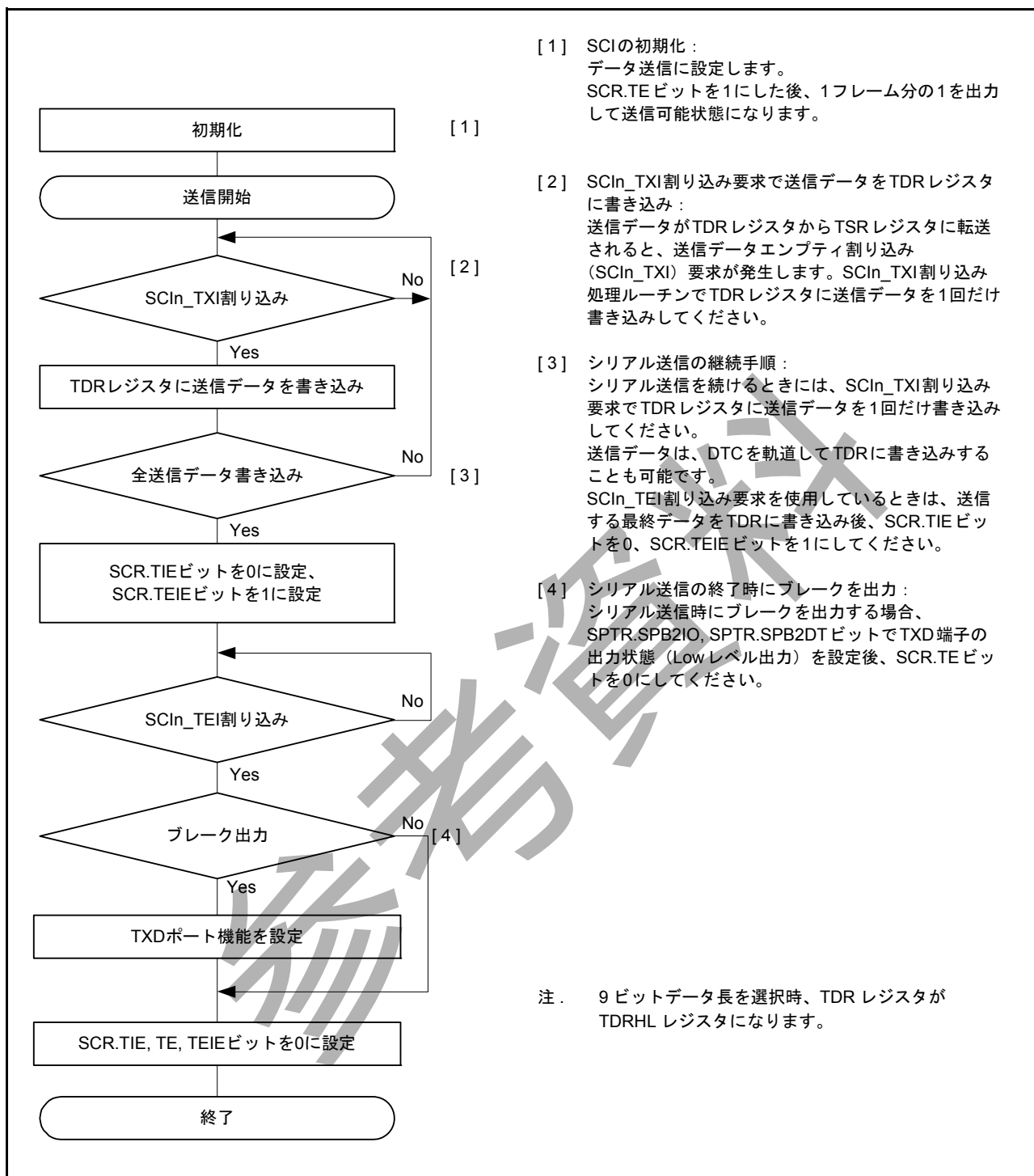


図 25.12 調歩同期式モードにおけるシリアル送信のフローチャート例 (非 FIFO 選択時)

## (2) FIFO 選択時

図 25.13 に、調歩同期式モードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH から FTDRL の順に書いてください。

データ長	レジスタ設定		FTDRH, FTDRLの送信データ																
			FTDRH							FTDRL									
	SCMR. CHR1	SMR. CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0	
7ビット	1	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	7ビット送信データ
8ビット	1	1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	8ビット送信データ
9ビット	0	Don't care	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	9ビット送信データ

— : 無効ビット。書く場合、0としてください。

図 25.13 FTDRH と FTDRL に書き込まれるデータフォーマット (FIFO 選択時)

本セクションではシリアル送信時の SCI の動作について説明します。TE ビットが 1 の場合、1 フレーム (プリアンブル) 分の High レベルが TXD 端子に出力されます。

- SCIn\_TXI 割り込み処理ルーチンで FTDRL レジスタ (注 1) にデータが書き込まれると、SCI は FTDRL レジスタ (注 1) から TSR レジスタへデータを転送します。  
SCI は、16 ビット FTDRL レジスタに格納されているバイト数の送信データを書くことができます。なお、送信開始時の SCIn\_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
- SPMR.CTSE ビットが 0 (CTS 機能は無効) であり、かつ CTSn\_RTSn 端子入力が Low であると、FTDRL レジスタ (注 1) から TSR レジスタへデータが転送され、送信が開始されます。FTDRL に書き込まれた送信データ数が指定された送信トリガ数以下のとき、SSR\_FIFO.TDFE ビットが 1 になります。このとき、SCR.TIE ビットが 1 になっていると、SCIn\_TXI 割り込み要求が発生します。この SCIn\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタ (注 1) に次の送信データを書き込むことで連続送信が可能になります。SCIn\_TEI 割り込み要求を使用する場合は、SCIn\_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタ (注 1) (注 2) に書き込んだ後、SCR.TIE ビットを 0 (SCIn\_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCIn\_TEI 割り込み要求を許可) にします。
- データは、以下の順に TXDn 端子から送り出されます。
  - スタートビット
  - 送信データ
  - パリティビットまたはマルチプロセッサビット (フォーマットによっては、ない場合もある)
  - ストップビット
- ストップビットを送り出すタイミングで、SCI は FTDRL レジスタ (注 3) に未送信データが残っていないかチェックします。
- FTDRL レジスタ (注 3) にデータがある場合、SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTSn\_RTSn 端子入力が Low であると、次の送信データが FTDRL レジスタ (注 1) から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
- FTDRL レジスタ (注 3) にデータがない場合、SSR\_FIFO レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR\_FIFO.TEND フラグが 1 になり、SCIn\_TEI 割り込み要求が発生します。

- 注1. データ長9ビット選択時は、FTDRH およびFTDRL レジスタになります。  
 注2. データ長9ビット選択時は、FTDRH、FTDRL レジスタの順にデータを書き込んでください。  
 注3. データ長9ビット選択時は、FTDRL レジスタ更新のみチェックし、FTDRH レジスタ更新はチェックしません。

図 25.14 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

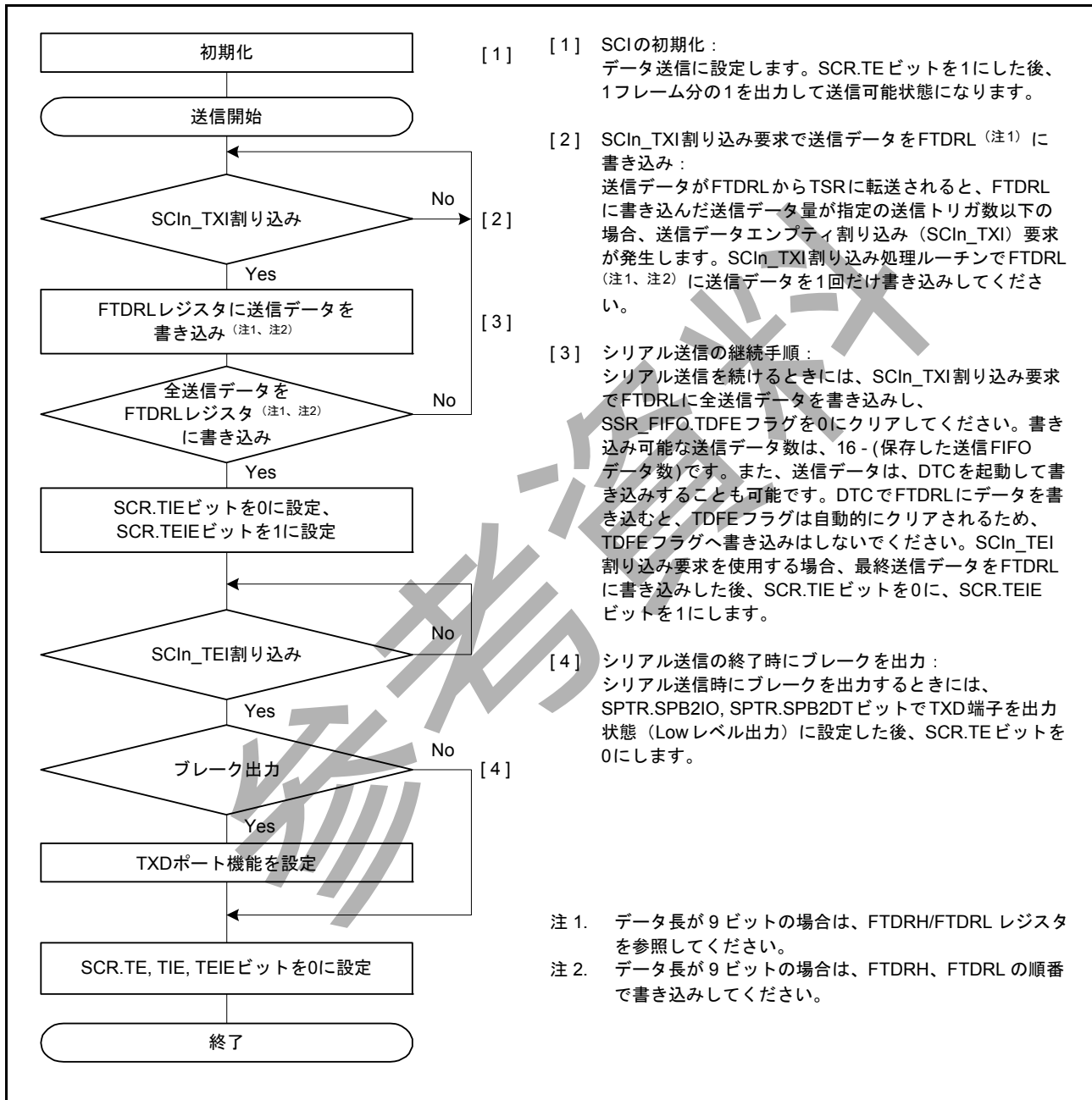


図 25.14 調歩同期式モードにおけるシリアル送信のフローチャート例 (FIFO 選択時)



### 25.3.9 シリアルデータの受信（調歩同期式モード）

#### (1) 非 FIFO 選択時

図 25.15 と図 25.16 に、調歩同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。受信データは RDR レジスタ（注 1）へ転送されません。
4. パリティエラーが検出された場合は、SSR.PER フラグが 1 になり、受信データが RDR レジスタ（注 1）へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、SSR.FER フラグが 1 になり、受信データが RDR レジスタ（注 1）へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データが RDR レジスタ（注 1）へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_RXI 割り込み要求が発生します。この SCIn\_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データを読み出されると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。

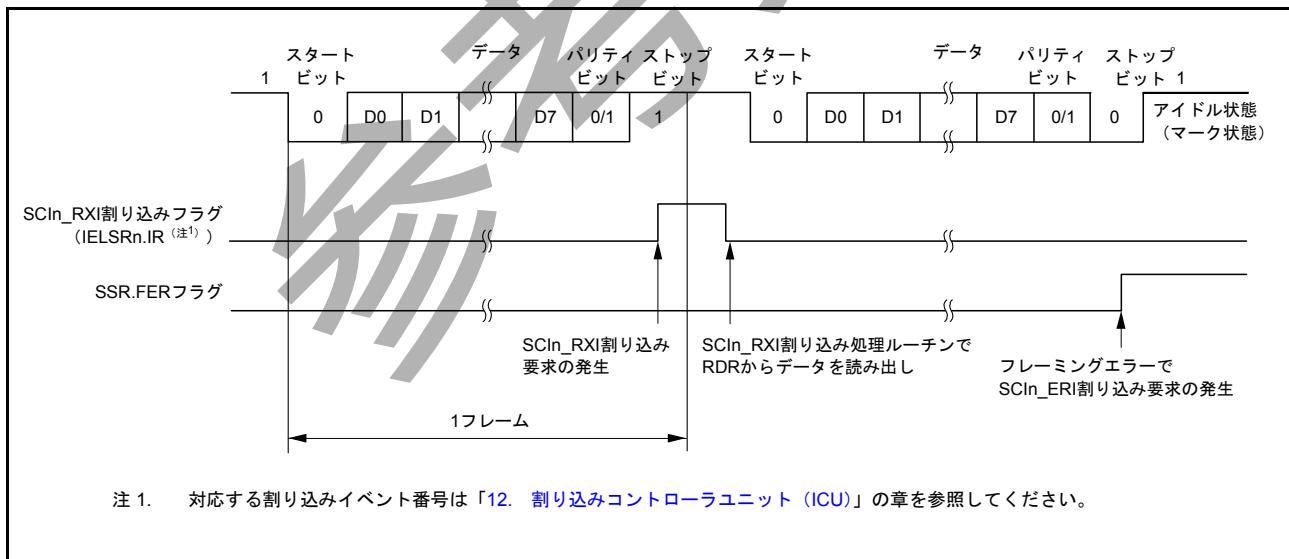


図 25.15 調歩同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合) (8 ビットデータ / パリティあり / 1 ストップビットの場合)

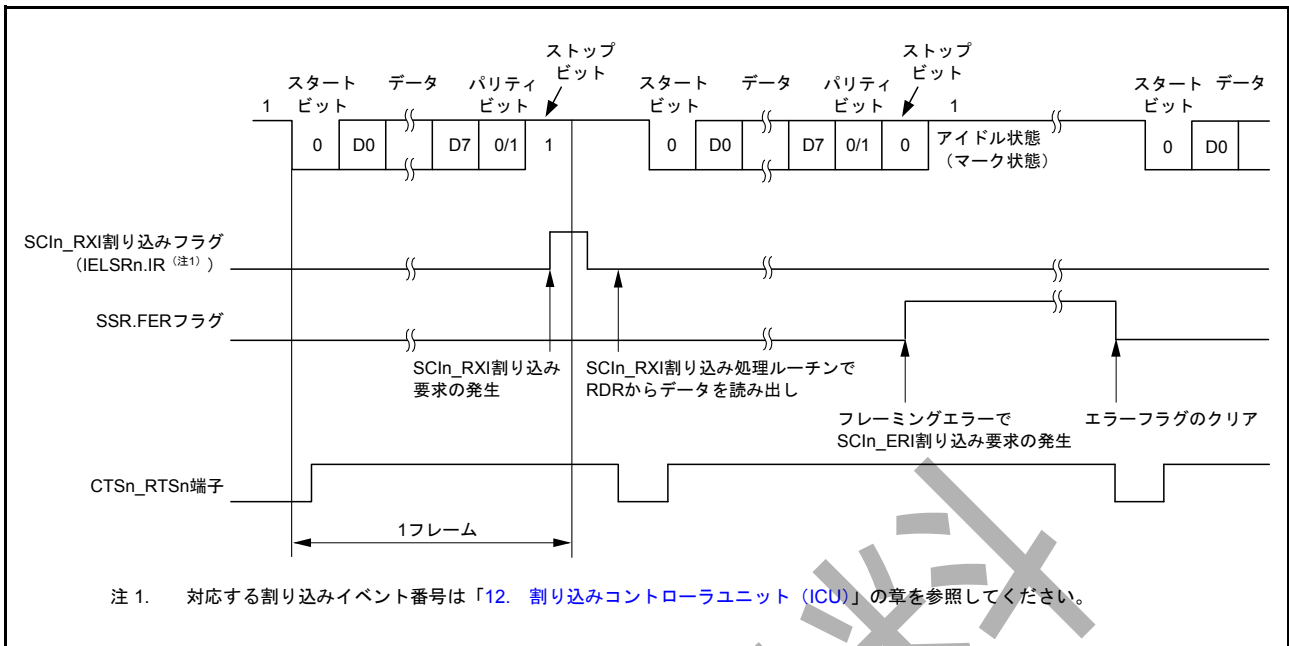


図 25.16 調歩同期式モードにおけるシリアル受信の動作例 (2)  
(RTS 機能を使用する場合) (8 ビットデータ/パリティあり/1 ストップビットの場合)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 25.24 に示します。

受信エラーが検出されると、SCIn\_ERI 割り込み要求は発生しますが、SCIn\_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR (または RDRHL) レジスタを読み出して下さい。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR (または RDRHL) レジスタに読み出し前の受信データが残っている可能性があるため、RDR (または RDRHL) レジスタを読み出す必要があります。

図 25.17 と図 25.18 に、シリアル受信のフローチャート例を示します。

表 25.24 SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDRへ転送	フレーミングエラー
0	0	1	RDRへ転送	パリティエラー
1	1	0	消失	オーバーランエラー+フレーミングエラー
1	0	1	消失	オーバーランエラー+パリティエラー
0	1	1	RDRへ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバーランエラー+フレーミングエラー+パリティエラー

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。

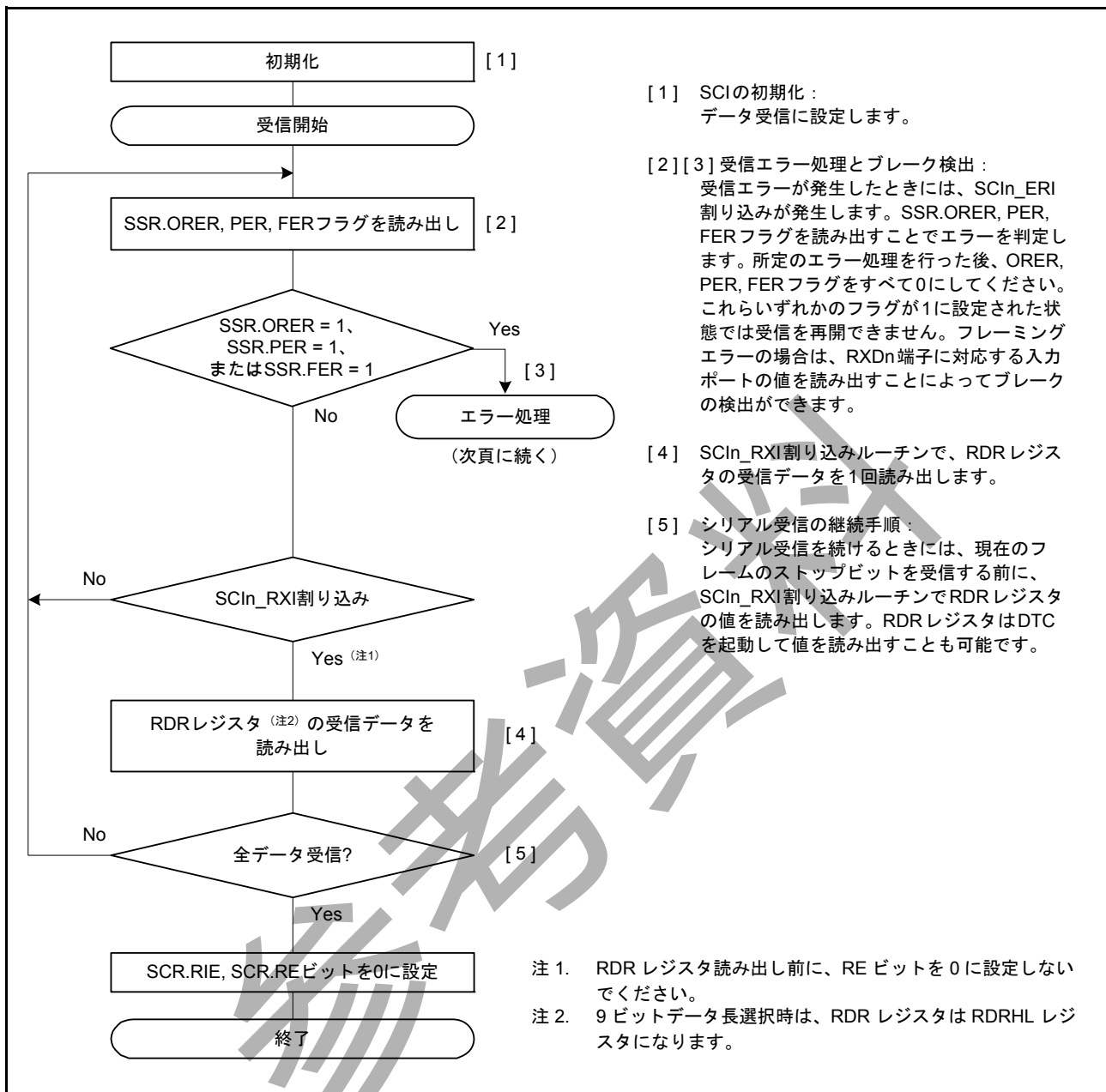


図 25.17 調歩同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時) (1)

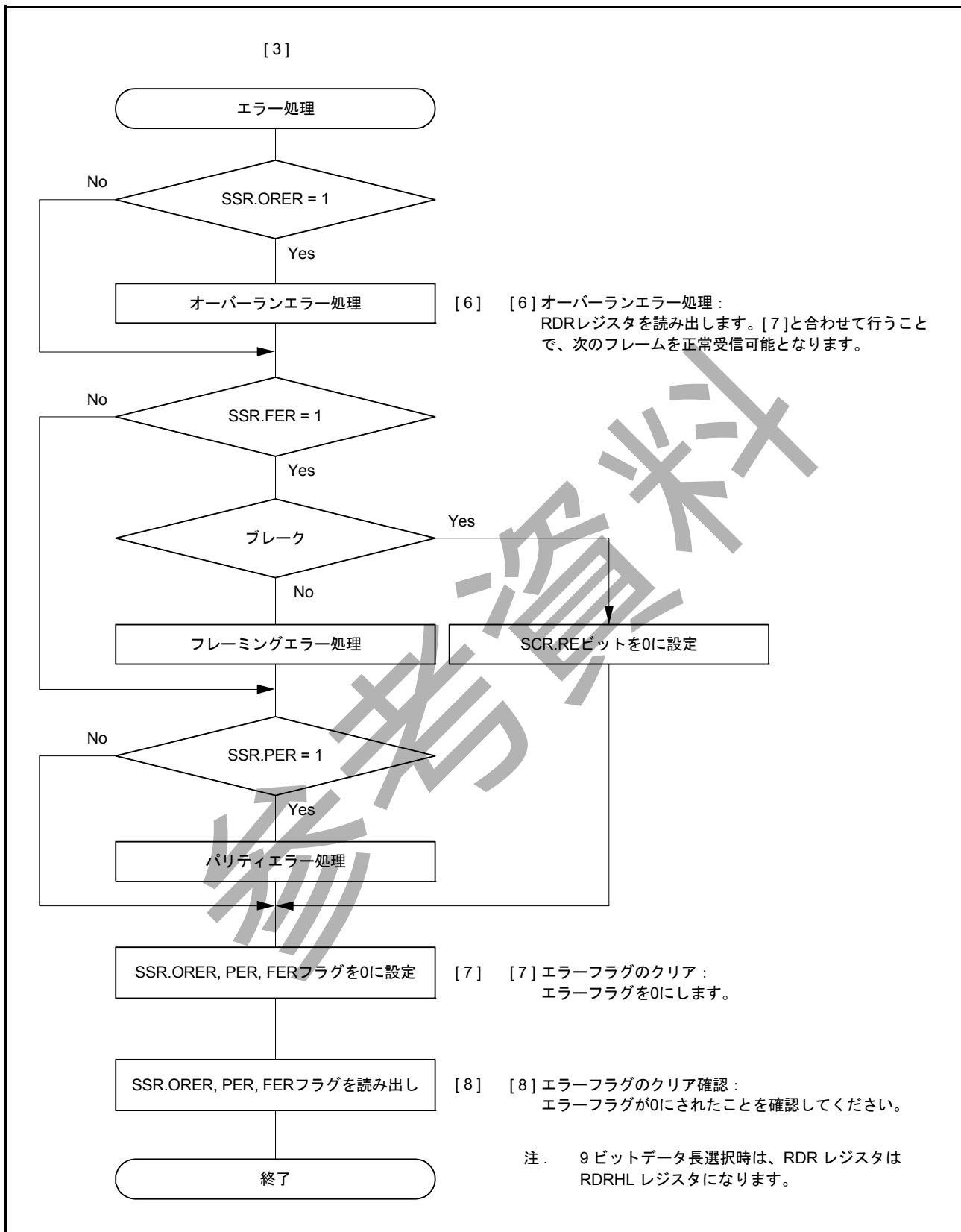


図 25.18 調歩同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時) (2)

## (2) FIFO 選択時

図 25.19 に、調歩同期式モードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、FRDRH レジスタの MPB フラグ (FRDRH[1] ビット) に 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH から FRDRL の順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、PER、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの BRK、RDF、ORER、および DR フラグは、常に SSR\_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH, FRDRLの受信データ														
			FRDRH								FRDRL						
	SCMR. CHR1	SMR. CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1
7ビット	1	0	—	RDF	ORER	FER	PER	DR	0	0	0	7ビット受信データ					
8ビット	1	1	—	RDF	ORER	FER	PER	DR	0	0	8ビット受信データ						
9ビット	0	Don't care	—	RDF	ORER	FER	PER	DR	0	9ビット受信データ							

注. MPB フラグからは常に 0 が読み出されます (FRDRH[1])。  
 データ長が 7 ビットするとき、FRDRH[0], FRDRL[7] からは常に 0 が読み出されます。  
 データ長が 8 ビットするとき、FRDRH[0] から常に 0 が読み出されます。  
 FRDRH[7] ビットの読み出し値は不定です。

図 25.19 FRDRH と FRDRL に格納されるデータフォーマット (FIFO 選択時)

シリアルデータの受信時、SCI は以下のように動作します。

- SCR.RE ビットが 1 になると、CTS<sub>n</sub>RTS<sub>n</sub> 端子出力が Low になります。
- SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
- FRDRL レジスタがいっぱいであると、オーバーランエラーが発生します。オーバーランエラーが発生した場合、SSR\_FIFO.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ (注 1) へ転送されません。
- パリティエラーが検出された場合は、PER フラグと受信データが FRDRL レジスタ (注 1) へ転送されません。このとき、RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。
- フレーミングエラーが検出された場合は、FER フラグと受信データが FRDRL レジスタ (注 1) へ転送されます。このとき、RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。
- フレーミングエラーが検出された後、SCI によって連続受信データが 1 フレーム分であることが検出された場合、受信動作が停止します。
- レシーブ FIFO データレジスタ (FRDRL) に格納されたデータ数が指定された受信トリガ数より少なく、かつ、調歩同期式モードにおいて最後のストップビットから 15ETU 経過しても次のデータが受信されていない場合は、SSR\_FIFO.DR フラグが 1 になります。RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCIn\_RXI 割り込み要求を発生させます。FCR.DRES ビットが 1 の場合、SCI は SCIn\_ERI 割り込み要求を発生させます。
- 正常に受信したときは、受信データが FRDRL レジスタ (注 1) へ転送されます。FRDRHL に書き込まれた受信データ数が指定された受信トリガ数以上であると、RDF フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_RXI 割り込み要求が発生します。この SCIn\_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ (注 2) へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタ (注 3) へ転送された受信データ数が RTS トリガ数未満であると、CTS<sub>n</sub>RTS<sub>n</sub> 端子出力が Low になります。

- 注1. データ長9ビット選択時は、FRDRHレジスタとFRDRLレジスタになります。  
 注2. データ長9ビット選択時は、FRDRH、FRDRLレジスタの順にデータを読み出してください。  
 注3. データ長9ビット選択時は、FRDRLレジスタ更新のみチェックし、FRDRHレジスタ更新はチェックしません。

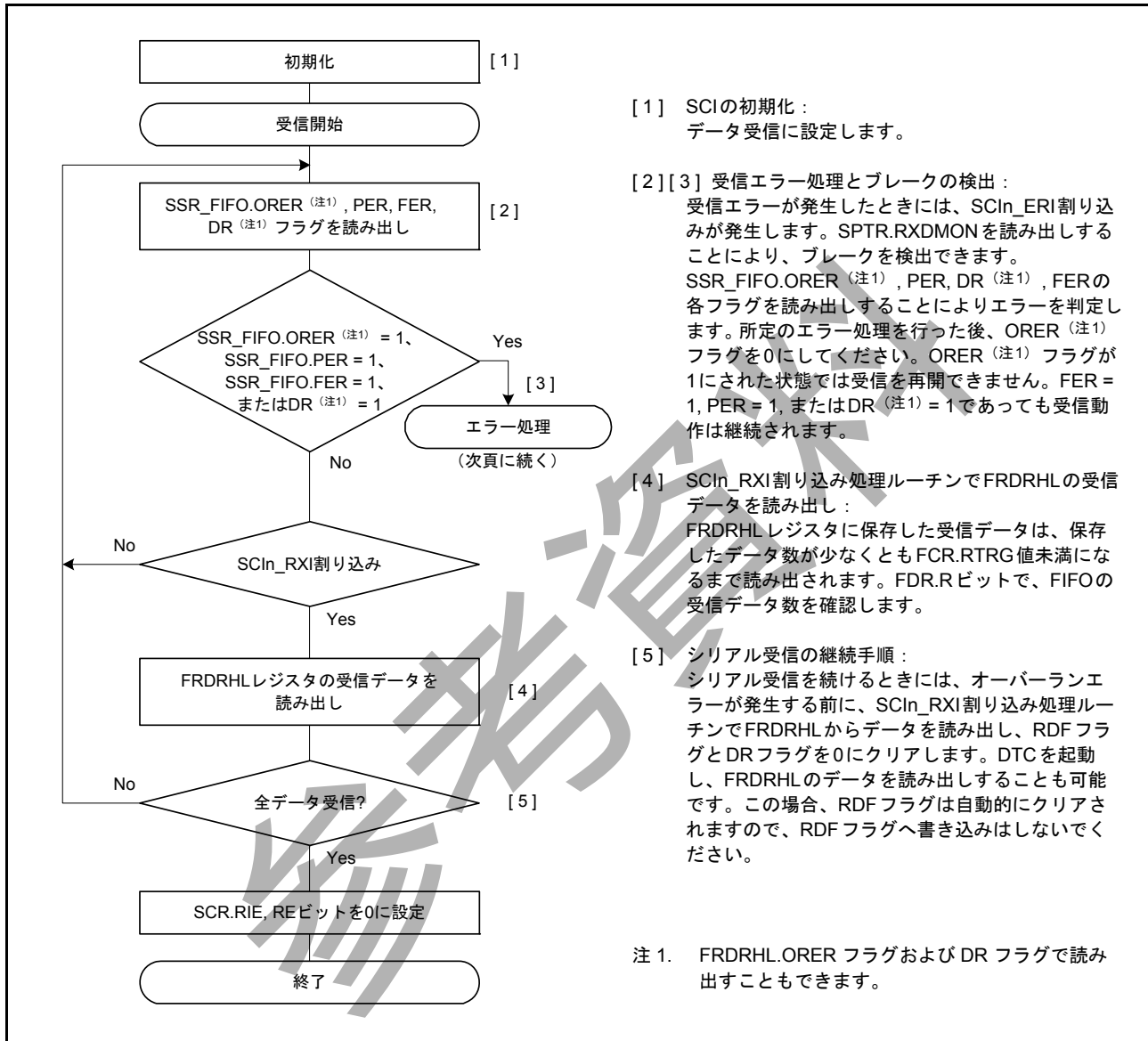


図 25.20 調歩同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時) (1)

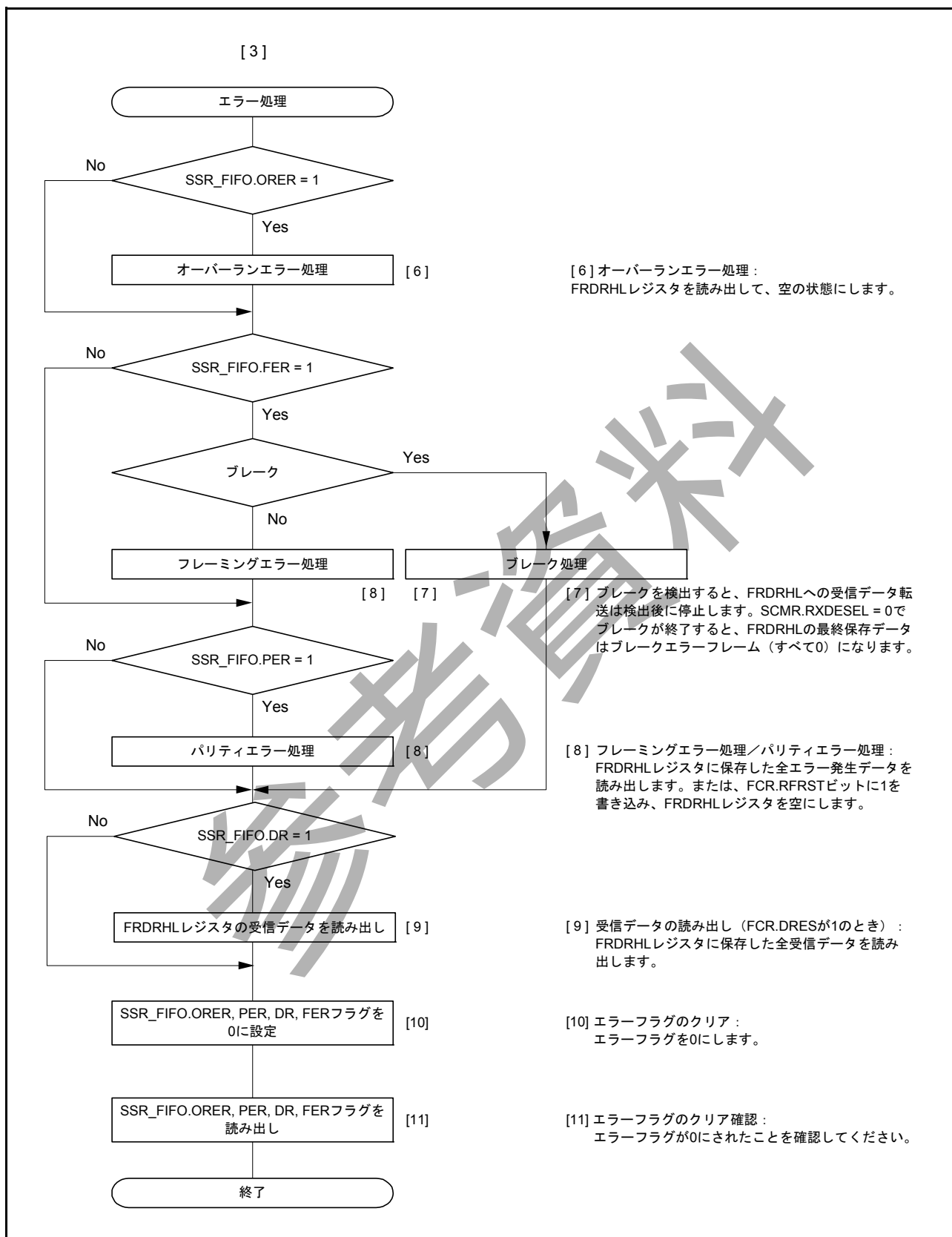


図 25.21 調歩同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時) (2)

## 25.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有したデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 25.22 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、再びマルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

### (1) 非 FIFO 選択時

SCI はこの機能をサポートするため、SCR.MPIE ビットを設けています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）への受信データの転送
- 受信エラーの検出
- SSR.RDRF、ORER、FER の各ステータスフラグのセット

マルチプロセッサビットが 1 の受信キャラクタを受信すると、SSR.MPBT ビットが 1 になるとともに、SCR.MPIE ビットが自動的にクリアされ、通常の実動作に戻ります。このとき、SCR.RIE ビットがセットされていると、SCI<sub>in</sub>\_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モードで使用するクロックと同一です。

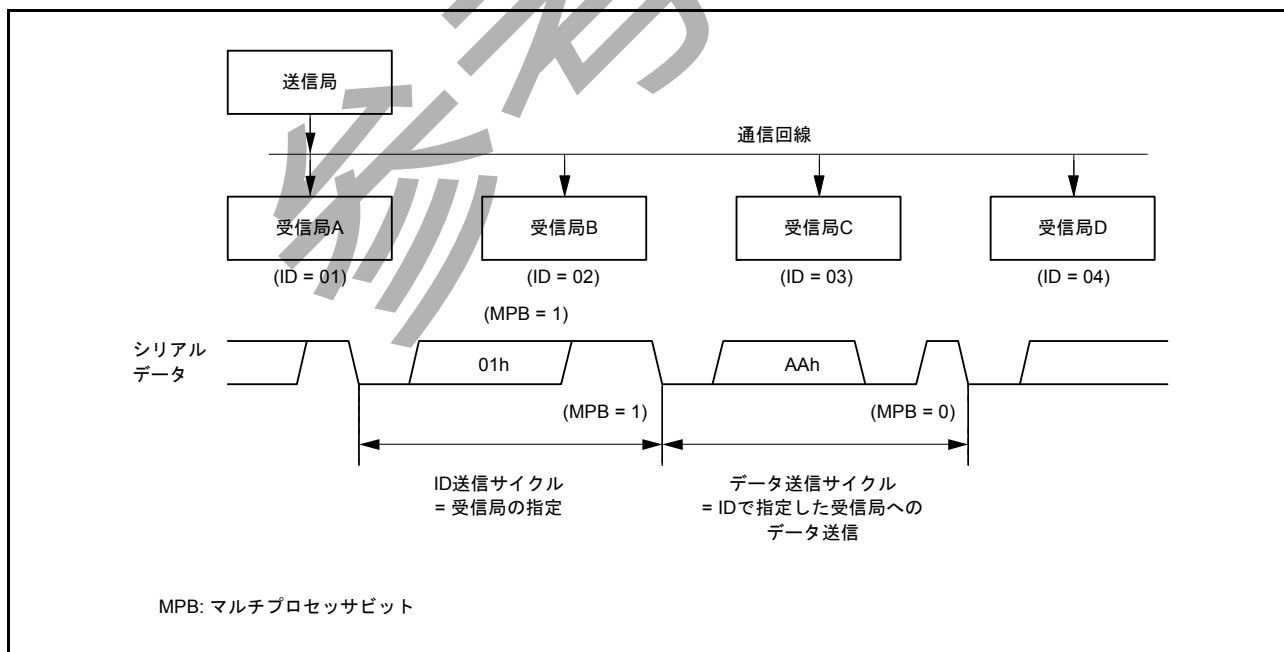


図 25.22 マルチプロセッサフォーマットを使用した通信例（データ AAh を受信局 A に送信する場合）



## (2) FIFO 選択時

データ送信では、ソフトウェアにおいて、FTDRHL.TDAT 内の送信データに対応する FTDRHL.MPBT ビットにデータを書き込む必要があります。データ受信では、受信データの一部であるマルチプロセッサビットが FTDRHL.MPB ビットに書き込まれ、受信データは FRDRL レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから FRDRHL レジスタへの受信データの転送
- 受信エラーの検出
- ブレーク
- SSR\_FIFO.RDF、ORER、FER の各ステータスフラグのセット

マルチプロセッサビットが 1 の 8 ビットキャラクタを受信すると、FTDRHL.MPB ビットが 1 になるとともに、受信データが FRDRHL.RDAT に書き込まれます。SCR.MPIE ビットが自動的にクリアされ、通常を受信動作に戻ります。このとき、SCR.RIE ビットがセットされていると、SCI<sub>In</sub>\_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードの非 FIFO 選択時と変わりません。

参考資料

## 25.4.1 マルチプロセッサシリアルデータ送信

## (1) 非 FIFO 選択時

図 25.23 に、マルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、SSR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は調歩同期式モードの動作と同じです。

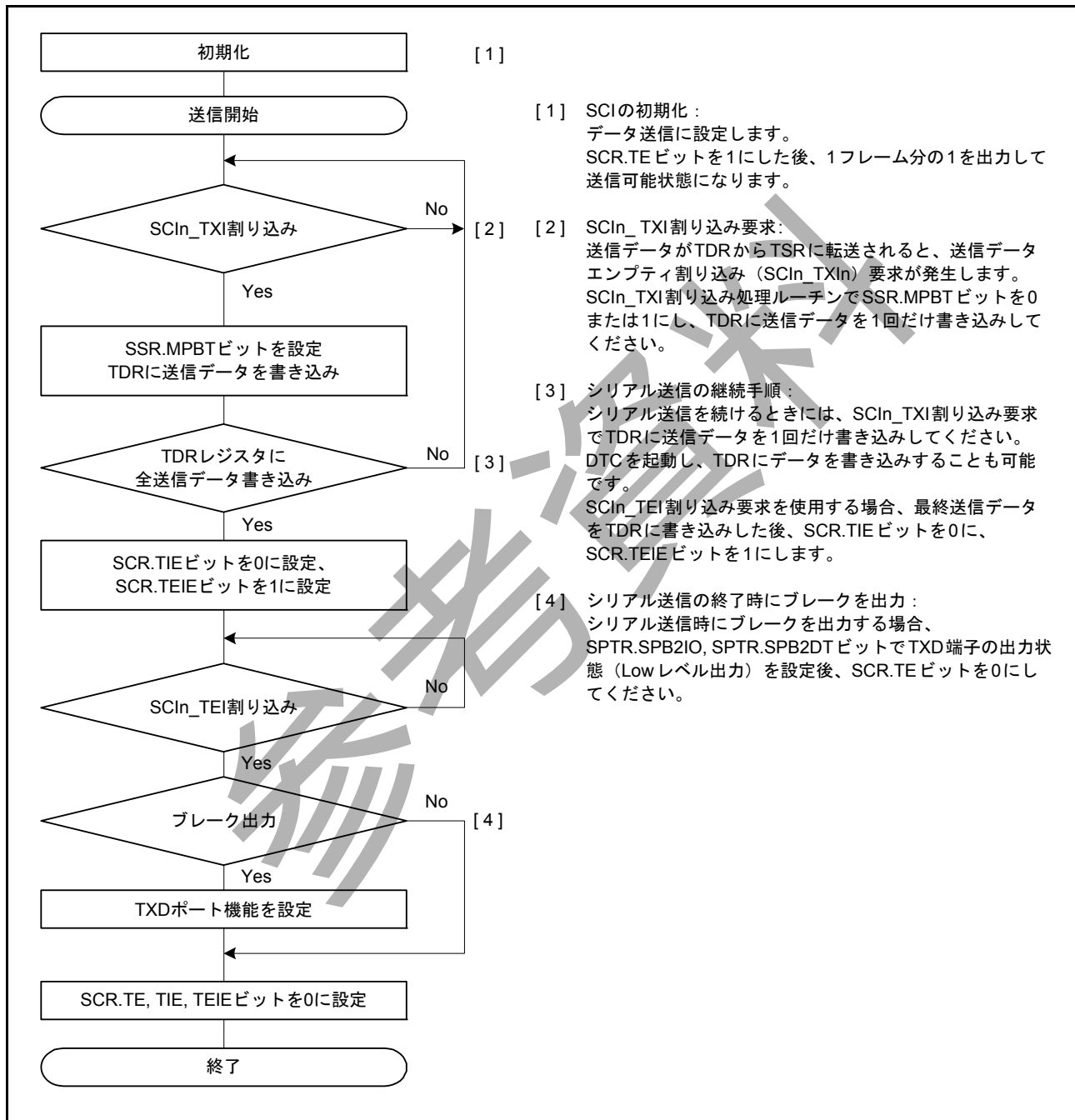


図 25.23 マルチプロセッサシリアル送信のフローチャート例

## (2) FIFO 選択時

図 25.24 に、マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

FTDRH レジスタの MPBT ビットが 1 になります。データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH から FTDRL の順に書いてください。

データ長	レジスタ設定		FTDRH, FTDRLの送信データ																
	SCMR. CHR1	SMR. CHR	FTDRHL																
			FTDRH								FTDRL								
			b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0	
7ビット	1	0	—	—	—	—	—	—	MPBT	—	—	—	—	—	—	—	—	—	7ビット送信データ
8ビット	1	1	—	—	—	—	—	—	MPBT	—	—	—	—	—	—	—	—	—	8ビット送信データ
9ビット	0	Don't care	—	—	—	—	—	—	MPBT	—	—	—	—	—	—	—	—	—	9ビット送信データ

—: 無効ビット。書く場合、0としてください。

図 25.24 マルチプロセッサモードにおいて FTDRH と FTDRL に書き込まれるデータフォーマット (FIFO 選択時)

図 25.25 に、FIFO 選択時のマルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、FTDRH.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける非 FIFO 選択時の動作と同じです。

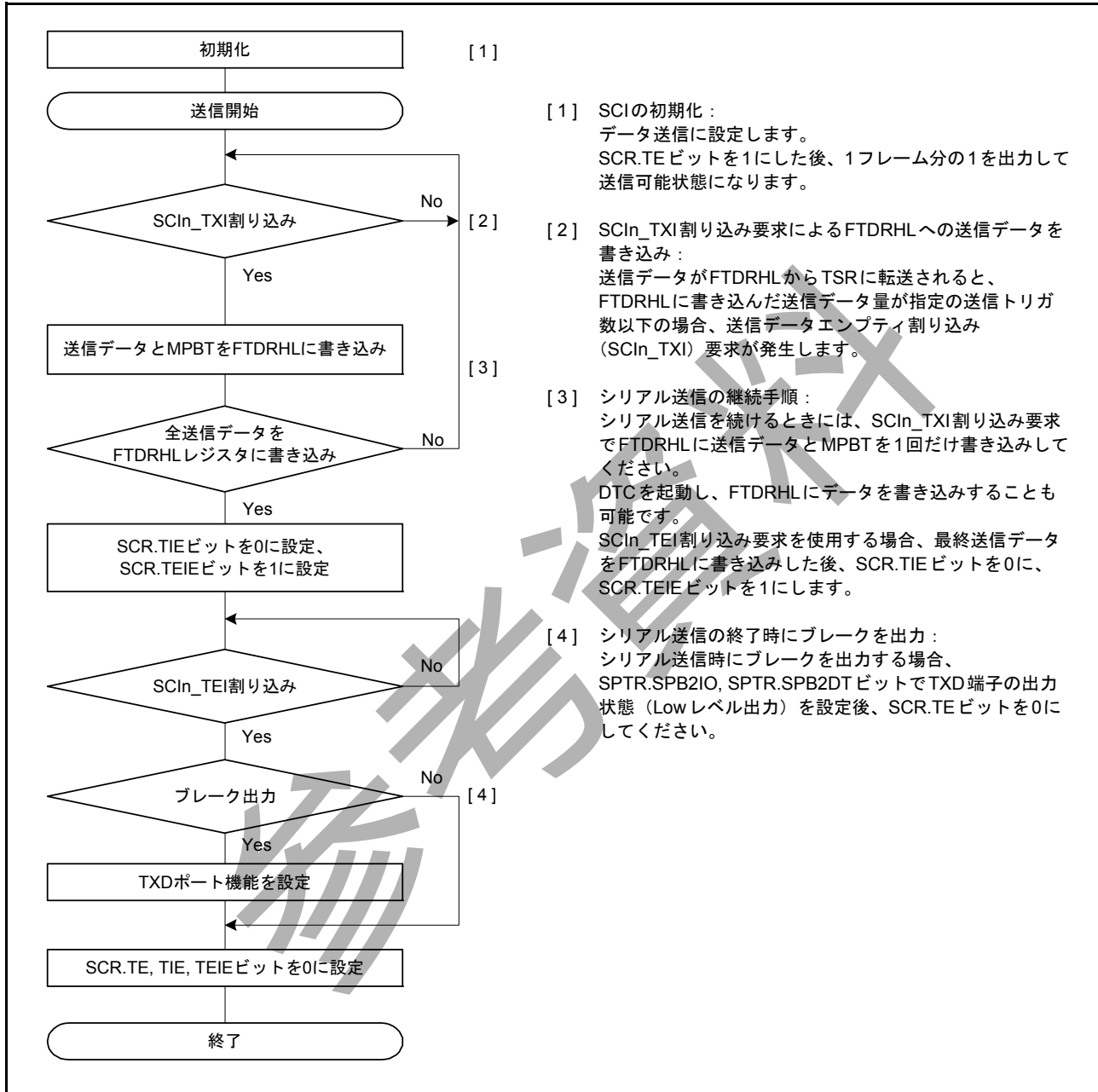


図 25.25 マルチプロセッサモードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

## 25.4.2 マルチプロセッサシリアルデータ受信

## (1) 非 FIFO 選択時

図 25.26 と図 25.27 に、マルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データが読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）へ転送されます。このとき SCIn\_RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 25.26 に、データ受信時の動作例を示します。

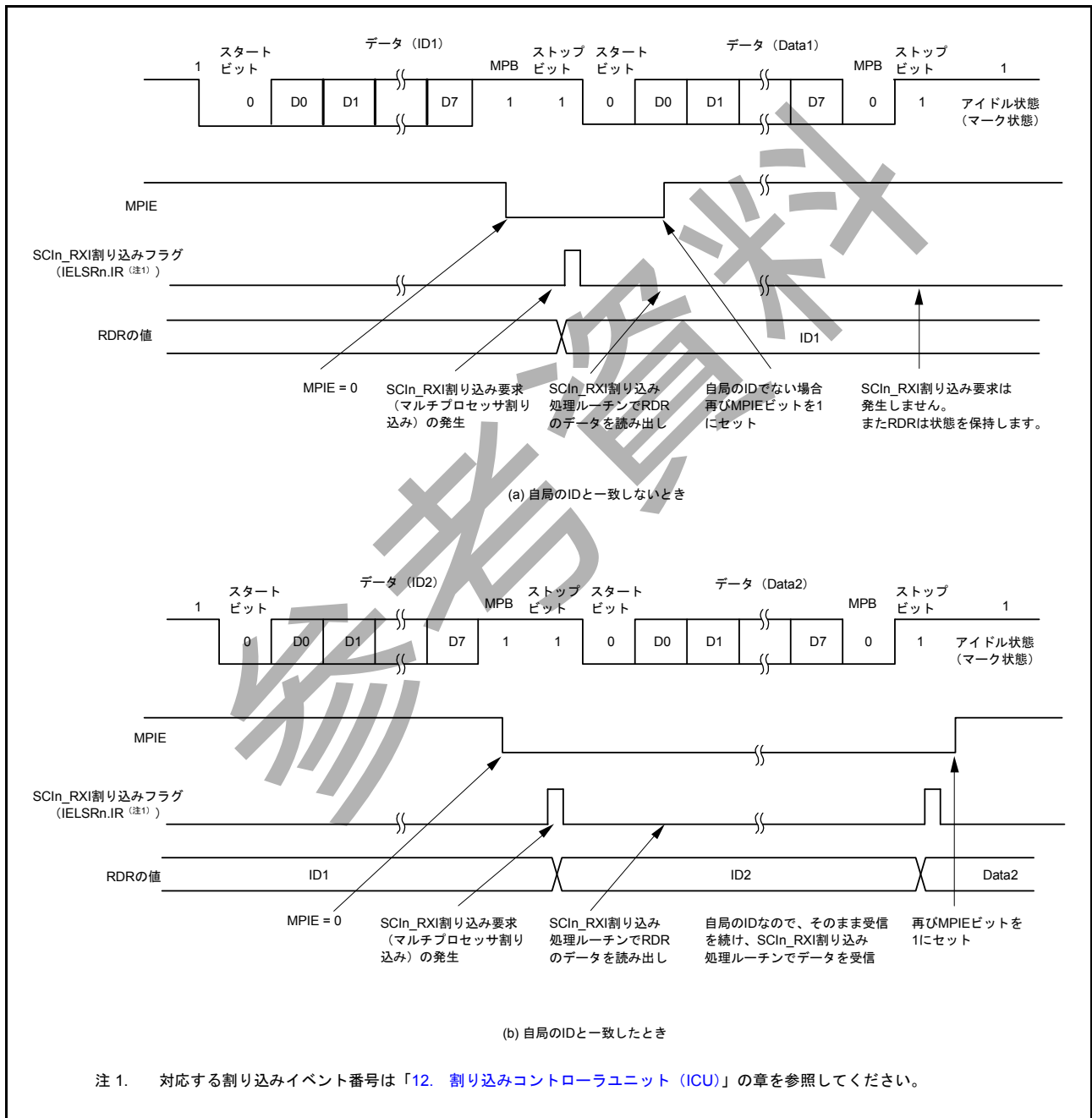


図 25.26 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの場合)

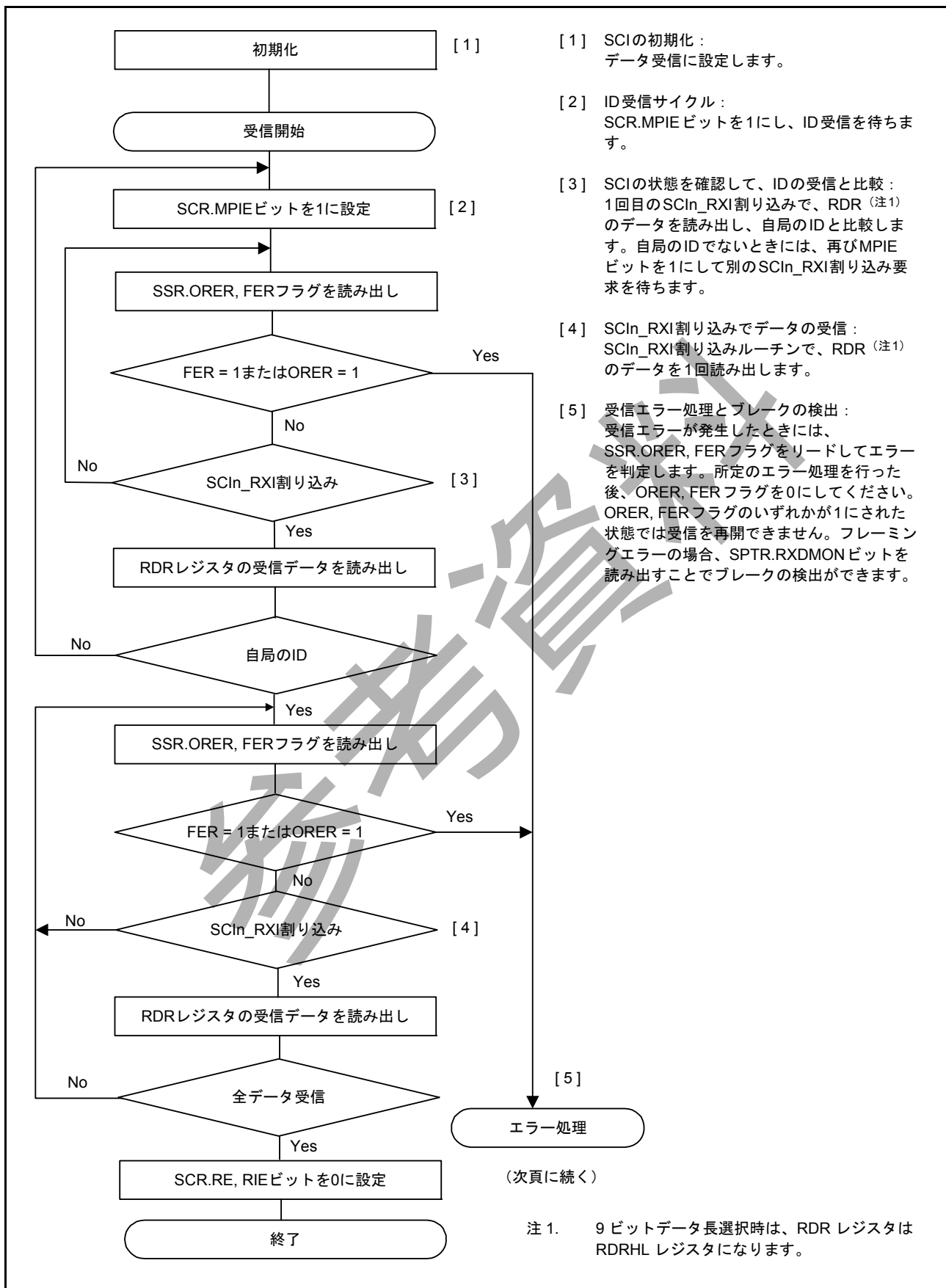


図 25.27 マルチプロセッサシリアル受信のフローチャート例 (1)

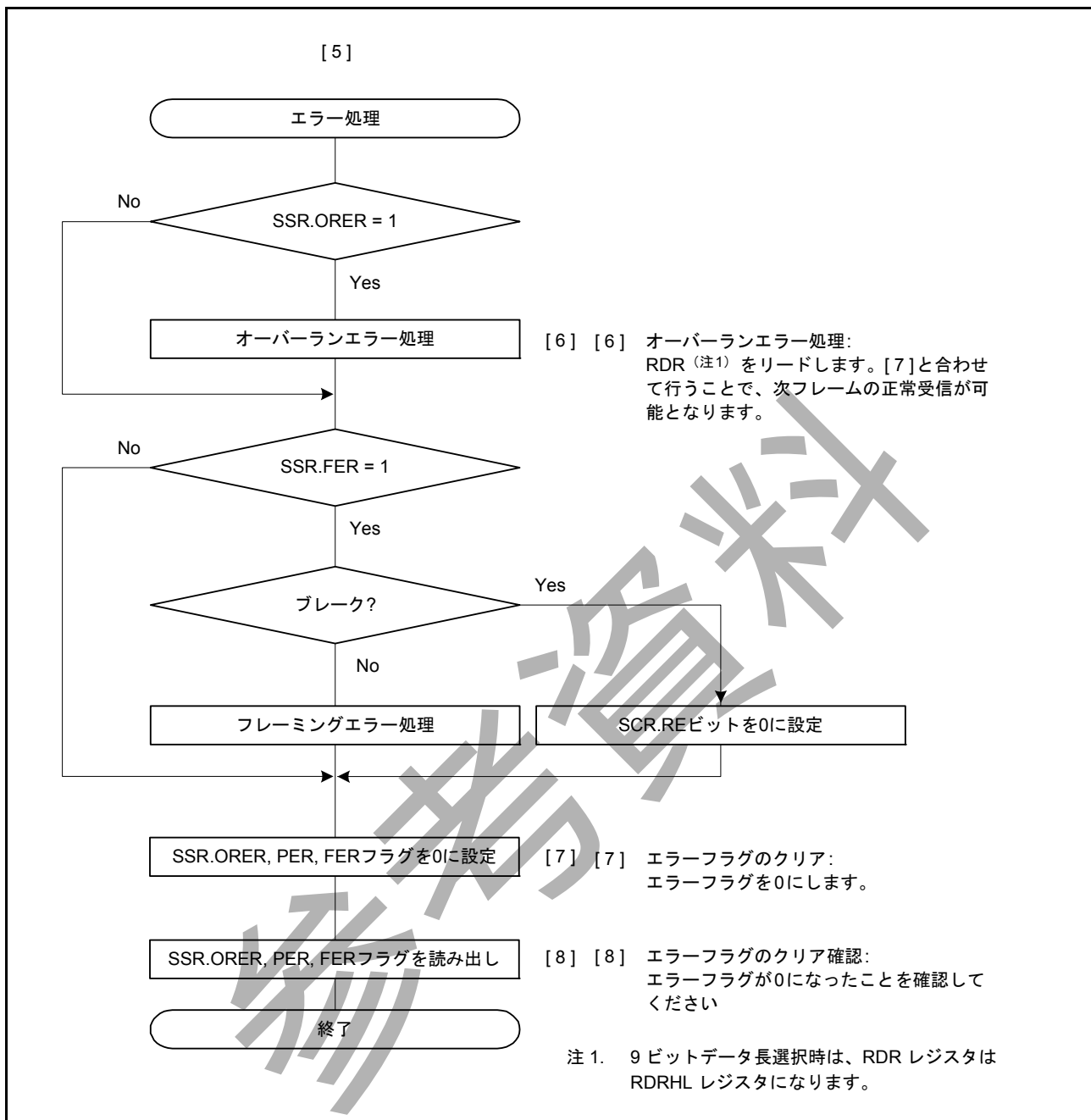


図 25.28 マルチプロセッサシリアル受信のフローチャート例 (2)

## (2) FIFO 選択時

図 25.29 に、マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が FRDRH レジスタの MPB フラグ (FRDRH[1]) に書き込まれます。FRDRH レジスタの PER フラグ (FRDRH[3]) には 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH から FRDRL の順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、MPB、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR\_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH, FRDRLの受信データ															
			FRDRH							FRDRL								
	SCMR. CHR1	SMR. CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	—	RDF	ORER	FER	0	DR	MPB	0	0	7ビット受信データ						
8ビット	1	1	—	RDF	ORER	FER	0	DR	MPB	0	8ビット受信データ							
9ビット	0	Don't care	—	RDF	ORER	FER	0	DR	MPB	9ビット受信データ								

注. データ長が7ビットのとき、FRDRH[0], FRDRL[7]からは常に0が読み出されます。  
データ長が8ビットのとき、FRDRH[0]から常に0が読み出されます。  
FRDRH[7]ビットの読み出し値は不定です。

図 25.29 マルチプロセッサモードにおいて FRDRH と FRDRL に格納されるデータフォーマット (FIFO 選択時)



図 25.30 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データが読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データ、MPB、および関連のエラーが FRDRHL レジスタへ転送されます。SCR.MPIE ビットが自動的にクリアされ、通常の実動作に戻ります。

フレーミングエラーが発生して SSR\_FIFO.FER フラグが 1 になると、SCI はデータ受信を続けます。その他の動作は、調歩同期式モードにおける非 FIFO 選択時の動作と同じです。

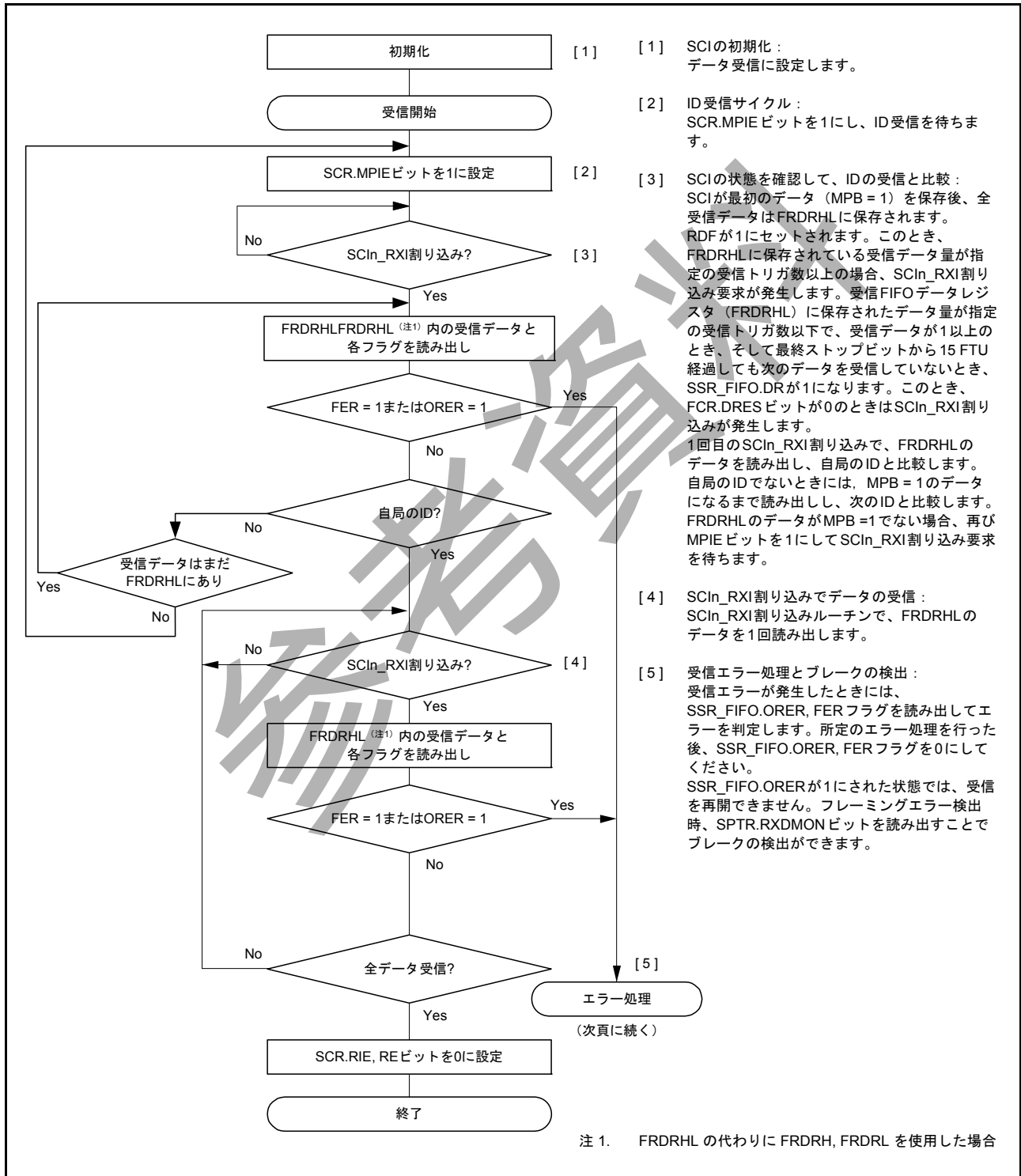


図 25.30 マルチプロセッサモードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

## 25.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 25.31 に示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり時に同期してデータを取り込みます。8 ビット出力後の送信ラインは最終ビット出力状態を保ちます。スレープモードにおいて SPMR.CKPH ビットが 1 の場合、第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しが可能であり、連続送受信動作が実現されます。

ただし、最高速ビットレートの設定 (BRR = 00h および SMR.CKS[1:0] = 00b) では、連続送受信動作が不可能です。そのため FIFO 選択時は、この設定 (BRR = 00h および SMR.CKS[1:0] = 00b) は利用できません。

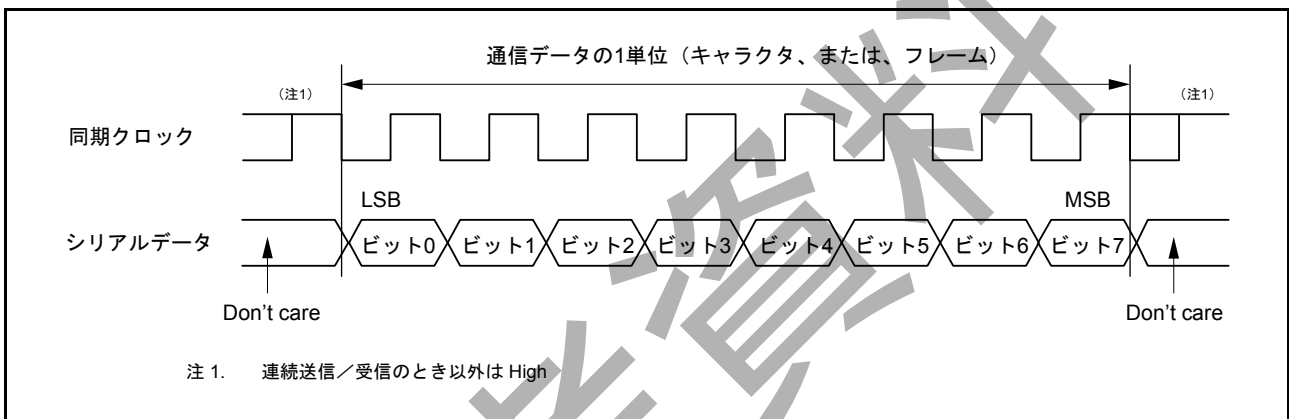


図 25.31 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

### 25.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ポーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部同期クロックのいずれかを選択できます。

SCI が内部クロックで動作する場合、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信で 8 パルスの同期クロックが出力されます。送受信を行わないとき、クロックは High に固定されます。ただし、受信動作のみで CTS 機能が無効な場合、SCR.RE ビットが 1 になると同時に、同期クロックの出力が始まります。オーバーランエラーが発生するか、または SCR.RE ビットが 0 になると、同期クロックは High レベル (注 1) で停止します。

受信動作のみで CTS 機能が有効な場合は、SCR.RE ビットが 1 になっても CTSn\_RTSn 端子入力が High であれば、クロック出力は始まりません。SCR.RE ビットが 1 になったとき、CTSn\_RTSn 端子入力が Low であれば、同期クロックの出力が始まります。その後、フレームの受信が完了した時点で CTSn\_RTSn 端子入力が High であれば、同期クロック出力は High レベルになったところで停止します。CTSn\_RTSn 端子入力が引き続き Low であれば、オーバーランエラーが発生するか、または SCR.RE ビットが 0 になったときに、同期クロックは High レベル (注 1) で停止します。

注 1. (SPMR.CKPH ビット = 0 && SPMR.CKPOL ビット = 1) または (SPMR.CKPH ビット = 1 && SPMR.CKPOL ビット = 1) の状態にあるとき、信号は High に固定されます。(SPMR.CKPH ビット = 0 && SPMR.CKPOL ビット = 1) または (SPMR.CKPH ビット = 1 && SPMR.CKPOL ビット = 0) の状態にあるとき Low に固定されます。

### 25.5.2 CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTS<sub>n</sub> RTS<sub>n</sub> 端子入力を使用してデータ送受信の開始制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTS<sub>n</sub> RTS<sub>n</sub> 端子入力が Low になると、データの送受信が開始されます。

送受信中に CTS<sub>n</sub> RTS<sub>n</sub> 端子入力を High にしても、処理中のフレームの送受信には影響を与えません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTS<sub>n</sub> RTS<sub>n</sub> 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

下記の条件をすべて満たす場合

#### (a) 非 FIFO 選択時

- SCR.RE ビットまたは SCR.TE ビットが 1
- 送受信動作中でない
- 読み出し前の受信データがない (SCR.RE ビットが 1 のとき)
- 送信データを書き込み済み (SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 の場合)
- 送信前に TSR レジスタにデータがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR.ORER フラグが 0

#### (b) FIFO 選択時

- SCR.RE ビットまたは SCR.TE ビットが 1
- 送受信動作中でない
- FRDRHL に書き込まれた受信データ数が指定された RTS 出力トリガ数より少ない (SCR.RE = 1 の場合)
- FTDRHL レジスタに未送信データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 の場合)
- 送信前に TSR レジスタにデータがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR\_FIFO.ORER フラグが 0

[High になる条件]

Low になる条件を満たさない場合

### 25.5.3 SCI の初期化 (クロック同期式モード)

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に **25.5.2 CTS、RTS 機能** に示す SCI 手順 (非 FIFO 選択時および FIFO 選択時) を続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

- 注 1. SCR.RE ビットを 0 にしても、SSR/SSR\_FIFO レジスタの ORER、FER、PER の各フラグ、ならびに RDR レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。
- 注 2. SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCIn\_TXI 割り込み要求が発生します。

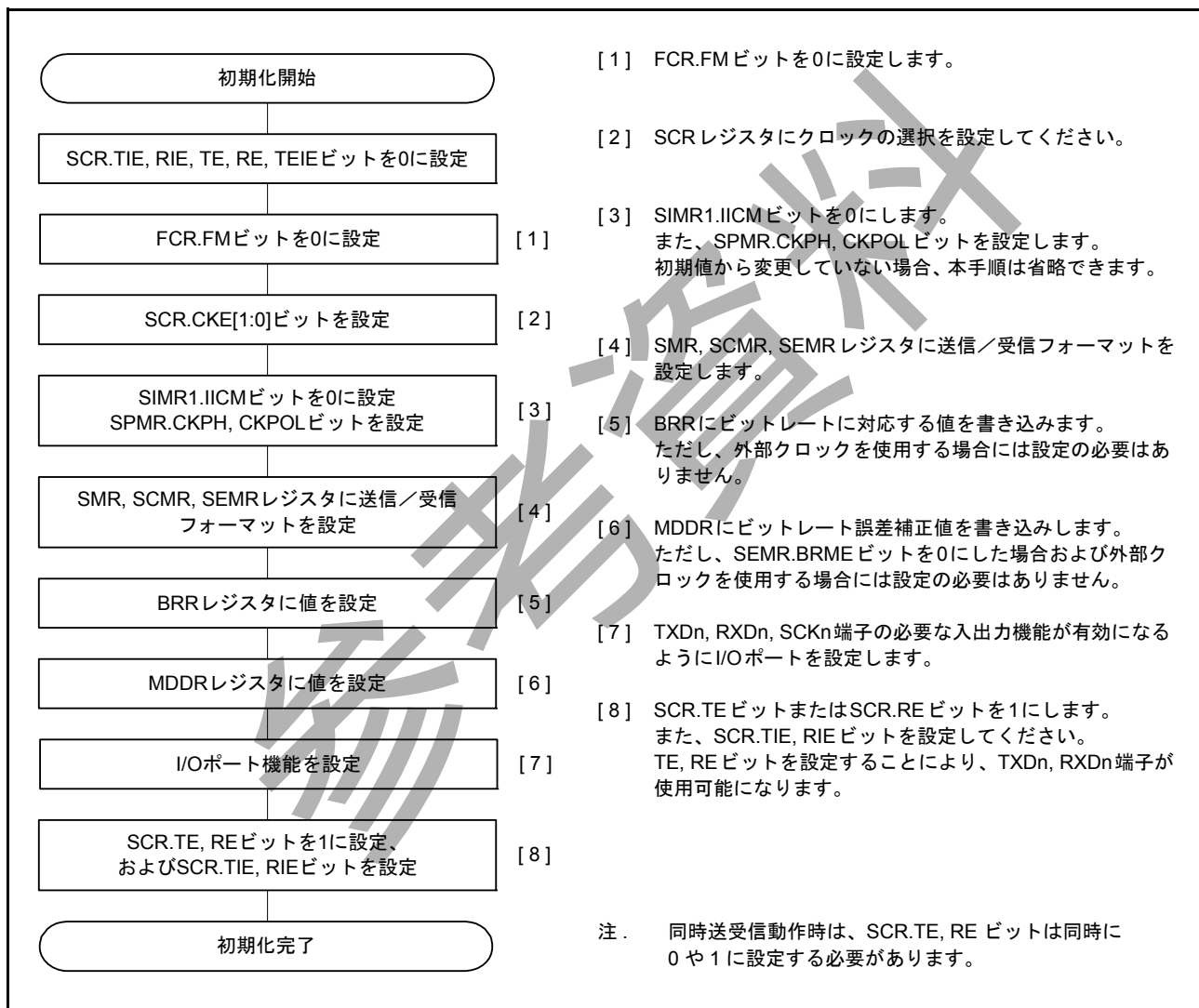


図 25.32 SCI の初期化フローチャート例 (クロック同期式モード/非 FIFO 選択時)



図 25.33 SCIの初期化フローチャート例 (クロック同期式モード / FIFO 選択時)

## 25.5.4 シリアルデータの送信 (クロック同期式モード)

### (1) 非 FIFO 選択時

図 25.34、図 25.35、および図 25.36 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn\_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。なお、送信開始時の SCIn\_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後、SCR.TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。このとき、SCR.TIE ビットが 1 になっていると、SCIn\_TXI 割り込み要求が発生します。この SCIn\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn\_TEI 割り込み要求を使用する場合は、SCIn\_TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力 Low になるまで待機します。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn\_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

図 25.34 に、シリアル送信のフローチャート例を示します。

受信エラーフラグ (SSR.ORER、FER、または PER) が 1 の状態では、送信は開始されません。送信を開始する前に、必ず受信エラーフラグを 0 にしてください。

注 . 受信エラーフラグは、SCR.RE ビットを 0 にしてもクリアされません。

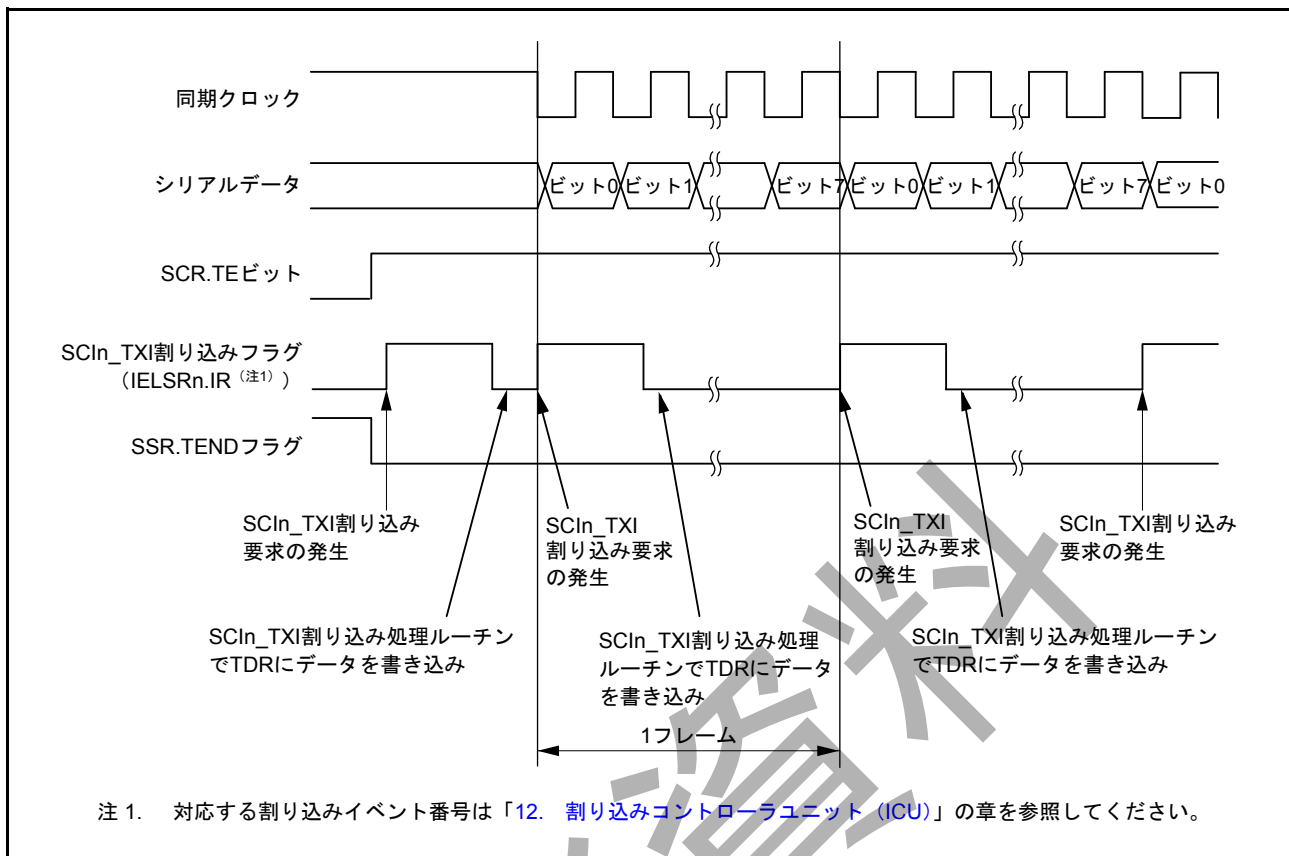


図 25.34 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用しない場合)

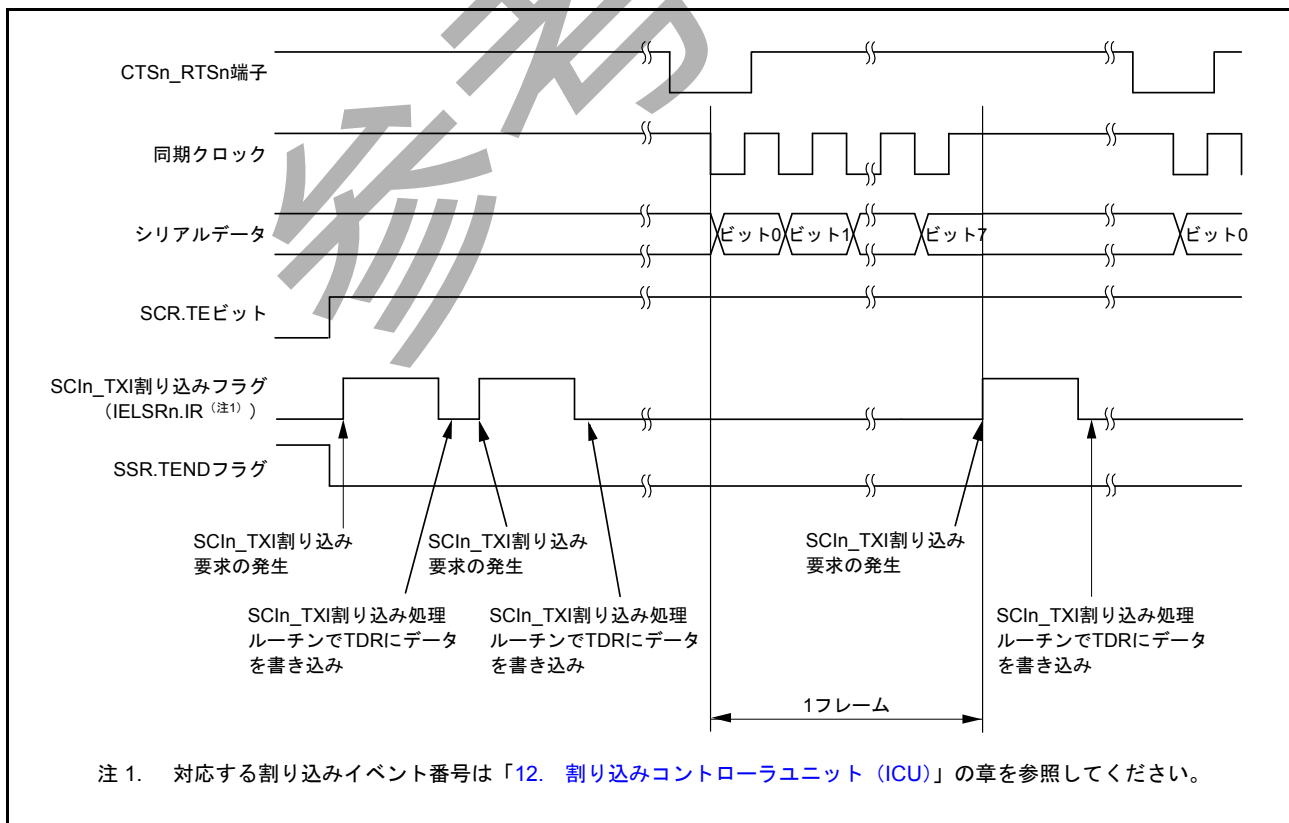


図 25.35 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用する場合)

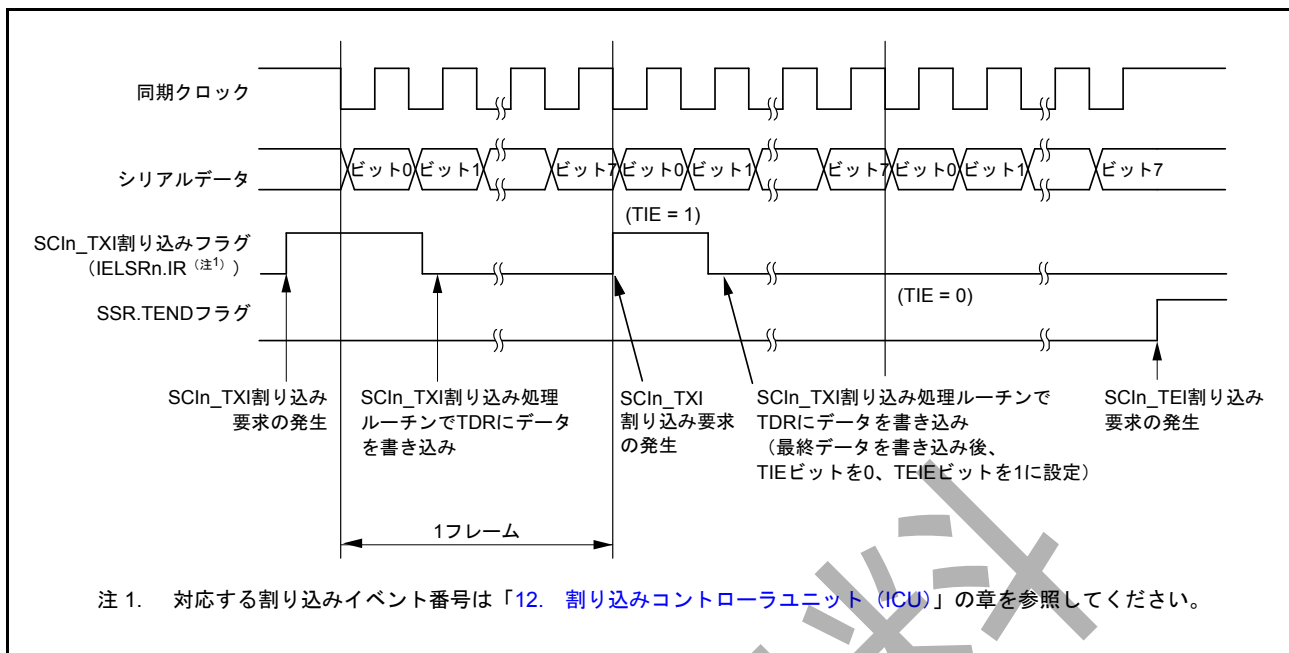


図 25.36 クロック同期式モードにおけるシリアル送信の動作例 (送信中～送信終了時)



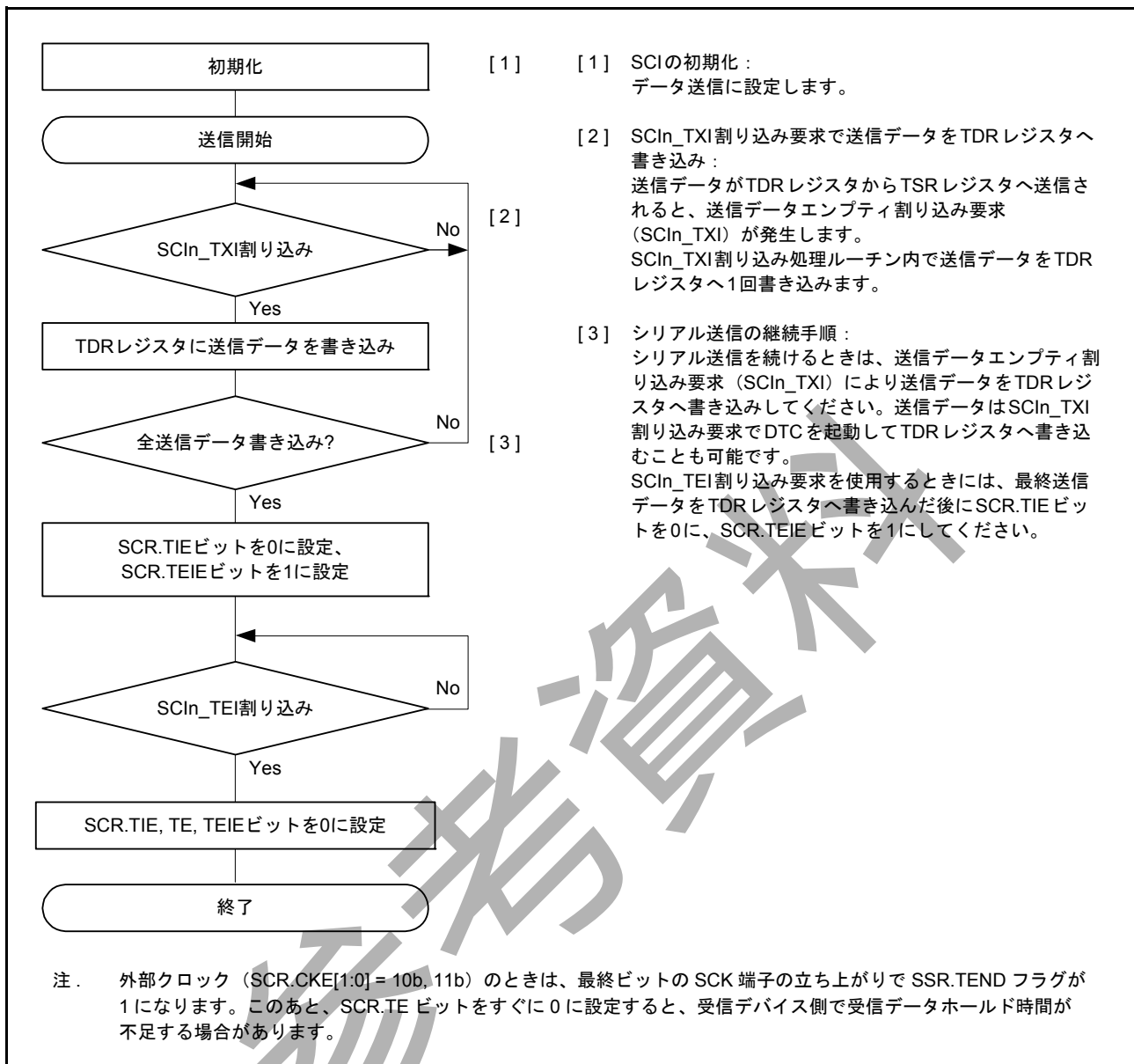


図 25.37 クロック同期式モードにおけるシリアル送りのフローチャート例

## (2) FIFO 選択時

図 25.38 に、クロック同期式モードにおける FIFO 選択時のシリアル送りのフローチャート例を示します。  
シリアルデータの送信時、SCI は以下のように動作します。

- SCIn\_TXI 割り込み処理ルーチンでFTDRL レジスタ (注1) にデータが書き込まれると、SCI はFTDRL レジスタ (注1) から TSR レジスタへデータを転送します。16 ビット FTDRL レジスタに格納されている未送信データを書くことができます。なお、送信開始時の SCIn\_TXI 割り込み要求は、SCR.TIE ビットを1にした後に SCR.TE ビットを1にするか、これら2つのビットを1命令で同時に1にすることで発生します。
- SCI は、FTDRL レジスタから TSR レジスタにデータを転送した後、送信を開始します。FTDRL に書き込まれた送信データ数が指定された送信トリガ数以下のとき、SSR\_FIFO.TDFE ビットが1になります。このとき、SCR.TIE ビットが1になっていると、SCIn\_TXI 割り込み要求が発生します。この SCIn\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn\_TEI 割り込み要求を使用する場合は、SCIn\_TXI

割り込み要求処理ルーチン内で最終送信データをFTDRLレジスタに書き込んだ後、SCR.TIEビットを0にして、SCR.TEIEビットを1にします。

3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn端子から8ビットのデータが送信されます。クロック信号出力は、SPMR.CTSEビットが1のとき、CTS信号入力Lowになるまで待機します。
4. ストップビットを送り出すタイミングで、SCIはFTDRLレジスタに未送信データが残っていないかチェックします。
5. FTDRLレジスタが更新されていれば、FTDRLレジスタからTSRレジスタにデータを転送し、次のフレームの送信を開始します。
6. FTDRLレジスタが更新されていなければ、SSR\_FIFO.TENDフラグを1にします。TXDn端子は最終ビットの出力状態を保持します。このとき、SCR.TEIEビットが1になっていると、SCIn\_TEI割り込み要求が発生し、SCKn端子はHighに固定されます。

注1. クロック同期式モードでは、FTDRHレジスタを使用しません。

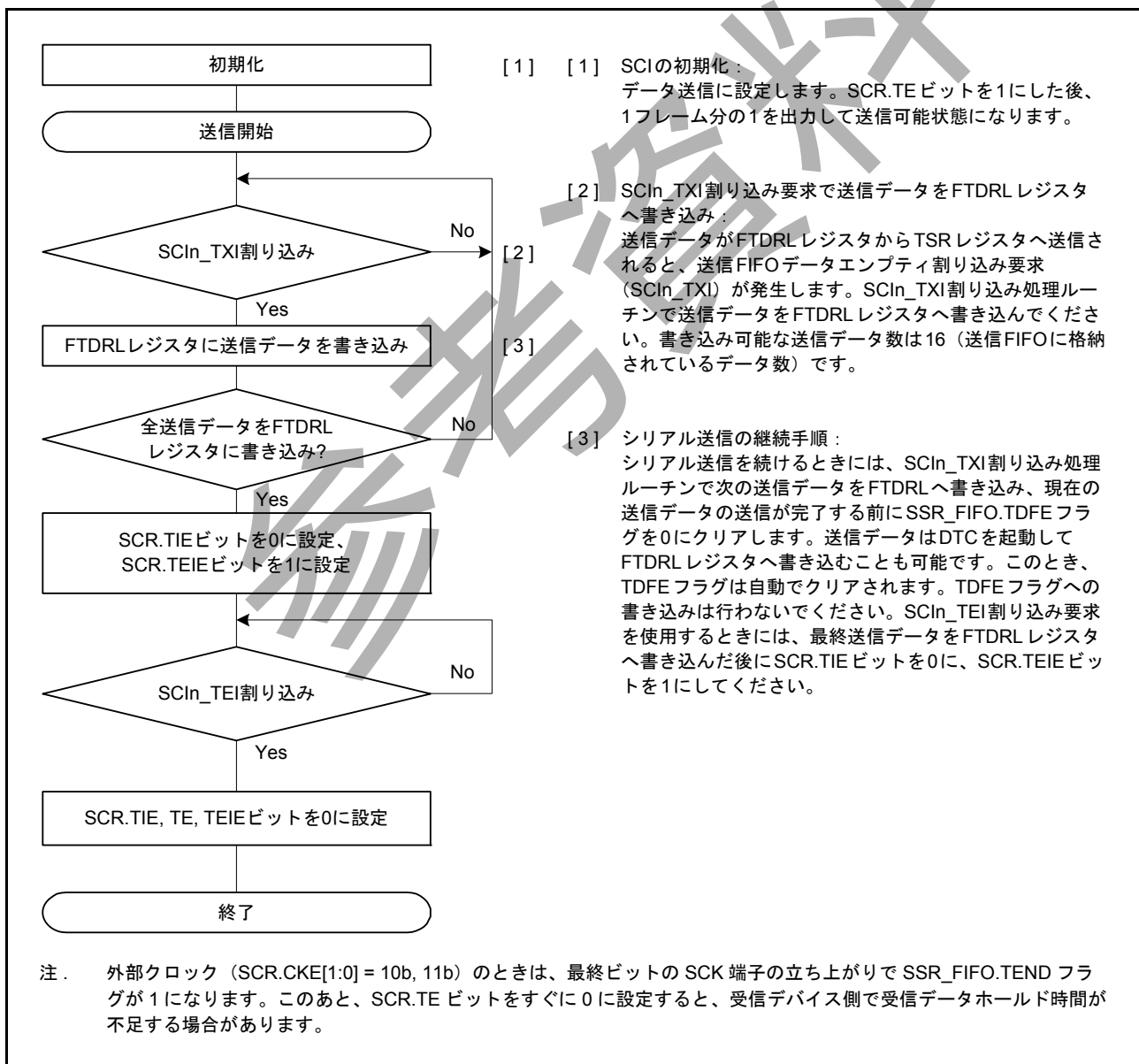


図 25.38 クロック同期式モードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

### 25.5.5 シリアルデータの受信 (クロック同期式モード)

#### (1) 非 FIFO 選択時

図 25.39 と図 25.40 に、クロック同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_RXI 割り込み要求が発生します。SCIn\_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。

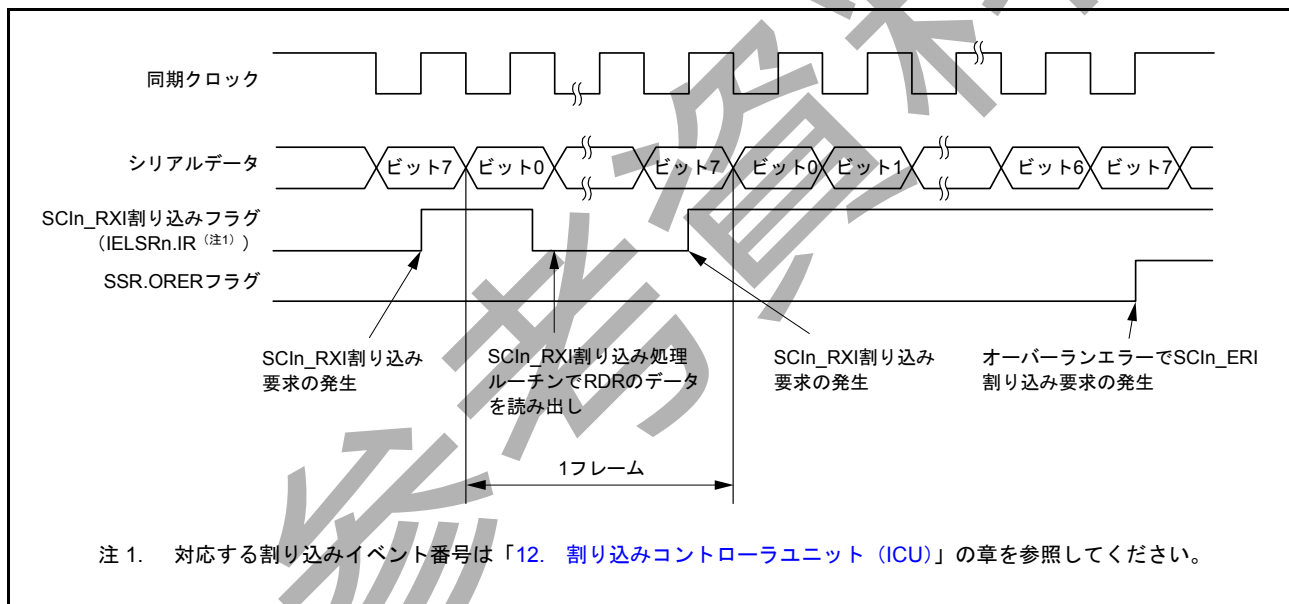


図 25.39 クロック同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合)

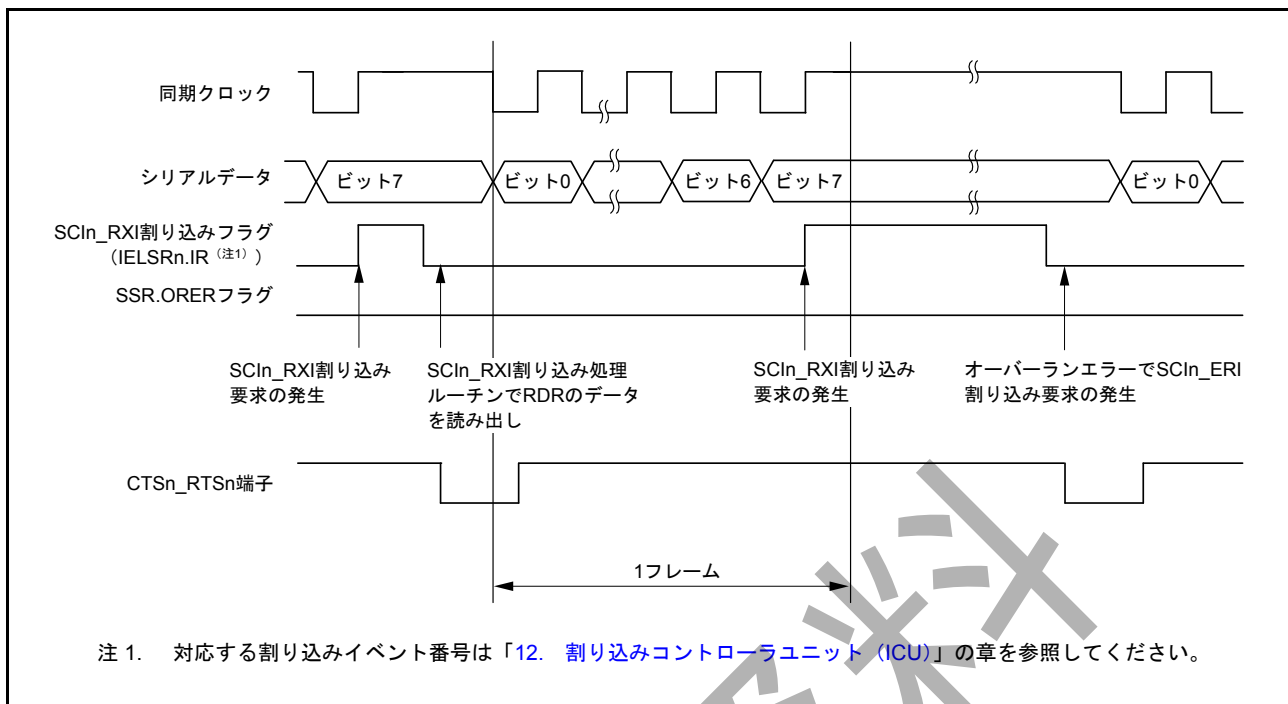


図 25.40 クロック同期式モードにおけるシリアル受信の動作例 (2) (RTS 機能を使用する場合)

受信エラーフラグが 1 の状態では送受信動作を再開できません。したがって、SSR.ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 25.41 に、シリアル受信のフローチャート例を示します。

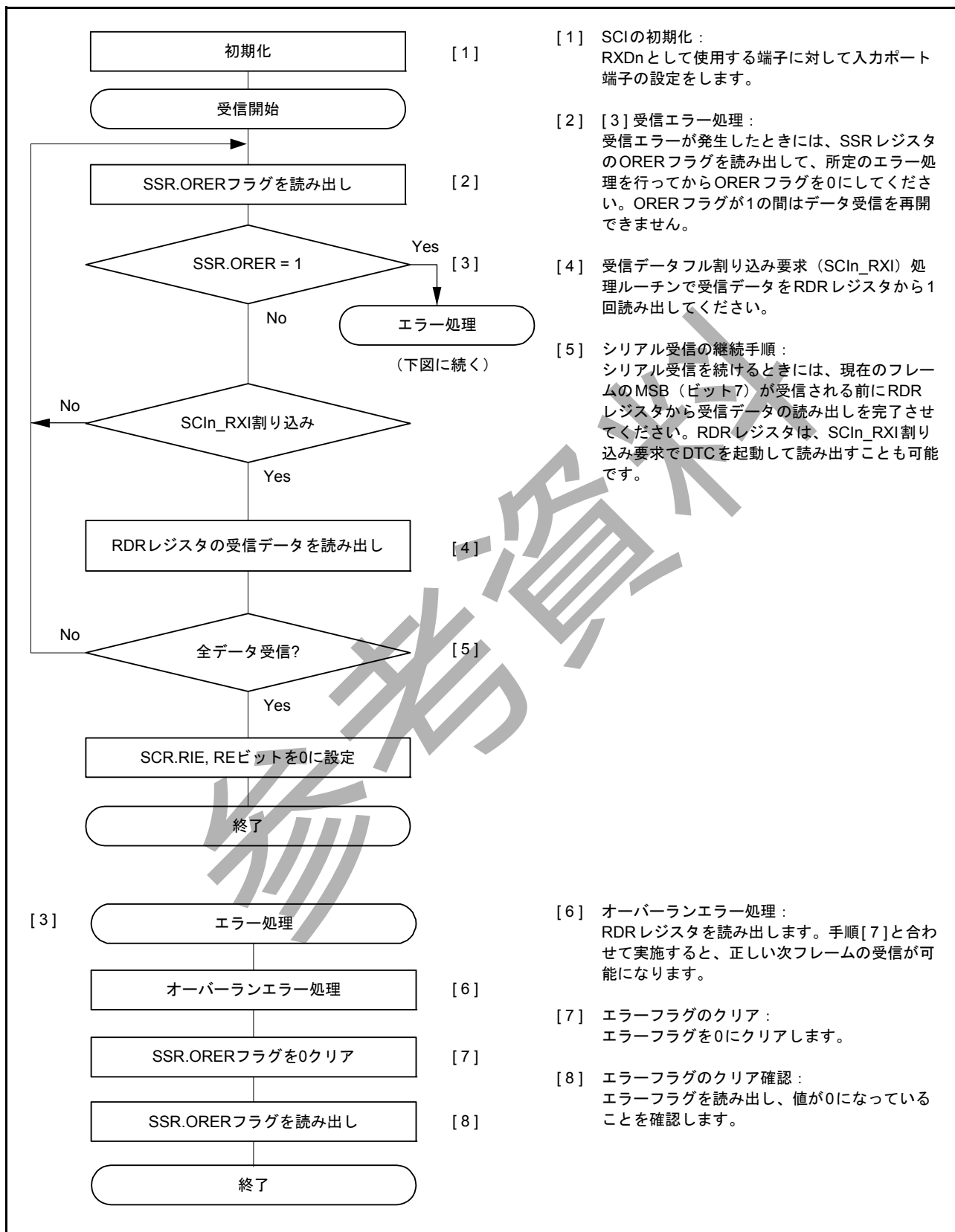


図 25.41 クロック同期式モードにおけるシリアル受信のフローチャート例

## (2) FIFO 選択時

図 25.42 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR\_FIFO. ORER ビットが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ（注 1）へ転送されません。
4. 正常に受信したときは、受信データが FRDRL レジスタ（注 1）へ転送されます。FRDRHL に格納された受信データ数が指定された受信トリガ数以上であると、RDF フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_RXI 割り込み要求が発生します。SCIn\_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ（注 2）へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタへ転送された受信データ数が RTS トリガ数未満であると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。

注 1. クロック同期式モードでは、FTDRH レジスタを使用しません。

注 2. RDF と ORER フラグを受信データとともに読み出す場合は、FRDRH から FRDRL の順に読み出してください。

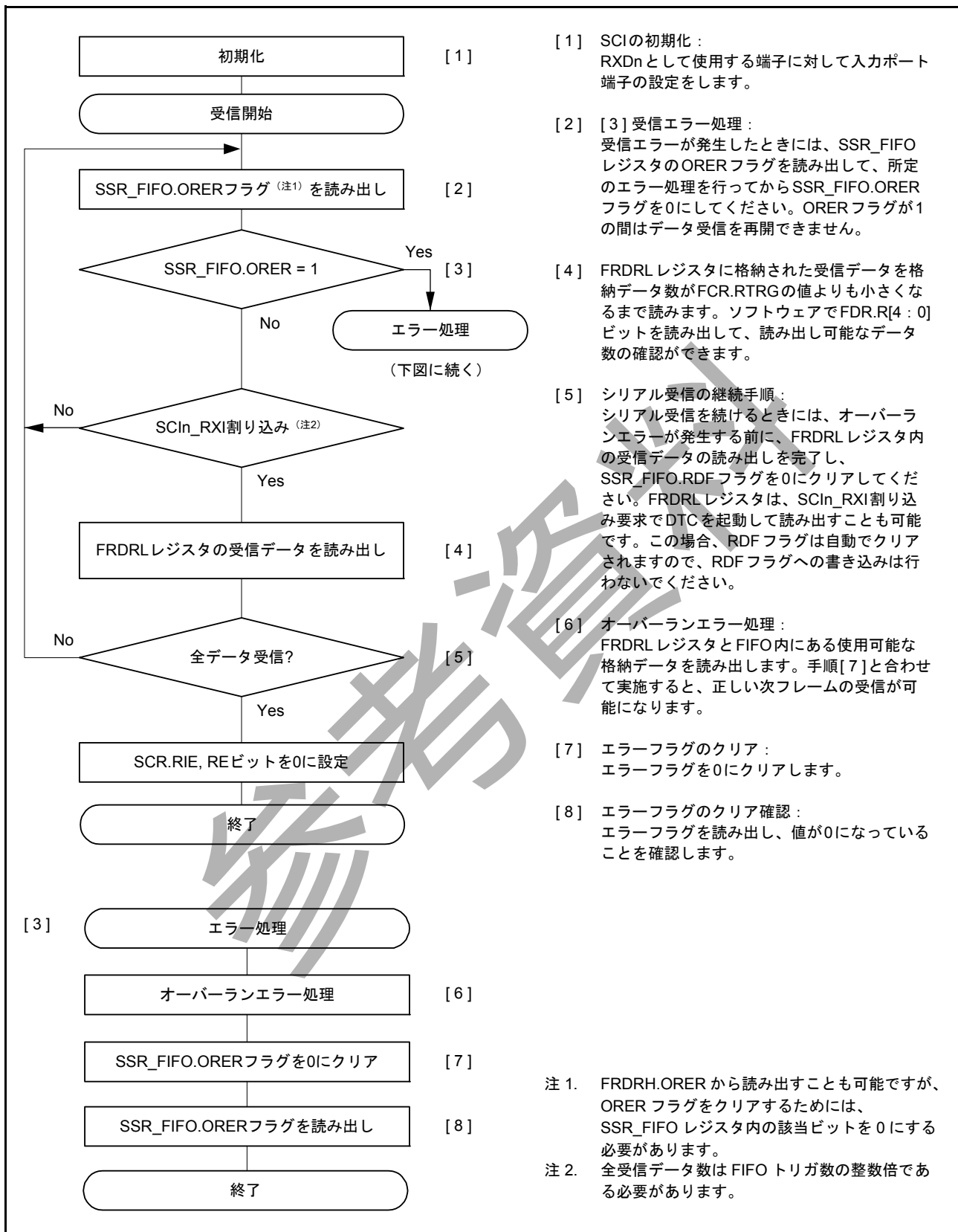


図 25.42 クロック同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

## 25.5.6 シリアルデータの同時送受信動作 (クロック同期式モード)

### (1) 非 FIFO 選択時

図 25.43 に、クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへ切り替えるときは、SCI が送信完了状態であることを SSR.TEND フラグが 1 になっていることで確認してください。その後、SCR レジスタを初期化してから、SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるときは、SCI が受信完了状態であることを確認してください。RIE ビットと RE ビットを 0 にした後、受信エラーフラグ (SSR.ORER、FER、PER) が 0 になっていることを確認します。その後、SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

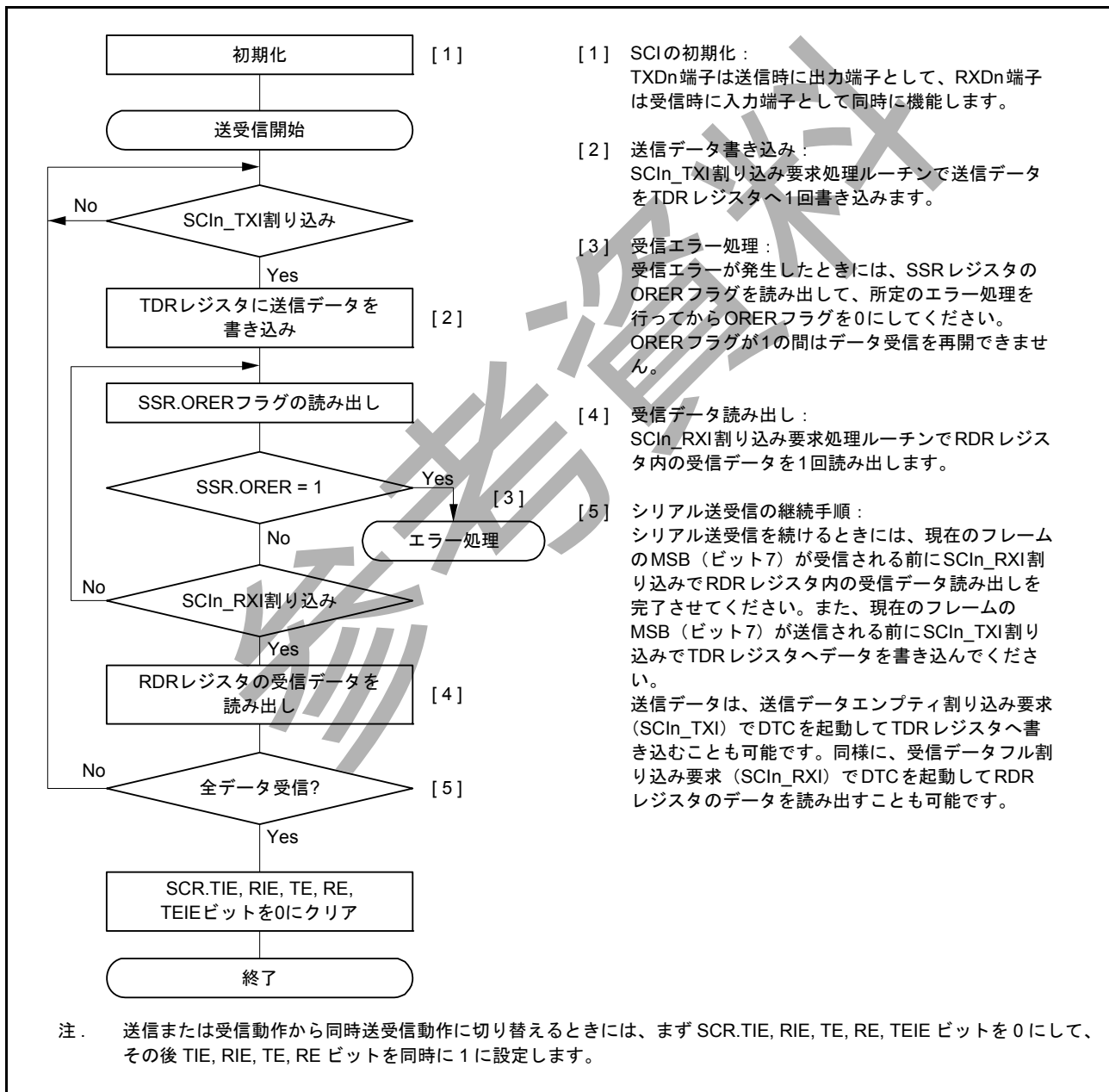


図 25.43 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例



## (2) FIFO 選択時

図 25.44 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへ切り替えるときは、SCI が送信完了状態であることを SSR\_FIFO.TEND フラグが 1 になっていることで確認してください。その後、SCR レジスタを初期化してから、SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるときは、SCI が受信完了状態であることを確認してください。RIE ビットと RE ビットを 0 にします。受信エラーフラグ (SSR\_FIFO.ORER、FER、PER) が 0 になっていることを確認した後、SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

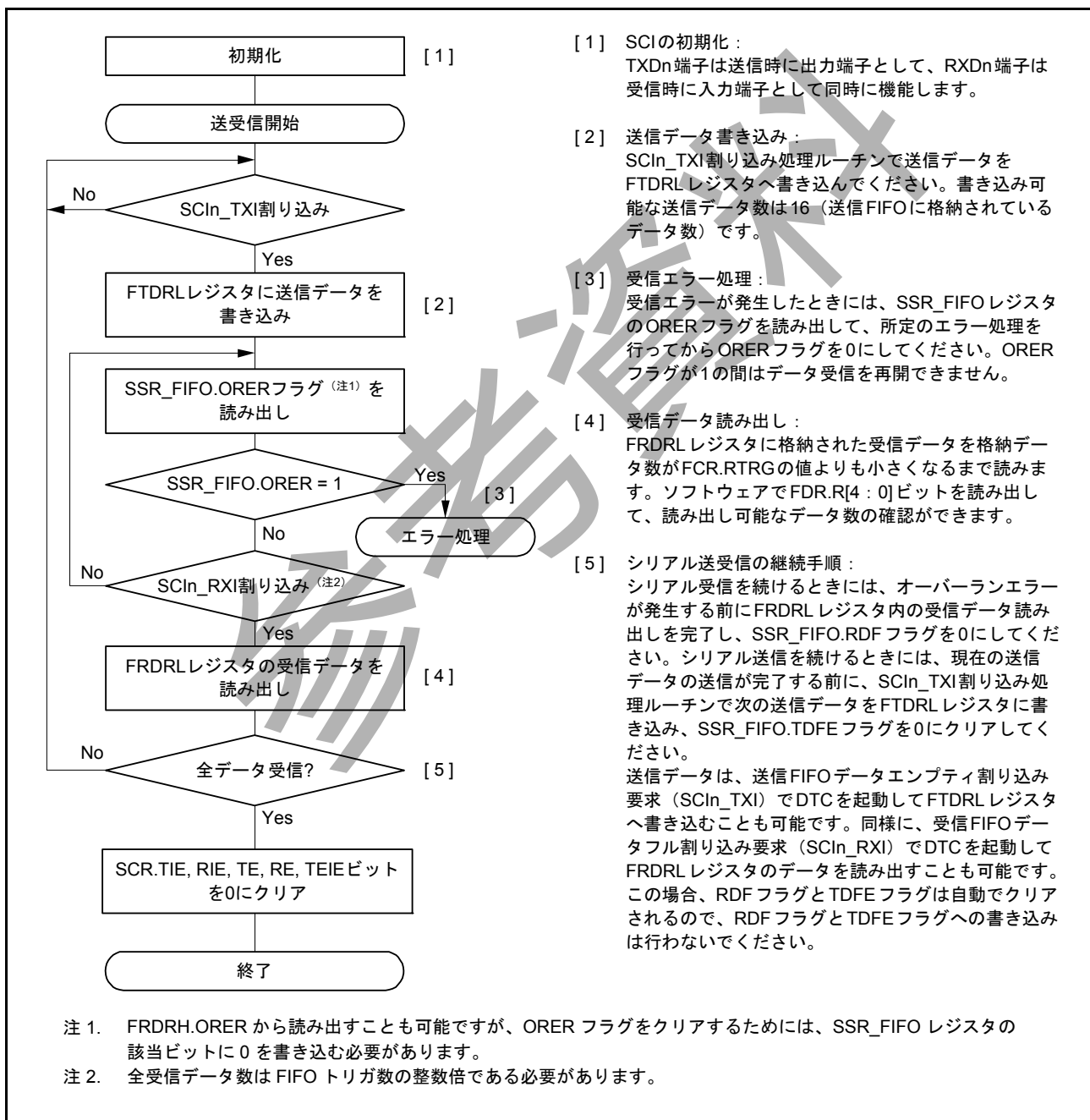


図 25.44 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例 (FIFO 選択時)

## 25.6 スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3 (Identification Card) 規格に対応したスマートカード (IC カード) インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

### 25.6.1 接続例

図 25.45 にスマートカード (IC カード) との接続例を示します。

図 25.45 に示すように、本 MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR\_SMCI レジスタの TE ビットと RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には、本 MCU の出力ポートを使用できます。

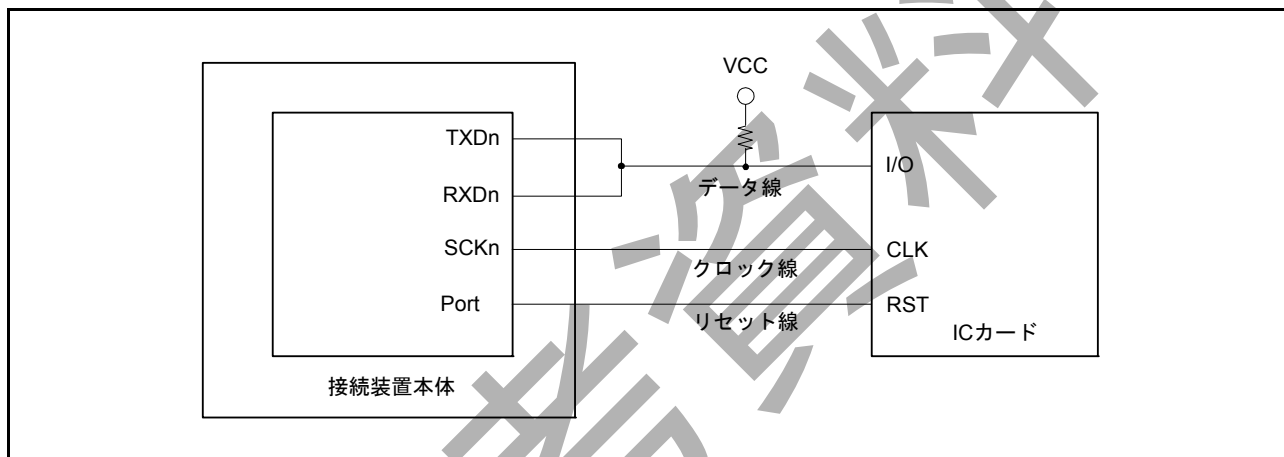


図 25.45 スマートカード (IC カード) との接続例

### 25.6.2 データフォーマット (ブロック転送モード時を除く)

図 25.46 に、スマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成
- 送信時は、パリティビットの終了から次のフレーム開始まで、2ETU (Elementary Time Unit = 1 ビット転送時間) 以上のガードタイムが必要
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5ETU 経過後、エラーシグナル (Low) を 1ETU 期間出力
- 送信時にエラーシグナルをサンプリングすると、2ETU 以上経過後、自動的に同じデータを再送信

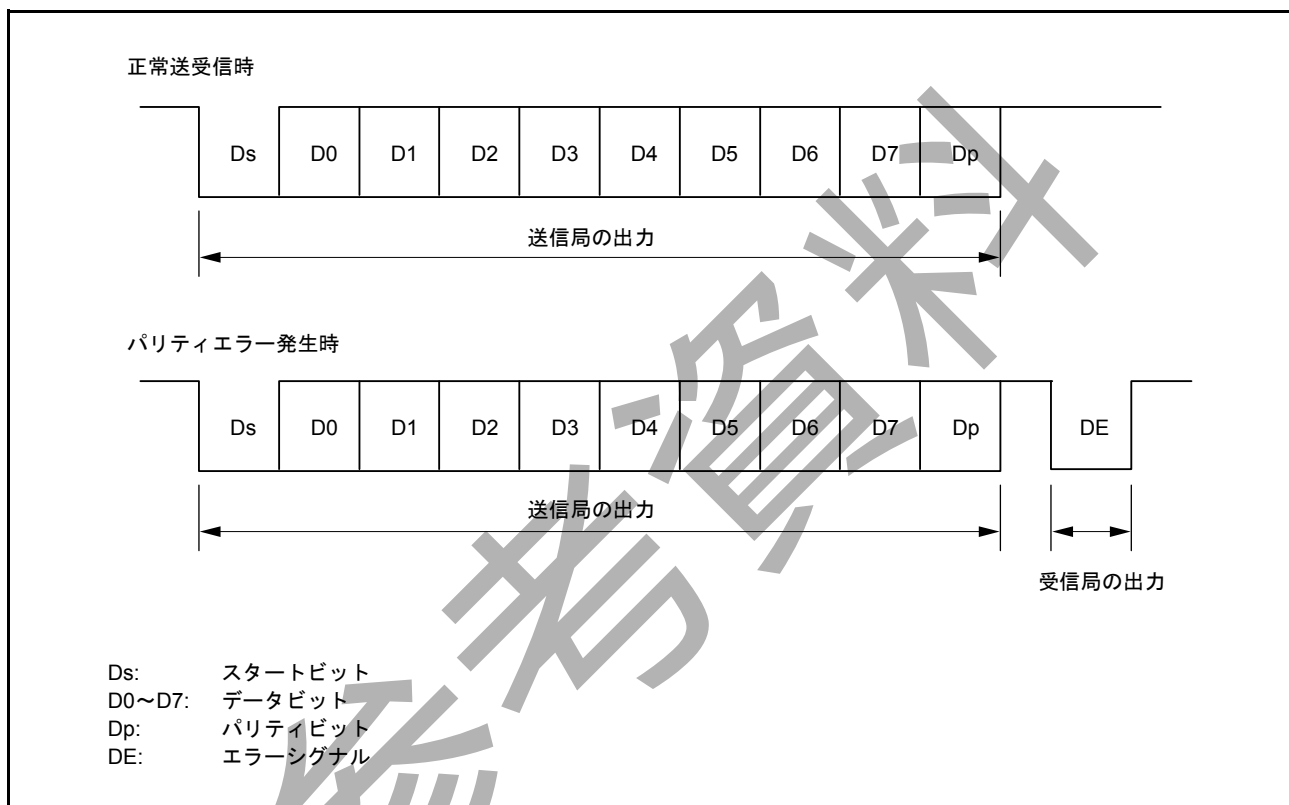


図 25.46 スマートカードインタフェースモードにおけるデータフォーマット

本セクションでは、ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードと送受信する場合について説明します。

### (1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 25.47 に示すように、ロジックレベル 1 を状態 Z に、ロジックレベル 0 を状態 A にそれぞれ対応付けて、開始キャラクタとして、LSB ファーストでデータの送受信が行われます。したがって、この図の開始キャラクタでは、データは 3Bh となります。

ダイレクトコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 0 にしてください。また、スマートカードの規定により、偶数パリティとなるよう SMR\_SMCI.PM ビットは 0 にしてください。

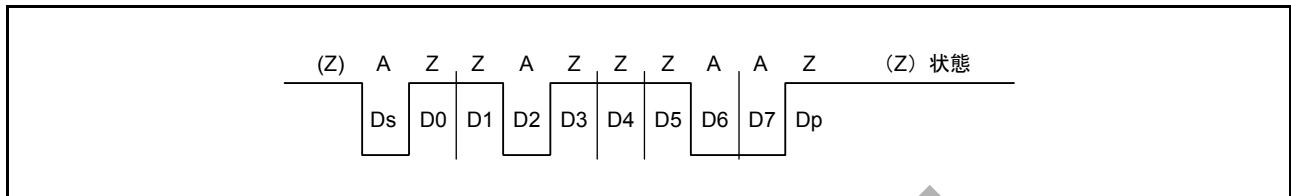


図 25.47      ダイレクトコンベンション (SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR\_SMCI.PM ビット = 0)

### (2) インバースコンベンションタイプ

インバースコンベンションタイプでは、図 25.48 に示すように、ロジックレベル 1 を状態 A に、ロジックレベル 0 を状態 Z にそれぞれ対応付けて、開始キャラクタとして、MSB ファーストでデータの送受信が行われます。したがって、この図の開始キャラクタでは、データは 3Fh となります。

インバースコンベンションを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 1 にしてください。スマートカードで規定されている偶数パリティとするため、パリティビットは状態 Z に対応付けられているロジックレベル 0 になります。本 MCU では、SINV ビットはデータビット D7 ~ D0 のみを反転させます。そのため、送信時と受信時の両方において、SMR\_SMCI.PM ビットに 1 を書いてパリティビットを反転させてください。

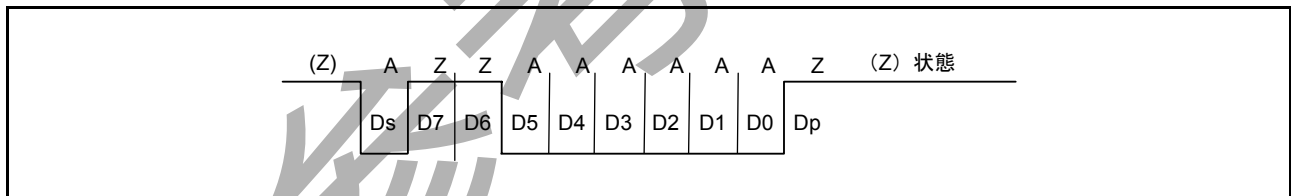


図 25.48      インバースコンベンション (SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR\_SMCI.PM ビット = 1)

## 25.6.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行うが、エラーを検出してもエラーシグナルは出力しない。エラー検出時に SSR\_SMCI.PER フラグがセットされるので、次のフレームのパリティビットを受信する前にクリアが必要
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは、1ETU 以上が必要
- 同じデータの再送信を行わないため、送信開始から 11.5ETU 経過後に、SSR\_SMCI.TEND フラグがセットされる
- ブロック転送モードでは、SSR\_SMCI.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルの状態を示すが、エラーシグナルの送受信を行わないため、読むと 0 が読める

### 25.6.4 受信データのサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成する内部クロックのみです。

スマートカードインタフェースモードでは、SCIはSCMR.BCP2ビットとSMR\_SMCI.BCP[1:0]ビットの設定により、ビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、または512倍の周波数の基本クロックで動作します（通常の調歩同期式モードでは16倍に固定されています）。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。

また、[図 25.49](#)に示すように、受信データは基本クロックのそれぞれ16、32、186、128、46、64、93、256サイクルの立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。受信マージンは次式で表わすことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%]$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N = 32, 64, 372, 256)

D：クロックのデューティ (D = 0 ~ 1.0)

L：フレーム長 (L = 10)

F：クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようにになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 [\%] = 49.866\%$$

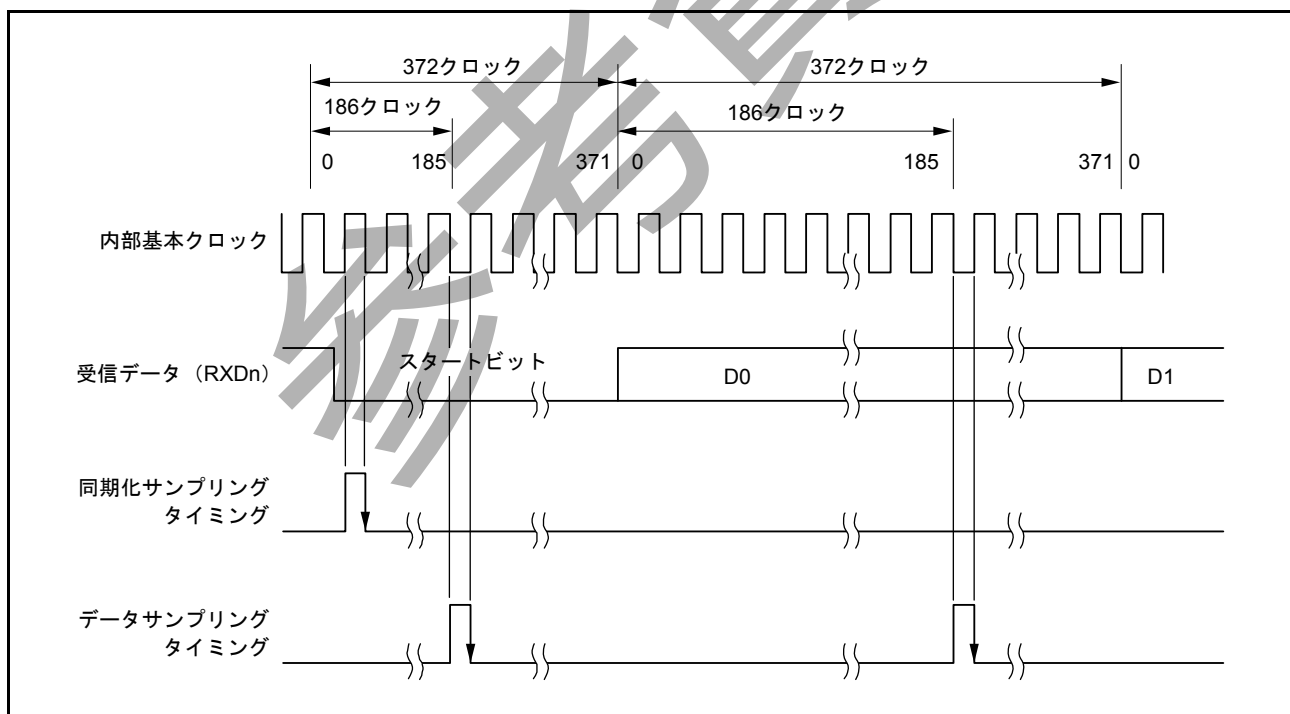


図 25.49 スマートカードインタフェースモード時の受信データサンプリングタイミング（ビットレートの372倍のクロック周波数の場合）

### 25.6.5 SCI の初期化

データの送受信前に、SCR\_SMCI レジスタに初期値 00h を書き込み、[図 25.50](#) に示すフローチャート例に従って、SCI を初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に SCR\_SMCI レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、RE ビットを 0 にしても RDR レジスタは初期化されません。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、TE ビット = 1、RE ビット = 0 にしてください。受信動作の完了は、SCI<sub>In</sub>\_RXI 割り込み要求、SSR\_SMCI.ORER フラグ、あるいは SSR\_SMCI.PER フラグで確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、TE ビット = 0、RE ビット = 1 にしてください。送信動作の完了は SSR\_SMCI.TEND フラグで確認できます。



図 25.50 SCI の初期化フローチャート例（スマートカードインタフェースモード）

### 25.6.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モードを除く）では、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信時の再転送動作を図 25.51 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルがサンプリングされると、SSR\_SMCI.ERS フラグが 1 になります。このとき、SCR\_SMCI.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、ERS フラグを 0 にクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSR\_SMCI.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
- 3 受信側からエラーシグナルが返ってこない場合、ERS フラグは 1 になりません。
- 4 この場合、SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされません。このとき、SCR\_SMCI.TIE ビットが 1 になっていると、SCIn\_TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャート例を図 25.52 に示します。これら一連の処理は、SCIn\_TXI 割り込み要求で DTC を起動することにより、自動的に行うことができます。

送信動作では、SSR\_SMCI.TEND フラグが 1 になっていると、SCR\_SMCI.TIE ビットが 1 の場合、SCIn\_TXI 割り込み要求が発生します。

あらかじめ DTC の起動要因として SCIn\_TXI 割り込み要求を設定しておけば、SCIn\_TXI 割り込み要求により DTC が起動されて、送信データの転送が可能になります。TEND フラグは、DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCIn\_ERI 割り込み要求が発生させて、ERS フラグをクリアしてください。

なお、DTC を使用して送受信を行う場合は、必ず DTC を有効にしてから SCI の設定を行ってください。

DTC の設定については、「14. データトランスファコントローラ (DTC)」を参照してください。

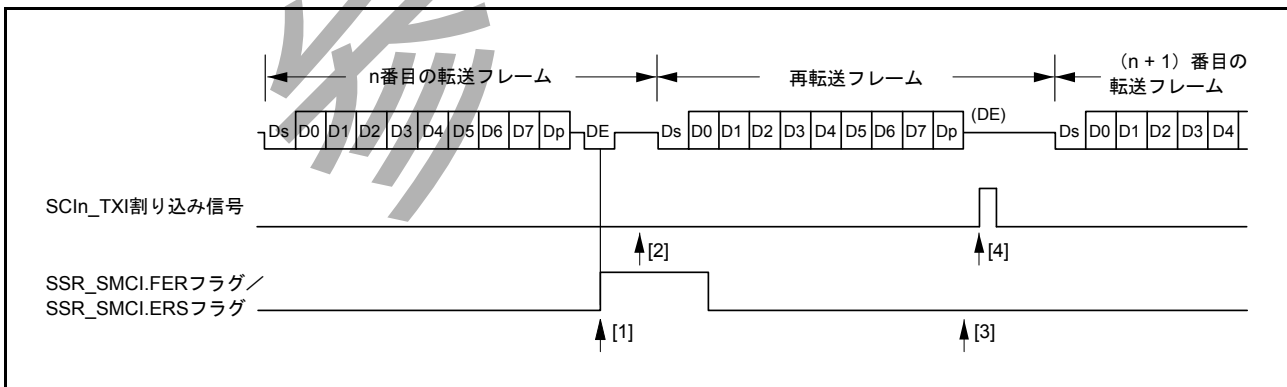


図 25.51 SCI 送信モードでの再転送動作

注. SMR\_SMCI.GM ビットの設定によっては、SSR\_SMCI.TEND フラグのセットタイミングが異なります。

図 25.52 に、TEND フラグの発生タイミングを示します。

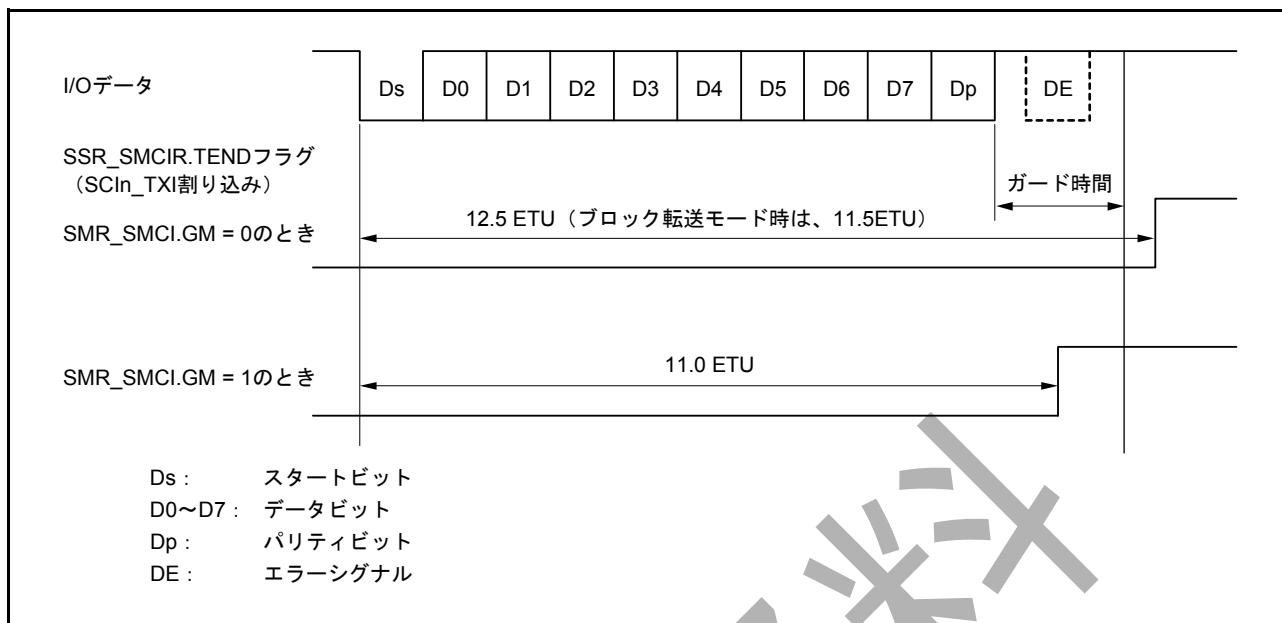


図 25.52 送信時の SSR.TEND フラグの発生タイミング



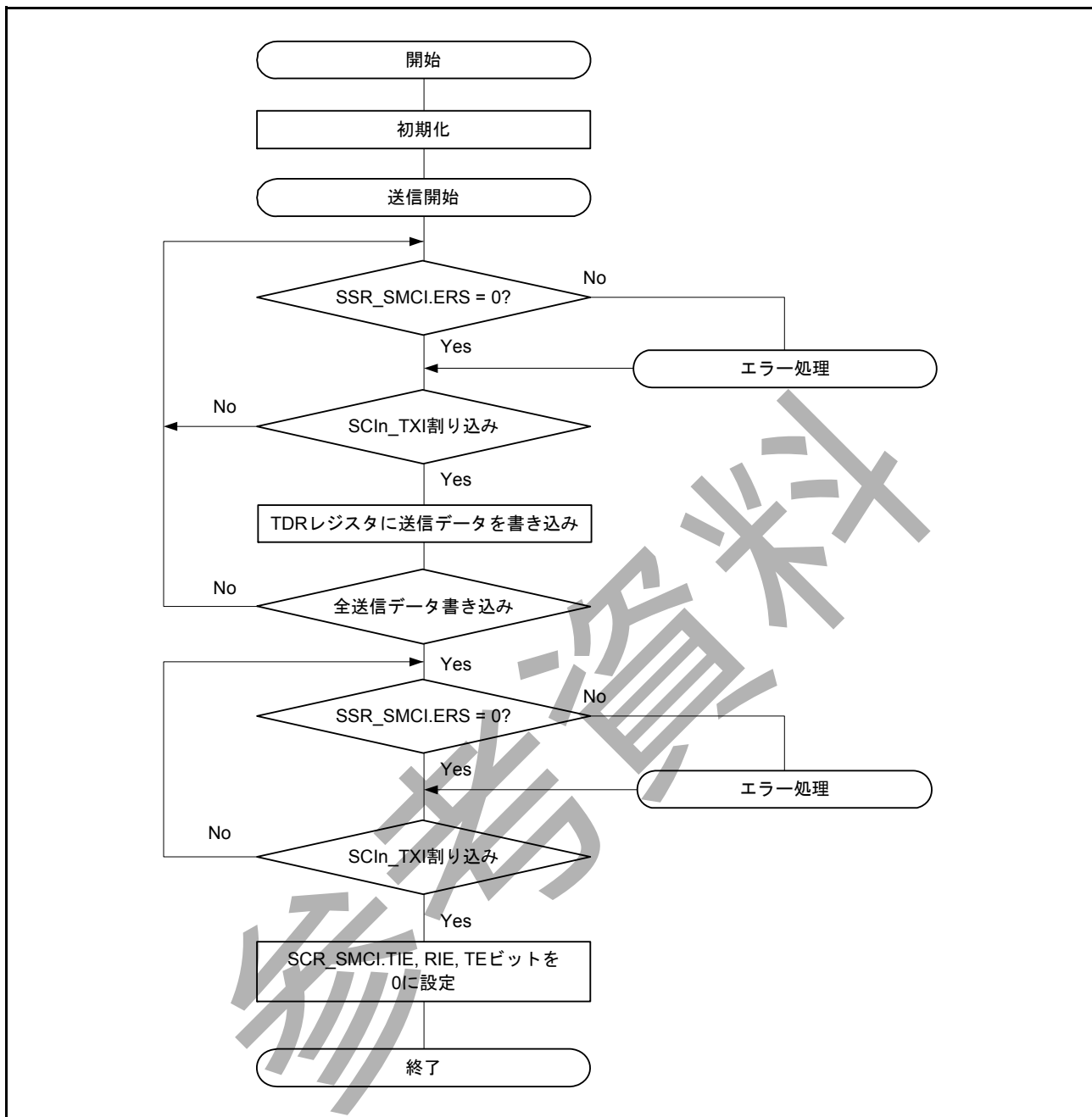


図 25.53 スマートカードインタフェース送信のフローチャート例

### 25.6.7 シリアルデータの受信（ブロック転送モード以外）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を図 25.54 に示します。

1. 受信データにパリティエラーが検出されると、SSR\_SMCI.PER フラグが 1 になります。このとき、SCR\_SMCI.RIE ビットが 1 になっていると、SCI<sub>In</sub>\_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグをクリアしてください。
2. パリティエラーが検出されたフレームに対しては、SCI<sub>In</sub>\_RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合、SSR\_SMCI.PER フラグは 1 になりません。
4. この場合、正常に受信が完了したと判断されます。このとき、SCR\_SMCI.RIE ビットが 1 になっていると、SCI<sub>In</sub>\_RXI 割り込み要求が発生します。

図 25.55 に、シリアル受信のフローチャート例を示します。これら一連の処理は、SCI<sub>In</sub>\_RXI 割り込み要求で DTC を起動することにより、自動的に行うことができます。

受信動作では、RIE ビットを 1 にしておくこと、SCI<sub>In</sub>\_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCI<sub>In</sub>\_RXI 割り込み要求を設定しておけば、SCI<sub>In</sub>\_RXI 割り込み要求により DTC が起動されて、受信データの転送が可能になります。

また、受信時にエラーが発生して SSR\_SMCI.ORER フラグまたは SSR\_SMCI.PER フラグのいずれかが 1 になると、受信エラー割り込み (SCI<sub>In</sub>\_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DTC は起動されず、受信データはスキップされます。そのため、DTC に指定されたバイト数だけ受信データが転送されます。

なお、受信時にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に SCR\_SMCI.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注 1. ブロック転送モードの場合は、25.3 調歩同期式モードの動作を参照してください。

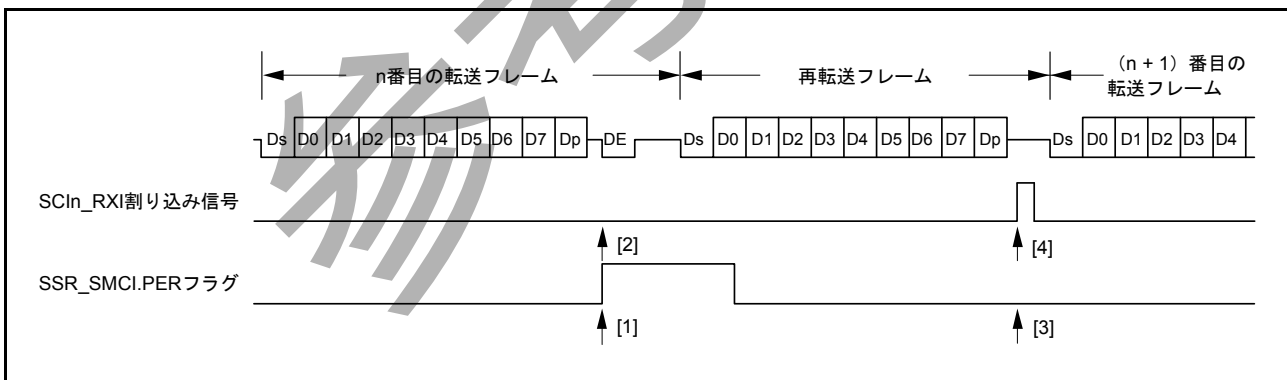


図 25.54 SCI 受信モードでの再転送動作（受信時の再転送動作）

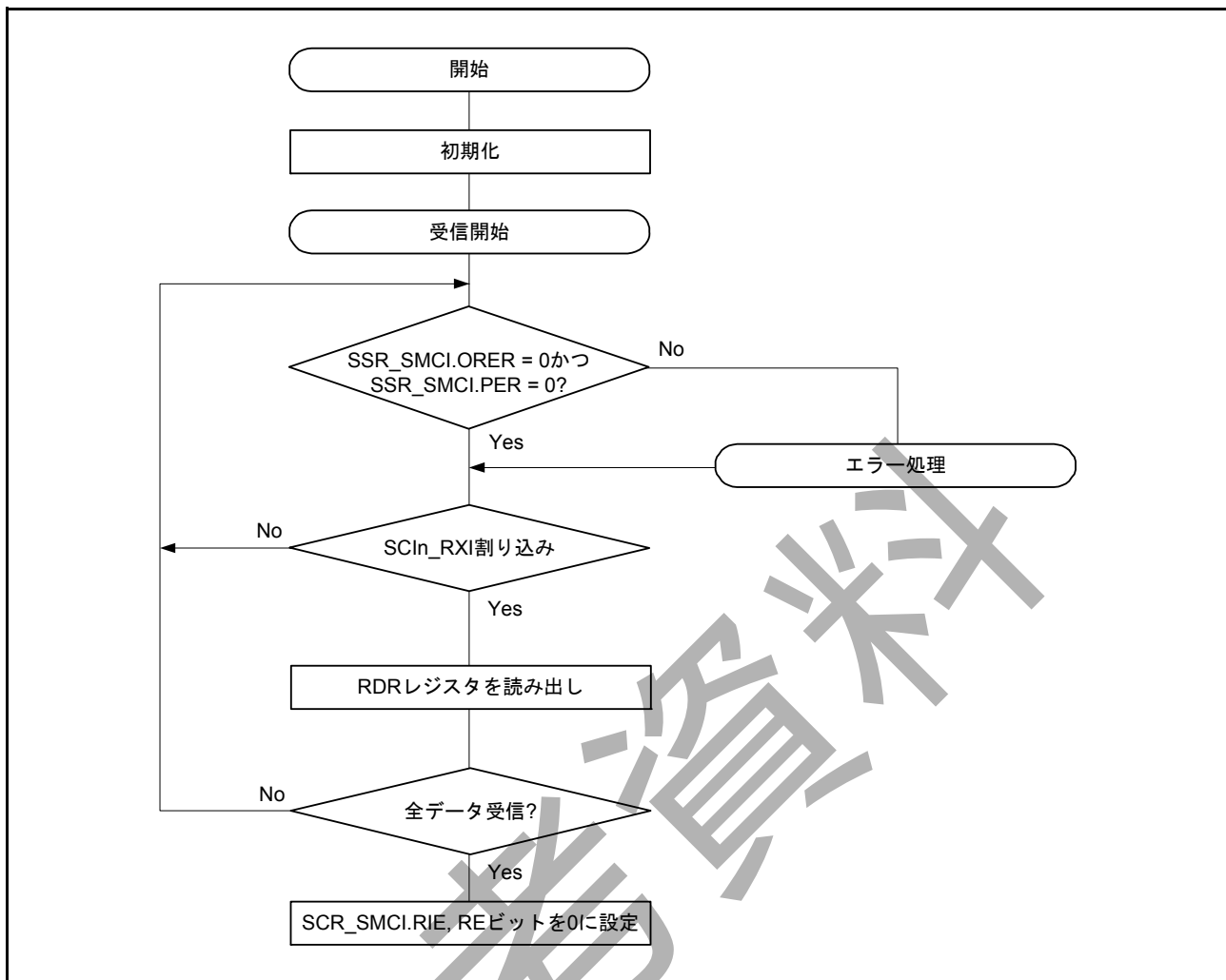


図 25.55 スマートカードインタフェース受信のフローチャート例

### 25.6.8 クロック出力制御

SMR\_SMCI.GM ビットが 1 の場合、SCR\_SMCI.CKE[1:0] ビットによってクロック出力の固定が可能です。このとき、クロックパルスの最小幅を指定できます。

図 25.56 に、クロック出力の固定タイミングを示します。これは GM ビット = 1、CKE[1] ビット = 0 とし、CKE[0] ビットを制御した場合の例です。

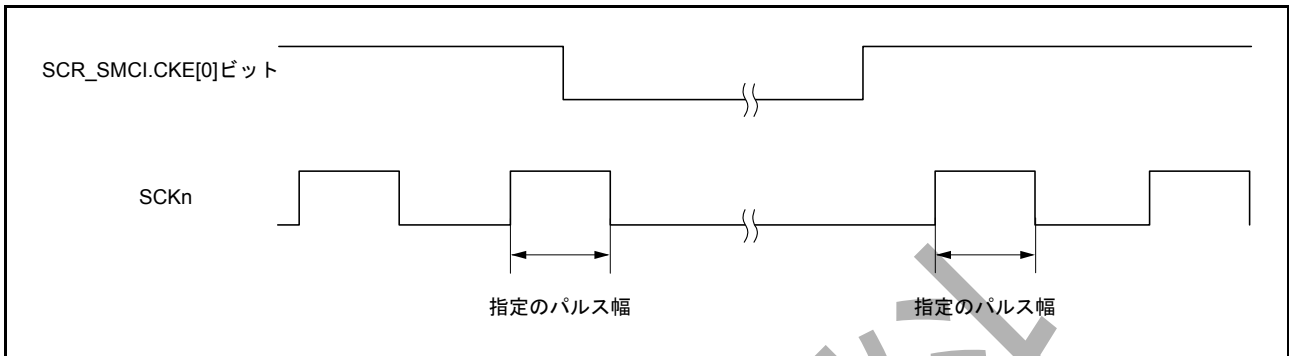


図 25.56 クロック出力固定タイミング

電源投入時からクロックデューティを確保するため、以下の切り替え手順で処理してください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を調整するには、プルアップ/プルダウン抵抗を使用してください。
2. SCR\_SMCI.CKE[1] ビットおよび I/O ポート機能を設定し、SCKn 端子を指定の出力に固定します。
3. SMR\_SMCI レジスタと SCMR レジスタを設定し、スマートカードインタフェースモードに切り替えます。
4. SCR\_SMCI.CKE[0] ビットを 1 にして、クロック出力を開始します。

## 25.7 簡易 IIC モードの動作

簡易 I<sup>2</sup>C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 25.57 に、I<sup>2</sup>C バスフォーマットを、図 25.58 に、I<sup>2</sup>C バスタイミングを示します。

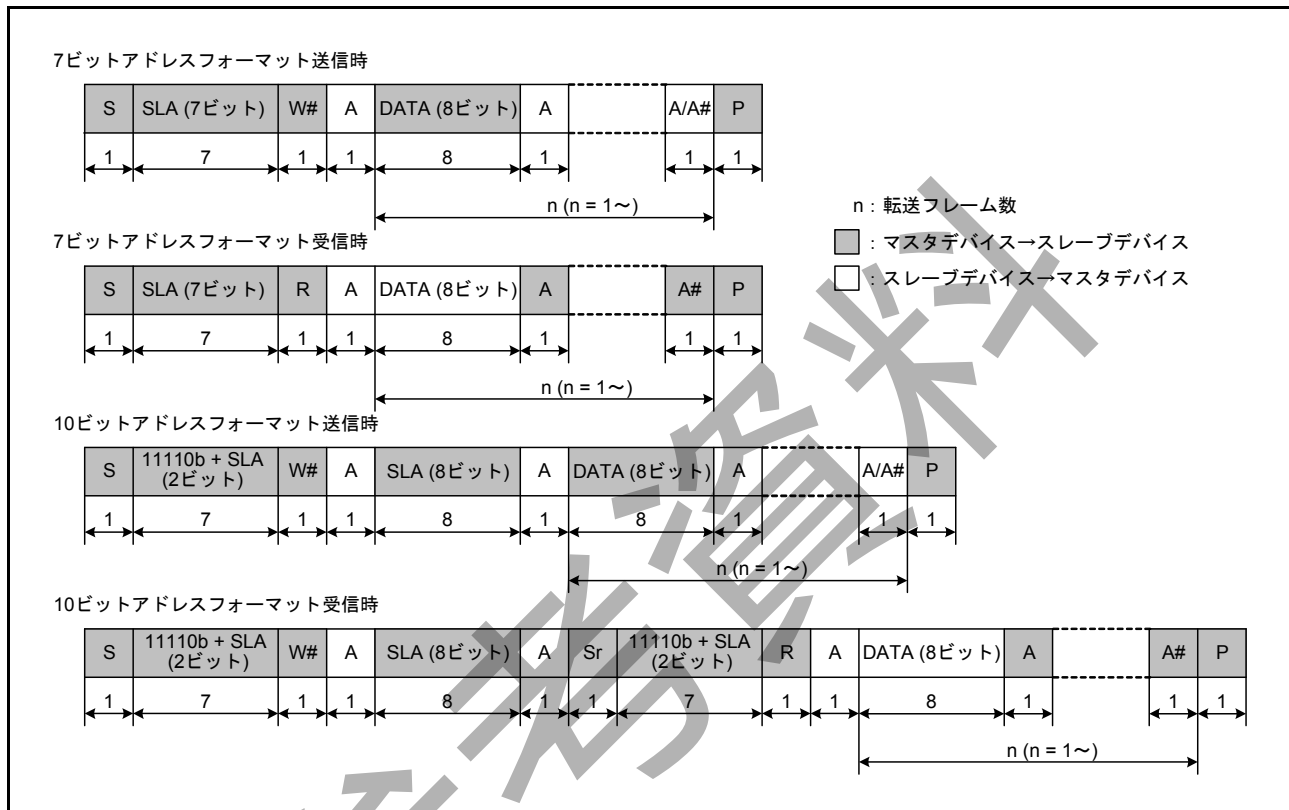


図 25.57 I<sup>2</sup>C バスフォーマット

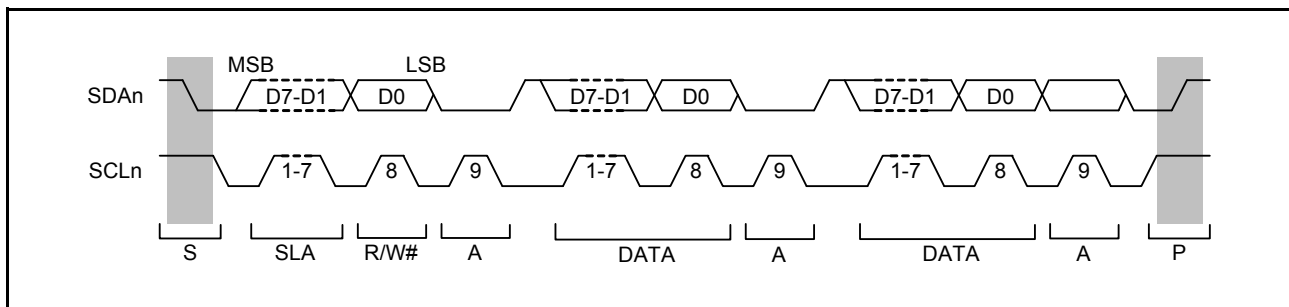


図 25.58 I<sup>2</sup>C バスタイミング (SLA = 7 ビットの場合)

- S : 開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインを High から Low へ変化させます。
- SLA : スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します。
- R/W# : 転送方向 (送信/受信) を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します。
- A/A# : アクノリッジを示します (マスタ送信モード時 : スレーブデバイスがアクノリッジを返します。マスタ受信モード時 : マスタデバイスがアクノリッジを返します)。Low を返すことで ACK を、High を返すことで NACK を示します。
- Sr : 再開条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDAn ラインを High から Low へ変化させます。
- DATA : 送受信データを示します。
- P : 停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインを Low から High へ変化させます。

### 25.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに 1 を書き込むことにより、開始条件の生成を行います。開始条件の生成では、以下の動作が行われます。

- SDA<sub>n</sub> ラインを立ち下げ (High から Low へ変化)、SCL<sub>n</sub> ラインは開放状態を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、開始条件のホールド時間に設定
- SCL<sub>n</sub> ラインを立ち下げ (High から Low へ変化)、SIMR3.IICSTAREQ ビットを 0 にして、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに 1 を書き込むことにより、再開条件の生成を行います。再開条件の生成では、以下の動作が行われます。

- SDA<sub>n</sub> ラインを開放、SCL<sub>n</sub> ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCL<sub>n</sub> ラインの Low 期間に設定
- SCL<sub>n</sub> ラインを開放 (Low から High へ変化)
- SCL<sub>n</sub> ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開条件のセットアップ時間に設定
- SDA<sub>n</sub> ラインを立ち下げ (High から Low へ変化)
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開条件のホールド時間に設定
- SCL<sub>n</sub> ラインを立ち下げ (High から Low へ変化)、SIMR3.IICRSTAREQ ビットを 0 にして、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに 1 を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SDA<sub>n</sub> ラインを立ち下げ (High から Low へ変化)、SCL<sub>n</sub> ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCL<sub>n</sub> ラインの Low 期間に設定
- SCL<sub>n</sub> ラインを開放 (Low から High へ変化)
- SCL<sub>n</sub> ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、停止条件のセットアップ時間に設定
- SDA<sub>n</sub> ラインを開放 (Low から High へ変化)、SIMR3.IICSTPREQ ビットを 0 にして、停止条件生成割り込み要求を出力

図 25.59 に、開始条件、再開条件、停止条件生成の動作タイミングを示します。

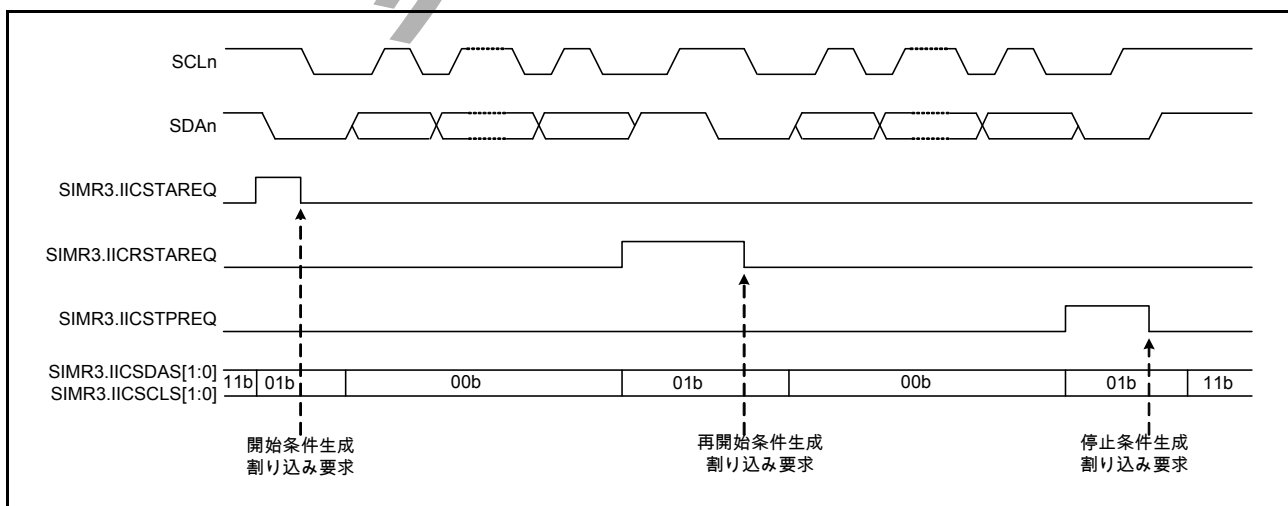


図 25.59 開始条件、再開条件、停止条件生成の動作タイミング

### 25.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で、SCLn ラインを Low にする場合があります。SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が SCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが 1 の場合、内部 SCLn クロック信号が Low から High へ変化すると、SCLn 端子入力が Low の間は High 期間のカウントを停止し、SCLn 端子入力が High へ変化すると、High 期間のカウントを開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子入力遅延、SCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、および内部処理遅延（PCLKB で 1～2 サイクル）の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

SIMR2.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが 0 の場合は、データの送受信は、内部 SCLn クロックに同期して行われます。

開始条件、再開条件、または停止条件の生成要求発行後、内部 SCLn クロック信号が Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロック信号が Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。[図 25.60](#) に、クロック同期化の動作例を示します。

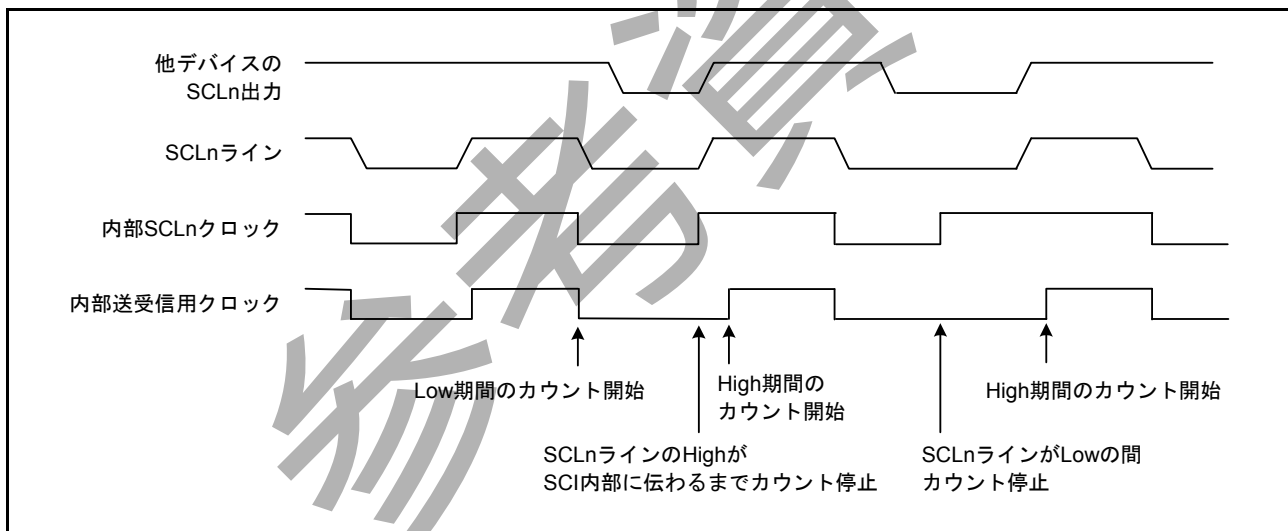


図 25.60 クロック同期化の動作例



### 25.7.3 SDA 出力遅延

SIMR1.IICDL[4:0] ビットを用いて、SCLn 端子出力の立ち下がりに対し、SDAn 端子出力を遅延させることが可能です。遅延時間は、内蔵ポーレートジェネレータからのクロック信号を基準（PCLKB ベースに SMR.CKS[1:0] で選択された分周クロック）として 0～31 サイクルの間で選択可能です。SDAn 端子出力遅延は、開始条件／再開条件／停止条件の各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDAn 出力遅延が SCLn 端子出力の立ち下がり時間より短い場合、SCLn 端子出力の立ち下がり中に SDAn 端子出力が変化を開始し、スレーブデバイスが誤動作する可能性があります。SDAn 出力遅延は、SCLn 端子出力の立ち下がり時間の最大値（IIC の標準モードとファストモードでは 300ns）より大きくなるように設定してください。

図 25.61 に、SDAn 出力遅延のタイミングを示します。

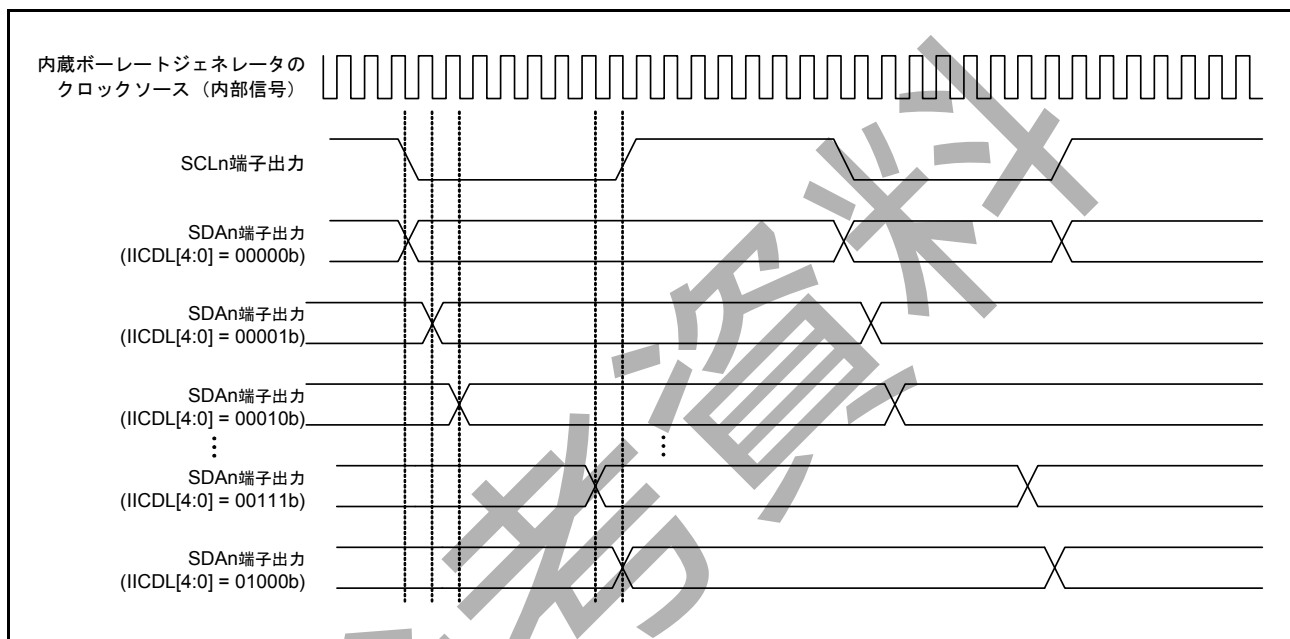


図 25.61 SDA 出力遅延のタイミング

### 25.7.4 SCI の初期化 (簡易 IIC モード)

データの送受信前に、SCR レジスタに初期値 00h を書き込み、図 25.62 のフローチャート例に従って、初期化してください。

動作モードや通信フォーマットなどを変更する場合も、SCR レジスタを初期値にしてから変更してください。

また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

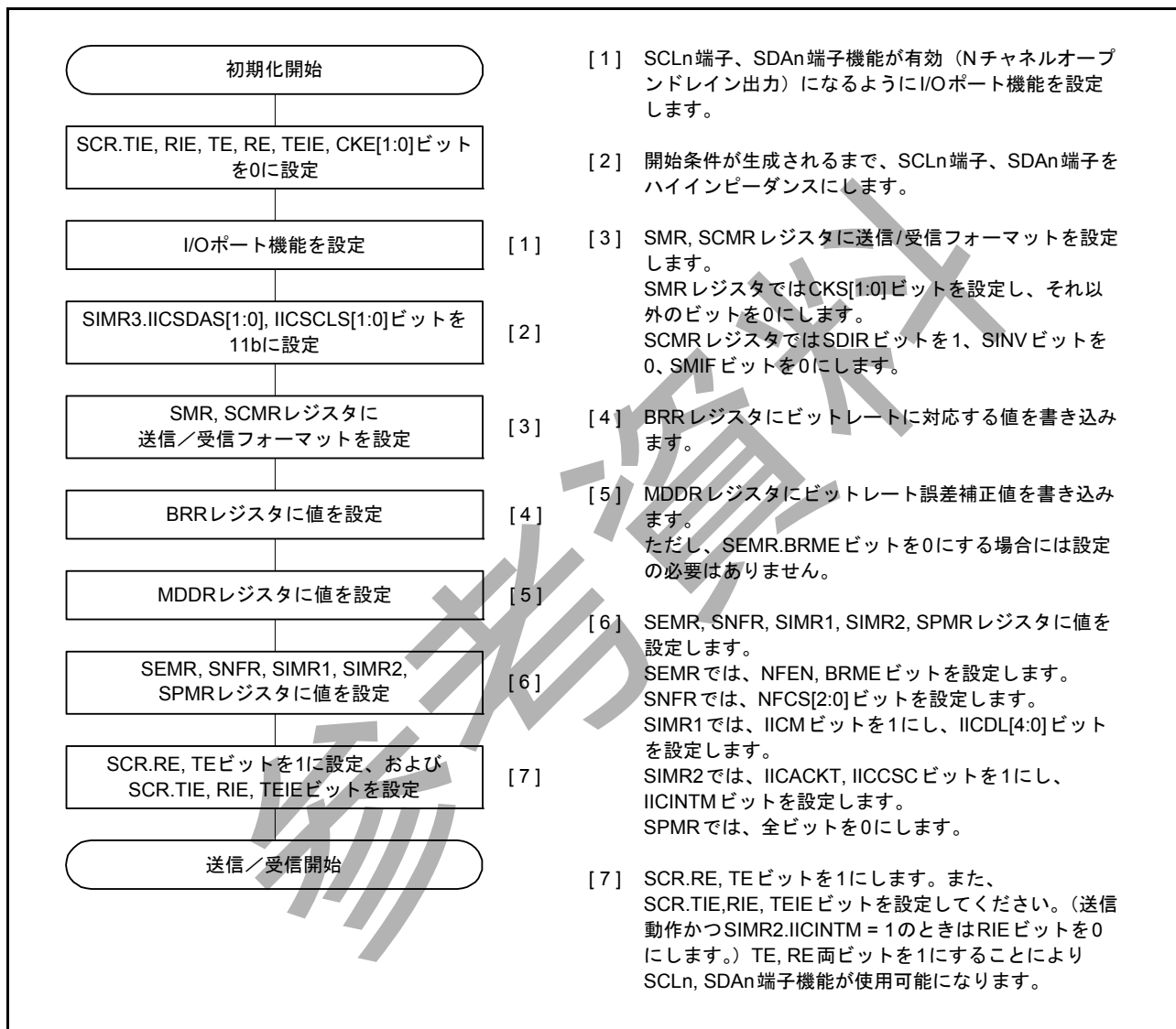


図 25.62 SCI 初期化のフロー例 (簡易 IIC モード)

### 25.7.5 マスタ送信動作 (簡易 IIC モード)

図 25.63 と図 25.64 に、マスタ送信の動作例を、図 25.65 に、データ送信のフローチャート例を示します。下図では、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) で、かつ SCR.RIE ビットが 0 (SCIn\_RXI および SCIn\_ERI 割り込み要求を禁止) の場合を想定しています。STI 割り込みについては、表 25.25 を参照してください。

10 ビットスレーブアドレス使用時は、図 25.65 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn\_TXI) は、クロック同期式送信時の SCIn\_TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

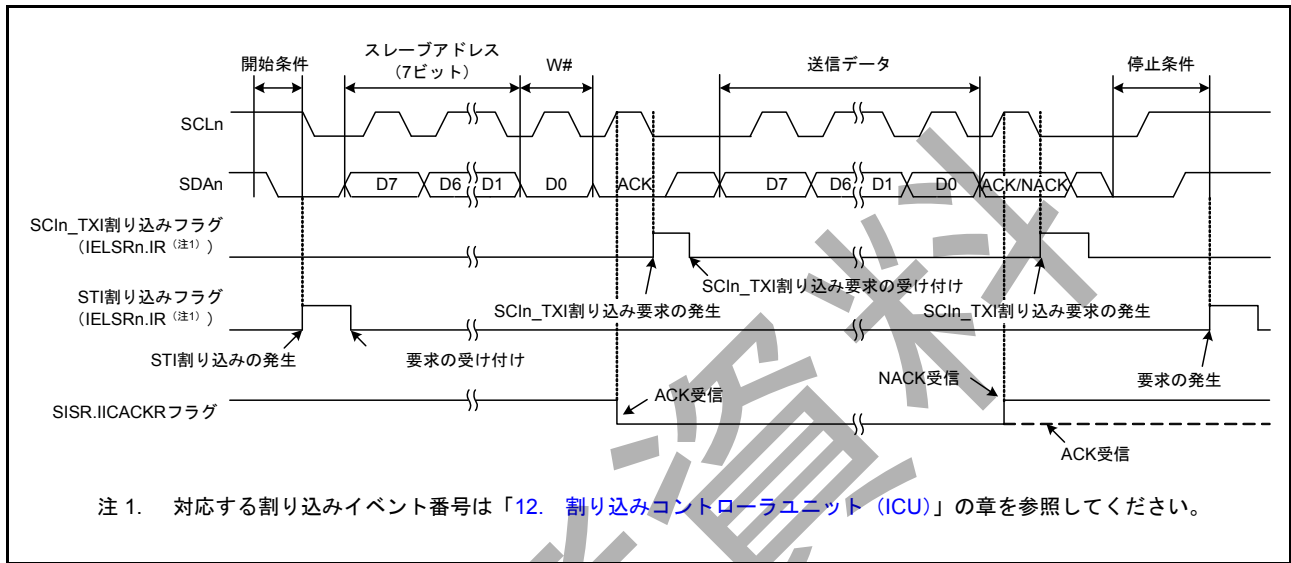


図 25.63 簡易 I<sup>2</sup>C バスモードのマスタ送信の動作例 1 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを 0 (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガにして DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

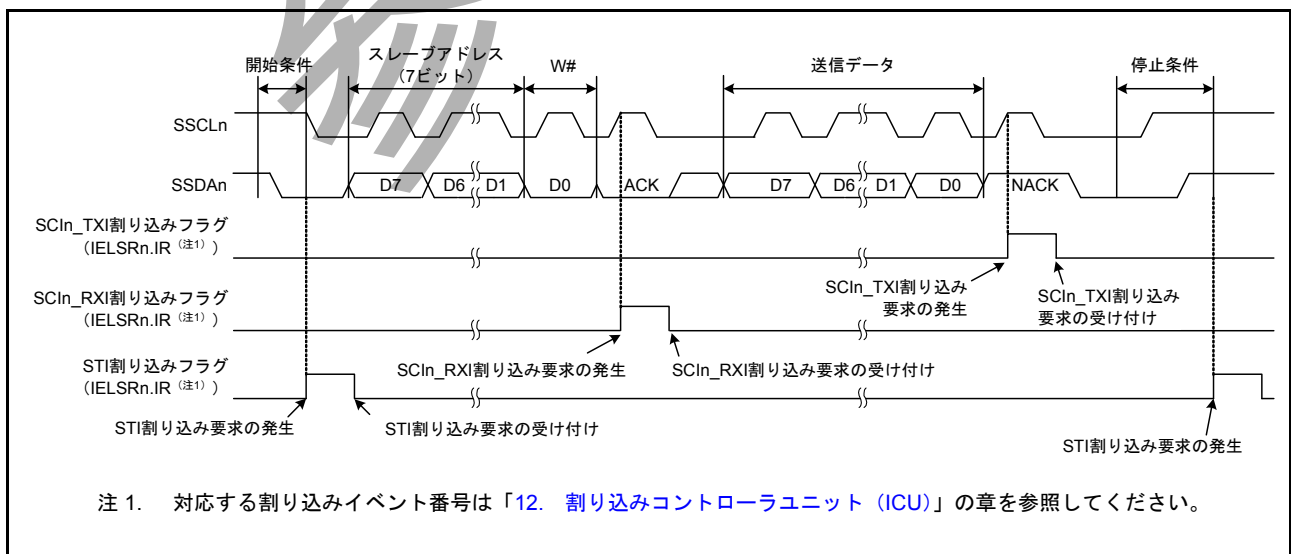


図 25.64 簡易 I<sup>2</sup>C バスモードのマスタ送信の動作例 2 (7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

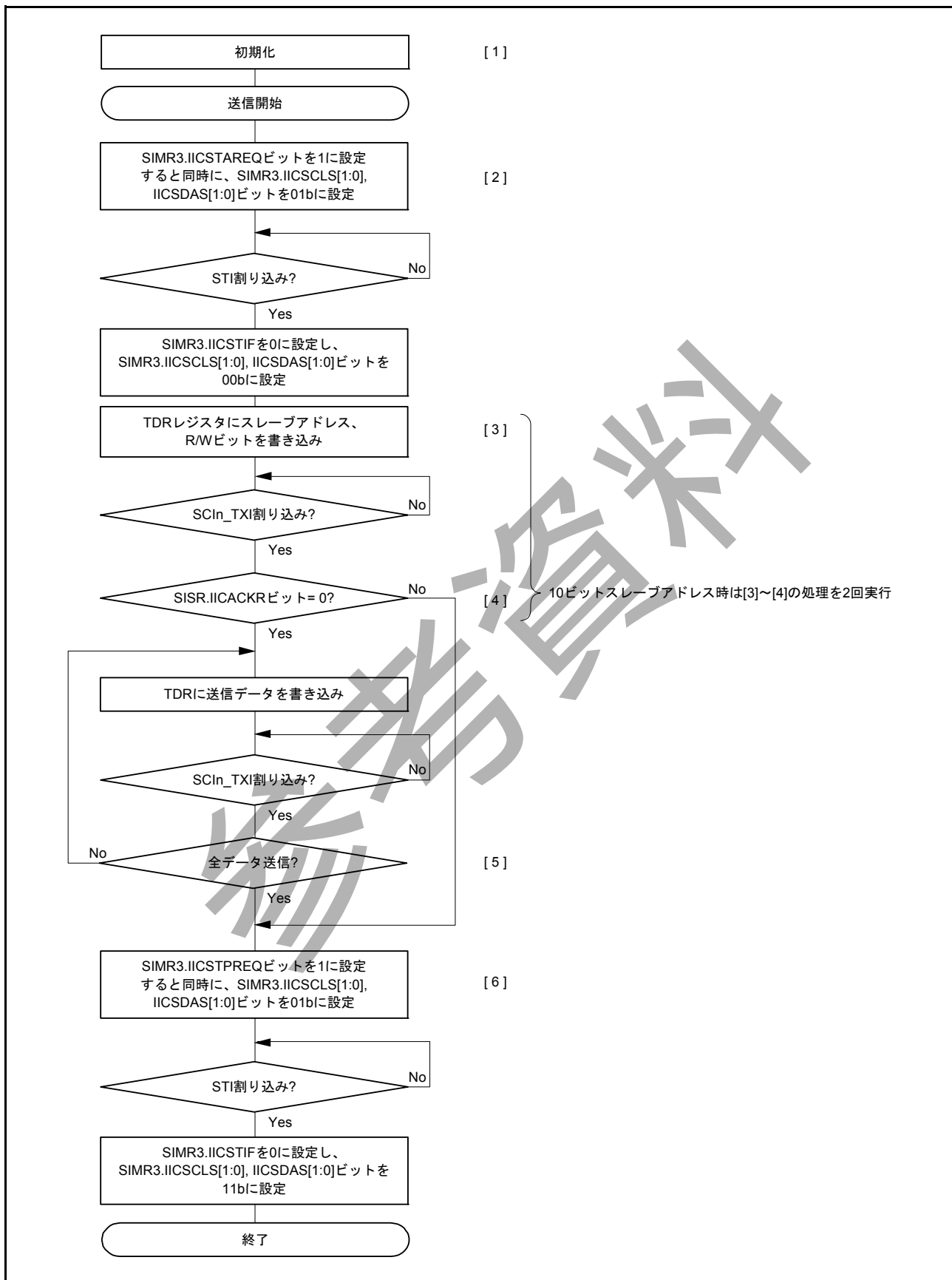


図 25.65 簡易 IIC モードのマスター送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

### 25.7.6 マスタ受信動作 (簡易 IIC モード)

図 25.66 に簡易 IIC モードにおけるマスタ受信の動作例を、図 25.67 にマスタ受信のフローチャート例を示します。

下図では、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合を想定しています。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn\_TXI) は、クロック同期式送信時の SCIn\_TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

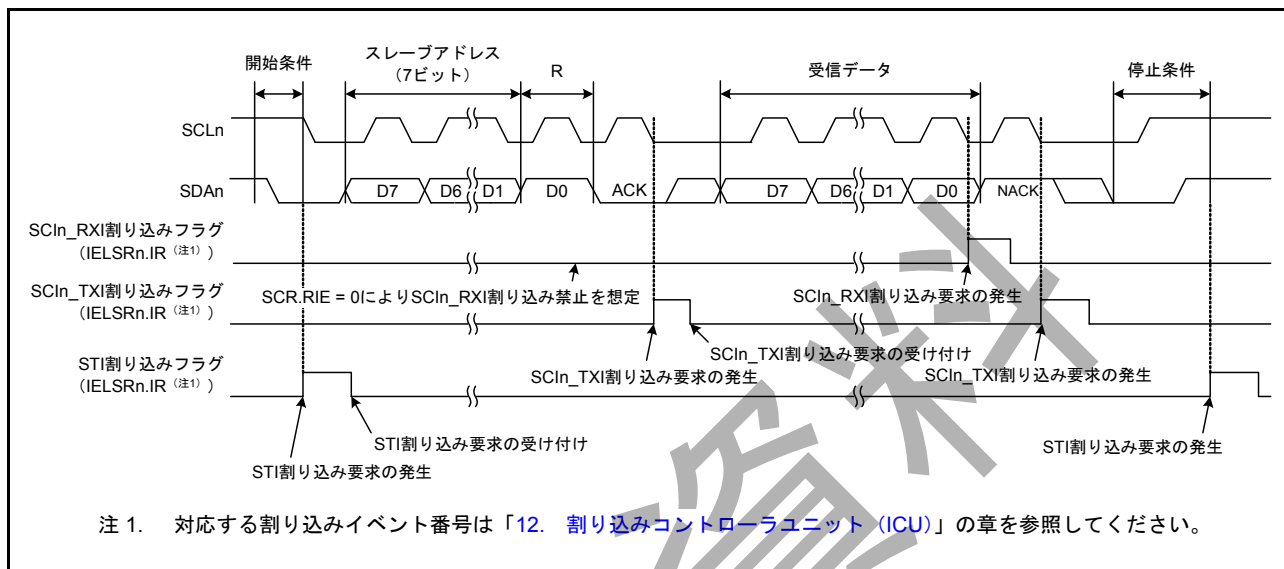


図 25.66 簡易 I<sup>2</sup>C バスモードのマスタ受信の動作例 (7ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

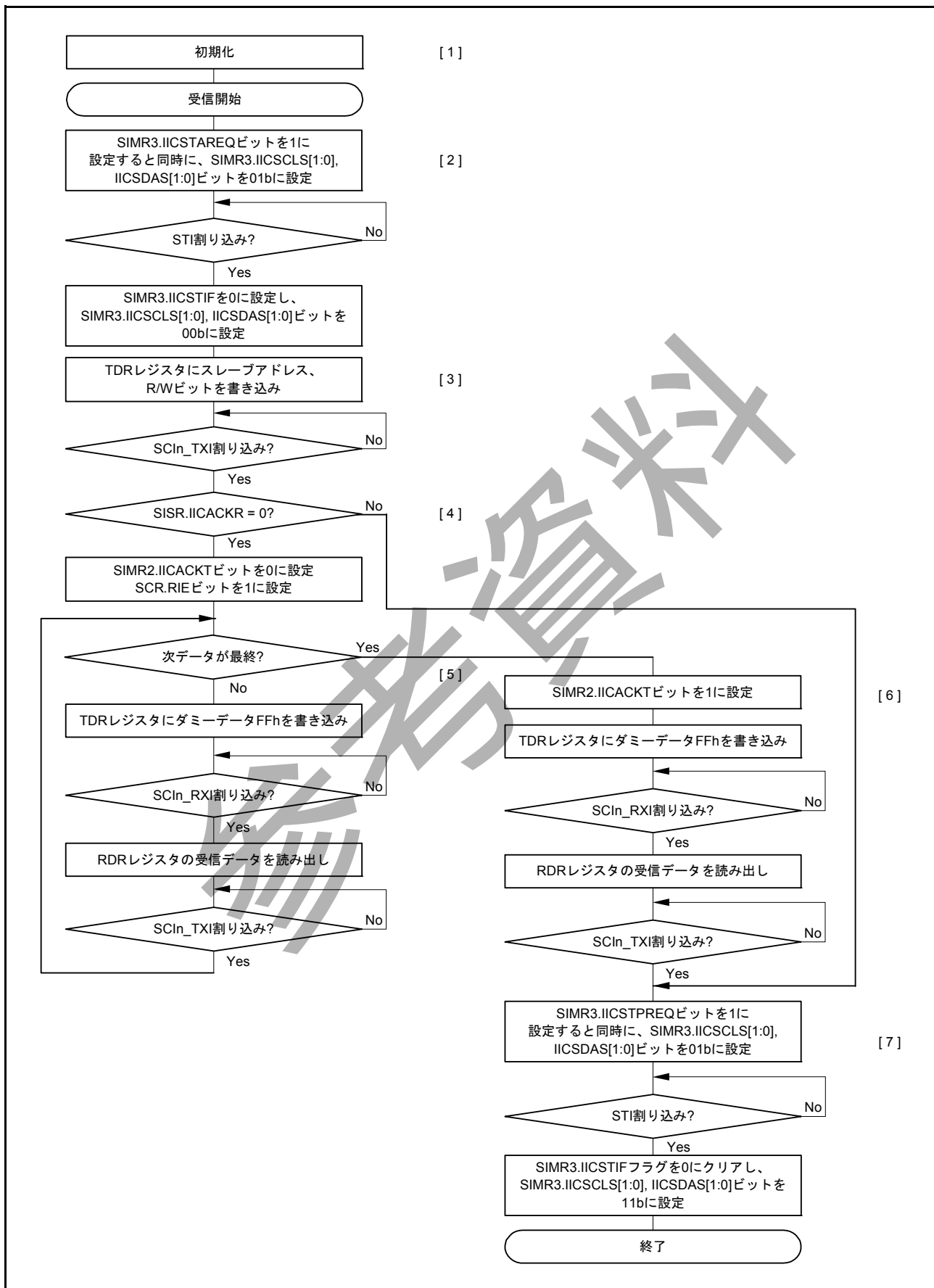


図 25.67 簡易 IIC モードのマスター受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

## 25.8 簡易 SPI モードの動作

SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF = 0, SIMR1.IICM = 0, SMR.CM = 1) を使用するとともに、SPMR.SSE ビットを 1 にすることによって、SCI は簡易 SPI モードになります。なお、簡易 SPI モードであっても、シングルマスタ構成で使用する場合は、マスタ側の SS 端子機能は不要であるため、SPMR.SSE ビットは 0 にしてください。

図 25.68 に、簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み込むことができるので、連続送受信が可能です。

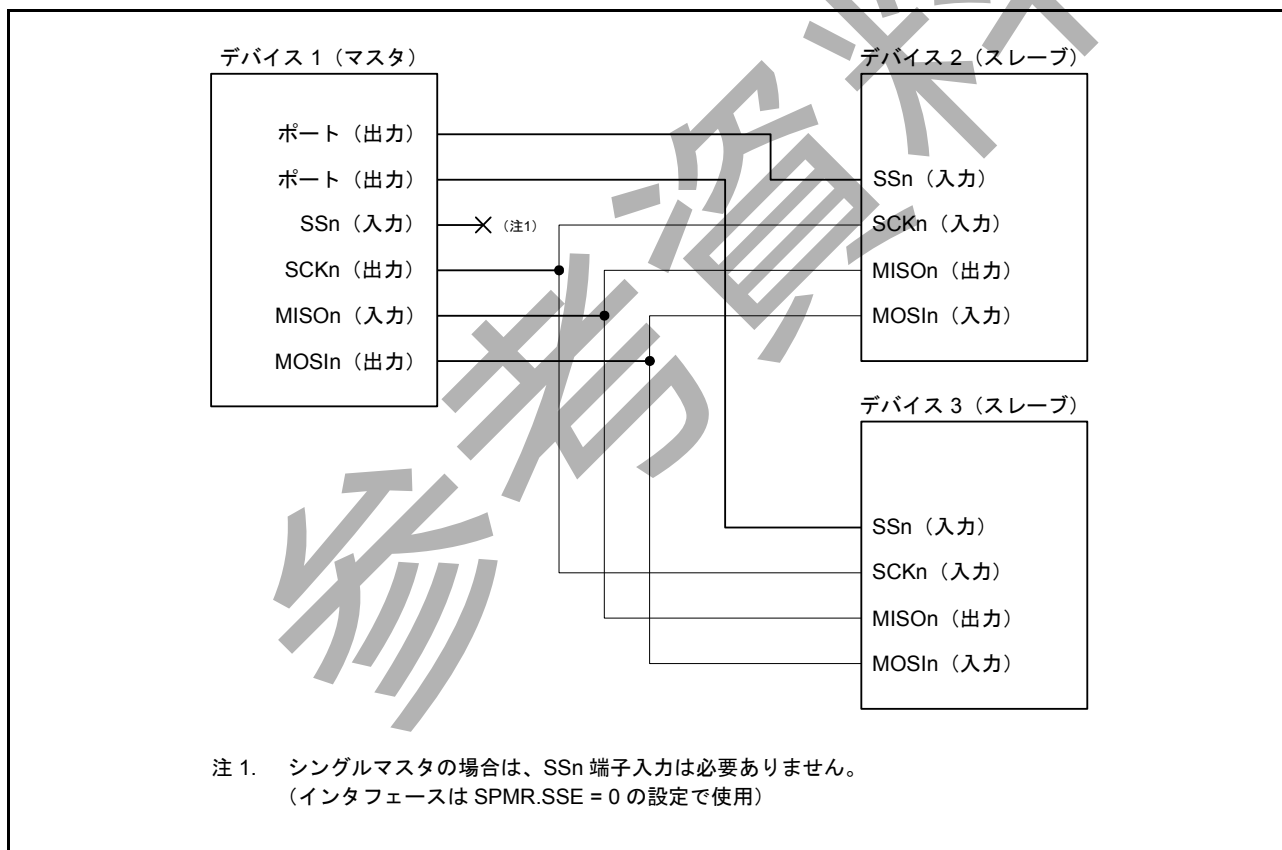


図 25.68 簡易 SPI モードでの接続例 (シングルマスタ時、SPMR.SSE ビット = 0)

### 25.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] = 00b または 01b、かつ SPMR.MSS = 0) と、スレーブモード (SCR.CKE[1:0] = 10b または 11b、かつ SPMR.MSS = 1) で、各端子の入出力方向が異なります。

表 25.25 に、モードおよび SSn 端子入力と各端子状態の関係を示します。

表 25.25 モードおよびSSn端子入力と各端子状態の関係

モード	SSn 端子入力	TXDn 端子状態	RXDn 端子状態	SCKn 端子状態
マスタモード (注1)	High レベル (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low レベル (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High レベル (通信可能)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low レベル (通信不可)	受信データ入力	送信データ出力	クロック入力

注 1. シングルマスタ構成 (SPMR.SSE ビット = 0) の場合、SSn 端子の入力レベルにかかわらず、通信可能 (SSn 端子入力が High のときと等価) となります。SSn 端子機能は不要であり、別の用途に使用できます。

注 2. シリアル送信禁止 (SCR.TE ビット = 0) の場合、MOSIn 端子出力はハイインピーダンスです。

注 3. マルチマスタ構成 (SPMR.SSE ビット = 1) では、シリアル送受信禁止 (SCR.TE および SCR.RE ビット = 00b) の場合、SCKn 端子出力はハイインピーダンスです。

### 25.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] ビットを 00b にして、SPMR.MSS ビットを 0 にすると、マスタモードになります。シングルマスタ構成 (SPMR.SSE ビット = 0) では、SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成 (SPMR.SSE ビット = 1) において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは、別のマスタが送受信動作を行っていることを示すため、マスタデバイスは SCKn 端子からクロックを出力した後、送受信動作を開始します。マルチマスタ構成 (SPMR.SSE ビット = 1) において SSn 端子入力が Low の場合は、別のマスタが存在し、送受信を行っていることを示しています。その場合、SCI は MOSIn 端子出力と SCKn 端子出力をハイインピーダンスにして、送受信動作を開始しません。また、モードフォルトエラーとして SPMR.MFF ビットが 1 になります。マルチマスタ構成では、SPMR.MFF フラグを読むことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に MOSIn 端子出力と SCKn 端子出力がハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

### 25.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] ビットを 10b にして、SPMR.MSS ビットを 1 にすると、スレーブモードになります。SSn 端子入力が High のとき、MISOIn 出力端子の状態はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送信または受信動作が可能になります。

送信または受信動作中に SSn 端子入力が Low から High に変化した場合、MISOIn 端子出力をハイインピーダンスにします。なお、内部の送信または受信動作は SCKn 端子から入力されるクロックレートで継続し、1 キャラクタ分の送受信が完了すると、動作を停止します。その際、割り込み (SCIIn\_TXI、SCIIn\_RXI、および SCIIn\_TEI のいずれか) が発生します。



### 25.8.4 クロックと送受信データの関係

SPMR.CKPOL ビットと SPMR.CKPH ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。クロック信号と送受信データの関係を図 25.69 に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと等価です。

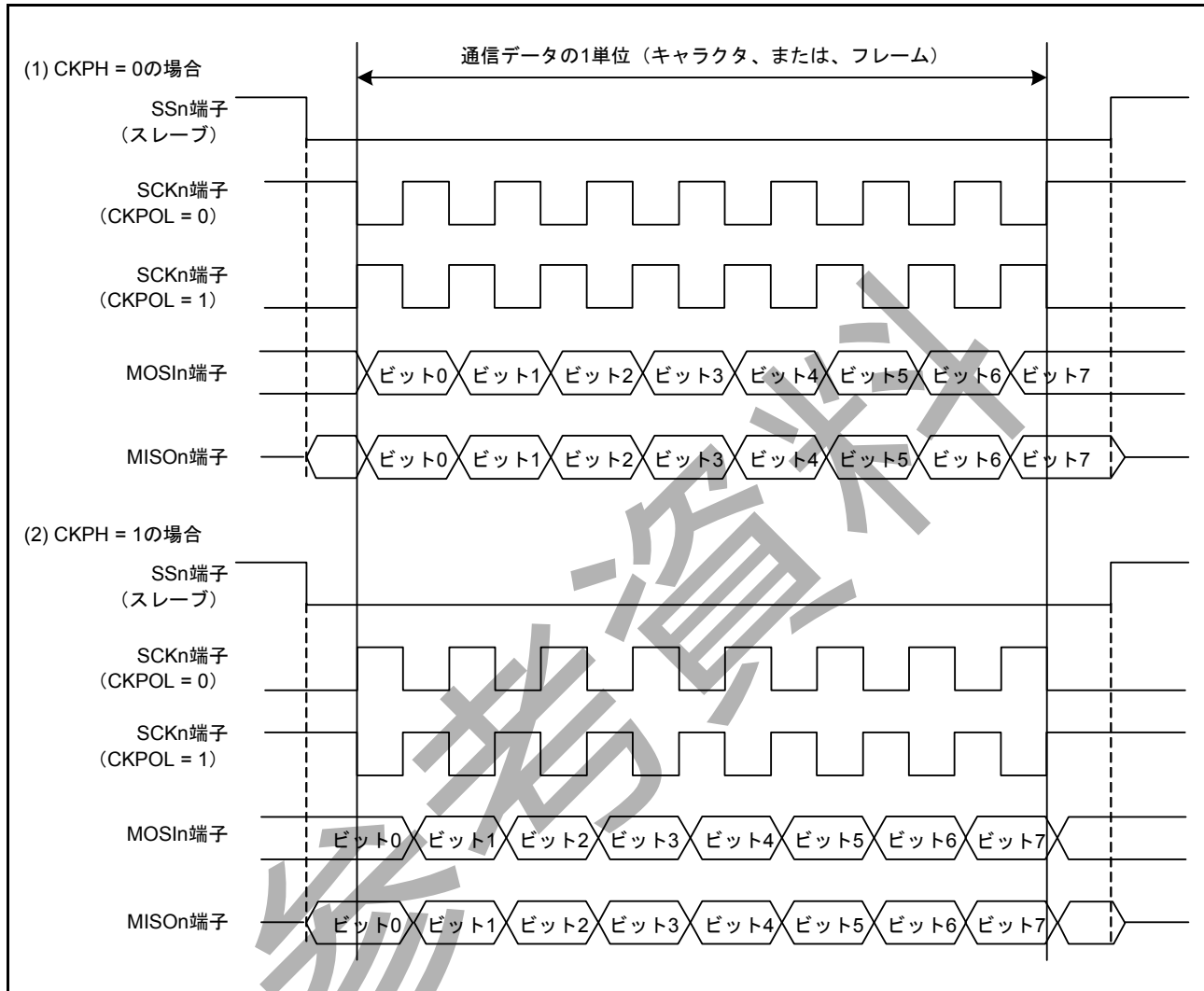


図 25.69 簡易 SPI モードにおけるクロック信号と送受信データの関係

### 25.8.5 SCI の初期化 (簡易 SPI モード)

初期化手順は、クロック同期式モードの場合と同じです。図 25.32 SCI の初期化フローチャート例 (クロック同期式モード/非 FIFO 選択時) を参照してください。SPMR.CKPOL ビットと SPMR.CKPH ビットで選択するクロック信号の種類は、マスタデバイスとスレーブデバイスの両方に合わせる必要があります。

初期化、動作モードの変更、通信フォーマットの変更などは、SCR レジスタを初期化してから行ってください。

- 注 1. SSR.ORER、FER、PER、RDR の各フラグは初期化されません。
- 注 2. TE ビットを 1 から 0、または 0 から 1 に変更すると、SCR.TIE ビットが 1 の場合、送信データエンティ割り込み (SCIn\_TXI) が発生します。

### 25.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモードでは、送受信先のスレーブデバイスの SSn 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。それ以外の手順はクロック同期式モードと同様です。

## 25.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能では、PCLKB が SMR/SMR\_SMCI レジスタの CKS[1:0] ビットで選択された場合に、MDDR レジスタで指定した数を用いて、ビットレートを均一に補正することが可能です。

調歩同期式モードにおいて、PCLKB が SMR/SMR\_SMCI レジスタの CKS[1:0] ビットで選択されたとき、BRR と MDDR がそれぞれ 0 と 160 になっている場合の例を図 25.70 に示します。この例では、基本クロックの周期が均一に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注． 内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モードと、簡易 SPI モードでの最高速設定 (SMR.CKS[1:0]=00b、SCR.CKE[1]=0、および BRR=0) では、この機能を使用しないでください。

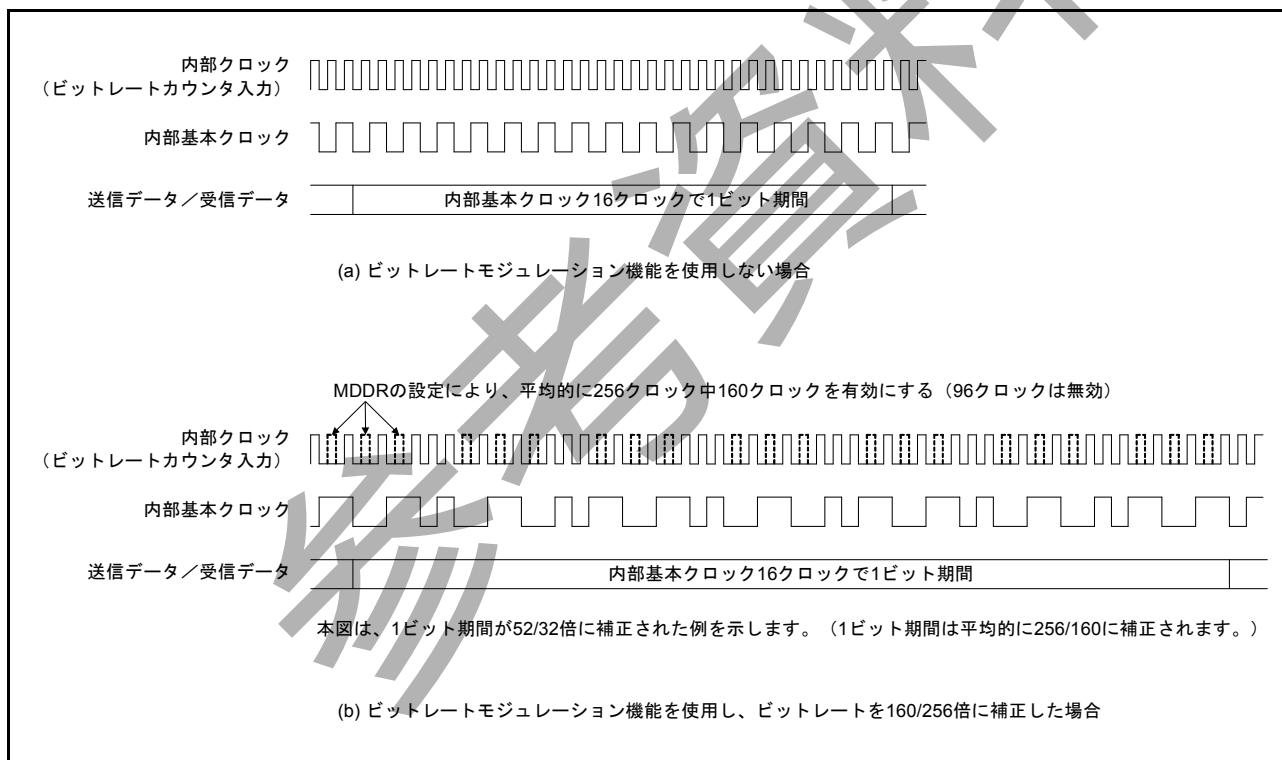


図 25.70 ビットレートモジュレーション機能使用時の内部基本クロックの例

## 25.10 割り込み要因

### 25.10.1 SCIn\_TXI および SCIn\_RXI 割り込みのバッファ動作 (非 FIFO 選択時)

SCIn\_TXI 割り込みと SCIn\_RXI 割り込みは、割り込みコントローラの割り込みステータスフラグが 1 のときに割り込み発生条件が満たされても、割り込みコントローラは割り込み要求を出力せず、内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。

割り込みコントローラの割り込みステータスフラグが 0 になると、割り込みコントローラに保持していた割り込み要求を出力します。割り込み要求が出力されると、内部で保持していた割り込みは自動的に破棄されます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SCR/SCR\_SMCI レジスタの TIE ビットまたは RIE ビット) をクリアすることでも破棄できます。

### 25.10.2 SCIn\_TXI および SCIn\_RXI 割り込みのバッファ動作 (FIFO 選択時)

SCIn\_TXI 割り込みと SCIn\_RXI 割り込みは、割り込みコントローラの割り込みステータスフラグが 1 であっても、割り込みコントローラに対して割り込み要求を出力しません。割り込みコントローラの割り込みステータスフラグが 0 にクリアされた場合に、SCIn\_TXI 割り込みと SCIn\_RXI 割り込みの条件が満たされていれば、割り込み要求が発生します。

### 25.10.3 調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み

#### (1) 非 FIFO 選択時

表 25.26 に、調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には、異なる割り込みベクタの割り当てが可能です。SCR レジスタの許可ビットによって、割り込み要因を個別に許可/禁止することができます。

SCR.TIE ビットが 1 のとき、送信データが TDR レジスタまたは TDRHL レジスタ (注 1) から TSR レジスタへ転送されると、SCIn\_TXI 割り込み要求が発生します。また、SCIn\_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることも発生します。SCIn\_TXI 割り込み要求を用いて DTC を起動し、データ転送を行うことができます。

SCIn\_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。(注 2)

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、SSR.TEND フラグが 1 になり、SCIn\_TEI 割り込み要求が発生します。また、SCR.TE ビットを 1 にしてから TDR レジスタまたは TDRHL レジスタ (注 1) に送信データを書き込むまでの間は、SSR.TEND フラグは 1 を保持しており、SCR.TEIE ビットを 1 にすると SCIn\_TEI 割り込み要求が発生します。

TDR レジスタまたは TDRHL レジスタ (注 1) にデータを書き込むと、SSR.TEND フラグがクリアされて SCIn\_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

SCR.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn\_RXI 割り込み要求が発生します。SCIn\_RXI 割り込み要求を用いて DTC を起動し、データ転送を行うことができます。

SCR.RIE ビットが 1 のとき、SSR.ORER、FER、PER のいずれかのフラグが 1 になると、SCIn\_ERI 割り込み要求が発生します。このとき、SCIn\_RXI 割り込み要求は発生しません。これら 3 つのフラグ (ORER、FER、PER) のすべてをクリアすることによって、SCIn\_ERI 割り込み要求を取り消すことができます。

## (2) FIFO 選択時

表 25.26 に、FIFO モード選択時の割り込み要因を示します。

SCR.TIE ビットが 1 のとき、FTDRL レジスタに格納されたデータ数が FCR.TTRG で指示されたしきい値になると、SCIn\_TXI 割り込み要求が発生します。また、SCIn\_TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に 1 にすることも発生します。

SCIn\_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが FTDRL レジスタに書き込まれていないと、SSR\_FIFO.TEND フラグが 1 になり、SCIn\_TEI 割り込み要求が発生します。

SCR.RIE ビットが 1 のとき、FRDRL レジスタに格納されたデータ数が FCR.RTRG で指示されたしきい値以上になると、SCIn\_RXI 割り込み要求が発生します。ただし RTRG が 0 の場合は、レシーブ FIFO 内のデータ数が 0 であっても、SCIn\_RXI 割り込み要求は発生しません。

SCR.RIE ビットが 1 のとき、SSR\_FIFO.ORER フラグが 1 になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータが FRDRL レジスタに格納されると、SCIn\_ERI 割り込み要求が発生します。このとき、FRDRL レジスタに格納されたデータ数がしきい値以上であると、同時に SCIn\_RXI 割り込み要求が発生します。SSR\_FIFO.ORER、FER、および PER フラグをすべてクリアすることで、SCIn\_ERI 割り込み要求を取り消すことができます。

注 1. 調歩同期モードにおいて、データ長 9 ビットを選択した場合です。

注 2. 最終データの送信時に SCIn\_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、SCR.TIE ビットではなく、割り込みコントローラの SCIn\_TXI 割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn\_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

表 25.26 SCI 割り込み要因 (非 FIFO 選択時)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_ERI	受信エラー	ORER, FER, PER, DFER, DPER	RIE	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能
	アドレス一致	DCMF	RIE	可能
SCIn_AM	アドレス一致	DCMF	—	可能
SCIn_TXI	送信データエンブティ	TDRE	TIE	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能

表 25.27 SCI 割り込み要因 (FIFO 選択時)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_ERI	受信エラー	ORER, FER, PER, DFER, DPER	RIE	不可能
		DR (FCR.DRES = 1 の場合)	RIE	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能
	受信データレディ	DR (FCR.DRES = 0 の場合)	RIE	可能
	アドレス一致	DCMF	RIE	可能
SCIn_AM	アドレス一致	DCMF	—	可能
SCIn_TXI	送信データエンブティ	TDRE	TIE	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能

### 25.10.4 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードにおける割り込み要因を表 25.28 に示します。このモードでは、送信終了割り込み (SCIn\_TEI) 要求とアドレス一致 (SCIn\_AM) 要求は使用できません。

表 25.28 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動
SCIn_ERI	受信エラー、エラーシグナル検出	ORER, FER, ERS	RIE	不可能
SCIn_RXI	受信データフル	—	RIE	可能
SCIn_TEI	送信データエンプティ	TEND	TIE	可能

スマートカードインタフェースモードの場合も、通常の SCI モードと同様に、DTC を使用した送受信が可能です。送信動作では、SSR\_SMCI.TEND フラグが 1 になると、SCIn\_TXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn\_TXI 割り込み要求を設定しておけば、SCIn\_TXI 割り込み要求により DTC が起動されて、送信データの転送が可能になります。TEND フラグは、DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグは 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に SSR\_SMCI.ERS フラグは自動的に 0 にクリアされません。そのため、SCR\_SMCI.RIE ビットを 1 にしておき、エラー発生時に SCIn\_ERI 割り込み要求が発生させることで、ERS フラグをクリアしてください。

なお、DTC を使用して送受信を行う場合は、必ず DTC を有効にしてから SCI の設定を行ってください。DTC の設定については、「14. データトランスファコントローラ (DTC)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn\_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求により DTC が起動されて、受信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DTC は起動せず、代わりに CPU に対して SCIn\_ERI 割り込み要求が発行されます。エラーフラグをクリアしてください。

### 25.10.5 簡易 IIC モードにおける割り込み

簡易 IIC モードにおける割り込み要因を表 25.29 に示します。STI 割り込みは、送信終了割り込み (SCIn\_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn\_ERI) 要求とアドレス一致 (SCIn\_AM) 要求は使用できません。

簡易 IIC モードにおいても、DTC を使用した送受信が可能です。

SIMR2.IICINTM ビットが 1 のとき、SCLn 信号 8 ビット目の立ち下がり、SCIn\_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求により DTC が起動されて、受信データの転送が可能になります。また、SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち下がり、SCIn\_TXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn\_TXI 割り込み要求を設定しておけば、SCIn\_TXI 割り込み要求により DTC が起動されて、送信データの転送が可能になります。

SIMR2.IICINTM ビットが 0 のとき、SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち上がり、SDAn 端子入力が Low であると SCIn\_RXI 割り込み要求 (ACK 検出) が発生し、SDAn 端子入力が High であると SCIn\_TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求により DTC が起動されて、受信データの転送が可能になります。

なお、DTC を使用して送受信を行う場合は、前もって DTC を有効にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 25.29 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_RXI	受信、ACK 検出	—	RIE	可能
SCIn_TXI	送信、NACK 検出	—	TIE	可能
STIn	開始条件、再開条件、停止条件生成終了	IICSTIF	TEIE	不可能

注. SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合にのみ、DTC の起動が可能です。

## 25.11 イベントリンク機能

SCIは、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることができます。

### (1) エラー (受信エラー、エラーシグナル検出) イベント出力

- 調歩同期式モードで、受信時にパリティエラーが発生して異常終了したことを示します。
- 調歩同期式モードで、受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバーランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで、送信時にエラー信号が検出されたことを示します。
- FIFO選択時かつFCR.DRESビットが1の場合、SSR\_FIFO.FERフラグとSSR\_FIFO.PERフラグが0であり、レシーブFIFOデータトリガ数より少ない受信データがレシーブFIFOバッファに格納され、15ETU経過したことを示します。

### (2) 受信データフルイベント出力

- 簡易IICモードで、SIMR2.IICINTMビットが0のとき、ACKが検出されたことを示します。
- 簡易IICモードで、SIMR2.IICINTMビットが1のとき、SCLn信号の8ビット目の立ち下がりが検出されたことを示します。
- 簡易IICモードでのマスタ送信時に、SIMR2.IICINTMビットが1のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

#### (a) 非FIFO選択時

- 受信データがレシーブデータレジスタ (RDRまたはRDRHL) に格納されたことを示します。

#### (b) FIFO選択時

- このイベント出力は使用しないでください。

### (3) 送信データエンptyイベント出力

- SCR/SCR\_SMCI.TEビットが0から1に変化したことを示します。
- スマートカードインタフェースモードで、送信が完了したことを示します。
- 簡易IICモードで、SIMR2.IICINTMビットが0のとき、NACKが検出されたことを示します。
- 簡易IICモードで、SIMR2.IICINTMビットが1のとき、SCLn信号の9ビット目の立ち下がりが検出されたことを示します。

#### (a) 非FIFO選択時

- 送信データがトランスミットデータレジスタ (TDRまたはTDRHL) からトランスミットシフトレジスタ (TSR) へ転送されたことを示します。

#### (b) FIFO選択時

- このイベント出力は使用しないでください。

### (4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易IICモードで、開始条件、再開条件、停止条件の生成が完了したことを示します。

注. FIFOが選択されている場合、このイベント出力は使用しないでください。

**(5) アドレス一致イベント出力**

- 調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ（CDR.CMPD）と受信データの 1 フレームが一致したことを示します。

**(6) アドレス不一致イベント出力**

- 調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ（CDR.CMPD）と受信データの 1 フレームが一致しなかったことを示します。このイベントは、スヌーズ終了要求に対してのみ使用可能

参考資料



## 25.12 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 25.71 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、それは有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合受信信号ではなく、ノイズとみなされます。

SEMR.ABCS = 0 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット転送期間の 1/16 となります。

SEMR.ABCS = 1 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット転送期間の 1/8 となります。

SEMR.ABCSE = 1 の場合、周期は 1 ビット転送期間の 1/6 となります。

調歩同期式モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。RXD 端子の受信レベルは、調歩同期式モードの基本クロックを使ってノイズフィルタのフリップフロップ回路から取り込まれます。

簡易 IIC モードでは、TXDn/SDAn 端子と RXDn/SCLn 端子の各入力信号に、この機能を使用できます。サンプリングクロックは、SNFR.NFCS ビットの設定に基づいて、ボーレートジェネレータの 4 種類の設定 (1、2、4、および PCLKB/4) から選択されます。

ノイズフィルタが有効な状態で基本クロックをいったん停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に SCR.TE ビットと SCR.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号とみなされます。入力レベルが 0 の場合は、サンプリングサイクルで連続して 3 回信号のレベルが一致するまで、ノイズフィルタの最初の出力値が保持されます。

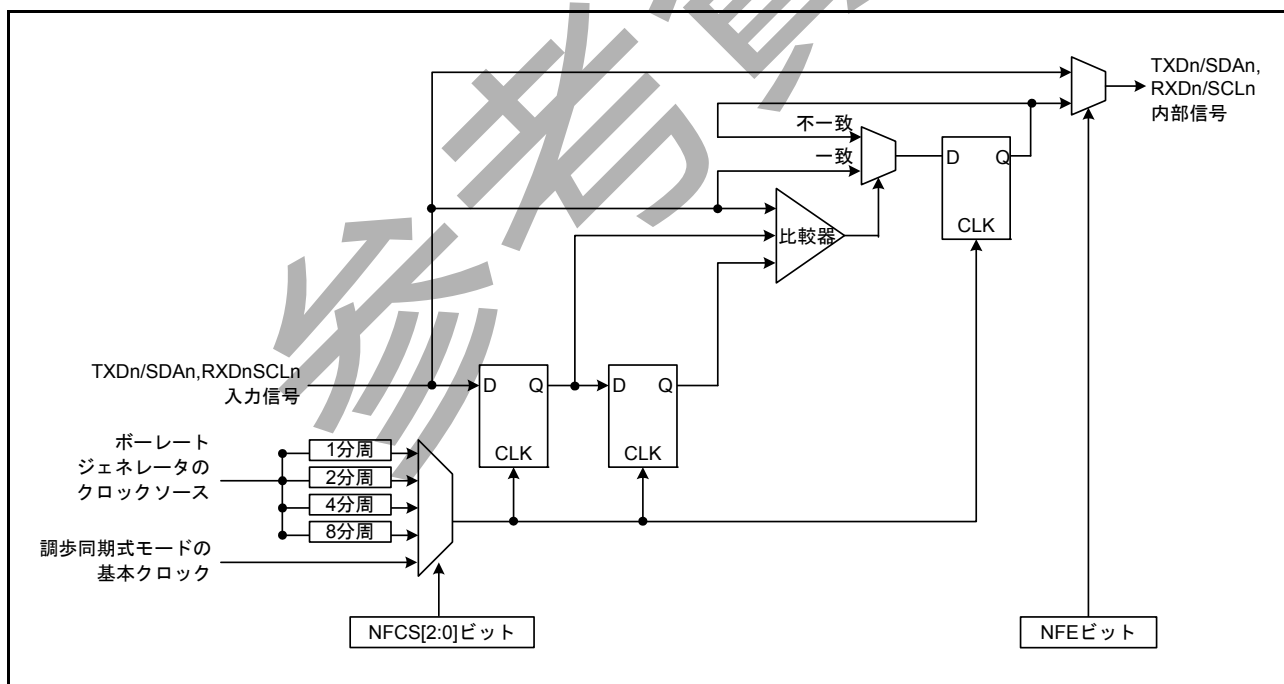


図 25.71 デジタルノイズフィルタ回路のブロック図

## 25.13 使用上の注意事項

### 25.13.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、SCI の動作を許可または禁止することが可能です。リセット後、SCI の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

### 25.13.2 低消費電力状態での SCI の動作について

#### (1) 送信

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、TXDn 端子を汎用入出力ポート機能に切り替えた後、送信動作を停止 (SCR/SCR\_SMCI レジスタの TIE、TE、TEIE ビットを 0) にしてください。入出力ポートを SCI 接続に設定すると、SPTR レジスタによって TXDn 端子状態の制御が可能になります。TE ビットを 0 にすることにより、TSR レジスタが初期化され、SSR/SSR\_SMCI レジスタの TEND ビットは、非 FIFO 選択時には 1 にリセットされます。FIFO 選択時には値が保持されます。モジュールストップ状態またはソフトウェアスタンバイモードからの復帰後、出力端子は、ポートの設定と SPTR レジスタの設定に応じて、これらの低消費電力状態へ遷移する前のレベルを出力する場合があります。送信中に低消費電力状態へ遷移すると、送信中のデータは不定になります。

低消費電力状態を解除した後、同じ送信モードで送信する場合は、以下の手順を実行します。

1. TE ビットを 1 にします。
2. SSR/SSR\_FIFO/SSR\_SMCI レジスタを読み出します。
3. 連続して TDR レジスタへの書き込みを行い、データ送信を開始します。

異なる送信モードで送信する場合は、SCI の初期化からやり直してください。

図 25.72 に、送信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。図 25.73 と図 25.74 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

DTC 転送による送信モードから、モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、送信動作を停止 (TE ビットを 0) にしてください。低消費電力状態解除後に DTC による送信を開始する場合は、TE ビットを 1 にしてください。SCIn\_TXI 割り込みフラグが 1 になり、DTC による送信が始まります。

#### (2) 受信

##### (a) 再開 (ウェイクアップ) 条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、受信動作を停止 (SCR/SCR\_SMCI.RE ビットを 0) にしてください。受信中に遷移すると、受信中のデータは無効になります。

図 25.72 に、受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

##### (b) 再開 (ウェイクアップ) 条件としてアドレス一致検出機能を使用する場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、以下の手順を実行します。

1. 低消費電力状態解除後の動作を設定します。
2. CDR.CMPD ビットと DCCR.DCME ビットを 1 にします。
3. 受信動作を許可 (SCR/SCR\_SMCI.RE = 1) にします。
4. モジュールストップ状態またはソフトウェアスタンバイモードを設定します。

SCI が低消費電力モードへ遷移するとき、受信データ端子 (RXD) が Low であれば、SEMR.RXDESEL を 0 にしてください。SEMR.RXDESEL が 1 になっていると、低消費電力モードの解除時にスタートビット (RXD 端子の立ち上がり) が検出されない可能性があります。

図 25.72 に、アドレス一致を用いて受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

### (c) SCI0 をスヌーズモードで使用する場合

SCI0 をスヌーズモードで使用する場合は、最大ビットレートなどのいくつかの制約事項があります。詳細は、「10. 低消費電力モード」を参照してください。

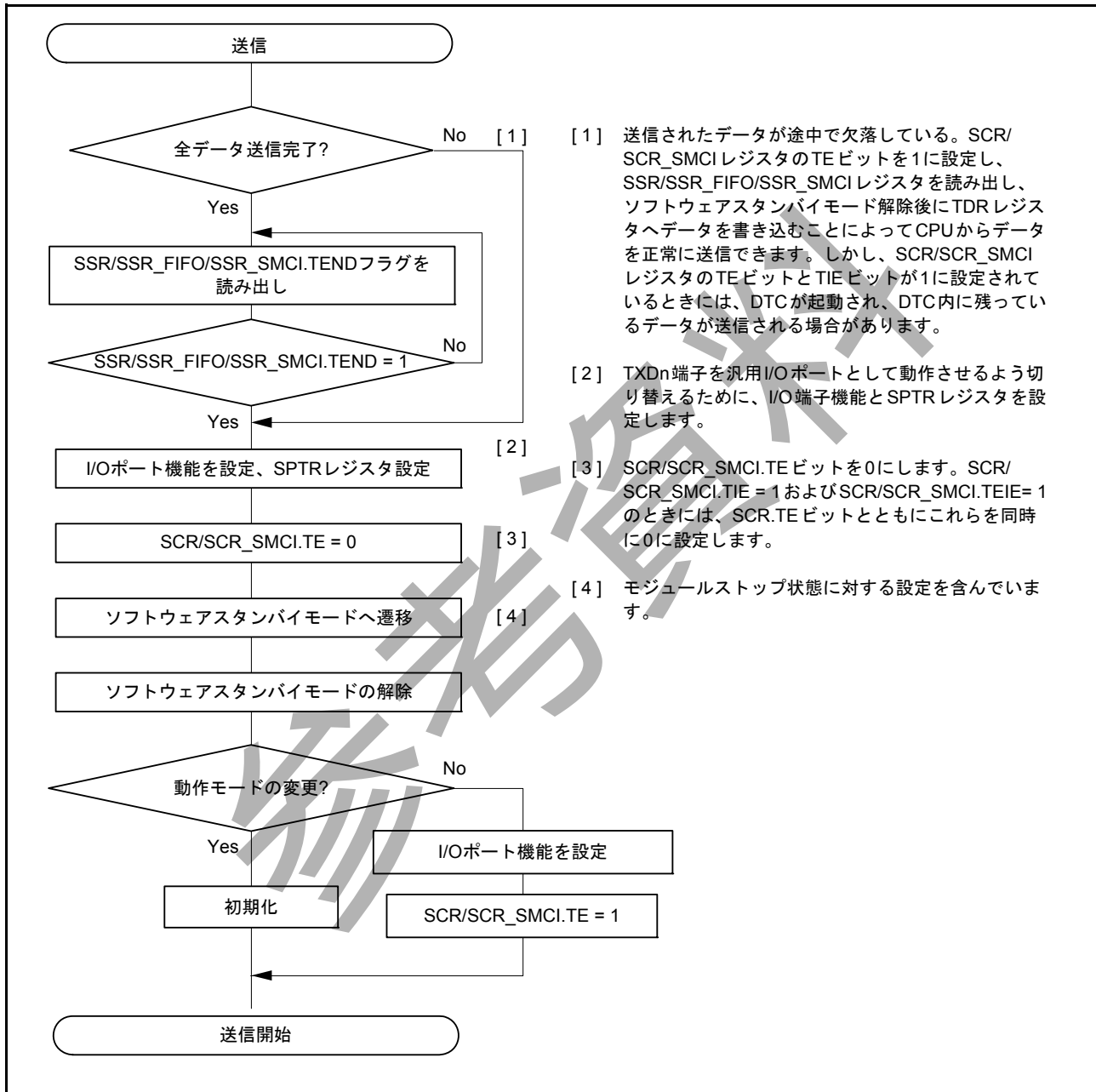


図 25.72 送信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

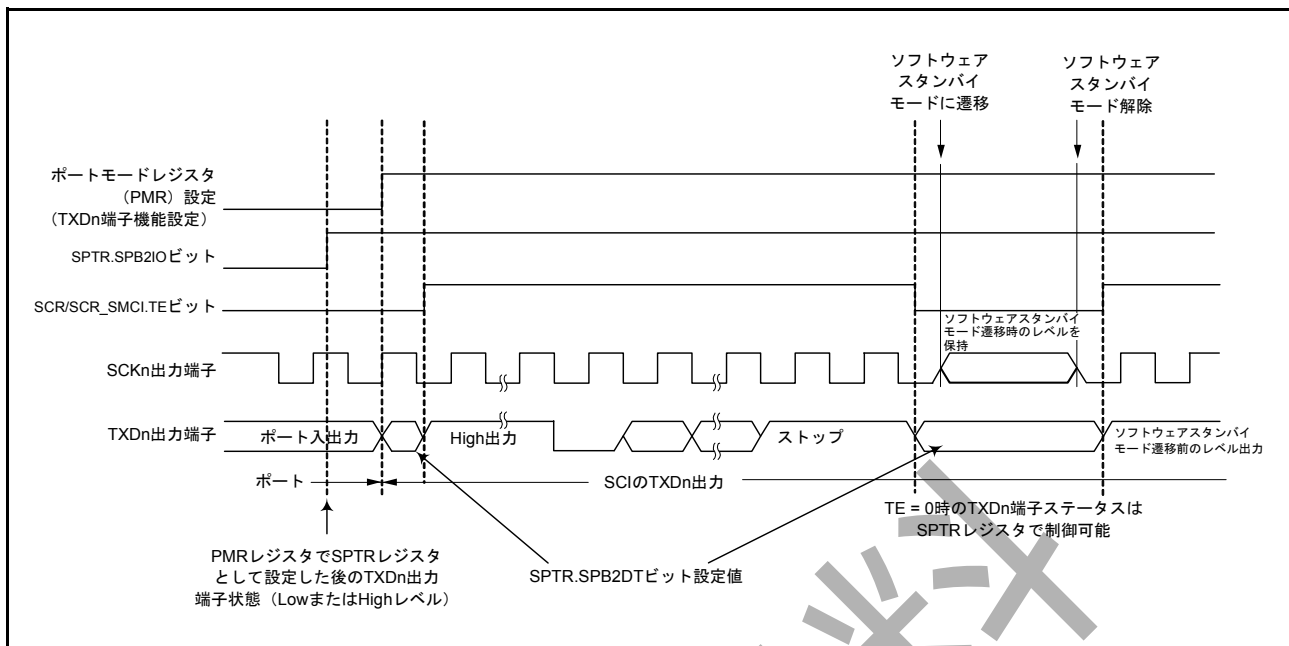


図 25.73 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

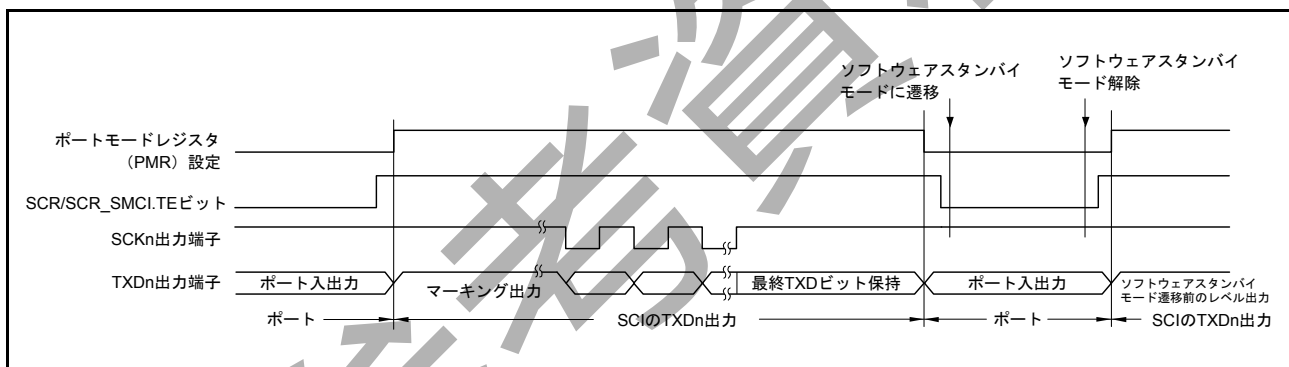


図 25.74 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

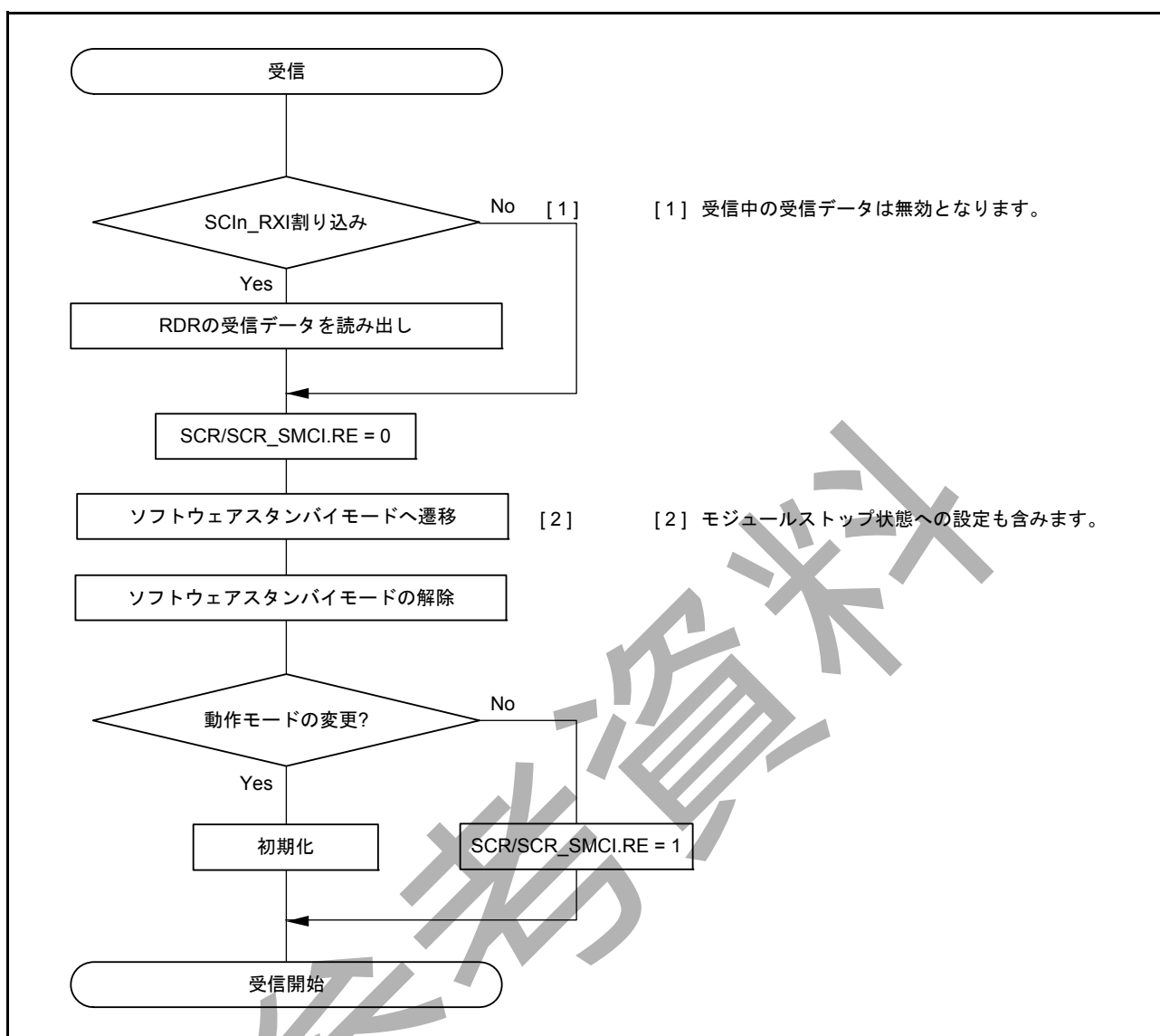


図 25.75 受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

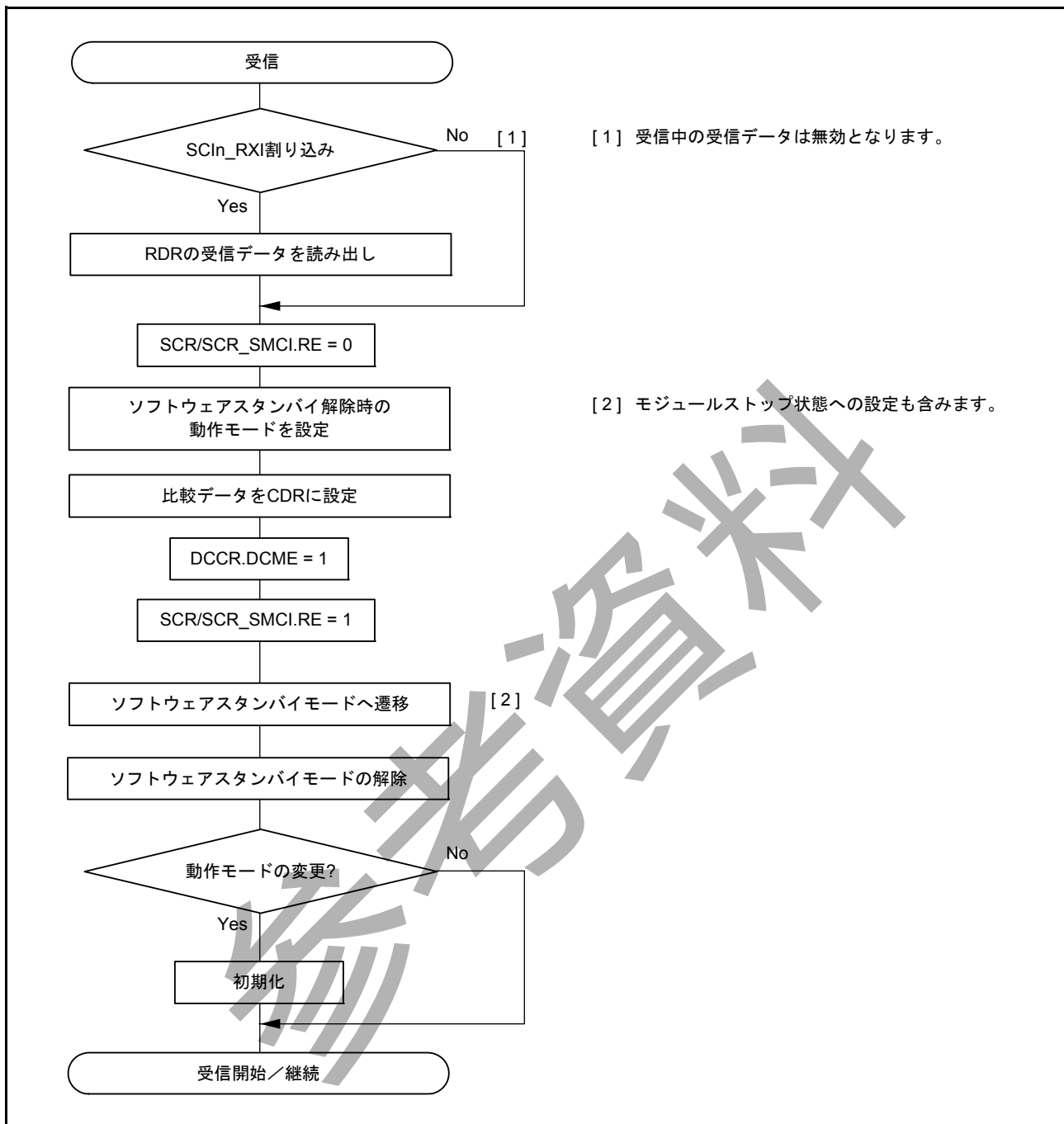


図 25.76 アドレス一致を用いて受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

### 25.13.3 ブレークの検出と処理について

#### (1) 非 FIFO 選択時

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になるため、SSR.FER フラグが 1 (フレーミングエラーの発生あり) になり、さらに SSR.PER フラグも 1 (パリティエラーの発生あり) になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0 (フレーミングエラーの発生なし) にしても、再び FER フラグが 1 になります。SEMR.RXDESEL ビットが 1 のとき、SCI は、SSR.FER フラグを 1 にして、次のデータフレームのスタートビットが検出されるまで、受信動作を停止します。このとき、SSR.FER フラグを 0 にすれば、ブレーク中は SSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレークが終了した後、最初の RXDn 端子の立ち下がりですtartビットの先頭を検出すれば、受信動作を開始させることが可能です。

#### (2) FIFO 選択時

フレーミングエラーが検出された後、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出された場合、受信動作が停止します。フレーミングエラー検出時に、SPTR.RXDMON ビットの値を読み出すことでブレークの検出が可能です。RXD 信号がマーク状態になってブレークが終了した後、FRDRHL レジスタへのデータ受信が再開されます。

### 25.13.4 マーク状態とブレークの送出

SCR/SCR\_SMCI.TE ビットが 0 (シリアル送信動作を禁止) のとき、SPTR.SPB2IO ビットと SPTR.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にしてブレークを送出できます。

SCR/SCR\_SMCI.TE ビットを 1 (シリアル送信動作を許可) にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態 (1 の状態) に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレークを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、SCR/SCR\_SMCI.TE ビットを 0 にしてください。SCR/SCR\_SMCI.TE ビットを 0 にすると、現在の送信状態とは無関係に送信部は初期化されません。

### 25.13.5 受信エラーフラグと送信動作 (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR/SSR\_FIFO.ORER) が 1 の状態では、TDR または FTDR (注 2) レジスタにデータを書き込んでも、送信は開始されません。送信を開始する前に、必ず受信エラーフラグを 0 にしてください。

注 1. SCR/SCR\_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、受信エラーフラグは 0 になりません。

注 2. 簡易 SPI モードでは、FTDRH レジスタを使用しないでください。

### 25.13.6 クロック同期送信に関する制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

#### (1) 送信開始時

CPU または DTC による TDR レジスタの更新後、5PCLKB 以上経過してから送信クロックを入力してください (図 25.77 参照)。

#### (2) 連続送信時

送信クロックの 7 ビット目の立ち下がり以前に、TDR または TDRHL レジスタに次の送信データを書き込んでください (図 25.77 参照)。

ビット [7] 送信開始以降に TDR を更新する場合は、同期クロックが Low の期間に TDR を更新し、かつ送信クロックの 7 ビット目の High 幅を、4PCLKB 以上にしてください (図 25.77 参照)。

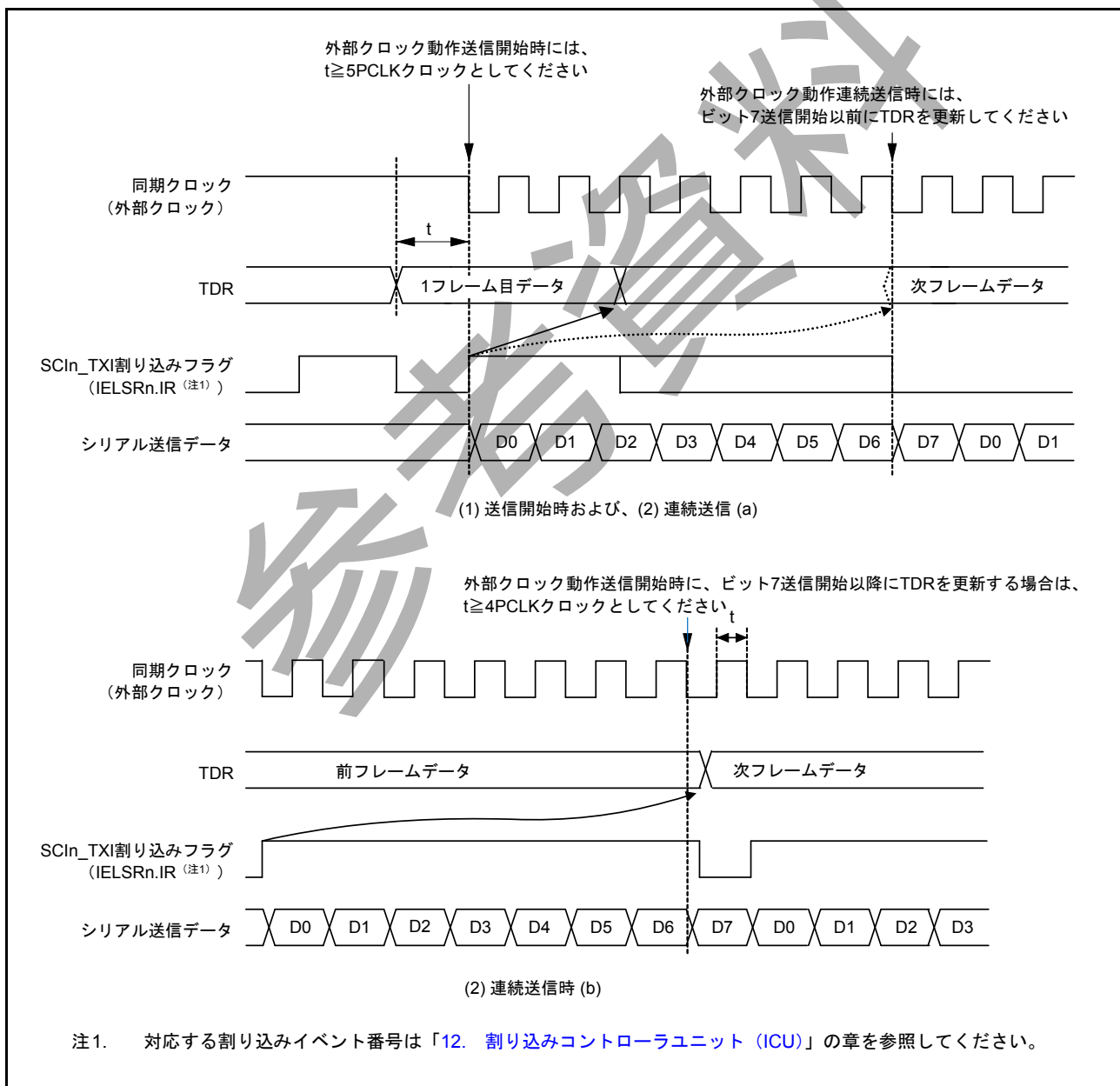


図 25.77 クロック同期送信時の外部クロック使用に関する制約事項



### 25.13.7 DTC 使用時の制約事項

DTC による送受信動作中は、DTC に転送データを設定しないでください。

#### (1) TDR (FTDRHL) レジスタへの書き込み

##### (a) 非 FIFO 選択時

TDR および TDRHL レジスタにデータを書き込むことが可能です。ただし、TDR または TDRHL レジスタに送信データが残っている状態で、TDR または TDRHL レジスタに新しいデータを書き込むと、残っていたデータは、TSR レジスタへ転送されず、失われます。DTC を使用する場合、TDR または TDRHL レジスタへの送信データの書き込みは、必ず SCIn\_TXI 割り込み要求処理ルーチンで行ってください。

##### (b) FIFO 選択時

SCR.TE ビットが 1 の場合に、FTDRH および FTDRL レジスタにデータを書き込むことが可能です。FDR.T[4:0] ビットによって、書き込み可能なデータ数を確認してください。

#### (2) RDR (FRDRHL) レジスタからの読み出し

DTC を用いて RDR および RDRHL レジスタを読み出すときは、必ず、対応する SCI の起動要因として受信データフル割り込み (SCIn\_RXI) を設定してください。

### 25.13.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が 1 のときは、動作許可 (SCR/SCR\_SMCI.TE ビットを 1、または SCR/SCR\_SMCI.RE ビットを 1) にする前に、以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

- 通信が停止していること (SCR/SCR\_SMCI.TE ビットまたは SCR/SCR\_SMCI.RE ビットが 0 になっていること) を確認します。
- 対応する割り込み許可ビット (SCR/SCR\_SMCI.TIE ビットまたは SCR/SCR\_SMCI.RIE ビット) を 0 にします。
- 対応する割り込み許可ビット (SCR/SCR\_SMCI.TIE ビットまたは SCR/SCR\_SMCI.RIE ビット) を読み出して、実際に 0 になっていることを確認します。
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) を 0 にします。

### 25.13.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードと簡易 SPI モードでは、外部クロック SCKn 入力を下記のように設定してください。

High パルス期間および Low パルス期間は 2PCLKB 以上、周期は 6PCLKB 以上

### 25.13.10 簡易 SPI モードに関する制約事項

#### (1) マスタモード

- SPMR.SSE ビットが 1 の場合、SPMR.CKPH ビットと SPMR.CKPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。  
これによって、SCR.TE ビットを 0 にしたときにクロック線がハイインピーダンス状態になったり、SCR.TE ビットを 0 から 1 に変更したときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで SPMR.SSE ビットが 0 の場合は、SCR.TE ビットを 0 にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。
- 「クロック遅れあり」の設定 (SPMR.CKPH ビット = 1) では、[図 25.78](#) に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCIn\_RXI) が発生します。このとき、SCR.TE ビットと SCR.RE ビットを SCKn 端子の最終クロックエッジより前に 0 にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCIn\_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブの SSn 端子入力信号が High になった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタの転送中にモードフォルトエラーが発生すると、SSn 端子入力が Low の間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

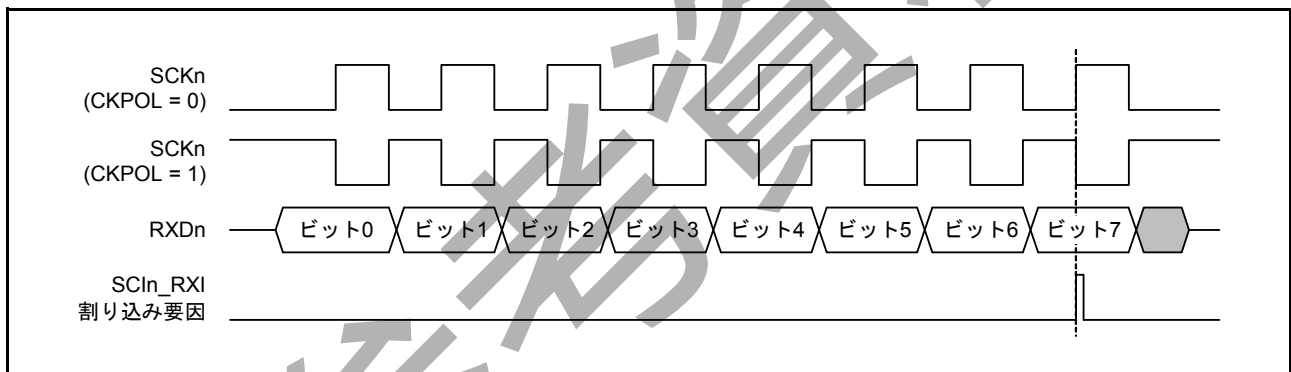


図 25.78 簡易 SPI モード (クロック遅れあり) での SCIn\_RXI 割り込み発生タイミング

#### (2) スレーブモード

- TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください  
 $1PCLKB + \text{スレーブのデータ出力遅延時間 (tDO)} + \text{マスタのセットアップ時間 (tSU)}$   
 また、SSn 端子への Low 入力から、外部クロック入力の開始までについても、 $5PCLKB$  以上の待機時間を確保してください。
- マスタからの外部クロックの供給は、転送データ長に合わせてください
- SSn 端子入力は、データ転送開始前と完了後に制御してください
- キャラクタ転送中に SSn 端子への入力レベルが Low から High に変化した場合は、SCR.TE ビットと SCR.RE ビットを 0 にして、再設定後に 1 バイト目から転送をやり直してください

## 26. I<sup>2</sup>Cバスインタフェース (IIC)

本 MCU は、2 チャンネルの I<sup>2</sup>C バスインタフェース (IIC) を内蔵しています。IIC モジュールは、NXP 社の I<sup>2</sup>C バス (Inter-Integrated Circuit Bus) インタフェース方式に準拠しており、そのサブセット機能を備えています。

### 26.1 概要

表 26.1 に IIC の仕様を、図 26.1 に IIC のブロック図を、図 26.2 に入出力端子の外部回路接続例を示します。表 26.2 に、IIC の入出力端子を示します。

表 26.1 IIC の仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> <li>• I<sup>2</sup>C バスフォーマットまたは SMBus フォーマット</li> <li>• マスタ/スレーブモードを選択可能</li> <li>• 転送速度に応じたセットアップ時間、ホールド時間、バスフリー時間を自動確保</li> </ul>
転送速度	ファストモード対応 (~400kbps)
SCL クロック	マスタ動作時、SCL クロックのデューティ比を 4%~96% の範囲で設定可能
コンディション発行・コンディション検出	<ul style="list-style-type: none"> <li>• スタートコンディション/リスタートコンディション/ストップコンディションの自動生成</li> <li>• スタートコンディション (リスタートコンディション含む) /ストップコンディションの検出可能</li> </ul>
スレーブアドレス	<ul style="list-style-type: none"> <li>• 異なるスレーブアドレスを 3 種類まで設定可能</li> <li>• 7ビット/10ビットアドレスフォーマット対応 (混在可能)</li> <li>• ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出が可能</li> </ul>
アクリッジ応答	<ul style="list-style-type: none"> <li>• 送信時、アクリッジビットの自動ロード</li> <li>• ノットアクリッジビット検出時に次送信データ転送の自動中断が可能</li> <li>• 受信時、アクリッジビットの自動送付</li> <li>• 8クロック目と9クロック目の間にウェイトありを選択すると、受信値に応じたアクリッジビット値のソフトウェア制御が可能</li> </ul>
ウェイト機能	受信時、SCL クロックの Low ホールドによる下記期間のウェイトが可能 <ul style="list-style-type: none"> <li>• 8クロック目と9クロック目の間をウェイト</li> <li>• 9クロック目と次の転送の1クロック目の間をウェイト</li> </ul>
SDA 出力遅延機能	アクリッジ送信を含むデータ送信の出力タイミングの遅延が可能
アービトレーション	<ul style="list-style-type: none"> <li>• マルチマスタ対応               <ul style="list-style-type: none"> <li>- 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能</li> <li>- スタートコンディション発行がバスで競合した場合、SDA 内部信号と SDA ラインの状態が不一致であればアービトレーションロストを検出可能</li> <li>- マスタ動作時、SDA 内部信号と SDA ラインの状態が不一致であればアービトレーションロストを検出可能</li> </ul> </li> <li>• バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能 (スタートコンディションの二重発行防止)</li> <li>• ノットアクリッジビット送信時、SDA 内部信号と SDA ラインの状態が不一致であればアービトレーションロストを検出可能</li> <li>• スレーブ送信時、データの SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能</li> </ul>
タイムアウト検出機能	SCL クロックの長時間停止を内部で検出
ノイズ除去	<ul style="list-style-type: none"> <li>• SCL 信号と SDA 信号用のデジタルノイズフィルタ</li> <li>• フィルタによるノイズ除去幅をプログラマブルに調整可能</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>• 通信エラーまたはイベント発生：アービトレーション検出、NACK、タイムアウト、スタート/リスタートコンディション、またはストップコンディション</li> <li>• 受信データフル (スレーブアドレス一致時含む)</li> <li>• 送信データエンpty (スレーブアドレス一致時含む)</li> <li>• 送信終了</li> </ul>
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能
IIC の動作モード	<ul style="list-style-type: none"> <li>• マスタ送信</li> <li>• マスタ受信</li> <li>• スレーブ送信</li> <li>• スレーブ受信</li> </ul>

表 26.1 IICの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	<ul style="list-style-type: none"> <li>通信エラーまたはイベント発生: アービトレーション検出、NACK、タイムアウト、スタート/リスタートコンディション、またはストップコンディション</li> <li>受信データフル (スレーブアドレス一致時含む)</li> <li>送信データエンプティ (スレーブアドレス一致時含む)</li> <li>送信終了</li> </ul>
ウェイクアップ機能 (注1)	<ul style="list-style-type: none"> <li>ウェイクアップイベントを使用したCPUのソフトウェアスタンバイモードからの復帰が可能</li> </ul>

注 1. IIC0 の場合のみサポート。IIC1 はサポートしません。

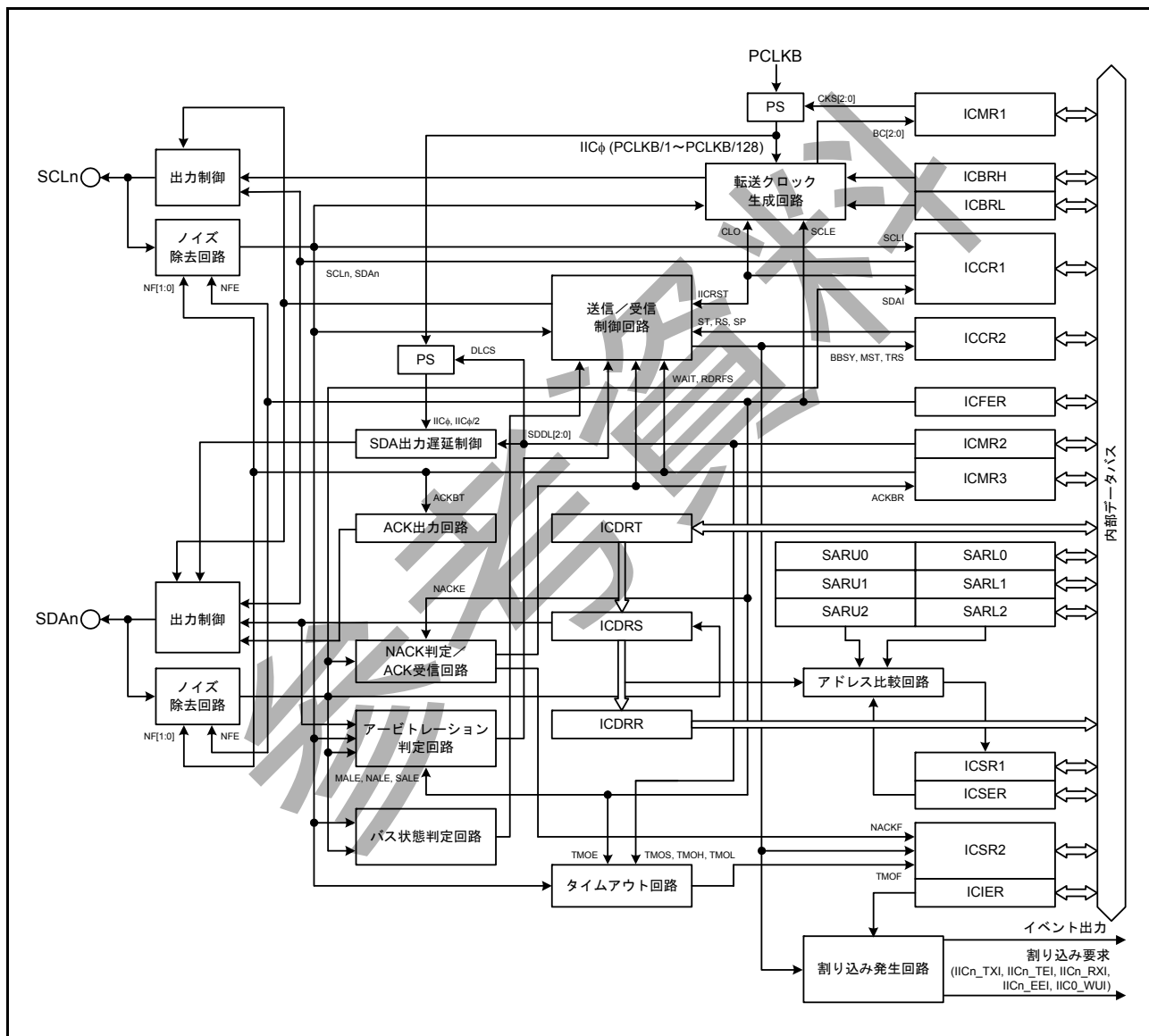


図 26.1 IICのブロック図

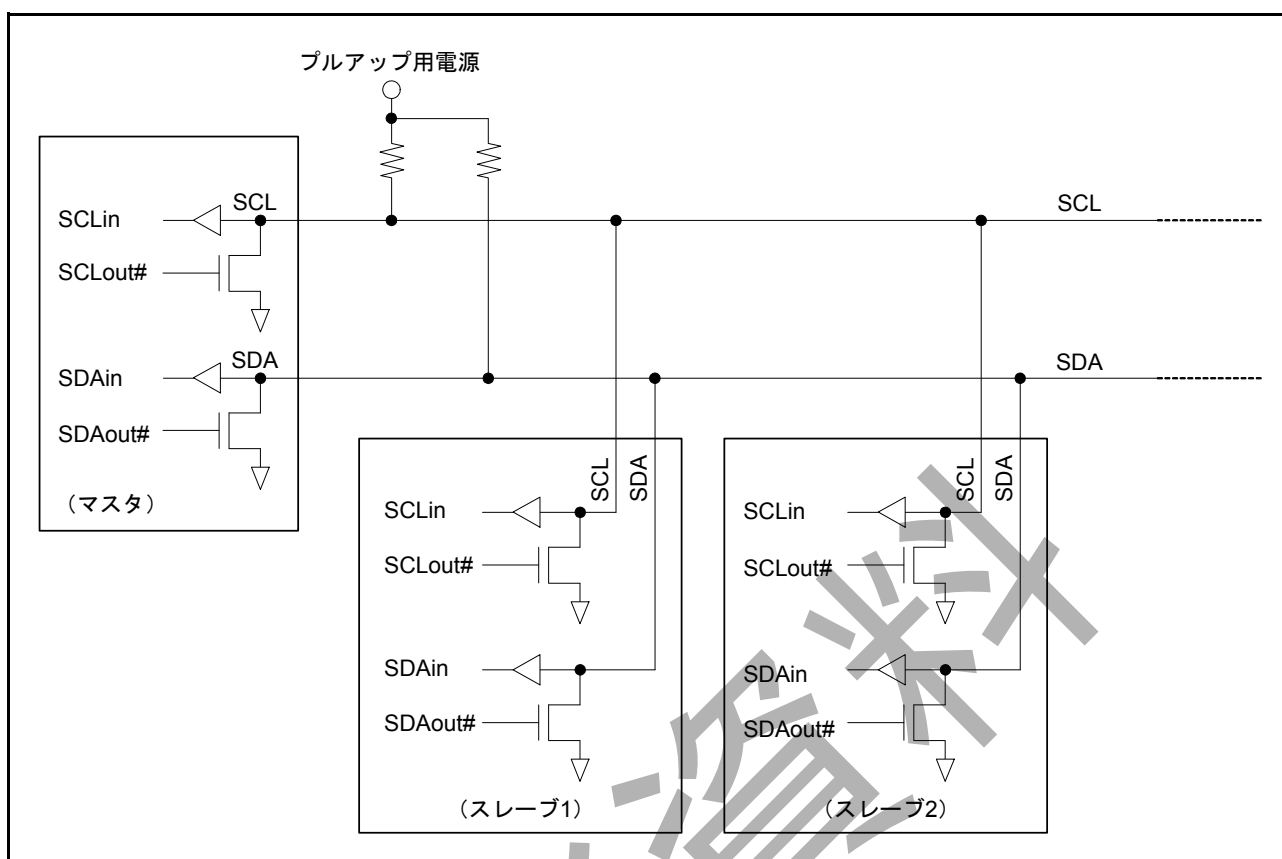


図 26.2 入出力端子の外部回路接続例 (I<sup>2</sup>C バス構成例)

IIC の各信号の入力レベルは、I<sup>2</sup>C バス選択時 (ICMR3.SMBS = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS = 1) は TTL レベルです。

表 26.2 IIC の端子構成

チャンネル	端子名	入出力	機能
IIC0	SCL0	入出力	IIC0 シリアルクロック入出力端子
	SDA0	入出力	IIC0 シリアルデータ入出力端子
IIC1	SCL1	入出力	IIC1 シリアルクロック入出力端子
	SDA1	入出力	IIC1 シリアルデータ入出力端子

## 26.2 レジスタの説明

26.2.1 I<sup>2</sup>Cバスコントロールレジスタ 1 (ICCR1)

アドレス IIC0.ICCR1 4005 3000h, IIC1.ICCR1 4005 3100h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタ	0 : SDA <sub>n</sub> ラインはLow 1 : SDA <sub>n</sub> ラインはHigh	R
b1	SCLI	SCLラインモニタ	0 : SCL <sub>n</sub> ラインはLow 1 : SCL <sub>n</sub> ラインはHigh	R
b2	SDAO	SDA出力制御/モニタ	<ul style="list-style-type: none"> <li>読み出し時</li> <li>0 : IICはSDA<sub>n</sub>端子をLowにしている</li> <li>1 : IICはSDA<sub>n</sub>端子を解放している</li> <li>書き込み時</li> <li>0 : SDA<sub>n</sub>端子をLowにする</li> <li>1 : SDA<sub>n</sub>端子を解放する</li> </ul>	R/W
b3	SCLO	SCL出力制御/モニタ	<ul style="list-style-type: none"> <li>読み出し時</li> <li>0 : IICはSCL<sub>n</sub>端子をLowにしている</li> <li>1 : IICはSCL<sub>n</sub>端子を解放している</li> <li>書き込み時</li> <li>0 : SCL<sub>n</sub>端子をLowにする</li> <li>1 : SCL<sub>n</sub>端子を解放する</li> </ul> 外部プルアップ抵抗を使用して信号をHighにしてください。	R/W
b4	SOWP	SCLO/SDAOライトプロテクト	0 : SCLOおよびSDAOビットの書き込みを許可 1 : SCLOおよびSDAOビットの書き込みを禁止 読むと1が読めます。	R/W
b5	CLO	SCLクロック追加出力	0 : SCLクロックを追加で出力しない (デフォルト) 1 : SCLクロックを追加で出力する 1クロック出力後、自動的に0になります。	R/W
b6	IICRST	IICバスインタフェース内部リセット	0 : IICリセットまたは内部リセットを解除する 1 : IICリセットまたは内部リセットを行う これにより、ビットカウンタをクリアし、SCL <sub>n</sub> /SDA <sub>n</sub> 出力ラッチを解除します。	R/W
b7	ICE	IICバスインタフェース許可	0 : 禁止 (SCL <sub>n</sub> およびSDA <sub>n</sub> 端子は非駆動状態) 1 : 許可 (SCL <sub>n</sub> およびSDA <sub>n</sub> 端子は駆動状態) IICRSTビットとの組み合わせで、IICリセット、または内部リセットを選択します。	R/W

**SDAOビット (SDA出力制御/モニタ)、SCLOビット (SCL出力制御/モニタ)**

SDAOビットとSCLOビットは、IICから出力されるSDA<sub>n</sub>信号とSCL<sub>n</sub>信号を直接操作します。

SDAOビットとSCLOビットに書き込む場合は、SOWPビットに0を書いてください。SDAOビットとSCLOビットを設定すると、入力バッファを介してIICに入力されます。スレーブモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディションの期間中、および送信、または受信中は、SDAOビットとSCLOビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証されません。これらのビットの読み出し値は、IICが出力しているSDA<sub>n</sub>およびSCL<sub>n</sub>信号の状態です。

### CLO ビット (SCL クロック追加出力)

CLO ビットは、SCL クロックを1クロック単位で追加出力できるようにするもので、デバッグ時またはエラー処理時に使用します。

通常の通信時は、CLO ビットを0にしてください。通常の通信状態でCLO ビットを1にすると通信エラーの原因になります。この機能の詳細については、[26.12.2 SCL クロック追加出力機能](#)を参照してください。

### IICRST ビット (IIC バスインタフェース内部リセット)

IICRST ビットはIICの内部状態をリセットします。

IICRST ビットを1にすると、IIC リセットまたは内部リセットを起動できます。IIC リセットと内部リセットのどちらが起動するかは、ICE ビットと組み合わせたIICRST ビットの設定によって決定されます。[表 26.3](#)にIICのリセットの種類を示します。

IIC リセットでは、IICの全レジスタと内部状態が初期化されます。内部リセットでは、IICの内部状態に加えて、ビットカウンタ (ICMR1.BC[2:0] ビット)、I<sup>2</sup>C バスシフトレジスタ (ICDRS)、I<sup>2</sup>C バスステータスレジスタ (ICSR1、ICSR2) が初期化されます。各レジスタのリセット条件については、[26.15 各コンディション発行時のリセット、レジスタ、機能の状態](#)を参照してください。

動作中に (ICE ビット=1の状態) IICRST ビットを1にして内部リセットを行うと、通信不具合によってバスやIICがハングしたとき、ポートの設定とIICのコントロールレジスタや設定レジスタを初期化することなく、IICの内部状態がリセットされます。また、IICがLowを出力したままハングした場合、内部状態をリセットすることで、Low出力状態が解除され、SCLn端子とSDAn端子がハイインピーダンスの状態が解放されます。

注. スレーブモード時に、マスタデバイスとの通信中に生じたバスハングに対してIICRST ビットで内部リセットを行うと、ビットカウンタ情報の差異が原因で、スレーブデバイスとマスタデバイスが異なる状態になる可能性があります。そのため、スレーブモード時には内部リセットは行わないでください。復帰処理はマスタデバイスから行うようにしてください。スレーブモード時にSCLnラインがLow出力状態のままIICがハングしたため、内部リセットが必要になった場合は、内部リセット後にマスタデバイスからリスタートコンディションを発行するか、またはストップコンディションを発行して、スタートコンディションから通信をやり直してください。スレーブデバイスでのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開されると、双方が非同期で動作することになるため同期ズレの原因になります。

表 26.3 IICのリセットの種類

IICRST	ICE	状態	内容
1	0	IICリセット	IICの全レジスタと内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0]ビット、ICSR1、ICSR2、ICDRSレジスタ、およびIICの内部状態をリセット

### ICE ビット (IIC バスインタフェース許可)

ICE ビットは、SCLn および SDAn 端子の駆動状態/非駆動状態を選択します。また、IICRST ビットと組み合わせて、2種類のリセットを行うことができます。リセットの種類については、[表 26.3](#)を参照してください。

IICを使用するときは、ICE ビットを1にしてください。ICE ビットを1にすると、SCLn および SDAn 端子は駆動状態になります。IICを使用しないときは、ICE ビットを0にしてください。ICE ビットを0にすると、SCLn および SDAn 端子は非駆動状態になります。端子機能制御を設定するときに、SCLn または SDAn 端子をIICに割り当てないでください。これらの端子がIICに割り当てられると、スレーブアドレス比較が行われます。

26.2.2 I<sup>2</sup>Cバスコントロールレジスタ 2 (ICCR2)

アドレス IIC0.ICCR2 4005 3001h, IIC1.ICCR2 4005 3101h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	ST	スタートコンディション発行要求	0: スタートコンディション要求を発行しない 1: スタートコンディション要求を発行	R/W
b2	RS	リスタートコンディション発行要求	0: リスタートコンディション要求を発行しない 1: リスタートコンディション要求を発行	R/W
b3	SP	ストップコンディション発行要求	0: ストップコンディション要求を発行しない 1: ストップコンディション要求を発行	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	TRS	送信/受信モード	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモード	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I <sup>2</sup> Cバスは解放状態 (バスフリー状態) 1: I <sup>2</sup> Cバスは占有状態 (バスビジー状態)	R

注1. ICMR1.MTWP ビットが1のとき、MST および TRS ビットへの書き込みが可能です。

**ST ビット (スタートコンディション発行要求)**

ST ビットは、マスタモードへの遷移を要求し、スタートコンディションを発行します。

ST ビットを1にすると、BBSY フラグが0 (バスフリー状態) のときにスタートコンディションが発行されます。スタートコンディション発行の詳細については、[26.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- スタートコンディションが発行されたとき (スタートコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが1になったとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが0 (バスフリー状態) のときに、ST ビットを1 (スタートコンディション要求) にしてください。  
BBSY フラグが1 (バスビジー状態) のときに、ST ビットを1 (スタートコンディション要求) にすると、アービトレーションロストが発生する場合があります。



**RS ビット (リスタートコンディション発行要求)**

RS ビットは、マスタモード時にリスタートコンディションの発行を要求します。

RS ビットが1になるとリスタートコンディションを要求し、BBSY フラグが1 (バスビジー状態) でかつ MST ビットが1 (マスタモード) であれば、リスタートコンディションが発行されます。リスタートコンディション発行の詳細については、[26.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグが1の状態、1を書いたとき

[0 になる条件]

- 0を書いたとき
- リスタートコンディションが発行されたとき (スタートコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが1になったとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

注. ストップコンディション発行中に RS ビットを1にしないでください。

注. スレーブモードで RS ビットを1 (リスタートコンディション要求) にすると、リスタートコンディションは発行されず、RS ビットは1のままになります。RS ビットがクリアされていない状態で動作モードをマスタモードに変更すると、リスタートコンディションが発行される場合があります。

**SP ビット (ストップコンディション発行要求)**

このビットは、マスタモード時にストップコンディションの発行を要求します。

このビットを1にすると、BBSY フラグが1 (バスビジー状態) でかつ MST ビットが1 (マスタモード) のときにストップコンディションが発行されます。ストップコンディション発行の詳細については、[26.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグと ICCR2.MST ビットが両方とも1の状態、1を書いたとき

[0 になる条件]

- 0を書いたとき
- ストップコンディションが発行されたとき (ストップコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが1になったとき
- スタートコンディションおよびリスタートコンディションが検出されたとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが0 (バスフリー状態) のとき、SP ビットへの書き込みは不可能です。

注. リスタートコンディション発行中に SP ビットを1にしないでください。

**TRS ビット (送信/受信モード)**

TRS ビットは、送信/受信モードを示します。

IIC は、TRS ビットが0のときは受信モード、1のときは送信モードになります。TRS ビットと MST ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行または検出時、および R/W# ビットの設定時に、TRS ビット値は自動的に1 (送信モード) または0 (受信モード) に変化します。ICMR1.MTWP ビットが1のとき、TRS ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- リスタートコンディション要求によってリスタートコンディションが正常に発行されたとき (RS ビットが 1 の状態で、リスタートコンディションが検出されたとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが 0 になったとき
- スレーブモードで受信したアドレスが IC SER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- マスタモード時、値が 1 の R/W# ビットが付加されたスレーブアドレスを受信したとき
- スレーブモード時、受信したアドレスが IC SER レジスタで有効にしたアドレスと一致し、かつ受信した R/W# ビットの値が 0 のとき (ジェネラルコールアドレスを受信した場合を含む)
- スレーブモード時、リスタートコンディションが検出されたとき (ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でスタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

#### MST ビット (マスタ/スレーブモード)

MST ビットは、マスタモード/スレーブモードを示します。

IIC は、MST ビットが 0 のときはスレーブモード、1 のときはマスタモードになります。MST ビットと TRS ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行時、あるいはストップコンディションの発行または検出時、MST ビットの値は自動的に 1 (マスタモード) または 0 (スレーブモード) に変化します。ICMR1.MTWP ビットが 1 のとき、MST ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

#### BBSY フラグ (バスビジー検出フラグ)

BBSY フラグは、I<sup>2</sup>C バスが占有されているか (バスビジー状態)、解放されているか (バスフリー状態) を示します。

SCLn ラインが High のときに SDA<sub>n</sub> ラインが High から Low に変化すると、スタートコンディションが発行されたとみなされて、BBSY フラグは 1 になります。バスフリー時間 (ICBRL レジスタの設定) スタートコンディションが検出されないと、ストップコンディションが発行されたとみなされて、BBSY フラグは 0 になります。

[1になる条件]

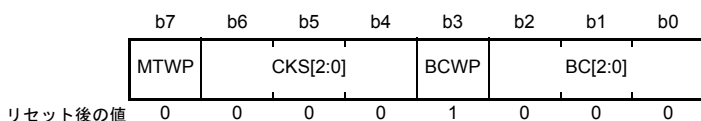
- スタートコンディションが検出されたとき

[0になる条件]

- ストップコンディション検出後、バスフリー時間 (ICBRLレジスタの設定) スタートコンディションが検出されないとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

### 26.2.3 I<sup>2</sup>C バスモードレジスタ 1 (ICMR1)

アドレス IIC0.ICMR1 4005 3002h, IIC1.ICMR1 4005 3102h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0: 9ビット 0 0 1: 2ビット 0 1 0: 3ビット 0 1 1: 4ビット 1 0 0: 5ビット 1 0 1: 6ビット 1 1 0: 7ビット 1 1 1: 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクト	0: BC[2:0]ビットの書き込み許可 1: BC[2:0]ビットの書き込み禁止 読むと1が読めます。	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択	IICの内部基準クロックソース (IICφ) を選択します。 b6 b4 0 0 0: PCLKBクロック 0 0 1: PCLKB/2クロック 0 1 0: PCLKB/4クロック 0 1 1: PCLKB/8クロック 1 0 0: PCLKB/16クロック 1 0 1: PCLKB/32クロック 1 1 0: PCLKB/64クロック 1 1 1: PCLKB/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクト	0: ICCR2レジスタのMSTおよびTRSビットの書き込み禁止 1: ICCR2レジスタのMSTおよびTRSビットの書き込み許可	R/W

注1. BC[2:0] ビットを書き換える場合は、同時に BCWP ビットを 0 にしてください。

#### BC[2:0] ビット (ビットカウンタ)

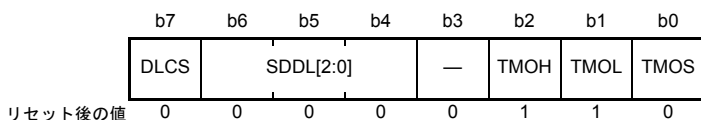
BC[2:0] ビットは、SCLn ラインの立ち上がりエッジの検出時に、残りの転送ビット数を示すカウンタです。読み出しおよび書き込みは可能ですが、通常はこれらのビットへのアクセスは不要です。

なお、BC[2:0] へ書き込む場合は、SCLn ラインが Low の状態で、転送するデータのビット数+1 (追加のアクノリッジビット分) を転送フレーム間で指定してください。

BC[2:0] ビットの値は、アクノリッジビットを含むデータ転送の終了時、あるいはスタートコンディション/リスタートコンディションの検出時に 000b に戻ります。

26.2.4 I<sup>2</sup>Cバスモードレジスタ 2 (ICMR2)

アドレス IIC0.ICMR2 4005 3003h, IIC1.ICMR2 4005 3103h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択	0: ロングモードを選択 1: ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御	0: SCLnラインがLowのときカウントを禁止 1: SCLnラインがLowのときカウントを許可	R/W
b2	TMOH	タイムアウトHカウント制御	0: SCLnラインがHighのときカウントを禁止 1: SCLnラインがHighのときカウントを許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> <li>ICMR2.DLCS = 0 (IICφ) のとき</li> <li>b6 b4</li> <li>0 0 0: 出力遅延なし</li> <li>0 0 1: IICφの1サイクル</li> <li>0 1 0: IICφの2サイクル</li> <li>0 1 1: IICφの3サイクル</li> <li>1 0 0: IICφの4サイクル</li> <li>1 0 1: IICφの5サイクル</li> <li>1 1 0: IICφの6サイクル</li> <li>1 1 1: IICφの7サイクル</li> <li>ICMR2.DLCS = 1 (IICφ/2) のとき</li> <li>b6 b4</li> <li>0 0 0: 出力遅延なし</li> <li>0 0 1: IICφの1または2サイクル</li> <li>0 1 0: IICφの3または4サイクル</li> <li>0 1 1: IICφの5または6サイクル</li> <li>1 0 0: IICφの7または8サイクル</li> <li>1 0 1: IICφの9または10サイクル</li> <li>1 1 0: IICφの11または12サイクル</li> <li>1 1 1: IICφの13または14サイクル</li> </ul>	R/W
b7	DLCS	SDA出力遅延クロックソース選択	0: SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注1. DLCS = 1 (IICφ/2) の設定は、SCL が Low のときのみ有効です。SCL が High のとき、DLCS = 1 の設定は無効となり、クロックソースは内部基準クロック (IICφ) となります。

## TMOS ビット (タイムアウト検出時間選択)

TMOS ビットは、タイムアウト検出機能が有効 (ICFER.TMOE ビット = 1) の場合に、タイムアウト検出時間としてロングモードまたはショートモードを選択します。

TMOS ビットを 0 にすると、ロングモードが選択されます。TMOS ビットを 1 にすると、ショートモードが選択されます。ロングモードでは、タイムアウト検出用の内部カウンタが 16 ビットカウンタとして機能します。ショートモードでは、このカウンタが 14 ビットカウンタとして機能します。SCLn ラインが、このカウンタを TMOH ビットと TMOL ビットの指定通り動作させる状態にあるとき、このカウンタは内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、26.12.1 タイムアウト検出機能を参照してください。

## TMOL ビット (タイムアウトLカウント制御)

TMOL ビットは、SCLn ラインが Low ホールドであり、かつタイムアウト検出機能が有効 (ICFER.TMOE = 1) の場合に、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

### TMOH ビット (タイムアウトH カウント制御)

TMOH ビットは、SCLn ラインが High ホールドであり、かつタイムアウト検出機能が有効 (ICFER.TMOE = 1) の場合に、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

### SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値を使用して、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースで動作します。この機能の設定値は、アクノリッジビット送出を含むすべての種類の SDA 出力で使用可能です。

SDA 出力遅延は、データ有効時間/アクノリッジ有効時間 (注1) に対する I<sup>2</sup>C バス規格、または SMBus 規格を満たすように、「データホールド時間 (300ns 以上 + SCL クロックの Low 幅) - データセットアップ時間 (250ns)」の範囲内で設定してください。規格外に設定すると、デバイス間の通信に誤動作を引き起こすか、バスの状態によってはスタートコンディションまたはストップコンディションを誤って表示する可能性があります。

この機能の詳細については、[26.5 SDA 出力遅延機能](#)を参照してください。

- 注 1. データ有効時間/アクノリッジ有効時間  
3,450ns (~ 100kbps) : スタンダードモード (Sm)  
900ns (~ 400kbps) : ファストモード (Fm)

参考資料

26.2.5 I<sup>2</sup>Cバスモードレジスタ 3 (ICMR3)

アドレス IIC0.ICMR3 4005 3004h, IIC1.ICMR3 4005 3104h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択	b1 b0 00 : 1 IIC $\phi$ サイクル以下のノイズを除去 (フィルタは1段) 01 : 2 IIC $\phi$ サイクル以下のノイズを除去 (フィルタは2段) 10 : 3 IIC $\phi$ サイクル以下のノイズを除去 (フィルタは3段) 11 : 4 IIC $\phi$ サイクル以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジ	0 : アクノリッジビットに0を受信 (ACK受信) 1 : アクノリッジビットに1を受信 (NACK受信)	R
b3	ACKBT	送信アクノリッジ	0 : アクノリッジビットに0を送出 (ACK送信) 1 : アクノリッジビットに1を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクト	0 : ACKBTビットの書き込み禁止 1 : ACKBTビットの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセットタイミング選択	0 : SCLクロックの9クロック目の立ち上がりでRDRFフラグをセット (8クロック目の立ち下がりでSCLnラインのLowホールドを行わない) 1 : SCLクロックの8クロック目の立ち上がりでRDRFフラグをセット (8クロック目の立ち下がりでSCLnラインのLowホールドを行う) LowホールドはACKBTへの書き込みで解除	R/W (注2)
b6	WAIT	WAIT	0 : ウェイトなし (9クロック目と1クロック目の間にLowホールドを行わない) 1 : ウェイトあり (9クロック目と1クロック目の間にLowホールドを行う) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/IICバス選択	0 : I <sup>2</sup> Cバスを選択 1 : SMBusを選択	R/W

- 注1. ACKBT ビットに書く場合には、ACKWP ビットがすでに1であるときのみに行ってください。アプリケーションがACKWP ビットとACKBT ビットに同時に1を書き込んでも、ACKBT ビットは1になりません。
- 注2. WAIT ビットとRDRFS ビットは、受信モードでのみ有効 (送信モードでは無効) です。

## NF[1:0] ビット (ノイズフィルタ段数選択)

NF[1:0] ビットは、デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、26.6 デジタルノイズフィルタ回路を参照してください。

- 注. 除去するノイズ幅は、SCLnラインのHigh幅またはLow幅よりも狭くなるように設定してください。ノイズ幅の設定が [SCLクロックの幅 : High幅またはLow幅のいずれか短い方] — [1.5 内部基準クロック (IIC $\phi$ ) サイクル + アナログノイズフィルタ : 120ns (参考値)] の値以上の場合、SCLクロックはノイズとみなされ、IICが正常に動作しない可能性があります。

### ACKBR ビット (受信アクノリッジ)

ACKBR ビットは、送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[1 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 1 を受信したとき

[0 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 0 を受信したとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

### ACKBT ビット (送信アクノリッジ)

ACKBT ビットは、受信モード時に送出されるアクノリッジビットを設定します。

[1 になる条件]

- ACKWP ビットが 1 の状態で、ACKBT ビットに 1 を書いたとき

[0 になる条件]

- ACKWP ビットが 1 の状態で、ACKBT ビットに 0 を書いたとき
- ストップコンディションの発行が検出されたとき (ICCR2.SP ビットが 1 の状態で、ストップコンディションが検出されたとき)
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

### ACKWP ビット (ACKBT ライトプロテクト)

ACKWP ビットは、ACKBT ビットの書き込み許可を制御します。

### RDRFS ビット (RDRF フラグセットタイミング選択)

RDRFS ビットは、受信モード時の RDRF フラグのセットタイミングと、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行うか否かを選択します。

RDRFS ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりで RDRF フラグを 1 にします。

RDRFS ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がりで RDRF フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行います。この SCLn ラインの Low ホールドは、ACKBT ビットへの書き込みによって解除されます。この設定でデータを受信した後、アクノリッジビット送出前に、SCLn ラインは自動的に Low ホールドされます。これによって、受信データの内容に応じた ACK (ACKBT ビットが 0) または NACK (ACKBT ビットが 1) の送出処理が可能となります。

### WAIT ビット (WAIT)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに、受信データバッファ (ICDRR レジスタ) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low ホールドするか否かを制御します。

WAIT ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がり以降、ICDRR レジスタ値が読み出されるまでの間、SCLn ラインを Low にホールドします。これによって、1 バイトごとの受信動作が可能になります。

注. WAIT ビットの値を読み出す場合は、必ず最初に ICDRR レジスタを読み出してください。

### SMBS ビット (SMBus/IIC バス選択)

SMBS ビットを 1 にすると、SMBus が選択されて、ICSER.HOAE ビットが有効になります。

26.2.6 I<sup>2</sup>Cバスファンクションイネーブルレジスタ (ICFER)

アドレス IIC0.ICFER 4005 3005h, IIC1.ICFER 4005 3105h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効	0: 無効 1: 有効	R/W
b1	MALE	マスタアービトレーションロスト検出有効	0: 無効 アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST、TRSビットの自動クリアを禁止します。 1: 有効 アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST、TRSビットの自動クリアを許可します。	R/W
b2	NALE	NACK送信アービトレーションロスト検出有効	0: 無効 1: 有効	R/W
b3	SALE	スレーブアービトレーションロスト検出有効	0: 無効 1: 有効	R/W
b4	NACKE	NACK受信転送中断許可	0: NACK受信時、転送を中断しない (転送中断禁止) 1: NACK受信時、転送を中断する (転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効	0: SCL同期回路を使用しない 1: SCL同期回路を使用する	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**TMOE ビット (タイムアウト検出機能有効)**

TMOE ビットは、タイムアウト検出機能を有効または無効にします。

タイムアウト検出機能の詳細については、26.12.1 タイムアウト検出機能を参照してください。

**MALE ビット (マスタアービトレーションロスト検出有効)**

MALE ビットは、マスタモード時にアービトレーションロスト検出機能を使用するか否かを指定します。通常の動作では、MALE ビットを1にしてください。

**NALE ビット (NACK送信アービトレーションロスト検出有効)**

NALE ビットは、受信モード時のNACK送出中にACKが検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択し、それぞれ受信バイト数が異なる場合など) に、アービトレーションロストを発生させるか否かを選択します。

**SALE ビット (スレーブアービトレーションロスト検出有効)**

SALE ビットは、スレーブ送信モード時に送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズが原因で送信データとの不一致が生じた場合など) に、アービトレーションロストを発生させるか否かを選択します。



**NACK ビット (NACK 受信転送中断許可)**

NACK は、送信モード時にスレーブデバイスから NACK を受信した場合、転送動作を継続するか中断するかを選択します。通常の動作では、NACK ビットを 1 にしてください。

NACK ビットが 1 の状態で NACK を受信した場合、次の転送動作が中断されます。NACK ビットが 0 のとき、受信したアクノリッジの内容にかかわらず、次の転送動作が継続されます。

NACK 受信転送中断機能の詳細については、[26.9.2 NACK 受信転送中断機能](#)を参照してください。

**SCLE ビット (SCL 同期回路有効)**

SCLE ビットは、SCL クロックを SCL 入力クロックと同期させるか否かを選択します。通常の動作では、SCLE ビットを 1 にしてください。

SCLE ビットを 0 (SCL 同期回路を使用しない) にすると、IIC は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、SCLn ラインの状態にかかわらず、IIC は、ICBRH および ICBRL レジスタで設定した転送速度の SCL クロックを出力します。そのため、I<sup>2</sup>C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合があります。また、SCL 同期回路を使用しないと、スタートコンディション/リスタートコンディション/ストップコンディションの発行と、追加 SCL クロックサイクルの連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているか確認する場合を除き、0 にしないでください。

参考資料

26.2.7 I<sup>2</sup>Cバスステータスイネーブルレジスタ (ICSER)

アドレス IIC0.ICSER 4005 3006h, IIC1.ICSER 4005 3106h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0有効	0: SARL0およびSARU0のスレーブアドレス無効 1: SARL0およびSARU0のスレーブアドレス有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1有効	0: SARL1およびSARU1のスレーブアドレス無効 1: SARL1およびSARU1のスレーブアドレス有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2有効	0: SARL2およびSARU2のスレーブアドレス無効 1: SARL2およびSARU2のスレーブアドレス有効	R/W
b3	GCAE	ジェネラルコールアドレス有効	0: ジェネラルコールアドレス検出無効 1: ジェネラルコールアドレス検出有効	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DIDE	デバイスIDアドレス検出有効	0: デバイスIDアドレス検出無効 1: デバイスIDアドレス検出有効	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	HOAE	ホストアドレス有効	0: ホストアドレス検出無効 1: ホストアドレス検出有効	R/W

**SARyE ビット (スレーブアドレスレジスタ y 有効) (y = 0 ~ 2)**

SARyE ビットは、SARLy および SARUy レジスタで設定したスレーブアドレスを有効または無効にします。

SARyE ビットを1にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。SARyE ビットを0にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

**GCAE ビット (ジェネラルコールアドレス有効)**

GCAE ビットは、ジェネラルコールアドレス (0000 000b + 0[W]: All 0) を受信した場合、無視するかどうかを選択します。

GCAE ビットが1の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、IIC は SARLy および SARUy レジスタ (y=0~2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。GCAE ビットが0の場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

**DIDE ビット (デバイス ID アドレス検出有効)**

DIDE ビットは、スタートコンディションまたはリスタートコンディション検出後の第1フレームでデバイス ID (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが1のときに、受信した第1フレームがデバイス ID と一致すると、IIC はデバイス ID アドレスを受信したと認識します。続く R/W# ビットが 0 [W] の場合、IIC は第2フレーム以降をスレーブアドレスとみなして、受信動作を継続します。DIDE ビットが0の場合、IIC は受信した第1フレームがデバイス ID アドレスと一致してもそれを無視し、第1フレームを通常のスレーブアドレスと認識します。

デバイス ID アドレス検出機能の詳細については、26.7.3 デバイス ID アドレス検出機能を参照してください。

**HOAE ビット (ホストアドレス有効)**

HOAE ビットは、ICMR3.SMBS ビットが 1 の場合、受信したホストアドレス (0001 000b) を無視するかどうかを選択します。

ICMR3.SMBS ビットが 1 で、かつ HOAE ビットが 1 の場合、受信したスレーブアドレスがホストアドレスと一致すると、IIC は SARLy および SARUy レジスタ (y=0 ~ 2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスとして認識し、受信動作を行います。

ICMR3.SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

参考資料

26.2.8 I<sup>2</sup>Cバス割り込みイネーブルレジスタ (ICIER)

アドレス IIC0.ICIER 4005 3007h, IIC1.ICIER 4005 3107h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可	0: タイムアウト割り込み (TMOIn) 要求を禁止 1: タイムアウト割り込み (TMOIn) 要求を許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可	0: アービトレーションロスト割り込み (ALIn) 要求を禁止 1: アービトレーションロスト割り込み (ALIn) 要求を許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可	0: スタートコンディション検出割り込み (STIn) 要求を禁止 1: スタートコンディション検出割り込み (STIn) 要求を許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可	0: ストップコンディション検出割り込み (SPIn) 要求を禁止 1: ストップコンディション検出割り込み (SPIn) 要求を許可	R/W
b4	NAKIE	NACK受信割り込み要求許可	0: NACK受信割り込み (NAKIn) 要求を禁止 1: NACK受信割り込み (NAKIn) 要求を許可	R/W
b5	RIE	受信データフル割り込み要求許可	0: 受信データフル割り込み (IICn_RXI) 要求を禁止 1: 受信データフル割り込み (IICn_RXI) 要求を許可	R/W
b6	TEIE	送信終了割り込み要求許可	0: 送信終了割り込み (IICn_TEI) 要求を禁止 1: 送信終了割り込み (IICn_TEI) 要求を許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可	0: 送信データエンプティ割り込み (IICn_TXI) 要求を禁止 1: 送信データエンプティ割り込み (IICn_TXI) 要求を許可	R/W

**TMOIE ビット (タイムアウト割り込み要求許可)**

TMOIE ビットは、ICSR2.TMOF フラグが1のとき、タイムアウト割り込み (TMOIn) 要求を許可または禁止します。TMOI 割り込み要求を解除するには、TMOF フラグまたは TMOIE ビットを0にします。

**ALIE ビット (アービトレーションロスト割り込み要求許可)**

ALIE ビットは、ICSR2.AL フラグが1のとき、アービトレーションロスト割り込み (ALIn) 要求を許可または禁止します。ALI 割り込み要求を解除するには、AL フラグまたは ALIE ビットを0にします。

**STIE ビット (スタートコンディション検出割り込み要求許可)**

STIE ビットは、ICSR2.START フラグが1のとき、スタートコンディション検出割り込み (STIn) 要求を許可または禁止します。STI 割り込み要求を解除するには、START フラグまたは STIE ビットを0にします。

**SPIE ビット (ストップコンディション検出割り込み要求許可)**

SPIE ビットは、ICSR2.STOP フラグが1のとき、ストップコンディション検出割り込み (SPIn) 要求を許可または禁止します。SPI 割り込み要求を解除するには、STOP フラグまたは SPIE ビットを0にします。

**NAKIE ビット (NACK 受信割り込み要求許可)**

NAKIE ビットは、ICSR2.NACKF フラグが1のとき、NACK 受信割り込み (NAKIn) 要求を許可または禁止します。NAKI 割り込み要求を解除するには、NACKF フラグまたは NAKIE ビットを0にします。

**RIE ビット (受信データフル割り込み要求許可)**

RIE ビットは、ICSR2.RDRF フラグが1のとき、受信データフル割り込み (IICn\_RXI) 要求を許可または禁止します。

**TEIE ビット (送信終了割り込み要求許可)**

TEIE ビットは、ICSR2.TEND フラグが1のとき、送信終了割り込み (IICn\_TEI) 要求を許可または禁止します。IICn\_TEI 割り込み要求を解除するには、TEND フラグまたは TEIE ビットを0にします。

**TIE ビット (送信データエンプティ割り込み要求許可)**

TIE ビットは、ICSR2.TDRE フラグが 1 のとき、送信データエンプティ割り込み (IICn\_TXI) 要求を許可または禁止します。

参考資料

26.2.9 I<sup>2</sup>Cバスステータスレジスタ 1 (ICSR1)

アドレス IIC0.ICSR1 4005 3008h, IIC1.ICSR1 4005 3108h

b7	b6	b5	b4	b3	b2	b1	b0
HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0 : スレーブアドレス0未検出 1 : スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0 : スレーブアドレス1未検出 1 : スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0 : スレーブアドレス2未検出 1 : スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0 : ジェネラルコールアドレス未検出 1 : ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DID	デバイスIDアドレス検出フラグ	0 : デバイスIDコマンド未検出 1 : デバイスIDコマンド検出 スタートコンディション検出直後に受信した第1フレームが、 [デバイスIDアドレス (1111 100b) + 0[W]] の値と一致した 場合、1になります。	R/(W) (注1)
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	HOA	ホストアドレス検出フラグ	0 : ホストアドレス未検出 1 : ホストアドレス検出 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1になります。	R/(W) (注1)

注1. フラグをクリアするための0の書き込みのみ可能です。

## AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[1 になる条件]

【7ビットアドレスフォーマット選択時 (SARUy.FS = 0)】

- ICSR.SARyE ビットが1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットの値と一致したとき。AASy フラグは、そのフレームの SCL クロックの9クロック目の立ち上がりで1になる

【10ビットアドレスフォーマット選択時 (SARUy.FS = 1)】

- ICSR.SARyE ビットが1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLy レジスタの値と一致したとき。AASy フラグは、そのフレームの SCL クロックの9クロック目の立ち上がりで1になる

[0 になる条件]

- 1を読んだ後、0を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに1を書いて、IICリセットまたは内部リセットを行ったとき

【7ビットアドレスフォーマット選択時 (SARUy.FS = 0)】

- ICSR.SARyE ビットが1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットの値と一致しなかったとき。AASy フラグは、そのフレームの SCL クロックの9クロック目の立ち上がりで0になる

## 【10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)】

- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致しなかったとき。AASy フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLy レジスタ値と一致しなかったとき。AASy フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる

**GCA フラグ (ジェネラルコールアドレス検出フラグ)**

[1 になる条件]

- ICSEr.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき。GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSEr.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致しなかったとき。GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**DID フラグ (デバイス ID アドレス検出フラグ)**

[1 になる条件]

- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致したとき。DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b)) の値と一致しなかったとき。DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致し、かつ、第 2 フレームがスレーブアドレス 0 ~ 2 のすべてと一致しなかったとき。DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**HOA フラグ (ホストアドレス検出フラグ)**

[1になる条件]

- IC<sub>SER</sub>.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき。HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションを検出したとき
- IC<sub>SER</sub>.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致しなかったとき。HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- IC<sub>CR1</sub>.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

参考資料



26.2.10 I<sup>2</sup>C バスステータスレジスタ 2 (ICSR2)

アドレス IIC0.ICSR2 4005 3009h, IIC1.ICSR2 4005 3109h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロスト未発生 1: アービトレーションロスト発生	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信完了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. フラグをクリアするための0の書き込みのみ可能です。

## TMOF フラグ (タイムアウト検出フラグ)

TMOF フラグは、SCLn ライン状態が一定期間変化しなかったために、IIC がタイムアウトを検出したとき1になります。

[1になる条件]

- マスタモードまたはスレーブモード時に、ICFER.TMOE ビットが1 (タイムアウト検出機能は有効) で、かつ受信したスレーブアドレスが一致した場合、ICMR2.TMOH、TMOL、TMOS ビットで指定した期間 SCLn ライン状態が変化しなかったとき

[0になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

## AL フラグ (アービトレーションロストフラグ)

AL フラグは、スタートコンディション発行時やアドレスおよびデータ送信時に、バス競合などが原因で、バス占有権がアービトレーションロストしたことを示します。IIC は、送信中に SDA<sub>n</sub> ラインのレベルを監視し、SDA<sub>n</sub> ラインのレベルと出力中のビット値が一致していないと、AL フラグを1にすることで、バスが他のデバイスによって占有されていることを示します。

さらに IIC は、AL フラグをセットすることで、マスタモードでの NACK 送信中やスレーブモードでのデータ送信中に、アービトレーションロストが検出されたことも示します。

[1になる条件]

【マスタアービトレーションロスト検出有効時 (ICFER.MALE = 1)】

- マスタ送信モードでのデータ送信中に、ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上

がりで SDA<sub>n</sub> ラインレベルと一致しなかったとき

- ICCR2.ST ビットが 1 (スタートコンディション要求) の状態でスタートコンディションが検出されたとき、または、内部の SDA 出力状態が SDA<sub>n</sub> ラインレベルと一致しなかったとき

- ICCR2.BBSY フラグが 1 の状態で、ICCR2.ST ビットが 1 (スタートコンディション要求) のとき

【NACK アービトレーションロスト検出有効時 (ICFER.NALE = 1)】

- 受信モードでの NACK 送信中に、ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA<sub>n</sub> ラインレベルと一致しなかったとき

【スレーブアービトレーションロスト検出有効時 (ICFER.SALE = 1)】

- スレーブ送信モードでのデータ送信中に、ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA<sub>n</sub> ラインレベルと一致しなかったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

表 26.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST が 1 の場合、スタートコンディション検出時に、内部の SDA 出力状態が SDA <sub>n</sub> ラインレベルと一致しなかったとき
			1	送信データ不一致	ICCR2.BBSY が 1 のときに、ICCR2.ST を 1 にしたとき
x	1	x	1	NACK 送信不一致	マスタ送信モードで、送信データ (スレーブアドレス含む) とバス状態が一致しなかったとき
x	x	1	1	送信データ不一致	マスタまたはスレーブ受信モードで、NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで、送信データとバス状態が一致しなかったとき

x : Don't care

#### START フラグ (スタートコンディション検出フラグ)

[1 になる条件]

- スタート (またはリスタート) コンディションが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

#### STOP フラグ (ストップコンディション検出フラグ)

[1 になる条件]

- ストップコンディションが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**NACKF フラグ (NACK 検出フラグ)**

[1 になる条件]

- ICFER.NACKF ビットが 1 (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジを受信しなかった (NACK を受信した) とき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。NACKF フラグが 1 の状態では、送信モードで ICDRT レジスタへ書き込みを行ったり、受信モードで ICDRR レジスタから読み出しを行っても、データ送受信動作は許可されません。データ送受信動作を再開するには、NACKF フラグを 0 にしてください。

**RDRF フラグ (受信データフルフラグ)**

[1 になる条件]

- ICDRS レジスタから ICDRR レジスタへ受信データが転送されたとき。RDRF フラグは、SCL クロックの 8 クロック目または 9 クロック目 (ICMR3 レジスタの RDRFS ビットで選択) の立ち上がりで 1 になる
- ICCR2.TRS ビットが 0 の状態で、スタート (またはリスタート) コンディション検出後、受信したスレーブアドレスが一致したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICDRR レジスタからデータを読んだとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**TEND フラグ (送信終了フラグ)**

[1 になる条件]

- TDRE フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**TDRE フラグ (送信データエンプティフラグ)**

[1 になる条件]

- ICDRT レジスタから ICDRS レジスタへデータが転送され、ICDRT レジスタが空になったとき
- ICCR2 レジスタの TRS ビットが 1 になったとき
- TRS ビットが 1 のときに、受信したスレーブアドレスが一致したとき

[0 になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2 レジスタの TRS ビットが 0 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ICFER.NACKC ビットが1の場合、NACKF フラグが1になると、IIC はデータ送受信動作を中断します。このとき、TDRE フラグが0 (次の送信データがすでに書き込まれている状態) であれば、9クロック目の立ち上がりで ICDRS レジスタへデータが転送され、ICDRT レジスタが空になりますが、TDRE フラグは1になりません。

## 26.2.11 I<sup>2</sup>C バスウェイクアップユニットレジスタ (ICWUR)

アドレス IIC0.ICWUR 4005 3016h

	b7	b6	b5	b4	b3	b2	b1	b0
	WUE	WUIE	WUF	WUACK	—	—	—	WUAFA
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WUAFA	ウェイクアップアナログフィルタ追加選択	0: ウェイクアップアナログフィルタを追加しない 1: ウェイクアップアナログフィルタを追加する	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	WUACK	ウェイクアップモード用ACK	IICR1.IICRST ビットとの組み合わせで、4つの応答モードから選択します。表 26.5 を参照してください。	R/W
b5	WUF	ウェイクアップイベント発生フラグ	0: ウェイクアップ時にスレーブアドレス不一致 1: ウェイクアップ時にスレーブアドレス一致	R/W
b6	WUIE	ウェイクアップ割り込み要求許可	0: ウェイクアップ割り込み要求 (IIC0_WUI) 禁止 1: ウェイクアップ割り込み要求 (IIC0_WUI) 許可	R/W
b7	WUE	ウェイクアップ機能有効	0: ウェイクアップ機能禁止 1: ウェイクアップ機能は有効	R/W

表 26.5 ウェイクアップモード

IICRST	WUACK	動作モード	機能
0	0	ノーマルウェイクアップモード1	SCLクロックの9クロック目でACK応答を行い、9クロック目の後でSCLのLowホールドを行う。
0	1	ノーマルウェイクアップモード2	即時ACK応答せず、SCLクロックの8クロック目と9クロック目の間でSCLのLowホールドを行う。SCLクロックの9クロック目でSCLのLowホールドを解除し、ACK応答を行う。
1	0	コマンドリカバリモード	SCLクロックの9クロック目でACK応答を行い、SCLのLowホールドは行わない。
1	1	EEP 応答モード	SCLクロックの9クロック目でNACK応答を行い、SCLのLowホールドは行わない。

### WUF フラグ (ウェイクアップイベント発生フラグ)

[1 になる条件]

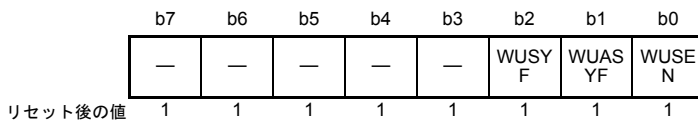
- ウェイクアップモード時、最初の SCL クロックの8クロック目で SCL が Low となり、スレーブアドレスが一致した後、PCLKB が供給されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICE ビットが 0 で IICRST ビットが 1 のとき

## 26.2.12 Reserved (ICWUR2)

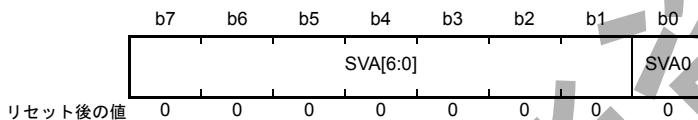
アドレス IIC0.ICWUR2 4005 3017h



ビット	シンボル	ビット名	機能	R/W
b0	WUSEN	予約ビット	読むと1が読めます。書き込みは無効です。	R/W
b1	WUASYF	予約ビット	読むと1が読めます。	R
b2	WUSYF	予約ビット	読むと1が読めます。	R
b7-b3	—	予約ビット	読むと1が読めます。	R

## 26.2.13 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)

アドレス IIC0.SARL0 4005 300Ah, IIC1.SARL0 4005 310Ah,  
IIC0.SARL1 4005 300Ch, IIC1.SARL1 4005 310Ch,  
IIC0.SARL2 4005 300Eh, IIC1.SARL2 4005 310Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレス設定	R/W
b7-b1	SVA[6:0]	7ビットアドレス／10ビットアドレス下位ビット	スレーブアドレス設定	R/W

**SVA0 ビット (10 ビットアドレス最下位ビット)**

10ビットアドレスフォーマット選択時 (SARUy.FS ビット=1)、SVA0 ビットは、10ビットアドレスの最下位ビットとして機能します。また、SVA[6:0] ビットと組み合わせて10ビットアドレスの下位8ビットを形成します。

SVA0 ビットは、ICSER.SARyE ビットが1 (SARLy および SARUy レジスタは有効) で、かつ SARUy.FS ビットが1の場合に有効です。SARUy.FS ビットまたは SARyE ビットが0の場合、SVA0 ビットの設定値は無視されます。

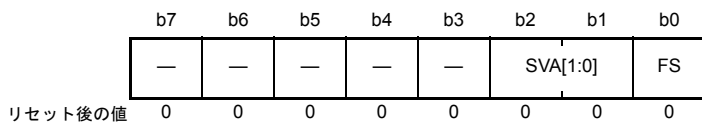
**SVA[6:0] ビット (7 ビットアドレス／10 ビットアドレス下位ビット)**

7ビットアドレスフォーマット選択時 (SARUy.FS ビット=0)、SVA[6:0] ビットは7ビットアドレスとして機能します。10ビットアドレスフォーマット選択時 (SARUy.FS ビット=1)、SVA[6:0] ビットは、SVA0 ビットと組み合わせて10ビットアドレスの下位8ビットを形成します。

ICSER.SARyE ビットが0の場合、SVA[6:0] ビットの設定値は無視されます。

## 26.2.14 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス IIC0.SARU0 4005 300Bh, IIC1.SARU0 4005 310Bh,  
IIC0.SARU1 4005 300Dh, IIC1.SARU1 4005 310Dh,  
IIC0.SARU2 4005 300Fh, IIC1.SARU2 4005 310Fh



ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレス設定	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**FS ビット (7 ビット/10 ビットアドレスフォーマット選択)**

FS ビットは、SARLy および SARUy レジスタのスレーブアドレス y に対して、7ビットフォーマットまたは10ビットフォーマットを選択します。

ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが0の場合、スレーブアドレス y には7ビットアドレスフォーマットが選択されて、SARLy.SVA[6:0] ビットの設定値が有効になり、SVA[1:0] ビットと SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが1の場合、スレーブアドレス y には10ビットアドレスフォーマットが選択されて、SVA[1:0] ビットおよび SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが0 (SARLy および SARUy レジスタ無効) の場合、SARUy.FS ビットの設定値は無効です。

**SVA[1:0] ビット (10 ビットアドレス上位ビット)**

10ビットアドレスフォーマット選択時 (FS ビット=1)、SVA[1:0] ビットは10ビットアドレスの上位2ビットとして機能します。SVA[1:0] ビットは、ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが1の場合に有効です。SARUy.FS ビットまたは SARyE ビットが0の場合、SVA[1:0] ビットの設定値は無視されます。

26.2.15 I<sup>2</sup>Cバスビットレート Low レジスタ (ICBRL)

アドレス IIC0.ICBRL 4005 3010h, IIC1.ICBRL 4005 3110h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定	SCLクロックのLow幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

ICBRL レジスタは、SCL クロックの Low 幅を設定する 5 ビットのレジスタです。ICBRL レジスタは、SCL 自動 Low ホールド機能 (26.9 SCL の自動 Low ホールド機能を参照) のデータセットアップ時間の生成にも使用されます。

IIC をスレーブモードのみで使用する場合、ICBRL レジスタはデータセットアップ時間を超える値に設定する必要があります (注1)。ICBRL レジスタは、ICMR1.CKS[2:0] ビットで指定した内部基準クロックソース (IICφ) で Low 幅をカウントします。デジタルノイズフィルタ回路を有効 (ICFER.NFE ビット=1) にした場合、ICBRL レジスタにはノイズフィルタの段数+1以上の値を設定してください。この段数については、ICMR3.NF[1:0] ビットの説明を参照してください。

- 注1. データセットアップ時間 (tSU: DAT)
- 250ns (~ 100kbps) : スタンドモード (Sm)
  - 100ns (~ 400kbps) : ファストモード (Fm)

26.2.16 I<sup>2</sup>Cバスビットレート High レジスタ (ICBRH)

アドレス IIC0.ICBRH 4005 3011h, IIC1.ICBRH 4005 3111h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定	SCLクロックのHigh幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

ICBRHレジスタは、SCLクロックのHigh幅を設定する5ビットのレジスタです。ICBRHレジスタはマスターモードで有効になります。IICをスレーブモードのみで使用する場合、ICBRHレジスタの設定は不要です。

ICBRHレジスタは、ICMR1.CKS[2:0]ビットで指定した内部基準クロックソース (IICφ) でHigh幅をカウントします。デジタルノイズフィルタ回路を有効 (ICFER.NFEビット=1)にした場合、ICBRHレジスタにはノイズフィルタの段数+1以上の値を設定してください。この段数については、ICMR3.NF[1:0]ビットの説明を参照してください。

IIC転送速度とSCLクロックのデューティ比は、次式で計算されます。

- ICFER.SCLE = 0 の場合  
 転送速度 =  $1 / \{[(BRH+1)+(BRL+1)]/IIC\phi + tr + tf\}$   
 デューティ比 =  $\{tr + [(BRH+1)/IIC\phi]\} / \{tr + tf + [(BRH+1)+(BRL+1)]/IIC\phi\}$
- ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] = 000b (IICφ = PCLKB) の場合  
 転送速度 =  $1 / \{[(BRH+3)+(BRL+3)]/IIC\phi + tr + tf\}$   
 デューティ比 =  $\{tr + [(BRH+3)/IIC\phi]\} / \{tr + tf + [(BRH+3)+(BRL+3)]/IIC\phi\}$
- ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] = 000b (IICφ = PCLKB) の場合  
 転送速度 =  $1 / \{[BRH+3+nf + (BRL+3+nf)]/IIC\phi + tr + tf\}$   
 デューティ比 =  $\{tr + [(BRH+3+nf)/IIC\phi]\} / \{tr + tf + [(BRH+3+nf)+(BRL+3+nf)]/IIC\phi\}$
- ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] ≠ 000b の場合  
 転送速度 =  $1 / \{[(BRH+2)+(BRL+2)]/IIC\phi + tr + tf\}$   
 デューティ比 =  $\{tr + [(BRH+2)/IIC\phi]\} / \{tr + tf + [(BRH+2)+(BRL+2)]/IIC\phi\}$
- ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] ≠ 000b の場合  
 転送速度 =  $1 / \{[(BRH+2+nf)+(BRL+2+nf)]/IIC\phi + tr + tf\}$   
 デューティ比 =  $\{tr + [(BRH+2+nf)/IIC\phi]\} / \{tr + tf + [(BRH+2+nf)+(BRL+2+nf)]/IIC\phi\}$

注1. IICφ = PCLKB × 分周比

注2. SCLnライン立ち上がり時間 [tr] および SCLnライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については、NXP社のI<sup>2</sup>Cバス規格書を参照してください。

注3. nf = ICMR3.NFビットで選択したデジタルノイズフィルタの段数



表 26.6 SCLE = 0 の場合の IIC 設定範囲例

転送速度 (kbps)	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB (MHz)	NF[1:0]	計算式
100	011	16 (10h)	16 (10h)	32	—	1)
400	001	14 (0Eh)	14 (0Eh)	32	—	1)

注. SCLn ラインの立ち上がり時間 (tr) : 100kbps 以下、Sm : 1000ns、400kbps 以下、Fm : 300ns  
SCLn ラインの立ち下がり時間 (tf) : 400kbps 以下、Sm/Fm : 300ns

表 26.7 SCLE = 1 かつ NFE = 0 の場合の IIC 設定範囲例

転送速度 (kbps)	CKS[2:0]	BRH	BRL	PCLKB (MHz)	NF[1:0]	計算式
100	011	15 (0Fh)	15 (0Fh)	32	—	4)
400	001	13 (0Dh)	13 (0Dh)	32	—	4)

注. SCLn ラインの立ち上がり時間 (tr) : 100kbps 以下、Sm : 1000ns、400kbps 以下、Fm : 300ns  
SCLn ラインの立ち下がり時間 (tf) : 400kbps 以下、Sm/Fm : 300ns

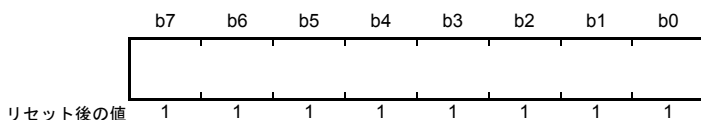
表 26.8 SCLE = 1 かつ NFE = 1 の場合の IIC 設定範囲例

転送速度 (kbps)	CKS[2:0]	BRH	BRL	PCLKB (MHz)	NF[1:0]	計算式
100	011	13 (0Dh)	13 (0Dh)	32	01b	5)
400	001	11 (0Bh)	11 (0Bh)	32	01b	5)

注. SCLn ラインの立ち上がり時間 (tr) : 100kbps 以下、Sm : 1000ns、400kbps 以下、Fm : 300ns  
SCLn ラインの立ち下がり時間 (tf) : 400kbps 以下、Sm/Fm : 300ns

### 26.2.17 I<sup>2</sup>Cバス送信データレジスタ (ICDRT)

アドレス IIC0.ICDRT 4005 3012h, IIC1.ICDRT 4005 3112h

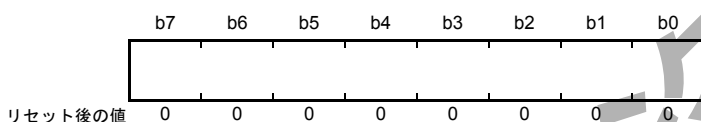


ICDRT レジスタは、I<sup>2</sup>Cバスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データを ICDRS レジスタへ転送し、送信モードでデータ送信を開始します。ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書き込めば、連続送信動作が可能になります。

ICDRT レジスタは常に読み出し/書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (IICn\_TXI) 要求が発生したときに1回だけ行ってください。

### 26.2.18 I<sup>2</sup>Cバス受信データレジスタ (ICDRR)

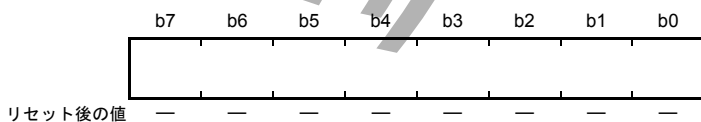
アドレス IIC0.ICDRR 4005 3013h, IIC1.ICDRR 4005 3113h



1バイトのデータを受信すると、受信したデータがI<sup>2</sup>Cバスシフトレジスタ (ICDRS) からICDRRレジスタへ転送され、次のデータを受信可能にします。ICDRSレジスタとICDRRレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ受信中に、すでに受信したデータをICDRRレジスタから読み出せば、連続受信動作が可能になります。ICDRRレジスタに書き込むことはできません。vからのデータ読み出しは、受信データフル割り込み (IICn\_RXI) 要求が発生したときに1回だけ行ってください。

現在のデータをICDRRレジスタから読み出す前に (ICSR2.RDRFフラグが1の場合に)、ICDRRレジスタが次の受信データを受け取ると、RDRFフラグが次に1になるタイミングの1つ手前のSCLクロックで、IICは自動的にLowホールドを行います。

### 26.2.19 I<sup>2</sup>Cバスシフトレジスタ (ICDRS)



ICDRSレジスタは、データを送受信するための8ビットのシフトレジスタです。送信時は、送信データがICDRTレジスタからICDRSレジスタへ転送されて、SDAn端子からデータが送出されます。受信時は、1バイトのデータ受信後に、データがICDRSレジスタからICDRRレジスタへ転送されます。ICDRSレジスタは、直接アクセスすることはできません。

## 26.3 動作説明

### 26.3.1 通信データフォーマット

I<sup>2</sup>C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたはリスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 26.3 に I<sup>2</sup>C バスフォーマットを、図 26.4 に I<sup>2</sup>C バスタイミングを示します。

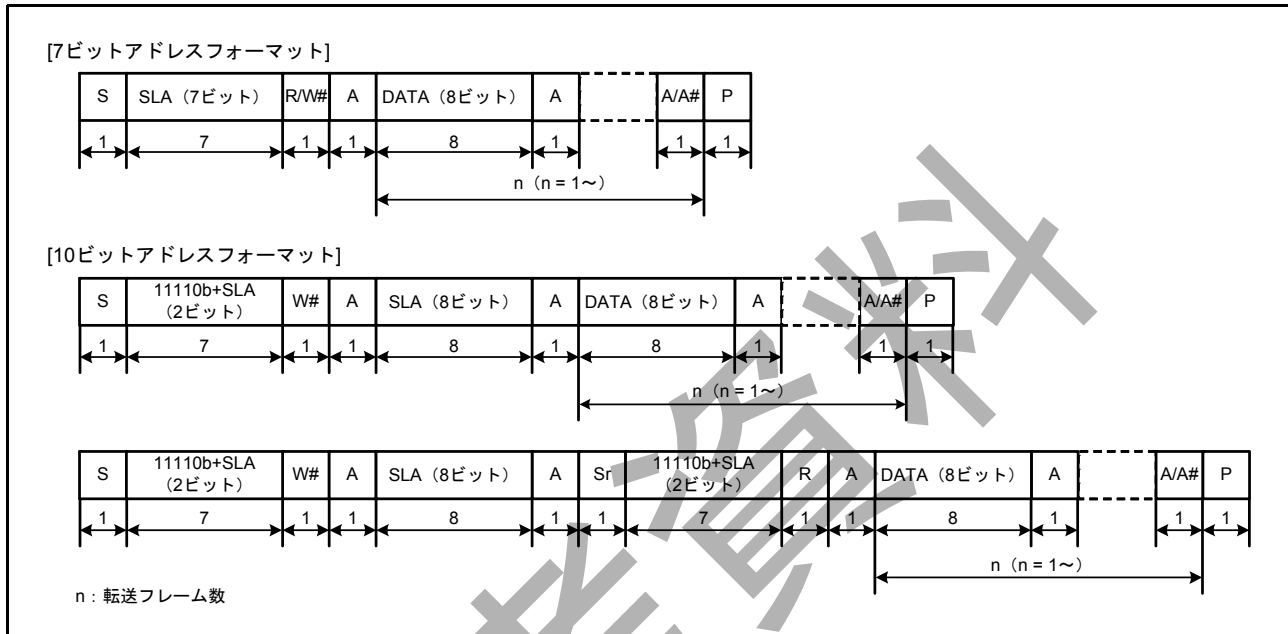


図 26.3 I<sup>2</sup>C バスフォーマット

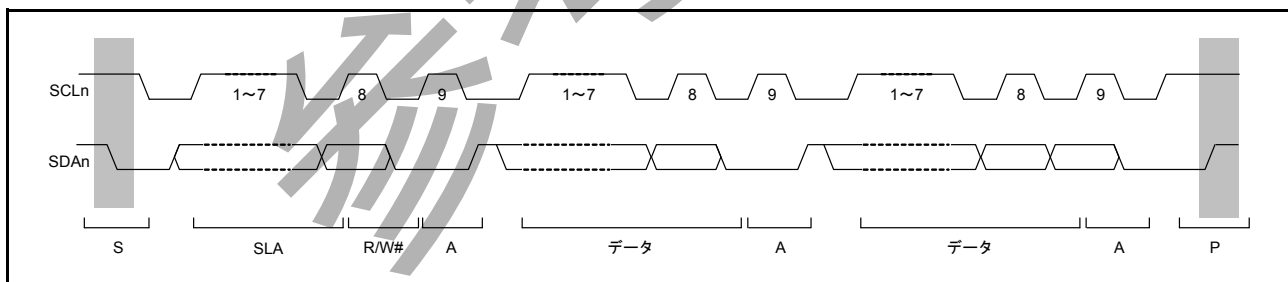


図 26.4 I<sup>2</sup>C バスタイミング (SLA = 7 ビットの場合)

- S : スタートコンディションを表します。SCLnラインがHighの状態、マスタデバイスがSDAnラインをHighからLowに変化させます。
- SLA : スレーブアドレスを表します。マスタデバイスがスレーブデバイスを選択します。
- R/W# : データ転送の方向を表します。R/Wが1のとき、スレーブデバイスからマスタデバイスの方向、R/Wが0のとき、マスタデバイスからスレーブデバイスの方向になります。
- A : アクノリッジを表します。受信デバイスがSDAnラインをLowにします。(マスタ送信モード時はスレーブデバイスがアクノリッジを返します。マスタ受信モード時はマスタデバイスがアクノリッジを返します。)
- A# : ノットアクノリッジを表します。受信デバイスがSDAnラインをHighにします。
- Sr : リスタートコンディションを表します。SCLnラインがHighの状態、セットアップ時間経過後に、マスタデバイスがSDAnラインをHighからLowに変化させます。
- DATA : 送信または受信されるデータを表します。
- P : ストップコンディションを表します。SCLnラインがHighの場合、マスタデバイスがSDAnラインをLowからHighに変化させます。

### 26.3.2 初期設定

データの送受信を開始する前に、[図 26.5](#) に示す手順に従って IIC を初期化してください。

ICCR1.ICE ビットを 0 (SCLn および SDAn 端子は非駆動状態) にしたまま、ICCR1.IICRST ビットを 1 (IIC リセット) にした後、ICCR1.ICE ビットを 1 (内部リセット) にします。この手順により、内部リセットでは ICSR1 レジスタの各フラグや内部状態が初期化されます。次に、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL の各レジスタ (y=0~2) を設定し、その他のレジスタを必要に応じて設定します (IIC の初期設定については、[図 26.5](#) 参照してください)。必要なレジスタの設定が完了したら、ICCR1.IICRST ビットを 0 (IIC リセット解除) にしてください。すでに IIC の初期化が完了している場合、この手順は不要です。

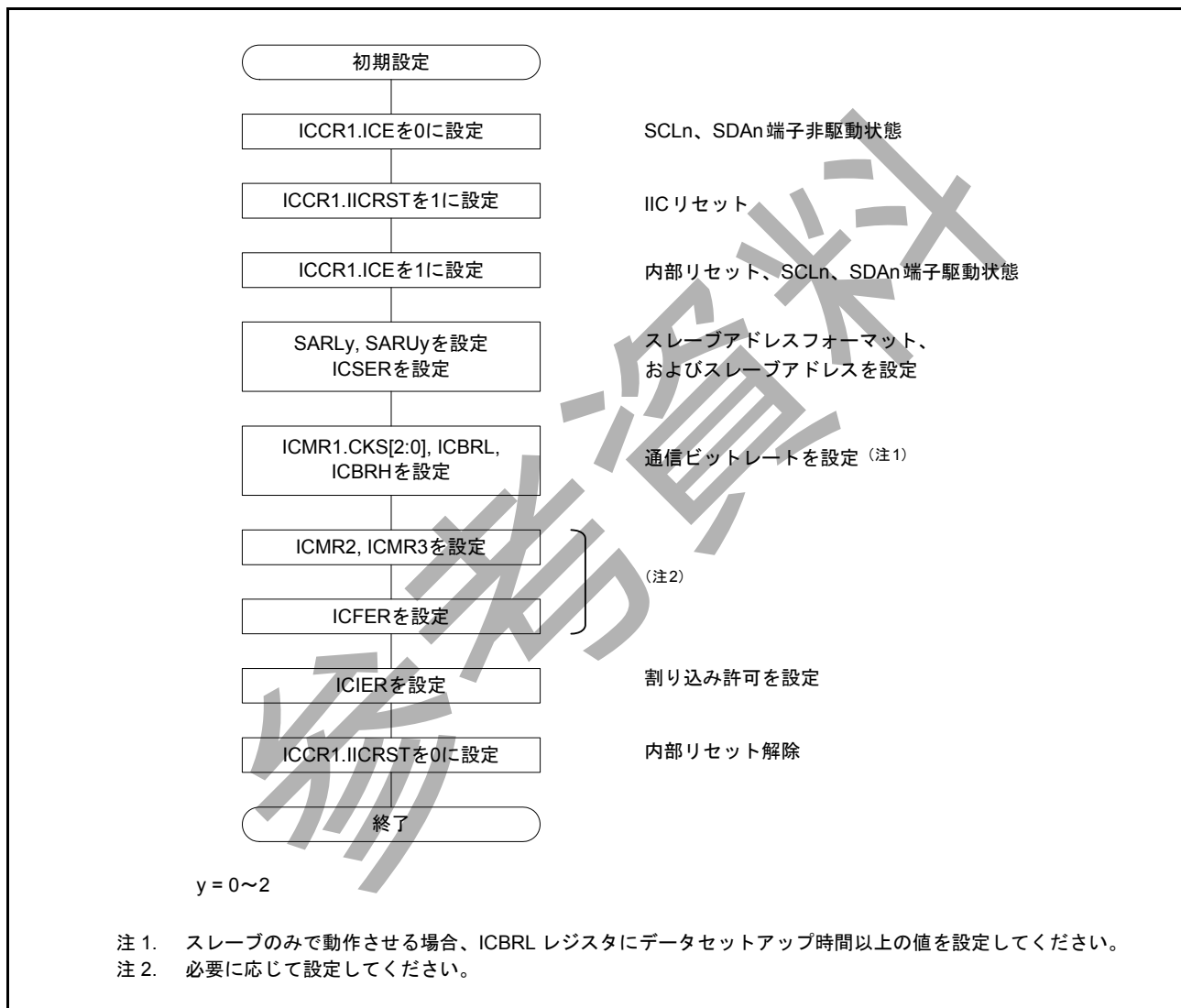


図 26.5 IIC の初期化フローチャート例

### 26.3.3 マスタ送信動作

マスタ送信動作では、マスタデバイスである IIC が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。図 26.6 にマスタ送信の例を、図 26.7 ~ 図 26.9 にマスタ送信の動作タイミングを示します。

マスタ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、26.3.2 初期設定を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション要求) にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ICCR2.ST ビットが自動的に 0 になります。ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力状態の内部レベルと SDA<sub>n</sub> ラインのレベルが一致したとき、IIC は ST ビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDSR レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信後、送信された R/W# ビットの値に応じて TRS ビットの値が自動的に更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。  
なお、データを 10 ビットフォーマットのアドレスで送信する場合は、1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b (スレーブアドレスの上位 2 ビット) と W を書きます。2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションが発行されるまで、IIC は自動的に SCL<sub>n</sub> ラインを Low にホールドします。
5. 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るまで待ってから、ICCR2.SP ビットを 1 (ストップコンディション要求) にしてください。IIC は、ストップコンディション要求を受け付けると、ストップコンディションを発行します。
6. ストップコンディションの検出時に、IIC は ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。さらに IIC は、ICSR2.TDRE フラグと ICSR2.TEND フラグを自動的に 0 にして、ICSR2.STOP フラグを 1 にします。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の通信動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

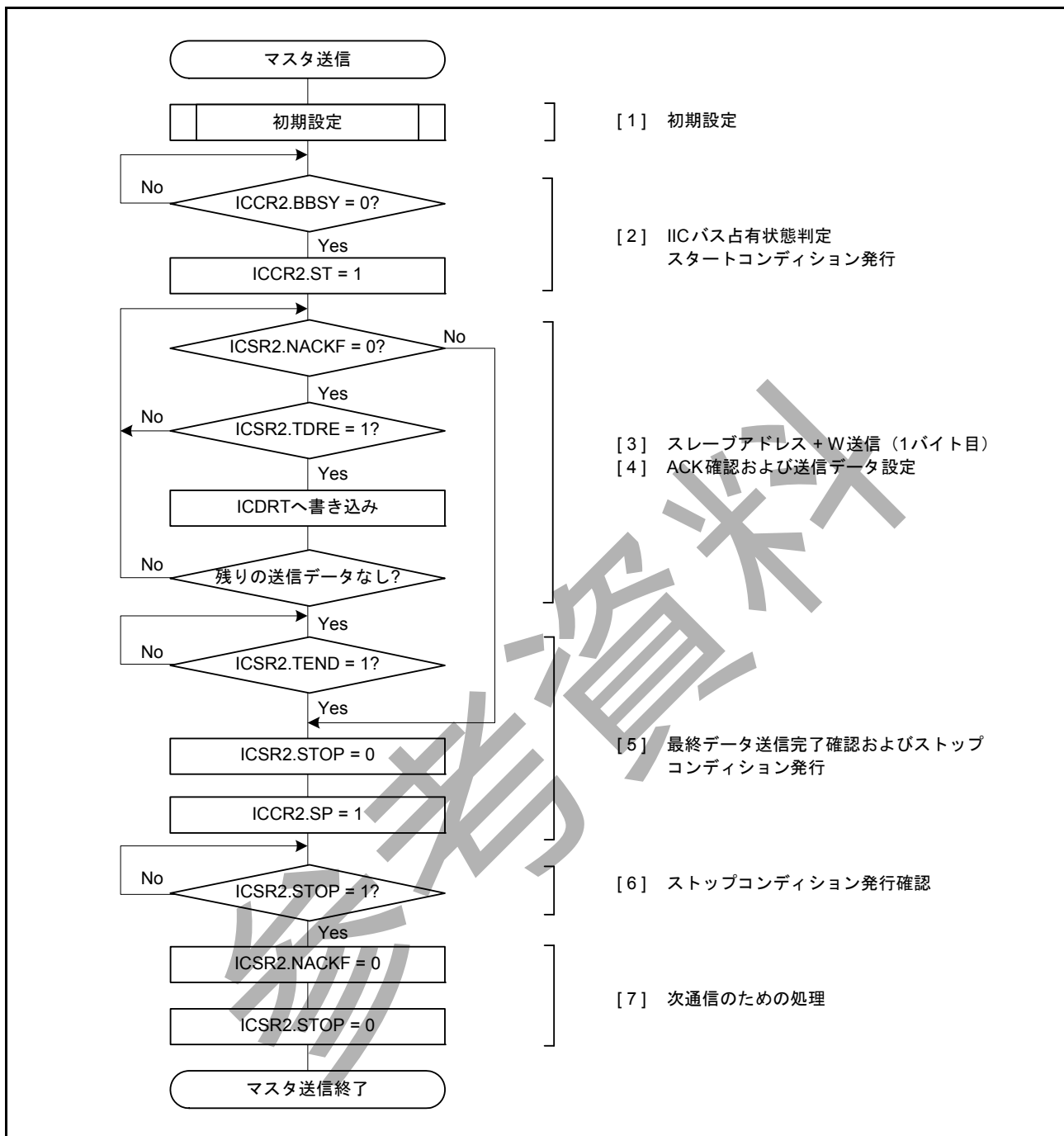


図 26.6 マスタ送信のフロー例

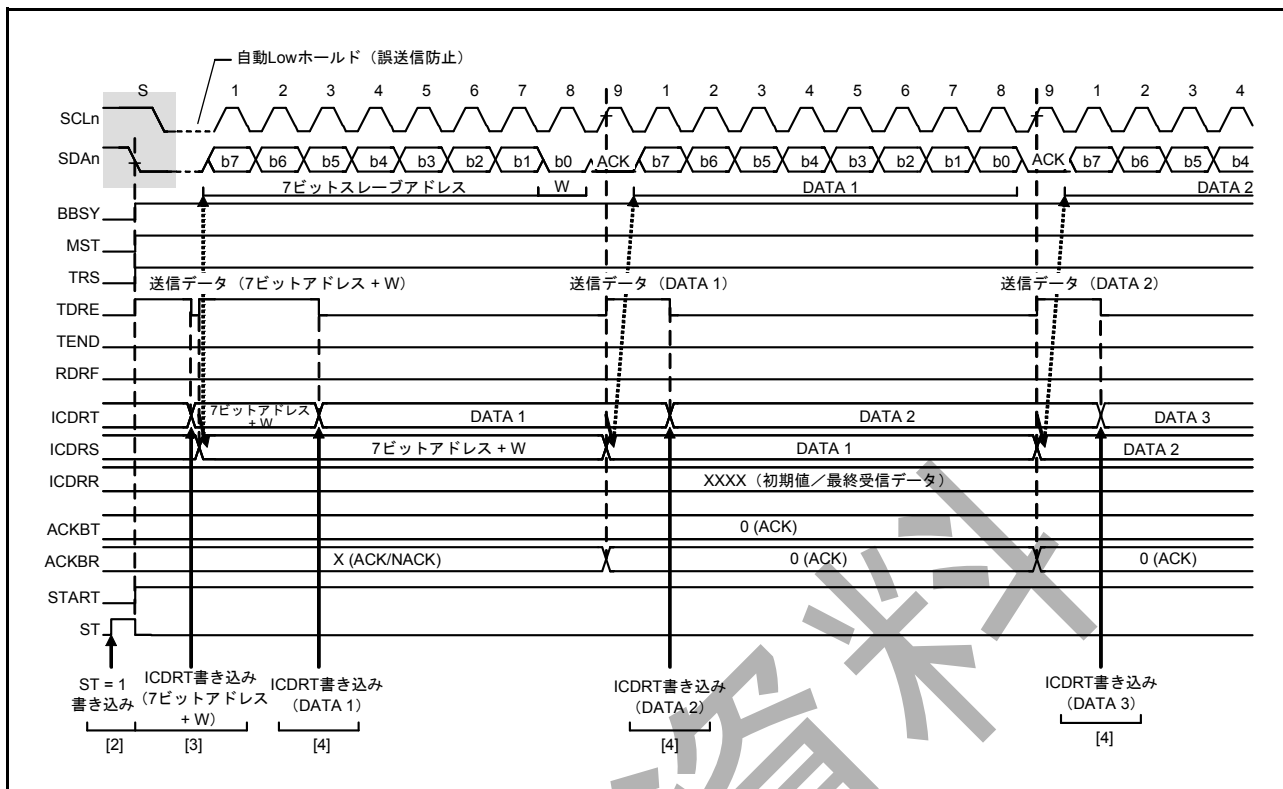


図 26.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマット)

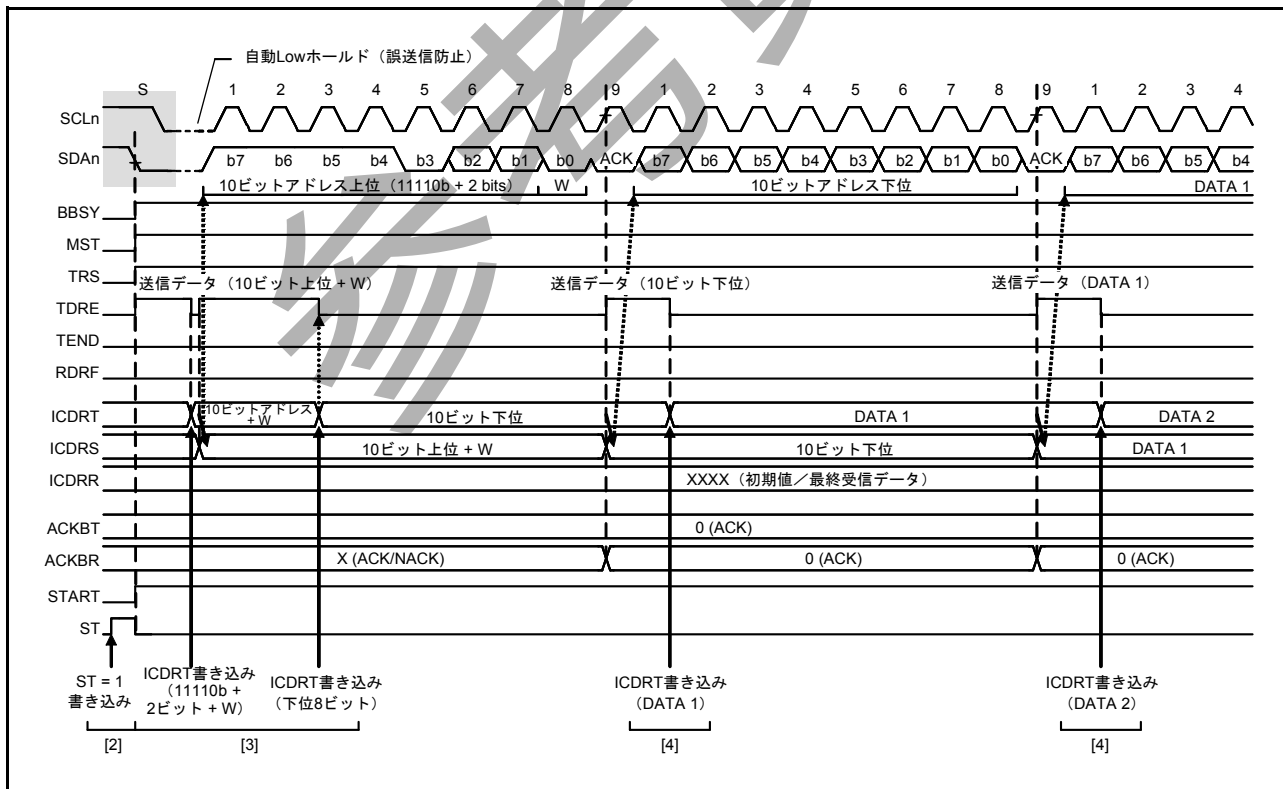


図 26.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマット)

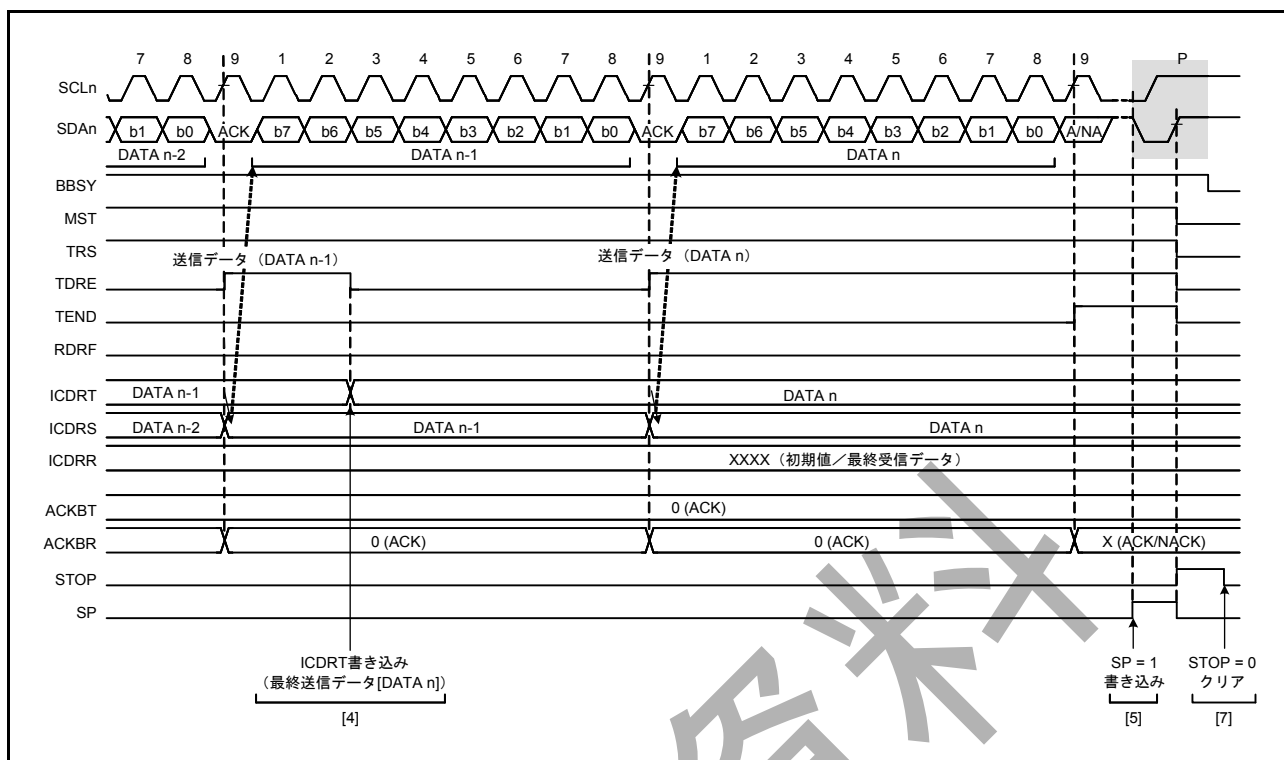


図 26.9 マスタ送信の動作タイミング (3)



### 26.3.4 マスタ受信動作

マスタ受信動作では、マスタデバイスである IIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初に、対応するスレーブデバイスにスレーブアドレスを送信する必要があるため、手順のこの部分ではマスタ送信モードで実行し、その後の手順ではマスタ受信モードで実行します。

図 26.10 と図 26.11 にマスタ受信の例（7 ビットアドレスフォーマットの場合）を、図 26.12 ～図 26.14 にマスタ受信の動作タイミングを示します。

マスタ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、26.3.2 初期設定を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。IIC がスタートコンディションを検出すると、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ICCR2.ST ビットが自動的に 0 になります。ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力のレベルと SDA<sub>n</sub> ラインのレベルが一致したとき、IIC は ST ビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。ICCR2.TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（1 バイト目はスレーブアドレスと R/W# ビットの値を示す）を書いてください。ICDRT レジスタに送信データが書き込まれると、ICSR2.TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び ICSR2.TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトが送信されると、送信された R/W# ビットの値に応じて ICCR2.TRS ビットの値が自動的に更新され、送信モードまたは受信モードが選択されます。R/W# ビットの値が 1 の場合、SCL クロックの 9 クロック目の立ち上がりで ICCR2.TRS ビットが 0 になり、IIC はマスタ受信モードになります。このとき、ICSR2.TDRE フラグが 0 になり、ICSR2.RDRF フラグが自動的に 1 になります。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。  
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビットと R ビットを送信することで、IIC はマスタ受信モードになります。
4. ICSR2.RDRF フラグが 1 であることを確認した後、ICDRR レジスタをダミーリードします。これにより、IIC は SCL クロックの出力とデータ受信動作を開始します。
5. 1 バイトのデータの受信後、SCL クロックの 8 クロック目または 9 クロック目（ICMR3.RDRFS ビットで選択）の立ち上がりで、ICSR2.RDRF フラグが 1 になります。ICDRR レジスタを読むと受信したデータを読むことができ、同時に ICSR2.RDRF フラグは自動的に 0 になります。また、SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定した値が返信されます。次に受信するバイトが最後から 2 番目のバイトの場合、最後から 2 番目のバイトを含む ICDRR レジスタを読む前に、ICMR3.WAIT ビットを 1（WAIT あり）にしてください。これにより、手順（6）の ICMR3.ACKBT ビットを 1（NACK）にする処理が割り込みなどの他の処理によって遅れた場合でも、NACK 出力が可能になるとともに、最終バイトの受信時に 9 クロック目の立ち上がりで SCL<sub>n</sub> ラインを Low に固定して、ストップコンディションの発行が可能になります。
6. ICMR3.RDRFS ビットが 0 で、かつスレーブデバイスに対して、次および最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ICMR3.ACKBT ビットを 1（NACK）にしてください。
7. 最後から 2 番目のバイトを ICDRR レジスタから読み出した後、ICSR2.RDRF フラグが 1 であれば、ICCR2.SP ビットを 1（ストップコンディション要求）にした後、ICDRR レジスタの最終バイトを読み出してください。ICDRR レジスタの読み出し時、IIC は WAIT 状態から解除され、9 クロック目の Low 出力終了後または SCL<sub>n</sub> ラインの Low ホールド解除後に、ストップコンディションを発行します。
8. ストップコンディションの検出時に、IIC は ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。また、ストップコンディションを検出すると、ICSR2.STOP フラグが 1 になります。

9. ICSR2.STOP フラグが 1 であることを確認した後、次の転送のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

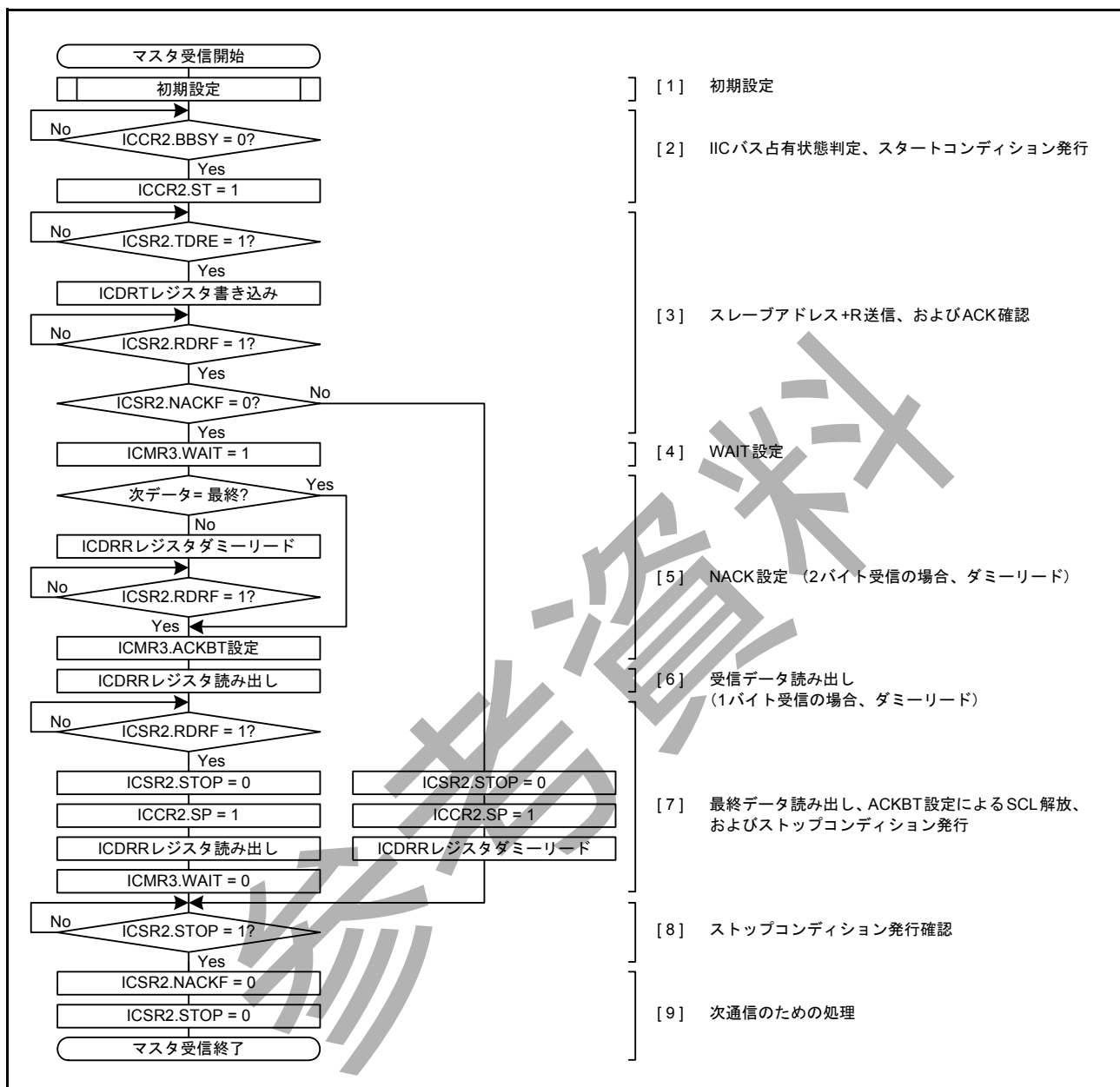


図 26.10 マスタ受信のフローチャート例 (7 ビットアドレスフォーマットで 1 または 2 バイト受信の場合)

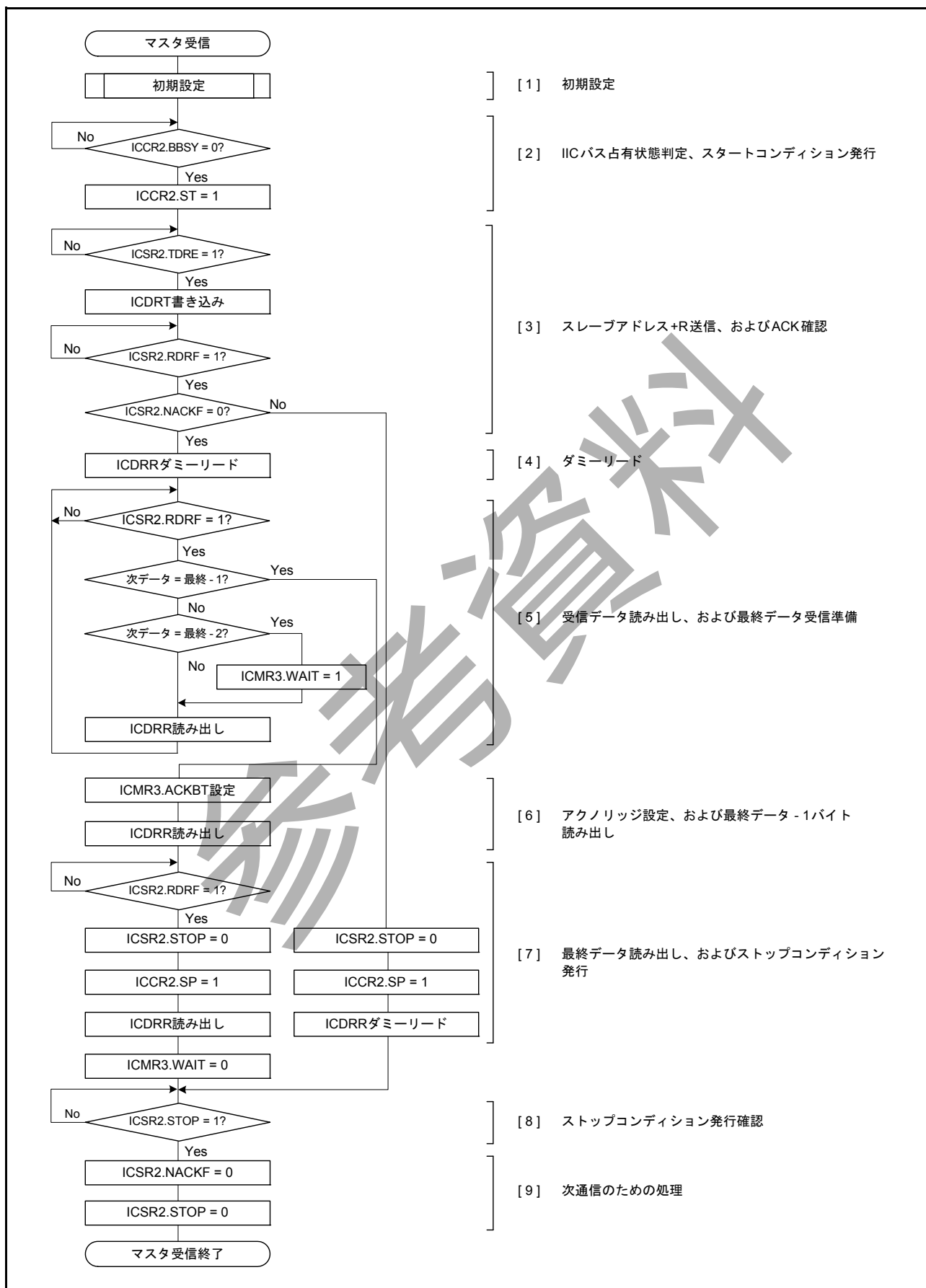


図 26.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマットで3バイト以上受信の場合)

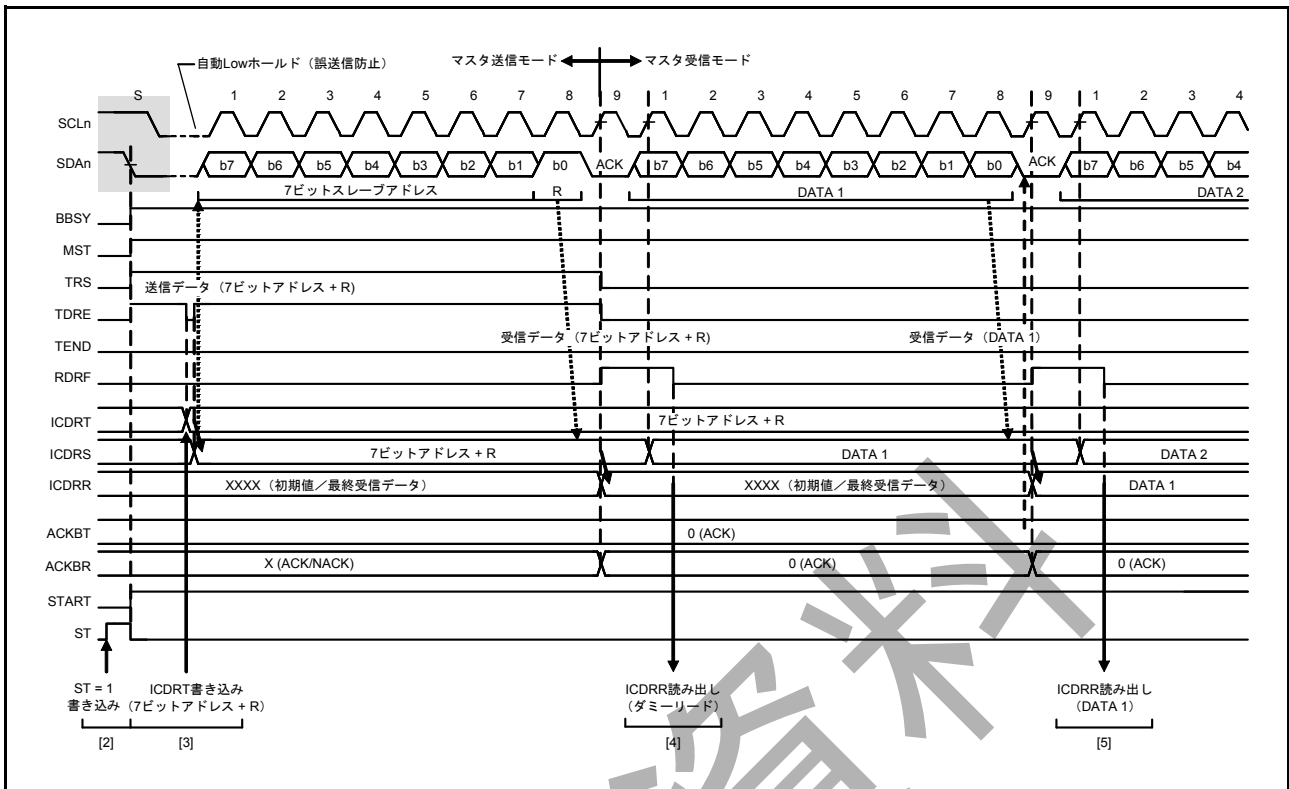


図 26.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマットでRDRFS = 0の場合)

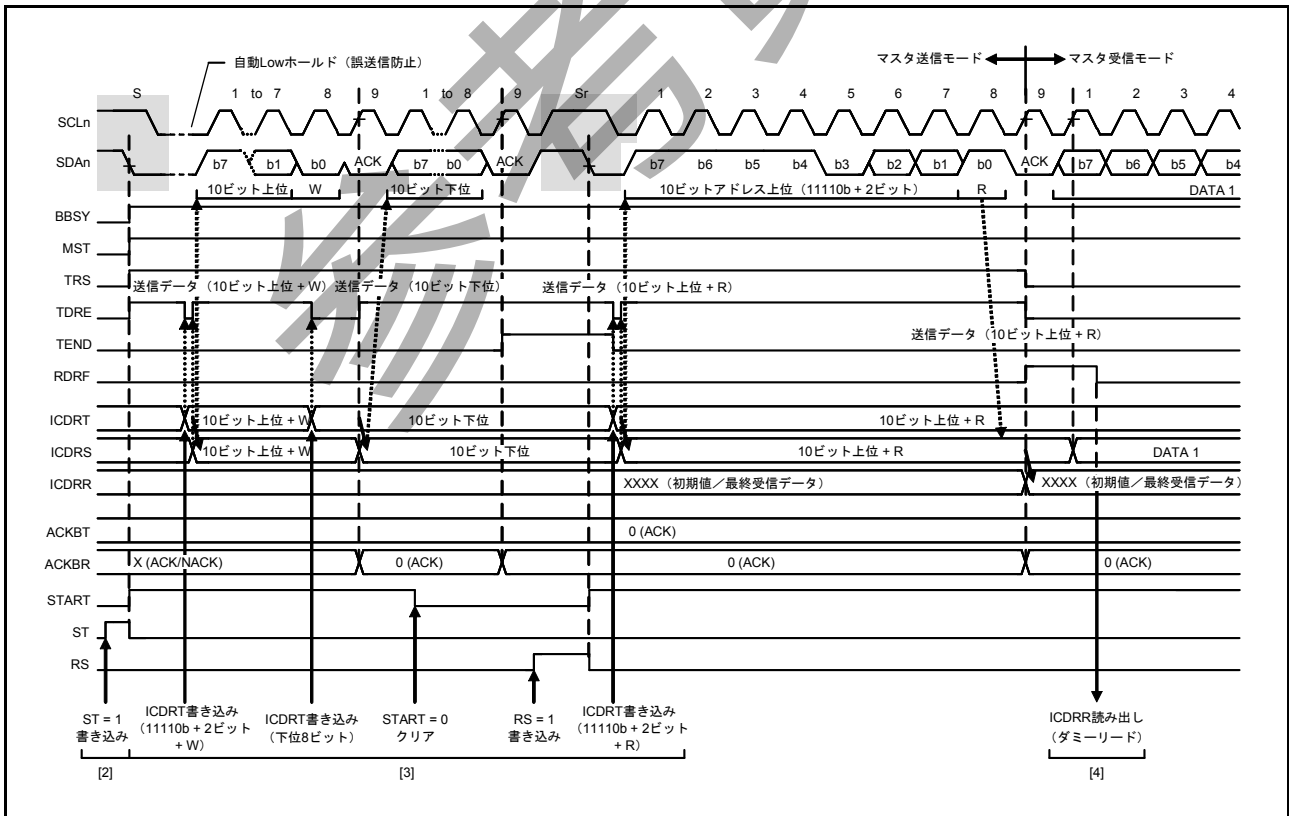


図 26.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマットでRDRFS = 0の場合)

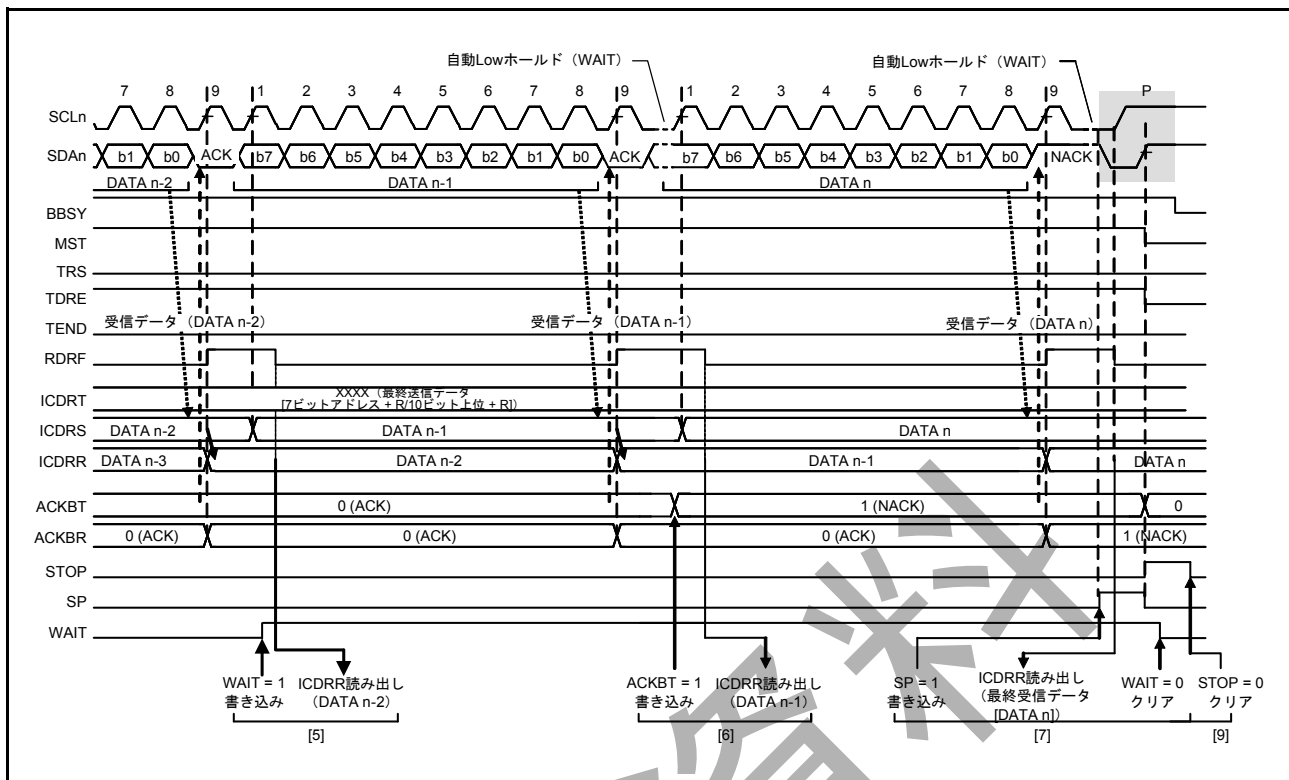


図 26.14 マスタ受信の動作タイミング (3) (RDRFS = 0 の場合)

### 26.3.5 スレーブ送信動作

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである IIC がデータを送信し、マスタデバイスがアックノリッジを返します。

図 26.15 にスレーブ送信の例を、図 26.16 ~ 図 26.17 にスレーブ送信の動作タイミングを示します。

スレーブ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、26.3.2 初期設定を参照してください。  
初期設定後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AASy ビット ( $y = 0 \sim 2$ ) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアックノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。このとき、同時に受信した R/W# ビットの値が 1 であれば、IIC は ICCR2.TRS ビットと ICSR2.TDRE フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. ICSR2.TEND フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。このとき、ICFER.NACKF ビットが 1 の状態でマスタデバイスからアックノリッジを受信しなかった (NACK を受信した) 場合、IIC は次の通信動作を中断します。
4. ICSR2.NACKF フラグが 1 になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが 1 の状態で、ICSR2.TEND フラグが 1 になるまで待ってください。ICSR2.NACKF フラグが 1 または TEND フラグが 1 の場合、IIC は SCL クロックの 9 クロック目の立ち下がり SCLn ラインを Low にします。
5. ICSR2.NACKF フラグが 1 または ICSR2.TEND フラグが 1 の場合、終了処理のため ICDRR レジスタをダミーリードしてください。これによって SCLn ラインが開放されます。
6. IIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット ( $y = 0 \sim 2$ )、ICSR2.TDRE、TEND フラグ、および ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。

7. ICSR2.STOP フラグが 1 であることを確認した後、次の通信動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

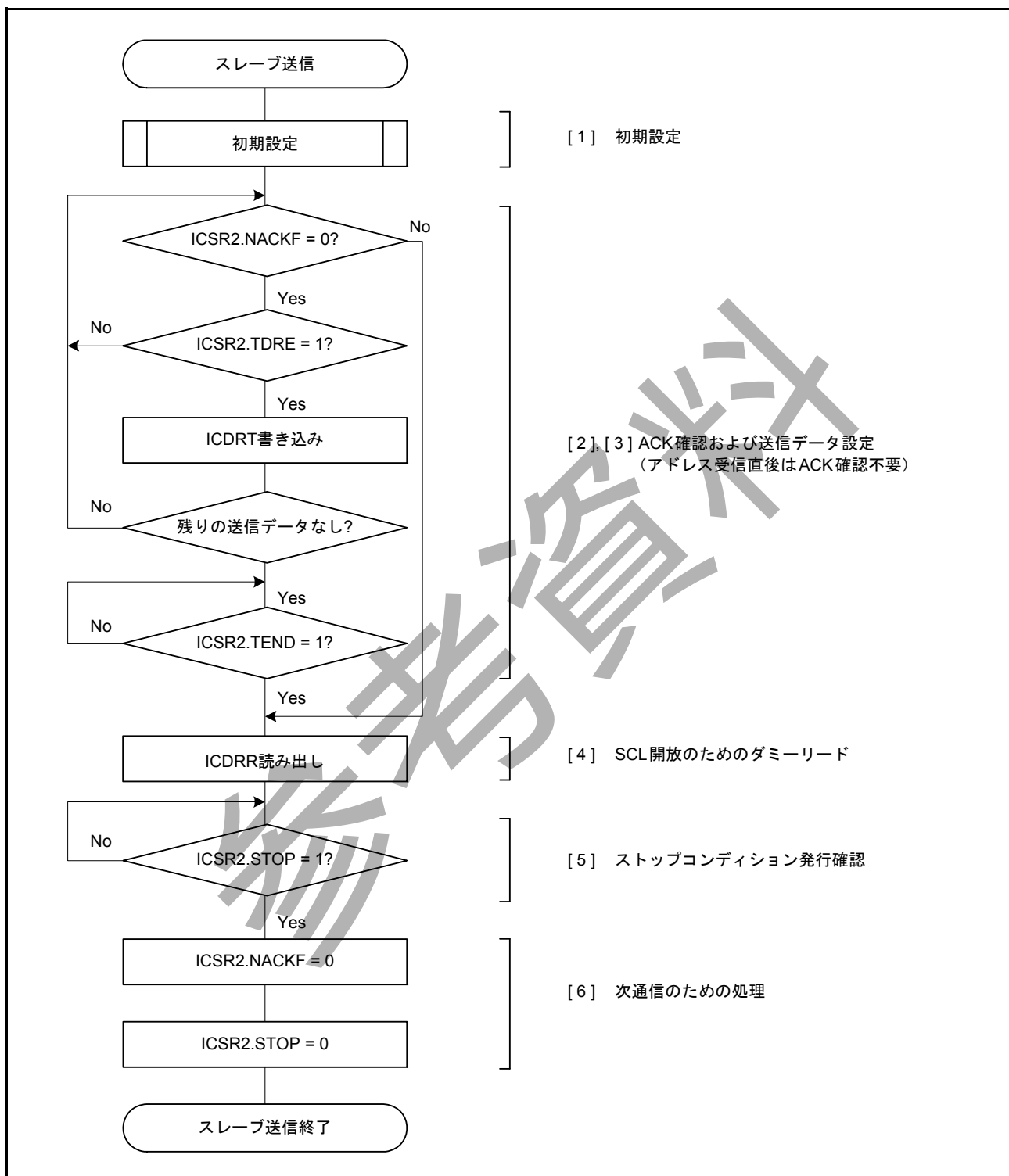


図 26.15 スレーブ送信のフロー例

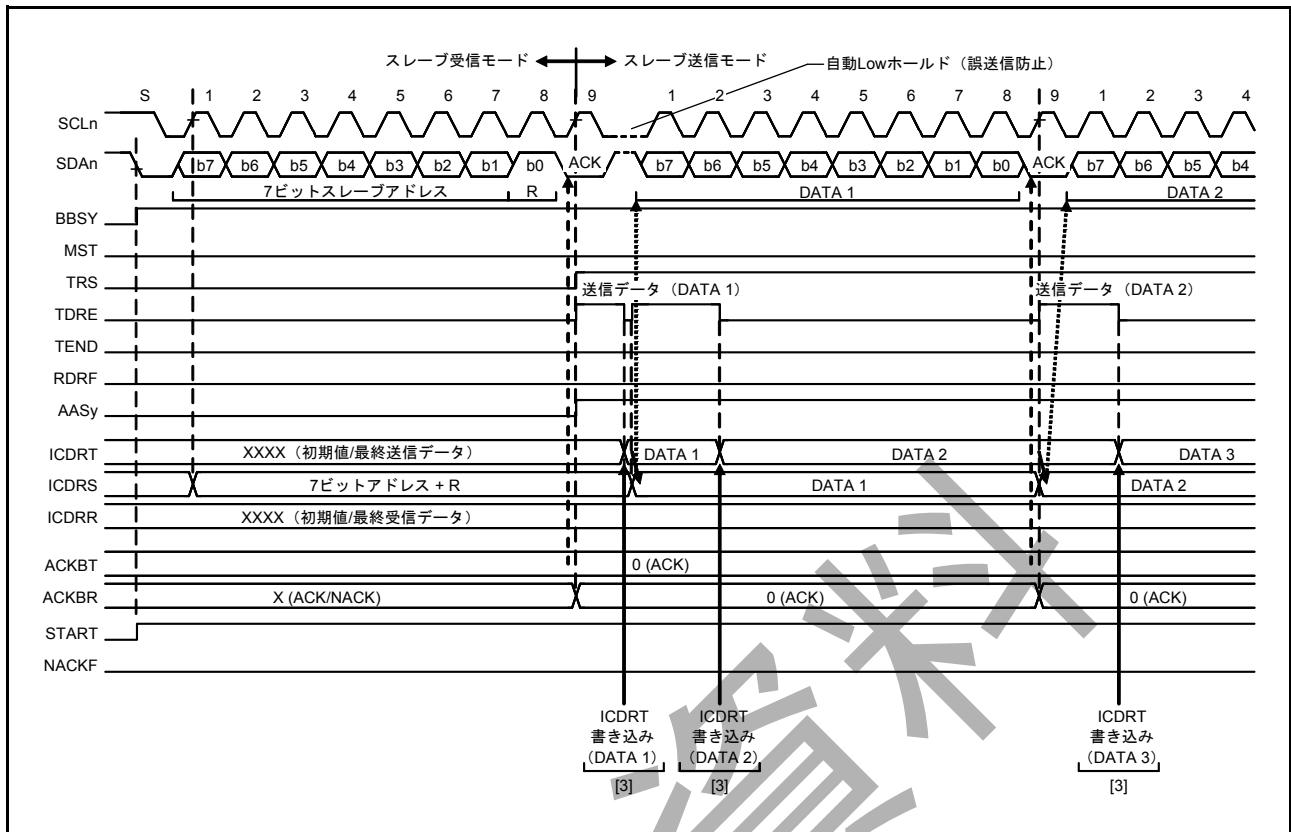


図 26.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマット)

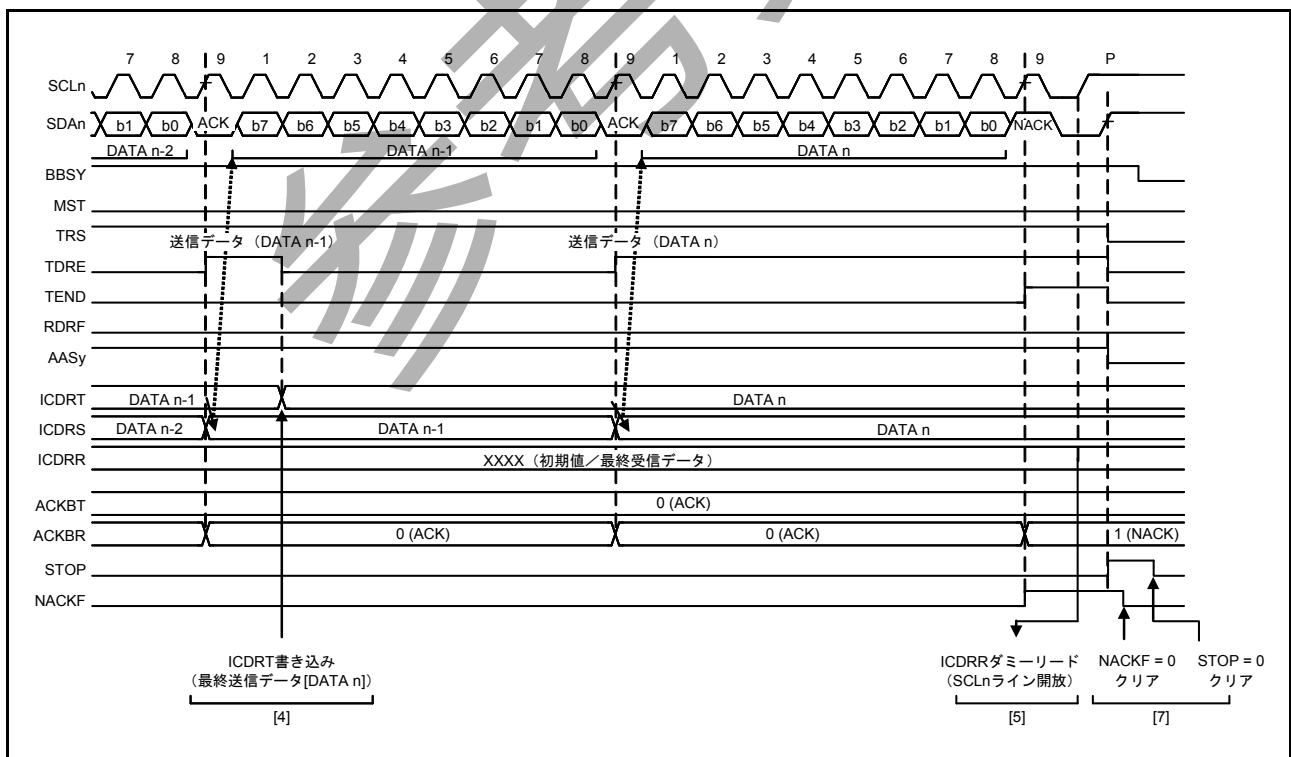


図 26.17 スレーブ送信の動作タイミング (2)





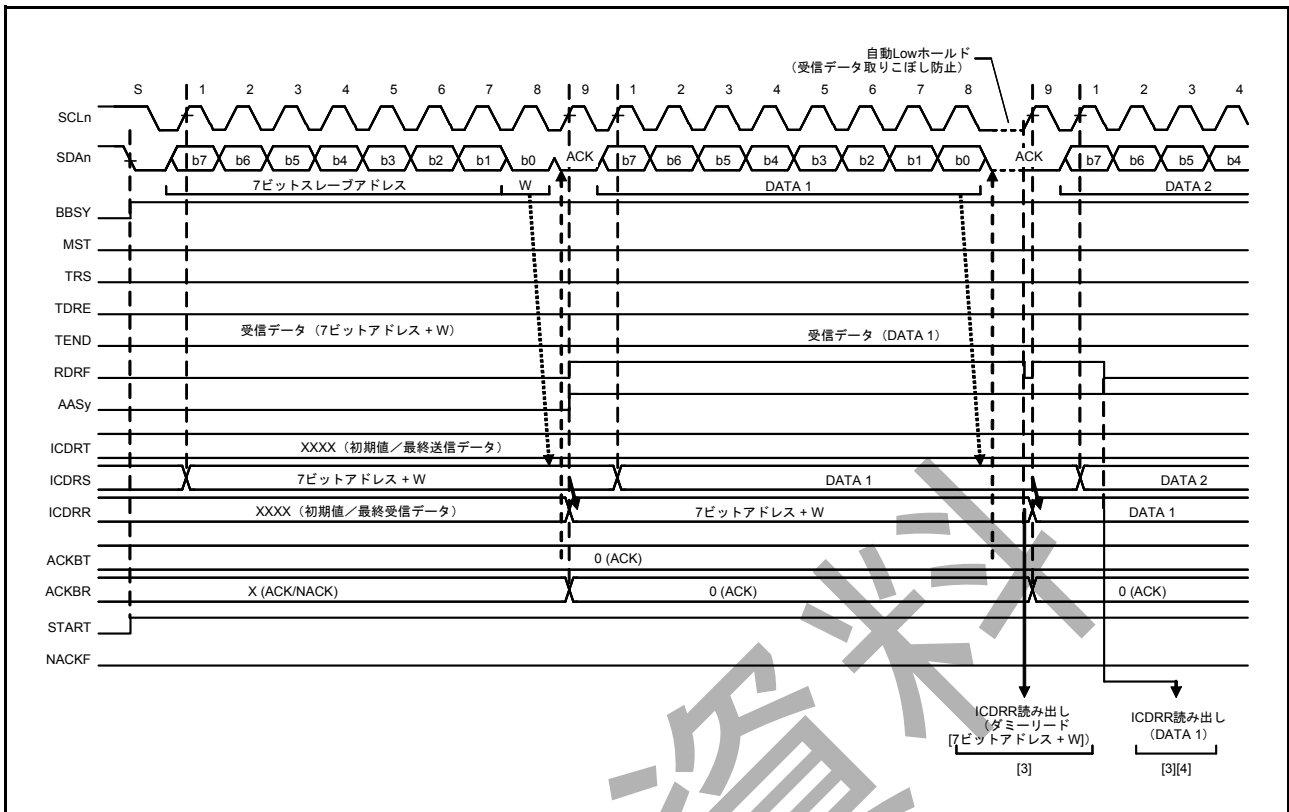


図 26.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマットで RDRFS = 0 の場合)

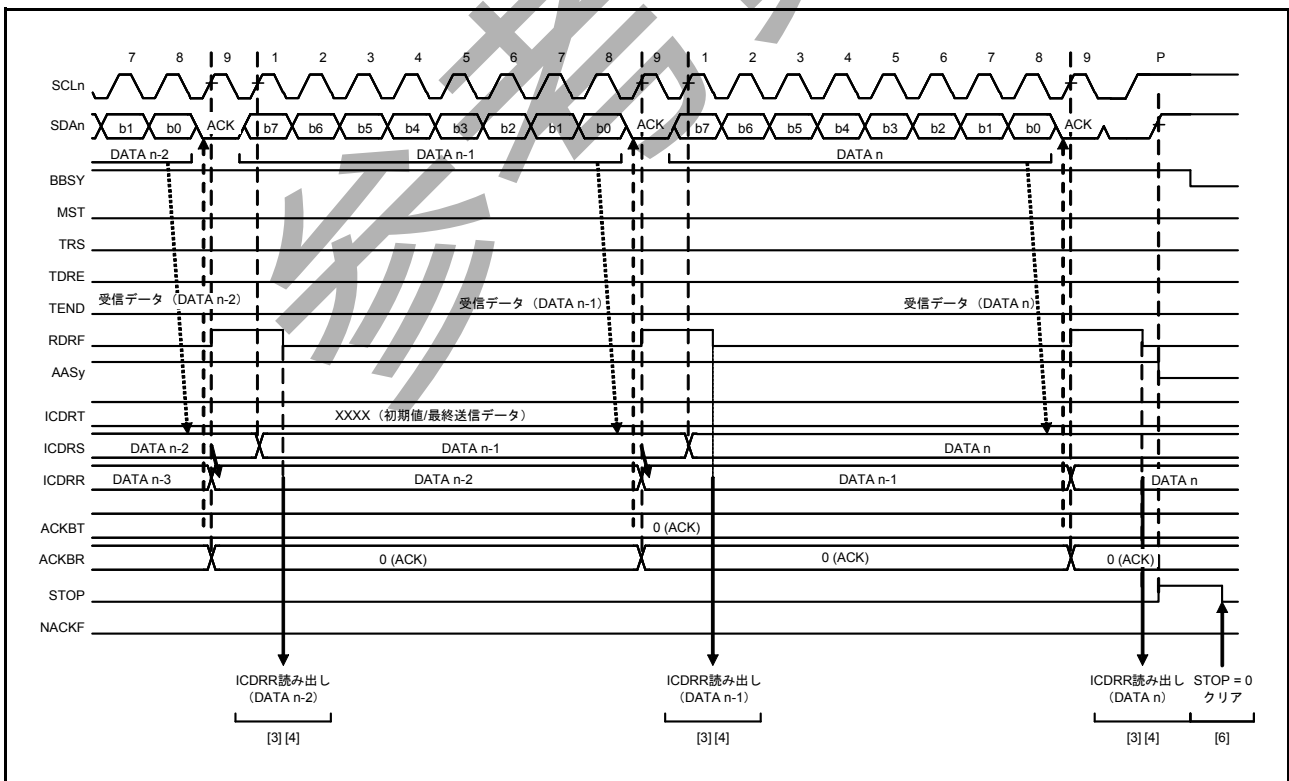


図 26.20 スレーブ受信の動作タイミング (2) (RDRFS = 0 の場合)

## 26.4 SCL 同期回路

SCL クロック生成では、IIC が SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定した High 幅のカウンタを開始し、カウンタが終了すると SCLn ラインを Low にします。また、IIC が SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定した Low 幅のカウンタを開始し、カウンタが終了すると SCLn ラインを開放します。IIC はこのプロセスを繰り返すことによって、SCL クロックを生成します。

I<sup>2</sup>C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、IIC はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る SCL 同期回路を備えています。

IIC が SCLn ラインの立ち上がりを検出して、ICBRH レジスタで設定した High 幅のカウンタを開始したとき、他のマスタデバイスが生成している SCL 信号によって SCLn ラインが Low にされた場合、IIC は SCLn ラインの立ち下がりを検出すると、High 幅のカウンタ動作を中断し、SCLn ラインを Low にして ICBRL レジスタで設定した Low 幅のカウンタを開始します。Low 幅のカウンタが終了すると、IIC は SCLn ラインを開放します。このとき、他のマスタデバイスの SCL クロック信号の Low 幅が IIC 側で設定した Low 幅よりも長いと、SCL クロックの Low 幅が延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの開放によって SCL クロックが立ち上がります。IIC が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが開放され、SCL クロックが立ち上がります。すなわち、マルチマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。なお、この SCL 同期は、ICFER.SCLE ビットが 1 のときのみ有効です。

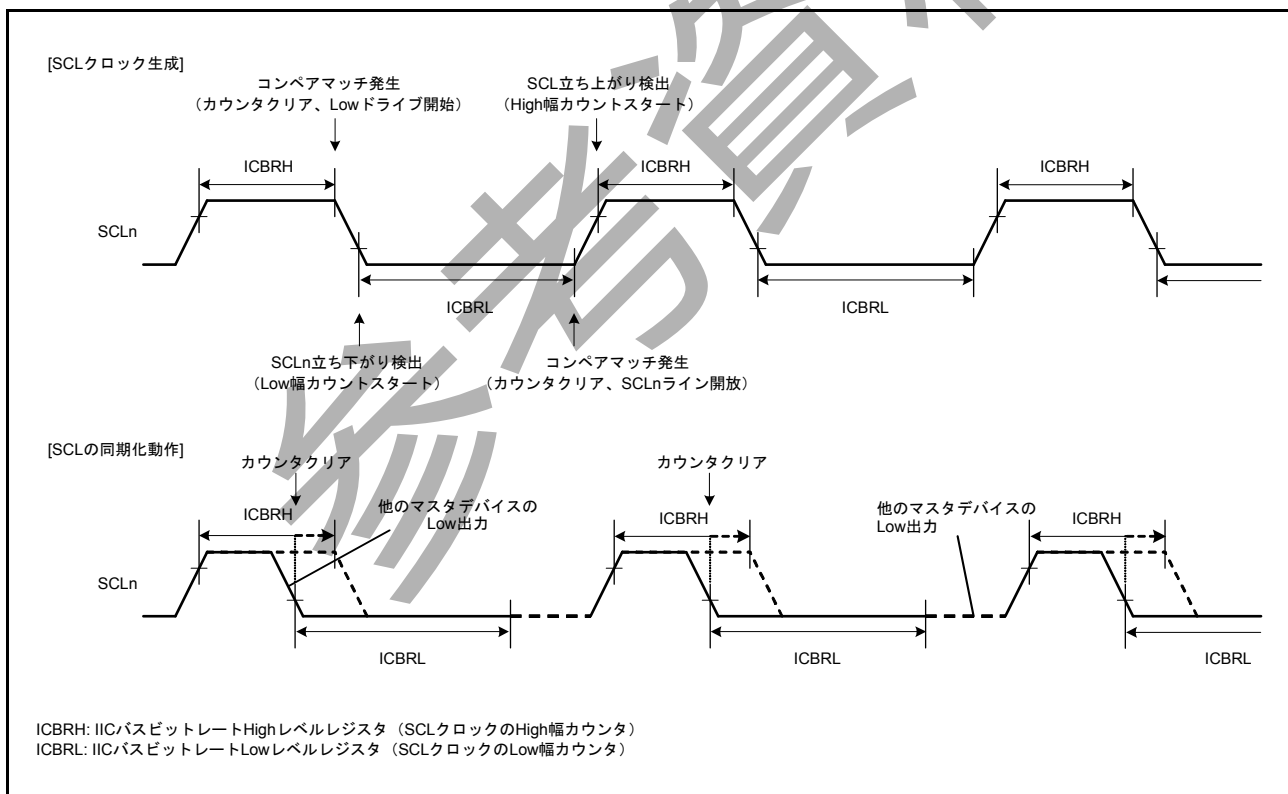


図 26.21 IIC の SCL クロック生成および SCL 同期化動作

### 26.5 SDA 出力遅延機能

IIC モジュールは SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（スタート/リスタート/ストップコンディションの発行、データ出力、ACK/NACK 出力）を遅延させることができます。

この機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間（300ns）要件を満たし、通信デバイスの誤動作を防止します。この SDA 出力遅延機能は、ICMR2.SDDL[2:0] ビットが 000b 以外のとき有効で、SDDL[2:0] ビットが 000b のとき無効です。

SDA 出力遅延機能が有効（ICMR2.SDDL[2:0] ビットが 000b 以外）になっているとき、ICMR2.DLCS ビットでは、SDA 出力遅延カウンタが使用するクロックソースを、内部基準クロック（IICφ）またはその 2 分周クロック（IICφ/2）として選択します。カウンタは、ICMR2.SDDL[2:0] ビットに設定されたサイクル数をカウントします。遅延サイクルのカウント終了後、IIC モジュールは SDA ライン上で必要な出力（スタート/リスタート/ストップコンディション、データ、ACK/NACK 信号）を行います。

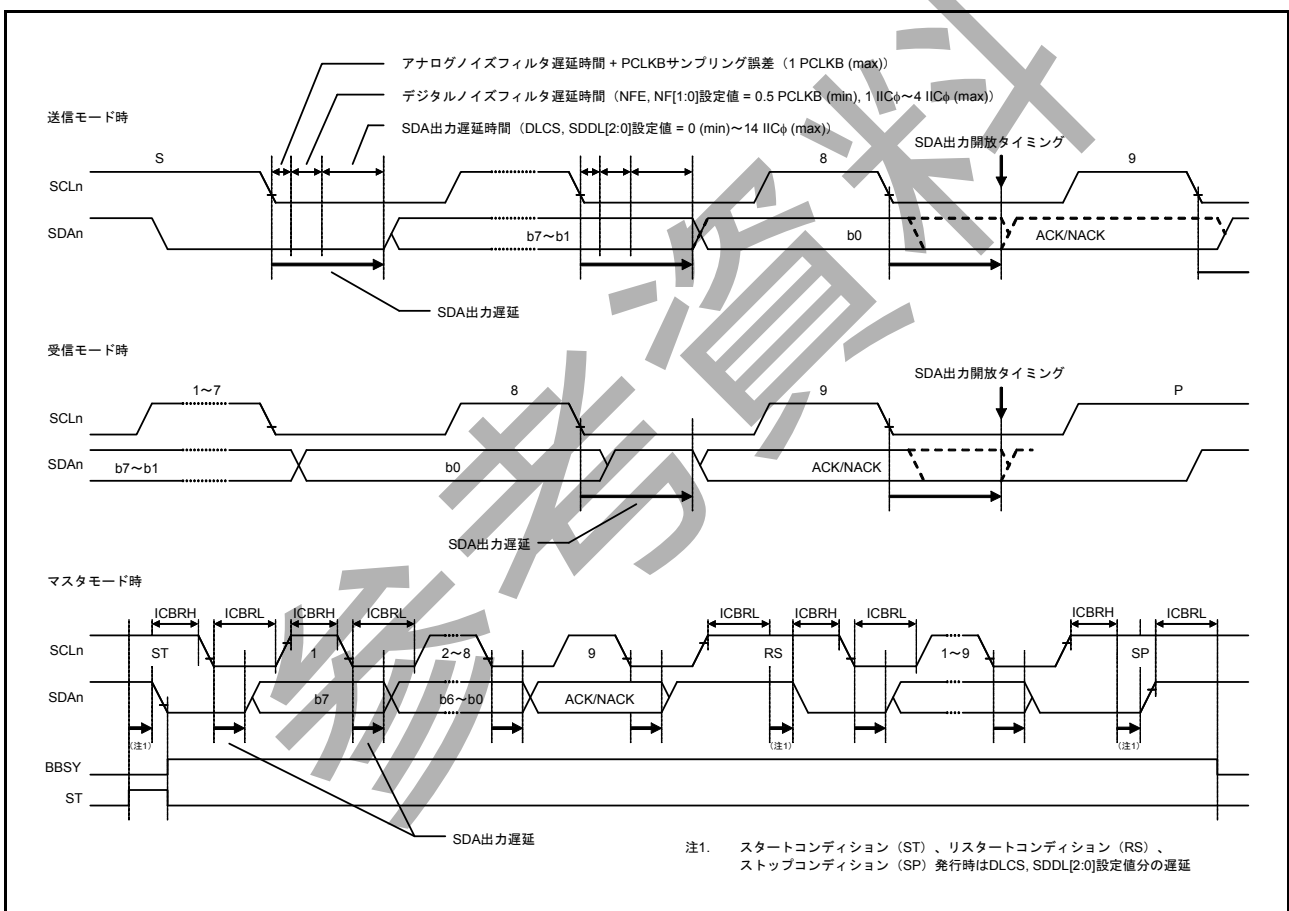


図 26.22 SDA 出力遅延機能

## 26.6 デジタルノイズフィルタ回路

SCL<sub>n</sub> 端子および SDA<sub>n</sub> 端子の状態は、アナログノイズフィルタ回路とデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 26.23 にデジタルノイズフィルタ回路のブロック図を示します。

IIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択します。ノイズ除去能力は選択した有効段数に応じて、1IIC<sub>φ</sub> ~ 4IIC<sub>φ</sub> サイクル分となります。

SCL<sub>n</sub> 端子入力信号（または SDA<sub>n</sub> 端子入力信号）は IIC<sub>φ</sub> の立ち下がりでサンプリングされます。入力信号レベルが、ICMR3.NF[1:0] ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。一致しない場合は前のレベルを保持します。

なお、たとえば PCLKB = 4MHz 時の 400kbps 通信のように、内部動作クロック (PCLKB) と通信速度の比が小さい場合、デジタルノイズフィルタは有効信号をノイズとして処理する可能性があります。そのような場合は、ICFER.NFE ビットを 0 にすることでデジタルノイズフィルタ回路を無効にし、アナログノイズフィルタ回路のみを使用することが可能です。

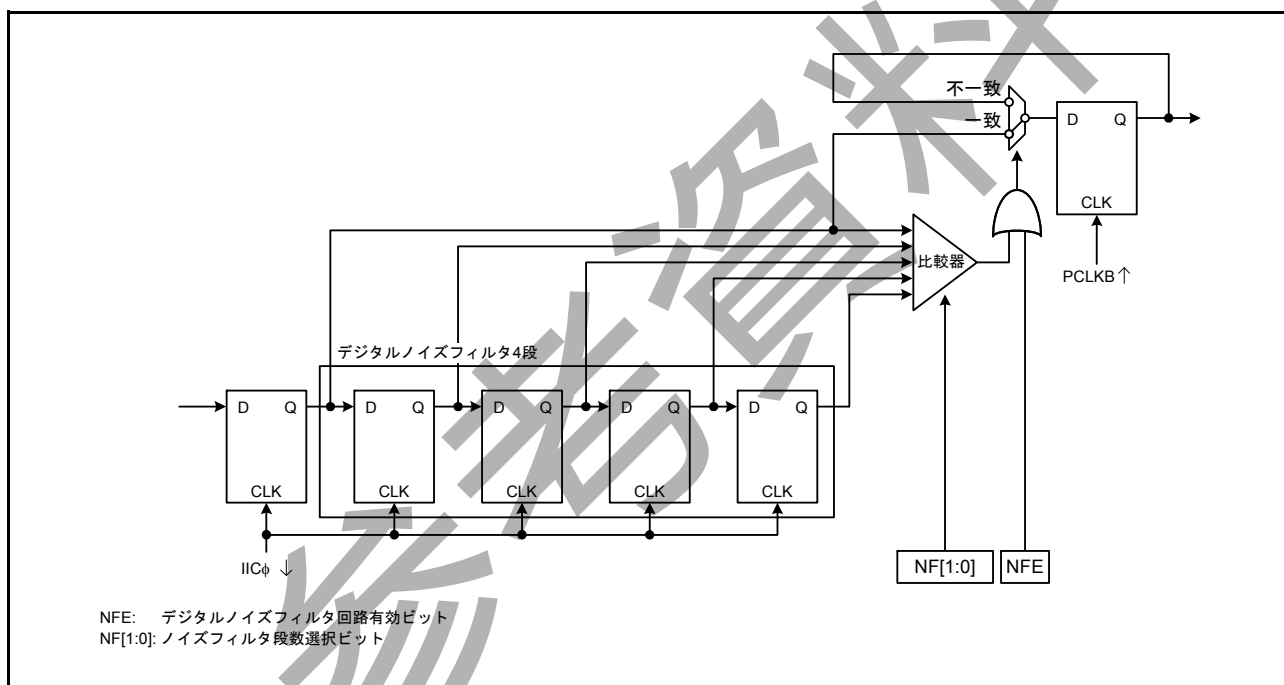


図 26.23 デジタルノイズフィルタ回路のブロック図

## 26.7 アドレス一致検出機能

IICは、ジェネラルコールアドレス、ホストアドレスの他に3種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7ビットアドレスまたは10ビットアドレスの設定が可能です。

### 26.7.1 スレーブアドレス一致検出機能

IICは3種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。ICSER.SARyEビット ( $y=0\sim 2$ ) が1のとき、SARUy および SARLy レジスタ ( $y=0\sim 2$ ) に設定されたスレーブアドレスを検出できます。

IICが設定されたスレーブアドレス一致を検出すると、対応する ICSR1.AASy フラグ ( $y=0\sim 2$ ) が SCL クロックの9クロック目の立ち上がりで1になり、続く R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグが1になります。これによって、受信データフル割り込み (IICn\_RXI) または送信データエンpty割り込み (IICn\_TXI) を発生させることができます。どのスレーブアドレスが指定されたかは AASy フラグで識別できます。

図 26.24 ~ 図 26.26 に AASy フラグが1になるタイミングを3つのケースで示します。

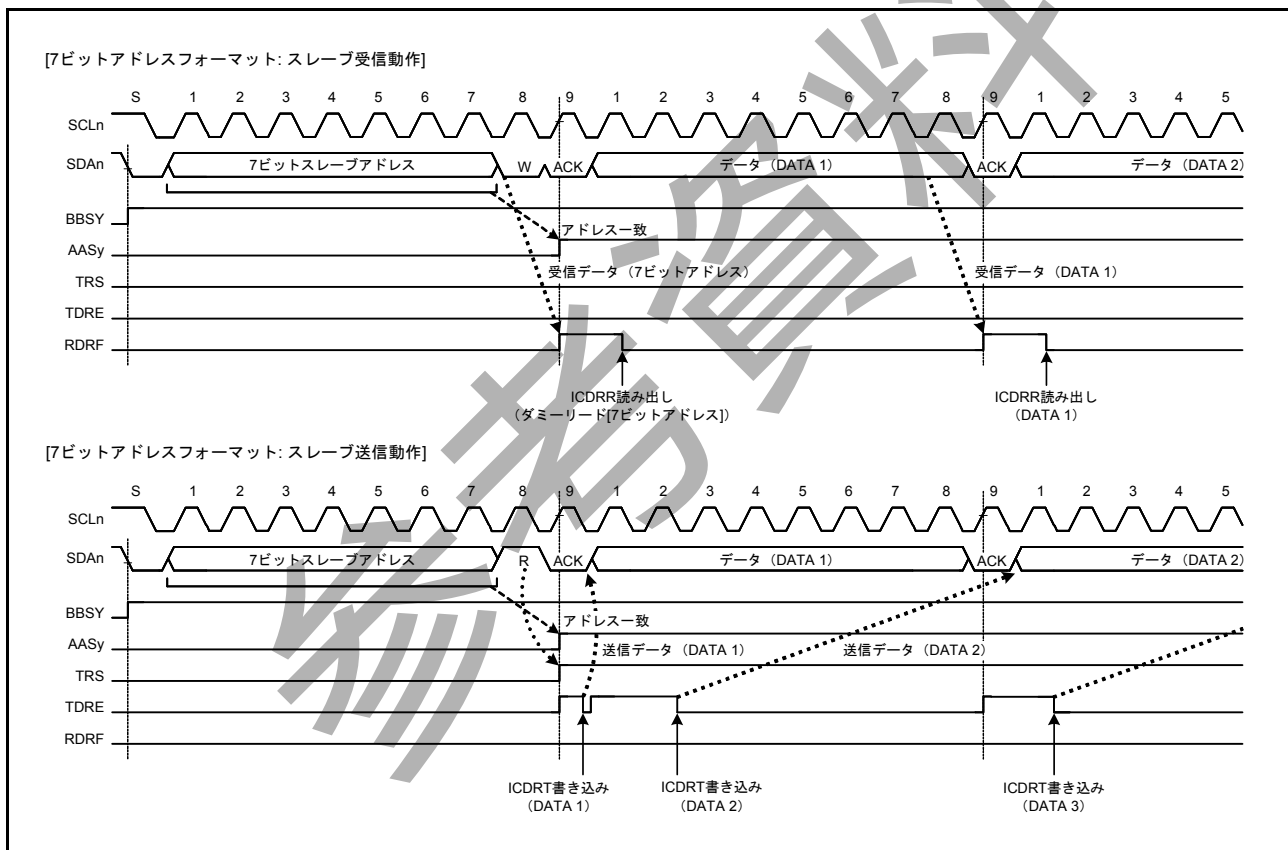


図 26.24 AASy フラグが1になるタイミング (7ビットアドレスフォーマット)

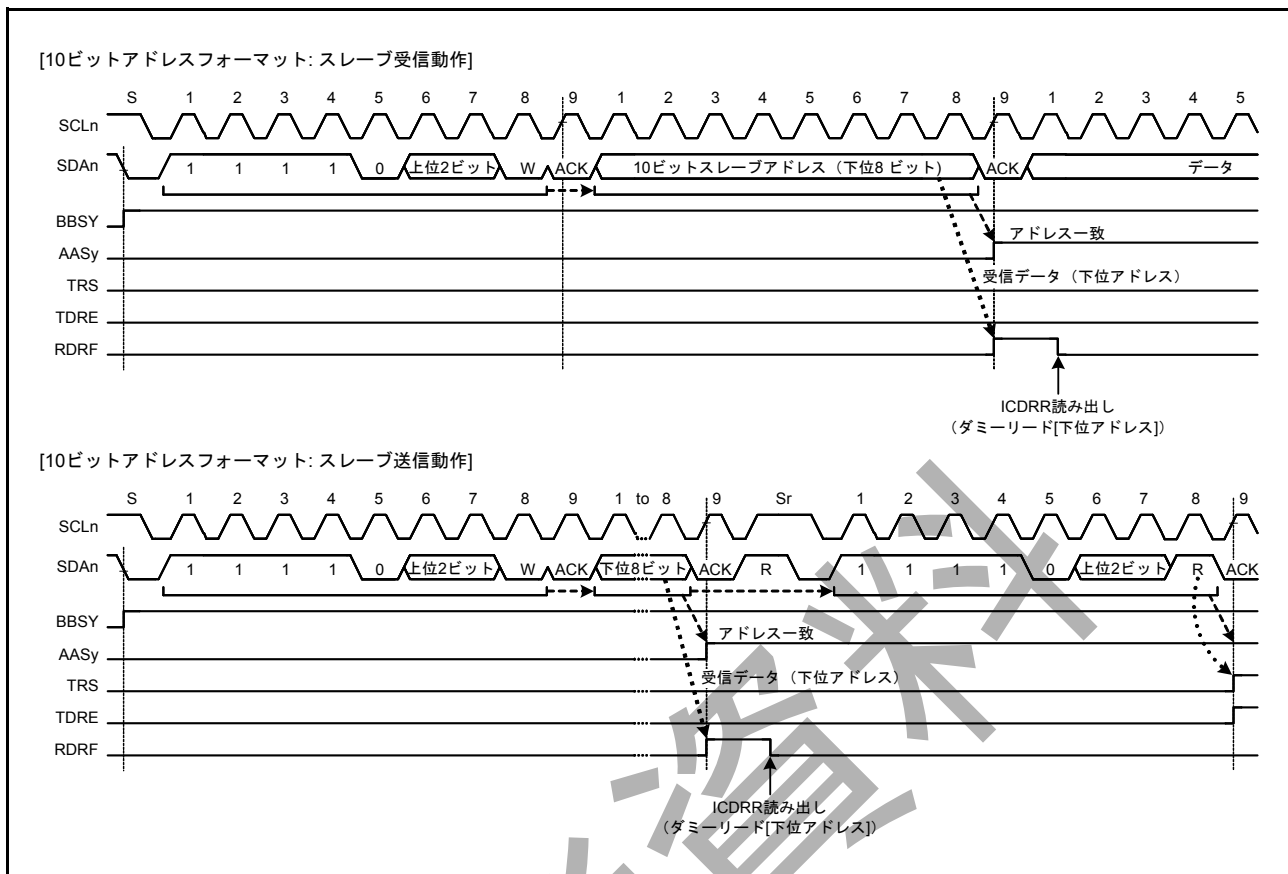


図 26.25 AASy フラグが1になるタイミング (10ビットアドレスフォーマット)

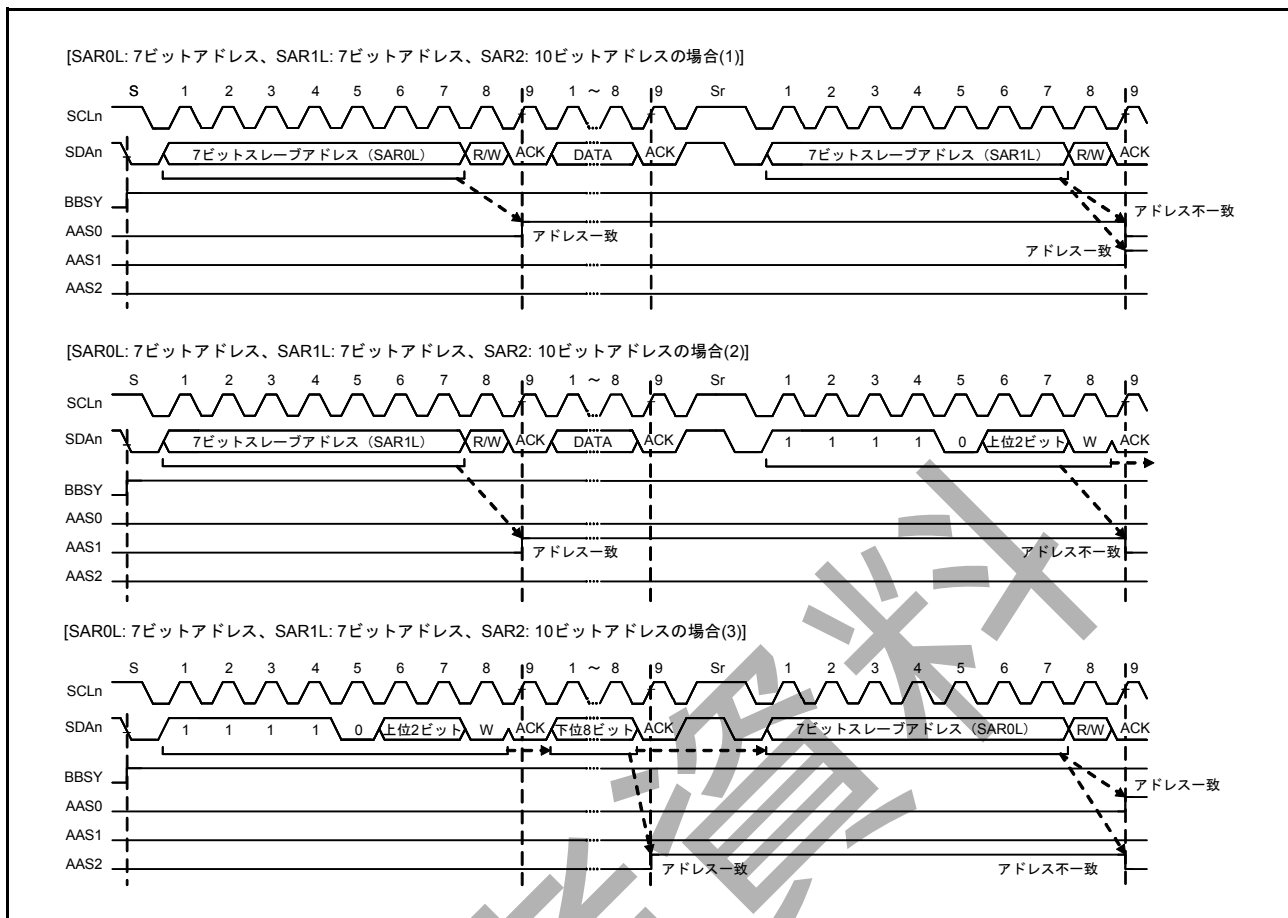


図 26.26 AASy フラグが 1 または 0 になるタイミング (7 ビット / 10 ビットアドレスフォーマット混在)

### 26.7.2 ジェネラルコールアドレス検出機能

IICは、ジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。この機能は、ICSER.GCAE ビットを1にすることで有効になります。

スタートコンディションまたはリスタートコンディション発行後に受信したアドレスが 0000 000b + 1[R] (開始バイト) の場合は、IICはスレーブアドレスの内容はすべて0であるとみなし、ジェネラルコールアドレスは認識しません。

IICがジェネラルコールアドレスを検出すると、SCLクロックの9クロック目の立ち上がりでICSR1.GCAフラグとICSR2.RDRFフラグが1になります。これによって、受信データフル割り込み (IICn\_RXI) が発生します。GCAフラグを確認することで、ジェネラルコールアドレスが送信されたことを確認できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

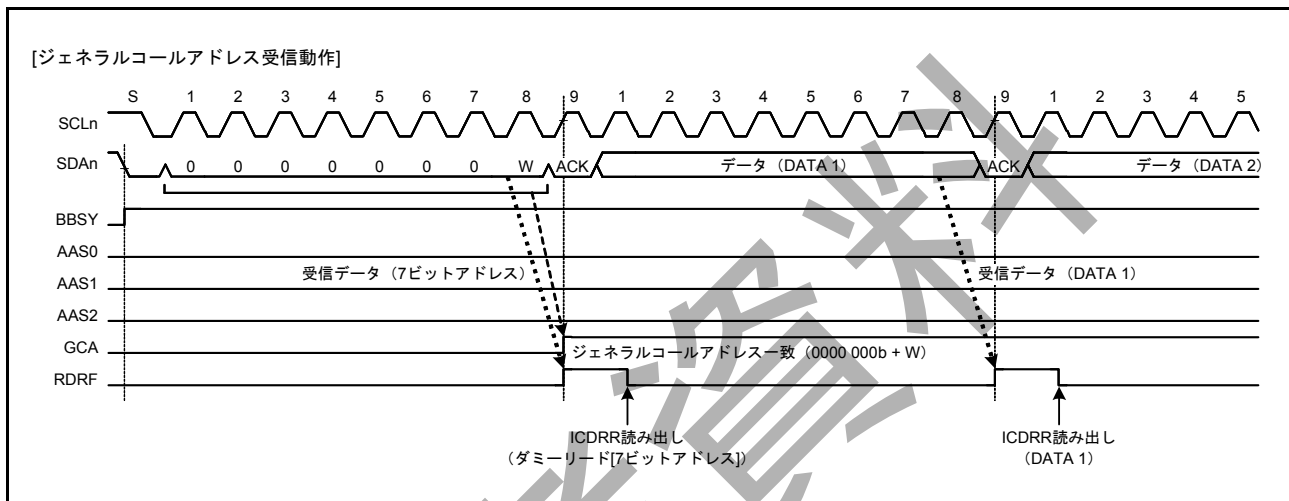


図 26.27 ジェネラルコールアドレス受信時に GCA フラグが1になるタイミング

### 26.7.3 デバイス ID アドレス検出機能

IICモジュールは、I<sup>2</sup>Cバス仕様 (Rev.03) に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを1にした状態で、スタートコンディションまたはリスタートコンディション発行後の1バイト目に1111 100bを受信すると、IICはこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが0のとき、SCLクロックの8クロック目の立ち上がりでICSR1.DIDフラグを1にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、IICは対応するICSR1.AASyフラグ (y=0~2) を1にします。

その後、スタートコンディションまたはリスタートコンディション発行後の1バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが1のとき、IICは続く2バイト目以降はアドレス比較を行わず、ICSR2.TDREフラグを1にします。

デバイス ID アドレス検出機能では、IICスレーブアドレスと一致しなかった場合、あるいはIICスレーブアドレスと一致し、リスタートコンディションの検出時にデバイス ID アドレスと一致しなかった場合、IICはDIDフラグを0にします。スタートコンディションまたはリスタートコンディション検出後の1バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが0の場合は、IICはDIDフラグを1にして、続く2バイト目以降をIICのスレーブアドレスと比較します。R/W# ビットが1の場合、DIDフラグは前値の状態を継続し、IICは2バイト目以降の比較を行いません。したがって、TDRE=1の確認後、DIDフラグを読むことで、デバイス ID アドレスを受信したことを確認することができます。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3バイトデータ: メーカー情報 [12ビット] + 部品識別 [9ビット] + リビジョン [3ビット]) を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP社にお問い合わせください。



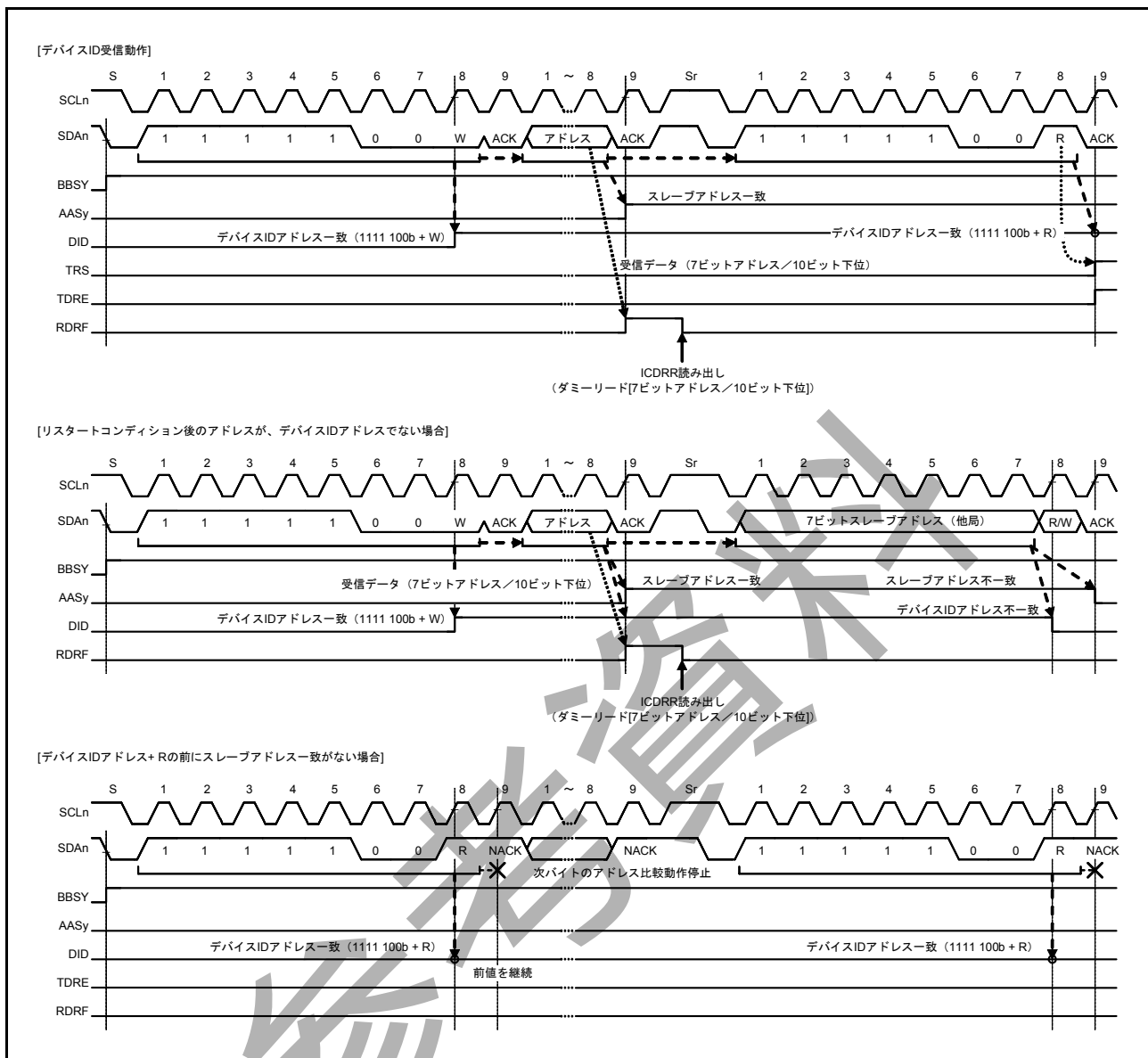


図 26.28 デバイスID受信時のAASy、DIDフラグのセット/クリアタイミング

### 26.7.4 ホストアドレス検出機能

IIC は、SMBus 動作時のホストアドレス検出機能を備えています。ICMR3.SMBS ビットが 1 のとき IC SER.HOAE ビットを 1 にすると、スレーブ受信モード (ICCR2.MST、TRS ビット = 00b) 時に、ホストアドレス (0001 000b) の検出が可能です。

IIC がホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.HOA フラグが 1 になり、R/W# ビットが 0 (Wr ビット) のとき、ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn\_RXI) が発生します。HOA フラグは、他のデバイスからホストアドレスが送信されたことを示します。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# ビット = 1) の場合にも、ホストアドレスの検出が可能です。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

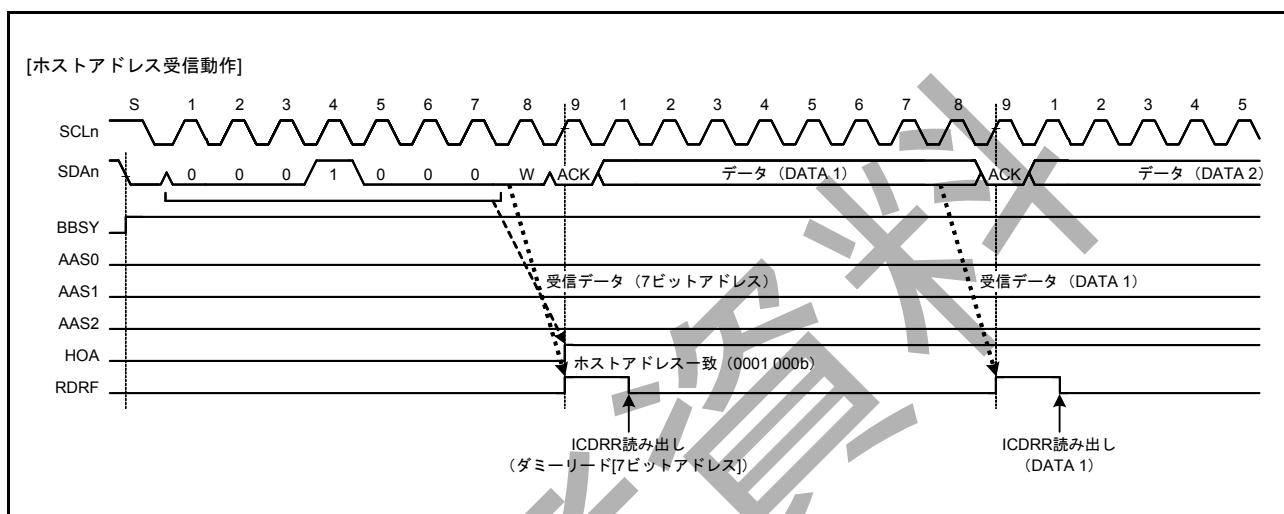


図 26.29 ホストアドレス受信時に HOA フラグが 1 になるタイミング

## 26.8 ウェイクアップ機能

IICは、MCUをソフトウェアスタンバイモードから通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、システムクロック停止時にデータの受信を許可し、受信データのスレーブアドレスが一致した場合にウェイクアップ割り込み信号を生成します。この割り込み信号が、通常動作への復帰をトリガします。

ウェイクアップ機能には、ノーマルウェイクアップモード1、ノーマルウェイクアップモード2、コマンドリカバリモード、EEP応答モードの4つの動作モードがあります。表 26.9 に各モードの動作を示します。

表 26.9 ウェイクアップ動作モード

動作モード	ACK応答タイミング	ウェイクアップ前のACK応答	ウェイクアップ時のSCL状態
ノーマルウェイクアップモード1	ウェイクアップ前	ACK	Lowに固定
ノーマルウェイクアップモード2	ウェイクアップ後	ウェイクアップ前：応答なし ウェイクアップ後：ACK応答	Lowに固定
コマンドリカバリモード	ウェイクアップ前	ACK	解放
EEP応答モード	ウェイクアップ前	NACK	解放

### ウェイクアップ機能使用時の注意事項

1. ウェイクアップ割り込みによってソフトウェアスタンバイモードから通常動作へ遷移させた後、ウェイクアップ機能を無効 (WUE=0) にしてください。
2. WUFが0の場合は、ウェイクアップ割り込みによってシステムクロックが回復しても、IICレジスタの内容を変更しないでください。WUFが1であることを確認してから、レジスタ設定を行ってください。
3. ソフトウェアスタンバイモードへ遷移する前に、WUE、WUIEビットを1に、MST、TRSビットを0 (スレーブ受信モード) にしてください。
4. BBSYが1のときは、ソフトウェアスタンバイモードにしないでください。
5. ウェイクアップ機能は、スレーブアドレスレジスタ (SARL0、SARL1、SARL2) の7ビットスレーブアドレス、ジェネラルコールアドレス、およびホストアドレスをサポートしています。10ビットスレーブアドレスはサポートされていません。
6. ウェイクアップ機能を有効にする場合、ICIERレジスタのTIE、TEIE、RIE、NAKIE、SPIE、STIE、ALIE、TMOIEビットで選択可能な割り込みは禁止してください。
7. ウェイクアップ機能を有効にする場合、タイムアウト機能を使用しないでください。
8. ウェイクアップ割り込み以外の割り込み (たとえばIRQn) で、ソフトウェアスタンバイモードからの遷移がトリガされると、この場合WUFは設定されません。図 26.31 および図 26.36 に示す処理に従ってください。

### 26.8.1 ノーマルウェイクアップモード1

以下では、ノーマルウェイクアップモード1の動作、タイミング、および使用例について説明します。

1. スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のような通常動作への遷移が行われます。図 26.32 に詳細なタイミングを示します。

ウェイクアップ前：IICの自スレーブアドレスとともに受信したデータに対してACKを送信する。

ウェイクアップ中：SCLの9クロック目でACK応答を行ってから、SCLのLowホールドを行う。(注1)

ウェイクアップ後：通常動作が継続する。

スレーブアドレスが不一致の場合、SCLの9クロック目の立ち下がり後にSCLラインのLowホールドは行われず、スレーブ動作が継続します。

注1. ウェイクアップ中の9クロック目と1クロック目の間では、WAIT=1は無効です。

使用例については、図 26.30 を参照してください。

2. ウェイクアップ割り込み以外の割り込み（たとえば IRQn）で、ソフトウェアスタンバイモードからの遷移がトリガされると、この場合 WUF は設定されません。図 26.31 に示す処理に従ってください。

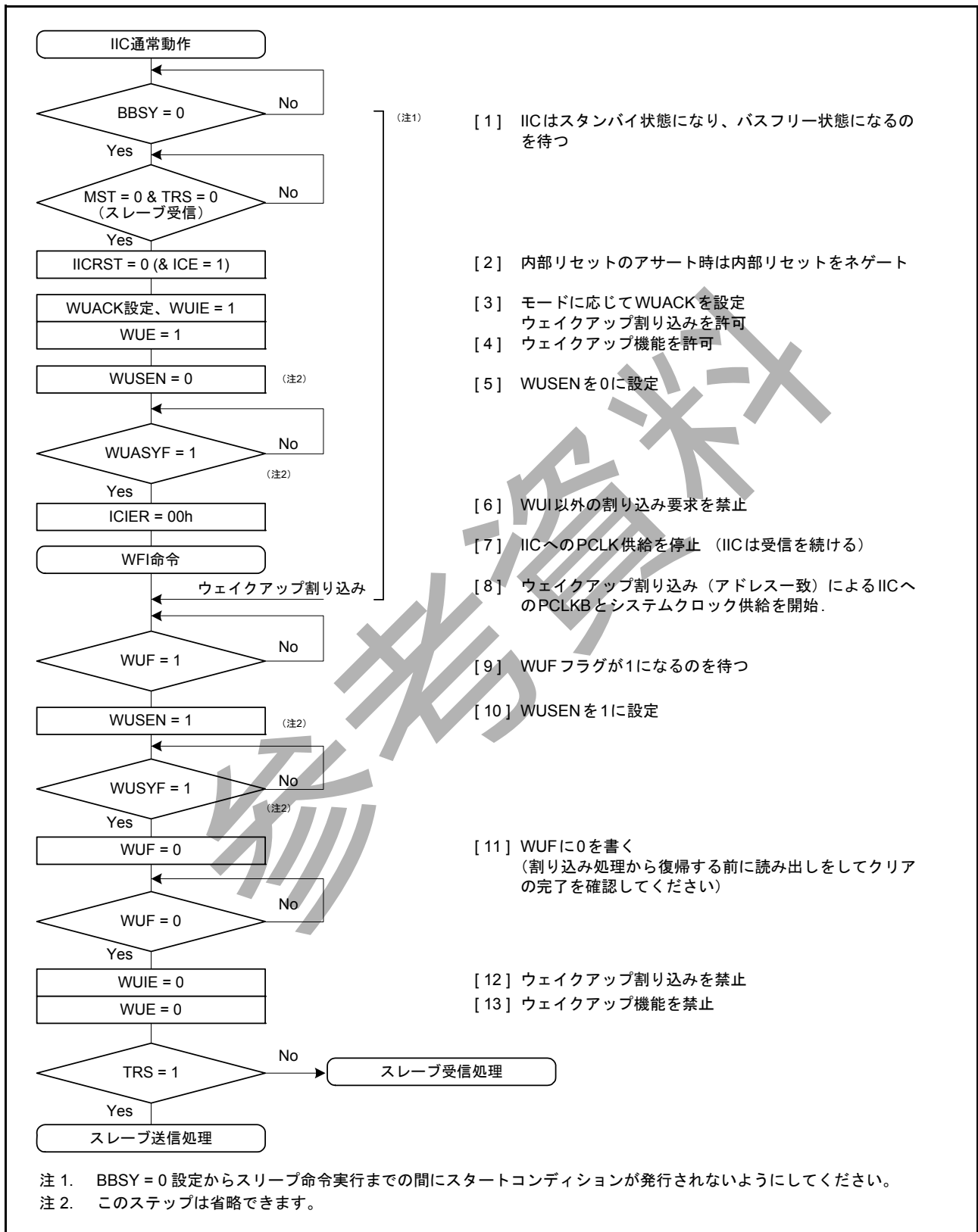


図 26.30 ノーマルウェイクアップモード1の動作例 (スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

注. ウェイクアップ機能使用時の注意事項を参照してください。

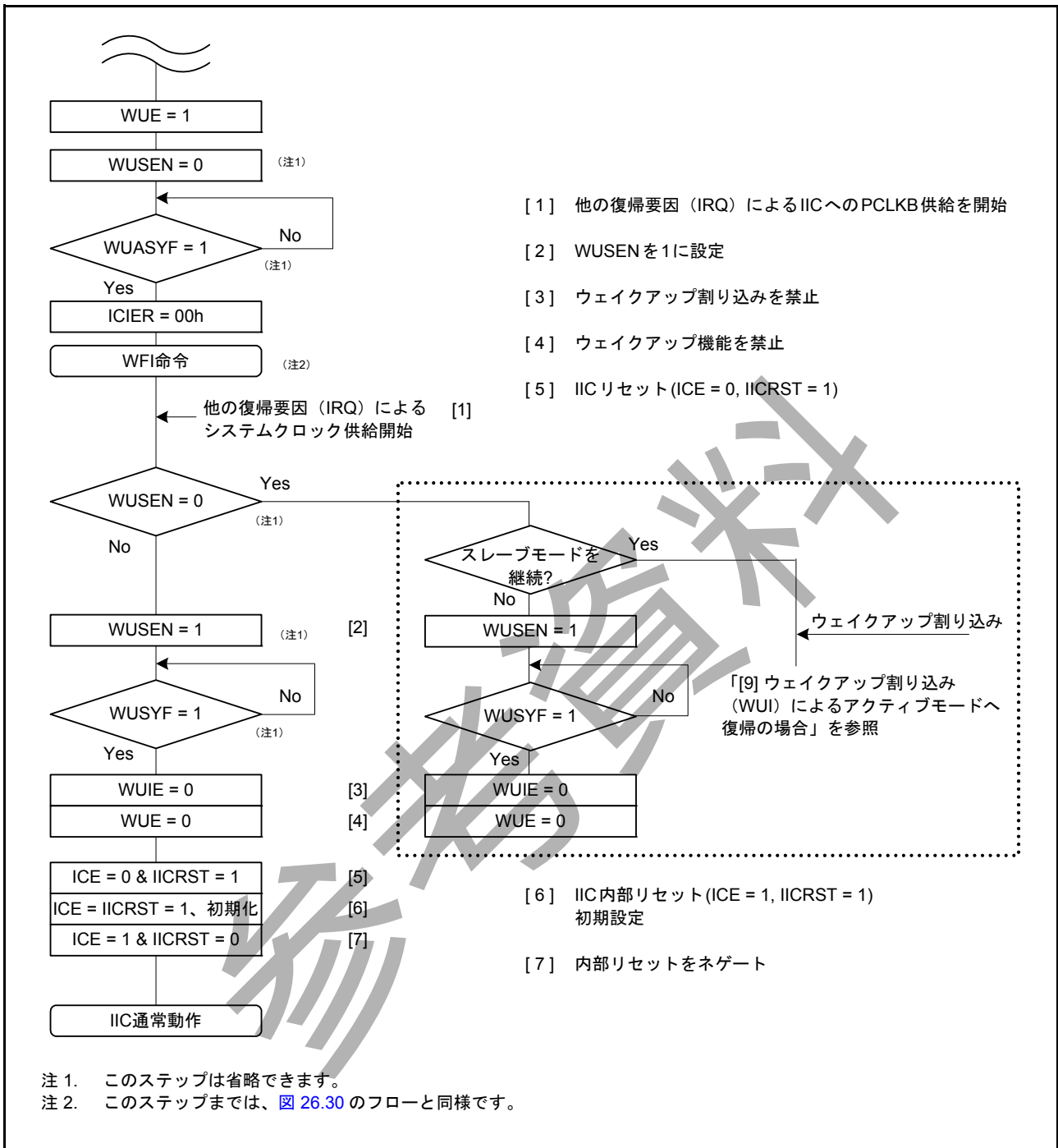


図 26.31 ノーマルウェイクアップモード 1 および 2 の動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

注. IIC 初期設定の詳細は、26.3.2 初期設定を参照してください。

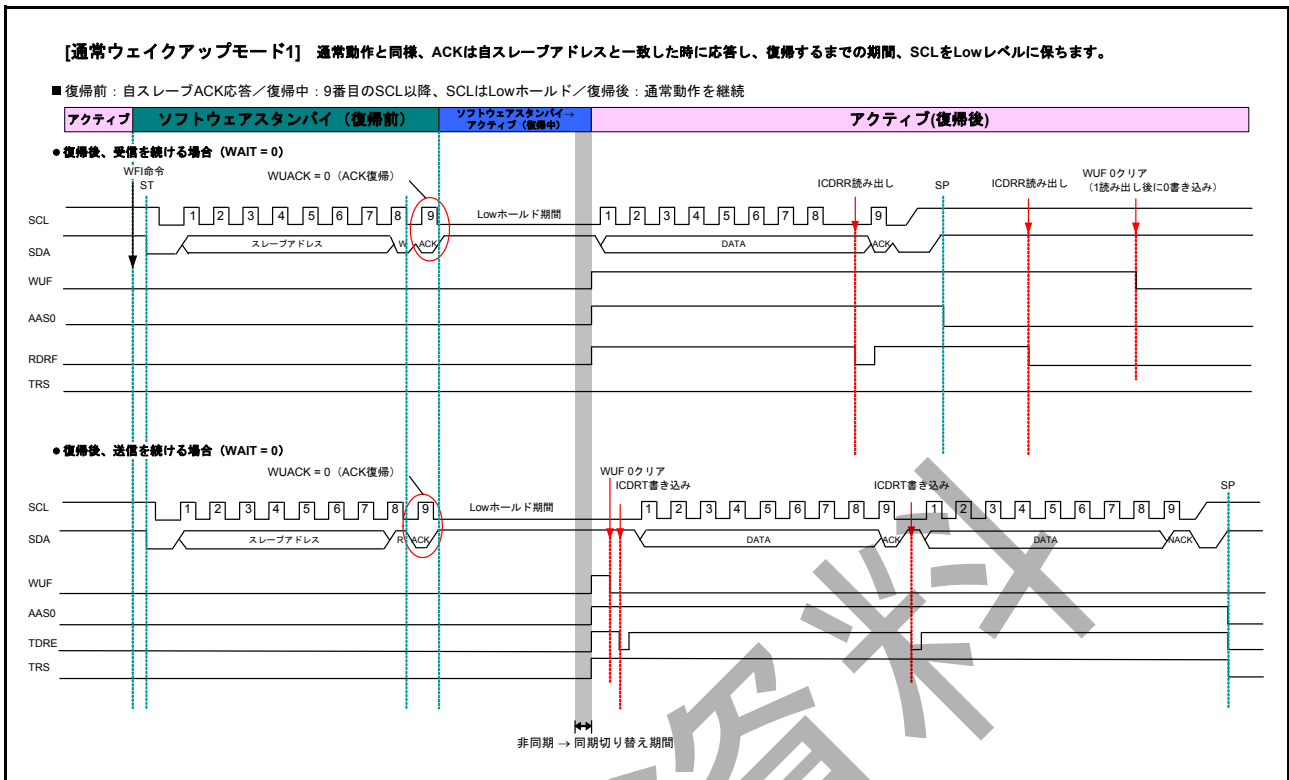


図 26.32 ノーマルウェイクアップモード1のタイミング

## 26.8.2 ノーマルウェイクアップモード2

以下では、ノーマルウェイクアップモード2の動作、タイミング、および使用例について説明します。

1. スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のような通常動作への遷移が行われます。図 26.34 に詳細なタイミングを示します。

ウェイクアップ前：IICの自スレーブアドレスとともに受信したデータに対してSCLの8クロック目の終わりまで応答しない。

ウェイクアップ中：8クロック目と9クロック目の間でSCLラインのLowホールドを行う。

ウェイクアップ後：SCLの9クロック目でACKを返し、通常動作が継続する。

スレーブアドレスが不一致の場合、SCLの8クロック目の立ち下がり後にSCLラインのLowホールドは行われず、スレーブ動作が継続します。

使用例については、図 26.33 を参照してください。

2. ウェイクアップ割り込み以外の割り込み（たとえばIRQ）で、ソフトウェアスタンバイモードからの遷移がトリガされた場合、この場合WUFは設定されません。図 26.31 に示す処理に従ってください。

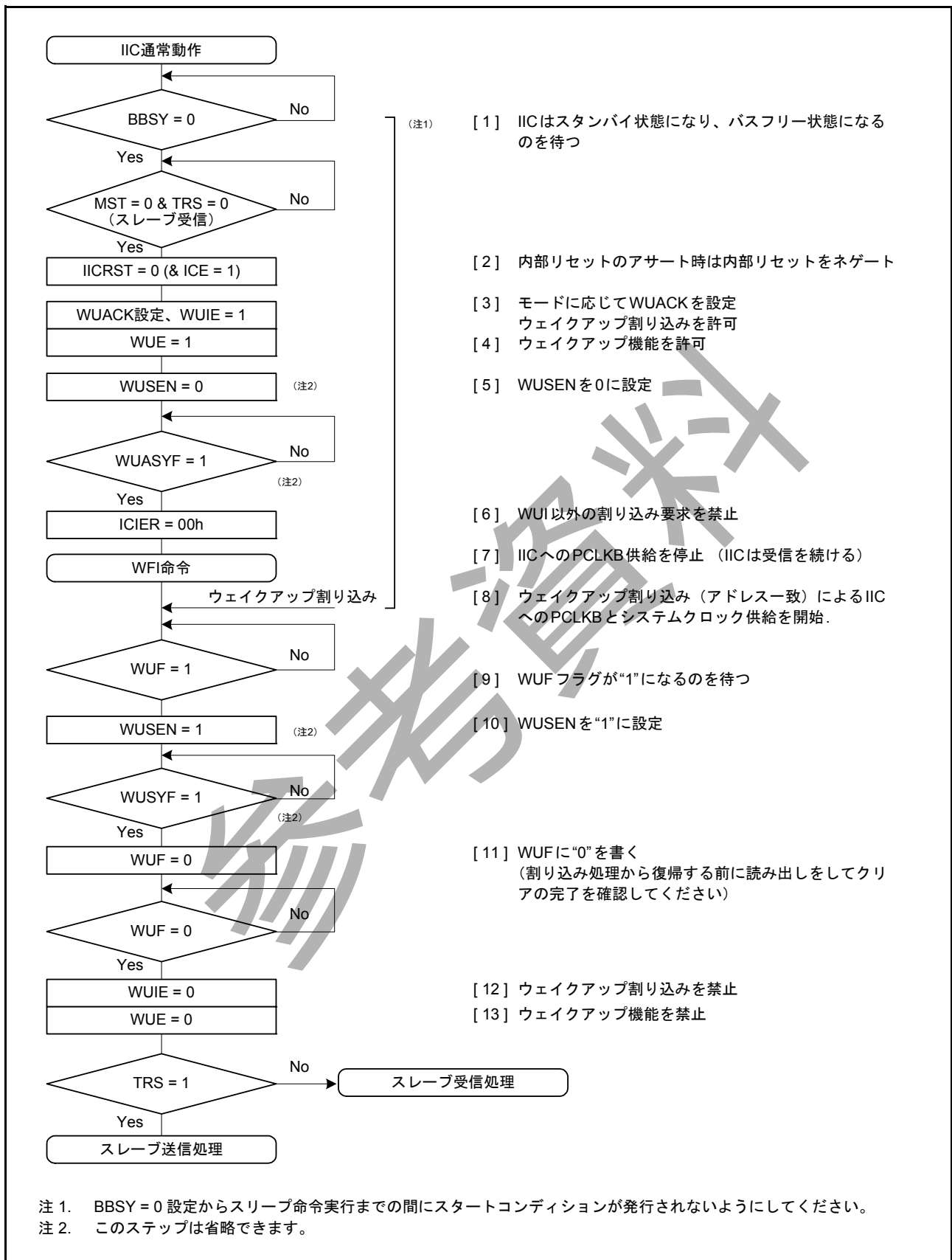


図 26.33 ノーマルウェイクアップモード2の動作例 (スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

注. ウェイクアップ機能使用時の注意事項を参照してください。

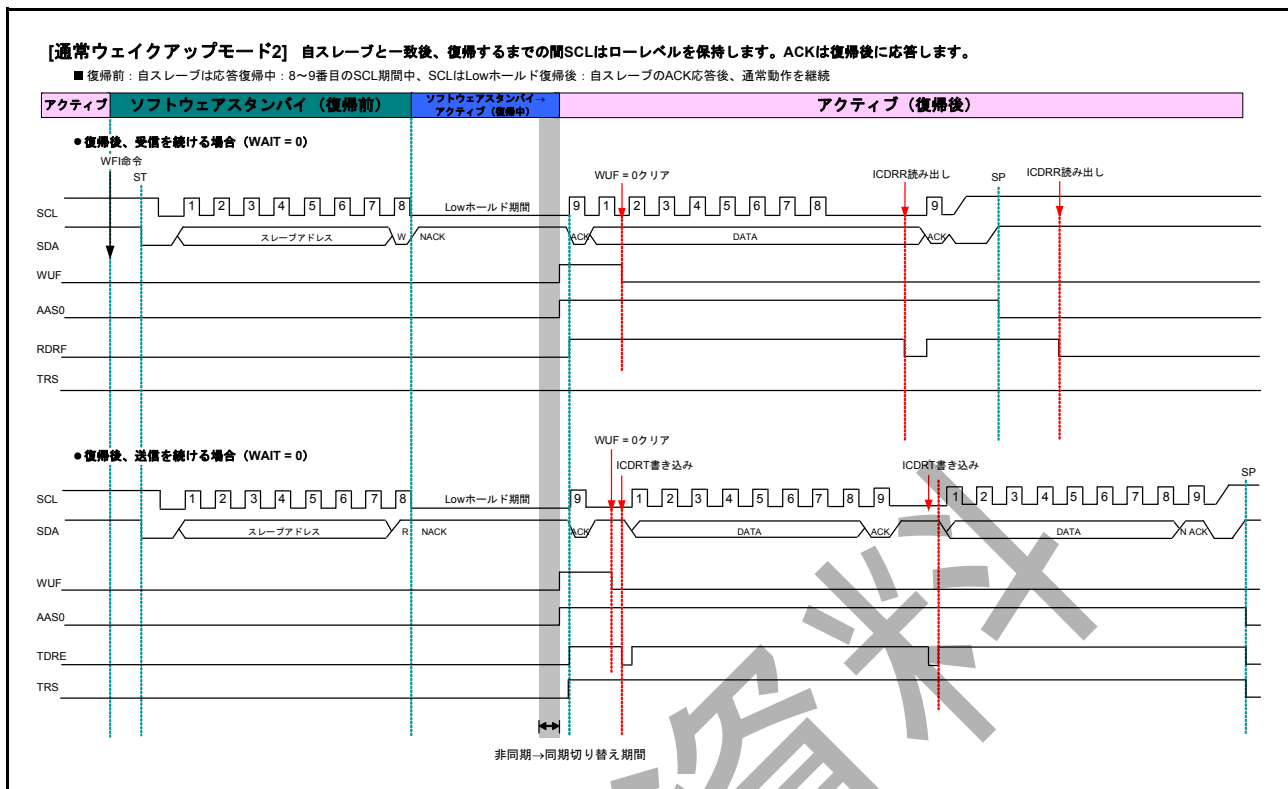


図 26.34 ノーマルウェイクアップモード2のタイミング

### 26.8.3 コマンドリカバリモードとEEP 応答モード（特殊ウェイクアップモード）

コマンドリカバリモードとEEP 応答モードでは、ウェイクアップ期間中（SCLの9クロック目の立ち上がり後）にSCLラインのLowホールドは行われないので、他のIICデバイスはこの期間にI<sup>2</sup>Cバスを利用できます。

以下では、コマンドリカバリモードとEEP 応答モードの動作、タイミング、使用例について説明します。

1. スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のような通常動作への遷移が行われます。図 26.37 に詳細なタイミングを示します。

ウェイクアップ前：IICの自スレーブアドレスとともに受信したデータに対して、ACK（コマンドリカバリモードの場合）またはNACK（EEP 応答モードの場合）を返す。

ウェイクアップ中：SCLラインのLowホールドを行わない。

ウェイクアップ後：IICの初期設定後、通常動作が継続する。

スレーブアドレスが不一致の場合、スレーブ動作が継続します。

- 注1. ウェイクアップ中にSCLラインのLowホールドは行われないので、スレーブアドレスの後続データは送受信できません。
- 注2. コマンドリカバリモードとEEP 応答モードは、内部リセット状態（ICE = IICRST = 1）です。したがって、スレーブアドレスが一致しても、ICSR1レジスタのフラグ（HOA、GCA、AAS0、AAS1、AAS2）は設定されません。

使用例については、図 26.35 を参照してください。

2. ウェイクアップ割り込み以外の割り込み（たとえばIRQn）で、ソフトウェアスタンバイモードからの遷移がトリガされると、この場合WUFは設定されません。図 26.36 に示す処理に従ってください。



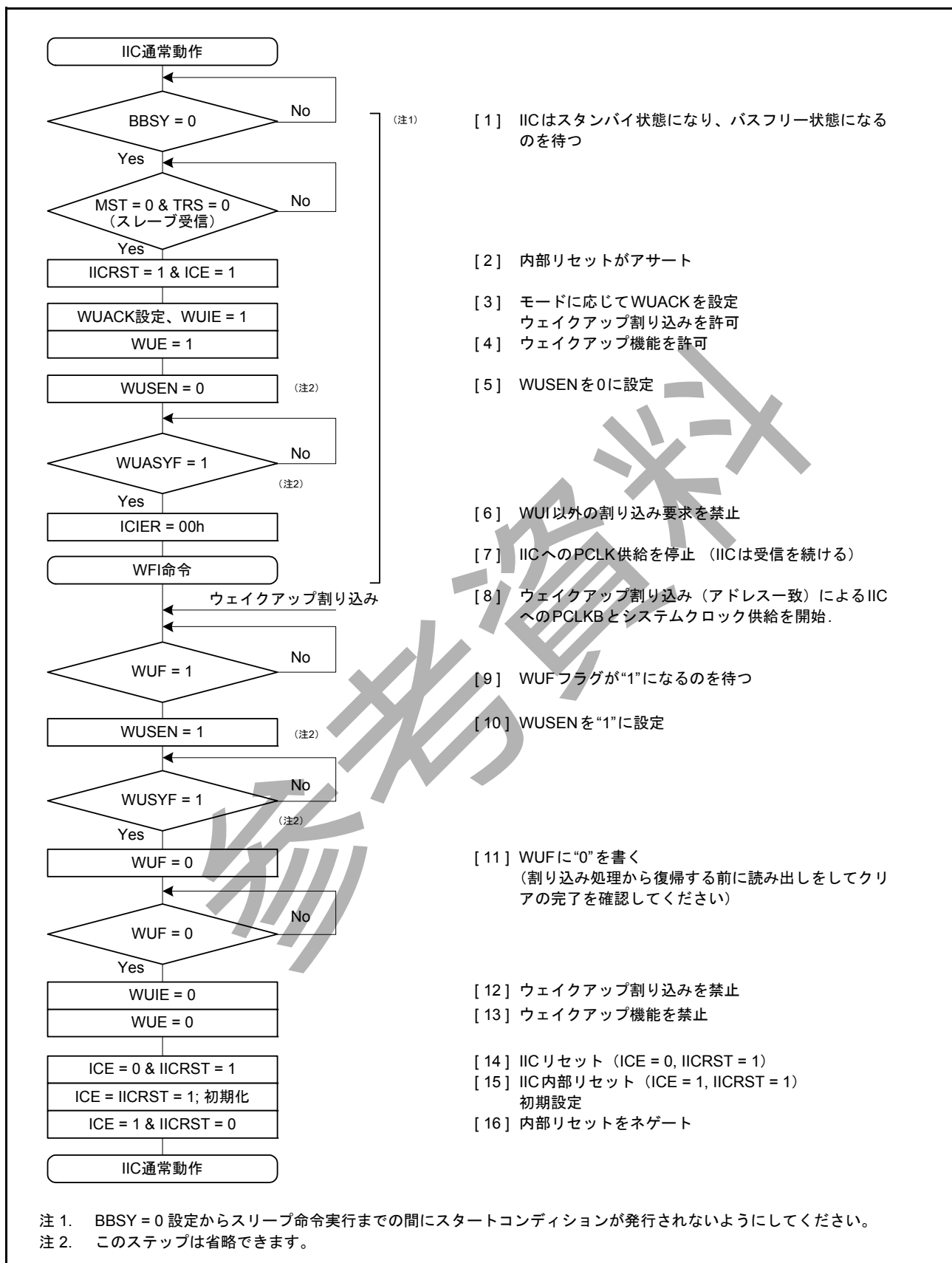


図 26.35 コマンドリカバリモードとEEP応答モードの動作例 (スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

注. ウェイクアップ機能使用時の注意事項を参照してください。

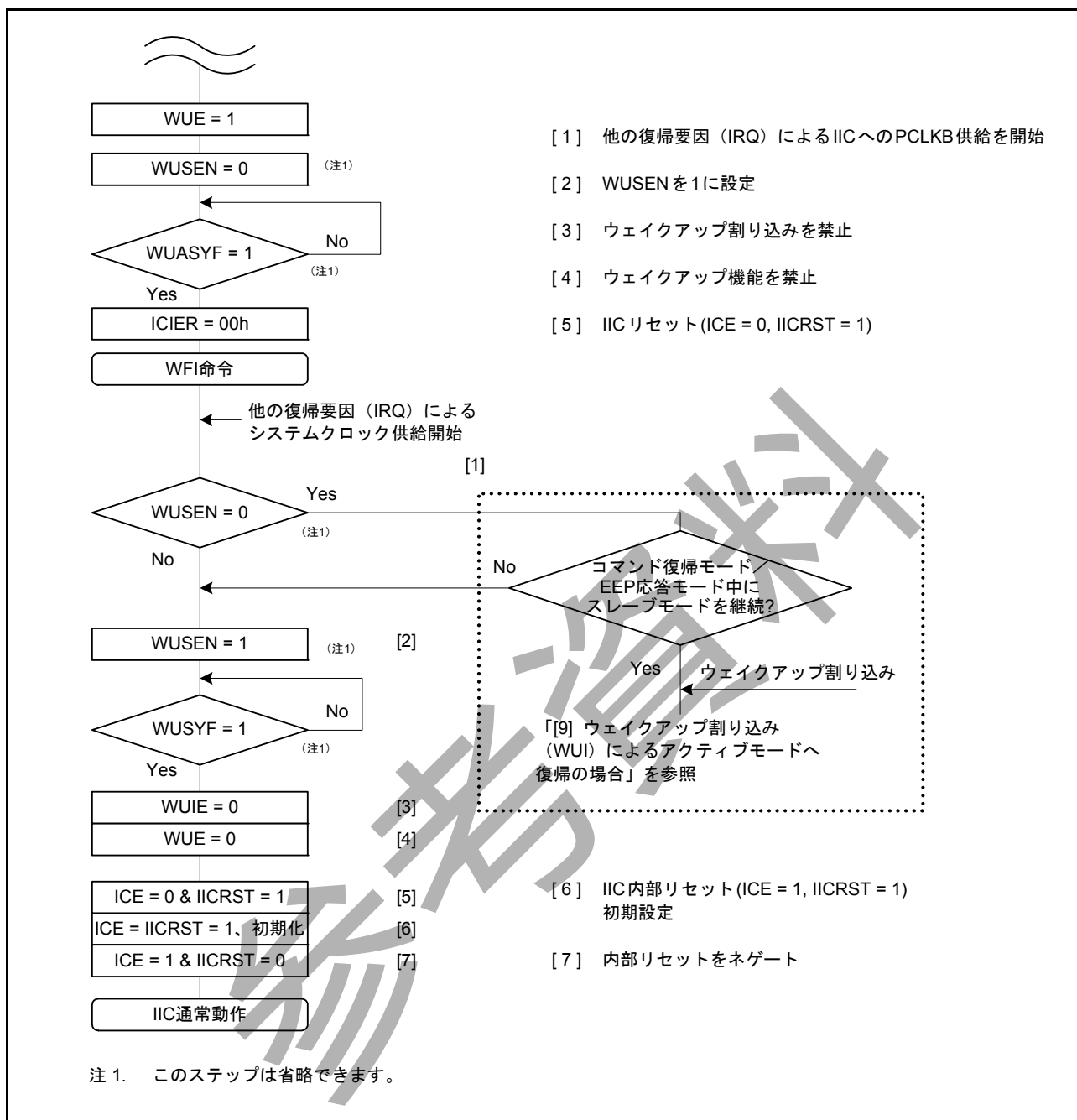


図 26.36 コマンドリカバリモードと EEP 応答モードの動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

注 . IIC の初期設定の詳細は、26.3.2 初期設定を参照してください。

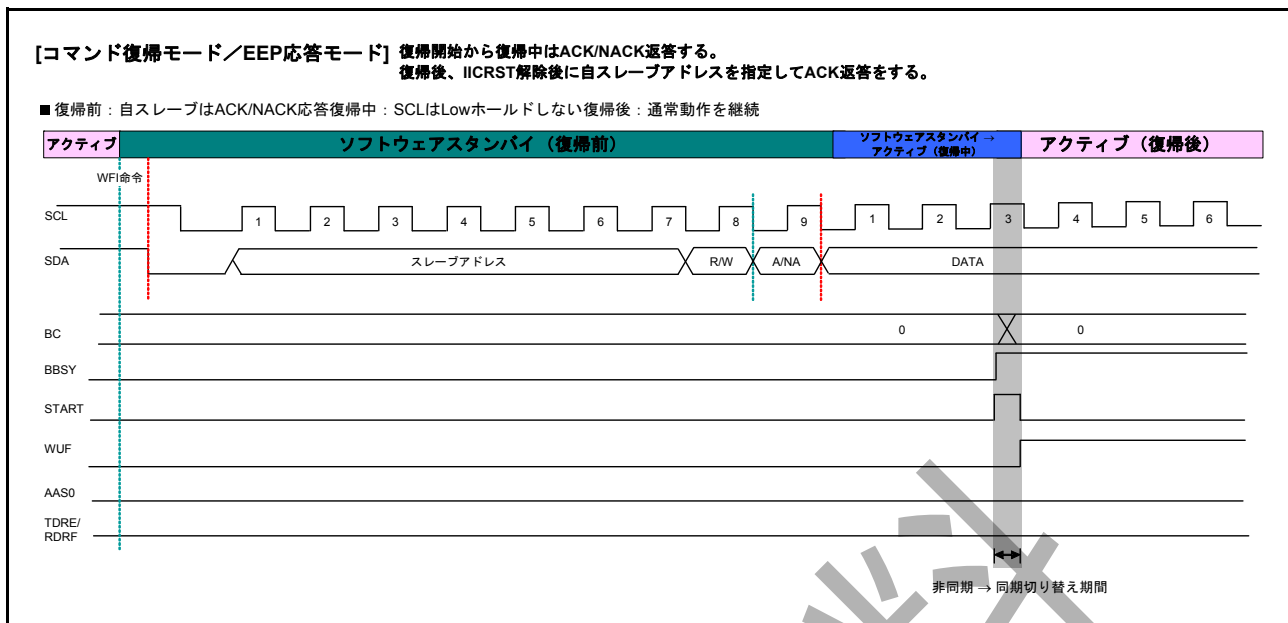


図 26.37 コマンドリカバリモードと EEP 応答モードのタイミング

#### 26.8.4 WFI 命令の実行に関する注意事項

図 26.30、図 26.33、図 26.35 に示すウェイクアップモードの使用例では、BBSY = 0 を設定してから WFI 命令を実行するまでの間は、スタートコンディションを発行しないようにしてください。この間にスタートコンディションを発行すると、先頭データブロックの 1 バイト目の受信後に NACK が返されます。その後、スタートコンディションまたはリスタートコンディションの検出によって、ウェイクアップ機能が有効になります。

## 26.9 SCLの自動Lowホールド機能

### 26.9.1 送信データ誤送信防止機能

IICが送信モード時 (ICCR2.TRS ビット = 1)、I<sup>2</sup>Cバス送信レジスタ (ICDRT) にデータが書かれていない場合、シフトレジスタ (ICDRS) が空の場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

マスタ送信モード：

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の Low 区間

スレーブ送信モード：

- 9クロック目と1クロック目の Low 区間

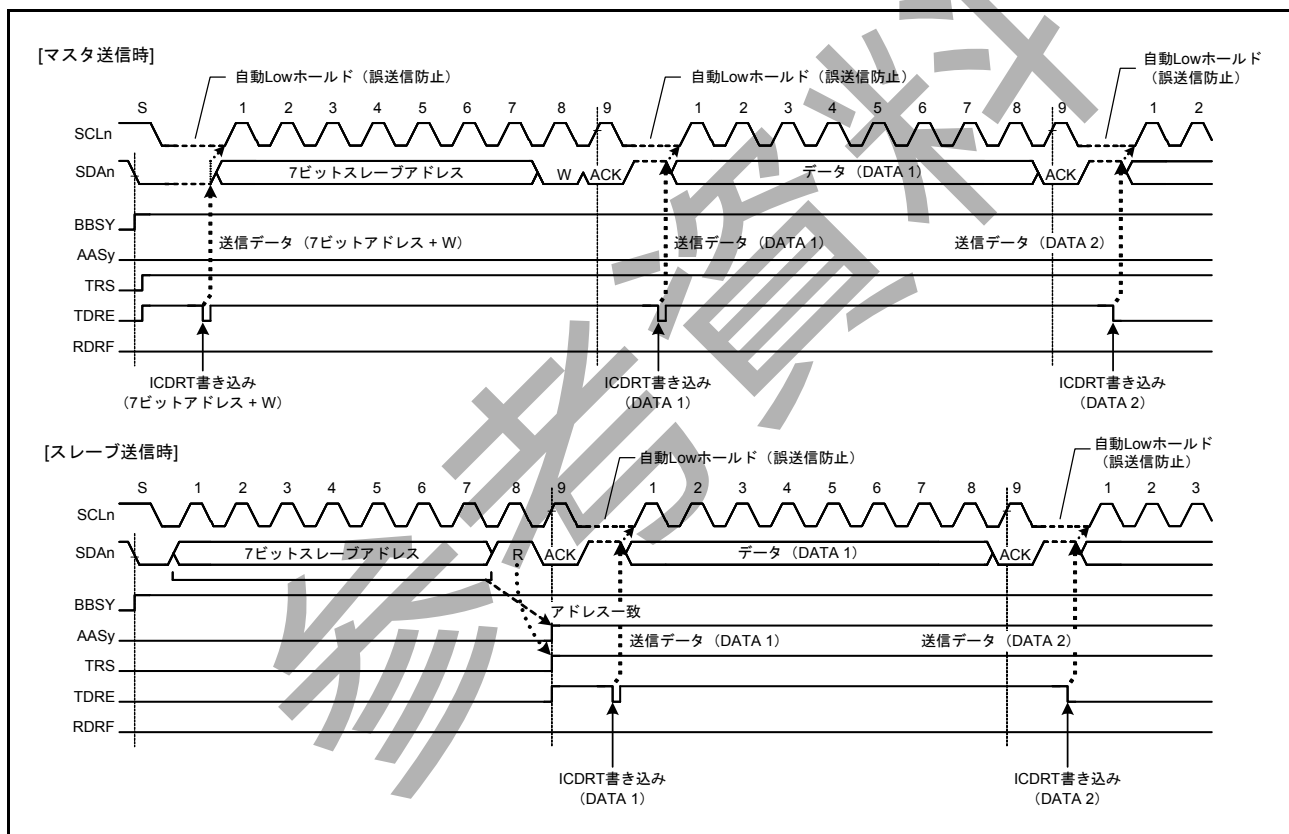


図 26.38 送信モード時の自動 Low ホールド動作

### 26.9.2 NACK 受信転送中断機能

この機能は、送信モード時 (ICCR2.TRS ビット = 1)、NACK を受信した場合に転送動作を中断します。この機能は、ICFER.NACKE ビットが 1 のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0)、SCL クロックの 9 クロック目の立ち下がり、次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、SDAn ライン Low 出力固定を防止することができます。

この機能によって転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送受信動作は行われません。送受信動作を再開するには、NACKF フラグを 0 にする必要があります。マスタ送信モードでは、リスタートコンディションまたはストップコンディション発行後に、NACKF フラグを 0 にしてから、再度スタートコンディションを発行してください。

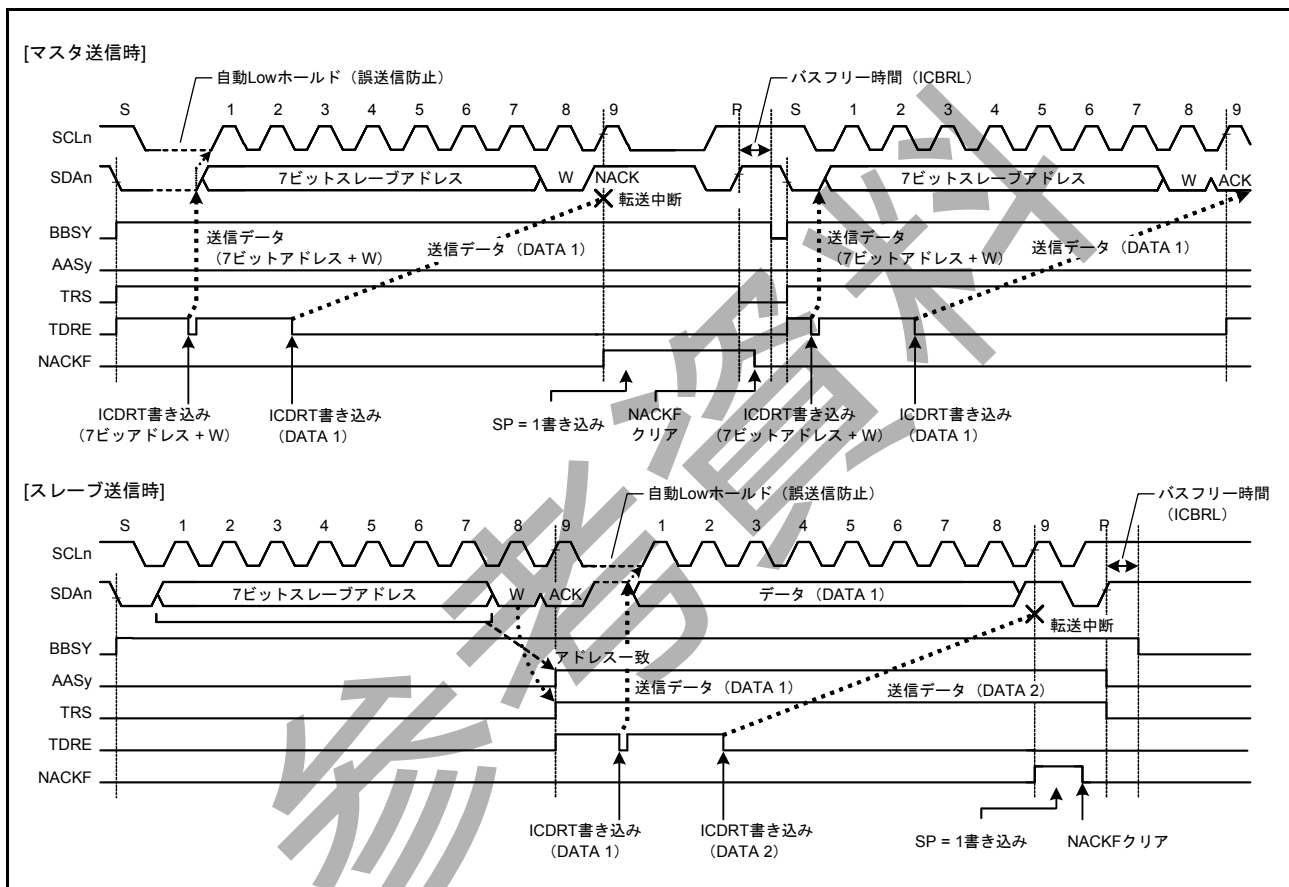


図 26.39 NACK 受信時のデータ転送中断動作 (NACKE = 1 の場合)

### 26.9.3 受信データ取りこぼし防止機能

受信モード時 (ICCR2.TRS ビット = 0) に、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、IIC は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この機能は、最終受信データの読み出し処理が遅れて、その間、ストップコンディション発行後に IIC スレーブアドレスが指定された場合でも有効です。ストップコンディション発行後に自スレーブアドレスとの不一致が発生した場合は、IIC は SCLn ラインの Low ホールドを行わないため、本機能によって他の通信を妨げることはありません。

また、ICMR3 レジスタの WAIT ビットと RDRFS ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを 1 にすると、IIC は WAIT ビット機能を用いた 1 バイト受信動作を行います。また、ICMR3.RDRFS ビットが 0 の場合、SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がりまでの期間、IIC はアクリッジビットに対し自動的に ICMR3.ACKBT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると、WAIT ビット機能を用いて自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、ICDRR レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを 1 にすると、IIC は RDRFS ビット機能を用いた 1 バイト受信動作を行います。RDRFS ビットを 1 にすると、SCL の 8 クロック目の立ち上がりで ICSR2.RDRF フラグが 1 (受信データフル) になり、8 クロック目の立ち下がりですべて自動的に SCLn ラインの Low ホールドが行われます。この Low ホールドは、ICMR3.ACKBT ビットに値を書き込むことで解除されますが、ICDRR レジスタからデータを読み出しても解除されません。そのため 1 バイトごとに受信したデータの内容を基に ACK/NACK の送信を制御することによって受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

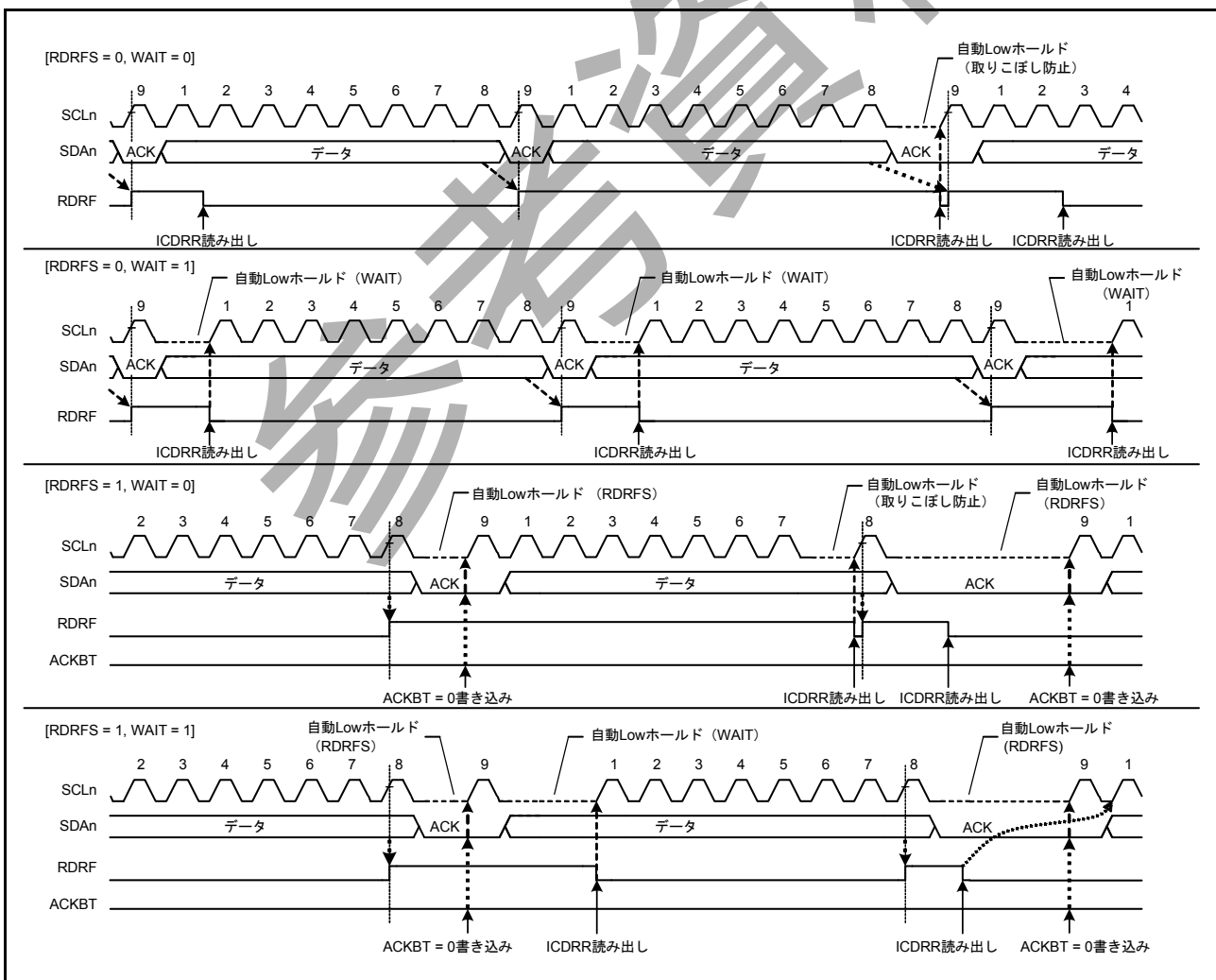


図 26.40 受信モード時の自動 Low ホールド動作 (RDRFS、WAIT ビットを使用)

## 26.10 アービトレーションロスト検出機能

IICにはI<sup>2</sup>Cバス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止機能、NACK送信時のアービトレーションロスト検出機能、およびスレーブ送信モード時のアービトレーションロスト検出機能を備えています。

### 26.10.1 マスタアービトレーションロスト検出機能 (MALEビット)

IICはスタートコンディション発行の際、SDAnラインをLowにします。ただし、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAnラインをLowにした場合、IICは自身のスタートコンディションをエラーと判断し、これをアービトレーションロストとみなします。他のマスタデバイスによる転送の方が優先されます。同様に、バスビジー (ICCR2.BBSY フラグ=1) の状態でICCR2.STビットを1にすることでスタートコンディション発行を要求すると、IICはこれをスタートコンディションの二重発行エラーと判断し、自身がアービトレーションロストを発生させたとみなします。この機能は、転送中のスタートコンディション発行による転送の失敗を防止します。

スタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ (内部のSDA出力レベル) とSDAnラインのレベルが不一致 (内部SDA出力としてHigh出力、すなわちSDAn端子がハイインピーダンス状態) であれば、SDAnラインにLowが検出されたとき、IICはアービトレーションロストを発生させます。

マスタアービトレーションロストが発生した後、IICはただちにスレーブ受信モードへ遷移します。このとき、ジェネラルコールアドレスを含むスレーブアドレスが自身のアドレスと一致していれば、IICはスレーブ動作を継続します。

なお、マスタアービトレーションロストは、ICFER.MALEビットが1 (マスタアービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき検出されます。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグが0の状態(ICCR2.STビットを1にしてスタートコンディションを発行した後、SDAの内部出力レベルとSDAnラインのレベルが不一致のとき (スタートコンディション発行エラー))
- ICCR2.BBSYフラグが1の状態(ICCR2.STビットを1にしたとき (スタートコンディション二重発行エラー))
- マスタ送信モード時 (ICCR2.MST、TRSビット=11b)、アクリッジを除く送信データ (内部のSDA出力レベル) とSDAnラインのレベルが不一致のとき

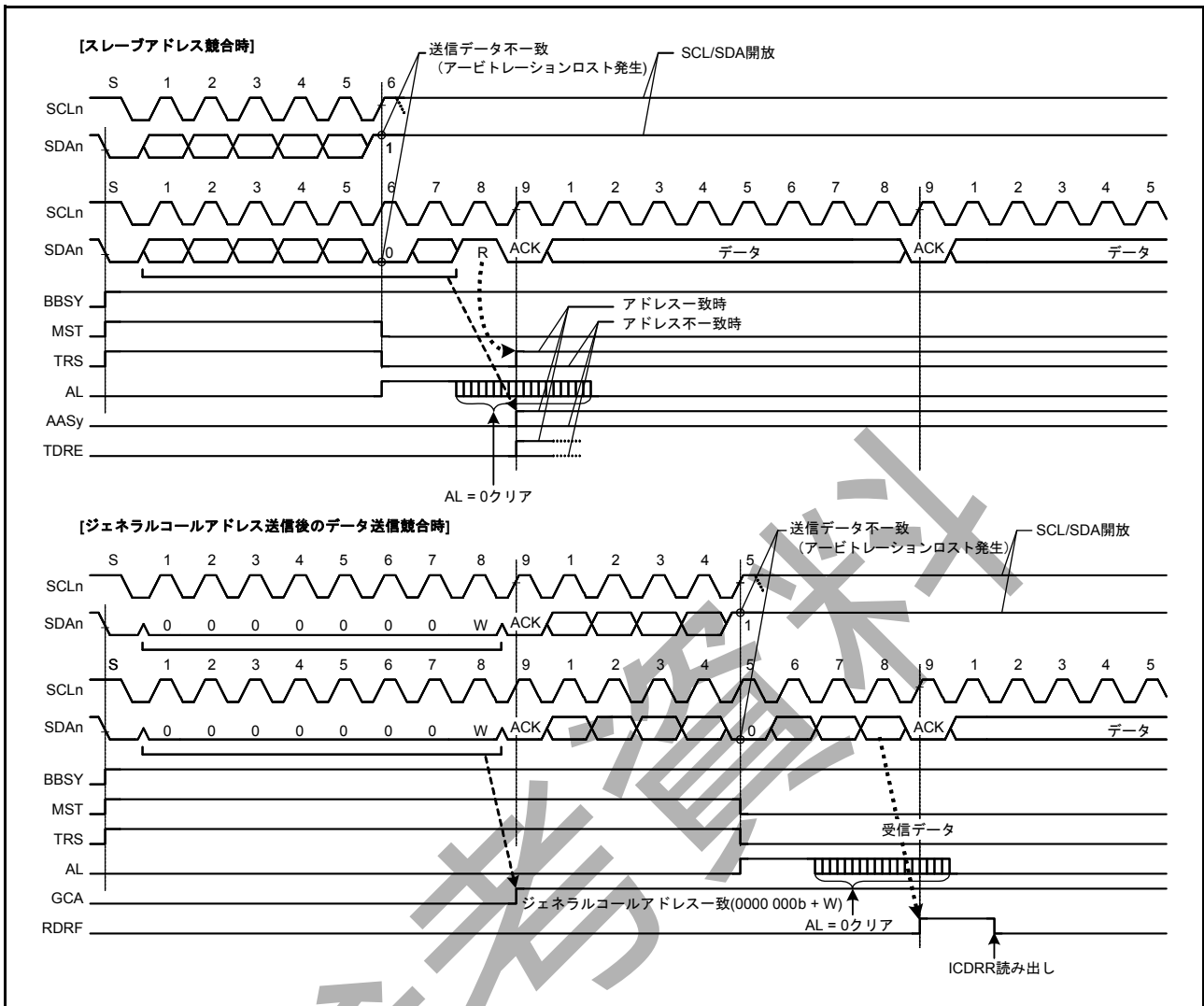


図 26.41 マスタアービトレーションロスト検出動作例 (MALE = 1 の場合)

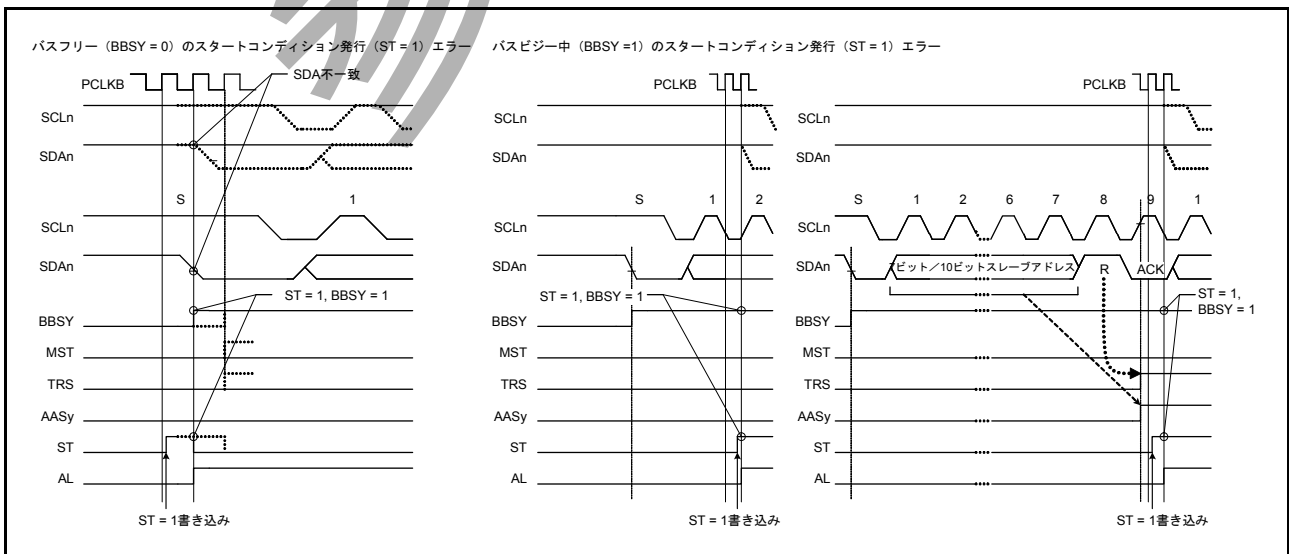


図 26.42 スタートコンディション発行時のアービトレーションロスト (MALE = 1 の場合)



### 26.10.2 NACK 送信中のアービトレーションロスト検出機能 (NALE ビット)

この機能は、受信モードで NACK 送信時に、内部の SDA 出力レベルと SDA<sub>n</sub> ラインのレベルが不一致 (内部 SDA 出力が High 出力、すなわち SDA<sub>n</sub> 端子がハイインピーダンス状態) であれば、SDA<sub>n</sub> ラインに Low が検出されたとき、アービトレーションロストを発生させます。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報をやり取りする際に生じます。図 26.43 に NACK 送信中のアービトレーションロスト検出動作例を示します。

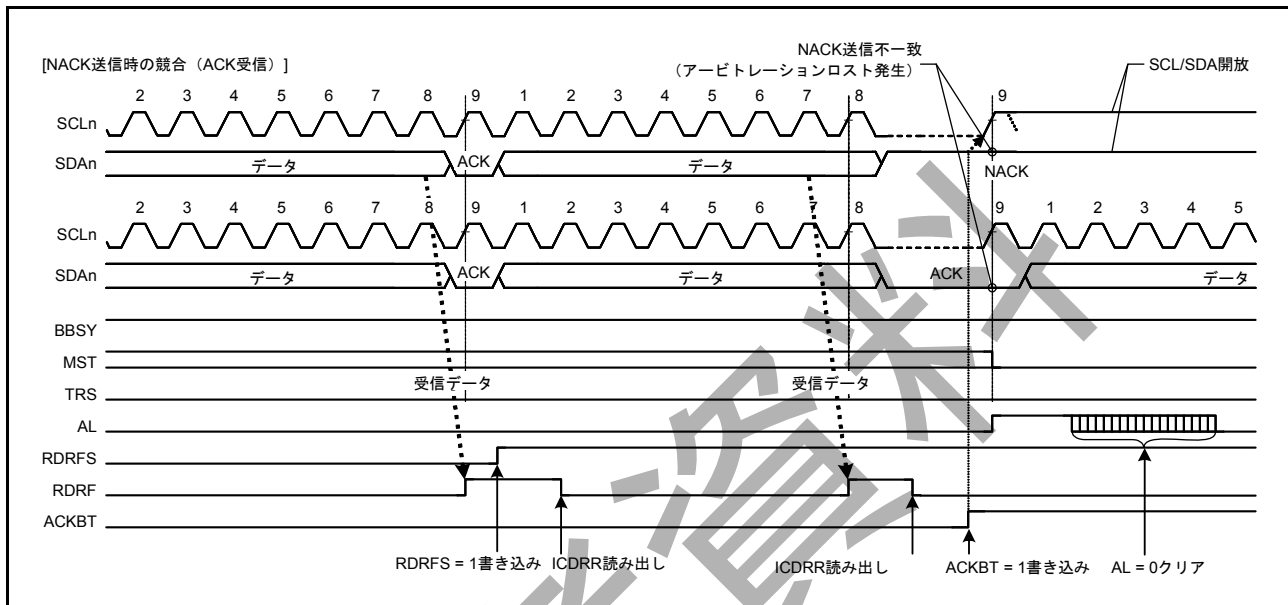


図 26.43 NACK 送信中のアービトレーションロスト検出動作例 (NALE = 1 の場合)

以下では、2 つのマスタデバイス (マスタ A、B) と 1 つのスレーブデバイスがバス上に接続されている場合を例にアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

IIC は、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。NACK 送信時にアービトレーションロストが発生すると、IIC はただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、割り付けられたアドレスコマンド後の Get UDID 汎用処理で割り付けられたアドレスの UDID (ユニークデバイス ID) が不一致の場合に、FFh 送信処理などの追加クロック処理を省くことができます。

ICFER.NALE ビットが 1 (NACK 送信中アービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき、IIC は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT ビット = 1)、内部の SDA 出力レベルと SDA<sub>n</sub> ラインの状態 (ACK 受信) が不一致のとき

### 26.10.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

この機能は、スレーブ送信モード時に、送信データ（内部の SDA 出力レベル）と SDA<sub>n</sub> ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDA<sub>n</sub> 端子がハイインピーダンス状態）であれば、SDA<sub>n</sub> ラインに Low が検出されたとき、アービトレーションロストを発生させます。このアービトレーションロスト検出機能は、主に SMBus での UDID（ユニークデバイス ID）送信時に使用します。

スレーブアービトレーションロストが発生した場合、IIC はただちにスレーブ一致状態を解除してスレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な FFh 送信処理を省くことができます。

ICFER.SALE ビットが 1（スレーブアービトレーションロスト検出有効）の状態、以下に示す条件が成立したとき、IIC はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST、TRS ビット = 01b)、アクノリッジを除く送信データ（内部 SDA 出力レベル）と SDA<sub>n</sub> ラインが不一致のとき

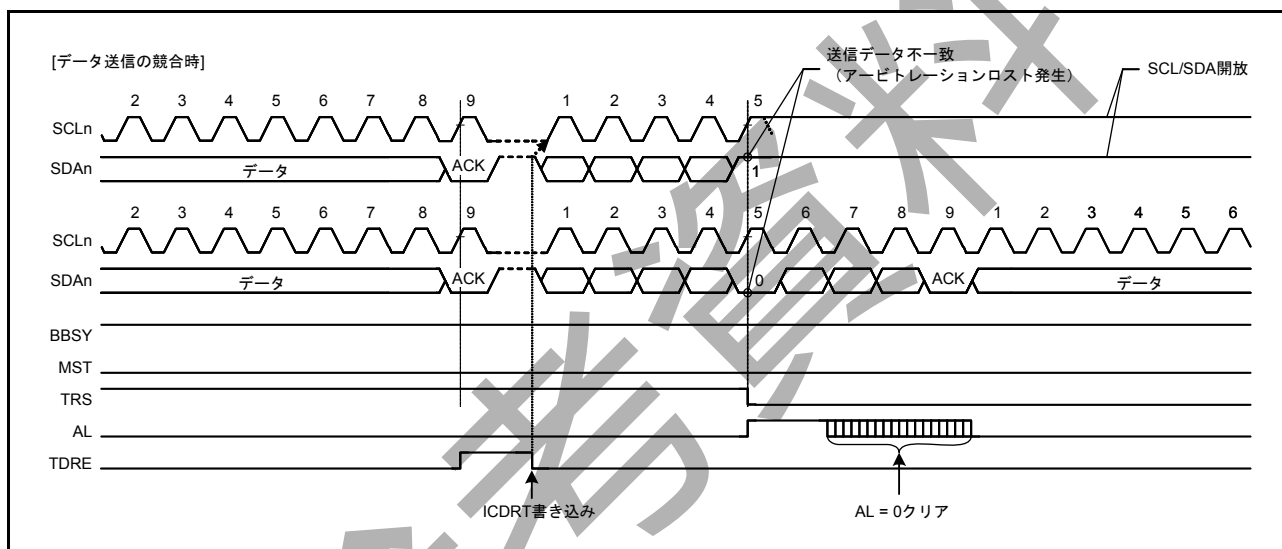


図 26.44 スレーブアービトレーションロスト検出動作例 (SALE = 1 の場合)

## 26.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

### 26.11.1 スタートコンディション発行動作

IICは、ICCR2.STビットが1のときにスタートコンディションを発行します。

STビットを1にすると、スタートコンディション要求が行われ、ICCR2.BBSYフラグが0（バスフリー状態）の場合、IICはスタートコンディションを発行します。スタートコンディションが正常に発行された場合、IICは自動的にマスタ送信モードへ遷移します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

1. SDA<sub>n</sub>ラインを立ち下げる（HighからLowに遷移）。
2. ICBRHレジスタで設定した時間とスタートコンディションのホールド時間が経過したことを確認する。
3. SCL<sub>n</sub>ラインを立ち下げる（HighからLowに遷移）。
4. SCL<sub>n</sub>ラインのLowを検出後、ICBRLレジスタで設定したSCL<sub>n</sub>ラインのLow幅が経過したことを確認する。

### 26.11.2 リスタートコンディション発行動作

IICは、ICCR2.RSビットが1のときリスタートコンディションを発行します。

RSビットを1にすると、リスタートコンディション要求が行われ、ICCR2.BBSYフラグが1（バスビジー状態）で、かつICCR2.MSTビットが1（マスタモード）の場合、IICはリスタートコンディションを発行します。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

[リスタートコンディション発行動作]

1. SDA<sub>n</sub>ラインを開放する。
2. ICBRLレジスタで設定したSCL<sub>n</sub>ラインのLow幅が経過したことを確認する。
3. SCL<sub>n</sub>ラインを開放する（LowからHighに遷移）。
4. SCL<sub>n</sub>ラインのHighを検出後、ICBRLレジスタで設定した時間とリスタートコンディションのセットアップ時間が経過したことを確認する。
5. SDA<sub>n</sub>ラインを立ち下げる（HighからLowに遷移）。
6. ICBRHレジスタで設定した時間とリスタートコンディションのホールド時間が経過したことを確認する。
7. SCL<sub>n</sub>ラインを立ち下げる（HighからLowに遷移）。
8. SCL<sub>n</sub>ラインのLowを検出後、ICBRLレジスタで設定したSCL<sub>n</sub>ラインのLow幅が経過したことを確認する。

注. リスタートコンディション要求の発行時、ICCR2.RSが0であることを確認してから、ICDRTレジスタにスレーブアドレスを書いてください。ICCR2.RSが1のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

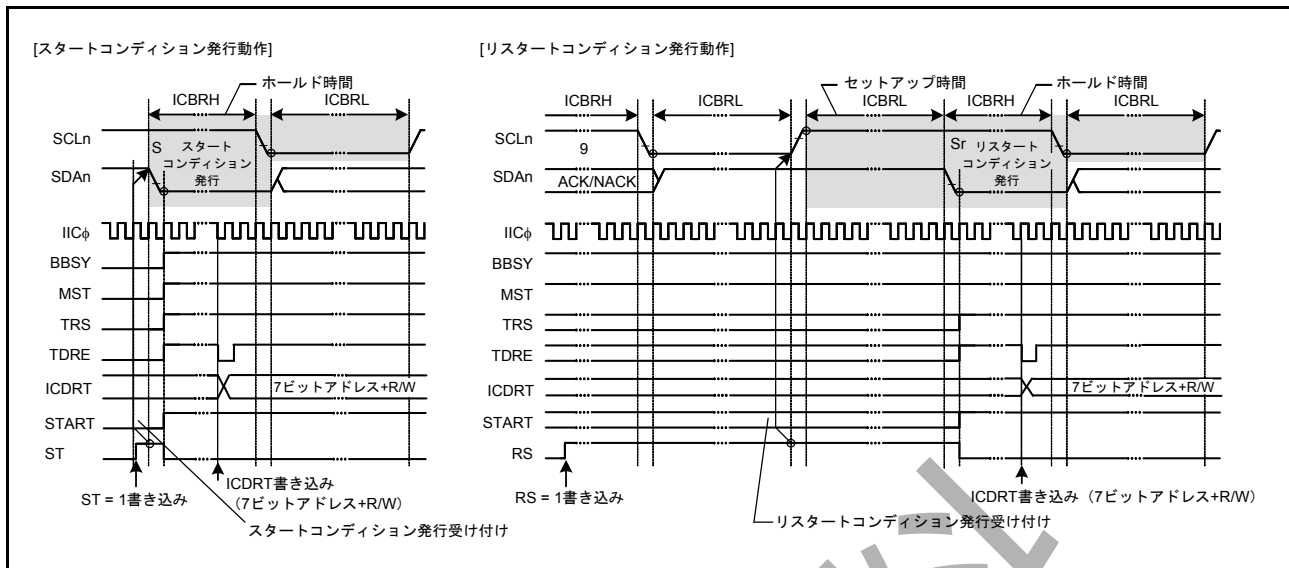


図 26.45 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

図 26.46 に、マスタ送信後にリスタートコンディションが発行されたときの動作タイミングを示します。

[マスタ送信後のリスタートコンディション発行動作]

1. 初期設定を行います。詳細は、26.3.2 初期設定を参照してください。
2. IICR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション要求) にします。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。同時に、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、内部の SDA 出力レベルと SDA<sub>n</sub> ラインのレベルが一致していれば、RIIC は ST ビットによるスタートコンディション発行が正常に行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、RIIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信が完了すると、送信された R/W# ビットの値に応じて自動的に TRS ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であったなら、RIIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。データを 10 ビットフォーマットのアドレスで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b (スレーブアドレスの上位 2 ビット) と W を書きます。2 回目のアドレス送信処理では ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、あるいは、リスタートコンディションまたはストップコンディションが発行されるまでの間、RIIC は自動的に SCL<sub>n</sub> ラインを Low にホールドします。
5. 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るのを待ってから、ICSR2.START フラグが 1 であることを確認した後、ICSR2.START フラグを 0 にしてください。
6. ICCR2.RS ビットを 1 (リスタートコンディション要求) にします。RIIC はこの要求を受け付けると、リスタートコンディションを発行します。
7. ICSR2.START フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。

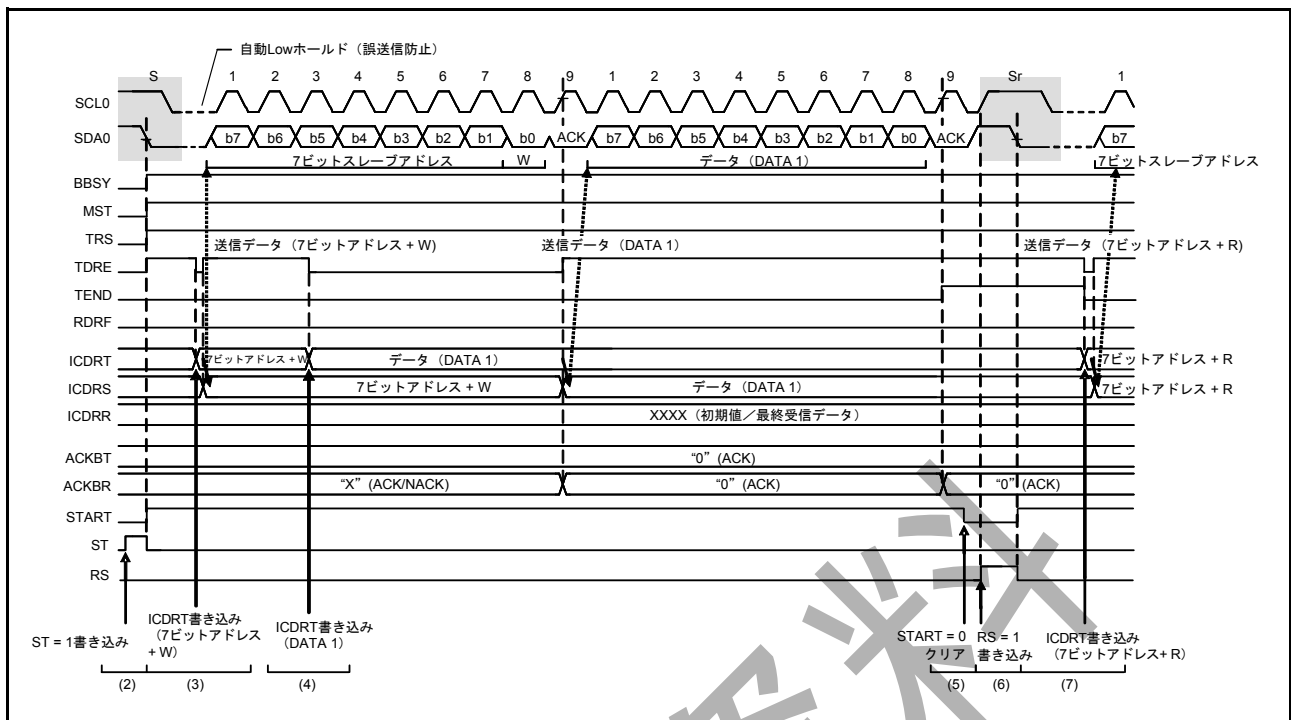


図 26.46 マスタ送信後のリスタートコンディション発行タイミング

### 26.11.3 ストップコンディション発行動作

IICは、ICCR2.SPビットが1のときストップコンディションを発行します。

SPビットを1にすると、ストップコンディション要求が行われ、ICCR2.BBSYフラグが1（バスビジー状態）で、かつICCR2.MSTビットが1（マスタモード）の場合、IICはストップコンディションを発行します。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

1. SDA<sub>n</sub> ラインを立ち下げる（High から Low に遷移）。
2. ICBRL レジスタで設定した SCL<sub>n</sub> ラインの Low 幅が経過したことを確認する。
3. SCL<sub>n</sub> ラインを開放する（Low から High に遷移）。
4. SCL<sub>n</sub> ラインの High 検出後、ICBRH レジスタで設定した時間とストップコンディションのセットアップ時間が経過したことを確認する。
5. SDA<sub>n</sub> ラインを開放する（Low から High に遷移）。
6. ICBRL レジスタで設定した時間とバスマスター時間が経過したことを確認する。
7. BBSY フラグをクリアしてバス権を解放する。

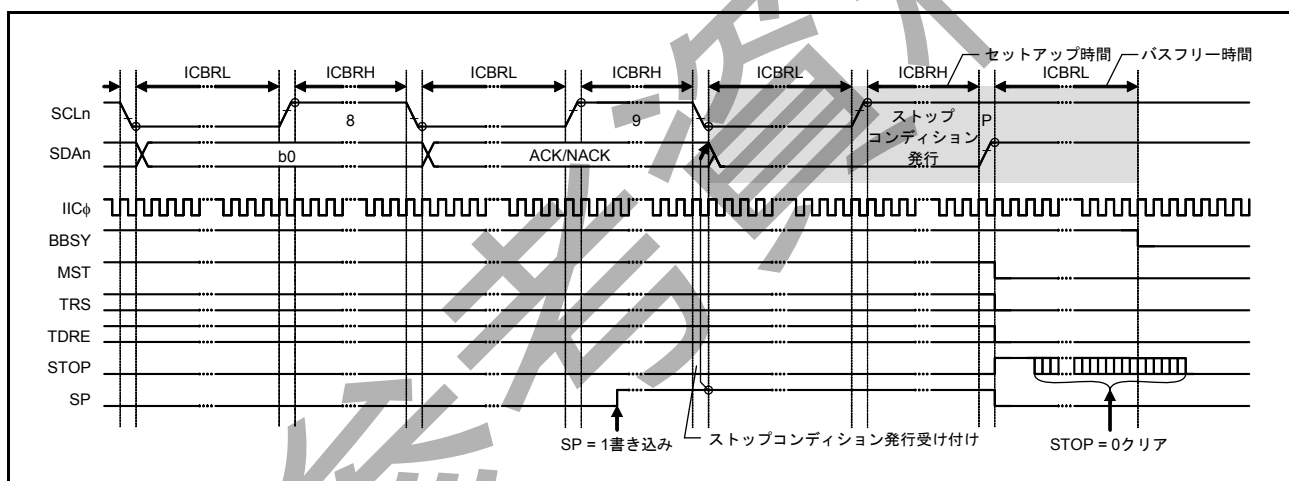


図 26.47 ストップコンディション発行動作タイミング (SP ビット)

## 26.12 バスハングアップ

I<sup>2</sup>Cバスでは、ノイズ等が原因でマスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCL<sub>n</sub>ラインやSDA<sub>n</sub>ラインが固定されたままバスハングアップを起こす場合があります。バスハングアップを管理するため、IICはSCL<sub>n</sub>ラインを監視してハングアップを検出するためのタイムアウト検出機能と、以下のようなバス状態を解除するためのSCLクロック追加出力機能を備えています。

- 同期ズレによるバスハングアップ状態
- IICリセット機能
- 内部リセット機能

ICCR1.SCLO、SDAO、SCLI、SDAIの各ビットをチェックすることで、IIC自身と通信相手のどちらがSCL<sub>n</sub>ラインまたはSDA<sub>n</sub>ラインをLowにしているのか確認することが可能です。

### 26.12.1 タイムアウト検出機能

タイムアウト検出機能では、SCL<sub>n</sub>ラインに一定時間以上変化が見られない状態を検出できます。IICは、SCL<sub>n</sub>ラインがLowまたはHighに固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することができます。

タイムアウト検出機能はSCL<sub>n</sub>ラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCL<sub>n</sub>ラインに変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL<sub>n</sub>ラインに変化がないために内部カウンタがオーバーフローすると、IICはタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、ICFER.TMOEビットが1のときのみ有効です。以下の条件でSCL<sub>n</sub>ラインがLow固定またはHigh固定の場合にバスハングアップを検出します。

- マスタモード (ICCR2.MSTビット=1) で、バスビジー (ICCR2.BBSYフラグ=1)
- スレーブモード (ICCR2.MSTビット=0) で、IICスレーブアドレス検出 (ICSR1レジスタ≠00h) かつバスビジー (ICCR2.BBSYフラグ=1)
- スタートコンディション要求中 (ICCR2.STビット=1) で、バスフリー (ICCR2.BBSYフラグ=0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして使用します。このカウンタは、ロングモード選択時 (ICMR2.TMOSビット=0) は16ビットカウンタ、ショートモード選択時 (TMOSビット=1) は14ビットカウンタとして機能します。

また、内部カウンタのカウント動作は、SCL<sub>n</sub>ラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH、TMOLビットで選択することが可能です。TMOLビットとTMOHビットの両方を0にした場合、内部カウンタは動作しません。





## 26.12.2 SCL クロック追加出力機能

マスタモード時、この機能は SCL クロックを追加出力して、スレーブデバイスとの同期ズレによるスレーブデバイスの SDA<sub>n</sub> ライン Low 固定状態を開放します。この機能は SCL クロックを IIC から追加出力する機能で、主にマスタモード時にスレーブデバイスの SDA<sub>n</sub> ラインの Low 固定状態を開放するために使用します。この機能は、バスエラーでスレーブデバイスが SDA<sub>n</sub> ラインを Low に固定しているために IIC がストップコンディションを発行できない場合、SCL クロックを 1 クロック単位で使用します。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

マスタモードで ICCR1.CLO ビットを 1 にすると、ICMR1.CKS[2:0] ビットおよび ICBRH、ICBRL レジスタで設定した転送速度の SCL クロックが、1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると、CLO ビットは自動的に 0 になります。ソフトウェアで CLO ビットが 0 であることを確認後、CLO ビットに 1 を書くことにより、追加クロックを連続的に出力することができます。

IIC モジュールがマスタモードであるとき、ノイズ等によるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが SDA<sub>n</sub> ラインを Low に固定したままであると、ストップコンディションを出力できません。この機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの SDA<sub>n</sub> ラインの Low 固定状態を開放させ、不安定なバス状態を回復できます。スレーブデバイスによる SDA<sub>n</sub> ラインの開放は、ICCR1.SDAI ビットを読みだすことで確認できます。スレーブデバイスによる SDA<sub>n</sub> ラインの開放を確認した後、再度ストップコンディションを発行して通信を終了させてください。

この機能を使用する場合、ICFER.MALE ビットを 0 (マスタアービトレーションロスト検出無効) にしてください。MALE ビットが 1 (有効) であると、ICCR1.SDAO ビットの値と SDA<sub>n</sub> ラインの状態が不一致のときにアービトレーションロストが発生します。

[ICCR1.CLO ビット使用時の出力条件]

- バスフリー状態 (ICCR2.BBSY フラグ = 0) またはマスタモード (ICCR2.MST ビット = 1、BBSY フラグ = 1) のとき
- 通信デバイスが SCL<sub>n</sub> ラインを Low ホールドにしていない状態のとき

図 26.49 に SCL クロック追加出力機能 (CLO ビット) の動作タイミングを示します。

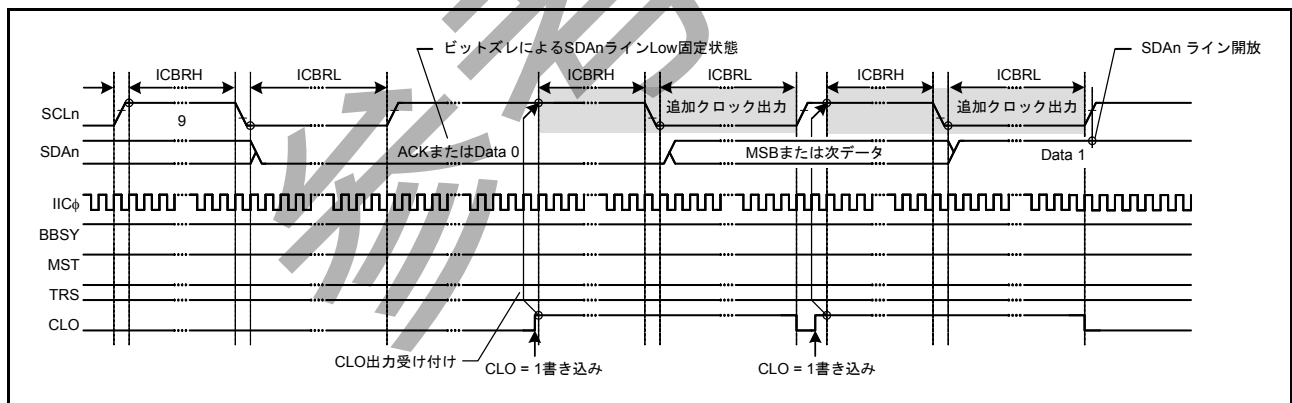


図 26.49 SCL クロック追加出力機能 (CLO ビット)

### 26.12.3 IICリセット、内部リセット

IICモジュールは、自身をリセットする機能を備えています。ICCR2.BBSYフラグを含めた全レジスタの初期化を行うIICリセットと、各種設定値を保持したままスレーブアドレス一致状態を解放して内部カウンタの初期化を行う内部リセットの2種類のリセットがあります。リセット後はICCR1.IICRSTビットを0にしてください。

いずれのリセットも、SCLn端子/SDAn端子の出力状態を解除してハイインピーダンスに戻すため、バスハングアップ状態を解除する効果があります。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になるので、使用は極力避けてください。また、IICリセット(ICCR1.ICE、IICRSTビット=01b)中は、スタートコンディションの有無など、バス状態の監視はできません。

IICリセットと内部リセットの詳細については、[26.15 各コンディション発行時のリセット、レジスタ、機能の状態](#)を参照してください。

参考資料

## 26.13 SMBus 動作

IIC は、SMBus 仕様 (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを 1 にしてください。転送速度が SMBus 規格の 10kbps ~ 100kbps の範囲に収まるように、ICMR1.CKS[2:0] ビットと ICBRH および ICBRL レジスタを設定してください。また、データホールド時間の規定値 300ns 以上を満たすように、ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。IIC をスレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、ICBRL レジスタにはデータセットアップ時間 (250ns) 以上の値を設定してください。

なお、SMBus デバイスデフォルトアドレス (1100 001b) には、スレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、対応する SARUy.FS ビット (y=0 ~ 2) (7 ビットまたは 10 ビットアドレスフォーマット選択ビット) を 0 (7 ビットアドレスフォーマット) にしてください。

また、UDID (ユニークデバイス ID) 送信時には、ICFER.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

### 26.13.1 SMBus タイムアウト測定

#### (1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは下記に示す区間 (タイムアウト間隔:  $T_{\text{LOW:SEXT}}$ ) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn) とストップコンディション検出割り込み (SPIn) を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間 (スレーブデバイス)  $T_{\text{LOW:SEXT}}$ : 25ms (max) 以内である必要があります。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト  $T_{\text{TIMEOUT}}$ : 25ms (min) を超えた場合、スレーブデバイスは ICCR1.IICRST ビットに 1 を書き込んで IIC の内部リセットを発行し、バスを解放する必要があります。内部リセットを行うと、IIC は SCLn 端子と SDA<sub>n</sub> 端子のバス駆動を中止し、両端子の出力をハイインピーダンスにします。これによって、バス解放を行うことができます。

#### (2) マスタデバイスのタイムアウト測定

SMBus 通信では、マスタデバイスは下記に示す区間 (タイムアウト間隔:  $T_{\text{LOW:MEXT}}$ ) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn)、ストップコンディション検出割り込み (SPIn)、送信終了割り込み (IICn\_TEI)、または受信データフル割り込み (IICn\_RXI) を利用して、GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス)  $T_{\text{LOW:MEXT}}$ : 10ms (max) 以内であり、かつスタートコンディションからストップコンディションまでのすべての  $T_{\text{LOW:MEXT}}$  の合計が  $T_{\text{LOW:SEXT}}$ : 25ms (max) 以内である必要があります。

ACK 受信タイミング (SCL クロックの 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICCR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICCR2.RDRF フラグで監視します。マスタ送信モード時は 1 バイト送信動作を行い、マスタ受信モード時は最終バイト受信の直前まで ICMR3.RDRFS ビットを 0 に保持してください。RDRFS ビットが 0 のとき、RDRF フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス)  $T_{\text{LOW:MEXT}}$ : 10ms (max) を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト  $T_{\text{TIMEOUT}}$ : 25ms (min) を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作 (ICDRT レジスタへの書き込み) を中止してください。

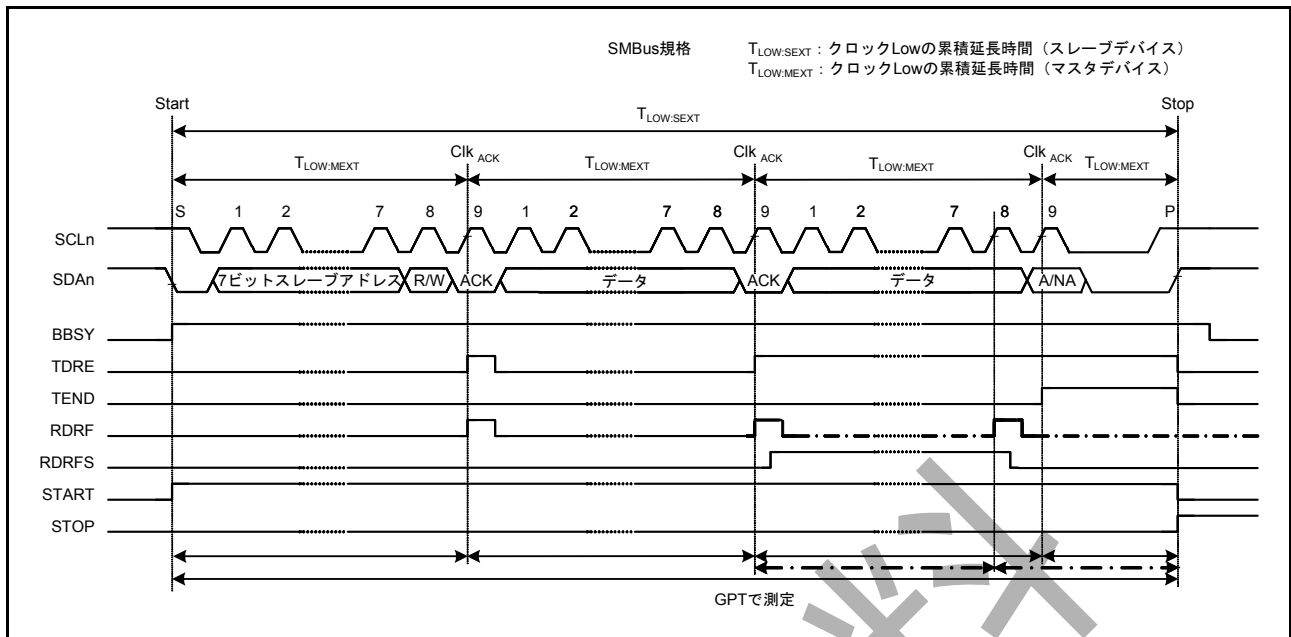


図 26.50 SMBus タイムアウト測定

### 26.13.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しており、この CRC 演算器を利用して、パケットエラーコード (PEC) の送信や、IIC の SMBus データ通信時の受信データチェックが可能です。CRC 演算器の生成多項式については、「[29. 巡回冗長検査 \(CRC\) 演算器](#)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで呼び出すことができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として、最終バイト受信時の結果 (一致/不一致) に応じた ACK/NACK 送出を行う場合は、最終バイト受信中の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを 1 にし、8 クロック目の立ち下がりまで SCLn ラインを Low にホールドしてください。

### 26.13.3 SMBus ホスト通知プロトコル (Notify ARP Master コマンド)

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト (または ARP マスタ) に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を使用する製品を SMBus ホストまたは ARP マスタとして動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があるため、IIC はホストアドレス検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、ICMR3.SMBS ビットを 1、ICSER.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

## 26.14 割り込み要因

IICが発行する割り込み要求には、通信エラー/イベント発生（アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンpty、送信終了の4種類があります。表 26.10 に割り込み要求の詳細を示します。受信データフルと送信データエンptyは、どちらも DTC を起動してデータ転送を行うことができます。

表 26.10 割り込み要因

シンボル	割り込み要因	割り込みフラグ	DTCの起動	割り込み条件
IICn_EEI (注5)	通信エラー/イベント発生	AL	不可能	AL = 1かつALIE = 1
		NACKF		NACKF = 1かつNAKIE = 1
		TMOF		TMOF = 1かつTMOIE = 1
		START		START = 1かつSTIE = 1
		STOP		STOP = 1かつSPIE = 1
IICn_RXI (注2)、(注5)	受信データフル	—	可能	RDRF = 1かつRIE = 1
IICn_TXI (注1)、(注5)	送信データエンpty	—	可能	TDRE = 1かつTIE = 1
IICn_TEI (注3)、(注5)	送信終了	TEND	不可能	TEND = 1かつTEIE = 1
IIC0_WUI (注4)	ウェイクアップ機能時にスレーブアドレス一致	WUF	不可能	(スレーブアドレス一致) (スレーブ受信完了) (RWAK動作ASY0 = 1) (WUIE = 1)

注. CPUによる周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延があります。割り込みフラグをクリアまたはマスクした場合は、関連するフラグを再度読み出し、クリアまたはマスク処理の完了を確認した後、割り込み処理から復帰させてください。そうしないと、同じ割り込み処理が繰り返される可能性があります。

注 1. IICn\_TXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn\_TXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ = 1) で自動的に 0 になります。

注 2. IICn\_RXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn\_RXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に 0 になります。

注 3. IICn\_TEI 割り込みを使用する場合、IICn\_TEI 割り込み処理で ICSR2.TEND フラグをクリアしてください。ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ = 1) で自動的に 0 になります。

注 4. ウェイクアップ機能はチャンネル 0 にしかないので、IIC0\_WUI はチャンネル 0 の場合しか使用しません。

注 5. チャンネル番号 (n = 0 または 1)

割り込み処理中に、それぞれのフラグをクリアまたはマスクしてください。

### 26.14.1 IICn\_TXI 割り込みおよび IICn\_RXI 割り込みのバッファ動作

対応する IR フラグが 1 のときに、IICn\_TXI 割り込みおよび IICn\_RXI 割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます。1 要因あたり 1 要求を内部に保持できます。

ICU.IELSRn.IR フラグが 0 になると、ICU に保存されていた割り込み要求が出力されます。通常の使用状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。また、内部的に保存されていた割り込み要求は、対応する周辺側の割り込み許可ビットを 0 にすることでクリアが可能です。

## 26.15 各コンディション発行時のリセット、レジスタ、機能の状態

IICは、リセット、IICリセット、および内部リセットの機能を備えています。表 26.11 に各コンディション発行時のリセット、レジスタ、および機能の状態を示します。

表 26.11 各コンディション発行時のリセット、レジスタ、機能の状態

レジスタ	チップリセット	IICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション またはリスタート コンディション検出	ストップコンディション 検出
ICCR1	ICE, IICRST	リセット	保持	保持	保持
	SCLO, SDAO		リセット		
	その他		保持		
ICCR2	BBSY	リセット	リセット	保持	セット
	ST		保持	リセット	保持
	TRS, MST		保持	セットまたは保持	リセット
	その他		保持	リセット	リセットまたは保持
ICMR1	BC[2:0]	リセット	リセット	リセット	保持
	その他		保持	保持	
ICMR2	リセット	リセット	保持	保持	保持
ICMR3	リセット	リセット	保持	保持	保持
ICFER	リセット	リセット	保持	保持	保持
ICSER	リセット	リセット	保持	保持	保持
ICIER	リセット	リセット	保持	保持	保持
ICSR1	リセット	リセット	リセット	保持	リセット
ICSR2	TDRE, TEND	リセット	リセット	リセット	保持
	START			保持	セット
	STOP			保持	セット
	その他			保持	保持
ICWUR	リセット	リセット	保持	保持	保持
SARL0, SARL1, SARL2 SARU0, SARU1, SARU2	リセット	リセット	保持	保持	保持
ICBRH, ICBRL	リセット	リセット	保持	保持	保持
ICDRT	リセット	リセット	保持	保持	保持
ICDRR	リセット	リセット	保持	保持	保持
ICDRS	リセット	リセット	リセット	保持	保持
ICWUR (注1)	リセット	リセット	保持	保持	保持
タイムアウト検出機能	リセット	リセット	動作	動作	動作
バスフリー時間計測	リセット	リセット	動作	動作	動作

注 1. IIC0のみ

## 26.16 イベントリンク出力機能

IIC0 および IIC1 モジュールは、イベントリンクコントローラ (ELC) に対して次の要因によってイベント出力を行います。

### (1) 通信エラーイベント

通信エラーイベントが発生すると、対応するイベント信号を ELC によって他のモジュールに出力できません。

### (2) 受信データフル

レシーブデータレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

### (3) 送信データエンプティ

トランスミットデータレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

### (4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

### 26.16.1 割り込み処理とイベントリンク機能

IIC の各割り込み (表 26.10 参照) には、対応する割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットが設定されている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。割り込み要因については、表 26.10 を参照してください。

## 26.17 使用上の注意事項

### 26.17.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) を使用して、モジュールストップ状態の遷移または解除が可能です。IIC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタ B の詳細については、「10. 低消費電力モード」を参照してください。

### 26.17.2 転送開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で IIC の割り込みに対応した IR フラグが 1 であれば、動作を許可する前に下記の手順で割り込み要求をクリアしてください。ICCR1.ICE ビットが 1 の状態で IR フラグを 1 にして通信を開始すると、通信開始後、割り込み要求が内部で保持されるため、IR フラグが予期しない動作となる可能性があります。

1. ICCR1.ICE ビットが 0 であることを確認する。
2. 周辺機能で対応する割り込み許可ビット (ICIER.TIE など) を 0 にする。
3. 周辺機能で対応する割り込み許可ビット (ICIER.TIE など) を読み出して、0 であることを確認する。
4. IR フラグを 0 にする。

## 27. CAN (Controller Area Network) モジュール

本 MCU は 1 つの CAN (Controller Area Network) モジュールを内蔵しています。

### 27.1 概要

CAN モジュールは、電磁的ノイズの多いアプリケーションにおいて、メッセージベースのプロトコルを用いて複数のスレーブとマスタの間でデータの送受信を行います。このモジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠し、最大 32 個のメールボックスをサポートしています。これらは、通常のメールボックスモードと FIFO モードでの送受信に設定可能です。標準 (11 ビット) と拡張 (29 ビット) の両方のメッセージフォーマットに対応しています。

CAN モジュールには、追加の外部 CAN トランシーバが必要です。

表 27.1 に CAN モジュールの特徴を、図 27.1 に CAN モジュールのブロック図を示します。

表 27.1 CANモジュールの特徴 (1/2)

項目	内容
データ転送	ISO11898-1 準拠の標準フレームと拡張フレーム
ビットレート	最大 1Mbps にプログラム可能 (fCAN ≥ 8MHz) fCAN : CAN クロックソース
メッセージボックス	32 メールボックスに対し、下記の 2 種類のメールボックスモードを選択可能 <ul style="list-style-type: none"> <li>• 通常モード : 32 メールボックスを送信または受信用に個別に設定可能</li> <li>• FIFO モード : 24 メールボックスを送信または受信用に個別に設定可能、残りのメールボックスは受信および送信用の 4 段 FIFO で使用</li> </ul>
受信	<ul style="list-style-type: none"> <li>• データフレームとリモートフレームの受信をサポート</li> <li>• 受信 ID フォーマットは、標準 ID のみ、拡張 ID のみ、またはミックス ID を選択可能</li> <li>• ワンショット受信機能をプログラム可能</li> <li>• オーバーライトモード (未読メッセージ上書き) またはオーバーランモード (未読メッセージ保持) を選択可能</li> <li>• メールボックスごとに個別に受信完了割り込みを許可または禁止</li> </ul>
アクセプタンスフィルタ	<ul style="list-style-type: none"> <li>• 8 つのアクセプタンスマスク (4 メールボックスごとに 1 つ)</li> <li>• メールボックスごとに個別にマスクを許可または禁止</li> </ul>
送信	<ul style="list-style-type: none"> <li>• データフレームとリモートフレームの送信をサポート</li> <li>• 送信 ID フォーマットは、標準 ID のみ、拡張 ID のみ、またはミックス ID に選択可能</li> <li>• ワンショット送信機能を選択可能</li> <li>• ブロードキャストメッセージ機能</li> <li>• メッセージ ID またはメールボックス番号に基づく優先モードを選択可能</li> <li>• 送信要求アボートをサポート、アボート完了はステータスフラグで確認可能</li> <li>• メールボックスごとに個別に送信完了割り込みを許可または禁止</li> </ul>
バスオフ復帰のモード遷移	バスオフ状態からの復帰のモード遷移を選択可能 : <ul style="list-style-type: none"> <li>• ISO11898-1 仕様準拠</li> <li>• バスオフ開始で自動的に CAN halt モードへ遷移</li> <li>• バスオフ終了で自動的に CAN halt モードへ遷移</li> <li>• ソフトウェアにより CAN halt モードへ遷移</li> <li>• ソフトウェアによりエラーアクティブ状態へ遷移</li> </ul>
エラー状態の監視	<ul style="list-style-type: none"> <li>• CAN バスエラー (スタッフエラー、フォームエラー、ACK エラー、15 ビット CRC エラー、ビットエラー、ACK デリミタエラー) の監視</li> <li>• エラー状態 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) への遷移の検出</li> <li>• エラーカウンタ読み出しのサポート</li> </ul>
タイムスタンプ機能	<ul style="list-style-type: none"> <li>• 16 ビットカウンタによるタイムスタンプ機能</li> <li>• 基準クロックは、1、2、4、8 ビットタイム期間から選択可能</li> </ul>
割り込み機能	<ul style="list-style-type: none"> <li>• 5 種類の割り込み要因をサポート : 受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み</li> </ul>
CAN スリープモード 1	CAN クロック停止による消費電力の削減
ソフトウェアサポートユニット	3 つのソフトウェアサポートユニット : <ul style="list-style-type: none"> <li>• アクセプタンスフィルタサポート</li> <li>• メールボックス検索サポート (受信メールボックス検索、送信メールボックス検索、メッセージロスト検索)</li> <li>• チャネル検索サポート</li> </ul>





CAN モジュールには、次のブロックが含まれます。

- CRX0 および CTX0  
CAN の入力および出力端子
- プロトコルコントローラ  
バスアービトラーション、送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。
- メールボックス  
送信または受信のいずれかに設定可能な 32 個のメールボックスで構成されます。各メールボックスは、固有の ID、データ長コード (DLC)、データフィールド (8 バイト)、およびタイムスタンプを持ちます。
- アクセプタンスフィルタ  
MKRk レジスタの設定値を使用して、受信したメッセージのフィルタ処理を行います。
- タイマ  
タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値が、タイムスタンプとして書き込まれます。
- 割り込み発生回路  
下記の 5 種類の割り込みを生成します。
  - CAN0 受信完了割り込み
  - CAN0 送信完了割り込み
  - CAN0 受信 FIFO 割り込み
  - CAN0 送信 FIFO 割り込み
  - CAN0 エラー割り込み

CAN モジュールは、表 27.2 に示す端子で通信します。これらは、本 MCU の他の信号との兼用端子です。詳細は、「16. I/O ポート」を参照してください。

表 27.2 端子構成

端子名	入出力	機能
CRX0	入力	データ受信端子
CTX0	出力	データ送信端子

## 27.2 レジスタの説明

## 27.2.1 コントロールレジスタ (CTRLR)

アドレス CAN0.CTRLR 4005 0840h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RBOC	BOM[1:0]	SLPM	CANM[1:0]	TSPS[1:0]	TSRC	TPM	MLM	IDFM[1:0]	MBM				
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBM	CAN メールボックスモード選択 (注1)	0 : 通常メールボックスモード 1 : FIFO メールボックスモード	R/W
b2-b1	IDFM[1:0]	ID フォーマットモード選択 (注1)	b2 b1 0 0 : 標準IDモード FIFO メールボックスを含むすべてのメールボックスは標準IDのみを処理します。 0 1 : 拡張IDモード FIFO メールボックスを含むすべてのメールボックスは拡張IDのみを処理します。 1 0 : ミックスIDモード FIFO メールボックスを含むすべてのメールボックスは標準IDと拡張IDの両方を処理します。通常メールボックスモードでは、対応するIDEビットを使用して標準IDと拡張IDを識別してください。FIFO メールボックスモードでは、対応するIDEビットはメールボックス0~23に使用します。FIDCR0およびFIDCR1レジスタのIDEビットは受信FIFO用に、メールボックス24に対応するIDEビットは送信FIFO用に使用します。 1 1 : 設定禁止	R/W
b3	MLM	メッセージロストモード選択 (注1)	0 : オーバーライトモード 1 : オーバーランモード	R/W
b4	TPM	送信優先順位モード選択 (注1)	0 : ID優先送信モード 1 : メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリセットコマンド (注4)	0 : タイムスタンプカウンタをリセットしない 1 : タイムスタンプカウンタをリセットする (注3)	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケール選択 (注1)	b7 b6 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	R/W
b9-b8	CANM[1:0]	CANモード動作選択 (注5)	b9 b8 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CAN haltモード 1 1 : CANリセットモード (強制遷移)	R/W
b10	SLPM	CANスリープモード (注5)、(注6)	0 : スリープモードから復帰 1 : スリープモードへ遷移	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード (注1)	b12 b11 0 0 : 通常モード (ISO11898-1 準拠) 0 1 : バスオフ状態開始で自動的にCAN haltモードへ遷移 1 0 : バスオフ状態終了で自動的にCAN haltモードへ遷移 1 1 : ソフトウェア要求によりバスオフ復帰期間中にCAN haltモードへ遷移	R/W
b13	RBOC	バスオフからの強制復帰 (注2)	0 : 復帰しない 1 : バスオフ状態から強制復帰 (注3)	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、MBM ビットは、CAN リセットモード時に書き込みを行ってください。

注2. RBOC ビットはバスオフ状態で1にしてください。

- 注3. このビットは、1にした後、自動的に0になります。読むと0が読めます。
- 注4. TSRCビットはCANオペレーションモード時に1にしてください。
- 注5. CANM[1:0]およびSLPMビットを変更した場合は、STRレジスタでモードが切り替わったことを確認してください。モードが切り替わるまで、CANM[1:0]ビットまたはSLPMビットを変更しないでください。
- 注6. SLPMビットは、CANリセットモードまたはCANhaltモード時に書き込みを行ってください。SLPMビットを変更する場合は、SLPMビットのみに0または1を書いてください。

### MBM ビット (CAN メールボックスモード選択)

MBMビットが0 (通常メールボックスモード) の場合、メールボックス0～31は送信または受信メールボックスに設定されます。

MBMビットが1 (FIFO メールボックスモード) の場合：

- メールボックス0～23は送信または受信メールボックスに設定される
- メールボックス24～27は送信FIFOに設定される
- メールボックス28～31は受信FIFOに設定される
- 送信データは、メールボックス24 (送信FIFOのウィンドウメールボックス) に書き込まれる
- 受信データは、メールボックス28 (受信FIFOのウィンドウメールボックス) から読み出される

表 27.3 にメールボックスの構成を示します。

### IDFM[1:0] ビット (ID フォーマットモード選択)

IDFM[1:0]ビットは、IDフォーマットを指定します。

### MLM ビット (メッセージロストモード選択)

MLMビットは、未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。いずれの場合も、選択したモードが受信FIFOを含めたすべてのメールボックスに適用されます。

MLMが0の場合、すべてのメールボックスはオーバーライトモードになります。新しいメッセージを受信すると、それによって既存のメッセージが上書きされます。

MLMが1の場合、すべてのメールボックスはオーバーランモードになります。新しいメッセージを受信すると、それは既存のメッセージを上書きすることなく、破棄されます。

### TPM ビット (送信優先順位モード選択)

TPMビットは、メッセージを送信する場合の優先順位を指定します。ID優先送信モードまたはメールボックス番号送信モードから選択できます。すべてのメールボックスは、ID優先送信またはメールボックス番号優先送信のどちらかになります。

TPMビットが0の場合、ID優先送信モードが選択され、送信優先順位はISO11898-1のCAN仕様に定められているように調停されます。ID優先送信モードでは、メールボックス0～31 (通常メールボックスモード時)、メールボックス0～23 (FIFOメールボックスモード時)、および送信FIFOが、送信用に設定されたメールボックスのIDと比較されます。2つ以上のメールボックスIDが同一であると、小さい番号のメールボックスが優先されます。

送信FIFOから送信される次のメッセージのみが、送信アービトレーションの対象となります。FIFOメッセージを送信中の場合、送信FIFO内の次の待機メッセージがアービトレーションの対象となります。

TPMビットが1の場合、メールボックス番号送信モードが選択され、一番小さい番号の送信メールボックスが最優先されます。FIFOメールボックスモードでは、送信FIFOは通常メールボックス (0～23) よりも優先順位が低くなります。

### TSRC ビット (タイムスタンプカウンタリセットコマンド)

TSRCビットは、タイムスタンプカウンタをリセットします。TSRCビットを1にすると、TSRレジスタが00hになります。TSRCビットは、自動的に0にクリアされます。

### TSPS[1:0] ビット (タイムスタンププリスケアラ選択)

TSPS[1:0] ビットは、タイムスタンプ用のプリスケアラを選択します。タイムスタンプ用の基準クロックは、1、2、4、または8 ビットタイム期間から選択できます。

### CANM[1:0] ビット (CAN モード動作選択)

CANM[1:0] ビットは、CAN モジュールのモードを下記から1つ選択します。

- CAN オペレーションモード
- CAN リセットモード
- CAN halt モード

CAN スリープモードは SLPM ビットで設定します。

CAN モジュールが、BOM[1:0] ビットの設定値に基づいて CAN halt モードへ遷移した場合、CANM[1:0] ビットは自動的に 10b になります。

詳細は、27.3 動作モードを参照してください。

### SLPM ビット (CAN スリープモード)

SLPM ビットを1にすると、CAN モジュールは CAN スリープモードへ遷移します。SLPM ビットを0にすると、CAN モジュールは CAN スリープモードから復帰します。詳細は、27.3 動作モードを参照してください。

### BOM[1:0] ビット (バスオフ復帰モード)

BOM[1:0] ビットは、CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが 00b の場合、ISO11898-1 仕様に準拠してバスオフから復帰します。CAN モジュールは、11 の連続するレセシブビットを 128 回検出すると、CAN 通信 (エラーアクティブ状態) を復帰させます。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが 01b の場合、CAN モジュールがバスオフ状態に達すると、CANM[1:0] ビットが 10b になり CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタが 00h になります。

BOM[1:0] ビットが 10b の場合、CAN モジュールがバスオフ状態に達すると、ただちに CANM[1:0] ビットが 10b になります。CAN モジュールは、11 の連続するレセシブビットを 128 回検出してバスオフ状態から復帰した後、CAN halt モードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタと RECR レジスタは 00h になります。

BOM[1:0] ビットが 11b の場合、CAN モジュールがまだバスオフ状態のときに CANM[1:0] ビットを 10b にすると、CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは 00h になります。ただし、CANM[1:0] ビットを 10b にする前に、11 の連続するレセシブビットを 128 回検出して CAN モジュールがバスオフから復帰した場合は、割り込みが発生します。

CAN モジュールが CAN halt モードへ遷移しようとしたとき (BOM[1:0] ビット = 01b のときはバスオフ開始時、BOM[1:0] ビット = 10b のときはバスオフ終了時)、同時に CPU が CAN リセットモードへの遷移を要求すると、CPU 要求の CAN リセットモードへの遷移が優先されます。

### RBOC ビット (バスオフからの強制復帰)

バスオフ状態のとき RBOC ビットを1にすると、CAN モジュールは強制的にバスオフを終了させます。RBOC ビットは自動的に0になり、エラー状態はバスオフからエラーアクティブに変化します。RBOC ビットを1にすると、RECR および TECR レジスタが 00h になり、STR.BOST ビットが0になって、バスオフ状態ではないことを示します。他のレジスタは RBOC ビットを1にしても変化しません。バスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM[1:0] ビットが 00b (通常モード) の場合にのみ使用してください。

表 27.3 メールボックスの構成

メールボックス	MBM ビット = 0 (通常メールボックスモード)	MBM ビット = 1 (FIFO メールボックスモード) (注1) ~ (注5)
メールボックス 0 ~ 23	通常メールボックス	通常メールボックス
メールボックス 24 ~ 27		送信 FIFO
メールボックス 28 ~ 31		受信 FIFO

- 注 1. 送信 FIFO は TFCR レジスタで制御します。メールボックス 24 ~ 27 に対応する MCTL\_TXj レジスタは無効です。MCTL\_TX24 ~ MCTL\_TX27 レジスタは送信 FIFO では使用できません。
- 注 2. 受信 FIFO は RFCR レジスタで制御します。メールボックス 28 ~ 31 に対応する MCTL\_RXj レジスタは無効です。MCTL\_RX28 ~ MCTL\_RX31 レジスタは受信 FIFO では使用できません。
- 注 3. FIFO 割り込みについては、MIER\_FIFO レジスタの説明を参照してください。
- 注 4. メールボックス 24 ~ 31 に対応する MKIVLR レジスタのビットは無効です。これらのビットは 0 にしてください。
- 注 5. 送信および受信 FIFO は、データフレームとリモートフレームの両方に使用可能です。

参考資料

## 27.2.2 ビットコンフィグレーションレジスタ (BCR)

アドレス CAN0.BCR 4005 0844h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
TSEG1[3:0]				—	—	BRP[9:0]									
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	SJW[1:0]		—	TSEG2[2:0]			—	—	—	—	—	—	—	CCLKS
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CANクロックソース選択	0: 設定禁止 1: CANMCLK (メインクロック発振器から生成) CANモジュール使用時は、このビットを1にする必要があります。	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御	b10 b8 0 0 0: 設定禁止 0 0 1: 2Tq 0 1 0: 3Tq 0 1 1: 4Tq 1 0 0: 5Tq 1 0 1: 6Tq 1 1 0: 7Tq 1 1 1: 8Tq	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	SJW[1:0]	同期ジャンプ幅制御	b13 b12 0 0: 1Tq 0 1: 2Tq 1 0: 3Tq 1 1: 4Tq	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b16	BRP[9:0]	ポーレートプリスケアラ選択 (注1)	これらのビットはCAN通信クロック (fCANCLK) の周波数を設定します。	R/W
b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b28	TSEG1[3:0]	タイムセグメント1制御	b31 b28 0 0 0 0: 設定禁止 0 0 0 1: 設定禁止 0 0 1 0: 設定禁止 0 0 1 1: 4Tq 0 1 0 0: 5Tq 0 1 0 1: 6Tq 0 1 1 0: 7Tq 0 1 1 1: 8Tq 1 0 0 0: 9Tq 1 0 0 1: 10Tq 1 0 1 0: 11Tq 1 0 1 1: 12Tq 1 1 0 0: 13Tq 1 1 0 1: 14Tq 1 1 1 0: 15Tq 1 1 1 1: 16Tq	R/W

Tq : Time Quantum

注1. SCKCR3.CKSEL[2:0] ビットが010b (メインクロック発振器選択) の場合、1未満の値を選択しないでください。

ビットタイミングの設定については、[27.4 データ転送レートの設定](#)を参照してください。BCR レジスタは、CAN リセットモードから CAN halt モードまたは CAN オペレーションモードへ遷移する前に設定してください。このレジスタは、いったん設定した後も、CAN リセットモードまたは CAN halt モードで書き込みができます。32 ビットでリード/ライトアクセスする場合、ビット 0 ~ 7 を変更しないように行う必要があります。

#### **TSEG2[2:0] ビット (タイムセグメント 2 制御)**

TSEG2[2:0] ビットは、フェーズバッファセグメント 2 (PHASE\_SEG2) の長さを指定します。2 ~ 8Tq の値が設定可能です。TSEG1[3:0] ビット値未満の値を設定してください。

#### **SJW[1:0] ビット (同期ジャンプ幅制御)**

SJW[1:0] ビットは、同期ジャンプ幅を指定します。1 ~ 4Tq の値が設定可能です。TSEG2[2:0] ビット値以下の値を設定してください。

#### **BRP[9:0] ビット (ポーレートプリスケール選択)**

BRP[9:0] ビットは、CAN 通信クロック (fCANCLK) の周波数を設定します。fCANCLK の周期が 1Tq となります。設定値を P (0 ~ 1023) とすると、ポーレートプリスケールは fCAN を P+1 で分周します。

#### **TSEG1[3:0] ビット (タイムセグメント 1 制御)**

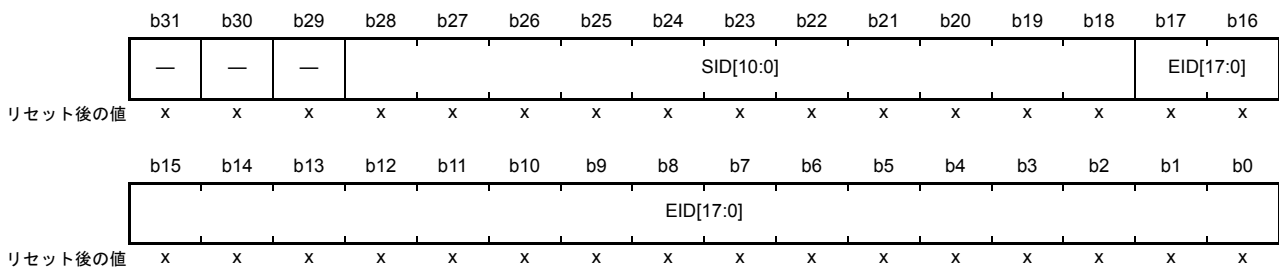
TSEG1[3:0] ビットは、プロパゲーションタイムセグメント (PROP\_SEG) とフェーズバッファセグメント 1 (PHASE\_SEG1) の合計長を指定します。4 ~ 16Tq の値が設定可能です。

参考資料



### 27.2.3 マスクレジスタ k (MKRk) (k = 0 ~ 7)

アドレス CAN0.MKR[0] 4005 0400h ~ CAN0.MKR[7] 4005 041Ch



x: 不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	0: 対応するEID[17:0]ビットを比較しない 1: 対応するEID[17:0]ビットを比較する	R/W
b28-b18	SID[10:0]	標準ID	0: 対応するSID[10:0]ビットを比較しない 1: 対応するSID[10:0]ビットを比較する	R/W
b31-b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

FIFO メールボックスモードでのマスク機能については、[27.6 アクセプタンスフィルタ機能とマスク機能](#)を参照してください。

MKRk レジスタは、CAN リセットモードまたは CAN halt モード時に書き込みを行ってください。

#### EID[17:0] ビット (拡張 ID)

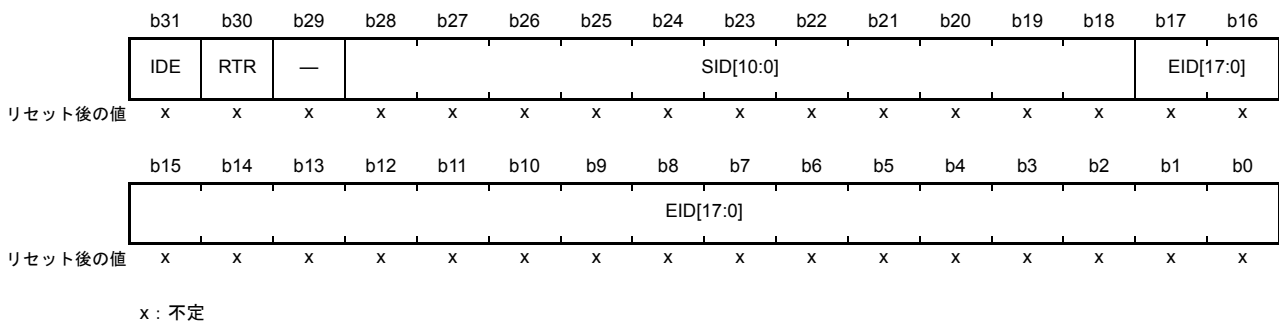
EID[17:0] ビットは、CAN 拡張 ID ビットに対応するフィルタマスクビットです。拡張 ID のメッセージを受信するために使用します。EID[17:0] ビットが 0 の場合、受信した各 ID ビットは、対応するメールボックスの ID ビットと比較されません。EID[17:0] ビットが 1 の場合、受信した各 ID ビットは、対応するメールボックスの ID ビットと比較されます。

#### SID[10:0] ビット (標準 ID)

SID[10:0] ビットは、CAN 標準 ID ビットに対応するフィルタマスクビットです。標準 ID と拡張 ID の両メッセージを受信するために使用します。SID[10:0] ビットが 0 の場合、受信した各 ID ビットは、対応するメールボックスの ID ビットと比較されません。SID[10:0] ビットが 1 の場合、受信した各 ID ビットは、対応するメールボックスの ID ビットと比較されます。

## 27.2.4 FIFO 受信 ID 比較レジスタ 0 および 1 (FIDCR0 および FIDCR1)

アドレス CAN0.FIDCR0 4005 0420h, CAN0.FIDCR1 4005 0424h



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	拡張IDビット [17:0]	R/W
b28-b18	SID[10:0]	標準ID	標準IDビット [10:0]	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	RTR	リモート送信要求	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID拡張(注1)	0: 標準ID 1: 拡張ID	R/W

注1. IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。CTRL.IDFM[1:0] ビットが 10b 以外の値の場合、IDE ビットには 0 を書き、読むと 0 が読めるようにします。

FIDCR0 および FIDCR1 レジスタは、CTRL.MBM ビットが 1 (FIFO メールボックスモード) の場合に有効です。FIFO メールボックスモードでは、MB28 ~ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、および IDE ビットは無効です。FIDCR0 および FIDCR1 レジスタは、CAN リセットモードまたは CAN halt モード時に書き込みを行ってください。FIDCR0 および FIDCR1 レジスタの使用方法については、[27.6 アクセプタンスフィルタ機能とマスク機能](#)を参照してください。

**EID[17:0] ビット (拡張 ID)**

EID[17:0] ビットは、データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを受信するために使用します。

**SID[10:0] ビット (標準 ID)**

SID[10:0] ビットは、データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを受信するために使用します。

**RTR ビット (リモート送信要求)**

RTR ビットは、フレームフォーマットをデータフレームまたはリモートフレームに設定します。

- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 0 の場合、データフレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 1 の場合、リモートフレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビット同士が異なる値の場合、データフレームとリモートフレームの両方を受信

**IDE ビット (ID 拡張)**

IDE ビットは、ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。

- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 0 の場合、標準 ID フレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 1 の場合、拡張 ID フレームのみ受信

- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビット同士が異なる値の場合、標準 ID フレームと拡張 ID フレームの両方を受信

## 27.2.5 マスク無効レジスタ (MKIVLR)

アドレス CAN0.MKIVLR 4005 0428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	マスク無効	0: マスク有効 1: マスク無効	R/W

MKIVLR レジスタの各ビットは、同じ番号のメールボックスに対応しています。MKIVLR レジスタのビット 0 はメールボックス 0 (MB0) に対応し、ビット 31 はメールボックス 31 (MB31) に対応しています。

注. FIFO メールボックスモード時は MKIVLR[31:24] を 0 にしてください。

MBn ビットを 1 にすると、対応するメールボックスのアクセプタンスマスクレジスタが無効になります。MBn ビットを 1 にすると、受信メッセージの ID がメールボックスの ID に完全に一致する場合にのみ、対応するメールボックスによってメッセージが受信されます。

MKIVLR レジスタは、CAN リセットモードまたは CAN halt モード時に書き込みを行ってください。

### 27.2.6 メールボックスレジスタ j (MBj\_ID、MBj\_DL、MBj\_Dm、MBj\_TS) (j = 0 ~ 31、m = 0 ~ 7)

表 27.4 に CAN メールボックスのメモリ配置を、表 27.5 に CAN データフレームの構成を示します。

リセット後、CAN メールボックスの値は不定です。

MBj\_ID、MBj\_DL、MBj\_Dm、MBj\_TS は、対応する MCTL\_TXj または MCTL\_RXj (j = 0 ~ 31) レジスタが 00h で、かつ対応するメールボックスがアボート要求を処理していない場合に限り書き込みを行ってください。

具体的なレジスタアドレスについては表 27.4 を参照してください。

表 27.4 CANメールボックスのメモリ配置

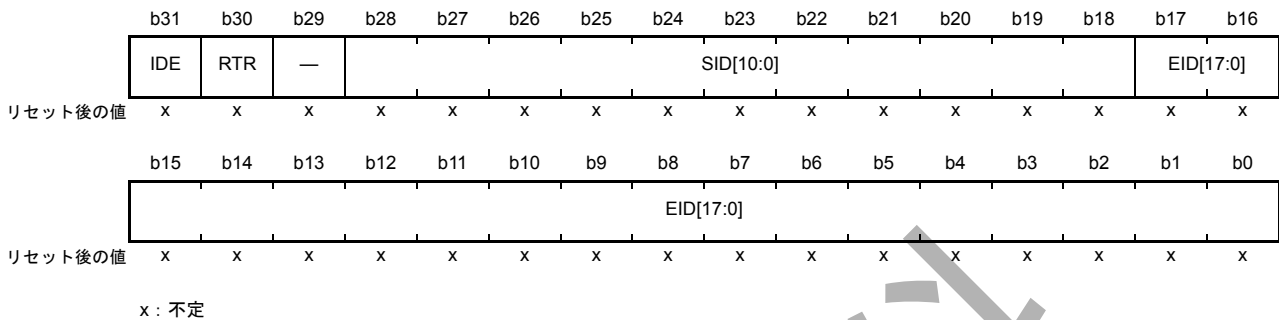
アドレス	マッピングされるメッセージ内容
4005 0200h + 16 × j + 0	IDE、RTR、SID10~SID6
4005 0200h + 16 × j + 1	SID5~SID0、EID17、EID16
4005 0200h + 16 × j + 2	EID15~EID8
4005 0200h + 16 × j + 3	EID7~EID0
4005 0200h + 16 × j + 4	—
4005 0200h + 16 × j + 5	データ長コード (DLC[3:0])
4005 0200h + 16 × j + 6	データバイト0
4005 0200h + 16 × j + 7	データバイト1
4005 0200h + 16 × j + 8	データバイト2
4005 0200h + 16 × j + 9	データバイト3
4005 0200h + 16 × j + 10	データバイト4
4005 0200h + 16 × j + 11	データバイト5
4005 0200h + 16 × j + 12	データバイト6
4005 0200h + 16 × j + 13	データバイト7
4005 0200h + 16 × j + 14	上位バイトタイムスタンプ
4005 0200h + 16 × j + 15	下位バイトタイムスタンプ

表 27.5 CANデータフレームの構成

SID10~SID6	SID5~SID0	EID17~EID16	EID15~EID8	EID7~EID0	DLC3~DLC1	DATA0	DATA1	...	DATA7
------------	-----------	-------------	------------	-----------	-----------	-------	-------	-----	-------

各メールボックスの内容は、新しいメッセージを受信しない限り、以前の値を保持します。

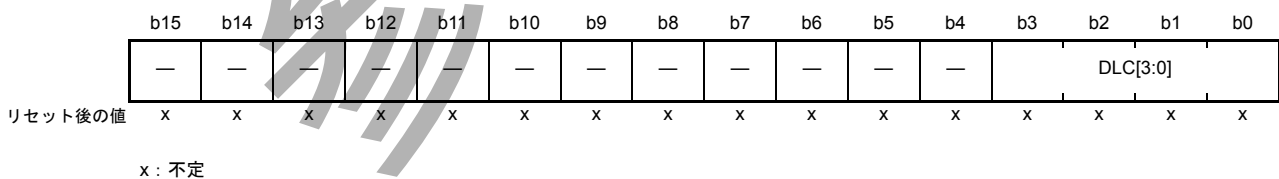
アドレス CAN0.MB0\_ID4005 0200h~CAN0.MB31\_ID 4005 03F0h



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID(注1)	拡張IDビット [17:0]	R/W
b28-b18	SID[10:0]	標準ID	標準IDビット [17:0]	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	RTR	リモート送信要求	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID拡張(注2)	0: 標準ID 1: 拡張ID	R/W

- 注 1. メールボックスが標準IDのメッセージを受信すると、そのメールボックスのEIDビット値は不定になります。  
 注 2. IDEビットは、CTRL.IDFM[1:0]ビットが10b(ミックスIDモード)の場合に有効です。IDFM[1:0]ビットが10b以外の値の場合、IDEビットには0を書き、読むと0が読めるようにします。

アドレス CAN0.MB0\_DL4005 0204h~CAN0.MB31\_DL 4005 03F4h

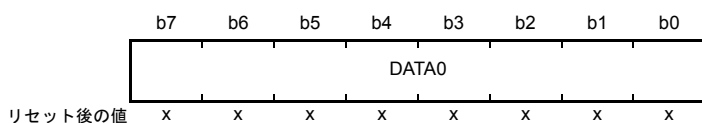


ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	データ長コード(注1)	b3 b0 0000: データ長 = 0バイト 0001: データ長 = 1バイト 0010: データ長 = 2バイト 0011: データ長 = 3バイト 0100: データ長 = 4バイト 0101: データ長 = 5バイト 0110: データ長 = 6バイト 0111: データ長 = 7バイト 1xxx: データ長 = 8バイト	R/W
b15-b4	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

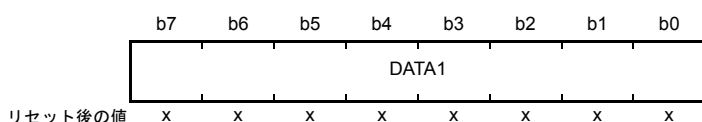
x: Don't care

- 注 1. メールボックスが、8バイト未満のデータ長のメッセージを受信すると、そのデータ長値を超えるDATAバイトは不定になります。

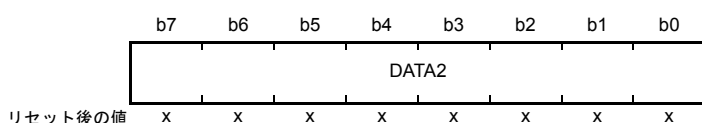
アドレス [CAN0.MB0\\_D04005 0206h](#)～[CAN0.MB31\\_D0 4005 03F6h](#)



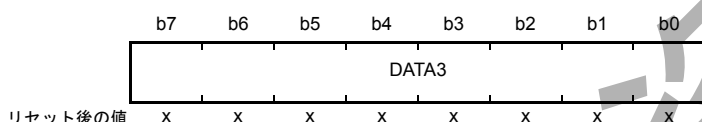
アドレス [CAN0.MB0\\_D14005 0207h](#)～[CAN0.MB31\\_D1 4005 03F7h](#)



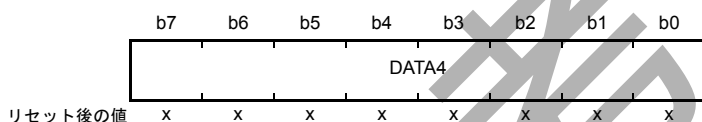
アドレス [CAN0.MB0\\_D24005 0208h](#)～[CAN0.MB31\\_D2 4005 03F8h](#)



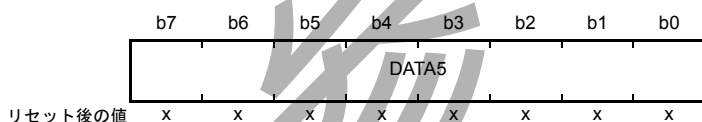
アドレス [CAN0.MB0\\_D34005 0209h](#)～[CAN0.MB31\\_D3 4005 03F9h](#)



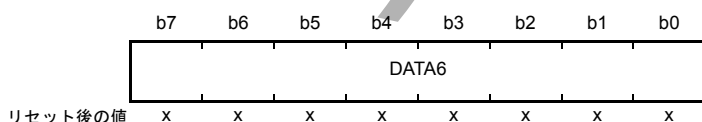
アドレス [CAN0.MB0\\_D44005 020Ah](#)～[CAN0.MB31\\_D4 4005 03FAh](#)



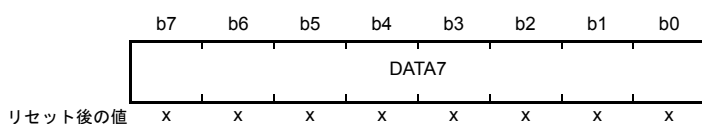
アドレス [CAN0.MB0\\_D54005 020Bh](#)～[CAN0.MB31\\_D5 4005 03FBh](#)



アドレス [CAN0.MB0\\_D64005 020Ch](#)～[CAN0.MB31\\_D6 4005 03FCh](#)



アドレス [CAN0.MB0\\_D74005 020Dh](#)～[CAN0.MB31\\_D7 4005 03FDh](#)

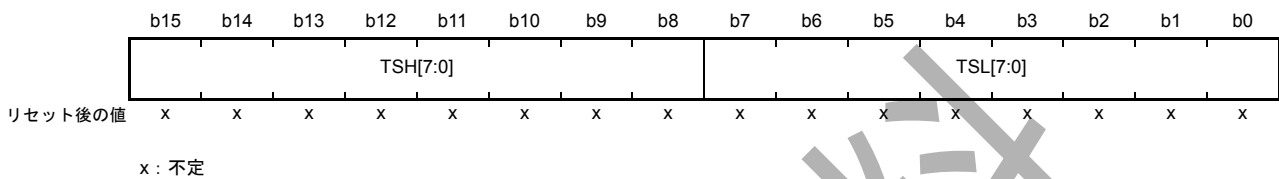


x: 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0 ~ DATA7	データバイト0~7 (注1)、(注2)	DATA0~7は送信または受信したCANメッセージデータを格納します。送受信は、DATA0から開始されます。CANバス上のビットオーダはMSBファーストであり、ビット7から送受信が開始されます。	R/W

- 注1. メールボックスがnバイト (nは8未満) のメッセージを受信した場合、メールボックスの DATA<sub>n</sub> ~ DATA7の値は不定です。たとえば、受信データ長が6バイトであれば、DATA6とDATA7の値は不定です。
- 注2. メールボックスがリモートフレームを受信した場合、そのメールボックスのDATA0 ~ DATA7は以前の値を保持します。

アドレス CAN0.MB0\_TS4005 020Eh ~ CAN0.MB31\_TS 4005 03FEh



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]ビットとTSL[7:0]ビットは、受信メッセージがメールボックスに取り込まれた時点のタイムスタンプのカウンタ値を格納します。	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

#### EID[17:0] ビット (拡張 ID)

EID[17:0] ビットは、データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを送受信するために使用します。

#### SID[10:0] ビット (標準 ID)

SID[10:0] ビットは、データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを送受信するために使用します。

#### RTR ビット (リモート送信要求)

RTR ビットは、フレームフォーマットをデータフレームまたはリモートフレームに設定します。

- 受信メールボックスは、RTR ビットで指定されたフォーマットのフレームのみを受信する
- 送信メールボックスは、RTR ビットで指定されたフレームフォーマットで送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの RTR ビットで指定されたデータフレーム、リモートフレーム、またはその両方を受信する
- 送信 FIFO メールボックスは、送信メッセージ内の RTR ビットで指定されたデータフレームまたはリモートフレームを送信する

#### IDE ビット (ID 拡張)

IDE ビットは、ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。

- 受信メールボックスは、IDE ビットで指定された ID フォーマットのみを受信する
- 送信メールボックスは、IDE ビットで指定された ID フォーマットで送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの IDE ビットで指定された標準 ID と拡張 ID の設定でメッセージを受信する
- 送信 FIFO メールボックスは、送信メッセージ内の IDE ビットで指定された標準 ID または拡張 ID の設定でメッセージを送信する

### DLC[3:0] ビット (データ長コード)

DLC[3:0] ビットは、データフレームで送信されるデータ長を指定します。リモートフレームを使用してデータを要求する場合、DLC[3:0] ビットは要求するデータ長を指定します。

データフレームを受信した場合、DLC[3:0] には受信したデータ長が格納されます。リモートフレームを受信した場合、DLC[3:0] ビットは要求したデータ長を格納します。

## 27.2.7 メールボックス割り込みイネーブルレジスタ (MIER)

アドレス CAN0.MIER 4005 042Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	割り込み許可	0: 割り込み禁止 1: 割り込み許可 ビット31はメールボックス31 (MB31) に、ビット0はメールボックス0 (MB0) に対応しています。	R/W

MIER レジスタは、メールボックスごとに個別に割り込みを許可できます。このレジスタは、通常メールボックスモードで利用可能です。FIFO メールボックスモードでは、このレジスタにアクセスしないでください。

各ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みと受信完了割り込みを許可または禁止します。

- MIER のビット 0 はメールボックス 0 (MB0) に対応
- MIER のビット 31 はメールボックス 31 (MB31) に対応

MIER は、対応する MCTL\_TXj または MCTL\_RXj (j = 0 ~ 31) レジスタが 00h で、かつ対応するメールボックスが送受信アポート要求の処理を行っていないときに限り書き込みを行ってください。



## 27.2.8 FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ (MIER\_FIFO)

アドレス CAN0.MIER\_FIFO 4005 042Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	MB29	MB28	—	—	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b23-b0	MB23 ~ MB0	割り込み許可	0: 割り込み禁止 1: 割り込み許可 ビット23はメールボックス23 (MB23) に、ビット0はメールボックス0 (MB0) に対応しています。	R/W
b24	MB24	送信FIFO割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b25	MB25	送信FIFO割り込み発生タイミング制御	0: 送信完了ごとに発生 1: 送信完了時に送信FIFOが空になると発生	R/W
b27-b26	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b28	MB28	受信FIFO割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b29	MB29	受信FIFO割り込み発生タイミング制御 (注1)	0: 受信完了ごとに発生 1: 受信完了により受信FIFOがバッファワーニング (注2) になると発生	R/W
b31-b30	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

注1. 受信FIFOがフルからバッファワーニングになっても、割り込み要求は発生しません。

注2. バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

MIER\_FIFO レジスタは、メールボックスごと、FIFO ごとに個別に割り込みを許可できます。このレジスタは、FIFO メールボックスモードで利用可能です。通常メールボックスモードではアクセスしないでください。

MB0 ~ MB23 ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みと受信完了割り込みを許可または禁止します。

- ビット0はメールボックス0 (MB0) に対応
- ビット23はメールボックス23 (MB23) に対応

MB24、MB25、MB28、MB29の各ビットは、送信/受信FIFO割り込みを許可するか否か、および割り込み要求のタイミングを指定します。

MIER\_FIFO レジスタは、対応する MCTL\_TXj または MCTL\_RXj (j=0 ~ 31) レジスタが 00h で、かつ対応するメールボックスが送受信アポート要求の処理を行っていないときに限り書き込みを行ってください。また、関連するFIFOのMIER\_FIFOレジスタ内のビットは、以下の条件が満たされている場合のみ変更してください。

- TFCR.TFE ビットが0で、かつ TFCR.TFEST ビットが1
- RFCR.RFE ビットが0で、かつ RFCR.RFEST ビットが1

## 27.2.9 送信用メッセージコントロールレジスタ (MCTL\_TXj) (j = 0 ~ 31)

- 送信モード (TRMREQ ビットが1、RECREQ ビットが0の場合)

アドレス CAN0.MCTL\_TX[0] 4005 0820h ~ CAN0.MCTL\_TX[31] 4005 083Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ (注1)、(注2)	0: 送信未完了 1: 送信完了	R/W
b1	TRMACTIVE	送信中ステータスフラグ	0: 送信待機中または送信要求なし 1: 送信中	R
b2	TRMABT	送信アボート完了フラグ (注1)、(注2)	0: 送信開始、送信完了により送信アボート失敗、または送信アボート要求なし 1: 送信アボート完了	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ONESHOT	ワンショット許可 (注2)、(注3)	0: ワンショット送信禁止 1: ワンショット送信許可	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RECREQ	受信メールボックス要求 (注2)、(注3)、(注4)、(注5)	0: 受信用に設定しない 1: 受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求 (注2)、(注4)	0: 送信用に設定しない 1: 送信用に設定する	R/W

- 注1. 0のみ書けます。1を書いても何の影響もありません。
- 注2. このレジスタの各ビットに書き込む際は、SENTDATA および TRMABT ビットが書き込対象でない場合、これらのビットには1を書いてください。
- 注3. ワンショット送信モードへ遷移するためには、TRMREQ ビットを1にすると同時に、ONESHOT ビットに1を書いてください。ワンショット送信モードを解除するには、メッセージが送信またはアボートされた後、ONESHOT ビットに0を書いてください。
- 注4. RECREQ ビットと TRMREQ ビットの両方を1にしないでください。
- 注5. RECREQ ビットを0にするときは、SENTDATA、TRMACTIVE、および TRMABT ビットを同時に0にしてください。

MCTL\_TXj レジスタは、メールボックス j を送信モードまたは受信モードに設定します。送信モードの場合、MCTL\_TXj レジスタは送信状態の制御と表示も行います。メールボックス j が受信モードの場合は、MCTL\_TXj レジスタにアクセスしないでください。MCTL\_TXj は、必ず CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。FIFO メールボックスモードでは、MCTL\_TX24 ~ MCTL\_TX31 レジスタを使用しないでください。

### SENTDATA フラグ (送信完了フラグ)

SENTDATA フラグは、対応するメールボックスからのデータ送信が完了すると1になります。SENTDATA フラグは、ソフトウェア書き込みで0になります。SENTDATA フラグを0にする場合、最初に TRMREQ ビットを0にしてください。SENTDATA および TRMREQ ビットを同時に0にすることはできません。対応するメールボックスから新しいメッセージを送信する場合、SENTDATA フラグを0にしてください。

### TRMACTIVE フラグ (送信中ステータスフラグ)

TRMACTIVE フラグは、CAN モジュールの対応するメールボックスがメッセージ送信を開始すると1になります。TRMACTIVE フラグは、CAN モジュールで CAN バスアービトラクションロストが発生するか、CAN バスエラーが発生するか、あるいはデータ送信が完了すると0になります。

### TRMABT フラグ (送信アボート完了フラグ)

TRMABT フラグは、以下の場合に 1 になります。

- 送信アボート要求に続いて、送信開始前に送信アボートが完了したとき
- 送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき
- ワンショット送信モード時 (RECREQ=0、TRMREQ=1、ONESHOT=1) に、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき

TRMABT フラグは、データ送信が完了しても 1 にはなりません。TRMABT フラグは、ソフトウェア書き込みで 0 になります。

### ONESHOT ビット (ワンショット許可)

送信モード (RECREQ=0、TRMREQ=1) で ONESHOT ビットを 1 にすると、CAN モジュールはメッセージを 1 回だけ送信します。(CAN バスエラーまたは CAN バスアービトレーションロストエラーが発生しても、CAN モジュールはメッセージを再送信しません。) 送信が完了したとき、SENTDATA フラグが 1 になります。CAN バスエラーまたは CAN バスアービトレーションロストエラーが原因で送信が完了しないと、TRMABT フラグが 1 になります。ONESHOT ビットは、SENTDATA または TRMABT ビットが 1 になった後に 0 にしてください。

### RECREQ ビット (受信メールボックス要求)

RECREQ ビットを 1 にすると、対応するメールボックスがデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

ハードウェアプロテクトのため、下記の期間中、RECREQ ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始されるとき (CRC フィールドの始まり)
- ハードウェアプロテクトが解除されるとき
  - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります。
  - その他のメールボックスでは、アクセプタンスフィルタ処理後
  - メッセージの受信用に指定されたメールボックスがない場合、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合、最初に送信をアボートし、次に SENTDATA ビットと TRMABT ビットを 0 にしてから、受信に変更してください。

注. MCTL\_TXj.RECREQ は、MCTL\_RXj.RECREQ のミラービットです。

### TRMREQ ビット (送信メールボックス要求)

TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。

TRMREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されません。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合、最初に受信をアボートし、次に NEWDATA ビットと MSGLOST ビットを 0 にしてから、送信に変更してください。

注. MCTL\_TXj.TRMREQ は、MCTL\_RXj.TRMREQ のミラービットです。

### 27.2.10 送信用メッセージコントロールレジスタ (MCTL\_RXj) (j = 0 ~ 31)

- 受信モード (TRMREQ ビットが0、RECREQ ビットが1の場合)

アドレス CAN0.MCTL\_RX[0] 4005 0820h ~ CAN0.MCTL\_RX[31] 4005 083Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALIDATA	NEWDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEWDATA	受信完了フラグ (注1)、(注2)	0: 受信データなし、またはビットに0を書いた場合 1: 新しいメッセージをメールボックスに格納中または格納済み	R/W
b1	INVALIDATA	受信中ステータスフラグ	0: メッセージは有効 1: メッセージを更新中	R
b2	MSGLOST	メッセージロストフラグ (注1)、(注2)	0: メッセージのオーバーライトまたはオーバーランなし 1: メッセージのオーバーライトまたはオーバーランあり	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ONESHOT	ワンショット許可 (注2)、(注3)	0: ワンショット受信禁止 1: ワンショット受信許可	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RECREQ	受信メールボックス要求 (注2)、(注3)、(注4)、(注5)	0: 受信用に設定しない 1: 受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求 (注2)、(注4)	0: 送信用に設定しない 1: 送信用に設定する	R/W

- 注1. 0のみ書けます。1の書き込みは無効になります。
- 注2. このレジスタの各ビットに書き込む際は、NEWDATA および MSGLOST ビットが書き込み対象でない場合、これらのビットには1を書いてください。
- 注3. ワンショット受信モードへ遷移するためには、RECREQ ビットを1にすると同時に、ONESHOT ビットに1を書いてください。ワンショット受信モードを解除するときは、RECREQ ビットに0を書いた後、RECREQ ビットが0であることを確認してから ONESHOT ビットに0を書いてください。
- 注4. RECREQ ビットと TRMREQ ビットの両方を1にしないでください。
- 注5. RECREQ ビットを0にする場合、NEWDATA、MSGLOST、および RECREQ ビットを同時に0にしてください。

MCTL\_RXj レジスタは、メールボックス j を送信モードまたは受信モードに設定します。受信モードの場合、MCTL\_RXj レジスタは受信状態の制御と表示も行います。メールボックス j が送信モードの場合は、MCTL\_RXj レジスタにアクセスしないでください。MCTL\_RXj は、必ず CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。FIFO メールボックスモードでは、MCTL\_RX24 ~ MCTL\_RX31 レジスタを使用しないでください。

#### NEWDATA フラグ (受信完了フラグ)

NEWDATA フラグは、新しいメッセージをメールボックスに格納中または格納済みのときに1になります。NEWDATA が1になるタイミングは、INVALIDATA フラグと同時です。NEWDATA フラグは、ソフトウェア書き込みで0になります。対応する INVALIDATA フラグが1の場合、NEWDATA フラグをソフトウェア書き込みで0にすることはできません。

#### INVALIDATA フラグ (受信中ステータスフラグ)

INVALIDATA フラグは、メッセージの受信完了後、対応するメールボックスで受信したメッセージが更新中であるとき1になります。INVALIDATA フラグは、メッセージが格納された直後に0になります。INVALIDATA フラグが1のときにメールボックスを読み出すと、そのデータは不定です。

### MSGLOST フラグ (メッセージロストフラグ)

MSGLOST フラグは、NEWDATA フラグが 1 のとき、メールボックスが新しい受信メッセージでオーバーライトまたはオーバーランされると 1 になります。MSGLOST フラグは、EOF の 6 ビット目の終わりで 1 になります。MSGLOST フラグは、ソフトウェア書き込みで 0 になります。

オーバーライトモードとオーバーランモードの両方において、EOF の 6 ビット目の終わりから、周辺モジュールクロック (PCLKB) の 5 サイクルの間は、MSGLOST フラグをソフトウェア書き込みで 0 にすることはできません。

### ONESHOT ビット (ワンショット許可)

受信モード (RECREQ=1、TRMREQ=0) 時に ONESHOT ビットを 1 にすると、メールボックスはメッセージを 1 回だけ受信します。(メールボックスがメッセージを 1 回受信すると、その後、受信メールボックスとして動作しません。) NEWDATA フラグと INVALIDDATA フラグの動作は、通常の実受信モードと同じです。ワンショット受信モードでは、MSGLOST フラグは 1 にはなりません。ONESHOT ビットを 0 にする場合、最初に RECREQ ビットに 0 を書いて、RECREQ ビットが 0 であることを確認してから行ってください。

### RECREQ ビット (受信メールボックス要求)

RECREQ ビットを 1 にすると、対応するメールボックスがデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

ハードウェアプロテクトのため、下記の期間中、RECREQ ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始される時 (CRC フィールドの始まり)
- ハードウェアプロテクトが解除される時
  - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります。
  - その他のメールボックスでは、アクセプタンスフィルタ処理後
  - メッセージの受信用に指定されたメールボックスがない場合、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合、最初に送信をアボートし、次に SENTDATA ビットと TRMABT ビットを 0 にしてから、受信に変更してください。

注. MCTL\_RXj.RECREQ は、MCTL\_TXj.RECREQ のミラービットです。

### TRMREQ ビット (送信メールボックス要求)

TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。

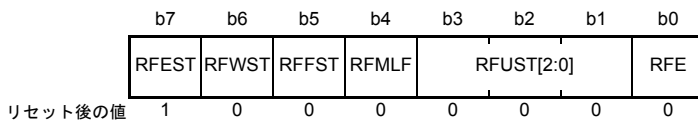
TRMREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されません。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合、最初に受信をアボートし、次に NEWDATA ビットと MSGLOST ビットを 0 にしてから、送信に変更してください。

注. MCTL\_RXj.TRMREQ は、MCTL\_TXj.TRMREQ のミラービットです。

## 27.2.11 受信 FIFO コントロールレジスタ (RFCR)

アドレス CAN0.RFCR 4005 0848h



ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO 許可	0: 受信 FIFO 禁止 1: 受信 FIFO 許可	R/W
b3-b1	RFUST[2:0]	受信 FIFO 未読メッセージ数ステータス	b3 b1 0 0 0: 未読メッセージなし 0 0 1: 未読メッセージ1件あり 0 1 0: 未読メッセージ2件あり 0 1 1: 未読メッセージ3件あり 1 0 0: 未読メッセージ4件あり 1 0 1: 予約ビット 1 1 0: 予約ビット 1 1 1: 予約ビット	R
b4	RFMLF	受信 FIFO メッセージロストフラグ	0: 受信 FIFO メッセージロスト発生なし 1: 受信 FIFO メッセージロスト発生あり	R/W
b5	RFFST	受信 FIFO フルステータスフラグ	0: 受信 FIFO はフルでない 1: 受信 FIFO はフル (未読メッセージ4件)	R
b6	RFWST	受信 FIFO バッファワーニングステータスフラグ	0: 受信 FIFO はバッファワーニングでない 1: 受信 FIFO はバッファワーニング (未読メッセージ3件)	R
b7	RFEST	受信 FIFO 空ステータスフラグ	0: 受信 FIFO に未読メッセージあり 1: 受信 FIFO に未読メッセージなし	R

RFCR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

**RFE ビット (受信 FIFO 許可)**

RFE ビットを 1 にすると、受信 FIFO が許可されます。

RFE ビットを 0 にすると、受信 FIFO は受信禁止になり、空状態 (RFEST ビット = 1) になります。RFMLF ビットの設定と同時に RFE ビットに 0 を書いてください。

通常メールボックスモード (CTRL.MBM = 0) では、RFE ビットを 1 にしないでください。

ハードウェアプロテクトのため、下記の期間中、RFE ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始される時 (CRC フィールドの始まり)
- ハードウェアプロテクトが解除される時
- メッセージの受信用に受信 FIFO が指定されている場合に、受信したデータが受信 FIFO に格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります。
- メッセージの受信用に受信 FIFO が指定されていない場合は、アクセプタンスフィルタ処理後

**RFUST[2:0] ビット (受信 FIFO 未読メッセージ数ステータス)**

RFUST[2:0] ビットは、受信 FIFO 内の未読メッセージの数を示します。RFE ビットを 0 にすると、RFUST[2:0] ビットの値は 000b に初期化されます。

### RFMLF フラグ (受信 FIFO メッセージロストフラグ)

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF フラグは 1 (受信 FIFO メッセージロスト発生) になります。EOF の 6 ビット目の終わりで 1 になります。

RFMLF フラグは、ソフトウェア書き込みで 0 になります (1 の書き込みは無効です)。オーバーライトモードとオーバーランモードの両方において、受信 FIFO がフルのときにメッセージを受信したことが確認された場合、ハードウェアプロテクトにより、EOF の 6 ビット目の終わりから、周辺モジュールクロック (PCLKB) の 5 サイクルの間は、RFMLF フラグをソフトウェア書き込みで 0 (受信 FIFO メッセージロスト発生なし) にすることができません。

### RFFST フラグ (受信 FIFO フルステータスフラグ)

受信 FIFO 内の未読メッセージの数が 4 件になると、RFFST フラグは 1 (受信 FIFO はフル) になります。受信 FIFO 内の未読メッセージの数が 4 件未満になると、RFFST フラグは 0 (受信 FIFO はフルでない) になります。RFE ビットが 0 の場合、RFFST フラグは 0 になります。

### RFWST フラグ (受信 FIFO バッファワーニングステータスフラグ)

受信 FIFO 内の未読メッセージの数が 3 件になると、RFWST フラグが 1 (受信 FIFO はバッファワーニング) になります。受信 FIFO 内の未読メッセージの数が 3 件未満または 4 件になると、RFWST フラグは 0 (受信 FIFO はバッファワーニングでない) になります。RFE ビットが 0 の場合、RFWST フラグは 0 になります。

### RFEST フラグ (受信 FIFO 空ステータスフラグ)

受信 FIFO 内に未読メッセージがなくなると、RFEST フラグは 1 (受信 FIFO に未読メッセージなし) になります。RFE ビットが 0 の場合、RFEST フラグは 1 になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、RFEST フラグは 0 (受信 FIFO に未読メッセージあり) になります。図 27.2 に受信 FIFO メールボックスの動作を示します。

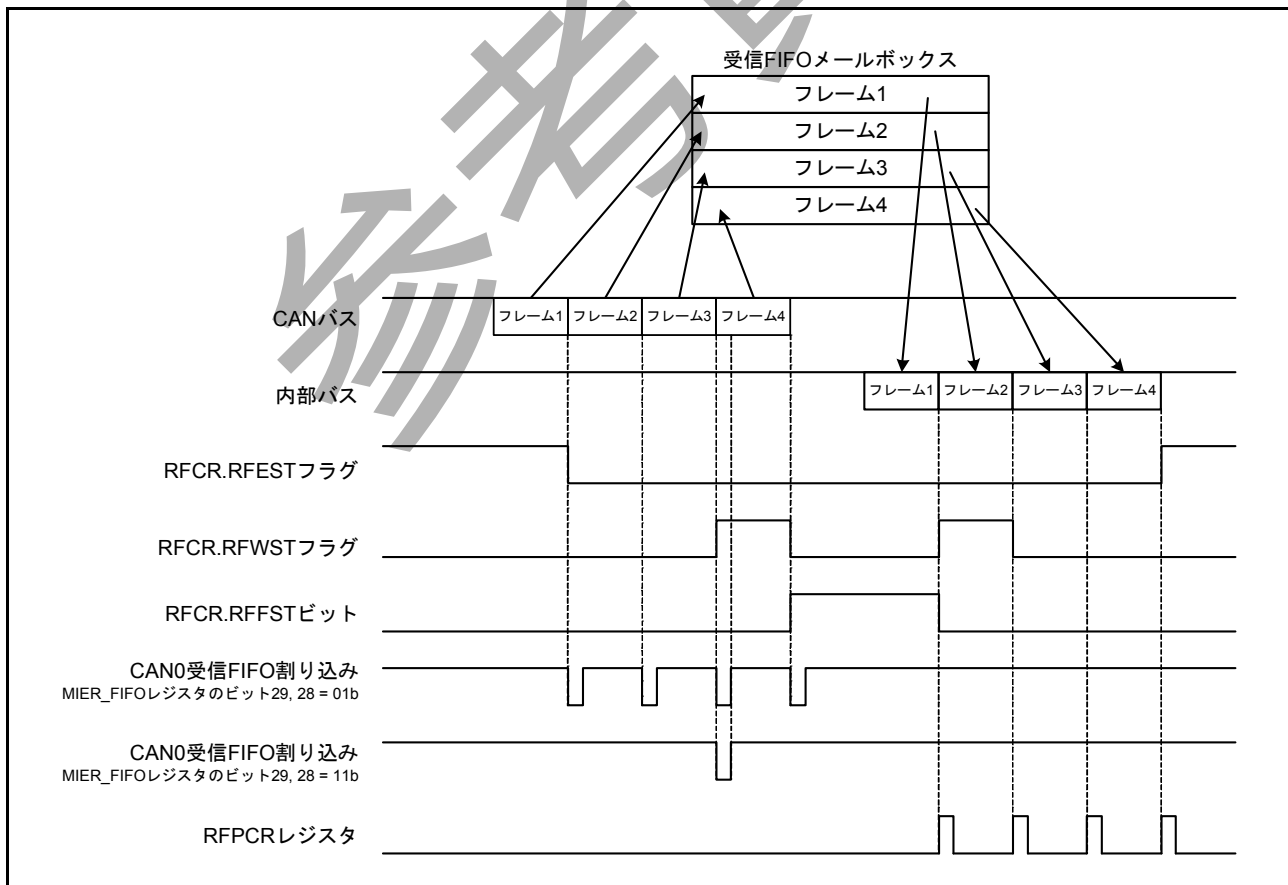
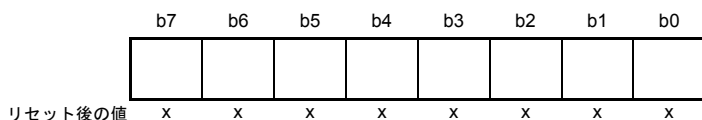


図 27.2 受信 FIFO メールボックスの動作 (MIER\_FIFO レジスタのビット 29、28 が 01b または 11b のとき)

## 27.2.12 受信 FIFO ポインタコントロールレジスタ (RFPCR)

アドレス CAN0.RFPCR 4005 0849h



x: 不定

ビット	機能	R/W
b7-b0	RFPCRにFFhを書き込むと、受信FIFOのCPUポインタが増加	W

受信 FIFO が空状態でないとき、CPU ポインタを増加させて次のメールボックス位置に移動させるには、RFPCR レジスタにソフトウェアで FFh を書いてください。RFCR.RFE ビットが 0 (受信 FIFO 禁止) の場合、RFPCR に書き込みを行わないでください。

オーバーライトモードで RFFST ビットが 1 (受信 FIFO はフル) のときに新しいメッセージが受信されると、CAN ポインタと CPU ポインタの両方が増加します。この状態で RFMLF ビットが 1 のとき、RFPCR レジスタにソフトウェア書き込みを行っても CPU ポインタは増加しません。

参考資料



## 27.2.13 送信 FIFO コントロールレジスタ (TFCR)

アドレス CAN0.TFCR 4005 084Ah

b7	b6	b5	b4	b3	b2	b1	b0
TFEST	TFFST	—	—	TFUST[2:0]		TFE	
リセット後の値	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信 FIFO 許可	0 : 送信 FIFO 禁止 1 : 送信 FIFO 許可	R/W
b3-b1	TFUST[2:0]	送信 FIFO 未送信メッセージ数ステータス	b3 b1 0 0 0 : 未送信メッセージなし 0 0 1 : 未送信メッセージ1件あり 0 1 0 : 未送信メッセージ2件あり 0 1 1 : 未送信メッセージ3件あり 1 0 0 : 未送信メッセージ4件あり 1 0 1 : 予約ビット 1 1 0 : 予約ビット 1 1 1 : 予約ビット	R
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	TFFST	送信 FIFO フルスステータス	0 : 送信 FIFO はフルでない 1 : 送信 FIFO はフル (未送信メッセージ4件)	R
b7	TFEST	送信 FIFO 空ステータス	0 : 送信 FIFO に未送信メッセージあり 1 : 送信 FIFO に未送信メッセージなし	R

TFCR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

**TFE ビット (送信 FIFO 許可)**

TFE ビットを1にすると、送信 FIFO が許可されます。TFE ビットを0にすると、送信 FIFO は空状態 (TFEST ビット=1) になり、下記のように送信 FIFO から未送信メッセージが失われます。

- 送信 FIFO のメッセージの次の送信予定がなく、また送信中でもないときただちに
- 送信 FIFO のメッセージの次の送信予定があるかまたはすでに送信中の場合、送信完了、CAN バスエラー、CAN バスアービトラクションロスト、または CAN halt モードへの遷移の発生時

TFE ビットを再度1にする前に、TFEST ビットが1になっていることを確認してください。TFE ビットを1にした後、送信データを MB24 に書いてください。

通常メールボックスモード (CTRL.MBM ビット=0) では、TFE ビットを1にしないでください。

**TFUST[2:0] ビット (送信 FIFO 未送信メッセージ数ステータス)**

TFUST[2:0] ビットは、送信 FIFO 内の未送信メッセージの数を示します。TFE ビットを0にした後、送信アポートまたは送信が完了すると、TFUST[2:0] ビットは 000b になります。

**TFFST ビット (送信 FIFO フルスステータス)**

送信 FIFO 内の未送信メッセージの数が4件になると、TFFST ビットは1 (送信 FIFO はフル) になります。送信 FIFO 内の未送信メッセージの数が4件未満になると、TFFST ビットは0 (送信 FIFO はフルでない) になります。送信 FIFO の送信がアポートされると、TFFST ビットは0になります。

**TFEST ビット (送信 FIFO 空ステータス)**

送信 FIFO 内に未送信メッセージがなくなると、TFEST ビットは1 (送信 FIFO にメッセージなし) になります。送信 FIFO の送信がアポートされると、TFEST ビットは1になります。送信 FIFO 内の未送信メッセージの数が1件以上になると、TFEST ビットは0 (送信 FIFO にメッセージあり) になります。

図 27.3 に送信 FIFO メールボックスの動作を示します。

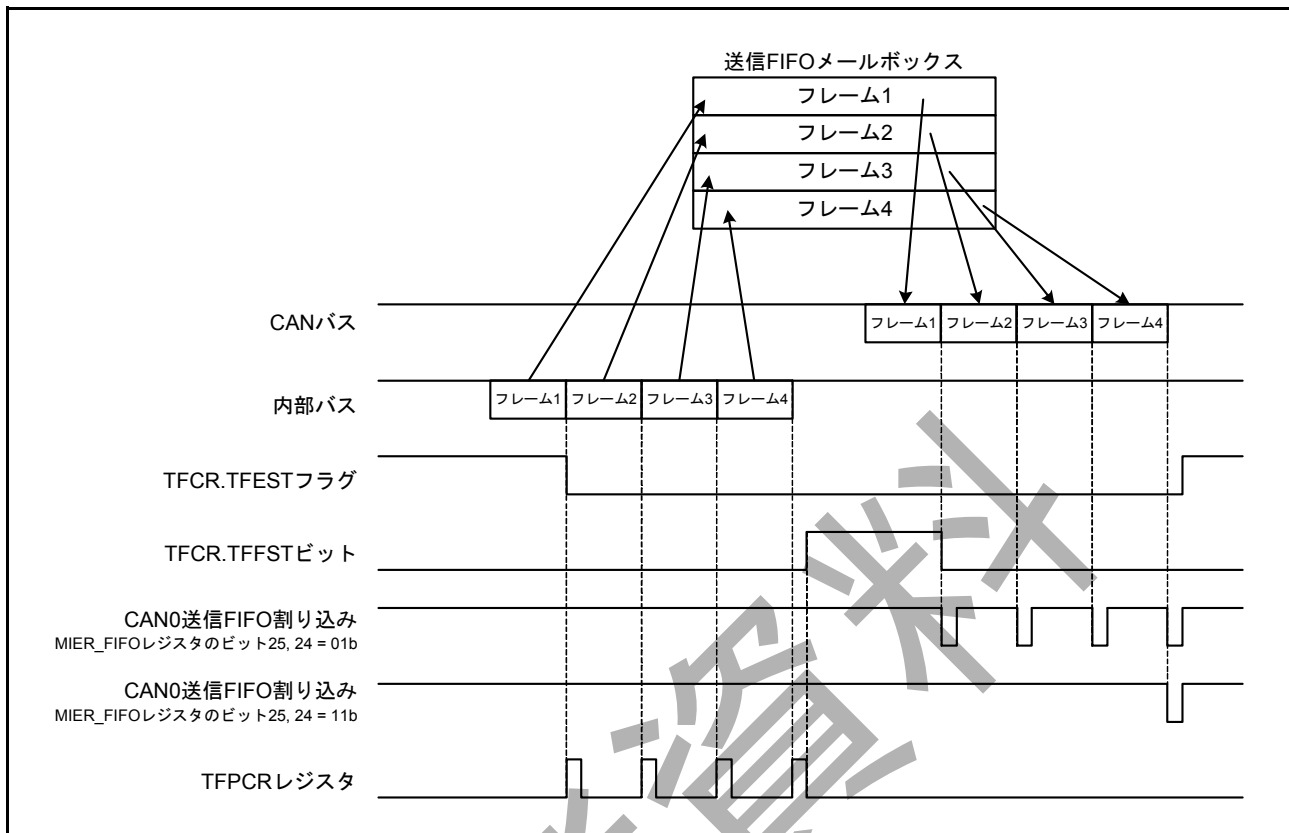
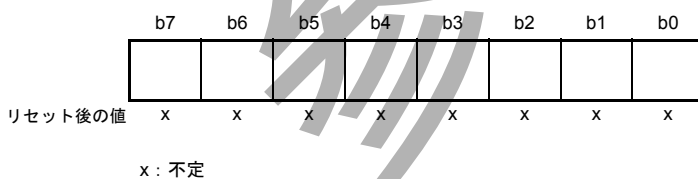


図 27.3 送信 FIFO メールボックスの動作 (MIER\_FIFO レジスタのビット 25、24 が 01b または 11b のとき)

### 27.2.14 送信 FIFO ポインタコントロールレジスタ (TFPCR)

アドレス [CAN0.TFPCR 4005 084Bh](#)



ビット	機能	R/W
b7-b0	TFPCRにFFhを書き込むと、送信FIFOのCPUポインタが増加	W

送信 FIFO がフルでないとき、送信 FIFO の CPU ポインタを増加させて次のメールボックス位置に移動させるには、ソフトウェアで TFPCR レジスタに FFh を書いてください。

TFPCR.TFE ビットが 0 (送信 FIFO 禁止) の場合、TFPCR レジスタに書き込みを行わないでください。

## 27.2.15 ステータスレジスタ (STR)

アドレス CAN0.STR 4005 0842h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATAステータスフラグ	0: NEWDATA ビットが1のメールボックスなし 1: NEWDATA ビットが1のメールボックスあり	R
b1	SDST	SENTDATAステータスフラグ	0: SENTDATA ビットが1のメールボックスなし 1: SENTDATA ビットが1のメールボックスあり	R
b2	RFST	受信FIFOステータスフラグ	0: 受信FIFOにメッセージなし 1: 受信FIFOにメッセージあり	R
b3	TFST	送信FIFOステータスフラグ	0: 送信FIFOはフル 1: 送信FIFOはフルでない	R
b4	NMLST	通常メールボックスメッセージロスステータスフラグ	0: MSGLOST ビットが1のメールボックスなし 1: MSGLOST ビットが1のメールボックスあり	R
b5	FMLST	FIFOメールボックスメッセージロスステータスフラグ	0: RFMLF ビットが0 1: RFMLF ビットが1	R
b6	TABST	送信アボートステータスフラグ	0: TRMABT ビットが1のメールボックスなし 1: TRMABT ビットが1のメールボックスあり	R
b7	EST	エラーステータスフラグ	0: エラー発生なし 1: エラー発生あり	R
b8	RSTST	CANリセットステータスフラグ	0: CANリセットモードではない 1: CANリセットモード	R
b9	HLTST	CANhaltステータスフラグ	0: CANhaltモードではない 1: CANhaltモード	R
b10	SLPST	CANスリープステータスフラグ	0: CANスリープモードではない 1: CANスリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0: エラーパッシブ状態ではない 1: エラーパッシブ状態	R
b12	BOST	バスオフステータスフラグ	0: バスオフ状態ではない 1: バスオフ状態	R
b13	TRMST	送信ステータスフラグ	0: バスアイドルまたは受信 1: 送信中またはモジュールがバスオフ状態	R
b14	RECST	受信ステータスフラグ	0: バスアイドルまたは送信 1: 受信	R
b15	—	予約ビット	読むと0が読めます。	R

**NDST フラグ (NEWDATA ステータスフラグ)**

MCTL\_RXj.NEWDATA ビット (j=0~31) が1つでも1であると、MIER または MIER\_FIFO の値にかかわらず、NDST フラグは1になります。NEWDATA ビットがすべて0であると、NDST フラグは0になります。

**SDST フラグ (SENTDATA ステータスフラグ)**

MCTL\_TXj.SENTDATA ビット (j=0~31) が1つでも1であると、MIER または MIER\_FIFO の値にかかわらず、SDST フラグは1になります。SENTDATA ビットがすべて0であると、SDST フラグは0になります。

**RFST フラグ (受信FIFOステータスフラグ)**

RFST フラグは、受信FIFOが空状態でないとき1になります。受信FIFOが空状態か、または通常メール

ボックスモードが選択されている場合、RFST フラグは 0 になります。

#### TFST フラグ (送信 FIFO ステータスフラグ)

TFST フラグは、送信 FIFO がフルでないとき 1 になります。送信 FIFO がフルであるか、または通常メールボックスモードが選択されている場合、TFST フラグは 0 になります。

#### NMLST フラグ (通常メールボックスメッセージロストステータスフラグ)

MCTL\_RXj.MSGLOST ビット ( $j=0 \sim 31$ ) が 1 つでも 1 であると、MIER または MIER\_FIFO の値にかかわらず、NMLST フラグは 1 になります。MSGLOST ビットがすべて 0 であると、NMLST フラグは 0 になります。

#### FMLST フラグ (FIFO メールボックスメッセージロストステータスフラグ)

RFMR.RFMLF ビットが 1 であると、MIER\_FIFO の値にかかわらず、FMLST フラグは 1 になります。RFMLF ビットが 0 の場合、FMLST フラグは 0 になります。

#### TABST フラグ (送信アポートステータスフラグ)

MCTL\_TXj.TRMABT ビット ( $j=0 \sim 31$ ) が 1 つでも 1 であると、MIER または MIER\_FIFO の値にかかわらず、TABST フラグは 1 になります。TRMABT ビットがすべて 0 であると、TABST フラグは 0 になります。

#### EST フラグ (エラーステータスフラグ)

EIFR レジスタで 1 つでもエラーが検出されると、EIER の値にかかわらず、EST フラグは 1 になります。EIFR レジスタでエラーが検出されないと、EST フラグは 0 になります。

#### RSTST フラグ (CAN リセットステータスフラグ)

RSTST フラグは、CAN モジュールが CAN リセットモードになると 1 になります。RSTST フラグは、CAN モジュールが CAN リセットモード以外になると 0 になります。CAN モジュールが CAN リセットモードから CAN スリープモードへ遷移した場合、RSTST フラグは 1 のままです。

#### HLTST フラグ (CAN halt ステータスフラグ)

HLTST フラグは、CAN モジュールが CAN halt モードになると 1 になります。HLTST フラグは、CAN モジュールが CAN halt モード以外になると 0 になります。CAN モジュールが CAN halt モードから CAN スリープモードへ遷移した場合、HLTST フラグは 1 のままです。

#### SLPST フラグ (CAN スリープステータスフラグ)

SLPST フラグは、CAN モジュールが CAN スリープモードになると 1 になります。SLPST フラグは、CAN モジュールが CAN スリープモード以外になると 0 になります。

#### EPST フラグ (エラーパッシブステータスフラグ)

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態 ( $128 \leq \text{TEC} < 256$  または  $128 \leq \text{REC} < 256$ ) になると、EPST フラグは 1 になります。CAN モジュールがエラーパッシブ状態以外になると、EPST フラグは 0 になります。

#### BOST フラグ (バスオフステータスフラグ)

TECR レジスタの値が 255 を超えて、CAN モジュールがバスオフ状態 ( $\text{TEC} \geq 256$ ) になると、BOST フラグは 1 になります。CAN モジュールがバスオフ状態以外になると、BOST フラグは 0 になります。

#### TRMST フラグ (送信ステータスフラグ)

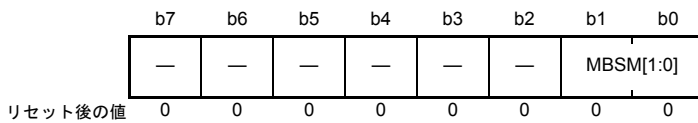
TRMST フラグは、CAN モジュールが送信ノードとして動作するか、またはバスオフ状態になると 1 になります。TRMST フラグは、CAN モジュールが受信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

#### RECST フラグ (受信ステータスフラグ)

RECST フラグは、CAN モジュールが受信ノードとして動作すると 1 になります。RECST フラグは、CAN モジュールが送信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

## 27.2.16 メールボックスサーチモードレジスタ (MSMR)

アドレス CAN0.MSMR 4005 0853h



ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択	b1 b0 0 0: 受信メールボックス検索モード 0 1: 送信メールボックス検索モード 1 0: メッセージロスト検索モード 1 1: チャネル検索モード	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MSMR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

**MBSM[1:0] ビット (メールボックス検索モード選択)**

MBSM[1:0] ビットは、メールボックス検索機能の検索モードを選択します。

MBSM[1:0] ビットが 00b の場合、受信メールボックス検索モードになります。受信メールボックス検索モードでの検索対象は、通常メールボックスの場合は MCTL\_RXj.NEWDATA (j=0~31) ビット、受信 FIFO の場合は RFCR.RFEST ビットです。

MBSM[1:0] ビットが 01b の場合、送信メールボックス検索モードになります。送信メールボックス検索モードでの検索対象は、MCTL\_TXj.SENTDATA ビットです。

MBSM[1:0] ビットが 10b の場合、メッセージロスト検索モードになります。メッセージロスト検索モードでの検索対象は、通常メールボックスの場合は MCTL\_RXj.MSGLOST ビット、受信 FIFO の場合は RFCR.RFMLF ビットです。

MBSM[1:0] ビットが 11b の場合、チャネル検索モードになります。チャネル検索モードでの検索対象は、CSSR レジスタです。27.2.18 [チャネルサーチサポートレジスタ \(CSSR\)](#) を参照してください。

## 27.2.17 メールボックスサーチステータスレジスタ (MSSR)

アドレス CAN0.MSSR 4005 0852h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータス	これらのビットは、MSMRレジスタで選択した各検索モードにおいて、発見された最小メールボックス番号を出力します。	R
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SEST	検索結果ステータス	0: 検索結果あり 1: 検索結果なし	R

## MBNST[4:0] ビット (検索結果メールボックス番号ステータス)

すべてのメールボックス検索モードにおいて、MBNST[4:0] ビットは、発見された最小のメールボックス番号を出力します。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードでは、メールボックスの値 (検索結果出力) が次の条件下で更新されます。

- MBNST[4:0] で出力されたメールボックスについて、それぞれの NEWDATA、SENTDATA、または MSGLOST ビットが 0 の場合
- MBNST[4:0] で出力されたメールボックスよりも小さな番号のメールボックスについて、それぞれの NEWDATA、SENTDATA、または MSGLOST ビットが 1 の場合

MBSM[1:0] ビットが 00b (受信メールボックス検索モード) または 10b (メッセージロスト検索モード) の場合、受信 FIFO (メールボックス 28) が空状態でなく、すべての通常メールボックス (メールボックス 0 ~ 23) に未読の受信メッセージもロストメッセージもないと、受信 FIFO が出力されます。MBSM[1:0] ビットが 01b (送信メールボックス検索モード) の場合、送信 FIFO (メールボックス 24) は出力されません。表 27.6 に FIFO メールボックスモードでの MBNST[4:0] ビットの動作を示します。

チャンネル検索モードでは、MBNST[4:0] ビットは対応するチャンネル番号を出力します。MSSR レジスタがソフトウェアで読み出されると、次のターゲットチャンネル番号が出力されます。

## SEST ビット (検索結果ステータス)

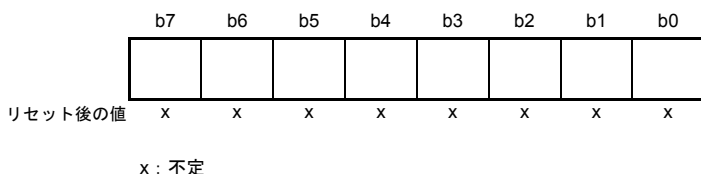
すべてのメールボックスを検索した結果、対応するメールボックスがなかった場合、SEST ビットは 1 (検索結果なし) になります。たとえば、送信メールボックス検索モードにおいて、どのメールボックスの SENTDATA ビットも 1 以外であると、SEST ビットは 1 になります。少なくとも 1 つの SENTDATA ビットが 1 のとき、SEST ビットは 0 になります。SEST ビットが 1 の場合、MBNST[4:0] ビットの値は不定です。

表 27.6 FIFO メールボックスモードでの MBNST[4:0] ビットの動作

MBSM[1:0] ビット	メールボックス 24 (送信 FIFO)	メールボックス 28 (受信 FIFO)
00b	メールボックス 24 は出力されない	通常メールボックスのどの MCTL_RXj.NEWDATA ビットも 1 (新しいメッセージがメールボックスに格納中または格納済み) ではなく、かつ受信 FIFO が空状態でない場合、メールボックス 28 が出力される
01b		メールボックス 28 は出力されない
10b		通常メールボックスのどの MCTL_RXj.MSGLOST ビットも 1 (メッセージのオーバーライトまたはオーバーランあり) ではなく、かつ受信 FIFO の RFCR.RFMLF ビットが 1 (受信 FIFO メッセージロスト発生) になった場合、メールボックス 28 が出力される
11b		メールボックス 28 は出力されない

## 27.2.18 チャンネルサーチサポートレジスタ (CSSR)

アドレス CAN0.CSSR 4005 0851h



ビット	機能	R/W
b7-b0	チャンネル検索の値が入力された場合、チャンネル番号をMSSRレジスタに出力	R/W

CSSR レジスタで1になったビットは、8/3 エンコーダ (最小ビット位置がより高い優先順位) によってエンコードされ、MSSR.MBNST[4:0] ビットに出力されます。MSSR レジスタは、MSSR レジスタをソフトウェアで読み出すたびに更新された値を出力します。

CSSR レジスタは、MSMR.MBSM[1:0] ビットが 11b (チャンネル検索モード) の場合に限り書き込みを行ってください。CSSR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

図 27.4 に、CSSR および MSSR レジスタに対する書き込みと読み出しについて示します。

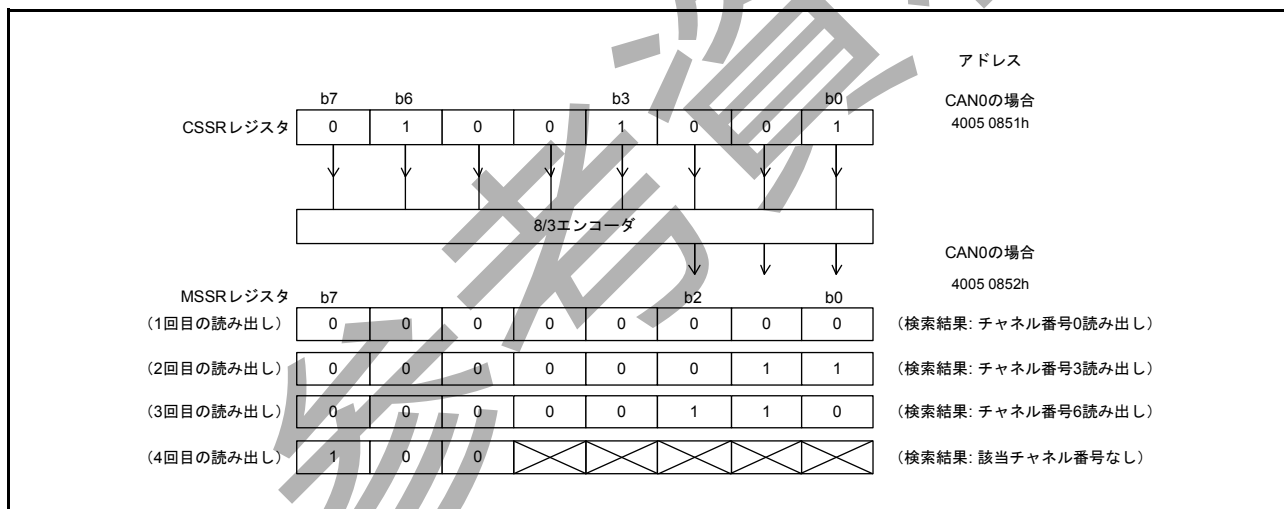
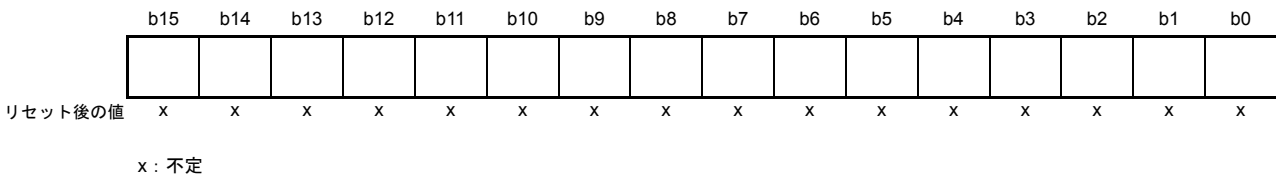


図 27.4 CSSR および MSSR レジスタに対する書き込みと読み出し

CSSR レジスタの値も、MSSR レジスタを読み出すたびに更新されます。読んだ場合、8/3 エンコーダ変換前の値が読めます。

### 27.2.19 アクセプタンスフィルタサポートレジスタ (AFSR)

アドレス CAN0.AFSR 4005 0856h



ビット	機能	R/W
b15-b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値が読める	R/W

注. AFSR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

アクセプタンスフィルタサポートユニット (ASU) が、データテーブル (8 ビット × 256) の検索に使用可能です。このデータテーブルには、作成したすべての標準 ID の有効/無効が 1 ビット単位で設定されます。受信した標準 ID が格納された MB<sub>j</sub>\_ID.SID[10:0] ビット (j = 0 ~ 31) を含む 16 ビット単位のデータを AFSR に書き込むと、デコードされたデータテーブル検索用の行 (バイトオフセット) 位置と、列 (ビット) 位置が読み出せます。ASU は、標準 (11 ビット) ID にのみ使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合。たとえば、受信する ID が 078h、087h、111h の場合
- 受信する ID が多すぎるため、ソフトウェアによるフィルタリング処理時間を短縮したい場合

注. AFSR レジスタは、CAN リセットモードでは設定できません。

図 27.5 に、AFSR レジスタに対する書き込みと読み出しについて示します。

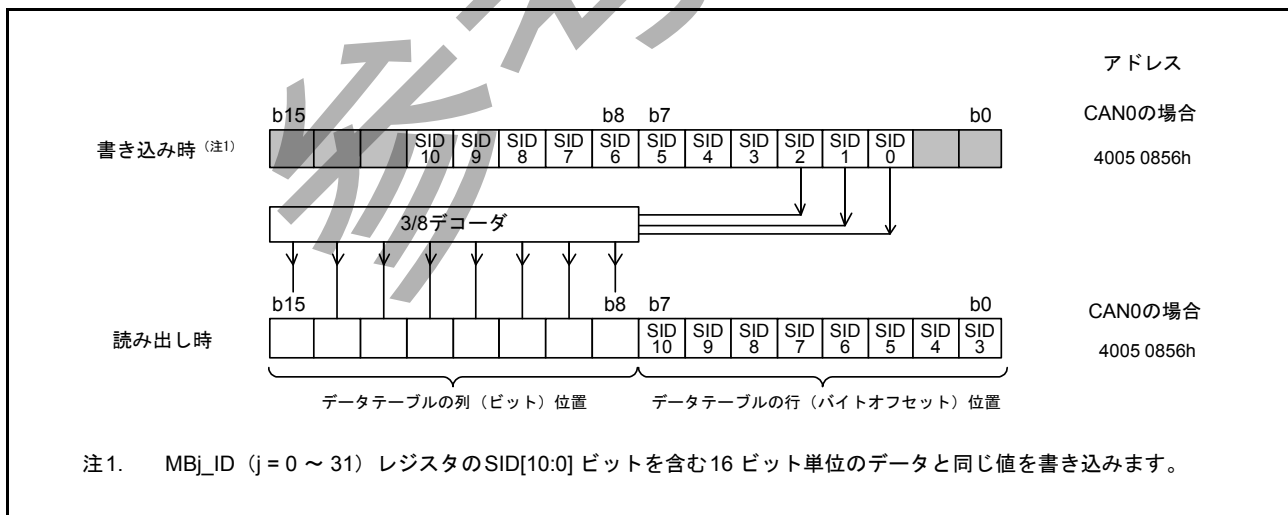


図 27.5 AFSR レジスタに対する書き込みと読み出し



## 27.2.20 エラー割り込みイネーブルレジスタ (EIER)

アドレス CAN0.EIER 4005 084Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b2	EPIE	エラーパッシブ割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b5	ORIE	オーバーラン割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b6	OLIE	オーバーロードフレーム送信割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b7	BLIE	バスロック割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W

EIER レジスタは、EIFR レジスタのエラー割り込み要因ごとに個別に割り込み要求を許可または禁止します。EIER レジスタは、CAN リセットモード時に書き込みを行ってください。

**BEIE ビット (バスエラー割り込み許可)**

BEIE ビットが 0 の場合、EIFR.BEIF ビットが 1 であっても、エラー割り込み要求は発生しません。BEIE ビットが 1 の場合、EIFR.BEIF ビットが 1 になると、エラー割り込み要求が発生します。

**EWIE ビット (エラーワーニング割り込み許可)**

EWIE ビットが 0 の場合、EIFR.EWIF ビットが 1 であっても、エラー割り込み要求は発生しません。EWIE ビットが 1 の場合、EIFR.EWIF ビットが 1 になると、エラー割り込み要求が発生します。

**EPIE ビット (エラーパッシブ割り込み許可)**

EPIE ビットが 0 の場合、EIFR.EPIF ビットが 1 であっても、エラー割り込み要求は発生しません。EPIE ビットが 1 の場合、EIFR.EPIF ビットが 1 になると、エラー割り込み要求が発生します。

**BOEIE ビット (バスオフ開始割り込み許可)**

BOEIE ビットが 0 の場合、EIFR.BOEIF ビットが 1 であっても、エラー割り込み要求は発生しません。BOEIE ビットが 1 の場合、EIFR.BOEIF ビットが 1 になると、エラー割り込み要求が発生します。

**BORIE ビット (バスオフ復帰割り込み許可)**

BORIE ビットが 0 の場合、EIFR.BORIF ビットが 1 であっても、エラー割り込み要求は発生しません。BORIE ビットが 1 の場合、EIFR.BORIF ビットが 1 になると、エラー割り込み要求が発生します。

**ORIE ビット (オーバーラン割り込み許可)**

ORIE ビットが 0 の場合、EIFR.ORIF ビットが 1 であっても、エラー割り込み要求は発生しません。ORIE ビットが 1 の場合、EIFR.ORIF ビットが 1 になると、エラー割り込み要求が発生します。

**OLIE ビット (オーバーロードフレーム送信割り込み許可)**

OLIE ビットが 0 の場合、EIFR.OLIF ビットが 1 であっても、エラー割り込み要求は発生しません。OLIE ビットが 1 の場合、EIFR.OLIF ビットが 1 になると、エラー割り込み要求が発生します。

**BLIE ビット (バスロック割り込み許可)**

BLIE ビットが 0 の場合、EIFR.BLIF ビットが 1 であっても、エラー割り込み要求は発生しません。BLIE ビットが 1 の場合、EIFR.BLIF ビットが 1 になると、エラー割り込み要求が発生します。

参考資料

## 27.2.21 エラー割り込み要因判定レジスタ (EIFR)

アドレス CAN0.EIFR 4005 084Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0: バスエラー未検出 1: バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/W
b5	ORIF	受信オーバーラン検出フラグ	0: 受信オーバーラン未検出 1: 受信オーバーラン検出	R/W
b6	OLIF	オーバーロードフレーム送信検出フラグ	0: オーバーロードフレーム送信未検出 1: オーバーロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0: バスロック未検出 1: バスロック検出	R/W

これらのビットの1つに対応したイベントが発生すると、EIER レジスタの設定にかかわらず EIFR レジスタの対応するビットが1になります。

これらのビットは、ソフトウェア書き込みで0にしてください。ソフトウェアによるクリアと同時にビットが1になると、そのビットは1になります。個々のビットをソフトウェアで0にする場合、転送 (MOV) 命令を使用して、必ず指定されたビットのみを0にし、その他のビットは1にしてください。1を書いても、これらのビットの値は影響されません。

**BEIF フラグ (バスエラー検出フラグ)**

バスエラーが検出されると、BEIF フラグは1になります。

**EWIF フラグ (エラーワーニング検出フラグ)**

受信エラーカウンタ (REC) または送信エラーカウンタ (TEC) の値が95を超えると、EWIF フラグは1になります。REC または TEC が最初に95を超えたときのみ1になります。REC または TEC が95を超えたまま、EWIF ビットにソフトウェアで0を書くと、REC または TEC が95未満になった後、再び95を超えるまで、EWIF フラグは1になります。

**EPIF フラグ (エラーパッシブ検出フラグ)**

CAN エラーの状態がエラーパッシブになったとき、受信エラーカウンタ (REC) または送信エラーカウンタ (TEC) が127を超えると、EPIF フラグは1になります。EPIF フラグは、REC または TEC が最初に127を超えたときのみ1になります。REC または TEC が127を超えたまま、EPIF フラグにソフトウェアで0を書くと、REC または TEC が127未満になった後、再び127を超えるまで、EPIF フラグは1になりません。

**BOEIF フラグ (バスオフ開始検出フラグ)**

CAN エラーの状態がバスオフになったとき、送信エラーカウンタ (TEC) の値が255を超えると、BOEIF フラグは1になります。また、CTRL.BOM[1:0] ビットが01b (バスオフ開始で自動的に CAN halt モードへ遷移) のとき、CAN モジュールがバスオフ状態になった場合も、BOEIF ビットは1になります。

### BORIF フラグ (バスオフ復帰検出フラグ)

CAN モジュールが、下記の条件下で、バスオフ状態から通常復帰 (11 の連続するビットを 128 回検出) した場合、BORIF フラグは 1 になります。

- CTLR.BOM[1:0] ビットが 00b の場合
- CTLR.BOM[1:0] ビットが 10b の場合
- CTLR.BOM[1:0] ビットが 11b の場合

ただし、CAN モジュールが、下記の条件下で、バスオフ状態から復帰した場合、BORIF フラグは 1 になりません。

- CTLR.CANM[1:0] ビットを 01b または 11b (CAN リセットモード) にした場合
- CTLR.RBOC ビットを 1 (バスオフからの強制復帰) にした場合
- CTLR.BOM[1:0] ビットを 01b にした場合
- CTLR.BOM[1:0] ビットを 11b にして、通常復帰が発生する前に、CTLR.CANM[1:0] ビットを 10b (CAN halt モード) にした場合

表 27.7 に、CTLR.BOM[1:0] ビットの設定値ごとの BOEIF および BORIF ビットの動作を示します。

表 27.7 CTLR.BOM[1:0] の設定値ごとの BOEIF、BORIF フラグの動作

BOM[1:0] ビット	BOEIF フラグ	BORIF フラグ
00b	バスオフ状態への遷移時に 1 になる	バスオフ状態からの復帰時に 1 になる
01b		1 にはならない
10b		バスオフ状態からの復帰時に 1 になる
11b		CANM[1:0] ビットが 10b (CAN halt モード) になる前に、通常のバスオフ復帰が発生した場合に 1 になる

### ORIF フラグ (受信オーバーラン検出フラグ)

ORIF フラグは、受信オーバーランが発生すると 1 になります。オーバーライトモードでは 1 になりません。

オーバーライトモードでは、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、ORIF ビットは 1 にはなりません。

通常メールボックスモードのオーバーランモードでは、メールボックス 0 ~ 31 のいずれかでオーバーランが発生すると、ORIF フラグが 1 になります。FIFO メールボックスモードのオーバーランモードでは、メールボックス 0 ~ 23 のいずれかまたは受信 FIFO でオーバーランが発生すると、ORIF フラグが 1 になります。

### OLIF フラグ (オーバーロードフレーム送信検出フラグ)

CAN モジュールが送信または受信動作中であるとき、オーバーロードフレームの送信条件が検出されると、OLIF フラグは 1 になります。

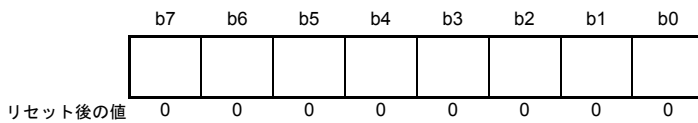
### BLIF フラグ (バスロック検出フラグ)

CAN モジュールが CAN オペレーションモードのとき、CAN バス上に 32 の連続するドミナントビットが検出されると、BLIF フラグは 1 になります。BLIF フラグが 1 になった後、次のいずれかの条件下では、32 の連続するドミナントビットが再検出されます。

- BLIF フラグが 1 から 0 に変化した後、レセシブビットが検出された場合
- BLIF フラグが 1 から 0 に変化した後、CAN モジュールが CAN リセットモードまたは CAN halt モードになり、その後、再び CAN オペレーションモードになった場合

### 27.2.22 受信エラーカウントレジスタ (RECR)

アドレス CAN0.RECR 4005 084Eh



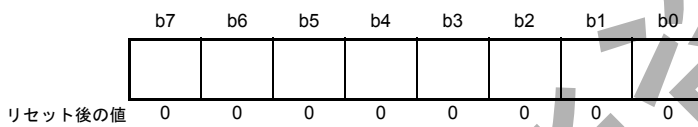
ビット	機能	R/W
b7-b0	受信エラーカウン機能 受信中のCANモジュールのエラー状態に基づいて、RECRはカウンタ値をインクリメントまたはデクリメント	R

RECR レジスタは、受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

バスオフ状態では、RECR レジスタの値は不定です。

### 27.2.23 送信エラーカウントレジスタ (TECR)

アドレス CAN0.TECR 4005 084Fh



ビット	機能	R/W
b7-b0	送信エラーカウン機能 送信中のCANモジュールのエラー状態に基づいて、TECRはカウンタ値をインクリメントまたはデクリメント	R

TECR レジスタは、送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

バスオフ状態では、TECR レジスタの値は不定です。

## 27.2.24 エラーコード格納レジスタ (ECSR)

アドレス CAN0.ECSR 4005 0850h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ(注1)、(注2)	0: スタッフエラー未検出 1: スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ(注1)、(注2)	0: フォームエラー未検出 1: フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ(注1)、(注2)	0: ACKエラー未検出 1: ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ(注1)、(注2)	0: CRCエラー未検出 1: CRCエラー検出	R/W
b4	BE1F	ビットエラー (レセシブ) フラグ (注1)、(注2)	0: ビットエラー (レセシブ) 未検出 1: ビットエラー (レセシブ) 検出	R/W
b5	BE0F	ビットエラー (ドミナント) フラグ (注1)、(注2)	0: ビットエラー (ドミナント) 未検出 1: ビットエラー (ドミナント) 検出	R/W
b6	ADEF	ACKデリミタエラーフラグ(注1)、(注2)	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択(注3)、(注4)	0: 最初に検出されたエラーコードを出力 1: 蓄積したエラーコードを出力	R/W

- 注1. 1を書いても、これらのビットの値は影響されません。
- 注2. SEF、FEF、AEF、CEF、BE1F、BE0F、ADEF ビットに0を書く場合は、転送 (MOV) 命令を使用して、必ず指定されたビットのみを0にし、その他のビットは1にしてください。
- 注3. EDPM ビットは、CAN リセットモードまたは CAN halt モード時に書き込みを行ってください。
- 注4. 同時に2つ以上のエラー条件が検出された場合は、関係するすべてのビットが1になります。

ECSR レジスタは、CAN バス上のエラー発生の有無を示します。各エラーの発生条件については、CAN 仕様 (ISO11898-1) を参照してください。

ソフトウェア書き込みでEDPM ビット以外のビットをすべて0にしてください。ソフトウェアによるクリアと同時にビットが1になると、そのビットは1になります。

**SEF フラグ (スタッフエラーフラグ)**

スタッフエラーが検出されると、SEF フラグは1になります。

**FEF フラグ (フォームエラーフラグ)**

フォームエラーが検出されると、FEF フラグは1になります。

**AEF フラグ (ACK エラーフラグ)**

ACK エラーが検出されると、AEF フラグは1になります。

**CEF フラグ (CRC エラーフラグ)**

CRC エラーが検出されると、CEF フラグは1になります。

**BE1F フラグ (ビットエラー (レセシブ) フラグ)**

レセシブビットエラーが検出されると、BE1F フラグは1になります。

**BE0F フラグ (ビットエラー (ドミナント) フラグ)**

ドミナントビットエラーが検出されると、BE0F フラグは1になります。

### ADEF フラグ (ACK デリミタエラーフラグ)

送信中に ACK デリミタでフォームエラーが検出されると、ADEF フラグは 1 になります。

### EDPM ビット (エラー表示モード選択)

EDPM ビットは、ECSR レジスタの出力モードを選択します。EDPM ビットを 0 にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットを 1 にすると、ECSR レジスタは蓄積したエラーコードを出力します。

## 27.2.25 タイムスタンプレジスタ (TSR)

アドレス CAN0.TSR 4005 0854h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15-b0	タイムスタンプ機能のためのフリーランカウンタ値	R

注. TSR レジスタの読み出しは 16 ビット単位で実行してください。

TSR レジスタを読むと、その時点のタイムスタンプカウンタ (16 ビットフリーランカウンタ) の値が読み出せます。タイムスタンプカウンタの基準クロックは、CTRL.TSPS[1:0] ビットで設定します。このカウンタは、CAN スリープモードおよび CAN halt モードで停止し、CAN リセットモードで初期化されます。TSR レジスタの値は、受信メッセージが受信メールボックスに格納される時、MBj\_TS レジスタの TSL[7:0] ビットと TSH[7:0] ビットに格納されます。

## 27.2.26 テストコントロールレジスタ (TCR)

アドレス CAN0.TCR 4005 0858h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TSTM[1:0]	TSTE	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTE	CAN テストモード許可	0 : CAN テストモード禁止 1 : CAN テストモード許可	R/W
b2-b1	TSTM[1:0]	CAN テストモード選択	b2 b1 0 0 : CAN テストモードではない 0 1 : リッスンオンリモード 1 0 : セルフテストモード 0 (外部ループバック) 1 1 : セルフテストモード 1 (内部ループバック)	R/W
b7-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

TCR レジスタは、CAN テストモードを制御します。TCR レジスタは、CAN halt モードでのみ書き込みを行ってください。

### (1) リッスンオンリモード

CAN仕様 (ISO11898-1) では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームとリモートフレームを受信できます。ただし、CANバスにはレセシブビットのみが送信可能であり、ACKビット、オーバーロードフラグ、アクティブエラーフラグは送信できません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 27.6 にリッスンオンリモード選択時の接続を示します。

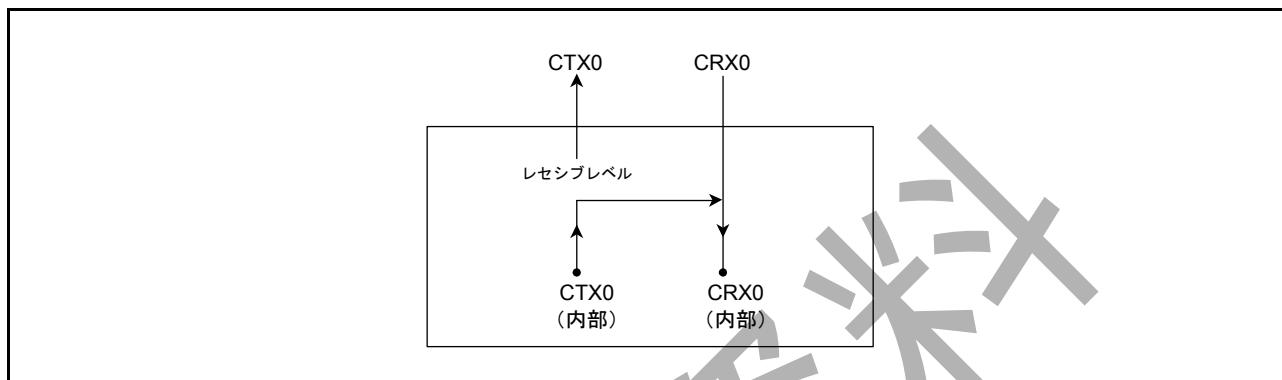


図 27.6 リッスンオンリモード選択時の接続

### (2) セルフテストモード0 (外部ループバック)

セルフテストモード0は、CANトランシーバテスト用です。このモードでは、プロトコルモジュールは、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルコントローラはACKビットを生成します。

CTX0 および CRX0 端子はトランシーバに接続してください。

図 27.7 にセルフテストモード0選択時の接続を示します。

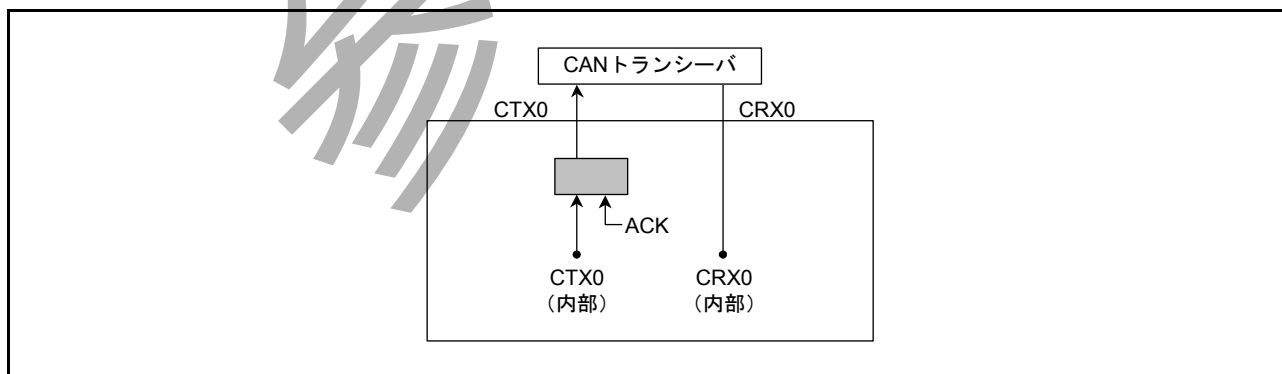


図 27.7 セルフテストモード0選択時の接続



### (3) セルフテストモード1 (内部ループバック)

セルフテストモード1は、セルフテスト機能用です。

セルフテストモード1では、プロトコルコントローラは送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルコントローラはACKビットを生成します。

セルフテストモード1では、プロトコルコントローラは内部CTX0端子から内部CRX0端子への内部ループバックを行います。外部CRX0端子の入力値は無視されます。外部CTX0端子はレセシブビットのみ出力します。CTX0/CRX0端子は、CANバスや他のどの外部デバイスにも接続する必要がありません。

図 27.8 にセルフテストモード1 選択時の接続を示します。

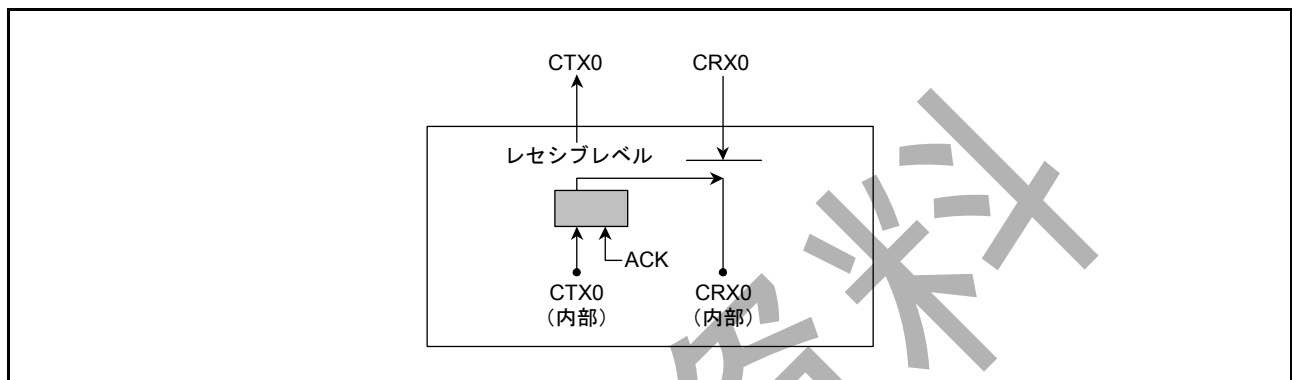


図 27.8 セルフテストモード1 選択時の接続

### 27.3 動作モード

CAN モジュールには、下記の 4 種類の動作モードがあります。

- CAN リセットモード
- CAN halt モード
- CAN オペレーションモード
- CAN スリープモード

図 27.9 に、各動作モード間の遷移を示します。

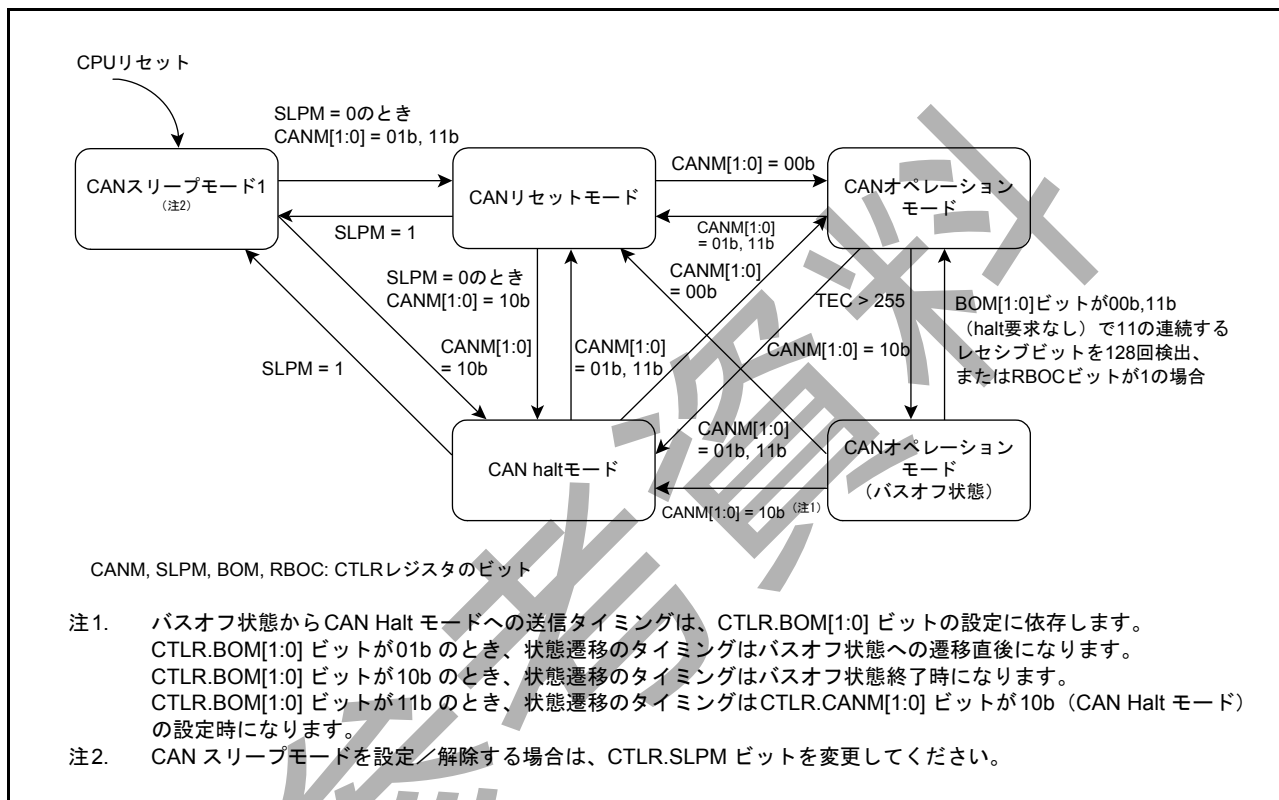


図 27.9 各動作モード間の遷移

### 27.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するためのモードです。CTRL.CANM[1:0] ビットを 01b または 11b にすると、CAN モジュールは CAN リセットモードになります。そのとき、STR.RSTST ビットが 1 になります。RSTST ビットが 1 になるまで、CTRL.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ遷移する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードへ遷移すると、それぞれのリセット後の値に初期化され、CAN リセットモード中はその初期値を保持します。

- MCTL\_TXj および MCTL\_RXj
- STR (SLPST ビットと TFST ビットを除く)
- EIFR
- RECR
- TECR
- TSR
- MSSR
- MSMR
- RFCR
- TFCR
- TCR
- ECSR (EDPM ビットを除く)

以下のレジスタは、CAN リセットモードへ遷移後も以前の値を保持します。

- CTRL
- STR (SLPST ビットと TFST ビットのみ)
- MIER および MIER\_FIFO
- EIER
- BCR
- CSSR
- ECSR (EDPM ビットのみ)
- MBj\_ID、MBj\_DL、MBj\_Dm、MBj\_TS
- MKRk
- FIDCR0 および FIDCR1
- MKIVLR
- AFSR
- RFPCR
- TFPCR

### 27.3.2 CAN halt モード

CAN halt モードは、メールボックスの設定とテストモードの設定のためのモードです。

CTLR.CANM[1:0] ビットを 10b にすると、CAN halt モードになります。そのとき、STR.HLTST ビットが 1 になります。HLTST ビットが 1 になるまで、CTLR.CANM[1:0] ビットを変更しないでください。

送信または受信時の状態遷移条件については、表 27.8 を参照してください。

CAN が CAN halt モードへ遷移しても、STR レジスタの RSTST、HLTST、および SLPST ビット以外、すべてのレジスタは変化しません。

CAN halt モードでは、CTLR レジスタ (CANM[1:0] ビットと SLPM ビット以外) と、EIER レジスタを変更しないでください。CAN halt モードでは、自動ポーレート検出のためにリッスンオンリモードを選択している場合のみ、BCR レジスタを変更できます。

表 27.8 CAN リセットモードと CAN halt モードでの動作

動作モード	受信	送信	バスオフ
CAN リセットモード (強制遷移) CANM[1:0] = 11b	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN リセットモード CANM[1:0] = 01b	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待って CAN リセットモードへ遷移 (注1)、(注4)	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN halt モード	CAN モジュールはメッセージ受信の終了を待って CAN halt モードへ遷移 (注2)、(注3)	CAN モジュールはメッセージ送信の終了を待って CAN halt モードへ遷移 (注1)、(注4)	<p>BOM[1:0] ビットが 00b のとき： バスオフ復帰後のみ、ソフトウェアからの Halt 要求を受け付ける</p> <p>BOM[1:0] ビットが 01b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待たずに自動的に CAN halt モードへ遷移</p> <p>BOM[1:0] ビットが 10b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待って自動的に CAN halt モードへ遷移</p> <p>BOM[1:0] ビットが 11b のとき： CAN モジュールは、バスオフ中にソフトウェアによる Halt 要求があると、バスオフ復帰の終了を待たずに CAN halt モードへ遷移</p>

- 注 1. 複数メッセージの送信要求があると、最初の送信完了後にモード遷移が発生します。送信のサスペンド中に CAN リセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、または CAN モジュールがレシーバになったときに、モード遷移が発生します。
- 注 2. CAN バスがドミナントレベルでロックされた場合、EIFR レジスタの BLIF ビットをモニタすることで、プログラムはバスロック状態を検出できます。
- 注 3. CAN halt モードが要求された後、受信中に CAN バスエラーが発生すると、CAN モジュールは CAN halt モードへ遷移します。
- 注 4. CAN リセットモードまたは CAN halt モードが要求された後、送信中に CAN バスエラーまたはアービトレーションロストが発生すると、CAN モジュールは要求された CAN モードへ遷移します。

### 27.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することで、電流消費を削減します。MCU の端子リセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CTRL.SLPM ビットを 1 にすると、CAN モジュールは CAN スリープモードへ遷移します。そのとき、STR.SLPST ビットが 1 になります。SLPST ビットが 1 になるまで、SLPM ビットの値を変更しないでください。CAN モジュールが CAN スリープモードへ遷移しても、他のレジスタが変化することはありません。

SLPM ビットは、CAN リセットモードまたは CAN halt モード時に書き込みを行ってください。CAN スリープモード時には、どのレジスタも変更しないでください (SLPM ビットは除く)。ただし、読み出し動作は許可されます。

SLPM ビットを 0 にすると、CAN モジュールは CAN スリープモードから復帰します。CAN モジュールが CAN スリープモードから復帰しても、他のレジスタが変化することはありません。

### 27.3.4 CAN オペレーションモード (バスオフ状態以外)

CAN オペレーションモードは、CAN 通信を行うためのモードです。

CTRL.CANM[1:0] ビットを 00b にすると、CAN モジュールは CAN オペレーションモードになります。そのとき、STR.RSTST ビットと STR.HLTST ビットが 0 になります。RSTST ビットと HLTST ビットが 0 になるまで、CANM[1:0] ビットの値を変更しないでください。

CAN オペレーションモードへ遷移後、11 の連続するレセプビットが検出されると、以下の状態になります。

- CAN モジュールは、ネットワーク上でアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタや送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN オペレーションモード時、CAN モジュールは、CAN バスの状態に応じて、次の 3 種類のサブモードの 1 つになります。

- アイドルモード：送受信が発生していない
- 受信モード：他のノードが送信した CAN メッセージを受信中
- 送信モード：CAN メッセージを送信中。セルフテストモード 0 (TCR.TSTM[1:0] = 10b) またはセルフテストモード 1 (TCR.TSTM[1:0] = 11b) を選択した場合、CAN モジュールは同時に自ノードが送信したメッセージを受信する

図 27.10 に CAN オペレーションモードのサブモードを示します。

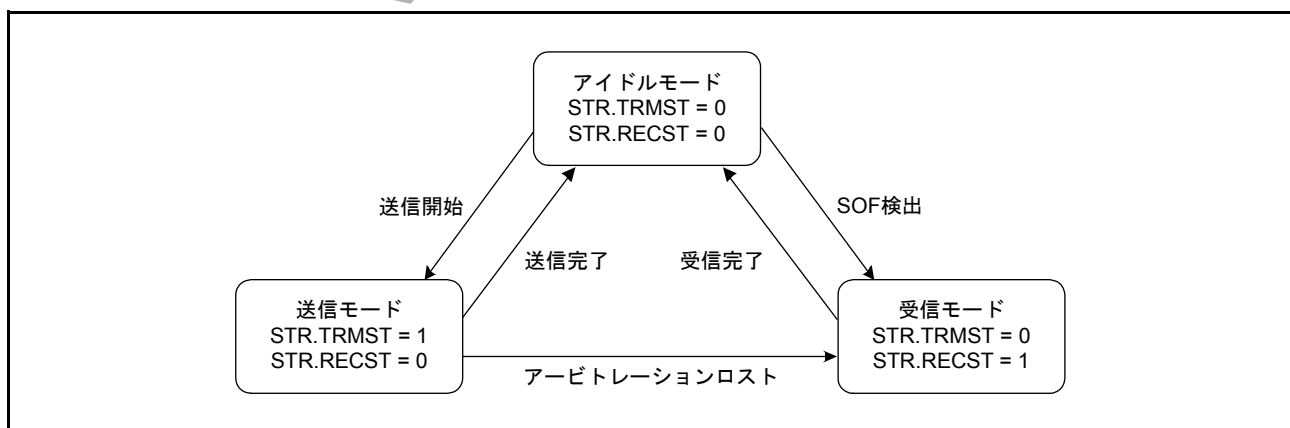


図 27.10 CAN オペレーションモードのサブモード

### 27.3.5 CAN オペレーションモード (バスオフ状態)

CAN 仕様に定められている通り、送信/受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態へ遷移します。CAN モジュールがバスオフ状態から復帰するとき、下記のケースがあります。CAN モジュールがバスオフ状態のとき、CAN モジュールのレジスタ (STR、EIFR、RECR、TECR および TSR を除く) の値は変化しません。

#### (1) CTRL.BOM[1:0] = 00b (通常モード) の場合

CAN モジュールは、バスオフ状態からの復帰を完了すると、エラーアクティブ状態となり、CAN 通信が可能になります。EIFR.BORIF フラグは 1 (バスオフ復帰検出) になります。

#### (2) CTRL.RBOC = 1 (バスオフ強制復帰) の場合

CAN モジュールは、バスオフ状態時に RBOC ビットが 1 であると、エラーアクティブ状態になります。11 の連続するレセシブビットを検出した後、再び CAN 通信が可能になります。EIFR.BORIF フラグは 1 になりません。

#### (3) CTRL.BOM[1:0] = 01b (バスオフ開始で自動的に CAN halt モードへ遷移) の場合

CAN モジュールは、バスオフ状態に達したとき、CAN halt モードになります。EIFR.BORIF フラグは 1 になりません。

#### (4) CTRL.BOM[1:0] = 10b (バスオフ終了で自動的に CAN halt モードへ遷移) の場合

CAN モジュールは、バスオフからの復帰を完了すると、CAN halt モードになります。EIFR.BORIF フラグは 1 になります。

#### (5) バスオフ状態時に CTRL.BOM[1:0] = 11b (ソフトウェアにより自動的に CAN halt モードへ遷移) および CTRL.CANM[1:0] = 10b (CAN halt モード) の場合

CAN モジュールは、バスオフ状態時に CANM[1:0] ビットが 10b (CAN halt モード) になっていると、CAN halt モードになります。EIFR.BORIF フラグは 1 になりません。

バスオフ時に CANM[1:0] ビットが 10b にされていないと、(1) と同じ動作になります。

## 27.4 データ転送レートの設定

以下では、データ転送レートの設定法について説明します。

### 27.4.1 クロックの設定

CAN モジュールは、[図 27.11](#) に示すように、CAN クロック発生回路を内蔵しています。BCR.BRP[9:0] ビットで、ボーレートプリスケアラの値を設定してください。

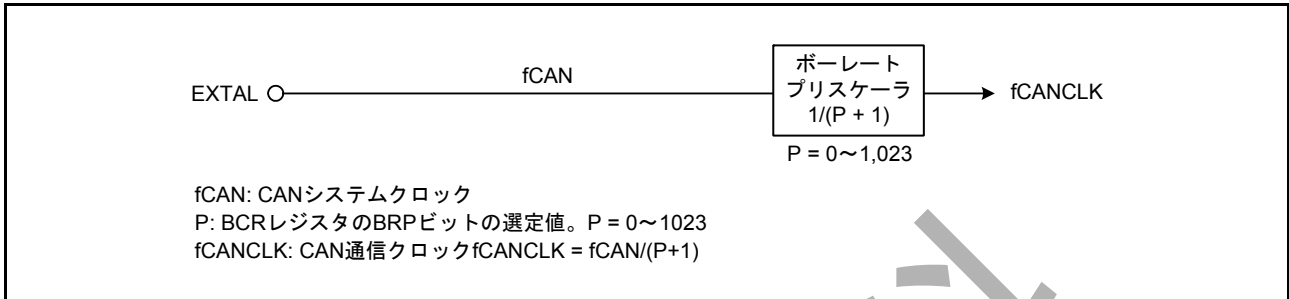


図 27.11 CAN クロック発生回路のブロック図

### 27.4.2 ビットタイムの設定

ビットタイムは、[図 27.12](#) に示す 3 つのセグメントで構成されます。

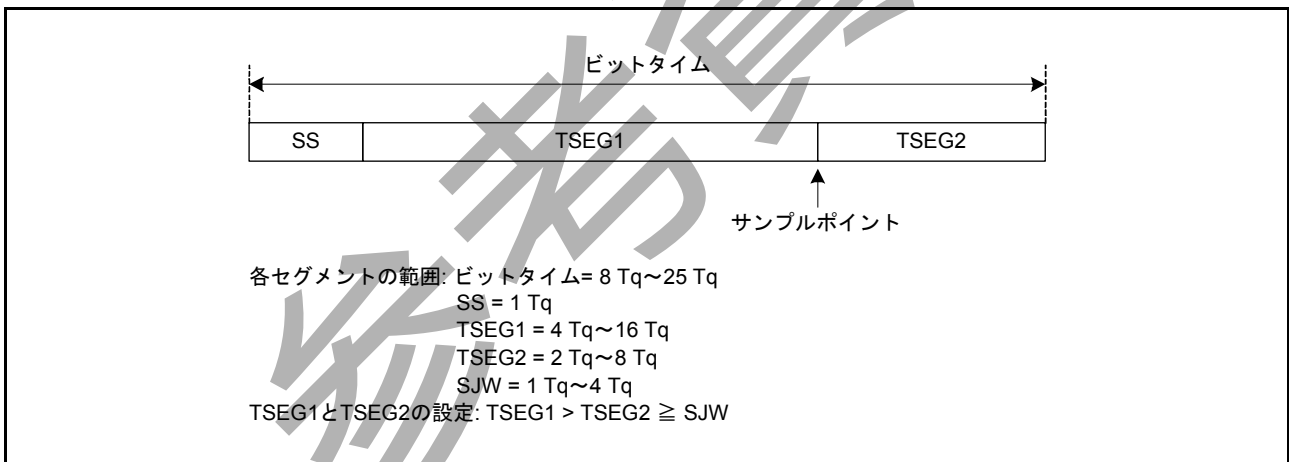


図 27.12 ビットタイミング

### 27.4.3 データ転送レート

データ転送レートは、fCAN (CAN システムクロック) の分周値、ボーレートプリスケアラ分周値、および1ビットタイムのTq数に依存します。

$$\text{データ転送レート [bps]} = \frac{f\text{CAN}}{\text{ボーレートプリスケアラ分周値 (注1)} \times 1\text{ビットタイムのTq数}} = \frac{f\text{CANCLK}}{1\text{ビットタイムのTq数}}$$

注1. ボーレートプリスケアラ分周値 = P + 1 (P = 0 ~ 1,023)、ここでPは、BCR.BRP[9:0] 設定値

表 27.9 に、データ転送レートの例を示します。

表 27.9 fCAN = 32MHzの場合のデータ転送レート例

データ転送レート	Tq数	P+1
1Mbps	8Tq	4
	16Tq	2
500kbps	8Tq	8
	16Tq	4
250kbps	8Tq	16
	16Tq	8
125kbps	8Tq	32
	16Tq	16
83.3kbps	8Tq	48
	16Tq	24
33.3kbps	8Tq	120
	10Tq	96
	16Tq	60
	20Tq	48



## 27.5 メールボックスとマスクレジスタの構成

図 27.13 に、32 本のメールボックスレジスタ (MB<sub>j</sub>\_ID、MB<sub>j</sub>\_DL、MB<sub>j</sub>\_Dm、MB<sub>j</sub>\_TS) の構成を示します。

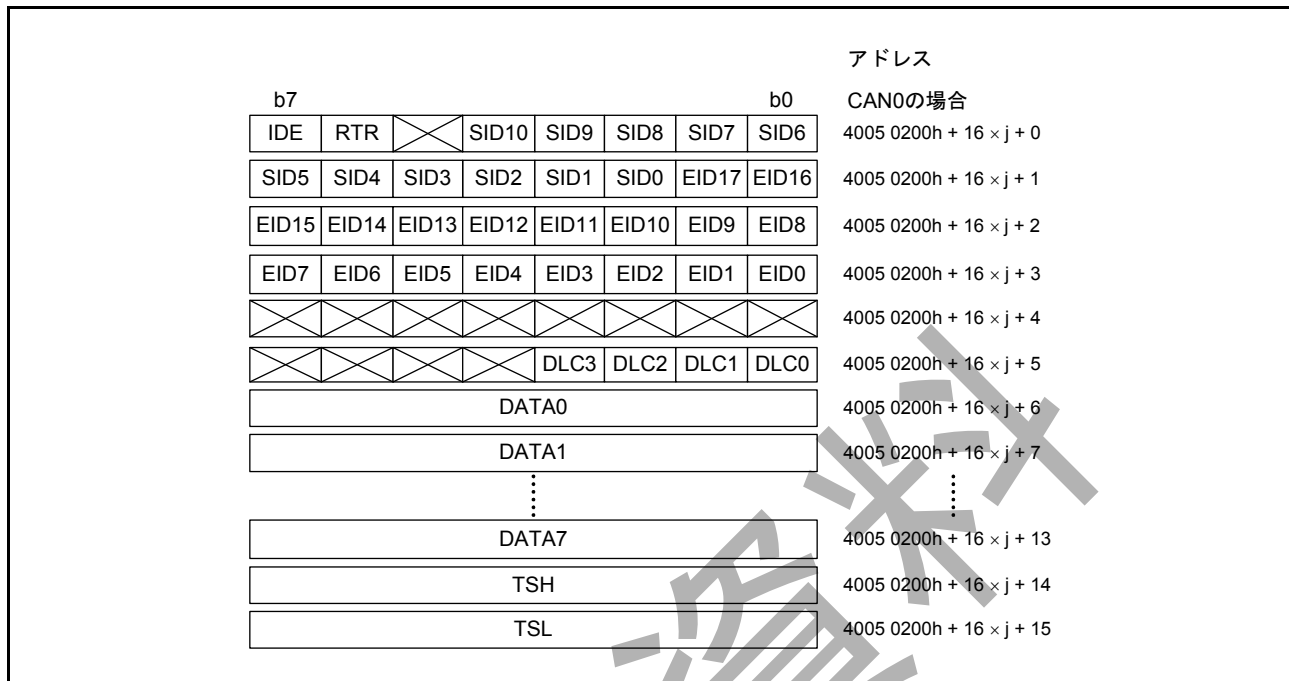


図 27.13 メールボックスレジスタの構成 (j = 0 ~ 31)

図 27.14 に、8 本のマスクレジスタ (MKR<sub>k</sub>) の構成を示します。

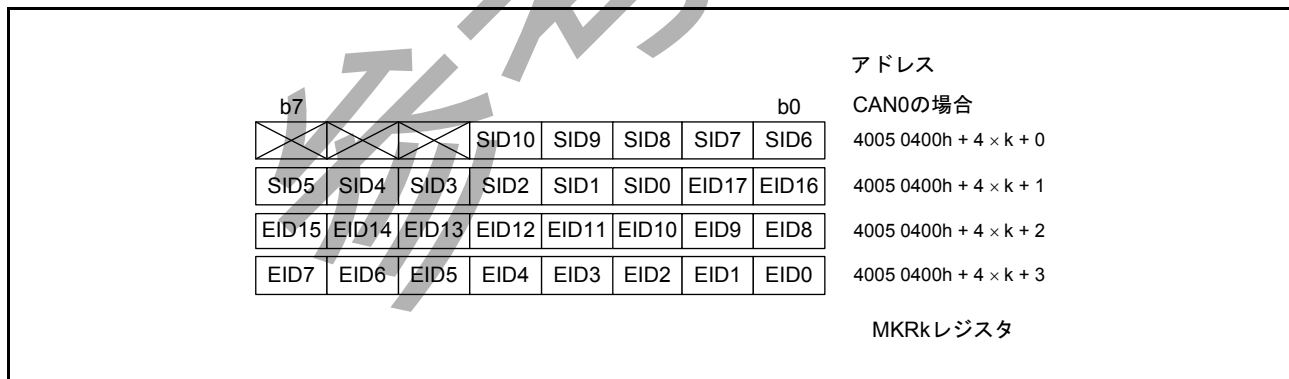


図 27.14 MKR<sub>k</sub> レジスタの構成 (k = 0 ~ 7)

図 27.15 に、2 本の FIFO 受信 ID 比較レジスタ (FIDCR0 および FIDCR1) の構成を示します。

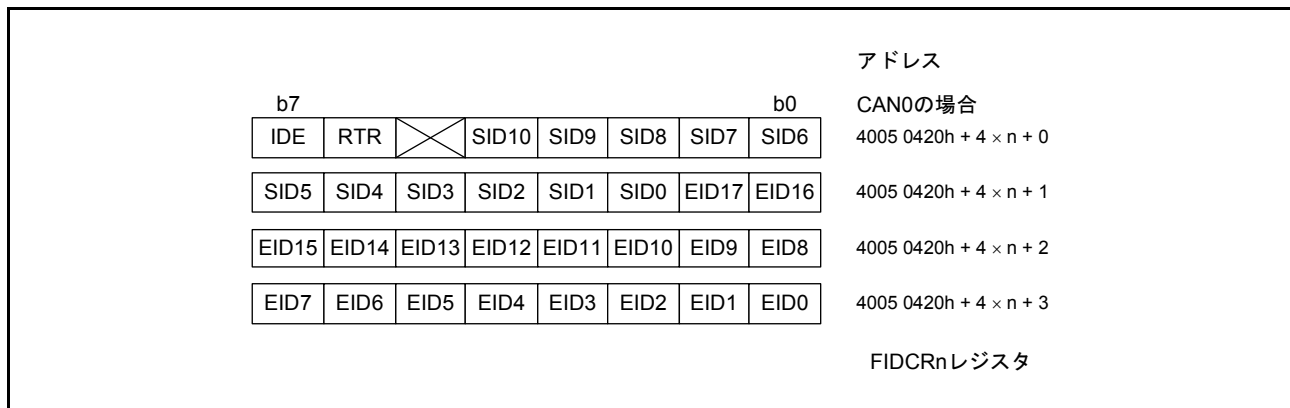


図 27.15 FIDCRn レジスタの構成 (n = 0、1)

参考資料

## 27.6 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能により、一定範囲内にあるメールボックスに対して、複数 ID でメッセージの選択および受信が可能になります。

MKRk レジスタは、標準 ID と拡張 ID をマスクできます。

- MKR0 は、メールボックス 0～3 のマスクレジスタ
- MKR1 は、メールボックス 4～7 のマスクレジスタ
- MKR2 は、メールボックス 8～11 のマスクレジスタ
- MKR3 は、メールボックス 12～15 のマスクレジスタ
- MKR4 は、メールボックス 16～19 のマスクレジスタ
- MKR5 は、メールボックス 20～23 のマスクレジスタ
- MKR6 は、通常メールボックスモードの場合はメールボックス 24～27、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28～31 のマスクレジスタ
- MKR7 は、通常メールボックスモードの場合はメールボックス 28～31、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28～31 のマスクレジスタ

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ処理を禁止します。

CTLR.IDFM[1:0] ビットが 10b (ミックス ID モード) のとき、MBj\_ID.IDE ビットが有効です。

MBj\_ID.RTR ビットは、データフレームまたはリモートフレームを選択します。

FIFO メールボックスモードの場合、通常メールボックス (0～23) は、アクセプタンスフィルタ処理に関連レジスタ (MKR0～MKR5) を使用します。受信 FIFO メールボックス (28～31) は、アクセプタンスフィルタ処理に MKR6 および MKR7 レジスタの 2 つを使用します。

受信 FIFO はまた、FIDCR0 および FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO の MB28～MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効になります。2 つの論理積の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO は 2 つの範囲の ID を受信することができます。

MKIVLR レジスタは、受信 FIFO に対しては無効です。

異なる値が FIDCR0 および FIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。

異なる値が FIDCR0 および FIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2 つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 27.16 は、マスクレジスタとメールボックスの対応関係を示しています。図 27.17 は、アクセプタンスフィルタ機能を示しています。

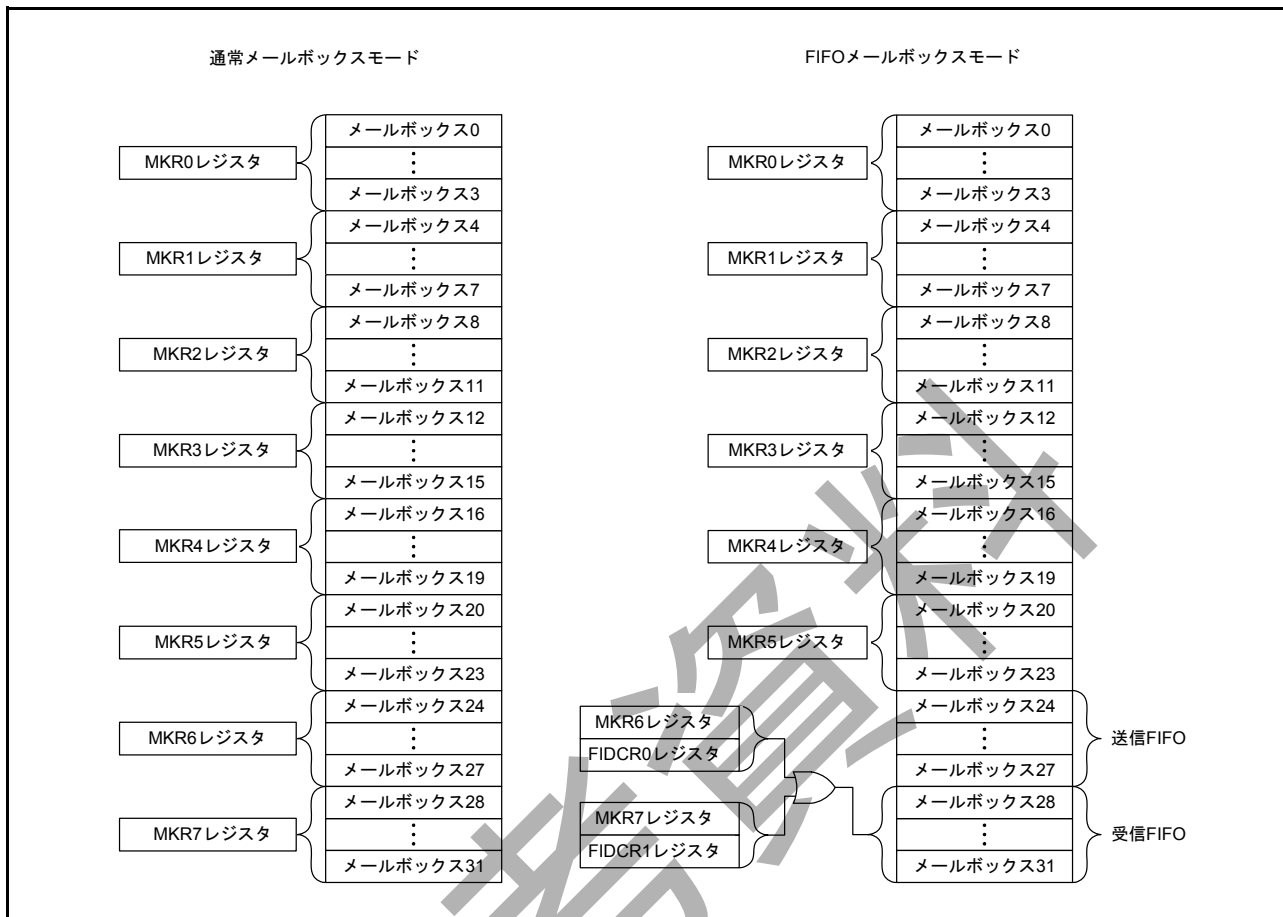


図 27.16 マスクレジスタとメールボックスの対応関係

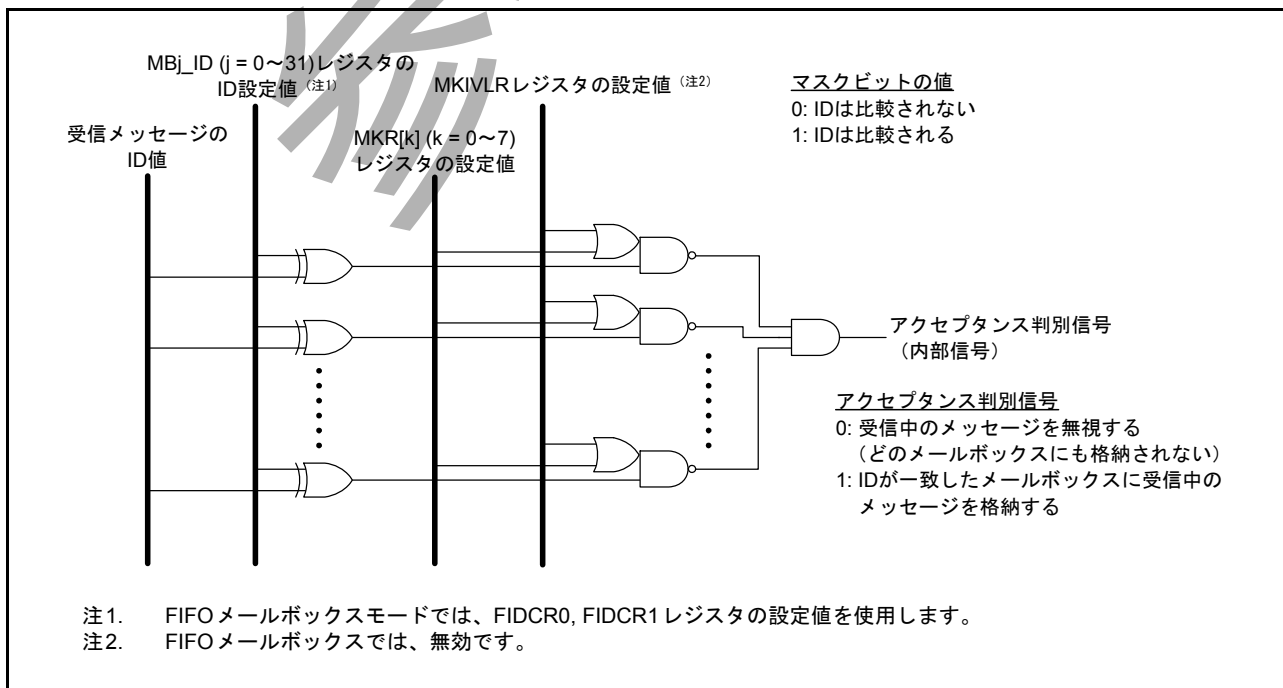


図 27.17 アクセプタンスフィルタ機能

## 27.7 受信／送信

表 27.10 に、CAN 通信モードの設定方法を示します。

表 27.10 CAN 受信モードと送信モードの設定

MCTL_TXjと MCTL_RXjT RMREQ	MCTL_TXjと MCTL_RXj RECREQ	MCTL_TXjと MCTL_RXj ONESHOT	メールボックス通信モード
0	0	0	メールボックス使用不可、または送信アボート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレーム用の受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレーム用のワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレーム用の送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレーム用のワンショット送信メールボックスとして設定
1	1	0	設定禁止
1	1	1	設定禁止

j = 0 ~ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

- メールボックスを設定する前に、MCTL\_RXj レジスタを 00h にします。
- 受信メッセージは、受信モード設定とアクセプタンスフィルタ機能に基づく条件に一致する最初のメールボックスに格納されます。このとき、最も番号の小さいメールボックスを優先して受信メッセージが格納されます。
- CAN オペレーションモードでは、ID が一致していても、CAN モジュールは自ら送信したデータを受信しません。ただし、セルフテストモードでは、CAN モジュールは自ら送信したデータを受信し、ACK を返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

- メールボックスを設定する前に、MCTL\_TXj レジスタが 00h であることと、アボート処理が待機中でないことを確認してください。

## 27.7.1 受信

図 27.18 に、データフレーム受信時の動作例（オーバーライトモードの場合）を示します。この例は、MCTL\_RXj レジスタ（j=0～31）の受信条件に一致する2つの連続した CAN メッセージを受信したときに、CAN モジュールが最初のメッセージを上書きする場合の動作です。

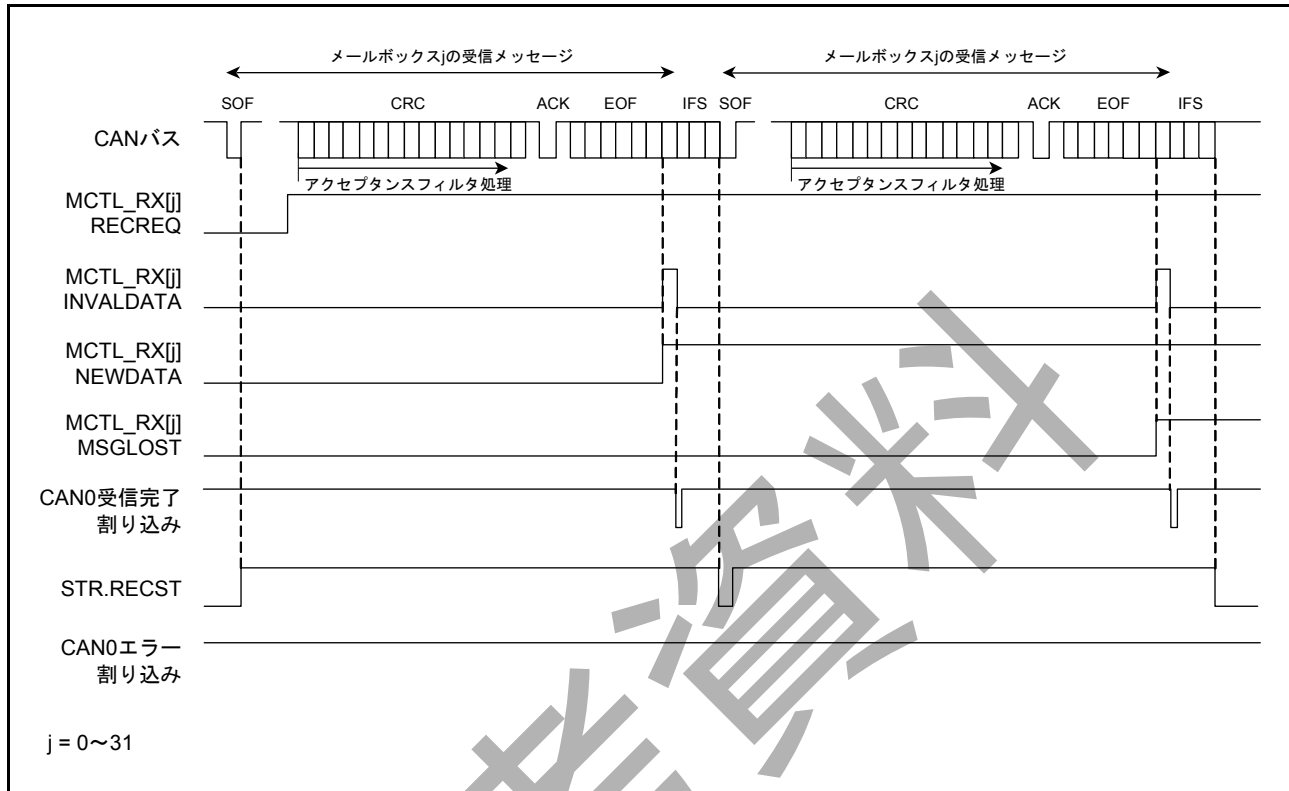


図 27.18 データフレーム受信時の動作例（オーバーライトモードの場合）

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、STR.RECST ビットが 1（受信済）になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの MCTL\_RXj.NEWDATA ビットが 1（新しいメッセージをメールボックスに格納中または格納済み）になります。同時に MCTL\_RXj.INVALIDDATA フラグが 1（メッセージを更新中）になります。そのメールボックスにメッセージ全体が転送された後、INVALIDDATA フラグが再度 0（メッセージは有効）になります。
4. 受信メールボックスの MIER レジスタの割り込み許可ビットが 1（割り込み許可）の場合、INVALIDDATA フラグが 0 であれば、CAN0 受信完了割り込み要求が発生します。
5. メールボックスからメッセージを読み出した後、NEWDATA ビットをソフトウェアで 0 にする必要があります。
6. オーバーライトモードでは、MCTL\_RXj.NEWDATA ビットが 0 になる前に、次の CAN メッセージを受信すると、MCTL\_RXj.MSGLOST ビットが 1（メッセージのオーバーライトあり）になります。新しく受信したメッセージはメールボックスに転送されます。CAN0 受信完了割り込み要求が、手順 4. と同様に発生します。

図 27.19 に、データフレーム受信時の動作例（オーバーランモードの場合）を示します。この例は、MCTL\_RXj レジスタ ( $j=0\sim 31$ ) の受信条件に一致する 2 つの連続した CAN メッセージを受信したときに、CAN モジュールが 2 番目のメッセージをオーバーランする場合の動作です。

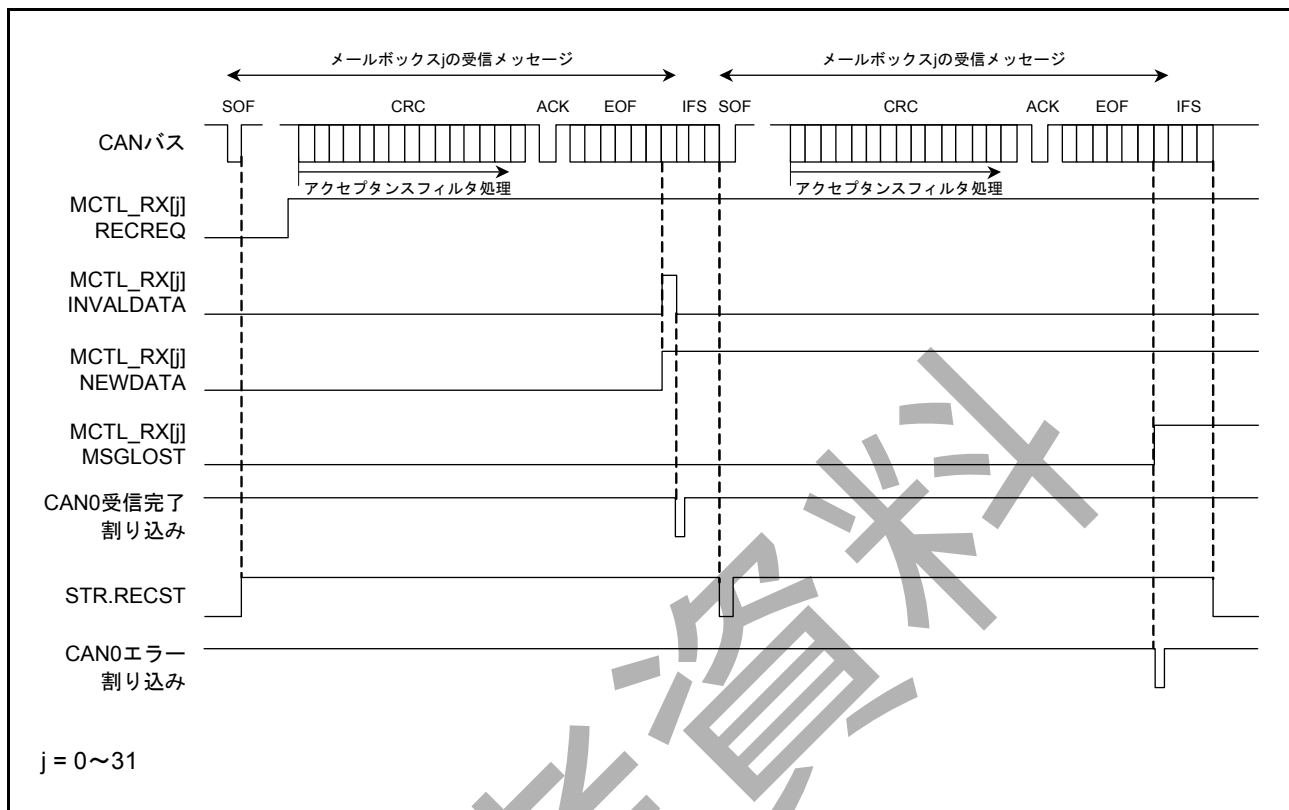


図 27.19 データフレーム受信時の動作例（オーバーランモードの場合）

手順 1. ~ 5. はオーバーライトモードと同じです。

6. オーバーランモードでは、MCTL\_RXj.NEWDATA ビットが 0 になる前に、次の CAN メッセージを受信すると、MCTL\_RXj.MSGLOST ビットが 1（メッセージのオーバーランあり）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが 1（割り込み許可）の場合、CAN0 エラー割り込み要求が発生します。

## 27.7.2 送信

図 27.20 にデータフレーム送信時の動作例を示します。

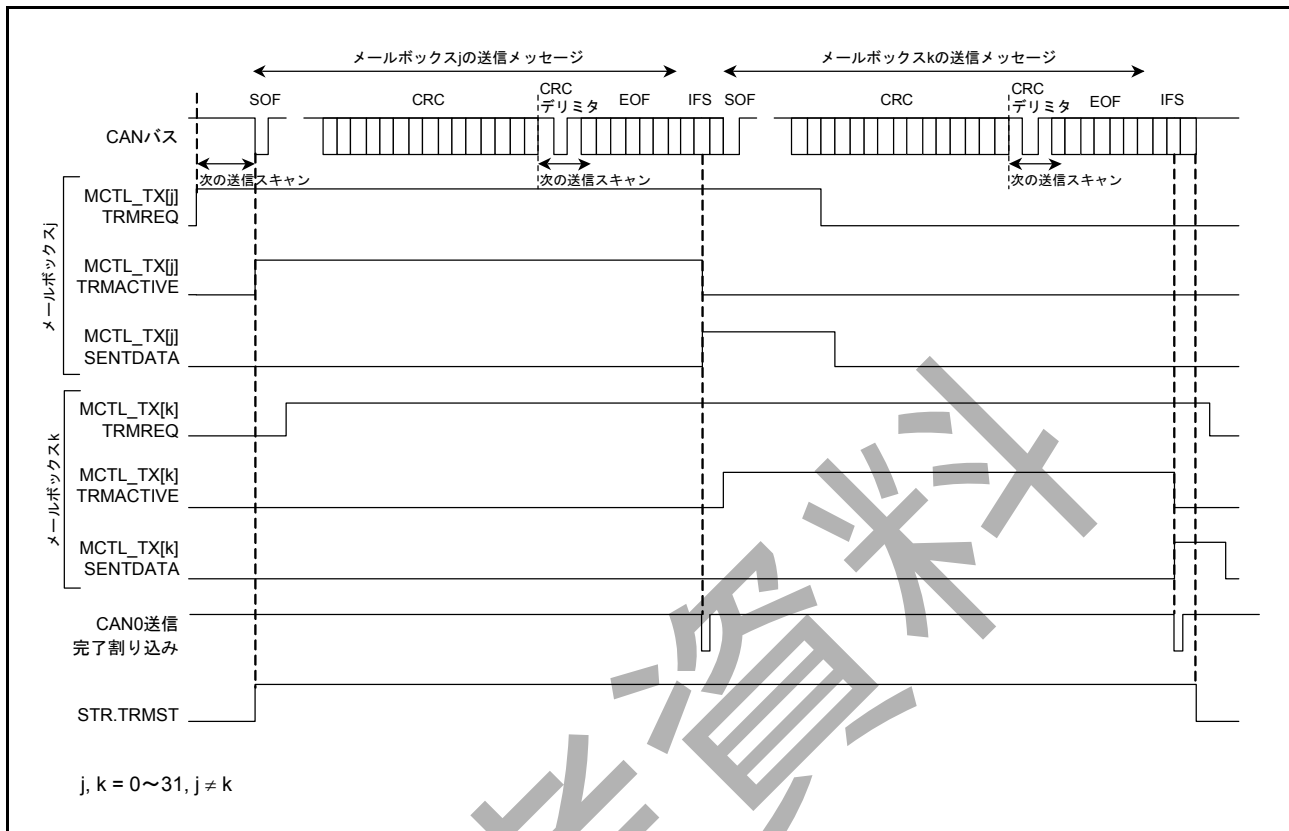


図 27.20 データフレーム送信時の動作例

- バスアイドル状態で、MCTL\_TXj.TRMREQ ビット ( $j=0\sim 31$ ) を 1 (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャンが開始されます。送信メールボックスが決定されると、MCTL\_TXj.TRMACTIVE フラグが 1 (送信要求の取り込みから、送信完了まで、あるいは、エラー発生またはアービトレーションロスト発生まで) になり、さらに STR.TRMST ビットが 1 (送信中) になって、CAN モジュールは送信を開始します (注 1)。
- 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャンが開始されます。
- アービトレーションロストが発生せずに送信が完了すると、MCTL\_TXj.SENTDATA ビットが 1 (送信完了) になり、TRMACTIVE フラグが 0 (送信待機中または送信要求なし) になります。そして、MIER レジスタの割り込み許可ビットが 1 (割り込み許可) の場合は、CAN0 送信完了割り込み要求が発生します。
- 同一のメールボックスから次の送信を要求する場合は、SENTDATA および TRMREQ ビットを 0 にした後、SENTDATA および TRMREQ ビットが 0 になったことを確認してから、TRMREQ ビットを 1 にしてください。

注 1. CAN モジュールが送信を開始した後、アービトレーションロストが発生した場合は、TRMACTIVE フラグは 0 になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、CRC デリミタの始めから、最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。



## 27.8 割り込み

CAN モジュールには、下記の割り込みがあります。表 27.11 に CAN 割り込みの一覧を示します。

- メールボックス 0～31 の CAN0 受信完了割り込み (CAN0\_RXM)
- メールボックス 0～31 の CAN0 送信完了割り込み (CAN0\_TXM)
- CAN0 受信 FIFO 割り込み (CAN0\_RXF)
- CAN0 送信 FIFO 割り込み (CAN0\_TXF)
- CAN0 エラー割り込み (CAN0\_ERS)

CAN0 のエラー割り込みには、下記の 8 つの割り込み要因が利用可能です。EIFR レジスタを確認して、割り込み要因を調べてください。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバーラン
- オーバーロードフレーム送信
- バスロック

表 27.11 CAN 割り込み

モジュール	割り込みシンボル	割り込み要因	要因フラグ
CAN0	CAN0_ERS	バスロック検出	EIFR.BLIF
		オーバーロードフレーム送信検出	EIFR.OLIF
		オーバーラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	CAN0_RXF	受信FIFOメッセージ受信 (MIER_FIFO.MB29 = 0)	RFCR.RFUST[2:0]
		受信FIFOワーニング (MIER_FIFO.MB29 = 1)	
	CAN0_TXF	送信FIFOメッセージ送信完了 (MIER_FIFO.MB25 = 0)	TFCR.TFUST[2:0]
		FIFOラストメッセージ送信完了 (MIER_FIFO.MB25 = 1)	
	CAN0_RXM	メールボックス0～31メッセージ受信	MCTL_RX[0].NEWDATA ~ MCTL_RX[31].NEWDATA
	CAN0_TXM	メールボックス0～31メッセージ送信完了	MCTL_TX[0].SENTDATA ~ MCTL_TX[31].SENTDATA

## 27.9 使用上の注意事項

### 27.9.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CAN モジュールの動作を許可または禁止することが可能です。CAN モジュールは、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

### 27.9.2 動作クロックの設定

CAN モジュールでは、以下のクロック制約を満たす必要があります。

- $f_{PCLKB} \geq f_{CANMCLK}$
- CAN モジュールを使用する場合、ICLK と PCLKB のクロック周波数比は 2:1 でなければいけません。これ以外の設定では、動作は保証されません。

参考資料

## 28. シリアルペリフェラルインタフェース (SPI)

本章に記載の PCLK は PCLKB を指します。また、 $n$  は A または B を表し、 $i$  は 0 または 1 を表します。端子または信号名に付加された小文字の  $i$  は 0 ~ 3 の値を表します。

### 28.1 概要

本 MCU は、独立した 2 チャネルのシリアルペリフェラルインタフェース (SPI) を内蔵しています。SPI チャネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式シリアル通信が可能です。

表 28.1 に SPI の仕様を、図 28.1 に SPI のブロック図を示します。

表 28.1 SPI の仕様 (1/2)

項目	内容
チャネル数	2チャネル
SPI転送機能	<ul style="list-style-type: none"> <li>MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号を使用して、SPI動作 (4線式) またはクロック同期式動作 (3線式) によるシリアル通信が可能</li> <li>送信のみ動作が可能</li> <li>通信モードは、全二重/送信のみから選択可能</li> <li>RSPCK極性切り替え</li> <li>RSPCK位相切り替え</li> </ul>
データフォーマット	<ul style="list-style-type: none"> <li>MSBファースト/LSBファーストを選択可能</li> <li>転送ビット長を8、9、10、11、12、13、14、15、16ビットから選択可能</li> <li>送信/受信バッファは32ビット</li> </ul>
ビットレート	<ul style="list-style-type: none"> <li>マスタモード時、内蔵ポーレートジェネレータでPCLKBを分周してRSPCKを生成 (2~4,096分周までプログラム可能)</li> <li>スレーブモード時、PCLKBの最小4分周のクロックをRSPCKとして入力可能 (RSPCKの最大周波数はPCLKBの4分周) High幅: PCLKBの2サイクル、Low幅: PCLKBの2サイクル</li> </ul>
バッファ構成	<ul style="list-style-type: none"> <li>送信および受信バッファはそれぞれダブルバッファ構造</li> <li>送信および受信バッファは32ビット</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>モードフォルトエラー検出</li> <li>アンダーランエラー検出</li> <li>オーバーランエラー検出 (注1)</li> <li>パリティエラー検出</li> </ul>
SSL制御機能	<ul style="list-style-type: none"> <li>1チャネルあたり4本のSSL端子 (SSLn0~SSLn3)</li> <li>シングルマスタモード時: SSLn0~SSLn3端子は出力用</li> <li>マルチマスタモード時: SSLn0端子は出力用、SSLn1~SSLn3端子は出力用または不使用</li> <li>スレーブモード時: SSLn0端子は入力用、SSLn1~SSLn3端子は不使用</li> <li>SSL出力のアサートからRSPCK動作までの遅延 (RSPCK遅延) を制御可能 設定範囲: 1~8RSPCK周期 (設定単位: 1RSPCK周期)</li> <li>RSPCK停止からSSL出力のネゲートまでの遅延 (SSLネゲート遅延) を制御可能 設定範囲: 1~8RSPCK周期 (設定単位: 1RSPCK周期)</li> <li>次アクセスのSSL出力アサートのウェイト (次アクセス遅延) を制御可能 設定範囲: 1~8RSPCK周期 (設定単位: 1RSPCK周期)</li> <li>SSL極性変更機能</li> </ul>
マスタ転送時の制御方式	<ul style="list-style-type: none"> <li>以下のコマンドをサポート SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、MSB/LSBファースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延</li> <li>送信バッファへの書き込みによる転送起動</li> <li>SSLネゲート時のMOSI信号値を設定可能</li> <li>RSPCK自動停止機能</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>受信バッファフル割り込み</li> <li>送信バッファエンプティ割り込み</li> <li>SPIエラー割り込み (モードフォルト、オーバーラン、パリティエラー)</li> <li>SPIアイドル割り込み (SPIアイドル)</li> <li>送信完了割り込み</li> </ul>

表 28.1 SPIの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	以下のイベントをイベントリンクコントローラへ出力可能 • 受信バッファフル信号 • 送信バッファエンプティ信号 • モードフォルト/アンダーラン/オーバーラン/パリティエラーの信号 • SPIアイドル信号 • 送信完了信号
その他	• SPI初期化機能 • ループバックモード
モジュールストップ機能	モジュールストップ状態を設定可能

注 1. マスタ受信かつ RSPCK 自動停止機能有効時には、オーバーランエラーを検出したときに転送クロックが停止するため、オーバーランエラーが発生しません。

参考資料

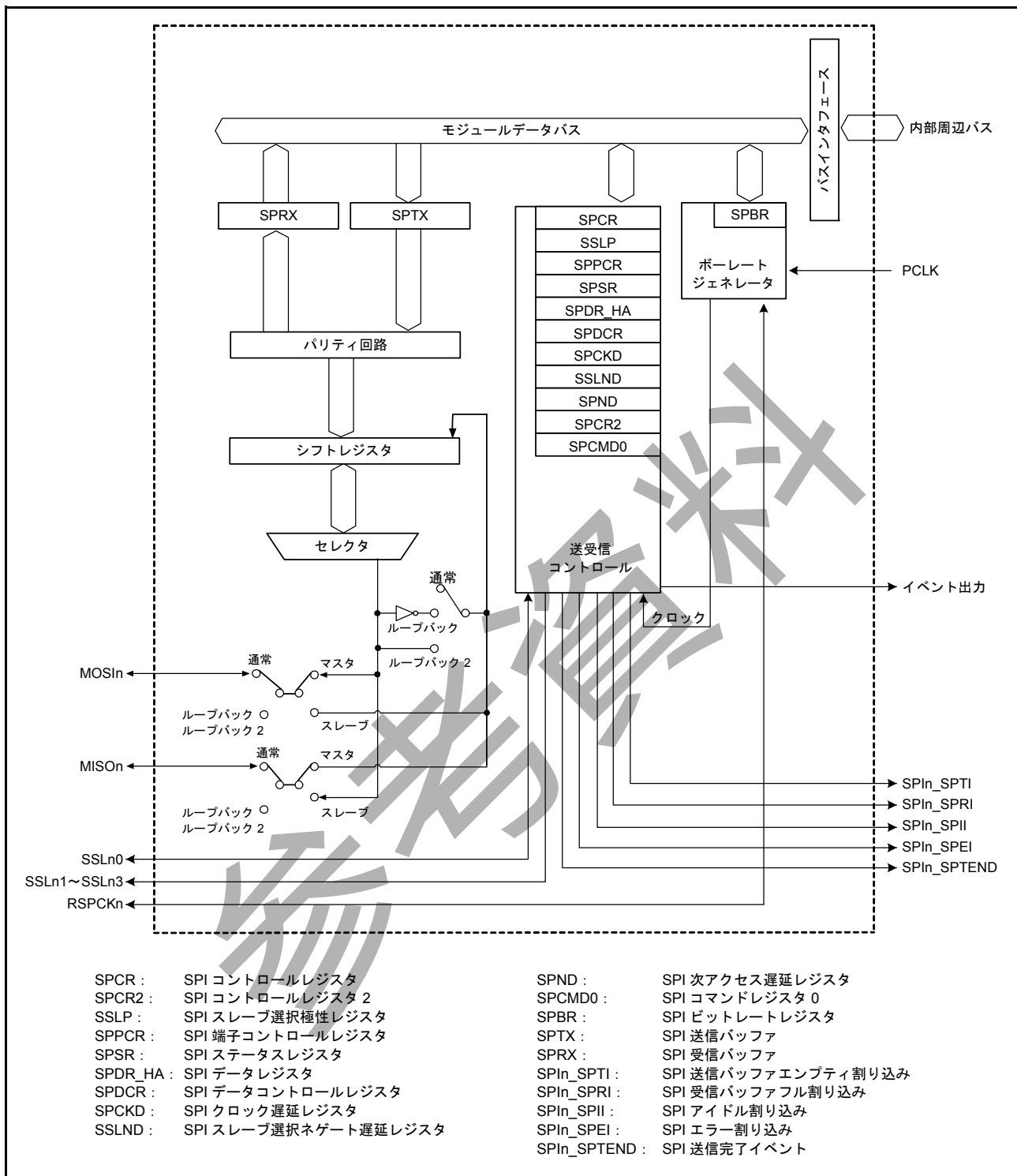


図 28.1 SPI のブロック図

表 28.2 に SPI で使用する入出力端子を示します。

SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 は、SPI がシングルマスタの場合は出力状態、マルチマスタとスレーブの場合は入力状態になります。RSPCKn、MOSIn、MISO<sub>n</sub> 端子の入出力方向は、マスタ/スレーブ設定と SSLn0 端子の入力レベルに応じて、SPI が自動的に切り替えます。

詳細は、28.3.2 SPI 端子の制御を参照してください。

表 28.2 SPIの端子構成

チャンネル	端子名	入出力	機能
SPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力
SPI1	RSPCKB	入出力	クロック入出力
	MOSIB	入出力	マスタ送出データ入出力
	MISOB	入出力	スレーブ送出データ入出力
	SSLB0	入出力	スレーブセレクト入出力
	SSLB1	出力	スレーブセレクト出力
	SSLB2	出力	スレーブセレクト出力
	SSLB3	出力	スレーブセレクト出力

## 28.2 レジスタの説明

### 28.2.1 SPI コントロールレジスタ (SPCR)

アドレス SPI0.SPCR 4007 2000h, SPI1.SPCR 4007 2100h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	SPIモード選択	0: SPI動作 (4線式) 1: クロック同期式動作 (3線式)	R/W
b1	TXMD	通信動作モード選択	0: 全二重同期式シリアル通信 1: 送信のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可	0: 禁止 1: 許可	R/W
b3	MSTR	SPIマスタ/スレーブモード選択	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	SPIエラー割り込み許可	0: 禁止 1: 許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可	0: 禁止 1: 許可	R/W
b6	SPE	SPI機能有効	0: 無効 1: 有効	R/W
b7	SPRIE	SPI受信バッファフル割り込み許可	0: 禁止 1: 許可	R/W

SPCR.SPE ビットが 1 の状態で、SPCR.MSTR ビット、SPCR.MODFEN ビット、または SPCR.TXMD ビットを変更した場合は、以降の動作を行わないでください。

#### SPMS ビット (SPI モード選択)

SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択します。

クロック同期式動作では、SSLn0 ~ SSLn3 端子は使用されません。RSPCKn 端子、MOSIn 端子、MISO<sub>n</sub> 端子の 3 端子を用いて通信を行います。また、マスタモード (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMD0.CPHA ビットを 0 または 1 にしてください。スレーブモード (SPCR.MSTR = 0) でクロック同期式動作を行う場合は、CPHA ビットを 1 にしてください。スレーブモード (SPCR.MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットが 0 であれば、動作を行わないでください。

#### TXMD ビット (通信動作モード選択)

全二重同期式のシリアル通信または送信のみ動作を選択します。

TXMD ビットを 1 にして通信を行う場合、SPI は送信動作のみを行い、受信動作を行いません (28.3.6 データ転送モードを参照してください)。

また、TXMD ビットを 1 にした場合、受信バッファフルの割り込み要求を使用することはできません。

#### MODFEN ビット (モードフォルトエラー検出許可)

モードフォルトエラーの検出を許可または禁止します (28.3.8 エラー検出を参照)。また、SPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLn0 ~ SSLn3 端子の入出力方向を決定します (28.3.2 SPI 端子の制御を参照)。

#### MSTR ビット (SPI マスタ/スレーブモード選択)

SPI に対してマスタモードまたはスレーブモードを選択します。SPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISO<sub>n</sub>、SSLn0 ~ SSLn3 端子の方向を決定します。

**SPEIE ビット (SPI エラー割り込み許可)**

以下の場合に、SPI エラー割り込み要求の発生を許可または禁止します。

- SPI がモードフォルトエラーまたはアンダーランエラーを検出し、SPSR.MODF フラグを 1 にした場合
- SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にした場合
- SPI がパリティエラーを検出し、SPSR.PERF フラグを 1 にした場合

(28.3.8 エラー検出を参照してください)

**SPTIE ビット (送信バッファエンプティ割り込み許可)**

SPI が送信バッファエンプティを検出したときの、送信バッファエンプティ割り込み要求の発生を許可または禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPE ビットと SPTIE ビットを同時に 1 にするか、または SPTIE ビットを 1 にした後、SPE ビットを 1 にすることで発生します。SPI 機能を無効 (SPTIE ビットを 0 に変更) にしても、SPTIE ビットが 1 であると、割り込みが発生します。

**SPE ビット (SPI 機能有効)**

SPI 機能を有効または無効にします。

SPSR.MODF フラグが 1 の場合、SPE ビットを 1 にできません。詳細は、28.3.8 エラー検出を参照してください。

SPE ビットを 0 にすると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。詳細は、28.3.9 SPI の初期化を参照してください。また、SPE ビットを 0 から 1 へまたは 1 から 0 へ切り替えると、送信バッファエンプティ割り込み要求が発生します。

**SPRIE ビット (SPI 受信バッファフル割り込み許可)**

SPI がシリアル転送完了後の受信バッファフルを検出したときの、割り込み要求の発生を許可または禁止します。

**28.2.2 SPI スレーブ選択極性レジスタ (SSLP)**

アドレス SPI0.SSLP 4007 2001h, SPI1.SSLP 4007 2101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0 信号極性設定	0 : アクティブ Low 1 : アクティブ High	R/W
b1	SSL1P	SSL1 信号極性設定	0 : アクティブ Low 1 : アクティブ High	R/W
b2	SSL2P	SSL2 信号極性設定	0 : アクティブ Low 1 : アクティブ High	R/W
b3	SSL3P	SSL3 信号極性設定	0 : アクティブ Low 1 : アクティブ High	R/W
b7-b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SSLP レジスタの内容を書き換えた場合、以降の動作を行わないでください。



### 28.2.3 SPI 端子コントロールレジスタ (SPPCR)

アドレス SPI0.SPPCR 4007 2002h, SPI1.SPPCR 4007 2102h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	SPIループバック	0 : 通常モード 1 : ループバックモード (データを反転して送信)	R/W
b1	SPLP2	SPIループバック2	0 : 通常モード 1 : ループバックモード (データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MOIFV	MOSIアイドル固定値	0 : MOSIアイドル時のMOSIn端子の出力レベルをLowに設定 1 : MOSIアイドル時のMOSIn端子の出力レベルをHighに設定	R/W
b5	MOIFE	MOSIアイドル値固定許可	0 : MOSI出力値は前回転送の最終データ 1 : MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPPCR レジスタの内容を書き換えた場合、以降の動作は行わないでください。

#### SPLP ビット (SPI ループバック)

SPI の端子モードを選択します。

SPLP ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI<sub>n</sub> 端子とシフトレジスタ間の経路を遮断します。SPI はシフトレジスタの入力経路と出力経路を接続および反転し、ループバックモードを確立します。

#### SPLP2 ビット (SPI ループバック 2)

SPI の端子モードを選択します。

SPLP2 ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI<sub>n</sub> 端子とシフトレジスタ間の経路を遮断します。SPI はシフトレジスタの入力経路と出力経路を接続し、ループバックモード 2 を確立します。

#### MOIFV ビット (MOSI アイドル固定値)

マスタモードで MOIFE ビットが 1 の場合、SSL ネゲート期間における MOSI<sub>n</sub> 端子の出力値を決定します。

#### MOIFE ビット (MOSI アイドル値固定許可)

SPI がマスタモードかつ SSL ネゲート期間であるとき、MOSI<sub>n</sub> 出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI<sub>n</sub> 端子に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットに設定された固定値を MOSI<sub>n</sub> 端子に出力します。

### 28.2.4 SPI ステータスレジスタ (SPSR)

アドレス SPI0.SPSR 4007 2003h, SPI1.SPSR 4007 2103h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	—	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバーランエラーフラグ	0: オーバーランエラーなし 1: オーバーランエラー発生	R/(W) (注1)
b1	IDLNF	SPIアイドルフラグ	0: SPIがアイドル状態 1: SPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーおよびアンダーランエラーなし 1: モードフォルトエラーまたはアンダーランエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	UDRF	アンダーランエラーフラグ	0: モードフォルトエラー発生 (MODF = 1) 1: アンダーランエラー発生 (MODF = 1) 本ビットはMODFが0の場合、無効です。	R/W (注1)、(注2)
b5	SPTEF	SPI送信バッファエンプティフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	R/(W) (注1)、(注3)
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SPRF	SPI受信バッファフルフラグ	0: SPDR_HAに有効なデータなし 1: SPDR_HAに有効なデータあり	R/(W) (注1)、(注3)

- 注1. フラグをクリアするため、1を読んだあとに0を書き込むことのみ可能です。  
 注2. MODF フラグをクリアすると同時に、UDRF フラグをクリアしてください。  
 注3. 書く場合、1としてください。

#### OVRF フラグ (オーバーランエラーフラグ)

オーバーランエラーの発生を示します。マスタモード (SPCR.MSTR = 1) かつ RSPCK クロック自動停止機能有効 (SPCR1.SCKASE = 1) の場合、オーバーランエラーは発生せず、このフラグは1になりません。詳細は、[28.3.8.1 オーバーランエラー](#)を参照してください。

[1になる条件]

- SPCR.TXMD ビットが0かつ受信バッファフルの状態、次のシリアル転送が終了したとき

[0になる条件]

- このフラグが1の状態、SPSR レジスタを読んだ後、このフラグに0を書いたとき

#### IDLNF フラグ (SPI アイドルフラグ)

SPI の転送状況を示します。

[1になる条件]

マスタモード:

- このフラグの [0になる条件] に示した、マスタモード時の条件1と条件2のいずれも満たさないとき

スレーブモード:

- SPCR.SPE ビットが1 (SPI機能が有効) のとき

[0になる条件]

マルチマスタモード:

- 下記の条件 1 を満たすか、または条件 2 を 2 つとも満たすとき
  - 1. SPI 初期化のため、SPCR.SPE ビットが 0 であるとき
  - 2. 以下の両方が真の場合：
    - a. 送信バッファ (SPTX) が空である (次転送データがセットされていない)
    - b. SPI 内部シーケンサがアイドル状態へ遷移した (次アクセス遅延までの動作が完了した状態)
- スレーブモード：
- SPI 初期化のため、SPCR.SPE ビットが 0 であるとき

### MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーまたはアンダーランエラーの発生を示します。UDRF フラグを使用して、どちらのエラーが発生したかを識別してください。

[1 になる条件]

マルチマスタモード：

- SPCR.MSTR ビットが 1 (マスタモード)、かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出許可) の状態で、SSLni 端子の入力レベルがアクティブレベルに変化し、SPI がモードフォルトエラーを検出したとき
- スレーブモード：
- 下記の条件 1 または条件 2 を満たしているとき

1. SPCR.MSTR ビットが 0 (スレーブモード)、かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、モードフォルトエラーが発生した場合
2. SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生した場合

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット (SSLi 信号極性設定ビット) によって決定されます。

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、このフラグに 0 を書いたとき

### PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示します。

[1 になる条件]

- SPCR.TXMD ビットが 0、かつ SPCR2.SPPE ビットが 1 の状態で、シリアル転送が終了し、パリティエラーが発生したとき

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、このフラグに 0 を書いたとき

### UDRF フラグ (アンダーランエラーフラグ)

アンダーランエラーの発生を示します。

[1 になる条件]

- SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生したとき

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、このフラグに 0 を書いたとき

**SPTEF フラグ (SPI 送信バッファエンプティフラグ)**

SPI データレジスタ (SPDR\_HA) の送信バッファの状態を示します。

[1 になる条件]

- 以下の条件 1 または 2 を満たしているとき
1. SPI 初期化のため、SPCR.SPE ビットが 0 であるとき
  2. 送信データが送信バッファからシフトレジスタへ転送されたとき

[0 になる条件]

- SPDR\_HA レジスタへデータが書き込まれたとき

SPTEF ビットが 1 の場合のみ、データを SPDR\_HA レジスタに書き込むことができます。SPTEF ビットが 0 のときに SPDR\_HA レジスタの送信バッファにデータが書き込まれた場合、送信バッファのデータは更新されません。

**SPRF フラグ (SPI 受信バッファフルフラグ)**

SPI データレジスタ (SPDR\_HA) の受信バッファの状態を示します。

[1 になる条件]

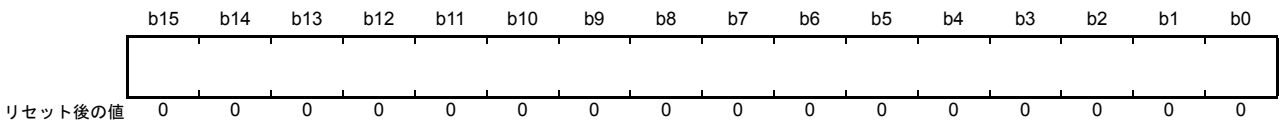
- SPI コントロールレジスタ (SPCR) の通信動作モード選択ビット (TXMD) が 0、かつ SPRF ビットが 0 の状態で、シリアル転送が終了し、SPI がシフトレジスタから SPDR\_HA へ受信データを転送したとき。ただし、OVRF フラグが 1 の場合、SPRF フラグは 0 から 1 に変更されない

[0 になる条件]

- SPDR\_HA レジスタから受信データが読み出されたとき

### 28.2.5 SPI データレジスタ (SPDR\_HA)

アドレス SPI0.SPDR\_HA 4007 2004h, SPI1.SPDR\_HA 4007 2104h



SPDR\_HA レジスタは、SPI 送受信のデータを格納するバッファとのインタフェースです。

送信バッファ (SPTX) と受信バッファ (SPRX) は独立したバッファですが、SPDR\_HA レジスタにマッピングされています。図 28.2 に、SPDR\_HA レジスタの構成図を示します。

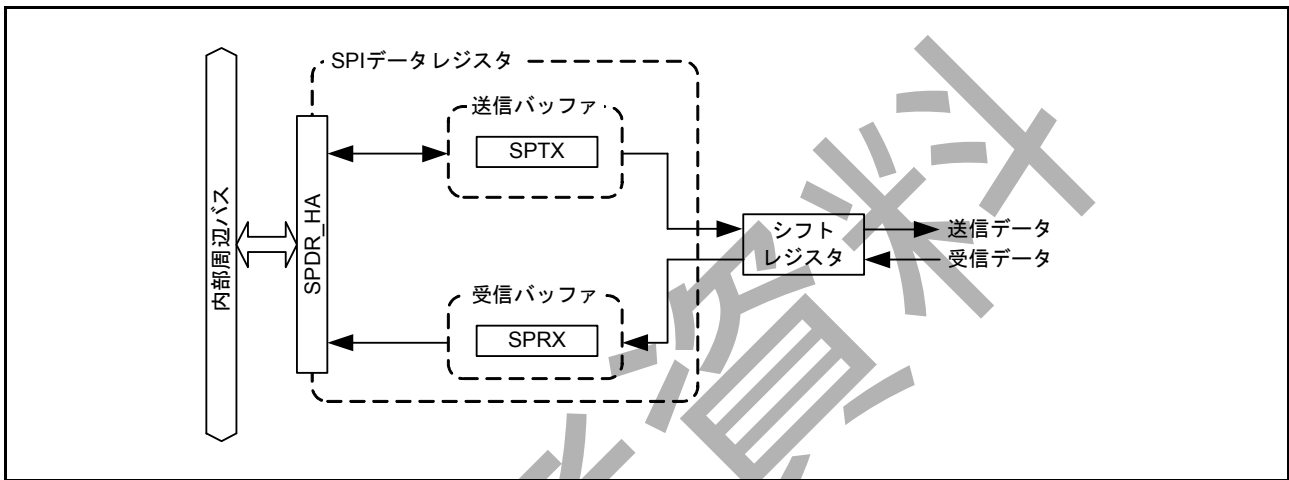


図 28.2 SPDR\_HA レジスタの構成図

送信バッファと受信バッファは、それぞれ 1 ステージあります。SPDR\_HA レジスタの 1 アドレスに、この合計 2 バッファステージがすべてマッピングされます。SPDR\_HA レジスタへ書き込まれたデータは、送信バッファステージ (SPTX) へ書き込まれた後、バッファから送信されます。受信バッファは、受信完了時に受信データを格納します。オーバーランが発生すると、受信バッファは更新されません。

データ長が 16 ビット以外の場合、SPRX の関連ビットには、SPTX の非参照ビットが格納されます。たとえば、データ長が 9 ビットのデータを受信した場合、SPRX[8:0] ビットには受信データが格納され、SPRX[15:9] ビットには SPTX[15:9] ビットが格納されます。

#### (1) バスインタフェース

SPDR\_HA レジスタは、16 ビットの送信および受信バッファとのインタフェースであり、それぞれのバッファが 1 ステージを持ち、合計 4 バイトになります。これらの 4 バイトを SPDR\_HA レジスタの 2 バイトのアドレス空間にマッピングしています。SPDR\_HA レジスタへのアクセスは、SPI データコントロールレジスタの SPI ハーフワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

以下では、SPDR\_HA レジスタに対する書き込みおよび読み出しに関連する動作について説明します。

##### (a) 書き込み

SPDR\_HA レジスタに書き込むことによって、送信バッファ (SPTX) にデータを書くことができます。SPDR\_HA レジスタの読み出し時と異なり、書き込みは SPDCR.SPRDTD ビットの値に影響されません。

図 28.3 に、SPDR\_HA レジスタへの書き込み時の送信バッファのバスインタフェースの構成図を示します。

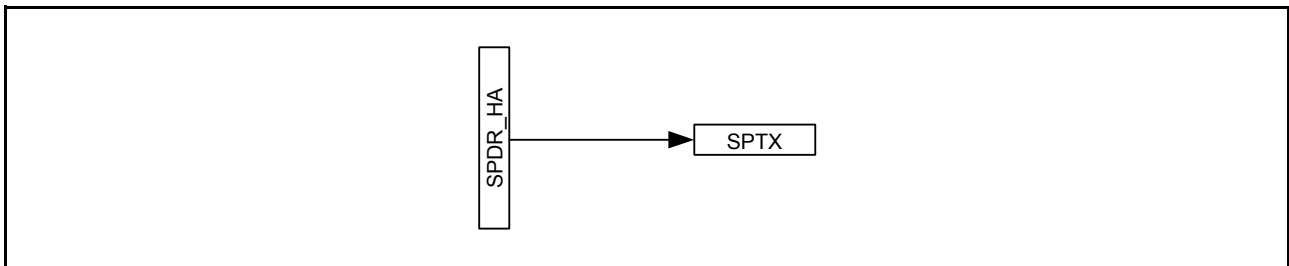


図 28.3 書き込み時の SPDR\_HA レジスタの構成図

送信バッファエンプティ割り込みの発生後 (SPSR.SPTEF = 1 のとき)、SPTX に転送データを書き込んでください。書き込み完了から次の送信バッファエンプティ割り込み発生 (SPTEF = 0) までの期間は、送信バッファ (SPTX) にデータを書き込んでも、バッファの値は更新されません。

#### (b) 読み出し

SPDR\_HA レジスタにアクセスすることによって、受信バッファ (SPRX) または送信バッファ (SPTX) の値を読み出すことができます。SPI データコントロールレジスタの SPI 受信/送信データ選択ビット (SPDCR.SPRDTD) の設定によって、受信バッファと送信バッファのどちらの内容を読み出すかが決まります。

図 28.4 に、SPDR\_HA レジスタからの読み出し時の受信および送信バッファのバスインタフェースの構成図を示します。

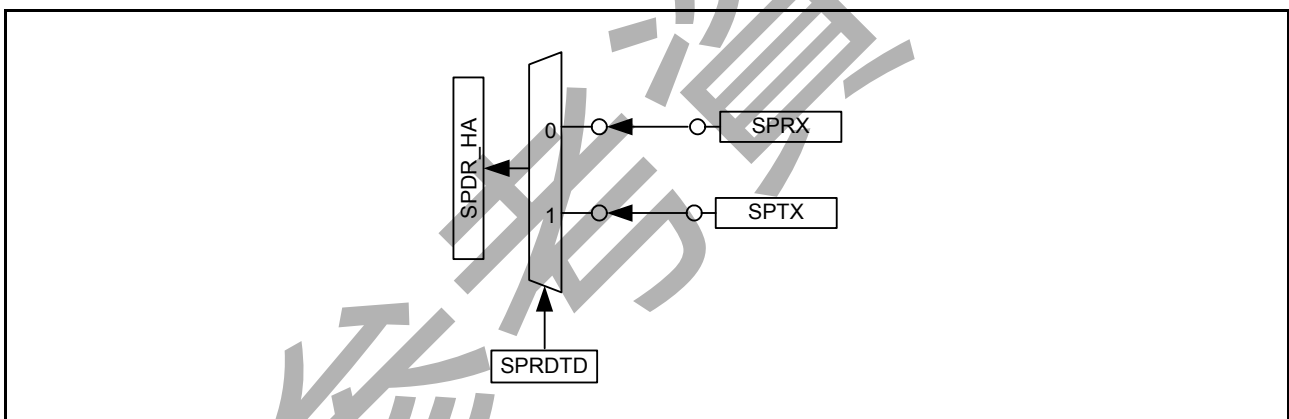
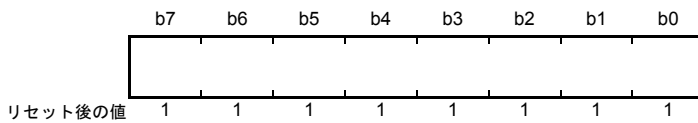


図 28.4 読み出し時の SPDR\_HA レジスタの構成図

送信バッファエンプティ割り込み発生後、データフレームの書き込み完了から次の送信バッファエンプティ割り込み発生 (SPSR.SPTEF = 0) までの期間は、送信バッファの読み出し値はすべて 0 となります。

### 28.2.6 SPI ビットレートレジスタ (SPBR)

アドレス SPI0.SPBR 4007 200Ah, SPI1.SPBR 4007 210Ah



SPBR レジスタは、マスタモード時のビットレートを設定するレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPBR レジスタの内容を書き換えた場合、以降の動作は行わないでください。

SPI をスレーブモードで使用する場合、SPBR レジスタと SPCMD0.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、ビットレートは入力クロックのビットレートに依存します。入力クロックには、常にデバイスの電気的特性を満たすビットレートを選択してください。

ビットレートは、SPBR レジスタの設定値と SPCMD0.BRDV[1:0] ビットの設定値の組み合わせで決定されます。次式でビットレートを計算してください。この式で、n は SPBR レジスタの設定値 (0, 1, 2, ..., 255)、N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

$$\text{Bit rate} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

SPBR レジスタの設定値、BRDV[1:0] ビットの設定値、およびビットレートの関係の例を表 28.3 に示します。

表 28.3 SPBR レジスタ設定値、BRDV[1:0] ビット設定値、およびビットレートの関係

SPBR (n)	BRDV[1:0] ビット (N)	分周比	PCLKB = 32MHzのときのビットレート
0	0	2	16.0Mbps
1	0	4	8.00Mbps
2	0	6	5.33Mbps
3	0	8	4.00Mbps
4	0	10	3.20Mbps
5	0	12	2.67Mbps
5	1	24	1.33Mbps
5	2	48	667kbps
5	3	96	333kbps
255	3	4096	7.81kbps

### 28.2.7 SPI データコントロールレジスタ (SPDCR)

アドレス SPI0.SPDCR 4007 200Bh, SPI1.SPDCR 4007 210Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPRDT D	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SPRDTD	SPI受信/送信データ選択	0: SPDR_HAの値は受信バッファから読み出す 1: SPDR_HAの値は送信バッファから読み出す (送信バッファが空の場合)	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### SPRDTD ビット (SPI 受信/送信データ選択)

SPDR\_HA レジスタが、値を受信バッファと送信バッファのどちらから読み出すかを選択します。送信バッファから読み出す場合、SPDR\_HA レジスタへ直前に書き込まれた値が読み出されます。送信バッファエンプティ割り込みの発生後 (SPSR.SPTEF = 1 のとき) に、送信バッファを読み出してください。

詳細は、28.2.5 SPI データレジスタ (SPDR\_HA) を参照してください。

### 28.2.8 SPI クロック遅延レジスタ (SPCKD)

アドレス SPI0.SPCKD 4007 200Ch, SPI1.SPCKD 4007 210Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SCKDL[2:0]		—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定	b2 b0 0 0 0: 1RSPCK 0 0 1: 2RSPCK 0 1 0: 3RSPCK 0 1 1: 4RSPCK 1 0 0: 5RSPCK 1 0 1: 6RSPCK 1 1 0: 7RSPCK 1 1 1: 8RSPCK	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCKD レジスタは、SPCMD0.SCKDEN ビットが 1 の場合、SSLni 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPCKD レジスタの内容を書き換えた場合、以降の動作は行わないでください。

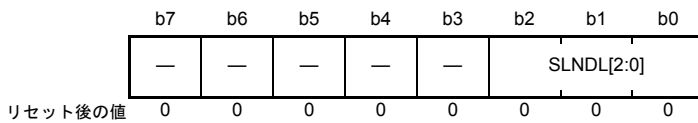
#### SCKDL[2:0] ビット (RSPCK 遅延設定)

SPCMD0.SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定します。SPI をスレーブモードで使用する場合は、SCKDL[2:0] ビットを 000b にしてください。



## 28.2.9 SPI スレーブ選択ネゲート遅延レジスタ (SSLND)

アドレス SPI0.SSLND 4007 200Dh, SPI1.SSLND 4007 210Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSL ネゲート遅延設定	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

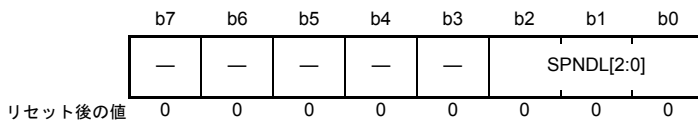
SSLND レジスタは、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから SSLni 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SSLND レジスタの内容を書き換えた場合、以降の動作は行わないでください。

**SLNDL[2:0] ビット (SSL ネゲート遅延設定)**

SPI がマスタモードのとき、SSL ネゲート遅延値を設定します。SPI をスレーブモードで使用する場合は、SLNDL[2:0] ビットを 000b にしてください。

## 28.2.10 SPI 次アクセス遅延レジスタ (SPND)

アドレス SPI0.SPND 4007 200Eh, SPI1.SPND 4007 210Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	SPI次アクセス遅延設定	b2 b0 0 0 0 : 1RSPCK + 2PCLKB 0 0 1 : 2RSPCK + 2PCLKB 0 1 0 : 3RSPCK + 2PCLKB 0 1 1 : 4RSPCK + 2PCLKB 1 0 0 : 5RSPCK + 2PCLKB 1 0 1 : 6RSPCK + 2PCLKB 1 1 0 : 7RSPCK + 2PCLKB 1 1 1 : 8RSPCK + 2PCLKB	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPND レジスタは、SPCMD0.SPNDEN ビットが1の場合、シリアル転送終了後の SSLni 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに1の状態、SPND レジスタの内容を書き換えた場合、以降の動作は行わないでください。

**SPNDL[2:0] ビット (SPI 次アクセス遅延設定)**

SPCMD0.SPNDEN ビットが1の場合に、次アクセス遅延を設定します。SPI をスレーブモードで使用する場合は、SPNDL[2:0] ビットを 000b にしてください。

## 28.2.11 SPI コントロールレジスタ 2 (SPCR2)

アドレス SPI0.SPCR2 4007 200Fh, SPI1.SPCR2 4007 210Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可	0: 送信データにパリティビットを付加せず、受信データのパリティビットをチェックしない 1: (SPCR.TXMD = 0の場合) 送信データにパリティビットを付加し、受信データのパリティビットをチェックする (SPCR.TXMD = 1の場合) 送信データにパリティビットを付加するが、受信データのパリティビットをチェックしない	R/W
b1	SPOE	パリティモード	0: 送受信に偶数パリティを選択 1: 送受信に奇数パリティを選択	R/W
b2	SPIIE	SPIアイドル割り込み許可	0: アイドル割り込み要求禁止 1: アイドル割り込み要求許可	R/W
b3	PTE	パリティ自己診断	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能は有効	R/W
b4	SCKASE	RSPCK自動停止機能有効	0: RSPCK自動停止機能は無効 1: RSPCK自動停止機能は有効	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが1の状態、SPCR2 レジスタの SPPE、SPOE、または SCKASE ビットの設定値を変更した場合、以降の動作は行わないでください。

**SPPE ビット (パリティ許可)**

パリティ機能を有効または無効にします。

SPCR.TXMD ビットが0で、SPCR2.SPPE ビットが1のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。SPCR.TXMD ビットが1で、SPCR2.SPPE ビットが1のとき、送信データにパリティビットを付加しますが、受信データのパリティチェックは行いません。

**SPOE ビット (パリティモード)**

偶数パリティまたは奇数パリティを設定します。

偶数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が1のビットの総数が偶数になるようにパリティビットが付加されます。同様に、奇数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が1のビットの総数が奇数になるようにパリティビットが付加されます。

SPOE ビットは、SPPE ビットが1の場合にのみ有効です。

**SPIIE ビット (SPI アイドル割り込み許可)**

SPI のアイドル状態が検出されて SPSR.IDLNF フラグが0になった場合の、SPI アイドル割り込み要求の発生を許可または禁止します。

**PTE ビット (パリティ自己診断)**

パリティ機能が正常であることを確認するための、パリティ回路の自己診断機能を有効または無効にします。

**SCKASE ビット (RSPCK 自動停止機能有効)**

RSPCK 自動停止機能を有効または無効にします。この機能を有効にした場合、マスタモードでのデータ受信時に、オーバーランエラーが発生する前に RSPCK クロックが停止します。詳細は、[28.3.8.1 オーバーランエラー](#)を参照してください。

## 28.2.12 SPI コマンドレジスタ 0 (SPCMD0)

アドレス SPI0.SPCMD0 4007 2010h, SPI1.SPCMD0 4007 2110h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			—	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定	0: 立ち上がりエッジでデータサンプリング、立ち下がりエッジでデータ変化を選択 1: 立ち上がりエッジでデータ変化、立ち下がりエッジでデータサンプリングを選択	R/W
b1	CPOL	RSPCK極性設定	0: アイドル時のRSPCKがLow 1: アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定	b3 b2 0 0: ベースのビットレート 0 1: ベースのビットレートの2分周 1 0: ベースのビットレートの4分周 1 1: ベースのビットレートの8分周	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定禁止 x: Don't care	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	SPB[3:0]	SPIデータ長設定	b11 b8 0100~0111: 8ビット 1 0 0 0: 9ビット 1 0 0 1: 10ビット 1 0 1 0: 11ビット 1 0 1 1: 12ビット 1 1 0 0: 13ビット 1 1 0 1: 14ビット 1 1 1 0: 15ビット 1 1 1 1: 16ビット 0 0 0 0: 設定禁止 0 0 0 1: 設定禁止 0010, 0011: 設定禁止	R/W
b12	LSBF	SPI LSB フェースト	0: MSB フェースト 1: LSB フェースト	R/W
b13	SPNDEN	SPI次アクセス遅延許可	0: 次アクセス遅延は1RSPCK + 2PCLKB 1: 次アクセス遅延はSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可	0: SSLネゲート遅延は1RSPCK 1: SSLネゲート遅延はSPIスレーブ選択ネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可	0: RSPCK遅延は1RSPCK 1: RSPCK遅延はSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

SPCMD0 レジスタは、マスタモードの SPI に対して転送フォーマットを設定するレジスタです。

このレジスタの設定は、送信バッファが空 (SPSR.SPTEF = 1)、すなわち次転送のデータがセットされていない状態で、このレジスタを参照したときに送信されるデータの設定前に行う必要があります。

SPCR.SPE ビットが 1 の状態で、SPCMD0 レジスタの内容を書き換えた場合は、以降の動作は行わないでください。

### CPHA ビット (RSPCK 位相設定)

マスタモードまたはスレーブモードの SPI に対して、RSPCK の位相を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 位相を設定する必要があります。

### CPOL ビット (RSPCK 極性設定)

マスタモードまたはスレーブモードの SPI に対して、RSPCK の極性を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 極性を設定する必要があります。

### BRDV[1:0] ビット (ビットレート分周設定)

SPBR レジスタの設定値との組み合わせでビットレートを決定します (28.2.6 SPI ビットレートレジスタ (SPBR) を参照してください)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし / 2 分周 / 4 分周 / 8 分周したビットレートを選択します。BRDV[1:0] ビットに異なる値に設定することで、コマンドごとに異なるビットレートでシリアル転送を実行できます。

### SSLA[2:0] ビット (SSL 信号アサート設定)

マスタモードの SPI がシリアル転送を行う際の、SSLni 信号のアサートを制御します。

SSLni 信号アサート時の信号極性は、関連する SSLP レジスタの設定値で決定されます。マルチマスタモードで SSLA[2:0] ビットを 000b にした場合、SSLn0 端子は入力になるため、全 SSL 信号がネゲート状態でシリアル転送が実行されます。

SPI をスレーブモードで使用する場合は、SSLA[2:0] ビットを 000b にしてください。

### SPB[3:0] ビット (SPI データ長設定)

マスタモードまたはスレーブモードの SPI に対して、転送データ長を設定します。

### LSBF ビット (SPI LSB ファースト)

マスタモードまたはスレーブモードの SPI に対して、そのデータフォーマットを MSB ファーストまたは LSB ファーストに設定します。

### SPNDEN ビット (SPI 次アクセス遅延許可)

マスタモードの SPI がシリアル転送を終了して SSLni 信号を非アクティブにしてから、次アクセスの SSLni 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を  $1RSPCK + 2PCLKB$  に設定します。SPNDEN ビットが 1 のとき、SPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

SPI をスレーブモードで使用する場合は、SPNDEN ビットを 0 にする必要があります。

### SLNDEN ビット (SSL ネゲート遅延設定許可)

マスタモードの SPI が、RSPCK を発振停止してから SSLni 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を  $1RSPCK$  に設定します。SLNDEN ビットが 1 のとき、SPI は SSLND レジスタの設定に従った SSL ネゲート遅延で SSL 信号をネゲートします。

SPI をスレーブモードで使用する場合は、SLNDEN ビットを 0 にする必要があります。

### SCKDEN ビット (RSPCK 遅延設定許可)

マスタモードの SPI が、SSLni 信号をアクティブにしてから RSPCK の発振を開始するまでの期間 (SPI クロック遅延) を設定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を  $1RSPCK$  にします。SCKDEN ビットが 1 のとき、SPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

SPI をスレーブモードで使用する場合は、SCKDEN ビットを 0 にする必要があります。

## 28.3 動作説明

本項では、「シリアル転送期間」という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間という意味で使用します。

### 28.3.1 SPI 動作の概要

SPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、およびマスタモード (クロック同期式動作) での同期式シリアル転送が可能です。各モードは、SPCR.MSTR、MODFEN、SPMS ビットで選択できます。表 28.4 に、SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 28.4 SPI のモードと SPCR レジスタ設定値の関係および各モードの概要

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 または 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCKn 信号	入力	出力	出力 / Hi-Z	入力	出力
MOSIn 信号	入力	出力	出力 / Hi-Z	入力	出力
MISO <sub>n</sub> 信号	出力 / Hi-Z	入力	入力	出力	入力
SSLn0 信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSLn1 ~ SSLn3 信号	Hi-Z (注1)	出力	出力 / Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL 極性変更機能	あり	あり	あり	—	—
転送速度	~ PCLKB/4	~ PCLKB/2	~ PCLKB/2	~ PCLKB/4	~ PCLKB/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種	2 種	2 種	1 種 (CPHA = 1)	2 種
先頭転送ビット	MSB/LSB				
転送データ長	8 ~ 16 ビット				
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求で送信バッファ書き込み (SPTEF = 1)	送信バッファエンプティ割り込み要求で送信バッファ書き込み (SPTEF = 1)	RSPCK 発振	送信バッファエンプティ割り込み要求で送信バッファ書き込み (SPTEF = 1)
送信バッファエンプティ検出	あり				
受信バッファフル検出	あり (注2)				
オーバーランエラー検出	あり (注2)	あり (注2)、(注4)	あり (注2)、(注4)	あり (注2)	あり (注2)
パリティエラー検出	あり (注2)、(注3)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダーランエラー検出	あり	なし	なし	あり	なし

注 1. この機能は本モードでは使用しません。

注 2. SPCR.TXMD ビットが 1 のときは、受信バッファフル検出、オーバーランエラー検出、パリティエラー検出を行いません。

注 3. SPCR2.SPPE ビットが 0 のときは、パリティエラー検出を行いません。

注 4. SPCR2.SCKASE ビットが 1 のときは、オーバーランエラー検出を行いません。

### 28.3.2 SPI 端子の制御

SPI は、SPCR.MSTR、MODFEN、SPMS ビットの設定により、端子状態を切り替えます。端子状態と各ビットの設定値との関係を表 28.5 に示します。入出力ポートの設定も同じになるよう設定してください。

表 28.5 端子状態とビット設定値の関係

モード	端子	端子状態 (注2)
シングルマスタ (SPI動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS出力
	SSLn0 ~ SSLn3	CMOS出力
	MOSIn	CMOS出力
	MISOOn	入力
マルチマスタ (SPI動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKn (注3)	CMOS出力 / Hi-Z
	SSLn0	入力
	SSLn1 ~ SSLn3 (注3)	CMOS出力 / Hi-Z
	MOSIn (注3)	CMOS出力 / Hi-Z
スレーブ (SPI動作) (MSTR = 0, SPMS = 0)	RSPCKn	入力
	SSLn0	入力
	SSLn1 ~ SSLn3 (注5)	Hi-Z (注1)
	MOSIn	入力
マスタ (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKn	CMOS出力
	SSLn0 ~ SSLn3 (注5)	Hi-Z (注1)
	MOSIn	CMOS出力
	MISOOn	入力
スレーブ (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKn	入力
	SSLn0 ~ SSLn3 (注5)	Hi-Z (注1)
	MOSIn	入力
	MISOOn	CMOS出力

注 1. この機能は本モードでは使用しません。

注 2. SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。

注 3. SSLn0 がアクティブレベルの場合、端子状態が Hi-Z になります。

注 4. SSLn0 が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子状態が Hi-Z になります。

注 5. これらの端子は入出力ポート端子として使用できます。

シングルマスタモード (SPI動作)、マルチマスタモード (SPI動作) の SPI は、SPPCR.MOIFE、MOIFV ビットの設定に従って、SSL ネゲート期間の MOSI 信号値を表 28.6 のように決定します。

表 28.6 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

### 28.3.3 SPI システム構成例

#### 28.3.3.1 シングルマスタとシングルスレーブ (MCU はマスタ)

図 28.5 に、MCU がマスタである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。シングルマスタとシングルスレーブ構成では、MCU (マスタ) の SSLn0 ~ SSLn3 出力は使用されません。SPI スレーブの SSL 入力は Low に固定され、SPI スレーブの選択状態を維持します。(注 1)

MCU (マスタ) は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

注 1. SPCMD0.CPHA ビットが 0 の場合に使用する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。このような場合は、本 MCU の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

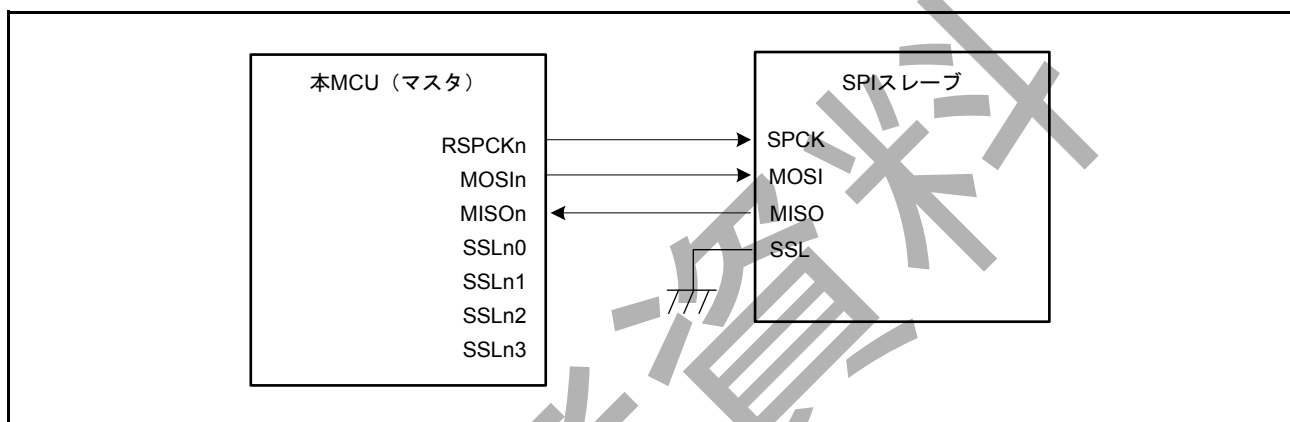


図 28.5 シングルマスタとシングルスレーブの構成例 (MCU はマスタ)



### 28.3.3.2 シングルマスタとシングルスレーブ (MCU はスレーブ)

図 28.6 に、MCU がスレーブである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。MCU をスレーブとして使用する場合は、SSLn0 端子は SSL 入力として使用されます。SPI マスタは、RSPCK および MOSI 信号をドライブします。MCU (スレーブ) は、MISO 信号をドライブします。(注 1)

SPCMD0.CPHA ビットを 1 にしたシングルスレーブ構成の場合には、MCU (スレーブ) の SSLn0 入力は Low に固定され、MCU (スレーブ) の選択状態を維持します。これにより、シリアル転送を実行することも可能です (図 28.7)。

注 1. SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

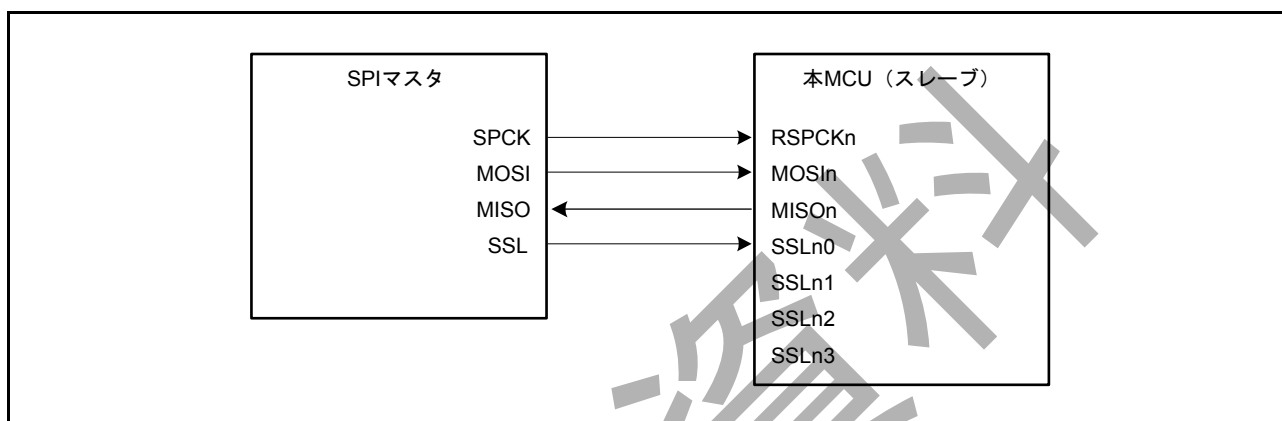


図 28.6 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、CPHA = 0)

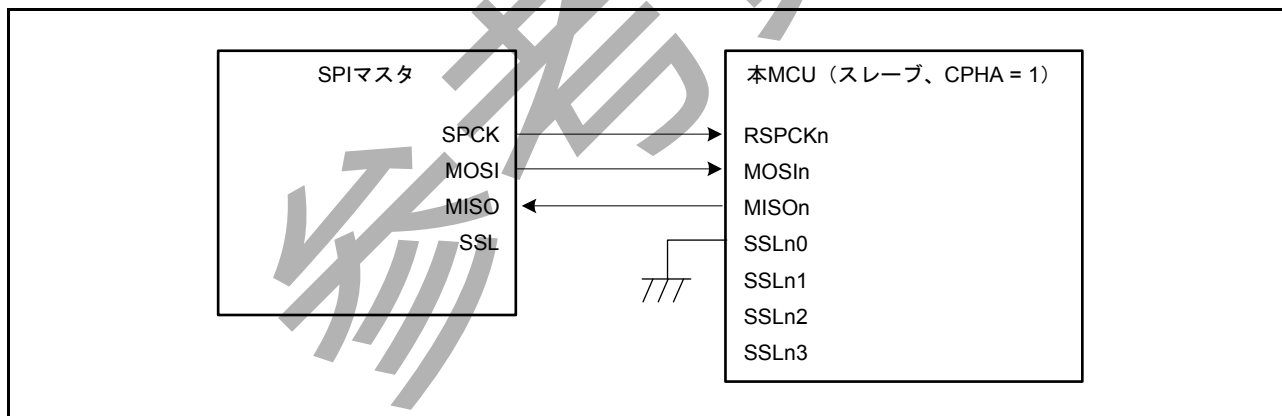


図 28.7 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、CPHA = 1)

### 28.3.3.3 シングルマスタとマルチスレーブ (MCU はマスタ)

図 28.8 に、MCU がマスタである場合のシングルマスタ/マルチスレーブの SPI システム構成例を示します。この例では、MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から SPI システムを構成しています。

MCU (マスタ) の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて MCU (マスタ) の MISO 入力に接続します。MCU (マスタ) の SSLn0 ~ SSLn3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

MCU (マスタ) は、RSPCK、MOSI、SSLn0 ~ SSLn3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

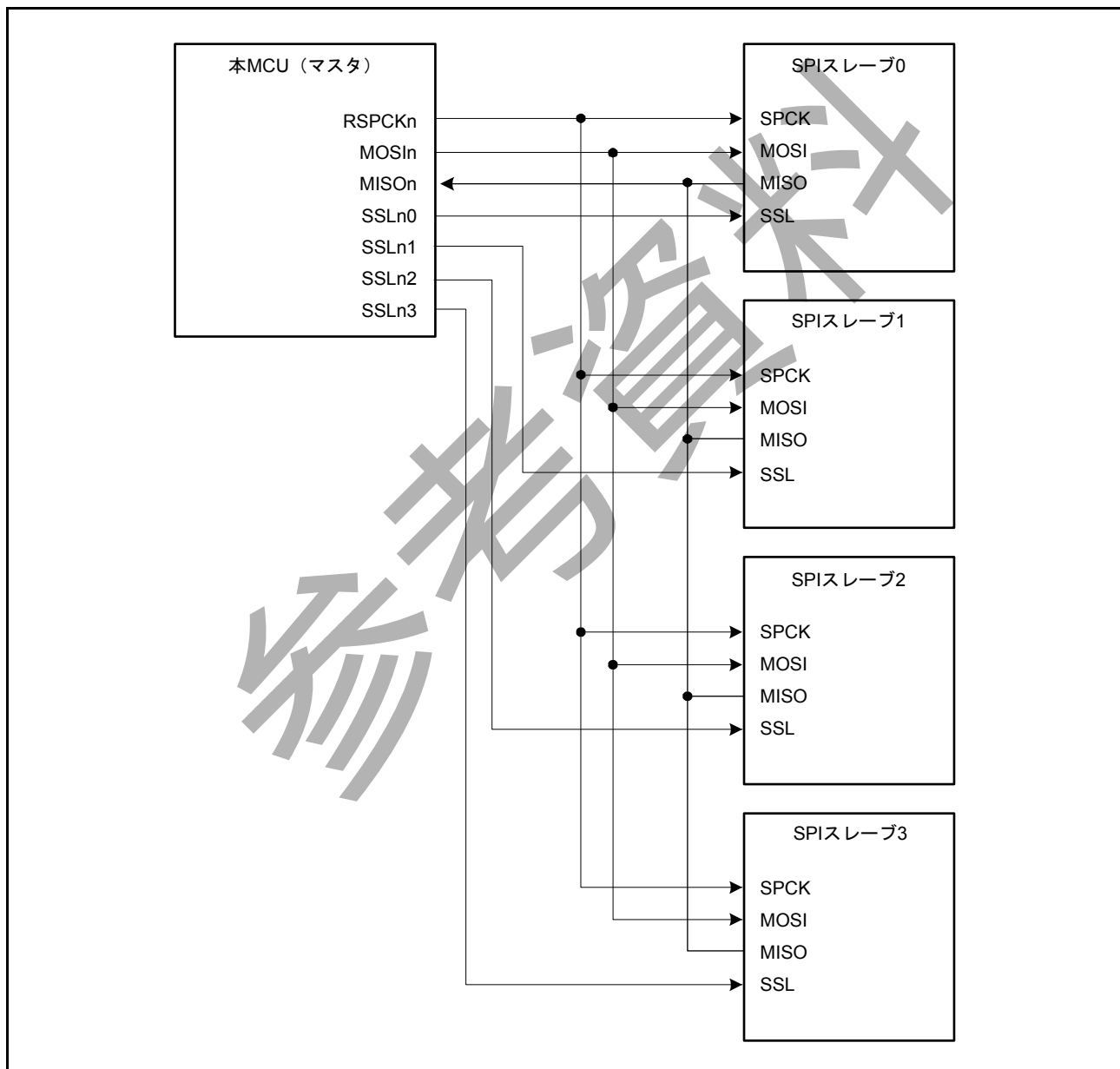


図 28.8 シングルマスタとマルチスレーブの構成例 (MCU はマスタ)

### 28.3.3.4 シングルマスタとマルチスレーブ (MCU はスレーブ)

図 28.9 に、MCU がスレーブである場合のシングルマスタ/マルチスレーブの SPI システム構成例を示します。この例では、SPI マスタと 2 つの MCU (スレーブ X、スレーブ Y) から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU (スレーブ X、スレーブ Y) の RSPCKn 入力と MOSIn 入りに接続します。MCU (スレーブ X、スレーブ Y) の MISO<sub>n</sub> 出力は、すべて SPI マスタの MISO 入りに接続します。SPI マスタの SSLX 出力、SSLY 出力は、それぞれ MCU (スレーブ X、スレーブ Y) の SSLn0 入りに接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。MCU スレーブ (X、Y) のうち、SSLn0 入りに Low を入力されているスレーブが、MISO<sub>n</sub> をドライブします。

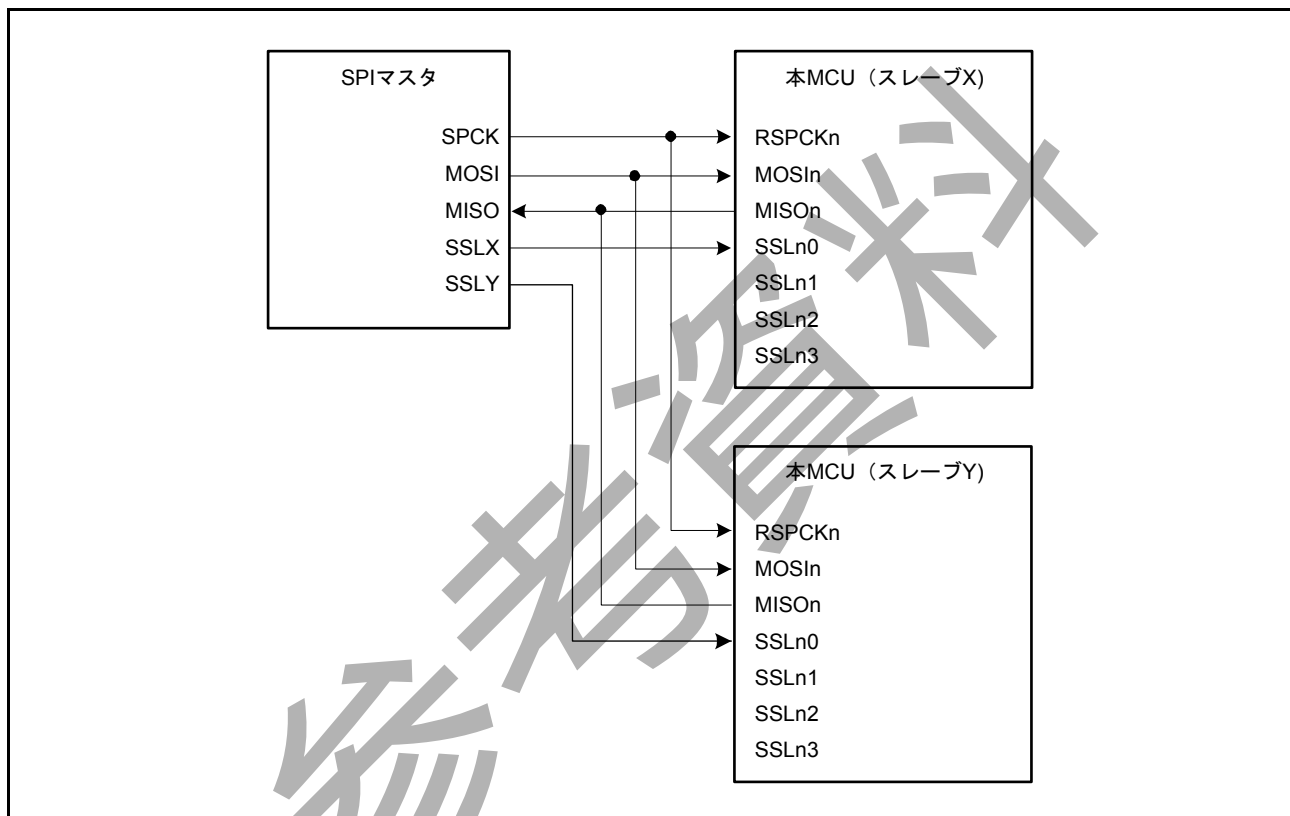


図 28.9 シングルマスタとマルチスレーブの構成例 (MCU はスレーブ)

### 28.3.3.5 マルチマスタとマルチスレーブ (MCU はマスタ)

図 28.10 に、MCU がマスタである場合のマルチマスタ/マルチスレーブの SPI システム構成例を示します。この例では、2つの MCU (マスタ X、マスタ Y) と2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から SPI システムを構成しています。

MCU (マスタ X、マスタ Y) の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、MCU (マスタ X、マスタ Y) の MISO 入力に接続します。MCU (マスタ X) の任意の汎用ポート Y 出力は、MCU (マスタ Y) の SSLn0 入力に接続します。MCU (マスタ Y) の任意の汎用ポート X 出力は、MCU (マスタ X) の SSLn0 入力に接続します。MCU (マスタ X、マスタ Y) の SSLn1 出力と SSLn2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成では、SSLn0 入力、スレーブ接続用の SSLn1 出力、SSLn2 出力のみでシステムを構成できるので、MCU の SSLn3 出力は必要ではありません。

MCU は、SSLn0 入力レベルが High の場合には、RSPCKn、MOSIn、SSLn1、SSLn2 をドライブします。SSLn0 入力レベルが Low の場合には、MCU はモードフォルトエラーを検出し、RSPCKn、MOSIn、SSLn1、SSLn2 を Hi-Z にして、他方のマスタに SPI バスを直接解放します。SPI スレーブ 1 または SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

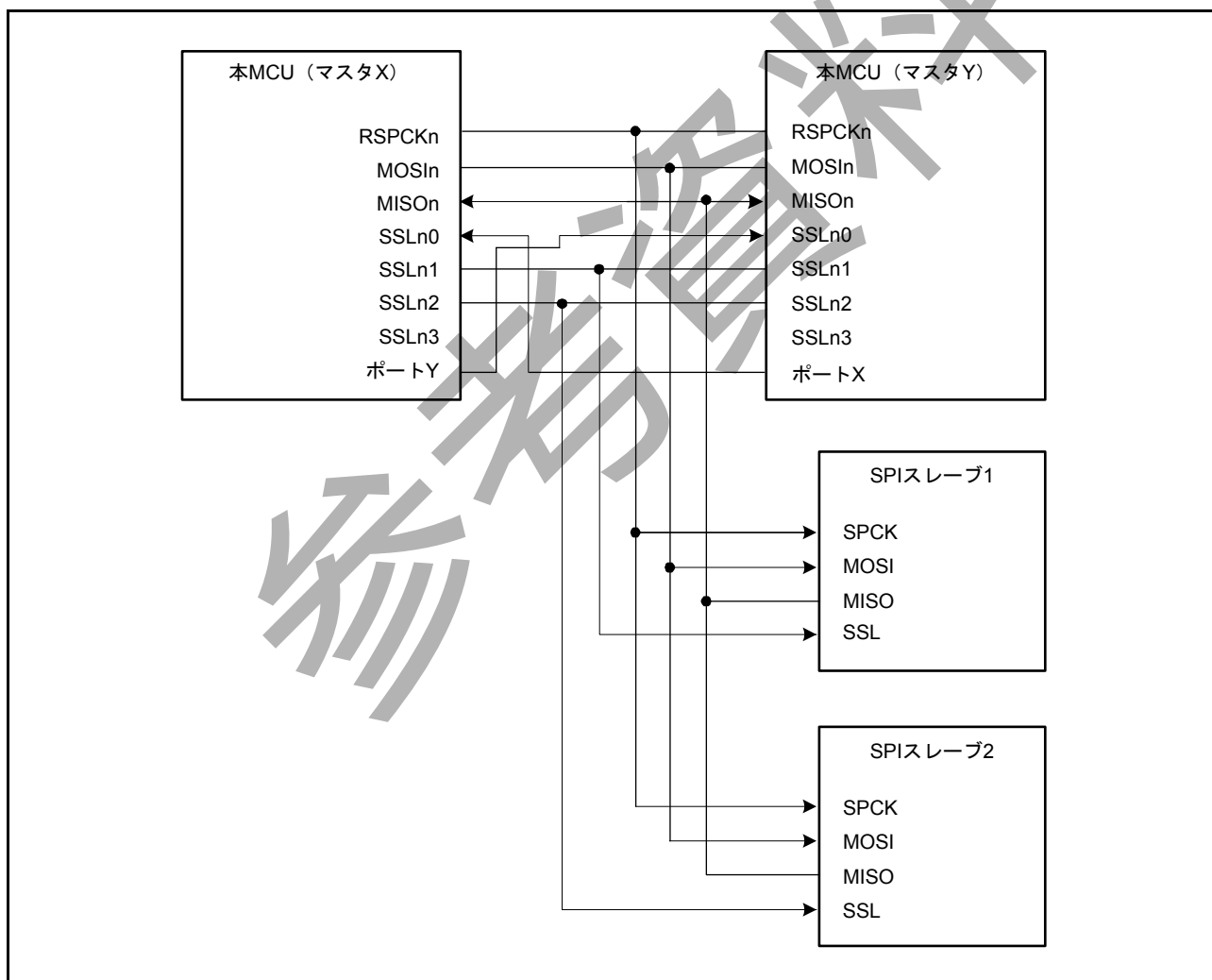


図 28.10 マルチマスタとマルチスレーブの構成例 (MCU はマスタ)

### 28.3.3.6 クロック同期式モードのマスタとスレーブ (MCU はマスタ)

図 28.11 に、MCU がマスタである場合のクロック同期式モードのマスタとスレーブ構成を示します。クロック同期式モードのマスタとスレーブでは、MCU (マスタ) の SSLn0 ~ SSLn3 は使用しません。

MCU (マスタ) は、RSPCKn および MOSIn をドライブします。SPI スレーブは、MISO をドライブします。

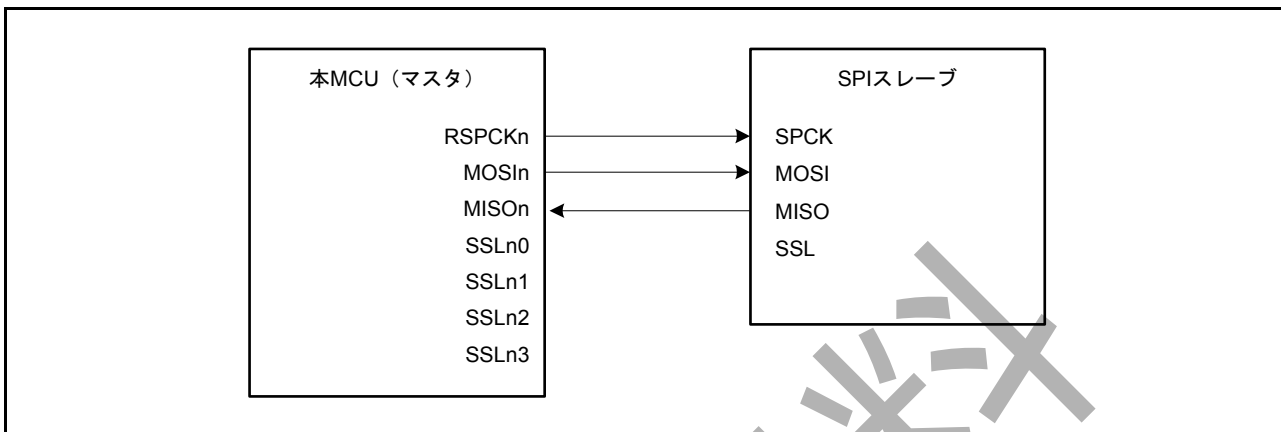


図 28.11 クロック同期式モードのマスタとスレーブの構成例 (MCU はマスタ)

### 28.3.3.7 クロック同期式モードのマスタとスレーブ (MCU はスレーブ)

図 28.12 に、MCU がスレーブである場合のクロック同期式モードのマスタとスレーブ構成を示します。MCU をクロック同期式モードのスレーブとして使用する場合には、MCU (スレーブ) は MISO<sub>n</sub> をドライブし、SPI マスタは SPCK と MOSI をドライブします。また、MCU (スレーブ) の SSLn0 ~ SSLn3 は使用しません。

SPCMD0.CPHA が 1 でシングルスレーブ構成の場合のみ、MCU (スレーブ) はシリアル転送を実行できます。

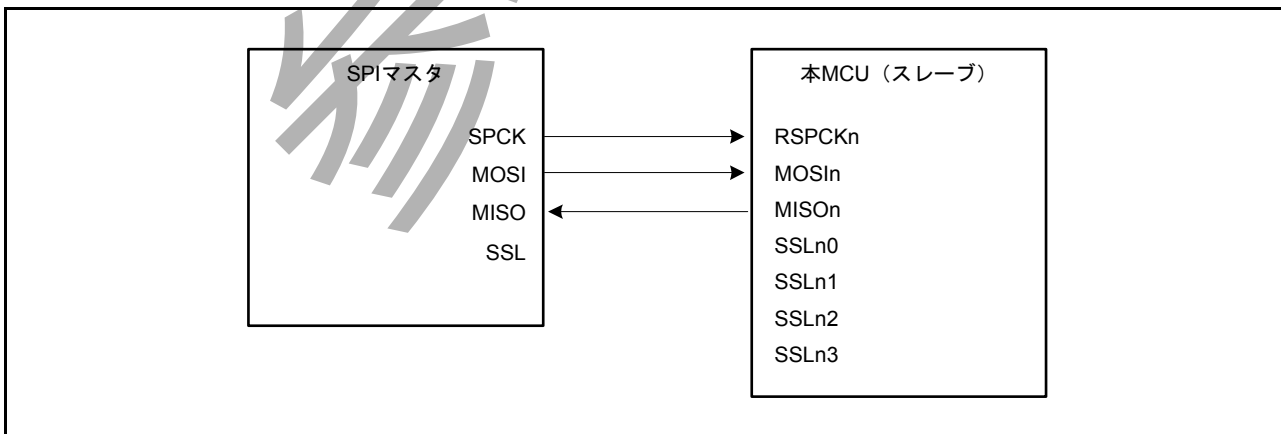


図 28.12 クロック同期式モードのマスタとスレーブの構成例 (MCU はスレーブ、CPHA = 1)

### 28.3.4 データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ  $m$  (SPCMD0) と、SPI コントロールレジスタ 2 のパリティ有効ビット (SPCR2.SPPE) の設定値で決まります。並び順が MSB ファーストか LSB ファーストかにかかわらず、SPI は SPI データレジスタ (SPDR\_HA) の LSB ビットから設定データ長に該当するビット分の範囲を転送データとして扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

#### (a) パリティ機能無効時

パリティ機能が無効の場合、SPI コマンドレジスタ 0 の SPI データ長設定ビット (SPCMD0.SPB[3:0]) で選択したビット長でデータの送受信が行われます。

#### (b) パリティ機能有効時

パリティ機能が有効の場合、SPI コマンドレジスタ 0 の SPI データ長設定ビット (SPCMD0.SPB[3:0]) で選択したビット長でデータの送受信が行われます。ただし、最終ビットはパリティビットです。

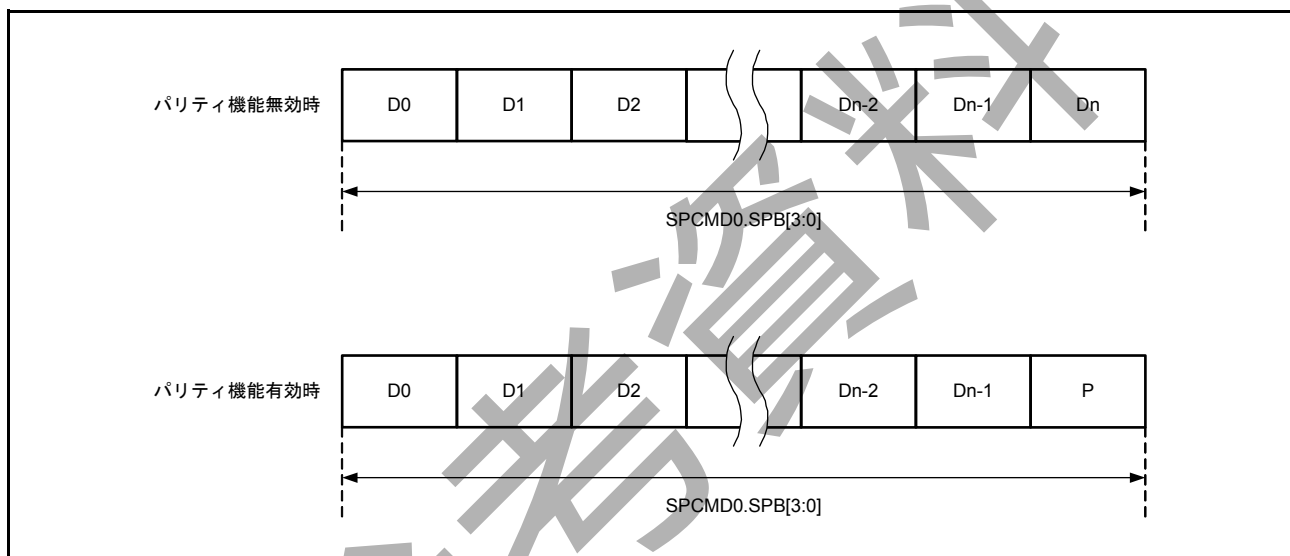


図 28.13 パリティ機能無効時と有効時のデータフォーマット

### 28.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能が無効の場合、送信データを加工せず、シフトレジスタにコピーします。以下では、SPI データレジスタ (SPDR\_HA) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

#### (1) 16 ビットデータの MSB ファースト転送

図 28.14 に、パリティ機能無効時に、SPI がデータ長 16 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR\_HA) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T15 ~ T00 をシフトレジスタにコピーします。送信データは、T15 → T14 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R15 ~ R00 までデータがたまと、シフトレジスタの値を受信バッファにコピーします。

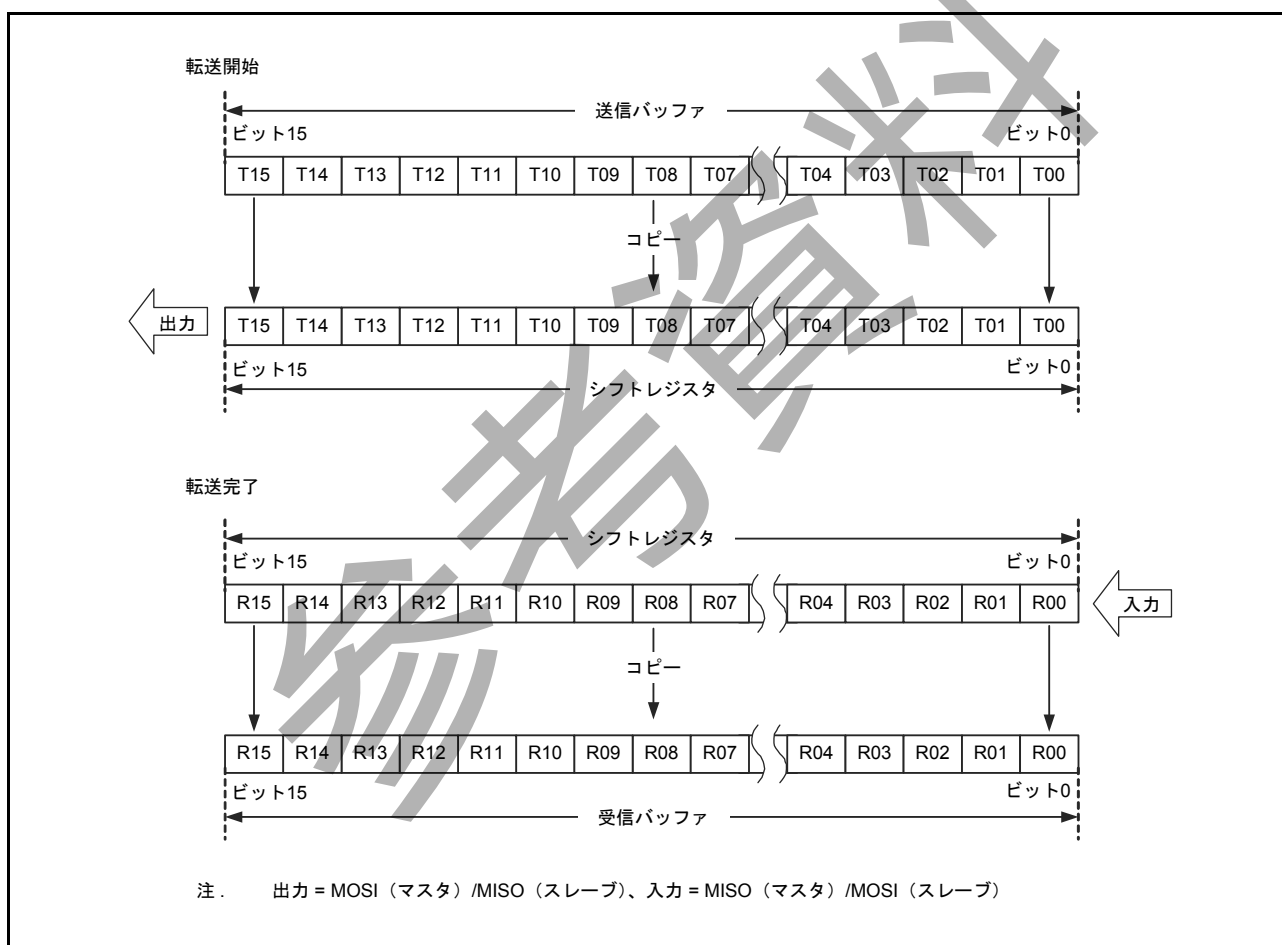


図 28.14 MSB ファースト転送 (16 ビットデータ / パリティ機能無効)

## (2) 8 ビットデータの MSB ファースト転送

図 28.15 に、パリティ機能無効時に、SPI が 16 ビット以外のデータを MSB ファースト転送する例として、8 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR\_HA) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 8 ビット (T07 ~ T00) をシフトレジスタにコピーします。送信データは、T07 → T06 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R07 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T15 ~ T08 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

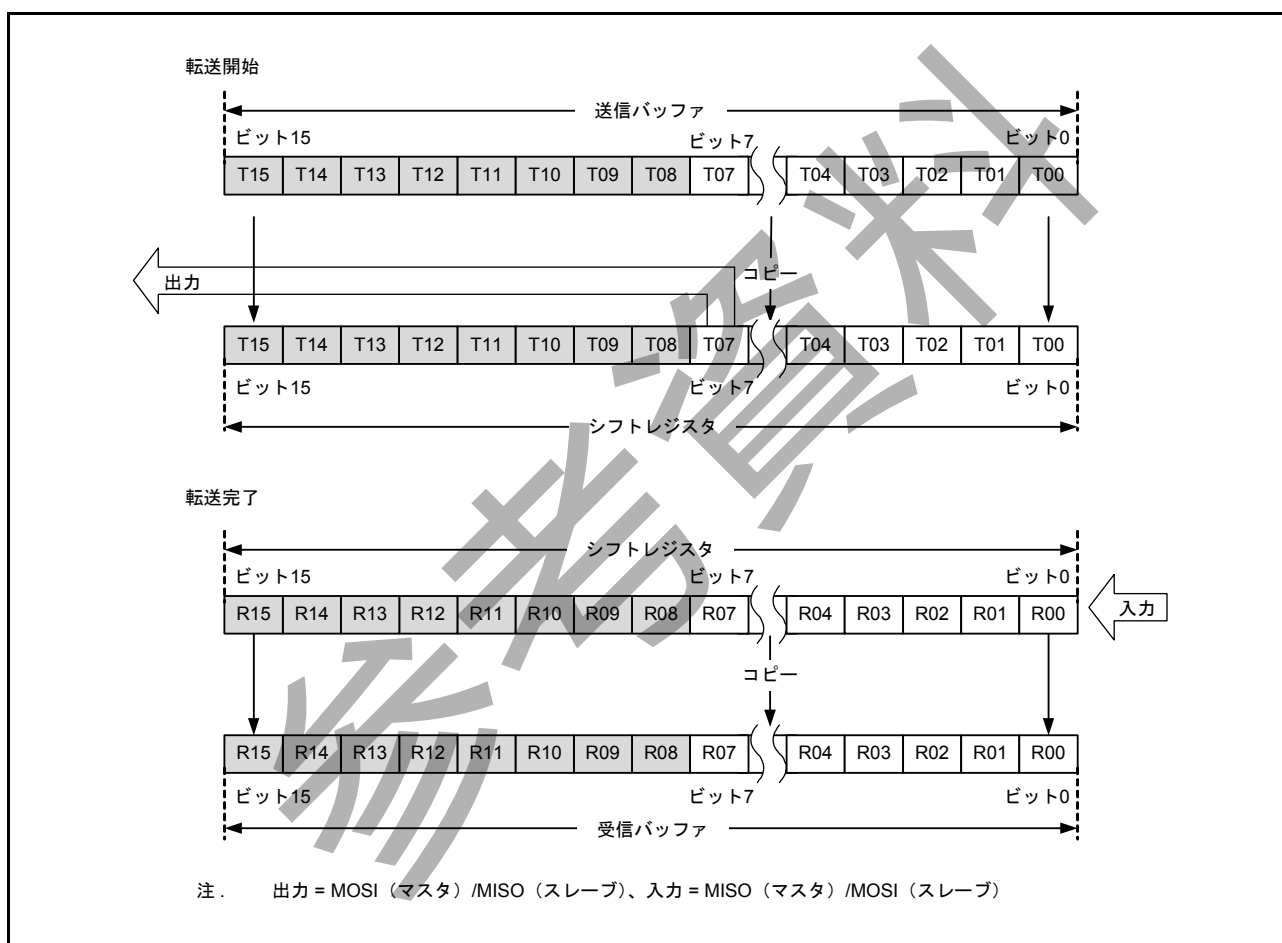


図 28.15 MSB ファースト転送 (8 ビットデータ / パリティ機能無効)



## (3) 16 ビットデータの LSB ファースト転送

図 28.16 に、パリティ機能無効時、SPI がデータ長 16 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR\_HA) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T15 ~ T00 をビット単位で、T00 ~ T15 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T15 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ R15 までデータがたまと、シフトレジスタの値を受信バッファにコピーします。

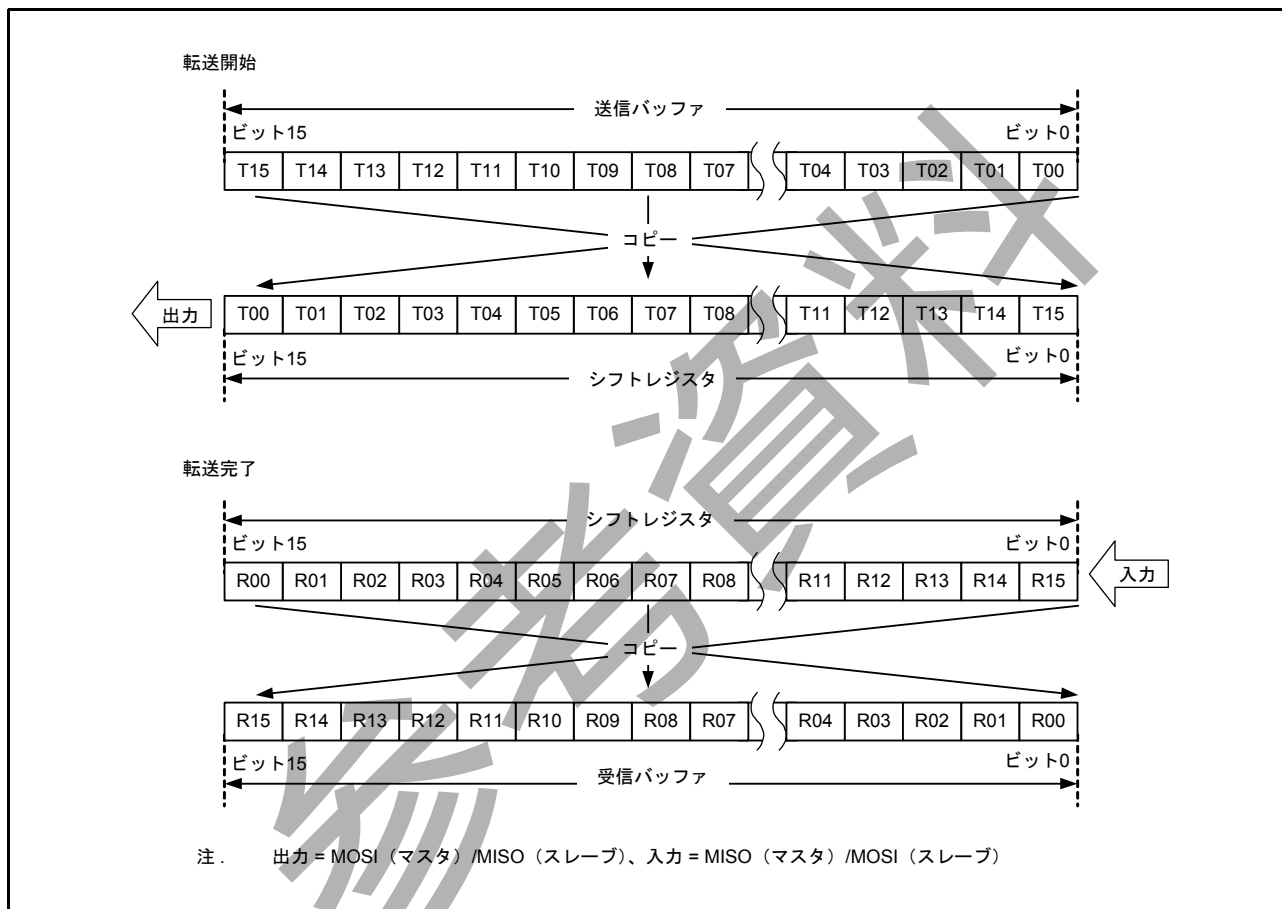


図 28.16 LSB ファースト転送 (16 ビットデータ/パリティ機能無効)

#### (4) 8 ビットデータの LSB ファースト転送

図 28.17 に、パリティ機能無効時、SPI が 16 ビット以外のデータを LSB ファースト転送する例として、8 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR\_HA) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 8 ビット (T07 ~ T00) をビット単位で、T00 ~ T07 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T07 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ R07 までデータがたまと、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T15 ~ T08 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

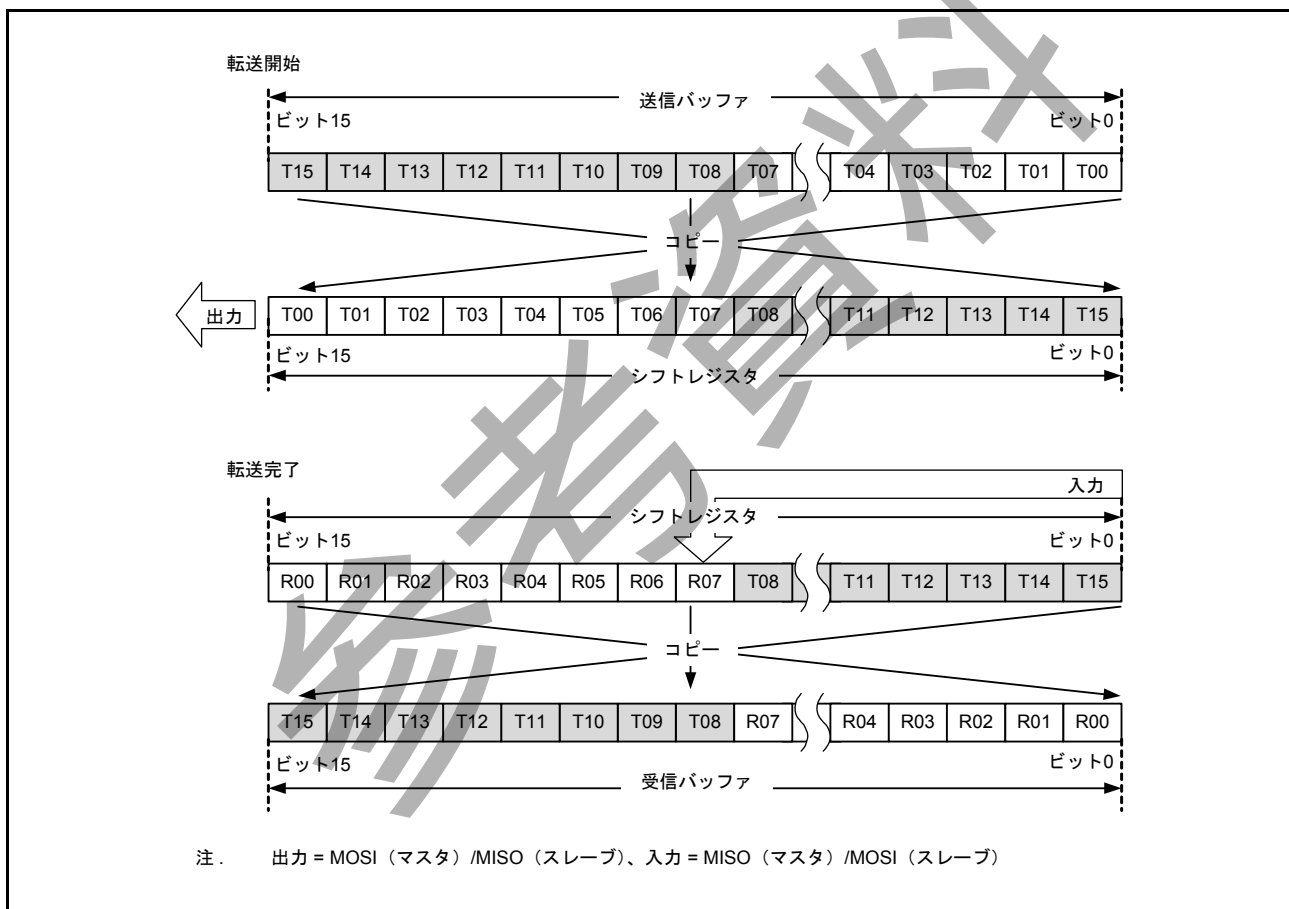


図 28.17 LSB ファースト転送 (8 ビットデータ / パリティ機能無効)

### 28.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアが計算します。

#### (1) 16 ビットデータの MSB ファースト転送

図 28.18 に、パリティ機能有効時、SPI がデータ長 16 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR\_HA) とシフトレジスタの動作内容を示します。

送信時は、最初にビット T15 ~ T01 のデータ値より、パリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、全体をシフトレジスタにコピーします。データは、T15 → T14 → … → T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R15 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R15 ~ P のデータをチェックします。

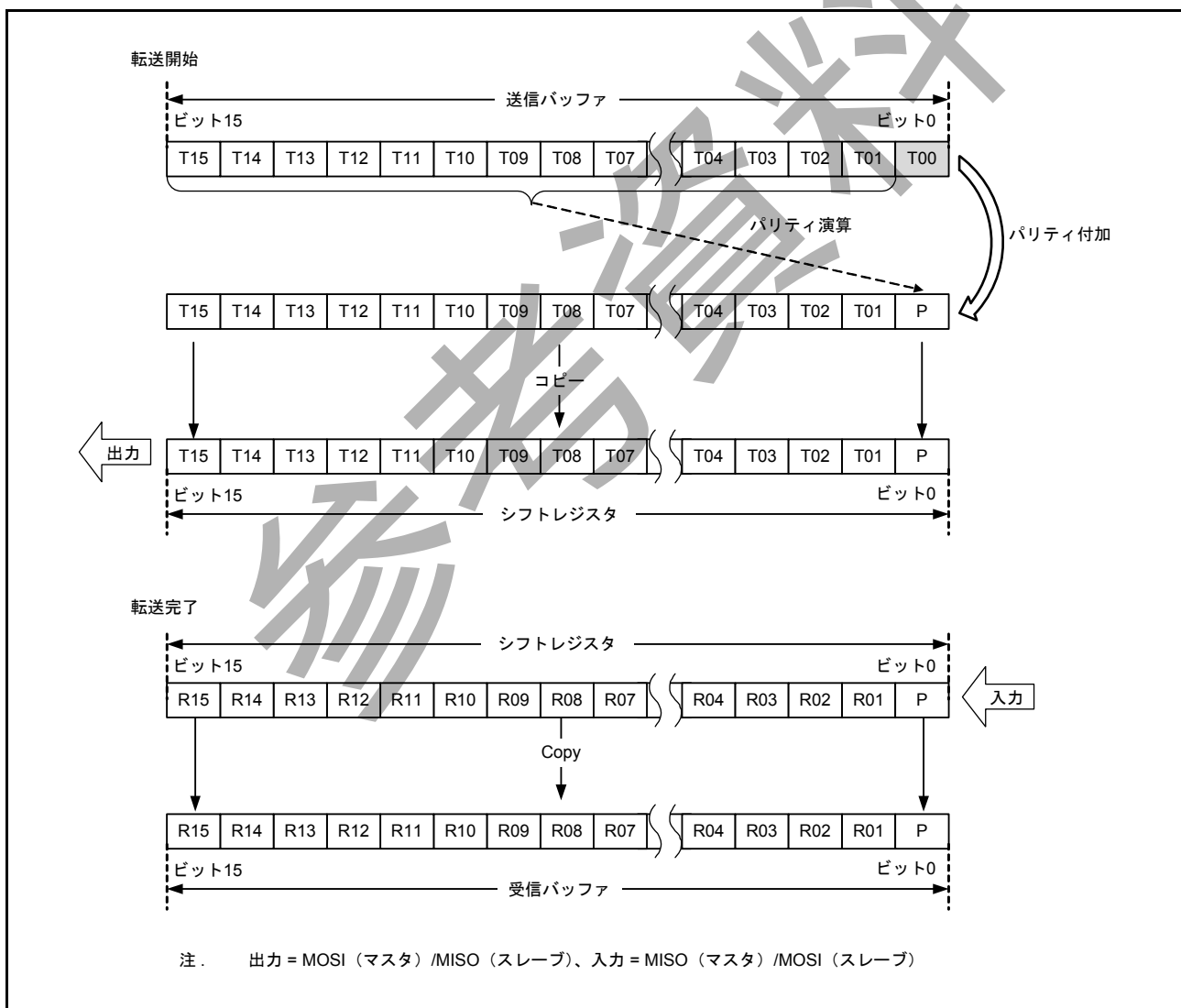


図 28.18 MSB ファースト転送 (16 ビットデータ / パリティ機能有効)

(2) 8 ビットデータの MSB ファースト転送

図 28.19 に、パリティ機能有効時、SPI が 16 ビット以外のデータを MSB ファースト転送する例として、8 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR\_HA) とシフトレジスタの動作内容を示します。

送信時は、ビット T07 ~ T01 のデータ値より、パリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、全体をシフトレジスタにコピーします。データは、T08 → T07 → ... → T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R07 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R07 ~ P のデータをチェックします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T15 ~ T08 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

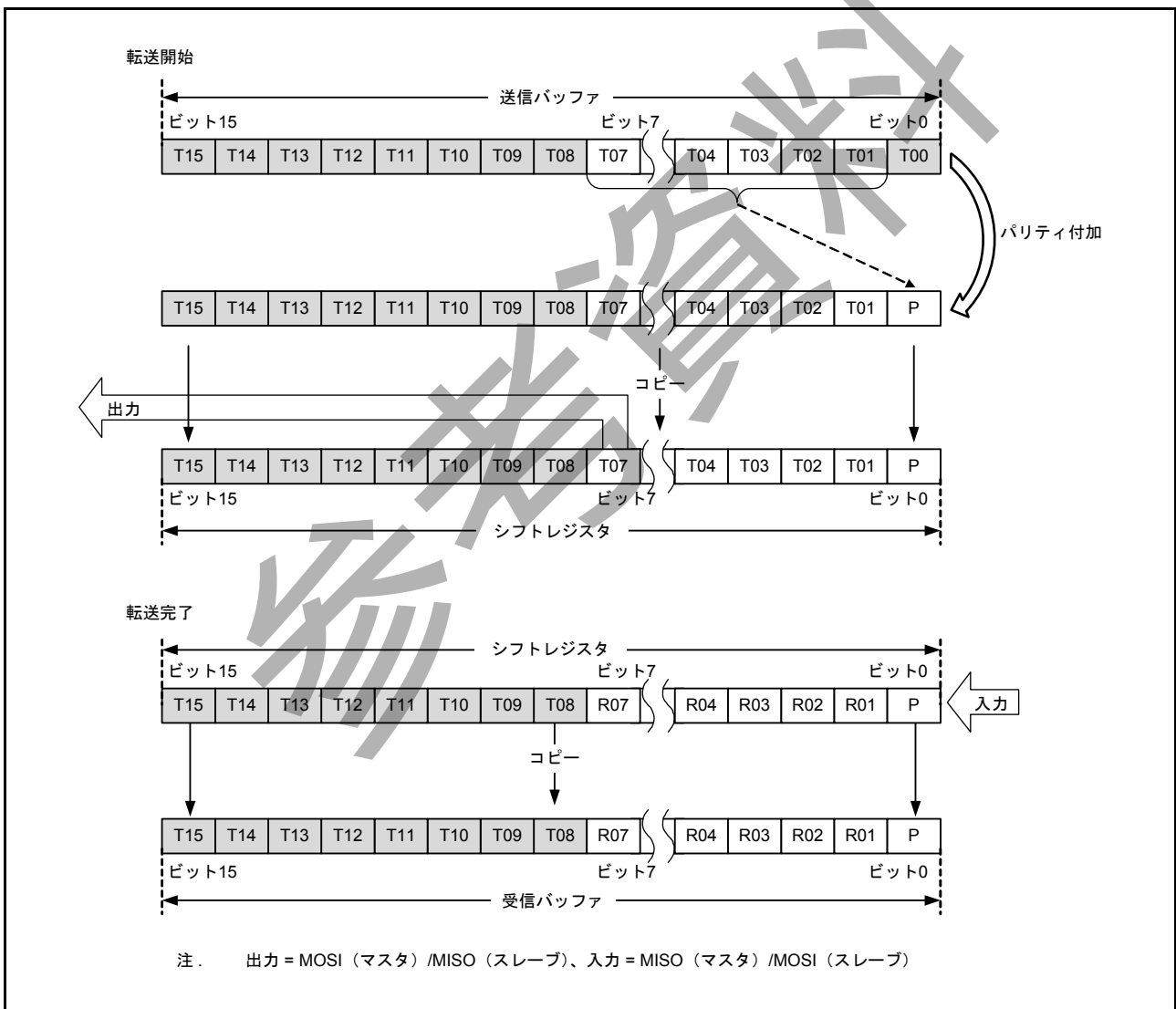


図 28.19 MSB ファースト転送 (8 ビットデータ/パリティ機能有効)

### (3) 16 ビットデータの LSB ファースト転送

図 28.20 に、パリティ機能有効時、SPI がデータ長 16 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR\_HA) とシフトレジスタの動作内容を示します。

送信時は、ビット T14 ~ T00 のデータ値より、パリティビット (P) の値を計算し、最終ビットである T15 と置き換えて、全体をシフトレジスタにコピーします。データは、T00 → T01 → … → T14 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00 ~ P のデータをチェックします。

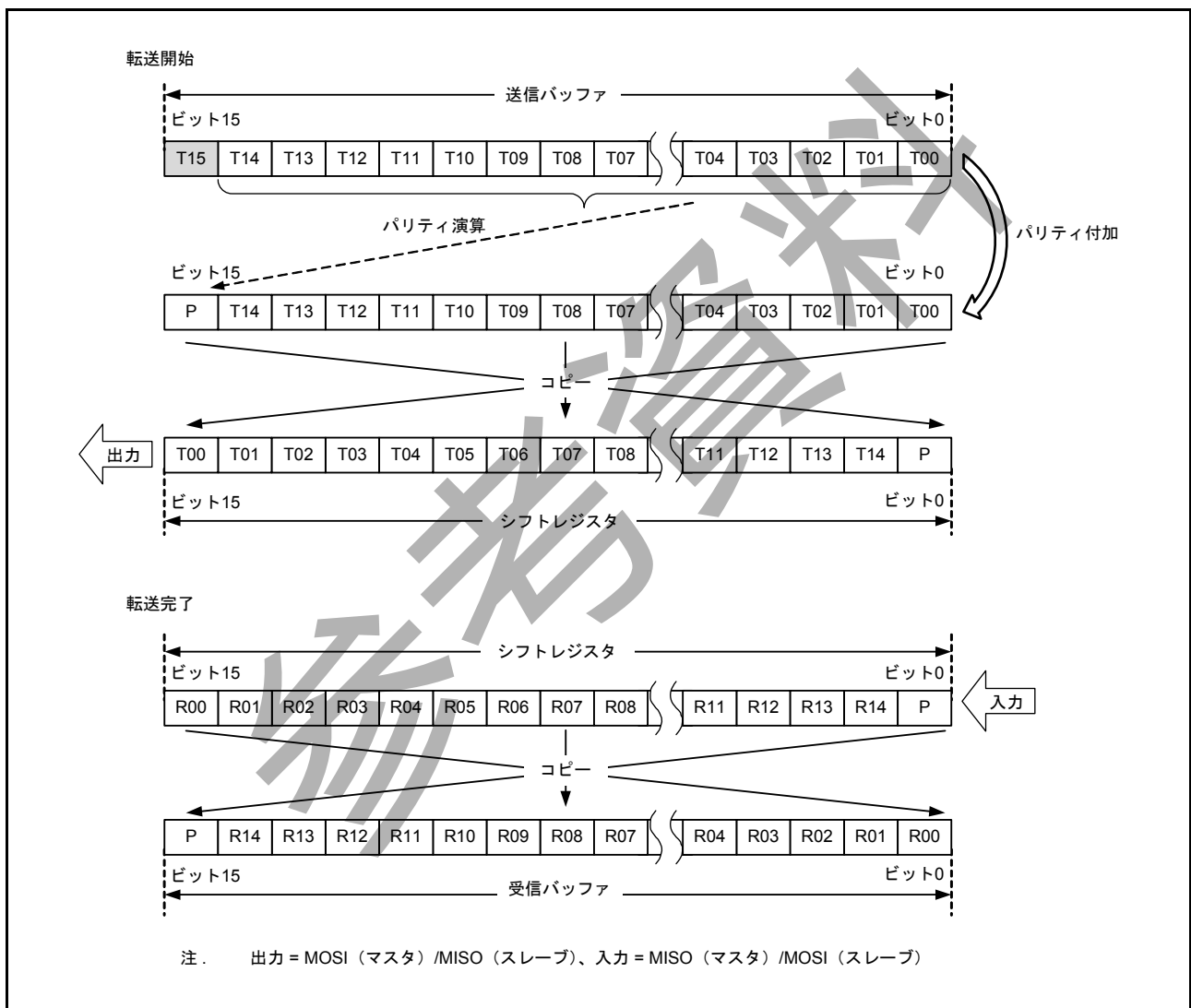


図 28.20 LSB ファースト転送 (16 ビットデータ / パリティ機能有効)

#### (4) 8 ビットデータの LSB ファースト転送

図 28.21 に、パリティ機能有効時、SPI が 16 ビット以外のデータを LSB ファースト転送する例として、8 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR\_HA) とシフトレジスタの動作内容を示します。

送信時は、ビット T06 ~ T00 のデータ値より、パリティビット (P) の値を計算し、最終ビットである T07 と置き換えて、全体をシフトレジスタにコピーします。データは、T00 → T01 → … → T06 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00 ~ P のデータをチェックします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T15 ~ T08 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

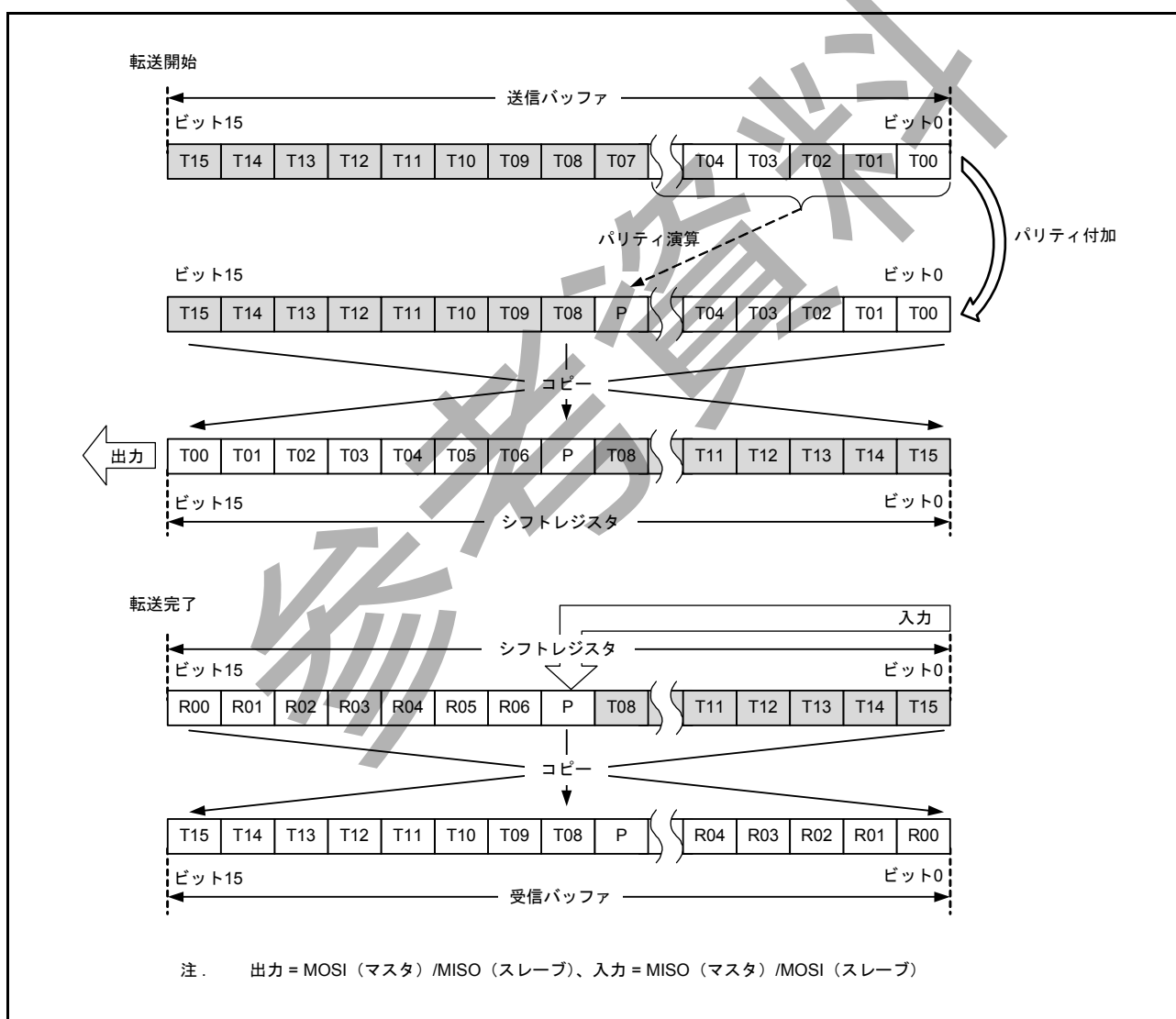


図 28.21 LSB ファースト転送 (8 ビットデータ / パリティ機能有効)

### 28.3.5 転送フォーマット

#### 28.3.5.1 CPHA ビット = 0 の場合

図 28.22 に、SPCMD0.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR=0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS ビット=1) は行わないでください。この図において、RSPCKn (CPOL = 0) は、SPCMD0.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCKn (CPOL = 1) は、SPCMD0.CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI の設定に依存します。詳細は、28.3.2 SPI 端子の制御を参照してください。

SPCMD0.CPHA ビットが 0 の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOOn 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化が最初の転送データ取り込みになり、これ以降、1RSPCK 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間 (RSPCK 遅延) を示します。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間 (SSL ネゲート遅延) を示します。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制する期間 (次アクセス遅延) を示します。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。MCU の SPI がマスタモードである場合の t1、t2、t3 については、28.3.10.1 マスタモード動作を参照してください。

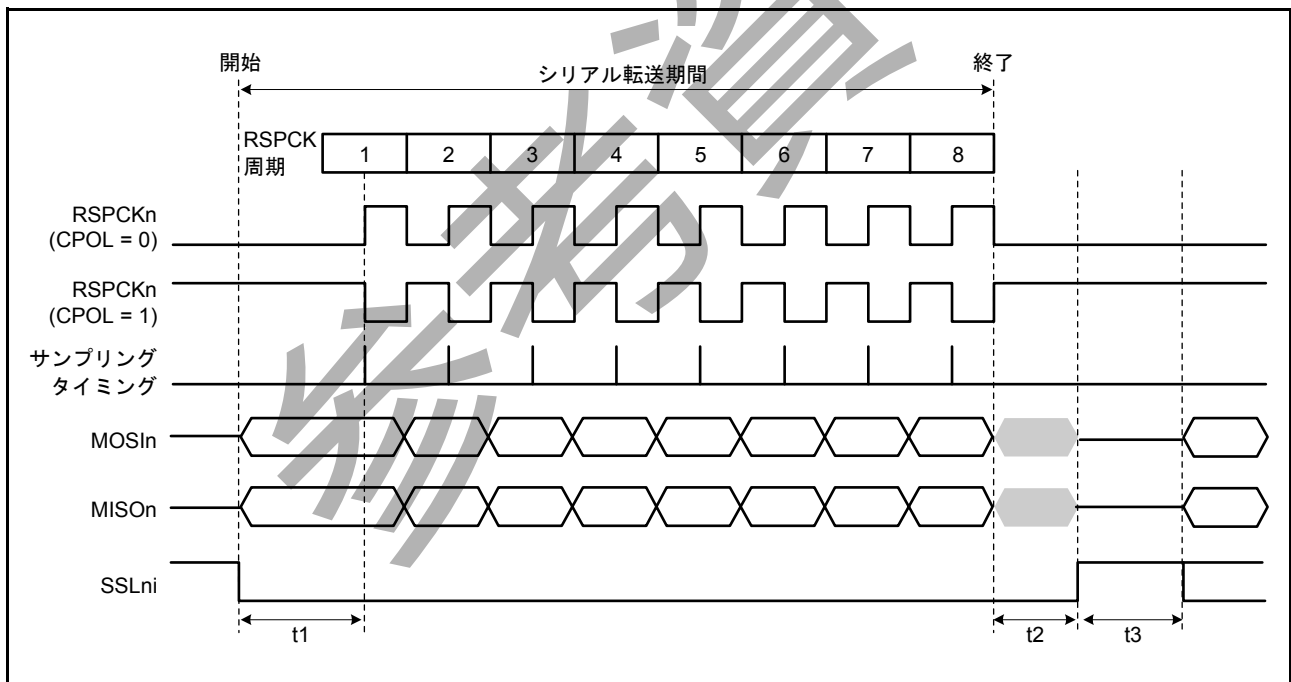


図 28.22 SPI 転送フォーマット (CPHA ビット = 0)

### 28.3.5.2 CPHA ビット = 1 の場合

図 28.23 に、SPCMD0.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOOn 信号の 3 つの信号のみで通信を行います。この図において、RSPCK (CPOL = 0) は、SPCMD0.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCK (CPOL = 1) は、SPCMD0.CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI のモード (マスタ/スレーブ) に依存します。詳細は、28.3.2 SPI 端子の制御を参照してください。

SPCMD0.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOOn 信号への有効データの出力が開始され、これ以降、1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このデータ更新タイミングの  $1/2$ RSPCK 周期後になります。SPCMD0.CPOL ビットの設定値は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、28.3.10.1 マスタモード動作を参照してください。

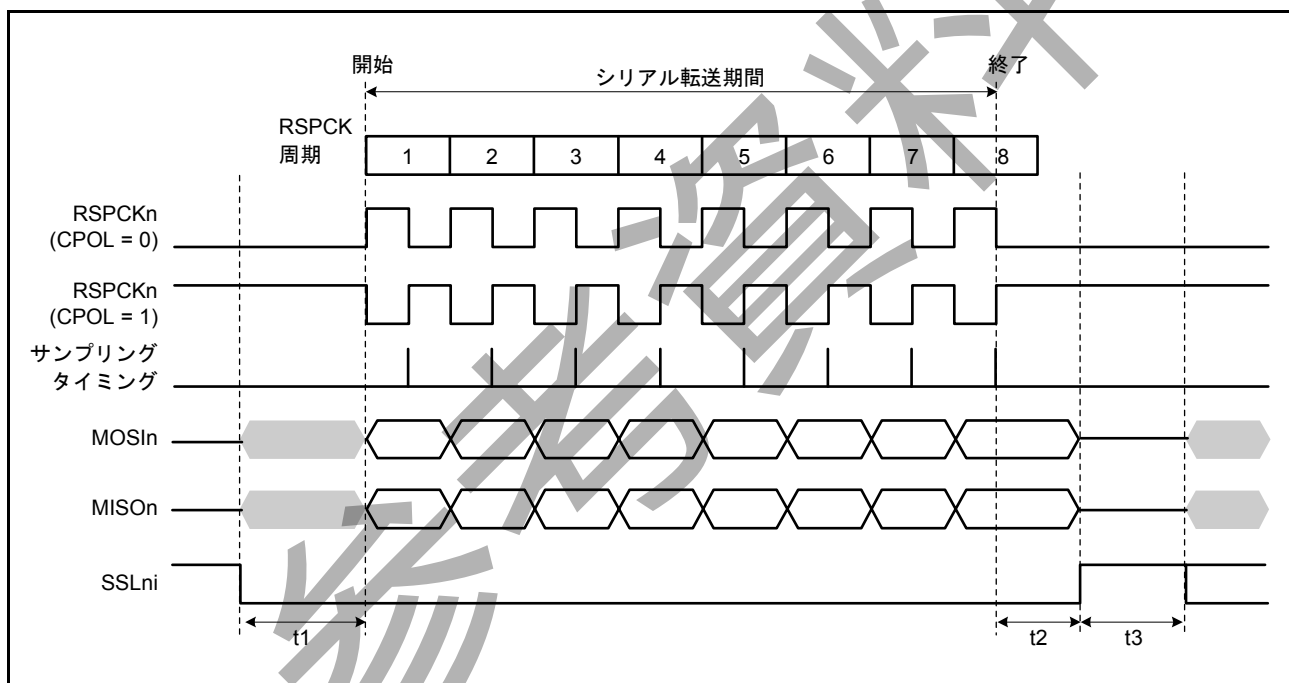


図 28.23 SPI 転送フォーマット (CPHA ビット = 1)



### 28.3.6 データ転送モード

通信動作モード選択ビット (SPCR.TXMD) の設定により、全二重同期式シリアル通信または送信のみの動作を選択できます。図 28.24、図 28.25 に記載の“SPDR\_HA アクセス”は、SPDR\_HA レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

#### 28.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 28.24 に、SPCR.TXMD ビットを 0 にした場合の動作例を示します。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載された数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

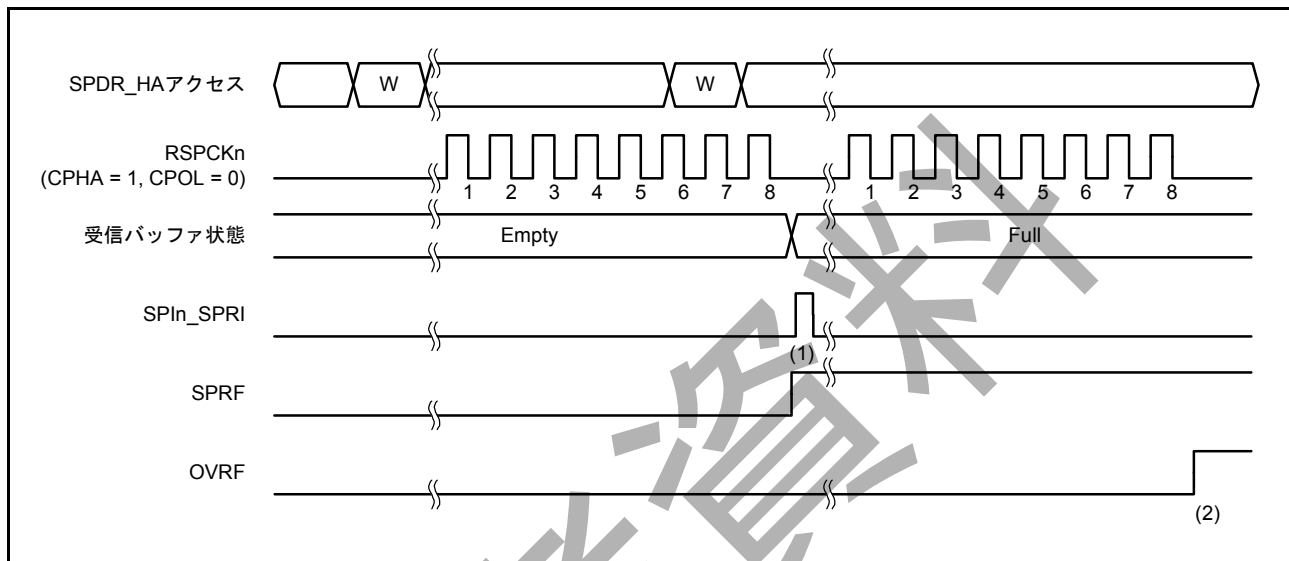


図 28.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) SPDR\_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIn\_SPRI) を発生させ、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR\_HA レジスタの受信バッファに以前のシリアル転送の受信データがある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にして、シフトレジスタの受信データを破棄します。

## 28.3.6.2 送信のみ動作 (SPCR.TXMD = 1)

図 28.25 に、SPCR.TXMD ビットを 1 にした場合の動作例を示します。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

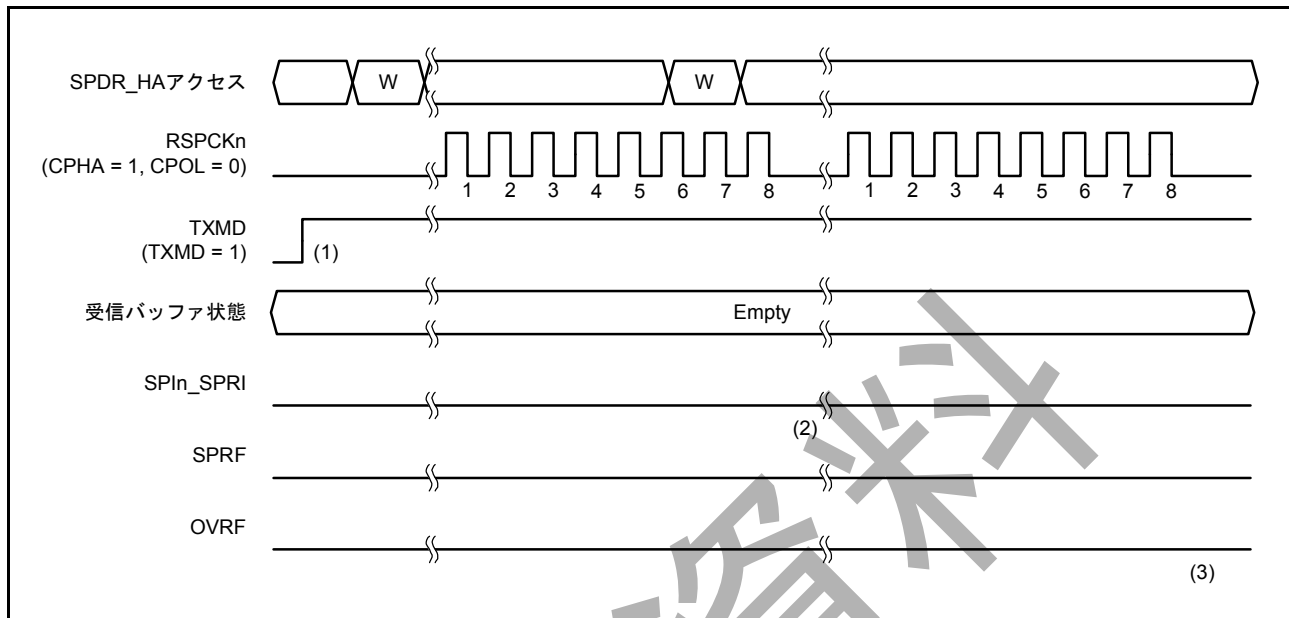


図 28.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグ動作を説明します。

- (1) 送信のみ動作モード (SPCR.TXMD = 1) へ遷移する前に、受信バッファにデータが残っていないこと (SPSR.SPRF フラグ = 0)、および SPSR.OVRF フラグが 0 であることを確認してください。
- (2) SPDR\_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみモード (SPCR.TXMD = 1) を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR\_HA レジスタの受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作 (SPCR.TXMD = 1) では、SPI はデータを送信しますが、受信はしません。そのため、SPSR.SPRF および SPSR.OVRF フラグは (1) ~ (3) それぞれのタイミングで 0 を保持します。

## 28.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 28.26 および図 28.27 に、送信バッファエンプティ割り込み (SPIn\_SPTI) と受信バッファフル割り込み (SPIn\_SPRI) の動作例を示します。図に記載の“SPDR\_HA アクセス”は、SPDR\_HA レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 28.27 の例では、SPCR.TXMD ビットが 0、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。図 28.26 の例では、SPCR.TXMD ビットが 0、SPCMD0.CPHA ビットが 0、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

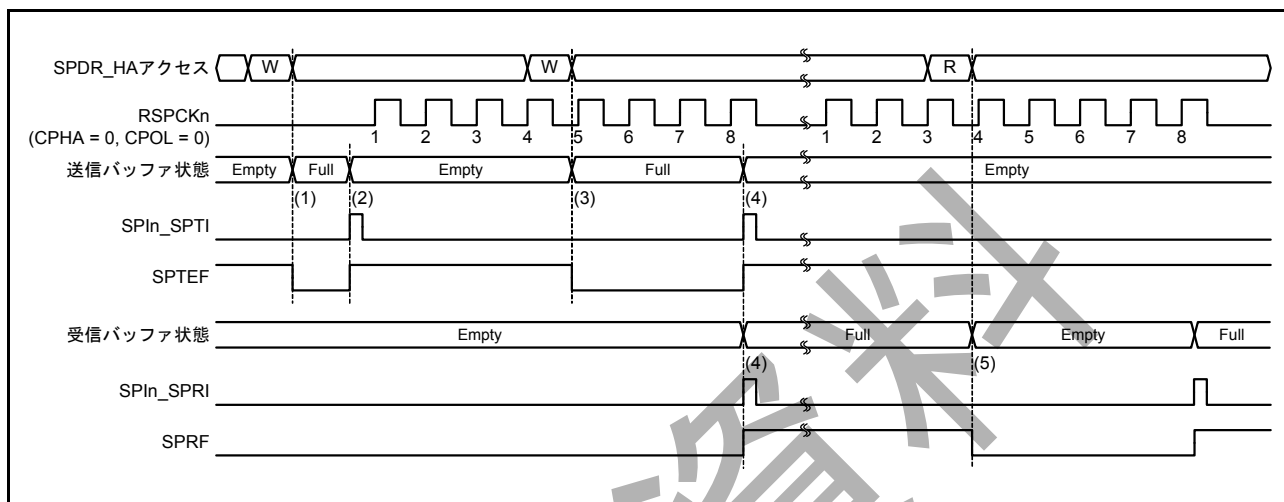


図 28.26 SPIn\_SPTI、SPIn\_SPRI 割り込みの動作例 (CPHA = 0、CPOL = 0)

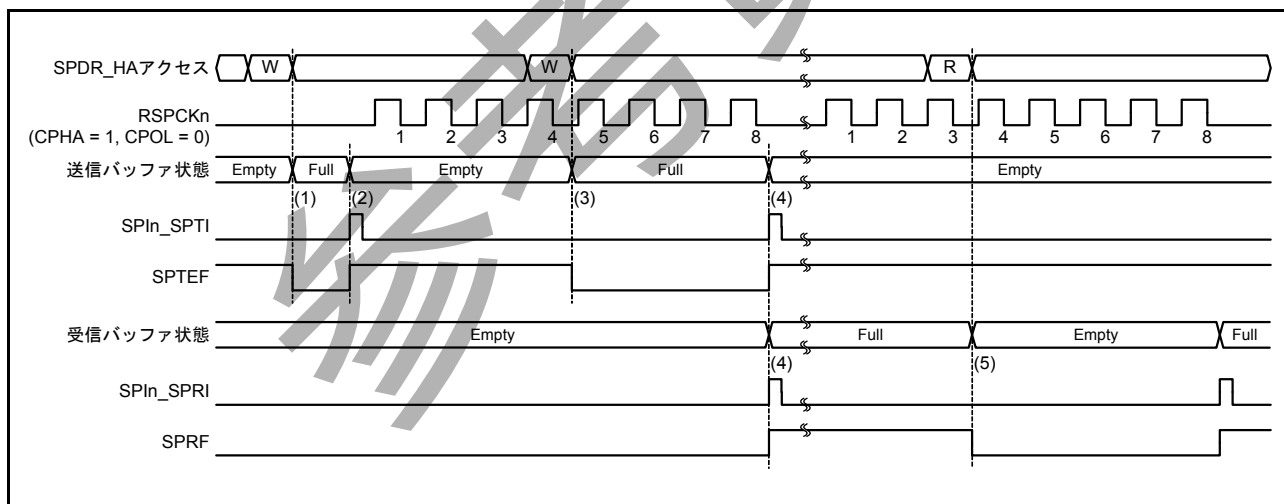


図 28.27 SPIn\_SPTI、SPIn\_SPRI 割り込みの動作例 (CPHA = 1、CPOL = 0)

以下に、図中の (1) ~ (5) での SPI の動作内容を説明します。

- (1) SPDR\_HA レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR\_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。
- (2) シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPIn\_SPTI) を発生させ、SPSR.SPTEF フラグを 1 にします。なお、シリアル転送の開始方法は、SPI のモードに依存します。詳細は、[28.3.10 SPI 動作](#)および [28.3.11 クロック同期式動作](#)を参照してください。
- (3) 送信バッファエンプティ割り込みルーチン、または SPTEF フラグによる送信バッファエンプティの処理で SPDR\_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPTEF フラグを 0 にクリアします。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR\_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPIn\_SPRI) を発生させ、SPRF フラグを 1 にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、SPI が SPTEF フラグを 1 にし、送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタが空であると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
- (5) 受信バッファフル割り込みルーチン、または SPRF フラグによる受信バッファフルの処理で SPDR\_HA レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態 (SPTEF フラグ=0) で、SPDR\_HA レジスタへ書き込みが行われた場合には、SPI は送信バッファのデータを更新しません。SPDR\_HA レジスタへ書き込む場合は、送信バッファエンプティ割り込み要求を使用するか、または SPTEF フラグによる送信バッファエンプティ割り込みの処理を行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR.SPTIE ビットを 1 にしてください。

SPI 機能が無効 (SPCR.SPE ビットが 0) の場合には、SPTIE ビットを 0 にしてください。

受信バッファフルの状態 (SPRF フラグ=1) で、シリアル転送が終了した場合には、SPI はシフトレジスタから受信バッファへデータをコピーせず、オーバーランエラーを検出します ([28.3.8 エラー検出](#)を参照)。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また、SPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信/受信バッファの状態は、送信/受信割り込み、または関連する ICU の IELSRm.IR フラグ (m は割り込みベクタ番号) によって確認することができます。同様に、SPTEF および SPRF フラグによっても、送信/受信バッファの状態を確認できます。割り込みベクタ番号については、「[12. 割り込みコントロールユニット \(ICU\)](#)」を参照してください。

### 28.3.8 エラー検出

通常の SPI のシリアル転送では、SPDR\_HA レジスタの送信バッファに書き込んだデータが送信され、受信したデータは SPDR\_HA レジスタの受信バッファから読み出すことができます。SPDR\_HA レジスタにアクセスがあった場合、送信または受信バッファの状態やシリアル転送の開始時または終了時の SPI の状態によって、通常以外の転送となることがあります。

通常以外の転送が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。表 28.7 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 28.7 通常以外の転送動作と SPI のエラー検出機能の関係

	発生条件	SPI動作	エラー検出
1	送信バッファフルの状態ですPDR_HAレジスタへ書き込み	<ul style="list-style-type: none"> <li>送信バッファ内容を保持</li> <li>書き込みデータ欠落</li> </ul>	なし
2	受信バッファエンプティの状態ですPDR_HAレジスタを読み出し	受信バッファ内容および受信済みデータを出力	なし
3	SPIがデータ送信不能のときに、スレーブモードでシリアル転送が開始	<ul style="list-style-type: none"> <li>シリアル転送を中断</li> <li>送受信データ欠落</li> <li>MISOA出力信号のドライブ停止</li> <li>SPI機能は無効</li> </ul>	アンダーランエラー
4	受信バッファフルの状態です、シリアル転送が終了	<ul style="list-style-type: none"> <li>受信バッファ内容を保持</li> <li>受信データ欠落</li> </ul>	オーバーランエラー
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時にSSLn0入力信号アサート	<ul style="list-style-type: none"> <li>RSPCKn、MOSIn、SSLn1～SSLn3出力信号のドライブ停止</li> <li>SPI機能は無効</li> </ul>	モードフォルトエラー
7	マルチマスタモードでシリアル転送中にSSLn0入力信号アサート	<ul style="list-style-type: none"> <li>シリアル転送を中断</li> <li>送受信データ欠落</li> <li>RSPCKn、MOSIn、SSLn1～SSLn3出力信号のドライブ停止</li> <li>SPI機能は無効</li> </ul>	モードフォルトエラー
8	スレーブモードでシリアル転送中にSSLn0入力信号ネゲート	<ul style="list-style-type: none"> <li>シリアル転送を中断</li> <li>送受信データ欠落</li> <li>MISO出力信号のドライブ停止</li> <li>SPI機能は無効</li> </ul>	モードフォルトエラー

表 28.7 の 1 に示した動作に対しては、SPI はエラーを検出しません。SPDR\_HA レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR\_HA レジスタへの書き込みを実行してください (SPSR.SPTEF = 1 の場合)。2 に示した動作に対しても、SPI はエラーを検出しません。不要なデータを読み出さないようにするためには、SPI 受信バッファフル割り込み要求で SPDR\_HA レジスタの読み出しを実行するようにしてください (SPSR.SPRF = 1 の場合)。

詳細情報の参照先：

- operation 3 のアンダーランエラーについては、[28.3.8.4 アンダーランエラー](#)を参照してください
- operation 4 のオーバーランエラーについては、[28.3.8.1 オーバーランエラー](#)を参照してください
- operation 5 のパリティエラーについては、[28.3.8.2 パリティエラー](#)を参照してください
- 動作 6～8 のモードフォルトエラーについては、[28.3.8.3 モードフォルトエラー](#)を参照してください
- 送信および受信割り込みについては、[28.3.7 送信バッファエンプティ/受信バッファフル割り込み](#)を参照してください

### 28.3.8.1 オーバーランエラー

SPDR\_HA レジスタの受信バッファフル状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを 0 にするには、CPU によって OVRF フラグが 1 の SPSR レジスタが読み出された後、OVRF フラグに 0 を書いてください。

図 28.28 に、OVRF フラグと SPRF フラグの動作例を示します。図に記載の ”SPSR アクセス” と ”SPDR\_HA アクセス” は、それぞれ SPSR、SPDR\_HA レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

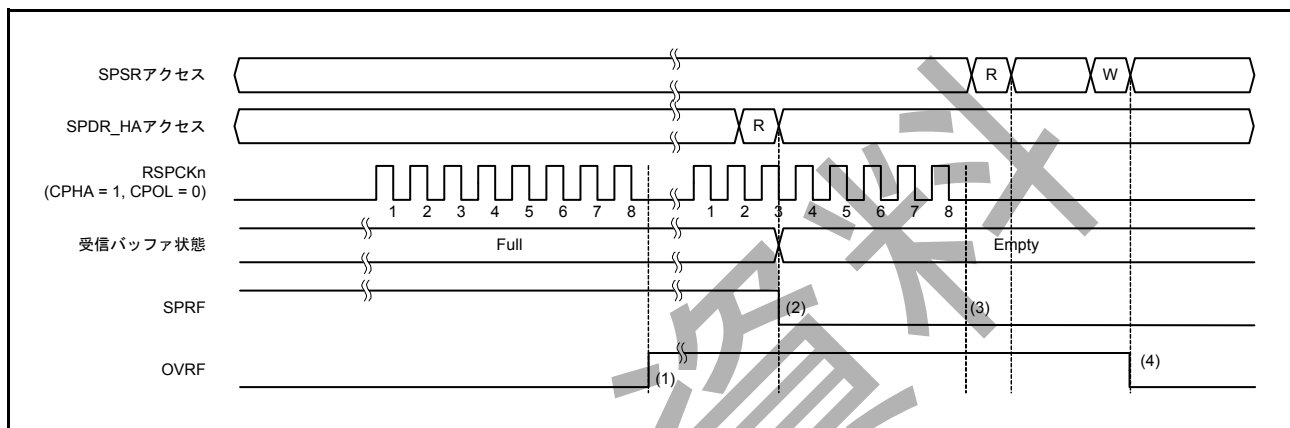


図 28.28 OVRF フラグおよび SPRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグ動作を説明します。

- (1) SPRF フラグが 1 (受信バッファフル) の状態でシリアル転送が終了すると、SPI がオーバーランエラーを検出し、OVRF フラグを 1 にします。SPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。
- (2) SPDR\_HA レジスタを読み出すと、SPI は受信バッファのデータを出力します。その後、SPRF フラグが 0 になります。受信バッファが空になっても、OVRF フラグは 0 になりません。
- (3) OVRF フラグが 1 の状態 (オーバーランエラー) でシリアル転送が終了した場合には、SPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは 1 になりません)。受信バッファフル割り込みも発生しません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。オーバーランエラー発生状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると、SPI はシフトレジスタが空であると判定します。これにより、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
- (4) OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、OVRF フラグに 0 を書くと、OVRF フラグは 0 になります。

アプリケーションは、SPSR レジスタの読み出しあるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、オーバーランの発生を確認できます。シリアル転送を実行する場合には、SPDR\_HA レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。オーバーランエラーが発生して OVRF フラグが 1 になると、OVRF が 0 にクリアされるまで正常な受信ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバーランエラーが発生しません。図 28.29、図 28.30 に、マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

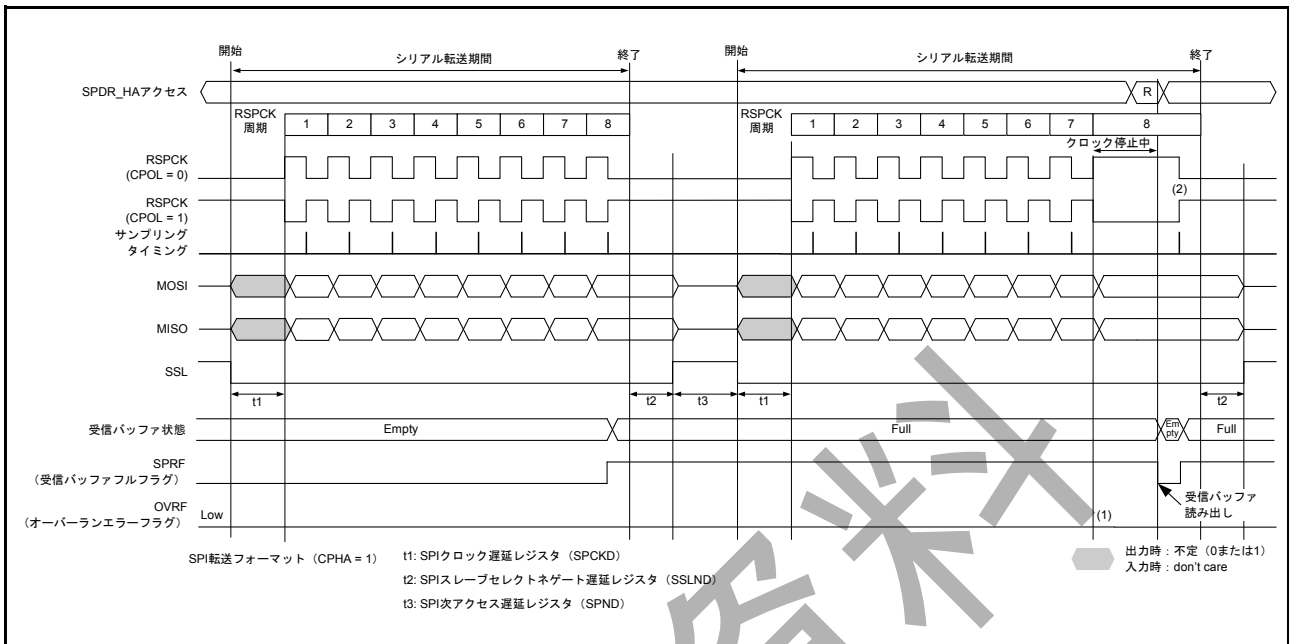


図 28.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

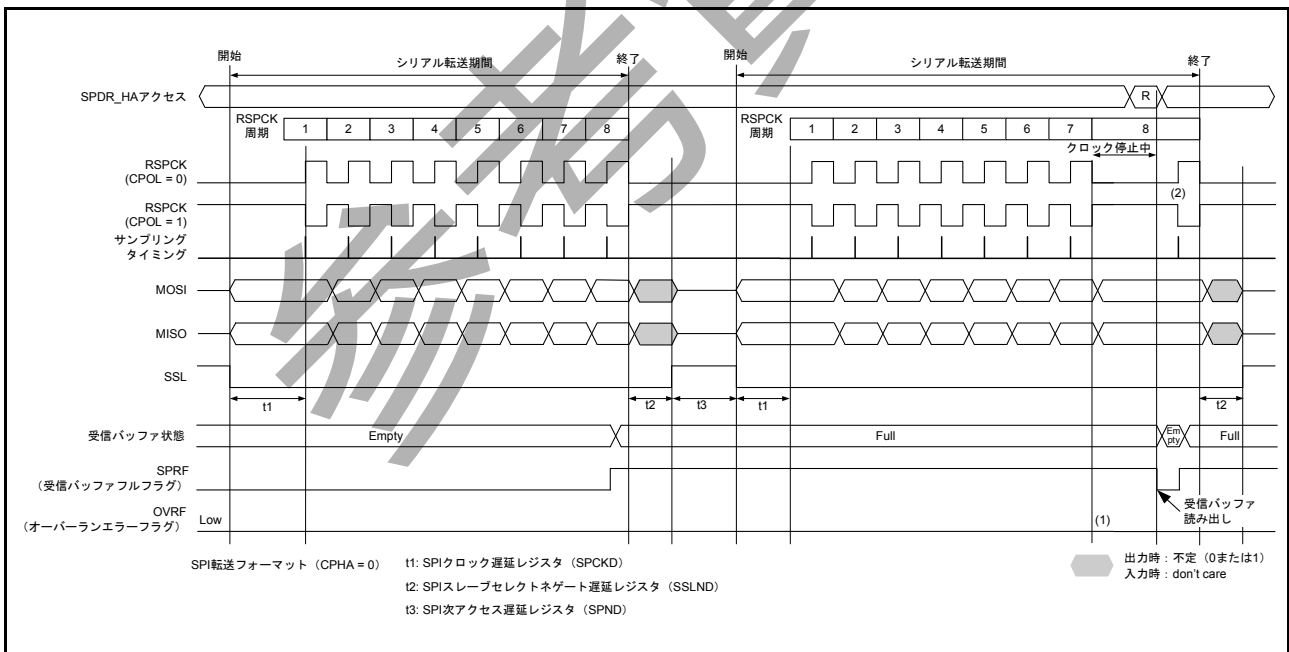


図 28.30 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
- (2) クロック停止中に SPDR\_HA レジスタを読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPSR.SPRF が 0 になった後)、RSPCK クロックが再開します。

### 28.3.8.2 パリティエラー

SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で、全二重同期式シリアル通信を行い、転送が終了すると、SPI はパリティエラーの判定を行います。SPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを 0 にするには、PERF フラグが 1 の状態の SPSR レジスタを読んだ後、PERF フラグに 0 を書く必要があります。

図 28.31 に、OVRF フラグと PERF フラグの動作例を示します。図 28.31 に記載の“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。図 28.31 の例では、SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で全二重同期式シリアル通信を行います。SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

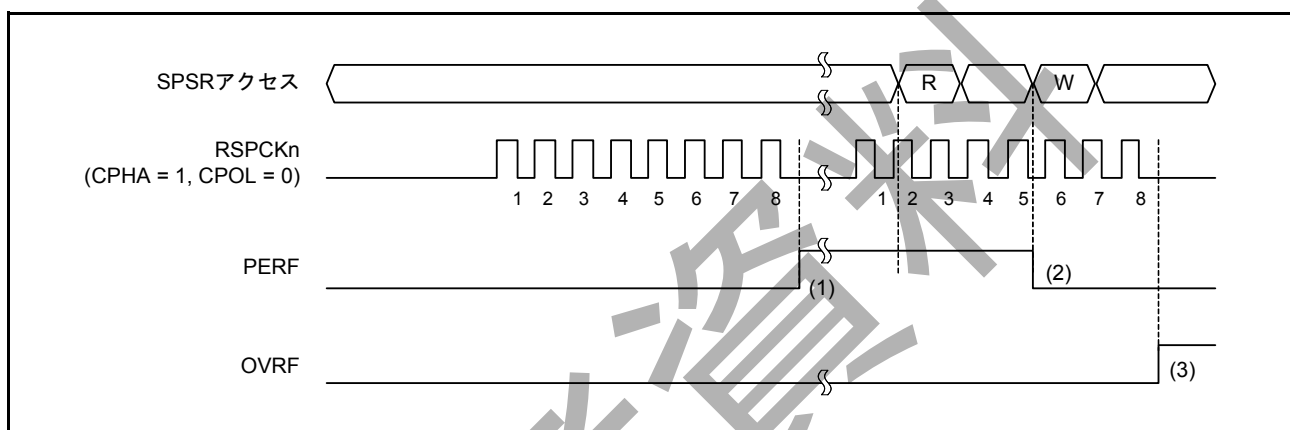


図 28.31 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグ動作を説明します。

- (1) SPI がオーバーランエラーを検出せず、シリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーします。このとき、SPI が受信データをチェックし、パリティエラーを検出すると PERF フラグを 1 にします。
- (2) PERF フラグが 1 の状態で SPSR レジスタを読んだ後、PERF フラグに 0 を書くと、PERF フラグが 0 になります。
- (3) SPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、SPI はパリティエラーを検出しません。

アプリケーションは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、パリティエラーの発生を確認できます。シリアル転送を実行する場合には、SPSR レジスタを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。



### 28.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。マルチマスタモードの SPI の SSLn0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。なお、SSLn0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。スレーブモードの SPI の MODFEN ビットが 1、SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLn0 入力信号がネゲートされると、SPI はモードフォルトエラーを検出します。

SPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（28.3.9 SPI の初期化を参照）。マルチマスタ構成の場合には、モードフォルトエラーの検出によって出力信号のドライブと SPI 機能を停止させ、マスタであることを解除できます。

モードフォルトエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に SPI 機能を有効にするためには、MODF フラグを 0 にしてください。

### 28.3.8.4 アンダーランエラー

SPCR.MSTR ビットが 0（スレーブモード）、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送が開始すると、SPI はアンダーランエラーを検出します。その後、SPI は SPSR.MODF および SPSR.UDRF フラグを 1 にします。SPI はアンダーランエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（28.3.9 SPI の初期化を参照）。

アンダーランエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にする必要があります。

### 28.3.9 SPI の初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットを 0 にすることによる初期化と、システムリセットによる初期化について説明します。

#### 28.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す方法で初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステートの初期化
- SPI 送信バッファの初期化 (SPSR.STEF フラグを 1 にする)

SPE ビットを 0 にする初期化では、SPI の制御ビットは初期化されません。このため、再度 SPE ビットを 1 にすれば初期化前と同じ転送モードで SPI を起動できます。

SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグは初期化されません。このため、SPI の初期化後も受信バッファのデータを読み出すことで、SPI 転送時のエラー状況を確認できます。

送信バッファは空の状態に初期化されます (SPSR.SPTEF フラグが 1 になる)。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するには、アプリケーションは SPE ビットへの 0 書き込みと同時に SPTIE ビットにも 0 を書く必要があります。

#### 28.3.9.2 システムリセットによる初期化

システムリセットでは、[28.3.9.1 SPE ビットのクリアによる初期化](#)に記載の事項に加え、SPI 制御用の全ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。

## 28.3.10 SPI 動作

### 28.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の使用のみです (28.3.8 エラー検出を参照)。SPI は、シングルマスタモードではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングル/マルチマスタモードで共通する動作について説明します。

#### (1) シリアル転送の開始

SPI 送信バッファが空き (次転送のデータがセットされておらず、SPSR.STEF フラグが 0) の状態で、SPI データレジスタ (SPDR\_HA) にヘータを書き込むと、SPI は送信バッファ (SPTX) のデータを更新します。シフトレジスタが空の場合、SPI は送信バッファのデータをシフトレジスタへコピーしてシリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

SPI の転送フォーマットの詳細については、28.3.5 転送フォーマットを参照してください。SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。

#### (2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグ=0) の場合には、シリアル転送終了後に、SPI はシフトレジスタから SPDR\_HA レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決まります。SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。

SPI の転送フォーマットの詳細については、28.3.5 転送フォーマットを参照してください。

#### (3) RSPCK 遅延 (t1)

マスタモードでの RSPCK 遅延は、SPCMD0.SCKDEN ビットの設定値と SPCKD レジスタの設定値で決まります。SPI は、SPCMD0.SCKDEN ビットと SPCKD レジスタを使用して、表 28.8 のようにシリアル転送時の RSPCK 遅延を決定します。なお、RSPCK 遅延の定義については、28.3.5 転送フォーマットを参照してください。

表 28.8 SCKDEN ビット、SPCKD レジスタ、RSPCK 遅延の関係

SPCMD0.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

## (4) SSL ネゲート遅延 (t2)

マスタモードでの SSL ネゲート遅延は、SPCMD0.SLN DEN ビットの設定値と SSLND レジスタの設定値で決まります。SPI は、SPCMD0.SLN DEN ビットと SSLND レジスタを使用して、表 28.9 のようにシリアル転送時の SSL ネゲート遅延を決定します。なお、SSL ネゲート遅延の定義については、28.3.5 転送フォーマットを参照してください。

表 28.9 SLN DEN ビット、SSLND レジスタ、SSL ネゲート遅延の関係

SPCMD0.SLN DEN ビット	SSLND.SLN DL[2:0] ビット	SSL ネゲート遅延
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

## (5) 次アクセス遅延 (t3)

マスタモードでの次アクセス遅延は、SPCMD0.SPNDEN ビットの設定値と SPND レジスタの設定値で決まります。SPI は、SPCMD0.SPNDEN ビットと SPND レジスタを使用して、表 28.10 のようにシリアル転送時の次アクセス遅延を決定します。なお、次アクセス遅延の定義については、28.3.5 転送フォーマットを参照してください。

表 28.10 SPNDEN ビット、SPND レジスタ、次アクセス遅延の関係

SPCMD0.SPNDEN ビット	SPND.SPND L[2:0] ビット	次アクセス遅延
0	000b ~ 111b	1RSPCK + 2PCLKB
1	000b	1RSPCK + 2PCLKB
	001b	2RSPCK + 2PCLKB
	010b	3RSPCK + 2PCLKB
	011b	4RSPCK + 2PCLKB
	100b	5RSPCK + 2PCLKB
	101b	6RSPCK + 2PCLKB
	110b	7RSPCK + 2PCLKB
	111b	8RSPCK + 2PCLKB

## (6) 初期化フロー

図 28.32 に、SPI をマスターモードで使用する場合の SPI 初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

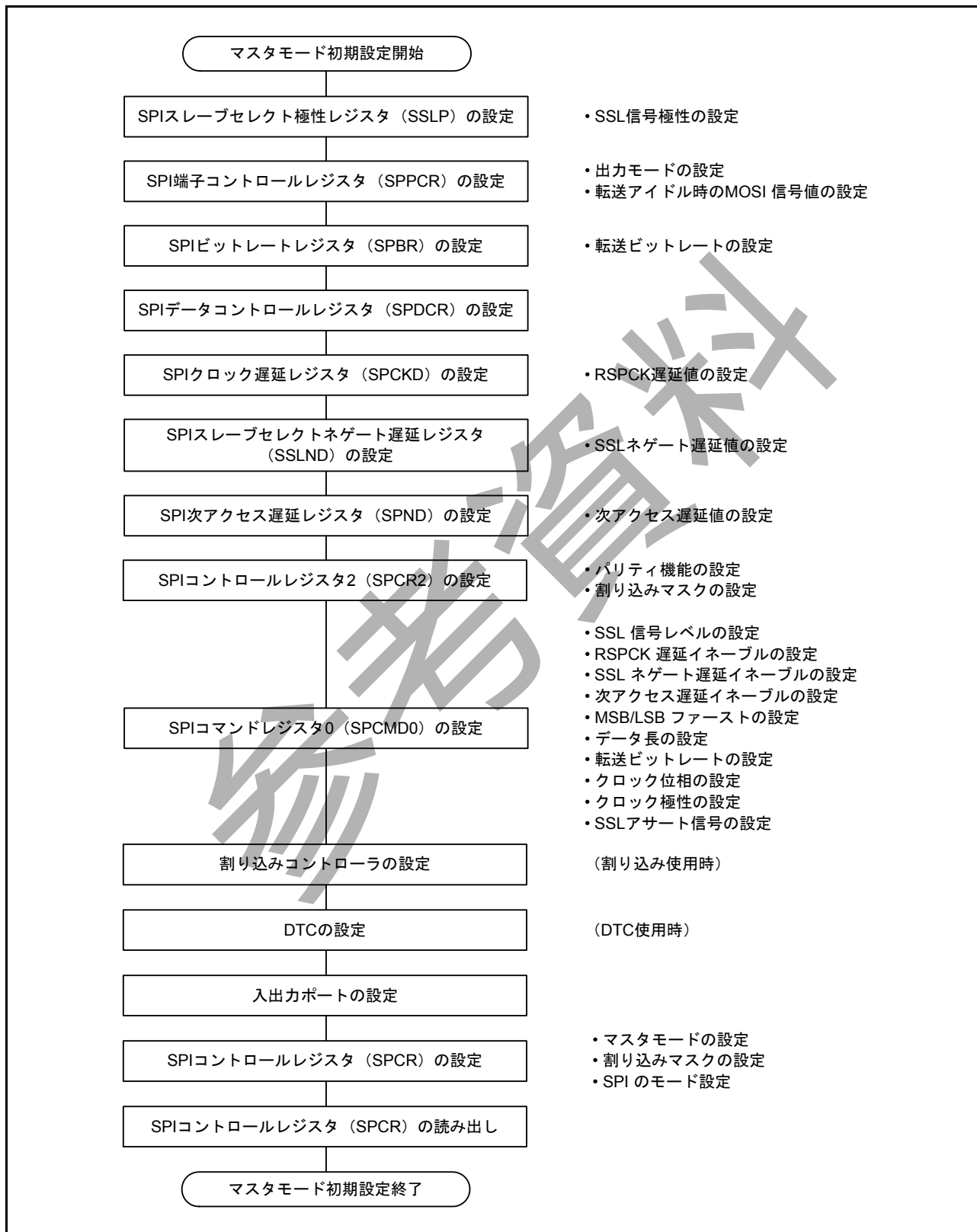


図 28.32 マスターモード時の初期化フロー例 (SPI 動作)

(7) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 28.33 ~ 図 28.35 に示します。

(a) 送信処理フロー

データの送信時、アイドル割り込み (SPIn\_SPII) が許可されていれば、最終データの書き込み完了後に、データ送信完了が CPU に通知されます。

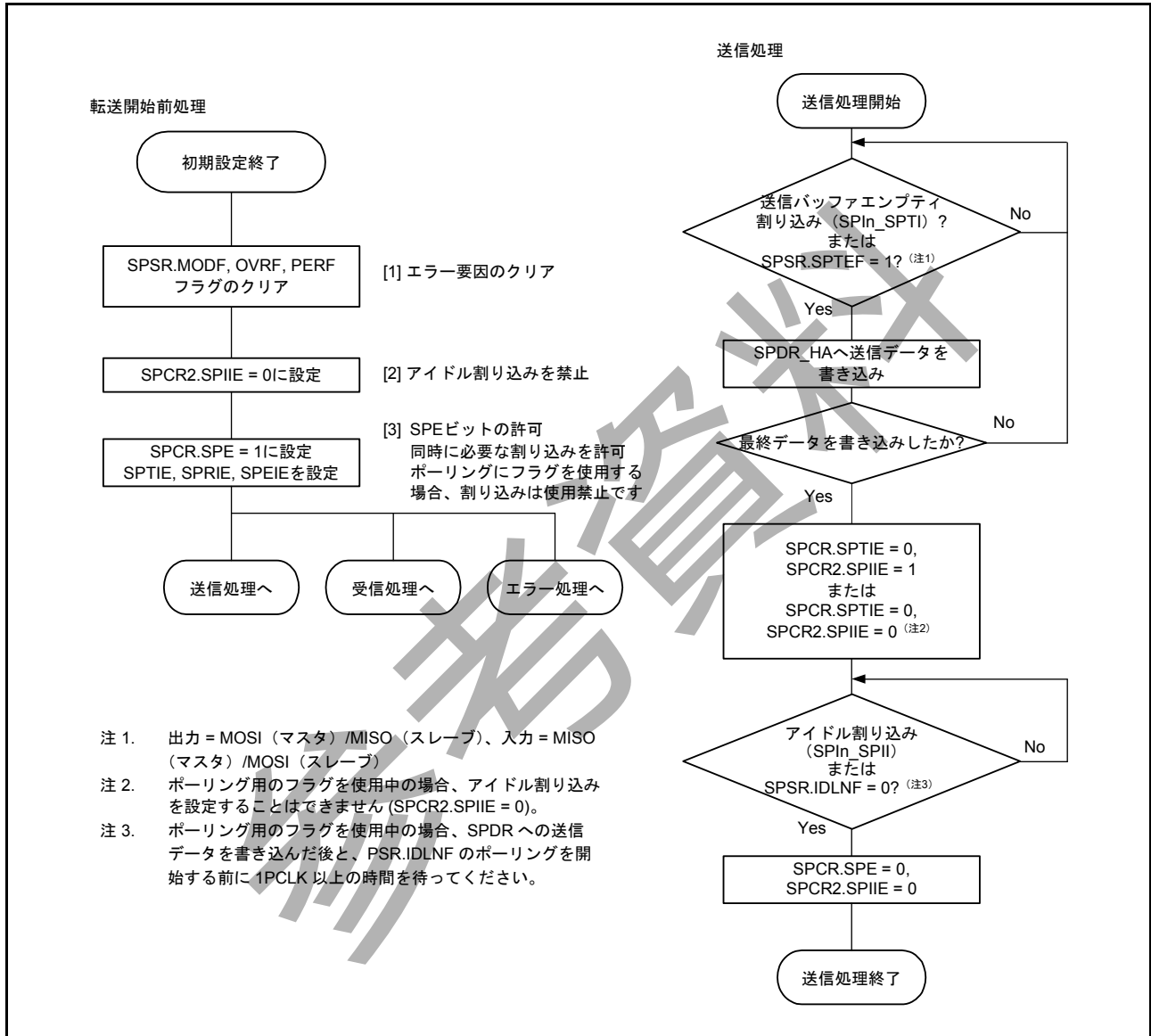


図 28.33 マスタモード時の送信フロー

## (b) 受信処理フロー

SPI は受信のみの動作を持たないため、送信を必要とします。

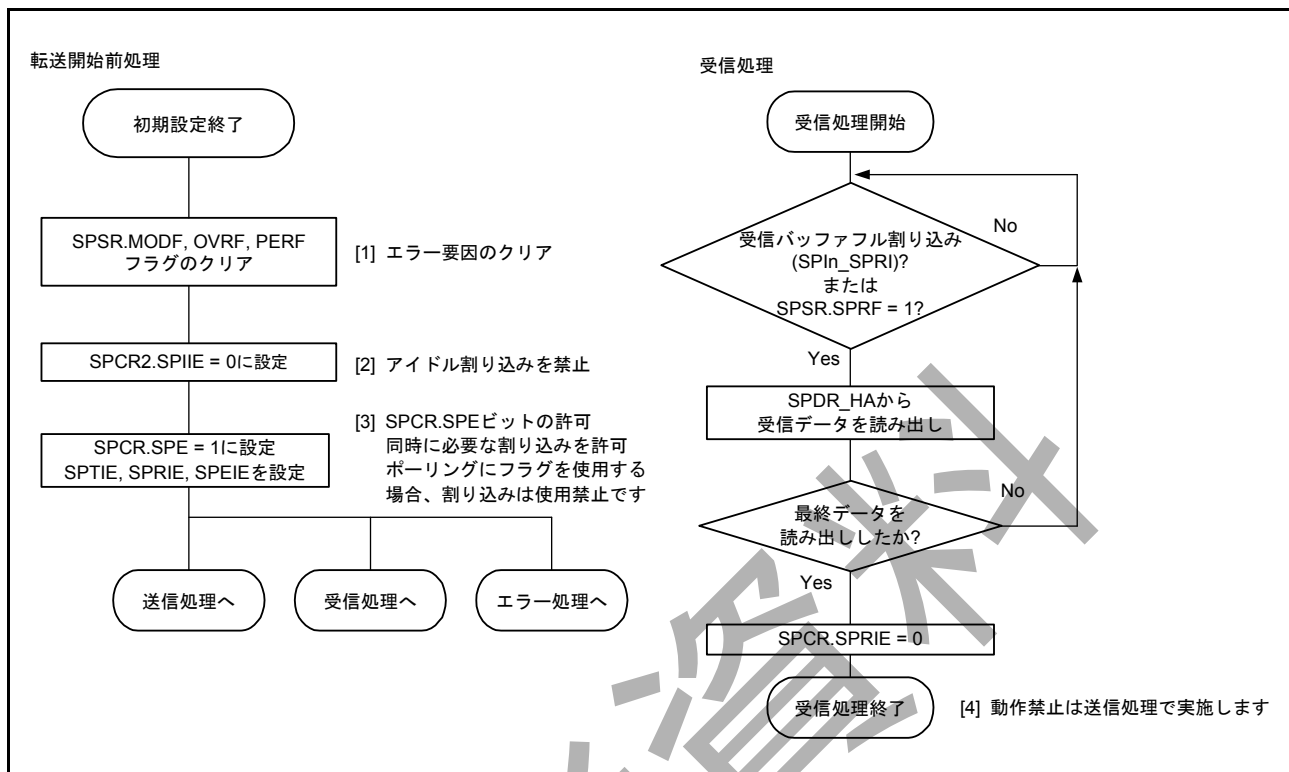


図 28.34 マスタモード時の受信フロー

(c) エラー処理フロー

SPIには3種類のエラーがあります。モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。その他のエラー要因では、SPCR.SPEビットはクリアされず、送信/受信動作は継続します。モードフォルトエラー以外のエラーの場合は、SPCR.SPEビットをクリアし、動作を停止することが推奨されます。

割り込みによるエラー発生時は、エラー処理ルーチンにてICU.IELSRm.IRフラグをクリアしてください。クリアしないと、ICU.IELSRm.IRフラグに送信バッファエンプティ割り込みまたは受信バッファフル割り込み要求が保持されている可能性があります。また、SPRI割り込み要求が保持されている場合、受信バッファを読み出してSPIの内部シーケンサを初期化してください。

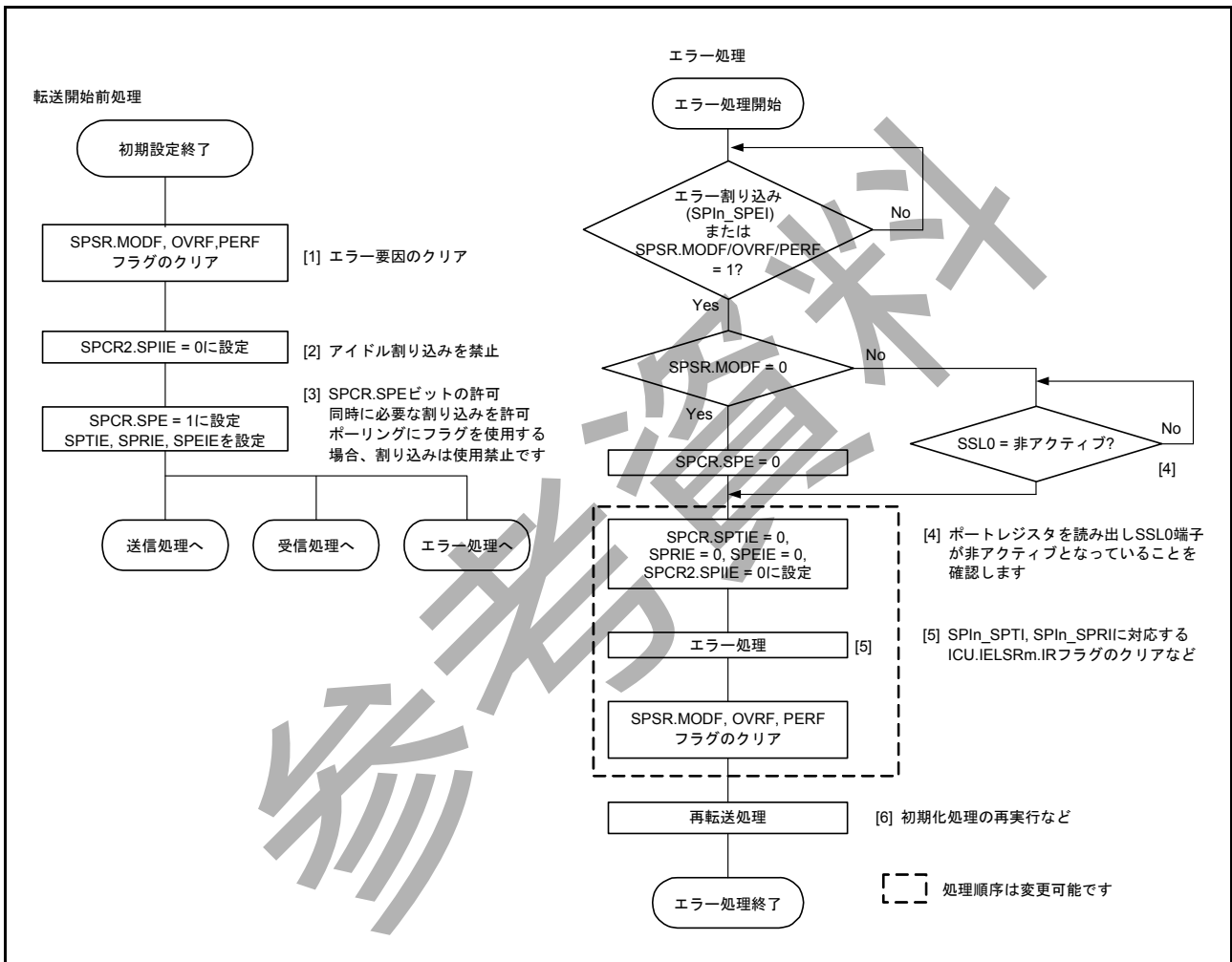


図 28.35 マスタモード時のエラー処理フロー



### 28.3.10.2 スレーブモード動作

#### (1) シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 入力信号のアサートを検出すると、MISO<sub>n</sub> 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが 0 の場合には、SSLn0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、SPI は SSLn0 入力信号のアサート状態で最初の RSPCK<sub>n</sub> エッジを検出すると、MISO<sub>n</sub> 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが 1 の場合には、SSLn0 信号アサート状態における最初の RSPCK<sub>n</sub> エッジがシリアル転送開始のトリガになります。

CPHA ビットの設定にかかわらず、SPI は SSLn0 信号のアサート時に、MISO<sub>n</sub> 出力信号のドライブを開始します。CPHA ビットの設定によって、SPI が出力するデータの有効/無効が異なります。

SPI の転送フォーマットの詳細については、[28.3.5 転送フォーマット](#)を参照してください。SSLn0 入力信号の極性は、SSLP.SSLOP ビットの設定値で決まります。

#### (2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、SPI は最終サンプリングタイミングに対応する RSPCK<sub>n</sub> エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ=0) の場合には、シリアル転送の終了後、SPI はシフトレジスタから SPDR\_HA レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。シリアル転送開始からシリアル転送終了の間に SPI が SSLn0 入力信号のネゲートを検出すると、モードフォルトエラーが発生します ([28.3.8 エラー検出](#)を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決定されます。SSLn0 入力信号の極性は、SSLP.SSLOP ビットの設定値で決まります。

SPI の転送フォーマットの詳細については、[28.3.5 転送フォーマット](#)を参照してください。

#### (3) シングルスレーブ動作時の注意点

SPCMD0.CPHA ビットが 0 の場合には、SPI は SSLn0 入力信号のアサートエッジを検出するとシリアル転送を開始します。[図 28.7](#) の例に示したような構成で SPI をシングルスレーブモードで使用する場合には、SSLn0 入力信号がアクティブ状態に固定されます。そのため、CPHA ビットを 0 に設定した SPI ではシリアル転送を正しく開始できません。SSLn0 入力信号をアクティブ状態に固定された構成で、スレーブモードの SPI の送受信を正しく実行するには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要があるアプリケーションの場合、SSLn0 入力信号を固定しないでください。

## (4) 初期化フロー

図 28.36 に、SPI をスレーブモードで使用する場合の SPI 動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

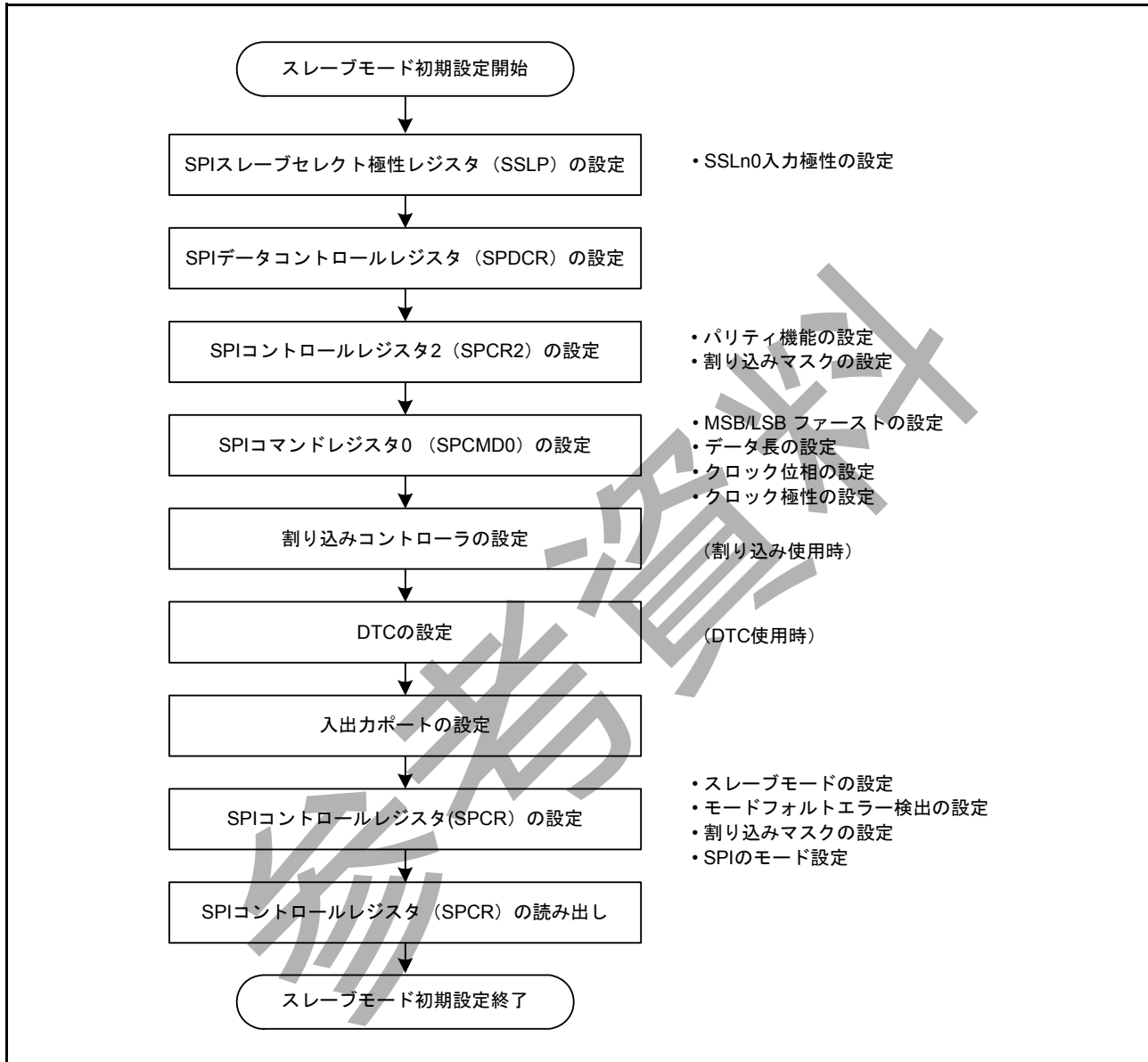


図 28.36 スレーブモード時の初期化フロー例 (SPI 動作)

## (5) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 28.37 ～ 図 28.39 に示します。

## (a) 送信処理フロー

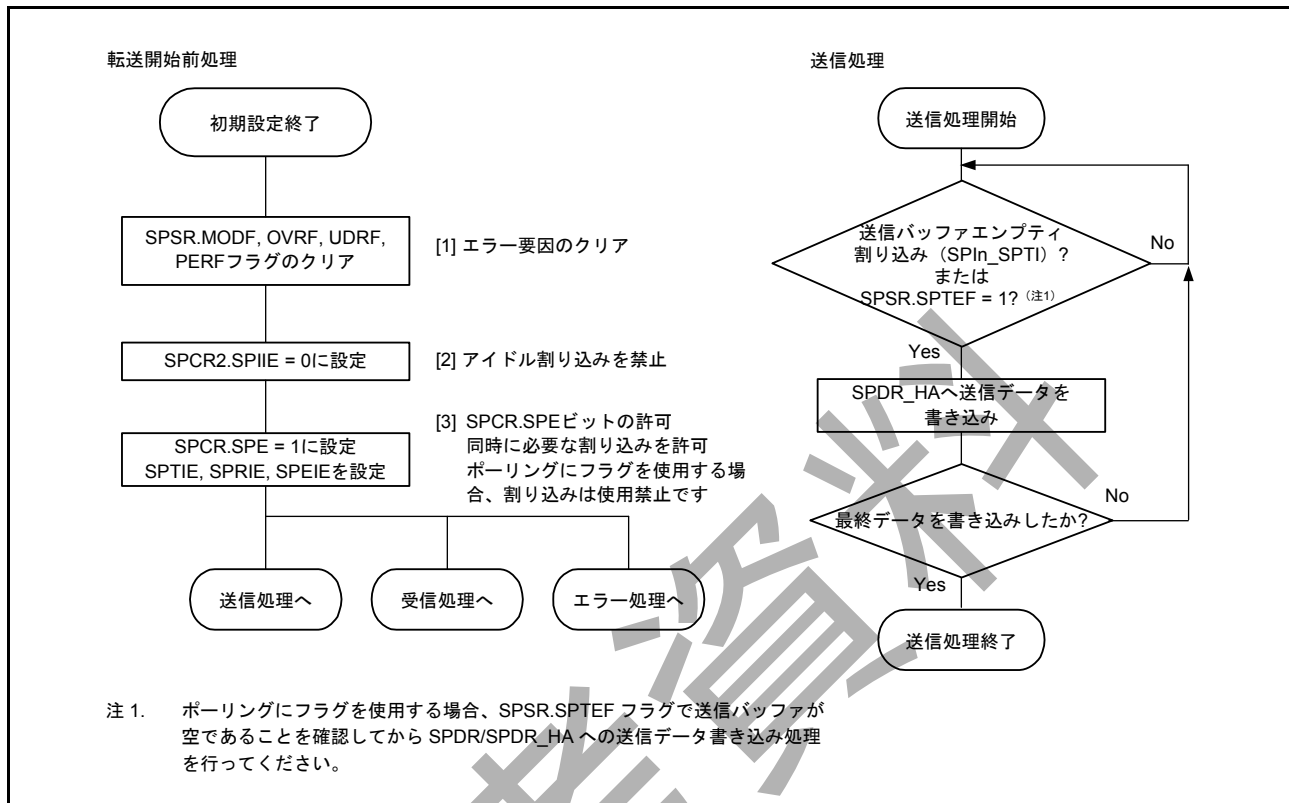


図 28.37 スレープモード時の送信フロー

## (b) 受信処理フロー

SPIは受信のみの動作を行わないため、送信を必要とします。

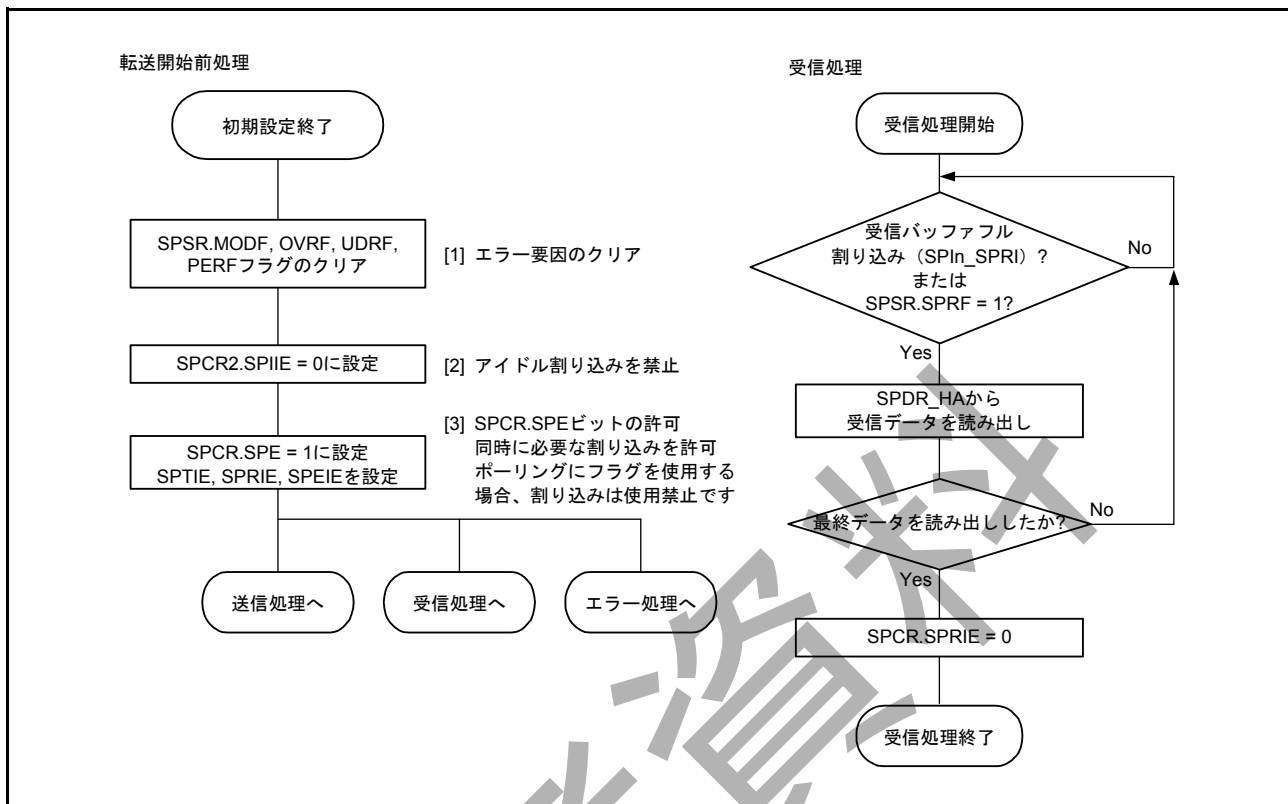


図 28.38 スレーブモード時の受信フロー

(c) エラー処理フロー

スレープ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることができます。

割り込みによるエラー検出時は、エラー処理にて ICU.IELSRm.IR フラグをクリアしてください。クリアしないと、ICU.IELSRm.IR フラグに送信バッファエンプティ割り込みまたは受信バッファフル割り込み要求が保持されている可能性があります。受信バッファフル割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

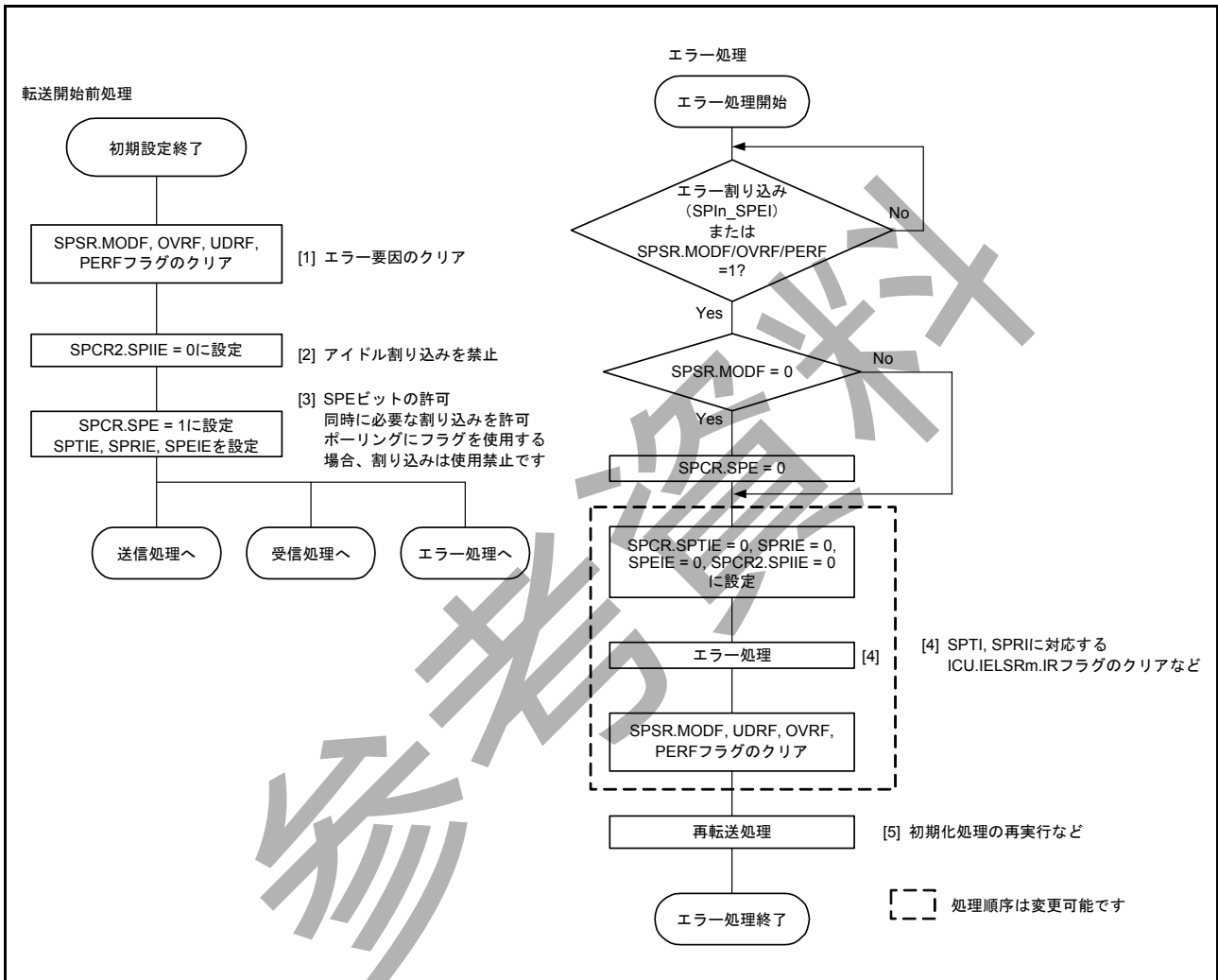


図 28.39 スレープモード時のエラー処理フロー

### 28.3.11 クロック同期式動作

SPI は、SPCR.SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSLn<sub>i</sub> 端子を使用せず、RSPCK<sub>n</sub>、MOSIn、MISO<sub>n</sub> の 3 本の端子を用いて通信を行います。各 SSLn<sub>i</sub> 端子は入出力ポートとして使用することができます。

クロック同期式動作は、SSLn<sub>i</sub> 端子を使用せずに通信を行いますが、モジュールの動作は SPI 動作と同様です。すなわち、マスタ動作とスレーブ動作では、モードフォルトエラーの検出が行われないことを除いて、同様のフローで通信を行うことができます。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に、SPCMD0.CPHA ビットを 0 にした場合の動作を行わないでください。

#### 28.3.11.1 マスタモード動作

##### (1) シリアル転送の開始

送信バッファが空 (次転送のデータがセットされておらず、SPSR.SPTEF フラグ = 1) の状態で、SPDR\_HA レジスタヘデータを書くと、SPI は SPDR\_HA レジスタの送信バッファ (SPTX) のデータを更新します。SPDR\_HA レジスタヘデータを書き込み後、シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタへコピーして、シリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

SPI の転送フォーマットの詳細については、[28.3.5 転送フォーマット](#)を参照してください。クロック同期式動作時は、SSLn<sub>0</sub> 出力信号を用いずに転送を行います。

##### (2) シリアル転送の終了

SPI はサンプリングタイミングに対応する RSPCK<sub>n</sub> エッジを送出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPI データレジスタ (SPDR\_HA) の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決まります。

SPI の転送フォーマットの詳細については、[28.3.5 転送フォーマット](#)を参照してください。クロック同期式動作時は、SSLn<sub>0</sub> 出力信号を用いずに転送を行います。

## (3) 初期化フロー

図 28.40 に、SPI をマスターモードで使用する場合のクロック同期式動作時の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

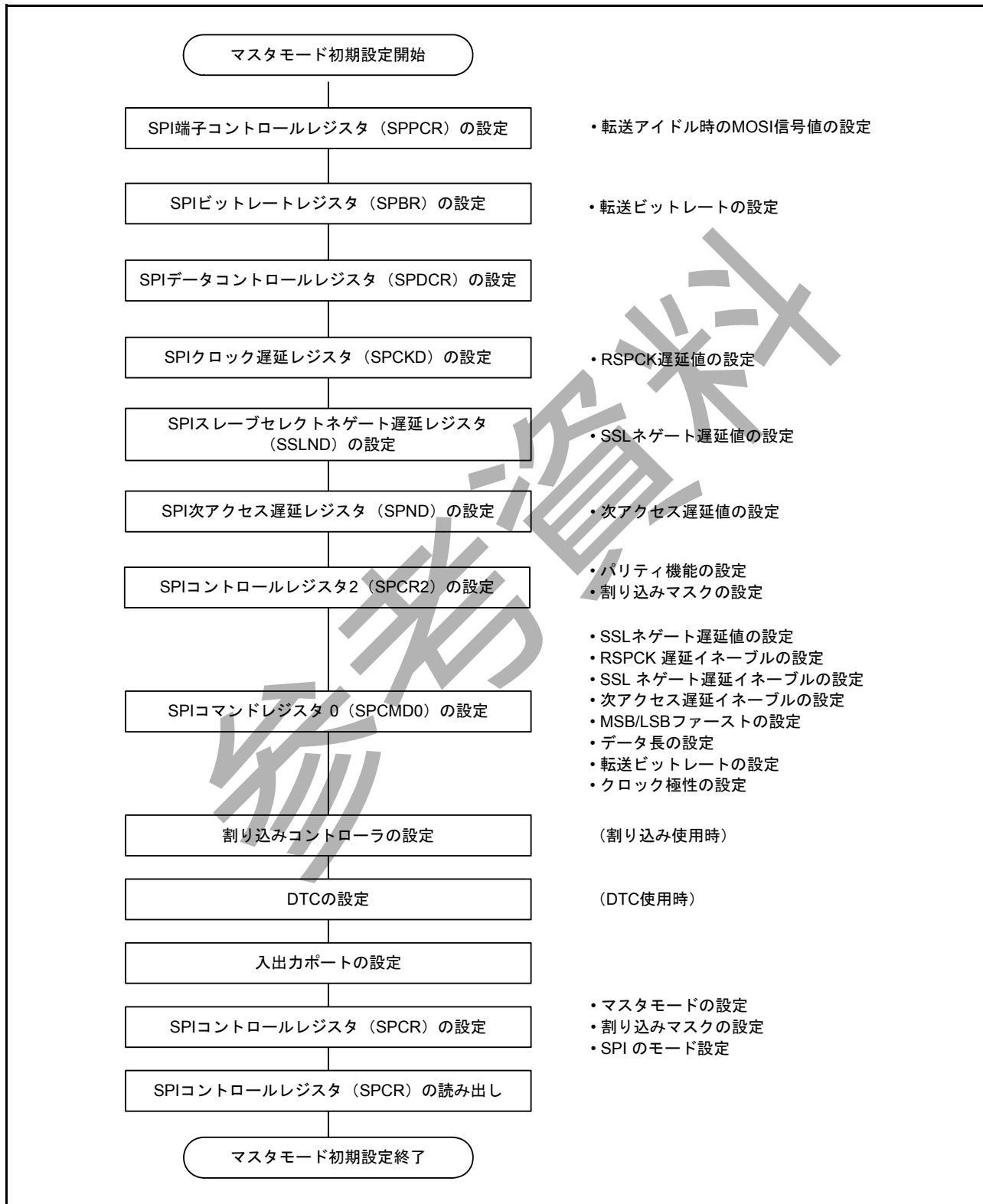


図 28.40 マスターモード時の初期化フロー例 (クロック同期式動作)

#### (4) ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、[28.3.10.1 章の \(7\) ソフトウェア処理フロー](#)を参照してください。

注. このモードでは、モードフォルトエラーは発生しません。

### 28.3.11.2 スレーブモード動作

#### (1) シリアル転送の開始

SPI では、SPCR.SPMS ビットが 1 であるとき、最初の RSPCKn エッジがシリアル転送開始のトリガになります。SPMS ビットが 1 の場合、SPI は MISO<sub>n</sub> 出力信号をドライブします。SPI の転送フォーマットの詳細については、[28.3.5 転送フォーマット](#)を参照してください。

注. クロック同期式動作時は SSL0 入力信号を使用しません。

#### (2) シリアル転送の終了

SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ=0) の場合には、シリアル転送の終了後、SPI はシフトレジスタから SPDR\_HA レジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決定されます。

SPI の転送フォーマットの詳細については、[28.3.5 転送フォーマット](#)を参照してください。



### (3) 初期化フロー

図 28.41 に、SPI をスレーブモードで使用する場合のクロック同期式動作時の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

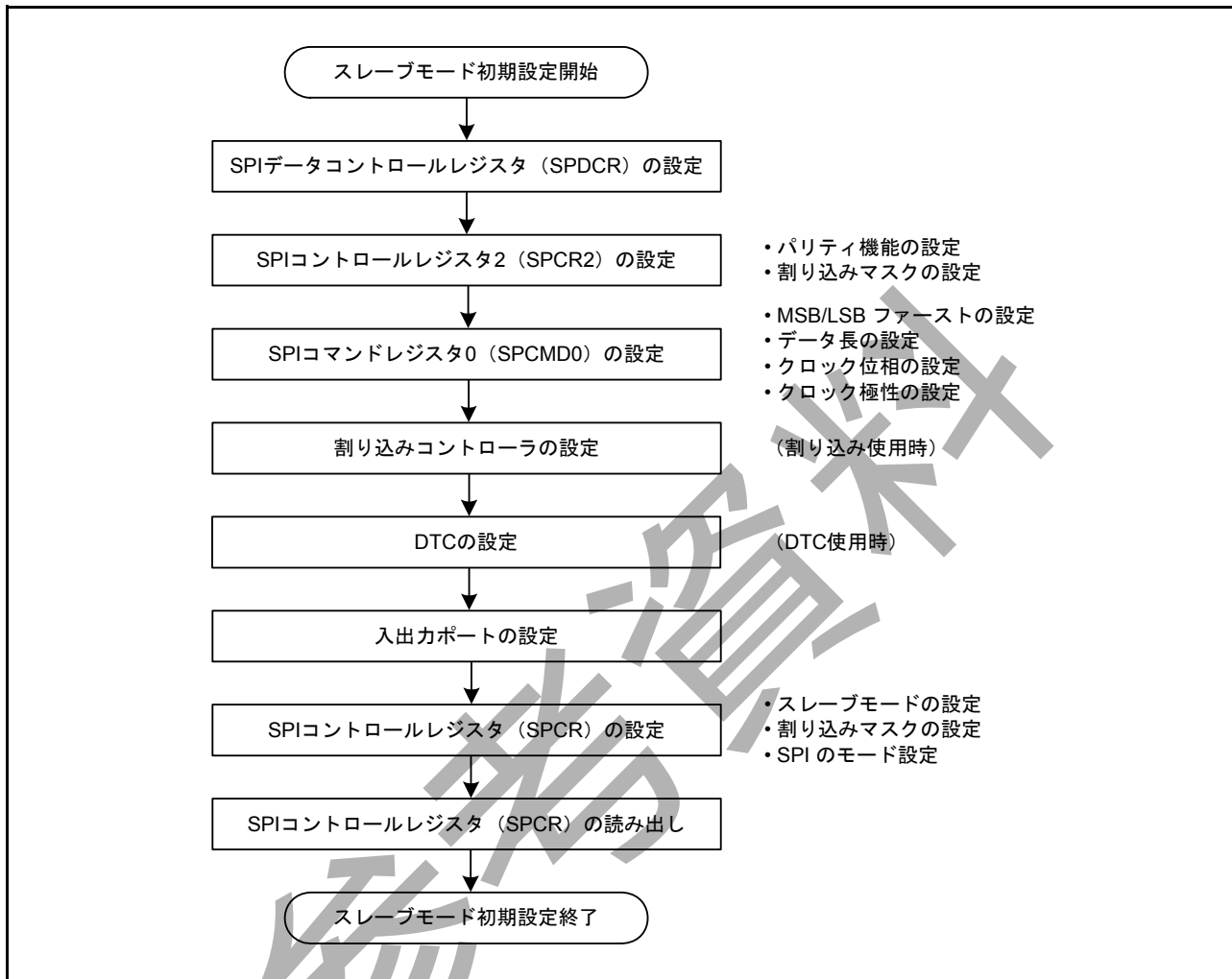


図 28.41 スレーブモード時の初期化フロー例 (クロック同期式動作)

### (4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、28.3.10.2 章の (5) ソフトウェア処理フローを参照してください。

注. このモードでは、モードフォルトエラーは発生しません。

### 28.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPPCR.SPLP ビットに 1 を書き込むと、SPI は、SPCR.MSTR ビットが 1 であれば、MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI<sub>n</sub> 端子とシフトレジスタ間の経路を遮断して、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが 1 であれば、SPI は MOSI<sub>n</sub> 端子とシフトレジスタ間の経路を遮断せず、SPCR.MSTR ビットが 0 であれば、MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、SPI の送信データまたは送信データの反転が SPI の受信データになります。

表 28.11 に SPLP2 ビット、SPLP ビット、および受信データの関係を示します。また、図 28.42 に、マスターモードの SPI をループバックモード (SPPCR.SPLP2 = 0、SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 28.11 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSI <sub>n</sub> 端子または MISO <sub>n</sub> 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

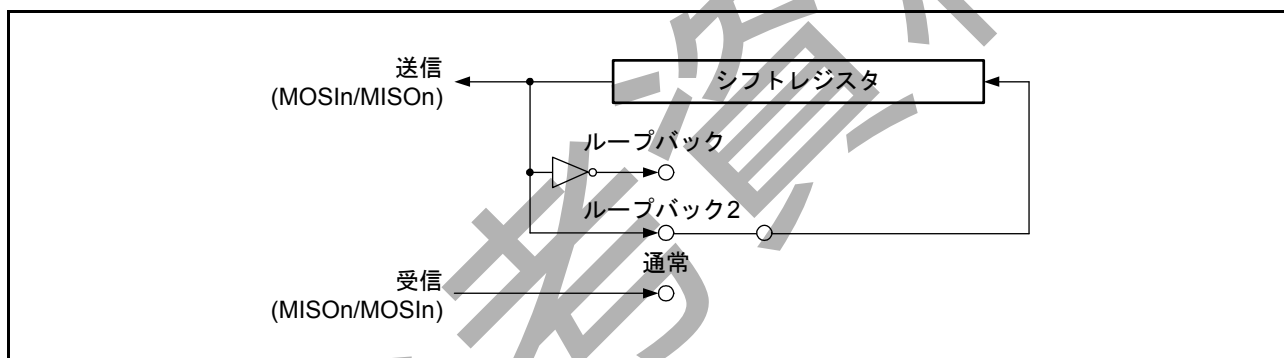


図 28.42 ループバックモード時のシフトレジスタ入出力経路の構成 (マスターモード)

### 28.3.13 パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ付加部とエラー検出部の故障を検出するために、[図 28.43](#) のフローのように、パリティ回路は自己診断を行います。

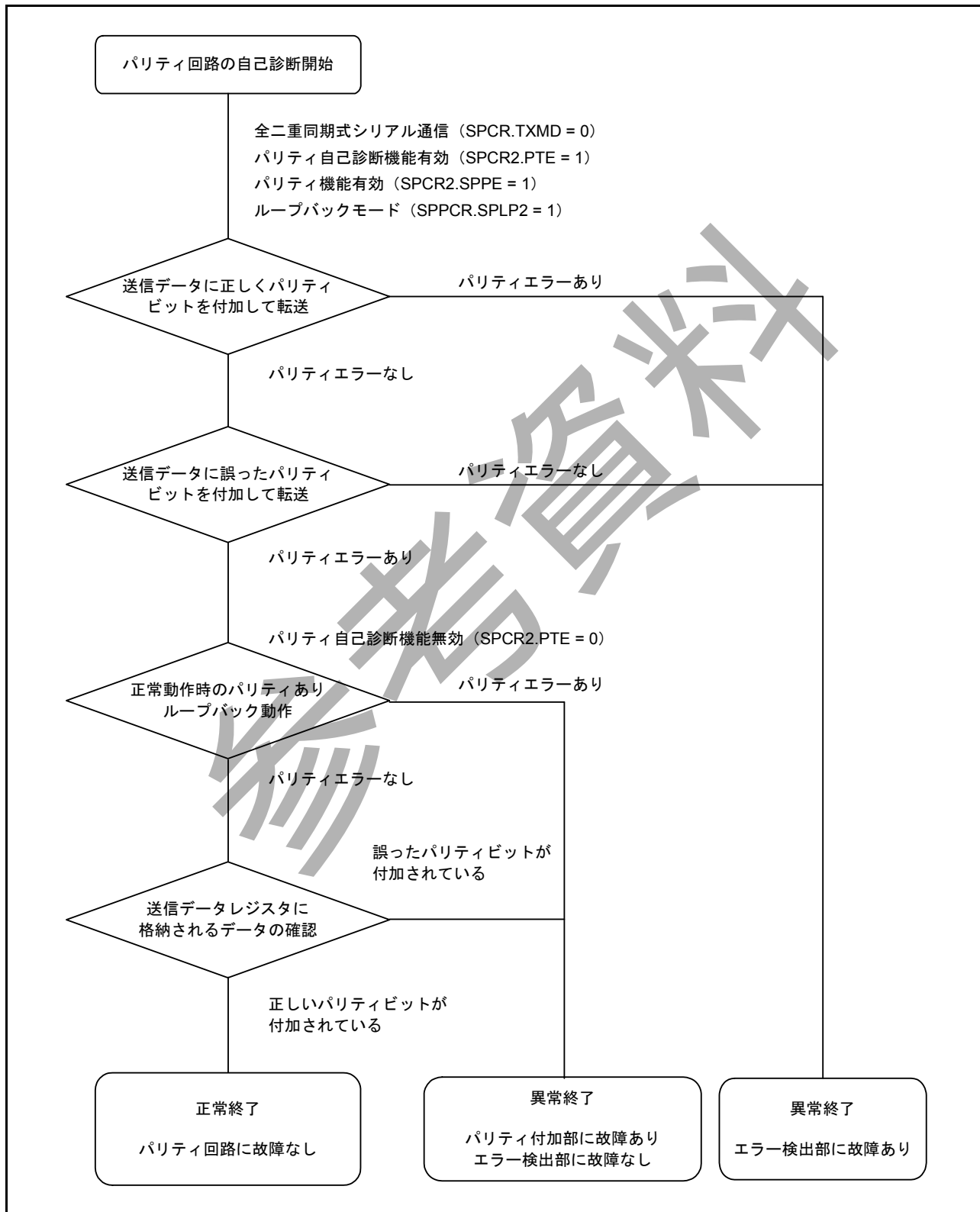


図 28.43 パリティ回路の自己診断フロー

### 28.3.14 割り込み要因

SPI には、以下の 8 種類の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ
- 送信終了
- モードフォルト
- アンダーラン
- オーバーラン
- パリティエラー
- SPI アイドル

また、受信バッファフルまたは送信バッファエンプティ割り込みによって DTC を起動し、データ転送を行うことができます。

SPIn\_SPEI のベクタアドレスは、モードフォルト、アンダーラン、オーバーラン、およびパリティエラーでトリガされる割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 28.12 に SPI の割り込み要因に対応するフラグを示します。表中の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DTC を使用してデータの送受信を行う場合、最初に DTC を転送許可状態に設定してから SPI の設定を行ってください。DTC の設定については、「14. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSRm.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じても、ICU に対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IELSRm.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット (SPCR.SPTE ビットまたは SPCR.SPRIE ビット) を 0 にすることでもクリアできます。

表 28.12 SPI の割り込み要因

割り込み要因	シンボル	割り込み条件	DTC の起動
受信バッファフル	SPIn_SPRI	SPCR.SPRIE ビットが 1 の状態で受信バッファフル (SPSR.SPRF フラグ = 1) になったとき	可能
送信バッファエンプティ	SPIn_SPTI	SPCR.SPTIE ビットが 1 の状態で送信バッファエンプティ (SPSR.SPTEF フラグ = 1) になったとき	可能
SPI エラー (モードフォルト、アンダーラン、オーバーラン、パリティエラー)	SPIn_SPEI	SPCR.SPEIE ビットが 1 の状態で SPSR.MODF、OVRF、または PERF フラグが 1 になったとき	不可能
SPI アイドル	SPIn_SPII	SPCR2.SPIIE ビットが 1 の状態で SPSR.IDLNF フラグが 0 になったとき	不可能
送信終了	SPIn_SPTEND	マスタモード時、IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 になると割り込みが発生 スレーブモード時、表 28.14 に示す条件で割り込みが発生	不可能

## 28.4 イベントリンク機能によるリンク動作

イベントリンクコントローラ (ELC) は、以下に示すイベント出力信号を生成することが可能です。イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

### 28.4.1 受信バッファフルイベント出力

このイベント信号は、シリアル転送の終了時に、受信したデータがシフトレジスタから SPDR\_HA レジスタへ転送されたとき出力されます。

### 28.4.2 送信バッファエンプティイベント出力

このイベント信号は、送信用のデータが送信バッファからシフトレジスタへが転送されたとき、および SPE ビットの値が 0 から 1 に変化したとき、出力されます。

### 28.4.3 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力

このイベント信号は、モードフォルト、アンダーラン、オーバーラン、またはパリティエラーが検出されたとき出力されます。このイベント信号を使用する場合は、[28.5.4 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に関する制約](#)を参照してください。

#### (1) モードフォルト

表 28.13 にモードフォルトイベントの発生条件を示します。

表 28.13 モードフォルトの発生条件

条件	SPCR.MODFEN ビット	SSLn0端子	備考
SPI動作 (SPMS = 0) スレーブ (SPCR.MSTRビット = 0)	1	非アクティブ	通信動作中に SSLn0端子が非アクティブになった場合のみイベント出力

#### (2) アンダーラン

アンダーランに対してこのイベント信号が出力される条件は、送信データが準備されておらず、SPCR.MSTR ビットが 0 かつ SPCR.SPE ビットが 1 の状態でシリアル転送が開始されたときです。この場合、MODF フラグおよび UDRF フラグが 1 になります。

#### (3) オーバーラン

オーバーランに対してこのイベント信号が出力される条件は、受信バッファに未読み出しデータがあり、かつ SPCR.TXMD ビットが 0 の状態でシリアル転送が終了したときです。この場合、OVRF フラグが 1 になります。

#### (4) パリティエラー

パリティエラーに対してこのイベント信号が出力される条件は、SPCR.TXMD ビットが 0 かつ SPCR.SPPE ビットが 1 の状態でシリアル転送が終了し、パリティエラーが検出されたときです。

## 28.4.4 SPI アイドルイベント出力

### (1) マスタモード時

マスタモード時に IDLNF フラグ (SPI アイドルフラグ) が 0 になる条件が成立すると、イベントが出力されます。

### (2) スレーブモード時

スレーブモード時に SPCR.SPE ビットが 0 (SPI 初期化) のとき、イベントが出力されます。

### 28.4.5 送信完了イベント出力

SPI 動作とクロック同期式動作の両方において、マスタモード時に IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 に変化すると、イベントが出力されます。

表 28.14 送信完了イベントの発生条件 (スレーブ)

条件	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作 (SPMS = 0)	エンプティ	エンプティ	SSL0 入力ネゲート
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終 RSPCK のエッジ検出

動作がマスタモードまたはスレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

参考資料

## 28.5 使用上の注意事項

### 28.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) を使用して、SPI モジュールストップ状態の遷移または解除が可能です。SPI は、リセット後の初期状態では動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタ B の詳細については、「10. 低消費電力モード」を参照してください。

### 28.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、およびスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

### 28.5.3 転送の開始に関する制約

ICU.IELSRm.IR フラグが 1 の状態で転送を開始すると、転送開始後も割り込み要求が内部で保持されるため、ICU.IELSRm.IR フラグが予期しない挙動となる可能性があります。これを避けるには、動作を許可する (SPCR.SPE ビットを 1 にする) 前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること (SPCR.SPE ビットが 0 となっていること) を確認する。
2. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を 0 にする。
3. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出して、0 であることを確認する。
4. ICU.IELSRm.IR フラグを 0 にする。

### 28.5.4 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に関する制約

SPI がマルチマスタモード (SPCR.SPMS ビット = 0、SPCR.MSTR ビット = 1、SPCR.MODFEN ビット = 1) の場合は、モードフォルト、アンダーラン、オーバーラン、およびパリティエラーイベントを使用することはできません。

### 28.5.5 SPRF および SPTEF フラグに関する制約

アプリケーションがポーリング用のフラグを使用する場合、割り込みを使用することはできません (SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください)。割り込みまたはフラグのどちらか一方のみ使用可能です。

## 29. 巡回冗長検査 (CRC) 演算器

巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることができます。さらに、いくつかの CRC 生成多項式が利用可能です。スヌープ機能により、特定のアドレスに対する読み出しおよび書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みおよびシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。

### 29.1 概要

表 29.1 に CRC 演算器の仕様を、図 29.1 に CRC 演算器のブロック図を示します。

表 29.1 CRC の仕様

項目	内容	
データサイズ	8ビット	32ビット
CRC 演算対象データ (注1)	8nビット単位の任意データに対しCRCコードを生成 (n = 自然数)	32nビット単位のデータに対しCRCコードを生成 (n = 自然数)
CRC 演算処理方式	8ビット並列実行	32ビット並列実行
CRC 生成多項式	3つの生成多項式から1つ選択可能 [8ビットCRC] <ul style="list-style-type: none"> <li><math>X^8 + X^2 + X + 1</math> (CRC-8)</li> </ul> [16ビットCRC] <ul style="list-style-type: none"> <li><math>X^{16} + X^{15} + X^2 + 1</math> (CRC-16)</li> <li><math>X^{16} + X^{12} + X^5 + 1</math> (CRC-CCITT)</li> </ul>	2つの生成多項式から1つ選択可能 [32ビットCRC] <ul style="list-style-type: none"> <li><math>X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1</math> (CRC-32)</li> <li><math>X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1</math> (CRC-32C)</li> </ul>
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダの切り替えが可能	
モジュールストップ機能	モジュールストップ状態の設定が可能	
CRC スヌープ	特定のレジスタアドレスに対する読み出しおよび書き込みのモニタ	—

注 1. 回路には、CRC 演算で使用するデータを分割する機能がありません。8ビット単位で書いてください。

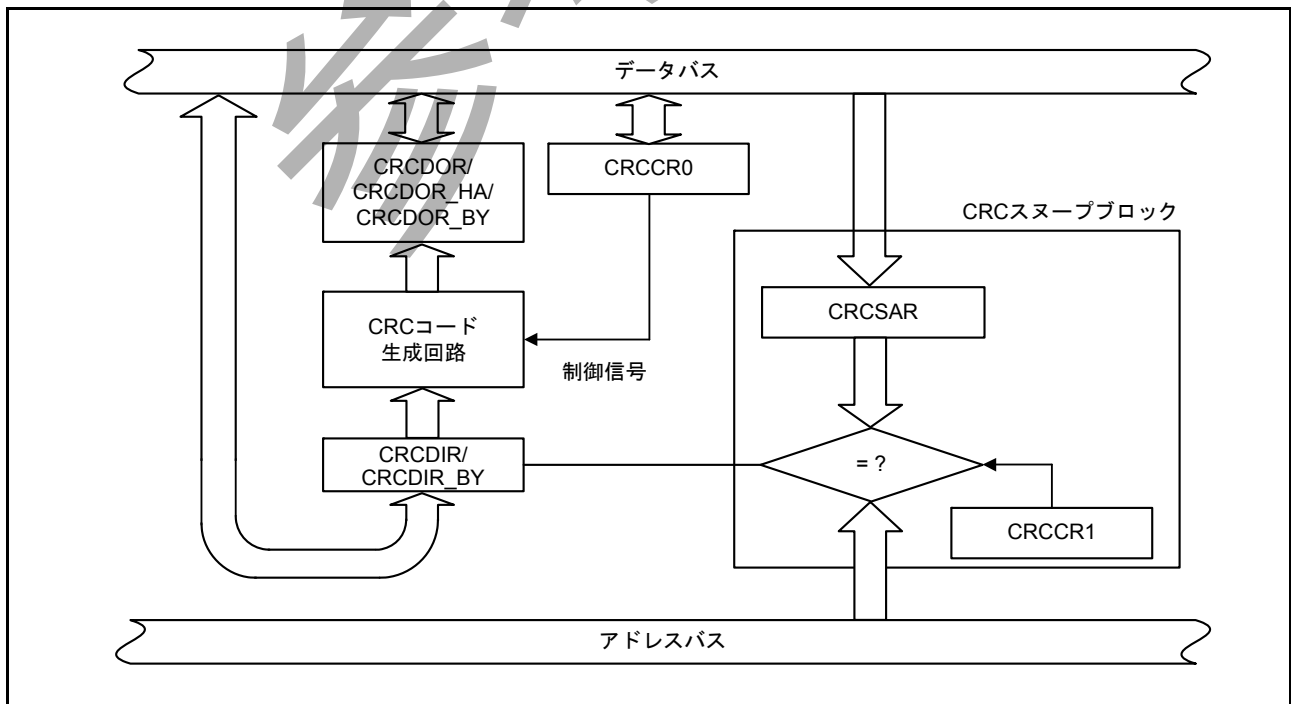


図 29.1 CRC のブロック図



## 29.2 レジスタの説明

### 29.2.1 CRC コントロールレジスタ 0 (CRCCR0)

アドレス `CRC.CRCCR0 4007 4000h`

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	LMS	—	—	—	GPS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	GPS[2:0]	CRC生成多項式切り替え	b2 b0 0 0 0: 算出しない 0 0 1: 8ビットCRC-8 ( $X^8 + X^2 + X + 1$ ) 0 1 0: 16ビットCRC-16 ( $X^{16} + X^{15} + X^2 + 1$ ) 0 1 1: 16ビットCRC-CCITT ( $X^{16} + X^{12} + X^5 + 1$ ) 1 0 0: 32ビットCRC-32 ( $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ ) 1 0 1: 32ビットCRC-32C ( $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ ) 上記以外: 算出しない	R/W
b5-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	LMS	CRC演算切り替え	0: LSBファースト通信用にCRCを生成 1: MSBファースト通信用にCRCを生成	R/W
b7	DORCLR	CRCDOR/CRCDOR_HA/ CRCDOR_BYレジスタク リア	1: CRCDOR/CRCDOR_HA/CRCDOR_BYレジスタをクリア 読むと0が読めます。	W (注1)

注1. このレジスタに書き込みを行うときは、このビットを必ず1にしてください。

#### DORCLR ビット (CRCDOR/CRCDOR\_HA/CRCDOR\_BY)

DORCLR ビットを1にすると、CRCDOR/CRCDOR\_HA/CRCDOR\_BYレジスタが0000 0000hになります。  
読むと0が読めます。1のみ書けます。

#### LMS ビット (CRC 演算切り替え)

生成したCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイトから先に、MSBファーストで通信を行う場合はCRCコードの上位バイトから先に送信してください。CRCコードの送信および受信については、29.3 動作説明を参照してください。

#### GPS[2:0] ビット (CRC 生成多項式切り替え)

CRC生成多項式を選択します。

### 29.2.2 CRC コントロールレジスタ 1 (CRCCR1)

アドレス [CRC.CRCCR1 4007 4001h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	CRCSE N	CRCS WR	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CRCSWR	スヌープオンライト/リード切り替え	0: スヌープオンリード 1: スヌープオンライト	R/W
b7	CRCSN	スヌープ許可	0: 禁止 1: 許可	R/W

#### CRCSWR ビット (スヌープオンライト/リード切り替え)

アドレスモニタ機能でのアクセス方向を選択します。

このビットを0 (初期値) にすると、特定のレジスタアドレスの読み出しに対して CRC スヌープ動作が有効になります。同様に、1 にすると、特定のレジスタアドレスの書き込みに対して CRC スヌープ動作が有効になります。

#### CRCSN ビット (スヌープ許可)

このビットを1 にすると、CRC スヌープ動作が有効になります。0 にすると、CRC スヌープ動作が無効になります。

### 29.2.3 CRC データ入力レジスタ (CRCDIR/CRCDIR\_BY)

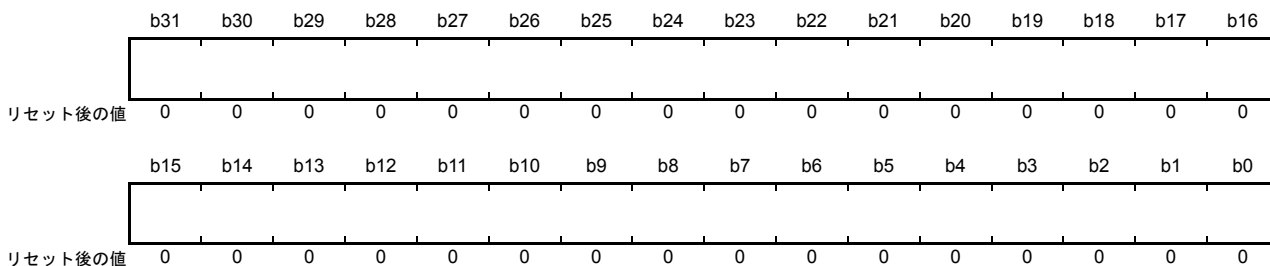
アドレス [CRC.CRCDIR/CRCDIR\\_BY 4007 4004h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込むための 32 ビットのリード/ライトレジスタです。CRCDIR\_BY レジスタは、CRC-8 または CRC-16 または CRC-CCITT 演算用データを書き込むための 8 ビットのリード/ライトレジスタです。

### 29.2.4 CRC データ出力レジスタ (CRCDOR/CRCDOR\_HA/CRCDOR\_BY)

アドレス [CRC.CRCDOR/CRCDOR\\_HA/CRCDOR\\_BY 4007 4008h](#)



CRCDOR レジスタは、CRC-32 または CRC-32C 用の 32 ビットのリード/ライトレジスタです。

CRCDOR\_HA レジスタは、CRC-16 または CRC-CCITT 用の 16 ビットのリード/ライトレジスタです。

CRCDOR\_BY レジスタは、CRC-8 用の 8 ビットのリード/ライトレジスタです。

初期値は 0000 0000h であるため、初期値以外の値を用いて演算する場合は、CRCDOR/CRCDOR\_HA/CRCDOR\_BY レジスタを書き換えてください。

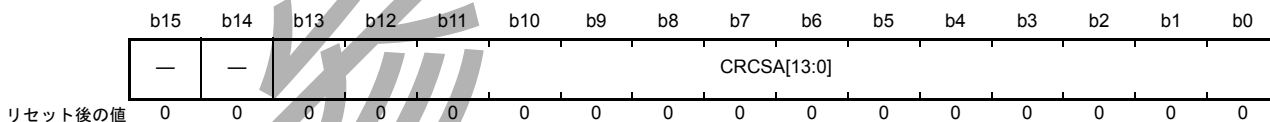
CRCDOR/CRCDOR\_BY レジスタに書き込まれたデータは CRC 演算され、結果は CRCDOR/CRCDOR\_HA/CRCDOR\_BY レジスタに格納されます。転送されたデータに続いて CRC コードを計算し、その結果が 0000 0000h であると、CRC エラーなしと判断できます。

8 ビット CRC ( $X^8 + X^2 + X + 1$  の多項式) を使用した場合、CRCDOR\_BY レジスタに有効な CRC コードが得られます。

16 ビット CRC ( $X^{16} + X^{15} + X^2 + 1$ 、または  $X^{16} + X^{12} + X^5 + 1$  の多項式) を使用した場合、CRCDOR\_HA レジスタに有効な CRC コードが得られます。

### 29.2.5 スヌープアドレスレジスタ (CRCSAR)

アドレス [CRC.CRCSAR 4007 400Ch](#)



ビット	シンボル	ビット名	機能	R/W
b13-b0	<a href="#">CRCSA[13:0]</a>	レジスタスヌープアドレス	SCIモジュールのTDRまたはRDRアドレスをスヌープにします。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### CRCSA[13:0] ビット (レジスタスヌープアドレス)

これらのビットに、CRC スヌープ動作でモニタされるレジスタアドレスの下位 14 ビットを設定します。

CRCSA[13:0] ビットで使用できるのは、以下のアドレスのみです。

- 4007 0003h:SCI0.TDR, 4007 0005h:SCI0.RDR
- 4007 0023h:SCI1.TDR, 4007 0025h:SCI1.RDR
- 4007 0123h:SCI9.TDR, 4007 0125h:SCI9.RDR
- 4007 000Fh:SCI0.FTDRL, 4007 0011h:SCI0.FRDR

## 29.3 動作説明

### 29.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ( $X^{16} + X^{12} + X^5 + 1$ ) を使用して、入力データ (F0h) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR\_HA) の値をクリアします。

8 ビット CRC ( $X^8 + X^2 + X + 1$  の多項式) を使用している場合は、CRCDOR\_BY レジスタに CRC コードの有効ビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに CRC コードの有効ビットが得られます。

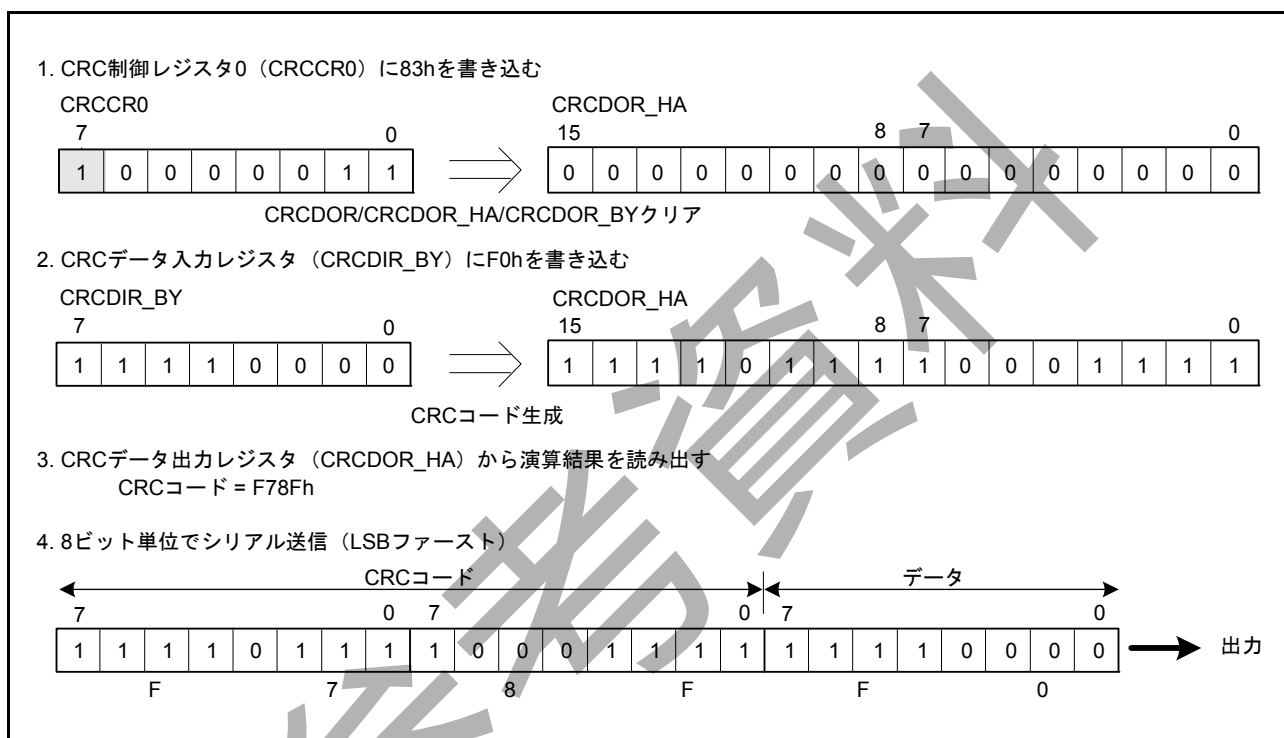


図 29.2 LSB ファーストのデータ送信

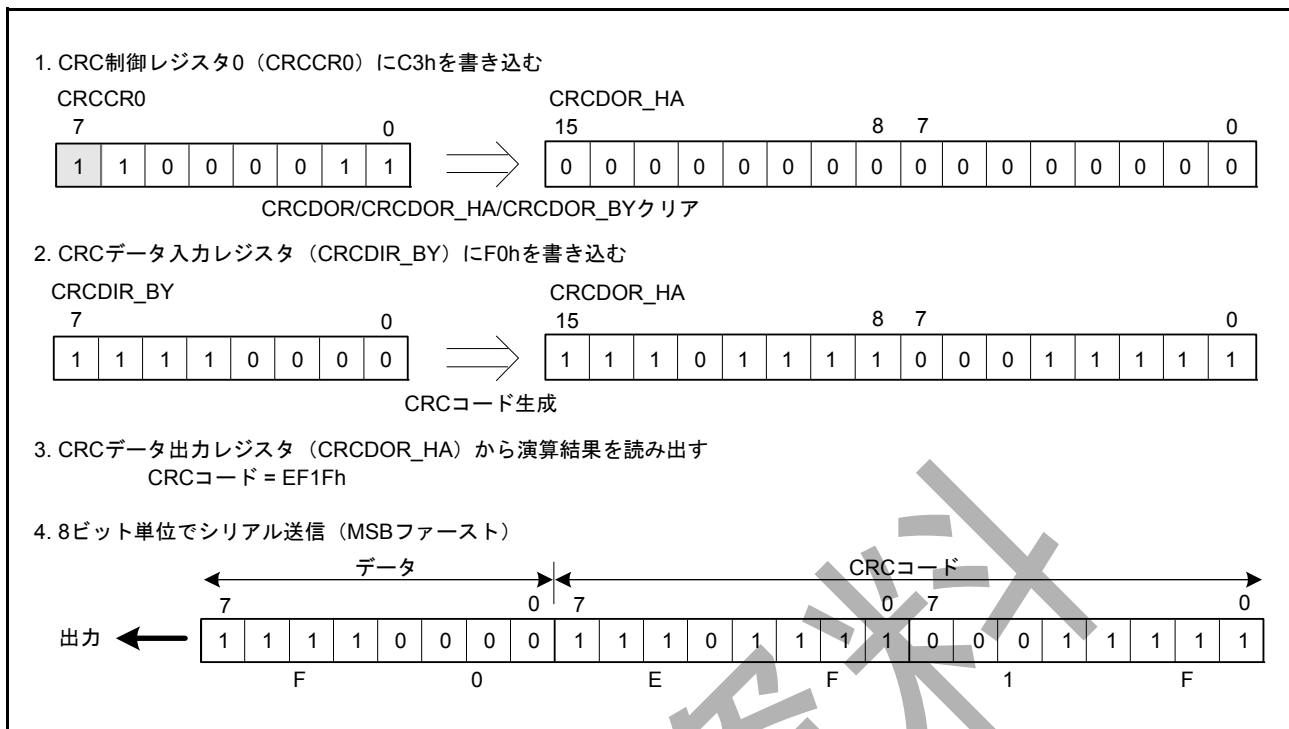


図 29.3 MSB ファーストのデータ送信

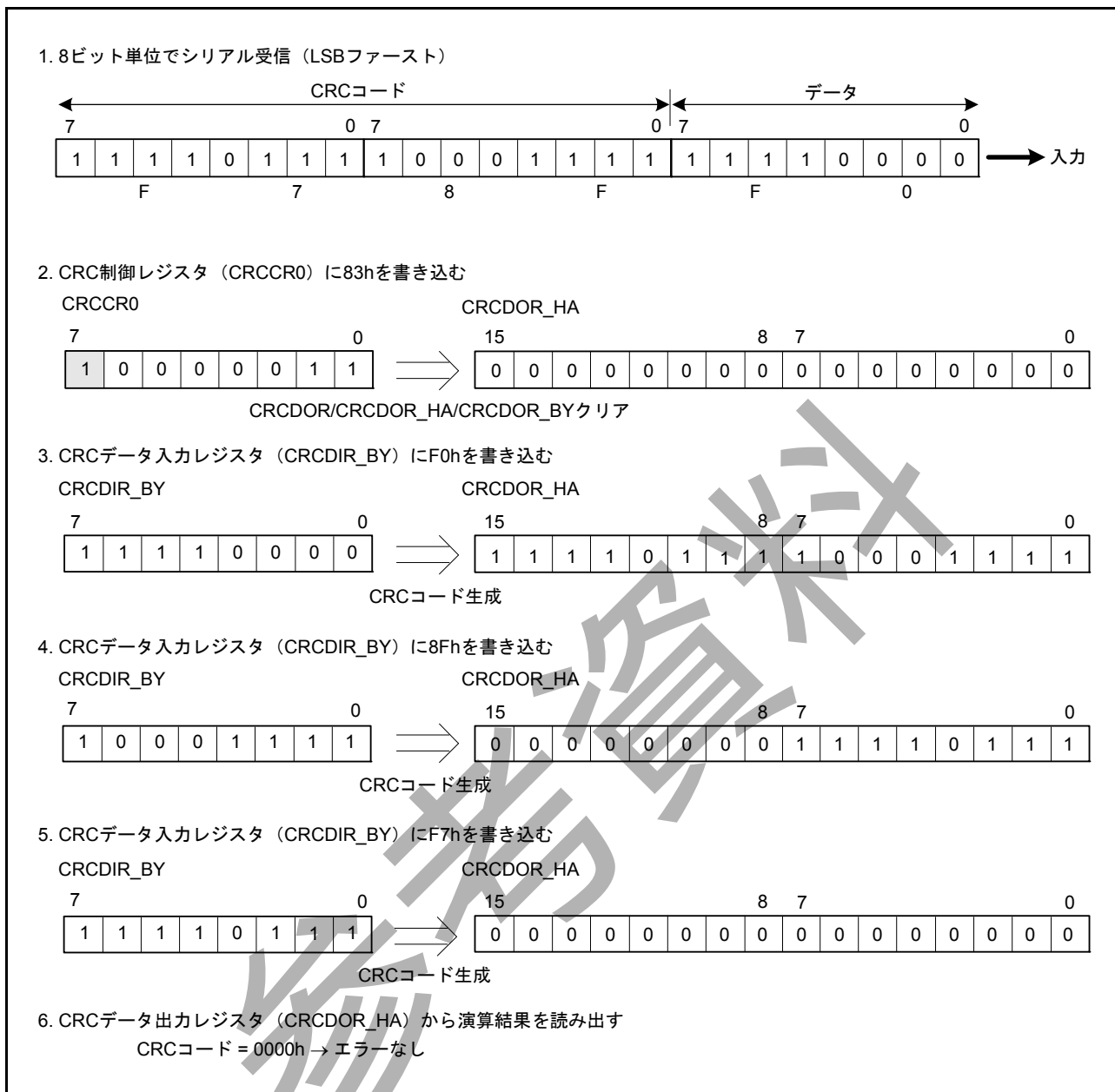


図 29.4 LSB ファーストのデータ受信

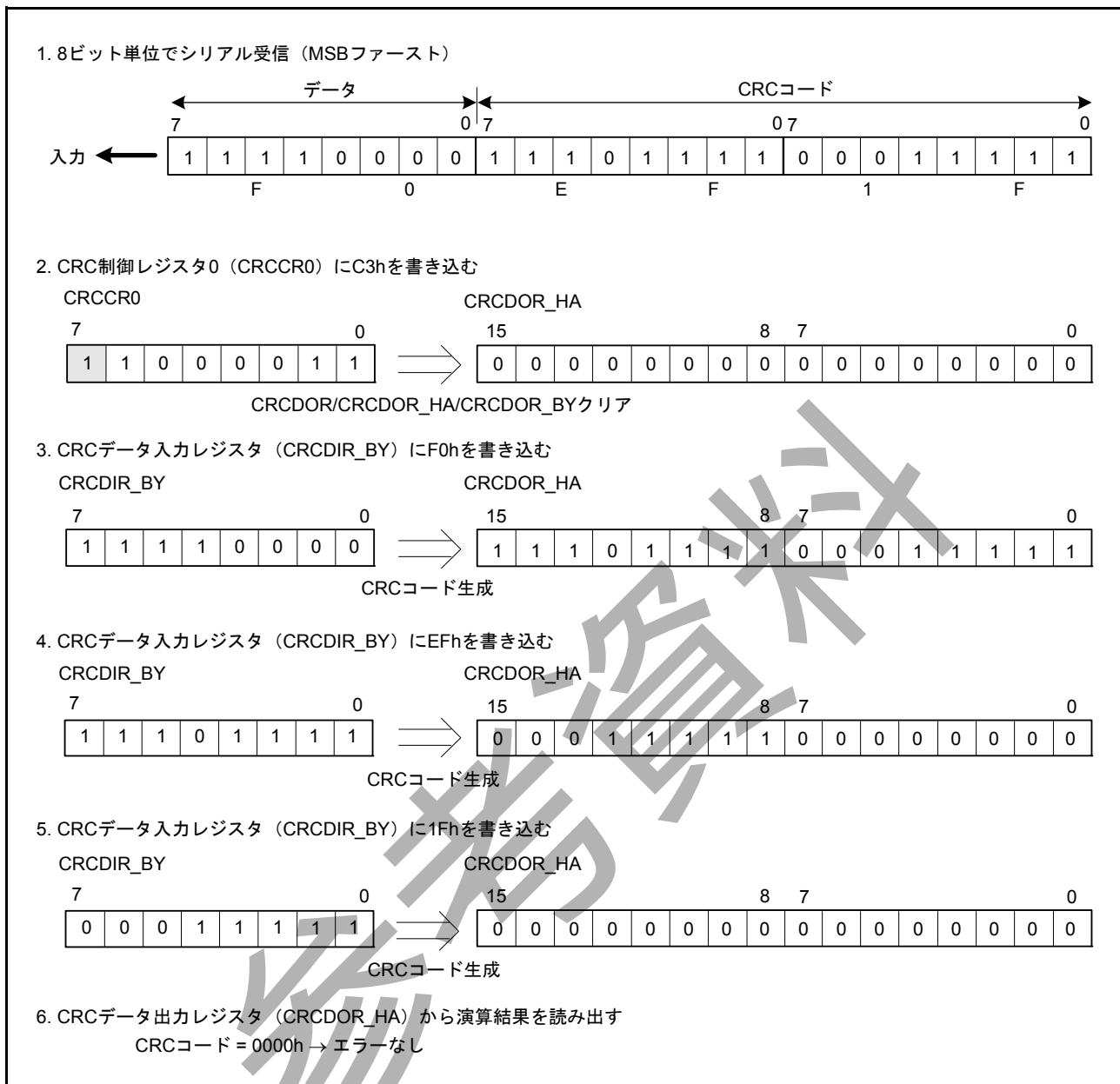


図 29.5 MSB ファーストのデータ受信

### 29.3.2 CRC スヌープ

CRC スヌープ機能は、特定のレジスタアドレスに対する読み出しと書き込みを監視し、その特定の I/O レジスタアドレスに読み出しおよび書き込みを行ったデータを用いて自動的に CRC 演算を実行します。CRC スヌープは、特定のレジスタアドレスに対する読み出しと書き込みを CRC 演算を自動的に実行するトリガとして認識するため、CRC<sub>DIR\_BY</sub> レジスタにデータを書き込む必要がありません。スヌープアドレスレジスタ (CRC<sub>SAR</sub>) で指定したすべての I/O レジスタアドレスが、CRC スヌープの対象となります。CRC スヌープは、シリアル送信バッファへの書き込みおよびシリアル受信バッファからの読み出しをモニタするのに役立ちます。

この機能を使用するには、対象となる I/O レジスタアドレスを CRC<sub>SAR</sub> レジスタの CRC<sub>SA13</sub> ~ CRC<sub>SA0</sub> ビットに書き込み、CRC<sub>CR1</sub> レジスタの CRC<sub>SEN</sub> ビットを 1 にします。次に、CRC<sub>CR1</sub>.CRC<sub>SWR</sub> ビットを 1 にして、対象アドレスへの書き込みに対してスヌープを有効にするか、あるいは、CRC<sub>CR1</sub>.CRC<sub>SWR</sub> ビットを 0 にして、対象アドレスからの読み出しに対してスヌープを有効にします。

CRC<sub>SEN</sub> ビットを 1、CRC<sub>SWR</sub> ビットを 1 にして、バスマスタモジュール (CPU、DTC など) の対象となる I/O レジスタアドレスにデータを書き込むと、CRC 演算器はそのデータを CRC<sub>DIR\_BY</sub> レジスタに格納して、CRC 演算を実行します。同様に、CRC<sub>SEN</sub> ビットを 1、CRC<sub>SWR</sub> ビットを 0 にして、バスマスタモジュール (CPU、DTC など) の対象となる I/O レジスタアドレスからデータを読み出すと、CRC 演算器はそのデータを CRC<sub>DIR\_BY</sub> レジスタに格納して、CRC 演算を実行します。

一度に 1 バイトの CRC 演算が実行されます。対象となる I/O レジスタアドレスに対してワード (16 ビット) またはロングワード (32 ビット) でアクセスすると、データの下位バイト (1 バイト) に CRC コードが生成されます。

参考資料



## 29.4 使用上の注意事項

### 29.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作を禁止または許可することが可能です。リセット後、CRC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

### 29.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とは、CRC コードの送信順序が異なります。

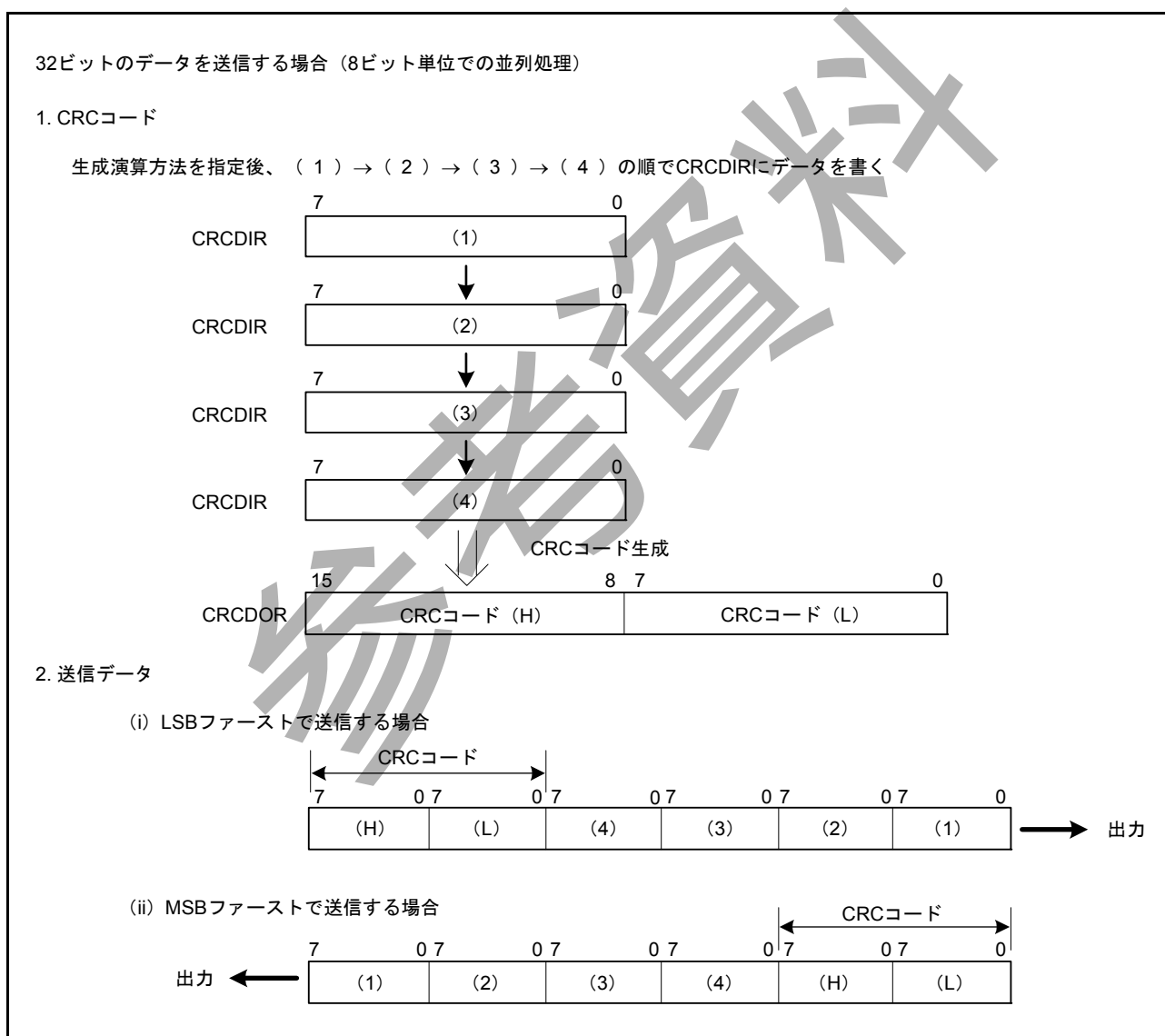


図 29.6 LSB ファーストと MSB ファーストのデータ送信

## 30. 14ビットA/Dコンバータ (ADC14)

### 30.1 概要

本MCUは、逐次比較方式の14ビットのA/Dコンバータ(ADC14)を内蔵しています。変換には最大18チャンネルのアナログ入力と温度センサ出力、および内部基準電圧を選択できます。A/D変換精度は14ビット変換と12ビット変換が選択可能であり、デジタル値の生成時に速度と分解能のバランスを最適化することができます。

ADC14には次の動作モードがあります。

- 任意に選択したチャンネルのアナログ入力を、チャンネル番号の昇順に変換するシングルスキャンモード
- 任意に選択したチャンネルのアナログ入力を、順次チャンネル番号の昇順に連続して変換する連続スキャンモード
- チャンネルのアナログ入力を任意に2つのグループ(グループAとグループB)に分け、グループ単位で選択したチャンネルのアナログ入力をチャンネル番号の昇順に変換するグループスキャンモード

グループスキャンモードでは、グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することができます。さらに、グループAの優先制御動作を設定すると、ADC14はグループBのA/D変換動作中にグループAのスキャン開始を受け付けて、グループBの変換動作を中断します。このようにして、グループAのA/D変換を優先的に開始することができます。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード(グループA)で変換し、1回目のA/D変換開始トリガで変換したデータと2回目のA/D変換開始トリガで変換したデータを別々のレジスタに格納(A/D変換データの2重化)します。

自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。

変換には温度センサ出力および内部基準電圧を同時に選択できません。温度センサ出力および内部基準電圧のA/D変換は個別に行ってください。

ADC14は比較機能(ウィンドウAおよびウィンドウB)も搭載しています。この比較機能は、ウィンドウAおよびウィンドウBそれぞれの上側基準値および下側基準値を指定し、選択したチャンネルのA/D変換値が比較条件に一致すると割り込みを出力します。

基準電源端子(VREFH0)、アナログ部の電源端子(AVCC0)、または内部基準電圧は、高電位側の基準電圧として選択可能です。基準電源グランド端子(VREFL0)またはアナログ部の電源グランド端子(AVSS0)は、低電位側の基準電圧として選択可能です。内部基準電圧を高電位側の基準電圧に選択する場合、温度センサまたは内部基準電圧のA/D変換は実行できません。

表 30.1 に ADC14 の仕様を示します。表 30.2 に ADC14 の機能一覧を示します。図 30.1 に ADC14 のブロック図を示します。

表 30.1 ADC14の仕様 (1/2)

項目	内容
ユニット数	1ユニット
入力チャンネル	最大18チャンネル (AN000~AN010、AN016~AN022)
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	14ビット (14ビットまたは12ビット変換が選択可能)
変換時間	1チャンネル当たり0.79 $\mu$ s (14ビットA/D変換クロックPCLKD (ADCLK) が64MHzで動作時)
A/D変換クロック	周辺モジュールクロックPCLKB (注1) とA/D変換クロックPCLKD (ADCLK) (注1) を以下の分周比で設定可能 PCLKB : PCLKD (ADCLK) 分周比 = 1:1、1:2、1:4
データレジスタ	<ul style="list-style-type: none"> <li>アナログ入力用18本、ダブルトリガモードでのA/D変換データ2重化用1本、ダブルトリガモード拡張動作時のA/D変換データ2重化用2本</li> <li>温度センサ出力用1本</li> <li>内部基準電圧用1本</li> <li>自己診断用1本</li> <li>A/D変換結果をA/Dデータレジスタに保持</li> <li>A/D変換結果の12、14ビット精度出力対応</li> <li>A/D変換値加算モード (A/D変換結果の加算値を変換精度ビット数+2ビット (注4) でA/Dデータレジスタに保持)</li> <li>ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは2重化レジスタに保持</li> <li>ダブルトリガモード拡張動作 (特定トリガ種別で有効) 選択した1つのチャンネルのアナログ入力のA/D変換データを関連するトリガに準備した2重化レジスタに保持</li> </ul>
動作モード	<ul style="list-style-type: none"> <li>シングルスキャンモード 任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧を1回A/D変換</li> <li>連続スキャンモード 任意に選択したチャンネルのアナログ入力を繰り返しA/D変換</li> <li>グループスキャンモード 任意にグループAとグループBに分けたチャンネルのアナログ入力、グループ単位で選択したアナログ入力を1回A/D変換 グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBのA/D変換をそれぞれ異なるタイミングで開始することが可能</li> <li>グループスキャンモード (グループA優先制御選択時) グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実行 グループAのA/D変換動作終了後にグループBのA/D変換動作の自動再実行が可能</li> </ul>
A/D変換開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>イベントリンクコントローラ (ELC) からの同期トリガ</li> <li>外部トリガADTRG0端子からの非同期トリガ</li> </ul>
機能	<ul style="list-style-type: none"> <li>サンプリングステート数可変機能</li> <li>A/Dコンバータの自己診断機能</li> <li>A/D変換値加算モードと平均モードが選択可能</li> <li>アナログ入力断線検出機能 (ディスチャージ機能/プリチャージ機能)</li> <li>ダブルトリガモード (A/D変換データ2重化機能)</li> <li>12ビットまたは14ビット変換が選択可能 (注2)</li> <li>A/Dデータレジスタオートクリア機能</li> <li>デジタルコンペア機能 (コンペアレジスタとデータレジスタとの比較、データレジスタ間の比較)</li> </ul>

表 30.1 ADC14の仕様 (2/2)

項目	内容
割り込み要因	<ul style="list-style-type: none"> <li>シングルスキャンモード（ダブルトリガモード非選択）では、1回のスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号（ADC140_ADI）を発生 デジタルコンペア機能の比較条件成立で、コンペア割り込み要求（ADC140_CMPAI/ ADC140_CMPBI）を発生 デジタルコンペア機能の比較条件成立で、ウィンドウコンペアELCイベント信号 （ADC140_WCMPPM）を発生 デジタルコンペア機能の比較条件不成立で、ウィンドウコンペアELCイベント信号 （ADC140_WCMPUM）を発生</li> <li>シングルスキャンモード（ダブルトリガモード選択）では、2回のスキャン終了でA/Dスキャン終 了割り込み要求およびELCイベント信号（ADC140_ADI）を発生</li> <li>連続スキャンモードでは、選択した全チャンネルのスキャン終了でA/Dスキャン終了割り込み要求お よびELCイベント信号（ADC140_ADI）を発生</li> <li>グループスキャンモード（ダブルトリガモード非選択）では、グループAのスキャン終了でA/Dス キャン終了割り込み要求およびELCイベント信号（ADC140_ADI）を発生。グループBのスキャン 終了でグループBのA/Dスキャン終了割り込み要求（ADC140_GBADI）を発生</li> <li>グループスキャンモード（ダブルトリガモード選択）では、2回のグループAのスキャン終了でA/D スキャン終了割り込み要求およびELCイベント信号（ADC140_ADI）を発生。グループBのスキャン 終了でグループBのA/Dスキャン終了割り込み要求（ADC140_GBADI）を発生</li> <li>ADC140_ADI、ADC140_GBADI、ADC140_WCMPPM、およびADC140_WCMPUMでデータトラン スファコンローラ（DTC）を起動可能</li> </ul>
ELCインタフェース	ELCからのトリガでスキャン開始可能
基準電圧	<ul style="list-style-type: none"> <li>VREFH0、AVCC0、または内部基準電圧は、高電位側の基準電圧として選択可能</li> <li>VREFL0またはAVSS0は、低電位側の基準電圧として選択可能</li> </ul>
モジュール停止機能	モジュールストップ状態への設定が可能（注3）

- 注 1. 周辺モジュールクロック PCLKB 周波数は SCKDIVCR.PCKB[2:0] ビットに指定し、A/D 変換クロック ADCLK 周波数は SCKDIVCR.PCKD[2:0] ビットに指定します。PCLKB の最大周波数は 32MHz で、PCLKD (ADCLK) の最大周波数は 64MHz です。
- 注 2. A/D 変換精度を変えた場合、A/D 変換時間も変わります。詳細は、[30.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。
- 注 3. 詳細は、「[10. 低消費電力モード](#)」を参照してください。
- 注 4. 加算用の拡張ビット数は、A/D 変換精度および加算回数によって異なります。A/D 変換精度が 12 または 14 ビットの場合、2 ビット拡張は最大で変換 4 回（加算 3 回）となります。
- 注 5. 温度センサ出力または内部基準電圧を選択する場合、連続スキャンモードまたはグループスキャンモードは使用しないでください。

表 30.2 ADC14の機能一覧

項目			ADC140
アナログ入力チャンネル			AN000～AN010、AN016～AN022 内部基準電圧 温度センサ出力
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	許可
	外部トリガ	トリガ入力端子	ADTRG0
	同期トリガ（ELCからのトリガ）	ELCトリガ	ELC_AD00 ELC_AD01
割り込み			ADC140_ADI ADC140_GBADI ADC140_CMPAI ADC140_CMPBI
ELCへの出力			ADC140_ADI ADC140_WCMPPM ADC140_WCMPUM
モジュールストップ機能の設定（注1）、（注2）			MSTPCRD.MSTPD16ビット

- 注 1. 詳細は、「[10. 低消費電力モード](#)」を参照してください。
- 注 2. モジュールストップ状態の解除後に A/D 変換を開始するのに、1μs 以上待機します。

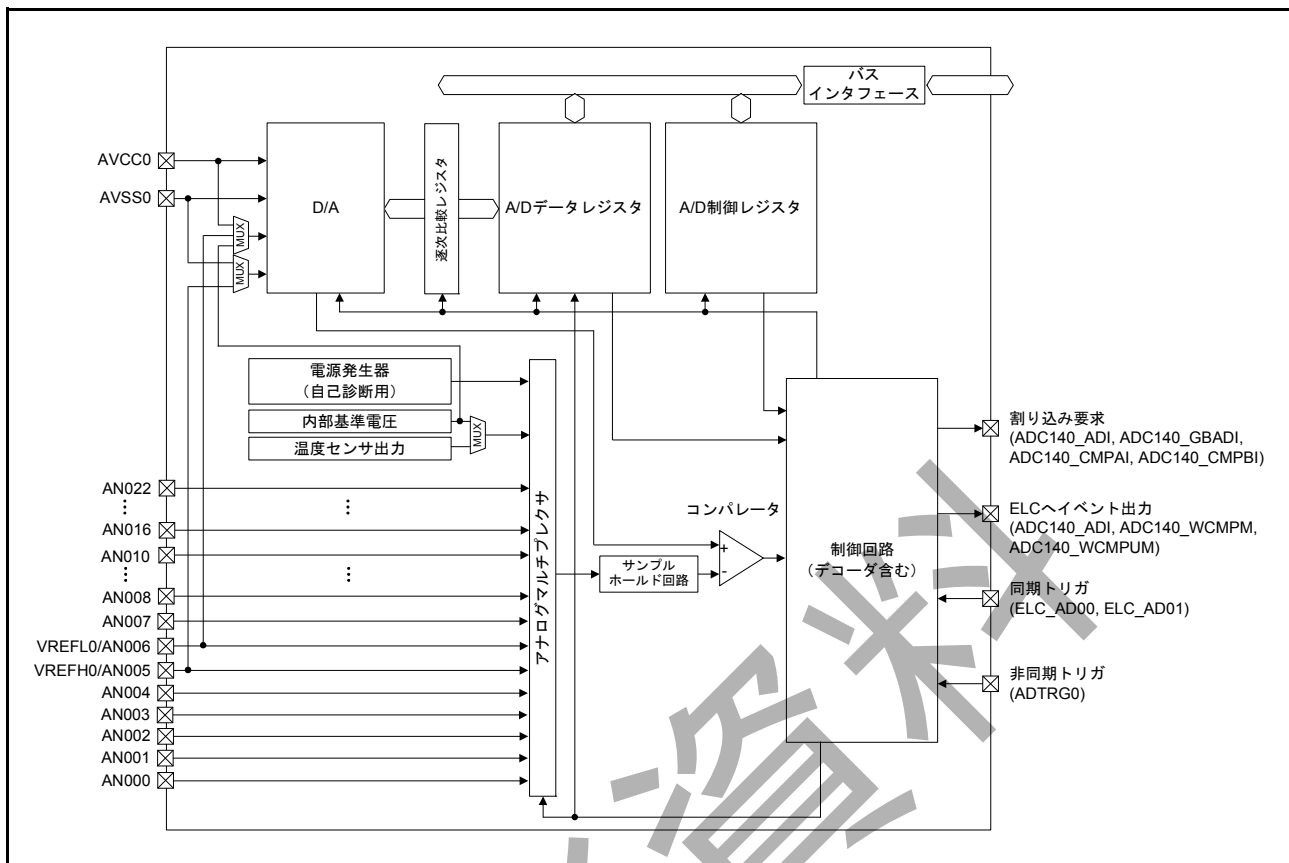


図 30.1 ADC14 のブロック図

表 30.3 に、ADC14 の入出力端子を示します。

表 30.3 ADC14の入出力端子

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部の電源グランド端子
VREFH0	入力	基準電源端子
VREFL0	入力	基準電源グランド端子
AN000～AN010、AN016～AN022	入力	アナログ入力端子0～10、16～22
ADTRG0	入力	A/D変換開始のための外部トリガ入力端子

## 30.2 レジスタの説明

### 30.2.1 A/D データレジスタ y (ADDRy)、 A/D データ 2 重化レジスタ (ADDBLDR)、 A/D データ 2 重化レジスタ A (ADDBLDRA)、 A/D データ 2 重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)

A/D データレジスタには以下の種類があります。

- ADDRy レジスタ (y=0 ~ 10, 16 ~ 22) : A/D 変換結果を格納する 16 ビットの読み出し専用レジスタ
- ADDBLDR レジスタ: ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADDBLDRA/ADDBLDRB レジスタ: ダブルトリガモード選択時、拡張動作中のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADTSDR レジスタ: 温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADOCDR レジスタ: 内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ

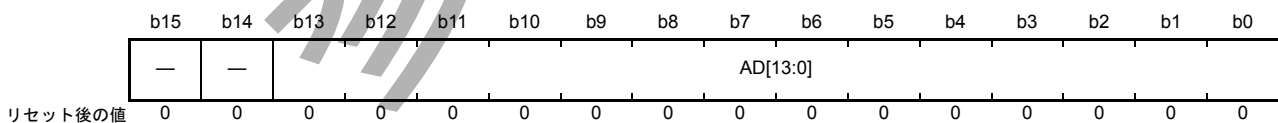
これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (左詰め、または右詰め)
- A/D データ変換精度指定ビット (ADCER.ADPRC[1:0]) の設定値 (12 ビットまたは 14 ビット)
- 加算/平均回数選択ビット (ADADC.ADC[2:0]) の設定値 (1 回、2 回、3 回、4 回、または 16 回)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

#### (1) A/D 変換値加算/平均モードを非選択とした場合

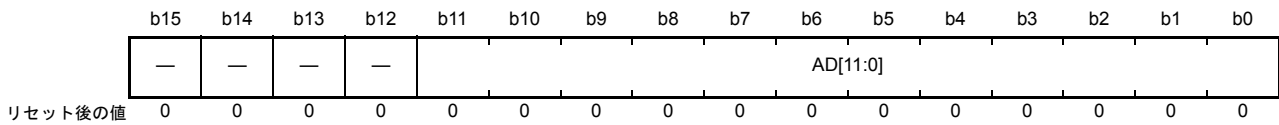
##### 右詰めフォーマット、14 ビット精度に設定した場合

アドレス [ADC140.ADDR0 4005 C020h](#) ~ [ADC140.ADDR10 4005 C034h](#),  
[ADC140.ADDR16 4005 C040h](#) ~ [ADC140.ADDR22 4005 C04Ch](#),  
[ADC140.ADDBLDR 4005 C018h](#), [ADC140.ADDBLDRA 4005 C084h](#), [ADC140.ADDBLDRB 4005 C086h](#),  
[ADC140.ADTSDR 4005 C01Ah](#), [ADC140.ADOCDR 4005 C01Ch](#)



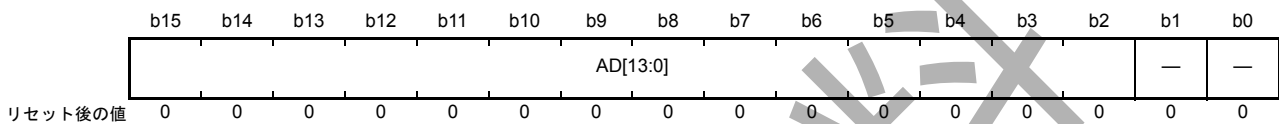
ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0]	変換値 13 ~ 0	14 ビット A/D 変換値	R
b15-b14	—	予約ビット	読むと 0 が読めます。	R

## 右詰めフォーマット、12ビット精度に設定した場合



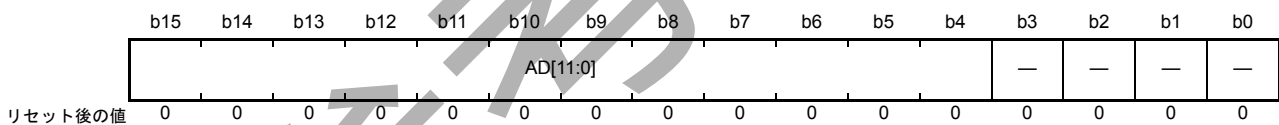
ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値 11~0	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと0が読めます。	R

## 左詰めフォーマット、14ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。	R
b15-b2	AD[13:0]	変換値 13~0	14ビットA/D変換値	R

## 左詰めフォーマット、12ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	変換値 11~0	12ビットA/D変換値	R

## (2) A/D変換値平均モードを選択した場合

A/D変換値加算モードで2回または4回を指定した場合、A/D変換値平均モードを選択できます。A/D変換値平均モードを選択した場合、本レジスタは特定チャンネルのA/D変換値を平均した値を示します。通常のA/D変換と同様にA/Dデータレジスタフォーマット選択ビットの設定に従い、A/Dデータレジスタに値が格納されます。

### (3) A/D 変換値加算モードを選択した場合

12 または 14 ビット精度の場合、A/D 変換値加算で 1 回、2 回、3 回、または 4 回を選択できます。12 ビット精度を選択した場合に限り、加算モードで 16 回を選択することもできます。A/D 変換値加算モードを選択したとき、本レジスタは特定チャンネルの A/D 変換値を加算した値を示します。

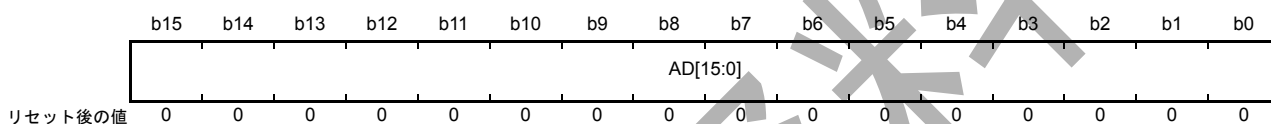
加算モードで 1 回、2 回、3 回、または 4 回変換を設定し、12 または 14 ビットの精度を選択した場合、変換結果の値を、指定した精度のビット数に 2 ビット分拡張したデータとして A/D データレジスタに保持します。

加算モードで 16 回変換を設定し、12 ビットの精度を選択した場合、変換結果の値を、指定した精度のビット数に 4 ビット分拡張したデータとして A/D データレジスタに保持します。

通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

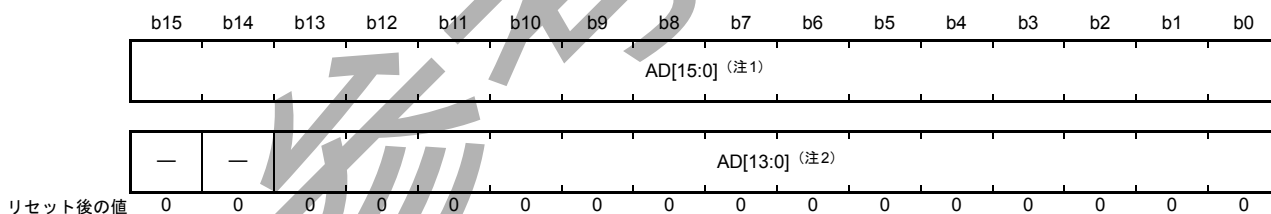
以下に条件ごとのデータフォーマットを示します。

#### 右詰めフォーマット、14 ビット精度に設定した場合 (A/D 変換値加算モード時)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0]	加算結果 15~0	16ビットA/D変換値加算結果	R

#### 右詰めフォーマット、12 ビット精度に設定した場合 (A/D 変換値加算モード時)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0] (注1)	加算結果 15~0	16ビットA/D変換値加算結果	R

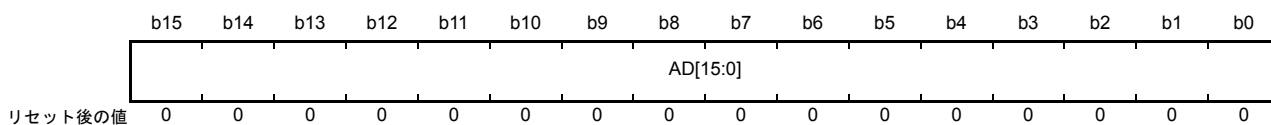
ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0] (注2)	加算結果 13~0	14ビットA/D変換値加算結果	R
b15-b14	—	予約ビット	読むと0が読めます。	R

注 1. A/D 変換値加算モードで 16 回変換を選択した場合に使用。

注 2. A/D 変換値加算モードで 1 回、2 回、3 回、または 4 回変換を指定した場合に使用。

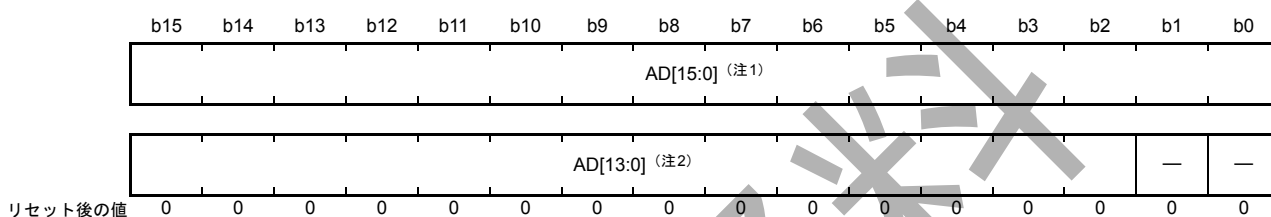


## 左詰めフォーマット、14ビット精度に設定した場合 (A/D変換値加算モード時)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0]	加算結果15~0	16ビットA/D変換値加算結果	R

## 左詰めフォーマット、12ビット精度に設定した場合 (A/D変換値加算モード時)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0] (注1)	加算結果15~0	16ビットA/D変換値加算結果	R

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。	R
b15-b2	AD[13:0] (注2)	加算結果13~0	14ビットA/D変換値加算結果	R

注1. A/D変換値加算モードで16回変換を選択した場合に使用。

注2. A/D変換値加算モードで1回、2回、3回、または4回変換を指定した場合に使用。

### 30.2.2 A/D 自己診断データレジスタ (ADRD)

ADRD レジスタは、ADC14 の自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値を示す AD ビットに加えて、自己診断ステータスビット (DIAGST) が付加されています。

このレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (左詰め、または右詰め)
- A/D データ変換精度指定ビット (ADCER.ADPRC[1:0]) の設定値 (12 ビットまたは 14 ビット)

A/D 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については、[30.2.11 A/D コントロール拡張レジスタ \(ADCER\)](#) を参照してください。

以下に、条件ごとのデータフォーマットを示します。

#### 右詰めのフォーマット、14 ビット精度に設定した場合

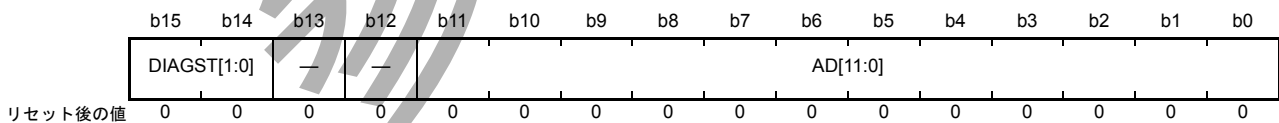
アドレス [ADC140.ADRD 4005 C01Eh](#)



ビット	シンボル	ビット名	機能	R/W
b13-b0	<a href="#">AD[13:0]</a>	変換値 13~0	14ビットA/D変換値	R
b15-b14	<a href="#">DIAGST[1:0]</a>	自己診断ステータス	b15 b14 0 0 : パワーオンから自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : 基準電源 (注1) ×1/2の電圧値の自己診断を実行したことを示す 1 1 : 基準電源 (注1) の電圧値の自己診断を実行したことを示す 自己診断の詳細については、 <a href="#">30.2.11 A/Dコントロール拡張レジスタ (ADCER)</a> を参照してください。	R

注 1. 基準電圧は VREFH0 を指します。

#### 右詰めのフォーマット、12 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b11-b0	<a href="#">AD[11:0]</a>	変換値 11~0	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと0が読めます。	R
b15-b14	<a href="#">DIAGST[1:0]</a>	自己診断ステータス	b15 b14 0 0 : パワーオンから自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : 基準電源 (注1) ×1/2の電圧値の自己診断を実行したことを示す 1 1 : 基準電源 (注1) の電圧値の自己診断を実行したことを示す 自己診断の詳細については、 <a href="#">30.2.11 A/Dコントロール拡張レジスタ (ADCER)</a> を参照してください。	R

注 1. 基準電圧は VREFH0 を指します。

## 左詰めのフォーマット、14ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0 : パワーオンから自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : 基準電源 (注1) ×1/2の電圧値の自己診断を実行したことを示す 1 1 : 基準電源 (注1) の電圧値の自己診断を実行したことを示す 自己診断の詳細については、30.2.11 A/Dコントロール拡張レジスタ (ADCER) を参照してください。	R
b15-b2	AD[13:0]	変換値 13~0	14ビットA/D変換値	R

注1. 基準電圧はVREFH0を指します。

## 左詰めのフォーマット、12ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0 : パワーオンから自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : 基準電源 (注1) ×1/2の電圧値の自己診断を実行したことを示す 1 1 : 基準電源 (注1) の電圧値の自己診断を実行したことを示す 自己診断の詳細については、30.2.11 A/Dコントロール拡張レジスタ (ADCER) を参照してください。	R
b3-b2	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	変換値 11~0	12ビットA/D変換値	R

注1. 基準電圧はVREFH0を指します。

## 30.2.3 A/D コントロールレジスタ (ADCSR)

アドレス ADC140.ADCSR 4005 C000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	—	—	ADHSC	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード時のみ有効です。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	GBADIE	グループBスキャン終了割り込み許可	0: グループBのスキャン終了後にADC140_GBADI割り込み発生を禁止 1: グループBのスキャン終了後にADC140_GBADI割り込み発生を許可 グループBのスキャンは、グループスキャンモードでのみ実行できます。	R/W
b7	DBLE	ダブルトリガモード選択	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択 (注1)	0: 同期トリガ (ELC) によりA/D変換開始 1: 非同期トリガ (ADTRG0) によりA/D変換開始	R/W
b9	TRGE	トリガ開始許可	0: 同期、非同期トリガによるA/D変換の開始を許可しない 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b10	ADHSC	A/D変換モード選択	0: 高速A/D変換モード 1: 低消費電力A/D変換モード	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b13	ADCS[1:0]	スキャンモード選択	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタート	0: A/D変換停止 1: A/D変換開始	R/W

注 1. 外部端子 (非同期トリガ) で A/D 変換を起動する方法 :

外部端子 (ADTRG0) に High を入力した状態で、ADCSR.TRGE ビットおよび ADCSR.EXTRG ビットを 1 にし、ADTRG0 から Low を入力します。この設定の場合、ADTRG0 の立ち下がりエッジを検出すると、スキャン変換を開始します。このときの Low 入力のパルス幅は、1.5PCLKB クロック以上必要です。

## DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択)

ダブルトリガモードで A/D 変換データを 2 重化する 1 チャンネルを選択します。DBLANS[4:0] ビットで選択したチャンネルのアナログ入力を、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。表 30.4 にダブルトリガ対象チャンネルの選択表を示します。

ダブルトリガモード時、ADANSA0、ADANSA1 レジスタで選択したチャンネルは無効となり、DBLANS[4:0] ビットで選択したチャンネルが代わりに A/D 変換されます。

グループスキャンモードでダブルトリガモードを使用する場合、ダブルトリガ制御はグループ A のみに適用され、グループ B には適用されません。そのため、ダブルトリガモードでもグループ B に対してはマルチチャンネルアナログ入力を選択できます。

DBLANS[4:0] ビットの設定は、ADST ビットが 0 のときのみ行ってください。この設定を ADST ビットへの 1 書き込みと同時に実行しないでください。

ダブルトリガモードが選択されている状態で A/D 変換値加算/平均モードに遷移するには、DBLANS[4:0] ビットで選択したチャンネルを ADANSA0、ADANSA1 レジスタに設定してください。

表 30.4 DBLANS[4:0] ビット設定値とダブルトリガ対象チャネルの関係

DBLANS[4:0]	2重化チャネル	DBLANS[4:0]	2重化チャネル
00000	AN000	10000	AN016
00001	AN001	10001	AN017
00010	AN002	10010	AN018
00011	AN003	10011	AN019
00100	AN004	10100	AN020
00101	AN005	10101	AN021
00110	AN006	10110	AN022
00111	AN007	10111	—
01000	AN008	11000	—
01001	AN009	11001	—
01010	AN010	11010	—
01011	—	11011	—
01100	—		
01101	—		
01110	—		
01111	—		

注. 自己診断機能、温度センサ出力、および内部基準電圧のA/D変換データは、ダブルトリガモードで使用できません。

#### GBADIE ビット (グループ B スキャン終了割り込み許可)

グループスキャンモードでのグループ B のスキャン終了割り込み (ADC140\_GBADI) の発生を許可/禁止します。

#### DBLE ビット (ダブルトリガモード選択)

ダブルトリガモードの選択/非選択を指定します。また、ダブルトリガモードは、ADSTRGR.TRSA[5:0] ビットで選択された同期トリガ (ELC) のみで動作できます。

ダブルトリガは以下のように動作します。

- 1 回目の変換終了時は ADC140\_ADI 割り込みを出力せず、2 回目の変換終了時に出力します。
- 1 回目のトリガで開始した 2 重化チャネル (DBLANS[4:0] で選択) の A/D 変換結果は、A/D データレジスタ y に格納され、2 回目のトリガで開始した変換結果は、A/D データ 2 重化レジスタに格納されます。

DBLE ビットが設定されている場合 (ダブルトリガモードを選択)、ADANS0 および ADANS1 レジスタで指定したチャネルは無効です。DBLE を 0 にすると、ダブルトリガモードは非選択となります。DBLE を再度 1 にすると、ダブルトリガモードの動作は最初のトリガによる最初のスキャンと同様になります。

ダブルトリガモードは、連続スキャンモードで選択しないでください。ダブルトリガモードでは、ソフトウェアトリガを使用できません。DBLE ビットの設定は、必ず ADST ビットを 0 にしてから行ってください。DBLE ビットの設定を ADST ビットへの 1 書き込みと同時にに行わないでください。

#### EXTRG ビット (トリガ選択)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

#### TRGE ビット (トリガ開始許可)

同期トリガ、非同期トリガによる A/D 変換の起動を許可/禁止します。グループスキャンモード時はこのビットを 1 にしてください。

#### ADHSC ビット (A/D 変換モード選択)

A/D 変換を高速モードにするか低電流モードにするかを選択します。

本ビットの書き換え方法については、30.8.8 ADHSC ビット書き換え手順を参照してください。

**ADCS[1:0] ビット (スキャンモード選択)**

スキャンモードを選択します。

シングルスキャンモードでは、ADANSA0、ADANSA1 レジスタで選択したアナログ入力を若いチャンネル番号順に A/D 変換を実施します。選択したすべてのチャンネルの A/D 変換が終了するとスキャン変換を停止します。

連続スキャンモードでは、ADCSR.ADST ビットが 1 の間、ADANSA0、ADANSA1 レジスタで選択したアナログ入力の A/D 変換を若いチャンネル番号順に実施します。選択されたすべてのチャンネルの A/D 変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを 0 にすると、スキャン中でも A/D 変換を停止します。

グループスキャンモード時：

- グループ A のスキャンは、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) により開始します。ADANSA0、ADANSA1 レジスタで選択したアナログ入力 (グループ A) の A/D 変換を若いチャンネル番号順に実行します。選択したすべてのチャンネルの A/D 変換が終了すると A/D 変換を停止します。
- グループ B のスキャンは、ADSTRGR.TRSB[5:0] ビットで選択した同期トリガ (ELC) により開始します。ADANSA0、ADANSA1 レジスタで選択したアナログ入力 (グループ B) の A/D 変換を若いチャンネル番号順に実行します。選択したすべてのチャンネルの A/D 変換が終了すると A/D 変換を停止します。

このとき、グループ A 側とグループ B 側の変換が重なった場合、これらの変換は別々に制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット (ADGSPCR.PGS) を 1 にして、変換優先順位を A 側に設定してください。

グループスキャンモードでは、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

温度センサ出力または内部基準電圧を選択する場合、シングルスキャンモードを選択し、ADANSA0、ADANSA1 レジスタを設定してすべてのチャンネルを非選択にしてから、A/D 変換を実施してください。選択した温度センサ出力または内部基準電圧の A/D 変換が終了したら、A/D 変換は停止します。

ADCS[1:0] ビットの設定は、ADST ビットが 0 のときのみ行ってください。この設定を ADST ビットへの 1 書き込みと同時に実行しないでください。

**表 30.5 スキャンモード、ダブルトリガモードと A/D 変換対象の選択可否**

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力 (グループ A 含む)	アナログ入力 (グループ B)	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	○	○	X	○	○
	DBLE = 1	X	○ (1chのみ)	X	X	X
連続スキャン	DBLE = 0	○	○	X	X	X
	DBLE = 1	X	X	X	X	X
グループスキャン	DBLE = 0	○	○	○	X	X
	DBLE = 1	X	○ (1chのみ)	○	X	X

○：選択可能。X：選択不可能

**ADST ビット (A/D 変換スタート)**

A/D 変換の開始/停止を制御します。ADST ビットを 1 にする前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[1 になる条件]

- ソフトウェアで 1 を書き込んだとき
- ADCSR.EXTRG ビットを 0、ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを 1、ADSTRGR.TRSA[5:0] ビットを 000000b にし、非同期トリガを検出したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、グループ B のトリガを検出し、グループ B の A/D 変換を開始したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを 1 にし、グループ B の A/D 変換を再開したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを 1 にして、グループ B の A/D 変換を開始したとき

[0 になる条件]

- ソフトウェアで 0 を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力、または内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、グループ B の A/D 変換実行中にグループ A のトリガを検出し、グループ B のスキャンが停止したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを 1 にし、グループ B の再起動トリガによるスキャンが終了したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを 1 にし、グループ B のトリガによるスキャンが終了したとき

注 . グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを 1 にしないでください。

注 . グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) は、ADGSPCR.GBRP ビット = 1 の場合、ADST ビットを 0 にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

## 30.2.4 A/D チャンネル選択レジスタ A0 (ADANSA0)

アドレス ADC140.ADANSA0 4005 C004h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	ANSA1 0	ANSA0 9	ANSA0 8	ANSA0 7	ANSA0 6	ANSA0 5	ANSA0 4	ANSA0 3	ANSA0 2	ANSA0 1	ANSA0 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	ANSA10～ANSA00	A/D変換チャンネル選択	0: 関連する入力チャンネルを非選択 1: 関連する入力チャンネルを選択 ビット10 (ANSA10) はAN010に対応し、ビット0 (ANSA00) はAN000に対応します。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## ANSAn ビット (n = 00 ~ 10) (A/D 変換チャンネル選択)

A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN010 の組み合わせを選択するレジスタです。チャンネルおよびチャンネル数は任意に設定可能です。ANSA00 ビットが AN000 に対応し、ANSA10 ビットが AN010 に対応します。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、本レジスタを 0000h にしてすべてのアナログ入力チャンネルを非選択にしてください。

ダブルトリガモード時は、ADANSA0 レジスタで選択したチャンネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなります。

また、グループスキャンモード選択時は、A/D チャンネル選択レジスタ B0 (ADANSB0)、および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。

ADANSA0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。



## 30.2.5 A/D チャンネル選択レジスタ A1 (ADANSA1)

アドレス ADC140.ADANSA1 4005 C006h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	ANSA2 2	ANSA2 1	ANSA2 0	ANSA1 9	ANSA1 8	ANSA1 7	ANSA1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	ANSA22 ~ ANSA16	A/D変換チャンネル選択	0: 関連する入力チャンネルを非選択 1: 関連する入力チャンネルを選択 ビット6 (ANSA22) はAN022に対応し、ビット0 (ANSA16) はAN016に対応します。	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## ANSAn ビット (n = 16 ~ 22) (A/D 変換チャンネル選択)

A/D 変換を行うチャンネルのアナログ入力 AN016 ~ AN022 の組み合わせを選択するレジスタです。チャンネルおよびチャンネル数は任意に設定可能です。ANSA16 ビットが AN016 に、ANSA22 ビットが AN022 に対応します。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、本レジスタを 0000h にしてすべてのアナログ入力チャンネルを非選択にしてください。

ダブルトリガモード時は、ADANSA1 レジスタで選択したチャンネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなります。

また、グループスキャンモード選択時は、A/D チャンネル選択レジスタ B0 (ADANSB0)、および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。

ADANSA1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

## 30.2.6 A/D チャネル選択レジスタ B0 (ADANSB0)

アドレス ADC140.ADANSB0 4005 C014h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	ANSB10	ANSB09	ANSB08	ANSB07	ANSB06	ANSB05	ANSB04	ANSB03	ANSB02	ANSB01	ANSB00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	ANSB10～ANSB00	A/D変換チャネル選択	0: 関連する入力チャネルを非選択 1: 関連する入力チャネルを選択 ビット10 (ANSB10) はAN010に対応し、ビット0 (ANSB00) はAN000に対応します。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## ANSBn ビット (n = 00 ~ 10) (A/D 変換チャネル選択)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN010 の組み合わせを選択するレジスタです。ANSB00 ビットが AN000 に、ANSB10 ビットが AN010 に対応します。

ADANSB0 レジスタは他のスキャンモードでは使用しません。

グループ A で指定したチャネル (ADANSA0、ADANSA1 レジスタで選択、またはダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択したチャネル) を選択しないでください。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、本レジスタを 0000h にしてすべてのアナログ入力チャネルを非選択にしてください。

ADANSB0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

## 30.2.7 A/D チャンネル選択レジスタ B1 (ADANSB1)

アドレス ADC140.ADANSB1 4005 C016h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	ANSB2 2	ANSB2 1	ANSB2 0	ANSB1 9	ANSB1 8	ANSB1 7	ANSB1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	ANSB22 ~ ANSB16	A/D変換チャンネル選択	0: 関連する入力チャンネルを非選択 1: 関連する入力チャンネルを選択 ビット6 (ANSB22) はAN022に対応し、ビット0 (ANSB16) はAN016に対応します。	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## ANSBn ビット (n = 16 ~ 22) (A/D 変換チャンネル選択)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN016 ~ AN022 の組み合わせを選択するレジスタです。ANSB16 ビットが AN016 に、ANSB22 ビットが AN022 に対応します。

ADANSB1 レジスタは他のスキャンモードでは使用しません。

グループ A で指定したチャンネル (ADANSA0、ADANSA1 レジスタで選択、またはダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択したチャンネル) を選択しないでください。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、本レジスタを 0000h にしてすべてのアナログ入力チャンネルを非選択にしてください。

ADANSB1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

## 30.2.8 A/D 変換値加算／平均チャンネル選択レジスタ 0 (ADADS0)

アドレス ADC140.ADADS0 4005 C008h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	ADS10	ADS09	ADS08	ADS07	ADS06	ADS05	ADS04	ADS03	ADS02	ADS01	ADS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	ADS10～ADS00	A/D 変換値加算／平均チャンネル選択	0：関連する入力チャンネルを非選択 1：関連する入力チャンネルを選択 ビット10 (ADS10) はAN010に対応し、ビット0 (ADS00) はAN000に対応します。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ADS<sub>n</sub> ビット (n = 00 ~ 10) (A/D 変換値加算／平均チャンネル選択)

A/D 変換値加算／平均の対象となる A/D 変換チャンネル AN000 ~ AN010 を決定します。選択した A/D 変換チャンネルに対応する本ビットを 1 にすると、選択したチャンネルのアナログ入力を、ADADC.ADC[2:0] ビットで指定した回数 (1、2、3、4、または 16 回) 分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を A/D データレジスタに格納します。

本ビットは、以下で選択された A/D 変換チャンネルのみに適用されます。

- ADANSA0 レジスタの ANSAn ビット (n = 00 ~ 10)、または ADCSR レジスタの DBLANS[4:0] ビット
- ADANSB0 レジスタの ANSBn ビット (n = 00 ~ 10)

加算／平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS0 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

図 30.2 に ADS2 ビットと ADS6 ビットを 1 にしたときのスキャン動作シーケンスを示します。この例では以下ようになります。

- 加算モードを選択 (ADADS.AVEE = 0)
- 変換回数を 4 に設定 (ADADC.ADC[1:0] = 11b)
- 連続スキャンモード (ADCSR.ADCS[1:0] = 10b) でチャンネル AN000 ~ AN007 を選択 (ADANSA0.ANSA0[15:0] = 00FFh)

AN000 から変換を開始します。AN002 の変換は 4 回連続実行し、加算値を A/D データレジスタ 2 (ADDR2) に返します。その後、AN003 の変換を開始し、AN006 の変換は 4 回連続実行し、加算値を A/D データレジスタ 6 (ADDR6) に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

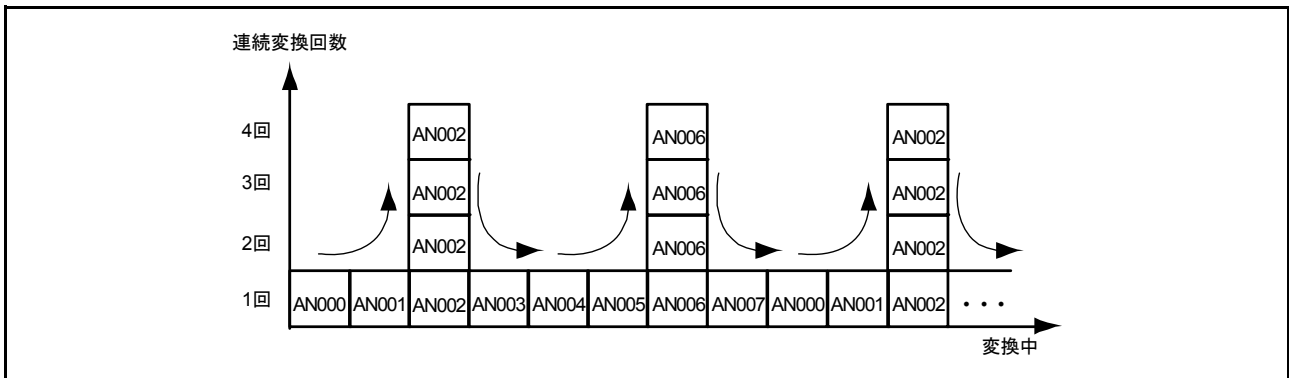


図 30.2 ADADC.ADC[2:0] = 011b、ADADS0.ADS02 = 1、ADADS0.ADS06 = 1 選択時のスキャン変換シーケンス

### 30.2.9 A/D 変換値加算／平均チャンネル選択レジスタ 1 (ADADS1)

アドレス [ADC140.ADADS1 4005 C00Ah](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	ADS22	ADS21	ADS20	ADS19	ADS18	ADS17	ADS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	ADS22～ADS16	A/D変換値加算／平均チャンネル選択	0：関連する入力チャンネルを非選択 1：関連する入力チャンネルを選択 ビット6 (ADS22) はAN022に対応し、ビット0 (ADS16) はAN016に対応します。	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### ADS<sub>n</sub> ビット (n = 16 ~ 22) (A/D 変換値加算／平均チャンネル選択)

A/D 変換値加算／平均の対象となる A/D 変換チャンネル AN016 ~ AN022 を決定します。選択した A/D 変換チャンネルに対応する本ビットを 1 にすると、選択したチャンネルのアナログ入力を、ADADC.ADC[2:0] ビットで指定した回数 (1、2、3、4、または 16 回) 分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を A/D データレジスタに格納します。

本ビットは、以下で選択された A/D 変換チャンネルのみに適用されます。

- ADANSA1 レジスタの ANSAn ビット (n = 16 ~ 22)、または ADCSR レジスタの DBLANS[4:0] ビット
- ADANSB1 レジスタの ANSBn ビット (n = 16 ~ 22)

加算／平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS1 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

## 30.2.10 A/D 変換値加算／平均回数選択レジスタ (ADADC)

アドレス ADC140.ADADC 4005 C00Ch

b7	b6	b5	b4	b3	b2	b1	b0
AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	回数選択	b2 b0 0 0 0: 1回変換 (加算なし。通常変換と同じ) 0 0 1: 2回変換 (1回加算を行う) 0 1 0: 3回変換 (2回加算を行う) 0 1 1: 4回変換 (3回加算を行う) 1 0 1: 16回変換 (15回加算を行う) 上記以外は設定しないでください。	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AVEE	平均モードイネーブル	0: 平均モードを禁止 (注1) 1: 平均モードを許可 (注2)	R/W

注1. ADADC.AVEE ビットを0にして平均モードを非選択にする場合の加算回数は、12ビット精度を使用するときは1、2、3、4、または16回変換に、14ビット精度を使用するときは1、2、3、または4回変換に設定してください。

注2. ADADC.AVEE ビットを1にして平均モードを選択する場合の加算回数は、2回または4回変換に設定してください。加算回数は、3回または16回変換 (ADC[2:0] = 010b または 101b) に設定しないでください。

## ADC[2:0] ビット (回数選択)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算／平均モードが選択されたすべてのチャンネルに対して加算回数を設定します。加算回数は、温度センサ出力、内部基準電圧の A/D 変換にも適用されます。

ADC[2:0] ビットの設定には以下の制約があります。

- ADADC.AVEE ビットを1にして平均モードを選択する場合、3回または16回変換 (ADADC.ADC[2:0] = 010b または 101b) に設定しない
- 自己診断機能 (ADCER.DIAGM=1) を実施する場合、ADC[2:0] を 000b 以外の値にしない
- 変換精度が14ビット (ADCER.ADPRC[1:0] = 11b) の場合、ADC[2:0] ビットを 101b にしない

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

## AVEE ビット (平均モードイネーブル)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算／平均モードが選択されたすべてのチャンネル、温度センサ出力、内部基準電圧の A/D 変換に対して、加算モードまたは平均モードの選択を行います。

ADADC.AVEE ビットを1にして平均モードを選択する場合、3回または16回変換 (ADADC.ADC[2:0] = 010b または 101b) に設定しないでください。

AVEE ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

## 30.2.11 A/D コントロール拡張レジスタ (ADCER)

アドレス ADC140.ADCER 4005 C00Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	—	ADPRC[1:0]	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2-b1	ADPRC[1:0]	A/D 変換精度指定	b2 b1 0 0 : 12ビット精度 0 1 : 設定禁止 1 0 : 設定禁止 1 1 : 14ビット精度	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	ACE	A/D データレジスタ自動クリアイネーブル	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択	b9 b8 0 0 : 自己診断有効時は設定禁止 0 1 : 0V 1 0 : 基準電源の電圧値 (注1) ×1/2 1 1 : 基準電源の電圧値 (注1)	R/W
b10	DIAGLD	自己診断モード選択	0 : 自己診断電圧ローテーションモードを選択 1 : 自己診断電圧固定モードを選択	R/W
b11	DIAGM	自己診断イネーブル	0 : ADC14の自己診断を実行しない 1 : ADC14の自己診断を実行する	R/W
b14-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択	0 : A/D データレジスタのフォーマットを右詰めにする 1 : A/D データレジスタのフォーマットを左詰めにする	R/W

注 1. 基準電圧は VREFH0 を指します。

**ADPRC[1:0] ビット (A/D 変換精度指定)**

A/D 変換精度を、12 ビットまたは 14 ビットのいずれかから選択します。A/D 変換精度を変えた場合、結果レジスタに格納するデータのビット幅および A/D 変換時間も変わります。詳細は、[30.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

ADPRC[1:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

**ACE ビット (A/D データレジスタ自動クリアイネーブル)**

CPU または DTC によって ADDRy、ADDRD、ADDBLDR、ADDBLDRDRA、ADDBLDRDB、ADTSDR、または ADCODR レジスタを読み出した後、当該レジスタの自動クリア (すべて 0) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新障害を検出することができます。詳細は、[30.3.7 A/D データレジスタの自動クリア機能の使用例](#)を参照してください。

**DIAGVAL[1:0] ビット (自己診断変換電圧選択)**

自己診断電圧固定モードでの電圧値を選択します。詳細は、ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが 00b のときには、自己診断を実行しないでください。

### DIAGLD ビット (自己診断モード選択)

自己診断に使用する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。

このビットを0にすると、0V → 基準電源電圧 × 1/2 → 基準電源電圧の順番にローテーションして変換していきます。リセット後、自己診断電圧ローテーションモードを選択した場合は、0V から自己診断を行います。スキャン変換が終了しても自己診断電圧値は0Vに戻りません。再びスキャン変換を実行すると、前回に続く電圧値からローテーションを開始します。

DIAGLD ビットを1にすることにより固定電圧を選択します。ADCER.DIAGVAL[1:0] ビットで指定した固定電圧が変換されます。固定モードからローテーションモードに切り替えた場合は、固定電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

### DIAGM ビット (自己診断イネーブル)

自己診断を実施するかしないかを選択します。

自己診断は、ADC14の故障を検出するための機能です。自己診断モードでは、3つの電圧値(0V、基準電源電圧 × 1/2、基準電源電圧)のいずれかを変換します。変換が終了すると、A/D 自己診断データレジスタ (ADRD) に変換した電圧の情報と変換結果を格納します。ソフトウェアでADRDレジスタを読み出し、変換結果が正常の範囲にある(正常)かない(異常)かを判断します。

自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。ダブルトリガモードを設定 (ADCSR.DBLE = 1) した場合、自己診断は常に非選択にしてください (DIAGM = 0)。グループスキャンモードで自己診断を選択した場合は、グループAとグループBでそれぞれ別々に自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

### ADRFMT ビット (A/D データレジスタフォーマット選択)

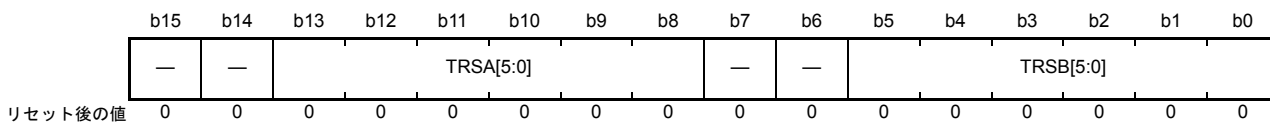
ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADCMPDR0/1、ADWINLLB、ADWINULB、およびADRDレジスタに格納するデータの右詰め/左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。



## 30.2.12 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス AD140.ADSTRGR 4005 C010h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB用A/D変換開始トリガ選択	グループスキャンモードでグループBのA/D変換開始トリガを選択します。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガ、およびグループスキャンモードではグループAのA/D変換開始トリガを選択します。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## TRSB[5:0] ビット (グループ B 用 A/D 変換開始トリガ選択)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガとしてソフトウェアトリガまたは非同期トリガを使用しないでください。グループスキャンモードでは、TRSB[5:0] ビットを 000000b 以外にし、ADCSR.TRGE ビットを 1 にしてください。

グループスキャンモードのグループ A 優先制御時に、ADGSPCR.GBRP ビットを 1 にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを 1 にする場合は、TRSB[5:0] ビットを 3Fh にしてください。

変換トリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上となるように設定してください。発行間隔が tSCAN より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、[30.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

表 30.6 に TRSB[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 30.6 TRSB[5:0] ビットでの A/D 起動要因選択一覧

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態		1	1	1	1	1	1
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00/ELC_AD01	ELC	0	0	1	0	1	1

**TRSA[5:0] ビット (A/D 変換開始トリガ選択)**

シングルスキャンモードおよび連続スキャンモードではA/D変換開始トリガ、または、グループスキャンモードではグループAで選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを行う場合、ソフトウェアトリガと非同期トリガは使用しないでください。

同期トリガ (ELC) を使用する場合は、ADCSR.TRGE ビットを1にし、かつADCSR.EXTRG ビットを0にしてください。

非同期トリガ (ADTRG0) を使用する場合は、ADCSR.TRGE ビットを1にし、かつADCSR.EXTRG ビットを1にしてください。

ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。

変換トリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上となるように設定してください。発行間隔が tSCAN より短い場合は、トリガによる A/D 変換が無効となる場合があります。

表 30.7 に TRSA[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 30.7 TRSA[5:0] ビットでの A/D 起動要因選択一覧

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態		1	1	1	1	1	1
ADTRG0	トリガ入力端子	0	0	0	0	0	0
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00/ELC_AD01	ELC	0	0	1	0	1	1

## 30.2.13 A/D変換拡張入力コントロールレジスタ (ADEXICR)

アドレス ADC140.ADEXICR 4005 C012h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力A/D変換値加算/平均モード選択	0: 温度センサ出力に対し加算/平均モード非選択 1: 温度センサ出力に対し加算/平均モード選択	R/W
b1	OCSAD	内部基準電圧A/D変換値加算/平均モード選択	0: 内部基準電圧に対し加算/平均モード非選択 1: 内部基準電圧に対し加算/平均モード選択	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TSSA	温度センサ出力A/D変換選択	0: 温度センサ出力のA/D変換禁止 1: 温度センサ出力のA/D変換許可	R/W
b9	OCSA	内部基準電圧A/D変換選択	0: 内部基準電圧のA/D変換禁止 1: 内部基準電圧のA/D変換許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**TSSAD ビット (温度センサ出力 A/D 変換値加算/平均モード選択)**

TSSAD ビットが1の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して温度センサ出力の A/D 変換が行われます。最大加算回数は、30.2.1 章で示すように変換精度によって異なります。ADADC.AVEE ビットが0の場合は加算した値を、ADADC.AVEE ビットが1の場合は平均した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。

TSSAD ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

**OCSAD ビット (内部基準電圧 A/D 変換値加算/平均モード選択)**

OCSAD ビットが1の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して内部基準電圧の A/D 変換が行われます。最大加算回数は、30.2.1 章で示すように変換精度によって異なります。ADADC.AVEE ビットが0の場合は加算した値を、ADADC.AVEE ビットが1の場合は平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。

OCSAD ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

**TSSA ビット (温度センサ出力 A/D 変換選択)**

温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を実行する場合、

- ADANSA0/1 と ADANB0/1 レジスタのすべてのビット、ADCSR.DBLE ビット、および ADESICR.OCSA ビットを0にします
- シングルスキャンモードで A/D 変換を実行します

TSSA ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

温度センサ出力の A/D 変換を実行すると、DNDIS[4:0] ビットは 0Fh になり、A/D コンバータはサンプリング前にディスチャージを行います (15ADCLK)。必要なサンプリング時間は 5μs 以上です。

A/D コンバータは、温度センサ出力の A/D 変換を行うたびにディスチャージを実行します。

**OCSA ビット (内部基準電圧 A/D 変換選択)**

内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を実行する場合、

- ADANSA0/1 と ADANB0/1 レジスタのすべてのビット、ADCSR.DBLE ビット、および ADESICR.TSSA ビットを0にします

- シングルスキャンモードで A/D 変換を実行します

OCSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

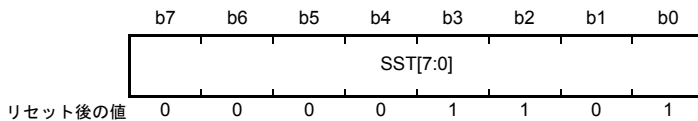
内部基準電圧の A/D 変換を実行すると、DNDIS[4:0] ビットは 0Fh になり、A/D コンバータはサンプリング前にディスチャージを行います (15ADCLK)。必要なサンプリング時間は 5 $\mu$ s 以上です。

A/D コンバータは、内部基準電圧の A/D 変換を行うたびにディスチャージを実行します。

参考資料

## 30.2.14 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 00 ~ 10, L, T, O)

アドレス [ADC14.ADSSTR00 4005 C0E0h](#)~[ADC14.ADSSTR10 4005 C0EAh](#),  
[ADC14.ADSSTRL 4005 C0DDh](#), [ADC14.ADSSTRT 4005 C0DEh](#), [ADC14.ADSSTRO 4005 C0DFh](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定	5~255ステートの間でサンプリング時間を設定します。	R/W

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。

1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 64MHz であれば 1 ステート = 15.625ns になります。初期値は 11 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。

サンプリング時間の下限値は分周比によって異なります。

- PCLKB : PCLKD (ADCLK) の分周比が 1:1 の場合、サンプリング時間は 5 ステートより長く設定してください
- PCLKB : PCLKD (ADCLK) の分周比が 1:2 または 1:4 の場合、サンプリング時間は 6 ステートより長く設定してください

[表 30.8](#) に A/D サンプリングステートレジスタと関連チャネルの関係を示します。

詳細は、[30.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

SST[7:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

**表 30.8 A/D サンプリングステートレジスタと関連チャネルの関係**

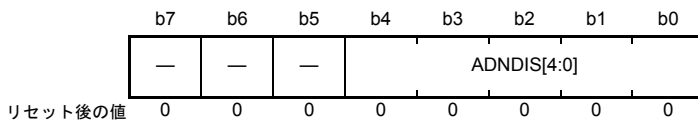
ビット名	対応チャネル
ADSSTR00.SST[7:0] ビット (注1)	AN000
ADSSTR01.SST[7:0] ビット	AN001
ADSSTR02.SST[7:0] ビット	AN002
ADSSTR03.SST[7:0] ビット	AN003
ADSSTR04.SST[7:0] ビット	AN004
ADSSTR05.SST[7:0] ビット	AN005
ADSSTR06.SST[7:0] ビット	AN006
ADSSTR07.SST[7:0] ビット	AN007
ADSSTR08.SST[7:0] ビット	AN008
ADSSTR09.SST[7:0] ビット	AN009
ADSSTR10.SST[7:0] ビット	AN010
ADSSTRL.SST[7:0] ビット	AN016 ~ AN022
ADSSTRT.SST[7:0] ビット	温度センサ出力 (注2)
ADSSTRO.SST[7:0] ビット	内部基準電圧 (注2)

注 1. 自己診断機能を選択した時は、ADSSTR0.SST[7:0] で設定したサンプリング時間が適用されます。

注 2. 温度センサ出力または内部基準電圧変換時は、サンプリング時間を 5 $\mu$ s より長く設定してください。本ビットの最大値は 255 ステートであるため、ADCLK 周波数は、サンプリング時間が 5 $\mu$ s となるよう 51MHz 以下に設定しなければなりません。

## 30.2.15 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス ADC140.ADDISCR 4005 C07Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	断線検出アシスト設定	b4 ADNDIS[4] : プリチャージ/ディスチャージ選択 0 : ディスチャージ 1 : プリチャージ b3-b0 ADNDIS[3:0] : プリチャージ/ディスチャージ期間 温度センサ出力または内部基準電圧のA/D変換を選択した場合、 ADNDIS[4:0]はディスチャージのため0Fhになります。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## ADNDIS[4:0] ビット (断線検出アシスト設定)

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定、期間を設定します。ADNDIS[4] ビット=1でプリチャージ、ADNDIS[4] ビット=0でディスチャージが選択されます。

ADNDIS[3:0] ビットは、プリチャージ/ディスチャージの期間を指定します。ADNDIS[3:0] = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] = 0001b は設定禁止です。ADNDIS[3:0] = 0000b、0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。ADNDIS[3:0] ビットが 0000b および 0001b 以外の値の場合、断線検出アシスト機能は有効になります。

ADNDIS[4:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

温度センサ出力または内部基準電圧変換時、A/D コンバータは自動的にディスチャージを行います。この動作は、ADEXICR.OCSA または TSSA ビットが 1 のときに、ADNDIS[4:0] ビットを自動で 0Fh (15ADCLK) にすることで可能となります。ディスチャージ実行後、A/D コンバータはサンプリングを行います。必要なサンプリング時間は 5μs 以上です。

自己診断を使用する場合、断線検出アシスト機能は使用できません。自己診断の場合は、ADNDIS[3:0] ビットを 0000b にしてください。

## 30.2.16 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス ADC140.ADGSPCR 4005 C080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定 <sup>(注1)</sup>	0: グループAの優先制御動作を行わない 1: グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0: グループAの優先制御でグループBを中断した後に再起動しない 1: グループAの優先制御でグループBを中断した後に再起動する	R/W
b14-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	GBRP	グループB用シングルスキャン連続起動設定 <sup>(注2)</sup>	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0: グループBのシングルスキャン連続動作を行わない 1: グループBのシングルスキャン連続動作を行う	R/W

注1. ADCSR.ADCS[1:0] ビットは、PGS を 1 にする前に 01b (グループスキャンモード) にする必要があります。それ以外の値にした場合、動作は保証されません。

注2. GBRP ビットを 1 にした場合は、GBRSCN ビットの設定にかかわらず、グループ B のシングルスキャン連続動作を実行します。

**PGS ビット (グループ A 優先制御設定)**

グループ A 優先制御動作を行うときに 1 を設定してください。

ADCSR.ADCS[1:0] ビットは、PGS ビットを 1 にする前に 01b (グループスキャンモード) にする必要があります。それ以外の値にした場合、動作は保証されません。

PGS ビットを 0 にした場合は、30.8.2 A/D 変換停止時の注意事項に従い、ソフトウェアでのクリアを行ってください。PGS ビットを 1 にした場合は、30.3.4.3 グループ A 優先制御動作の手順に従い設定を行ってください。

**GBRSCN ビット (グループ B 再起動設定)**

グループ A 優先制御時の、グループ B の再スキャン動作を制御します。

GBRSCN ビットを 1 にすると、グループ A のトリガ入力によるグループ B のスキャン動作中断後、グループ A の変換終了を待ってグループ B の再スキャン動作を実行します。また、グループ A の A/D 変換動作中にグループ B のトリガ入力があった場合、グループ A の変換終了を待ってグループ B の再スキャン動作を行います。

GBRSCN ビットを 0 にした場合は、A/D 変換実行中に入力されたトリガは無視されます。

GBRSCN ビットの設定は、PGS ビットが 1 のときに有効となります。

GBRSCN ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

**GBRP ビット (グループ B 用シングルスキャン連続起動設定)**

グループ B をシングルスキャンで連続動作させる場合に設定します。

GBRP ビットを 1 にすると、グループ B のシングルスキャンが起動します。スキャン終了後、自動的にグループ B のシングルスキャンを再開します。グループ A の動作によってグループ B の変換が中断した場合、グループ A の変換終了後、自動的にグループ B のシングルスキャンを再開します。

GBRP ビットを 1 にする場合は、事前にグループ B のトリガ入力を無効にしてください。

GBRP ビットを 1 にした場合は、GBRSCN ビットの設定は無効となります。

GBRP ビットの設定は、PGS ビットが 1 のときに有効となります。

GBRP ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

### 30.2.17 A/D コンペア機能コントロールレジスタ (ADCMPCR)

アドレス [ADC140.ADCMPCR 4005 C090h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMPAIE	WCMPPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	<a href="#">CMPAB[1:0]</a>	ウィンドウA/B複合条件設定	b1 b0 0 0: ウィンドウA比較条件に一致ORウィンドウB比較条件に一致の場合、ADC140_WCMPMを出力。その他の場合はADC140_WCMPUMを出力 0 1: ウィンドウA比較条件に一致EXORウィンドウB比較条件に一致の場合、ADC140_WCMPMを出力。その他の場合はADC140_WCMPUMを出力 1 0: ウィンドウA比較条件に一致ANDウィンドウB比較条件に一致の場合、ADC140_WCMPMを出力。その他の場合はADC140_WCMPUMを出力 1 1: 設定禁止 これらのビットは、ウィンドウAおよびウィンドウBがどちらも有効(CMPAE = 1およびCMPBE = 1)な場合に有効となります。	R/W
b8-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	<a href="#">CMPBE</a>	コンペアウィンドウB動作許可	0: コンペアウィンドウB動作禁止 ADC140_WCMPMおよびADC140_WCMPUMの出力不可 1: コンペアウィンドウB動作許可	R/W
b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	<a href="#">CMPAE</a>	コンペアウィンドウA動作許可	0: コンペアウィンドウA動作禁止 ADC140_WCMPMおよびADC140_WCMPUMの出力不可 1: コンペアウィンドウA動作許可	R/W
b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	<a href="#">CMPBIE</a>	コンペアB割り込み許可	0: 比較条件 (ウィンドウB) 一致によるADC140_CMPBI割り込み禁止 1: 比較条件 (ウィンドウB) 一致によるADC140_CMPBI割り込み許可	R/W
b14	<a href="#">WCMPE</a>	ウィンドウ機能設定	0: ウィンドウ機能無効 ウィンドウAおよびBはコンパレータとして動作し、下位の1つの値をA/D変換結果と比較 1: ウィンドウ機能有効 ウィンドウAおよびBはコンパレータとして動作し、上位および下位の2つの値をA/D変換結果と比較	R/W
b15	<a href="#">CMPAIE</a>	コンペアA割り込み許可	0: 比較条件 (ウィンドウA) 一致によるADC140_CMPAI割り込み禁止 1: 比較条件 (ウィンドウA) 一致によるADC140_CMPAI割り込み許可	R/W

#### CMPAB[1:0] ビット (ウィンドウ A/B 複合条件設定)

シングルスキャンモードでウィンドウ A およびウィンドウ B がどちらも有効 (CMPAE = 1 および CMPBE = 1) な場合に有効となります。CMPAB[1:0] ビットにより、ADWINMON.MONCONB のコンペア機能一致/不一致イベント出力条件および監視条件を指定します。

CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。



**CMPBE ビット (コンペアウィンドウ B 動作許可)**

コンペアウィンドウ B の動作を許可/禁止します。このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSA または TSSA ビット
- ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR) の CMPCHB[5:0] ビット

CMPBE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

**CMPAE ビット (コンペアウィンドウ A 動作許可)**

コンペアウィンドウ A の動作を許可/禁止します。このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSA または TSSA ビット
- ウィンドウ A チャンネル選択レジスタ 0/1 (ADCMPANSR0、ADCMPANSR1)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

CMPAE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

**CMPBIE ビット (コンペア B 割り込み許可)**

比較条件 (ウィンドウ B) の一致による ADC140\_CMPBI 割り込み出力を許可/禁止します。

**WCMPE ビット (ウィンドウ機能設定)**

ウィンドウ機能の有効/無効を選択します。WCMPE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

**CMPAIE ビット (コンペア A 割り込み許可)**

比較条件 (ウィンドウ A) の一致による ADC140\_CMPAI 割り込み出力を許可/禁止します。

## 30.2.18 A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0 (ADCOMPANSR0)

アドレス ADC140.ADCMPANSR0 4005 C094h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CMPC HA10	CMPC HA09	CMPC HA08	CMPC HA07	CMPC HA06	CMPC HA05	CMPC HA04	CMPC HA03	CMPC HA02	CMPC HA01	CMPC HA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	CMPCHA10～ CMPCHA00	コンペアウィンドウAチャンネル 選択	0：関連する入力チャンネルに対するコンペア機能を禁止 1：関連する入力チャンネルに対するコンペア機能を許可 ビット10 (CMPCHA10) はAN010に対応し、ビット0 (CMPCHA00) はAN000に対応します。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPCHAN** ビット (n = 00 ~ 10) (コンペアウィンドウ A チャンネル選択)

ADANSA0.ANSAn ビット (n = 00 ~ 10) および ADANSB0.ANSBn ビット (n = 00 ~ 10) で選択した A/D 変換チャンネルと同一番号の CMPCHAN ビットを 1 にすると、コンペア機能が有効になります。

CMPCHAN ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

## 30.2.19 A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1 (ADCOMPANSR1)

アドレス ADC140.ADCMPANSR1 4005 C096h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	CMPC HA22	CMPC HA21	CMPC HA20	CMPC HA19	CMPC HA18	CMPC HA17	CMPC HA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	CMPCHA22～ CMPCHA16	コンペアウィンドウAチャンネル 選択	0：関連する入力チャンネルに対するコンペア機能を禁止 1：関連する入力チャンネルに対するコンペア機能を許可 ビット6 (CMPCHA22) はAN022に対応し、ビット0 (CMPCHA16) はAN016に対応します。	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPCHAN** ビット (n = 16 ~ 22) (コンペアウィンドウ A チャンネル選択)

ADANSA1.ANSAn ビット (n = 00 ~ 06) および ADANSB1.ANSBn ビット (n = 00 ~ 06) で選択した A/D 変換チャンネルと同一番号の CMPCHAN ビットを 1 にすると、コンペア機能が有効になります。

CMPCHAN ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

## 30.2.20 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

アドレス ADC140.ADCMPANSER 4005 C092h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPO CA	CMPTS A
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPTSA	温度センサ出力コンペア選択	0 : 温度センサ出力をコンペアウィンドウA対象から外す 1 : 温度センサ出力をコンペアウィンドウA対象とする	R/W
b1	CMPOCA	内部基準電圧コンペア選択	0 : 内部基準電圧をコンペアウィンドウA対象から外す 1 : 内部基準電圧をコンペアウィンドウA対象とする	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPTSA ビット (温度センサ出力コンペア選択)**

ADEXICR.TSSA ビットが1のときに CMPTSA ビットを1にすると、コンペアウィンドウ A 機能が有効になります。CMPTSA ビットは、ADSCR.ADST ビットが0のときに設定してください。

**CMPOCA ビット (内部基準電圧コンペア選択)**

ADEXICR.OCSA ビットが1のときに CMPOCA ビットを1にすると、コンペアウィンドウ A 機能が有効になります。CMPOCA ビットは、ADSCR.ADST ビットが0のときに設定してください。

## 30.2.21 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)

アドレス ADC140.ADCMPLR0 4005 C098h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CMPLC HA10	CMPLC HA09	CMPLC HA08	CMPLC HA07	CMPLC HA06	CMPLC HA05	CMPLC HA04	CMPLC HA03	CMPLC HA02	CMPLC HA01	CMPLC HA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	CMPLCHA10 ~ CMPLCHA00	コンペアウィンドウ A 比較条件選択	ウィンドウ A 比較条件を適用するチャンネル (AN000 ~ AN010 から選択) の比較条件を設定します。比較条件を <a href="#">図 30.3</a> に示します。 <ul style="list-style-type: none"> <li>ウィンドウ機能無効時 (ADCMPPCR.WCMPE = 0) 0 : ADCMPDR0 値 &gt; A/D 変換値 1 : ADCMPDR0 値 &lt; A/D 変換値</li> <li>ウィンドウ機能有効時 (ADCMPPCR.WCMPE = 1) 0 : A/D 変換値 &lt; ADCMPDR0 値または ADCMPDR1 値 &lt; A/D 変換値 1 : ADCMPDR0 値 &lt; A/D 変換値 &lt; ADCMPDR1 値</li> </ul>	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPLCHAn ビット (n = 00 ~ 10) (コンペアウィンドウ A 比較条件選択)**

ウィンドウ A 比較条件を適用するチャンネル (AN000 ~ AN010 から選択) の比較条件を指定します。CMPLCHAn ビットはコンペア対象のアナログ入力ごとに設定可能です。CMPLCHA00 が AN000 に、CMPLCHA10 が AN010 に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPDR0.CMPSTCHAn ビットは1になり、コンペア割り込み (ADC140\_CMPAI) が発生します。

ウィンドウ機能が無効のときの比較条件			
CMPLCHAN = 0		CMPLCHAN = 1	
ADCMPDR0値 ≤ A/D変換値	不一致	ADCMPDR0値 < A/D変換値	一致
ADCMPDR0値 > A/D変換値	一致	ADCMPDR0値 ≥ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件			
CMPLCHAN = 0			
ADCMPDR1値 < A/D変換値	一致		
ADCMPDR0値 ≤ A/D変換値 ≤ ADCMPDR1値	不一致		
A/D変換値 < ADCMPDR0値	一致		
CMPLCHAN = 1			
ADCMPDR1値 ≤ A/D変換値	不一致		
ADCMPDR0値 < A/D変換値 < ADCMPDR1値	一致		
A/D変換値 ≤ ADCMPDR0値	不一致		

図 30.3 コンペア機能ウィンドウ A 比較条件の説明

## 30.2.22 A/Dコンペア機能ウィンドウA比較条件設定レジスタ1 (ADCMPLR1)

アドレス ADC140.ADCMPLR1 4005 C09Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	CMPLC HA22	CMPLC HA21	CMPLC HA20	CMPLC HA19	CMPLC HA18	CMPLC HA17	CMPLC HA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	CMPLCHA22 ~ CMPLCHA16	コンペアウィンドウA 比較条件選択	ウィンドウA比較条件を適用するチャンネル (AN016 ~ AN022から 選択) の比較条件を設定します。比較条件を図 30.3に示します。 <ul style="list-style-type: none"> <li>ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) 0 : ADCMPDR0 値 &gt; A/D変換値 1 : ADCMPDR0 値 &lt; A/D変換値</li> <li>ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) 0 : A/D変換値 &lt; ADCMPDR0 値またはADCMPDR1 値 &lt; A/D変換値 1 : ADCMPDR0 値 &lt; A/D変換値 &lt; ADCMPDR1 値</li> </ul>	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPLCHAN ビット (n = 16 ~ 22) (コンペアウィンドウA比較条件選択)**

ウィンドウA比較条件を適用するチャンネル (AN016 ~ AN022 から選択) の比較条件を指定します。CMPLCHAN ビットはコンペア対象のアナログ入力ごとに設定可能です。CMPLCHA16 が AN016 に、CMPLCHA22 が AN022 に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSTR1.CMPSTCHAN ビットは1になり、コンペア割り込み (ADC140\_CMPAI) が発生します。

## 30.2.23 A/Dコンペア機能ウィンドウA拡張入力比較条件設定レジスタ (ADCMPLER)

アドレス ADC140.ADCMPLER 4005 C093h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPLO CA	CMPLT SA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTSA	コンペアウィンドウA温度センサ出力比較条件選択	比較条件を図 30.3 に示します。 <ul style="list-style-type: none"> <li>ウィンドウA機能無効時 (ADCMPCR.WCMPE = 0) 0 : ADCMPDR0 値 &gt; A/D 変換値 1 : ADCMPDR0 値 &lt; A/D 変換値</li> <li>ウィンドウA機能有効時 (ADCMPCR.WCMPE = 1) 0 : A/D 変換値 &lt; ADCMPDR0 値 または A/D 変換値 &gt; ADCMPDR1 値 1 : ADCMPDR0 値 &lt; A/D 変換値 &lt; ADCMPDR1 値</li> </ul>	R/W
b1	CMPLOCA	コンペアウィンドウA内部基準電圧比較条件選択	比較条件を図 30.3 に示します。 <ul style="list-style-type: none"> <li>ウィンドウA機能無効時 (ADCMPCR.WCMPE = 0) 0 : ADCMPDR0 値 &gt; A/D 変換値 1 : ADCMPDR0 値 &lt; A/D 変換値</li> <li>ウィンドウA機能有効時 (ADCMPCR.WCMPE ビット = 1) 0 : A/D 変換値 &lt; ADCMPDR0 値 または A/D 変換値 &gt; ADCMPDR1 値 1 : ADCMPDR0 値 &lt; A/D 変換値 &lt; ADCMPDR1 値</li> </ul>	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPLTSA ビット (コンペアウィンドウA 温度センサ出力比較条件選択)**

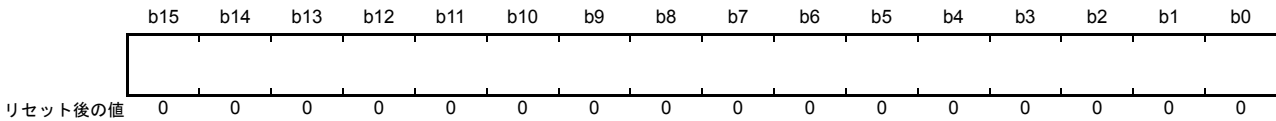
温度センサ出力がウィンドウA比較条件の対象である場合の比較条件を指定します。温度センサ出力の比較結果が設定条件と一致すると、ADCMPSER.CMPSTTSA ビットは1になり、コンペア割り込み (ADC140\_CMPAI) が発生します。

**CMPLOCA ビット (コンペアウィンドウA 内部基準電圧比較条件選択)**

内部基準電圧がウィンドウA比較条件の対象である場合の比較条件を指定します。内部基準電圧の比較結果が設定条件と一致すると、ADCMPSER.CMPSTOCA ビットは1になり、コンペア割り込み (ADC140\_CMPAI) が発生します。

30.2.24 A/D コンペア機能ウィンドウ A 下側レベル設定レジスタ (ADCMPDR0)、  
 A/D コンペア機能ウィンドウ A 上側レベル設定レジスタ (ADCMPDR1)、  
 A/D コンペア機能ウィンドウ B 下側レベル設定レジスタ (ADWINLLB)、  
 A/D コンペア機能ウィンドウ B 上側レベル設定レジスタ (ADWINULB)

アドレス ADC140.ADCMPDR0 4005 C09Ch, ADC140.ADCMPDR1 4005 C09Eh,  
 ADC140.ADWINLLB 4005 C0A8h, ADC140.ADWINULB 4005 C0AAh



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	基準値	R/W

ADCMPDRy (y = 0, 1) レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを指定するレジスタです。ADCMPDR0 はウィンドウ A の下側基準を設定し、ADCMPDR1 は上側基準を設定します。

ADWINULB および ADWINLLB は、コンペアウィンドウ B 機能使用時、基準となるデータを指定します。ADWINLLB はウィンドウ B の下側基準を設定し、ADWINULB は上側基準を設定します。

ADCMPDRy、ADWINULB、および ADWINLLB は読み出し、書き込みともに可能です。ADCMPDRy、ADWINULB、および ADWINLLB の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADCMPDR1 ≥ ADCMPDR0、ADWINULB ≥ ADWINLLB)。ADCMPDR1 および ADWINULB はウィンドウ機能無効時は使用しません。

下側基準および上側基準は、それぞれのレジスタが書き込まれる時に変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値 (変更後) と下側基準値 (変更前) を A/D 変換結果と比較します。図 30.4 を参照してください。2つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット (ADCMPDR.CMPAE または ADCMPDR.CMPBE) がどちらも 0 のときに、それらの基準値を書き換えてください。

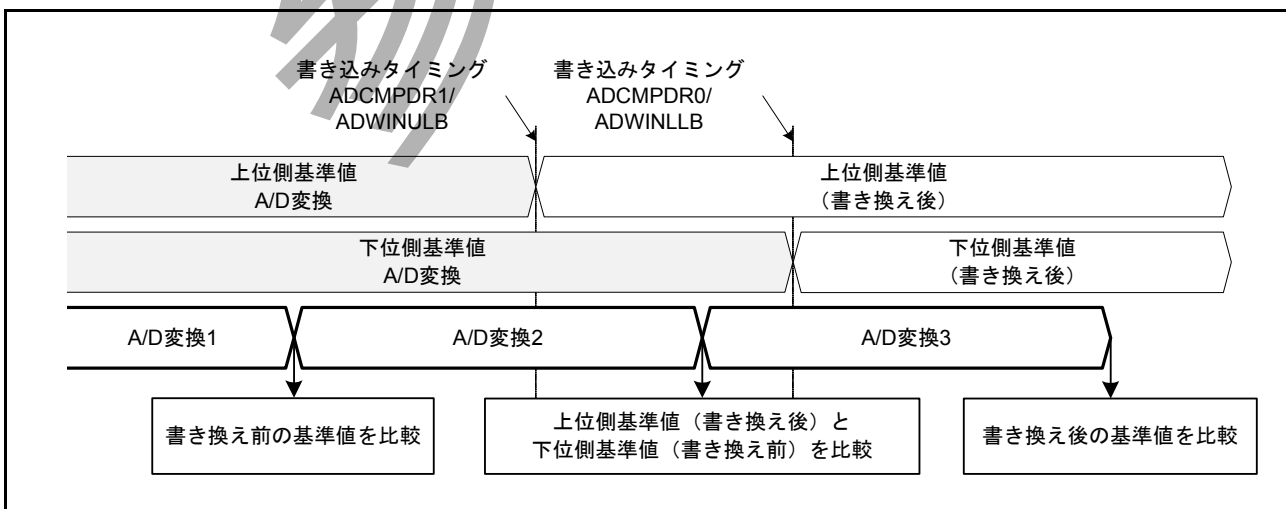


図 30.4 書き換え前後の上側基準値と下側基準値の比較

ADCMPCRy、ADWINLLB、およびADWINULBレジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換精度指定ビットの設定値 (14ビットまたは12ビット)
- A/D 変換値加算/平均チャンネル選択ビットの設定値 (A/D 変換値加算モード選択、または非選択)

以下、条件ごとのフォーマットを示します。

**(1) A/D 変換値加算モードを非選択とした場合**

- 右詰めフォーマット、14ビット精度の場合：下位14ビット ([13:0]) が有効
- 右詰めフォーマット、12ビット精度の場合：下位12ビット ([11:0]) が有効
- 左詰めフォーマット、14ビット精度の場合：上位14ビット ([15:2]) が有効
- 左詰めフォーマット、12ビット精度の場合：上位12ビット ([15:4]) が有効

**(2) A/D 変換値加算モードを選択した場合**

- 右詰めフォーマット、14ビット精度の場合：全ビット ([15:0]) が有効
- 右詰めフォーマット、12ビット精度の場合：下位14ビット ([13:0]) が有効
- 左詰めフォーマット、14ビット精度の場合：全ビット ([15:0]) が有効
- 左詰めフォーマット、12ビット精度の場合：上位14ビット ([15:2]) が有効

資料



## 30.2.25 A/Dコンペア機能ウィンドウAチャンネルステータスレジスタ0 (ADCMPSR0)

アドレス ADC140.ADCMPSR0 4005 C0A0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CMPST CHA10	CMPST CHA09	CMPST CHA08	CMPST CHA07	CMPST CHA06	CMPST CHA05	CMPST CHA04	CMPST CHA03	CMPST CHA02	CMPST CHA01	CMPST CHA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	CMPSTCHA10~ CMPSTCHA00	コンペアウィンドウAフラグ	ウィンドウA動作が有効 (ADCMPCR.CMPAE = 1) な場合、 ウィンドウA比較条件を適用するチャンネルAN000~AN010 の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPSTCHAn (n = 00 ~ 10) (コンペアウィンドウAフラグ)**

ウィンドウA比較条件を適用するチャンネルAN000~AN010の比較結果ステータスフラグです。ADCMPLR0.CMPLCHAnで設定した比較条件がA/D変換終了時に成立すると、関連するCMPSTCHAnビットが1になります。ADCMPCR.CMPAIEビットが1の場合、このビットが1になると比較割り込み(ADC140\_CMPAI)要求が発生します。CMPSTCHA00がAN000に、CMPSTCHA10がAN010に対応します。

CMPSTCHAnビットに1を書き込むことはできません。

[1になる条件]

- ADCMPCR.CMPAEが1のときに、ADCMPLR0.CMPLCHAnで設定した条件が成立したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

## 30.2.26 A/Dコンペア機能ウィンドウAチャンネルステータスレジスタ1 (ADCMPSTR1)

アドレス ADC140.ADCMPSTR1 4005 C0A2h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	CMPST CHA22	CMPST CHA21	CMPST CHA20	CMPST CHA19	CMPST CHA18	CMPST CHA17	CMPST CHA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	CMPSTCHA22~ CMPSTCHA16	コンペアウィンドウAフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1) な場合、 ウィンドウA比較条件を適用するチャンネルAN016~AN022 の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPSTCHAn ビット (n = 16 ~ 22) (コンペアウィンドウAフラグ)**

ウィンドウA比較条件を適用するチャンネルAN016~AN022の比較結果ステータスフラグです。ADCMPPLR1.CMPLCHAnで設定した比較条件がA/D変換終了時に成立すると、関連するCMPSTCHAnビットが1になります。ADCMPPCR.CMPAIEビットが1の場合、このビットが1になると比較割り込み(ADC140\_CMPAI)要求が発生します。CMPSTCHA16がAN016に、CMPSTCHA22がAN022に対応します。

CMPSTCHAnビットに1を書き込むことはできません。

[1になる条件]

- ADCMPPCR.CMPAEが1のときに、ADCMPPLR1.CMPLCHAnで設定した条件が成立したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

### 30.2.27 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER)

アドレス `ADC140.ADCMPSER 4005 C0A4h`

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPST OCA	CMPST TSA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTTSA	コンペアウィンドウA温度センサ出力コンペアフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1) な場合、温度センサ出力の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b1	CMPSTOCA	コンペアウィンドウA内部基準電圧コンペアフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1) な場合、内部基準電圧の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### CMPSTTSA ビット (コンペアウィンドウ A 温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すステータスフラグです。ADCMPPLER.CMPLTSA ビットで設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、このビットが 1 になると比較割り込み (ADC140\_CMPAI) 要求が発生します。

CMPSTTSA ビットに 1 を書き込むことはできません。

[1 になる条件]

- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLER.CMPLTSA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

#### CMPSTOCA ビット (コンペアウィンドウ A 内部基準電圧コンペアフラグ)

内部基準電圧の比較結果を示すステータスフラグです。ADCMPPLER.CMPLOCA ビットで設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、このビットが 1 になると比較割り込み (ADC140\_CMPAI) 要求が発生します。

CMPSTOCA ビットに 1 を書き込むことはできません。

[1 になる条件]

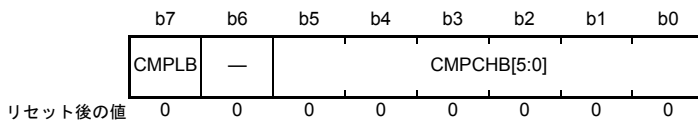
- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLER.CMPLOCA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

## 30.2.28 A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)

アドレス ADC140.ADCMPBNSR 4005 C0A6h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウBチャンネル選択	コンペアウィンドウB条件と比較するチャンネルを選択します。  b5                    b0 0 0 0 0 0 0: AN000 0 0 0 0 0 1: AN001 0 0 0 0 1 0: AN002 : : 0 0 1 0 1 0: AN010 0 1 0 0 0 0: AN016 : : 0 1 0 1 0 0: AN020 0 1 0 1 0 1: AN021 0 1 0 1 1 0: AN022 1 0 0 0 0 0: 温度センサ 1 0 0 0 0 1: 内部基準電圧 1 1 1 1 1 1: 選択なし  上記以外は設定しないでください。	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	CMPPLB	コンペアウィンドウB比較条件設定	ウィンドウBのチャンネル比較条件を設定します。比較条件を <a href="#">30.5</a> に示します。 • ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) 0: CMPLLB値 > A/D変換値 1: CMPLLB値 < A/D変換値  • ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) 0: A/D変換値 < CMPLLB値またはCMPULB値 < A/D変換値 1: CMPLLB値 < A/D変換値 < CMPULB値	R/W

**CMPCHB[5:0] ビット (コンペアウィンドウ B チャンネル選択)**

コンペアウィンドウ B 条件と比較するチャンネル (AN000 ~ AN010, AN016 ~ AN022 より選択、温度センサ、および内部基準電圧) を指定します。コンペアウィンドウ B 機能は、ADANSA0.ANSAn ビット (n = 0 ~ 10)、ADANSA1.ANSAn ビット (n = 0 ~ 6)、ADANSB0.ANSBn ビット (n = 0 ~ 10)、および ADANSB1.ANSBn ビット (n = 0 ~ 6) で選択した A/D 変換チャンネルの 16 進数を指定することで有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

**CMPPLB ビット (コンペアウィンドウ B 比較条件設定)**

ウィンドウ B の比較条件を指定します。比較結果が設定条件と一致すると、ADCMPBSR.CMPSTB ビットは 1 になり、コンペア割り込み要求 (ADC140\_CMPBI) が発生します。

ウィンドウ機能が無効のときの比較条件			
CMPLB = 0		CMPLB = 1	
ADWINLLB値 ≤ A/D変換値	不一致	ADWINLLB値 < A/D変換値	一致
ADWINLLB値 > A/D変換値	一致	ADWINLLB値 ≥ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件			
CMPLB = 0			
A/D変換値 > ADWINULB値		一致	
ADWINLLB値 ≤ A/D変換値 ≤ ADWINULB値		不一致	
A/D変換値 < ADWINLLB値		一致	
CMPLB = 1			
A/D変換値 ≥ ADWINULB値		不一致	
ADWINLLB値 < A/D変換値 < ADWINULB値		一致	
A/D変換値 ≤ ADWINLLB値		不一致	

図 30.5 コンペア機能ウィンドウB比較条件

## 30.2.29 A/Dコンペア機能ウィンドウBステータスレジスタ (ADCMPSR)

アドレス ADC140.ADCMPBSR 4005 C0ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPST B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	ウィンドウB動作が有効 (ADCMPCR.CMPBE = 1) な場合、ウィンドウB比較条件を適用するチャンネルAN000～AN010、AN016～AN022、温度センサ出力、および内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPSTB** ビット (コンペアウィンドウBフラグ)

ウィンドウB比較条件を適用するチャンネル (AN000～AN010、AN016～AN022、温度センサ、および内部基準電圧) の比較結果を示します。ADCMPSR.CMPLB ビットで設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPCR.CMPBIE ビットが 1 の場合、このビットが 1 になると比較割り込み (ADC140\_CMPBI) 要求が発生します。

CMPSTB ビットに 1 を書き込むことはできません。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPSR.CMPLB で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

## 30.2.30 A/Dコンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)

アドレス ADC140.ADWINMON 4005 C08Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MONC MPB	MONC MPA	—	—	—	MONC OMB
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果監視	組み合わせ結果を示します。このビットは、ウィンドウAとウィンドウBの動作がどちらも有効な場合に有効となります。 0: ウィンドウA/ウィンドウBの複合条件が不成立 1: ウィンドウA/ウィンドウBの複合条件が成立	R
b3-b1	—	予約ビット	読むと0が読めます。	R
b4	MONCMPA	比較結果監視A	0: ウィンドウA比較条件が不成立 1: ウィンドウA比較条件が成立	R
b5	MONCMPB	比較結果監視B	0: ウィンドウB比較条件が不成立 1: ウィンドウB比較条件が成立	R
b7-b6	—	予約ビット	読むと0が読めます。	R

**MONCOMB ビット (組み合わせ結果監視)**

ADCMPCR.CMPAB[1:0] ビットで設定した複合条件に従って比較条件結果 A および B の組み合わせの結果を示す読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPAE が 1 かつ ADCMPCR.CMPBE が 1 のとき、組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致したとき

[0 になる条件]

- 組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致しないとき
- ADCMPCR.CMPAE が 0 または ADCMPCR.CMPBE が 0 のとき

**MONCMPA ビット (比較結果監視 A)**

ウィンドウ A の対象チャンネルの A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致しないとき
- ADCMPCR.CMPAE が 0 のとき (ADCMPCR.CMPAE の値が 1 から 0 に変化すると自動的に 0 になる)

**MONCMPB ビット (比較結果監視 B)**

ウィンドウ B の対象チャンネルの A/D 変換値が ADCMPBNSR.CMPLB ビットで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致するとき

[0になる条件]

- ADCMPCR.CMPBEが1のときに、A/D変換値がADCMPBNSR.CMPLBで設定した条件と一致しないとき
- ADCMPCR.CMPBEが0のとき (ADCMPCR.CMPBEの値が1から0に変化すると自動的に0になる)

### 30.2.31 A/D 高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)

アドレス [ADC140.ADHVREFCNT 4005 C08Ah](#)

b7	b6	b5	b4	b3	b2	b1	b0
ADSLP	—	—	LVSEL	—	—	HVSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	<a href="#">HVSEL[1:0]</a>	高電位基準電圧選択	b1 b0 0 0: 高電位基準電圧にAVCC0を選択 0 1: 高電位基準電圧にVREFH0を選択 1 0: 高電位基準電圧に内部基準電圧を選択 1 1: 内部ノードディスチャージ (基準電圧端子を選択しない)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	<a href="#">LVSEL</a>	低電位基準電圧選択	0: 低電位基準電圧にAVSS0を選択 1: 低電位基準電圧にVREFL0を選択	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	<a href="#">ADSLP</a>	スリープ	0: 通常動作 1: スタンバイ状態	R/W

#### [HVSEL\[1:0\]](#) ビット (高電位基準電圧選択)

高電位基準電圧を、AVCC0、VREFH0、または内部基準電圧 (1.45V) のいずれかから指定します。

内部基準電圧を選択 ([HVSEL\[1:0\]](#) = 10b) する前に、[HVSEL\[1:0\]](#) を 11b にして高電位基準電圧のパスをディスチャージしてください。ディスチャージが完了したら、[HVSEL\[1:0\]](#) を 10b にして A/D 変換を開始してください。

高電位基準電圧に内部基準電圧を選択した場合 ([HVSEL\[1:0\]](#) = 10b)、チャンネル AN000 ~ AN010、AN016 ~ AN022 の A/D 変換を実行できますが、内部基準電圧および温度センサ出力の A/D 変換はできません。

#### [LVSEL](#) ビット (低電位基準電圧選択)

低電位基準電圧を、AVSS0 または VREFL0 のいずれかから指定します。

#### [ADSLP](#) ビット (スリープ)

A/D コンバータをスタンバイ状態に遷移します。ADCSR.ADHSC ビットの変更時にのみ、[ADSLP](#) ビットを 1 にしてください。その他の場合、[ADSLP](#) ビットを 1 にすることはできません。

[ADSLP](#) ビットを 1 にしたら、0 に戻す前に最低 5μs 待ってください。また、[ADSLP](#) ビットを 0 にしたら、最低 1μs 待ってから A/D 変換を開始してください。

ADHSC ビットの書き換え手順については、[30.8.8 ADHSC ビット書き換え手順](#)を参照してください。



## 30.3 動作説明

### 30.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作を指します。

スキャン変換には、以下の 3 つの動作モードがあります。

- シングルスキャンモード
- 連続スキャンモード
- グループスキャンモード

さらに、以下の 2 つの変換モードがあります。

- 高速変換モード
- 通常変換モード

シングルスキャンモードは、指定した 1 チャンネル以上のスキャンを 1 回実行して終了するモードです。連続スキャンモードは、指定した 1 チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを 0 にするまで繰り返し実行するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択した同期トリガ (ELC) で開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ 1 回ずつ実行して終了するモードです。

シングルスキャンモードと連続スキャンモードでは、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号のチャンネルから順に A/D 変換を行います。グループスキャンモードでは、グループ A は、ADANSA0、ADANSA1 レジスタで選択した ANn チャンネルの n が小さい番号順に、グループ B は、ADANSB0、ADANSB1 レジスタで選択した ANn チャンネルの n が小さい番号順に A/D 変換が実行されます。

自己診断を選択した場合は、スキャンごとの最初に 1 回実行され、3 つの基準電圧のうち 1 つを A/D 変換します。

温度センサ出力および内部基準電圧を同時に選択しないでください。内部基準電圧を高電位側の基準電圧に選択する場合、温度センサまたは内部基準電圧の A/D 変換も実行できません。A/D 変換に温度センサ出力または内部基準電圧を選択した場合、シングルスキャンモードを使用してください。

ダブルトリガモードは、シングルスキャンモードまたはグループスキャンモードで使用可能です。ダブルトリガモードを許可 (ADCSR.DBLE=1) すると、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) でのスキャン変換起動でのみ、ADCSR.DBLANS[4:0] ビットで選択したチャンネルの A/D 変換データを 2 重化します。グループスキャンモードでは、ダブルトリガモードを使用できるのはグループ A のみです。

ダブルトリガモードの拡張動作では、A/D 変換動作が同期トリガコンビネーションから発生します。トリガコンビネーションは ADSTRGR.TRSA[5:0] ビットで選択します。通常のダブルトリガ動作に加え、ELC\_AD00 トリガによる A/D 変換データを A/D データ 2 重化レジスタ A (ADDBLDRA) に、ELC\_AD01 トリガによる A/D 変換データを A/D データ 2 重化レジスタ B (ADDBLDRB) に格納します。ダブルトリガモードの拡張動作では、トリガコンビネーションの 1 つが同時発生すると、指定したトリガのデータ二重化レジスタ設定が実行されず、A/D 変換データは A/D データ二重化レジスタ B (ADDBLDRB) に格納されません。

他の同期トリガによって開始された A/D 変換中に発生した同期トリガは無視されます。

## 30.3.2 シングルスキャンモード

### 30.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を1サイクルのみA/D変換します。

動作は以下のとおりです。

- ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
- 選択したすべてのチャンネルの A/D 変換終了後、ADC140\_ADI 割り込み要求を発生します。
- ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的に 0 にされ、ADC14 は待機状態になります。

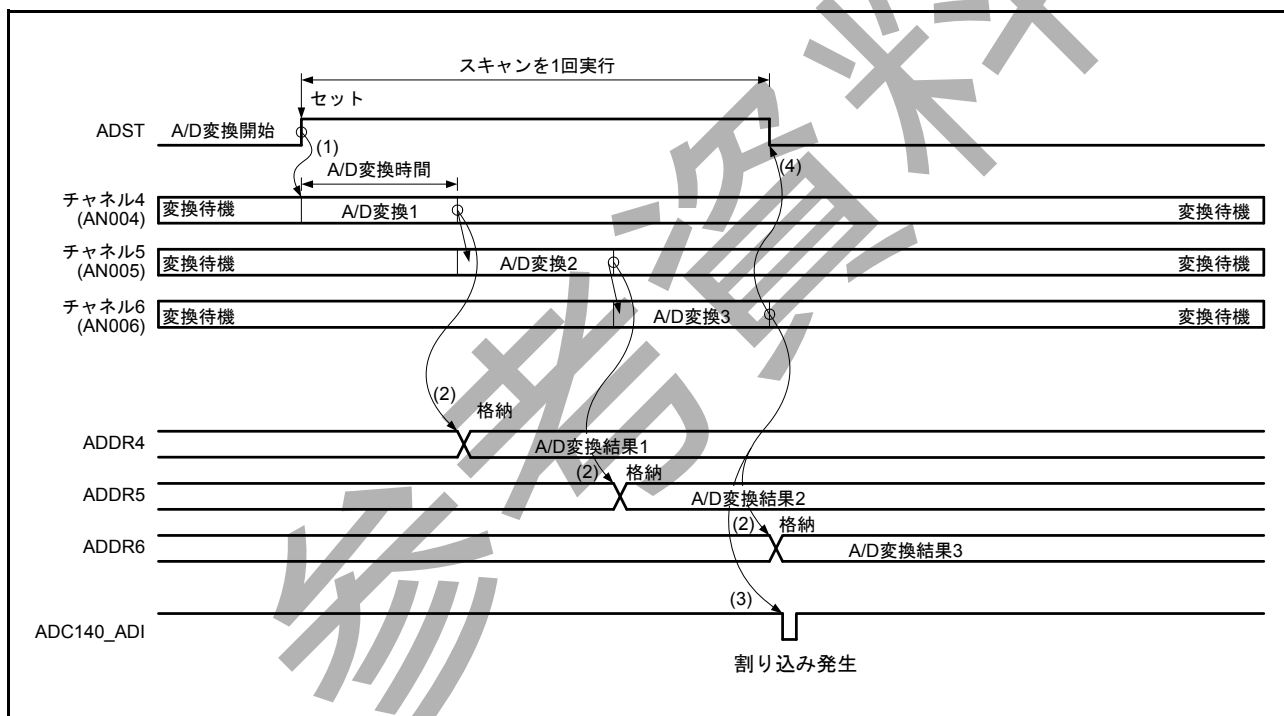


図 30.6 シングルスキャンモードの基本動作例 (AN004 ~ AN006 選択)

### 30.3.2.2 チャネル選択と自己診断

チャネル選択とともに自己診断を選択すると、基準電圧  $V_{REFH0}$  ( $\times 0$ 、 $\times 1/2$ 、または  $\times 1$ ) の A/D 変換を行い、その後選択したチャンネルのアナログ入力を 1 回のみ A/D 変換します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
4. 選択したすべてのチャンネルの A/D 変換終了後、ADC140\_ADI 割り込み要求を発生します。
5. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的に 0 にされ、ADC14 は待機状態になります。

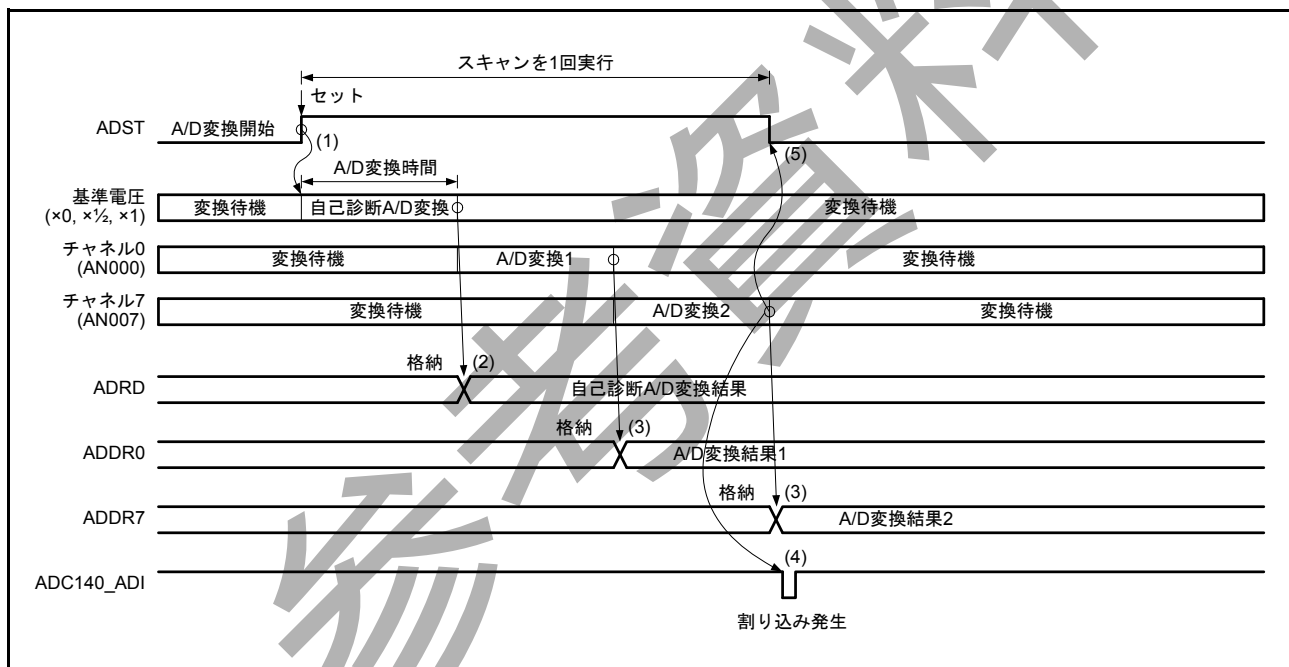


図 30.7 シングルスキャンモードの基本動作例 (AN000、AN007 選択+自己診断)

### 30.3.2.3 温度センサ出力／内部基準電圧選択時のA/D変換動作

シングルスキャンモードで温度センサ出力または内部基準電圧のA/D変換を行います。

温度センサ出力または内部基準電圧のA/D変換を選択した場合、すべてのアナログ入力チャネルを非選択にしてください (ADANSA0 および ADANSA1 レジスタをすべて0にし、ADCSR.DBLE ビットを0にする)。

温度センサ出力のA/D変換を選択した場合、内部基準電圧A/D変換選択ビット (ADEXICR.OCSA) を0 (非選択) にしてください。内部基準電圧のA/D変換を選択した場合、温度センサ出力A/D変換選択ビット (ADEXICR.TSSA) を0 (非選択) にしてください。

動作は以下のとおりです。

1. サンプル時間を  $5\mu\text{s}$  以上に設定します。サンプリングスタートレジスタ (ADSSTRT/ADSSTRO) および ADCLK 周波数の設定に注意してください。
2. 内部基準電圧または温度センサ出力のA/D変換に切り替えた後は、ADST ビットを1にして変換を開始してください。
3. A/D変換が終了すると、A/D変換結果は温度センサ出力データレジスタ (ADTRDR) またはA/D内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC14\_ADI 割り込み要求が発生します。
4. ADST ビットはA/D変換中は1を保持し、A/D変換が終了すると自動的にクリアされ、ADC14は待機状態になります。

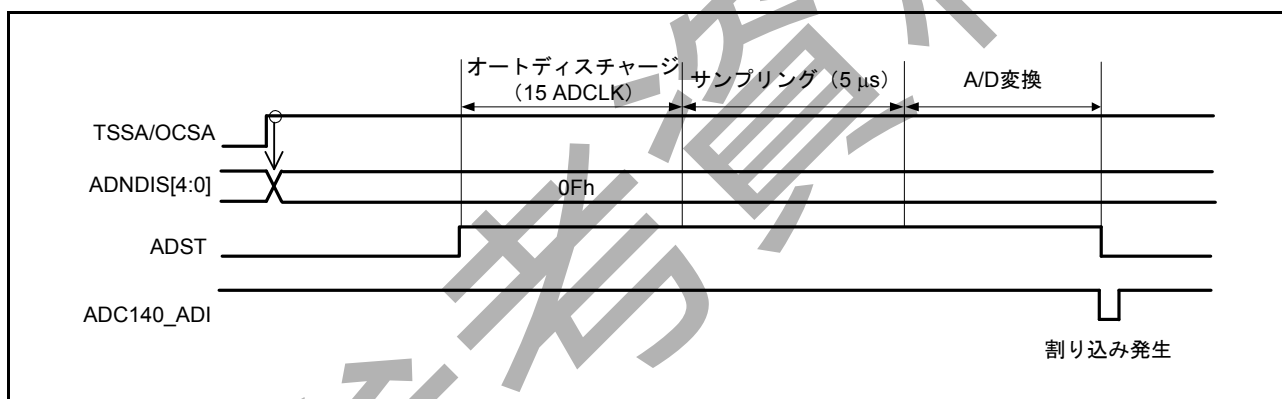


図 30.8 シングルスキャンモードの基本動作例 (温度センサ出力または内部基準電圧選択)

### 30.3.2.4 ダブルトリガモード選択時のA/D変換動作

シングルスキャンモードでダブルトリガモードを選択した場合は、同期トリガ (ELC) で開始するシングルスキャンモードの実行2回分を一連の動作として実行します。

自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA、ADEXICR.TSSB) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA、ADEXICR.OCSB) はともに 0 にしてください。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。

ダブルトリガモードでは、ADSTRGR.TRSA[5:0] ビットで同期トリガ (ELC) を選択してください。ADCSR.EXTRG ビットを 0 に、ADCSR.TRGE ビットを 1 にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC) によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ (ADDR<sub>y</sub>) に格納されます。
3. ADST ビットは自動的に 0 になり、ADC14 は待機状態になります。ADC140\_ADI 割り込み要求は発生しません。
4. 2 回目のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
5. A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ 2 重化レジスタ (ADDBLDR) に格納されます。
6. ADC140\_ADI 割り込み要求が発生します。
7. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると自動的に 0 になり、ADC14 は待機状態になります。

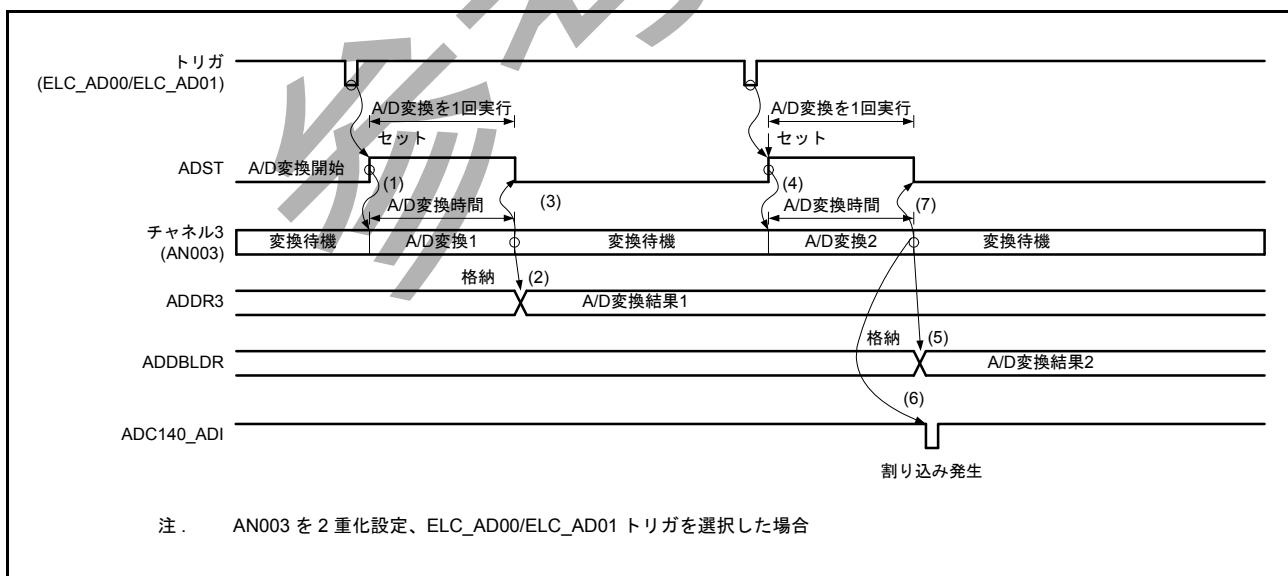


図 30.9 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を 2 重化)

### 30.3.2.5 ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードを選択した場合で、A/D変換開始トリガとして同期トリガ(ELC\_AD00/ELC\_AD01)を選択した場合、シングルスキャンモードの実行2回分を行います。

自己診断は非選択とし、温度センサ出力A/D変換選択ビット(ADEXICR.TSSA、ADEXICR.TSSB)と内部基準電圧A/D変換選択ビット(ADEXICR.OCSA、ADEXICR.OCSB)はともに0にしてください。

A/D変換データ2重化は、2重化するチャンネルの番号をADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLEビットを1にすると有効となります。ADCSR.DBLEビットを1にした場合はADANSA0、ADANSA1レジスタのチャンネル選択は無効となります。

ダブルトリガ拡張モード時は、ADSTRGR.TRSA[5:0]ビットを0Bhにして同期トリガのコンビネーション(ELC\_AD00/ELC\_AD01)を選択し、ADCSR.EXTRGビットを0に、ADCSR.TRGEビットを1にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力(ELC\_AD00/ELC\_AD01)によってADCSR.ADSTビットが1(A/D変換開始)になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果は関連するA/Dデータレジスタ(ADDRy)およびA/Dデータ2重化レジスタA(ADDBLDRA)へ格納されます。
3. ADCSR.ADSTビットは自動的に0になり、ADC14は待機状態になります。ADC140\_ADI割り込み要求は発生しません。
4. 2回目のトリガ入力(ELC\_AD00/ELC\_AD01)によってADCSR.ADSTビットが1(A/D変換開始)になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
5. A/D変換が終了すると、A/D変換結果はA/Dデータ2重化レジスタ(ADDBLDR)およびA/Dデータ2重化レジスタB(ADDBLDRB)に格納されます。
6. ADC140\_ADI割り込み要求が発生します。
7. ADCSR.ADSTビットはA/D変換中は1(A/D変換開始)を保持し、A/D変換が終了すると自動的に0になり、ADC14は待機状態になります。

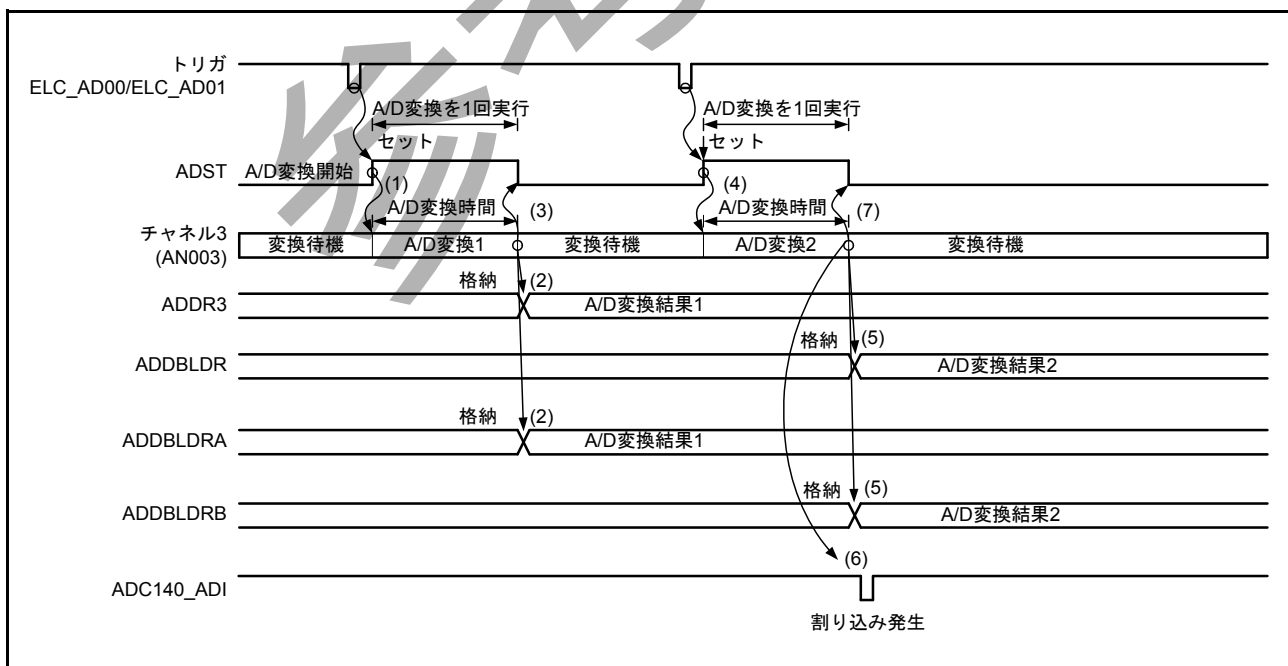


図 30.10 ダブルトリガモードの拡張動作例 (AN003の2重化を選択、ELC\_AD00/ELC\_AD01選択)

### 30.3.3 連続スキャンモード

#### 30.3.3.1 基本動作

連続スキャンモードでは、選択されたチャンネルのアナログ入力を繰り返し A/D 変換します。連続スキャンモードを使用する場合、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。

連続スキャンモードの動作を以下に示します。

- ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
- 選択したすべてのチャンネルの A/D 変換終了後、ADC140\_ADI 割り込み要求を発生します。また ADC14 は、継続して ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- ADCSR.ADST ビットは自動的にクリアされず、1 (A/D 変換開始) の状態の間は (2) ~ (3) を繰り返します。ADCSR.ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換は停止し、ADC14 は待機状態になります。
- その後、ADST ビットを 1 (A/D 変換開始) にすると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に再び A/D 変換を開始します。

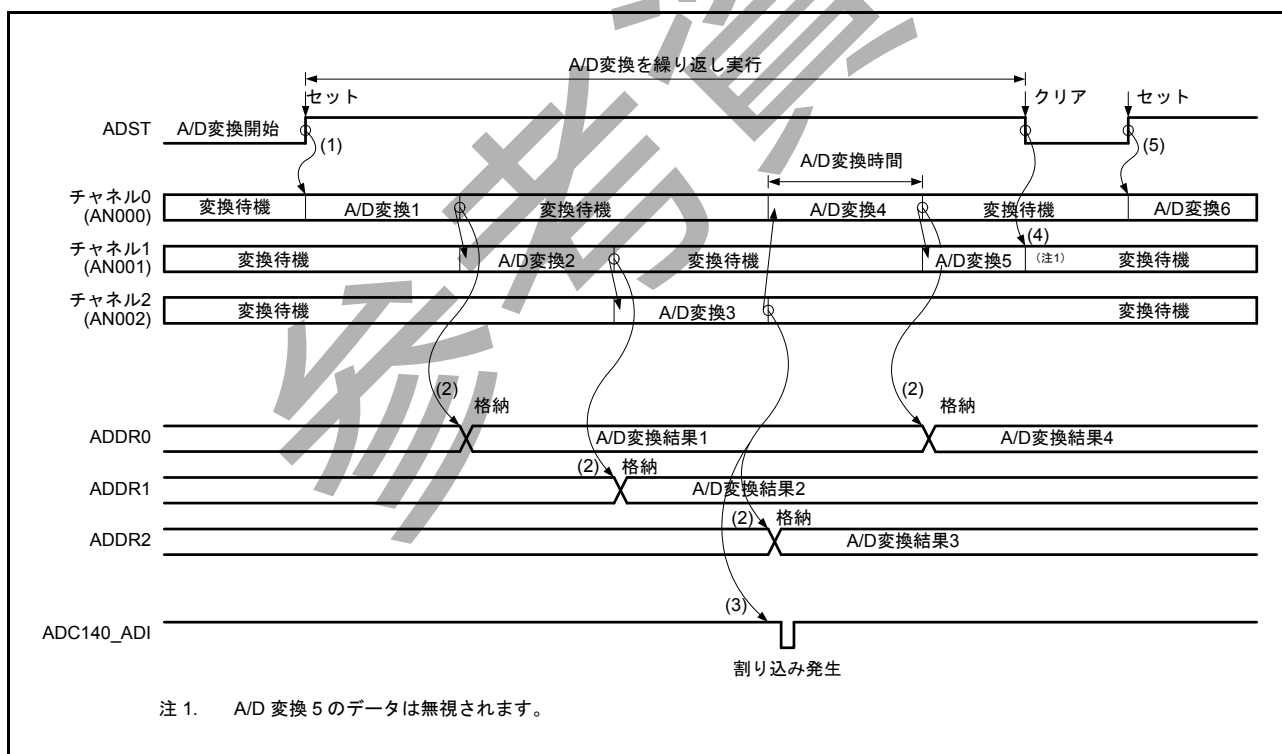


図 30.11 連続スキャンモードの基本動作例 (AN000 ~ AN002 選択)

### 30.3.3.2 チャネル選択と自己診断

チャネル選択とともに自己診断を選択すると、基準電圧 VREFH0 (×0、×1/2、または×1) の A/D 変換を行い、その後選択したチャネルのアナログ入力を A/D 変換するという流れを繰り返します。連続スキャンモードを使用する場合、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。

動作は以下のとおりです。

- ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
- 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
- 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
- 選択したすべてのチャネルの A/D 変換終了後、ADC140\_ADI 割り込み要求を発生します。同時に、ADC14 は自己診断での A/D 変換を開始し、その後 ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
- ADST ビットは自動的にクリアされず、1 に設定されている間は (2) ~ (4) を繰り返します。ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換は停止し、ADC14 は待機状態になります。
- その後、ADST ビットが 1 (A/D 変換開始) に設定されると、再び自己診断での A/D 変換から開始します。

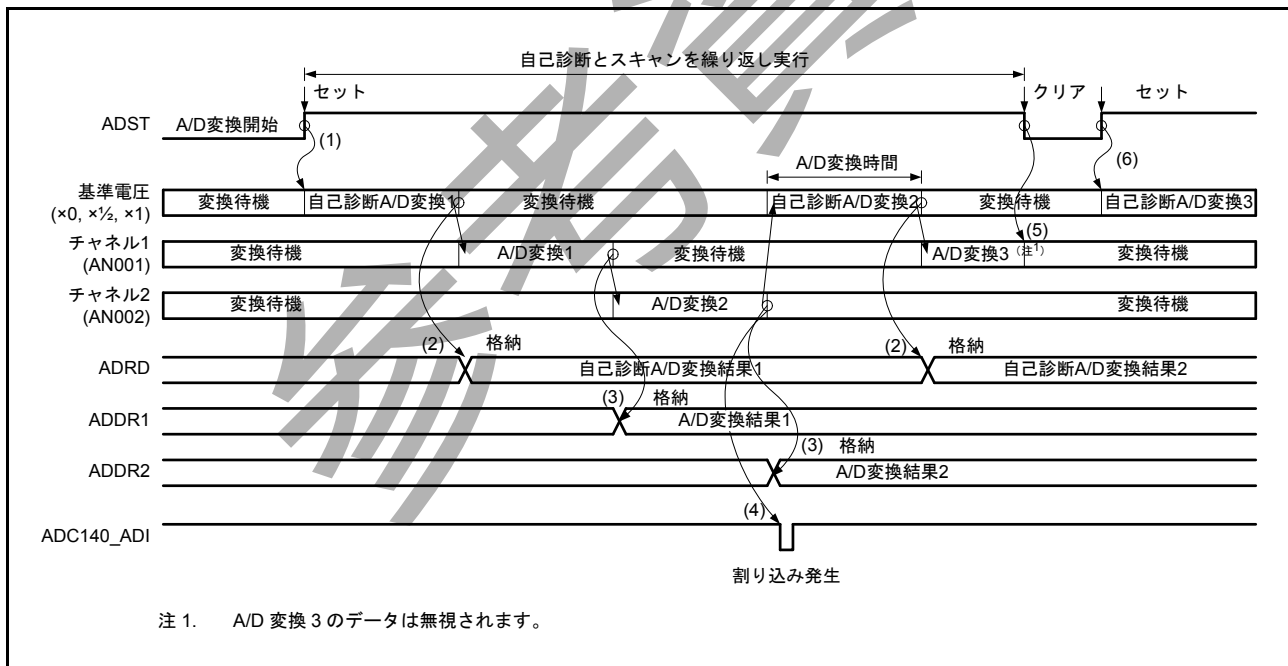


図 30.12 連続スキャンモードの基本動作例 (AN001 および AN002 選択+自己診断)



### 30.3.4 グループスキャンモード

#### 30.3.4.1 基本動作

グループスキャンモードでは、同期トリガ (ELC) をスキャン開始条件とし、グループ A またはグループ B のそれぞれで選択したすべてのチャンネルのアナログ入力を 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

同期トリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガ、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。ソフトウェアトリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADANSA0、ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモードでは、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

以下に ELC からの同期トリガによるグループスキャンモードの動作例を示します。以下の例では、ELC からの ELC\_AD00 トリガでグループ A の変換が開始され、ELC からの ELC\_AD01 トリガでグループ B の変換が開始されています。また、ELC\_AD00 および ELC\_AD01 は、対応する ELC.ELSRn レジスタで GPT イベントに選択されます。

動作は以下のとおりです。

1. ELC\_AD00 トリガでグループ A のスキャンを開始します。
2. グループ A のスキャン終了後、ADC140\_ADI 割り込みを発生します。
3. ELC\_AD01 トリガでグループ B のスキャンを開始します。
4. グループ B のスキャン終了時に ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了割り込み許可) に設定されていると、ADC140\_GBADI 割り込みを発生します。

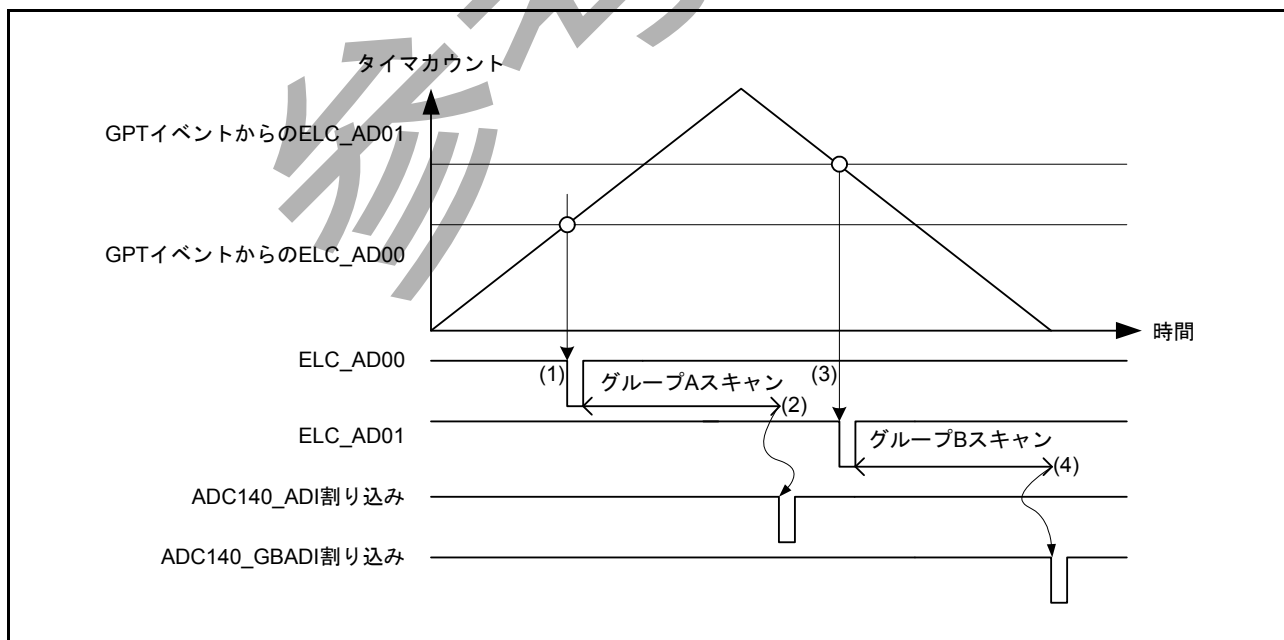


図 30.13 グループスキャンモードの基本動作例 (ELC からの同期トリガ使用)

### 30.3.4.2 ダブルトリガモード選択時のA/D変換動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループAは同期トリガ(ELC)で開始するシングルスキャンモードの実行2回分を一連の動作として実行します。グループBは同期トリガ(ELC)で開始するシングルスキャンモードの動作を1回実行します。

グループスキャンモードでは、同期トリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループAの同期トリガ、ADSTRGR.TRSB[5:0]ビットでグループBの同期トリガを選択します。グループAとグループBのA/D変換が同時に起こらないように、グループAとグループBのトリガは別々のトリガにしてください。ソフトウェアトリガまたは非同期トリガは使用しないでください。

ADSTRGR.TRSA[5:0]ビットが0Bhのときに、グループAの同期トリガコンビネーションにELC\_AD00/ELC\_AD01を選択した場合は、ダブルトリガ拡張モードで動作します。

A/D変換対象とするチャンネルは、ADCSR.DBLANS[4:0]ビットでグループAのチャンネル、ADANSB0、ADANSB1レジスタでグループBのチャンネルを選択します。グループAとグループBで同一のチャンネルを選択することはできません。

グループスキャンモードでは、ADEXICR.TSSAビットとADEXICR.OCSAビットをともに0にすることにより、温度センサ出力A/D変換と内部基準電圧A/D変換を非選択にします。

グループスキャンモードでダブルトリガモード選択時は自己診断を選択できません。

A/D変換データ2重化は、2重化するチャンネルの番号をADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLEビットを1にすると有効となります。

以下にELCからの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。以下の例では、ELC\_AD00トリガでグループBの変換が開始され、ELC\_AD01トリガでグループAの変換が開始されています。また、ELC\_AD00およびELC\_AD01は、対応するELC.ELSRnレジスタでGPTイベントに選択されます。

動作は以下のとおりです。

1. ELCからのELC\_AD00トリガでグループBのスキャンを開始します。
2. グループBのスキャン終了時にADCSR.GBADIEビットが1(グループBのスキャン終了割り込み許可)に設定されていると、ADC140\_GBADI割り込みが発生します。
3. 1回目のELC\_AD01トリガでグループAの1回目のスキャンを開始します。
4. グループAの1回目のスキャンが終了すると、A/D変換結果は関連するA/Dデータレジスタ(ADDRy)に格納されます。ADC140\_ADI割り込み要求は発生しません。
5. 2回目のELC\_AD01トリガでグループAの2回目のスキャンを開始します。
6. グループAの2回目のスキャン終了時、A/D変換結果をADDBLDRに格納します。ADC140\_ADI割り込みが発生します。

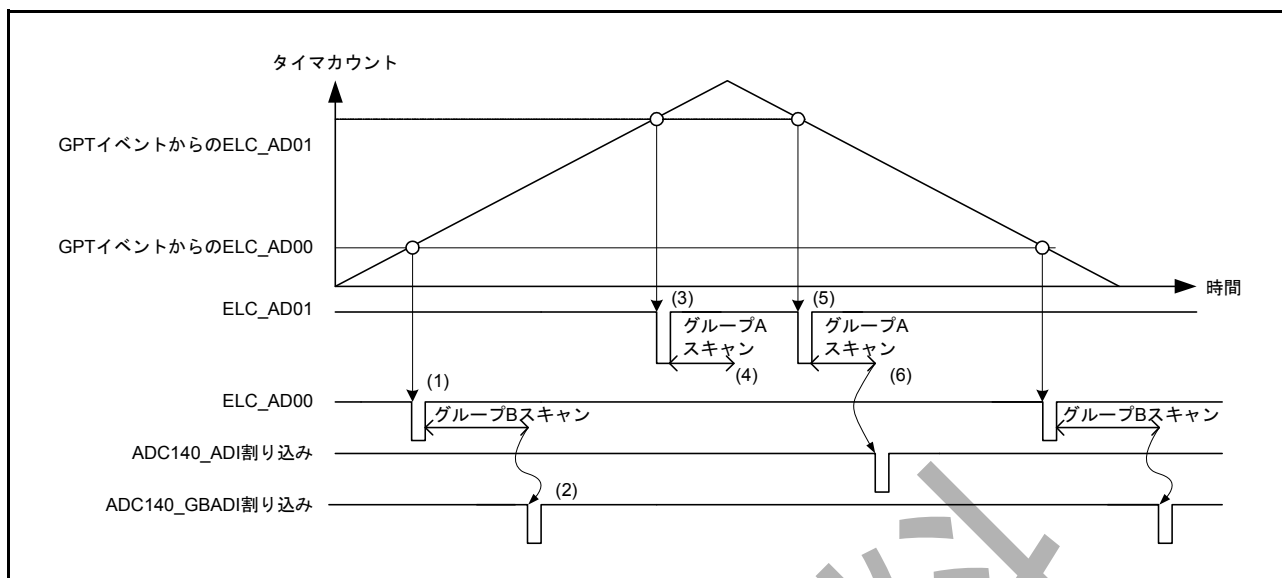


図 30.14 グループスキャンモードかつダブルトリガモード設定時の動作 (ELC からの同期トリガ)

### 30.3.4.3 グループ A 優先制御動作

グループスキャンモードで A/D グループスキャン優先コントロールレジスタ (ADGSPCR) の PGS ビットを 1 にすると、グループ A 優先制御動作を行います。ADPGSCR.PGS ビットを 1 にする際は、図 30.15 に記載された手順に従って設定を実行してください。フロー以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、もしくはグループ B の A/D 変換動作中に他方の A/D 変換のトリガ入力があっても無視されます。グループ A 優先制御動作では、グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断して、グループ A の A/D 変換動作を行います。ADGSPCR.GBRSCN ビットが 0 のときは、ADC14 はグループ A の A/D 変換動作終了時に待機状態となります。ADGSPCR.GBRSCN ビットが 1 のときは、グループ A の A/D 変換動作終了後、自動的にグループ B の A/D 変換動作をスキャン先頭から自動で再開します。ADGSPCR.GBRSCN ビットの設定と A/D 変換動作中のトリガ入力時の動作を表 30.9 に示します。

グループ A とグループ B のスキャン動作は、シングルスキャンモードと同じ動作になります。また、グループ B のスキャン動作中に ADGSPCR.GBRP ビットを 1 にすると、シングルスキャンを連続して実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択してください。ADGSPCR.GBRP ビットを 1 にする場合は、ADSTRGR.TRSB[5:0] ビットを 3Fh にしてください。

また、A/D 変換対象とするチャンネルは、グループ A については ADANSA0、ADANSA1 レジスタを使用し選択してください。グループ B については、ADANSB0、ADANSB1 レジスタでグループ A とは異なるチャンネルを選択してください。

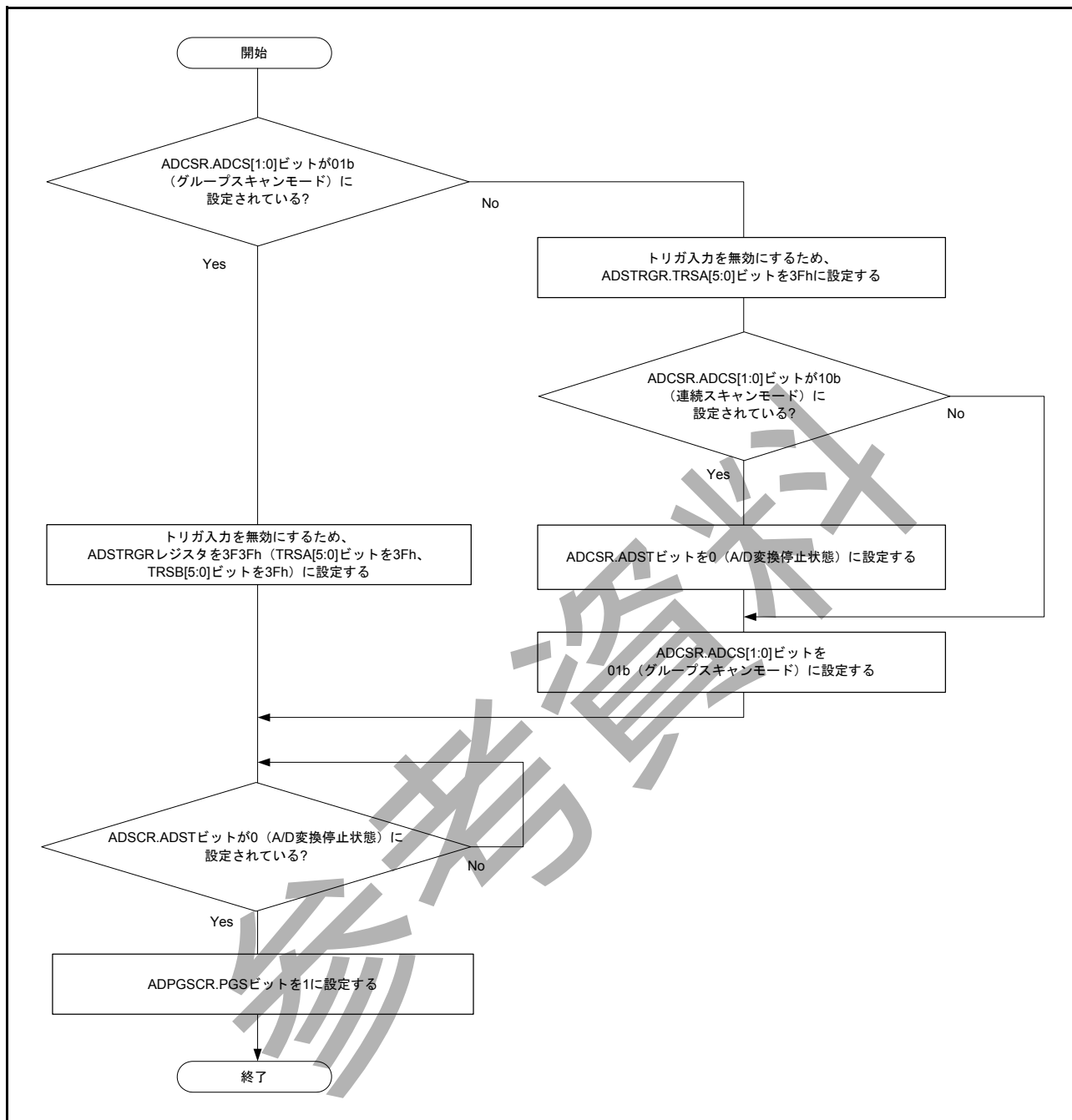


図 30.15 ADPGSCR.PGS ビット設定時のフロー

表 30.9 ADGSPCR.GBRSCN ビットの設定によるA/D変換動作制御

A/D変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループAのA/D変換動作中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのA/D変換動作終了後、グループBのA/D変換動作を行います。
グループBのA/D変換動作中	グループAトリガ入力	グループBのA/D変換中断し、グループAのA/D変換動作開始	<ul style="list-style-type: none"> <li>グループBのA/D変換中断し、グループAのA/D変換動作開始</li> <li>グループAのA/D変換終了後、グループBのA/D変換動作開始</li> </ul>
	グループBトリガ入力	トリガ入力無効	トリガ入力無効

以下に、グループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したグループスキャンモードグループ A 優先制御動作の動作例 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) を示します。

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル AN<sub>n</sub> の n が小さい番号順に A/D 変換を開始します。
2. グループ B の各チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR<sub>y</sub>) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にクリアし、動作中の A/D 変換を中断します。次に、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル AN<sub>n</sub> の n が小さい番号順に A/D 変換を開始します。
4. チャンネル 0 の A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR<sub>y</sub>) に格納されます。
5. ADC14\_ADI 割り込み要求が発生します。
6. ADST ビットが自動的にクリアされた後、再度同ビットが自動的に 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル AN<sub>n</sub> の n が小さい番号順に、グループ B の A/D 変換を再度開始します。
7. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR<sub>y</sub>) に格納されます。
8. グループ B のすべてのチャンネルの A/D 変換終了時、ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了割り込み許可) に設定されていると、ADC14\_GBADI 割り込み要求が発生します。
9. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると自動的に 0 になり、ADC14 は待機状態になります。

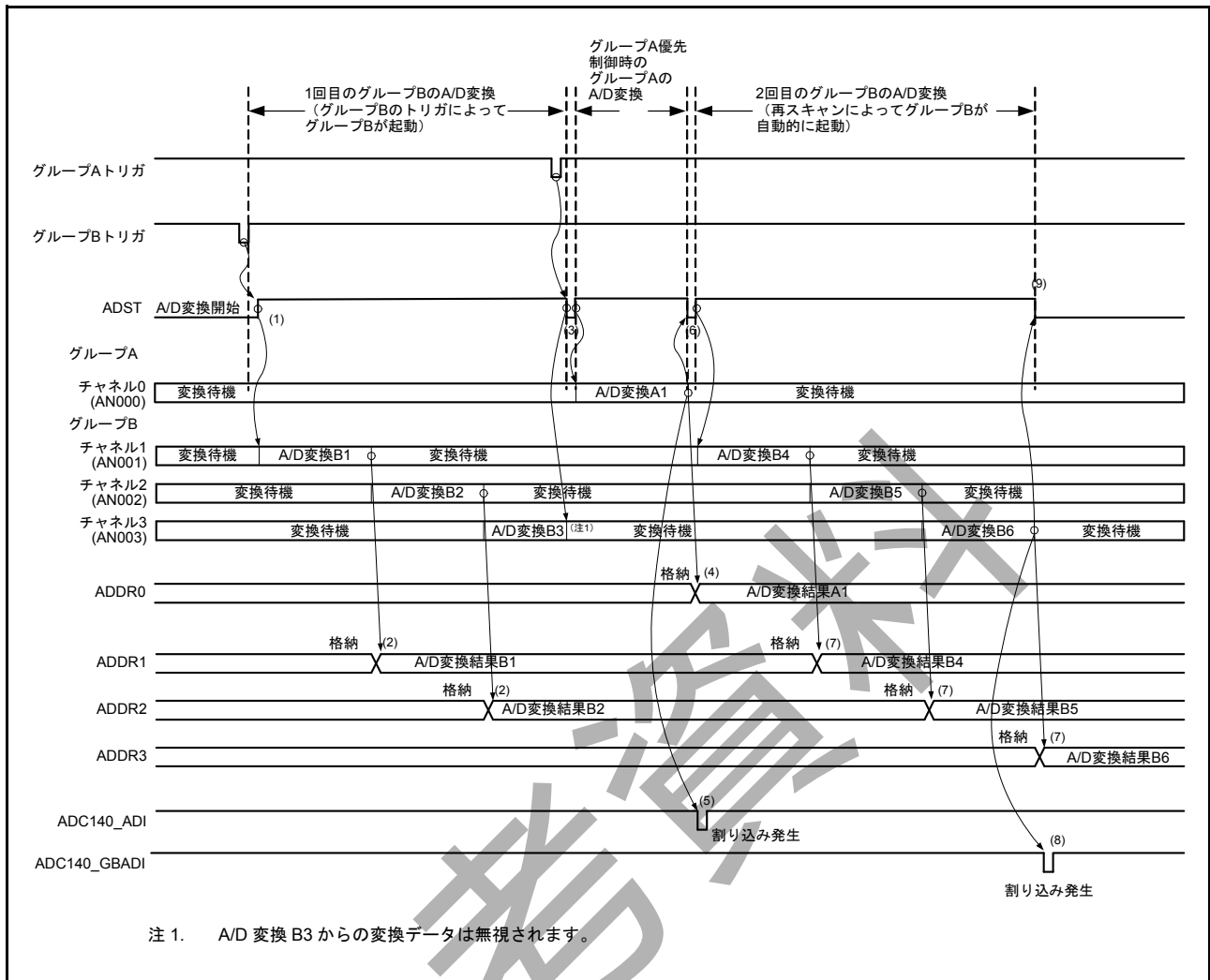


図 30.16 グループ A 優先制御の動作例 (1) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

次に、グループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 0 を、グループ B にチャンネル 1 ~ 3 を選択した場合の例を示します。

1. グループ B のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. グループ B の各チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にクリア (A/D 変換停止) し、動作中のグループ B の A/D 変換を中断します。
4. ADCSR.ADST ビットを自動的に 1 にし、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
5. チャンネル 0 の A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
6. ADC140\_ADI 割り込み要求が発生します。
7. ADGSPCR.GBRSCN ビットが 1 (再スキャン動作有効) の場合は、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
8. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
9. 再スキャン起動によるグループ B の A/D 変換動作中にグループ A のトリガ入力があると、ADCSR.ADST ビットを 0 (A/D 変換停止) にし、動作中のグループ B の A/D 変換を中断します。
10. その後、ADCSR.ADST ビットを自動的に 1 にし、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
11. チャンネル 0 の A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
12. ADC140\_ADI 割り込み要求が発生します。
13. ADGSPCR.GBRSCN ビットが 1 (再スキャン動作有効) の場合は、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
14. 再スキャン起動によるグループ B の A/D 変換中にグループ A のトリガ入力があると、(9) ~ (13) を繰り返し実行します。グループ A のトリガ入力がない場合は、グループ B の A/D 変換が終了すると ADCSR.ADST ビットが自動的にクリアされ、ADC14 は待機状態になります。

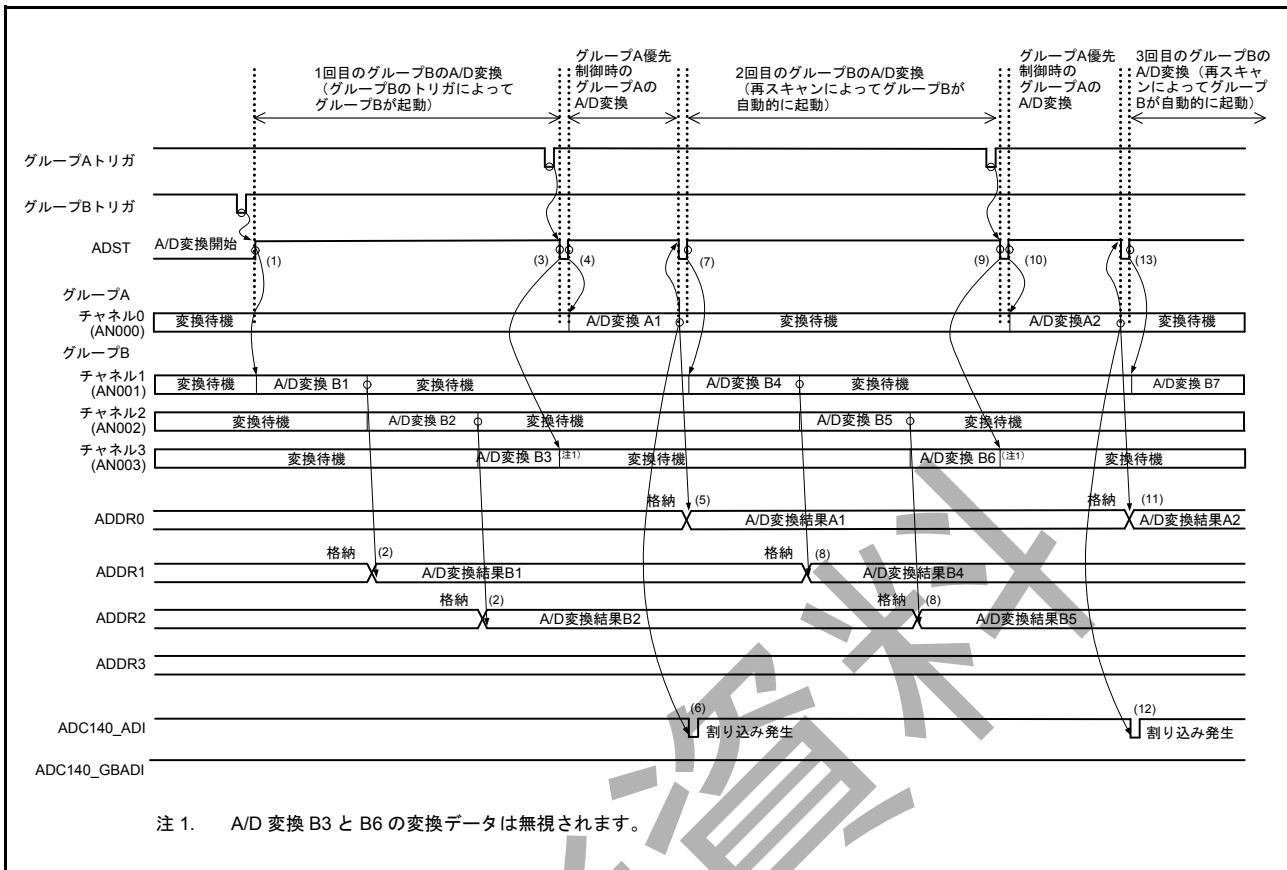


図 30.17 グループ A 優先制御の動作例 (2) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

次に、グループ A の A/D 変換動作中に、グループ B のトリガが入力された場合の、再スキャン動作の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 1 ~ 3 を、グループ B にチャンネル 0 を選択した場合の例を示します。

1. グループ A のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した、チャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
3. グループ A の A/D 変換動作中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換を実行できる状態となります。ただし、グループ A のトリガが連続で入力された場合、グループ B のスキャン動作は、グループ A に打ち消されて実行されません。
4. グループ A の A/D 変換終了後、ADC140\_ADI 割り込み要求が発生します。
5. グループ A の A/D 変換終了後、グループ B の再スキャン起動により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を開始します。
6. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
7. 再スキャン起動によるグループ B のスキャン終了後、ADCSR.GBADIE ビットが 1 (グループ B スキャン終了割り込み許可) になっていると、ADC140\_GBADI 割り込み要求が発生します。
8. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると自動的に 0 になり、ADC14 は待機状態になります。



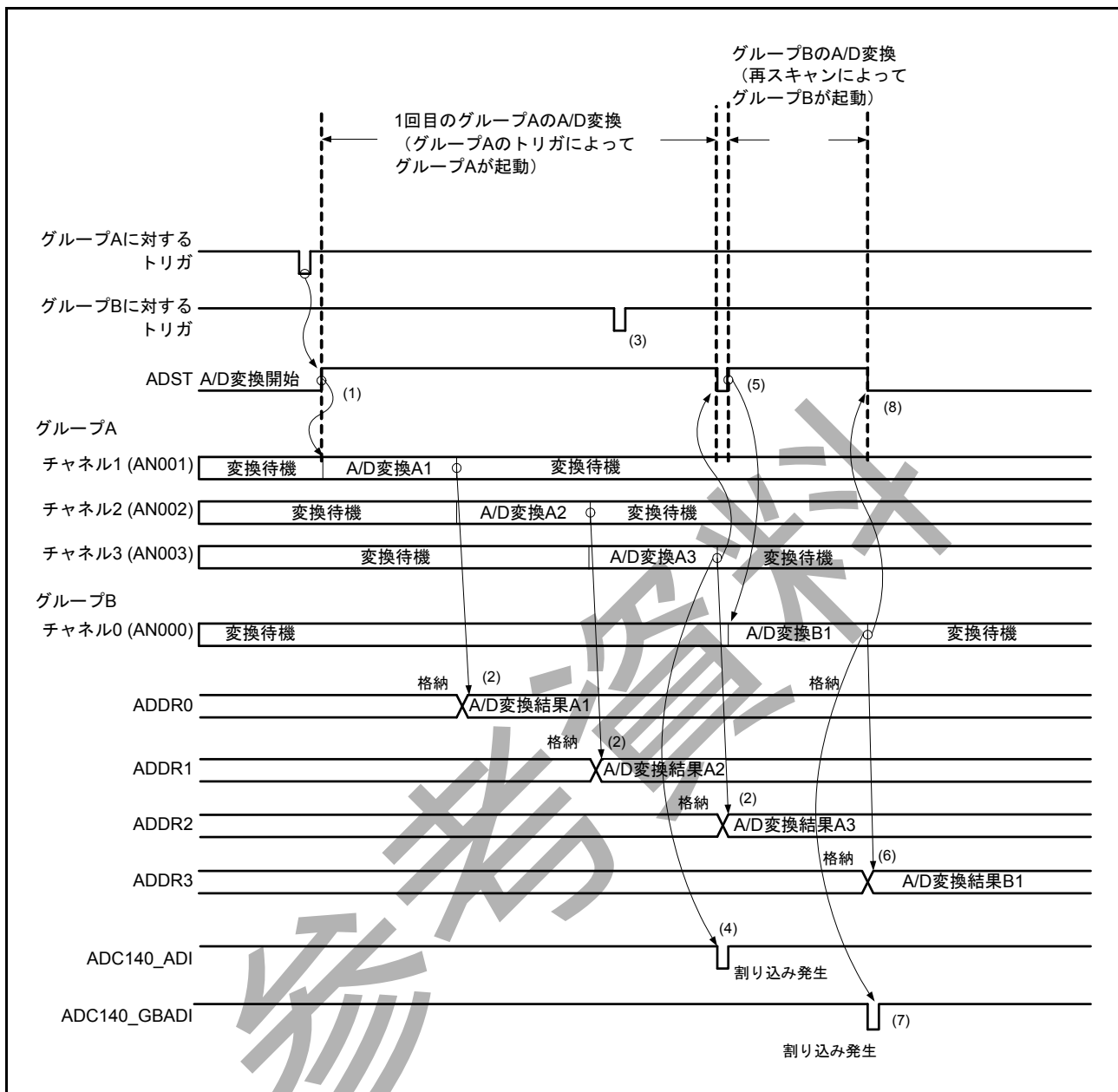


図 30.18 グループ A 優先制御の動作例 (3) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0) を示します。

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中にグループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にし、動作中のグループ B の A/D 変換を中断します。その後、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
4. チャンネル 0 の A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
5. ADC14\_ADI 割り込み要求が発生します。
6. ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると自動的に 0 にクリアされ、ADC14 は待機状態になります。

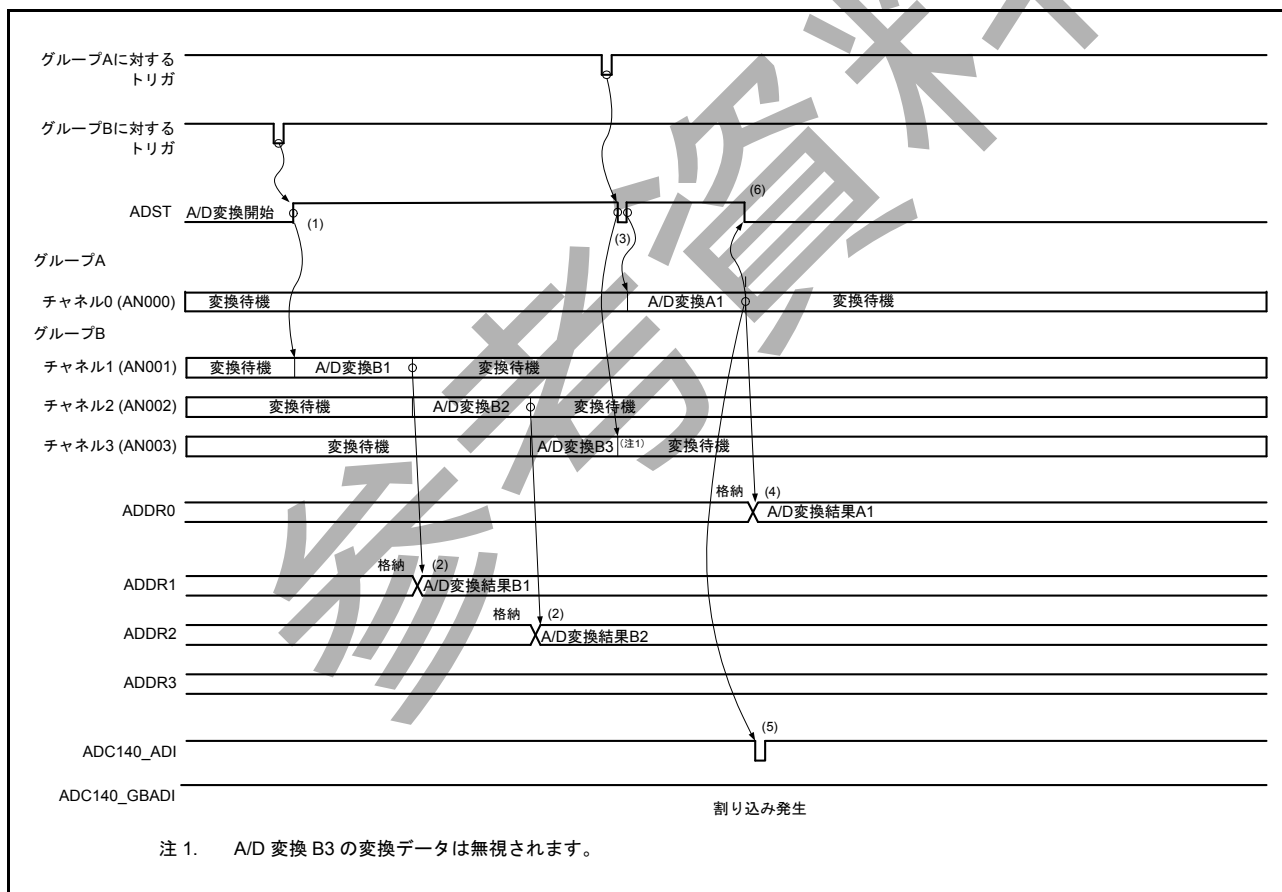


図 30.19 グループ A 優先制御の動作例 (4) (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0 の場合)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときの、グループ A 優先制御の動作例 (ADGSPCR.GBRP = 1) を示します。

1. ADGSPCR.GBRP を 1 にすると、ADCSR.ADST ビットが 1 (A/D 変換開始) になり、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にし、動作中のグループ B の A/D 変換を中断します。その後、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
4. チャンネル 0 の A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
5. ADC140\_ADI 割り込み要求が発生します。
6. ADST ビットを自動的にクリアした後、同ビットが再度自動的に 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
7. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
8. グループ B のすべてのチャンネルの A/D 変換終了時に ADCSR.GBADIE ビットが 1 になっていると、ADC140\_GBADI 割り込み要求が発生します。
9. ADST ビットを自動的にクリアした後、同ビットを再度自動的に 1 (A/D 変換開始) にして、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。ADGSPCR.GBRP ビットが 1 の状態の間は、(6)～(9)の動作を繰り返します。ADGSPCR.GBRP ビットが 1 の状態の間は、ADCSR.ADST ビットを 0 にクリアしないでください。ADGSPCR.GBRP = 1 の場合に A/D 変換を強制終了する方法については、[図 30.31](#) の手順に従ってください。

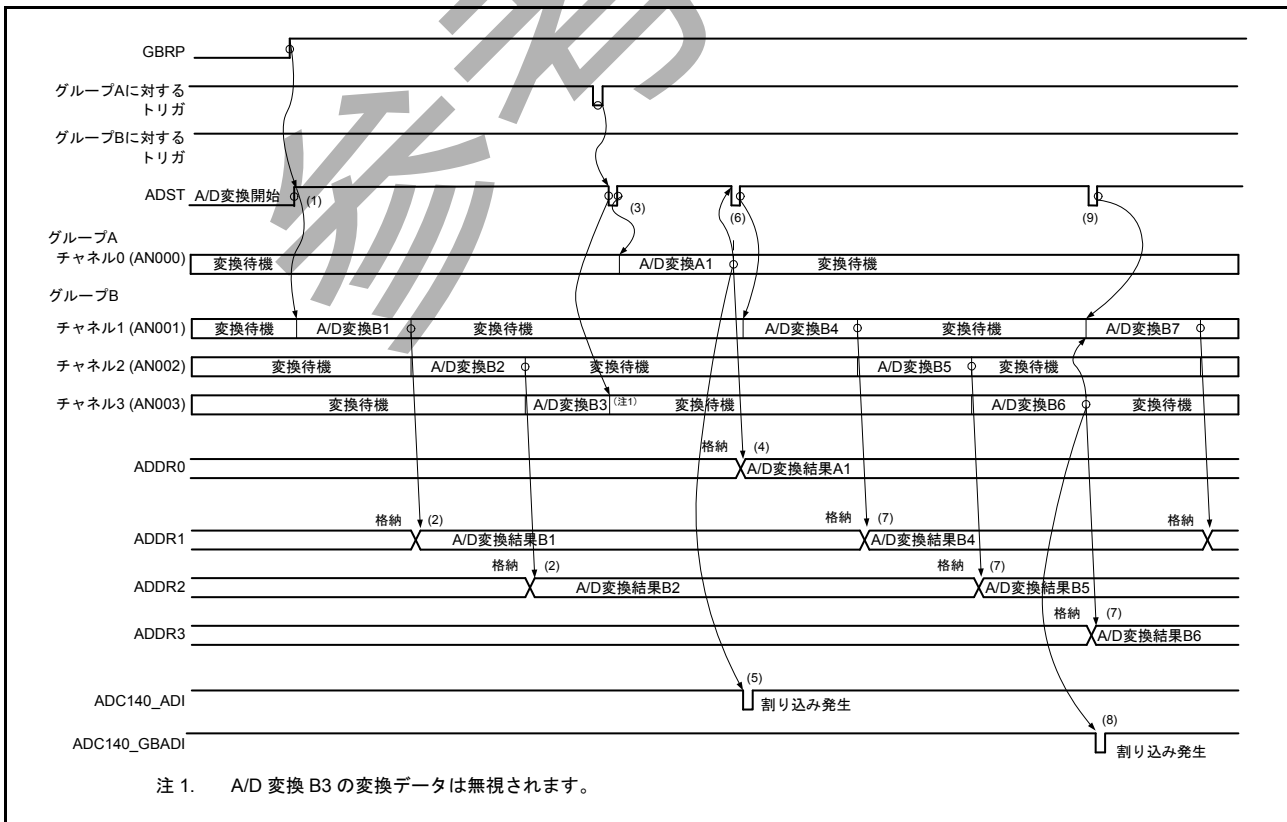


図 30.20 グループ A 優先制御の動作例 (5) (ADGSPCR.GBRP = 1 の場合)

### 30.3.5 コンペア機能 (ウィンドウ A、ウィンドウ B)

#### 30.3.5.1 コンペア機能 (ウィンドウ A、ウィンドウ B)

コンペア機能は、基準値と A/D 変換結果を比較する機能です。基準値はウィンドウ A およびウィンドウ B それぞれに設定することができます。コンペア機能の使用中は、自己診断機能およびダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いとしては、割り込み出力信号の違いと、ウィンドウ B は1つのチャンネルしか選択できないという制限が挙げられます。

連続スキャンモードとコンペア機能を組み合わせた動作シーケンスを以下に示します。

1. ソフトウェア、同期トリガ (ELC)、または非同期トリガで ADCSR.ADST ビットを 1 (A/D 変換開始) にした場合、選択したチャンネルの順番で A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ (ADDR<sub>y</sub>) に格納されます。ADCMP<sub>CR</sub>.CMPAE が 1 のとき、ウィンドウ A に対して ADCMP<sub>PANSR</sub><sub>y</sub> または ADCMP<sub>PANSER</sub> レジスタのビットを設定すると、A/D 変換結果を ADCMP<sub>PDR0/1</sub> レジスタ値と比較します。ADCMP<sub>CR</sub>.CMPBE が 1 のとき、ウィンドウ B に対して ADCMP<sub>BNSR</sub> レジスタのビットを設定すると、A/D 変換結果を、ADWIN<sub>ULB/ADWINLLB</sub> レジスタの設定値と比較します。
3. 比較した結果、ウィンドウ A が ADCMP<sub>PLR0/1</sub> または ADCMP<sub>PLR</sub> に設定された条件と一致すると、コンペアウィンドウ A フラグ (ADCMP<sub>SR0</sub>.CMPF<sub>0n</sub>、ADCMP<sub>SR1</sub>.CMPF<sub>1n</sub>、ADCMP<sub>SER</sub>.CMPF<sub>TS</sub>、または ADCMP<sub>SER</sub>.CMPOC) のビットが 1 になります。ADCMP<sub>CR</sub>.CMPAIE ビットが 1 であれば、ADC14\_CMPAI 割り込み要求 (レベル) が発生します。同様に、ウィンドウ B が ADCMP<sub>BNSR</sub>.CMP<sub>LB</sub> に設定された条件と一致すると、コンペアウィンドウ B フラグ (ADCMP<sub>BNSR</sub>.CMP<sub>STB</sub>) が 1 になります。ADCMP<sub>CR</sub>.CMP<sub>BIE</sub> ビットが 1 であれば、ADC14\_CMPBI 割り込み要求 (レベル) が発生します。
4. 選択したすべての A/D 変換および比較が終了すると、スキャンが再開します。
5. ADC14\_CMPAI および ADC14\_CMPBI 割り込みを受け付けると、ADCSR.ADST ビットは 0 (A/D 変換停止) になり、コンペアフラグが 1 であるチャンネルの処理を行います。
6. ウィンドウ A のすべてのコンペアフラグをクリアすると、ADC14\_CMPAI 割り込み要求は取り消されます。同様に、ウィンドウ B のすべてのコンペアフラグをクリアすると、ADC14\_CMPBI 割り込み要求はリセットされます。再度比較を実行するには、A/D 変換を再開してください。

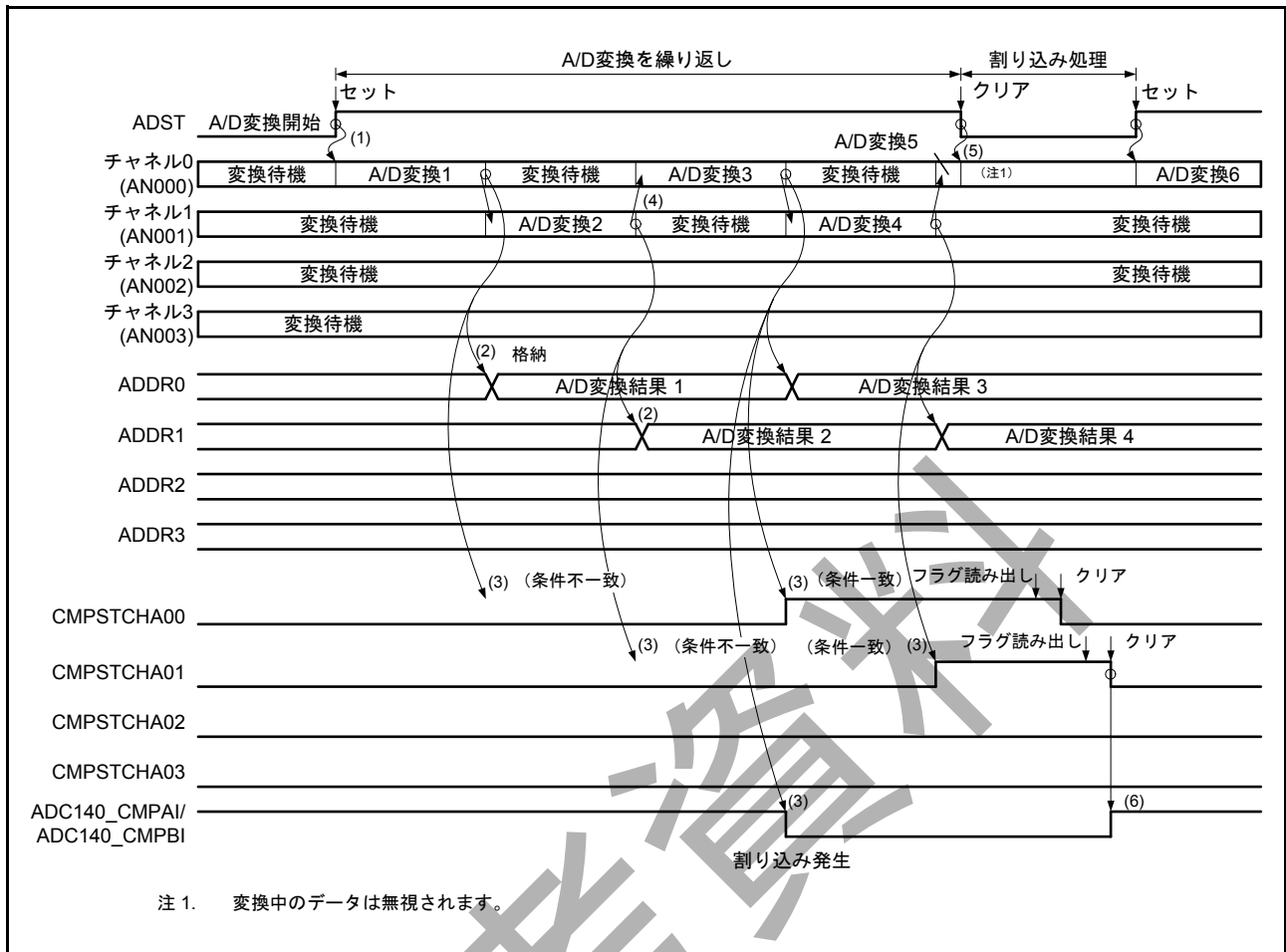


図 30.21 コンペア機能の動作例 (AN000 ~ AN003 を比較)

### 30.3.5.2 コンペア機能のイベント出力

イベント出力は、選択したチャンネルのA/D変換値を上側基準電圧値および下側基準電圧値と比較します。その後、イベント条件 (A or B、A and B、A xor B) およびウィンドウ A およびウィンドウ B の比較結果に従って、イベント (ADC140\_WCMPM/ADC140\_WCMPUM) を出力します。

ウィンドウ A で複数のチャンネルを選択し、チャンネルのうち1つでも比較条件と一致した場合、ウィンドウ A の比較結果は一致となります。この機能を使用する場合、A/D変換はシングルスキャンモードで行ってください。

ウィンドウ A の場合、AN000 ~ AN010、AN016 ~ AN022 のチャンネルのどれか、内部基準電圧、温度センサ出力を選択できます。ただし、内部基準電圧または温度センサ出力を選択する場合、同時に他のチャンネルを選択することはできません。また、A/Dコンバータの高電位基準電圧に内部基準電圧を選択した場合、内部基準電圧および温度センサ出力をA/D変換することはできません。

ウィンドウ B の場合、AN000 ~ AN010、AN016 ~ AN022 のチャンネルのうち1つ、内部基準電圧、温度センサ出力を選択できます。また、高電位基準電圧に内部基準電圧を選択した場合、内部基準電圧および温度センサ出力をA/D変換することはできません。

コンペア機能のイベント出力使用時の設定手順および設定例を以下に示します。

1. ADCSR.ADCS[1:0] ビットの値が 00b (シングルスキャンモード) であることを確認してください。
2. ADCMPANSR0/1 および ADCMPANSER レジスタでウィンドウ A のチャンネルを選択します。ADCMPPLR0/1 および ADCMPPLER レジスタにウィンドウ比較条件を設定します。ADCMPDR0/1 レジスタに上側および下側基準値を設定してください。
3. ADCMPBNSR レジスタでウィンドウ B のチャンネルおよび比較条件を選択し、ADWINULB/ADWINLLB レジスタで上側および下側基準値を設定します。
4. ウィンドウ A/B の複合条件、ウィンドウ A/B 動作許可、および割り込み出力許可を ADCMPCR レジスタに設定してください。

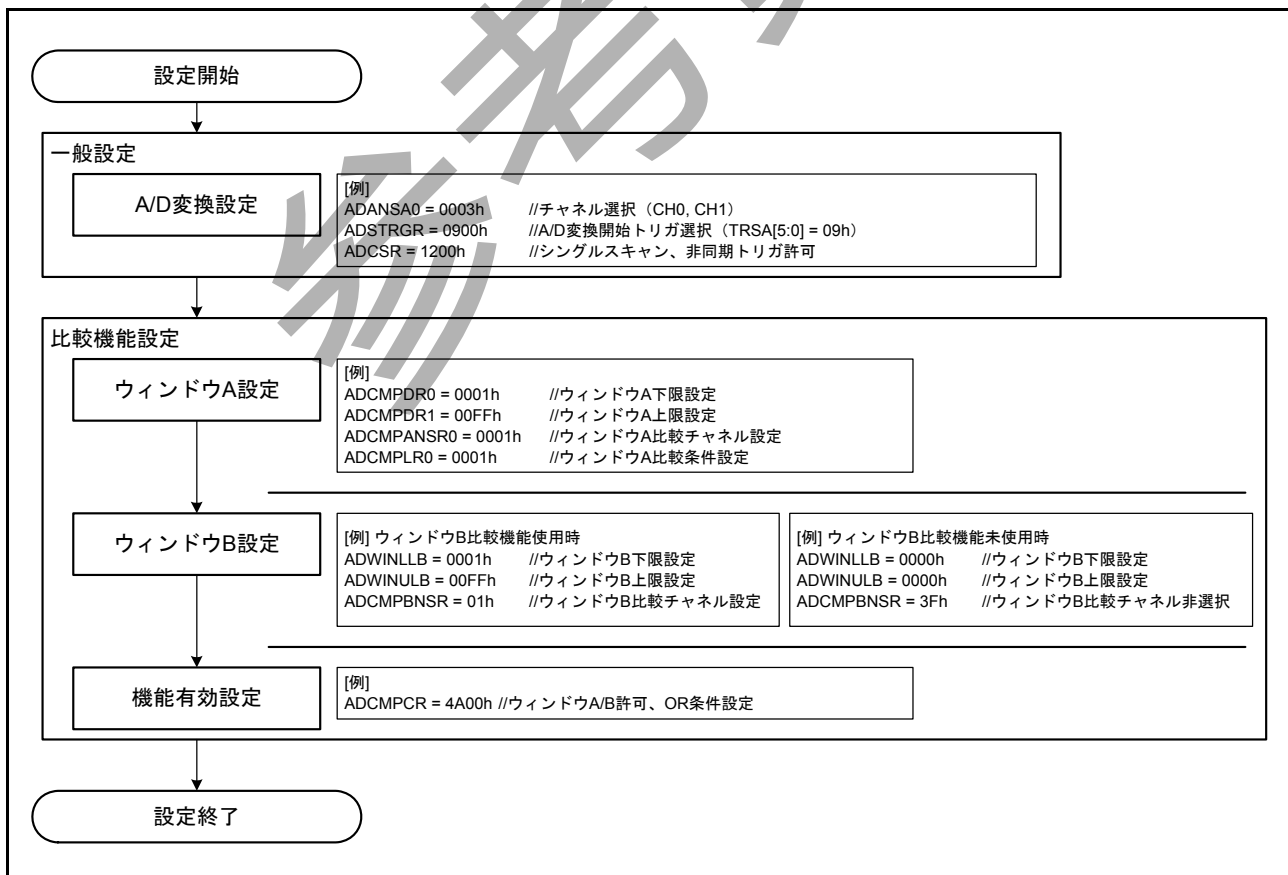


図 30.22 コンペア機能のイベント出力使用時の設定例

コンペア機能でウィンドウ A のみを使用するときのイベント出力の使用方法について、以下に注意点を示します。

- ウィンドウ A および B をどちらも有効 (ADCMPCR.CMPAE = 1、ADCMPCR.CMPBE = 1) にしてください
- ウィンドウ A および B の複合条件を「OR 条件」にしてください (ADCMPCR.CMPAB[1:0] = 00b)
- ウィンドウ B の比較対象チャンネルを「非選択」にしてください (ADCMPCR.CMPCHB[5:0] = 111111b)
- ウィンドウ B の比較条件を、常に不一致を表す「0 < 結果 < 0」に設定してください (ADCMPCR.WCMPE = 1、ADWINLLB.CMPLLB[15:0] = ADWINULB.CMPULB[15:0] = 0000h、および ADCMPBNSR.CMPLB = 1)

コンペア機能のイベント出力動作例を図 30.23 に示します。

シングルスキャンが一度終了するタイミングで、スキャン終了イベント (ADC140\_ADI) を出力します。その後、ADCMPCR.CMPAB[1:0] の設定に従い、1PCLKB 遅れて一致または不一致イベント (ADC140\_WCMPPM/ADC140\_WCMPUM) を出力します。

注. 一致イベントと不一致イベントは排他的であるため、2つのイベントを同時に出力することはありません。

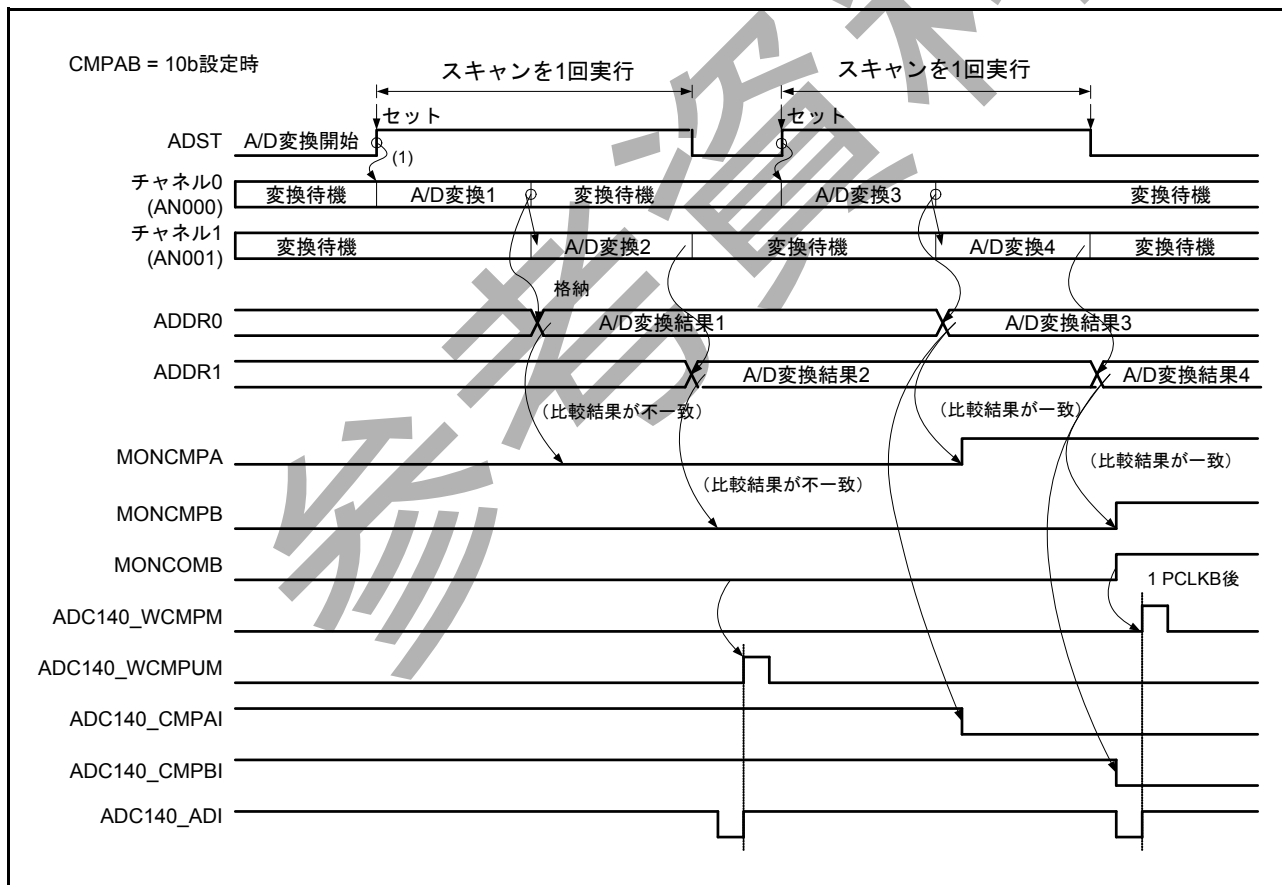


図 30.23 コンペア機能のイベント出力動作例 (AN000 ~ AN003 を比較)

注. コンペア機能のイベント出力は、ADCMPCR.CMPAB[1:0] の設定に従い、ウィンドウ A およびウィンドウ B の比較結果の一致/不一致を出力します。

注. ウィンドウ A の比較結果は、ウィンドウ A の比較対象チャンネルの比較結果の論理和です。ウィンドウ A および B の比較結果は、A/D 変換ごとに更新され、シングルスキャンが終了しても保持されます。比較結果をクリアするには、ADCMPCR.CMPAE および ADCMPPCR.CMPBE を 0 にしてください。

### 30.3.5.3 コンペア機能の制約

コンペア機能には以下の制約事項があります。

- コンペア機能は、自己診断機能またはダブルトリガモードと一緒に使用できません (ADRD、ADDBLDR、ADDBLDRA、およびADDBLDRBではコンペア機能は使用できません)
- 一致/不一致イベント出力を使用する場合はシングルスキャンモードにしてください
- ウィンドウ A に温度センサまたは内部基準電圧を選択した場合、ウィンドウ B 動作は無効になります
- ウィンドウ B に温度センサまたは内部基準電圧を選択した場合、ウィンドウ A 動作は無効になります
- ウィンドウ A とウィンドウ B に同じチャンネルを設定することはできません
- 基準電圧値を設定する際は、高電位基準電圧値が低電位基準電圧値以上になるようにしてください。

### 30.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェアトリガ、同期トリガ (ELC) による起動および非同期トリガ (ADTRG0) による起動が選択できます。スキャン変換開始遅延時間 ( $t_D$ ) の後に、断線検出アシスト処理、自己診断変換処理をすべて行い、この後に A/D 変換処理が開始されます。

図 30.24 に、ソフトウェアトリガまたは同期トリガ (ELC) 起動によりスキャン変換を行う場合のタイミングを示します。また、図 30.25 に、非同期トリガ (ADTRG0) 起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 ( $t_{SCAN}$ ) はスキャン変換開始遅延時間 ( $t_D$ )、断線検出アシスト処理時間 ( $t_{DIS}$ ) (注 1)、自己診断変換時間 ( $t_{DIAG}$  および  $t_{DSD}$ ) (注 2)、A/D 変換処理時間 ( $t_{CONV}$ )、スキャン変換終了遅延時間 ( $t_{ED}$ ) を含めた時間となります。

A/D 変換処理時間 ( $t_{CONV}$ ) は、入力サンプリング時間 ( $t_{SPL}$ )、逐次変換時間 ( $t_{SAM}$ ) を合わせた時間となります。サンプリング時間 ( $t_{SPL}$ ) は、A/D コンバータ内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTR レジスタでサンプリング時間を調整することができます。

逐次変換時間 ( $t_{SAM}$ ) は以下の通りです。

- 14 ビット精度および高速モード選択時で 37.5 ステート (ADCLK)
- 14 ビット精度および低電流モード選択時で 46.5 ステート (ADCLK)
- 12 ビット精度および高速モード選択時で 31.5 ステート (ADCLK)
- 12 ビット精度および低電流モード選択時で 40.5 ステート (ADCLK)

スキャン変換時間を表 30.10 に示します。

選択チャンネル数が  $n$  のシングルスキャンのスキャン変換時間 ( $t_{SCAN}$ ) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \text{ (注 3)} \times n) + t_{ED}$$

連続スキャンの 1 サイクル目は、シングルスキャンの  $t_{SCAN}$  から  $t_{ED}$  を省いた時間です。連続スキャンの 2 サイクル目以降は、 $(t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \text{ (注 3)} \times n)$  固定となります。

注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$  となります。

温度センサまたは内部基準電圧を A/D 変換する場合のみ、15ADCLK ステートの自動ディスチャージ期間が入ります。

注 2. 自己診断機能を使用しない場合は、 $t_{DIAG} = 0$ 、 $t_{DSD} = 0$  となります。

注 3. 選択したすべてのチャンネルの入力サンプリング時間 ( $t_{SPL}$ ) が同じの場合、この要素は  $t_{CONV} \times n$  となります。チャンネルごとに異なるサンプリング時間の場合、この要素は選択したチャンネルごとに設定した  $t_{SPL}$  と  $t_{SAM}$  の和となります。

スキャン変換時間を表 30.10 に示します。



表 30.10 スキャン変換時間 (ADCLKとPCLKBのサイクル数)

項目			シンボル	種別/条件			単位
				同期トリガ	非同期トリガ	ソフトウェアトリガ	
スキャン開始処理時間 (注1)、(注2)	グループA優先制御動作によるグループAのA/D変換	グループB中断あり (グループAのA/D変換要因によってグループBを停止させた後、グループAを起動)	$t_D$	3PCLKB + 6ADCLK、 5PCLKB + 3ADCLK (注6)	—	—	サイクル
		グループB中断なし (グループAのA/D変換要因によって起動)		2PCLKB + 4ADCLK	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時		2PCLKB + 6ADCLK	4PCLKB + 6ADCLK	6ADCLK	
	上記以外			2PCLKB + 4ADCLK	2PCLKB + 4ADCLK	4ADCLK	
断線検出アシスト処理時間			$t_{DIS}$	ADNDIS[3:0]設定値 (初期値00h) × ADCLK (注3)			
自己診断変換処理時間 (注1)	サンプリング時間		$t_{DIAG}$	$t_{SPL}$	ADSSTRn (n = 0 ~ 10, L, T, O) 設定値 (初期値 : 0Dh) × ADCLK (注4) + 0.5ADCLK (注4)		
	逐次変換時間	12ビット変換精度			$t_{SAM}$	高速モードで31.5ADCLK 低電流モードで40.5ADCLK	
		14ビット変換精度		高速モードで37.5ADCLK 低電流モードで46.5ADCLK			
	自己診断変換終了からアナログチャネルサンプリング開始までの待機時間				$t_{DED}$	2ADCLK	
連続スキャンモードでの最後のチャネル変換終了から自己診断サンプリング開始までの待機時間			$t_{DSD}$	2ADCLK			
A/D変換処理時間 (注1)	サンプリング時間		$t_{CONV}$	$t_{SPL}$	ADSSTRn (n = 0 ~ 10, L, T, O) 設定値 (初期値 = 0Dh) × ADCLK		
	逐次変換時間	12ビット変換精度			$t_{SAM}$	高速モードで31.5ADCLK 低電流モードで40.5ADCLK	
		14ビット変換		高速モードで37.5ADCLK 低電流モードで46.5ADCLK			
スキャン終了処理時間 (注1)			$t_{ED}$	1PCLKB + 3ADCLK、 2PCLKB + 3ADCLK (注6)			

注 1.  $t_D$ 、 $t_{SPLSH}$ 、 $t_{DIAG}$ 、 $t_{CONV}$ 、 $t_{ED}$  の各タイミングについては、[図 30.24](#)、[図 30.25](#) を参照してください。

注 2. ソフトウェア書き込み、またはトリガ入力から A/D 変換開始までの最大時間です。

注 3. 温度センサ出力または内部基準電圧を A/D 変換する場合、値は 0Fh (15ADCLK) 固定です。

注 4. 必要なサンプリング時間 (ns) は、電圧条件によって指定されます。サンプリング時間は、必要時間を超えないように設定する必要があります。

注 5. タイマ出力からトリガ入力までの経路で使われる時間は含みません。

注 6. ADCLK が PCLKB (PCLKB/ADCLK の分周率 = 1 : 2 または 1 : 4) より速い場合。

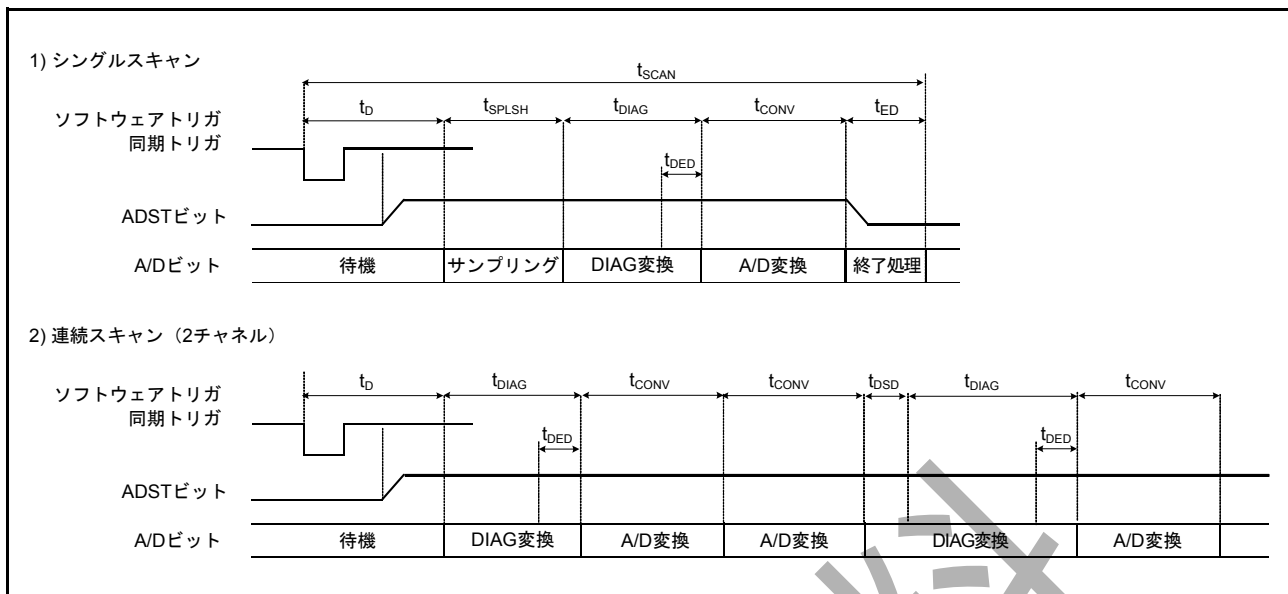


図 30.24 スキャン変換のタイミング (ソフトウェア起動、同期トリガ入力 (ELC) 起動の場合)

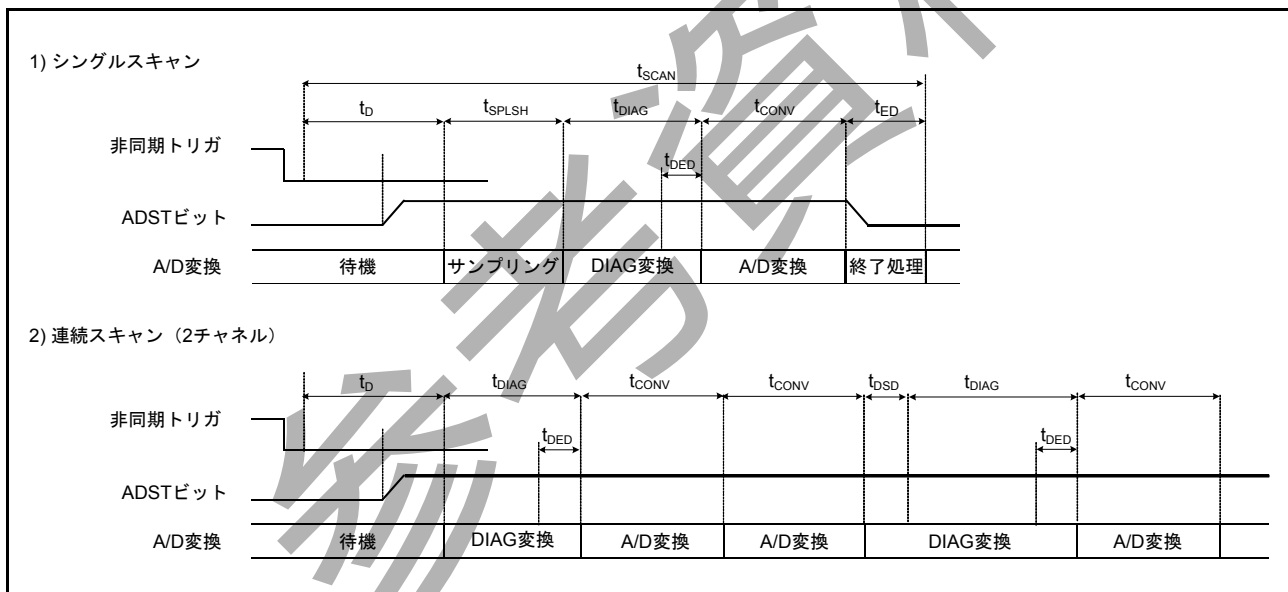


図 30.25 スキャン変換のタイミング (非同期トリガ入力 (ADTRG0) 起動の場合)

### 30.3.7 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを1にすることにより、CPU または DTC によって A/D データレジスタ (ADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR) を読み出す際、自動的に ADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR レジスタを 0000h にクリアできます。この機能を使うことにより、ADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR レジスタの未更新故障を検出することができます。以下に、ADDRy レジスタの自動クリア機能が無効時と有効時の例をそれぞれ示します。

- ADCER.ACE ビットが 0 (自動クリア禁止) の場合に、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、ADDRy レジスタの値は古いデータ (0111h) を保持します。さらに、A/D スキャン終了割り込みによってこの ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) を汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを SRAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。
- ADCER.ACE ビットが 1 (自動クリア許可) の場合には、ADDRy = 0111h を CPU または DTC により読み出す際、ADDRy レジスタは自動的に 0000h にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合は、0000h が汎用レジスタに保持されます。読み出されたデータ値が 0000h であることをチェックすることで、ADDRy レジスタの未更新障害があったことを判断できます。

### 30.3.8 A/D 変換値加算／平均モード

A/D 変換値加算／平均モードは、選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧の A/D 変換の選択時に使用できます。

A/D 変換値加算モードは、同じチャンネルを 1、2、3、4、または 16 (注 1) 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均モードは、同じチャンネルを 2 回または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が向上します。ただし、A/D 変換精度が必ず向上することを保証する機能ではありません。

A/D 変換値加算／平均モードは、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換に使用できます。

注 1. 12 ビット精度を選択している場合、設定できる加算回数は 16 回のみです。

### 30.3.9 断線検出アシスト機能

ADC14は、A/D変換開始前に、サンプリング容量の電荷を所定の状態（VREFH0またはVREFL0）に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 30.26 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。図 30.27 にプリチャージを選択した場合の断線検出例を示します。図 30.28 にディスチャージを選択した場合の断線検出例を示します。

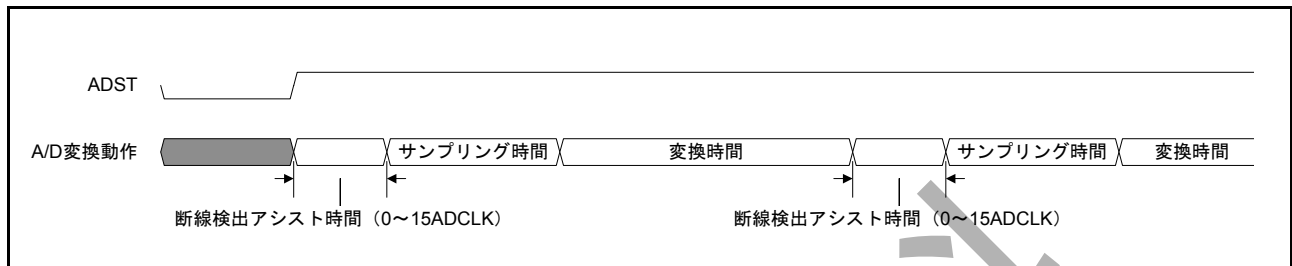


図 30.26 断線検出アシスト機能を使用した場合の A/D 変換動作図

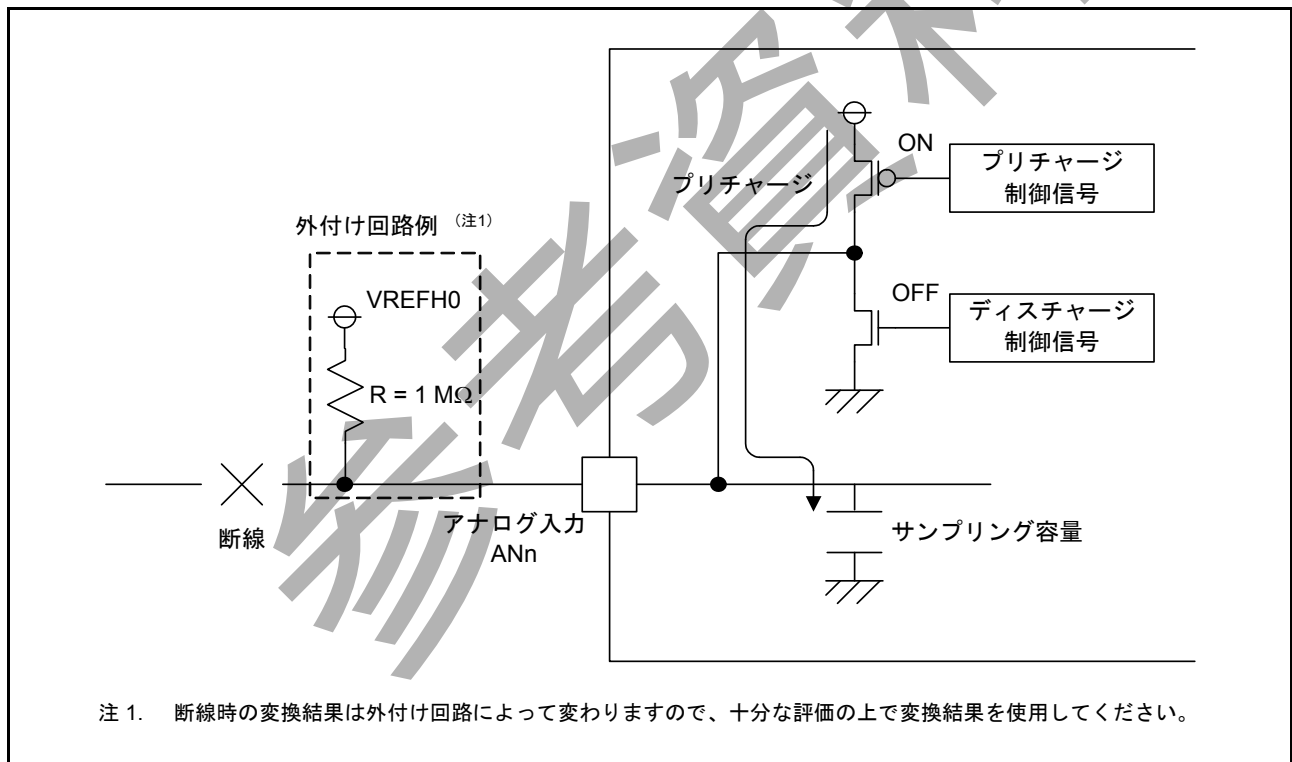


図 30.27 プリチャージを選択した場合の断線検出例

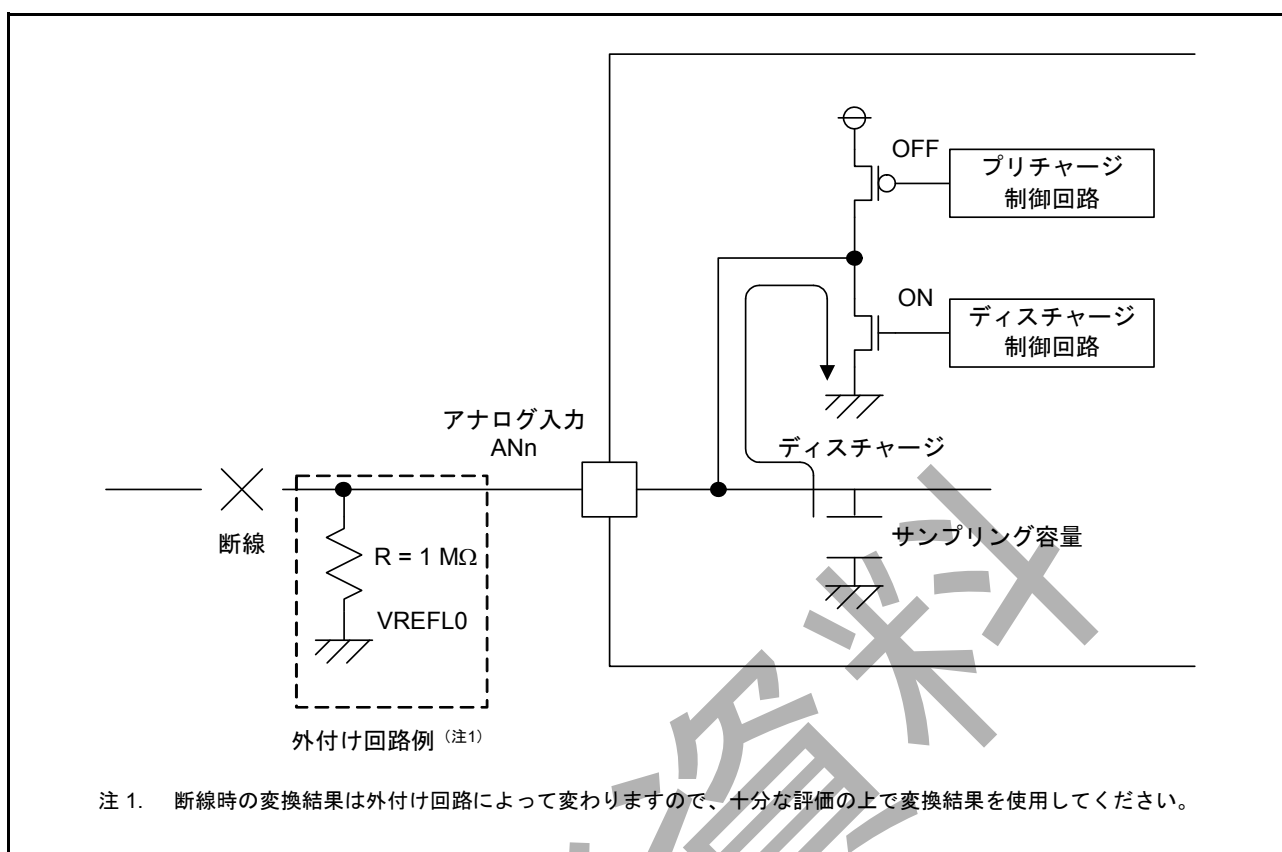


図 30.28 ディスチャージを選択した場合の断線検出例

### 30.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合は、まず PmnPFS レジスタで端子機能を設定し、次に、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を 000000b にしてから、非同期トリガ (ADTRG0 端子) に High を入力した後、ADCSR.TRGE ビットと ADCSR.EXTRG ビットをどちらも 1 にしてください。図 30.29 に非同期トリガ入力タイミングを示します。

非同期トリガは、グループスキャンモードで使用するグループ B の A/D 変換開始トリガ選択ビット (ADSTRGR.TRSB[5:0]) では選択できません。端子機能の設定については、「16. I/O ポート」を参照してください。

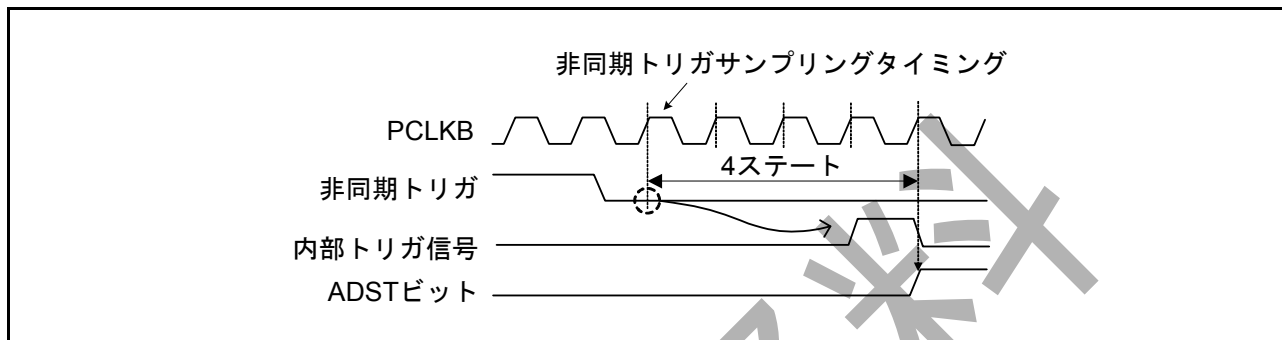


図 30.29 非同期トリガ入力タイミング

### 30.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

A/D 変換は同期トリガ (ELC) によって開始できます。同期トリガで A/D 変換を開始するには、ADCSR.TRGE ビットを 1 にし、ADCSR.EXTRG ビットを 0 にクリアして、ADSTRGR.TRSA[5:0] ビットおよび ADSTRGR.TRSB[5:0] ビットで該当の要因を選択してください。

## 30.4 割り込み要因と DTC 転送要求

### 30.4.1 割り込み要求

ADC14 は、スキャン終了割り込み要求である ADC140\_ADI、ADC140\_GBADI 割り込みを CPU へ送信することができます。また、比較条件成立で、CPU への ADC140\_CMPAI/ADC140\_CMPBI 割り込みを発生させます。

ADC140\_ADI 割り込みは常時発生します。ADC140\_GBADI 割り込みは、ADCSR.GBADIE ビットを 1 にすることで発生させることができます。同様に、ADC140\_CMPAI および ADC140\_CMPBI 割り込みは ADCMPCR.CMPIE ビットを 1 にすることで発生させることができます。

また、ADC140\_ADI または ADC140\_GBADI 割り込み発生時に DTC を起動できます。ADC140\_ADI または ADC140\_GBADI 割り込みで変換されたデータの読み出しを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 30.11 割り込み要因およびADC14のELCイベント

○：使用可能 X：使用不可

動作			割り込み要求または ELC イベント	割り込み要求	DTCの起動	ELCイベント発生	機能
スキャンモード	ダブルトリガモード	コンペア機能ウィンドウ A/B					
シングルスキャンモード	非選択	非選択	ADC140_ADI	○	○	○	シングルスキャンの最後にADC140_ADI発生
		選択	ADC140_ADI	○	○	○	シングルスキャンの最後にADC140_ADI発生
			ADC140_CMPAI	○	X	X	ウィンドウAの比較条件一致でADC140_CMPAI発生
			ADC140_CMPBI	○	X	X	ウィンドウBの比較条件一致でADC140_CMPBI発生
			ADC140_WCMPPM	X	○	○	ウィンドウA/Bコンペア機能の条件一致でADC140_WCMPPM発生
		ADC140_WCMPUM	X	○	○	ウィンドウA/Bコンペア機能の条件不一致でADC140_WCMPUM発生	
	選択	非選択	ADC140_ADI	○	○	○	2回のスキャンの最後にADC140_ADI発生
連続スキャンモード	非選択	非選択	ADC140_ADI	○	○	○	選択したすべてのチャンネルのスキャン終了時にADC140_ADI発生
		選択	ADC140_CMPAI	○	X	X	ウィンドウAの比較条件一致でADC140_CMPAI発生
			ADC140_CMPBI	○	X	X	ウィンドウBの比較条件一致でADC140_CMPBI発生
グループスキャンモード	非選択	非選択	ADC140_ADI	○	○	○	グループAのスキャン終了時にADC140_ADI発生
			ADC140_GBADI	○	○	X	グループBのスキャン終了時にグループB用のADC140_GBADI発生
		選択	ADC140_ADI	○	○	○	グループAのスキャン終了時にADC140_ADI発生
			ADC140_GBADI	○	○	X	グループBのスキャン終了時にグループB用のADC140_GBADI発生
	選択	非選択	ADC140_CMPAI	○	X	X	ウィンドウAの比較条件一致でADC140_CMPAI発生
			ADC140_CMPBI	○	X	X	ウィンドウBの比較条件一致でADC140_CMPBI発生
			ADC140_ADI	○	○	○	2回のグループAのスキャン終了時にADC140_ADI発生
		ADC140_GBADI	○	○	X	グループBのスキャン終了時にグループB用のADC140_GBADI発生	

DTC の設定値詳細は、「14. データトランスファコントローラ (DTC)」を参照してください。

## 30.5 イベントリンク機能

### 30.5.1 ELC へのイベント出力

ELC は、ADC140\_ADI 割り込み要求信号をイベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ADC140\_GBADI 割り込みおよび ADC140\_CMPAI/ADC140\_CMPBI 割り込みをイベント信号として使用することはできません。詳細は、表 30.11 を参照してください。

### 30.5.2 ELC からのイベントによる ADC14 の動作

ADC14 は、ELC の ELSRn 設定に応じた事前設定イベント信号 (ELC\_AD00 および ELC\_AD01) によって A/D 変換を開始できます。ELSR8 レジスタは ELC\_AD00 信号を、ELSR9 レジスタは ELC\_AD01 信号を選択します。

ELC\_AD00 は ELC.ELSR8 レジスタで、ELC\_AD01 は ELC.ELSR9 レジスタで選択する信号です。

A/D 変換中に ELC\_AD00/ELC\_AD01 のイベントが発生した場合、そのイベントは無視されます。

## 30.6 基準電圧の選択

ADC14 は高電位基準電圧に VREFH0 または AVCC0 を、内部基準電圧および低電位基準電圧に VREFL0 または AVSS0 を選択できます。これらの設定は A/D 変換開始前に行ってください。

## 30.7 高電位基準電圧に内部基準電圧を選択する A/D 変換手順

ここでは、高電位基準電圧に内部基準電圧を選択したときの A/D 変換手順について説明します。この場合、AN000 ~ AN010 および AN016 ~ AN022 のチャンネルに対しての A/D 変換は可能ですが、内部基準電圧および温度センサ出力の A/D 変換は実行できません。

1. ADHVREFCNT.HVSEL[1:0] を 11b にして、ADC14 の高電位基準電圧パスをディスチャージしてください。
2. 1 $\mu$ s のディスチャージ時間待機してください。
3. ADHVREFCNT.HVSEL[1:0] を 10b にして、高電位基準電圧に内部基準電圧を選択してください。

注 . ADC14 はプロテクト機能を有しており、VREFH0 (ADHVREFCNT.HVSEL[1:0] = 01b) や AVCC0 (ADHVREFCNT.HVSEL[1:0] = 00b) 選択からディスチャージ (ADHVREFCNT.HVSEL[1:0] = 11b) を経ずに内部基準電圧 (ADHVREFCNT.HVSEL[1:0] = 10b) を選択することはできません。ディスチャージを経ずに内部基準電圧を設定した場合は、強制的にディスチャージの設定を行います。1 $\mu$ s 後、再度、内部基準電圧の選択を行ってください。

4. 内部基準電圧が安定するまで待機してから (5 $\mu$ s)、A/D 変換を実行してください。



高電位基準電圧に内部基準電圧を選択する手順の波形図を図 30.30 に示します。

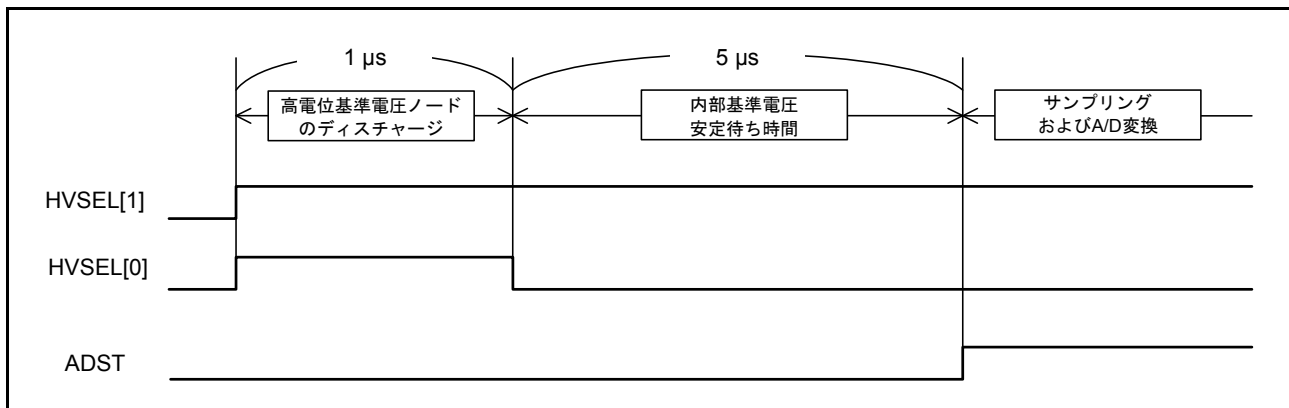


図 30.30 高電位基準電圧に内部基準電圧を選択する手順

## 30.8 使用上の注意事項

### 30.8.1 データレジスタの読み出し注意事項

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D 自己診断データレジスタ

バイト単位で上位バイト / 下位バイトの 2 回に分けてレジスタを読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が一致しないことがあります。これを避けるため、バイト単位のデータレジスタの読み出しは行わないでください。

### 30.8.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、図 30.31 のフローチャートの手順に従ってください。

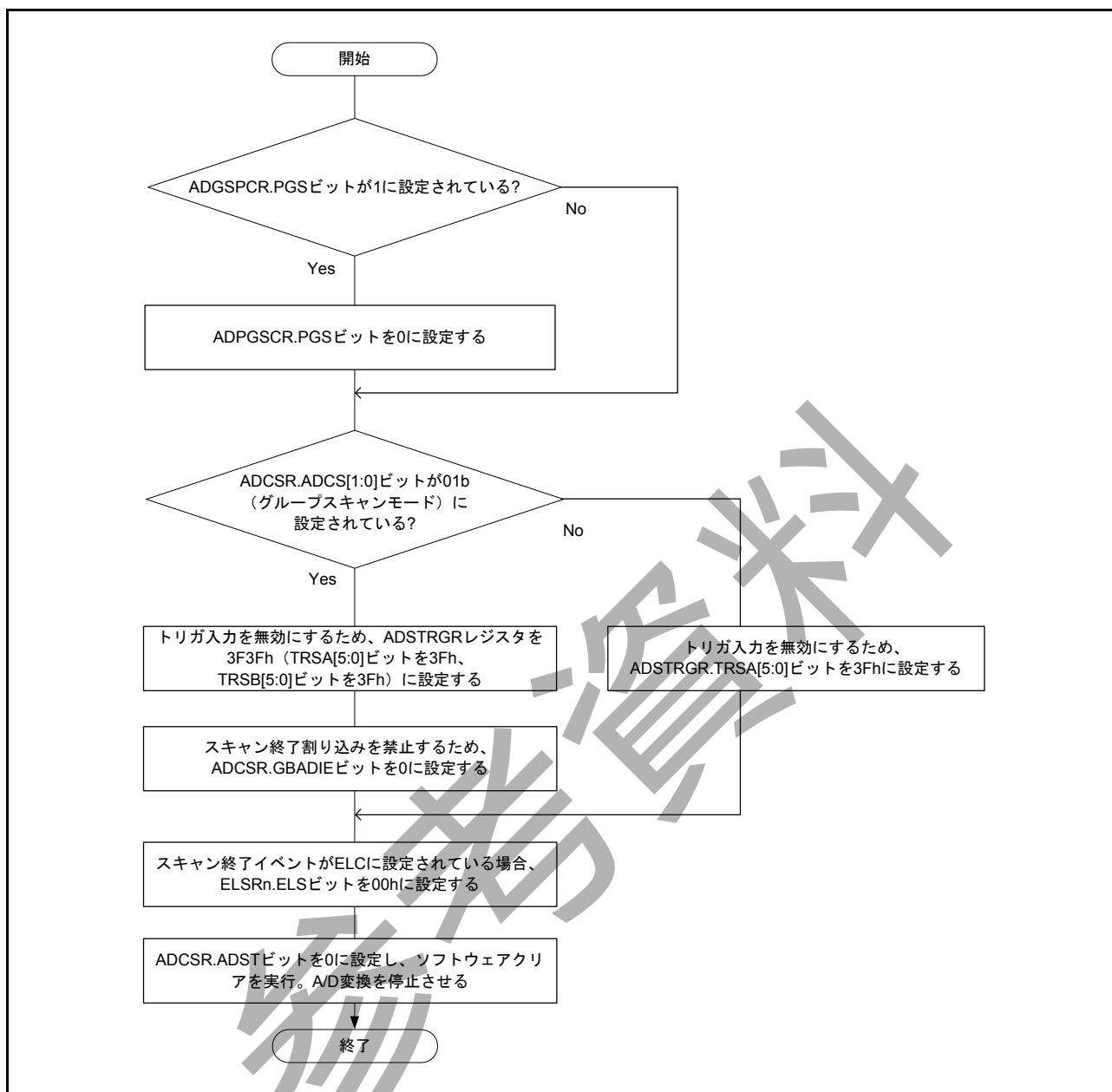


図 30.31 ソフトウェアによる ADCSR.ADST ビットのクリア手順

### 30.8.3 A/D 変換強制停止と再開時の動作タイミング

ADC14 の停止状態のアナログ部を ADCSR.ADST ビットへの 1 書き込み時に再開するには、ADCLK で最大 6 クロックの時間を必要とします。ADC14 の動作中のアナログ部を ADCSR.ADST ビットへの 0 書き込み時に強制終了するには、ADCLK で最大 3 クロックの時間を必要とします。

### 30.8.4 スキャン終了割り込み処理の制約

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。この現象は、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていない場合に発生します。

### 30.8.5 モジュールストップ状態の設定

モジュールストップコントロールレジスタによって、ADC14の動作を禁止/許可することが可能です。ADC14は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 $\mu$ s以上待つてからA/D変換を開始してください。詳細は、「10. 低消費電力モード」を参照してください。

### 30.8.6 低消費電力状態への遷移時の制約

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前にA/D変換を停止させてください。ADCSR.ADSTビットを0にし、ADC14のアナログ部が停止するまでの時間を確保する必要があります。ADCSR.ADSTビットをクリアするには、[図 30.31](#)に示す手順に従ってください。その後、ADCLKの3クロック期間待った後、モジュールストップ状態やソフトウェアスタンバイモードへ遷移させてください。

### 30.8.7 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、ADC14の絶対精度誤差が生じます。この誤差は、アナログ入力端子にプルアップ/プルダウン抵抗 ( $R_p$ ) と信号源抵抗 ( $R_s$ ) の抵抗分圧分の誤差電圧が入力されるために生じます。絶対精度の誤差は下式で表されます。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s/R_p$$

断線検出アシスト機能は、十分な評価の上で使用してください。

### 30.8.8 ADHSC ビット書き換え手順

A/D変換選択ビット (ADCSR.ADHSC) を0から1または1から0に書き換える場合、事前にADC14をスタンバイ状態にしておく必要があります。ADCSR.ADHSCビットは下記の手順で変更してください。スリープビット (ADHVREFCNT.ADSL P) を0にしてから1 $\mu$ s以上待つてからA/D変換を開始してください。

[ADCSR.ADHSC ビット書き換え手順]

1. スリープビット (ADHVREFCNT.ADSL P) を1にします。
2. 0.2 $\mu$ s以上待つてからA/D変換選択ビット (ADCSR.ADHSC) を変更してください。
3. 4.8 $\mu$ s以上待つてからスリープビット (ADHVREFCNT.ADSL P) を0にしてください。

- 注 1. A/D変換選択ビット (ADCSR.ADHSC) を変更する場合以外でスリープビット (ADHVREFCNT.ADSL P) を1にしないでください。
- 注 2. A/D変換選択ビット (ADCSR.ADHSC) が1の場合はスリープビットをリセットしないでください。本ビットを0にした後、または動作モードがモジュールストップモードに遷移した後は、ADCSR.ADHSCビットの書き換え手順に従いスリープビットをリセットしてください。

### 30.8.9 動作モードおよびステータスビット

自己診断の電圧値、ダブルトリガモードでの1回目または2回目のスキュアの判定、データバッファポインタ、コンペア機能のステータスマニタについては、それぞれ必要に応じて初期化または再設定を行ってください。

- 自己診断の電圧値 (ADCER.DIAGVAL[1:0]) は、ADCER.DIAGLD を 1 に設定してから選択してください。
- ダブルトリガモードは、ADCSR.DBLE を 0 から 1 にした後、1 回目のスキュアとして動作します。
- コンペア機能のステータスマニタビット (MONCMPA、MONCMPB、および MONCMPA) は、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にした後、初期化されます。
- 常時サンプリング機能 (ADSHMSR.SHMD = 1) は、ADSHMSR.SHMD を 0 にした後、初期化されます。常時サンプリング機能を再び使用する場合 (ADSHMSR.SHMD を 1 にする)、ADCLK で 1 サイクル以上待機する必要があります。

### 30.8.10 ノイズ軽減

過剰電圧などの異常電圧によってアナログ入力端子 (AN000 ~ AN010、AN016 ~ AN022) が破壊されないように、AVCC0 および AVSS0 間、ならびに VREFH0 および VREFL0 間にコンデンサを設置する必要があります。また、アナログ入力端子 (AN000 ~ AN010、AN016 ~ AN022) を保護するために、図 30.32 に示すように保護回路を接続してください。

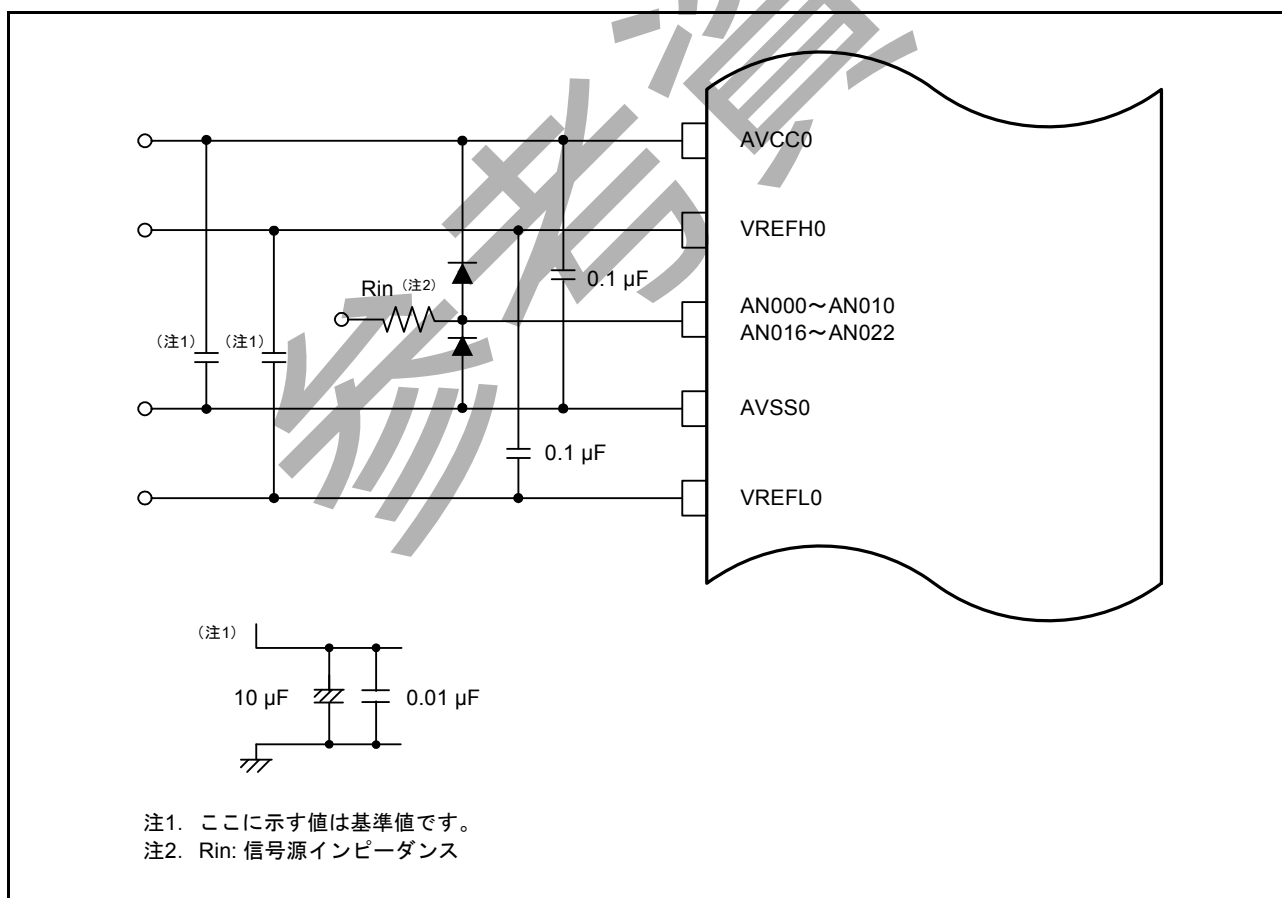


図 30.32 アナログ入力用保護回路例

### 30.8.11 ADC14 入力使用時のポート設定

ADC14 を使用する場合は、ポート 0 を出力ポートとして使用しないでください。ポート 5 および P100 ~ P103 は、出力ポートに使用しないことを推奨します。ポート 5 および P100 ~ P103 を出力信号として使用する場合は、A/D 変換を複数回実施し、最大値と最小値を除いて平均をとるなどの対策を行ってください。

### 30.8.12 A/D コンバータと ACMPLP の関係

表 30.12 に示す A/D 変換対象は、A/D 変換中の ACMPLP 入力に選択できません。

表 30.12 A/D 変換中に選択できないACMPLP端子一覧

A/D変換対象	ACMPLP
AN019	CMPREF1
AN020	CMPIN1
AN021	CMPREF0
AN022	CMPIN0

### 30.8.13 ソフトウェアスタンバイモードの解除についての注意事項

ソフトウェアスタンバイモードから通常モードへの遷移後は、1 $\mu$ s 待ってから A/D 変換を開始してください。

## 31. 12ビットD/Aコンバータ (DAC12)

### 31.1 概要

表 31.1 に DAC12 の仕様を、図 31.1 に DAC12 のブロック図を示します。

表 31.1 12ビットD/Aコンバータの仕様

項目	内容
分解能	12ビット
出力チャンネル	1チャンネル
アナログモジュール間の干渉低減	D/A変換回路とA/D変換回路の干渉を低減 D/A変換データ更新タイミングは、ADC14からの同期D/A変換許可入力信号により制御され、これにより、DAC12ラッシュカレントのA/D変換精度に及ぼす影響を低減する
モジュールストップ機能	モジュールストップ状態を設定して消費電力を低減することが可能
イベントリンク機能 (入力)	イベント信号の入力により、DA0変換の開始が可能

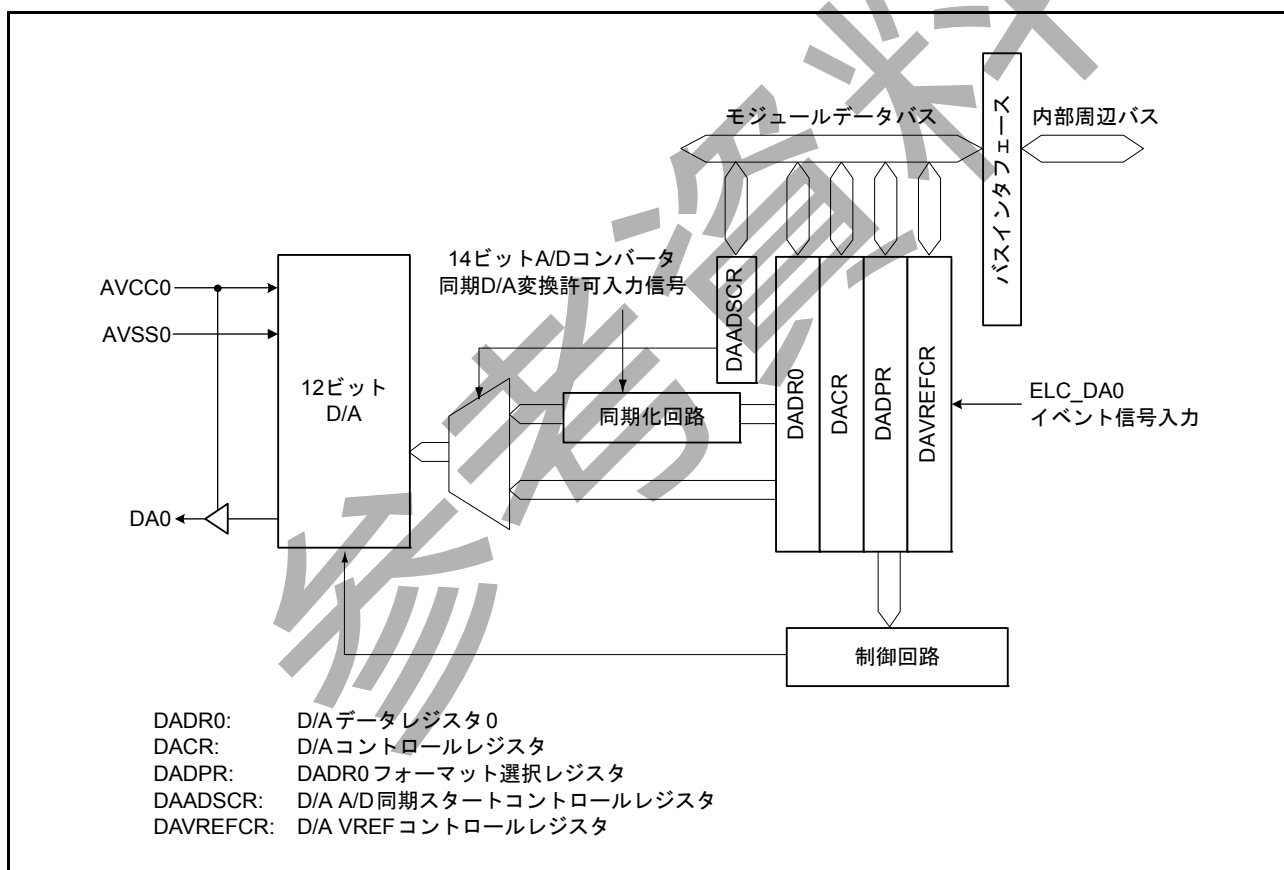


図 31.1 DAC12のブロック図

表 31.2 に DAC12 の入出力端子を示します。

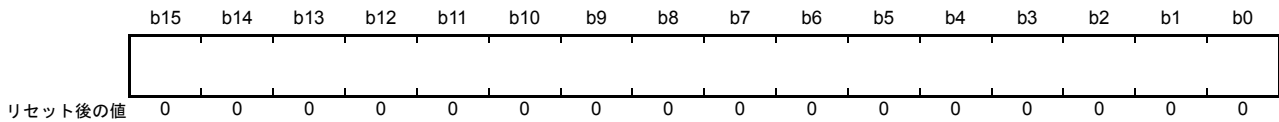
表 31.2 DAC12の入出力端子

端子名	入出力	機能
AVCC0	入力	<ul style="list-style-type: none"> <li>ADC14とDAC12用のアナログ電源およびアナログ基準電圧端子</li> <li>これらのモジュールを使用しない場合は、VCCに接続してください。</li> </ul>
AVSS0	入力	<ul style="list-style-type: none"> <li>ADC14とDAC12用のアナロググランド端子およびアナログ基準グランド端子</li> <li>これらのモジュールを使用しない場合は、VSSに接続してください。</li> </ul>
DA0	出力	チャンネル0のアナログ出力端子

## 31.2 レジスタの説明

### 31.2.1 D/A データレジスタ 0 (DADR0)

アドレス [DAC12.DADR0 4005 E000h](#)

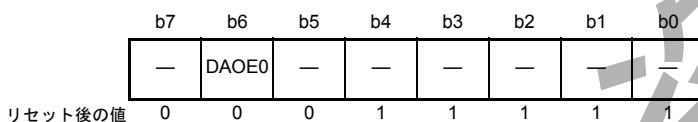


DADR0 レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し/書き込みレジスタです。アナログ出力を許可すると、DADR0 レジスタの値が変換されアナログ出力端子に出力されます。

12 ビットデータを左詰めにするか右詰めにするかは、DADPR.DPSEL ビットで設定できます。右詰め形式 (DADPR.DPSEL = 0) では、下位 12 ビット (b11 ~ b0) が有効です。左詰め形式 (DADPR.DPSEL = 1) では、上位 12 ビット (b15 ~ b4) が有効です。

### 31.2.2 D/A コントロールレジスタ (DACR)

アドレス [DAC12.DACR 4005 E004h](#)



ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	DAOE0	D/A出力許可0	0: チャンネル0のアナログ出力 (DA0) を禁止 1: チャンネル0のD/A変換およびアナログ出力を許可	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

本レジスタは、D/A 変換と A/D 変換の干渉低減が有効 (DAADSCR.DAADST = 1) の状態で、ADC14 が停止中 (ADCSR.ADST = 0) かつ ADC14 トリガとしてソフトウェアトリガが選択されている場合のみ設定してください。

#### DAOE0 ビット (D/A 出力許可 0)

DAOE0 ビットは D/A 変換とアナログ出力を許可します。本レジスタは、D/A 変換と A/D 変換の干渉低減が有効 (DAADSCR.DAADST = 1) の状態で、ADC14 が停止中 (ADCSR.ADST = 0) かつ ADC14 トリガとしてソフトウェアトリガが選択されている場合のみ DAOE0 ビットを設定してください。

イベントリンク機能により DAOE0 ビットを 1 にできます。ELC\_DA0 の ELSR12 レジスタで指定されたイベントが発生すると、DAOE0 ビットが 1 になります。

### 31.2.3 DADR0 フォーマット選択レジスタ (DADPR)

アドレス DAC12.DADPR 4005 E005h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DPSEL	DADR0 フォーマット選択	0: 右詰め 1: 左詰め	R/W

### 31.2.4 D/A A/D 同期スタートコントロールレジスタ (DAADSCR)

アドレス DAC12.DAADSCR 4005 E006h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DAADST	D/A A/D同期変換	0: DAC12はADC14の動作と同期しない (D/A変換とA/D変換の干渉低減が無効) 1: DAC12はADC14の動作と同期する (D/A変換とA/D変換の干渉低減が有効)	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉低減のため、D/A 変換開始を ADC14 からの同期 D/A 変換許可入力信号に同期させるかさせないかを選択します。本レジスタは、ADC14 が停止中 (ADCSR.ADST = 0) かつ ADC14 トリガとしてソフトウェアトリガが選択されている場合のみ設定してください。

#### DAADST ビット (D/A A/D 同期変換)

DAADST ビットを 0 にすると、DADR0 レジスタの値を随時 D/A 変換します。DAADST ビットを 1 にすると、ADC14 からの同期 D/A 変換許可入力信号に同期して D/A 変換が行われます。すなわち、このビットを設定した場合、DADR0 レジスタの値を書き換えても、ADC14 の A/D 変換が終了するまで D/A 変換は行われません。

本ビットは、ADC14 が停止中 (ADCSR.ADST = 0) かつ ADC14 トリガとしてソフトウェアトリガが選択されている場合のみ設定してください。

なお、DAADST ビットを 1 にした場合は、イベントリンク機能は使用できません。ELC の ELSR12 レジスタでイベントリンク機能を停止に設定してください。



## 31.2.5 D/A VREF コントロールレジスタ (DAVREFCR)

アドレス DAC12.DAVREFCR 4005 E007h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	REF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	REF	D/A基準電圧選択	0: 基準電圧を選択しない 1: AVCC0/AVSS0を選択	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

D/A VREF コントロールレジスタ (DAVREFCR) は、DAC12 の基準電圧を選択します。

**REF ビット (D/A 基準電圧選択)**

REF ビットは、DAC12 の基準電圧を選択します。ビット値を変更する場合は本ビットを0にしてから変更してください。A/D 変換中は、本レジスタを書き換えないでください。書き換えた場合、A/D 変換の精度は保証されません。

### 31.3 動作説明

DAC12は、1つのチャンネルに対して複数のD/A変換回路を備えています。DACR.DAOE0ビットを1にすると、DAC12が有効になり、変換結果が出力されます。以下にチャンネル0でのD/A変換例を示します。このときの動作タイミングを図31.2に示します。

チャンネル0でD/A変換を実行する場合：

1. DADR0レジスタにD/A変換を行うためのデータ、DADPR.DPSELビットにデータフォーマットを設定します。
2. DACR.DAOE0ビットを1にすると、D/A変換を開始します。tD CONV 時間経過後、変換結果をアナログ出力端子DA0より出力します。DADR0レジスタを書き換えるか、DAOE0ビットを0にするまで、この変換結果が出力され続けます。出力値は以下の式で計算します。

$$\frac{\text{DADR0の設定値}}{4,096} \times AVCC0$$

3. 別の変換を開始するには、別の値をDADR0へ書き込みます。tD CONV 時間経過後、変換結果が出力されます。DAADSCR.DAADSTビットが1（D/A変換とA/D変換の干渉低減が有効）の場合、D/A変換開始まで最大でA/D変換1回分の時間が必要です。ADCLKが周辺クロックよりも速い場合は、さらに時間が必要となる場合があります。
4. アナログ出力を禁止する場合は、DAOE0ビットを0にしてください。

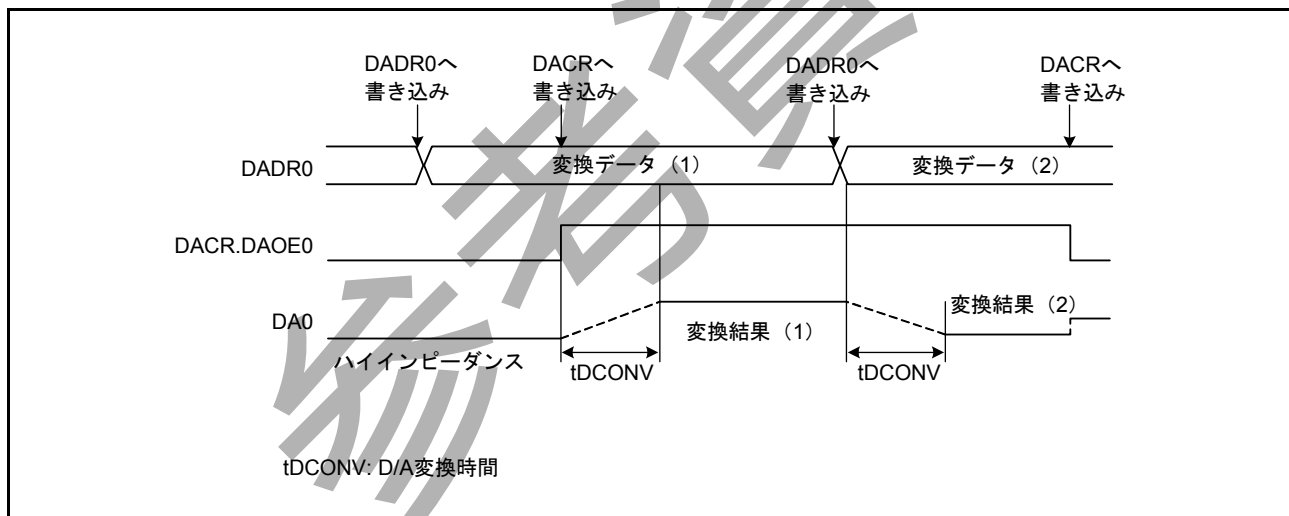


図 31.2 DAC12 の動作例

### 31.3.1 D/A変換とA/D変換の干渉の最小化

D/A変換が始まるとDAC12はラッシュカレントを発生させます。DAC12とADC14のアナログ電源が共通のため、発生したラッシュカレントが14ビットA/D変換に干渉することがあります。

DAADSCR.DAADSTビットが1の場合、DADR0レジスタのデータが変更されても、D/A変換はすぐには実施されません。その代わりに、

- ADC14が停止中にDADR0レジスタのデータが変更されても、1PCLKBサイクル後にD/A変換が開始されます。
- ADC14が14ビットA/D変換実行中にDADR0レジスタのデータが変更された場合、A/D変換完了時にD/A変換が開始されます。したがって、DADR0レジスタデータの更新がD/A変換回路の出力に反映されるまで、最大でA/D変換1回分の間の時間が必要です。D/A変換が完了するまでの間、DADR0レジスタ値とアナログ出力値は一致しません。

DAADSCR.DAADSTビットが1のときに、DADR0レジスタの値がD/A変換されたかどうかをソフトウェアで確認する手段はありません。

以下にDAC12をADC14に同期して動作させる場合のD/A変換例を示します。このときの動作タイミングを図31.3に示します。

ADC14に同期してD/A変換を実行する場合：

1. ADC14が停止中であることを確認し、DAADSCR.DAADSTビットを1にする。
2. ADC14が停止中であることを確認し、DACR.DAEO0ビットを1にする。
3. DADR0レジスタを設定する。ADCLKが周辺クロックよりも速い場合は、D/A変換は、A/D変換1回分以上待たされる場合があります。
  - DADR0レジスタを書き換えたとき、ADC14が停止していた場合 (ADCSR.ADSTビット=0)、1PCLKBサイクル後にD/A変換が開始されます。
  - DADR0レジスタを書き換えたとき、14ビットA/D変換中の場合 (ADCSR.ADSTビット=1)、A/D変換終了時にD/A変換が開始されます。A/D変換中に2回、DADR0レジスタを書き換えた場合、1回目の値は、D/A変換されないことがあります。

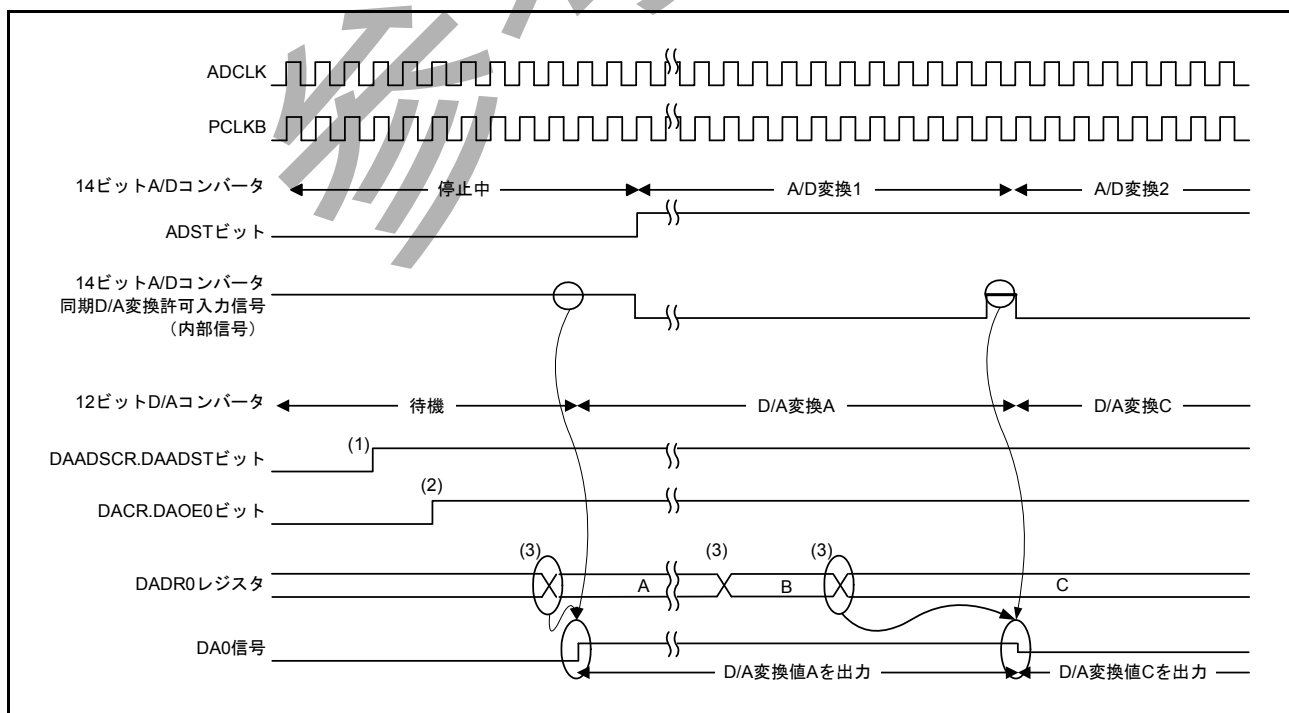


図 31.3 DAC12をADC14に同期して変換する例

図 31.4 に示すように、ADCLK が PCLKB よりも速い場合、A/D 変換 1 と A/D 変換 2 の間に出力される ADCLK 1 サイクル分の ADC14 からの同期 D/A 変換許可入力信号を DAC12 が取り込めない可能性があります。この場合、DA0 信号は D/A 変換値 A の出力を継続します。

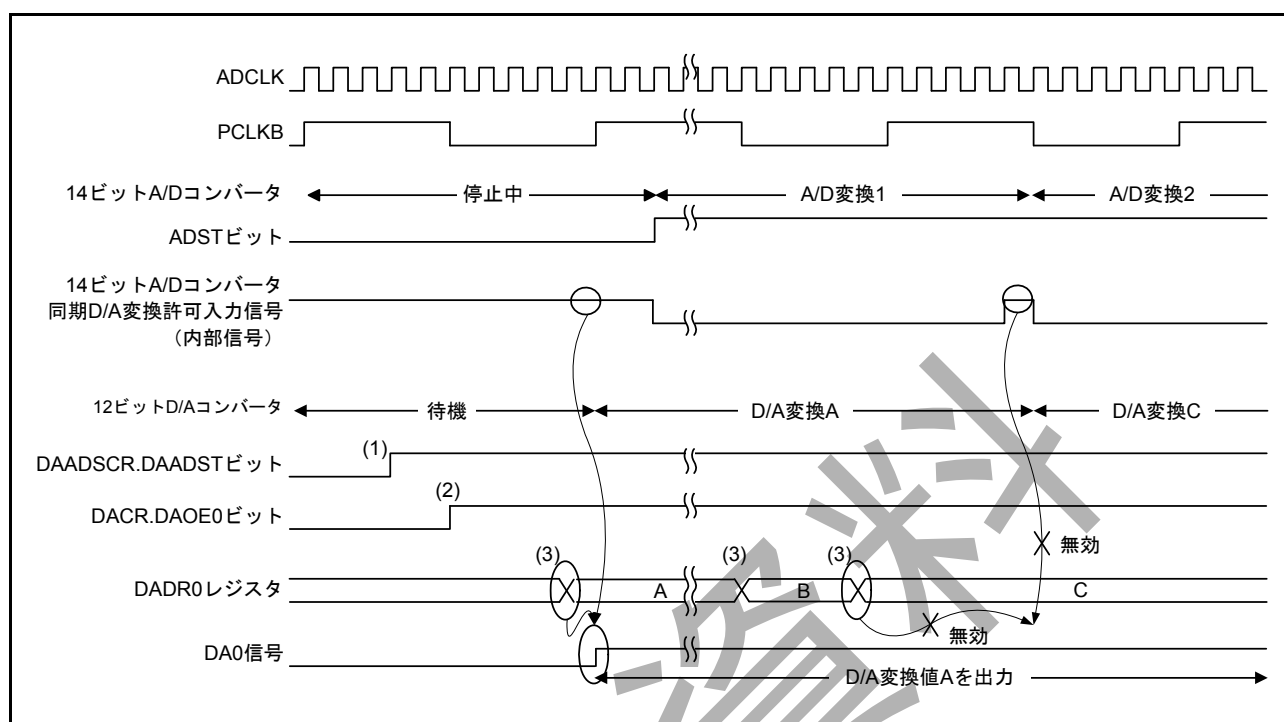


図 31.4 DAC12 が ADC14 からの同期 D/A 変換許可入力信号を取り込めない場合の例

### 31.4 イベントリンクの動作設定手順

イベントリンクの動作を設定する場合：

1. DADPR.DPSEL ビットを設定し、DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC\_DA0 イベント信号が ELSR12 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE0 ビットが 1 になり、チャンネル 0 の D/A 変換が開始されます。
5. DAC12 のチャンネル 0 のイベントリンク動作を停止するときは、ELSR12.ELS[7:0] ビットを 00h にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

### 31.5 イベントリンク動作における注意事項

- DACR.DAOE0 ビットへの書き込み実行中に ELC\_DA0 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります。
- D/A 変換と A/D 変換の干渉低減のため DAADSCR.DAADST ビットを 1 にしている場合、イベントリンク機能は使用禁止です。

### 31.6 使用上の注意事項

#### 31.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、DAC12 の動作禁止/許可を設定できます。DAC12 は、リセット後は動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

#### 31.6.2 モジュールストップ時の DAC12 の動作

D/A 変換を許可した状態で MCU がモジュールストップ状態になると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同様になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE0 ビットを 0 にして D/A 変換を禁止してください。

#### 31.6.3 ソフトウェアスタンバイモード時の DAC12 の動作

D/A 変換を許可した状態で MCU がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同様になります。ソフトウェアスタンバイモード時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE0 ビットを 0 にして D/A 変換を禁止してください。

#### 31.6.4 D/A 変換と A/D 変換の干渉低減有効時の制約

DAADSCR.DAADST ビットが 1 で、D/A 変換と A/D 変換の干渉低減が有効の場合、ADC14 をモジュールストップ状態にしないでください。A/D 変換が停止するだけでなく、D/A 変換も停止する可能性があります。

## 32. 温度センサ (TSN)

### 32.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサでチップの温度を決定し、監視することができます。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。

出力された電圧はADCで変換されてから、末端の応用機器で使用できます。

表 32.1 に温度センサの仕様を、図 32.1 に温度センサのブロック図をそれぞれ示します。

表 32.1 温度センサの仕様

項目	内容
温度センサ電圧出力	14ビットA/Dコンバータに電圧を出力

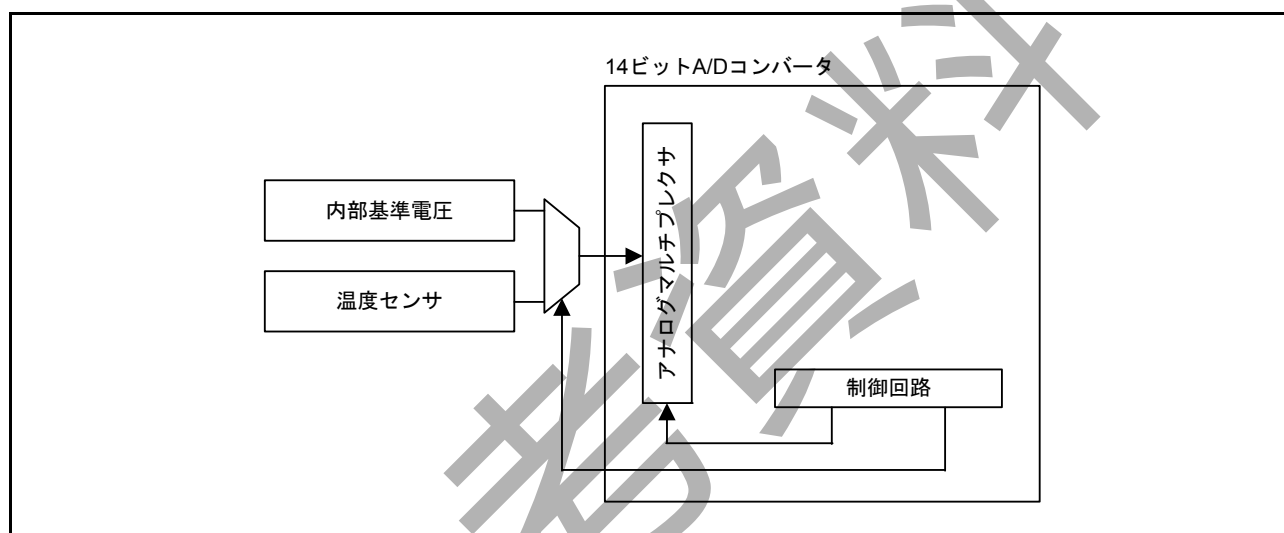


図 32.1 温度センサのブロック図

## 32.2 レジスタの説明

### 32.2.1 温度センサ補正データレジスタ H (TSCDRH)

アドレス TSN.TSCDRH 407E C228h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSCDRH[7:0]	温度センサ補正データ	変換後の値の上位4ビットを格納します。	R

### 32.2.2 温度センサ補正データレジスタ L (TSCDRL)

アドレス TSN.TSCDRL 407E C229h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSCDRL[7:0]	温度センサ補正データ	変換後の値の下位8ビットを格納します。	R

工場出荷時、TSCDRH レジスタおよび TSCDRL レジスタには、各 MCU 用に測定された温度センサ補正データが格納されています。温度センサ補正データは、温度センサが出力した電圧を、14 ビット A/D コンバータによって  $T_a = T_j = 125\text{ }^\circ\text{C}$  および  $AVCC0 = 3.3\text{V}$  の条件下で変換したデジタル値です。TSCDRH レジスタには変換値の上位 4 ビットが、TSCDRL レジスタには下位 8 ビットがそれぞれ格納されます。

### 32.3 温度センサの使用方式

温度センサが出力する電圧は、温度により変化します。この電圧は 14 ビット A/D コンバータでデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

#### 32.3.1 使用前の準備

温度 (T) はセンサの電圧出力 (Vs) と比例関係にあるため、以下の式で温度を求められます。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

- T : 測定温度 (°C)
- Vs : 温度測定時の温度センサの出力電圧 (V)
- T1 : 1 点目の試行測定時の温度 (°C)
- V1 : T1 測定時の温度センサの出力電圧 (V)
- T2 : 2 点目の試行測定時の温度 (°C)
- V2 : T2 測定時の温度センサの出力電圧 (V)
- Slope : 温度センサの温度傾斜 (V/°C)  $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$

温度特性はセンサによってばらつきがあります。そのため、以下のような 2 つの異なるサンプル温度の測定を推奨します。

1. まず、14 ビット A/D コンバータを使用して、温度 T1 のときの温度センサの出力電圧 V1 を測定します。
2. 次に、14 ビット A/D コンバータを再度使用して、温度 T1 と異なる温度 T2 のときの温度センサの出力電圧 V2 を測定します。
3. 両者の測定結果から、温度傾斜 ( $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$ ) を求めます。
4. この Slope の値を温度特性の式 ( $T = (V_s - V_1) / \text{Slope} + T_1$ ) に代入し、温度を求めます。

「41. 電気的特性」に記載の温度傾斜を用いる場合、温度 T1 のときの温度センサの出力電圧 V1 を 14 ビット A/D コンバータで測定し、以下の式により温度特性を算出します。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

注. この温度測定の精度は 2 点測定方法よりも劣ります。

本 MCU の TSCDRH レジスタおよび TSCDRL レジスタには、 $T_a = T_j = 125^\circ\text{C}$  および  $AVCC0 = 3.3\text{V}$  の条件下で測定された温度センサの温度値 (CAL125) が格納されています。この温度値を 1 点目のサンプル測定結果として使用する場合、温度センサ使用前の本準備を省略することができます。

本測定値 CAL125 は以下により算出します。

$$\text{CAL125} = \text{TSCDRH レジスタ値} \ll 8 + \text{TSCDRL レジスタ値}$$

V1 を CAL125 から算出する場合、

$$V_1 = 3.3 \times \text{CAL125} / 4096 \text{ [V]}$$

この値を用いて、以下の式により測定温度が算出できます。

$$T = (V_s - V_1) / \text{Slope} + 125 \text{ [}^\circ\text{C]}$$

- T : 測定温度 (°C)
- Vs : 温度測定時の温度センサの出力電圧 (V)
- V1 :  $T_a = T_j = 125^\circ\text{C}$  および  $AVCC0 = 3.3\text{V}$  のときの温度センサの出力電圧 (V)
- Slope : 温度センサの温度傾斜  $\div 1,000$  (V/°C)



図 32.2 に測定温度の誤差を示します。標準偏差は  $3\sigma$  です。

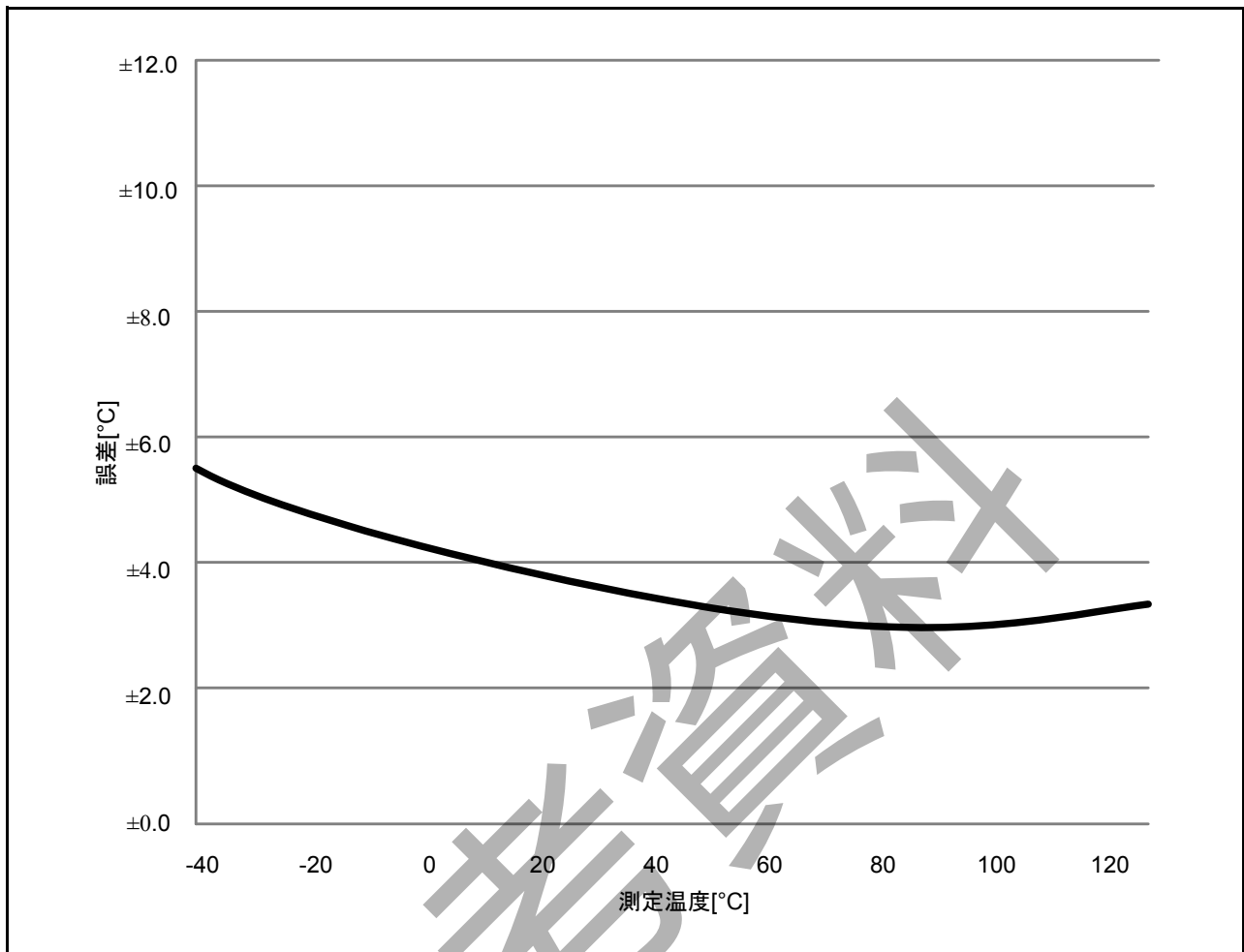


図 32.2 測定温度の誤差 (設計値)

### 32.3.2 温度センサの使用手順

詳細は、「30. 14 ビット A/D コンバータ (ADC14)」を参照してください。

### 33. 低消費電力アナログコンパレータ (ACMPLP)

低消費電力アナログコンパレータ (ACMPLP) は、基準入力電圧とアナログ入力電圧を比較します。コンパレータチャンネル ACMPLP0 と ACMPLP1 は、それぞれ独立しています。

#### 33.1 概要

基準入力電圧およびアナログ入力電圧の比較結果はソフトウェアで読み出すことができます。比較結果は外部に出力することもできます。基準入力電圧は、CMPREFi (i=0、1) 端子への入力または MCU の内部に生成された内部基準電圧 (Vref) から選択できます。

ACMPLP の応答速度は、動作開始前に設定可能です。高速モードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。低速モードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。

表 33.1 に ACMPLP の特長を示します。図 33.1 に、ウィンドウ機能が無効である場合の ACMPLP のブロック図を示します。図 33.2 に、ウィンドウ機能が有効である場合の ACMPLP のブロック図を示します。表 33.2 に ACMPLP の入出力端子を示します。

表 33.1 ACMPLP の特長

項目	内容
チャンネル数	2 (ACMPLP0 と ACMPLP1)
アナログ入力電圧	CMPINi (i=0、1) 端子からの入力
基準電圧	<ul style="list-style-type: none"> <li>内部基準電圧 (Vref)</li> <li>CMPREFi (i=0、1) 端子からの入力</li> </ul>
コンパレータ出力	<ul style="list-style-type: none"> <li>比較結果</li> <li>ELC イベント出力の発生</li> <li>レジスタからの出力監視</li> </ul>
割り込み要求信号	<ul style="list-style-type: none"> <li>比較結果の有効エッジ検出時に割り込み要求発生</li> <li>立ち上がりエッジ、立ち下がりエッジ、両エッジを選択可能</li> </ul>
選択可能な機能	<ul style="list-style-type: none"> <li>ノイズフィルタ機能 <ul style="list-style-type: none"> <li>3つのサンプリング周波数から1つを選択するか、ノイズフィルタ機能をバイパス可能</li> </ul> </li> <li>ウィンドウ機能 <ul style="list-style-type: none"> <li>ウィンドウ機能の使用/不使用の選択可能</li> </ul> </li> <li>応答速度 <ul style="list-style-type: none"> <li>高速モードまたは低速モードを選択可能</li> </ul> </li> </ul>

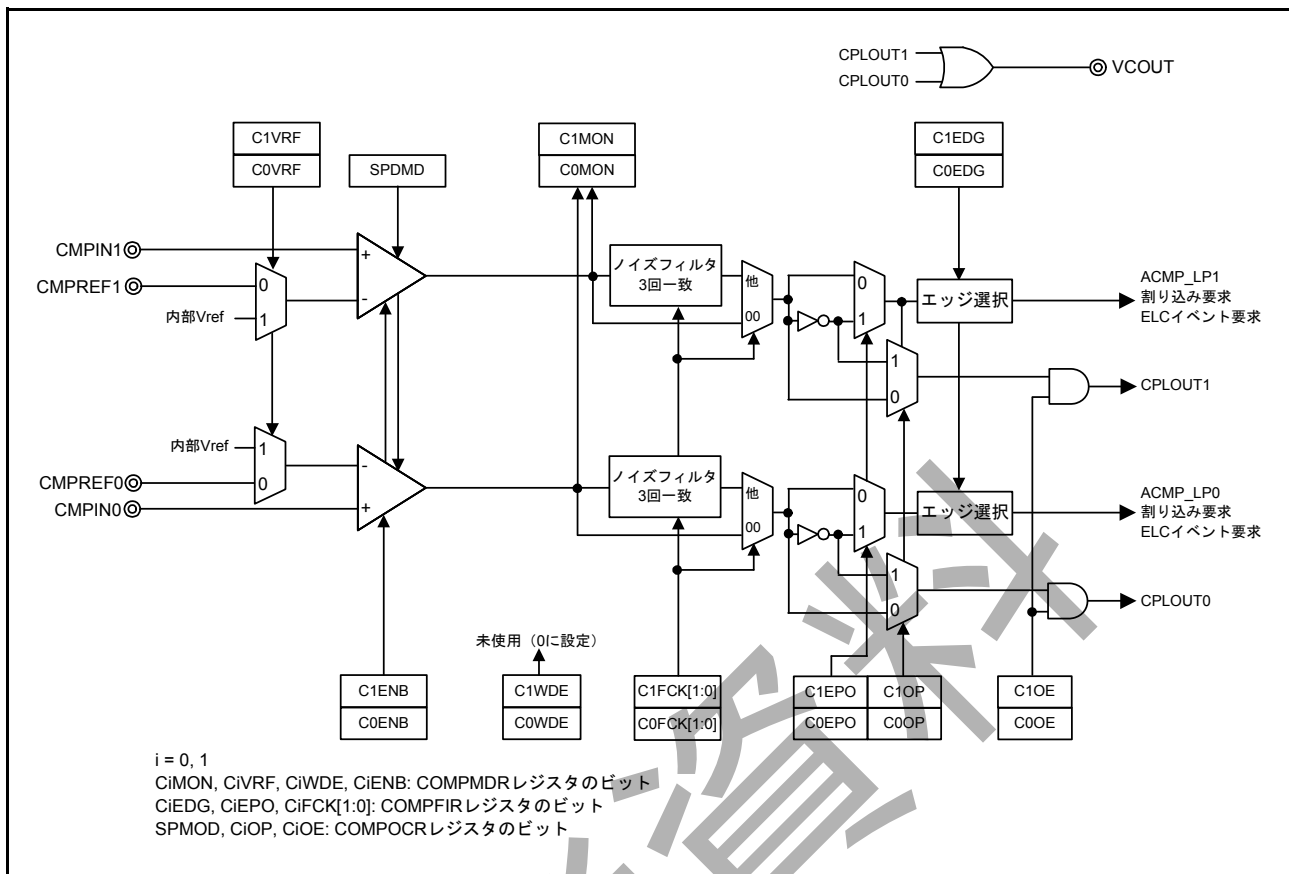


図 33.1 ウィンドウ機能無効時の ACMPLP ブロック図

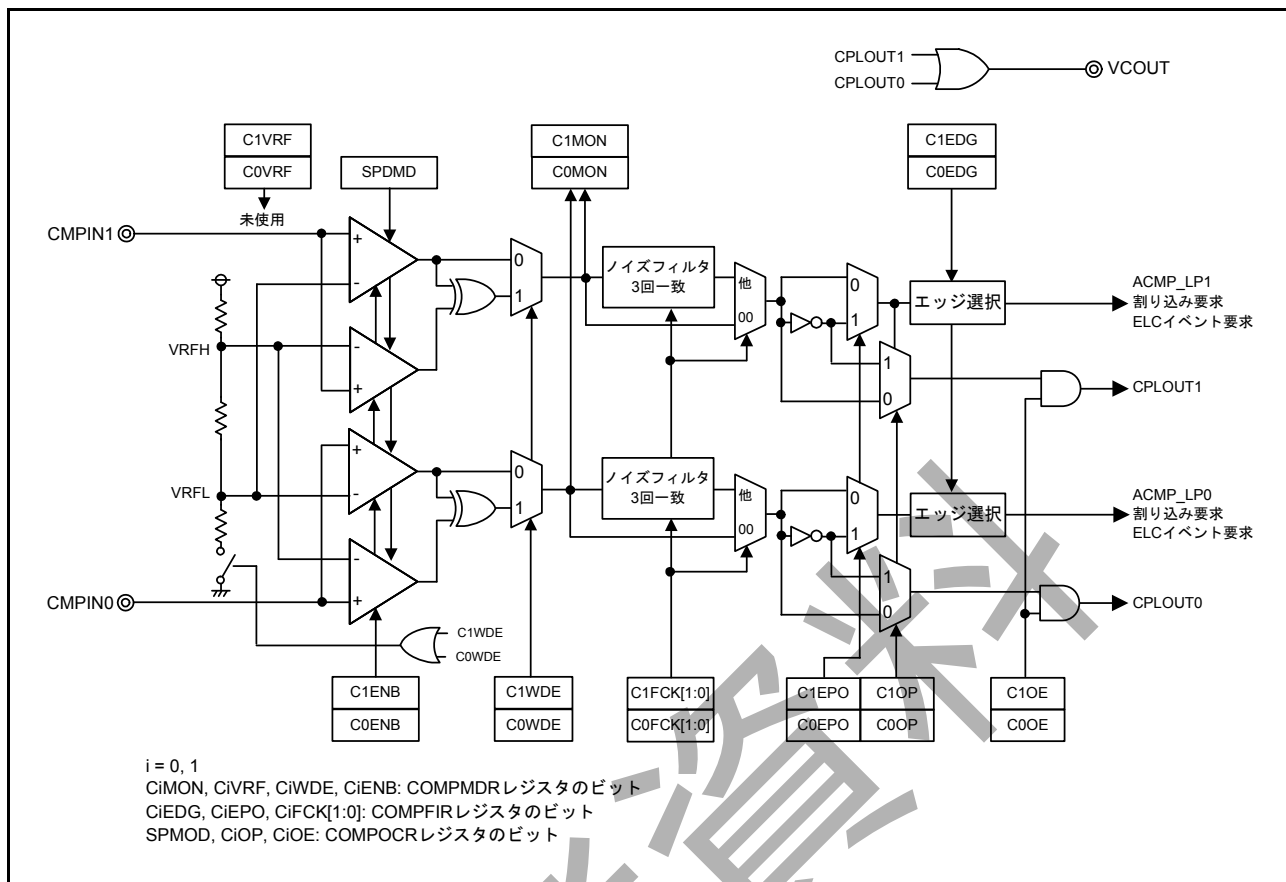


図 33.2 ウィンドウ機能有効時の ACMPLP ブロック図

表 33.2 コンパレータ端子の構成

コンパレータ	基準電圧入力端子	アナログ電圧入力端子	出力端子
ACMPLP0	CMPREF0	CMPIN0	VCOUT (注1)
ACMPLP1	CMPREF1	CMPIN1	

注 1. ACMPLP0 および ACMPLP1 のコンペア出力は VCOUT 端子に束ねられています。

## 33.2 レジスタの説明

## 33.2.1 ACMPLP モード設定レジスタ (COMPMDR)

アドレス ACMPLP.COMPMDR 4008 5E00h

	b7	b6	b5	b4	b3	b2	b1	b0
	C1MON	C1VRF	C1WDE	C1ENB	C0MON	C0VRF	C0WDE	C0ENB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C0ENB	ACMPLP0動作許可	0: コンパレータチャンネルACMPLP0を禁止 1: コンパレータチャンネルACMPLP0を許可	R/W
b1	C0WDE	ACMPLP0ウィンドウ機能モード許可 (注1)、(注2)	0: ACMPLP0に対するウィンドウ機能を禁止 1: ACMPLP0に対するウィンドウ機能を許可	R/W
b2	C0VRF	ACMPLP0基準電圧選択	0: ACMPLP0基準電圧としてCMPREF0入力を選択 1: ACMPLP0基準電圧として内部基準電圧 (Vref) を選択	R/W
b3	C0MON	ACMPLP0モニタフラグ (注3)	ウィンドウ機能無効時 0: CMPIN0 < CMPREF0、CMPIN0 < 内部基準電圧、または ACMPLP0動作無効 1: CMPIN0 > CMPREF0、または CMPIN0 > 内部基準電圧 ウィンドウ機能有効時 0: CMPIN0 < VRFL、CMPIN0 > VRFH、または ACMPLP0動作無効 1: VRFL < CMPIN0 < VRFH	R
b4	C1ENB	ACMPLP1動作許可	0: コンパレータチャンネルACMPLP1を禁止 1: コンパレータチャンネルACMPLP1を許可	R/W
b5	C1WDE	ACMPLP1ウィンドウ機能モード許可 (注1)、(注2)	0: ACMPLP1に対するウィンドウ機能を禁止 1: ACMPLP1に対するウィンドウ機能を許可	R/W
b6	C1VRF	ACMPLP1基準電圧選択	0: ACMPLP1基準電圧としてCMPREF1入力を選択 1: ACMPLP1基準電圧として内部基準電圧 (Vref) を選択	R/W
b7	C1MON	ACMPLP1モニタフラグ (注3)	ウィンドウ機能無効時 0: CMPIN1 < CMPREF1、CMPIN1 < 内部基準電圧、または ACMPLP1動作無効 1: CMPIN1 > CMPREF1、または CMPIN1 > 内部基準電圧 ウィンドウ機能有効時 0: CMPIN1 < VRFL、CMPIN1 > VRFH、または ACMPLP1動作無効 1: VRFL < CMPIN1 < VRFH	R

- 注 1. 低速モードが選択されている (COMPOCR レジスタの SPDMD ビットが 0) 場合は、ウィンドウ機能モードは設定できません。
- 注 2. ウィンドウ機能モードでは、本ビットの設定にかかわらずコンパレータの基準電圧が選択されます。
- 注 3. リセットが解除された直後は、初期値が 0 です。しかし、コンパレータの動作がいったん許可された後に C0ENB および C1ENB が 0 に設定された場合、値は不定となります。

## 33.2.2 ACMPLP フィルタコントロールレジスタ (COMPFIR)

アドレス ACMPLP.COMPFIR 4008 5E01h

b7	b6	b5	b4	b3	b2	b1	b0
C1EDG	C1EPO	C1FCK[1:0]	C0EDG	C0EPO	C0FCK[1:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	C0FCK[1:0]	ACMPLP0 フィルタ機能選択 (注1)	b1 b0 0 0: サンプリングなし (バイパス) 0 1: PCLKBでサンプリング 1 0: PCLKB/8でサンプリング 1 1: PCLKB/32でサンプリング	R/W
b2	C0EPO	ACMPLP0 エッジ極性切り替え (注1)	0: 立ち上がりエッジでの割り込みおよびELCイベント要求 1: 立ち下がりエッジでの割り込みおよびELCイベント要求	R/W
b3	C0EDG	ACMPLP0 エッジ検出選択 (注1)	0: 片エッジ検出による割り込みおよびELCイベント要求 1: 両エッジ検出による割り込みおよびELCイベント要求	R/W
b5-b4	C1FCK[1:0]	ACMPLP1 フィルタ機能選択 (注1)	b5 b4 0 0: サンプリングなし (バイパス) 0 1: PCLKBでサンプリング 1 0: PCLKB/8でサンプリング 1 1: PCLKB/32でサンプリング	R/W
b6	C1EPO	ACMPLP1 エッジ極性切り替え (注1)	0: 立ち上がりエッジでの割り込みおよびELCイベント要求 1: 立ち下がりエッジでの割り込みおよびELCイベント要求	R/W
b7	C1EDG	ACMPLP1 エッジ検出選択 (注1)	0: 片エッジ検出による割り込みおよびELCイベント要求 1: 両エッジ検出による割り込みおよびELCイベント要求	R/W

注 1. CiFCK[1:0]、CiEPO、および CiEDG (i = 0, 1) ビットが変更されると、ACMPLP 割り込み要求および ELC イベント要求が発生する場合があります。これらのビットは、イベントリンクを非選択にした後にのみ変更してください。また、該当する割り込み要求フラグをクリアしてください。

## 33.2.3 ACMPLP 出カコントロールレジスタ (COMPOCR)

アドレス ACMPLP.COMPOCR 4008 5E02h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPDM D	C1OP	C1OE	—	—	C0OP	C0OE	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b1	C0OE	ACMPLP0 VCOOUT 端子出力許可 (注1)	0: 禁止 1: 許可	R/W
b2	C0OP	ACMPLP0 VCOOUT 出力極性選択 (注1)	0: 反転なし 1: 反転あり	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b5	C1OE	ACMPLP1 VCOOUT 端子出力許可 (注1)	0: 禁止 1: 許可	R/W
b6	C1OP	ACMPLP1 VCOOUT 出力極性選択 (注1)	0: 反転なし 1: 反転あり	R/W
b7	SPDMD	ACMPLP0/ACMPLP1 速度選択 (注2)	0: コンパレータ低速モード選択 1: コンパレータ高速モード選択	R/W

注 1. ACMPLP0 および ACMPLP1 の結果出力は VCOOUT 端子に束ねられています。

注 2. SPDMD ビットを書き換える前に、COMPMDR レジスタの CIENB ビット (i=0, 1) を 0 にしてください。

### 33.3 動作説明

ACMPLP0 および ACMPLP1 は独立していますが、動作は同じです。コンパレータの動作中に関連するレジスタの値を変更した場合、動作は保証されません。表 33.3 に ACMPLP に関連するレジスタの設定手順を示します。

表 33.3 ACMPLP (i = 0, 1) 関連レジスタの設定手順

手順番号	レジスタ	ビット	設定内容	
1	MSTPCRD	MSTPD29	0 : 入力クロック供給	
2	該当の端子機能コントロールレジスタ (PFS)	ASEL	1 : CMPREFi および CMPiNi 端子の機能を選択	
3	COMPOCR	SPDMD	コンパレータの応答速度の選択 (0 : 低速モード / 1 : 高速モード) (注1)	
4	COMPMDR	CiWDE	0 : ウィンドウ機能モード無効 1 : ウィンドウ機能モード有効 (注2)	
		CiVRF	0 : 基準 = CMPREFi 入力 1 : 基準 = 内部基準電圧	ウィンドウコンパレータ動作 (基準 = VRFL および VRFH) (注3)
		CiENB	1 : 動作許可	
5	コンパレータ安定時間 $t_{cmp}$ (最小 100 $\mu$ s) 待機			
6	COMPFIR	CiFCK[1:0]	デジタルフィルタを使用するかどうか、およびサンプリングクロックの選択	
		CiEPO、CiEDG	割り込み要求のエッジ検出条件の選択 (立ち上がりエッジ、立ち下がりエッジ、両エッジ)	
7	COMPOCR	CiOP、CiOE	VCOOUT 出力の設定 (極性の選択および出力許可/禁止の設定)	
	該当の端子機能コントロールレジスタ (PFS)	PSEL、PMR	VCOOUT ポート機能を選択	
8	IELSRn	IR、IELS[7:0]	割り込み使用時 : 割り込みステータスフラグ、ICU イベントリンク選択 (注3)	
9	ELSRn	ELS[7:0]	ELC 使用時 : イベントリンク選択 (注4)	
10	動作開始			

注 1. ACMPLP0 および ACMPLP1 は、個別に設定できません。

注 2. 高速モードで設定できます (SPDMD = 1)。

注 3. コンパレータを設定した後、動作が安定するまでスプリアス割り込みが発生する可能性があるため、割り込みフラグを初期化してください。

注 4. コンパレータを設定した後、動作が安定するまでスプリアス割り込みが発生する可能性があるため、イベントリンク選択を初期化してください。

ウィンドウ機能が無効の場合の ACMPLPi (i = 0, 1) の動作例を図 33.3 に示します。基準入力電圧 (CMPREFi) または内部基準電圧 (Vref) とアナログ入力電圧 (CMPiNi) が比較されます。アナログ入力電圧が基準入力電圧より高い場合、COMPMDR.CiMON ビットが 1 になります。アナログ入力電圧が基準入力電圧より低い場合、CiMON ビットが 0 になります。

ACMPLPi は割り込みを ICU に出力します。割り込みの詳細は、33.5 ACMPLP 割り込みを参照してください。

ACMPLPi は、他のモジュールを起動するためのイベント信号を ELC に出力します。ELC の詳細は、33.6 ELC イベント出力を参照してください。

比較中、レジスタの値を変更しないでください。



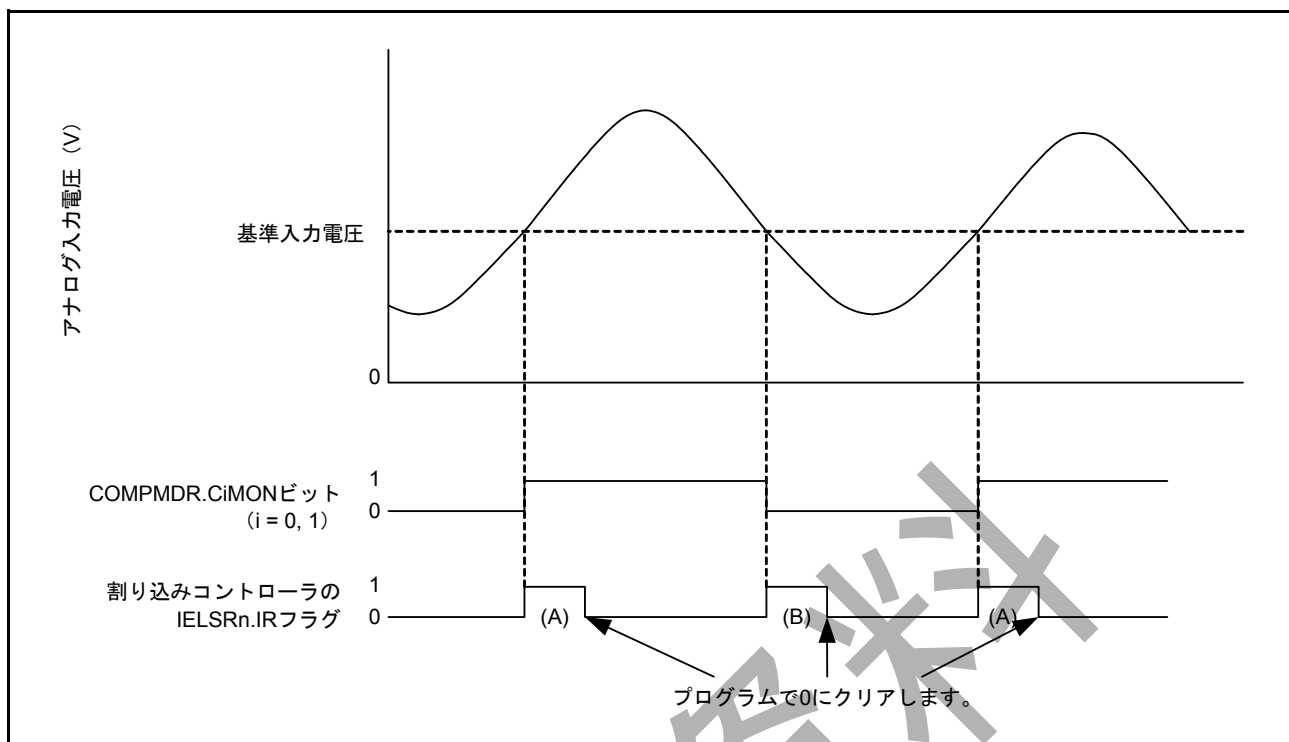


図 33.3 ウィンドウ機能無効時の ACMPLP<sub>i</sub> (i = 0、1) の動作例

以下の条件が成立したとき図 33.3 の内容が適用されます。

- CiFCK[1:0] = 00b (サンプリングなし) および CiEDG = 1 (両エッジ)

CiEDG = 0、CiEPO = 0 (立ち上がりエッジ) の場合、IELSRn.IR は (A) で示されるように変化します。

CiEDG = 0、CiEPO = 1 (立ち下がりエッジ) の場合、IELSRn.IR は (B) で示されるように変化します。

ウィンドウ機能が有効の場合の ACMPLP<sub>i</sub> (i = 0、1) の動作例を図 33.4 に示します。内部 Vref (VRFL/ VRFH) およびアナログ入力電圧が比較されます。CiMON ビットは VRFL < アナログ入力電圧 < VRFH の場合 1 に、アナログ入力電圧 < VRFL または VRFH < アナログ入力電圧の場合 0 になります。

ACMPLP<sub>i</sub> は割り込みを ICU に出力します。割り込みの詳細は、33.5 ACMPLP 割り込みを参照してください。

ACMPLP<sub>i</sub> は、他のモジュールを起動するためのイベント信号を ELC に出力します。ELC の詳細は、33.6 ELC イベント出力を参照してください。

比較中、レジスタの値を変更しないでください。

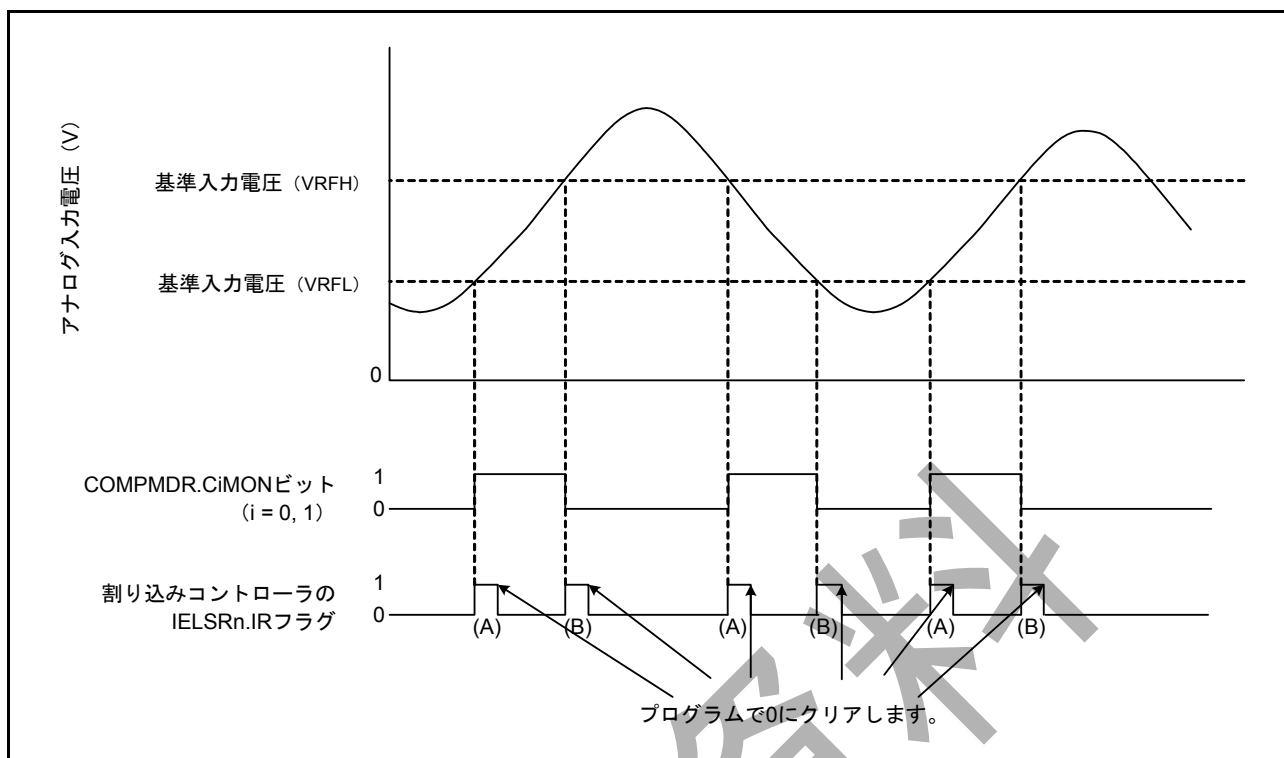


図 33.4 ウィンドウ機能有効時の ACMPLPi (i = 0、1) の動作例

以下の条件が成立したとき図 33.4 の内容が適用されます。

- CiFCK[1:0] = 00b (サンプリングなし) および
- CiEDG = 1 (両エッジ)

CiEDG = 0、CiEPO = 0 (立ち上がりエッジ) の場合、IELSRn.IR は (A) で示されるように変化します。

CiEDG = 0、CiEPO = 1 (立ち下がりエッジ) の場合、IELSRn.IR は (B) で示されるように変化します。

### 33.4 ノイズフィルタ

図 33.5 に、ACMPLPi ノイズフィルタの構成を示します。図 33.6 に、ACMPLPi ノイズフィルタの動作例を示します。

COMPFIR.CiFCK[1:0] ビットによってサンプリングクロックの選択が可能です。ACMPLPi からの ACMP\_LPi 信号（内部信号）出力は、サンプリングクロック周期ごとにサンプリングされます。レベルが 3 回一致すると、該当の IELSRn.IR ビットが 1（割り込み要求）になり、ELC イベントが出力されます。

ソフトウェアスタンバイモードで割り込みおよび ELC を使用する場合、COMPFIR.CiFCK[1:0] ビットを 00b（バイパス）にします。

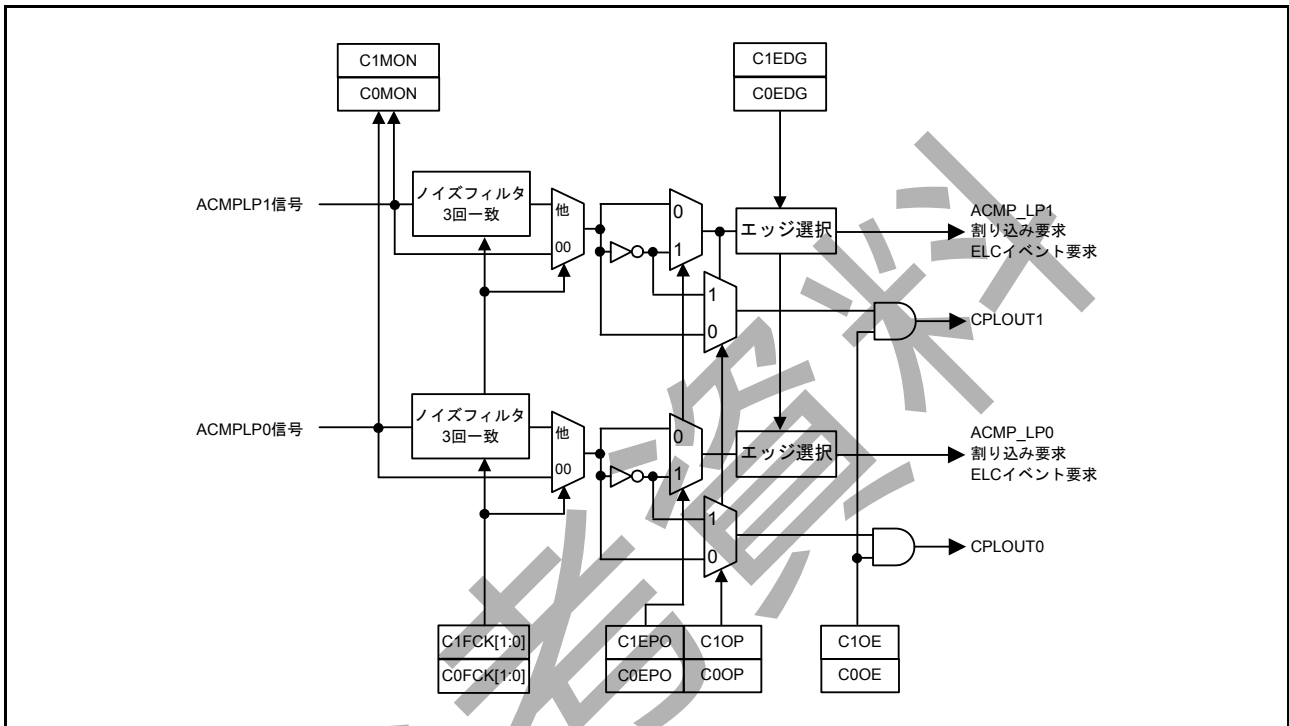


図 33.5 ノイズフィルタおよびエッジ検出の構成

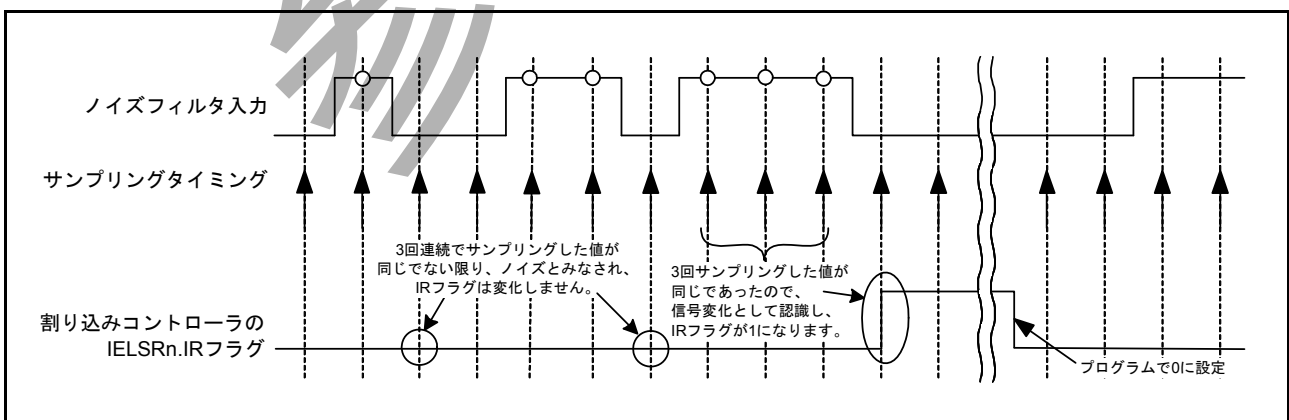


図 33.6 ノイズフィルタおよび割り込み動作例

### 33.5 ACMPLP 割り込み

ACMPLP は、割り込み要因、ACMPLP0 および ACMPLP1 から 2 つの割り込み要求を生成します。ACMPLPi (i=0, 1) 割り込みは、割り込みコントローラユニットの IELSRn レジスタで該当のビットを選択することで使用できます。

ACMPLPi 割り込みを使用するには、COMPFIR.CiEDG ビットによって片エッジ検出または両エッジ検出のいずれかを選択してください。片エッジ検出を選択するときは、CiEPO ビットによって極性を選択してください。

割り込み出力は、COMPFIR.CiFCK[1:0] ビットで選択された、3 つのサンプリングクロックのうち 1 つを使用するノイズフィルタを通過させることも可能です。各サンプリングクロックを選択するには、COMPFIR.CiFCK[1:0] ビットを、01b、10b または 11b にします。ACMPLP0 割り込み要求を使用してソフトウェアスタンバイモードまたはスヌーズモードを解除するには、COMPFIR.COFCCK[1:0] を 00b にし、ACMPLP0 ノイズフィルタをバイパスします。ACMPLP1 割り込み要求は、ソフトウェアスタンバイモードまたはスヌーズモードの解除には使用できません。

### 33.6 ELC イベント出力

イベントリンクコントローラ (ELC) は、ACMPLPi 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPLPi の ELC イベントは、ELC の ELSR レジスタで選択することにより使用可能です。ACMPLPi ELC イベント要求を使用する場合、COMPFIR.CiFCK[1:0] ビットを 01b、10b、または 11b にします。

### 33.7 割り込み処理と ELC リンクの関係

ACMPLPi は ELC へイベント信号を出力し、あらかじめ設定していたモジュールの動作を開始することができます。割り込み要因の場合と同様に、ACMPLPi から ELC へのイベント信号出力発生条件は、COMPFIR.CiEDG ビットを設定することで片エッジ検出または両エッジ検出として選択できます。片エッジ検出を選択するときは、CiEPO ビットで極性を選択できます。

### 33.8 コンパレータ端子出力

ACMPLPi からの比較結果は外部端子に出力できます。COMPOCR.CiOP および CiOE ビットによって、出力極性（非反転出力または反転出力）および出力許可/禁止を設定することができます。

ACMPLP 比較結果を VCOOUT 出力端子に出力するには、I/O レジスタの該当の Pmn 端子機能コントロールレジスタ (PmnPFS) を設定してください。

## 33.9 使用上の注意事項

### 33.9.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタにより、ACMPLP の動作禁止/許可を設定できます。ACMPLP は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

### 33.9.2 ADC14 と ACMPLP の関係

表 33.4 に示す A/D 変換対象は、A/D 変換中の ACMPLP 入力に選択できません。

表 33.4 ADC14 と ACMPLP の関係

A/D 変換対象	ACMPLP
AN019	CMPREF1
AN020	CMPIN1
AN021	CMPREF0
AN022	CMPIN0

## 34. 静電容量式タッチセンシングユニット (CTSU)

静電容量式タッチセンシングユニット (CTSU) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が電極に直接接触することはありません。

図 34.1 に示すように、電極と周囲の導電体との間には静電容量 (寄生容量) が存在します。人体も導電体ですので、電極に指が近づくと静電容量が増加します。

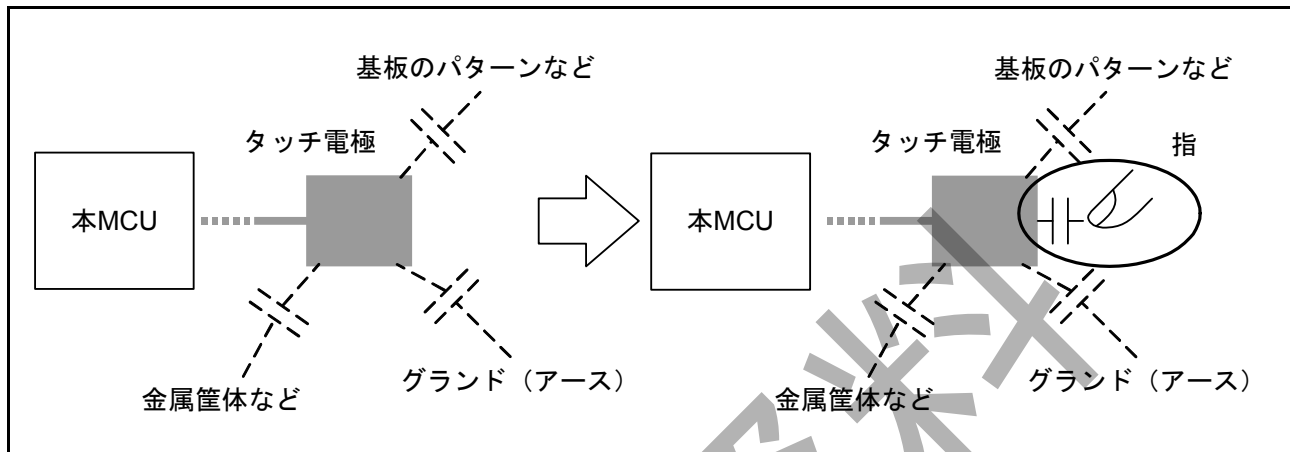


図 34.1 指による静電容量の増加

静電容量の検出方式には、自己容量方式と相互容量方式があります。自己容量方式では、指と1つの電極との間に生じる静電容量を検出します。一方、相互容量方式は、2つの電極を送信電極と受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出する方式です。

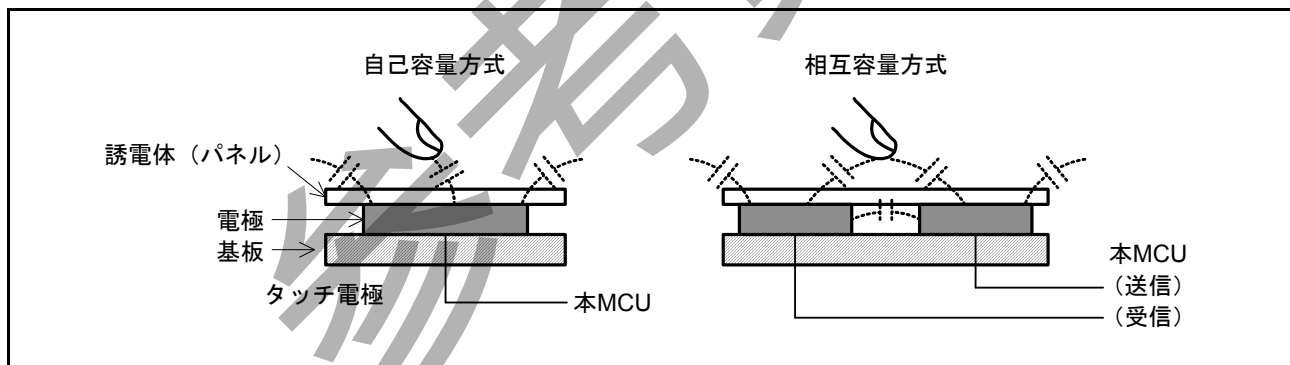


図 34.2 自己容量方式と相互容量方式

静電容量の測定は、充放電電流の量に応じて周波数が変化するクロック信号を一定の時間カウントすることにより行います。CTSU の計測原理の詳細については、[34.3.1 計測動作原理](#)を参照してください。

### 34.1 概要

表 34.1 に CTSU の仕様を示します。図 34.3 に CTSU のブロック図を示します。

表 34.1 CTSUの仕様

項目	内容	
動作クロック	PCLKB、PCLKB/2またはPCLKB/4	
端子	静電容量計測	31チャンネル (TS00~TS28、TS30、TS31)
	TSCAP	LPF (Low Pass Filter) 接続端子
計測モード	自己容量シングルスキャンモード	自己容量方式で1チャンネルの静電容量を計測
	自己容量マルチスキャンモード	自己容量方式で複数チャンネルの静電容量を連続して計測
	相互容量フルスキャンモード	相互容量方式で複数チャンネルの静電容量を連続して計測
ノイズ対策	同期系ノイズ対策、高域ノイズ対策	
計測開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>外部トリガ (ELCからのELC_CTSU)</li> </ul>	

CTSUS は、図 34.3 に示すようにステータス制御部、トリガ制御部、クロック制御部、チャンネル制御部、ポート制御部、センサドライブパルス生成部、計測部、割り込み部、I/O レジスタで構成されます。

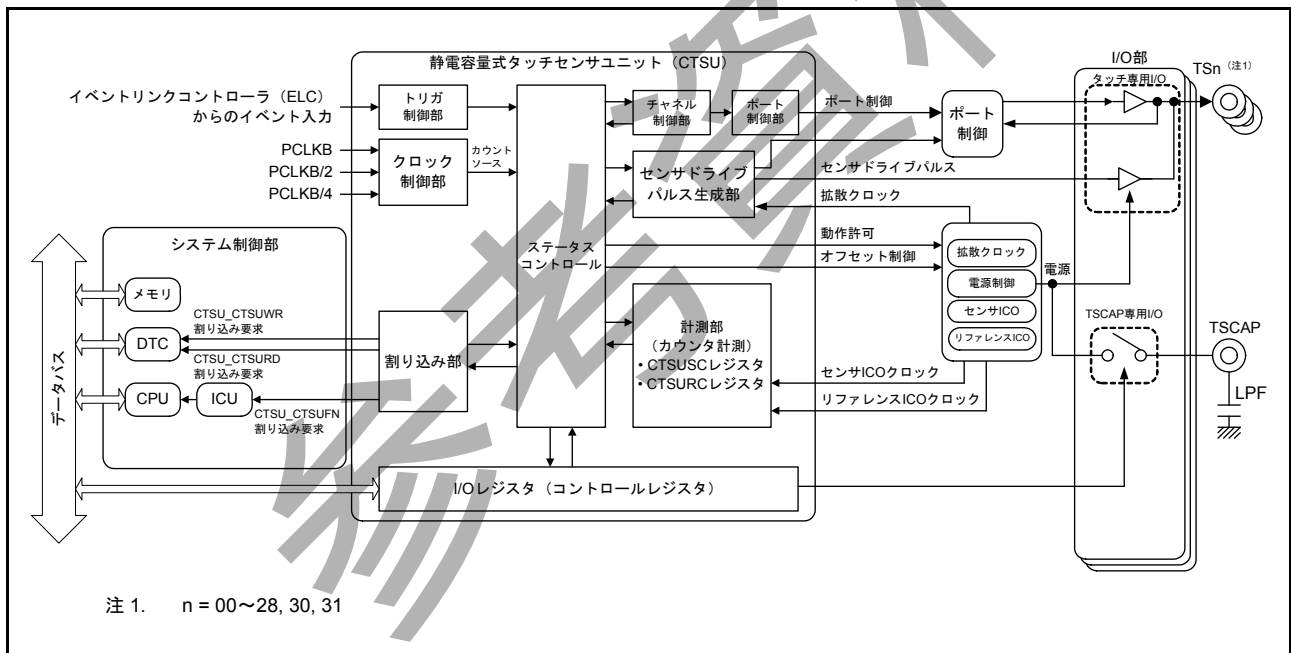


図 34.3 CTSUS のブロック図

表 34.2 CTSUS 端子の構成

端子名	入出力	機能
TS00~TS28, TS30, TS31	入力	静電容量計測端子 (タッチ端子)
TSCAP	—	LPF 接続端子

## 34.2 レジスタの説明

### 34.2.1 CTSU コントロールレジスタ 0 (CTSUCR0)

アドレス CTSU.CTSUCR0 4008 1000h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CTSUI NIT	—	CTSUS NZ	CTSUC AP	CTSUS TRT
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUSTRT	CTSU 計測動作開始	0 : 計測動作停止 (注1) 1 : 計測動作開始	R/W
b1	CTSUCAP	CTSU 計測動作開始トリガ選択	0 : ソフトウェアトリガ 1 : 外部トリガ	R/W
b2	CTSUSNZ	CTSU 待機時省電力有効	0 : 待機時省電力機能無効 1 : 待機時省電力機能有効	R/W
b3	—	予約ビット	読むと0が読み出されます。書く場合、0としてください。	R/W
b4	CTSUINIT	CTSU 制御部初期化	1を書くと、CTSU 制御部と、CTSUSC、CTSURC、CTSUSMCH0、CTSUSMCH1、CTSUSTの各レジスタが初期化されます。読むと0が読めます。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. CTSU を使用しない場合、このビットの値は0に固定してください。

CTSUCAP ビットと CTSUSNZ ビットの設定は、CTSUSTRT ビットが0のときのみ行ってください。計測動作開始時に同時に設定可能です。

#### CTSUSTRT ビット (CTSU 計測動作開始)

計測動作開始/停止を指定します。CTSUCAP ビットが0のとき、ソフトウェアで CTSUSTRT ビットに1を書く (ソフトウェアトリガ) と計測が開始し、ハードウェアが CTSUSTRT ビットを0にクリアすると停止します。CTSUCAP ビットが1のとき、CTSUSTRT ビットに1を書き込むことにより外部トリガの待機状態となり、外部トリガの立ち上がりで計測を開始します。計測が終了したら、次の外部トリガの待機状態となり動作が継続されます。

CTSU の状態を、表 34.3 に示します。

表 34.3 CTSU の状態

CTSUSTRT ビット	CTSUCAP ビット	CTSU の状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中および外部トリガ待ち (注1)

注 1. CTSUST.CTSUSTC[2:0] フラグで以下のとおり状態を判断できます。  
 - 計測中 : CTSUST.CTSUSTC[2:0] フラグ ≠ 000b  
 - 外部トリガ待ち : CTSUST.CTSUSTC[2:0] フラグ = 000b

CTSUSTRT ビットがすでに1になっている場合、ソフトウェアで本ビットを1にしても、その書き込みは無視され動作が継続します。CTSUSTRT ビットが1のとき、ソフトウェアにより動作を強制的に終了する場合は、CTSUSTRT ビットを0にして、同時に CTSUINIT ビットを1にしてください。



**CTSUCAP ビット (CTSU 計測動作開始トリガ選択)**

計測開始条件を指定します。詳細は、**CTSUSTRT ビット (CTSU 計測動作開始)** を参照してください。

**CTSUSNZ ビット (CTSU 待機時省電力有効)**

待機時省電力動作の有効/無効を選択します。また、本ビットにより CTSU 電源はサスペンド状態になり、待機状態の低消費電力化が可能になります。サスペンド状態では、CTSU 電源は OFF になりますが外部 TSCAP は引き続き充電されます。

CTSU 電源状態制御を [表 34.4](#) に示します。

**表 34.4 CTSU 電源の状態制御**

CTSUCR1.CTUPON ビット	CTSUSNZ ビット	CTSUCAP ビット	CTSUSTRT ビット	CTSU 電源の状態
0	0	0	0	停止
1	0	—	—	動作
1	1	0	0	サスペンド状態

注. 上記以外は設定しないでください。

サスペンド状態から計測を開始する場合は、CTSUSNZ ビットを 0 にしてから CTSUSTRT ビットを 1 にしてください。計測終了後、モジュールをサスペンド状態にするには、CTSUSNZ ビットを 1 にしてください。

**CTSUINIT ビット (CTSU 制御部初期化)**

1 を書き込むと、内部コントロールレジスタを初期化します。動作中に強制終了させる場合は、CTSUSTRT ビットを 0 にして、同時に CTSUINIT ビットを 1 にしてください。この場合は動作が停止し、内部コントロールレジスタが初期化されます。

CTSUSTRT ビットが 1 のとき、CTSUINIT ビットに 1 を書き込まないでください。

## 34.2.2 CTSU コントロールレジスタ 1 (CTSUCR1)

アドレス CTSU.CTSUCR1 4008 1001h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUMD[1:0]	CTSUCLK[1:0]	CTSUA TUNE1	CTSUA TUNE0	CTSUC SW	CTSUC ON		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUPON	CTSU 電源供給許可	0 : CTSU 電源 OFF 1 : CTSU 電源 ON	R/W
b1	CTSUCSW	CTSU LPF 容量充電制御	TSCAP 端子に接続される LPF 容量の充電を制御します。 0 : 容量スイッチ OFF 1 : 容量スイッチ ON	R/W
b2	CTSUA TUNE0	CTSU 電源動作モード設定	VCC ≥ 2.4V 0 : 通常動作モード 1 : 低電圧動作モード VCC < 2.4V 0 : 設定禁止 1 : 低電圧動作モード	R/W
b3	CTSUA TUNE1	CTSU 電源能力調整	0 : 通常出力 1 : 高出力	R/W
b5-b4	CTSUCLK[1:0]	CTSU 動作クロック選択	b5 b4 0 0 : PCLKB 0 1 : PCLKB/2 1 0 : PCLKB/4 1 1 : 設定禁止	R/W
b7-b6	CTSUMD[1:0]	CTSU 計測モード選択	b7 b6 0 0 : 自己容量シングルスキャンモード 0 1 : 自己容量マルチスキャンモード 1 0 : 設定禁止 1 1 : 相互容量フルスキャンモード	R/W

CTSUCR1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

**CTSUPON ビット (CTSU 電源供給許可)**

CTSU の電源制御を行います。CTSUPON ビットと CTSUCSW ビットには同じ値を設定してください。

**CTSUCSW ビット (CTSU LPF 容量充電制御)**

容量スイッチの ON/OFF により、TSCAP 端子に接続される LPF 容量の充電制御を行います。容量スイッチを ON にしてから TSCAP 端子に接続している容量が充電されるまで、一定時間待った後、CTSUCR0.CTSUSTRT を 1 にして計測を開始してください。計測に先立って、I/O ポートで TSCAP 端子に Low を出力し、すでに充電されている LPF 容量を放電してください。CTSUPON ビットと CTSUCSW ビットには同じ値を設定してください。

**CTSUA  
TUNE0 ビット (CTSU 電源動作モード設定)**

CTSU の電源動作モードを設定します。CTSU を動作させる VCC の下限に応じて本ビットを設定してください。例えば、バッテリー動作に応じて VCC が変動するシステムでタッチ計測を行う場合、初期の VCC 電圧に関わらず本ビットを 1 にします。VCC 電圧範囲は 2 ~ 3V です。

**CTSUA  
TUNE1 ビット (CTSU 電源能力調整)**

CTSU の電源能力を設定します。通常は 0 にすることを推奨しています。

**CTSUCLK[1:0] ビット (CTSU 動作クロック選択)**

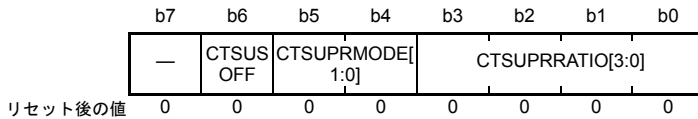
動作クロックを選択します。

**CTSUMD[1:0] ビット (CTSUS 計測モード選択)**

計測モードを設定します。詳細は、34.3.2 計測モードを参照してください。

**34.2.3 CTSUS 同期ノイズ低減設定レジスタ (CTSUS DPRS)**

アドレス CTSUS.CTSDPRRS 4008 1002h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUSPRRATIO[3:0]	CTSUS 計測時間、計測パルス数調整	計測時間、計測パルス数を設定します。 推奨設定値：3 (0011b)	R/W
b5-b4	CTSUSPRMODE[1:0]	CTSUS 基本周期、基本パルス数設定	基本パルス数を設定します。 b5 b4 0 0: 510パルス 0 1: 126パルス 1 0: 62パルス (推奨設定) 1 1: 設定禁止	R/W
b6	CTSUSOFF	CTSUS 高域ノイズ低減機能OFF 設定	高域ノイズを低減するためのスペクトラム拡散 機能を制御します。 0: ONに設定 1: OFFに設定	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてくだ さい。	R/W

CTSUS DPRS レジスタの設定は、CTSUCR0.CTUSSTRT ビットが0のときのみ行ってください。

**CTSUSPRRATIO[3:0] ビット (CTSUS 計測時間、計測パルス数調整)**

以下の式を使用して計測時間と計測パルス数を設定し、CTSUSPRMODE[1:0] ビットの設定により基本パルス数が決定されます。

$$\text{計測パルス数} = \text{基本パルス数} \times (\text{CTSUSPRRATIO[3:0] ビット} + 1)$$

$$\text{計測時間} = (\text{基本パルス数} \times (\text{CTSUSPRRATIO[3:0] ビット} + 1) + \text{基本パルス数} - 2) \times 0.25 \times \text{ベースクロック周期}$$

注. ベースクロック周期の詳細は、34.2.19 CTSUS センサオフセットレジスタ 1 (CTSUSO1) を参照してください。

**CTSUSPRMODE[1:0] ビット (CTSUS 基本周期、基本パルス数設定)**

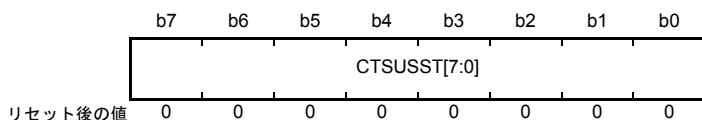
計測で発生する基本パルス数を選択します。

**CTSUSOFF ビット (CTSUS 高域ノイズ低減機能 OFF 設定)**

高域ノイズを低減する機能の ON/OFF を設定します。1にすると OFF になります。

## 34.2.4 CTSU センサ安定待ち時間コントロールレジスタ (CTSUSST)

アドレス CTSU.CTSUSST 4008 1003h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUSST[7:0]	CTSUSST センサ安定待ち時間制御	固定値 00010000b にしてください。	R/W

CTSUSST レジスタの設定は、CTSUCR0.CTSUSSTRT ビットが 0 のときのみ行ってください。

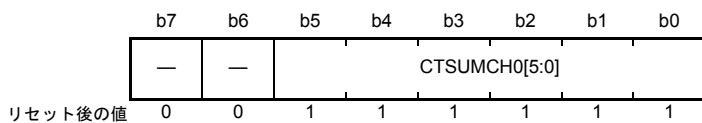
**CTSUSST[7:0] ビット (CTSUSST センサ安定待ち時間制御)**

TSCAP 端子の電圧の安定待ち時間を設定します。常に 00010000b にしてください。本ビットが設定されない場合、計測開始時の TSCAP 電圧が不安定となり、CTSUSST は正確なタッチ計測を行えません。

参考資料

## 34.2.5 CTSU 計測チャンネルレジスタ 0 (CTSUMCH0)

アドレス CTSU.CTSMCH0 4008 1004h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSUMCH0[5:0]	CTSU計測チャンネル0	<p>自己容量シングルスキャンモードでは、計測するCTSUのチャンネルを設定します。</p> <p>b5 b0</p> <p>0 0 0 0 0 0 : TS00            0 0 0 0 0 1 : TS01            0 0 0 0 1 0 : TS02            0 0 0 0 1 1 : TS03            0 0 0 1 0 0 : TS04            0 0 0 1 0 1 : TS05            0 0 0 1 1 0 : TS06            0 0 0 1 1 1 : TS07            0 0 1 0 0 0 : TS08            0 0 1 0 0 1 : TS09            0 0 1 0 1 0 : TS10            0 0 1 0 1 1 : TS11            0 0 1 1 0 0 : TS12            0 0 1 1 0 1 : TS13            0 0 1 1 1 0 : TS14            0 0 1 1 1 1 : TS15            0 1 0 0 0 0 : TS16            0 1 0 0 0 1 : TS17            0 1 0 0 1 0 : TS18            0 1 0 0 1 1 : TS19            0 1 0 1 0 0 : TS20            0 1 0 1 0 1 : TS21            0 1 0 1 1 0 : TS22            0 1 0 1 1 1 : TS23            0 1 1 0 0 0 : TS24            0 1 1 0 0 1 : TS25            0 1 1 0 1 0 : TS26            0 1 1 0 1 1 : TS27            0 1 1 1 0 0 : TS28            0 1 1 1 1 0 : TS30            0 1 1 1 1 1 : TS31</p> <p>特に指定のない限り、上記ビット設定後にCTSUCR0.CTSUSTRTビットを1にして計測を開始することは禁止されています。</p>	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
			他の計測モードでは、現在計測中のチャンネルを示します。 b5 b0 0 0 0 0 0 0 : TS00 0 0 0 0 0 1 : TS01 0 0 0 0 1 0 : TS02 0 0 0 0 1 1 : TS03 0 0 0 1 0 0 : TS04 0 0 0 1 0 1 : TS05 0 0 0 1 1 0 : TS06 0 0 0 1 1 1 : TS07 0 0 1 0 0 0 : TS08 0 0 1 0 0 1 : TS09 0 0 1 0 1 0 : TS10 0 0 1 0 1 1 : TS11 0 0 1 1 0 0 : TS12 0 0 1 1 0 1 : TS13 0 0 1 1 1 0 : TS14 0 0 1 1 1 1 : TS15 0 1 0 0 0 0 : TS16 0 1 0 0 0 1 : TS17 0 1 0 0 1 0 : TS18 0 1 0 0 1 1 : TS19 0 1 0 1 0 0 : TS20 0 1 0 1 0 1 : TS21 0 1 0 1 1 0 : TS22 0 1 0 1 1 1 : TS23 0 1 1 0 0 0 : TS24 0 1 1 0 0 1 : TS25 0 1 1 0 1 0 : TS26 0 1 1 0 1 1 : TS27 0 1 1 1 0 0 : TS28 0 1 1 1 0 1 : TS29 0 1 1 1 1 0 : TS30 0 1 1 1 1 1 : TS31 1 1 1 1 1 1 : 計測停止中	
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 自己容量シングルスキャンモード (CTSUCR1.CTSUMD[1:0] ビット = 00b) 時のみ、書き込み可能です。

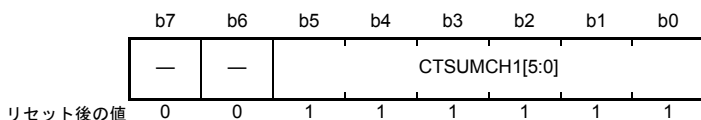
CTSUMCH0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

#### CTSUMCH0[5:0] ビット (CTSU 計測チャンネル0)

自己容量シングルスキャンモードでは、計測する CTSU のチャンネルを設定します。このモードでは、有効なチャンネル (000000b ~ 011100b、011110b ~ 011111b) のみ指定します。それ以外のモードでは計測中の受信チャンネルを示し、書き込みは無効になります。

## 34.2.6 CTSU 計測チャンネルレジスタ 1 (CTSUMCH1)

アドレス CTSU.CTSMCH1 4008 1005h



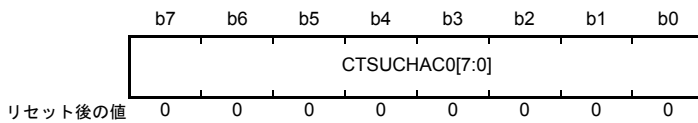
ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSUMCH1[5:0]	CTSU計測チャンネル1	b5                      b0 0 0 0 0 0 0 : TS00 0 0 0 0 0 1 : TS01 0 0 0 0 1 0 : TS02 0 0 0 0 1 1 : TS03 0 0 0 1 0 0 : TS04 0 0 0 1 0 1 : TS05 0 0 0 1 1 0 : TS06 0 0 0 1 1 1 : TS07 0 0 1 0 0 0 : TS08 0 0 1 0 0 1 : TS09 0 0 1 0 1 0 : TS10 0 0 1 0 1 1 : TS11 0 0 1 1 0 0 : TS12 0 0 1 1 0 1 : TS13 0 0 1 1 1 0 : TS14 0 0 1 1 1 1 : TS15 0 1 0 0 0 0 : TS16 0 1 0 0 0 1 : TS17 0 1 0 0 1 0 : TS18 0 1 0 0 1 1 : TS19 0 1 0 1 0 0 : TS20 0 1 0 1 0 1 : TS21 0 1 0 1 1 0 : TS22 0 1 0 1 1 1 : TS23 0 1 1 0 0 0 : TS24 0 1 1 0 0 1 : TS25 0 1 1 0 1 0 : TS26 0 1 1 0 1 1 : TS27 0 1 1 1 0 0 : TS28 0 1 1 1 1 0 : TS30 0 1 1 1 1 1 : TS31 1 1 1 1 1 1 : 計測停止中	R
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## CTSUMCH1[5:0] ビット (CTSU 計測チャンネル 1)

フルスキャンモード時、計測中の送信チャンネルを示します。計測停止中、または自己容量シングルスキャンモード時およびマルチスキャンモード時は、必ず 111111b になります。

### 34.2.7 CTSU チャネルイネーブルコントロールレジスタ 0 (CTSUCHAC0)

アドレス CTSU.CTSUCHAC0 4008 1006h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC0[7:0]	CTSUSチャネル有効制御0	対応するTS端子を計測するかどうかを選択します。 0: 計測しない 1: 計測する 本ビットはTS00～TS07端子の設定を行います。	R/W

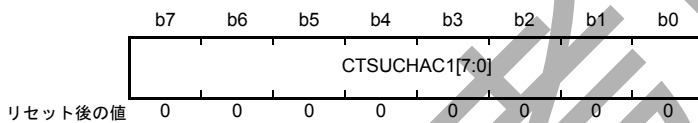
CTSUCHAC0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

#### CTSUCHAC0[7:0] ビット (CTSUSチャネル有効制御0)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC0[0]はTS00に、CTSUCHAC0[7]はTS07に対応します。

### 34.2.8 CTSU チャネルイネーブルコントロールレジスタ 1 (CTSUCHAC1)

アドレス CTSU.CTSUCHAC1 4008 1007h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC1[7:0]	CTSUSチャネル有効制御1	対応するTS端子を計測するかどうかを選択します。 0: 計測しない 1: 計測する 本ビットはTS08～TS15端子の設定を行います。	R/W

CTSUCHAC1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

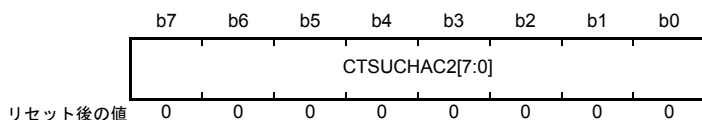
#### CTSUCHAC1[7:0] ビット (CTSUSチャネル有効制御1)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC1[0]はTS08に、CTSUCHAC1[7]はTS15に対応します。



### 34.2.9 CTSU チャネルイネーブルコントロールレジスタ 2 (CTSUCHAC2)

アドレス CTSU.CTSUCHAC2 4008 1008h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC2[7:0]	CTSUSチャネル有効制御2	対応するTS端子を計測するかどうかを選択します。 0: 計測しない 1: 計測する 本ビットはTS16～TS23端子の設定を行います。	R/W

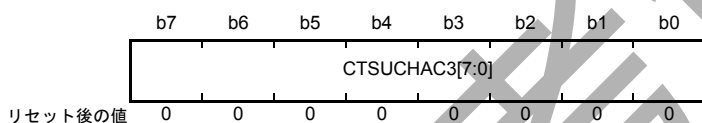
CTSUCHAC2 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

#### CTSUCHAC2[7:0] ビット (CTSUSチャネル有効制御2)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC2[0] はTS16に、CTSUCHAC2[7] はTS23に対応します。

### 34.2.10 CTSU チャネルイネーブルコントロールレジスタ 3 (CTSUCHAC3)

アドレス CTSU.CTSUCHAC3 4008 1009h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC3[7:0]	CTSUSチャネル有効制御3	対応するTS端子を計測するかどうかを選択します。 0: 計測しない 1: 計測する 本ビットはTS24～TS28、TS30、TS31端子の設定を行います。	R/W

注1. 本MCUはTS29端子には対応していません。そのため、b5 (CTSUCHAC3[5]) を読むと0が読めます。書く場合、0としてください。

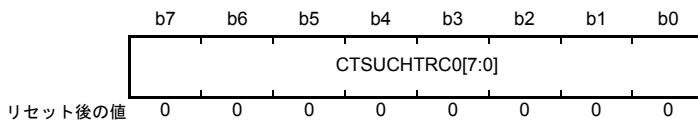
CTSUCHAC3 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

#### CTSUCHAC3[7:0] ビット (CTSUSチャネル有効制御3)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC3[0] はTS24に、CTSUCHAC3[7] はTS31に対応します。

### 34.2.11 CTSU チャネル送受信コントロールレジスタ 0 (CTSUCHTRC0)

アドレス CTSU.CTSUCHTRC0 4008 100Bh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC0[7:0]	CTSUチャネル送受信制御0	0: 受信 1: 送信 本ビットはTS00～TS07端子の設定を行います。	R/W

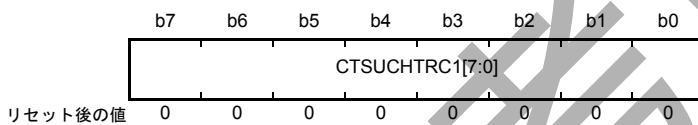
CTSUCHTRC0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

#### CTSUCHTRC0[7:0] ビット (CTSU チャネル送受信制御0)

フルスキャンモード時、関連する TS 端子の受信/送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC0[0] は TS00 に、CTSUCHTRC0[7] は TS07 に対応します。

### 34.2.12 CTSU チャネル送受信コントロールレジスタ 1 (CTSUCHTRC1)

アドレス CTSU.CTSUCHTRC1 4008 100Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC1[7:0]	CTSUチャネル送受信制御1	0: 受信 1: 送信 本ビットはTS08～TS15端子の設定を行います。	R/W

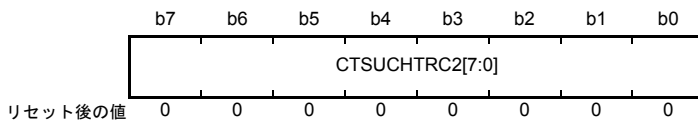
CTSUCHTRC1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

#### CTSUCHTRC1[7:0] ビット (CTSU チャネル送受信制御1)

フルスキャンモード時、関連する TS 端子の受信/送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC1[0] は TS08 に、CTSUCHTRC1[7] は TS15 に対応します。

### 34.2.13 CTSU チャネル送受信コントロールレジスタ 2 (CTSUCHTRC2)

アドレス CTSU.CTSUCHTRC2 4008 100Dh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC2[7:0]	CTSUチャネル送受信制御2	0 : 受信 1 : 送信 本ビットはTS16～TS23端子の設定を行います。	R/W

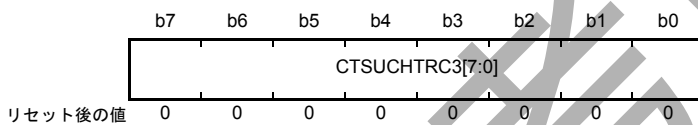
CTSUCHTRC2 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

#### CTSUCHTRC2[7:0] ビット (CTSUS チャネル送受信制御 2)

フルスキャンモード時、関連する TS 端子の受信／送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC2[0] は TS16 に、CTSUCHTRC2[7] は TS23 に対応します。

### 34.2.14 CTSU チャネル送受信コントロールレジスタ 3 (CTSUCHTRC3)

アドレス CTSU.CTSUCHTRC3 4008 100Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC3[7:0]	CTSUSチャネル送受信制御3	0 : 受信 1 : 送信 本ビットはTS24～TS28、TS30、TS31端子の設定を行います。	R/W

注 1. 本 MCU は TS29 端子には対応していません。そのため、b5 (CTSUCHTRC3[5]) を読むと 0 が読めます。書く場合、0 としてください。

CTSUCHTRC3 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

#### CTSUCHTRC3[7:0] ビット (CTSUS チャネル送受信制御 3)

フルスキャンモード時、関連する TS 端子の受信／送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC3[0] は TS24 に、CTSUCHTRC3[7] は TS31 に対応します。

## 34.2.15 CTSU 高域ノイズ低減コントロールレジスタ (CTSUDCLKC)

アドレス CTSU.CTSUDCLKC 4008 1010h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CTSUSSCNT[1:0]	—	—	—	CTSUSSMOD[1:0]	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSSMOD[1:0]	CTSU 拡散クロックモード選択	00bにしてください。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	CTSUSSCNT[1:0]	CTSU 拡散クロックモード制御	11bにしてください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUDCLKC レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

**CTSUSSMOD[1:0] ビット (CTSU 拡散クロックモード選択)**

高域ノイズ低減に関わるスペクトラム拡散クロックのモードを設定します。高域ノイズ低減機能を使用する場合は必ず 00b にしてください。本ビットが設定されていない場合、CTSU は効果的に高域ノイズを低減できません。

**CTSUSSCNT[1:0] ビット (CTSU 拡散クロックモード制御)**

高域ノイズ低減のためのスペクトラム拡散量を調整します。高域ノイズ低減機能を使用する場合は必ず 11b にしてください。本ビットが設定されていない場合、タッチ計測が正しく行われな可能性がります。

## 34.2.16 CTSU ステータスレジスタ (CTSUST)

アドレス CTSU.CTSUST 4008 1011h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUPS	CTSUROVF	CTSUSOVF	CTSUDTSR	—	CTSUSTC[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSUSTC[2:0]	CTSUS計測ステータスカウンタ	現在の計測ステータスを示します。 b2 b0 0 0 0: Status0 0 0 1: Status1 0 1 0: Status2 0 1 1: Status3 1 0 0: Status4 1 0 1: Status5	R
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	CTSUDTSR	CTSUSデータ転送ステータスフラグ	センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。 0: 読み出しあり 1: 読み出しなし	R
b5	CTSUSOVF	CTSUSセンサカウンタオーバーフローフラグ	センサカウンタのオーバーフローを示します。 0: オーバーフロー発生なし 1: オーバーフロー発生	R/W
b6	CTSUROVF	CTSUSリファレンスカウンタオーバーフローフラグ	リファレンスカウンタのオーバーフローを示します。 0: オーバーフロー発生なし 1: オーバーフロー発生	R/W
b7	CTSUPS	CTSUS相互容量計測ステータスフラグ	相互容量フルスキャンモードでの計測ステータスを示します。 0: 1回目の計測 1: 2回目の計測	R

CTSUCR0.CTSUINIT ビットでオーバーフローフラグをクリアする場合は、必ず CTSUCR0.CTSUSTRT ビットが 0 であるときに行ってください。

**CTSUSTC[2:0] フラグ (CTSUS 計測ステータスカウンタ)**

現在の計測ステータスを示すカウンタです。各ステータスの詳細は、[34.3.2.2 ステータスカウンタ](#)を参照してください。

**CTSUDTSR フラグ (CTSUS データ転送ステータスフラグ)**

センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。計測完了時に 1 になり、ソフトウェアまたは DTC でリファレンスカウンタを読み出すと 0 となります。また本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

**CTSUSOVF フラグ (CTSUS センサカウンタオーバーフローフラグ)**

センサカウンタ (CTSUSC) でオーバーフローが発生すると 1 になります。オーバーフロー発生時、カウンタ値は FFFFh になります。計測は指定期間継続します。

オーバーフロー発生時に割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、測定終了割り込み発生により計測完了が判明してから、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで 1 を読み出した後、0 を書き込むことによりクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

**CTSUROVF フラグ (CTSU リファレンスカウンタオーバーフローフラグ)**

リファレンスカウンタ (CTSUSC) でオーバーフローが発生すると 1 になります。オーバーフロー発生時、カウンタ値は FFFFh になります。計測は指定期間継続します。

オーバーフロー発生時に割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、測定終了割り込み発生により計測完了が判明してから、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで 1 を読み出した後、0 を書き込むことによりクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

**CTSUPS フラグ (CTSU 相互容量計測ステータスフラグ)**

相互容量フルスキャンモード (CTSUCR1.CTSUMD[1:0] = 11b) のとき、1 チャンネルあたり 2 回の計測において計測順位が 1 回目なのか 2 回目なのかを示します。

計測停止時、またはその他の計測モードの場合は 0 になります。

参考資料

## 34.2.17 CTSU 高域ノイズ低減スペクトラム拡散コントロールレジスタ (CTSUSSC)

アドレス CTSU.CTSUSSC 4008 1012h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CTSUSSDIV[3:0]			—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	CTSUSSDIV[3:0]	CTSUスペクトラム拡散分周設定	ベースクロックの分周設定に基づき、スペクトラム拡散分周設定値を設定します。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## CTSUSSDIV[3:0] ビット (CTSU スペクトラム拡散分周設定)

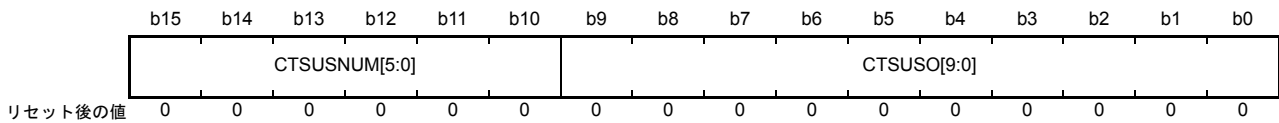
ベースクロックの分周設定に基づいて、スペクトラム拡散分周設定値を設定します。CTSUSSDIV[3:0] の正しい設定値を決めるには、表 34.5 でベースクロック周波数と設定値の関係を参照してください。

表 34.5 ベースクロック周波数とCTSUSSDIV[3:0] ビットの設定値の関係

ベースクロック周波数 fb (MHz)	CTSUSSDIV[3:0] ビットの設定値
$4.00 \leq fb$	0000b
$2.00 \leq fb < 4.00$	0001b
$1.33 \leq fb < 2.00$	0010b
$1.00 \leq fb < 1.33$	0011b
$0.80 \leq fb < 1.00$	0100b
$0.67 \leq fb < 0.80$	0101b
$0.57 \leq fb < 0.67$	0110b
$0.50 \leq fb < 0.57$	0111b
$0.44 \leq fb < 0.50$	1000b
$0.40 \leq fb < 0.44$	1001b
$0.36 \leq fb < 0.40$	1010b
$0.33 \leq fb < 0.36$	1011b
$0.31 \leq fb < 0.33$	1100b
$0.29 \leq fb < 0.31$	1101b
$0.27 \leq fb < 0.29$	1110b
$fb < 0.27$	1111b

## 34.2.18 CTSU センサオフセットレジスタ 0 (CTSUSO0)

アドレス CTSU.CTSUSO0 4008 1014h



ビット	シンボル	ビット名	機能	R/W
b9-b0	CTSUSO[9:0]	CTSUSO センサオフセット調整	電極が非タッチ状態のときの静電容量を調整します。 b9 b0 0000000000: 電流オフセット量0 0000000001: 電流オフセット量1 0000000010: 電流オフセット量2 : 1111111110: 電流オフセット量1022 1111111111: 電流オフセット量最大	R/W
b15-b10	CTSUSNUM[5:0]	CTSUS 計測回数設定	CTSUS の計測回数を設定します。	R/W

## CTSUSO[9:0] ビット (CTSUSO センサオフセット調整)

タッチ計測時に電極が非タッチ状態のときの静電容量により発生するセンサ ICO 入力電流をオフセットします。これは、CTSUS センサカウンタのオーバーフローを防止します。

次に計測する TS 端子の設定は、CTSUS\_CTSUWR 割り込みの発生後に行ってください。

## CTSUSNUM[5:0] ビット (CTSUS 計測回数設定)

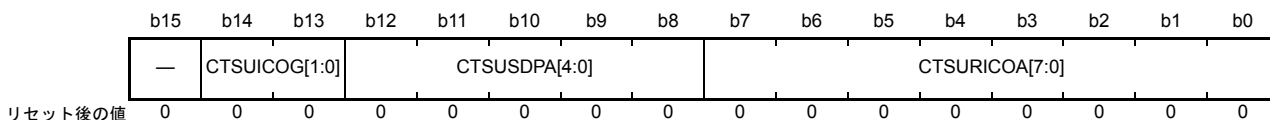
CTSUSDPRS.CTSUPRRATIO[3:0] ビットおよび CTSUSDPRS.CTSUPRMODE[1:0] ビットで決定される計測パルス数を計測時間内に何回繰り返すかを設定します。繰り返し回数は (CTSUSNUM[5:0] ビット + 1) となります。

次に計測する TS 端子の設定は、CTSUS\_CTSUWR 割り込みの発生後に行ってください。



## 34.2.19 CTSU センサオフセットレジスタ 1 (CTSUSO1)

アドレス CTSU.CTSUSO1 4008 1016h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSURICOA[7:0]	CTSUS リファレンス ICO 電流調整	リファレンス ICO の入力電流を調整します。 b7 b0 00000000 : 電流オフセット量 0 00000001 : 電流オフセット量 1 00000010 : 電流オフセット量 2 : 11111110 : 電流オフセット量 254 11111111 : 電流オフセット量 最大	R/W
b12-b8	CTSUSDPA[4:0]	CTSUS ベースクロック設定	CTSUS のベースクロックを生成します。 b12 b8 00000 : 動作クロックの 2 分周 (注1) 00001 : 動作クロックの 4 分周 00010 : 動作クロックの 6 分周 00011 : 動作クロックの 8 分周 00100 : 動作クロックの 10 分周 00101 : 動作クロックの 12 分周 00110 : 動作クロックの 14 分周 00111 : 動作クロックの 16 分周 01000 : 動作クロックの 18 分周 01001 : 動作クロックの 20 分周 01010 : 動作クロックの 22 分周 01011 : 動作クロックの 24 分周 01100 : 動作クロックの 26 分周 01101 : 動作クロックの 28 分周 01110 : 動作クロックの 30 分周 01111 : 動作クロックの 32 分周 10000 : 動作クロックの 34 分周 10001 : 動作クロックの 36 分周 10010 : 動作クロックの 38 分周 10011 : 動作クロックの 40 分周 10100 : 動作クロックの 42 分周 10101 : 動作クロックの 44 分周 10110 : 動作クロックの 46 分周 10111 : 動作クロックの 48 分周 11000 : 動作クロックの 50 分周 11001 : 動作クロックの 52 分周 11010 : 動作クロックの 54 分周 11011 : 動作クロックの 56 分周 11100 : 動作クロックの 58 分周 11101 : 動作クロックの 60 分周 11110 : 動作クロックの 62 分周 11111 : 動作クロックの 64 分周	R/W
b14-b13	CTSUICOG[1:0]	CTSUS ICO ゲイン調整	センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。 b14 b13 0 0 : ゲイン 100% 0 1 : ゲイン 66% 1 0 : ゲイン 50% 1 1 : ゲイン 40%	R/W
b15	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 相互容量フルスキャンモード時 (CTSUCR1.CTSMUMD[1:0] = 11b) の高域ノイズ低減機能 OFF 状態 (CTSUSDPRS.CTSSUSOFF = 1) では、CTSUSDPA[4:0] ビットを 00000b にしないでください。

CTSU\_CTSUWR 割り込み発生後に、CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタの順に書き込んでください。CTSUSO1 レジスタへの書き込みにより Status3 へ遷移します。(表 34.6、表 34.7 を参照してください)。CTSUSO1 レジスタに書き込む場合は、一度の動作で全ビットに書き込むようにしてください。

#### CTSURICOA[7:0] ビット (CTSU リファレンス ICO 電流調整)

リファレンス ICO の入力電流により、発振周波数を調整します。

#### CTSUSDPA[4:0] ビット (CTSU ベースクロック設定)

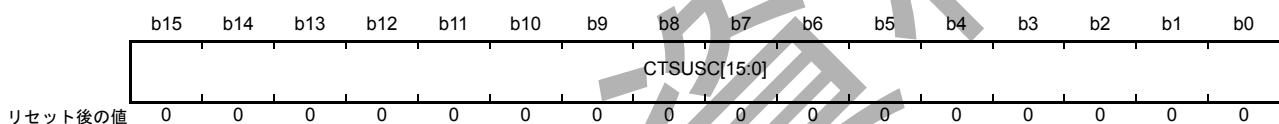
動作クロックを分周して、センサドライブパルスの元となるベースクロックを選択します。設定手順の詳細は、34.3.2.1 初期設定フローを参照してください。

#### CTSUICOG[1:0] ビット (CTSU ICO ゲイン調整)

センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。通常は最大ゲインの 00b にします。非タッチ時—タッチ時の容量変化が、センサ ICO のダイナミックレンジを大きく超える場合は、このビットを適切なゲインに調整してください。

### 34.2.20 CTSU センサカウンタ (CTSUSC)

アドレス CTSU.CTSUSC 4008 1018h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSUSC[15:0]	CTSUセンサカウンタ	センサICOの計測結果を示します。オーバーフロー発生時は FFFFhが読み出されます。	R

CTSU\_CTSURD 割り込み発生後、まず CTSUSC カウンタ、次に CTSURC カウンタの順で読み出してください。

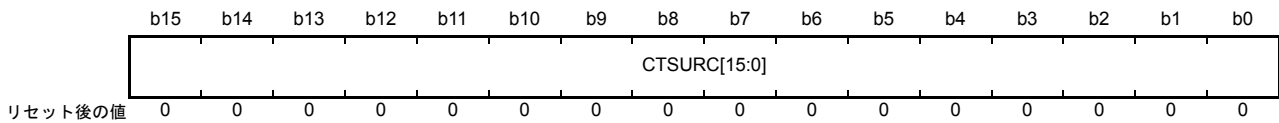
#### CTSUSC[15:0] ビット (CTSU センサカウンタ)

センサ ICO 用のインクリメントカウンタです。

CTSU\_CTSURD 割り込み発生後に読み出してください。本ビットは CTSURC カウンタ読み出し後、次の計測で CTSU 計測ステータスカウンタ値が Status4 に遷移 (CTSUST.CTSUSTC[2:0] フラグが 100b に遷移) する直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

### 34.2.21 CTSU リファレンスカウンタ (CTSURC)

アドレス CTSU.CTSURC 4008 101Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSURC[15:0]	CTSUS リファレンスカウンタ	リファレンス ICO の計測結果を示します。オーバーフロー発生時は FFFFh が読み出されます。	R

CTSUS\_CTSURD 割り込み発生後、まず CTSUSC カウンタ、次に CTSURC カウンタの順で読み出してください。Status3 に指定した安定時間を経過しても、CTSURC カウンタが読み出されるまで Status3 が継続します。

#### CTSURC[15:0] ビット (CTSUS リファレンスカウンタ)

リファレンス ICO クロック用のインクリメントカウンタです。リファレンス ICO はセンサ ICO によるタッチ計測を最適化します。CTSUS に内蔵されたセンサ ICO とリファレンス ICO は個体により若干の偏差はありますが、ダイナミックレンジや電流一周波数の特性などはほぼ同様の特性を持っています。リファレンス ICO 電流調整ビットで設定できる電流の範囲がほぼ、両 ICO のダイナミックレンジになるため、センサ ICO に入力する電流もこのダイナミックレンジに収める必要があります。そのためには、ICO の個体差を確認するためにリファレンス ICO を使い、電流一発振周波数の特性を計測します。リファレンス ICO 発振周波数はリファレンス ICO カウンタで取得でき、リファレンス ICO 電流調整ビットに値を設定してリファレンス ICO カウンタを計測することで、入力電流に対する ICO 発振周波数 (カウンタ値 / 計測時間) を計測できます。また、リファレンス ICO 電流調整ビットの最大値で計測されるリファレンス ICO カウンタの値が、ICO のダイナミックレンジの最大値となります。センサ ICO カウンタの値がこの値を超えないように、オフセット調整ビットでセンサ ICO の電流をオフセットする必要があります。

CTSURC[15:0] ビットは、CTSUS\_CTSURD 割り込み発生後に読み出してください。本ビットは読み出し後に、次の計測で CTSUS 計測ステータスカウンタ値が Status4 に遷移 (CTSUST.CTSUSTC[2:0] フラグが 100b に遷移) する直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

## 34.2.22 CTSU エラーステータスレジスタ (CTSUERRS)

アドレス CTSU.CTSUERRS 4008 101Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CTSUI COMP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。	R
b15	CTSUICOMP	TSCAP 電圧異常監視	TSCAP 電圧の異常なステータスを監視します。 0 : TSCAP 電圧正常 1 : TSCAP 電圧異常	R

**CTSUICOMP ビット (TSCAP 電圧異常監視)**

CTSUSO1 レジスタで設定したオフセット電流量が、タッチ計測時のセンサ ICO 入力電流を上回った場合、TSCAP 電圧が異常となりタッチ計測が正しく行われません。本ビットは TSCAP 電圧を監視し、電圧異常となった場合は 1 になります。

なお、TSCAP 電圧が異常となった場合、センサ ICO カウンタの値は不定になりますが、タッチ計測は正常に終了するので、センサ ICO カウンタの値から異常を検知することは困難です。CTSUSO1 レジスタの CTSU リファレンス ICO 電流調整ビット (CTSURICOA[7:0]) を 0 以外の値にしてある場合は、必ずタッチ計測終了時に本ビットを確認してください。

本ビットは、CTSUCR1.CTSUPON ビットに 0 を書き込み、電源 OFF とすることでクリアされます。

### 34.3 動作説明

#### 34.3.1 計測動作原理

図 34.4 に計測部回路を示します。

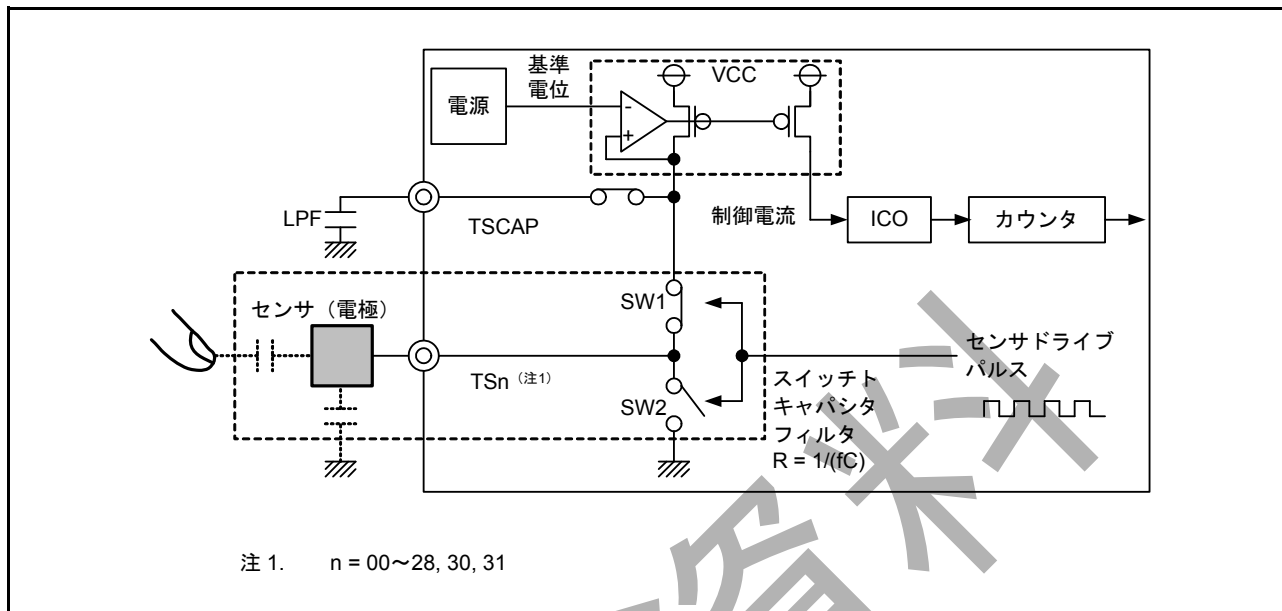


図 34.4 計測部回路

図 34.5 ~ 図 34.7 に CTSU の電流周波数変換の静電容量計測動作原理を示します。動作は以下のとおりです。

1. SW1 : ON、SW2 : OFF にすることで、電極の静電容量に充電されます。図 34.5 を参照してください。
2. SW1 : OFF、SW2 : ON にすることで、充電された容量は放電されます。図 34.6 を参照してください。
3. 手順 1. および 2. に示す電極の充放電の切り替えを繰り返すことにより、スイッチトキャパシタフィルタに電流が流れます。この時点で指が接近していれば、容量および流れる電流が変化します。TSCAP 電源を生成する回路からスイッチトキャパシタフィルタに流れる電流に比例した制御電流を ICO に供給することで、クロックを生成します。カウンタは、指が接近しているかどうかにより変化するクロック周波数を計測します。ソフトウェアは、カウンタから読み出した値に基づき指の接触を判断します。図 34.7 を参照してください。

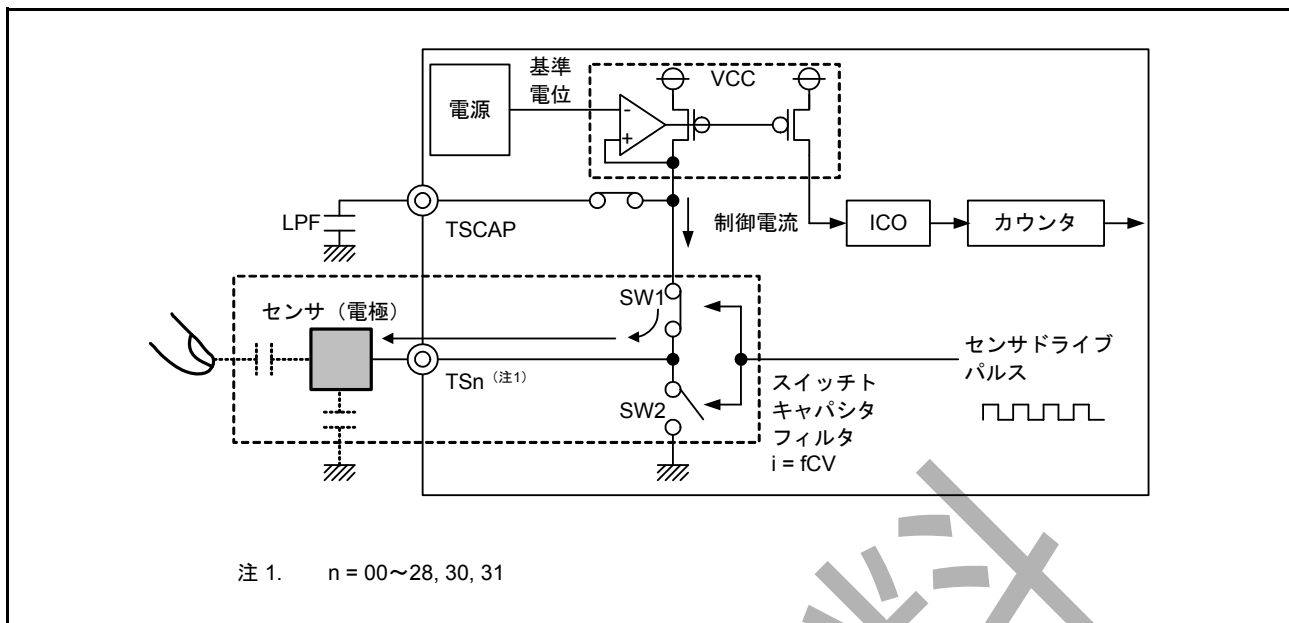


図 34.5 充電動作

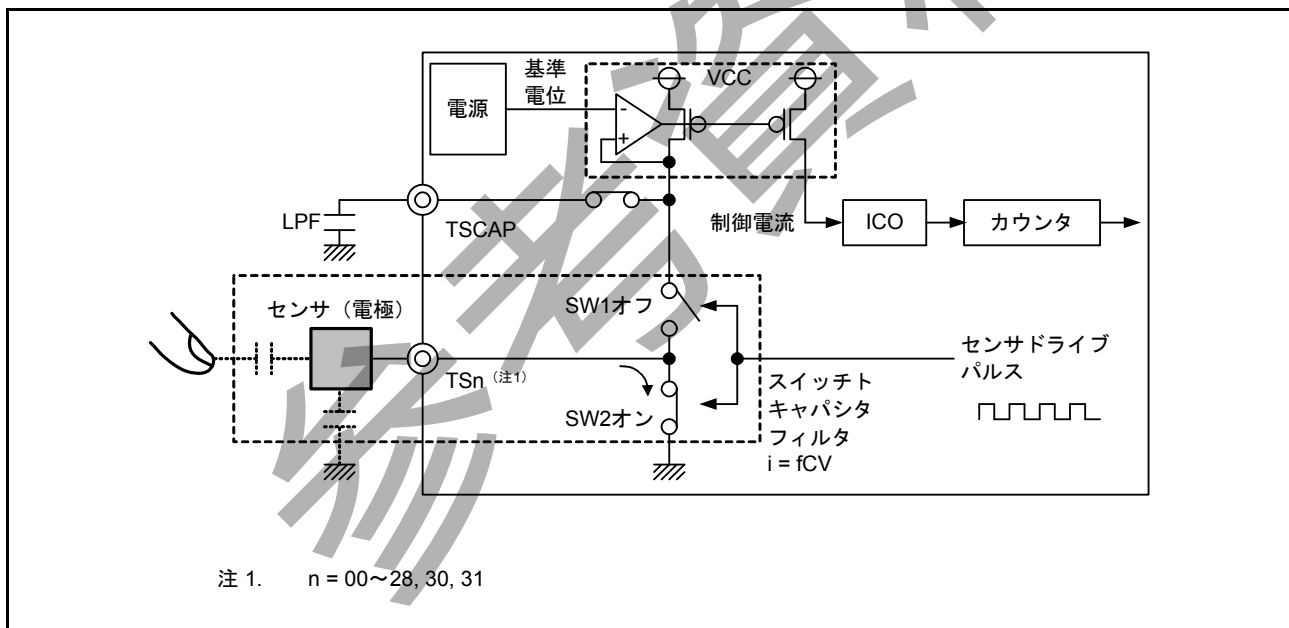


図 34.6 放電動作

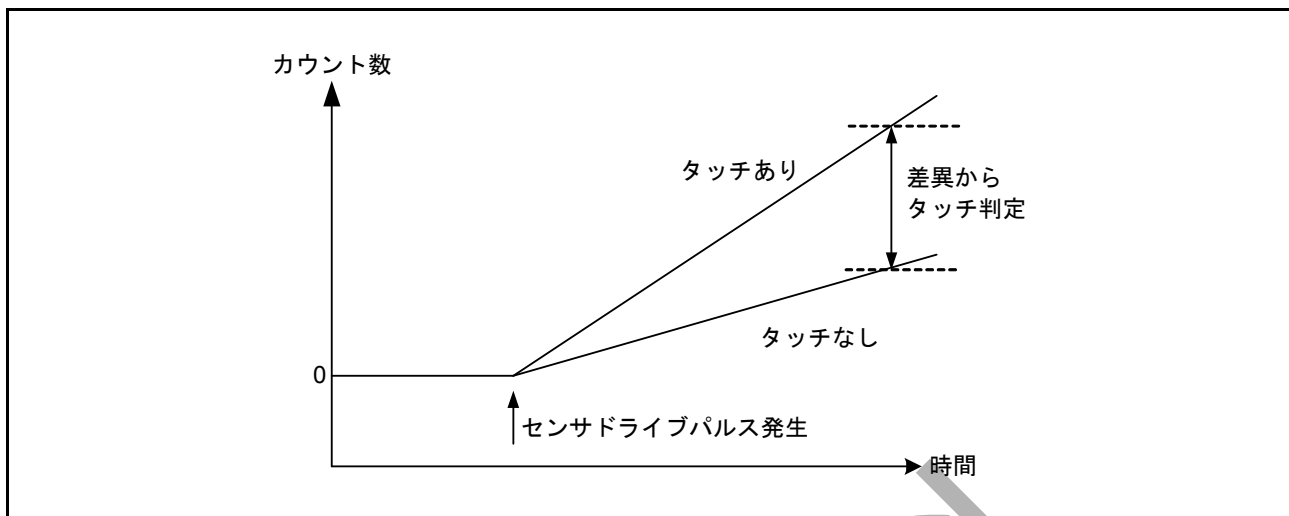


図 34.7 接触／非接触による計測値の変化

### 34.3.2 計測モード

CTSU は、自己容量方式と相互容量方式に対応しています。図 34.8 に自己容量方式と相互容量方式の概要を示します。

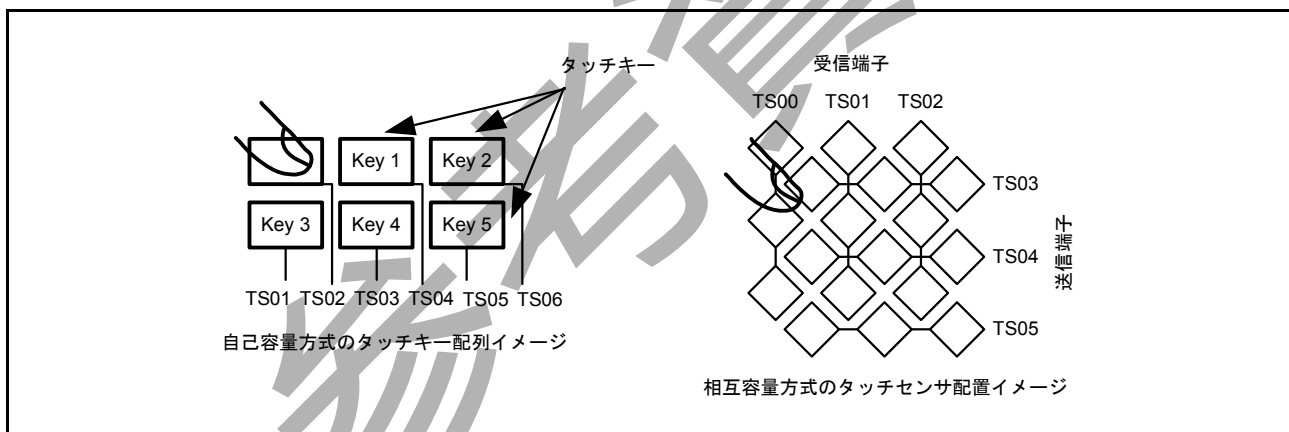


図 34.8 自己容量方式と相互容量方式の概要

自己容量方式では、1つのタッチキーに1つのタッチ端子を割り当て、それぞれにおける指の接近時の静電容量を計測します。この方法では、シングルスキャンモードとマルチスキャンモードの両方で容量を計測できます。

相互容量方式では、対向する2つの電極（送信端子と受信端子）間の容量を計測します。

## 34.3.2.1 初期設定フロー

図 34.9 に、初期 CTSU の設定フローを示します。

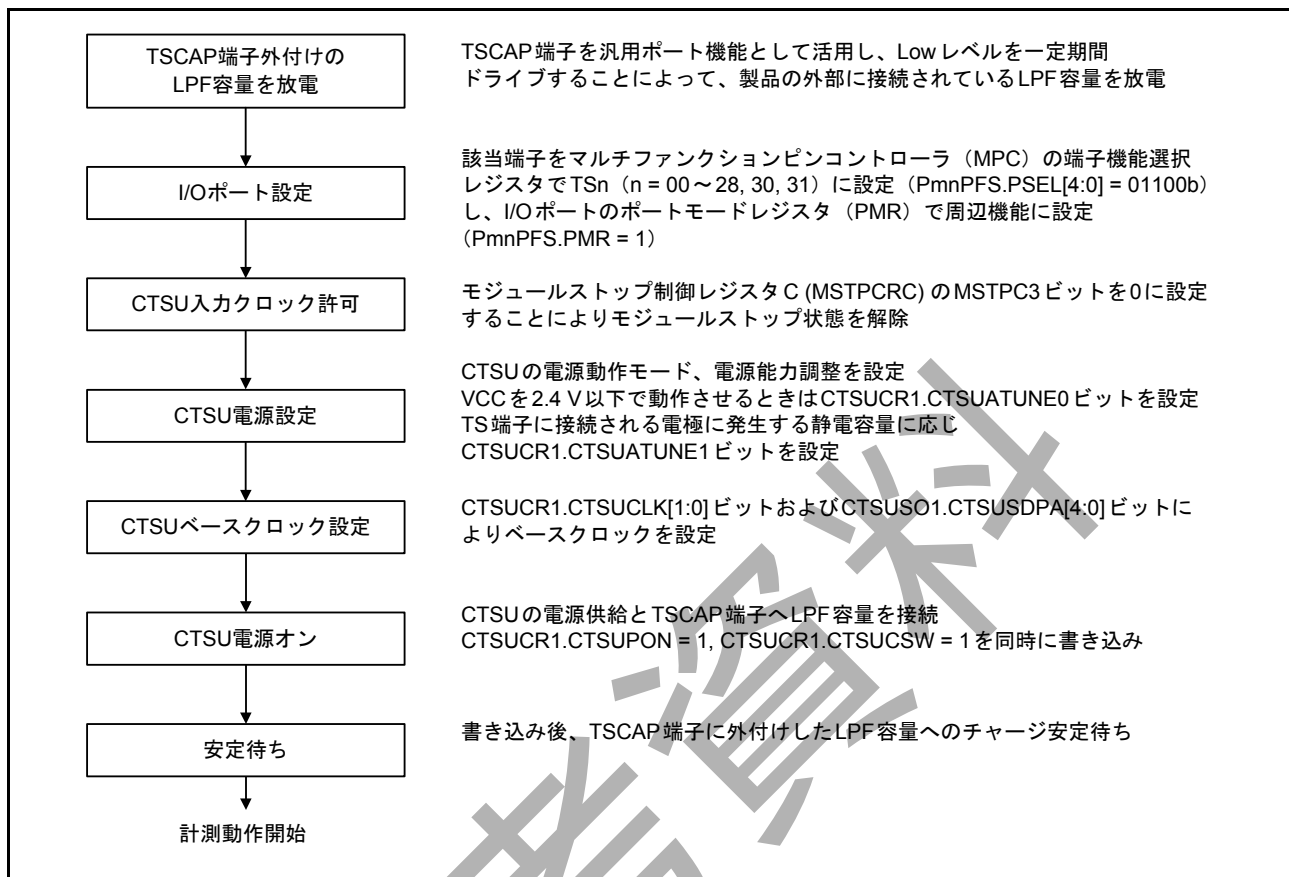


図 34.9 初期 CTSU 設定フロー

図 34.10 に、CTSUS の動作を停止させスタンバイ状態にするフローを示します。

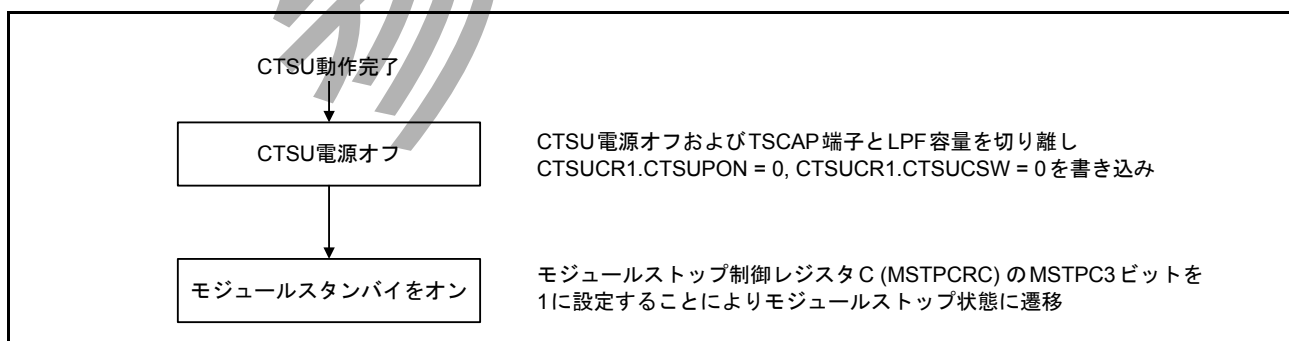


図 34.10 CTSUS 停止フロー

動作を再開する場合は、図 34.9 の初期設定フローに従ってください。



### 34.3.2.2 ステータスカウンタ

CTSUS ステータスレジスタ (CTSUST) の計測ステータスカウンタは、現在の計測ステータスを示します。計測ステータスは、4 つの計測モードに適用できます。図 34.11 にステータス動作遷移図を示します。

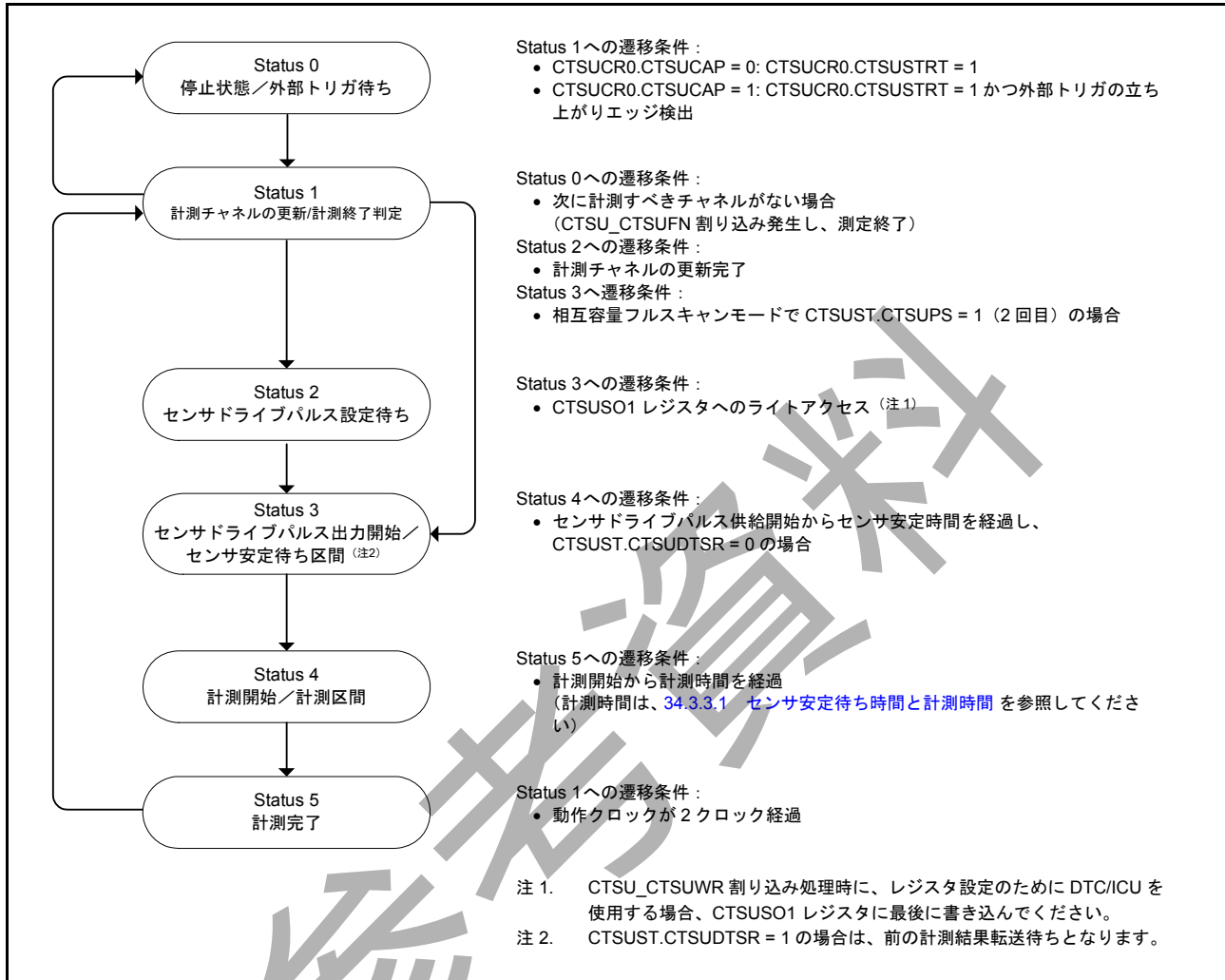


図 34.11 ステータス動作遷移図

ステータスカウンタは、指定したすべての計測チャンネルの計測が終了すると Status0 に遷移します。

CTSUCR0.CTSUSTRT ビットは、ソフトウェアトリガではハードウェアにより 0 にクリアされます。また外部トリガでは 1 が保持され、次のトリガの待機状態になります。

計測中またはトリガ待機状態で強制終了する (CTSUCR0.CTSUSTRT ビットに 0 を、CTSUCR0.CTSUINIT ビットに 1 を同時に書き込む) ことにより、Status0 に遷移して計測は停止します。

以下の場合、計測するチャンネルはありません。

- CTSUCHAC0 ~ CTSUCHAC3 レジスタに計測対象チャンネルが指定されていない場合
- 自己容量シングルスキャンモードで、CTSUSMCH0 レジスタで指定したチャンネルが CTSUCHAC0 ~ CTSUCHAC3 レジスタで計測対象外となっている場合
- フルスキャンモードで、CTSUCHAC0 ~ CTSUCHAC3 レジスタ、CTSUCHTRC0 ~ CTSUCHTRC3 レジスタの組み合わせで計測する送信チャンネルまたは受信チャンネルがない場合

これらの設定に基づき計測するチャンネルがない場合、Status1 への遷移後すぐに CTSUS\_CTSUFN 割り込みが発生し、カウンタは Status0 になります。

### 34.3.2.3 自己容量シングルスキャンモード動作

自己容量シングルスキャンモードでは、任意の1チャンネルの静電容量を計測します。図 34.12 にソフトウェアフローと動作例を、図 34.13 にタイミングを示します。

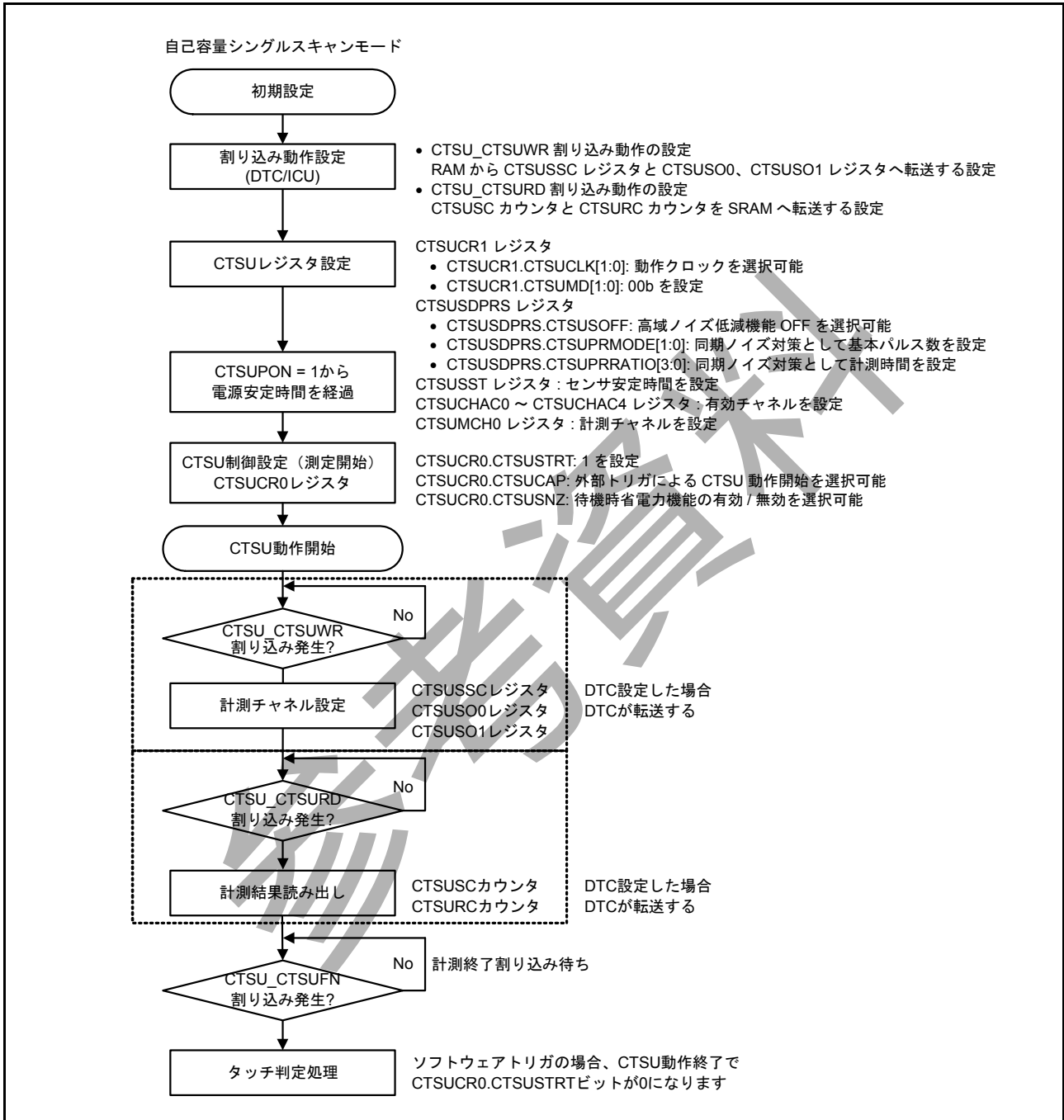


図 34.12 自己容量シングルスキャンモードのソフトウェアフローと動作例

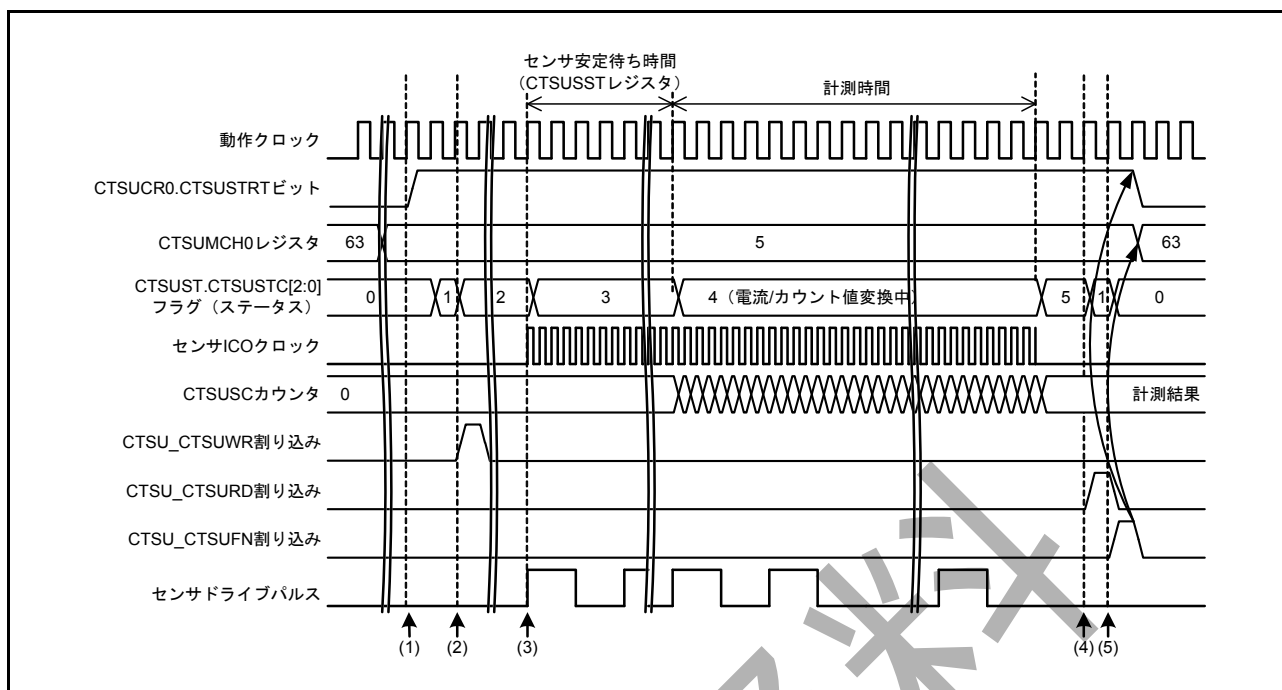


図 34.13 自己容量シングルスキャンモードのタイミング（計測開始条件がソフトウェアトリガの場合）

図 34.13 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャンネルが決定された後に、そのチャンネルの設定要求 (CTSU\_CTSUWR) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求 (CTSU\_CTSURD) を出力します。
5. 計測終了割り込み (CTSU\_CTSUFN) を出力して計測終了 (Status0 へ遷移) します。

表 34.6 に自己容量シングルスキャンモードのタッチ端子状態を示します。

表 34.6 自己容量シングルスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャンネル	非計測チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

### 34.3.2.4 自己容量マルチスキャンモードの動作

自己容量マルチスキャンモードは、CTSUCHAC0 ~ CTSUCHAC3 レジスタで計測対象に指定したすべてのチャンネルに対して、静電容量を昇順で順次計測します。図 34.14 にソフトウェアフローと動作例を、図 34.15 にタイミングを示します。

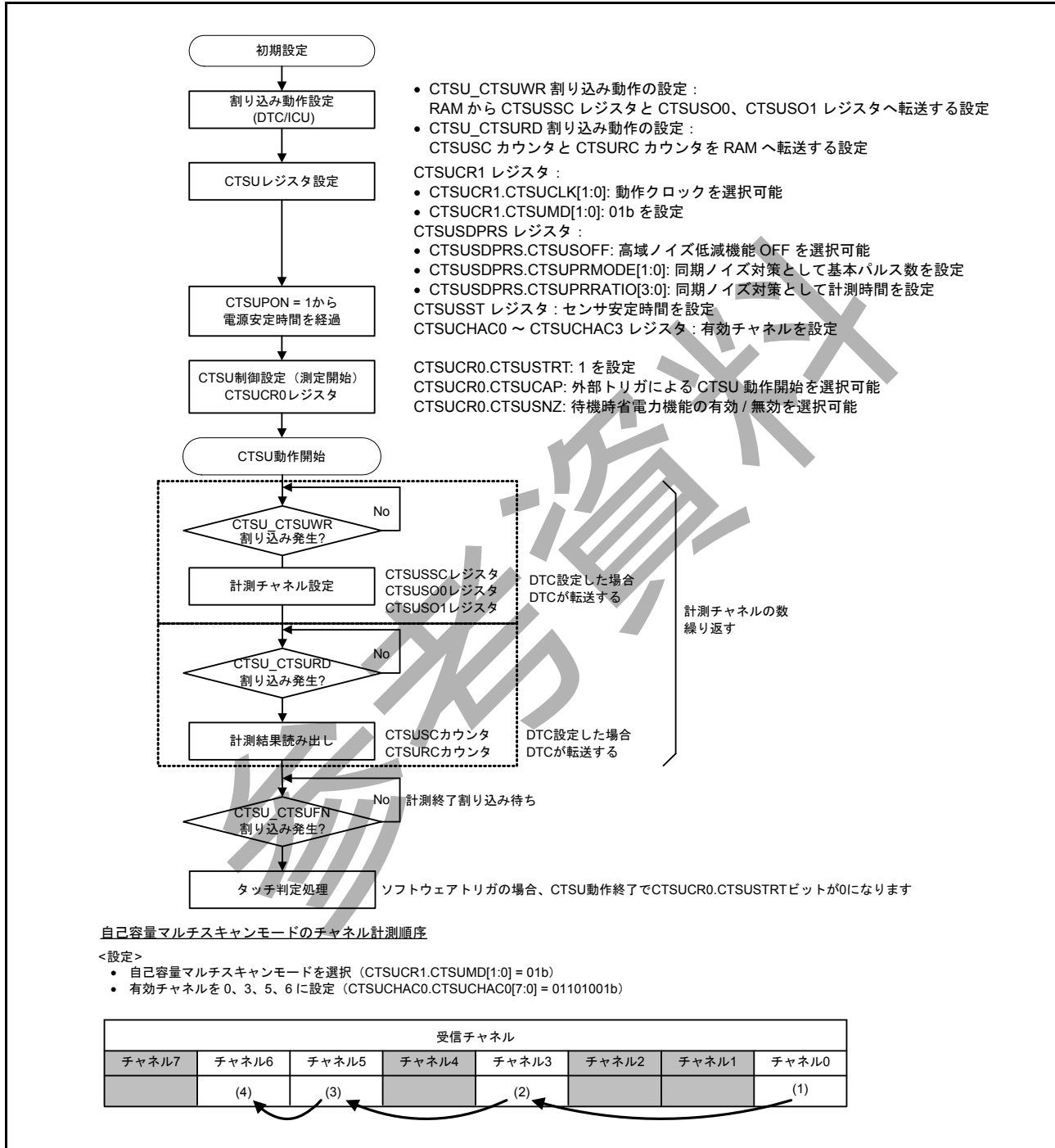


図 34.14 自己容量マルチスキャンモードのソフトウェアフローと動作例

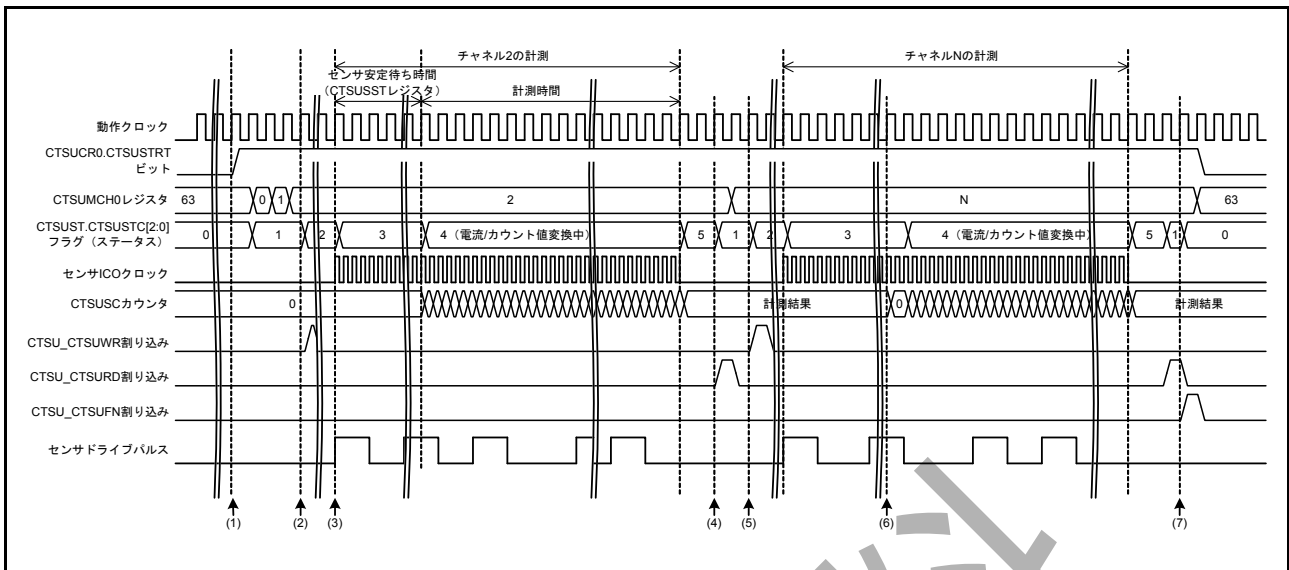


図 34.15 自己容量マルチスキャンモードのタイミング (計測開始条件がソフトウェアトリガの場合)

図 34.15 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャンネルが決定された後に、そのチャンネルの設定要求 (CTSUSMCH0) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSSTC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求 (CTSUSURD) を出力します。
5. 次に計測するチャンネルが決定した後、そのチャンネルの設定要求 (CTSUSMCH0) を出力します。
6. 安定待ち時間の経過、および前回の計測結果の読み出しによって、前回の計測結果をクリアし、計測を開始します。
7. すべてのチャンネル計測が完了したら、計測終了割り込み (CTSUSUFN) を出力して計測を終了 (Status0 へ遷移) します。

表 34.7 に自己容量マルチスキャンモードのタッチ端子状態を示します。

表 34.7 自己容量マルチスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャンネル	非計測チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

### 34.3.2.5 相互容量フルスキャンモード動作

相互容量フルスキャンモードは、受信チャンネルのセンサドライブパルスの High 期間に対して、計測対象の送信チャンネルにエッジを印加して計測を行います。1 計測対象に対して立ち上がりエッジと立ち下がりエッジの 2 回の計測を実施します。この 2 回の計測データの差分からタッチ判定を行います。これにより、より高いタッチ感度を実現します。

CTSUCHTRC0 ~ CTSUCHTRC3 レジスタで送信用または受信用に設定され、CTSUCHAC0 ~ CTSUCHAC3 レジスタで計測対象に設定されたチャンネルに対して、静電容量を順次計測します。容量は、これらの信号を組み合わせることで計測されます。図 34.16 にソフトウェアフローと動作例を、図 34.17 にタイミングを示します。

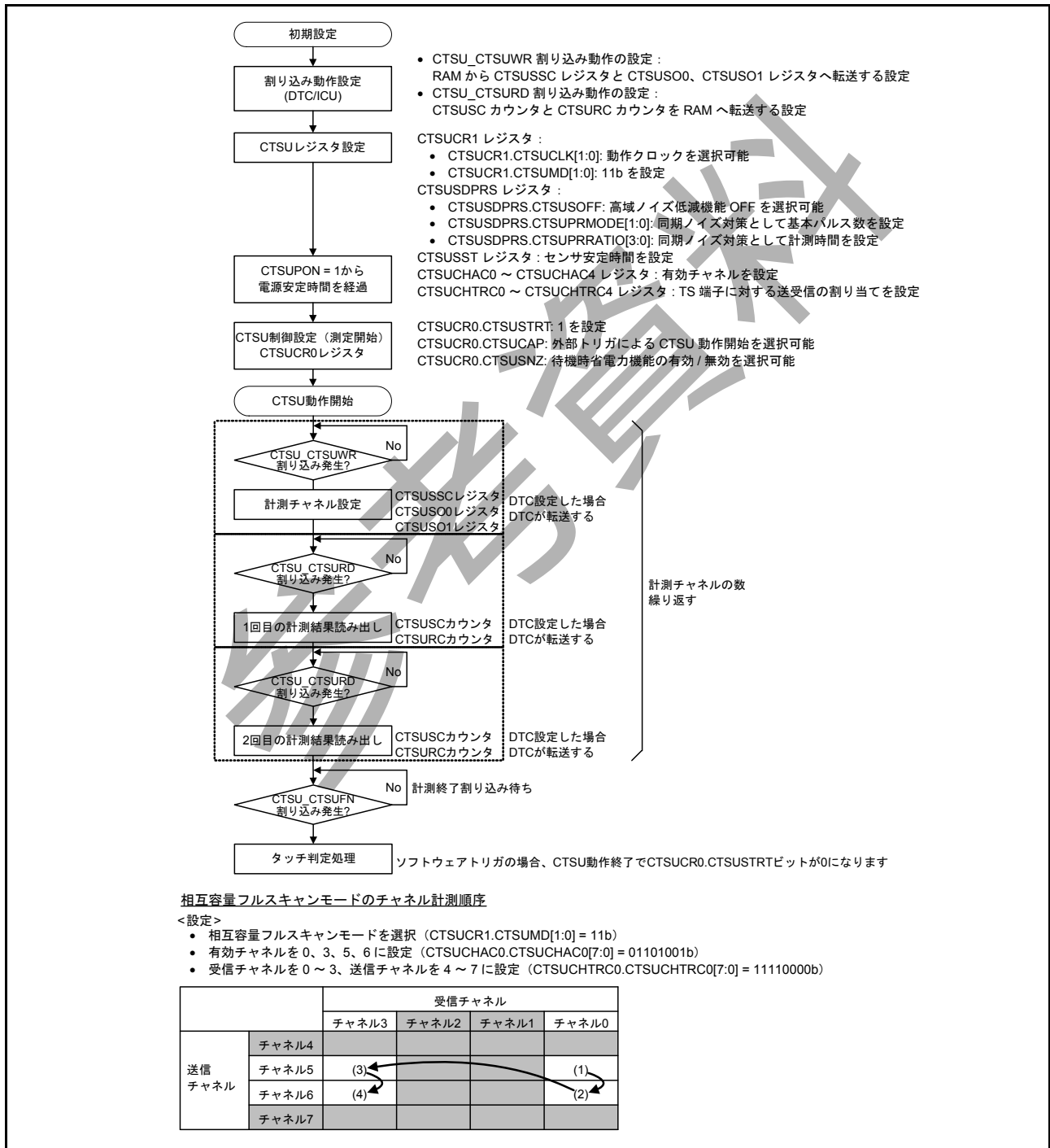


図 34.16 相互容量フルスキャンモードのソフトウェアフローと動作例

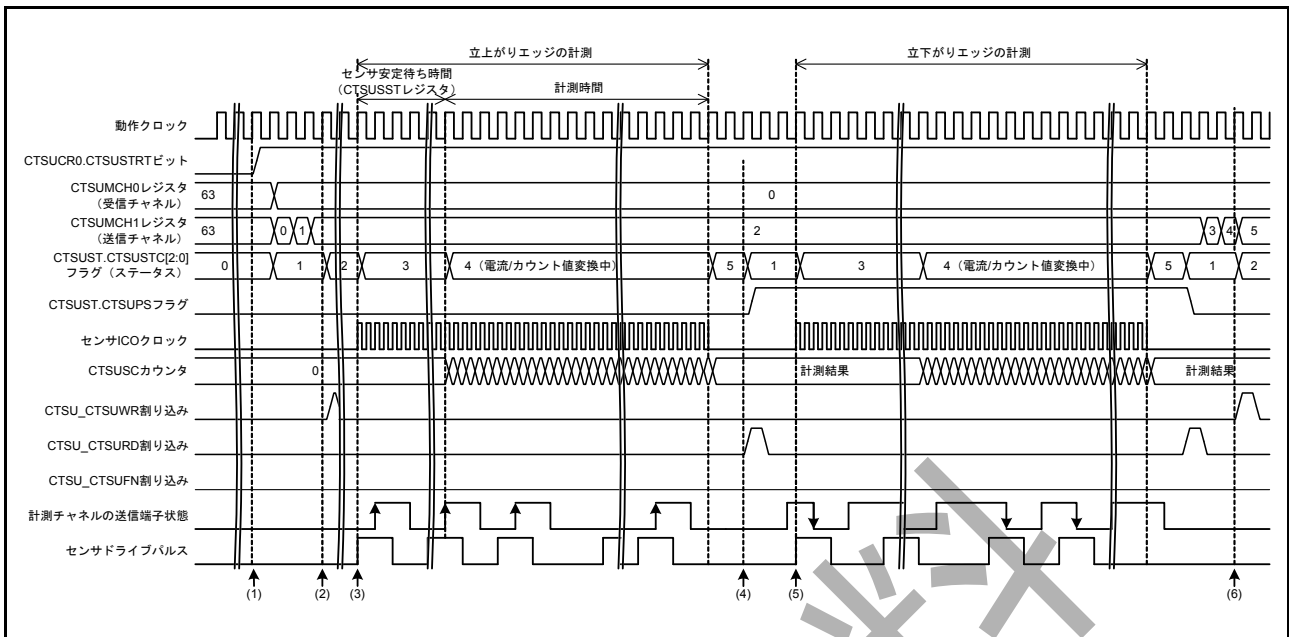


図 34.17 相互容量フルスキャンモードのタイミング（計測開始条件がソフトウェアトリガの場合）

図 34.17 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャンネルが決定された後に、そのチャンネルの設定要求 (CTSU\_CTSUWR) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。同時に、センサドライブパルスの High 期間に対して、立ち上がりエッジで検出されたパルスを計測チャンネルの送信端子に出力します。
4. センサ安定待ち時間、計測時間を経過して計測が終了した後、計測結果読み出し要求 (CTSU\_CTSURD) を出力します。
5. 同一チャンネルに対して、センサドライブパルスの High 期間に、立ち下がりエッジで検出されたパルスを出力して計測を行います。
6. 同一チャンネルに対して 2 回の計測を行った後、次に計測するチャンネルを決定し、同様の計測を行います。
7. すべてのチャンネル計測が完了したら、計測終了割り込み (CTSU\_CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

なお、相互容量計測ステータスフラグ (CTSUST.CTSUPS ビット) は、Status5 から Status1 へ遷移するタイミングで変化します。

表 34.8 に相互容量フルスキャンモードのタッチ端子状態を示します。

表 34.8 相互容量フルスキャンモードのタッチ端子状態

Status	受信チャンネルのタッチ端子		送信チャンネルのタッチ端子		備考
	計測チャンネル	非計測チャンネル	計測チャンネル	非計測チャンネル	
0	Low	Low	Low	Low	-
1	Low	Low	Low/high	Low	-
2	Low	Low	Low	Low	-
3	パルス	Low	パルス	Low	送信パルス位相は、1回目の計測では受信チャンネルと同相になり、2回目の計測では逆相になります。
4	パルス	Low	パルス	Low	-
5	Low	Low	Low	Low	-

参考資料



### 34.3.3 複数モードに関わる共通機能

#### 34.3.3.1 センサ安定待ち時間と計測時間

図 34.18 にセンサ安定待ちと計測のタイミングを示します。

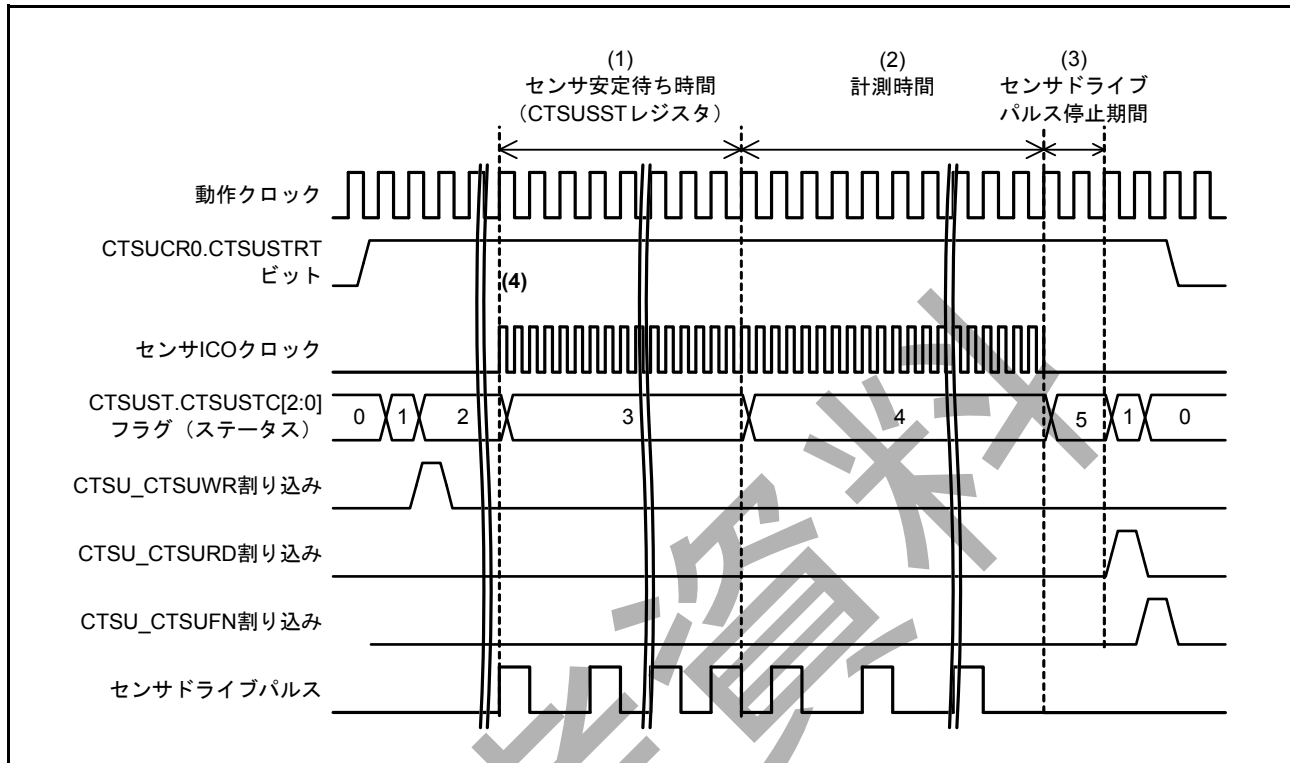


図 34.18 センサ安定待ちと計測のタイミング

図 34.18 に示した動作を以下で説明します。

1. CTSU\_CTSUWR 割り込み要求に対して、CTSUSO1 レジスタへライトアクセスすることでセンサドライブパルスの出力を開始し、CTSUSST レジスタで設定した安定時間を待ちます。
2. センサ安定時間が経過し、かつ CTSUST.CTSUDTSR フラグが 0 にクリアされ、Status4 に遷移することによって計測を開始します。計測時間は、ベースクロックの周期と CTSUSDPRS.CTSUPRMODE[1:0] ビット、CTSUPRRATIO[3:0] ビット、CTSUSO0.CTSUSNUM[5:0] ビットの設定で決定します。計測時間が経過するとチャンネルの計測を終了します。
3. 計測時間経過後、動作クロック 2 サイクルで Status1 に遷移し、CTSUSURD 割り込みが発生します。CTSUSC カウンタと CTSURC カウンタからデータを読み出してください。このとき、センサドライブパルスは Low 出力になります。設定した全チャンネルの計測が完了すると、CTSUCR0.CTSUSTRT ビットは 0 になります。
4. センサ ICO クロックは、CTSUST.CTSUSTC[2:0] フラグ = 011b (Status3) または 100b (Status4) の期間に発振します。

### 34.3.3.2 割り込み

CTSUS は下記の割り込みに対応しています。

- チャンネルごとの設定レジスタ書き込み要求割り込み (CTSUS\_CTSUWR)
- 測定データ転送要求割り込み (CTSUS\_CTSURD)
- 測定終了割り込み (CTSUS\_CTSUFN)

#### (1) チャンネル毎の設定レジスタ書き込み要求割り込み (CTSUS\_CTSUWR)

計測チャンネルごとの設定データを SRAM 上に用意しておき、あらかじめ CTSUS\_CTSUWR 割り込みに対応した DTC/ICU の転送設定を行います。CTSUS\_CTSUWR 割り込みは Status1 から Status2 へ遷移したタイミングで出力します。SRAM から関連する CTSUSSC、CTSUSO0、CTSUSO1 レジスタへチャンネル設定を書き込みます (図 34.19)。CTSUSO1 レジスタへのライトアクセスにより次の Status への遷移が制御されるため、CTSUSO1 レジスタを必ず最後に設定してください。

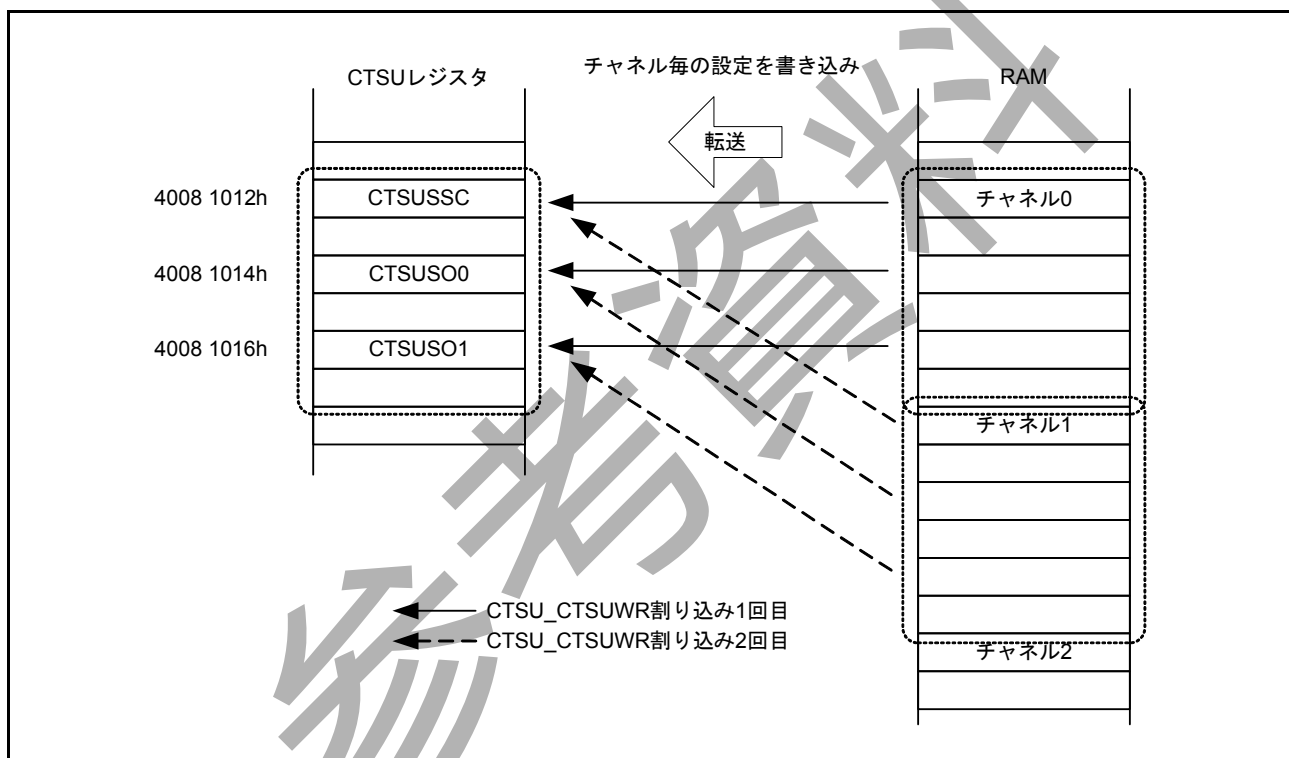


図 34.19 CTSUS\_CTSUWR 割り込みを用いた DTC 転送動作例

設定するレジスタ (CTSUSSC、CTSUSO0、CTSUSO1 の各レジスタ) は、連続したアドレスに配置しています。CTSUS\_CTSUWR 割り込み発生では、以下のように動作を設定してください。

- 転送先アドレス : CTSUSSC レジスタのアドレス
- 転送先アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 3 回転送。先頭バイトのアドレスは固定
- 転送元アドレス : SRAM 上に用意した設定の番号が最小のチャンネルの CTSUSSC レジスタデータ格納アドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 3 回転送。先頭バイトのアドレスは前回の割り込み処理から継続
- 割り込み 1 回あたりの転送回数 : 計測する回数を指定

## (2) 測定データ転送要求割り込み (CTSUSURD)

あらかじめ、CTSUSURD 割り込みに対応した DTC/ICU の転送設定を行います。CTSUSURD 割り込みは、Status5 から Status1 へ遷移するタイミングで出力します。計測結果を CTSUSC カウンタと CTSURC カウンタから読み出してください (図 34.20)。

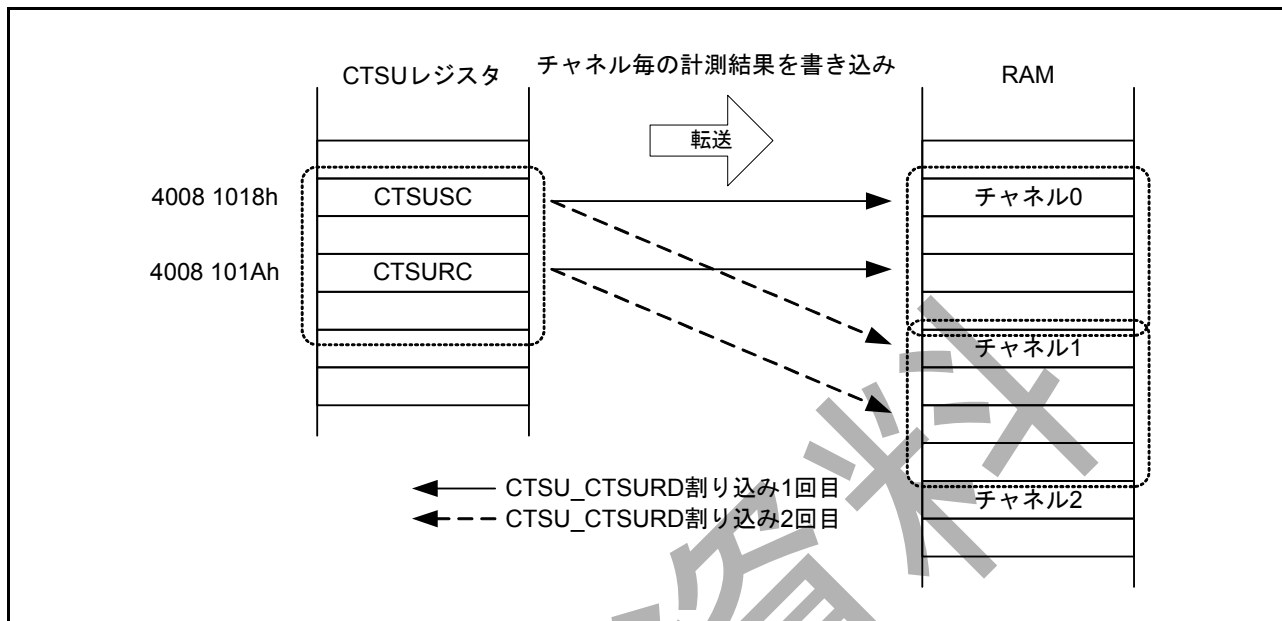


図 34.20 CTSUSURD 割り込みを用いた DTC 転送動作例

転送元である計測結果レジスタ (CTSUSC カウンタと CTSURC カウンタ) は、連続したアドレスに配置してあります。CTSUSURD 割り込み発生では、以下のように動作を設定してください。

- 転送元アドレス : CTSUSC カウンタのアドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送。先頭アドレスは固定
- 転送先アドレス : SRAM 上に用意した設定の番号が最小のチャンネルの CTSUSC カウンタデータ格納アドレス
- 転送先アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送。先頭アドレスは前回の割り込み処理から継続
- 割り込み 1 回あたりの転送回数 : 計測する回数を指定

## (3) 測定終了割り込み (CTSUSUFN)

すべてのチャンネル計測が終了すると、Status1 から Status0 に遷移するタイミングで割り込みが発生します。ソフトウェアで、オーバーフローフラグ (CTSUST.CTUSOVF と CTSUROVF) の確認を行い、計測結果を読み出して電極とのタッチの有無を判定します。割り込み要求の受付、禁止は割り込み制御部で行います。

## 34.4 使用上の注意事項

### 34.4.1 計測結果データ (CTSUSC カウンタ、CTSURC カウンタ)

計測中のリードアクセスは禁止です。アクセスした場合は、非同期のため正しくない値を読み出す場合があります。

### 34.4.2 ソフトウェアトリガ

CTSUCR1.CTSUCLK[1:0] ビットで 10b (PCLKB/4) を選択した場合、計測完了後に CTSUR0.CTSUSTRT ビットへ 1 を書き込み計測を再開させるときは、割り込み発生から 3 サイクル以上待ってから書き込むようにしてください。

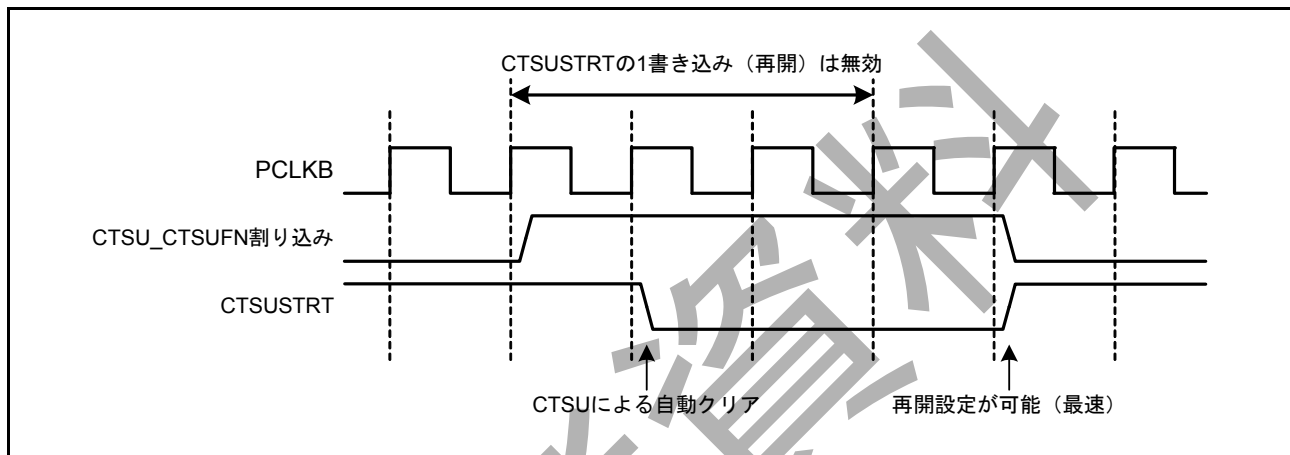


図 34.21 再開時の注意事項

### 34.4.3 外部トリガ

- 計測時間中に外部トリガが入力された場合、計測は開始されない。次の外部イベントは、CTSU\_CTSUFN 割り込みが発生した動作クロックの 1 サイクル後から有効
- 外部トリガモードを終了する場合は、CTSUCR0.CTSUSTRT ビットの 0 と CTSUCR0.CTSUINIT ビットの 0 の同時書き込み（強制停止）で停止

### 34.4.4 強制終了に関する注意事項

動作中に強制停止させる場合は、CTSUCR0.CTSUSTRT ビットに 0、CTSUCR0.CTSUINIT ビットに 1 を同時に書き込んでください。動作が停止し、内部コントロールレジスタが初期化されます。

CTSUCR0.CTSUINIT ビットによる初期化では、内部計測状態に加え、以下のレジスタが初期化されます。

- CTSUMCH0 レジスタ
- CTSUMCH1 レジスタ
- CTSUST レジスタ
- CTSUSC カウンタ
- CTSURC カウンタ

強制停止した場合、内部状態によっては割り込み要求が発生することがあります。強制停止後、DTC/ICU の停止/無効処理も行ってください。搭載するシステムが何らかの要因で DTC 転送を停止する場合は、CTSUS に対しても強制終了および初期化処理を行ってください。

### 34.4.5 TSCAP 端子

TSCAP 端子は、外部デカップリングキャパシタに対し、CTSUS 内部電圧を一定に保つよう要求します。TSCAP 端子と外部デカップリングキャパシタ間、および外部デカップリングキャパシタとグランド間の配線は、物理的に可能な限り短く幅広くしてください。

TSCAP 端子に接続されているコンデンサは、接続確立のためスイッチを ON (CTSUCR1.CTUSUCSW ビット = 1) にする前に、I/O ポート制御により Low を出力させ、十分放電させてください。

### 34.4.6 計測動作時 (CTSUCR0.CTUSUSTRT ビット = 1) の注意事項

計測中 (CTSUCR0.CTUSUSTRT ビット = 1) には、システムの上位レイヤから「周辺クロックの停止」や「タッチ端子 (TS 端子、TSCAP 端子) に関わるポート設定の変更」を行わないでください。

これらの制限に違反する制御を設定した場合は、動作の強制停止 (CTSUCR0.CTUSUSTRT ビット = 0、CTSUCR0.CTUSUINIT ビット = 1) 後、CTSUCR1.CTUSUPON ビットと CTSUCR1.CTUSUCSW ビットに 0 を同時に書き込み、CTSUCR0.CTUSUSNZ ビットを 0 にしてください。次に、[図 34.9](#) の初期設定フローから再開してください。

参考資料

## 35. データ演算回路 (DOC)

### 35.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に該当する場合、割り込みが発生します。表 35.1 に DOC の仕様を、図 35.1 にブロック図を示します。

表 35.1 DOCの仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
モジュール停止機能	モジュール停止状態に設定して消費電力を削減
割り込みとイベントリンク機能 (DOC_DOPCI)	割り込みの発生条件 <ul style="list-style-type: none"> <li>データ比較の結果が一致または不一致のとき</li> <li>データ加算の結果がFFFFhより大きくなったとき</li> <li>データ減算の結果が0000hより小さくなったとき</li> </ul>

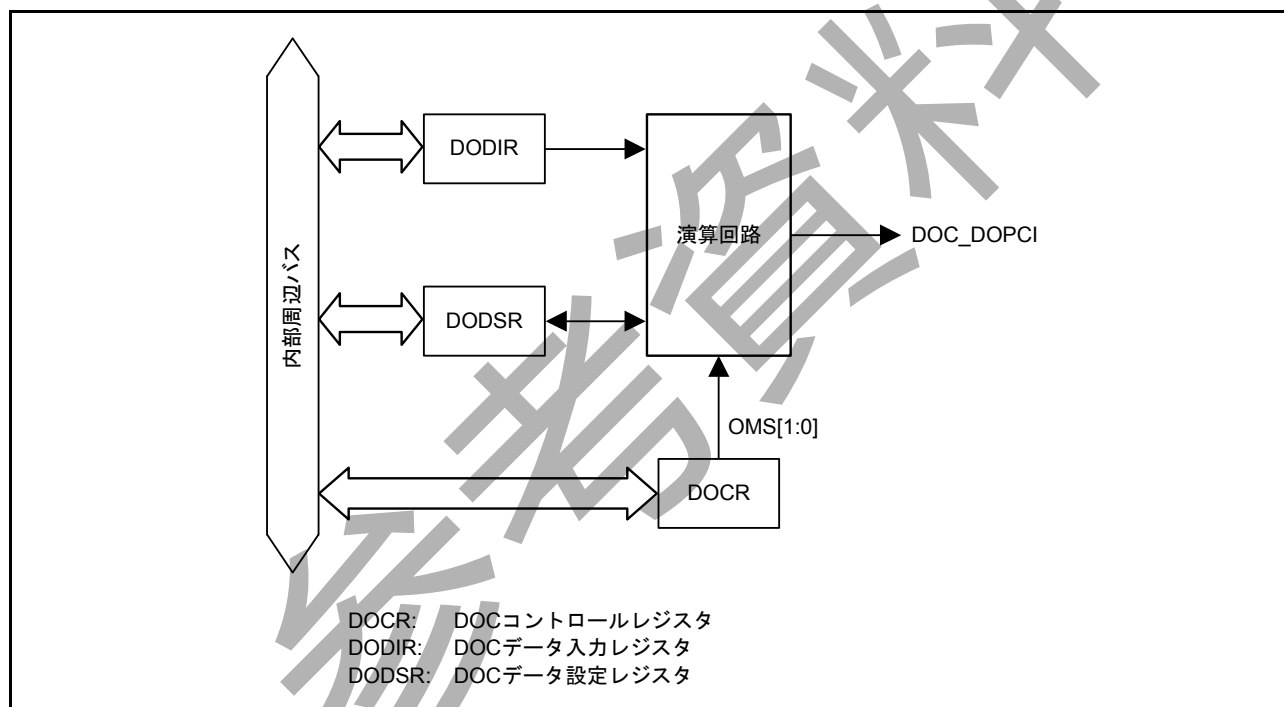


図 35.1 DOC ブロック図

## 35.2 レジスタの説明

### 35.2.1 DOC コントロールレジスタ (DOCR)

アドレス DOC.DOCR 4005 4100h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	—	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択	b1 b0 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定禁止	R/W
b2	DCSEL (注1)	検出条件選択	0: データの不一致検出時にDOPCFを設定 1: データの一致検出時にDOPCFを設定	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します。	R
b6	DOPCFCL	DOPCFクリア	0: DOPCFフラグ状態を保存 1: DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. データ比較モード選択時のみ有効

#### OMS[1:0] ビット (動作モード選択)

DOC の動作モードを選択します。

#### DCSEL ビット (検出条件選択)

データ比較モード時の検出条件を選択します。データ比較モード選択時のみ有効です。

#### DOPCF フラグ (データ演算回路フラグ)

[1 になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が FFFFh より大きくなったとき
- データ減算の結果が 0000h より小さくなったとき

[0 になる条件]

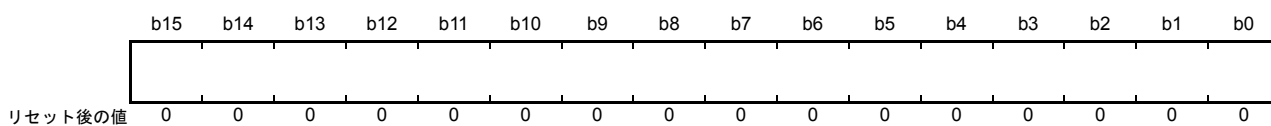
- DOPCFCL ビットに 1 を書き込んだとき

#### DOPCFCL ビット (DOPCF クリア)

本ビットを 1 にすると DOPCF フラグをクリアします。読むと 0 が読めます。

### 35.2.2 DOC データインプットレジスタ (DODIR)

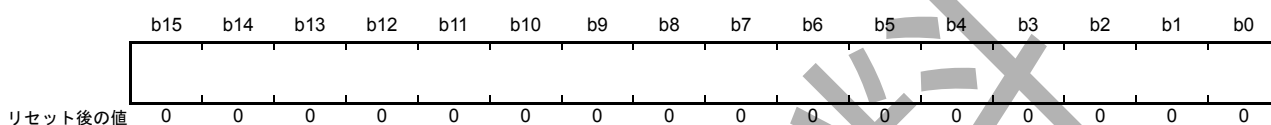
アドレス `DOC.DODIR 4005 4102h`



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットのリード/ライトレジスタです。

### 35.2.3 DOC データ設定レジスタ (DODSR)

アドレス `DOC.DODSR 4005 4104h`



DODSR は、データ比較モードで基準として使用される 16 ビットのデータを格納する 16 ビットのリード/ライトレジスタです。また、データおよび減算モードでは、演算結果を格納します。



### 35.3 動作説明

#### 35.3.1 データ比較モード

図 35.2 にデータ比較モードの DOC 動作例を示します。この例では、DCSEL ビットは 0 (データ比較の結果、不一致を検出) です。設定方法は以下の通りです。

1. DOCR.OMS[1:0] ビットに 00b を書き込むと、データ比較モードになります。
2. DODSR レジスタに基準となる 16 ビットのデータを設定します。
3. DODIR レジスタに比較する 16 ビットのデータを書き込みます。
4. 比較するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. DOCR.DCSEL = 0 のとき、DODIR レジスタに書き込まれたデータが DODSR レジスタ内のデータと一致しなかったとき、DOCR.DOPCF フラグが 1 になります。

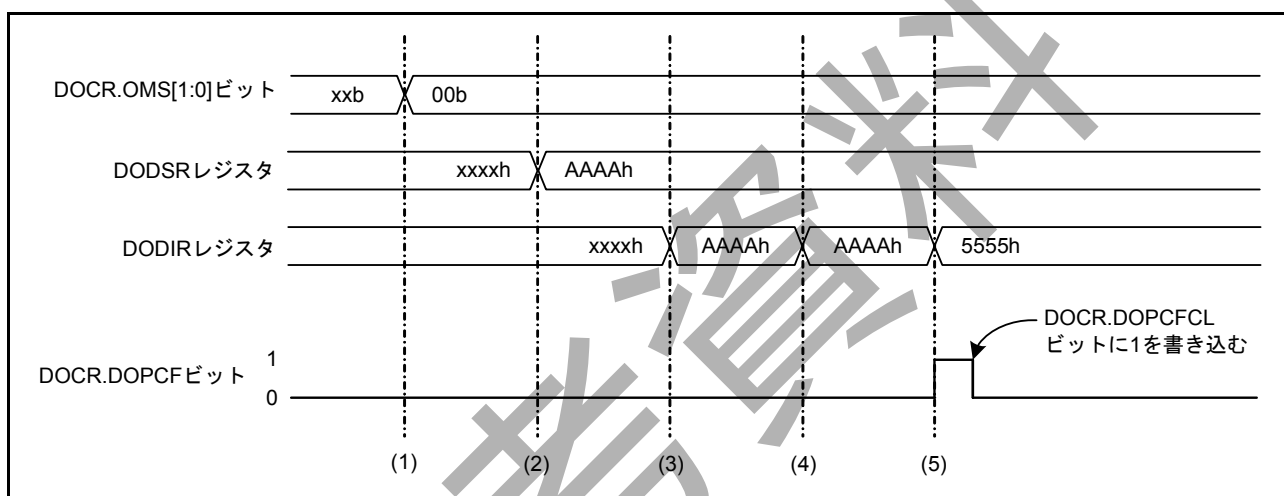


図 35.2 データ比較モードの動作例

### 35.3.2 データ加算モード

図 35.3 にデータ加算モードの DOC 動作例を示します。設定方法は以下の通りです。

1. DOCR.OMS[1:0] ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR レジスタの初期値として 16 ビットのデータを設定します。
3. DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 加算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が FFFFh よりも大きくなったとき DOCR.DOPCF フラグが 1 になります。

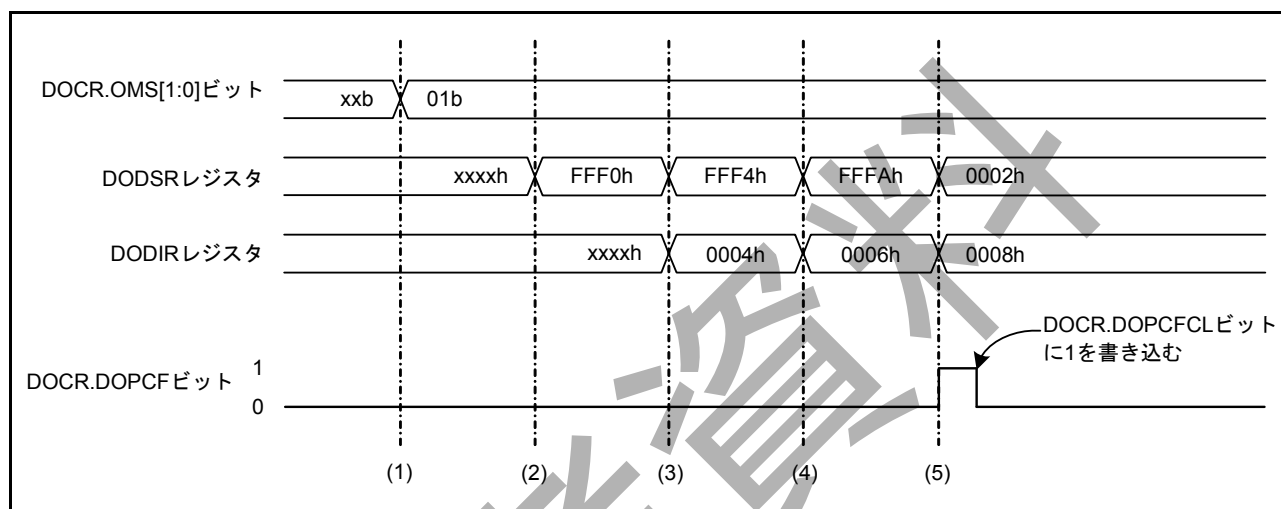


図 35.3 データ加算モードの動作例

### 35.3.3 データ減算モード

図 35.4 にデータ減算モードの DOC 動作例を示します。設定方法は以下の通りです。

1. DOCR.OMS[1:0] ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR レジスタの初期値として 16 ビットのデータを設定します。
3. DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 減算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が 0000h よりも小さくなったとき DOCR.DOPCF フラグが 1 になります。

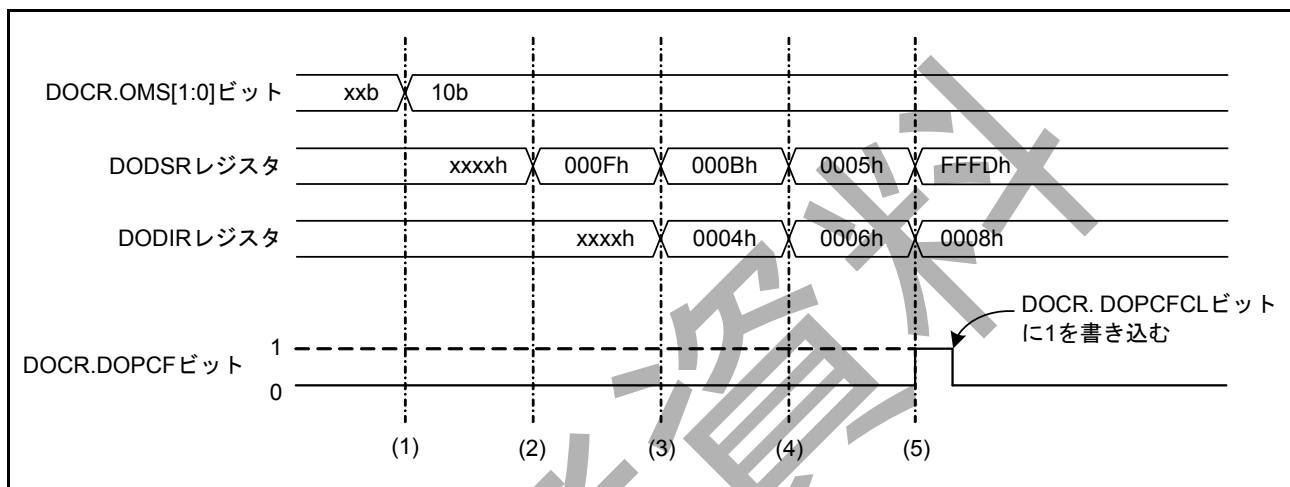


図 35.4 データ減算モードの動作例

## 35.4 割り込み要求とイベントリンク出力

DOC は以下の条件で ELC にイベント信号を出力します。

- データ比較の結果が一致または不一致のとき
- データの加算結果が FFFFh より大きいとき
- データの減算結果が 0000h より小さいとき

この信号を使用して、あらかじめ設定していたモジュールの動作を開始させることができます。また、割り込み要求として使用することもできます。イベント信号が発生すると、データ演算回路フラグ (DOCR.DOPCF) が 1 になります。

## 35.5 使用上の注意事項

### 35.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DOC の動作禁止/許可を設定できます。DOC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

## 36. SRAM

本 MCU は、パリティビット保護付き高速 SRAM を内蔵しています。

### 36.1 概要

表 36.1 SRAMの仕様

項目	内容
SRAM容量	SRAM0 : 16KB
SRAMアドレス	2000 0000h ~ 2000 3FFFh
アクセス (注1)	0ウェイト
モジュールストップ機能	なし
パリティ	8ビットデータと1パリティビットの偶数パリティ
エラーチェック機能	偶数パリティエラーチェック

注. SRAM0 と Trace\_RAM は共有されます。Trace\_RAM の仕様については、*CoreSight™ MTB-M0+ Technical Reference Manual* を参照してください。

注 1. 詳細は、[36.3.3 アクセスサイクル](#)を参照してください。

## 36.2 レジスタの説明

### 36.2.1 SRAM パリティエラー検出後動作レジスタ (PARIOAD)

アドレス [SRAM.PARIOAD 4000 2000h](#)

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	OAD
リセット後の値							
0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	<a href="#">OAD</a>	検出後の動作	1:リセット 0:ノンマスクابل割り込み	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

本レジスタへの書き込みは SRAM プロテクトレジスタ (SRAMPRCR) によって保護されています。このビットに書き込む前に、必ず SRAMPRCR の SRAMPRCR ビットを設定してください。SRAM アクセス中は PARIOAD レジスタへの書き込みは行わないでください。

#### [OAD](#) ビット (検出後の動作)

パリティエラーが検出されると、リセットまたはノンマスクابل割り込みを定義します。SRAM0 に適用されます。

### 36.2.2 SRAM プロテクトレジスタ (SRAMPRCR)

アドレス [SRAM.SRAMPRCR 4000 2004h](#)

b7	b6	b5	b4	b3	b2	b1	b0
KW[6:0]							SRAMP RCR
リセット後の値							
0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	<a href="#">SRAMPRCR</a>	レジスタ書き込み制御	0:保護対象のレジスタへの書き込みを禁止 1:保護対象のレジスタへの書き込みを許可	R/W
b7-b1	<a href="#">KW[6:0]</a>	書き込みキーコード	SRAMPRCR ビットへの書き込みを許可または禁止します。	R/W

#### [SRAMPRCR](#) ビット (レジスタ書き込み制御)

SRAMPRCR ビットは、PARIOAD レジスタのライトモードを制御します。1 にすると PARIOAD レジスタへの書き込みが許可されます。このビットに書き込む場合、同時に KW[6:0] を 78h にしてください。

#### [KW\[6:0\]](#) ビット (書き込みキーコード)

SRAMPRCR ビットへの書き込みを許可または禁止します。SRAMPRCR ビットに書き込む場合、同時に KW[6:0] ビットを 78h にしてください。それ以外の値を KW[6:0] に書き込むと、SRAMPRCR ビットは更新されません。KW[6:0] は読むと常に 00h が読み出されます。

### 36.2.3 トレースコントロール (MTB 用)

マイクロトレースバッファ (MTB) には、トレース機能の動作を制御するプログラマブルレジスタ、POSITION レジスタ、MASTER レジスタ、FLOW レジスタ、BASE レジスタがあります。以下に、ベースアドレスのオフセット順にレジスタを提示します。

MTB\_BASE: 4001 9000h

MTB\_BASE + 000h: リセット時の POSITION 値 : Bits [31:0] = UNKNOWN

MTB\_BASE + 004h: リセット時の MASTER 値 : Bits [31] = 0, Bits [30:10] = UNKNOWN,  
Bits [9:8] = 0, Bits [7]=1, Bits [6:5] = 0,  
Bits [4:0] = UNKNOWN

MTB\_BASE + 008h: リセット後の FLOW 値 : Bits [31:2] = UNKNOWN, Bits [1:0] = 0

MTB\_BASE + 00Ch: BASE

上記レジスタについて、詳しくは、*CoreSight™ MTB-M0+ Technical Reference Manual* (Revision: r0p1) を参照してください。

注 . 予約アドレスまたは未使用アドレスの場所にはアクセスしないでください。予期せぬ動作が発生する可能性があります。

### 36.2.4 CoreSight™ (MTB 用)

レジスタおよびアクセスタイプについて、詳しくは、*CoreSight™ Architecture Specification* を参照してください。以下にベースアドレスのオフセット順にレジスタを提示しています。

MTB\_BASE: 4001 9000h

MTB\_BASE + FF0h ~ FFCh : コンポーネント ID

MTB\_BASE + FE0h ~ FDCh : ペリフェラル ID

MTB\_BASE + FCCh : デバイス種別 ID

MTB\_BASE + FC8h : デバイスコンフィギュレーション

MTB\_BASE + FBCh : デバイスアーキテクチャ

MTB\_BASE + FB8h : 認証ステータス

MTB\_BASE + FB4h : ロックステータス

MTB\_BASE + FB0h : ロックアクセス

上記レジスタについて、詳しくは、*CoreSight™ MTB-M0+ Technical Reference Manual* (Revision: r0p1) を参照してください。

注 . 予約アドレスまたは未使用アドレスの場所にはアクセスしないでください。予期せぬ動作が発生する可能性があります。

## 36.3 動作説明

### 36.3.1 パリティ計算機能

SRAM データチェックに関する IEC60730 規格の要求事項を満たすため、パリティ検出機能を実装しています。この機能は、データ書き込み時に SRAM に格納されているすべての 8 ビットデータにパリティビットを追加し、データ読み出し時にこのパリティをチェックします。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットも実行できます。SRAM0 の仕様は、偶数パリティです。

パリティエラー通知には、PARIOAD.OAD ビットで、ノンマスクブル割り込みまたはリセットのいずれかを指定できます。OAD が 1 のとき、パリティエラーはリセット機能に出力されます。OAD が 0 のとき、パリティエラーはノンマスクブル割り込みとして ICU に出力されます。

パリティエラーはしばしばノイズにより発生します。パリティエラーの原因がノイズか破損かを確認するには、[図 36.1](#) および [図 36.2](#) に示されたパリティチェックフローに従います。

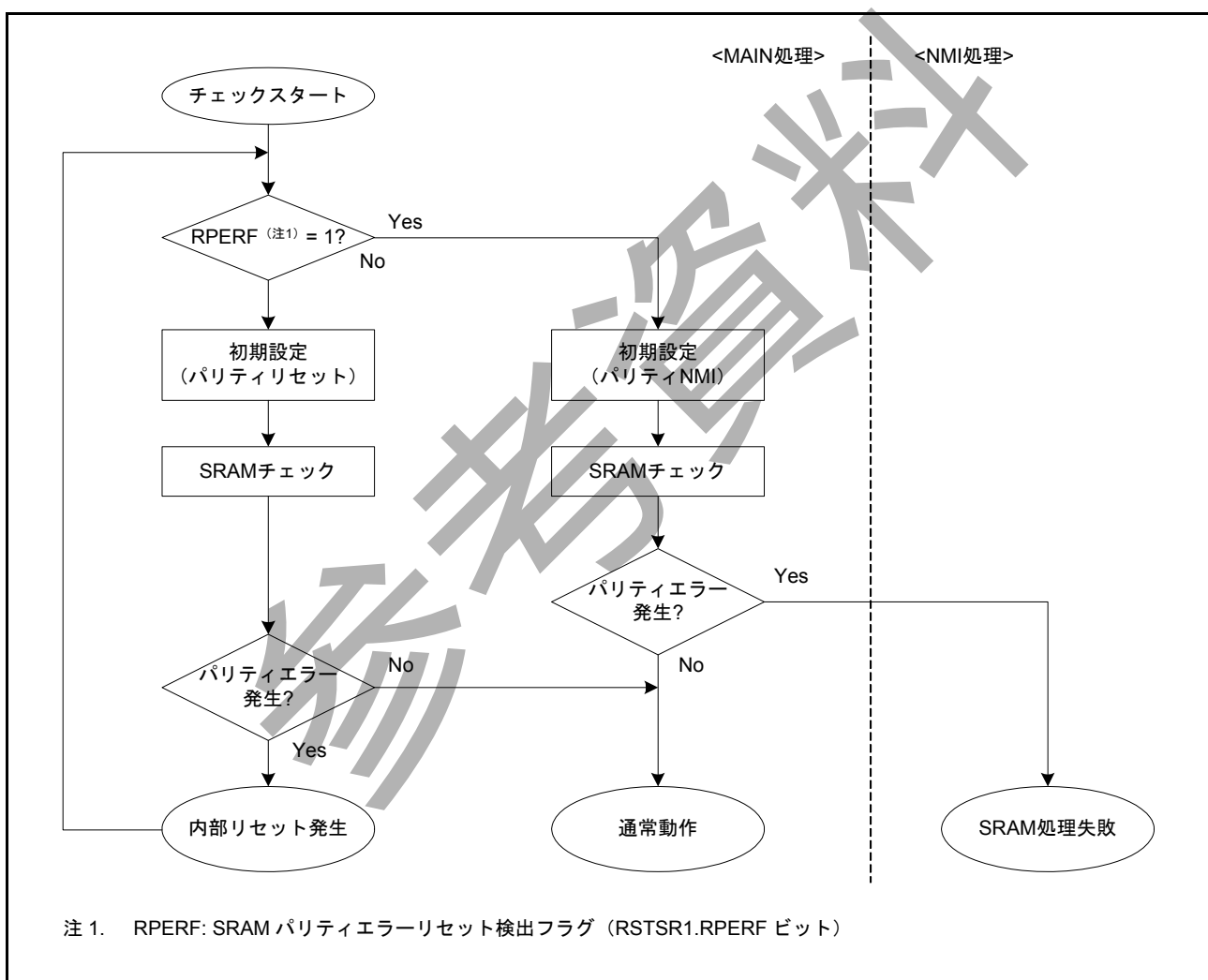


図 36.1 SRAM パリティリセット許可の場合の SRAM パリティチェックのフロー

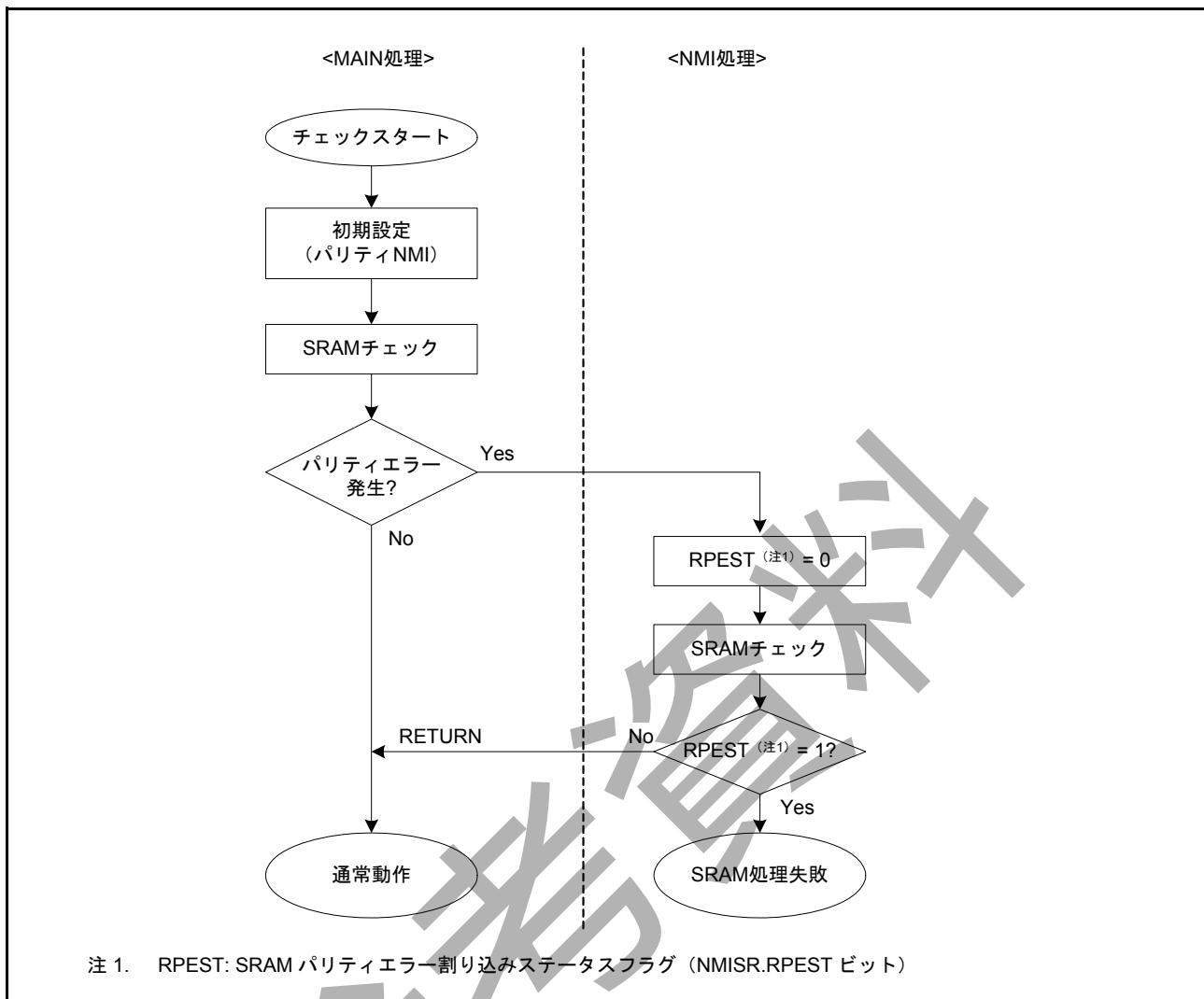


図 36.2 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフロー

### 36.3.2 SRAM エラー要因

SRAM エラーの原因はパリティエラーです。パリティエラーは、PARIOAD.OAD ビットで、ノンマスカブル割り込みまたはリセットのいずれかとして指定できます。SRAM パリティエラーでは、TDC の起動はサポートされていません。

注. リセットおよびノンマスカブル割り込みは、デバッグが接続されていると生成されません。

### 36.3.3 アクセスサイクル

表 36.2 SRAM0 アクセスサイクル (パリティ領域 2000 0000h ~ 2000 3FFFh)

リード (サイクル)		ライト (サイクル)	
ワードアクセス	ハーフワード/バイトアクセス	ワードアクセス	ハーフワード/バイトアクセス
2		2	



## 36.4 使用上の注意事項

### 36.4.1 SRAM 領域からの命令フェッチ

SRAM0 を使用してプログラムを実行する場合、SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにしてください。初期化されていない SRAM 領域から CPU がデータをプリフェッチすると、パリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから 2 バイト領域を初期化してください。これらの領域の初期化には、NOP 命令の使用を推奨します。

参考資料

## 37. フラッシュメモリ

### 37.1 概要

本 MCU は、最大 128KB のコードフラッシュメモリと 4KB のデータフラッシュメモリを内蔵しています。フラッシュコントロールブロック (FCB) は、プログラムコマンドを制御します。

表 37.1 に、コードフラッシュメモリとデータフラッシュメモリの仕様を示します。図 37.1 に関連モジュールのブロック図を示します。図 37.2 にコードフラッシュメモリの構成を示します。図 37.3 にデータフラッシュメモリの構成を示します。

表 37.1 コードフラッシュメモリとデータフラッシュメモリの仕様

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	• ユーザ領域：最大 128KB	データ領域：4KB
リードサイクル	• ICLK 周波数 ≤ 32MHz • 1 サイクル	• ICLK 周波数 = 32MHz • バイトアクセス時にはリードに ICLK 6 サイクルが必要
イレース後の値	FFh	FFh
プログラム/イレース方式	<ul style="list-style-type: none"> <li>レジスタに設定した FCB コマンドを使用してコードフラッシュメモリおよびデータフラッシュメモリをプログラム/イレース</li> <li>専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム (シリアルプログラミング)</li> <li>ユーザプログラムによるフラッシュメモリのプログラム (セルフプログラミング)</li> </ul>	
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	フラッシュメモリの誤オーバーライトを防止	
BGO (バックグラウンドオペレーション) 機能	データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能	
プログラム/イレース単位	<ul style="list-style-type: none"> <li>ユーザ領域へのプログラム：32ビット単位</li> <li>ユーザ領域のイレース：1KB 単位</li> </ul>	<ul style="list-style-type: none"> <li>データ領域へのプログラム：8ビット単位</li> <li>データ領域のイレース：1KB 単位</li> </ul>
その他の機能	セルフプログラミング中の割り込み受け付け 本 MCU の初期設定でフラッシュメモリ拡張領域 (オプションバイト) の使用可能	
オンボードプログラミング	シリアルプログラミングモード (SCI ブートモード) • 調歩同期式シリアルインタフェース (SCI9) を介したプログラミング • 自動調整された転送レート オンチップデバッグモード • SWD インタフェースを介したプログラミング • 専用ハードウェアは必要なし ユーザプログラム中のコードフラッシュ/データフラッシュプログラムルーチン • この方式ではシステムリセットは必要なし	

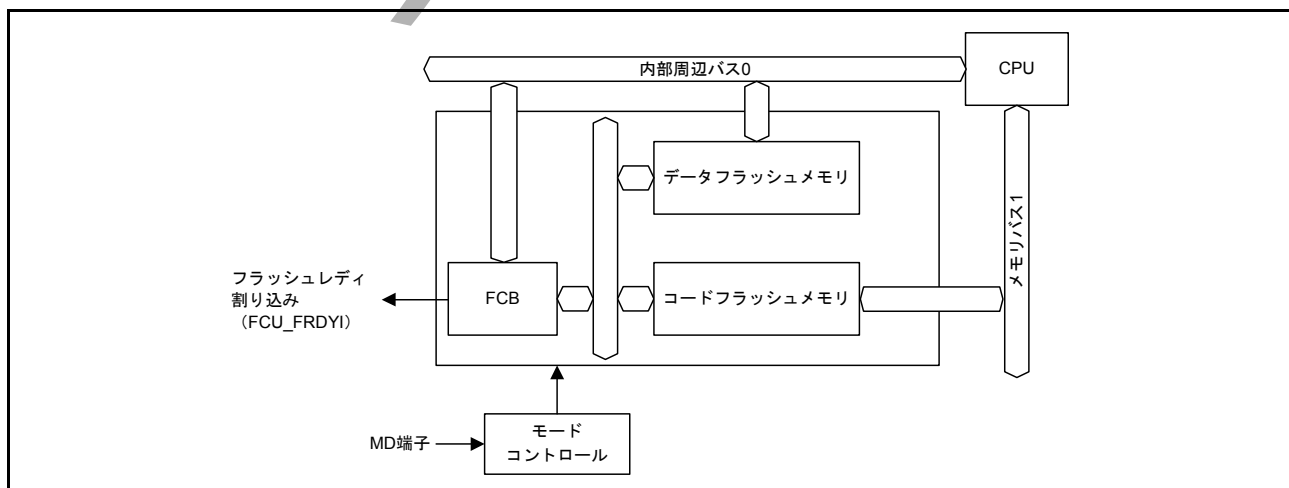


図 37.1 フラッシュメモリ関連モジュールのブロック図

## 37.2 メモリ構造

図 37.2 にコードフラッシュメモリのマッピングを示します。コードフラッシュメモリのユーザ領域は 1KB のブロックに分割されており、各ブロック単位でイレース可能です。ユーザ領域は、ユーザプログラムの格納に使用できます。

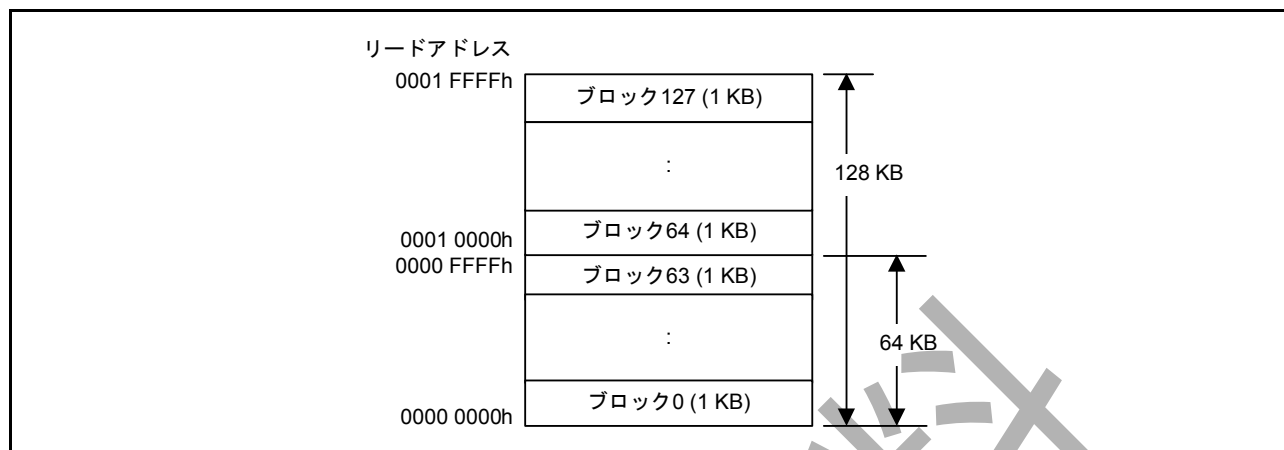


図 37.2 コードフラッシュメモリマッピング

コードフラッシュメモリのサイズ	リードアドレス	P/Eアドレス	ブロック数
128KB	0000 0000h ~ 0001 FFFFh	0000 0000h ~ 0001 FFFFh	0 ~ 127
64KB	0000 0000h ~ 0000 FFFFh	0000 0000h ~ 0000 FFFFh	0 ~ 63

データフラッシュメモリのデータ領域は 1KB のブロックに分割されており、各ブロック単位でイレース可能です。図 37.3 にデータフラッシュメモリのマッピングを示します。

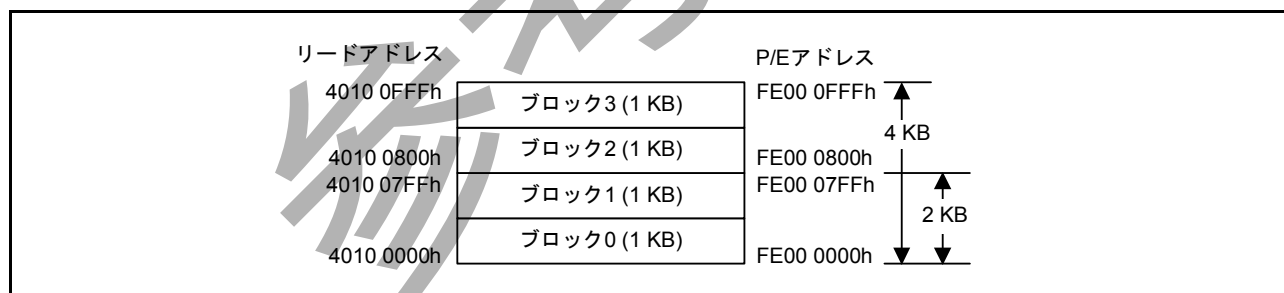


図 37.3 データフラッシュメモリマッピング

データフラッシュメモリのサイズ	リードアドレス	P/Eアドレス	ブロック数
4KB	4010 0000h ~ 4010 0FFFh	FE00 0000h ~ FE00 0FFFh	0 ~ 3
2KB	4010 0000h ~ 4010 07FFh	FE00 0000h ~ FE00 07FFh	0, 1

### 37.3 フラッシュメモリ関連の動作モード

図 37.4 にフラッシュメモリに関するモード遷移図を示します。モードの設定方法については、「3. 動作モード」を参照してください。

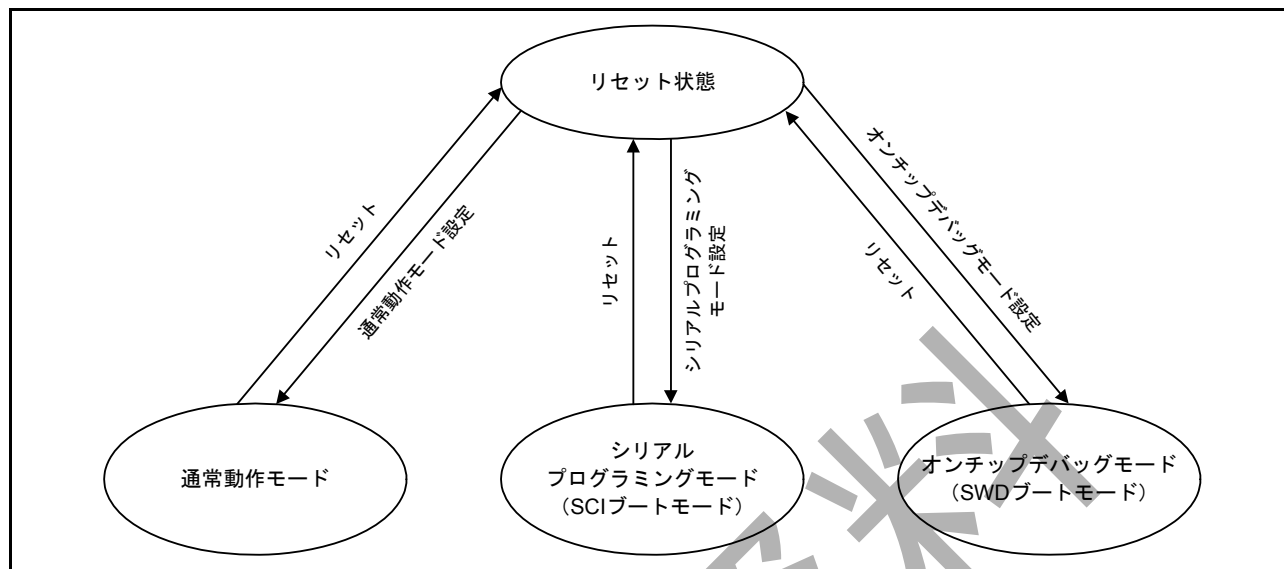


図 37.4 フラッシュメモリに関するモード遷移図

各モードでプログラム/イレースが可能な領域、リセット時の起動プログラム実行場所が異なります。表 37.2 に各モードの相違点を示します。

表 37.2 各モードの相違点

項目	通常動作モード	シリアルプログラムモード (SCIブートモード)	オンチップデバッグモード (SWDブートモード)
プログラム/イレースが可能な領域	<ul style="list-style-type: none"> <li>コードフラッシュメモリ</li> <li>データフラッシュメモリ</li> </ul>	<ul style="list-style-type: none"> <li>コードフラッシュメモリ</li> <li>データフラッシュメモリ</li> </ul>	<ul style="list-style-type: none"> <li>コードフラッシュメモリ</li> <li>データフラッシュメモリ</li> </ul>
ブロック分割イレース	可能	可能	可能
リセット時の起動プログラム	ユーザ領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

### 37.3.1 IDコードプロテクト機能

この機能は、プログラミングとオンチップデバッグを禁止します。IDコードプロテクト機能が有効な場合、デバイスはホストが送信したIDコードをフラッシュメモリに格納されているIDコードと比較し、有効または無効にします。プログラミングとオンチップデバッグは、この2つが一致する場合に限り許可されます。

フラッシュメモリに格納されているIDコードは、32ビットワード4つで構成されます。IDコードのビット127とビット126は、IDコードプロテクト機能が有効か判定し、ホストで使用する認証方法を決定します。IDコードがどのように認証方法を決定するかについて、表37.3に示します。

表 37.3 IDコードプロテクト機能の仕様

ブートアップ時の動作モード	IDコード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCIブートモード)	FFh, ..., FFh (全バイトがFFh)	プロテクト無効	IDコードは検証されません。IDコードは常に一致して、プログラマまたはオンチップデバッグへの接続が許可されます。
オンチップデバッグモード (SWDブートモード)	ビット127 = 1、ビット126 = 1 その他のビット：すべて1以外の設定	プロテクト有効	IDコード一致：認証を終了し、プログラマまたはオンチップデバッグへの接続を許可 IDコード不一致：IDコードプロテクト待機状態へ遷移  プログラマまたはオンチップデバッグから送られてきたIDコードがASCIIコードのALeRASE (414C_6552_4153_45FF_FFFF_FFFF_FFFF_FF FFh) であると、ユーザフラッシュ領域の内容はすぐに消去されます。 ただし、FSPRビットが0であれば、強制消去は実行されません。
	ビット127 = 1、ビット126 = 0	プロテクト有効	IDコード一致：認証を終了し、プログラマまたはオンチップデバッグへの接続を許可 IDコード不一致：IDコードプロテクト待機状態へ遷移
	ビット127 = 0	プロテクト有効	IDコードは検証されません。IDコードは常に一致せず、プログラマまたはオンチップデバッグへの接続は禁止されます。

### 37.4 機能概要

シリアルインタフェース経由（シリアルプログラミングモード）、またはSWDインタフェース経由（オンチップデバッグモード）で、専用フラッシュメモリプログラマを使用して内蔵フラッシュメモリを書き換えることにより、ターゲットシステムへの実装前もしくは実装後にかかわらずデバイスのプログラムが可能です。

また、ユーザプログラムの書き換えを禁止するセキュリティ機能により、第三者によるプログラムの改ざんを防止できます。

ユーザプログラムによるプログラミング（セルフプログラミング）は、システムの製造／出荷後の更新が必要なアプリケーションに有効です。フラッシュメモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理もサポートされており、外部通信およびその他の機能を実行している間もプログラミングを継続できます。表 37.4 は、プログラミング方法と対応する動作モードを示しています。

表 37.4 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCI経由で接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。 SCIおよび専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	シリアルプログラミングモード
セルフプログラミング	シリアルプログラミング前にメモリに書き込まれたユーザプログラムによっても、フラッシュメモリの書き換えが可能です。データフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチおよびデータの読み出しが可能です。そのため、コードフラッシュメモリに格納されたプログラムはデータフラッシュメモリを書き換えることができます。バックグラウンドオペレーション機能を使用して、データフラッシュメモリ書き換え中にコードフラッシュメモリを読み出すことも可能です（表 37.9参照）。 コードフラッシュメモリのセルフプログラミングを実行中、コードフラッシュメモリのバックグラウンドでの命令フェッチまたはデータアクセスは実行できません。つまり、事前に内部SRAMまたは外部メモリからプログラムを転送および実行しておく必要があります。	通常動作モード
SWDプログラミング	SWD経由で接続されている専用フラッシュメモリプログラマまたはオンチップデバッグを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。 SWDおよび専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマまたはオンチップデバッグを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	オンチップデバッグモード

内蔵フラッシュメモリの機能一覧を表 37.5 に示します。シリアルプログラミングではシリアルプログラマコマンドを使用してください。セルフプログラミングでは、プログラミングコマンドを使用して内蔵フラッシュメモリの読み出しまたはユーザプログラムの実行を行ってください。

表 37.5 基本機能

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレース後にプログラムされていない状態のデータフラッシュメモリの読み出し結果は保証されません。イレース後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	×	○
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	○	○
プログラム	指定したアドレスのプログラムを行います。	○	○
リード	フラッシュメモリにプログラムしたデータの読み出しを行います。	○	×
IDコードチェック	ホストが送信したIDコードとROMに格納されているコードとを比較します。これら二つが一致する場合、FCBは待機状態に移移してホストからのプログラミングとイレースコマンドを待ちます。	○	×
セキュリティ設定	シリアルプログラミング用のセキュリティ機能を設定します。	△（有効から無効への切り替えのみ許可）	△（有効から無効への切り替えのみ許可）
プロテクション設定	コードフラッシュメモリにおけるフラッシュ領域プロテクションのアクセスウィンドウを設定します。	○	○

内蔵フラッシュメモリはシリアルプログラミングおよびSWDプログラミングで使用するセキュリティ対策として、IDコード認証を提供します。内蔵フラッシュメモリでサポートされるセキュリティ機能を表 37.6 に、セキュリティ設定時の動作を表 37.7 に示します。

表 37.6 セキュリティ機能

機能	内容
ID認証	シリアルプログラミング時のシリアルプログラマ接続をID認証結果で制御可能です。

表 37.7 セキュリティ設定時の動作

機能	各セキュリティ設定時のイレース/プログラミング/リード動作		セキュリティ設定に関する注意事項
	シリアルプログラミングとオンチップデバッグモード	セルフプログラミングモード	セルフプログラミングモード
ID認証	IDが不一致の場合 ● ブロックイレースコマンド：× ● プログラミングコマンド：× ● リードコマンド：× ● セキュリティ設定コマンド：× ● プロテクション設定コマンド：×  IDが一致した場合 ● ブロックイレースコマンド：○ ● プログラミングコマンド：○ ● リードコマンド：○ ● セキュリティ設定コマンド：○ ● プロテクション設定コマンド：○	ID認証は行わない ● ブランクチェック：○ ● ブロックイレース：○ ● プログラミング：○ ● セキュリティ設定：○ ● プロテクション設定：○	ID認証は行わない

○：サポートあり、×：サポートなし

### 37.4.1 構成領域ビットマップ

図 37.5 に、ID 認証、スタートアップ領域の選択、アクセスウィンドウプロテクション、セキュリティ設定機能で使用するビットを示します。ブートプログラムは、必ずこれらのビットを 16 進数データとして使用しなければなりません。

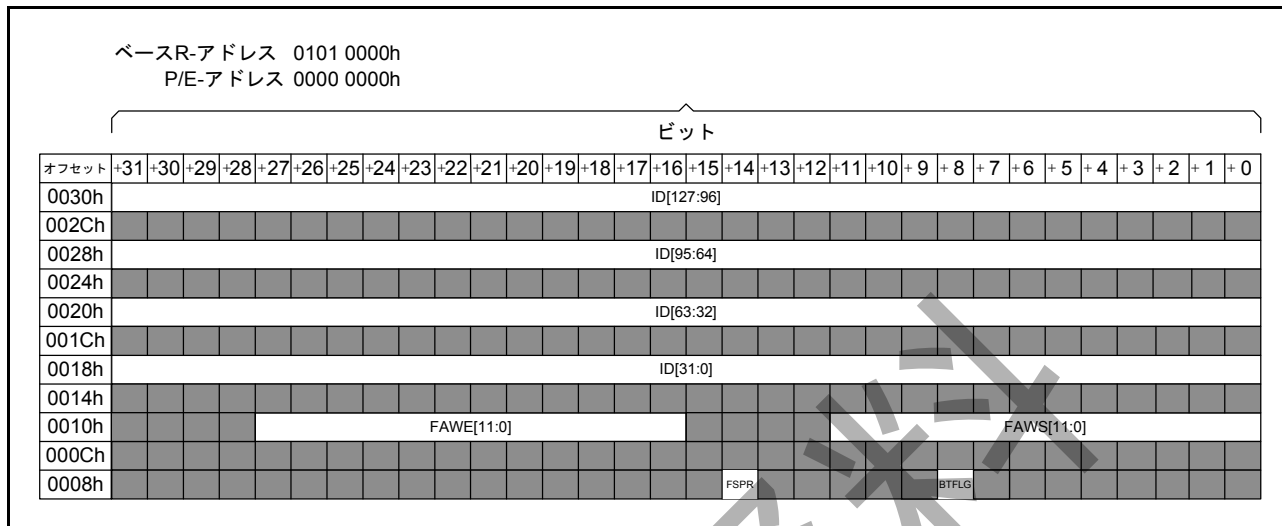


図 37.5 構成領域ビットマップ

### 37.4.2 スタートアップ領域選択

スタートアップ領域選択機能によって、ブートプログラムの安全な更新が可能になります。スタートアップ領域は、ユーザ領域に配置された 8KB のスペースです。FCB は、構成領域または AWSC レジスタに配置されたスタートアップ領域選択フラグ (BTFLG) に基づきアドレスを制御します。スタートアップ領域は FSPR ビットでロックすることが可能です。

図 37.6 に、スタートアッププログラムのプロテクションの概要を示します。

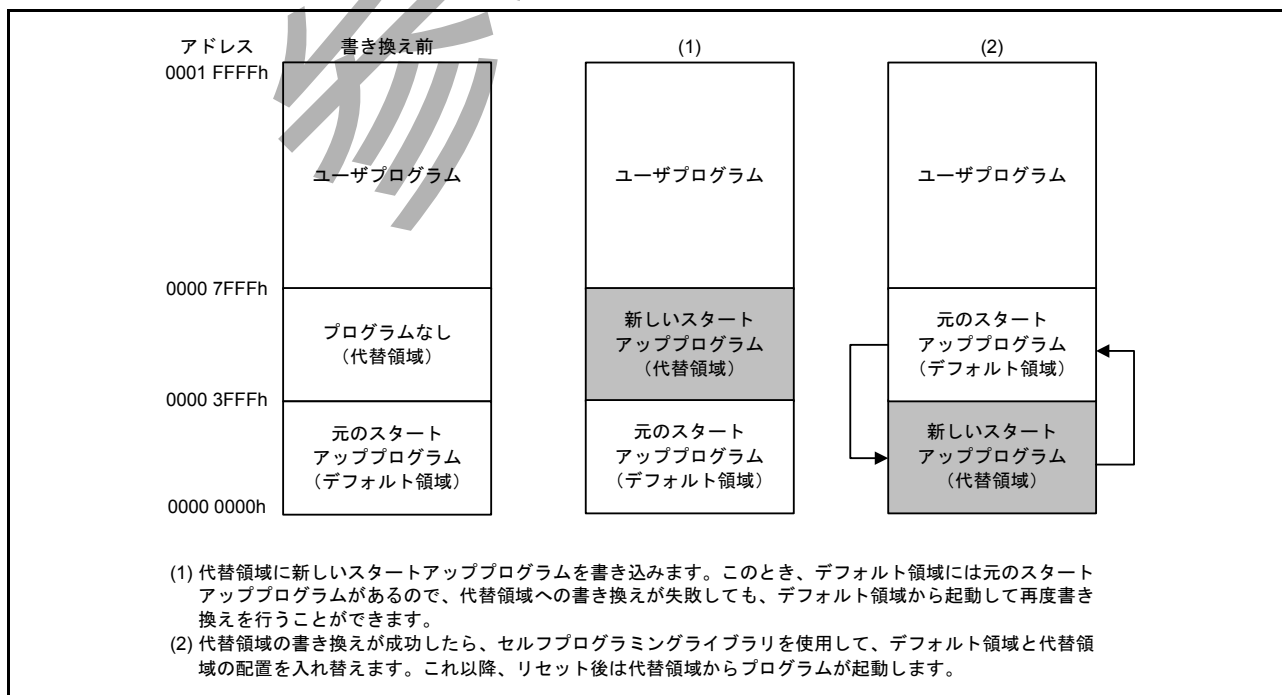


図 37.6 スタートアッププログラムプロテクションの概要



### 37.4.3 アクセスウィンドウによるプロテクション

アクセスウィンドウの外側にあるフラッシュメモリ領域にプログラムまたはブロックイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウは、コードフラッシュメモリのユーザ領域においてのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。

FAWS[11:0] ビットと FAWE[11:0] ビットの両方で、アクセスウィンドウを指定してください。

- FAWE[11:0] = FAWS[11:0] : P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できます。
- FAWE[11:0] > FAWS[11:0] : P/E コマンドは、FAWS ビットで指示されたブロックから、FAWE ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウにおいてのみ実行できます。
- FAWE[11:0] < FAWS[11:0] : P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できません。

図 37.7 に、フラッシュ領域プロテクションの概要を示します。

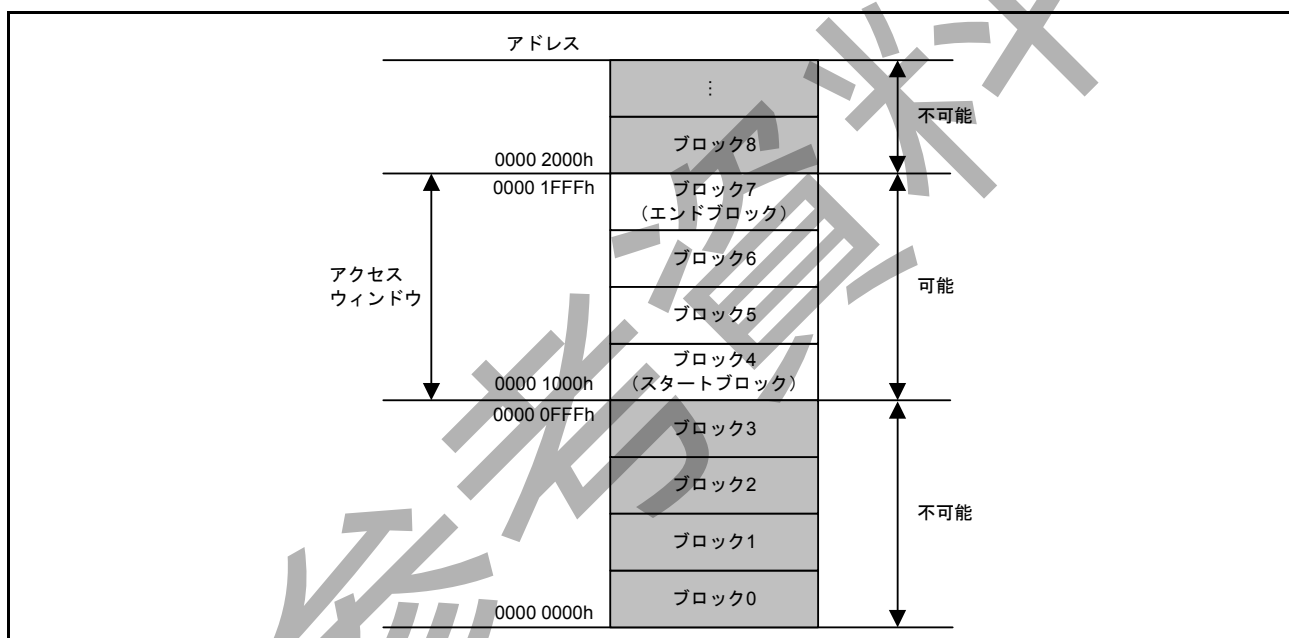


図 37.7 フラッシュ領域プロテクションの概要

## 37.5 プログラムコマンド

FCB は、プログラムコマンドを制御します。

## 37.6 サスペンド動作

強制停止コマンドは、ブランクチェックまたはブロックイレースコマンドを強制的に停止します。強制停止が実行されると、停止されたアドレスの値はレジスタに格納されます。これらのアドレス値をコピーすることにより、コマンド実行用レジスタをリセットした後、停止アドレスからコマンドを再開できます。

## 37.7 プロテクション機能

本 MCU は、3 種類のプロテクションを提供しています。

- ソフトウェアプロテクション
- エラープロテクション
- ブートプログラムプロテクション

## 37.8 シリアルプログラミングモード

シリアルプログラミングモードには、SCI9 ブートモードを含む 2 種類があります。表 37.8 にフラッシュメモリ関連モジュールの入出力端子を示します。

表 37.8 フラッシュメモリ関連モジュールの入出力端子

端子名	入出力	使用するモード	用途
MD	入力	SCI ブートモード (シリアルプログラミングモード)	動作モードの選択
P110/RXD9	入力	SCI ブートモード	ホスト通信における SCI データ受信用
P109/TXD9	出力		ホスト通信における SCI データ送信用

### 37.8.1 SCI ブートモード

SCI ブートモードでは、ホストは制御コマンドとプログラミングデータを送信して、コードおよびデータフラッシュメモリ領域へのプログラム/イレースが実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期式モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU を SCI ブートモードで起動すると、シリアルプログラミング用の組み込みプログラムが実行されます。このプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、プログラムおよびイレースを制御します。

図 37.8 に、SCI ブートモード時のシステム構成を示します。

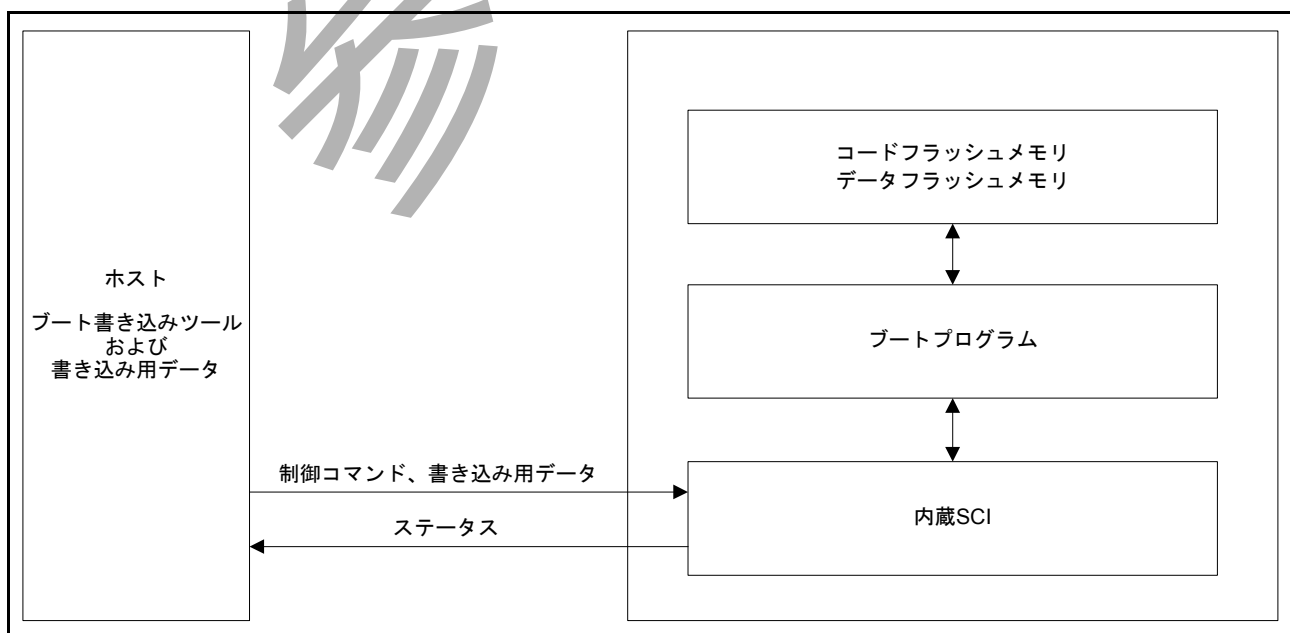


図 37.8 SCI ブートモード時のシステム構成

## 37.9 シリアルプログラマを使用する場合

シリアルプログラミングモードでフラッシュメモリをプログラムするには、専用のフラッシュメモリプログラマを使用します。

### 37.9.1 シリアルプログラミング

本 MCU はシステムボードに搭載されており、ボードへのコネクタによりフラッシュメモリプログラマを使用した MCU のプログラミングが可能となります。

図 37.9 に、MCU フラッシュメモリにデータをプログラミングするための推奨環境を示します。

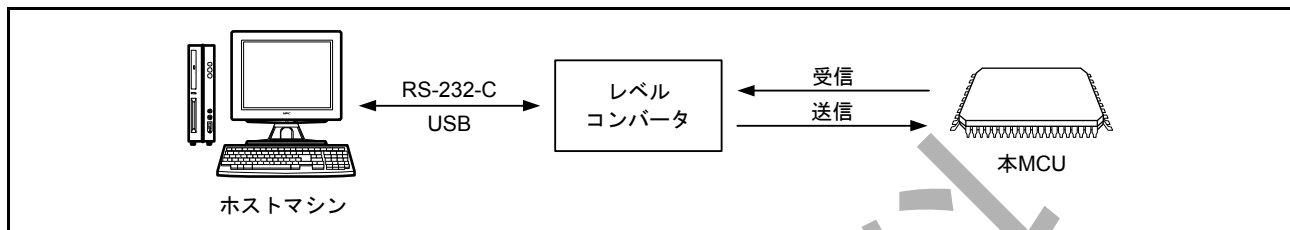


図 37.9 フラッシュメモリにプログラムを書き込むための環境

## 37.10 セルフプログラミング

### 37.10.1 概要

本 MCU は、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。プログラムコマンドをユーザのプログラムで使用することにより、コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。したがって、ユーザプログラムの更新と、定数データフィールドの書き換えが可能になります。

バックグラウンドオペレーション機能を利用してコードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。このプログラムは、プログラミング実行前に内部 SRAM または外部メモリに複製し、指定場所から実行することも可能です。

書き換え対象のコードフラッシュメモリ領域と読み出し対象のコードフラッシュメモリ領域のアドレス範囲が指定条件を満たすときにもバックグラウンドオペレーション機能を利用できます（表 37.9 参照）。セルフプログラミングの場合、コードフラッシュメモリの半分に配置された書き換えプログラムはもう半分を書き換えることができます。代わりに、この書き換え用のプログラムを事前に内蔵 SRAM または外部メモリに複製し、指定した宛先から実行してコードフラッシュメモリを書き換えることもできます。これは、アドレス範囲がバックグラウンドオペレーションの条件を満たさない場合に有用です。

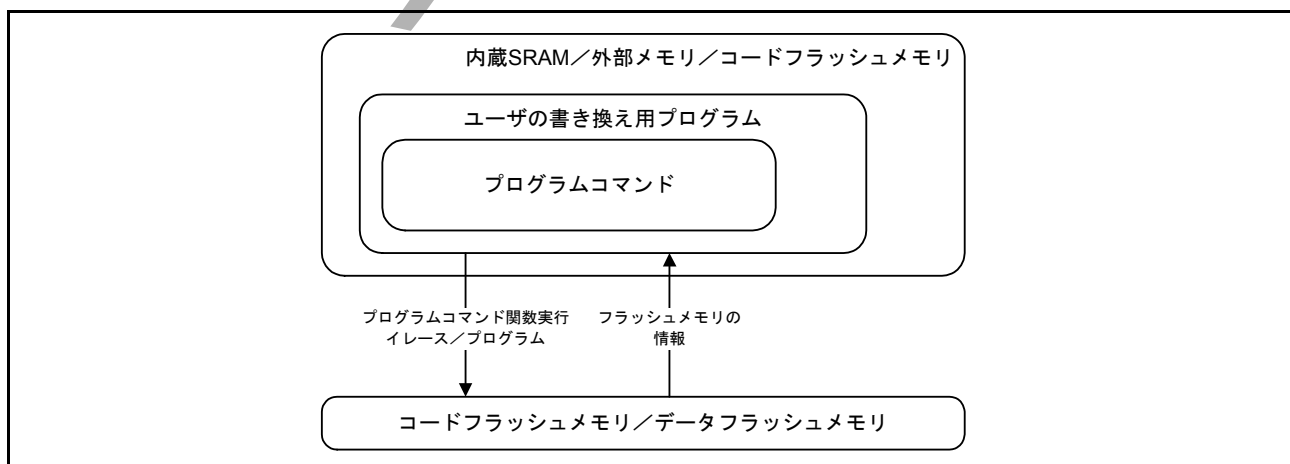


図 37.10 セルフプログラミングの概念

### 37.10.2 バックグラウンドオペレーション

書き込み対象のフラッシュメモリと読み出し対象のフラッシュメモリが表 37.9 に示す組み合わせである場合には、バックグラウンドオペレーションを利用することができます。

表 37.9 バックグラウンドオペレーションの利用可能な条件

	書き込み可能範囲	読み出し可能範囲
全製品共通	データフラッシュメモリ	コードフラッシュメモリ

## 37.11 フラッシュメモリの読み出し

### 37.11.1 コードフラッシュメモリの読み出し

通常モードでコードフラッシュメモリを読み出すのに、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。イレース後にプログラミングしていない（未プログラム状態の）コードフラッシュメモリを読み出すと、全ビットから 1 が読み出されません。

### 37.11.2 データフラッシュメモリの読み出し

通常モードでデータフラッシュメモリを読み出すのに、特別な設定は必要ありません。ただし、データフラッシュアクセス無効モードが読み出しを無効にするリセットを発行する場合を除きます。この場合、アプリケーションはデータフラッシュ読み出しモードへの移行が必要です。

イレース後にプログラムされていない、つまり未プログラム状態のデータフラッシュメモリを読み出すと、全ビットから 1 が読み出されます。

## 37.12 使用上の注意事項

### 37.12.1 イレースを中断した領域

イレース動作を中断した領域のデータは不定です。不定データの読み出しによる誤動作を回避するためには、イレース動作を中断した領域でコマンドやデータリードを実行しないでください。

### 37.12.2 イレースサスペンドコマンドによる中断

イレース動作をイレースサスペンドコマンドで中断した場合、レジュームコマンドで動作を完了してください。

### 37.12.3 追加プログラムの禁止

同一アドレスに 2 回以上プログラミングすることはできません。プログラム済みの領域にプログラミングする場合、最初にその領域をイレースしてください。

### 37.12.4 プログラム／イレース中のリセット

RES 端子からリセットを入力する場合、電気的特性で定義された動作電圧の範囲内で、tRESW 以上（「41. 電気的特性」参照）のリセット入力時間を経過してからリセットを解除してください。

IWDT リセットおよびソフトウェアリセットでは、tRESW 入力時間は必要ありません。

### 37.12.5 プログラム/イレース中におけるノンマスカブル割り込みの禁止

コードフラッシュメモリでプログラム/イレース中に、ノンマスカブル割り込み（注1）を許可しないでください。プログラム/イレース中にノンマスカブル割り込みが発生すると、コードフラッシュメモリからベクタがフェッチされ、不定データが読み出されます。この制約は、コードフラッシュメモリに限り適用されます。

注1. ノンマスカブル割り込みとは、NMI 端子割り込み、発振停止検出割り込み、IWDT アンダーフロー/リフレッシュエラー、電圧監視 1 割り込み、または電圧監視 2 割り込みです。

### 37.12.6 プログラム/イレース中における割り込みベクタの配置

プログラム/イレース中に割り込みが発生すると、コードフラッシュメモリからベクタをフェッチできません。コードフラッシュメモリからベクタをフェッチしないようにするには、割り込み表でコードフラッシュメモリ以外の領域をフェッチ先に設定します。

### 37.12.7 低速動作モードでのプログラム/イレース

消費電力低減機能のために SOPCCR レジスタで低速動作モードが選択されている場合、フラッシュメモリのプログラム/イレースは実行しないでください。

### 37.12.8 プログラム/イレース中の異常終了

プログラム/イレース中に電圧が動作電圧範囲を超えた場合、またはリセットや [37.12.9 プログラム/イレース中に禁止されているアクション](#) に記載の禁止動作が原因でプログラム/イレース動作が正常に終了しなかった場合、その領域を再度イレースしてください。

### 37.12.9 プログラム/イレース中に禁止されているアクション

フラッシュメモリの損傷を防ぐため、プログラム/イレース中は以下の指示に従ってください。

- 動作電圧範囲外の MCU 電源を使用しない
- OPCCR.OPCM[1:0] ビット値を更新しない
- SOPCCR.SOPCM ビット値を更新しない
- フラッシュインタフェースクロック (ICLK) の分周比を変更しない
- MCU をソフトウェアスタンバイモードにしない
- コードフラッシュメモリへのプログラム/イレース中にデータフラッシュメモリにアクセスしない
- データフラッシュメモリに対するプログラム/イレース中に DFLCTL.DFLEN ビット値を更新しない

### 37.12.10 プログラム/イレース中のフラッシュインタフェースクロック (ICLK)

セルフプログラミング中にプログラム/イレースを実行するには、フラッシュインタフェースクロックを設定し、フラッシュ初期設定レジスタ (FISR) で整数周波数を指定します。周波数 (ICLK) が 4 ~ 32MHz の場合、12.5MHz などの非整数周波数の切り上げ値を設定しなければなりません。(12.5MHz は 13MHz に切り上げます。)

## 38. AES エンジン

本情報を公開するには、守秘義務契約の締結が必要です。詳しくは、弊社営業担当までご連絡ください。

参考資料

### 39. 真性乱数発生器 (TRNG)

本情報を公開するには、守秘義務契約の締結が必要です。詳しくは、弊社営業担当までご連絡ください。

参考資料

## 40. 内部電圧レギュレータ

### 40.1 概要

本 MCU は、入出力、アナログドメイン以外の内部回路およびメモリに電圧を供給するリニアレギュレータ (LDO) を内蔵しています。

### 40.2 動作説明

表 40.1 に、LDO モードの端子設定を示します。図 40.1 に、LDO モードの設定を示します。内部電圧は VCC から生成します。

表 40.1 LDOモードの端子設定

端子	設定内容
全VCC端子	<ul style="list-style-type: none"> <li>システムの電源に接続してください。</li> <li>0.1<math>\mu</math>Fの積層セラミックコンデンサを使用してVSSに接続してください。コンデンサは必ず端子近くに配置してください。</li> </ul>
VCL端子	<ul style="list-style-type: none"> <li>4.7<math>\mu</math>Fの積層セラミックコンデンサを使用してVSSに接続してください。コンデンサは必ず端子近くに配置してください。</li> </ul>

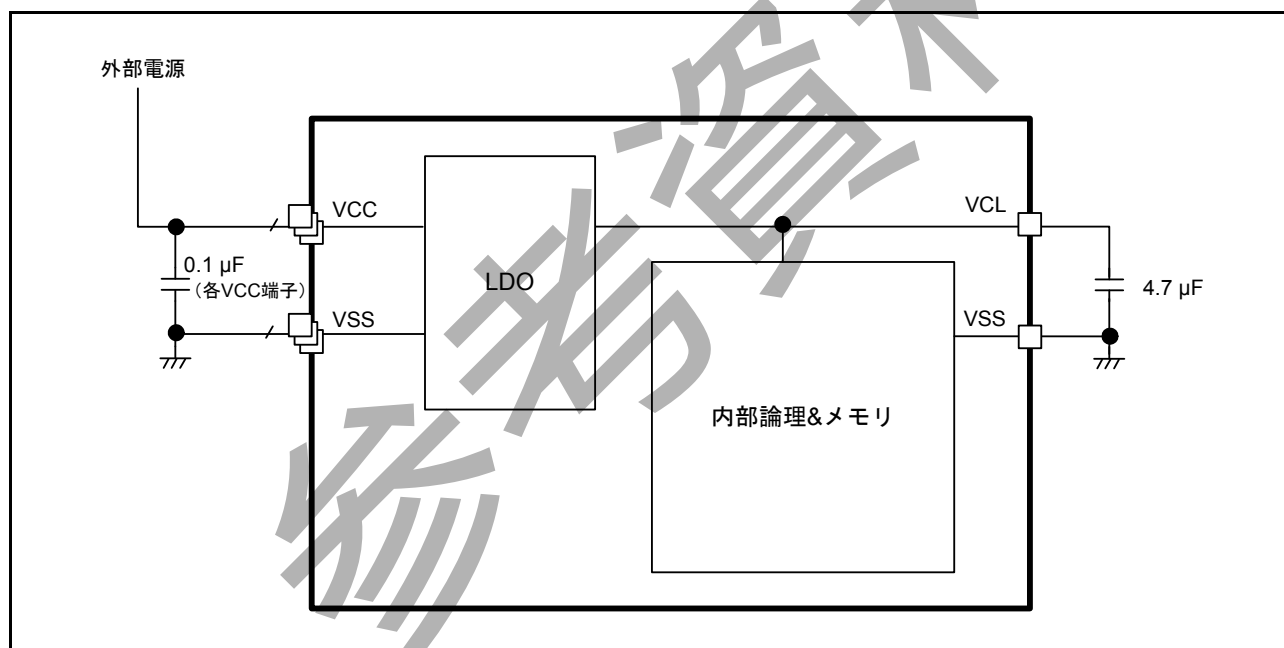


図 40.1 LDOモード設定



## 41. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

$VCC$  (注1) =  $AVCC0$  =  $VCC\_USB$  (注2) =  $VCC\_USB\_LDO$  (注2) = 1.6 ~ 5.5V、 $VREFH0$  = 1.6 ~  $AVCC0$ 、

$VSS$  =  $AVSS0$  =  $VREFL0$  =  $VSS\_USB$  = 0V、 $T_a$  =  $T_{opr}$

注1. 通常は  $VCC$  = 3.3V に設定されています。

注2. USBFS 不使用時。

図 41.1 は、タイミング条件を示しています。

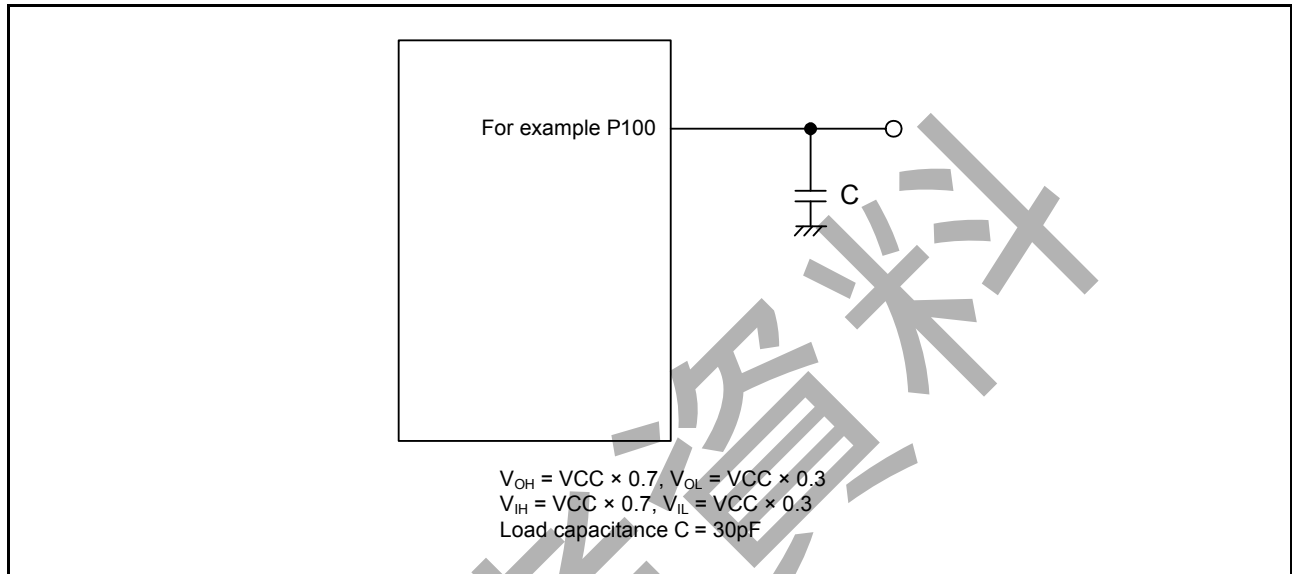


図 41.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザ条件に合うように、各端子の駆動能力を調整してください。

## 41.1 絶対最大定格

表 41.1 絶対最大定格

項目		シンボル	値	単位
電源電圧		VCC	-0.5 ~ +6.5	V
入力電圧	5Vトレラント対応ポート (注1)	$V_{in}$	-0.3 ~ +6.5	V
	P000 ~ P004 P010 ~ P015	$V_{in}$	-0.3 ~ AVCC0+0.3	V
	その他	$V_{in}$	-0.3 ~ VCC+0.3	V
リファレンス電源電圧		VREFH0	-0.3 ~ +6.5	V
アナログ電源電圧		AVCC0	-0.5 ~ +6.5	V
USB電源電圧		VCC_USB	-0.5 ~ +6.5	V
		VCC_USB_LDO	-0.5 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN010 使用時	$V_{AN}$	-0.3 ~ AVCC0+0.3	V
	AN016 ~ AN022 使用時		-0.3 ~ VCC+0.3	V
動作温度 (注2) (注3) (注4)		$T_{opr}$	-40 ~ +85 -40 ~ +105	°C
保存温度		$T_{stg}$	-55 ~ +125	°C

**【使用上の注意】** 絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。  
ノイズ干渉が原因の故障を排除するためには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、VCC\_USB 端子と VSS\_USB 端子の間、VREFH0 端子と VREFL0 端子の間に高周波特性コンデンサを挿入します。各電源端子になるべく近い場所に約 0.1 $\mu$ F のコンデンサを配置し、最も短く重いトレースを使用してください。また、コンデンサは安定容量として接続してください。4.7 $\mu$ F コンデンサを介して VCL 端子を VSS 端子に接続してください。コンデンサは必ず端子近くに配置してください。

- 注 1. P205、P206、P400、P401、P407 は 5V トレラント対応ポートです。  
デバイスの電源が切れている状態で信号や I/O ブルアップ電源を入力しないでください。信号または I/O ブルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部要素を劣化させる恐れがあります。
- 注 2. 41.2.1 [Tj/Ta の定義](#)を参照してください。
- 注 3. Ta = +85 ~ +105 °C の場合のディレーティング動作については、弊社の営業担当までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。
- 注 4. 動作温度の上限が 85 °C か 105 °C かは製品によって異なります。詳細は 1.3 [型名](#)を参照してください。

表 41.2 推奨動作条件

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC <sup>*1, *2</sup>	USBFS不使用時	1.6	-	5.5	V
		USBFS使用時 USBレギュレータ無効	VCC_USB	-	3.6	V
		USBFS使用時 USBレギュレータ有効	VCC_USB _LDO	-	5.5	V
	VSS	-	0	-	V	
USB電源電圧	VCC_USB	USBFS不使用時	-	VCC	-	V
		USBFS使用時 USBレギュレータ無効 (入力)	3.0	3.3	3.6	V
	VCC_USB_LDO	USBFS不使用時	-	VCC	-	V
		USBFS使用時 USBレギュレータ有効	3.8	-	5.5	V
	VSS_USB	-	0	-	V	
アナログ電源電圧	AVCC0 (注1), (注2)		1.6	-	5.5	V
	AVSS0		-	0	-	V
	VREFH0	ADC14基準として使用時	1.6	-	AVCC0	V
	VREFL0		-	0	-	V

注 1. 下記の条件で AVCC0 と VCC を使用してください：

VCC  $\geq$  2.0V のとき、AVCC0 と VCC は動作範囲内で個別に設定可能  
VCC < 2.0V のとき、AVCC0 = VCC

注 2. VCC 端子および AVCC0 端子に電源を投入する場合、両方同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子の順番で電源投入してください。

## 41.2 DC 特性

## 41.2.1 Tj/Ta の定義

表 41.3 DC 特性

条件：動作温度 (T<sub>a</sub>) が -40 ~ +105°C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	T <sub>j</sub>	-	125	°C	高速モード 中速モード 低電圧モード 低速モード SubOSCスピードモード

注.  $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$  となるようにしてください。このとき、総消費電力 =  $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$  です。

41.2.2 I/O V<sub>IH</sub>, V<sub>IL</sub>表 41.4 I/O V<sub>IH</sub>, V<sub>IL</sub> (1)

条件：VCC = AVCC0 = 2.7 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件	
シュミットトリガ 入力電圧	IIC (SMBusを除く) (注1)	V <sub>IH</sub>	VCC × 0.7	-	5.8	V	-
		V <sub>IL</sub>	-0.3	-	VCC × 0.3		
		ΔV <sub>T</sub>	VCC × 0.05	-	-		
	RES, NMI IICを除くその他の周辺入力 端子	V <sub>IH</sub>	VCC × 0.8	-	VCC + 0.3		
		V <sub>IL</sub>	-0.3	-	VCC × 0.2		
		ΔV <sub>T</sub>	VCC × 0.1	-	-		
入力電圧 (シュ ミットトリガ入力 端子を除く)	IIC (SMBus) (注2)	V <sub>IH</sub>	2.2	-	VCC + 0.3	VCC = 3.6 ~ 5.5V	
		V <sub>IH</sub>	2.0	-	VCC + 0.3		VCC = 2.7 ~ 3.6V
		V <sub>IL</sub>	-0.3	-	0.8	-	
	5Vトレラント対応ポート (注3)	V <sub>IH</sub>	VCC × 0.8	-	5.8	-	
		V <sub>IL</sub>	-0.3	-	VCC × 0.2		
	P000 ~ P004 P010 ~ P015	V <sub>IH</sub>	AVCC0 × 0.8	-	AVCC0 + 0.3	-	
		V <sub>IL</sub>	-0.3	-	AVCC0 × 0.2		
	EXTAL P000 ~ P004、P010 ~ P015 を除く入力ポート端子	V <sub>IH</sub>	VCC × 0.8	-	VCC + 0.3	-	
		V <sub>IL</sub>	-0.3	-	VCC × 0.2		

注 1. SCL0\_A, SDA0\_A, SDA0\_B, SCL1\_A, SDA1\_A (合計 5 端子)

注 2. SCL0\_A, SDA0\_A, SCL0\_B, SDA0\_B, SCL1\_A, SDA1\_A, SCL1\_B, SDA1\_B (合計 8 端子)

注 3. P205, P206, P400, P401, P407 (合計 5 端子)

表 41.5 I/O  $V_{IH}$ ,  $V_{IL}$  (2)条件 :  $VCC = AVCC0 = 1.6 \sim 2.7V$ 

項目		シンボル	Min	Typ	Max	単位	測定条件
シュミットトリガ 入力電圧	RES, NMI 周辺入力端子	$V_{IH}$	$VCC \times 0.8$	-	$VCC + 0.3$	V	-
		$V_{IL}$	-0.3	-	$VCC \times 0.2$		
		$\Delta V_T$	$VCC \times 0.01$	-	-		
入力電圧 (シュ ミットトリガ入力 端子を除く)	5Vトレラント対応ポート (注1)	$V_{IH}$	$VCC \times 0.8$	-	5.8		
		$V_{IL}$	-0.3	-	$VCC \times 0.2$		
	P000~P004 P010~P015	$V_{IH}$	$AVCC0 \times 0.8$	-	$AVCC0 + 0.3$		
		$V_{IL}$	-0.3	-	$AVCC0 \times 0.2$		
	EXTAL P000~P004、P010~P015を 除く入力ポート端子	$V_{IH}$	$VCC \times 0.8$	-	$VCC + 0.3$		
		$V_{IL}$	-0.3	-	$VCC \times 0.2$		

注 1. P205、P206、P400、P401、P407 (合計 5 端子)

参考資料

41.2.3 I/O  $I_{OH}$ ,  $I_{OL}$ 

表 41.6 I/O  $I_{OH}$ ,  $I_{OL}$   
条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	
許容出力電流 (端子ごとの平均値)	ポート P000 ~ P004、P010 ~ P015、P212、P213	$I_{OH}$	-	-	-4.0	mA	
		$I_{OL}$	-	-	4.0	mA	
	ポート P408、P409	低駆動 (注1)	$I_{OH}$	-	-	-4.0	mA
			$I_{OL}$	-	-	4.0	mA
		中駆動 (注2) VCC = 2.7 ~ 3.0V	$I_{OH}$	-	-	-8.0	mA
			$I_{OL}$	-	-	8.0	mA
		中駆動 (注2) VCC = 3.0 ~ 5.5V	$I_{OH}$	-	-	-20.0	mA
			$I_{OL}$	-	-	20.0	mA
	その他の出力端子 (注3)	低駆動 (注1)	$I_{OH}$	-	-	-4.0	mA
			$I_{OL}$	-	-	4.0	mA
		中駆動 (注2)	$I_{OH}$	-	-	-8.0	mA
			$I_{OL}$	-	-	8.0	mA
許容出力電流 (端子ごとの最大値)	ポート P000 ~ P004、P010 ~ P015、P212、P213	$I_{OH}$	-	-	-4.0	mA	
		$I_{OL}$	-	-	4.0	mA	
	ポート P408、P409	低駆動 (注1)	$I_{OH}$	-	-	-4.0	mA
			$I_{OL}$	-	-	4.0	mA
		中駆動 (注2) VCC = 2.7 ~ 3.0V	$I_{OH}$	-	-	-8.0	mA
			$I_{OL}$	-	-	8.0	mA
		中駆動 (注2) VCC = 3.0 ~ 5.5V	$I_{OH}$	-	-	-20.0	mA
			$I_{OL}$	-	-	20.0	mA
	その他の出力端子 <sup>3</sup>	低駆動 (注1)	$I_{OH}$	-	-	-4.0	mA
			$I_{OL}$	-	-	4.0	mA
		中駆動 (注2)	$I_{OH}$	-	-	-8.0	mA
			$I_{OL}$	-	-	8.0	mA
許容出力電流 (全端子での最大値)	ポート P000 ~ P004、P010 ~ P015 の合計	$\Sigma I_{OH} (max)$	-	-	-30	mA	
		$\Sigma I_{OL} (max)$	-	-	30	mA	
	全出力端子の総和	$\Sigma I_{OH} (max)$	-	-	-60	mA	
		$\Sigma I_{OL} (max)$	-	-	60	mA	

【使用上の注意】 MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 $\mu$ s の間に計測した電流の平均値を意味します。

- 注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。  
 注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。  
 注 3. 入力ポートである P200、P214、P215 を除きます。

41.2.4 I/O  $V_{OH}$ 、 $V_{OL}$ 、その他の特性表 41.7 I/O  $V_{OH}$ 、 $V_{OL}$  (1)条件 :  $V_{CC} = AV_{CC0} = 4.0 \sim 5.5V$ 

項目		シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	IIC (注1), (注2)	$V_{OL}$	-	-	0.4	V	$I_{OL} = 3.0mA$	
		$V_{OL}$	-	-	0.6		$I_{OL} = 6.0mA$	
	ポートP408、P409 (注2)、(注3)	$V_{OH}$	$V_{CC} - 1.0$	-	-		$I_{OH} = -20mA$	
		$V_{OL}$	-	-	1.0		$I_{OL} = 20mA$	
	ポートP000~P004 P010~P015	低駆動	$V_{OH}$	$AV_{CC0} - 0.8$	-		-	$I_{OH} = -2.0mA$
			$V_{OL}$	-	-		0.8	$I_{OL} = 2.0mA$
		中駆動	$V_{OH}$	$AV_{CC0} - 0.8$	-		-	$I_{OH} = -4.0mA$
			$V_{OL}$	-	-		0.8	$I_{OL} = 4.0mA$
	他の出力端子 (注4)	低駆動	$V_{OH}$	$V_{CC} - 0.8$	-		-	$I_{OH} = -2.0mA$
			$V_{OL}$	-	-		0.8	$I_{OL} = 2.0mA$
		中駆動	$V_{OH}$	$V_{CC} - 0.8$	-		-	$I_{OH} = -4.0mA$
			$V_{OL}$	-	-		0.8	$I_{OL} = 4.0mA$

注 1. SCL0\_A、SDA0\_A、SCL0\_B、SDA0\_B、SCL1\_A、SDA1\_A、SCL1\_B、SDA1\_B (合計 8 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づき、製品試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

表 41.8 I/O  $V_{OH}$ 、 $V_{OL}$  (2)条件 :  $V_{CC} = AV_{CC0} = 2.7 \sim 4.0V$ 

項目		シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	IIC (注1)、(注2)	$V_{OL}$	-	-	0.4	V	$I_{OL} = 3.0mA$	
		$V_{OL}$	-	-	0.6		$I_{OL} = 6.0mA$	
	ポートP408、P409 (注2)、(注3)	$V_{OH}$	$V_{CC} - 1.0$	-	-		$I_{OH} = -20mA$ $V_{CC} = 3.3V$	
		$V_{OL}$	-	-	1.0		$I_{OL} = 20mA$ $V_{CC} = 3.3V$	
	ポートP000~P004 P010~P015	低駆動	$V_{OH}$	$AV_{CC0} - 0.5$	-		-	$I_{OH} = -1.0mA$
			$V_{OL}$	-	-		0.5	$I_{OL} = 1.0mA$
		中駆動	$V_{OH}$	$AV_{CC0} - 0.5$	-		-	$I_{OH} = -2.0mA$
			$V_{OL}$	-	-		0.5	$I_{OL} = 2.0mA$
	他の出力端子 (注4)	低駆動	$V_{OH}$	$V_{CC} - 0.5$	-		-	$I_{OH} = -1.0mA$
			$V_{OL}$	-	-		0.5	$I_{OL} = 1.0mA$
		中駆動	$V_{OH}$	$V_{CC} - 0.5$	-		-	$I_{OH} = -2.0mA$
			$V_{OL}$	-	-		0.5	$I_{OL} = 2.0mA$

注 1. SCL0\_A、SDA0\_A、SCL0\_B、SDA0\_B、SCL1\_A、SDA1\_A、SCL1\_B、SDA1\_B (合計 8 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づき、製品試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

表 41.9 I/O  $V_{OH}$ ,  $V_{OL}$  (3)条件 :  $V_{CC} = AV_{CC0} = 1.6 \sim 2.7V$ 

項目			シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポートP000~P004 P010~P015	低駆動	$V_{OH}$	$AV_{CC0} - 0.3$	-	-		$I_{OH} = -0.5mA$
			$V_{OL}$	-	-	0.3		$I_{OL} = 0.5mA$
		中駆動	$V_{OH}$	$AV_{CC0} - 0.3$	-	-		$I_{OH} = -1.0mA$
			$V_{OL}$	-	-	0.3		$I_{OL} = 1.0mA$
	他の出力端子 (注1)	低駆動	$V_{OH}$	$V_{CC} - 0.3$	-	-	V	$I_{OH} = -0.5mA$
			$V_{OL}$	-	-	0.3		$I_{OL} = 0.5mA$
		中駆動	$V_{OH}$	$V_{CC} - 0.3$	-	-		$I_{OH} = -1.0mA$
			$V_{OL}$	-	-	0.3		$I_{OL} = 1.0mA$

注 1. 入力ポートである P200、P214、P215 を除きます。

表 41.10 I/O その他の特性

条件 :  $V_{CC} = AV_{CC0} = 1.6 \sim 5.5V$ 

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポートP200、P214、 P215	$ I_{in} $	-	-	1.0	$\mu A$	$V_{in} = 0V$ $V_{in} = V_{CC}$
スリーステートリーク電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSL} $	-	-	1.0	$\mu A$	$V_{in} = 0V$ $V_{in} = 5.8V$
	その他のポート		-	-	1.0		$V_{in} = 0V$ $V_{in} = V_{CC}$
入力プルアップ抵抗	すべてのポート (P200、P214、P215を除く)	$R_U$	10	20	50	$k\Omega$	$V_{in} = 0V$
入力容量	USB_DP, USB_DM, P200	$C_{in}$	-	-	30	$pF$	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25^\circ C$
	その他の入力端子		-	-	15		



## 41.2.5 低駆動能力の入出力端子出力特性

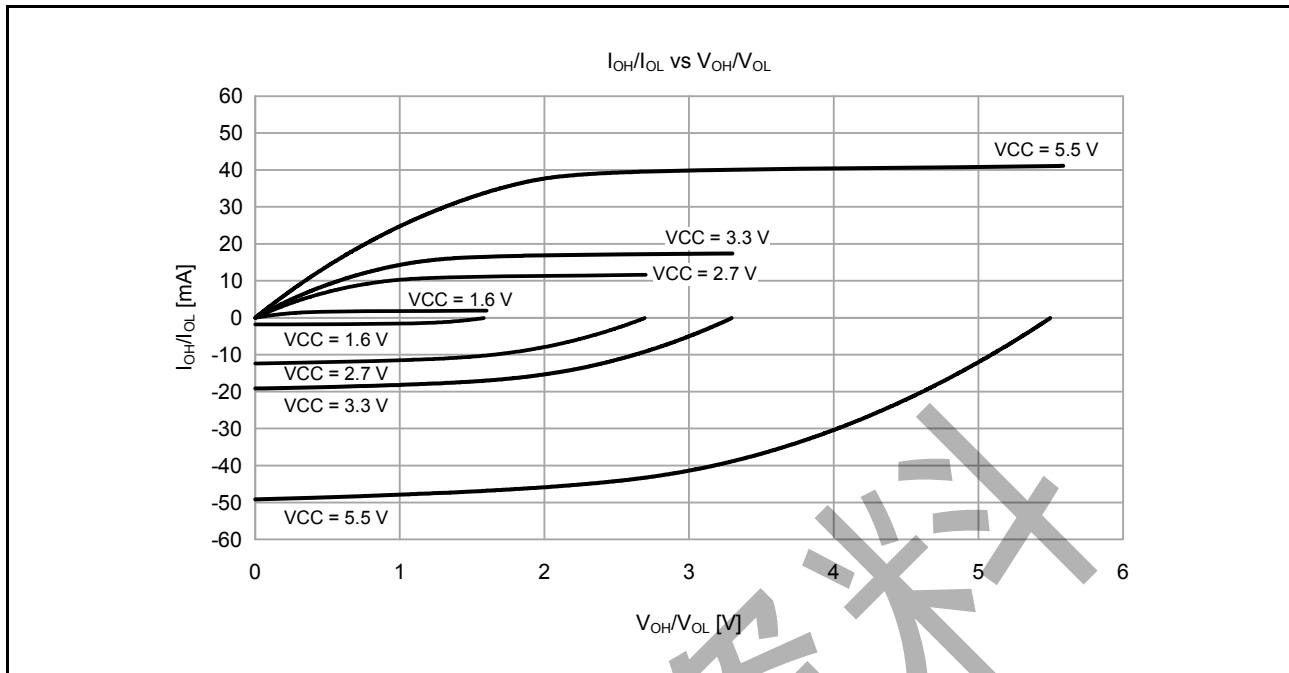


図 41.2 低駆動出力選択時の  $T_a = 25^\circ\text{C}$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  電圧特性 (参考データ)

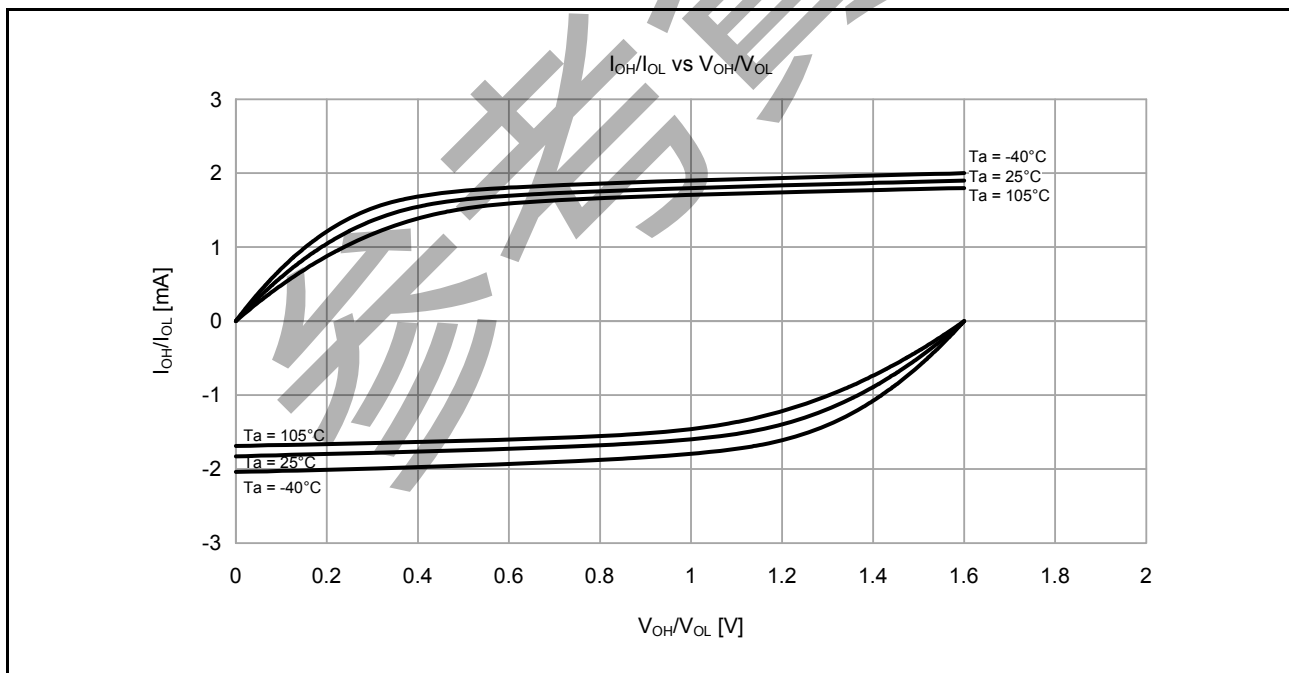


図 41.3 低駆動出力選択時の  $V_{CC} = 1.6\text{V}$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

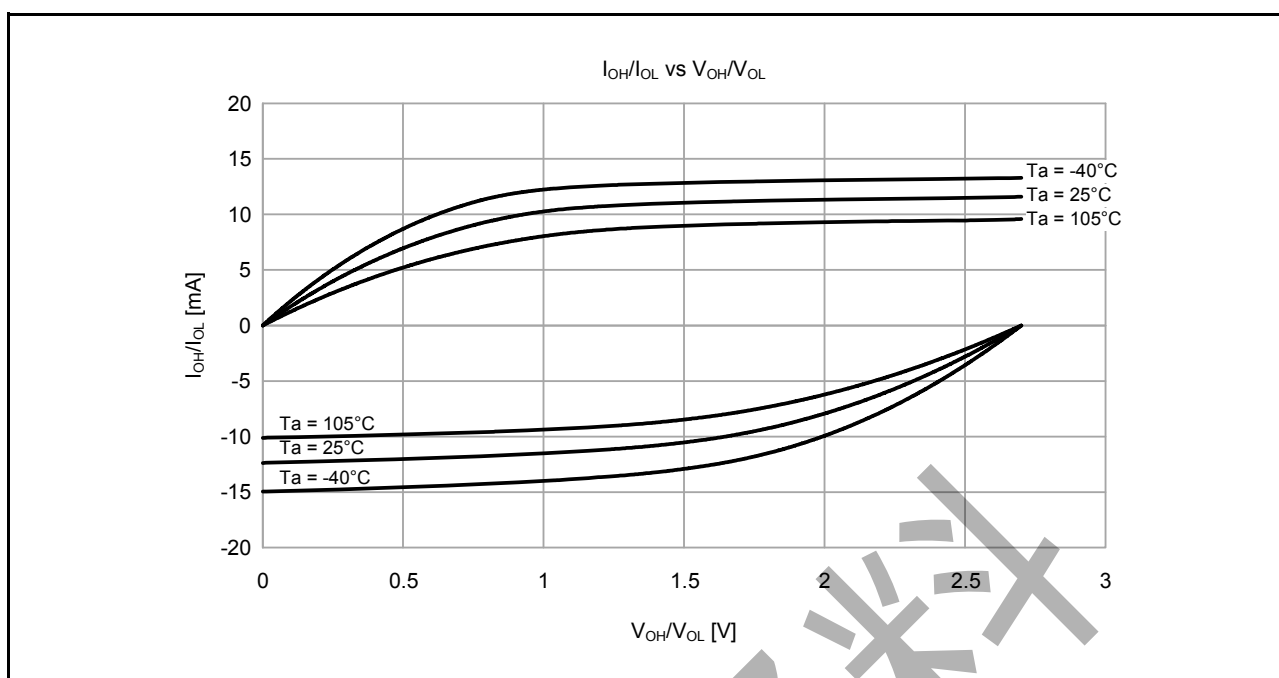


図 41.4 低駆動出力選択時の  $V_{CC} = 2.7V$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

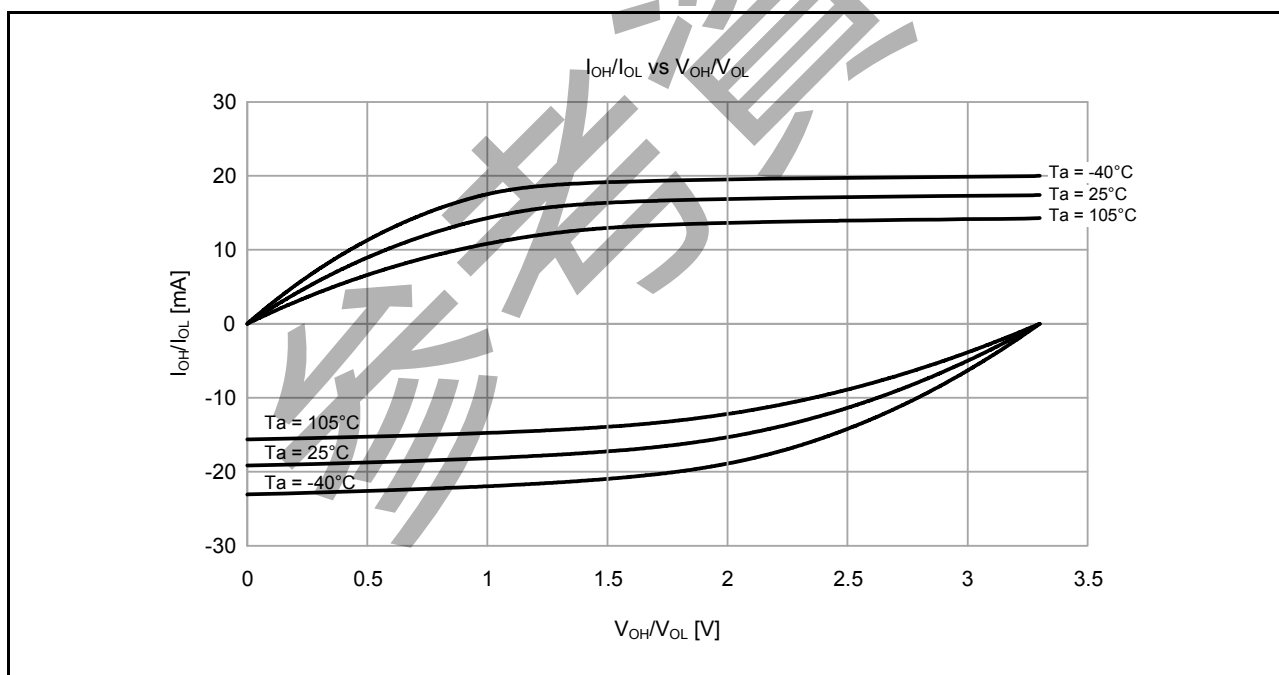


図 41.5 低駆動出力選択時の  $V_{CC} = 3.3V$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

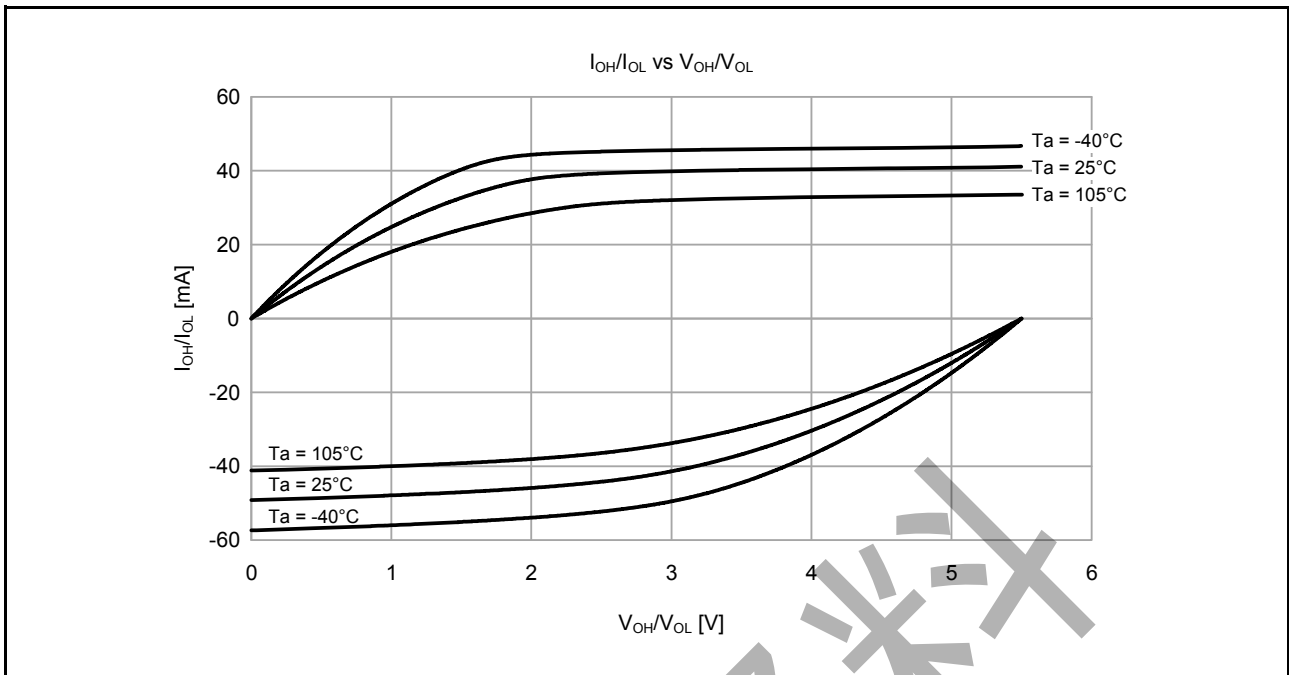


図 41.6 低駆動出力選択時の  $V_{CC} = 5.5V$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

#### 41.2.6 中駆動能力の入出力端子出力特性

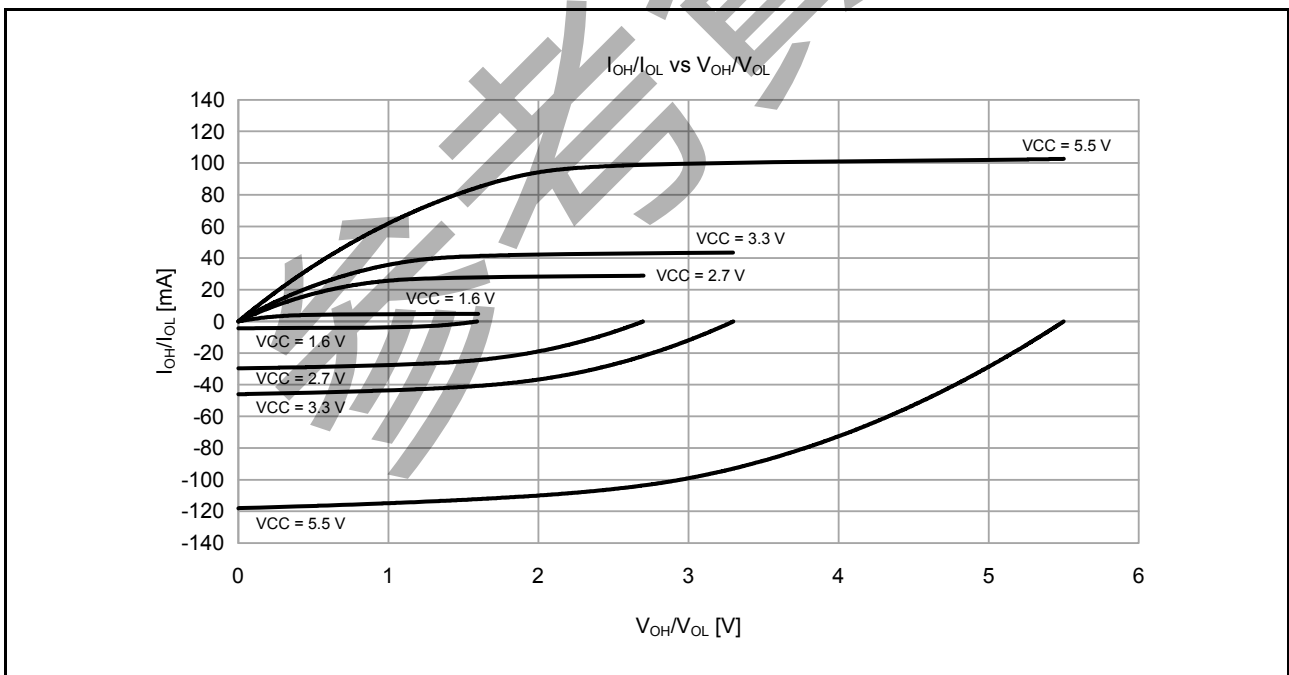


図 41.7 中駆動出力選択時の  $T_a = 25^\circ C$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  電圧特性 (参考データ)

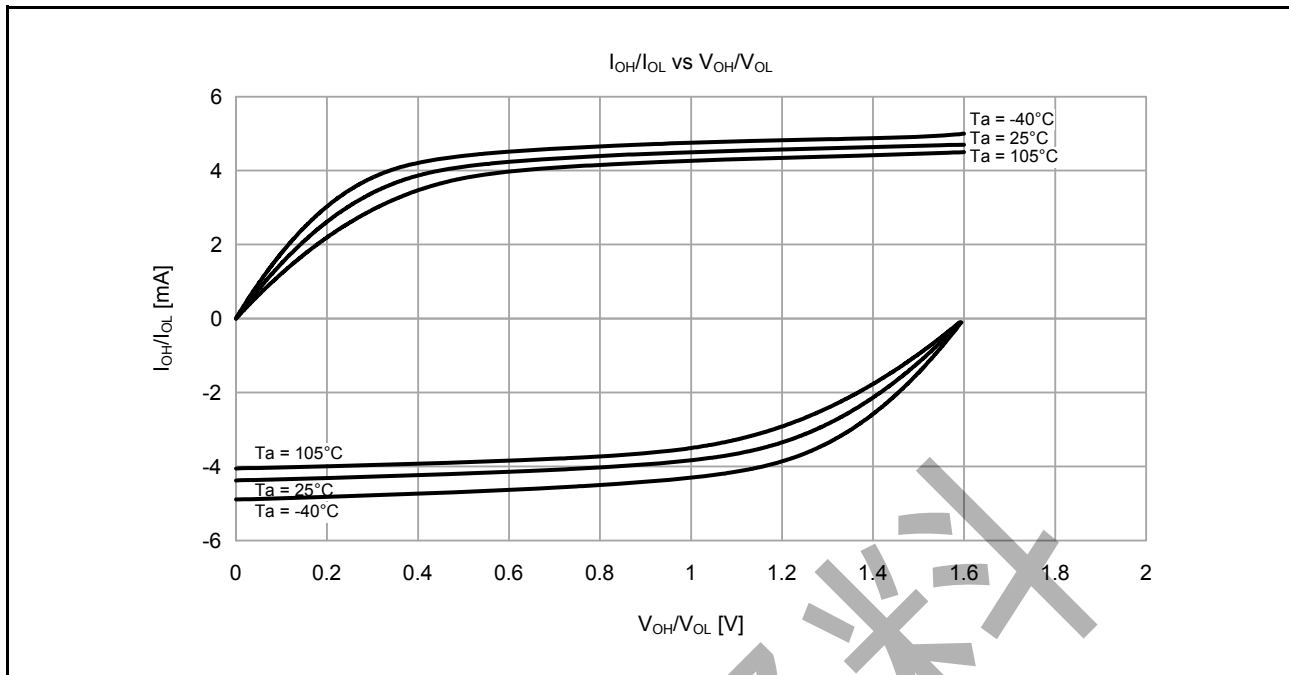


図 41.8 中駆動出力選択時の  $V_{CC} = 1.6V$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

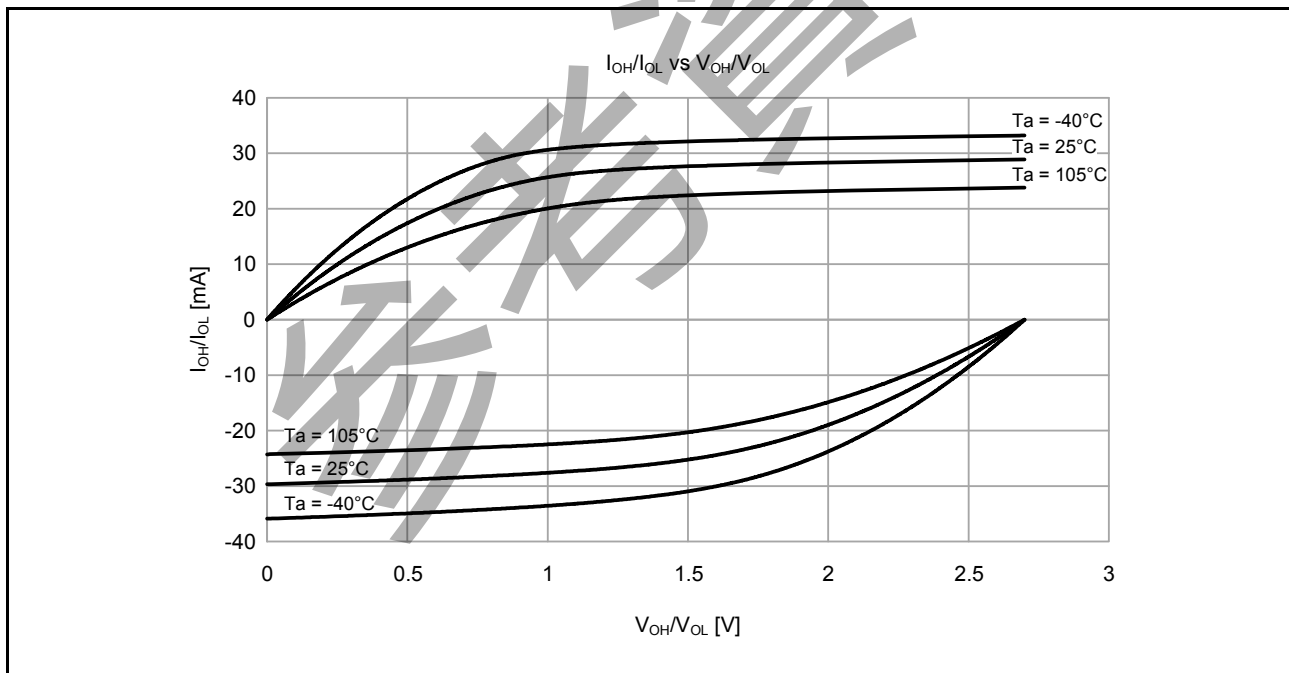


図 41.9 中駆動出力選択時の  $V_{CC} = 2.7V$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

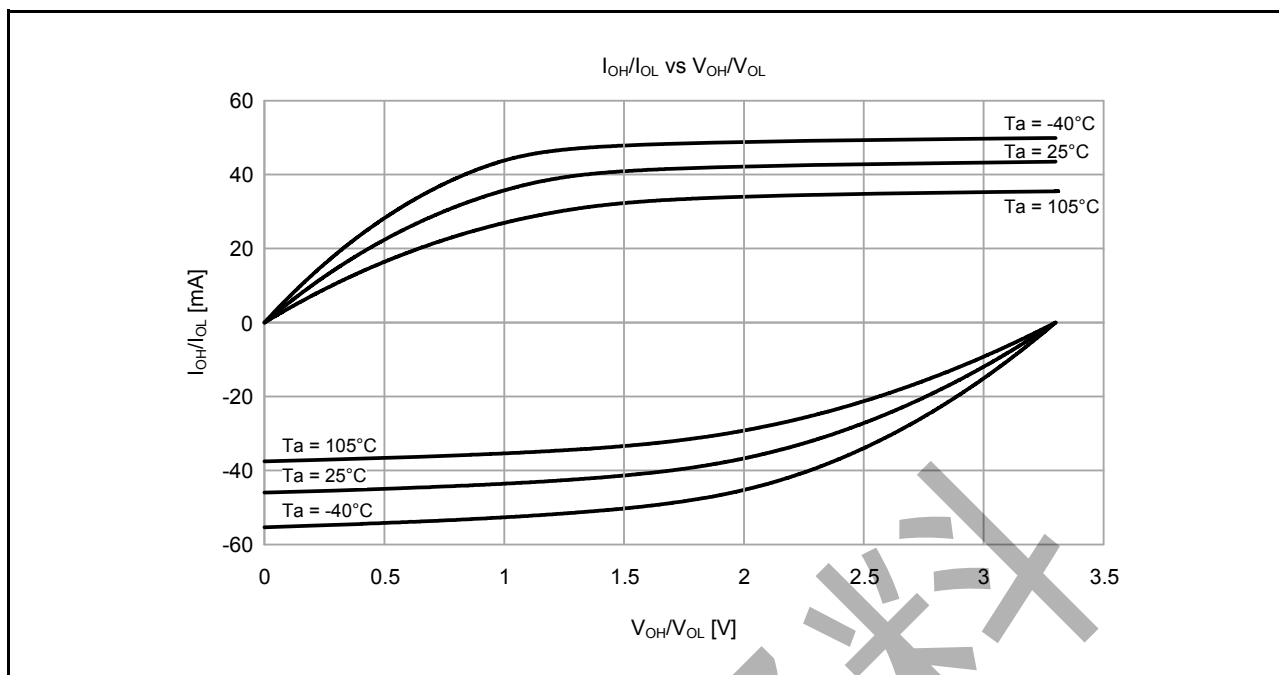


図 41.10 中駆動出力選択時の  $V_{CC} = 3.3V$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

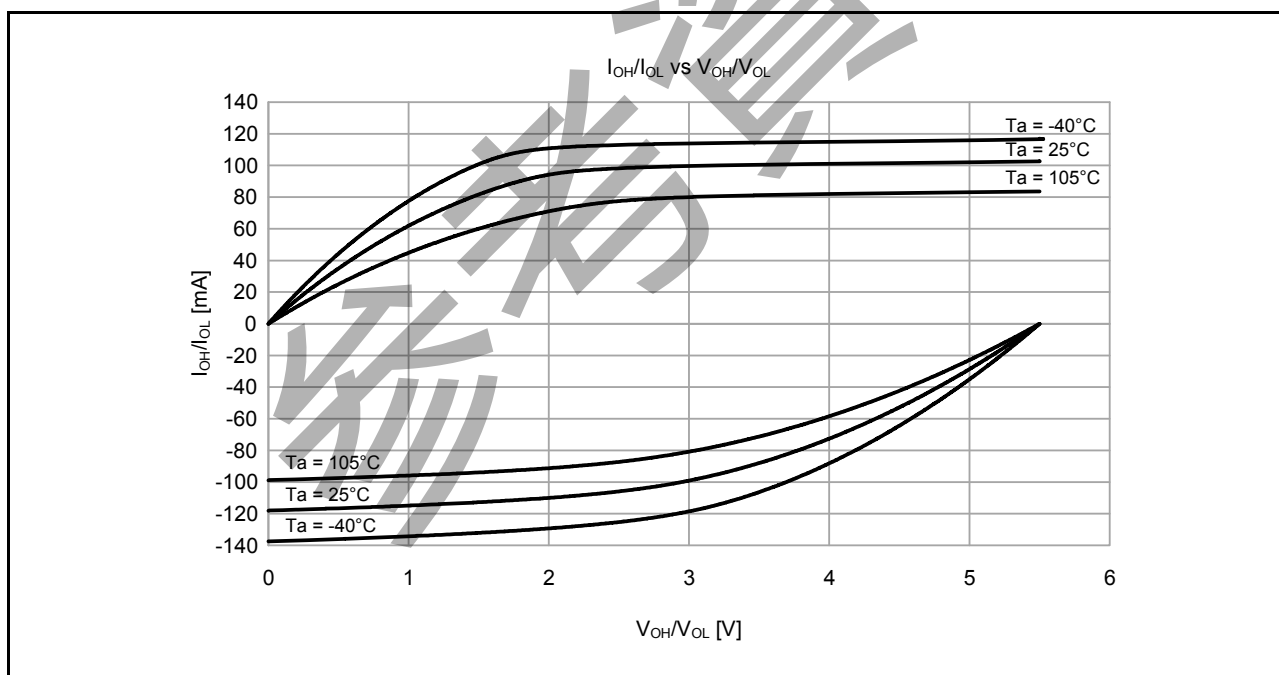
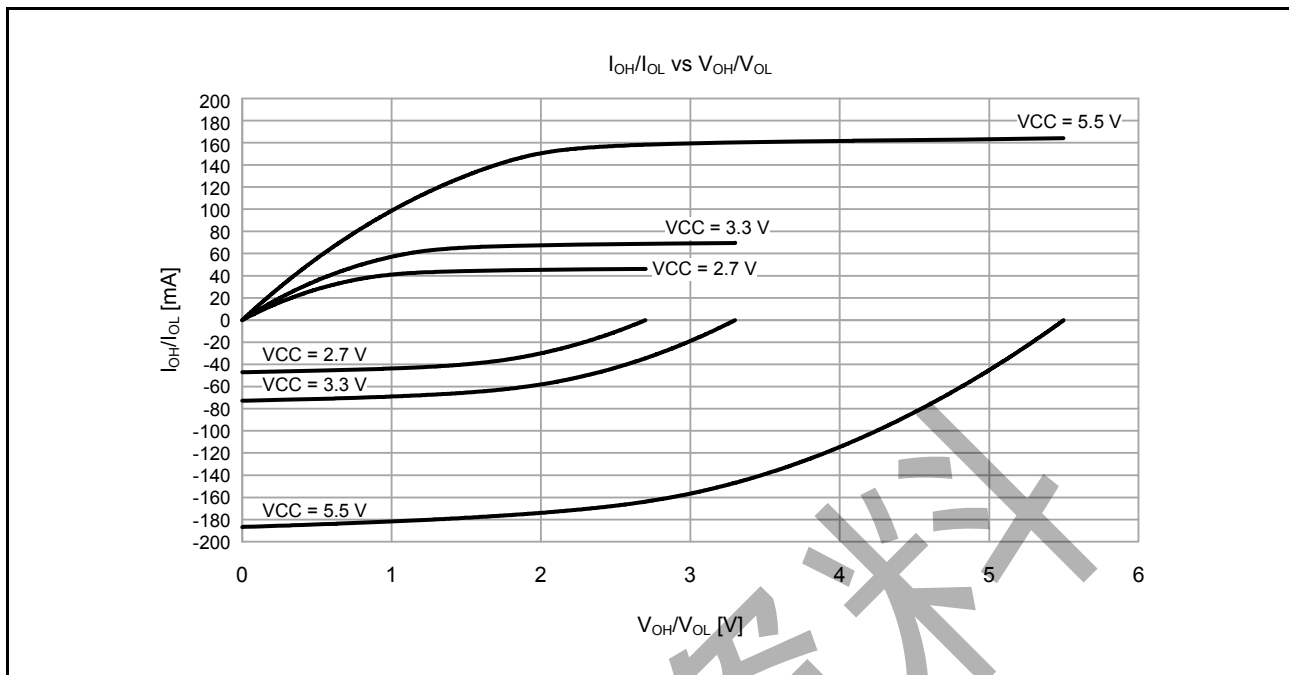
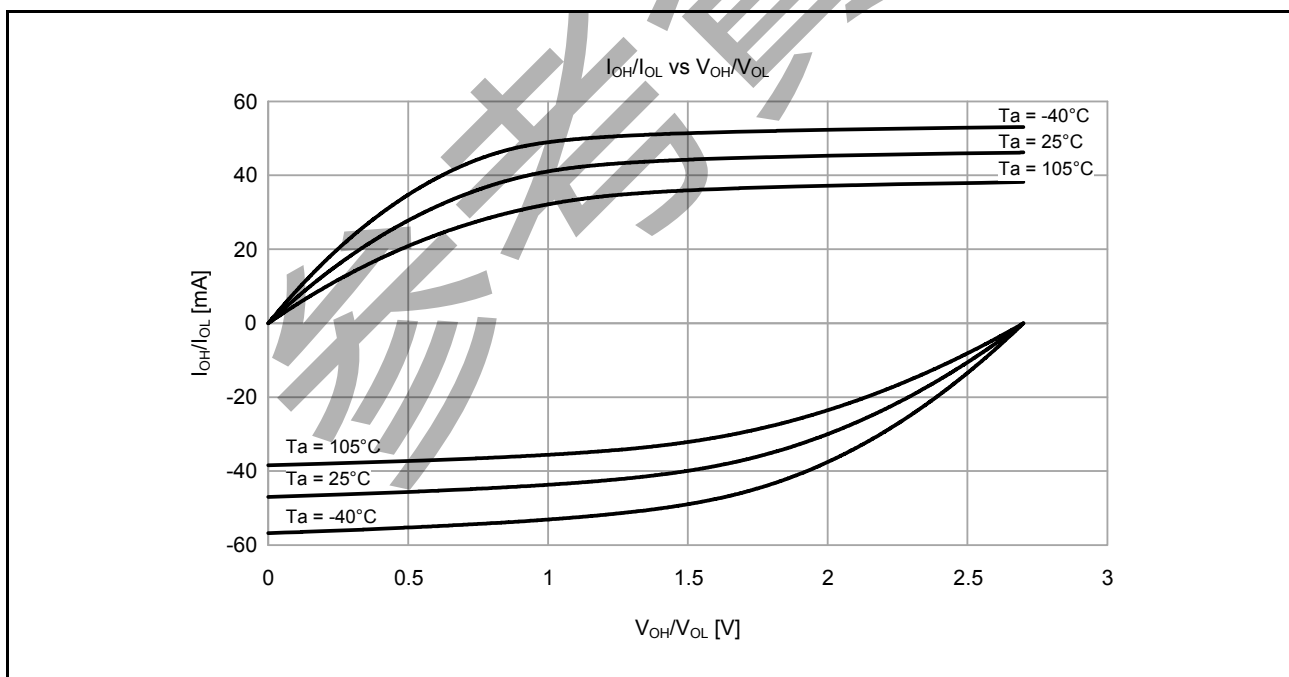


図 41.11 中駆動出力選択時の  $V_{CC} = 5.5V$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

## 41.2.7 中駆動能力の P408、P409 入出力端子出力特性

図 41.12 中駆動出力選択時の Ta = 25 °C での V<sub>OH</sub>/V<sub>OL</sub> および I<sub>OH</sub>/I<sub>OL</sub> 電圧特性 (参考データ)図 41.13 低駆動出力選択時の VCC = 2.7V での V<sub>OH</sub>/V<sub>OL</sub> および I<sub>OH</sub>/I<sub>OL</sub> 温度特性 (参考データ)

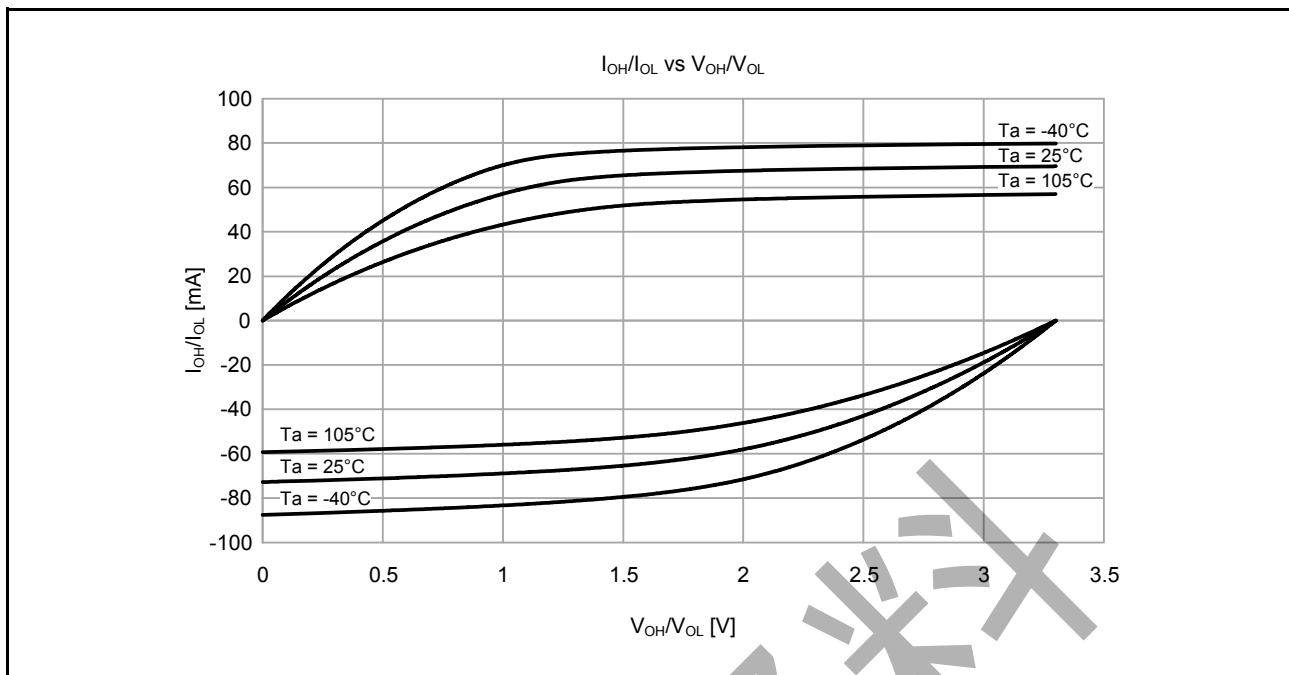


図 41.14 中駆動出力選択時の  $V_{CC} = 3.3\text{V}$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

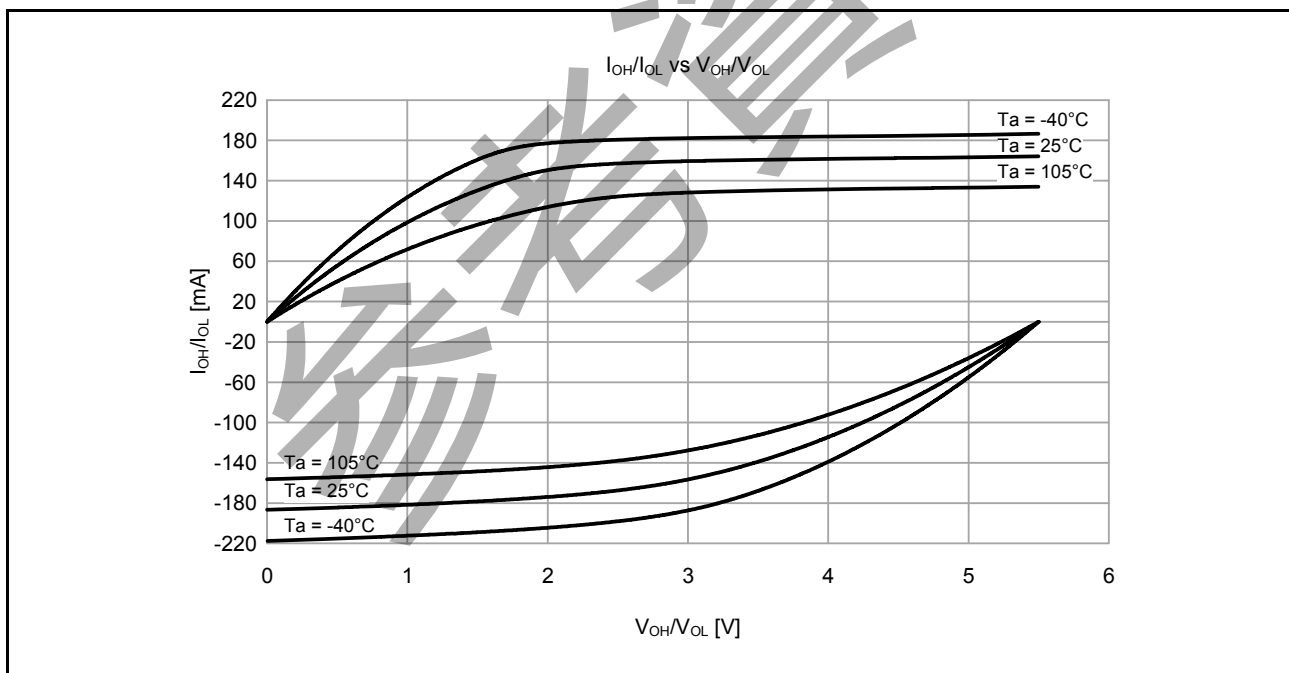


図 41.15 低駆動出力選択時の  $V_{CC} = 5.5\text{V}$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

## 41.2.8 IIC 入出力端子出力特性

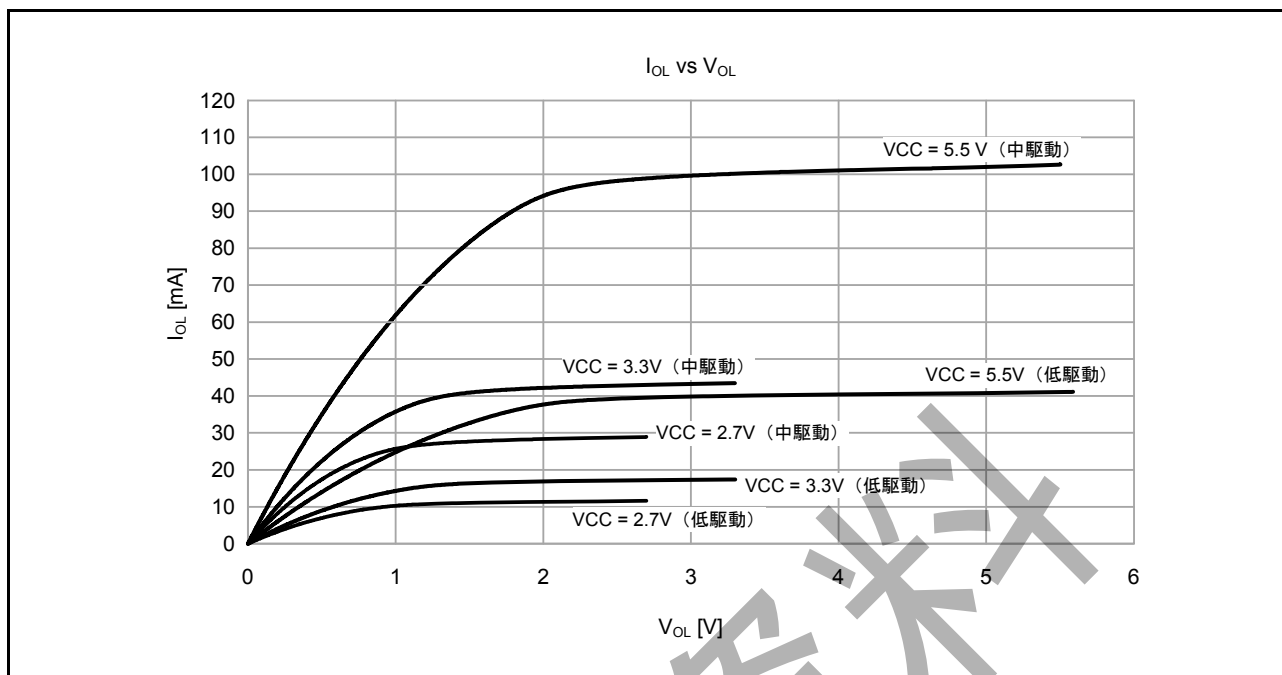


図 41.16 Ta = 25 °Cでの V<sub>OH</sub>/V<sub>OL</sub> および I<sub>OH</sub>/I<sub>OL</sub> 電圧特性



## 41.2.9 動作電流とスタンバイ電流

表 41.11 動作電流とスタンバイ電流 (1) (1/2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目				シンボル	Typ (注9)	Max	単位	測定条件			
消費電流 (注1)	高速モード (注2)	通常モード	すべての周辺クロックが無効、 コードはフラッシュから実行 (注5)	ICLK = 32MHz	I <sub>CC</sub>	3.6	-	mA	(注7)		
				ICLK = 16MHz		2.4	-				
				ICLK = 8MHz		1.7	-				
			すべての周辺クロックが無効、 CoreMark コードはフラッシュ から実行 (注5)	ICLK = 32MHz		5.6	-				
				ICLK = 16MHz		3.5	-				
				ICLK = 8MHz		2.4	-				
		すべての周辺クロックが有効、 コードはフラッシュから実行 (注5)	ICLK = 32MHz	9.5	-	(注8)					
				ICLK = 16MHz	5.4		-				
				ICLK = 8MHz	3.3		-				
			すべての周辺クロックが有効、 コードはフラッシュから実行 (注5)	ICLK = 32MHz	-		21.0				
				スリープモード			ICLK = 32MHz		1.5	-	(注7)
				すべての周辺クロックが無効 (注5)	ICLK = 16MHz				1.1	-	
	ICLK = 8MHz	0.9	-								
	BGO動作中に増加 (注6)	すべての周辺クロックが有効 (注5)	ICLK = 32MHz	7.2	-	(注8)					
				ICLK = 16MHz	4.0		-				
				ICLK = 8MHz	2.4		-				
				2.5	-		-				
		中速モード (注2)	通常モード	すべての周辺クロックが無効、 コードはフラッシュから実行 (注5)	ICLK = 12MHz		I <sub>CC</sub>	1.7	-	mA	(注7)
ICLK = 8MHz					1.5			-			
ICLK = 8MHz	2.7				-						
すべての周辺クロックが無効、 CoreMark コードはフラッシュ から実行 (注5)	ICLK = 12MHz			1.9	-						
	ICLK = 8MHz			3.9	-						
	ICLK = 8MHz			3.0	-						
すべての周辺クロックが有効、 コードはフラッシュから実行 (注5)	スリープモード		ICLK = 12MHz	-	8.0	(注8)					
	すべての周辺クロックが無効 (注5)		ICLK = 12MHz	0.8	-		(注7)				
				ICLK = 8MHz	0.8			-			
	すべての周辺クロックが有効 (注5)		ICLK = 12MHz	2.9	-		(注8)				
				ICLK = 8MHz	2.2			-			
			2.5	-	-						
低速モード (注3)	通常モード	すべての周辺クロックが無効、 コードはフラッシュから実行 (注5)	ICLK = 1MHz	I <sub>CC</sub>	0.2	-	mA	(注7)			
			ICLK = 1MHz		0.3	-					
		すべての周辺クロックが有効、 コードはフラッシュから実行 (注5)	ICLK = 1MHz		0.4	-					
			ICLK = 1MHz		-	2.0					
	スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 1MHz	0.2	-	(注7)					
				0.3	-						
		すべての周辺クロックが有効 (注5)	ICLK = 1MHz	0.3	-			(注8)			
				0.3	-						

表 41.11 動作電流とスタンバイ電流 (1) (2/2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目				シンボル	Typ (注9)	Max	単位	測定条件	
消費電流 (注1)	低電圧モード (注3)	通常モード	すべての周辺クロックが無効、 コードはフラッシュから実行 (注5)	ICLK = 4MHz	I <sub>CC</sub>	1.4	-	mA	(注7)
			すべての周辺クロックが無効、 CoreMarkコードはフラッシュ から実行 (注5)	ICLK = 4MHz		1.4	-		(注8)
			すべての周辺クロックが有効、 コードはフラッシュから実行 (注5)	ICLK = 4MHz		2.1	-		
			すべての周辺クロックが有効、 コードはフラッシュから実行 (注5)	ICLK = 4MHz		-	4.0		
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 4MHz		0.9	-	(注7)	
			すべての周辺クロックが有効 (注5)	ICLK = 4MHz		1.6	-	(注8)	
	Subosc ビードモード (注4)	通常モード	すべての周辺クロックが無効、 コードはフラッシュから実行 (注5)	ICLK = 32.768kHz	I <sub>CC</sub>	5.9	-	μA	(注7)
			すべての周辺クロックが有効、 コードはフラッシュから実行 (注5)	ICLK = 32.768kHz		13.0	-		(注8)
			すべての周辺クロックが有効、 コードはフラッシュから実行 (注5)	ICLK = 32.768kHz		-	55.0		
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 32.768kHz		3.2	-	(注7)	
すべての周辺クロックが有効 (注5)			ICLK = 32.768kHz	10.0		-	(注8)		

- 注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS が OFF 状態のとき、この値が適用されます。
- 注 2. クロックソースは HOCO です。
- 注 3. クロックソースは MOCO です。
- 注 4. クロックソースはサブクロック発振器です。
- 注 5. BGO 動作は含まれません。
- 注 6. プログラム実行中に、データ保管のための ROM またはフラッシュメモリのプログラム/イレースを実行した場合の増加分です。
- 注 7. PCLKB と PCLKD は、64 分周に設定されています。
- 注 8. PCLKB と PCLKD は、ICLK と同じ周波数です。
- 注 9. VCC = 3.3V

表 41.12 動作電流とスタンバイ電流 (2)

条件: VCC = AVCC0 = 1.6 ~ 5.5V

項目		シンボル	Typ (注3)	Max	単位	測定条件	
消費電流 (注1)	ソフトウェアスタンバイモード (注2)	I <sub>CC</sub>	T <sub>a</sub> = 25°C	0.4	1.5	μA	-
			T <sub>a</sub> = 55°C	0.6	5.5		
			T <sub>a</sub> = 85°C	1.2	10.0		
			T <sub>a</sub> = 105°C	2.6	40.0		
	低速オンチップオシレータでのRTC動作時増加分 (注4)			0.4	-		-
	サブクロックオシレータでのRTC動作時増加分 (注4)			0.5	-		SOMCR.SODRV[1:0] = 11b (低消費電力モード3)
			1.3	-		SOMCR.SODRV[1:0] = 00b (通常モード)	

- 注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部ブルアップ MOS トランジスタが OFF 状態のとき、この値が適用されます。
- 注 2. IWDT と LVD は動作していません。
- 注 3. VCC = 3.3V
- 注 4. 低速オンチップオシレータまたはサブ発振回路の電流を含みます。

表 41.13 動作電流とスタンバイ電流 (3)

条件: VCC = AVCC0 = 1.6 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	測定条件
アナログ電源電流	A/D 変換中 (高速変換時)	I <sub>AVCC</sub>	-	-	3.0	mA	-
	A/D 変換中 (低速変換時)		-	-	1.0	mA	-
	D/A 変換時 (注1)		-	0.4	0.8	mA	-
	A/D、D/A 変換待機時 (全ユニット)		-	-	1.0	μA	-
リファレンス電源電流	A/D 変換中 (高速変換時)	I <sub>REFH0</sub>	-	-	150	μA	-
	A/D 変換待機時 (全ユニット)		-	-	60	nA	-
温度センサ		I <sub>TNS</sub>	-	75	-	μA	-
低電力アナログコンパレータ (ACMPLP) 動作電流	ウィンドウモード	I <sub>CMPLP</sub>	-	15	-	μA	-
	コンパレータ高速モード		-	10	-	μA	-
	コンパレータ低速モード		-	2	-	μA	-
USB 動作電流	以下の設定および条件での USB 通信時: <ul style="list-style-type: none"> <li>ファンクションコントローラはフルスピードモード</li> <li>- バルク OUT 転送は (64 バイト) x 1</li> <li>- バルク IN 転送は (64 バイト) x 1</li> <li>ホストデバイスは USB ポートから 1 メートルの USB ケーブルで接続</li> </ul>	I <sub>USBF</sub> (注2)	-	3.6 (VCC) 1.1 (VCC_USB) (注4)	-	mA	-
	以下の設定および条件でのサスペンド状態時: <ul style="list-style-type: none"> <li>ファンクションコントローラはフルスピードモード (USB_DP 端子はブルアップ)</li> <li>ソフトウェアスタンバイモード</li> <li>ホストデバイスは USB ポートから 1 メートルの USB ケーブルで接続</li> </ul>	I <sub>SUSP</sub> (注3)	-	0.35 (VCC) 170 (VCC_USB) (注4)	-	μA	-

- 注 1. D/A 変換の電源電流値には、リファレンス電源電流も含まれています。
- 注 2. 電流は、USBF のみ消費します。
- 注 3. サスペンド状態における MCU 消費電流の他に、USB\_DP 端子のブルアップ抵抗からホストデバイスのプルダウン抵抗への供給電流が含まれます。
- 注 4. VCC = VCC\_USB = 3.3V のとき

## 41.2.10 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 41.14 立ち上がり／立ち下がり勾配の特性

条件：VCC = AVCC0 = 0 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時のVCC 立ち上がり勾配	起動時電圧モニタ0リセット無効	SrVCC	0.02	-	2	ms/V	-
	起動時電圧モニタ0リセット有効 (注1)、(注2)		0.02	-	-		

注1. OFS1.LVDAS = 0 のとき

注2. OFS1によるレジスタ設定はブートモードでは読み出せないため、通常の起動時立ち上がり勾配に基づき電源電圧をONにします。

表 41.15 立ち上がり／立ち下がり勾配とリップル周波数特性

条件：VCC = AVCC0 = 1.6 ~ 5.5V

リップル電圧は、VCC上限（5.5V）と下限（1.6V）の範囲内で、許容リップル周波数 $f_r(VCC)$ を満たす必要があります。VCC変動が $VCC \pm 10\%$ を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	-	-	10	kHz	<a href="#">図 41.17</a> $V_r(VCC) \leq VCC \times 0.2$
		-	-	1	MHz	<a href="#">図 41.17</a> $V_r(VCC) \leq VCC \times 0.08$
		-	-	10	MHz	<a href="#">図 41.17</a> $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	-	-	ms/V	VCC変動が $VCC \pm 10\%$ を超える場合

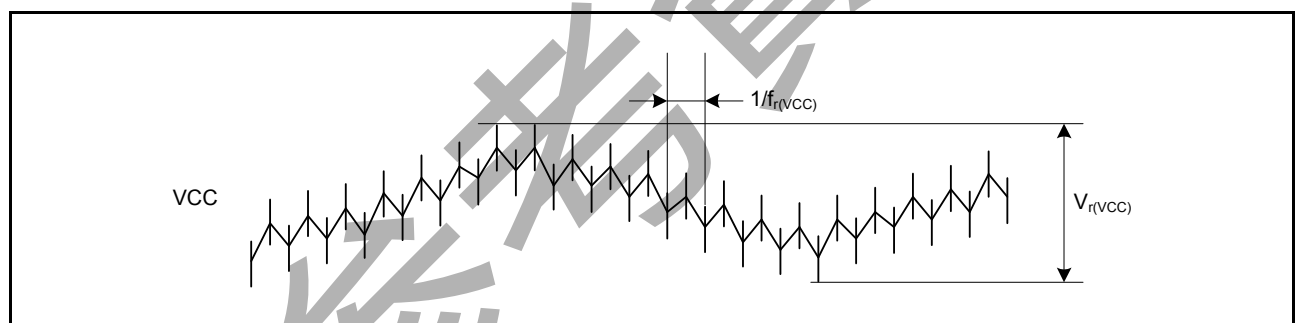


図 41.17 リップル波形

## 41.3 AC 特性

## 41.3.1 周波数

表 41.16 高速動作モードでの動作周波数

条件 : VCC = AVCC0 = 2.4 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	
動作周波数	システムクロック (ICLK) (注1)、(注2)、(注4)	2.7 ~ 5.5V	f	0.032768	-	32	MHz
		2.4 ~ 2.7V		0.032768	-	16	
	周辺モジュールクロック (PCLKB) (注4)	2.7 ~ 5.5V		-	-	32	
		2.4 ~ 2.7V		-	-	16	
	周辺モジュールクロック (PCLKD) (注3)、(注4)	2.7 ~ 5.5V		-	-	64	
		2.4 ~ 2.7V		-	-	16	

- 注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は  $\pm 3.5\%$  とします。クロックソースの周波数精度を確認してください。
- 注 3. 14 ビット A/D コンバータを使用している場合、2.4V 以上での PCLKD 下限周波数は 4MHz、2.4V 未満では 1MHz です。
- 注 4. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。

表 41.17 中速モードでの動作周波数

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	
動作周波数	システムクロック (ICLK) (注1)、(注2)、(注4)	2.7 ~ 5.5V	f	0.032768	-	12	MHz
		2.4 ~ 2.7V		0.032768	-	12	
		1.8 ~ 2.4V		0.032768	-	8	
	周辺モジュールクロック (PCLKB) (注4)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	
	周辺モジュールクロック (PCLKD) (注3)、(注4)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	

- 注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は  $\pm 3.5\%$  とします。クロックソースの周波数精度を確認してください。
- 注 3. 14 ビット A/D コンバータを使用している場合、2.4V 以上での PCLKD 下限周波数は 4MHz、2.4V 未満では 1MHz です。
- 注 4. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。

表 41.18 低速モードでの動作周波数

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注1)、(注2)、(注4)	1.8 ~ 5.5V	f	0.032768	-	1	MHz
	周辺モジュールクロック (PCLKB) (注4)	1.8 ~ 5.5V		-	-	1	
	周辺モジュールクロック (PCLKD) (注3)、(注4)	1.8 ~ 5.5V		-	-	1	

- 注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。  
 注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は  $\pm 3.5\%$  とします。クロックソースの周波数精度を確認してください。  
 注 3. A/D コンバータ使用時の PCLKD の下限周波数は 1MHz です。  
 注 4. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。

表 41.19 低電圧モードでの動作周波数

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注1)、(注2)、(注4)	1.6 ~ 5.5V	f	0.032768	-	4	MHz
	周辺モジュールクロック (PCLKB) (注4)	1.6 ~ 5.5V		-	-	4	
	周辺モジュールクロック (PCLKD) (注3)、(注4)	1.6 ~ 5.5V		-	-	4	

- 注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。  
 注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は  $\pm 3.5\%$  とします。クロックソースの周波数精度を確認してください。  
 注 3. 14 ビット A/D コンバータを使用している場合、2.4V 以上での PCLKD 下限周波数は 4MHz、2.4V 未満では 1MHz です。  
 注 4. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。

表 41.20 Suboscスピードモードでの動作周波数

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注1)、(注3)	1.8 ~ 5.5V	f	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKB) (注3)	1.8 ~ 5.5V		-	-	37.6832	
	周辺モジュールクロック (PCLKD) (注2)、(注3)	1.8 ~ 5.5V		-	-	37.6832	

- 注 1. フラッシュメモリのプログラムまたはイレースはできません。  
 注 2. 14 ビット A/D コンバータは使用できません。  
 注 3. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。

## 41.3.2 クロックタイミング

表 41.21 クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
EXTAL外部クロック入力サイクル時間	$t_{Xcyc}$	50	-	-	ns	図 41.18	
EXTAL外部クロック入力Highレベルパルス幅	$t_{XH}$	20	-	-	ns		
EXTAL外部クロック入力Lowレベルパルス幅	$t_{XL}$	20	-	-	ns		
EXTAL外部クロック立ち上がり時間	$t_{Xr}$	-	-	5	ns		
EXTAL外部クロック立ち下がり時間	$t_{Xf}$	-	-	5	ns		
EXTAL外部クロック入力待機時間 (注1)	$t_{EXWT}$	0.3	-	-	$\mu$ s	-	
EXTAL外部クロック入力周波数	$f_{EXTAL}$	-	-	20	MHz	$2.4 \leq VCC \leq 5.5$	
		-	-	8		$1.8 \leq VCC < 2.4$	
		-	-	1		$1.6 \leq VCC < 1.8$	
メインクロック発振器発振周波数	$f_{MAIN}$	1	-	20	MHz	$2.4 \leq VCC \leq 5.5$	
		1	-	8		$1.8 \leq VCC < 2.4$	
		1	-	4		$1.6 \leq VCC < 1.8$	
LOCOクロック発振周波数	$f_{LOCO}$	27.8528	32.768	37.6832	kHz	-	
LOCOクロック発振安定時間	$t_{LOCO}$	-	-	100	$\mu$ s	図 41.19	
IWDT専用クロック発振周波数	$f_{ILOCO}$	12.75	15	17.25	kHz	-	
MOCOクロック発振周波数	$f_{MOCO}$	6.8	8	9.2	MHz	-	
MOCOクロック発振安定時間	$t_{MOCO}$	-	-	1	$\mu$ s	-	
HOCOクロック発振周波数	$f_{HOCO24}$	23.64	24	24.36	MHz	$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$	
		22.68	24	25.32		$T_a = -40 \sim 85^\circ\text{C}$ $1.6 \leq VCC < 1.8$	
		23.76	24	24.24		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$	
		23.52	24	24.48		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$	
	$f_{HOCO32}$	31.52	32	32.48		$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$	
		30.24	32	33.76		$T_a = -40 \sim 85^\circ\text{C}$ $1.6 \leq VCC < 1.8$	
		31.68	32	32.32		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$	
		31.36	32	32.64		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$	
	$f_{HOCO48}$ (注3)	47.28	48	48.72		$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$	
		47.52	48	48.48		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$	
		47.04	48	48.96		$T_a = -40 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$	
	$f_{HOCO64}$ (注4)	63.04	64	64.96		$T_a = -40 \sim -20^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$	
		63.36	64	64.64		$T_a = -20 \sim 85^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$	
		62.72	64	65.28		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$	
	HOCOクロック発振安定時間 (注5)、(注6)	低電圧モード以外	$t_{HOCO24}$	-		-	$\mu$ s
$t_{HOCO32}$			-	-	37.1		
$t_{HOCO48}$			-	-	43.3		
$t_{HOCO64}$		-	-	80.6			
低電圧モード		$t_{HOCO24}$	-	-	100.9		
		$t_{HOCO32}$	-	-			
	$t_{HOCO48}$ $t_{HOCO64}$	-	-				

表 41.21 クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック発振器発振周波数	$f_{SUB}$	-	32.768	-	kHz	-
サブクロック発振安定時間 (注2)	$t_{SUBOSC}$	-	0.5	-	s	図 41.21

- 注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようになるまでの時間
- 注 2. SOSCCR.SOSTP ビットを変更してサブクロック発振器の動作が開始したら、発振器製造者の推奨値以上に設定したサブクロック発振安定待機時間を経過してからサブクロックの使用を開始してください。
- 注 3. 48MHz HOCO は、VCC = 1.8 ~ 5.5V の範囲内で使用できます。
- 注 4. 64MHz HOCO は、VCC = 2.4 ~ 5.5V の範囲内で使用できます。
- 注 5. MOCO 停止状態で HOCOCR.HCSTP ビットを 0 (発振) にした場合の特性です。MOCO 発振時に HOCOCR.HCSTP ビットを 0 (発振) にすると、この仕様は 1 $\mu$ s に短縮されます。
- 注 6. OSCSF.HOCOSF を確認して、安定時間が経過したか確認してください。

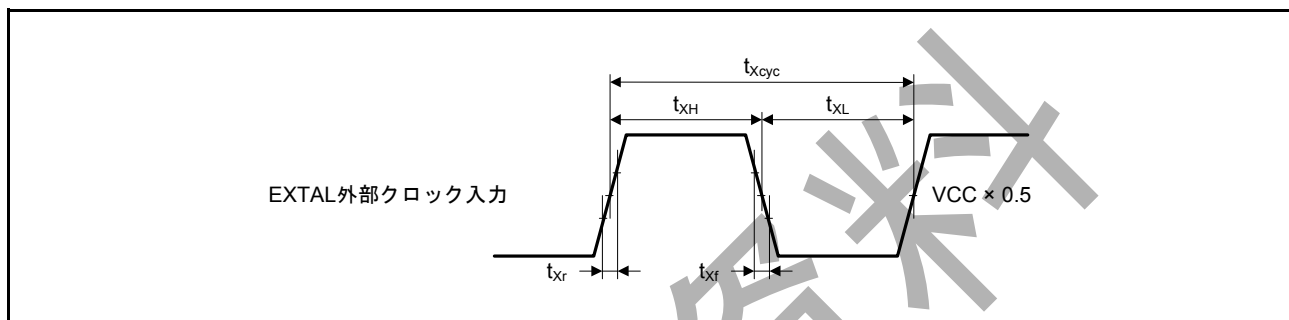


図 41.18 EXTERNAL 外部クロック入力タイミング

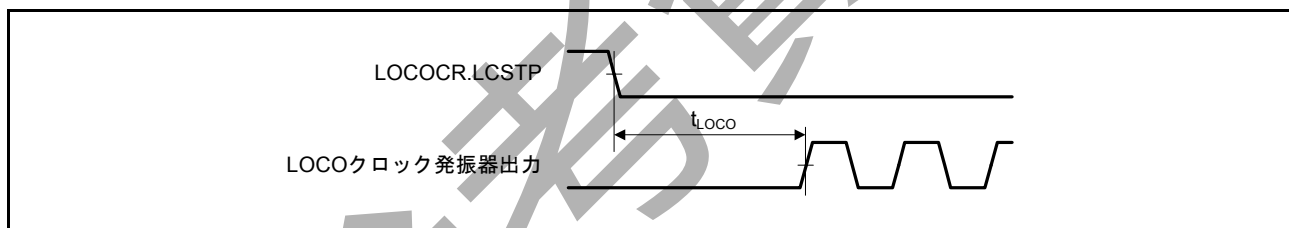


図 41.19 LOCO クロック発振開始タイミング

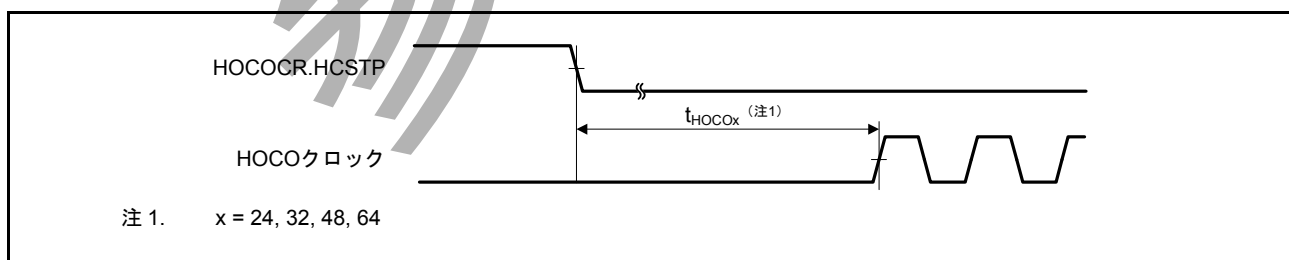


図 41.20 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定により開始)

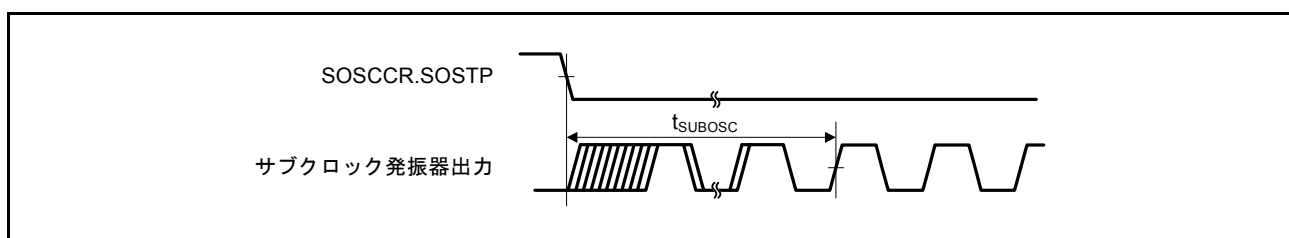


図 41.21 サブクロック発振開始タイミング



## 41.3.3 リセットタイミング

表 41.22 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RESパルス幅	電源投入時	$t_{RESWP}$	3	-	-	ms	<a href="#">図 41.22</a>
	電源投入時以外	$t_{RESW}$	30	-	-	$\mu$ s	<a href="#">図 41.23</a>
RES解除後の待機時間 (電源投入時)	LVD0有効(注1)	$t_{RESWT}$	-	0.7	-	ms	<a href="#">図 41.22</a>
	LVD0無効(注2)		-	0.3	-		
RES解除後の待機時間 (電源投入中)	LVD0有効(注1)	$t_{RESWT2}$	-	0.5	-	ms	<a href="#">図 41.23</a>
	LVD0無効(注2)		-	0.05	-		
リセット期間	IWDT(注3)	$t_{RESWIW}$	-	1	-	IWDTクロック サイクル	<a href="#">図 41.24</a>
	内部リセット (IWDTを除く)	$t_{RESWIR}$	-	1	-	ICLKサイクル	
内部リセット解除後の待機時間	LVD0有効(注1)	$t_{RESWT3}$	-	0.5	-	ms	
	LVD0無効(注2)		-	0.05	-		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. IWDTCR.CKS[3:0] = 0000b のとき

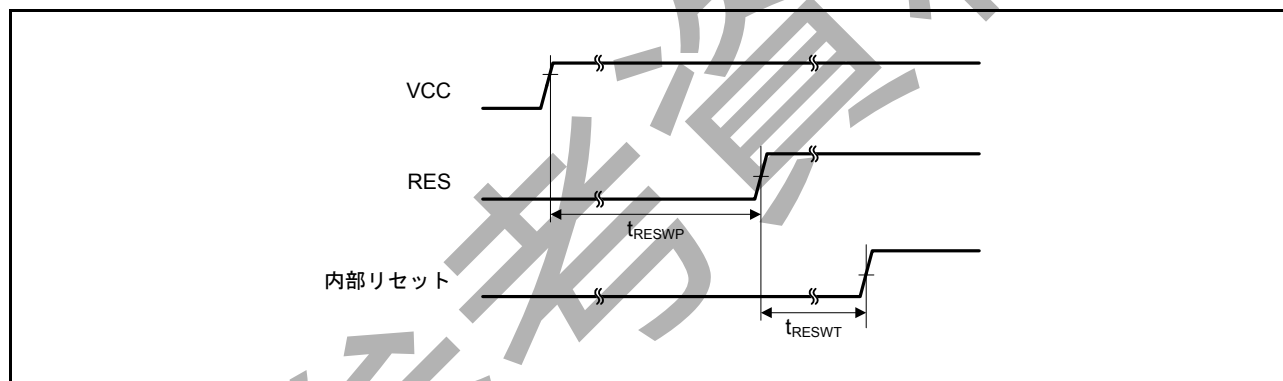


図 41.22 電源投入時リセット入力タイミング

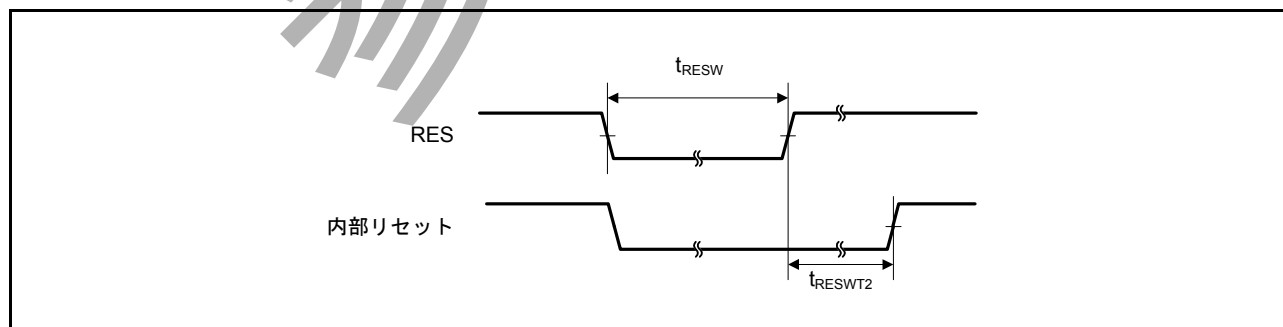


図 41.23 リセット入力タイミング (1)

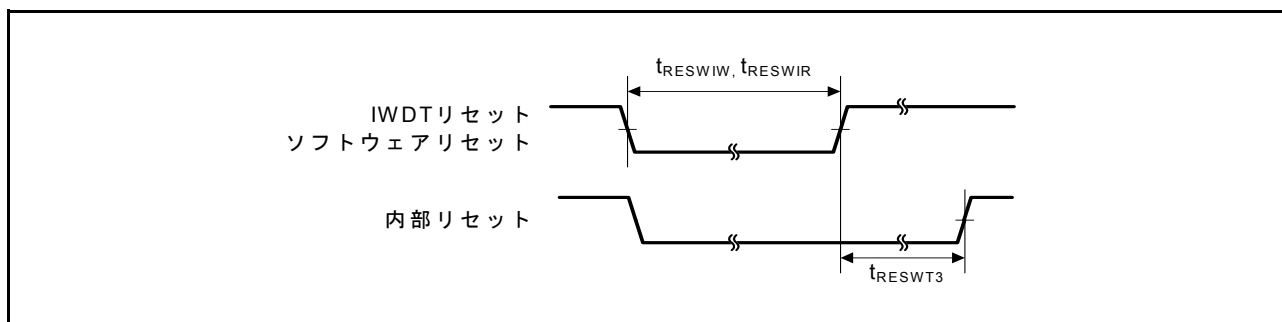


図 41.24 リセット入力タイミング (2)

参考資料

## 41.3.4 ウェイクアップ時間

表 41.23 低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	高速モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20MHz) (注2)	$t_{SBYMC}$	-	2	3	ms	図 41.25
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20MHz) (注3)	$t_{SBYEX}$	-	14	25	$\mu$ s	
		システムクロックソースはHOCO (注4) (HOCOクロックは32MHz)		$t_{SBYHO}$	-	43	52	$\mu$ s	
		システムクロックソースはHOCO (注4) (HOCOクロックは48MHz)		$t_{SBYHO}$	-	44	52	$\mu$ s	
		システムクロックソースはHOCO (注5) (HOCOクロックは64MHz)		$t_{SBYHO}$	-	82	110	$\mu$ s	
		システムクロックソースはMOCO		$t_{SBYMO}$	-	16	25	$\mu$ s	

- 注 1. ICLK と PCLKx の分周比は 1 です。復帰時間は、システムクロックソースにより決定されます。  
 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。  
 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。  
 注 4. HOCO クロック待機コントロールレジスタ (HOCOWTCR) の設定値は 05h です。  
 注 5. HOCO クロック待機コントロールレジスタ (HOCOWTCR) の設定値は 06h です。

表 41.24 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	中速モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (12MHz) (注2)	$t_{SBYMC}$	-	2	3	ms	図 41.25
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (12MHz) (注3)	$t_{SBYEX}$	-	2.9	10	$\mu$ s	
		システムクロックソースはHOCO (注4)		$t_{SBYHO}$	-	38	50	$\mu$ s	
		システムクロックソースはMOCO (8MHz)		$t_{SBYMO}$	-	3.5	5.5	$\mu$ s	

- 注 1. ICLK と PCLKx の分周比は 1 です。復帰時間は、システムクロックソースにより決定されます。  
 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。  
 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。  
 注 4. システムクロックは 12MHz です。

表 41.25 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	低速モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (1MHz) (注2)	t <sub>SBYMC</sub>	-	2	3	ms	図 41.25
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (1MHz) (注3)	t <sub>SBYEX</sub>	-	28	50	μs	
		システムクロックソースはMOCO (1MHz)		t <sub>SBYMO</sub>	-	25	35	μs	

注 1. ICLK と PCLKx の分周比は 1 です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 41.26 低消費電力モードからの復帰タイミング (4)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	低電圧モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (4MHz) (注2)	t <sub>SBYMC</sub>	-	2	3	ms	図 41.25
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (4MHz) (注3)	t <sub>SBYEX</sub>	-	108	130	μs	
		システムクロックソースはHOCO (4MHz)		t <sub>SBYHO</sub>	-	108	130	μs	

注 1. ICLK と PCLKx の分周比は 1 です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 41.27 低消費電力モードからの復帰タイミング (5)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	SubOSCスピードモード	システムクロックソースはサブクロック発振器 (32.768kHz)	t <sub>SBYSC</sub>	-	0.85	1	ms	図 41.25
		システムクロックソースは LOCO (32.768kHz)	t <sub>SBYLO</sub>	-	0.85	1.2	ms	

注 1. Subosc スピードモードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードでも引き続き発振します。

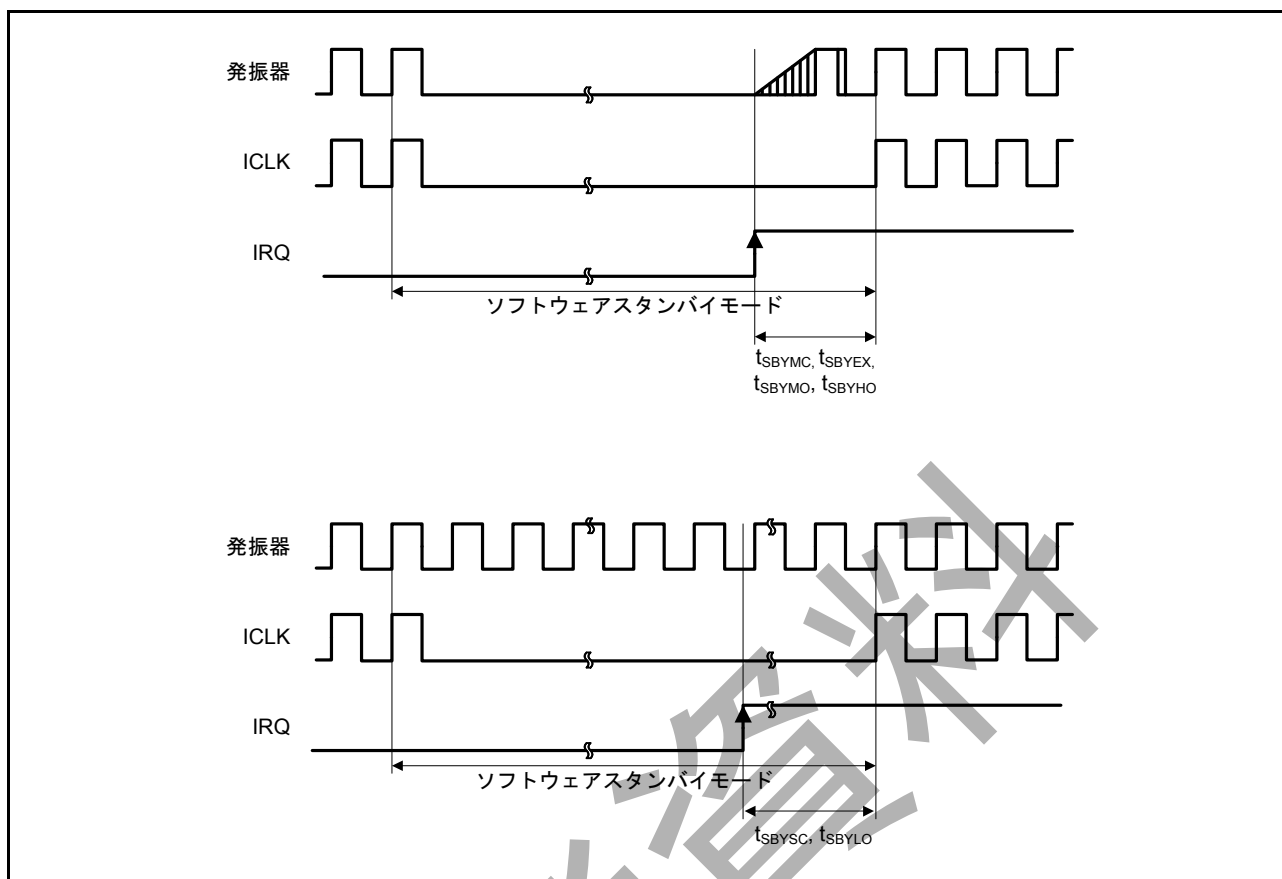


図 41.25 ソフトウェアスタンバイモード解除タイミング

表 41.28 低消費電力モードからの復帰タイミング (6)

項目	シンボル	Min	Typ	Max	単位	測定条件	
ソフトウェアスタンバイモードからスヌーズへの復帰時間	高速モード システムクロックソースはHOCO	$t_{SNZ}$	-	36	45	$\mu\text{s}$	-
	中速モード システムクロックソースはMOCO (8MHz)	$t_{SNZ}$	-	1.3	3.6	$\mu\text{s}$	-
	低速モード システムクロックソースはMOCO (1MHz)	$t_{SNZ}$	-	10	13	$\mu\text{s}$	-
	低電圧モード システムクロックソースはHOCO (4MHz)	$t_{SNZ}$	-	87	110	$\mu\text{s}$	-

## 41.3.5 NMI/IRQ ノイズフィルタ

表 41.29 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMIパルス幅	$t_{NMIW}$	200	-	-	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	-	-			$t_{Pcyc} \times 2 > 200ns$
		200	-	-		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	-	-			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	$t_{IRQW}$	200	-	-	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	-	-			$t_{Pcyc} \times 2 > 200ns$
		200	-	-		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	-	-			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小 200ns です。

注 1.  $t_{Pcyc}$  は PCLKB の周期を意味します。

注 2.  $t_{NMICK}$  は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3.  $t_{IRQCK}$  は、IRQ<sub>i</sub> デジタルフィルタサンプリングクロックの周期を示します (i = 0 ~ 7)。

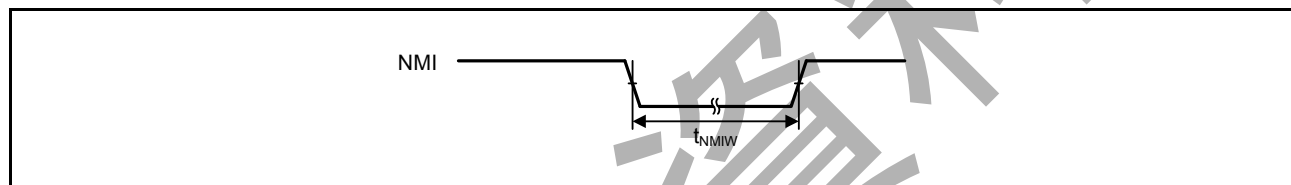


図 41.26 NMI 割り込み入力タイミング

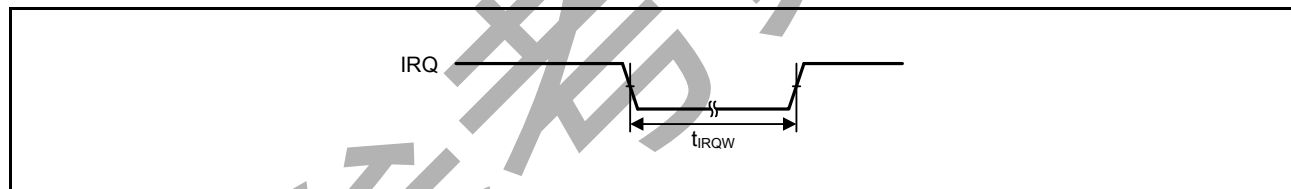


図 41.27 IRQ 割り込み入力タイミング

## 41.3.6 I/Oポート、POEG、GPT、AGT、KINT、ADC14のトリガタイミング

表 41.30 I/Oポート、POEG、GPT、AGT、KINT、ADC14のトリガタイミング

項目		シンボル	Min	Max	単位	測定条件	
I/Oポート	入力データパルス幅	$t_{PRW}$	1.5	-	$t_{Pcyc}$	<a href="#">図 41.28</a>	
POEG	POEG入力トリガパルス幅	$t_{POEW}$	3	-	$t_{Pcyc}$	<a href="#">図 41.29</a>	
GPT	インプットキャプチャパルス幅	$t_{GTICW}$	単エッジ	1.5	-	$t_{PDcyc}$	<a href="#">図 41.30</a>
			両エッジ	2.5	-		
AGT	AGTIO、AGTEE入力サイクル	$t_{ACYC}$ (注1)	$2.7V \leq VCC \leq 5.5V$	250	-	ns	<a href="#">図 41.31</a>
			$2.4V \leq VCC < 2.7V$	500	-	ns	
			$1.8V \leq VCC < 2.4V$	1000	-	ns	
			$1.6V \leq VCC < 1.8V$	2000	-	ns	
	AGTIO、AGTEE入力Highレベル幅、Lowレベル幅	$t_{ACKWH}$ $t_{ACKWL}$	$2.7V \leq VCC \leq 5.5V$	100	-	ns	
			$2.4V \leq VCC < 2.7V$	200	-	ns	
			$1.8V \leq VCC < 2.4V$	400	-	ns	
			$1.6V \leq VCC < 1.8V$	800	-	ns	
	AGTIO、AGTO、AGTOA、AGTOB出力周波数	$t_{ACYC2}$	$2.7V \leq VCC \leq 5.5V$	62.5	-	ns	
			$2.4V \leq VCC < 2.7V$	125	-	ns	
			$1.8V \leq VCC < 2.4V$	250	-	ns	
			$1.6V \leq VCC < 1.8V$	500	-	ns	
ADC14	14ビットA/Dコンバータトリガ入力パルス幅	$t_{TRGW}$	1.5	-	$t_{Pcyc}$	<a href="#">図 41.32</a>	
KINT	キー割り込み入力Lowレベル幅	$t_{KR}$	250	-	ns	<a href="#">図 41.33</a>	

注 1. AGTIO 入力の制約:  $t_{Pcyc} \times 2$  ( $t_{Pcyc}$ : PCLKB の周期)  $< t_{ACYC}$

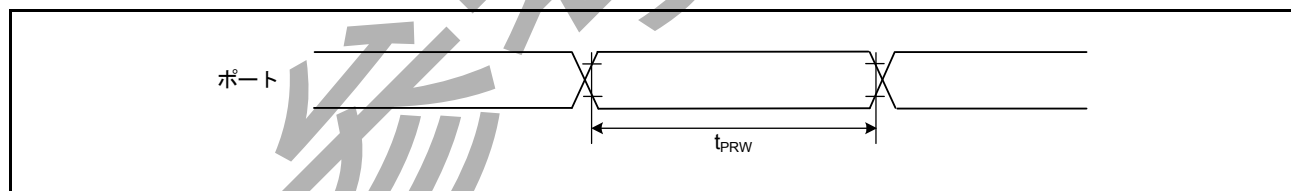


図 41.28 I/Oポート入力タイミング

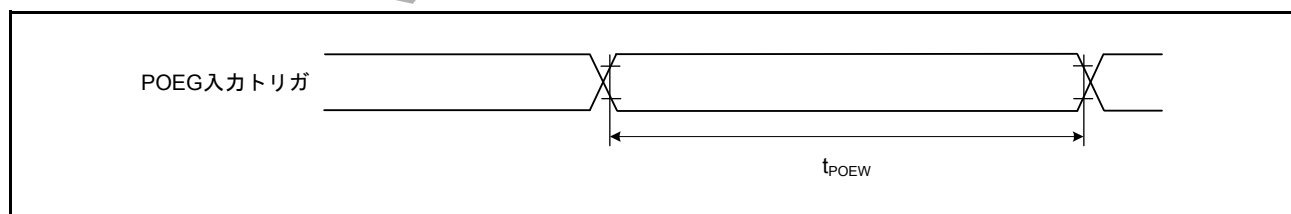


図 41.29 POEG 入力トリガタイミング

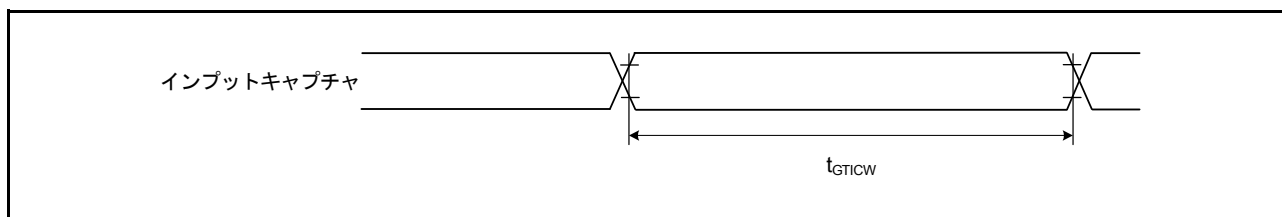


図 41.30 GPT インプットキャプチャタイミング

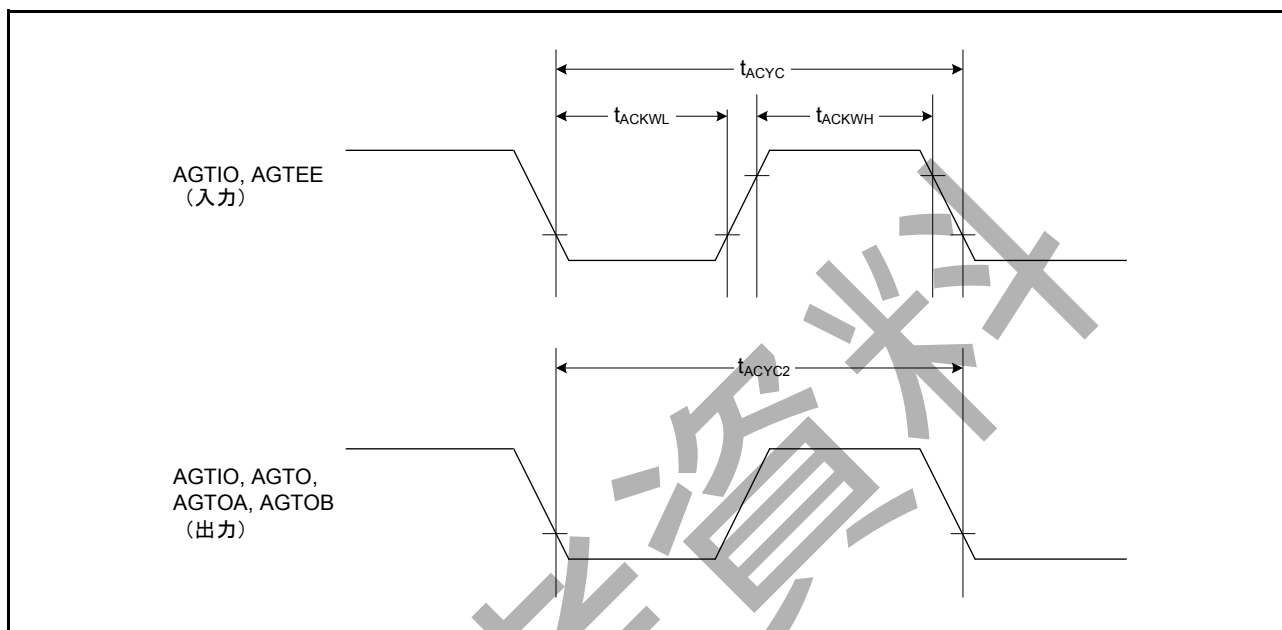


図 41.31 AGT 入出力タイミング

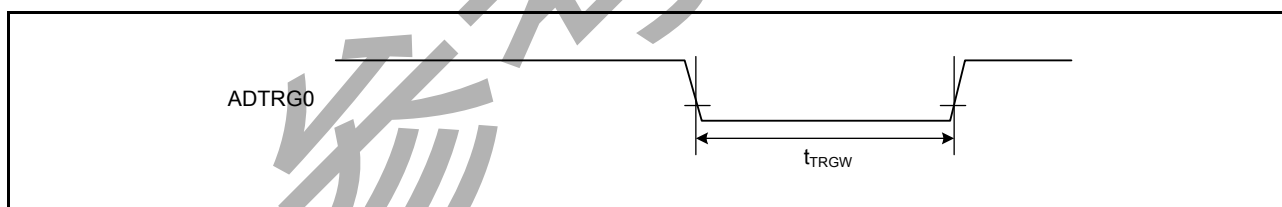


図 41.32 ADC14 トリガ入力タイミング

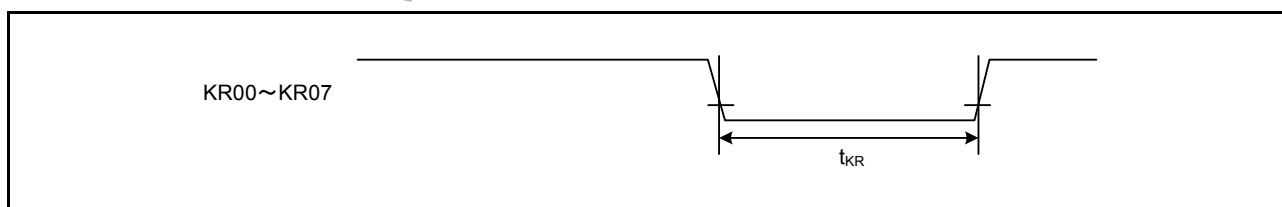


図 41.33 キー割り込み入力タイミング



## 41.3.7 CAC タイミング

表 41.31 CAC タイミング

項目		シンボル	Min	Typ	Max	単位	測定条件		
CAC	CACREF 入力パルス幅	$t_{PBcyc}$	$\leq t_{cac}$ (注2)	$t_{CACREF}$	$4.5 \times t_{cac} + 3 \times t_{PBcyc}$	-	-	ns	-
			$> t_{cac}$ (注2)		$5 \times t_{cac} + 6.5 \times t_{PBcyc}$	-	-	ns	

注 1.  $t_{PBcyc}$ : PCLKB の周期注 2.  $t_{cac}$ : CAC カウントクロックソースの周期

## 41.3.8 SCI タイミング

表 41.32 SCI タイミング (1)

条件: VCC = AVCC0 = 1.6 ~ 5.5V

項目		シンボル	Min	Max	単位 (注1)	測定条件			
SCI	入カクロックサイクル	調歩同期式	$t_{Scyc}$	4	-	$t_{Pcyc}$	図 41.34		
		クロック同期式		6	-				
	入カクロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$			
	入カクロック立ち上がり時間		$t_{SCKr}$	-	20	ns			
	入カクロック立ち下がり時間		$t_{SCKf}$	-	20	ns			
	出カクロックサイクル	調歩同期式	$t_{Scyc}$	6	-	$t_{Pcyc}$			
		クロック同期式		4	-				
	出カクロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$			
	出カクロック立ち上がり時間	1.8V 以上	$t_{SCKr}$	-	20	ns			
		1.6V 以上		-	30				
	出カクロック立ち下がり時間	1.8V 以上	$t_{SCKf}$	-	20	ns			
		1.6V 以上		-	30				
	送信データ遅延時間 (マスタ)	クロック同期式	1.8V 以上	$t_{TXD}$	-	40		ns	図 41.35
			1.6V 以上		-	45			
送信データ遅延時間 (スレーブ)	クロック同期式	2.7V 以上		-	55	ns			
		2.4V 以上		-	60				
		1.8V 以上		-	100				
		1.6V 以上		-	125				
受信データセットアップ時間 (マスタ)	クロック同期式	2.7V 以上	$t_{RXS}$	45	-	ns			
		2.4V 以上		55	-				
		1.8V 以上		90	-				
		1.6V 以上		110	-				
受信データセットアップ時間 (スレーブ)	クロック同期式	2.7V 以上		40	-	ns			
		1.6V 以上		45	-				
受信データホールド時間 (マスタ)	クロック同期式	$t_{RXH}$	5	-	ns				
受信データホールド時間 (スレーブ)	クロック同期式	$t_{RXH}$	40	-	ns				

注 1.  $t_{Pcyc}$ : PCLKB の周期

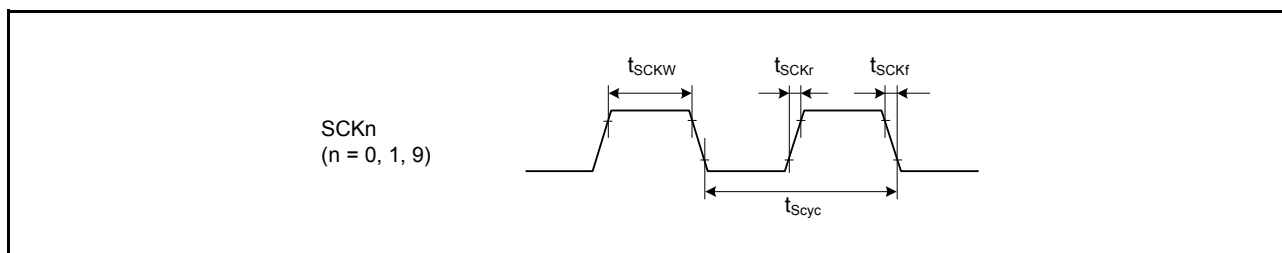


図 41.34 SCK クロック入力タイミング

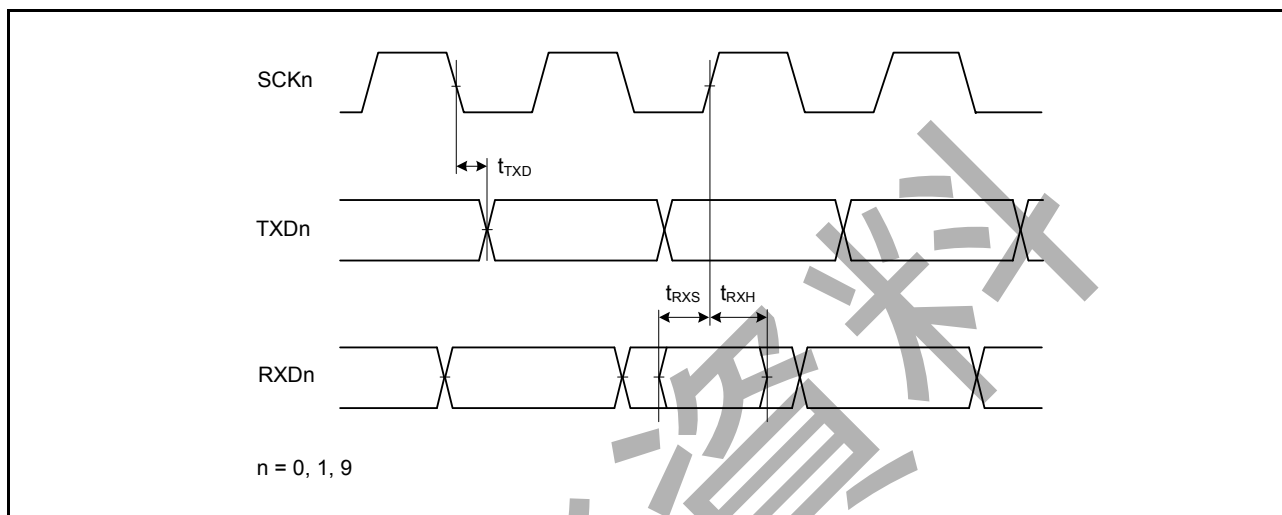


図 41.35 クロック同期式モードにおける SCI 入出力タイミング

表 41.33 SCI タイミング (2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目			シンボル	Min	Max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ)		$t_{SPcyc}$	4	65536	$t_{Pcyc}$	図 41.36	
	SCKクロックサイクル入力 (スレーブ)			6	65536			
	SCKクロック High レベルパルス幅		$t_{SPCKWH}$	0.4	0.6	$t_{SPcyc}$		
	SCKクロック Low レベルパルス幅		$t_{SPCKWL}$	0.4	0.6	$t_{SPcyc}$		
	SCKクロック立ち上がり/立ち下がり時間		1.8V 以上	$t_{SPCKr}$	-	20		ns
			1.6V 以上	$t_{SPCKf}$	-	30		
	データ入力セットアップ時間	マスタ	2.7V 以上	$t_{SU}$	45	-	ns	図 41.37 ~ 図 41.40
			2.4V 以上		55	-		
			1.8V 以上		80	-		
			1.6V 以上		110	-		
		スレーブ	2.7V 以上		40	-		
			1.6V 以上		45	-		
	データ入力ホールド時間	マスタ		$t_H$	33.3	-	ns	
スレーブ		40			-			
SS入力セットアップ時間			$t_{LEAD}$	1	-	$t_{SPcyc}$		
SS入力ホールド時間			$t_{LAG}$	1	-	$t_{SPcyc}$		
データ出力遅延時間	マスタ	1.8V 以上	$t_{OD}$	-	40	ns		
		1.6V 以上		-	50			
	スレーブ	2.4V 以上		-	65			
		1.8V 以上		-	100			
データ出力ホールド時間	マスタ	2.7V 以上	$t_{OH}$	-10	-	ns		
		2.4V 以上		-20	-			
		1.8V 以上		-30	-			
		1.6V 以上		-40	-			
	スレーブ				-10		-	
	データ立ち上がり/立ち下がり時間	マスタ			$t_{Dr}, t_{Df}$		-	20
スレーブ		1.8V 以上	-			20		
		1.6V 以上	-			30		
簡易 SPI	スレーブアクセス時間		$t_{SA}$	-	6	$t_{Pcyc}$	図 41.40	
	スレーブ出力開放時間		$t_{REL}$	-	6	$t_{Pcyc}$		

注 1.  $t_{Pcyc}$  : PCLKB の周期

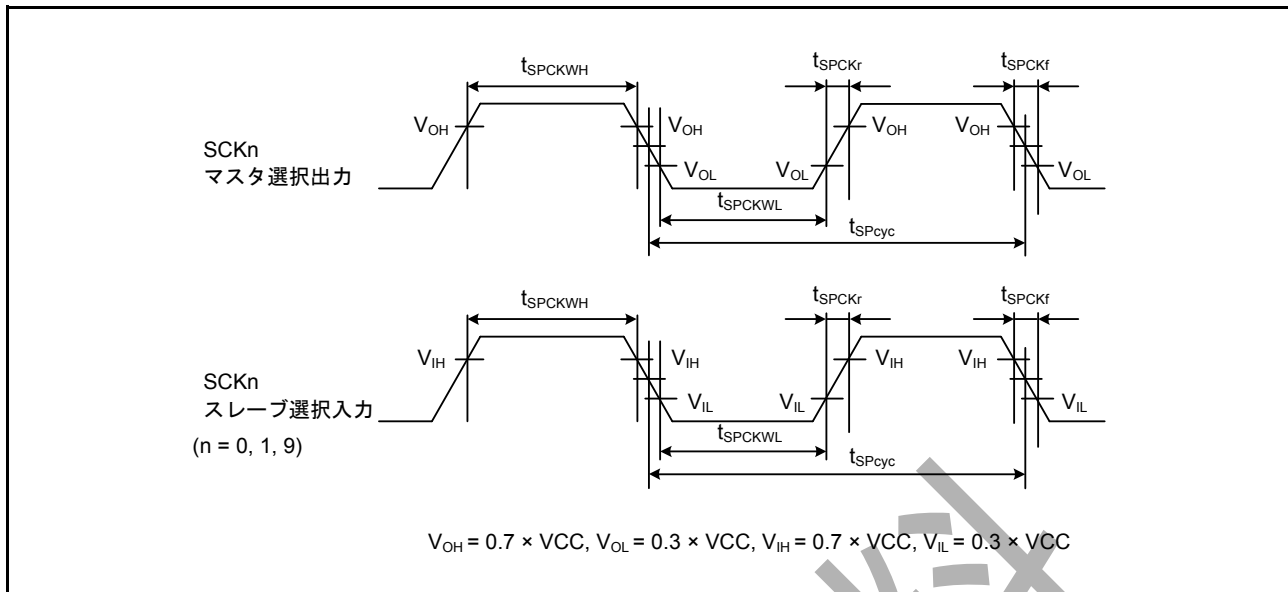


図 41.36 SCI 簡易 SPI モードクロックタイミング

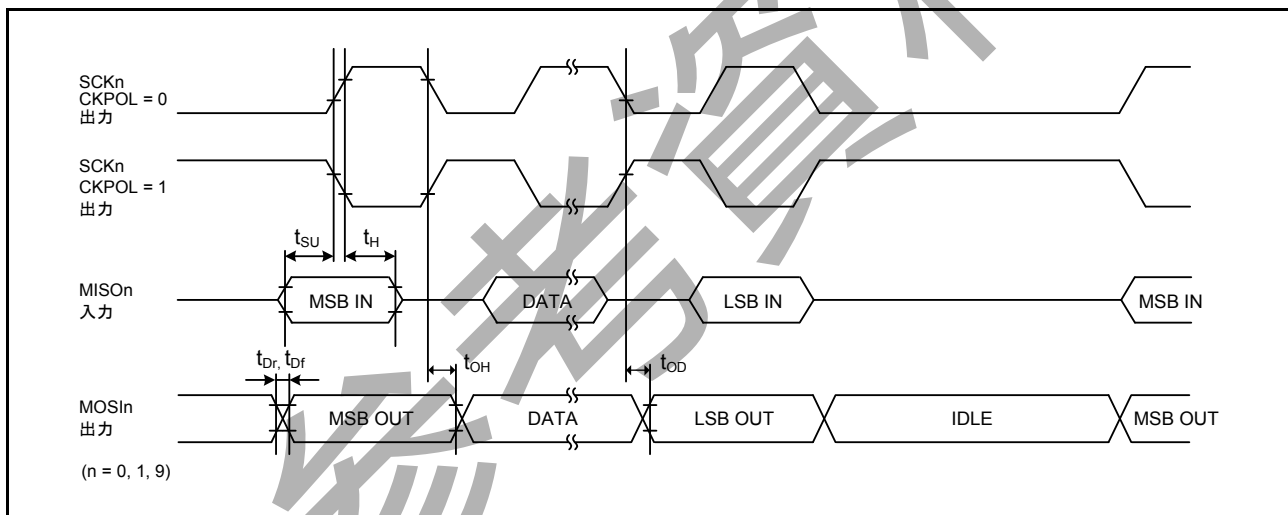


図 41.37 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 1)

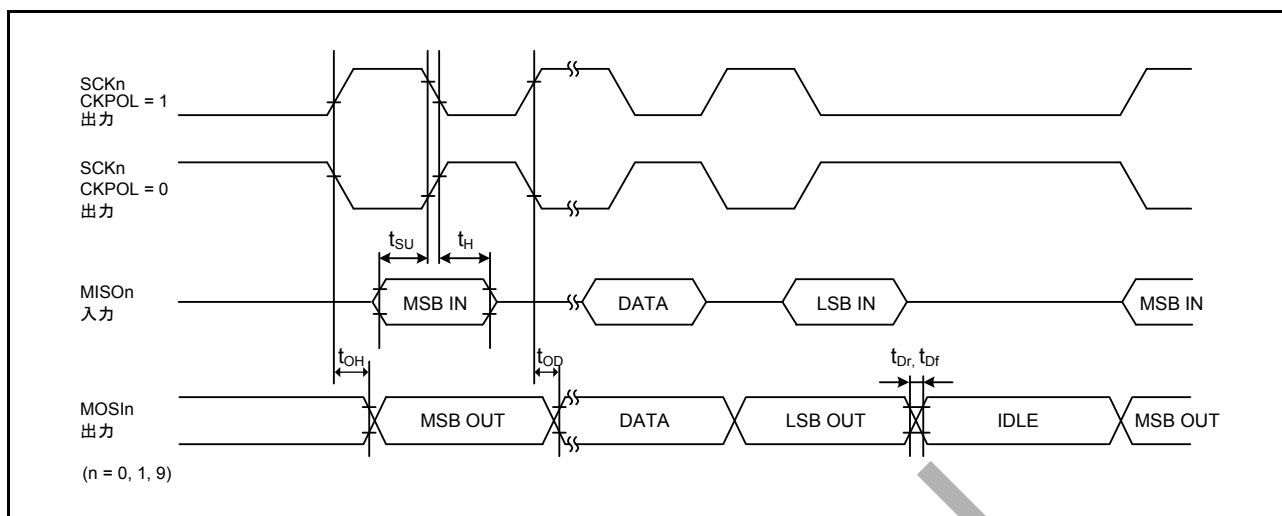


図 41.38 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

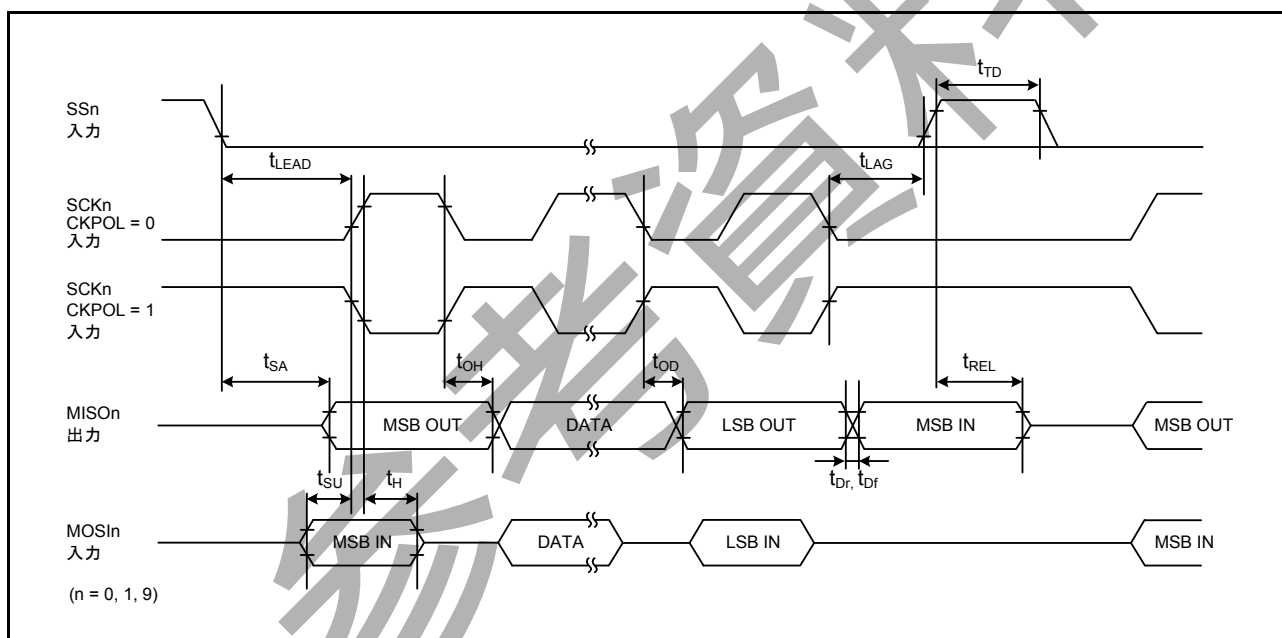


図 41.39 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)

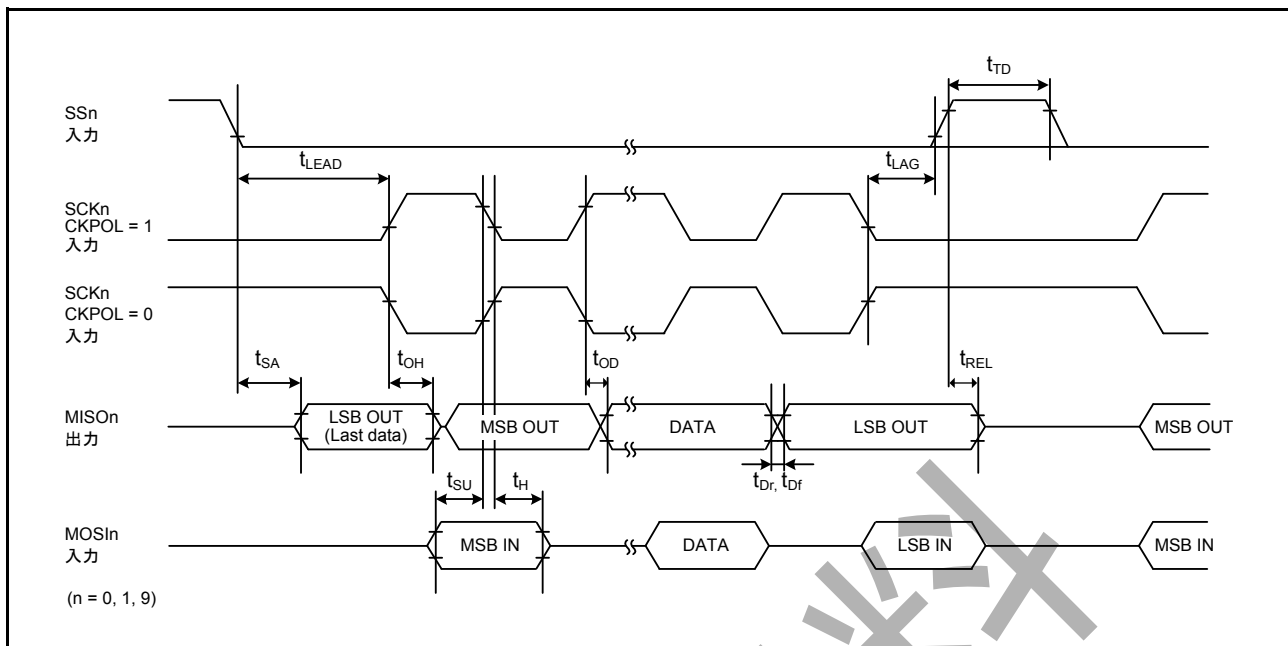


図 41.40 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 0)

表 41.34 SCI タイミング (3)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V

項目		シンボル	Min	Max	単位	測定条件
簡易 IIC (標準モード)	SDA 入力立ち上がり時間	$t_{Sr}$	-	1000	ns	図 41.41
	SDA 入力立ち下がり時間	$t_{Sf}$	-	300	ns	
	SDA 入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{IICcyc}$	ns	
	データ入力セットアップ時間	$t_{SDAS}$	250	-	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	-	ns	
	SCL、SDA の容量性負荷	$C_b$ (注1)	-	400	pF	
簡易 IIC (ファストモード)	SCL、SDA 入力立ち上がり時間	$t_{Sr}$	-	300	ns	図 41.41
	SCL、SDA 入力立ち下がり時間	$t_{Sf}$	-	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{IICcyc}$	ns	
	データ入力セットアップ時間	$t_{SDAS}$	100	-	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	-	ns	
	SCL、SDA の容量性負荷	$C_b$ (注1)	-	400	pF	

注 .  $t_{IICcyc}$  : IIC 内部基準クロック (IIC $\phi$ ) の周期注 1.  $C_b$  はバスラインの容量総計を意味します。

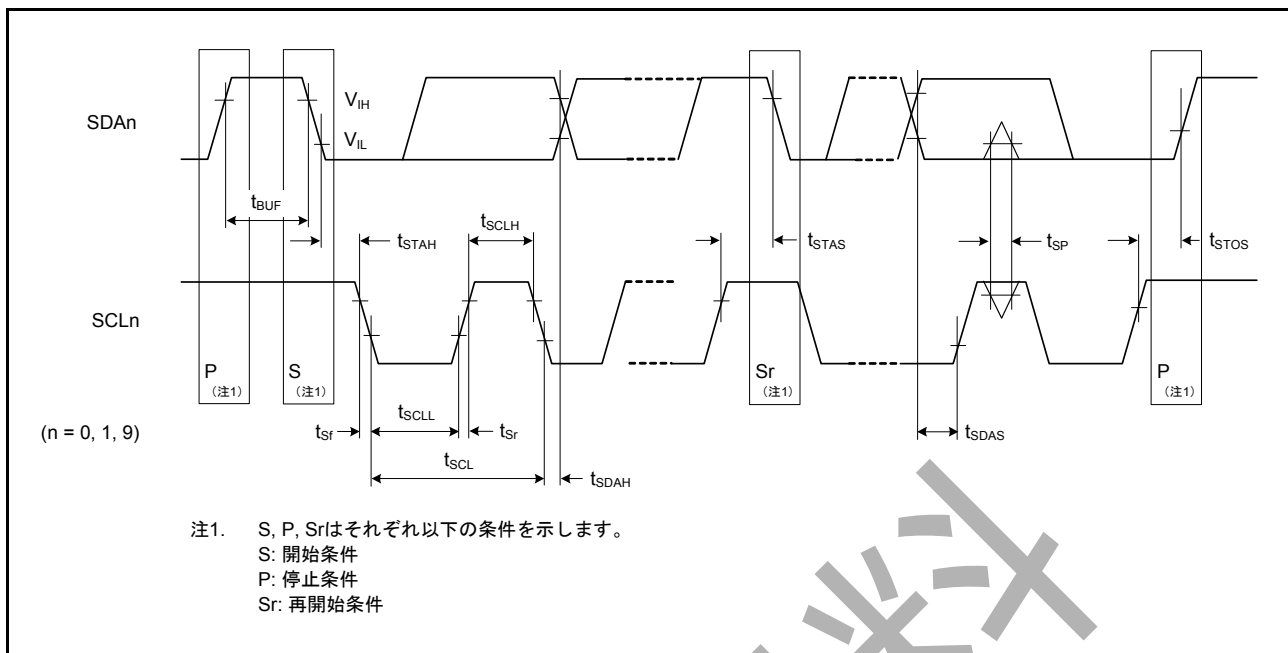


図 41.41 SCI 簡易 IIC モードタイミング

## 41.3.9 SPI タイミング

表 41.35 SPI タイミング (1/2)

条件：PmnPFSレジスタの駆動強度制御ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位 (注1)	測定条件		
SPI	RSPCKクロックサイクル	マスタ	$t_{SPcyc}$	2	4096	$t_{Pcyc}$	図 41.42 C = 30pF	
		スレーブ		6	4096			
	RSPCKクロック Highレベルパルス幅	マスタ	$t_{SPCKWH}$	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	-	ns		
		スレーブ		$3 \times t_{Pcyc}$	-			
	RSPCKクロック Lowレベルパルス幅	マスタ	$t_{SPCKWL}$	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	-	ns		
		スレーブ		$3 \times t_{Pcyc}$	-			
	RSPCKクロック立ち上がり／立ち下がり時間	出力	2.7V以上	$t_{SPCKr}$	-	10		ns
			2.4V以上	$t_{SPCKf}$	-	15		
			1.8V以上		-	20		
			1.6V以上		-	30		
		入力			-	1		$\mu s$
	データ入力セットアップ時間	マスタ	$t_{SU}$	10	-	ns		図 41.43 ~ 図 41.48 C = 30pF
スレーブ		2.4V以上	10	-				
		1.8V以上	15	-				
		1.6V以上	20	-				
データ入力ホールド時間	マスタ (RSPCKはPCLKB/2)	$t_{HF}$	0	-	ns			
	マスタ (RSPCKはPCLKB/2以外)	$t_H$	$t_{Pcyc}$	-				
	スレーブ	$t_H$	20	-				
SSLセットアップ時間	マスタ	$t_{LEAD}$	$-30 + N \times t_{SpCyc}$ (注2)	-	ns			
	スレーブ		$6 \times t_{Pcyc}$	-	ns			
SSLホールド時間	マスタ	$t_{LAG}$	$-30 + N \times t_{SpCyc}$ (注3)	-	ns			
	スレーブ		$6 \times t_{Pcyc}$	-	ns			



表 41.35 SPI タイミング (2/2)

条件：PmnPFSレジスタの駆動強度制御ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位 (注1)	測定条件	
SPI	データ出力遅延時間	マスタ	2.7V以上	$t_{OD}$	-	14	ns	図 41.43 ~ 図 41.48 C = 30pF
			2.4V以上		-	20		
			1.8V以上		-	25		
			1.6V以上		-	30		
		スレーブ	2.7V以上		-	50		
			2.4V以上		-	60		
			1.8V以上		-	85		
			1.6V以上		-	110		
データ出力ホールド時間	マスタ		$t_{OH}$	0	-	ns		
	スレーブ			0	-			
連続転送遅延時間	マスタ		$t_{TD}$	$t_{SPCyc} + 2 \times t_{PCyc}$	$8 \times t_{SPCyc} + 2 \times t_{PCyc}$	ns		
	スレーブ			$6 \times t_{PCyc}$	-			
MOSI、MISOの立ち上がり ／立ち下がり時間	出力	2.7V以上	$t_{Dr}, t_{Df}$	-	10	ns		
		2.4V以上		-	15			
		1.8V以上		-	20			
		1.6V以上		-	30			
	入力			-	1		$\mu s$	
SSL立ち上がり／立ち下がり 時間	出力	2.7V以上	$t_{SSLr}, t_{SSLf}$	-	10	ns		
		2.4V以上		-	15			
		1.8V以上		-	20			
		1.6V以上		-	30			
	入力			-	1		$\mu s$	
スレーブアクセス時間		2.7V以上	$t_{SA}$	-	$2 \times t_{PCyc} + 50$	ns	図 41.47 およ び 図 41.48 C = 30pF	
		2.4V以上		-	$2 \times t_{PCyc} + 60$			
		1.8V以上		-	$2 \times t_{PCyc} + 85$			
		1.6V以上		-	$2 \times t_{PCyc} + 110$			
スレーブ出力開放時間		2.7V以上	$t_{REL}$	-	$2 \times t_{PCyc} + 50$	ns		
		2.4V以上		-	$2 \times t_{PCyc} + 60$			
		1.8V以上		-	$2 \times t_{PCyc} + 85$			
		1.6V以上		-	$2 \times t_{PCyc} + 110$			

注 1.  $t_{PCyc}$  : PCLKB の周期

注 2. N は SPCKD レジスタにより、1 ~ 8 の整数に設定されます。

注 3. N は SSLND レジスタにより、1 ~ 8 の整数に設定されます。

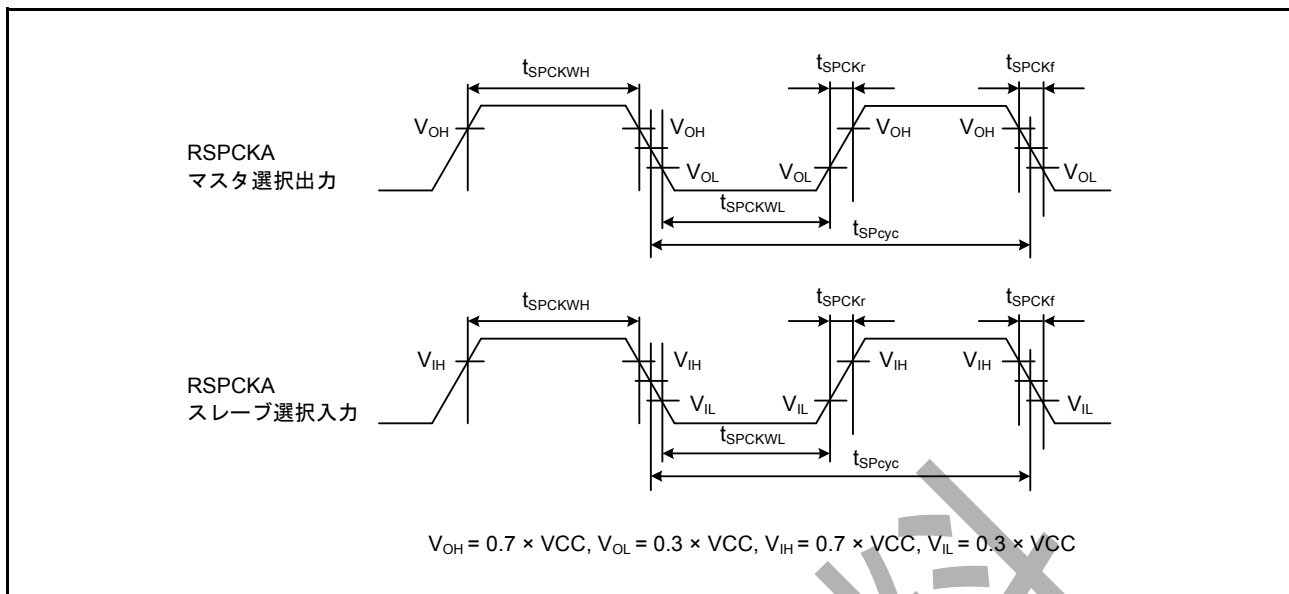


図 41.42 SPI クロックタイミング

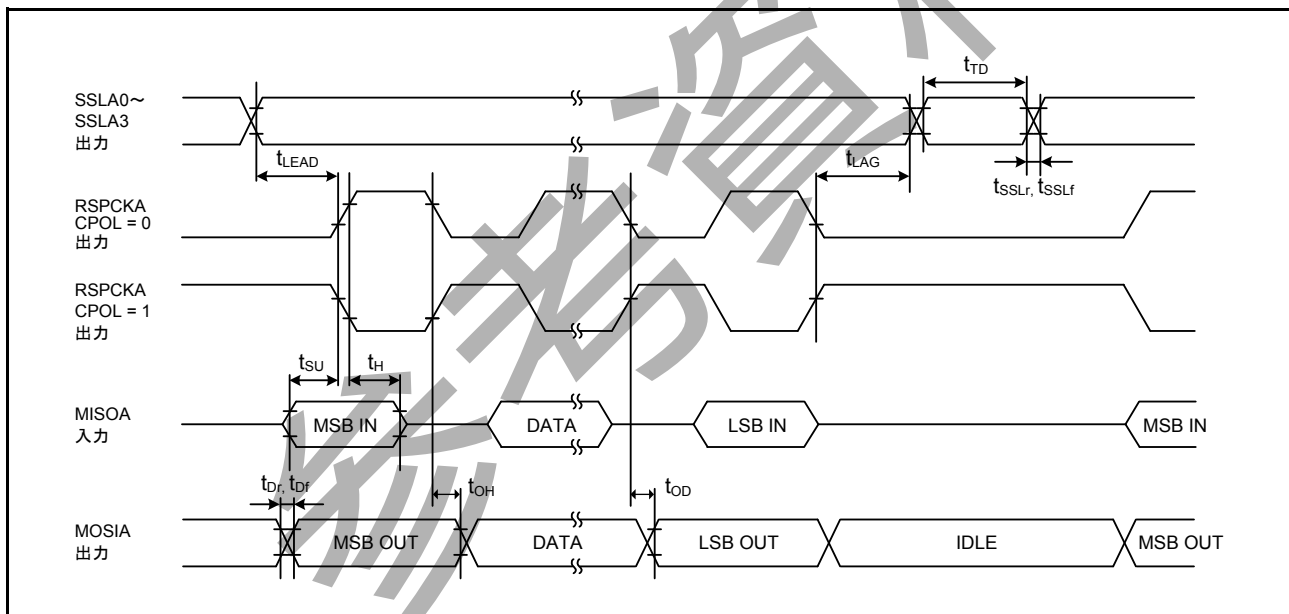


図 41.43 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定)

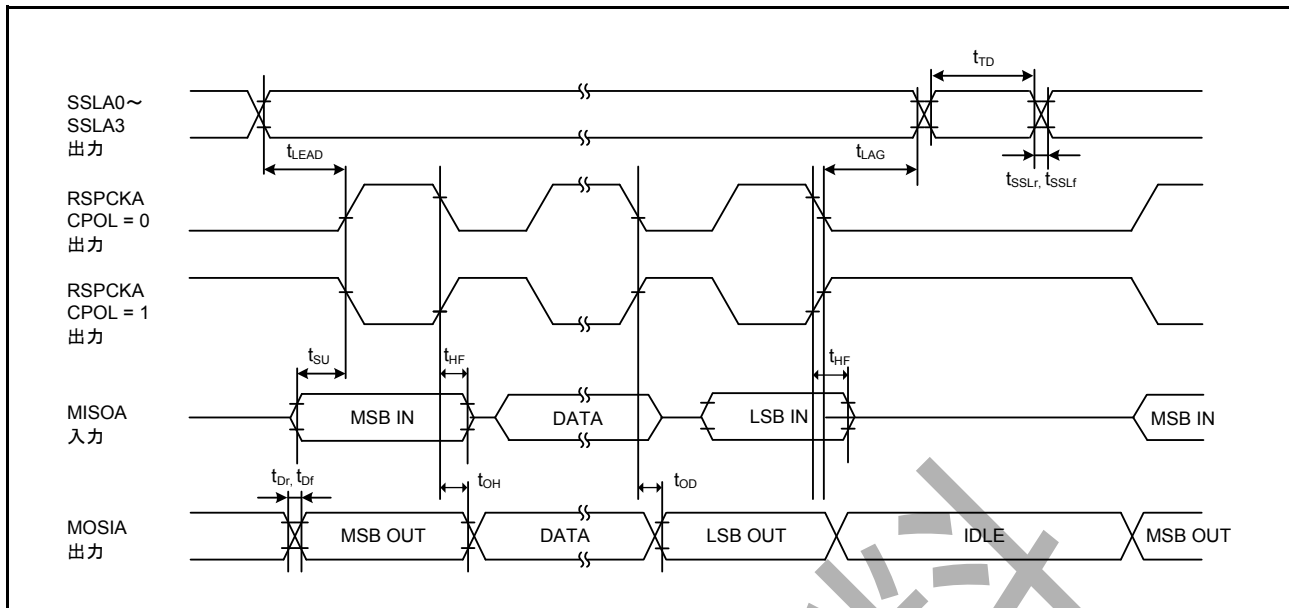


図 41.44 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

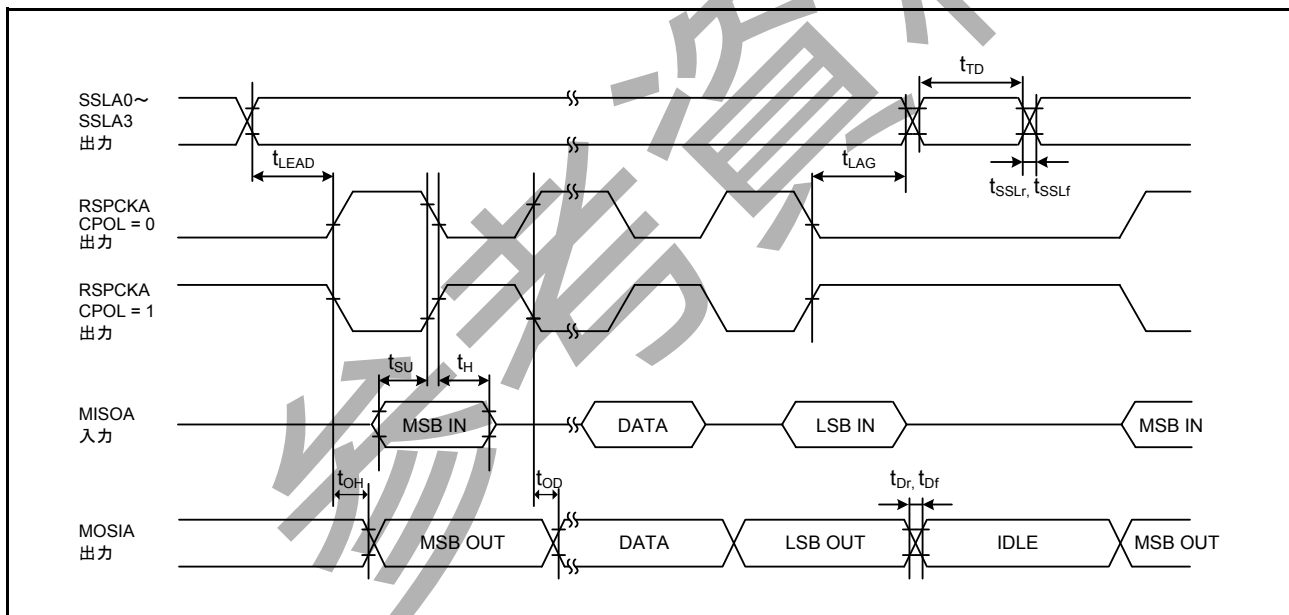


図 41.45 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定)

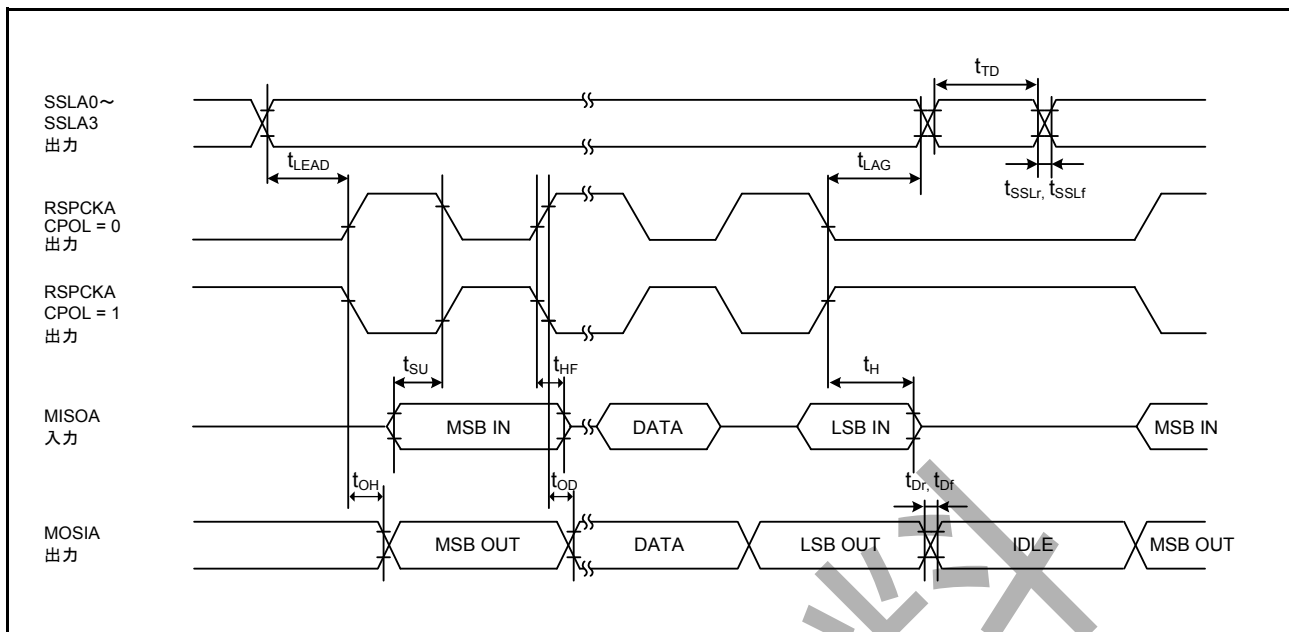


図 41.46 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

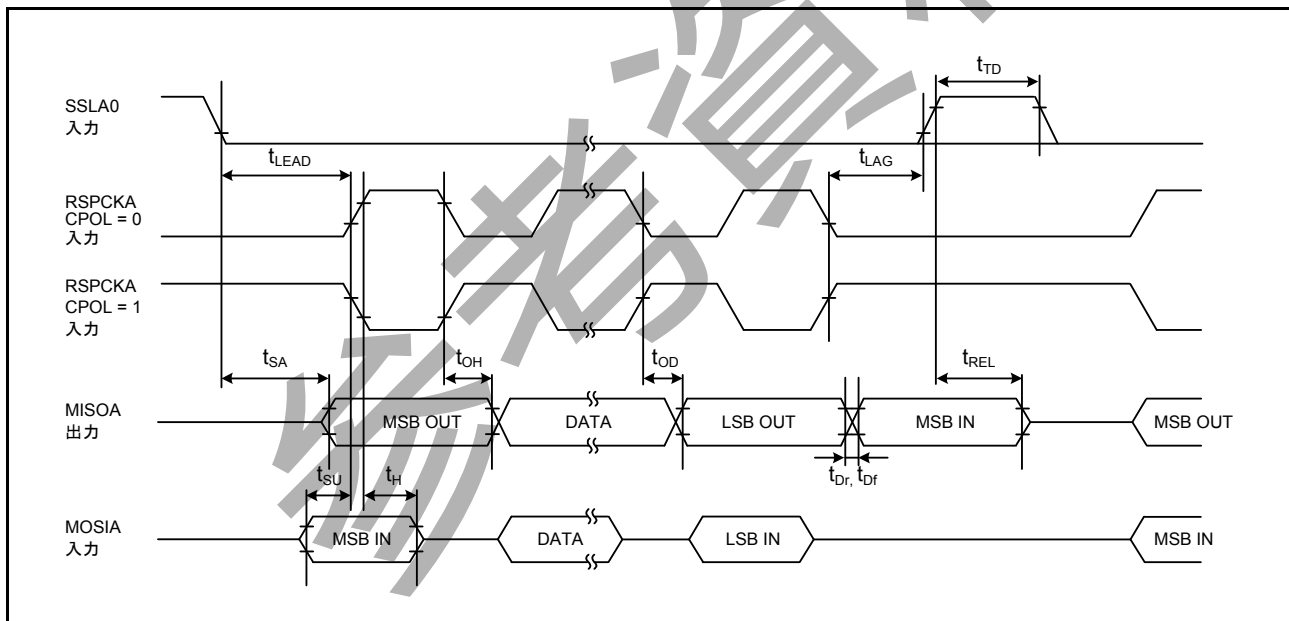


図 41.47 SPI タイミング (スレーブ、CPHA = 0)

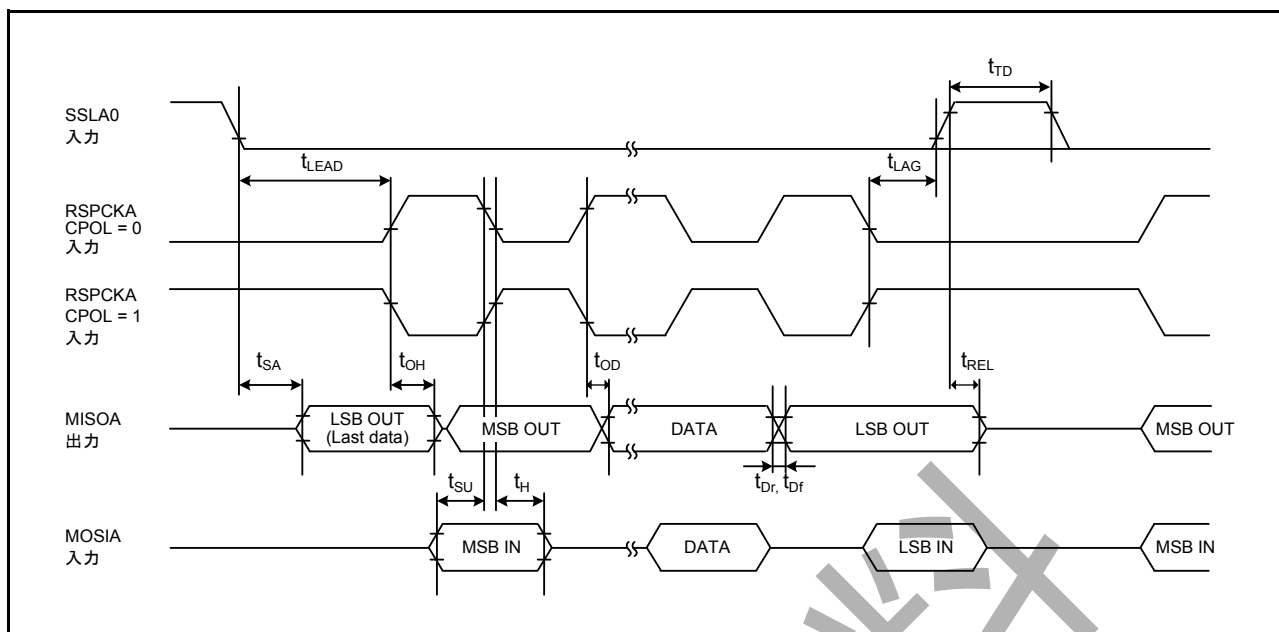


図 41.48 SPI タイミング (スレーブ、CPHA = 1)

## 41.3.10 IIC タイミング

表 41.36 IIC タイミング  
条件 : VCC = AVCC0 = 2.7 ~ 5.5V

項目		シンボル	Min (注1)、(注2)	Max	単位	測定条件
IIC (標準モード、 SMBus)	SCL入力サイクル時間	$t_{SCL}$	$6(12) \times t_{IICcyc} + 1300$	-	ns	図 41.49
	SCL入力Highレベルパルス幅	$t_{SCLH}$	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL入力Lowレベルパルス幅	$t_{SCLL}$	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL、SDA入力立ち上がり時間	$t_{Sr}$	-	1000	ns	
	SCL、SDA入力立ち下がり時間	$t_{Sf}$	-	300	ns	
	SCL、SDA入カスパイクパルス除去時間	$t_{SP}$	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能無効時)	$t_{BUF}$	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能有効時)	$t_{BUF}$	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	-	ns	
	START条件入力ホールド時間 (ウェイクアップ機能無効時)	$t_{STAH}$	$t_{IICcyc} + 300$	-	ns	
	START条件入力ホールド時間 (ウェイクアップ機能有効時)	$t_{STAH}$	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	-	ns	
	再送START条件入力セットアップ時間	$t_{STAS}$	1000	-	ns	
	停止条件入力セットアップ時間	$t_{STOS}$	1000	-	ns	
	データ入力セットアップ時間	$t_{SDAS}$	$t_{IICcyc} + 50$	-	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	-	ns	
	SCL、SDAの容量性負荷	$C_b$	-	400	pF	
	IIC (ファストモード)	SCL入力サイクル時間	$t_{SCL}$	$6(12) \times t_{IICcyc} + 600$	-	
SCL入力Highレベルパルス幅		$t_{SCLH}$	$3(6) \times t_{IICcyc} + 300$	-	ns	
SCL入力Lowレベルパルス幅		$t_{SCLL}$	$3(6) \times t_{IICcyc} + 300$	-	ns	
SCL、SDA入力立ち上がり時間		$t_{Sr}$	$20 \times (\text{外付けプルアップ電圧}/5.5V)$ (注2)	300	ns	
SCL、SDA入力立ち下がり時間		$t_{Sf}$	$20 \times (\text{外付けプルアップ電圧}/5.5V)$ (注2)	300	ns	
SCL、SDA入カスパイクパルス除去時間		$t_{SP}$	0	$1(4) \times t_{IICcyc}$	ns	
SDA入カバスフリー時間 (ウェイクアップ機能無効時)		$t_{BUF}$	$3(6) \times t_{IICcyc} + 300$	-	ns	
SDA入カバスフリー時間 (ウェイクアップ機能有効時)		$t_{BUF}$	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	-	ns	
START条件入力ホールド時間 (ウェイクアップ機能無効時)		$t_{STAH}$	$t_{IICcyc} + 300$	-	ns	
START条件入力ホールド時間 (ウェイクアップ機能有効時)		$t_{STAH}$	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	-	ns	
再送START条件入力セットアップ時間		$t_{STAS}$	300	-	ns	
STOP条件入力セットアップ時間		$t_{STOS}$	300	-	ns	
データ入力セットアップ時間		$t_{SDAS}$	$t_{IICcyc} + 50$	-	ns	
データ入力ホールド時間		$t_{SDAH}$	0	-	ns	
SCL、SDAの容量性負荷		$C_b$	-	400	pF	

注 .  $t_{IICcyc}$  : IIC 内部基準クロック (IICφ) の周期、 $t_{Pcyc}$  : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると ( ) 内の値が適用されます。

注 2. SCL0\_A および SDA0\_A のみサポートしています。

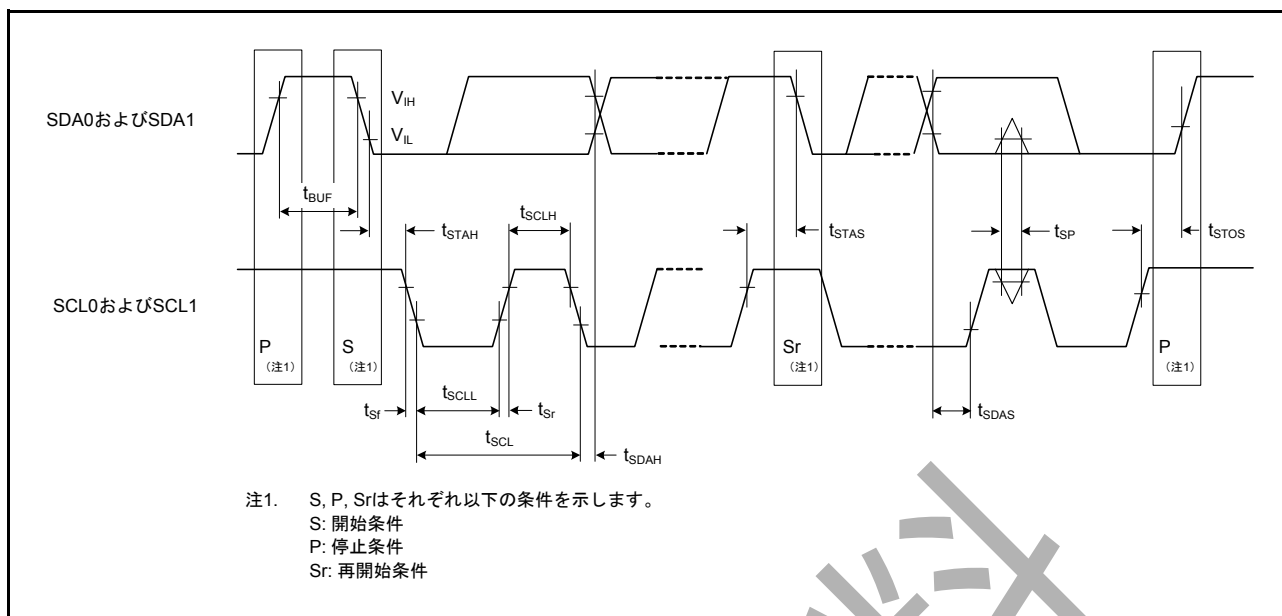


図 41.49 I<sup>2</sup>C バスインタフェース入出カタイミング

## 41.3.11 CLKOUT タイミング

表 41.37 CLKOUT タイミング

項目			シンボル	Min	Max	単位 (注1)	測定条件
CLKOUT	CLKOUT 端子出力サイクル (注1)	VCC = 2.7V 以上	$t_{Cyc}$	62.5	-	ns	図 41.50
		VCC = 1.8V 以上		125	-		
		VCC = 1.6V 以上		250	-		
	CLKOUT 端子 High レベルパルス幅 (注2)	VCC = 2.7V 以上	$t_{CH}$	15	-	ns	
		VCC = 1.8V 以上		30	-		
		VCC = 1.6V 以上		150	-		
	CLKOUT 端子 Low レベルパルス幅 (注2)	VCC = 2.7V 以上	$t_{CL}$	15	-	ns	
		VCC = 1.8V 以上		30	-		
		VCC = 1.6V 以上		150	-		
	CLKOUT 端子出力立ち上がり時間	VCC = 2.7V 以上	$t_{Cr}$	-	12	ns	
		VCC = 1.8V 以上		-	25		
		VCC = 1.6V 以上		-	50		
CLKOUT 端子出力立ち下がり時間	VCC = 2.7V 以上	$t_{Cf}$	-	12	ns		
	VCC = 1.8V 以上		-	25			
	VCC = 1.6V 以上		-	50			

注 1. EXTERNAL 外部クロック入力または発振器を使用して 1 分周 (CKOCR.CKOSSEL[2:0] ビット = 011b かつ CKOCR.CKODIV[2:0] ビット = 000b) を CLKOUT から出力する場合は、入力デューティサイクル 45 ~ 55% で上記を満たします。

注 2. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSSEL[2:0] ビットが 001b)、クロック出力分周比選択を 2 分周 (CKOCR.CKODIV[2:0] ビットを 001b) に設定してください。

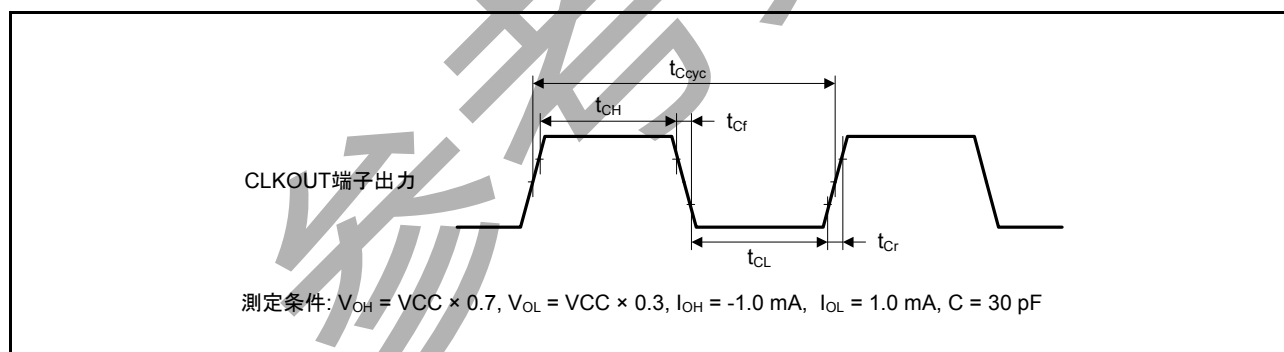


図 41.50 CLKOUT 出力タイミング



## 41.4 USB 特性

## 41.4.1 USBFS タイミング

表 41.38 USB 特性

条件 :  $V_{CC} = AV_{CC0} = V_{CC\_USB} = 3.0 \sim 3.6V$ ,  $T_a = -20 \sim +85^\circ C$ 

項目	シンボル	Min	Max	単位	測定条件		
入力特性	入力Highレベル電圧	$V_{IH}$	2.0	-	V	-	
	入力Lowレベル電圧	$V_{IL}$	-	0.8	V	-	
	差動入力感度	$V_{DI}$	0.2	-	V	USB_DP - USB_DM	
	差動共通モードレンジ	$V_{CM}$	0.8	2.5	V	-	
出力特性	出力Highレベル電圧	$V_{OH}$	2.8	$V_{CC\_USB}$	V	$I_{OH} = -200\mu A$	
	出力Lowレベル電圧	$V_{OL}$	0.0	0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	$V_{CRS}$	1.3	2.0	V	図 41.51、 図 41.52、 図 41.53	
	立ち上がり時間	FS	$t_r$	4	20	ns	(外部要素の抵抗を調整する必要なし)
		LS		75	300		
	立ち下がり時間	FS	$t_f$	4	20	ns	
		LS		75	300		
	立ち上がり/立ち下がり時間比	FS	$t_r/t_f$	90	111.11	%	
LS			80	125			
出力抵抗	$Z_{DRV}$	28	44	$\Omega$			
VBUS 特性	VBUS入力電圧	$V_{IH}$	$V_{CC} \times 0.8$	-	V	-	
		$V_{IL}$	-	$V_{CC} \times 0.2$	V	-	
ブルアップ、ブルダウン	ブルダウン抵抗	$R_{PD}$	14.25	24.80	k $\Omega$	-	
	ブルアップ抵抗	$R_{PUI}$	0.9	1.575	k $\Omega$	アイドル状態の間	
		$R_{PUA}$	1.425	3.09	k $\Omega$	受信中	
バッテリーチャージング規格 Ver 1.2	D+シンク電流	$I_{DP\_SINK}$	25	175	$\mu A$	-	
	D-シンク電流	$I_{DM\_SINK}$	25	175	$\mu A$	-	
	DCDソース電流	$I_{DP\_SRC}$	7	13	$\mu A$	-	
	データ検出電圧	$V_{DAT\_REF}$	0.25	0.4	V	-	
	D+ソース電圧	$V_{DP\_SRC}$	0.5	0.7	V	出力電流 = 250 $\mu A$	
	D-ソース電圧	$V_{DM\_SRC}$	0.5	0.7	V	出力電流 = 250 $\mu A$	

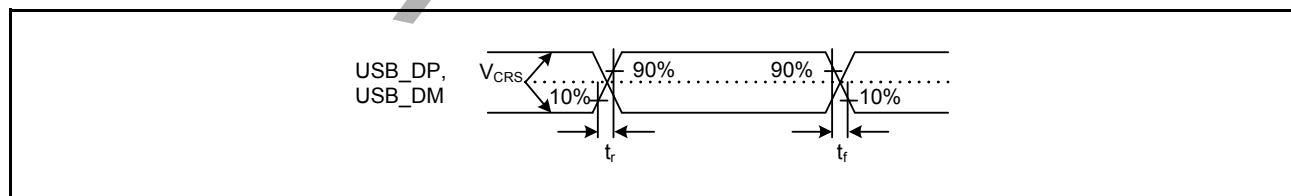


図 41.51 USB\_DP および USB\_DM 出力タイミング

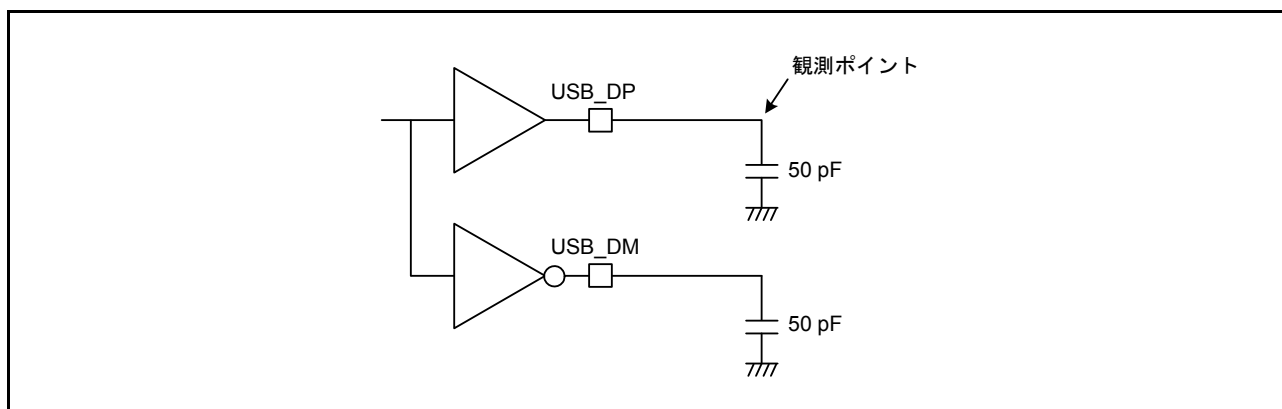


図 41.52 フルスピード (FS) 接続の測定回路

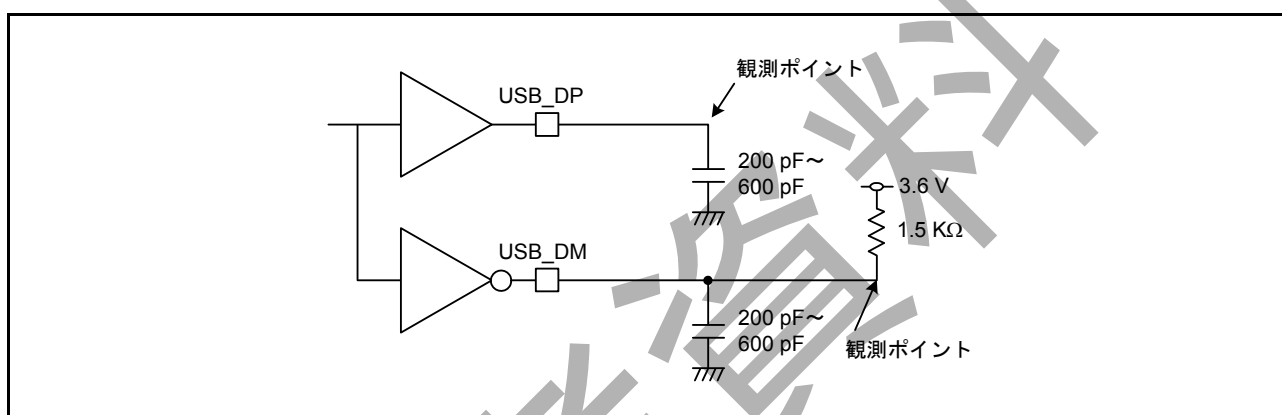


図 41.53 ロースピード (LS) 接続の測定回路

## 41.4.2 USB 外部供給

表 41.39 USBレギュレータ

項目	Min	Typ	Max	単位	測定条件	
VCC_USB 供給電流	VCC_USB_LDO $\geq$ 3.8V	-	-	50	mA	-
	VCC_USB_LDO $\geq$ 4.5V	-	-	100	mA	-
VCC_USB 電源電圧	3.0	-	3.6	V	-	

## 41.5 ADC14 特性

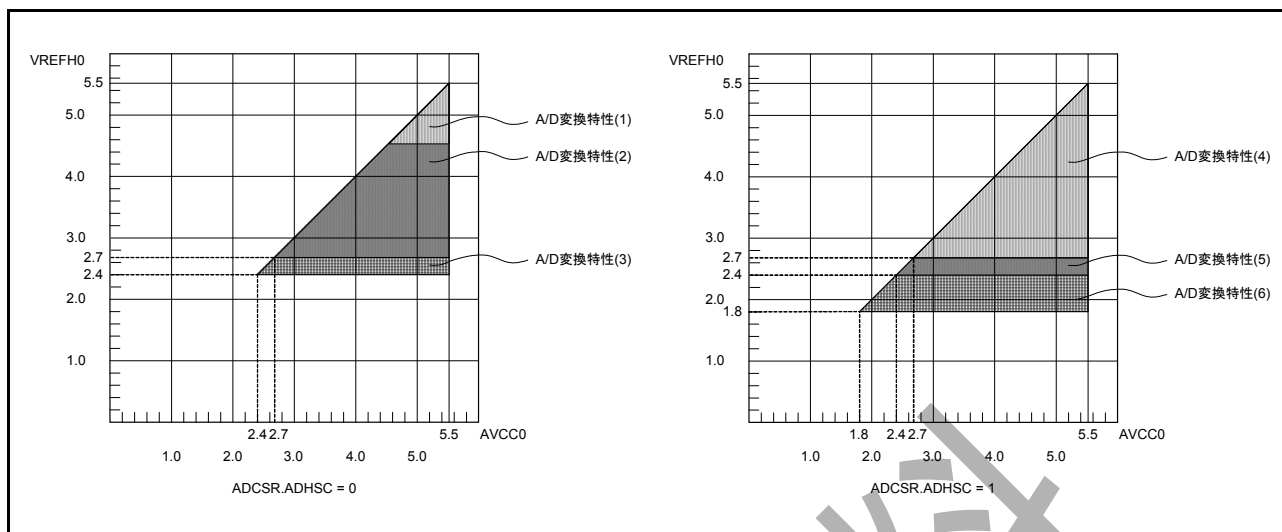


図 41.54 AVCC0 ~ VREFH0 電圧範囲

表 41.40 高速モードでのA/D変換特性 (1)

条件 : VCC = AVCC0 = 4.5 ~ 5.5V、VREFH0 = 4.5 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V  
 基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	64	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャンネル
		-	-	30	pF	通常精度チャンネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 64MHzで動作)	許容信号源インピーダンス Max = 0.3kΩ	0.70	-	-	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.13	-	-	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャンネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャンネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャンネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 64MHzで動作)	許容信号源インピーダンス Max = 0.3kΩ	0.80	-	-	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.22	-	-	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャンネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャンネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャンネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 41.41 高速モードでのA/D変換特性 (2)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VREFH0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V  
 基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	48	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャンネル
		-	-	30	pF	通常精度チャンネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 48MHzで動作)	許容信号源インピーダンス Max = 0.3kΩ	0.94	-	-	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.50	-	-	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャンネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャンネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャンネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 48MHzで動作)	許容信号源インピーダンス Max = 0.3kΩ	1.06	-	-	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.63	-	-	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャンネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャンネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャンネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 41.42 高速モードでのA/D変換特性 (3)

条件 : VCC = AVCC0 = 2.4 ~ 5.5V、VREFH0 = 2.4 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V  
 基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	32	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 32MHzで動作)	許容信号源インピーダンス Max = 1.3kΩ	1.41	-	-	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		2.25	-	-	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 32MHzで動作)	許容信号源インピーダンス Max = 1.3kΩ	1.59	-	-	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		2.44	-	-	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 41.43 低消費電力モードにおけるA/D変換特性 (4)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VREFH0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V  
 基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	24	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 24MHzで動作)	許容信号源インピーダンス Max = 1.1kΩ	2.25	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		3.38	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 24MHzで動作)	許容信号源インピーダンス Max = 1.1kΩ	2.50	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		3.63	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注. 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 41.44 低消費電力モードにおけるA/D変換特性 (5)

条件: VCC = AVCC0 = 2.4 ~ 5.5V、VREFH0 = 2.4 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V  
 基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	16	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 16MHzで動作)	許容信号源インピーダンス Max = 2.2kΩ	3.38	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		5.06	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 16MHzで動作)	許容信号源インピーダンス Max = 2.2kΩ	3.75	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		5.44	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注. 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。



表 41.45 低消費電力モードにおけるA/D変換特性 (6)

条件: VCC = AVCC0 = 1.8 ~ 5.5V (VCC < 2.0V のとき AVCC0 = VCC)、VREFH0 = 1.8 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	8	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 8MHzで動作)	許容信号源インピーダンス Max = 5kΩ	6.75	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		10.13	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±1.0	±7.5	LSB	高精度チャネル
				±10.0	LSB	上記以外
フルスケール誤差		-	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±3.0	±8.0	LSB	高精度チャネル
				±12.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 8MHzで動作)	許容信号源インピーダンス Max = 5kΩ	7.50	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		10.88	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±4.0	±30.0	LSB	高精度チャネル
				±40.0	LSB	上記以外
フルスケール誤差		-	±6.0	±30.0	LSB	高精度チャネル
				±40.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±12.0	±32.0	LSB	高精度チャネル
				±48.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注. 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 41.46 低消費電力モードにおけるA/D変換特性 (7)

条件: VCC = AVCC0 = 1.6 ~ 5.5V (VCC < 2.0V のとき AVCC0 = VCC)、VREFH0 = 1.6 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	4	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 4MHzで動作)	許容信号源インピーダンス Max = 9.9kΩ	13.5	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		20.25	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±1.0	±7.5	LSB	高精度チャネル
				±10.0	LSB	上記以外
フルスケール誤差		-	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±3.0	±8.0	LSB	高精度チャネル
				±12.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 4MHzで動作)	許容信号源インピーダンス Max = 9.9kΩ	15.0	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		21.75	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±4.0	±30.0	LSB	高精度チャネル
				±40.0	LSB	上記以外
フルスケール誤差		-	±6.0	±30.0	LSB	高精度チャネル
				±40.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±12.0	±32.0	LSB	高精度チャネル
				±48.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注. 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 41.47 14ビットA/Dコンバータチャンネル分類

分類	チャンネル	条件	備考
高精度チャンネル	AN000～AN010	AVCC0 = 1.6～5.5V	A/Dコンバータ使用時AN000～AN010端子は、汎用入出力端子やTS送信端子としては使用できません。
通常精度チャンネル	AN016～AN022		
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = 2.0～5.5V	-
温度センサ入力チャンネル	温度センサ出力	AVCC0 = 2.0～5.5V	-

表 41.48 A/D内部基準電圧特性

条件：VCC = AVCC0 = VREFH0 = 2.0～5.5V (注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャンネル (注2)	1.36	1.43	1.50	V	-

注1. AVCC0 &lt; 2.0V のとき、入力チャンネルに内部基準電圧は選択できません。

注2. 14ビットA/D内部基準電圧は、内部基準電圧が14ビットA/Dコンバータに入力されたときの電圧を示します。

参考資料

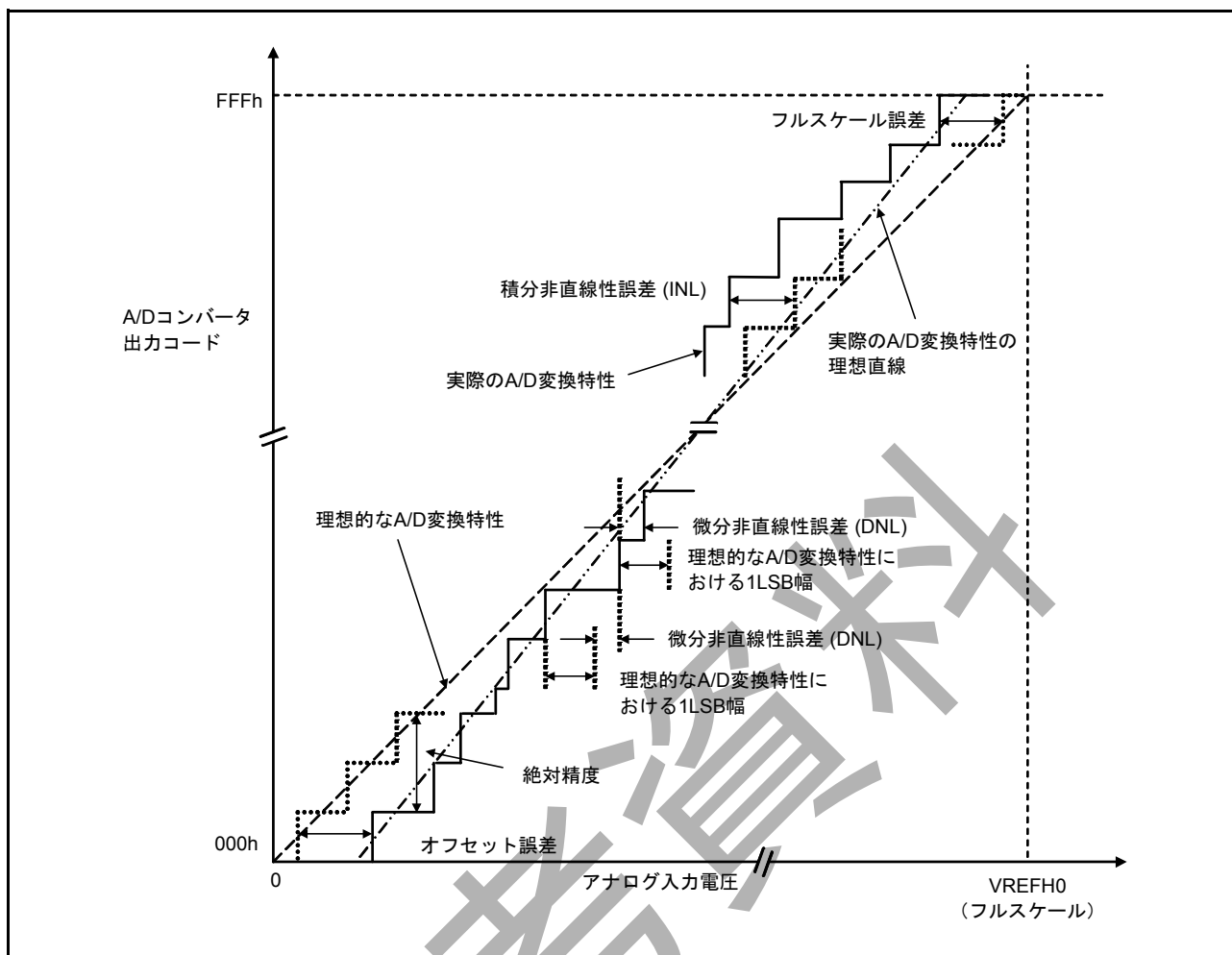


図 41.55 14 ビット A/D コンバータ特性用語の解説図

### 絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧  $V_{REFH0} = 3.072V$  の場合、1-LSB 幅は  $0.75mV$  になり、アナログ入力電圧には  $0mV$ 、 $0.75mV$ 、 $1.5mV$  が使用されます。 $\pm 5$  LSB の絶対精度とは、アナログ入力電圧が  $6mV$  の場合、理論的 A/D 変換特性から期待される出力コードが  $008h$  であっても、実際の A/D 変換結果は  $003h \sim 00Dh$  の範囲になることを意味します。

### 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な直線と、実際の出力コードとの最大偏差です。

### 微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1-LSB 幅と、実際の出力コード幅との差です。

### オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と、実際の最初の出力コードとの差です。

### フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と、実際の最後の出力コードとの差です。

## 41.6 DAC12 特性

表 41.49 D/A 変換特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

基準電圧 = AVCC0 または AVSS0 を選択

項目	Min	Typ	Max	単位	測定条件
分解能	-	-	12	ビット	-
負荷抵抗	30	-	-	kΩ	-
容量性負荷	-	-	50	pF	-
出力電圧範囲	0.35	-	AVCC0 - 0.47	V	-
DNL 微分非直線性誤差	-	±0.5	±2.0	LSB	-
INL 積分非直線性誤差	-	±2.0	±8.0	LSB	-
オフセット誤差	-	-	±30	mV	-
フルスケール誤差	-	-	±30	mV	-
出力インピーダンス	-	5	-	Ω	-
変換時間	-	-	30	μs	-

参考資料

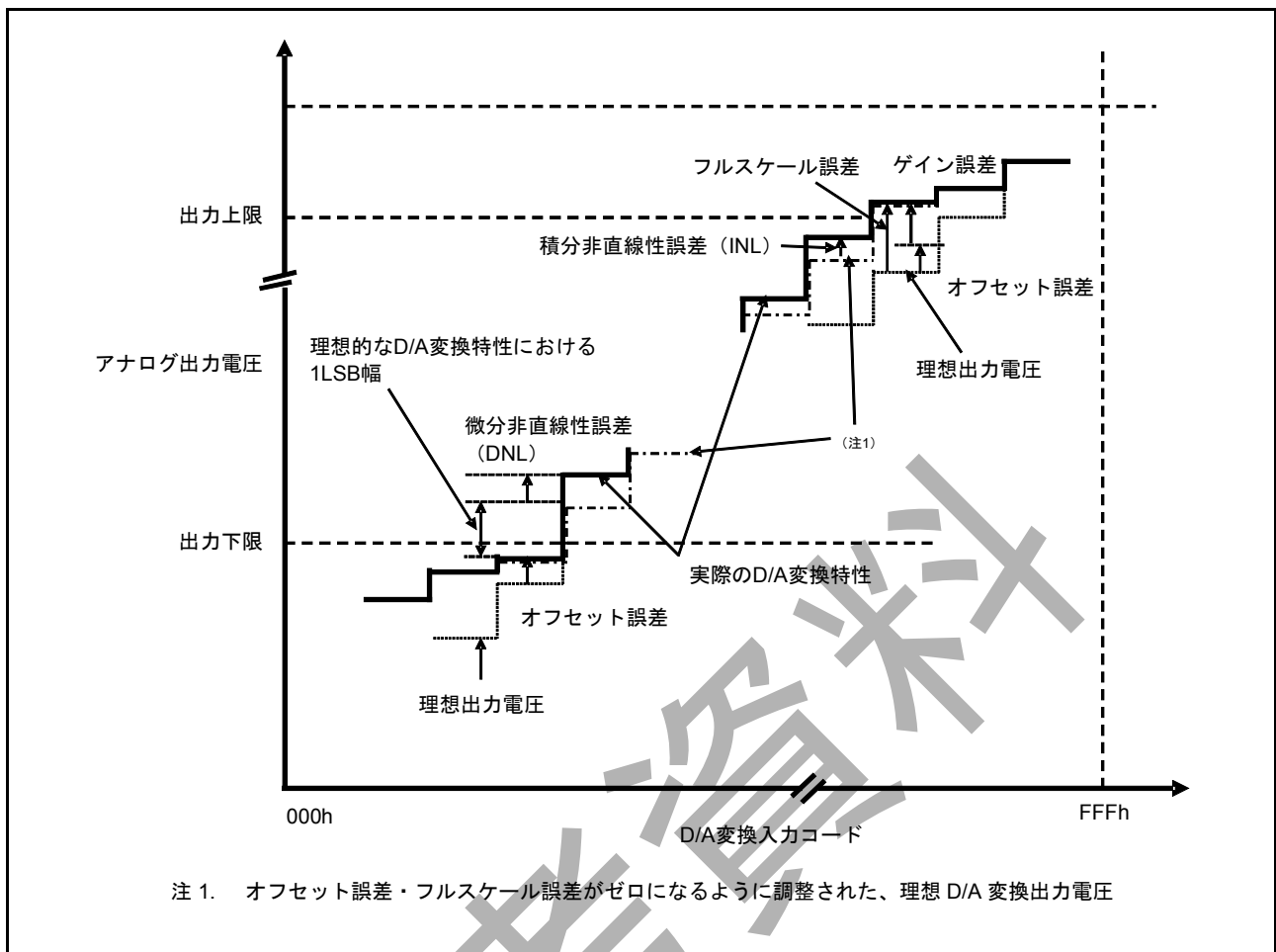


図 41.56 D/A コンバータ特性用語の解説図

### 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な変換特性に基づく理想的な出力電圧と、実際の出力電圧との最大偏差です。

### 微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 D/A 変換特性に基づく 1-LSB の電圧幅と、実際の出力電圧幅との差です。

### オフセット誤差

オフセット誤差とは、出力下限を下回る一番高い実際の出力電圧と、その入力コードに基づく理想的な出力電圧との差です。

### フルスケール誤差

フルスケール誤差とは、出力上限を上回る一番低い実際の出力電圧と、その入力コードに基づく理想的な出力電圧との差です。

## 41.7 TSN 特性

表 41.50 TSN 特性

条件 : VCC = AVCC0 = 2.0 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	-	-	±1.5	-	°C	2.4V 以上
		-	±2.0	-	°C	2.4V 未満
温度傾斜	-	-	-3.65	-	mV/°C	-
出力電圧 (25°C)	-	-	1.05	-	V	VCC = 3.3V
温度センサ起動時間	t <sub>START</sub>	-	-	5	μs	-
サンプリング時間	-	5	-	-	μs	-

## 41.8 OSC 停止検出特性

表 41.51 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t <sub>dr</sub>	-	-	1	ms	<a href="#">図 41.57</a>

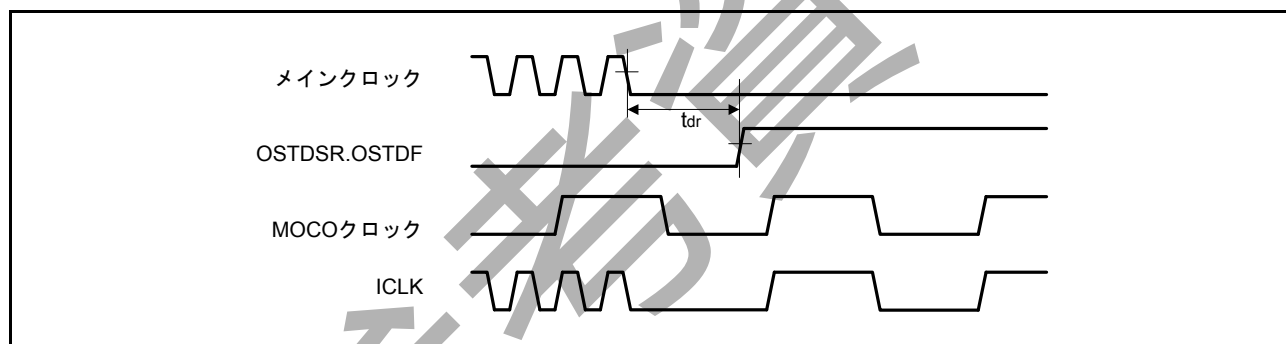


図 41.57 発振停止検出タイミング

## 41.9 POR/LVD 特性

表 41.52 パワーオンリセット回路、電圧検出回路の特性 (1)

項目	シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	パワーオンリセット (POR)	$V_{POR}$	1.27	1.42	1.57	V	図 41.58、図 41.59
	電圧検出回路 (LVD0) (注2)	$V_{det0\_0}$	3.68	3.85	4.00	V	図 41.60 立ち下がりエッジ VCCにて
		$V_{det0\_1}$	2.68	2.85	2.96		
		$V_{det0\_2}$	2.38	2.53	2.64		
		$V_{det0\_3}$	1.78	1.90	2.02		
		$V_{det0\_4}$	1.60	1.69	1.82		
	電圧検出回路 (LVD1) (注3)	$V_{det1\_0}$	4.13	4.29	4.45	V	図 41.61 立ち下がりエッジ VCCにて
		$V_{det1\_1}$	3.98	4.16	4.30		
		$V_{det1\_2}$	3.86	4.03	4.18		
		$V_{det1\_3}$	3.68	3.86	4.00		
		$V_{det1\_4}$	2.98	3.10	3.22		
		$V_{det1\_5}$	2.89	3.00	3.11		
		$V_{det1\_6}$	2.79	2.90	3.01		
		$V_{det1\_7}$	2.68	2.79	2.90		
		$V_{det1\_8}$	2.58	2.68	2.78		
		$V_{det1\_9}$	2.48	2.58	2.68		
		$V_{det1\_A}$	2.38	2.48	2.58		
		$V_{det1\_B}$	2.10	2.20	2.30		
		$V_{det1\_C}$	1.84	1.96	2.05		
		$V_{det1\_D}$	1.74	1.86	1.95		
$V_{det1\_E}$		1.63	1.75	1.84			
$V_{det1\_F}$	1.60	1.65	1.73				
電圧検出回路 (LVD2) (注4)	$V_{det2\_0}$	4.11	4.31	4.48	V	図 41.62 立ち下がりエッジ VCCにて	
	$V_{det2\_1}$	3.97	4.17	4.34			
	$V_{det2\_2}$	3.83	4.03	4.20			
	$V_{det2\_3}$	3.64	3.84	4.01			

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路 (LVD2) のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2.  $V_{det0\_#}$  の # は OFS1.VDSEL1[2:0] ビットの値を示しています。

注 3.  $V_{det1\_#}$  の # は LVDLVL.R.LVD1LVL[4:0] ビットの値を示しています。

注 4.  $V_{det2\_#}$  の # は LVDLVL.R.LVD2LVL[2:0] ビットの値を示しています。



表 41.53 パワーオンリセット回路、電圧検出回路の特性 (2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
電圧監視0、1、2リセット解除後の待機時間	LVD0 : 有効 (注1)	$t_{LVD0,1,2}$	-	0.6	-	ms	-
	LVD0 : 無効 (注2)	$t_{LVD1,2}$	-	0.2	-	ms	-
応答遅延時間 (注3)	$t_{det}$	-	-	350	$\mu$ s	図 41.58、図 41.59	
最小VCC低下時間	$t_{VOFF}$	450	-	-	$\mu$ s	図 41.58, VCC = 1.0V以上	
パワーオンリセット有効時間	$t_W$ (POR)	1	-	-	ms	図 41.59, VCC = 1.0V未満	
LVD動作安定時間 (LVD有効切り替え後)	$T_d$ (E-A)	-	-	300	$\mu$ s	図 41.61, 図 41.62	
ヒステリシス幅 (POR)	$V_{PORH}$	-	110	-	mV	-	
ヒステリシス幅 (LVD0、LVD1、LVD2)	$V_{LVH}$	-	100	-	mV	$V_{det1\_0} \sim V_{det1\_2}$ を選択	
		-	60	-	mV	$V_{det1\_3} \sim V_{det1\_9}$ を選択	
		-	50	-	mV	$V_{det1\_A} \sim V_{det1\_B}$ を選択	
		-	40	-	mV	$V_{det1\_C} \sim V_{det1\_F}$ を選択	
		-	60	-	mV	LVD2選択時	

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル $V_{POR}$ 、 $V_{det0}$ 、 $V_{det1}$ および $V_{det2}$ の最小値を下回っている時間です。

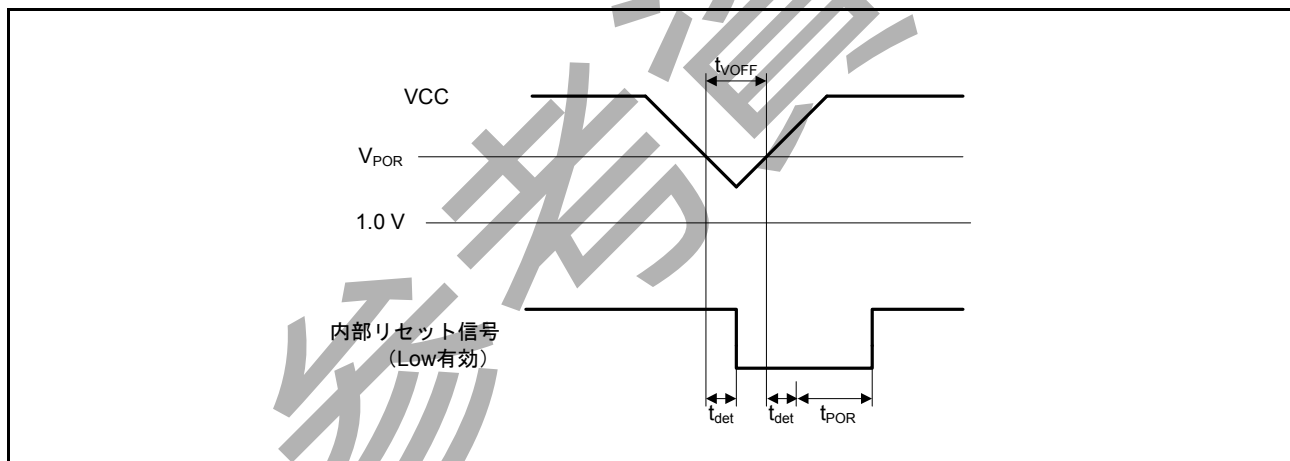


図 41.58 電圧検出リセットタイミング

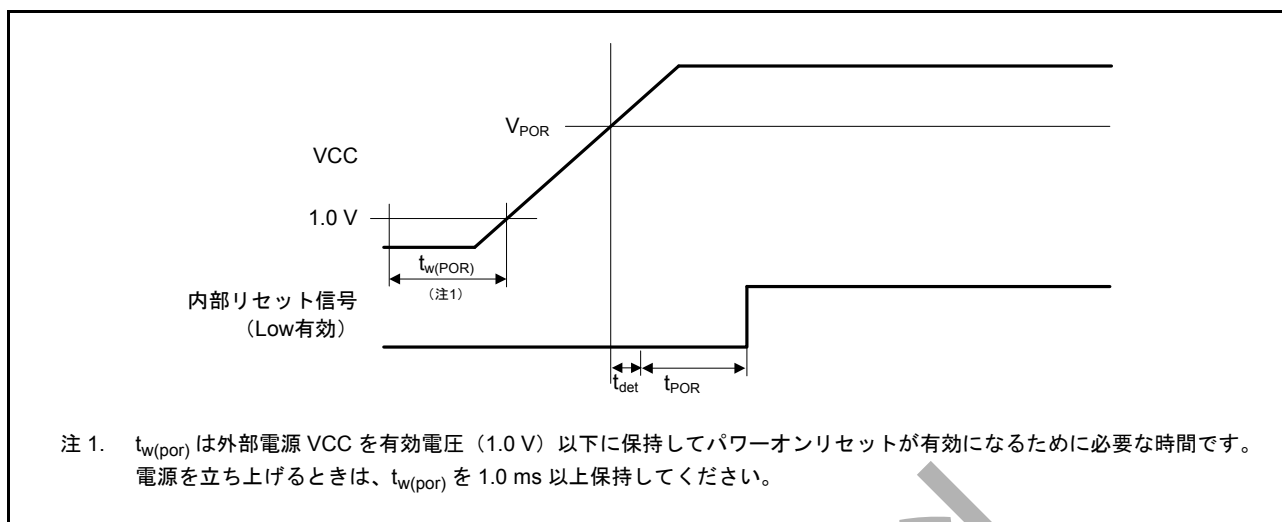


図 41.59 パワーオンリセットタイミング

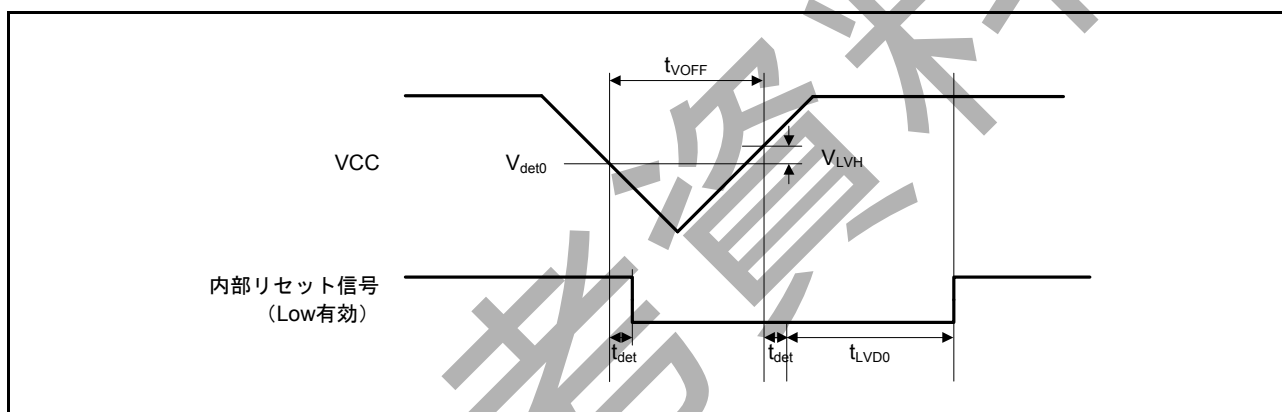
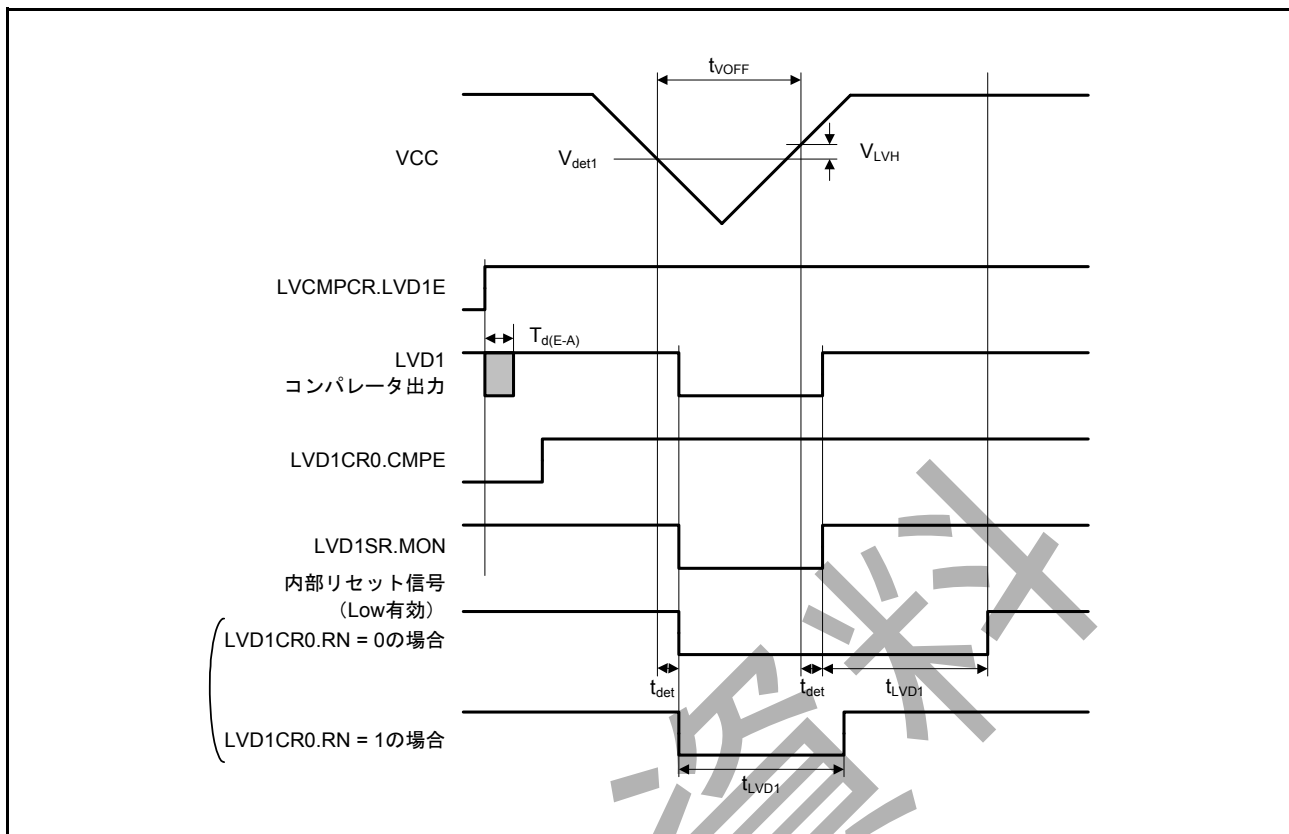
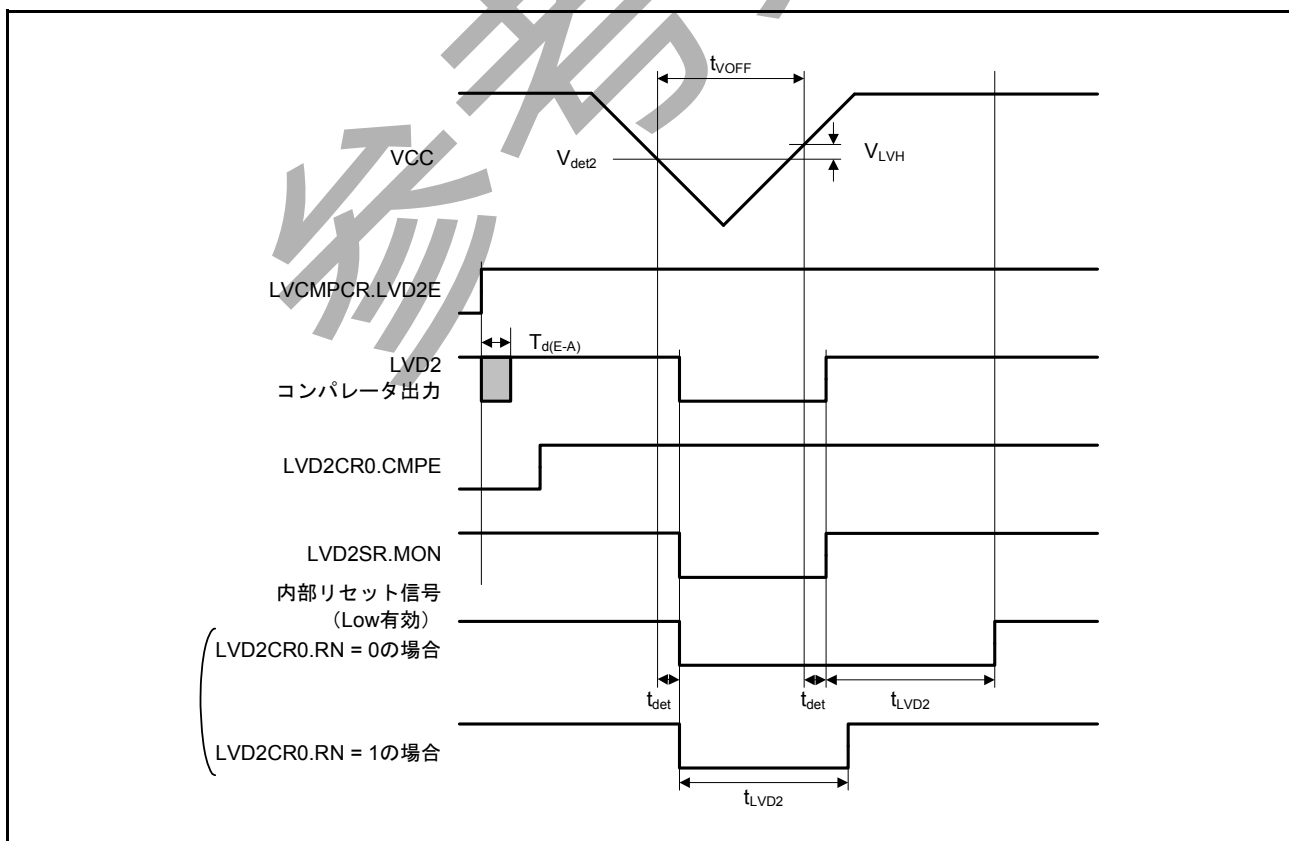


図 41.60 電圧検出回路タイミング ( $V_{det0}$ )

図 41.61 電圧検出回路タイミング ( $V_{det1}$ )図 41.62 電圧検出回路タイミング ( $V_{det2}$ )

## 41.10 CTSU 特性

表 41.54 CTSU 特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TSCAP 端子に接続された外付け容量	$C_{tscap}$	9	10	11	nF	-
TS 端子の容量性負荷	$C_{base}$	-	-	50	pF	-
許容大電流出力	$\Sigma I_{OH}$	-	-	-24	mA	相互容量方式適用時

資料参考

## 41.11 コンパレータ特性

表 41.55 ACMPLP特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V、VSS = AVSS0 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件	
基準電圧範囲	$V_{REF}$	0	-	VCC -1.4	V	-	
入力電圧範囲	$V_I$	0	-	VCC	V	-	
出力遅延	高速モード	$T_d$	-	-	1.2	$\mu\text{s}$	VCC = 3.0 入力信号のスルー レート > 50mV/ $\mu\text{s}$
	低速モード		-	-	5	$\mu\text{s}$	
	ウィンドウモード		-	-	2	$\mu\text{s}$	
オフセット電圧	高速モード	-	-	-	50	mV	-
	低速モード	-	-	-	40	mV	-
	ウィンドウモード	-	-	-	60	mV	-
ウィンドウモードの内部基準電圧	$V_{RFH}$	-	$0.76 \times VCC$	-	V	-	
	$V_{RFL}$	-	$0.24 \times VCC$	-	V	-	
動作安定待機時間	$T_{cmp}$	100	-	-	$\mu\text{s}$	-	

## 41.12 フラッシュメモリ特性

## 41.12.1 コードフラッシュメモリ特性

表 41.56 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件
再プログラム/イレースサイクル (注1)	N <sub>PEC</sub>	1,000	-	-	回	-
データ保持時間	1,000回のN <sub>PEC</sub> の後	t <sub>DRP</sub>	20 (注2)、(注3)	-	年	T <sub>a</sub> = +85°C

注1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルがn回 (n = 1,000) の場合、ブロックごとにそれぞれn回ずつ消去することができます。たとえば、1KBのブロックについて、それぞれ異なる番地に4バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書きはしないでください。)

注2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注3. 信頼性試験から得られた結果です。

表 41.57 コードフラッシュ特性 (2)

高速動作モード

条件: VCC = AVCC0 = 2.7 ~ 5.5V

項目	シンボル	ICLK = 1MHz			ICLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4バイト	t <sub>P4</sub>	-	116	998	-	54	506	μs
イレース時間	1KB	t <sub>E1K</sub>	-	9.03	287	-	5.67	222	ms
ブランクチェック時間	4バイト	t <sub>BC4</sub>	-	-	56.8	-	-	16.6	μs
	1KB	t <sub>BC1K</sub>	-	-	1899	-	-	140	μs
イレースサスペンド時間		t <sub>SED</sub>	-	-	22.5	-	-	10.7	μs
スタートアップ領域切り替え設定時間		t <sub>SAS</sub>	-	21.9	585	-	12.1	447	ms
アクセスウィンドウ時間		t <sub>AWS</sub>	-	21.9	585	-	12.1	447	ms
OCD/シリアルプログラマID設定時間		t <sub>OSIS</sub>	-	21.9	585	-	12.1	447	ms
フラッシュメモリモード遷移待機時間1		t <sub>DIS</sub>	2	-	-	2	-	-	μs
フラッシュメモリモード遷移待機時間2		t <sub>MS</sub>	5	-	-	5	-	-	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。ICLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。

表 41.58 コードフラッシュ特性 (3)

中速動作モード

条件: VCC = AVCC0 = 1.8~5.5V, Ta = -40~+85°C

項目	シンボル	ICLK = 1MHz			ICLK = 8MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4バイト	t <sub>P4</sub>	-	157	1411	-	101	966	μs
イレース時間	1KB	t <sub>E1K</sub>	-	9.10	289	-	6.10	228	ms
ブランクチェック時間	2バイト	t <sub>BC4</sub>	-	-	87.7	-	-	52.5	μs
	1KB	t <sub>BC1K</sub>	-	-	1930	-	-	414	μs
イレースサスペンド時間		t <sub>SED</sub>	-	-	32.7	-	-	21.6	μs
スタートアップ領域切り替え設定時間		t <sub>SAS</sub>	-	22.8	592	-	14.2	465	ms
アクセスウィンドウ時間		t <sub>AWS</sub>	-	22.8	592	-	14.2	465	ms
OCD/シリアルプログラマID設定時間		t <sub>OSIS</sub>	-	22.8	592	-	14.2	465	ms
フラッシュメモリモード遷移待機時間1		t <sub>DIS</sub>	2	-	-	2	-	-	μs
フラッシュメモリモード遷移待機時間2		t <sub>MS</sub>	720	-	-	720	-	-	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。ICLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。

## 41.12.2 データフラッシュメモリ特性

表 41.59 データフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件	
再プログラム/イレースサイクル (注1)	N <sub>DPEC</sub>	100,000	1,000,000	-	回	-	
データ保持時間	10,000回のN <sub>DPEC</sub> の後	t <sub>DDRP</sub>	20 (注2)、(注3)	-	-	年	Ta = +85°C
	100,000回のN <sub>DPEC</sub> の後		5 (注2)、(注3)	-	-	年	
	1,000,000回のN <sub>DPEC</sub> の後		-	1 (注2)、(注3)	-	年	Ta = +25°C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 100,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、1バイトのブロックについて、それぞれ異なる番地に1バイト書き込みを1,000回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書きはしないでください)

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. 信頼性試験から得られた結果です。

表 41.60 データフラッシュ特性 (2)

高速動作モード

条件 : VCC = AVCC0 = 2.7 ~ 5.5V

項目	シンボル	ICLK = 4MHz			ICLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1バイト	t <sub>DP1</sub>	-	52.4	463	-	42.1	387	μs
イレース時間	1KB	t <sub>DE1K</sub>	-	8.98	286	-	6.42	237	ms
ブランクチェック時間	1バイト	t <sub>DBC1</sub>	-	-	24.3	-	-	16.6	μs
	1KB	t <sub>DBC1K</sub>	-	-	1872	-	-	512	μs
イレース実行中のサスペンド時間		t <sub>DSED</sub>	-	-	13.0	-	-	10.7	μs
データフラッシュ STOP 復帰時間		t <sub>DSTOP</sub>	5	-	-	5	-	-	μs

注 . ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注 . フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。ICLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。

注 . フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。

表 41.61 データフラッシュ特性 (3)

中速動作モード

条件 : VCC = AVCC0 = 1.8 ~ 5.5V, Ta = -40 ~ +85°C

項目	シンボル	ICLK = 4MHz			ICLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1バイト	t <sub>DP1</sub>	-	94.7	886	-	87.0	837	μs
イレース時間	1KB	t <sub>DE1K</sub>	-	9.59	299	-	7.82	266	ms
ブランクチェック時間	1バイト	t <sub>DBC1</sub>	-	-	56.2	-	-	50.9	μs
	1KB	t <sub>DBC1K</sub>	-	-	2.17	-	-	1.21	ms
イレース実行中のサスペンド時間		t <sub>DSED</sub>	-	-	23.0	-	-	21.0	μs
データフラッシュ STOP 復帰時間		t <sub>DSTOP</sub>	720	-	-	720	-	-	ns

注 . ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注 . フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。ICLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。

注 . フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。



## 41.12.3 シリアルワイヤデバッグ (SWD)

表 41.62 SWD 特性 (1)

条件 : VCC = AVCC0 = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	$t_{\text{SWCKcyc}}$	80	-	-	ns	図 41.63
SWCLKクロック High レベルパルス幅	$t_{\text{SWCKH}}$	35	-	-	ns	
SWCLKクロック Low レベルパルス幅	$t_{\text{SWCKL}}$	35	-	-	ns	
SWCLKクロック立ち上がり時間	$t_{\text{SWCKr}}$	-	-	5	ns	
SWCLKクロック立ち下がり時間	$t_{\text{SWCKf}}$	-	-	5	ns	
SWDIOセットアップ時間	$t_{\text{SWDS}}$	16	-	-	ns	図 41.64
SWDIOホールド時間	$t_{\text{SWDH}}$	16	-	-	ns	
SWDIOデータ遅延時間	$t_{\text{SWDD}}$	2	-	70	ns	

表 41.63 SWD 特性 (2)

条件 : VCC = AVCC0 = 1.6 ~ 2.4V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	$t_{\text{SWCKcyc}}$	250	-	-	ns	図 41.63
SWCLKクロック High レベルパルス幅	$t_{\text{SWCKH}}$	120	-	-	ns	
SWCLKクロック Low レベルパルス幅	$t_{\text{SWCKL}}$	120	-	-	ns	
SWCLKクロック立ち上がり時間	$t_{\text{SWCKr}}$	-	-	5	ns	
SWCLKクロック立ち下がり時間	$t_{\text{SWCKf}}$	-	-	5	ns	
SWDIOセットアップ時間	$t_{\text{SWDS}}$	50	-	-	ns	図 41.64
SWDIOホールド時間	$t_{\text{SWDH}}$	50	-	-	ns	
SWDIOデータ遅延時間	$t_{\text{SWDD}}$	2	-	150	ns	

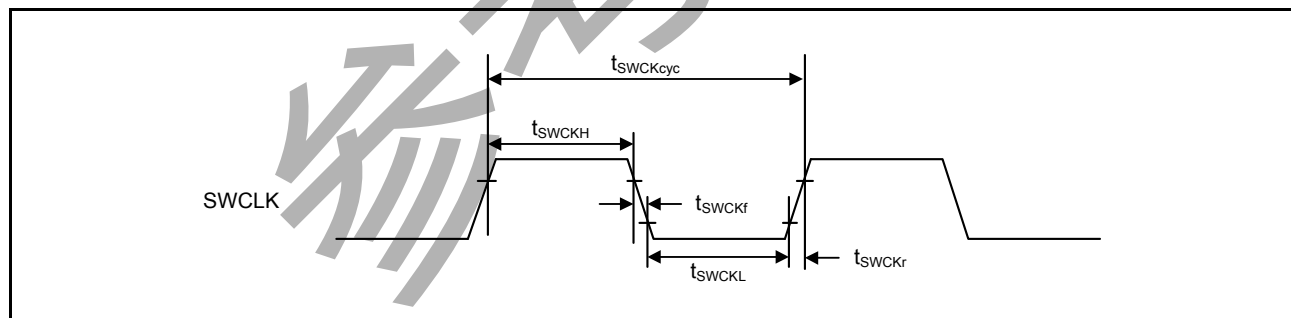


図 41.63 SWD SWCLK タイミング

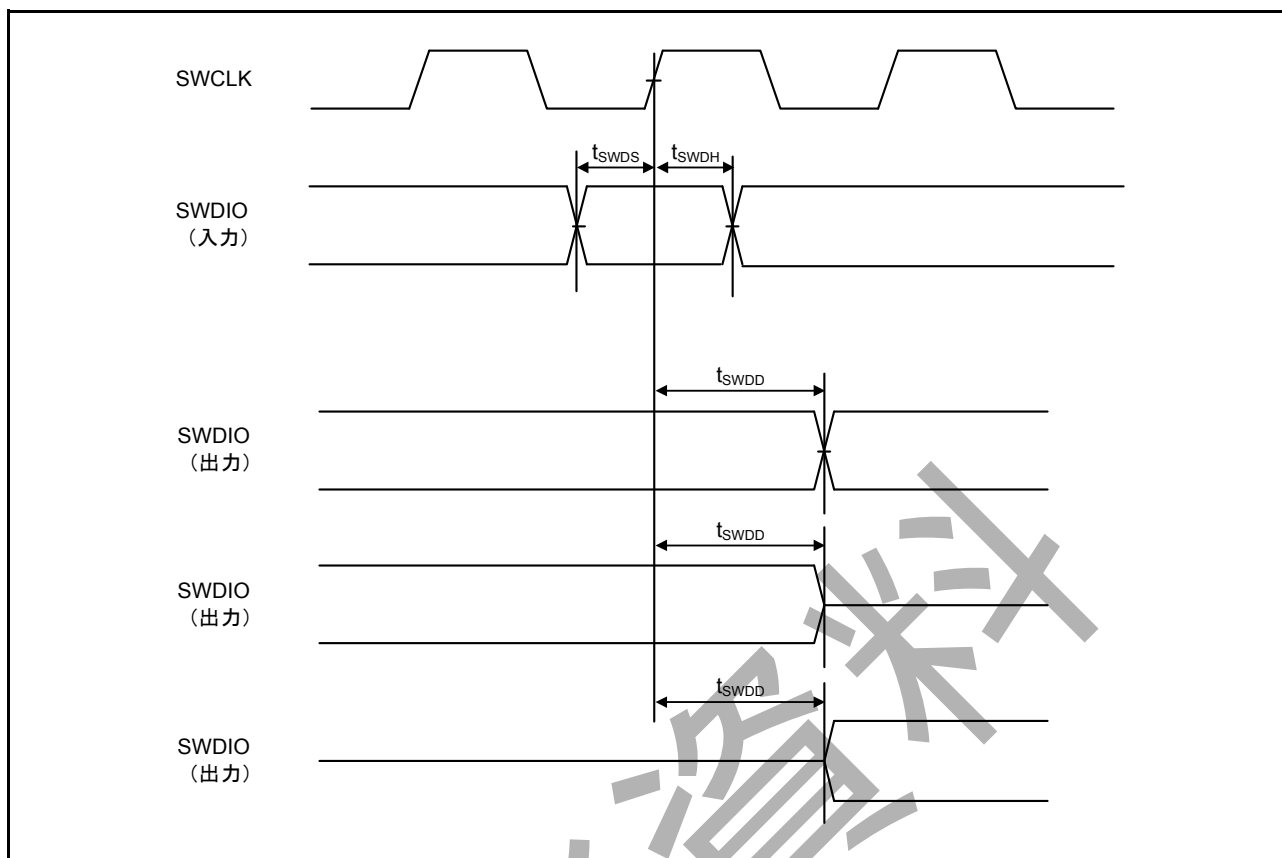


図 41.64 SWD 入出力タイミング

## 付録 1. 各プロセスモードのポート状態

表 1.1 各プロセス状態のポート状態 (1/2)

ポート名	リセット	ソフトウェアスタンバイモード
P000/IRQ6, P001/IRQ7, P002/IRQ2	Hi-Z	Keep-O (注1)
P003	Hi-Z	Keep-O
P004/IRQ3	Hi-Z	Keep-O (注1)
P010～P013	Hi-Z	Keep-O
P014/DA0	Hi-Z	[DA0出力 (DAOE0 = 1)] DA出力保持 [上記以外 (DAOE0 = 0)] Keep-O
P015/IRQ7	Hi-Z	Keep-O (注1)
P100/KR00/IRQ2/CMPIN0, P101/KR01/IRQ1/CMPREF0, P102/KR02, P103/KR03, P104/KR04/IRQ1, P105/KR05/IRQ0, P106/KR06, P107/KR07	Hi-Z	Keep-O (注1)
P108/SWDIO	ブルアップ	Keep-O
P109/CLKOUT_B	Hi-Z	[CLKOUT選択] CLKOUT出力 [上記以外] Keep-O
P110/IRQ3/VCOUT	Hi-Z	[ACMPLP選択] VCOUT出力 [上記以外] Keep-O (注1)
P111/IRQ4	Hi-Z	Keep-O (注1)
P112, P113	Hi-Z	Keep-O
P200/NMI	Hi-Z	Hi-Z
P201	ブルアップ	Keep-O
P204/AGTIO1_A/SCL0_B	Hi-Z	Keep-O (注1)
P205/IRQ1/CLKOUT_A	Hi-Z	[CLKOUT選択] CLKOUT出力 [上記以外] Keep-O (注1)
P206/IRQ0, P212/IRQ3/EXTAL, P213/IRQ2/XTAL	Hi-Z	Keep-O (注1)
P214/XCOUT, P215/XCIN	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z
P300/SWCLK	ブルアップ	Keep-O
P301/IRQ6, P302/IRQ5	Hi-Z	Keep-O (注1)
P303, P304	Hi-Z	Keep-O
P400/AGTIO1_D/SCL0_A/IRQ0, P401/SDA0_A/IRQ5, P402/IRQ4	Hi-Z	Keep-O (注1)
P403	Hi-Z	Keep-O
P407/SDA0_B/RTCOUT/USB_VBUS	Hi-Z	[RTCOUT選択] RTCOUT出力 [上記以外] Keep-O (注1)
P408/IRQ7, P409/IRQ6, P410/IRQ5, P411/IRQ4	Hi-Z	Keep-O (注1)

表 1.1 各プロセス状態のポート状態 (2/2)

ポート名	リセット	ソフトウェアスタンバイモード
P500～P502	Hi-Z	Keep-O
USB_DP	Hi-Z	Keep-O
USB_DM	Hi-Z	Keep-O

Hi-Z : ハイインピーダンス

Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。

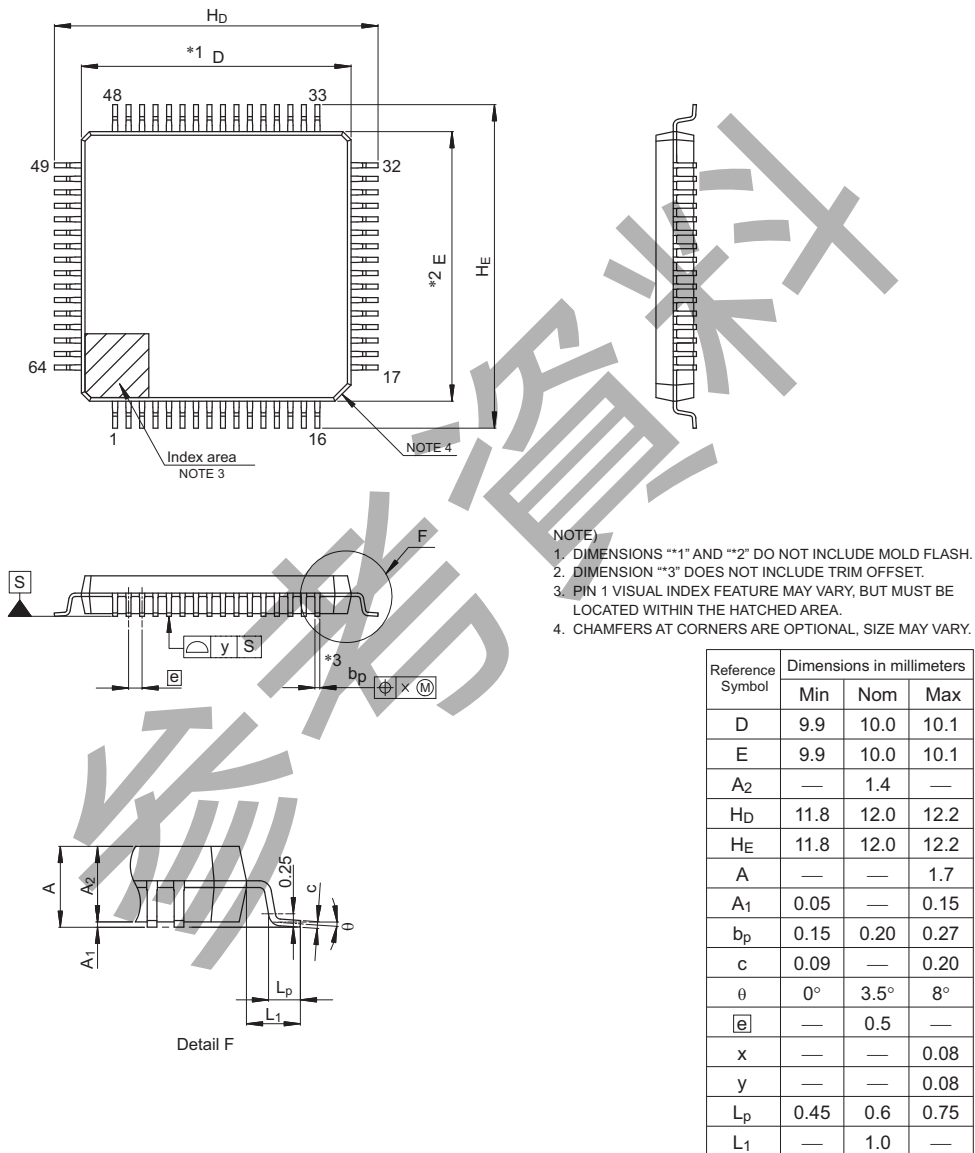
資料参考

## 付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスのウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

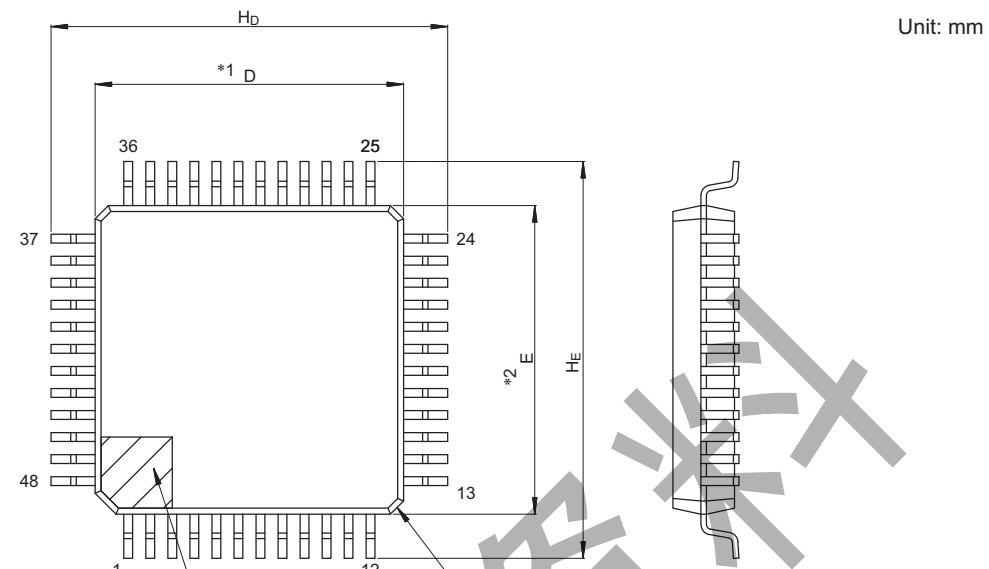
Unit: mm



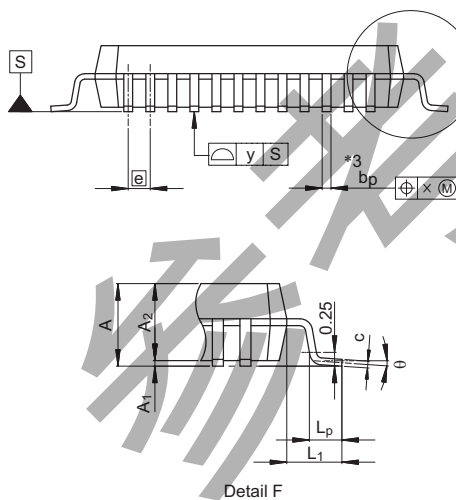
© 2015 Renesas Electronics Corporation. All rights reserved.

図 2.1 64-pin LQFP

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2



- NOTE)
1. DIMENSIONS "\*1" AND "\*2" DO NOT INCLUDE MOLD FLASH.
  2. DIMENSION "\*3" DOES NOT INCLUDE TRIM OFFSET.
  3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
  4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A <sub>2</sub>	—	1.4	—
H <sub>D</sub>	8.8	9.0	9.2
H <sub>E</sub>	8.8	9.0	9.2
A	—	—	1.7
A <sub>1</sub>	0.05	—	0.15
b <sub>p</sub>	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
[e]	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L <sub>p</sub>	0.45	0.6	0.75
L <sub>1</sub>	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 2.2 48-pin LQFP

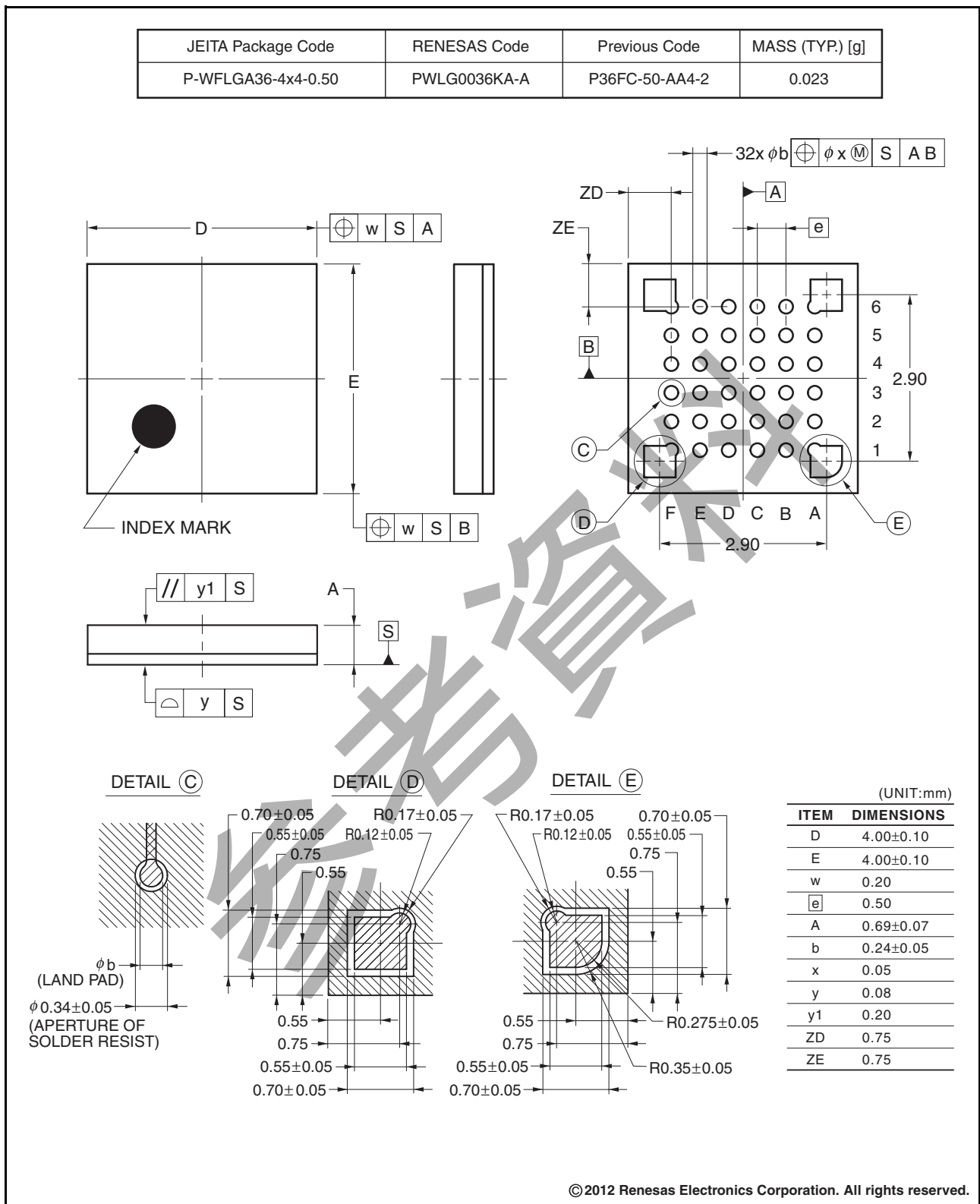


図 2.3 36-pin LGA

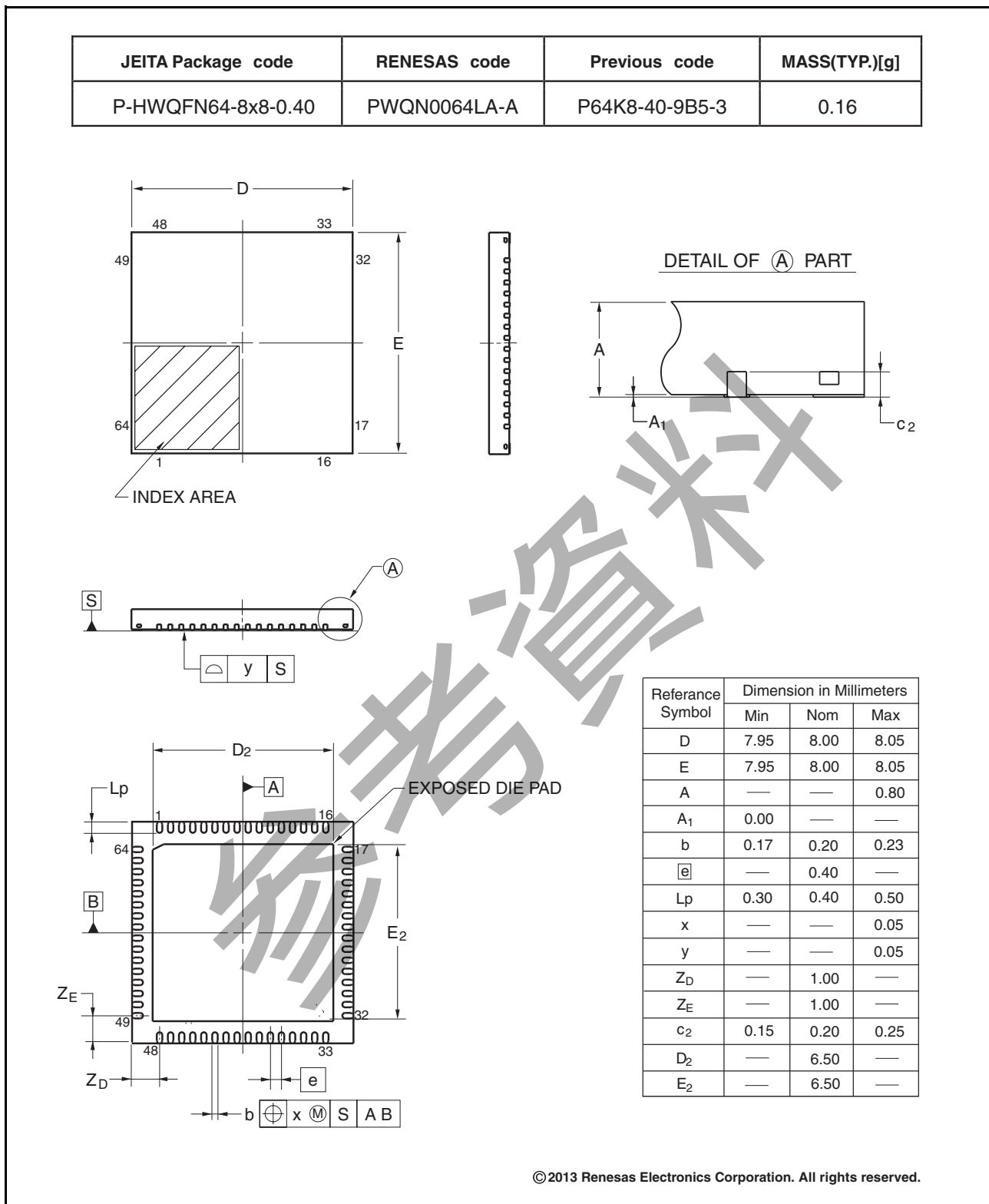


図 2.4 64-pin QFN



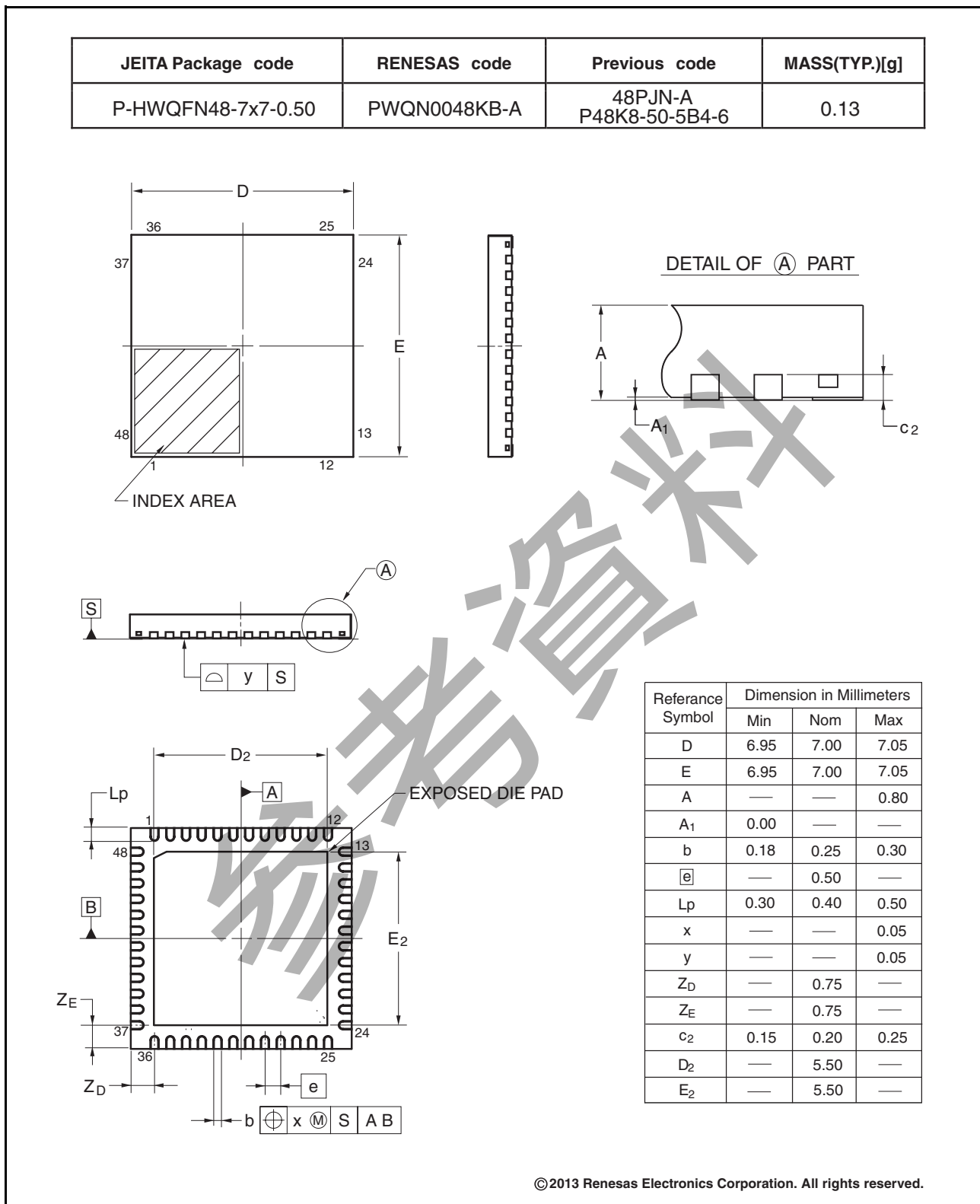


図 2.5 48-pin QFN

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN40-6x6-0.50	PWQN0040KC-A	P40K8-50-4B4-5	0.09

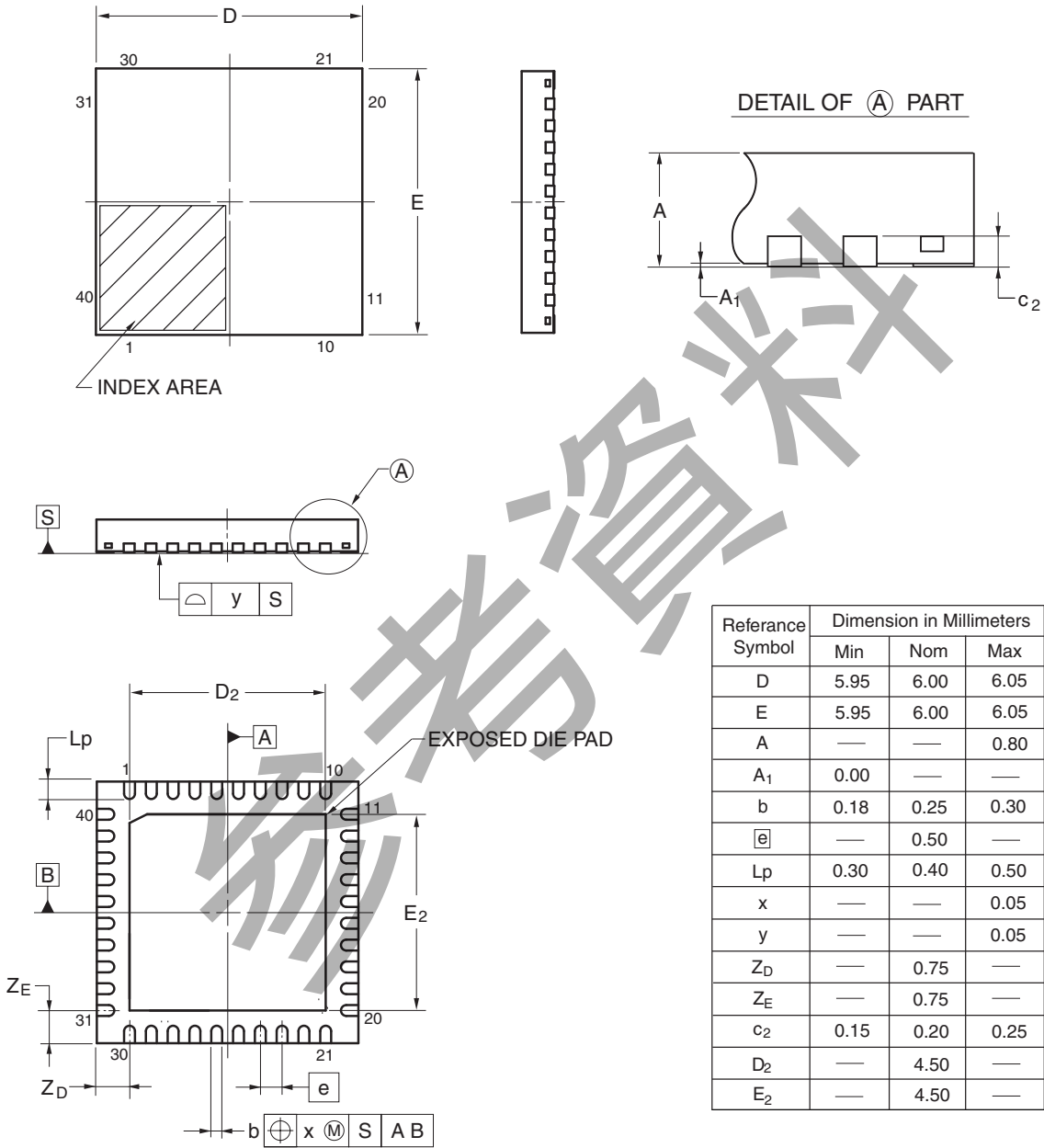


図 2.6 40-pin QFN

改訂記録	S124 ユーザーズマニュアル：マイクロコントローラ
------	----------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2016.07.14	—	第1.00版発行 英文版S124 User's Manual: Microcontrollers (資料番号R01UM0003EU0100、リビジョンRev.1.00、発行日2016年2月23日)を翻訳

参考資料

S124 ユーザーズマニュアル: マイクロコントローラ (参考資料)

発行年月日 2016年7月14日 Rev.1.00

発行 ルネサスエレクトロニクス株式会社  
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/contact/>

S124  
ユーザーズマニュアル  
マイクロコントローラ  
(参考資料)