

## S3A7

ユーザーズマニュアル: マイクロコントローラ  
(参考資料)

Renesas Synergy™ プラットフォーム

本資料は英語版を翻訳した参考資料です。内容に相違がある場合には英語版を優先します。資料によっては英語版のバージョンが更新され、内容が変わっている場合があります。日本語版は参考用としてご使用のうえ、最新および正式な内容については英語版のドキュメントをご参照ください。

資料番号 R01UM0002EU0100、リビジョン Rev.1.00、発行日 2016 年 2 月 23 日の翻訳版です。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないように、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 製品ご使用上の注意事項

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、VIL (Max.) から VIH (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、VIL (Max.) から VIH (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# このマニュアルの使い方

## 1. このマニュアルについて

このマニュアルは、本製品の各種機能と電気的特性をユーザに理解していただくことを目的としています。

このマニュアルに記載の注意事項には、特に注意を払う必要があります。これらの注意事項は、各章の本文中、各章の最後、および「使用上の注意事項」の節に示されています。

改訂記録には、このマニュアルの改訂内容と発行日の一覧が記されています。

## 2. 対象読者

このマニュアルは、Renesas Synergy™ MCU 製品を用いて応用システムを設計するユーザを対象としています。読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識が求められます。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、および使用上の注意事項で構成されています。

## 3. 参考資料

弊社では、Renesas Synergy MCU 用に下記のドキュメントを用意しています。これらのドキュメントを使用する際は、弊社ウェブサイトアクセスして、最新版を取得してください。

ドキュメントの種類	内容	資料名	資料番号
データシート	MCUの概要と電気的特性	S3A7 Datasheet	R01DS0263EU
ユーザーズマニュアル：マイクロコントローラ	MCUの仕様（ピン配置、メモリマップ、周辺機能、電気的特性、タイミング図）と動作説明	S3A7ユーザーズマニュアル：マイクロコントローラ	本ユーザーズマニュアル
Renesas Synergy Software Package (SSP) ユーザーズマニュアル	APIリファレンス、およびSSPアーキテクチャとプログラミングの入門書	Renesas Synergy Software Package (SSP) User's Manual	R01US0171EU
RENESAS TECHNICAL UPDATE	製品の仕様と最新情報に関する速報	—	—

## 4. 数値の表記法

数値には、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
011b	2進数。たとえば、数値3を2進数で表記すると011bになります。
1Fh	16進数。たとえば、数値31を16進数で表記すると1Fhになります。16進数には、接頭辞として0xが付加されている場合もあります。
1234	10進数。混同する可能性のある場合に限って、10進数の後にこのシンボルが付加されます。通常、10進数に接尾辞は付加されません。

## 5. シンボルの表記法

シンボルには、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
WDT.WDTRCR.RSTIRQS	機能モジュールのシンボル (WDT)、レジスタのシンボル (WDTRCR)、およびビットフィールドのシンボル (RSTIRQS) は、ピリオドで区切られます。
WDT.WDTRCR	機能モジュールのシンボル (WDT) とレジスタのシンボル (WDTRCR) は、ピリオドで区切られます。
WDTRCR.RSTIRQS	レジスタのシンボル (WDTRCR) とビットフィールドのシンボル (RSTIRQS) は、ピリオドで区切られます。
CKS[3:0]	角カッコ内の数値はビット番号を表します。たとえばCKS[3:0]は、WDTコントロールレジスタ (WDTCR) のビット3~0を使用します。

## 6. 特殊用語

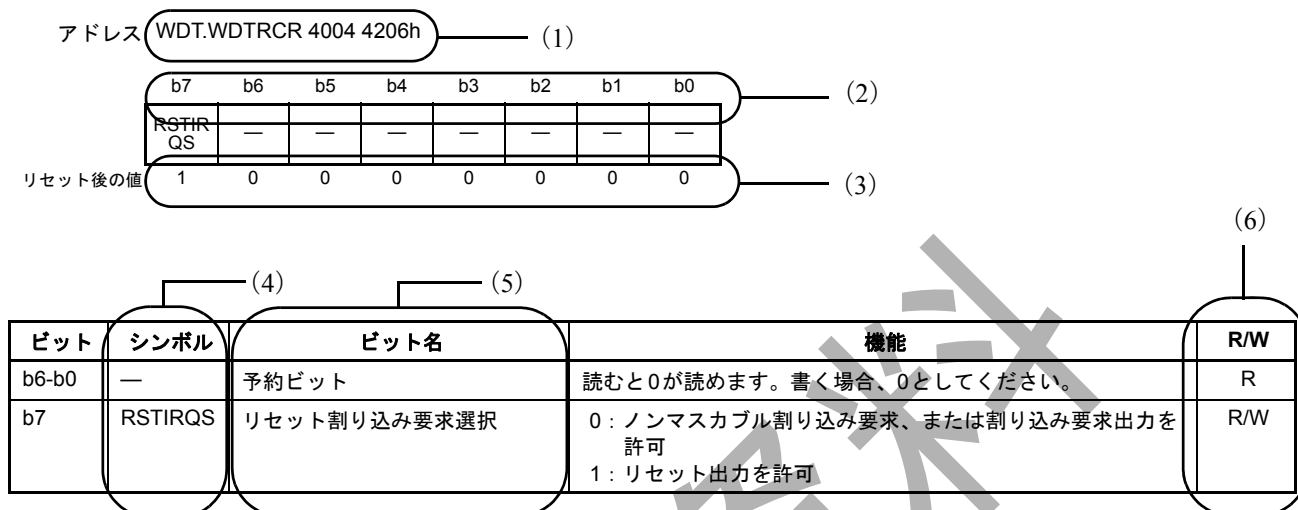
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。NCは、端子がMCUに接続されていないことを意味します。
Hi-Z	ハイインピーダンス

## 7. レジスタの説明

各章の「レジスタの説明」には、ビットの並びを示すレジスタ配置図と、各ビットの内容を説明するレジスタのビット機能表があります。以下に、これらの表で使用するシンボルの例を示します。

### X.X.X WDT リセットコントロールレジスタ (WDTRCR)



(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレス配置

この部分には、通常、機能モジュールのシンボル、レジスタのシンボル、およびこのレジスタのアドレス配置が記載されます。

たとえば、WDT.WDTRCR 4004 4206h は、ウォッチドッグタイマ (WDT) の WDT リセットコントロールレジスタ (WDTRCR) がアドレス 4004 4206h に配置されることを意味します。

(2) ビット番号

この番号はビット番号を表します。32 ビットレジスタの場合は b31 ~ b0 の順に、16 ビットレジスタの場合は b15 ~ b0 の順に、8 ビットレジスタの場合は b7 ~ b0 の順に示されます。

(3) リセット後の値

これらのシンボルや数字は、ハードリセット後の各ビット値を示しています。特に記載のない限り、値は 2 進数で示されます。

0: ハードリセット後、値は 0

1: ハードリセット後、値は 1

x: ハードリセット後、値は不定

(4) ビットシンボル

ビットシンボルは、ビットフィールドの略名です。予約ビットの場合は、— と表記されます。

(5) ビット名

ビット名は、ビットフィールドの正式名です。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であることを示します。

R/W: 読み出しも書き込みも可能

R(W): 読み出しも書き込みも可能。ただし、書き込みには制限あり

制限の内容については、各レジスタの説明や注記を参照してください。

R: 読み出しのみ可能。書き込んでも無効

W: 書き込みのみ可能。読み出し値は不定

## 8. 略称

このマニュアルで使用する略称が下表に示されています。

略称	内容
AES	Advanced Encryption Standard (高度暗号化標準)
AHB	Advanced High-performance Bus (アドバンストハイパフォーマンスバス)
AHB-AP	AHB Access Port (AHBアクセスポート)
APB	Advanced Peripheral Bus (アドバンスト周辺バス)
ARC	Alleged RC (Alleged RC暗号)
ATB	Advanced Trace Bus (アドバンストトレースバス)
BCD	Binary Coded Decimal (2進化10進数)
DES	Data Encryption Standard (データ暗号化標準)
DSA	Digital Signature Algorithm (デジタル署名アルゴリズム)
ECC	Error Correction Code (誤り訂正コード)
ETB	Embedded Trace Buffer (エンベデッドトレースバッファ)
ETM	Embedded Trace Macrocell (エンベデッドトレースマクロセル)
FPU	Floating Point Unit (浮動小数点ユニット)
HMI	Human Machine Interface (ヒューマンマシンインタフェース)
IrDA	Infrared Data Association (赤外線通信協会規格)
LSB	Least Significant Bit (最下位ビット)
MSB	Most Significant Bit (最上位ビット)
NVIC	Nested Vector Interrupt Controller (ネスト型ベクタ割り込みコントローラ)
PC	Program Counter (プログラムカウンタ)
PFS	Port Function Select (ポート機能選択)
PLL	Phase Locked Loop (位相同期回路)
POR	Power On Reset (パワーオンリセット)
PWM	Pulse Width Modulation (パルス幅変調)
RSA	Rivest Shamir Adleman (Rivest/Shamir/Adlemanによる公開鍵暗号方式)
SHA	Secure Hash Algorithm (セキュアハッシュアルゴリズム)
S/H	Sample and Hold (サンプルアンドホールド)
SP	Stack Pointer (スタックポインタ)
SWD	Serial Wire Debug (シリアルワイヤデバッグ)
SW-DP	Serial Wire-Debug Port (シリアルワイヤデバッグポート)
TRNG	True Random Number Generator (真性乱数発生器)
UART	Universal Asynchronous Receiver/Transmitter (調歩同期式シリアルインタフェース)
VCO	Voltage Controlled Oscillator (電圧制御発振器)

## 9. 所有権通知

このマニュアルに含まれるすべてのテキスト、画像、写真、商標、ロゴ、挿絵、コンピュータコード（総称して「コンテンツ」）は、ルネサスが所有、管理、またはライセンス保持するものであり、トレードドレス、著作権法、特許法、商標法、その他の知的所有権法、不当競争法で保護されています。このマニュアルに明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、このマニュアルの一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

# 目次

特長 .....	46
1. 概要 .....	47
1.1 機能の概要 .....	47
1.2 ブロック図 .....	53
1.3 型名 .....	54
1.4 機能の比較 .....	55
1.5 端子機能 .....	56
1.6 ピン配置図 .....	60
1.7 端子一覧 .....	67
2. CPU .....	72
2.1 概要 .....	72
2.1.1 CPU .....	72
2.1.2 デバッグ .....	72
2.1.3 動作周波数 .....	73
2.2 MCUの実装オプション .....	74
2.3 トレースインタフェース .....	75
2.4 JTAG/SWD インタフェース .....	75
2.5 デバッグモード .....	75
2.5.1 デバッグモード定義 .....	75
2.5.2 デバッグモードの影響 .....	76
2.6 プログラムモデル .....	77
2.6.1 アドレス空間 .....	77
2.6.2 Cortex-M4 ペリフェラルアドレスマップ .....	77
2.6.3 CoreSight ROM テーブル .....	78
2.6.4 DBGREG .....	79
2.6.5 OCDREG .....	82
2.7 CoreSight ATB ファネル .....	85
2.8 SysTick システムタイマ .....	85
2.9 CoreSight タイムスタンプジェネレータ .....	85
2.10 OCD エミュレータ接続 .....	86
2.10.1 アンロック ID コード .....	86
2.10.2 OCD エミュレータ接続における制限 .....	86
2.11 参考資料 .....	88
3. 動作モード .....	89
3.1 動作モードの種類と選択 .....	89
3.2 動作モードの説明 .....	89
3.2.1 シングルチップモード .....	89
3.2.2 SCI ブートモード .....	89
3.2.3 USB ブートモード .....	89



3.3	動作モード遷移 .....	90
3.3.1	モード設定端子による動作モード遷移 .....	90
4.	アドレス空間 .....	91
4.1	アドレス空間 .....	91
4.2	外部アドレス空間 .....	92
5.	メモリミラー機能 (MMF) .....	93
5.1	概要 .....	93
5.2	レジスタの説明 .....	94
5.2.1	MemMirror 特殊機能レジスタ (MMSFR) .....	94
5.2.2	MemMirror イネーブルレジスタ (MMEN) .....	95
5.3	動作説明 .....	96
5.3.1	メモリミラー機能 .....	96
5.3.2	設定例 .....	100
6.	リセット .....	101
6.1	概要 .....	101
6.2	レジスタの説明 .....	105
6.2.1	リセットステータスレジスタ 0 (RSTSR0) .....	105
6.2.2	リセットステータスレジスタ 1 (RSTSR1) .....	107
6.2.3	リセットステータスレジスタ 2 (RSTSR2) .....	109
6.3	動作説明 .....	110
6.3.1	RES 端子リセット .....	110
6.3.2	パワーオンリセット .....	111
6.3.3	電圧監視リセット .....	112
6.3.4	独立ウォッチドッグタイマリセット .....	113
6.3.5	ウォッチドッグタイマリセット .....	114
6.3.6	ソフトウェアリセット .....	114
6.3.7	コールドスタート/ウォームスタート判定機能 .....	114
6.3.8	リセット発生要因の判定 .....	115
7.	オプション設定メモリ .....	116
7.1	概要 .....	116
7.2	レジスタの説明 .....	117
7.2.1	オプション機能選択レジスタ 0 (OFS0) .....	117
7.2.2	オプション機能選択レジスタ 1 (OFS1) .....	121
7.2.3	MPU 機能関連のレジスタ .....	122
7.2.4	アクセスウィンドウ設定コントロールレジスタ (AWSC) .....	123
7.2.5	アクセスウィンドウ設定レジスタ (AWS) .....	124
7.2.6	OCD / シリアルプログラマ ID 設定レジスタ (OSIS) .....	126
7.3	オプション設定メモリの設定方法 .....	127
7.3.1	オプション設定メモリへのデータの配置方法 .....	127
7.3.2	オプション設定メモリにプログラムするデータの設定方法 .....	127
7.4	使用上の注意事項 .....	127

7.4.1	オプション設定メモリの予約領域および予約ビットにプログラムするデータ	127
8.	低電圧検出 (LVD)	128
8.1	概要	128
8.2	レジスタの説明	131
8.2.1	電圧モニタ 1 回路コントロールレジスタ 1 (LVD1CR1)	131
8.2.2	電圧モニタ 1 回路ステータスレジスタ (LVD1SR)	132
8.2.3	電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1)	133
8.2.4	電圧モニタ 2 回路ステータスレジスタ (LVD2SR)	134
8.2.5	電圧モニタ回路コントロールレジスタ (LVCMPCR)	135
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	136
8.2.7	電圧モニタ 1 回路コントロールレジスタ 0 (LVD1CR0)	137
8.2.8	電圧モニタ 2 回路コントロールレジスタ 0 (LVD2CR0)	138
8.3	VCC 入力電圧のモニタ	139
8.3.1	$V_{det0}$ のモニタ	139
8.3.2	$V_{det1}$ のモニタ	139
8.3.3	$V_{det2}$ のモニタ	139
8.4	電圧監視 0 リセット	140
8.5	電圧監視 1 割り込み、電圧監視 1 リセット	141
8.6	電圧監視 2 割り込み、電圧監視 2 リセット	143
8.7	イベントリンク出力機能	145
8.7.1	割り込み処理とイベントリンクの関係	145
9.	クロック発生回路	146
9.1	概要	146
9.2	レジスタの説明	151
9.2.1	システムクロック分周コントロールレジスタ (SCKDIVCR)	151
9.2.2	システムクロックソースコントロールレジスタ (SCKSCR)	153
9.2.3	PLL クロックコントロールレジスタ 2 (PLLCCR2)	154
9.2.4	PLL コントロールレジスタ (PLLCR)	155
9.2.5	外部バスクロックコントロールレジスタ (BCKCR)	156
9.2.6	メモリウェイトサイクルコントロールレジスタ (MEMWAIT)	157
9.2.7	メインクロック発振器コントロールレジスタ (MOSCCR)	159
9.2.8	サブクロック発振器コントロールレジスタ (SOSCCR)	160
9.2.9	低速オンチップオシレータコントロールレジスタ (LOCOCR)	161
9.2.10	高速オンチップオシレータコントロールレジスタ (HOCOOCR)	162
9.2.11	中速オンチップオシレータコントロールレジスタ (MOCOOCR)	163
9.2.12	発振安定フラグレジスタ (OSCSF)	164
9.2.13	発振停止検出コントロールレジスタ (OSTDCR)	166
9.2.14	発振停止検出ステータスレジスタ (OSTDSR)	167
9.2.15	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	168
9.2.16	高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)	169
9.2.17	メインクロック発振器モード発振コントロールレジスタ (MOMCR)	170

9.2.18	サブクロック発振器モードコントロールレジスタ (SOMCR)	170
9.2.19	セグメント LCD ソースクロックコントロールレジスタ (SLCDSCKCR)	171
9.2.20	クロックアウトコントロールレジスタ (CKOCR)	172
9.2.21	外部バスクロック出力コントロールレジスタ (EBCKOCR)	173
9.2.22	LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR)	173
9.2.23	MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR)	174
9.2.24	HOCO ユーザトリミングコントロールレジスタ (HOCOUTCR)	175
9.2.25	トレースクロックコントロールレジスタ (TRCKCR)	175
9.3	メインクロック発振器	176
9.3.1	水晶発振子を接続する方法	176
9.3.2	外部クロックを入力する方法	176
9.3.3	外部クロック入力に関する注意事項	176
9.4	サブクロック発振器	177
9.4.1	32.768kHz 水晶振動子を接続する方法	177
9.5	発振停止検出機能	178
9.5.1	発振停止検出と検出後の動作	178
9.5.2	発振停止検出割り込み	180
9.6	PLL 回路	180
9.7	内部クロック	181
9.7.1	システムクロック (ICLK)	181
9.7.2	周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)	182
9.7.3	FlashIF クロック (FCLK)	182
9.7.4	外部バスクロック (BCLK)	182
9.7.5	USB クロック (UCLK)	182
9.7.6	CAN クロック (CANMCLK)	182
9.7.7	CAC クロック (CACCLK)	182
9.7.8	RTC 専用クロック (RTCSCLK、RTCLCLK)	183
9.7.9	IWDT 専用クロック (IWDTCLK)	183
9.7.10	AGT 専用クロック (AGTSCLK、AGTLCLK)	183
9.7.11	SysTick タイマ専用クロック (SYSTICCLK)	183
9.7.12	セグメント LCDC ソースクロック (LCDSRCCLK)	183
9.7.13	クロック/ブザー出力クロック (CLKOUT)	183
9.7.14	JTAG クロック (JTAGTCK)	183
9.8	使用上の注意事項	184
9.8.1	クロック発生回路に関する注意事項	184
9.8.2	発振子に関する注意事項	184
9.8.3	ボード設計に関する注意事項	184
9.8.4	発振子接続端子に関する注意事項	184
10.	クロック周波数精度測定回路 (CAC)	185
10.1	概要	185
10.2	レジスタの説明	187

10.2.1	CAC コントロールレジスタ 0 (CACR0)	187
10.2.2	CAC コントロールレジスタ 1 (CACR1)	188
10.2.3	CAC コントロールレジスタ 2 (CACR2)	189
10.2.4	CAC 割り込みコントロールレジスタ (CAICR)	190
10.2.5	CAC ステータスレジスタ (CASTR)	191
10.2.6	CAC 上限値設定レジスタ (CAULVR)	192
10.2.7	CAC 下限値設定レジスタ (CALLVR)	192
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	192
10.3	動作説明	193
10.3.1	クロック周波数測定	193
10.3.2	CACREF 端子のデジタルフィルタ機能	194
10.4	割り込み要求	194
10.5	使用上の注意事項	194
10.5.1	モジュールストップ機能の設定	194
11.	低消費電力モード	195
11.1	概要	195
11.2	レジスタの説明	200
11.2.1	スタンバイコントロールレジスタ (SBYCR)	200
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	201
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	202
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	204
11.2.5	モジュールストップコントロールレジスタ D (MSTPCRD)	205
11.2.6	動作電力コントロールレジスタ (OPCCR)	206
11.2.7	サブ動作電力コントロールレジスタ (SOPCCR)	207
11.2.8	スヌーズコントロールレジスタ (SNZCR)	208
11.2.9	スヌーズ終了コントロールレジスタ (SNZEDCR)	209
11.2.10	スヌーズ要求コントロールレジスタ (SNZREQCR)	211
11.2.11	フラッシュ動作コントロールレジスタ (FLSTOP)	213
11.2.12	パワーセーブメモリコントロールレジスタ (PSMCR)	214
11.2.13	システムコントロール OCD コントロールレジスタ (SYOCD CR)	214
11.3	クロックの切り替えによる消費電力の低減	215
11.4	モジュールストップ機能	215
11.5	低消費電力機能	215
11.5.1	動作電力制御モードの設定方法	215
11.5.2	動作範囲	218
11.6	スリープモード	221
11.6.1	スリープモードへの遷移	221
11.6.2	スリープモードの解除	221
11.7	ソフトウェアスタンバイモード	222
11.7.1	ソフトウェアスタンバイモードへの遷移	222
11.7.2	ソフトウェアスタンバイモードの解除	222

11.7.3	ソフトウェアスタンバイモードの応用例 .....	223
11.8	スヌーズモード .....	224
11.8.1	スヌーズモードへの遷移 .....	224
11.8.2	スヌーズモードの解除 .....	225
11.8.3	ソフトウェアスタンバイモードへの復帰 .....	226
11.8.4	スヌーズモードの動作例 .....	228
11.9	使用上の注意事項 .....	231
11.9.1	レジスタアクセス .....	231
11.9.2	I/O ポートの状態 .....	233
11.9.3	DMAC と DTC のモジュールストップ状態 .....	233
11.9.4	内部割り込み要因 .....	233
11.9.5	低消費電力モードへの遷移 .....	233
11.9.6	WFI 命令のタイミング .....	233
11.9.7	スリープモード/スヌーズモード時の DMAC または DTC による WDT/IWDT レジスタの書き込みについて .....	233
11.9.8	スヌーズモードにおける発振器について .....	234
11.9.9	RXD0 の立ち下がりエッジによるスヌーズモードエントリ .....	234
11.9.10	スヌーズモードにおける SCI0 の使用 .....	234
11.9.11	スヌーズモードにおける A/D 変換開始条件 .....	234
11.9.12	スヌーズモードにおける CTSU の条件 .....	234
11.9.13	スヌーズモードにおける ELC イベント .....	235
11.9.14	ADC140 に関するモジュールストップ機能 .....	235
12.	バッテリーバックアップ機能 .....	236
12.1	概要 .....	236
12.1.1	バッテリーバックアップ機能 .....	236
12.1.2	バッテリー電源スイッチ .....	236
12.1.3	VBATT 端子低電圧検出 .....	236
12.1.4	VBATT_R 低電圧検出 .....	236
12.1.5	バックアップレジスタ .....	237
12.1.6	VBATT ウェイクアップコントロール機能 .....	237
12.1.7	タンパ端子検出 .....	237
12.2	レジスタの説明 .....	239
12.2.1	VBATT コントロールレジスタ 1 (VBTCR1) .....	239
12.2.2	VBATT コントロールレジスタ 2 (VBTCR2) .....	240
12.2.3	VBATT ステータスレジスタ (VBTSR) .....	241
12.2.4	VBATT コンパレータコントロールレジスタ (VBTCMPCR) .....	242
12.2.5	VBATT 端子低電圧検出割り込みコントロールレジスタ (VBTLVDICR) .....	242
12.2.6	VBATT バックアップレジスタ (VBTBKR[n]) (n = 0 ~ 511) .....	243
12.2.7	VBATT ウェイクアップコントロールレジスタ (VBTWCTLR) .....	243
12.2.8	VBATT ウェイクアップ I/O 0 出力トリガ選択レジスタ (VBTWCH0OTSR) .....	244
12.2.9	VBATT ウェイクアップ I/O 1 出力トリガ選択レジスタ (VBTWCH1OTSR) .....	245

12.2.10	VBATT ウェイクアップ I/O 2 出力トリガ選択レジスタ (VBTWCH2OTSR)	246
12.2.11	VBATT 入力コントロールレジスタ (VBTICTLR)	247
12.2.12	VBATT 出力コントロールレジスタ (VBTOCTLR)	248
12.2.13	VBATT ウェイクアップトリガ要因イネーブルレジスタ (VBTWTER)	249
12.2.14	VBATT ウェイクアップトリガ要因エッジレジスタ (VBTWEGR)	250
12.2.15	VBATT ウェイクアップトリガ要因フラグレジスタ (VBTWFR)	251
12.3	動作説明	253
12.3.1	バッテリーバックアップ機能	253
12.3.2	VBATT バッテリ電源スイッチの使用法	255
12.3.3	VBATT 端子低電圧検出の手順	255
12.3.4	VBATT バックアップレジスタの使用法	256
12.3.5	VBATT ウェイクアップコントロール機能の使用法	257
12.4	使用上の注意事項	260
13.	レジスタライトプロテクション	261
13.1	概要	261
13.2	レジスタの説明	262
13.2.1	プロテクトレジスタ (PRCR)	262
14.	割り込みコントローラユニット (ICU)	263
14.1	概要	263
14.2	レジスタの説明	265
14.2.1	IRQ コントロールレジスタ $i$ (IRQCRI) ( $i = 0 \sim 15$ )	265
14.2.2	ノンマスクابل割り込みステータスレジスタ (NMISR)	267
14.2.3	ノンマスクابل割り込みイネーブルレジスタ (NMIER)	270
14.2.4	ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)	272
14.2.5	NMI 端子割り込みコントロールレジスタ (NMICR)	274
14.2.6	ICU イベントリンク設定レジスタ $n$ (IELSRn)	275
14.2.7	DMAC イベントリンク設定レジスタ $n$ (DELSRn)	276
14.2.8	SYS イベントリンク設定レジスタ (SELSR0)	277
14.2.9	ウェイクアップ割り込みイネーブルレジスタ (WUPEN)	278
14.3	ベクタテーブル	280
14.3.1	割り込みベクタテーブル	280
14.3.2	イベント番号	282
14.4	割り込み動作	288
14.4.1	割り込みの検出	288
14.4.2	割り込み要求先の選択	289
14.4.3	デジタルフィルタ	291
14.4.4	外部端子割り込み	292
14.5	ノンマスクابل割り込み動作	293
14.6	低消費電力モードからの復帰	294
14.6.1	スリープモードからの復帰	294
14.6.2	ソフトウェアスタンバイモードからの復帰	294

14.6.3	スヌーズモードからの復帰 .....	294
14.7	ノンマスクブル割り込みとともに WFI 命令を使用する場合 .....	295
14.8	参考資料 .....	295
15.	バス .....	296
15.1	概要 .....	296
15.2	バスの説明 .....	298
15.2.1	メインバス .....	298
15.2.2	スレーブインタフェース .....	298
15.2.3	外部バス .....	299
15.2.4	並列動作 .....	301
15.2.5	バスの設定 .....	301
15.2.6	制約事項 .....	301
15.3	レジスタの説明 .....	302
15.3.1	CSn コントロールレジスタ (CSnCR) (n = 0 ~ 3) .....	302
15.3.2	CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 3) .....	303
15.3.3	CS リカバリサイクル挿入イネーブルレジスタ (CSRECEN) .....	305
15.3.4	CSn モードレジスタ (CSnMOD) (n = 0 ~ 3) .....	307
15.3.5	CSn ウェイトコントロールレジスタ 1 (CSnWCR1) (n = 0 ~ 3) .....	309
15.3.6	CSn ウェイトコントロールレジスタ 2 (CSnWCR2) (n = 0 ~ 3) .....	311
15.3.7	マスタバスコントロールレジスタ (BUSMCNT<master>) .....	314
15.3.8	スレーブバスコントロールレジスタ (BUSSCNT<slave>) .....	315
15.3.9	バスエラーアドレスレジスタ (BUSnERRADD) (n = 1 ~ 4) .....	316
15.3.10	バスエラーステータスレジスタ (BUSnERRSTAT) (n = 1 ~ 4) .....	317
15.4	エンディアン形式とデータアライメント .....	318
15.4.1	CS 領域のデータアライメント制御 .....	318
15.5	CS 領域コントローラの動作説明 .....	321
15.5.1	セパレートバス .....	321
15.5.2	外部ウェイト機能 .....	334
15.5.3	リカバリサイクルの挿入 .....	336
15.5.4	非アクセス時の状態 .....	339
15.5.5	ライトバッファ機能 (外部バス) .....	339
15.5.6	制限事項 .....	340
15.6	バスエラー監視部 .....	341
15.6.1	バスに生じるエラーの種類 .....	341
15.6.2	バスエラー発生時の動作 .....	341
15.6.3	不正アドレスアクセスエラーを引き起こす条件 .....	342
15.6.4	タイムアウト .....	343
15.7	フラッシュキャッシュ使用時の注意事項 .....	343
15.8	参考資料 .....	343
16.	メモリプロテクションユニット (MPU) .....	344
16.1	概要 .....	344

16.2	CPU スタックポインタモニタ .....	345
16.2.1	レジスタの保護 .....	347
16.2.2	オーバフローエラーとアンダーフローエラー .....	347
16.2.3	レジスタの説明 .....	347
16.3	ARM MPU .....	353
16.4	バスマスタ MPU .....	354
16.4.1	レジスタの説明 .....	355
16.4.2	機能説明 .....	360
16.5	バススレーブ MPU .....	363
16.5.1	レジスタの説明 .....	364
16.5.2	機能説明 .....	374
16.6	セキュリティ MPU .....	375
16.6.1	レジスタの説明 (オプション設定メモリ) .....	375
16.6.2	メモリプロテクション .....	379
16.6.3	使用上の注意事項 .....	380
16.7	参考資料 .....	380
17.	DMA コントローラ (DMAC) .....	381
17.1	概要 .....	381
17.2	レジスタの説明 .....	383
17.2.1	DMA 転送元アドレスレジスタ (DMSAR) .....	383
17.2.2	DMA 転送先アドレスレジスタ (DMDAR) .....	383
17.2.3	DMA 転送カウントレジスタ (DMCRA) .....	384
17.2.4	DMA ブロック転送カウントレジスタ (DMCRB) .....	385
17.2.5	DMA 転送モードレジスタ (DMTMD) .....	386
17.2.6	DMA 割り込み設定レジスタ (DMINT) .....	387
17.2.7	DMA アドレスモードレジスタ (DMAMD) .....	389
17.2.8	DMA オフセットレジスタ (DMOFR) .....	392
17.2.9	DMA 転送イネーブルレジスタ (DMCNT) .....	392
17.2.10	DMA ソフトウェア起動レジスタ (DMREQ) .....	393
17.2.11	DMA ステータスレジスタ (DMSTS) .....	394
17.2.12	DMACA モジュール起動レジスタ (DMAST) .....	395
17.3	動作説明 .....	396
17.3.1	転送モード .....	396
17.3.2	拡張リピート領域機能 .....	400
17.3.3	オフセットを使用したアドレス更新機能 .....	402
17.3.4	起動要因 .....	406
17.3.5	動作タイミング .....	407
17.3.6	DMAC の実行サイクル .....	408
17.3.7	DMAC の起動 .....	409
17.3.8	DMA 転送の開始 .....	410
17.3.9	DMA 転送中のレジスタ .....	410



17.3.10	チャンネル優先順位 .....	411
17.4	DMA 転送の終了 .....	412
17.4.1	設定した総転送回数完了による転送終了 .....	412
17.4.2	リポートサイズ終了割り込みによる転送終了 .....	412
17.4.3	拡張リポート領域オーバーフロー割り込みによる転送終了 .....	412
17.4.4	DMA 転送の終了に関する注意事項 .....	413
17.5	割り込み .....	414
17.6	イベントリンク .....	416
17.7	低消費電力機能 .....	416
17.8	使用上の注意事項 .....	417
17.8.1	外部デバイスへの DMA 転送について .....	417
17.8.2	DMA 転送中のレジスタアクセスについて .....	417
17.8.3	予約領域への DMA 転送について .....	417
17.8.4	割り込みコントローラユニットの DMAC イベントリンク設定レジスタ (ICU.DELSRm) の設定 .....	417
17.8.5	DMA 起動の保留/再開方法 .....	417
18.	データトランスファコントローラ (DTC) .....	418
18.1	概要 .....	418
18.2	レジスタの説明 .....	420
18.2.1	DTC モードレジスタ A (MRA) .....	420
18.2.2	DTC モードレジスタ B (MRB) .....	421
18.2.3	DTC 転送元レジスタ (SAR) .....	422
18.2.4	DTC 転送先レジスタ (DAR) .....	422
18.2.5	DTC 転送カウントレジスタ A (CRA) .....	423
18.2.6	DTC 転送カウントレジスタ B (CRB) .....	424
18.2.7	DTC コントロールレジスタ (DTCCR) .....	424
18.2.8	DTC ベクタベースレジスタ (DTCVBR) .....	425
18.2.9	DTC モジュール起動レジスタ (DTCST) .....	425
18.2.10	DTC ステータスレジスタ (DTCSTS) .....	426
18.3	起動要因 .....	427
18.3.1	転送情報の配置と DTC ベクタテーブル .....	427
18.4	動作説明 .....	429
18.4.1	転送情報のリードスキップ機能 .....	431
18.4.2	転送情報のライトバックスキップ機能 .....	432
18.4.3	ノーマル転送モード .....	432
18.4.4	リポート転送モード .....	433
18.4.5	ブロック転送モード .....	434
18.4.6	チェーン転送 .....	436
18.4.7	動作タイミング .....	437
18.4.8	DTC の実行サイクル .....	439
18.4.9	DTC のバス権解放タイミング .....	439
18.5	DTC の設定手順 .....	440

18.6	DTC の使用例 .....	441
18.6.1	ノーマル転送 .....	441
18.6.2	チェーン転送 .....	442
18.6.3	カウンタ = 0 のときのチェーン転送 .....	444
18.7	割り込み要因 .....	446
18.8	イベントリンク .....	446
18.9	スヌーズ制御インタフェース .....	446
18.10	モジュールストップ機能 .....	447
18.11	使用上の注意事項 .....	447
18.11.1	転送情報の開始アドレス .....	447
19.	イベントリンクコントローラ (ELC) .....	448
19.1	概要 .....	448
19.2	レジスタの説明 .....	449
19.2.1	イベントリンクコントローラレジスタ (ELCR) .....	449
19.2.2	イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) (n = 0, 1) .....	450
19.2.3	イベントリンク設定レジスタ (ELSRn) (n = 0 ~ 9, 12 ~ 18) .....	451
19.3	動作説明 .....	457
19.3.1	割り込み処理とイベントリンクの関係 .....	457
19.3.2	イベントのリンク .....	457
19.3.3	イベントリンクの動作設定手順例 .....	457
19.4	使用上の注意事項 .....	458
19.4.1	DMAC/DTC 転送終了のイベントリンクを使用する場合 .....	458
19.4.2	クロック設定について .....	458
19.4.3	モジュールストップ機能の設定 .....	458
20.	I/O ポート .....	459
20.1	概要 .....	459
20.2	レジスタの説明 .....	461
20.2.1	ポートコントロールレジスタ 1 (PCNTR1) .....	461
20.2.2	ポートコントロールレジスタ 2 (PCNTR2) .....	462
20.2.3	ポートコントロールレジスタ 3 (PCNTR3) .....	463
20.2.4	ポートコントロールレジスタ 4 (PCNTR4) .....	464
20.2.5	ポート mn 端子機能選択レジスタ (PmnPFS) (m = 0 ~ 9; n = 00 ~ 15) .....	465
20.2.6	書き込みプロテクトレジスタ (PWPR) .....	467
20.3	動作説明 .....	468
20.3.1	汎用入出力ポート .....	468
20.3.2	ポート機能選択 .....	468
20.3.3	ELC のポートグループ機能 .....	469
20.4	未使用端子の処理 .....	471
20.5	使用上の注意事項 .....	472
20.5.1	端子機能の設定手順 .....	472
20.5.2	ポートグループ入力の使用手順 .....	472

20.5.3	ポート出力データレジスタ (PODR) の概要 .....	472
20.5.4	アナログ機能を使う場合の注意事項 .....	472
20.5.5	入出力バッファの仕様 .....	473
20.6	製品ごとの周辺選択設定 .....	474
21.	キー割り込み機能 (KINT) .....	486
21.1	概要 .....	486
21.2	レジスタの説明 .....	488
21.2.1	キーリターンコントロールレジスタ (KRCTL) .....	488
21.2.2	キーリターンフラグレジスタ (KRF) .....	488
21.2.3	キーリターンモードレジスタ (KRM) .....	489
21.3	動作説明 .....	490
21.3.1	キー割り込みフラグを使用しない場合 (KRMD = 0) .....	490
21.3.2	キー割り込みフラグを使用する場合 (KRMD = 1) .....	491
21.4	使用上の注意事項 .....	493
22.	GPT 用ポートアウトプットイネーブル (POEG) .....	494
22.1	概要 .....	494
22.2	レジスタの説明 .....	496
22.2.1	POEG グループ n 設定レジスタ (POEGGn) (n = A ~ D) .....	496
22.3	出力禁止制御の動作 .....	498
22.3.1	端子入力レベル検出時の動作 .....	498
22.3.2	GPT からの出力禁止要求 .....	499
22.3.3	コンパレータ割り込みの検出 .....	499
22.3.4	発振停止検出による出力禁止制御 .....	499
22.3.5	レジスタによる出力禁止制御 .....	499
22.3.6	出力禁止状態の解除 .....	500
22.4	割り込み要因 .....	501
22.5	GPT に対する外部トリガ出力 .....	502
22.6	使用上の注意事項 .....	503
22.6.1	ソフトウェアスタンバイモードへの遷移 .....	503
22.6.2	GPT 対応端子の指定 .....	503
23.	汎用 PWM タイマ (GPT) .....	504
23.1	概要 .....	504
23.2	レジスタの説明 .....	509
23.2.1	汎用 PWM タイマ書き込み保護レジスタ (GTWP) .....	510
23.2.2	汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR) .....	510
23.2.3	汎用 PWM タイマソフトウェアストップレジスタ (GTSTP) .....	511
23.2.4	汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR) .....	511
23.2.5	汎用 PWM タイマスタート要因選択レジスタ (GTSSR) .....	512
23.2.6	汎用 PWM タイマストップ要因選択レジスタ (GTPSR) .....	515
23.2.7	汎用 PWM タイマクリア要因選択レジスタ (GTCSR) .....	518
23.2.8	汎用 PWM タイマアップカウント要因選択レジスタ (GTUPSR) .....	521

23.2.9	汎用 PWM タイマダウンカウント要因選択レジスタ (GTDNSR) .....	524
23.2.10	汎用 PWM タイマインプットキャプチャ要因選択レジスタ A (GTICASR) .....	527
23.2.11	汎用 PWM タイマインプットキャプチャ要因選択レジスタ B (GTICBSR) .....	531
23.2.12	汎用 PWM タイマコントロールレジスタ (GTCR) .....	535
23.2.13	汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC) .....	537
23.2.14	汎用 PWM タイマ I/O コントロールレジスタ (GTIOR) .....	539
23.2.15	汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD) .....	543
23.2.16	汎用 PWM タイマステータスレジスタ (GTST) .....	544
23.2.17	汎用 PWM タイマバッファイネーブルレジスタ (GTBER) .....	548
23.2.18	汎用 PWM タイマカウンタ (GTCNT) .....	550
23.2.19	汎用 PWM タイマコンペアキャプチャレジスタ n (GTCCRn) (n = A ~ F) .....	550
23.2.20	汎用 PWM タイマ周期設定レジスタ (GTPR) .....	551
23.2.21	汎用 PWM タイマ周期設定バッファレジスタ (GTPBR) .....	551
23.2.22	汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCR) .....	552
23.2.23	汎用 PWM タイマデッドタイム値レジスタ U (GTDVU) .....	553
23.2.24	出力相切り替えコントロールレジスタ (OPSCR) .....	554
23.3	動作説明 .....	557
23.3.1	基本動作 .....	557
23.3.2	バッファ動作 .....	568
23.3.3	PWM 出力動作モード .....	577
23.3.4	デッドタイム自動設定機能 .....	589
23.3.5	カウント方向切り替え機能 .....	594
23.3.6	出力デューティ 0% および出力デューティ 100% 機能 .....	595
23.3.7	ハードウェアカウンタスタート/カウンタストップ、カウンタクリア動作 .....	597
23.3.8	同期動作 .....	606
23.3.9	PWM 出力動作例 .....	610
23.3.10	位相計数機能 .....	616
23.3.11	出力相切り替え (GPT_OPS) .....	626
23.4	割り込み要因 .....	634
23.4.1	割り込み要因と優先順位 .....	634
23.4.2	DMAC/DTC の起動 .....	638
23.5	ELC によるリンク動作 .....	639
23.5.1	ELC へのイベント信号出力 .....	639
23.5.2	ELC からのイベント信号入力 .....	639
23.6	ノイズフィルタ機能 .....	640
23.7	保護機能 .....	641
23.7.1	レジスタの書き込み保護 .....	641
23.7.2	バッファ動作の禁止 .....	641
23.7.3	GTIOC 端子出力のネゲート制御 .....	642
23.8	出力端子の初期化方法 .....	643
23.8.1	リセット後の端子設定 .....	643

23.8.2	動作中の異常による端子の初期化 .....	643
23.9	使用上の注意事項 .....	644
23.9.1	モジュールストップ機能の設定 .....	644
23.9.2	コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F) .....	644
23.9.3	GTCNT カウンタの範囲設定 .....	645
23.9.4	GTCNT カウンタのスタート/ストップ .....	645
23.9.5	イベントごとの優先順位 .....	646
24.	非同期汎用タイマ (AGT) .....	647
24.1	概要 .....	647
24.2	レジスタの説明 .....	649
24.2.1	AGT カウンタレジスタ (AGT) .....	649
24.2.2	AGT コンペアマッチ A レジスタ (AGTCMA) .....	650
24.2.3	AGT コンペアマッチ B レジスタ (AGTCMB) .....	650
24.2.4	AGT コントロールレジスタ (AGTCR) .....	651
24.2.5	AGT モードレジスタ 1 (AGTMR1) .....	653
24.2.6	AGT モードレジスタ 2 (AGTMR2) .....	654
24.2.7	AGT I/O コントロールレジスタ (AGTIOC) .....	655
24.2.8	AGT イベント端子選択レジスタ (AGTISR) .....	656
24.2.9	AGT コンペアマッチ機能選択レジスタ (AGTCMSR) .....	656
24.2.10	AGT 端子選択レジスタ (AGTIOSEL) .....	657
24.3	動作説明 .....	658
24.3.1	リロードレジスタおよびカウンタの書き換え動作 .....	658
24.3.2	リロードレジスタおよびコンペアレジスタ A/B の書き換え動作 .....	660
24.3.3	タイマモード .....	661
24.3.4	パルス出力モード .....	662
24.3.5	イベントカウンタモード .....	663
24.3.6	パルス幅測定モード .....	665
24.3.7	パルス周期測定モード .....	666
24.3.8	コンペアマッチ機能 .....	667
24.3.9	各モードの出力設定 .....	669
24.3.10	スタンバイモード .....	670
24.3.11	割り込み要因 .....	671
24.3.12	ELC へのイベント信号出力 .....	671
24.4	使用上の注意事項 .....	672
24.4.1	カウント動作の開始および停止制御 .....	672
24.4.2	フラグ (AGTCR レジスタの TEDGF、TUNDF、TCMAF、および TCMBF ビット) へのアクセス .....	672
24.4.3	カウンタレジスタへのアクセス .....	673
24.4.4	モード変更時 .....	673
24.4.5	デジタルフィルタ .....	673
24.4.6	イベント番号、パルス幅、およびパルス周期の計算方法 .....	673

24.4.7	TSTOP ビットで強制的にカウントを停止した場合	673
24.4.8	カウントソースとして AGT0 アンダーフローを選択した場合	674
24.4.9	I/O レジスタのリセット	674
24.4.10	カウントソースとして PCLKB/8 を選択した場合	674
24.4.11	カウントソースとして AGTLCLK または AGTSCLK を選択した場合	674
24.4.12	カウントソースクロック周波数が 32kHz を超える場合の AGT 動作	674
25.	リアルタイムクロック (RTC)	675
25.1	概要	675
25.2	レジスタの説明	677
25.2.1	64Hz カウンタ (R64CNT)	677
25.2.2	秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0)	678
25.2.3	分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)	679
25.2.4	時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)	680
25.2.5	曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)	681
25.2.6	日カウンタ (RDAYCNT)	682
25.2.7	月カウンタ (RMONCNT)	682
25.2.8	年カウンタ (RYRCNT)	683
25.2.9	秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)	684
25.2.10	分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR)	685
25.2.11	時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)	686
25.2.12	曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)	688
25.2.13	日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラームイネーブルレジスタ (BCNT0AER)	689
25.2.14	月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラームイネーブルレジスタ (BCNT1AER)	690
25.2.15	年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラームイネーブルレジスタ (BCNT2AER)	691
25.2.16	年アラームイネーブルレジスタ (RYRAREN) / バイナリカウンタ 3 アラームイネーブルレジスタ (BCNT3AER)	692
25.2.17	RTC コントロールレジスタ 1 (RCR1)	693
25.2.18	RTC コントロールレジスタ 2 (RCR2)	694
25.2.19	RTC コントロールレジスタ 4 (RCR4)	697
25.2.20	周波数レジスタ (RFRH/RFRL)	698
25.2.21	時計誤差補正レジスタ (RADJ)	699
25.2.22	時間キャプチャコントロールレジスタ y (RTCCRy) (y = 0 ~ 2)	700
25.2.23	秒キャプチャレジスタ y (RSECCPy) (y = 0 ~ 2) / BCNT0 キャプチャレジスタ y (BCNT0CPy) (y = 0 ~ 2)	701
25.2.24	分キャプチャレジスタ y (RMINCPy) (y = 0 ~ 2) / BCNT1 キャプチャレジスタ y (BCNT1CPy) (y = 0 ~ 2)	702

25.2.25	時キャプチャレジスタ y (RHRCPy) (y = 0 ~ 2) / BCNT2 キャプチャ レジスタ y (BCNT2CPy) (y = 0 ~ 2) .....	703
25.2.26	日キャプチャレジスタ y (RDAYCPy) (y = 0 ~ 2) / BCNT3 キャプチャ レジスタ y (BCNT3CPy) (y = 0 ~ 2) .....	704
25.2.27	月キャプチャレジスタ y (RMONCPy) (y = 0 ~ 2) .....	705
25.3	動作説明 .....	706
25.3.1	電源投入後のレジスタ初期設定の概要 .....	706
25.3.2	クロックおよびカウントモードの設定手順 .....	707
25.3.3	時刻の設定 .....	708
25.3.4	30 秒調整 .....	709
25.3.5	64Hz カウンタと時刻の読み出し .....	710
25.3.6	アラーム機能 .....	711
25.3.7	アラーム割り込み禁止手順 .....	712
25.3.8	時間誤差補正機能 .....	712
25.4	割り込み要因 .....	716
25.5	イベントリンク出力機能 .....	717
25.5.1	割り込み処理とイベントリンク機能 .....	717
25.6	使用上の注意事項 .....	718
25.6.1	カウント動作時のレジスタ書き込みについて .....	718
25.6.2	周期割り込みの使用について .....	719
25.6.3	RTCOUT (1Hz/64Hz) クロック出力について .....	719
25.6.4	レジスタ設定後の低消費電力モードへの遷移について .....	719
25.6.5	レジスタの書き込み/読み出し時の注意事項 .....	720
25.6.6	カウントモードの変更について .....	720
25.6.7	リアルタイムクロックを使用しない場合の初期化手順 .....	721
26.	ウォッチドッグタイマ (WDT) .....	722
26.1	概要 .....	722
26.2	レジスタの説明 .....	724
26.2.1	WDT リフレッシュレジスタ (WDTRR) .....	724
26.2.2	WDT コントロールレジスタ (WDTCR) .....	725
26.2.3	WDT ステータスレジスタ (WDTSR) .....	728
26.2.4	WDT リセットコントロールレジスタ (WDTRCR) .....	729
26.2.5	WDT カウント停止コントロールレジスタ (WDTCSTPR) .....	729
26.2.6	オプション機能選択レジスタ 0 (OFS0) .....	729
26.3	動作説明 .....	730
26.3.1	スタートモード別のカウント動作 .....	730
26.3.2	WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御 .....	734
26.3.3	リフレッシュ動作 .....	735
26.3.4	リセット出力 .....	736
26.3.5	割り込み要因 .....	736
26.3.6	ダウンカウンタ値の読み出し .....	736
26.3.7	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係 .....	737

26.4	ELCによるリンク動作	737
26.5	使用上の注意事項	737
26.5.1	ICU イベントリンク設定レジスタ n (IELSRn) の設定	737
27.	独立ウォッチドッグタイマ (IWDT)	738
27.1	概要	738
27.2	レジスタの説明	740
27.2.1	IWDT リフレッシュレジスタ (IWDTRR)	740
27.2.2	IWDT ステータスレジスタ (IWDTSR)	741
27.2.3	オプション機能選択レジスタ 0 (OFS0)	742
27.3	動作説明	745
27.3.1	オートスタートモード	745
27.3.2	リフレッシュ動作	747
27.3.3	ステータスフラグ	748
27.3.4	リセット出力	748
27.3.5	割り込み要因	749
27.3.6	ダウンカウンタ値の読み出し	749
27.4	ELCによるリンク動作	749
27.5	使用上の注意事項	750
27.5.1	リフレッシュ動作	750
27.5.2	クロック分周比の設定	750
28.	USB2.0 フルスピードモジュール (USBFS)	751
28.1	概要	751
28.2	レジスタの説明	753
28.2.1	システムコンフィグレーションコントロールレジスタ (SYSCFG)	753
28.2.2	システムコンフィグレーションステータスレジスタ 0 (SYSSTS0)	755
28.2.3	デバイスステートコントロールレジスタ 0 (DVSTCTR0)	756
28.2.4	CFIFO ポートレジスタ (CFIFO/CFIFOL) D0FIFO ポートレジスタ (D0FIFO/D0FIFOL) D1FIFO ポートレジスタ (D1FIFO/D1FIFOL)	759
28.2.5	CFIFO ポート選択レジスタ (CFIFOSEL) D0FIFO ポート選択レジスタ (D0FIFOSEL) D1FIFO ポート選択レジスタ (D1FIFOSEL)	761
28.2.6	CFIFO ポートコントロールレジスタ (CFIFOCTR) D0FIFO ポートコントロールレジスタ (D0FIFOCTR) D1FIFO ポートコントロールレジスタ (D1FIFOCTR)	765
28.2.7	割り込みイネーブルレジスタ 0 (INTENB0)	767
28.2.8	割り込みイネーブルレジスタ 1 (INTENB1)	768
28.2.9	BRDY 割り込みイネーブルレジスタ (BRDYENB)	769
28.2.10	NRDY 割り込みイネーブルレジスタ (NRDYENB)	770
28.2.11	BEMP 割り込みイネーブルレジスタ (BEMPENB)	771
28.2.12	SOF 出力コンフィグレーションレジスタ (SOFCFG)	772
28.2.13	割り込みステータスレジスタ 0 (INTSTS0)	773
28.2.14	割り込みステータスレジスタ 1 (INTSTS1)	776



28.2.15	BRDY 割り込みステータスレジスタ (BRDYSTS) .....	779
28.2.16	NRDY 割り込みステータスレジスタ (NRDYSTS) .....	780
28.2.17	BEMP 割り込みステータスレジスタ (BEMPSTS) .....	781
28.2.18	フレームナンバレジスタ (FRMNUM) .....	782
28.2.19	USB リクエストタイプレジスタ (USBREQ) .....	783
28.2.20	USB リクエストバリュレジスタ (USBVAL) .....	784
28.2.21	USB リクエストインデックスレジスタ (USBINDX) .....	785
28.2.22	USB リクエストレンクスレジスタ (USBLENG) .....	786
28.2.23	DCP コンフィグレーションレジスタ (DCPCFG) .....	787
28.2.24	DCP マックスパケットサイズレジスタ (DCPMAXP) .....	788
28.2.25	DCP コントロールレジスタ (DCPCTR) .....	789
28.2.26	パイプウィンドウ選択レジスタ (PIPESEL) .....	792
28.2.27	パイプコンフィグレーションレジスタ (PIPECFG) .....	793
28.2.28	パイプマックスパケットサイズレジスタ (PIPEMAXP) .....	795
28.2.29	パイプ周期コントロールレジスタ (PIPEPERI) .....	796
28.2.30	パイプ n コントロールレジスタ (PIPECTR) (n = 1 ~ 9) .....	797
28.2.31	パイプ n トランザクションカウンタインエーブルレジスタ (PIPEnTRE) (n = 1 ~ 5) .....	804
28.2.32	パイプ n トランザクションカウンタレジスタ (PIPEnTRN) (n = 1 ~ 5) .....	805
28.2.33	デバイスアドレス n コンフィグレーションレジスタ (DEVADDn) (n = 0 ~ 5) ....	806
28.2.34	USB モジュールコントロールレジスタ (USBMC) .....	807
28.2.35	BC コントロールレジスタ 0 (USBBCCTRL0) .....	808
28.3	動作説明 .....	810
28.3.1	システム制御 .....	810
28.3.2	割り込み .....	819
28.3.3	割り込みの説明 .....	821
28.3.4	パイプコントロール .....	832
28.3.5	FIFO バッファメモリ .....	836
28.3.6	FIFO バッファクリア .....	837
28.3.7	FIFO ポートの機能 .....	837
28.3.8	DMA 転送 (D0FIFO/D1FIFO ポート) .....	839
28.3.9	DCP を使用したコントロール転送 .....	839
28.3.10	バルク転送 (パイプ 1 ~ 5) .....	841
28.3.11	インタラプト転送 (パイプ 6 ~ 9) .....	842
28.3.12	アイソクロナス転送 (パイプ 1 ~ 2) .....	842
28.3.13	SOF 補完機能 .....	850
28.3.14	パイプスケジュール .....	851
28.3.15	バッテリーチャージング検出処理 .....	852
28.4	使用上の注意事項 .....	857
28.4.1	モジュールストップ状態の設定 .....	857
28.4.2	ソフトウェアスタンバイモード終了時の割り込みステータスレジスタのクリア .....	857

28.4.3	ポート機能設定後の割り込みステータスレジスタのクリア .....	857
29.	シリアルコミュニケーションインタフェース (SCI) .....	858
29.1	概要 .....	858
29.2	レジスタの説明 .....	862
29.2.1	レシーブシフトレジスタ (RSR) .....	862
29.2.2	レシーブデータレジスタ (RDR) .....	862
29.2.3	レシーブ9ビットデータレジスタ (RDRHL) .....	862
29.2.4	レシーブFIFOデータレジスタ H, L, HL (FRDRH, FRDRL, FRDRHL) .....	863
29.2.5	送信データレジスタ (TDR) .....	865
29.2.6	送信9ビットデータレジスタ (TDRHL) .....	865
29.2.7	トランスミットFIFOデータレジスタ H, L, HL (FTDRH, FTDRL, FTDRHL) .....	866
29.2.8	トランスミットシフトレジスタ (TSR) .....	867
29.2.9	非スマートカードインタフェースモード用シリアルモードレジスタ (SMR) (SCMR.SMIF = 0) .....	867
29.2.10	スマートカードインタフェースモード用シリアルモードレジスタ (SMR_SMCI) (SCMR.SMIF = 1) .....	869
29.2.11	非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0) .....	871
29.2.12	スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR_SMCI) (SCMR.SMIF = 1) .....	873
29.2.13	非スマートカードインタフェースおよび非FIFOモード用シリアルステータス レジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0) .....	875
29.2.14	非スマートカードインタフェースおよびFIFOモード用シリアルステータス レジスタ (SSR_FIFO) (SCMR.SMIF = 0 および FCR.FM = 1) .....	878
29.2.15	スマートカードインタフェースモード用シリアルステータスレジスタ (SSR_SMCI) (SCMR.SMIF = 1) .....	881
29.2.16	スマートカードモードレジスタ (SCMR) .....	883
29.2.17	ビットレートレジスタ (BRR) .....	885
29.2.18	モジュレーションデューティレジスタ (MDDR) .....	893
29.2.19	シリアル拡張モードレジスタ (SEMR) .....	895
29.2.20	ノイズフィルタ設定レジスタ (SNFR) .....	896
29.2.21	I <sup>2</sup> Cモードレジスタ 1 (SIMR1) .....	897
29.2.22	I <sup>2</sup> Cモードレジスタ 2 (SIMR2) .....	898
29.2.23	I <sup>2</sup> Cモードレジスタ 3 (SIMR3) .....	899
29.2.24	I <sup>2</sup> Cステータスレジスタ (SISR) .....	901
29.2.25	SPIモードレジスタ (SPMR) .....	902
29.2.26	FIFOコントロールレジスタ (FCR) .....	904
29.2.27	FIFOデータ数レジスタ (FDR) .....	905
29.2.28	ラインステータスレジスタ (LSR) .....	906
29.2.29	コンペアマッチデータレジスタ (CDR) .....	907
29.2.30	データコンペアマッチコントロールレジスタ (DCCR) .....	908
29.2.31	シリアルポートレジスタ (SPTR) .....	910
29.3	調歩同期式モードの動作 .....	911

29.3.1	シリアル転送フォーマット .....	912
29.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン .....	914
29.3.3	クロック .....	915
29.3.4	倍速動作とビットレートの6倍の周波数 .....	915
29.3.5	CTS、RTS 機能 .....	916
29.3.6	アドレス一致（受信データ一致）検出機能 .....	917
29.3.7	SCIの初期化（調歩同期式モード） .....	920
29.3.8	シリアルデータの送信（調歩同期式モード） .....	922
29.3.9	シリアルデータの受信（調歩同期式モード） .....	928
29.4	マルチプロセッサ通信機能 .....	935
29.4.1	マルチプロセッサシリアルデータ送信 .....	936
29.4.2	マルチプロセッサシリアルデータ受信 .....	940
29.5	クロック同期式モードの動作 .....	945
29.5.1	クロック .....	945
29.5.2	CTS、RTS 機能 .....	946
29.5.3	SCIの初期化（クロック同期式モード） .....	947
29.5.4	シリアルデータの送信（クロック同期式モード） .....	949
29.5.5	シリアルデータの受信（クロック同期式モード） .....	955
29.5.6	シリアルデータの同時送受信動作（クロック同期式モード） .....	960
29.6	スマートカードインタフェースモードの動作 .....	962
29.6.1	接続例 .....	962
29.6.2	データフォーマット（ブロック転送モード時を除く） .....	962
29.6.3	ブロック転送モード .....	964
29.6.4	受信データのサンプリングタイミングと受信マージン .....	965
29.6.5	SCIの初期化 .....	966
29.6.6	シリアルデータの送信（ブロック転送モード時を除く） .....	967
29.6.7	シリアルデータの受信（ブロック転送モード時を除く） .....	970
29.6.8	クロック出力制御 .....	972
29.7	簡易 I <sup>2</sup> C モードの動作 .....	973
29.7.1	開始条件、再開条件、停止条件の生成 .....	975
29.7.2	クロック同期化 .....	976
29.7.3	SDA 出力遅延 .....	977
29.7.4	SCIの初期化（簡易 I <sup>2</sup> C モード） .....	978
29.7.5	マスタ送信動作（簡易 I <sup>2</sup> C モード） .....	979
29.7.6	マスタ受信動作（簡易 I <sup>2</sup> C モード） .....	981
29.8	簡易 SPI モードの動作 .....	983
29.8.1	マスタモード、スレーブモードと各端子の状態 .....	984
29.8.2	マスタモード時の SS 機能 .....	984
29.8.3	スレーブモード時の SS 機能 .....	984
29.8.4	クロックと送受信データの関係 .....	985
29.8.5	SCIの初期化（簡易 SPI モード） .....	985

29.8.6	シリアルデータの送受信（簡易 SPI モード）	985
29.9	ビットレートモジュレーション機能	986
29.10	割り込み要因	987
29.10.1	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時）	987
29.10.2	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（FIFO 選択時）	987
29.10.3	調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける 割り込み	987
29.10.4	スマートカードインタフェースモードにおける割り込み	989
29.10.5	簡易 I <sup>2</sup> C モードにおける割り込み	990
29.11	イベントリンク機能	991
29.12	ノイズ除去機能	993
29.13	使用上の注意事項	994
29.13.1	モジュールストップ機能の設定	994
29.13.2	低消費電力状態での SCI 動作	994
29.13.3	ブレークの検出と処理について	999
29.13.4	マーク状態とブレークの送付	999
29.13.5	受信エラーフラグと送信動作（クロック同期式モードおよび簡易 SPI モード）	999
29.13.6	クロック同期式送信に関する制約事項（クロック同期式モードおよび 簡易 SPI モード）	1000
29.13.7	DMAC または DTC 使用時の制約事項	1001
29.13.8	通信の開始に関する注意事項	1001
29.13.9	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	1001
29.13.10	簡易 SPI モードに関する制約事項	1002
30.	IrDA インタフェース	1003
30.1	概要	1003
30.2	レジスタの説明	1004
30.2.1	IrDA コントロールレジスタ（IRCR）	1004
30.3	動作説明	1005
30.3.1	IrDA インタフェースの設定手順	1005
30.3.2	送信	1005
30.3.3	受信	1005
30.4	使用上の注意事項	1006
30.4.1	モジュールストップ機能の設定	1006
30.4.2	調歩同期式モードにおける SCI1 の基準クロック	1006
31.	I <sup>2</sup> C バスインタフェース（IIC）	1007
31.1	概要	1007
31.2	レジスタの説明	1010
31.2.1	I <sup>2</sup> C バスコントロールレジスタ 1（ICCR1）	1010
31.2.2	I <sup>2</sup> C バスコントロールレジスタ 2（ICCR2）	1012
31.2.3	I <sup>2</sup> C バスモードレジスタ 1（ICMR1）	1016
31.2.4	I <sup>2</sup> C バスモードレジスタ 2（ICMR2）	1017
31.2.5	I <sup>2</sup> C バスモードレジスタ 3（ICMR3）	1019

31.2.6	I <sup>2</sup> C バスファンクションイネーブルレジスタ (ICFER)	1021
31.2.7	I <sup>2</sup> C バスステータスイネーブルレジスタ (ICSER)	1023
31.2.8	I <sup>2</sup> C バス割り込みイネーブルレジスタ (ICIER)	1025
31.2.9	I <sup>2</sup> C バスステータスレジスタ 1 (ICSR1)	1026
31.2.10	I <sup>2</sup> C バスステータスレジスタ 2 (ICSR2)	1029
31.2.11	I <sup>2</sup> C バスウェイクアップユニットレジスタ (ICWUR)	1033
31.2.12	Reserved (ICWUR2)	1034
31.2.13	スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)	1034
31.2.14	スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)	1035
31.2.15	I <sup>2</sup> C バスビットレート Low レジスタ (ICBRL)	1036
31.2.16	I <sup>2</sup> C バスビットレート High レジスタ (ICBRH)	1037
31.2.17	I <sup>2</sup> C バス送信データレジスタ (ICDRT)	1038
31.2.18	I <sup>2</sup> C バスレシーブデータレジスタ (ICDRR)	1038
31.2.19	I <sup>2</sup> C バスシフトレジスタ (ICDRS)	1039
31.3	動作説明	1040
31.3.1	通信データフォーマット	1040
31.3.2	初期設定	1041
31.3.3	マスタ送信動作	1042
31.3.4	マスタ受信動作	1046
31.3.5	スレーブ送信動作	1051
31.3.6	スレーブ受信動作	1054
31.4	SCL 同期回路	1056
31.5	SDA 出力遅延機能	1057
31.6	デジタルノイズフィルタ回路	1058
31.7	アドレス一致検出機能	1059
31.7.1	スレーブアドレス一致検出機能	1059
31.7.2	ジェネラルコールアドレス検出機能	1061
31.7.3	デバイス ID アドレス検出機能	1061
31.7.4	ホストアドレス検出機能	1063
31.8	ウェイクアップ機能	1064
31.8.1	ノーマルウェイクアップモード 1	1065
31.8.2	ノーマルウェイクアップモード 2	1069
31.8.3	コマンドリカバリモード / EEP 応答モード (特殊ウェイクアップモード)	1072
31.8.4	WFI 命令の実行に関する注意事項	1076
31.9	SCL の自動 Low ホールド機能	1077
31.9.1	送信データの誤送信防止機能	1077
31.9.2	NACK 受信転送中断機能	1078
31.9.3	受信データ取りこぼし防止機能	1079
31.10	アービトレーションロスト検出機能	1081
31.10.1	マスタアービトレーションロスト検出機能 (MALE ビット)	1081
31.10.2	NACK 送信中のアービトレーションロスト検出機能 (NALE ビット)	1083

31.10.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	1084
31.11	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能	1085
31.11.1	スタートコンディション発行動作	1085
31.11.2	リスタートコンディション発行動作	1085
31.11.3	ストップコンディション発行動作	1088
31.12	バスハングアップ	1089
31.12.1	タイムアウト検出機能	1089
31.12.2	SCL クロック追加出力機能	1091
31.12.3	IIC リセット、内部リセット	1092
31.13	SMBus 動作	1093
31.13.1	SMBus タイムアウト測定	1093
31.13.2	パケットエラーコード (PEC)	1094
31.13.3	SMBus ホスト通知プロトコル (Notify ARP Master コマンド)	1094
31.14	割り込み要因	1095
31.14.1	IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作	1095
31.15	各コンディション発行時のリセット、レジスタ、機能の状態	1096
31.16	イベントリンク出力機能	1097
31.16.1	割り込み処理とイベントリンク機能	1097
31.17	使用上の注意事項	1097
31.17.1	モジュールストップ機能の設定	1097
31.17.2	転送開始に関する注意事項	1097
32.	CAN (Controller Area Network) モジュール	1098
32.1	概要	1098
32.2	レジスタの説明	1101
32.2.1	コントロールレジスタ (CTRL)	1101
32.2.2	ビットコンフィグレーションレジスタ (BCR)	1105
32.2.3	マスクレジスタ k (MKRk) (k = 0 ~ 7)	1107
32.2.4	FIFO 受信 ID 比較レジスタ 0、1 (FIDCR0、FIDCR1)	1108
32.2.5	マスク無効レジスタ (MKIVLR)	1109
32.2.6	メールボックスレジスタ j (MBj_ID、MBj_DL、MBj_Dm、MBj_TS) (j = 0 ~ 31; m = 0 ~ 7)	1110
32.2.7	メールボックス割り込みイネーブルレジスタ (MIER)	1114
32.2.8	FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ (MIER_FIFO)	1115
32.2.9	送信用メッセージコントロールレジスタ (MCTL_TXj) (j = 0 ~ 31)	1116
32.2.10	受信用メッセージコントロールレジスタ (MCTL_RXj) (j = 0 ~ 31)	1119
32.2.11	受信 FIFO コントロールレジスタ (RFCCR)	1121
32.2.12	受信 FIFO ポインタコントロールレジスタ (RFPCR)	1123
32.2.13	送信 FIFO コントロールレジスタ (TFCCR)	1124
32.2.14	送信 FIFO ポインタコントロールレジスタ (TFPCR)	1125
32.2.15	ステータスレジスタ (STR)	1126

32.2.16	メールボックスサーチモードレジスタ (MSMR) .....	1128
32.2.17	メールボックスサーチステータスレジスタ (MSSR) .....	1129
32.2.18	チャンネルサーチサポートレジスタ (CSSR) .....	1130
32.2.19	アクセプタンスフィルタサポートレジスタ (AFSR) .....	1131
32.2.20	エラー割り込みイネーブルレジスタ (EIER) .....	1132
32.2.21	エラー割り込み要因判定レジスタ (EIFR) .....	1134
32.2.22	受信エラーカウントレジスタ (RECR) .....	1136
32.2.23	送信エラーカウントレジスタ (TECR) .....	1136
32.2.24	エラーコード格納レジスタ (ECSR) .....	1137
32.2.25	タイムスタンプレジスタ (TSR) .....	1138
32.2.26	テストコントロールレジスタ (TCR) .....	1139
32.3	動作モード .....	1141
32.3.1	CAN リセットモード .....	1142
32.3.2	CAN halt モード .....	1143
32.3.3	CAN スリープモード .....	1144
32.3.4	CAN オペレーションモード (バスオフ状態以外) .....	1144
32.3.5	CAN オペレーションモード (バスオフ状態) .....	1145
32.4	データ転送レートの設定 .....	1146
32.4.1	クロックの設定 .....	1146
32.4.2	ビットタイムの設定 .....	1146
32.4.3	データ転送レート .....	1147
32.5	メールボックスとマスクレジスタの構成 .....	1148
32.6	アクセプタンスフィルタ機能とマスク機能 .....	1150
32.7	受信/送信 .....	1153
32.7.1	受信 .....	1154
32.7.2	送信 .....	1156
32.8	割り込み .....	1157
32.9	使用上の注意事項 .....	1158
32.9.1	モジュールストップ状態の設定 .....	1158
32.9.2	動作クロックの設定 .....	1158
33.	シリアルペリフェラルインタフェース (SPI) .....	1159
33.1	概要 .....	1159
33.2	レジスタの説明 .....	1163
33.2.1	SPI コントロールレジスタ (SPCR) .....	1163
33.2.2	SPI スレーブ選択極性レジスタ (SSLP) .....	1164
33.2.3	SPI 端子コントロールレジスタ (SPPCR) .....	1165
33.2.4	SPI ステータスレジスタ (SPSR) .....	1166
33.2.5	SPI データレジスタ (SPDR/SPDR_HA) .....	1169
33.2.6	SPI シーケンスコントロールレジスタ (SPSCR) .....	1172
33.2.7	SPI シーケンスステータスレジスタ (SPSSR) .....	1173
33.2.8	SPI ビットレートレジスタ (SPBR) .....	1174

33.2.9	SPI データコントロールレジスタ (SPDCR) .....	1175
33.2.10	SPI クロック遅延レジスタ (SPCKD) .....	1177
33.2.11	SPI スレーブ選択ネゲート遅延レジスタ (SSLND) .....	1178
33.2.12	SPI 次アクセス遅延レジスタ (SPND) .....	1179
33.2.13	SPI コントロールレジスタ 2 (SPCR2) .....	1180
33.2.14	SPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7) .....	1181
33.3	動作説明 .....	1184
33.3.1	SPI 動作の概要 .....	1184
33.3.2	SPI 端子の制御 .....	1185
33.3.3	SPI システム構成例 .....	1186
33.3.4	データフォーマット .....	1192
33.3.5	転送フォーマット .....	1201
33.3.6	データ転送モード .....	1203
33.3.7	送信バッファエンプティ/受信バッファフル割り込み .....	1205
33.3.8	エラー検出 .....	1207
33.3.9	SPI の初期化 .....	1212
33.3.10	SPI 動作 .....	1213
33.3.11	クロック同期式動作 .....	1226
33.3.12	ループバックモード .....	1232
33.3.13	パリティビット機能の自己診断 .....	1233
33.3.14	割り込み要因 .....	1234
33.4	イベントリンク動作 .....	1235
33.4.1	受信バッファフルイベント出力 .....	1235
33.4.2	送信バッファエンプティイベント出力 .....	1235
33.4.3	モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力 ...	1235
33.4.4	SPI アイドルイベント出力 .....	1236
33.4.5	送信完了イベント出力 .....	1236
33.5	使用上の注意事項 .....	1237
33.5.1	モジュールストップ状態の設定 .....	1237
33.5.2	低消費電力機能に関する制約 .....	1237
33.5.3	転送の開始に関する制約 .....	1237
33.5.4	モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント 出力に関する制約 .....	1237
33.5.5	SPRF および SPTEF フラグに関する制約 .....	1237
34.	クワッドシリアルペリフェラルインタフェース (QSPI) .....	1238
34.1	概要 .....	1238
34.2	レジスタの説明 .....	1240
34.2.1	転送モードコントロールレジスタ (SFMSMD) .....	1240
34.2.2	チップ選択コントロールレジスタ (SFMSSC) .....	1241
34.2.3	クロックコントロールレジスタ (SFMSKC) .....	1242
34.2.4	ステータスレジスタ (SFMSST) .....	1243



34.2.5	通信ポートレジスタ (SFMCOM) .....	1244
34.2.6	通信モードコントロールレジスタ (SFMCMD) .....	1244
34.2.7	通信ステータスレジスタ (SFMCSST) .....	1245
34.2.8	命令コードレジスタ (SFMSIC) .....	1245
34.2.9	アドレスモードコントロールレジスタ (SFMSAC) .....	1246
34.2.10	ダミーサイクルコントロールレジスタ (SFMSDC) .....	1247
34.2.11	SPI プロトコルコントロールレジスタ (SFMSPC) .....	1248
34.2.12	ポートコントロールレジスタ (SFMPMD) .....	1248
34.2.13	外部 QSPI アドレスレジスタ (SFMCNT1) .....	1249
34.3	メモリマップ .....	1250
34.3.1	内部バス空間 .....	1250
34.3.2	SPI 空間と SPI バスのアドレス幅 .....	1251
34.4	SPI バス .....	1252
34.4.1	SPI プロトコル .....	1252
34.4.2	SPI モード .....	1254
34.5	SPI バスタイミング補正 .....	1255
34.5.1	SPI バス基準周期 .....	1255
34.5.2	QSPCLK 信号デューティ比 .....	1256
34.5.3	QSSL 信号の最小 High レベル幅 .....	1256
34.5.4	QSSL 信号セットアップ時間 .....	1257
34.5.5	QSSL 信号ホールド時間 .....	1257
34.5.6	シリアルデータ出力許可のホールド時間 .....	1258
34.5.7	シリアルデータ出力のセットアップ時間 .....	1258
34.5.8	シリアルデータ出力のホールド時間 .....	1259
34.5.9	シリアルデータ受信レイテンシ .....	1259
34.6	フラッシュアクセスに使用される SPI 命令セット .....	1260
34.6.1	自動生成される SPI 命令の種類 .....	1260
34.6.2	標準リード命令 .....	1262
34.6.3	ファストリード命令 .....	1263
34.6.4	ファストリード Dual 出力命令 .....	1264
34.6.5	ファストリード Dual I/O 命令 .....	1265
34.6.6	ファストリード Quad 出力命令 .....	1266
34.6.7	ファストリード Quad I/O 命令 .....	1267
34.6.8	4 バイトモード遷移命令 .....	1268
34.6.9	4 バイトモード解除命令 .....	1268
34.6.10	ライトイネーブル命令 .....	1269
34.7	SPI バスサイクル配置 .....	1270
34.7.1	個々の変換に基づくフラッシュリード .....	1270
34.7.2	プリフェッチ機能を使用したフラッシュリード .....	1270
34.7.3	プリフェッチの停止 .....	1271
34.7.4	プリフェッチ先の直接指定 .....	1271

34.7.5	プリフェッチ状態ポーリング .....	1272
34.7.6	SPI バスサイクル拡張機能を使用したフラッシュリード .....	1273
34.8	XIP 制御 .....	1274
34.8.1	XIP モードの設定 .....	1274
34.8.2	XIP モードの解除 .....	1275
34.9	QIO2 端子、QIO3 端子の状態 .....	1275
34.10	直接通信モード .....	1276
34.10.1	直接通信 .....	1276
34.10.2	直接通信モード .....	1276
34.10.3	直接通信での SPI バスサイクル発生 .....	1276
34.11	動作説明 .....	1278
34.11.1	複数のコントロールレジスタの設定変更手順 .....	1278
34.12	割り込み .....	1279
34.13	使用上の注意事項 .....	1279
34.13.1	モジュールストップ状態の設定 .....	1279
35.	巡回冗長検査 (CRC) 演算器 .....	1280
35.1	概要 .....	1280
35.2	レジスタの説明 .....	1281
35.2.1	CRC コントロールレジスタ 0 (CRCCR0) .....	1281
35.2.2	CRC コントロールレジスタ 1 (CRCCR1) .....	1282
35.2.3	CRC データ入力レジスタ (CRCDIR/CRCDIR_BY) .....	1282
35.2.4	CRC データ出力レジスタ (CRCDOR/CRCDOR_HA/CRCDOR_BY) .....	1283
35.2.5	スヌープアドレスレジスタ (CRCSAR) .....	1284
35.3	動作説明 .....	1285
35.3.1	基本動作 .....	1285
35.3.2	CRC スヌープ .....	1289
35.4	使用上の注意事項 .....	1290
35.4.1	モジュールストップ状態の設定 .....	1290
35.4.2	送信時の注意事項 .....	1290
36.	シリアルサウンドインタフェース (SSI) .....	1291
36.1	概要 .....	1291
36.2	レジスタの説明 .....	1294
36.2.1	コントロールレジスタ (SSICR) .....	1294
36.2.2	ステータスレジスタ (SSISR) .....	1298
36.2.3	FIFO コントロールレジスタ (SSIFCR) .....	1300
36.2.4	FIFO ステータスレジスタ (SSIFSR) .....	1302
36.2.5	送信 FIFO データレジスタ (SSIFTDR) .....	1304
36.2.6	受信 FIFO データレジスタ (SSIFRDR) .....	1304
36.2.7	TDM モードレジスタ (SSITDMR) .....	1305
36.3	動作説明 .....	1306
36.3.1	バスフォーマット .....	1306

36.3.2	非圧縮モード .....	1306
36.3.3	WS コンティニューモード .....	1312
36.3.4	動作状態 .....	1313
36.3.5	送信動作 .....	1314
36.3.6	受信動作 .....	1317
36.3.7	シリアルビットクロック制御 .....	1318
36.4	割り込み要因 .....	1319
36.5	使用上の注意事項 .....	1319
36.5.1	モジュールストップ状態の設定 .....	1319
36.5.2	転送モードを切り替える場合の注意事項 .....	1319
36.5.3	WS コンティニューモードの制約 .....	1319
37.	SD/MMC ホストインタフェース (SDHI) .....	1320
37.1	概要 .....	1320
37.2	レジスタの説明 .....	1322
37.2.1	コマンドタイプレジスタ (SD_CMD) .....	1322
37.2.2	SD コマンドアークギュメントレジスタ (SD_ARG) .....	1324
37.2.3	SD コマンドアークギュメントレジスタ 1 (SD_ARG1) .....	1325
37.2.4	データストップレジスタ (SD_STOP) .....	1326
37.2.5	ブロックカウントレジスタ (SD_SECCNT) .....	1327
37.2.6	SD カードレスポンスレジスタ 10 (SD_RSP10)、 SD カードレスポンスレジスタ 32 (SD_RSP32)、 SD カードレスポンスレジスタ 54 (SD_RSP54) .....	1327
37.2.7	SD カードレスポンスレジスタ 1 (SD_RSP1)、 SD カードレスポンスレジスタ 3 (SD_RSP3)、 SD カードレスポンスレジスタ 5 (SD_RSP5) .....	1328
37.2.8	SD カードレスポンスレジスタ 76 (SD_RSP76) .....	1328
37.2.9	SD カードレスポンスレジスタ 7 (SD_RSP7) .....	1329
37.2.10	SD カード割り込みフラグレジスタ 1 (SD_INFO1) .....	1330
37.2.11	SD カード割り込みフラグレジスタ 2 (SD_INFO2) .....	1332
37.2.12	SD INFO1 割り込みマスクレジスタ (SD_INFO1_MASK) .....	1336
37.2.13	SD INFO2 割り込みマスクレジスタ (SD_INFO2_MASK) .....	1337
37.2.14	SD クロックコントロールレジスタ (SD_CLK_CTRL) .....	1338
37.2.15	転送データ長レジスタ (SD_SIZE) .....	1339
37.2.16	SD カードアクセスコントロールオプションレジスタ (SD_OPTION) .....	1340
37.2.17	SD エラーステータスレジスタ 1 (SD_ERR_STS1) .....	1341
37.2.18	SD エラーステータスレジスタ 2 (SD_ERR_STS2) .....	1342
37.2.19	SD バッファレジスタ (SD_BUF0) .....	1343
37.2.20	SDIO モードコントロールレジスタ (SDIO_MODE) .....	1343
37.2.21	SDIO 割り込みフラグレジスタ (SDIO_INFO1) .....	1345
37.2.22	SDIO INFO1 割り込みマスクレジスタ (SDIO_INFO1_MASK) .....	1346
37.2.23	DMA モードイネーブルレジスタ (SD_DMAEN) .....	1347
37.2.24	ソフトウェアリセットレジスタ (SOFT_RST) .....	1348

37.2.25	SD インタフェースモード設定レジスタ (SDIF_MODE) .....	1349
37.2.26	スワップコントロールレジスタ (EXT_SWAP) .....	1350
37.3	動作説明 .....	1351
37.3.1	SD/MMC I/F .....	1351
37.3.2	カード検出／ライトプロテクト .....	1353
37.3.3	割り込み要求と DMA 転送要求 .....	1354
37.3.4	通信エラーとタイムアウト .....	1356
37.3.5	データ転送を行わないコマンド [SD/MMC] .....	1358
37.3.6	シングルブロックリード [SD/MMC] .....	1360
37.3.7	シングルブロックライト [SD/MMC] .....	1362
37.3.8	マルチブロックリード [SD/MMC] .....	1364
37.3.9	マルチブロックライト (内蔵タイマによる SD/MMC) .....	1366
37.3.10	マルチブロックライト (外付けタイマによる MMC) .....	1368
37.3.11	IO_RW_DIRECT コマンド (SD : CMD52) .....	1370
37.3.12	IO_RW_EXTENDED コマンド (SD : CMD53 / マルチブロックリード) .....	1371
37.3.13	IO_RW_EXTENDED コマンド (SD : CMD53 / マルチブロックライト) .....	1373
37.3.14	DMA 転送 [SD/MMC] .....	1375
37.3.15	SD_CMD レジスタへの設定例 .....	1377
37.4	使用上の注意事項 .....	1380
37.4.1	SD_BUF 不正書き込み [SD/MMC] .....	1380
37.4.2	マルチブロックリードのブロック数制限 [SD] .....	1380
37.4.3	SD/MMC クロック出力の自動制御 [SD/MMC] .....	1381
37.4.4	マルチブロックライトの C52PUB 設定の制御 [SD] .....	1381
37.4.5	SD_CLK_CTRL レジスタ設定時の注意 [SD/MMC] .....	1381
37.4.6	仕様の制限 .....	1381
37.4.7	マルチブロックリード時の STP ビット設定 [SD/MMC] .....	1382
37.4.8	レジスタ設定時の注意 .....	1382
38.	バウンダリスキャン .....	1383
38.1	概要 .....	1383
38.2	レジスタの説明 .....	1384
38.2.1	インストラクションレジスタ (JTIR) .....	1385
38.2.2	ID コードレジスタ (JTIDR) .....	1385
38.2.3	バイパスレジスタ (JTBPR) .....	1386
38.2.4	バウンダリスキャンレジスタ (JTBSR) .....	1386
38.3	動作説明 .....	1387
38.3.1	TAP コントローラ .....	1387
38.3.2	コマンド一覧 .....	1388
38.4	使用上の注意事項 .....	1389
39.	14 ビット A/D コンバータ (ADC14) .....	1390
39.1	概要 .....	1390
39.2	レジスタの説明 .....	1394

39.2.1	A/D データレジスタ y (ADDRy)、 A/D データ 2 重化レジスタ (ADDBLDR)、 A/D データ 2 重化レジスタ A (ADDBLDRA)、 A/D データ 2 重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR) .....	1394
39.2.2	A/D 自己診断データレジスタ (ADRD) .....	1398
39.2.3	A/D コントロールレジスタ (ADCSR) .....	1400
39.2.4	A/D チャネル選択レジスタ A0 (ADANSA0) .....	1404
39.2.5	A/D チャネル選択レジスタ A1 (ADANSA1) .....	1405
39.2.6	A/D チャネル選択レジスタ B0 (ADANSB0) .....	1405
39.2.7	A/D チャネル選択レジスタ B1 (ADANSB1) .....	1406
39.2.8	A/D 変換値加算/平均チャネル選択レジスタ 0 (ADADS0) .....	1406
39.2.9	A/D 変換値加算/平均チャネル選択レジスタ 1 (ADADS1) .....	1407
39.2.10	A/D 変換値加算/平均回数選択レジスタ (ADADC) .....	1408
39.2.11	A/D コントロール拡張レジスタ (ADCER) .....	1409
39.2.12	A/D 変換開始トリガ選択レジスタ (ADSTRGR) .....	1411
39.2.13	A/D 変換拡張入力コントロールレジスタ (ADEXICR) .....	1413
39.2.14	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 00 ~ 15, L, T, O) .....	1414
39.2.15	A/D 断線検出コントロールレジスタ (ADDISCR) .....	1415
39.2.16	A/D グループスキャン優先コントロールレジスタ (ADGSPCR) .....	1416
39.2.17	A/D コンペア機能コントロールレジスタ (ADCMPCR) .....	1417
39.2.18	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 (ADCMPANSR0) .....	1418
39.2.19	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1 (ADCMPANSR1) .....	1419
39.2.20	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER) .....	1419
39.2.21	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0) .....	1420
39.2.22	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1) .....	1422
39.2.23	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER) ..	1423
39.2.24	A/D コンペア機能ウィンドウ A 下側レベル設定レジスタ (ADCMPDR0)、 A/D コンペア機能ウィンドウ A 上側レベル設定レジスタ (ADCMPDR1)、 A/D コンペア機能ウィンドウ B 下側レベル設定レジスタ (ADWINLLB)、 A/D コンペア機能ウィンドウ B 上側レベル設定レジスタ (ADWINULB) .....	1424
39.2.25	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSR0) ...	1425
39.2.26	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1 (ADCMPSR1) ...	1426
39.2.27	A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER) .....	1427
39.2.28	A/D コンペア機能ウィンドウ B チャネルステータスレジスタ (ADCMPBNSR) ...	1428
39.2.29	A/D コンペア機能ウィンドウ B ステータスレジスタ (ADCMPBSR) .....	1430
39.2.30	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON) .....	1431
39.2.31	A/D 高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT) .....	1432
39.3	動作説明 .....	1433
39.3.1	スキヤンの動作説明 .....	1433
39.3.2	シングルスキヤンモード .....	1434
39.3.3	連続スキヤンモード .....	1439

39.3.4	グループスキャンモード .....	1441
39.3.5	コンペア機能（ウィンドウ A、ウィンドウ B） .....	1453
39.3.6	アナログ入力のサンプリング時間とスキャン変換時間 .....	1457
39.3.7	A/D データレジスタの自動クリア機能の使用例 .....	1460
39.3.8	A/D 変換値加算／平均モード .....	1460
39.3.9	断線検出アシスト機能 .....	1461
39.3.10	非同期トリガによる A/D 変換の開始 .....	1462
39.3.11	周辺モジュールからの同期トリガによる A/D 変換の開始 .....	1463
39.4	割り込み要因と DTC/DMAC 転送要求 .....	1464
39.4.1	割り込み要求 .....	1464
39.5	イベントリンク機能 .....	1465
39.5.1	ELC へのイベント出力 .....	1465
39.5.2	ELC からのイベントによる 14 ビット ADC の動作 .....	1465
39.6	基準電圧の選択 .....	1465
39.7	高電位基準電圧に内部基準電圧を選択する A/D 変換手順 .....	1466
39.8	使用上の注意事項 .....	1467
39.8.1	データレジスタの読み出し注意事項 .....	1467
39.8.2	A/D 変換停止時の注意事項 .....	1468
39.8.3	A/D 変換強制停止と開始時の動作タイミング .....	1469
39.8.4	スキャン終了割り込み処理の注意事項 .....	1469
39.8.5	モジュールストップ機能の設定 .....	1469
39.8.6	低消費電力状態への遷移時の注意 .....	1469
39.8.7	断線検出アシスト機能使用時の絶対精度誤差 .....	1469
39.8.8	ADHSC ビット書き換え手順 .....	1470
39.8.9	動作モードおよびステータスビットについての注意事項 .....	1470
39.8.10	ノイズ対策についての注意事項 .....	1471
39.8.11	外部バス使用時の注意事項 .....	1471
39.8.12	14 ビット A/D コンバータ入力を使用する場合のポートの設定 .....	1471
39.8.13	A/D コンバータ、OPAMP、ACMPHS、ACMPLP の関係 .....	1472
39.8.14	ソフトウェアスタンバイモードの解除についての注意事項 .....	1472
40.	12 ビット D/A コンバータ（DAC12） .....	1473
40.1	概要 .....	1473
40.2	レジスタの説明 .....	1475
40.2.1	D/A データレジスタ m（DADRm）（m = 0, 1） .....	1475
40.2.2	D/A コントロールレジスタ（DACR） .....	1475
40.2.3	DADR0 フォーマット選択レジスタ（DADPR） .....	1476
40.2.4	D/A A/D 同期スタートコントロールレジスタ（DAADSCR） .....	1476
40.2.5	D/A VREF コントロールレジスタ（DAVREFCR） .....	1477
40.3	動作説明 .....	1478
40.3.1	D/A 変換と A/D 変換の干渉の最小化 .....	1479
40.3.2	内部基準電圧を基準電圧として使用する時の注意事項 .....	1481

40.4	イベントリンクの動作設定手順 .....	1482
40.4.1	DA0 イベントリンクの動作設定手順 .....	1482
40.4.2	DA1 イベントリンクの動作設定手順 .....	1482
40.5	イベントリンク動作における注意事項 .....	1482
40.6	使用上の注意事項 .....	1483
40.6.1	モジュールストップ機能の設定 .....	1483
40.6.2	モジュールストップ状態での DAC12 の動作 .....	1483
40.6.3	ソフトウェアスタンバイモード時の DAC12 の動作 .....	1483
40.6.4	D/A 変換と A/D 変換の干渉低減有効時の注意事項 .....	1483
41.	温度センサ (TSN) .....	1484
41.1	概要 .....	1484
41.2	レジスタの説明 .....	1485
41.2.1	温度センサ較正データレジスタ H (TSCDRH) .....	1485
41.2.2	温度センサ較正データレジスタ L (TSCDRL) .....	1485
41.3	温度センサの使用手法 .....	1486
41.3.1	使用前の準備 .....	1486
41.3.2	温度センサの使用手順 .....	1487
42.	オペアンプ (OPAMP) .....	1488
42.1	概要 .....	1488
42.2	レジスタの説明 .....	1489
42.2.1	オペアンプモードコントロールレジスタ (AMPMC) .....	1489
42.2.2	オペアンプトリガモードコントロールレジスタ (AMPTRM) .....	1490
42.2.3	オペアンプ起動トリガ選択レジスタ (AMPTRS) .....	1490
42.2.4	オペアンプコントロールレジスタ (AMPC) .....	1491
42.2.5	オペアンプモニタレジスタ (AMPMON) .....	1491
42.3	動作説明 .....	1492
42.3.1	状態遷移 .....	1492
42.3.2	オペアンプ制御動作 .....	1493
42.4	ソフトウェアトリガモード .....	1497
42.5	起動トリガモード .....	1498
42.6	起動および A/D トリガモード .....	1499
42.7	使用上の注意事項 .....	1499
43.	高速アナログコンパレータ (ACMPHS) .....	1500
43.1	概要 .....	1500
43.2	レジスタの説明 .....	1503
43.2.1	コンパレータコントロールレジスタ (CMPCTL) .....	1503
43.2.2	コンパレータ入力選択レジスタ (CMPSEL0) .....	1504
43.2.3	コンパレータ基準電圧選択レジスタ (CMPSEL1) .....	1505
43.2.4	コンパレータ出力モニタレジスタ (CMPMON) .....	1505
43.2.5	コンパレータ出力コントロールレジスタ (CPIOC) .....	1506
43.3	動作説明 .....	1507

43.4	ノイズフィルタ .....	1509
43.5	ACMPHS 割り込み .....	1510
43.6	イベントリンクコントローラ (ELC) への ACMPHS 出力 .....	1510
43.7	ACMPHS 端子出力 .....	1510
43.8	使用上の注意事項 .....	1510
43.8.1	モジュールストップ機能の設定 .....	1510
43.8.2	14 ビット A/D コンバータとの関係 .....	1510
44.	低消費電力アナログコンパレータ (ACMPLP) .....	1511
44.1	概要 .....	1511
44.2	レジスタの説明 .....	1514
44.2.1	ACMPLP モード設定レジスタ (COMPMDR) .....	1514
44.2.2	ACMPLP フィルタコントロールレジスタ (COMPFIR) .....	1515
44.2.3	ACMPLP 出力コントロールレジスタ (COMPOCR) .....	1516
44.3	動作説明 .....	1517
44.4	ノイズフィルタ .....	1520
44.5	ACMPLP 割り込み .....	1521
44.6	ELC イベント出力 .....	1521
44.7	割り込み処理と ELC リンクの関係 .....	1521
44.8	コンパレータ端子出力 .....	1521
44.9	使用上の注意事項 .....	1521
44.9.1	モジュールストップ機能の設定 .....	1521
44.9.2	A/D コンバータとの関係 .....	1521
45.	静電容量式タッチセンシングユニット (CTSUS) .....	1522
45.1	概要 .....	1522
45.2	レジスタの説明 .....	1524
45.2.1	CTSUS コントロールレジスタ 0 (CTSUCR0) .....	1524
45.2.2	CTSUS コントロールレジスタ 1 (CTSUCR1) .....	1526
45.2.3	CTSUS 同期ノイズ低減設定レジスタ (CTSUSDPRS) .....	1527
45.2.4	CTSUS センサ安定待ち時間コントロールレジスタ (CTSUSST) .....	1528
45.2.5	CTSUS 計測チャンネルレジスタ 0 (CTSUSMCH0) .....	1529
45.2.6	CTSUS 計測チャンネルレジスタ 1 (CTSUSMCH1) .....	1531
45.2.7	CTSUS チャンネルイネーブルコントロールレジスタ 0 (CTSUSCHAC0) .....	1532
45.2.8	CTSUS チャンネルイネーブルコントロールレジスタ 1 (CTSUSCHAC1) .....	1532
45.2.9	CTSUS チャンネルイネーブルコントロールレジスタ 2 (CTSUSCHAC2) .....	1533
45.2.10	CTSUS チャンネルイネーブルコントロールレジスタ 3 (CTSUSCHAC3) .....	1533
45.2.11	CTSUS チャンネルイネーブルコントロールレジスタ 4 (CTSUSCHAC4) .....	1534
45.2.12	CTSUS チャンネル送受信コントロールレジスタ 0 (CTSUSCHTRC0) .....	1534
45.2.13	CTSUS チャンネル送受信コントロールレジスタ 1 (CTSUSCHTRC1) .....	1535
45.2.14	CTSUS チャンネル送受信コントロールレジスタ 2 (CTSUSCHTRC2) .....	1535
45.2.15	CTSUS チャンネル送受信コントロールレジスタ 3 (CTSUSCHTRC3) .....	1536
45.2.16	CTSUS チャンネル送受信コントロールレジスタ 4 (CTSUSCHTRC4) .....	1536



45.2.17	CTSU 高域ノイズ低減コントロールレジスタ (CTSUDCLKC) .....	1537
45.2.18	CTSU ステータスレジスタ (CTSUST) .....	1538
45.2.19	CTSU 高域ノイズ低減スペクトラム拡散コントロールレジスタ (CTSUSSC) .....	1540
45.2.20	CTSU センサオフセットレジスタ 0 (CTSUSO0) .....	1541
45.2.21	CTSU センサオフセットレジスタ 1 (CTSUSO1) .....	1542
45.2.22	CTSU センサカウンタ (CTSUSC) .....	1543
45.2.23	CTSU リファレンスカウンタ (CTSURC) .....	1544
45.2.24	CTSU エラーステータスレジスタ (CTSUERRS) .....	1545
45.3	動作説明 .....	1546
45.3.1	計測動作原理 .....	1546
45.3.2	計測モード .....	1548
45.3.3	複数モードに関わる共通機能 .....	1558
45.4	使用上の注意事項 .....	1561
45.4.1	計測結果データ (CTSUSC カウンタ、CTSURC カウンタ) .....	1561
45.4.2	ソフトウェアトリガ .....	1561
45.4.3	外部トリガ .....	1561
45.4.4	強制終了に関する注意事項 .....	1561
45.4.5	TSCAP 端子 .....	1562
45.4.6	計測動作時 (CTSUCR0.CTSUSTRT ビット = 1) の注意事項 .....	1562
46.	データ演算回路 (DOC) .....	1563
46.1	概要 .....	1563
46.2	レジスタの説明 .....	1564
46.2.1	DOC コントロールレジスタ (DOCR) .....	1564
46.2.2	DOC データインプットレジスタ (DODIR) .....	1565
46.2.3	DOC データ設定レジスタ (DODSR) .....	1565
46.3	動作説明 .....	1566
46.3.1	データ比較モード .....	1566
46.3.2	データ加算モード .....	1567
46.3.3	データ減算モード .....	1568
46.4	割り込み要求とイベントリンク出力 .....	1568
46.5	使用上の注意事項 .....	1568
46.5.1	モジュールストップ状態の設定 .....	1568
47.	SRAM .....	1569
47.1	概要 .....	1569
47.2	レジスタの説明 .....	1570
47.2.1	SRAM パリティエラー検出後動作レジスタ (PARIOAD) .....	1570
47.2.2	SRAM プロテクトレジスタ (SRAMPRCR) .....	1570
47.2.3	ECC 動作モードコントロールレジスタ (ECCMODE) .....	1571
47.2.4	ECC 2 ビットエラーステータスレジスタ (ECC2STS) .....	1571
47.2.5	ECC 1 ビットエラー情報更新イネーブルレジスタ (ECC1STSEN) .....	1572
47.2.6	ECC 1 ビットエラーステータスレジスタ (ECC1STS) .....	1572

47.2.7	ECC プロテクトレジスタ (ECCPRCR)	1573
47.2.8	ECC プロテクトレジスタ 2 (ECCPRCR2)	1573
47.2.9	ECC テストコントロールレジスタ (ECCETST)	1574
47.2.10	SRAM ECC エラー検出後動作レジスタ (ECCOAD)	1574
47.3	動作説明	1575
47.3.1	消費電力低減機能	1575
47.3.2	ECC 機能	1575
47.3.3	ECC エラー発生	1576
47.3.4	ECC デコーダのテスト方法	1577
47.3.5	パリティ計算機能	1578
47.3.6	SRAM エラー要因	1579
47.3.7	アクセスサイクル	1580
47.4	使用上の注意事項	1580
47.4.1	SRAM 領域からの命令フェッチ	1580
48.	フラッシュメモリ	1581
48.1	概要	1581
48.2	メモリ構成	1583
48.3	フラッシュキャッシュ	1585
48.3.1	概要	1585
48.3.2	レジスタの説明	1586
48.4	動作説明	1588
48.4.1	フラッシュキャッシュ使用における注意	1588
48.5	フラッシュメモリ関連の動作モード	1588
48.5.1	ID コードプロテクト機能	1589
48.6	機能概要	1590
48.6.1	構成領域ビットマップ	1592
48.6.2	スタートアップ領域選択	1592
48.6.3	アクセスウィンドウによるプロテクション	1593
48.7	プログラムコマンド	1594
48.8	サスペンド動作	1594
48.9	プロテクション機能	1594
48.10	シリアルプログラミングモード	1595
48.10.1	SCI ブートモード	1595
48.10.2	USB ブートモード	1596
48.11	シリアルプログラマを使用する場合	1597
48.11.1	シリアルプログラミング	1597
48.12	セルフプログラミング	1598
48.12.1	概要	1598
48.12.2	バックグラウンドオペレーション	1598
48.13	フラッシュメモリの読み出し	1599
48.13.1	コードフラッシュメモリの読み出し	1599
48.13.2	データフラッシュメモリの読み出し	1599

48.14	使用上の注意事項 .....	1600
48.14.1	イレースを中断した領域 .....	1600
48.14.2	イレースサスペンドコマンドによる中断 .....	1600
48.14.3	追加プログラムの禁止 .....	1600
48.14.4	プログラム/イレース中のリセット .....	1600
48.14.5	プログラム/イレース中のノンマスカラブル割り込みの禁止 .....	1600
48.14.6	プログラム/イレース中における割り込みベクタの配置 .....	1600
48.14.7	Low-speed モードでのプログラム/イレース .....	1600
48.14.8	プログラム/イレース中の異常終了 .....	1600
48.14.9	プログラム/イレース中に禁止されているアクション .....	1601
48.14.10	プログラム/イレース中のフラッシュインタフェースクロック (FCLK) .....	1601
49.	セグメント LCD コントローラ/ドライバ (SLCDC) .....	1602
49.1	概要 .....	1602
49.2	レジスタの説明 .....	1606
49.2.1	LCD モードレジスタ 0 (LCDM0) .....	1606
49.2.2	LCD モードレジスタ 1 (LCDM1) .....	1607
49.2.3	LCD クロックコントロールレジスタ 0 (LCDC0) .....	1608
49.2.4	LCD ブーストレベルコントロールレジスタ (VLCD) .....	1609
49.3	LCD 表示データレジスタ .....	1610
49.4	LCD 表示データレジスタの選択 .....	1613
49.4.1	A パターン領域と B パターン領域のデータ表示 .....	1613
49.4.2	点滅表示 (A パターン領域と B パターン領域のデータを交互に表示) .....	1614
49.5	LCD コントローラ/ドライバの設定 .....	1615
49.6	動作停止手順 .....	1618
49.7	LCD 駆動電圧 (VL1、VL2、VL3、VL4) の供給 .....	1619
49.7.1	外部抵抗分割方式 .....	1619
49.7.2	内部昇圧方式 .....	1621
49.7.3	容量分割方式 .....	1622
49.8	コモン信号とセグメント信号 .....	1623
49.9	表示モード .....	1630
49.9.1	スタティック表示例 .....	1630
49.9.2	2 時分割表示例 .....	1633
49.9.3	3 時分割表示例 .....	1635
49.9.4	4 時分割表示例 .....	1640
49.9.5	8 時分割表示例 .....	1644
50.	内部電圧レギュレータ .....	1648
50.1	概要 .....	1648
50.2	動作説明 .....	1648
51.	電気的特性 .....	1649
51.1	絶対最大定格 .....	1650
51.2	DC 特性 .....	1652

51.2.1	Tj/Ta の定義 .....	1652
51.2.2	I/O VIH, VIL .....	1652
51.2.3	I/O IOH, IOL .....	1654
51.2.4	I/O VOH, VOL、その他の特性 .....	1655
51.2.5	低駆動能力の入出力端子出力特性 .....	1657
51.2.6	中駆動能力の入出力端子出力特性 .....	1660
51.2.7	中駆動能力の P408、P409 入出力端子出力特性 .....	1663
51.2.8	IIC 入出力端子出力特性 .....	1665
51.2.9	動作電流とスタンバイ電流 .....	1666
51.2.10	VCC 立ち上がり/立ち下がり勾配とリップル周波数 .....	1675
51.3	AC 特性 .....	1676
51.3.1	周波数 .....	1676
51.3.2	クロックタイミング .....	1680
51.3.3	リセットタイミング .....	1683
51.3.4	ウェイクアップ時間 .....	1685
51.3.5	NMI/IRQ ノイズフィルタ .....	1689
51.3.6	バスタイミング .....	1690
51.3.7	I/O ポート、POEG、GPT、AGT、KINT、ADC14 のトリガタイミング .....	1696
51.3.8	CAC タイミング .....	1698
51.3.9	SCI タイミング .....	1698
51.3.10	SPI タイミング .....	1704
51.3.11	QSPI タイミング .....	1710
51.3.12	IIC タイミング .....	1712
51.3.13	SSI タイミング .....	1714
51.3.14	SD/MMC ホストインタフェースタイミング .....	1717
51.3.15	CLKOUT タイミング .....	1718
51.4	USB 特性 .....	1719
51.4.1	USBFS タイミング .....	1719
51.4.2	USB 外部供給 .....	1720
51.5	ADC14 特性 .....	1721
51.6	DAC12 特性 .....	1731
51.7	TSN 特性 .....	1733
51.8	OSC 停止検出特性 .....	1733
51.9	POR/LVD 特性 .....	1734
51.10	バッテリーバックアップ機能特性 .....	1738
51.11	CTSU 特性 .....	1740
51.12	セグメント LCD コントローラ/ドライバ特性 .....	1740
51.12.1	抵抗分割方式 .....	1740
51.12.2	内部昇圧方式 .....	1741
51.12.3	容量分割方式 .....	1743
51.13	コンパレータ特性 .....	1744

51.14	OPAMP 特性 .....	1745
51.15	フラッシュメモリ特性 .....	1746
51.15.1	コードフラッシュメモリ特性 .....	1746
51.15.2	データフラッシュメモリ特性 .....	1748
51.16	バウンダリスキャン .....	1749
51.17	ジョイントヨーロッパアンテストアクショングループ (JTAG) .....	1751
51.17.1	シリアルワイヤデバッグ (SWD) .....	1753
付録 1.	各プロセスモードのポート状態 .....	1755
付録 2.	外形寸法図 .....	1759
改訂記録	.....	1766

参考資料

高効率48MHz ARM Cortex-M4 マイクロコントローラ、最大1MBのコードフラッシュメモリ、192KB SRAM、セグメントLCDコントローラ、静電容量式タッチセンシングユニット、USB2.0フルスピード、14ビットA/Dコンバータ、12ビットD/Aコンバータ、セキュリティ&セーフティ機能

## 特長

### ■ 浮動小数点ユニット (FPU) 内蔵 ARM Cortex-M4 コア

- ARMv7E-M アーキテクチャ (DSP 命令セット搭載)
- 最大動作周波数: 48MHz
- 4GB アドレス空間をサポート
- ARM メモリプロテクションユニット (MPU) (8 領域)
- デバッグ&トレース: ITM, DWT, FPB, TPIU, ETB
- CoreSight™ デバッグポート: JTAG-DP および SW-DP

### ■ メモリ

- 最大 1MB のコードフラッシュメモリ
- 16KB データフラッシュメモリ (最大 100,000 回のイレース / ライトサイクル)
- 最大 192KB の SRAM
- フラッシュキャッシュ (FCACHE)
- メモリプロテクションユニット
- メモリミラー機能
- 128 ビットの固有の ID

### ■ 接続性

- USB2.0 フルスピードモジュール (USBFS)
  - オンチップトランシーバ (電圧レギュレータ付き)
  - USB バッテリチャージング規格 1.2 に準拠
- シリアルコミュニケーションインタフェース (SCI) ×6
  - UART
  - 簡易 I<sup>2</sup>C
  - 簡易 SPI
- シリアルペリフェラルインタフェース (SPI) ×2
- I<sup>2</sup>C バスインタフェース (IIC) ×3
- CAN モジュール (CAN)
- シリアルサウンドインタフェース (SSI) ×2
- SD/MMC ホストインタフェース (SDHI)
- クワッドシリアルペリフェラルインタフェース (QSPI)
- IrDA インタフェース
- 外部メモリバス
  - 8 ビットおよび 16 ビットアドレス幅

### ■ アナログ

- 14 ビット A/D コンバータ (ADC14)
- 12 ビット D/A コンバータ (DAC12) ×2
- 高速アナログコンパレータ (ACMPHS) ×2
- 低消費電力アナログコンパレータ (ACMPLP) ×2
- オペアンプ (OPAMP) ×4
- 温度センサ (TSN)

### ■ タイマ

- 32 ビット汎用 PWM タイマ (GPT32) ×10
- 非同期汎用タイマ (AGT) ×2
  - VBATT 対応
- ウォッチドッグタイマ (WDT)

### ■ セーフティ

- ECC 搭載の SRAM
- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション

- メインクロック発振器停止検出
- 不正メモリアクセス

### ■ システムおよびパワーマネジメント

- 低消費電力モード
- カレンダーおよび VBATT 対応のリアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- DMA コントローラ (DMAC) ×4
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 電圧設定が可能な低電圧検出

### ■ セキュリティおよび暗号化

- AES128/256
- GHASH
- 真性乱数発生器 (TRNG)

### ■ ヒューマンマシンインタフェース (HMI)

- セグメント LCD コントローラ (SLCDC)
  - 最大 52 セグメント ×4 コモン
  - 最大 48 セグメント ×8 コモン
- 静電容量式タッチセンシングユニット (CTSUS)

### ■ マルチクロックソース

- メインクロック発振器 (MOSC)
  - (1 ~ 20MHz, VCC = 2.4 ~ 5.5V の場合)
  - (1 ~ 8MHz, VCC = 1.8 ~ 2.4V の場合)
  - (1 ~ 4MHz, VCC = 1.6 ~ 1.8V の場合)
- サブクロック発振器 (SOSC) (32.768kHz)
- 高速オンチップオシレータ (HOCO)
  - (24, 32, 48, 64MHz, VCC = 2.4 ~ 5.5V の場合)
  - (24, 32, 48MHz, VCC = 1.8 ~ 5.5V の場合)
  - (24, 32MHz, VCC = 1.6 ~ 5.5V の場合)
- 中速オンチップオシレータ (MOCO) (8MHz)
- 低速オンチップオシレータ (LOCO) (32.768kHz)
- 独立ウォッチドッグタイマ OCO (15kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- クロックアウトのサポート

### ■ 汎用入出力ポート

- 最大 124 本の入出力端子
  - 最大 3 本の CMOS 入力
  - 最大 121 本の CMOS 入出力
  - 最大 10 本の 5V トレラント入出力 (VCC = 3.6V の場合)
  - 最大 2 本の大電流端子 (20mA)

### ■ 動作電圧

- VCC : 1.6 ~ 5.5V

### ■ 動作温度およびパッケージ

- Ta = -40 °C ~ +85 °C
  - 145 ピン LGA (7mm×7mm, 0.5mm ピッチ)
  - 121 ピン BGA (8mm×8mm, 0.65mm ピッチ)
  - 100 ピン LGA (7mm×7mm, 0.65mm ピッチ)
- Ta = -40 °C ~ +105 °C
  - 144 ピン LQFP (20mm×20mm, 0.5mm ピッチ)
  - 100 ピン LQFP (14mm×14mm, 0.5mm ピッチ)
  - 64 ピン LQFP (10mm×10mm, 0.5mm ピッチ)
  - 64 ピン QFN (8mm×8mm, 0.4mm ピッチ)

## 1. 概要

S3A7 MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある ARM® ベースの 32 ビット MCU で構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本 MCU は、最大 48MHz で動作する低消費電力で高性能な ARM Cortex®-M4 コアと、以下の各機能を最適な形で組み合わせています。

- 最大 1MB のコードフラッシュメモリ
- 192KB の SRAM
- セグメント LCD コントローラ (SLCDC)
- 静電容量式タッチセンシングユニット (CTSU)
- USB2.0 フルスピードモジュール (USBFS)
- 14 ビット ADC
- 12 ビット DAC
- セキュリティ機能

### 1.1 機能の概要

表 1.1 ARM コア

機能	機能の説明
ARM Cortex-M4	<ul style="list-style-type: none"> <li>• 最高動作周波数 : 48MHz</li> <li>• ARM Cortex-M4 :               <ul style="list-style-type: none"> <li>- リビジョン : r0p1-01rel0</li> <li>- ARMv7E-M アーキテクチャプロファイル</li> <li>- 単精度浮動小数点ユニット (ANSI/IEEE 規格 754-2008 に準拠)</li> </ul> </li> <li>• ARM メモリプロテクションユニット (MPU) :               <ul style="list-style-type: none"> <li>- ARMv7 保護メモリシステムアーキテクチャ</li> <li>- 8 つのメモリ保護領域</li> </ul> </li> <li>• SysTick タイマ :               <ul style="list-style-type: none"> <li>- LOCO クロックによる駆動</li> </ul> </li> </ul>

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 1MB のコードフラッシュメモリ。「48. フラッシュメモリ」を参照してください。
データフラッシュメモリ	16KB のデータフラッシュメモリ。「48. フラッシュメモリ」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。「7. オプション設定メモリ」を参照してください。
メモリミラー機能 (MMF)	MMF を構成することで、コードフラッシュメモリ内のアプリケーションイメージのロードアドレスを、未使用メモリの 23 ビット空間アドレスにおけるアプリケーションイメージのリンクアドレス (メモリミラー空間アドレス) へミラーすることができます。ユーザアプリケーションコードは、この MMF マップ先アドレスから実行するように開発されリンクされます。ユーザアプリケーションコードでは、コードフラッシュメモリ内に格納されるときにロードアドレスを認識する必要がありません。「5. メモリミラー機能 (MMF)」を参照してください。
SRAM	本 MCU は、パリティビットまたは誤り訂正コード (ECC) を備える高速 SRAM を内蔵しています。ECC 誤り訂正機能は SRAM0 の領域にあります。「47. SRAM」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2種類の動作モード： - シングルチップモード - SCI/USBブートモード 「3. 動作モード」を参照してください。
リセット	本MCUは、以下の14種類のリセットをサポートしています。 <ul style="list-style-type: none"> <li>• RES端子リセット</li> <li>• パワーオンリセット</li> <li>• VBATT選択電圧のパワーオンリセット</li> <li>• 独立ウォッチドッグタイマリセット</li> <li>• ウォッチドッグタイマリセット</li> <li>• 電圧監視0リセット</li> <li>• 電圧監視1リセット</li> <li>• 電圧監視2リセット</li> <li>• SRAMパリティエラーリセット</li> <li>• SRAM ECCエラーリセット</li> <li>• バスマスタMPUエラーリセット</li> <li>• バススレーブMPUエラーリセット</li> <li>• スタックポインタエラーリセット</li> <li>• ソフトウェアリセット</li> </ul> 「6. リセット」を参照してください。
低電圧検出 (LVD)	低電圧検出 (LVD) は、VCC端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。「8. 低電圧検出 (LVD)」を参照してください。
クロック	<ul style="list-style-type: none"> <li>• メインクロック発振器 (MOSC)</li> <li>• サブクロック発振器 (SOSC)</li> <li>• 高速オンチップオシレータ (HOCO)</li> <li>• 中速オンチップオシレータ (MOCO)</li> <li>• 低速オンチップオシレータ (LOCO)</li> <li>• PLL周波数シンセサイザ</li> <li>• 独立ウォッチドッグタイマオンチップオシレータ</li> <li>• クロックアウトのサポート</li> </ul> 「9. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定対象となるシステムクロックのパルス数をカウントし、基準クロック信号に基づいてシステムクロックの周波数をチェックします。基準クロックは、CACREF端子を介して外部から入力することも、さまざまなオンチップオシレータから内部入力することも可能です。クロックが一致しなかった場合、または測定終了時に、イベント信号を発生させることができます。この機能は、ホームオートメーションや工業オートメーション機器にフェールセーフ機構を組み込む場合、特に役立ちます。「10. クロック周波数精度測定回路 (CAC)」を参照してください。
低消費電力モード	本MCUには、クロック分周器の設定、EBCLK出力制御、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。「11. 低消費電力モード」を参照してください。
バッテリーバックアップ機能	本MCUはバッテリーバックアップ機能を備えており、バッテリーによってある程度の電力供給が可能です。バッテリー電源領域に含まれるものには、RTC、AGT、SOSC、LOCO、ウェイクアップコントロール、バックアップメモリ、VBATT_R低電圧検出、およびVCC/VBATT切り替えがあります。正常に動作しているとき、バッテリー電源領域にはメイン電源 (VCC端子) から電力が供給されます。VCC端子に電圧降下が検出されると、電源は専用のバッテリーバックアップ用電源端子 (VBATT端子) に切り替わります。再び電圧が上昇すると、電源は再びVBATT端子からVCC端子へ切り替わります。「12. バッテリーバックアップ機能」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。「13. レジスタライトプロテクション」を参照してください。
メモリプロテクションユニット (MPU)	本MCUは2つのメモリプロテクションユニットを内蔵しており、CPUスタックポインタモニタ機能を提供しています。「16. メモリプロテクションユニット (MPU)」を参照してください。



表 1.3 システム (2/2)

機能	機能の説明
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は14ビットのダウンカウンタです。システムが暴走してWDTをリフレッシュできないためにカウンタがアンダーフローした場合、本MCUをリセットするために使用できます。さらに、アンダーフローによって、ノンマスカブル割り込みまたは割り込みを発生させることも可能です。カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、この許可期間を暴走検知の条件として使用できます。「 <a href="#">26. ウォッチドッグタイマ (WDT)</a> 」を参照してください。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は14ビットダウンカウンタで構成されます。このカウンタはアンダーフロー防止のため定期的に動作させる必要があります。IWDTには、本MCUをリセットする機能や、タイマのアンダーフローに備えて割り込み/ノンマスカブル割り込みを生成する機能があります。タイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、本MCUをフェールセーフ機構と呼ばれる状態に戻すことに役に立ちます。ウォッチドッグタイマは、リセット、アンダーフロー、またはリフレッシュエラー時に自動的に起動します。あるいはレジスタのカウンタ値のリフレッシュによっても起動します。「 <a href="#">27. 独立ウォッチドッグタイマ (IWDT)</a> 」を参照してください。

表 1.4 割り込みコントロール

機能	機能の説明
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、NVIC/DTCモジュールとDMACモジュールにリンクされるイベント信号を制御します。また、NMI割り込みも制御します。「 <a href="#">14. 割り込みコントローラユニット (ICU)</a> 」を参照してください。

表 1.5 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号として使用し、それらを異なるモジュールに接続することにより、CPUを介さずにモジュール間の直接的な相互作用を可能にします。「 <a href="#">19. イベントリンクコントローラ (ELC)</a> 」を参照してください。

表 1.6 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	本MCUはデータトランスファコントローラ (DTC) を内蔵しています。DTCは割り込み要求による起動時に、データ転送を行います。「 <a href="#">18. データトランスファコントローラ (DTC)</a> 」を参照してください。
DMAコントローラ (DMAC)	本MCUは、4チャンネルのDMAコントローラ (DMAC) モジュールを内蔵しており、CPUを介さずにデータ転送が可能です。DMA転送要求が発生すると、DMACは転送元アドレスに格納されているデータを転送先アドレスへ転送します。「 <a href="#">17. DMAコントローラ (DMAC)</a> 」を参照してください。

表 1.7 外部バスインタフェース

機能	機能の説明
外部バス	<ul style="list-style-type: none"> <li>CS領域：外部デバイス（外部メモリアンタフェース）を接続</li> <li>QSPI領域：QSPI（外部デバイスインタフェース）を接続</li> </ul>

表 1.8 タイマ

機能	機能の説明
汎用PWMタイマ (GPT)	汎用PWMタイマ (GPT) は10チャンネルの32ビットタイマです。PWM波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、ブラシレスDCモータ制御用のPWM波形を発生させることもできます。GPTは汎用タイマとしても使用可能です。「23. 汎用PWMタイマ (GPT)」を参照してください。
GPT用のポートアウトプットイネーブル (POEG)	汎用PWMタイマ (GPT) の出力端子を出力禁止状態とするには、GPT用のポートアウトプットイネーブル (POEG) 機能を使用します。「22. GPT用ポートアウトプットイネーブル (POEG)」を参照してください。
非同期汎用タイマ (AGT)	非同期汎用タイマ (AGT) は、パルスの出力、外部パルスの幅/周期の測定、および外部イベントのカウントに利用可能な16ビットタイマです。この16ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTレジスタでアクセスが可能です。「24. 非同期汎用タイマ (AGT)」を参照してください。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) は、カレンダーカウントモードとバイナリカウントモードの2種類のカウントモードを持ちます。これらはレジスタ設定により切り替えて使用します。カレンダーカウントモードでは、RTCは2000年から2099年までの100年間のカレンダーを内蔵しており、うるう年を自動調整します。バイナリカウントモードでは、RTCは秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに利用可能です。「25. リアルタイムクロック (RTC)」を参照してください。

表 1.9 通信インタフェース (1/2)

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) は、下記の5種類の調歩同期式および同期式シリアルインタフェースとして設定が可能です。 <ul style="list-style-type: none"> <li>調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA))</li> <li>8ビットクロック同期式インタフェース</li> <li>簡易I<sup>2</sup>C (マスタのみ)</li> <li>簡易SPI</li> <li>スマートカードインタフェース</li> </ul> スマートカードインタフェースは、電子信号と伝送プロトコルに関してISO/IEC 7816-3規格に準拠しています。各SCIはFIFOバッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のポーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。「29. シリアルコミュニケーションインタフェース (SCI)」を参照してください。
IrDAインタフェース (IrDA)	IrDAインタフェースはSCI1と連携してIrDA (Infrared Data Association) 規格バージョン1.0に基づくIrDA通信波形の送受信を行います。「30. IrDAインタフェース」を参照してください。
I <sup>2</sup> Cバスインタフェース (IIC)	本MCUは、3チャンネルのI <sup>2</sup> Cバスインタフェース (IIC) を内蔵しています。IICモジュールは、NXP社が提唱するI <sup>2</sup> Cバス (Inter-Integrated Circuit bus) インタフェース方式に準拠しており、そのサブセット機能を提供しています。「31. I <sup>2</sup> Cバスインタフェース (IIC)」を参照してください。
シリアルペリフェラルインタフェース (SPI)	本MCUは、独立した2チャンネルのシリアルペリフェラルインタフェース (SPI) を内蔵しています。SPIチャンネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式のシリアル通信が可能です。「33. シリアルペリフェラルインタフェース (SPI)」を参照してください。
シリアルサウンドインタフェース (SSI)	シリアルサウンドインタフェース (SSI) の周辺機器は、PCMオーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由で本MCUに接続する機能を提供しています。SSIは最大25MHzのオーディオクロック周波数をサポートしており、各種アプリケーションに適合するスレーブまたはマスタレシーバ/トランスミッタ/トランシーバとして動作可能です。SSIはレシーバとトランスミッタに8段FIFOバッファを内蔵し、割り込みおよびDMA駆動によるデータ送受信をサポートしています。「36. シリアルサウンドインタフェース (SSI)」を参照してください。
クワッドシリアルペリフェラルインタフェース (QSPI)	QSPIは、SPI互換インタフェースを持つシリアルROM (シリアルフラッシュメモリ、シリアルEEPROM、シリアルFeRAMなどの不揮発性メモリ) に接続するためのメモリコントローラです。「34. クワッドシリアルペリフェラルインタフェース (QSPI)」を参照してください。

表 1.9 通信インタフェース (2/2)

機能	機能の説明
CAN (Controller Area Network) モジュール	CAN (Controller Area Network) モジュールは、電磁ノイズの多い応用機器において、複数のスレーブ・マスタ間でメッセージベースのプロトコルを用いたデータの送受信機能を提供します。 CANモジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠しており、通常のメールボックスモードおよびFIFOモードを送信用に設定可能な最大32個のメールボックスをサポートしています。標準 (11ビット) と拡張 (29ビット) の両方のメッセージフォーマットに対応しています。「 <a href="#">32. CAN (Controller Area Network) モジュール</a> 」を参照してください。
USB2.0 フルスピードモジュール (USBFS)	本MCUは、USB2.0 フルスピードモジュール (USBFS) を内蔵しています。USBFSは、ホストコントローラまたはファンクションコントローラとして動作可能なUSBコントローラです。このモジュールは、ユニバーサルシリアルバス規格2.0のフルスピード転送とロースピード転送 (ホストコントローラの場合のみ) に対応しています。また、USBトランシーバを内蔵しており、ユニバーサルシリアルバス規格2.0で定義されている全転送タイプに対応しています。 データ転送用にバッファメモリを内蔵し、最大10本のパイプを使用できます。 パイプ1~9に対しては、通信を行う周辺デバイスやユーザシステムに合わせて任意のエンドポイント番号の割り付けが可能です。 本MCUは、バッテリーチャージング規格のリビジョン1.2に準拠しています。本MCUは5Vで動作するため、USB LDOレギュレータは内蔵USBトランシーバの電源に3.3Vを供給します。「 <a href="#">28. USB2.0 フルスピードモジュール (USBFS)</a> 」を参照してください。
SD/MMCホストインタフェース (SDHI)	セキュアデジタルホストインタフェース (SDHI) およびマルチメディアカード (MMC) インタフェースは、各種外部メモリカードを本MCUと接続するために必要な機能を提供します。SDHIは、SD、SDHC、およびSDXCフォーマットに対応するさまざまなメモリカードを接続するために、1ビットと4ビットの両方のバスをサポートしています。SD規格に対応したホスト機器を開発する際は、SD Host/Ancillary Product License Agreement (SD HALA) に従う必要があります。 MMCインタフェースは、eMMC 4.51 (JEDEC Standard JESD 84-B451) デバイスアクセスを可能にする1ビット、4ビット、および8ビットのMMCバスをサポートしています。このインタフェースには下位互換性があり、高速SDR転送モードもサポートしています。「 <a href="#">37. SD/MMCホストインタフェース (SDHI)</a> 」を参照してください。

表 1.10 アナログ (1/2)

機能	機能の説明
14ビットA/Dコンバータ (ADC14)	本MCUは、逐次比較方式の14ビットA/Dコンバータを最大1ユニット内蔵しています。アナログ入力チャネルは最大28チャネルまで選択可能です。変換には温度センサ出力と内部基準電圧を選択できます。A/D変換精度には12ビット変換と14ビット変換が選択可能であり、デジタル値生成における速度と分解能のバランスを最適化できます。「 <a href="#">39. 14ビットA/Dコンバータ (ADC14)</a> 」を参照してください。
12ビットD/Aコンバータ (DAC12)	本MCUは、出力アンプ付きの12ビットD/Aコンバータを内蔵しています。「 <a href="#">40. 12ビットD/Aコンバータ (DAC12)</a> 」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵の温度センサを用いたダイ温度の測定と監視が可能です。このセンサはダイ温度に正比例した電圧を出力するため、ダイ温度と出力電圧はリニアな関係にあります。出力された電圧はADCで変換されてから、末端の応用機器で使用できます。「 <a href="#">41. 温度センサ (TSN)</a> 」を参照してください。
高速アナログコンパレータ (ACMPHS)	アナログコンパレータを使用することで、テスト電圧と基準電圧の比較や、変換結果に基づいたデジタル出力が可能です。 テスト電圧と基準電圧は、どちらも内部電源 (D/Aコンバータ出力や内部基準電圧) と外部電源からコンパレータに供給できます。 こうした柔軟性は、必ずしもA/D変換を必要とせずに、アナログ信号に対して実行/中止の比較を行わなければならないアプリケーションに有効です。「 <a href="#">43. 高速アナログコンパレータ (ACMPHS)</a> 」を参照してください。
低消費電力アナログコンパレータ (ACMPLP)	アナログコンパレータを用いて、基準入力電圧とアナログ入力電圧の比較が可能です。比較結果はソフトウェアで読み取ることも、外部に出力することもできます。基準入力電圧としては、CMPREFi (i = 0, 1) 端子への入力、または本MCUで内部生成された内部基準電圧 (Vref) から選択できます。 ACMPLPの応答速度は、動作開始前に設定可能です。高速モードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。低速モードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。「 <a href="#">44. 低消費電力アナログコンパレータ (ACMPLP)</a> 」を参照してください。

表 1.10 アナログ (2/2)

機能	機能の説明
オペアンプ (OPAMP)	オペアンプを使用して、小さいアナログ入力電圧を増幅して出力することができます。本 MCU は、入力端子 2 つと出力端子 1 つを備えた差動オペアンプユニットを合計 4 つ搭載しています。「42. オペアンプ (OPAMP)」を参照してください。

表 1.11 ヒューマンマシーンインタフェース

機能	機能の説明
セグメント LCD コントローラ (SLCDC)	SLCDC には下記の機能があります。 <ul style="list-style-type: none"> <li>• A 波形または B 波形の選択が可能</li> <li>• LCD 駆動電圧生成回路は、内部昇圧方式、容量分割方式、および外部抵抗分割方式の間で切り替えが可能</li> <li>• 表示データレジスタの自動読み出しによるセグメント信号とコモン信号の自動出力</li> <li>• 昇圧回路動作時に生成する基準電圧を 16 段階から選択可能 (コントラスト調整)</li> <li>• LCD の点滅が可能</li> </ul> 「49. セグメント LCD コントローラ / ドライバ (SLCDC)」を参照してください。
キー割り込み機能 (KINT)	キー割り込みは、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子に立ち上がり / 立ち下がりエッジを入力することで発生させることができます。「21. キー割り込み機能 (KINT)」を参照してください。
静電容量式タッチセンシングユニット (CTSUS)	静電容量式タッチセンシングユニット (CTSUS) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が電極に直接接触することはありません。「45. 静電容量式タッチセンシングユニット (CTSUS)」を参照してください。

表 1.12 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることができます。さらに、いくつかの CRC 生成多項式が利用可能です。スヌープ機能により、特定のアドレスに対する読み出しと書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。「35. 巡回冗長検査 (CRC) 演算器」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。「46. データ演算回路 (DOC)」を参照してください。

表 1.13 セキュリティ

機能	機能の説明
セキュアクリプトエンジン 5 (SCE5)	<ul style="list-style-type: none"> <li>• セキュリティアルゴリズム : <ul style="list-style-type: none"> <li>- 対称暗号方式 : AES</li> </ul> </li> <li>• その他のサポート機能 : <ul style="list-style-type: none"> <li>- TRNG (真性乱数発生器)</li> <li>- ハッシュ値生成 : GHASH</li> </ul> </li> </ul>

## 1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

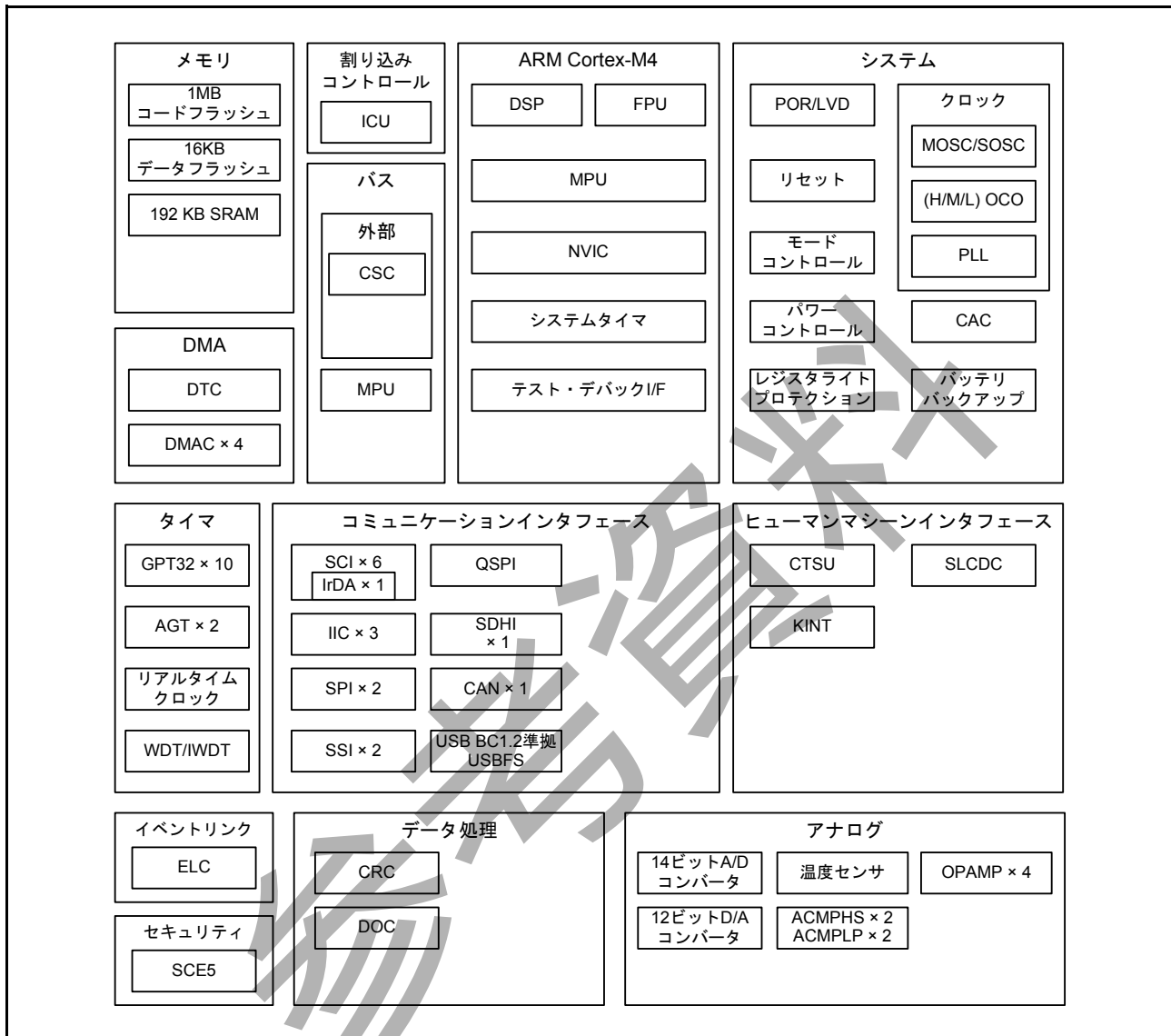


図 1.1 ブロック図

## 1.3 型名

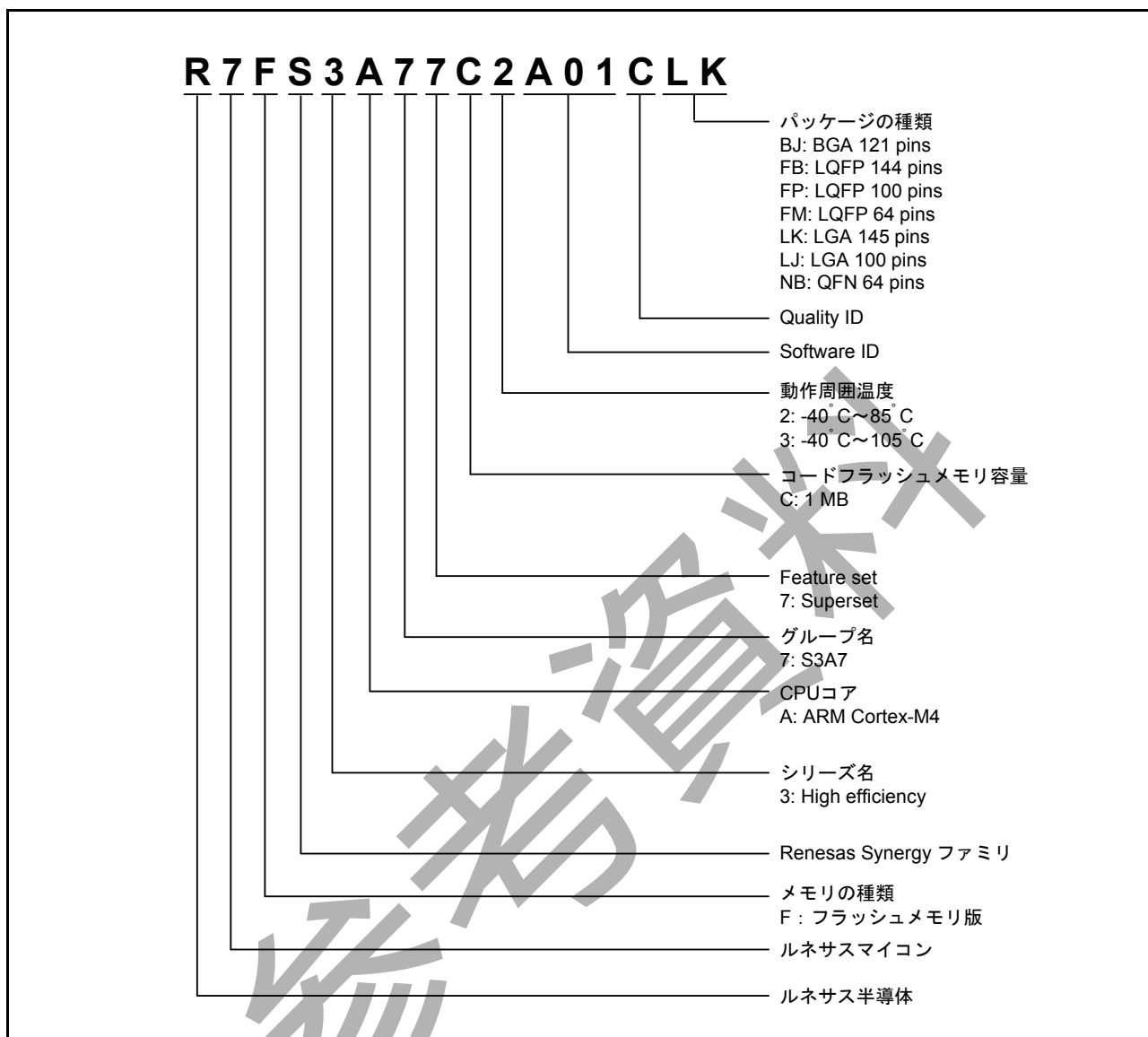


図 1.2 型名の読み方

## 1.4 機能の比較

表 1.14 機能の比較

型名	R7FS3A77C2A01CLK	R7FS3A77C3A01CFB	R7FS3A77C2A01CBJ	R7FS3A77C3A01CFP	R7FS3A77C2A01CLJ	R7FS3A77C3A01CFM/ R7FS3A77C3A01CNB	
端子総数	145	144	121	100	100	64	
パッケージ	LGA	LQFP	BGA	LQFP	LGA	LQFP/QFN	
コードフラッシュメモリ	1MB						
データフラッシュメモリ	16KB						
SRAM	192KB						
	パリティ	176KB					
	ECC	16KB					
システム	CPUクロック	48MHz					
	バックアップレジスタ	512バイト					
割り込みコントロール	ICU	あり					
イベントコントロール	ELC	あり					
DMA	DTC	あり					
	DMAC	4					
バス	外部バス	16ビットバス		8ビットバス		なし	
タイマ	GPT32	10	10	10	10	9	
	AGT	2	2	2	2	2	
	RTC	あり					
	WDT/IWDT	あり					
通信	SCI	6					
	IIC	3		2			
	SPI	2					
	SSI	2					1
	QSPI	1					なし
	SDHI	1					なし
	CAN	1					
	USBFS	あり					
アナログ	ADC14	28		26	25	25	18
	DAC12	2					
	ACMPHS	2					
	ACMPLP	2					
	TSN	あり					
HMI	SLCDC	4com × 48seg および4com/seg		4com × 34seg および 4com/seg	4com × 22seg および 4com/seg	4com × 22seg および 4com/seg	なし
	CTSU	31			26		14
	KINT	8					
データ処理	CRC	あり					
	DOC	あり					
セキュリティ	SCE5						

## 1.5 端子機能

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
	VCL	入力	この端子は、内部電源を安定化するための平滑コンデンサを介してVSS端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源（0V）に接続してください。
	VBATT	入力	バックアップ電源端子
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください。
	XCOUT	出力	
	EBCLK	出力	外部デバイス用の外部バスクロック出力端子
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。これらの端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。この端子がLowになると、本MCUはリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	TMS	入力	オンチップエミュレータ用またはバウンダリスキャン用端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
	SWO	出力	シリアルワイヤトレース出力端子
外部バスインタフェース	RD	出力	外部バスインタフェース空間から読み出し中であることを示すストロープ信号、アクティブLow
	WR	出力	1ライトストロープモード時、外部バスインタフェース空間に書き込み中であることを示すストロープ信号、アクティブLow
	WR0, WR1	出力	バイトストロープモード時、外部バスインタフェース空間に書き込み中で、データバス（D07～D00、D15～D08）のいずれかが有効であることを示すストロープ信号、アクティブLow
	BC0, BC1	出力	1ライトストロープモード時、外部バスインタフェース空間にアクセス中で、データバス（D07～D00、D15～D08）のいずれかが有効であることを示すストロープ信号、アクティブLow
	WAIT	入力	外部空間をアクセスするときのウェイト要求信号用の入力端子、アクティブLow
	CS0～CS3	出力	CS領域選択信号、アクティブLow
	A00～A16	出力	アドレスバス
	D00～D15	入出力	データバス
	割り込み	NMI	入力
IRQ0～IRQ15		入力	マスクブル割り込み要求端子
バッテリーバックアップ	VBATWIO0～VBATWIO2	入出力	VBATTウェイクアップコントロール機能用のウェイクアップ信号出力 VBATTウェイクアップコントロール機能用の外部イベント入力



機能	端子名	入出力	説明
GPT	GTETRGA, GTETRGB, GTETRGC, GTETRGD	入力	外部トリガ入力端子
	GTIOC0A ~ GTIOC9A, GTIOC0B ~ GTIOC9B	入出力	インプットキャプチャ、アウトプットコンペア、またはPWM出力端子
	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDCモータ制御用3相PWM出力 (正相U相)
	GTOULO	出力	BLDCモータ制御用3相PWM出力 (逆相U相)
	GTOVUP	出力	BLDCモータ制御用3相PWM出力 (正相V相)
	GTOVLO	出力	BLDCモータ制御用3相PWM出力 (逆相V相)
	GTOWUP	出力	BLDCモータ制御用3相PWM出力 (正相W相)
	GTOWLO	出力	BLDCモータ制御用3相PWM出力 (逆相W相)
	AGT	AGTEE0, AGTEE1	入力
AGTIO0, AGTIO1		入出力	外部イベント入力およびパルス出力
AGTO0, AGTO1		出力	パルス出力
AGTOA0, AGTOA1		出力	出力コンペアマッチA出力
AGTOB0, AGTOB1		出力	出力コンペアマッチB出力
RTC	RTCOUT	出力	1Hz/64Hzクロック用の出力端子
	RTCIC0 ~ RTCIC2	入力	時間キャプチャイベント入力端子
SCI	SCK0 ~ SCK4, SCK9	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXD0 ~ RXD4, RXD9	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXD0 ~ TXD4, TXD9	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS0_RTS0 ~ CTS4_RTS4, CTS9_RTS9	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブLow
	SCL0 ~ SCL4, SCL9	入出力	IICクロック用の入出力端子 (簡易I <sup>2</sup> C)
	SDA0 ~ SDA4, SDA9	入出力	IICデータ用の入出力端子 (簡易I <sup>2</sup> C)
	SCK0 ~ SCK4, SCK9	入出力	クロック用の入出力端子 (簡易SPI)
	MISO0 ~ MISO4, MISO9	入出力	データのスレーブ送信用の入出力端子 (簡易SPI)
	MOSI0 ~ MOSI4, MOSI9	入出力	データのマスタ送信用の入出力端子 (簡易SPI)
	SS0 ~ SS4, SS9	入力	スレーブ選択入力端子 (簡易SPI)、アクティブLow
IIC	SCL0 ~ SCL2	入出力	クロック用の入出力端子
	SDA0 ~ SDA2	入出力	データ用の入出力端子
SSI	SSISCK0	入出力	SSIシリアルビットクロック端子
	SSISCK1		
	SSIWS0	入出力	ワード選択端子
	SSIWS1		
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	SSIDATA1	入出力	シリアルデータ入出力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子 (入力オーバーサンプリングクロック)

機能	端子名	入出力	説明
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタから出力されたデータの入出力
	MISOA, MISOB	入出力	スレーブから出力されたデータの入出力
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1, SSLA2, SSLA3, SSLB1, SSLB2, SSLB3	出力	スレーブ選択用の出力端子
QSPI	QSPCLK	出力	QSPIクロック出力端子
	QSSL	出力	QSPIスレーブ出力端子
	QIO0	入出力	マスタ送出データ/データ0
	QIO1	入出力	マスタ入力データ/データ1
	QIO2, QIO3	入出力	データ2、データ3
CAN	CRX0	入力	受信データ
	CTX0	出力	送信データ
USBFS	VSS_USB	入力	グランド端子
	VCC_USB_LDO	入力	USB LDOレギュレータ用の電源端子
	VCC_USB	入出力	入力：USBトランシーバ用の電源端子 出力：USB LDOレギュレータ出力端子。この端子は外部コンデンサに接続してください。
	USB_DP	入出力	USB内蔵トランシーバD+入出力端子。この端子はUSBバスのD+端子に接続してください。
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子。この端子はUSBバスのD-端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。ファンクションコントローラ機能選択時のVBUSの接続/切断を検出することができます。
	USB_EXICEN	出力	外部電源（OTG）チップの低消費電力制御信号
	USB_VBUSEN	出力	外部電源チップへのVBUS（5V）供給許可信号
	USB_OVRCURA, USB_OVRCURB	入力	外部オーバーカレント検出信号を接続してください。OTG電源チップとの接続時にはVBUSコンパレータ信号を接続してください。
	USB_ID	入力	OTGモード動作時はMicroABコネクタのID入力信号を接続してください。
SDHI	SD0CLK	出力	SDクロック出力端子
	SD0CMD	入出力	SDコマンド出力、レスポンス入力信号端子
	SD0DAT0～SD0DAT7	入出力	SDデータバス端子
	SD0WP	入力	SDライトプロテクト信号
アナログ電源	AVCC0	入力	アナログ用のアナログ電圧源端子。この端子はVCCに接続してください。
	AVSS0	入力	アナロググランド端子。この端子はVSSに接続してください。
	VREFH0	入力	A/Dコンバータ用のアナログ基準電圧源端子。A/Dコンバータを使用しない場合はVCCに接続してください。
	VREFL0	入力	A/Dコンバータ用のアナログ基準グランド端子。A/Dコンバータを使用しない場合はVSSに接続してください。
	VREFH	入力	D/Aコンバータ用のアナログ基準電圧源端子
	VREFL	入力	D/Aコンバータ用のアナログ基準グランド端子
ADC14	AN000～AN027	入力	A/Dコンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D変換を開始する外部トリガ信号用の入力端子、アクティブLow
DAC12	DA0, DA1	出力	D/Aコンバータで処理されるアナログ信号用の出力端子
コンパレータ出力	VCOUT	出力	コンパレータ出力端子
ACMPHS	IVREF0～IVREF5	入力	基準電圧入力端子
	IVCMP0～IVCMP5	入力	アナログ電圧入力端子
ACMPLP	CMPREF0, CMPREF1	入力	基準電圧入力端子
	CMPIN0, CMPIN1	入力	アナログ電圧入力端子
OPAMP	AMP0+～AMP3+	入力	アナログ電圧入力端子
	AMP0-～AMP3-	入力	アナログ電圧入力端子
	AMP00～AMP30	出力	アナログ電圧出力端子

機能	端子名	入出力	説明
CTSU	TS00, TS01, TS03 ~ TS22, TS26 ~ TS27, TS29 ~ TS35	入力	静電容量式タッチ検出端子 (タッチ端子)
	TSCAP	-	タッチドライバ用の二次電源端子
KINT	KR00 ~ KR07	入力	キー割り込みは、キー割り込み入力端子に立ち下がりエッジを入力することで発生させることができます。
I/Oポート	P000 ~ P015	入出力	汎用入出力端子
	P100 ~ P115	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201 ~ P206, P212, P213	入出力	汎用入出力端子
	P214, P215	入力	汎用入力端子
	P300 ~ P315	入出力	汎用入出力端子
	P400 ~ P415	入出力	汎用入出力端子
	P500 ~ P507, P511, P512	入出力	汎用入出力端子
	P600 ~ P606, P608 ~ P614	入出力	汎用入出力端子
	P700 ~ P705, P708 ~ P713	入出力	汎用入出力端子
	P800 ~ P809	入出力	汎用入出力端子
	P900 ~ P902	入出力	汎用入出力端子
SLCDC	VL1, VL2, VL3, VL4	入出力	LCD駆動用の電圧端子
	CAPH, CAPL	入出力	LCDコントローラ/ドライバ用のコンデンサ接続端子
	COM0 ~ COM7	出力	LCDコントローラ/ドライバ用のコモン信号出力端子
	SEG00 ~ SEG51	出力	LCDコントローラ/ドライバ用のセグメント信号出力端子

## 1.6 ピン配置図

図 1.3 ~ 図 1.9 にピン配置図を示します。

**R7FS3A77C2A01CLK**

	A	B	C	D	E	F	G	H	J	K	L	M	N	
13	P407	P409	P412	P708	P711	VCC	P212 /EXTAL	P215 /XCIN	VCL	P702	P405	P402	P400	13
12	USB_DM	USB_DP	P410	P414	P710	VSS	P213 /XTAL	P214 /XCOUT	VBATT	P701	P404	P511	VCC	12
11	VCC_USB	VSS_USB	VCC_USB_LDO	P411	P415	P712	P705	P704	P703	P403	P401	P512	VSS	11
10	P205	P206	P204	P408	P413	P709	P713	P700	P406	P003	P000	P002	P001	10
9	P203	P313	P202	P314	(Watermark: 最新データ)					P004	P006	P009	P008	9
8	P900	P901	P200	P315						P005	AVSS0	P011 /VREFL0	P010 /VREFH0	8
7	VSS	P902	RES	P310						P007	AVCC0	P013 /VREFL	P012 /VREFH	7
6	VCC	P201/MD	P312	P305						P505	P506	P015	P014	6
5	P309	P311	P308	P303	NC	P503	P504	VSS	VCC	5				
4	P307	P306	P304	P109/TDO /SWO	P114	P608	P604	P600	P105	P500	P502	P501	P507	4
3	P808	P809	P301	P112	P115	P610	P614	P603	P107	P106	P104	P803	P802	3
2	P302	P300/TCK /SWCLK	P111	P806	P609	P612	VSS	P605	P601	P805	P800	P101	P801	2
1	P108/TMS /SWDIO	P110/TDI	P113	P807	P611	P613	VCC	P606	P602	P804	P103	P102	P100	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	

図 1.3 145-pin LGA のピン配置図 (上面透視図)

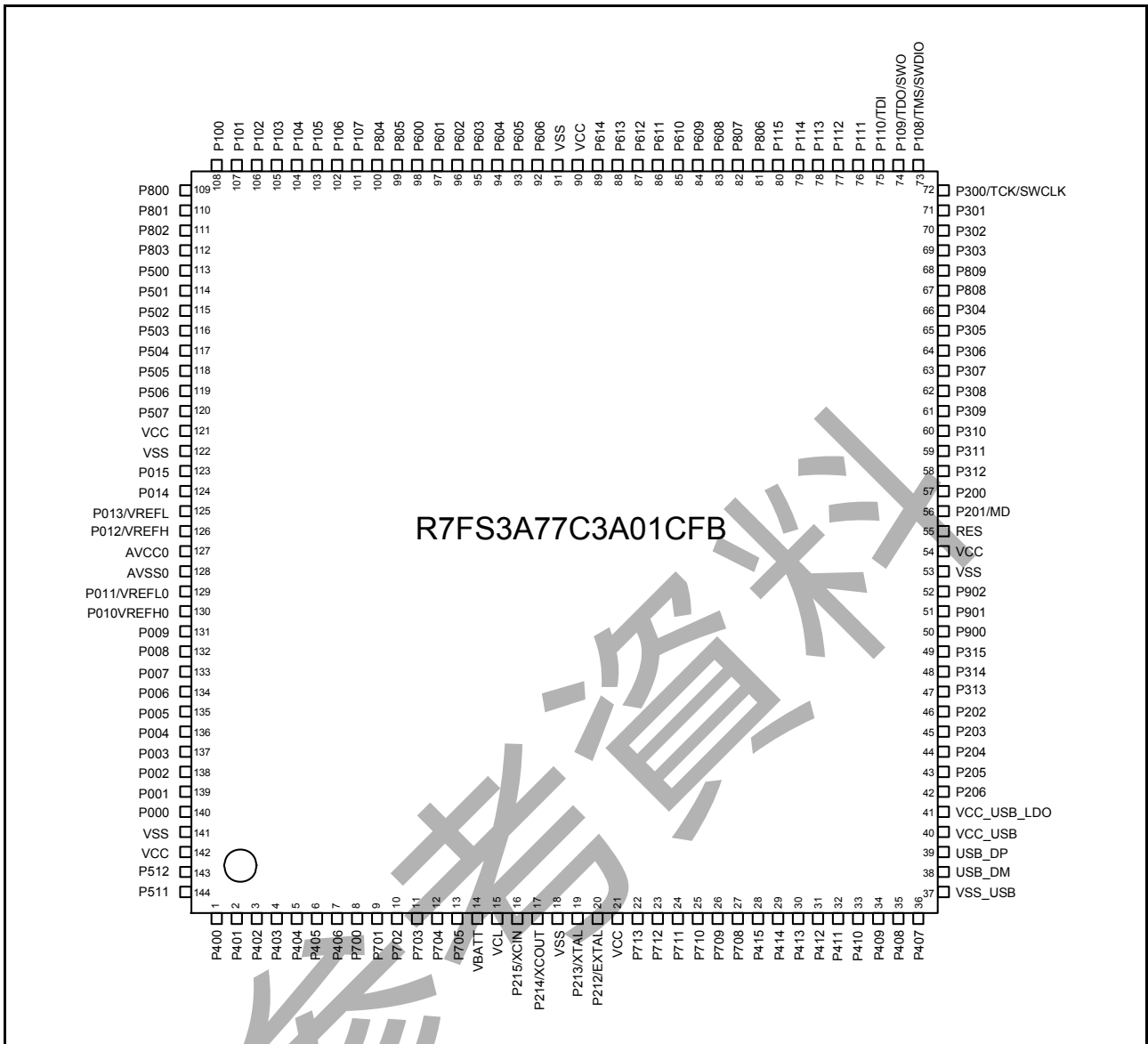


図 1.4 144-pin LQFP のピン配置図 (上面図)

**R7FS3A77C2A01CBJ**

	A	B	C	D	E	F	G	H	J	K	L	
11	P407	P408	P411	P414	P212/ EXTAL	P215/ XCIN	VCL	P406	P403	P401	P400	11
10	USB_DM	USB_DP	P410	P415	P213/ XTAL	P214/ XCOUT	VBATT	P405	P402	P511	P512	10
9	VCC_USB	VSS_USB	P409	P412	P708	VCC	VSS	P404	P002	P001	P000	9
8	P205	VCC_USB_LDO	P206	P204	P413	P710	P702	P006	P004	P003	P005	8
7	P203	P202	P313	P314	P315	P709	P701	P007	AVSS0	P011/ VREFL0	P010/ VREFH0	7
6	VSS	VCC	RES	P201/MD	P200	NC	P700	P008	AVCC0	P013/ VREFL	P012/ VREFH	6
5	P308	P309	P307	P302	P304	P612	P601	P506	P505	P015	P014	5
4	P305	P306	P808	P114	P611	P603	P600	P504	P503	VSS	VCC	4
3	P809	P303	P110/TDI	P111	P609	P604	P106	P104	P502	P500	P501	3
2	P301	P108/ TMS/ SWDIO	P113	P608	P613	P605	P602	P105	P102	P801	P800	2
1	P300/ TCK/ SWCLK	P109/ TDO/ SWO	P112	P115	P610	VCC	VSS	P107	P103	P101	P100	1
	A	B	C	D	E	F	G	H	J	K	L	

図 1.5 121-pin BGA のピン配置図 (上面透視図)

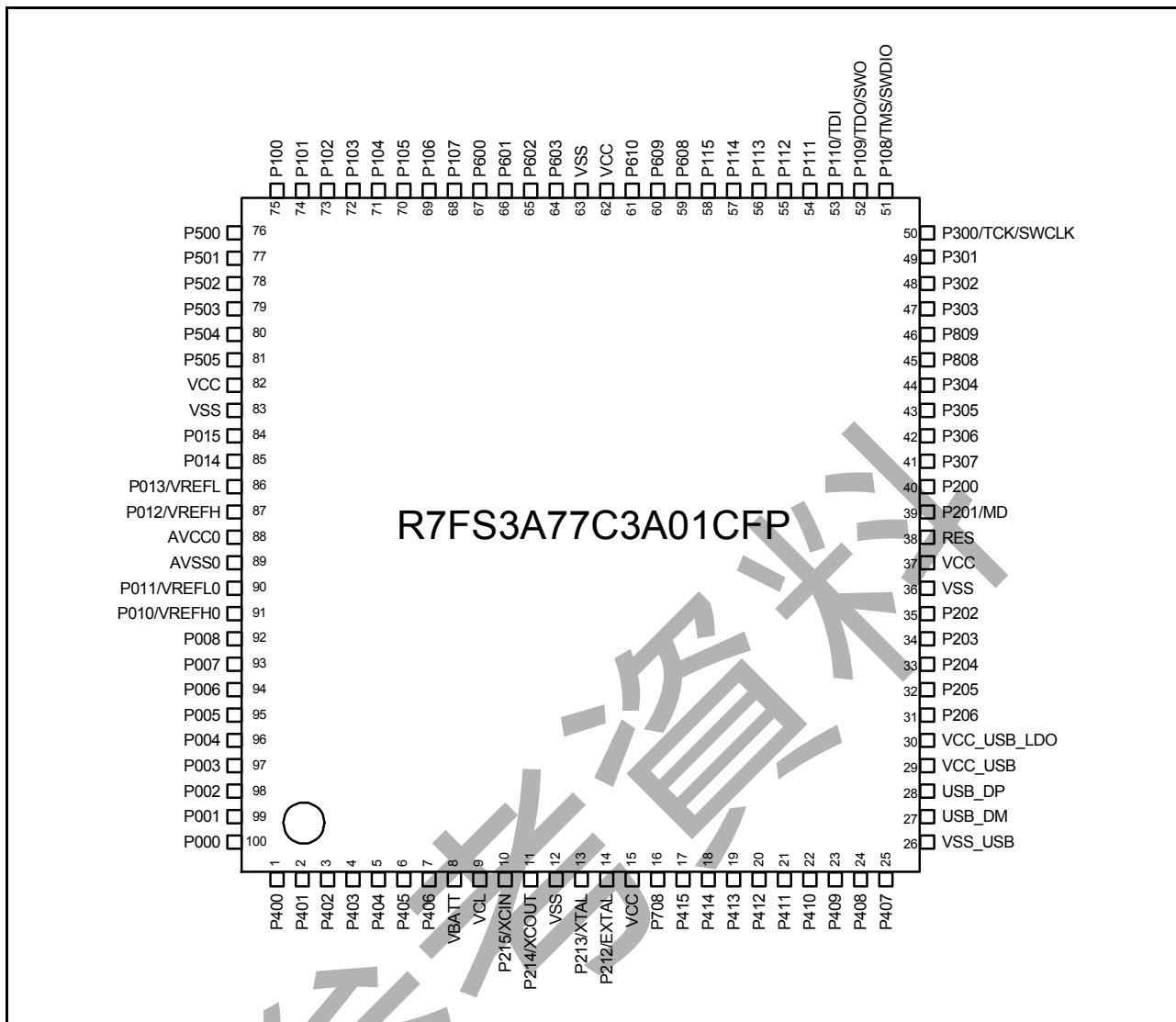


図 1.6 100-pin LQFP のピン配置図 (上面図)

**R7FS3A77C2A01CLJ**

	A	B	C	D	E	F	G	H	J	K	
10	P407	P409	P412	VCC	P212/ EXTAL	P215/ XCIN	VCL	P403	P400	P000	10
9	USB_DM	USB_DP	P413	VSS	P213/ XTAL	P214/ XCOUT	VBATT	P405	P401	P001	9
8	VCC_USB	VSS_USB	VCC_USB B_LDO	P411	P415	P708	P404	P003	P004	P002	8
7	P205	P204	P206	P408	P414	P406	P006	P007	P008	P005	7
6	VSS	VCC	P202	P203	P410	P402	P505	AVSS0	P011/ VREFL0	P010/ VREFH0	6
5	P200	P201/MD	P307	RES	P113	P600	P504	AVCC0	P013/ VREFL	P012/ VREFH	5
4	P305	P304	P808	P306	P115	P601	P503	P100	P015	P014	4
3	P809	P303	P110/TDI	P111	P609	P602	P107	P103	VSS	VCC	3
2	P300/ TCK/ SWCLK	P302	P301	P114	P610	P603	P106	P101	P501	P502	2
1	P108/ TMS/ SWDIO	P109/ TDO/ SWO	P112	P608	VCC	VSS	P105	P104	P102	P500	1
	A	B	C	D	E	F	G	H	J	K	

図 1.7 100-pin LGA のピン配置図 (上面透視図)



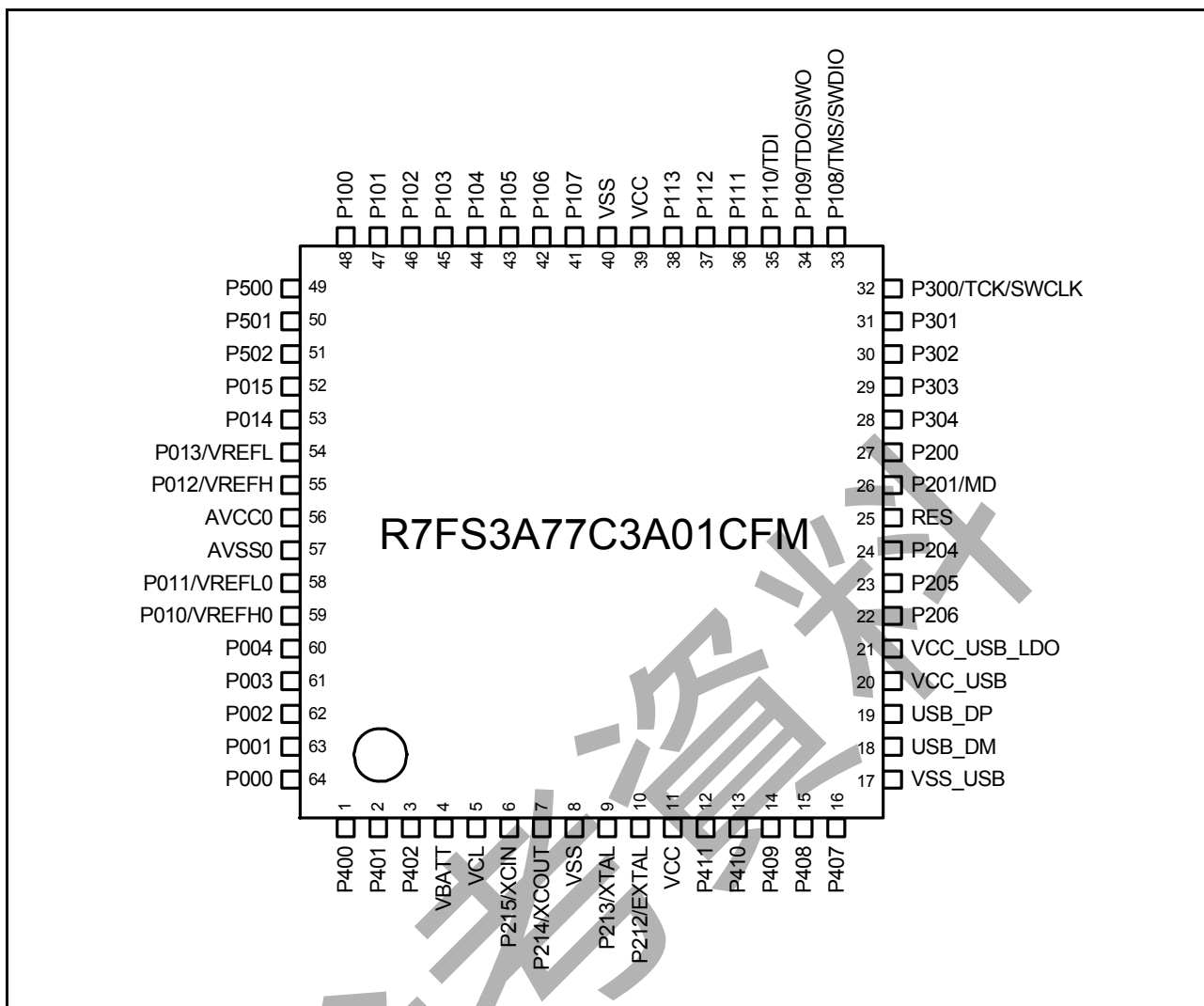


図 1.8 64-pin LQFP のピン配置図 (上面図)

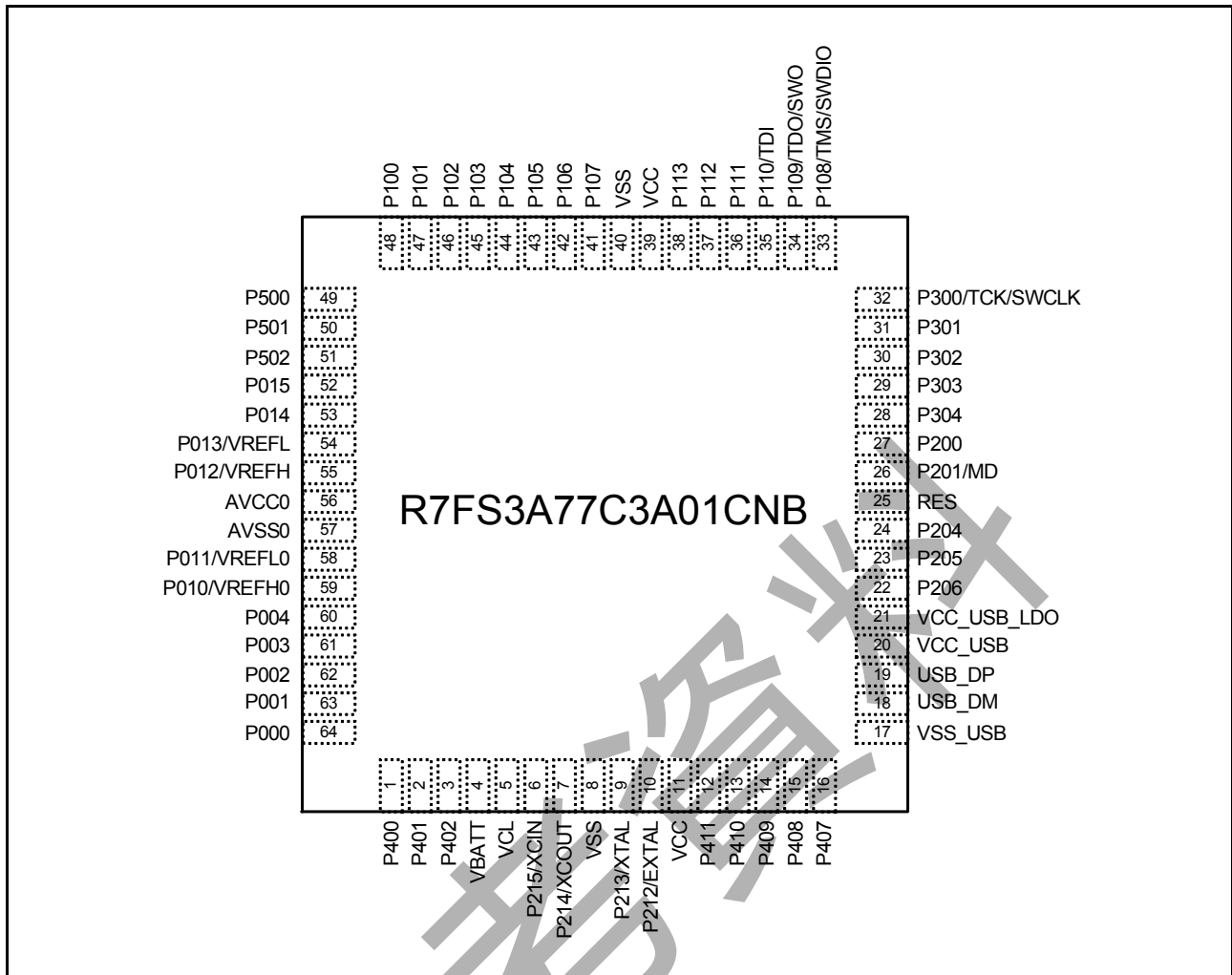


図 1.9 64-pin QFN のピン配置図 (上面透視図)

1.7 端子一覧

ピン番号							電源、システム、クロック、デバッグ、CAC、VBATT	IOポート	外部バス	タイマ				通信インターフェース				アナログ				HMI	
LGA145	LQFP144	BGA121	LQFP100	LGA100	LQFP64	QFN64				AGT	GPT_OPS, POEG	GPT	RTC	USBF, CAN	SCI	IIC	SPI/QSPI	SSI	SDHI	ADC14	DAC12, OPAMP	ACMPHS, ACMPLP	SILCDC
N13	1	L11	1	J10	1	1	P400															TS20	IRQ0
L11	2	K11	2	J9	2	2	P401		GTET RGA_B	GTIOC 6B_A		CTX0_ B	CTS4_ RTS4_ A/ SS4_B	SDA0_ A								TS19	IRQ5
M13	3	J10	3	F6	3	3	P402		AGTIO 0_B/ AGTIO 1_B		RTCIC 0	CRX0_ B										TS18	IRQ4
K11	4	J11	4	H10			P403		AGTIO 0_C/ AGTIO 1_C	GTIOC 3A_B	RTCIC 1				SSISC K0_A							TS17	
L12	5	H9	5	G8			P404			GTIOC 3B_B	RTCIC 2				SSIWS 0_A							TS16	
L13	6	H10	6	H9			P405			GTIOC 1A_B					SSITX D0_A							TS15	
J10	7	H11	7	F7			P406			GTIOC 1B_B					SSIRX D0_A							TS14	
H10	8	G6					P700			GTIOC 5A_B												TS32	
K12	9	G7					P701			GTIOC 5B_B												TS33	
K13	10	G8					P702			GTIOC 6A_B												TS34	
J11	11						P703			GTIOC 6B_B													
H11	12						P704																
G11	13						P705																
J12	14	G10	8	G9	4	4	VBATT																
J13	15	G11	9	G10	5	5	VCL																
H13	16	F11	10	F10	6	6	XCIN	P215															
H12	17	F10	11	F9	7	7	XCOU T	P214															
F12	18	G9	12	D9	8	8	VSS																
G12	19	E10	13	E9	9	9	XTAL	P213		GTET RGC_ A			TXD1_ A/ MOS11 A/ SDA1_ A									IRQ2	
G13	20	E11	14	E10	10	10	EXTAL	P212	AGTE E1	GTET RGD_ A			RXD1_ A/ MISO1 A/ SCL1_ A									IRQ3	
F13	21	F9	15	D10	11	11	VCC																
G10	22							P713			GTIOC 2A_B												
F11	23							P712			GTIOC 2B_B												
E13	24							P711															
E12	25	F8						P710						CTS1_ RTS1_ B/ SS1_B									TS35
F10	26	F7						P709						SCK1_ B								TS13	IRQ10
D13	27	E9	16	F8			CACR EF_B	P708						RXD1_ B/ MISO1 B/ SCL1_ B		SSLA3 _B					TS12	IRQ11	
E11	28	D10	17	E8				P415							SSLA2 _B							TS11	
D12	29	D11	18	E7				P414							SSLA1 _B	SD0W P						TS10	
E10	30	E8	19	C9				P413		GTOU UP_B			CTS0_ RTS0_ B/ SS0_B	SSLA0 _B	SD0CL K						TS09		
C13	31	D9	20	C10				P412		GTOU LO_B			SCK0_ B	RSPC KA_B	SD0C MD						TS08		

ピン番号						タイマ		通信インターフェース				アナログ				HMI									
LGA145	LQFP144	BGA121	LQFP100	LGA100	LQFP64	QFN64	電源、システム、クロック、デバッグ、CAC、VBATT	I/Oポート	外部バス	AGT	GPT_OPS, POEG	GPT	RTC	USBFS, CAN	SCI	IIC	SPI/QSPI	SSI	SDHI	ADC14	DAC12, OPAMP	ACMPHS, ACMPLP	SLCDC	CTSU	割り込み
D11	32	C11	21	D8	12	12		P411		AGTOA1	GTOVUP_B	GTIOC9A_A			TXD0_B/ MOSIO_B/ SDA0_B/ CTS3_RTS3_A/ SS3_A	MOSIA_B		SD0D AT0						TS07	IRQ4
C12	33	C10	22	E6	13	13		P410		AGTOB1	GTOVLO_B	GTIOC9B_A			RXD0_B/ MISO0_B/ SCL0_B/ SCK3_A	MISOA_B		SD0D AT1						TS06	IRQ5
B13	34	C9	23	B10	14	14		P409			GTOVUP_B			USB_E XICEN_A	TXD3_A/ MOSI3_A/ SDA3_A									TS05	IRQ6
D10	35	B11	24	D7	15	15		P408			GTOVLO_B			USB_I D_A	RXD3_A/ MISO3_A/ SCL3_A									TS04	IRQ7
A13	36	A11	25	A10	16	16		P407				RTCO UT	USB_V BUS	CTS4_RTS4_A/ SS4_A	SDA0_B	SSLB3_A			ADTR G0_B					TS03	
B11	37	B9	26	B8	17	17	VSS_U SB							USB DM											
A12	38	A10	27	A9	18	18								USB DP											
B12	39	B10	28	B9	19	19																			
A11	40	A9	29	A8	20	20	VCC_ USB																		
C11	41	B8	30	C8	21	21	VCC_ USB_L DO																		
B10	42	C8	31	C7	22	22		P206	WAIT		GTIU_A			USB_V BUSE N_A	RXD4_A/ MISO4_A/ SCL4_A	SDA1_A	SSLB1_A	SSIDA TA1_A	SD0D AT2					TS01	IRQ0
A10	43	A8	32	A7	23	23	CLKO UT_A	P205	A16	AGTIO 1_A	GTIV_A	GTIOC 4A_B		USB_ OVRC URA	TXD4_A/ MOSI4_A/ SDA4_A/ CTS9_RTS9_A/ SS9_A	SCL1_A	SSLB0_A	SSIWS 1_A	SD0D AT3				TSCA P_A	IRQ1	
C10	44	D8	33	B7	24	24	CACR EF_A	P204		AGTIO 1_A	GTIW_A	GTIOC 4B_B		USB_ OVRC URB	SCK4_A/ SCK9_A	SCL0_B	RSPC KB_A	SSISC K1_A	SD0D AT4				SEG23	TS00	
A9	45	A7	34	D6				P203				GTIOC 5A_A		CTX0_A	CTS2_RTS2_A/ SS2_A / TXD9_A/ MOSI9_A/ SDA9_A	MOSIB_A		SD0D AT5					SEG22	TSCA P_B	IRQ2
C9	46	B7	35	C6				P202	WR1/ BC1			GTIOC 5B_A		CRX0_A	SCK2_A/ RXD9_A/ MISO9_A/ SCL9_A	MISOB_A		SD0D AT6					SEG21	IRQ3	
B9	47	C7						P313										SD0D AT7					SEG20		
D9	48	D7						P314																SEG4	
D8	49	E7						P315																	SEG5
A8	50							P900																	SEG6
B8	51							P901																	SEG7
B7	52							P902																	SEG8
A7	53	A6	36	A6			VSS																		
A6	54	B6	37	B6			VCC																		
C7	55	C6	38	D5	25	25	RES																		
B6	56	D6	39	B5	26	26	MD	P201																	

ピン番号												タイマ				通信インターフェース					アナログ			HMI	
LGA145	LQFP144	BGA121	LQFP100	LGA100	LQFP64	QFN64	電源、システム、クロック、デバッグ、CAC、VBATT	IOポート	外部バス	AGT	GPT_OPS_POEG	GPT	RTC	USBFS,CAN	SCI	IIC	SPI/QSPI	SSI	SDHI	ADC14	DAC12_OPAMP	ACMPHS,ACMPLP	SLCDC	CTSU	割り込み
C8	57	E6	40	A5	27	27		P200																	NMI
C6	58							P312	CS3														SEG9		
B5	59							P311	CS2														SEG10		
D7	60							P310	A15														SEG11		
A5	61	B5						P309	A14														SEG12		
C5	62	A5						P308	A13														SEG13		
A4	63	C5	41	C5				P307	A12														SEG14		
B4	64	B4	42	D4				P306	A11														SEG15		
D6	65	A4	43	A4				P305	A10														SEG16	IRQ8	
C4	66	E5	44	B4	28	28		P304	A09		GTIOC7A_A												SEG17	IRQ9	
A3	67	C4	45	C4				P808															SEG18		
B3	68	A3	46	A3				P809															SEG19		
D5	69	B3	47	B3	29	29		P303	A08		GTIOC7B_A												SEG3/COM7		
A2	70	D5	48	B2	30	30		P302	A07	GTOUUP_A	GTIOC4A_A			TXD2_A/ MOSI2_A/ SDA2_A		SSLB3_B							SEG2/COM6	IRQ5	
C3	71	A2	49	C2	31	31		P301	A06	GTOULO_A	GTIOC4B_A			RXD2_A/ MISO2_A/ SCL2_A		SSLB2_B							SEG1/COM5	IRQ6	
B2	72	A1	50	A2	32	32	TCK/SWCLK	P300			GTIOC0A_A					SSLB1_B									
A1	73	B2	51	A1	33	33	TMS/SWDIO	P108			GTIOC0B_A			CTS9_RT9_B/ SS9_B		SSLB0_B									
D4	74	B1	52	B1	34	34	TDO/SWO/CLKOUT_B	P109		GTOVUP_A	GTIOC1A_A		CTX1_A	TXD9_B/ MOSI9_B/ SDA9_B		MOSIB_B									
B1	75	C3	53	C3	35	35	TDI	P110		GTOVLO_A	GTIOC1B_A		CRX1_A	CTS2_RT2_B/ SS2_B		MISOB_B					VCOU_T			IRQ3	
C2	76	D3	54	D3	36	36		P111	A05		GTIOC3A_A			RXD9_B/ MISO9_B/ SCL9_B		RSPCKB_B						CAPH		IRQ4	
D3	77	C1	55	C1	37	37		P112	A04		GTIOC3B_A			TXD2_B/ MOSI2_B/ SDA2_B		SSISC_K0_B						CAPL			
C1	78	C2	56	E5	38	38		P113	A03					RXD2_B/ MISO2_B/ SCL2_B		SSIWS0_B							SEG0/COM4		
E4	79	D4	57	D2				P114	A02							SSIRXD0_B							SEG24		
E3	80	D1	58	E4				P115	A01							SSITXD0_B							SEG25		
D2	81							P806															SEG26		
D1	82							P807															SEG27		
F4	83	D2	59	D1				P608	A00/BC0														SEG28		
E2	84	E3	60	E3				P609	CS1														SEG29		
F3	85	E1	61	E2				P610	CS0														SEG30		
E1	86	E4						P611															SEG31		
F2	87	F5						P612	D08														SEG32		
F1	88	E2						P613	D09														SEG33		
G3	89							P614	D10														SEG34		
G1	90	F1	62	E1	39	39	VCC																		
G2	91	G1	63	F1	40	40	VSS																		
H1	92							P606															SEG35		
H2	93	F2						P605	D11														SEG36		
G4	94	F3						P604	D12														SEG37		
H3	95	F4	64	F2				P603	D13														SEG38		
J1	96	G2	65	F3				P602	EBCLK														SEG39		
J2	97	G5	66	F4				P601	WR/WR0														SEG40		

ピン番号							電源、システム、クロック、デバッグ、CAC、VBATT	IOポート	外部バス	タイマ				通信インターフェース					アナログ			HMI			
LGA145	LQFP144	BGA121	LQFP100	LGA100	LQFP64	QFN64				AGT	GPT_OPS, POEG	GPT	RTC	USBFS,CAN	SCI	IIC	SPI/QSPI	SSI	SDHI	ADC14	DAC12, OPAMP	ACMPHS, ACMPLP	SLCDC	CTSU	割り込み
H4	98	G4	67	F5			P600	RD														SEG41			
K2	99						P805																SEG42		
K1	100						P804																SEG43		
J3	101	H1	68	G3	41	41	P107	D07		GTIOC8A_A												COM3	KR07		
K3	102	G3	69	G2	42	42	P106	D06		GTIOC8B_A				SSLA3_A								COM2	KR06		
J4	103	H2	70	G1	43	43	P105	D05	GTET RGA_C					SSLA2_A								COM1	KR05/IRQ0		
L3	104	H3	71	H1	44	44	P104	D04	GTET RGB_B					SSLA1_A								COM0	KR04/IRQ1		
L1	105	J1	72	H3	45	45	P103	D03	GTOW UP_A	GTIOC2A_A			CTS0 RTSO_A/SS0_A	SSLA0_A		AN024		CMPEF1	VL4			KR03			
M1	106	J2	73	J1	46	46	P102	D02	AGT0	GTOW LO_A	GTIOC2B_A		SCK0_A	RSPCKA_A		AN025	ADTRGO_A	CMPIN1	VL3			KR02			
M2	107	K1	74	H2	47	47	P101	D01	AGTE0	GTET RGB_A			TXD0_A/MOSIO_A/SDA0_A/CTS1_RTS1_A/SS1_A	SDA1_B	MOSIA_A		AN026	CMPEF0	VL2			KR01/IRQ1			
N1	108	L1	75	H4	48	48	P100	D00	AGTIO0_A	GTET RGA_A			RXD0_A/MISO0_A/SCL0_A	SCL1_B	MISOA_A		AN027	CMPIN0	VL1			KR00/IRQ2			
L2	109	L2					P800	D14															SEG44		
N2	110	K2					P801	D15															SEG45		
N3	111						P802																SEG46		
M3	112						P803																SEG47		
K4	113	K3	76	K1	49	49	P500		AGTIOA0	GTIU_B			USB_VBUSE_N_B		QSPCLK		AN016					SEG48			
M4	114	L3	77	J2	50	50	P501		AGTIOB0	GTIV_B			USB_OVRCLRA		QSSL		AN017					SEG49	IRQ11		
L4	115	J3	78	K2	51	51	P502			GTIW_B			USB_OVRCLRB		QIO0		AN018					SEG50	IRQ12		
K5	116	J4	79	G4			P503			GTET RGC_B			USB_EXICEN_B		QIO1		AN019					SEG51			
L5	117	H4	80	G5			P504			GTET RGD_B			USB_ID_B		QIO2		AN020								
K6	118	J5	81	G6			P505								QIO3		AN021						IRQ14		
L6	119	H5					P506										AN022						IRQ15		
N4	120						P507										AN023								
N5	121	L4	82	K3			VCC																		
M5	122	K4	83	J3			VSS																		
M6	123	K5	84	J4	52	52	P015										AN015	DA1	IVCMP5/IVCMP2				IRQ13		
N6	124	L5	85	K4	53	53	P014										AN014	DA0	IVREF5/IVREF2						
M7	125	K6	86	J5	54	54	VREFL	P013									AN013	AMP1+							
N7	126	L6	87	K5	55	55	VREFH	P012									AN012	AMP1-							
L7	127	J6	88	H5	56	56	AVCC0																		
L8	128	J7	89	H6	57	57	AVSS0																		
M8	129	K7	90	J6	58	58	VREFL0	P011									AN011	AMP2+				TS31	IRQ15		
N8	130	L7	91	K6	59	59	VREFH0	P010									AN010	AMP2-				TS30	IRQ14		
M9	131							P009									AN009							IRQ13	
N9	132	H6	92	J7				P008									AN008					TS29	IRQ12		
K7	133	H7	93	H7				P007									AN007	AMP30	IVCMP4/IVCMP1						
L9	134	H8	94	G7				P006									AN006	AMP3+	IVREF4/IVREF1			TS27	IRQ11		
K8	135	L8	95	K7				P005									AN005	AMP30	IVREF0			TS26	IRQ10		

ピン番号							電源、システム、クロック、 子バッグ、CAC、VBATT	I/Oポート	外部バス	タイマ				通信インターフェース					アナログ			HMI	
LGA145	LQFP144	BGA121	LQFP100	LGA100	LQFP64	QFN64				AGT	GPT_OPS, POEG	GPT	RTC	USBFS,CAN	SCI	IIC	SPI/QSPI	SSI	SDHI	ADC14	DAC12, OPAMP	ACMPHS, ACMPLP	SLCDC
K9	136	J8	96	J8	60	60		P004									AN004	AMP2 O	IVCMP 0			IRQ9	
K10	137	K8	97	H8	61	61		P003									AN003	AMP1 O	IVREF 3/ IVCMP 3				
M10	138	J9	98	K8	62	62		P002									AN002	AMP0 O	IVREF 2/ IVCMP 2			IRQ8	
N10	139	K9	99	K9	63	63		P001									AN001	AMP0 O	IVREF 1/ IVCMP 1		TS22	IRQ7	
L10	140	L9	100	K10	64	64		P000									AN000	AMP0+ O	IVREF 0/ IVCMP 0		TS21	IRQ6	
N11	141						VSS																
N12	142						VCC																
M11	143	L10						P512		GTIOC 0A_B		TXD4_ B/ MOSI4 B/ SDA4_ B	SCL2									IRQ14	
M12	144	K10						P511		GTIOC 0B_B		RXD4_ B/ MISO4 B/ SCL4_ B	SDA2									IRQ15	
E5		F6					NC																

注. いくつかの端子名には、\_A、\_B、および \_C という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

## 2. CPU

本 MCU は、ARM® Cortex®-M4 コアをベースにしています。

### 2.1 概要

#### 2.1.1 CPU

- ARM Cortex-M4
  - リビジョン : r0p1-01rel0
  - ARMv7E-M アーキテクチャプロファイル
  - 単精度浮動小数点ユニット (ANSI/IEEE 規格 754-2008 に準拠)
- メモリプロテクションユニット (MPU)
  - ARMv7 保護メモリシステムアーキテクチャ
  - 8 つのメモリ保護領域
- SysTick タイマ
  - LOCO クロックによる駆動 (32.768kHz ± 10%)

詳細は、[参考資料 1](#) および [2](#) を参照してください。

#### 2.1.2 デバッグ

- ARM CoreSight™ ETM™-M4 :
  - リビジョン : r0p1-00rel0
  - ARM ETM アーキテクチャバージョン 3.5
- CoreSight 計装トレースマクロセル (ITM)
- データウォッチポイント & トレース (DWT) ユニット :
  - ウォッチポイントとトリガ用の 4 つのコンパレータ
- フラッシュパッチ & ブレークポイント (FPB) ユニット :
  - 6 つの命令コンパレータ
  - 2 つのリテラルコンパレータ
- CoreSight タイムスタンプジェネレータ (TSG) :
  - ETM および ITM 用タイムスタンプ
  - CPU クロックによる駆動
- デバッグレジスタモジュール (DBGREG) :
  - リセットコントロール
  - 停止コントロール
- CoreSight デバッグアクセスポート (DAP) :
  - JTAG デバッグポート (JTAG-DP)
  - シリアルワイヤデバッグポート (SW-DP)



- Cortex-M4 トレースポートインタフェースユニット (TPIU) :
  - シリアルワイヤ出力
- CoreSight エンベデッドトレースバッファ (ETB) :
  - CoreSight トレースメモリコントローラ (ETB コンフィグレーション内蔵)
  - バッファサイズ : 1KB

詳細は、[参考資料 1](#) および [2](#) を参照してください。

### 2.1.3 動作周波数

本 MCU の動作周波数は以下のとおりです。

- CPU コア : 最大 48MHz
- トレース (SWO) : 最大 12.5MHz
- JTAG IF : 最大 12.5MHz
- SWD IF : 最大 12.5MHz

[図 2.1](#) に Cortex-M4 CPU のブロック図を示します。

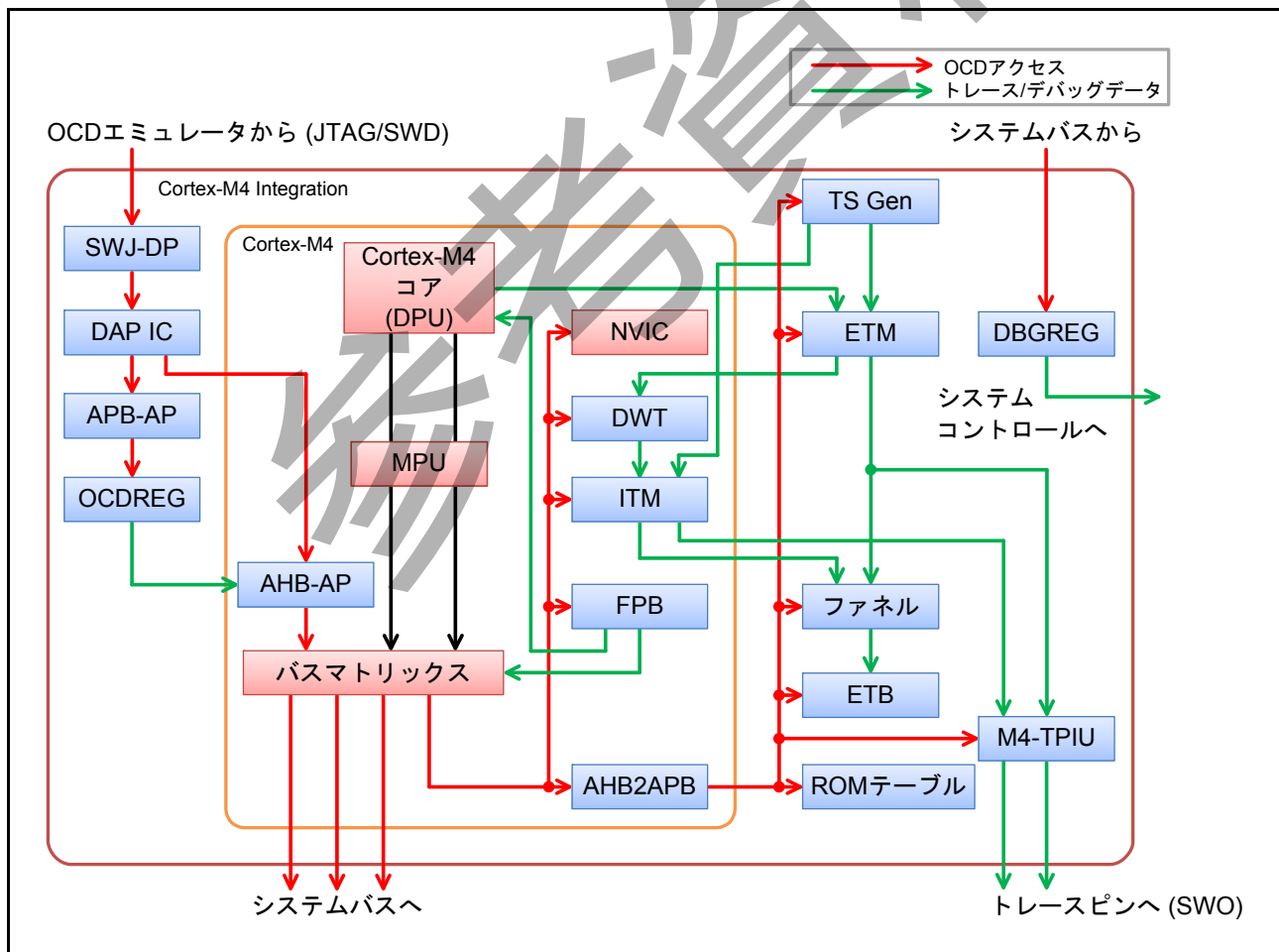


図 2.1 Cortex-M4 CPU ブロック図

## 2.2 MCUの実装オプション

表 2.1 実装オプション

オプション	実装
MPUの組み込み	あり (8つのメモリ保護領域)
FPUの組み込み	あり
割り込み回数	64
プライオリティビット数	4
ウェイクアップ割り込みコントローラ (WIC (注1)) の数	なし
スリープモードパワーセーブ	スリープモードなどの低消費電力モードがサポートされています。詳細は、「11. 低消費電力モード」を参照してください。 SCB.SCR.SLEEPDEEPは無視されます。
エンディアン形式	リトルエンディアン
SysTick SYST_CALIBレジスタ	SYST_CALIB = 4000 0147h ビット[31] = 0                    基準クロック提供 ビット[30] = 1                    TERMS値が精度異常 ビット[29:24] = 00h            予約ビット ビット[23:0] = 000147h        TERM : (32768 × 10ms) - 1 / 32.768kHz = 326.66 (10進) = 327 (スキューを含む) = 000147h
イベント入出力	実装なし
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタのSYSRESETREQビットによってCPUがリセットされます。
補助フォルト入力 (AUXFAULT)	実装なし

注 1. ウェイクアップ割り込みコントローラ (WIC) の代わりに、ICUによってCPUのウェイクアップが可能です。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

## 2.3 トレースインタフェース

本 MCU は、トレース出力用のシリアルワイヤ出力（SWO）を備えています。

表 2.2 は、トレース機能用のチップ端子を示しています。この端子は、他機能との兼用端子です。

表 2.2 トレース機能の端子

名称	入出力	幅	機能	使用しない場合
TDO/SWO	出力	1ビット	シリアルワイヤ出力 # JTAG TDO 端子と兼用	オープン

## 2.4 JTAG/SWD インタフェース

表 2.3 はチップの JTAG/SWD 端子を示しています。

表 2.3 JTAG/SWD 端子

名称	入出力	P/N	幅	機能	使用しない場合
TCK/SWCLK	入力	Pos.	1ビット	JTAG クロック端子 シリアルワイヤデータクロック端子	プルアップ
TMS/SWDIO	入出力	Neg.	1ビット	JTAG TMS 端子 シリアルワイヤデータ入出力端子	プルアップ
TDI	入力	Pos.	1ビット	JTAG TDI 端子	プルアップ
TDO/SWO	出力	Neg.	1ビット	JTAG TDO 端子 シリアルワイヤ出力と兼用	オープン

## 2.5 デバッグモード

### 2.5.1 デバッグモード定義

本 MCU は 2 種類の CPU デバッグモードを備えています。

表 2.4 に、CPU デバッグモードとその条件を示します。

表 2.4 CPU デバッグモードおよび条件

条件		モード	
OCD 接続	JTAG/SWD 認証	デバッグモード	デバッグ認証
未接続	—	ユーザモード	禁止
接続	不合格	ユーザモード	禁止
接続	合格	OCD モード	許可

- 注 . OCD 接続は、SWJ-DP レジスタの CDBGPWRUPREQ ビット出力によって判別されます。このビットは OCD によってのみ書き込み可能です。ただし、このビットのレベルは、DBGSTR.CDBGPWRUPREQ ビットを読み出すことで確認できます。
- 注 . デバッグ認証は、ARMv7-M アーキテクチャによって定義されます。「許可」とは、侵入型と非侵入型の両方の CPU デバッグが許可されることを意味します。「禁止」とは、これらが両方とも許可されないことを意味します。

## 2.5.2 デバッグモードの影響

デバッグモードはCPUの内部および外部に影響を与えます。デバッグモードの影響を以下に示します。

### 2.5.2.1 低消費電力モード

すべてのCoreSight デバッグコンポーネントは、CPUがソフトウェアスタンバイモードまたはスヌーズモードへ遷移した場合でも、レジスタの設定値を保持することが可能です。ただし、これらの低消費電力モードにおいては、AHB-APはオンチップデバッグ(OCD)アクセスに応答できません。すなわち、CoreSight デバッグコンポーネントにアクセスするには、OCDは低消費電力モードが解除されるのを待つ必要があります。この場合、OCDはMCUCTRLレジスタのDBIRQビットを用いて、低消費電力モードの解除を要求できます。詳細は、[2.6.5.3 MCUコントロールレジスタ \(MCUCTRL\)](#)を参照してください。

### 2.5.2.2 リセット

OCDモードでは、一部のリセットはCPU状態とDBGSTOPCRの設定内容に依存します。

表 2.5 リセット/割り込みおよびモード設定

リセット/割り込み名称	オンチップデバッグ (OCD) モード時の制御	
	OCDブレイクモード	OCD RUNモード
RES端子リセット	ユーザモードと同じ	
パワーオンリセット	ユーザモードと同じ	
独立ウォッチドッグタイマリセット/割り込み	発生なし (注1)	DBGSTOPCRの設定内容に依存 (注2)
ウォッチドッグタイマリセット/割り込み	発生なし (注1)	DBGSTOPCRの設定内容に依存 (注2)
電圧監視0リセット	DBGSTOPCRの設定内容に依存 (注3)	
電圧監視1リセット/割り込み	DBGSTOPCRの設定内容に依存 (注3)	
電圧監視2リセット/割り込み	DBGSTOPCRの設定内容に依存 (注3)	
SRAMパリティエラーリセット/割り込み	DBGSTOPCRの設定内容に依存 (注3)	
SRAM ECCエラーリセット/割り込み	DBGSTOPCRの設定内容に依存 (注3)	
MPUバスマスタリセット/割り込み	ユーザモードと同じ	
MPUバススレーブリセット/割り込み	ユーザモードと同じ	
スタックポインタエラーリセット/割り込み	ユーザモードと同じ	
ソフトウェアリセット	ユーザモードと同じ	

注. 「OCDブレイクモード」はCPUが停止していることを意味し、「OCD RUNモード」はCPUがOCDモードにあって、停止していないことを意味します。

注1. このモードではIWDWT/WDTは常に停止しています。

注2. IWDWT/WDTが動作するか否かは、DBGSTOPCRの設定内容に依存します。

注3. リセット/割り込みをマスクするか否かは、DBGSTOPCRの設定内容に依存します。

## 2.6 プログラマモデル

### 2.6.1 アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート (AP) があります。

- AHB-AP : CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします。
- APB-AP : 専用のアドレス空間 (OCD アドレス空間) を持ち、OCD レジスタ (OCD) に接続されます。

図 2.2 は、AP 接続とアドレス空間のブロック図です。

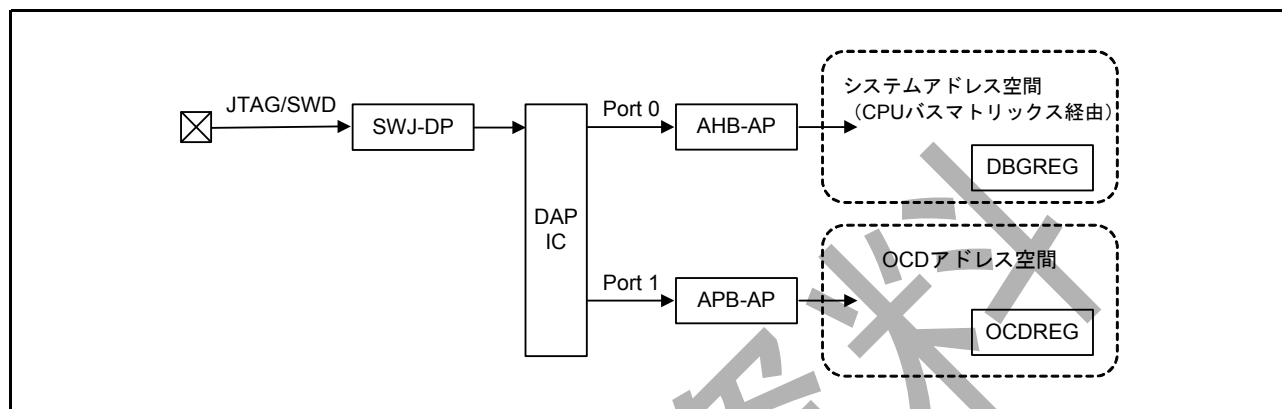


図 2.2 JTAG/SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、OCD エミュレータ、CPU、および LSI の他のバスマスタからアクセスが可能です。OCDREG は OCD アドレス空間に配置され、OCD ツールからのみアクセスが可能です。CPU と他のバスマスタは OCD レジスタにアクセスできません。

### 2.6.2 Cortex-M4 ペリフェラルアドレスマップ

システムアドレス空間では、Cortex-M4 コアは専用周辺バス (PPB) を備えます。このバスは CPU および OCD エミュレータからのみアクセスが可能です。PPB は、本 MCU に対する Cortex-M4 オリジナル実装から拡張されます。表 2.6 は、本 MCU のアドレスマップを示しています。

表 2.6 Cortex-M4 ペリフェラルアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
ITM	E000 0000h	E000 0FFFh	参考資料 2. を参照してください。
DWT	E000 1000h	E000 1FFFh	参考資料 2. を参照してください。
FPB	E000 2000h	E000 2FFFh	参考資料 2. を参照してください。
SCS	E000 ED00h	E000 EFFFh	参考資料 2. を参照してください。
TPIU	E004 0000h	E004 0FFFh	参考資料 2. を参照してください。
ETM	E004 1000h	E004 1FFFh	参考資料 5. を参照してください。
ATB ファネル	E004 2000h	E004 2FFFh	2.7 を参照してください。 参考資料 4. を参照してください。
ETB	E004 3000h	E004 3FFFh	参考資料 6. を参照してください。
タイムスタンプジェネレータ	E004 4000h	E004 4FFFh	2.9 を参照してください。 参考資料 4. を参照してください。
ROM テーブル	E00F F000h	E00F FFFFh	2.6.3 を参照してください。 参考資料 7. を参照してください。

### 2.6.3 CoreSight ROM テーブル

本 MCU には、1 つの CoreSight ROM テーブルがあります。この ROM テーブルには、ARM コンポーネントのリストを保持するエントリが含まれています。

#### 2.6.3.1 ROM エントリ

ROM エントリは、システムのコンポーネントリストを保持しています。OCD エミュレータは、この ROM エントリを使用して、システムに実装されているコンポーネントを識別できます。詳細は、[参考資料 7](#) を参照してください。

表 2.7 CoreSight ROM テーブルの ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象モジュール
0	E00F F000h	32ビット	R	FFF0F003	SCS
1	E00F F004h	32ビット	R	FFF02003	DWT
2	E00F F008h	32ビット	R	FFF03003	FPB
3	E00F F00Ch	32ビット	R	FFF01003	ITM
4	E00F F010h	32ビット	R	FFF41003	TPIU
5	E00F F014h	32ビット	R	FFF42003	ETM
6	E00F F018h	32ビット	R	FFF43003	ファネル
7	E00F F01Ch	32ビット	R	FFF44003	ETB
8	E00F F020h	32ビット	R	FFF45003	TSG
9	E00F F024h	32ビット	R	00000000	(エントリ終了)

#### 2.6.3.2 CoreSight レジスタ

CoreSight ROM テーブルは、ARM CoreSight アーキテクチャで定義された CoreSight レジスタを含んでいます。各レジスタの詳細は、[参考資料 7](#) を参照してください。

表 2.8 CoreSight ROM テーブルの CoreSight レジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
DEVTYPE	E00F FFCCh	32ビット	R	00000001h
PID4	E00F FFD0h	32ビット	R	00000004h
PID5	E00F FFD4h	32ビット	R	00000000h
PID6	E00F FFD8h	32ビット	R	00000000h
PID7	E00F FFDCh	32ビット	R	00000000h
PID0	E00F FFE0h	32ビット	R	00000002h
PID1	E00F FFE4h	32ビット	R	00000030h
PID2	E00F FFE8h	32ビット	R	0000000Ah
PID3	E00F FFECh	32ビット	R	00000000h
CID0	E00F FFF0h	32ビット	R	0000000Dh
CID1	E00F FFF4h	32ビット	R	00000010h
CID2	E00F FFF8h	32ビット	R	00000005h
CID3	E00F FFFCh	32ビット	R	000000B1h

## 2.6.4 DBGREG

DBGREG は、デバッグ機能を制御するレジスタモジュールです。DBGREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.9 は、CoreSight コンポーネントレジスタを除いた、DBGREG のレジスタ一覧です。

表 2.9 DBGREG のレジスタ一覧

名称	DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	ポート0	4001 B000h	32ビット	R
デバッグストップコントロールレジスタ	ポート0	4001 B010h	32ビット	R/W
トレースコントロールレジスタ	ポート0	4001 B020h	32ビット	R/W

### 2.6.4.1 デバッグステータスレジスタ (DBGSTR)

アドレス [DBG.DBGSTR 4001 B000h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	CDBGP WRUP ACK	CDBGP WRUP REQ	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと0が読めます。	R
b28	<a href="#">CDBGPWRUPREQ</a>	デバッグパワーアップ要求	0 : OCDはデバッグパワーアップを要求していない 1 : OCDはデバッグパワーアップを要求している	R
b29	<a href="#">CDBGPWRUPACK</a>	デバッグパワーアップアクノリッジ	0 : デバッグパワーアップ要求は承認されない 1 : デバッグパワーアップ要求は承認される	R
b31-b30	—	予約ビット	読むと0が読めます。	R

## 2.6.4.2 デバッグストップコントロールレジスタ (DBGSTOPCR)

アドレス DBG.DBGSTOPCR 4001 B010h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	DBGST OP_RE CCR	DBGST OP_RP ER	—	—	—	—	—	DBGSTOP_LVD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGST OP_W DT	DBGST OP_IW DT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DBGSTOP_IWDT	IWDTリセット／割り込み用のマスクビット	0：IWDTリセット／割り込みを許可 1：IWDTリセット／割り込みをマスクし、CPUがOCDブレイクモードの場合はWDTカウントを停止	R/W
b1	DBGSTOP_WDT	WDTリセット／割り込み用のマスクビット	0：WDTリセット／割り込みを許可 1：WDTリセット／割り込みをマスクし、CPUがOCDブレイクモードの場合はWDTカウントを停止	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	DBGSTOP_LVD[2:0]	LVD0リセット／割り込み用のマスクビット	0：LVD0リセット／割り込みを許可 1：LVD0リセット／割り込みをマスク	R/W
b17		LVD1リセット／割り込み用のマスクビット	0：LVD1リセット／割り込みを許可 1：LVD1リセット／割り込みをマスク	R/W
b18		LVD2リセット／割り込み用のマスクビット	0：LVD2リセット／割り込みを許可 1：LVD2リセット／割り込みをマスク	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	DBGSTOP_RPER	SRAMパリティエラーリセット／割り込み用のマスクビット	0：SRAMパリティエラーリセット／割り込みを許可 1：SRAMパリティエラーリセット／割り込みをマスク	R/W
b25	DBGSTOP_RECCE	SRAM ECCエラーリセット／割り込み用のマスクビット	0：SRAM ECCエラーリセット／割り込みを許可 1：SRAM ECCエラーリセット／割り込みをマスク	R/W
b31-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時の機能停止を指定します。このレジスタの全ビットは、チップが OCD モードでないときは、0 とみなされます。



### 2.6.4.3 トレースコントロールレジスタ (TRACECTR)

アドレス **DBG.TRACECTR 4001 B020h**

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ENETB FULL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	ENETBFULL	ETB フルによる停止要求用の許可ビット	0 : ETB フルはCPUを停止させない 1 : ETB フルはCPUを停止させる	R/W

### 2.6.4.4 CoreSight レジスタ

DBGREG は、ARM CoreSight アーキテクチャで定義された CoreSight レジスタを備えています。表 2.10 は、これらのレジスタの一覧です。各レジスタの詳細は、[参考資料 7](#) を参照してください。

表 2.10 DBGREG のレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	4001 BFD0h	32ビット	R	00000004h
PID5	4001 BFD4h	32ビット	R	00000000h
PID6	4001 BFD8h	32ビット	R	00000000h
PID7	4001 BFDCh	32ビット	R	00000000h
PID0	4001 BFE0h	32ビット	R	00000005h
PID1	4001 BFE4h	32ビット	R	00000030h
PID2	4001 BFE8h	32ビット	R	0000001Ah
PID3	4001 BFEC h	32ビット	R	00000000h
CID0	4001 BFF0h	32ビット	R	0000000Dh
CID1	4001 BFF4h	32ビット	R	000000F0h
CID2	4001 BFF8h	32ビット	R	00000005h
CID3	4001 BFFCh	32ビット	R	000000B1h

## 2.6.5 OCDREG

OCDREG は、オンチップデバッグ (OCD) エミュレータ機能を制御するレジスタモジュールです。OCDREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.11 は OCDREG のレジスタ一覧です。

表 2.11 OCDREG のレジスタ一覧

名称	DAPポート	アドレス	アクセスサイズ	R/W
ID 認証コードレジスタ 0	IAUTH0	ポート1 8000 0000h	32ビット	W
ID 認証コードレジスタ 1	IAUTH1	ポート1 8000 0100h	32ビット	W
ID 認証コードレジスタ 2	IAUTH2	ポート1 8000 0200h	32ビット	W
ID 認証コードレジスタ 3	IAUTH3	ポート1 8000 0300h	32ビット	W
MCU ステータスレジスタ	MCUSTAT	ポート1 8000 0400h	32ビット	R
MCU コントロールレジスタ	MCUCTRL	ポート1 8000 0410h	32ビット	R/W

注. OCDREG は専用の OCD アドレス空間に配置されます。このアドレスマップはシステムのアドレスマップから独立しています。

### 2.6.5.1 ID 認証コードレジスタ (IAUTH0 ~ 3)

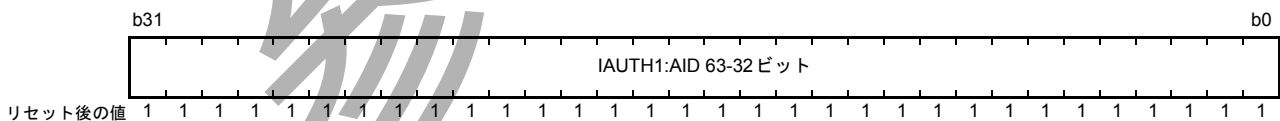
128 ビットキーを書き込むための認証レジスタが存在します。これら 4 つのレジスタは、IAUTH0 から IAUTH3 への順序で書き込む必要があります。レジスタセットへの書き込みがこの順序に従わないと、予測できない結果となります。

32 ビットの書き込みのみが許可されます。これらのレジスタの初期値はすべて 1 です。これは、OSIS レジスタの ID コードが初期値の場合、JTAG/SWD アクセスが許可されることを意味します。2.10.1 アンロック ID コードを参照してください。

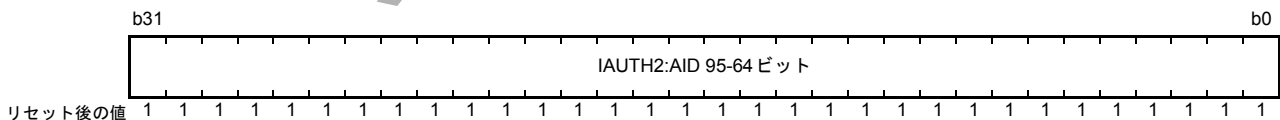
アドレス IAUTH0 8000 0000h



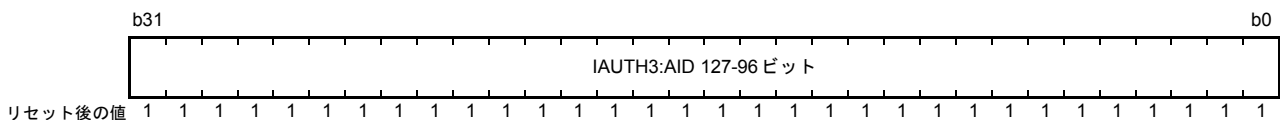
アドレス IAUTH1 8000 0100h



アドレス IAUTH2 8000 0200h



アドレス IAUTH3 8000 0300h



## 2.6.5.2 MCU ステータスレジスタ (MCUSTAT)

アドレス MCUSTAT 8000 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUSL EEP	CPUSL EEP	AUTH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0 (注1)	1/0 (注1)	0

ビット	シンボル	ビット名	機能	R/W
b0	AUTH		0: 認証失敗 1: 認証成功	R
b1	CPUSLEEP		0: CPUは非スリープモード 1: CPUはスリープモード	R
b2	CPUSTOPCLK		0: CPUクロックを停止させない。本MCUが、スヌーズモードまたはソフトウェアスタンバイモードであることを示す 1: CPUクロックを停止させる。本MCUがノーマルモードまたはスリープモードであることを示す	R
b31-b3	—	予約ビット	読むと0が読めます。	R

注1. チップ状態に依存します。

### 2.6.5.3 MCU コントロールレジスタ (MCUCTRL)

アドレス MCUCTRL 8000 0410h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	EDBGRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EDBGRQ	外部デバッグ要求	このビットに1を書き込むと、CPUが停止するかデバッグモニタ例外となります。 0：デバッグイベントを要求しない 1：デバッグイベントを要求する これらの条件はEDBGRQビットに0を書き込むことで解除できます。 - EDBGRQ ビットに0を書く - CPUは停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	DBIRQ	デバッグ割り込み要求	このビットに1を書き込むと、MCUは低消費電力モードから復帰します。 0：デバッグ割り込みを要求しない 1：デバッグ割り込みを要求する この条件はDBIRQビットに0を書き込むことで解除できます。	R/W
b31-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. トップ状態に依存します。

### 2.6.5.4 CoreSight レジスタ

DBGREG は、ARM CoreSight アーキテクチャで定義された CoreSight レジスタを備えています。

表 2.12 は、これらのレジスタの一覧です。各レジスタの詳細は、参考資料 7. を参照してください。

表 2.12 DBGREGのCoreSight レジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	8000 0FD0h	32ビット	R	00000004h
PID5	8000 0FD4h	32ビット	R	00000000h
PID6	8000 0FD8h	32ビット	R	00000000h
PID7	8000 0FDCh	32ビット	R	00000000h
PID0	8000 0FE0h	32ビット	R	00000004h
PID1	8000 0FE4h	32ビット	R	00000030h
PID2	8000 0FE8h	32ビット	R	0000000Ah
PID3	8000 0FECh	32ビット	R	00000000h
CID0	8000 0FF0h	32ビット	R	0000000Dh
CID1	8000 0FF4h	32ビット	R	000000F0h
CID2	8000 0FF8h	32ビット	R	00000005h
CID3	8000 0FFCh	32ビット	R	000000B1h

## 2.7 CoreSight ATB ファネル

チップには、1 個の CoreSight ATB ファネルがあります。このファネルは、2 個の ATB スレーブと 1 個の ATB マスタを含み、ETM および ITM から ETB へのデバッグトレースのソースを選択するために使用されます。図 2.3 は、本チップにおける CoreSight ATB 接続を示しています。

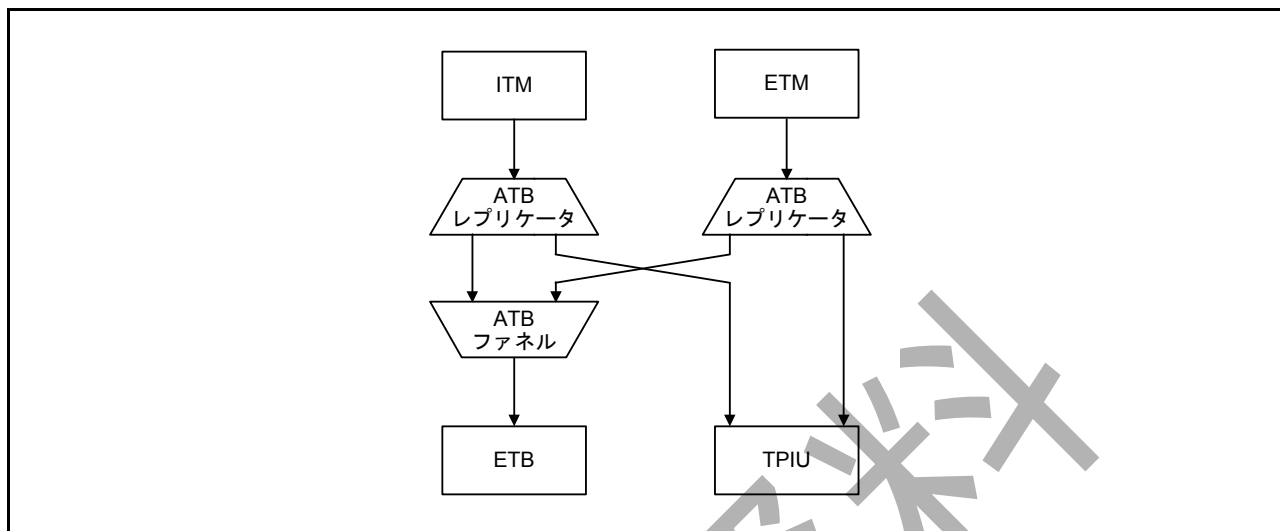


図 2.3 CoreSight ATB 接続

表 2.13 は ATB ファネルのスレーブ接続を示しています。

表 2.13 ATBスレーブ接続

ATBスレーブ番号	接続されるトレースソース
#0	ITM
#1	ETM

ATB とファネルの詳細は、参考資料 4. を参照してください。

## 2.8 SysTick システムタイマ

本 MCU は、簡易的な 24 ビットダウンカウンタとなる SysTick システムタイマを内蔵しています。このタイマには、CPU クロックまたは `clkly_stelk` 基準クロックを選択できます。詳細は、「9. クロック発生回路」および参考資料 1. を参照してください。

## 2.9 CoreSight タイムスタンプジェネレータ

本 MCU は、CPU クロックベースのタイムスタンプを ITM と ETM に供給するため、CoreSight タイムスタンプジェネレータを搭載しています。64 ビットカウンタの LSB 48 ビットが、これら 2 つのコンポーネントに用いられます。詳細は、参考資料 4. を参照してください。

## 2.10 OCD エミュレータ接続

本 MCU は、デバッグとチップリソースへのアクセス許可をチェックするための JTAG/SWD 認証機構を備えています。全デバッグ機能を取得するには、この認証機構の合格結果が必要です。図 2.4 に、認証機構のブロック図を示します。

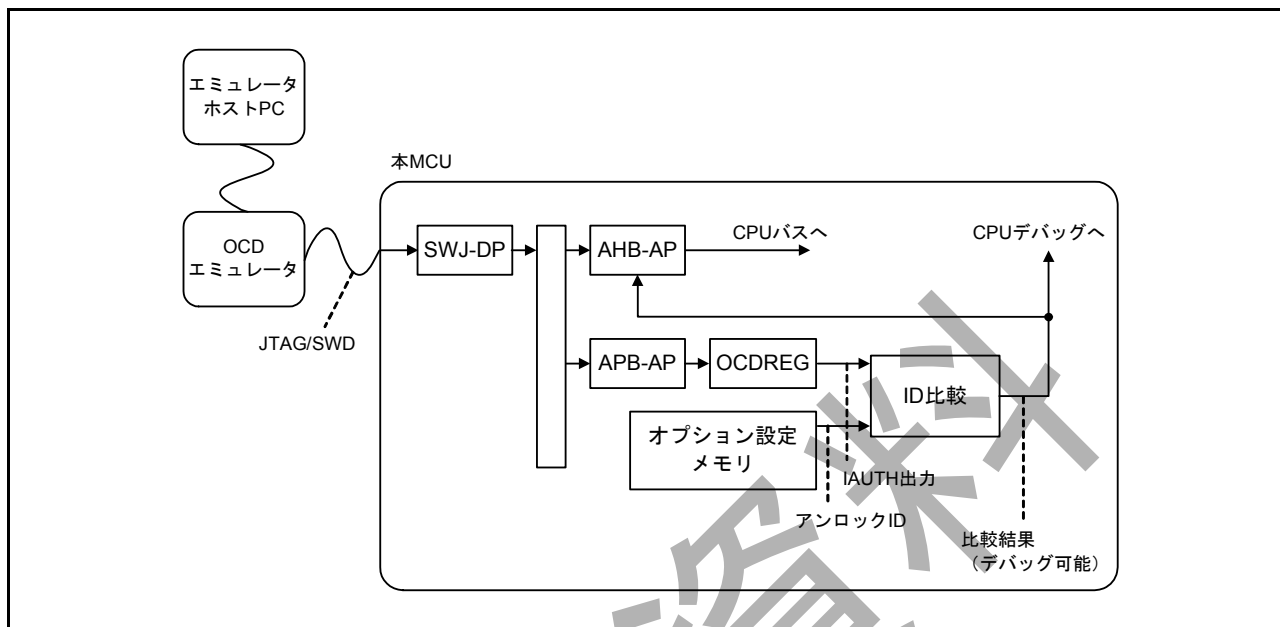


図 2.4 認証機構のブロック図

本 MCU には認証用の ID コンパレータがあります。このコンパレータは、OCDREG からの 128 ビットの IAUTH 出力と、オプション設定メモリからの 128 ビットのアンロック ID コードを比較します。これら 2 つの出力が同一であると、CPU デバッグ機能と、OCD エミュレータからのシステムバスアクセスが許可されます。OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ (SYOCDRC) の DBGEN ビットを設定する必要があります。また、OCD エミュレータは DBGEN ビットをクリアしないと切断されません。「11. 低消費電力モード」の SYOCDRC の説明を参照してください。

### 2.10.1 アンロック ID コード

アンロック ID コードは、デバッグとオンチップリソースへのアクセスの許可を判定するために用いられます。アンロック ID コードが ID 認証レジスタ 0 ~ 3 に書き込まれた 128 ビットデータと一致した場合、JTAG/SWD デバッガはアクセス許可を取得します。アンロック ID コードは、オプション設定メモリの CD / シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれます。アンロック ID コードの初期値は、すべて 1 (FFFFFFFF\_FFFFFFFF\_FFFFFFFF\_FFFFFFFFh) です。OSIS の詳細は、「7. オプション設定メモリ」を参照してください。

### 2.10.2 OCD エミュレータ接続における制限

この節では、エミュレータのアクセス制限について説明します。

#### 2.10.2.1 低消費電力モード中の接続開始

OCD エミュレータから JTAG/SWD 接続を開始するとき、チップはノーマルモードかスリープモードでなければいけません。チップがソフトウェアスタンバイモードかスヌーズモードであると、OCD エミュレータはチップをハングさせる場合があります。

### 2.10.2.2 OCD モードにおける低消費電力モードの切り替え

チップが OCD モードであるとき、チップの低消費電力モードへの切り替えが可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモードまたはスヌーズモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.14 にこれらの制限を示します。

表 2.14 モードごとの制限

現在のモード	OCD エミュレータの接続開始	低消費電力モードへの切り替え	AHB-AP とシステムバスへのアクセス	APB-AP と OCDREG へのアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能
スヌーズ	不可能	可能	不可能	可能

ソフトウェアスタンバイモードまたはスヌーズモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを使用してください。これによって、チップを低消費電力モードから復帰させることができます。同時に、OCDREG の MCUCTRL.EDBGREQ ビットを用いることで、OCD エミュレータは CPU ブレークによって CPU の実行を開始することなく、チップを復帰させることが可能です。

### 2.10.2.3 OSIS におけるアンロック ID コードの変更

OSIS においてアンロック ID コードを変更した後、OCD エミュレータは、RES 端子をアサートするか、またはシステムコントロールブロックのアプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットを 1 にすることによって、本 MCU をリセットする必要があります。変更されたアンロック ID コードは、このリセット後に反映されます。

### 2.10.2.4 接続順序と JTAG/SWD 認証

OCD エミュレータは JTAG/SWD 認証機構で保護されているため、OCD では認証レジスタに対し ID コードの入力が必要となる場合があります。オプション設定メモリの OSIS の値によって、コード入力が必要かどうかが決まります。

#### (1) OSIS がすべて 1 の場合（デフォルト）

OCD 認証は不要であり、OCD は認証なしで AHB-AP を使用できます。

1. JTAG インタフェースまたは SWD インタフェースを介して OCD エミュレータを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは、SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートした後、同じレジスタの CSDBGPWRUPACK がアサートされるまで待つ必要があります。
3. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
4. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

## (2) OSIS がすべて 1 でない場合

OCD 認証が必要であり、OCD は、OCDREG の IAUTH レジスタ 0～3 にアンロックコードを書き込んでから、AHB-AP を使用する必要があります。

1. JTAG インタフェースまたは SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CSDBGPWRUPACK がアサートされるまで待ちます。
3. OCDREG にアクセスするよう APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH レジスタ 0～3 に 128 ビット ID コードを書き込みます。
5. この 128 ビット ID コードが OSIS の値と一致した場合、AHB-AP に対して AHB トランザクションを発行する権限が与えられます。認証結果は、MCUSTAT レジスタの AUTH ビット、または AHB-AP コントロールステータスワードレジスタの DbgStatus ビットで確認できます。
  - DbgStatus ビットが 1 の場合、128 ビット ID コードが OSIS 値と一致している。AHB 転送が許可される
  - DbgStatus ビットが 0 の場合、128 ビット ID コードが OSIS 値と一致していない。AHB 転送は許可されない
6. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
7. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

## 2.11 参考資料

1. *ARM Limited, ARMv7-M Architecture Reference Manual (ARM DDI 0403D)*
2. *ARM Limited, ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D)*
3. *ARM Limited, Cortex-M4 Devices Generic User Guide (ARM DUI 0553A)*
4. *ARM Limited, ARM CoreSight SoC-400 Technical Reference Manual (ARM DDI 0480F)*
5. *ARM Limited, CoreSight ETM-M4 Technical Reference Manual (ARM DDI 0440C)*
6. *ARM Limited, CoreSight Trace Memory Controller Technical Reference Manual (ARM DDI 0461B)*
7. *ARM Limited, ARM CoreSight Architecture Specification (ARM IHI 0029D)*



## 3. 動作モード

### 3.1 動作モードの種類と選択

表 3.1 は、モード設定端子による動作モードの選択を示しています。各動作モードの詳細は、[3.2 動作モードの説明](#)を参照してください。どのモードで起動しても、内蔵フラッシュメモリが有効な状態で動作を開始します。

表 3.1 モード設定端子による動作モードの選択

モード設定端子 MD	動作モード	内蔵フラッシュメモリ
1	シングルチップモード	有効
0	SCI/USB ブートモード	有効

### 3.2 動作モードの説明

#### 3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。

MD 端子が High になっているときにリセットが解除されると、チップはシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

#### 3.2.2 SCI ブートモード

このモードでは、本 MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き込みルーチン（SCI ブートプログラム）が用いられます。調歩同期式インタフェース（SCI）を使用して、本 MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「[48. フラッシュメモリ](#)」を参照してください。

MD 端子を Low に保持してリセットを解除すると、ブートモードで起動します。

#### 3.2.3 USB ブートモード

このモードでは、本 MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン（USB ブートプログラム）が用いられます。USB を使用して、本 MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「[48. フラッシュメモリ](#)」を参照してください。MD 端子を Low に保持してリセットを解除すると、USB ブートモードで起動します。

### 3.3 動作モード遷移

#### 3.3.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、[図 3.1](#) に状態遷移図を示します。

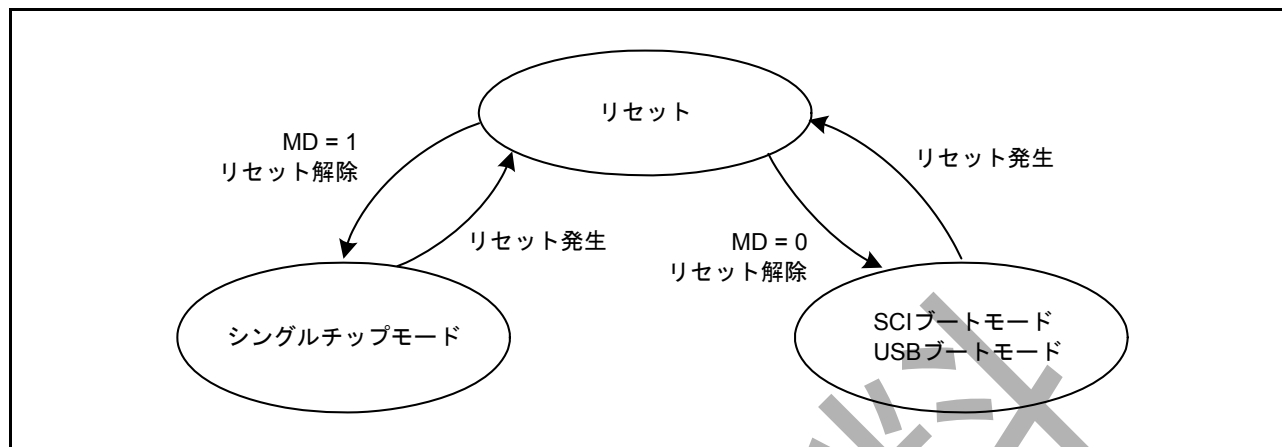


図 3.1 モード設定端子のレベルと動作モード

## 4. アドレス空間

### 4.1 アドレス空間

本 MCU は、プログラムとデータの両方を格納できる 4GB のリニアアドレス空間（0000 0000h ~ FFFF FFFFh）をサポートしています。

図 4.1 にメモリマップを示します。

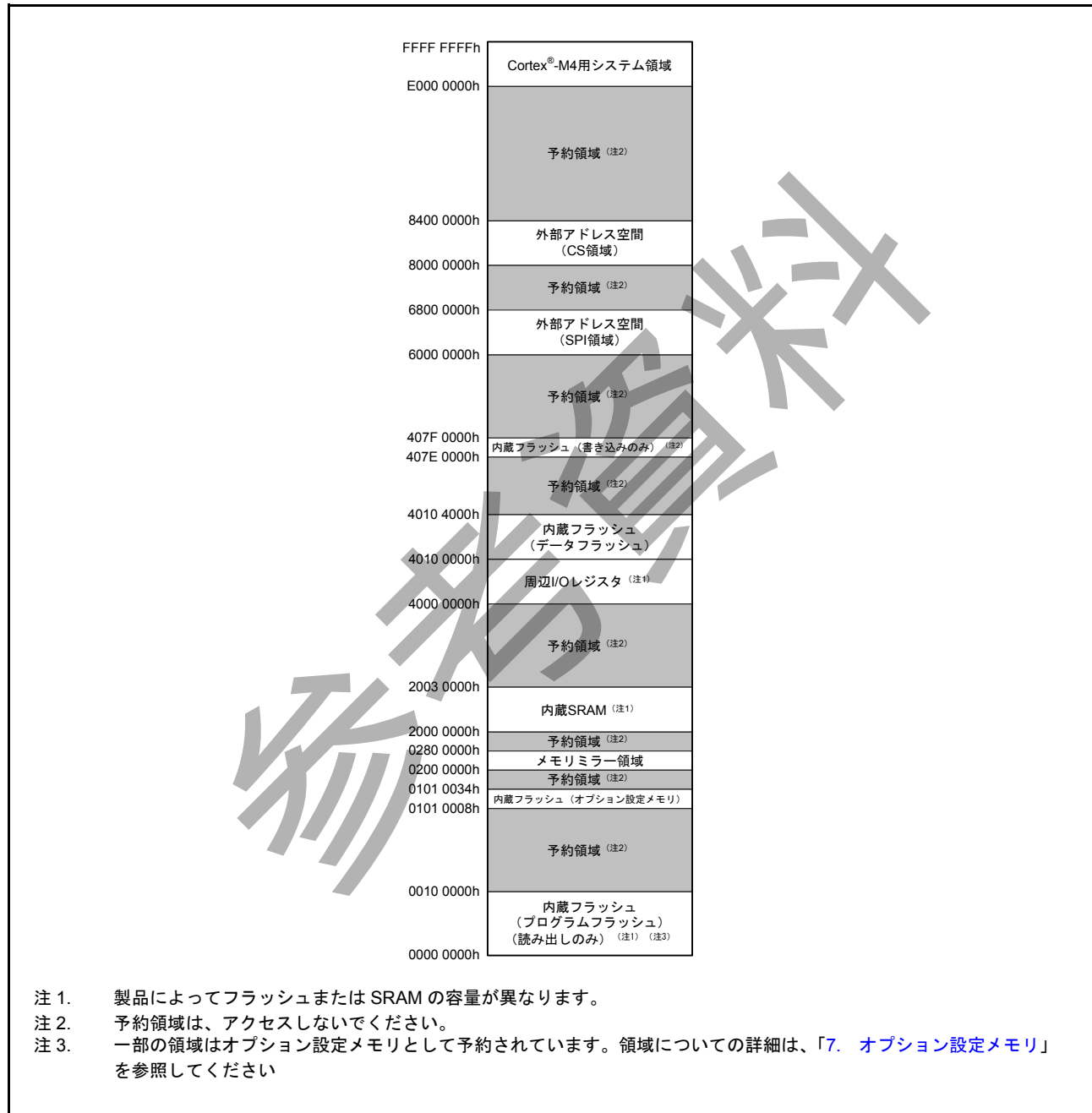


図 4.1 メモリマップ

## 4.2 外部アドレス空間

外部アドレス空間は、CS 領域 (CS0 ~ CS3) と SPI 領域に分割されています。4 つの CS 領域 (CS0 ~ CS3) のそれぞれは、CSn 端子 (n = 0 ~ 3) から出力される CSn 信号に対応しています。また、SPI 領域は、QSPI I/O レジスタと外部 SPI デバイス空間の 2 つの領域に分割されています。

図 4.2 に、個々の CS 領域 (CS0 ~ CS3) と SPI 領域に対応するアドレス範囲を示します。

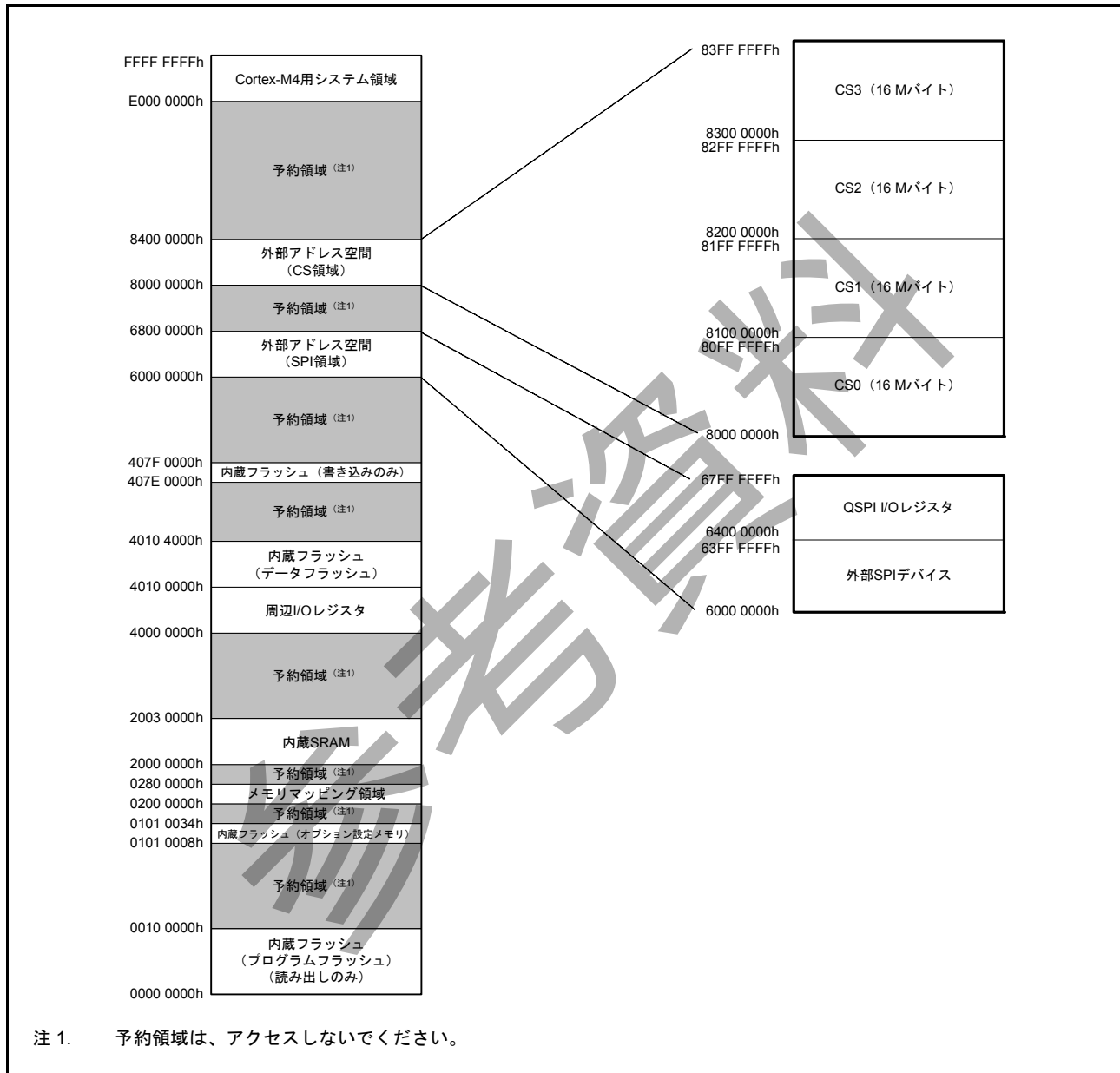


図 4.2 外部アドレス空間と CS 領域の対応関係

## 5. メモリミラー機能 (MMF)

本 MCU は、メモリミラー機能 (MMF) を内蔵しています。

### 5.1 概要

MMF を構成することによって、コードフラッシュメモリ内のアプリケーションイメージのロードアドレスを、未使用の 23 ビットメモリミラー空間アドレスにおけるアプリケーションイメージのリンクアドレスへマップすることが可能です。

ユーザアプリケーションコードを開発する場合、この MMF 転送先アドレスから実行するようにリンクします。ユーザアプリケーションコードでは、コードフラッシュメモリ内に格納される際のロードアドレスを認識する必要がありません。

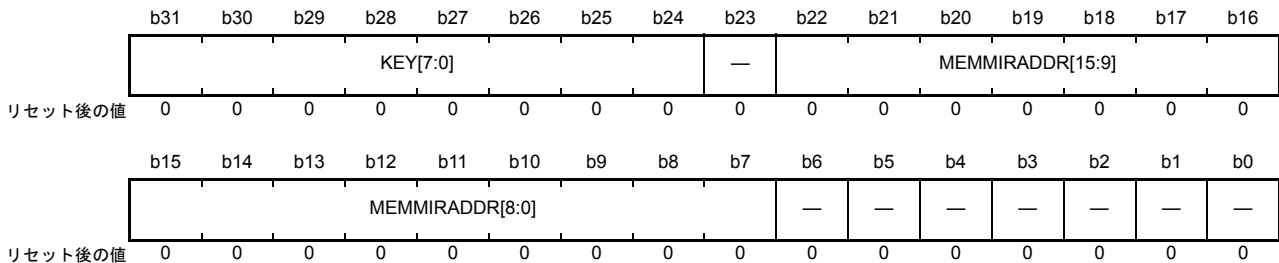
表 5.1 MMFの仕様

項目	内容
メモリミラー空間	8MB (0200 0000h~027F FFFFh)
メモリミラー境界	128バイト

## 5.2 レジスタの説明

### 5.2.1 MemMirror 特殊機能レジスタ (MMSFR)

アドレス MMF.MMSFR 4000 1000h



ビット	シンボル	ビット名	内容	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22-b7	MEMMIRADDR[15:0]	メモリミラーアドレス	0000h~FFFFh (8MB)	R/W
b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b24	KEY[7:0]	MMSFR キーコード	MEMMIRADDR ビットの書き換えの可否を制御します。	R/W

#### MEMMIRADDR[15:0] ビット (メモリミラーアドレス)

メモリミラーアドレスの b22 ~ b7 ビットを指定します。MEMMIRADDR ビットでは、メモリミラー空間アドレスの開始アドレス (0200 0000h) のリンク先を設定します。

MEMMIRADDR ビットへの書き込みは、このレジスタが 32 ビットサイズでアクセスされ、かつ DBh が KEY ビットに書き込まれた場合にのみ許可されます。

#### KEY[7:0] ビット (MMSFR キーコード)

MEMMIRADDR ビットの書き換えの可否を制御します。

KEY ビットへの書き込みデータは保持されません。読むと 0 が読めます。このキーコードと MEMMIRADDR ビットは、同じサイクルで書き込む必要があります。

## 5.2.2 MemMirror イネーブルレジスタ (MMEN)

アドレス MMF.MMEN 4000 1004h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
KEY[7:0]								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—															EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	内容	R/W
b0	EN	メモリミラー機能有効	0: メモリミラー機能は無効 1: メモリミラー機能は有効	R/W
b23-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b24	KEY[7:0]	MMEN キーコード	ENビットの書き換えの可否を制御します。	R/W

### EN ビット (メモリミラー機能有効)

EN ビットへの書き込みは、MemMirror イネーブルレジスタが 32 ビットサイズでアクセスされ、かつ DBh の値が KEY[7:0] ビットに書き込まれた場合にのみ許可されます。

### KEY[7:0] ビット (MMEN キーコード)

EN ビットの書き換えの可否を制御します。KEY[7:0] ビットへの書き込みデータは保持されません。読むと 0 が読めます。このキーコードと EN ビットは、同じサイクルで書き込む必要があります。

## 5.3 動作説明

### 5.3.1 メモリミラー機能

メモリミラー機能は、メモリミラー空間 (0200 0000h ~ 027F FFFFh) をコードフラッシュメモリ領域にリンクさせます。MMEN.EN=1 の場合、CPU は通常のアドレス (開始アドレス : 0000 0000h) とメモリミラー空間アドレス (開始アドレス : 0200 0000h) の両方を使用してコードフラッシュメモリにアクセスできます。図 5.1 にメモリミラー機能の概要を示します。MMSFR.MEMMIRADDR ビットでは、メモリミラー空間アドレスの開始アドレス (0200 0000h) のリンク先を設定します。図 5.2、図 5.3、および図 5.4 に、メモリミラー機能の動作を示します。また、図 5.5 にメモリミラー機能の設定手順を示します。

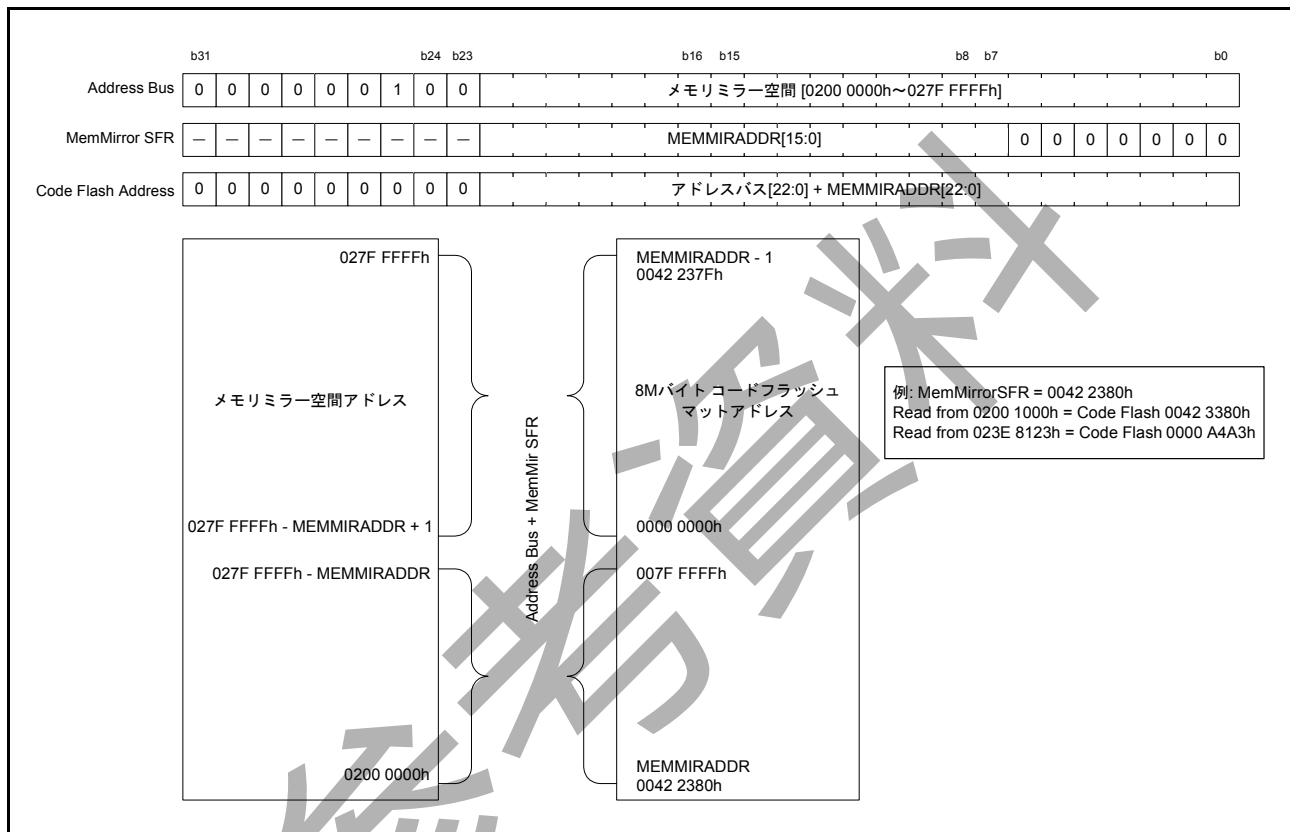


図 5.1 メモリミラー機能



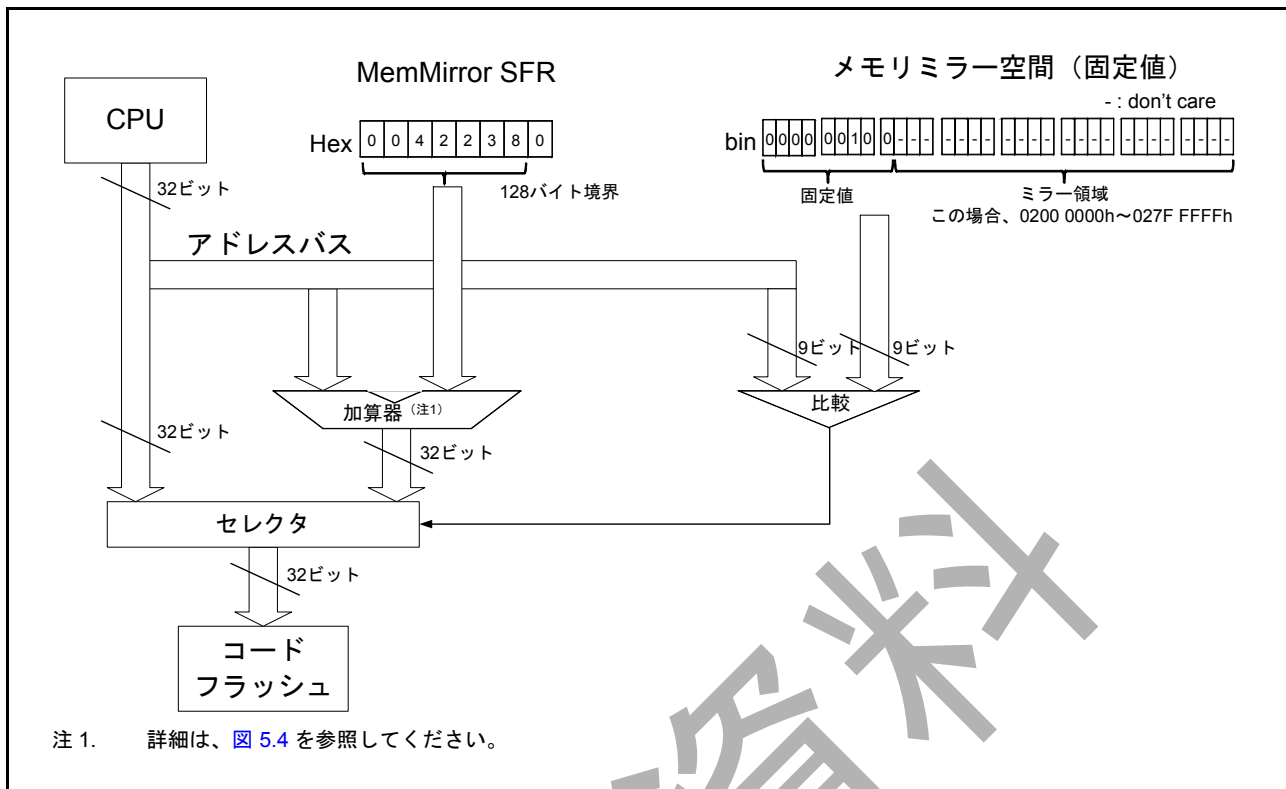


図 5.2 メモリミラー機能のブロック図

図 5.3 に、各モジュールで処理されるアドレスを示します。ARM® MPU は CPU のオリジナルアドレスを使用します。メモリミラー機能を介したセキュリティ MPU とコードフラッシュメモリは、変換後のアドレスを使用します。

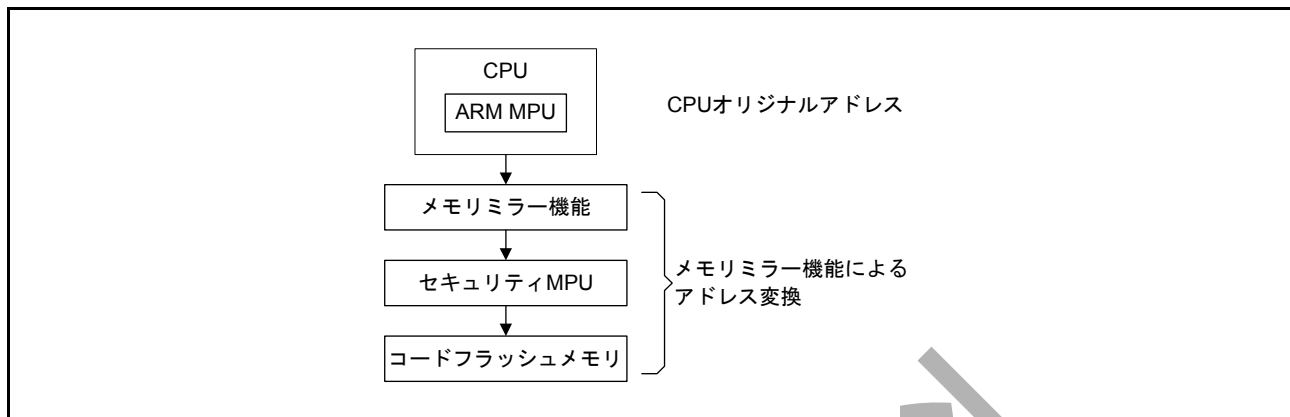


図 5.3 メモリミラー機能のブロック図

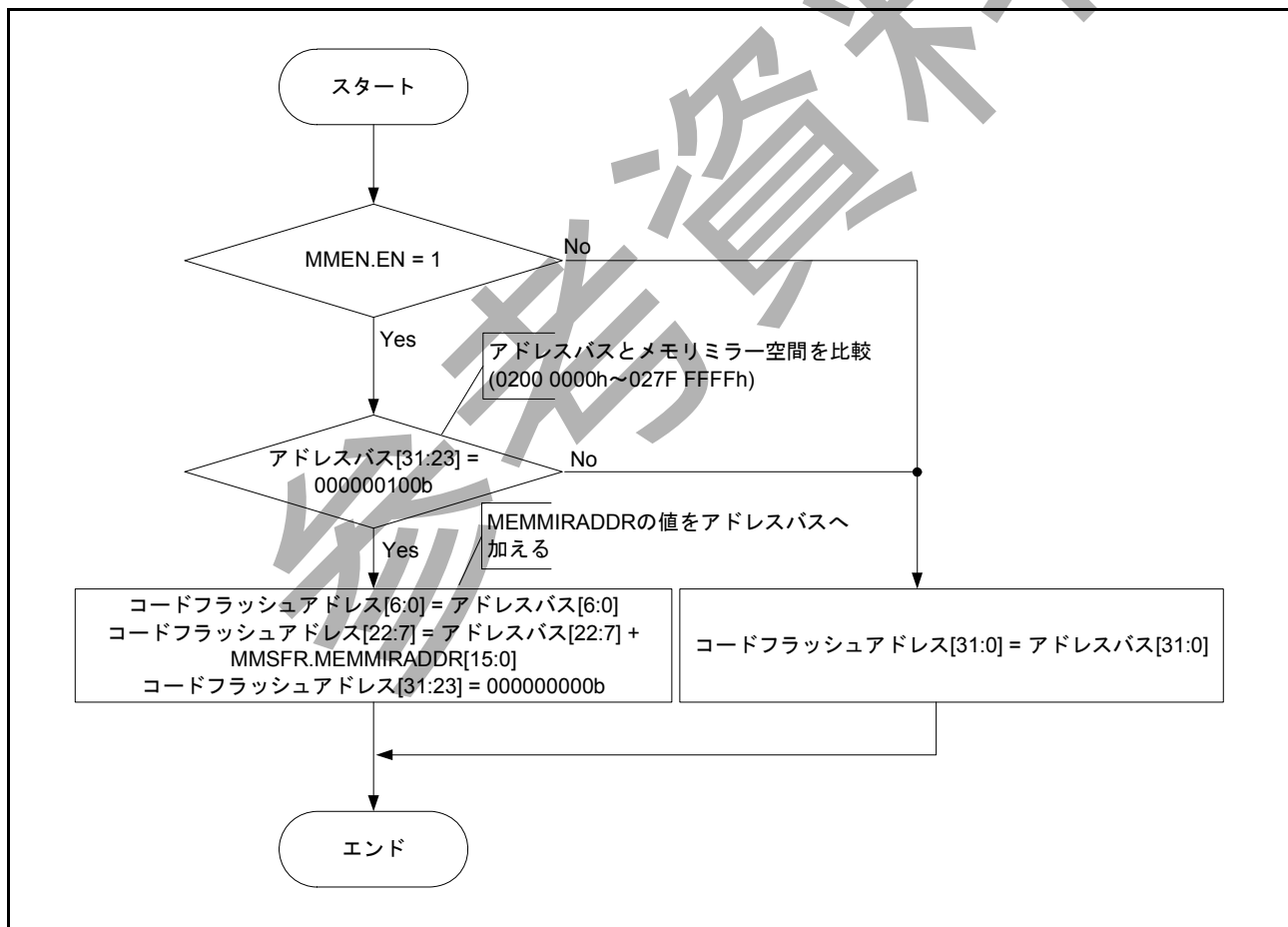


図 5.4 メモリミラー機能のフローチャート

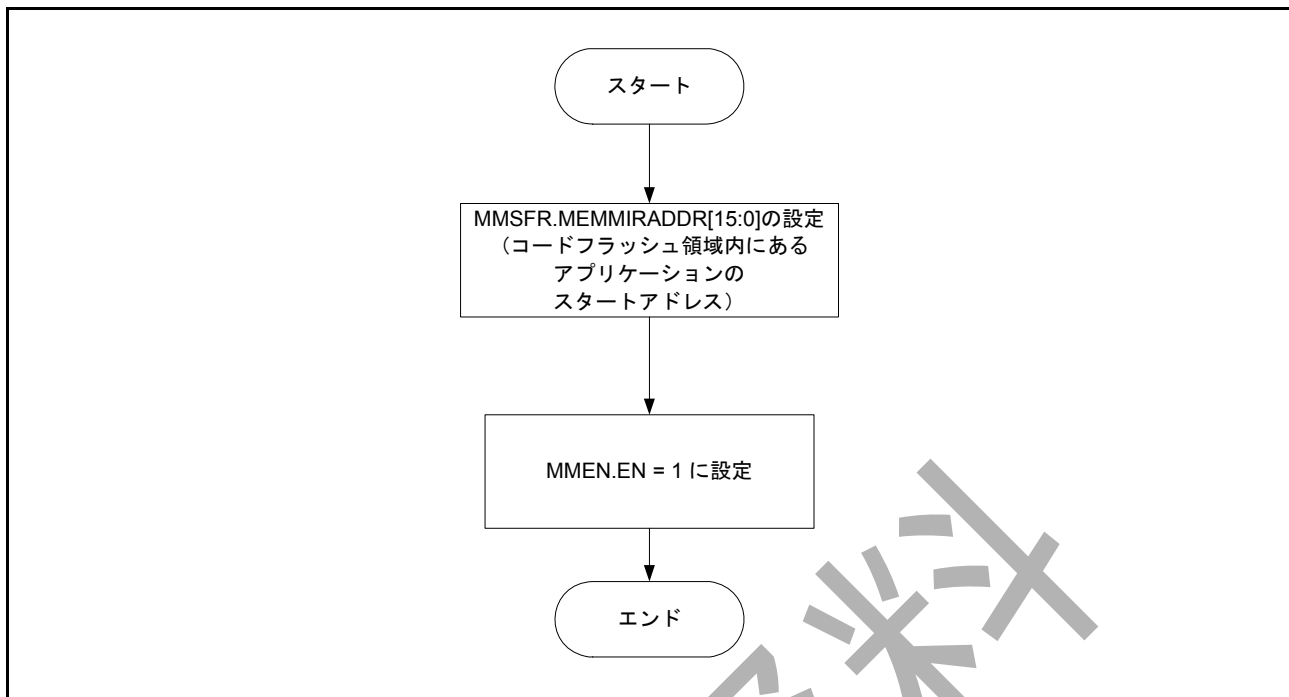


図 5.5 メモリミラー機能の設定フローチャート

### 5.3.2 設定例

図 5.6 に、メモリミラー機能の使用法の例を示します。

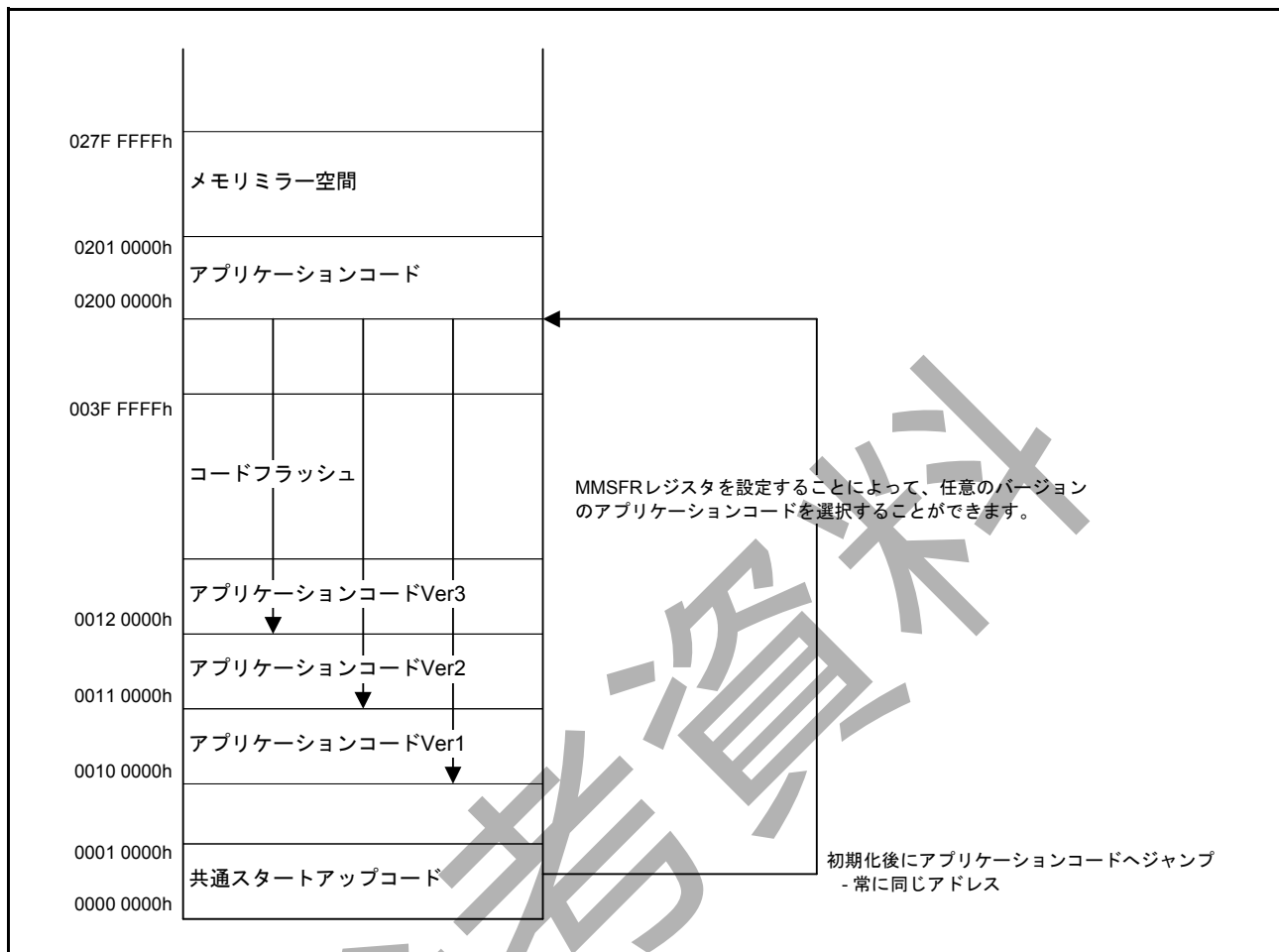


図 5.6 メモリミラー機能

コードフラッシュメモリ上のアドレス MMSFR.MEMMIRADDR にあるアプリケーションコードは、MMSFR.MEMMIRADDR と MME.EN = 1 の設定によって、メモリミラー空間上のアドレス 0200 0000h からアクセスが可能です。

#### 5.3.2.1 MMSFR.MEMMIRADDR の設定

アプリケーションコード Ver.1 を選択した場合、アドレス MMSFR.MEMMIRADDR は 0010 0000h です。  
 アプリケーションコード Ver.2 を選択した場合、アドレス MMSFR.MEMMIRADDR は 0011 0000h です。  
 アプリケーションコード Ver.3 を選択した場合、アドレス MMSFR.MEMMIRADDR は 0012 0000h です。

## 6. リセット

### 6.1 概要

本 MCU は、以下の 14 種類のリセットをサポートしています。

- RES 端子リセット
- パワーオンリセット
- VBATT 選択電圧のパワーオンリセット
- 独立ウォッチドッグタイマリセット
- ウォッチドッグタイマリセット
- 電圧監視 0 リセット
- 電圧監視 1 リセット
- 電圧監視 2 リセット
- SRAM パリティエラーリセット
- SRAM ECC エラーリセット
- バスマスタ MPU エラーリセット
- バススレーブ MPU エラーリセット
- スタックポインタエラーリセット
- ソフトウェアリセット

表 6.1 にリセットの名称と要因を示します。

表 6.1 リセットの名称と要因

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が Low
パワーオンリセット	VCC の上昇 (監視電圧: VPOR) (注1)
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダーフロー、またはリフレッシュエラーの発生
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダーフロー、またはリフレッシュエラーの発生
電圧監視 0 リセット	VCC の下降 (監視電圧: Vdet0) (注1)
電圧監視 1 リセット	VCC の下降 (監視電圧: Vdet1) (注1)
電圧監視 2 リセット	VCC の下降 (監視電圧: Vdet2) (注1)
SRAM パリティエラーリセット	SRAM パリティエラーの検出
SRAM ECC エラーリセット	ECC エラーの検出
バスマスタ MPU エラーリセット	バスマスタ MPU エラーの検出
バススレーブ MPU エラーリセット	バススレーブ MPU エラーの検出
スタックポインタエラーリセット	スタックポインタエラーの検出
ソフトウェアリセット	レジスタ設定 (ARM®ソフトウェアリセットビット: AIRCR.SYSRESETREQ を使用)

注 1. 監視電圧 (VPOR、Vdet0、Vdet1、Vdet2) については、「8. 低電圧検出 (LVD)」と「51. 電氣的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 6.2 と表 6.3 に、リセット種類の初期化対象を示します。

表 6.2 リセット種類の初期化対象（リセット検出フラグ）

初期化対象	リセット要因							
	RES 端子 リセット	パワーオン リセット	電圧監視 0リセット	独立ウォッチ ドッグタイマ リセット	ウォッチ ドッグタイマ リセット	電圧監視 1リセット	電圧監視 2リセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	×	×	×	×	×	×	×
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	×	×	×	×	×	×
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	○	○	○	×	×	×	×	×
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	○	○	○	×	×	×	×	×
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	×	×	×	×	×
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	×	×	×	×	×
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	○	○	○	×	×	×	×	×
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	○	○	○	×	×	×	×	×
SRAM ECCエラーリセット検出フラグ (RSTSR1.REERF)	○	○	○	×	×	×	×	×
バスレーブMPUエラーリセット検出フラグ (RSTSR1.BUSSRF)	○	○	○	×	×	×	×	×
バスマスタMPUエラーリセット検出フラグ (RSTSR1.BUSMRF)	○	○	○	×	×	×	×	×
スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	○	○	○	×	×	×	×	×
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	×	○	×	×	×	×	×	×

初期化対象	リセット要因						
	SRAM パリティ エラー リセット	SRAM ECC エラー リセット	バスマスタ MPUエラー リセット	バスレーブ MPUエラー リセット	スタック ポインタ エラー リセット	VBATT_ POR (注1)	
パワーオンリセット検出フラグ (RSTSR0.PORF)	×	×	×	×	×	×	
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	×	×	×	×	×	×	
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	×	×	×	×	×	×	
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	×	×	×	×	×	×	
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	×	×	×	×	×	×	
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	×	×	×	×	×	×	
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	×	×	×	×	×	×	
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	×	×	×	×	×	×	
SRAM ECCエラーリセット検出フラグ (RSTSR1.REERF)	×	×	×	×	×	×	
バスレーブMPUエラーリセット検出フラグ (RSTSR1.BUSSRF)	×	×	×	×	×	×	
バスマスタMPUエラーリセット検出フラグ (RSTSR1.BUSMRF)	×	×	×	×	×	×	
スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	×	×	×	×	×	×	
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	×	×	×	×	×	×	

○：初期化される。×：初期化されない。

注 1. VBATT\_PORについては、「12. バッテリバックアップ機能」を参照してください。

表 6.3 リセット種類別の初期化対象（各モジュールの関連レジスタ）

初期化対象	レジスタ	リセット要因							
		RES端子 リセット	パワーオン リセット	電圧監視0 リセット	独立 ウォッチ ドッグ タイマ リセット	ウォッチ ドッグ タイマ リセット	電圧監視1 リセット	電圧監視2 リセット	ソフトウェ アリセット
ウォッチドッグタイマ関連のレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR	○	○	○	○	○	○	○	○
電圧監視機能1関連のレジスタ	LVD1CR0, LVCMPGR.LVD1E, LVDLVL.R.LVD1LVL	○	○	○	○	○	X	X	X
	LVD1CR1/LVD1SR	○	○	○	○	○	X	X	X
電圧監視機能2関連のレジスタ	LVD2CR0, LVCMPGR.LVD2E, LVDLVL.R.LVD2LVL	○	○	○	○	○	X	X	X
	LVD2CR1/LVD2SR	○	○	○	○	○	X	X	X
SOSC関連のレジスタ	SOSCCR	X	X	X	X	X	X	X	X
	SOMCR	X	X	X	X	X	X	X	X
LOCO関連のレジスタ	LOCOCR	○	○	○	○	○	○	○	○
	LOCOUTCR	X	X	X	X	X	X	X	X
MOSC関連のレジスタ	MOMCR	○	○	○	○	○	○	○	○
リアルタイムクロック関連のレジスタ (注2)		X	X	X	X	X	X	X	X
AGT関連のレジスタ		X	X	X	X	X	X	X	X
MPU関連のレジスタ		○	○	○	○	○	○	○	○
端子状態 (XCIN/XCOUT端子以外)		○	○	○	○	○	○	○	○
端子状態 (XCIN/XCOUT端子)		X	X	X	X	X	X	X	X
バッテリーバックアップ	VBTCR2, VBTSR, VBTCMPGR, VBTLVDCR, VBTWCTLR, VBTWCH0OTSR, VBTWCH1OTSR, VBTWCH2OTSR, VBTICTLR, VBTCTLR, VBTWTER, VBTWEGR, VBTWFR	X	X	X	X	X	X	X	X
上記以外のレジスタ、CPU、および内部状態		○	○	○	○	○	○	○	○

初期化対象	レジスタ	リセット要因					
		SRAM パリティ エラー リセット	SRAM ECC エラー リセット	バスマスタ MPU エラー リセット	バススレー ブMPU エラーリ セット	スタック ポインタ エラー リセット	VBATT. POR (注3)
ウォッチドッグタイマ関連のレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR	○	○	○	○	○	X
電圧監視機能1関連のレジスタ	LVD1CR0, LVCMPGR.LVD1E, LVDLVL.R.LVD1LVL	X	X	X	X	X	X
	LVD1CR1/LVD1SR	X	X	X	X	X	X
電圧監視機能2関連のレジスタ	LVD2CR0, LVCMPGR.LVD2E, LVDLVL.R.LVD2LVL	X	X	X	X	X	X
	LVD2CR1/LVD2SR	X	X	X	X	X	X
SOSC関連のレジスタ	SOSCCR	X	X	X	X	X	○ (注1)
	SOMCR	X	X	X	X	X	○
LOCO関連のレジスタ	LOCOCR	○	○	○	○	○	○
	LOCOUTCR	X	X	X	X	X	○
MOSC関連のレジスタ	MOMCR	○	○	○	○	○	X
リアルタイムクロック関連のレジスタ (注2)		X	X	X	X	X	○
AGT関連のレジスタ		X	X	X	X	X	○
MPU関連のレジスタ		○	○	X	X	X	X
端子状態 (XCIN/XCOUT端子以外)		○	○	○	○	○	X
端子状態 (XCIN/XCOUT端子)		X	X	X	X	X	○
バッテリーバックアップ	VBTCR2, VBTSR, VBTCMPGR, VBTLVDCR, VBTWCTLR, VBTWCH0OTSR, VBTWCH1OTSR, VBTWCH2OTSR, VBTICTLR, VBTCTLR, VBTWTER, VBTWEGR, VBTWFR	X	X	X	X	X	○
上記以外のレジスタ、CPU、および内部状態		○	○	○	○	○	X

○：初期化される。×：初期化されない。

- 注 1. 各レジスタの初期値については、「9. クロック発生回路」を参照してください。
- 注 2. RTCにはソフトウェアリセットがあります。一部の制御ビットは、いずれのリセットによっても初期化されません。対象ビットの詳細については、「25. リアルタイムクロック (RTC)」を参照してください。
- 注 3. VBATT\_PORについては、「12. バッテリバックアップ機能」を参照してください。

RTC と AGT は、VBATT\_POR 以外のリセット要因によって初期化されません。SOSC と LOCO は、RTC と AGT のクロックソースとして選択可能です。下表は、リセット発生時の SOSC と LOCO の状態を示しています。

表 6.4 リセット発生時の SOSC の状態

		リセット要因	
		VBATT_POR	その他
SOSC	有効または無効	無効に初期化	リセット発生前の状態を継続
	駆動能力	ノーマルモードに初期化	リセット発生前の状態を継続
	XCIN/XCOUT	ポートモードに初期化	リセット発生前の状態を継続

表 6.5 リセット発生時の LOCO の状態

		リセット要因	
		VBATT_POR	その他
LOCO	有効または無効	有効に初期化	
	発振精度	LOCOUTCRによるトリミング前の精度に初期化 (精度: ±15%)	LOCOUTCRによってトリミングされた精度を継続

リセットが解除されると、リセット例外処理を開始します。

表 6.6 にリセット機能に関連する入出力端子を示します。

表 6.6 リセット関連の入出力端子

端子名	入出力	機能
RES	入力	リセット端子



## 6.2 レジスタの説明

### 6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス SYSTEM.RSTSR0 4001 E410h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
リセット後の値	0	0	0	0	x (注1)	x (注1)	x (注1)	x (注1)

x: 不定

ビット	シンボル	ビット名	内容	R/W
b0	PORF	パワーオンリセット検出フラグ	0: パワーオンリセット未検出 1: パワーオンリセット検出	R/W (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0: 電圧監視0リセット未検出 1: 電圧監視0リセット検出	R/W (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0: 電圧監視1リセット未検出 1: 電圧監視1リセット検出	R/W (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0: 電圧監視2リセット未検出 1: 電圧監視2リセット検出	R/W (注2)
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための0の書き込みのみ可能です。リセットフラグは、1を読んだ後に0を書く必要があります。

#### PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

[1になる条件]

- パワーオンリセットが発生したとき

[0になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

#### LVD0RF フラグ (電圧監視0リセット検出フラグ)

VCC 電圧が Vdet0 レベル以下になったことを示します。

[1になる条件]

- 電圧監視0リセットが発生したとき

[0になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

**LVD1RF フラグ (電圧監視 1 リセット検出フラグ)**

VCC 電圧が Vdet1 レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**LVD2RF フラグ (電圧監視 2 リセット検出フラグ)**

VCC 電圧が Vdet2 レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

参考資料

## 6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス SYSTEM.RSTSR1 4001 E0C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SPERF	BUSMRF	BUSSRF	REERF	RPERF	—	—	—	—	—	SWRF	WDTRF	IWDTRF
リセット後の値	0	0	0	x (注1)	x (注1)	x (注1)	x (注1)	x (注1)	0	0	0	0	0	x (注1)	x (注1)	x (注1)

x: 不定

ビット	シンボル	ビット名	内容	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R(W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R(W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R(W) (注2)
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	RPERF	SRAMパリティエラーリセット検出フラグ	0: SRAMパリティエラーリセット未検出 1: SRAMパリティエラーリセット検出	R(W) (注2)
b9	REERF	SRAM ECCエラーリセット検出フラグ	0: SRAM ECCエラーリセット未検出 1: SRAM ECCエラーリセット検出	R(W) (注2)
b10	BUSSRF	バススレーブMPUエラーリセット検出フラグ	0: バススレーブMPUエラーリセット未検出 1: バススレーブMPUエラーリセット検出	R(W) (注2)
b11	BUSMRF	バスマスタMPUエラーリセット検出フラグ	0: バスマスタMPUエラーリセット未検出 1: バスマスタMPUエラーリセット検出	R(W) (注2)
b12	SPERF	SPエラーリセット検出フラグ	0: SPエラーリセット未検出 1: SPエラーリセット検出	R(W) (注2)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための0の書き込みのみ可能です。リセットフラグは、1を読んだ後に0を書く必要があります。

### IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

[1になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

### WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

[1になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

**SWRF フラグ (ソフトウェアリセット検出フラグ)**

ソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**RPERF フラグ (SRAM パリティエラーリセット検出フラグ)**

SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**REERF フラグ (SRAM ECC エラーリセット検出フラグ)**

SRAM ECC エラーリセットが発生したことを示します。

[1 になる条件]

- SRAM ECC エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**BUSSRF フラグ (バススレーブ MPU エラーリセット検出フラグ)**

バススレーブ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バススレーブ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**BUSMRF フラグ (バスマスタ MPU エラーリセット検出フラグ)**

バスマスタ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バスマスタ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

### SPERF フラグ (SP エラーリセット検出フラグ)

スタックポインタエラーリセットが発生したことを示します。

[1 になる条件]

- スタックポインタエラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

### 6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス SYSTEM.RSTSR2 4001 E411h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	x (注1)

x: 不定

ビット	シンボル	ビット名	内容	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0: コールドスタート 1: ウォームスタート	R(W) (注2)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをセットするための1の書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

### CWSF フラグ (コールドスタート/ウォームスタート判別フラグ)

リセット処理の種類（コールドスタートまたはウォームスタート）を示します。

CWSF フラグは、パワーオンリセットで初期化されます。RES 端子リセットでは初期化されません。

[1 になる条件]

- プログラムで1を書いたとき。0を書いても0にはならない

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき

## 6.3 動作説明

### 6.3.1 RES 端子リセット

RES 端子によるリセットです。

RES 端子が Low になると実行中の処理はすべて打ち切れ、本 MCU はリセット状態になります。

本 MCU を適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、RES 解除後待機時間 (tRESWT) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

詳細は、「[51. 電気的特性](#)」を参照してください。

参考資料

### 6.3.2 パワーオンリセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が VPOR を超えると、ある一定時間（パワーオンリセット時間）経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間とは、外部電源と MCU 回路のための安定期間です。パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。

VCC が Vdet0 を超えると、電圧監視 0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。Vdet0 の電圧検出レベルは、オプション機能選択レジスタ 1 (OFS1) の VDSEL1[2:0] ビットの設定によって変更できます。

図 6.1 に、パワーオンリセットおよび電圧監視 0 リセット時の動作例を示します。

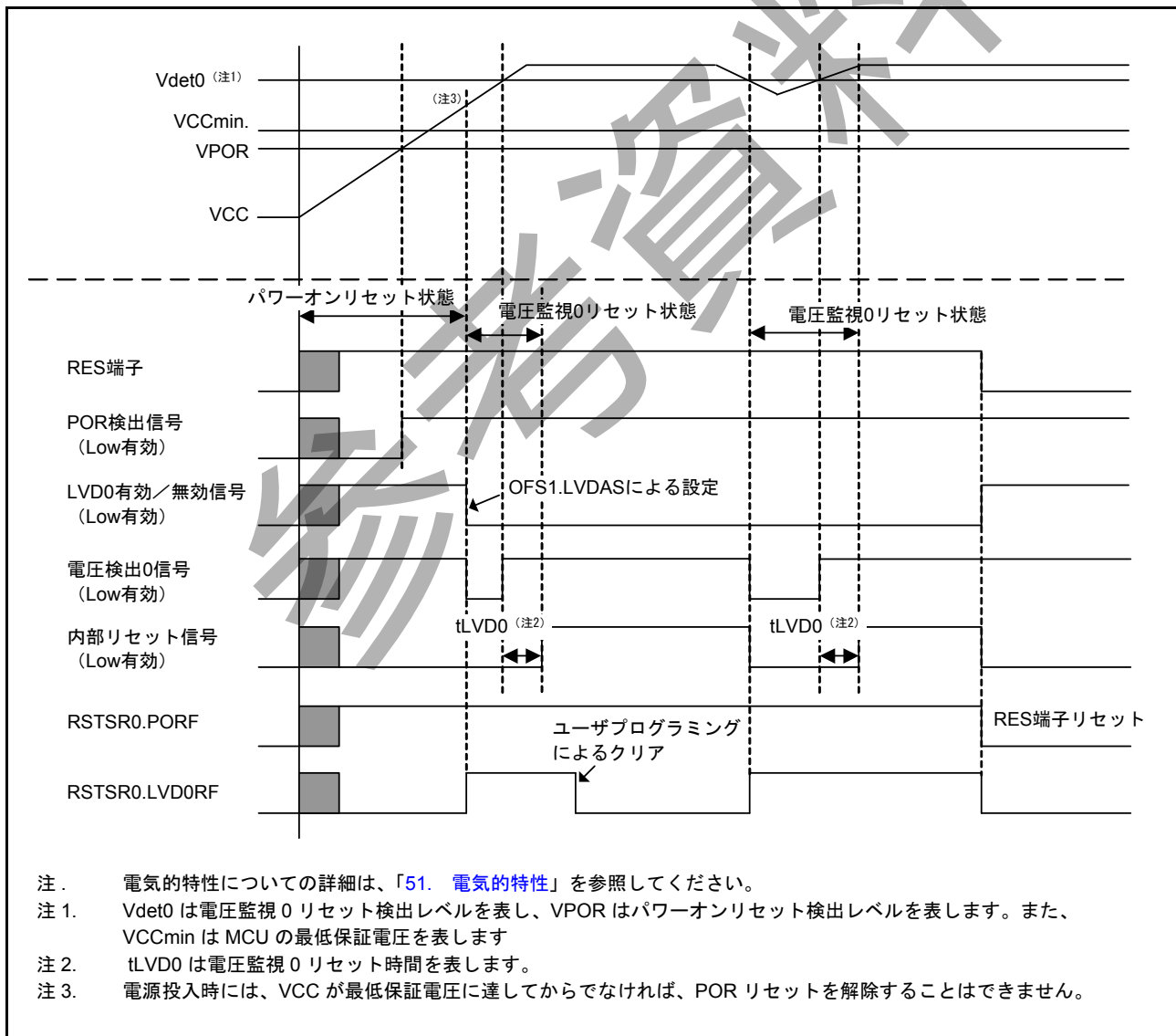


図 6.1 パワーオンリセットおよび電圧監視 0 リセット時の動作例

### 6.3.3 電圧監視リセット

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が  $V_{det0}$  以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が  $V_{det0}$  を超えると、電圧監視 0 リセット時間 ( $t_{LVD0}$ ) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (RIE) が 1 (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC が  $V_{det1}$  以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧検出回路は電圧監視 1 リセットを発生させます。

同様に、電圧監視 2 回路コントロールレジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (RIE) が 1 (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC が  $V_{det2}$  以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧検出回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。LVD1CR0.RN ビットが 0 で、かつ VCC が  $V_{det1}$  以下になっている場合、 $V_{det1}$  を超えてから LVD1 リセット時間 ( $t_{LVD1}$ ) が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.RN ビットが 1 で、かつ VCC が  $V_{det1}$  以下になっている場合、LVD1 リセット時間 ( $t_{LVD1}$ ) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) の設定により選択可能です。

$V_{det1}$  および  $V_{det2}$  の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVL) の設定によって変更できます。



図 6.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。

電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「8. 低電圧検出 (LVD)」を参照してください。

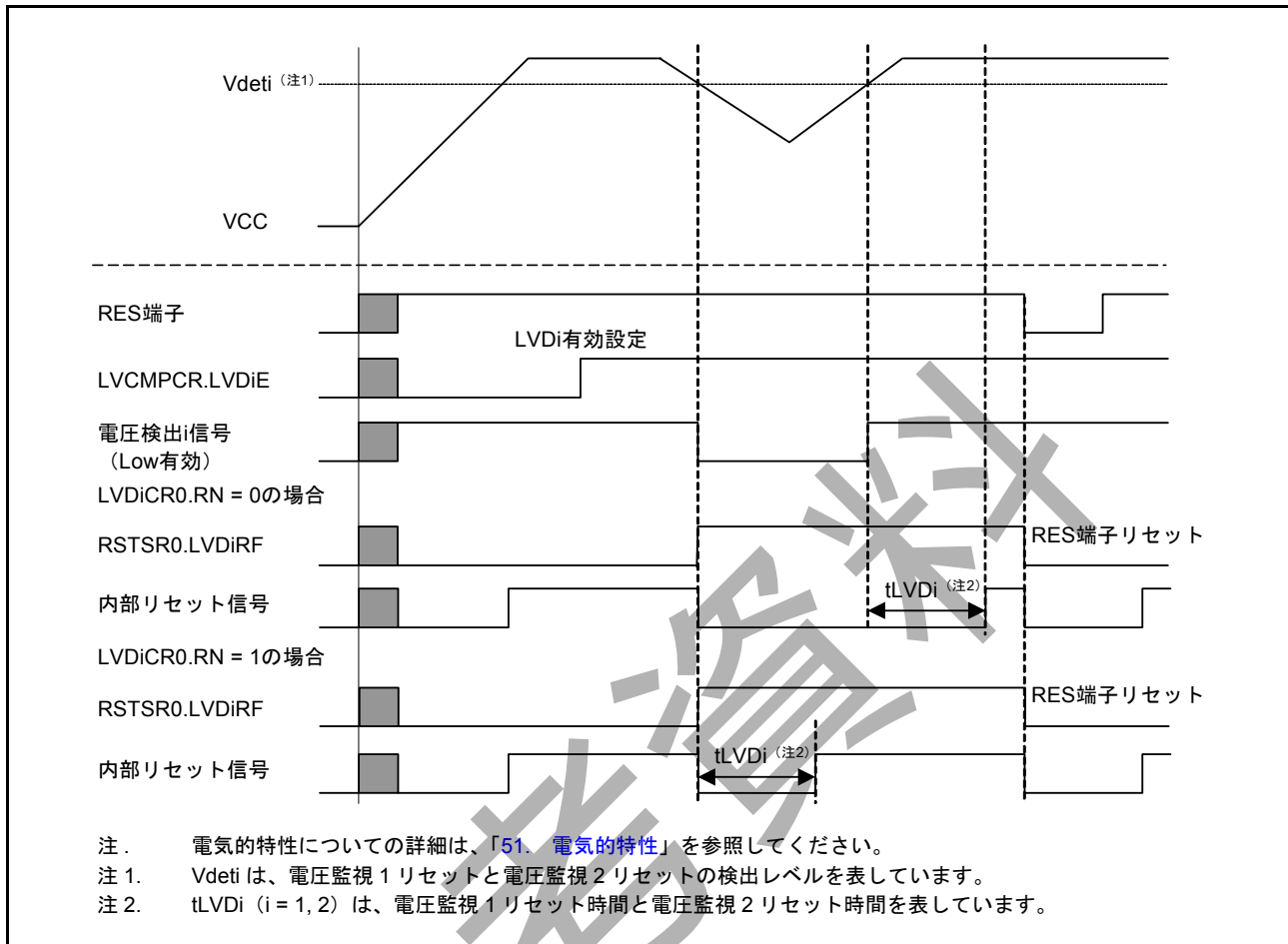


図 6.2 電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例

### 6.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマによる内部リセットです。オプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、独立ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「27. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### 6.3.5 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマによる内部リセットです。

WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセットの出力を選択した場合、ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「26. ウォッチドッグタイマ (WDT)」を参照してください。

### 6.3.6 ソフトウェアリセット

ソフトウェアリセットは、ARM コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。

SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットについての詳細は、*ARM Cortex-M4 Technical Reference Manual* を参照してください。

### 6.3.7 コールドスタート/ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因、すなわち、電源が投入されたときのリセット処理 (コールドスタート) なのか、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) なのかを判定できます。

RSTSR2.CWSF フラグは、パワーオンリセットが発生すると 0 (コールドスタート) になります。その他のリセットを行っても 0 になりません。また、プログラムで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

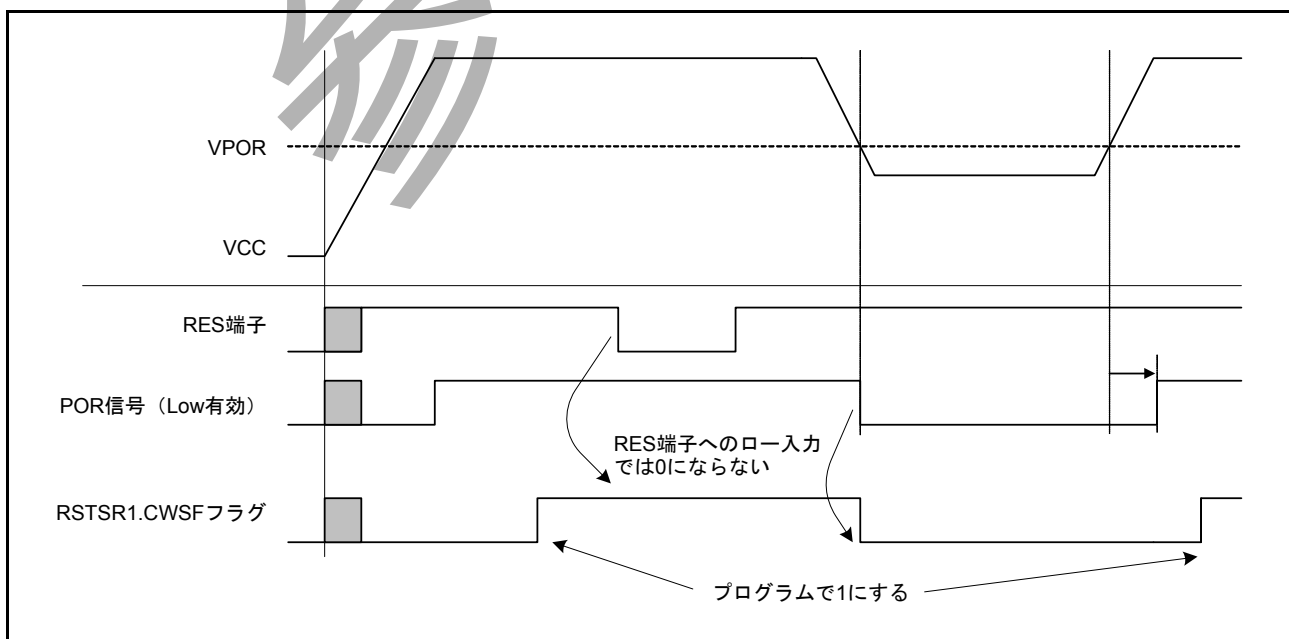


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

### 6.3.8 リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。

図 6.4 にリセット発生要因の判定フロー例を示します。

リセットフラグは、1 を読んだ後に 0 を書く必要があります。

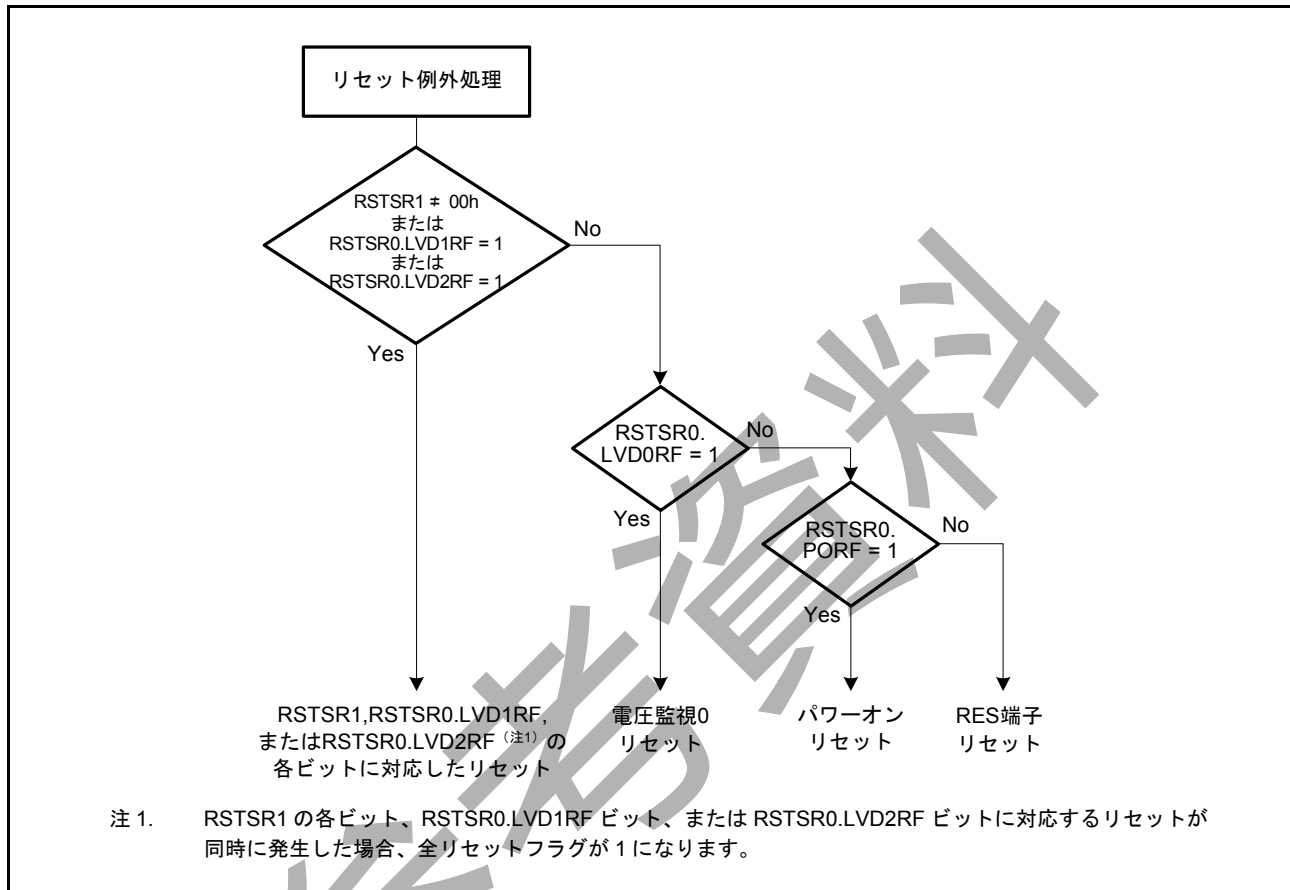


図 6.4 リセット発生要因の判定フロー例

## 7. オプション設定メモリ

### 7.1 概要

オプション設定メモリは、MCUのリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域とプログラムフラッシュ領域にあり、これら2つの領域で設定方法が異なります。

図 7.1 にオプション設定メモリの領域を示します。

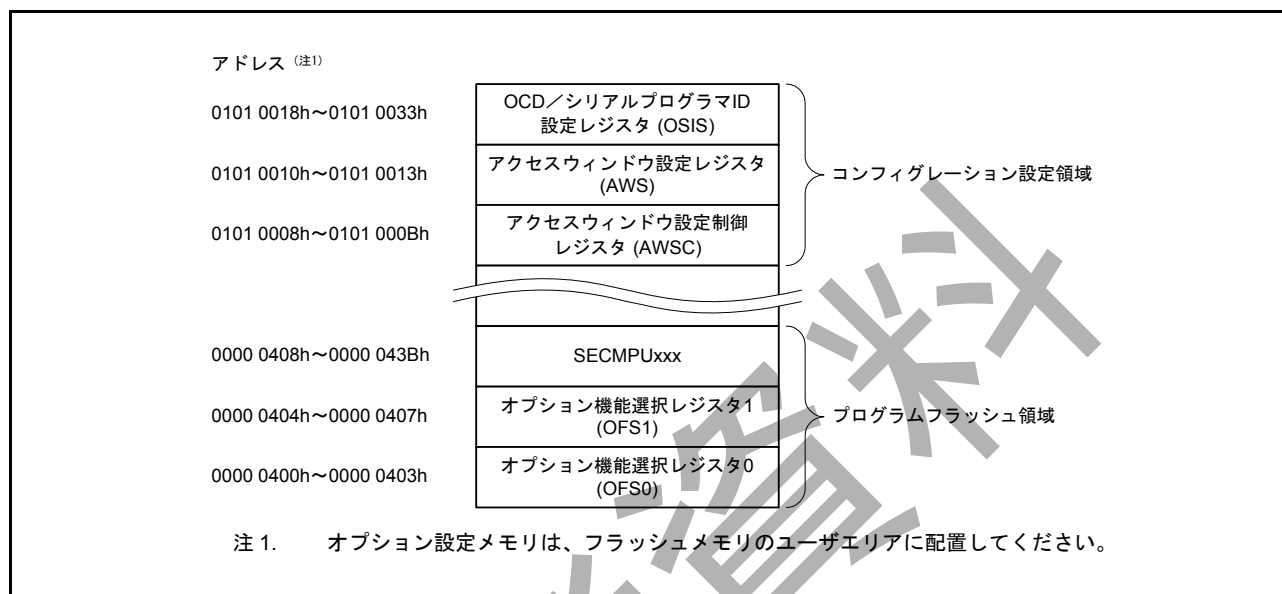


図 7.1 オプション設定メモリの領域

## 7.2 レジスタの説明

## 7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス OFS0 0000 0400h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	WDTST PCTL	—	WDTR STIRQ	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]	WDTST RT	—				
リセット後の値															
ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTST TPCTL	—	IWDR STIRQS	IWDRPSS[1:0]	IWDRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDTST TRT	—				
リセット後の値															
ユーザの設定値 (注1)															

ビット	シンボル	ビット名	内容	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b1	IWDTSTRT	IWDTスタートモード選択	0: リセット後、IWDTは自動的に起動（オートスタートモード） 1: IWDTは無効	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択	b3 b2 0 0: 128サイクル (007Fh) 0 1: 512サイクル (01FFh) 1 0: 1,024サイクル (03FFh) 1 1: 2,048サイクル (07FFh)	R
b7-b4	IWDTCKS[3:0]	IWDT専用クロック分周比選択	b7 b4 0 0 0 0: 1分周 0 0 1 0: 16分周 0 0 1 1: 32分周 0 1 0 0: 64分周 1 1 1 1: 128分周 0 1 0 1: 256分周  上記以外は設定しないでください。	R
b9-b8	IWDRPES[1:0]	IWDTウィンドウ終了位置選択	b9 b8 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0% (ウィンドウ終了位置の設定なし)	R
b11-b10	IWDRPSS[1:0]	IWDTウィンドウ開始位置選択	b11 b10 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100% (ウィンドウ開始位置の設定なし)	R
b12	IWDRSTIRQS	IWDTリセット割り込み要求選択	0: ノンマスク割り込み要求、または割り込み要求を許可 1: リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b14	IWDTSTPCTL	IWDT停止制御	0: カウント継続 1: スリープモード、スヌーズモード、またはソフトウェアスタンバイモードの状態にあるとき、カウント停止	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

ビット	シンボル	ビット名	内容	R/W
b17	WDTSTRT	WDT スタートモード選択	0: リセット後、WDTは自動的に起動（オートスタートモード） 1: リセット後、WDTは停止状態（レジスタスタートモード）	R
b19-b18	WDTTOPS[1:0]	WDT タイムアウト期間選択	b19 b18 0 0: 1,024 サイクル (03FFh) 0 1: 4,096 サイクル (0FFFh) 1 0: 8,192 サイクル (1FFFh) 1 1: 16,384 サイクル (3FFFh)	R
b23-b20	WDTCKS[3:0]	WDT クロック分周比選択	b23 b20 0 0 0 1: PCLKB/4 0 1 0 0: PCLKB/64 1 1 1 1: PCLKB/128 0 1 1 0: PCLKB/512 0 1 1 1: PCLKB/2,048 1 0 0 0: PCLKB/8,192  上記以外は設定しないでください。	R
b25-b24	WDRPES[1:0]	WDT ウィンドウ終了位置選択	b25 b24 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウ終了位置の設定なし）	R
b27-b26	WDRPSS[1:0]	WDT ウィンドウ開始位置選択	b27 b26 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウ開始位置の設定なし）	R
b28	WDRSTIRQS	WDT リセット割り込み要求選択	WDT 動作の選択 0: NMI 1: リセット	R
b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b30	WDTSTPCTL	WDT 停止制御	0: カウント継続 1: スリープモード遷移時にカウント停止	R
b31	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

注 1. ブランク品は、FFFF FFFFh です。ユーザがプログラムした値になります。

### IWDTSTRT ビット (IWDT スタートモード選択)

リセット後の IWDT の起動モード（停止状態または起動状態）を選択します。

### IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでのタイムアウト期間を、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128、512、1,024、2,048 の各サイクル数から選択します。リフレッシュ後、IWDT がアンダーフローするまでのサイクル数は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせで決定されます。

詳細は、「27. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)

IWDT 専用クロックを分周するプリスケアラの分周比設定を、1/1、1/16、1/32、1/64、1/128、1/256 の各分周から選択します。これらのビット設定を IWDTTOPS[1:0] ビット設定と組み合わせることで、IWDT のカウント期間は 128 から 524,288 までの IWDT クロックサイクル数に設定可能です。

詳細は、「27. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDTRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の値のみが有効となります。

IWDTRPSS[1:0] および IWDTRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、IWDTTPOPS[1:0] ビットの設定によって変わります。

詳細は、「27. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。それ以外は禁止期間です。

詳細は、「27. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択)

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「27. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDTSTPCTL ビット (IWDT 停止制御)

スリープモードまたはソフトウェアスタンバイモード遷移時のカウント停止を選択します。

詳細は、「27. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### WDTSTRT ビット (WDT スタートモード選択)

リセット後の WDT の起動モード (停止状態、またはオートスタートモードでの起動) を選択します。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

### WDTTPOPS[1:0] ビット (WDT タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでのタイムアウト期間を、WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1,024、4,096、8,192、16,384 の各サイクル数から選択します。リフレッシュ後、アンダーフローするまでの PCLKB サイクル数は、WDTCKS[3:0] ビットと WDTTPOPS[1:0] ビットの組み合わせで決定されます。

詳細は、「26. ウォッチドッグタイマ (WDT)」を参照してください。

### WDTCKS[3:0] ビット (WDT クロック分周比選択)

PCLKB を分周するプリスケアラの分周比設定を、1/4、1/64、1/128、1/512、1/2,048、1/8,192 の各分周から選択します。これらのビット設定を WDTTPOPS[1:0] ビット設定と組み合わせることで、WDT のカウント期間は 4,096 から 134,217,728 までの PCLKB サイクル数に設定可能です。

詳細は、「26. ウォッチドッグタイマ (WDT)」を参照してください。

### WDRPES[1:0] ビット (WDT ウィンドウ終了位置選択)

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の値のみが有効となります。

WDRPSS[1:0] ビットおよび WDRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、WDTTPOPS[1:0] ビットの設定によって変わります。

詳細は、「26. ウォッチドッグタイマ (WDT)」を参照してください。

**WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択)**

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。それ以外は禁止期間です。

詳細は、「26. ウォッチドッグタイマ (WDT)」を参照してください。

**WDRSTIRQS ビット (WDT リセット割り込み要求選択)**

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。詳細は、「26. ウォッチドッグタイマ (WDT)」を参照してください。

**WDTSTPCTL ビット (WDT 停止制御)**

スリープモード遷移時の WDT ダウンカウンタ停止を選択します。

詳細は、「26. ウォッチドッグタイマ (WDT)」を参照してください。

参考資料



## 7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス OFS1 0000 0404h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	HOCOFRQ1[2:0]		—	—	—	HOCOEN	—	—	VDSEL1[2:0]		LVDAS	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	内容	R/W
b1-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b2	LVDAS	電圧検出0回路起動	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R
b5-b3	VDSEL1[2:0]	電圧検出0レベル選択	b5 b3 0 0 0: 3.84Vを選択 0 0 1: 2.82Vを選択 0 1 0: 2.51Vを選択 0 1 1: 1.90Vを選択 1 0 0: 1.70Vを選択 上記以外は設定しないでください。	
b7-b6	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b8	HOCOEN	HOCO発振有効	0: リセット後、HOCO発振が有効 1: リセット後、HOCO発振が無効	R
b11-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b14-b12	HOCOFRQ1[2:0]	HOCO周波数設定1	b14 b12 0 0 0: 24MHz 0 1 0: 32MHz 1 0 0: 48MHz 1 0 1: 64MHz 上記以外は設定しないでください。	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

注1. ブランク品は、FFFF FFFFhです。ユーザがプログラムした値になります。

**LVDAS** ビット (電圧検出 0 回路起動)

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

**VDSEL1[2:0]** ビット (電圧検出 0 レベル選択)

電圧検出 0 回路の電圧検出レベルを選択します。

### HOCOEN ビット (HOCO 発振有効)

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。

HOCOEN ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を書き換えることによるのみ、システムクロックソースは HOCO に切り替わります。HOCO を使用する場合は、OFS1.HOCOFRQ1 ビットを最適な値に設定する必要があります。

リセット解除後の動作モードは Low-voltage モードです。そのため、リセット解除後、ただちに HOCOCR.HCSTP を 0 にする必要があります。

### HOCOFRQ1[2:0] ビット (HOCO 周波数設定 1)

リセット後の HOCO 周波数 (24、32、48、または 64MHz) を選択します。

## 7.2.3 MPU 機能関連のレジスタ

表 7.1 に、MPU 機能に関連したレジスタを示します。詳細な仕様については、「16. メモリプロテクションユニット (MPU)」を参照してください。

フラッシュメモリが消去されると、セキュリティ MPU は無効になります。MPU 関連のレジスタに不適切なデータを設定した場合、本製品が動作しない場合があります。適切なデータを設定するには、「16. メモリプロテクションユニット (MPU)」を参照してください。

表 7.1 MPU 機能関連のレジスタ

レジスタ名	シンボル	機能	アドレス	サイズ (バイト)
セキュリティ MPU プログラムカウンタ開始アドレスレジスタ 0	SECMPU PCS0	フラッシュまたは SRAM のセキュリティフェッチ領域を設定	0000 0408h	4
セキュリティ MPU プログラムカウンタ終了アドレスレジスタ 0	SECMPU PCE0	フラッシュまたは SRAM のセキュリティフェッチ領域を設定	0000 040Ch	4
セキュリティ MPU プログラムカウンタ開始アドレスレジスタ 1	SECMPU PCS1	フラッシュまたは SRAM のセキュリティフェッチ領域を設定	0000 0410h	4
セキュリティ MPU プログラムカウンタ終了アドレスレジスタ 1	SECMPU PCE1	フラッシュまたは SRAM のセキュリティフェッチ領域を設定	0000 0414h	4
セキュリティ MPU 領域 0 開始アドレスレジスタ	SECMPU S0	セキュリティプログラムとフラッシュデータを設定	0000 0418h	4
セキュリティ MPU 領域 0 終了アドレスレジスタ	SECMPU E0	セキュリティプログラムとフラッシュデータを設定	0000 041Ch	4
セキュリティ MPU アクセスコントロールレジスタ	SECMPU AC	セキュリティ有効/無効領域を設定	0000 0438h	4

## 7.2.4 アクセスウィンドウ設定コントロールレジスタ (AWSC)

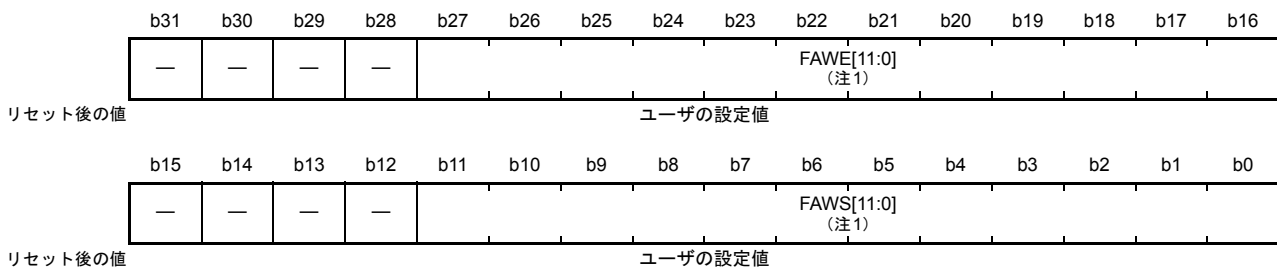
アドレス AWSC 0101 0008h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	FSPR	—	—	—	—	—	BTFLG	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値															

ビット	シンボル	ビット名	内容	R/W
b7-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b8	BTFLG	スタートアップ領域選択フラグ	ブートスワップ用のスタートアップ領域選択フラグです。スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。 0: 最初の8KB領域 (0000 0000h ~ 0000 1FFFh) と次の8KB領域 (0000 2000h ~ 0000 3FFFh) が入れ替わる 1: 最初の8KB領域 (0000 0000h ~ 0000 1FFFh) と次の8KB領域 (0000 2000h ~ 0000 3FFFh) は入れ替わらない	R
b13-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b14	FSPR	アクセスウィンドウとスタートアップ領域選択機能の保護	アクセスウィンドウ、スタートアップ領域選択フラグ (BTFLG)、およびテンポラリブートスワップ制御のライト/イレース保護。このビットは一度0にすると、1に変更できません。 0: アクセスウィンドウ (FAWE[10:0]、FAWS[10:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は無効。FSSETレジスタのスタートアップ領域選択ビット (TMSPMD、TMBTSEL) への書き込みは無効 1: アクセスウィンドウ (FAWE[10:0]、FAWS[10:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は有効。FISRレジスタのスタートアップ領域選択ビット (SAS[1:0]) への書き込みは有効	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

## 7.2.5 アクセスウィンドウ設定レジスタ (AWS)

アドレス AWS 0101 0010h



ビット	シンボル	ビット名	内容	R/W
b11-b0	FAWS[11:0]	アクセスウィンドウ開始ブロックアドレス (注1)	アクセスウィンドウの開始ブロックアドレス。 これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。 アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。 このブロックアドレスは、ブロックの先頭アドレスを指定し、アドレスビット10～21 ([21:10]) で構成されます。	R
b15-b12	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b27-b16	FAWE[11:0]	アクセスウィンドウ終了ブロックアドレス (注1)	アクセスウィンドウの終了ブロックアドレス。 これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。 アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウの終了ブロックアドレスは、アクセスウィンドウで定義されるP/E受け付け可能領域の次のブロックです。 このブロックアドレスは、ブロックの先頭アドレスを指定し、アドレスビット10～21 ([21:10]) で構成されます。	R
b31-b28	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

注1. FAWE[0] ビットと FAWS[0] ビットにプログラムする場合、0としてください。

アクセスウィンドウを持たない領域にプログラム/イレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。アクセスウィンドウはFSPRビットでロックすることが可能です。

アクセスウィンドウは、FAWS ビットと FAWE ビットの両方を用いて指定されます。

以下に、FAWS ビットと FAWE ビットの設定方法を説明します。

FAWE = FAWS : P/E コマンドは、全プログラムフラッシュ領域に対して実行が許可される

FAWE > FAWS : P/E コマンドは、FAWS ビットで指示されたブロックから、FAWE ビットで指示されたブロックより1つ下のブロックまでのウィンドウでのみ実行が許可される

FSWE ≤ FAWS : P/E コマンドは、プログラムフラッシュ領域に対して実行が禁止される

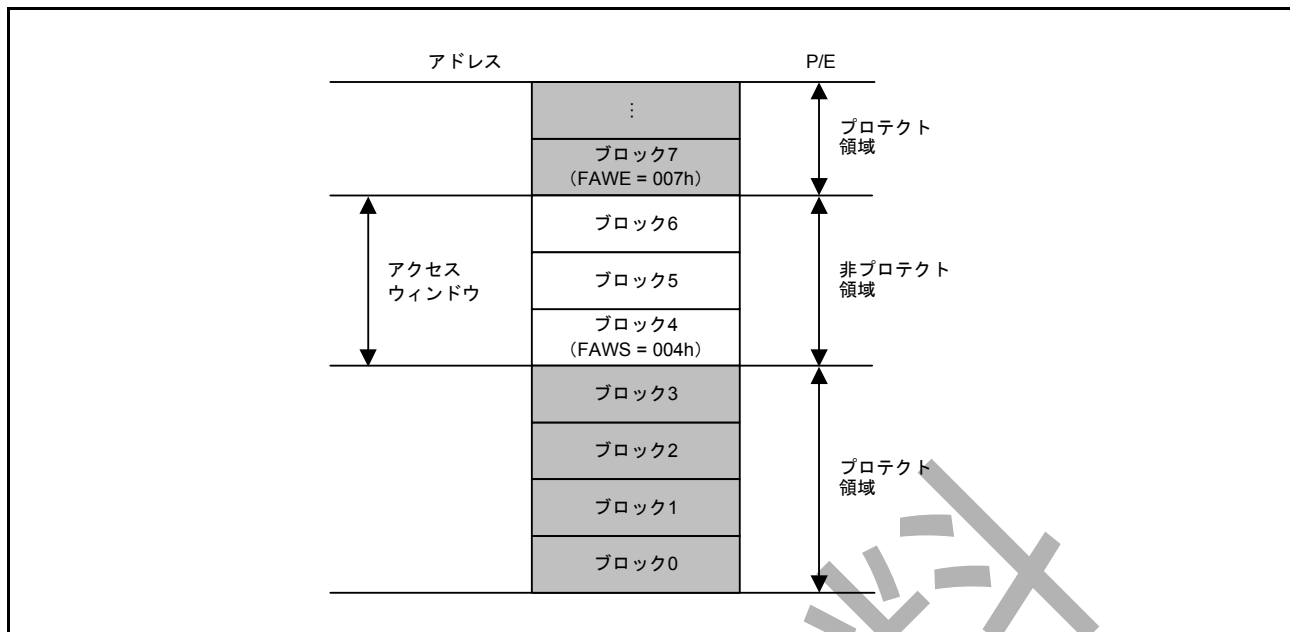


図 7.2 アクセスウィンドウの概要

## 7.2.6 OCD / シリアルプログラマ ID 設定レジスタ (OSIS)

このレジスタは、OCD / シリアルプログラマの ID コードプロテクト機能の ID を格納する領域として用いられます。

OCD / シリアルプログラマを接続する場合、チップがその接続を許可するか否かを判定できるようにするための値を書き込んでください。このレジスタは、OCD / シリアルプログラマから送られてくるコードが、オプション設定メモリ上の ID コードと一致するか否かを判定します。ID コードが一致した場合、OCD / シリアルプログラマとの接続が許可されます。一致しない場合、OCD / シリアルプログラマとの接続はできません。OSIS レジスタは 32 ビット単位で設定してください。

アドレス OSIS 0101 0018h, OSIS 0101 0020h, OSIS 0101 0028h, OSIS 0101 0030h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値															
ユーザの設定値															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値															
ユーザの設定値															

OCD / シリアルプログラマの ID 認証に使用する ID を格納します。

ID コードのビット 127 とビット 126 は、ID コードプロテクト機能の有効 / 無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 7.2 に示します。

表 7.2 ID コードプロテクト機能の仕様

起動時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCI/USB ブートモード)	FFh, ..., FFh (全バイトが FFh)	プロテクト無効	ID コードはチェックされません。ID コードは常に一致して、プログラマまたはオンチップデバッグへの接続が許可されます。
オンチップデバッグモード (JTAG/SWD ブートモード)	ビット 127 = 1 およびビット 126 = 1 (全バイトが FFh 以外)	プロテクト有効	ID コードの一致 = 認証が完了し、プログラマまたはオンチップデバッグとの接続が許可されます。ID コードの不一致 = さらに ID コードプロテクト待ち状態へ遷移します。プログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの "ALeRASE" であると、ユーザフラッシュ領域の内容は消去されます。ただし、FSPR ビットが 0 であれば、強制消去は実行されません。
	ビット 127 = 1 およびビット 126 = 0	プロテクト有効	ID コードの一致 = 認証が完了し、プログラマまたはオンチップデバッグとの接続が許可されます。ID コードの不一致 = さらに ID コードプロテクト待ち状態へ遷移します。プログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの "ALeRASE" であると、強制消去は実行されません。
	ビット 127 = 0	プロテクト有効	ID コードはチェックされません。ID コードは常に不一致であり、プログラマまたはオンチップデバッグへの接続は禁止されます。

## 7.3 オプション設定メモリの設定方法

### 7.3.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、[図 7.1](#) に示すアドレスに配置してください。配置したデータは、フラッシュ書き込みソフトウェアやオンチップデバッグなどのツールで使用されます。

注. プログラムの書式はコンパイラによって異なります。詳細は、コンパイラのマニュアルを参照してください。

### 7.3.2 オプション設定メモリにプログラムするデータの設定方法

[7.3.1 オプション設定メモリへのデータの配置方法](#)に記載した方法でデータを配置するだけでは、オプション設定メモリにプログラムできません。同時に、下記のいずれかを実施する必要があります。

#### (1) セルフプログラミングでオプション設定メモリを変更する場合

プログラムコマンドを用いて、プログラムフラッシュ領域へデータを書き込むことができます。また、コンフィグレーション設定コマンドを用いて、コンフィグレーション設定領域のオプション設定メモリへデータを書き込むことができます。さらに、スタートアップ領域選択機能では、オプション設定メモリを含むブートプログラムを安全に更新することが可能です。

プログラムコマンド、コンフィグレーション設定コマンド、およびスタートアップ領域選択機能の詳細については、「[48. フラッシュメモリ](#)」を参照してください。

#### (2) OCD によるデバッグ時またはフラッシュライターによってプログラムする場合

使用するツールによって設定方法が異なるため、各ツールのマニュアルを参照してください。設定手順としては、下記の 2 通りがあります。

- [7.3.1 オプション設定メモリへのデータの配置方法](#)に示すように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へプログラムする
- ツールの GUI インタフェースを使用して、[7.3.1 オプション設定メモリへのデータの配置方法](#)に示すように配置された値と同じデータをプログラムする

## 7.4 使用上の注意事項

### 7.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 1 を書いてください。これらのビットに 0 を書き込むと、正常動作は保証されません。

## 8. 低電圧検出 (LVD)

低電圧検出 (LVD) は、VCC 端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。

### 8.1 概要

低電圧検出 (LVD) は、3つの独立した電圧レベル検出器 (電圧検出 0、1、2 回路) で構成され、それぞれが VCC 端子への入力電圧レベルを測定します。LVD 電圧検出レジスタにより、さまざまな電圧しきい値で VCC の変動を検出するようにユーザアプリケーションを設定できます。それぞれの電圧レベル検出器には、電圧監視 0、1、2 などの電圧監視回路が対応しています。

電圧監視レジスタを用いることで、電圧しきい値を通過したときに、割り込み、イベントリンク出力、またはリセットを発生させるように LVD を設定できます。

表 8.1 は、LVD の特性の一覧表です。

表 8.1 低電圧検出 (LVD) の特性

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視電圧	$V_{det0}$	$V_{det1}$	$V_{det2}$
	検出イベント	下降して $V_{det0}$ を通過	上昇または下降して $V_{det1}$ を通過	上昇または下降して $V_{det2}$ を通過
	検出電圧	OFS1.VDSEL1[2:0]ビットで5レベルから選択可能	LVDLVLRLVD1LVD[4:0]ビットで16レベルから選択可能	LVDLVLRLVD2LVD[2:0]ビットで4レベルから選択可能
	モニタフラグ	なし	LVD1SR.MONフラグ：電圧が $V_{det1}$ より高いか低いかを監視 LVD1SR.DETフラグ： $V_{det1}$ 通過検出	LVD2SR.MONフラグ：電圧が $V_{det2}$ より高いか低いかを監視 LVD2SR.DETフラグ： $V_{det2}$ 通過検出
電圧検出時の処理	リセット	電圧監視0リセット $V_{det0} > VCC$ でリセット。 $VCC > V_{det0}$ の一定時間後にCPU動作再開	電圧監視1リセット $V_{det1} > VCC$ でリセット。 CPU動作再開タイミングとして、 $VCC > V_{det1}$ の一定時間後、または $V_{det1} > VCC$ の一定時間後を選択可能	電圧監視2リセット $V_{det2} > VCC$ でリセット。 CPU動作再開タイミングとして、 $VCC > V_{det2}$ の一定時間後、または $V_{det2} > VCC$ の一定時間後を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 $V_{det1} > VCC$ および $VCC > V_{det1}$ の両方、またはどちらかのとき割り込み要求	ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 $V_{det2} > VCC$ および $VCC > V_{det2}$ の両方、またはどちらかのとき割り込み要求
イベントリンク機能	なし	あり $V_{det1}$ 通過検出時にイベント信号出力	あり $V_{det2}$ 通過検出時にイベント信号出力	



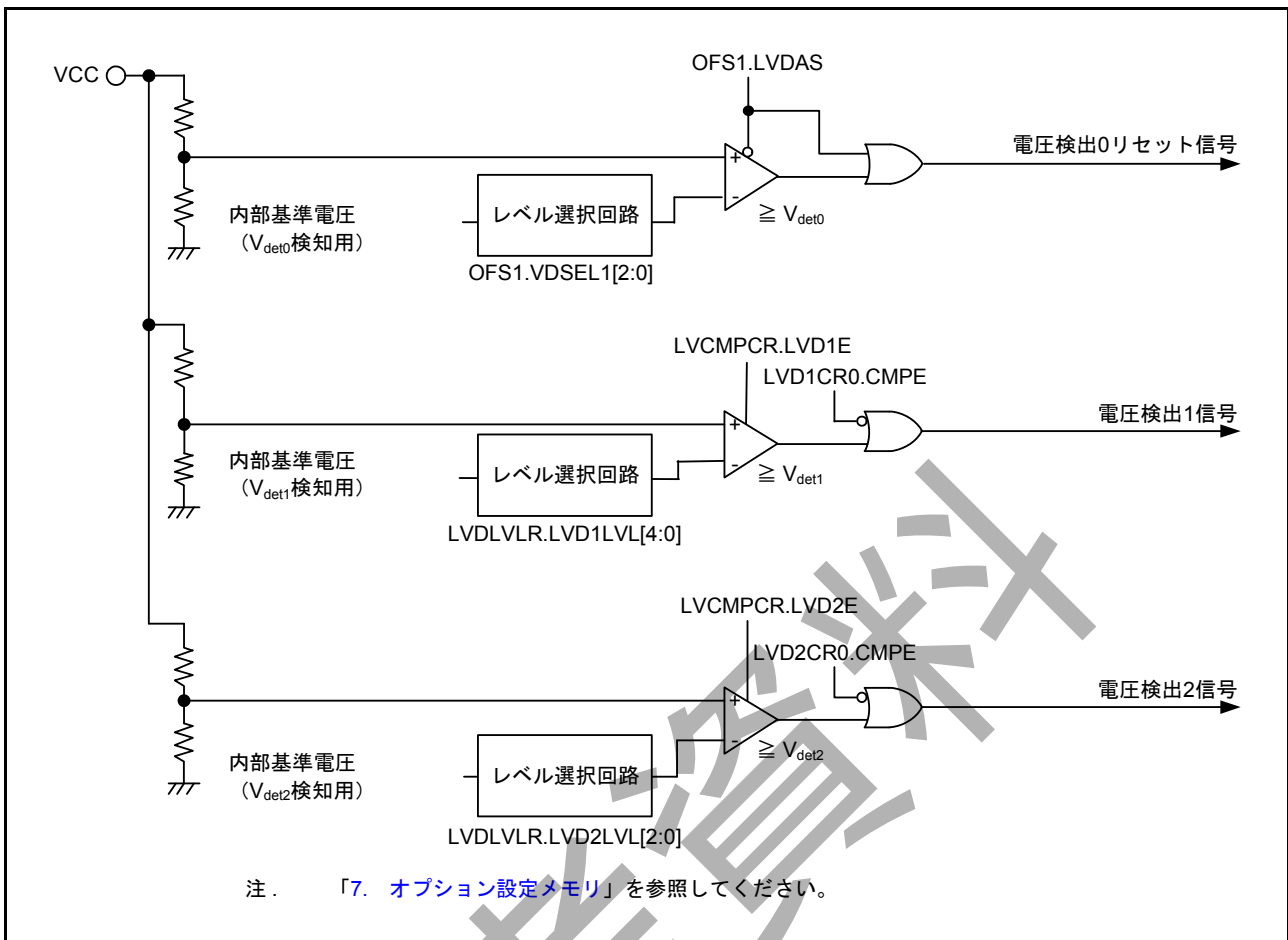


図 8.1 電圧検出 0、1、2 回路のブロック図

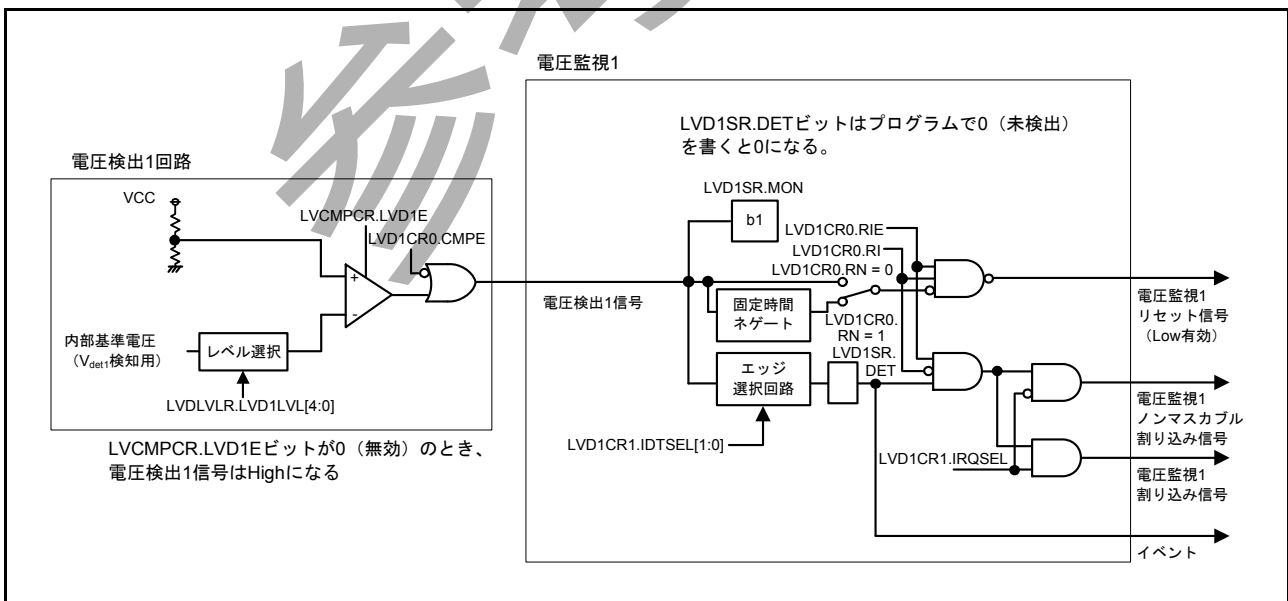


図 8.2 電圧監視 1 割り込み/リセット発生回路のブロック図

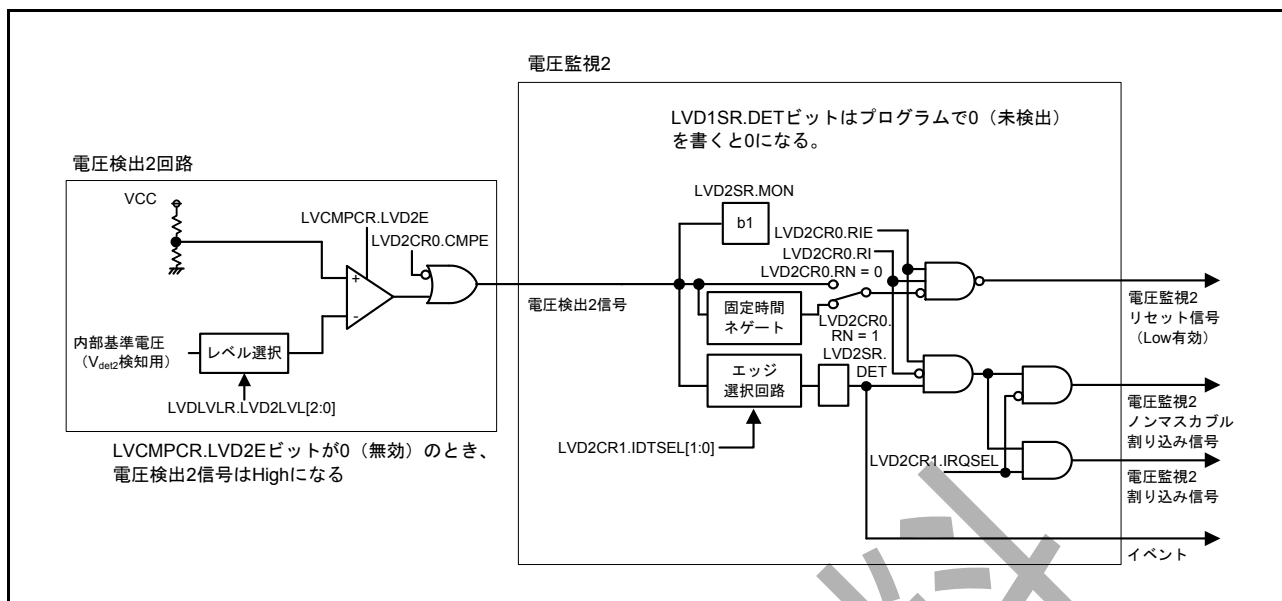


図 8.3 電圧監視 2 割り込み/リセット発生回路のブロック図

参考資料

## 8.2 レジスタの説明

### 8.2.1 電圧モニタ 1 回路コントロールレジスタ 1 (LVD1CR1)

アドレス SYSTEM.LVD1CR1 4001 E0E0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
					L		
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	内容	R/W
b1-b0	IDTSEL[1:0]	電圧監視 1 割り込み発生条件選択	b1 b0 0 0 : $VCC \geq V_{det1}$ (上昇) 検出時 0 1 : $VCC < V_{det1}$ (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定禁止	R/W
b2	IRQSEL	電圧監視 1 割り込み種類選択	0 : ノンマスクブル割り込み 1 : マスクブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. マスクブル割り込みを設定する場合、ICU 側にある NMIER.LVD1EN ビットをリセット状態から変更しないでください。

## 8.2.2 電圧モニタ 1 回路ステータスレジスタ (LVD1SR)

アドレス SYSTEM.LVD1SR 4001 E0E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MON	DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	内容	R/W
b0	DET	電圧監視1電圧変化検出フラグ	0 : 未検出 1 : $V_{det1}$ 通過検出	R/(W) (注1)
b1	MON	電圧監視1信号モニタフラグ	0 : $VCC < V_{det1}$ 1 : $VCC \geq V_{det1}$ または MON 無効	R
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. このビットには 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

### DET フラグ (電圧監視 1 電圧変化検出フラグ)

DET フラグは、LVCMPCR.LVD1E ビットが 1 (電圧検出 1 回路有効) であり、かつ LVD1CR0.CMPE ビットが 1 (電圧監視 1 回路比較結果出力許可) のときに有効になります。

DET フラグを 0 にするときは、LVD1CR0.RIE を 0 (禁止) にしてから行ってください。LVD1CR0.RIE を 0 にした後、再度 1 (許可) にする場合は、PCLKB の 2 サイクル以上が経過してから行ってください。

I/O レジスタのリードアクセス用に定義されている PCLKB のサイクル数によっては、待ち時間として PCLKB の 2 サイクル以上が必要です。

### MON フラグ (電圧監視 1 信号モニタフラグ)

MON フラグは、LVCMPCR.LVD1E ビットが 1 (電圧検出 1 回路有効) であり、かつ LVD1CR0.CMPE ビットが 1 (電圧監視 1 回路比較結果出力許可) のときに有効になります。

## 8.2.3 電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1)

アドレス SYSTEM.LVD2CR1 4001 E0E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	IRQSEL	IDTSEL [1:0]	
リセット後の値					0	0	1

ビット	シンボル	ビット名	内容	R/W
b1-b0	IDTSEL [1:0]	電圧監視2割り込み発生条件選択	b1 b0 0 0 : $V_{CC} \geq V_{det2}$ (上昇) 検出時 0 1 : $V_{CC} < V_{det2}$ (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定禁止	R/W
b2	IRQSEL	電圧監視2割り込み種類選択	0 : ノンマスカブル割り込み 1 : マスカブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. マスカブル割り込みを設定する場合、ICU 側にある NMIER.LVD1EN ビットをリセット状態から変更しないでください。

注 1. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

### 8.2.4 電圧モニタ 2 回路ステータスレジスタ (LVD2SR)

アドレス SYSTEM.LVD2SR 4001 E0E3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	MON	DET
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	内容	R/W
b0	DET	電圧監視2電圧変化検出フラグ	0: 未検出 1: $V_{det2}$ 通過検出	R/W (注1)
b1	MON	電圧監視2信号モニタフラグ	0: $VCC < V_{det2}$ 1: $VCC \geq V_{det2}$ またはMON無効	R
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. このビットには 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

#### DET フラグ (電圧監視 2 電圧変化検出フラグ)

DET フラグは、LVCMPCR.LVD2E ビットが 1 (電圧検出 2 回路有効) であり、かつ LVD2CR0.CMPE ビットが 1 (電圧監視 2 回路比較結果出力許可) のときに有効になります。

DET フラグを 0 にするときは、LVD2CR0.RIE を 0 (禁止) にしてから行ってください。LVD2CR0.RIE を 0 にした後、再度 1 (許可) にする場合は、PCLKB の 2 サイクル以上が経過してから行ってください。

I/O レジスタのリードアクセス用に定義されている PCLKB のサイクル数によっては、待ち時間として PCLKB の 2 サイクル以上が必要です。

#### MON フラグ (電圧監視 2 信号モニタフラグ)

MON フラグは、LVCMPCR.LVD2E ビットが 1 (電圧検出 2 回路有効) であり、かつ LVD2CR0.CMPE ビットが 1 (電圧監視 2 回路比較結果出力許可) のときに有効になります。

## 8.2.5 電圧モニタ回路コントロールレジスタ (LVCMPCR)

アドレス SYSTEM.LVCMPCR 4001 E417h

b7	b6	b5	b4	b3	b2	b1	b0
—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	内容	R/W
b4-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	LVD1E	電圧検出1有効	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2有効	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを1 (書き込み許可) にしてから、このレジスタを書き換えてください。

**LVD1E ビット (電圧検出1有効)**

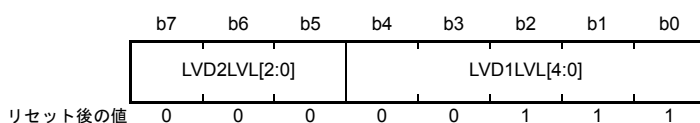
電圧検出1の割り込み/リセットを使用する場合、または LVD1SR.MON ビットを使用する場合、LVD1E ビットを1にしてください。LVD1E ビットを0から1に変更した後、 $t_d(E-A)$  経過すると、電圧検出1回路が動作します。

**LVD2E ビット (電圧検出2有効)**

電圧検出2の割り込み/リセットを使用する場合、または LVD2SR.MON ビットを使用する場合、LVD2E ビットを1にしてください。LVD2E ビットを0から1に変更した後、 $t_d(E-A)$  経過すると、電圧検出2回路が動作します。

## 8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス SYSTEM.LVDLVLR 4001 E418h



ビット	シンボル	ビット名	内容	R/W
b4-b0	LVD1LVL[4:0]	電圧検出1レベル選択 (電圧下降時の標準電圧)	b4      b0 0 0 0 0 0 : 4.29V (V <sub>det1_0</sub> ) 0 0 0 0 1 : 4.14V (V <sub>det1_1</sub> ) 0 0 0 1 0 : 4.02V (V <sub>det1_2</sub> ) 0 0 0 1 1 : 3.84V (V <sub>det1_3</sub> ) 0 0 1 0 0 : 3.10V (V <sub>det1_4</sub> ) 0 0 1 0 1 : 3.00V (V <sub>det1_5</sub> ) 0 0 1 1 0 : 2.90V (V <sub>det1_6</sub> ) 0 0 1 1 1 : 2.79V (V <sub>det1_7</sub> ) 0 1 0 0 0 : 2.68V (V <sub>det1_8</sub> ) 0 1 0 0 1 : 2.58V (V <sub>det1_9</sub> ) 0 1 0 1 0 : 2.48V (V <sub>det1_A</sub> ) 0 1 0 1 1 : 2.20V (V <sub>det1_B</sub> ) 0 1 1 0 0 : 1.96V (V <sub>det1_C</sub> ) 0 1 1 0 1 : 1.86V (V <sub>det1_D</sub> ) 0 1 1 1 0 : 1.75V (V <sub>det1_E</sub> ) 0 1 1 1 1 : 1.65V (V <sub>det1_F</sub> ) 上記以外は設定しないでください。	R/W
b7-b5	LVD2LVL[2:0]	電圧検出2レベル選択 (電圧下降時の標準電圧)	b7      b5 0 0 0 : 4.29V (V <sub>det2_0</sub> ) 0 0 1 : 4.14V (V <sub>det2_1</sub> ) 0 1 0 : 4.02V (V <sub>det2_2</sub> ) 0 1 1 : 3.84V (V <sub>det2_3</sub> ) 1 0 0 : 設定禁止 1 0 1 : 設定禁止 1 1 0 : 設定禁止 1 1 1 : 設定禁止	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

LVDLVLR レジスタは、LVCMPPCR.LVD1E ビット、LVCMPPCR.LVD2E ビットがともに 0 (電圧検出 n 回路無効) (n = 1, 2) の場合のみ変更可能です。また、低電圧検出 1 および 2 回路は、同じ電圧検出レベルに設定しないでください。



## 8.2.7 電圧モニタ 1 回路コントロールレジスタ 0 (LVD1CR0)

アドレス SYSTEM.LVD1CR0 4001 E41Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	RN	RI	—	—	—	CMPE	—	RIE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	内容	R/W
b0	RIE	電圧監視 1 割り込み/リセット許可	0: 禁止 1: 許可	R/W
b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b2	CMPE	電圧監視 1 回路比較結果出力許可	0: 電圧監視 1 回路比較結果出力禁止 1: 電圧監視 1 回路比較結果出力許可	R/W
b5-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b6	RI	電圧監視 1 回路モード選択	0: $V_{det1}$ 通過時に電圧監視 1 割り込み 1: 下降して $V_{det1}$ 通過時に電圧監視 1 リセット	R/W
b7	RN	電圧監視 1 リセットネゲート選択	0: $VCC > V_{det1}$ 検出時、安定時間 (tLVD1) 経過後にネゲート 1: LVD1 リセットアサート時、安定時間 (tLVD1) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

**RIE ビット (電圧監視 1 割り込み/リセット許可)**

フラッシュメモリのプログラム/イレース中は、電圧監視 1 リセットと電圧監視 1 割り込みはどちらも発生させないでください。

**RN ビット (電圧監視 1 リセットネゲート選択)**

RN ビットを 1 (LVD1 リセットアサート時、安定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは 0 (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードへ遷移する場合は、RN ビットは 0 ( $VCC > V_{det1}$  検出時、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 (LVD1 リセットアサート時、安定時間経過後にネゲート) にしないでください。

## 8.2.8 電圧モニタ 2 回路コントロールレジスタ 0 (LVD2CR0)

アドレス SYSTEM.LVD2CR0 4001 E41Bh

b7	b6	b5	b4	b3	b2	b1	b0
RN	RI	—	—	—	CMPE	—	RIE
リセット後の値	1	0	0	0	0	0	0

ビット	シンボル	ビット名	内容	R/W
b0	RIE	電圧監視2割り込み／リセット許可	0: 禁止 1: 許可	R/W
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	CMPE	電圧監視2回路比較結果出力許可	0: 電圧監視2回路比較結果出力禁止 1: 電圧監視2回路比較結果出力許可	R/W
b5-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RI	電圧監視2回路モード選択	0: $V_{det2}$ 通過時に電圧監視2割り込み 1: 下降して $V_{det2}$ 通過時に電圧監視2リセット許可	R/W
b7	RN	電圧監視2リセットネゲート選択	0: $VCC > V_{det2}$ 検出時、安定時間 ( $t_{LVD2}$ ) 経過後にネゲート 1: LVD2リセットアサート時、安定時間 ( $t_{LVD2}$ ) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

**RIE ビット (電圧監視 2 割り込み／リセット許可)**

フラッシュメモリのプログラム／イレース中は、電圧監視 2 リセットと電圧監視 2 割り込みはどちらも発生させないでください。

**RN ビット (電圧監視 2 リセットネゲート選択)**

RN ビットを 1 (LVD2 リセットアサート時、安定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは 0 (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードへ遷移する場合は、RN ビットは 0 ( $VCC > V_{det2}$  検出時、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 (LVD2 リセットアサート時、安定時間経過後にネゲート) にしないでください。

### 8.3 VCC 入力電圧のモニタ

#### 8.3.1 $V_{det0}$ のモニタ

電圧監視 0 の比較結果は、読み出すことができません。

#### 8.3.2 $V_{det1}$ のモニタ

表 8.2 に  $V_{det1}$  のモニタの設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果をモニタできます。

表 8.2  $V_{det1}$  のモニタの設定手順

手順	電圧監視1の比較結果のモニタ	
電圧検出1回路の設定	1	LVCMPCR.LVD1E = 0 (LVDLVLR レジスタへ書き込む前に電圧検出1を無効にする)
	2	LVDLVLR.LVD1LVL[4:0] ビットで検出電圧を選択する
	3	LVCMPCR.LVD1E = 1 (電圧検出1を有効にする)
	4	td(E-A) (LVD有効切り替え後のLVD動作安定時間) 以上待つ
出力許可の設定	5	LVD1CR0.CMPE = 1 (電圧監視1の比較結果出力を許可する)

#### 8.3.3 $V_{det2}$ のモニタ

表 8.3 に  $V_{det2}$  のモニタの設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果をモニタできます。

表 8.3  $V_{det2}$  のモニタの設定手順

手順	電圧監視2の比較結果のモニタ	
電圧検出2回路の設定	1	LVCMPCR.LVD2E = 0 (LVDLVLR レジスタへ書き込む前に電圧検出2を無効にする)
	2	LVDLVLR.LVD2LVL[2:0] ビットで検出電圧を選択する
	3	LVCMPCR.LVD2E = 1 (電圧検出2回路を有効にする)
	4	td(E-A) (LVD有効切り替え後のLVD動作安定時間) 以上待つ
出力許可の設定	5	LVD2CR0.CMPE = 1 (電圧監視2の比較結果出力を許可する)

## 8.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFS1.LVDAS ビットを0 (リセット後、電圧監視0リセット有効) にしてください。

図 8.4 に電圧監視0リセットの動作例を示します。

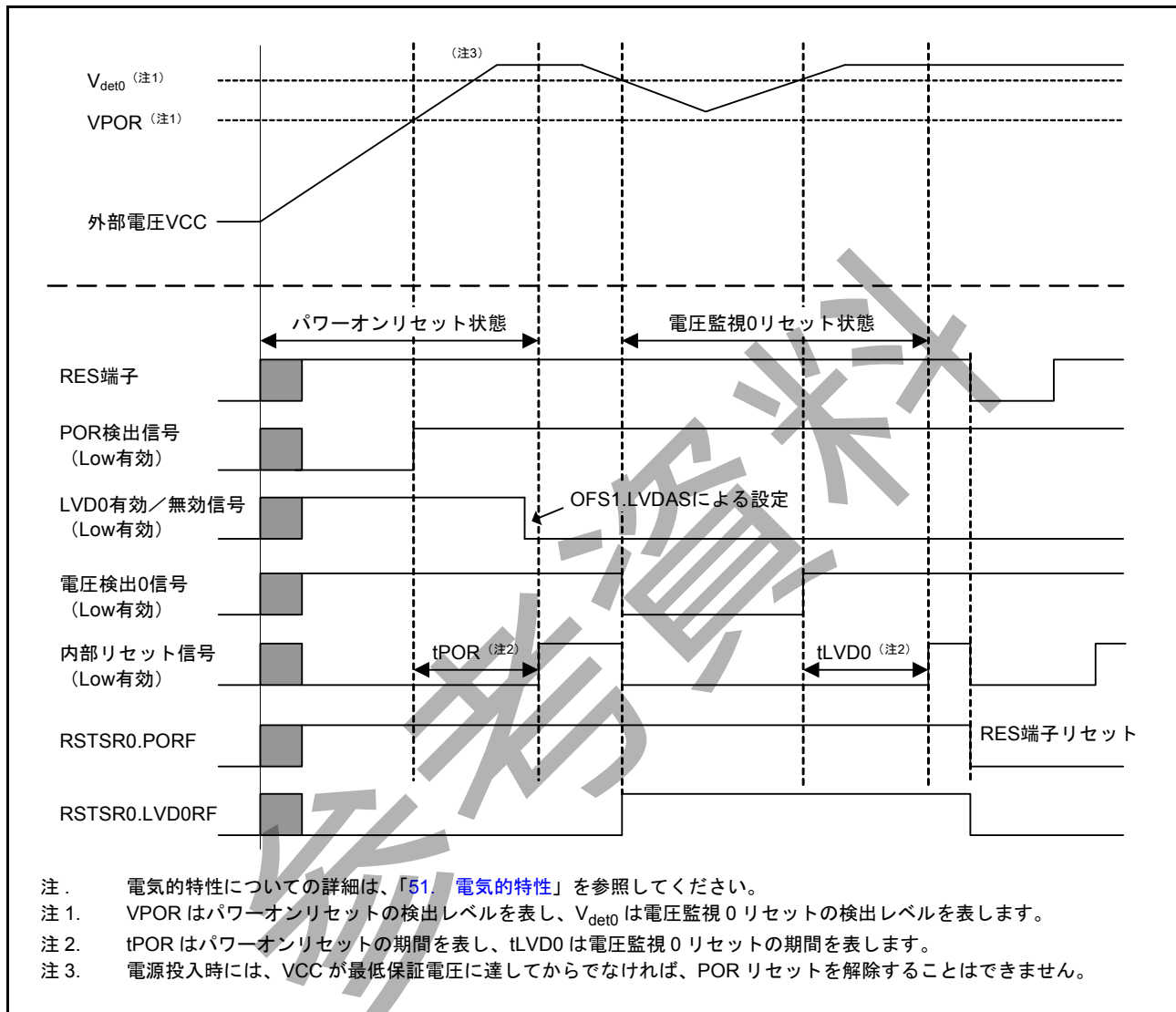


図 8.4 電圧監視0リセットの動作例

## 8.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みやリセットを発生させることができます。

表 8.4 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を示します。表 8.5 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を示します。図 8.5 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、電圧監視 1 回路を以下のように設定してください。

### (1) ソフトウェアスタンバイモード時の設定

- VCC > V<sub>det1</sub> が検出された場合、安定時間経過後に電圧監視 1 リセット信号をネゲート (LVD1CR0.RN = 0) にしてください。

表 8.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)		電圧監視 1 リセット
	電圧検出 1 回路の設定	1	LVCMPCR.LVD1E = 0 (LVDLVLR レジスタへ書き込む前に電圧検出 1 を無効にする)
	2	LVDLVLR.LVD1LVL[3:0] ビットで検出電圧を選択する	
	3	LVCMPCR.LVD1E = 1 (電圧検出 1 回路を有効にする)	
	4	td(E-A) (LVD 有効切り替え後の LVD 動作安定時間) 以上待つ (注1)	
電圧監視 1 割り込み/ リセットの設定	5	LVD1CR0.RI = 0 (電圧監視 1 割り込みを選択する)	<ul style="list-style-type: none"> <li>LVD1CR0.RI = 1 (電圧監視 1 リセットを選択する)</li> <li>LVD1CR0.RN ビットでリセットネゲートの種類を選択する</li> </ul>
	6	<ul style="list-style-type: none"> <li>LVD1CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する</li> <li>LVD1CR1.IRQSEL ビットで割り込みの種類を選択する</li> </ul>	—
出力許可の設定	7	LVD1SR.DET = 0 にする	
	8	LVD1CR0.RIE = 1 (電圧監視 1 割り込み/リセットを許可する) (注2)	
	9	LVD1CR0.CMPE = 1 (電圧監視 1 の比較結果出力を許可する)	

注 1. 手順 4 の待ち時間中に手順 5 ~ 8 を行うことができます。td(E-A) の詳細は、「51. 電気的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 8.5 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)、電圧監視 1 リセット	
	出力許可停止の設定	1
2		LVD1CR0.RIE = 0 (電圧監視 1 割り込み/リセットを禁止する) (注1)
電圧検出 1 回路停止の設定	3	LVCMPCR.LVD1E = 0 (電圧検出 1 回路を無効にする)

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 1 割り込みや電圧監視 1 リセットを使用した後に、いったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 1 回路の設定を変更しない場合、電圧検出 1 回路の設定または停止は不要
- 電圧監視 1 割り込みまたはリセットの設定を変更しない場合、電圧監視 1 割り込みまたはリセットの設定は不要

図 8.5 に電圧監視 1 割り込みの動作例を示します。

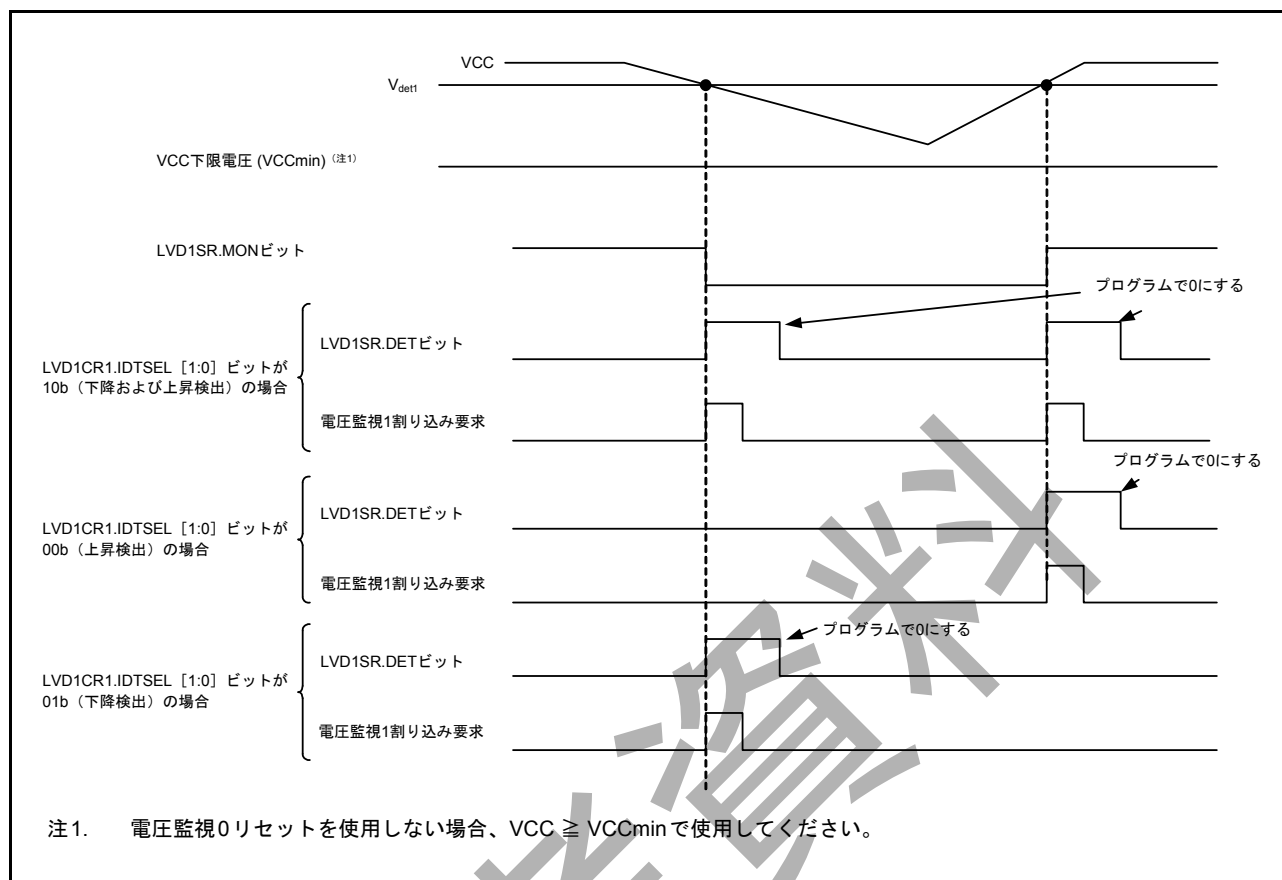


図 8.5 電圧監視 1 割り込みの動作例

## 8.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧監視 2 回路での比較結果により、割り込みやリセットを発生させることができます。

表 8.6 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を示します。表 8.7 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を示します。図 8.6 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 2 回路を使用する場合は、電圧監視 2 回路を以下のように設定してください。

### (1) ソフトウェアスタンバイモード時の設定

- $VCC > V_{det2}$  が検出された場合、安定時間経過後に LVDD2CR0.RN ビットをクリア (LVD2CR0.RN = 0) してください。

表 8.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)		電圧監視 2 リセット
	1	2	
電圧検出 2 回路の設定	1	LVCMPCR.LVD2E = 0 (LVDLVLR レジスタへ書き込む前に電圧検出 2 を無効にする)	
	2	LVDLVLR.LVD2LVL[2:0] ビットで検出電圧を選択する	
	3	LVCMPCR.LVD2E = 1 (電圧検出 2 回路を有効にする)	
	4	td(E-A) (LVD 有効切り替え後の LVD 動作安定時間) 以上待つ (注1)	
電圧監視 2 割り込み/ リセットの設定	5	LVD2CR0.RI = 0 (電圧監視 2 割り込みを選択する)	<ul style="list-style-type: none"> <li>• LVD2CR0.RI = 1 (電圧監視 2 リセットを選択する)</li> <li>• LVD2CR0.RN ビットでリセットネゲートの種類を選択する</li> </ul>
	6	<ul style="list-style-type: none"> <li>• LVD2CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する</li> <li>• LVD2CR1.IRQSEL ビットで割り込みの種類を選択する</li> </ul>	—
出力許可の設定	7	LVD2SR.DET = 0 にする	
	8	LVD2CR0.RIE = 1 (電圧監視 2 割り込み/リセットを許可する) (注2)	
	9	LVD2CR0.CMPE = 1 (電圧監視 2 の比較結果出力を許可する)	

注 1. 手順 4 の待ち時間中に手順 5 ~ 8 を行うことができます。td(E-A) の詳細は、「51. 電気的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

注 3. 手順 5 の待ち時間中に手順 6 ~ 9 を行うことができます。

表 8.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)、電圧監視 2 リセット	
	1	2
出力許可停止の設定	1	LVD2CR0.CMPE = 0 (電圧監視 2 の比較結果出力を禁止する)
	2	LVD2CR0.RIE = 0 (電圧監視 2 割り込み/リセットを禁止する) (注1)
電圧検出 1 回路停止の設定	3	LVCMPCR.LVD2E = 0 (電圧検出 2 回路を無効にする)

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 2 割り込みや電圧監視 2 リセットを使用した後に、いったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 2 回路の設定を変更しない場合、電圧検出 2 回路の設定または停止は不要
- 電圧監視 2 割り込みまたはリセットの設定を変更しない場合、電圧監視 2 割り込みまたはリセットの設定は不要

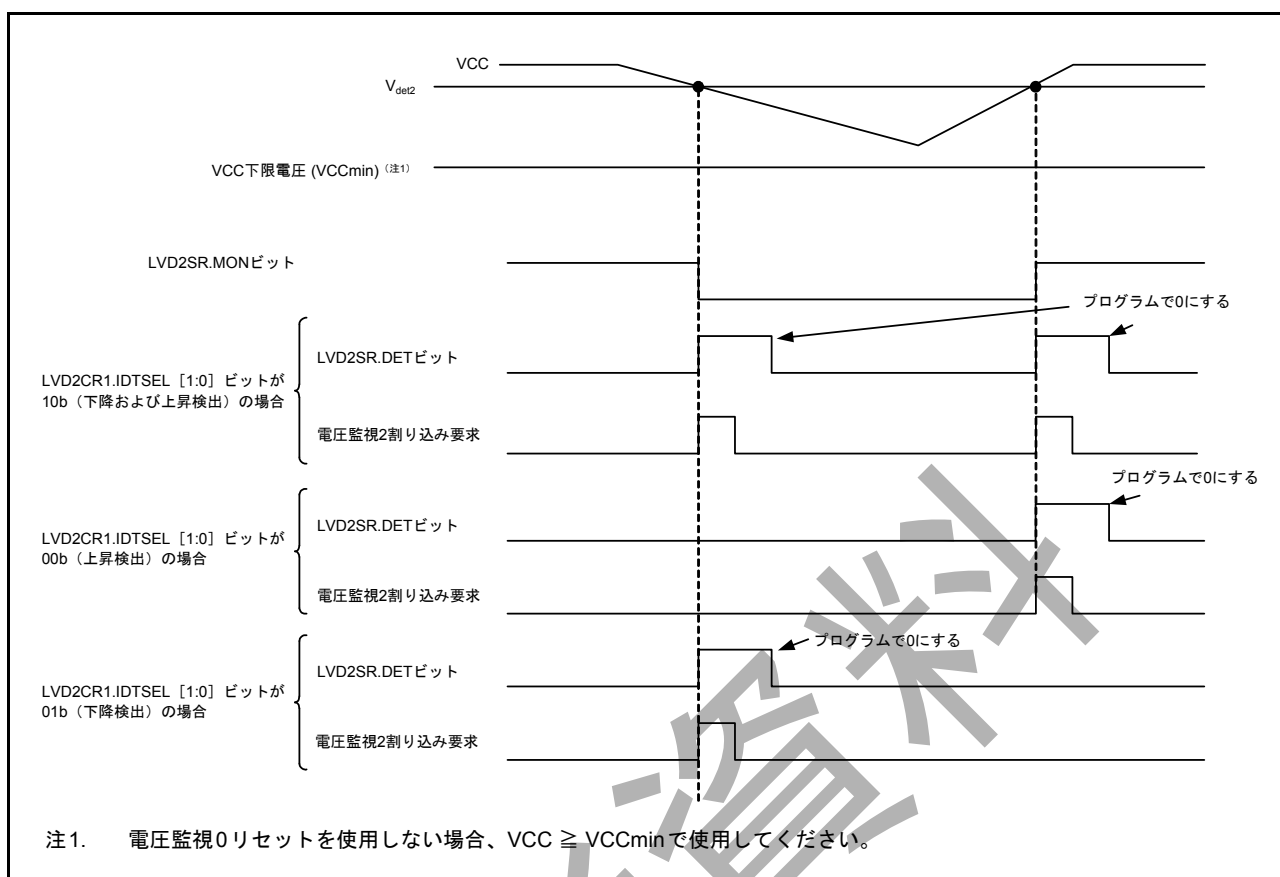


図 8.6 電圧監視 2 割り込みの動作例



## 8.7 イベントリンク出力機能

LVD は、イベントリンクコントローラ (ELC) に対してイベント信号出力を行うことができます。

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、 $V_{det1}$  通過を検出した場合、LVD はイベント信号を出力します。

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、 $V_{det2}$  通過を検出した場合、LVD はイベント信号を出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD を有効にしてから、ELC 側の LVD イベントリンク機能を有効にしてください。LVD のイベントリンク出力機能を停止にする場合は、LVD を停止してから、ELC 側の LVD イベントリンク機能を無効にしてください。

### 8.7.1 割り込み処理とイベントリンクの関係

LVD には、電圧監視 1 割り込みと電圧監視 2 割り込みのそれぞれに、割り込み許可/禁止を制御するビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合は、割り込み信号 (LVD1CR0.RIE および LVD2CR0.RIE) が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ただちに ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモードにおいても、電圧監視 1 割り込み信号および電圧監視 2 割り込み信号を出力することが可能です。ソフトウェアスタンバイモードでは、ELC 用のイベント信号が以下のように出力されます。

- ソフトウェアスタンバイモード期間中に  $V_{det1}/V_{det2}$  通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないため ELC 用のイベント信号は出力されません。 $V_{det1}/V_{det2}$  通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、 $V_{det1}/V_{det2}$  通過検出フラグに従って ELC 用のイベント信号が出力されます。

## 9. クロック発生回路

### 9.1 概要

本 MCU はクロック発生回路を内蔵しています。

表 9.1 と表 9.2 にクロック発生回路の仕様を示します。図 9.1 にクロック発生回路のブロック図を示します。

表 9.1 クロック発生回路の仕様（クロックソース）

クロックソース	項目	内容
メインクロック発振器（MOSC）	発振子周波数	1MHz～20MHz（最大5.5V） 1MHz～8MHz（最大2.4V） 4, 6, 8, 12MHz（USBブートモード）
	外部クロック入力周波数	最大20MHz
	外部発振子または付加回路：セラミック発振子、水晶振動子	あり
	接続端子：EXTAL、XTAL	
	駆動能力切り替え	
	発振停止検出機能	
サブクロック発振器（SOSC）	発振子周波数	32.768kHz
	外部発振子または付加回路：水晶振動子	あり
	接続端子：XCIN、XCOUT	
	駆動能力切り替え	
PLL回路	入力クロックソース	MOSC
	入力周波数	4MHz～12.5MHz
	通倍比	8～31通倍から選択可能（1ステップ単位） （最大64MHzの通倍周波数）
	出力分周比	1、2、4分周から選択可能
	PLL出力周波数	48MHz～64MHz（出力分周比：1） 24MHz～64MHz（出力分周比：2） 24MHz～32MHz（出力分周比：4）
高速オンチップオシレータ（HOCO）	発振周波数	24/32/48/64MHz
	ユーザトリミング	あり
中速オンチップオシレータ（MOCO）	発振周波数	8MHz
	ユーザトリミング	あり
低速オンチップオシレータ（LOCO）	発振周波数	32.768kHz
	ユーザトリミング	あり
IWDT専用オンチップオシレータ（IWDTLOCO）	発振周波数	15kHz
	ユーザトリミング	なし
JTAG用外部クロック入力（TCK）	入力クロック周波数	最大12.5MHz
SWD用外部クロック入力（SWCLK）	入力クロック周波数	最大12.5MHz

表 9.2 クロック発生回路の仕様（内部クロック）(1/2)

項目	クロックソース	クロック供給	内容
システムクロック (ICLK)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	CPU, DTC, DMAC, Flash, SRAM	最大48MHz 分周比： 1/2/4/8/16/32/64
周辺モジュールクロック A (PCLKA)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	周辺モジュール (QSPI, SPI, SCI, SCE5, SDHI, CRC, IrDA, GPT バスクロック)	最大48MHz 分周比： 1/2/4/8/16/32/64
周辺モジュールクロック B (PCLKB)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	周辺モジュール (DAC12, IIC, SSI, DOC, CAC, CAN, AGT, POEG, CTSU)	最大32MHz 分周比： 1/2/4/8/16/32/64
周辺モジュールクロック C (PCLKC)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	周辺モジュール (ADC14変換クロック)	最大64MHz 分周比： 1/2/4/8/16/32/64
周辺モジュールクロック D (PCLKD)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	周辺モジュール (GPTカウンタクロック)	最大64MHz 分周比： 1/2/4/8/16/32/64
FlashIFクロック (FCLK)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	FlashIF	1MHz～32MHz (P/E) 最大32MHz (読み出し) 分周比： 1/2/4/8/16/32/64
外部バスクロック (BCLK)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	外部バス	最大24MHz 分周比： 1/2/4/8/16/32/64
EBCLK端子出力 (EBCLK)	BCLKまたは1/2 BCLK	EBCLK端子	最大12MHz 分周比： 1または2
USBクロック (UCLK)	PLL	USBFS	48MHz
CANクロック (CANMCLK)	MOSC	CAN	1MHz～20MHz
セグメントLCDクロック (LCDSRCCLK)	MOSC/SOSC/HOCO/MOCO/ LOCO	SLCDC	最大64MHz
AGTクロック (AGTCLK) (AGTSCLK/AGTLCLK)	SOSC/LOCO/PCLKB	AGT	最大32MHz
CACメインクロック (CACMCLK)	MOSC	CAC	最大20MHz
CACサブクロック (CACSCLK)	SOSC	CAC	32.768kHz
CAC LOCOクロック (CACLCLK)	LOCO	CAC	32.768kHz
CAC MOCOクロック (CACMOCLK)	MOCO	CAC	8MHz
CAC HOCOクロック (CACHCLK)	HOCO	CAC	24/32/48/64MHz
CAC IWDTLOCOクロック (CACILCLK)	IWDTLOCO	CAC	15kHz
RTCクロック (RTCSCLK/ RTCLCLK)	SOSC/LOCO	RTC	32.768kHz
IWDTクロック (IWDTCLK)	IWDTLOCO	IWDT	15kHz
SysTickタイマクロック (SYSTICCLK)	LOCO	SysTick タイマ	32.768kHz
JTAGクロック (JTAGTCK)	TCK	JTAG	最大12.5MHz
クロック/ブザー出力 (CLKOUT)	MOSC/SOSC/LOCO/MOCO/ HOCO	CLKOUT端子	最大16MHz 分周比： 1/2/4/8/16/32/64/128
シリアルワイヤクロック (SWCLK)	SWCLK端子	OCD	最大12.5MHz

表 9.2 クロック発生回路の仕様 (内部クロック) (2/2)

項目	クロックソース	クロック供給	内容
トレースクロック (TRCLK)	MOSC/SOSC/HOCO/MOCO/ LOCO/PLL	CPU-OCD	最大48MHz 分周比: 1/2/4

注. クロック周波数の設定に関する制限:  $ICLK \geq PCLKA \geq PCLKB$ ,  $PCLKD \geq PCLKA \geq PCLKB$ ,  $PCLKD \geq PCLKB$   
 クロック周波数比に関する制限: (N: 整数、最大 64)

$ICLK:FCLK = N:1$ ,  $ICLK:BCLK = N:1$ ,  $ICLK:PCLKA = N:1$ ,  $ICLK:PCLKB = N:1$

$ICLK:PCLKC = N:1$  または  $1:N$ ,  $ICLK:PCLKD = N:1$  または  $1:N$

$PCLKB:PCLKC = 1:1$ ,  $1:2$ ,  $1:4$ ,  $2:1$ ,  $4:1$ , または  $8:1$

注. プログラム/イレースモードでの最小 FCLK 周波数は 1MHz

参考資料

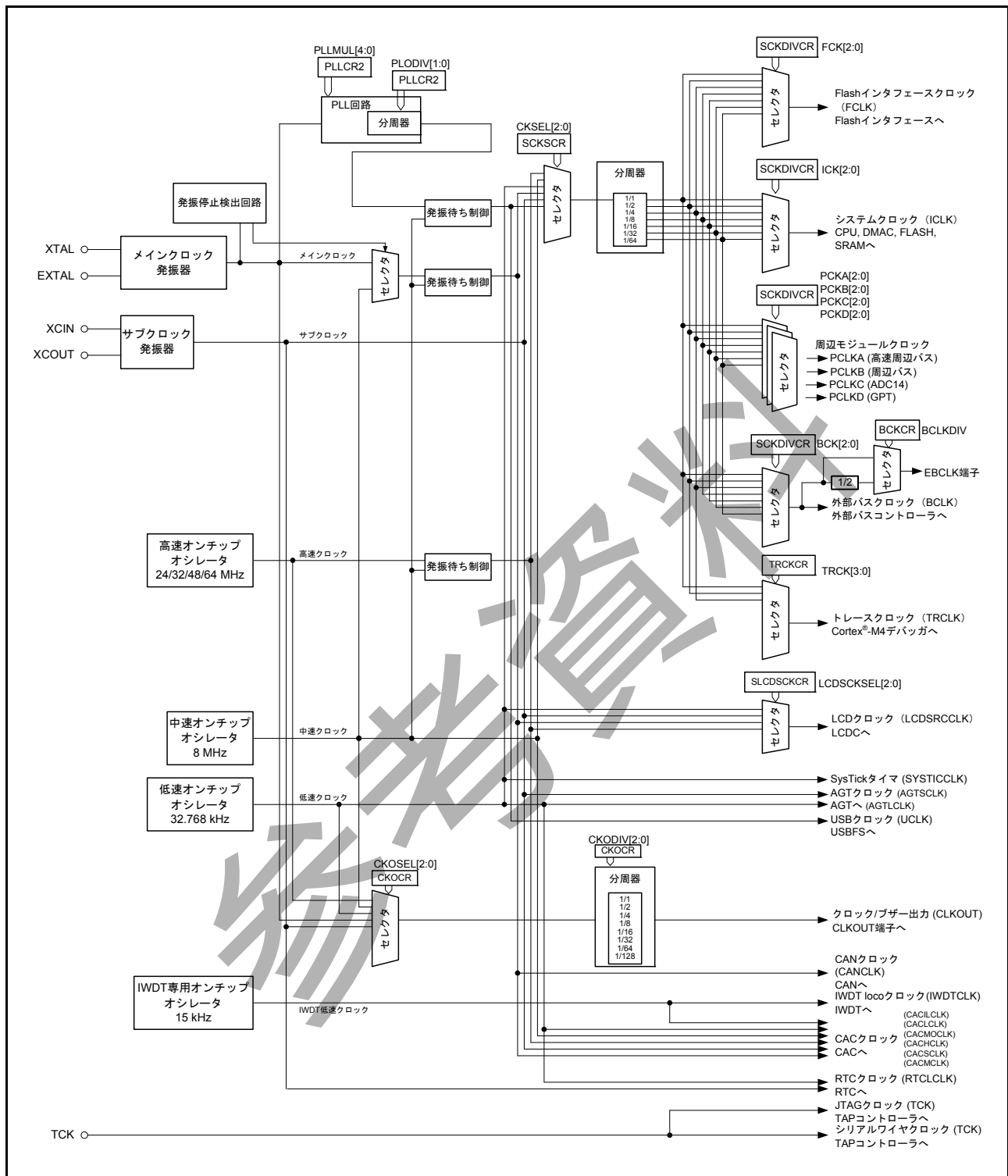


図 9.1 クロック発生回路のブロック図

表 9.3 にクロック発生回路の入出力端子を示します。

表 9.3 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	水晶振動子用の接続端子。EXTAL端子は外部クロックの入力にも使用可能です。詳細は、9.3.2 外部クロックを入力する方法を参照してください。
EXTAL	入力	
XCIN	入力	32.768kHz水晶振動子用の接続端子
XCOUT	出力	
TCK/SWCLK	入力	JTAG用のクロック入力
EBCLK	出力	外部デバイスに外部バスクロック（EBCLK）を供給
CLKOUT	出力	CLKOUT/BUZZERクロック用の出力端子

参考資料

## 9.2 レジスタの説明

### 9.2.1 システムクロック分周コントロールレジスタ (SCKDIVCR)

アドレス SYSTEM.SCKDIVCR 4001 E020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	FCK[2:0]		—	ICK[2:0]		—	—	—	—	—	BCK[2:0]		—	—	—	
リセット後の値	0	1	0	0	0	1	0	0	0	0	0	0	0	1	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	PCKA[2:0]		—	PCKB[2:0]		—	PCKC[2:0]		—	PCKD[2:0]		—	—	—	—	
リセット後の値	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	PCKD[2:0]	周辺モジュールクロック D (PCLKD) 選択 (注4)	b2 b0 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	PCKC[2:0]	周辺モジュールクロック C (PCLKC) 選択 (注4)	b6 b4 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	PCKB[2:0]	周辺モジュールクロック B (PCLKB) 選択 (注3)	b10 b8 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b12	PCKA[2:0]	周辺モジュールクロック A (PCLKA) 選択 (注3)	b14 b12 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 上記以外は設定しないでください。	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b18-b16	<a href="#">BCK[2:0]</a>	外部バスクロック (BCLK) 選択 (注2)	b18 b16 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周  上記以外は設定しないでください。	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	<a href="#">ICK[2:0]</a>	システムクロック (ICLK) 選択 (注1) (注2) (注3) (注4) (注5)	b26 b24 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周  上記以外は設定しないでください。	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b30-b28	<a href="#">FCK[2:0]</a>	FlashIFクロック (FCLK) 選択 (注1)	b30 b28 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周  上記以外は設定しないでください。	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. システムクロック (ICLK) と FlashIF クロック (FCLK) の間には以下の周波数関係が必要です。  
 $ICLK:FCLK = N:1$  (N: 整数)  
 $ICLK < FCLK$  となる書き込みは無視されます。
- 注 2. システムクロック (ICLK) と外部バスクロック (BCLK) の間には以下の周波数関係が必要です。  
 $ICLK:BCLK = N:1$  (N: 整数)  
 $ICLK < BCLK$  となる書き込みは無視されます。
- 注 3. システムクロック (ICLK) と周辺モジュールクロック (PCLKA, PCLKB) の間には以下の周波数関係が必要です。  
 $ICLK:PCLKA = N:1$ 、 $ICLK:PCLKB = N:1$  (N: 整数)  
 $ICLK < PCLKA$  または  $ICLK < PCLKB$  となる書き込みは無視されます。
- 注 4. システムクロック (ICLK) と周辺モジュールクロック (PCLKC, PCLKD) の間には以下の周波数関係が必要です。  
 $ICLK:PCLKC$ 、 $ICLK:PCLKD = N:1$  または  $1:N$  (N: 整数)
- 注 5. SCKSCR.CKSEL[2:0] ビットで 32MHz よりも速いシステムクロックを選択し、かつ MEMWAIT.MEMWAIT = 0 の場合、ICLK を 1 分周に設定するのは禁止です。

SCKDIVCR レジスタは、システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、FlashIF クロック (FCLK)、および外部バスクロック (BCLK) の周波数を選択するレジスタです。

#### [PCKD\[2:0\] ビット \(周辺モジュールクロック D \(PCLKD\) 選択\)](#)

周辺モジュールクロック D (PCLKD) の周波数を選択します。

#### [PCKC\[2:0\] ビット \(周辺モジュールクロック C \(PCLKC\) 選択\)](#)

周辺モジュールクロック C (PCLKC) の周波数を選択します。

#### [PCKB\[2:0\] ビット \(周辺モジュールクロック B \(PCLKB\) 選択\)](#)

周辺モジュールクロック B (PCLKB) の周波数を選択します。



**PCKA[2:0] ビット (周辺モジュールクロック A (PCLKA) 選択)**

周辺モジュールクロック A (PCLKA) の周波数を選択します。

**BCK[2:0] ビット (外部バスクロック (BCLK) 選択)**

外部バスクロック (BCLK) の周波数を選択します。

**ICK[2:0] ビット (システムクロック (ICLK) 選択)**

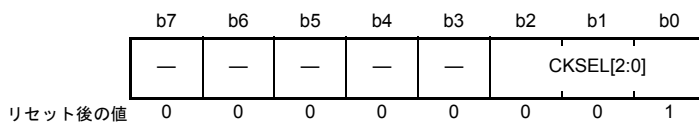
CPU、DMAC、および DTC 用システムクロックの周波数を選択します。

**FCK[2:0] ビット (FlashIF クロック (FCLK) 選択)**

FlashIF クロック (FCLK) の周波数を選択します。

**9.2.2 システムクロックソースコントロールレジスタ (SCKSCR)**

アドレス SYSTEM.SCKSCR 4001 E026h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKSEL[2:0]	クロックソース選択 (注1)	b2 b0 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: メインクロック発振器 (MOSC) 1 0 0: サブクロック発振器 (SOSC) 1 0 1: PLL 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SCKDIVCR.ICK[2:0] ビットで1分周を選択し、かつ MEMWAIT.MEMWAIT = 0 の場合、32MHz よりも速いシステムクロックソース (システムクロックソース > 32MHz) の選択は禁止です。

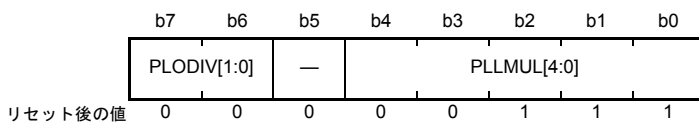
SCKSCR レジスタは、システムクロックのクロックソースを選択するレジスタです。

**CKSEL[2:0] ビット (クロックソース選択)**

システムクロック (ICLK)、周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK)、および USBFS クロック (UCLK) のクロックソースを、低速オンチップオシレータ (LOCO)、中速オンチップオシレータ (MOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器 (MOSC)、サブクロック発振器 (SOSC)、および PLL 回路から選択します。停止しているクロックソースへの切り替えは禁止です。

## 9.2.3 PLL クロックコントロールレジスタ 2 (PLLCCR2)

アドレス SYSTEM.PLLCCR2 4001 E02Bh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PLLMUL[4:0]	PLL周波数逡倍率選択(注1)	b4      b0 0 0 1 1 1 : × 8 0 1 0 0 0 : × 9 0 1 0 0 1 : × 10 ... 1 1 1 0 1 : × 30 1 1 1 1 0 : × 31 上記以外は設定しないでください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	PLODIV[1:0]	PLL出力分周比選択(注1)	b7 b6 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 上記以外は設定しないでください。	R/W

注1. PLLMUL[4:0]ビットとPLODIV[1:0]ビットは、PLLの出力周波数が表9.1に示す範囲に収まるように設定する必要があります。

PLLCCR2レジスタは、PLL回路の動作を設定するレジスタです。PLLCCR.PLLSTPビットが0(PLL動作)の場合、PLLCCR2レジスタへの書き込みは禁止です。

**PLLMUL[4:0]ビット (PLL周波数逡倍率選択)**

PLL回路の周波数逡倍率を選択します。

**PLODIV[1:0]ビット (PLL出力分周比選択)**

PLLの出力分周比を選択します。

## 9.2.4 PLL コントロールレジスタ (PLLCR)

アドレス SYSTEM.PLLCR 4001 E02Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	PLLST P
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLSTP	PLL 停止制御	0 : PLL 動作 (注1) 1 : PLL 停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. PLL 動作時は、VCC は 2.4V 以上 ( $VCC \geq 2.4V$ ) でなければいけません。また、動作電力制御モードは、High-speed モードまたは Middle-speed モードに設定する必要があります。

PLLCR レジスタは、PLL 回路の動作を制御するレジスタです。

### PLLSTP ビット (PLL 停止制御)

PLL 回路を動作または停止させます。

PLL を動作させるように PLLSTP ビットの設定を変更した場合は、OSCSF.PLLSF ビットが 1 になっていることを確認してから、PLL クロックの使用を開始してください。PLL は、動作開始設定後発振が安定するまでに一定の時間を要します。また、PLL 動作が停止した後も、発振が停止するまでに一定の時間を要します。PLLSTP ビットで PLL 動作を開始および停止させる場合、以下の制限があります。

- PLL の停止後、動作を再開させる前に OSCSF.PLLSF ビットが 0 であることを確認すること
- PLL を停止させる前に、PLL が動作していること、および OSCSF.PLLSF ビットが 1 であることを確認すること
- PLL クロックをシステムクロックとして選択しているかどうかにかかわらず、PLL を動作開始設定にしてソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 1 になっていることを確認した上で WFI 命令を実行すること。また、PLL の停止設定後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 0 になっていることを確認した上で WFI 命令を実行すること

以下の条件で PLLSTP ビットに 1 を書き込まないでください。

- SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL)

PLLSTP に 0 を書き込む前に、以下の条件が満たされていることを確認してください。

- OSCSF.MOSCSF ビットが 1 に設定されてから 1 $\mu$ s 以上が経過していること
- PLLSTP = 1 (PLL 停止) に設定してから 4 $\mu$ s 以上が経過していること
- PLLMUL[4:0] ビット (PLL 周波数通倍率選択) の設定から 1 $\mu$ s 以上が経過していること

### 9.2.5 外部バスクロックコントロールレジスタ (BCKCR)

アドレス SYSTEM.BCKCR 4001 E030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCLKD IV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCLKDIV	EBCLK端子出力選択	0 : BCLK 1 : BCLK/2	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BCKCR レジスタは、外部バスクロック端子を制御するレジスタです。

#### BCLKDIV ビット (EBCLK 端子出力選択)

EBCLK 端子から出力するクロックを選択します。

SCKDIVCR.BCK[2:0] ビットで選択した周波数の BCLK、または BCLK の 2 分周を選択できます。

## 9.2.6 メモリウェイトサイクルコントロールレジスタ (MEMWAIT)

アドレス SYSTEM.MEMWAIT 4001 E031h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	MEMWAIT
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MEMWAIT	メモリウェイトサイクル選択	0: ウェイトなし 1: ウェイトあり	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. SCKDIVCR.ICLK ビットで1分周を選択し、かつ SCKSCR.CKSEL[2:0] ビットで32MHzよりも速いシステムクロックソース (ICLK > 32MHz) を選択した場合、MEMWAIT への0の書き込みはしないでください。

このレジスタはFlash リードアクセスのウェイトサイクルを制御します。

### MEMWAIT ビット (メモリウェイトサイクル選択)

Flash リードアクセスのウェイトサイクルを選択します。リセット解除後は、Flash アクセスのウェイトサイクルは0ウェイト (MEMWAIT = 0) に設定されます。

MEMWAIT ビット設定によるFlash リードアクセスのウェイトサイクル数は以下の通りです。

- MEMWAIT = 0: ウェイトサイクルは0サイクル
- MEMWAIT = 1: ウェイトサイクルは2サイクル

MEMWAIT ビットへ書き込む前に、ICLK 周波数と動作電力制御モードが必要であることを確認してください。ICLK、動作電力制御モード、およびMEMWAIT ビットを設定する場合、以下の制限があります。

- ICLK を32MHzよりも速く設定する場合 (ICLK > 32MHz)、ICLK が32MHz以下 (ICLK ≤ 32MHz) で、かつ動作電力制御モードがHigh-speedモード (OPCCR.OPCM[1:0] = 00b) の状態で、MEMWAIT ビットを1にする必要があります。動作モードがHigh-speedモード以外の場合、MEMWAIT を1にしないでください。

ICLK 周波数を32MHzよりも速く設定することが可能です。MEMWAIT = 0の状態では、ICLK を32MHzよりも速い設定にしないでください。

- ICLK を32MHzより速い設定 (ICLK > 32MHz) から32MHz以下 (ICLK ≤ 32MHz) の設定にする場合は、MEMWAIT = 1の状態では、ICLK 周波数を32MHz以下にする必要があります。ICLK が32MHzよりも速い状態で、MEMWAIT を0にしないでください。動作モードがHigh-speedモード以外の場合、MEMWAIT を1にしないでください。

ICLK 周波数が32MHz以下で、かつ動作電力制御モードがHigh-speedモード (OPCCR.OPCM[1:0] = 00b) のときに、MEMWAIT を0にクリアできます。

表 9.4 MEMWAIT ビットの設定

MEMWAIT ビット	MCU動作電力制御		
	モード: High-speedモード以外	High-speedモード	
		ICLK ≤ 32MHz	ICLK > 32MHz
0	○	○	x
1	x	○	○

○: 設定可能

x: 設定不可

図 9.2 に、ICLK を 32MHz よりも速く設定する場合のフロー例を示します。

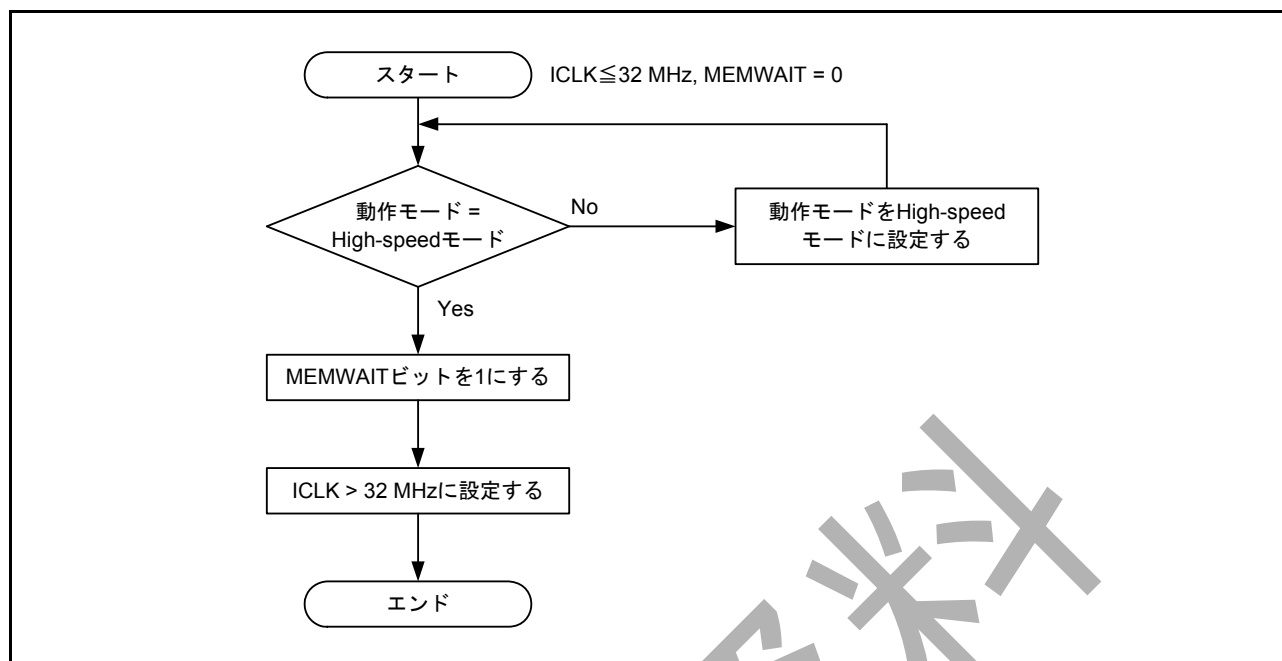


図 9.2 ICLK > 32MHz に設定する場合

図 9.3 に、ICLK が 32MHz 超の場合に、ICLK を 32MHz 以下に設定する例を示します。

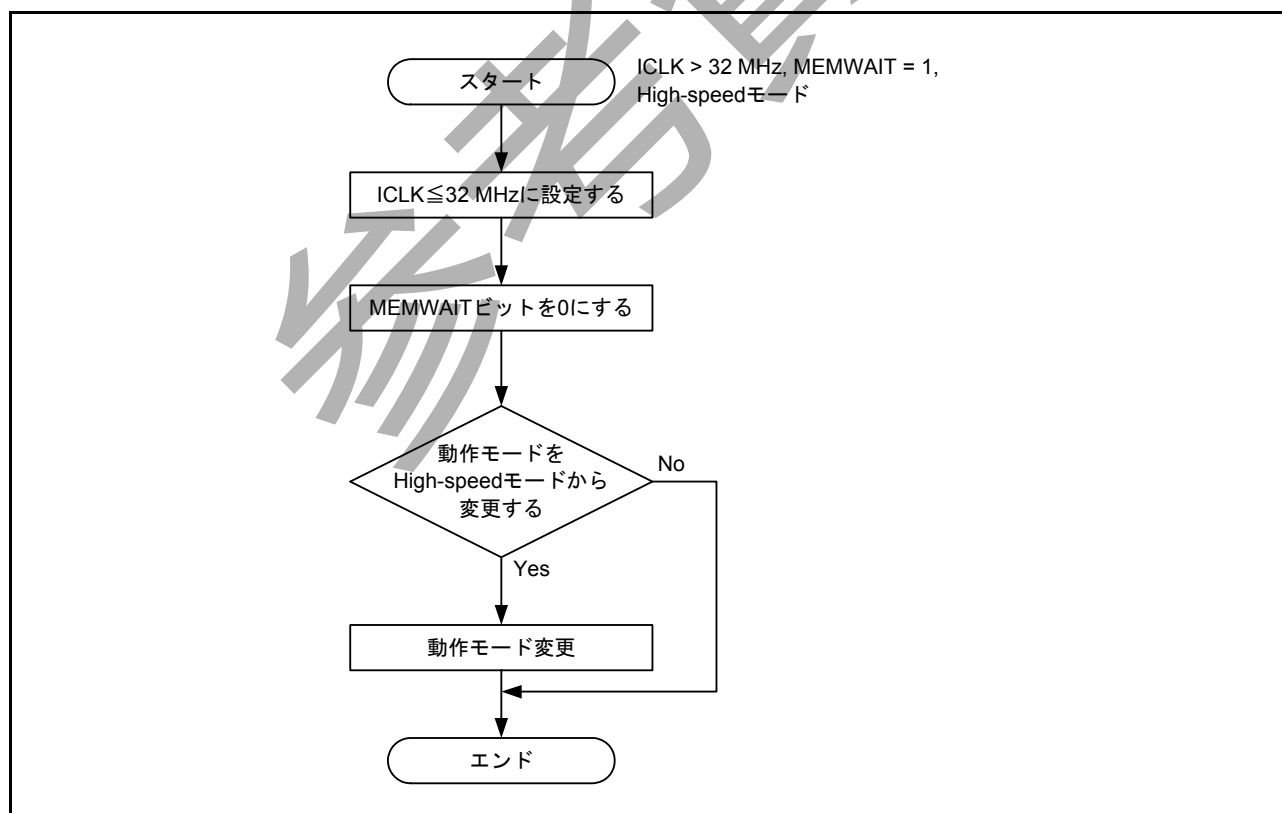


図 9.3 ICLK > 32MHz の状態から ICLK ≤ 32MHz に設定する場合

## 9.2.7 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス SYSTEM.MOSCCR 4001 E032h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止	0: メインクロック発振器動作 (注1) 1: メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. MOSTP を0にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御するレジスタです。

### MOSTP ビット (メインクロック発振器停止)

メインクロック発振器を起動または停止させます。

MOSTP ビットを動作に設定することで、メインクロック発振器を起動させることができます。MOSTP ビット値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

メインクロックを使用する場合は、MOSTP ビットを0にする前に、メインクロック発振器モード発振コントロールレジスタ (MOMCR) およびメインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) を設定する必要があります。OSCCR.MOSTP ビット設定でメインクロックを動作させるように変更した場合、必ず OSCSF.MOSCSF ビットが1になっていることを確認してから、メインクロックを使用してください。

メインクロック発振器を動作させるように設定してから、発振が安定するまでに一定の時間を要します。また、停止に設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- メインクロック発振器の停止後、動作を再開させる前に OSCSF.MOSCSF ビットが0であることを確認すること
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OSCSF.MOSCSF ビットが1であることを確認すること
- メインクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが1になっていることを確認した上で WFI 命令を実行すること
- メインクロック発振器を停止させるように設定した後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが0にクリアされていることを確認した上で WFI 命令を実行すること

以下の条件下で MOSTP ビットに1を書き込まないでください。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC)
- SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL)
- PLLCR.PLLSTP = 0 (PLL 動作)

## 9.2.8 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス SYSTEM.SOSCCR 4001 E480h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止	0: サブクロック発振器動作 (注1) (注2) 1: サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SOSTP を 0 にする前に、SOMCR レジスタを設定する必要があります。

注2. VBATT 機能を使用しない場合、SOSC を動作させるように設定する前に、VBTCR1.BPWSWSTP ビットを設定する必要があります。VBTCR1.BPWSWSTP ビットについての詳細は、「12. バッテリバックアップ機能」を参照してください。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

### SOSTP ビット (サブクロック発振器停止)

サブクロック発振器を起動または停止させます。

SOSTP ビット値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。RTC など一部のモジュールに対するソースとしてサブクロックを使用する場合、SOSTP ビットを使用します。

サブクロックを使用する場合は、SOSTP ビットを 0 にする前に、サブクロック発振器モードコントロールレジスタ (SOMCR) を設定する必要があります。SOSTP ビットを 0 にした後、必ずサブクロック発振安定時間 (tSUBOSCOWT) が経過してから、サブクロックを使用してください。SOSTP ビットでサブクロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、SOSTP ビットを停止に設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- サブクロック発振器の停止後、動作を再開させるまでに SOSC で 5 サイクル以上の待ち時間が必要
- サブクロック発振器を停止させる場合、サブクロック発振器による発振が安定していることを確認すること
- サブクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、サブクロック発振器の発振が安定していることを確認した上で WFI 命令を実行すること
- サブクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、サブクロック発振器を停止に設定してから SOSC で 3 クロックサイクル以上待った後、WFI 命令を実行すること

以下の条件下で SOSTP ビットに 1 を書き込まないでください。

- SCKSCR.CKSEL[2:0] = 100b (システムクロックソース = SOSC)



## 9.2.9 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス SYSTEM.LOCOCR 4001 E490h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止	0 : LOCO動作 (注1) 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. VBATT 機能を使用しない場合、LOCO の動作設定の前に、VBTCR1.BPWSWSTP ビットを設定する必要があります。VBTCR1.BPWSWSTP ビットについての詳細は、「12. バッテリバックアップ機能」を参照してください。

LOCOCR レジスタは、LOCO を制御するレジスタです。

### LCSTP ビット (LOCO 停止)

LOCO を起動または停止させます。

LCSTP ビットを LOCO 動作に変更した後、必ず LOCO クロック発振安定待機時間 ( $t_{LOCOWT}$ ) が経過してから LOCO を使用してください。LOCO を動作させるように設定してから、発振が安定するまでに一定の時間を要します。また、発振器を停止に設定した後も、発振が停止するまでに一定の時間を要します。

発振器の開始および停止に関しては、以下の制限があります。

- LOCO の停止後、動作を再開させるまでに LOCO で 5 サイクル以上の待ち時間が必要
- LOCO を停止させる場合、LOCO による発振が安定していることを確認すること
- LOCO をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、LOCO の発振が安定していることを確認した上で WFI 命令を実行すること
- LOCO の設定後、ソフトウェアスタンバイモードへ遷移する場合は、LOCO で 3 サイクル以上待ってから WFI 命令を実行すること

以下の条件下で LOSTP ビットに 1 を書き込まないでください。

- SCKSCR.CKSEL[2:0] = 010b (システムクロックソース = LOCO)

## 9.2.10 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス SYSTEM.HOCOOCR 4001 E036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止	0 : HOCO動作 (注2) (注3) 1 : HOCO停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 . HOCOOCR.HCSTP = 0 および OSCSF.HOCOSF = 0 (HOCO は安定待機時間カウンタ中) の状態にあるとき、OPCCR.OPCM[1:0] ビットへの書き込みはしないでください。
- 注 . OPCCR.OPCMTSF = 1、SOPCCR.SOPCMTSF = 1 (動作電力制御モードの遷移中)、または FLSTOP.CFLSTOPF = 1 (フラッシュの遷移中) の状態にあるとき、HCSTP ビットへの書き込みはしないでください。
- 注 1. OFS1.HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 になります。OFS1.HOCOEN ビットが 1 のとき、HCSTP ビットのリセット後の値は 1 になります。
- 注 2. HOCO の動作周波数が 48MHz の場合、HOCO 動作時の VCC は 1.8V 以上 (VCC ≥ 1.8V) である必要があります。HOCO の動作周波数が 64MHz の場合、HOCO 動作時の VCC は 2.4V 以上 (VCC ≥ 2.4V) である必要があります。
- 注 3. HOCO を使用する場合 (HCSTP = 0)、OFS1.HOCOFREQ1 ビットを最適な値に設定する必要があります。Low-voltage モードの間中は、HOCOOCR.HCSTP は常に 0 でなければいけません。

HOCOOCR レジスタは、HOCO を制御するレジスタです。

### HCSTP ビット (HOCO 停止)

HOCO を起動または停止させます。

HCSTP ビットで HOCO を動作させるように変更した場合、必ず OSCSF.HOCOSF ビットが 1 になっていることを確認してから、発振器を使用してください。OFS1.HOCOEN ビットが 1 になっている場合、OSCSF.HOCOSF も 1 になっていることを確認してから、HOCO クロックを使用してください。HOCO が動作するように設定してから、発振が安定するまでに一定の時間を要します。また、HOCO を停止に設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO の停止後、動作を再開させる前に OSCSF.HOCOSF ビットが 0 であることを確認すること
- HOCO を停止させる前に、HOCO が動作していること、および OSCSF.HOCOSF ビットが 1 であることを確認すること
- HOCO をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが 1 になっていることを確認した上で WFI 命令を実行すること
- HOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが 0 になっていることを確認した上で WFI 命令を実行すること

以下の条件下で HCSTP ビットに 1 を書き込まないでください。

- SCKSCR.CKSEL[2:0] = 000b (システムクロックソース = HOCO)

### 9.2.11 中速オンチップオシレータコントロールレジスタ (MOCO CR)

アドレス SYSTEM.MOCO CR 4001 E038h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MCSTP	MOCO停止	0 : MOCO動作 1 : MOCO停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MOCO CR レジスタは、MOCO を制御するレジスタです。

#### MCSTP ビット (MOCO 停止)

MOCO を起動または停止させます。

MCSTP ビットを 0 にした後、必ず MOCO クロック発振安定時間 ( $t_{MOCOWT}$ ) が経過してから、MOCO クロックを使用してください。MCSTP ビットを 0 にしてから、発振が安定するまでに一定の時間を要します。また、MCSTP ビットを 1 にした後、発振が停止するまでに一定の時間を要します。

発振器の開始および停止に関しては、以下の制限があります。

- MOCO の停止後、動作を再開させるまでに MOCO で 5 クロックサイクル以上の待ち時間が必要
- MOCO を停止させる場合、MOCO の発振が安定していることを確認すること
- MOCO をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、MOCO の発振が安定していることを確認した上で WFI 命令を実行すること
- MOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、MOCO で 3 サイクル以上待ってから WFI 命令を実行すること

以下の条件下で MCSTP ビットに 1 を書き込まないでください。

- SCKSCR.CKSEL[2:0] = 001b (システムクロックソース = MOCO)

発振停止検出コントロールレジスタの発振停止検出機能有効ビット (OSTDCR.OSTDE) で発振停止検出機能を有効にしているとき、MCSTP ビットを 1 (MOCO 停止) にしないでください。

MOCO クロックは他の発振器の待機時間の計測に使用されるため、MOCO CR.MCSTP ビットの設定値にかかわらず、他の発振器の待機時間が計測されているときは MOCO クロックが発振しています。MCSTP ビットが停止に設定されていても、意図せず MOCO クロックが供給される場合があります。

## 9.2.12 発振安定フラグレジスタ (OSCSF)

アドレス SYSTEM.OSCSF 4001 E03Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PLLSF	—	MOSC SF	—	—	HOCO SF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HOCOSF	HOCOクロック発振安定フラグ	0: HOCOクロックは停止、または発振安定待ち中 1: HOCOクロックは安定、システムクロックとして使用可能	R
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MOSC SF	メインクロック発振安定フラグ	0: メインクロック発振器は停止 (MOSTP = 1)、または発振安定待ち中 (注2) 1: メインクロック発振器は安定、システムクロックとして使用可能	R
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PLLSF	PLLクロック発振安定フラグ	0: PLLクロックは停止、または発振安定待ち中 1: PLLクロックは安定、システムクロックとして使用可能	R
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注1. リセット後の値は、OFS1.HOCOEN ビットで決まります。OFS1.HOCOEN が1になっている場合、リセット解除直後にOSCSF.HOCOSFの値が0になり、HOCO 発振安定時間の経過後にOSCSF.HOCOSFの値が1になります。
- 注2. 該当する発振器のウェイトコントロールレジスタに適切な値が設定されます。その値(待機時間)が不十分であると、発振が安定する前に発振安定フラグが1になり、内部回路へクロック信号の供給が開始されます。

OSCSF レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すフラグからなるレジスタです。

これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、対応する発振器から内部回路へクロックの供給が開始されたことを示します。

### HOCOSF フラグ (HOCO クロック発振安定フラグ)

高速クロック発振器の待機時間を計測するカウンタの動作状態を示します。

OFS1.HOCOEN ビットが1になっている場合、OSCSF.HOCOSF フラグも1になっていることを確認してから、HOCO クロックを使用してください。

[1になる条件]

- 高速クロック発振器の停止時に、HOCOCCR.HCSTP ビットを0にした結果、中速クロックの287サイクル分がカウントされて、MCU内で高速クロック供給が開始されたとき

[0になる条件]

- 高速クロック発振器の動作時に、HOCOCCR.HCSTP ビットを1にした結果、高速クロック発振器が発振停止になったとき  
HOCOCCR.HCSTP と HOCOSF が0 (HOCO は発振安定待ちカウント中) の状態にあるとき、OPCCR.OPCM[1:0] への書き込みはしないでください。

### MOSCSF フラグ (メインクロック発振安定フラグ)

メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- メインクロック発振器の停止時に、MOSCCR.MOSTP ビットを 0 にした結果、MOSCWTCR レジスタの設定値に応じた中速クロックサイクル数がカウントされて、MCU 内でメインクロック供給が開始されたとき

[0 になる条件]

- メインクロック発振器の動作時に、MOSCCR.MOSTP ビットを 1 にした結果、メインクロック発振器が発振停止になったとき

### PLLSF フラグ (PLL クロック発振安定フラグ)

PLL の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- PLL の停止時に、PLLCCR.PLLSTP ビットを 0 にした結果、中速クロックの 370 サイクルがカウントされて、MCU 内で PLL クロック供給が開始されたとき。ただし、PLLSTP ビットを 0 にしたときに PLL クロックソースの発振が安定していなければ、PLL クロックソースの発振が安定した後も、中速クロックサイクルのカウントが継続する

[0 になる条件]

- PLL の動作時に、PLLCCR.PLLSTP ビットを 1 にした結果、PLL が発振停止になったとき

参考資料

### 9.2.13 発振停止検出コントロールレジスタ (OSTDCR)

アドレス SYSTEM.OSTDCR 4001 E040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可	0: 発振停止検出割り込みを禁止。発振停止検出はPOEGに通知されない 1: 発振停止検出割り込みを許可。発振停止検出はPOEGに通知される	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	OSTDE	発振停止検出機能有効	0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

OSTDCR レジスタは、発振停止検出機能を制御するレジスタです。

#### OSTDIE ビット (発振停止検出割り込み許可)

発振停止検出機能割り込みを許可します。また、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) をクリアする必要がある場合、OSTDIE ビットを 0 にしてから、OSTDF フラグをクリアしてください。OSTDIE ビットを 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、PCLKB の 2 サイクルを超える待ち時間が必要になる場合があります。

#### OSTDE ビット (発振停止検出機能有効)

発振停止検出機能を有効にします。

OSTDE ビットを 1 (発振停止検出機能は有効) にすると、MOCO 停止ビット (MOCOCR.MCSTP) が 0 となり、MOCO が起動します。発振停止検出機能が有効の間は、MOCO は停止できません。MOCOCR.MCSTP ビットへの 1 の書き込み (MOCO 停止) は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が 1 (メインクロック発振停止を検出) のとき、OSTDE ビットへの 0 の書き込みは無効です。

OSTDE ビットが 1 の場合、ソフトウェアスタンバイモードへ遷移できません。ソフトウェアスタンバイモードへ遷移する場合は、OSTDE ビットを 0 にしてから WFI 命令を実行してください。

発振停止検出機能を使用する場合、以下の制限があります。

- Low-speed モードでは、ICLK、FCLK、BCLK、PCLKA、PCLKB、PCLKC、および PCLKD に対する 1 分周、2 分周、4 分周、8 分周の設定は禁止
- Low-voltage モードでは、ICLK、FCLK、BCLK、PCLKA、PCLKB、PCLKC、および PCLKD に対する 1 分周と 2 分周の設定は禁止

## 9.2.14 発振停止検出ステータスレジスタ (OSTDSR)

アドレス SYSTEM.OSTDSR 4001 E041h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロック発振停止を未検出 1: メインクロック発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注1. 0のみ書けます。

OSTDSR レジスタは、メインクロック発振停止の検出状態を示すレジスタです。

### OSTDF フラグ (発振停止検出フラグ)

メインクロックの状態を示します。OSTDF フラグが1のとき、メインクロックの発振停止が検出されたことを示します。メインクロックの発振停止が検出された後、メインクロックの発振が再開しても OSTDF ビットは0になりません。OSTDF ビットは、このビットから1を読んだ後、0を書くことによって0になります。

OSTDF に0を書き込んでから、0を読み出せるようになるまで、ICLK で3サイクル以上待つ必要があります。メインクロックの発振が停止しているとき、OSTDF ビットを0にすると、OSTDF ビットはいったん0になった後、再度1に戻ります。

以下の条件下では、OSTDSR.OSTDF ビットは0にクリアできません。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC)

クロックソースをメインクロック発振器と PLL 以外に切り替えた後、OSTDF ビットを0にする必要があります。

[1 になる条件]

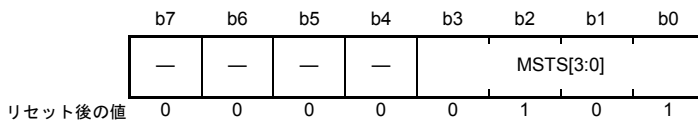
- OSTDCR.OSTDE ビットが1 (発振停止検出機能は有効) の状態で、メインクロックの発振が停止したとき

[0 になる条件]

- SCKSCR.CKSEL[2:0] ビットが 011b (システムクロックが MOSC) 以外の場合に、1を読んだ後、0を書いたとき

## 9.2.15 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス SYSTEM.MOSCWTCR 4001 E0A2h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MSTS[3:0]	メインクロック発振器待機時間設定	b3    b0 0 0 0 0: 待機時間 = 2サイクル (0.25 $\mu$ s) 0 0 0 1: 待機時間 = 1,024サイクル (128 $\mu$ s) 0 0 1 0: 待機時間 = 2,048サイクル (256 $\mu$ s) 0 0 1 1: 待機時間 = 4,096サイクル (512 $\mu$ s) 0 1 0 0: 待機時間 = 8,192サイクル (1,024 $\mu$ s) 0 1 0 1: 待機時間 = 16,384サイクル (2,048 $\mu$ s) (リセット後の値) 0 1 1 0: 待機時間 = 32,768サイクル (4,096 $\mu$ s) 0 1 1 1: 待機時間 = 65,536サイクル (8,192 $\mu$ s) 1 0 0 0: 待機時間 = 131,072サイクル (16,384 $\mu$ s) 1 0 0 1: 待機時間 = 262,144サイクル (32,768 $\mu$ s)  上記以外は設定しないでください。 待機時間は”MOCO = 8MHz (0.125 $\mu$ s (標準))”として計算されます。	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

**MSTS[3:0] ビット (メインクロック発振器待機時間設定)**

メインクロック発振器の発振安定待機時間を設定します。

発振器メーカーが推奨する安定時間以上の時間をメインクロック発振安定時間に設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので、0000b に設定してください。

MSTS[3:0] ビットに設定した待機時間は、MOCO クロックでカウントされます。MOCO は、必要であれば、MOCOCR.MOSTP ビットの値にかかわらず、自動的に発振を開始します。

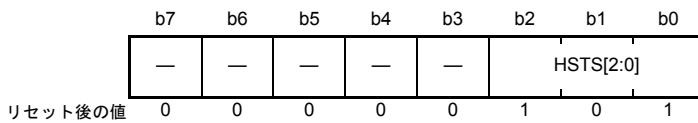
設定した待機時間が経過すると、MCU 内部へメインクロックの供給が開始され、OSCSF.MOSCSF フラグは1になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロックの供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが1で、かつOSCF.MOSCSF フラグが0の場合にのみ行ってください。それ以外では、このレジスタを書き換えしないでください。



## 9.2.16 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)

アドレス SYSTEM.HOCOWTCR 4001 E0A5h



ビット	シンボル	ビット名	機能	R/W
b2-b0	HSTS[2:0]	HOCO待機時間設定	b2 b0 1 0 1: <ul style="list-style-type: none"> <li>待機時間 = 245サイクル (29.13<math>\mu</math>s) HOCOの動作周波数が24MHz、32MHz、または48MHzのいずれかで、かつ動作電力制御モードがLow-voltageモード以外の場合</li> <li>待機時間 = 679サイクル (84.88<math>\mu</math>s) (リセット後の値) 動作電力制御モードがLow-voltageモードの場合</li> </ul> 1 1 0: <ul style="list-style-type: none"> <li>待機時間 = 541サイクル (67.63<math>\mu</math>s) HOCOの動作周波数が64MHzの場合</li> </ul> 上記以外は設定しないでください。 待機時間は“MOCO = 8MHz (0.125 $\mu$ s (標準))”として計算されます。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

HOCOWTCR レジスタは、高速クロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。

HOCOCR.HCSTP ビットが1の場合、または OSCSF.HOCOSF フラグが1の場合にのみ、HOCOWTCR に値を書き込むことができます。上記のいずれでもない場合は、HOCOWTCR レジスタには書き込みを行わないでください。

**HSTS[2:0] ビット (HOCO 待機時間設定)**

発振安定待ち回路は、待機時間を計測し、MCU 内部へのクロック供給を制御します。高速クロック発振器が動作を開始すると、発振安定待ち回路は、HOCOWTCR レジスタの設定値に応じた中速クロックサイクル数のカウントを開始します。設定したサイクル数のカウントが完了するまでの間、MCU 内部へのクロック供給は行われません。カウント完了後、MCU 内部へのクロック供給が開始され、OSCSF.HOCOSF フラグが1になります。

発振安定待ち回路での中速クロックサイクル数のカウントは、MOCOCR.MOSTP ビットの設定にかかわらず行われます。待機時間の計測時には、ハードウェアで自動的に中速発振器の動作/停止が制御されます。

### 9.2.17 メインクロック発振器モード発振コントロールレジスタ (MOMCR)

アドレス SYSTEM.MOMCR 4001 E413h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	—	—	MODR V1	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MODRV1	メインクロック発振器駆動能力1切り替え	0: 10MHz~20MHz 1: 1MHz~10MHz	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	MOSEL	メインクロック発振器切り替え	0: 発振子 1: 外部クロック入力	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

EXTAL/XTAL 端子もポートとして使用されます。初期設定状態では、この端子がポートとして設定されています。

このレジスタの変更は、MOSTP が 1 (MOSC 停止) のときに行う必要があります。

#### MODRV1 ビット (メインクロック発振器駆動能力1切り替え)

メインクロック発振器の駆動能力を切り替えます。

#### MOSEL ビット (メインクロック発振器切り替え)

メインクロック発振器の発振源を切り替えます。

### 9.2.18 サブクロック発振器モードコントロールレジスタ (SOMCR)

アドレス SYSTEM.SOMCR 4001 E481h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SODRV[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SODRV[1:0]	サブクロック発振器駆動能力切り替え	b1 b0 0 0: 通常モード 0 1: 低消費電力モード1 1 0: 低消費電力モード2 1 1: 低消費電力モード3	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

このレジスタの変更は、SOSCCR.SOSTP が 1 (SOSC 停止) のときに行う必要があります。

#### SODRV[1:0] ビット (サブクロック発振器駆動能力切り替え)

サブクロック発振器の駆動能力を切り替えます。

## 9.2.19 セグメント LCD ソースクロックコントロールレジスタ (SLCDSCKCR)

アドレス SYSTEM.SLCDSCKCR 4001 E050h

	b7	b6	b5	b4	b3	b2	b1	b0
	LCDSC KEN	—	—	—	—	LCDSCKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	LCDSCKSEL[2:0]	LCD ソースクロック (LCDSRCCLK) 選択	b2 b0 0 0 0: LOCO 0 0 1: SOSC 0 1 0: MOSC 1 0 0: HOCO  上記以外は設定しないでください。	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	LCDSCKEN	LCD ソースクロックアウト許可	0: LCD ソースクロックアウトを禁止 1: LCD ソースクロックアウトを許可	R/W

LCDSCKEN ビットと LCDSCKSEL[2:0] ビットを同時に設定することはしないでください。

**LCDSCKSEL[2:0] ビット (LCD ソースクロック (LCDSRCCLK) 選択)**

LOCO、SOSC、MOSC、または HOCO クロックを LCD クロックソースとして設定します。LCD ソースクロックを変更する場合、LCDSCKEN ビットを 0 にしてください。

これらのビットを変更する際は、以下の手順に従ってください。

1. LCDSCKEN を 0 (LCD ソースクロックアウトを禁止) にする。
2. 変更する前に、LCD ソースクロックの 3 サイクル分と、ICLK の 2 サイクル分待つ。
3. LCDSCKSEL[2:0] ビットに変更値を書く。
4. LCDSCKSEL[2:0] ビットを読み出して、変更されたことを確認する。

**LCDSCKEN ビット (LCD ソースクロックアウト許可)**

LCD モジュールへの LCD ソースクロック出力を許可します。

このビットを 1 にすると、選択したクロックが出力されます。このビットを変更する場合は、LCDSCKSEL[2:0] ビットで選択した LCD ソースクロックが安定していることを確認してください。変更後にソフトウェアスタンバイモードへ遷移する場合は、以下の手順に従ってください。

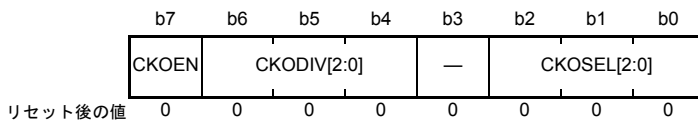
1. このビットを変更する。
2. LCDSCKSEL[2:0] ビットで選択したソースクロックの 2 サイクル分以上待つ。
3. WFI 命令を実行する。

このビットを 0 にした後、LCDSCKSEL[2:0] ビットで選択したソースクロックを停止する場合は、以下の手順に従ってください。

1. このビットを 0 (LCD ソースクロック出力を禁止) にする。
2. LCDSCKSEL[2:0] ビットで選択したソースクロックの 2 サイクル分以上待つ。
3. LCDSCKSEL[2:0] ビットで選択したソースクロックを停止する。

## 9.2.20 クロックアウトコントロールレジスタ (CKOCR)

アドレス SYSTEM.CKOCR 4001 E03Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKOSEL[2:0]	クロックアウトソース選択	b2 b0 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: MOSC 1 0 0: SOSC  上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	CKODIV[2:0]	クロックアウト入力分周比選択	b6 b4 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 1 1 1: 128分周	R/W
b7	CKOEN	クロックアウト許可	0: クロックアウトを禁止 1: クロックアウトを許可	R/W

**CKOSEL[2:0] ビット (クロックアウトソース選択)**

HOCO、MOCO、LOCO、MOSC、または SOSC クロックを、CLKOUT 端子から出力するクロックのソースとして設定します。

CLKOUT ソースクロックを変更する場合、CKOEN ビットを 0 にしてください。

**CKODIV[2:0] ビット (クロックアウト入力分周比選択)**

クロック分周比を設定します。

分周比を変更する場合、CKOEN ビットを 0 にしてください。出力クロック周波数の分周比は、CLKOUT 端子出力周波数の特性を超えない値に設定してください。CLKOUT 端子の特性の詳細については、「[51. 電気的特性](#)」を参照してください。

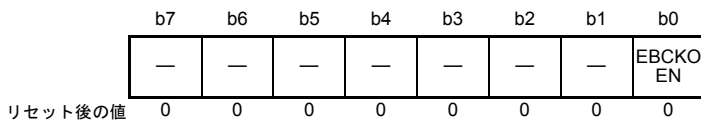
**CKOEN ビット (クロックアウト許可)**

CLKOUT 端子からの出力を許可します。

このビットを 1 にすると、選択したクロックが出力されます。このビットを 0 にすると、Low が出力されます。クロックの発振中に CKOSTP ビットを書き換えると、出力にグリッチを生じる恐れがあります。

## 9.2.21 外部バスクロック出カコントロールレジスタ (EBCKOCR)

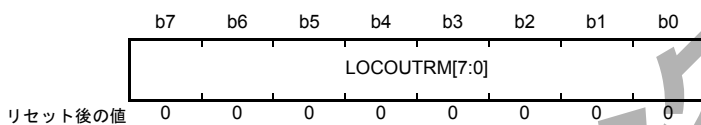
アドレス SYSTEM.EBCKOCR 4001 E052h



ビット	シンボル	ビット名	機能	R/W
b0	EBCKOEN	EBCLK端子出力制御	0 : BCLK端子出力を禁止 (High固定) 1 : BCLK端子出力を許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## 9.2.22 LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR)

アドレス SYSTEM.LOCOUTCR 4001 E492h



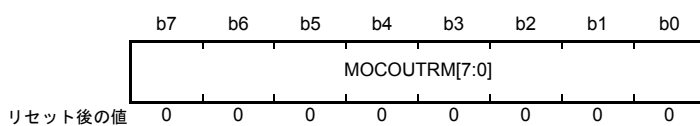
ビット	シンボル	ビット名	機能	R/W																																				
b7-b0	LOCOUTRM[7:0]	LOCOユーザトリミング	<table border="0"> <tr> <td>b7</td><td>b0</td><td></td></tr> <tr> <td>10000000</td><td>:-128</td><td></td></tr> <tr> <td>10000001</td><td>:-127</td><td></td></tr> <tr> <td>10000010</td><td>:-126</td><td></td></tr> <tr> <td>...</td><td></td><td></td></tr> <tr> <td>11111111</td><td>:-1</td><td></td></tr> <tr> <td>00000000</td><td>:センターコード</td><td></td></tr> <tr> <td>00000001</td><td>:+1</td><td></td></tr> <tr> <td>...</td><td></td><td></td></tr> <tr> <td>01111101</td><td>:+125</td><td></td></tr> <tr> <td>01111110</td><td>:+126</td><td></td></tr> <tr> <td>01111111</td><td>:+127</td><td></td></tr> </table> <p>これらのビットは、元のLOCOトリミングビットに追加されます。</p>	b7	b0		10000000	:-128		10000001	:-127		10000010	:-126		...			11111111	:-1		00000000	:センターコード		00000001	:+1		...			01111101	:+125		01111110	:+126		01111111	:+127		R/W
b7	b0																																							
10000000	:-128																																							
10000001	:-127																																							
10000010	:-126																																							
...																																								
11111111	:-1																																							
00000000	:センターコード																																							
00000001	:+1																																							
...																																								
01111101	:+125																																							
01111110	:+126																																							
01111111	:+127																																							

LOCO 周波数が仕様外となるような値に LOCOUTCR を設定した場合、MCU 動作は保証されません。

LOCOUTCR を変更した場合、周波数が安定するまでの時間は、MCU 動作開始時に周波数が安定するまでの時間に相当します。LOCO 周波数と他の発振周波数が整数比の関係にあるとき、LOCOUTCR 値を変更しないでください。

## 9.2.23 MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR)

アドレス SYSTEM.MOCOUTCR 4001 E061h



ビット	シンボル	ビット名	機能	R/W
b7-b0	MOCOUTRM[7:0]	MOCO ユーザトリミング	b7                    b0 1 0 0 0 0 0 0 0 : -128 1 0 0 0 0 0 0 1 : -127 1 0 0 0 0 0 1 0 : -126 ... 1 1 1 1 1 1 1 1 : -1 0 0 0 0 0 0 0 0 : センターコード 0 0 0 0 0 0 0 1 : +1 ... 0 1 1 1 1 1 0 1 : +125 0 1 1 1 1 1 1 0 : +126 0 1 1 1 1 1 1 1 : +127  これらのビットは、元のMOCOトリミングビットに追加 されます。	R/W

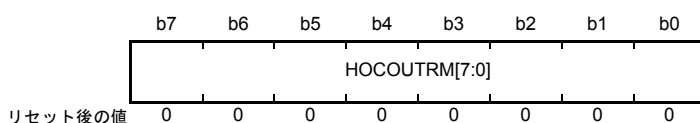
MOCO 周波数が仕様外となるような値に MOCOUTCR を設定した場合、MCU 動作は保証されません。

MOCOUTCR を変更した場合、周波数が安定するまでの時間は、MCU 動作開始時に周波数が安定するまでの時間に相当します。

MOCO 周波数と他の発振周波数が整数比の関係にあるとき、MOCOUTCR 値を変更しないでください。

## 9.2.24 HOCO ユーザトリミングコントロールレジスタ (HOCOUTCR)

アドレス SYSTEM.HOCOUTCR 4001 E062h

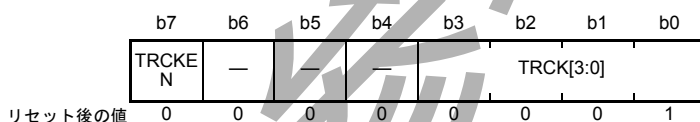


ビット	シンボル	ビット名	機能	R/W
b7-b0	HOCOUTRM[7:0]	HOCO ユーザトリミング	b7            b0 1 0 0 0 0 0 0 0 : -128 1 0 0 0 0 0 0 1 : -127 1 0 0 0 0 0 1 0 : -126 ... 1 1 1 1 1 1 1 1 : -1 0 0 0 0 0 0 0 0 : センターコード 0 0 0 0 0 0 0 1 : +1 ... 0 1 1 1 1 1 0 1 : +125 0 1 1 1 1 1 1 0 : +126 0 1 1 1 1 1 1 1 : +127  これらのビットは、元のHOCOトリミングビットに追加されます。	R/W

HOCO 周波数が仕様外となるような値に HOCOUTCR を設定した場合、MCU 動作は保証されません。HOCOUTCR を変更した場合、周波数が安定するまでの時間は、MCU 動作開始時に周波数が安定するまでの時間に相当します。

## 9.2.25 トレースクロックコントロールレジスタ (TRCKCR)

アドレス SYSTEM.TRCKCR 4001 E03Fh



ビット	シンボル	ビット名	機能	R/W
b3-b0	TRCK[3:0]	トレースクロック動作周波数選択	b3    b0 0 0 0 0 : 1分周 0 0 0 1 : 2分周 (リセット後の値) 0 0 1 0 : 4分周  上記以外は設定しないでください。	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	TRCKEN	トレースクロック動作許可	0 : 動作禁止 1 : 動作許可	

トレースクロックコントロールレジスタは、トレースクロックの切り替えを制御するレジスタです。TRCKEN ビットを 0 にして TRCLK 周波数を変更してください。

### 9.3 メインクロック発振器

メインクロック発振器にクロック信号を供給する方法は2つあります。

- 発振器を接続
- 外部クロック信号の入力を接続

#### 9.3.1 水晶発振子を接続する方法

水晶振動子の接続例を図 9.4 に示します。

必要に応じてダンピング抵抗 ( $R_d$ ) を挿入することができます。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーから外部に帰還抵抗 ( $R_f$ ) を追加するよう指示があった場合は、その指示に従って EXTAL と XTAL の間に  $R_f$  を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 9.1 に記載されているように、メインクロック発振器の発振子周波数の範囲内としてください。

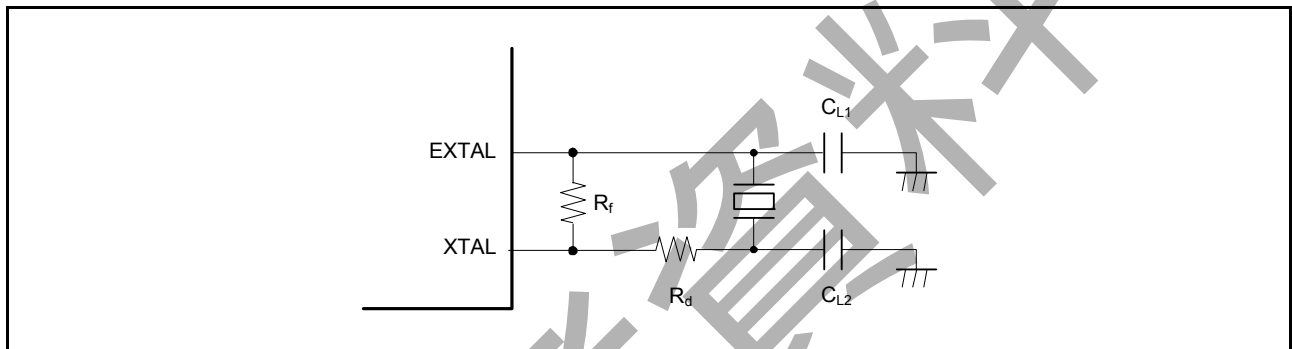


図 9.4 水晶振動子の接続例

#### 9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 9.5 に示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子はハイインピーダンスになります。

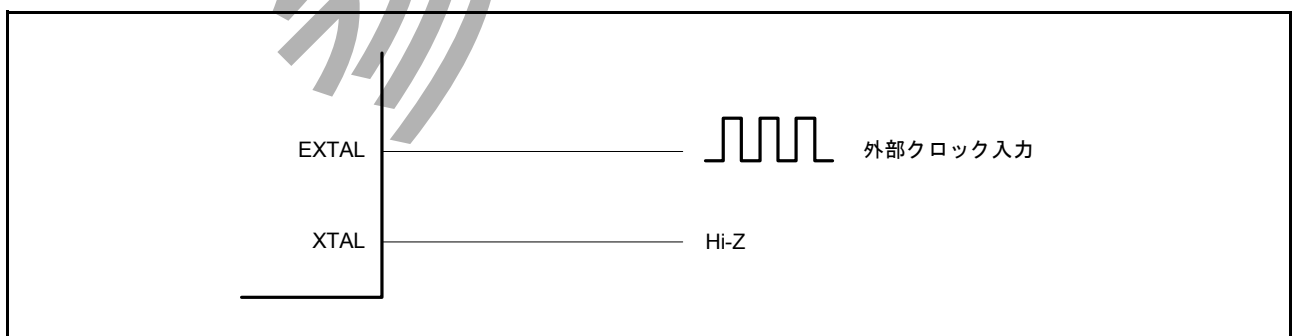


図 9.5 外部クロックの等価回路

#### 9.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器の停止ビット (MOSCCR.MOSTP) が 0 の場合、外部クロック入力周波数を変更しないでください。



## 9.4 サブクロック発振器

サブクロック発振器へクロックを供給する唯一の方法は、水晶振動子を接続することです。

### 9.4.1 32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、[図 9.6](#) に示すように 32.768kHz の水晶振動子を接続します。

必要に応じてダンピング抵抗 ( $R_d$ ) を挿入することができます。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーから外部に帰還抵抗 ( $R_f$ ) を追加するよう指示があった場合は、その指示に従って XCIN と XCOU の間に  $R_f$  を挿入してください。振動子を接続してクロックを供給する場合、その振動子の周波数は、[表 9.1](#) に記載されているように、サブクロック発振器の発振子周波数の範囲内としてください。

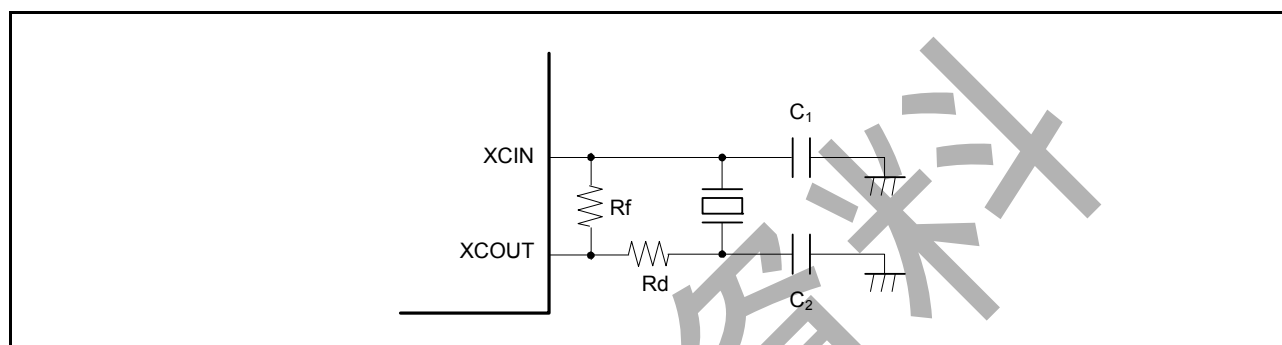


図 9.6 32.768kHz 水晶振動子の接続例

## 9.5 発振停止検出機能

### 9.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器停止の検出に使用されます。

発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC) で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わります。

発振停止が検出されたとき、発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ (GPT) 出力をハイインピーダンスにすることができます。

メインクロック発振器の異常などによって、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロック発振器停止が検出されます (「51. 電気的特性」を参照してください)。

メインクロックと MOCO クロックの切り替え、または PLL クロックと PLL フリーランクロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。

OSTDF は切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC) の場合 :  
OSTDF が 0 から 1 になると、クロックソースは MOCO に切り替わる  
OSTDF が 1 から 0 になると、クロックソースは MOSC に戻る

発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻したい場合は、いったん CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロック以外に変更し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット (OSTDCR.OSTDE) に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロックが停止したことを検出します。そのため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードへ遷移する場合は、あらかじめ発振停止検出機能は無効にする必要があります。

発振停止検出によって、MOCO (システムクロックが MOSC の場合) または PLL フリーラン (システムクロックが PLL の場合) に切り替わるクロックは、以下の通りです。

- CLKOUT 以外の MOSC または PLL を選択できるすべてのクロック  
MOCO 動作中 (システムクロックが MOSC の場合) または PLL フリーラン動作中 (システムクロックが PLL の場合) のシステムクロック (ICLK) 周波数は、MOCO 発振周波数と、システムクロック選択ビット (SCKDIVCR.ICK[2:0]) で設定された分周比に指定される

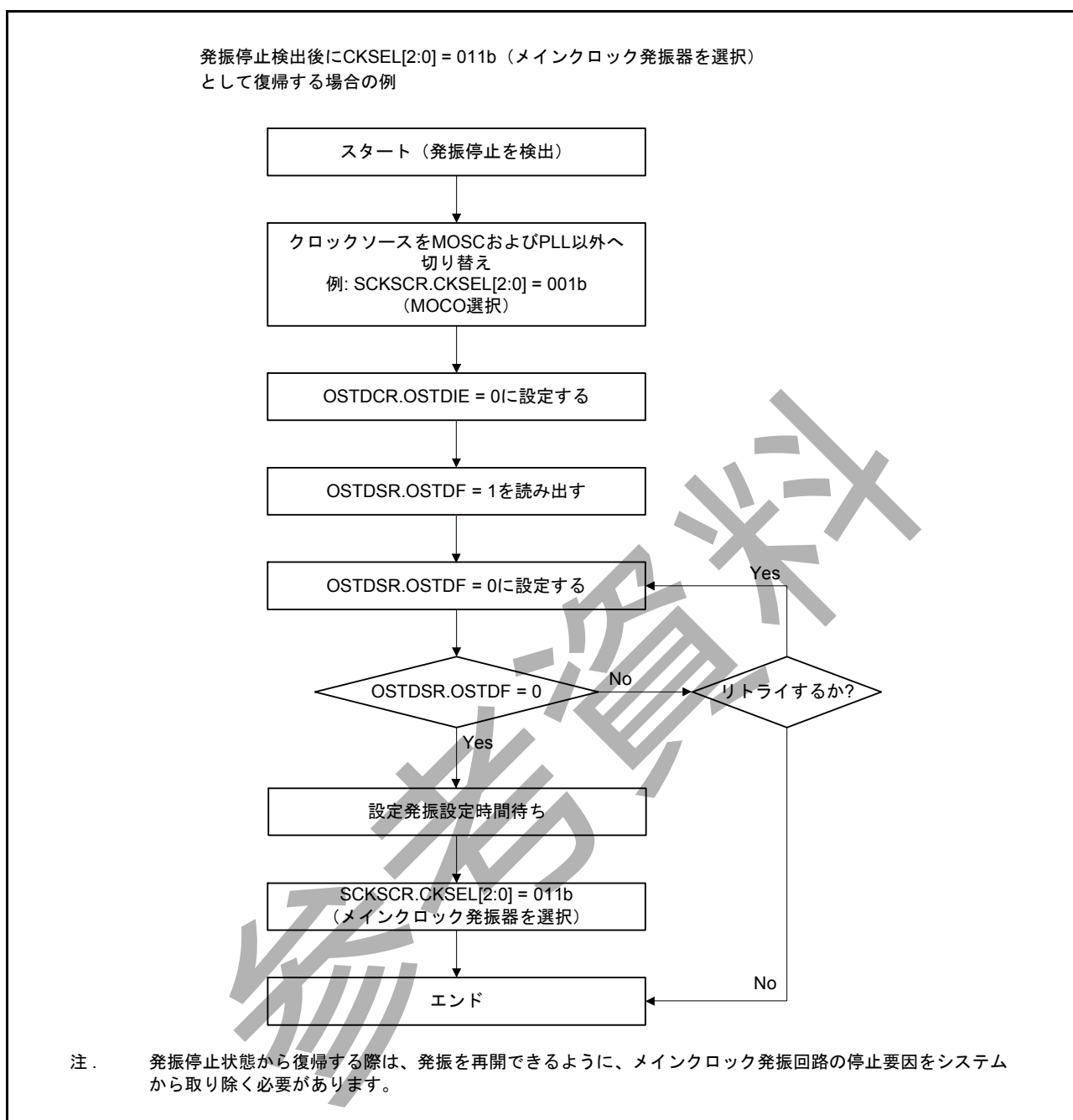


図 9.7 発振停止検出からの復帰フロー

### 9.5.2 発振停止検出割り込み

発振停止検出フラグ (OSTDSR.OSTDF) が 1 で、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が 1 (発振停止検出割り込みを許可) のとき、発振停止検出割り込み (MOSC\_STOP) が発生します。このとき GPT 用ポートアウトプットイネーブル (POEG) に対して、メインクロック発振器の停止が通知されます。POEG はこの通知を受けて、入力レベルコントロール/ステータスレジスタ 6 の OSTST ハイインピーダンスフラグ (ICSR6.OSTSTF) を 1 にします。この ICSR6.OSTSTF フラグに対しては、発振停止を検出後、PCLKB で 10 サイクル以上経過するまで書き込みできません。OSTDSR.OSTDF フラグのクリアは、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を 0 にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、PCLKB の 2 サイクルを超える待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態ではノンマスカブル割り込みは禁止のため、発振停止検出割り込みを使用する前にソフトウェアでノンマスカブル割り込みを許可にしてください。詳細は、「[14. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

### 9.6 PLL 回路

PLL 回路は、発振器からの周波数を逡倍する機能を持っています。

参考資料

## 9.7 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック
- サブクロック
- HOCO クロック
- MOCO クロック
- LOCO クロック
- PLL クロック
- IWDT 専用クロック
- JTAG 用外部クロック

これらのソースから、以下の内部クロックが生成されます。

- CPU、DMAC、DTC、フラッシュ、および SRAM の動作クロック — システムクロック (ICLK)
- 周辺モジュールの動作クロック — PCLKA、PCLKB、PCLKC、および PCLKD
- FlashIF の動作クロック — FCLK
- 外部バスコントローラおよび外部端子出力のクロック — EBCLK
- USBFS の動作クロック — UCLK
- CAN の動作クロック — CANMCLK
- CAC の動作クロック — CACCLK
- RTC LOCO クロックの動作クロック — RTCLCLK
- RTC サブクロックの動作クロック — RTCSCCLK
- IWDT の動作クロック — IWDTCCLK
- AGT LOCO クロックの動作クロック — AGTLCLK
- AGT サブクロックの動作クロック — AGTSCLK
- SysTick タイマの動作クロック — SYSTICCLK
- SLCDC のソースクロック — LCDSRCCLK
- 外部端子出力のクロック — CLKOUT
- JTAG の動作クロック — JTAGTCK

内部クロックの周波数設定に使用するレジスタの詳細については、[9.7.1 システムクロック \(ICLK\) ～ 9.7.14 JTAG クロック \(JTAGTCK\)](#) を参照してください。

各ビットを書き換えると、変更後の周波数で動作します。

### 9.7.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DMAC、DTC、フラッシュメモリ、および SRAM の動作クロックです。

ICLK の周波数は、SCKDIVCR.ICK[2:0] ビット、SCKSCR.CKSEL[2:0] ビット、PLLCCR2.PLLMUL[4:0] ビット、PLLCCR2.PLODIV[1:0] ビット、および OFS1.HOCOFRQ1[2:0] ビットで設定します。

## 9.7.2 周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)

周辺モジュールクロック (PCLKA、PCLKB、PCLKC、および PCLKD) は、周辺モジュールが使用する動作クロックです。

各周波数はそれぞれ、SCKDIVCR.PCKA[2:0] ビット、SCKDIVCR.PCKB[2:0] ビット、SCKDIVCR.PCKC[2:0] ビット、SCKDIVCR.PCKD[2:0] ビット、SCKSCR.CKSEL[2:0] ビット、PLLCCR2.PLLMUL[4:0]、PLLCCR2.PLOIDIV[1:0] ビット、OFS1.HOCOFRQ1[2:0] ビットで設定します。

## 9.7.3 FlashIF クロック (FCLK)

フラッシュインタフェースクロック (FCLK) は、フラッシュメモリインタフェースが使用する動作クロックです。すなわち、データフラッシュからの読み出しに加え、コードフラッシュとデータフラッシュのプログラミング/イレースに使用されます。

FCLK の周波数は、SCKDIVCR.FCK[2:0] ビット、SCKSCR.CKSEL[2:0] ビット、PLLCCR2.PLLMUL[4:0] ビット、PLLCCR2.PLOIDIV[1:0] ビット、および OFS1.HOCOFRQ1[2:0] ビットで設定します。

## 9.7.4 外部バスクロック (BCLK)

外部バスクロック (BCLK) は、外部バスコントローラの動作クロックです。また、外部接続バスの EBCLK 端子からも外部に出力されます。

EBCKOCR.EBCKOEN ビットを 1 にして、PmnPFS.PSEL[4:0] ビットを 01011b にすることによって、EBCLK 端子から BCLK を出力できます。PmnPFS.PSEL[4:0] ビットを 01011b に変更できるのは、EBCKOCR.EBCKOEN ビットが 0 の場合だけです。また、BCKCR.BCLKDIV ビットを 1 にすると、BCLK 端子から BCLK の 2 分周クロックを出力することができます。

BCLK の周波数は、SCKDIVCR.BCK[2:0] ビット、SCKSCR.CKSEL[2:0] ビット、PLLCCR2.PLLMUL[4:0] ビット、PLLCCR2.PLOIDIV[1:0] ビット、および OFS1.HOCOFRQ1[2:0] ビットで設定します。

BCLK をシステムクロック (ICKL) より高い周波数に設定しないでください。

## 9.7.5 USB クロック (UCLK)

USB クロック (UCLK) は、USBFS モジュールの動作クロックです。USBFS モジュールには 48MHz クロックを供給する必要があります。USBFS モジュールを使用する場合は、UCLK クロックを 48MHz に設定してください。

UCLK の周波数は、SCKSCR.CKSEL[2:0] ビット、PLLCCR2.PLLMUL[4:0] ビット、PLLCCR2.PLOIDIV[1:0] ビット、および OFS1.HOCOFRQ1[2:0] ビットで設定します。

## 9.7.6 CAN クロック (CANMCLK)

CAN クロック (CANMCLK) は、CAN モジュールの動作クロックです。CANMCLK は、メインクロック発振器で生成されます。

## 9.7.7 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC の動作クロックです。

CACCLK は、メインクロック発振器、サブクロック発振器、高速クロック発振器、中速クロック発振器、低速オンチップオシレータ、および IWDT 専用オンチップオシレータで生成されます。

### 9.7.8 RTC 専用クロック (RTCSCLK、RTCLCLK)

RTC 専用クロック (RTCSCLK および RTCLCLK) は、RTC の動作クロックです。

RTCSCLK はサブクロック発振器で生成され、RTCLCLK は LOCO で生成されます。

### 9.7.9 IWDT 専用クロック (IWDTCCLK)

IWDT 専用クロック (IWDTCCLK) は、IWDT の動作クロックです。

IWDTCCLK は、IWDT 専用オンチップオシレータの内部発振によって生成されます。

### 9.7.10 AGT 専用クロック (AGTSCLK、AGTLCLK)

AGT 専用クロック (AGTSCLK および AGTLCLK) は、AGT の動作クロックです。

AGTSCLK はサブクロック発振器で生成され、AGTLCLK は LOCO で生成されます。

### 9.7.11 SysTick タイマ専用クロック (SYSTICCLK)

SysTick タイマ専用クロック (SYSTICKCLK) は、SYSTICCLK の動作クロックです。

SYSTICCLK は、LOCO で生成されます。

### 9.7.12 セグメント LCDC ソースクロック (LCDSRCCLK)

セグメント LCDC ソースクロック (LCDSRCCLK) は、SLCDC の動作クロックです。

LCDSRCCLK は、SLCDSCKCR.LCDSCKSEL[2:0] ビットで設定します。

SLCDSCKCR.LCDSCKEN を 1 にすると、LCDSRCCLK が出力されます。SLCDSCKCR.LCDSCKSEL[2:0] ビットの値を変更する場合は、SLCDSCKCR.LCDSCKEN ビットが 0 になっているか確認してください。

### 9.7.13 クロック／ブザー出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力用に CLKOUT 端子から外部に出力されます。

CKOCR.CKOEN を 1 にすると、CLKOUT が CLKOUT 端子に出力されます。CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビットの値を変更する場合は、CKOCR.CKOEN ビットの値が 0 になっているか確認してください。

CLKOUT の周波数は、CKOCR.CKODIV[2:0] ビット、CKOCR.CKOSEL[2:0] ビット、PLLCCR2.PLLMUL[4:0] ビット、PLLCCR2.PLODIV[1:0] ビット、および OFS1.HOCOFRQ1[2:0] ビットで設定します。

### 9.7.14 JTAG クロック (JTAGTCK)

JTAG 専用クロック (JTAGTCK) は、JTAG の動作クロックです。

JTAGTCK は、JTAG の外部クロック (TCK) で生成されます。

## 9.8 使用上の注意事項

### 9.8.1 クロック発生回路に関する注意事項

各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKA ~ PCLKD)、FlashIF クロック (FCLK)、および外部バスクロック (BCLK) の周波数は、SCKDIVCR レジスタの設定に応じて変化します。各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 電気的特性で規定されるクロックサイクル時間 ( $t_{cyc}$ ) の動作保証範囲内に収まるように選択すること。「51. 電気的特性」を参照してください
- 周波数は表 9.2 に記載の周波数範囲を超えないこと  
周辺モジュールは PCLKA および PCLKB を基準に動作するため、周波数変更の前後で、タイマや SCI などのモジュールは動作速度が変化する
- システムクロック (ICLK)、周辺モジュールクロック (PCLKA ~ PCLKD)、FlashIF クロック (FCLK)、および外部バスクロック (BCLK) は、表 9.2 に従って設定すること

外部バスアクセス中は、クロック周波数を変更しないでください。また、クロック周波数の変更後に外部バスによるアクセスを開始する場合は、周波数変更が完了したことを確認してからバスをアクセスするようにしてください。

クロック周波数変更後の処理を確実に実行するには、最初に該当するクロックコントロールレジスタを書き換えて周波数を変更し、次にレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

### 9.8.2 発振子に関する注意事項

発振子の諸特性はユーザのボード設計に密接に関係するので、使用する前に十分な評価が必要です。発振子の接続例については図 9.6 を参照してください。発振子の回路定数は、使用する発振子および実装回路の浮動容量によって異なります。そのため、回路定数は発振子メーカーと十分相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

### 9.8.3 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 9.8 に示すように、発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

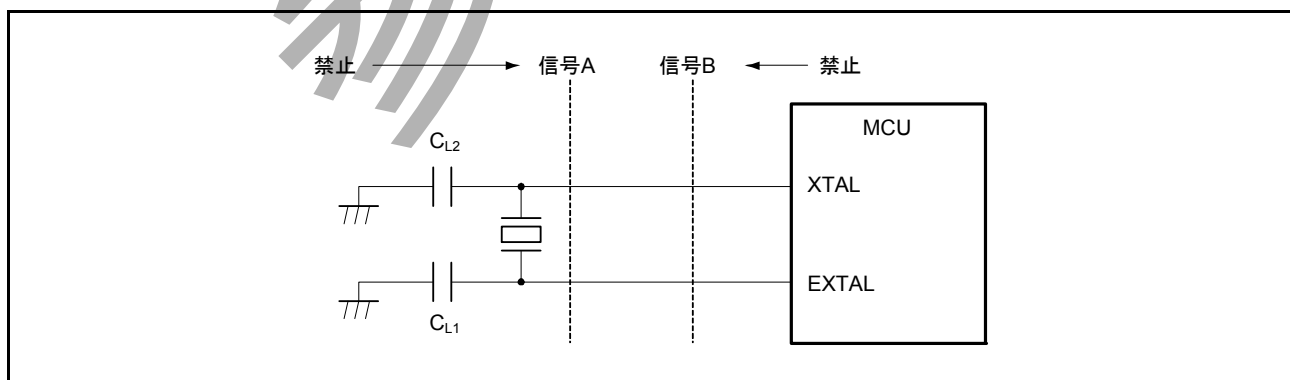


図 9.8 発振回路部のボード設計に関する注意事項 (メインクロック発振器の場合、サブクロック発振器も同様)

### 9.8.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポート P212 および P213 として使用可能です。これらの端子を汎用ポートとして使用する場合は、メインクロックを停止させる (MOSCCR.MOSTP ビットを 1 にする) 必要があります。



## 10. クロック周波数精度測定回路 (CAC)

### 10.1 概要

クロック周波数精度測定回路 (CAC) は、測定対象となるシステムクロックのパルス数をカウントし、基準クロック信号に基づいてシステムクロックの周波数をチェックします。

基準クロックは、I/O ポート端子を介して外部入力することも、さまざまなオンチップオシレータから内部入力することも可能です。クロックが一致しなかった場合、または測定終了時に、割り込み信号を発生させることができます。この機能は、ホームオートメーションや工業オートメーション機器にフェールセーフ機構を組み込む場合に役立ちます。

表 10.1 に CAC の特性を、図 10.1 に CAC のブロック図を示します。

表 10.1 CACの特性

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> <li>• メインクロック</li> <li>• サブクロック</li> <li>• HOCOクロック</li> <li>• MOCOクロック</li> <li>• LOCOクロック</li> <li>• IWDTCCLKクロック</li> <li>• 周辺モジュールクロック B (PCLKB)</li> </ul>
測定基準クロック	<ul style="list-style-type: none"> <li>• 外部から CACREF 端子に入力したクロック</li> <li>• メインクロック</li> <li>• サブクロック</li> <li>• HOCOクロック</li> <li>• MOCOクロック</li> <li>• LOCOクロック</li> <li>• IWDTCCLKクロック</li> <li>• 周辺モジュールクロック B (PCLKB)</li> </ul>
選択機能	デジタルフィルタ
割り込み要因	<ul style="list-style-type: none"> <li>• 測定終了</li> <li>• 周波数エラー</li> <li>• オーバーフロー</li> </ul>
モジュールストップ機能	モジュールストップ状態の設定が可能

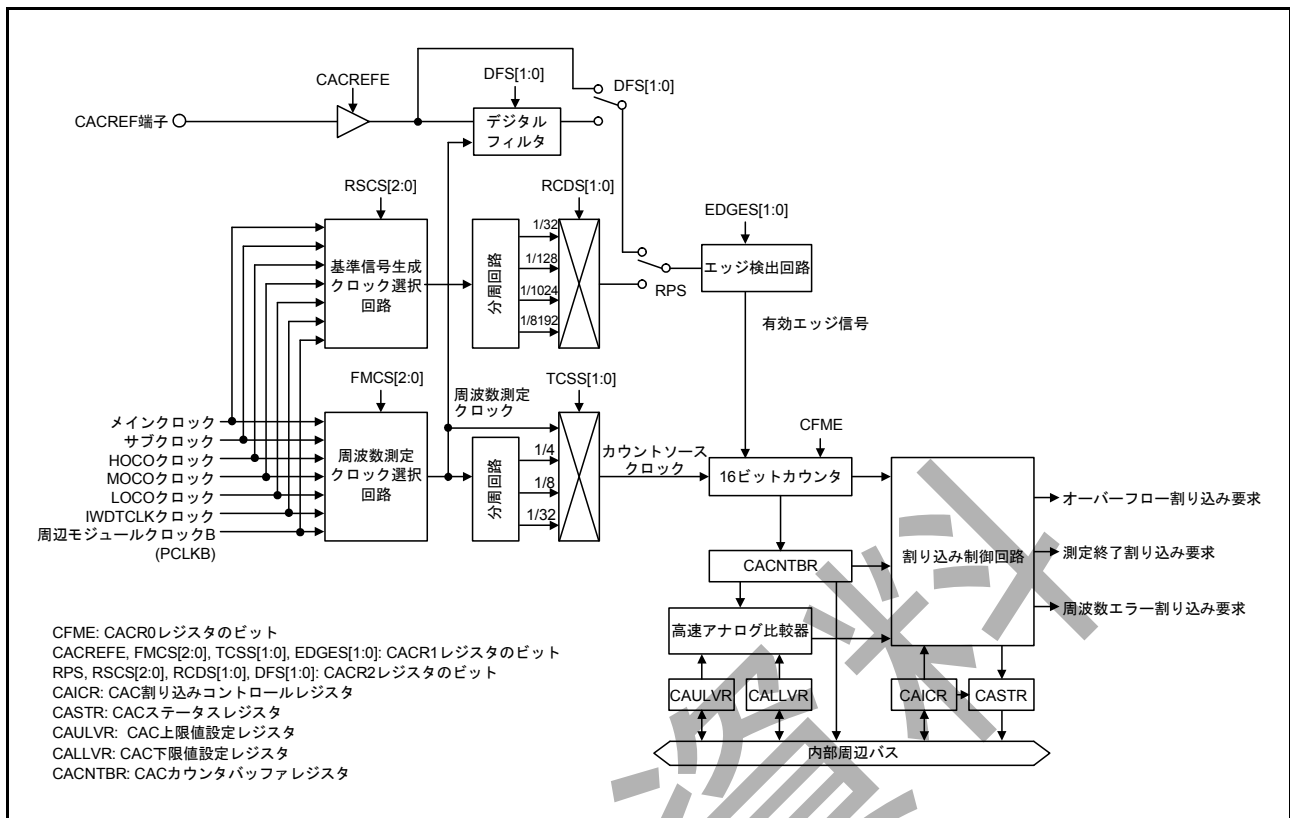


図 10.1 CAC のブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2 CAC の入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

## 10.2 レジスタの説明

### 10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス CAC.CACR0 4004 4600h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0

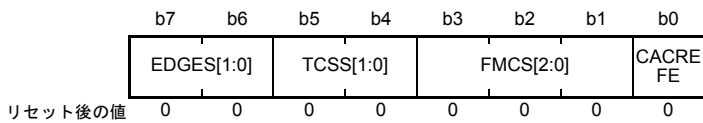
ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効	0 : 無効 1 : 有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### CFME ビット (クロック周波数測定有効)

クロック周波数測定を有効または無効にします。CFME ビットを読み出すことで、このビットが変更されたことを確認できます。変更が完了するまでは、さらなる書き込みは無視されます。

## 10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 4004 4601h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効	0 : 無効 1 : 有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : MOCOクロック 1 0 0 : LOCOクロック 1 0 1 : 周辺モジュールクロック (PCLKB) 1 1 0 : IWDTCCLKクロック 1 1 1 : 設定禁止	R/W
b5-b4	TCSS[1:0]	測定対象クロック分周比選択	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定禁止	R/W

注. CACR1 レジスタは、CACR0.CFME ビットが0のときに設定してください。

**CACREFE ビット (CACREF 端子入力有効)**

CACREF 端子入力を有効または無効にします。

**FMCS[2:0] ビット (測定対象クロック選択)**

周波数を測定する測定対象クロックを選択します。

**TCSS[1:0] ビット (測定対象クロック分周比選択)**

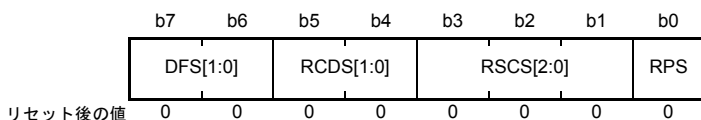
測定対象クロックの分周比を選択します。

**EDGES[1:0] ビット (有効エッジ選択)**

基準信号の有効エッジを選択します。

## 10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 4004 4602h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : MOCOクロック 1 0 0 : LOCOクロック 1 0 1 : 周辺モジュールクロック (PCLKB) 1 1 0 : IWDTCCLKクロック 1 1 1 : 設定禁止	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1,024分周クロック 1 1 : 8,192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択	b7 b6 0 0 : デジタルフィルタ機能は無効 0 1 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックとして使用 1 0 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックの4分周クロックとして使用 1 1 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックの16分周クロックとして使用	R/W

注. CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

**RPS ビット (基準信号選択)**

基準信号として CACREF 端子入力と内部クロック (内部生成信号) のどちらを使用するかを選択します。

**RSCS[2:0] ビット (測定基準クロック選択)**

測定基準クロックを選択します。

**RCDS[1:0] ビット (測定基準クロック分周比選択)**

基準クロックの分周比を選択します。

**DFS[1:0] ビット (デジタルフィルタ機能選択)**

デジタルフィルタを有効または無効にします。また、そのサンプリングクロックを選択します。

## 10.2.4 CAC 割り込みコントロールレジスタ (CAICR)

アドレス CAC.CAICR 4004 4603h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可	0: 禁止 1: 許可	R/W
b1	MENDIE	測定終了割り込み要求許可	0: 禁止 1: 許可	R/W
b2	OVFIE	オーバーフロー割り込み要求許可	0: 禁止 1: 許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	FERRFCL	FERRF フラグクリア	このビットを1にすると FERRF フラグをクリアします。読むと0が読めます。	R/W
b5	MENDFCL	MENDF フラグクリア	このビットを1にすると MENDF フラグをクリアします。読むと0が読めます。	R/W
b6	OVFFCL	OVFF フラグクリア	このビットを1にすると OVFF フラグをクリアします。読むと0が読めます。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**FERRIE ビット (周波数エラー割り込み要求許可)**

周波数エラー割り込み要求を許可または禁止します。

**MENDIE ビット (測定終了割り込み要求許可)**

測定終了割り込み要求を許可または禁止します。

**OVFIE ビット (オーバーフロー割り込み要求許可)**

オーバーフロー割り込み要求を許可または禁止します。

**FERRFCL ビット (FERRF フラグクリア)**

このビットを1にすると FERRF フラグをクリアします。

**MENDFCL ビット (MENDF フラグクリア)**

このビットを1にすると MENDF フラグをクリアします。

**OVFFCL ビット (OVFF フラグクリア)**

このビットを1にすると OVFF フラグをクリアします。

### 10.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 4004 4604h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロック周波数は許容範囲内 1: クロック周波数が許容範囲を外れた (周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定終了	R
b2	OVFF	オーバーフローフラグ	0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローしている	R
b7-b3	—	予約ビット	読むと0が読めます。	R

#### FERRF フラグ (周波数エラーフラグ)

クロック周波数が設定値から外れたこと (周波数エラーの発生) を示します。

[1 になる条件]

- クロック周波数が CAULVR と CALLVR の両レジスタで定義された許容範囲を外れたとき

[0 になる条件]

- FERRFCL ビットに 1 を書いたとき

#### MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[1 になる条件]

- 測定が終了したとき

[0 になる条件]

- MENDFCL ビットに 1 を書いたとき

#### OVFF フラグ (オーバーフローフラグ)

カウンタがオーバーフローしたことを示します。

[1 になる条件]

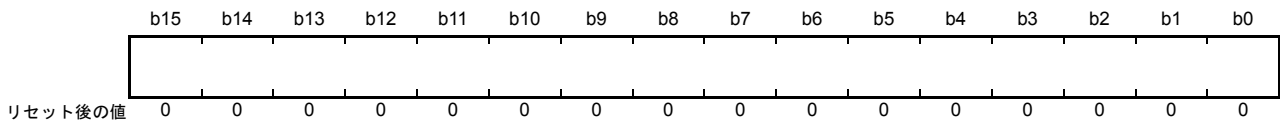
- カウンタがオーバーフローしたとき

[0 になる条件]

- OVFFCL ビットに 1 を書いたとき

### 10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス CAC.CAULVR 4004 4606h

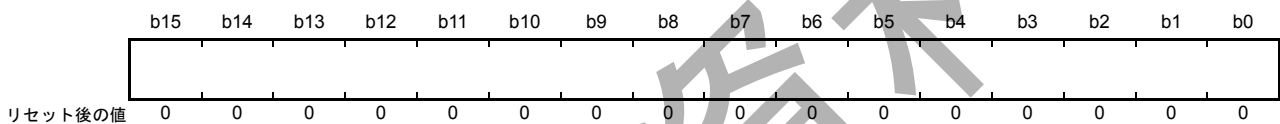


CAULVR レジスタは、許容範囲の上限値を指定する 16 ビットの読み出し/書き込みレジスタです。カウンタ値がこのレジスタに指定された値を上回った場合、周波数エラーが検出されます。CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに保持されるカウンタ値がずれる可能性があります。そのため、余裕をもった値を設定してください。

### 10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス CAC.CALLVR 4004 4608h

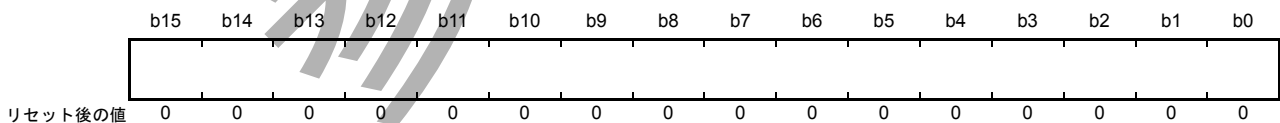


CALLVR レジスタは、許容範囲の下限値を指定する 16 ビットの読み出し/書き込みレジスタです。カウンタ値がこのレジスタに指定された値を下回った場合、周波数エラーが検出されます。CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに保持されるカウンタ値がずれる可能性があります。そのため、余裕をもった値を設定してください。

### 10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス CAC.CACNTBR 4004 460Ah



CACNTBR レジスタは、測定結果を保持する 16 ビットの読み出し専用レジスタです。



## 10.3 動作説明

### 10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準として、クロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

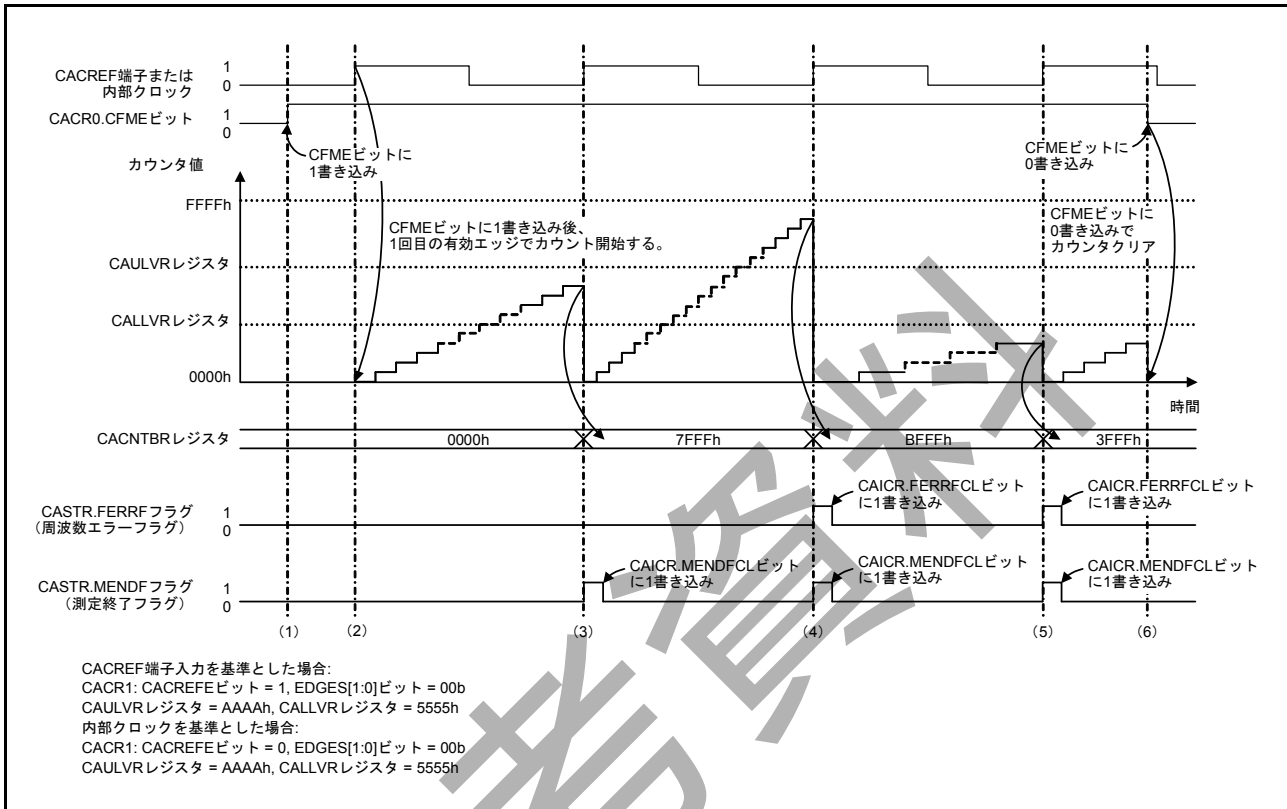


図 10.2 クロック周波数精度測定回路の動作例

1. CACR0.CFME ビットに 1 を書き込む前に、CACR1 レジスタと CACR2 レジスタを設定して、測定対象クロックと測定基準クロックを定義する必要があります。CACR0.CFME ビットに 1 を書き込むと、クロック周波数測定が有効になります。
2. CACR1.EDGES[1:0] ビットで選択した有効エッジが測定基準クロックから入力されると、タイマがカウントアップを開始します。図 10.2 に示すように、有効エッジは立ち上がりエッジ (CACR1.EDGES[1:0] = 00b) です。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR ≤ CAULVR および CACNTBR ≥ CALLVR が成立する場合、クロック周波数は正常なので CASTR.MENDF フラグのみが 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR > CAULVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生し、CASTR.MENDF フラグが 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR < CALLVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生し、CASTR.MENDF フラグが 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。

6. CACR0.CFME ビットが1のときは、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACR0.CFME ビットに0を書き込むと、カウンタをクリアしてカウントアップが停止します。

### 10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期で CACREF 端子レベルが3回連続で一致した場合、内部回路に一致したレベルを送信します。再度サンプリングした端子のレベルが3回連続で一致するまで内部へ同じレベルを送信し続けます。デジタルフィルタ機能では、デジタルフィルタ機能の有効/無効と、サンプリングクロックの設定が可能です。

デジタルフィルタと CACREF 端子入力信号の位相差によって、CACNTBR レジスタに転送されるカウンタ値には、サンプリングクロックの最大1周期分の誤差が生じる場合があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウンタ値の誤差を表すことができます。

$$\text{カウンタ値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

## 10.4 割り込み要求

CAC は次の3種類の割り込み要求を発生させます。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

割り込み要因が発生すると、対応するステータスフラグが1になります。表 10.3 に、クロック周波数精度測定回路の割り込み要求に関する情報を示します。

表 10.3 CAC の割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較した結果が、CACNTBR > CAULVR または CACNTBR < CALLVR のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	CACREF 端子または内部クロックから有効エッジが入力されたとき CACR0.CFME ビットに1を書き込んだ後の1回目の有効エッジでは、測定終了割り込みの発生なし
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

## 10.5 使用上の注意事項

### 10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、CAC の動作を禁止または許可することが可能です。初期状態では、CAC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

## 11. 低消費電力モード

### 11.1 概要

本 MCU には、クロック分周器の設定、EBCLK 出力制御、モジュールストップ設定、通常モード時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 11.1 に、消費電力低減機能の仕様を示します。表 11.2 に、低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DMAC、DTC、および SRAM のみが動作しています。

表 11.1 低消費電力モード機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)、外部バスクロック (BCLK)、およびフラッシュインタフェースクロック (FCLK) に対して、個別に分周比の選択が可能 (注1)
EBCLK出力制御	BCLK出力またはHigh出力の選択が可能
モジュールストップ	各周辺モジュールに対して、個別に機能停止が可能
低消費電力モード	<ul style="list-style-type: none"> <li>• スリープモード</li> <li>• ソフトウェアスタンバイモード</li> <li>• スヌーズモード</li> </ul>
電力制御モード	<p>動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、およびスヌーズモード時の消費電力の低減が可能</p> <ul style="list-style-type: none"> <li>• 5つの動作電力制御モードが利用可能 <ul style="list-style-type: none"> <li>- High-speed モード</li> <li>- Middle-speed モード</li> <li>- Low-speed モード</li> <li>- Low-voltage モード</li> <li>- Subosc-speed モード</li> </ul> </li> </ul>

注 1. 詳細は、「9. クロック発生回路」を参照してください。

表 11.2 各低消費電力モードの動作状態 (1/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード (注1)
遷移条件	SBYCR.SSBY = 0の状態 でWFI命令	SBYCR.SSBY = 1の状態 でWFI命令	ソフトウェアスタンバイ モード時のスヌーズ要求 SNZCR.SNZE = 1
解除方法	すべての割り込み。 このモードで利用可能な すべてのリセット	表 11.3に示す割り込み。 このモードで利用可能な すべてのリセット	表 11.3に示す割り込み。 このモードで利用可能な すべてのリセット
割り込みによる解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態
メインクロック発振器	選択可能	停止	選択可能 (注2)
サブクロック発振器	選択可能	選択可能	選択可能
高速オンチップオシレータ	選択可能	停止	選択可能
中速オンチップオシレータ	選択可能	停止	選択可能
低速オンチップオシレータ	選択可能	選択可能	選択可能
IWDT専用オンチップオシレータ	選択可能 (注4)	選択可能 (注4)	選択可能 (注4)
PLL	選択可能	停止	選択可能 (注2)
発振停止検出機能	選択可能	動作禁止	動作禁止
クロックノブザー出力機能	選択可能	選択可能 (注3)	選択可能
外部バス (EBCLK)	選択可能	停止 (保持)	動作禁止
CPU	停止 (保持)	停止 (保持)	停止 (保持)
SRAM (ECC SRAMを含む)	選択可能	停止 (保持)	選択可能
フラッシュメモリ	動作	停止 (保持)	停止 (保持)
DMAコントローラ (DMAC)	選択可能	停止 (保持)	動作禁止
データトランスファコントローラ (DTC)	選択可能	停止 (保持)	選択可能
USB2.0フルスピードモジュール (USBFS)	選択可能	停止 (保持) (注5)	動作禁止 (注5)
ウォッチドッグタイマ (WDT)	選択可能	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	選択可能 (注4)	選択可能 (注4)	選択可能 (注4)
リアルタイムクロック (RTC)	選択可能	選択可能	選択可能
非同期汎用タイマ (AGTn, n = 0, 1)	選択可能	選択可能 (注6)	選択可能 (注6)
14ビットA/Dコンバータ (ADC14)	選択可能	停止 (保持)	選択可能 (注12)
12ビットD/Aコンバータ (DAC12)	選択可能	停止 (保持)	選択可能
静電容量式タッチセンシングユニット (CTSU)	選択可能	停止 (保持)	選択可能
セグメントLCDコントローラ (SLCDC)	選択可能	選択可能 (注7)	選択可能
データ演算回路 (DOC)	選択可能	停止 (保持)	選択可能
シリアルコミュニケーションインタフェース (SCI0)	選択可能	停止 (保持)	選択可能 (注10)
シリアルコミュニケーションインタフェース (SCIn, n = 1~4, 9)	選択可能	停止 (保持)	動作禁止
I <sup>2</sup> Cバスインタフェース (IIC0)	選択可能	選択可能	動作禁止
I <sup>2</sup> Cバスインタフェース (IICn, n = 1, 2)	選択可能	停止 (保持)	動作禁止
イベントリンクコントローラ (ELC)	選択可能	停止 (保持)	選択可能 (注8)
高速アナログコンパレータ (ACMPHSn, n = 0, 1)	選択可能	選択可能 (注9)	選択可能 (注9)
低消費電力アナログコンパレータ (ACMPLP0)	選択可能	選択可能 (注9)	選択可能 (注9)
低消費電力アナログコンパレータ (ACMPLP1)	選択可能	選択可能 (注9)	選択可能 (注9)
オペアンプ (OPAMP)	選択可能	選択可能	選択可能
NMI、IRQn (n = 0~15) 端子割り込み	選択可能	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能	選択可能
低電圧検出 (LVD)	選択可能	選択可能	選択可能
パワーオンリセット回路	動作	動作	動作

表 11.2 各低消費電力モードの動作状態 (2/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード (注1)
その他の周辺モジュール	選択可能	停止 (保持)	動作禁止
I/Oポート	動作	保持 (注11)	動作

- 注. 「選択可能」とは、動作/停止がコントロールレジスタによって選択できることを意味します。  
「停止 (保持)」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。  
「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。
- 注 1. モジュールストップビットが 0 に設定されているモジュールはすべて、スヌーズモード遷移後に PCLK が供給されると、ただちに起動します。スヌーズモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを 1 にしてください。
- 注 2. スヌーズモードで SCI0 を使用する場合、MOSCCR.MOSTP ビットと PLLCR.PLLSTP ビットは 1 でなければいけません。
- 注 3. クロックアウトプットソース選択ビット (CKOCR.CKOSEL[2:0]) が 010b (LOCO) および 100b (SOSC) 以外の値に設定されている場合は停止します。
- 注 4. IWDTC オートスタートモード時、オプション機能選択レジスタ 0 の IWDTC 停止制御ビット (OFS0.IWDTCSTPCTL) の設定により、動作/停止を選択することができます。
- 注 5. USBFS レジューム検出が可能です。
- 注 6. AGT0.AGTMR1.TCK[2:0] ビットで 100b (LOCO) または 110b (SOSC) が選択されている場合、AGT0 は動作可能です。AGT1.AGTMR1.TCK[2:0] ビットで 100b (LOCO)、110b (SOSC)、または 101 (AGT0 からのアンダーフローイベント信号) が選択されている場合、AGT1 は動作可能です。
- 注 7. SLCDSCKCR.LCDSCKSEL[2:0] ビットで 000b (LOCO) または 001b (SOSC) が選択されている場合、動作可能です。SLCDSCKCR.LCDSCKSEL[2:0] ビットが 000b または 001b 以外の値に設定されている場合、停止が選択されます。
- 注 8. イベントは、11.9.13 スヌーズモードにおける ELC イベントに記載のものに限定されます。
- 注 9. VCOUT 機能のみが許可されます。ACMPHS または ACMPLP がデジタルフィルタを使用していない場合に、VCOUT 端子は動作します。デジタルフィルタの詳細については、「43. 高速アナログコンパレータ (ACMPHS)」および「44. 低消費電力アナログコンパレータ (ACMPLP)」を参照してください。
- 注 10. SCI0 のシリアル通信モードは、調歩同期式モードに限定されます。
- 注 11. アドレスバスとバス制御信号 (CS0 ~ CS3, RD, WR0 ~ WR1, WR、および BC0 ~ BC1) に対しては、出力状態を維持するか、またはハイインピーダンス状態へ変化するかを SBYCR.OPE ビットで選択できます。
- 注 12. スヌーズモードで 14 ビット A/D コンバータを使用する場合、ADCMPCR.CMPAE ビットまたは ADCMPCR.CMPBE ビットは 1 でなければいけません。

表 11.3 スヌーズモードとソフトウェアスタンバイモードから通常モードへ遷移する場合に利用可能な割り込み要因

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
NMI		可能	可能
VBATT	VBATT_LVD	可能	可能
ポート	PORT1_IRQn (n = 0 ~ 15)	可能	可能
LVD	LVD_LVD1	可能	可能
	LVD_LVD2	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能
USBFS	USBFS_USBR	可能	可能
RTC	RTC_ALM	可能	可能
	RTC_PRD	可能	可能
KINT	KEY_INTKR	可能	可能
AGT1	AGT1_AGTI	可能	可能 (注3)
	AGT1_AGTCMAI	可能	可能
	AGT1_AGTCMBI	可能	可能
ACMPLP	ACMP_LP0	可能	可能
IIC0	IIC0_WUI	可能	不可能
ADC140	ADC140_WCMPPM	不可能	SELSR0で可能 (注1) (注3)
	ADC140_WCMPUM	不可能	SELSR0で可能 (注1) (注3)
SCI0	SCI0_AM	不可能	SELSR0で可能 (注1) (注2)
	SCI0_RXI_OR_ERI	不可能	SELSR0で可能 (注1) (注2)
DTC	DTC_COMPLETE	不可能	SELSR0で可能 (注1) (注3)
DOC	DOC_DOPCI	不可能	SELSR0で可能 (注1)
CTSU	CTSU_CTSUFN	不可能	SELSR0で可能 (注1)

- 注 1. 割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。「14. 割り込みコントローラユニット (ICU)」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、通常モードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられる可能性はトリガ発生のタイミングに依存します。
- 注 2. SCI0\_AM または SCI0\_RXI\_OR\_ERI のいずれか一方のみ選択可能です。
- 注 3. SNZEDCR レジスタで許可されたイベントを使用してはいけません。

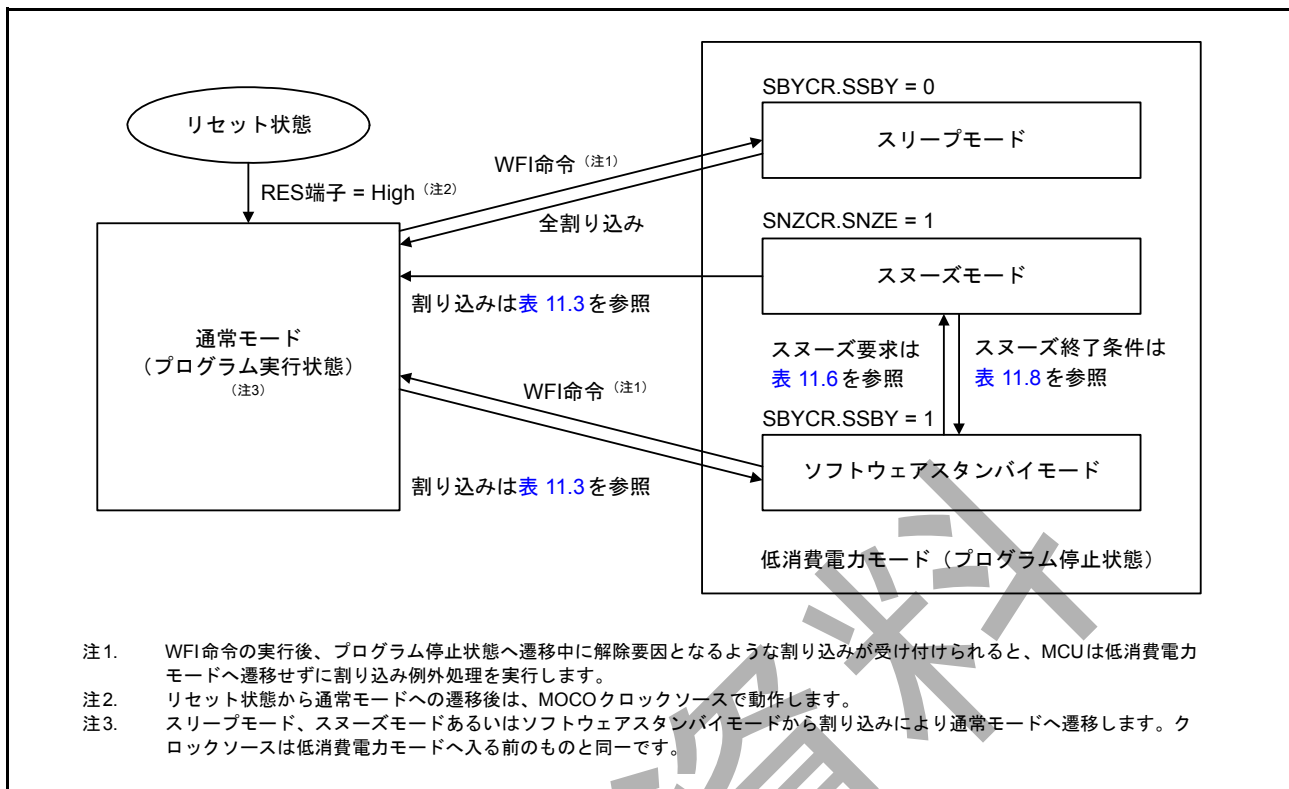


図 11.1 モード遷移

## 11.2 レジスタの説明

### 11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス SYSTEM.SBYCR 4001 E00Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	OPE	出力ポート許可	0: ソフトウェアスタンバイモード時、アドレスバスとバス制御信号はハイインピーダンス状態になる。スヌーズモード時、アドレスバスとバス制御信号はソフトウェアスタンバイモード遷移前と同じ 1: ソフトウェアスタンバイモード時、アドレスバスとバス制御信号は出力状態を維持	R/W
b15	SSBY	ソフトウェアスタンバイ	0: スリープモード 1: ソフトウェアスタンバイモード	R/W

#### OPE ビット (出力ポート許可)

ソフトウェアスタンバイモードまたはスヌーズモード時に、アドレスバスとバス制御信号 (CS0 ~ CS3、RD、WR0 ~ WR1、WR、BC0、および BC1) がハイインピーダンス状態となるか、出力状態を維持するかを選択します。

#### SSBY ビット (ソフトウェアスタンバイ)

WFI 命令実行後の遷移先を設定します。

SSBY ビットが 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。なお、割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

OSTDCR.OSTDE ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行するとスリープモードへ遷移します。

FENTRYR.FENTRY0 ビットが 1、または FENTRYR.FENTRYD ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行するとスリープモードへ遷移します。



## 11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス SYSTEM.MSTPCRA 4001 E01Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	MSTPA 22	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	MSTPA 6	—	—	—	—	MSTPA 1	MSTPA 0
リセット後の値	1	1	1	1	1	1	1	1	1	0	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPA0	SRAM0モジュールストップ設定 (注1)	対象モジュール：SRAM0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPA1	SRAM1モジュールストップ設定	対象モジュール：SRAM1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5-b2	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b6	MSTPA6	ECSSRAMモジュールストップ設定 (注1)	対象モジュール：ECSSRAM 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21-b7	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPA22	DMAコントローラ/データトランスファコントローラモジュールストップ設定 (注2)	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b23	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

注 1. MSTPA0 ビットと MSTPA6 ビットの設定値は同じでなければいけません。

注 2. MSTPA22 ビットを 0 から 1 に書き換える場合、DMAC および DTC を無効にしてから MSTPA22 ビットを設定してください。

## 11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス MSTP.MSTPCRB 4004 7000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB 31	MSTPB 30	MSTPB 29	MSTPB 28	MSTPB 27	—	—	—	—	MSTPB 22	—	—	MSTPB 19	MSTPB 18	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MSTPB 11	—	MSTPB 9	MSTPB 8	MSTPB 7	MSTPB 6	MSTPB 5	—	—	MSTPB 2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPB2	コントローラエリアネットワークモジュールストップ設定 (注1)	対象モジュール：CAN0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4-b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	MSTPB5	IrDAモジュールストップ設定	対象モジュール：IrDA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPB6	クワッドシリアルペリフェラルインタフェースモジュールストップ設定	対象モジュール：QSPI 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7	MSTPB7	I <sup>2</sup> Cバスインタフェース2モジュールストップ設定	対象モジュール：IIC2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8	MSTPB8	I <sup>2</sup> Cバスインタフェース1モジュールストップ設定	対象モジュール：IIC1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPB9	I <sup>2</sup> Cバスインタフェース0モジュールストップ設定	対象モジュール：IIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b11	MSTPB11	ユニバーサルシリアルバス2.0 FSインタフェースモジュールストップ設定 (注2)	対象モジュール：USBFS 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17-b12	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b18	MSTPB18	シリアルペリフェラルインタフェース1モジュールストップ設定	対象モジュール：SPI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19	MSTPB19	シリアルペリフェラルインタフェース0モジュールストップ設定	対象モジュール：SPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21-b20	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPB22	シリアルコミュニケーションインタフェース9モジュールストップ設定	対象モジュール：SCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26-b23	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b27	MSTPB27	シリアルコミュニケーションインタフェース4モジュールストップ設定	対象モジュール：SCI4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b28	MSTPB28	シリアルコミュニケーションインタフェース3モジュールストップ設定	対象モジュール：SCI3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPB29	シリアルコミュニケーションインタフェース2モジュールストップ設定	対象モジュール：SCI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタフェース0モジュールストップ設定	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

- 注 1. MSTPB2 ビットの書き換えは、このビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 CAN クロック (CANMCLK) が 2 サイクル経過してから WFI 命令を実行してください。
- 注 2. MSTPB11 ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 USB クロック (UCLK) が 2 サイクル経過してから WFI 命令を実行してください。

参考資料

## 11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス MSTP.MSTPCRC 4004 7004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	クロック周波数精度測定回路モジュールストップ設定 <sup>(注1)</sup>	対象モジュール：CAG 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPC1	巡回冗長検査演算器モジュールストップ設定	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b3	MSTPC3	静電容量式タッチセンシングユニットモジュールストップ設定	対象モジュール：CTSU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	MSTPC4	セグメントLCDコントローラモジュールストップ設定	対象モジュール：SLCDC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b7	MSTPC7	同期式シリアルインタフェース1モジュールストップ設定	対象モジュール：SSI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8	MSTPC8	同期式シリアルインタフェース0モジュールストップ設定	対象モジュール：SSI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b11-b9	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b12	MSTPC12	セキュアデジタルホストインタフェース/マルチメディアカードインタフェースモジュールストップ設定	対象モジュール：SDHI/MMC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13	MSTPC13	データ演算回路モジュールストップ設定	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPC14	イベントリンクコントローラモジュールストップ設定	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30-b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b31	MSTPC31	SCE5モジュールストップ設定	対象モジュール：SCE5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注 1. MSTPC0 ビットの書き換えは、このビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、発振器によって出力されるクロックのうち、最も遅いクロックが2サイクル経過してから WFI 命令を実行してください。

## 11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス MSTP.MSTPCRD 4004 7008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPD 31	MSTPD 30	MSTPD 29	MSTPD 28	—	—	—	—	—	—	—	MSTPD 20	—	—	—	MSTPD 16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MSTPD 14	—	—	—	—	—	—	—	MSTPD 6	MSTPD 5	—	MSTPD 3	MSTPD 2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPD2	非同期汎用タイマ1モジュールストップ設定 (注1)	対象モジュール：AGT1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPD3	非同期汎用タイマ0モジュールストップ設定 (注2)	対象モジュール：AGT0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	MSTPD5	汎用PWMタイマ323～320モジュールストップ設定	対象モジュール：GPT323～GPT320 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPD6	汎用PWMタイマ329～324モジュールストップ設定	対象モジュール：GPT329～GPT324 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b7	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b14	MSTPD14	GPT用ポートアウトプットイネーブルモジュールストップ設定	対象モジュール：POEG 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b16	MSTPD16	14ビットA/Dコンバータモジュールストップ設定	対象モジュール：ADC140 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19-b17	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b20	MSTPD20	12ビットD/Aコンバータモジュールストップ設定	対象モジュール：DAC12 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27-b21	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b28	MSTPD28	高速アナログコンパレータ0モジュールストップ設定	対象モジュール：ACMPHS0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPD29	低消費電力アナログコンパレータモジュールストップ設定	対象モジュール：ACMPLP 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPD30	高速アナログコンパレータ1モジュールストップ設定	対象モジュール：ACMPHS1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPD31	オペアンプモジュールストップ設定	対象モジュール：OPAMP 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

- 注 1. カウントソースがサブクロック発振器または LOCO の場合、MSTPD2 ビットを 1 にしても、AGT1 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT1 レジスタにアクセスする場合を除いて、このビットを 1 にする必要があります。
- 注 2. カウントソースがサブクロック発振器または LOCO の場合、MSTPD3 ビットを 1 にしても、AGT0 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT0 レジスタにアクセスする場合を除いて、このビットを 1 にする必要があります。

### 11.2.6 動作電力コントロールレジスタ (OPCCR)

アドレス SYSTEM.OPCCR 4001 E0A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TFSF	—	—	OPCM[1:0]	
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OPCM[1:0]	動作電力制御モード選択	b1 b0 0 0 : High-speed モード 0 1 : Middle-speed モード 1 0 : Low-voltage モード (注1) 1 1 : Low-speed モード	R/W
b3-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	OPCM TFSF	動作電力制御モード遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HOCOCR.HCSTP は常に 0 でなければいけません。

OPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるためのレジスタです。OPCCR レジスタを設定することにより、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

動作電力制御モードの変更手順については、11.5 低消費電力機能を参照してください。

#### OPCM[1:0] ビット (動作電力制御モード選択)

通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。

表 11.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

HOCOCR.HCSTP と OSCSF.HOCOSF が 0 の状態にあるとき、OPCCR.OPCM[1:0] への書き込みは禁止されます (HOCO クロックの発振がまだ安定になっていません)。

#### OPCM TFSF フラグ (動作電力制御モード遷移状態フラグ)

動作電力制御モード切り替え時の切り替え制御状態を示します。このフラグは、OPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。このフラグを読み取って 0 であることを確認してから次の処理を行ってください。

## 11.2.7 サブ動作電力コントロールレジスタ (SOPCCR)

アドレス SYSTEM.SOPCCR 4001 E0AAh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SOPC MTSF	—	—	—	SOPC M
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOPCM	サブ動作電力制御モード選択	0 : Subosc-speed モード以外 1 : Subosc-speed モード	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SOPCMTSF	サブ動作電力制御モード遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SOPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるためのレジスタです。このレジスタを設定することによって、Subosc-speed モードへの遷移、およびこのモードからの復帰が開始されます。Subosc-speed モードは、サブクロック発振器または分周なしの LOCO を使用した場合に限り利用可能です。

動作電力制御モードの変更手順については、11.5 低消費電力機能を参照してください。

### SOPCM ビット (サブ動作電力制御モード選択)

通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。このビットを1にすることで、Subosc-speed モードへ遷移できます。また、このビットを0にすることで、Subosc-speed モード遷移前の動作モード (OPCCR.OPCM[1:0] で設定された動作モード) へ復帰できます。

表 11.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

### SOPCMTSF フラグ (サブ動作電力制御モード遷移状態フラグ)

サブ動作電力制御モード切り替え時の切り替え制御状態を表します。このフラグは、SOPCM ビットが書き換えられると1、モード遷移が完了すると0になります。このフラグを読み取って0であることを確認してから次の処理を行ってください。

表 11.4 は、各動作電力制御モードを示しています。

表 11.4 動作電力制御モード

動作電力制御モード	OPCM[1:0] ビット	SOPCM ビット	消費電力
High-speed モード	00b	0	高 ↓ 低
Middle-speed モード	01b	0	
Low-voltage モード	10b	0	
Low-speed モード	11b	0	
Subosc-speed モード	xxb	1	

## 11.2.8 スヌーズコントロールレジスタ (SNZCR)

アドレス SYSTEM.SNZCR 4001 E092h

	b7	b6	b5	b4	b3	b2	b1	b0
	SNZE	—	—	—	—	—	SNZDTCEN	RXDREQEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXDREQEN	RXD0 スヌーズ要求許可	0: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを無視 1: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを検出	R/W
b1	SNZDTCEN	スヌーズモード時の DTC 許可	スヌーズモード時に DTC 動作を許可 0: DTC 動作を禁止 1: DTC 動作を許可	R/W
b6-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	SNZE	スヌーズモード許可	0: スヌーズモードを禁止 1: スヌーズモードを許可	R/W

### RXDREQEN ビット (RXD0 スヌーズ要求許可)

ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジを検出するか否かを指定します。このビットは調歩同期式モードでのみ使用可能です。RXD0 端子の立ち下がりエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジが検出されると、MCU はスヌーズモードへ遷移します。

### SNZDTCEN ビット (スヌーズモード時の DTC 許可)

スヌーズモード時に DTC と SRAM を使用するかどうかを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、IELSRn (ICU イベントリンク設定レジスタ n) の設定によって、DTC を起動することができます。

### SNZE ビット (スヌーズモード許可)

ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可するか否かを指定します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、ソフトウェアスタンバイモード時に表 11.6 に示すトリガによって、MCU はスヌーズモードへ遷移します。ソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットをいったんクリアしてから再設定してください。詳細は、11.8 スヌーズモードを参照してください。



## 11.2.9 スヌーズ終了コントロールレジスタ (SNZEDCR)

アドレス SYSTEM.SNZEDCR 4001 E094h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCI0UMTED	—	—	AD0UMTED	AD0MATED	DTCNZRED	DTCZRED	AGTUNFED
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AGTUNFED	AGT1アンダーフロー時スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b1	DTCZRED	最後のDTC送信完了時スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b2	DTCNZRED	最後以外のDTC送信完了時スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b3	AD0MATED	ADC140コンペアマッチスヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b4	AD0UMTED	ADC140コンペア不一致スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SCI0UMTED	SCI0アドレス不一致スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W

表 11.8 に示すトリガの1つをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用するには、SNZEDCR レジスタの対応するビットを1にしてください。

表 11.3 に示したような、スヌーズモードから通常モードへ復帰させるためのイベントは、SNZEDCR レジスタで許可しないでください。

**AGTUNFED ビット (AGT1 アンダーフロー時スヌーズ終了許可)**

AGT1 アンダーフローによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「24. 非同期汎用タイマ (AGT)」を参照してください。

**DTCZRED ビット (最後の DTC 送信完了時スヌーズ終了許可)**

最後の DTC 送信完了 (すなわち、DTC の CRA または CRB レジスタが 0) による、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「18. データトランスファコントローラ (DTC)」を参照してください。

**DTCNZRED ビット (最後以外の DTC 送信完了時スヌーズ終了許可)**

各 DTC 送信完了 (すなわち、DTC の CRA または CRB レジスタが 0 以外) による、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「18. データトランスファコントローラ (DTC)」を参照してください。

**AD0MATED ビット (ADC140 コンペアマッチスヌーズ終了許可)**

変換結果が期待値と一致した場合に、ADC140 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「39. 14 ビット A/D コンバータ (ADC14)」を参照してください。

**AD0UMTED ビット (ADC140 コンペア不一致スヌーズ終了許可)**

変換結果が期待値と一致しない場合に、ADC140 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「39. 14 ビット A/D コンバータ (ADC14)」を参照してください。

**SCI0UMTED ビット (SCI0 アドレス不一致スヌーズ終了許可)**

ソフトウェアスタンバイモード時に受信したアドレスが期待値と一致しない場合に、SCI0 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「29. シリアルコミュニケーションインタフェース (SCI)」を参照してください。調歩同期式モード以外では、このビットを1にしないでください。

参考資料

## 11.2.10 スヌーズ要求コントロールレジスタ (SNZREQCR)

アドレス SYSTEM.SNZREQCR 4001 E098h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	SNZREQEN30	SNZREQEN29	SNZREQEN28	—	—	SNZREQEN25	SNZREQEN24	SNZREQEN23	—	—	—	—	—	SNZREQEN17	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SNZREQEN15	SNZREQEN14	SNZREQEN13	SNZREQEN12	SNZREQEN11	SNZREQEN10	SNZREQEN9	SNZREQEN8	SNZREQEN7	SNZREQEN6	SNZREQEN5	SNZREQEN4	SNZREQEN3	SNZREQEN2	SNZREQEN1	SNZREQEN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SNZREQEN0	スヌーズ要求許可0	IRQ0端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b1	SNZREQEN1	スヌーズ要求許可1	IRQ1端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b2	SNZREQEN2	スヌーズ要求許可2	IRQ2端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b3	SNZREQEN3	スヌーズ要求許可3	IRQ3端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b4	SNZREQEN4	スヌーズ要求許可4	IRQ4端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b5	SNZREQEN5	スヌーズ要求許可5	IRQ5端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b6	SNZREQEN6	スヌーズ要求許可6	IRQ6端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b7	SNZREQEN7	スヌーズ要求許可7	IRQ7端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b8	SNZREQEN8	スヌーズ要求許可8	IRQ8端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b9	SNZREQEN9	スヌーズ要求許可9	IRQ9端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b10	SNZREQEN10	スヌーズ要求許可10	IRQ10端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b11	SNZREQEN11	スヌーズ要求許可11	IRQ11端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b12	SNZREQEN12	スヌーズ要求許可12	IRQ12端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b13	SNZREQEN13	スヌーズ要求許可13	IRQ13端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	SNZREQEN14	スヌーズ要求許可 14	IRQ14 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b15	SNZREQEN15	スヌーズ要求許可 15	IRQ15 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17	SNZREQEN17	スヌーズ要求許可 17	キー割り込みのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b22-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	SNZREQEN23	スヌーズ要求許可 23	ACMPLPのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b24	SNZREQEN24	スヌーズ要求許可 24	RTCアラームのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b25	SNZREQEN25	スヌーズ要求許可 25	RTC周期のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b27-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	SNZREQEN28	スヌーズ要求許可 28	AGT1アンダーフローのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b29	SNZREQEN29	スヌーズ要求許可 29	AGT1コンペアマッチAのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b30	SNZREQEN30	スヌーズ要求許可 30	AGT1コンペアマッチBのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SNZREQCR レジスタは、ソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのトリガを制御します。WUPEN レジスタ（「14. 割り込みコントローラユニット (ICU)」を参照）の設定によって、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR レジスタの対応するビットが1であっても、そのトリガが発生するとMCUは通常モードへ遷移します。WUPEN レジスタの設定値は、SNZREQCR レジスタの設定値よりも常に優先順位は高くなります。詳細は、11.8 スヌーズモードと「14. 割り込みコントローラユニット (ICU)」を参照してください。

### 11.2.11 フラッシュ動作コントロールレジスタ (FLSTOP)

アドレス SYSTEM.FLSTOP 4001 E09Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	FLSTP F	—	—	—	FLSTO P
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLSTOP	フラッシュメモリ動作ON/OFF選択	0: コードフラッシュメモリとデータフラッシュメモリは動作 1: コードフラッシュメモリとデータフラッシュメモリは停止	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	FLSTPF	フラッシュメモリ動作ステータスフラグ	0: 遷移完了 1: 遷移中 (フラッシュ停止状態からフラッシュ動作状態へ、またはフラッシュ動作状態からフラッシュ停止状態へ)	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### FLSTOP ビット (フラッシュメモリ動作 ON/OFF 選択)

フラッシュメモリを有効または無効にします。FLSTOP ビットは SRAM で実行されるプログラムによって書き込む必要があります。FLSTOP ビットが 1 のときに割り込みを使用する場合は、SRAM 内に割り込みベクタを配置してください。Low-voltage モードが選択されていない場合、このビットを 0 にしてください。

- 注 1. フラッシュメモリの動作を開始するために FLSTOP ビットの値を 1 から 0 に変更した場合、フラッシュメモリへのアクセスを再開する前に、FLSTPF フラグが 0 であること、および OSCSF.HOCOSF が 1 であることを確認してください。その後、命令はコードフラッシュメモリで実行可能になります。
- 注 2. HOCOCR.HCSTP と OSCSF.HOCOSF が 0 (HOCO は発振安定待ちカウント中) の状態にあるとき、FLSTOP.FLSTOP への書き込みは禁止されます。

#### FLSTPF フラグ (フラッシュメモリ動作ステータスフラグ)

フラッシュ停止状態からフラッシュ動作状態へ、またはフラッシュ動作状態からフラッシュ停止状態への遷移状態を表します。遷移が完了したとき、このフラグを読むと 0 が読めます。フラッシュメモリ停止後、再度フラッシュメモリを使用する場合は、FLSTPF フラグが 0 であることを確認してから処理を進めてください。

### 11.2.12 パワーセーブメモリコントロールレジスタ (PSMCR)

アドレス SYSTEM.PSMCR 4001 E09Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PSMC[1:0]	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PSMC[1:0]	パワーセーブメモリ制御	b1 b0 0 0 : ソフトウェアスタンバイモード時に全SRAMがON 0 1 : ソフトウェアスタンバイモード時に48KB SRAM (2000 0000h~2000 BFFFh) がON 1 0 : 設定禁止 1 1 : 設定禁止	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### PSMC[1:0] ビット (パワーセーブメモリ制御)

ソフトウェアスタンバイモード時のSRAM保持域を選択します。これらのビットを01b (ソフトウェアスタンバイモード時に48KB SRAM) にすることによって、供給電流を削減できます。WFI命令は、PSMCレジスタの設定後に実行する必要があります。

### 11.2.13 システムコントロールOCDコントロールレジスタ (SYOCD CR)

アドレス SYSTEM.SYOCD CR 4001 E40Eh

b7	b6	b5	b4	b3	b2	b1	b0
DBGEN	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DBGEN	デバッグ有効	0 : オンチップデバッグは無効 1 : オンチップデバッグは有効 オンチップデバッグモードで最初に1にしてください。	R/W

#### DBGEN ビット (デバッグ有効)

オンチップデバッグモードを有効にします。このビットは、オンチップデバッグモードで最初に1にする必要があります。

[1になる条件]

- デバッグの接続時に1を書いたとき

[0になる条件]

- パワーオンリセットが発生したとき
- 0を書いたとき

### 11.3 クロックの切り替えによる消費電力の低減

SCKDIVCR.FCK[2:0]、ICK[2:0]、BCK[2:0]、PCKA[2:0]、PCKB[2:0]、PCKC[2:0]、PCKD[2:0] の各ビットを設定すると、クロック周波数が切り替わります。CPU、DMAC、DTC、フラッシュ、および SRAM は、ICK[2:0] ビットで設定された動作クロックを使用します。

周辺モジュールは、PCKA[2:0]、PCKB[2:0]、PCKC[2:0]、および PCKD[2:0] の各ビットで設定された動作クロックを使用します。

フラッシュメモリインタフェースは、FCK[2:0] ビットで設定された動作クロックを使用します。

外部バスは、BCK[2:0] ビットで設定された動作クロックを使用します。

詳細は、「9. クロック発生回路」を参照してください。

### 11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRD レジスタの MSTPmi ビット (m = A ~ D, i = 31 ~ 0) を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は動作を継続します。MSTPmi ビットを 0 にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュール内部の状態が保持されます。

リセット解除後は、DMAC、DTC、および SRAM 以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。そうでないと、そのモジュールに対するデータの読み出し／書き込みやモジュールの動作は保証されません。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

### 11.5 低消費電力機能

動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、およびスヌーズモード時の消費電力を削減できます。

#### 11.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、電圧範囲や周波数範囲などの動作条件が仕様範囲内に収まっていることを必ず確認してください。

動作電力制御モードの切り替え手順例を以下に示します。

表 11.5 各モードで利用可能な発振器

モード	発振器						
	PLL (注1)	高速オンチップ オシレータ	中速オンチップ オシレータ	低速オンチップ オシレータ	メインクロック 発振器	サブクロック 発振器	IWDT専用オン チップオシレータ
High-speed	可能	可能	可能	可能	可能	可能	可能
Middle-speed	可能	可能	可能	可能	可能	可能	可能
Low-voltage	不可能	可能	可能	可能	可能	可能	可能
Low-speed	不可能	可能	可能	可能	可能	可能	可能
Subosc-speed	不可能	不可能	不可能	可能	不可能	可能	可能

注 1. PLL の VCC 範囲は 2.4 ~ 5.5V です。

### (1) 消費電力が大きいモードから小さいモードへ切り替える場合

例 1 : High-speed モードから Low-speed モードへの切り替え

(High-speed モードで動作)

↓

発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最大動作周波数未満とする。

↓

Low-speed モードで不要な発振器をオフにする。

↓

OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

OPCCR.OPCM ビットを 11b (Low-speed モード) にする。

↓

OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

(Low-speed モードで動作)

例 2 : High-speed モードから Subosc-speed モードへの切り替え

(High-speed モードで動作)

↓

クロックソースをサブクロック発振器に切り替える。HOCO、MOCO、メイン発振器、および PLL をオフにする。

↓

サブクロック発振器以外の全クロックソースが停止していることを確認する。

↓

SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

SOPCCR.SOPCM ビットを 1 (Subosc-speed モード) にする。

↓

SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

(Subosc-speed モードで動作)



## (2) 消費電力が小さいモードから大きいモードへ切り替える場合

例 1 : Subosc-speed モードから High-speed モードへの切り替え

(Subosc-speed モードで動作)

↓

SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

SOPCCR.SOPCM ビットを 0 (High-speed モード) にする。

↓

SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

High-speed モードで必要な発振器をオンにする。

↓

各クロックの周波数を、High-speed モードにおける最大動作周波数未満とする。

↓

(High-speed モードで動作)

例 2 : Low-speed モードから High-speed モードへの切り替え

(Low-speed モードで動作)

↓

OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

OPCCR.OPCM ビットを 00b (High-speed モード) にする。

↓

OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。

↓

High-speed モードで必要な発振器をオンにする。

↓

各クロックの周波数を、High-speed モードにおける最大動作周波数未満とする。

↓

(High-speed モードで動作)

## 11.5.2 動作範囲

### High-speed モード

フラッシュリード時の最大動作周波数は、ICLK では 48MHz、FCLK では 32MHz です。フラッシュリード時の動作電圧範囲は 2.4 ~ 5.5V です。ただし、ICLK と FCLK では、動作電圧が 2.4V 以上かつ 2.7V 未満の場合、フラッシュリード時の最大動作周波数は 16MHz になります。

フラッシュプログラム/イレース時では、動作周波数範囲は 1 ~ 48MHz で、動作電圧範囲は 2.7 ~ 5.5V です。動作電圧が 2.4V 以上かつ 2.7V 未満の場合、フラッシュプログラム/イレース時の最大動作周波数は 16MHz になります。

動作電圧が 2.4V 以上の場合、PLL が使用可能です。

図 11.2 に、High-speed モードにおける動作電圧と動作周波数を示します。

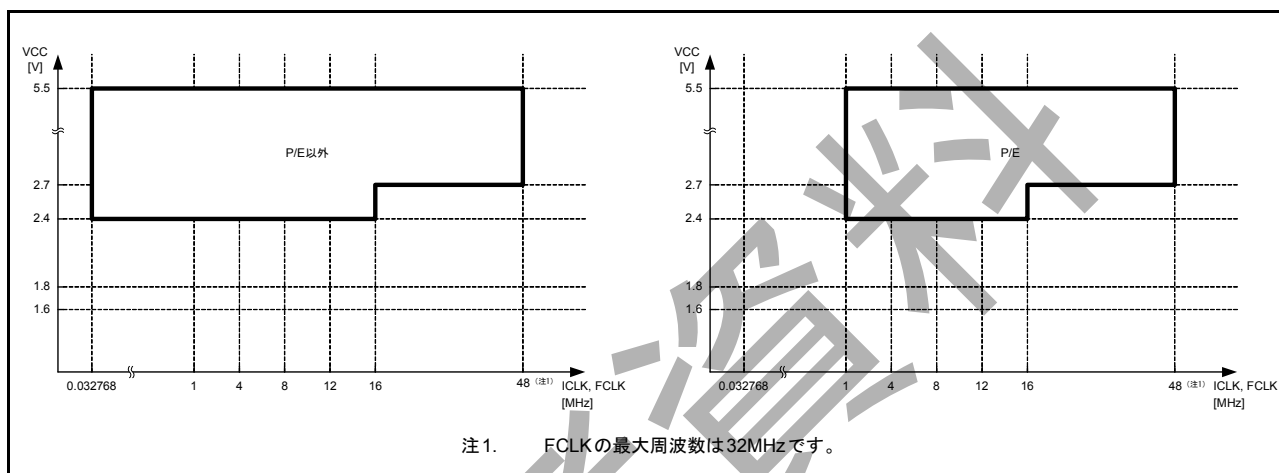


図 11.2 High-speed モードにおける動作電圧と動作周波数

### Middle-speed モード

このモードでは、同じ条件下で High-speed モードよりも消費電力を低減できます。

フラッシュリード時の最大動作周波数は、ICLK と FCLK で 12MHz です。フラッシュリード時の動作電圧範囲は 1.8 ~ 5.5V です。ただし、ICLK と FCLK では、動作電圧が 1.8V 以上かつ 2.4V 未満の場合、フラッシュリード時の最大動作周波数は 8MHz になります。

フラッシュプログラム/イレース時では、動作周波数範囲は 1 ~ 12MHz で、動作電圧範囲は 1.8 ~ 5.5V です。動作電圧が 1.8V 以上かつ 2.4V 未満の場合、フラッシュプログラム/イレース時の最大動作周波数は 8MHz になります。

動作電圧が 2.4V 以上の場合、PLL が使用可能です。

図 11.3 に、Middle-speed モードにおける動作電圧と動作周波数を示します。

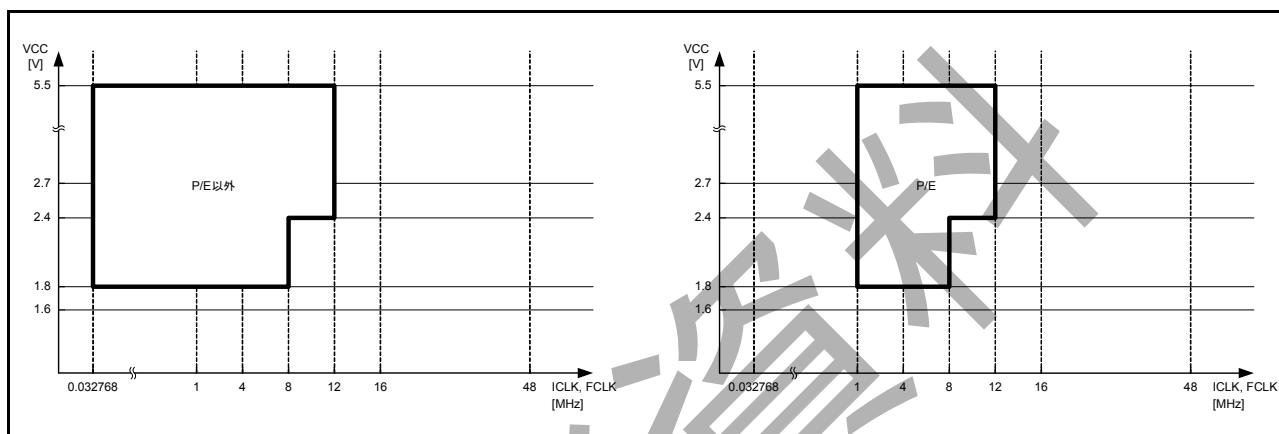


図 11.3 Middle-speed モードにおける動作電圧と動作周波数

### Low-voltage モード

リセット解除後、このモードで動作が開始されます。PLL は使用禁止です。

フラッシュリード時の最大動作周波数は、ICLK と FCLK で 4MHz です。フラッシュリード時の動作電圧範囲は 1.6 ~ 5.5V です。

フラッシュプログラム/イレース時では、動作周波数範囲は 1 ~ 4MHz で、動作電圧範囲は 1.8 ~ 5.5V です。PLL は使用禁止です。

図 11.4 に、Low-voltage モードにおける動作電圧と動作周波数を示します。

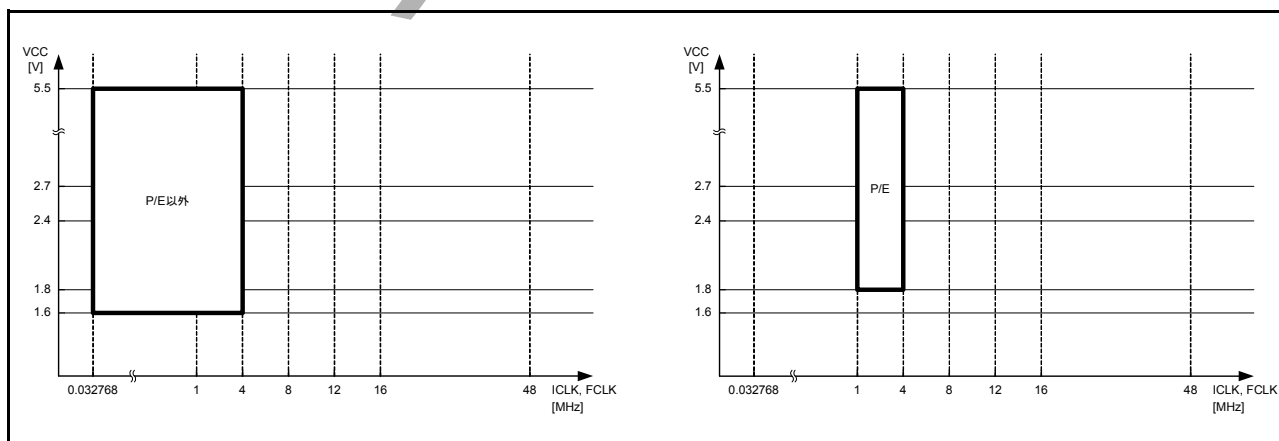


図 11.4 Low-voltage モードにおける動作電圧と動作周波数

### Low-speed モード

フラッシュリード時の最大動作周波数は、ICLK と FCLK で 1MHz です。フラッシュリード時の動作電圧範囲は 1.8 ~ 5.5V です。

フラッシュメモリの P/E 動作は禁止です。PLL は使用禁止です。

図 11.5 に、Low-speed モードにおける動作電圧と動作周波数を示します。

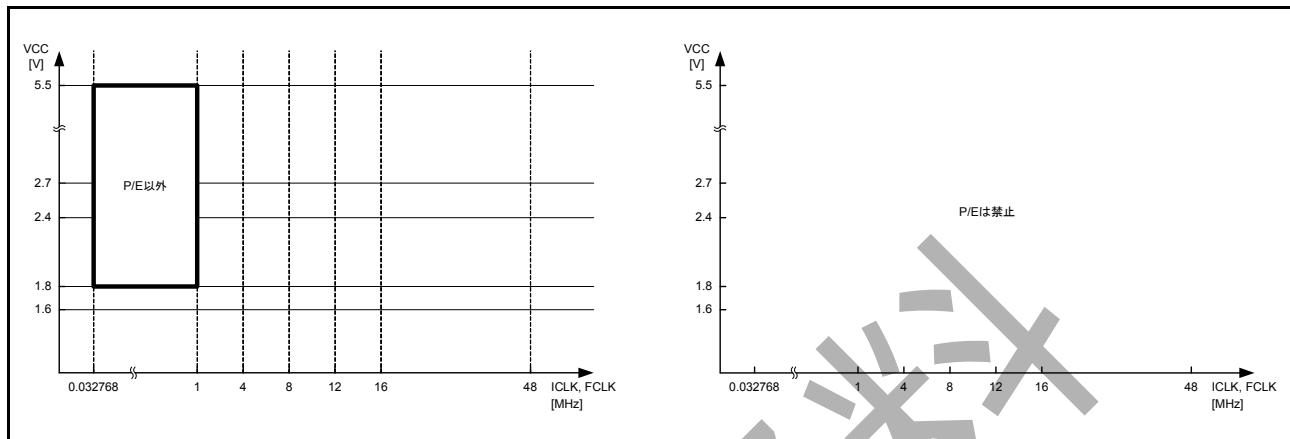


図 11.5 Low-speed モードにおける動作電圧と動作周波数

### Subosc-speed モード

フラッシュリード時の最大動作周波数は、ICLK と FCLK で 37.6832kHz です。フラッシュリード時の動作電圧範囲は 1.8 ~ 5.5V です。

フラッシュメモリの P/E 動作は禁止です。サブクロック発振器と低速オンチップオシレータ以外の発振器は使用禁止です。

図 11.6 に、Subosc-speed モードにおける動作電圧と動作周波数を示します。

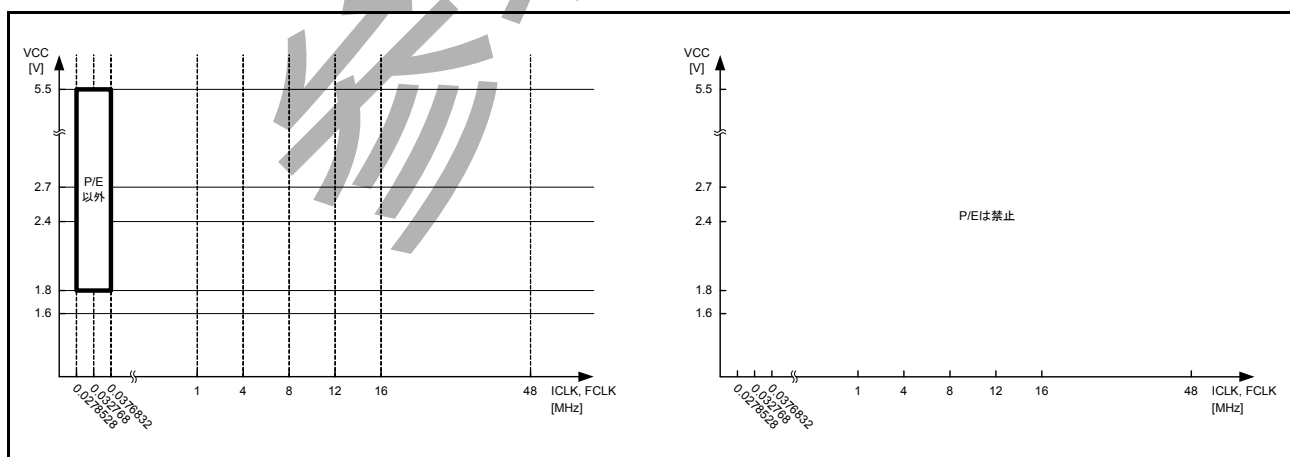


図 11.6 Subosc-speed モードにおける動作電圧と動作周波数

## 11.6 スリープモード

### 11.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止) の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCS1PR.SLCSTP ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。同様に、WDT がレジスタスタートモードであり、かつ WDTCS1PR.SLCSTP ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

### 11.6.2 スリープモードの解除

スリープモードは、すべての割り込み、RES 端子リセット、パワーオンリセット、電圧監視リセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスマスタ MPU エラーリセット、バススレーブ MPU エラーリセット、スタックポインタエラーリセット、あるいは、IWDT または WDT アンダーフローによるリセットによって解除されます。

1. 割り込みによる解除  
利用可能な割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除  
RES 端子を Low にすると、MCU はリセット状態になります。「51. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. IWDT リセットによる解除  
IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。
  - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1
4. WDT リセットによる解除  
WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT はスリープモードで停止して、スリープモードを解除するための内部リセットが発生しません。
  - OFS0.WDTSTRT = 0 (オートスタートモード) かつ OFS0.WDTSTPCTL = 1
  - OFS0.WDTSTRT = 1 (レジスタスタートモード) かつ WDTCS1PR.SLCSTP = 1
5. スリープモードで利用可能な他のリセットによる解除  
その他のリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注. 割り込みの正しい設定方法については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

## 11.7 ソフトウェアスタンバイモード

### 11.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。表 11.2 には、各内蔵周辺機能と発振器の状態が示されています。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 11.3 を、ソフトウェアスタンバイモードから復帰させる方法については、14.2.9 ウェイクアップ割り込みインエーブルレジスタ (WUPEN) を参照してください。割り込みを使用してソフトウェアスタンバイモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、およびスヌーズモード時に IWDT カウント停止) の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

MCU がソフトウェアスタンバイモードへ遷移すると、WDT はカウントを停止します。

OSTDCR.OSTDE = 1 (発振停止検出機能が有効) の状態で、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、発振停止検出機能を無効 (OSTDCR.OSTDE = 0) にした後、WFI 命令を実行してください。OSTDCR.OSTDE = 1 の状態で WFI 命令を実行すると、SBYCR.SSBY = 1 であっても、MCU はスリープモードへ遷移します。また、フラッシュメモリのプログラム/イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム/イレース処理が完了してから WFI 命令を実行してください。

### 11.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、表 11.3 に示す利用可能な割り込み、RES 端子リセット、パワーオンリセット、電圧監視リセット、または IWDT アンダーフローによるリセットによって解除されます。

ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰します。ソフトウェアスタンバイモードから復帰させる方法については、14.2.9 ウェイクアップ割り込みインエーブルレジスタ (WUPEN) を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除  
利用可能な割り込み要求 (表 11.3 を参照) が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。
2. RES 端子リセットによる解除  
RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルト状態で動作している発振器が発振を開始します。「51. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除  
パワーオンリセットによってソフトウェアスタンバイモードが解除されて、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除  
電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除されて、MCU はリセット例外処理を開始します。

## 5. IWDT リセットによる解除

IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。

- OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1

## 11.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 11.7 に示します。

この例では、通常モードにおいて、ICU の IRQCRi.IRQMD[1:0] ビットが 01b (立ち下がりエッジ) の状態で IRQn 端子の割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを 10b (立ち上がりエッジ) にしています。続いて、SBYCR.SSBY ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。図 11.7 の発振安定時間については、「51. 電気的特性」に示されています。

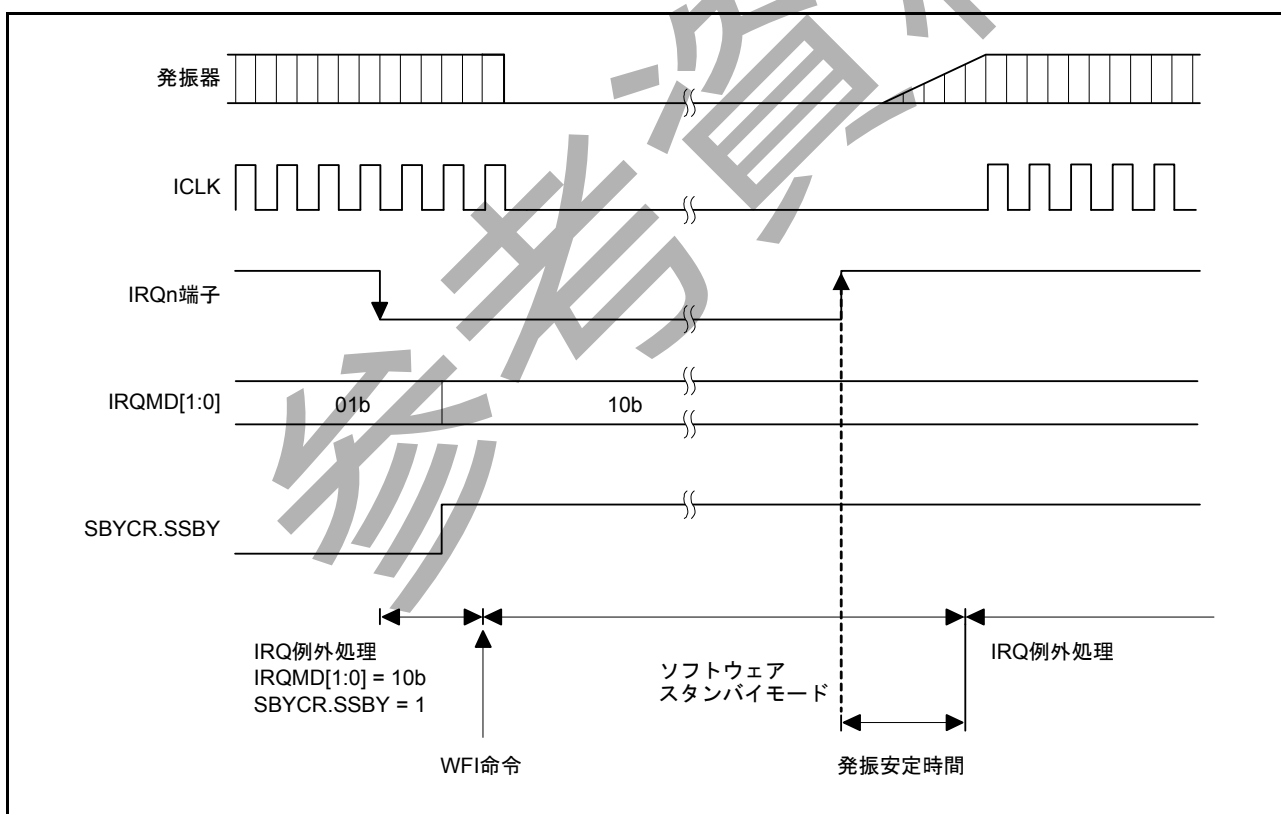


図 11.7 ソフトウェアスタンバイモードの応用例

## 11.8 スヌーズモード

### 11.8.1 スヌーズモードへの遷移

図 11.8 に、スヌーズモードエントリの構成を示します。ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。スヌーズモードで動作可能な周辺モジュールを、表 11.2 各低消費電力モードの動作状態に示します。また、スヌーズモード時の DTC の動作は、SNZCR.SNZDTCEN ビットで選択できます。

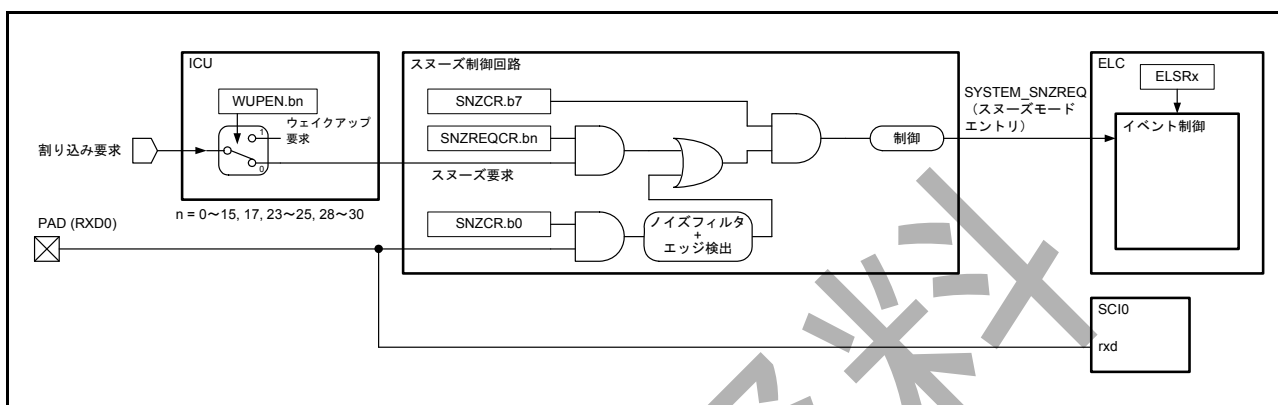


図 11.8 スヌーズモードエントリの構成

表 11.6 に、ソフトウェアスタンバイモードからスヌーズモードへの切り替えに利用可能なスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、SNZREQCR レジスタの対応する SNZREQENn ビット、または SNZCR レジスタの RXDREQEN ビットを設定する必要があります。同時に複数のスヌーズ要求を有効にしないでください。

表 11.6 スヌーズモードへの切り替えに利用可能なスヌーズ要求

スヌーズ要求	コントロールレジスタ	
	レジスタ	ビット
PORT_IRQn (n = 0 ~ 15)	SNZREQCR	SNZREQENn (n = 0 ~ 15)
KEY_INTKR	SNZREQCR	SNZREQEN17
ACMP_LP0	SNZREQCR	SNZREQEN23
RTC_ALM	SNZREQCR	SNZREQEN24
RTC_PRD	SNZREQCR	SNZREQEN25
AGT1_AGTI	SNZREQCR	SNZREQEN28
AGT1_AGTCMAI	SNZREQCR	SNZREQEN29
AGT1_AGTCMBI	SNZREQCR	SNZREQEN30
RXD0 立ち下がりエッジ	SNZCR	RXDREQEN (注1)

注 1. 調歩同期式モードでない場合、RXDREQEN ビットを 1 にしないでください。

スヌーズモード時に DTC を使用する場合を除き、DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。



### 11.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能な割り込み要求、またはすべてのリセットで解除されます。各モードを解除するために使用可能な要求を、表 11.3 に示します。スヌーズモードの解除後、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 レジスタで選択した割り込み要求によって引き起こされる動作が、スヌーズモードを解除します。スヌーズモードを解除するための割り込みは、対応する割り込み処理の NVIC とリンクさせるため、IELSRn (n = 0 ~ 63) で選択する必要があります。SELSR0 レジスタと IELSRn レジスタの設定方法については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

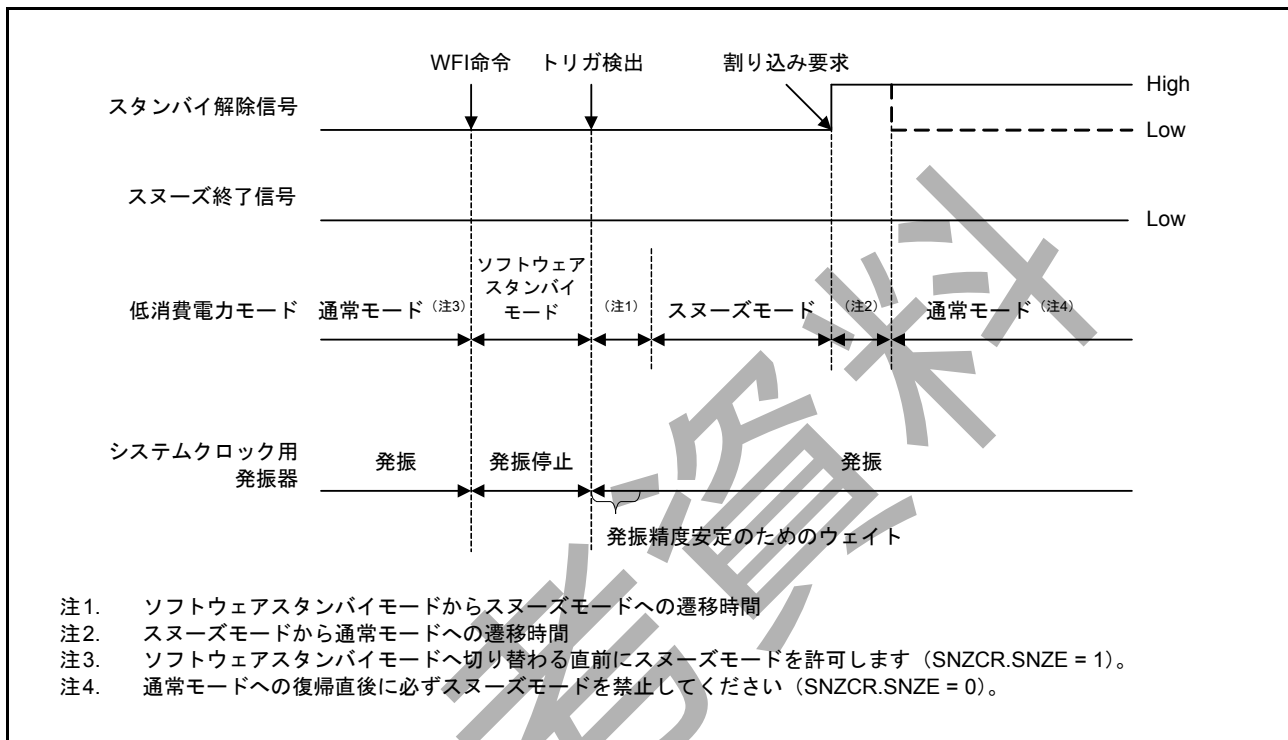


図 11.9 スヌーズモード時に割り込み要求信号が発生する場合

### 11.8.3 ソフトウェアスタンバイモードへの復帰

表 11.7 に、ソフトウェアスタンバイモードへ復帰するためのトリガとして使用可能なスヌーズ終了要求を示します。スヌーズ終了要求は、スヌーズモードでのみ利用可能です。MCU がスヌーズモード状態でないときに要求が発生しても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスヌーズモードからソフトウェアスタンバイモードへの切り替えを行います。

表 11.8 に、スヌーズ終了条件を構成するスヌーズ終了要求と周辺モジュールの条件を示します。CTSU、SCI0、ADC140、および DTC は、それらの動作が完了するまで MCU をスヌーズモード状態に保ちます。ただし、ソフトウェアスタンバイモードへの復帰トリガとしての AGT1 アンダーフローは、SCI0 の動作完了を待たずにスヌーズモードを解除します。

図 11.10 に、スヌーズモードからソフトウェアスタンバイモードへ遷移する際のタイミング図を示します。このようなモード遷移は、SNZEDCR レジスタで設定したスヌーズ終了要求に従って発生します。ソフトウェアスタンバイモードへ復帰後、スヌーズ要求は自動的にクリアされます。

表 11.7 利用可能なスヌーズ終了要求（ソフトウェアスタンバイモードへの復帰トリガ）

スヌーズ終了要求	許可/禁止制御	
	レジスタ	ビット
AGT1 アンダーフローまたは測定終了 (AGT1_AGTI)	SNZEDCR	b0
DTC 転送終了時 (DTC_COMPLETE)	SNZEDCR	b1
DTC 転送終了前 (DTC_TRANSFER)	SNZEDCR	b2
ADC140 ウィンドウ A/B コンペアマッチ (ADC140_WCMPPM)	SNZEDCR	b3
ADC140 ウィンドウ A/B コンペア不一致 (ADC140_WCMPUM)	SNZEDCR	b4
SCI0 アドレス不一致 (SCI0_DCUF)	SNZEDCR	b7

表 11.8 スヌーズ終了条件

スヌーズ終了要求発生時の動作モジュール	スヌーズ終了要求	
	AGT1 アンダーフロー	AGT1 アンダーフロー以外
DTC	左記の全モジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。	左記の全モジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。
ADC140		
CTSU		
SCI0	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	
上記以外	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	

注． DTC を用いて ADC140、CTSU、または SCI を起動した場合は、スヌーズ終了要求の発生後、MCU はソフトウェアスタンバイモードへ遷移します。

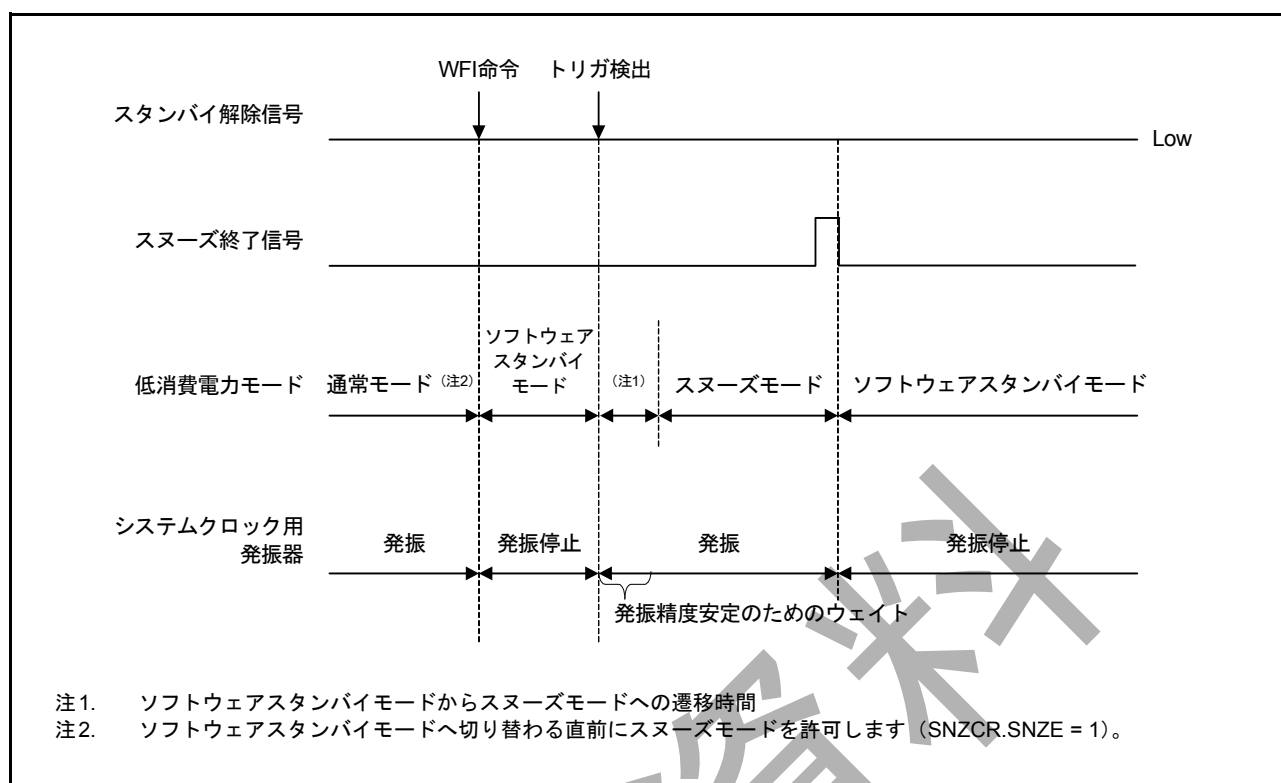


図 11.10 スヌーズモード時に割り込み要求信号が発生しない場合

## 11.8.4 スヌーズモードの動作例

図 11.11 に、スヌーズモードで ELC を使用する場合の設定例を示します。

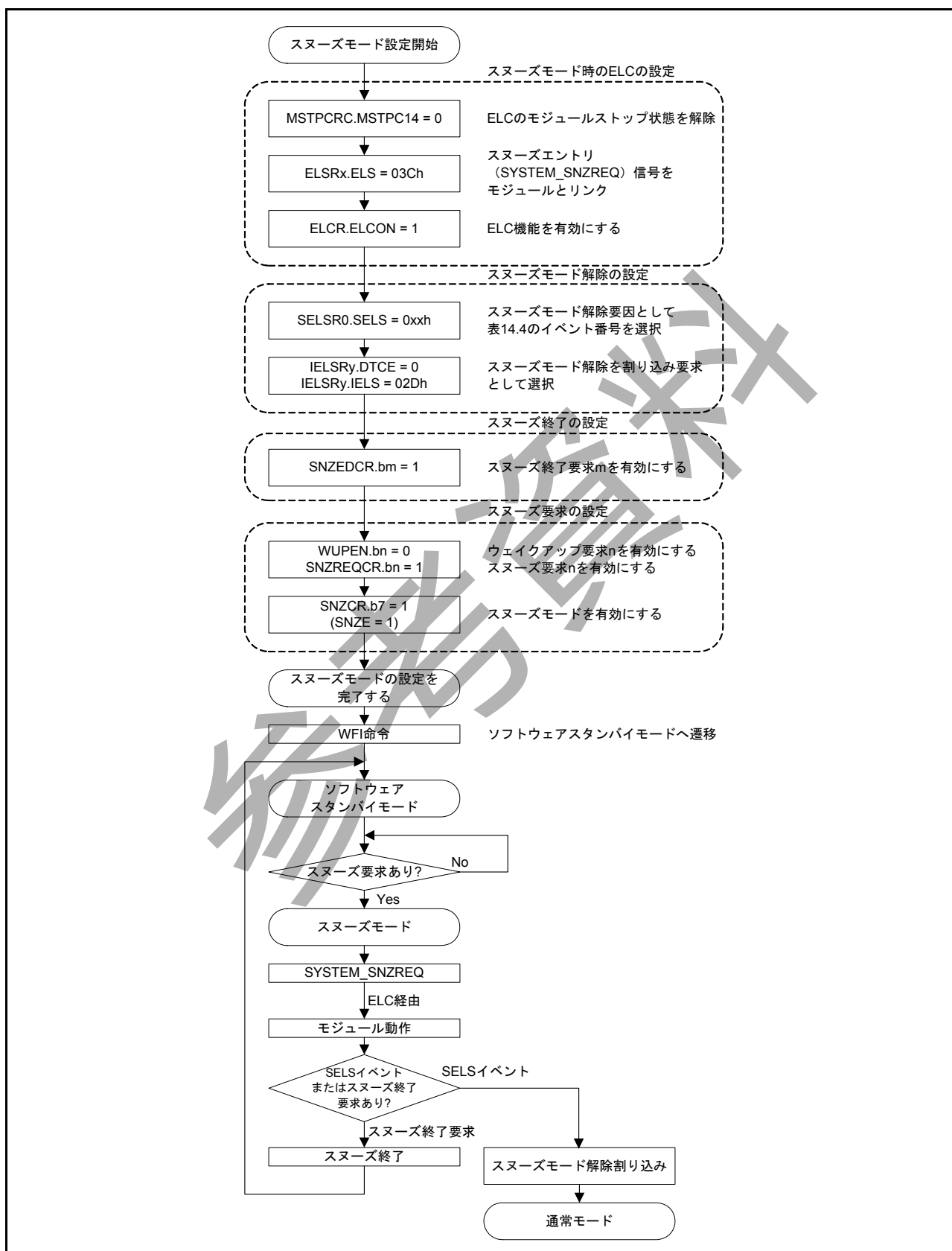


図 11.11 スヌーズモードで ELC を使用するための設定例

本 MCU は、CPU を介さずに SCI0 の調歩同期式モードでデータの送受信が可能です。表 11.9 および表 11.10 に、スリープモードにおける SCI0 の最大転送速度を示します。スリープモードで SCI0 を使用する場合は、High-speed モード、Middle-speed モード、Low-speed モードのいずれかを使用してください。Low-voltage モードと Subosc-speed モードは使用しないでください。

表 11.9 および表 11.10 に、スリープモードにおける SCI0 の最大転送速度を示します。

#### High-speed モード、Middle-speed モード、Low-speed モード

表 11.9 HOCO :  $\pm 1.0\%$  ( $T_a = -20 \sim 85^\circ\text{C}$ )

(単位 : bps)

ICLK, PCLKA, PCLKB, PCLKC, PCLKD, FCLK, BCLK, TRCLK の最 大分周比	HOCO 周波数			
	24MHz	32MHz	48MHz	64MHz
1	9600	9600	-	2400
2			4800	
4				
8	4800	4800	-	-
16				
32				
64				

#### High-speed モード、Middle-speed モード、Low-speed モード

表 11.10 HOCO :  $\pm 1.5\%$  ( $T_a = -40 \sim -20^\circ\text{C}$ ,  $85 \sim 105^\circ\text{C}$ )

(単位 : bps)

ICLK, PCLKA, PCLKB, PCLKC, PCLKD, FCLK, BCLK, TRCLK の最 大分周比	HOCO 周波数			
	24MHz	32MHz	48MHz	64MHz
1	2400	-	-	-
2			2400	
4				
8	-	-	-	-
16				
32				
64				

図 11.12 に、スヌーズモードエントリで SCIO を使用する場合の設定例を示します。

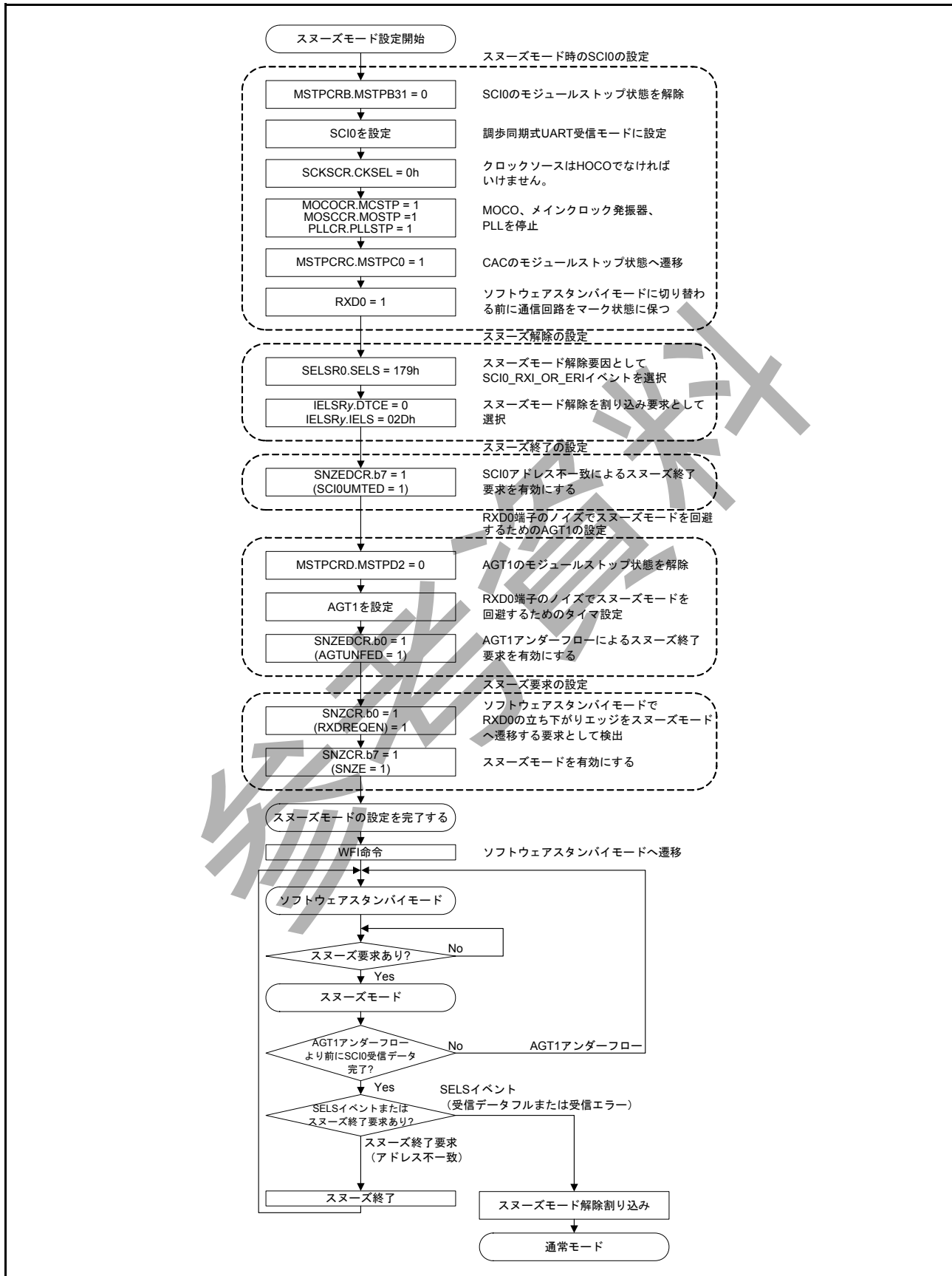


図 11.12 スヌーズモードエントリで SCIO を使用するための設定例

## 11.9 使用上の注意事項

### 11.9.1 レジスタアクセス

(1) 下記の条件のいずれかに当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- “SYSTEM” という周辺名をもつ全レジスタ

[条件]

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1 (動作電力制御モードへの遷移中)
- WFI 命令の実行から、通常モードへ復帰するまでの期間中
- FENTRYR.FENTRY0 = 1 または FENTRYR.FENTRYD = 1 (フラッシュ P/E モード、データフラッシュ P/E モード)
- FLSTOP.FLSTPF = 1 (遷移中)

### (2) クロック関連レジスタの有効な設定値

表 11.11 と表 11.12 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。これら有効な設定値以外を書き込まないようにしてください。書き込んでも無視されます。また、各レジスタには、動作電力制御モード以外の特定の条件下で禁止される設定値もあります。各レジスタに対する他の条件については、「9. クロック発生回路」を参照してください。

表 11.11 クロック関連レジスタの有効な設定値 (1)

モード	有効な設定値								
	SCKSCR CKSEL[2:0] CKOCR CKOSEL[2:0]	SCKDIVCR FCK[2:0] ICK[2:0]	SLCDSCCKR LCDSCCKSEL[2:0]	PLLCR. PLLSTP	HOCOCR HCSTP	MOCOCR MCSTP	LOCOCR LCSTP	MOSCCR MOSTP	SOSCCR SOSTP
High-speed, Middle-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (MOSC) 100b (SOSC) 101b (PLL) (注1)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	000b (LOCO) 001b (SOSC) 010b (MOSC) 100b (HOCO)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)
Low-speed, Low-voltage	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (MOSC) 100b (SOSC)			1 (停止)					
Subosc-speed	010b (LOCO) 100b (SOSC)	000b (1/1)	000b (LOCO) 001b (SOSC)	1 (停止)	1 (停止)	1 (停止)	0 (動作) 1 (停止)	1 (停止)	0 (動作) 1 (停止)

注 1. SCKSCR.CKSEL[2:0] のみ

表 11.12 クロック関連レジスタの有効な設定値 (2)

動作発振器	有効な設定値	
	SOPCCR SOPCM	OPCCR OPCM[1:0]
PLL	0	00b, 01b
高速オンチップオシレータ	0	00b, 01b, 10b, 11b
中速オンチップオシレータ		
メインクロック発振器		
低速オンチップオシレータ	0, 1	00b, 01b, 10b, 11b
サブクロック発振器		
IWDT専用オンチップオシレータ		

(3) 下記の条件に当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SCKSCR, OPCCR

[条件]

- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(4) DTC または DMA によって、下記のレジスタに書き込まないでください。

[レジスタ]

- MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD

(5) スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

[レジスタ]

- SNZCR, SNZEDCR, SNZREQCR

(6) 下記の条件のいずれかに当てはまる場合、FLSTOP.FLSTOP ビットを 1 にしないでください。

[条件]

- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 00b (High-speed モード)
- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 01b (Middle-speed モード)
- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 11b (Low-speed モード)
- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(7) 下記の条件のいずれかに当てはまる場合、MEMWAIT.MEMWAIT ビットを 1 にしないでください。

[条件]

- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 01 (Middle-speed モード)
- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 10 (Low-voltage モード)
- SOPCCR.SOPCM = 0、OPCCR.OPCM[1:0] = 11 (Low-speed モード)
- SOPCCR.SOPCM = 1 (Subosc-speed モード)



(8) PRCR.PRC1 ビットが 0 の場合、下記のレジスタに対する書き込みは無効です。

[レジスタ]

- SBYCR, SNZCR, SNZEDCR, SNZREQCR, FLSTOP, PSMCR, OPCCR, SOPCCR

### 11.9.2 I/O ポートの状態

ソフトウェアスタンバイモードおよびスヌーズモード（スヌーズモード時に書き換える場合を除く）における I/O ポートの状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、供給電流は低減されません。

### 11.9.3 DMAC と DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DMAC の DMAST.DMST ビットと、DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「[17. DMA コントローラ \(DMAC\)](#)」と「[18. データ転送ファクトローラ \(DTC\)](#)」を参照してください。

### 11.9.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。そのため、事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

### 11.9.5 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（スリープモードまたはソフトウェアスタンバイモード）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex-M4 コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットは設定しないでください。

### 11.9.6 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻すことによって、書き込みの完了を確認することが推奨されます。

### 11.9.7 スリープモード/スヌーズモード時の DMAC または DTC による WDT/IWDT レジスタの書き込みについて

スリープモードやスヌーズモードへ遷移すると WDT や IWDT が停止します。停止中は、DMAC または DTC によって WDT または IWDT 関連のレジスタを書き換えしないでください。

### 11.9.8 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードへ遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCUはスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、必ずスヌーズモードで不要な発振器を無効にしてください。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

### 11.9.9 RXD0の立ち下がリエッジによるスヌーズモードエントリ

SNZCR.RXDREQENビットが1の場合、RXD0端子のノイズが原因で、MCUがソフトウェアスタンバイモードからスヌーズモードへ遷移する場合があります。またRXD0端子のノイズによって、スヌーズモード時に後続のRXD0データを受信する可能性があります。ノイズ発生後、MCUがRXD0データを受信しなければ、割り込み(SCI0\_ERIやSCI0\_RXIなど)もアドレス不一致イベントも発生せず、MCUはスヌーズモードを維持します。この問題を避けるには、スヌーズモードでSCI0を使用する場合、AGT1アンダーフロー割り込みを用いてソフトウェアスタンバイモードまたは通常モードへ復帰するようにしてください。ただしSCI通信中は、ソフトウェアスタンバイモードへの復帰要因としてAGT1アンダーフローを使用しないでください。これは、SCI0の動作を中途半端に停止させます。

### 11.9.10 スヌーズモードにおけるSCI0の使用

スヌーズモードでSCI0を使用する場合、AGT1アンダーフロー以外のウェイクアップ要求を使用しないでください。

スヌーズモードでSCI0を使用する場合は、下記の条件が満たされなければいけません。

- クロックソースはHOCOであること
- MOCO、メインクロック発振器、およびPLLは、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0端子は、ソフトウェアスタンバイモード遷移前にHighを維持していること
- SCI通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0ビットが1であること

### 11.9.11 スヌーズモードにおけるA/D変換開始条件

スヌーズモードでは、ELCのみがA/Dコンバータの開始トリガとなれます。ソフトウェアトリガやADTRG0端子は使用しないでください。

### 11.9.12 スヌーズモードにおけるCTSUの条件

スヌーズモードでは、ELCのみがCTSUを起動できます。

### 11.9.13 スヌーズモードにおける ELC イベント

スヌーズモードで利用可能なイベントを下記に示します。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ (ELSRn) において、スヌーズモードエントリイベント (SYSTEM\_SNZREQ) をトリガとして設定する必要があります。

- スヌーズモードエントリ (SYSTEM\_SNZREQ)
- DTC 転送終了 (DTC\_DTCEND)
- ADC140 ウィンドウ A/B コンペアマッチ (ADC140\_WCMPPM)
- ADC140 ウィンドウ A/B コンペア不一致 (ADC140\_WCMPUM)
- データ演算回路割り込み (DOC\_DOPCI)

### 11.9.14 ADC140 に関するモジュールストップ機能

ソフトウェアスタンバイモードへ遷移する場合は、ADC140 をモジュールストップ状態に設定して消費電力を削減することが推奨されます。この場合、DTC を用いて ADC140 のモジュールストップ状態を解除すると、スヌーズモードで ADC140 が利用可能になります。同様に、スヌーズモードからソフトウェアスタンバイモードへ復帰する前に、DTC を使用してモジュールストップ状態に戻してください。

参考資料

## 12. バッテリバックアップ機能

### 12.1 概要

本 MCU はバッテリバックアップ機能を備えており、電力損失が生じた場合に、バッテリによる部分給電が維持されます。VCC 端子と VBATT 端子の切り替えによるバッテリ電源領域には、RTC、AGT、SOSC、LOCO、ウェイクアップコントロール/バックアップメモリ、および VBATT\_R 低電圧検出が含まれています。

正常に動作しているとき、バッテリ電源領域には主電源（VCC 端子）から電源が供給されます。VCC 端子に電圧降下が検出されると、電源は専用のバッテリバックアップ用電源端子（VBATT 端子）に切り替わります。そして電圧が上昇すると、電源は再び VBATT 端子から VCC 端子へ切り替わります。VBATT ウェイクアップ入出力端子の構成を表 12.1 に示します。

表 12.1 VBATT ウェイクアップ入出力端子の構成

端子名	入出力	機能
VBATWIO <sub>n</sub>	入出力	VBATT ウェイクアップコントロール機能用のウェイクアップ信号出力 VBATT ウェイクアップコントロール機能用の外部イベント入力

注. n = 0 ~ 2

#### 12.1.1 バッテリバックアップ機能

以下の機能で構成されます。

- バッテリ電源スイッチ
- VBATT 端子低電圧検出
- VBATT\_R 低電圧検出
- バックアップレジスタ
- VBATT ウェイクアップコントロール機能
- タンパ端子検出

#### 12.1.2 バッテリ電源スイッチ

VCC 端子の印加電圧が低下すると、この機能によって、電源が VCC 端子から VBATT 端子に切り替わります。そして電圧が上昇すると、再び VBATT 端子から VCC 端子へ切り替わります。この切り替えは VBTCR1.BPWSWSTP ビットで制御されます。デフォルトで切り替えは有効ですが、VBTCR1.BPWSWSTP ビットを 1 にすることで無効にできます。

#### 12.1.3 VBATT 端子低電圧検出

バッテリ電源領域は、VBATT 端子の低電圧検出機能によってサポートされています。この機能は、VBATT 端子へ供給される電圧状態を監視します。この電源の低電圧状態を検出することが可能です。VBATT ステータスレジスタには、低電圧検出をチェックするフラグがあります。

#### 12.1.4 VBATT\_R 低電圧検出

バッテリ電源領域は、VBATT\_R 低電圧検出機能によってサポートされています。この機能は、VBATT\_R の電圧レベルを監視します。VBATT\_R とは、バッテリ電源スイッチの出力電圧です。低電圧検出によって VBATT\_POR リセットが発生し、バッテリ電源領域が初期化されます。詳細は、各レジスタの説明を参照してください。VBATT ステータスレジスタには、低電圧検出をチェックするフラグがあります。

### 12.1.5 バックアップレジスタ

バッテリー電源領域には、512 個の 1 バイトバックアップレジスタが搭載されています。これらのレジスタは、電源が VBATT 端子に供給され、VCC 端子がパワーオフ状態にあるときに限りデータを保持します。このメモリは VBATT 端子の低電圧検出によってチェックされます。

### 12.1.6 VBATT ウェイクアップコントロール機能

VBATT ウェイクアップコントロール機能とは、VBATT 端子による VBATT\_R 供給時に、RTC アラーム/周期信号、AGT1 アンダーフロー信号、または VBATWIO<sub>n</sub> (n=0~2) 入力信号がアサートされた場合、VBATWIO[2:0] 端子のトグル動作を可能にする機能です。

注. ウェイクアップコントロール機能によるこのトグル動作では、ICU での割り込み、およびリセット対象モジュールへのリセットは発生しません。この機能は、トグルの出力によって、ボードに搭載されている他のデバイスに VCC 電源を制御させる場合などに使用します。詳細は、[12.3.5 VBATT ウェイクアップコントロール機能の使用法](#)を参照してください。

### 12.1.7 タンパ端子検出

RTC は、タンパ端子 RTCIC<sub>n</sub> (n=0~2) の入力レベルの変化を検出します。RTCIC<sub>n</sub> 端子の機能については、「[25. リアルタイムクロック \(RTC\)](#)」を参照してください。RTCIC<sub>n</sub> 端子を使用するには、[12.2 レジスタの説明](#)に従って VBTICTLR レジスタを設定してください。

注. バッテリバックアップ機能を使用しない場合は、VBATT 端子を VCC 端子に接続する必要があります。  
注. VBATT 機能を使用しない場合、VBTCR1.BPWSWSTP ビットを 1 にするまで、RTC、SOSC (マルチプレクスポートを含む)、AGT、および LOCO には電源が供給されません。「[51. 電気的特性](#)」に示すように、VBTCR1.BPWSWSTP ビットの設定後、モジュールに電源が供給されるまでには VBATT\_POR のリセット時間 tVBATPOR が必要です。VBATT 機能を使用するか否かにかかわらず、パワーオンリセット後は、VBTCR1.BPWSWSTP ビットを 1 にする必要があります。詳細は、[12.2.1 VBATT コントロールレジスタ 1 \(VBTCR1\)](#)を参照してください。

図 12.1 に、バッテリバックアップ機能の構成図を示します。

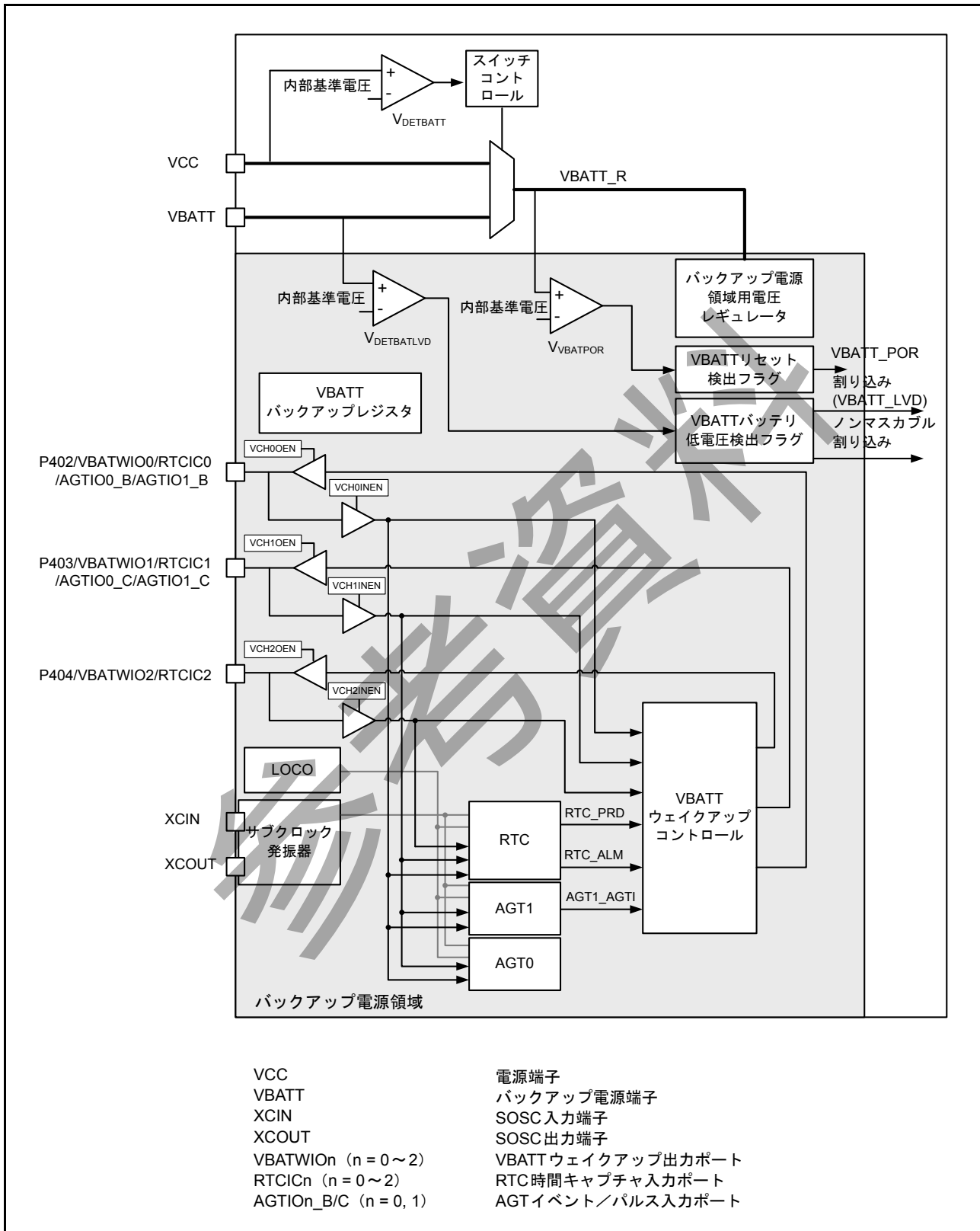


図 12.1 バッテリバックアップ機能の構成図

## 12.2 レジスタの説明

### 12.2.1 VBATT コントロールレジスタ 1 (VBTCR1)

アドレス SYSTEM.VBTCR1 4001 E41Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BPWSWSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BPWSWSTP	バッテリー電源スイッチ停止	0 : バッテリ電源スイッチ有効 1 : バッテリ電源スイッチ停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### BPWSWSTP ビット (バッテリー電源スイッチ停止)

BPWSWSTP ビットでバッテリー電源スイッチを有効にすると、VCC 端子の印加電圧が低下した場合、バッテリーバックアップモジュールの供給電圧は VCC 端子から VBATT 端子へ切り替わります。停止にすると、バッテリーバックアップモジュールの電源は常に VCC から供給されます。バッテリーバックアップ機能を無効にするには、このビットに 1 を書いてください。このビットはパワーオンリセットによってのみ初期化されます。

- 注 . このビットは、VBATSR.VBTRVLD ビットの状態をチェックすることなく設定可能です。
- 注 . VBATT 機能を使用するか否かにかかわらず、パワーオンリセット後は、VBTCR1.BPWSWSTP ビットを 1 にする必要があります。VBTCR1.BPWSWSTP ビットの設定フローが、[図 12.2](#) に示されています。また、VBATT 機能を使用する際は、他の関連レジスタの設定後に、VBTCR1.BPWSWSTP ビットをクリアする必要があります。

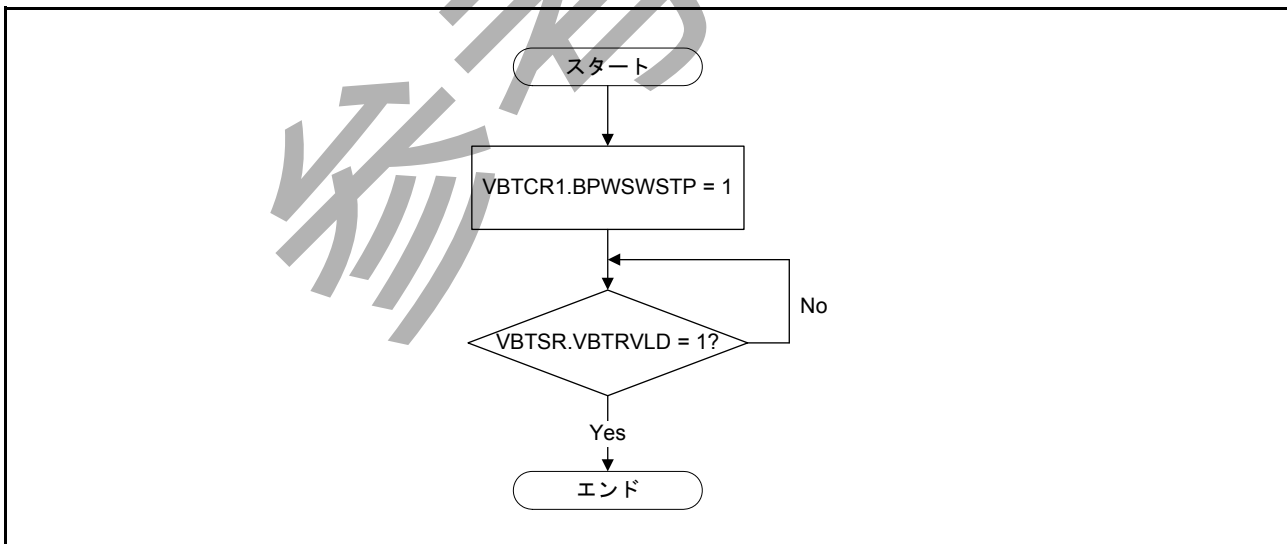


図 12.2 VBTCR1.BPWSWSTP ビットの設定フローチャート

- 注 . [図 12.2](#) では、VBATSR.VBTRVLD ビットが 1 でない場合、ループを抜け出すために VBATT\_POR のリセット時間 tVBATPOR (「[51. 電気的特性](#)」を参照) を必要とします。VBATSR.VBTRVLD が 0 の場合、下記のレジスタにはアクセスできません。その他のレジスタは、この条件とは無関係にアクセス可能です。
- 「[9. クロック発生回路](#)」に記載の LOCOCR、LOCOUTCR、SOSCCR、および SOMCR
  - VBTCR1 と VBATSR.VBTRVLD ビットを除く、本章に記載の全レジスタ
  - 「[24. 非同期汎用タイマ \(AGT\)](#)」に記載の全レジスタ

- 「25. リアルタイムクロック (RTC)」に記載の全レジスタ

## 12.2.2 VBATT コントロールレジスタ 2 (VBTCR2)

アドレス SYSTEM.VBTCR2 4001 E4B0h

b7	b6	b5	b4	b3	b2	b1	b0
VBTLVDLVL[1:0]	—	VBTLVDEN	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	VBTLVDEN	VBATT 端子低電圧検出有効	0 : VBATT 端子の低電圧検出は無効 1 : VBATT 端子の低電圧検出は有効	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	VBTLVDLVL[1:0]	VBATT 端子低電圧検出レベル選択	b7 b6 0 0: 予約 0 1: 設定禁止 1 0: 2.3V 1 1: 2.1V	R/W

VBTCR2 レジスタは、VBATT 端子の低電圧検出機能を制御するレジスタです。VBTCR2 レジスタは VBATT\_POR 信号によってリセットされます。

### VBTLVDEN ビット (VBATT 端子低電圧検出有効)

VBATT 端子の低電圧検出を制御します。

### VBTLVDLVL[1:0] ビット (VBATT 端子低電圧検出レベル選択)

VBATT\_R の低電圧検出レベルを選択します。



### 12.2.3 VBATT ステータスレジスタ (VBTSR)

アドレス SYSTEM.VBTSR 4001 E4B1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	VBTRVLD	—	—	VBTBLDF	VBTRDF
リセット後の値	0	0	0	0 (注5)	0	0	0 (注1)	1 (注2)

ビット	シンボル	ビット名	機能	R/W
b0	VBTRDF	VBATT_Rリセット検出フラグ	0 : VBATT_R電圧のパワーオンリセット未検出 1 : VBATT_R選択電圧のパワーオンリセットを検出	R/(W) (注3)
b1	VBTLDF	VBATTバッテリー低電圧検出フラグ (注4)	0 : VBATT端子の低電圧未検出 1 : VBATT端子の低電圧を検出	R/(W) (注3)
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	VBTRVLD	VBATT_R有効	0 : VBATT_R領域は無効 1 : VBATT_R領域は有効	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. このフラグはVBATT端子の低電圧検出によるのみリセットされます。  
 注 2. このフラグはVBATT\_PORリセットによるのみリセットされます。  
 注 3. 1を読んだ後に0を書くことのみ可能です。  
 注 4. このフラグはVBTLVDENビットが1の場合にのみ有効です。VBTLVDENビットが0の場合、このフラグは読むと0が読めます。  
 注 5. VBATT\_R電圧レベルに依存します。

#### VBTRDF フラグ (VBATT\_R リセット検出フラグ)

VBATT\_R (VCC または VBATT の選択電圧) のパワーオンリセットが発生したことを示します。

[1 になる条件]

- VBATT\_R 電圧のパワーオンリセットが発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

#### VBTLDF フラグ (VBATT バッテリ低電圧検出フラグ)

VBATT バッテリの低電圧が検出されたことを示します。

[1 になる条件]

- VBATT バッテリの低電圧を検出したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

#### VBTRVLD ビット (VBATT\_R 有効)

VBATT 領域が有効かどうかをチェックします。

このビットはVBATT\_R領域が有効かどうかをチェックするために使用されます。下記のレジスタに対して読み出したり書き込みを行う場合は、最初にVBTRVLDビットが1であることを確認する必要があります。

- 「9. クロック発生回路」に記載の LOCOCR、LOCOUTCR、SOSCCR、および SOMCR
- VBTCR1 レジスタと VBTSR.VBTRVLD ビットを除く、本章に記載の全レジスタ
- 「24. 非同期汎用タイマ (AGT)」に記載の全レジスタ

- 「25. リアルタイムクロック (RTC)」に記載の全レジスタ

### 12.2.4 VBATT コンパレータコントロールレジスタ (VBTCMPCR)

アドレス SYSTEM.VBTCMPCR 4001 E4B2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	VBTCMPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VBTCMPE	VBATT 端子低電圧検出回路出力許可	0 : VBATT 端子の低電圧検出回路出力を禁止 1 : VBATT 端子の低電圧検出回路出力を許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### VBTCMPE ビット (VBATT 端子低電圧検出回路出力許可)

VBATT 端子の低電圧検出回路出力を制御します。このビットは VBATT\_POR 信号によって初期化されま

### 12.2.5 VBATT 端子低電圧検出割り込みコントロールレジスタ (VBTLVDICR)

アドレス SYSTEM.VBTLVDICR 4001 E4B4h

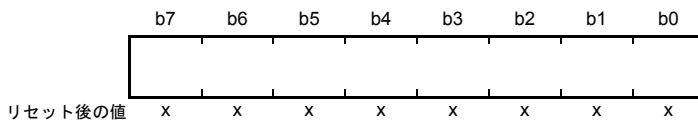
b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	VBTLVDISEL	VBTLVDIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VBTLVDIE	VBATT 端子低電圧検出割り込み許可	0 : VBATT 端子の低電圧検出割り込みを禁止 1 : VBATT 端子の低電圧検出割り込みを許可	R/W
b1	VBTLVDISEL	端子低電圧検出割り込み選択	0 : ノンマスクابل割り込み 1 : マスクابل割り込み	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTLVDICR レジスタは VBATT\_POR 信号によってリセットされます。

## 12.2.6 VBATT バックアップレジスタ (VBTBKR[n]) (n = 0 ~ 511)

アドレス SYSTEM.VBTBKR[0] 4001 E500h ~ SYSTEM.VBTBKR[511] 4001 E6FFh



x: 不定

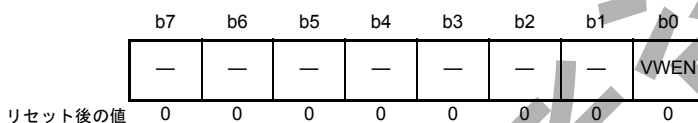
VBTBKR[n] レジスタは、VBATT 電源供給時にデータを格納するための、8 ビット単位で読み出し/書き込みが可能なレジスタです。このレジスタの値は、VCC に電源が供給されていなくても、VBATT に供給されていれば保持されます。このレジスタはいずれのリセットによっても初期化されません。

注. この VBATT バックアップレジスタにアクセスする場合、VCC レベルは  $V_{\_BKBATT}$  を上回っていなければいけません（「51. 電気的特性」を参照してください）。

注. VBATT バックアップレジスタとソフトウェアスタンバイモードを使用するシステムでは、常に LOCO を起動しておく必要があります。

## 12.2.7 VBATT ウェイクアップコントロールレジスタ (VBTWCTLR)

アドレス SYSTEM.VBTWCTLR 4001 E4B6h



ビット	シンボル	ビット名	機能	R/W
b0	VWEN	VBATT ウェイクアップ有効	0: ウェイクアップ機能は無効 1: ウェイクアップ機能は有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTWCTLR レジスタは、VBATT ウェイクアップコントロールレジスタを制御します。VBTWCTLR レジスタは VBATT\_POR 信号によってリセットされます。

### VWEN ビット (VBATT ウェイクアップ有効)

VBATT ウェイクアップコントロール機能を有効にします。VWEN ビットを 0 にして、VBTWCTLR.VCHnOEN (n=0~2) ビットを 1 にした場合、VBATWIO<sub>n</sub> (n=0~2) 端子出力は Low になります。また、VWEN ビットを 1 にすると、VBATWIO<sub>n</sub> 端子出力は、VBTWCTLR.VOUTnLSEL (n=0~2) ビットで指定したレベルに変化します。

下記に示すレジスタの設定が完了した場合にのみ、VWEN ビットを 1 にすることが可能です。

最初に VWEN ビットを 0 にしてから、これらのレジスタを書き換えてください。

レジスタ: VBTWCH<sub>n</sub>OTSR、VBTICTLR、VBTWCTLR、VBTWTER、VBTWEGR (n=0~2)

## 12.2.8 VBATT ウェイクアップ I/O 0 出カトリガ選択レジスタ (VBTWCH00TSR)

アドレス SYSTEM.VBTWCH00TSR 4001 E4B8h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CH0VAGTUTE	CH0VRTCATE	CH0VRTCTE	CH0VCH2TE	CH0VCH1TE	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	CH0VCH1TE	VBATWIO0出力VBATWIO1トリガ許可	0: VBATWIO1端子によるVBATTウェイクアップ入出力0の出カトリガを禁止 1: VBATWIO1端子によるVBATTウェイクアップ入出力0の出カトリガを許可	R/W
b2	CH0VCH2TE	VBATWIO0出力VBATWIO2トリガ許可	0: VBATWIO2端子によるVBATTウェイクアップ入出力0の出カトリガを禁止 1: VBATWIO2端子によるVBATTウェイクアップ入出力0の出カトリガを許可	R/W
b3	CH0VRTCTE	VBATWIO0出力RTC周期信号許可	0: RTC周期信号によるVBATTウェイクアップ入出力0の出カトリガを禁止 1: RTC周期信号によるVBATTウェイクアップ入出力0の出カトリガを許可	R/W
b4	CH0VRTCATE	VBATWIO0出力RTCアラーム信号許可	0: RTCアラーム信号によるVBATTウェイクアップ入出力0の出カトリガを禁止 1: RTCアラーム信号によるVBATTウェイクアップ入出力0の出カトリガを許可	R/W
b5	CH0VAGTUTE	VBATWIO0出力AGTアンダーフロー信号許可	0: AGT1アンダーフロー信号によるVBATTウェイクアップ入出力0の出カトリガを禁止 1: AGT1アンダーフロー信号によるVBATTウェイクアップ入出力0の出カトリガを許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTWCH00TSR レジスタは、VBATT ウェイクアップ入出力0の出カトリガ要因を制御するレジスタです。

このレジスタのビットを1にして、VBTWFR レジスタの対応するウェイクアップトリガフラグを設定すると、VBATWIO0端子の出力信号は、VBTOCTLR レジスタのVOUT0LSELビットに従います。

VBTWCH00TSR レジスタはVBATT\_POR信号によって初期化されます。

## 12.2.9 VBATT ウェイクアップ I/O 1 出カトリガ選択レジスタ (VBTWCH1OTSR)

アドレス SYSTEM.VBTWCH1OTSR 4001 E4B9h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CH1VAGTUTE	CH1VRTCATE	CH1VRTCTE	CH1VCH2TE	—	CH1VCH0TE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH1VCH0TE	VBATWIO1出力VBATWIO0トリガ許可	0: VBATWIO0端子によるVBATTウェイクアップ入出力1の出カトリガを禁止 1: VBATWIO0端子によるVBATTウェイクアップ入出力1の出カトリガを許可	R/W
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	CH1VCH2TE	VBATWIO1出力VBATWIO2トリガ許可	0: VBATWIO2端子によるVBATTウェイクアップ入出力1の出カトリガを禁止 1: VBATWIO2端子によるVBATTウェイクアップ入出力1の出カトリガを許可	R/W
b3	CH1VRTCTE	VBATWIO1出力RTC周期信号許可	0: RTC周期信号によるVBATTウェイクアップ入出力1の出カトリガを禁止 1: RTC周期信号によるVBATTウェイクアップ入出力1の出カトリガを許可	R/W
b4	CH1VRTCATE	VBATWIO1出力RTCアラーム信号許可	0: RTCアラーム信号によるVBATTウェイクアップ入出力1の出カトリガを禁止 1: RTCアラーム信号によるVBATTウェイクアップ入出力1の出カトリガを許可	R/W
b5	CH1VAGTUTE	VBATWIO1出力AGTアンダーフロー信号許可	0: AGT1アンダーフロー信号によるVBATTウェイクアップ入出力1の出カトリガを禁止 1: AGT1アンダーフロー信号によるVBATTウェイクアップ入出力1の出カトリガを許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTWCH1OTSR レジスタは、VBATT ウェイクアップ入出力1の出カトリガ要因を制御するレジスタです。

このレジスタのビットを1にして、VBTWFR レジスタの対応するウェイクアップトリガフラグを設定すると、VBATWIO1端子の出力信号は、VBTOCTLR レジスタのVOUTILSELビットに従います。

VBTWCH1OTSR レジスタはVBATT\_POR信号によって初期化されます。

## 12.2.10 VBATT ウェイクアップ I/O 2 出カトリガ選択レジスタ (VBTWCH2OTSR)

アドレス SYSTEM.VBTWCH2OTSR 4001 E4BAh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CH2VAGTUTE	CH2VRTCATE	CH2VRTCTE	—	CH2VCH1TE	CH2VCH0TE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH2VCH0TE	VBATWIO2出力VBATWIO0トリガ許可	0: VBATWIO0端子によるVBATTウェイクアップ入出力2の出カトリガを禁止 1: VBATWIO0端子によるVBATTウェイクアップ入出力2の出カトリガを許可	R/W
b1	CH2VCH1TE	VBATWIO2出力VBATWIO1トリガ許可	0: VBATWIO1端子によるVBATTウェイクアップ入出力2の出カトリガを禁止 1: VBATWIO1端子によるVBATTウェイクアップ入出力2の出カトリガを許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	CH2VRTCTE	VBATWIO2出力RTC周期信号許可	0: RTC周期信号によるVBATTウェイクアップ入出力2の出カトリガを禁止 1: RTC周期信号によるVBATTウェイクアップ入出力2の出カトリガを許可	R/W
b4	CH2VRTCATE	VBATWIO2出力RTCアラーム信号許可	0: RTCアラーム信号によるVBATTウェイクアップ入出力2の出カトリガを禁止 1: RTCアラーム信号によるVBATTウェイクアップ入出力2の出カトリガを許可	R/W
b5	CH2VAGTUTE	VBATWIO2出力AGTアンダーフロー信号許可	0: AGT1アンダーフロー信号によるVBATTウェイクアップ入出力2の出カトリガを禁止 1: AGT1アンダーフロー信号によるVBATTウェイクアップ入出力2の出カトリガを許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTWCH2OTSR レジスタは、VBATT ウェイクアップ入出力2の出カトリガ要因を制御するレジスタです。

このレジスタのビットを1にして、VBTWFR レジスタの対応するウェイクアップトリガフラグを設定すると、VBATWIO2端子の出力信号は、VBTOCTLR レジスタのVOUT2LSELビットに従います。

VBTWCH2OTSR レジスタはVBATT\_POR信号によって初期化されます。

## 12.2.11 VBATT 入力コントロールレジスタ (VBTICTLR)

アドレス SYSTEM.VBTICTLR 4001 E4BBh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	VCH2INEN	VCH1INEN	VCH0INEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCH0INEN	VBATT ウェイクアップ入出力0入力許可	0 : VBATWIO0、RTCIC0、AGTIO0_B、および AGTIO1_B の入力を禁止 1 : VBATWIO0、RTCIC0、AGTIO0_B、および AGTIO1_B の入力を許可	R/W
b1	VCH1INEN	VBATT ウェイクアップ入出力1入力許可	0 : VBATWIO1、RTCIC1、AGTIO0_C、および AGTIO1_C の入力を禁止 1 : VBATWIO1、RTCIC1、AGTIO0_C、および AGTIO1_C の入力を許可	R/W
b2	VCH2INEN	VBATT ウェイクアップ入出力2入力許可	0 : VBATWIO2 および RTCIC2 の入力を禁止 1 : VBATWIO2 および RTCIC2 の入力を許可	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTICTLR レジスタは、VBATT ウェイクアップ入出力端子の入力方向を選択するレジスタです。VBTICTLR レジスタは VBATT\_POR 信号によってリセットされます。

## VCHnINEN ビット (VBATT ウェイクアップ入出力 n 入力許可) (n = 0 ~ 2)

VBATT ウェイクアップ入出力端子の入力を許可します。VBATT ウェイクアップコントロール機能だけでなく、AGT (AGTIO0\_B、AGTIO0\_C、AGTIO1\_B、AGTIO1\_C) の外部イベント入力機能と、RTC (RTCICn (n = 0 ~ 2)) の時間キャプチャ機能を使用する場合も、VBTICTLR レジスタを設定する必要があります。AGT の外部イベント入力を許可するには、AGTn.AGTIOSEL.TIES ビットも 1 にする必要があります。これらの機能については、「24. 非同期汎用タイマ (AGT)」、および「25. リアルタイムクロック (RTC)」を参照してください。

## 12.2.12 VBATT 出力コントロールレジスタ (VBTOCTLR)

アドレス SYSTEM.VBTOCTLR 4001 E4BCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	VOUT2 LSEL	VOUT1 LSEL	VOUT0 LSEL	VCH2O EN	VCH1O EN	VCH0O EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCH0OEN	VBATT ウェイクアップ入出力0 出力許可	0 : VBATWIO0の出力を禁止 1 : VBATWIO0の出力を許可 (注1) (注2)	R/W
b1	VCH1OEN	VBATT ウェイクアップ入出力1 出力許可	0 : VBATWIO1の出力を禁止 1 : VBATWIO1の出力を許可 (注1) (注2)	R/W
b2	VCH2OEN	VBATT ウェイクアップ入出力2 出力許可	0 : VBATWIO2の出力を禁止 1 : VBATWIO2の出力を許可 (注1) (注2)	R/W
b3	VOUT0LSEL	VBATT ウェイクアップ入出力0 出力レベル選択	0 : VBATT ウェイクアップトリガ前にLを出力 1 : VBATT ウェイクアップトリガ前にHを出力	R/W
b4	VOUT1LSEL	VBATT ウェイクアップ入出力1 出力レベル選択	0 : VBATT ウェイクアップトリガ前にLを出力 1 : VBATT ウェイクアップトリガ前にHを出力	R/W
b5	VOUT2LSEL	VBATT ウェイクアップ入出力2 出力レベル選択	0 : VBATT ウェイクアップトリガ前にLを出力 1 : VBATT ウェイクアップトリガ前にHを出力	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTOCTLR レジスタは、VBATT ウェイクアップ入出力端子 (VBATWIO<sub>n</sub> (n=0~2)) の出力方向と出力レベルを選択するレジスタです。VBTOCTLR レジスタは VBATT\_POR 信号によってリセットされます。

VCH<sub>n</sub>OEN ビット (VBATT ウェイクアップ入出力 n 出力許可) (n = 0 ~ 2)

VBATT 出力を許可します。

- 注 1. 出力端子として設定できるのは、これらの入出力端子のうち1つだけです。そのため、これらのビットのうち2つは、0にする必要があります。
- 注 2. VCH0OEN ビットを1にした場合、P402PFS.PMR ビットは0にする必要があります。  
VCH1OEN ビットを1にした場合、P403PFS.PMR ビットは0にする必要があります。  
VCH2OEN ビットを1にした場合、P404PFS.PMR ビットは0にする必要があります。

VOUT<sub>n</sub>LSEL ビット (VBATT ウェイクアップ入出力 n 出力レベル選択) (n = 0 ~ 2)

VBATT ウェイクアップ入出力 n 端子からの出力レベルを選択します。VOUT<sub>n</sub>LSEL ビットを0にした場合、VBATWIO<sub>n</sub> 端子は、VBATT ウェイクアップトリガ受信前は Low を出力し、VBATT ウェイクアップトリガ受信後は High を出力します。VOUT<sub>n</sub>LSEL ビットを1にした場合、VBATWIO<sub>n</sub> 端子は、VBATT ウェイクアップトリガ受信前は High を出力し、VBATT ウェイクアップトリガ受信後は Low を出力します。



## 12.2.13 VBATT ウェイクアップトリガ要因イネーブルレジスタ (VBTWTER)

アドレス SYSTEM.VBTWTER 4001 E4BDh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	VAGTUE	VRTCAE	VRTCIE	VCH2E	VCH1E	VCH0E
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCH0E	VBATWIO0端子許可	0: VBATWIO0端子によるVBATTウェイクアップトリガを禁止 1: VBATWIO0端子によるVBATTウェイクアップトリガを許可	R/W
b1	VCH1E	VBATWIO1端子許可	0: VBATWIO1端子によるVBATTウェイクアップトリガを禁止 1: VBATWIO1端子によるVBATTウェイクアップトリガを許可	R/W
b2	VCH2E	VBATWIO2端子許可	0: VBATWIO2端子によるVBATTウェイクアップトリガを禁止 1: VBATWIO2端子によるVBATTウェイクアップトリガを許可	R/W
b3	VRTCIE	RTC周期信号許可	0: RTC周期信号によるVBATTウェイクアップトリガを禁止 1: RTC周期信号によるVBATTウェイクアップトリガを許可	R/W
b4	VRTCAE	RTCアラーム信号許可	0: RTCアラーム信号によるVBATTウェイクアップトリガを禁止 1: RTCアラーム信号によるVBATTウェイクアップトリガを許可	R/W
b5	VAGTUE	AGT1アンダーフロー信号許可	0: AGT1アンダーフロー信号によるVBATTウェイクアップトリガを禁止 1: AGT1アンダーフロー信号によるVBATTウェイクアップトリガを許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTWTER レジスタは、VBATT ウェイクアップトリガの許可/禁止を制御します。VBTWTER レジスタはVBATT\_POR 信号によってリセットされます。

複数のトリガ要因の選択が可能です。

## 12.2.14 VBATT ウェイクアップトリガ要因エッジレジスタ (VBTWEGR)

アドレス SYSTEM.VBTWEGR 4001 E4BEh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	VCH2EG	VCH1EG	VCH0EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCH0EG	VBATWIO0ウェイクアップトリガ要因エッジ選択	0: 立ち下がリエッジでウェイクアップトリガを発生 1: 立ち上がリエッジでウェイクアップトリガを発生	R/W
b1	VCH1EG	VBATWIO1ウェイクアップトリガ要因エッジ選択	0: 立ち下がリエッジでウェイクアップトリガを発生 1: 立ち上がリエッジでウェイクアップトリガを発生	R/W
b2	VCH2EG	VBATWIO2ウェイクアップトリガ要因エッジ選択	0: 立ち下がリエッジでウェイクアップトリガを発生 1: 立ち上がリエッジでウェイクアップトリガを発生	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTWEGR レジスタは、各 VBATT ウェイクアップトリガ要因のエッジを選択するレジスタです。VBTWEGR レジスタは VBATT\_POR 信号によってリセットされます。

## 12.2.15 VBATT ウェイクアップトリガ要因フラグレジスタ (VBTWFR)

アドレス SYSTEM.VBTWFR 4001 E4BFh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	VAGTU F	VRTCA F	VRTCI F	VCH2F	VCH1F	VCH0F
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCH0F	VBATWIO0ウェイクアップトリガフラグ	0: VBATWIO0端子によるウェイクアップトリガの発生なし 1: VBATWIO0端子によるウェイクアップトリガの発生あり	R/(W) (注1)
b1	VCH1F	VBATWIO1ウェイクアップトリガフラグ	0: VBATWIO1端子によるウェイクアップトリガの発生なし 1: VBATWIO1端子によるウェイクアップトリガの発生あり	R/(W) (注1)
b2	VCH2F	VBATWIO2ウェイクアップトリガフラグ	0: VBATWIO2端子によるウェイクアップトリガの発生なし 1: VBATWIO2端子によるウェイクアップトリガの発生あり	R/(W) (注1)
b3	VRTCIF	VBATT RTC周期ウェイクアップトリガフラグ	0: RTC周期信号によるウェイクアップトリガの発生なし 1: RTC周期信号によるウェイクアップトリガの発生あり	R/(W) (注1)
b4	VRTCAF	VBATT RTCアラームウェイクアップトリガフラグ	0: RTCアラーム信号によるウェイクアップトリガの発生なし 1: RTCアラーム信号によるウェイクアップトリガの発生あり	R/(W) (注1)
b5	VAGTUF	VBATT AGT1アンダーフローウェイクアップトリガフラグ	0: AGT1アンダーフローによるウェイクアップトリガの発生なし 1: AGT1アンダーフローによるウェイクアップトリガの発生あり	R/(W) (注1)
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. フラグをクリアするため、1を読んだ後に0を書き込むことのみ可能です。

VBTWFR レジスタは、VBATT ウェイクアップコントロール機能のトリガ要因を示します。このレジスタは、VWEN ビット (VBTWCTLR レジスタ) で保護されています。VBTWFR レジスタは、VWEN ビットに1を書いた後、PCLKB が5サイクル経過すると有効になります。同様に VBTWFR レジスタを無効にする場合も、VWEN ビットに0を書いた後、PCLKB の5サイクルを必要とします。

それぞれのフラグは、VBTWEGR レジスタで設定したトリガ要求が発生したときに1になります。

VBTWFR レジスタは VBATT\_POR によって初期化されます。

#### VCHnF フラグ (VBATT ウェイクアップ入出力 n ウェイクアップトリガフラグ) (n = 0 ~ 2)

VBATWIO<sub>n</sub> 端子によるトリガ要求が発生したことを示します。

[1になる条件]

- VBTWEGR レジスタで設定した VBATWIO<sub>n</sub> 端子によるトリガ要求が発生したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

**VRTCIF フラグ (VBATT RTC 周期ウェイクアップトリガフラグ)**

RTC 周期信号によるトリガ要求が発生したことを示します。

[1 になる条件]

- RTC 周期信号による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

**VRTCAF フラグ (VBATT RTC アラームウェイクアップトリガフラグ)**

RTC アラーム信号によるトリガ要求が発生したことを示します。

[1 になる条件]

- RTC アラーム信号による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

**VAGTUF フラグ (VBATT AGT1 アンダーフローウェイクアップトリガフラグ)**

AGT 信号によるトリガ要求が発生したことを示します。

[1 になる条件]

- AGT1 アンダーフロー信号による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

参考資料

## 12.3 動作説明

### 12.3.1 バッテリバックアップ機能

VCC 端子の電圧が低下したとき、RTC、AGT、LOCO、およびサブクロック発振器には VBATT 端子から電源が供給されます。VCC 端子の電圧降下を検出されると、電源との接続は VBATT 端子に切り替わります。また、VCC 端子の電圧が VDET<sub>BATT</sub> を超えると、VCC 端子からの電源供給に戻ります。電源の切り替わりは RTC の動作に影響を与えません。VBATT 端子の電圧レベルが動作保証電圧よりも低下した場合、VBATT ステータスレジスタの VBTBLDF ビットをモニタすることが可能です。

バッテリバックアップ機能は、電圧監視 0 リセットを許可に設定した上で使用可能です。

VBATT 端子が電源を供給しているとき、ウェイクアップコントロール機能によって、RTC アラーム/周期信号、AGT1 アンダーフロー信号、または VBATWIO<sub>n</sub> (n=0~2) 入力信号のアサートをトリガとして、VBATWIO<sub>n</sub> (n=0~2) の出力端子をトグルさせることができます。

RTC は、耐タンパ端子の入力レベルが変化したときのタンパ端子検出をサポートしています。

VBATT 端子からは、以下のモジュールに電力が供給されます。

- RTC
- AGT0 および AGT1
- サブクロック発振器 (XCIN、XCOUT 端子を含む)
- VBATWIO<sub>n</sub> 端子 (RTCIC<sub>n</sub>、AGTIO<sub>m\_B</sub>、AGTIO<sub>m\_C</sub> を含む) (n=0~2、m=0,1)
- LOCO
- VBATT バックアップレジスタ
- VBATT ウェイクアップコントローラ

表 12.2 に、VBATT モード時の動作状態を示します。

表 12.2 VBATT モード時の動作状態 (1/2)

動作状態	VBATT モード
遷移条件	VCC 電圧降下の検出
リセット以外の解除方法	VCC 電圧上昇の検出
メインクロック発振器	停止
サブクロック発振器	動作は SOSCCR.SOSTP ビットで選択可能。発振器の状態は VBATT モード遷移前と同じ。
高速オンチップオシレータ	停止
中速オンチップオシレータ	停止
低速オンチップオシレータ	動作
IWDT 専用オンチップオシレータ	停止
PLL	停止
CPU	停止 (不定)
SRAM (ECC SRAM を含む)	停止 (不定)
VBATT バックアップレジスタ	動作
フラッシュメモリ	停止 (保持)
リアルタイムクロック (RTC)	選択クロックがカウントソースとして動作しているときに選択可能。
AGT <sub>n</sub> (n=0,1)	選択クロックがカウントソースとして動作しているときに選択可能。ノイズフィルタなしのイベントカウントモードが使用可能。
低電圧検出 (LVD)	停止
パワーオンリセット回路	停止
バッテリバックアップ電圧監視	動作

表 12.2 VBATTモード時の動作状態 (2/2)

動作状態	VBATTモード
その他の周辺モジュール	停止 (不定)
I/Oポート	<ul style="list-style-type: none"> <li>• AGTIO<sub>n</sub>_Bポート (n = 0, 1) : 動作 (入力)</li> <li>• AGTIO<sub>n</sub>_Cポート (n = 0, 1) : 動作 (入力)</li> <li>• RTCIC<sub>n</sub>ポート (n = 0~2) : 動作</li> <li>• 指定ポート以外 : 不定</li> <li>• VBATWIO<sub>n</sub>ポート (n = 0~2) : 動作</li> </ul>

注. 「選択可能」とは、動作がコントロールレジスタによって選択できることを意味します。モジュールによっては、対応するモジュールストップビットで制御できるものもあります。  
「停止 (保持)」とは、内部レジスタの内容は保持されますが、動作は中断されることを意味します。  
「停止 (不定)」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。

図 12.3 に、バッテリバックアップ機能の切り替え順序を示します。

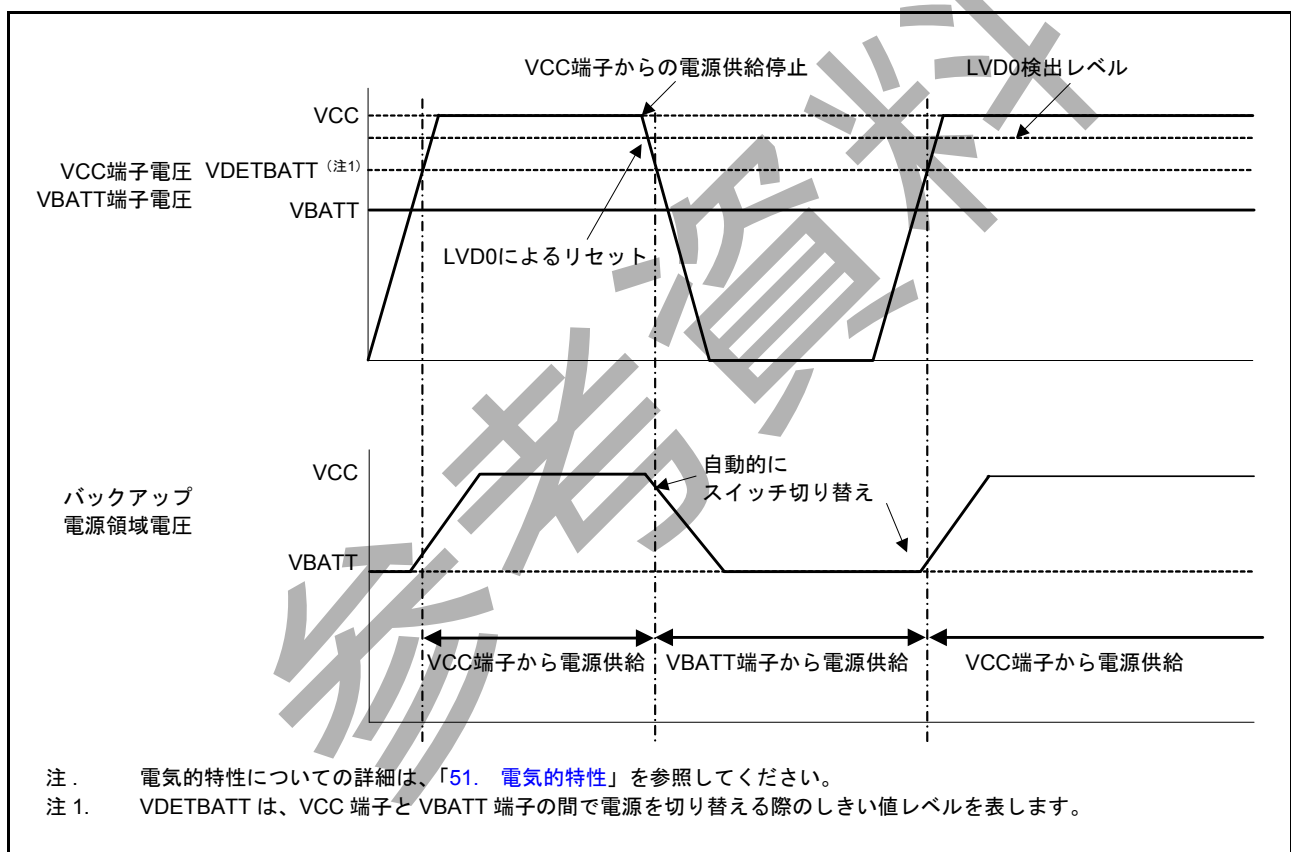


図 12.3 バッテリバックアップ機能の切り替え順序

### 12.3.2 VBATT バッテリ電源スイッチの使用法

VCC 端子の印加電圧が低下すると、バッテリ電源スイッチによって、電源が VCC 端子から VBATT 端子に切り替わります。そして電圧が上昇すると、再び VBATT 端子から VCC 端子へ切り替わります。この切り替えは VBTCR1.BPWSWSTP ビットで制御されます。

BPWSWSTP ビットでバッテリ電源スイッチを有効にすると、VCC 電圧が低下した際に、バッテリバックアップモジュールの供給電圧を VCC から VBATT へ切り替えることができます。停止にすると、バッテリバックアップモジュールの電源は常に VCC から供給されます。バッテリバックアップ機能を使用しない場合は、このビットに 1 を書き込む必要があります。

注． バッテリバックアップ機能は、電圧監視 0 リセットを許可 (OFS1.LVDAS ビットを 0) に設定した上で使用可能です。電圧監視 0 レベルは、VBATT 切り替えレベルよりも高い値 (OFS1.VDSEL1[2:0] ビットを 000b、001b、または 010b) に設定してください。

注． このビットは、VBATTSR.VBTRVLD ビットの状態を確認することなく設定可能です。

### 12.3.3 VBATT 端子低電圧検出の手順

以下の設定を行うと、VBTSR.VBTBLDF フラグと割り込みを用いた VBATT 端子の低電圧検出のモニタが可能になります。

1. 電圧監視 0 リセットを設定します。「8. 低電圧検出 (LVD)」を参照してください。
2. パワーオンリセット後、VBTCR1.BPWSWSTP ビットに初めてアクセスする場合は、このビットを 1 にします。
3. VBTSR.VBTRVLD ビットが 1 になるまで待つてから、VBTCR2.VBTLVDEN、VBTLVDICR.VBTLVDIE、および VBTCMPCR.VBTCMPE の各ビットが 0 であることを確認します。
4. VBTCR2.VBTLVDLVL[1:0] ビットの設定 (VBATT 端子電圧検出レベル選択) によって検出電圧を指定します。
5. VBTLVDICR.VBTLVDISEL ビットで割り込みの種類を選択します。
6. VBTCR2.VBTLVDEN ビットを 1 にして、VBATT 端子の低電圧検出を有効にします。
7. 「51. 電気的特性」に記載されているように、VBATT コンパレータ動作安定時間 ( $t_{d\_vbat}$ ) 経過後に、VBTCMPCR.VBTCMPE ビットを 1 にして、VBATT 端子の電圧検出回路を有効にします。
8. VBTSR.VBTBLDF フラグが 0 であることを確認した後、VBTLVDICR.VBTLVDIE ビットを 1 にして、VBATT 端子の低電圧検出割り込みを許可します。
9. VBTCR1.BPWSWSTP ビットを 0 にクリアして、バッテリ電源スイッチを有効にします。12.3.2 [VBATT バッテリ電源スイッチの使用法](#)を参照してください。

VBATT の低電圧が検出された場合は、[図 12.4](#) に示すように、VBATT の低電圧検出を無効にしてください。

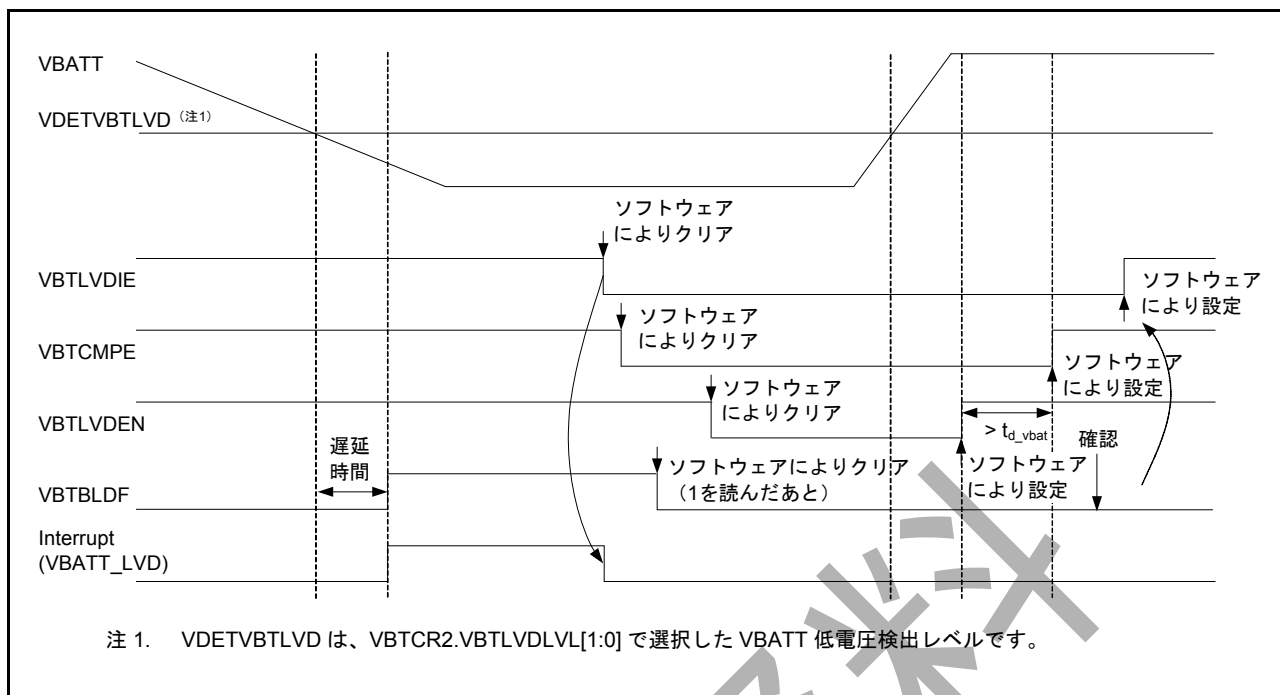


図 12.4 VBATT 低電圧検出割り込みの基本動作

以下の手順は、VBATT 端子の低電圧検出を無効にする方法を示しています。

1. VBTSR.VBTRVLD ビットが 1 であることを確認します。
2. VBTLVDICR.VBTLVDIE ビットを 0 にして、電圧検出割り込みを禁止します。
3. VBTCMPCR.VBTCMPE ビットを 0 にして、VBATT 端子の電圧検出回路を無効にします。
4. VBTCR2.VBTLVDEN ビットを 0 にして、VBATT 端子の低電圧検出を無効にします。
5. VBTCR2.VBTLVDEN、VBTCMPCR.VBTCMPE、および VBTLVDICR.VBTLVDIE 以外の、VBATT 端子低電圧検出レジスタに関連するビットの設定を変更します。

### 12.3.4 VBATT バックアップレジスタの使用法

VBATT バックアップレジスタ VBTKR[n] (n=0~511) を使用して、以下の手順に示すように、データの格納/復元が可能です。

1. パワーオンリセット後、VBTCR1.BPWSWSTP ビットに初めてアクセスする場合は、このビットを 1 にします。
2. VBTSR.VBTRVLD ビットが 1 になるのを待ちます。
3. VBTKR[n] (n=0~511) に対して 8 ビット単位で読み出し/書き込みが可能になります。
4. VBTCR1.BPWSWSTP ビットを 0 にクリアして、バッテリー電源スイッチを有効にします。12.3.2 VBATT バッテリ電源スイッチの使用法を参照してください。



### 12.3.5 VBATT ウェイクアップコントロール機能の使用法

VBATT ウェイクアップコントロール機能とは、VBATT 端子による VBATT\_R 供給時に、RTC アラーム/周期信号、AGT1 アンダーフロー信号、または VBATWIO<sub>n</sub> (n=0~2) 入力信号がアサートされた場合、VBATWIO<sub>n</sub> (n=0~2) 出力端子のトグル動作を可能にする機能です。

注. このウェイクアップコントロール機能によるトグル動作では、ICU での割り込み、およびリセット対象モジュールへのリセットは発生しません。

図 12.5 に、VBATT ウェイクアップコントロール機能の使用例を示します。この例では、VBATWIO0 ポートをウェイクアップ出力ポート、AGTIO1\_C ポートを外部パルス入力ポート、RTCIC2 ポートを外部タンパ入力キャプチャポート、および VBATWIO2 ポートを外部タンパ入力トリガポートとして使用しています。VBATWIO0 出力のトグル動作では、トリガ対象がアサートされたとき、Low から High への切り替えを行います。ウェイクアップコントロール機能に対するトリガ要因は、AGT1 タイマアンダーフロー信号、RTC 周期信号、または VBATWIO2 入力の立ち上がりエッジです。

VBATT ウェイクアップコントロール機能を設定するには、以下の手順に従ってください。

1. パワーオンリセット後、VBTCR1.BPWSWSTP ビットに初めてアクセスする場合は、このビットを 1 にします。
2. VBTSR.VBTRVLD ビットが 1 になるのを待ちます。その後、VBTWCTLR.VWEN ビットと VBTSR.VBTRDF ビットが 0 であることを確認します。これらのビットが 0 でなければ、0 にクリアします。
3. VBTICTLR.VCH<sub>n</sub>INEN ビットと VBTOCTLR.VCH<sub>n</sub>OEN ビットによって、VBATWIO<sub>n</sub> ポートの方向を指定し、VBTOCTLR.VOUT<sub>n</sub>LSEL ビットを 0 または 1 にして、出力レベルを選択します (n=0~2)。この例では、VBATWIO2/RTCIC2 ポートを耐タンパ入力、VBATWIO0 ポートをウェイクアップ出力ポート、そして VBATWIO1 ポートを外部パルス入力ポートとして使用しています。下記のビットを 1 にしてください。
  - VBTOCTLR.VCH0OEN
  - VBTICTLR.VCH1INEN
  - VBTICTLR.VCH2INEN

さらに、VBTOCTLR.VOUT0LSEL ビットを 0 にして、Low から High へのトグル出力としてください。
4. 必要に応じて、周辺モジュールを設定します。この例では、RTC の設定で、耐タンパ設定に時間キャプチャ機能を指定します。詳細は、「[25. リアルタイムクロック \(RTC\)](#)」を参照してください。次に AGT タイマを設定します。詳細は、「[24. 非同期汎用タイマ \(AGT\)](#)」を参照してください。
5. VBTWTER レジスタでウェイクアップトリガ要因を選択します。この例では、VBTWTER.VAGTUE、VBTWTER.VRTCIE、VBTWTER.VCH2E の各ビットを 1 にして、トリガ要因を、AGT1 アンダーフロー信号、RTC 周期信号、および VBATWIO2 入力トリガに選択します。
6. VBTWEGR レジスタでウェイクアップトリガ要因のエッジを選択します。たとえば、VBTWEGR.VCH2EG ビットを 1 にして、VBATWIO2 ポートを立ち上がりエッジトリガとして選択します。
7. VBTWCH<sub>n</sub>OTSR レジスタ (n=0~2) で、VBATT ウェイクアップ出力のトリガ要因を選択します。この例では、VBTWCH0OTSR.CH0VAGTUTE、VBTWCH0OTSR.CH0VRTCTE、VBTWCH0OTSR.CH0VCH2TE の各ビットを 1 にします。
8. VBTWCTLR.VWEN ビットを 1 にして、VBATT ウェイクアップコントロール機能を有効にした後、VBTCR1.BPWSWSTP ビットを 0 にして、バッテリー電源スイッチを有効にします。VBTWCTLR.VWEN ビットを 1 にすると、VBATT ウェイクアップコントロール機能が有効になります。
9. 電源供給の停止要求に対して I/O レジスタが外付けパワーマネジメント IC へ 0 または 1 を出力するように設定します。電源供給の停止後、AGT1 アンダーフロー信号、RTC 周期信号、または VBATWIO2

入力トリガがアサートされると、各イベントの VBATT ウェイクアップトリガ要因フラグ (VBTWFR.VAGTF、VBTWFR.VRTCIF、または VBTWFR.VCH2F) が 1 になり、VBATWIO0 ポートのトグル出力が Low から High に切り替わります。その結果、MCU に電源が供給され、低電圧監視 0 リセット (LVD0) 以降に MCU が起動します。この例では、外付けパワーマネジメント IC は、VCC 端子から給電される I/O ポート上で正方向変化を検出したときに電源供給を停止します。また、VBATWIO0 ポート上で正方向変化を検出したときに電源供給を開始します。

VBATT ウェイクアップ機能のタイミング図を図 12.6 に示します。

以下の手順は、VBATT ウェイクアップトリガによって、低電圧監視 0 リセット (LVD0) 以降に MCU が起動した後のレジスタの設定方法を示しています。

1. VBTCCR1.BPWSWSTP ビットを 1 にします。
2. VBTSR.VBTRVLD ビットが 1 になるまで待つてから、VBTSR.VBTRDF ビットが 0 であることを確認します。
3. VBTWFR レジスタを読み出して、VBATT ウェイクアップトリガ要因を確認します。図 12.6 の例では、VBTWFR.VRTCIF ビットが 1 になります。
4. VBTWFR レジスタの対応するビットを 0 にクリアすると、VBATWIO<sub>n</sub> ポート (n=0~2) でトグル出力が開始されます。図 12.6 の例では、VBATWIO0 ポートは High から Low にトグルします。
5. 必要に応じて、I/O レジスタが外付けパワーマネジメント IC へ 0 または 1 を出力するように設定します。
6. VBATT ウェイクアップ動作を繰り返したい場合は、VBTCCR1.BPWSWSTP ビットを 0 にクリアし、再度、電源供給の停止要求に対して I/O レジスタが外付けパワーマネジメント IC へ 0 または 1 を出力するように設定します。  
ウェイクアップトリガ条件を変更したい場合は、VBTWCTLR.VWEN ビットを 0 にクリアし、VBATT に関連する他のレジスタを設定する前に、VBTWTER レジスタの全ビットをクリアします。

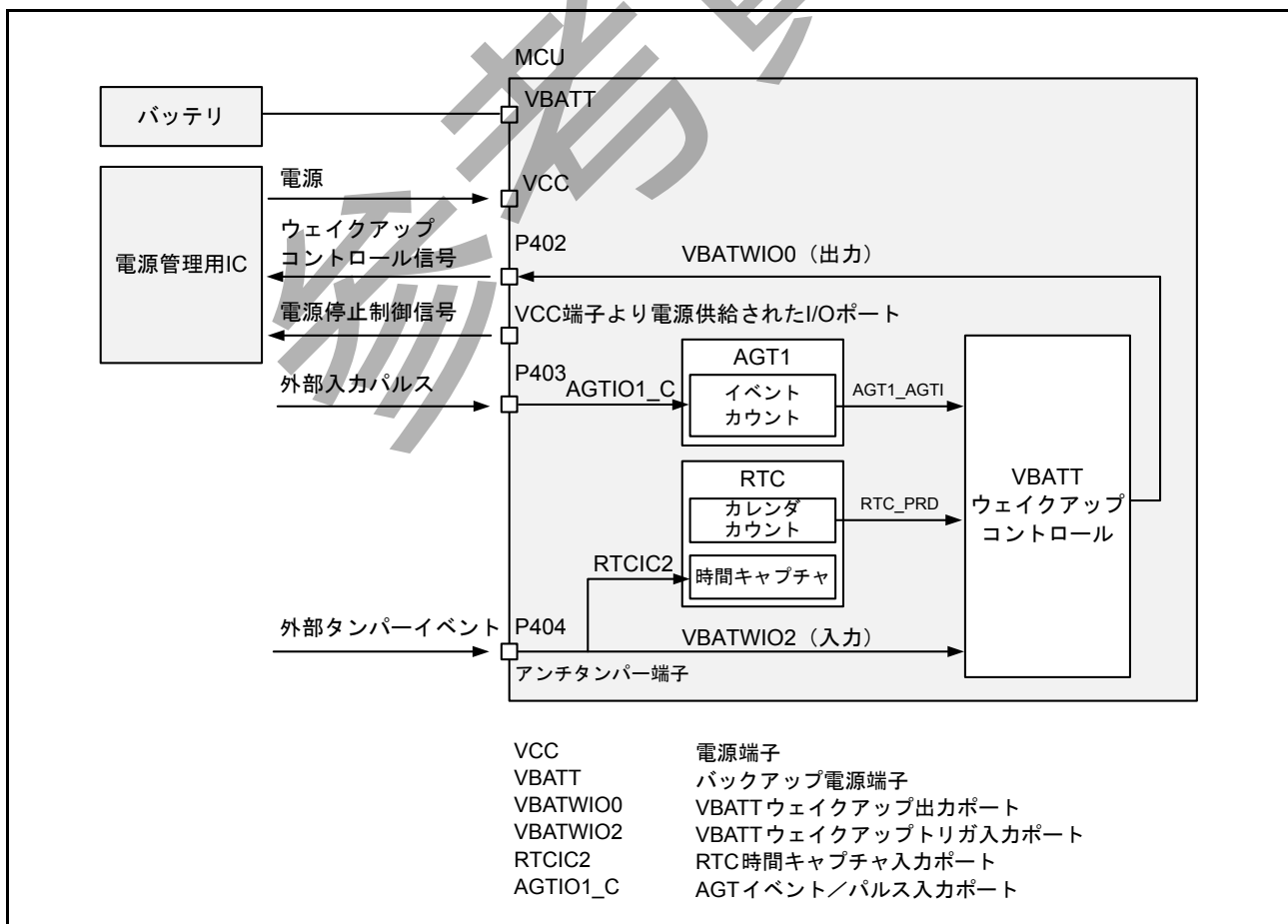


図 12.5 VBATT ウェイクアップコントロール機能の応用例

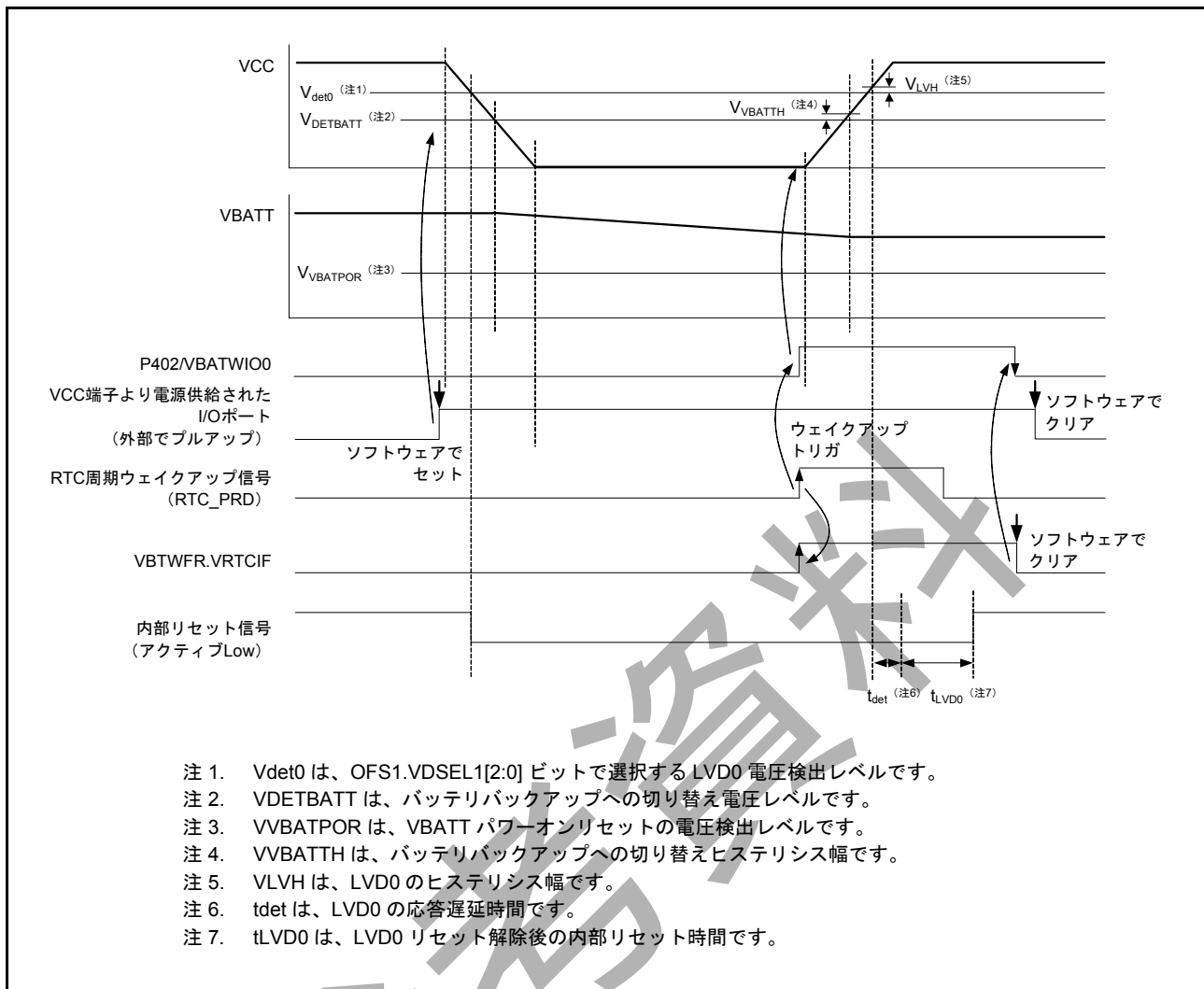


図 12.6 VBATT ウェイクアップ機能のタイミング図

## 12.4 使用上の注意事項

1. VBATT 端子を使用しない場合は、VBATT 端子を VCC 端子に接続してください。
2. VBATT の電圧レベルが動作保証範囲を下回ったときは、サブクロック発振器と RTC の動作は保証されません。この電圧降下は VBTSR レジスタで確認できます。
3. RTC のレジスタへの書き込みは、VCC 端子から電源が供給されているときに実施する必要があります。
4. VBATT 端子からの給電によって RTC が動作しているとき、RTC は、カレンダー／バイナリカウント動作、VBATT ウェイクアップ機能のためのアラーム／周期トリガ、および時間キャプチャ機能をサポートします。
5. VBATT ウェイクアップコントロール機能は、VBATT 端子による VBATT\_R 供給時にのみ使用可能です。
6. ソフトウェアスタンバイモードを必要とするシステムが、VBATT バックアップレジスタにアクセスする場合、常に LOCO を起動しておく必要があります。LOCOCR.LCSTP ビットは 0 (LOCO 動作) にしなければいけません。
7. VCC 端子から給電される I/O ポートの電圧レベルは、電源供給が停止するとハイインピーダンスに変化します。これらのポートを VBATT ウェイクアップ機能のための電源停止コントロール端子として使用する場合は、これらのポートは外部でプルアップまたはプルダウンしてください。

参考資料

## 13. レジスタライトプロテクション

### 13.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護されるレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 13.1 に PRCR レジスタのビットと保護されるレジスタの対応関係を示します。

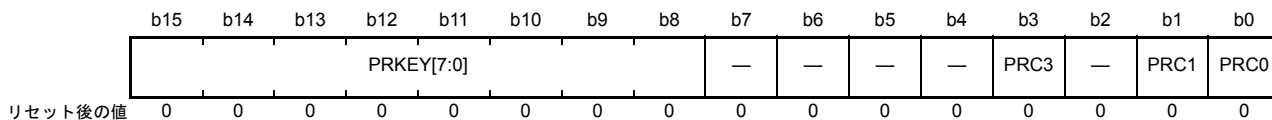
表 13.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> <li>クロック発生回路関連レジスタ SCKDIVCR, SCKSCR, PLLCR, PLLCCR2, BCKCR, MEMWAIT, MOSCCR, HOCOCCR, MOCOCCR, CKOCCR, TRCKCR, OSTDCR, OSTDSR, SLCDSCCKCR, EBCKOCCR, MOCOOUTCR, HOCOOUTCR, MOSCWTCR, MOMCR, SOSCCR, SOMCR, LOCOCCR, LOCOOUTCR, HOCOWTCR</li> </ul>
PRC1 ビット	<ul style="list-style-type: none"> <li>低消費電力モード関連レジスタ SBYCR, SNZCR, SNZEDCR, SNZREQCR, FLSTOP, PSMCR, OPCCR, SOPCCR, SYOCDRCR</li> <li>バッテリーバックアップ機能関連レジスタ VBTCR1, VBTCR2, VBTSR, VBTCMPPCR, VBTLVDICR, VBTWCTLR, VBTWCH0OTSR, VBTWCH1OTSR, VBTWCH2OTSR, VBTICTLR, VBTIOCTLR, VBTWTER, VBTWEGR, VBTWFR, VBTBKR[n] (n = 0 ~ 511)</li> </ul>
PRC3 ビット	<ul style="list-style-type: none"> <li>LVD 関連レジスタ LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVCMPPCR, LVDLVLR, LVD1CR0, LVD2CR0</li> </ul>

## 13.2 レジスタの説明

### 13.2.1 プロテクトレジスタ (PRCR)

アドレス SYSTEM.PRCR 4001 E3FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	低消費電力モードおよびバッテリバックアップ機能関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	PRCキーコード	PRCRレジスタへの書き込みを制御します。PRCRレジスタを書き換える場合、上位8ビットにA5h、下位8ビットに目的の値を、16ビット単位で書いてください。	W (注1)

注1. 書き込みデータは保持されません。読むと 00h が読めます。

#### PRCn ビット (プロテクトビット n) (n = 0, 1, 3)

保護されるレジスタ (表 13.1 を参照) への書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可、0 にすると書き込み禁止になります。

## 14. 割り込みコントローラユニット (ICU)

### 14.1 概要

割り込みコントローラユニット (ICU) は、NVIC、DTC、およびDMAC モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。表 14.1 に ICU の仕様を示します。

表 14.1 ICU の仕様

項目	内容	
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> <li>周辺モジュールからの割り込み 要因数：205 (イベントリスト番号 32～458 から要因を選択)</li> </ul>
	外部端子割り込み	<ul style="list-style-type: none"> <li>割り込み検出：Low レベル<sup>(注4)</sup>、立ち下がリエッジ、立ち上がりエッジ、または両エッジ これらの検出法は要因ごとに1つ設定可能</li> <li>デジタルフィルタ機能をサポート</li> <li>16 要因 (IRQ0～IRQ15 端子からの割り込み)</li> </ul>
	DTC/DMAC 制御	割り込み要因によって DTC と DMAC の起動が可能 <sup>(注1)</sup>
	NVIC への割り込み要因	<ul style="list-style-type: none"> <li>64 要因</li> </ul>
ノンマスクابل割り込み <sup>(注2)</sup>	NMI 端子割り込み	<ul style="list-style-type: none"> <li>NMI 端子からの割り込み</li> <li>割り込み検出：立ち下がリエッジまたは立ち上がりエッジ</li> <li>デジタルフィルタ機能をサポート</li> </ul>
	発振停止検出割り込み <sup>(注3)</sup>	メイン発振停止検出時の割り込み
	WDT アンダーフロー/リフレッシュエラー <sup>(注3)</sup>	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDT アンダーフロー/リフレッシュエラー <sup>(注3)</sup>	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	電圧監視1割り込み <sup>(注3)</sup>	低電圧検出1回路の電圧監視割り込み (LVD_LVD1)
	電圧監視2割り込み <sup>(注3)</sup>	低電圧検出2回路の電圧監視割り込み (LVD_LVD2)
	VBATT 割り込み	VBATT 監視による電圧監視割り込み
	RPEST	SRAM パリティエラー発生時の割り込み
	RECCST	SRAM ECC エラー発生時の割り込み
	BUSSST	MPU バススレーブエラー発生時の割り込み
	BUSMST	MPU バスマスタエラー発生時の割り込み
	SPEST	CPU スタックポインタモニタによる割り込み
低消費電力モードからの復帰	<ul style="list-style-type: none"> <li>スリープモード：ノンマスクابل割り込みまたはその他の割り込み要因によって復帰</li> <li>ソフトウェアスタンバイモード：ノンマスクابل割り込みによって復帰 割り込みは WUPEN レジスタで選択可能</li> <li>スヌーズモード：ノンマスクابل割り込みによって復帰 割り込みは SELSR0 および WUPEN レジスタで選択可能</li> </ul> <p>14.2.8 SYS イベントリンク設定レジスタ (SELSR0) および 14.2.9 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。</p>	

注 1. DTC と DMAC の起動要因については、表 14.4 イベントテーブルを参照してください。

注 2. リセット解除後に 1 回だけノンマスクابل割り込みを許可することができます。

注 3. これらのノンマスクابل割り込みは、イベント信号としても使用可能です。割り込みとして使用する場合、NMICR レジスタの値をリセット状態から変更しないでください。電圧監視 1 と電圧監視 2 の割り込みを許可するには、LVD1CR1.IRQSEL ビットと LVD2CR1.IRQSEL ビットを 1 にしてください。VBATT 監視割り込みを許可するには、VBTLVDICR.VBTLVDISEL ビットを 1 にしてください。

注 4. Low レベル：検出された後にクリアしなければ、割り込みは解除されません。

図 14.1 に ICU のブロック図を示します。

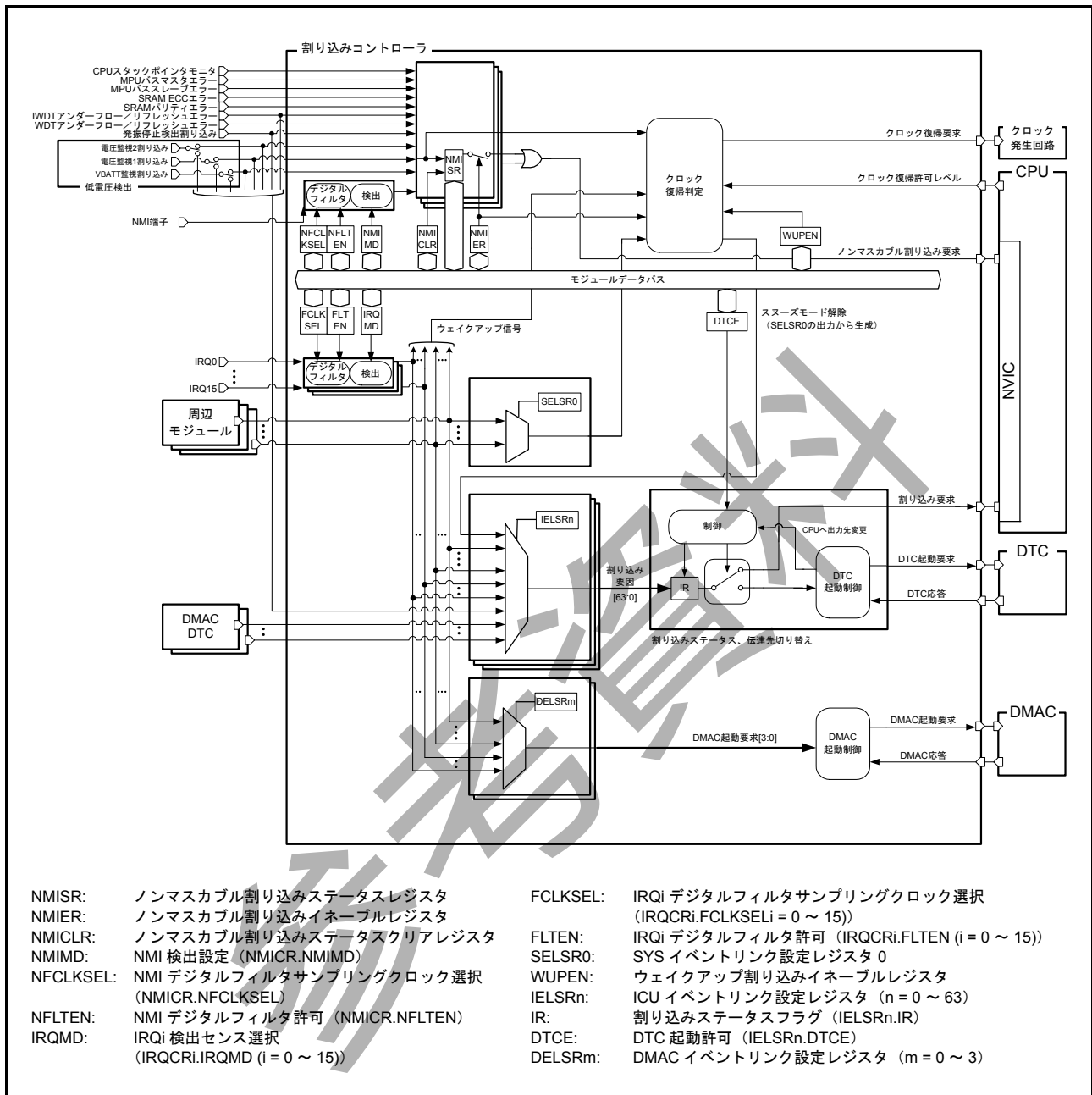


図 14.1 ICU のブロック図

表 14.2 に ICU の入出力端子を示します。

表 14.2 ICU の入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0 ~ IRQ15	入力	外部割り込み要求端子



## 14.2 レジスタの説明

本章では、ARM® NVIC の内部レジスタについては説明していません。これらのレジスタについては、*ARM Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D)* を参照してください。

### 14.2.1 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 15)

アドレス ICU.IRQCR0 4000 6000h, ICU.IRQCR1 4000 6001h, ICU.IRQCR2 4000 6002h, ICU.IRQCR3 4000 6003h, ICU.IRQCR4 4000 6004h, ICU.IRQCR5 4000 6005h, ICU.IRQCR6 4000 6006h, ICU.IRQCR7 4000 6007h, ICU.IRQCR8 4000 6008h, ICU.IRQCR9 4000 6009h, ICU.IRQCR10 4000 600Ah, ICU.IRQCR11 4000 600Bh, ICU.IRQCR12 4000 600Ch, ICU.IRQCR13 4000 600Dh, ICU.IRQCR14 4000 600Eh, ICU.IRQCR15 4000 600Fh

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN	—	FCLKSEL[1:0]	—	—	—	IRQMD[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IRQMD[1:0]	IRQi 検出センス選択	b1 b0 0 0: 立ち下がリエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ 1 1: Lowレベル	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリング クロック選択	b5 b4 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	FLTEN	IRQi デジタルフィルタ有効	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W

IRQCRi レジスタの変更には、以下の条件があります。

- CPU 割り込みまたは DTC 起動要因の場合：  
IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ (n = 0 ~ 63) を設定する必要があります。  
対象の IELSRn レジスタが 0000h の場合にのみ、レジスタ値の変更が可能です。
- DMAC 起動要因の場合：  
IRQCRi レジスタの設定を変更してから、対象の DELSRn (n = 0 ~ 3) レジスタを設定する必要があります。  
対象の DELSRn レジスタが 0000h の場合にのみ、レジスタ値の変更が可能です。
- ウェイクアップ許可信号の場合：  
IRQCRi レジスタの設定を変更してから、対象の WUPEN.IRQWUPENn ビット (n = 0 ~ 15) を設定する必要があります。  
対象の WUPEN.IRQWUPENn ビットが 0 の場合にのみ、レジスタ値の変更が可能です。

#### IRQMD[1:0] ビット (IRQi 検出センス選択)

IRQi 外部端子割り込み要因の検出センシング方法を設定します。設定値に関する詳細は、[14.4.4 外部端子割り込み](#)を参照してください。

**FCLKSEL[1:0] ビット (IRQi デジタルフィルタサンプリングクロック選択)**

IRQi 外部端子割り込み要求のデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB (毎サイクル)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細については、[14.4.3 デジタルフィルタ](#)を参照してください。

**FLTEN ビット (IRQi デジタルフィルタ有効)**

IRQi 外部端子割り込み要因に使用するデジタルフィルタを有効にします。デジタルフィルタは、IRQCRI.FLTEN ビットが 1 の場合に有効になり、IRQCRI.FLTEN ビットが 0 の場合に無効になります。IRQi 端子レベルは、IRQCRI.FCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、[14.4.3 デジタルフィルタ](#)を参照してください。

参考資料

## 14.2.2 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 4000 6140h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPEST	BUSMST	BUSST	RECCST	RPEST	NMIST	OSTST	—	VBATTST	LVD2ST	LVD1ST	WDTST	IWDTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTST	IWDT アンダーフロー/リフレッシュエラーステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b1	WDTST	WDT アンダーフロー/リフレッシュエラーステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b2	LVD1ST	電圧監視1 割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b3	LVD2ST	電圧監視2 割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b4	VBATTST	VBATT 監視割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b5	—	予約ビット	読むと0が読めます。	R
b6	OSTST	発振停止検出割り込みステータスフラグ	0: メイン発振停止検出割り込み要求なし 1: メイン発振停止検出割り込み要求あり	R
b7	NMIST	NMIステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b8	RPEST	SRAMパリティエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b9	RECCST	SRAM ECCエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b10	BUSST	MPUバススレーブエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b11	BUSMST	MPUバスマスタエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b12	SPEST	CPUスタックポインタモニタ割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b15-b13	—	予約ビット	読むと0が読めます。	R

NMISR レジスタは、ノンマスクابل割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスクابل割り込みイネーブルレジスタ (NMIER) の設定は、このレジスタのステータスフラグには影響しません。ノンマスクابل割り込みの処理ルーチンでは、このレジスタの全ビットが0になっていることをチェックして、他のNMI要求が発生していないことを確認してから、処理を終了してください。

**IWDTST フラグ (IWDT アンダーフロー/リフレッシュエラーステータスフラグ)**

IWDT アンダーフロー/リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1になる条件]

IWDT アンダーフロー/リフレッシュエラー割り込みが発生し、この割り込みが許可されているとき

[0になる条件]

NMICLR.IWDTCLR ビットに1を書いたとき

**WDTST フラグ (WDT アンダーフロー/リフレッシュエラーステータスフラグ)**

WDT アンダーフロー/リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

WDT アンダーフロー/リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.WDTCLR ビットに 1 を書いたとき

**LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)**

電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

[1 になる条件]

電圧監視 1 割り込みが発生し、この割り込みが許可されているとき

[0 になる条件]

NMICLR.LVD1CLR ビットに 1 を書いたとき

**LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)**

電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

[1 になる条件]

電圧監視 2 割り込みが発生し、この割り込みが許可されているとき

[0 になる条件]

NMICLR.LVD2CLR ビットに 1 を書いたとき

**VBATTST フラグ (VBATT 監視割り込みステータスフラグ)**

VBATT 監視割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.VBATTCLR ビットでクリアされます。

[1 になる条件]

VBATT 監視割り込みが発生したとき

[0 になる条件]

NMICLR.VBATTCLR ビットに 1 を書いたとき

**OSTST フラグ (発振停止検出割り込みステータスフラグ)**

メイン発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。

[1 になる条件]

発振停止検出割り込みが発生したとき

[0 になる条件]

NMICLR.OSTCLR ビットに 1 を書いたとき

**NMIST フラグ (NMI ステータスフラグ)**

NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMICLR ビットでクリアされます。

[1 になる条件]

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

NMICLR.NMICLR ビットに 1 を書いたとき

**RPEST フラグ (SRAM パリティエラー割り込みステータスフラグ)**

SRAM パリティエラー割り込み要求を示します。

[1 になる条件]

SRAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RPECLR ビットに 1 を書いたとき

**RECCST フラグ (SRAM ECC エラー割り込みステータスフラグ)**

SRAM ECC エラー割り込み要求を示します。

[1 になる条件]

SRAM ECC エラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RECCCLR ビットに 1 を書いたとき

**BUSSST フラグ (MPU バススレーブエラー割り込みステータスフラグ)**

バススレーブエラー割り込み要求を示します。

[1 になる条件]

バススレーブエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSSCLR ビットに 1 を書いたとき

**BUSMST フラグ (MPU バスマスタエラー割り込みステータスフラグ)**

バスマスタエラー割り込み要求を示します。

[1 になる条件]

バスマスタエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSMCLR ビットに 1 を書いたとき

**SPEST フラグ (CPU スタックポインタモニタ割り込みステータスフラグ)**

CPU スタックポインタモニタ割り込み要求を示します。

[1 になる条件]

CPU スタックポインタモニタにより、割り込みが発生したとき

[0 になる条件]

NMICLR.SPECLR ビットに 1 を書いたとき

## 14.2.3 ノンマスクابل割り込みイネーブルレジスタ (NMIER)

アドレス ICU.NMIER 4000 6120h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPEEN	BUSME N	BUSSE N	RECCE N	RPEEN	NMIEN	OSTEN	—	VBATT EN	LVD2E N	LVD1E N	WDTE N	IWDTE N
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTEN	IWDT アンダーフロー／リフレッシュエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b1	WDTEN	WDT アンダーフロー／リフレッシュエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b2	LVD1EN	電圧監視1割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b3	LVD2EN	電圧監視2割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b4	VBATTEN	VBATT 監視割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OSTEN	発振停止検出割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b7	NMIEN	NMI 端子割り込み許可	0: 禁止 1: 許可	R/(W) (注1)
b8	RPEEN	SRAM パリティエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b9	RECCEEN	SRAM ECC エラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b10	BUSSEN	MPU バススレーブエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b11	BUSMEN	MPU バスマスタエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b12	SPEEN	CPU スタックポインタモニタ割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後、1回だけ1を書き込むことができ、以後のライトアクセスは無効です。0の書き込みは無効です。

注2. イベント信号として使用する場合、1にしないでください。

**IWDTEN ビット (IWDT アンダーフロー／リフレッシュエラー割り込み許可)**

NMI の起動要因となる IWDT アンダーフロー／リフレッシュエラー割り込みを許可します。

**WDTEN ビット (WDT アンダーフロー／リフレッシュエラー割り込み許可)**

NMI の起動要因となる WDT アンダーフロー／リフレッシュエラー割り込みを許可します。

**LVD1EN ビット (電圧監視 1 割り込み許可)**

NMI の起動要因となる電圧監視 1 割り込みを許可します。

**LVD2EN ビット (電圧監視 2 割り込み許可)**

NMI の起動要因となる電圧監視 2 割り込みを許可します。

**VBATTEN ビット (VBATT 監視割り込み許可)**

NMI の起動要因となる VBATT 監視割り込みを許可します。

**OSTEN ビット (発振停止検出割り込み許可)**

NMI の起動要因となるメイン発振停止検出割り込みを許可します。

**NMIEN ビット (NMI 端子割り込み許可)**

NMI の起動要因となる NMI 端子割り込みを許可します。

**RPEEN ビット (SRAM パリティエラー割り込み許可)**

NMI の起動要因となる SRAM パリティエラー割り込みを許可します。

**RECCEN ビット (SRAM ECC エラー割り込み許可)**

NMI の起動要因となる SRAM ECC エラー割り込みを許可します。

**BUSSEN ビット (MPU バススレーブエラー割り込み許可)**

NMI の起動要因となるバススレーブエラー割り込みを許可します。

**BUSMEN ビット (MPU バスマスタエラー割り込み許可)**

NMI の起動要因となるバスマスタエラー割り込みを許可します。

**SPEEN ビット (CPU スタックポインタモニタ割り込み許可)**

NMI の起動要因となる CPU スタックポインタモニタ割り込みを許可します。

## 14.2.4 ノンマスクブル割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 4000 6130h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPECLR	BUSMCLR	BUSSCLR	RECCCLR	RPECLR	NMICLR	OSTCLR	—	VBATTCLR	LVD2CLR	LVD1CLR	WDTCLR	IWDTCLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTCLR	IWDT クリア	0: 無効 1: NMISR.IWDTST フラグをクリア	R/(W) (注1)
b1	WDTCLR	WDT クリア	0: 無効 1: NMISR.WDTST フラグをクリア	R/(W) (注1)
b2	LVD1CLR	LVD1 クリア	0: 無効 1: NMISR.LVD1ST フラグをクリア	R/(W) (注1)
b3	LVD2CLR	LVD2 クリア	0: 無効 1: NMISR.LVD2ST フラグをクリア	R/(W) (注1)
b4	VBATTCLR	VBATT クリア	0: 無効 1: NMISR.VBATTST フラグをクリア	R/(W) (注1)
b5	—	予約ビット	書く場合、0としてください。	R/(W) (注1)
b6	OSTCLR	OST クリア	0: 無効 1: NMISR.OSTST フラグをクリア	R/(W) (注1)
b7	NMICLR	NMI クリア	0: 無効 1: NMISR.NMIST フラグをクリア	R/(W) (注1)
b8	RPECLR	SRAMパリティエラークリア	0: 無効 1: NMISR.RPEST フラグをクリア	R/(W) (注1)
b9	RECCCLR	SRAM ECCエラークリア	0: 無効 1: NMISR.RECCST フラグをクリア	R/(W) (注1)
b10	BUSSCLR	バススレープエラークリア	0: 無効 1: MISR.BUSSST フラグをクリア	R/(W) (注1)
b11	BUSMCLR	バスマスタエラークリア	0: 無効 1: NMISR.BUSMST フラグをクリア	R/(W) (注1)
b12	SPECLR	CPUスタックポインタモニタ割り込みクリア	0: 無効 1: NMISR.SPEST フラグをクリア	R/(W) (注1)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/(W) (注1)

注1. このビットには1のみ書けます。

**IWDTCLR ビット (IWDT クリア)**

1を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと0が読めます。

**WDTCLR ビット (WDT クリア)**

1を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと0が読めます。

**LVD1CLR ビット (LVD1 クリア)**

1を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと0が読めます。

**LVD2CLR ビット (LVD2 クリア)**

1を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと0が読めます。

**VBATTCLR ビット (VBATT クリア)**

1を書き込むことにより、NMISR.VBATTST フラグをクリアします。読むと0が読めます。



**OSTCLR ビット (OST クリア)**

1 を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと 0 が読めます。

**NMICLR ビット (NMI クリア)**

1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

**RPECLR ビット (SRAM パリティエラークリア)**

1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと 0 が読めます。

**RECCCLR ビット (SRAM ECC エラークリア)**

1 を書き込むことにより、NMISR.RECCST フラグをクリアします。読むと 0 が読めます。

**BUSSCLR ビット (バススレーブエラークリア)**

1 を書き込むことにより、NMISR.BUSSST フラグをクリアします。読むと 0 が読めます。

**BUSMCLR ビット (バスマスタエラークリア)**

1 を書き込むことにより、NMISR.BUSMSST フラグをクリアします。読むと 0 が読めます。

**SPECLR ビット (CPU スタックポインタモニタ割り込みクリア)**

1 を書き込むことにより、NMISR.SPEST フラグをクリアします。読むと 0 が読めます。

参考資料

### 14.2.5 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 4000 6100h

	b7	b6	b5	b4	b3	b2	b1	b0
	NFLTE N	—	NFCLKSEL[1:0]	—	—	—	—	NMIMD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIMD	NMI検出設定	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	NFCLKSEL[1:0]	NMIデジタルフィルタサンプリングクロック選択	b5 b4 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	NFLTEN	NMIデジタルフィルタ有効	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可 (NMIER.NMIEN ビットを 1) にしてください。

#### NMIMD ビット (NMI 検出設定)

NMI 端子割り込みの検出センシング方法を選択します。

#### NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック選択)

NMI 端子割り込みのデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB (毎サイクル)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細については、[14.4.3 デジタルフィルタ](#)を参照してください。

#### NFLTEN ビット (NMI デジタルフィルタ有効)

NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NMIFLTC.NFCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、[14.4.3 デジタルフィルタ](#)を参照してください。

## 14.2.6 ICU イベントリンク設定レジスタ n (IELSRn)

アドレス ICU.IELSR0 4000 6300h, ICU.IELSR1 4000 6304h, ICU.IELSR2 4000 6308h, ICU.IELSR3 4000 630Ch.....  
.....ICU.IELSR60 4000 63F0h, ICU.IELSR61 4000 63F4h, ICU.IELSR62 4000 63F8h, ICU.IELSR63 4000 63FCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	IELS[8:0]								—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b8-b0	IELS[8:0]	ICU イベントリンク選択	b8 b0 00000000 : 対応する NVIC または DTC モジュールへの割り込みは禁止 00000001 ~ 111001010 : リンクするイベント信号の番号。詳細は、表 14.4 を参照してください。	R/W (注1)
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W (注1)
b16	IR	割り込みステータスフラグ	0 : 割り込み要求の発生なし 1 : 割り込み要求の発生あり	R/(W) (注2)
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	DTCE	DTC 起動許可	0 : DTC 起動を禁止 1 : DTC 起動を許可	R/W
b31-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. このレジスタにはハーフワードまたはワードアクセスが必要です。

注 2. IR フラグを 1 にする書き込みはしないでください。

IELSRn レジスタでは、NVIC で使用する IRQ 要因を選択します。詳細は、表 14.4 イベントテーブルを参照してください。IELSRn (n=0 ~ 63) は、NVIC IRQ 入力要因番号 0 ~ 63 に対応しています。

#### IELS[8:0] ビット (ICU イベントリンク選択)

対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。これら全ビットを同時に書き込む必要があります。

#### IR フラグ (割り込みステータスフラグ)

IELS[8:0] で指定されたイベントからの割り込み要求の有無を示します。

[1 になる条件]

対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

[0 になる条件]

0 を書いたとき。DTCE ビットを 0 にしてから、IR フラグを 0 にすること

IR フラグのクリア方法 :

1. 入力信号をネゲートする。
2. 周辺リードアクセスを 1 回実行し、対象モジュールクロックの 2 クロックサイクル分待つ。
3. 0 を書き込んで IR フラグをクリアする。

**DTCE ビット (DTC 起動許可)**

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

[1 になる条件]

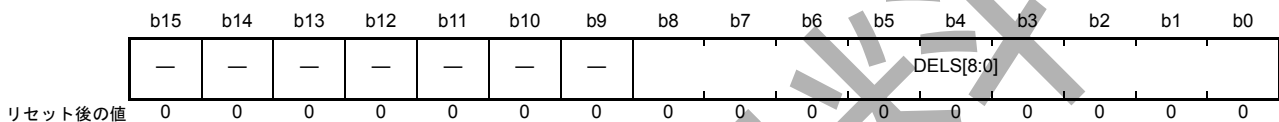
1 を書いたとき

[0 になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- 0 を書いたとき

**14.2.7 DMAC イベントリンク設定レジスタ n (DELSRn)**

アドレス ICU.DELSR0 4000 6280h, ICU.DELSR1 4000 6284h, ICU.DELSR2 4000 6288h, ICU.DELSR3 4000 628Ch



ビット	シンボル	ビット名	機能	R/W
b8-b0	DELS[8:0]	DMAC イベントリンク選択	b8 b0 00000000 : 対応する DMAC モジュールへの DMA 起動要求は無効 000000001 ~ 111001010 : リンクするイベント信号の番号 上記以外は設定しないでください。詳細は、表 14.4 イベントテーブルを参照してください。	R/W (注1)
b15-b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W (注1)

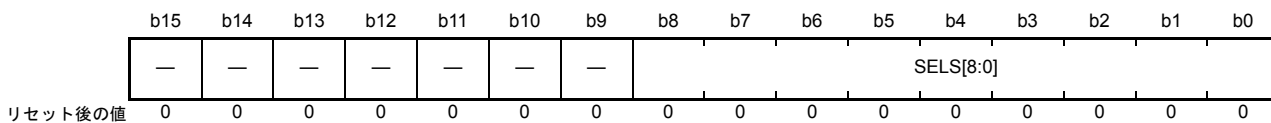
注 1. このレジスタにはハーフワードアクセスが必要です。

**DELS[8:0] ビット (DMAC イベントリンク選択)**

DMAC モジュールにリンクするイベント信号を指定します。これら全ビットを同時に書き込む必要があります。

## 14.2.8 SYS イベントリンク設定レジスタ (SELSR0)

アドレス ICU.SELSR0 4000 6200h



ビット	シンボル	ビット名	機能	R/W
b8-b0	SELS[8:0]	SYS イベントリンク選択	b8 b0 00000000 : 対応する低消費電力モードモジュールへのイベント出力は無効 000000001 ~ 111001010 : リンクするイベント信号の番号 上記以外は設定しないでください。詳細は、表 14.4 イベントテーブルを参照してください。	R/W (注1)
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. このレジスタにはハーフワードアクセスが必要です。

SELSR0 レジスタでは、スヌーズモードから CPU を復帰させるためのイベントを選択します。表 14.4 において「スヌーズモードの解除 / SELSR0 の使用」欄に○印が付いたイベントのみを使用できます。このレジスタで指定されるイベントは、表 14.4 では ICU\_SNZCANCEL (02Dh) と定義されています。IELSRn.ISEL ビットに 02Dh が設定されると、SELSR0 イベント割り込みが発生します。

**SELS[8:0] ビット (SYS イベントリンク選択)**

これら全ビットを同時に書き込む必要があります。

## 14.2.9 ウェイクアップ割り込みイネーブルレジスタ (WUPEN)

アドレス ICU.WUPEN 4000 61A0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
IIC0WUPEN	AGT1CBWUPEN	AGT1CAWUPEN	AGT1UDWUPEN	USBFSWUPEN	—	RTCPRDWUPEN	RTCALMWUPEN	ACMPLP0WUPEN	—	—	VBATTWUPEN	LVD2WUPEN	LVD1WUPEN	KEYWUPEN	IWDTWUPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
IRQWUPEN[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	IRQWUPEN[15:0]	IRQ割り込みソフトウェアスタンバイ復帰許可	0: IRQ割り込みによるソフトウェアスタンバイ復帰禁止 1: IRQ割り込みによるソフトウェアスタンバイ復帰許可	R/W
b16	IWDTWUPEN	IWDT割り込みソフトウェアスタンバイ復帰許可	0: IWDT割り込みによるソフトウェアスタンバイ復帰禁止 1: IWDT割り込みによるソフトウェアスタンバイ復帰許可	R/W
b17	KEYWUPEN	キー割り込みソフトウェアスタンバイ復帰許可	0: キー割り込みによるソフトウェアスタンバイ復帰禁止 1: キー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b18	LVD1WUPEN	LVD1割り込みソフトウェアスタンバイ復帰許可	0: LVD1割り込みによるソフトウェアスタンバイ復帰禁止 1: LVD1割り込みによるソフトウェアスタンバイ復帰許可	R/W
b19	LVD2WUPEN	LVD2割り込みソフトウェアスタンバイ復帰許可	0: LVD2割り込みによるソフトウェアスタンバイ復帰禁止 1: LVD2割り込みによるソフトウェアスタンバイ復帰許可	R/W
b20	VBATTWUPEN	VBATT監視割り込みソフトウェアスタンバイ復帰許可	0: VBATT監視割り込みによるソフトウェアスタンバイ復帰禁止 1: VBATT監視割り込みによるソフトウェアスタンバイ復帰許可	R/W
b22-b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	ACMPLP0WUPEN	ACMPLP0割り込みソフトウェアスタンバイ復帰許可	0: ACMPLP0割り込みによるソフトウェアスタンバイ復帰禁止 1: ACMPLP0割り込みによるソフトウェアスタンバイ復帰許可	R/W
b24	RTCALMWUPEN	RTCアラーム割り込みソフトウェアスタンバイ復帰許可	0: RTCアラーム割り込みによるソフトウェアスタンバイ復帰禁止 1: RTCアラーム割り込みによるソフトウェアスタンバイ復帰許可	R/W
b25	RTCPRDWUPEN	RTC周期割り込みソフトウェアスタンバイ復帰許可	0: RTC周期割り込みによるソフトウェアスタンバイ復帰禁止 1: RTC周期割り込みによるソフトウェアスタンバイ復帰許可	R/W
b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27	USBFSWUPEN	USBFS割り込みソフトウェアスタンバイ復帰許可	0: USBFS割り込みによるソフトウェアスタンバイ復帰禁止 1: USBFS割り込みによるソフトウェアスタンバイ復帰許可	R/W
b28	AGT1UDWUPEN	AGT1アンダーフロー割り込みソフトウェアスタンバイ復帰許可	0: AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b29	AGT1CAWUPEN	AGT1コンペアマッチA割り込みソフトウェアスタンバイ復帰許可	0: AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰許可	R/W
b30	AGT1CBWUPEN	AGT1コンペアマッチB割り込みソフトウェアスタンバイ復帰許可	0: AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰許可	R/W

ビット	シンボル	ビット名	機能	R/W
b31	IIC0WUPEN	IIC0アドレス一致割り込みソフトウェアスタンバイ復帰許可	0: IIC0アドレス一致割り込みによるソフトウェアスタンバイ復帰禁止 1: IIC0アドレス一致割り込みによるソフトウェアスタンバイ復帰許可	R/W

このレジスタの各ビットは、対応する割り込みがソフトウェアスタンバイモードから CPU を復帰させることができるかどうかを制御します。

#### IRQWUPEN[15:0] ビット (IRQ 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IRQn 割り込みの使用を許可します。

#### IWDTWUPEN ビット (IWDTC 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IWDTC 割り込みの使用を許可します。

#### KEYWUPEN ビット (キー割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するためキー割り込みの使用を許可します。

#### LVD1WUPEN ビット (LVD1 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため LVD1 割り込みの使用を許可します。

#### LVD2WUPEN ビット (LVD2 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため LVD2 割り込みの使用を許可します。

#### VBATTWUPEN ビット (VBATT 監視割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため VBATT 監視割り込みの使用を許可します。

#### ACMPLP0WUPEN ビット (ACMPLP0 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため ACMPLP0 割り込みの使用を許可します。

#### RTCALMWUPEN ビット (RTC アラーム割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため RTC アラーム割り込みの使用を許可します。

#### RTCPRDWUPEN ビット (RTC 周期割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため RTC 周期割り込みの使用を許可します。

#### USBFSWUPEN ビット (USBFS 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため USBFS 割り込みの使用を許可します。

#### AGT1UDWUPEN ビット (AGT1 アンダーフロー割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 アンダーフロー割り込みの使用を許可します。

#### AGT1CAWUPEN ビット (AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ A 割り込みの使用を許可します。

#### AGT1CBWUPEN ビット (AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ B 割り込みの使用を許可します。

#### IIC0WUPEN ビット (IIC0 アドレス一致割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IIC0 割り込みの使用を許可します。

### 14.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みの 2 種類の割り込みを検出します。割り込み優先順位は ARM NVIC で設定されます。ARM Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D) の NVIC の章を参照してください。

#### 14.3.1 割り込みベクタテーブル

表 14.3 に割り込みベクタテーブルの内容を示します。アドレスは、NVIC の仕様に従います。

表 14.3 割り込みベクタテーブル (1/2)

例外番号	IRQ 番号	ベクタオフセット	発生元	内容
0	—	000h	ARM	初期スタックポインタ
1	—	004h	ARM	初期プログラムカウンタ (リセットベクタ)
2	—	008h	ARM	ノンマスカブル割り込み (NMI)
3	—	00Ch	ARM	ハード障害
4	—	010h	ARM	MemManage障害
5	—	014h	ARM	バス障害
6	—	018h	ARM	使用障害
7	—	01Ch	ARM	予約
8	—	020h	ARM	予約
9	—	024h	ARM	予約
10	—	028h	ARM	予約
11	—	02Ch	ARM	スーパーバイザコール (SVCall)
12	—	030h	ARM	デバッグ監視
13	—	034h	ARM	予約
14	—	038h	ARM	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	03Ch	ARM	システムティックタイマ (SysTick)
16	0	040h	ICU.IELSR0	ICU.IELSR0レジスタで選択されたイベント
17	1	044h	ICU.IELSR1	ICU.IELSR1レジスタで選択されたイベント
18	2	048h	ICU.IELSR2	ICU.IELSR2レジスタで選択されたイベント
19	3	04Ch	ICU.IELSR3	ICU.IELSR3レジスタで選択されたイベント
20	4	050h	ICU.IELSR4	ICU.IELSR4レジスタで選択されたイベント
21	5	054h	ICU.IELSR5	ICU.IELSR5レジスタで選択されたイベント
22	6	058h	ICU.IELSR6	ICU.IELSR6レジスタで選択されたイベント
23	7	05Ch	ICU.IELSR7	ICU.IELSR7レジスタで選択されたイベント
24	8	060h	ICU.IELSR8	ICU.IELSR8レジスタで選択されたイベント
25	9	064h	ICU.IELSR9	ICU.IELSR9レジスタで選択されたイベント
26	10	068h	ICU.IELSR10	ICU.IELSR10レジスタで選択されたイベント
27	11	06Ch	ICU.IELSR11	ICU.IELSR11レジスタで選択されたイベント
28	12	070h	ICU.IELSR12	ICU.IELSR12レジスタで選択されたイベント
29	13	074h	ICU.IELSR13	ICU.IELSR13レジスタで選択されたイベント
30	14	078h	ICU.IELSR14	ICU.IELSR14レジスタで選択されたイベント
31	15	07Ch	ICU.IELSR15	ICU.IELSR15レジスタで選択されたイベント
32	16	080h	ICU.IELSR16	ICU.IELSR16レジスタで選択されたイベント
33	17	084h	ICU.IELSR17	ICU.IELSR17レジスタで選択されたイベント
34	18	088h	ICU.IELSR18	ICU.IELSR18レジスタで選択されたイベント
35	19	08Ch	ICU.IELSR19	ICU.IELSR19レジスタで選択されたイベント



表 14.3 割り込みベクタテーブル (2/2)

例外番号	IRQ番号	ベクタオフセット	発生元	内容
36	20	090h	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	094h	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	098h	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	09Ch	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0A0h	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0A4h	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0A8h	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0ACh	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0B0h	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0B4h	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0B8h	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0BCh	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント
48	32	0C0h	ICU.IELSR32	ICU.IELSR32 レジスタで選択されたイベント
49	33	0C4h	ICU.IELSR33	ICU.IELSR33 レジスタで選択されたイベント
50	34	0C8h	ICU.IELSR34	ICU.IELSR34 レジスタで選択されたイベント
51	35	0CCh	ICU.IELSR35	ICU.IELSR35 レジスタで選択されたイベント
52	36	0D0h	ICU.IELSR36	ICU.IELSR36 レジスタで選択されたイベント
53	37	0D4h	ICU.IELSR37	ICU.IELSR37 レジスタで選択されたイベント
54	38	0D8h	ICU.IELSR38	ICU.IELSR38 レジスタで選択されたイベント
55	39	0DCh	ICU.IELSR39	ICU.IELSR39 レジスタで選択されたイベント
56	40	0E0h	ICU.IELSR40	ICU.IELSR40 レジスタで選択されたイベント
57	41	0E4h	ICU.IELSR41	ICU.IELSR41 レジスタで選択されたイベント
58	42	0E8h	ICU.IELSR42	ICU.IELSR42 レジスタで選択されたイベント
59	43	0ECh	ICU.IELSR43	ICU.IELSR43 レジスタで選択されたイベント
60	44	0F0h	ICU.IELSR44	ICU.IELSR44 レジスタで選択されたイベント
61	45	0F4h	ICU.IELSR45	ICU.IELSR45 レジスタで選択されたイベント
62	46	0F8h	ICU.IELSR46	ICU.IELSR46 レジスタで選択されたイベント
63	47	0FCh	ICU.IELSR47	ICU.IELSR47 レジスタで選択されたイベント
64	48	100h	ICU.IELSR48	ICU.IELSR48 レジスタで選択されたイベント
65	49	104h	ICU.IELSR49	ICU.IELSR49 レジスタで選択されたイベント
66	50	108h	ICU.IELSR50	ICU.IELSR50 レジスタで選択されたイベント
67	51	10Ch	ICU.IELSR51	ICU.IELSR51 レジスタで選択されたイベント
68	52	110h	ICU.IELSR52	ICU.IELSR52 レジスタで選択されたイベント
69	53	114h	ICU.IELSR53	ICU.IELSR53 レジスタで選択されたイベント
70	54	118h	ICU.IELSR54	ICU.IELSR54 レジスタで選択されたイベント
71	55	11Ch	ICU.IELSR55	ICU.IELSR55 レジスタで選択されたイベント
72	56	120h	ICU.IELSR56	ICU.IELSR56 レジスタで選択されたイベント
73	57	124h	ICU.IELSR57	ICU.IELSR57 レジスタで選択されたイベント
74	58	128h	ICU.IELSR58	ICU.IELSR58 レジスタで選択されたイベント
75	59	12Ch	ICU.IELSR59	ICU.IELSR59 レジスタで選択されたイベント
76	60	130h	ICU.IELSR60	ICU.IELSR60 レジスタで選択されたイベント
77	61	134h	ICU.IELSR61	ICU.IELSR61 レジスタで選択されたイベント
78	62	138h	ICU.IELSR62	ICU.IELSR62 レジスタで選択されたイベント
79	63	13Ch	ICU.IELSR63	ICU.IELSR63 レジスタで選択されたイベント

### 14.3.2 イベント番号

下表は、イベント番号を記した表 14.4 の各項目の説明です。

項目	内容
割り込み要求の発生元	割り込み要求の発生元の名称
名称	割り込みの名称
割り込み検出の形式 (信号)	割り込み検出法としての「エッジ」または「レベル」 NMI割り込みとして使用可能なものが○印で示されています。
NVICへの接続	CPU割り込み (IELSRnの設定) として使用可能な割り込みが○印で示されています。
DTCの起動	DTCの起動要求 (IELSRnの設定) に使用可能な割り込みが○印で示されています。
DMACの起動	DMACの起動要求 (DELSRnの設定) に使用可能な割り込みが○印で示されています。
スヌーズモードの解除	SELSR0を使用したスヌーズモードからの復帰要求に使用可能な割り込みが○印で示されています。それ以外では、直接使用可能な割り込みが○印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが○印で示されています。

表 14.4 イベントテーブル (1/6)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動		
001h	ポート	PORT_IRQ0	○	○	○	○	○
002h		PORT_IRQ1	○	○	○	○	○
003h		PORT_IRQ2	○	○	○	○	○
004h		PORT_IRQ3	○	○	○	○	○
005h		PORT_IRQ4	○	○	○	○	○
006h		PORT_IRQ5	○	○	○	○	○
007h		PORT_IRQ6	○	○	○	○	○
008h		PORT_IRQ7	○	○	○	○	○
009h		PORT_IRQ8	○	○	○	○	○
00Ah		PORT_IRQ9	○	○	○	○	○
00Bh		PORT_IRQ10	○	○	○	○	○
00Ch		PORT_IRQ11	○	○	○	○	○
00Dh		PORT_IRQ12	○	○	○	○	○
00Eh		PORT_IRQ13	○	○	○	○	○
00Fh		PORT_IRQ14	○	○	○	○	○
010h		PORT_IRQ15	○	○	○	○	○
020h	DMAC0	DMAC0_INT	○	○			
021h	DMAC1	DMAC1_INT	○	○			
022h	DMAC2	DMAC2_INT	○	○			
023h	DMAC3	DMAC3_INT	○	○			
029h	DTC	DTC_COMPLETE	○			○ (注4)	
02Dh	ICU	ICU_SNZCANCEL	○			○	
031h	FCU	FCU_FRDYI	○				
038h	LVD	LVD_LVD1	○			○	○
039h		LVD_LVD2	○			○	○
03Ah	VBATT	VBATT_LVD	○			○	○
03Bh	MOSC	MOSC_STOP	○				
03Ch	低消費電力モード	SYSTEM_SNZREQ		○			

表 14.4 イベントテーブル (2/6)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動		
040h	AGT0	AGT0_AGTI	○	○	○		
041h		AGT0_AGTCMAI	○	○	○		
042h		AGT0_AGTCMBI	○	○	○		
043h	AGT1	AGT1_AGTI	○	○	○	○	○
044h		AGT1_AGTCMAI	○	○	○	○	○
045h		AGT1_AGTCMBI	○	○	○	○	○
046h	IWDT	IWDT_NMIUNDF	○			○	○
047h	WDT	WDT_NMIUNDF	○				
048h	RTC	RTC_ALM	○			○	○
049h		RTC_PRD	○			○	○
04Ah		RTC_CUP	○				
04Bh	ADC140	ADC140_ADI	○	○	○		
04Ch		ADC140_GBADI	○	○	○		
04Dh		ADC140_CMPAI	○				
04Eh		ADC140_CMPBI	○				
04Fh		ADC140_WCMPM		○	○	○ (注4)	
050h		ADC140_WCMPUM		○	○	○ (注4)	
057h	ACMPHS	ACMP_HS0	○				
058h		ACMP_HS1	○				
05Dh	ACMPLP	ACMP_LP0	○			○	○
05Eh		ACMP_LP1	○				
05Fh	USBFS	USBFS_D0FIFO	○	○	○		
060h		USBFS_D1FIFO	○	○	○		
061h		USBFS_USBI	○				
062h		USBFS_USBR	○			○	○
063h	IIC0	IIC0_RXI	○	○	○		
064h		IIC0_TXI	○	○	○		
065h		IIC0_TEI	○				
066h		IIC0_EEI	○				
067h		IIC0_WUI	○				○
068h	IIC1	IIC1_RXI	○	○	○		
069h		IIC1_TXI	○	○	○		
06Ah		IIC1_TEI	○				
06Bh		IIC1_EEI	○				
06Dh	IIC2	IIC2_RXI	○	○	○		
06Eh		IIC2_TXI	○	○	○		
06Fh		IIC2_TEI	○				
070h		IIC2_EEI	○				
072h	SSI0	SSI0_SSITXI	○	○	○		
073h		SSI0_SSIRXI	○	○	○		
075h		SSI0_SSIF	○				
078h	SSI1	SSI1_SSIRT	○	○	○		
079h		SSI1_SSIF	○				

表 14.4 イベントテーブル (3/6)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動		
082h	CTSU	CTSU_CTSUWR	○	○	○		
083h		CTSU_CTSURD	○	○	○		
084h		CTSU_CTSUFN	○			○ (注4)	
085h	KINT	KEY_INTKR	○			○ (注1)	○ (注1)
086h	DOC	DOC_DOPCI	○			○ (注4)	
087h	CAC	CAC_FERRI	○				
088h		CAC_MENDI	○				
089h		CAC_OVFI	○				
08Ah	CAN0	CAN0_ERS	○				
08Bh		CAN0_RXF	○				
08Ch		CAN0_TXF	○				
08Dh		CAN0_RXM	○				
08Eh		CAN0_TXM	○				
094h	I/Oポート	IOPORT_GROUP1	○	○ (注2)	○ (注2)		
095h		IOPORT_GROUP2	○	○ (注2)	○ (注2)		
096h		IOPORT_GROUP3	○	○ (注2)	○ (注2)		
097h		IOPORT_GROUP4	○	○ (注2)	○ (注2)		
098h	ELC	ELC_SWEVT0	○ (注3)	○			
099h		ELC_SWEVT1	○ (注3)	○			
09Ah	POEG	POEG_GROUP0	○				
09Bh		POEG_GROUP1	○				
09Ch		POEG_GROUP2	○				
09Dh		POEG_GROUP3	○				
0B0h	GPT320	GPT0_CCMPA	○	○	○		
0B1h		GPT0_CCMPB	○	○	○		
0B2h		GPT0_CMPC	○	○	○		
0B3h		GPT0_CMPD	○	○	○		
0B4h		GPT0_CMPE	○	○	○		
0B5h		GPT0_CMPF	○	○	○		
0B6h		GPT0_OVF	○	○	○		
0B7h		GPT0_UDF	○	○	○		
0BAh	GPT321	GPT1_CCMPA	○	○	○		
0BBh		GPT1_CCMPB	○	○	○		
0BCh		GPT1_CMPC	○	○	○		
0BDh		GPT1_CMPD	○	○	○		
0BEh		GPT1_CMPE	○	○	○		
0BFh		GPT1_CMPF	○	○	○		
0C0h		GPT1_OVF	○	○	○		
0C1h		GPT1_UDF	○	○	○		

表 14.4 イベントテーブル (4/6)

イベント 番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズ モードの 解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動	DMACの起動		
0C4h	GPT322	GPT2_CCMPA	○	○	○		
0C5h		GPT2_CCMPB	○	○	○		
0C6h		GPT2_CMPC	○	○	○		
0C7h		GPT2_CMPD	○	○	○		
0C8h		GPT2_CMPE	○	○	○		
0C9h		GPT2_CMPF	○	○	○		
0CAh		GPT2_OVF	○	○	○		
0CBh		GPT2_UDF	○	○	○		
0CEh	GPT323	GPT3_CCMPA	○	○	○		
0CFh		GPT3_CCMPB	○	○	○		
0D0h		GPT3_CMPC	○	○	○		
0D1h		GPT3_CMPD	○	○	○		
0D2h		GPT3_CMPE	○	○	○		
0D3h		GPT3_CMPF	○	○	○		
0D4h		GPT3_OVF	○	○	○		
0D5h		GPT3_UDF	○	○	○		
0D8h	GPT324	GPT4_CCMPA	○	○	○		
0D9h		GPT4_CCMPB	○	○	○		
0DAh		GPT4_CMPC	○	○	○		
0DBh		GPT4_CMPD	○	○	○		
0DCh		GPT4_CMPE	○	○	○		
0DDh		GPT4_CMPF	○	○	○		
0DEh		GPT4_OVF	○	○	○		
0DFh		GPT4_UDF	○	○	○		
0E2h	GPT325	GPT5_CCMPA	○	○	○		
0E3h		GPT5_CCMPB	○	○	○		
0E4h		GPT5_CMPC	○	○	○		
0E5h		GPT5_CMPD	○	○	○		
0E6h		GPT5_CMPE	○	○	○		
0E7h		GPT5_CMPF	○	○	○		
0E8h		GPT5_OVF	○	○	○		
0E9h		GPT5_UDF	○	○	○		
0ECh	GPT326	GPT6_CCMPA	○	○	○		
0EDh		GPT6_CCMPB	○	○	○		
0EEh		GPT6_CMPC	○	○	○		
0EFh		GPT6_CMPD	○	○	○		
0F0h		GPT6_CMPE	○	○	○		
0F1h		GPT6_CMPF	○	○	○		
0F2h		GPT6_OVF	○	○	○		
0F3h		GPT6_UDF	○	○	○		

表 14.4 イベントテーブル (5/6)

イベント 番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズ モードの 解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動	DMACの起動		
0F6h	GPT327	GPT7_CCMPA	○	○	○		
0F7h		GPT7_CCMPB	○	○	○		
0F8h		GPT7_CMPC	○	○	○		
0F9h		GPT7_CMPD	○	○	○		
0FAh		GPT7_CMPE	○	○	○		
0FBh		GPT7_CMPF	○	○	○		
0FCh		GPT7_OVF	○	○	○		
0FDh		GPT7_UDF	○	○	○		
100h	GPT328	GPT8_CCMPA	○	○	○		
101h		GPT8_CCMPB	○	○	○		
102h		GPT8_CMPC	○	○	○		
103h		GPT8_CMPD	○	○	○		
104h		GPT8_CMPE	○	○	○		
105h		GPT8_CMPF	○	○	○		
106h		GPT8_OVF	○	○	○		
107h		GPT8_UDF	○	○	○		
10Ah	GPT329	GPT9_CCMPA	○	○	○		
10Bh		GPT9_CCMPB	○	○	○		
10Ch		GPT9_CMPC	○	○	○		
10Dh		GPT9_CMPD	○	○	○		
10Eh		GPT9_CMPE	○	○	○		
10Fh		GPT9_CMPF	○	○	○		
110h		GPT9_OVF	○	○	○		
111h		GPT9_UDF	○	○	○		
150h	GPT	GPT_UVWEDGE	○				
174h	SCI0	SCI0_RXI	○	○	○		
175h		SCI0_TXI	○	○	○		
176h		SCI0_TEI	○				
177h		SCI0_ERI	○				
178h		SCI0_AM	○			○ (注4)	
179h		SCI0_RXI_OR_ERI				○ (注4)	
17Ah	SCI1	SCI1_RXI	○	○	○		
17Bh		SCI1_TXI	○	○	○		
17Ch		SCI1_TEI	○				
17Dh		SCI1_ERI	○				
17Eh		SCI1_AM	○				
180h	SCI2	SCI2_RXI	○	○	○		
181h		SCI2_TXI	○	○	○		
182h		SCI2_TEI	○				
183h		SCI2_ERI	○				
184h		SCI2_AM	○				

表 14.4 イベントテーブル (6/6)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動		
186h	SCI3	SCI3_RXI	○	○	○		
187h		SCI3_TXI	○	○	○		
188h		SCI3_TEI	○				
189h		SCI3_ERI	○				
18Ah		SCI3_AM	○				
18Ch	SCI4	SCI4_RXI	○	○	○		
18Dh		SCI4_TXI	○	○	○		
18Eh		SCI4_TEI	○				
18Fh		SCI4_ERI	○				
190h		SCI4_AM	○				
1AAh	SCI9	SCI9_RXI	○	○	○		
1ABh		SCI9_TXI	○	○	○		
1ACh		SCI9_TEI	○				
1ADh		SCI9_ERI	○				
1AEh		SCI9_AM	○				
1BCh	SPI0	SPI0_SPRI	○	○	○		
1BDh		SPI0_SPTI	○	○	○		
1BEh		SPI0_SPII	○				
1BFh		SPI0_SPEI	○				
1C0h		SPI0_SPTEND	○				
1C1h	SPI1	SPI1_SPRI	○	○	○		
1C2h		SPI1_SPTI	○	○	○		
1C3h		SPI1_SPII	○				
1C4h		SPI1_SPEI	○				
1C5h		SPI1_SPTEND	○				
1C6h	QSPI	QSPI_INTR	○				
1C7h	SDHI0	SDHI_MMC0_ACCS	○				
1C8h		SDHI_MMC0_SDIO	○				
1C9h		SDHI_MMC0_CARD	○				
1CAh		SDHI_MMC0_ODMSDBREQ		○	○		

- 注 1. KRCTL.KRMD = 1 の場合にのみサポートされます。  
 注 2. 最初のエッジ検出のみが有効です。  
 注 3. DTC 転送後の割り込みのみがサポートされます。  
 注 4. SELSR0 の使用

## 14.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択 (CPU 割り込み、DTC 起動、DMAC 起動など)

### 14.4.1 割り込みの検出

外部端子割り込み要求は、割り込み信号のエッジまたはレベル (立ち下がりエッジ／立ち上がりエッジ／両エッジ／Low レベル) のいずれかで検出されます。IRQ<sub>i</sub> 端子検出モードを選択するには、IRQCR<sub>i</sub> レジスタの IRQMD[1:0] ビットを設定します。周辺モジュールに関連した割り込み要因については、[14.3.2 イベント番号](#)を参照してください。イベントは、割り込みが発生して CPU に受け付けられる前に、NVIC で受け付けられる必要があります。

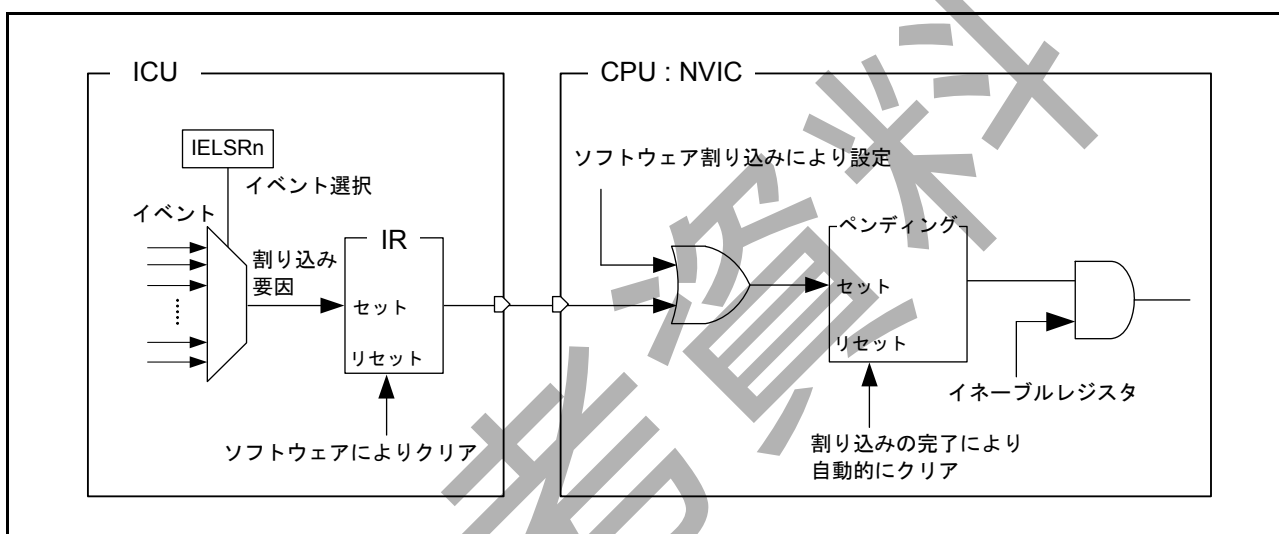


図 14.2 ICU および CPU: NVIC の割り込み経路

- 割り込み中の一般的動作
  - 非ソフトウェア割り込みが発生したとき：
    - IELSRn.IR フラグと割り込みセット／クリア保留レジスタ (NVIC) が設定される。
  - ソフトウェア割り込みが発生したとき：
    - 割り込みセット保留レジスタを設定する。
  - 割り込みが完了したとき：
    - ソフトウェアで IELSRn.IR フラグをクリアする。
    - 割り込みセット／クリア保留レジスタは自動的にクリアされる。



- 割り込みが許可される場合：
  - 1) 割り込みセットイネーブルレジスタを設定する。
  - 2) IELSRn.IELS ビットを割り込み要因として設定する。
  - 3) イベント要因に対し動作設定値を指定する。
- 割り込みが禁止される場合：
  - 1) イベント要因に対し設定値を無効にする。
  - 2) IELSRn.IELS ビットをクリアする (IELSRn.IELS[8:0] = 000h)。必要に応じて、IELSRn.IR フラグをクリアする。
  - 3) 割り込みクリアイネーブルレジスタをクリアする。必要に応じて、割り込みクリア保留レジスタをクリアする。
- 割り込みのポーリングを行う場合：
  - 1) 割り込みクリアイネーブルレジスタを設定 (割り込みを禁止) する。
  - 2) IELSRn.IELS ビットを設定 (割り込み要因を選択) する。
  - 3) イベント要因に対し動作設定値を指定する。
  - 4) 割り込みセット保留レジスタをポーリングする。
  - 5) ポーリングが不要になった場合、割り込みが完了したときに、そのクリア手順に従う。

#### 14.4.2 割り込み要求先の選択

割り込み出力先 (CPU、DTC、または DMAC) は、割り込み要因ごとに個別に選択できます。利用可能な出力先は、[表 14.4 イベントテーブル](#)に示されているように、割り込みごとに固定されています。

注. イベントリスト ([表 14.4](#)) で○印が付いていない割り込み要求先の設定は使用しないでください。

1つの IELSRn レジスタで CPU または DTC を選択した場合、他の IELSRn レジスタで同じ割り込み要因を設定しないでください。同様に、1つの DELSRn レジスタで DMAC を選択した場合、他の DELSRn レジスタで同じ割り込み要因を設定しないでください。

注. IELSRn や DELSRn で同じ割り込みを設定することはしないでください。

DMAC または DTC が IRQ<sub>i</sub> 端子からの要求先として選択された場合、その割り込みに対して IRQCR<sub>i</sub> の IRQMD[1:0] ビットをエッジ検出の選択に設定する必要があります。

##### 14.4.2.1 CPU 割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。IELSRn.IELS ビットを設定し、IELSRn.DTCE ビットを 0 にしてください。

### 14.4.2.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。DTC 送信の完了後、対応する割り込みが発生します。以下の手順に従ってください。

1. IELSRn.IELS ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 1 にする。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 にする。

DTC が要求先となる場合の動作を表 14.5 に示します。

表 14.5 DTC が起動するときの動作

割り込み要求先	DISEL (注1)	残り転送動作	1要求あたりの動作	IR (注2)	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	IELSRn.DTCE ビットがクリアされ、CPU が要求先になる。
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	IELSRn.DTCE ビットがクリアされ、CPU が要求先になる。

- 注 1. DTC.MRB.DISEL ビットで DTC 用の割り込み要求モードを設定します。
- 注 2. IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求 (DTC 起動要求) は無視されます。
- 注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。このとき、DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。「18. データトランスファコントローラ (DTC)」の表 18.3 チェーン転送の条件を参照してください。

### 14.4.2.3 DMAC の起動

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。DMAC に対して割り込み要因を設定するには、以下の手順に従ってください。

1. DELSRn.DELS[8:0] ビットを設定する。
2. IELSRn.IELS ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 1 にする。
3. 対象の DMAC チャンルの起動要因 (DMACm.DMTMD.DCTG[1:0]) を 01b (割り込みモジュール検出) にする。
4. 対象の DMAC チャンルの DMAC 転送許可ビット (DMACm.DMCNT.DTE) を 1 にする。
5. DMAC 動作許可ビット (DMAST.DMST) を 1 にする。

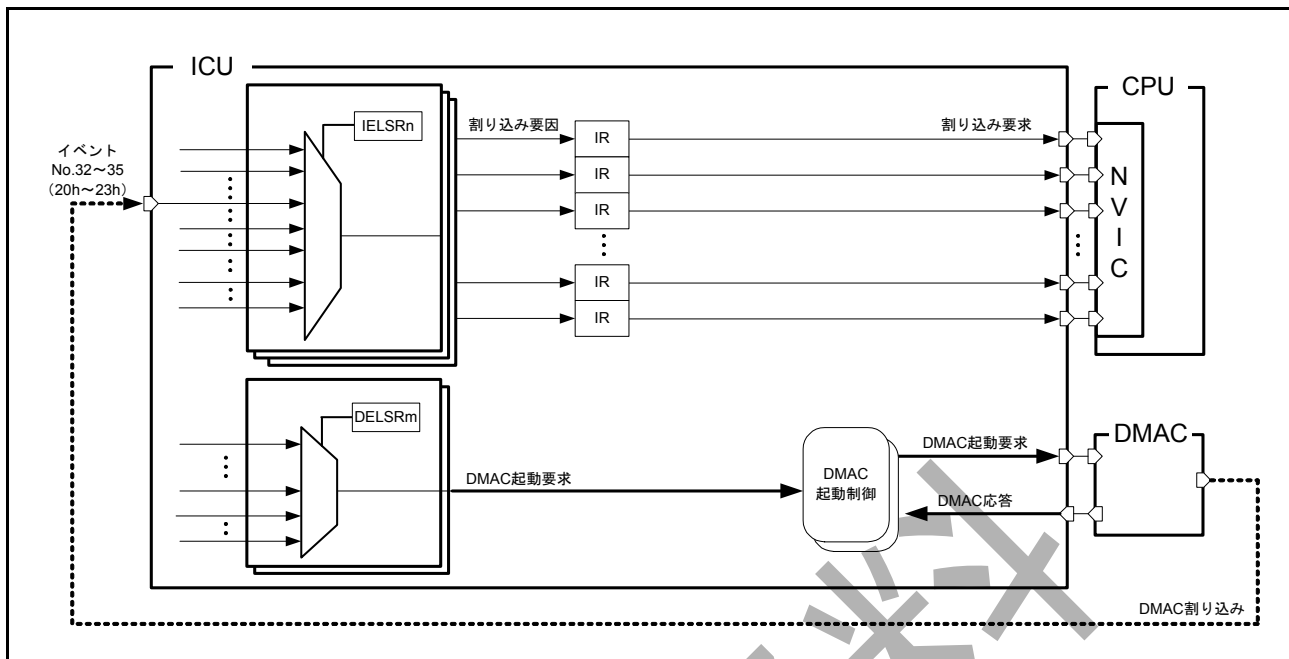


図 14.3 DMAC 要求トリガと割り込み経路

### 14.4.3 デジタルフィルタ

デジタルフィルタ機能は、外部割り込み要求端子 (IRQi、 $i=0 \sim 15$ ) と NMI 端子割り込みのために準備されています。この機能は、入力信号をフィルタサンプリングクロック (PCLKB) でサンプリングし、3 サンプルサイクル未満のパルス幅を持つ信号を除去します。

- IRQi 端子に対するデジタルフィルタの使用法：

- 1) IRQCRI.FCLKSEL[1:0] ビット ( $i=0 \sim 15$ ) で、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
- 2) IRQCRI.FLTEN ビット ( $i=0 \sim 15$ ) を 1 (デジタルフィルタ有効) にする。

- NMI 端子に対するデジタルフィルタの使用法：

- 1) NMICR.NFCLKSEL[1:0] ビットで、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
- 2) NMICR.NFLTEN ビットを 1 (デジタルフィルタ有効) にする。

図 14.4 にデジタルフィルタの動作例を示します。

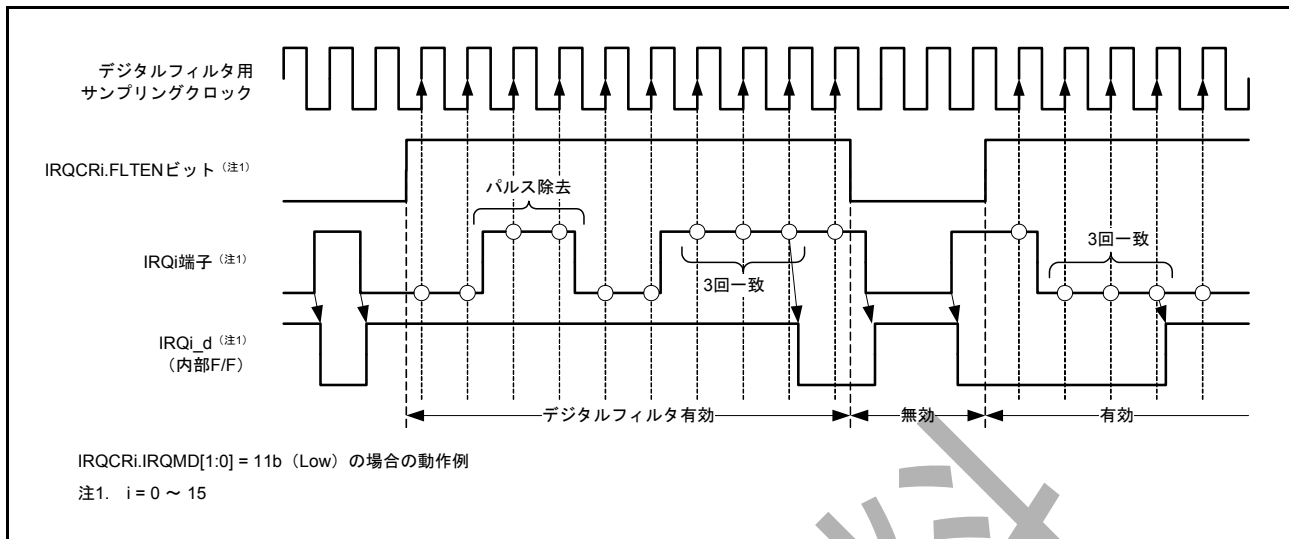


図 14.4 デジタルフィルタの動作例

ソフトウェアスタンバイモードへ遷移する前に、IRQCRi.FLTEN ビットと NMICR.NFLTEN ビットをクリアして、デジタルフィルタを無効にしてください。ICU のクロックはソフトウェアスタンバイモードでは停止します。ソフトウェアスタンバイモードの終了時、回路はスタンバイ前の状態をスタンバイ解除後の状態と比較することでエッジを検出します。ソフトウェアスタンバイモード中に入力に変化すると、誤ったエッジが検出される可能性があります。ソフトウェアスタンバイモードの終了後、デジタルフィルタを再度有効にできます。

#### 14.4.4 外部端子割り込み

外部端子割り込みの使用方法：

1. IRQCRi.FLTEN ビット (i = 0 ~ 15) を 0 (デジタルフィルタ無効) にする。
2. I/O ポートの設定を行うかまたは確認する。
3. IRQCRi レジスタの IRQMD[1:0] ビット、FCLKSEL[1:0] ビット、および FLTEN ビットを設定する。
4. IRQ 端子を CPU 割り込み要求に使用する場合、IELSRn.IELS[8:0] ビットを設定し、IELSRn.DTCE ビットを 0 にする。  
IRQ 端子を DTC 起動に使用する場合、IELSRn.IELS[8:0] ビットを設定し、IELSRn.DTCE ビットを 1 にする。  
IRQ 端子を DMAC 起動に使用する場合、DELSRn.DELS ビットを設定する。

## 14.5 ノンマスカブル割り込み動作

ノンマスカブル割り込みをトリガできるのは、以下の 12 要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- VBATT 監視割り込み
- SRAM パリティエラー割り込み
- SRAM ECC エラー割り込み
- MPU バスマスタエラー割り込み
- MPU バススレーブエラー割り込み
- CPU スタックポインタモニタ割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC または DMAC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。NMI 処理ルーチンから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスカブル割り込みはデフォルトで無効になっています。ノンマスカブル割り込みを使用するには、以下の手順に従う必要があります。

1. NMI 端子を使用するために、NMICR.NFLTEN ビットを 0 (デジタルフィルタ無効) にする。
2. NMI 端子を使用するために、NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0] ビット、および NFLTEN ビットを設定する。
3. NMI 端子を使用するために、NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にする。
4. ノンマスカブル割り込みイネーブルレジスタ (NMIER) の対応するビットを 1 にしてノンマスカブル割り込みを許可にする。

NMIER レジスタに 1 を書いた後は、NMIER レジスタの NMIEN ビットに対する後続のライトアクセスは無視されます。NMI 割り込みは、リセットの場合を除いて、許可されたものを禁止することはできません。

## 14.6 低消費電力モードからの復帰

スリープモードまたはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因は、表 14.4 イベントテーブルに示されています。詳細は、「11. 低消費電力モード」を参照してください。14.6.1 ~ 14.6.3 には、割り込みを使用してスリープモード、ソフトウェアスタンバイモード、およびスヌーズモードから復帰する方法が示されています。

### 14.6.1 スリープモードからの復帰

割り込みによってスリープモードから復帰する方法：

1. 割り込み要求先として CPU を選択する。
2. NVIC で割り込みを許可にする。

ノンマスクابل割り込みによってスリープモードから復帰するには、NMIER レジスタを使用して該当の割り込み要求を許可します。

### 14.6.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスクابل割り込みを用いるか、または WUPEN レジスタで選択された割り込みを用いて、ソフトウェアスタンバイモードからの復帰を可能にします。14.2.9 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

1. ソフトウェアスタンバイモードからの復帰を許可する割り込み要因を選択する。
  - ノンマスクابل割り込みの場合、NMIER レジスタを使用して必要な割り込み要求を許可する
  - マスクابل割り込みの場合、WUPEN レジスタを使用して必要な割り込み要求を許可する
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可にする。

これらの条件を満たさない IRQ 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

### 14.6.3 スヌーズモードからの復帰

ICU は、スヌーズモード用の割り込みを用いて、スヌーズモードからの復帰を可能にします。SELSR0 レジスタで割り込み要因を選択してください。

スヌーズモードからの復帰方法：

1. ICU\_SNZCANSEL を選択するため、SELSR0 レジスタを設定する。
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可にする。

これらの条件を満たさない IRQ 端子による割り込み要求は、スヌーズモードでクロックが停止している間は検出されません。

注． スヌーズモードでは、クロックが ICU に供給されます。IELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクノリッジを実行できます。DELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、DMAC は割り込みアクノリッジを実行できます。

### 14.7 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

### 14.8 参考資料

ARM Limited, ARM<sup>®</sup> Cortex<sup>®</sup>-M4 Processor Technical Reference Manual (ARM DDI 0439D)

参考資料

## 15. バス

### 15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスの種類		内容
メインバス	ICodeバス (CPU)	<ul style="list-style-type: none"> <li>• CPUを接続</li> <li>• 内蔵メモリ (コードフラッシュメモリ) を接続</li> </ul>
	DCodeバス (CPU)	<ul style="list-style-type: none"> <li>• CPUを接続</li> <li>• 内蔵メモリ (コードフラッシュメモリ) を接続</li> </ul>
	システムバス (CPU)	<ul style="list-style-type: none"> <li>• CPUを接続</li> <li>• 内蔵メモリ、内部周辺バス、および外部バスを接続</li> </ul>
	DMAバス	<ul style="list-style-type: none"> <li>• DMAC/DTCを接続</li> <li>• 内蔵メモリ、内部周辺バス、および外部バスを接続</li> </ul>
スレーブインタフェース	メモリバス1	• コードフラッシュメモリを接続
	メモリバス3	• DMAバスを介してコードフラッシュメモリを接続
	メモリバス4	• SRAM0を接続
	メモリバス5	• SRAM1を接続
	内部周辺バス1	• システムコントロール関連の周辺モジュールを接続
	内部周辺バス3	• 周辺モジュール (CAC, ELC, I/Oポート, POEG, RTC, WDT, IWDT, IIC, CAN, SSI, ADC14, DAC12, DOC) を接続
	内部周辺バス4	• 周辺モジュール (SCI, IrDA, SPI, CRC, SDHI) を接続
	内部周辺バス5	• 周辺モジュール (KINT, AGT, USBFS, OPAMP, ACMPLP, CTSU) を接続
	内部周辺バス7	• セキュアIPを接続
	内部周辺バス9	• フラッシュメモリ (P/E時 <sup>(注1)</sup> ) とデータフラッシュメモリを接続
外部バス	CS領域	• 外部デバイスを接続
	QSPI領域	• 外部SPIデバイスを接続

注1. P/E = プログラム/イレース

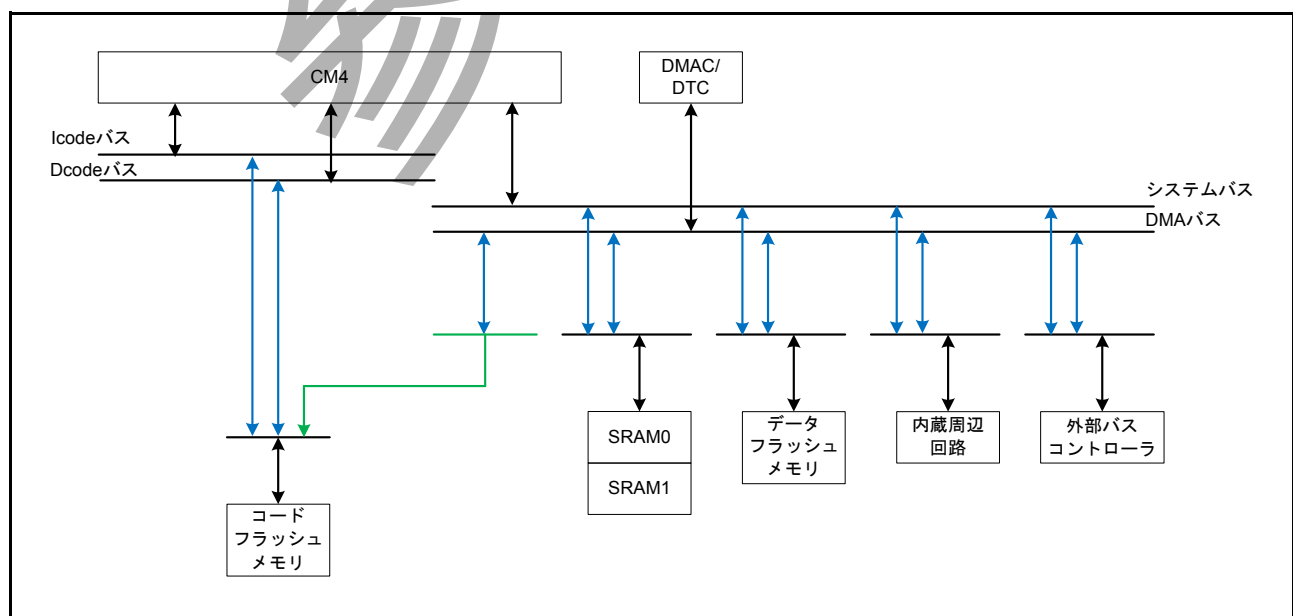


図 15.1 バスの構成図



表 15.2 バス種類別アドレス対応表

アドレス	バス	領域
0000 0000h ~ 01FF FFFFh	メモリバス 1、3	コードフラッシュメモリ
2000 0000h ~ 2001 FFFFh	メモリバス 4	SRAM0
2002 0000h ~ 2002 FFFFh	メモリバス 5	SRAM1
4000 0000h ~ 4001 FFFFh	内部周辺バス 1	周辺 I/O レジスタ
4004 0000h ~ 4005 FFFFh	内部周辺バス 3	
4006 0000h ~ 4007 FFFFh	内部周辺バス 4	
4008 0000h ~ 4009 FFFFh	内部周辺バス 5	
400C 0000h ~ 400D FFFFh	内部周辺バス 7	セキュア IP
4010 0000h ~ 407F FFFFh	内部周辺バス 9	フラッシュメモリ (P/E 時 (注1)) とデータフラッシュメモリ
6000 0000h ~ 67FF FFFFh	外部バス	QSPI 領域
8000 0000h ~ 97FF FFFFh	外部バス	CS 領域

注 1. P/E = プログラム/イレース

参考資料

## 15.2 バスの説明

### 15.2.1 メインバス

CPU 用のメインバスは、ICode バス、DCode バス、およびシステムバスで構成されます。

- ICode バスと DCode バス：コードフラッシュメモリに接続。ICode バスは CPU への命令コードアクセスに使用、DCode バスは CPU へのデータコードアクセスに使用
- システムバス：SRAM0、SRAM1、データフラッシュメモリ、内部周辺バス、および外部バスに接続。CPU への命令コードおよびデータコードのアクセスに使用

CPU 以外のモジュール用のメインバスは、DMA バスで構成されます。DMA バスは、コードフラッシュメモリ、SRAM0、SRAM1、データフラッシュメモリ、内部周辺バス、および外部バスに接続されます。

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。

DMAC および DTC ブロックでは、DMAC と DTC の間で DMA バス権の調停が行われます。下記の固定優先順位が用いられます。

DMAC0 > DMAC1 > DMAC2 > DMAC3 > DTC

これらの中で、起動要求を受け付けた DTC からの 1 ブロックと DMAC の各チャネルのみ、バス権要求の発行が可能です。また、DTC の転送制御情報を読み出している間は、DTC 以外のマスタからのバスアクセス要求は受け付けません。

### 15.2.2 スレーブインタフェース

Cortex®-M4 コアを用いた製品には、ICode および DCode バス領域とシステムバス領域が含まれています。ICode および DCode バス領域を作成するため、バスマトリックスは、メインバスからコードフラッシュメモリのスレーブインタフェースまで、ICode バス、DCode バス、およびメモリバス 3 を接続しています。システムバス領域を作成するため、バスマトリックスは、メインバスから SRAM0、SRAM1、データフラッシュメモリ、内部周辺バス、および外部バスのスレーブインタフェースまで、システムバスと DMA バスを接続しています。メインバスからスレーブインタフェースへの接続については、表 15.1 に記載のスレーブインタフェースを参照してください。外部バスについては、15.2.3 外部バスを参照してください。

ICode バス、DCode バス、およびメモリバス 3 の間の調停は、ICode および DCode バス領域のスレーブインタフェースで行われます。調停法には、優先順位固定とラウンドロビンが選択可能です。詳細は、15.3.8 スレーブバスコントロールレジスタ (BUSSCNT<slave>) を参照してください。

システムバスと DMA バスの間の調停は、システムバス領域のスレーブインタフェースで行われます。調停法には、優先順位固定とラウンドロビンが選択可能です。詳細は、15.3.8 スレーブバスコントロールレジスタ (BUSSCNT<slave>) を参照してください。

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。

### 15.2.3 外部バス

表 15.3 に外部バスの仕様を示します。外部バスコントローラは、CPU システムバスと DMA バスからの外部アドレス空間におけるバスアクセス要求を調停します。その優先順位は外部バスのプライオリティ制御ビット (BUSSCNT.ARBMET) で設定可能です。詳細は、15.3.8 スレーブバスコントロールレジスタ (BUSSCNT<slave>) を参照してください。

バスシステムには QSPI 用の外部空間があります。「34. クワッドシリアルペリフェラルインタフェース (QSPI)」を参照してください。

表 15.3 外部バスの仕様

項目	内容
外部アドレス空間	<ul style="list-style-type: none"> <li>外部アドレス空間を4つのCS領域 (CS0～CS3) に分割して管理</li> <li>領域ごとにチップセレクト信号の出力が可能</li> <li>領域ごとにバス幅を選択可能               <ul style="list-style-type: none"> <li>- セパレートバス: 8ビットバス空間/16ビットバス空間を選択可能</li> </ul> </li> <li>領域ごとにエンディアン形式を設定可能</li> </ul>
CS領域コントローラ	<ul style="list-style-type: none"> <li>リカバリサイクルを挿入可能               <ul style="list-style-type: none"> <li>- リードリカバリ: 最大15サイクル</li> <li>- ライトリカバリ: 最大15サイクル</li> </ul> </li> <li>サイクルウェイト機能: 最大31サイクルウェイト (ページアクセス: 最大7サイクルウェイト)</li> <li>ウェイト制御の設定               <ul style="list-style-type: none"> <li>- チップセレクト信号 (CS0～CS3) のアサート/ネゲートタイミング</li> <li>- リード信号 (RD) とライト信号 (WR0/WRおよびWR1) のアサートタイミング</li> <li>- データ出力の開始/終了タイミング</li> </ul> </li> <li>ライトアクセスモード               <ul style="list-style-type: none"> <li>- 1ライトストローブモード/バイトストローブモード</li> </ul> </li> </ul>
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	<ul style="list-style-type: none"> <li>CS領域コントローラ (CSC) は外部バスクロック (BCLK) に同期して動作</li> <li>EBCLK端子出力の周波数は、デフォルトでBCLKと同じ。外部バスクロックコントロールレジスタのEBCLK端子出力選択ビット (BCKCR.BCLKDIV) により、BCLKクロックサイクルの2分周が可能。詳細は、「9. クロック発生回路」を参照してください。</li> </ul>

表 15.4 に外部バスの入出力端子を示します。

表 15.4 外部バスの入出力端子

端子名	入出力	機能
A16～A00 (注1)	出力	アドレス出力端子
D15～D00	入出力	データ入出力端子 <ul style="list-style-type: none"> <li>16ビットバス空間を設定した場合、D15～D00が有効となる</li> <li>8ビットバス空間を設定した場合、D07～D00が有効となる</li> </ul>
BC0 (注1)	出力	1ライトストロープモード時、外部アドレス空間へのアクセス中にD07～D00が有効であることを示すストロープ信号 (Lowの場合)、アクティブLow 8ビットバス空間を設定した場合、ライトアクセスモードに関係なく常にLow出力となる
BC1	出力	1ライトストロープモード時、外部アドレス空間へのアクセス中にD15～D08が有効であることを示すストロープ信号 (Lowの場合)、アクティブLow 8ビットバス空間を設定した場合、使用しない
CS0	出力	領域0 (CS0) のチップセレクト信号、アクティブLow
CS1	出力	領域1 (CS1) のチップセレクト信号、アクティブLow
CS2	出力	領域2 (CS2) のチップセレクト信号、アクティブLow
CS3	出力	領域3 (CS3) のチップセレクト信号、アクティブLow
RD	出力	外部アドレス空間 (CS0～CS3) から読み出し中であることを示すストロープ信号、アクティブLow
WR0/WR (注2)	出力	WR0信号は、バイトストロープモード時、外部アドレス空間へ書き込み中であることを、およびD07～D00が有効であることを示すストロープ信号 (Lowの場合)、アクティブLow WR信号は、1ライトストロープモード時、外部アドレス空間へ書き込み中であることを示すストロープ信号、アクティブLow 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくライトアクセス中は常にLow出力となる
WR1	出力	バイトストロープモード時、外部アドレス空間への書き込み中にD15～D08が有効であることを示すストロープ信号 (Lowの場合)、アクティブLow 1ライトストロープモード時、この信号は無効 8ビットバス空間を設定した場合、使用しない
WAIT	入力	外部アドレス空間 (CS0～CS3) へのアクセス時に用いられるウェイト要求信号 (Lowの場合)、アクティブLow

注 1. A00 端子と BC0 端子は兼用しており、領域ごとにバイトストロープモード時は A00 端子、1 ライトストロープモード時は BC0 端子が有効になります。1 ライトストロープモード時は、8 ビット外部バス幅の設定はしないでください。その他の兼用端子については、「[20. I/O ポート](#)」を参照してください。

注 2. WR0 信号と WR 信号は同じ信号です。1 ライトストロープモード時、WR0 信号は特に WR 端子とみなされます。

### 15.2.4 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPU がフラッシュから命令、SRAM からオペランドをフェッチする場合、同時に DMAC は、周辺バスと外部バスの間で転送処理が可能です。

図 15.2 に並列動作の例を示します。この例では、CPU は命令バスとオペランドバスを使用して、それぞれフラッシュと SRAM に同時にアクセスしています。また、CPU がフラッシュと SRAM にアクセスする間、DMAC/DTC は DMA バスを使用して、周辺バスあるいは外部バスに同時にアクセスしています。

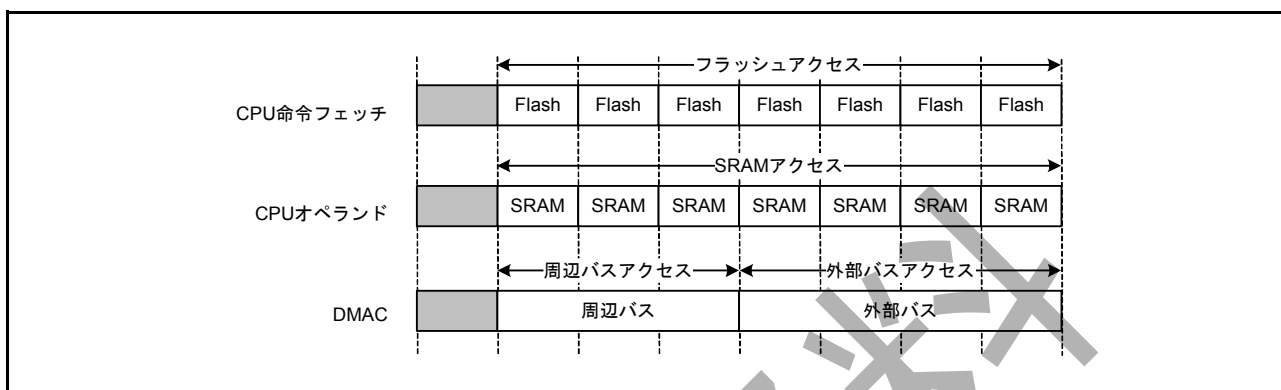


図 15.2 並列動作の例

### 15.2.5 バスの設定

外部バスの設定には、以下のレジスタを使用します。

- モード設定：  
CSn モードレジスタ (CSnMOD)、CSn ウェイトコントロールレジスタ 1 (CSnWCR1)、CSn ウェイトコントロールレジスタ 2 (CSnWCR2)、CSn コントロールレジスタ (CSnCR)、CSn リカバリサイクル設定レジスタ (CSnREC)、CS リカバリサイクル挿入イネーブルレジスタ (CSRECEN)、およびバスマスタプライオリティコントロールレジスタ (BUSSCNT)
- I/O ポートの割り当て：  
PmnPFS.PMR = 0 および PmnPFS.PSEL[4:0] = 0Bh
- 外部バスクロック (BCLK) の周波数：  
SCKDIVCR レジスタ

PmnPFS については「20. I/O ポート」を、SCKDIVCR については「9. クロック発生回路」を参照してください。

### 15.2.6 制約事項

#### (1) アドレス空間の複数領域にまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数領域にまたがるアクセスはしないでください。その場合の動作は保証されません。

#### (2) エンディアン形式に関する制約事項

Cortex-M4 コアでコードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。

## 15.3 レジスタの説明

### 15.3.1 CSn コントロールレジスタ (CSnCR) (n = 0 ~ 3)

アドレス [BUS.CS0CR 4000 3802h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMOD E	—	—	BSIZE[1:0]	—	—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

アドレス [BUS.CS1CR 4000 3812h](#), [BUS.CS2CR 4000 3822h](#), [BUS.CS3CR 4000 3832h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMOD E	—	—	BSIZE[1:0]	—	—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可	0 : 禁止 1 : 許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	BSIZE[1:0]	外部バス幅選択	b5 b4 00 : 16ビットバス空間 01 : 設定禁止 10 : 8ビットバス空間 11 : 設定禁止	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	EMODE	エンディアンモード指定	0 : リトルエンディアン 1 : ビッグエンディアン	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

外部バスへのアクセス中は、CSnCR レジスタに書き込まないでください。

#### EXENB ビット (動作許可)

対応する CS 領域の動作を許可または禁止します。MCU のリセット時は、領域 0 (CS0) のみ動作許可 (EXENB = 1) になり、それ以外の領域は動作禁止 (EXENB = 0) になります。禁止領域へアクセスしても何も影響されません。

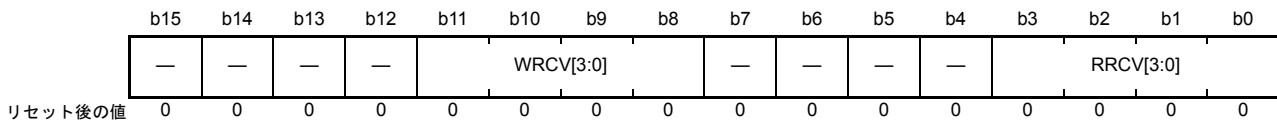
#### BSIZE[1:0] ビット (外部バス幅選択)

対応する領域のデータバス幅を指定します。

#### EMODE ビット (エンディアンモード指定)

対応する領域のエンディアン形式を指定します。Cortex-M4 コアはリトルエンディアンで固定されています。そのため、リトルエンディアンが指定された場合にのみ命令コードが外部空間に配置されます。領域にビッグエンディアンが指定された場合、命令コードは配置されません。

## 15.3.2 CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 3)

アドレス [BUS.CS0REC 4000 380Ah](#), [BUS.CS1REC 4000 381Ah](#), [BUS.CS2REC 4000 382Ah](#), [BUS.CS3REC 4000 383Ah](#)

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">RRCV[3:0]</a>	リードリカバリ設定	b3    b0 0 0 0 0 : リカバリサイクルの挿入なし 0 0 0 1 : リカバリサイクルを1サイクル挿入 0 0 1 0 : リカバリサイクルを2サイクル挿入 0 0 1 1 : リカバリサイクルを3サイクル挿入 0 1 0 0 : リカバリサイクルを4サイクル挿入 0 1 0 1 : リカバリサイクルを5サイクル挿入 0 1 1 0 : リカバリサイクルを6サイクル挿入 0 1 1 1 : リカバリサイクルを7サイクル挿入 1 0 0 0 : リカバリサイクルを8サイクル挿入 1 0 0 1 : リカバリサイクルを9サイクル挿入 1 0 1 0 : リカバリサイクルを10サイクル挿入 1 0 1 1 : リカバリサイクルを11サイクル挿入 1 1 0 0 : リカバリサイクルを12サイクル挿入 1 1 0 1 : リカバリサイクルを13サイクル挿入 1 1 1 0 : リカバリサイクルを14サイクル挿入 1 1 1 1 : リカバリサイクルを15サイクル挿入	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	<a href="#">WRCV[3:0]</a>	ライトリカバリ設定	b11    b8 0 0 0 0 : リカバリサイクルの挿入なし 0 0 0 1 : リカバリサイクルを1サイクル挿入 0 0 1 0 : リカバリサイクルを2サイクル挿入 0 0 1 1 : リカバリサイクルを3サイクル挿入 0 1 0 0 : リカバリサイクルを4サイクル挿入 0 1 0 1 : リカバリサイクルを5サイクル挿入 0 1 1 0 : リカバリサイクルを6サイクル挿入 0 1 1 1 : リカバリサイクルを7サイクル挿入 1 0 0 0 : リカバリサイクルを8サイクル挿入 1 0 0 1 : リカバリサイクルを9サイクル挿入 1 0 1 0 : リカバリサイクルを10サイクル挿入 1 0 1 1 : リカバリサイクルを11サイクル挿入 1 1 0 0 : リカバリサイクルを12サイクル挿入 1 1 0 1 : リカバリサイクルを13サイクル挿入 1 1 1 0 : リカバリサイクルを14サイクル挿入 1 1 1 1 : リカバリサイクルを15サイクル挿入	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

外部バスへのアクセス中は、CSnREC レジスタに書き込まないでください。

前バスアクセスがセパレートバスアクセスの場合、CSRECEN レジスタのセパレートバス用リカバリサイクル挿入許可ビット (RCVEN<sub>j</sub>) (j=0~7) でリカバリサイクルの挿入が許可されているとき、CSnREC レジスタが有効になります。リカバリサイクルの挿入については、[15.5.3 リカバリサイクルの挿入](#)を参照してください。

**RRCV[3:0] ビット (リードリカバリ設定)**

外部バスに対するリードアクセス後に挿入するリカバリサイクル数を指定します。RRCV[3:0] ビットは CSn (n = 0 ~ 3) ごとに指定します。リカバリサイクルの挿入を許可し、これらのビットに 0000b 以外を書くと、以下の場合に 1 ~ 15 のリカバリサイクルが挿入されます。

- 外部バスにリードアクセス後、同じ領域の外部バスにリードアクセスする場合
- 外部バスにリードアクセス後、異なる領域の外部バスにリードアクセスする場合
- 外部バスにリードアクセス後、同じ領域の外部バスにライトアクセスする場合
- 外部バスにリードアクセス後、異なる領域の外部バスにライトアクセスする場合

**WRCV[3:0] ビット (ライトリカバリ設定)**

外部バスに対するライトアクセス後に挿入するリカバリサイクル数を指定します。WRCV[3:0] ビットは CSn (n = 0 ~ 3) ごとに指定します。

リカバリサイクルの挿入を許可し、これらのビットに 0000b 以外を書くと、以下の場合に 1 ~ 15 のリカバリサイクルが挿入されます。

- 外部バスにライトアクセス後、同じ領域の外部バスにリードアクセスする場合
- 外部バスにライトアクセス後、異なる領域の外部バスにリードアクセスする場合
- 外部バスにライトアクセス後、同じ領域の外部バスにライトアクセスする場合
- 外部バスにライトアクセス後、異なる領域の外部バスにライトアクセスする場合

参考資料



### 15.3.3 CS リカバリサイクル挿入イネーブルレジスタ (CSRECEN)

アドレス BUS.CSRECEN 4000 3880h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RCVEN7	RCVEN6	RCVEN5	RCVEN4	RCVEN3	RCVEN2	RCVEN1	RCVEN0
リセット後の値	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	RCVEN0	セパレートバス用リカバリサイクル挿入許可0	0: 禁止 1: 許可	R/W
b1	RCVEN1	セパレートバス用リカバリサイクル挿入許可1	0: 禁止 1: 許可	R/W
b2	RCVEN2	セパレートバス用リカバリサイクル挿入許可2	0: 禁止 1: 許可	R/W
b3	RCVEN3	セパレートバス用リカバリサイクル挿入許可3	0: 禁止 1: 許可	R/W
b4	RCVEN4	セパレートバス用リカバリサイクル挿入許可4	0: 禁止 1: 許可	R/W
b5	RCVEN5	セパレートバス用リカバリサイクル挿入許可5	0: 禁止 1: 許可	R/W
b6	RCVEN6	セパレートバス用リカバリサイクル挿入許可6	0: 禁止 1: 許可	R/W
b7	RCVEN7	セパレートバス用リカバリサイクル挿入許可7	0: 禁止 1: 許可	R/W
b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b9	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

外部バスへのアクセス中は、CSRECEN レジスタに書き込まないでください。リカバリサイクルの挿入については、[15.5.3 リカバリサイクルの挿入](#)を参照してください。

#### RCVENn ビット (セパレートバス用リカバリサイクル挿入許可 n) (n = 0 ~ 7)

外部バスにライト/リードアクセス後、同じまたは異なる領域の外部バスにライト/リードアクセスする場合、ライトリカバリサイクルまたはリードリカバリサイクルの挿入を許可または禁止します。

表 15.5 RCVENnビットとアクセスの種類に対応関係

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入	対応するビット
リードアクセス後のリードアクセス	同じ領域	優先アクセス領域に対してRRCV[3:0]ビットで設定されたりカバリサイクル数が挿入されます。	RCVEN0
	異なる領域	優先アクセス領域に対してRRCV[3:0]ビットで設定されたりカバリサイクル数が挿入されます。	RCVEN1
リードアクセス後のライトアクセス	同じ領域	優先アクセス領域に対してRRCV[3:0]ビットで設定されたりカバリサイクル数が挿入されます。	RCVEN2
	異なる領域	優先アクセス領域に対してRRCV[3:0]ビットで設定されたりカバリサイクル数が挿入されます。	RCVEN3
ライトアクセス後のリードアクセス	同じ領域	優先アクセス領域に対してWRCV[3:0]ビットで設定されたりカバリサイクル数が挿入されます。	RCVEN4
	異なる領域	優先アクセス領域に対してWRCV[3:0]ビットで設定されたりカバリサイクル数が挿入されます。	RCVEN5
ライトアクセス後のライトアクセス	同じ領域	優先アクセス領域に対してWRCV[3:0]ビットで設定されたりカバリサイクル数が挿入されます。	RCVEN6
	異なる領域	優先アクセス領域に対してWRCV[3:0]ビットで設定されたりカバリサイクル数が挿入されます。	RCVEN7

### 15.3.4 CSn モードレジスタ (CSnMOD) (n = 0 ~ 3)

アドレス BUS.CS0MOD 4000 3002h, BUS.CS1MOD 4000 3012h, BUS.CS2MOD 4000 3022h, BUS.CS3MOD 4000 3032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRMOD	ライトアクセスモード選択	0: バイトストローブモード 1: 1ライトストローブモード	R/W
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	EWENB	外部ウェイト許可	0: 禁止 1: 許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	PRENB	ページリードアクセス許可	0: 禁止 1: 許可	R/W
b9	PWENB	ページライトアクセス許可	0: 禁止 1: 許可	R/W
b14-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	PRMOD	ページリードアクセスモード選択	0: ノーマルアクセス互換モード 1: 外部データリード連続アサートモード	R/W

CSn 領域へのアクセス中は、CSnMOD レジスタに書き込まないでください。

#### WRMOD ビット (ライトアクセスモード選択)

ライトアクセス時の動作モードを選択します。このビットを0にすると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WRn 信号 (n=0, 1) によってデータライトが制御されます。このビットを1にすると、1ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn 信号 (n=0, 1) と WR 信号によってデータライトが制御されます。

注. 1ライトストローブモード時は、8ビット外部バス幅の設定はしないでください。

表 15.6 ライトアクセスモードの制御信号

モード	端子名			
	WR1	WR0/WR	BC1	BC0
バイトストローブモード	○	○ (WR0)	×	×
1ライトストローブモード	×	○ (WR)	○	○

○: 有効、×: 無効

#### EWENB ビット (外部ウェイト許可)

外部ウェイトを許可します。このビットを0にすると、WAIT 信号は禁止されます。1にすると、外部ウェイトが許可され、WAIT 信号によってサイクルあたりのウェイト数の制御が可能になります。この場合、WAIT 信号が Low のとき、ウェイトサイクルが挿入されます。

#### PRENB ビット (ページリードアクセス許可)

ページリードアクセスを許可します。

#### PWENB ビット (ページライトアクセス許可)

ページライトアクセスを許可します。

**PRMOD ビット (ページリードアクセスモード選択)**

ページリードアクセスの動作モードを選択します。このビットを 0 にすると、ノーマルアクセス互換モードになります。このとき、1 つのデータを読み出すごとに RD 信号がネゲートされ、RD アサートウェイトが挿入されます。RD アサートウェイトがない場合、外部バスアクセスの最後の転送以外、RD 信号はネゲートされません。

このビットを 1 にすると、外部データリード連続アサートモードになります。このとき、RD アサートウェイトが挿入され、ウェイト中に RD 信号がアサートされ続けます。

参考資料

## 15.3.5 CSn ウェイトコントロールレジスタ 1 (CSnWCR1) (n = 0 ~ 3)

アドレス BUS.CS0WCR1 4000 3004h, BUS.CS1WCR1 4000 3014h, BUS.CS2WCR1 4000 3024h, BUS.CS3WCR1 4000 3034h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	—	CSRWAIT[4:0]				—	—	—	CSWWAIT[4:0]				—	—	—
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	—	CSPRWAIT[2:0]		—	—	—	—	—	CSPWWAIT[2:0]		—	—	
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSPWWAIT[2:0]	ページライトサイクルウェイト 選択(注1)	b2 b0 0 0 0: ウェイトの挿入なし 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	CSPRWAIT[2:0]	ページリードサイクルウェイト 選択(注2)	b10 b8 0 0 0: ウェイトの挿入なし 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b20-b16	CSWWAIT[4:0]	ノーマルライトサイクルウェイト 選択	b20 b16 0 0 0 0 0: ウェイトの挿入なし 0 0 0 0 1: ウェイトを1サイクル挿入 0 0 0 1 0: ウェイトを2サイクル挿入 0 0 0 1 1: ウェイトを3サイクル挿入  nビットに等しい値のサイクル数を挿入  1 1 1 0 1: ウェイトを29サイクル挿入 1 1 1 1 0: ウェイトを30サイクル挿入 1 1 1 1 1: ウェイトを31サイクル挿入	R/W
b23-b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28-b24	CSRWAIT[4:0]	ノーマルリードサイクルウェイト 選択	b28 b24 0 0 0 0 0: ウェイトの挿入なし 0 0 0 0 1: ウェイトを1サイクル挿入 0 0 0 1 0: ウェイトを2サイクル挿入 0 0 0 1 1: ウェイトを3サイクル挿入  nビットに等しい値のサイクル数を挿入  1 1 1 0 1: ウェイトを29サイクル挿入 1 1 1 1 0: ウェイトを30サイクル挿入 1 1 1 1 1: ウェイトを31サイクル挿入	R/W
b31-b29	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. CSPWWAIT[2:0] ビットの設定値は、CSnMOD.PWENB ビットが1の場合のみ有効となります。

注2. CSPRWAIT[2:0] ビットの設定値は、CSnMOD.PRENB ビットが1の場合のみ有効となります。

外部バスへのアクセス中は、CSnWCR1 レジスタに書き込まないでください。これらのビットは、15.5.6 の(1) セパレートバスインタフェース使用時の制限に記載の制限を満たすように設定してください。

#### CSPWAIT[2:0] ビット (ページライトサイクルウェイト選択)

ページライトサイクル時の 2 サイクル目以降のアクセスに挿入するウェイトサイクル数を設定します。設定値は、CSnMOD.PWENB ビットが 1 のとき有効になります。

注.  $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ 、および  $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$  となるように設定してください。

#### CSPRWAIT[2:0] ビット (ページリードサイクルウェイト選択)

ページリードサイクル時の 2 サイクル目以降のアクセスに挿入するウェイトサイクル数を設定します。設定値は、CSnMOD.PRENB ビットが 1 のとき有効になります。

注.  $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPRWAIT}[2:0] \text{ ビット}$  となるように設定してください。

#### CSWWAIT[4:0] ビット (ノーマルライトサイクルウェイト選択)

ノーマルライトサイクルまたはページライトサイクル時の最初のアクセスに挿入するウェイトサイクル数を設定します。

注.  $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ 、および  $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$  となるように設定してください。

#### CSRWAIT[4:0] ビット (ノーマルリードサイクルウェイト選択)

ノーマルリードサイクルまたはページリードサイクル時の最初のアクセスに挿入するウェイトサイクル数を設定します。

注.  $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSRWAIT}[4:0] \text{ ビット}$  となるように設定してください。

## 15.3.6 CSn ウェイトコントロールレジスタ 2 (CSnWCR2) (n = 0 ~ 3)

アドレス BUS.CS0WCR2 4000 3008h, BUS.CS1WCR2 4000 3018h, BUS.CS2WCR2 4000 3028h, BUS.CS3WCR2 4000 3038h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	WDOFF[2:0]			—	CSWOFF[2:0]			—	CSROFF[2:0]		
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSROFF[2:0]	リードアクセス時CS延長サイクル選択	b2 b0 0 0 0: ウェイトの挿入なし 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	CSWOFF[2:0]	ライトアクセス時CS延長サイクル選択	b6 b4 0 0 0: ウェイトの挿入なし 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択	b10 b8 0 0 0: ウェイトの挿入なし 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	RDON[2:0]	RDアサートウェイト選択	b18 b16 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b20	WRON[2:0]	WRアサートウェイト選択	b22 b20 0 0 0: ウェイトの挿入なし 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	WDON[2:0]	ライトデータ出力ウェイト選択	b26 b24 0 0 0: ウェイトの挿入なし 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b30-b28	CSON[2:0]	CSアサートウェイト選択	b30 b28 0 0 0: ウェイトの挿入なし 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

外部バスへのアクセス中は、CSnWCR2レジスタに書き込まないでください。これらのビットは、15.5.6の(1)セパレートバスインタフェース使用時の制限に記載の制限を満たすように設定してください。

#### CSROFF[2:0] ビット (リードアクセス時 CS 延長サイクル選択)

リードアクセスモード時に、ウェイトサイクルの終了 (RD 信号のネゲート) から CSn 信号 (n=0~3) がネゲートされるまでの間に挿入するウェイトサイクル数を設定します。

#### CSWOFF[2:0] ビット (ライトアクセス時 CS 延長サイクル選択)

ライトアクセスモード時に、ウェイトサイクルの終了 (WRn 信号 (n=0,1) のネゲート) から CSn 信号 (n=0~3) がネゲートされるまでの間に挿入するウェイトサイクル数を設定します。

注. CSnWCR2.WDOFF[2:0] ビット ≤ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

#### WDOFF[2:0] ビット (ライトデータ出力延長サイクル選択)

ライトアクセスモード時に、ウェイトサイクルの終了 (WRn 信号 (n=0,1) のネゲート) からライトデータ出力が終了するまでの間に挿入するウェイトサイクル数を設定します。

注. CSnWCR2.WDOFF[2:0] ビット ≤ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

#### RDON[2:0] ビット (RD アサートウェイト選択)

RD 信号のアサート前に挿入するウェイトサイクル数を設定します。

注. ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.RDON[2:0] ビット ≤ CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。  
ページリードアクセス時、CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.RDON[2:0] ビット ≤ CSnWCR1.CSPRWAIT[2:0] ビットとなるように設定してください。



**WRON[2:0] ビット (WR アサートウェイト選択)**

WRn 信号 (n=0~1) のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルライトアクセス時、 $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ 、および、 $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ となるように設定してください。  
ページライトアクセス時、 $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ 、および、 $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ となるように設定してください。

**WDON[2:0] ビット (ライトデータ出力ウェイト選択)**

ライトデータの出力前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルライトアクセス時、 $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ となるように設定してください。  
ページライトアクセス時、 $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ となるように設定してください。

**CSON[2:0] ビット (CS アサートウェイト選択)**

CSn 信号 (n=0~3) のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルリードアクセス時、 $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSRWAIT}[4:0] \text{ ビット}$ となるように設定してください。  
ページリードアクセス時、 $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ となるように設定してください。  
ノーマルライトアクセス時、 $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ となるように設定してください。  
ページライトアクセス時、 $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ となるように設定してください。

## 15.3.7 マスタバスコントロールレジスタ (BUSMCNT&lt;master&gt;)

アドレス [BUS.BUSMCNTM4I 4000 4000h](#), [BUS.BUSMCNTM4D 4000 4004h](#),  
[BUS.BUSMCNTSYS 4000 4008h](#), [BUS.BUSMCNTDMA 4000 400Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IERES	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	IERES	エラー応答無視	0 : バスエラーを通知する 1 : バスエラーを通知しない	R/W

注 . 予約ビットを初期値 0 から書き換えしないでください。書き換え中の動作は保証されません。

**IERES ビット (エラー応答無視)**

AHB-Lite プロトコルのエラー応答を有効または無効にします。

表 15.7 に、バスの種類に対応したレジスタを示します。

表 15.7 バスの種類とレジスタの対応

バスの種類	マスタバス コントロールレジスタ	スレーブバス コントロールレジスタ	バスエラー アドレスレジスタ	バスエラー ステータスレジスタ
ICodeバス (CPU)	BUSMCNTM4I	-	BUS1ERRADD	BUS1ERRSTAT
DCodeバス (CPU)	BUSMCNTM4D	-	BUS2ERRADD	BUS2ERRSTAT
システムバス (CPU)	BUSMCNTSYS	-	BUS3ERRADD	BUS3ERRSTAT
DMAバス	BUSMCNTDMA	-	BUS4ERRADD	BUS4ERRSTAT
メモリバス1	-	BUSCNTFLI	-	-
メモリバス3	-	BUSCNTMBIU	-	-
メモリバス4	-	BUSCNTRAM0	-	-
メモリバス5	-	BUSCNTRAM1	-	-
内部周辺バス1, 3, 4, 5, 7	-	BUSCNTPhB [n = 0, 2, 3, 4, 6]	-	-
内部周辺バス9	-	BUSCNTFBU	-	-
外部バス (CS領域)	-	BUSCNTTEXT	-	-
外部バス (QSPI領域)	-	BUSCNTTEXT2	-	-

## 15.3.8 スレーブバスコントロールレジスタ (BUSSCNT&lt;slave&gt;)

アドレス BUS.BUSSCNTFLI 4000 4100h, BUS.BUSSCNTMBIU 4000 4108h, BUS.BUSSCNTRAM0 4000 410Ch, BUS.BUSSCNTRAM1 4000 4110h, BUS.BUSSCNTPOB 4000 4114h, BUS.BUSSCNTP2B 4000 4118h, BUS.BUSSCNTP3B 4000 411Ch, BUS.BUSSCNTP4B 4000 4120h, BUS.BUSSCNTP6B 4000 4128h, BUS.BUSSCNTFBU 4000 4130h, BUS.BUSSCNTEXT 4000 4134h, BUS.BUSSCNTEXT2 4000 4138h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	ARBMET	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	ARBMET	調停法	グループ間の優先順位を指定 b5 b4 00: 優先順位固定 01: ラウンドロビン 10: 設定禁止 11: 設定禁止	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. 予約ビットを初期値0から書き換えしないでください。書き換え中の動作は保証されません。

## ARBMET ビット (調停法)

各バスマスタの優先順位を指定します。

優先順位固定については、表 15.8 を参照してください。ラウンドロビンについては、表 15.9 を参照してください。

表 15.7 に、バスの種類に対応したレジスタを示します。

表 15.8 優先順位固定 (ARBMET = 00b)

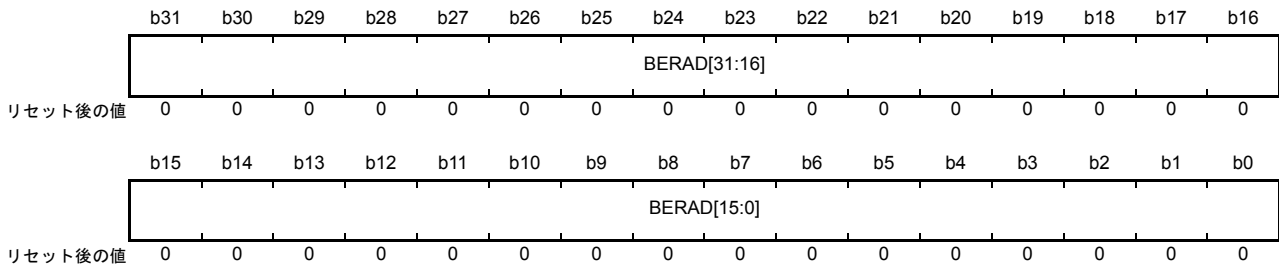
スレーブバスコントロールレジスタ	スレーブインタフェース	優先順位
BUSSCNTFLI	メモリバス1	メモリバス3 > DCodeバス (CPU) > ICodeバス (CPU)
BUSSCNTRAM0	メモリバス4	DMAバス > システムバス (CPU)
BUSSCNTRAM1	メモリバス5	DMAバス > システムバス (CPU)
BUSSCNTPnB [n = 0, 2, 3, 4, 6]	内部周辺バス1, 3, 4, 5, 7	DMAバス > システムバス (CPU)
BUSSCNTFBU	内部周辺バス9	DMAバス > システムバス (CPU)
BUSSCNTEXT	外部バス (CS領域)	DMAバス > システムバス (CPU)
BUSSCNTEXT2	外部バス (QSPI領域)	DMAバス > システムバス (CPU)

表 15.9 ラウンドロビン (ARBMET = 01b)

スレーブバスコントロールレジスタ	スレーブインタフェース	優先順位“<=>”: ラウンドロビン
BUSSCNTFLI	メモリバス1	メモリバス3 <=> DCodeバス (CPU) <=> ICodeバス (CPU)
BUSSCNTRAM0	メモリバス4	DMAバス <=> システムバス (CPU)
BUSSCNTRAM1	メモリバス5	DMAバス <=> システムバス (CPU)
BUSSCNTPnB [n = 0, 2, 3, 4, 6]	内部周辺バス1, 3, 4, 5, 7	DMAバス <=> システムバス (CPU)
BUSSCNTFBU	内部周辺バス9	DMAバス <=> システムバス (CPU)
BUSSCNTEXT	外部バス (CS領域)	DMAバス <=> システムバス (CPU)
BUSSCNTEXT2	外部バス (QSPI領域)	DMAバス <=> システムバス (CPU)

### 15.3.9 バスエラーアドレスレジスタ (BUSnERRADD) (n = 1 ~ 4)

アドレス [BUS.BUS1ERRADD 4000 4800h](#), [BUS.BUS2ERRADD 4000 4810h](#),  
[BUS.BUS3ERRADD 4000 4820h](#), [BUS.BUS4ERRADD 4000 4830h](#)



ビット	シンボル	ビット名	機能	R/W
b31-b0	BERAD[31:0]	バスエラーアドレス	バスエラーが発生した場合、そのエラーアドレスを格納します。	R

注. このレジスタは、バスマスタおよびバススレーブ MPU エラーリセットが発生しなくても、リセットによってクリアされません。詳細については、「[6. リセット](#)」と「[16. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

[表 15.7](#) に、バスの種類とレジスタの対応を示します。

#### BERAD[31:0] ビット (バスエラーアドレス)

バスエラーが発生した場合、そのアクセスアドレスを格納します。詳細については、BUSnERRSTAT.ERRSTAT ビットの説明と [15.6 バスエラー監視部](#) を参照してください。BUSnERRADDn.BERAD[31:0] ビット (n = 1 ~ 4) の値は、BUSnERRSTAT.ERRSTAT ビット (n = 1 ~ 4) が 1 の場合にのみ有効です。

### 15.3.10 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 1 ~ 4)

アドレス [BUS.BUS1ERRSTAT 4000 4804h](#), [BUS.BUS2ERRSTAT 4000 4814h](#),  
[BUS.BUS3ERRSTAT 4000 4824h](#), [BUS.BUS4ERRSTAT 4000 4834h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	ERRSTAT	—	—	—	—	—	—	ACCSTAT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACCSTAT	エラーアクセス状態	エラー発生時のアクセス状態 1: ライトアクセス 0: リードアクセス	R
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	ERRSTAT	バスエラー状態	0: バスエラー発生なし 1: バスエラー発生あり	R

注. このレジスタは、バスマスタおよびバススレーブ MPU エラーリセットが発生しなくても、リセットによってクリアされます。詳細については、「[6. リセット](#)」と「[16. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

表 15.7 に、バスの種類とレジスタの対応を示します。

#### ACCSTAT ビット (エラーアクセス状態)

対応するバスにエラーが発生した場合、そのアクセス状態 (ライトアクセスまたはリードアクセス) を示します。詳細については、BUSnERRSTAT.ERRSTAT ビットの説明と [15.6 バスエラー監視部](#) を参照してください。

このビットの値は、BUSnERRSTAT.ERRSTAT ビット (n = 1 ~ 4) が 1 の場合にのみ有効です。

#### ERRSTAT ビット (バスエラー状態)

バスエラーの発生の有無を示します。バスエラーが発生した場合、そのアクセスアドレスとアクセス状態 (ライトアクセスまたはリードアクセス) が格納されます。BUSnERRSTAT.ERRSTAT ビット (n = 1 ~ 4) は 1 になります。

それぞれのバスでは、次の 4 種類のエラーが生じる可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

各バスに生じるエラーについては、[15.6 バスエラー監視部](#)、および「[16. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

## 15.4 エンディアン形式とデータアライメント

外部バスはデータアライメント機能を持っており、外部アドレス空間（CS 領域）をアクセスするとき、データバスのどちらのバイト（D15～D08 または D07～D00）を使用するか制御します。データアライメントは、アクセスする領域のバス仕様（8ビットまたは16ビットバス空間）、データサイズ、およびエンディアン形式に基づいています。

### 15.4.1 CS 領域のデータアライメント制御

#### (1) 16 ビットバス空間

CSnCR.BSIZE[1:0] ビットで16ビットバス空間を選択すると、アドレスバス（A16～A01）が16ビット単位のアドレス出力信号として有効になり、アドレスバス（A00）は無効（Low 固定）になります。

バイトストローブモード（CSnMOD.WRMOD ビット=0）を選択した場合、WR0 端子と WR1 端子が有効になります。BC0 端子と BC1 端子は使用しません。

1 ライトストローブモード（CSnMOD.WRMOD ビット=1）を選択した場合、WR0 端子のみが有効となり、データサイズに関係なくライトアクセス時には WR0 端子から常に Low が出力されます。このとき、WR1 端子は無効（High 固定）になります。有効なバイト位置は、BC0 端子と BC1 端子によって表します。

制御信号とチップ外部データの有効位置は、ビッグエンディアンとリトルエンディアンで異なります。☒ 15.3 と ☒ 15.4 を参照してください。

32ビット単位のデータアクセスに対して、ページアクセスが発生する場合があります。アクセスが32ビット境界を越えず、かつ BC0 および BC1 信号に変化が生じない場合に限り、ページアクセスが発生します。ページアクセスが発生する場合は ☒ 15.3 と ☒ 15.4 に (p) で示します。

データサイズ	アクセス番地	アクセス回数	バス サイクル	データ量	アドレス	データバス			
						D15	D08	D07	D00
8ビット	4n	1回	1回目	8ビット	4n	7   0			
	4n+1	1回	1回目	8ビット	4n	7   0			
	4n+2	1回	1回目	8ビット	4n+2	7   0			
	4n+3	1回	1回目	8ビット	4n+2	7   0			
16ビット	4n	1回	1回目	16ビット	4n	15   8   7   0			
	4n+2	1回	1回目	16ビット	4n+2	15   8   7   0			
32ビット	4n	2回	1回目	16ビット	4n	15   8   7   0			
			2回目	16ビット	4n+2 (p)	31   24   23   16			

(p) : ページアクセス (CSnMOD.PRENB, PWENBビットでページアクセスが許可の場合のみ)

☒ 15.3 16 ビットバス空間におけるデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バス サイクル	データ量	アドレス	データバス			
						D15	D08	D07	D00
8ビット	4n	1回	1回目	8ビット	4n	7	0		
	4n+1	1回	1回目	8ビット	4n			7	0
	4n+2	1回	1回目	8ビット	4n+2	7	0		
	4n+3	1回	1回目	8ビット	4n+2			7	0
16ビット	4n	1回	1回目	16ビット	4n	15	8	7	0
	4n+2	1回	1回目	16ビット	4n+2	15	8	7	0
32ビット	4n	2回	1回目	16ビット	4n	31	24	23	16
			2回目	16ビット	4n+2 (p)	15	8	7	0

(p) : ページアクセス (CSnMOD.PRENB, PWENBビットでページアクセスが許可の場合のみ)

図 15.4 16 ビットバス空間におけるデータアライメント (ビッグエンディアン)

## (2) 8 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 8 ビットバス空間を選択すると、アドレスバス (A16 ~ A00) がバイト単位のアドレス出力信号として有効になります。

8 ビットバス空間では、ライトアクセスモードの設定にかかわらず、WR0 端子のみが有効になります。WR0 端子にはライトアクセス時に常に Low が出力されます。WR1 端子と BC0 端子は使用しません。

エンディアン形式にかかわらず、チップ外部データの有効位置は D07 ~ D00 であり、WR0 端子は制御信号として使用されます。図 15.5 と図 15.6 を参照してください。

16 ビットまたは 32 ビット単位のデータアクセスに対して、ページアクセスが発生する場合があります。アクセスが 32 ビット境界を越えない場合に限り、ページアクセスが発生します。ページアクセスが発生する場合は図 15.5 と図 15.6 に (p) で示します。

データサイズ	アクセス番地	アクセス回数	バス サイクル	データ量	アドレス	RD			
						WR1/BC1	WR0/BC0	データバス	
						D15	D08	D07	D00
8ビット	4n	1回	1回目	8ビット	4n		7		0
	4n+1	1回	1回目	8ビット	4n+1		7		0
	4n+2	1回	1回目	8ビット	4n+2		7		0
	4n+3	1回	1回目	8ビット	4n+3		7		0
16ビット	4n	2回	1回目	8ビット	4n		15		8
			2回目	8ビット	4n+1 (p)		7		0
	4n+2	2回	1回目	8ビット	4n+2		15		8
			2回目	8ビット	4n+3 (p)		7		0
32ビット	4n	4回	1回目	8ビット	4n		31		24
			2回目	8ビット	4n+1 (p)		23		16
			3回目	8ビット	4n+2 (p)		15		8
			4回目	8ビット	4n+3 (p)		7		0

(p) : ページアクセス (CSnMOD.PRENB, PWENBビットでページアクセスが許可の場合のみ)

図 15.5 8ビットバス空間におけるデータアライメント (リトルエンディアン)

データサイズ	アクセス番地	アクセス回数	バス サイクル	データ量	アドレス	RD			
						WR1/BC1	WR0/BC0	データバス	
						D15	D08	D07	D00
8ビット	4n	1回	1回目	8ビット	4n		7		0
	4n+1	1回	1回目	8ビット	4n+1		7		0
	4n+2	1回	1回目	8ビット	4n+2		7		0
	4n+3	1回	1回目	8ビット	4n+3		7		0
16ビット	4n	2回	1回目	8ビット	4n		15		8
			2回目	8ビット	4n+1 (p)		7		0
	4n+2	2回	1回目	8ビット	4n+2		15		8
			2回目	8ビット	4n+3 (p)		7		0
32ビット	4n	4回	1回目	8ビット	4n		31		24
			2回目	8ビット	4n+1 (p)		23		16
			3回目	8ビット	4n+2 (p)		15		8
			4回目	8ビット	4n+3 (p)		7		0

(p) : ページアクセス (CSnMOD.PRENB, PWENBビットでページアクセスが許可の場合のみ)

図 15.6 8ビットバス空間におけるデータアライメント (ビッグエンディアン)



## 15.5 CS 領域コントローラの動作説明

### 15.5.1 セパレートバス

本節では、タイミング図に記載のサイクルについて説明します。CS 領域コントローラ (CSC) は外部バスクロック (BCLK) に同期して動作します。CSC のレジスタで設定されるウェイトサイクルなどの動作サイクルは、BCLK でカウントされます。以下では、特に断りのない限り、外部バスクロック (BCLK) と EBCLK 端子出力は、同一周波数であるものとします。外部バスアクセス開始の起点は、EBCLK 端子出力の立ち上がり時点になります。ただし、外部バスクロック (BCLK) と EBCLK 端子出力が異なる周波数の場合、2 回目以降の外部バスアクセスの開始は、ウェイト設定によっては EBCLK 端子出力の立ち下がり時点になる可能性があります。図 15.12 ~ 図 15.16 を参照してください。また、バスアクセスに対してリカバリサイクルが挿入されている場合にも、リカバリサイクル数の設定によっては EBCLK 端子出力の立ち下がり時点になる可能性があります。図 15.28 を参照してください。

#### (a) Tw1 ~ Twn (ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト)

Tw1 から Twn までの期間は、外部バスアクセスの開始からストロブ信号が有効なサイクルの 1 サイクル前までのサイクル数です。0 ~ 31 サイクルを選択できます。この期間内に、CSn、RDn、および WRn 信号をアサートする (信号を Low にする) タイミングは、それぞれのウェイト設定によって決定されます。ウェイト期間は、CSn ウェイトコントロールレジスタ 2 (CSnWCR2) の CS アサートウェイト選択ビット (CSON)、RD アサートウェイト選択ビット (RDON)、WR アサートウェイト選択ビット (WRON)、およびライトデータ出力ウェイト選択ビット (WDON) によって制御されます。各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点にして、0 ~ 7 サイクルから選択できます。選択可能なサイクル数は、リード/ライトサイクルウェイトに必要な全サイクル数の範囲内です。

#### (b) Tend (ストロブ信号有効サイクル)

Tend は、ノーマルリード/ライトサイクルウェイト期間、あるいはページリード/ライトサイクルウェイト期間が終了した次のサイクルです。ノーマルリード/ライトサイクルウェイト、あるいはページリード/ライトサイクルウェイトの選択ビットが 0 の場合、バスアクセスはストロブ信号が有効なサイクルで開始されます。その次のサイクルで、RD 信号と WRn 信号がネゲートされます。リードアクセスの場合、ストロブ信号が有効なサイクルが、リードデータがサンプリングされるサイクルです。外部ウェイトが許可の場合、ストロブ信号が有効なサイクルでウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長します。ウェイト信号が High になると、次のサイクルでバスサイクルを終了します。Tend は、ウェイト信号のサンプリングを開始するサイクルを示します。

ページアクセス中にストロブ信号が有効な最初のサイクルが終了した後、ライトアクセス時にライトデータ出力延長サイクルが 0 以外の値に設定されている場合 ((d) Tdw1 ~ Tdwn (ライトデータ出力延長サイクル) を参照) を除いて、次のサイクルでは 2 回目以降のページアクセス ((e) Tpw1 ~ Tpwn (ページリードサイクルウェイト、ページライトサイクルウェイト) を参照) が開始されます。RD アサートウェイトまたは WR アサートウェイトの設定が 0 以外の場合、次のサイクルで RD 信号と WRn 信号がネゲートされます。0 の場合はアサートが継続されます。また、CSn 信号はネゲートされずにアサートされ続けます。

#### (c) Tn1 ~ Tnm (CS 延長サイクル)

ノーマルアクセスの場合、Tn1 ~ Tnm は、ストロブ信号が有効なサイクル (Tend) の次のサイクルから CSn 信号のネゲートまでの期間のクロックサイクル数です。ネゲートするタイミングは、リードアクセス時は、CSn ウェイトコントロールレジスタ 2 (CSnWCR2) のリードアクセス時 CS 延長サイクル選択ビット (CSROFF)、ライトアクセス時は、ライトアクセス時 CS 延長サイクル選択ビット (CSWOFF) によって制御することができます。サイクル数は、ストロブ信号が有効なサイクルの次のサイクルを起点に数えます。

ページアクセスの場合、Tn1 ~ Tnm は、ストロブ信号が有効な最後のサイクルから CSn 信号のネゲートまでの期間のクロックサイクル数です。

ライトアクセス時は、ライトデータ出力延長サイクル選択ビット (WDOFF) によって、アドレスおよび出力データの有効な期間の延長が制御されます。

#### (d) Tdw1 ~ Tdwn (ライトデータ出力延長サイクル)

ライトアクセス時、ライトデータ出力延長ウェイトの設定が 0 以外の場合、指定されたサイクル数がストロブ信号が有効なサイクル (Tend) の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル期間 ((c) Tn1 ~ Tnm (CS 延長サイクル) を参照) 内に挿入されます。

ページアクセスの場合、ストロブ信号が有効なサイクルと後続のページアクセスの期間内、または CS 延長サイクル期間 ((c) Tn1 ~ Tnm (CS 延長サイクル) を参照) 内に挿入されます。この期間にわたって、アドレスと出力データが延長され、WRn 信号がネゲートされます。

#### (e) Tpw1 ~ Tpwn (ページリードサイクルウェイト、ページライトサイクルウェイト)

ページアクセス中の 2 回目以降のバスサイクルについては、ノーマルリード/ライトサイクルウェイトの代わりに、ページリードサイクルウェイトまたはページライトサイクルウェイトの値が使用されます。WR アサートウェイト選択ビットの設定は、1 回目のアクセスと同様に有効となります。RD アサート制御は、下記に示すように、ページリードアクセスモード (CSnMOD.PRMOD ビット) の設定によって動作が異なります。

CSnMOD.PRMOD ビット = 0 の場合 : 1 回目と同様に RD アサートウェイトが挿入され、RD 信号がネゲートされる

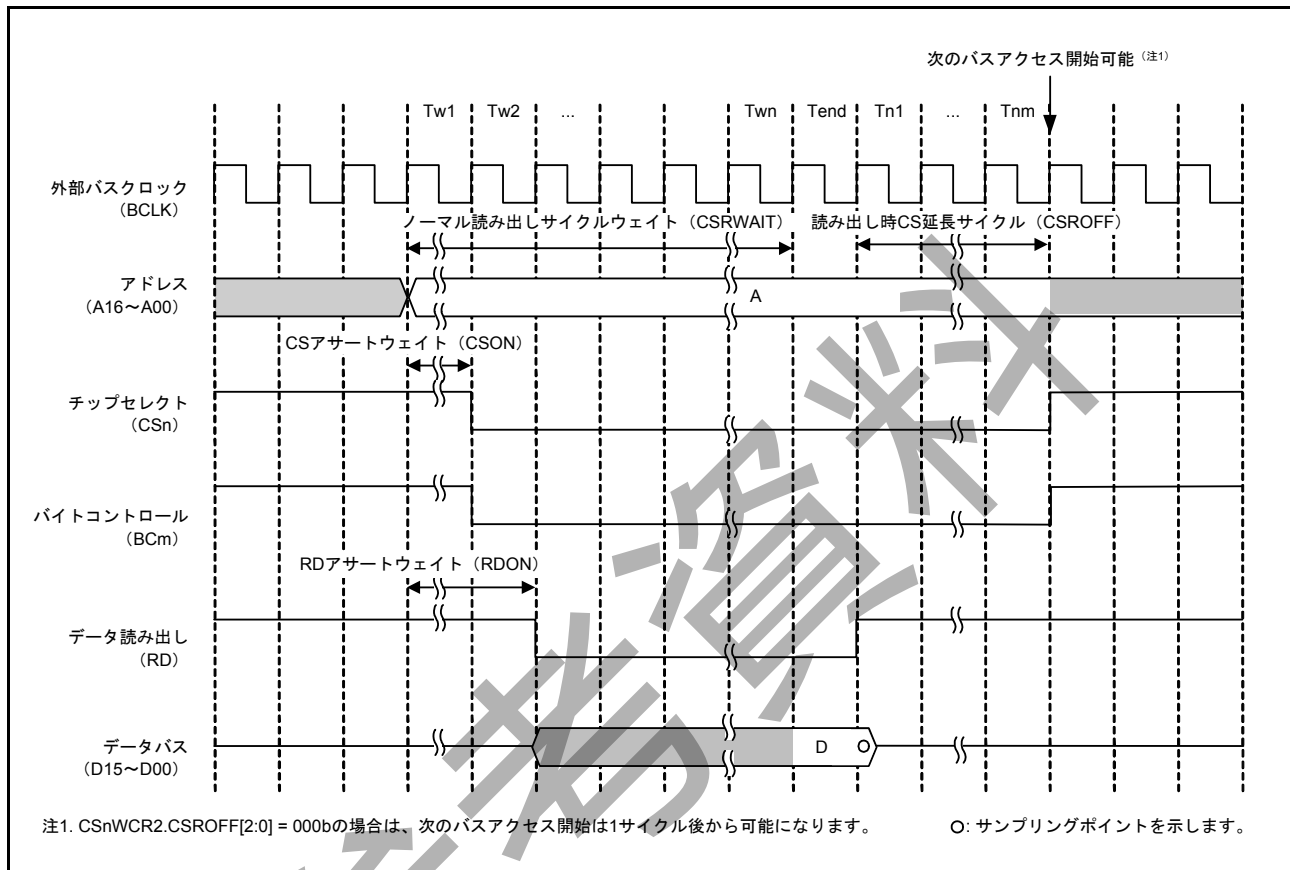
CSnMOD.PRMOD ビット = 1 の場合 : ノーマルアクセス互換モードと同様に、RD アサートウェイトが挿入されるが、その間、RD 信号がアサートされ続ける

#### (f) Tr1 ~ Trn (リカバリサイクル)

バスサイクルの終了時点 (CSn 信号のネゲート時点) からリカバリサイクルの挿入が可能です。リカバリサイクル数は、CSn リカバリサイクル設定レジスタ (CSnREC) のリードリカバリ設定ビット (RRCV)、ライトリカバリ設定ビット (WRCV) によって制御することができます。各リカバリサイクル数は、バスサイクルの終了時点 (CSn 信号のネゲート時点) を起点に数え、0 ~ 15 サイクルの選択が可能です。詳細は、[15.5.3 リカバリサイクルの挿入](#)を参照してください。

### (1) ノーマルアクセス

CSnMOD レジスタの PRENB ビットと PWENB ビットを 0 (ページリードアクセスおよびページライトアクセスを禁止) にした場合、すべてのバスアクセスはノーマルアクセスを行います。CSnMOD レジスタの PRENB ビットと PWENB ビットを 1 (ページリードアクセスおよびページライトアクセスを許可) にした場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。図 15.7 ~ 図 15.9 にノーマルアクセスの動作例を示します。



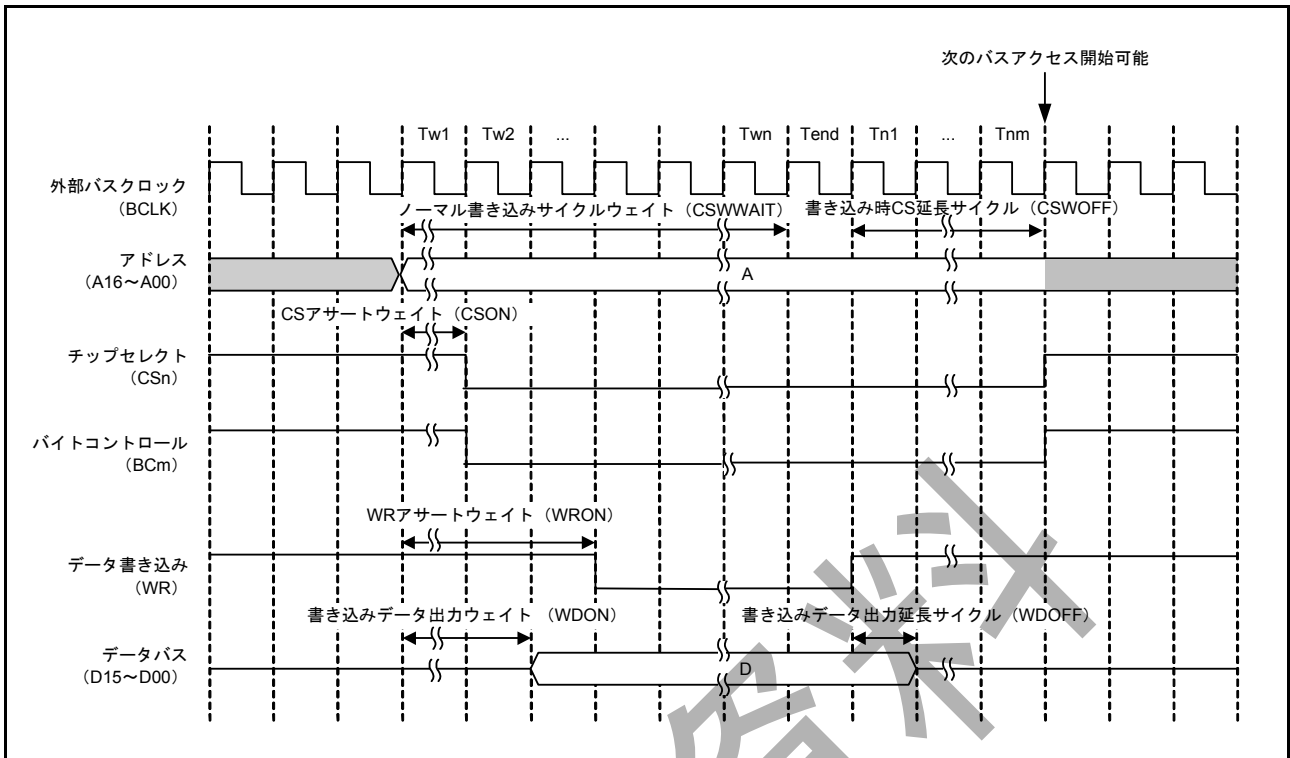


図 15.8 ノーマルライトアクセスのバスタイミング (1ライトストロブモード) (n = 0 ~ 3; m = 0, 1)

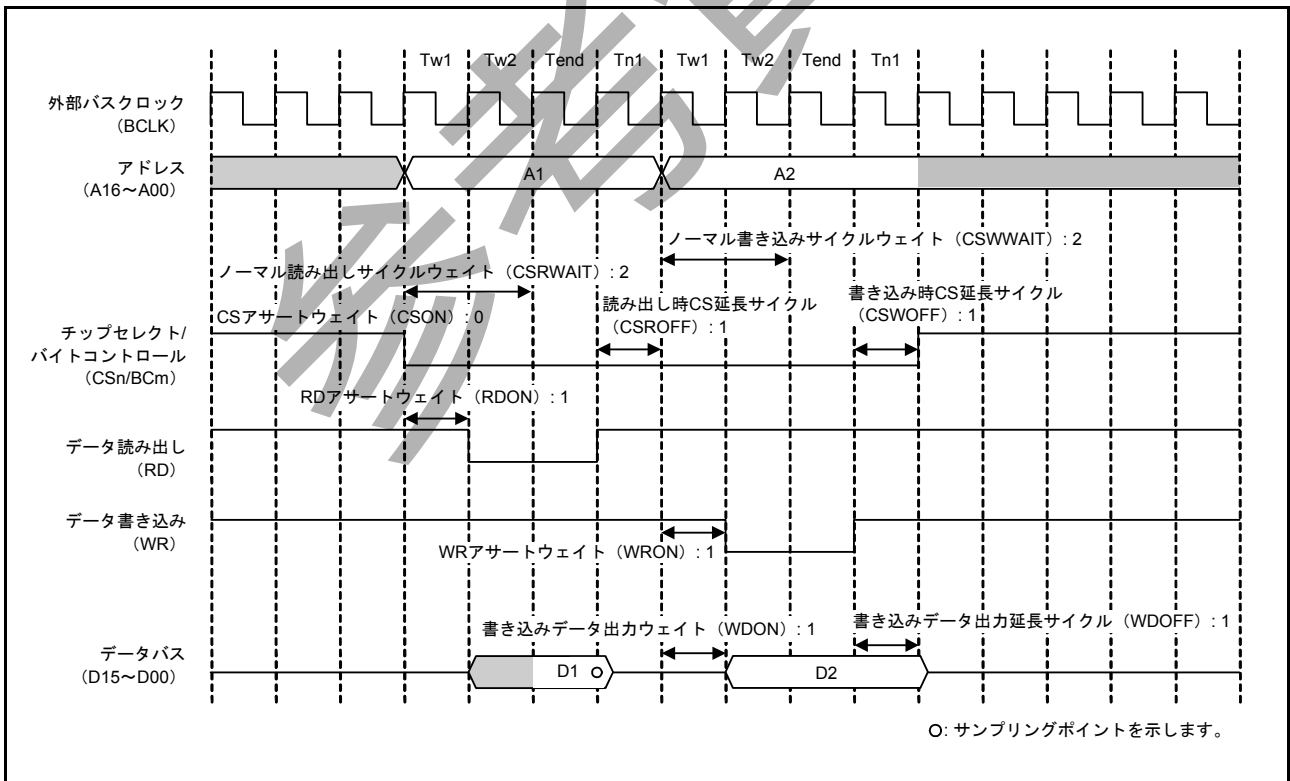


図 15.9 ノーマルアクセスの動作例 (リード/ライト) (n = 0 ~ 3; m = 0, 1)

バスマスタからの1転送要求に対して2回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作を繰り返します。(a)  $T_{w1} \sim T_{wn}$  (ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト) ~ (d)  $T_{dw1} \sim T_{dwn}$  (ライトデータ出力延長サイクル) を参照してください。図 15.10 と図 15.11 に、1転送要求に対して2回バスアクセスが発生する場合の動作例を示します。ただし、リカバリサイクル挿入条件が成り立つ場合は、2回目以降の外部バスアクセスにもリカバリサイクル ((f)  $T_{r1} \sim T_{rn}$  (リカバリサイクル)) が挿入されます。図 15.26 を参照してください。

図に示す各ウェイトコントロールレジスタの値は設定例です。アプリケーションにおいては、接続するデバイスの仕様に合わせてレジスタのビットを設定してください。

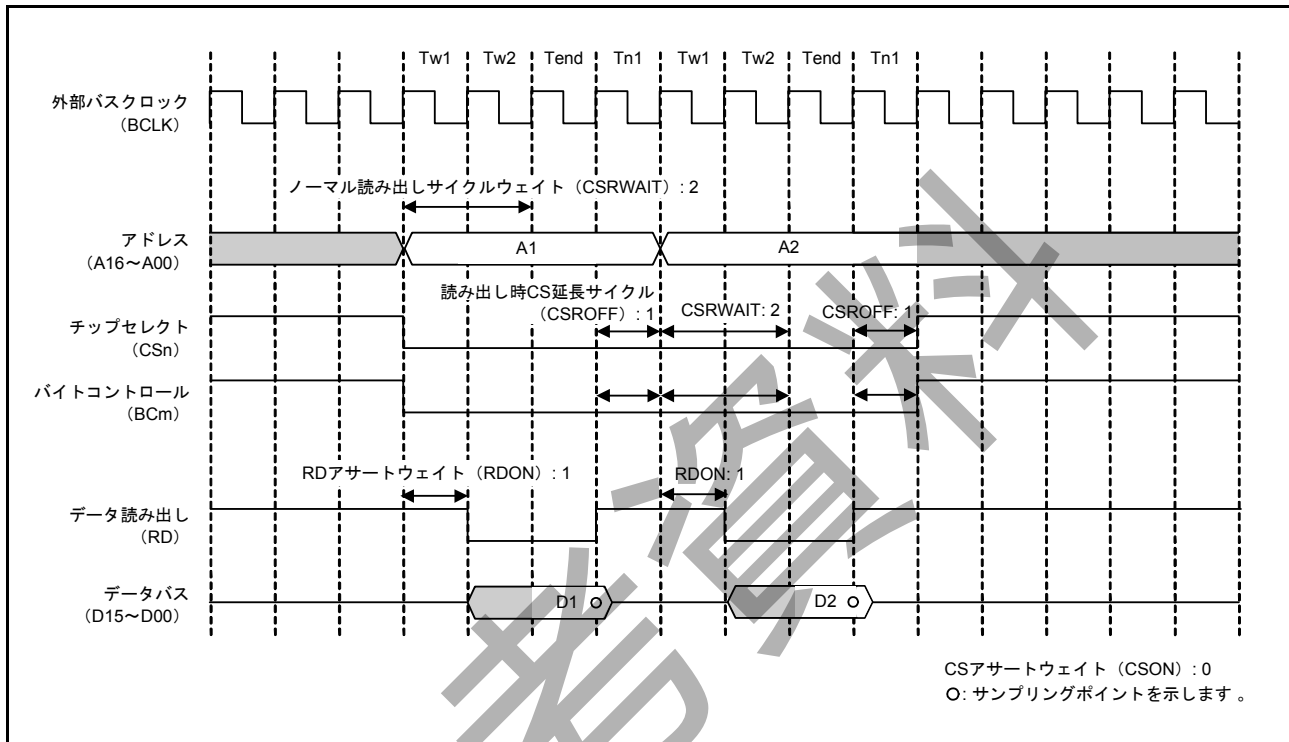


図 15.10 ノーマルリードアクセスの動作例  
(1転送要求に対して2回バスアクセスが発生する場合) ( $n = 0 \sim 3; m = 0, 1$ )

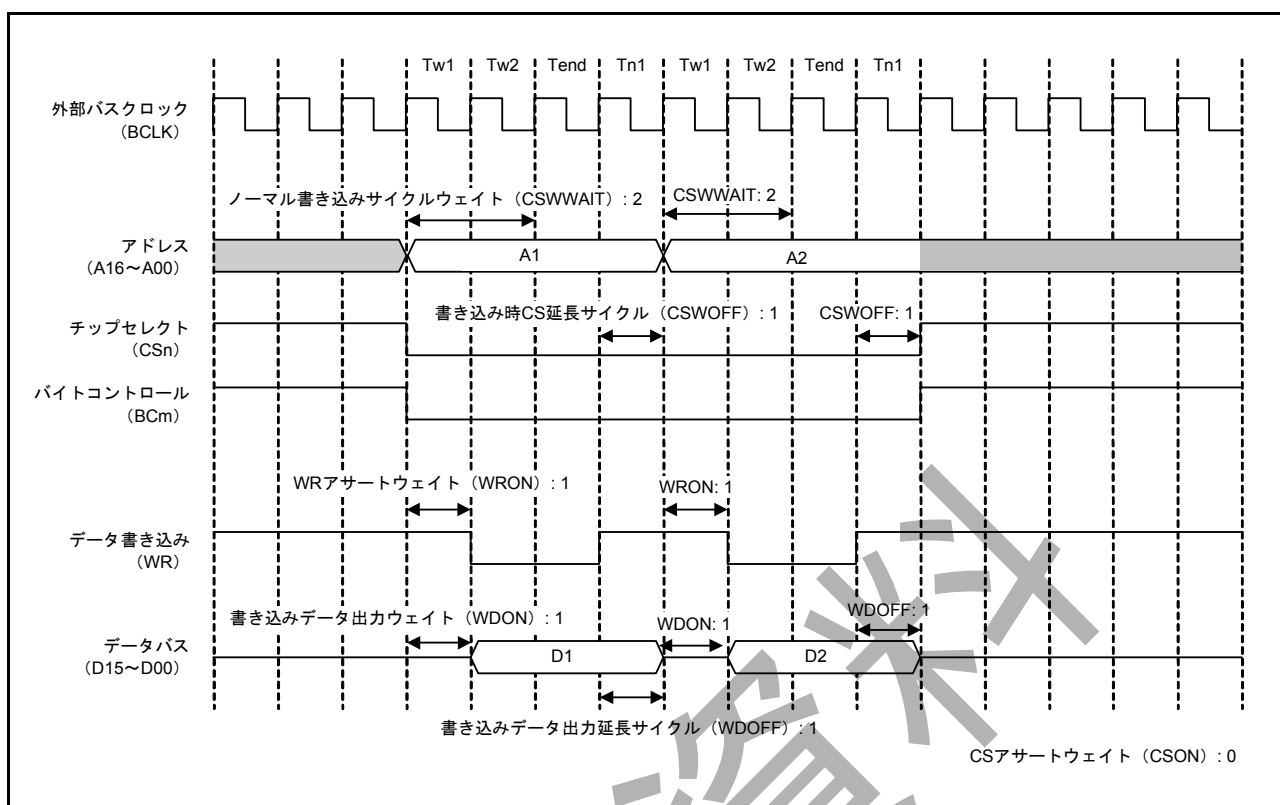


図 15.11 ノーマルライトアクセスの動作例  
 (1 転送要求に対して 2 回バスアクセスが発生する場合: 1 ライトストローブモード時) ( $n = 0 \sim 3$ ;  $m = 0, 1$ )

図 15.12 ～ 図 15.16 に、EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合のノーマルアクセスの動作例を示します。

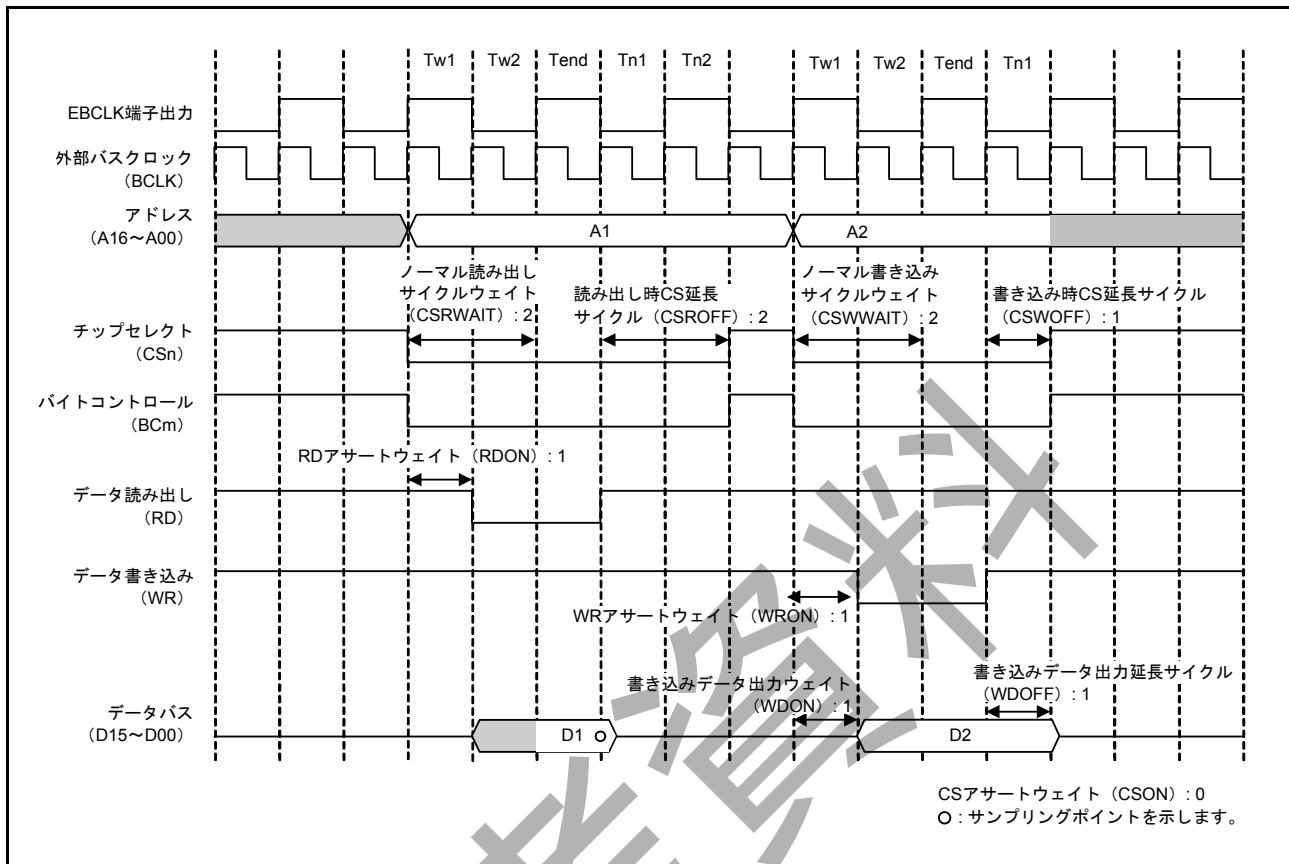


図 15.12 ノーマルアクセスの動作例  
(EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合) ( $n = 0 \sim 3$ ;  $m = 0, 1$ )

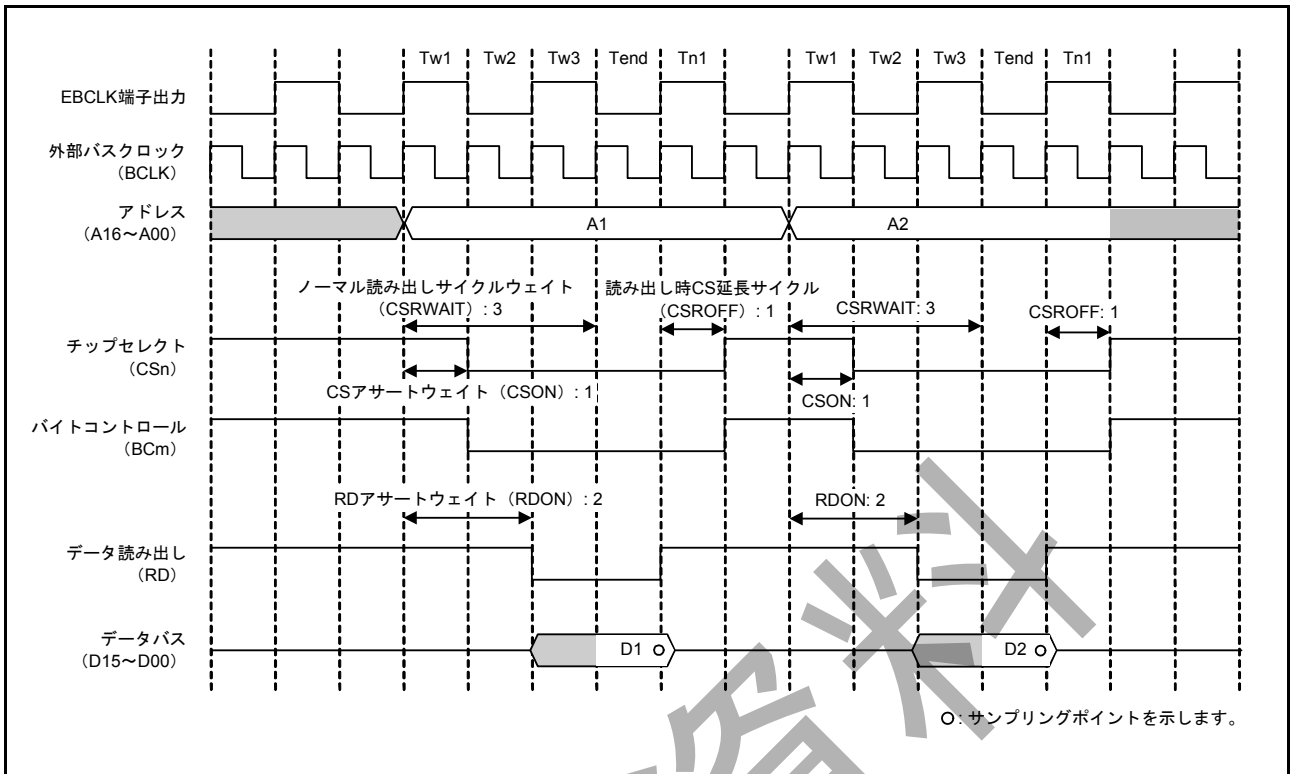


図 15.13 ノーマルリードアクセスの動作例  
(EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合) (n = 0 ~ 3; m = 0, 1)

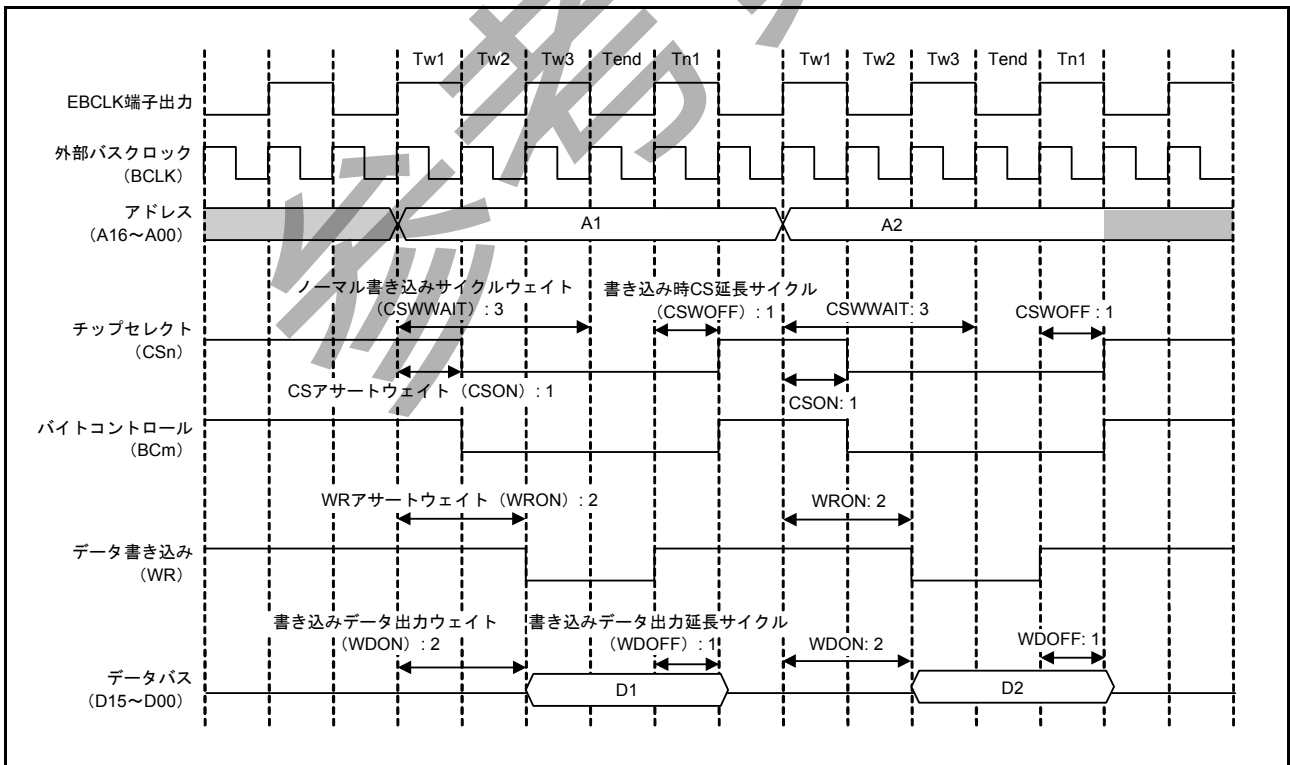


図 15.14 ノーマルライトアクセスの動作例  
(EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合) (n = 0 ~ 3; m = 0, 1)



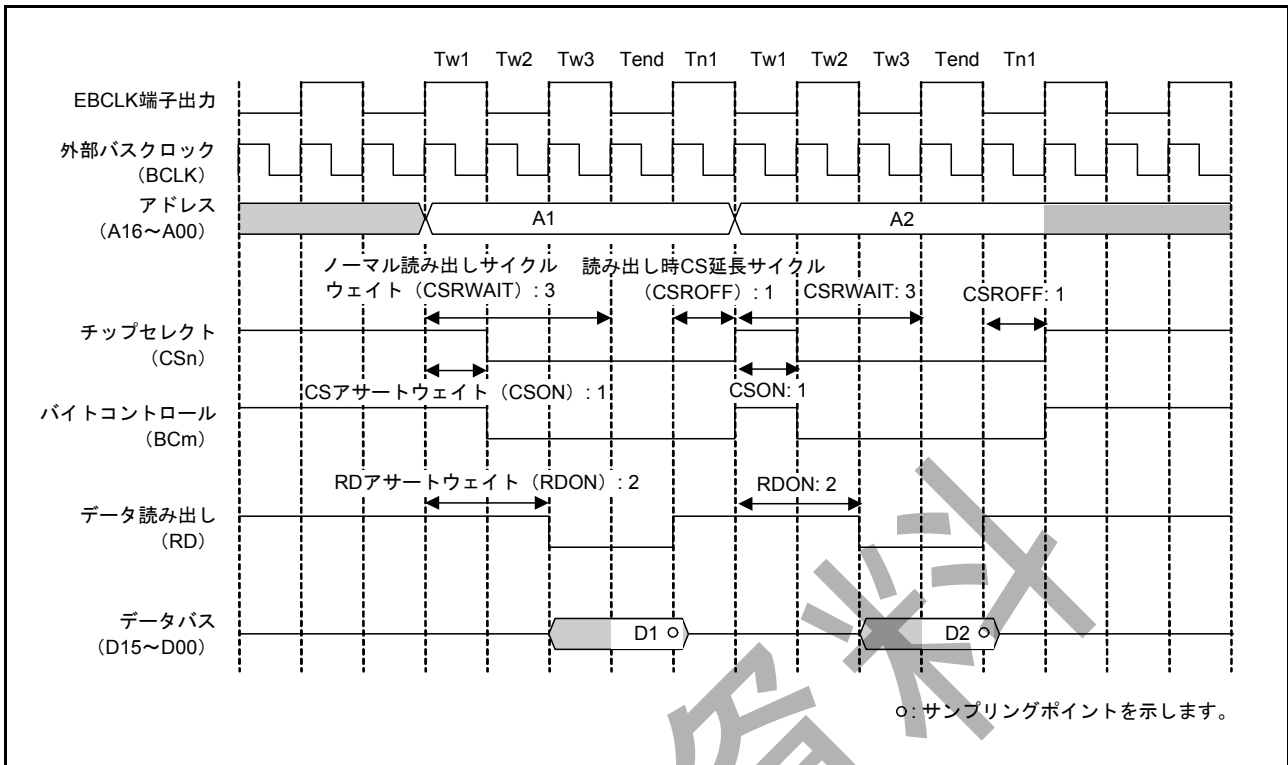


図 15.15 ノーマルリードアクセスの動作例  
(EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合、および 1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 3; m = 0, 1)

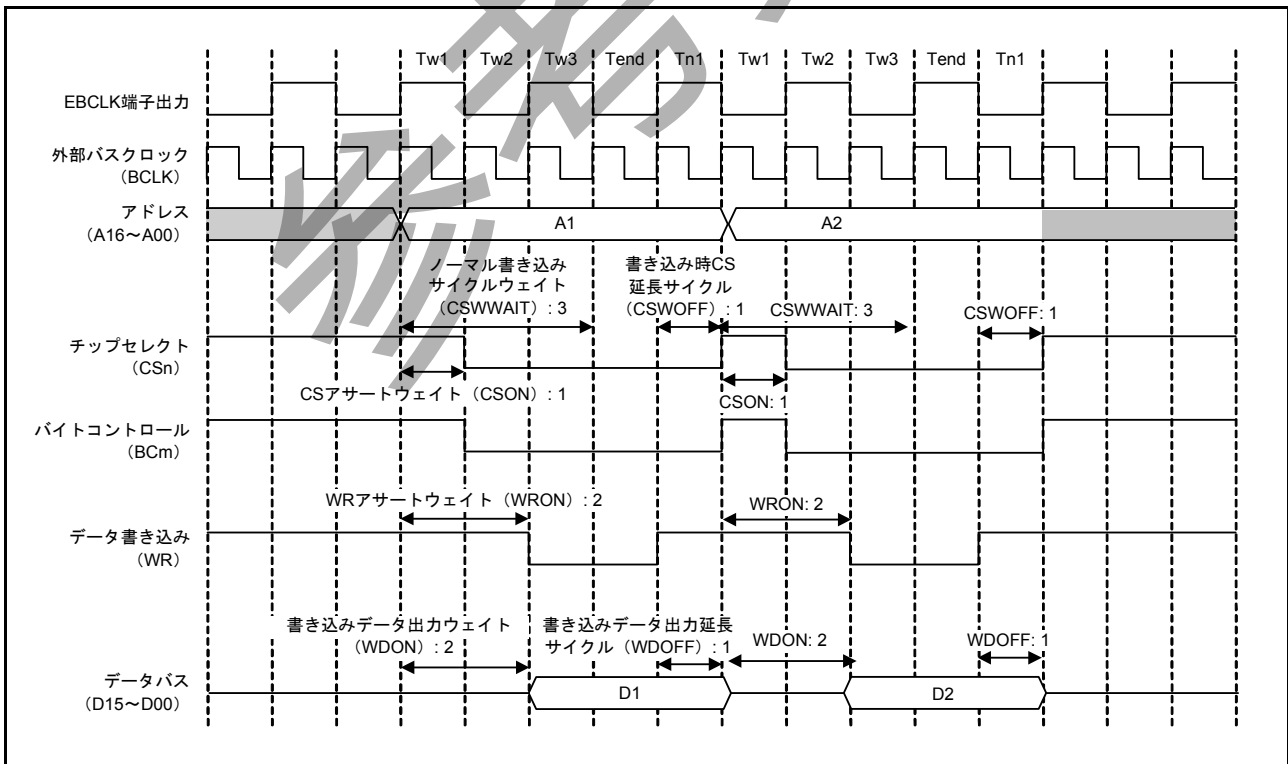


図 15.16 ノーマルライトアクセスの動作例  
(EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合、および 1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 3; m = 0, 1)

(2) ページアクセス

CSnMOD レジスタの PRENB ビットと PWENB ビットを 1 (ページリードアクセスおよびページライトアクセスを許可) にした場合、ページアクセスに該当するバスアクセスはページアクセスとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合に限り、ページアクセスが発生します。ページアクセスが発生する条件については、[図 15.3](#) ~ [図 15.6](#) を参照してください。

[図 15.17](#) と [図 15.18](#) にページアクセスの動作例を示します。

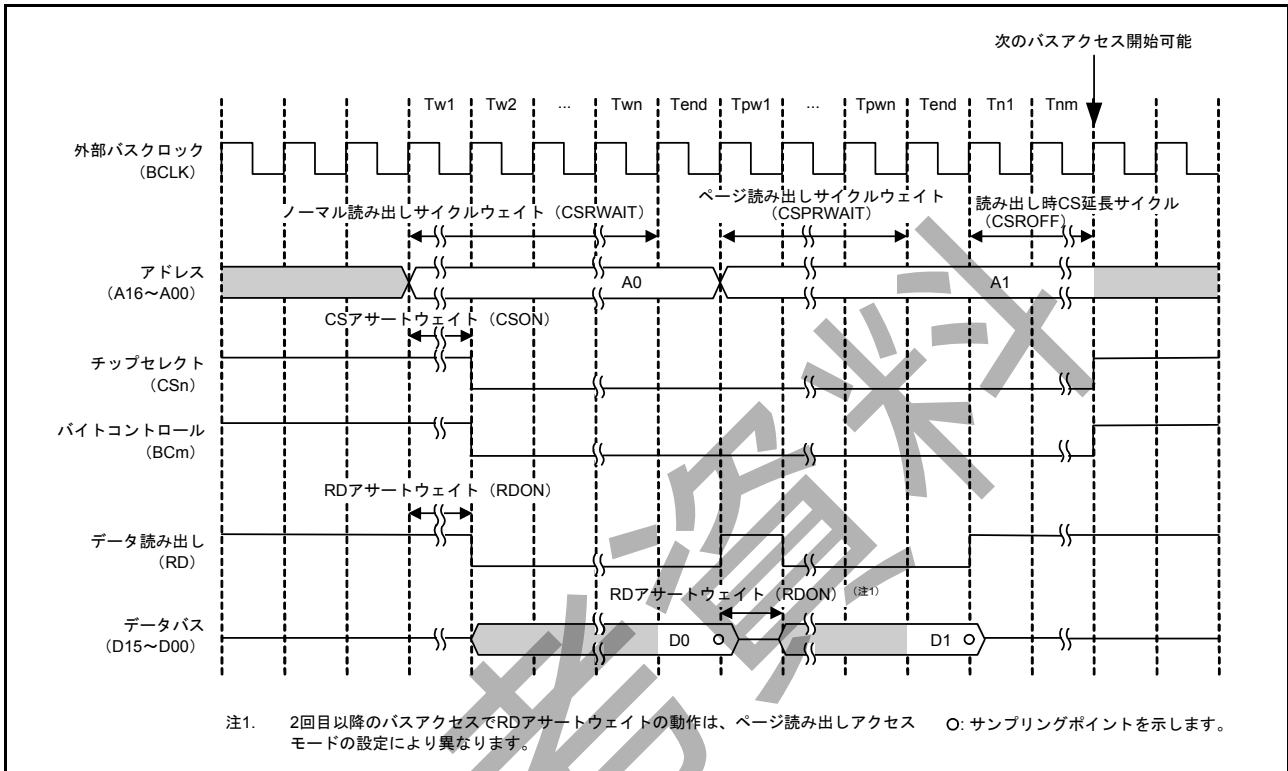


図 15.17 ページリードアクセスのタイミング (n = 0 ~ 3; m = 0, 1)

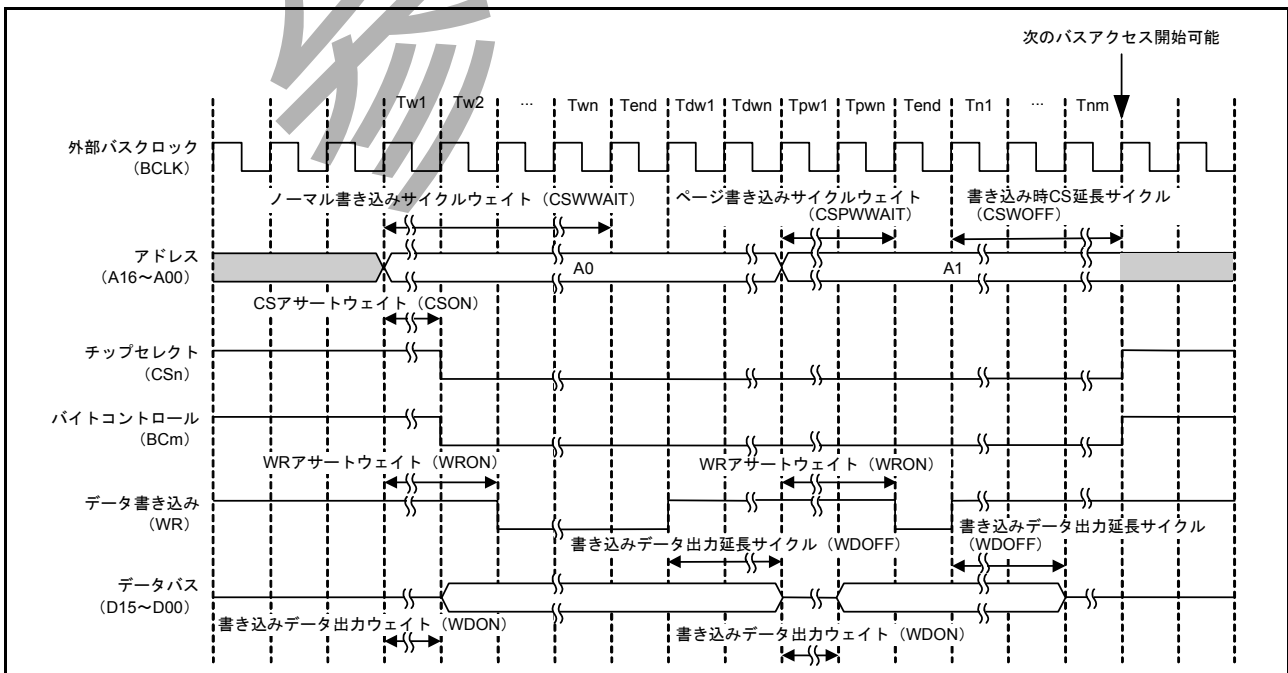


図 15.18 ページライトアクセスのタイミング (n = 0 ~ 3; m = 0, 1)

図 15.19 と図 15.20 に、16 ビットバス空間に対する 32 ビットアクセスの動作例を示します。図に示す各ウェイトコントロールレジスタの値は設定例です。アプリケーションにおいては、接続するデバイスの仕様に合わせてレジスタを設定してください。

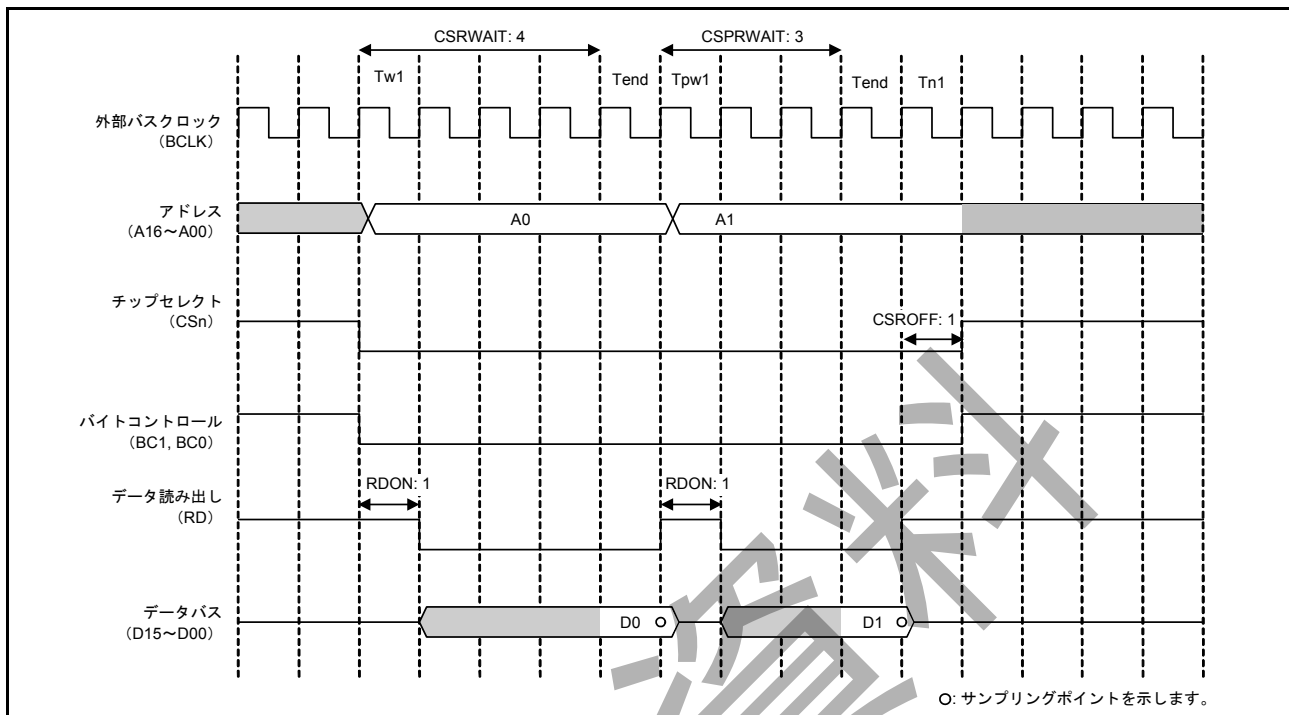


図 15.19 ページリードアクセスの動作例  
(16 ビットバス空間に対する 32 ビットアクセスの場合) (n = 0 ~ 3)

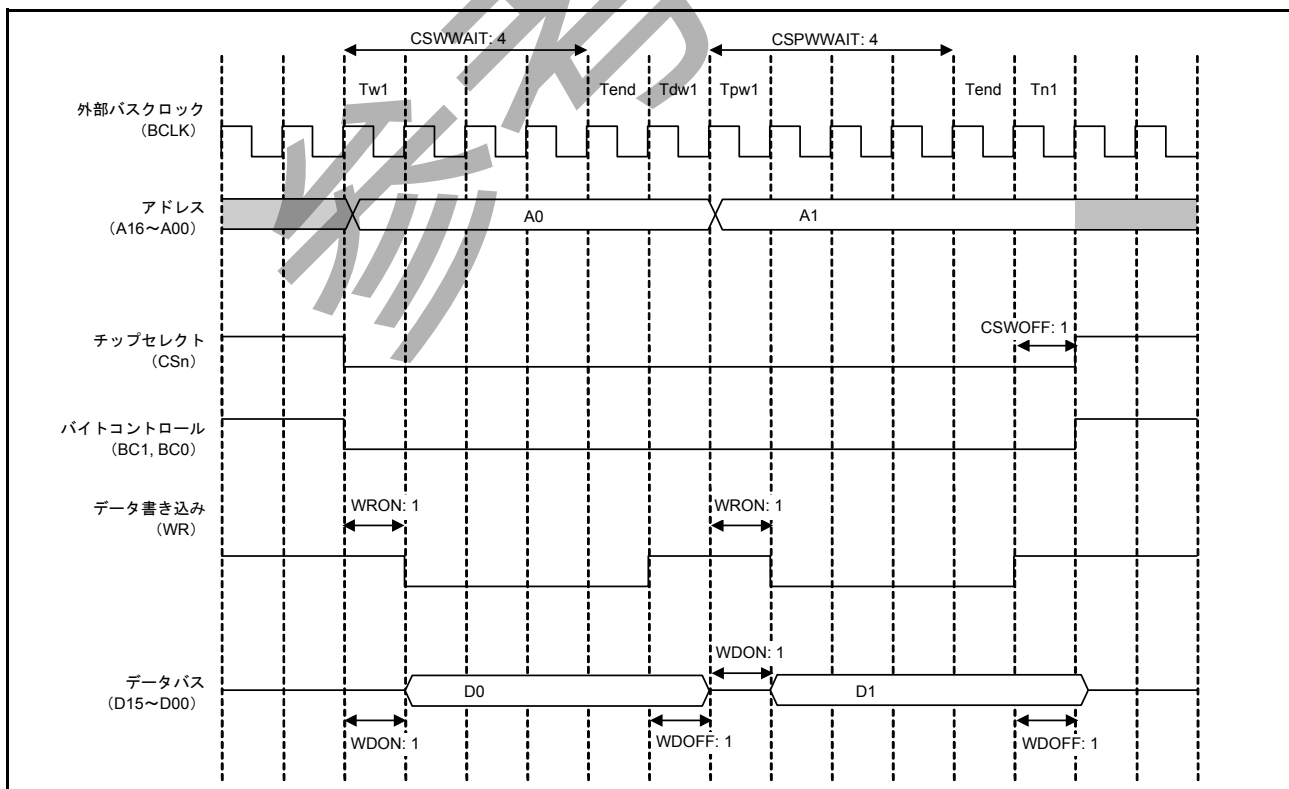


図 15.20 ページライトアクセスの動作例  
(16 ビットバス空間に対する 32 ビットアクセスの場合 : 1 ライトストローブモード時) (n = 0 ~ 3)

図 15.21 と図 15.22 に、EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合のページアクセスの動作例を示します。

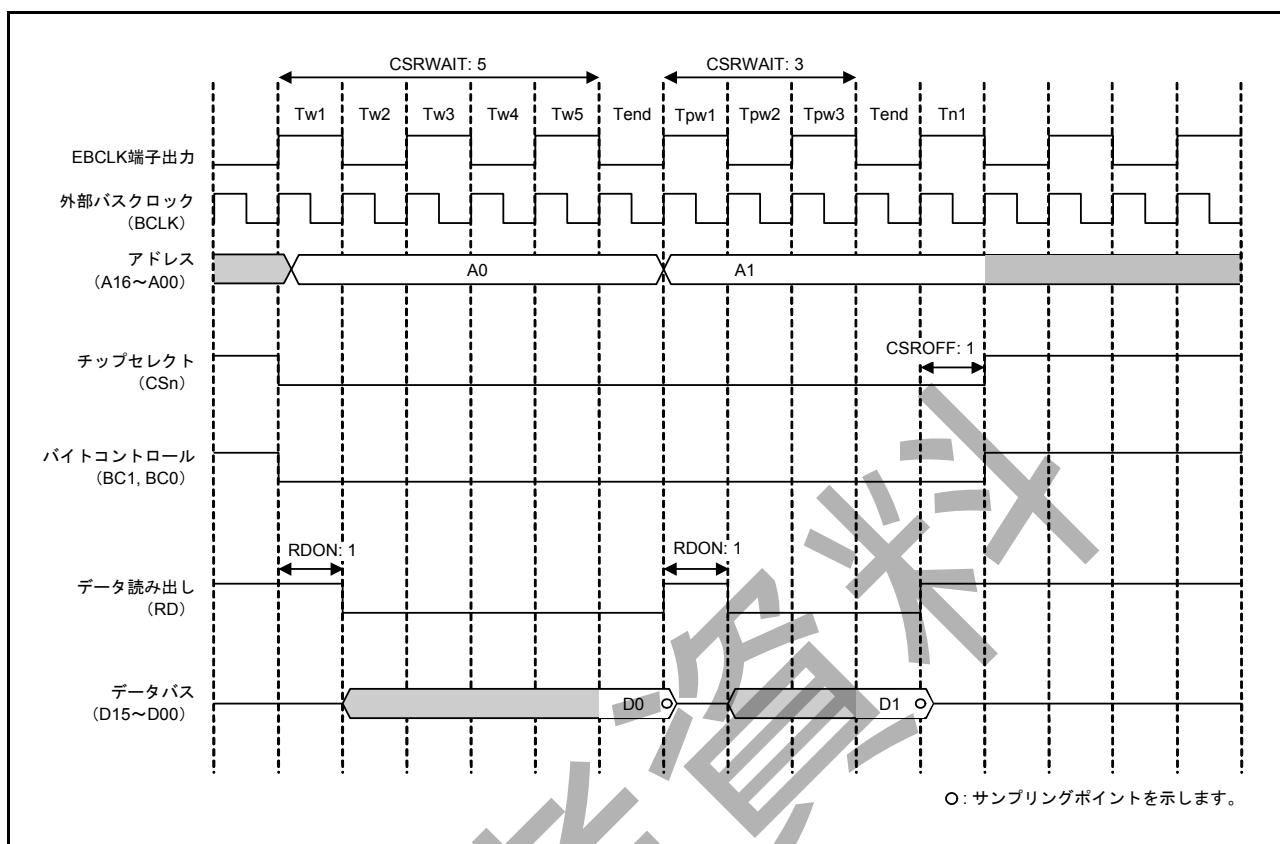


図 15.21 ページリードアクセスの動作例  
(EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合、および 1 転送要求に対して 2 回バスアクセスが発生する場合) ( $n = 0 \sim 3$ )

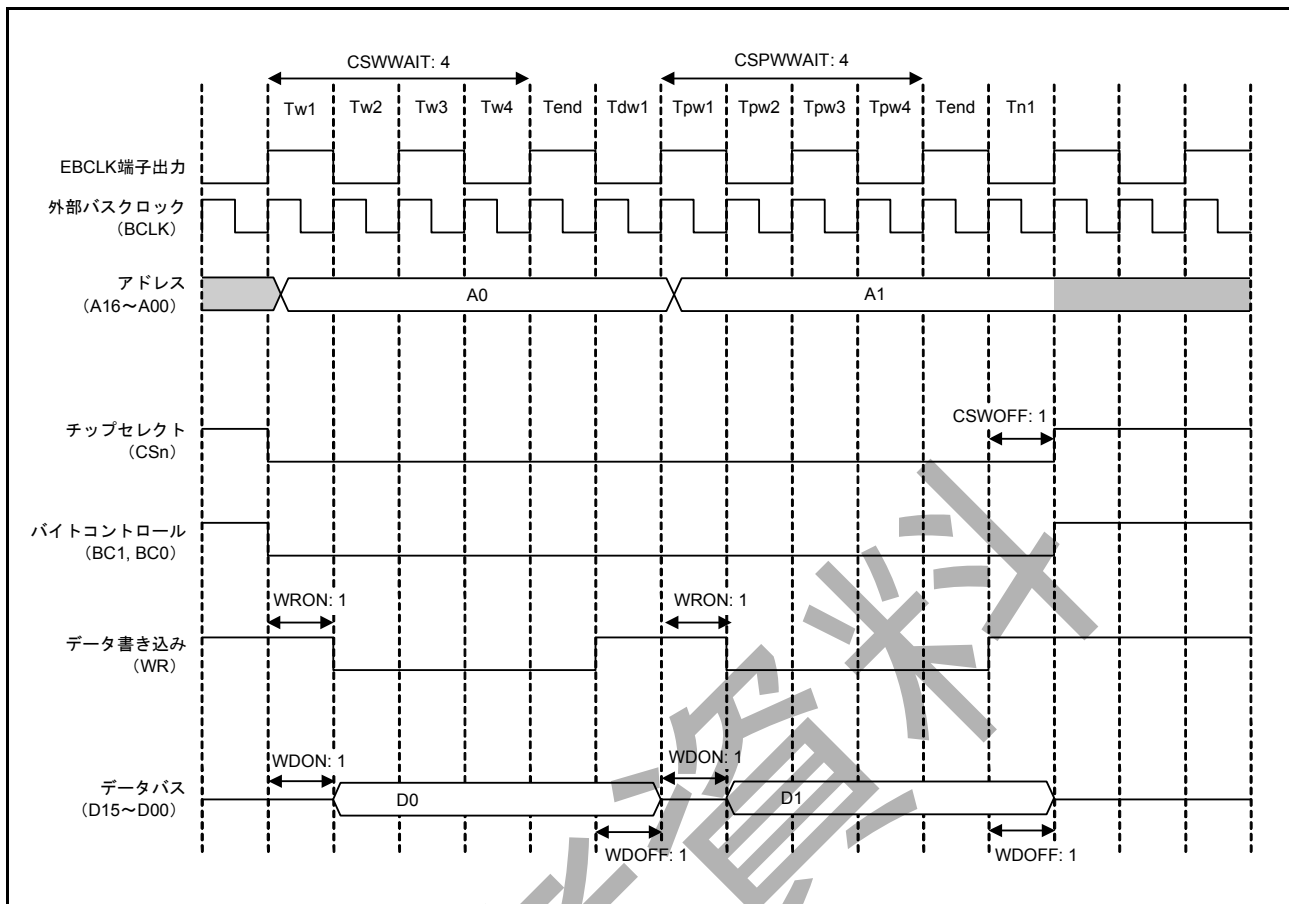


図 15.22

## ページライトアクセスの動作例

(EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合、および 1 転送要求に対して 2 回バスアクセスが発生する場合 : 1 ライトストローブモード時)

( $n = 0 \sim 3$ )

## 15.5.2 外部ウェイト機能

WAIT 信号により、CSn ウェイトコントロールレジスタ 1 (CSnWCR1) で設定したノーマルアクセスサイクルウェイト (CSRWAIT[4:0] ビット、CSWWAIT[4:0] ビット) や、ページアクセスサイクルウェイト (CSPRWAIT[2:0] ビット、CSPWWAIT[2:0] ビット) を超えて、ウェイトサイクルを延長することができます。

外部ウェイトが許可 (CSnMOD.EWENB ビット = 1) であれば、WAIT 信号が Low の間、ウェイトサイクルが挿入されます。外部ウェイトが禁止 (CSnMOD.EWENB ビット = 0) であれば、WAIT 信号は無効です。なお、CSnWCR1 レジスタで設定した各サイクルウェイトは、WAIT 信号にかかわらず挿入されます。外部ウェイトが許可 (CSnMOD.EWENB ビット = 1) の場合、BCLK と EBCLK は同じ周波数で動作しなければいけません。

### (1) ノーマルアクセス

CSnWCR1 レジスタで設定したウェイトサイクル数が完了した時点 (Tend) から WAIT 信号がサンプリングされます。WAIT 信号が Low の間、バスサイクルが延長されます。WAIT 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

### (2) ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。CSnWCR1 レジスタで設定したウェイトサイクル数が完了した時点 (Tend) から WAIT 信号がサンプリングされます。WAIT 信号が Low の間、バスサイクルが延長されます。WAIT 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

2 番目以降のアクセスに対しては、ページアクセスのウェイトサイクルが完了した時点 (Tend) から WAIT 信号がサンプリングされます。WAIT 信号が Low の間、ページアクセスのウェイトサイクルが延長され、WAIT 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

図 15.23 と図 15.24 に、セパレートバスインタフェース時の外部ウェイトのタイミング例を示します。

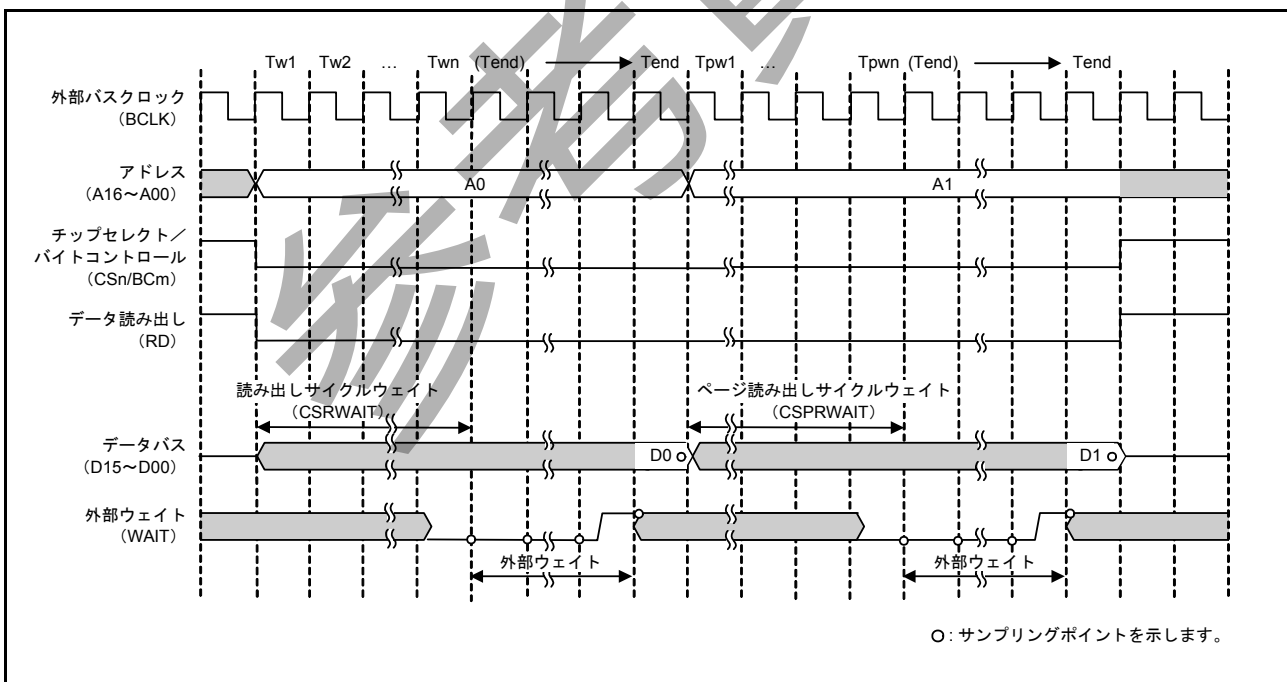


図 15.23 外部ウェイトタイミング例 (16 ビットバス空間に対するページリードアクセスの場合) ( $n = 0 \sim 3; m = 0, 1$ )

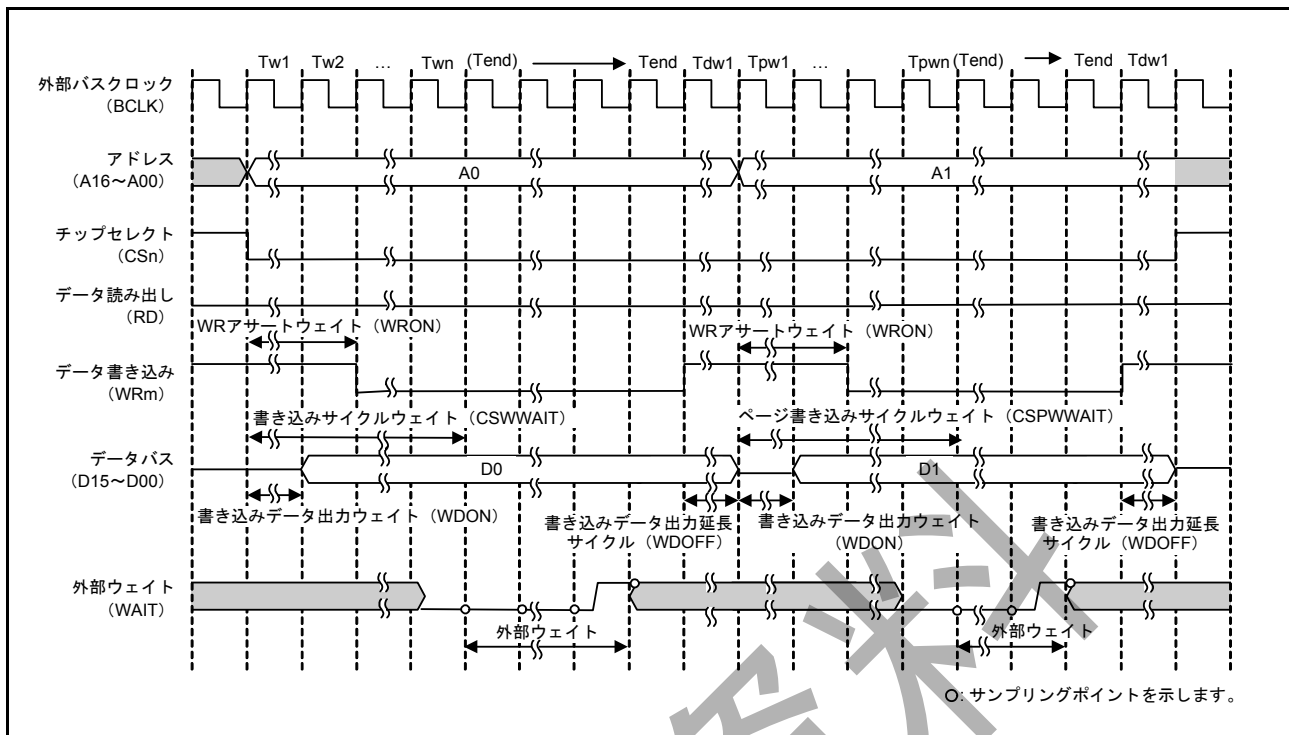


図 15.24 外部ウェイトタイミング例  
 (16 ビットバス空間に対するページライトアクセスの場合、バイトストローブモード時) ( $n = 0 \sim 3$ ;  
 $m = 0, 1$ )

### 15.5.3 リカバリサイクルの挿入

CSRECEN レジスタのリカバリサイクル挿入許可ビットを 1 にすることにより、連続する外部バスアクセスの間にリカバリサイクルを挿入することができます。

リードサイクル後とライトサイクル後に挿入するリカバリサイクル数は、CSn リカバリサイクル設定レジスタ (CSnREC) で各領域に対し個別に設定可能です。前バスサイクルがライトアクセスの場合、対応する領域のライトリカバリサイクル設定ビット (CSnREC.WRCV[3:0]) で、ライトリカバリサイクル数を設定する必要があります。前バスサイクルがリードアクセスの場合、対応する領域のリードリカバリサイクル設定ビット (CSnREC.RRCV[3:0]) で、リードリカバリサイクル数を設定する必要があります。たとえば、CS0 リードアクセス後に CS1 リードアクセスがある場合、この間に挿入するリカバリサイクル数は、CS0REC.RRCV[3:0] ビットで設定されます。

リカバリサイクルの挿入可能な条件は、以下の 8 通りです。前バスアクセスがセパレートバスアクセスの場合、CSRECEN.RCVENj ビット (j=0~7) でリカバリサイクルの挿入を許可または禁止にできます。

- 外部バスにリードアクセス後、同じ領域の外部バスにリードアクセスする場合
- 外部バスにリードアクセス後、異なる領域の外部バスにリードアクセスする場合
- 外部バスにリードアクセス後、同じ領域の外部バスにライトアクセスする場合
- 外部バスにリードアクセス後、異なる領域の外部バスにライトアクセスする場合
- 外部バスにライトアクセス後、同じ領域の外部バスにリードアクセスする場合
- 外部バスにライトアクセス後、異なる領域の外部バスにリードアクセスする場合
- 外部バスにライトアクセス後、同じ領域の外部バスにライトアクセスする場合
- 外部バスにライトアクセス後、異なる領域の外部バスにライトアクセスする場合

リカバリサイクルの起点は、前バスサイクルの終了時点 (たとえば、CSn 信号 (n=0~3) のネゲート時点) です。この時点から始まって、設定したリカバリサイクル期間に CSn 信号の High 期間が挿入されます。

最短では、リカバリサイクルの終了直後に、次のバスアクセスの CSn 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了直後に次の外部バスアクセスを開始します。

バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。ただし、ページリードアクセス許可 (CSnMOD.PRENB=1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB=1) に設定された場合、リカバリサイクル挿入条件が成り立つ場合でも途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみ、リカバリサイクルが挿入されます。☒ [15.27](#) を参照してください。

同様に、ページアクセス許可設定時にノーマルアクセスとなる場合も、途中のバスアクセスにリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみ、リカバリサイクルが挿入されます。ページアクセス許可設定とは無関係に、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。



図 15.25 ～ 図 15.27 に、セパレートバスインタフェース時のリカバリサイクルの挿入例を示します。

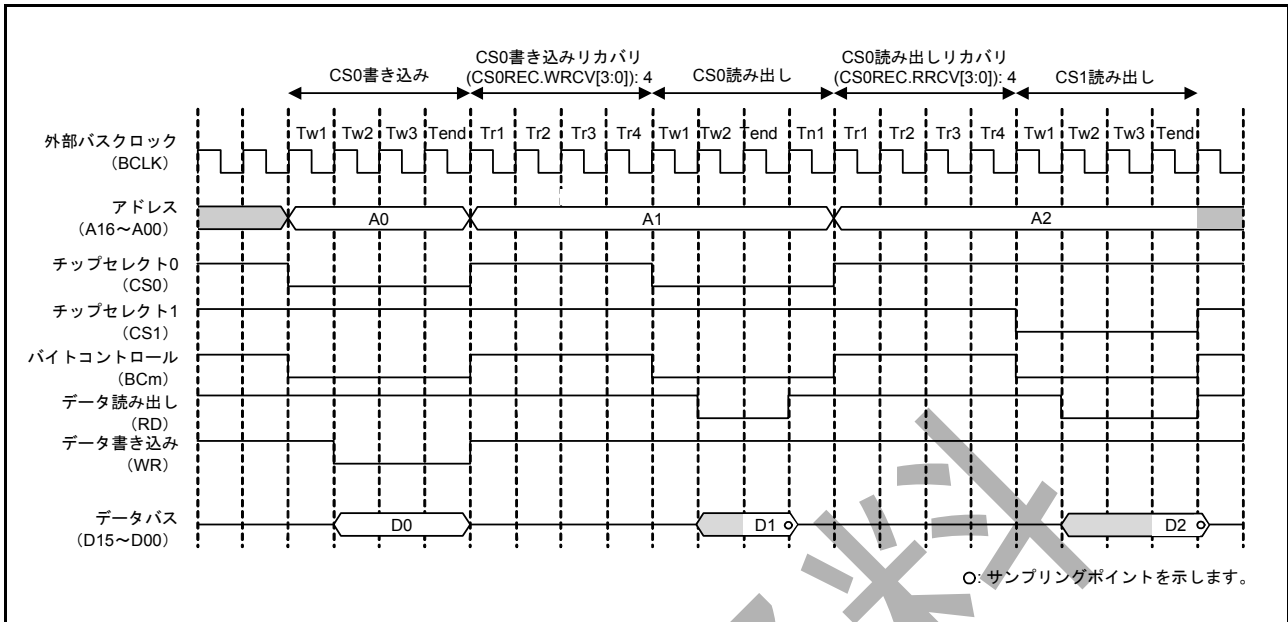


図 15.25 セパレートバスインタフェース時のリカバリサイクルの挿入例 (m = 0, 1)

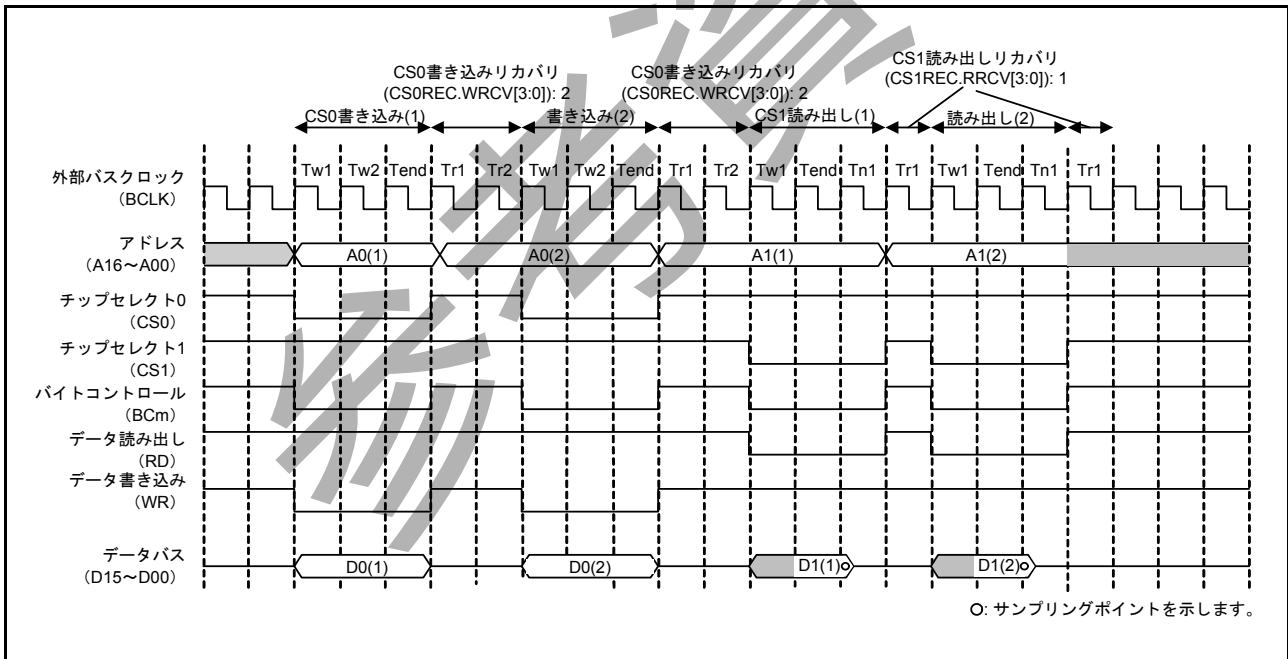


図 15.26 バスアクセスが分割された場合のリカバリサイクルの挿入例 (セパレートバスインタフェースによるノーマルアクセスの場合) (m = 0, 1)

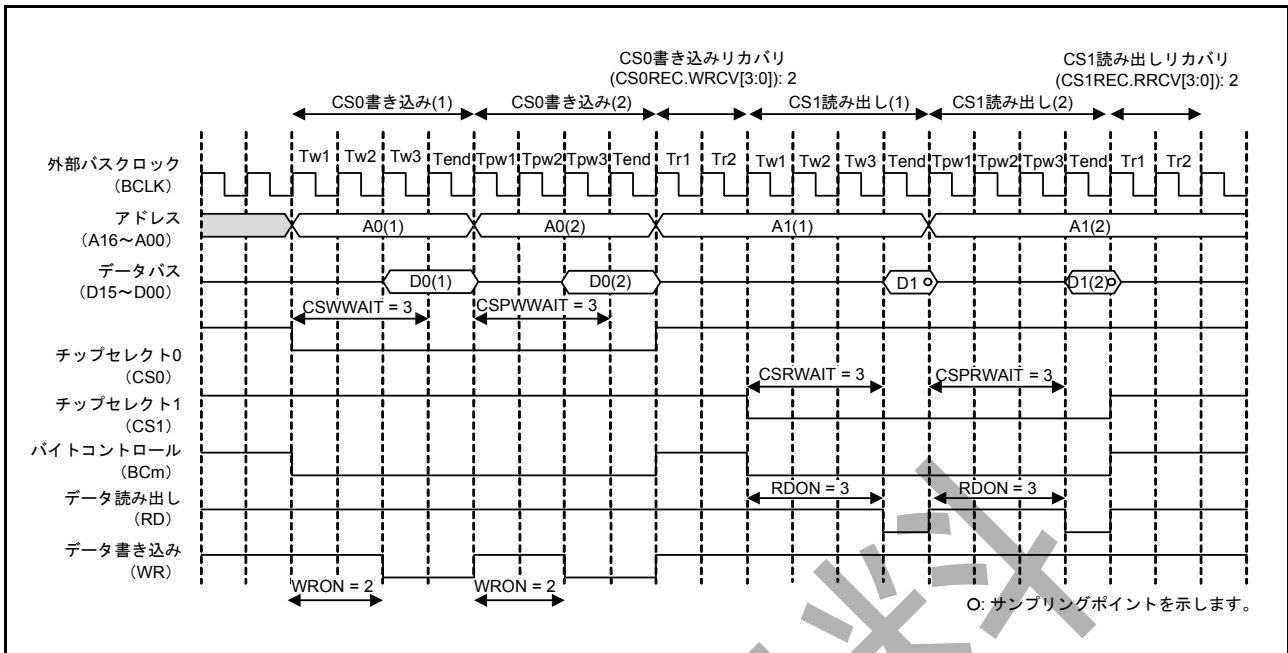


図 15.27 バスアクセスが分割された場合のリカバリサイクルの挿入例 (セパレートバスインターフェースによるページアクセスの場合) (m = 0, 1)

図 15.28 に、EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

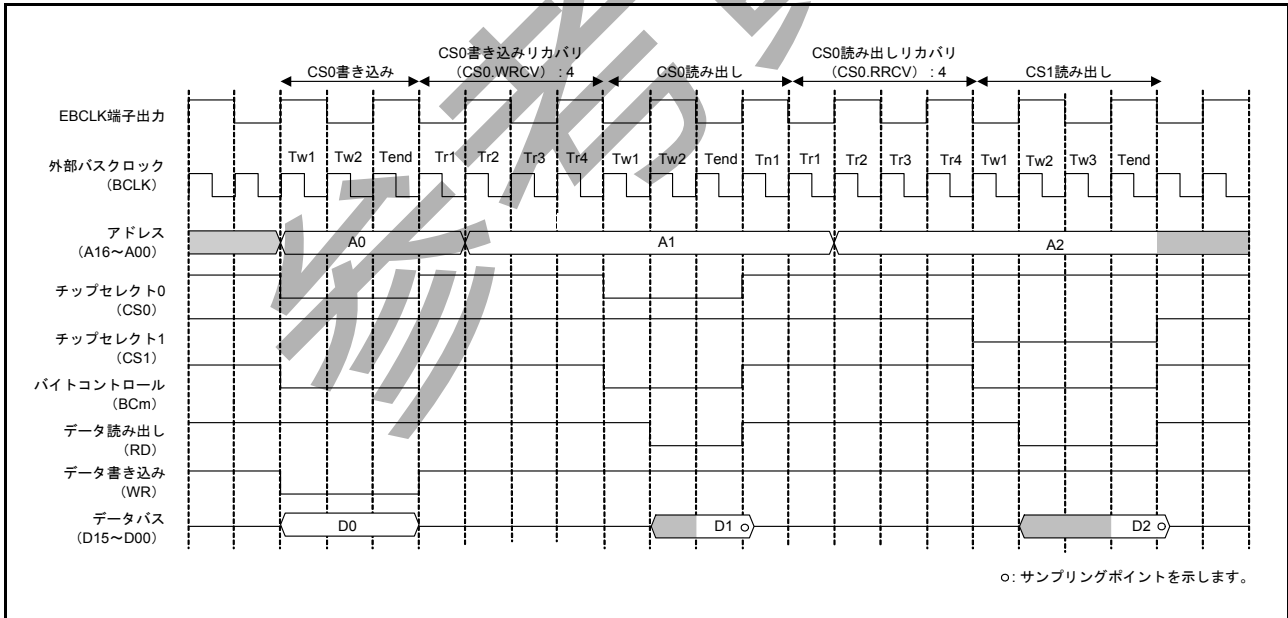


図 15.28 EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合のリカバリサイクルの動作例 (セパレートバスインターフェースによるノーマルアクセスの場合) (m = 0, 1)

### 15.5.4 非アクセス時の状態

外部アドレス空間に対して処理を行っていない場合、CSn 信号、BCn 信号、WRn 信号、および RDn 信号は High に、D15 ~ D00 はハイインピーダンスになります。

### 15.5.5 ライトバッファ機能（外部バス）

ライトアクセスの場合、データをライトバッファに書くことにより、動作の終了を待たずにメインバスが解放されます。そのため、次のバスアクセスを開始することが可能です。ただし、次のアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタに対するものであれば、前の外部バス動作が終了するまで待たされます。

図 15.29 に、ライトバッファ機能を使用した場合の動作例を示します。この機能を使用したとき、外部書き込みの次に内部アクセスがある場合は、外部書き込みの終了を待たずに内部アクセスが並行して実行されます。



図 15.29 ライトバッファ機能使用時の動作例

## 15.5.6 制限事項

### (1) セパレートバスインタフェース使用時の制限

表 15.10 に、ノーマルアクセス時とページアクセス時の CSn ウェイトコントロールレジスタ 1 (CSnWCR1) と CSn ウェイトコントロールレジスタ 2 (CSnWCR2) の各ビットに適用される制限事項を示します。

CSn モードレジスタのページリードアクセス許可ビットまたはページライトアクセス許可ビットが許可 (CSnMOD.PRENB = 1 または CSnMOD.PWENB = 1) になっていても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となります。そのため、ノーマルアクセスの制限事項を満たす必要があります。

表 15.10 ノーマルアクセスとページアクセスに対する制限事項

ノーマルアクセスの制限		ページアクセスの制限	
読み出し	書き込み	読み出し	書き込み
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON	CSON[2:0] ≤ CSPRWAIT RDON[2:0] ≤ CSPRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON

注． バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、ページリードアクセスが許可 (CSnMOD.PRENB = 1) またはページライトアクセスが許可 (CSnMOD.PWENB = 1) に設定されていれば、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。

### (2) A00 および BC0 機能の兼用端子に対する制限

8 ビットバス空間では 1 ライトストローブモードの設定はしないでください。

### (3) EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合の制限

EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部バスアクセス開始の起点は、EBCLK 端子出力の立ち上がり時点になります。ただし、バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが発生する場合、2 回目以降の外部バスアクセスの開始は、ウェイトサイクル数の設定によっては、EBCLK 端子出力の立ち下がり時点になる可能性があります。接続するデバイスの仕様に合わせて、レジスタの値を適切に設定してください。EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部ウェイトを許可 (CSnMOD.EWENB = 1) に設定しないでください。

### (4) 命令コードの制限

命令コードはリトルエンディアンに固定する必要があります。

## 15.6 バスエラー監視部

この監視システムは、個々の領域を監視して、エラーを検出すると AHB-Lite エラー応答プロトコルを用いてそのエラーを要求マスタ IP に返します。

### 15.6.1 バスに生じるエラーの種類

それぞれのバスでは、次の 4 種類のエラーが生じる可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

表 15.11 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスレンジを示します。ただし、スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。バスマスタ MPU とバススレーブ MPU については、「16. メモリプロテクションユニット (MPU)」を参照してください。

### 15.6.2 バスエラー発生時の動作

バスエラーが発生すると、動作は保証されず、要求マスタ IP にエラーが返されます。マスタごとに発生するバスエラーが、BUSnERRADD レジスタと BUSnERRSTAT レジスタに格納されます。これらのレジスタは必ずリセットでクリアする必要があります。詳細については、15.3.9 と 15.3.10 を参照してください。

注 . DMAC と DTC はバスエラーを受信しません。DMAC または DTC がバスにアクセスした場合、転送は継続されます。

### 15.6.3 不正アドレスアクセスエラーを引き起こす条件

表 15.11 に、不正アドレスアクセスエラーを引き起こす、バスごとのアドレス空間を示します。

表 15.11 不正アドレスアクセスエラーを引き起こす条件

アドレス	スレーブバス名	マスタバス	
		CPU (ICode/DCode/ システム)	DMA
0000 0000h ~ 01FF FFFFh	メモリバス1 メモリバス2	—	—
0200 0000h ~ 027F FFFFh	メモリマッピング領域	(注1)	E
0280 0000h ~ 1FFF FFFFh	予約領域	E	E
2000 0000h ~ 2001 FFFFh	メモリバス3	—	—
2002 0000h ~ 2002 FFFFh	メモリバス4	—	—
2003 0000h ~ 3FFF FFFFh	予約領域	E	E
4000 0000h ~ 4001 FFFFh	周辺バス1	—	—
4002 0000h ~ 4003 FFFFh	予約領域	E	E
4004 0000h ~ 4005 FFFFh	周辺バス3	—	—
4006 0000h ~ 4007 FFFFh	周辺バス4	—	—
4008 0000h ~ 4009 FFFFh	周辺バス5	—	—
400A 0000h ~ 400B FFFFh	予約領域	—	—
400C 0000h ~ 400D FFFFh	周辺バス7	—	—
400E 0000h ~ 400F FFFFh	予約領域	E	E
4010 0000h ~ 407F FFFFh	周辺バス9	—	—
4080 0000h ~ 5FFF FFFFh	予約領域	E	E
6000 0000h ~ 67FF FFFFh	QSPI領域	—	—
6800 0000h ~ 7FFF FFFFh	予約領域	E	E
8000 0000h ~ 97FF FFFFh	CS領域	—	—
9800 0000h ~ DFFF FFFFh	予約領域	E	E
E000 0000h ~ FFFF FFFFh	Cortex-M4用システム	—	E

E は、不正アドレスアクセスエラーが生じる経路を示します。

“—” は、不正アドレスアクセスエラーが生じない経路、またはアクセスが行われない経路を示します。

注 . MMF (メモリミラー機能) が有効な場合、マッピングされた領域 (0200 0000h ~ 027F FFFFh) へのアクセスは、特定のユーザエリアに切り替わります (MMF 出力アドレス = CPU 出力アドレス + オフセット)。バスモジュールは、MMF がアドレスを切り替えたか否かの検出を行いません。そのため、MMF が有効な状態で CPU が 0200 0000h にアクセスしても、エラーは発生しません (切り替えられたアドレスに依存します)。MMF が無効な状態で CPU が 0200 0000h にアクセスすると、バスモジュールがエラーを検出します。

注 1. バスモジュールは、MMF がアドレスを切り替えたか否かの検出を行いません。そのため、MMF が有効な状態で CPU が 0200 0000h にアクセスしても、エラーは発生しません (切り替えられたアドレスに依存します)。MMF が無効な状態で CPU が 0200 0000h にアクセスすると、バスモジュールがエラーを検出します。

バスモジュールは、スレーブに対して何も領域が割り当てられていない場合など、予約領域へのアクセスに起因したアクセスエラーを検出します。

0280 0000h ~ 1FFF FFFFh : アクセスエラーを検出

0000 0000h ~ 01FF FFFFh : メモリバス 1 のアクセスエラー検出なし

### 15.6.4 タイムアウト

一部の周辺モジュールでは、モジュールストップ機能によってタイムアウトエラーが発生します。一定期間スレーブから応答がないと、タイムアウトエラーが検出されます。タイムアウトエラーは、AHB-Lite エラー応答プロトコルを用いて要求マスタ IP に返されます。

### 15.7 フラッシュキャッシュ使用時の注意事項

CPU からのアクセスを通じてフラッシュキャッシュを使用する場合は、ARM MPU もキャッシング対象に設定する必要があります。詳細については、参考資料の 1. および 2. を参照してください。

### 15.8 参考資料

1. *ARM Limited, ARMv7-M Architecture Reference Manual (ARM DDI 0403D)*
2. *ARM Limited, Cortex-M4 Devices Generic User Guide (ARM DUI 0553A)*
3. *ARM Limited, AMBA 3 AHB-Lite Protocol v1.0 Specification (ARM IHI 0033A)*

参考資料

## 16. メモリプロテクションユニット (MPU)

### 16.1 概要

本 MCU は、4つのメモリプロテクションユニット (MPU) と、CPU スタックポインタモニタ機能を備えています。表 16.1 に、サポートされている MPU 機能を示します。

表 16.1 仕様の概要

項目	モジュール/機能	内容
不正メモリアクセス	ARM® Cortex®-M4 CPU	<ul style="list-style-type: none"> <li>ARM CPUはデフォルトのメモリマップを内蔵。CPUが不正アクセスを行うと、例外割り込みが発生</li> <li>デフォルトのメモリマップはMPUで変更可能</li> </ul>
	CPUスタックポインタモニタ	<ul style="list-style-type: none"> <li>2領域 メインスタックポインタ (MSP) プロセススタックポインタ (PSP)</li> </ul>
メモリプロテクション	ARM MPU	CPU用のメモリプロテクション機能 <ul style="list-style-type: none"> <li>8 MPU領域 (サブ領域とバックグラウンド領域を含む)</li> </ul>
	バスマスタ MPU	CPUを除く各バスマスタ用のメモリプロテクション機能 <ul style="list-style-type: none"> <li>バスマスタ MPUグループA: 16領域</li> </ul>
	バススレーブ MPU	各バススレーブ用のメモリプロテクション機能
セキュリティ	セキュリティ MPU	非セキュアプログラムによるセキュリティ領域へのアクセスを保護 <ul style="list-style-type: none"> <li>2領域 (PC)</li> <li>1領域 (コードフラッシュ)</li> </ul>

表 16.2 に、各 MPU エラー検出の動作を示します。

表 16.2 MPUエラー検出動作

MPUの種類	通知法	エラー検出時のバスアクセス	エラーアクセス情報の保持
CPUスタックポインタモニタ	リセットまたはノンマスカブル割り込み	Don't care	保持しない
ARM MPU	ハード障害	<ul style="list-style-type: none"> <li>正しくライトアクセスできない</li> <li>正しくリードアクセスできない</li> </ul>	Cortex-M4 プロセッサ内に保持
バスマスタ MPU	リセットまたはノンマスカブル割り込み	<ul style="list-style-type: none"> <li>保護領域にライトアクセス</li> <li>保護領域にリードアクセス</li> </ul>	保持
バススレーブ MPU	リセットまたはノンマスカブル割り込み ハード障害	<ul style="list-style-type: none"> <li>ライトアクセスは無視</li> <li>リードアクセスは0が読める</li> </ul>	保持
セキュリティ MPU	通知なし	<ul style="list-style-type: none"> <li>正しくライトアクセスできない</li> <li>正しくリードアクセスできない</li> </ul>	保持しない

ARM MPU に対するエラーアクセスについては、16.7 を参照してください。他の MPU に対するエラーアクセスについては、「15. バス」の 15.3.9 および 15.3.10 を参照してください。



## 16.2 CPU スタックポインタモニタ

本 MCU は、スタックポインタのアンダーフローとオーバーフローを検出する CPU スタックポインタモニタを内蔵しています。

ARM CPU には、メインスタックポインタ (MSP) とプロセススタックポインタ (PSP) の 2 つのスタックポインタがあるため、2 つの CPU スタックポインタモニタをサポートしています。スタックポインタのアンダーフローやオーバーフローを検出すると、CPU スタックポインタモニタはリセットまたはノンマスカブル割り込みを発生させます。CPU スタックポインタモニタを有効にするには、アクセスコントロールレジスタ (MSPMPUCTL、PSPMPUCTL) のメインスタックポインタモニタ有効ビットまたはプロセススタックポインタモニタ有効ビットを 1 にします。

表 16.3 に、CPU スタックポインタモニタの仕様を示します。

表 16.3 CPU スタックポインタモニタの仕様

項目	内容
メモリプロテクション対象領域	SRAM 領域
領域数	2 領域 (メインスタックポインタ (MSP)、プロセススタックポインタ (PSP))
各領域のアドレス指定	領域の開始アドレスと終了アドレスを設定
各領域のスタックポインタモニタ有効/無効設定	対応する領域に対し有効/無効を設定
検出後の動作	リセットまたはノンマスカブル割り込み
レジスタの保護	レジスタに対する不正書き込みの防止が可能

図 16.1 に CPU スタックポインタモニタのブロック図を、図 16.2 にレジスタの設定フローを示します。

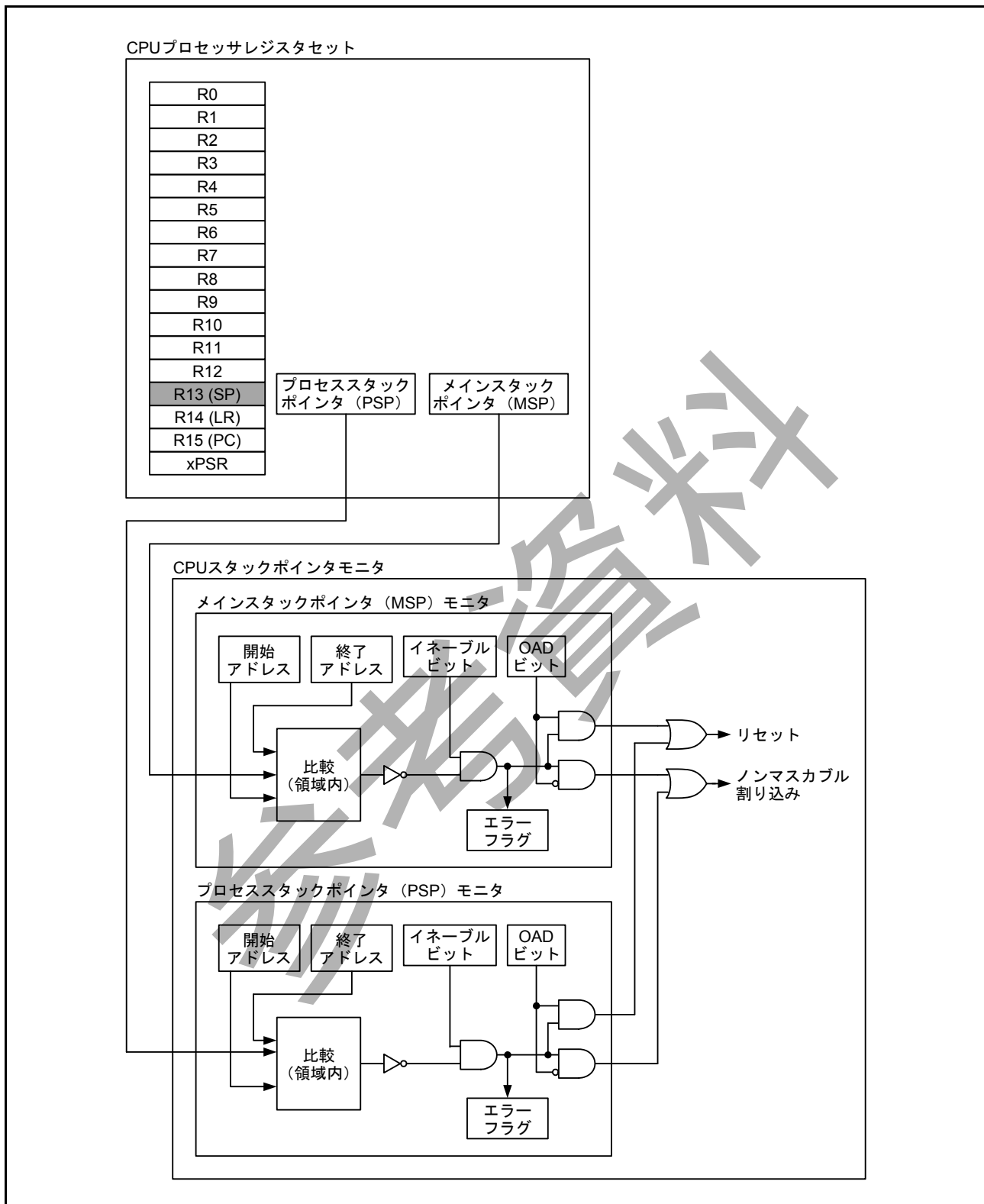


図 16.1 CPU スタックポインタモニタのブロック図

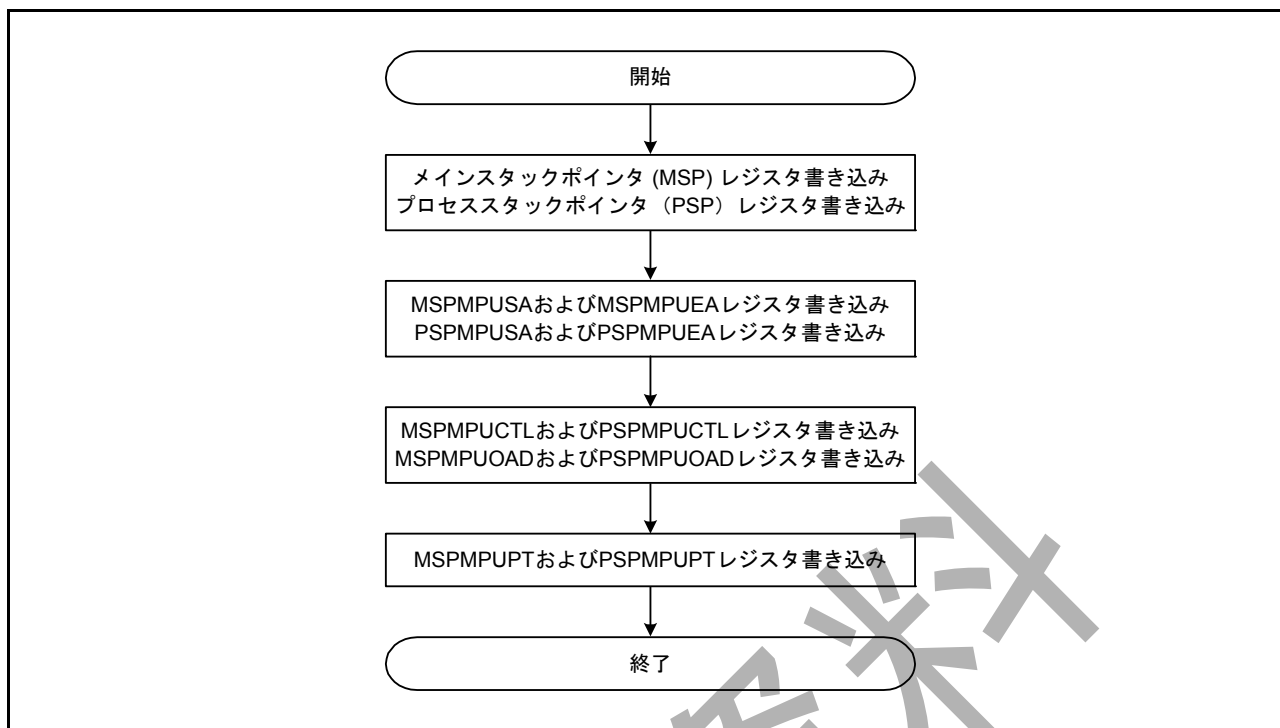


図 16.2 レジスタの設定フロー

### 16.2.1 レジスタの保護

CPU スタックポインタモニタ関連のレジスタは、PROTECT ビットで保護することができます。

### 16.2.2 オーバーフローエラーとアンダーフローエラー

オーバーフローやアンダーフローが検出されると、CPU スタックポインタモニタはオーバーフローエラーまたはアンダーフローエラーを発生させます。メモリプロテクションエラーは、OAD ビットによってノンマスカブル割り込みまたはリセットのいずれかを選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.SPEST フラグに示されます。詳細は、「[14. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。リセットの状態は SYSTEM.RSTSR1.SPERF フラグに示されます。詳細は、「[6. リセット](#)」を参照してください。ICU.NMISR.SPEST フラグが CPU スタックポインタモニタ割り込みの発生を示した場合、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR ビットを確認して、それがメインスタックポインタモニタエラーなのか、プロセススタックポインタモニタエラーなのかを判定してください。

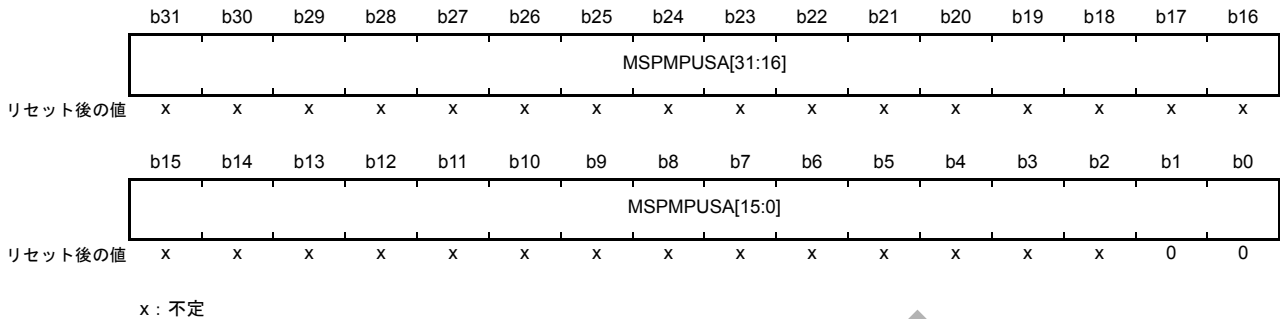
スタックポインタがアンダーフローまたはオーバーフローすると、ノンマスカブル割り込みが出力され続けます。ノンマスカブル割り込みフラグをクリアする場合、ICU.NMICLR.SPECLR ビットを 1 にすると、スタックポインタがリセットされます。次に、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR ビットに 0 を書いてクリアしてください。

### 16.2.3 レジスタの説明

注. バスアクセスを停止させてから、レジスタへの書き込み処理を行ってください。

### 16.2.3.1 メインスタックポインタ (MSP) モニタ開始アドレスレジスタ (MSPMPUSA)

アドレス `SPMON.MSPMPUSA 4000 0D08h`

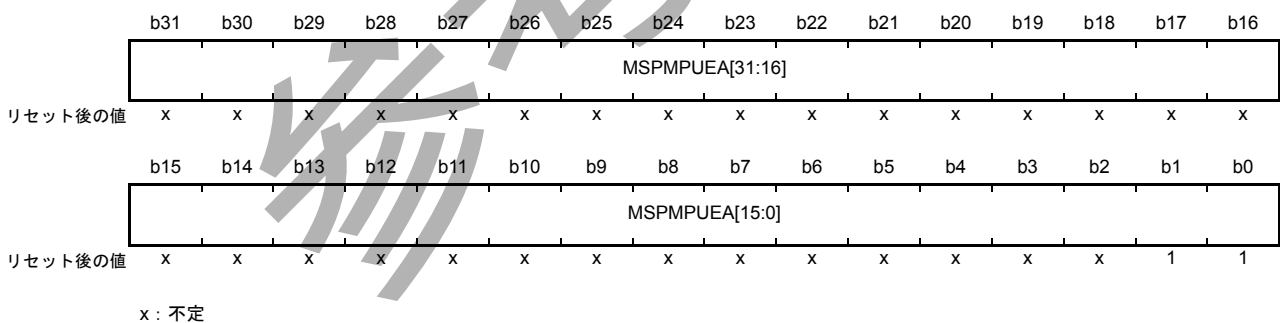


ビット	シンボル	ビット名	機能	R/W
b31-b0	MSPMPUSA[31:0]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。 下位2ビットは0にしてください。値の範囲は、予約領域を除く2000 0000h～200F FFFChでなければいけません。	R/W

**MSPMPUSA** レジスタと **MSPMPUEA** レジスタでは、SRAM の CPU スタック領域を指定します (対象は 2000 0000h ~ 200F FFFCh のうち、予約領域を除く領域です。カバーされる SRAM 領域については、[図 4.1](#) のメモリマップを参照してください)。

### 16.2.3.2 メインスタックポインタ (MSP) モニタ終了アドレスレジスタ (MSPMPUEA)

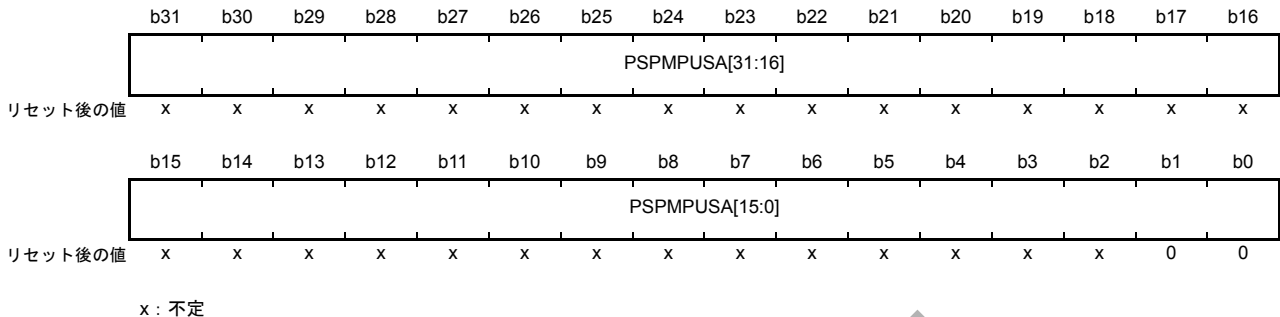
アドレス `SPMON.MSPMPUEA 4000 0D0Ch`



ビット	シンボル	ビット名	機能	R/W
b31-b0	MSPMPUEA[31:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。 下位2ビットは1にしてください。値の範囲は、予約領域を除く2000 0003h～200F FFFFhでなければいけません。	R/W

### 16.2.3.3 プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ (PSPMPUSA)

アドレス `SPMON.PSPMPUSA 4000 0D18h`

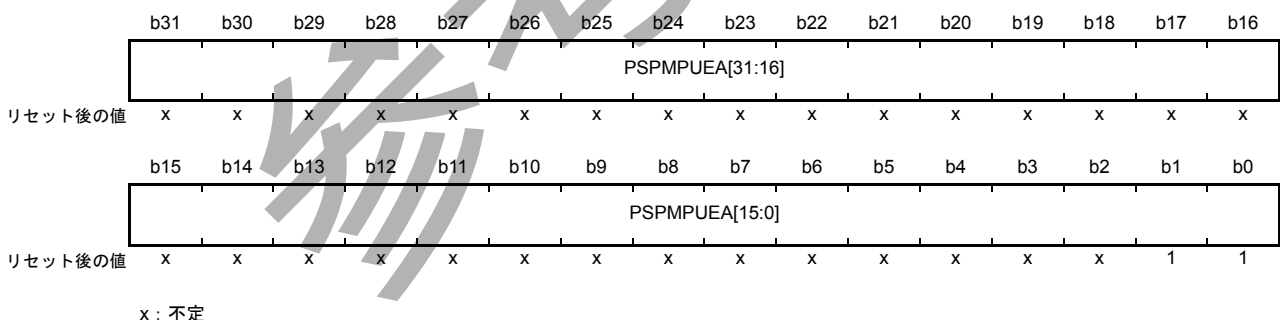


ビット	シンボル	ビット名	機能	R/W
b31-b0	PSPMPUSA[31:0]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。 下位2ビットは0にしてください。値の範囲は、予約領域を除く2000 0000h~200F FFFChでなければいけません。	R/W

**PSPMPUSA** レジスタと **PSPMPUEA** レジスタでは、SRAMのCPUスタック領域を指定します（対象は2000 0000h~200F FFFFhのうち、予約領域を除く領域です。カバーされるSRAM領域については、[図 4.1](#)のメモリマップを参照してください）。

### 16.2.3.4 プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ (PSPMPUEA)

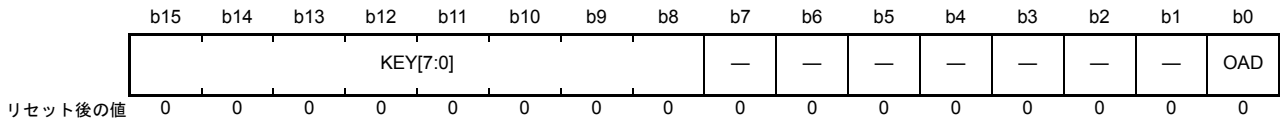
アドレス `SPMON.PSPMPUEA 4000 0D1Ch`



ビット	シンボル	ビット名	機能	R/W
b31-b0	PSPMPUEA[31:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。 下位2ビットは1にしてください。値の範囲は、予約領域を除く2000 0003h~200F FFFFhでなければいけません。	R/W

### 16.2.3.5 スタックポインタモニタ検出後動作レジスタ (MSPMPUOAD, PSPMPUOAD)

アドレス SPMON.MSPMPUOAD 4000 0D00h, SPMON.PSPMPUOAD 4000 0D10h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	0: ノンマスカブル割り込み 1: リセット	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OAD ビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

#### OAD ビット (検出後の動作)

CPU スタックポインタモニタによってスタックポインタのアンダーフローまたはオーバーフローが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。

メインスタックポインタ (MSP) モニタとプロセススタックポインタ (PSP) モニタは、この OAD ビットを使用して、スタックポインタのアンダーフローまたはオーバーフロー検出時に発生させる信号を決定します。OAD ビットを設定する際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

#### KEY[7:0] ビット (キーコード)

OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

### 16.2.3.6 スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL, PSPMPUCTL)

アドレス SPMON.MSPMPUCTL 4000 0D04h, SPMON.PSPMPUCTL 4000 0D14h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ERROR	—	—	—	—	—	—	—	ENABLE
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	スタックポインタモニタ有効	0: スタックポインタモニタ無効 1: スタックポインタモニタ有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	ERROR	スタックポインタモニタエラーフラグ	0: スタックポインタにオーバーフロー/アンダーフローなし 1: スタックポインタにオーバーフロー/アンダーフローあり	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 初期値はリセット発生要因によって異なります。

#### ENABLE ビット (スタックポインタモニタ有効)

スタックポインタモニタ機能を有効または無効にします。メインスタックポインタ (MSP) モニタとプロセススタックポインタ (PSP) モニタには、それぞれに ENABLE ビットがあります。

MSPMPUCTL.ENABLE ビットを 1 にした場合、以下のレジスタが利用可能になります。

- MSPMPUSA
- MSPMPUEA
- MSPMPUOAD

PSPMPUCTL.ENABLE ビットを 1 にした場合、以下のレジスタが利用可能になります。

- PSPMPUSA
- PSPMPUEA
- PSPMPUOAD

#### ERROR ビット (スタックポインタモニタエラーフラグ)

スタックポインタモニタの状態を示します。メインスタックポインタ (MSP) モニタとプロセススタックポインタ (PSP) モニタには、それぞれに ERROR ビットがあります。

[1 になる条件]

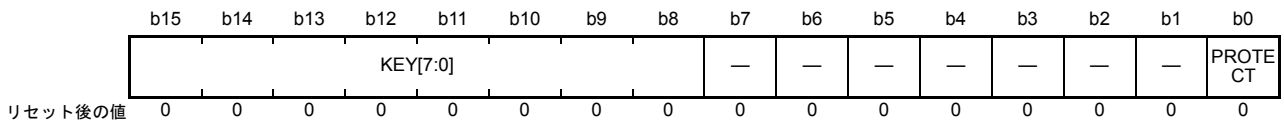
- スタックポインタがアンダーフローまたはオーバーフローしたとき

[0 になる条件]

- リセット、または 0 を書いてクリアされたとき
- ERROR ビットには 0 のみ書けます

### 16.2.3.7 スタックポインタモニタ保護レジスタ (MSPMPUPT, PSPMPUPT)

アドレス SPMON.MSPMPUPT 4000 0D06h, SPMON.PSPMPUPT 4000 0D16h



ビット	シンボル	ビット名	機能	R/W
b0	PROTECT	レジスタの保護	0: スタックポインタモニタ関連レジスタへの書き込みが可能 1: スタックポインタモニタ関連レジスタへの書き込みから保護 (読み出しは可能)	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	PROTECTビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

#### PROTECT ビット (レジスタの保護)

保護するレジスタへの書き込みを許可または禁止します。メインスタックポインタ (MSP) モニタとプロセススタックポインタ (PSP) モニタには、それぞれに PROTECT ビットがあります。

MSPMPUPT.PROTECT ビットは、メインスタックポインタ関連レジスタへの書き込みアクセスを制御します。MSPMPUPT.PROTECT ビットによって、MSPMPUCTL、MSPMPUSA、および MSPMPUEA の各レジスタが保護されます。

PSPMPUPT.PROTECT ビットは、プロセススタックポインタ関連レジスタへの書き込みアクセスを制御します。PSPMPUPT.PROTECT ビットによって、PSPMPUCTL、PSPMPUSA、および PSPMPUEA の各レジスタが保護されます。

PROTECT ビットを設定する際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

#### KEY[7:0] ビット (キーコード)

PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。

PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 0 が読み出されます。



### 16.3 ARM MPU

ARM MPU は 8 つの領域のメモリプロテクションユニットを備えており、下記の項目を全面的にサポートしています。

- 保護領域
- 保護領域のオーバーラップ (優先順位は昇順)
  - 7 = 最高優先順位
  - 0 = 最低優先順位
- アクセス許可
- メモリ属性のシステムへのエクスポート

ARM MPU の不一致および許可違反によって、優先順位のプログラム可能な MemManage フォルト (ハード障害) ハンドラが呼び出されます。詳細は、[16.7 参考資料の 2.](#) を参照してください。

参考資料

## 16.4 バスマスタ MPU

本 MCU はバスマスタ MPU を内蔵しており、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象にバスマスタがアクセスするアドレスを監視しています。

最大 16 の領域に対してアクセス制御情報の設定が可能であり、バスマスタ MPU は、この情報に従って各領域に対するアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU は内部リセットまたはノンマスカブル割り込みを発生させます。エラーアクセスについての詳細は、「15. バス」の 15.3.9 および 15.3.10 を参照してください。

各領域のアクセス制御情報は、読み出し許可と書き込み許可で構成されます。

表 16.4 に、バスマスタ MPU の仕様を示します。

表 16.4 バスマスタ MPU の仕様

項目	内容
マスタグループ	バスマスタ MPU グループ A : DMA バス
メモリプロテクション対象領域	0000 0000h ~ FFFF FFFFh
領域数	バスマスタ MPU グループ A : 16 領域
各領域のアドレス指定	領域の開始アドレスと終了アドレスを設定
各領域のメモリプロテクション有効/無効設定	対応する領域に対し有効/無効を設定
各領域のアクセス制御情報設定	読み出し許可と書き込み許可
検出後の動作	リセットまたはノンマスカブル割り込み
レジスタの保護	レジスタに対する不正書き込みの検出が可能

図 16.3 に、バスマスタ MPU のブロック図を示します。

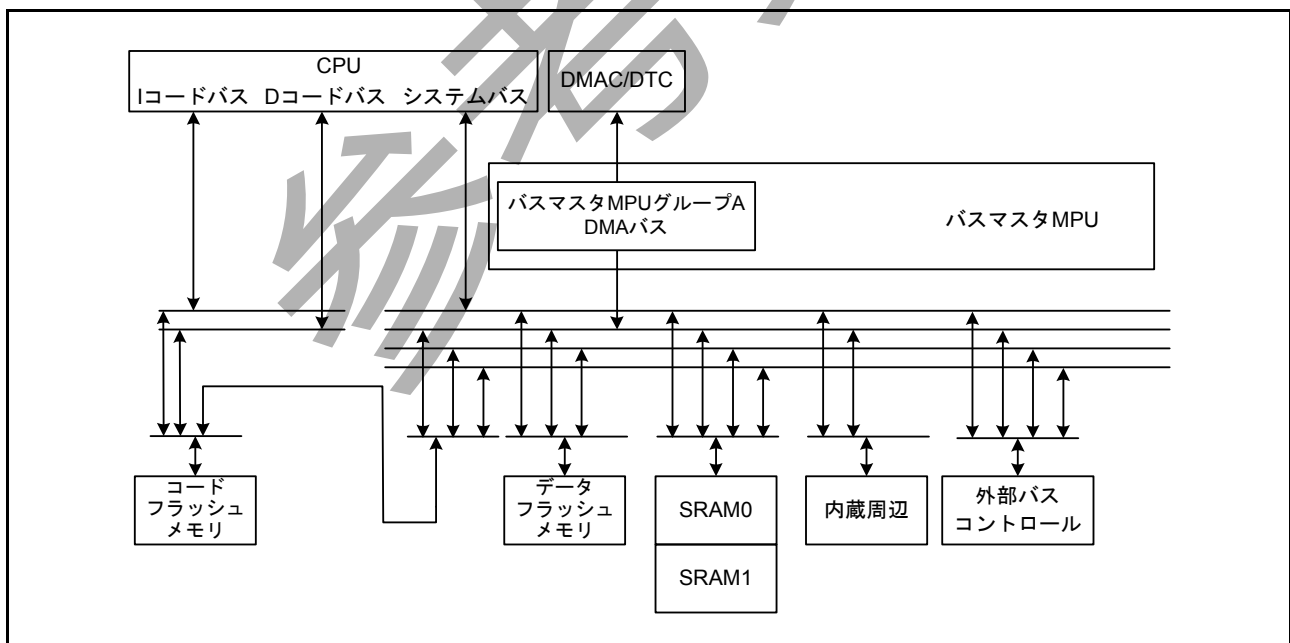


図 16.3 バスマスタ MPU のブロック図

図 16.4 に、バスマスタ MPU のグループ A を示します。

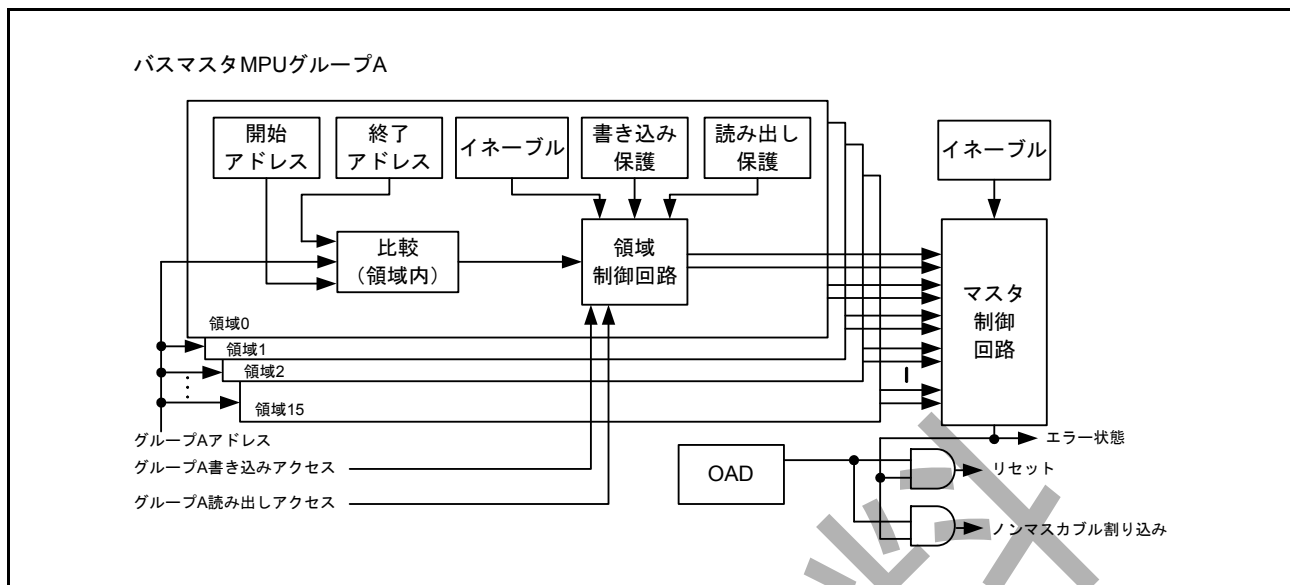


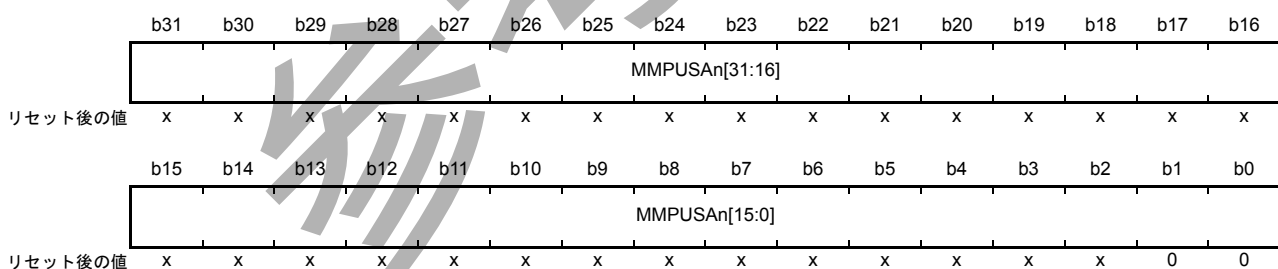
図 16.4 バスマスタ MPU のグループ A

### 16.4.1 レジスタの説明

注. バスアクセスを停止させてから、レジスタへの書き込み処理を行ってください。

#### 16.4.1.1 グループ A 領域 n 開始アドレスレジスタ (MMPUSAn) (n = 0 ~ 15)

アドレス [MMPU.MMPUSA0 4000 0204h](#), [MMPU.MMPUSA1 4000 0214h](#), [MMPU.MMPUSA2 4000 0224h](#), [MMPU.MMPUSA3 4000 0234h](#), [MMPU.MMPUSA4 4000 0244h](#), [MMPU.MMPUSA5 4000 0254h](#), [MMPU.MMPUSA6 4000 0264h](#), [MMPU.MMPUSA7 4000 0274h](#), [MMPU.MMPUSA8 4000 0284h](#), [MMPU.MMPUSA9 4000 0294h](#), [MMPU.MMPUSA10 4000 02A4h](#), [MMPU.MMPUSA11 4000 02B4h](#), [MMPU.MMPUSA12 4000 02C4h](#), [MMPU.MMPUSA13 4000 02D4h](#), [MMPU.MMPUSA14 4000 02E4h](#), [MMPU.MMPUSA15 4000 02F4h](#)

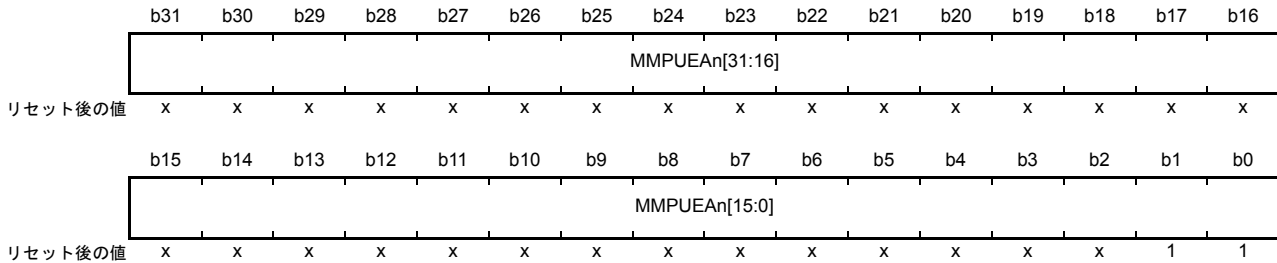


x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MMPUSAn[31:0]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。下位2ビットは0にしてください。	R/W

### 16.4.1.2 グループ A 領域 n 終了アドレスレジスタ (MMPUEAn) (n = 0 ~ 15)

アドレス [MMPU.MMPUEA0 4000 0208h](#), [MMPU.MMPUEA1 4000 0218h](#), [MMPU.MMPUEA2 4000 0228h](#), [MMPU.MMPUEA3 4000 0238h](#), [MMPU.MMPUEA4 4000 0248h](#), [MMPU.MMPUEA5 4000 0258h](#), [MMPU.MMPUEA6 4000 0268h](#), [MMPU.MMPUEA7 4000 0278h](#), [MMPU.MMPUEA8 4000 0288h](#), [MMPU.MMPUEA9 4000 0298h](#), [MMPU.MMPUEA10 4000 02A8h](#), [MMPU.MMPUEA11 4000 02B8h](#), [MMPU.MMPUEA12 4000 02C8h](#), [MMPU.MMPUEA13 4000 02D8h](#), [MMPU.MMPUEA14 4000 02E8h](#), [MMPU.MMPUEA15 4000 02F8h](#)

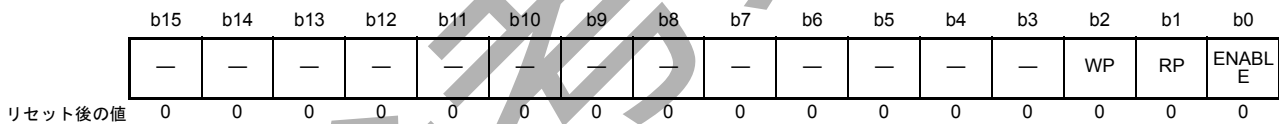


x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MMPUEAn[31:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。下位2ビットは1にしてください。	R/W

### 16.4.1.3 グループ A 領域 n アクセスコントロールレジスタ (MMPUACAn) (n = 0 ~ 15)

アドレス [MMPU.MMPUACA0 4000 0200h](#), [MMPU.MMPUACA1 4000 0210h](#), [MMPU.MMPUACA2 4000 0220h](#), [MMPU.MMPUACA3 4000 0230h](#), [MMPU.MMPUACA4 4000 0240h](#), [MMPU.MMPUACA5 4000 0250h](#), [MMPU.MMPUACA6 4000 0260h](#), [MMPU.MMPUACA7 4000 0270h](#), [MMPU.MMPUACA8 4000 0280h](#), [MMPU.MMPUACA9 4000 0290h](#), [MMPU.MMPUACA10 4000 02A0h](#), [MMPU.MMPUACA11 4000 02B0h](#), [MMPU.MMPUACA12 4000 02C0h](#), [MMPU.MMPUACA13 4000 02D0h](#), [MMPU.MMPUACA14 4000 02E0h](#), [MMPU.MMPUACA15 4000 02F0h](#)



ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	領域有効	0: グループA領域nユニットは無効 1: グループA領域nユニットは有効	R/W
b1	RP	読み出し保護	0: 読み出し許可 1: 読み出し保護	R/W
b2	WP	書き込み保護	0: 書き込み許可 1: 書き込み保護	R/W
b15-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

グループ A 領域 n ユニットごとに、ENABLE ビット、RP ビット、WP ビットを個別に設定します。

#### ENABLE ビット (領域有効)

グループ A 領域 n ユニットを有効または無効にします。

ENABLE ビットを1にした場合、RP ビットと WP ビットによって、MMPUSAn レジスタと MMPUEAn レジスタへのアクセスを許可または保護することが可能です。ENABLE ビットを0にした場合、グループ A 領域 n へのアクセスは領域外となります。

#### RP ビット (読み出し保護)

グループ A 領域 n の読み出し保護を有効または無効にします。ENABLE ビットを1にした場合に RP ビットを使用できます。

**WP ビット (書き込み保護)**

グループ A 領域 n の書き込み保護を有効または無効にします。ENABLE ビットを 1 にした場合に WP ビットを使用できます。

表 16.5 領域制御回路の機能

MMPUACAn. ENABLE	MMPUACAn. RP	MMPUACAn. WP	アクセス	領域	グループA領域 nユニットの出力
0	—	—	読み出し	—	領域外
			書き込み		領域外
1	0	0	読み出し	内部	許可領域
				外部	領域外
			書き込み	内部	許可領域
				外部	領域外
	0	1	読み出し	内部	許可領域
				外部	領域外
			書き込み	内部	保護領域
				外部	領域外
1	0	読み出し	内部	保護領域	
			外部	領域外	
		書き込み	内部	許可領域	
			外部	領域外	
1	1	読み出し	内部	保護領域	
			外部	領域外	
		書き込み	内部	保護領域	
			外部	領域外	

n = 0 ~ 15

表 16.6 マスタ制御回路の機能

MMPUCTLA. ENABLE	グループA領域 0ユニットの出力	グループA領域 1ユニットの出力	グループA領域 2~15ユニットの出力	グループAの機能
1	保護領域	*	*	エラー発生
1	*	保護領域	*	エラー発生
1	*	*	保護領域	エラー発生
1	領域外	領域外	領域外	エラー発生
その他の場合				エラーなし

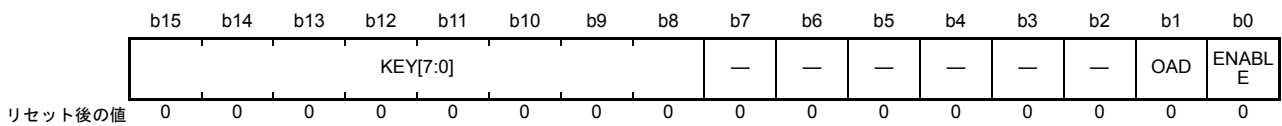
\* : Don't care

マスタ MPU エラーは下記の条件で発生します。

- MMPUCTLA.ENABLE = 1、かつ 1 つ以上の領域 n ユニットの出力が保護領域の場合
- MMPUCTLA.ENABLE = 1、かつすべての領域 n ユニットの出力が領域外の場合
- その他の場合は許可領域として処理される

### 16.4.1.4 バスマスタ MPU コントロールレジスタ (MMPUCTLA)

アドレス MMPU.MMPUCTLA 4000 0000h



ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	マスタグループ有効	0 : マスタグループAは無効 1 : マスタグループAは有効	R/W
b1	OAD	検出後の動作	0 : ノンマスカブル割り込み 1 : リセット	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットとENABLEビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

#### ENABLE ビット (マスタグループ有効)

マスタグループ A のバスマスタ MPU 機能を有効または無効にします。

このビットを 1 にすると、MMPUACAn レジスタが使用可能になります。このビットを 0 にすると、すべての領域の許可領域を含めて、MMPUACAn レジスタが使用できなくなります。ENABLE ビットを設定する際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

#### OAD ビット (検出後の動作)

バスマスタ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるかを選択します。

OAD ビットを設定する際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

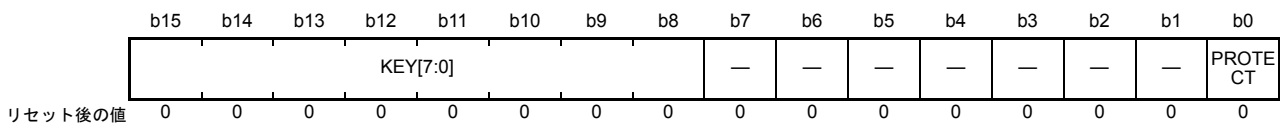
#### KEY[7:0] ビット (キーコード)

ENABLE ビットと OAD ビットへの書き込みを許可または禁止します。

ENABLE ビットと OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、ENABLE ビットと OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

### 16.4.1.5 グループ A レジスタの保護 (MMPUPTA)

アドレス MMPU.MMPUPTA 4000 0102h



ビット	シンボル	ビット名	機能	R/W
b0	PROTECT	レジスタの保護	0: 全バスマスタ MPUグループ A レジスタの書き込みは可能 1: 全バスマスタ MPUグループ A レジスタの書き込みを保護 (読み出しは可能)	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	PROTECT ビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

#### PROTECT ビット (レジスタの保護)

保護するレジスタへの書き込みを許可または禁止します。

MMPUPTA.PROTECT ビットは、バスマスタ MPU グループ A 関連レジスタへの書き込み保護を制御します。下記のレジスタが MMPUPTA.PROTECT ビットで保護されます。

- MMPUSAn
- MMPUEAn
- MMPUACAn
- MMPUCTLA

PROTECT ビットを設定する際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

#### KEY[7:0] ビット (キーコード)

PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

## 16.4.2 機能説明

### (1) メモリプロテクション

バスマスタ MPU は、各アクセス制御領域に設定されたアクセス制御情報を用いてメモリアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU は、最大 16 の保護領域に対して設定することができます。許可領域と保護領域がオーバーラップした領域は保護領域であり、2 つの許可領域がオーバーラップした領域も保護領域です。

バスマスタ MPU にはグループ A があります。メモリプロテクション機能は、統合したマスタグループに対してバスのアドレスをチェックするため、マスタグループの全アクセスが保護されます。バスマスタ MPU は、リセット後、すべての領域を許可に設定します。MMPUCTLA.ENABLE ビットを 1 にすることで、全領域が保護されます。各領域は、保護領域上に許可領域を設定します。保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。

図 16.5 に、バスマスタ MPU の使用例を示します。

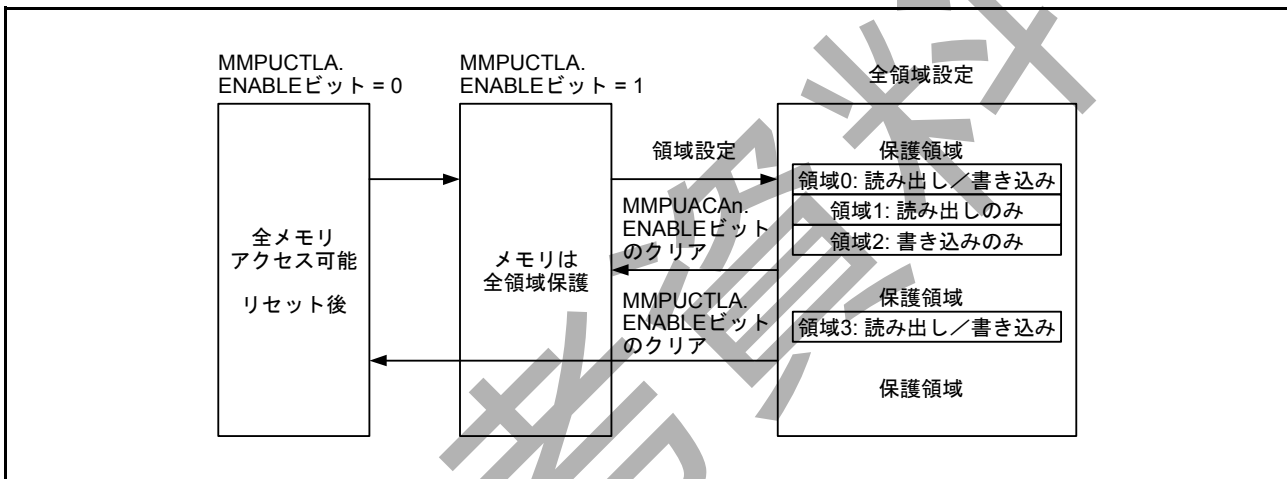


図 16.5 バスマスタ MPU の使用例

図 16.6 に、バスマスタ MPU 領域のオーバーラップによるアクセスの許可または保護について示します。

領域のオーバーラップによるアクセスの許可または保護の制御は以下の通りです。

- 1つ以上の領域ユニットの出力が保護領域の場合、保護領域として処理される
- すべての領域ユニットの出力が領域外の場合、保護領域として処理される
- その他の場合は許可領域として処理される



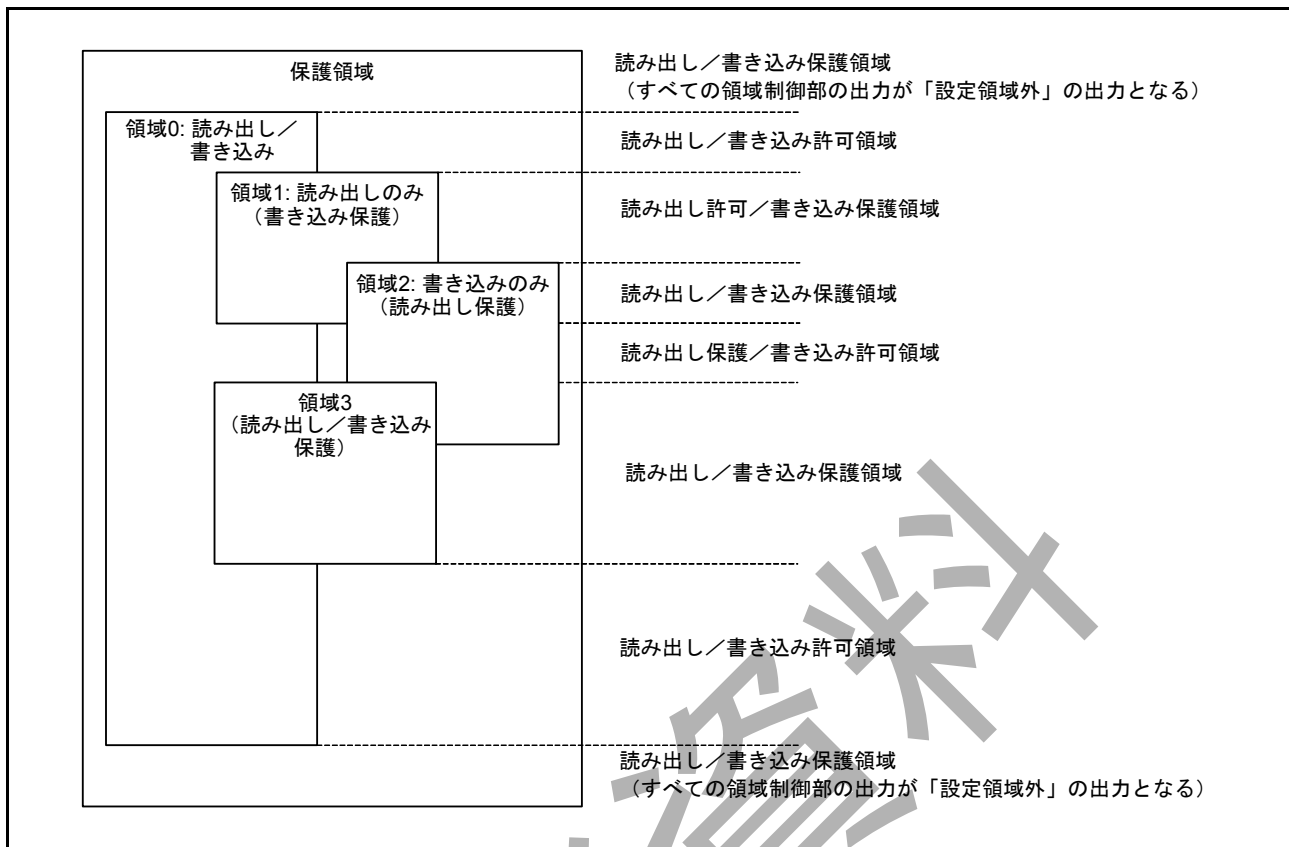


図 16.6 バスマスタ MPU 領域のオーバーラップによるアクセスの許可または保護

図 16.7 に、リセット後のレジスタ設定フローを示します。このレジスタ設定中は、CPU を除くマスタを停止してください。

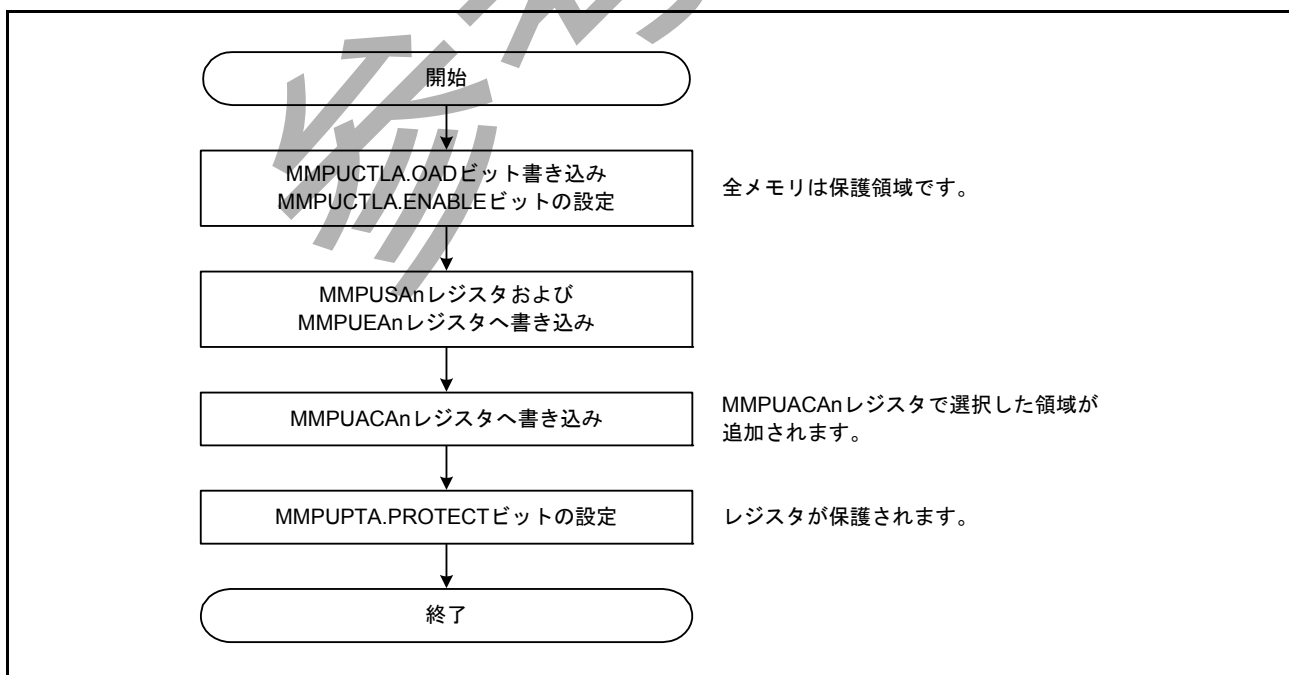


図 16.7 リセット後のレジスタ設定フロー

図 16.8 に、領域を追加するためのレジスタ設定フローを示します。このレジスタ設定中は、CPU を除くマスタを停止してください。



図 16.8 領域追加のレジスタ設定フロー

#### 16.4.2.1 レジスタの保護

バスマスタ MPU 関連のレジスタは、MMPUPTA レジスタの PROTECT ビットで保護することが可能です。

#### 16.4.2.2 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。メモリプロテクションエラーは、OAD ビットによってノンマスカブル割り込みまたはリセットのいずれかを選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSMST フラグに示されます。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。リセットの状態は SYSTEM.RSTSR1.BUSMRF フラグに示されます。詳細は、「6. リセット」を参照してください。

### 16.5 バススレーブ MPU

本 MCU はバススレーブ MPU を内蔵しており、フラッシュや SRAM などのバススレーブ機能に対するアクセスを監視します。

バススレーブ機能には、2つのバスマスタ (CPU、バスマスタ MPU グループ A) からアクセスできます。バススレーブ MPU は、バスマスタごとに独立したプロテクトレジスタを備えており、それぞれ個別にアクセス保護が可能です。保護領域に対するアクセスが検出されると、バススレーブ MPU はバスエラー状態、エラーアクセス状態、およびバスエラーアドレスを I/O レジスタに保持して、リセットまたはノンマスカブル割り込みを発生させます。バスエラーアドレス、バスエラー状態、およびエラーアクセス状態については、「15. バス」の 15.3.9 および 15.3.10 を参照してください。各領域のアクセス制御情報は、読み出し許可と書き込み許可で構成されます。

表 16.7 にバススレーブ MPU の仕様を、図 16.9 にバススレーブ MPU のブロック図を示します。

表 16.7 バススレーブ MPU の仕様

項目	内容
バスマスタの保護	バスマスタ MPU グループ A : DMAバス
スレーブ機能の保護	メモリバス3 : コードフラッシュメモリ メモリバス4 : SRAM0 メモリバス5 : SRAM1 内部周辺バス1 : システムコントロール関連の周辺モジュールを接続 内部周辺バス3 : 周辺モジュール (CAC, ELC, I/Oポート, POEG, RTC, WDT, IWDT, IIC, CAN, SSI, ADC14, DAC12, DOC) を接続 内部周辺バス4 : 周辺モジュール (SCI, IrDA, SPI, CRC, SDHI) を接続 内部周辺バス5 : 周辺モジュール (KINT, AGT, USBFS, OPAMP, ACMPLP, CTSU) を接続 内部周辺バス7 : セキュアIP (SCE5) を接続 内部周辺バス9 : フラッシュメモリ (P/E時) とデータフラッシュメモリ 外部バス (CS領域) : 外部デバイスを接続 外部バス (QSPI領域) : 外部SPIデバイスを接続
各領域のアクセス制御情報設定	読み出し許可、書き込み許可
検出後の動作	リセット、ノンマスカブル割り込み、または例外
レジスタの保護	レジスタに対する不正書き込みの防止が可能

バススレーブ MPU はそれぞれのバススレーブ側に配置され、各バスマスタから各バススレーブへのアクセスを許可または保護します。

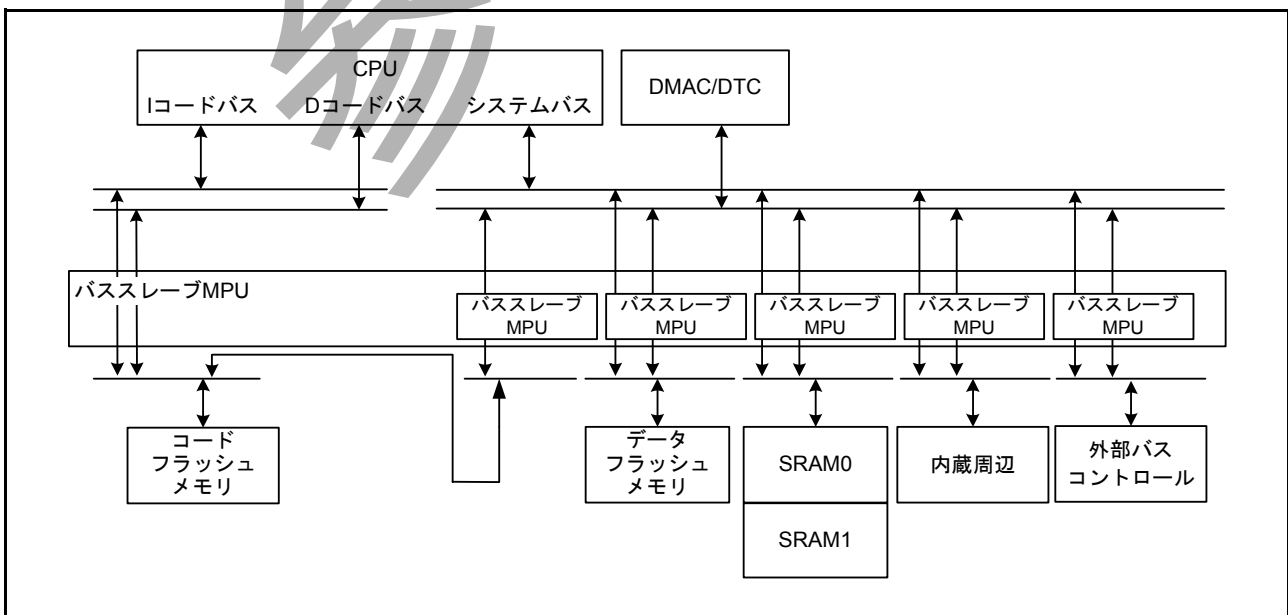


図 16.9 バススレーブ MPU のブロック図

### 16.5.1 レジスタの説明

注. バスアクセスを停止させてから、レジスタへの書き込み処理を行ってください。

#### 16.5.1.1 メモリバス3アクセスコントロールレジスタ (SMPUMBIU)

アドレス SMPU.SMPUMBIU 4000 0C10h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	—	—
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### RPGRPA ビット (マスタグループA 読み出し保護)

メモリバス3でのマスタグループAによる読み出しに対してメモリプロテクションを有効または無効にします。

#### WPGRPA ビット (マスタグループA 書き込み保護)

メモリバス3でのマスタグループAによる書き込みに対してメモリプロテクションを有効または無効にします。

## 16.5.1.2 内部周辺バス 9 アクセスコントロールレジスタ (SMPUFBIU)

アドレス SMPU.SMPUFBIU 4000 0C14h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

内部周辺バス 9 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

内部周辺バス 9 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタグループ A 読み出し保護)**

内部周辺バス 9 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタグループ A 書き込み保護)**

内部周辺バス 9 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

## 16.5.1.3 メモリバス 4 アクセスコントロールレジスタ (SMPUSRAM0)

アドレス SMPU.SMPUSRAM0 4000 0C18h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

メモリバス 4 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

メモリバス 4 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタグループ A 読み出し保護)**

メモリバス 4 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタグループ A 書き込み保護)**

メモリバス 4 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

## 16.5.1.4 メモリバス 5 アクセスコントロールレジスタ (SMPUSRAM1)

アドレス SMPU.SMPUSRAM1 4000 0C1Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

メモリバス 5 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

メモリバス 5 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタグループ A 読み出し保護)**

メモリバス 5 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタグループ A 書き込み保護)**

メモリバス 5 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

## 16.5.1.5 内部周辺バス 1 アクセスコントロールレジスタ (SMPUP0BIU)

アドレス SMPU.SMPUP0BIU 4000 0C20h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

内部周辺バス 1 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

内部周辺バス 1 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタグループ A 読み出し保護)**

内部周辺バス 1 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタグループ A 書き込み保護)**

内部周辺バス 1 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。



## 16.5.1.6 内部周辺バス 3 アクセスコントロールレジスタ (SMPUP2BIU)

アドレス SMPU.SMPUP2BIU 4000 0C24h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

内部周辺バス 3、4、5 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

内部周辺バス 3、4、5 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタグループ A 読み出し保護)**

内部周辺バス 3、4、5 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタグループ A 書き込み保護)**

内部周辺バス 3、4、5 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

## 16.5.1.7 内部周辺バス 7 アクセスコントロールレジスタ (SMPUP6BIU)

アドレス SMPU.SMPUP6BIU 4000 0C28h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

内部周辺バス 7 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

内部周辺バス 7 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタグループ A 読み出し保護)**

内部周辺バス 7 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタグループ A 書き込み保護)**

内部周辺バス 7 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

## 16.5.1.8 CS 領域アクセスコントロールレジスタ (SMPUEXBIU)

アドレス SMPU.SMPUEXBIU 4000 0C30h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

CS 領域での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

CS 領域での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタグループ A 読み出し保護)**

CS 領域でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタグループ A 書き込み保護)**

CS 領域でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

## 16.5.1.9 QSPI 領域アクセスコントロールレジスタ (SMPUEXBIU2)

アドレス SMPU.SMPUEXBIU2 4000 0C34h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

QSPI 領域での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

QSPI 領域での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタグループ A 読み出し保護)**

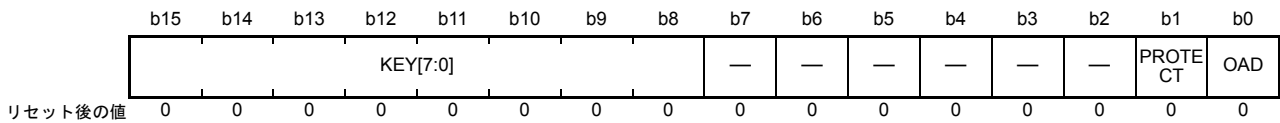
QSPI 領域でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタグループ A 書き込み保護)**

QSPI 領域でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

## 16.5.1.10 スレーブ MPU コントロールレジスタ (SMPUCTL)

アドレス SMPU.SMPUCTL 4000 0C00h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	0: ノンマスカブル割り込み 1: リセット	R/W
b1	PROTECT	レジスタの保護	0: 全バススレーブレジスタの書き込みは可能 1: 全バススレーブレジスタの書き込みを保護 (読み出しは可能)	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットとPROTECTビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

**OAD ビット (検出後の動作)**

バススレーブ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。

OAD ビットを設定する際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

**PROTECT ビット (レジスタの保護)**

保護するレジスタへの書き込みを許可または禁止します。下記のレジスタが SMPUCTL.PROTECT ビットで保護されます。

- SMPUMBIU
- SMPUFBIU
- SMPUSRAM0
- SMPUSRAM1
- SMPUP0BIU
- SMPUP2BIU
- SMPUP6BIU
- SMPUEXBIU
- SMPUEXBIU2

PROTECT ビットを設定する際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

**KEY[7:0] ビット (キーコード)**

OAD ビットと PROTECT ビットへの書き込みを許可または禁止します。

OAD ビットと PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、OAD ビットと PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

## 16.5.2 機能説明

### 16.5.2.1 メモリプロテクション

バススレーブ MPU は、各アクセスコントロールレジスタに設定されたアクセス制御情報を用いて、バススレーブによるアクセスがアクセス制御設定に違反していないかを監視する機能です。保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。

バススレーブ MPU は、アクセスコントロールレジスタ (SMPUMBIU, SMPUFBIU, SMPUSRAM0, SMPUSRAM1, SMPUP0BIU, SMPUP2BIU, SMPUP6BIU, SMPUEXBIU, SMPUEXBIU2) の書き込み保護 (WP) ビットまたは読み出し保護 (RP) ビットを 1 にすることで有効になります。

### 16.5.2.2 レジスタの保護

バススレーブ MPU 関連のレジスタは、SMPUCTL レジスタの PROTECT ビットで保護することが可能です。

### 16.5.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。メモリプロテクションエラーは、OAD ビットによってノンマスカブル割り込みまたはリセットのいずれかを選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSSST フラグに示されます。詳細は、「[14. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。リセットの状態は SYSTEM.RSTSR1.BUSSRF フラグに示されます。詳細は、「[6. リセット](#)」を参照してください。

## 16.6 セキュリティ MPU

本 MCU はセキュリティ MPU を内蔵しており、セキュリティ領域を持っています。セキュリティ領域は、非セキュアプログラムによるアクセスから保護されます。非セキュアプログラムは、保護領域にアクセスすることができません。さらに、セキュリティ MPU は、コードフラッシュを含むガード機能を 1 つ提供しています。

表 16.8 に、セキュリティ MPU の仕様を示します。

表 16.8 セキュリティ MPU の仕様

項目	内容
ガード機能	コードフラッシュ
メモリプロテクション対象領域	0000 0000h ~ 000F FFFFh (コードフラッシュメモリ)
領域数	プログラムカウンタ = 2 領域、データアクセス = 1 領域
各領域のアドレス指定	領域の開始アドレスと終了アドレスを設定
各領域のメモリプロテクション有効/無効設定	対応する領域に対し有効/無効を設定

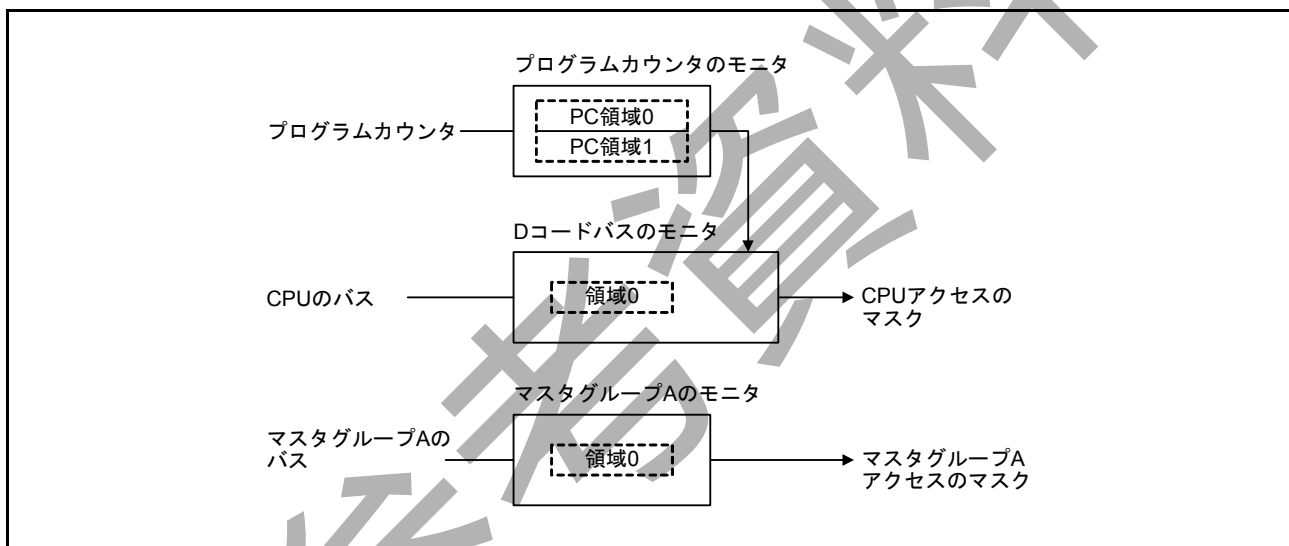


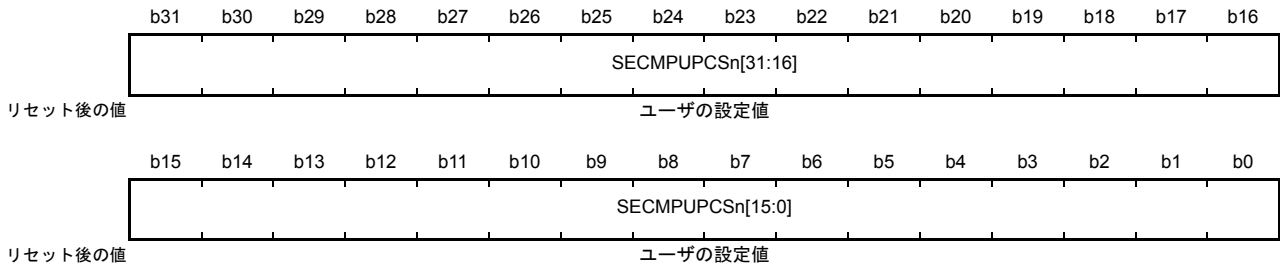
図 16.10 セキュリティ MPU のブロック図

### 16.6.1 レジスタの説明 (オプション設定メモリ)

セキュリティ MPU のすべてのレジスタは、オプション設定メモリです。オプション設定メモリとは、リセット後のマイコンの状態を選択するために利用可能な一連のレジスタを指します。オプション設定メモリはフラッシュに配置されます。

### 16.6.1.1 セキュリティ MPU プログラムカウンタ開始アドレスレジスタ (SECMUPCSn) (n = 0, 1)

アドレス [SECMUPCS0 0000 0408h](#), [SECMUPCS1 0000 0410h](#)

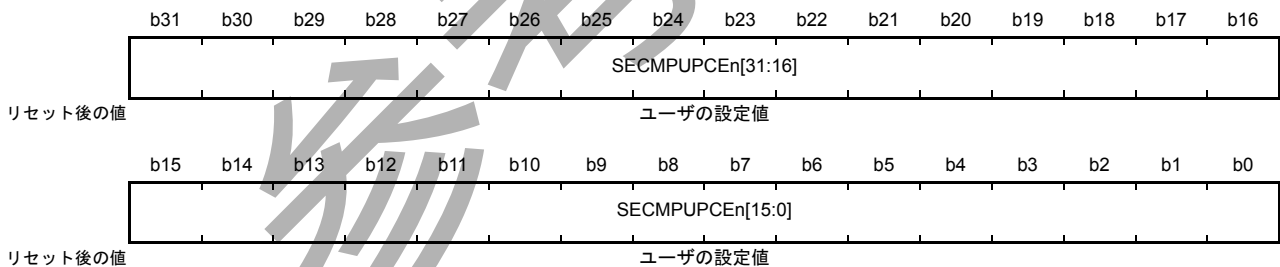


ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMUPCSn[31:0]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。値の範囲は 0000 0000h ~ 000F FFFChでなければいけません。	R

SECMUPCSn レジスタと SECMUPCEn レジスタには、フラッシュ (0000 0000h ~ 000F FFFFh) のセキュリティフェッチ領域を設定してください。このレジスタは、SECMUPSn と SECMUPEn で設定されたセキュリティデータにアクセス可能なセキュリティプログラムを設定するために使用されます。

### 16.6.1.2 セキュリティ MPU プログラムカウンタ終了アドレスレジスタ (SECMUPCEn) (n = 0, 1)

アドレス [SECMUPCE0 0000 040Ch](#), [SECMUPCE1 0000 0414h](#)

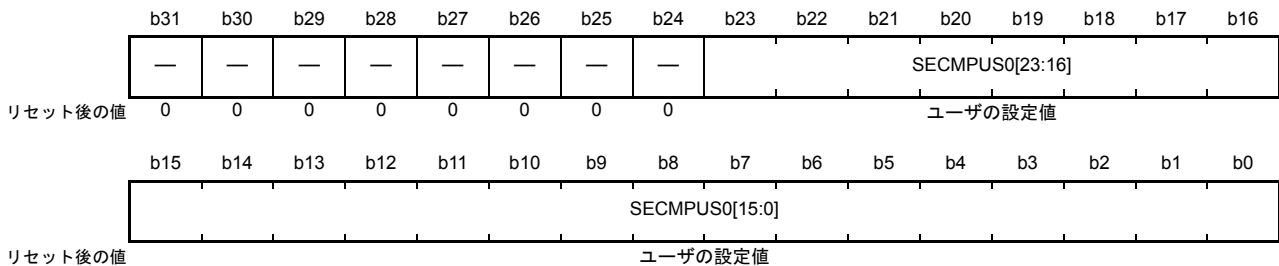


ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMUPCEn[31:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。値の範囲は 0000 0003h ~ 000F FFFFhでなければいけません。	R



### 16.6.1.3 セキュリティ MPU 領域 0 開始アドレスレジスタ (SECMPUS0)

アドレス SECMPUS0 0000 0418h

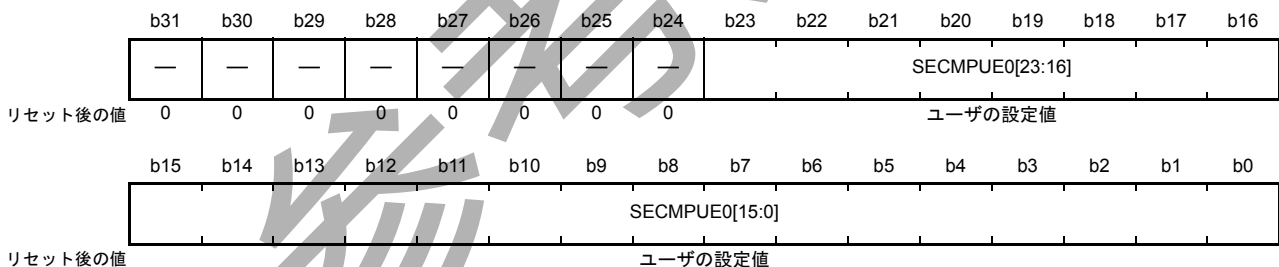


ビット	シンボル	ビット名	機能	R/W
b23-b0	SECMPUS0[23:0]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。値の範囲は 0000 0000h ~ 00FF FFFCh でなければいけません。	R
b31-b24	—	予約ビット	読むと0が読めます。	R

SECMPUS0 レジスタと SECMPUE0 レジスタには、セキュリティプログラムとフラッシュデータ (0000 0000h ~ 000F FFFFh) を設定してください。これらのレジスタは、SECMPUPCSn と SECMPUPCEn で設定されたセキュリティプログラムからのみアクセス可能です。

### 16.6.1.4 セキュリティ MPU 領域 0 終了アドレスレジスタ (SECMPUE0)

アドレス SECMPUE0 0000 041Ch



ビット	シンボル	ビット名	機能	R/W
b23-b0	SECMPUE0[23:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。値の範囲は 0000 0003h ~ 00FF FFFFh でなければいけません。	R
b31-b24	—	予約ビット	読むと0が読めます。	R

## 16.6.1.5 セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC)

アドレス SECMPUAC 0000 0438h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DISPC 1	DISPC 0	—	—	—	—	—	—	—	DISO
リセット後の値	1	1	1	1	1	1	ユーザの設定値		1	1	1	1	1	1	1	ユーザの 設定値

ビット	シンボル	ビット名	機能	R/W
b0	DISO	領域0無効	0: セキュリティ MPUの領域0は有効 1: セキュリティ MPUの領域0は無効	R
b7-b1	—	予約ビット	読むと1が読めます。	R
b8	DISPC0	PC領域0無効	0: セキュリティ MPUのPC領域0は有効 1: セキュリティ MPUのPC領域0は無効	R
b9	DISPC1	PC領域1無効	0: セキュリティ MPUのPC領域1は有効 1: セキュリティ MPUのPC領域1は無効	R
b15-b10	—	予約ビット	読むと1が読めます。	R

注. フラッシュメモリが消去されると、セキュリティ MPUは無効になります。

注. セキュリティ MPUを有効または無効にする方法については、16.6.2 メモリプロテクションを参照してください。

**DISO ビット (領域0無効)**

セキュリティ MPUの領域0を有効または無効にします。セキュリティ MPUの領域0を有効にすると、SECMPUS0レジスタとSECMPUE0レジスタで設定した範囲内のコードフラッシュ領域がセキュリティデータとなります。

**DISPC0 ビット (PC領域0無効)**

セキュリティ MPUのPC領域0を有効または無効にします。セキュリティ MPUのPC領域0を有効にすると、SECMPUPCS0レジスタとSECMPUPCE0レジスタで設定した範囲内のフラッシュ領域がセキュリティプログラムとなります。

**DISPC1 ビット (PC領域1無効)**

セキュリティ MPUのPC領域1を有効または無効にします。セキュリティ MPUのPC領域1を有効にすると、SECMPUPCS1レジスタとSECMPUPCE1レジスタで設定した範囲内のフラッシュ領域がセキュリティプログラムとなります。

## 16.6.2 メモリプロテクション

セキュリティ MPU は、セキュリティプログラム以外のプログラムからアクセスできないように、セキュアメモリ（フラッシュ）を保護します。保護領域に対するアクセスが検出されると、そのアクセスは無効になります。セキュリティ MPU を有効にする場合、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DISPC0 ビットまたは DISPC1 ビットを 0 にしてクリアする必要があります。さらに、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DIS0 ビットを 0 にしてクリアする必要があります。

セキュリティ MPU を無効にする場合、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DISPC0 ビット、DISPC1 ビット、および DIS0 ビットをすべて 1 にする必要があります。

セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の上記以外の設定は行わないでください。

セキュリティ MPU は、以下の条件下でアクセス保護を行います。

- セキュアデータが非セキュアプログラムからアクセスされる時
- セキュアデータが CPU 以外 (DMAC、DTC) からアクセスされる時

セキュアデータは以下の条件下でアクセス可能です。

- セキュアデータがセキュアプログラムからアクセスされる時

注 . セキュアプログラム : SECMPUPCS0 レジスタと SECMPUPCE0 レジスタで設定した範囲内にあるフラッシュ領域、SECMPUPCS1 レジスタと SECMPUPCE1 レジスタで設定した範囲内にあるフラッシュ領域  
 非セキュアプログラム : セキュアプログラム領域外の全領域  
 セキュアデータ : SECMPUS0 レジスタと SECMPUE0 レジスタで設定した範囲内にあるフラッシュ領域

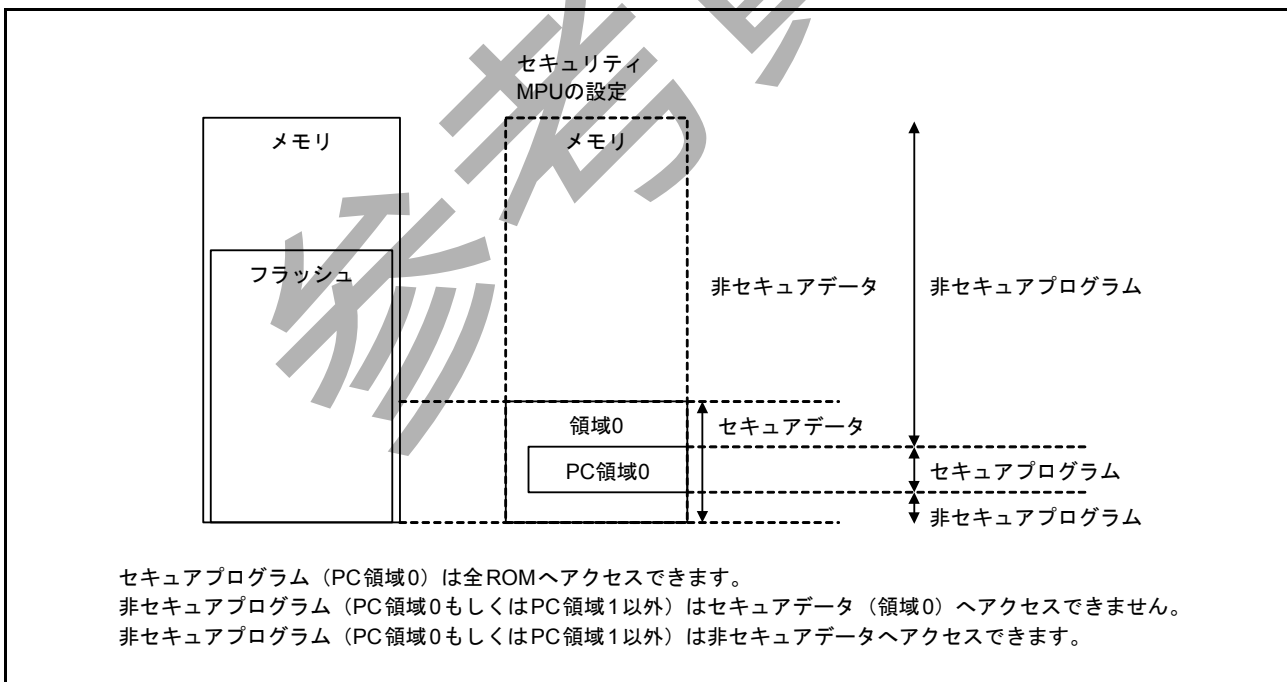


図 16.11 セキュリティ MPU の使用例

### 16.6.3 使用上の注意事項

デバッガを使用する場合、セキュアデータにはアクセスしないでください。

### 16.7 参考資料

1. *ARM Limited, ARMv7-M Architecture Reference Manual (ARM DDI 0403D)*
2. *ARM Limited, ARM<sup>®</sup> Cortex<sup>®</sup>-M4 Processor Technical Reference Manual (ARM DDI 0439D)*
3. *ARM Limited, Cortex<sup>®</sup>-M4 Devices Generic User Guide (ARM DUI 0553A)*

参考資料

## 17. DMAコントローラ (DMAC)

本 MCU は、4 チャンネルの DMA コントローラ (DMAC) を内蔵しており、CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。

### 17.1 概要

表 17.1 に DMAC の仕様を示します。

表 17.1 DMACの仕様

項目		内容
チャンネル数		4チャンネル (DMACm, m = 0~3)
転送空間		4GB (0000 0000h~FFFF FFFFhのうち、予約領域を除く領域)
最大転送データ数		64Mデータ (ブロック転送モードにおける最大総転送数: 1,024データ × 65,536ブロック)
DMA起動要因		チャンネルごとに個別に選択可能 <ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>周辺モジュールからの割り込み要求/外部割り込み入力端子からのトリガ (注1)</li> </ul>
チャンネル優先順位		チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 (チャンネル0: 最優先)
転送データ	1データ	ビット長: 8ビット、16ビット、32ビット
	ブロックサイズ	データ数: 1~1,024
転送モード	ノーマル転送モード	<ul style="list-style-type: none"> <li>1回のDMA転送要求で1データを転送</li> <li>総データ転送数を指定しない設定 (フリーランニングモード) を選択可能</li> </ul>
	リピート転送モード	<ul style="list-style-type: none"> <li>1回のDMA転送要求で1データを転送</li> <li>転送元または転送先に指定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰</li> <li>設定可能な最大リピートサイズ: 1,024</li> </ul>
	ブロック転送モード	<ul style="list-style-type: none"> <li>1回のDMA転送要求で1ブロックを転送</li> <li>設定可能な最大ブロックサイズ: 1,024</li> </ul>
選択機能	拡張リピート領域機能	<ul style="list-style-type: none"> <li>転送アドレスレジスタの上位ビット値を固定したまま、特定範囲のアドレスを繰り返すことでデータ転送が可能</li> <li>拡張リピート領域は2バイトから128Mバイトまで転送元、転送先別に設定可能</li> </ul>
割り込み要求 (DMACm_INT)	転送終了割り込み	転送カウンタで設定したデータ数の転送終了時に発生
	転送エスケープ終了 割り込み	下記の条件で発生 <ul style="list-style-type: none"> <li>リピートサイズ分のデータ転送を終了したとき</li> <li>拡張リピート領域の転送元アドレスがオーバーフローしたとき</li> <li>拡張リピート領域の転送先アドレスがオーバーフローしたとき</li> </ul>
イベントリンク起動 (DMACm_INT)		各データ転送後 (ブロックの場合は各ブロック転送後)、イベントリンク要求を発生
モジュールストップ機能		モジュールストップ状態の設定が可能

注 1. DMAC の起動要因については、「14. 割り込みコントローラユニット (ICU)」の表 14.3 を参照してください。

図 17.1 に DMAC のブロック図を示します。

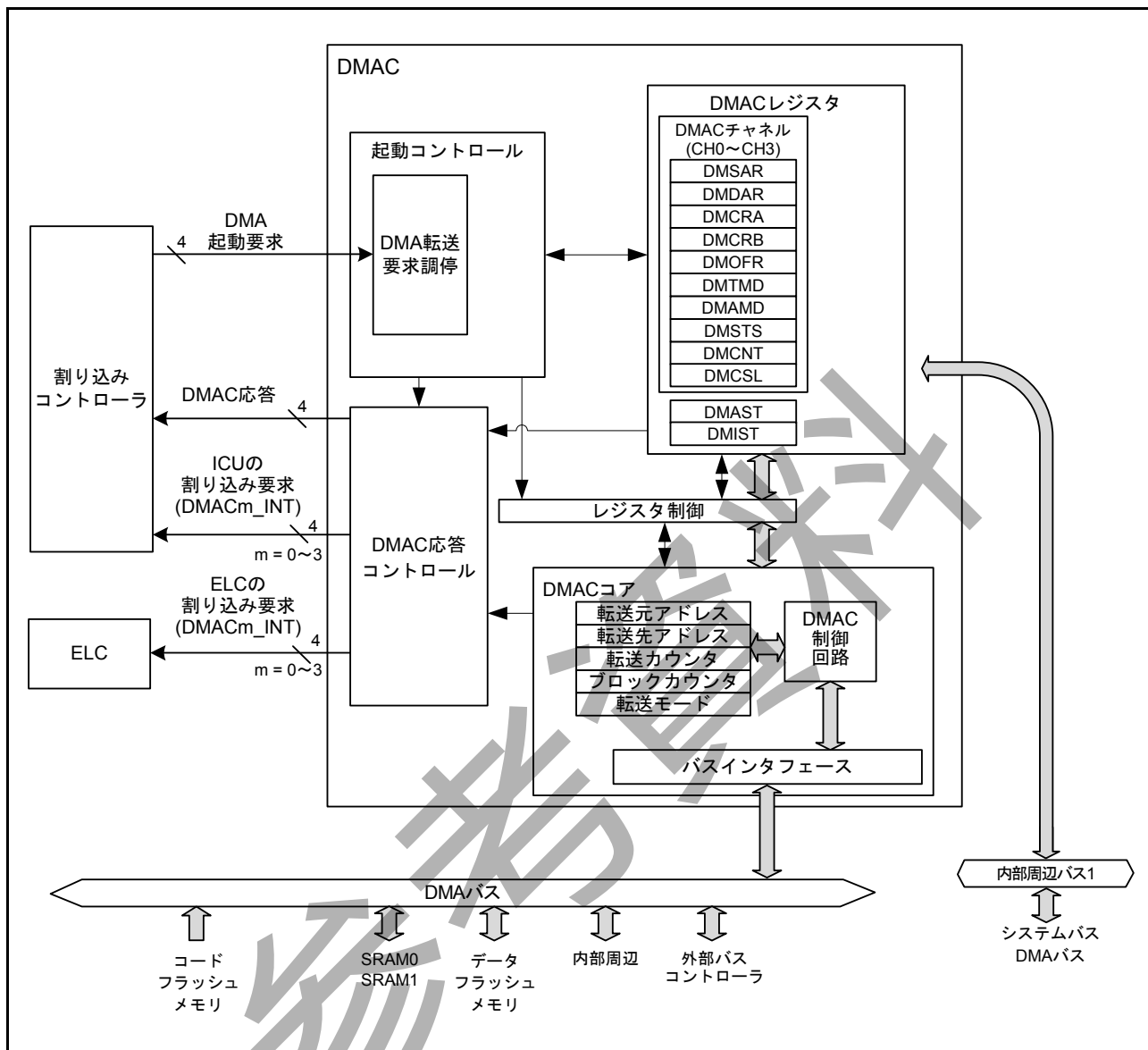
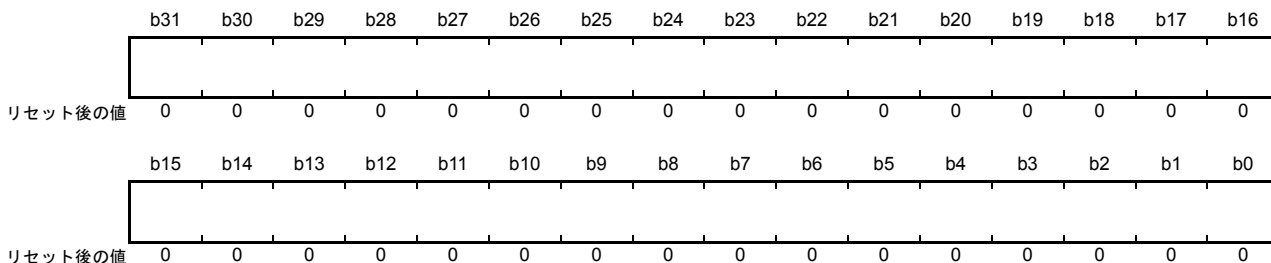


図 17.1 DMAC のブロック図

## 17.2 レジスタの説明

### 17.2.1 DMA 転送元アドレスレジスタ (DMSAR)

アドレス [DMAC0.DMSAR 4000 5000h](#), [DMAC1.DMSAR 4000 5040h](#), [DMAC2.DMSAR 4000 5080h](#), [DMAC3.DMSAR 4000 50C0h](#)



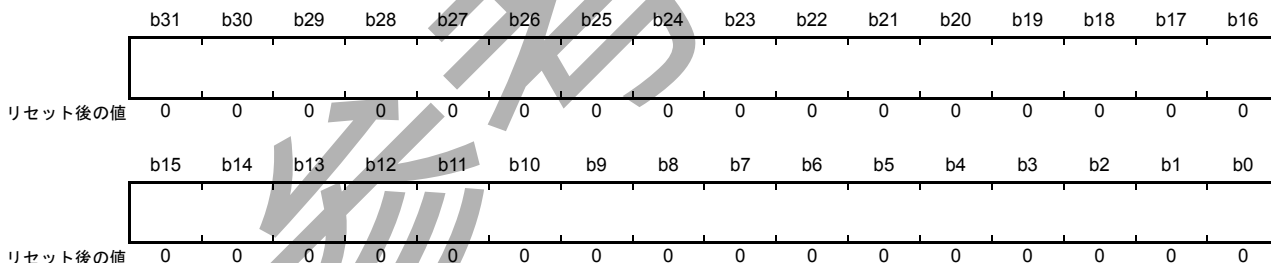
ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	0000 0000h ~ FFFF FFFFh (4Gバイト)	R/W

DMSAR レジスタは、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD レジスタの SZ ビットで選択した転送データサイズ値と一致している必要があります。

### 17.2.2 DMA 転送先アドレスレジスタ (DMDAR)

アドレス [DMAC0.DMDAR 4000 5004h](#), [DMAC1.DMDAR 4000 5044h](#), [DMAC2.DMDAR 4000 5084h](#), [DMAC3.DMDAR 4000 50C4h](#)



ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	0000 0000h ~ FFFF FFFFh (4Gバイト)	R/W

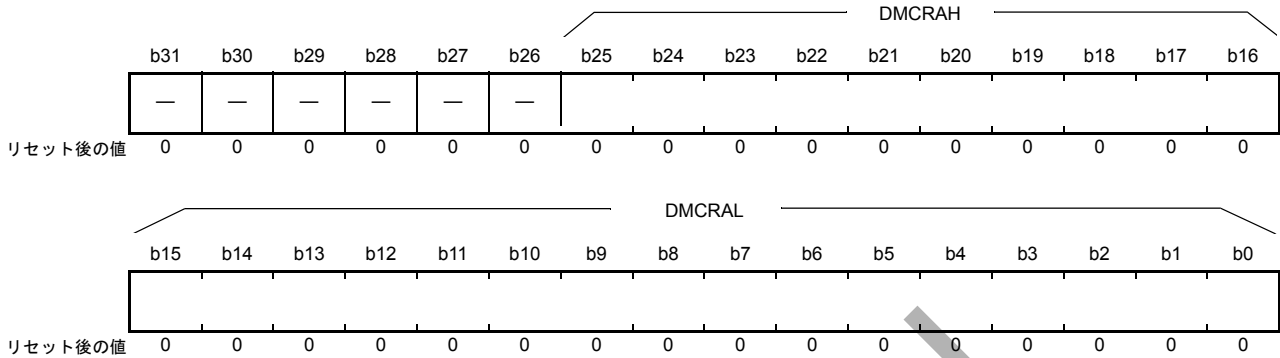
DMDAR レジスタは、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD レジスタの SZ ビットで選択した転送データサイズ値と一致している必要があります。

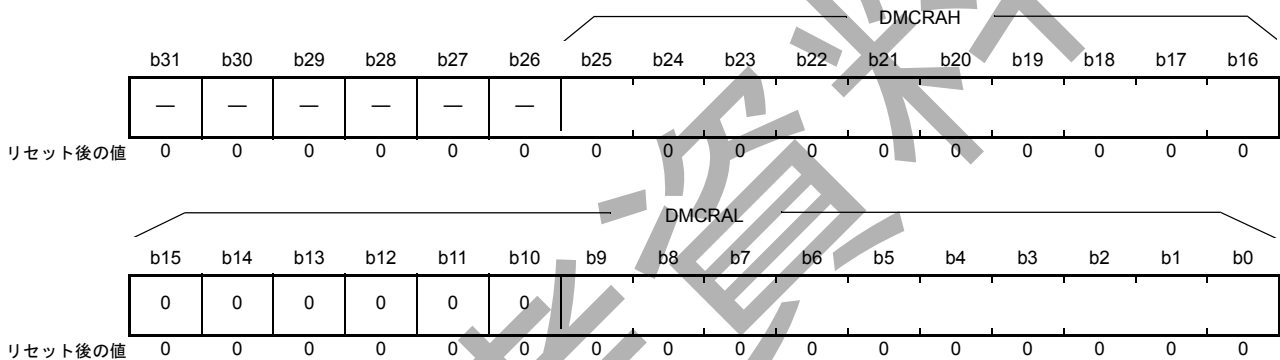
### 17.2.3 DMA 転送カウントレジスタ (DMCRA)

アドレス `DMAC0.DMCRA 4000 5008h`, `DMAC1.DMCRA 4000 5048h`, `DMAC2.DMCRA 4000 5088h`, `DMAC3.DMCRA 4000 50C8h`

#### • ノーマル転送モード



#### • リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAL	転送カウント下位ビット	転送回数を設定	R/W
DMCRAH	転送カウント上位ビット		R/W

注. リピート転送モードとブロック転送モードでは、DMCRAH レジスタと DMCRAL レジスタに同じ値を設定してください。

#### (1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

ノーマル転送モードでは、DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65,535 回となります。1 回のデータ転送を行うたびにデクリメント (-1) されます。設定値が 0000h のときは転送回数の指定なしとなり、転送カウンタが停止した状態でデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは、DMCRAH レジスタを使用しないでください。DMCRAH レジスタへは 0000h を書いてください。

#### (2) リピート転送モード (DMACm.DMTMD.MD[1:0] ビット = 01b) のとき

リピート転送モードでは、DMCRAH レジスタはリピートサイズを指定し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。転送回数は、設定値が 001h のときは 1 回、3FFh のときは 1,023 回、000h のときは 1,024 回となります。このモードでは、DMCRAH レジスタと DMCRAL レジスタの設定可能範囲は、000h ~ 3FFh (1 ~ 1,024 回) です。

DMCRAL レジスタのビット [15:10] の設定は無効です。これらのビットには 0 を書いてください。DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (-1) され、000h になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。



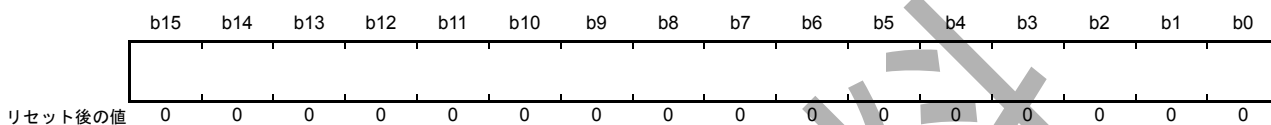
### (3) ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき

ブロック転送モードでは、DMCRAH レジスタはブロックサイズを指定し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。設定値が 001h のときはブロックサイズ 1、3FFh のときはブロックサイズ 1,023、000h のときはブロックサイズ 1,024 となります。このモードでは、DMCRAH レジスタと DMCRAL レジスタの設定可能範囲は、000h ~ 3FFh です。

DMCRAL レジスタのビット [15:10] の設定は無効です。これらのビットには 0 を書いてください。DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (-1) され、000h になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。

## 17.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス DMAC0.DMCRB 4000 500Ch, DMAC1.DMCRB 4000 504Ch, DMAC2.DMCRB 4000 508Ch, DMAC3.DMCRB 4000 50CCh



ビット	機能	設定範囲	R/W
b15-b0	ブロック転送回数またはリピート転送回数を設定	0001h~FFFFh (1~65,535回) 0000h (65,536回)	R/W

DMCRB レジスタは、ブロック転送モード時とリピート転送モード時の転送回数を指定するレジスタです。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65,535 回、0000h のときは 65,536 回となります。リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (-1) されます。ブロック転送モードの場合、最終ブロックのデータ転送時にデクリメント (-1) されます。ノーマル転送モードでは、設定は無効ですので、DMCRB レジスタは使用しないでください。

## 17.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス DMAC0.DMTMD 4000 5010h, DMAC1.DMTMD 4000 5050h, DMAC2.DMTMD 4000 5090h, DMAC3.DMTMD 4000 50D0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求元選択	b1 b0 0 0 : ソフトウェア 0 1 : 周辺モジュールまたは外部割り込み入力端子からの割り込み (注1) 1 0 : 設定禁止 1 1 : 設定禁止	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	SZ[1:0]	データ転送サイズ選択	b9 b8 0 0 : 8ビット 0 1 : 16ビット 1 0 : 32ビット 1 1 : 設定禁止	R/W
b11-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	DTS[1:0]	リピート領域選択	b13 b12 0 0 : 転送先をリピート領域またはブロック領域に設定 0 1 : 転送元をリピート領域またはブロック領域に設定 1 0 : リピート領域、ブロック領域の設定なし 1 1 : 設定禁止	R/W
b15-b14	MD[1:0]	転送モード選択	b15 b14 0 0 : ノーマル転送 0 1 : リピート転送 1 0 : ブロック転送 1 1 : 設定禁止	R/W

注 1. DMAC の起動要因を選択するには、ICU\_DELSRm レジスタを使用してください。DMAC の起動要因については、「14. 割り込みコントローラユニット (ICU)」の表 14.4 イベントテーブルを参照してください。

## DTS[1:0] ビット (リピート領域選択)

転送元または転送先を、リピート転送モードではリピート領域、ブロック転送モードではブロック領域として選択します。ノーマル転送モードでは、これらのビットの設定値は無効です。

## 17.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス DMAC0.DMINT 4000 5013h, DMAC1.DMINT 4000 5053h, DMAC2.DMINT 4000 5093h, DMAC3.DMINT 4000 50D3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピート領域オーバーフロー割り込み許可	0: 禁止 1: 許可	R/W
b1	SARIE	転送元アドレス拡張リピート領域オーバーフロー割り込み許可	0: 禁止 1: 許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可	0: 禁止 1: 許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可	0: 禁止 1: 許可	R/W
b4	DTIE	転送終了割り込み許可	0: 禁止 1: 許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

### DARIE ビット (転送先アドレス拡張リピート領域オーバーフロー割り込み許可)

このビットが1のときに、転送先アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが0になります。同時に DMSTS.ESIF フラグが1になり、転送先アドレスの拡張リピート領域オーバーフローによって割り込み要求がトリガされたことを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1ブロック分のデータ転送終了後に割り込みが発生します。割り込みにより転送を終了したチャンネルの DMACm.DMCNT.DTE ビットを1にすると、転送終了時の状態から再び転送を開始することができます。

転送先アドレスに拡張リピート領域を設定していない場合、このビットは無視されます。

### SARIE ビット (転送元アドレス拡張リピート領域オーバーフロー割り込み許可)

このビットが1のときに、転送元アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが0になります。同時に DMSTS.ESIF フラグが1になり、転送元アドレスの拡張リピート領域オーバーフローによって割り込み要求がトリガされたことを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1ブロック分のデータ転送終了後に割り込みが発生します。割り込みにより転送を終了したチャンネルの DMACm.DMCNT.DTE ビットを1にすると、転送終了時の状態から再び転送を開始することができます。転送元アドレスに拡張リピート領域を設定していない場合は、このビットは無視されます。

### RPTIE ビット (リピートサイズ終了割り込み許可)

リピート転送モードにおいてこのビットを1にすると、1リピートサイズ分のデータ転送終了後に DMCNT.DTE ビットが0になります。同時に DMSTS.ESIF フラグが1になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットを10b (リピート領域、ブロック領域の指定なし) にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

このビットをブロック転送モードで1にしたときも、リピート転送モードの場合と同様に1ブロックの転送終了後に DMCNT.DTE ビットが0になります。同時に DMSTS.ESIF フラグが1になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットを10b (リピート領域、ブロック領域の指定なし) にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

**ESIE ビット (転送エスケープ終了割り込み許可)**

DMA 転送中に発生した転送エスケープ終了割り込み要求 (リピートサイズ終了割り込み要求、拡張リピート領域オーバーフロー割り込み要求) を許可します。このビットが 1 のとき割り込みが発生して、DMSTS.ESIF フラグが 1 になります。転送エスケープ終了割り込みを解除するには、このビットまたは DMSTS.ESIF フラグを 0 にします。

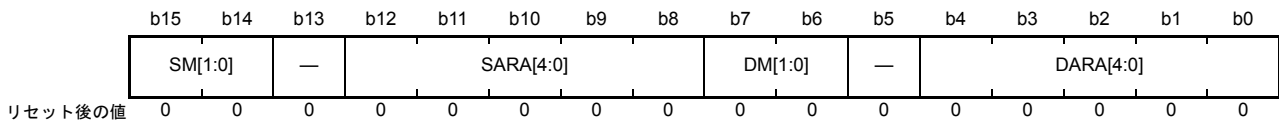
**DTIE ビット (転送終了割り込み許可)**

指定した回数のデータ転送が終了したときに発生する転送終了割り込み要求を許可します。このビットが 1 のとき割り込みが発生して、DMSTS.DTIF ビットが 1 になります。転送終了割り込みを解除するには、このビットまたは DMSTS.DTIF ビットを 0 にします。

参考資料

## 17.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 4000 5014h, DMAC1.DMAMD 4000 5054h, DMAC2.DMAMD 4000 5094h, DMAC3.DMAMD 4000 50D4h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピート領域設定	転送先アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 17.2 を参照してください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定	b7 b6 0 0 : アドレス固定 0 1 : オフセット加算 1 0 : インクリメント 1 1 : デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピート領域設定	転送元アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 17.2 を参照してください。	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定	b15 b14 0 0 : アドレス固定 0 1 : オフセット加算 1 0 : インクリメント 1 1 : デクリメント	R/W

### DARA[4:0] ビット (転送先アドレス拡張リピート領域設定)

転送先アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128M バイトまで設定可能です。設定間隔は2 のべき乗バイト単位です。アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMACm.DMTMD.DTS[1:0] = 00b (転送先にリピート領域またはブロック領域を設定) であれば、DARA[4:0] ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.DARIE ビットを 1 にしてください。表 17.2 には、各設定値に対応した拡張リピート領域が示されています。

### DM[1:0] ビット (転送先アドレス更新モード設定)

転送先アドレスの更新モードを選択します。

- インクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされる
- デクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされる
- オフセット加算を選択した場合、DMACm.DMOFR レジスタで設定したオフセット値をアドレスに加算

### SARA[4:0] ビット (転送元アドレス拡張リピート領域設定)

転送元アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2バイトから 128M バイトまで設定可能です。設定間隔は2のべき乗バイト単位です。アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMACm.DMTMD.DTS[1:0] = 01b (転送元にリピート領域またはブロック領域を設定) であれば、SARA[4:0] ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.SARIE ビットを1にしてください。表 17.2 には、各設定値に対応した拡張リピート領域が示されています。

### SM[1:0] ビット (転送元アドレス更新モード設定)

転送元アドレスの更新モードを選択します。

- インクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされる
- デクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされる
- オフセット加算を選択した場合、DMACm.DMOFR レジスタで設定したオフセット値をアドレスに加算

表 17.2 SARA[4:0] または DARA[4:0] の設定値と対応するリピート領域 (1/2)

SARA4 ~ SARA0 または DARA4 ~ DARA0	拡張リピート領域
00000b	拡張リピート領域を設定しない
00001b	当該アドレスの下位1ビット (2バイト) を拡張リピート領域に設定
00010b	当該アドレスの下位2ビット (4バイト) を拡張リピート領域に設定
00011b	当該アドレスの下位3ビット (8バイト) を拡張リピート領域に設定
00100b	当該アドレスの下位4ビット (16バイト) を拡張リピート領域に設定
00101b	当該アドレスの下位5ビット (32バイト) を拡張リピート領域に設定
00110b	当該アドレスの下位6ビット (64バイト) を拡張リピート領域に設定
00111b	当該アドレスの下位7ビット (128バイト) を拡張リピート領域に設定
01000b	当該アドレスの下位8ビット (256バイト) を拡張リピート領域に設定
01001b	当該アドレスの下位9ビット (512バイト) を拡張リピート領域に設定
01010b	当該アドレスの下位10ビット (1Kバイト) を拡張リピート領域に設定
01011b	当該アドレスの下位11ビット (2Kバイト) を拡張リピート領域に設定
01100b	当該アドレスの下位12ビット (4Kバイト) を拡張リピート領域に設定
01101b	当該アドレスの下位13ビット (8Kバイト) を拡張リピート領域に設定
01110b	当該アドレスの下位14ビット (16Kバイト) を拡張リピート領域に設定
01111b	当該アドレスの下位15ビット (32Kバイト) を拡張リピート領域に設定
10000b	当該アドレスの下位16ビット (64Kバイト) を拡張リピート領域に設定
10001b	当該アドレスの下位17ビット (128Kバイト) を拡張リピート領域に設定
10010b	当該アドレスの下位18ビット (256Kバイト) を拡張リピート領域に設定
10011b	当該アドレスの下位19ビット (512Kバイト) を拡張リピート領域に設定
10100b	当該アドレスの下位20ビット (1Mバイト) を拡張リピート領域に設定
10101b	当該アドレスの下位21ビット (2Mバイト) を拡張リピート領域に設定
10110b	当該アドレスの下位22ビット (4Mバイト) を拡張リピート領域に設定

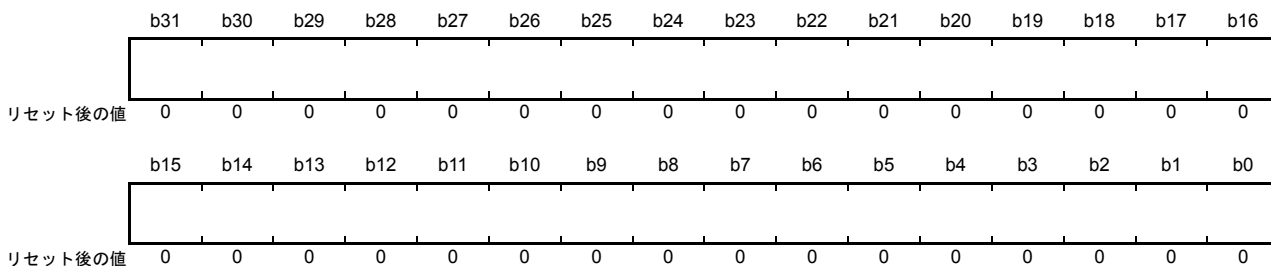
表 17.2 SARA[4:0]またはDARA[4:0]の設定値と対応するリピート領域 (2/2)

SARA4～SARA0またはDARA4～DARA0	拡張リピート領域
10111b	当該アドレスの下位23ビット (8Mバイト) を拡張リピート領域に設定
11000b	当該アドレスの下位24ビット (16Mバイト) を拡張リピート領域に設定
11001b	当該アドレスの下位25ビット (32Mバイト) を拡張リピート領域に設定
11010b	当該アドレスの下位26ビット (64Mバイト) を拡張リピート領域に設定
11011b	当該アドレスの下位27ビット (128Mバイト) を拡張リピート領域に設定
11100b～11111b	設定禁止

参考資料

### 17.2.8 DMA オフセットレジスタ (DMOFR)

アドレス DMAC0.DMOFR 4000 5018h, DMAC1.DMOFR 4000 5058h, DMAC2.DMOFR 4000 5098h, DMAC3.DMOFR 4000 50D8h

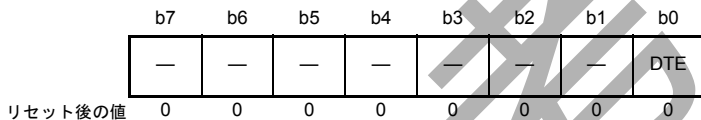


ビット	機能	設定範囲	R/W
b31-b0	転送元または転送先のアドレス更新モードとしてオフセット加算が選択されている場合、そのオフセット値を設定	0000 0000h ~ 00FF FFFFh (0バイト ~ (16M-1)バイト) FF00 0000h ~ FFFF FFFFh (-16Mバイト ~ -1バイト)	R/W

このレジスタへの書き込みは、データ転送中ではなく、DMAC 動作停止中または DMA 転送が禁止されているときに行ってください。b31 ~ b25 の設定は無効です。b24 の値が b31 ~ b25 へ拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

### 17.2.9 DMA 転送イネーブルレジスタ (DMCNT)

アドレス DMAC0.DMCNT 4000 501Ch, DMAC1.DMCNT 4000 505Ch, DMAC2.DMCNT 4000 509Ch, DMAC3.DMCNT 4000 50DCh



ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA 転送許可	0: 禁止 1: 許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### DTE ビット (DMA 転送許可)

対応するチャンネルの DMA 転送を開始するには、DMAST.DMST ビットを 1 (DMAC 起動許可) にした後、DTE ビットを 1 (DMA 転送許可) にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- 設定された総転送データ数の転送が終了したとき
- リポートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リポート領域オーバーフロー割り込みによって DMA 転送が停止したとき



## 17.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 4000 501Dh, DMAC1.DMREQ 4000 505Dh, DMAC2.DMREQ 4000 509Dh, DMAC3.DMREQ 4000 50DDh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CLRS	—	—	—	SWREQ
0	0	0	0	0	0	0	0

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動	0 : DMA転送を要求しない 1 : DMA転送を要求する	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	CLRS	DMAソフトウェア起動ビット自動クリア選択	0 : ソフトウェアによるDMA転送開始後にSWREQビットをクリアする 1 : ソフトウェアによるDMA転送開始後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**SWREQ ビット (DMA ソフトウェア起動)**

このビットを1にするとDMA転送要求が発生します。その要求に対して転送が開始されると、CLRSビットが0の場合、SWREQビットが0になります。CLRSビットが1の場合はクリアされません。DMA転送要求は、転送終了後に再発行できます。

注. DMTMD.DCTG[1:0]ビットが00b (DMA起動要因がソフトウェア) になっている場合のみ、このビットの設定が有効となり、ソフトウェアによるDMA転送が可能となります。DMTMD.DCTG[1:0]ビットが00b以外になっている場合、このビットの設定は無効です。

CLRSビットが0の状態ではソフトウェアによるDMA転送を行う場合、SWREQビットが0であることを確認してからSWREQビットに1を書いてください。

[1になる条件]

- 1を書いたとき

[0になる条件]

- CLRSビットが0(ソフトウェアによるDMA転送開始後にSWREQビットをクリアする)の場合に、ソフトウェアによるDMA転送要求が受け付けられてDMA転送が開始したとき
- 0を書いたとき

**CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)**

SWREQビットを1にして転送要求が発生させた場合、その要求に対してDMA転送が開始した後、SWREQビットを0にするか否かを設定します。CLRSビットを0にすると、DMA転送の開始後、SWREQビットは0になります。1にすると、SWREQビットは0にクリアされません。DMA転送要求は、転送終了後に再発行できます。

## 17.2.11 DMA ステータスレジスタ (DMSTS)

アドレス DMAC0.DMSTS 4000 501Eh, DMAC1.DMSTS 4000 505Eh, DMAC2.DMSTS 4000 509Eh, DMAC3.DMSTS 4000 50DEh

	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	DTIF	—	—	—	ESIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ終了割り込みフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W
b4	DTIF	転送終了割り込みフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b6-b5	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W
b7	ACT	DMAアクティブフラグ	0 : DMACが停止中 1 : DMACが動作中	R

注1. フラグをクリアするための0の書き込みのみ可能です。

## ESIF フラグ (転送エスケープ終了割り込みフラグ)

転送エスケープ終了割り込みが発生したことを示します。

[1になる条件]

- リピート転送モードにおいて、DMINT.RPTIE ビットが1の状態でも1リピートサイズ分のデータ転送が終了したとき
- ブロック転送モードにおいて、DMINT.RPTIE ビットが1の状態でも1ブロック分のデータ転送が終了したとき
- DMINT.SARIE ビットが1で、かつ DMAMD.SARA[4:0] ビットが 00000b 以外 (転送元アドレスに拡張リピート領域を設定) の状態で、転送元アドレスに拡張リピート領域オーバーフローが発生したとき
- DMINT.DARIE ビットが1で、かつ DMAMD.DARA[4:0] ビットが 00000b 以外 (転送先アドレスに拡張リピート領域を設定) の状態で、転送先アドレスに拡張リピート領域オーバーフローが発生したとき

[0になる条件]

- 0を書いたとき
- DMCNT.DTE ビットに1を書いたとき

## DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示します。

[1になる条件]

- ノーマル転送モードにおいて、指定した回数のデータ転送が終了したとき (DMCRAL レジスタの値が0になり転送が終了したとき)
- リピート転送モードにおいて、指定した回数のリピート転送が終了したとき (DMCRB レジスタの値が0になり転送が終了したとき)
- ブロック転送モードにおいて、指定したブロック数の転送が終了したとき (DMCRB レジスタの値が0になり転送が終了したとき)

[0になる条件]

- 0を書いたとき

- DMCNT.DTE ビットに 1 を書いたとき

### ACT フラグ (DMA アクティブフラグ)

DMAC がアイドル状態であるか、または動作中であることを示します。

[1 になる条件]

- DMAC がデータ転送を開始したとき
- 1 転送要求に対するデータ転送が終了したとき

### 17.2.12 DMACA モジュール起動レジスタ (DMAST)

アドレス DMA.DMAST 4000 5200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC 動作許可	0 : 禁止 1 : 許可	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

### DMST ビット (DMAC 動作許可)

このビットを 1 にすると、DMAC 全チャンネルの起動が許可されます。このビットを 1 (DMAC 起動許可) にした場合、複数チャンネルの DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にすることで、対応する全チャンネルが同時に転送要求受け付け可能状態になります。

DMA 転送中に DMST ビットを 0 にすると、実行中の 1 転送要求に対するデータ転送が終了した後、DMA 転送が一時停止します。DMA 転送を再開するには、再度 DMST ビットを 1 にしてください。

[1 になる条件]

- 1 を書いたとき
- 0 を書いたとき

[0 になる条件]

## 17.3 動作説明

### 17.3.1 転送モード

#### (1) ノーマル転送モード

ノーマル転送モードでは、1転送要求に対して1データの転送を行います。DMACm.DMCRALレジスタで転送回数を最大65,535回まで指定できます。また、DMACm.DMCRALレジスタを0000hにすると、転送回数は指定なしとなり、転送カウンタが停止した状態でデータ転送を行います（フリーランニングモード）。フリーランニングモードを除き、指定した転送回数の終了後に転送終了割り込み要求を発生させることができます。ノーマル転送モードでは、DMACm.DMCRBレジスタの設定は無効です。

ノーマル転送モードにおけるレジスタ更新動作を表17.3に示します。

表 17.3 ノーマル転送モードにおけるレジスタ更新動作

レジスタ	機能	1転送要求に対する転送終了後の更新動作
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算
DMACm.DMCRAL	転送カウンタ	1減算/更新なし（フリーランニングモード時）
DMACm.DMCRAH	-	更新なし（ノーマル転送モードでは使用しない）
DMACm.DMCRB	-	更新なし（ノーマル転送モードでは使用しない）

ノーマル転送モードにおける転送動作を図17.2に示します。

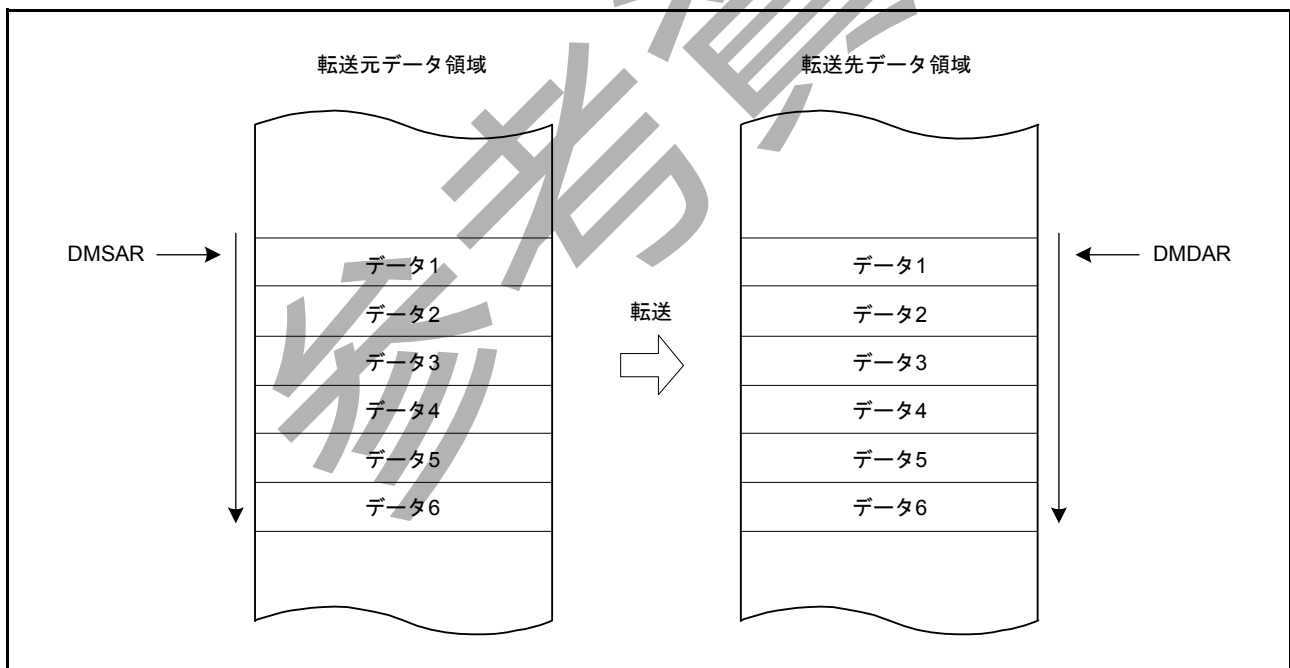


図 17.2 ノーマル転送モードにおける転送動作

## (2) リピート転送モード

リピート転送モードでは、1転送要求に対して1データの転送を行います。総データ転送サイズは、最大64Mデータ(1Kデータ×64Kリピート転送回数)まで指定可能です。そのためには、DMACm.DMCRAレジスタで最大1Kデータのリピート転送サイズを設定し、DMACm.DMCRBレジスタで最大64K回のリピート転送回数を設定します。

転送元または転送先のどちらか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ(DMACm.DMSARまたはDMACm.DMDAR)は、リピートサイズ分のデータ転送が終了すると、転送開始時のアドレスに復帰します。このモードでは、指定したリピートサイズ分のデータ転送が終了したとき、DMA転送を停止させて、リピートサイズ終了割り込みを要求することができます。DMA転送を再開させるには、リピートサイズ終了割り込み処理でDMACm.DMCNT.DTEビットに1を書き込んでください。

また、指定したリピート転送回数の終了後に、転送終了割り込み要求を発生させることができます。

リピート転送モードにおけるレジスタ更新動作を表17.4に、リピート転送モードにおける転送動作を図17.3に示します。

表 17.4 リピート転送モードにおけるレジスタ更新動作

レジスタ	機能	1転送要求に対する転送終了後の更新動作	
		DMACm.DMCRALレジスタが1以外 のとき	DMACm.DMCRALレジスタが1のとき (リピートサイズの最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/ オフセット加算	<ul style="list-style-type: none"> <li>DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/ オフセット加算</li> <li>DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値</li> <li>DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算</li> </ul>
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/ オフセット加算	<ul style="list-style-type: none"> <li>DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値</li> <li>DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/ オフセット加算</li> <li>DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算</li> </ul>
DMACm.DMCRAH	リピートサイズ	更新なし	更新なし
DMACm.DMCRAL	転送カウンタ	1減算	DMACm.DMCRAH
DMACm.DMCRB	リピート転送回数 のカウンタ	更新なし	1減算

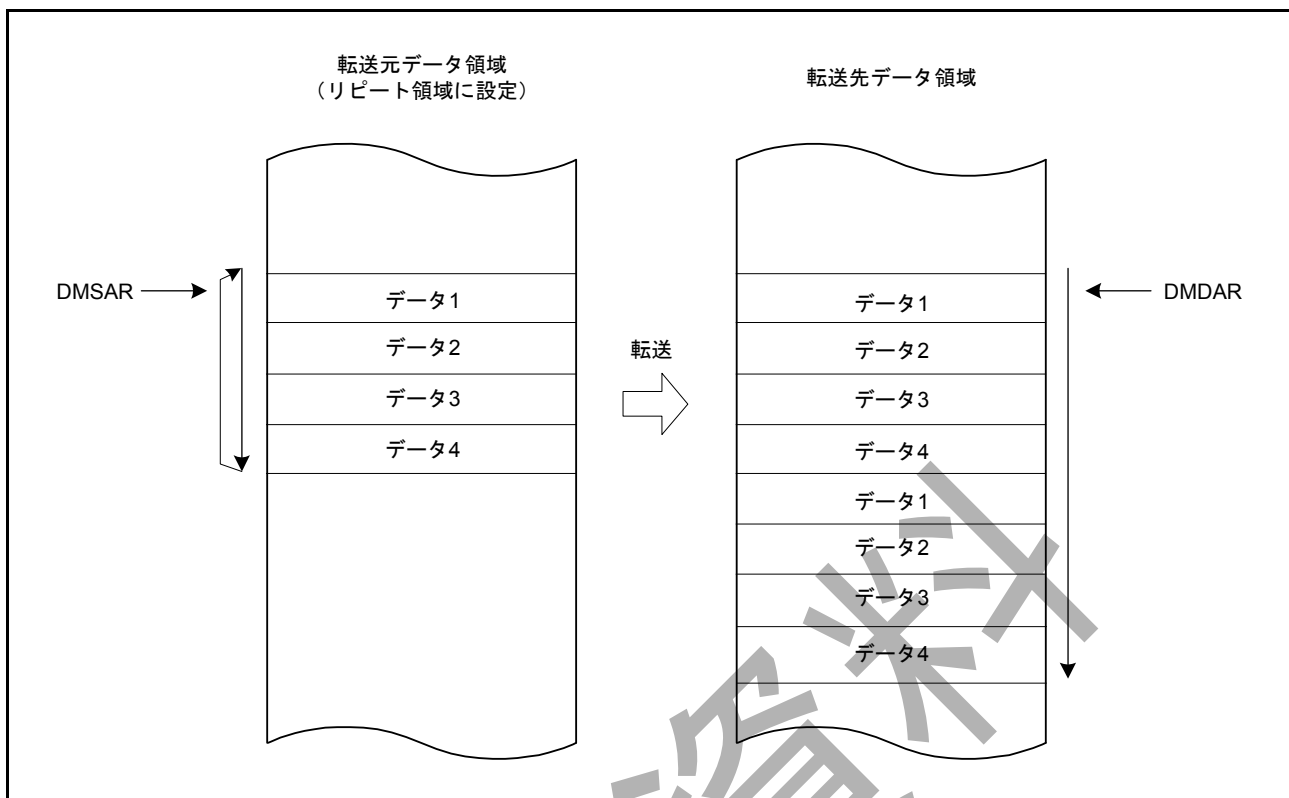


図 17.3 リピート転送モードにおける転送動作

### (3) ブロック転送モード

ブロック転送モードでは、1転送要求に対して1ブロックのデータ転送を行います。総データ転送サイズは、最大 64M データ (1K データ × 64K ブロック転送回数) まで指定可能です。そのためには、DMACm.DMCRA レジスタで最大 1K データのブロック転送サイズを設定し、DMACm.DMCRB レジスタで最大 64K 回のブロック転送回数を設定します。

転送元または転送先のどちらか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、1ブロックのデータ転送が終了すると、転送開始時のアドレスに復帰します。このモードでは、1ブロックのデータ転送が終了したとき、DMA 転送を停止させて、リピートサイズ終了割り込みを要求することができます。DMA 転送を再開させるには、リピートサイズ終了割り込み処理で DMACm.DMCNT.DTE ビットに 1 を書き込んでください。

また、指定したブロック転送回数の終了後に、転送終了割り込み要求を発生させることができます。ブロック転送モードにおけるレジスタ更新動作を表 17.5 に、ブロック転送モードにおける転送動作を図 17.4 に示します。

表 17.5 ブロック転送モードにおけるレジスタ更新動作

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新動作
DMACm.DMSAR	転送元アドレス	<ul style="list-style-type: none"> <li>DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算</li> <li>DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値</li> <li>DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算</li> </ul>
DMACm.DMDAR	転送先アドレス	<ul style="list-style-type: none"> <li>DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値</li> <li>DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算</li> <li>DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算</li> </ul>
DMACm.DMCRAH	ブロックサイズ	更新なし
DMACm.DMCRAL	転送カウント	DMACm.DMCRAH
DMACm.DMCRB	ブロック転送回数のカウント	1減算

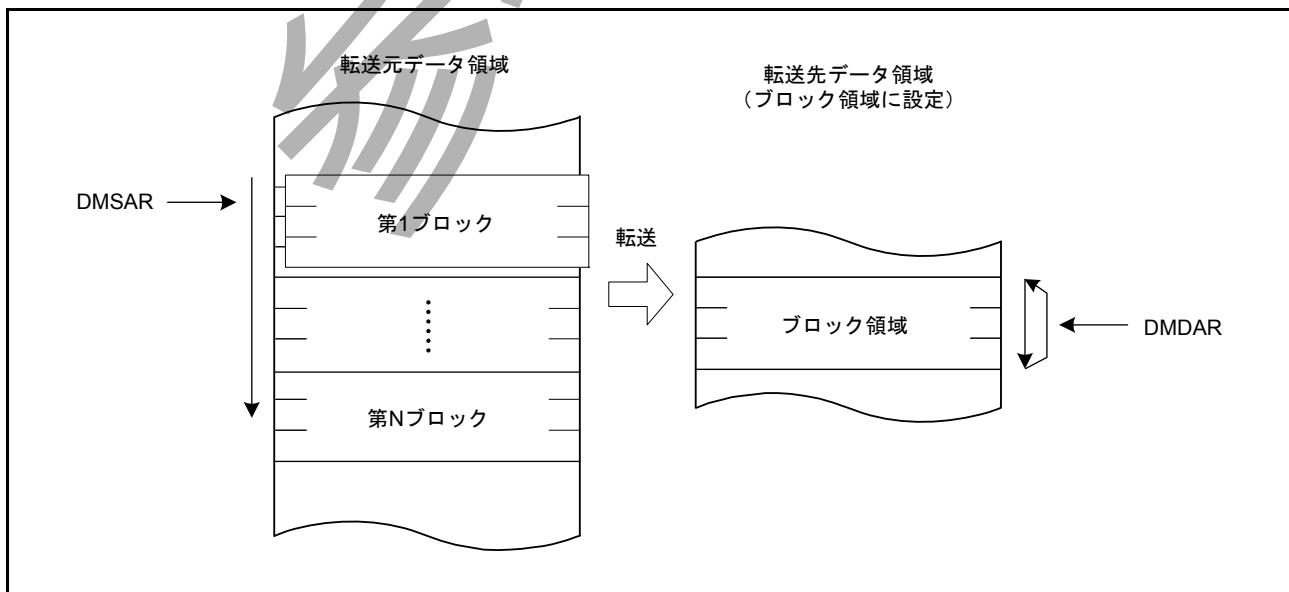


図 17.4 ブロック転送モードにおける転送動作

### 17.3.2 拡張リピート領域機能

DMACは転送元アドレスと転送先アドレスに対して拡張リピート領域をサポートしています。DMACm.DMSARレジスタ(転送元アドレスレジスタ)と、DMACm.DMDARレジスタ(転送先アドレスレジスタ)でそれぞれ個別に設定可能です。この機能を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。転送元アドレスの拡張リピート領域は、DMACm.DMAMD.SARA[4:0]ビットで設定します。

転送先アドレスの拡張リピート領域は、DMACm.DMAMD.DARA[4:0]ビットで設定します。転送元と転送先に異なるサイズの設定が可能です。ただし、リピート領域またはブロック領域として設定した転送元または転送先に、拡張リピート領域を設定することはできません。

アドレスレジスタの値が拡張リピート領域の終了アドレスに到達し、拡張リピート領域がオーバーフローすると、DMA転送を停止させて、拡張リピート領域オーバーフロー割り込み要求を発生させることができます。DMACm.DMINT.SARIEビットが1のとき、転送元の拡張リピート領域がオーバーフローすると、DMACm.DMSTS.ESIFフラグが1になり、DMACm.DMCNT.DTEビットを0にしてDMA転送を終了させます。このとき、DMACm.DMINT.ESIEビットが1になっていると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMACm.DMINT.DARIEビットが1の場合、この機能は転送先アドレスレジスタが対象になります。DMA転送を再開させるには、割り込み処理でDMACm.DMCNT.DTEビットに1を書き込んでください。

図 17.5 に、拡張リピート領域の動作例を示します。

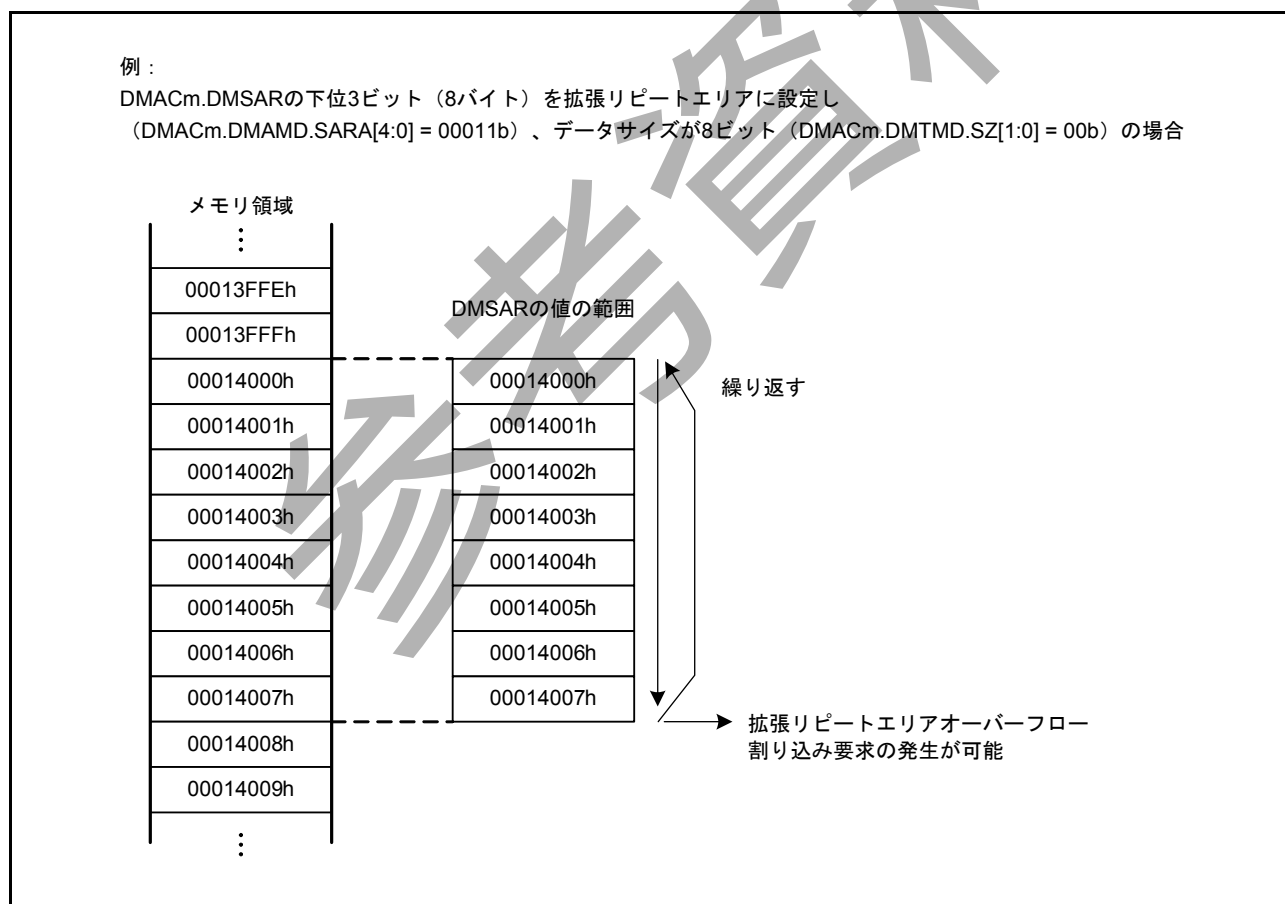


図 17.5 拡張リピート領域の動作例



ブロック転送モードで拡張リピート領域オーバーフロー割り込みを使用する場合は、以下の点に注意してください。

- 拡張リピート領域オーバーフロー割り込みで転送を終了させる場合、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの境界と拡張リピート領域の範囲の境界が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックの転送中に拡張リピート領域にオーバーフローが発生した場合、そのブロックの転送が終了するまで拡張リピート領域オーバーフロー割り込みは保留され、転送はオーバーランします。

図 17.6 に、ブロック転送モードにおける拡張リピート領域機能の使用例を示します。

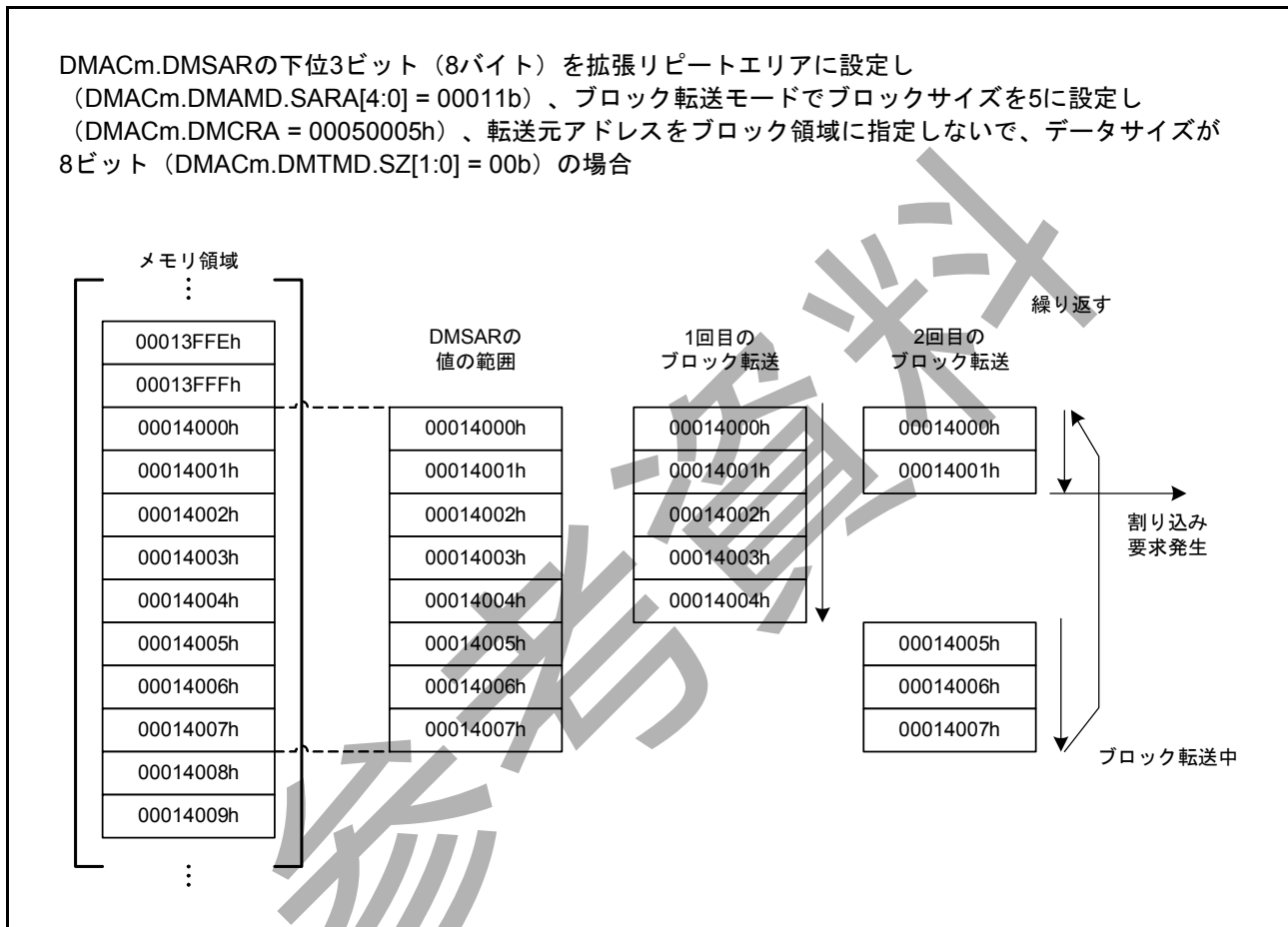


図 17.6 ブロック転送モードにおける拡張リピート領域機能の使用例

### 17.3.3 オフセットを使用したアドレス更新機能

転送元アドレスと転送先アドレスの更新方法には、固定、インクリメント、デクリメントの他にオフセット加算があります。オフセット加算では、DMACが1データの転送を実行するたびに、DMA オフセットレジスタ (DMACm.DMOFR) で設定したオフセット値がアドレスに加算されます。この機能によって、分散した領域にアドレスが割り付けられた状態でデータ転送を実施できます。また、DMACm.DMOFR に負の値を設定すると、オフセットによる減算も可能です。負の値は2の補数で設定する必要があります。

各アドレス更新モードにおけるアドレス更新方法を表 17.6 に示します。

表 17.6 各アドレス更新モードにおけるアドレス更新方法

アドレス更新モード	アドレス更新モードに対する DMACm.DMAMD.SM[1:0]および DMACm.DMAMD.DM[1:0]の 設定値	アドレス更新方法 (DMACm.DMTMD.SZ[1:0]設定値別)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR (注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注 1. DMA オフセットレジスタに負の値を設定する場合、その値は次式で計算される2の補数でなければいけません。  
負のオフセット値の2の補数表現 =  $\sim$  (オフセット値) + 1 ( $\sim$ : ビット反転)

### (1) オフセット加算を使用した基本的な転送

オフセット加算によるアドレス更新機能の動作例を図 17.7 に示します。

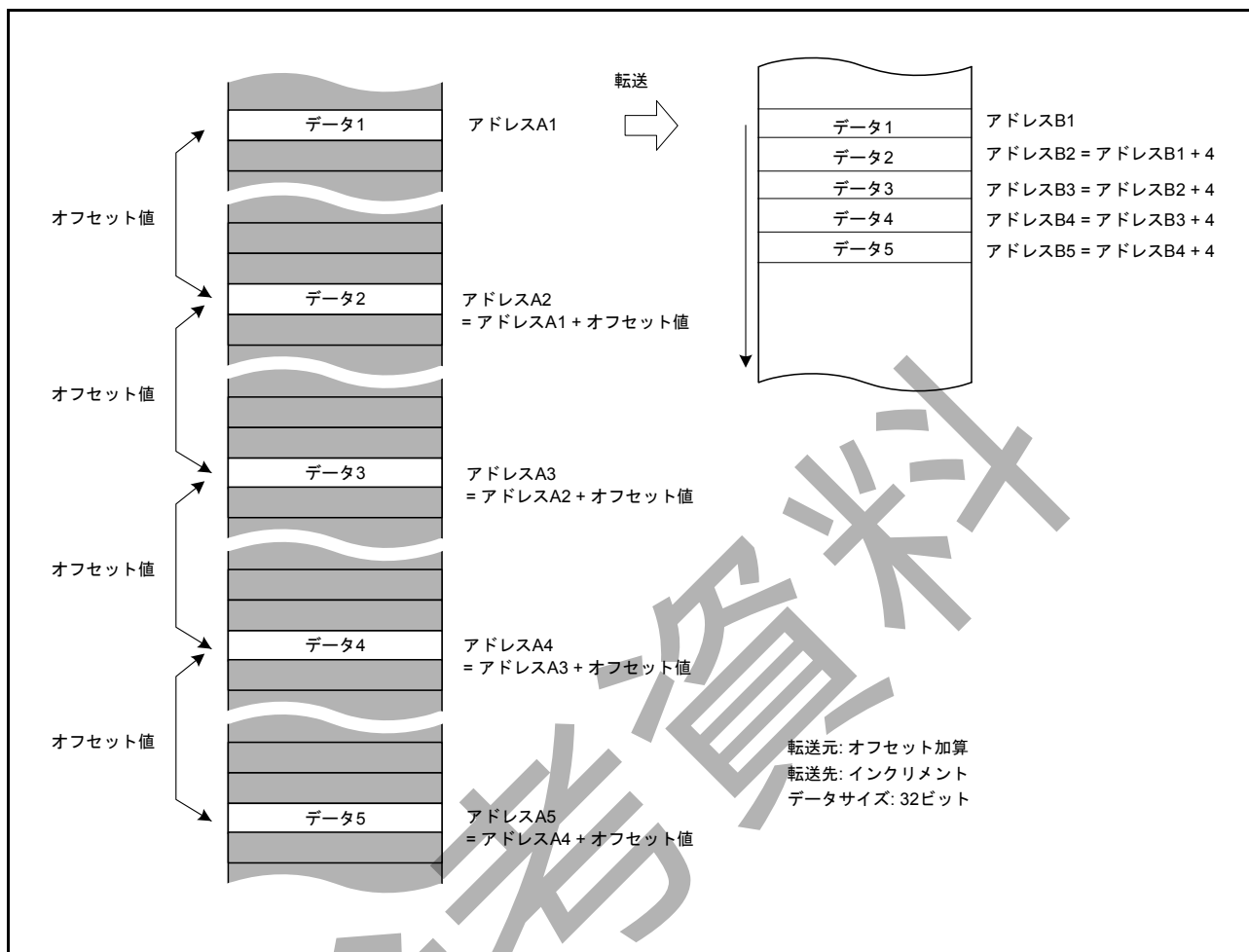


図 17.7 オフセット加算によるアドレス更新機能の動作例

図 17.7 では、以下のように設定しています。

- 転送データサイズは 32 ビット
- 転送元アドレスの更新モードはオフセット加算
- 転送先アドレスの更新モードはインクリメント

2 回目以降のデータは、前回のアドレスにオフセット値を加算することで得られる転送元アドレスから読み出されます。指定された間隔で読み出されたデータは、転送先では連続した領域に書き込まれます。

### (2) オフセット加算を使用した XY 変換例

図 17.8 に、リピート転送モードとオフセット加算を組み合わせる XY 変換を行うときの動作を示します。設定方法は以下の通りです。

- DMAC0.DMAMD — 転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD — 転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD — データ転送サイズ選択：32 ビット
- DMAC0.DMTMD — 転送モード設定：リピート転送
- DMAC0.DMTMD — リピート領域選択：転送元をリピート領域に設定

- DMAC0.DMOFR — オフセットアドレス : 10h
- DMAC0.DMCRA — リポートサイズ : 4h
- DMAC0.DMINT — リポートサイズ終了割り込みを許可

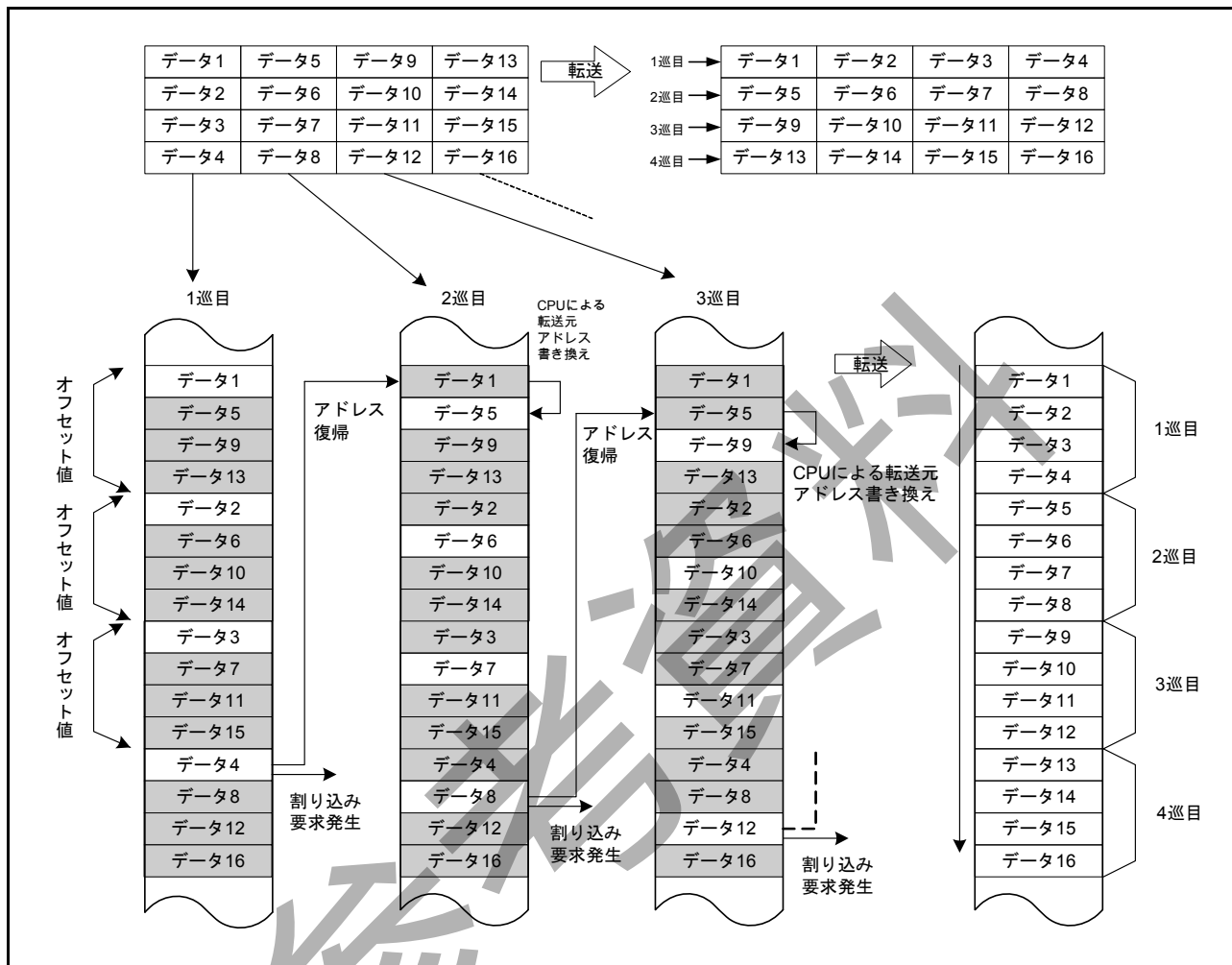


図 17.8 リポート転送モード+オフセット加算によるXY変換動作

転送が開始されると、毎回、転送元アドレスにオフセット値を加算してデータ転送が行われます。転送データは、連続した転送先アドレスに書き込まれます。“データ4”まで転送されたときの動作は以下の通りです。

- リポートサイズ分のデータ転送が終了する
- 転送元アドレスは転送開始時のアドレス（転送元の“データ1”のアドレス）に復帰する
- リポートサイズ終了割り込要求が発生する

この割り込みによって転送が一時停止している間、以下の処理を行います。

- DMAC0.DMSAR — DMA 転送元アドレスを“データ5”のアドレスに書き換える（この例では“データ1”のアドレスに4を加算）
- DMAC0.DMCNT — DTE ビットを1にする

DMA 転送が中断したときの状態から DMA 転送が再開されます。以降、同じ処理を繰り返すと、転送元のデータが転送先で配置を入れ替えられます (XY 変換)。

図 17.9 に XY 変換の処理フローを示します。

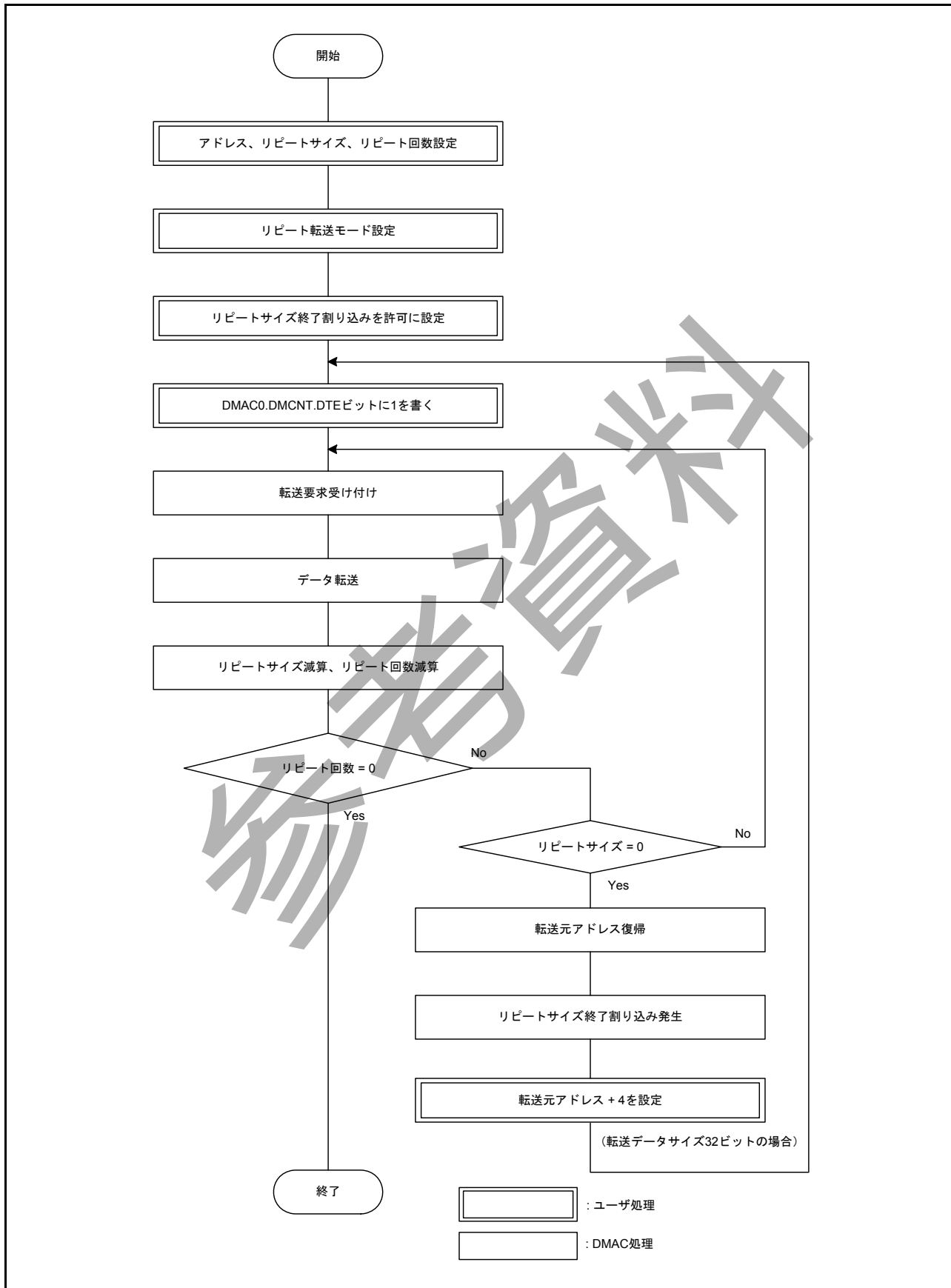


図 17.9 リピート転送モード + オフセット加算による XY 変換フロー

### 17.3.4 起動要因

ソフトウェア、周辺モジュールからの割り込み要求、および外部割り込み要求は、すべて DMAC 起動要因として指定可能です。起動要因を選択するには、DMACm.DMTMD.DCTG[1:0] ビットを設定します。

#### (1) ソフトウェアによる DMAC 起動

ソフトウェアによって DMA 転送を開始する場合、以下の手順に従います。

1. DMACm.DMTMD.DCTG[1:0] ビットを 00b にする。
2. DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にする。
3. DMAST.DMST ビットを 1 (DMAC 起動許可) にする。
4. DMACm.DMREQ.SWREQ ビットを 1 (DMA 転送要求あり) にする。

DMACm.DMREQ.CLRS ビットが 0 の状態でソフトウェアによる DMAC 起動を行った場合、DMA 転送要求に対する転送が開始されると DMACm.DMREQ.SWREQ ビットが 0 になります。DMACm.DMREQ.CLRS ビットが 1 の状態でソフトウェアによる DMAC 起動を行った場合は、転送を開始しても DMACm.DMREQ.SWREQ ビットは 0 になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

#### (2) 内蔵周辺モジュール／外部割り込み要求による DMAC 起動

内蔵周辺モジュールからの割り込み要求と外部割り込み要求を、DMAC 起動要因に指定することができます。起動要因は、ICU.DELSRn.DELS[8:0] ビット (n = 0 ~ 3) でチャンネルごとに個別に選択できます。

内蔵周辺モジュールからの割り込み要求または外部割り込み要求によって DMAC 転送を開始する場合、以下の手順に従います。

1. DMACm.DMTMD.DCTG[1:0] ビットを 01b (周辺モジュールまたは外部割り込み端子からの割り込み) にする。
2. DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にする。
3. ICU.DELSRn.DSEL ビットにイベント番号を設定する (DMAC イベントリンクを選択する)。
4. DMAST.DMST ビットを 1 (DMAC 起動許可) にする。

DMAC の起動要因となる割り込み要求については、「[14. 割り込みコントローラユニット \(ICU\)](#)」の表 [14.3](#) を参照してください。

### 17.3.5 動作タイミング

下記のタイミング図は、最小実行サイクル数を示しています。

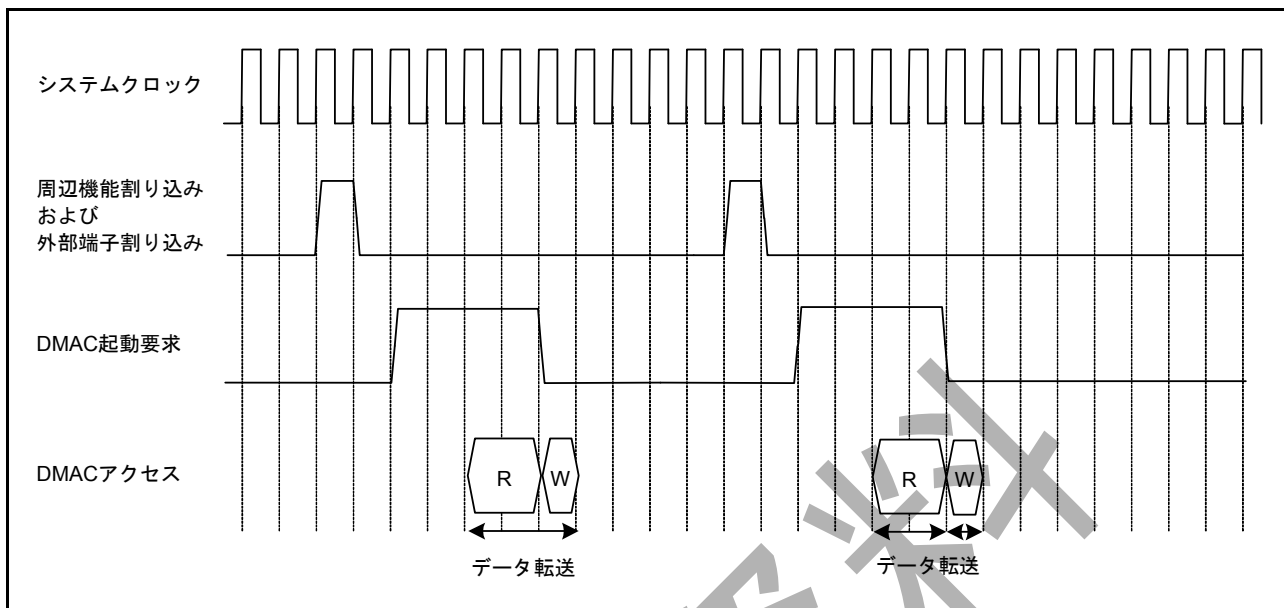


図 17.10 DMAC 動作タイミング例 (1) (周辺モジュール/外部割り込み入力端子からの割り込みによる DMA 起動、ノーマル転送モード、リピート転送モードの場合)

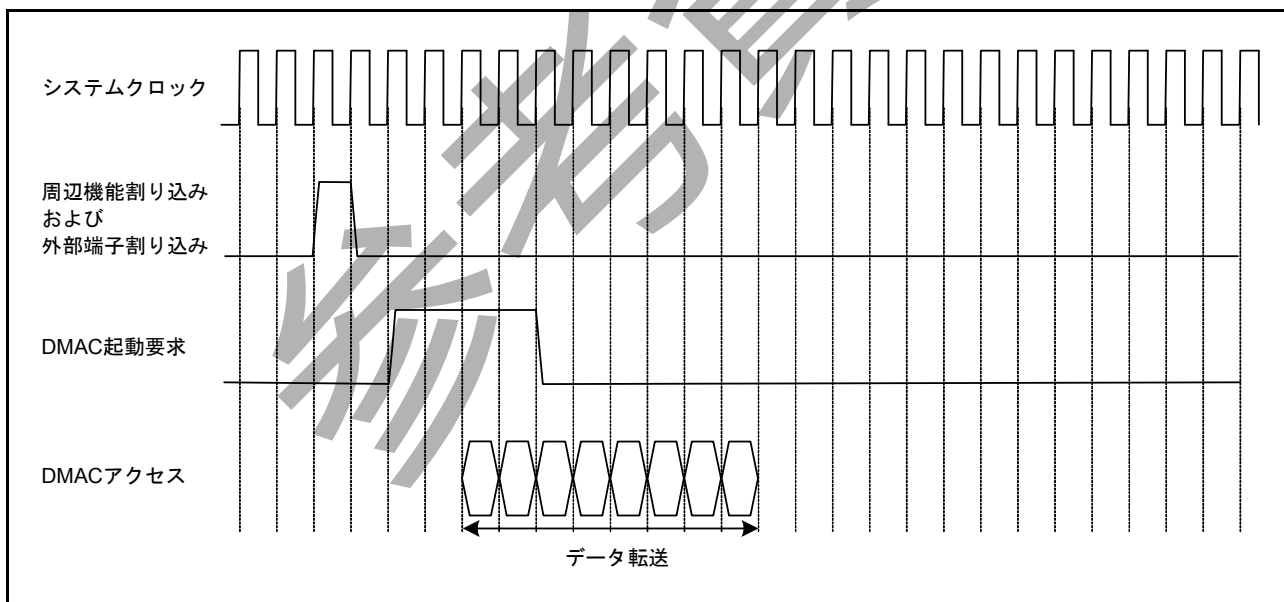


図 17.11 DMAC 動作タイミング例 (2) (周辺モジュール/外部割り込み入力端子からの割り込みによる DMA 起動、ブロック転送モード、ブロックサイズ=4の場合)

### 17.3.6 DMAC の実行サイクル

表 17.7 に、1 回の DMAC データ転送動作における実行サイクルを示します。

表 17.7 DMACの実行サイクル

転送モード	データ転送 (読み出し)	データ転送 (書き込み)
ノーマル	Cr+1	Cw
リピート	Cr+1	Cw
ブロック (注1)	P × Cr	P × Cw

注. P = ブロックサイズ (DMCRAH レジスタの設定値)

注. Cr = データリード先アクセスサイクル

注. Cw = データライト先アクセスサイクル

注 1. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

Cr と Cw はアクセス先で異なります。アクセス先ごとのサイクル数については、「47. SRAM」、「48. フラッシュメモリ」、および「15. バス」を参照してください。システムクロックと周辺クロックの周波数比も考慮されています。

データ転送 (読み出し) 列の「+1」の単位は、システムクロック (ICLK) の 1 サイクルです。動作例については、17.3.5 動作タイミングを参照してください。

DMAC の応答時間は、DMAC の起動要因が検出されてから DMAC 転送が始まるまでの時間です。表 17.7 には、DMAC の起動要因がアクティブになってから DMAC 転送が始まるまでの時間は含まれていません。



### 17.3.7 DMACの起動

図 17.12 にレジスタの設定手順を示します。



図 17.12 レジスタの設定手順

### 17.3.8 DMA 転送の開始

チャンネル  $m$  の DMA 転送を有効にするには、DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にして、DMAST.DMST ビットを 1 (DMAC 起動許可) にします。他の DMAC チャンネルや DTC の転送中は、新たな起動要求は受け付けられません。先行する転送が終了した時点で最も優先順位の高いチャンネルの DMA 転送要求が選択され、そのチャンネルの DMA 転送が開始されます。DMA 転送が始まると、DMACm.DMSTS.ACT ビットが 1 (DMAC 動作中) になります。

### 17.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理によって値が更新されます。更新される値は、各種設定や転送の状態によって異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、および DMACm.DMSTS です。これらの説明を下記に示します。各転送モードにおけるレジスタの更新動作については、表 17.3 ~ 表 17.5 を参照してください。

#### (1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送が終了すると、DMSAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

#### (2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送が終了すると、DMDAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

#### (3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

#### (4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

#### (5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可/禁止を制御します。DMA 転送の状態に応じて自動的に DMAC によって 0 にクリアされます。

DMAC がこのビットをクリアする条件は、以下の通りです。

- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき

対応する DMACm.DMCNT.DTE ビットが 1 になっているチャンネルのレジスタへは書き込まないでください (DMACm.DMCNT レジスタを除く)。DTE ビットを 0 にした後のみ、書き込みが可能になります。

#### (6) DMA アクティブフラグ (DMACm.DMSTS.ACT)

DMACm.DMSTS.ACT フラグは、DMACm がアイドル状態であるか、または動作中であることを示します。このフラグは DMAC がデータ転送を開始すると 1 になり、1 転送要求に対するデータ転送が終了すると 0 になります。DMA 転送中に DMACm.DMCNT.DTE ビットに 0 を書いて DMA 転送を停止させた場合でも、このフラグは DMA 転送が終了するまで 1 を保持します。

### (7) 転送終了割り込みフラグ (DMACm.DMSTS.DTIF)

総転送サイズ分の DMA 転送が終了すると、DMACm.DMSTS.DTIF フラグは 1 になります。このフラグと DMACm.DMINT.DTIE ビットがともに 1 の場合、転送終了割り込み要求が発生します。このフラグが 1 になるタイミングは、DMA 転送のバスサイクルが終了し、DMACm.DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。割り込み処理中に DMACm.DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 クリアされます。

### (8) 転送エスケープ終了割り込みフラグ (DMACm.DMSTS.ESIF)

リピートサイズ終了割り込み要求、または拡張リピート領域オーバーフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは 1 になります。このフラグと DMACm.DMINT.ESIE ビットがともに 1 の場合、転送エスケープ終了割り込み要求が発生します。このフラグが 1 になるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了し、DMACm.DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。割り込み処理中に DMACm.DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 クリアされます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「[14. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

## 17.3.10 チャンネル優先順位

DMAC は、複数の DMA 転送要求が発生したとき、DMA 転送要求のあるチャンネルの優先順位を判断します。

チャンネル優先順位は、チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 の順で固定です (チャンネル 0 が最優先)。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送後にチャンネルアービトレーションを行い、最も優先順位の高いチャンネルの転送が開始されます。

## 17.4 DMA 転送の終了

DMA 転送の終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが 1 から 0 になります。

### 17.4.1 設定した総転送回数完了による転送終了

#### (1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) の場合

DMACm.DMCRAL レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.DTIF ビットが 1 になります。このとき DMACm.DMINT.DTIE ビットが 1 であると、CPU または DTC へ転送終了割り込み要求が送信されます。

#### (2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) の場合

DMACm.DMCRB レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.DTIF ビットが 1 になります。このとき DMACm.DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

#### (3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) の場合

DMACm.DMCRB レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.DTIF ビットが 1 になります。このとき DMACm.DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

### 17.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが 1 であれば、1 リピートサイズ分の転送終了時にリピートサイズ終了割り込み要求が発生します。DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.ESIF フラグが 1 になります。このとき DMACm.DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。転送を再開させるには、DMACm.DMCNT.DTE ビットに 1 を書き込んでください。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求が発生させることができます。1 ブロックサイズ分の転送終了時に、リピート転送モードと同様に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

### 17.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了

拡張リピート領域が指定され、かつ DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが 1 の場合に、拡張リピート領域がオーバーフローすると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMA 転送が停止して、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.ESIF フラグが 1 になります。このとき DMACm.DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

この割り込み要求がリードサイクル中に発生しても、以降のライトサイクルは実行されます。ブロック転送モードでは、割り込み要求が 1 ブロックの転送中に発生しても、そのブロックの残りのデータが転送されるまで、転送は終了しません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

### 17.4.4 DMA 転送の終了に関する注意事項

DMA 転送終了後、次の要求時に DMA 起動要求が発生する場合があります。このような状況が生じた場合、DMA 転送が開始され、DMA 起動要求は DMAC 内に保持されます。これを避けるには、ICU の DELSRn.DSELS[8:0] ビットを 0 にして、DMA 起動要求を停止してください。

最後の DMA 転送後に DMA 起動要求が発生した場合は、ダミーの DMA 転送を用いて DMA 起動要求をクリアしてください。図 17.13 を参照してください。

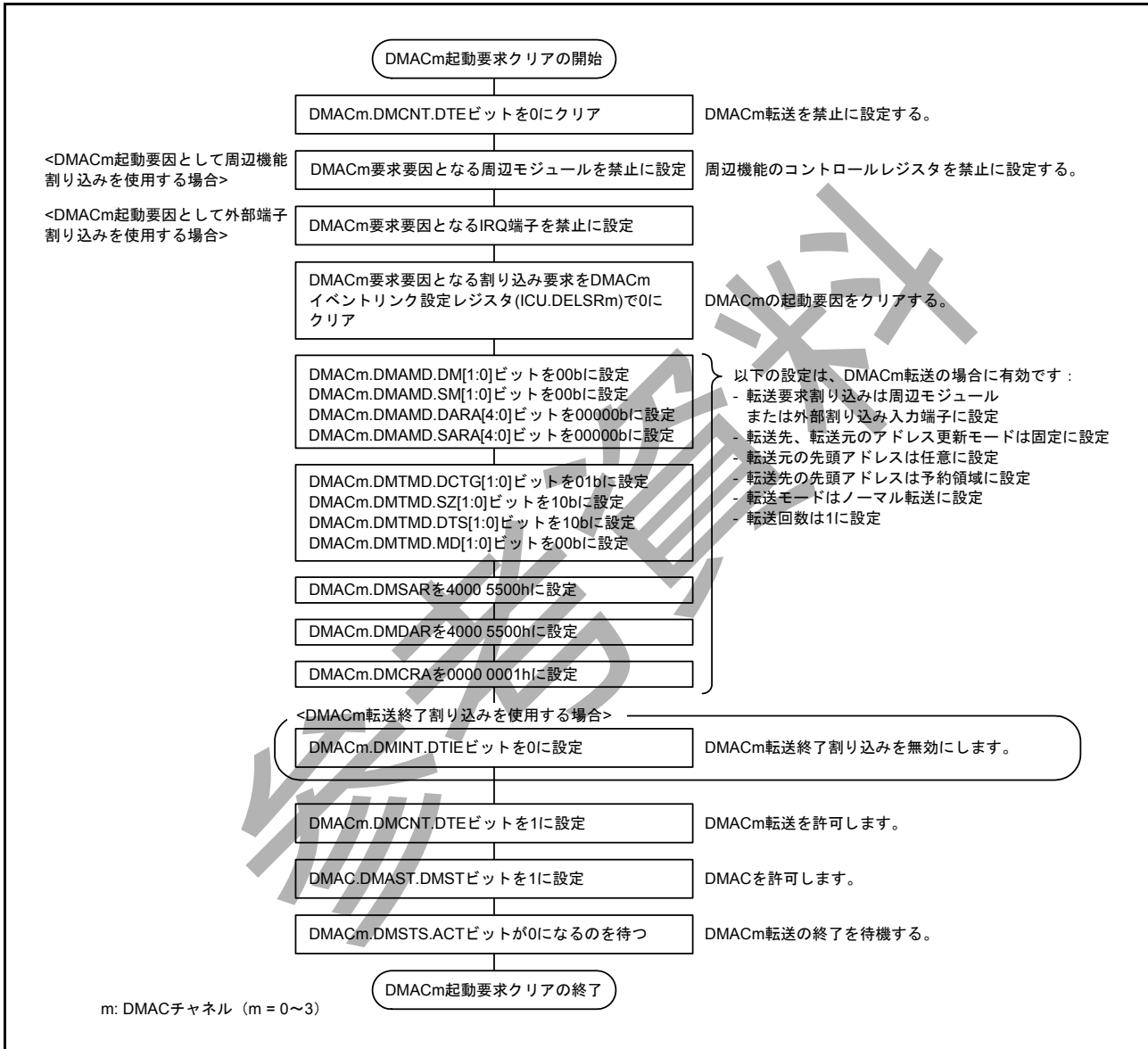


図 17.13 DMA 起動割り込みをクリアするためのレジスタ設定手順例

## 17.5 割り込み

各 DMAC チャンネルは、1 要求分の転送終了後、CPU または DTC へ割り込み要求 (DMACm\_INT) を出力することができます。転送先が外部バスの場合、実際の転送先への書き込みではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求が発生します。

表 17.8 に、各割り込み要因とそれらに対応するステータスフラグおよび許可ビットを示します。図 17.14 に、割り込み出力 (DMAC0 ~ DMAC3) の概略論理図を示します。また、DMAC 割り込み処理ルーチンで DMA 転送を再開/終了する手順を図 17.15 に示します。

表 17.8 割り込み要因、割り込みステータスフラグ、割り込み許可ビットの対応関係

割り込み要因		割り込み許可ビット	割り込みステータスフラグ	要求出力許可ビット
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ 転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピート領域 オーバーフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピート領域 オーバーフロー	DMACm.DMINT.DARIE		

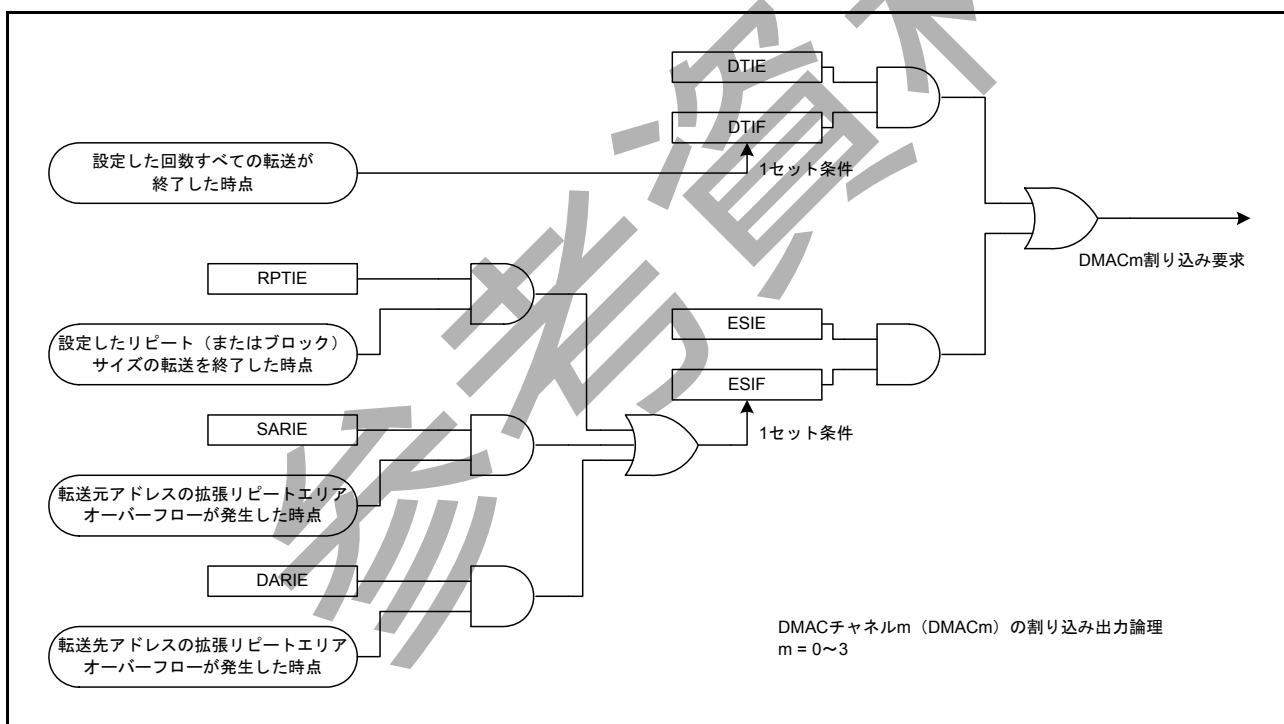


図 17.14 割り込み出力 (DMAC0 ~ DMAC3) の概略論理図

割り込みを解除して DMA 転送を再開する方法は、以下のケースで異なります。

- DMA 転送を終了した場合
- DMA 転送を継続した場合

### (1) DMA 転送を終了した場合

転送終了割り込みの場合は、DMACm.DMSTS.DTIF ビットに 0 を書いてください。また、リピートサイズ割り込みと拡張リピート領域オーバーフロー割り込みの場合は、DMACm.DMSTS.ESIF ビットに 0 を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後、新たな DMA 転送を開始する場合は、必要なレジスタを設定して、DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にしてください。

## (2) DMA 転送を継続した場合

DMACm.DMCNT.DTE ビットに 1 を書いてください。自動的に DMACm.DMSTS.ESIF ビットが 0 にクリア (割り込み要因がクリア) され、DMA 転送が再開します。

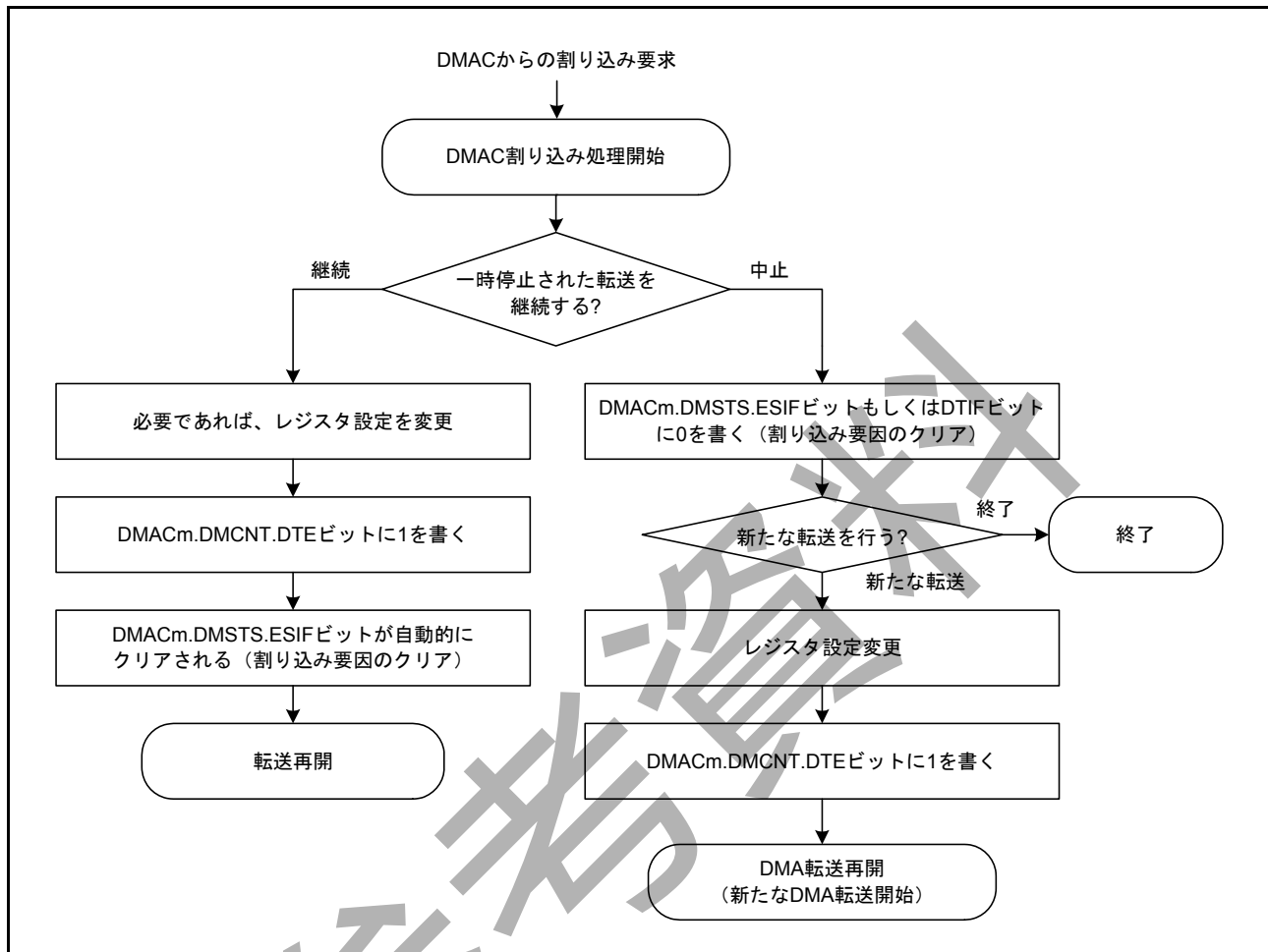


図 17.15 DMAC 割り込み処理ルーチンで DMA 転送を再開/終了する手順

## 17.6 イベントリンク

各 DMAC チャネルは、1 回のデータ転送（ブロック転送モードの場合は 1 ブロックの転送）が終了するたびに、イベントリンク要求信号（DMACm\_INT）を出力します。転送先が外部バスの場合、ライトバッファへの書き込みが受け付けられた時点で、イベントリンク要求信号が発生します。詳細は、「[19. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

## 17.7 低消費電力機能

モジュールストップ状態、またはソフトウェアスタンバイモードへ遷移する際は、最初に DMAST.DMST ビットを 0（DMAC モジュール停止）にして、以下のように設定してください。

### (1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたとき、DMA 転送が動作中の場合は、DMA 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のとき、DMAC のレジスタにはアクセスしないでください。MSTPCRA.MSTPA28 ビットに 0 を書くことで、DMAC のモジュールストップ状態は解除されます。

### (2) ソフトウェアスタンバイモード

**11.7.1 ソフトウェアスタンバイモードへの遷移**の手順に従って設定してください。

WFI 命令実行時に DMA 転送が動作中の場合、DMA 転送が終了してからソフトウェアスタンバイモードへ遷移します。

### (3) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定については、[11.9.6 WFI 命令のタイミング](#)を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットを 1 にしてください。ソフトウェアスタンバイモード時に発生した要求を、DMAC 起動要求ではなく CPU への割り込み要求として使用する場合は、[14.4.2 割り込み要求先の選択](#)に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。



## 17.8 使用上の注意事項

### 17.8.1 外部デバイスへの DMA 転送について

外部デバイスへの DMA 転送では、最後のデータライトが開始されてから外部バスアクセスが終了するまで、DMACm.DMSTS.ACT ビットを 0 (DMAC 停止中) にする必要があります。

### 17.8.2 DMA 転送中のレジスタアクセスについて

DMACm.DMSTS.ACT ビットが 1 (DMAC 動作中)、または DMACm.DMCNT.DTE ビットが 1 (DMA 転送許可) の状態で、同じチャンネルの下記のレジスタに書き込まないでください。

- DMSAR
- DMDAR
- DMCRA
- DMCRB
- DMTMD
- DMINT
- DMAMD
- DMOFR

### 17.8.3 予約領域への DMA 転送について

予約領域への DMA 転送は行わないでください。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域の詳細は、「[4. アドレス空間](#)」を参照してください。

### 17.8.4 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ (ICU.DELSRm) の設定

DMAC イベントリンク設定レジスタ (ICU.DELSRn) を設定する前に、DMA 転送許可ビット (DMACm.DMCNT.DTE ビット) が 0 (DMA 転送禁止) であることを確認してください。また、ICU.DELSRn レジスタで設定したイベント番号に対応する DTC 起動許可レジスタ (ICU.IELSRn.DTCE) を 1 にしないでください。ICU.IELSRn.DTCE レジスタと ICU.DELSRn レジスタの詳細は、「[14. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

### 17.8.5 DMA 起動の保留／再開方法

DMA 起動要求を保留する場合、DMAC イベントリンク選択ビット ((ICU.DELSRn.DELS[8:0]) を 0 にしてください。DMA 転送を再開するには、[17.3.7 DMAC の起動](#)に示す設定を行った上で、ICU.DELSRn.DELS[8:0] ビットにイベント番号を書き込んでください。

## 18. データトランスファコントローラ (DTC)

本 MCU はデータトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込み要求によって起動するとデータ転送を行います。

### 18.1 概要

表 18.1 に DTC の仕様を、図 18.1 にブロック図を示します。

表 18.1 DTC の仕様

項目	内容
転送モード	<ul style="list-style-type: none"> <li>ノーマル転送モード 1回の起動で1データを転送</li> <li>リピート転送モード 1回の起動で1データを転送 リピートサイズ分のデータを転送すると転送開始時のアドレスに復帰 リピート回数は最大256回設定可能で、最大256 × 32ビット (1,024バイト) 転送可能</li> <li>ブロック転送モード 1回の起動で1ブロックを転送 ブロックサイズは、最大256 × 32ビット = 1,024バイト設定可能</li> </ul>
転送チャンネル	<ul style="list-style-type: none"> <li>割り込み要因に対応するチャンネルの転送が可能 (ICUからのDTC起動要求で転送)</li> <li>1つの起動要因に対して複数データの転送が可能 (チェーン転送)</li> <li>チェーン転送は「カウンタが0のとき実施」または「毎回実施」のいずれかを選択可能</li> </ul>
転送空間	<ul style="list-style-type: none"> <li>0000 0000h ~ FFFF FFFFhのうち予約領域を除く4Gバイトの領域</li> </ul>
データ転送単位	<ul style="list-style-type: none"> <li>1データ: 1バイト (8ビット)、1ハーフワード (16ビット)、1ワード (32ビット)</li> <li>1ブロックサイズ: 1~256データ</li> </ul>
CPU割り込み要因	<ul style="list-style-type: none"> <li>DTCを起動した割り込みでCPUへの割り込み要求を発生可能</li> <li>1回のデータ転送後にCPUへの割り込み要求を発生可能</li> <li>指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能</li> </ul>
イベントリンク機能	1回のデータ転送後 (ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能
モジュールストップ機能	モジュールストップ状態の設定が可能

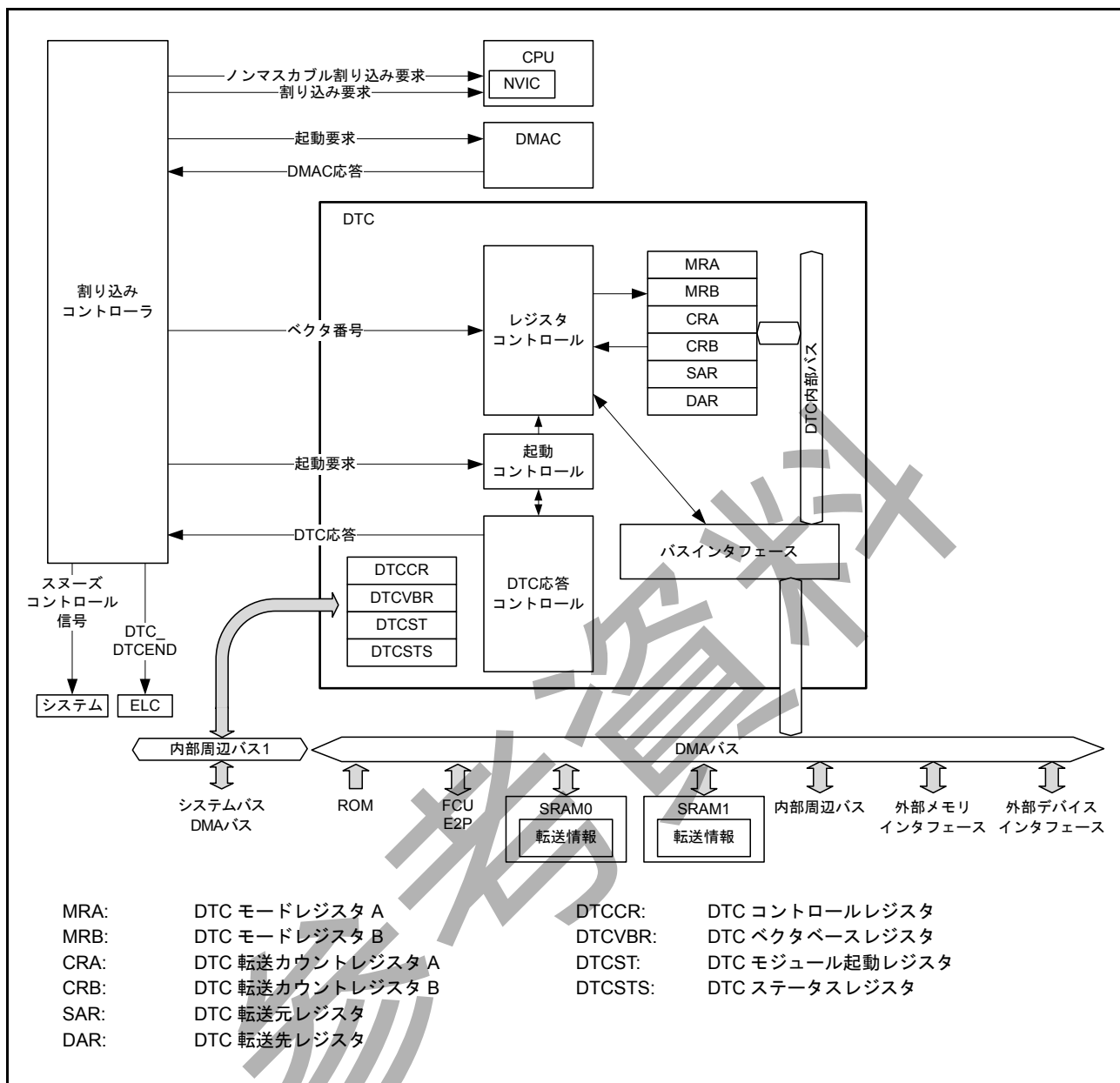


図 18.1 DTC のブロック図

DTC と NVIC (CPU 内) の接続関係については、「14. 割り込みコントローラユニット (ICU)」の 14.1 概要を参照してください。

## 18.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

### 18.2.1 DTC モードレジスタ A (MRA)

アドレス (CPU から直接アクセス不可。18.3.1 を参照してください)

b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		SZ[1:0]		SM[1:0]		—	—
リセット後の値	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと、不定値が読めます。書く場合、0としてください。	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモード	b3 b2 0 0: SAR レジスタはアドレス固定 (SAR レジスタへのライトバックをスキップ) 0 1: SAR レジスタはアドレス固定 (SAR レジスタへのライトバックをスキップ) 1 0: 転送後 SAR レジスタをインクリメント (SZ[1:0] ビットが 00b のとき +1、01b のとき +2、 10b のとき +4) 1 1: 転送後 SAR レジスタをデクリメント (SZ[1:0] ビットが 00b のとき -1、01b のとき -2、 10b のとき -4)	—
b5-b4	SZ[1:0]	DTC データトランスファサイズ	b5 b4 0 0: バイト (8 ビット) 転送 0 1: ハーフワード (16 ビット) 転送 1 0: ワード (32 ビット) 転送 1 1: 設定禁止	—
b7-b6	MD[1:0]	DTC 転送モード選択	b7 b6 0 0: ノーマル転送モード 0 1: リpeat転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 03h) にアクセス可能なので、DTC によって MRA レジスタから (および MRA レジスタへ) 自動的に転送されます。18.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

## 18.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可。18.3.1を参照してください)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	
リセット後の値	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと、不定値が読めます。書く場合、0としてください。	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモード	b3 b2 0 0: DARレジスタはアドレス固定 (DARレジスタへのライトバックをスキップ) 0 1: DARレジスタはアドレス固定 (DARレジスタへのライトバックをスキップ) 1 0: 転送後DARレジスタをインクリメント (MRA.SZ[1:0]ビットが00bのとき+1、01bのとき+2、10bのとき+4) 1 1: 転送後DARレジスタをデクリメント (MRA.SZ[1:0]ビットが00bのとき-1、01bのとき-2、10bのとき-4)	—
b4	DTS	DTC転送モード選択	0: 転送先がリピート領域またはブロック領域 1: 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC割り込み選択	0: 指定されたデータ転送の終了時、CPUへの割り込み要求が発生 1: DTCデータ転送のたびに、CPUへの割り込み要求が発生	—
b6	CHNS	DTCチェーン転送選択	0: 連続してチェーン転送を行う 1: 転送カウンタが1→0、または1→CRAHとなったとき、チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可	0: チェーン転送禁止 1: チェーン転送許可	—

MRBレジスタは、CPUから直接アクセスすることはできません。CPUはSRAM領域 (転送情報 (n) の開始アドレス + 02h) にアクセス可能なので、DTCによってMRBレジスタから (およびMRBレジスタへ) 自動的に転送されます。18.3.1 転送情報の配置とDTCベクタテーブルを参照してください。

### DTS ビット (DTC 転送モード選択)

リピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に指定します。

### CHNS ビット (DTC チェーン転送選択)

チェーン転送の条件を選択します。CHNEビットが0のとき、CHNSビットの設定は無視されます。チェーン転送の条件については、表 18.3 チェーン転送の条件を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPUへの割り込み要求は発生しません。

### CHNE ビット (DTC チェーン転送許可)

チェーン転送を許可します。チェーン転送条件の選択は、CHNSビットで行います。チェーン転送の詳細については、18.4.6 チェーン転送を参照してください。

### 18.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可。18.3.1を参照してください)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 04h) にアクセス可能なので、DTC によって SAR レジスタから (および SAR レジスタへ) 自動的に転送されます。18.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

制約事項: DTC 転送では、アドレスの不整合は禁止です。

MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 にしてください。また、MRA.SZ[1:0] = 10b の場合、ビット 1 またはビット 0 は 0 にしてください。

### 18.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可。18.3.1を参照してください)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

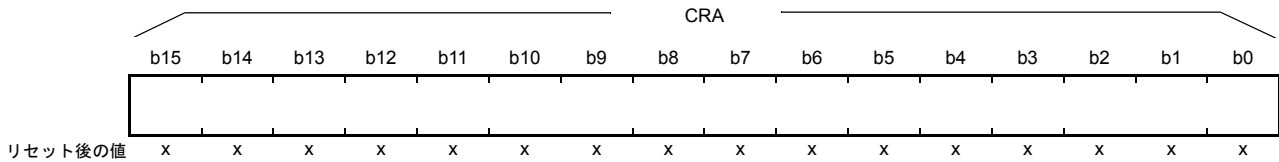
x: 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 08h) にアクセス可能なので、DTC によって DAR レジスタから (および DAR レジスタへ) 自動的に転送されます。18.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 であり、MRA.SZ[1:0] = 10b の場合、ビット 1 またはビット 0 は 0 でなければいけません。

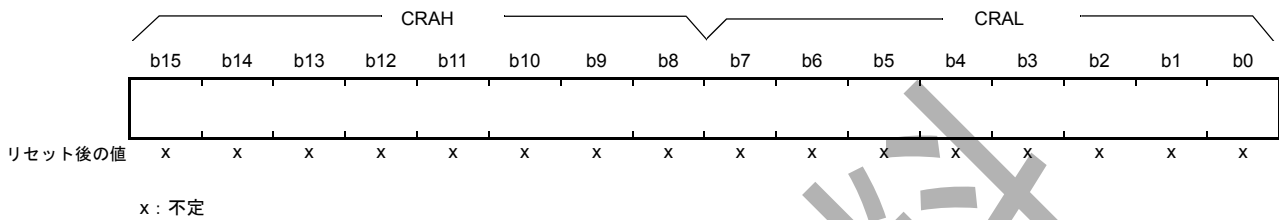
### 18.2.5 DTC 転送カウンタレジスタ A (CRA)

アドレス (CPUから直接アクセス不可。18.3.1を参照してください)

- ノーマル転送モード



- リピート転送モード/ブロック転送モード



シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定	—
CRAH	転送カウンタA上位レジスタ		—

注. 転送モードによって機能が異なります。

注. リピート転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 0eh) にアクセス可能なので、DTC によって CRA レジスタから (および CRA レジスタへ) 自動的に転送されます。18.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

#### (1) ノーマル転送モード (MRA.MD[1:0] ビット = 00b) の場合

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65,535 回、0000h のときは 65,536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。

#### (2) リピート転送モード (MRA.MD[1:0] ビット = 01b) の場合

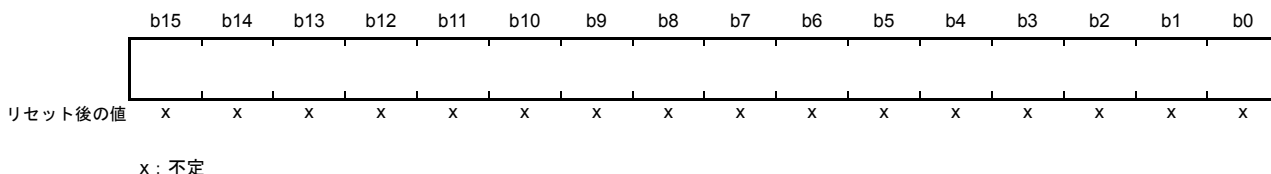
リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

#### (3) ブロック転送モード (MRA.MD[1:0] ビット = 10b) の場合

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

### 18.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可。18.3.1を参照してください)

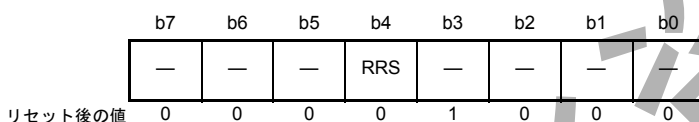


CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65,535 回、0000h のときは 65,536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、CRB レジスタは使用されず、設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 0Ch) にアクセス可能なので、DTC によって CRB レジスタから (および CRB レジスタへ) 自動的に転送されます。18.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

### 18.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 4000 5400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b4	RRS	DTC 転送情報リードスキップ許可	0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### RRS ビット (DTC 転送情報リードスキップ許可)

DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。

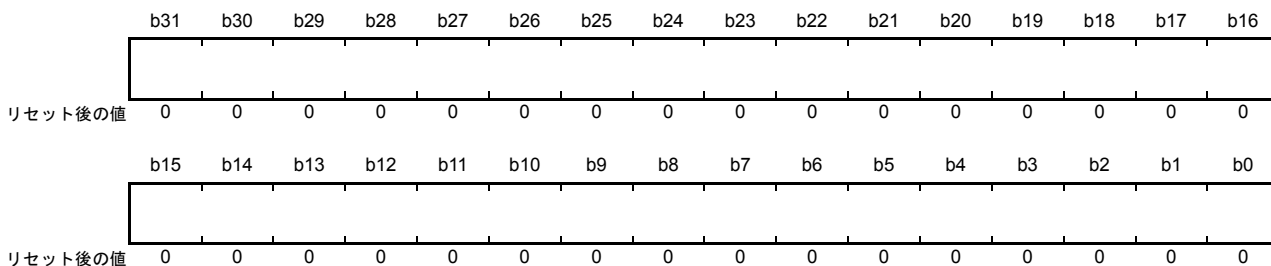
ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ (CRA レジスタ) が 0 になっている場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。



### 18.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス [DTC.DTCVBR 4000 5404h](#)

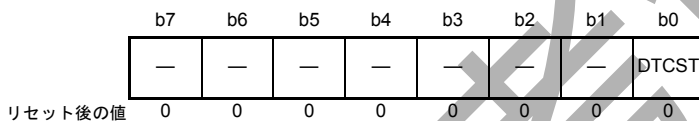


ビット	ビット名	機能	R/W
b31-b0	DTCベクタベースアドレス	DTCベクタベースアドレスを設定（下位10ビットは0にしてください）	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0000 0000h ~ FFFF FFFFh (4G バイト) の範囲内で 1K バイト単位の設定が可能です。

### 18.2.9 DTC モジュール起動レジスタ (DTCST)

アドレス [DTC.DTCST 4000 540Ch](#)



ビット	シンボル	ビット名	機能	R/W
b0	<a href="#">DTCST</a>	DTCモジュール起動	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### DTCST ビット (DTC モジュール起動)

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

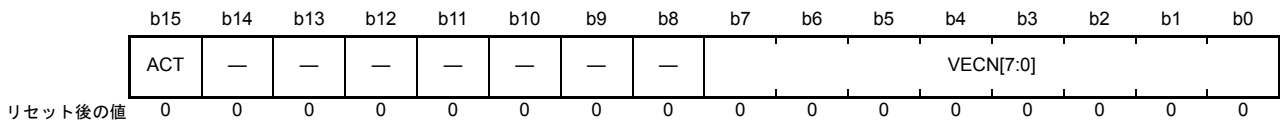
下記の状態へ遷移する際は、事前に DTCST ビットを 0 にする必要があります。

- モジュールストップ状態
- スリープモードへの遷移を伴わないソフトウェアスタンバイモード

これらの遷移については、[18.10 モジュールストップ機能](#)と「[11. 低消費電力モード](#)」を参照してください。

## 18.2.10 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 4000 540Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTC アクティブベクタ番号 モニタ	DTC 転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC 転送動作中 (ACT フラグが1の場合) にのみ有効 です。	R
b14-b8	—	予約ビット	読むと0が読めます。	R
b15	ACT	DTC アクティブフラグ	0 : DTC 転送動作なし 1 : DTC 転送動作中	R

**VECN[7:0] ビット (DTC アクティブベクタ番号モニタ)**

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1 (DTC 転送動作中) であれば、読み出された VECN[7:0] の値は有効であり、ACT フラグが 0 (DTC 転送動作なし) であれば、読み出された VECN[7:0] の値は無効です。

**ACT フラグ (DTC アクティブフラグ)**

DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

### 18.3 起動要因

DTC は割り込み要求によって起動します。ICU の ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSR で設定されたセクタ出力番号  $n$  ( $n=0 \sim 63$ ) は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号  $n$  に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[8:0] ( $n=0 \sim 63$ ) によって選択されます。

ICU.IELSRn.IELS[8:0] ( $n=0 \sim 63$ ) の設定方法については、「[14. 割り込みコントローラユニット \(ICU\)](#)」の表 14.4 イベントテーブルを参照してください。ソフトウェアによる起動については、[19.2.2 イベントリンクソフトウェアイベント発生レジスタ  \$n\$  \(ELSEGRn\) \( \$n=0, 1\$ \)](#) を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DMAC または DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時 (チェーン転送の場合、連続した最後の転送時)、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に対して割り込み要求が送信される
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が送信される
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR ビットはデータ転送開始時に 0 になる

#### 18.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

ベクタテーブルのベースアドレス (開始アドレス) は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号  $n$  を持つ転送情報 ( $n$ ) の開始アドレスは、ベクタテーブルのベースアドレス  $+4n$  番地でなければいけません。

DTC ベクタテーブルと転送情報の対応関係を [図 18.2](#) に示します。SRAM 領域上の転送情報の配置を [図 18.3](#) に示します。

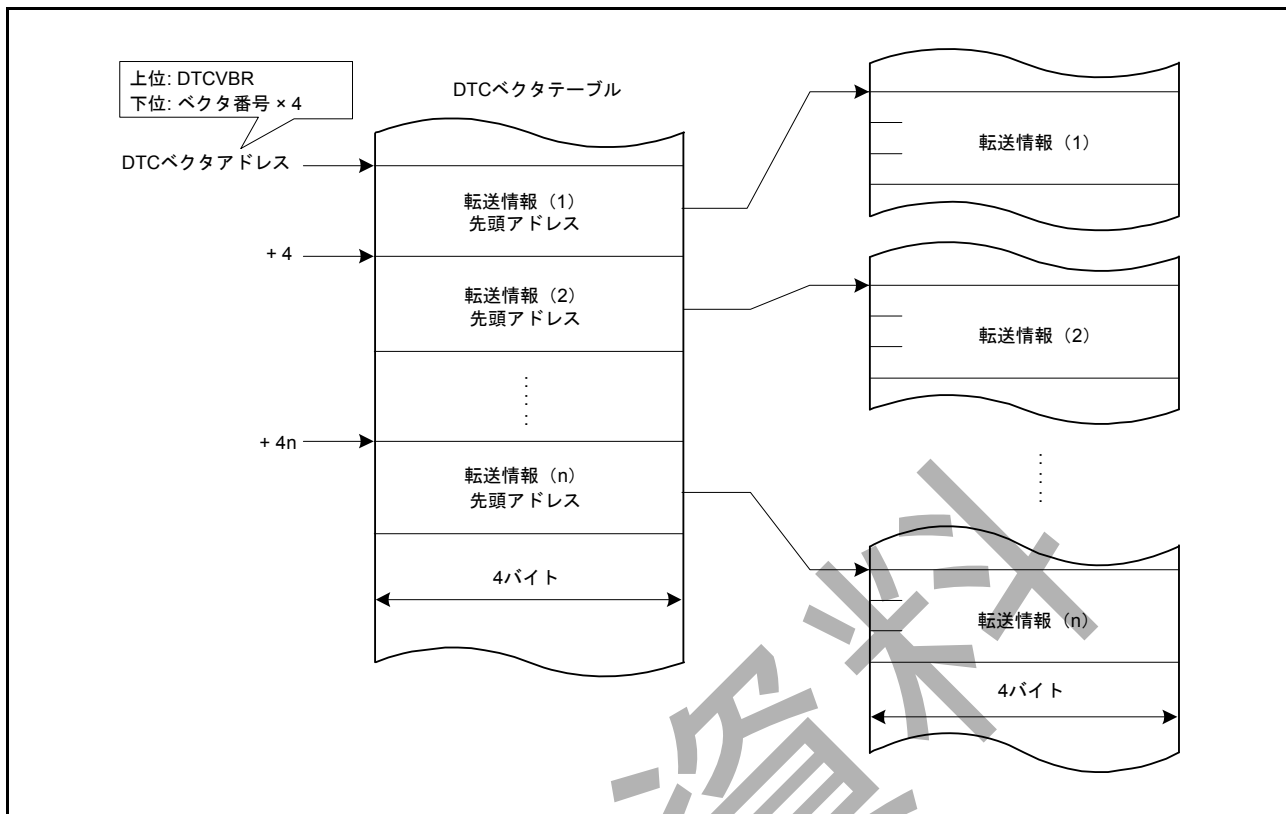


図 18.2 DTC ベクタテーブルと転送情報の対応関係

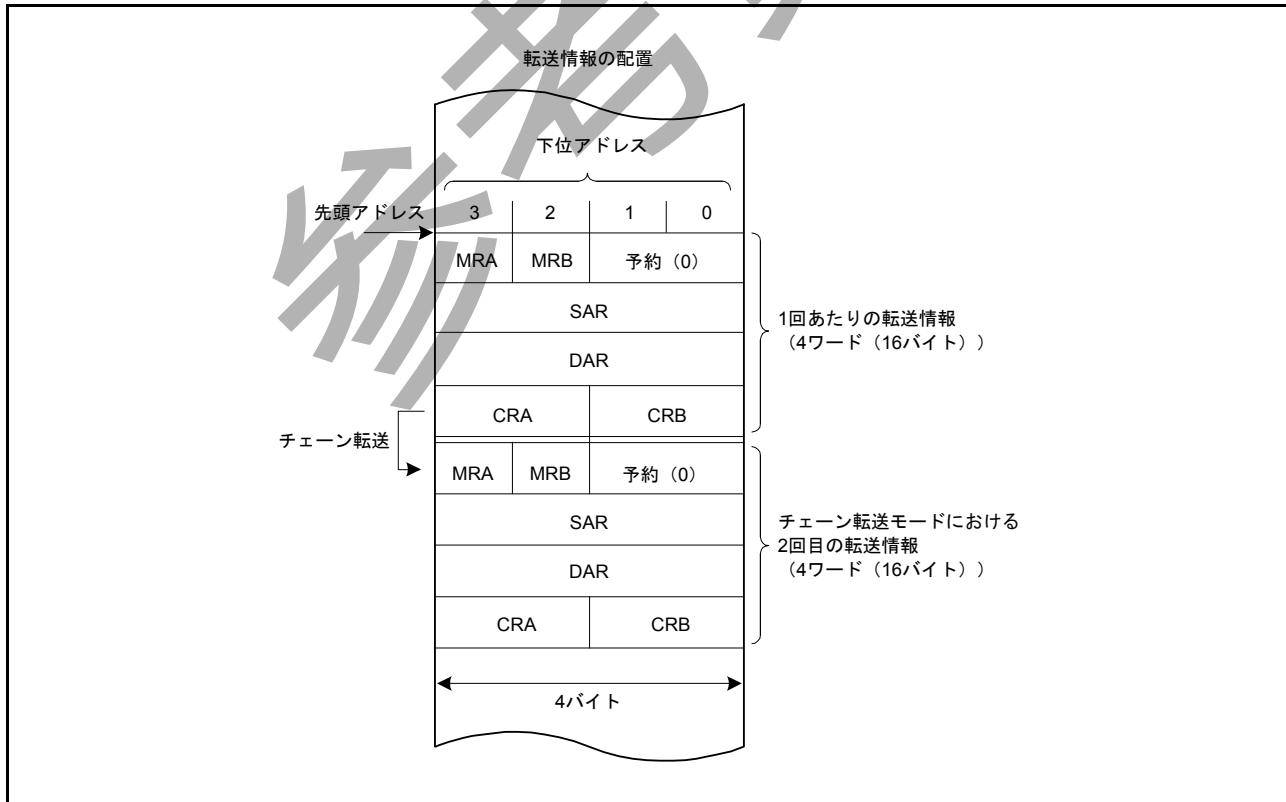


図 18.3 SRAM 領域上の転送情報の配置

## 18.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャンネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

DTC の転送モードを [表 18.2](#) に示します。

**表 18.2 DTC の転送モード**

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト (8ビット) / 1ハーフワード (16ビット) / 1ワード (32ビット)	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65,536回
リピート転送モード (注1)	1バイト (8ビット) / 1ハーフワード (16ビット) / 1ワード (32ビット)	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAHレジスタで指定したブロックサイズ (1～256バイト / 1～256ハーフワード (2～512バイト) / 1～256ワード (4～1,024バイト))	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65,536回

- 注 1. 転送元または転送先のいずれかをリピート領域に設定します。  
 注 2. 転送元または転送先のいずれかをブロック領域に設定します。  
 注 3. 指定回数の転送終了後は、初期状態を回復し動作を再開します。

MRB.CHNE ビットを 1 にすると、1つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC の動作フローチャートを [図 18.4](#) に示します。チェーン転送の条件を [表 18.3](#) に示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。

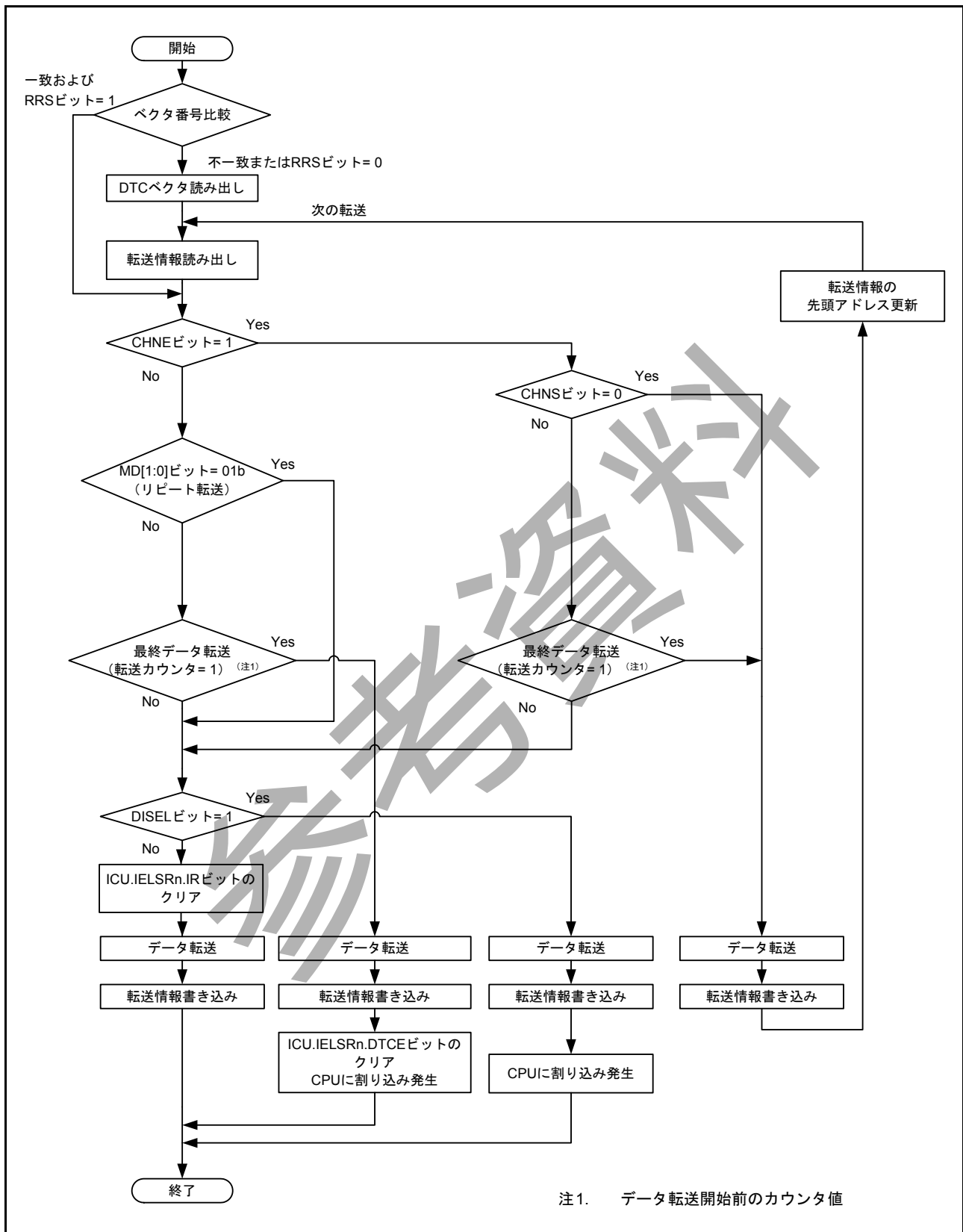


図 18.4 DTC 動作フローチャート

表 18.3 チェーン転送の条件

第1転送				第2転送 (注3)				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1) (注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1) (注2)	
0	—	0	(1→0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1→0)	—	—	—	—	第1転送で終了しCPU へ割り込み要求
0	—	1	—	—	—	—	—	第2転送で終了
1	0	—	—	0	—	0	(1→0) 以外	第2転送で終了しCPU へ割り込み要求
				0	—	0	(1→0)	第2転送で終了しCPU へ割り込み要求
				0	—	1	—	第2転送で終了しCPU へ割り込み要求
1	1	0	(1→*) 以外	—	—	—	—	第1転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了しCPU へ割り込み要求
				0	—	1	—	第2転送で終了しCPU へ割り込み要求
1	1	1	(1→*) 以外	—	—	—	—	第1転送で終了しCPU へ割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。

ノーマル転送モード：CRA レジスタ  
 リピート転送モード：CRAL レジスタ  
 ブロック転送モード：CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下の通りです。

ノーマル転送モードとブロック転送モードでは (1→0)  
 リピート転送モードでは (1→CRAH)

表中の (1→\*) は、これら両方の動作を表します。

注 3. 2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略されています。

#### 18.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が 0 になっている場合、またはブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報が読み出されます。転送情報のリードスキップの動作例を [図 18.12](#) に示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットをいったん 0 にすることによって、格納されていたベクタ番号が破棄されます。次の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

### 18.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0] ビットまたは MRB.DM[1:0] ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。転送情報のライトバックスキップ条件と対応するレジスタを表 18.4 に示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされます。

表 18.4 転送情報のライトバックスキップ条件と適用されるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

### 18.4.3 ノーマル転送モード

このモードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、1ワード（32ビット）のデータ転送が可能です。転送回数は1～65,536回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表 18.5 に、ノーマル転送モードのメモリマップを図 18.5 に示します。

表 18.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新なし

注1. アドレス固定のとき、ライトバックはスキップされます。



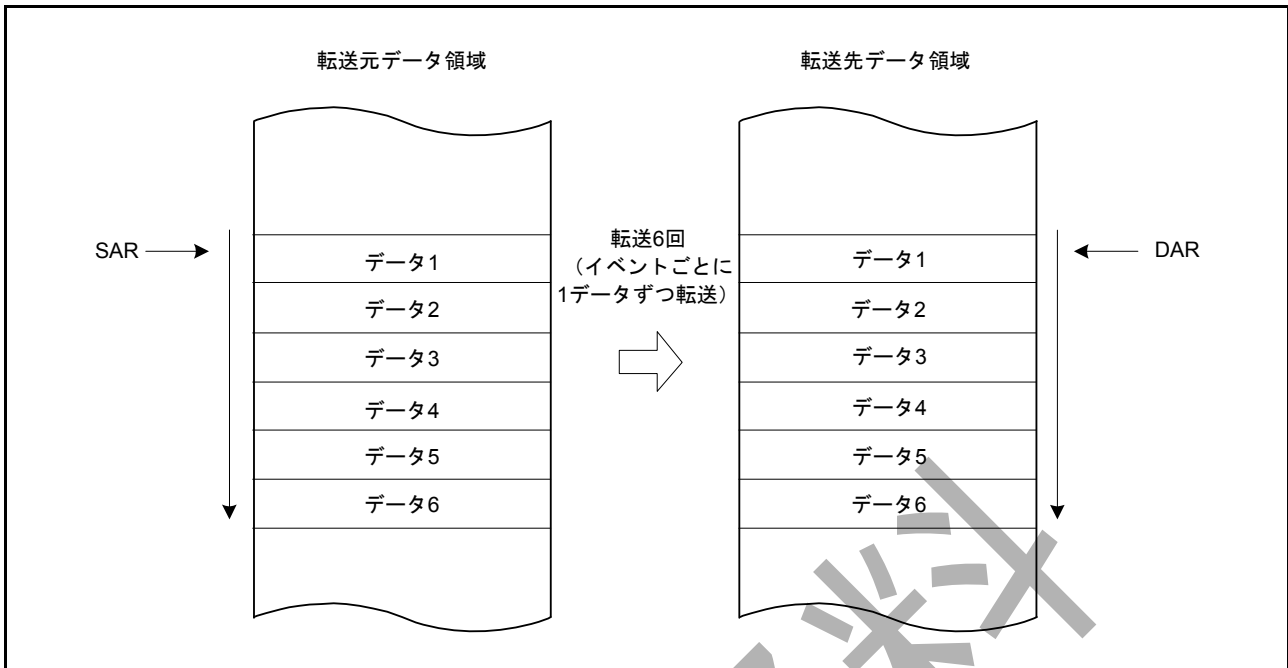


図 18.5 ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0006h)

### 18.4.4 リポート転送モード

このモードでは、1つの起動要因で、1バイト (8ビット)、1ハーフワード (16ビット)、または1ワード (32ビット) のデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをリポート領域に指定する必要があります。転送回数は1〜256回まで設定できます。指定回数の転送が終了すると、リポート領域に設定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リポート転送モードでは、転送カウンタ (CRAL レジスタ) が 00h になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタが 00h にならないので、MRB.DISEL ビットが 0 になっていると、CPU への割り込み要求は禁止されます。指定されたデータ転送が終了したとき、CPU への割り込みが発生します。

リポート転送モードのレジスタ機能を表 18.6 に、リポート転送モードのメモリマップを図 18.6 に示します。

表 18.6 リポート転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値	
		CRALが1以外のとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTSビット=1のとき) SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき) DARレジスタの初期値 (MRB.DTSビット=1のとき) インクリメント/デクリメント/固定 (注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタA	CRAL - 1	CRAH
CRB	転送カウンタB	更新なし	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

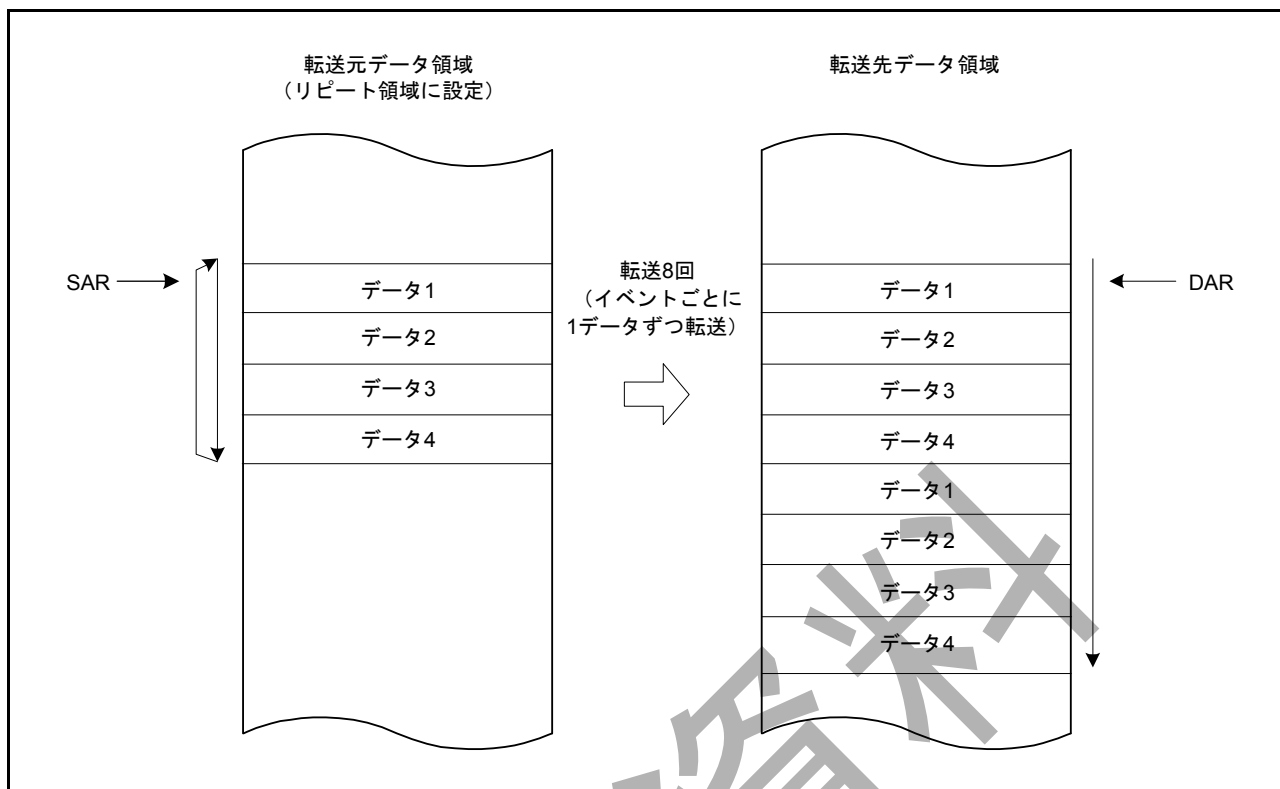


図 18.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合) (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 04h)

#### 18.4.5 ブロック転送モード

このモードでは、1つの起動要因で1ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1～256 バイト、1～256 ハーフワード (2～512 バイト)、または1～256 ワード (4～1,024 バイト) に設定できます。指定された1ブロックの転送が終了すると、ブロックサイズカウンタ (CRAL レジスタ) と、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが1のとき SAR レジスタ、DTS ビットが0のとき DAR レジスタ) は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数 (ブロック数) は、1～65,536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

ブロック転送モードのレジスタ機能を表 18.7 に、ブロック転送モードのメモリマップを図 18.7 に示します。

表 18.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	(MRB.DTS ビット=0のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTS ビット=1のとき) SAR レジスタの初期値
DAR	転送先アドレス	(MRB.DTS ビット=0のとき) DAR レジスタの初期値 (MRB.DTS ビット=1のとき) インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1. アドレス固定のとき、ライトバックはスキップされます。

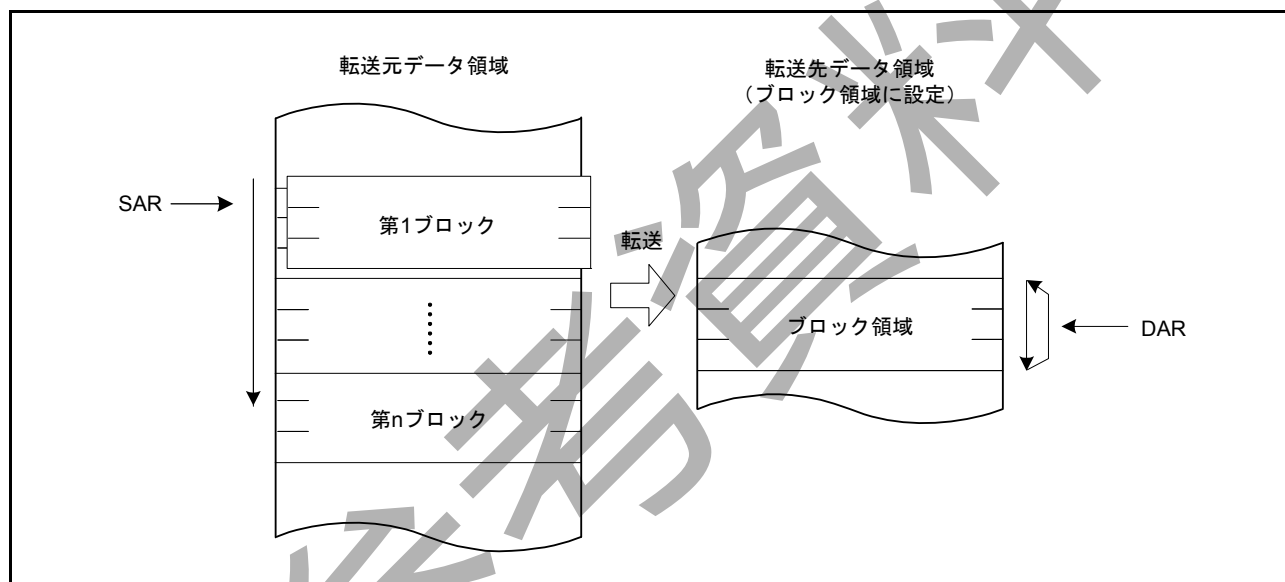


図 18.7 ブロック転送モードのメモリマップ

### 18.4.6 チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL ビット = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR ビットに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 18.8 にチェーン転送の動作を示します。

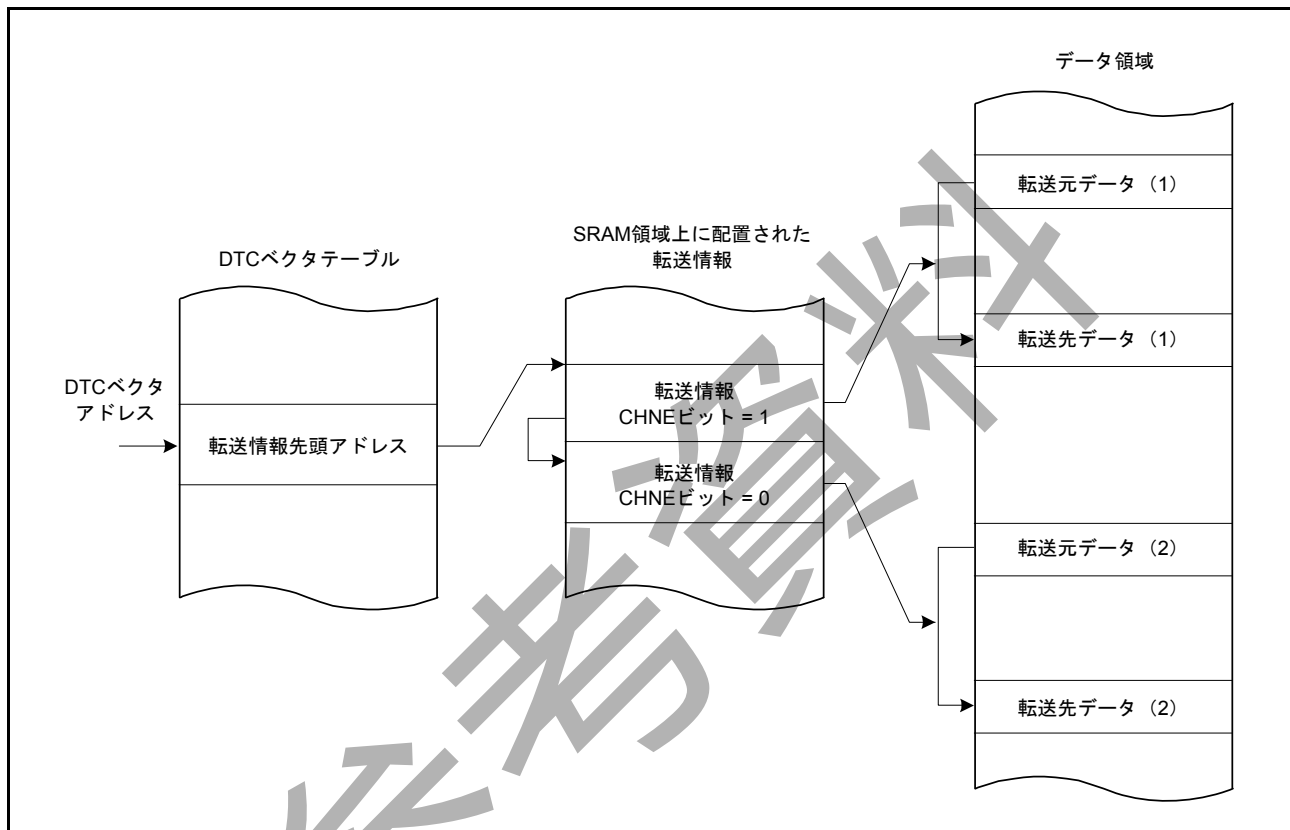


図 18.8 チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 18.3 チェーン転送の条件を参照してください。

18.4.7 動作タイミング

図 18.9 ~ 図 18.12 に示すタイミング図は、最小実行サイクル数を示しています。

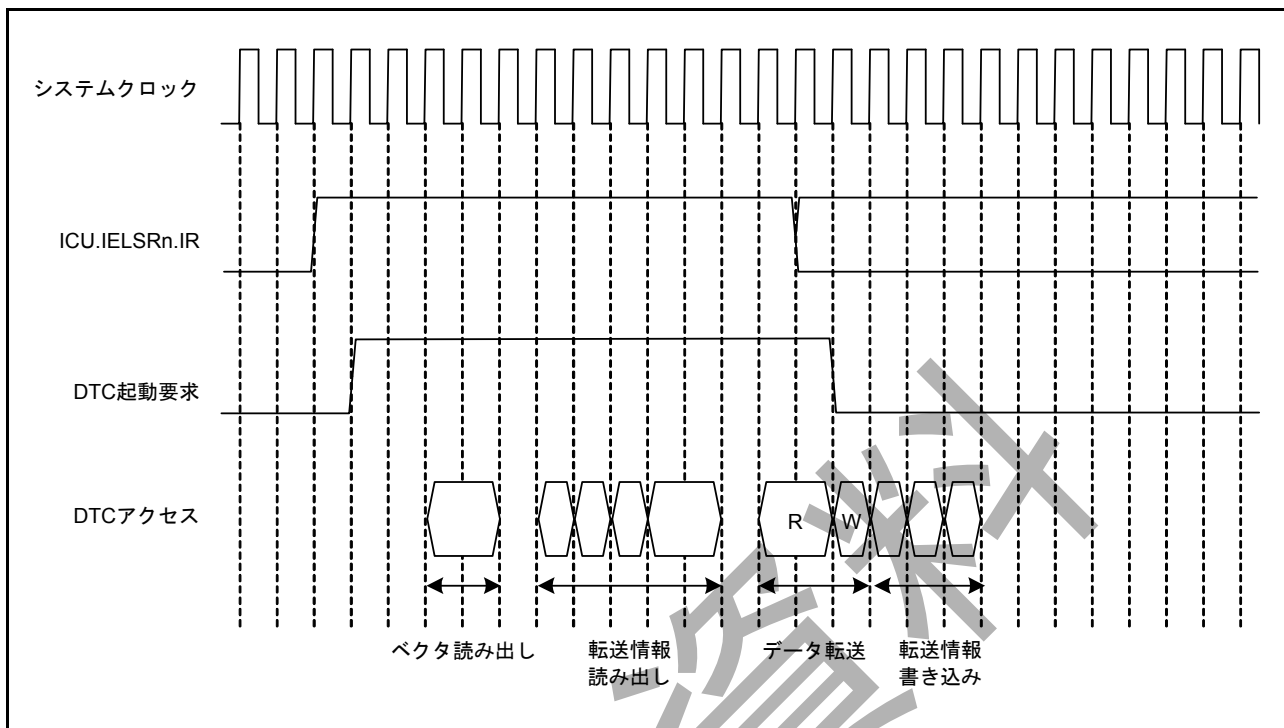


図 18.9 DTC 動作タイミング例 (1) (ノーマル転送モード、リピート転送モードの場合)

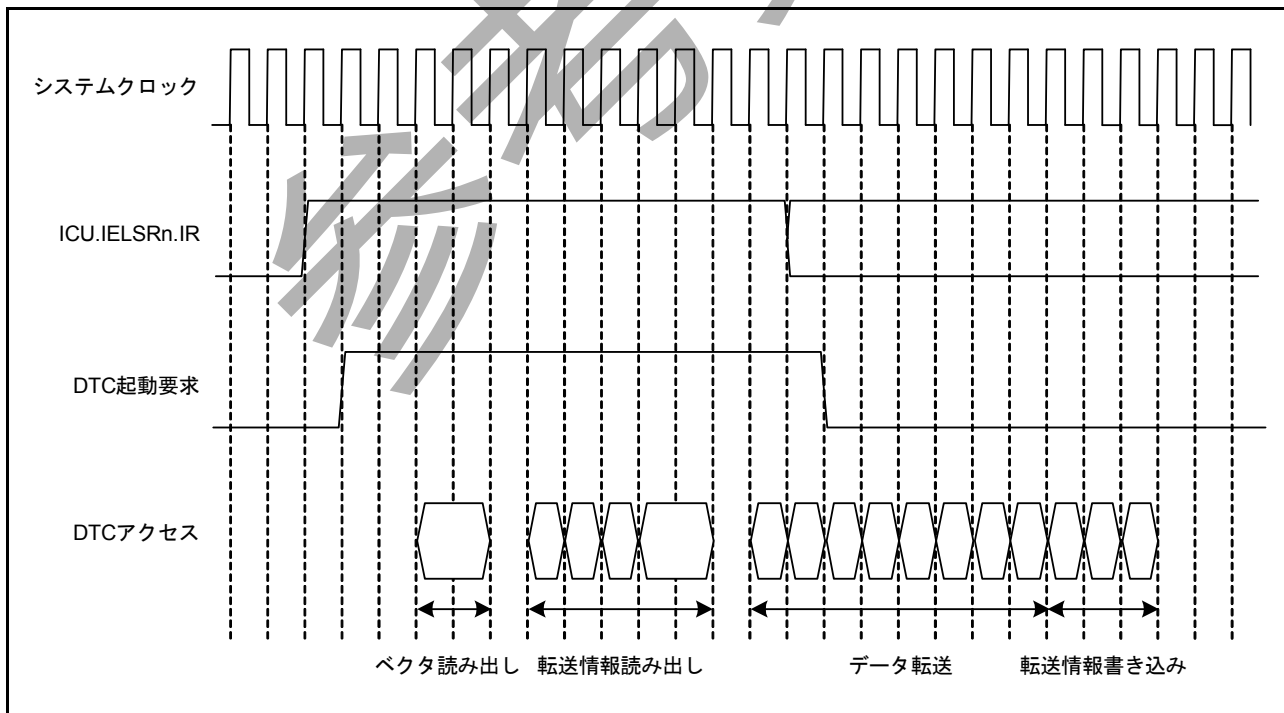


図 18.10 DTC 動作タイミング例 (2) (ブロック転送モード、ブロックサイズ = 4 の場合)

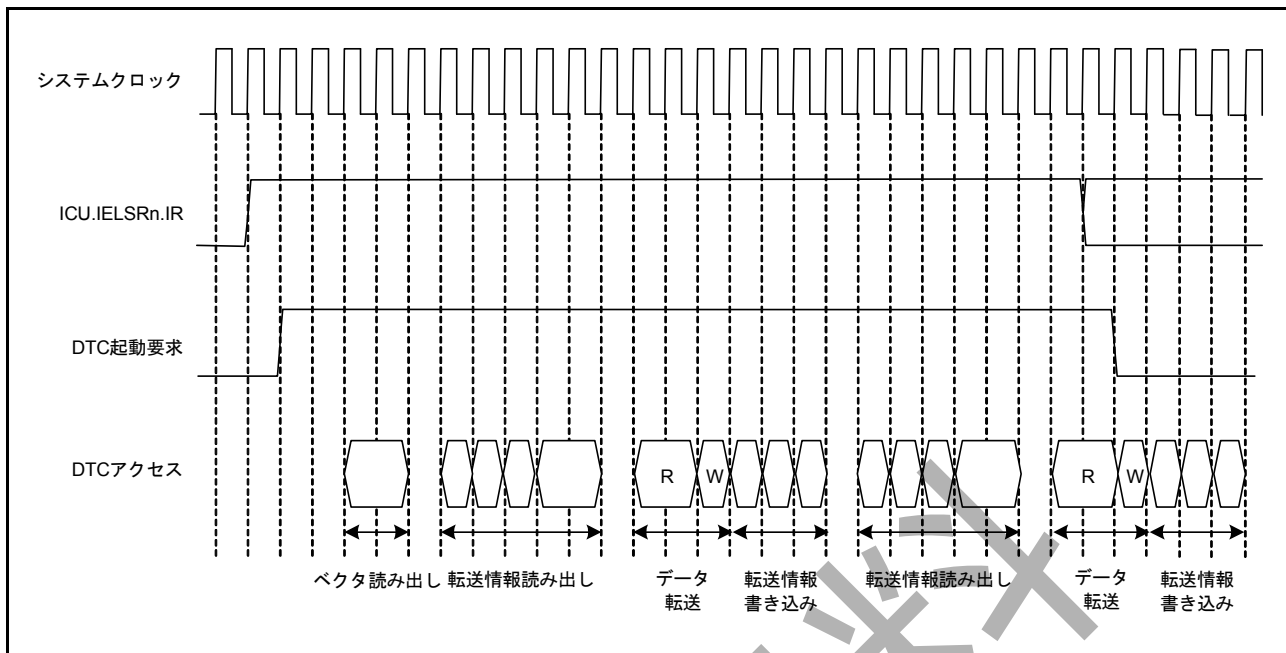


図 18.11 DTC 動作タイミング例 (3) (チェーン転送の場合)

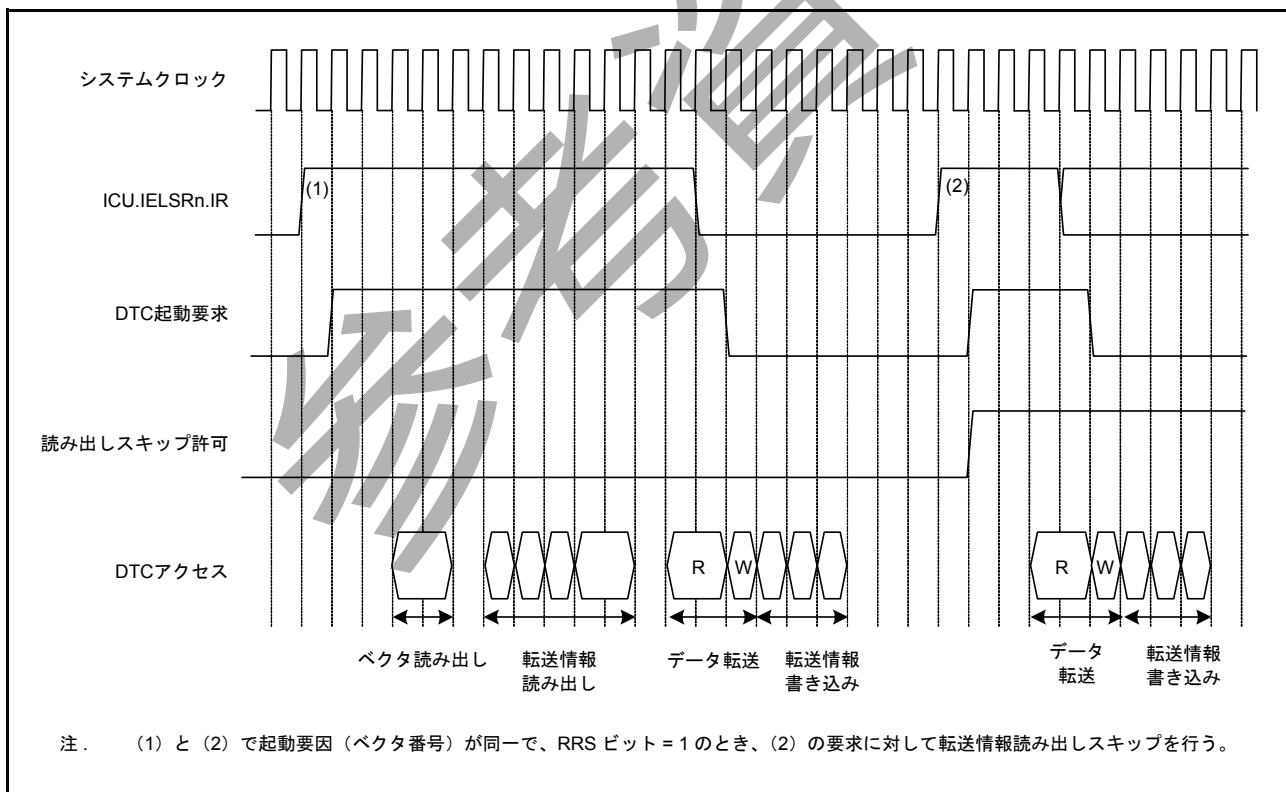


図 18.12 転送情報リードスキップ実行時の動作例 (ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合)

### 18.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 18.8 に示します。

各実行状態の順序については、18.4.7 動作タイミングを参照してください。

表 18.8 DTC の実行サイクル

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
	$Cv + 1$	0 (注1)	$4 \times Ci + 1$	0 (注1)	$3 \times Ci + 1$ (注2)	$2 \times Ci + 1$ (注3)	$Ci$ (注4)	読み出し	書き込み		
ノーマル								$Cr + 1$	$Cw + 1$	2	0 (注1)
リポート								$Cr + 1$	$Cw + 1$		
ブロック (注5)								$P \times Cr$	$P \times Cw$		

- 注 1. 転送情報がリードスキップされる場合  
 注 2. SAR レジスタと DAR レジスタがともにアドレス固定でない場合  
 注 3. SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合  
 注 4. SAR レジスタと DAR レジスタがともにアドレス固定の場合  
 注 5. ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P: ブロックサイズ (CRAH および CRAL レジスタの初期設定値)

Cv: ベクタ転送情報格納先へのアクセスサイクル

Ci: 転送情報格納先アドレスへのアクセスサイクル

Cr: データリード先へのアクセスサイクル

Cw: データライト先へのアクセスサイクル

ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の "+1" の単位と、内部動作の列に記載の "2" の単位は、いずれもシステムクロック (ICLK) です。

Cv、Ci、Cr、Cw は対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「47. SRAM」、「48. フラッシュメモリ」および「15. バス」を参照してください。

システムクロックと周辺クロックの周波数比も考慮されています。

DTC の応答時間は、DTC の起動要因が検出されてから DTC 転送が始まるまでの時間です。

この表には、DTC の起動要因がアクティブになってから DTC データ転送が始まるまでの時間は含まれていません。

### 18.4.9 DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「15. バス」を参照してください。

## 18.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。図 18.13 に、DTC の設定手順を示します。

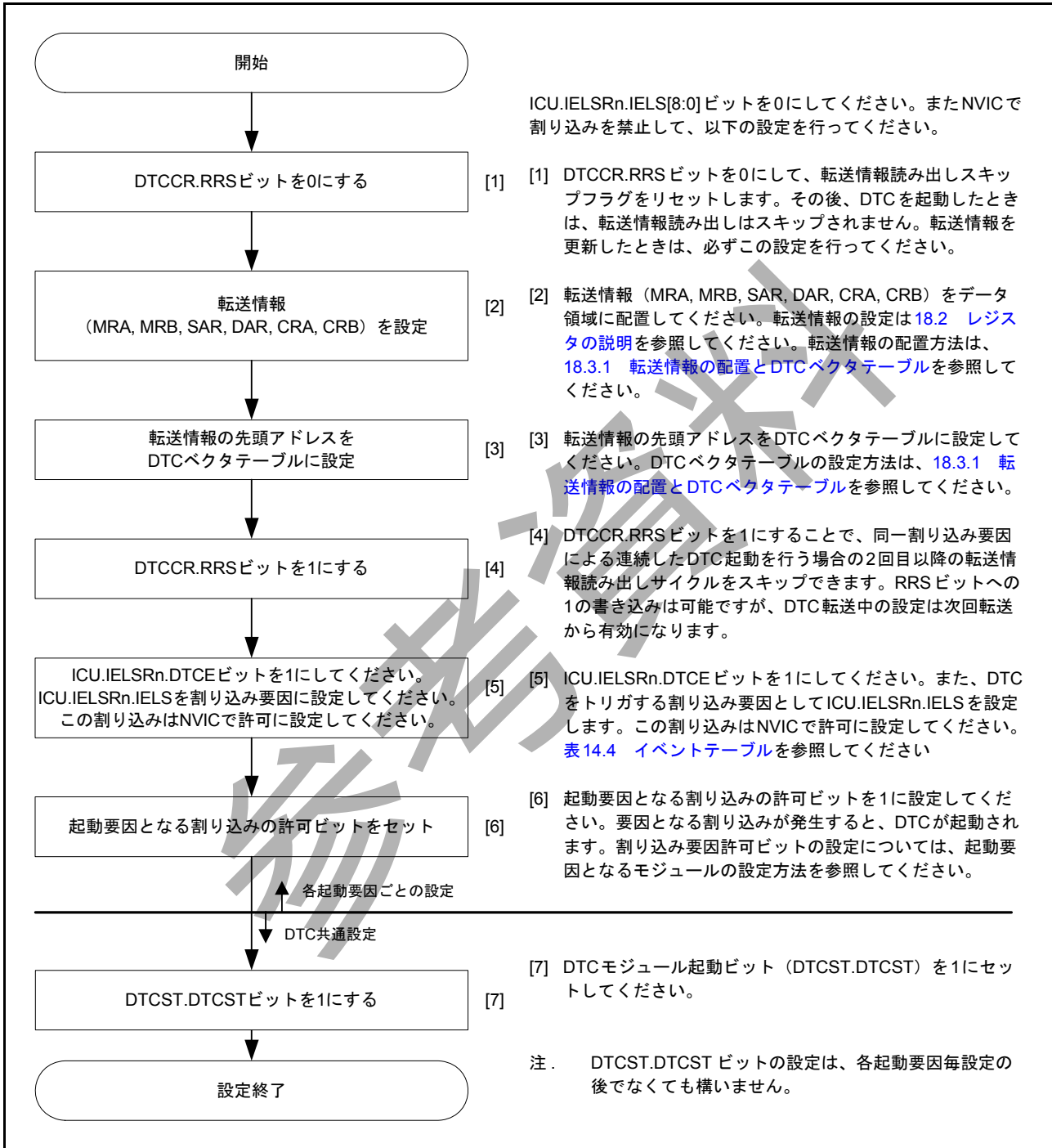


図 18.13 DTC の設定手順



## 18.6 DTC の使用例

### 18.6.1 ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

#### (1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] ビット = 00b)、ノーマル転送モード (MRA.MD[1:0] ビット = 00b)、およびバイト転送 (MRA.SZ[1:0] ビット = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] ビット = 10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0080h) を設定します。CRB レジスタは任意の値を設定できます。

#### (2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

#### (3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

#### (4) SCI の設定

SCI の SCR.RIE ビットを 1 にして RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるように設定してください。

#### (5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

#### (6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する RXI 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

## 18.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することができます。

チェーン転送の最初の転送には、GPTm.GTCCRC レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、GPTm.GTCCRE レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、GPTm.GTPBR レジスタへの転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE ビット=0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、GPT320.GTPR レジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

### (1) 第 1 転送情報の設定

GPT320.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、チェーン転送 (MRB.CHNE ビット = 1、MRB.CHNS ビット = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRC レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

### (2) 第 2 転送情報の設定

GPT320.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、チェーン転送 (MRB.CHNE ビット = 1、MRB.CHNS ビット = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRE レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

### (3) 第 3 転送情報の設定

GPT320.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を設定します。MRB.DTS ビットは、任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTPBR レジスタのアドレスを設定します。

6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

#### (4) 転送情報の配置

GPT320.GTPBR レジスタへの転送で使用する転送情報は、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

#### (5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

#### (6) ICU の設定と DTC モジュールの起動

1. GPT320 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[8:0] ビットを 182 (B6h) にして、GPT320 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

#### (7) GPT の設定

1. GTCCRA および GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT320.GTIOR レジスタを設定します。
2. GPT320.GTCCRA レジスタと GPT320.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。
3. GPT320.GTPR レジスタには、デフォルトの PWM タイマ周期を設定し、GPT320.GTPBR レジスタには、次の PWM タイマ周期を設定します。
4. PmnPFS.PDR の出力ビットを 1 にして、PmnPFS.PSEL[4:0] の周辺選択ビットを 00011b にします。

#### (8) GPT の起動

GPT320.GTSTR.CSTRT ビットを 1 にして、GPT320.GTCNT カウンタのカウント動作を開始します。

#### (9) DTC 転送

GPT320.GTPR レジスタで GPT320 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT320.GTPBR レジスタへ転送されます。

#### (10) 割り込み処理

指定した回数の転送終了後 (たとえば、GPT 転送用 CRA レジスタの値が 0 になると)、CPU に対して GPT320 カウンタオーバーフロー割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

### 18.6.3 カウンタ = 0 のときのチェーン転送

第2転送は第1データ転送の転送カウンタが0になったときにだけ実行されます。第1データ転送情報は第2転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256回以上のリピート転送が可能になります。

以下に、128K バイトの入力バッファを構成する例を示します。入力バッファは下位アドレスが0000h から始まるように設定されています。カウンタ=0のときのチェーン転送を図18.14に示します。

1. 第1データ転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
  - a. 転送元アドレス = 固定
  - b. CRAレジスタ = 0000h (65,536回)
  - c. MRB.CHNEビット = 1 (チェーン転送許可)
  - d. MRB.CHNSビット = 1 (転送カウンタが0の場合のみチェーン転送を行う)
  - e. MRB.DISELビット = 0 (指定されたデータ転送の終了時、CPUへの割り込み要求が発生)
2. 第1データ転送の転送先アドレスの65,536回ごとに、開始アドレスの上位8ビットアドレスを別の領域 (フラッシュなど) に用意してください。たとえば、入力バッファを20 0000h ~ 21 FFFFhにする場合は、21hと20hを用意します。
3. 第2データ転送は以下のように設定してください。
  - f. 第1データ転送の転送先アドレスをリセットするため、リピート転送モード (転送元をリピート領域) に設定
  - g. 転送先として、第1転送情報領域のDARレジスタの上位8ビットを指定
  - h. MRB.CHNEビット = 0 (チェーン転送禁止)
  - i. MRB.DISELビット = 0 (指定されたデータ転送の終了時、CPUへの割り込み要求が発生)
  - j. 入力バッファを20 0000h ~ 21 FFFFhにした場合は、転送カウンタ = 2
4. 1回の割り込みで、第1データ転送が65,536回実行されます。第1データ転送の転送カウンタが0になると、第2データ転送がスタートします。第1データ転送の転送元アドレスの上位8ビットを21hにしてください。第1データ転送の転送先アドレスの下位16ビット (転送カウンタ) は0000hになっています。
5. 引き続き1回の割り込みで、第1データ転送用に指定された65,536回だけ、第1データ転送が実行されます。第1データ転送の転送カウンタが0になると、第2データ転送がスタートします。第1データ転送の転送元アドレスの上位8ビットを20hにしてください。第1データ転送の転送先アドレスの下位16ビット (転送カウンタ) は0000hになっています。
6. 手順4と5が無限に繰り返されます。第2データ転送はリピート転送モードのため、CPUへの割り込み要求は発生しません。

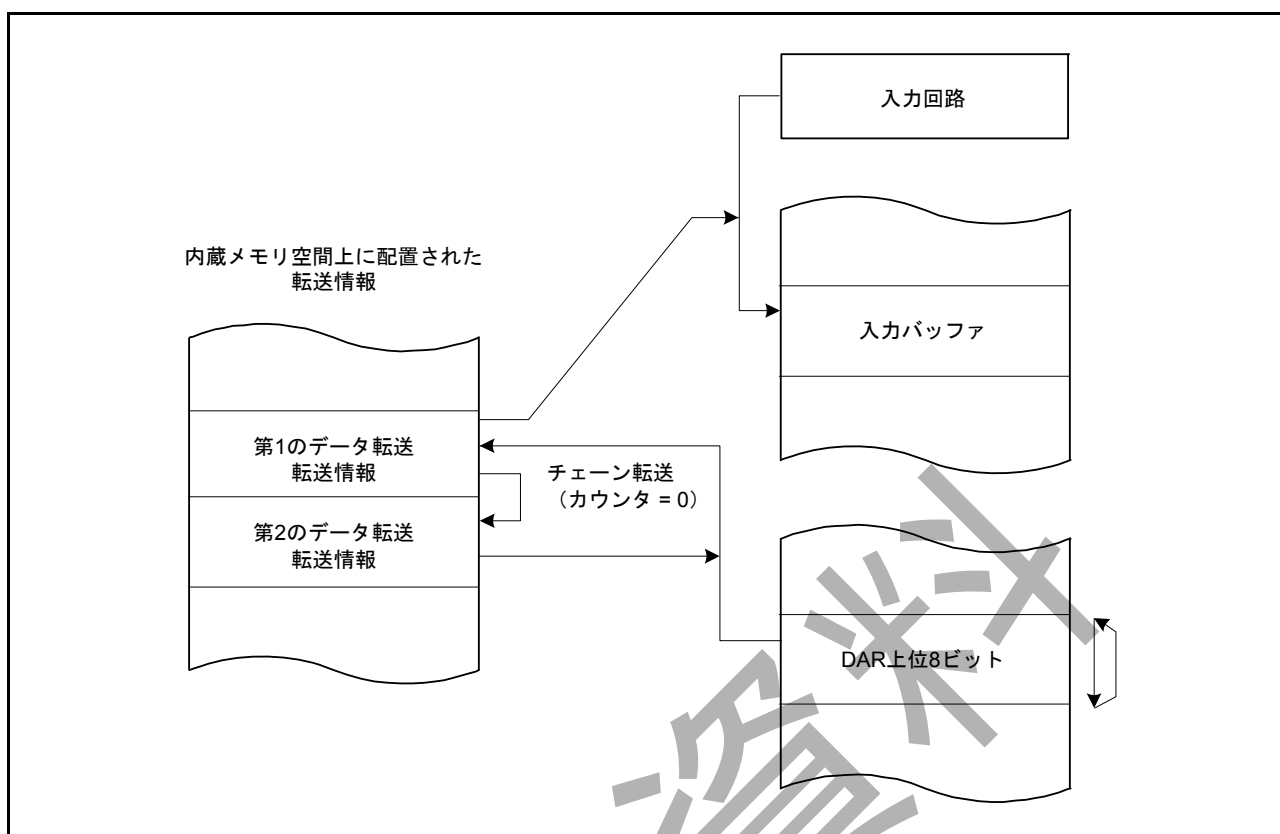


図 18.14 カウンタ = 0 のときのチェーン転送

## 18.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。CPU に対する割り込みは、NVIC および ICU.IELSRn.IELS[8:0] ビットの設定に従って制御されます。「[14. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

DTC が決定する起動要因の優先順位は、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

## 18.8 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力できます。転送先が外部バスの場合は、実際の転送先への書き込みではなく、ライトバッファへの書き込みが完了した時点で、イベントリンク要求が発行されます。

## 18.9 スヌーズ制御インタフェース

DTC によってスヌーズモードからソフトウェアスタンバイモードへ復帰させる場合は、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED を 1 にしてください。[11.8.3 ソフトウェアスタンバイモードへの復帰](#)を参照してください。

SYSTEM.SNZEDCR.DTCZRED は、最後の DTC 送信完了 (CRA と CRB が 0 であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。

SYSTEM.SNZEDCR.DTCNZRED は、最後以外の DTC 送信完了 (CRA と CRB が 0 以外であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。

## 18.10 モジュールストップ機能

モジュールストップ機能、またはスヌーズモードへの遷移を伴わないソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にしてください。その後、以下の説明に従ってください。SYSTEM.SNZCR.SNZDTCEN ビットを 1 にすると、DTC はスヌーズモードでも利用可能です。「11. 低消費電力モード」を参照してください。

### (1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたときに DTC 転送が動作中の場合、DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA22 ビットに 0 を書くことで、DTC のモジュールストップ状態が解除されます。

### (2) ソフトウェアスタンバイモード

11.7.1 ソフトウェアスタンバイモードへの遷移の手順に従って設定してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードへ遷移します。

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。11.8.1 スヌーズモードへの遷移を参照してください。スヌーズモード時の DTC の動作は、SYSTEM.SNZCR.SNZDTCEN ビットで選択できます。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。DTC によってソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED を 1 にしてください。11.8.3 ソフトウェアスタンバイモードへの復帰を参照してください。ソフトウェアスタンバイモード中は ICU からの DTC 起動要求は停止しますが、スヌーズモード中は停止しません。

### (3) モジュールストップ機能の注意事項

WFI 命令とレジスタの設定手順については、「11. 低消費電力モード」を参照してください。

スヌーズモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU 割り込み要求として使用する場合は、14.4.2 割り込み要求先の選択に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スヌーズモード時に DTC 動作を許可する場合、DTC のモジュールストップ機能を使用しないでください。

## 18.11 使用上の注意事項

### 18.11.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

## 19. イベントリンクコントローラ (ELC)

### 19.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 19.1 に ELC の仕様を、図 19.1 に ELC のブロック図を示します。

表 19.1 ELC の仕様

項目	内容
イベントリンク機能	<ul style="list-style-type: none"> <li>181種類のイベント信号を、直接モジュールに接続可能。ELCイベント信号と、DMACおよびDTC起動用のイベントの発生が可能</li> </ul>
モジュールストップ機能	モジュールストップ状態の設定が可能

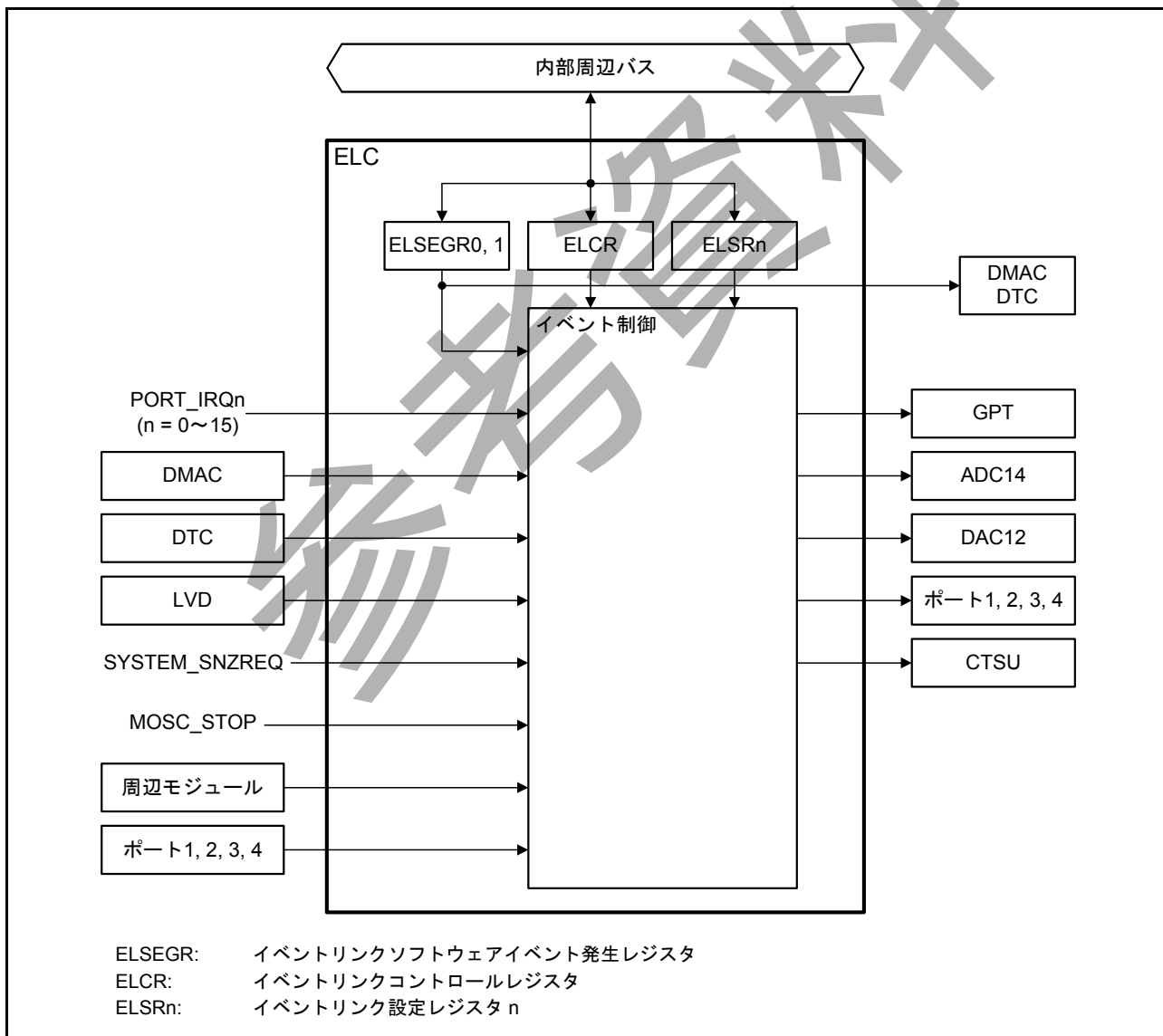


図 19.1 ELC のブロック図 (n = 0 ~ 9, 12 ~ 18)



## 19.2 レジスタの説明

### 19.2.1 イベントリンクコントローラレジスタ (ELCR)

アドレス ELC.ELCR 4004 1000h

	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	ELCON	全イベントリンク有効	0 : ELC機能は無効 1 : ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

参考資料

## 19.2.2 イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) (n = 0, 1)

アドレス ELC.ELSEGR0 4004 1002h, ELC.ELSEGR1 4004 1004h

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生	0: 通常動作 1: ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	WE	SEGビット書き込み許可	0: SEGビットへの書き込み禁止 1: SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止	0: ELSEGRレジスタへの書き込み許可 1: ELSEGRレジスタへの書き込み禁止	W

**SEG ビット (ソフトウェアイベント発生)**

WE ビットが1の状態、このビットに1を書くとソフトウェアイベントが発生します。読むと0が読めます。1を書いてもデータは格納されません。WE ビットを1にしてから、このビットを書く必要があります。

ソフトウェアイベントは、DTC および DMAC に対してイベントリンクをトリガすることができます。

**WE ビット (SEG ビット書き込み許可)**

WE ビットが1の場合にのみ、SEG ビットへの書き込みが可能になります。WI ビットを0にクリアしてから、このビットを書く必要があります。

[1になる条件]

- WI ビットが0の状態、1を書いたとき

[0になる条件]

- WI ビットが0の状態、0を書いたとき

**WI ビット (ELSEGR レジスタ書き込み禁止)**

WI ビットへの書き込み値が0の場合にのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと1が読めます。WI ビットを0にしてから、WE または SEG ビットを設定する必要があります。

## 19.2.3 イベントリンク設定レジスタ (ELSRn) (n = 0 ~ 9, 12 ~ 18)

アドレス [ELC.ELSR0 4004 1010h](#), [ELC.ELSR1 4004 1014h](#), [ELC.ELSR2 4004 1018h](#), [ELC.ELSR3 4004 101Ch](#), [ELC.ELSR4 4004 1020h](#),  
[ELC.ELSR5 4004 1024h](#), [ELC.ELSR6 4004 1028h](#), [ELC.ELSR7 4004 102Ch](#), [ELC.ELSR8 4004 1030h](#), [ELC.ELSR9 4004 1034h](#),  
[ELC.ELSR12 4004 1040h](#), [ELC.ELSR13 4004 1044h](#), [ELC.ELSR14 4004 1048h](#), [ELC.ELSR15 4004 104Ch](#), [ELC.ELSR16 4004 1050h](#),  
[ELC.ELSR17 4004 1054h](#), [ELC.ELSR18 4004 1058h](#)



ビット	シンボル	ビット名	機能	R/W
b8-b0	<a href="#">ELS[8:0]</a>	イベントリンク選択	b8 b0 00000000 : 対応する周辺モジュールへのイベント出力は禁止 00000001 ~ 111001010 : リンクするイベント信号の番号を指定  上記以外は設定しないでください。	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応関係を [表 19.2](#) に示します。また、ELSRn レジスタに設定するイベント信号名と信号番号の対応関係を [表 19.3](#) に示します。

表 19.2 ELSRn レジスタと周辺機能の対応関係

レジスタ名	周辺機能 (モジュール)	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR4	GPT (E)	ELC_GPTE
ELSR5	GPT (F)	ELC_GPTF
ELSR6	GPT (G)	ELC_GPTG
ELSR7	GPT (H)	ELC_GPTH
ELSR8	ADC14A	ELC_AD00
ELSR9	ADC14B	ELC_AD01
ELSR12	DAC12チャンネル0	ELC_DA0
ELSR13	DAC12チャンネル1	ELC_DA1
ELSR14	PORT 1	ELC_PORT1
ELSR15	PORT 2	ELC_PORT2
ELSR16	PORT 3	ELC_PORT3
ELSR17	PORT 4	ELC_PORT4
ELSR18	CTSU	ELC_CTSU

表 19.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応関係 (1/5)

イベント番号	割り込み要求の発生元	名称	内容
001h	ポート	PORT_IRQ0 (注1)	外部端子割り込み0
002h		PORT_IRQ1 (注1)	外部端子割り込み1
003h		PORT_IRQ2 (注1)	外部端子割り込み2
004h		PORT_IRQ3 (注1)	外部端子割り込み3
005h		PORT_IRQ4 (注1)	外部端子割り込み4
006h		PORT_IRQ5 (注1)	外部端子割り込み5
007h		PORT_IRQ6 (注1)	外部端子割り込み6
008h		PORT_IRQ7 (注1)	外部端子割り込み7
009h		PORT_IRQ8 (注1)	外部端子割り込み8
00Ah		PORT_IRQ9 (注1)	外部端子割り込み9
00Bh		PORT_IRQ10 (注1)	外部端子割り込み10
00Ch		PORT_IRQ11 (注1)	外部端子割り込み11
00Dh		PORT_IRQ12 (注1)	外部端子割り込み12
00Eh		PORT_IRQ13 (注1)	外部端子割り込み13
00Fh		PORT_IRQ14 (注1)	外部端子割り込み14
010h	PORT_IRQ15 (注1)	外部端子割り込み15	
020h	DMAC0	DMAC0_INT	DMAC転送終了0
021h	DMAC1	DMAC1_INT	DMAC転送終了1
022h	DMAC2	DMAC2_INT	DMAC転送終了2
023h	DMAC3	DMAC3_INT	DMAC転送終了3
02Ah	DTC	DTC_DTCEND (注3)	DTC転送終了
038h	LVD	LVD_LVD1	電圧監視1割り込み
039h		LVD_LVD2	電圧監視2割り込み
03Bh	MOSC	MOSC_STOP	メインクロック発振停止
03Ch	低消費電力モード	SYSTEM_SNZREQ (注2) (注3)	スヌーズエントリ
040h	AGT0	AGT0_AGTI	AGT割り込み
041h		AGT0_AGTCMAI	コンペアマッチA
042h		AGT0_AGTCMBI	コンペアマッチB
043h	AGT1	AGT1_AGTI	AGT割り込み
044h		AGT1_AGTCMAI	コンペアマッチA
045h		AGT1_AGTCMBI	コンペアマッチB
046h	IWDT	IWDT_NMIUNDF	IWDTアンダーフロー
047h	WDT	WDT_NMIUNDF	WDTアンダーフロー
049h	RTC	RTC_PRD	周期割り込み
04Bh	ADC140	ADC140_ADI	A/Dスキャン変換終了割り込み
04Fh		ADC140_WCMPPM (注3)	コンペアマッチ
050h		ADC140_WCMPUM (注3)	コンペア不一致
057h	ACMPHS	ACMP_HS0	高速アナログコンパレータ割り込み0
058h		ACMP_HS1	高速アナログコンパレータ割り込み1
05Dh	ACMPLP	ACMP_LP0	低消費電力アナログコンパレータ割り込み0
05Eh		ACMP_LP1	低消費電力アナログコンパレータ割り込み1

表 19.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応関係 (2/5)

イベント番号	割り込み要求の発生元	名称	内容
063h	IIC0	IIC0_RXI	受信データフル
064h		IIC0_TXI	送信データエンプティ
065h		IIC0_TEI	送信終了
066h		IIC0_EEI	通信エラー
068h	IIC1	IIC1_RXI	受信データフル
069h		IIC1_TXI	送信データエンプティ
06Ah		IIC1_TEI	送信終了
06Bh		IIC1_EEI	通信エラー
06Dh	IIC2	IIC2_RXI	受信データフル
06Eh		IIC2_TXI	送信データエンプティ
06Fh		IIC2_TEI	送信終了
070h		IIC2_EEI	通信エラー
086h	DOC	DOC_DOPCI (注3)	データ演算回路割り込み
094h	I/Oポート	IOPORT_GROUP1	ポート1イベント
095h		IOPORT_GROUP2	ポート2イベント
096h		IOPORT_GROUP3	ポート3イベント
097h		IOPORT_GROUP4	ポート4イベント
098h	ELC	ELC_SWEVT0	ソフトウェアイベント0
099h		ELC_SWEVT1	ソフトウェアイベント1
0B0h	GPT320	GPT0_CCMPA	コンペアマッチA
0B1h		GPT0_CCMPB	コンペアマッチB
0B2h		GPT0_CMPC	コンペアマッチC
0B3h		GPT0_CMPD	コンペアマッチD
0B4h		GPT0_CMPE	コンペアマッチE
0B5h		GPT0_CMPF	コンペアマッチF
0B6h		GPT0_OVF	オーバーフロー
0B7h		GPT0_UDF	アンダーフロー
0BAh		GPT321	GPT1_CCMPA
0BBh	GPT1_CCMPB		コンペアマッチB
0BCh	GPT1_CMPC		コンペアマッチC
0BDh	GPT1_CMPD		コンペアマッチD
0BEh	GPT1_CMPE		コンペアマッチE
0BFh	GPT1_CMPF		コンペアマッチF
0C0h	GPT1_OVF		オーバーフロー
0C1h	GPT1_UDF		アンダーフロー
0C4h	GPT322		GPT2_CCMPA
0C5h		GPT2_CCMPB	コンペアマッチB
0C6h		GPT2_CMPC	コンペアマッチC
0C7h		GPT2_CMPD	コンペアマッチD
0C8h		GPT2_CMPE	コンペアマッチE
0C9h		GPT2_CMPF	コンペアマッチF
0CAh		GPT2_OVF	オーバーフロー
0CBh		GPT2_UDF	アンダーフロー

表 19.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応関係 (3/5)

イベント番号	割り込み要求の発生元	名称	内容
0CEh	GPT323	GPT3_CCMPA	コンペアマッチA
0CFh		GPT3_CCMPB	コンペアマッチB
0D0h		GPT3_CMPC	コンペアマッチC
0D1h		GPT3_CMPD	コンペアマッチD
0D2h		GPT3_CMPE	コンペアマッチE
0D3h		GPT3_CMPF	コンペアマッチF
0D4h		GPT3_OVF	オーバーフロー
0D5h		GPT3_UDF	アンダーフロー
0D8h		GPT324	GPT4_CCMPA
0D9h	GPT4_CCMPB		コンペアマッチB
0DAh	GPT4_CMPC		コンペアマッチC
0DBh	GPT4_CMPD		コンペアマッチD
0DCh	GPT4_CMPE		コンペアマッチE
0DDh	GPT4_CMPF		コンペアマッチF
0DEh	GPT4_OVF		オーバーフロー
0DFh	GPT4_UDF		アンダーフロー
0E2h	GPT325		GPT5_CCMPA
0E3h		GPT5_CCMPB	コンペアマッチB
0E4h		GPT5_CMPC	コンペアマッチC
0E5h		GPT5_CMPD	コンペアマッチD
0E6h		GPT5_CMPE	コンペアマッチE
0E7h		GPT5_CMPF	コンペアマッチF
0E8h		GPT5_OVF	オーバーフロー
0E9h		GPT5_UDF	アンダーフロー
0ECh		GPT326	GPT6_CCMPA
0EDh	GPT6_CCMPB		コンペアマッチB
0EEh	GPT6_CMPC		コンペアマッチC
0EFh	GPT6_CMPD		コンペアマッチD
0F0h	GPT6_CMPE		コンペアマッチE
0F1h	GPT6_CMPF		コンペアマッチF
0F2h	GPT6_OVF		オーバーフロー
0F3h	GPT6_UDF		アンダーフロー
0F6h	GPT327		GPT7_CCMPA
0F7h		GPT7_CCMPB	コンペアマッチB
0F8h		GPT7_CMPC	コンペアマッチC
0F9h		GPT7_CMPD	コンペアマッチD
0FAh		GPT7_CMPE	コンペアマッチE
0FBh		GPT7_CMPF	コンペアマッチF
0FCh		GPT7_OVF	オーバーフロー
0FDh		GPT7_UDF	アンダーフロー

表 19.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応関係 (4/5)

イベント番号	割り込み要求の発生元	名称	内容
100h	GPT328	GPT8_CCMPA	コンペアマッチA
101h		GPT8_CCMPB	コンペアマッチB
102h		GPT8_CMPC	コンペアマッチC
103h		GPT8_CMPD	コンペアマッチD
104h		GPT8_CMPE	コンペアマッチE
105h		GPT8_CMPF	コンペアマッチF
106h		GPT8_OVF	オーバーフロー
107h		GPT8_UDF	アンダーフロー
10Ah	GPT329	GPT9_CCMPA	コンペアマッチA
10Bh		GPT9_CCMPB	コンペアマッチB
10Ch		GPT9_CMPC	コンペアマッチC
10Dh		GPT9_CMPD	コンペアマッチD
10Eh		GPT9_CMPE	コンペアマッチE
10Fh		GPT9_CMPF	コンペアマッチF
110h		GPT9_OVF	オーバーフロー
111h		GPT9_UDF	アンダーフロー
150h	GPT	GPT_UVWEDGE	UVWのエッジイベント
174h	SCI0	SCI0_RXI (注4)	受信データフル
175h		SCI0_TXI (注4)	送信データエンプティ
176h		SCI0_TEI	送信終了
177h		SCI0_ERI (注4)	受信エラー
178h		SCI0_AM	アドレス一致イベント
17Ah	SCI1	SCI1_RXI (注4)	受信データフル
17Bh		SCI1_TXI (注4)	送信データエンプティ
17Ch		SCI1_TEI	送信終了
17Dh		SCI1_ERI (注4)	受信エラー
17Eh		SCI1_AM	アドレス一致イベント
180h	SCI2	SCI2_RXI (注4)	受信データフル
181h		SCI2_TXI (注4)	送信データエンプティ
182h		SCI2_TEI	送信終了
183h		SCI2_ERI (注4)	受信エラー
184h		SCI2_AM	アドレス一致イベント
186h	SCI3	SCI3_RXI (注4)	受信データフル
187h		SCI3_TXI (注4)	送信データエンプティ
188h		SCI3_TEI	送信終了
189h		SCI3_ERI (注4)	受信エラー
18Ah		SCI3_AM	アドレス一致イベント
18Ch	SCI4	SCI4_RXI (注4)	受信データフル
18Dh		SCI4_TXI (注4)	送信データエンプティ
18Eh		SCI4_TEI	送信終了
18Fh		SCI4_ERI (注4)	受信エラー
190h		SCI4_AM	アドレス一致イベント

表 19.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応関係 (5/5)

イベント番号	割り込み要求の発生元	名称	内容
1AAh	SCI9	SCI9_RXI (注4)	受信データフル
1ABh		SCI9_TXI (注4)	送信データエンプティ
1ACh		SCI9_TEI	送信終了
1ADh		SCI9_ERI (注4)	受信エラー
1AEh		SCI9_AM	アドレス一致イベント
1BCh		SPI0	SPI0_SPRI
1BDh	SPI0_SPTI		送信バッファエンプティ
1BEh	SPI0_SPII		アイドル
1BFh	SPI0_SPEI		エラー
1C0h	SPI0_SPTEND		送信完了イベント
1C1h	SPI1		SPI1_SPRI
1C2h		SPI1_SPTI	送信バッファエンプティ
1C3h		SPI1_SPII	アイドル
1C4h		SPI1_SPEI	エラー
1C5h		SPI1_SPTEND	送信完了イベント

- 注 1. パルス（エッジ検出）のみがサポートされています。
- 注 2. ELSR8、9、および ELSR14 ~ ELSR18 が、このイベントを選択できます。
- 注 3. このイベントはスヌーズモードでも発生可能です。
- 注 4. このイベントは FIFO モードではサポートされていません。



## 19.3 動作説明

### 19.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

### 19.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSRn) に設定しておいたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、前もって完了しておく必要があります。表 19.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 19.4 イベント発生時のモジュールの動作

モジュール	イベント発生時の動作
GPT	<ul style="list-style-type: none"> <li>• カウント開始</li> <li>• カウント停止</li> <li>• カウントクリア</li> <li>• アップカウント</li> <li>• ダウンカウント</li> <li>• インプットキャプチャ</li> </ul>
ADC14	A/D 変換開始
DAC12	D/A 変換開始
I/Oポート	<ul style="list-style-type: none"> <li>• EORR (リセット) または EOSR (セット) に基づく端子出力の変化</li> <li>• 端子状態を EIDR にラッチ</li> <li>• ELC で使用可能なポート:               <ul style="list-style-type: none"> <li>PORT 1</li> <li>PORT 2</li> <li>PORT 3</li> <li>PORT 4</li> </ul> </li> </ul>
CTSU	測定動作開始
DMAC/DTC	DMAC データ転送開始、DTC データ転送開始

### 19.3.3 イベントリンクの動作設定手順例

イベントのリンク方法は以下の通りです。

1. イベントをリンクするモジュールの動作設定を行います。
2. イベントをリンクするモジュールに対して、ELSRn レジスタを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にします。
4. イベント出力元モジュールの設定を行い、起動させます。これによって、2つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[8:0] ビットを 00000000b にします。すべてのイベントリンクを停止させるには、ELCR.ELCON ビットを 0 にします。

RTC のイベントリンク出力機能を使用する場合は、RTC の設定 (初期化、時刻設定など) を行った後、ELC を設定してください。ELC の設定後に RTC の設定を行うと、意図しないイベント出力が発生する可能性があります。

## 19.4 使用上の注意事項

### 19.4.1 DMAC/DTC 転送終了のイベントリンクを使用する場合

DMAC または DTC 転送終了のイベントリンクを使用する場合、DMAC または DTC の転送先とイベントのリンク先を同一周辺モジュールに設定しないでください。設定すると、周辺モジュールへの DMAC または DTC 転送が完了する前に、周辺モジュールが起動する場合があります。

### 19.4.2 クロック設定について

イベントリンクを使用するには、ELC と対象モジュールが動作可能な状態でなければいけません。対象モジュールがモジュールストップ状態の場合、または、対象モジュールが停止するような低消費電力モード（ソフトウェアスタンバイモード）の場合、そのモジュールは動作できません。モジュールによっては、スヌーズモードで動作できるものもあります。詳細については、表 19.3 と「11. 低消費電力モード」を参照してください。

### 19.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC の動作を禁止または許可することが可能です。リセット後、ELC の動作は停止されています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細については、表 19.3 と「11. 低消費電力モード」を参照してください。

モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。

## 20. I/Oポート

### 20.1 概要

I/Oポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、ELCのポートグループ機能、またはバス制御端子として動作します。すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。端子ごとに、対応するI/Oポートと周辺モジュールをレジスタで設定できます。図20.1に、I/Oポートレジスタの接続図を示します。

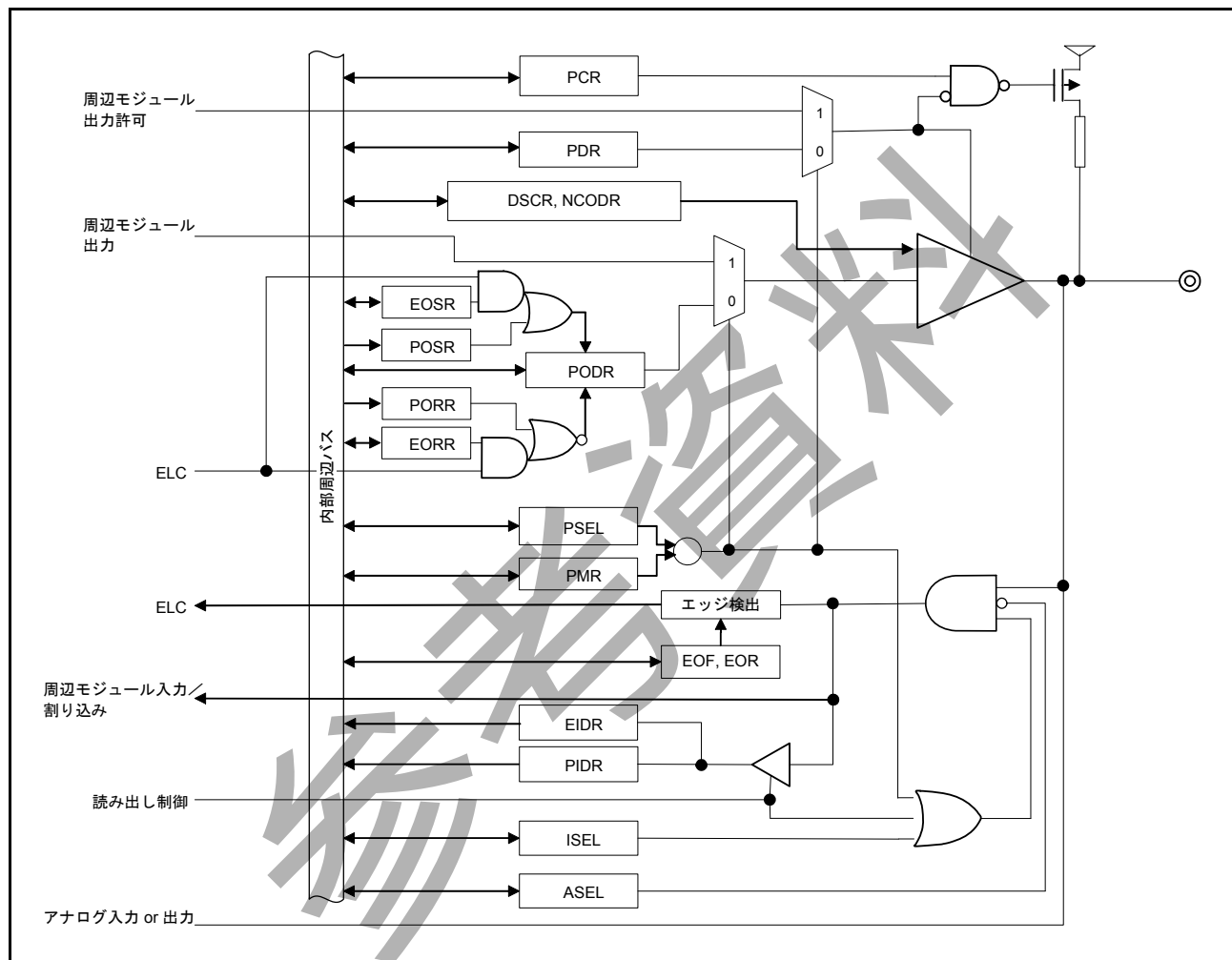


図 20.1 I/Oポートレジスタの接続図

注. この図はポートの基本構成を示しています。ポートによって構成は異なります。

パッケージによって、I/Oポートの構成は異なります。表20.1にI/Oポートの仕様を、表20.2にI/Oポートの機能を示します。

表 20.1 I/Oポートの仕様

ポート	パッケージ		パッケージ		パッケージ		パッケージ	
	144ピン、 145ピン	本数	121ピン	本数	100ピン	本数	64ピン	本数
ポート0	P000～P015	16	P000～P008, P010～P015	15	P000～P008, P010～P015	15	P000～P004, P010～P015	11
ポート1	P100～P115	16	P100～P115	16	P100～P115	16	P100～P113	14
ポート2	P200～ P206, P212 ～P215	11	P200～P206, P212～P215	11	P200～P206, P212～P215	11	P200, P201, P204 ～P206, P212～ P215	9
ポート3	P300～P315	16	P300～P309, P313～P315	13	P300～P307	8	P300～P304	5
ポート4	P400～P415	16	P400～P415	16	P400～P415	16	P400～P402, P407～P411	8
ポート5	P500～ P507, P511, P512	10	P500～P506, P511, P512	9	P500～P505	6	P500～P502	3
ポート6	P600～ P606, 608～ P614	14	P600～P605, P608～P613	12	P600～P603, P608～P610	7	なし	0
ポート7	P700～ P705, P708 ～P713	12	P700～P702, P708～P710	6	P708	1	なし	0
ポート8	P800～P809	10	P800, P801, P808, P809	4	P808, P809	2	なし	0
ポート9	P900～P902	3	なし	0	なし	0	なし	0
	合計本数	124	合計本数	102	合計本数	82	合計本数	50

表 20.2 I/Oポートの機能

ポート	ポート名	入力プルアップ	オープン ドレイン出力	駆動能力切り替え	5Vトレラント
ポート0	P000～P015	○	—	低/中	—
ポート1	P100～P115	○	○	低/中	—
ポート2	P200, P214, P215	—	—	—	—
	P201～P204	○	○	低/中	—
	P205, P206	○	○	低/中	○
	P212, P213	○	○	—	—
ポート3	P300～P315	○	○	低/中	—
ポート4	P400～P404, P407	○	○	低/中	○
	P405, P406, P408～P415	○	○	低/中	—
ポート5	P500～P507	○	○	低/中	—
	P511, P512	○	○	低/中	○
ポート6	P600～P606, 608～P614	○	○	低/中	—
ポート7	P700～P705, P708～P713	○	○	低/中	—
ポート8	P800～P809	○	○	低/中	—
ポート9	P900～P902	○	○	低/中	—

## 20.2 レジスタの説明

### 20.2.1 ポートコントロールレジスタ 1 (PCNTR1)

アドレス PORT0.PCNTR1 4004 0000h, PORT1.PCNTR1 4004 0020h, PORT2.PCNTR1 4004 0040h, PORT3.PCNTR1 4004 0060h, PORT4.PCNTR1 4004 0080h, PORT5.PCNTR1 4004 00A0h, PORT6.PCNTR1 4004 00C0h, PORT7.PCNTR1 4004 00E0h, PORT8.PCNTR1 4004 0100h, PORT9.PCNTR1 4004 0120h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PODR 15	PODR 14	PODR 13	PODR 12	PODR 11	PODR 10	PODR 09	PODR 08	PODR 07	PODR 06	PODR 05	PODR 04	PODR 03	PODR 02	PODR 01	PODR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR09	PDR08	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PDRn	Pmn 方向	0 : 入力 (入力端子として機能) 1 : 出力 (出力端子として機能)	R/W
b31-b16	PODRn	Pmn 出力データ	0 : Low 出力 1 : High 出力	R/W

m = 0 ~ 9

n = 00 ~ 15

PDR ビットは、汎用入出力端子として設定されている個々のポート端子の入力/出力方向を選択します。ポート m の各端子はそれぞれ PORTm.PDR ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。P200、P214、P215 は入力専用です。そのため PORT2.PCNTR1.b0、b14、b15 は予約ビットです。

PODR は、汎用入出力端子から出力されるデータを格納するビットです。存在しないポート m のビットは予約ビットです。これらのビットには 0 を書いてください。存在しない端子のビットは予約ビットです。P200、P214、P215 は入力専用です。そのため PORT2.PCNTR1.b0、b14、b15 は予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。

## 20.2.2 ポートコントロールレジスタ 2 (PCNTR2)

アドレス PORT0.PCNTR2 4004 0004h, PORT1.PCNTR2 4004 0024h, PORT2.PCNTR2 4004 0044h, PORT3.PCNTR2 4004 0064h, PORT4.PCNTR2 4004 0084h, PORT5.PCNTR2 4004 00A4h, PORT6.PCNTR2 4004 00C4h, PORT7.PCNTR2 4004 00E4h, PORT8.PCNTR2 4004 0104h, PORT9.PCNTR2 4004 0124h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EIDR15	EIDR14	EIDR13	EIDR12	EIDR11	EIDR10	EIDR09	EIDR08	EIDR07	EIDR06	EIDR05	EIDR04	EIDR03	EIDR02	EIDR01	EIDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIDR15	PIDR14	PIDR13	PIDR12	PIDR11	PIDR10	PIDR09	PIDR08	PIDR07	PIDR06	PIDR05	PIDR04	PIDR03	PIDR02	PIDR01	PIDR00
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b15-b0	PIDRn	Pmn入力データ	0: Low入力 1: High入力	R
b31-b16	EIDRn	Pmnイベント入力データ (注1)	ELC_PORTxの発生時: 0: Low入力 1: High入力	R

m = 0 ~ 9

n = 00 ~ 15

x = 1 ~ 4

注1. ポート1~4に対応しています。

PIDR ビットは、PORTm.PIDR ビットと PORTm.PDR ビットの設定値にかかわらず、個々のポートの端子状態を反映します。PORTm.PMR = 1 または PORTm.PDR = 1 の場合、リードデータは“Don't care”です。存在しない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。書き換えることはできません。NMI 端子の状態は P200 から読み出されます。ただし、PmnPFS.ASEL ビットが 1 の場合は読み出すことができません。

EIDR ビットは、ELC\_PORTx 信号の発生時に端子状態をラッチします。PORTm.PMR = 0 かつ PORTm.PDR = 0 の場合にのみ、EIDR に端子状態を入力できます。PORTm.PMR = 1 または PORTm.PDR = 1 の場合、リードデータは“Don't care”です。存在しない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。NMI 端子の状態は P200 から読み出されます。ただし、PmnPFS.ASEL ビットが 1 の場合は読み出すことができません。

## 20.2.3 ポートコントロールレジスタ 3 (PCNTR3)

アドレス PORT0.PCNTR3 4004 0008h, PORT1.PCNTR3 4004 0028h, PORT2.PCNTR3 4004 0048h, PORT3.PCNTR3 4004 0068h, PORT4.PCNTR3 4004 0088h, PORT5.PCNTR3 4004 00A8h, PORT6.PCNTR3 4004 00C8h, PORT7.PCNTR3 4004 00E8h, PORT8.PCNTR3 4004 0108h, PORT9.PCNTR3 4004 0128h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	POSRn	Pmn出力設定	0 : 出力に影響なし 1 : High出力	W
b31-b16	PORRn	Pmn出力リセット	0 : 出力に影響なし 1 : Low出力	W

m = 0 ~ 9

n = 00 ~ 15

POSR ビットがソフトウェア書き込みによって設定されると、PODR ビットが変更されます。たとえば P100 の場合、PORT1.POSR00 = 1 であると、PORT1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200、P214、P215 は入力専用です。そのため PORT2.PCNTR3.b0、b14、b15 は予約ビットです。

PORR ビットがソフトウェア書き込みによってリセットされると、PODR ビットが変更されます。たとえば P100 の場合、PORT1.PORR00 = 1 であると、PORT1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200、P214、P215 は入力専用です。そのため PORT2.PCNTR3.b16、b30、b31 は予約ビットです。

## 20.2.4 ポートコントロールレジスタ 4 (PCNTR4)

アドレス PORT1.PCNTR4 4004 002Ch, PORT2.PCNTR4 4004 004Ch, PORT3.PCNTR4 4004 006Ch, PORT4.PCNTR4 4004 008Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	EOSRn	Pmn イベント出力設定	ELC_PORTxの発生時： 0：出力に影響なし 1：High出力	R/W
b31-b16	EORRn	Pmn イベント出力リセット	ELC_PORTxの発生時： 0：出力に影響なし 1：Low出力	R/W

m = 1 ~ 4

n = 00 ~ 15

x = 1 ~ 4

EOSR ビットが ELC\_PORTx 信号の発生によって設定されると、PODR ビットが変更されます。たとえば P100 の場合、ELC\_PORTx 信号の発生時に PORT1.EOSR00 が 1 になると、PORT1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200、P214、P215 は入力専用です。そのため PORT2.PCNTR3.b0、b14、b15 は予約ビットです。

EORR ビットが ELC\_PORTx 信号の発生によってリセットされると、PODR ビットが変更されます。たとえば P100 の場合、ELC\_PORTx の発生時に PORT1.EORR00 が 1 になると、PORT1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200、P214、P215 は入力専用です。そのため PORT2.PCNTR4.b16、b30、b31 は予約ビットです。



## 20.2.5 ポート mn 端子機能選択レジスタ (PmnPFS) (m = 0 ~ 9; n = 00 ~ 15)

アドレス PFS.P000PFS 4004 0800h ~ PFS.P015PFS 4004 083Ch, PFS.P100PFS 4004 0840h ~ PFS.P115PFS 4004 087Ch, PFS.P200PFS 4004 0880h ~ PFS.P206PFS 4004 0898h, PFS.P212PFS 4004 08B0h ~ PFS.P215PFS 4004 08BCh, PFS.P300PFS 4004 08C0h ~ PFS.P315PFS 4004 08FCh, PFS.P400PFS 4004 0900h ~ PFS.P415PFS 4004 093Ch, PFS.P500PFS 4004 0940h ~ PFS.P507PFS 4004 095Ch, PFS.P511PFS 4004 096Ch, PFS.P512PFS 4004 0970h, PFS.P600PFS 4004 0980h ~ PFS.P606PFS 4004 0998h, PFS.P608PFS 4004 09A0h ~ PFS.P614PFS 4004 09B8h, PFS.P700PFS 4004 09C0h ~ PFS.P705PFS 4004 09D4h, PFS.P708PFS 4004 09E0h ~ PFS.P713PFS 4004 09F4h, PFS.P800PFS 4004 0A00h ~ PFS.P809PFS 4004 0A28h, PFS.P900PFS 4004 0A40h ~ PFS.P902PFS 4004 0A48h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	—	PSEL[4:0]				—	—	—	—	—	—	—	—	—	PMR
リセット後の値																
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 (注2)	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
ASEL	ISEL	EOF	EOR	—	DSCR	—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR	
リセット後の値																
0	0	0	0	0	0 (注2)	0	0	0	0	0	0 (注2)	0	0	x	0	

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	PODR	ポート出力データ	0: Low出力 1: High出力	R/W
b1	PIDR	ポート入力データ	0: Low出力 1: High出力	R
b2	PDR	ポート方向	0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PCR	プルアップ制御	0: 入力プルアップ無効 1: 入力プルアップ有効	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	NCODR	Nチャンネルオープンドレイン制御	0: CMOS出力 1: NMOSオープンドレイン出力	R/W
b9-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	DSCR	ポート駆動能力	0: 低駆動 1: 中駆動	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	EOF/EOR	立ち下がり時イベント/立ち上がり時イベント (注1)	b13 b12 0 0: Don't care 0 1: 立ち上がりエッジ検出 1 0: 立ち下がりエッジ検出 1 1: 両エッジ検出	R/W
b14	ISEL	IRQ入力許可	0: IRQn入力端子として使用しない 1: IRQn入力端子として使用する	R/W
b15	ASEL	アナログ入力許可	0: アナログ端子として使用しない 1: アナログ端子として使用する	R/W
b16	PMR	ポートモード制御	0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28-b24	PSEL[4:0]	周辺機能選択	周辺機能を選択します。各端子の機能については、本章の関連する表を参照してください。	R/W
b31-b29	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. ポート1~4に対応しています。

注2. P108、P109、P110、P201、P300の初期値は0000 0000h以外になります。

P108は0001 0010h、P109は0001 0000h、P110は0001 0010h、P201は0000 0010h、P300は0001 0010hとなります。

ポートmn端子機能コントロールレジスタ(PmnPFS)は、端子機能を選択します。

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR 値が読めます。

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。端子が入力状態にあって、PORTm.PCR の対応するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。外部バス端子、汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

DSCR ビットは、ポートの駆動能力を切り替えます。駆動能力が固定されている端子の当該ビットは、読み出し/書き込み可能ですが、駆動能力の切り替えはできません。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

EOF/EOR ビットは、ポートグループ入力信号のエッジ検出方法を選択します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOR/EOF ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

ISEL ビットは、IRQ 入力端子を設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可しないでください。

ASEL ビットは、アナログ端子を設定します。このビットでアナログ端子に設定する場合、以下のように指定します。

1. ポートモードレジスタ (PORTm.PMR) で、汎用入出力ポートに指定します。
2. プルアップコントロールレジスタ (PORTm.PCR) で、入力プルアップ抵抗を無効にします。
3. ポート方向レジスタ (PORTm.PDR) で、入力に設定します。このとき、端子状態を読むことはできません。PmnPFS レジスタは、ライトプロテクトレジスタ (PWPR) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定の IRQn に対する ISEL ビットは予約ビットです。未指定のアナログ入出力に対する ASEL ビットは予約ビットです。

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

PSEL[4:0] ビットは、周辺機能を割り当てます。

製品ごとの周辺選択設定の詳細は、[20.6 製品ごとの周辺選択設定](#)を参照してください。

## 20.2.6 書き込みプロテクトレジスタ (PWPR)

アドレス PMISC.PWPR 4004 0D03h

	b7	b6	b5	b4	b3	b2	b1	b0
	B0WI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	PFSWE	PmnPFSレジスタ書き込み許可	0 : PmnPFSレジスタへの書き込みを禁止 1 : PmnPFSレジスタへの書き込みを許可	R/W
b7	B0WI	PFSWEビット書き込み禁止	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

### PFSWE ビット (PmnPFS レジスタ書き込み許可)

PFSWE ビットを1にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに0を書きしてから、PFSWE ビットを1にする必要があります。

### B0WI ビット (PFSWE ビット書き込み禁止)

B0WI ビットを0にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

## 20.3 動作説明

### 20.3.1 汎用入出力ポート

リセット後は、すべての端子は汎用入力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ (PCNTRn, n=1~4) によるポート単位のアクセス、または端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は、[20.2 レジスタの説明](#)を参照してください。

各ポートのレジスタを以下に示します。

- ポート方向レジスタ (PDR) : 入力/出力の方向を選択する
- ポート出力データレジスタ (PODR) : 出力用データを格納する
- ポート入力データレジスタ (PIDR) : 端子状態を示す
- イベント入力データレジスタ (EIDR) : ELC\_PORTx 信号発生時の端子状態を示す
- ポート出力設定レジスタ (POSR) : ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットレジスタ (PORR) : ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定レジスタ (EOSR) : ELC\_PORTx 信号発生時の出力値を示す
- イベント出力リセットレジスタ (EORR) : ELC\_PORTx 信号発生時の出力値を示す

### 20.3.2 ポート機能選択

下記のポート機能を使用して、各端子の設定が可能です。

- 入出力設定 — 相補出力またはオープンドレイン出力、プルアップ制御、および駆動強度
- 汎用入出力ポート — ポート方向、出力データ設定、および読み出し入力データ
- 代替機能 — 端子への設定機能の割り当て

各端子はそれぞれ端子機能選択レジスタ (PmnPFS) に対応しており、PODR、PIDR、PDR などの対応ビットを持ちます。さらに、PmnPFS レジスタは以下のビットを持ちます。

- PCR : 入力プルアップ MOS のオン/オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR : 各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- DSCR : 駆動能力を選択するための駆動能力制御ビット
- EOR : ポート入力の立ち上がりエッジ検出に使用する立ち上がり時イベントビット
- EOF : ポート入力の立ち下がりエッジ検出に使用する立ち下がり時イベントビット
- ISEL : IRQ 入力端子を設定するための IRQ 入力許可ビット
- ASEL : アナログ端子を設定するためのアナログ入力許可ビット
- PMR : 各ポートの端子機能を設定するためのポートモードビット
- PSEL : 対応する周辺機能を選択するためのポート機能選択ビット

これらの設定を実行するには、端子機能選択レジスタに対して単一レジスタアクセスを行います。詳細は、[20.2.5 ポート mn 端子機能選択レジスタ \(PmnPFS\) \(m = 0 ~ 9; n = 00 ~ 15\)](#)を参照してください。

### 20.3.3 ELC のポートグループ機能

本 MCU では、ポート 1～4 がポートグループ機能に割り当てられています。

#### 20.3.3.1 ELC から ELC\_PORTx が入力された場合の動作

本 MCU は、ELC から ELC\_PORTx 信号が入力されたとき、以下の 2 つの機能をサポートしています。

##### (1) EIDR への入力

GPI 機能 (PmnPFS レジスタで PDR = 0 および PMR = 0) では、ELC から ELC\_PORTx 信号が入力されると、入出力セルの入力許可がアサートされ、外部端子からのデータが EIDR ビットに読み込まれます。

GPO 機能 (PDR = 1) または周辺モード (PMR = 1) では、外部端子から EIDR ビットに 0 が入力されます。

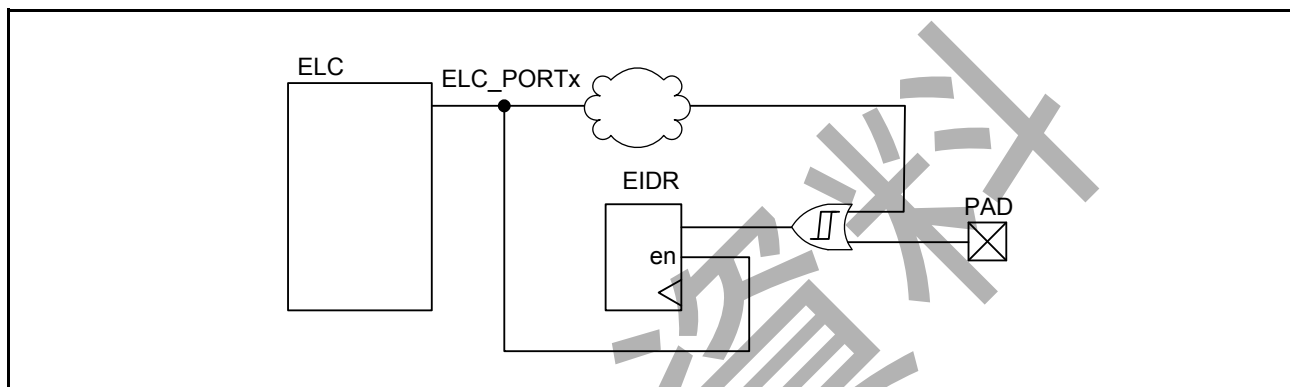


図 20.2 イベントポート入力データ

##### (2) EOSR/EORR による PODR からの出力

ELC\_PORTx 信号の発生時に、EOSR/EORR ビットの設定に基づいて、PODR から外部端子へデータが出力されます。

- EOSR を 1 にすると、ELC\_PORTx 信号発生時に PODR レジスタは外部端子へ 1 を出力します。EOSR = 0 の場合、PODR の値はそのままです。
- EORR を 1 にすると、ELC\_PORTx 信号発生時に PODR レジスタは外部端子へ 0 を出力します。EORR = 0 の場合、PODR の値はそのままです。

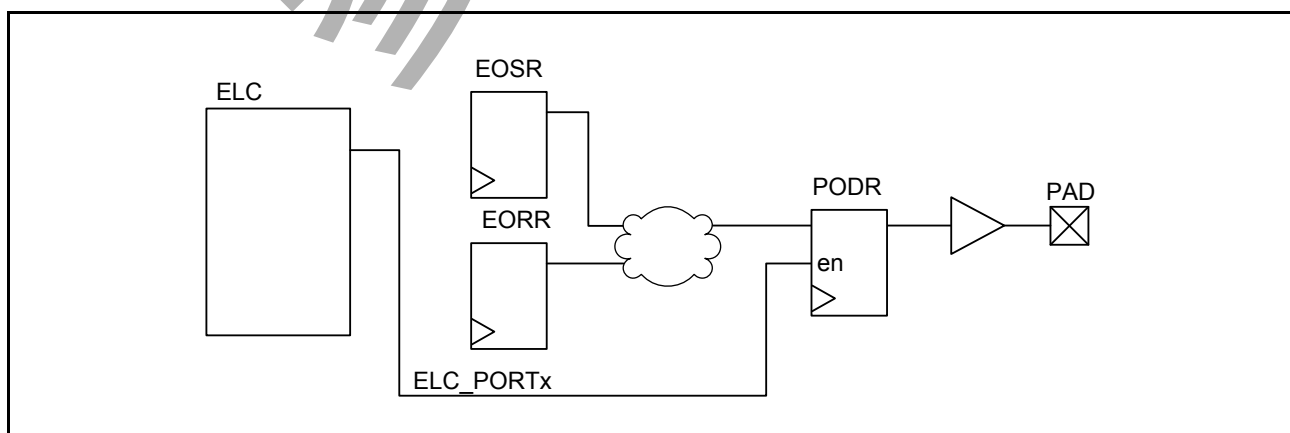


図 20.3 イベントポート出力データ

### 20.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC にイベントパルスを出力するには、PmnPFS.EOR/EOF ビットを設定します。詳細は、[20.2.5 ポート mn 端子機能選択レジスタ \(PmnPFS\) \(m = 0 ~ 9; n = 00 ~ 15\)](#) を参照してください。EOR/EOF ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子のデータが入力となります。たとえばポート 1 に対して、P100 から P115 へデータが入力されると、これら 16 端子のデータは OR 論理で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート 2 ~ 4 の動作も同じです。

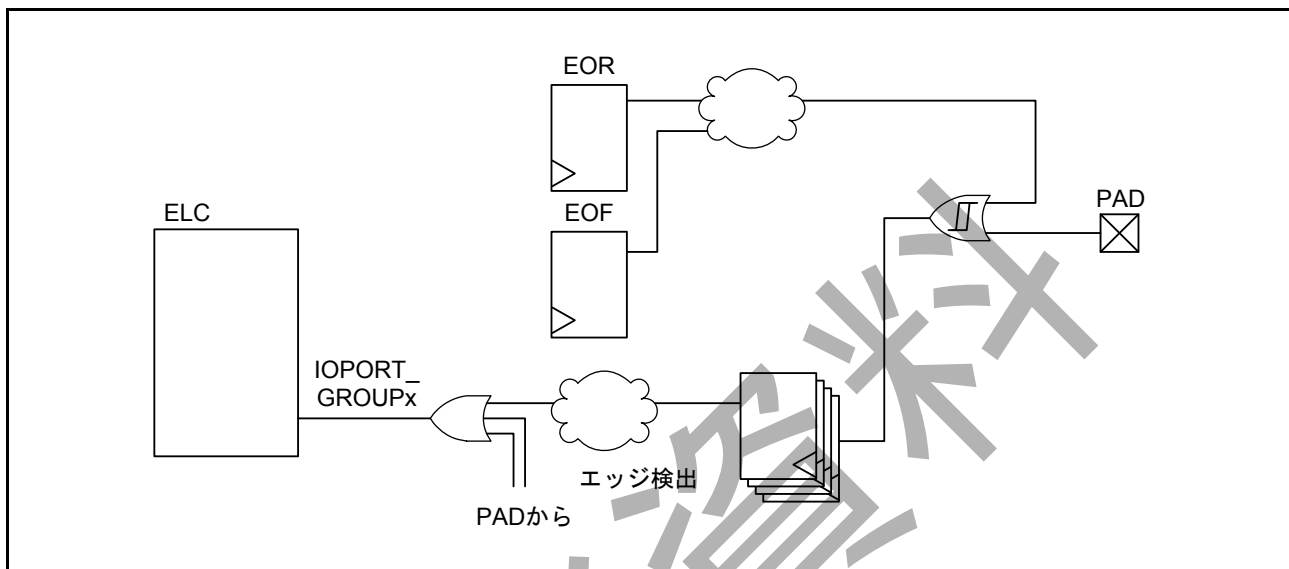


図 20.4 イベントパルスの発生

## 20.4 未使用端子の処理

表 20.3 に、未使用端子の処理方法を示します。

表 20.3 未使用端子の処理

端子名	内容
P201/MD	モード端子として使用
RES	抵抗を介してVCCに接続（プルアップ）
USB_DP	開放したまま
USB_DM	開放したまま
P200/NMI	抵抗を介してVCCに接続（プルアップ）
P212/EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTPビットを1（汎用ポートP212）に設定。この端子をポートP212として使用しない場合、ポート1～9と同じ方法で設定される
P213/XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTPビットを1（汎用ポートP213）に設定。この端子をポートP213として使用しない場合、ポート1～9と同じ方法で設定される。外部クロックがEXTAL端子に入力される場合、この端子は開放したまま
P215/XCIN	サブクロック発振器を使用しない場合、SOSCCR.SOSTPビットを1（汎用ポートP215）に設定。この端子をポートP215として使用しない場合、ポート1～9と同じ方法で設定される
P214/XCOUT	サブクロック発振器を使用しない場合、SOSCCR.SOSTPビットを1（汎用ポートP214）に設定。この端子をポートP214として使用しない場合、ポート1～9と同じ方法で設定される
P000～P007	入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子は抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）（注1）
P000～P015 P1x～P9x	入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子は抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）（注1）。出力（PCNTR1.PDRn = 1）に設定した場合、端子を開放（注1）（注2）
VREFH0, VREFH	AVCC0に接続（注3）
VREFL0, VREFL	AVSS0に接続（注3）

- 注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。
- 注 2. 出力に設定されているため端子を解放する場合、リセット解除から端子が出力状態になるまでの間、ポートは入力状態になります。そのため、ポートが入力状態の間は、端子の電圧レベルが不定となり、電源電流が増加する場合があります。
- 注 3. 詳細は、「50. 内部電圧レギュレータ」を参照してください。

## 20.5 使用上の注意事項

### 20.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.BOWI ビットをクリアします。PWPR.PFSWE ビットに書き込みできるようになります。
2. PWPR.PFSWE ビットを1にします。PmnPFS レジスタに書き込みできるようになります。
3. 当該端子のPMRのポートモード制御をクリアして、汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0] ビットによって、この端子の入出力機能を設定します。
5. 必要に応じてPMRを1にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。
7. PWPR.BOWI ビットを1にします。PWPR.PFSWE ビットへの書き込みが禁止されます。

### 20.5.2 ポートグループ入力の使用手順

ポートグループ入力（ポート1～4）を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[8:0] ビットを00000000bにして、意図しないパルスを見逃します。詳細は、「[19. イベントリンクコントローラ \(ELC\)](#)」を参照してください。
2. PmnPFS.EOF/EOR ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、少しの間（たとえば100ns）待ちます。意図しないパルスを見逃するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[8:0] ビットを設定して、イベント信号を許可します。

### 20.5.3 ポート出力データレジスタ (PODR) の概要

このレジスタは下記のようにデータを出力します。

1. PCNTR4.EORR ビットを1にすると、ELC\_PORTx 信号発生時に0を出力する。
2. PCNTR4.EOSR ビットを1にすると、ELCからのELC\_PORTx 発生時に1を出力する。
3. PCNTR3.PORR ビットを1にすると、0を出力する。
4. PCNTR3.POSR ビットを1にすると、1を出力する。
5. PCNTR1.PODR ビットが設定されると、0または1を出力する。
6. PmnPFS.PODR ビットが設定されると、0または1を出力する。

上記の番号は、PODR への書き込み優先順位に相当しています。たとえば、上記の1.と3.が同時に発生した場合、優先度の高い1.が実行されます。

### 20.5.4 アナログ機能を使う場合の注意事項

アナログ機能を使用するには、ポートモードコントロールレジスタ (PMR) とポート方向レジスタ (PDR) の対応するビットを両方とも0にして、端子が汎用入力ポートとして動作できるようにしてください。その後、ポートmn端子機能コントロールレジスタの端子機能選択ビット (PmnPFS.ASEL) を1にしてください。



### 20.5.5 入出力バッファの仕様

P402、P403、および P404 端子が内部プルアップ抵抗で出力または入力に構成されている場合は、バッテリーバックアップ機能を使用するか否かにかかわらず、I/O レジスタを設定する前に、VBTCR1.BPWSWSTP ビットを 1 にしてください。この設定は、パワーオンリセット後に一度だけ必要です。また、バッテリーバックアップ機能を使用する場合は、バッテリーバックアップ機能関連のレジスタを設定した後、再度 VBTCR1.BPWSWSTP ビットを 0 にしてください。

VBTCR1.BPWSWSTP ビットの設定フローが、[図 12.2](#) に示されています。

P402 端子、P403 端子、および P404 端子は、RTC 入力端子 RTCICn ( $n=0\sim 2$ ) として使用できます。VBTICTLR レジスタでこれらの入力端子を有効にすると、端子の出力機能は強制的に無効になります。そのため、ポート機能を使用するには、VBTICTLR レジスタを 1 にする必要があります。

注． VBTICTLR レジスタは、リセット時に初期化されません。詳細は、「[12. バッテリーバックアップ機能](#)」を参照してください。

参考資料

## 20.6 製品ごとの周辺選択設定

本節では、PmnPFS レジスタによる端子機能選択設定について詳しく説明します。いくつかの端子名には、A、B、および C という接尾語が付加されています。IIC、SPI、および SSI 機能を割り当てる場合、同じ接尾語の機能端子を選択してください。その他の端子は、接尾語に関係なく選択可能です。ただし、同じ機能を2つ以上の端子に同時に割り当てないでください。

表 20.4 入出力端子機能のレジスタ設定 (ポート0)

PSEL[4:0] ビット設定値	機能	端子							
		P000	P001	P002	P003	P004	P005	P006	P007
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z							
01100b	CTSU	TS21	TS22	—	—	—	TS26	TS27	—
ASEL ビット		AN000/ AMP0+/ IVREF0/ IVCMP0	AN001/ AMP0-/ IVREF1/ IVCMP1	AN002/ AMP00/ IVREF2/ IVCMP2	AN003/ AMP10/ IVREF3/ IVCMP3	AN004/ AMP20/ IVCMP0	AN005/ AMP3+/ IVREF0	AN006/ AMP3-/ IVREF4/ IVREF1	AN007/ AMP30/ IVCMP4/ IVCMP1
ISEL ビット		IRQ6	IRQ7	IRQ8	—	IRQ9	IRQ10	IRQ11	—
PCR ビット		○	○	○	○	○	○	○	○
DSCR ビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○	○	○
121ピン製品		○	○	○	○	○	○	○	○
100ピン製品		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	○	○	○	○

PSEL[4:0] ビット設定値	機能	端子							
		P008	P009	P010	P011	P012	P013	P014	P015
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z							
01100b	CTSU	TS29	—	TS30	TS31	—	—	—	—
ASEL ビット		AN008	AN009	AN010/ AMP2-/ VREFH0	AN011/ AMP2+/ VREFL0	AN012/ AMP1-/ VREFH	AN013/ AMP1+/ VREFL	AN014/ IVREF5/ IVREF2/ DA0	AN015/ IVCMP5/ IVCMP2/ DA1
ISEL ビット		IRQ12	IRQ13	IRQ14	IRQ15	—	—	—	IRQ13
PCR ビット		○	○	○	○	○	○	○	○
DSCR ビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○	○	○
121ピン製品		○	○	○	○	○	○	○	○
100ピン製品		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	○	○	○	○

○：使用可能  
—：設定禁止

表 20.5 入出力端子機能のレジスタ設定（ポート1）（1）

PSEL[4:0] ビット設定値	機能	端子							
		P100	P101	P102	P103	P104	P105	P106	P107
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	AGTIO0_A	AGTEE0	AGTO0	—	—	—	—	—
00010b	GPT	GTETRG_A	GTETRG_B	GTOWLO_A	GTOWUP_A	GTETRG_B	GTETRG_C	—	—
00011b	GPT	—	—	GTIOC2B_A	GTIOC2A_A	—	—	GTIOC8B_A	GTIOC8A_A
00100b	SCI	RXD0_A/ MISO0_A/ SCL0_A	TXD0_A/ MOSI0_A/ SDA0_A	SCK0_A	CTS0_RTS0_A/ SS0_A	—	—	—	—
00101b	SCI	SCK1_A	CTS1_RTS1_A/ SS1_A	—	—	—	—	—	—
00110b	SPI	MISOA_A	MOSIA_A	RSPCKA_A	SSLA0_A	SSLA1_A	SSLA2_A	SSLA3_A	—
00111b	IIC	SCL1_B	SDA1_B	—	—	—	—	—	—
01000b	KINT	KR00	KR01	KR02	KR03	KR04	KR05	KR06	KR07
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	—	—	—	—	—	—	—
01010b	CAC/ADC14	—	—	ADTRG0_A	—	—	—	—	—
01011b	BUS	D00	D01	D02	D03	D04	D05	D06	D07
01101b	SLCDC	VL1	VL2	VL3	VL4	COM0	COM1	COM2	COM3
10010b	SSI	—	—	—	—	—	—	—	—
ASEL ビット		AN027/ CMPIN0	AN026/ CMPREF0	AN025/ CMPIN1	AN024/ CMPREF1	—	—	—	—
ISEL ビット		IRQ2	IRQ1	—	—	IRQ1	IRQ0	—	—
NCODR ビット		○	○	○	○	○	○	○	○
PCR ビット		○	○	○	○	○	○	○	○
DSCR ビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○	○	○
121ピン製品		○	○	○	○	○	○	○	○
100ピン製品		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	○	○	○	○

○：使用可能  
—：設定禁止

表 20.6 入出力端子機能のレジスタ設定（ポート1）（2）

PSEL[4:0] ビット設定値	機能	端子							
		P108	P109	P110	P111	P112	P113	P114	P115
00000b (リセット後の値)	Hi-Z/JTAG/SWD	TMS/ SWDIO	TDO/ SWO	TDI	Hi-Z				
00001b	AGT	—	—	—	—	—	—	—	—
00010b	GPT	—	GTOVUP_A	GTOVLO_A	—	—	—	—	—
00011b	GPT	GTIOC0B_A	GTIOC1A_A	GTIOC1B_A	GTIOC3A_A	GTIOC3B_A	—	—	—
00100b	SCI	—	—	CTS2_RTS2_B /SS2_B	SCK2_B	TXD2_B/ MOSI2_B/ SDA2_B	RXD2_B/ MISO2_B/ SCL2_B	—	—
00101b	SCI	CTS9_RTS9_B /SS9_B	TXD9_B/ MOSI9_B/ SDA9_B	RXD9_B/ MISO9_B/ SCL9_B	SCK9_B	—	—	—	—
00110b	SPI	SSLB0_B	MOSIB_B	MISOB_B	RSPCKB_B	—	—	—	—
00111b	IIC	—	—	—	—	—	—	—	—
01000b	KINT	—	—	—	—	—	—	—	—
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	CLKOUT_B	VCOUT	—	—	—	—	—
01010b	CAC/ADC14	—	—	—	—	—	—	—	—
01011b	BUS	—	—	—	A05	A04	A03	A02	A01
01101b	SLCDC	—	—	—	CAPH	CAPL	SEG0/COM4	SEG24	SEG25
10010b	SSI	—	—	—	—	SSISCK0_B	SSIWS0_B	SSIIRD0_B	SSITXD0_B
ASELビット	—	—	—	—	—	—	—	—	—
ISELビット	—	—	—	IRQ3	IRQ4	—	—	—	—
NCODRビット	—	○	○	○	○	○	○	○	○
PCRビット	—	○	○	○	○	○	○	○	○
DSCRビット	—	低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品	—	○	○	○	○	○	○	○	○
121ピン製品	—	○	○	○	○	○	○	○	○
100ピン製品	—	○	○	○	○	○	○	○	○
64ピン製品	—	○	○	○	○	○	○	○	○

○：使用可能  
—：設定禁止

表 20.7 入出力端子機能のレジスタ設定（ポート2）（1）

PSEL[4:0] ビット設定値	機能	端子						
		P200	P201	P202	P203	P204	P205	P206
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z						
00001b	AGT	—	—	—	—	AGTIO1_A	AGTO1	—
00010b	GPT	—	—	—	—	GTIW_A	GTIV_A	GTIU_A
00011b	GPT	—	—	GTIOC5B_A	GTIOC5A_A	GTIOC4B_B	GTIOC4A_B	—
00100b	SCI	—	—	SCK2_A	CTS2_RTS2_A /SS2_A	SCK4_A	TXD4_A/ MOSI4_A/ SDA4_A	RXD4_A/ MISO4_A/ SCL4_A
00101b	SCI	—	—	RXD9_A/ MISO9_A/ SCL9_A	TXD9_A/ MOSI9_A/ SDA9_A	SCK9_A	CTS9_RTS9_A /SS9_A	—
00110b	SPI	—	—	MISOB_A	MOSIB_A	RSPCKB_A	SSLB0_A	SSLB1_A
00111b	IIC	—	—	—	—	SCL0_B	SCL1_A	SDA1_A
01000b	KINT	—	—	—	—	—	—	—
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	—	—	—	—	CLKOUT_A	—
01010b	CAC/ADC14	—	—	—	—	CACREF_A	—	—
01011b	BUS	—	—	WR1/ BC1	—	—	A16	WAIT
01100b	CTSU	—	—	—	TSCAP_B	TS00	TSCAP_A	TS01
01101b	SLCDC	—	—	SEG21	SEG22	SEG23	—	—
10000b	CAN	—	—	CRX0_A	CTX0_A	—	—	—
10001b	QSPI	—	—	—	—	—	—	—
10010b	SSI	—	—	—	—	SSISCK1_A	SSIWS1_A	SSIDATA1_A
10011b	USBFS	—	—	—	—	USB_OVRCUR B_A	USB_OVRCUR A_A	USB_VBUSEN _A
10101b	SDHI	—	—	SD0DAT6	SD0DAT5	SD0DAT4	SD0DAT3	SD0DAT2
ISEL ビット		NMI	—	IRQ3	IRQ2	—	IRQ1	IRQ0
NCODR ビット		○	○	○	○	○	○	○
PCR ビット		○	○	○	○	○	○	○
DSCR ビット		—	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○	○
121ピン製品		○	○	○	○	○	○	○
100ピン製品		○	○	○	○	○	○	○
64ピン製品		○	○			○	○	○

○：使用可能  
—：設定禁止

表 20.8 入出力端子機能のレジスタ設定（ポート2）（2）

PSEL[4:0] ビット設定値	機能	端子			
		P212	P213	P214	P215
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z			
00001b	AGT	AGTEE1	—	—	—
00010b	GPT	GTETRGD_A	GTETRGC_A	—	—
00011b	GPT	—	—	—	—
00100b	SCI	—	—	—	—
00101b	SCI	RXD1_A/ MISO1_A/ SCL1_A	TXD1_A/ MOSI1_A/ SDA1_A	—	—
00110b	SPI	—	—	—	—
00111b	IIC	—	—	—	—
01000b	KINT	—	—	—	—
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	—	—	—
01010b	CAC/ADC14	—	—	—	—
01011b	BUS	—	—	—	—
01100b	CTSU	—	—	—	—
01101b	SLCDC	—	—	—	—
10000b	CAN	—	—	—	—
10001b	QSPI	—	—	—	—
10010b	SSI	—	—	—	—
10011b	USBFS	—	—	—	—
10101b	SDHI	—	—	—	—
ISEL ビット		IRQ3	IRQ2	—	—
NCODR ビット		○	○	—	—
PCR ビット		○	○	—	—
DSCR ビット		—	—	—	—
145ピン製品、144ピン製品		○	○	○	○
121ピン製品		○	○	○	○
100ピン製品		○	○	○	○
64ピン製品		○	○	○	○

○：使用可能  
—：設定禁止

表 20.9 入出力端子機能のレジスタ設定 (ポート3)

PSEL[4:0] ビット設定値	機能	端子							
		P300	P301	P302	P303	P304	P305	P306	P307
00000b (リセット後の値)	Hi-Z/JTAG/SWD	TCK/ SWCLK	Hi-Z						
00010b	GPT	—	GTOULO_A	GTOUUP_A	—	—	—	—	—
00011b	GPT	GTIOC0A_A	GTIOC4B_A	GTIOC4A_A	GTIOC7B_A	GTIOC7A_A	—	—	—
00100b	SCI	—	RXD2_A/ MISO2_A/ SCL2_A	TXD2_A/ MOSI2_A/ SDA2_A	—	—	—	—	—
00110b	SPI	SSLB1_B	SSLB2_B	SSLB3_B	—	—	—	—	—
01011b	BUS	—	A06	A07	A08	A09	A10	A11	A12
01101b	SLCDC	—	SEG1/COM5	SEG2/COM6	SEG3/COM7	SEG17	SEG16	SEG15	SEG14
10101b	SDHI/MMC	—	—	—	—	—	—	—	—
ISELビット		—	IRQ6	IRQ5	—	IRQ9	IRQ8	—	—
NCODRビット		○	○	○	○	○	○	○	○
PCRビット		○	○	○	○	○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○	○	○
121ピン製品		○	○	○	○	○	○	○	○
100ピン製品		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	○			

PSEL[4:0] ビット設定値	機能	端子							
		P308	P309	P310	P311	P312	P313	P314	P315
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z							
00010b	GPT	—	—	—	—	—	—	—	—
00011b	GPT	—	—	—	—	—	—	—	—
00100b	SCI	—	—	—	—	—	—	—	—
00110b	SPI	—	—	—	—	—	—	—	—
01011b	BUS	A13	A14	A15	CS2	CS3	—	—	—
01101b	SLCDC	SEG13	SEG12	SEG11	SEG10	SEG9	SEG20	SEG4	SEG5
10101b	SDHI	—	—	—	—	—	SD0DAT7	—	—
ISELビット		—	—	—	—	—	—	—	—
NCODRビット		○	○	○	○	○	○	○	○
PCRビット		○	○	○	○	○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○	○	○
121ピン製品		○	○				○	○	○
100ピン製品									
64ピン製品									

○：使用可能  
 —：設定禁止

表 20.10 入出力端子機能のレジスタ設定（ポート4）（1）

PSEL[4:0] ビット設定値	機能	端子							
		P400	P401	P402	P403	P404	P405	P406	P407
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	—	—	—	—	—	—	—	—
00010b	GPT	—	GTETRG_A_B	—	—	—	—	—	—
00011b	GPT	GTIOC6A_A	GTIOC6B_A	—	GTIOC3A_B	GTIOC3B_B	GTIOC1A_B	GTIOC1B_B	—
00100b	SCI	SCK4_B	CTS4_RTS4_B /SS4_B	—	—	—	—	—	CTS4_RTS4_A /SS4_A
00101b	SCI	—	—	—	—	—	—	—	—
00110b	SPI	—	—	—	—	—	—	—	SSLB3_A
00111b	IIC	SCL0_A	SDA0_A	—	—	—	—	—	SDA0_B
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	—	—	—	—	—	—	RTCOUT
01010b	CAC/ADC14	—	—	—	—	—	—	—	ADTRG0_B
01100b	CTSU	TS20	TS19	TS18	TS17	TS16	TS15	TS14	TS03
10000b	CAN	—	CTX0_B	CRX0_B	—	—	—	—	—
10010b	SSI	AUDIO_CLK	—	—	SSISCK0_A	SSIWS0_A	SSITXD0_A	SSIRXD0_A	—
10011b	USBFS	—	—	—	—	—	—	—	USB_VBUS
10101b	SDHI	—	—	—	—	—	—	—	—
Don't care	RTC/AGT/VBATT	—	—	RTCIC0 (注1) / AGTIO0_B (注1) / AGTIO1_B (注1)	RTCIC1 (注1) / AGTIO0_C (注1) / AGTIO1_C (注1)	RTCIC2 (注1)	—	—	—
ASELビット		—	—	—	—	—	—	—	—
ISELビット		IRQ0	IRQ5	IRQ4	—	—	—	—	—
NCODRビット		○	○	○	○	○	○	○	○
PCRビット		○	○	○	○	○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○	○	○
121ピン製品		○	○	○	○	○	○	○	○
100ピン製品		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	○	○	○	○

○：使用可能

—：設定禁止

注 1. この端子機能を使用する場合は、該当端子を汎用入力（PmnPFS.PDR ビットおよび PmnPFS.PMR ビットを 0）にしてください。



表 20.11 入出力端子機能のレジスタ設定 (ポート4) (2)

PSEL[4:0] ビット設定値	機能	端子							
		P408	P409	P410	P411	P412	P413	P414	P415
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	—	—	AGTOB1	AGTOA1	—	—	—	—
00010b	GPT	GTOWLO_B	GTOWUP_B	GTOVLO_B	GTOVUP_B	GTOULO_B	GTOUUP_B	—	—
00011b	GPT	—	—	GTIOC9B_A	GTIOC9A_A	—	—	—	—
00100b	SCI	—	—	RXD0_B/ MISO0_B/ SCL0_B	TXD0_B/ MOSI0_B/ SDA0_B	SCK0_B	CTS0_RTS0_B /SS0_B	—	—
00101b	SCI	RXD3_A/ MISO3_A/ SCL3_A	TXD3_A/ MOSI3_A/ SDA3_A	SCK3_A	CTS3_RTS3_A /SS3_A	—	—	—	—
00110b	SPI	—	—	MISOA_B	MOSIA_B	RSPCKA_B	SSLA0_B	SSLA1_B	SSLA2_B
00111b	IIC	—	—	—	—	—	—	—	—
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	—	—	—	—	—	—	—
01010b	CAC/ADC14	—	—	—	—	—	—	—	—
01100b	CTSU	TS04	TS05	TS06	TS07	TS08	TS09	TS10	TS11
10000b	CAN	—	—	—	—	—	—	—	—
10010b	SSI	—	—	—	—	—	—	—	—
10011b	USBFS	USB_ID_A	USB_EXICEN_A	—	—	—	—	—	—
10101b	SDHI	—	—	SD0DAT1	SD0DAT0	SD0CMD	SD0CLK	SD0WP	—
Don't care	RTC/AGT/VBATT	—	—	—	—	—	—	—	—
ASELビット		—	—	—	—	—	—	—	—
ISELビット		IRQ7	IRQ6	IRQ5	IRQ4	—	—	—	—
NCODRビット		○	○	○	○	○	○	○	○
PCRビット		○	○	○	○	○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○	○	○
121ピン製品		○	○	○	○	○	○	○	○
100ピン製品		○	○	○	○	○	○	○	○
64ピン製品		○	○	○	○	○	○	○	○

表 20.12 入出力端子機能のレジスタ設定 (ポート5)

PSEL[4:0] ビット設定値	機能	端子							
		P500	P501	P502	P503	P504	P505	P506	P507
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	AGTOA0	AGTOB0	—	—	—	—	—	—
00010b	GPT	GTIU_B	GTIV_B	GTIW_B	GTETRGC_B	GTETRGD_B	—	—	—
00011b	GPT	—	—	—	—	—	—	—	—
00100b	SCI	—	—	—	—	—	—	—	—
00111b	IIC	—	—	—	—	—	—	—	—
01101b	SLCDC	SEG48	SEG49	SEG50	SEG51	—	—	—	—
10001b	QSPI	QSPCLK	QSSL	QIO0	QIO1	QIO2	QIO3	—	—
10011b	USBFS	USB_VBUSEN_B	USB_OVRCUR_A_B	USB_OVRCUR_B_B	USB_EXICEN_B	USB_ID_B	—	—	—
ASELビット		AN016	AN017	AN018	AN019	AN020	AN021	AN022	AN023
ISELビット		—	IRQ11	IRQ12	—	—	IRQ14	IRQ15	—
NCODRビット		○	○	○	○	○	○	○	○
PCRビット		○	○	○	○	○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○	○	○
121ピン製品		○	○	○	○	○	○	○	
100ピン製品		○	○	○	○	○	○		
64ピン製品		○	○	○					

PSEL[4:0] ビット設定値	機能	端子	
		P511	P512
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z	
00001b	AGT	—	—
00010b	GPT	—	—
00011b	GPT	GTIOC0B_B	GTIOC0A_B
00100b	SCI	RXD4_B/ MISO4_B/ SCL4_B	TXD4_B/ MOSI4_B/ SDA4_B
00111b	IIC	SDA2	SCL2
01101b	SLCDC	—	—
10001b	QSPI	—	—
10011b	USBFS	—	—
ASELビット		—	—
ISELビット		IRQ15	IRQ14
NCODRビット		○	○
PCRビット		○	○
DSCRビット		低/中	低/中
145ピン製品、144ピン製品		○	○
121ピン製品		○	○
100ピン製品			
64ピン製品			

○：使用可能  
—：設定禁止

表 20.13 入出力端子機能のレジスタ設定 (ポート6)

PSEL[4:0] ビット設定値	機能	端子						
		P600	P601	P602	P603	P604	P605	P606
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z						
01011b	BUS	RD	WR/ WR0	EBCLK	D13	D12	D11	—
01101b	SLCDC	SEG41	SEG40	SEG39	SEG38	SEG37	SEG36	SEG35
NCODRビット		○	○	○	○	○	○	○
PCRビット		○	○	○	○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○	○
121ピン製品		○	○	○	○	○	○	
100ピン製品		○	○	○	○			
64ピン製品								

PSEL[4:0] ビット設定値	機能	端子						
		P608	P609	P610	P611	P612	P613	P614
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z						
01011b	BUS	A00/ BC0	CS1	CS0	—	D08	D09	D10
01101b	SLCDC	SEG28	SEG29	SEG30	SEG31	SEG32	SEG33	SEG34
NCODRビット		○	○	○	○	○	○	○
PCRビット		○	○	○	○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○	○
121ピン製品		○	○	○	○	○	○	
100ピン製品		○	○	○				
64ピン製品								

○ : 使用可能  
 — : 設定禁止

表 20.14 入出力端子機能のレジスタ設定 (ポート7)

PSEL[4:0] ビット設定値	機能	端子					
		P700	P701	P702	P703	P704	P705
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z					
00011b	GPT	GTIOC5A_B	GTIOC5B_B	GTIOC6A_B	GTIOC6B_B	—	—
00101b	SCI	—	—	—	—	—	—
00110b	SPI	—	—	—	—	—	—
01010b	CAC/ADC14	—	—	—	—	—	—
01100b	CTSU	TS32	TS33	TS34	—	—	—
ISELビット		—	—	—	—	—	—
NCODRビット		○	○	○	○	○	○
PCRビット		○	○	○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○
121ピン製品		○	○	○			
100ピン製品							
64ピン製品							

PSEL[4:0] ビット設定値	機能	端子					
		P708	P709	P710	P711	P712	P713
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z					
00011b	GPT	—	—	—	—	GTIOC2B_B	GTIOC2A_B
00101b	SCI	RXD1_B/ MISO1_B/ SCL1_B	TXD1_B/ MOSI1_B/ SDA1_B	SCK1_B	CTS1_RTS1_B/ SS1_B	—	—
00110b	SPI	SSLA3_B	—	—	—	—	—
01010b	CAC/ADC14	CACREF_B	—	—	—	—	—
01100b	CTSU	TS12	TS13	TS35	—	—	—
ISELビット		IRQ11	IRQ10	—	—	—	—
NCODRビット		○	○	○	○	○	○
PCRビット		○	○	○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○
121ピン製品		○	○	○			
100ピン製品		○					
64ピン製品							

○ : 使用可能  
 — : 設定禁止

表 20.15 入出力端子機能のレジスタ設定（ポート8）

PSEL[4:0] ビット設定値	機能	端子							
		P800	P801	P802	P803	P804	P805	P806	P807
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z							
01011b	BUS	D14	D15	—	—	—	—	—	—
01101b	SLCDC	SEG44	SEG45	SEG46	SEG47	SEG43	SEG42	SEG26	SEG27
NCODRビット		○	○	○	○	○	○	○	○
PCRビット		○	○	○	○	○	○	○	○
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○	○	○	○	○	○
121ピン製品		○	○						
100ピン製品									
64ピン製品									

PSEL[4:0] ビット設定値	機能	端子	
		P808	P809
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z	
01011b	BUS	—	—
01101b	SLCDC	SEG18	SEG19
NCODRビット		○	○
PCRビット		○	○
DSCRビット		低/中	低/中
145ピン製品、144ピン製品		○	○
121ピン製品		○	○
100ピン製品		○	○
64ピン製品			

○：使用可能  
—：設定禁止

表 20.16 入出力端子機能のレジスタ設定（ポート9）

PSEL[4:0] ビット設定値	機能	端子		
		P900	P901	P902
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z		
01101b	SLCDC	SEG6	SEG7	SEG8
NCODRビット		○	○	○
PCRビット		○	○	○
DSCRビット		低/中	低/中	低/中
145ピン製品、144ピン製品		○	○	○
121ピン製品				
100ピン製品				
64ピン製品				

○：使用可能  
—：設定禁止

## 21. キー割り込み機能 (KINT)

### 21.1 概要

キー割り込み (KEY\_INTKR) は、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子 KR00 ~ KR07 に立ち上がりエッジまたは立ち下がりエッジを入力することで発生させることができます。

表 21.1 キー割り込み検出端子の配置

フラグ	内容
KRM0	1ビット単位でKR00信号を制御
KRM1	1ビット単位でKR01信号を制御
KRM2	1ビット単位でKR02信号を制御
KRM3	1ビット単位でKR03信号を制御
KRM4	1ビット単位でKR04信号を制御
KRM5	1ビット単位でKR05信号を制御
KRM6	1ビット単位でKR06信号を制御
KRM7	1ビット単位でKR07信号を制御

キー割り込み機能 (KINT) の構成を表 21.2 に示します。

表 21.2 キー割り込み機能 (KINT) の構成

項目	構成
入力	KR00 ~ KR07
コントロールレジスタ	キーリターンコントロールレジスタ (KRCTL) キーリターンモードレジスタ (KRM) キーリターンフラグレジスタ (KRF)

キー割り込み機能 (KINT) のブロック図を図 21.1 に示します。

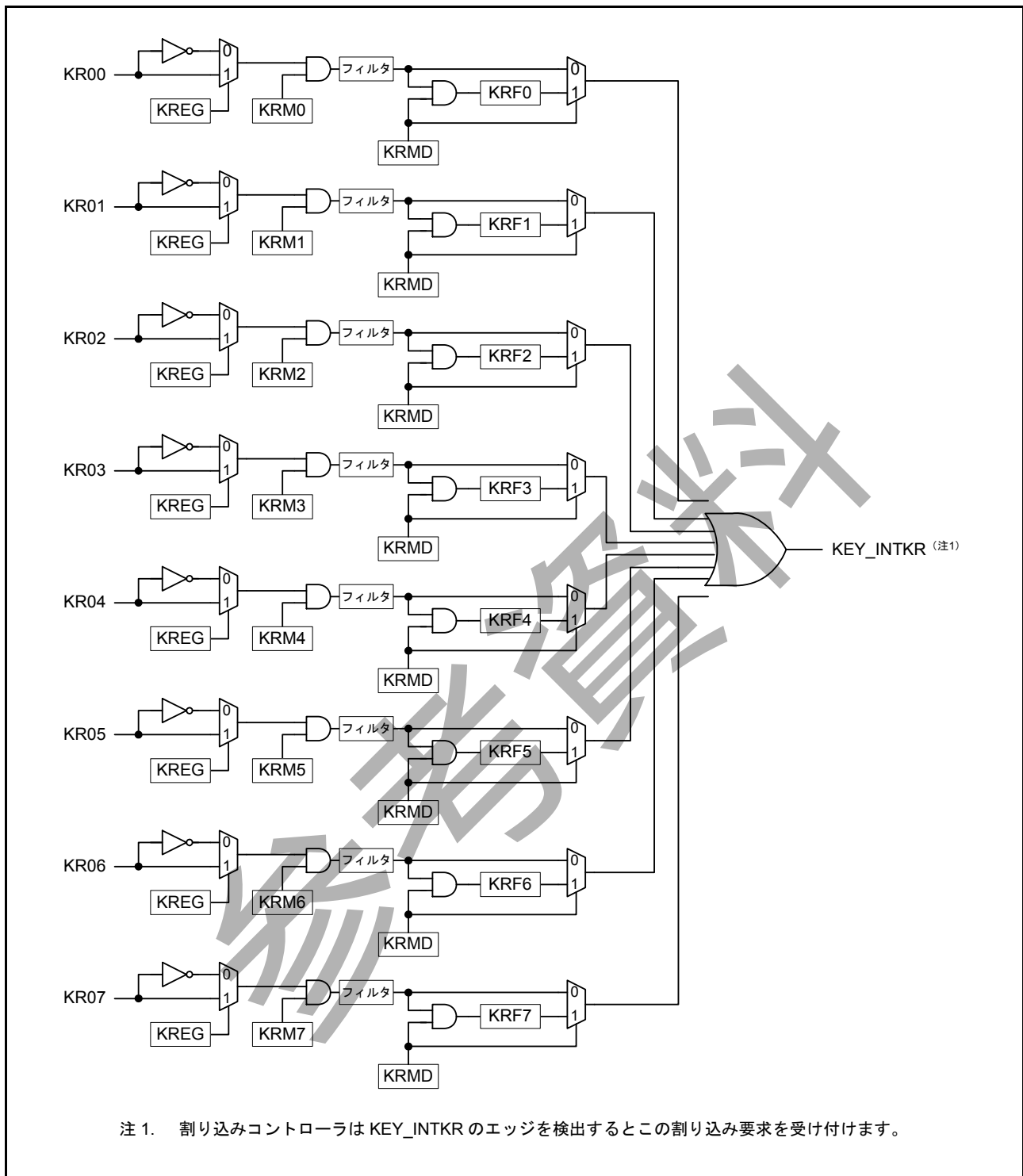


図 21.1 キー割り込み機能のブロック図

## 21.2 レジスタの説明

### 21.2.1 キーリターンコントロールレジスタ (KRCTL)

アドレス [KEY.KRCTL 4008 0000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	KRMD	—	—	—	—	—	—	KREG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KREG	検出エッジ選択 (KR00~KR07)	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	KRMD	キー割り込みフラグ使用状態 (KRF0~KRF7)	0: キー割り込みフラグを使用しない 1: キー割り込みフラグを使用する	R/W

KRCTL レジスタは、キー割り込みフラグ (KRF0 ~ KRF7) の使用状態を制御し、検出エッジを設定するためのレジスタです。このレジスタは、8ビットのメモリ操作命令で設定できます。リセット信号が発生すると、このレジスタは00hにクリアされます。

### 21.2.2 キーリターンフラグレジスタ (KRF)

アドレス [KEY.KRF 4008 0004h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	KRFn	キー割り込みフラグn	0: キー割り込みの検出なし 1: キー割り込みの検出あり	R/W

n = 0 ~ 7

注. KRMD = 0 の場合、KRFn ビットを 1 にしないでください。

注. このレジスタの各ビットを 1 にすることはできません。KRFn ビットをクリアするには、8ビットのメモリ操作命令を使用します。このとき、対象ビットに0が書き込まれ、他のビットには1が書き込まれます。

KRF レジスタは、キー割り込みフラグ (KRF0 ~ KRF7) を制御するレジスタです。このレジスタは、8ビットのメモリ操作命令でのみ設定可能です。リセット信号が発生すると、このレジスタは00hにクリアされます。



### 21.2.3 キーリターンモードレジスタ (KRM)

アドレス KEY.KRM 4008 0008h

	b7	b6	b5	b4	b3	b2	b1	b0
	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	KRMn	キー割り込みモード制御 n	0 : キー割り込み信号を検出しない 1 : キー割り込み信号を検出する	R/W

n = 0 ~ 7

- 注 . 対応するキー割り込み入力端子をプルアップ抵抗に設定することで、内蔵プルアップ抵抗の適用が可能です。詳細は、「[20. I/Oポート](#)」を参照してください。
- 注 . キー割り込みは PmnPFS.PSEL ビットで割り当てることができます。詳細は、「[20. I/Oポート](#)」を参照してください。
- 注 . キー割り込み入力端子へ入力中の信号が Low レベル (KREG = 0 の場合) または High レベル (KREG = 1 の場合) のとき、KRM レジスタの対象ビットがセットされると割り込みが発生します。この割り込みを無視するには、割り込み処理を禁止してから、KRM レジスタを設定してください。

KRM レジスタは、キー割り込みモードの設定を行うレジスタです。このレジスタは、8 ビットのメモリ操作命令でのみ設定可能です。リセット信号が発生すると、このレジスタは 00h にクリアされます。

## 21.3 動作説明

### 21.3.1 キー割り込みフラグを使用しない場合 (KRMD = 0)

キー割り込み端子 KR00 ~ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み (KEY\_INTKR) が発生します。有効エッジが入力されたチャンネルを判別するには、キー割り込み (KEY\_INTKR) の発生後にポートレジスタを読み出して、ポートのレベルをチェックしてください。

KEY\_INTKR 信号は、キー割り込み入力端子 (KR00 ~ KR07) の入力レベルに応じて変化します。

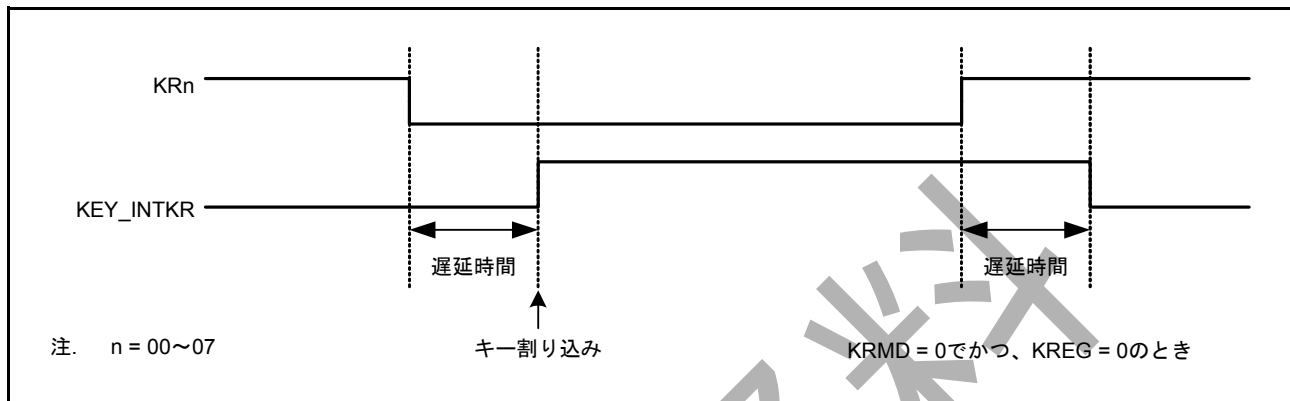


図 21.2 キー割り込みが 1 つのチャンネルに入力された場合の KEY\_INTKR 信号の動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 21.3 に示します。KREG ビットが 0 の場合、一方の端子に Low レベルが入力中であると、KEY\_INTKR 信号がセットされます。そのため、この期間中に他方の端子に立ち下がりエッジが入力されても、再度キー割り込み (KEY\_INTKR) は発生しません。図 21.3 の [1] を参照してください。

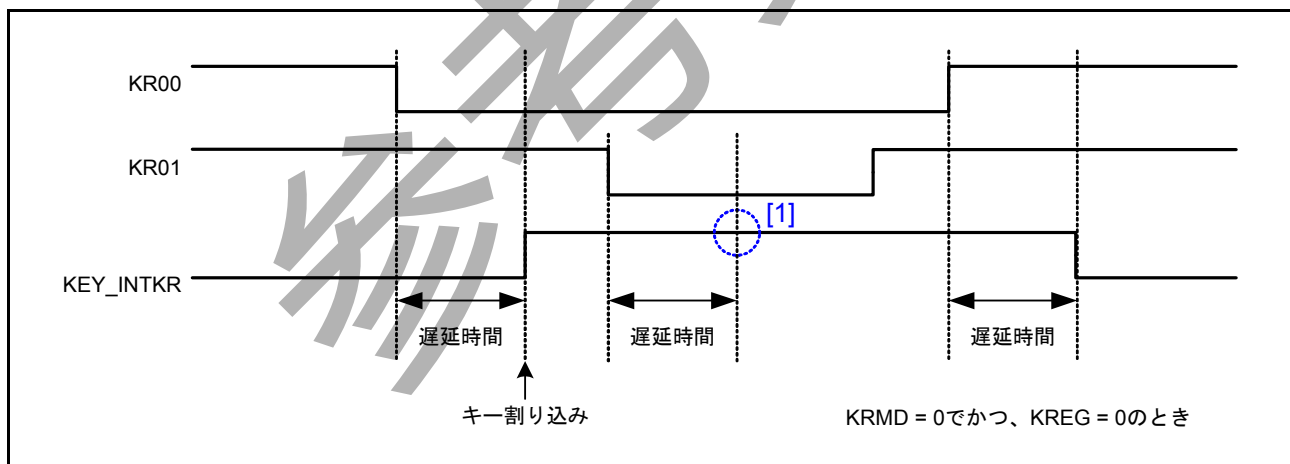


図 21.3 キー割り込みが複数のチャンネルに入力された場合の KEY\_INTKR 信号の動作

### 21.3.2 キー割り込みフラグを使用する場合 (KRMD = 1)

キー割り込み端子 KR00 ~ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み (KEY\_INTKR) が発生します。有効エッジが入力されたチャンネルを判別するには、キー割り込み (KEY\_INTKR) の発生後にキーリターンフラグレジスタ (KRF) を読み出します。KRMD ビットが 1 になっている場合は、KRF レジスタの対応するビットをクリアして、KEY\_INTKR 信号をクリアしてください。

図 21.4 に示すように、KREG ビットが 0 の場合、1 つのチャンネルに立ち下がりエッジが入力されるごとに、1 回だけ割り込みが発生します。立ち上がりエッジが入力される前や後に KRFn ビットがクリアされても、それ以上割り込みは発生しません。

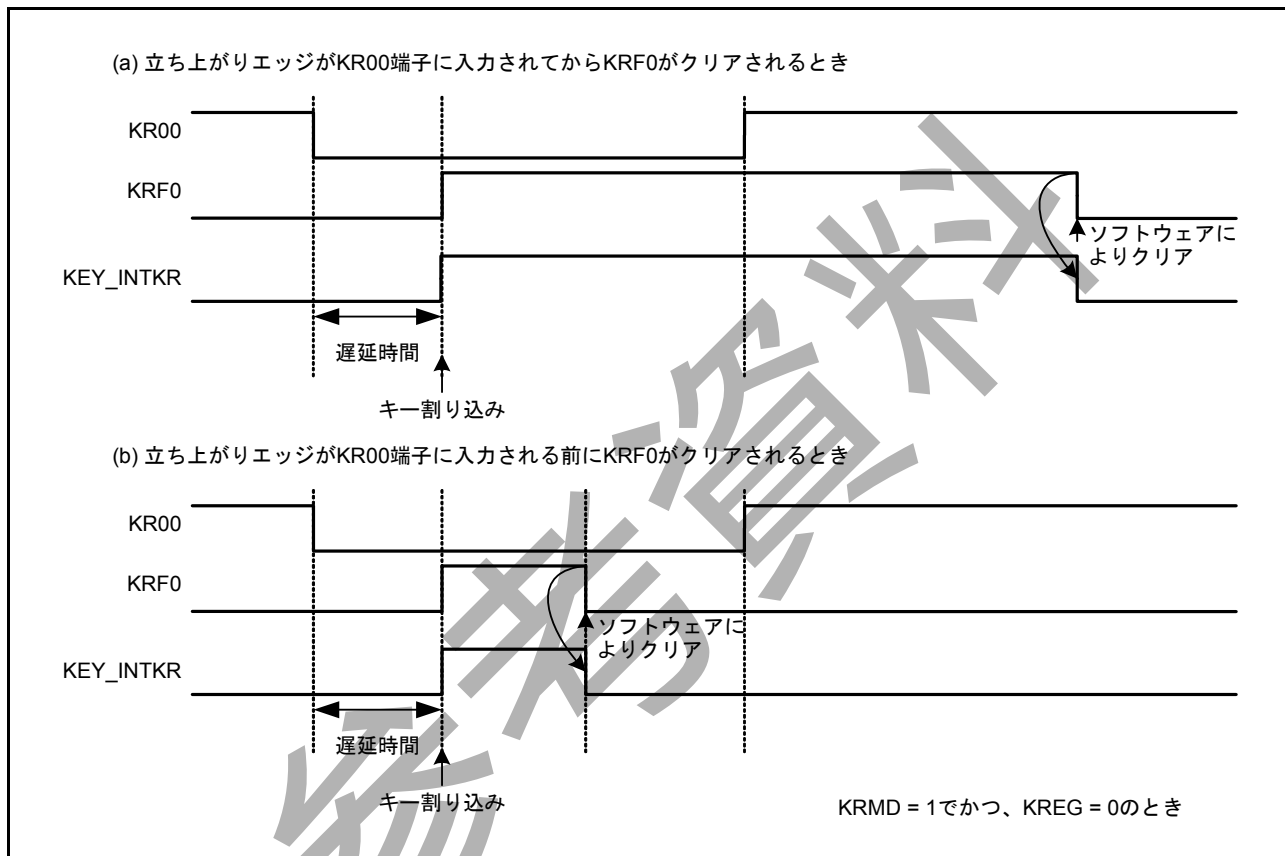


図 21.4 キー割り込みフラグを使用する場合の KEY\_INTKR 信号の基本動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 21.5 に示します。KREG ビットが 0 の場合、KR00 端子に立ち下がりエッジが入力された後に、KR01 端子と KR05 端子にも立ち下がりエッジが入力されています。KRF0 ビットがクリアされたとき、KRF1 ビットはセット状態になっています。そのため、KRF0 ビットがクリアされると、キー割り込みが 1 クロック (PCLKB) を生成します。図 21.5 の [1] を参照してください。また、KR05 端子に立ち下がりエッジが入力された後に、KRF5 ビットがセットされます。KRF1 ビットがクリアされたとき、図中の [2] の状態になります。そのため、KRF1 ビットがクリアされると、キー割り込みが 1 クロック (PCLKB) を生成します。図中の [3] を参照してください。したがって、複数チャンネルに有効エッジが入力されたとき、それぞれキー割り込みを発生させることが可能です。

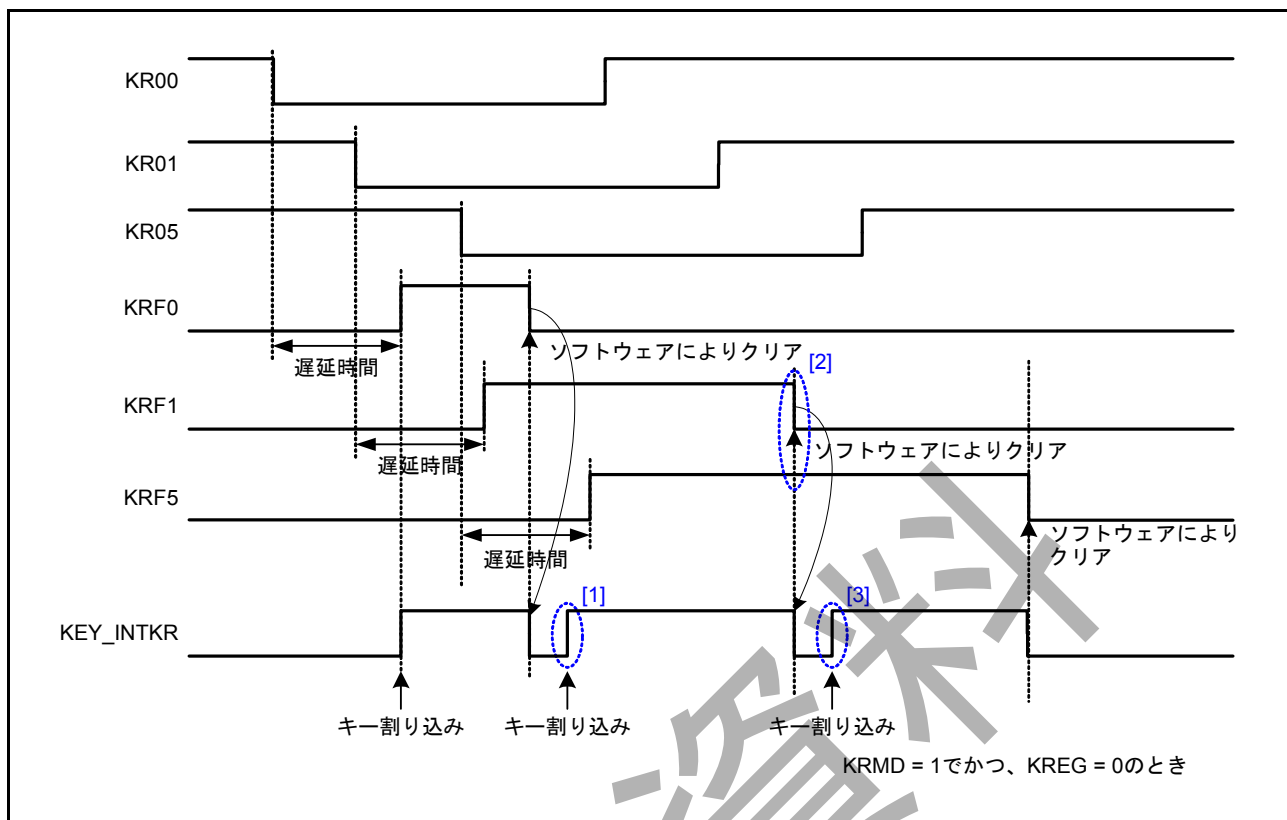


図 21.5 キー割り込みが複数のチャンネルに入力された場合の KEY\_INTKR 信号の動作

## 21.4 使用上の注意事項

- KEY\_INTKR をスヌーズ要求として用いる場合は、KRMD を 0 にすること
- KEY\_INTKR をスヌーズモードおよびソフトウェアスタンバイモードから通常モードへ復帰するための割り込み要因として用いる場合は、KRMD を 1 にすること
- キー割り込み機能 (KINT) が MPC によって端子に割り当てられる場合、この端子入力ソフトウェアスタンバイモード時に常に許可される。また、この端子レベルが変化すると、対応する KRFn がセットされる可能性がある。そのため、ソフトウェアスタンバイモードの解除時に、キー割り込みが発生する可能性がある

ソフトウェアスタンバイモード時のキー割り込み端子の変化を無視するには、ソフトウェアスタンバイモードへ遷移する前に、対応する KRM ビットをクリアしてください。ソフトウェアスタンバイモードの解除後は、対応する KRM ビットがセットされる前に、KRFn をクリアする必要があります。

参考資料

## 22. GPT 用ポートアウトプットイネーブル (POEG)

汎用 PWM タイマ (GPT) の出力端子を出力禁止状態とするには、ポートアウトプットイネーブル (POEG) 機能において、以下の方法の1つを使用します。

- GTETRГ 端子の入力レベル検出
- GPT からの出力禁止要求
- コンパレータ割り込み要求検出
- クロック発生回路の発振停止検出
- レジスタ設定

GTETRГ 端子は、GPT への外部トリガ入力端子としても利用可能です。

### 22.1 概要

表 22.1 に POEG の仕様を示します。図 22.1 に POEG のブロック図を示します。

表 22.1 POEGの仕様

項目	内容
入力レベル検出による出力禁止制御	<ul style="list-style-type: none"> <li>• 極性とフィルタの選択後、GTETRGA～GTETRGD端子の立ち上がりエッジまたは Highをサンプリングした場合に、GPT出力端子を出力禁止に設定可能</li> </ul>
GPTからの出力禁止要求	<ul style="list-style-type: none"> <li>• GTIOCA端子とGTIOCB端子が同時にアクティブレベルとなる場合、GPTはPOEGに対して出力禁止要求を発生させる。POEGは、これらの出力禁止要求を受信して、GTIOCAおよびGTIOCB端子を出力禁止状態にするか否かの制御が可能</li> </ul>
コンパレータ (ACMPHS) 割り込み要求検出による出力禁止制御	<ul style="list-style-type: none"> <li>• 割り込み要求がどのコンパレータ出力結果の変化によって発生した場合でも、GPT出力端子を出力禁止に設定可能</li> </ul>
発振停止検出による出力禁止制御	<ul style="list-style-type: none"> <li>• クロック発生回路による発振が停止した場合に、GPT出力端子を出力禁止に設定可能</li> </ul>
ソフトウェア (レジスタ) による出力禁止制御	<ul style="list-style-type: none"> <li>• レジスタの設定値を書き換えることにより、GPT出力端子を出力禁止に設定可能</li> </ul>
割り込み	<ul style="list-style-type: none"> <li>• 入力レベル検出による出力禁止制御が可能</li> <li>• GPTまたはACMPHSからの出力禁止要求が可能</li> </ul>
GPTに対する外部トリガ出力機能 (カウント開始/カウント停止/カウントクリア/アップカウント/ダウンカウント/インプットキャプチャ機能)	<ul style="list-style-type: none"> <li>• 極性とフィルタの選択後、GTETRGA～GTETRGD信号をGPTへ出力可能</li> </ul>
ノイズフィルタリング	<ul style="list-style-type: none"> <li>• どの入力端子 (GTETRGA～GTETRGD) に対しても、PCLKB/1、PCLKB/8、PCLKB/32、またはPCLKB/128クロックごとに3回のサンプリングを設定可能</li> <li>• どの入力端子 (GTETRGA～GTETRGD) に対しても、正または負の極性を選択可能</li> <li>• 極性およびフィルタ選択後の信号状態のモニタが可能</li> </ul>

図 22.1 に POEG のブロック図を示します。

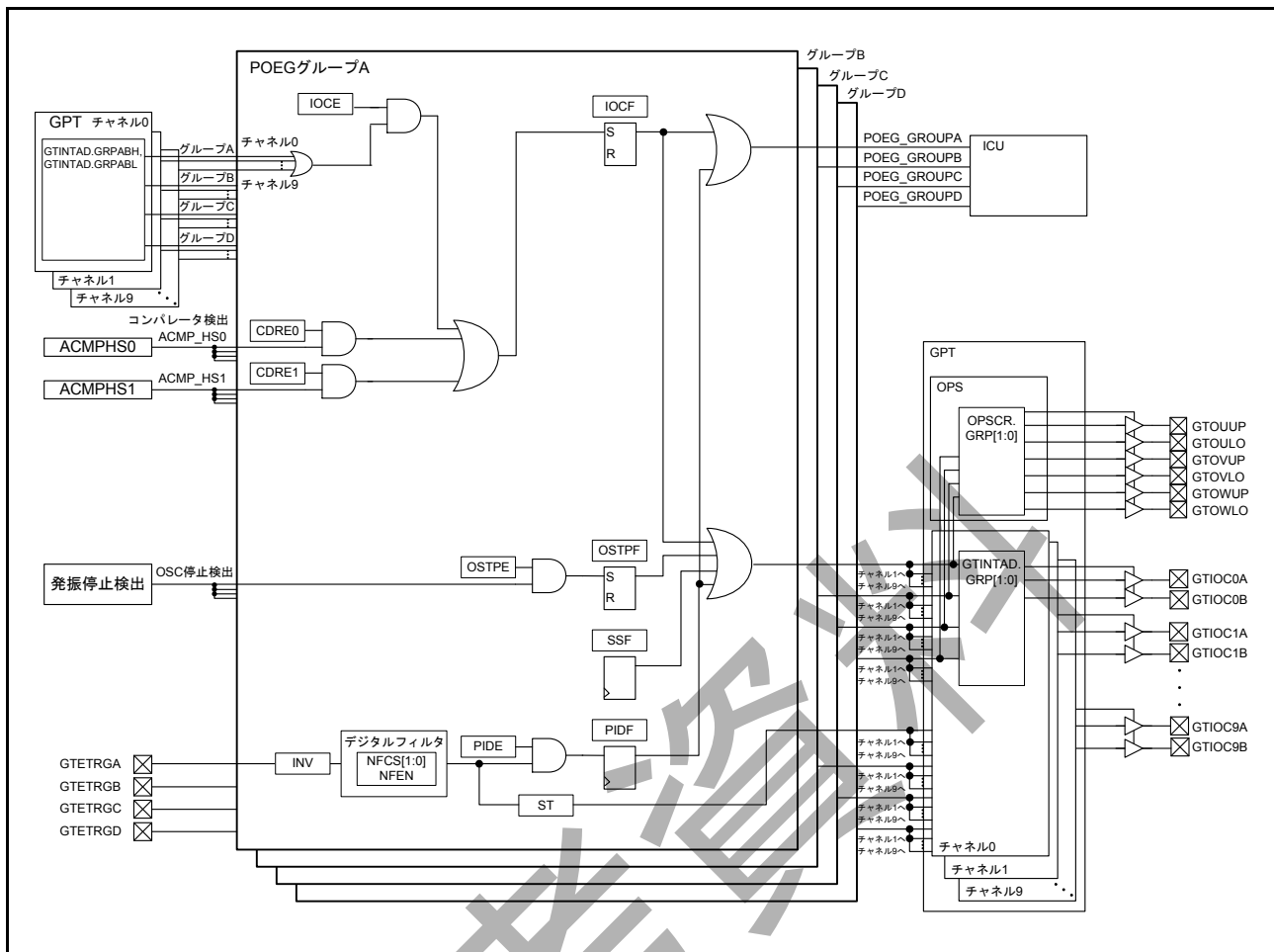


図 22.1 POEGのブロック図

表 22.2 は、POEG で使用する入力端子の一覧表です。

表 22.2 POEGの入力端子

端子名	入出力	機能
GTETRGA	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子A
GTETRGB	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子B
GTETRGC	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子C
GTETRGD	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子D

## 22.2 レジスタの説明

## 22.2.1 POEG グループ n 設定レジスタ (POEGGn) (n = A ~ D)

アドレス POEG.POEGGA 4004 2000h, POEG.POEGGB 4004 2100h, POE.POEGGC 4004 2200h, POE.POEGGD 4004 2300h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCS[1:0]	NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	—	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CDRE1	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIDF	ポート入力検出フラグ	0 : GTETRn端子からの出力禁止要求なし 1 : GTETRn端子からの出力禁止要求あり	R/(W) (注1)
b1	IOCF	GPTまたはACMPHS出力禁止要求検出フラグ	0 : GPTの禁止要求またはコンパレータ割り込みによる出力禁止要求なし 1 : GPTの禁止要求またはコンパレータ割り込みによる出力禁止要求あり	R/(W) (注1)
b2	OSTPF	発振停止検出フラグ	0 : 発振停止検出による出力禁止要求なし 1 : 発振停止検出による出力禁止要求あり	R/(W) (注1)
b3	SSF	ソフトウェア停止フラグ	0 : ソフトウェアによる出力禁止要求なし 1 : ソフトウェアによる出力禁止要求あり	R/W
b4	PIDE	ポート入力検出許可	0 : GTETRn端子からの出力禁止要求を禁止 1 : GTETRn端子からの出力禁止要求を許可	R/W (注2)
b5	IOCE	GPTまたはACMPHS出力禁止要求許可	0 : GPTの禁止要求またはコンパレータ割り込みによる出力禁止要求を禁止 1 : GPTの禁止要求またはコンパレータ割り込みによる出力禁止要求を許可	R/W (注2)
b6	OSTPE	発振停止検出許可	0 : 発振停止検出による出力禁止要求を禁止 1 : 発振停止検出による出力禁止要求を許可	R/W (注2)
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CDRE0	ACMP_HS0許可	0 : コンパレータ0による禁止要求を禁止 1 : コンパレータ0による禁止要求を許可	R/W (注2)
b9	CDRE1	ACMP_HS1許可	0 : コンパレータ1による禁止要求を禁止 1 : コンパレータ1による禁止要求を許可	R/W (注2)
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	ST	GTETRn入力ステータスフラグ	0 : フィルタリング後のGTETRn入力は0 1 : フィルタリング後のGTETRn入力は1	R
b27-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	INV	GTETRn入力反転	0 : GTETRnをそのまま入力 1 : GTETRnを反転して入力	R/W
b29	NFEN	ノイズフィルタ有効	0 : ノイズのフィルタリングを禁止 1 : ノイズのフィルタリングを許可	R/W
b31-b30	NFCS[1:0]	ノイズフィルタクロック選択	b1 b0 0 0 : GTETRn端子の入カレベルをPCLKB/1クロックごとに3回サンプリング 0 1 : GTETRn端子の入カレベルをPCLKB/8クロックごとに3回サンプリング 1 0 : GTETRn端子の入カレベルをPCLKB/32クロックごとに3回サンプリング 1 1 : GTETRn端子の入カレベルをPCLKB/128クロックごとに3回サンプリング	R/W



- 注1. フラグをクリアするための0書き込みのみ可能です。  
注2. リセット後、1回のみ書き込み可能です。

POEGGA ~ POEGGD レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御するレジスタです。以下の説明で POEGGn とは、POEGGA ~ POEGGD レジスタのすべてを表しています。

参考資料

## 22.3 出力禁止制御の動作

GTIOCxA および GTIOCxB (x : GPT チャネル番号) 端子出力においては、以下のいずれかの条件が成立したとき、端子は出力禁止状態になります。グループ POEGGA ~ POEGGD の 1 つを選択するには、GPT レジスタの OPSCR.GRP[1:0] ビットと GTINTAD.GRP[1:0] ビットを設定します。これらのレジスタは、GTIOCxA 端子と GTIOCxB 端子の両方を制御します。ポートの出力禁止状態を設定するには、GPT レジスタの GTIOR.OADF ビットと GTIOR.OBDF ビットを設定します。

- GTETRGA ~ GTETRGD 端子の入力レベル/エッジ検出
  - POEGGn.PIDE ビットが 1 の状態で、POEGGn.PIDF フラグが 1 になったとき
- GPT からの出力禁止要求
  - POEGGn.IOCE ビットが 1 の状態で、POEGGn.IOCF フラグが 1 になったとき (GTINTAD.GRPDTE、GTINTAD.GRPABH、および GTINTAD.GRPABL ビットによって許可された禁止要求は、GPT レジスタの GTINTAD.GRP[1:0] と OPSCR.GRP[1:0] ビットで選択されたグループに適用されるため)
- コンパレータ (ACMPHS) 割り込み要求検出
  - POEGGn.CDRE[5:0] ビットのいずれかが 1 の状態で、コンパレータ割り込みの検出をアクティブにし、対応するコンパレータ割り込みが発生したとき。POEGGn.IOCF フラグが検出状態を示します。
- クロック発生回路の発振停止検出
  - POEGGn.OSTPE ビットが 1 の状態で、POEGGn.OSTPF フラグが 1 になったとき
- SSF ビットの設定
  - POEGGn.SSF フラグが 1 になったとき

### 22.3.1 端子入力レベル検出時の動作

POEGGn.PIDE ビット、POEGGn.NFCS[1:0] ビット、POEGGn.NFEN ビット、および POEGGn.INV ビットに設定された入力条件が、GTETRGA ~ GTETRGD 端子で発生すると、GPT 出力端子は出力禁止状態になります。

#### 22.3.1.1 デジタルフィルタ

図 22.2 に、デジタルフィルタによる High 検出時の動作を示します。POEGGn.INV ビットの極性の設定に対応した High 状態が、POEGGn.NFCS[1:0] ビットと POEGGn.NFEN ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETRGA ~ GTETRGD 端子のレベル変化が無視されます。

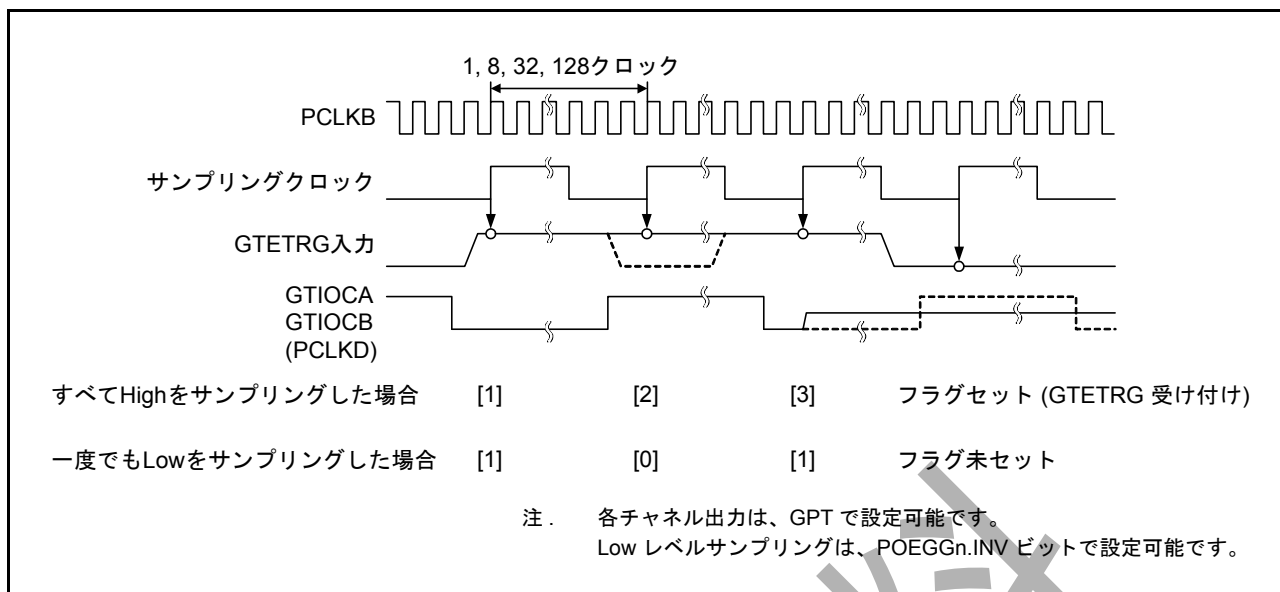


図 22.2 デジタルフィルタの動作例

### 22.3.2 GPT からの出力禁止要求

この動作の詳細については、「23. 汎用 PWM タイマ (GPT)」に記載の GTIOC 端子の出力禁止制御を参照してください。

### 22.3.3 コンパレータ割り込みの検出

POEGGn.CDRE[5:0] ビットが 1 の場合、対応するコンパレータ割り込み要求が発生すると、GPT 出力端子はグループごとに出力禁止状態になります。ステータスフラグは POEGGn.IOCF であり、これは GPT からの出力禁止検出と共通です。

### 22.3.4 発振停止検出による出力禁止制御

POEGGn.OSTPE ビットが 1 の場合、クロック発生回路の発振停止検出機能が発振停止を検出すると、GPT 出力端子はグループごとに出力禁止状態になります。

### 22.3.5 レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ (POEGGn.SSF) に書き込むことで直接制御が可能です。

### 22.3.6 出力禁止状態の解除

出力禁止状態になっている GPT 出力端子を解放するには、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアします。

- POEGn.PIDF フラグ
- POEGn.IOCF フラグ
- POEGn.OSTPF フラグ
- POEGn.SSF フラグ

外部入力端子 GTETRGA ~ GTETRGD が無効ではなく、かつ POEGn.ST ビットが 0 になっていなければ、POEGn.PIDF フラグに 0 を書いても無視されます (フラグはクリアされません)。

GPT の GTST.DTEF フラグ、GTST.OABHF フラグ、および GTST.OABLF フラグがすべて 0 になっている場合にのみ、POEGn.IOCF フラグに 0 を書くこと (フラグをクリアすること) ができます。

クロック発生回路の OSTDSR.OSTDF フラグが 0 になっていない場合、POEGn.OSTPF フラグに 0 を書いても無視されます (フラグはクリアされません)。また、フラグのセットとクリアが同時に発生した場合、セットが優先されます。

図 22.3 に、出力禁止状態の解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。

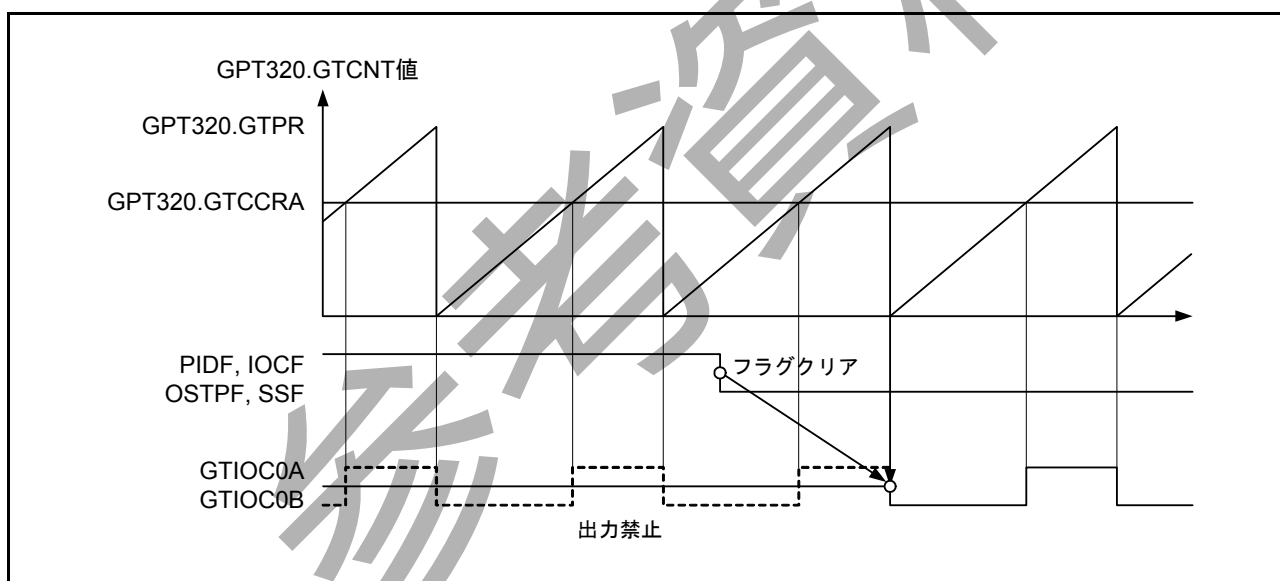


図 22.3 GPT 端子出力の出力禁止状態の解除タイミング

## 22.4 割り込み要因

POEGは、以下の要因によってトリガされたとき、割り込み要求を発生させます。

- 入力レベル検出による出力禁止制御
- GPTからの出力禁止要求
- コンパレータ割り込み要求検出

表 22.3 に、割り込み要求の条件を示します。

表 22.3 割り込み要因と条件

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEGグループA割り込み	POEG_GROUPA	POEGGA.IOCF	GPTからの出力禁止要求の発生
		POEGGA.PIDF	コンパレータ割り込みによる出力禁止要求の発生
POEGグループB割り込み	POEG_GROUPB	POEGGB.IOCF	GPTからの出力禁止要求の発生
		POEGGB.PIDF	コンパレータ割り込みによる出力禁止要求の発生
POEGグループC割り込み	POEG_GROUPC	POEGGC.IOCF	GPTからの出力禁止要求の発生
		POEGGC.PIDF	コンパレータ割り込みによる出力禁止要求の発生
POEGグループD割り込み	POEG_GROUPD	POEGGD.IOCF	GPTからの出力禁止要求の発生
		POEGGD.PIDF	コンパレータ割り込みによる出力禁止要求の発生

## 22.5 GPT に対する外部トリガ出力

POEG は、下記の GPT 動作のトリガ信号として、GTETRGA ~ GTETRGD 信号を出力します。

- カウント開始
- カウント停止
- カウントクリア
- アップカウント
- ダウンカウント
- インพุットキャプチャ

POEGG.INV ビットで設定した極性信号に対し、POEGGn.NFCS[1:0] および POEGGn.NFEN ビットで選択したサンプリングクロックで同じレベルが 3 回連続して入力されたとき、その値が出力されます。22.3.1 端子入力レベル検出時の動作に記載のコントロールレジスタと同じものを設定してください。フィルタリング後の状態は POEGGn.ST フラグでモニタできます。

図 22.4 に、GPT に対する外部トリガ出力のタイミングを示します。

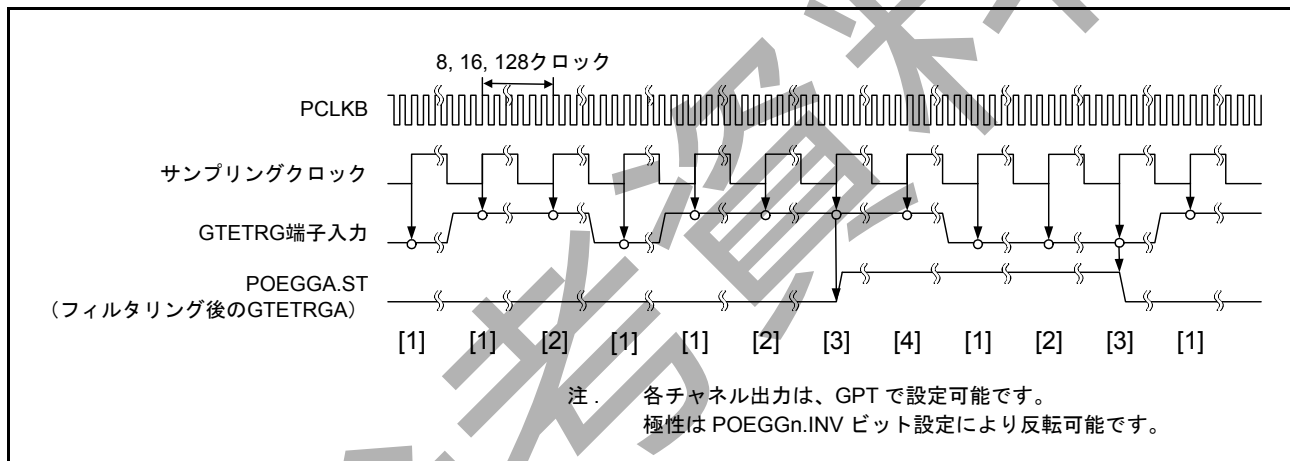


図 22.4 GPT に対する外部トリガ出力のタイミング

## 22.6 使用上の注意事項

### 22.6.1 ソフトウェアスタンバイモードへの遷移

POEGを使用する場合は、ソフトウェアスタンバイモードへ遷移させないでください。このモードではPOEGが停止するため、端子の出力禁止を制御することができません。

### 22.6.2 GPT 対応端子の指定

POEGは、PmnPFS.PMR および PmnPFS.PSEL ビットによって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEGは出力禁止制御を行いません。

参考資料

## 23. 汎用 PWM タイマ (GPT)

### 23.1 概要

表 23.1 に GPT の仕様を、表 23.2 に GPT の機能一覧を示します。図 23.1 に GPT のブロック図を示します。

表 23.1 GPTの仕様

項目	内容
機能	<ul style="list-style-type: none"> <li>• 32ビット×10チャンネル</li> <li>• 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、またはアップダウンカウント (三角波)</li> <li>• チャンネルごとに独立したクロックソースを選択可能</li> <li>• チャンネルごとに2本の入出力端子</li> <li>• チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本</li> <li>• 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能</li> <li>• アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成</li> <li>• チャンネルごとにフレーム周期設定用レジスタを搭載 (オーバーフロー/アンダーフローで割り込み可能)</li> <li>• PWM動作の際にデッドタイム生成が可能</li> <li>• 任意チャンネルのカウンタの同期スタート/ストップ/クリア</li> <li>• 最大8個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウン</li> <li>• 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウン</li> <li>• 最大4個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウン</li> <li>• 出力端子間の短絡検出による出力端子無効機能</li> <li>• ブラシレスDCモータ制御用のPWM波形生成が可能</li> <li>• コンペアマッチA~Fイベント、オーバーフローイベント/アンダーフローイベント、および入力UVWエッジイベントをELCに出力可能</li> <li>• インプットキャプチャおよび入力UVWに対しノイズフィルタを使用可能</li> </ul>



表 23.2 GPTの機能一覧

項目		GPT32
カウントクロック		PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1,024
アウトプットコンペア/インプットキャプチャレジスタ (GTCCR)		GTCCRA GTCCRB
コンペア/バッファレジスタ		GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ		GTPR
周期設定バッファレジスタ		GTPBR
入出力端子		GTIOCA GTIOCB
外部トリガ入力端子		GTETRGA GTETRGB GTETRG GTETRGD
カウンタクリア要因		GTPRレジスタコンペアマッチ、インプットキャプチャ、入力端子状態、ELCイベント入力、およびGTETRG端子入力
コンペアマッチ出力	Low出力	可能
	High出力	可能
	トグル出力	可能
インプットキャプチャ機能		可能
デッドタイム自動付加機能		可能 (デッドタイムバッファなし)
PWMモード		可能
位相計数機能		可能
バッファ動作		ダブルバッファ
ワンショット動作		可能
DTCの起動		すべての割り込み要因
ブラシレスDCモータ制御機能		可能
割り込み要因		8要因： <ul style="list-style-type: none"> <li>• GTCCRA コンペアマッチ/インプットキャプチャ (GPTn_CCMPA)</li> <li>• GTCCRB コンペアマッチ/インプットキャプチャ (GPTn_CCMPB)</li> <li>• GTCCRC コンペアマッチ (GPTn_CMPC)</li> <li>• GTCCRD コンペアマッチ (GPTn_CMPD)</li> <li>• GTCCRE コンペアマッチ (GPTn_CMPE)</li> <li>• GTCCRF コンペアマッチ (GPTn_CMPF)</li> <li>• GTCNT オーバーフロー (GTPR コンペアマッチ) (GPTn_OVF)</li> <li>• GTCNT アンダーフロー (GPTn_UDF)</li> </ul> 注. n = 0~9
イベントリンク (ELC) 機能		可能
ノイズフィルタ機能		可能

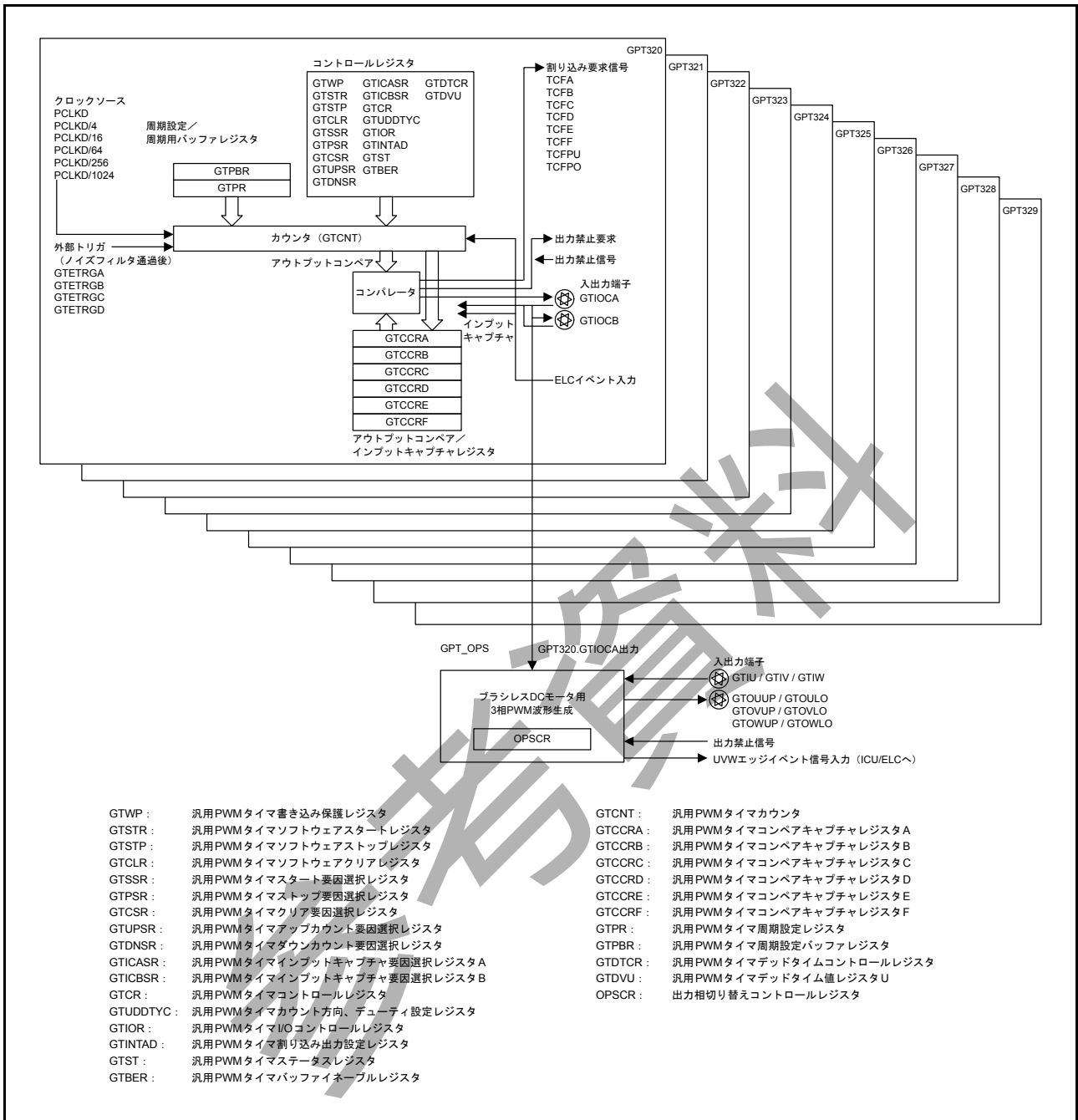


図 23.1 GPT のブロック図

図 23.2 に複数の GPT の使用例を示します。

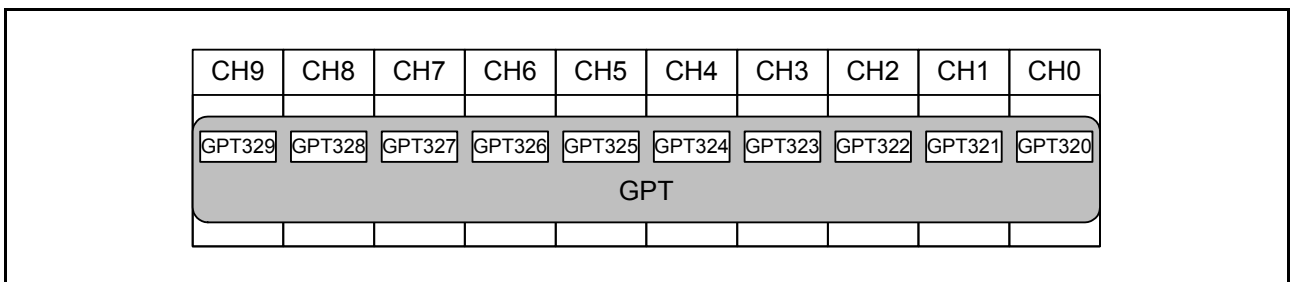


図 23.2 複数の GPT の使用例

表 23.3 に GPT で使用する入出力端子の一覧を示します。

表 23.3 GPTの入出力端子 (1/2)

チャンネル	端子名	入出力	機能
共通	GTETRGA	入力	外部トリガ入力端子A (ノイズフィルタリング後)
	GTETRGB	入力	外部トリガ入力端子B (ノイズフィルタリング後)
	GTETRGC	入力	外部トリガ入力端子C (ノイズフィルタリング後)
	GTETRGD	入力	外部トリガ入力端子D (ノイズフィルタリング後)
GPT320	GTIOC0A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
	GTIOC0B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
GPT321	GTIOC1A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
	GTIOC1B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
GPT322	GTIOC2A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
	GTIOC2B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
GPT323	GTIOC3A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
	GTIOC3B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
GPT324	GTIOC4A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
	GTIOC4B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
GPT325	GTIOC5A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
	GTIOC5B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
GPT326	GTIOC6A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
	GTIOC6B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
GPT327	GTIOC7A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
	GTIOC7B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
GPT328	GTIOC8A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
	GTIOC8B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
GPT329	GTIOC9A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子
	GTIOC9B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子

表 23.3 GPTの入出力端子 (2/2)

チャンネル	端子名	入出力	機能
GPT_OPS	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDCモータ制御用3相PWM出力 (正相U相)
	GTOULO	出力	BLDCモータ制御用3相PWM出力 (逆相U相)
	GTOVUP	出力	BLDCモータ制御用3相PWM出力 (正相V相)
	GTOVLO	出力	BLDCモータ制御用3相PWM出力 (逆相V相)
	GTOWUP	出力	BLDCモータ制御用3相PWM出力 (正相W相)
	GTOWLO	出力	BLDCモータ制御用3相PWM出力 (逆相W相)

参考資料

## 23.2 レジスタの説明

表 23.4 に GPT のレジスタ一覧を示します。

表 23.4 GPT のレジスタ

モジュール シンボル	レジスタ名	レジスタ シンボル	リセット値	アドレス	アクセス サイズ
GPT32m	汎用PWMタイマ書き込み保護レジスタ	GTWP	00000000h	4007 8000h + 0100h × m	32
GPT32m	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	00000000h	4007 8004h + 0100h × m	32
GPT32m	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	FFFFFFFFh	4007 8008h + 0100h × m	32
GPT32m	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	00000000h	4007 800Ch + 0100h × m	32
GPT32m	汎用PWMタイマスタート要因選択レジスタ	GTSSR	00000000h	4007 8010h + 0100h × m	32
GPT32m	汎用PWMタイマストップ要因選択レジスタ	GTPSR	00000000h	4007 8014h + 0100h × m	32
GPT32m	汎用PWMタイマクリア要因選択レジスタ	GTCSR	00000000h	4007 8018h + 0100h × m	32
GPT32m	汎用PWMタイマアップカウント要因選択レジスタ	GTUPSR	00000000h	4007 801Ch + 0100h × m	32
GPT32m	汎用PWMタイマダウンカウント要因選択レジスタ	GTDNSR	00000000h	4007 8020h + 0100h × m	32
GPT32m	汎用PWMタイマインプットキャプチャ要因選択レジスタA	GTICASR	00000000h	4007 8024h + 0100h × m	32
GPT32m	汎用PWMタイマインプットキャプチャ要因選択レジスタB	GTICBSR	00000000h	4007 8028h + 0100h × m	32
GPT32m	汎用PWMタイマコントロールレジスタ	GTCR	00000000h	4007 802Ch + 0100h × m	32
GPT32m	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	0000001h	4007 8030h + 0100h × m	32
GPT32m	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	00000000h	4007 8034h + 0100h × m	32
GPT32m	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	00000000h	4007 8038h + 0100h × m	32
GPT32m	汎用PWMタイマステータスレジスタ	GTST	00008000h	4007 803Ch + 0100h × m	32
GPT32m	汎用PWMタイマバッファインペーブルレジスタ	GTBER	00000000h	4007 8040h + 0100h × m	32
GPT32m	汎用PWMタイマカウンタ	GTCNT	00000000h	4007 8048h + 0100h × m	32
GPT32m	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	FFFFFFFFh	4007 804Ch + 0100h × m	32
GPT32m	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	FFFFFFFFh	4007 8050h + 0100h × m	32
GPT32m	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	FFFFFFFFh	4007 8054h + 0100h × m	32
GPT32m	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	FFFFFFFFh	4007 8058h + 0100h × m	32
GPT32m	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	FFFFFFFFh	4007 805Ch + 0100h × m	32
GPT32m	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	FFFFFFFFh	4007 8060h + 0100h × m	32
GPT32m	汎用PWMタイマ周期設定レジスタ	GTPR	FFFFFFFFh	4007 8064h + 0100h × m	32
GPT32m	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	FFFFFFFFh	4007 8068h + 0100h × m	32
GPT32m	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	00000000h	4007 8088h + 0100h × m	32
GPT32m	汎用PWMタイマデッドタイム値レジスタU	GTDVU	FFFFFFFFh	4007 808Ch + 0100h × m	32
GPT_OPS	出力相切り替えコントロールレジスタ	OPSCR	00000000h	4007 8FF0h	32

注. m = 0 ~ 9

## 23.2.1 汎用 PWM タイマ書き込み保護レジスタ (GTWP)

アドレス GPT32m.GTWP 4007 8000h + 0100h × m (m = 0 ~ 9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PRKEY[7:0]								—	—	—	—	—	—	—	WP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止	0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	GTWPキーコード	これらのビットにA5hを書き込むと、WPビットへの書き込みが許可されます。読むと0が読めます。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可/禁止するレジスタです。書き込みが許可/禁止されるレジスタは以下のとおりです。

GTSSR, GTPSR, GTCSSR, GTUPSR, GTDNSR, GTICASSR, GTIBCSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU

## 23.2.2 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)

アドレス GPT32m.GTSTR 4007 8004h + 0100h × m (m = 0 ~ 9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CSTRT <sub>9</sub>	CSTRT <sub>8</sub>	CSTRT <sub>7</sub>	CSTRT <sub>6</sub>	CSTRT <sub>5</sub>	CSTRT <sub>4</sub>	CSTRT <sub>3</sub>	CSTRT <sub>2</sub>	CSTRT <sub>1</sub>	CSTRT <sub>0</sub>
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTSTR レジスタは、各チャンネル x (x = 0 ~ 9) の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャンネル番号に相当します。GTSTR レジスタは各チャンネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャンネルの GTCNT カウンタが動作を開始します。0 を書き込んでも、GTCNT カウンタの状態と GTSTR レジスタの値には影響しません。GTSTR のビット番号とチャンネル番号の対応関係については、[図 23.2](#) を参照してください。

**CSTRT[9:0] ビット (チャンネル x GTCNT カウントスタート) (x = 0 ~ 9)**

チャンネル x の GTCNT カウンタ動作を開始します。GPT32m.GTSSR.CSTRT ビットを 1 にしないかぎり、GTSTR.CSTRT<sub>n</sub> ビットへの書き込みは無効です (n = 0 ~ 9, m = 0 ~ 9)。

リードデータは各チャンネルのカウンタ状態 (GTCR.CST ビット値) を示します。0 はカウンタストップを、1 はカウンタ動作を意味します。

### 23.2.3 汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)

アドレス GPT32m.GTSTP 4007 8008h + 0100h × m (m = 0~9)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTSTP レジスタは、各チャンネル x (x = 0 ~ 9) の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャンネル番号に相当します。GTSTP レジスタは各チャンネル共通です。1 が書き込まれた GTSTP レジスタのビット番号に対応するチャンネルの GTCNT カウンタが停止します。0 を書き込んでも、GTCNT カウンタの状態と GTSTP レジスタの値には影響しません。

GTSTP のビット番号とチャンネル番号の関係については、[図 23.2](#) を参照してください。

#### CSTOP[9:0] ビット (チャンネル x GTCNT カウントストップ) (x = 0 ~ 9)

チャンネル x の GTCNT カウンタ動作を停止します。GPT32m.GTPSR.CSTOP ビットを 1 にしないかぎり、GTSTP.CSTOPn ビットへの書き込みは無効です (n = 0 ~ 9, m = 0 ~ 9)。リードデータは各チャンネルのカウンタ状態 (GTCR.CST ビットの反転値) を示します。0 はカウンタ動作を、1 はカウンタストップを意味します。

### 23.2.4 汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)

アドレス GPT32m.GTCLR 4007 800Ch + 0100h × m (m = 0~9)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTCLR レジスタは書き込み専用レジスタで、各チャンネル x (x = 0 ~ 9) の GTCNT カウンタ動作をクリアします。

GTCLR レジスタのビット番号はチャンネル番号に相当します。GTCLR レジスタは各チャンネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャンネルの GTCNT カウンタがクリアされます。0 を書き込んでも GTCNT カウンタの状態には影響しません。GTCLR のビット番号とチャンネル番号の対応関係については、[図 23.2](#) を参照してください。

#### CCLR[9:0] ビット (チャンネル x GTCNT カウントクリア) (x = 0 ~ 9)

1 を書き込むと、チャンネル x の GTCNT カウンタ値がクリアされます。読むと 0 が読めます。

## 23.2.5 汎用PWM タイマスタート要因選択レジスタ (GTSSR)

アドレス GPT32m.GTSSR 4007 8010h + 0100h × m (m = 0~9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CSTRT	—	—	—	—	—	—	—	SSELC H	SSELC G	SSELC F	SSELC E	SSELC D	SSELC C	SSELC B	SSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SSCBF AH	SSCBF AL	SSCBR AH	SSCBR AL	SSCAF BH	SSCAF BL	SSCAR BH	SSCAR BL	SSGTR GDF	SSGTR GDR	SSGTR GCF	SSGTR GCR	SSGTR GBF	SSGTR GBR	SSGTR GAF	SSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタスタート許可	0: GTETRGA入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b1	SSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタスタート許可	0: GTETRGA入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b2	SSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタスタート許可	0: GTETRGB入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b3	SSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタスタート許可	0: GTETRGB入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b4	SSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタスタート許可	0: GTETRGC入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGC入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b5	SSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタスタート許可	0: GTETRGC入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGC入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b6	SSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタスタート許可	0: GTETRGD入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGD入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b7	SSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタスタート許可	0: GTETRGD入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGD入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b8	SSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタスタート許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b9	SSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタスタート許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b10	SSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタスタート許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを許可	R/W



ビット	シンボル	ビット名	機能	R/W
b11	SSCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタスタート許可	0: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b12	SSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタスタート許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b13	SSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタスタート許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b14	SSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタスタート許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b15	SSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタスタート許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b16	SSELCA	ELCA イベント要因カウンタスタート許可	0: ELCA イベント入力でのカウンタスタートを禁止 1: ELCA イベント入力でのカウンタスタートを許可	R/W
b17	SSELCB	ELCB イベント要因カウンタスタート許可	0: ELCB イベント入力でのカウンタスタートを禁止 1: ELCB イベント入力でのカウンタスタートを許可	R/W
b18	SSELC	ELCC イベント要因カウンタスタート許可	0: ELCC イベント入力でのカウンタスタートを禁止 1: ELCC イベント入力でのカウンタスタートを許可	R/W
b19	SSELCD	ELCD イベント要因カウンタスタート許可	0: ELCD イベント入力でのカウンタスタートを禁止 1: ELCD イベント入力でのカウンタスタートを許可	R/W
b20	SSELCE	ELCE イベント要因カウンタスタート許可	0: ELCE イベント入力でのカウンタスタートを禁止 1: ELCE イベント入力でのカウンタスタートを許可	R/W
b21	SSELCF	ELCF イベント要因カウンタスタート許可	0: ELCF イベント入力でのカウンタスタートを禁止 1: ELCF イベント入力でのカウンタスタートを許可	R/W
b22	SSELCG	ELCG イベント要因カウンタスタート許可	0: ELCG イベント入力でのカウンタスタートを禁止 1: ELCG イベント入力でのカウンタスタートを許可	R/W
b23	SSELCH	ELCH イベント要因カウンタスタート許可	0: ELCH イベント入力でのカウンタスタートを禁止 1: ELCH イベント入力でのカウンタスタートを許可	R/W
b30-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTRT	ソフトウェア要因カウンタスタート許可	0: GTSTR レジスタによるカウンタスタートを禁止 1: GTSTR レジスタによるカウンタスタートを許可	R/W

GTSSR レジスタは GTCNT カウンタの開始要因を設定するレジスタです。

#### SSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタスタート許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可または禁止します。

#### SSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタスタート許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可または禁止します。

#### SSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタスタート許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可または禁止します。

#### SSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタスタート許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可または禁止します。

#### SSGTRGCR ビット (GTETRGC 端子立ち上がり入力要因カウンタスタート許可)

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可または禁止します。

**SSGTRGCF ビット (GTETRG 端子立ち下がり入力要因カウンタスタート許可)**

GTETRG 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可または禁止します。

**SSGTRGDR ビット (GTETRG 端子立ち上がり入力要因カウンタスタート許可)**

GTETRG 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可または禁止します。

**SSGTRGDF ビット (GTETRG 端子立ち下がり入力要因カウンタスタート許可)**

GTETRG 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可または禁止します。

**SSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタスタート許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可または禁止します。

**SSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタスタート許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可または禁止します。

**SSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタスタート許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可または禁止します。

**SSCAFBL ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタスタート許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可または禁止します。

**SSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタスタート許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可または禁止します。

**SSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタスタート許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可または禁止します。

**SSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタスタート許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可または禁止します。

**SSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタスタート許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可または禁止します。

**SSELCm ビット (ELCm イベント要因カウンタスタート許可) (m = A ~ H)**

ELCm イベント入力での GTCNT カウンタスタートを許可または禁止します。

**CSTRT ビット (ソフトウェア要因カウンタスタート許可)**

GTSTR レジスタによる GTCNT カウンタスタートを許可または禁止します。

## 23.2.6 汎用PWM タイマストップ要因選択レジスタ (GTPSR)

アドレス GPT32m.GTPSR 4007 8014h + 0100h × m (m = 0~9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CSTOP	—	—	—	—	—	—	—	PSELC H	PSELC G	PSELC F	PSELC E	PSELC D	PSELC C	PSELC B	PSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PSCBF AH	PSCBF AL	PSCBR AH	PSCBR AL	PSCAF BH	PSCAF BL	PSCAR BH	PSCAR BL	PSGTR GDF	PSGTR GDR	PSGTR GCF	PSGTR GCR	PSGTR GBF	PSGTR GBR	PSGTR GAF	PSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタストップ許可	0: GTETRGA入力の立ち上がりエッジでのカウンタストップを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b1	PSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタストップ許可	0: GTETRGA入力の立ち下がりエッジでのカウンタストップを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b2	PSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタストップ許可	0: GTETRGB入力の立ち上がりエッジでのカウンタストップを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b3	PSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタストップ許可	0: GTETRGB入力の立ち下がりエッジでのカウンタストップを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b4	PSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタストップ許可	0: GTETRGC入力の立ち上がりエッジでのカウンタストップを禁止 1: GTETRGC入力の立ち上がりエッジでのカウンタストップを許可	R/W
b5	PSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタストップ許可	0: GTETRGC入力の立ち下がりエッジでのカウンタストップを禁止 1: GTETRGC入力の立ち下がりエッジでのカウンタストップを許可	R/W
b6	PSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタストップ許可	0: GTETRGD入力の立ち上がりエッジでのカウンタストップを禁止 1: GTETRGD入力の立ち上がりエッジでのカウンタストップを許可	R/W
b7	PSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタストップ許可	0: GTETRGD入力の立ち下がりエッジでのカウンタストップを禁止 1: GTETRGD入力の立ち下がりエッジでのカウンタストップを許可	R/W
b8	PSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b9	PSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b10	PSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	PSCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタストップ許可	0: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタストップを許可	R/W
b12	PSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタストップ許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタストップを禁止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタストップを許可	R/W
b13	PSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタストップ許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタストップを禁止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタストップを許可	R/W
b14	PSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタストップ許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち下がりエッジでのカウンタストップを許可	R/W
b15	PSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタストップ許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち下がりエッジでのカウンタストップを許可	R/W
b16	PSELCA	ELCA イベント要因カウンタストップ許可	0: ELCA イベント入力でのカウンタストップを禁止 1: ELCA イベント入力でのカウンタストップを許可	R/W
b17	PSELCB	ELCB イベント要因カウンタストップ許可	0: ELCB イベント入力でのカウンタストップを禁止 1: ELCB イベント入力でのカウンタストップを許可	R/W
b18	PSELCC	ELCC イベント要因カウンタストップ許可	0: ELCC イベント入力でのカウンタストップを禁止 1: ELCC イベント入力でのカウンタストップを許可	R/W
b19	PSELCD	ELCD イベント要因カウンタストップ許可	0: ELCD イベント入力でのカウンタストップを禁止 1: ELCD イベント入力でのカウンタストップを許可	R/W
b20	PSELCE	ELCE イベント要因カウンタストップ許可	0: ELCE イベント入力でのカウンタストップを禁止 1: ELCE イベント入力でのカウンタストップを許可	R/W
b21	PSELCF	ELCF イベント要因カウンタストップ許可	0: ELCF イベント入力でのカウンタストップを禁止 1: ELCF イベント入力でのカウンタストップを許可	R/W
b22	PSELCG	ELCG イベント要因カウンタストップ許可	0: ELCG イベント入力でのカウンタストップを禁止 1: ELCG イベント入力でのカウンタストップを許可	R/W
b23	PSELCH	ELCH イベント要因カウンタストップ許可	0: ELCH イベント入力でのカウンタストップを禁止 1: ELCH イベント入力でのカウンタストップを許可	R/W
b30-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTOP	ソフトウェア要因カウンタストップ許可	0: GTSTP レジスタによるカウンタストップを禁止 1: GTSTP レジスタによるカウンタストップを許可	R/W

GTPSR レジスタは GTCNT カウンタの停止要因を設定するレジスタです。

#### PSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタストップ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可または禁止します。

#### PSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタストップ許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可または禁止します。

#### PSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタストップ許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可または禁止します。

#### PSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタストップ許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可または禁止します。

#### PSGTRGCR ビット (GTETRGC 端子立ち上がり入力要因カウンタストップ許可)

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可または禁止します。

**PSGTRGCF ビット (GTETRG 端子立ち下がり入力要因カウンタストップ許可)**

GTETRG 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可または禁止します。

**PSGTRGDR ビット (GTETRG 端子立ち上がり入力要因カウンタストップ許可)**

GTETRG 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可または禁止します。

**PSGTRGDF ビット (GTETRG 端子立ち下がり入力要因カウンタストップ許可)**

GTETRG 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可または禁止します。

**PSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタストップ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可または禁止します。

**PSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタストップ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可または禁止します。

**PSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタストップ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可または禁止します。

**PSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタストップ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可または禁止します。

**PSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタストップ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可または禁止します。

**PSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタストップ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可または禁止します。

**PSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタストップ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可または禁止します。

**PSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタストップ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可または禁止します。

**PSELCm ビット (ELCm イベント要因カウンタストップ許可) (m = A ~ H)**

ELCm イベント入力での GTCNT カウンタストップを許可または禁止します。

**CSTOP ビット (ソフトウェア要因カウンタストップ許可)**

GTSTP レジスタによる GTCNT カウンタストップを許可または禁止します。

## 23.2.7 汎用PWM タイマクリア要因選択レジスタ (GTCSR)

アドレス GPT32m.GTCSR 4007 8018h + 0100h × m (m = 0~9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CCLR	—	—	—	—	—	—	—	CSELC H	CSELC G	CSELC F	CSELC E	CSELC D	CSELC C	CSELC B	CSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CSCBF AH	CSCBF AL	CSCBR AH	CSCBR AL	CSCAF BH	CSCAF BL	CSCAR BH	CSCAR BL	CSGTR GDF	CSGTR GDR	CSGTR GCF	CSGTR GCR	CSGTR GBF	CSGTR GBR	CSGTR GAF	CSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタクリア許可	0: GTETRGA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b1	CSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタクリア許可	0: GTETRGA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b2	CSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタクリア許可	0: GTETRGB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b3	CSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタクリア許可	0: GTETRGB入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b4	CSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタクリア許可	0: GTETRGC入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGC入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b5	CSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタクリア許可	0: GTETRGC入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGC入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b6	CSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタクリア許可	0: GTETRGD入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGD入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b7	CSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタクリア許可	0: GTETRGD入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGD入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b8	CSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b9	CSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b10	CSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	CSCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタクリア許可	0: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b12	CSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタクリア許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b13	CSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタクリア許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b14	CSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタクリア許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b15	CSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタクリア許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b16	CSELCA	ELCA イベント要因カウンタクリア許可	0: ELCA イベント入力でのカウンタクリアを禁止 1: ELCA イベント入力でのカウンタクリアを許可	R/W
b17	CSELCB	ELCB イベント要因カウンタクリア許可	0: ELCB イベント入力でのカウンタクリアを禁止 1: ELCB イベント入力でのカウンタクリアを許可	R/W
b18	CSELCC	ELCC イベント要因カウンタクリア許可	0: ELCC イベント入力でのカウンタクリアを禁止 1: ELCC イベント入力でのカウンタクリアを許可	R/W
b19	CSELCD	ELCD イベント要因カウンタクリア許可	0: ELCD イベント入力でのカウンタクリアを禁止 1: ELCD イベント入力でのカウンタクリアを許可	R/W
b20	CSELCE	ELCE イベント要因カウンタクリア許可	0: ELCE イベント入力でのカウンタクリアを禁止 1: ELCE イベント入力でのカウンタクリアを許可	R/W
b21	CSELCF	ELCF イベント要因カウンタクリア許可	0: ELCF イベント入力でのカウンタクリアを禁止 1: ELCF イベント入力でのカウンタクリアを許可	R/W
b22	CSELCG	ELCG イベント要因カウンタクリア許可	0: ELCG イベント入力でのカウンタクリアを禁止 1: ELCG イベント入力でのカウンタクリアを許可	R/W
b23	CSELCH	ELCH イベント要因カウンタクリア許可	0: ELCH イベント入力でのカウンタクリアを禁止 1: ELCH イベント入力でのカウンタクリアを許可	R/W
b30-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CCLR	ソフトウェア要因カウンタクリア許可	0: GTCLR レジスタによるカウンタクリアを禁止 1: GTCLR レジスタによるカウンタクリアを許可	R/W

GTCSR レジスタは GTCNT カウンタのクリア要因を設定するレジスタです。

#### CSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタクリア許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可または禁止します。

#### CSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタクリア許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可または禁止します。

#### CSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタクリア許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可または禁止します。

#### CSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタクリア許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可または禁止します。

#### CSGTRGCR ビット (GTETRGC 端子立ち上がり入力要因カウンタクリア許可)

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可または禁止します。

**CSGTRGCF ビット (GTETRG 端子立ち下がり入力要因カウンタクリア許可)**

GTETRG 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可または禁止します。

**CSGTRGDR ビット (GTETRG 端子立ち上がり入力要因カウンタクリア許可)**

GTETRG 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可または禁止します。

**CSGTRGDF ビット (GTETRG 端子立ち下がり入力要因カウンタクリア許可)**

GTETRG 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可または禁止します。

**CSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタクリア許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可または禁止します。

**CSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタクリア許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可または禁止します。

**CSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタクリア許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可または禁止します。

**CSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタクリア許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可または禁止します。

**CSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタクリア許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可または禁止します。

**CSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタクリア許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可または禁止します。

**CSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタクリア許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可または禁止します。

**CSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタクリア許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可または禁止します。

**CSELCm ビット (ELCm イベント要因カウンタクリア許可) (m = A ~ H)**

ELCm イベント入力での GTCNT カウンタクリアを許可または禁止します。

**CCLR ビット (ソフトウェア要因カウンタクリア許可)**

GTCLR レジスタによる GTCNT カウンタクリアを許可または禁止します。



## 23.2.8 汎用PWM タイマアップカウント要因選択レジスタ (GTUPSR)

アドレス GPT32m.GTUPSR 4007 801Ch + 0100h × m (m = 0~9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	USELCH	USELHG	USELHF	USELHE	USELHD	USELHC	USELHB	USELHA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
USCBFAH	USCBFAL	USCBRAH	USCBRAL	USCAF BH	USCAFBL	USCAR BH	USCARBL	USGTR GDF	USGTR GDR	USGTR GCF	USGTR GCR	USGTR GBF	USGTR GBR	USGTR GAF	USGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA端子立ち上がり入力要因カウンタカウントアップ許可	0: GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b1	USGTRGAF	GTETRGA端子立ち下がり入力要因カウンタカウントアップ許可	0: GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b2	USGTRGBR	GTETRGR端子立ち上がり入力要因カウンタカウントアップ許可	0: GTETRGR入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTETRGR入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b3	USGTRGBF	GTETRGR端子立ち下がり入力要因カウンタカウントアップ許可	0: GTETRGR入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTETRGR入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b4	USGTRGCR	GTETRGC端子立ち上がり入力要因カウンタカウントアップ許可	0: GTETRGC入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTETRGC入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b5	USGTRGCF	GTETRGC端子立ち下がり入力要因カウンタカウントアップ許可	0: GTETRGC入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTETRGC入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b6	USGTRGDR	GTETRGD端子立ち上がり入力要因カウンタカウントアップ許可	0: GTETRGD入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTETRGD入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b7	USGTRGDF	GTETRGD端子立ち下がり入力要因カウンタカウントアップ許可	0: GTETRGD入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTETRGD入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b8	USCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b9	USCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b10	USCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	USCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b12	USCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b13	USCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b14	USCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b15	USCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b16	USELCA	ELCA イベント要因カウンタカウントアップ許可	0: ELCA イベント入力でのカウンタカウントアップを禁止 1: ELCA イベント入力でのカウンタカウントアップを許可	R/W
b17	USELCB	ELCB イベント要因カウンタカウントアップ許可	0: ELCB イベント入力でのカウンタカウントアップを禁止 1: ELCB イベント入力でのカウンタカウントアップを許可	R/W
b18	USELCC	ELCC イベント要因カウンタカウントアップ許可	0: ELCC イベント入力でのカウンタカウントアップを禁止 1: ELCC イベント入力でのカウンタカウントアップを許可	R/W
b19	USELCD	ELCD イベント要因カウンタカウントアップ許可	0: ELCD イベント入力でのカウンタカウントアップを禁止 1: ELCD イベント入力でのカウンタカウントアップを許可	R/W
b20	USELCE	ELCE イベント要因カウンタカウントアップ許可	0: ELCE イベント入力でのカウンタカウントアップを禁止 1: ELCE イベント入力でのカウンタカウントアップを許可	R/W
b21	USELCF	ELCF イベント要因カウンタカウントアップ許可	0: ELCF イベント入力でのカウンタカウントアップを禁止 1: ELCF イベント入力でのカウンタカウントアップを許可	R/W
b22	USELCG	ELCG イベント要因カウンタカウントアップ許可	0: ELCG イベント入力でのカウンタカウントアップを禁止 1: ELCG イベント入力でのカウンタカウントアップを許可	R/W
b23	USELCH	ELCH イベント要因カウンタカウントアップ許可	0: ELCH イベント入力でのカウンタカウントアップを禁止 1: ELCH イベント入力でのカウンタカウントアップを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTUPSR レジスタは GTCNT カウンタのカウントアップ要因を設定するレジスタです。

GTUPSR レジスタの少なくとも1つのビットを1にすると、そのビットに対応する要因によって GTCNT カウンタがカウントアップされますが、GTCR.TPCS ビットで設定した GTCNT カウンタはカウントを実行しません。

#### USGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタカウントアップ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

#### USGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタカウントアップ許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

#### USGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタカウントアップ許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

#### USGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタカウントアップ許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

#### USGTRGCR ビット (GTETRGC 端子立ち上がり入力要因カウンタカウントアップ許可)

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

**USGTRGCF ビット (GTETRGC 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

**USGTRGDR ビット (GTETRGD 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

**USGTRGDF ビット (GTETRGD 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

**USCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

**USCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

**USCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

**USCAFBL ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

**USCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

**USCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

**USCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

**USCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可または禁止します。

**USELCm ビット (ELCm イベント要因カウンタカウントアップ許可) (m = A ~ H)**

ELCm イベント入力での GTCNT カウンタカウントアップを許可または禁止します。

## 23.2.9 汎用 PWM タイマダウンカウンタ要因選択レジスタ (GTDNSR)

アドレス GPT32m.GTDNSR 4007 8020h + 0100h × m (m = 0~9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	DSELC H	DSELC G	DSELC F	DSELC E	DSELC D	DSELC C	DSELC B	DSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DSCBF AH	DSCBF AL	DSCBR AH	DSCBR AL	DSCAF BH	DSCAF BL	DSCAR BH	DSCAR BL	DSGTR GDF	DSGTR GDR	DSGTR GCF	DSGTR GCR	DSGTR GBF	DSGTR GBR	DSGTR GAF	DSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタカウントダウン許可	0: GTETRGA入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b1	DSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタカウントダウン許可	0: GTETRGA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b2	DSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタカウントダウン許可	0: GTETRGB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b3	DSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタカウントダウン許可	0: GTETRGB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b4	DSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタカウントダウン許可	0: GTETRGC入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTETRGC入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b5	DSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタカウントダウン許可	0: GTETRGC入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTETRGC入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b6	DSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタカウントダウン許可	0: GTETRGD入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTETRGD入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b7	DSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタカウントダウン許可	0: GTETRGD入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTETRGD入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b8	DSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b9	DSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b10	DSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	DSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b12	DSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b13	DSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b14	DSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b15	DSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b16	DSELCA	ELCAイベント要因カウンタカウントダウン許可	0: ELCAイベント入力でのカウンタカウントダウンを禁止 1: ELCAイベント入力でのカウンタカウントダウンを許可	R/W
b17	DSELCB	ELCBイベント要因カウンタカウントダウン許可	0: ELCBイベント入力でのカウンタカウントダウンを禁止 1: ELCBイベント入力でのカウンタカウントダウンを許可	R/W
b18	DSELCC	ELCCイベント要因カウンタカウントダウン許可	0: ELCCイベント入力でのカウンタカウントダウンを禁止 1: ELCCイベント入力でのカウンタカウントダウンを許可	R/W
b19	DSELCD	ELCDイベント要因カウンタカウントダウン許可	0: ELCDイベント入力でのカウンタカウントダウンを禁止 1: ELCDイベント入力でのカウンタカウントダウンを許可	R/W
b20	DSELCE	ELCEイベント要因カウンタカウントダウン許可	0: ELCEイベント入力でのカウンタカウントダウンを禁止 1: ELCEイベント入力でのカウンタカウントダウンを許可	R/W
b21	DSELCF	ELCFイベント要因カウンタカウントダウン許可	0: ELCFイベント入力でのカウンタカウントダウンを禁止 1: ELCFイベント入力でのカウンタカウントダウンを許可	R/W
b22	DSELCG	ELCGイベント要因カウンタカウントダウン許可	0: ELCGイベント入力でのカウンタカウントダウンを禁止 1: ELCGイベント入力でのカウンタカウントダウンを許可	R/W
b23	DSELCH	ELCHイベント要因カウンタカウントダウン許可	0: ELCHイベント入力でのカウンタカウントダウンを禁止 1: ELCHイベント入力でのカウンタカウントダウンを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDNSR レジスタはGTCNTカウンタのカウントダウン要因を設定するレジスタです。

GTDNSR レジスタの少なくとも1つのビットを1にすると、そのビットに対応する要因によってGTCNTカウンタがカウントダウンされますが、GTCR.TPCS ビットで設定したGTCNTカウンタはカウントを実行しません。

#### DSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタカウントダウン許可)

GTETRGA 端子入力の立ち上がりエッジでのGTCNTカウンタカウントダウンを許可または禁止します。

#### DSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタカウントダウン許可)

GTETRGA 端子入力の立ち下がりエッジでのGTCNTカウンタカウントダウンを許可または禁止します。

#### DSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタカウントダウン許可)

GTETRGB 端子入力の立ち上がりエッジでのGTCNTカウンタカウントダウンを許可または禁止します。

#### DSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタカウントダウン許可)

GTETRGB 端子入力の立ち下がりエッジでのGTCNTカウンタカウントダウンを許可または禁止します。

**DSGTRGCR ビット (GTETRG 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTETRG 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可または禁止します。

**DSGTRGCF ビット (GTETRG 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTETRG 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可または禁止します。

**DSGTRGDR ビット (GTETRGD 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可または禁止します。

**DSGTRGDF ビット (GTETRGD 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可または禁止します。

**DSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可または禁止します。

**DSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可または禁止します。

**DSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可または禁止します。

**DSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可または禁止します。

**DSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可または禁止します。

**DSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可または禁止します。

**DSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可または禁止します。

**DSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可または禁止します。

**DSELCm ビット (ELCm イベント要因カウンタカウントダウン許可) (m = A ~ H)**

ELCm イベント入力での GTCNT カウンタカウントダウンを許可または禁止します。

## 23.2.10 汎用PWM タイマインプットキャプチャ要因選択レジスタ A (GTICASR)

アドレス GPT32m.GTICASR 4007 8024h + 0100h × m (m = 0~9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	ASELC H	ASELC G	ASELC F	ASELC E	ASELC D	ASELC C	ASELC B	ASELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ASCBF AH	ASCBF AL	ASCBR AH	ASCBR AL	ASCAF BH	ASCAF BL	ASCAR BH	ASCAR BL	ASGTR GDF	ASGTR GDR	ASGTR GCF	ASGTR GCR	ASGTR GBF	ASGTR GBR	ASGTR GAF	ASGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b1	ASGTRGAF	GTETRGA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b2	ASGTRGBR	GTETRGB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b3	ASGTRGBF	GTETRGB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b4	ASGTRGCR	GTETRGC端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGC入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGC入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b5	ASGTRGCF	GTETRGC端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGC入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGC入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b6	ASGTRGDR	GTETRGD端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGD入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGD入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b7	ASGTRGDF	GTETRGD端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGD入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGD入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b8	ASCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b9	ASCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b10	ASCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	ASCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b12	ASCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b13	ASCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b14	ASCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b15	ASCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b16	ASELCA	ELCAイベント要因GTCCRAインプットキャプチャ許可	0: ELCAイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELCAイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b17	ASELCB	ELCBイベント要因GTCCRAインプットキャプチャ許可	0: ELCBイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELCBイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b18	ASELCC	ELCCイベント要因GTCCRAインプットキャプチャ許可	0: ELCCイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELCCイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b19	ASELCD	ELCDイベント要因GTCCRAインプットキャプチャ許可	0: ELCDイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELCDイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b20	ASELCE	ELCEイベント要因GTCCRAインプットキャプチャ許可	0: ELCEイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELCEイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b21	ASELCF	ELCFイベント要因GTCCRAインプットキャプチャ許可	0: ELCFイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELCFイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b22	ASELCG	ELCGイベント要因GTCCRAインプットキャプチャ許可	0: ELCGイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELCGイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b23	ASELCH	ELCHイベント要因GTCCRAインプットキャプチャ許可	0: ELCHイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELCHイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICASR レジスタは GTCCRA のインプットキャプチャ要因を設定するレジスタです。

#### ASGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可または禁止します。



**ASGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASGTRGCR ビット (GTETRGC 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGC 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASGTRGCF ビット (GTETRGC 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGC 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASGTRGDR ビット (GTETRGD 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGD 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASGTRGDF ビット (GTETRGD 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGD 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASCAFBL ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可または禁止します。

**ASELCm ビット (ELCm イベント要因カウンタ GTCCRA インพุットキャプチャ許可) (m = A ~ H)**

ELCm イベント入力での GTCCRA インพุットキャプチャを許可または禁止します。

参考資料

## 23.2.11 汎用PWM タイマインプットキャプチャ要因選択レジスタ B (GTICBSR)

アドレス GPT32m.GTICBSR 4007 8028h + 0100h × m (m = 0~9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	BSELC H	BSELC G	BSELC F	BSELC E	BSELC D	BSELC C	BSELC B	BSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSCBF AH	BSCBF AL	BSCBR AH	BSCBR AL	BSCAF BH	BSCAF BL	BSCAR BH	BSCAR BL	BSGTR GDF	BSGTR GDR	BSGTR GCF	BSGTR GCR	BSGTR GBF	BSGTR GBR	BSGTR GAF	BSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b1	BSGTRGAF	GTETRGA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b2	BSGTRGBR	GTETRGB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b3	BSGTRGBF	GTETRGB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b4	BSGTRGCR	GTETRGC端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGC入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGC入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b5	BSGTRGCF	GTETRGC端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGC入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGC入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b6	BSGTRGDR	GTETRGD端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGD入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGD入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b7	BSGTRGDF	GTETRGD端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGD入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGD入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b8	BSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b9	BSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b10	BSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	BSCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可	0: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを禁止 1: GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可	R/W
b12	BSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを禁止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可	R/W
b13	BSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを禁止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可	R/W
b14	BSCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可	0: GTIOCA 入力が0のとき、GTIOCB 入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを禁止 1: GTIOCA 入力が0のとき、GTIOCB 入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可	R/W
b15	BSCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可	0: GTIOCA 入力が1のとき、GTIOCB 入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを禁止 1: GTIOCA 入力が1のとき、GTIOCB 入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可	R/W
b16	BSELCA	ELCA イベント要因 GTCCRB インพุットキャプチャ許可	0: ELCA イベント入力での GTCCRB インพุットキャプチャを禁止 1: ELCA イベント入力での GTCCRB インพุットキャプチャを許可	R/W
b17	BSELCB	ELCB イベント要因 GTCCRB インพุットキャプチャ許可	0: ELCB イベント入力での GTCCRB インพุットキャプチャを禁止 1: ELCB イベント入力での GTCCRB インพุットキャプチャを許可	R/W
b18	BSELCC	ELCC イベント要因 GTCCRB インพุットキャプチャ許可	0: ELCC イベント入力での GTCCRB インพุットキャプチャを禁止 1: ELCC イベント入力での GTCCRB インพุットキャプチャを許可	R/W
b19	BSELCD	ELCD イベント要因 GTCCRB インพุットキャプチャ許可	0: ELCD イベント入力での GTCCRB インพุットキャプチャを禁止 1: ELCD イベント入力での GTCCRB インพุットキャプチャを許可	R/W
b20	BSELCE	ELCE イベント要因 GTCCRB インพุットキャプチャ許可	0: ELCE イベント入力での GTCCRB インพุットキャプチャを禁止 1: ELCE イベント入力での GTCCRB インพุットキャプチャを許可	R/W
b21	BSELCF	ELCF イベント要因 GTCCRB インพุットキャプチャ許可	0: ELCF イベント入力での GTCCRB インพุットキャプチャを禁止 1: ELCF イベント入力での GTCCRB インพุットキャプチャを許可	R/W
b22	BSELCG	ELCG イベント要因 GTCCRB インพุットキャプチャ許可	0: ELCG イベント入力での GTCCRB インพุットキャプチャを禁止 1: ELCG イベント入力での GTCCRB インพุットキャプチャを許可	R/W
b23	BSELCH	ELCH イベント要因 GTCCRB インพุットキャプチャ許可	0: ELCH イベント入力での GTCCRB インพุットキャプチャを禁止 1: ELCH イベント入力での GTCCRB インพุットキャプチャを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICBSR レジスタは GTCCRB のインพุットキャプチャ要因を設定するレジスタです。

#### BSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSGTRGCR ビット (GTETRGC 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGC 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSGTRGCF ビット (GTETRGC 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGC 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSGTRGDR ビット (GTETRGD 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGD 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSGTRGDF ビット (GTETRGD 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGD 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可または禁止します。

**BSELCm ビット (ELCm イベント要因カウンタ GTCCRB インพุットキャプチャ許可) (m = A ~ H)**

ELCm イベント入力での GTCCRB インพุットキャプチャを許可または禁止します。

参考資料

## 23.2.12 汎用 PWM タイマコントロールレジスタ (GTCR)

アドレス GPT32m.GTCR 4007 802Ch + 0100h × m (m = 0~9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	TPCS[2:0]			—	—	—	—	—	MD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタート	0: カウント動作を停止 1: カウント動作を実行	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	MD[2:0]	モード選択	b18 b16 0 0 0: のこぎり波PWMモード (シングル/ダブルバッファ可) 0 0 1: のこぎり波ワンショットパルスモード (バッファ動作固定) 0 1 0: 設定禁止 0 1 1: 設定禁止 1 0 0: 三角波PWMモード1 (谷16ビット転送) (シングル/ダブルバッファ可) 1 0 1: 三角波PWMモード2 (山/谷16ビット転送) (シングル/ダブルバッファ可) 1 1 0: 三角波PWMモード3 (谷32ビット転送) (バッファ動作固定) 1 1 1: 設定禁止	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	TPCS[2:0]	タイマプリスケール選択	b26 b24 0 0 0: PCLKD/1 0 0 1: PCLKD/4 0 1 0: PCLKD/16 0 1 1: PCLKD/64 1 0 0: PCLKD/256 1 0 1: PCLKD/1,024	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

**CST ビット (カウントスタート)**

GTCNT カウンタのスタート/ストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが1の状態、GTSTR レジスタの値 (チャンネル番号はビット番号に対応) を1にしたとき
- ELC イベント入力、またはカウンタスタート要因により GTSSR レジスタで許可した GTIOCA/GTIOCB/GTETRG ポート入力が発生したとき
- ソフトウェアで直接1を書き込んだとき

[0 になる条件]

- GTSSR.CSTOP ビットが1の状態、GTSTP レジスタの値 (チャンネル番号はビット番号に対応) を1にしたとき
- ELC イベント入力、またはカウンタストップ要因により GTSSR レジスタで許可した GTIOCA/GTIOCB/

GTETRG ポート入力が発生したとき

- ソフトウェアで直接 0 を書き込んだとき

#### MD[2:0] ビット (モード選択)

GPT の動作モードを選択します。MD[2:0] ビットの設定は、GTCNT 動作が停止しているときに行ってください。

#### TPCS[2:0] ビット (タイマプリスケラ選択)

GTCNT カウンタのクロックを選択します。チャンネルごとに個別にクロックプリスケラの選択が可能です。TPCS[2:0] ビットの設定は、GTCNT 動作が停止しているときに行ってください。

参考資料



## 23.2.13 汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC)

アドレス GPT32m.GTUDDTYC 4007 8030h + 0100h × m (m = 0 ~ 9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	OBDTYR	OBDTYF	OBDTY[1:0]	—	—	—	—	OADTYR	OADTYF	OADTY[1:0]	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウント方向設定	0 : GTCNTカウンタはダウンカウント 1 : GTCNTカウンタはアップカウント	R/W
b1	UDF	カウント方向強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	OADTY[1:0]	GTIOCA出力デューティ設定	b17 b16 0 x : GTIOCA端子のデューティはコンペアマッチに依存 1 0 : GTIOCA端子のデューティは0% 1 1 : GTIOCA端子のデューティは100%	R/W
b18	OADTYF	GTIOCA出力デューティ強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b19	OADTYR	0%/100%デューティ設定解除後のGTIOCA出力値選択	0 : 0%/100%デューティ設定解除後に、0%/100%デューティに設定された出力値をGTIOA[3:2]機能に適用 1 : 0%/100%デューティ設定解除後に、マスクされたコンペアマッチ出力値をGTIOA[3:2]機能に適用	
b23-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	OBDTY[1:0]	GTIOCB出力デューティ設定	b25 b24 0 x : GTIOCB端子のデューティはコンペアマッチに依存 1 0 : GTIOCB端子のデューティは0% 1 1 : GTIOCB端子のデューティは100%	R/W
b26	OBDTYF	GTIOCB出力デューティ強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b27	OBDTYR	0%/100%デューティ設定解除後のGTIOCB出力値選択	0 : 0%/100%デューティ設定解除後に、0%/100%デューティに設定された出力値をGTIOB[3:2]機能に適用 1 : 0%/100%デューティ設定解除後に、マスクされたコンペアマッチ出力値をGTIOB[3:2]機能に適用	
b31-b28	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

x : Don't care

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向 (アップ/ダウン) および GTIOCA/GTIOCB 端子出力のデューティを設定するレジスタです。

## 【カウント方向】

- のこぎり波モードの場合

アップカウント中に UD 値を 0 にした場合、オーバーフロー時に (GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで) カウント方向が切り替わります。ダウンカウント中に UD 値を 1 にした場合、アンダーフロー時に (GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで) カウント方向が切り替わります。

カウントストップ中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウント動作はアップカウントとなり、オーバーフロー時に (GTCNT カウンタ値が GTPR 値になった後、カウントクロックに

同期したタイミングで) カウント方向が切り替わります。カウントストップ中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に (GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで) カウント方向が切り替わります。

カウントストップ中に UDF ビットを 1 にすると、UD ビット値がカウントスタート時のカウント方向に反映されます。

- 三角波モードの場合

カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD 値を変更しても、カウントスタート時のカウント方向には反映されません。

カウントストップ中に UDF ビットを 1 にすると、そのときの UD 値がカウントスタート時のカウント方向に反映されます。

### UD ビット (カウント方向設定)

GTCNT カウンタのカウント方向 (アップ/ダウン) を設定します。

### UDF ビット (カウント方向強制設定)

GTCNT カウンタスタート時のカウント方向を強制的に UD 値に設定します。カウンタが動作している間は、このビットに 0 以外を書き込まないでください。カウントストップ中に 1 を書いた場合、カウントがスタートする前に 0 に戻してください。

#### 【出力デューティ】

- のこぎり波モードの場合

アップカウント中に OADTY/OBDTY 値を変更すると、オーバーフロー時 (GTCNT = GTPR) にデューティが反映されます。ダウンカウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時 (GTCNT = 0) にデューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を 1 に変更すると、カウンタスタート時に出力デューティは反映されません。カウント方向がアップカウントの場合、オーバーフロー時 (GTCNT = GTPR) に出力デューティが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時 (GTCNT = 0) に出力デューティが反映されます。カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を 0 に変更すると、カウンタスタート時に出力デューティが反映されます。

- 三角波モードの場合

カウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を 1 に変更すると、カウンタスタート時に出力デューティは反映されません。ただし、アンダーフロー時に出力デューティが反映されます。カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を 0 に変更すると、カウンタスタート時に出力デューティが反映されます。

### OmDTY[1:0] ビット (GTIOCm 出力デューティ設定) (m = A, B)

GTIOCm 端子の出力デューティ (0%、100%、またはコンペアマッチ制御) を設定します。

### OmDTYF ビット (GTIOCm 出力デューティ強制設定) (m = A, B)

出力デューティサイクルを OmDTY の設定値に強制的に設定します。カウンタの動作中は、このビットを 0 にしてください。カウントストップ中にこのビットを 1 にした場合は、カウンタの動作開始後、最初の周期が終わるまでにこのビットを 0 に戻してください。

### OmDTYR ビット (0%/100% デューティ設定解除後の GTIOCm 出力値選択) (m = A, B)

0%/100% デューティ設定から GTIOCm 端子のコンペアマッチに制御が変更され、GTIOR.GTIOm[3:2] ビットが 00b (周期の終わりで出力保持) または 11b (周期の終わりでトグル出力) に設定されている場合、これらのビットは、周期の終わりで出力保持/トグル出力の対象となる値を選択します。

0%/100% デューティ動作の実行時に、GPT は内部でコンペアマッチ動作を継続します。OmDTYR ビットを 1 にすると、周期の終わりでコンペアマッチの値が GTIOR.GTIOm[3:2] に適用されます。

## 23.2.14 汎用PWMタイマ I/O コントロールレジスタ (GTIOR)

アドレス GPT32m.GTIOR 4007 8034h + 0100h × m (m = 0~9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCBSB[1:0]	NFBEN	—	—	OBDFF[1:0]	OBE	OBHLD	OBDFFL T	—	GTIOB[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
NFCSA[1:0]	NFAEN	—	—	OADF[1:0]	OAE	OAHL	OADFFL T	—	GTIOA[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	GTIOA[4:0]	GTIOCA 端子機能選択	表 23.5 を参照してください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OADFLT	カウントストップ時のGTIOCA 端子出力値設定	0: カウントストップ時にGTIOCA 端子はLow を出力 1: カウントストップ時にGTIOCA 端子はHigh を出力	R/W
b7	OAHL	カウントスタート/ストップ時 のGTIOCA 端子出力設定	0: カウントスタート/ストップ時のGTIOCA 端子出力レ ベルはレジスタ設定値に従う 1: カウントスタート/ストップ時のGTIOCA 端子出力レ ベルは保持される	R/W
b8	OAE	GTIOCA 端子出力許可	0: 出力を禁止 1: 出力を許可	R/W
b10-b9	OADF[1:0]	GTIOCA 端子禁止値設定	b10 b9 0 0: 出力禁止を禁止 0 1: 出力禁止時にGTIOCA 端子をHi-Zにする 1 0: 出力禁止時にGTIOCA 端子を0にする 1 1: 出力禁止時にGTIOCA 端子を1にする	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	NFAEN	ノイズフィルタA有効	0: GTIOCA 端子のノイズフィルタは無効 1: GTIOCA 端子のノイズフィルタは有効	R/W
b15-b14	NFCSA[1:0]	ノイズフィルタAサンプリングク ロック選択	b15 b14 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W
b20-b16	GTIOB[4:0]	GTIOCB 端子機能選択	表 23.5 を参照してください。	R/W
b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22	OBDFLT	カウントストップ時のGTIOCB 端子出力値設定	0: カウントストップ時にGTIOCB 端子はLow を出力 1: カウントストップ時にGTIOCB 端子はHigh を出力	R/W
b23	OBHL	カウントスタート/ストップ時 のGTIOCB 端子出力設定	0: カウントスタート/ストップ時のGTIOCB 端子出力レ ベルはレジスタ設定値に従う 1: カウントスタート/ストップ時のGTIOCB 端子出力レ ベルは保持される	R/W
b24	OBE	GTIOCB 端子出力許可	0: 出力を禁止 1: 出力を許可	R/W
b26-b25	OBDFF[1:0]	GTIOCB 端子禁止値設定	b26 b25 0 0: 出力禁止を禁止 0 1: 出力禁止時にGTIOCB 端子をHi-Zにする 1 0: 出力禁止時にGTIOCB 端子を0にする 1 1: 出力禁止時にGTIOCB 端子を1にする	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFBEN	ノイズフィルタB有効	0: GTIOCB 端子のノイズフィルタは無効 1: GTIOCB 端子のノイズフィルタは有効	

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCSTB[1:0]	ノイズフィルタBサンプリングクロック選択	b31 b30 0 0 : PCLKD/1 0 1 : PCLKD/4 1 0 : PCLKD/16 1 1 : PCLKD/64	

GTIOR レジスタは、GTIOCA 端子と GTIOCB 端子の機能を設定するレジスタです。

#### GTIOA[4:0] ビット (GTIOCA 端子機能選択)

GTIOCA 端子の機能を選択します。詳細は、表 23.5 を参照してください。

#### OADFLT ビット (カウントストップ時の GTIOCA 端子出力値設定)

カウントストップ時に、GTIOCA 端子が High または Low のいずれを出力するかを設定します。

#### OAHLDB ビット (カウントスタート/ストップ時の GTIOCA 端子出力設定)

カウントスタート/ストップ時に、GTIOCA 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

[OAHLDB ビットを 0 にした場合]

- カウントスタート時に、GTIOA[4:0] ビットの b4 で指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に OADFLT ビットを書き換えた場合、ただちに出力に反映される

[OAHLDB ビットを 1 にした場合]

- カウントスタート/ストップ時に出力が保持される

#### OAE ビット (GTIOCA 端子出力許可)

GTIOCA 端子出力を許可または禁止します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくとも 1 つのビットを 1 にした場合)、GTIOCA 端子出力は OAE ビット値に依存します。

#### OADF[1:0] ビット (GTIOCA 端子禁止値設定)

出力禁止要求発生時の GTIOCA 端子の出力値を選択します。

#### NFAEN ビット (ノイズフィルタ A 有効)

GTIOCA 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

#### NFCSTB[1:0] ビット (ノイズフィルタ A サンプリングクロック選択)

GTIOCA 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

#### GTIOCB[4:0] ビット (GTIOCB 端子機能選択)

GTIOCB 端子機能を選択します。詳細は、表 23.5 を参照してください。

#### OBDFLT ビット (カウントストップ時の GTIOCB 端子出力値設定)

カウントストップ時に、GTIOCB 端子が High または Low のいずれを出力するかを設定します。

**OBHLD ビット (カウントスタート/ストップ時の GTIOCB 端子出力設定)**

カウントスタート/ストップ時に、GTIOCB 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

[OBHLD ビットを 0 にした場合]

- カウントスタート時に、GTIOB[4:0] ビットの b4 で指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に OBDFLT ビットを書き換えた場合、ただちに出力に反映される

[OBHLD ビットを 1 にした場合]

- カウントスタート/ストップ時に出力が保持される

**OBE ビット (GTIOCB 端子出力許可)**

GTIOCB 端子出力を許可または禁止します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくとも 1 つのビットを 1 にした場合)、GTIOCB 端子出力は OBE ビット値に依存します。

**OBDF[1:0] ビット (GTIOCB 端子禁止値設定)**

出力禁止要求発生時の GTIOCB 端子の出力値を選択します。

**NFBEN ビット (ノイズフィルタ B 有効)**

GTIOCB 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

**NFCSB[1:0] ビット (ノイズフィルタ B サンプリングクロック選択)**

GTIOCB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表 23.5 GTIOA[4:0] ビットと GTIOB[4:0] ビットの設定値 (1/2)

GTIOA/GTIOB[4:0] ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
0	0	0	0	0	初期出力はLow	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

表 23.5 GTIOA[4:0]ビットとGTIOB[4:0]ビットの設定値 (2/2)

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
1	0	0	0	0	初期出力はHigh	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

注. 周期の終わりとは、オーバーフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）、またはアンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）を意味します。GTCNT カウンタはのこぎり波に対してクリアされます。また三角波の谷（GTCNT カウンタが 0 から 1 に変化）に対してクリアされます。

注. コンペアマッチ動作時に、周期の終わりと GTCCRA/GTCCRB コンペアマッチのタイミングが一致した場合、のこぎり波 PWM モードでは b3-b2 の設定値が優先され、それ以外のモードでは b1-b0 の設定値が優先されます。

注. GTUPSR レジスタまたは GTDNSR レジスタの少なくとも 1 つのビットが 1 の場合のイベントカウント動作では、b3-b2 の設定値は無視されます。

## 23.2.15 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)

アドレス GPT32m.GTINTAD 4007 8038h + 0100h × m (m = 0~9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	GRPABL	GRPABH	—	—	—	GRP[1:0]	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	GRP[1:0]	出力禁止要因選択	b25 b24 0 0 : グループA出力禁止要求 0 1 : グループB出力禁止要求 1 0 : グループC出力禁止要求 1 1 : グループD出力禁止要求	R/W
b28-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	GRPABH	同時出力レベルHigh禁止要求許可	0 : 同時出力レベルHigh禁止要求を禁止 1 : 同時出力レベルHigh禁止要求を許可	R/W
b30	GRPABL	同時出力レベルLow禁止要求許可	0 : 同時出力レベルLow禁止要求を禁止 1 : 同時出力レベルLow禁止要求を許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTINTAD レジスタは、割り込み要求と出力禁止要求を許可または禁止するレジスタです。

**GRP[1:0] ビット (出力禁止要因選択)**

GTIOCA 端子と GTIOCB 端子の出力禁止要因を選択します。

GTST.ODF が、GRP[1:0] ビットで選択した出力禁止要因グループの要求を示します。

**GRPABH ビット (同時出力レベル High 禁止要求許可)**

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力する場合に、出力禁止要求を許可または禁止します。

**GRPABL ビット (同時出力レベル Low 禁止要求許可)**

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力する場合に、出力禁止要求を許可または禁止します。

## 23.2.16 汎用 PWM タイマステータスレジスタ (GTST)

アドレス GPT32m.GTST 4007 803Ch + 0100h × m (m = 0~9)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	OABLF	OABHF	—	—	—	—	ODF	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	—	—	—	TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	インプットキャプチャ/コンペアマッチフラグA	0: GTCCRAインプットキャプチャ/コンペアマッチの発生なし 1: GTCCRAインプットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b1	TCFB	インプットキャプチャ/コンペアマッチフラグB	0: GTCCRBインプットキャプチャ/コンペアマッチの発生なし 1: GTCCRBインプットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b2	TCFC	インプットコンペアマッチフラグC	0: GTCCRCコンペアマッチの発生なし 1: GTCCRCコンペアマッチの発生あり	R/(W) (注1)
b3	TCFD	インプットコンペアマッチフラグD	0: GTCCRDコンペアマッチの発生なし 1: GTCCRDコンペアマッチの発生あり	R/(W) (注1)
b4	TCFE	インプットコンペアマッチフラグE	0: GTCCREコンペアマッチの発生なし 1: GTCCREコンペアマッチの発生あり	R/(W) (注1)
b5	TCFF	インプットコンペアマッチフラグF	0: GTCCRFコンペアマッチの発生なし 1: GTCCRFコンペアマッチの発生あり	R/(W) (注1)
b6	TCFPO	オーバーフローフラグ	0: オーバーフロー (山) の発生なし 1: オーバーフロー (山) の発生あり	R/(W) (注1)
b7	TCFPU	アンダーフローフラグ	0: アンダーフロー (谷) の発生なし 1: アンダーフロー (谷) の発生あり	R/(W) (注1)
b14-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	TUCF	カウント方向フラグ	0: GTCNTカウンタはダウンカウント 1: GTCNTカウンタはアップカウント	R
b23-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	ODF	出力禁止フラグ	0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
b28-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	OABHF	同時出力レベルHighフラグ	0: GTIOCA端子とGTIOCB端子は同時に1を出力していない 1: GTIOCA端子とGTIOCB端子は同時に1を出力した	R
b30	OABLF	同時出力レベルLowフラグ	0: GTIOCA端子とGTIOCB端子は同時に0を出力していない 1: GTIOCA端子とGTIOCB端子は同時に0を出力した	R
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. このビットには0のみ書けます。1を書き込まないでください。

GTST レジスタは、GPT の状態を示します。

**TCFA フラグ (インプットキャプチャ/コンペアマッチフラグA)**

GTCCRA のインプットキャプチャまたはコンペアマッチのステータスフラグです。

[1になる条件]



- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRA 値になったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

[0 になる条件]

- このビットに 0 を書いたとき

#### TCFB フラグ (インプットキャプチャ/コンペアマッチフラグ B)

GTCCRB のインプットキャプチャまたはコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRB 値になったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[0 になる条件]

- このビットに 0 を書いたとき

#### TCFC フラグ (インプットコンペアマッチフラグ C)

GTCCRC のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRC 値になったとき

[0 になる条件]

- このビットに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

#### TCFD フラグ (インプットコンペアマッチフラグ D)

GTCCRD のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRD 値になったとき

[0 になる条件]

- このビットに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRD レジスタがバッファ動作)

#### TCFE フラグ (インプットコンペアマッチフラグ E)

GTCCRE のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRE 値になったとき  
[0 になる条件]
- このビットに 0 を書いたとき  
[比較を行わない条件]
- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 01b、10b、11b (GTCCRE レジスタがバッファ動作)

#### TCFF フラグ (インプットコンペアマッチフラグ F)

GTCCRF のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRF 値になったとき  
[0 になる条件]
- このビットに 0 を書いたとき  
[比較を行わない条件]
- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 10b、11b (GTCCRF レジスタがバッファ動作)

#### TCFPO フラグ (オーバーフローフラグ)

オーバーフローまたは山が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、オーバーフロー (アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化) が発生したとき
- 三角波モードにおいて、山 (GTCNT カウンタが GTPR 値から GTPR 値 -1 に変化) が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) が発生したとき

[0 になる条件]

- このビットに 0 を書いたとき

#### TCFPU フラグ (アンダーフローフラグ)

アンダーフローまたは谷が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、アンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき
- 三角波モードにおいて、山 (GTCNT カウンタが 0 から 1 に変化) が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき

[0 になる条件]

- このビットに 0 を書いたとき

### TUCF フラグ (カウント方向フラグ)

GTCNT カウンタのカウント方向を示します。イベントカウント動作で、このフラグはアップカウント時に1、ダウンカウント時に0になります。

### ODF フラグ (出力禁止フラグ)

GRP[1:0] ビットで選択する出力禁止要因グループの要求を示します。

出力が禁止された場合、出力禁止要求がネゲートされる周期内では、出力禁止制御は解除されません。次の周期に解除されます。

### OABHF フラグ (同時出力レベル High フラグ)

GTIOCA 端子と GTIOCB 端子が同時に1を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が0を出力した場合、このフラグは0に戻ります。このフラグは読み出し専用です。このフラグをクリアするための0の書き込みはしないでください。

OABHF フラグによる割り込みが許可されている (GTINTAD.GRPABH ビット=1) 場合、OABHF フラグが出力禁止要求として POEG に出力されます。

[1になる条件]

- OAEビットと OBEビットが両方とも1になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に1を出力したとき

[0になる条件]

- OAEビットと OBEビットが両方とも1になっている場合に、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAEビットと OBEビットが両方とも1になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に0を出力したとき
- OAE ビットと OBE ビットの少なくとも一方が0になったとき

### OABLF フラグ (同時出力レベル Low フラグ)

GTIOCA 端子と GTIOCB 端子が同時に0を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が1を出力した場合、このフラグは0に戻ります。このフラグは読み出し専用です。このフラグをクリアするための0の書き込みはしないでください。OABLF フラグによる割り込みが許可されている (GTINTAD.GRPABL ビット=1) 場合、OABLF フラグが出力禁止要求として POEG に出力されます。

[1になる条件]

- OAEビットと OBEビットが両方とも1になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に0を出力したとき

[0になる条件]

- OAEビットと OBEビットが両方とも1になっている場合に、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAEビットと OBEビットが両方とも1になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に1を出力したとき
- OAE ビットと OBE ビットのどちらかが0になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力 (PWM 出力) 信号です。出力禁止状態が実行される場合、コンペアマッチも GPT 内部で継続して実行され、OABHF/OABLF フラグはコンペア値の結果に応じて更新されます。

## 23.2.17 汎用 PWM タイマバッファイネーブルレジスタ (GTBER)

アドレス GPT32m.GTBER 4007 8040h + 0100h × m (m = 0~9)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	CCRS WT	PR[1:0]	CCRB[1:0]	CCRA[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD[0]	GTCCRバッファ動作禁止	0 : バッファ動作を許可 1 : バッファ動作を禁止	R/W
b1	BD[1]	GTPRバッファ動作禁止		R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	CCRA[1:0]	GTCCRAバッファ動作	b17 b16 0 0 : バッファ動作しない 0 1 : シングルバッファ動作 (GTCCRAレジスタ⇔GTCCRCレジスタ) 1 x : ダブルバッファ動作 (GTCCRAレジスタ⇔GTCCRCレジスタ⇔GTCCRDレジスタ)	R/W
b19-b18	CCRB[1:0]	GTCCRBバッファ動作	b19 b18 0 0 : バッファ動作しない 0 1 : シングルバッファ動作 (GTCCRBレジスタ⇔GTCCREレジスタ) 1 x : ダブルバッファ動作 (GTCCRBレジスタ⇔GTCCREレジスタ⇔GTCCRFレジスタ)	R/W
b21-b20	PR[1:0]	GTPRバッファ動作	b21 b20 0 0 : バッファ動作しない 0 1 : シングルバッファ動作 (GTPBRレジスタ⇔GTPRレジスタ) 1 x : 設定禁止	R/W
b22	CCRSWT	GTCCRA・GTCCRB強制バッファ動作	1を書くとGTCCRAおよびGTCCRBレジスタのバッファ転送を強制的に行います。このビットは1を書いた後、自動的に0に戻ります。読むと0が読めます。	R/W
b31-b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTBER レジスタは、バッファ動作を設定するレジスタです。GTCNT カウンタが停止しているときに設定する必要があります。

**BD[0] ビット (GTCCR バッファ動作禁止)**

GPT の GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCT.DE ビットが1のとき、BD[0] ビットを0にしても、GTCCRB レジスタはバッファ動作を行いません。GTCCRB レジスタは、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

**BD[1] ビット (GTPR バッファ動作禁止)**

GPT の GTPR レジスタと GTPBR レジスタを組み合わせたバッファ動作を禁止します。

**CCRA[1:0] ビット (GTCCRA バッファ動作)**

GPT の GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCCR レジスタの設定が優先されます。(注1)

**CCRB[1:0] ビット (GTCCRB バッファ動作)**

GPT の GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCCR レジスタの設定が優先されます。(注1)

**PR[1:0] ビット (GTPR バッファ動作)**

GPT の GTPR レジスタと GTPBR レジスタを組み合わせたバッファ動作を設定します。

**CCRSWT ビット (GTCCRA・GTCCRB 強制バッファ動作)**

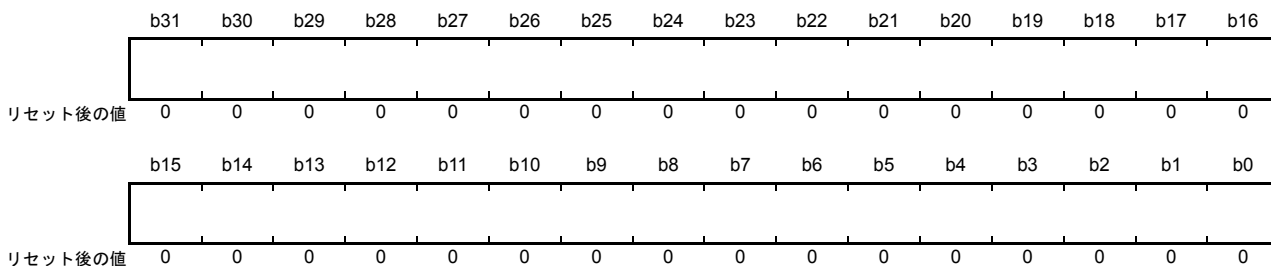
CCRSWT ビットに 1 を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読めます。カウントストップ時にコンペマッチ動作が設定されている場合にのみ有効です。

注1. のこぎり波ワンショットパルスモード、または三角波 PWM モード 3 (谷 64 ビット転送) では、バッファ動作モードは固定されます。

参考資料

## 23.2.18 汎用 PWM タイマカウンタ (GTCNT)

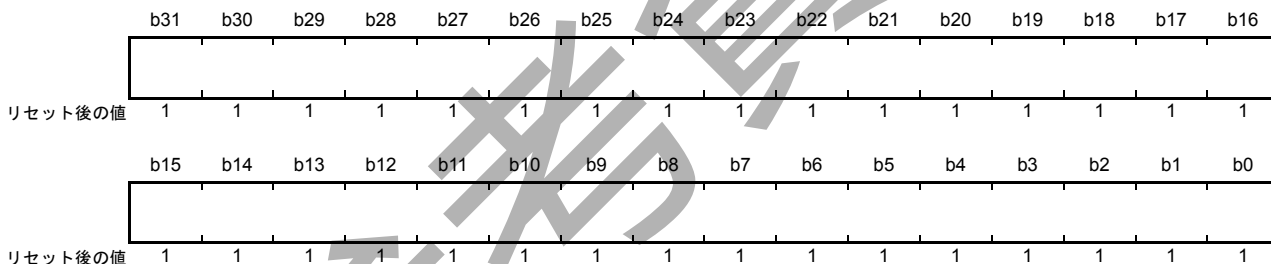
アドレス GPT32m.GTCNT 4007 8048h + 0100h × m (m = 0~9)



GTCNT は、32 ビットの読み出し/書き込みカウンタです。カウントストップ後にのみ書き込み可能です。32 ビット単位でアクセスしてください。8 ビット単位/16 ビット単位でのアクセスはしないでください。GTCNT レジスタは、 $0 \leq \text{GTCNT} \leq \text{GTPR}$  の範囲に収まるように設定してください。

## 23.2.19 汎用 PWM タイマコンペアキャプチャレジスタ n (GTCCRn) (n = A ~ F)

アドレス GPT32m.GTCCRA 4007 804Ch + 0100h × m (m = 0~9)  
 GPT32m.GTCCRB 4007 8050h + 0100h × m (m = 0~9)  
 GPT32m.GTCCRC 4007 8054h + 0100h × m (m = 0~9)  
 GPT32m.GTCCRD 4007 805Ch + 0100h × m (m = 0~9)  
 GPT32m.GTCCRE 4007 8058h + 0100h × m (m = 0~9)  
 GPT32m.GTCCRF 4007 8060h + 0100h × m (m = 0~9)



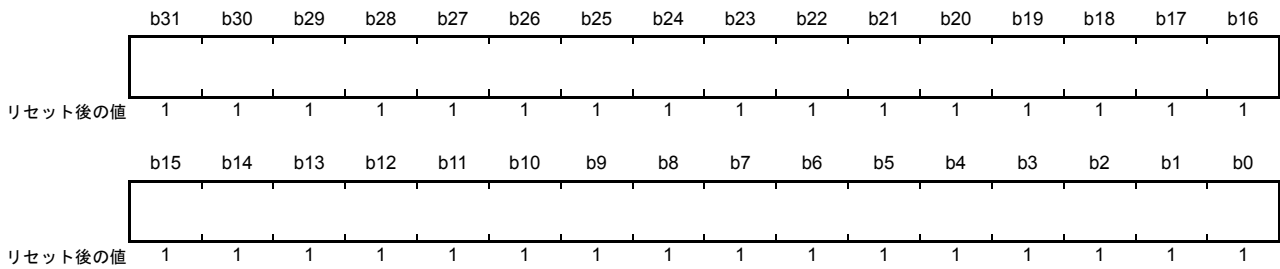
GTCCRn レジスタは読み出し/書き込みレジスタです。

GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア/インプットキャプチャ兼用のレジスタです。GTCCRC レジスタと GTCCRE レジスタは、コンペアマッチレジスタですが、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。

GTCCRD レジスタと GTCCRF レジスタは、コンペアマッチレジスタですが、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ (GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ) としても機能します。

### 23.2.20 汎用 PWM タイマ周期設定レジスタ (GTPR)

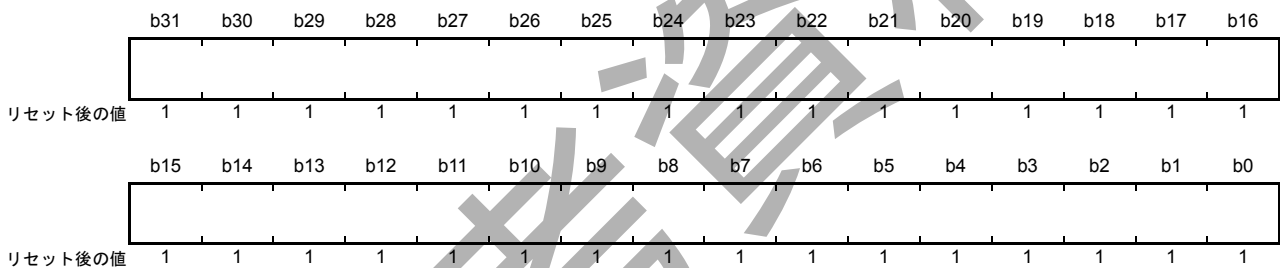
アドレス GPT32m.GTPR 4007 8064h + 0100h × m (m = 0~9)



GTPR レジスタは、GTCNT カウンタの最大カウント値を設定する、読み出し/書き込みレジスタです。のこぎり波の場合、GTPR 値 + 1 がカウント周期になります。三角波の場合、GTPR 値 × 2 がカウント周期になります。

### 23.2.21 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)

アドレス GPT32m.GTPBR 4007 8068h + 0100h × m (m = 0~9)



GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能する、読み出し/書き込みレジスタです。

## 23.2.22 汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCCR)

アドレス GPT32m.GTDTCCR 4007 8088h + 0100h × m (m = 0~9)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定	0 : GTDVUレジスタを使用しないで、GTCCRBレジスタを設定する 1 : GTDVUレジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値をGTCCRBレジスタに自動設定する	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDTCCR レジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可するレジスタです。GPTにはデッドタイム制御機能があります。デッドタイム値の設定には GTDVU レジスタを使用します。

**TDE ビット (逆相波形設定)**

GTDVU レジスタを使用するか否かを指定します。GTDVU レジスタを使用する場合、正相波形のコンペアマッチ値 (GTCCRA 値) とデッドタイム値 (GTDVU 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、自動設定は行われません。

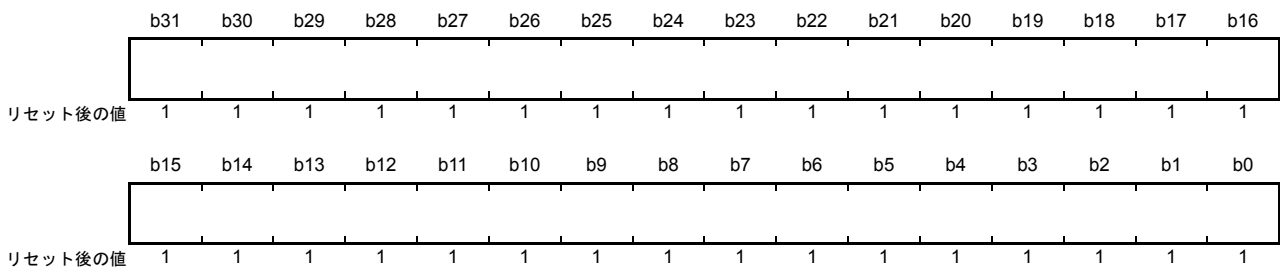
GTCCRB レジスタ値が自動設定される時、下記のような上限/下限値があります。算出された GTCCRB 値がこの範囲に収まらない場合、GTCCRB レジスタには下記の制限値が設定されます。

- 三角波の場合
  - 上限値 : GTPR 値 - 1
  - 下限値 : アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモードの場合
  - 上限値 : GTPR 値
  - 下限値 : 0



## 23.2.23 汎用 PWM タイマデッドタイム値レジスタ U (GTDVU)

アドレス GPT32m.GTDVU 4007 808Ch + 0100h x m (m = 0~9)



GTDV<sub>m</sub> レジスタは、PWM 波形を生成するためのデッドタイム値を設定する、読み出し/書き込みレジスタです。

周期を超えるデッドタイム値は設定しないでください。GTCCRB レジスタを読み出すことによって、設定された値の確認が可能です。GTDVU レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。このレジスタ値を 0 にすると、デッドタイムなしの波形が出力されます。GPT の動作中は、GTDVU レジスタ値を変更しないでください。GTDVU レジスタを新しい値に変更する場合、GTCR レジスタの CST ビットによって GPT を停止させてください。GTDVU レジスタは 32 ビット単位でアクセスしてください。8 ビット単位/16 ビット単位でアクセスしないでください。

参考資料

## 23.2.24 出力相切り替えコントロールレジスタ (OPSCR)

アドレス GPT\_OPS.OPSCR 4007 8FF0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCS[1:0]	NFEN	—	—	GODF	GRP[1:0]	—	—	ALIGN	RV	INV	N	P	FB		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	入力相ソフト設定	ソフトウェア設定により入力相を設定します。OPSCR.FBビットが1のとき、これらのビットの設定が有効になります。	R/W
b1	VF			R/W
b2	WF			R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	U	入力U相監視	入力相の状態を監視します。 OPSCR.FB = 0 : PCLKDによる外部入力監視 OPSCR.FB = 1 : ソフトウェア設定 (UF/VF/WFビット)	R
b5	V	入力V相監視		R
b6	W	入力W相監視		R
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	EN	イネーブル相出力制御	0 : 出力しない ("Hi-Z" 外部端子) 1 : 出力する (注1)	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	FB	外部フィードバック信号許可	ソフトウェア設定と外部入力から入力相を選択します。 0 : 外部入力を選択 1 : ソフトウェア設定 (OPSCR.UF/VF/WFビット) を選択	R/W
b17	P	正相出力 (P) 制御	0 : レベル信号出力 1 : PWM信号出力 (GPT320のPWM)	R/W
b18	N	逆相出力 (N) 制御	0 : レベル信号出力 1 : PWM信号出力 (GPT320のPWM)	R/W
b19	INV	反転相出力制御	0 : 正論理 (アクティブHigh) を出力 1 : 負論理 (アクティブLow) を出力	R/W
b20	RV	出力相回転方向反転	0 : U/V/W相を出力 1 : V/W相の反転を出力	R/W
b21	ALIGN	入力相アライメント	0 : 入力相をPCLKDに調整 1 : 入力相をPWMに調整	R
b23-b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	GRP[1:0]	出力禁止要因選択	b25 b24 0 0 : グループA出力禁止要因を選択 0 1 : グループB出力禁止要因を選択 1 0 : グループC出力禁止要因を選択 1 1 : グループD出力禁止要因を選択	R/W
b26	GODF	グループ出力禁止機能	0 : このビット機能を無視 1 : グループ禁止でOPSCR.ENビットをクリア (注1)	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFEN	外部入力ノイズフィルタ有効	0 : 外部入力にノイズフィルタを使用しない 1 : 外部入力にノイズフィルタを使用する	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCS[1:0]	外部入力ノイズフィルタクロック 選択	外部入力のノイズフィルタサンプリングクロック設定 b31 b30 0 0 : PCLKD/1 0 1 : PCLKD/4 1 0 : PCLKD/16 1 1 : PCLKD/64	R/W

注1. OPSCR.GODF ビット = 1 の場合、OPSCR.GRP ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 になります。

OPSCR レジスタは、ブラシレス DC モータ制御に必要な信号波形の出力を設定するレジスタです。

#### UF、VF、WF ビット (入力相ソフト設定)

ソフトウェア設定からの入力相を設定します。OPSCR.FB ビット = 0 の場合に、これらのビットが有効になります。UF/VF/WF ビットの設定値が U/V/W 外部入力に取って代わります。

#### U、V、W ビット (入力相監視)

OPSCR.FB ビットが 0 の場合、PCLKD と同期した外部入力をこれらのビットで監視します。OPSCR.FB ビットが 1 の場合、OPSCR.U、OPSCR.V、OPSCR.W ビットは、OPSCR.UF、OPSCR.VF、OPSCR.WF ビットを読み出せます。

#### EN ビット (イネーブル相出力制御)

出力許可信号出力相 (正相/逆相) を制御します。

OPSCR.EN ビットが 1 の場合に、信号波形が出力されます。

OPSCR.EN ビットが 0 の場合は、最初に OPSCR.FB、OPSCR.UF/VF/WF (ソフトウェア設定を選択)、OPSCR.P/N、OPSCR.INV、OPSCR.ALIGN、OPSCR.NFCS、OPSCR.GRP、OPSCR.GODF、OPSCR.NFEN、OPSCR.NFCS ビットを設定してください。その後、このビットを 1 にしてください。また、OPSCR.GODF ビット = 1 の場合、OPSCR.GRP ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 になります。

#### FB ビット (外部フィードバック信号許可)

ソフトウェア設定 (OPSCR.UF、VF、WF ビット) およびホール素子などの外部入力からの入力相を選択します。

#### P ビット (正相出力 (P) 制御)

レベル信号出力 (GPT320 の PWM)、または正相出力の PWM 信号出力 (GTOUUP 端子、GTOVUP 端子、GTOWUP 端子) のどちらかを選択します。

#### N ビット (逆相出力 (N) 制御)

レベル信号出力 (GPT320 の PWM)、または逆相出力の PWM 信号出力 (GTOULO 端子、GTOVLO 端子、GTOWLO 端子) のどちらかを選択します。

#### INV ビット (反転相出力制御)

出力相として、正論理 (アクティブ High) 出力、または負論理 (アクティブ Low) 出力のどちらかを選択します。

#### RV ビット (出力相回転方向反転)

V 相/W 相を入れ替えることにより、モータの回転方向を反転させます。

#### ALIGN ビット (入力相アライメント)

入力相のサンプリングとして、PCLKD または PWM を選択します (入力相は OPSCR.FB ビットで指定)。

OPSCR.ALIGN ビット = 0 のとき、入力相は PCLKD に調整されます。

注. PWM 出力 (OPSCR.P/N ビット = 1) を選択して、PCLKD 入力相を調整すると、PWM パルスは短パルスになる場合があります。

注. OPSCR.ALIGN ビット = 1 のとき、入力相は PWM 出力に調整されます。

**GRP[1:0] ビット (出力禁止要因選択)**

出力禁止要因 (A ~ D) を選択します。

**GODF ビット (グループ出力禁止機能)**

OPSCR.GODF ビット = 1 の場合、OPSCR.GRP ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 になります。OPSCR.GODF ビット = 0 の場合、このビットは無視されます。

**NFEN ビット (外部入力ノイズフィルタ有効)**

外部入力用のノイズフィルタを選択します。

OPSCR.NFEN ビット = 0 の場合、外部入力にノイズフィルタは使用されません。

注. 意図しない内部エッジによってこのビットが切り替わった場合、OPSCR.EN ビットを 0 にしてください。

**NFCS[1:0] ビット (外部入力ノイズフィルタクロック選択)**

OPSCR.NFEN ビット = 1 の場合、外部入力のノイズフィルタサンプリングクロック設定が有効になります。

1. NFCS を設定します。
2. クロックの 2 周期待ちます。
3. OPSCR.EN ビットを 1 にします。

参考資料

## 23.3 動作説明

### 23.3.1 基本動作

各チャンネルには32ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能には、アップカウントとダウンカウントの両方があります。GTPRレジスタがカウント周期を制御します。

GTCNTカウンタ値がGTCCRAまたはGTCCRBレジスタの値に一致すると、対応するGTIOCA端子またはGTIOCB端子からの出力を変更できます。GTCCRAまたはGTCCRBレジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用可能です。

GTCCRCおよびGTCCRDレジスタは、GTCCRAレジスタ用のバッファレジスタとしても機能します。また、GTCCREおよびGTCCRFレジスタは、GTCCRBレジスタ用のバッファレジスタとしても機能します。

#### 23.3.1.1 カウンタの動作

##### (1) カウンタスタート/ストップ

各チャンネルのカウンタは、GTCR.CSTビットを1にするとカウント動作を開始します。GTCR.CSTビット値は以下の要因によって変化します。

- GTCRレジスタへの書き込み
- GTSSR.CSTRTビットが1の場合、GTSTRレジスタのGPTチャンネル番号に対応したビットへの1の書き込み
- GTPSR.CSTOPビットが1の場合、GTSTPレジスタのGPTチャンネル番号に対応したビットへの1の書き込み
- GTSSRレジスタで選択したハードウェア要因
- GTPSRレジスタで選択したハードウェア要因

##### (2) カウントクロックによるアップカウント時の周期カウント動作

各チャンネルのGTCNTカウンタは、GTUPSRおよびGTDNSRレジスタを00000000hにした状態で、対応するGTCR.CSTビットを1にすると、アップカウントを開始します。GTCNTカウンタ値がGTPR値から0に変化（オーバーフロー）すると、GTST.TCFPOフラグが1になります。GTCNTカウンタがオーバーフローした後、00000000hからアップカウントを再開します。

アップカウント時の周期カウント動作例を図23.3に示します。

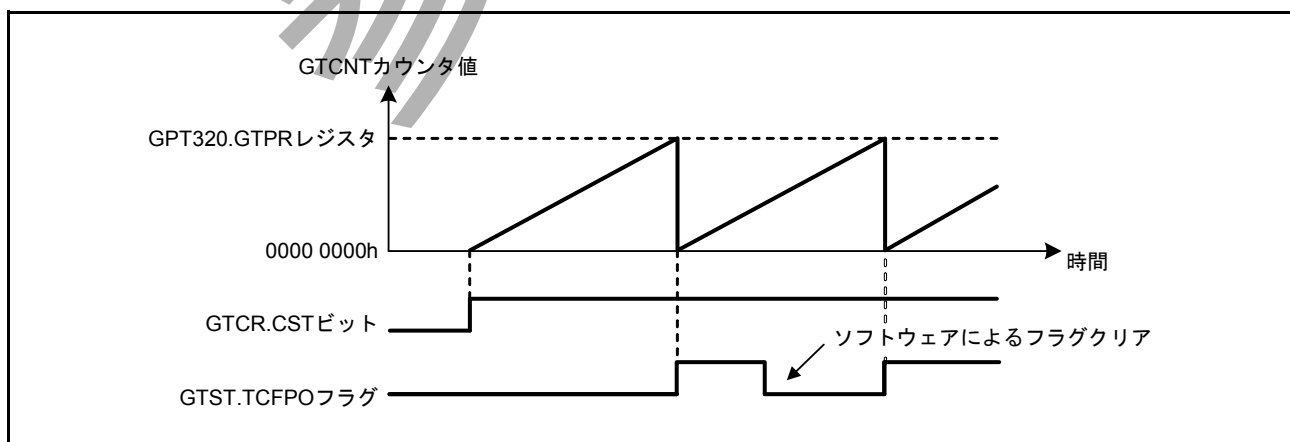


図 23.3 カウントクロックによるアップカウント時の周期カウント動作例

アップカウント時の周期カウント動作の設定例を図 23.4 に示します。

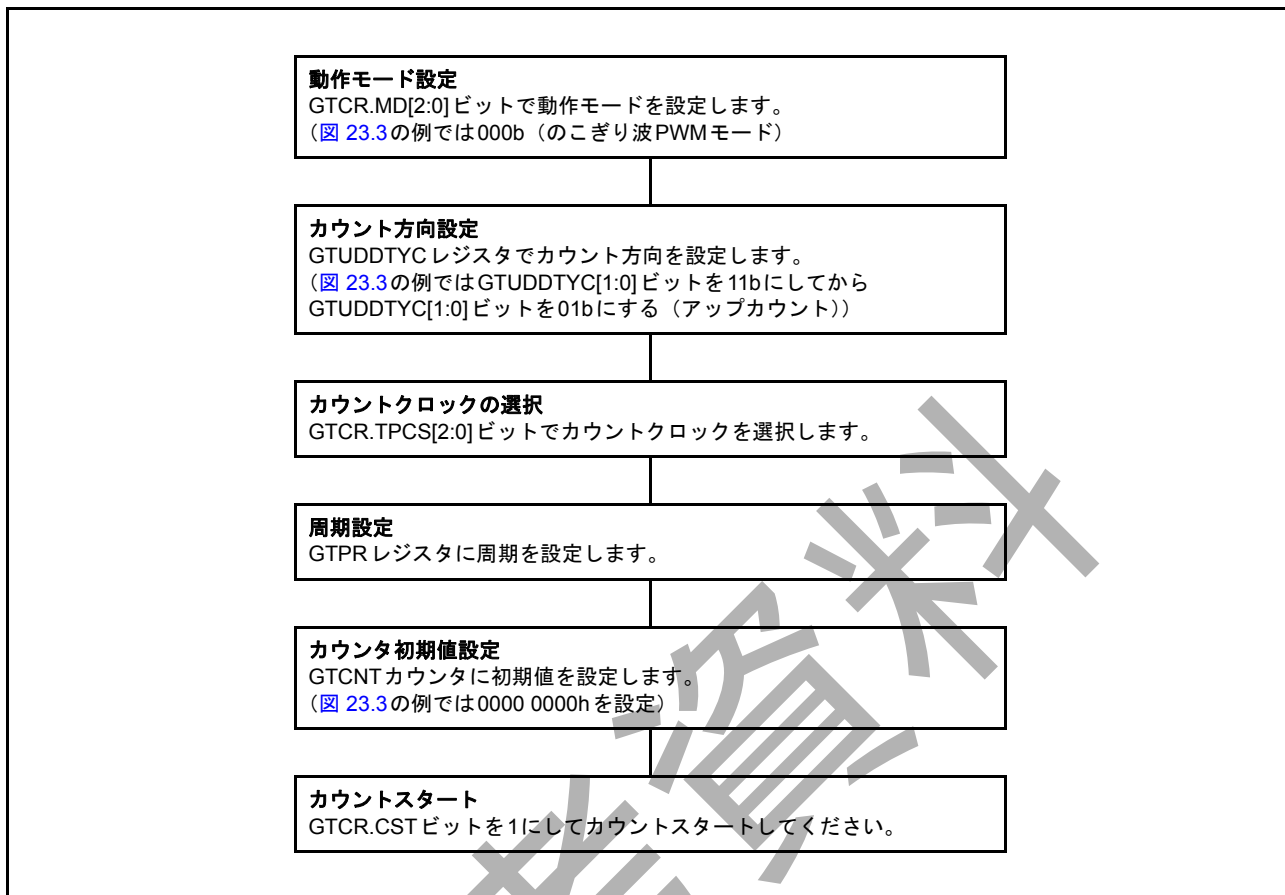


図 23.4 カウントクロックによるアップカウント時の周期カウント動作の設定例

### (3) カウントクロックによるダウンカウント時の周期カウント動作

各チャンネルのGTCNTカウンタは、GTUPSRおよびGTDNSRレジスタを00000000hにした状態で、GTUDDTYC.UDビットを設定することにより、ダウンカウントを実行できます。GTCNTカウンタ値が0からGTPR値に変化(アンダーフロー)すると、GTST.TCFPUビットが1になります。GTCNTカウンタがアンダーフローした後、GTPR値からダウンカウントを再開します。

カウントクロックによるダウンカウント時の周期カウント動作例を図 23.5 に示します。

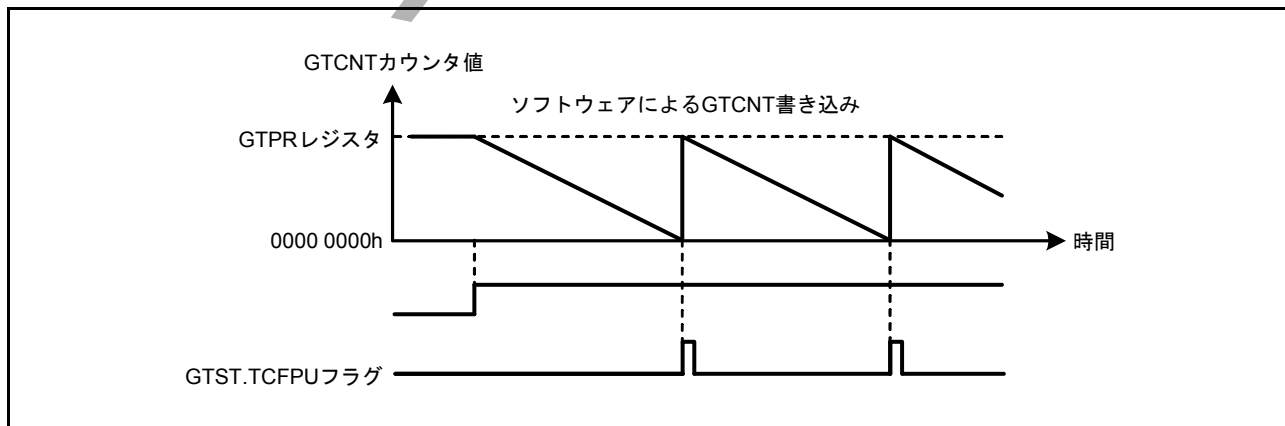


図 23.5 カウントクロックによるダウンカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作の設定例を図 23.6 に示します。

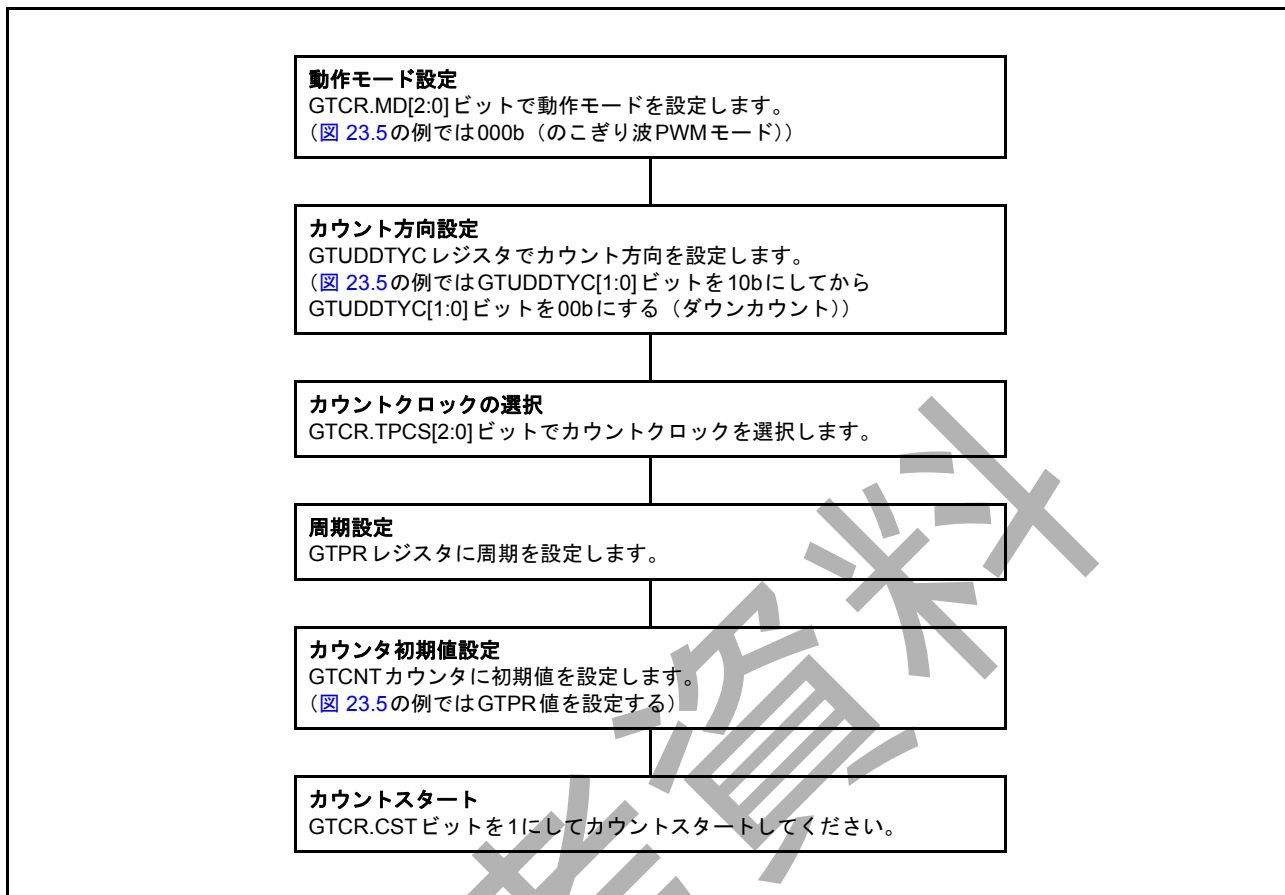


図 23.6 カウントクロックによるダウンカウント時の周期カウント動作の設定例

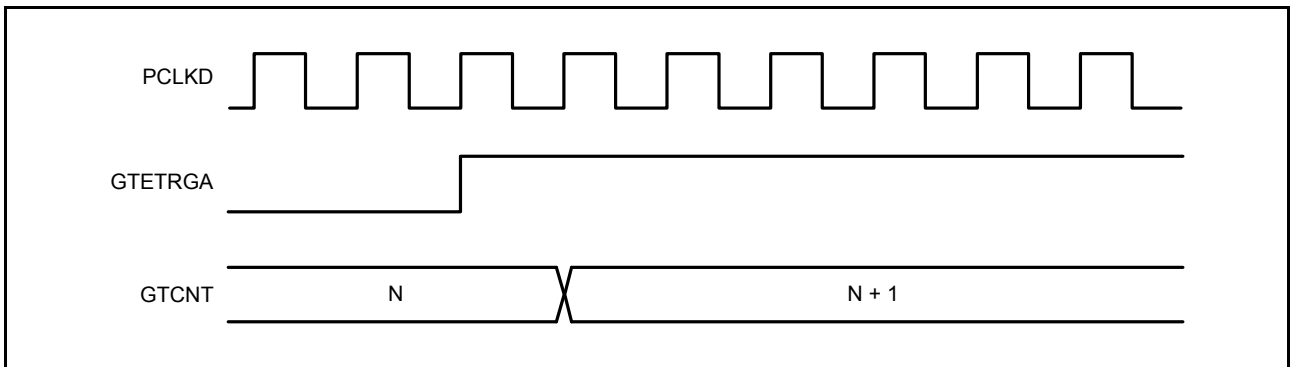
#### (4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャネルのGTCNTカウンタは、GTUPSRレジスタで設定したハードウェア要因によるアップカウントを実行できます。

GTUPSRレジスタを許可に設定すると、GTCR.TPCS[2:0]ビットで選択したカウントクロックと、GTUDDTYC.UDビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNTカウンタ値は変化しません。ハードウェア要因によるアップカウントのオーバーフロー動作は、カウントクロックによるアップカウントのオーバーフロー動作と同じです。

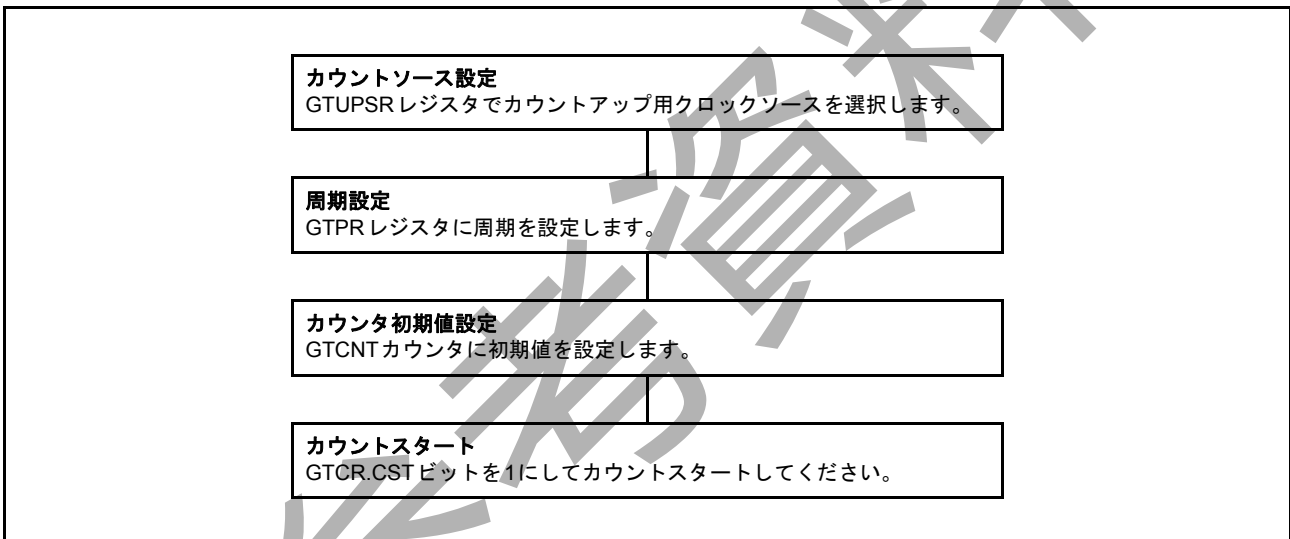
GTCR.CSTビットを1にしてハードウェア要因によるカウントアップを行うと、カウント動作が有効になります。GTCR.CSTビットを1にすると、カウント動作はGTCR.TPCS[2:0]ビットで選択したカウントクロックと同期するため、GTCR.TPCS[2:0]ビットで指定された1クロックサイクルの間、カウンタはカウントアップを行えません。GTCR.CSTビットを1にした後、GTCR.TPCS[2:0]ビットを000bにして、PCLKD1クロック分の遅延でカウントアップを行ってください。

ハードウェア要因 (GTETRGA 端子の立ち上がりエッジ) によるアップカウント時の周期カウント動作例を [図 23.7](#) に示します。



**図 23.7** ハードウェア要因によるアップカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作の設定例を [図 23.8](#) に示します。



**図 23.8** ハードウェア要因によるアップカウント時のイベントカウント動作の設定例

#### (5) ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャンネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因によるダウンカウントを実行できます。

GTDNSR レジスタを許可に設定すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックと、GTUDDTYC.UD ビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウントのアンダーフロー動作は、カウントクロックによるダウンカウントのアンダーフロー動作と同じです。

GTCR.CST ビットを 1 にしてハードウェア要因によるカウントダウンを行うと、カウント動作が有効になります。GTCR.CST ビットを 1 にすると、カウント動作は GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期するため、GTCR.TPCS[2:0] ビットで指定された 1 クロックサイクルの間、カウンタはカウントダウンを行えません。GTCR.CST ビットを 1 にした後、GTCR.TPCS[2:0] ビットを 000b にして、PCLKD1 クロック分の遅延でカウントダウンを行ってください。

ハードウェア要因 (GTETRGA 端子の立ち下がリエッジ) によるダウンカウント時の周期カウント動作例を [図 23.9](#) に示します。



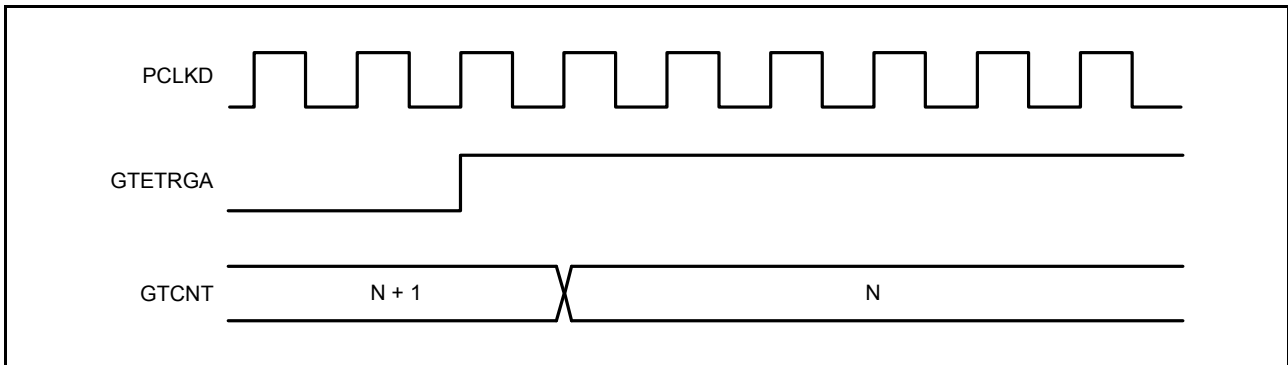


図 23.9 ハードウェア要因によるダウンカウント時のイベントカウンタ動作

ハードウェア要因によるダウンカウント時の周期カウンタ動作の設定例を図 23.10 に示します。

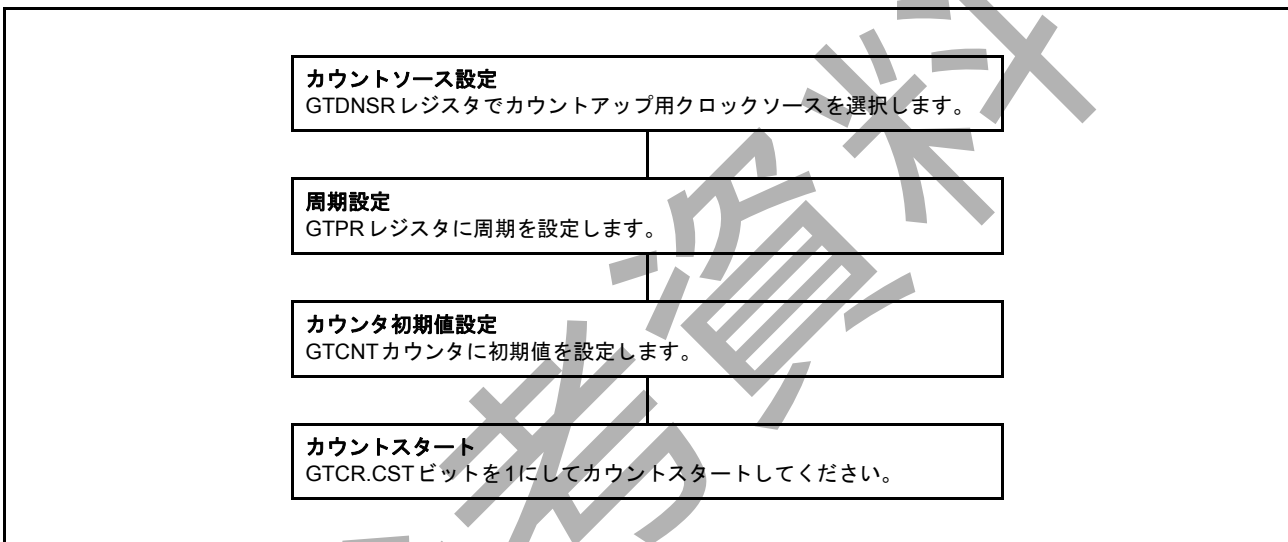


図 23.10 ハードウェア要因によるダウンカウント時のイベントカウンタ動作の設定例

#### (6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアされます。

- GTCNT レジスタへの 0 の書き込み
- GTCR.CCLR ビットが 1 の場合、GTCLR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTCR レジスタで選択したハードウェア要因

カウンタ動作時は、GTCNT レジスタへの書き込みはしないでください。GTCNT カウンタは、カウント中でも (GTCR.CST ビット = 1)、カウント中でなくても (GTCR.CST ビット = 0)、GTCLR レジスタへの 1 の書き込みとハードウェア要因のクリア要求の両方の方法でクリアできます。

GTCR.MD[2:0] ビットの設定によってのこぎり波が選択され、カウント方向フラグがダウンカウント (GTST.TUCF ビット = 0) を示している場合、GTCLR レジスタへの 1 の書き込みと、ハードウェア要因によるクリアの実行時に、GTCNT レジスタに対して GTPR レジスタ値が設定されます。のこぎり波モードでもダウンカウントでもない場合、GTCLR レジスタへの 1 の書き込みと、ハードウェア要因によるクリアの実行時に、GTCNT レジスタは 0 になります。

GTUPSR または GTDNSR レジスタの少なくとも 1 つのビットが 1 になっている場合のイベントカウンタ動作では、クリア要因の発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアの両方がただちに実行され、PCLKD と同期が取られます。その他の設定を使用すると、GTCR.TPCS[2:0] ビットで選択したカウンタクロックと同期してクリアが実行されます。

### 23.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA または GTCCRB レジスタ値と一致することを意味します。コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は、対応する GTIOCA または GTIOCB 出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。また、GTPR レジスタで決定される“周期の終わり”においても、GTIOCA または GTIOCB 端子出力を Low 出力 / High 出力 / トグル出力とすることができます。

“周期の終わり”とは、以下の場合です。

- のこぎり波でアップカウントの場合：GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- のこぎり波でダウンカウントの場合：GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波の場合：GTCNT カウンタがクリアされたとき
- 三角波の場合：GTCNT カウンタが 0 から 1 に変化したとき（谷）

#### (1) Low 出力 / High 出力

GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力 / High 出力の動作例を図 23.11 に示します。

この例では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子から High が出力され、GPT320.GTCCRB レジスタのコンペアマッチによって GTIOC0B 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合、端子レベルは変化しません。

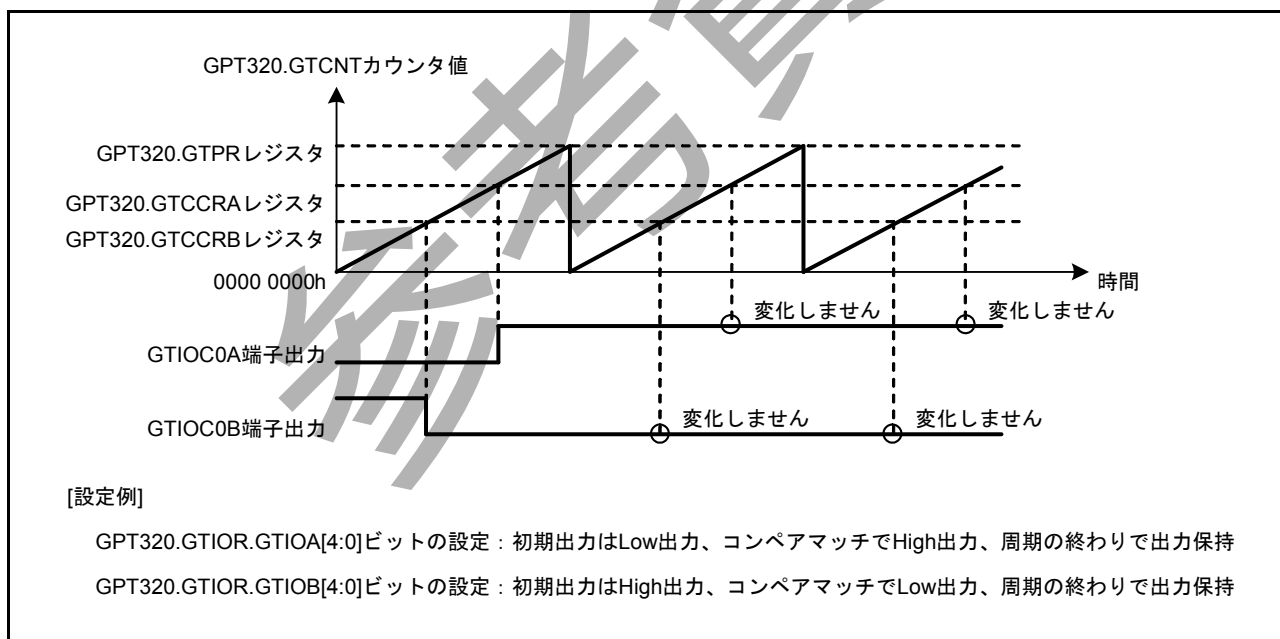


図 23.11 Low 出力 / High 出力動作例

Low 出力 / High 出力動作の設定例を図 23.12 に示します。

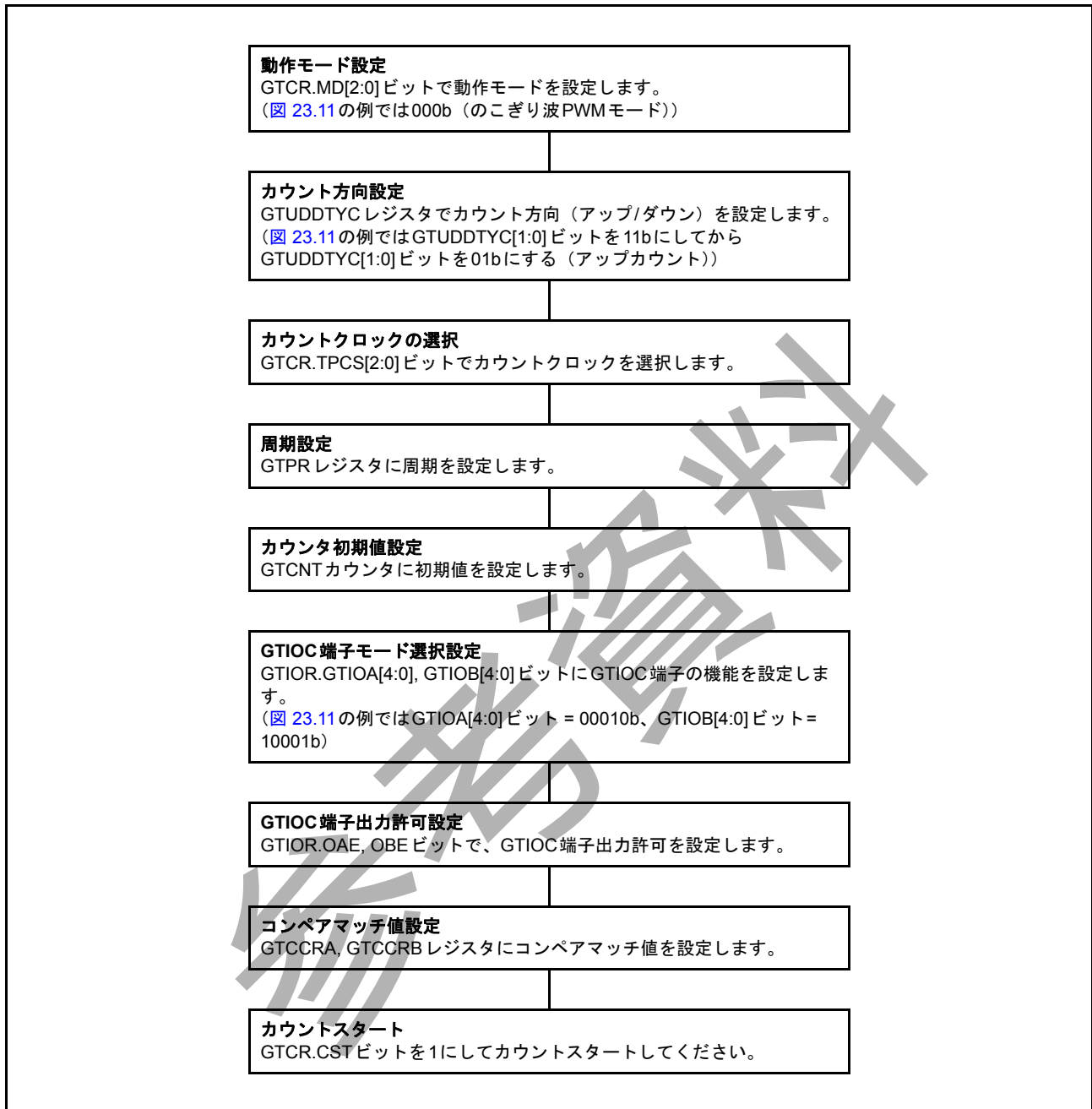


図 23.12 Low 出力 / High 出力動作の設定例

## (2) トグル出力

GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力の動作例を、[図 23.13](#) および [図 23.14](#) に示します。[図 23.13](#) では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチと、GPT320.GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOC0A 端子と GTIOC0B 端子がトグル出力となるように設定しています。

[図 23.14](#) では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子がトグル出力となり、周期の終わりで GTIOC0B 端子がトグル出力となるように設定しています。

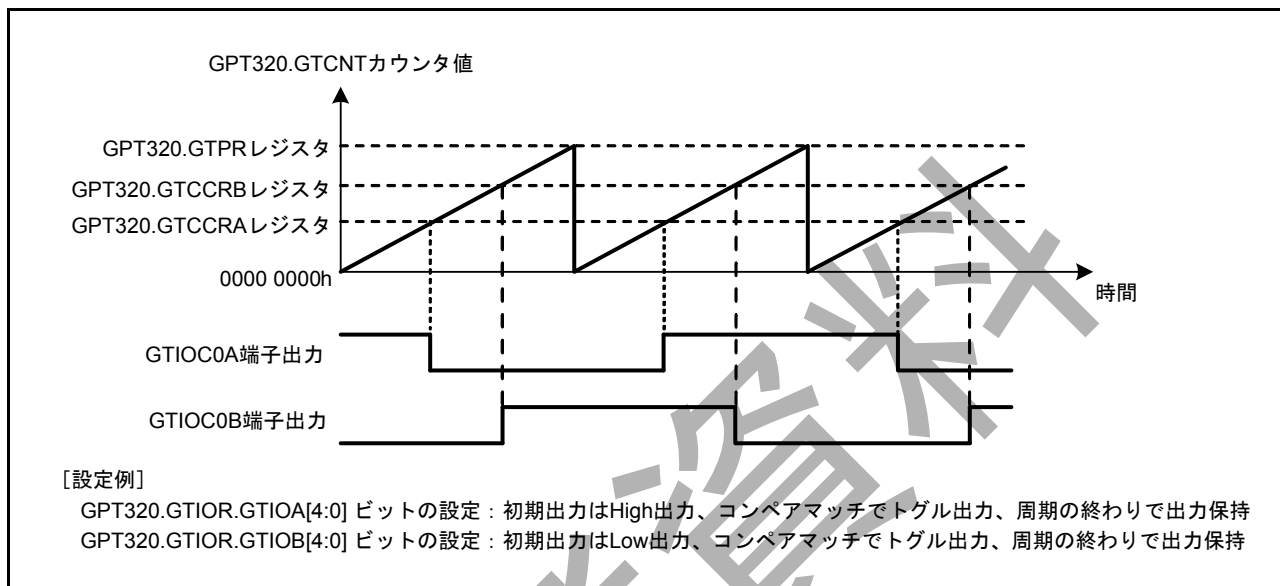


図 23.13 トグル出力動作例 (1)

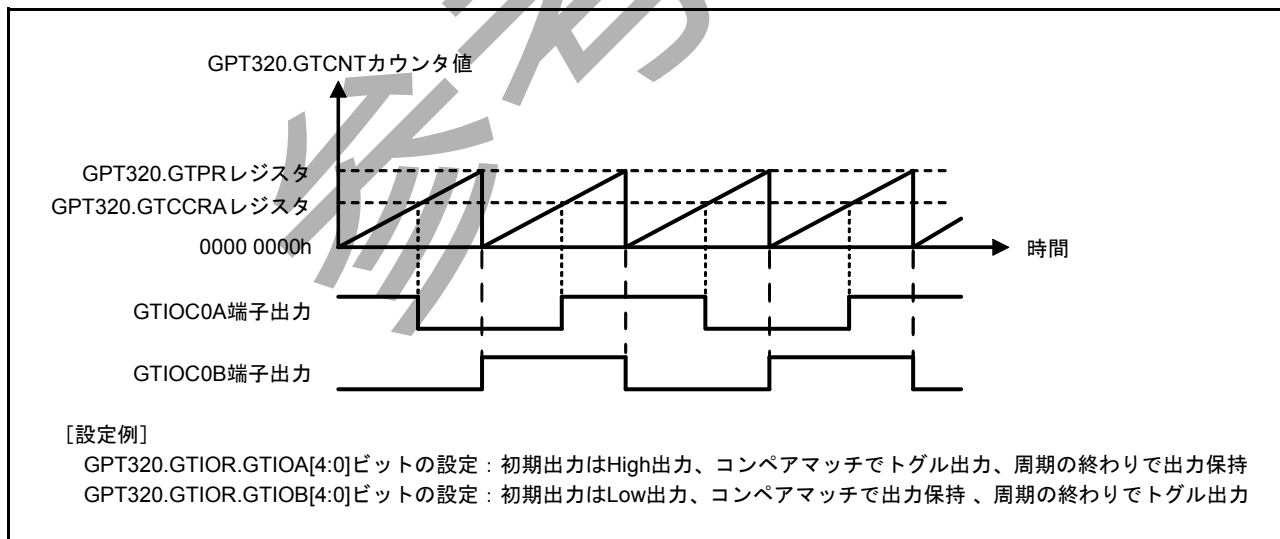


図 23.14 トグル出力動作例 (2)

トグル出力動作の設定例を図 23.15 に示します。

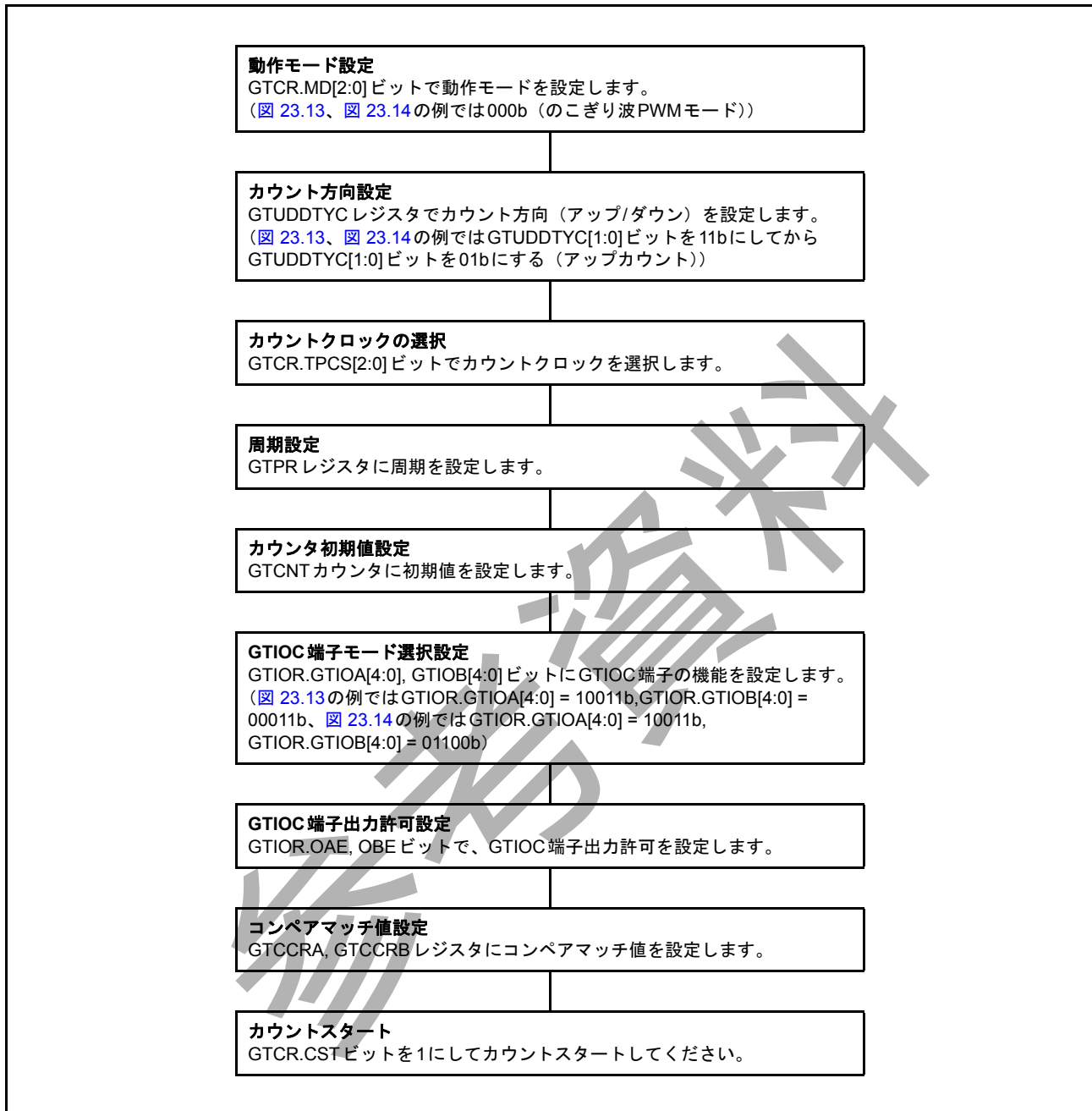


図 23.15 トグル出力動作の設定例

### 23.3.1.3 インพุットキャプチャ機能

GTICASR および GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。

インพุットキャプチャ機能の動作例を図 23.16 に示します。

この例では、カウントクロックで GPT320.GTCNT カウンタがアップカウント動作を行い、GTIOC0A 入力端子の両エッジで GTICCRB レジスタにインพุットキャプチャを実行し、GTIOC0B 入力端子の立ち上がりエッジで GTICCRB レジスタにインพุットキャプチャを実行するように設定しています。

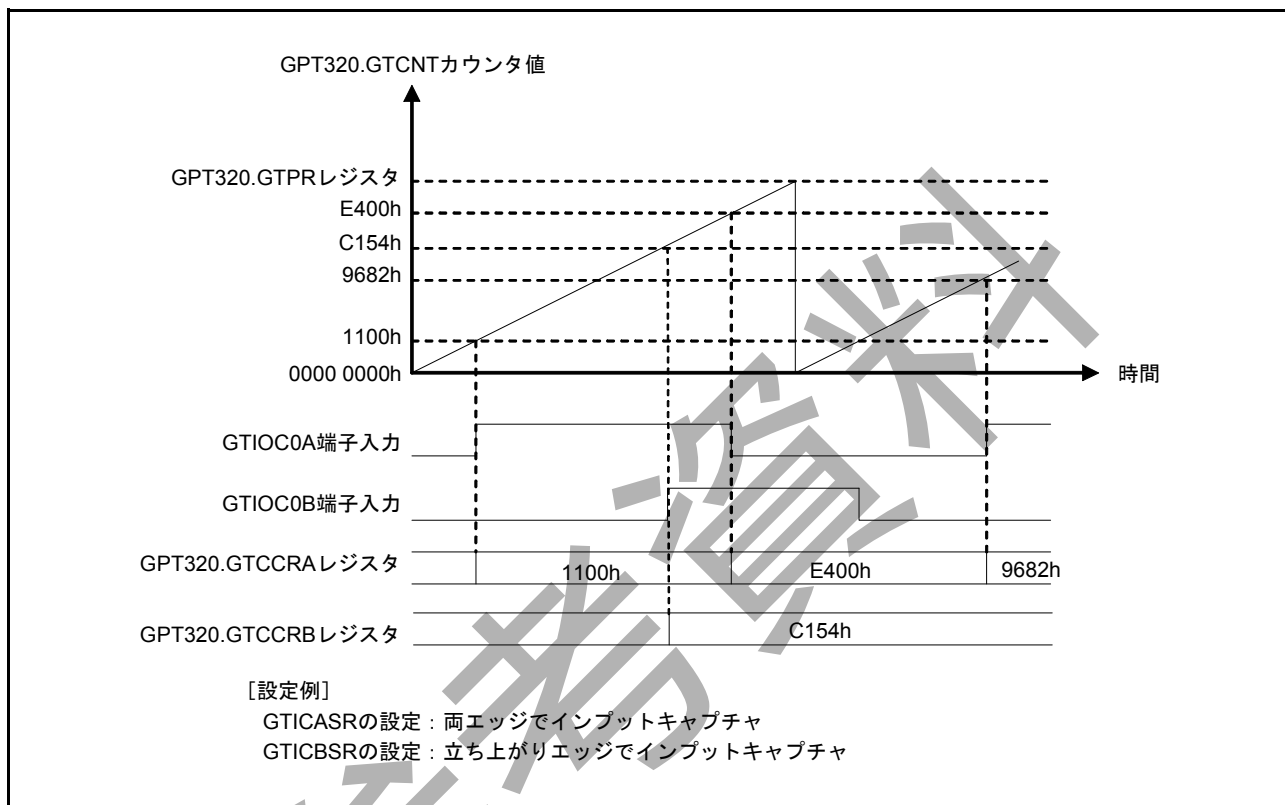


図 23.16 インพุットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作の設定例を図 23.17 に示します。

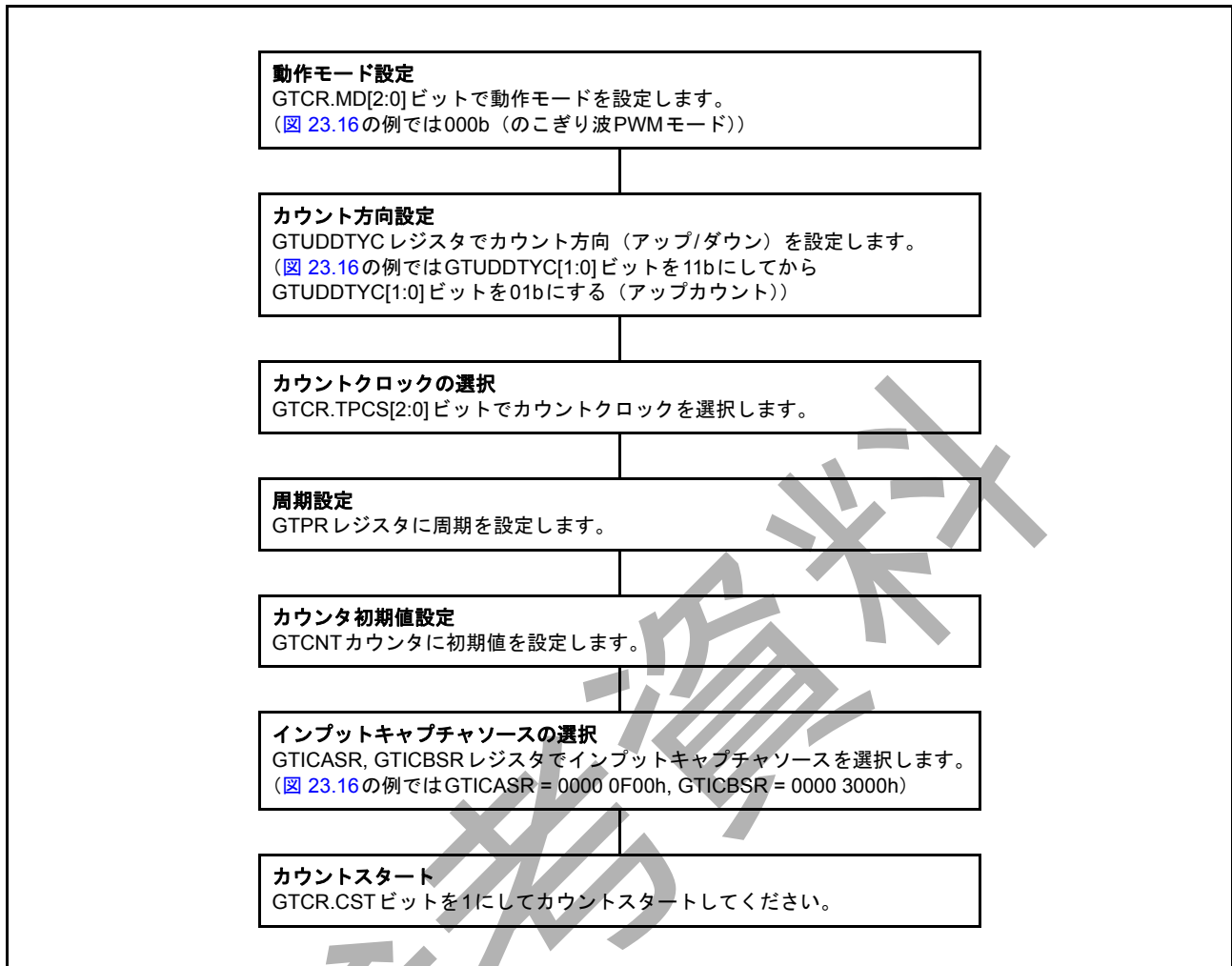


図 23.17 インプットキャプチャ動作設定例

### 23.3.2 バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR レジスタと GTPBR レジスタ
- GTCCRA レジスタ、GTCCRC レジスタ、および GTCCRD レジスタ
- GTCCRB レジスタ、GTCCRE レジスタ、および GTCCRF レジスタ

#### 23.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能します。バッファ転送は、のこぎり波モードまたはイベントカウントではオーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に実行されます。また、三角波モードでは谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR[23:0] ビットで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR[n] ビットが 1、n=チャンネル番号）

GTPR レジスタのバッファ動作例を図 23.18 ~ 図 23.20 に、GTPR レジスタのバッファ動作の設定例を図 23.21 に示します。

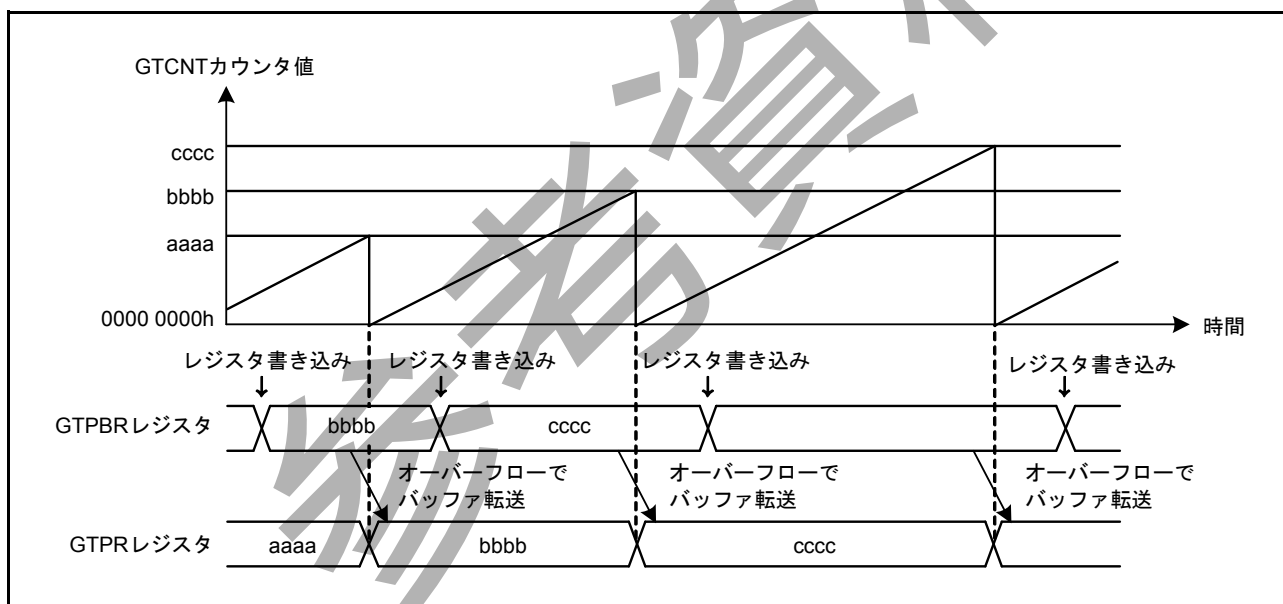


図 23.18 GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）



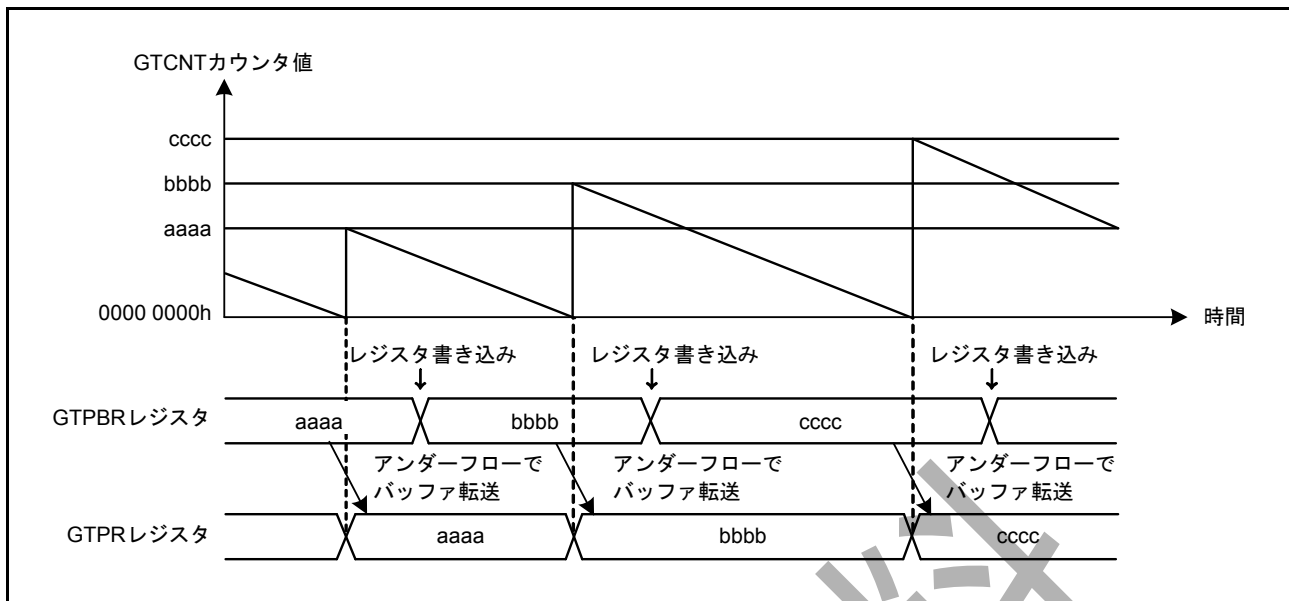


図 23.19 GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合)

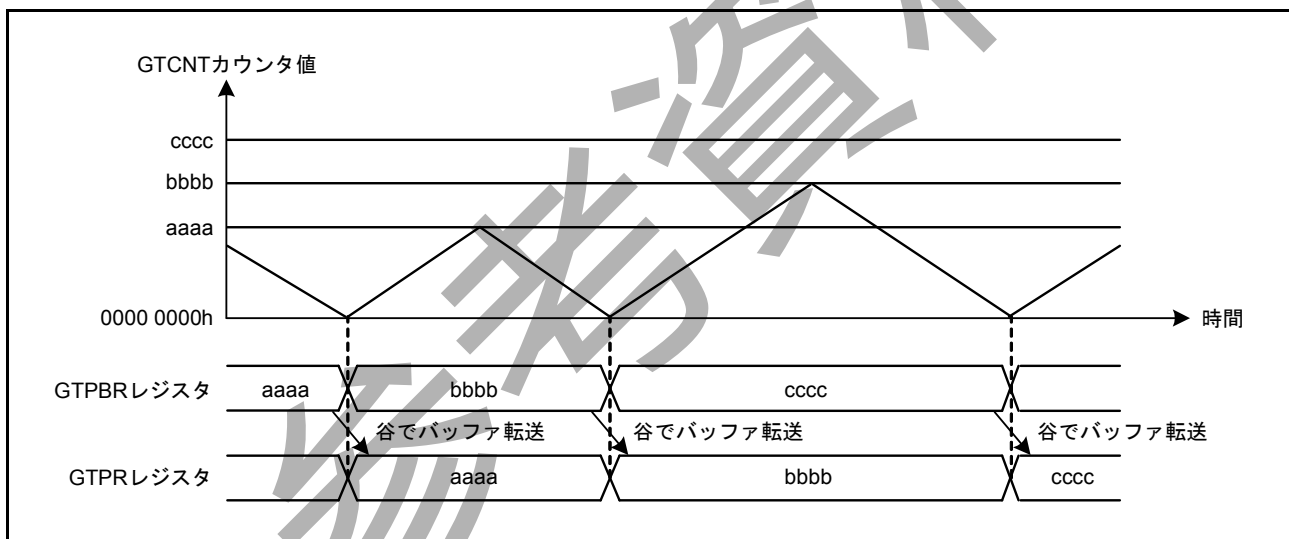


図 23.20 GTPR レジスタのバッファ動作例 (三角波の場合)

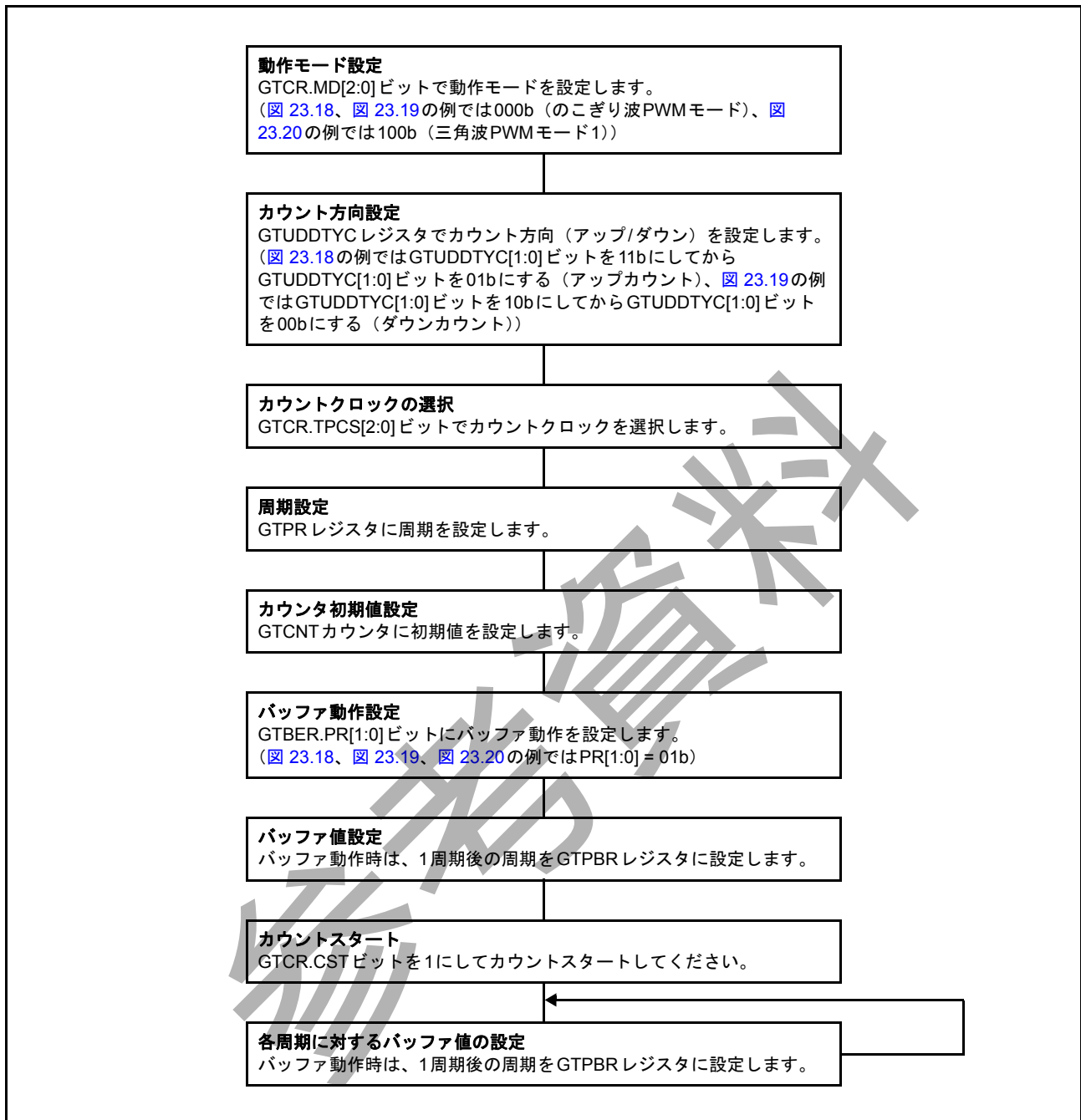


図 23.21 GTPR レジスタのバッファ動作の設定例

### 23.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタ用のバッファレジスタとして、GTCCRD レジスタは GTCCRC レジスタ用のバッファレジスタ (すなわち、GTCCRA レジスタ用のダブルバッファレジスタ) として機能します。同様に、GTCCRE レジスタは GTCCRB レジスタ用のバッファレジスタとして、GTCCRF レジスタは GTCCRE レジスタ用のバッファレジスタ (すなわち、GTCCRB レジスタ用のダブルバッファレジスタ) として機能します。

GTCCRA または GTCCRB レジスタのダブルバッファ動作を設定するには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 10b または 11b にしてください。シングルバッファ動作を設定するには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 01b にしてください。GTCCRA または GTCCRB レジスタのバッファ動作を設定しない場合は、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 00b にしてください。

#### (1) GTCCRA または GTCCRB レジスタがアウトプットコンペアレジスタとして機能する場合

バッファ転送は次の場合に実行されます。

- オーバーフロー／アンダーフローによるバッファ転送  
のこぎり波モードまたはイベントカウント動作では、オーバーフロー時 (アップカウント中) またはアンダーフロー時 (ダウンカウント中) に、バッファ転送が実行されます。三角波モードでは、谷 (三角波 PWM モード 1) または山と谷 (三角波 PWM モード 2) で、バッファ転送が実行されます。
- カウンタクリアによるバッファ転送  
のこぎり波モードまたはイベントカウント動作では、カウント中に [23.3.2.1 GTPR レジスタのバッファ動作](#) の場合と同じカウンタクリア要因によって、バッファ転送が (同じく、アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時に) 実行されます。三角波モードでは、カウンタクリアによるバッファ転送は実行されません。
- バッファ強制転送  
GTBER.CCRSWT ビットを 1 にしてカウントを停止させると、のこぎり波モード、イベントカウント動作、および三角波モードでは、GTCCRA および GTCCRB レジスタのバッファ転送が強制的に実行されます。さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタから一時レジスタ A へのバッファ転送、および GTCCRF レジスタから一時レジスタ B へのバッファ転送が実行されます。

GTCCRA および GTCCRB レジスタのバッファ動作例を [図 23.22](#) ~ [図 23.24](#) に、GTCCRA および GTCCRB レジスタのバッファ動作の設定例を [図 23.25](#) に示します。

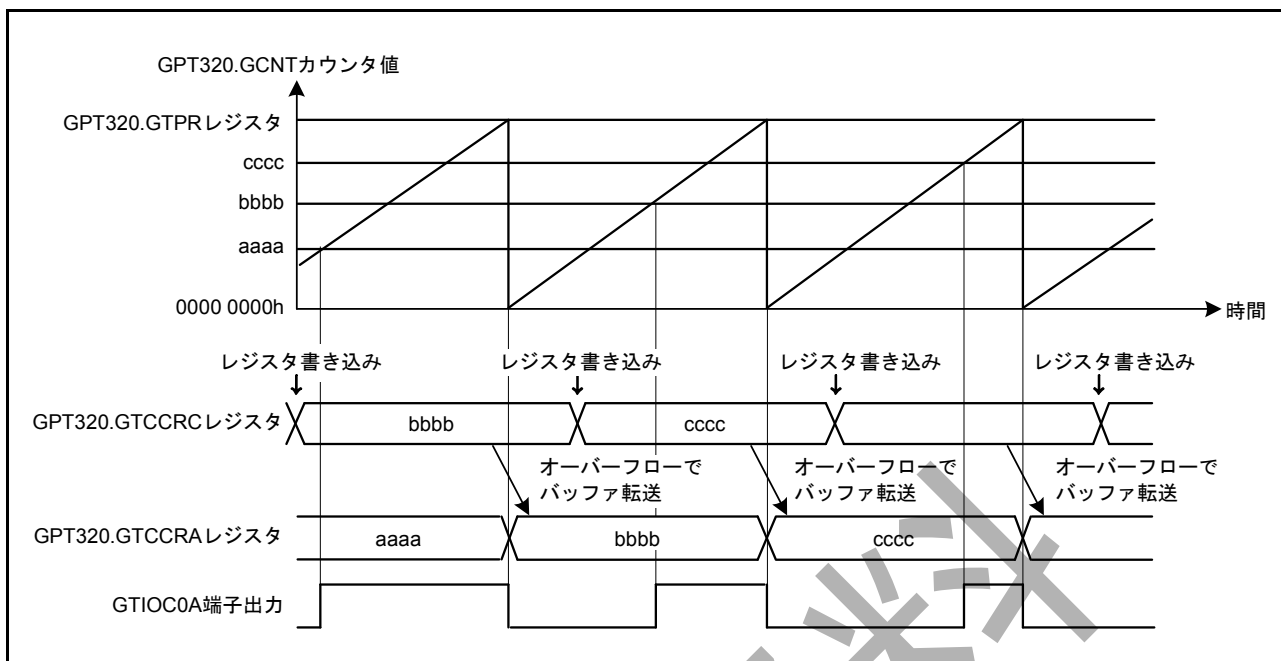


図 23.22 GTCCRA、GTCCRB レジスタのバッファ動作例 (アウトプットコンペア、のこぎり波でアップカウンタ、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合)

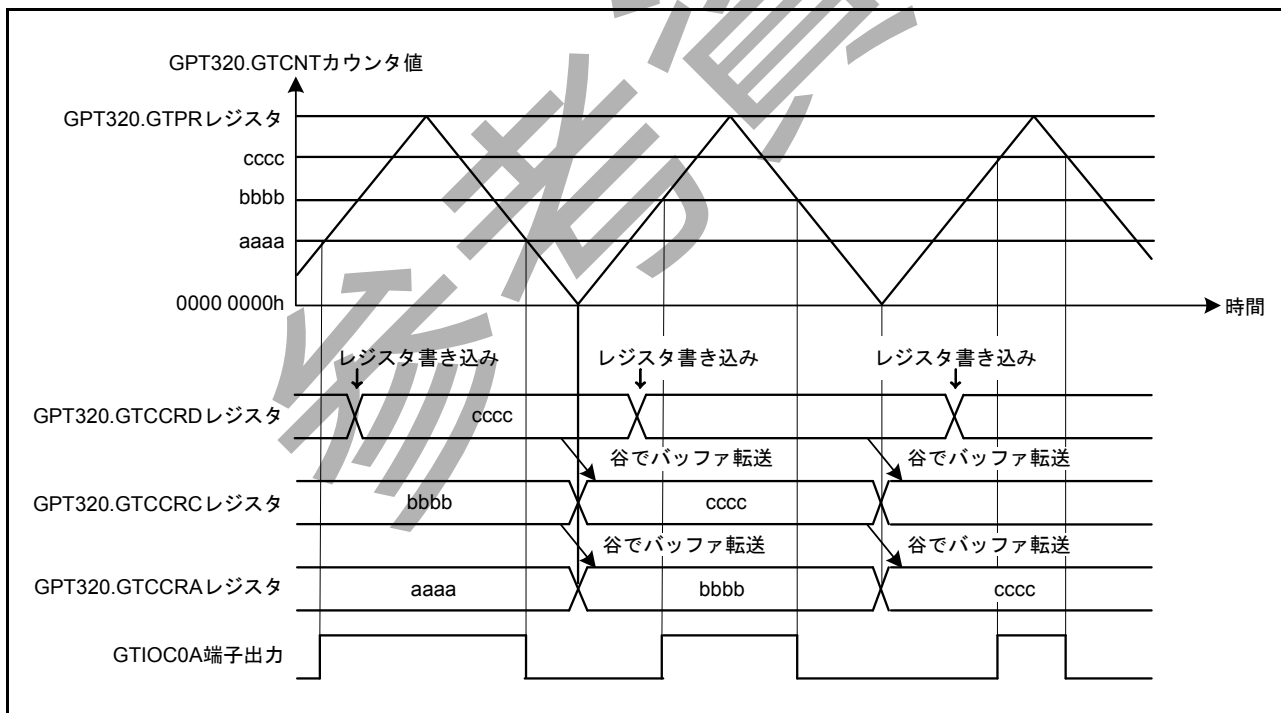


図 23.23 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

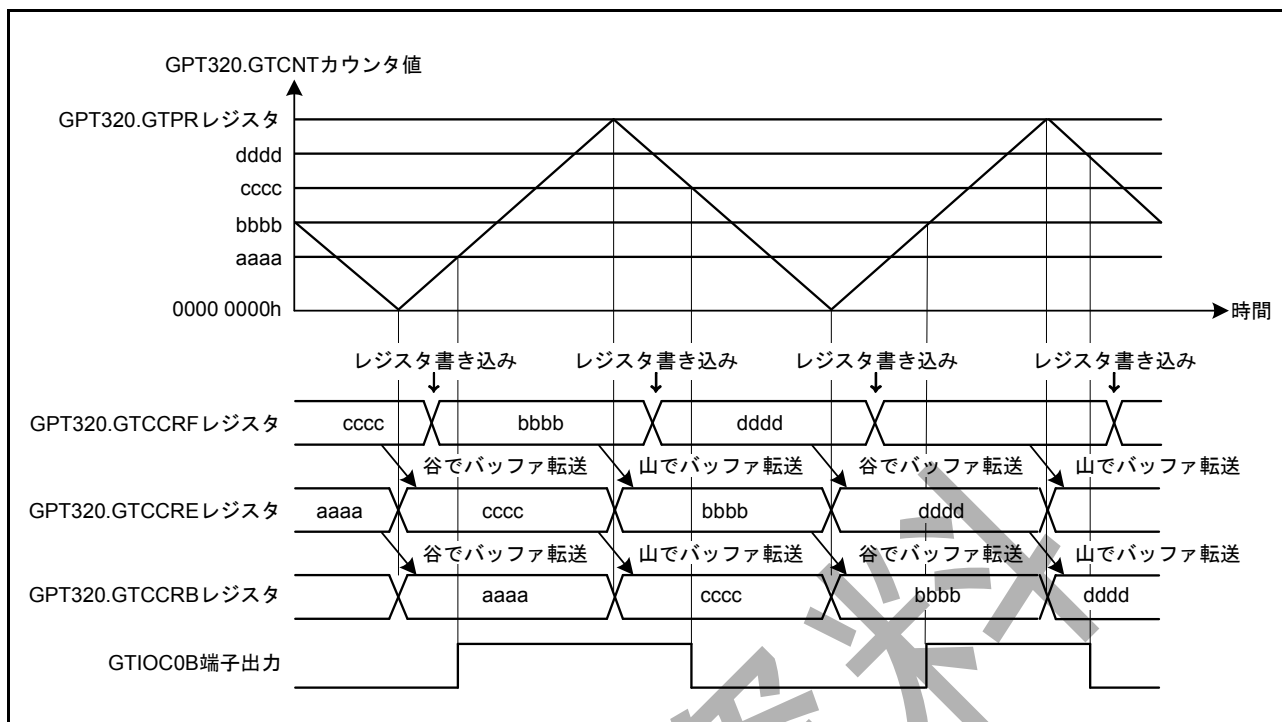


図 23.24 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

参考資料



図 23.25 GTCCRA、GTCCRB レジスタのバッファ動作の設定例 (アウトプットコンペア時)

## (2) GTCCRA または GTCCRB レジスタがインプットキャプチャレジスタとして機能する場合

インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

GTCCRA および GTCCRB レジスタのバッファ動作例を [図 23.26](#) と [図 23.27](#) に、GTCCRB レジスタのバッファ動作の設定例を [図 23.28](#) に示します。

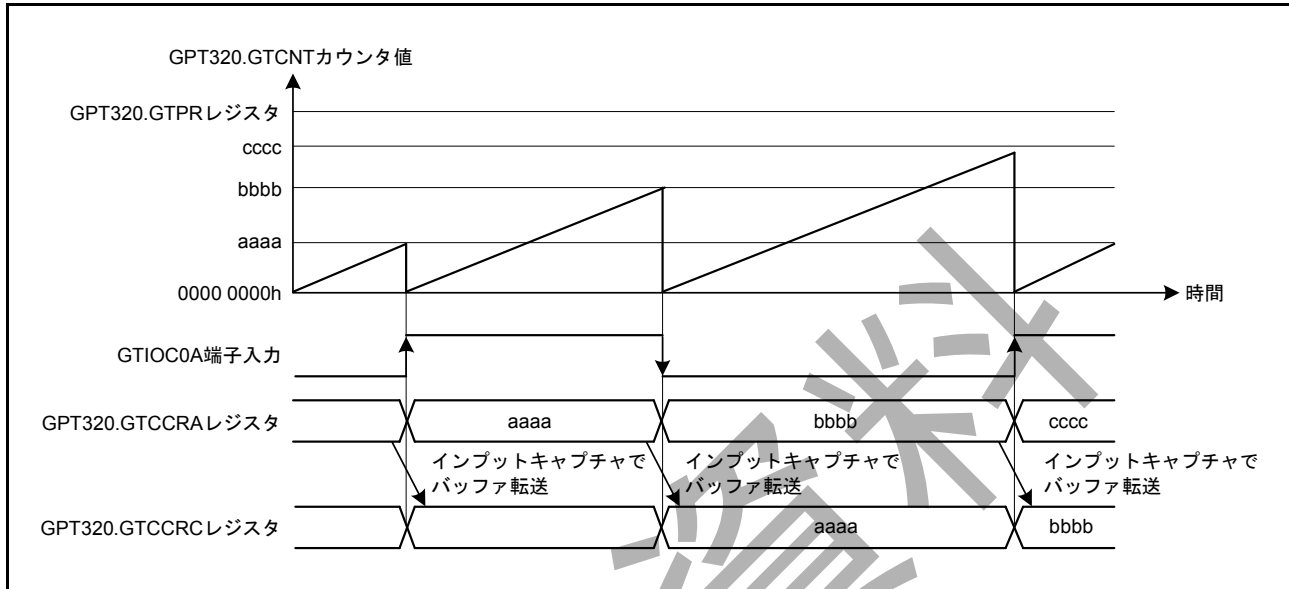


図 23.26 GTCCRA、GTCCRB レジスタのバッファ動作例 (GTIOC0A 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0A 端子入力の両エッジで GTCNT カウンタクリアの場合)

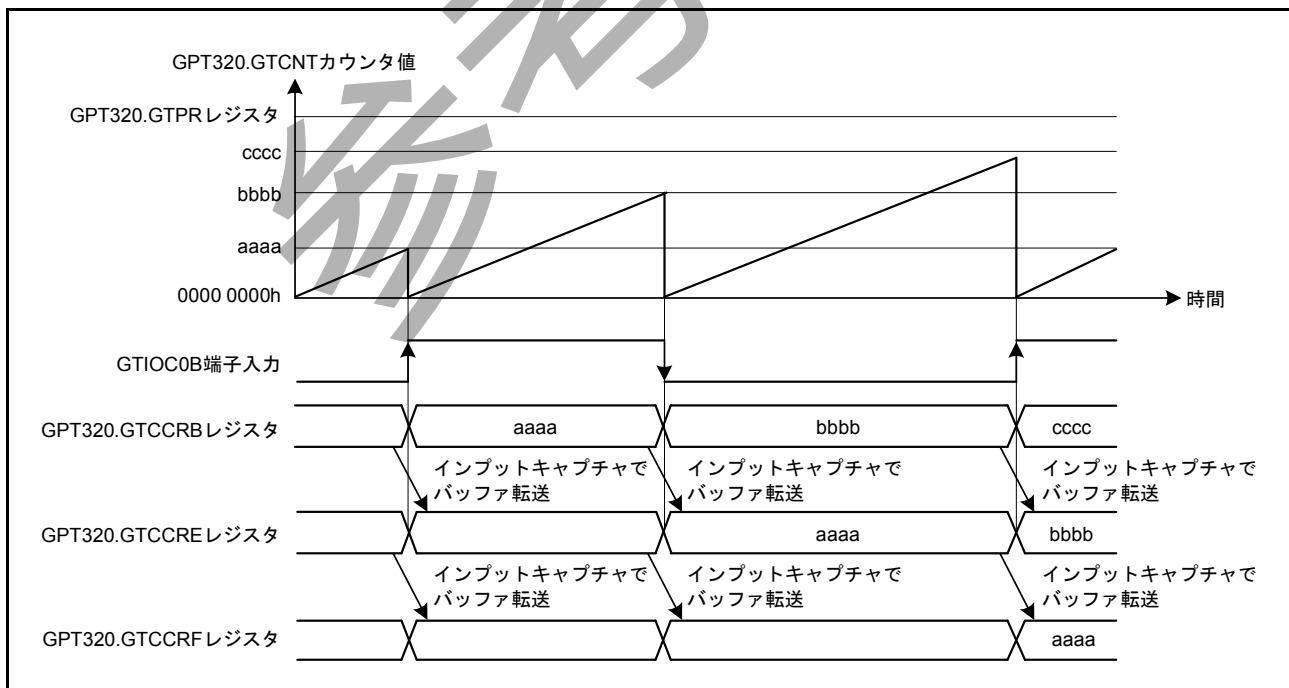


図 23.27 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (GTIOC0B 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0B 端子入力の両エッジで GTCNT カウンタクリアの場合)

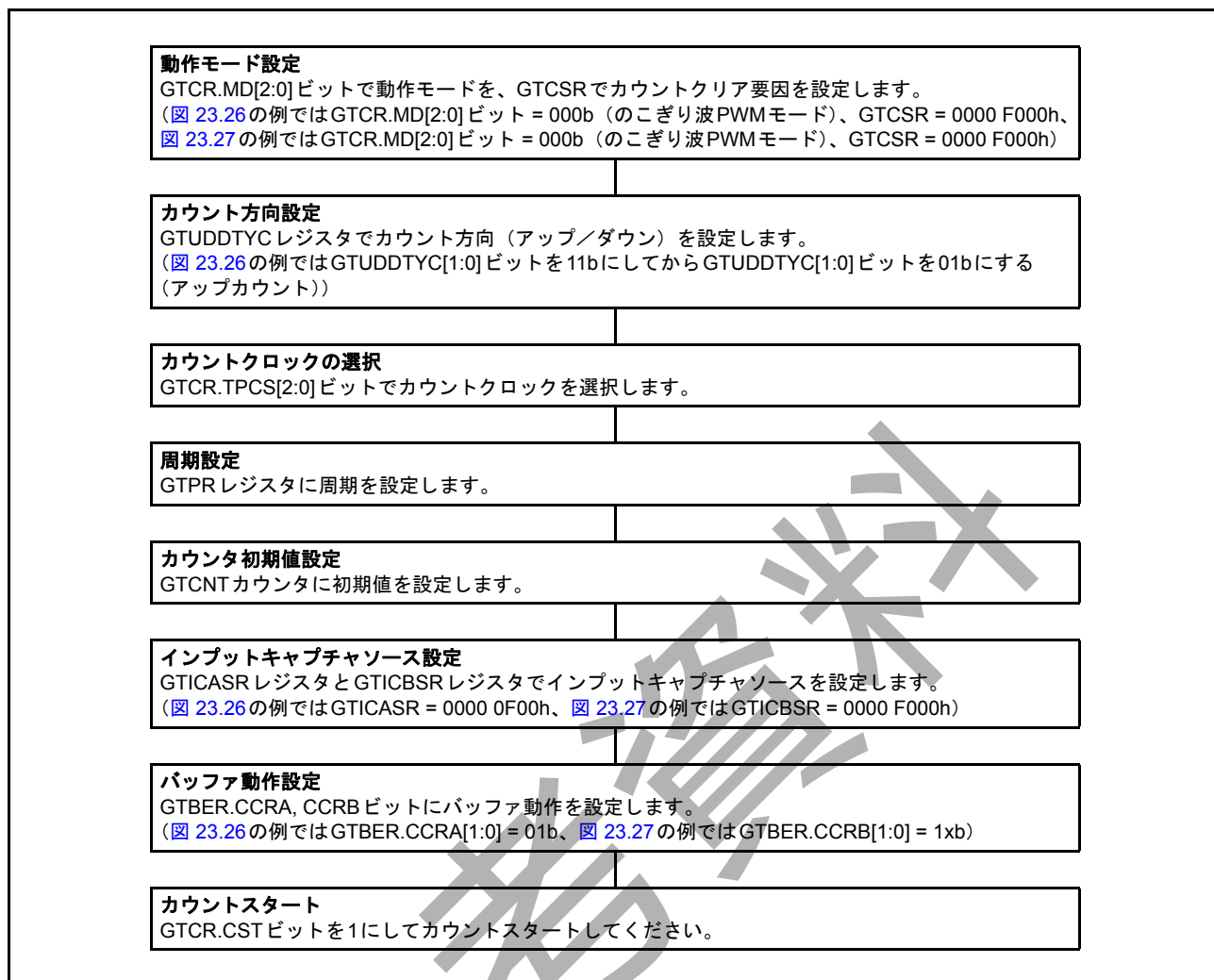


図 23.28 GTCCRA、GTCCRB レジスタのバッファ動作の設定例 (インプットキャプチャ時)



### 23.3.3 PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA または GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCA 端子または GTIOCB 端子へ PWM 波形を出力することができます。また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

#### 23.3.3.1 のこぎり波 PWM モード

のこぎり波 PWM モードでは、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させます。また、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に、GTIOCA または GTIOCB 端子に PWM 波形を出力させます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

図 23.29 にのこぎり波 PWM モードの動作例を、図 23.30 にのこぎり波 PWM モードの設定例を示します。

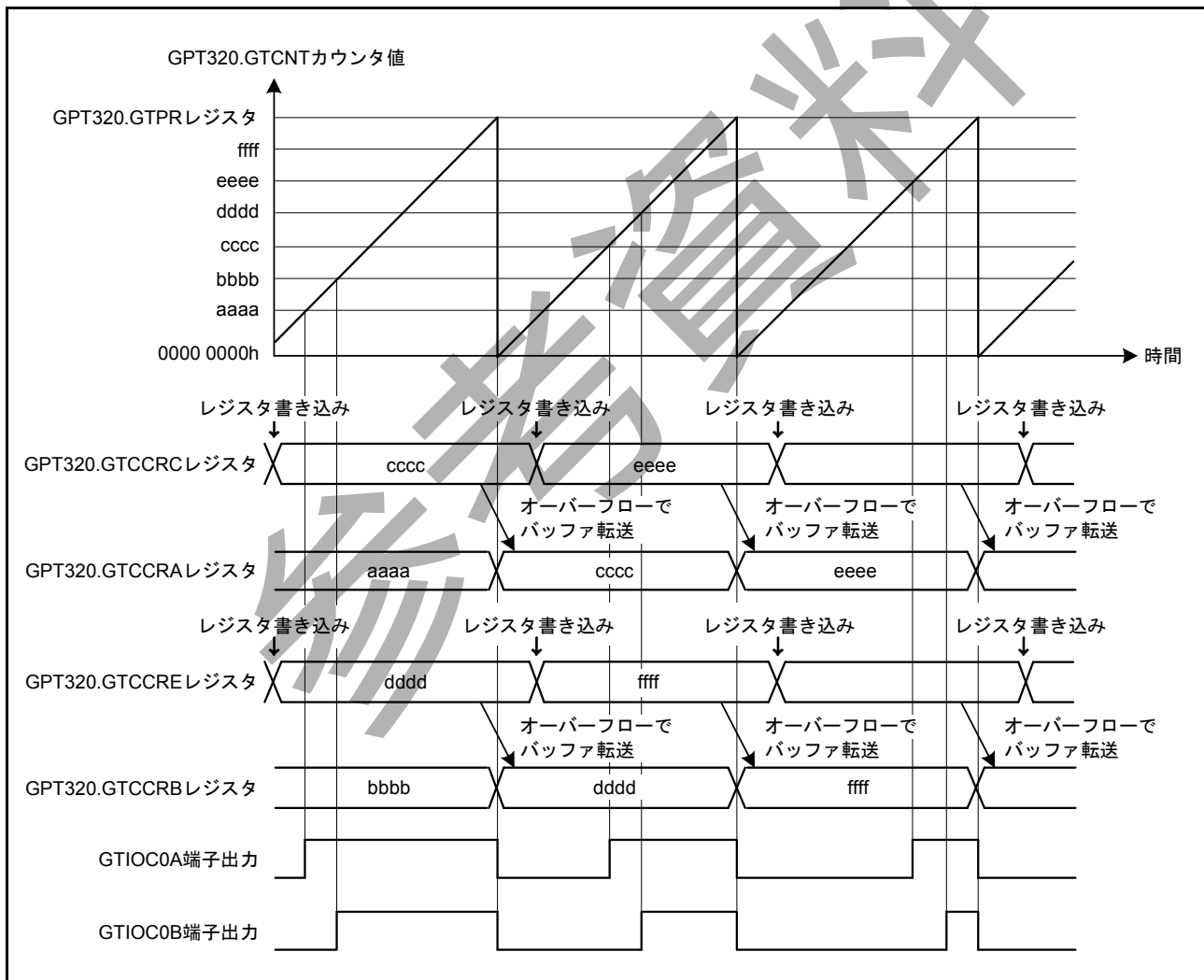


図 23.29 のこぎり波 PWM モード動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）



図 23.30 のこぎり波 PWM モードの設定例

### 23.3.3.2 のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定するモードです。GTCNT カウンタにのこぎり波 (半波) 動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。

のこぎり波ワンショットパルスモードでのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- GTCCRC レジスタから GTCCRA レジスタへ
- GTCCRE レジスタから GTCCRB レジスタへ
- GTCCRD レジスタから一時レジスタ A へ
- 周期の終わりに GTCCRF レジスタから一時レジスタ B へ
- GTCCRA レジスタのコンペアマッチ時に、一時レジスタ A から GTCCRA レジスタへ
- GTCCRB レジスタのコンペアマッチ時に、一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。GTBER.CCRSWT ビットを 1 にしてカウントを停止させると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 23.31 に、のこぎり波ワンショットパルスモードの動作例を、図 23.32 に、のこぎり波ワンショットパルスモードの設定例を示します。

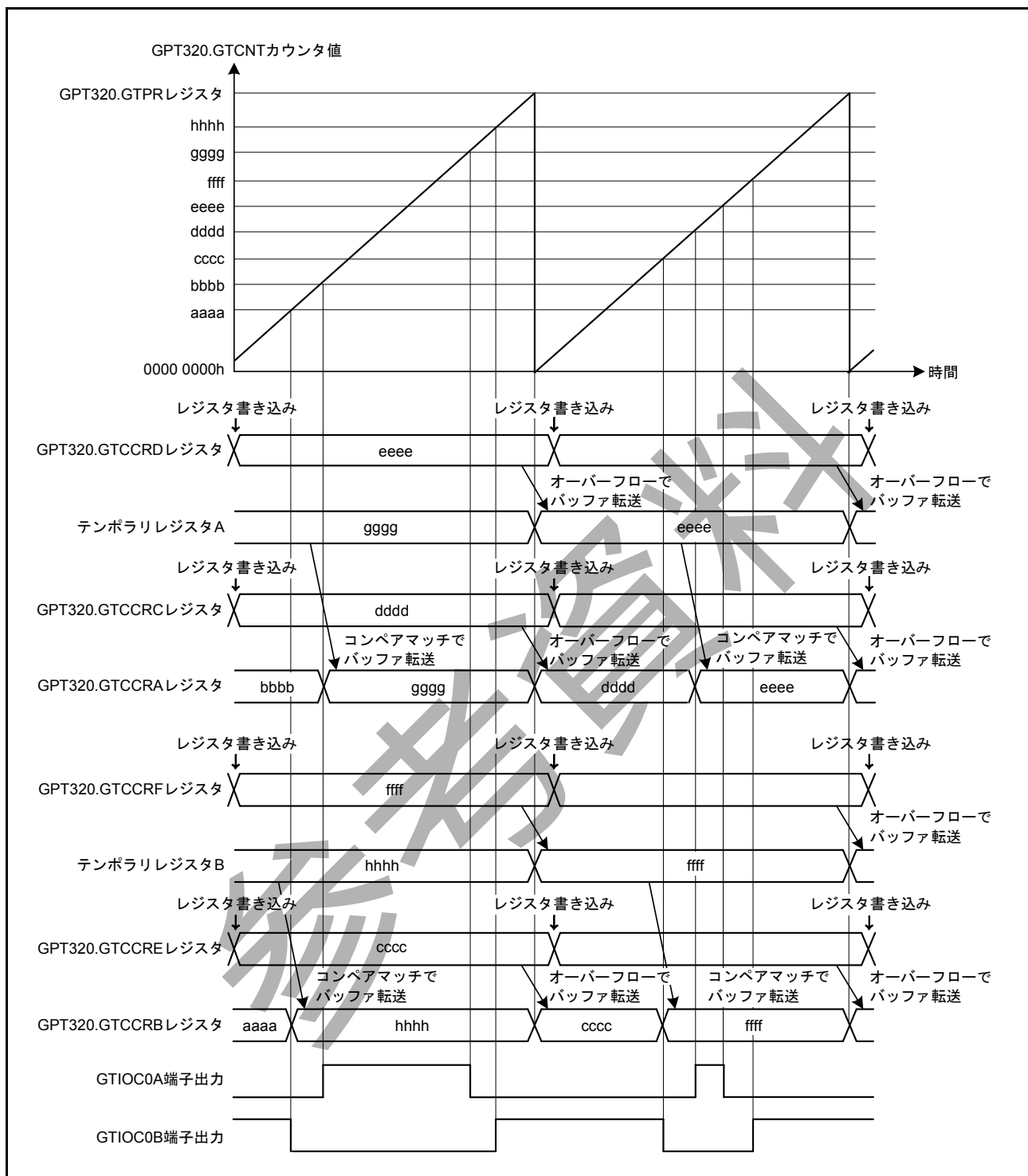


図 23.31 のこぎり波ワンショットパルスモード動作例 (アップカウント、カウントスタート時に GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

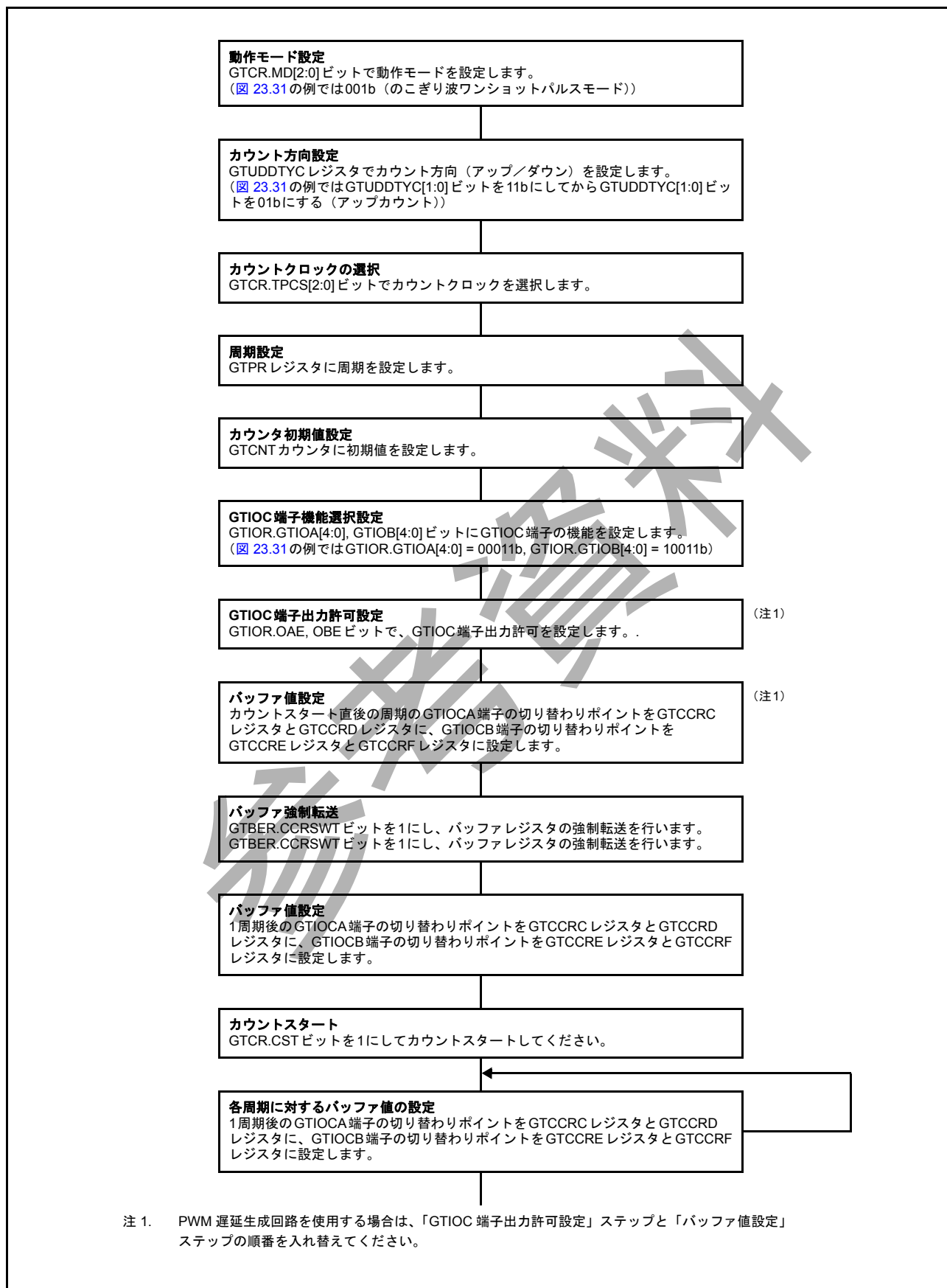


図 23.32 のこぎり波ワンショットパルスモードの設定例

### 23.3.3.3 三角波 PWM モード 1 (谷 32 ビット転送)

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波 (全波) 動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

また、GDTDCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 23.33 に三角波 PWM モード 1 の動作例を、図 23.34 に三角波 PWM モード 1 の設定例を示します。

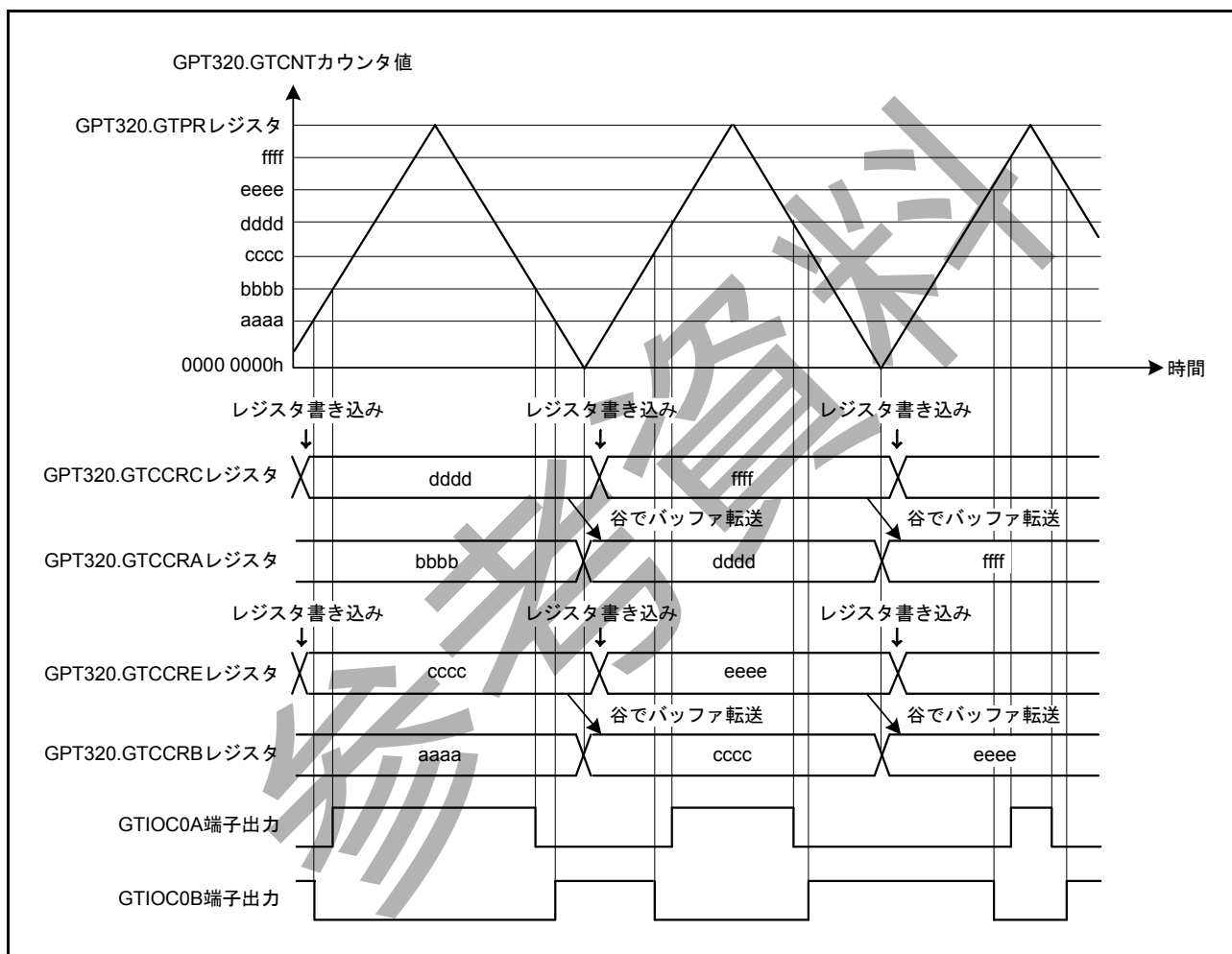


図 23.33 三角波 PWM モード 1 動作例 (バッファ動作、カウントスタート時に GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

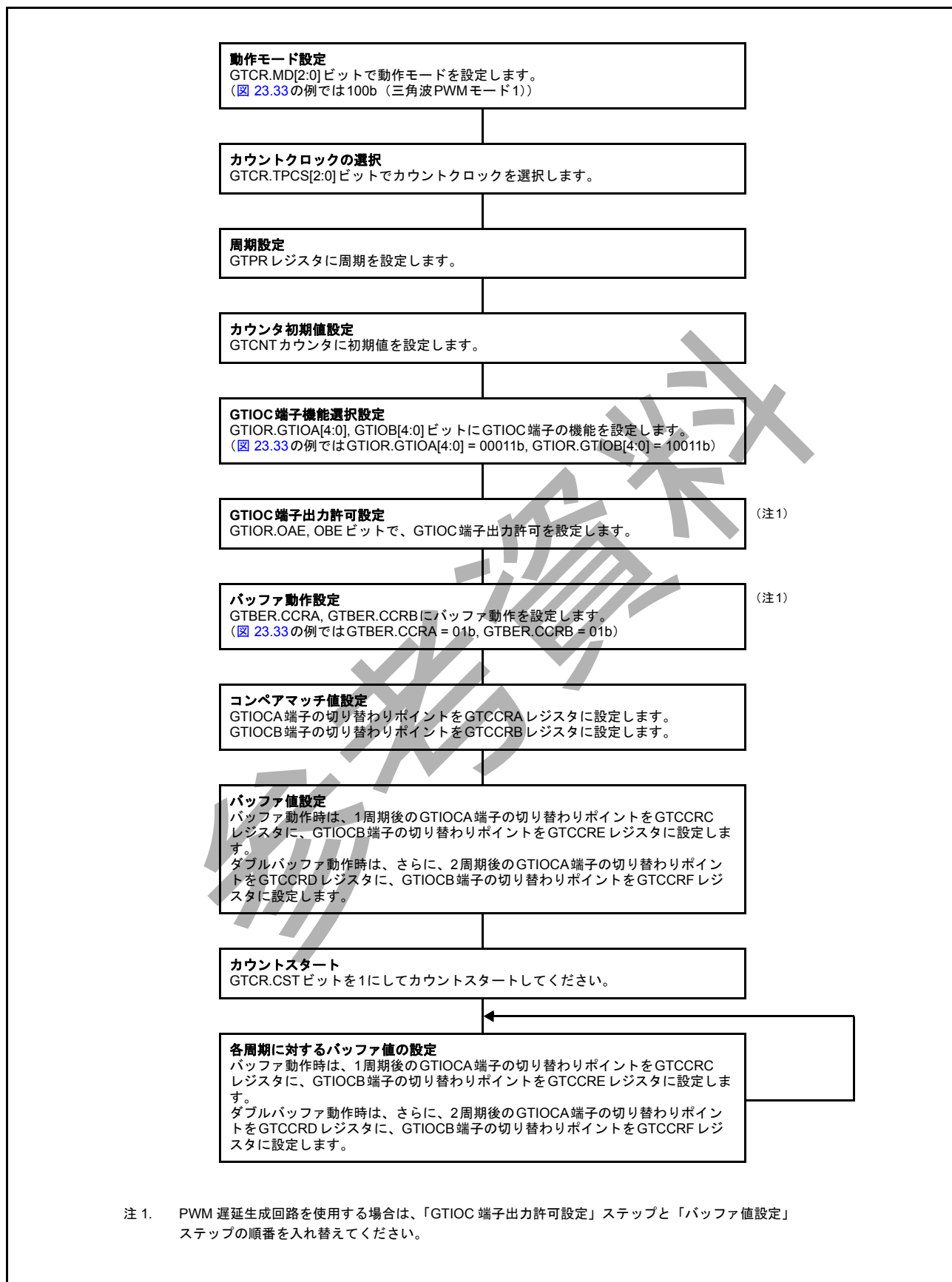


図 23.34 三角波 PWM モード 1 の設定例

### 23.3.3.4 三角波 PWM モード 2 (山/谷 32 ビット転送)

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波 (全波) 動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。山と谷の両方でバッファ転送が行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 23.35 に三角波 PWM モード 2 の動作例を、図 23.36 に三角波 PWM モード 2 の設定例を示します。

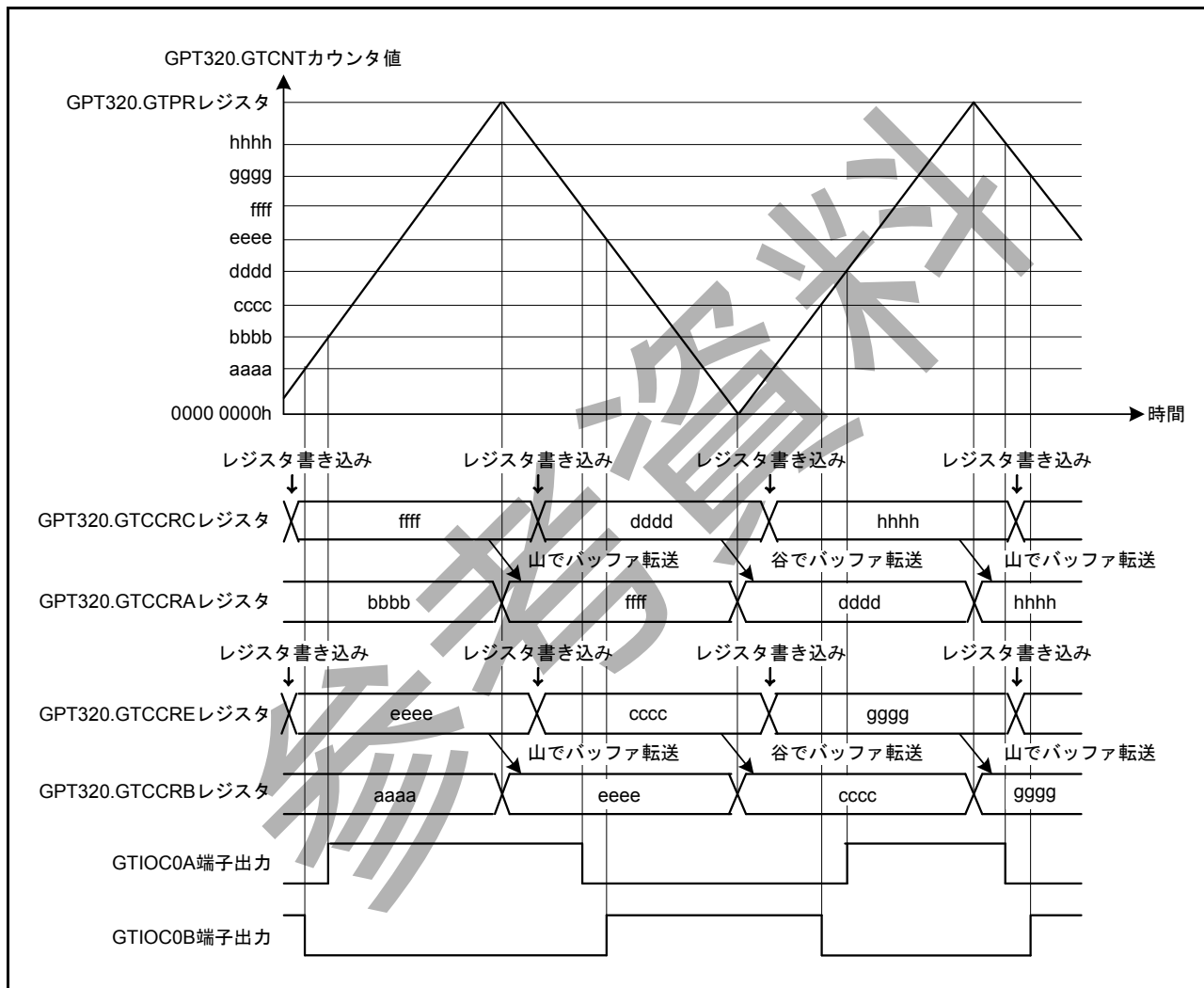


図 23.35 三角波 PWM モード 2 動作例 (バッファ動作、カウントスタート時に GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)



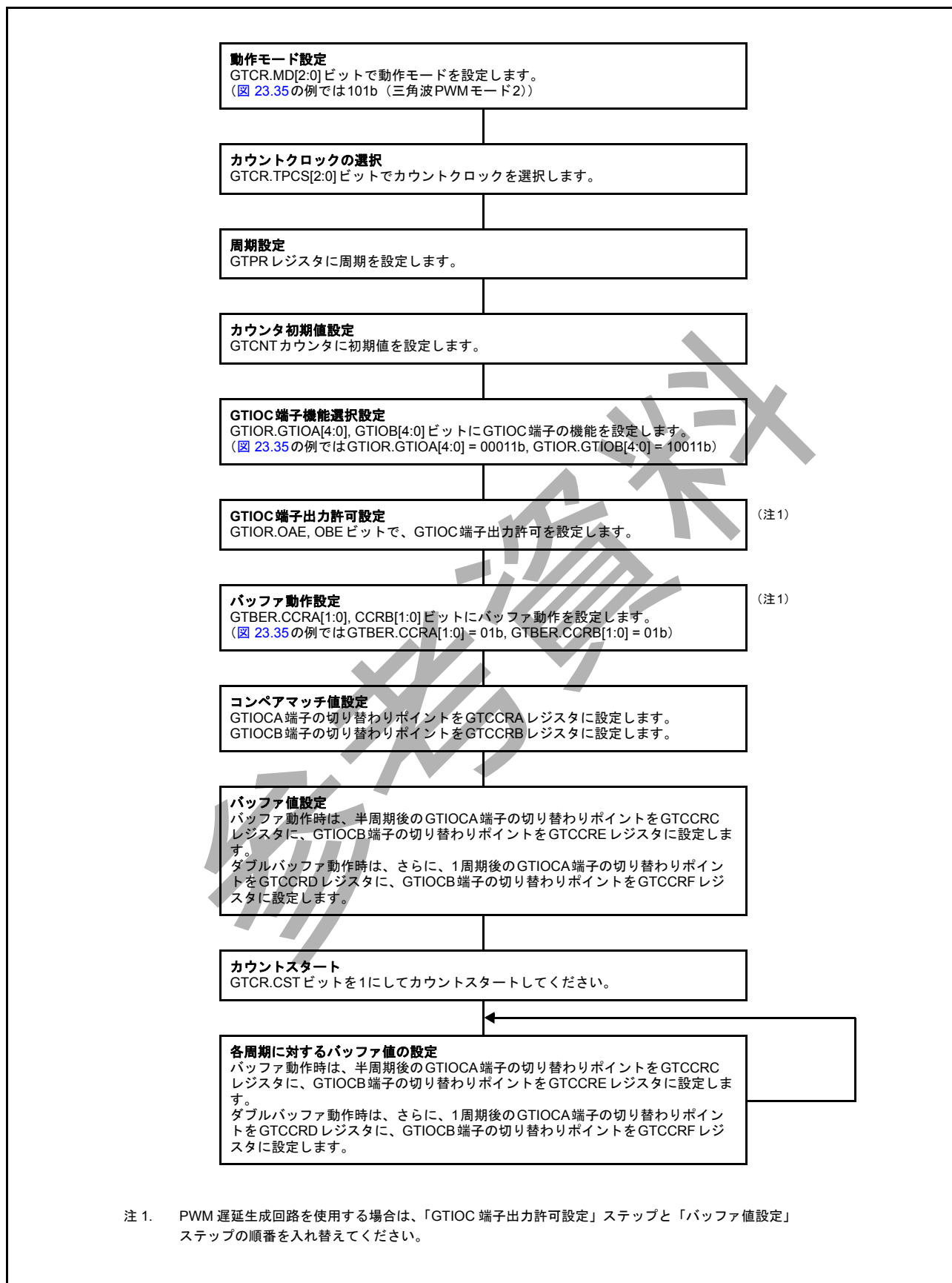


図 23.36 三角波 PWM モード 2 の設定例

### 23.3.3.5 三角波 PWM モード 3 (谷 64 ビット転送)

三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波 (全波) 動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。三角波 PWM モード 3 でのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- GTCCRC レジスタから GTCCRA レジスタへ
- GTCCRE レジスタから GTCCRB レジスタへ
- GTCCRD レジスタから一時レジスタ A へ
- 谷で GTCCRF レジスタから一時レジスタ B へ
- 一時レジスタ A から GTCCRA レジスタへ
- 山で一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 23.37 に三角波 PWM モード 3 の動作例を、図 23.38 に三角波 PWM モード 3 の設定例を示します。

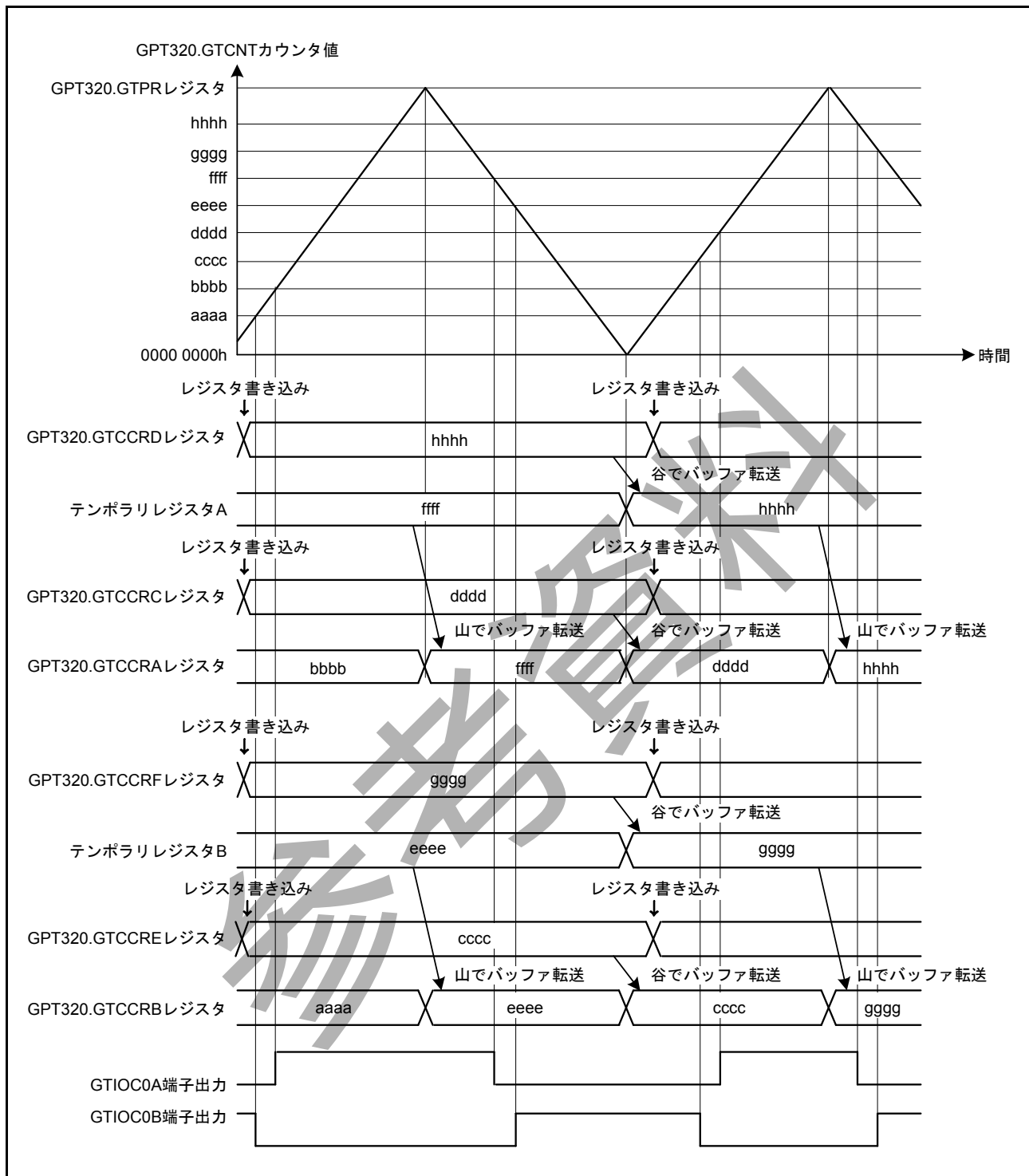


図 23.37 三角波 PWM モード 3 動作例 (カウントスタート時に GTIIOC0A 端子 = Low 出力 / GTIIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

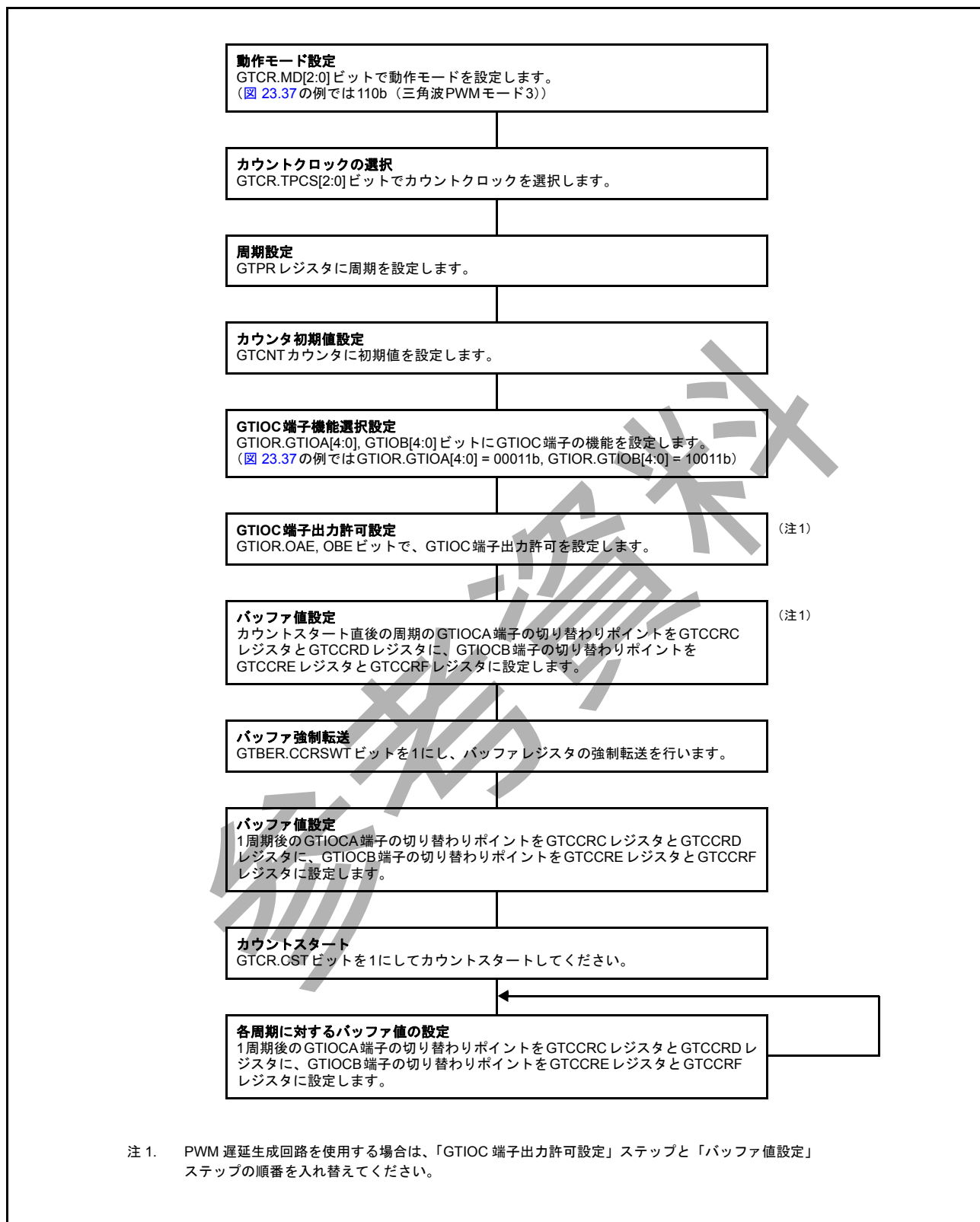


図 23.38 三角波 PWM モード 3 の設定例

### 23.3.4 デッドタイム自動設定機能

GTDTCR レジスタを設定することにより、正相波形のコンペアマッチ値 (GTCCRA 値) と指定したデッドタイム値 (GTDVU 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。このデッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

なお、デッドタイム自動設定機能を使用する場合、GTCCRB レジスタへの書き込みはしないでください。また、周期を超えるデッドタイムの設定もしないでください。デッドタイム自動設定値は、GTCCRB レジスタ値を読むことで確認できます。GTCCRB レジスタにデッドタイム値が自動設定されるのは、次のカウントクロック周期で、デッドタイム自動設定値の計算用レジスタが更新されるときです。

デッドタイム自動設定機能の動作例を図 23.39 ~ 図 23.42 に示します。設定例を図 23.43 および図 23.44 に示します。

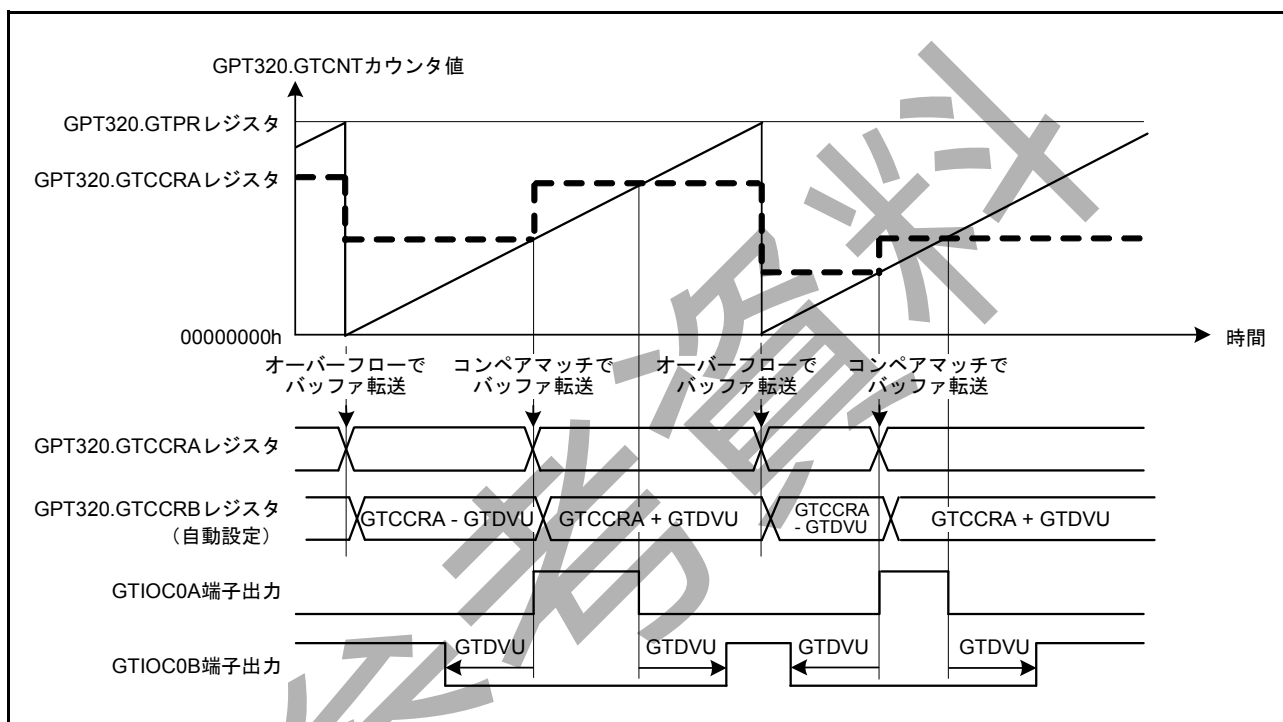


図 23.39 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、アップカウント、アクティブ High の場合)

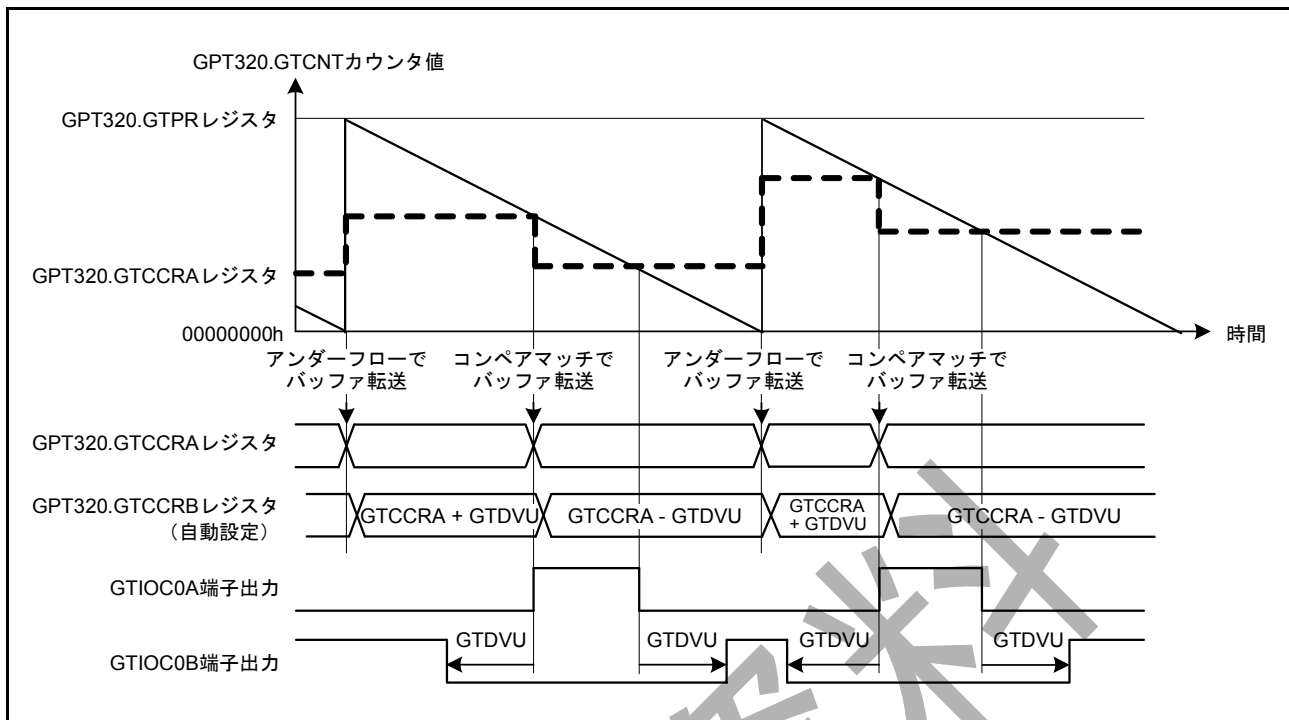


図 23.40 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、ダウンカウント、アクティブ High の場合)

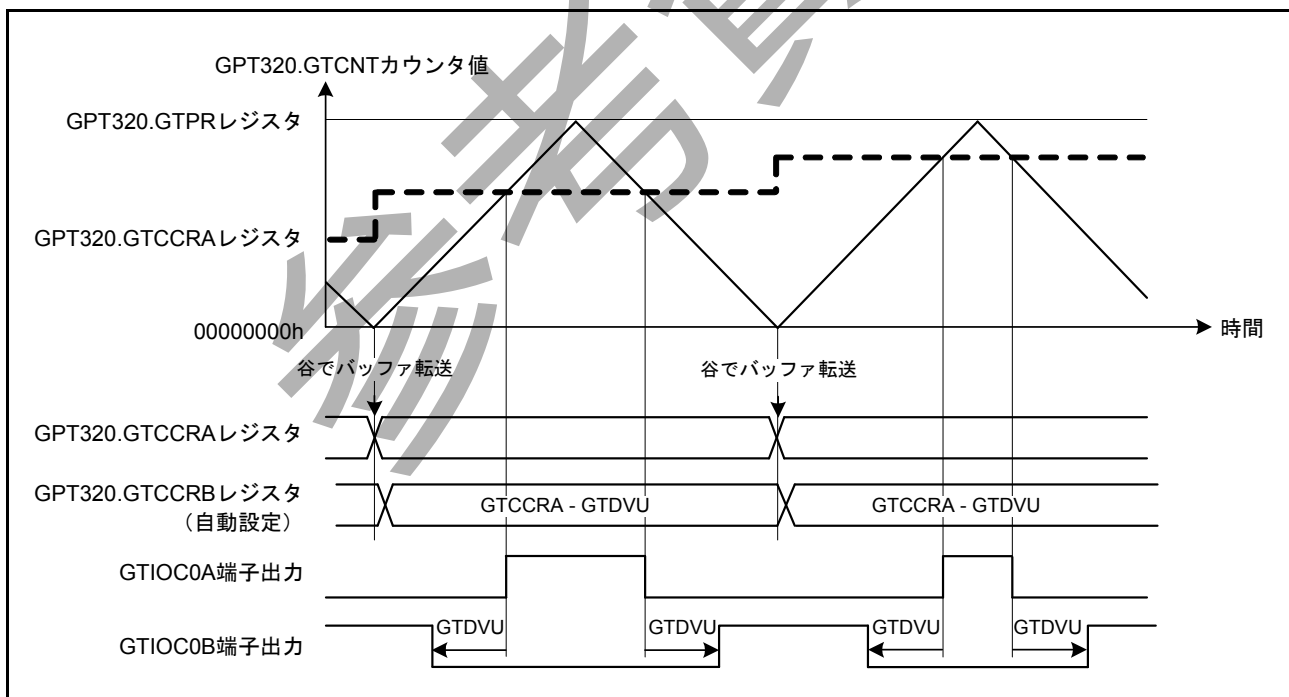


図 23.41 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 1、アクティブ High の場合)

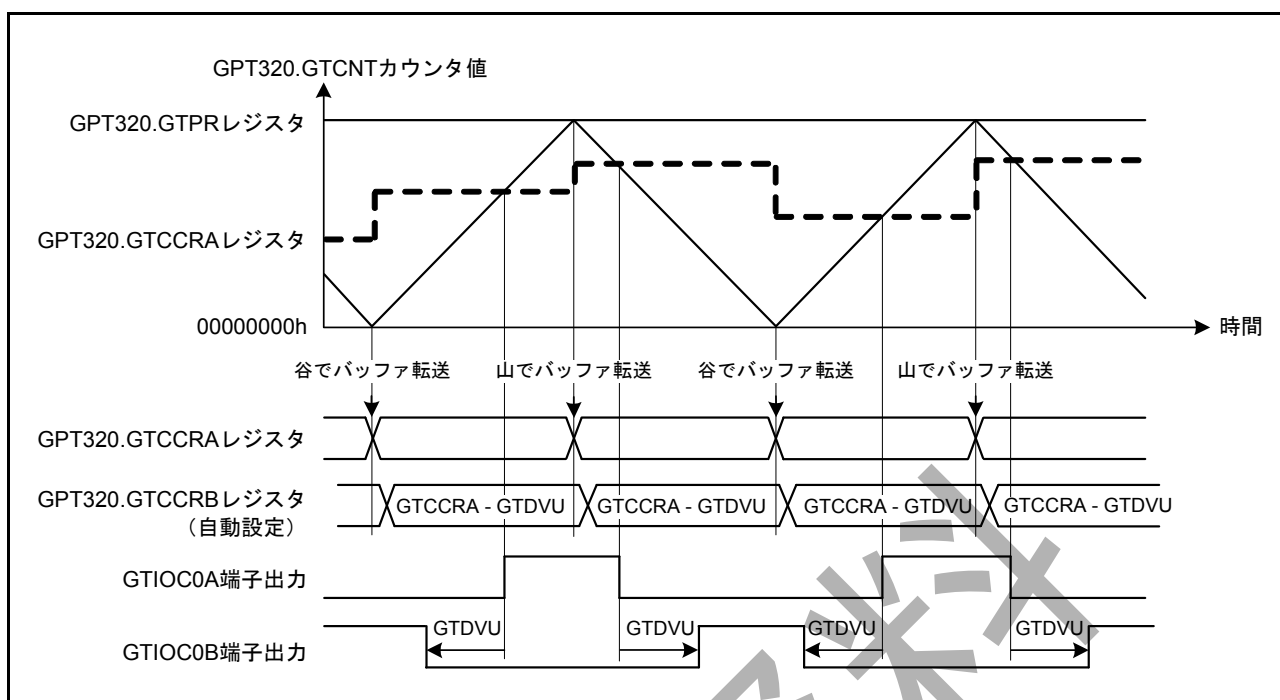


図 23.42 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 2 または 3、アクティブ High の場合)

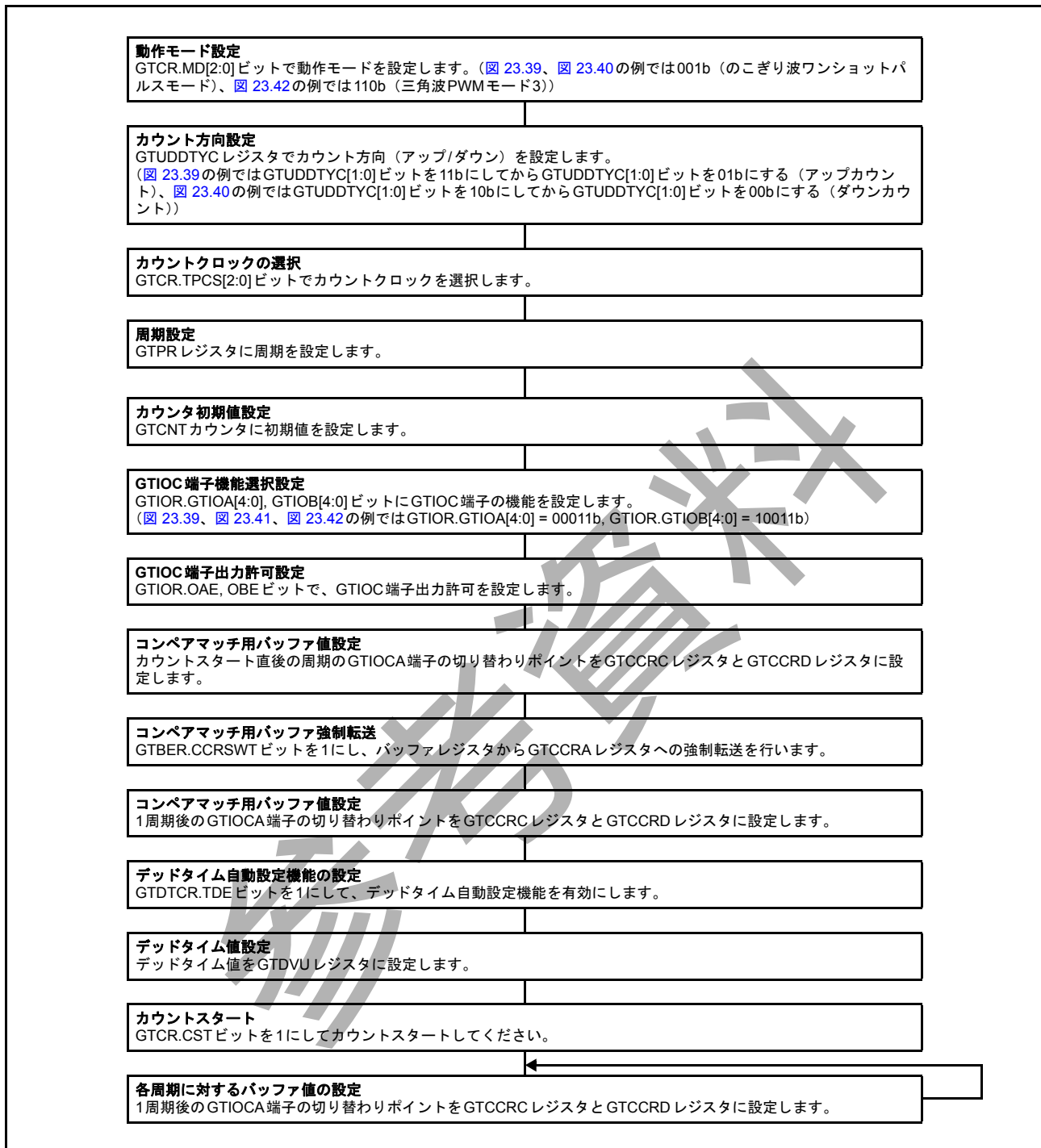


図 23.43 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波PWMモード3の場合)



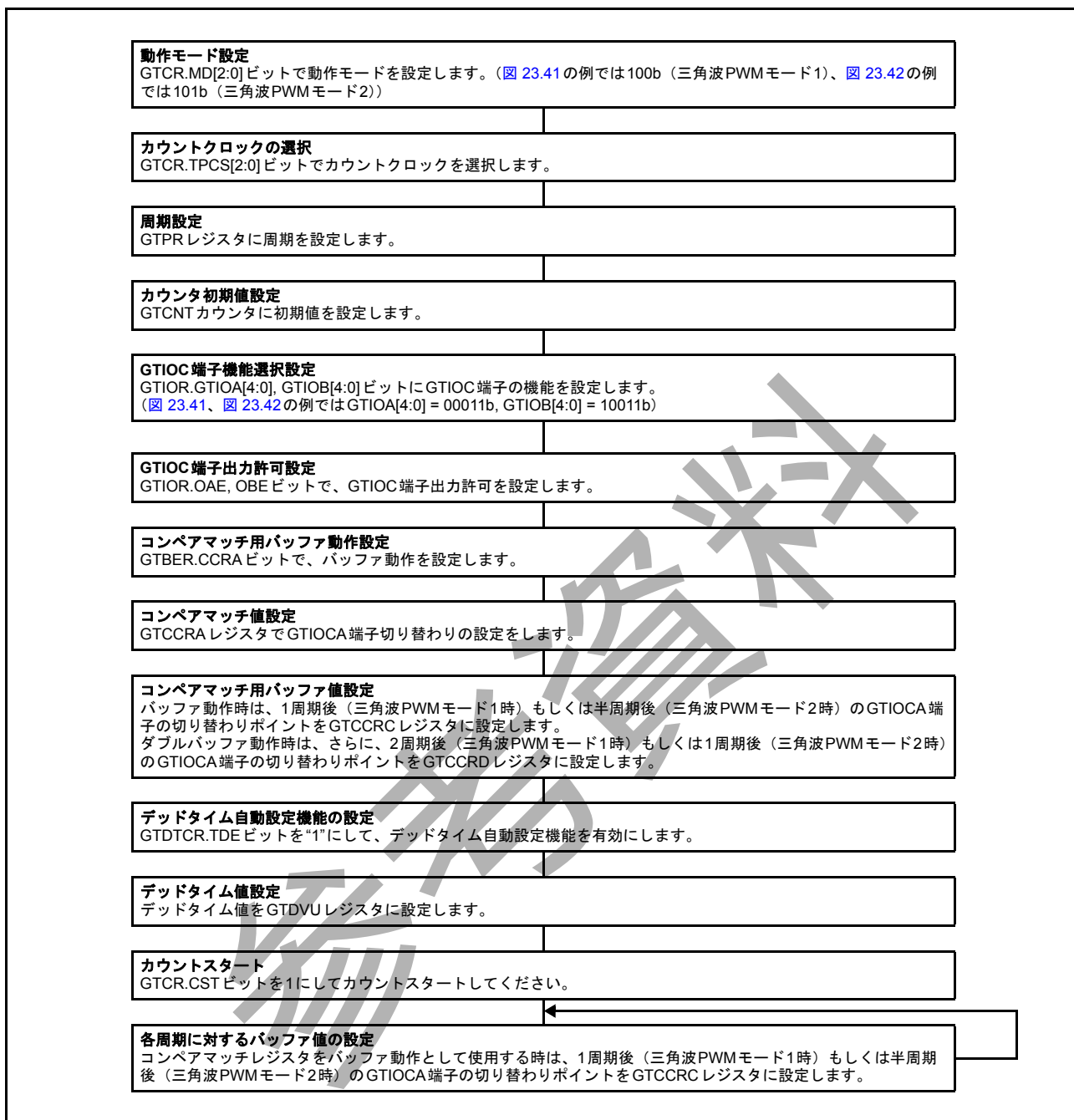


図 23.44 デッドタイム自動設定機能の設定例 (三角波PWMモード1または2の場合)

### 23.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート前の GTPR 値が反映されます。

図 23.45 にカウント方向切り替え機能の動作例を示します。

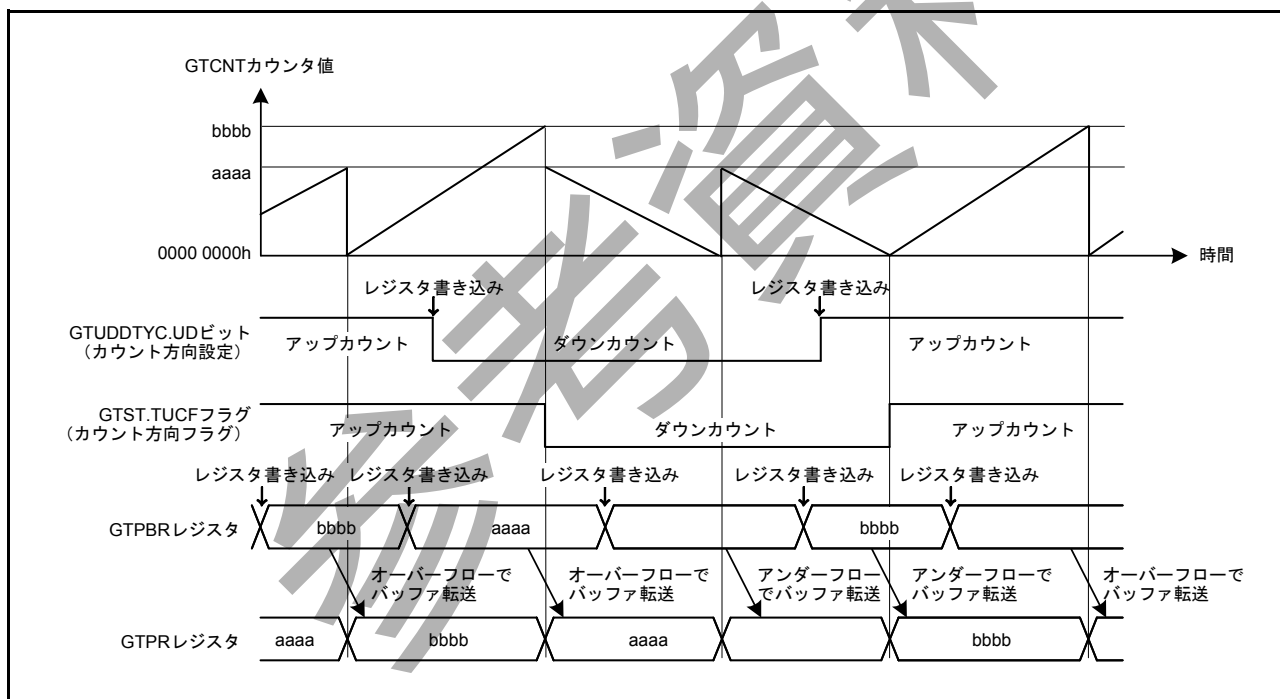


図 23.45 カウント方向切り替え機能の動作例 (バッファ動作時)

### 23.3.6 出力デューティ 0% および出力デューティ 100% 機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCA 端子と GTIOCB 端子の出力デューティが 0% または 100% に設定されます。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。出力デューティはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットを 1 にすると、そのときの GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダーフロー発生時に出力デューティの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティの変更値はカウントスタート時に反映されます。

0% または 100% デューティ動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0% または 100% デューティ設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCA 端子の出力値は、GTIOR.GTIOA[3:2] ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCB 端子の出力値は、GTIOR.GTIOB[3:2] ビットと GTUDDTYC.OBDTYR ビットで決定されます。

GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2] ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。周期の終わりで GTIOCA/GTIOCB 端子の出力値を [表 23.6](#) に示します。

表 23.6 0%または100% デューティ設定解除後の出力値 (m = A, B)

GTIOR.GTIOm[3:2]	0%/100% デューティ設定でマスクされた周期の終わりで のコンペアマッチ値	GTUDDTYC.OADTYR (デューティ 0% 設定時)		GTUDDTYC.OADTYR (デューティ 100% 設定時、 5V トレラント)	
		0	1	0	1
00 (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01 (周期の終わりでLow出力)	—	0	0	0	0
10 (周期の終わりでHigh出力)	—	1	1	1	1
11 (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0

図 23.46 にカウント方向切り替え機能の動作例を示します。

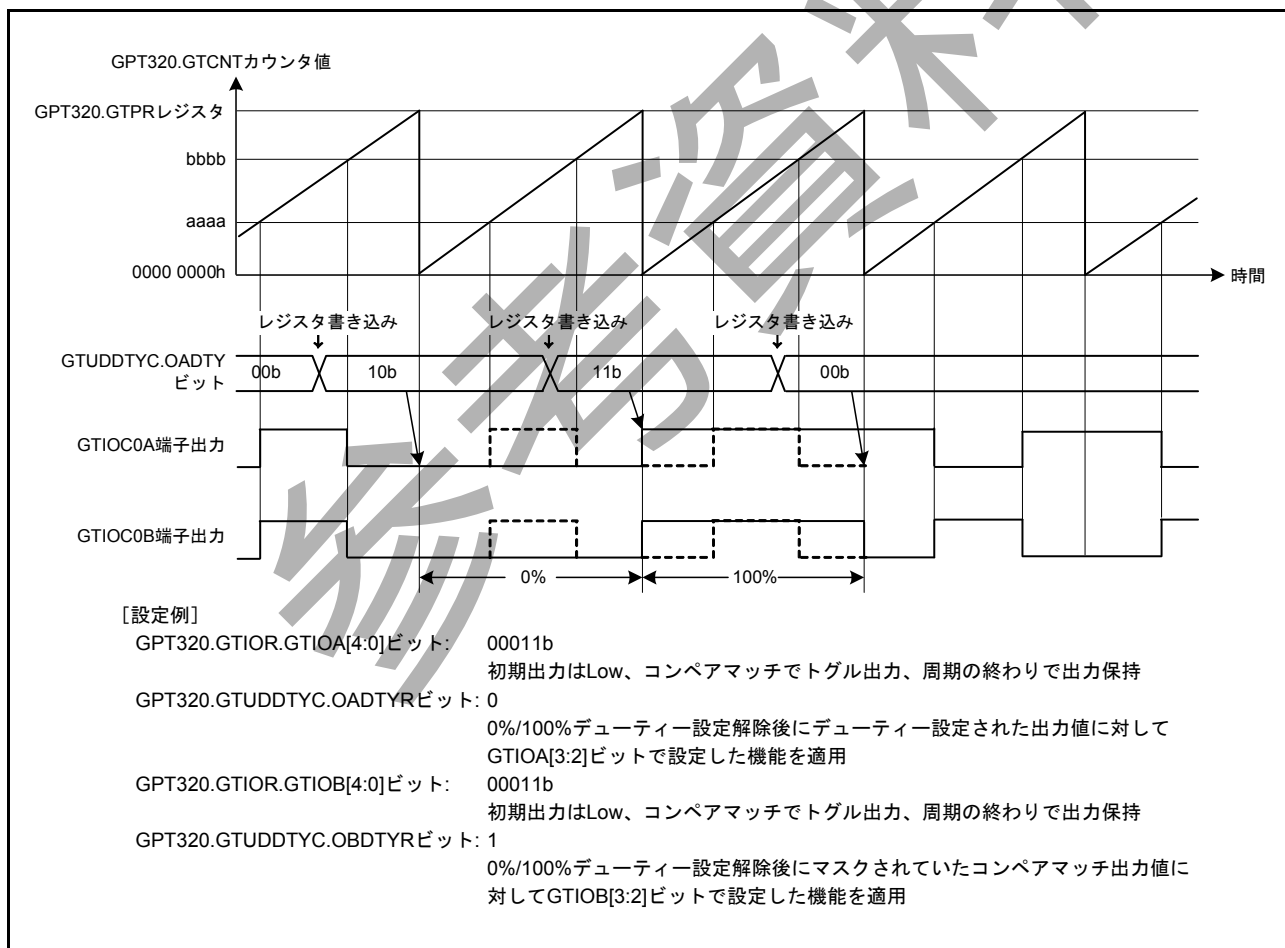


図 23.46 出力デューティ 0%、100% 機能動作例

### 23.3.7 ハードウェアカウントスタート/カウントストップ、カウントクリア動作

下記のハードウェア要因によって、GTCNTカウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 出力トリガ入力
- ELC イベント入力
- GTIOCA/GTIOCB 端子入力

#### 23.3.7.1 ハードウェアスタート動作

GTSSRレジスタでハードウェア要因を選択することにより、GTCNTカウンタのカウントスタートが可能です。

図 23.47 にハードウェア要因によるカウントスタートの動作例を示します。図 23.48 に設定例を示します。

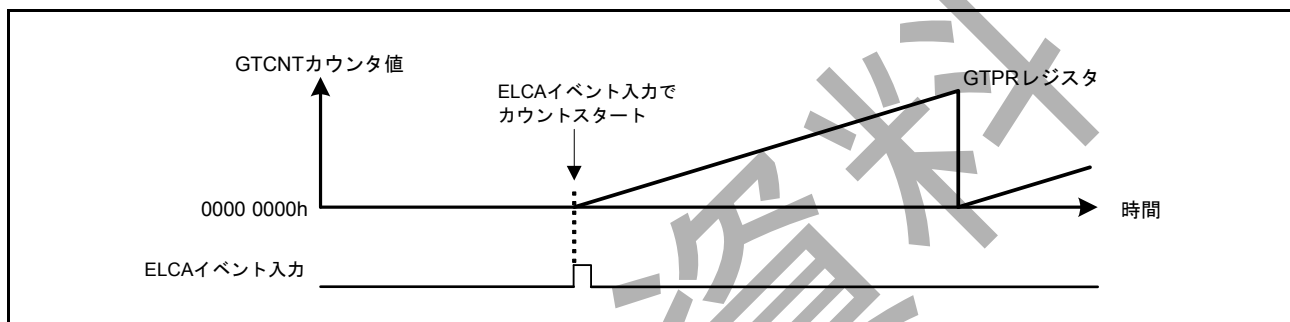


図 23.47 ハードウェア要因によるカウントスタート動作例 (ELCA イベントからの信号入力時のスタート)

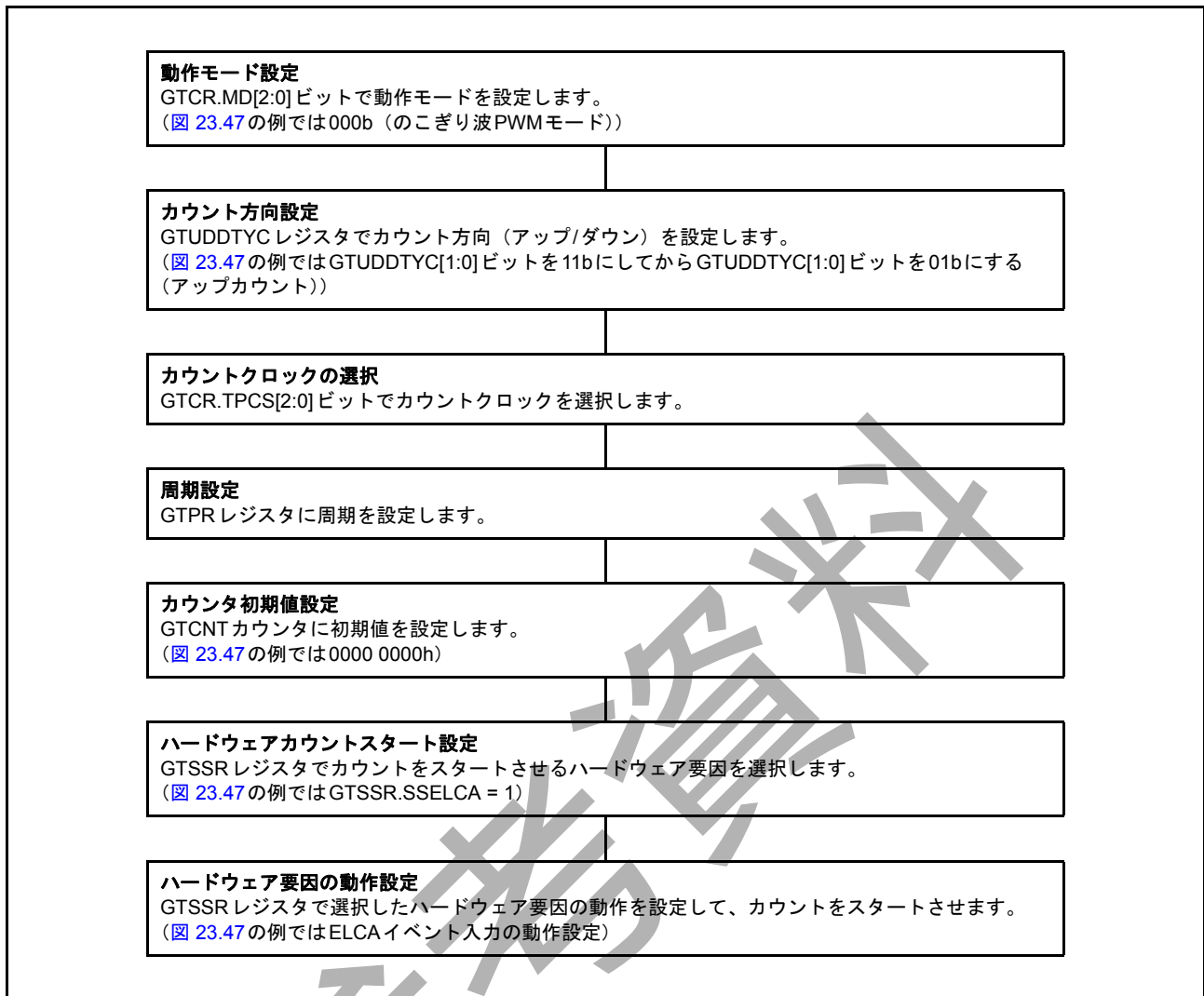


図 23.48 ハードウェア要因によるカウンタスタート動作の設定例

### 23.3.7.2 ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能  
です。

図 23.49 にハードウェア要因によるカウントストップの動作例を示します。図 23.50 に設定例を示しま  
す。この例では、カウント動作が ELCA イベント入力のエッジでストップし、ELCB イベント入力のエッジ  
で再スタートしています。

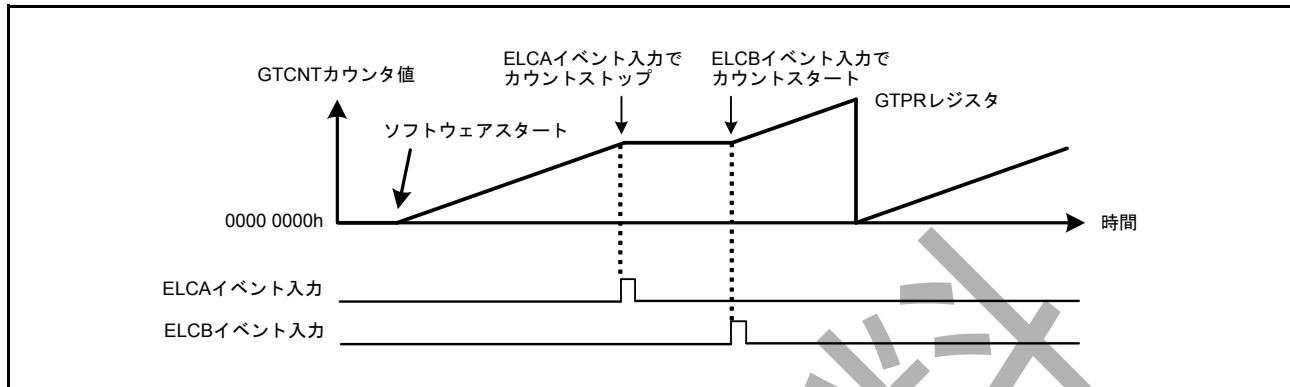


図 23.49 ハードウェア要因によるカウントストップ動作例  
(ソフトウェアによるスタート、ELCA イベント入力でのストップ、ELCB イベント入力での再スタートの場合)

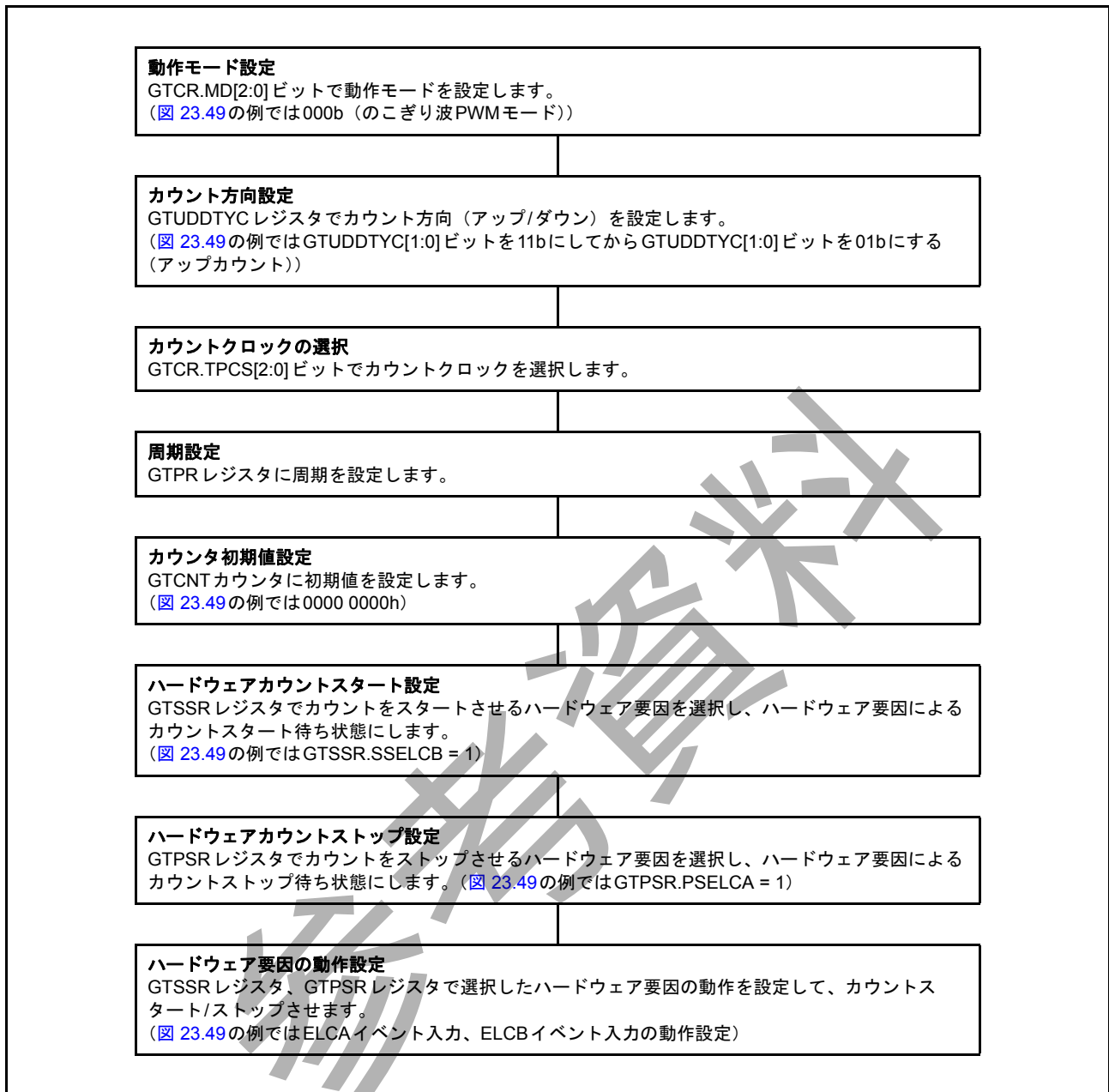


図 23.50 ハードウェア要因によるカウントストップ動作の設定例



図 23.51 にハードウェア要因によるカウントスタート/ストップ動作例を示します。図 23.52 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

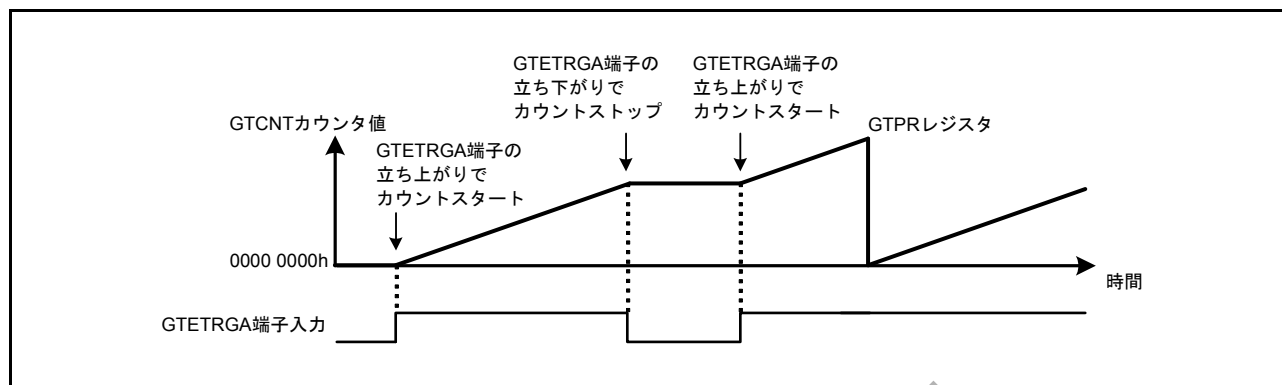


図 23.51 ハードウェア要因によるカウントスタート/ストップ動作例 (GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合)

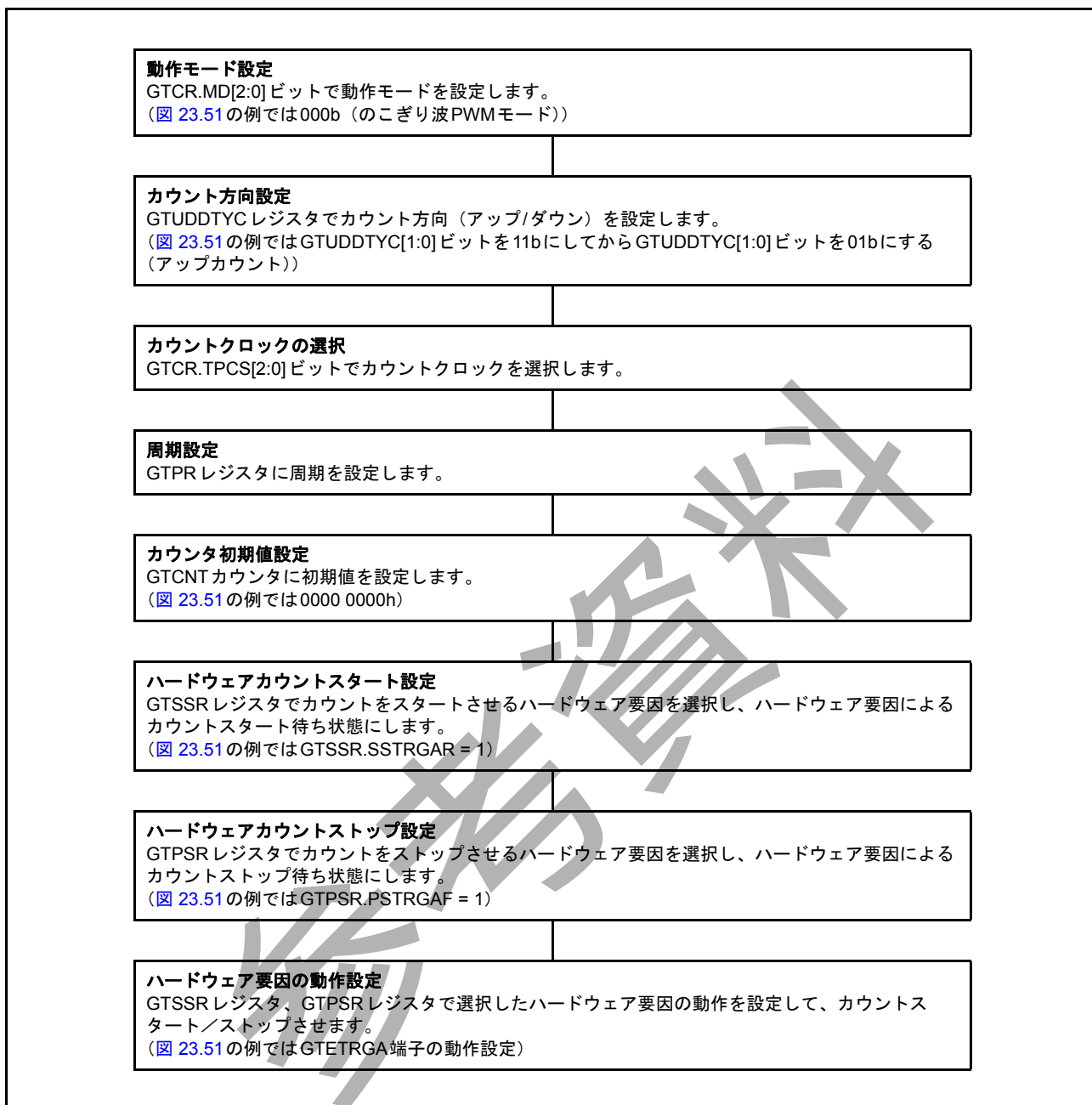


図 23.52 ハードウェア要因によるカウントスタート/ストップ動作の設定例

### 23.3.7.3 ハードウェアクリア動作

GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウンタクリアが可能です。

なお、ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn\_OVF/GPTn\_UDF (n=0~9) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 23.53 および図 23.54 に、ハードウェア要因による GTCNT カウンタのクリア動作例を示します。図 23.55 に設定例を示します。この例では、GTCNT カウンタは ELCA イベント入力のエッジでスタートし、ELCB イベント入力のエッジでストップ/クリアされています。

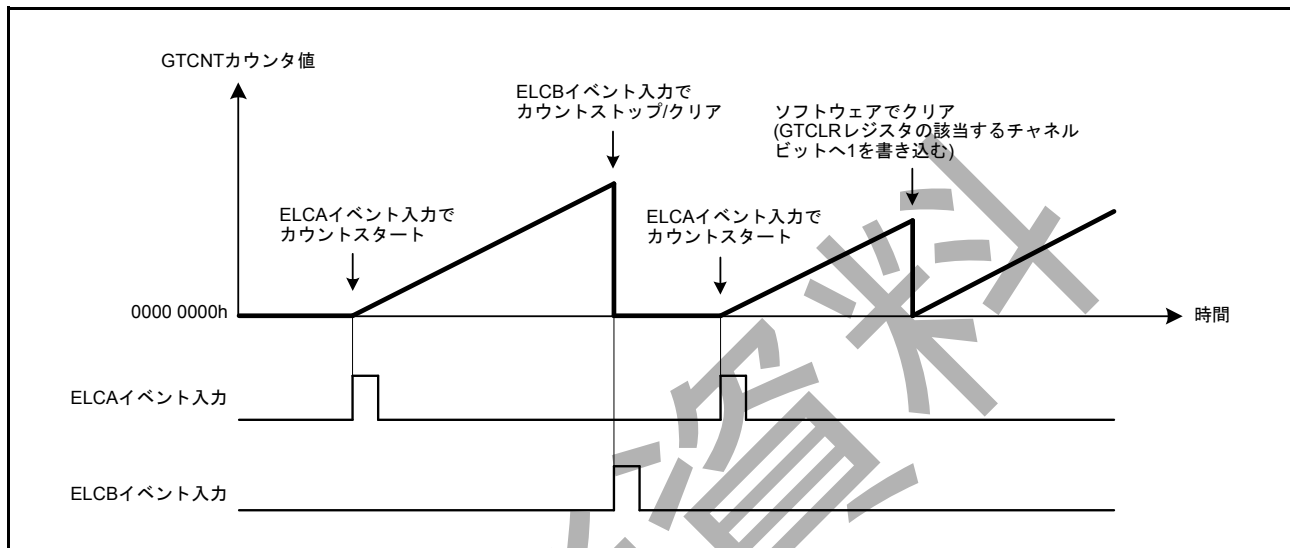


図 23.53 ハードウェア要因によるカウンタクリア動作例 (のこぎり波アップカウント、ELCA イベント入力でスタート、ELCB イベント入力でストップ/クリアの場合)

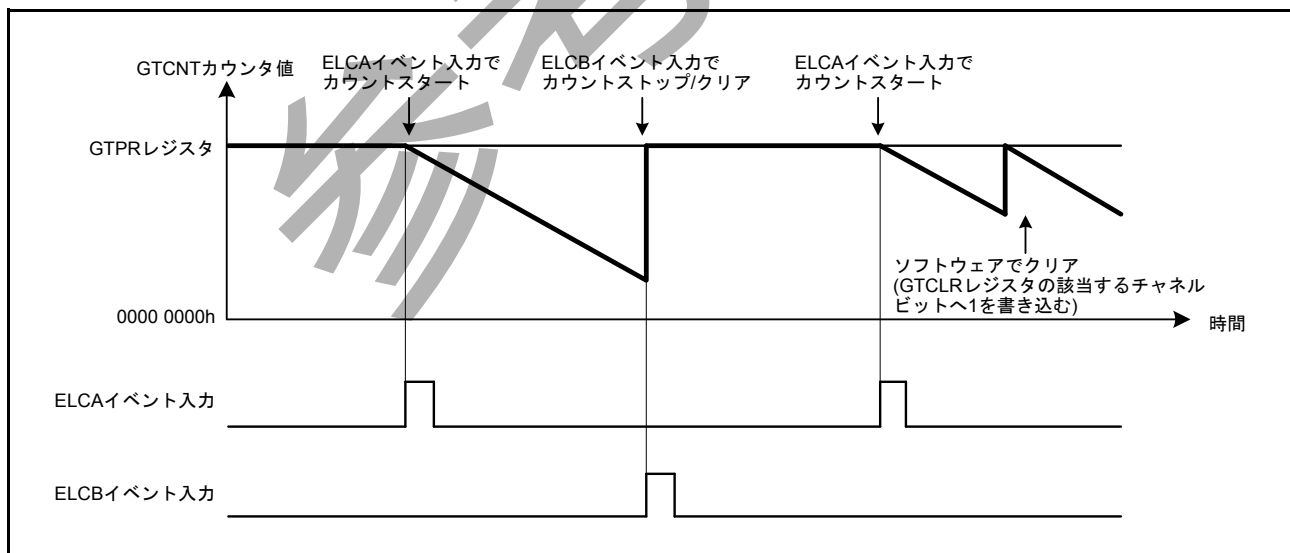


図 23.54 ハードウェア要因によるカウンタクリア動作例 (のこぎり波ダウンカウント、ELCA イベント入力でスタート、ELCB イベント入力でストップ/クリアの場合)

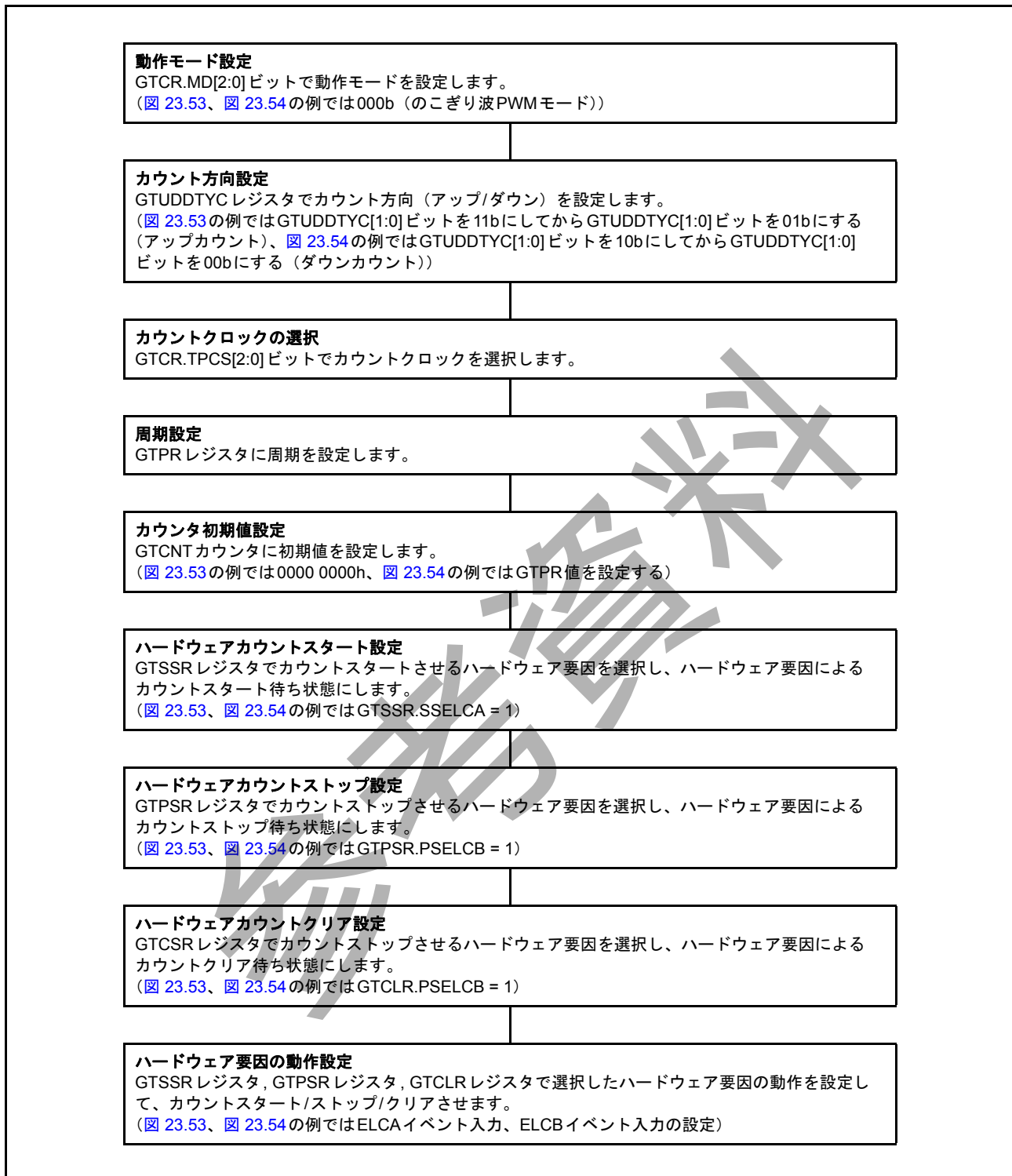


図 23.55 ハードウェア要因によるカウントクリア動作の設定例

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn\_OVF/GPTn\_UDF (n = 0 ~ 9) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 23.56 にハードウェア要因によるカウンタクリアと GPTn\_OVF/GPTn\_UDF (n = 0 ~ 9) 割り込みの関係を示します。

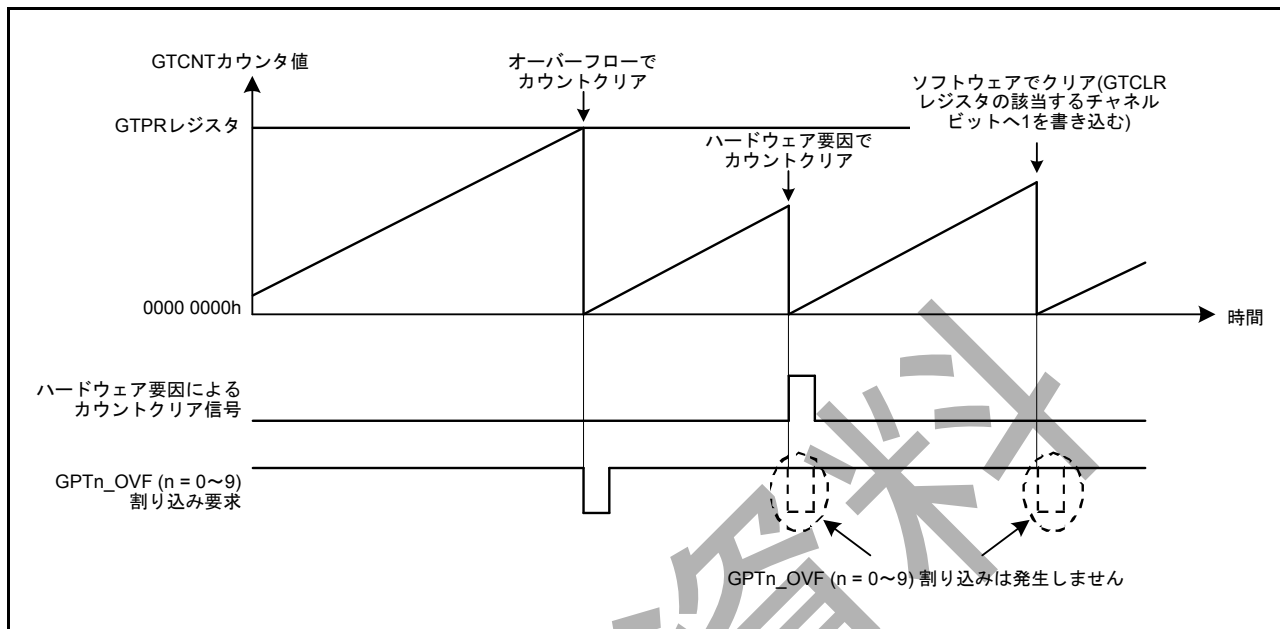


図 23.56 ハードウェア要因によるカウンタクリアと GPTn\_OVF (n = 0 ~ 9) 割り込みの関係

### 23.3.8 同期動作

同期スタート/ストップ/クリア動作など、チャンネル間の同期動作を実行できます。

#### 23.3.8.1 ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャンネル上でスタート/ストップ/クリアが可能です。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

図 23.57 に、ソフトウェアによる同時スタート/ストップ/クリアの動作例を示します。図 23.58 に、ソフトウェアによる位相スタートの動作例を示します。

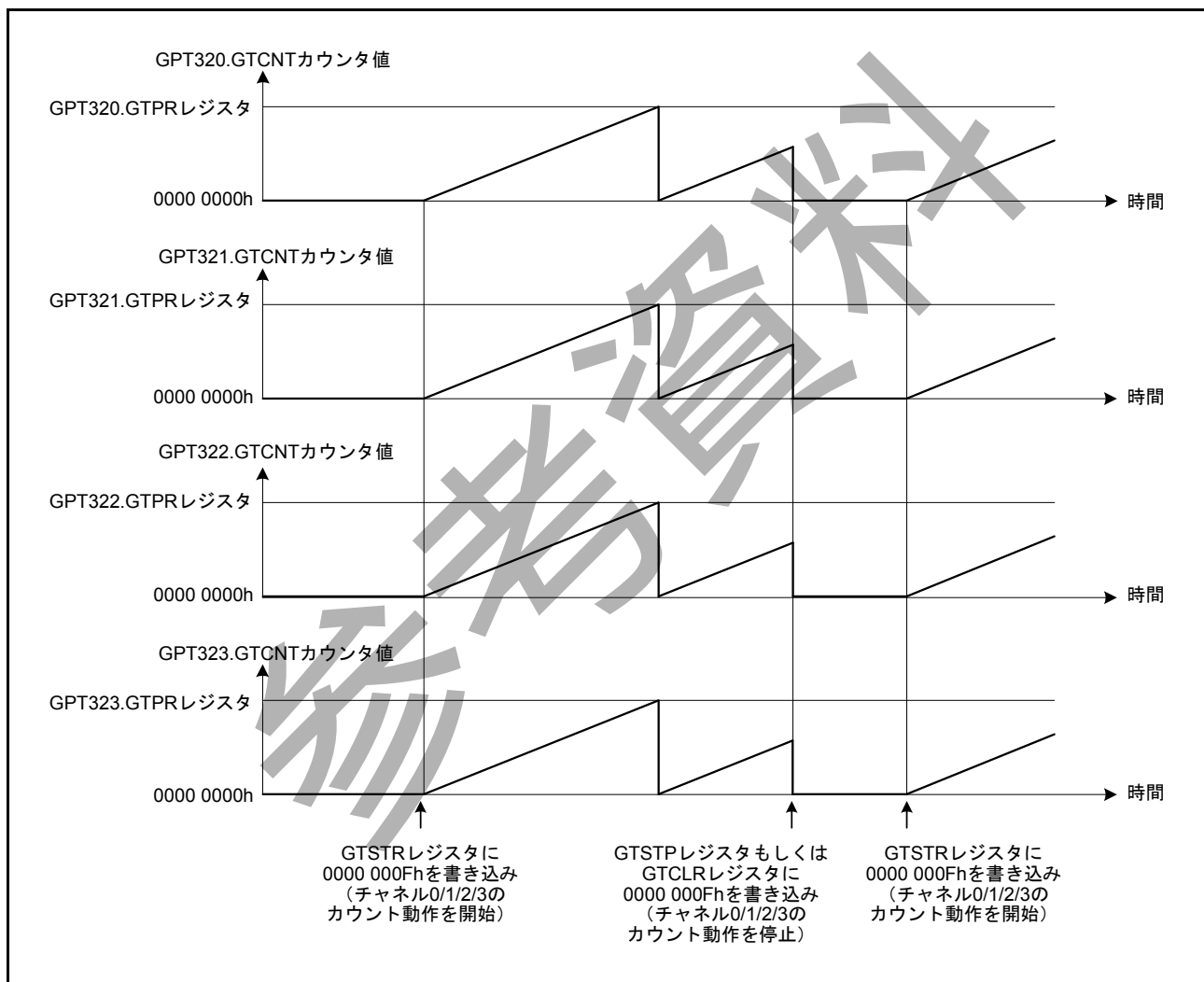


図 23.57 ソフトウェアによる同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

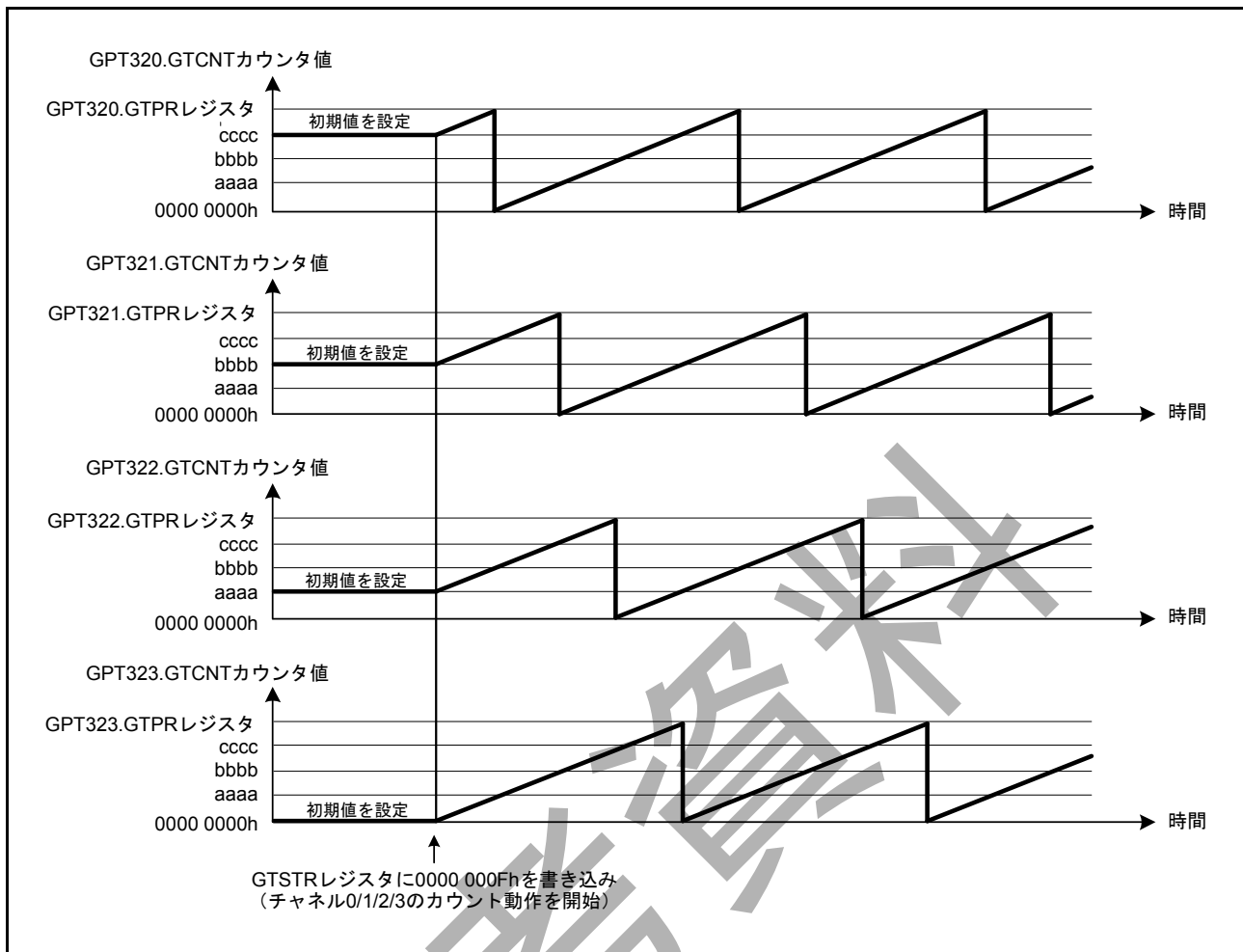


図 23.58 ソフトウェアによる位相スタート動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

### 23.3.8.2 ハードウェアによる同期動作

下記のハードウェア要因によって、GTCNT カウンタを同時にスタートさせることができます。

- 出力トリガ入力
- ELC イベント入力
- GTIOCA/GTIOCB 端子入力

図 23.59 にハードウェア要因による同時スタート/ストップ/クリアの動作例を示します。図 23.60 に設定例を示します。

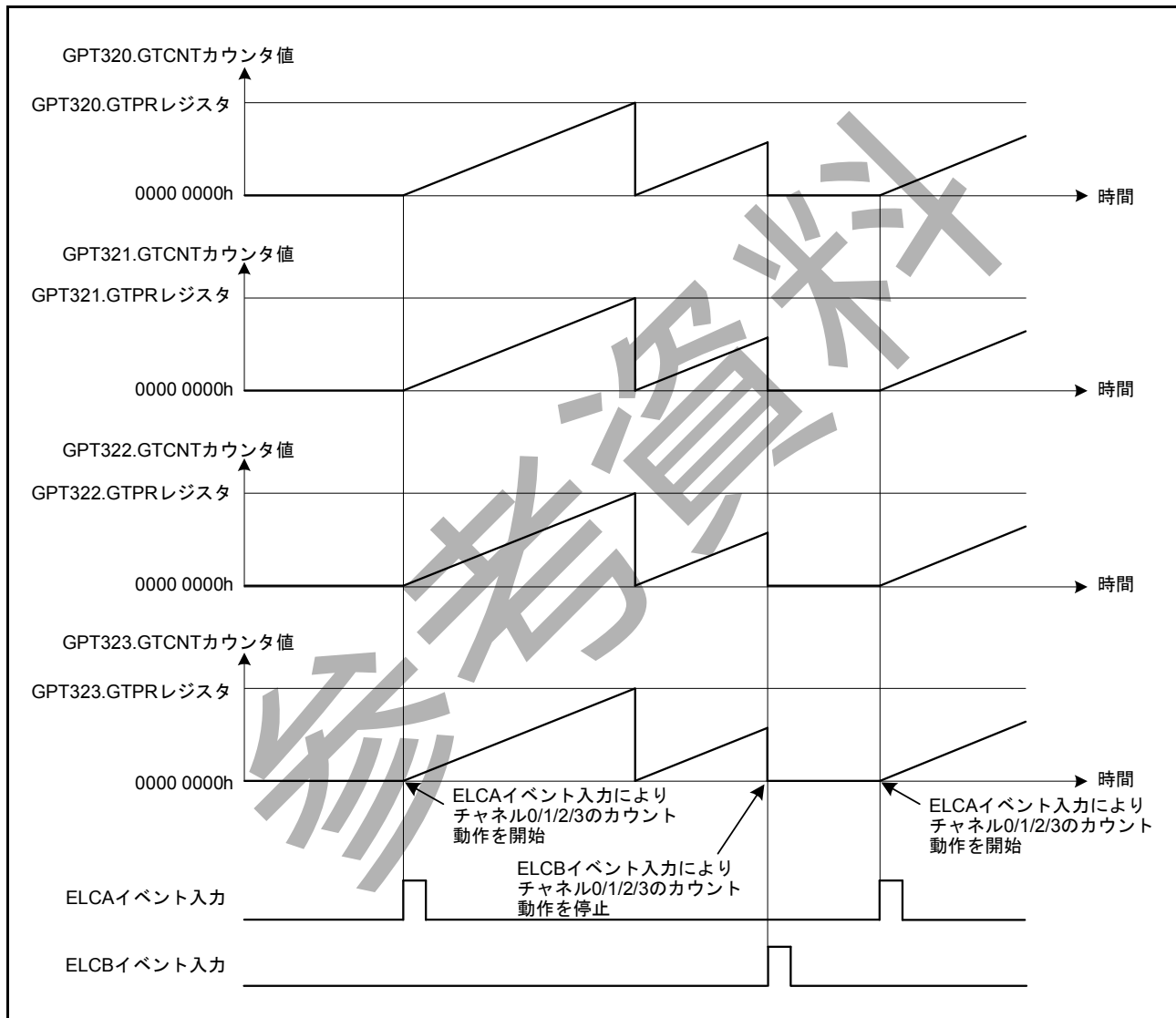


図 23.59 ソフトウェアによる同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)





図 23.60 ハードウェア要因による同時スタートの設定例

### 23.3.9 PWM 出力動作例

#### (1) 同期 PWM 出力

複数の GPT を使用することで、最大 10 チャンネル 20 相の連動した PWM 波形を出力します。

図 23.61 に、4 チャンネルをのこぎり波 PWM モードで同期動作させて、8 相の PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

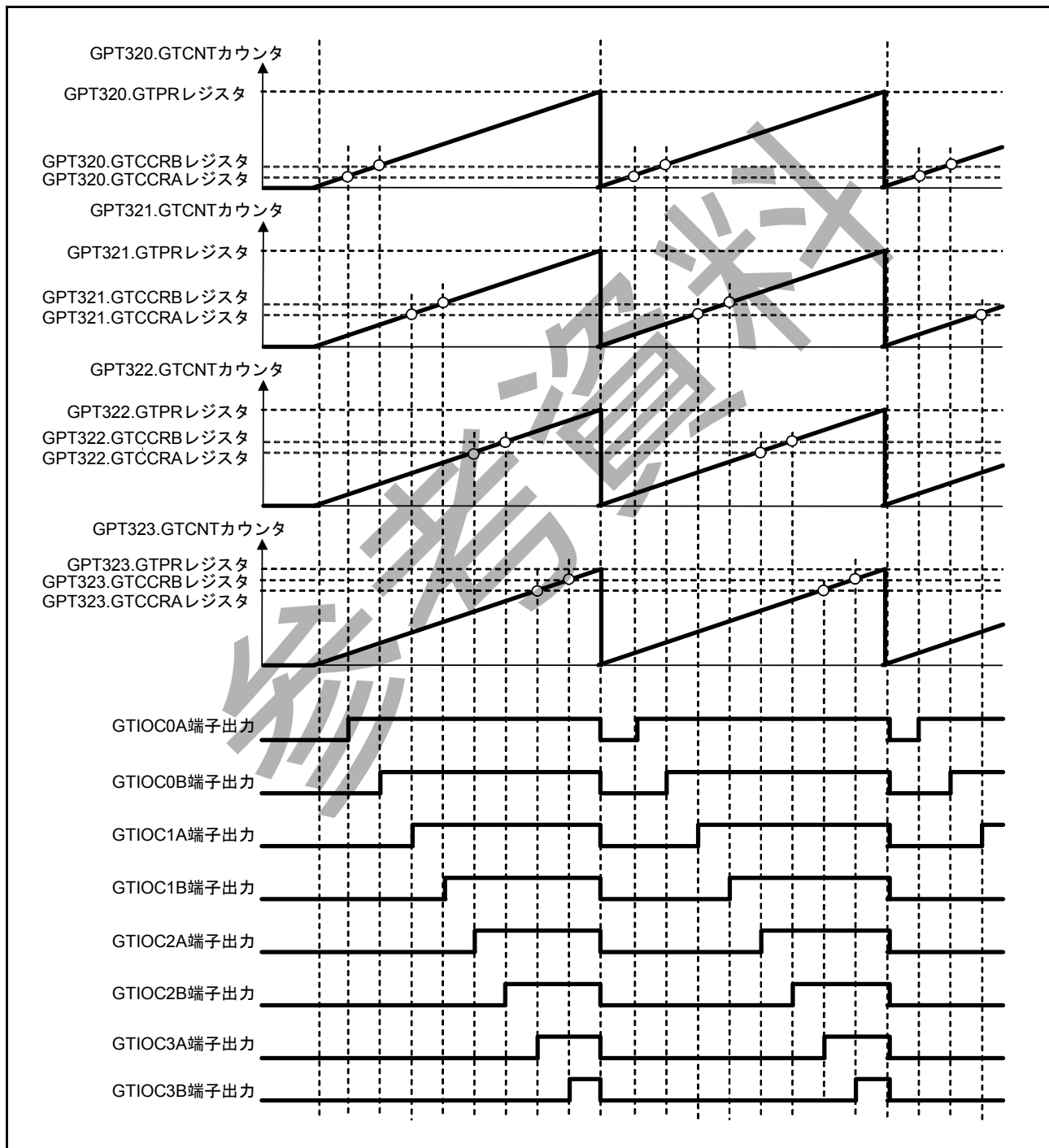


図 23.61 同期 PWM 出力例

## (2) のこぎり波 3 相相補 PWM 出力

図 23.62 に、3 チャネルをのこぎり波 PWM モードで同期動作させて、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

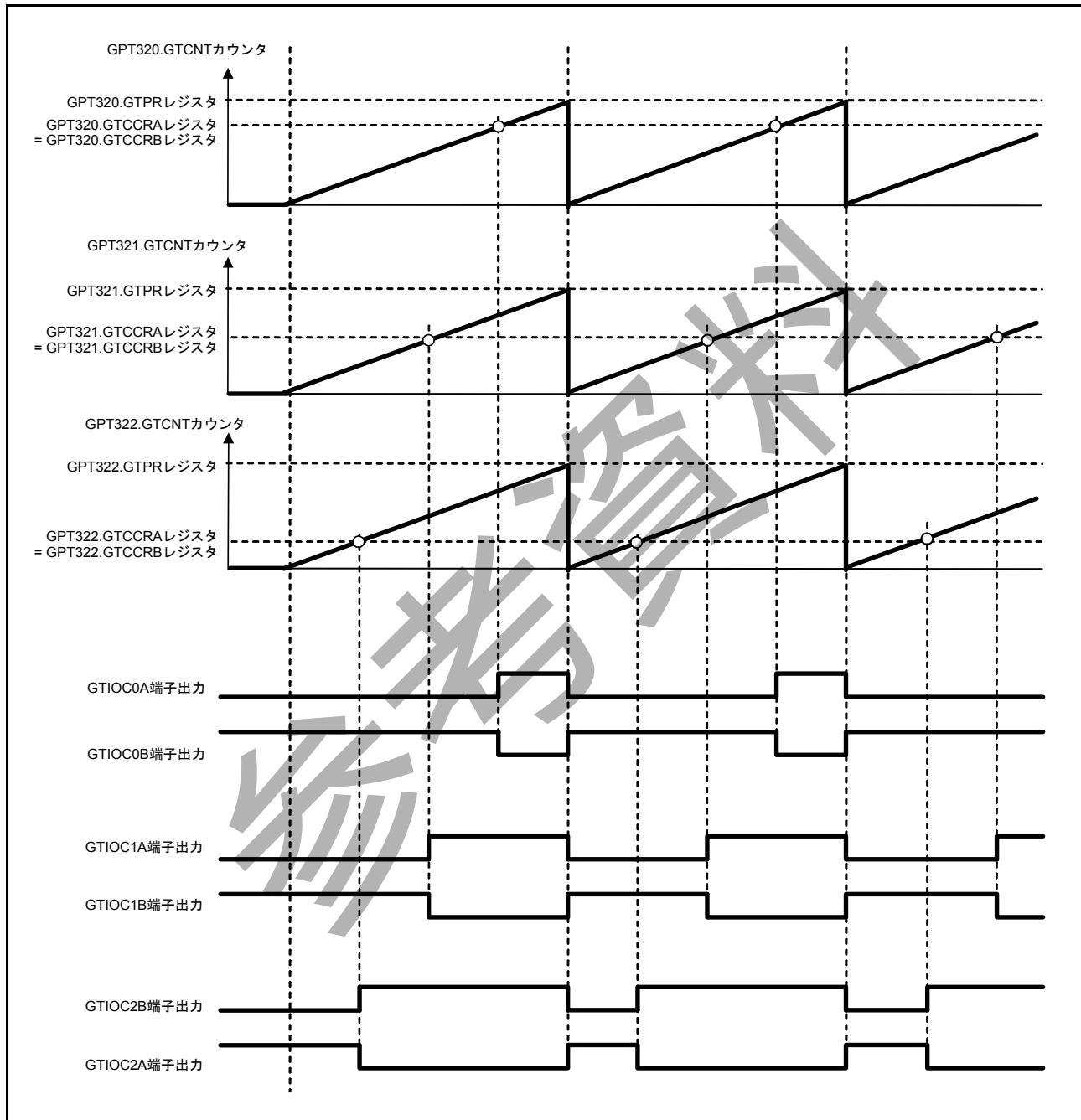


図 23.62 のこぎり波 3 相相補 PWM 出力例

## (3) のこぎり波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 23.63 に、デッドタイム自動設定機能を使用して、3 チャンネルののこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

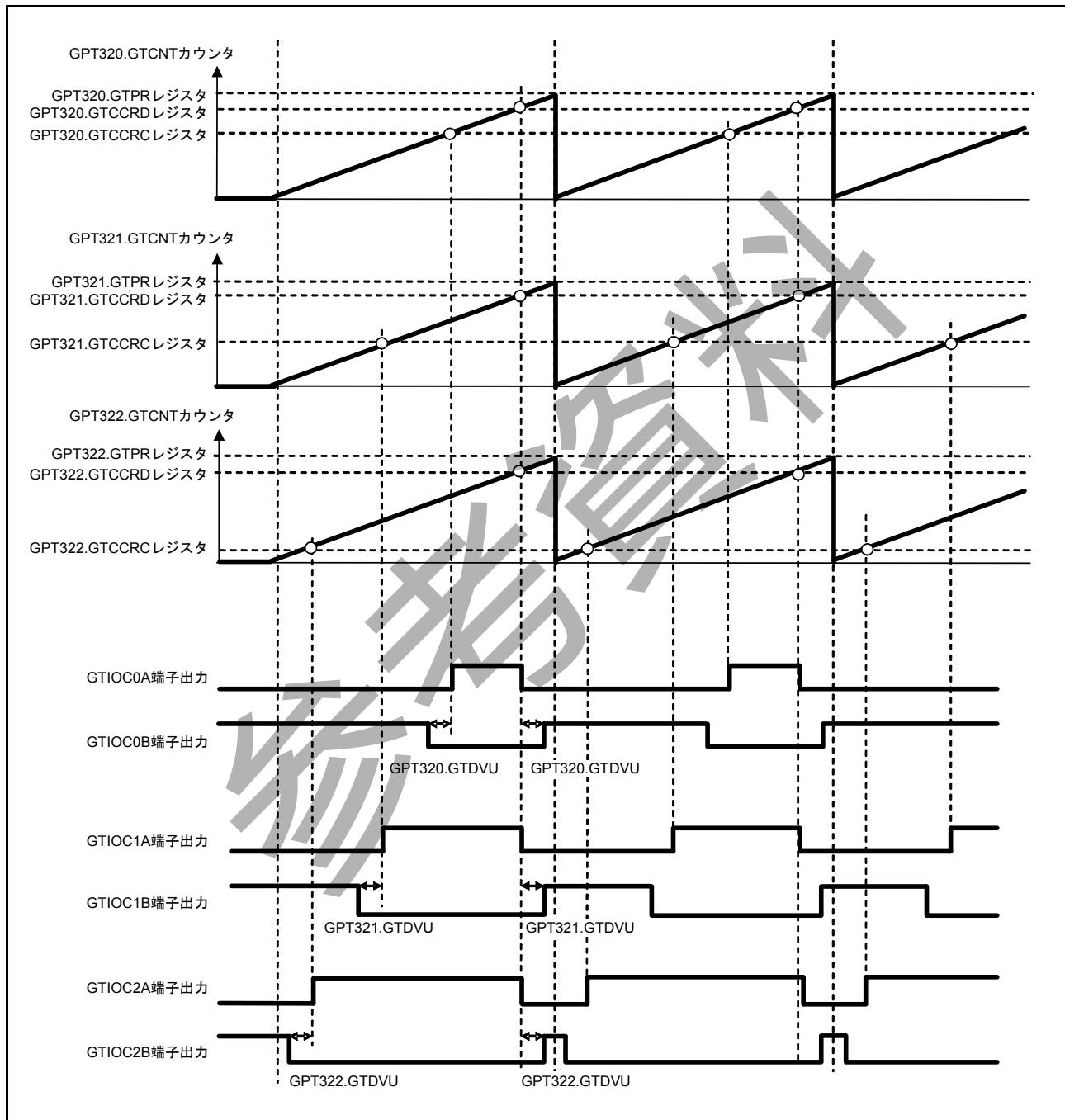


図 23.63 のこぎり波 3 相相補 PWM 出力例 (デッドタイム自動設定)

#### (4) 三角波 3 相相補 PWM 出力

図 23.64 に、3 チャネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

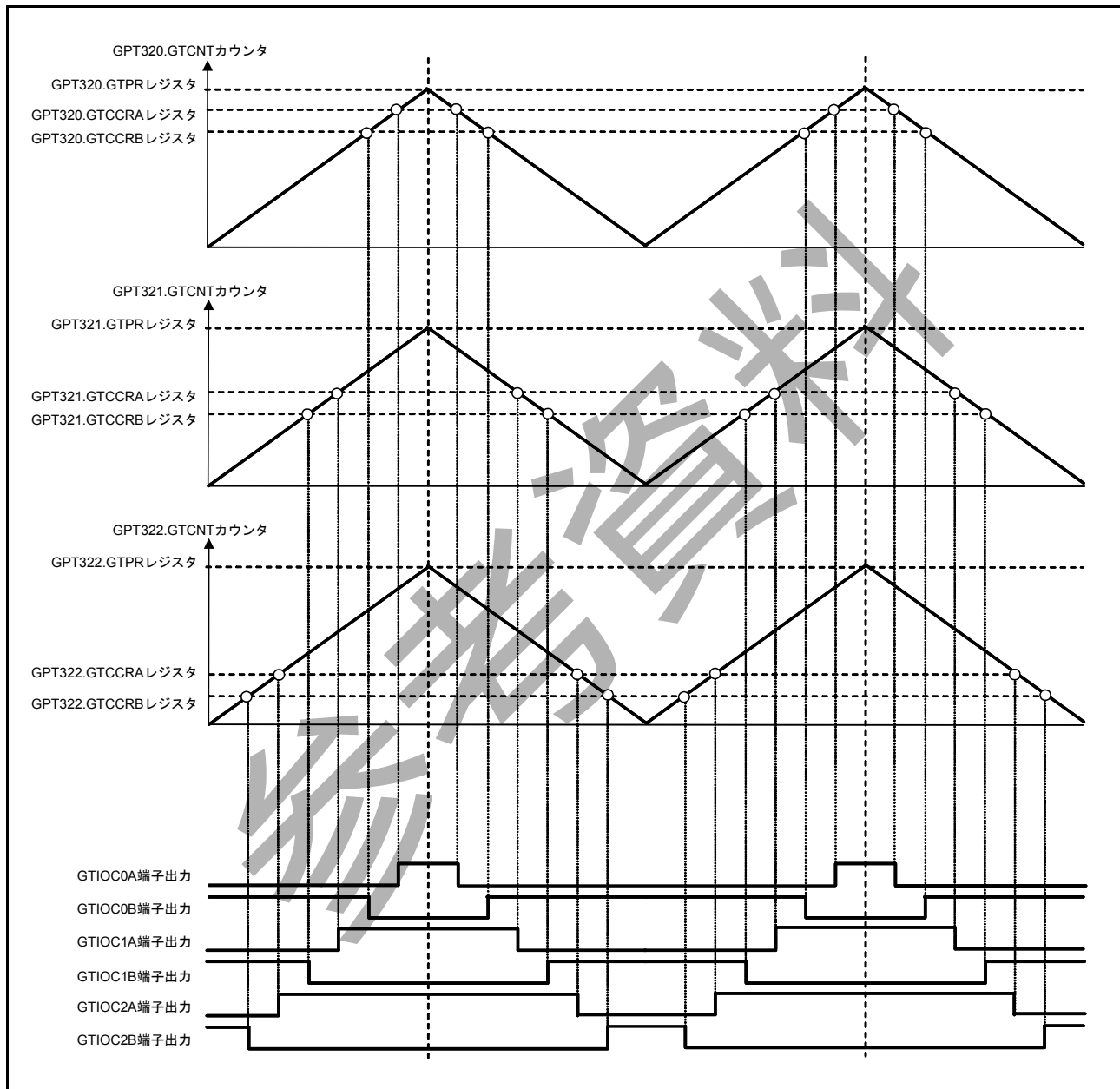


図 23.64 三角波 3 相相補 PWM 出力例

## (5) 三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 23.65 に、デッドタイム自動設定機能を使用して、3 チャンネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

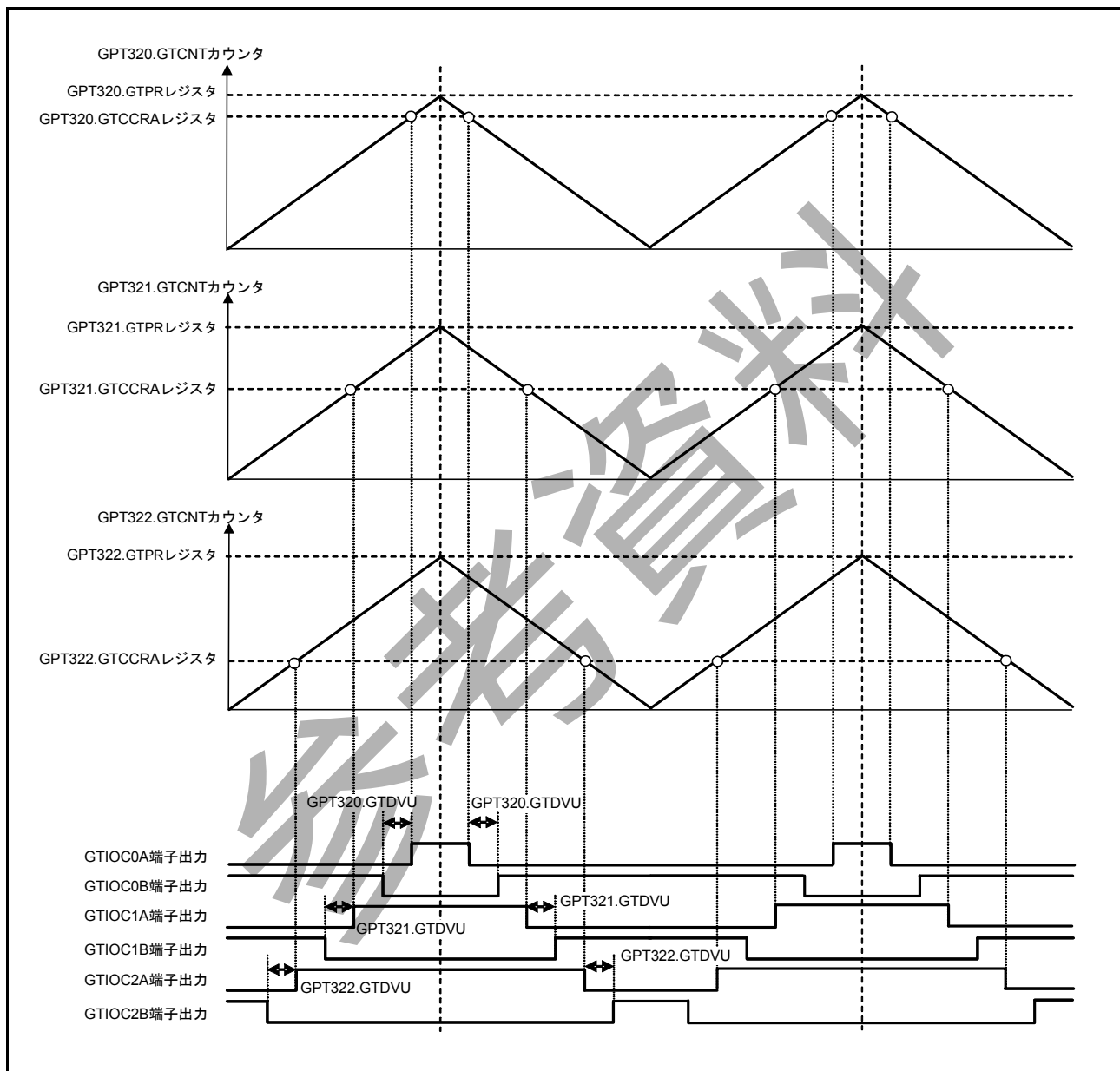


図 23.65 三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

## (6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 23.66 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

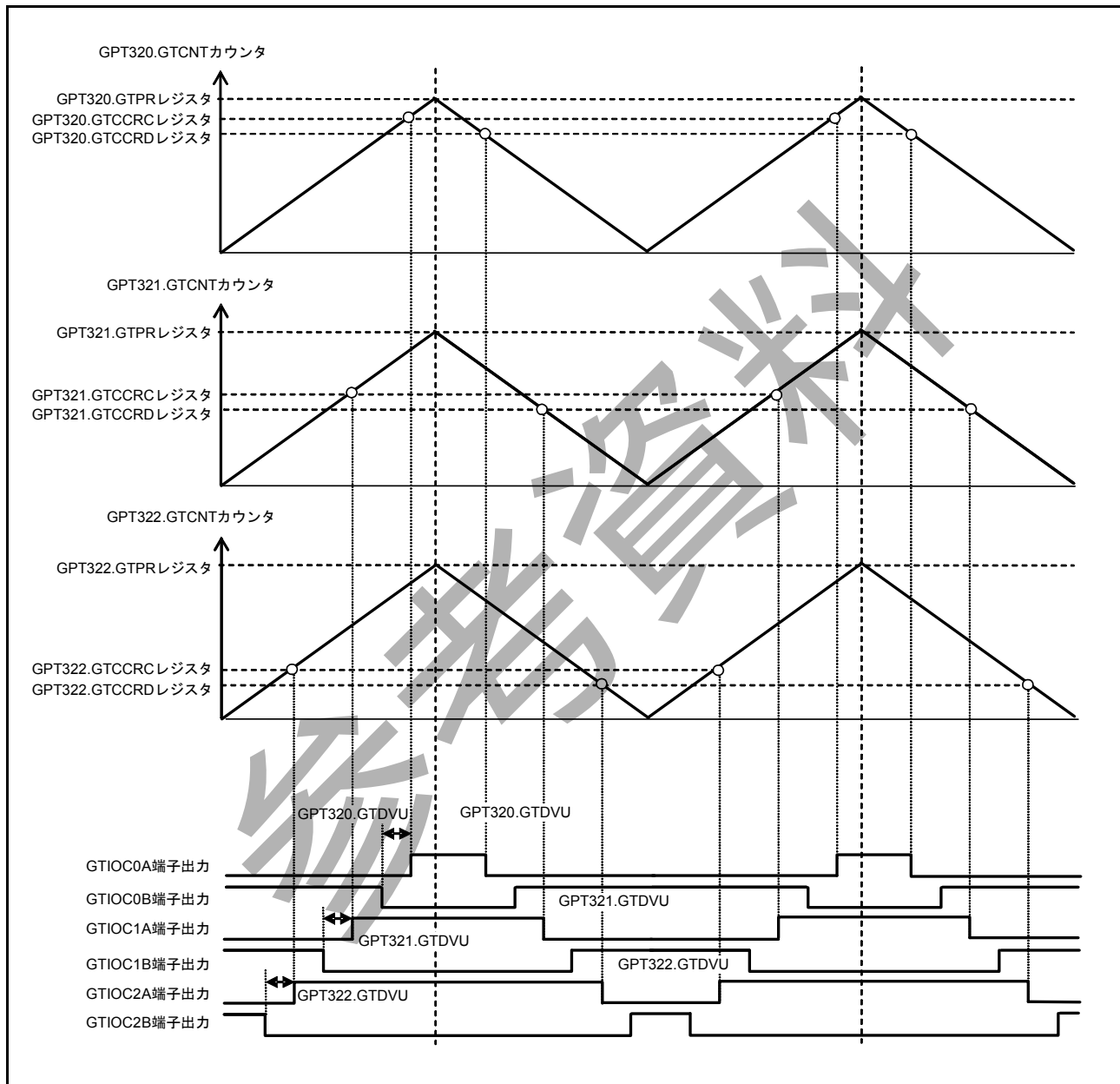


図 23.66 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

### 23.3.10 位相計数機能

GTIOCA 端子入力と GTIOCB 端子入力の間で位相差が検出されると、対応する GTCNT カウンタがカウントアップまたはカウントダウンを実行します。GTUPSR および GTDNSR レジスタに設定されている GTIOCA 端子入力と GTIOCB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作については、[23.3.1.1 カウンタの動作](#)を参照してください。

図 23.67 ～ 図 23.76 に、位相計数モード 1 ～ 5 を示します。表 23.7 ～ 表 23.16 に、アップカウント/ダウンカウントの条件と、GTUPSR および GTDNSR レジスタの設定値を示します。

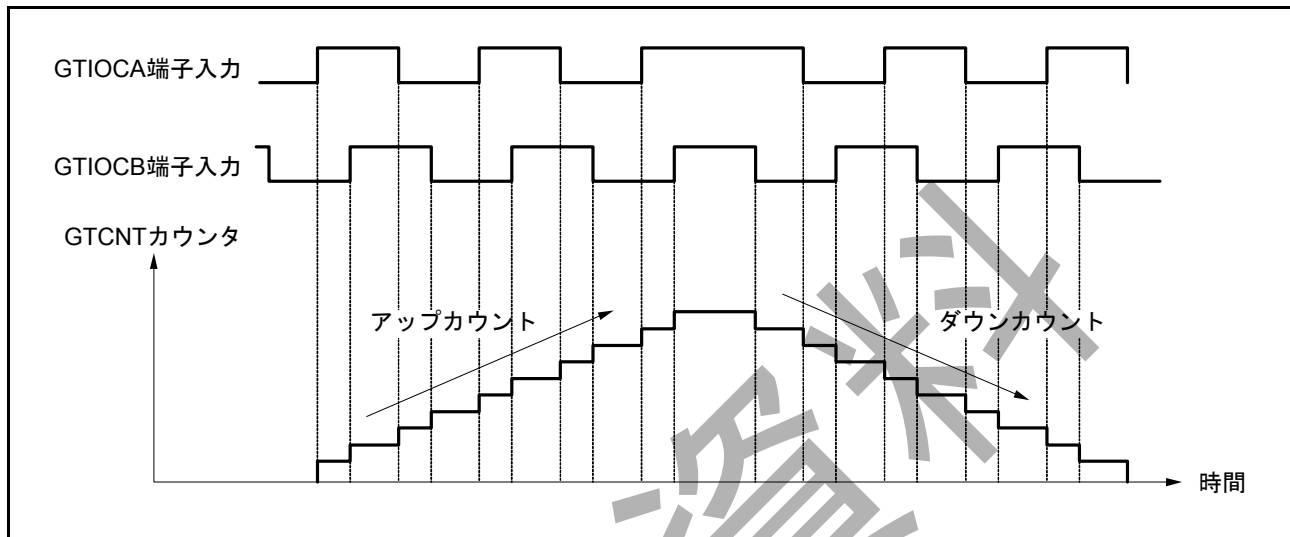


図 23.67 位相計数モード 1 動作例

表 23.7 位相計数モード1でのアップカウント/ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR レジスタ = 00006900h GTDNSR レジスタ = 00009600h
Low	↓		
↑	Low	ダウンカウント	
↓	High		
High	↓	ダウンカウント	GTUPSR レジスタ = 00006900h GTDNSR レジスタ = 00009600h
Low	↑		
↑	High	アップカウント	
↓	Low		

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ



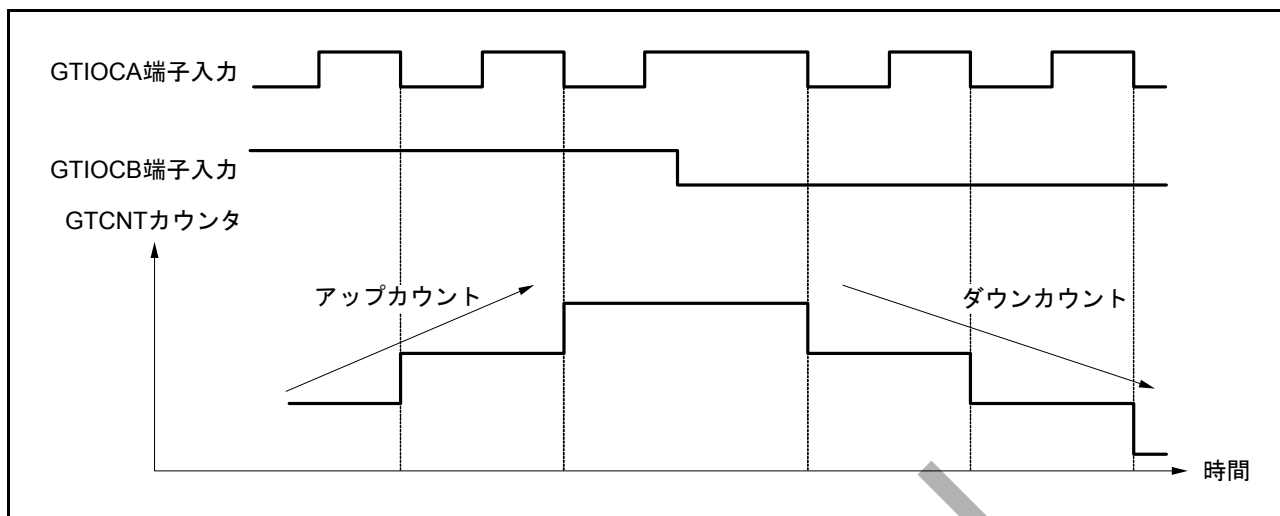


図 23.68 位相計数モード2 動作例 (A)

表 23.8 位相計数モード2でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 00000800h GTDNSR レジスタ = 00000400h
Low		Don't care	
	Low	アップカウント	
	High	アップカウント	
High		Don't care	
Low		Don't care	
	High	ダウンカウント	
	Low	ダウンカウント	

: 立ち上がりエッジ

: 立ち下がりエッジ

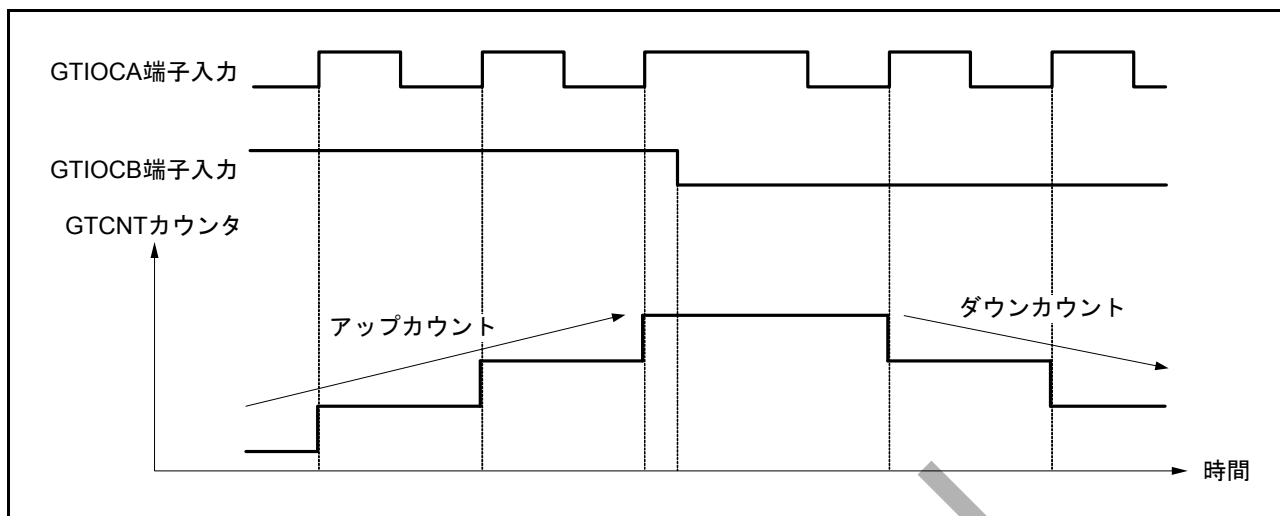


図 23.69 位相計数モード2 動作例 (B)

表 23.9 位相計数モード2でのアップカウント/ダウンカウントの条件 (B)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 00000200h GTDNSR レジスタ = 00000100h
Low		Don't care	
	Low	ダウンカウント	
	High	Don't care	
High		Don't care	
Low		Don't care	
	High	アップカウント	
	Low	ダウンカウント	

: 立ち上がりエッジ

: 立ち下がりエッジ

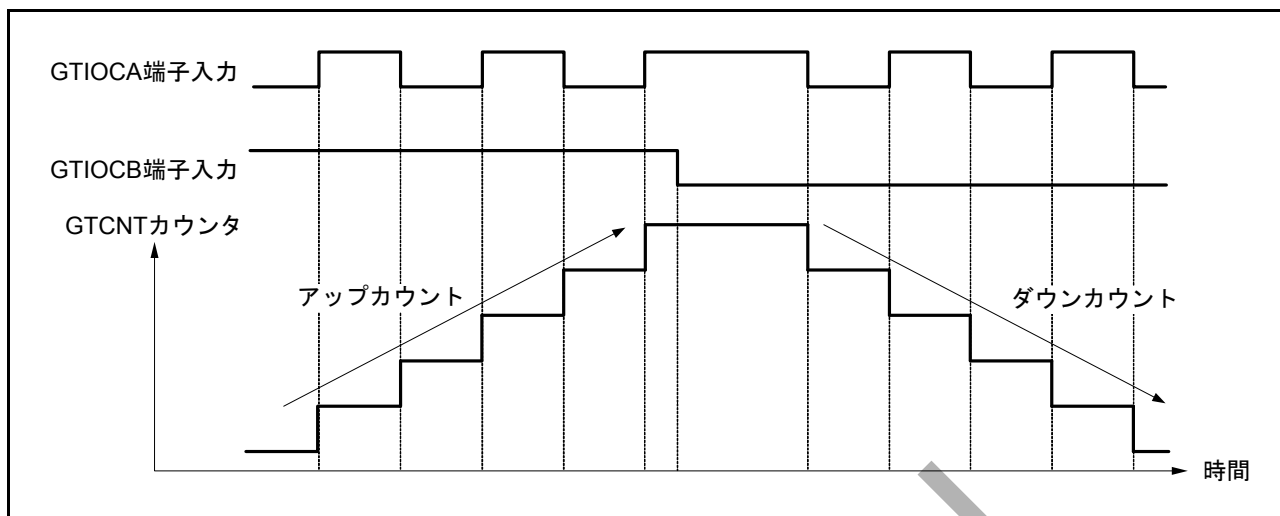


図 23.70 位相計数モード2 動作例 (C)

表 23.10 位相計数モード2でのアップカウント/ダウンカウントの条件 (C)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 00000A00h GTDNSR レジスタ = 00000500h
Low		Don't care	
	Low	ダウンカウント	
	High	Don't care	
High		Don't care	
Low		Don't care	
	High	アップカウント	
	Low	ダウンカウント	

: 立ち上がりエッジ

: 立ち下がりエッジ

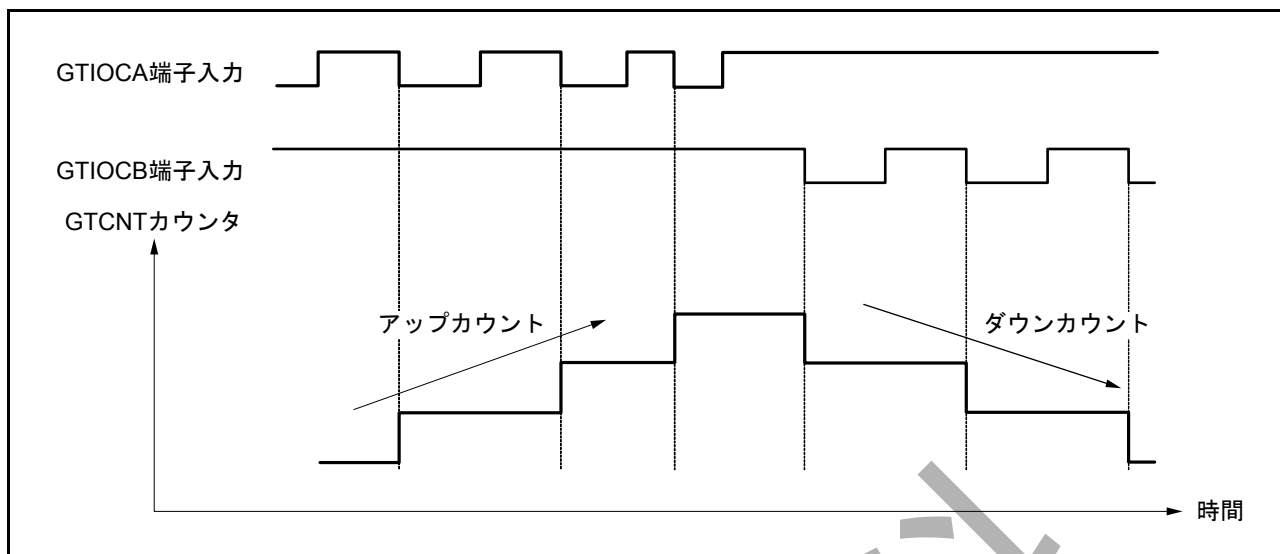


図 23.71 位相計数モード3 動作例 (A)

表 23.11 位相計数モード3でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 00000800h GTDNSR レジスタ = 00008000h
Low		Don't care	
	Low	アップカウント	
	High	アップカウント	
High		ダウンカウント	
Low		ダウンカウント	
	High	Don't care	
	Low	Don't care	

: 立ち上がりエッジ  
 : 立ち下がりエッジ

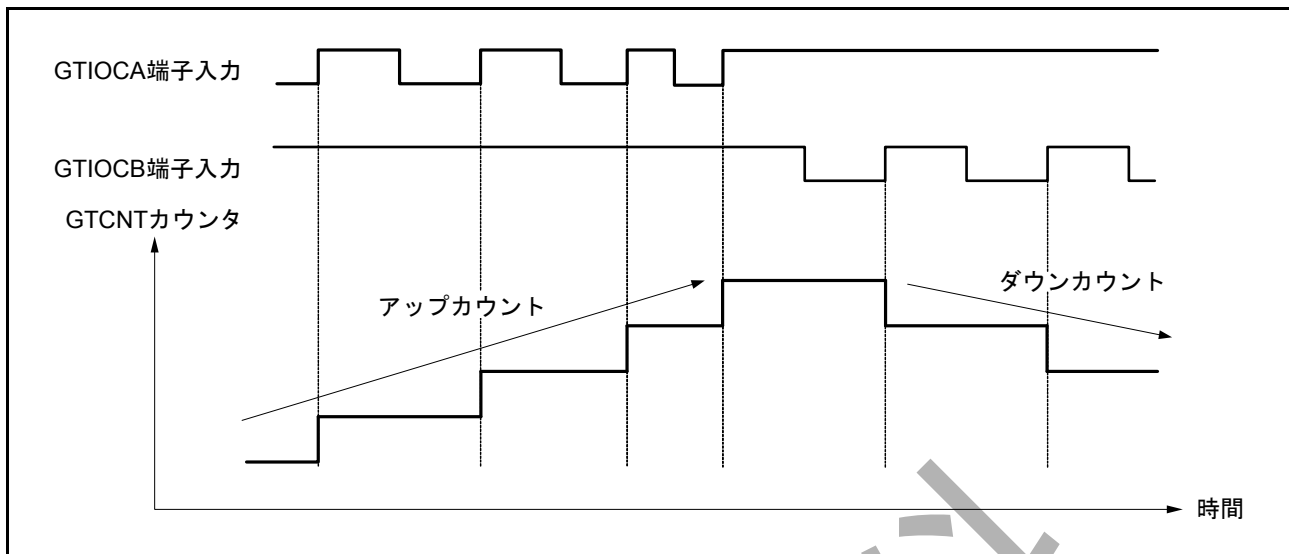


図 23.72 位相計数モード3 動作例 (B)

表 23.12 位相計数モード3でのアップカウント/ダウンカウントの条件 (B)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR レジスタ = 00000200h GTDNSR レジスタ = 00002000h
Low	↓	Don't care	
↑	Low		
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	Don't care	

↑ : 立ち上がりエッジ  
↓ : 立ち下がりエッジ

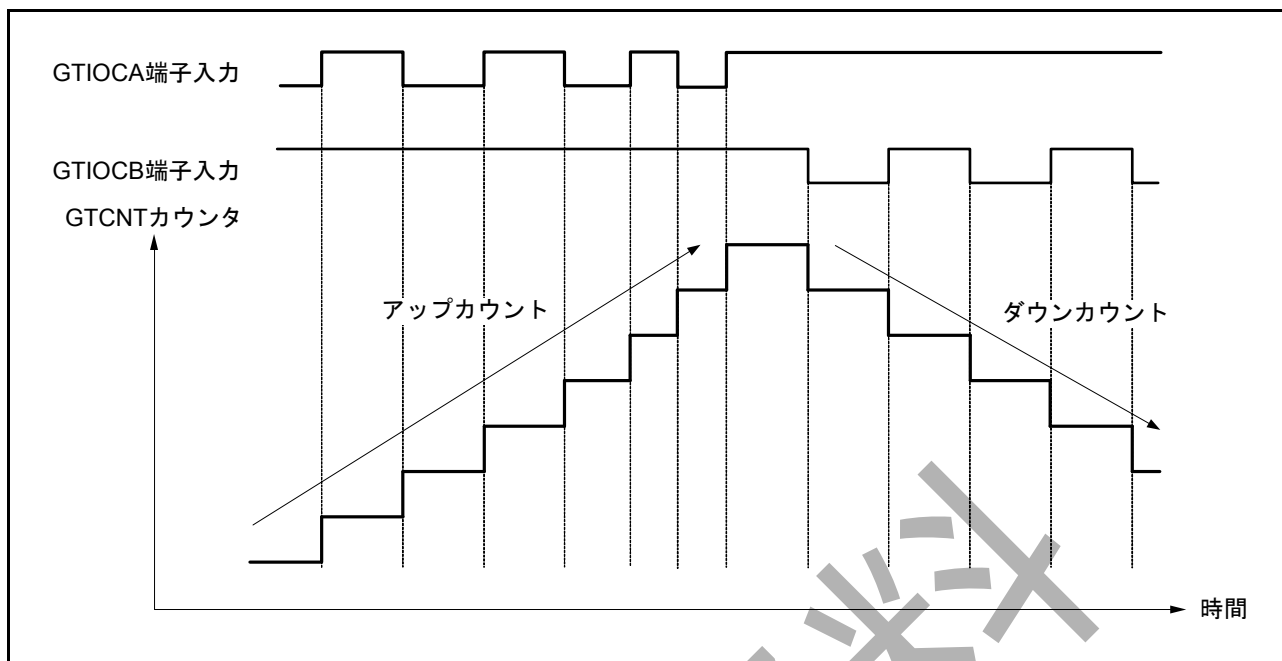


図 23.73 位相計数モード3 動作例 (C)

表 23.13 位相計数モード3でのアップカウント/ダウンカウントの条件 (C)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR レジスタ = 00000A00h GTDNSR レジスタ = 0000A000h
Low	↓	Don't care	
↑	Low	アップカウント	
↓	High	ダウンカウント	
High	↓	ダウンカウント	
Low	↑	Don't care	
↑	High	アップカウント	
↓	Low	Don't care	

↑ : 立ち上がりエッジ  
↓ : 立ち下がりエッジ

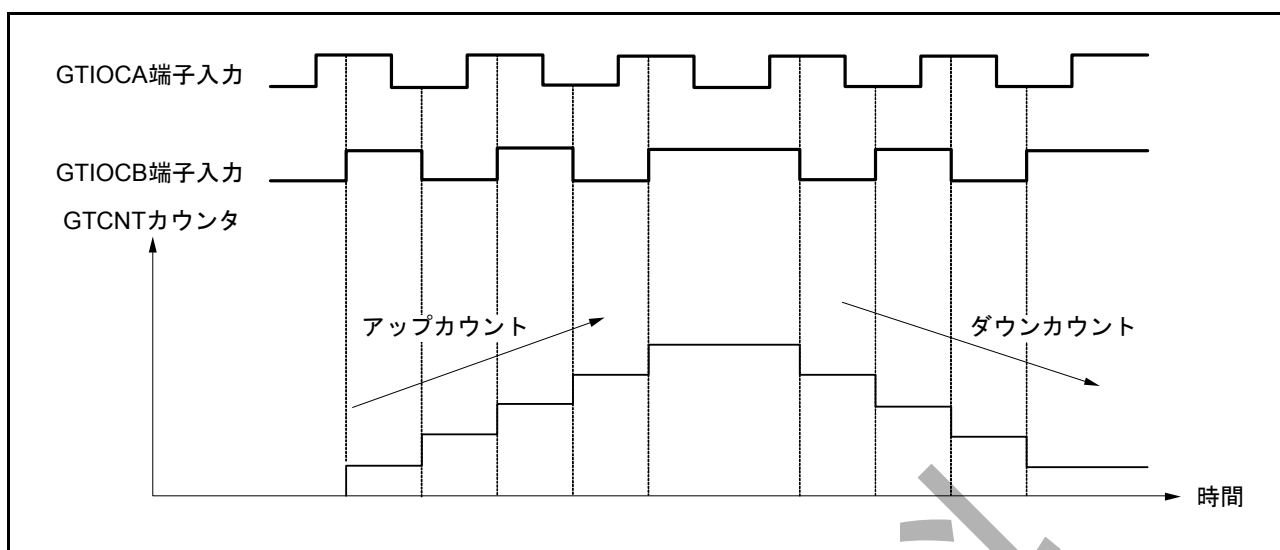


図 23.74 位相計数モード4 動作例

表 23.14 位相計数モード4でのアップカウント/ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR レジスタ = 00006000h GTDNSR レジスタ = 00009000h
Low	↓		
↑	Low	Don't care	
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High	Don't care	
↓	Low		

↑ : 立ち上がりエッジ  
↓ : 立ち下がりエッジ

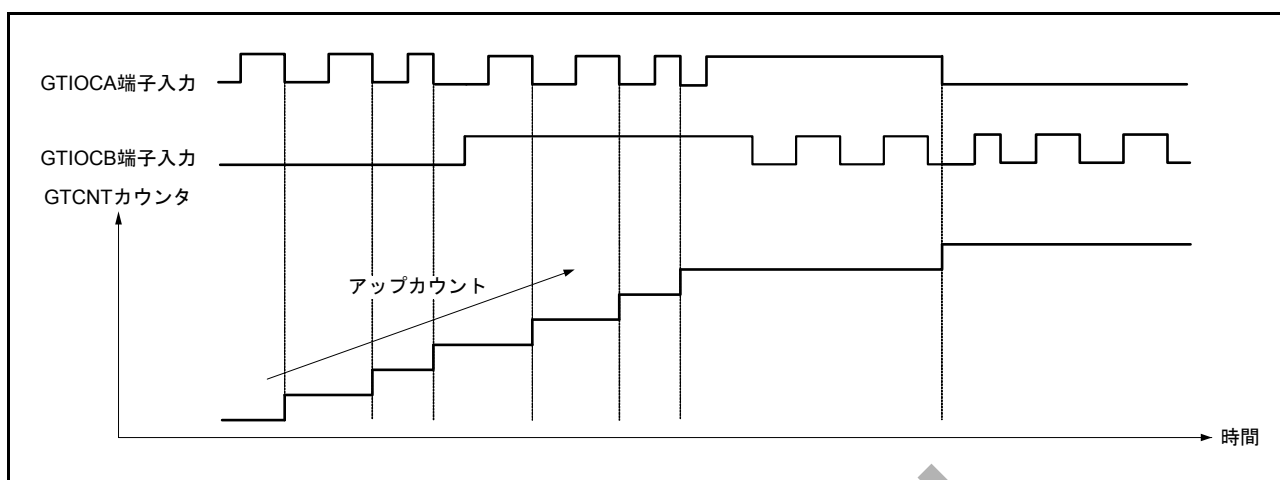


図 23.75 位相計数モード5 動作例 (A)

表 23.15 位相計数モード5でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 00000C00h GTDNSR レジスタ = 00000000h
Low	↓	Don't care	
↑	Low	Don't care	
↓	High	アップカウント	
High	↓	Don't care	
Low	↑	Don't care	
↑	High	Don't care	
↓	Low	アップカウント	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ



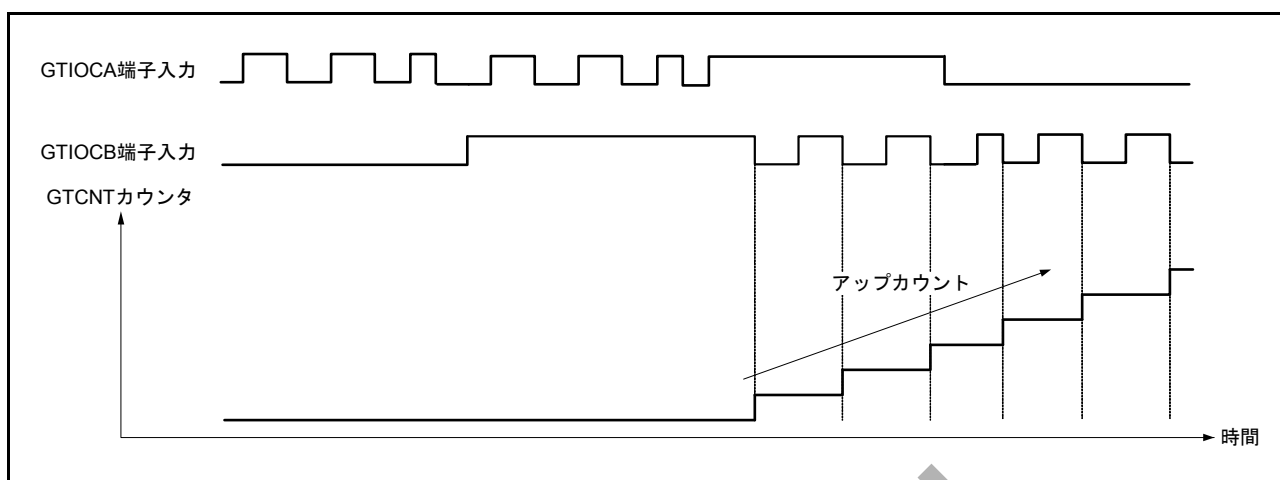


図 23.76 位相計数モード5 動作例 (B)

表 23.16 位相計数モード5でのアップカウント/ダウンカウントの条件 (B)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 00000C00h GTDNSR レジスタ = 00000000h
Low		アップカウント	
	Low	Don't care	
	High	アップカウント	
High		Don't care	
Low		アップカウント	
	High	Don't care	
	Low	アップカウント	

: 立ち上がりエッジ

: 立ち下がりエッジ

### 23.3.11 出力相切り替え (GPT\_OPS)

GPT\_OPS は、出力相切り替えコントロールレジスタ (OPSCR) によるブラシレス DC モータ動作の簡易制御機能を提供しています。

GPT\_OPS は、6相モータ制御の各相 (U 正相/逆相、V 正相/逆相、W 正相/逆相) のレベル信号またはチョップ制御に使用する PWM 信号を出力します。この機能では、ソフトウェアで設定したソフト設定値 (OPSCR.UF、VF、WF ビット)、ホール素子により検知した外部信号、GPT320.GTIOCA 端子の PWM 波形などを使用します。

図 23.77 に GPT\_OPS 制御フローの概念図を示します。

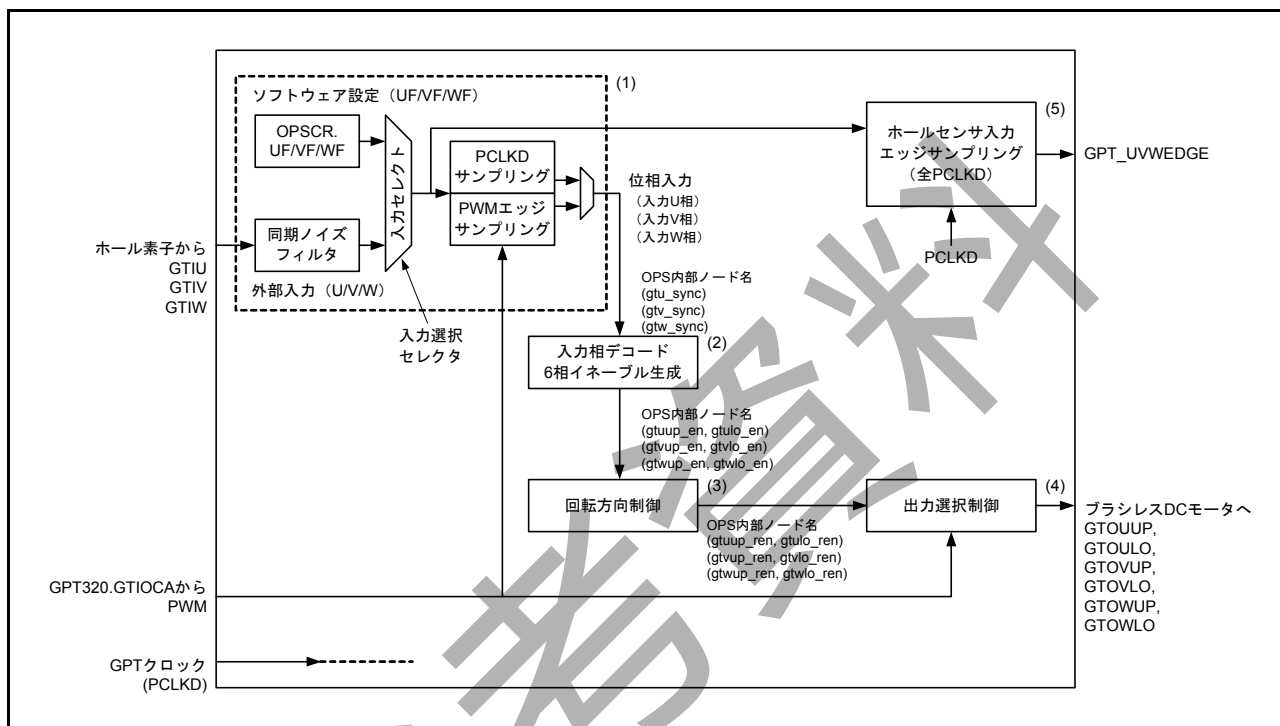


図 23.77 GPT\_OPS 制御フロー概念図

図 23.78 に GPT\_OPS 動作の 6 相レベル信号出力例を示します。

図 23.78 の GPT\_UVWEDGE 信号は、ELC 出力へのホールセンサ入力エッジです。

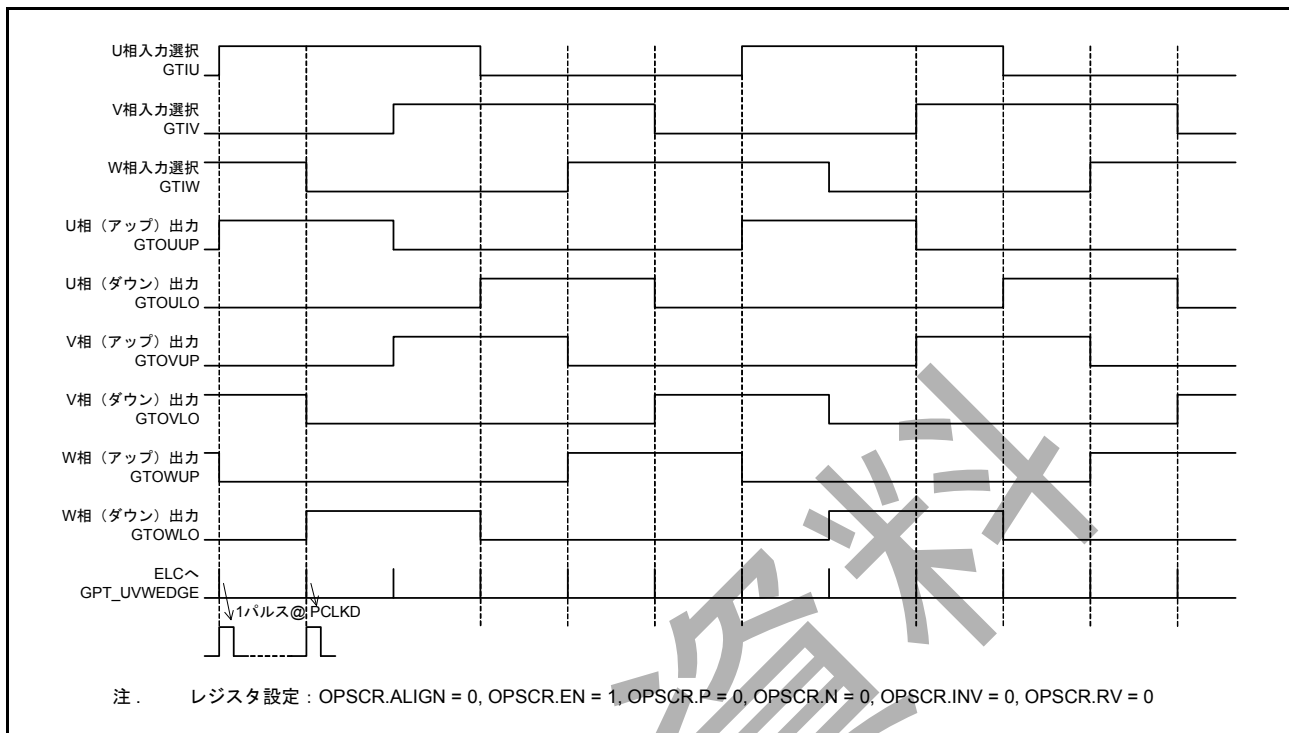


図 23.78 6 相レベル出力動作例

図 23.79 に GPT\_OPS 動作の 6 相 PWM 出力例 (チョップ制御) を示します。

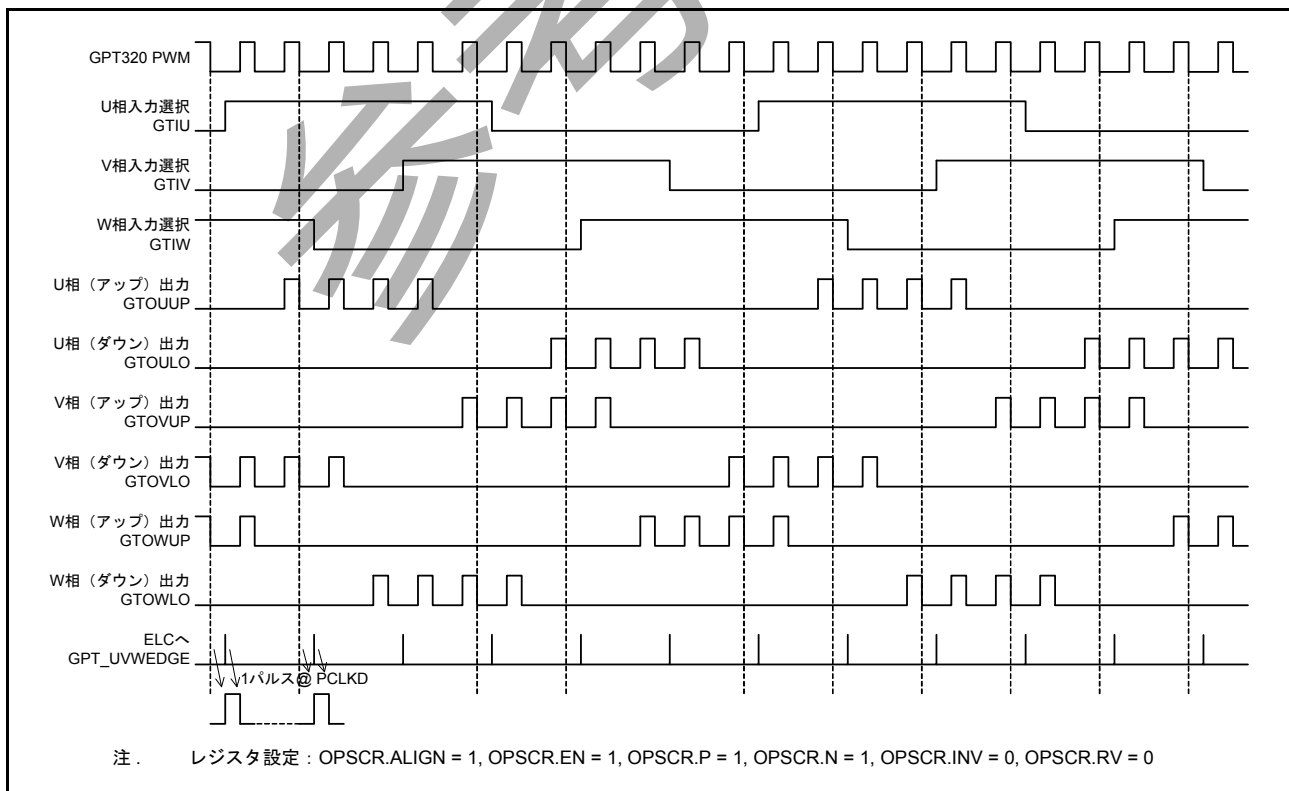


図 23.79 6 相 PWM 出力動作例 (チョップ制御)

図 23.80 に出力禁止制御の例 (6 相 PWM 出力動作) を示します。

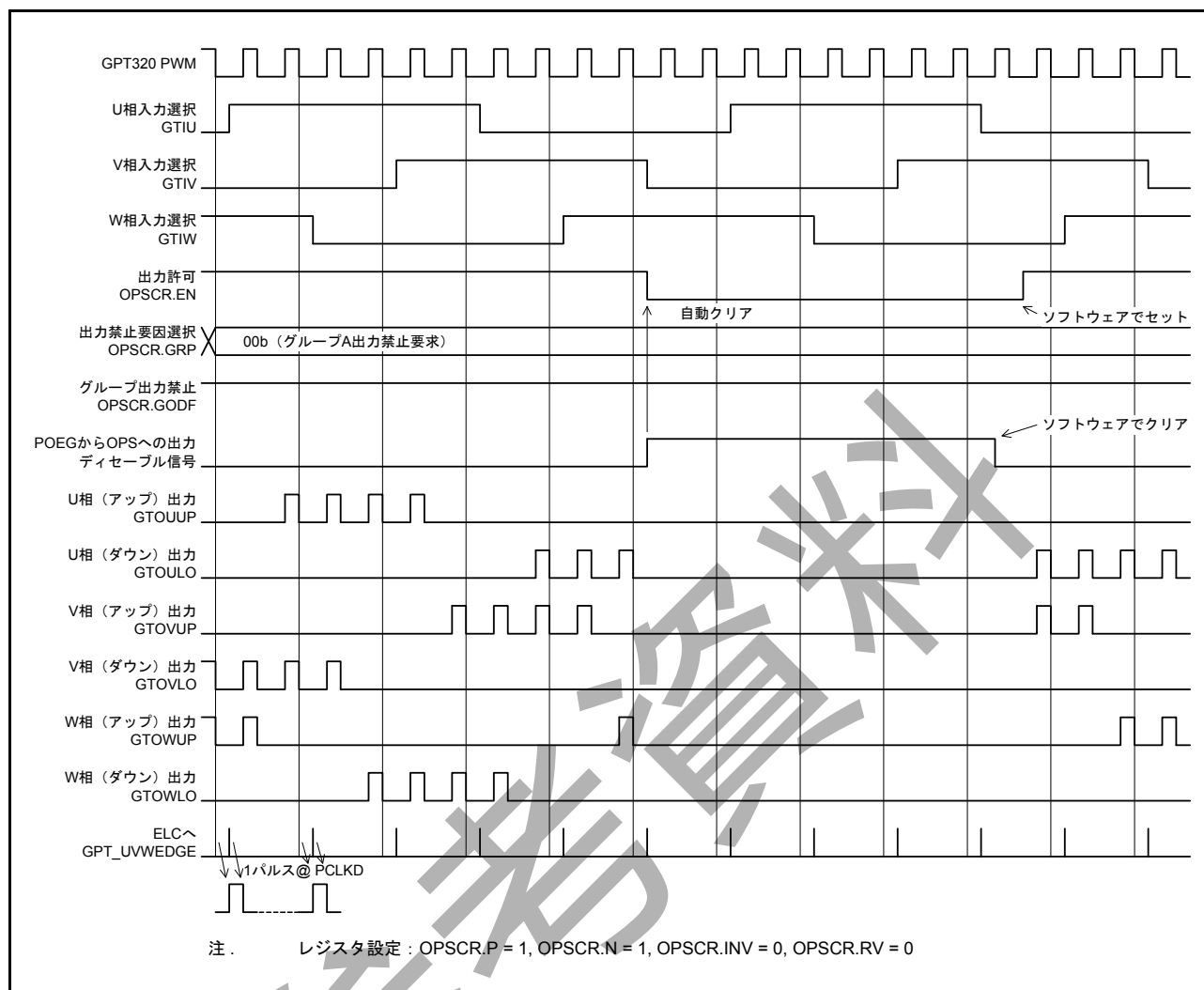


図 23.80 グループ出力禁止制御動作例

### 23.3.11.1 外部入力信号の同期および入力選択

図 23.77 に示す GPT\_OPS 制御フロー概念図の (1) の部分では、ソフトウェア設定による入力相と OPSCR.FB ビットによる外部入力を選択します。

OPSCR.FB ビット=0 の場合、外部入力を選択してください。GPT クロック (PCLKD) で同期してから入力信号を許可してください。ノイズフィルタ (オプション) 実施後、OPSCR.ALIGN ビット=1 でサンプリングした立ち下がりエッジで、外部入力を PWM (GPT320.GTIOCA 端子の PWM) の入力相に設定してください。

OPSCR.FB ビット=1 の場合、OPSCR.ALIGN ビット=1 でサンプリングした立ち下がりエッジで、PWM (GPT320.GTIOCA 端子の PWM) の入力相の値でソフト設定 (OPSCR.UF、VF、WF ビット) を選択してください。

OPSCR.ALIGN ビット=0 の場合、OPSCR.FB ビット=0 または 1 のいずれにおいても、GPT\_OPS は PCLKD 同期の入力相で動作します。ただし、切り替えタイミング (直前/直後) の出力 U/V/W 相 (PWM 出力モード) の PWM パルス幅が狭くなる場合があります。

表 23.17 に、入力選択処理と対応する OPSCR レジスタのビット設定を示します。

表 23.17 入力選択処理方法

OPSCR レジスタ		入力相サンプリング方法の選択 (U/V/W相)	同期入出力選択処理 (GPT_OPS 内部ノード名)
FB ビット	ALIGN ビット		
0	1	PWM 立ち下がりエッジサンプリングでの外部入力 (PCLKD 同期 + 立ち下がりエッジサンプル)	"入力相" 入力U相 (gtu_sync) 入力V相 (gtv_sync) 入力W相 (gtw_sync)
	0	PCLKD 同期出力での外部入力 (PCLKD 同期 + スルーモード)	
1	1	PWM 立ち下がりエッジサンプリングでのソフトウェア設定 (立ち下がりエッジサンプルの OPSCR.UF、VF、WF ビット)	
	0	ソフトウェア設定値選択 (= OPSCR.UF/VF/WF ビット値) (= PCLKD 同期)	

### 23.3.11.2 入力サンプリング

OPSCR.U、V、W レジスタは、OPSCR.FB ビットで選択した入力の PCLKD サンプリング結果を示すレジスタです。

OPSCR.FB ビット=0 の場合、GPT クロック (PCLKD) との同期およびノイズフィルタリング (オプション) 後に、OPSCR.U、V、W レジスタは外部入力のサンプリング結果を示します。OPSCR.FB ビット=1 の場合、OPSCR.U、V、W レジスタはソフト設定値 (OPSCR.UF、VF、WF ビット) です。

### 23.3.11.3 入力相デコード

図 23.77 に示す GPT\_OPS 制御フロー概念図の (2) の部分では、OPSCR.FB ビットで選択した入力相をデコードすることにより、6 相信号を有効にします。6 相許可信号は、GPT\_OPS の内部処理に使用されます。

表 23.18 に入力相のデコード表を示します。

表 23.18 入力相デコード表

入力相 (U/V/W) (GPT_OPS内部ノード名)			入力相のデコードによる6相許可[U/V/W (Up/Lo) ] (GPT_OPS内部ノード名)					
入力U相	入力V相	入力W相	U相 (Up)	U相 (Lo)	V相 (Up)	V相 (Lo)	W相 (Up)	W相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	0	0	1
1	1	0	0	0	1	0	0	1
0	1	0	0	1	1	0	0	0
0	1	1	0	1	0	0	1	0
0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

### 23.3.11.4 回転方向制御

図 23.77 に示す GPT\_OPS 制御フロー概念図の (3) の部分では、OPSCR.RV ビットを使用して 3 相モータの回転方向を制御します。

OPSCR.RV ビット=1 の場合、V 相と W 相を入れ替えることにより、OPSCR.RV ビット設定の回転方向を反転させます。

表 23.19 に、OPSCR.RV ビットへの出力相の割り当て (回転方向制御の実施前後) を示します。

表 23.19 回転方向制御方法

OPSCRレジスタ出力相 回転方向反転	回転方向制御の出力[U/V/W (正/逆) ] (制御後のGPT_OPS内部ノード名)					
	(gtulo_ren)	(gtuup_ren)	(gtvup_ren)	(gtvlo_ren)	(gtwup_ren)	(gtwlo_ren)
0	U相 (Up) (gtuup_en)	U相 (Lo) (gtulo_en)	V相 (Up) (gtvup_en)	V相 (Lo) (gtvlo_en)	W相 (Up) (gtwup_en)	W相 (Lo) (gtwlo_en)
1	U相 (Up) (gtuup_en)	U相 (Lo) (gtulo_en)	W相 (Up) (gtwup_en)	W相 (Lo) (gtwlo_en)	V相 (Up) (gtvup_en)	V相 (Lo) (gtvlo_en)

## 23.3.11.5 出力選択制御

図 23.77 に示す GPT OPS 制御フロー概念図の (4) の部分では、OPSCR レジスタのビットを設定することによって出力波形を選択します。

出力選択に関連するビットを以下に示します。

- OPSCR.EN ビット : 6 相出力の出力/停止を制御
- OPSCR.P ビットおよび OPSCR.N ビット : 出力相に対してレベル信号/ PWM 信号 (チョッパ出力) を選択可能
- 出力相の極性は、OPSCR.INV ビットで正論理/負論理に設定可能

表 23.20 および表 23.21 に、OPSCR レジスタのビットを使用した出力選択制御方法を示します。

表 23.20 出力選択制御方法 (正相)

イネーブル相出力制御	正相出力 (P) 制御	反転相出力制御	出力ポート名 (正相 = Up) (出力選択内部ノード割り当て)	
OPSCR.EN ビット	OPSCR.P ビット	OPSCR.INV ビット	GTOUUP GTOVUP GTOWUP	モード
0	x	x	0	出力停止 (外部端子 Hi-Z) GPT OPS → 0 出力
1	0	0	レベル信号 (gtuup_ren) (gtvup_ren) (gtwup_ren)	レベル出力モード (正相) (正論理)
1	0	1	レベル信号 (~gtuup_ren) (~gtvup_ren) (~gtwup_ren)	レベル出力モード (正相) (負論理)
1	1	0	PWM 信号 (PWM & gtuup_ren) (PWM & gtvup_ren) (PWM & gtwup_ren)	PWM 出力モード (正相) (正論理)
1	1	1	PWM 信号 (~(PWM & gtuup_ren)) (~(PWM & gtvup_ren)) (~(PWM & gtwup_ren))	PWM 出力モード (正相) (負論理)

表 23.21 出力選択制御方法 (逆相)

イネーブル相出力制御	正相出力 (N) 制御	反転相出力制御	出力ポート名 (逆相 = Lo) (出力選択内部ノード割り当て)	
			GTOULO GTOVLO GTOWLO	モード
OPSCR.EN ビット	OPSCR.N ビット	OPSCR.INV ビット		
0	x	x	0	出力停止 (外部端子 Hi-Z) GPT_OPS → 0 出力
1	0	0	レベル信号 (gtulo_ren) (gtvlo_ren) (gtwlo_ren)	レベル出力モード (逆相) (正論理)
1	0	1	レベル信号 (~gtulo_ren) (~gtvlo_ren) (~gtwlo_ren)	レベル出力モード (逆相) (負論理)
1	1	0	PWM 信号 (PWM & gtulo_ren) (PWM & gtvlo_ren) (PWM & gtwlo_ren)	PWM 出力モード (逆相) (正論理)
1	1	1	PWM 信号 (~ (PWM & gtulo_ren)) (~ (PWM & gtvlo_ren)) (~ (PWM & gtwlo_ren))	PWM 出力モード (逆相) (負論理)

### 23.3.11.6 出力選択制御 (グループ出力禁止機能)

OPSCR.GODF ビット = 1 の場合、OPSCR.GRP ビットで選択した信号値が High (出力禁止要求) であると、GPT\_OPS 出力端子は非同期に Hi-Z に変化し、PCLKD と同期した出力禁止要求信号によって OPSCR.EN ビットは 0 になります。その応答として、ソフトウェアで出力禁止要求をクリアした後、OPSCR.EN ビット = 1 に設定してください。

OPSCR.EN ビットが 0 にクリアされるタイミングは、出力禁止要求が発生してから PCLKD の 3 サイクル後です。出力禁止制御を確実に実行するには、(POEG の出力禁止要求フラグのクリアによる) 出力禁止要求の発生から停止まで、少なくとも PCLKD の 4 サイクル分待つ必要があります。グループ出力禁止制御の動作例については、[図 23.80](#) を参照してください。

### 23.3.11.7 イベントリンクコントローラ (ELC) 出力

[図 23.77](#) に示す GPT\_OPS 制御フロー概念図の (5) の部分では、ホールセンサ入力信号エッジをイベントリンクコントローラに出力します。

ホールセンサ入力エッジ信号は、GPT クロック (PCLKD) で検出したパルスと、入力相の U 相 / V 相 / W 相それぞれの立ち上がり / 立ち下がりエッジとの論理積となります。すなわち、入力相の U 相 / V 相 / W 相それぞれの High レベル持続期間が短いと、その時点でホールセンサエッジ入力信号は出力されません。

OPSCR.FB ビット = 0 の場合、ホールセンサ入力エッジ信号は、外部入力相の GPT クロック (PCLKD) エッジで検出したパルスの論理積となります。OPSCR.FB ビット = 1 の場合、ホールセンサ入力エッジ信号は、ソフト設定 (OPSCR.UF、VF、WF ビット) の GPT クロック (PCLKD) エッジで検出したパルスの論理積となります。

ELC への出力信号の例については、[図 23.78](#) ~ [図 23.80](#) を参照してください。



## 23.3.11.8 GPT\_OPS スタート動作設定フロー

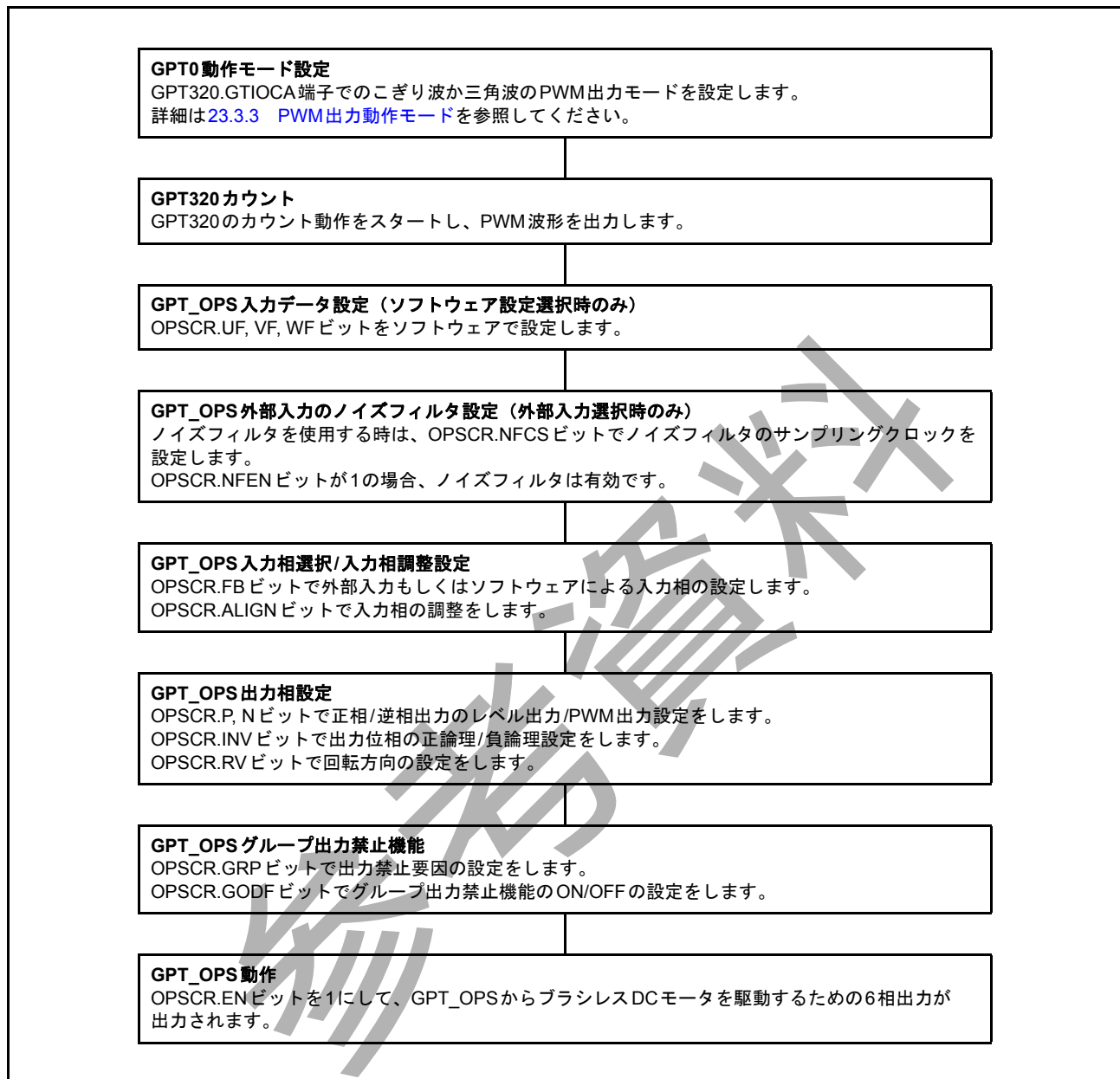


図 23.81 GPT\_OPS スタート動作の設定例

## 23.4 割り込み要因

### 23.4.1 割り込み要因と優先順位

GPT には以下の割り込み要因があります。

- GTCCR インพุットキャプチャ/コンペアマッチ
- GTCNT カウンタオーバーフロー (GTPR コンペアマッチ) /アンダーフロー

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態により自動更新されます。

チャンネル間の優先順位は、割り込みコントローラユニットで変更可能です。ただし、1つのチャンネル内での優先順位は固定されています。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。表 23.22 は、GPT の割り込み要因の一覧です。

表 23.22 割り込み要因 (1/3)

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの 起動
0	GPT0_CCMPA	GPT320.GTCCRA インพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT0_CCMPB	GPT320.GTCCRB インพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT0_CMPC	GPT320.GTCCRC コンペアマッチ	TCFC	可能
	GPT0_CMPD	GPT320.GTCCRD コンペアマッチ	TCFD	可能
	GPT0_CMPE	GPT320.GTCCRE コンペアマッチ	TCFE	可能
	GPT0_CMPF	GPT320.GTCCRF コンペアマッチ	TCFF	可能
	GPT0_OVF	GPT320.GTCNT オーバーフロー (GPT320.GTPR コンペアマッチ)	TCFPO	可能
	GPT0_UDF	GPT320.GTCNT アンダーフロー	TCFPU	可能
1	GPT1_CCMPA	GPT321.GTCCRA インพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT1_CCMPB	GPT321.GTCCRB インพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT1_CMPC	GPT321.GTCCRC コンペアマッチ	TCFC	可能
	GPT1_CMPD	GPT321.GTCCRD コンペアマッチ	TCFD	可能
	GPT1_CMPE	GPT321.GTCCRE コンペアマッチ	TCFE	可能
	GPT1_CMPF	GPT321.GTCCRF コンペアマッチ	TCFF	可能
	GPT1_OVF	GPT321.GTCNT オーバーフロー (GPT321.GTPR コンペアマッチ)	TCFPO	可能
	GPT1_UDF	GPT321.GTCNT アンダーフロー	TCFPU	可能
2	GPT2_CCMPA	GPT322.GTCCRA インพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT2_CCMPB	GPT322.GTCCRB インพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT2_CMPC	GPT322.GTCCRC コンペアマッチ	TCFC	可能
	GPT2_CMPD	GPT322.GTCCRD コンペアマッチ	TCFD	可能
	GPT2_CMPE	GPT322.GTCCRE コンペアマッチ	TCFE	可能
	GPT2_CMPF	GPT322.GTCCRF コンペアマッチ	TCFF	可能
	GPT2_OVF	GPT322.GTCNT オーバーフロー (GPT322.GTPR コンペアマッチ)	TCFPO	可能
	GPT2_UDF	GPT322.GTCNT アンダーフロー	TCFPU	可能

表 23.22 割り込み要因 (2/3)

チャネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの 起動
3	GPT3_CCMPA	GPT323.GTCCRAインพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT3_CCMPB	GPT323.GTCCRBインพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT3_CMPC	GPT323.GTCCRCコンペアマッチ	TCFC	可能
	GPT3_CMPD	GPT323.GTCCRDコンペアマッチ	TCFD	可能
	GPT3_CMPE	GPT323.GTCCREコンペアマッチ	TCFE	可能
	GPT3_CMPF	GPT323.GTCCRFコンペアマッチ	TCFF	可能
	GPT3_OVF	GPT323.GTCNTオーバーフロー (GPT323.GTPRコンペアマッチ)	TCFPO	可能
	GPT3_UDF	GPT323.GTCNTアンダーフロー	TCFPU	可能
4	GPT4_CCMPA	GPT324.GTCCRAインพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT4_CCMPB	GPT324.GTCCRBインพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT4_CMPC	GPT324.GTCCRCコンペアマッチ	TCFC	可能
	GPT4_CMPD	GPT324.GTCCRDコンペアマッチ	TCFD	可能
	GPT4_CMPE	GPT324.GTCCREコンペアマッチ	TCFE	可能
	GPT4_CMPF	GPT324.GTCCRFコンペアマッチ	TCFF	可能
	GPT4_OVF	GPT324.GTCNTオーバーフロー (GPT324.GTPRコンペアマッチ)	TCFPO	可能
	GPT4_UDF	GPT324.GTCNTアンダーフロー	TCFPU	可能
5	GPT5_CCMPA	GPT325.GTCCRAインพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT5_CCMPB	GPT325.GTCCRBインพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT5_CMPC	GPT325.GTCCRCコンペアマッチ	TCFC	可能
	GPT5_CMPD	GPT325.GTCCRDコンペアマッチ	TCFD	可能
	GPT5_CMPE	GPT325.GTCCREコンペアマッチ	TCFE	可能
	GPT5_CMPF	GPT325.GTCCRFコンペアマッチ	TCFF	可能
	GPT5_OVF	GPT325.GTCNTオーバーフロー (GPT325.GTPRコンペアマッチ)	TCFPO	可能
	GPT5_UDF	GPT325.GTCNTアンダーフロー	TCFPU	可能
6	GPT6_CCMPA	GPT326.GTCCRAインพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT6_CCMPB	GPT326.GTCCRBインพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT6_CMPC	GPT326.GTCCRCコンペアマッチ	TCFC	可能
	GPT6_CMPD	GPT326.GTCCRDコンペアマッチ	TCFD	可能
	GPT6_CMPE	GPT326.GTCCREコンペアマッチ	TCFE	可能
	GPT6_CMPF	GPT326.GTCCRFコンペアマッチ	TCFF	可能
	GPT6_OVF	GPT326.GTCNTオーバーフロー (GPT326.GTPRコンペアマッチ)	TCFPO	可能
	GPT6_UDF	GPT326.GTCNTアンダーフロー	TCFPU	可能
7	GPT7_CCMPA	GPT327.GTCCRAインพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT7_CCMPB	GPT327.GTCCRBインพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT7_CMPC	GPT327.GTCCRCコンペアマッチ	TCFC	可能
	GPT7_CMPD	GPT327.GTCCRDコンペアマッチ	TCFD	可能
	GPT7_CMPE	GPT327.GTCCREコンペアマッチ	TCFE	可能
	GPT7_CMPF	GPT327.GTCCRFコンペアマッチ	TCFF	可能
	GPT7_OVF	GPT327.GTCNTオーバーフロー (GPT327.GTPRコンペアマッチ)	TCFPO	可能
	GPT7_UDF	GPT327.GTCNTアンダーフロー	TCFPU	可能

表 23.22 割り込み要因 (3/3)

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの起動
8	GPT8_CCMPA	GPT328.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT8_CCMPB	GPT328.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT8_CMPC	GPT328.GTCCRCコンペアマッチ	TCFC	可能
	GPT8_CMPD	GPT328.GTCCRDコンペアマッチ	TCFD	可能
	GPT8_CMPE	GPT328.GTCCREコンペアマッチ	TCFE	可能
	GPT8_CMPF	GPT328.GTCCRFコンペアマッチ	TCFF	可能
	GPT8_OVF	GPT328.GTCNTオーバーフロー (GPT328.GTPRコンペアマッチ)	TCFPO	可能
	GPT8_UDF	GPT328.GTCNTアンダーフロー	TCFPU	可能
9	GPT9_CCMPA	GPT329.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT9_CCMPB	GPT329.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT9_CMPC	GPT329.GTCCRCコンペアマッチ	TCFC	可能
	GPT9_CMPD	GPT329.GTCCRDコンペアマッチ	TCFD	可能
	GPT9_CMPE	GPT329.GTCCREコンペアマッチ	TCFE	可能
	GPT9_CMPF	GPT329.GTCCRFコンペアマッチ	TCFF	可能
	GPT9_OVF	GPT329.GTCNTオーバーフロー (GPT329.GTPRコンペアマッチ)	TCFPO	可能
	GPT9_UDF	GPT329.GTCNTアンダーフロー	TCFPU	可能

注. この表は、リセット直後の初期状態を示しています。チャンネル間の優先順位は、割り込みコントローラユニットで変更可能です。

#### (1) GPTn\_CCMPA 割り込み (n = 0 ~ 9)

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRA レジスタ値と一致したとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

#### (2) GPTn\_CCMPB 割り込み (n = 0 ~ 9)

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき

#### (3) GPTn\_CMPC 割り込み (n = 0 ~ 9)

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRC レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

#### (4) GPTn\_CMPD 割り込み (n = 0 ~ 9)

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRD レジスタがバッファ動作)

#### (5) GPTn\_CMPE 割り込み (n = 0 ~ 9)

割り込み要求は以下の条件で発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRE レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRE レジスタがバッファ動作)

#### (6) GPTn\_CMPF 割り込み (n = 0 ~ 9)

割り込み要求は以下の条件で発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRF レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRF レジスタがバッファ動作)

#### (7) GPTn\_OVF 割り込み (n = 0 ~ 9)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) によって割り込み要求が許可されたとき
- 三角波モードの場合、山 (GTCNT カウンタ値が GTPR 値から GTPR 値 -1 に変化) によって割り込み要求が許可されたとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) が発生したとき

**(8) GPTn\_UDF 割り込み (n = 0 ~ 9)**

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、アンダーフロー（ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化）によって割り込み要求が許可されたとき
- 三角波モードの場合、谷（GTCNT カウンタ値が 0 から 1 に変化）によって割り込み要求が許可されたとき
- ハードウェア要因によるカウントで、アンダーフロー（ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化）が発生したとき

**表 23.23 割り込み信号と割り込みステータスフラグ**

割り込み信号	割り込みステータスフラグ
GPTn_UDF	GTST[7] (TCFPU)
GPTn_OVF	GTST[6] (TCFPO)
GPTn_CMPF	GTST[5] (TCFF)
GPTn_CMPE	GTST[4] (TCFE)
GPTn_CMPD	GTST[3] (TCFD)
GPTn_CMPC	GTST[2] (TCFC)
GPTn_CCMPB	GTST[1] (TCFB)
GPTn_CCMPA	GTST[0] (TCFA)

注. n = 0 ~ 9

**23.4.2 DMAC/DTC の起動**

各チャネルの割り込みによって、DMAC および DTC を起動することができます。詳細は、「[14. 割り込みコントローラユニット \(ICU\)](#)」、「[17. DMA コントローラ \(DMAC\)](#)」、および「[18. データトランスファコントローラ \(DTC\)](#)」を参照してください。

## 23.5 ELC によるリンク動作

### 23.5.1 ELC へのイベント信号出力

GPT では、その割り込み要求信号がイベントリンクコントローラ (ELC) でイベント信号として使用された場合、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn\_CCMPA)
- コンペアマッチ B 割り込み発生 (GPTn\_CCMPB)
- コンペアマッチ C 割り込み発生 (GPTn\_CMPC)
- コンペアマッチ D 割り込み発生 (GPTn\_CMPD)
- コンペアマッチ E 割り込み発生 (GPTn\_CMPE)
- コンペアマッチ F 割り込み発生 (GPTn\_CMPF)
- オーバーフロー割り込み発生 (GPTn\_OVF)
- アンダーフロー割り込み発生 (GPTn\_UDF)

注. n = 0 ~ 9

### 23.5.2 ELC からのイベント信号入力

GPT は、イベントリンクコントローラ (ELC) からの最大 8 個のイベントに対して、以下の動作の実行が可能です。

- カウントスタート/ストップ/クリア
- アップカウント/ダウンカウント
- インพุットキャプチャ

ハードウェア要因についての詳細は、[23.3 動作説明](#)を参照してください。

### 23.6 ノイズフィルタ機能

GPT のインプットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプル周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効/無効にすることや、チャンネルごとにサンプリングクロックを設定することが可能です。

図 23.82 にノイズフィルタのタイミングを示します。

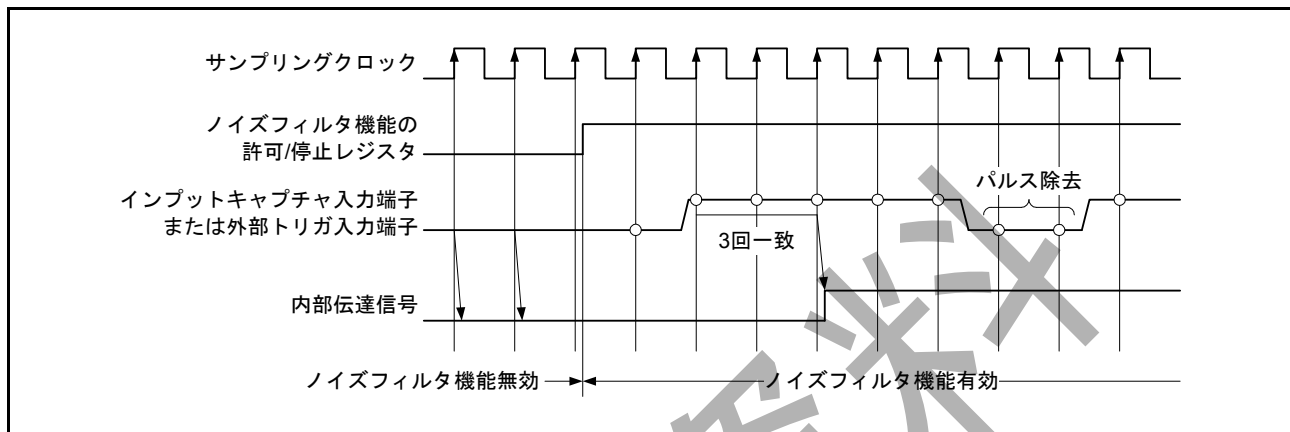


図 23.82 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、「最小サンプリング周期×2+PCLKD」の遅延の後、ノイズフィルタ対象信号の両エッジでインプットキャプチャ動作または外部トリガ動作が実行されます。この遅延は、インプットキャプチャ入力または外部トリガ動作に対するノイズフィルタリングに起因するものです。



## 23.7 保護機能

### 23.7.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャンネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTIBCSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU

### 23.7.2 バッファ動作の禁止

バッファレジスタへの書き込みタイミングが、バッファの転送タイミングに対して遅延した場合、GTBER.BD ビットの設定でバッファ動作の中断が可能です。バッファレジスタの書き込み中にバッファ転送条件が発生しても、バッファ転送を一時的に禁止することができます。そのためには、バッファレジスタへ書き込む前に、対応する GTBER.BD ビットを 1 (バッファ動作禁止) にしておき、すべてのバッファレジスタへ書き込み終了後、0 (バッファ動作許可) に戻します。

図 23.83 にバッファ動作を禁止するための動作例を示します。

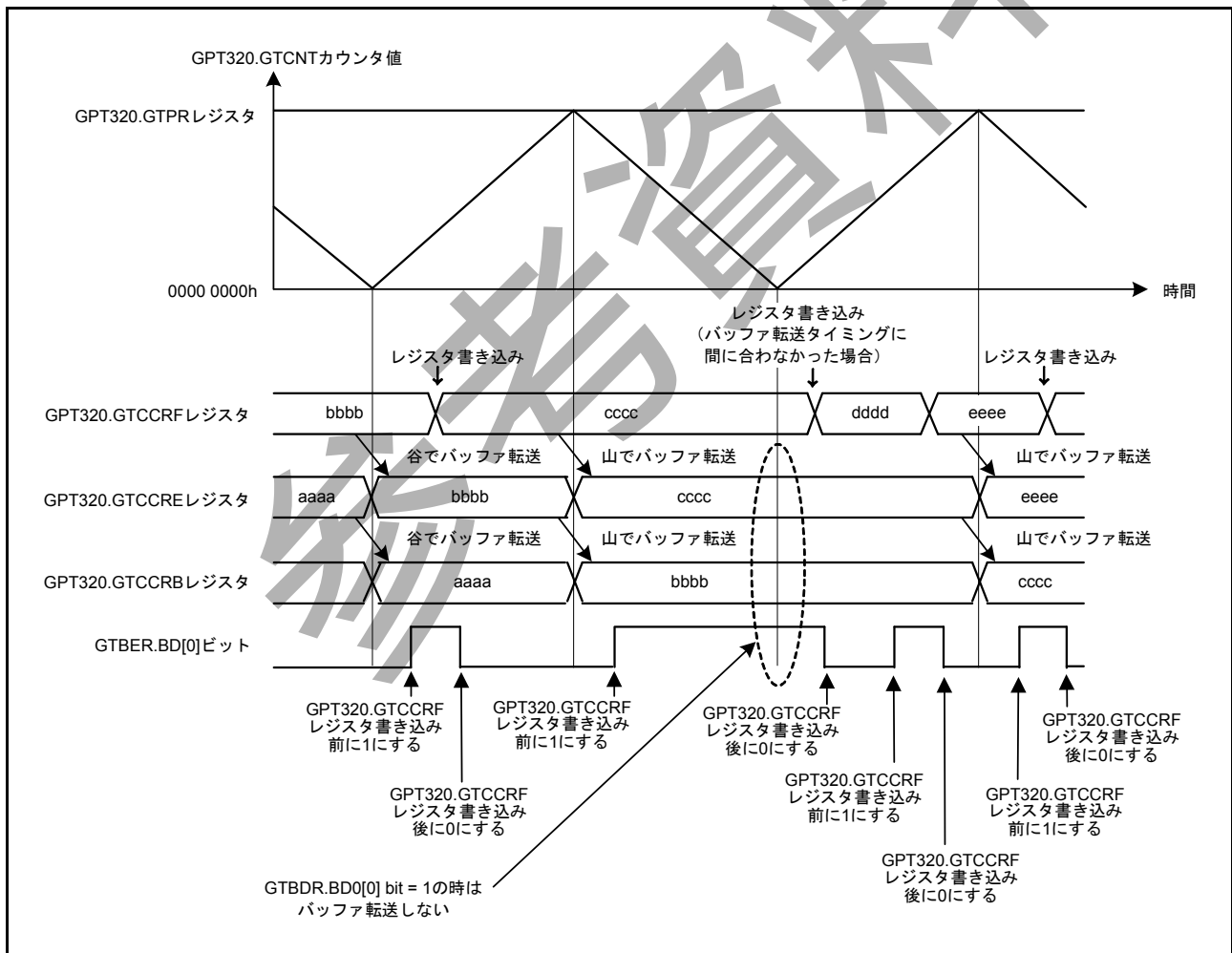


図 23.83 バッファ動作禁止の動作例 (三角波、ダブルバッファ動作、谷と山の両方でバッファ転送の場合)

### 23.7.3 GTIOC 端子出力のネゲート制御

システム障害から保護するために、POEG からの出力禁止要求によって、GTIOC 端子の出力値を強制的に変更する出力禁止制御が備えられています。

デッドタイムエラーが発生した場合や、GTIOA 端子の出力値が GTIOB 端子の出力値と同じ場合には、出力保護が必要です。GPT は、そのような事例を検出すると、GTINAD.GRPABH ビットや GTINTAD.GRPABL ビットなどの出力禁止要求許可ビットの設定に応じて、POEG に対して出力禁止要求を発生させます。POEG は、各チャンネルから出力禁止要求を受信すると、OR 演算を用いて外部入力を計算し、GPT に対して出力禁止要求を発生させます。

POEG が発生させた 4 つの出力禁止要求のうちの 1 つの出力禁止信号 (GTIOCA 端子と GTIOCB 端子の共通出力禁止要求信号) が、GTINTAD.GRP[1:0] ビットの設定で選択されます。選択した出力禁止要求の状態は、GTST.ODF ビットを読むことでモニタできます。出力禁止中の出力レベルは、GTIOCA 端子については GTIOR.OADF[1:0] ビットで、GTIOCB 端子については GTIOR.OBDF[1:0] ビットで設定されます。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止状態の解除タイミングは、出力禁止要求の停止から、早くとも PCLKD の 3 サイクル後です。出力禁止制御を確実に実行するには、(POEG の出力禁止要求フラグのクリアによる) 出力禁止要求の発生から停止まで、少なくとも PCLKD の 4 サイクル分待つ必要があります。

イベントカウント実行時、または出力禁止状態を周期の終わりを待たずにただちに解除する必要がある場合は、GTIOR.OADF[1:0] ビットを 00b (GTIOCA 端子の場合) にするか、GTIOR.OBDF[1:0] ビットを 00b (GTIOCB 端子の場合) にしてください。

図 23.84 に GTIOC 端子出力禁止制御の動作例を示します。

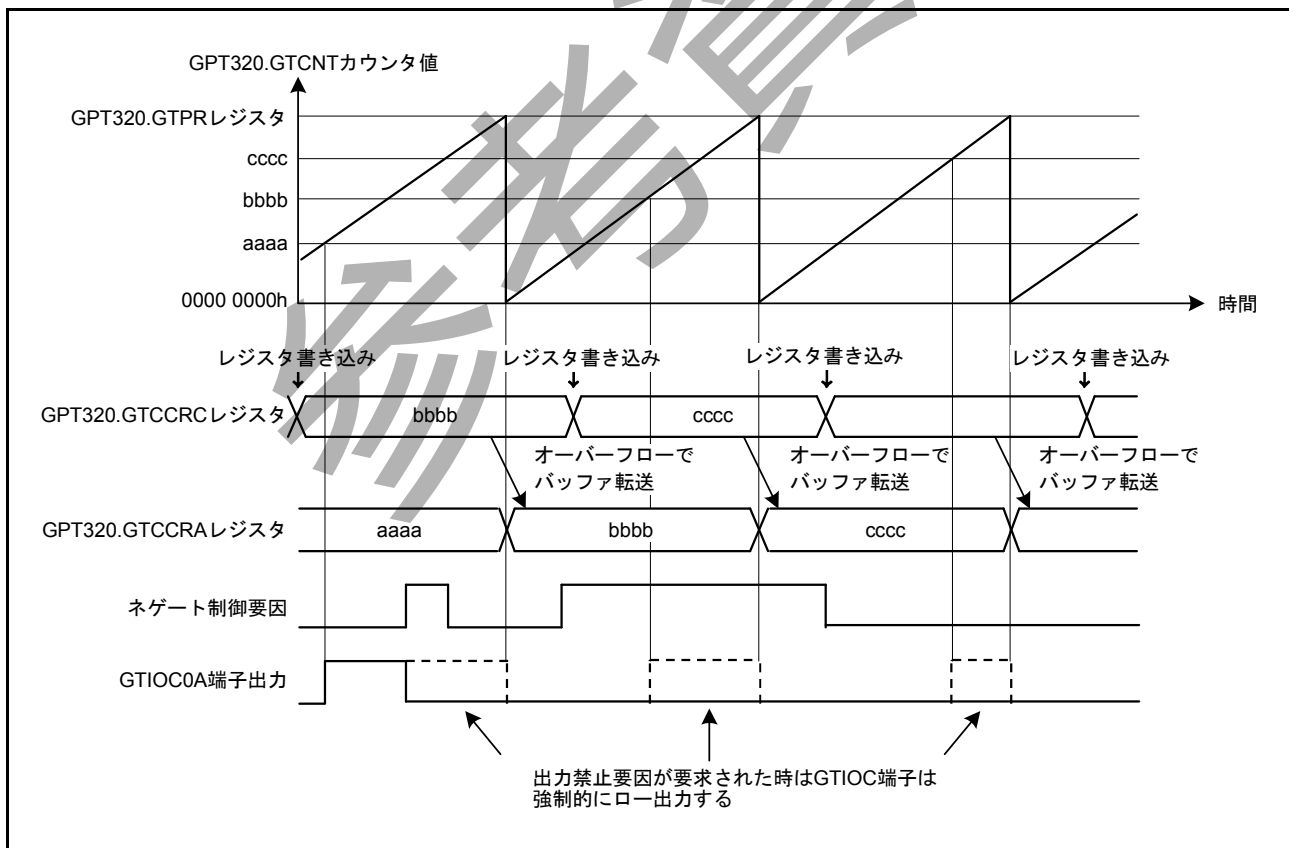


図 23.84 GTIOC 端子出力禁止制御の動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合)

## 23.8 出力端子の初期化方法

### 23.8.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートモードを設定し、GTIOR.OAE および GTIOR.OBE ビットを設定し、GPT 機能を外部端子に出力してから、カウントを開始してください。

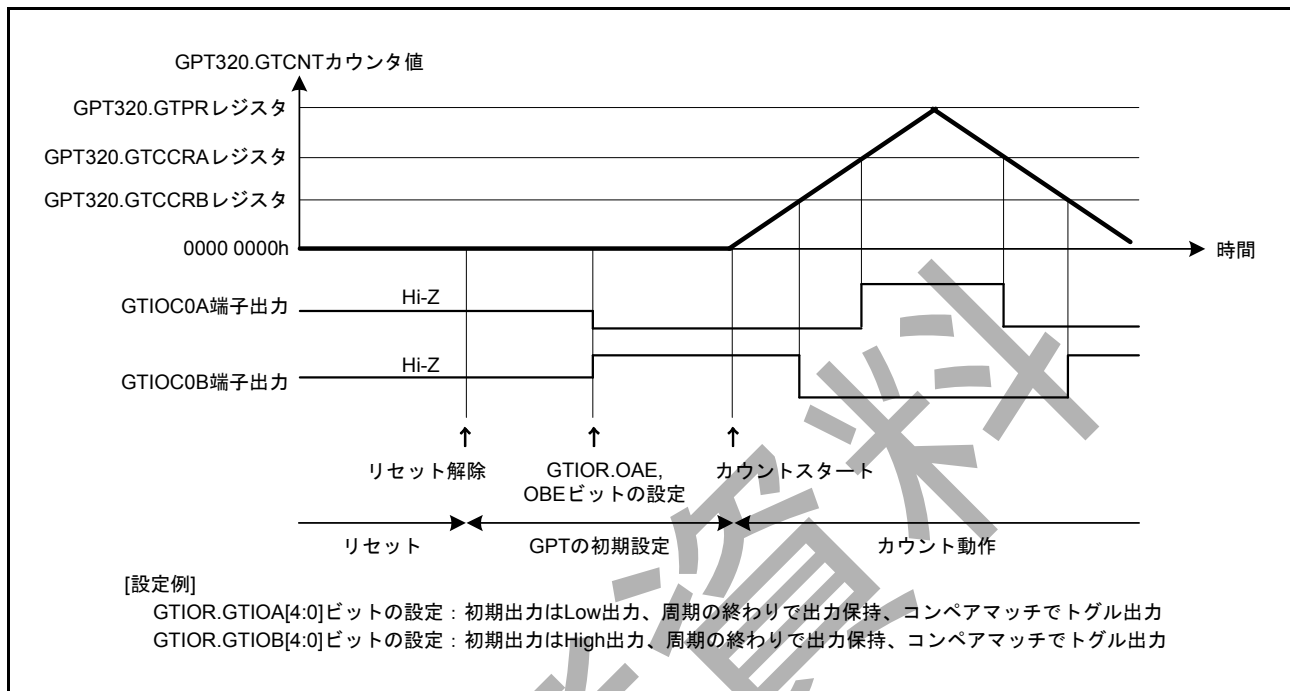


図 23.85 リセット後の端子設定例

### 23.8.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子処理を実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの PDR、PODR、PMR レジスタを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PMR レジスタの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行った場合は、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウントを停止させた場合は、各レジスタを初期化してからカウントを再開してください。

## 23.9 使用上の注意事項

### 23.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、GPT の動作を禁止または許可することが可能です。初期設定では、GPT の動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

### 23.9.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F)

#### (1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次の条件を満たす必要があります： $GTDVU < GTCCRA$  かつ  $GTCCRA < GTPR$

#### (2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$  の範囲に収まるように設定する必要があります。GTCCRA = 0 または  $GTCCRA \geq GTPR$  に設定すると、GTCCRA = 0 または  $GTCCRA = GTPR$  が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタも、 $0 < GTCCRB < GTPR$  の範囲に収まるように設定してください。GTCCRB = 0 または  $GTCCRB \geq GTPR$  に設定すると、GTCCRB = 0 または  $GTCCRB = GTPR$  が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

#### (3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時： $GTCCRC < GTCCRD$ 、 $GTCCRC > GTDVU$ 、 $GTCCRD < (GTPR - GTDVU)$
- ダウンカウント時： $GTCCRC > GTCCRD$ 、 $GTCCRC < (GTPR - GTDVU)$ 、 $GTCCRD > GTDVU$

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時： $GTCCRE < GTCCRF$ 、 $GTCCRE > GTDVU$ 、 $GTCCRF < (GTPR - GTDVU)$
- ダウンカウント時： $GTCCRE > GTCCRF$ 、 $GTCCRE < (GTPR - GTDVU)$ 、 $GTCCRF > GTDVU$

#### (4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRC < GTCCRD < GTPR$
- ダウンカウント時： $GTPR > GTCCRC > GTCCRD > 0$

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRE < GTCCRF < GTPR$
- ダウンカウント時： $GTPR > GTCCRE > GTCCRF > 0$

### (5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$  の範囲に収まるように設定する必要があります。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < GTCCRB < GTPR$  の範囲に収まるように設定する必要があります。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

### 23.9.3 GTCNT カウンタの範囲設定

GTCNT カウンタレジスタは、 $0 \leq GTCNT \leq GTPR$  の範囲に収まるように設定する必要があります。

### 23.9.4 GTCNT カウンタのスタート/ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート/ストップ制御タイミングは、GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート/ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視され、結果として GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生したりします。


参考資料

### 23.9.5 イベントごとの優先順位

#### (1) GTCNT レジスタ

表 23.24 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 23.24 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPU による書き込み (GTCNT/GTCLR レジスタへの書き込み)	高  低
GTCSR レジスタで設定したハードウェア要因によるクリア	
GTUPSR/GTDNSR レジスタで設定したハードウェア要因によるカウントアップ/ダウン	
カウント動作	

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

#### (2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート/ストップと CPU による書き込み (GTCR/GTSTR/GTSTP レジスタへの書き込み) の間で競合があると、CPU による書き込みが優先されます。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

#### (3) GTCCRm レジスタ (m = A ~ F)

インプットキャプチャ/バッファ転送動作と GTCCRm レジスタへの書き込みの間で競合があると、GTCCRm レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みまたはハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

#### (4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

## 24. 非同期汎用タイマ (AGT)

### 24.1 概要

非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウンタに利用可能な 16 ビットのタイマです。

この 16 ビットタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。

表 24.1 に AGT の仕様を、図 24.1 にブロック図を、表 24.2 に端子構成を示します。

注. コールドスタート後は、VBATT 機能を使用するか否かにかかわらず、VBTCR1.BPWSWSTP ビットを 1 にしてから、RTC レジスタにアクセスしてください。詳細は、「12. バッテリバックアップ機能」の図 12.3 を参照してください。

表 24.1 AGTの仕様

項目	内容	
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	タイマがアンダーフローするごとにカウントソースをカウントし、出力を反転
	イベントカウンタモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
カウントソース (動作クロック) (注2)	PCLKB/8、AGTLCLK/d、AGTSCLK/d、またはAGT0のアンダーフロー信号 (注1) を選択可能 (d = 1、2、4、8、16、32、64、または128)	
割り込み/イベントリンク機能 (出力)	<ul style="list-style-type: none"> <li>• アンダーフローイベント信号または測定完了イベント信号               <ul style="list-style-type: none"> <li>– カウンタのアンダーフロー時</li> <li>– パルス幅測定モードで、外部入力 (AGTIO<sub>n</sub>) のアクティブ幅の測定が終了したとき</li> <li>– パルス周期測定モードで、外部入力 (AGTIO<sub>n</sub>) の設定エッジが入力されたとき</li> </ul> </li> <li>• コンペアマッチAイベント信号               <ul style="list-style-type: none"> <li>– AGTとAGTCMAの値が一致したとき (コンペアマッチA機能有効時)</li> </ul> </li> <li>• コンペアマッチBイベント信号               <ul style="list-style-type: none"> <li>– AGTとAGTCMBの値が一致したとき (コンペアマッチB機能有効時)</li> </ul> </li> <li>• AGT1_AGTI、AGT1_AGTCMAI、またはAGT1_AGTCMBIによる、ソフトウェアスタンバイモードからの復帰が可能</li> </ul>	
選択可能な機能	<ul style="list-style-type: none"> <li>• コンペアマッチ機能</li> <li>コンペアマッチAレジスタとコンペアマッチBレジスタの両方または一方を選択可能</li> </ul>	

注 1. AGT0 では使用できません。AGT1 が、AGT0 タイマからのアンダーフローイベント信号に直接接続します。

注 2. 周辺モジュールクロック (PCLKB) 周波数 ≥ カウントソースクロック周波数となるように設定してください。

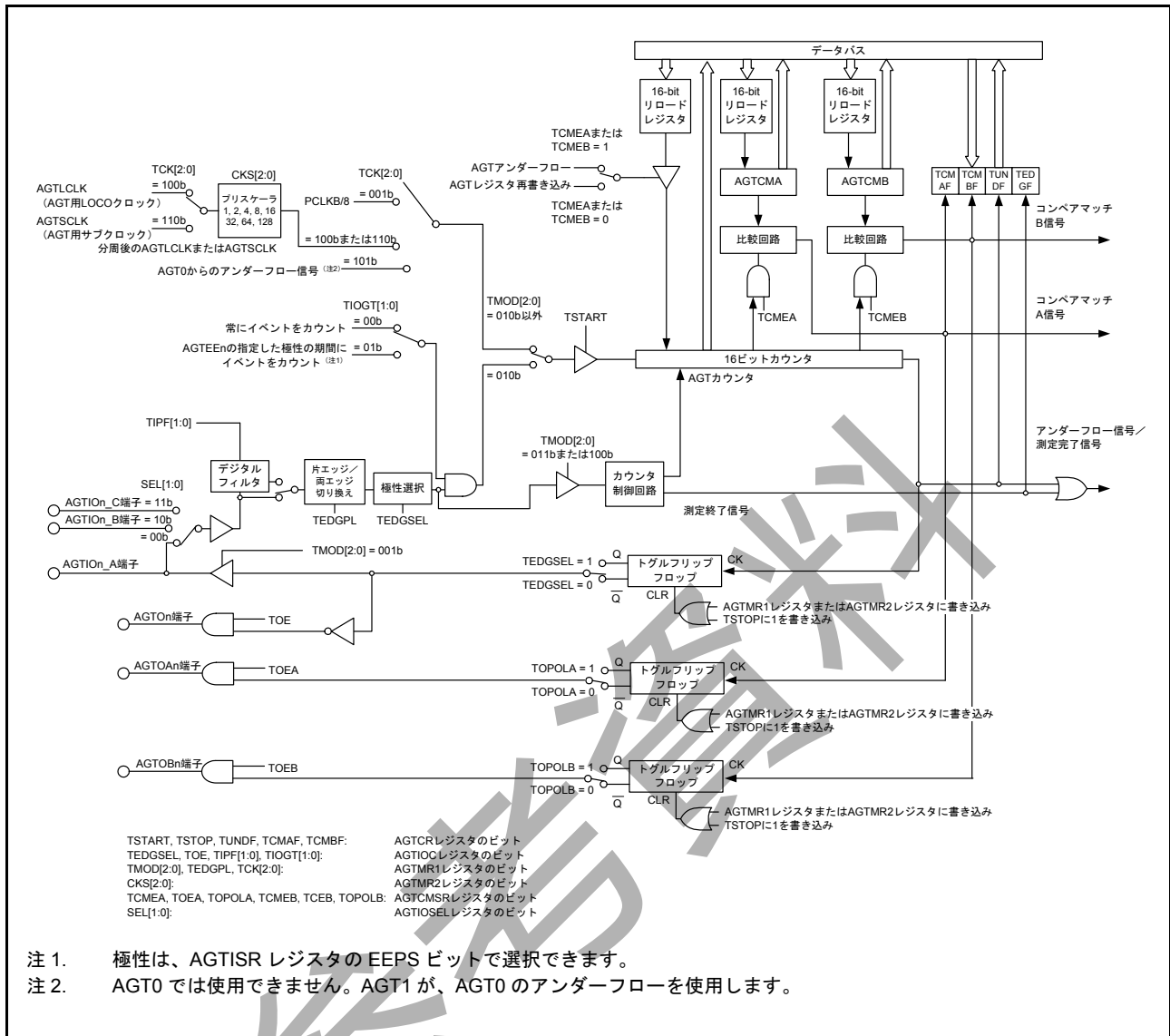


図 24.1 AGT のブロック図

表 24.2 AGT の入出力端子

端子名	入出力	機能
AGTEEn	入力	AGT の外部イベント入力
AGTIO <sub>n</sub> (注1)	入出力	AGT の外部イベント入力およびパルス出力
AGTOn	出力	AGT のパルス出力
AGTOAn	出力	AGT のアウトプットコンペアマッチ A 出力
AGTOB <sub>n</sub>	出力	AGT のアウトプットコンペアマッチ B 出力

注. チャネル番号 (n = 0, 1)  
 注 1. AGT の動作中も、VBATT 端子からの電圧によって AGTIO<sub>n</sub> の入力が可能です。



## 24.2 レジスタの説明

### 24.2.1 AGT カウンタレジスタ (AGT)

アドレス AGT0.AGT 4008 4000h, AGT1.AGT 4008 4100h



ビット	機能	設定範囲	R/W
b15-b0	16ビットのカウンタおよびリロードレジスタ (注1) (注2)	0000h~FFFFh	R/W

注1. AGTCR レジスタの TSTOP ビットに 1 を書き込むと、この 16 ビットカウンタは強制的に停止して、FFFFh になります。

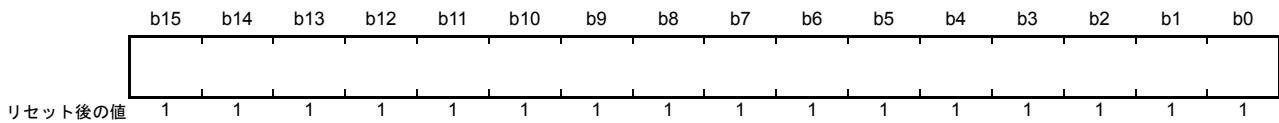
注2. AGTMR1 レジスタの TCK[2:0] ビットの設定値が 001b (PCLKB/8) 以外の場合、AGT レジスタが 0000h になると、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度発生します。AGTOn および AGTIOn はトグル出力となります。イベントカウンタモードで AGT レジスタが 0000h になると、TCK[2:0] ビットの値にかかわらず、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度発生します。また、指定したカウント期間以外の期間も AGTOn はトグル出力となります。AGT レジスタが 0001h 以上になると、AGT がアンダーフローするたびに要求信号が発生します。

AGT は 16 ビットのレジスタです。書き込み値はリロードレジスタに書き込まれ、読み出し値はカウンタから読み出されます。

リロードレジスタとカウンタの状態は、AGTCR レジスタの TSTART ビットと AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は、[24.3.1 リロードレジスタおよびカウンタの書き換え動作](#)を参照してください。AGT レジスタは、16 ビットのメモリ操作命令によって設定できます。

### 24.2.2 AGT コンペアマッチ A レジスタ (AGTCMA)

アドレス AGT0.AGTCMA 4008 4002h, AGT1.AGTCMA 4008 4102h



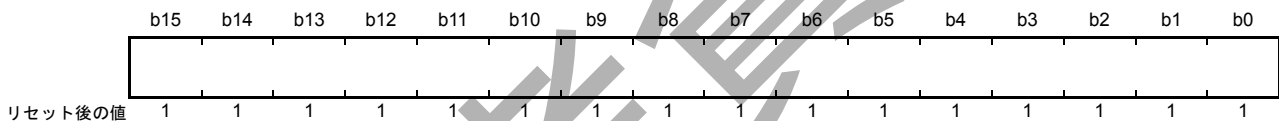
ビット	機能	設定範囲	R/W
b15-b0	16ビットのコンペアマッチAデータを格納 (注1)	0000h~FFFFh	R/W

注1. コンペアマッチ A を使用しない場合、AGTCMA レジスタは FFFFh にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込みレジスタです。リロードレジスタとコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、[24.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作](#)を参照してください。AGTCMA レジスタは、16 ビットのメモリ操作命令によって設定できます。

### 24.2.3 AGT コンペアマッチ B レジスタ (AGTCMB)

アドレス AGT0.AGTCMB 4008 4004h, AGT1.AGTCMB 4008 4104h



ビット	機能	設定範囲	R/W
b15-b0	16ビットのコンペアマッチBデータを格納 (注1)	0000h~FFFFh	R/W

注1. コンペアマッチ B を使用しない場合、AGTCMB レジスタは FFFFh にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込みレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、[24.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作](#)を参照してください。AGTCMB レジスタは、16 ビットのメモリ操作命令によって設定できます。

### 24.2.4 AGT コントロールレジスタ (AGTCR)

アドレス AGT0.AGTCR 4008 4008h, AGT1.AGTCR 4008 4108h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCMBF	TCMAF	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	AGT カウント開始 (注2)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	AGT カウント状態フラグ (注2)	0: カウント停止 1: カウント実行中	R
b2	TSTOP	AGT カウント強制停止 (注1)	0: 書き込みは無効 1: 強制的にカウント停止	W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TEDGF	アクティブエッジ判定フラグ	0: アクティブエッジ未受信 1: アクティブエッジ受信	R/(W) (注3)
b5	TUNDF	アンダーフローフラグ	0: 不一致 1: 一致	R/(W) (注3)
b6	TCMAF	コンペアマッチAフラグ	0: 不一致 1: 一致	R/(W) (注3)
b7	TCMBF	コンペアマッチBフラグ	0: 不一致 1: 一致	R/(W) (注3)

- 注1. TSTOP ビットに1 (強制的にカウント停止) を書き込むと、TSTART および TCSTF ビットが初期化されます。パルス出力レベルも初期化されます。読むと0が読めます。
- 注2. TSTART および TCSTF ビットの使用方法については、[24.4.1 カウント動作の開始および停止制御](#)を参照してください。
- 注3. フラグをクリアするための0の書き込みのみ可能です。

#### TSTART ビット (AGT カウント開始)

TSTART ビットに1を書き込むとカウント動作が開始し、0を書き込むとカウント動作が停止します。本ビットを1にすると、カウントソースと同期して、TCSTF ビットが1 (カウント実行中) になります。また、TSTART ビットに0を書き込むと、カウントソースと同期して、TCSTF ビットが0 (カウント停止) になります。詳細は、[24.4.1 カウント動作の開始および停止制御](#)を参照してください。

#### TCSTF ビット (AGT カウント状態フラグ)

[1になる条件]

- TSTART ビットに1を書いたとき (カウントソースと同期して、TCSTF ビットが1になる)

[0になる条件]

- TSTART ビットに0を書いたとき (カウントソースと同期して、TCSTF ビットが0になる)
- TSTOP ビットに1を書いたとき

#### TSTOP ビット (AGT カウント強制停止)

本ビットに1を書くと、強制的にカウントが停止します。読むと0が読めます。

**TEDGF ビット (アクティブエッジ判定フラグ)**

[1 になる条件]

- パルス幅測定モードで、外部入力 (AGTIO<sub>n</sub>) のアクティブ幅の測定が終了したとき
- パルス周期測定モードで、外部入力 (AGTIO<sub>n</sub>) の設定エッジが入力されたとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

**TUNDF ビット (アンダーフローフラグ)**

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

**TCMAF ビット (コンペアマッチ A フラグ)**

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

**TCMBF ビット (コンペアマッチ B フラグ)**

[1 になる条件]

- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

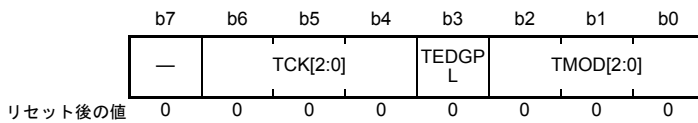
[0 になる条件]

- ソフトウェアで 0 を書いたとき

資料

## 24.2.5 AGT モードレジスタ 1 (AGTMR1)

アドレス AGT0.AGTMR1 4008 4009h, AGT1.AGTMR1 4008 4109h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TMOD[2:0]	動作モード (注3)	b2 b0 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウンタモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード 上記以外は設定しないでください。	R/W
b3	TEDGPL	エッジ極性 (注4)	0: 片エッジ 1: 両エッジ	R/W
b6-b4	TCK[2:0]	カウントソース (注1) (注2) (注5)	b6 b4 0 0 0: 予約 0 0 1: PCLKB/8 1 0 0: AGTMR2レジスタのCKS[2:0]ビットで設定した分周クロック AGTLCLK 1 0 1: AGT0からのアンダーフローイベント信号 (注6) 1 1 0: AGTMR2レジスタのCKS[2:0]ビットで設定した分周クロック AGTSCLK 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注. AGTMR1レジスタへライトアクセスすると、AGTのAGTOn、AGTIO<sub>n</sub>、AGTOAn、およびAGTOB<sub>n</sub>端子 (n = 0, 1)からの出力が初期化されます。初期化時の出力レベルについては、24.2.7 AGT I/O コントロールレジスタ (AGTIOC)の説明を参照してください。
- 注1. イベントカウンタモードを選択した場合、TCK[2:0]ビットの設定にかかわらず、カウントソースとして外部入力 (AGTIO<sub>n</sub>)が選択されます。
- 注2. カウント動作中は、カウントソースを切り替えないでください。カウントソースは、AGTCRレジスタのTSTARTおよびTCSTFビットが、どちらも0 (カウント停止)の場合にのみ切り替えてください。
- 注3. AGTCRレジスタのTSTARTおよびTCSTFビットが、どちらも0 (カウント停止)の状態では、カウントが停止している場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。
- 注4. TEDGPLビットは、イベントカウンタモードでのみ有効です。
- 注5. AGTをソフトウェアスタンバイモードで動作させるには、AGTLCLKまたはAGTSCLKを選択してください。
- 注6. AGT0では使用できません (設定禁止)。AGT1が、AGT0のアンダーフローを使用します。

## 24.2.6 AGT モードレジスタ 2 (AGTMR2)

アドレス AGT0.AGTMR2 4008 400Ah, AGT1.AGTMR2 4008 410Ah

b7	b6	b5	b4	b3	b2	b1	b0
LPM	—	—	—	—	CKS[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	AGTLCLK/AGTSCLK カウントソースクロック 周波数分周比 (注1)(注2)(注3)	b2 b0 0 0 0 : 1/1 0 0 1 : 1/2 0 1 0 : 1/4 0 1 1 : 1/8 1 0 0 : 1/16 1 0 1 : 1/32 1 1 0 : 1/64 1 1 1 : 1/128	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	LPM	低消費電力モード	0 : 通常モード 1 : 低消費電力モード	R/W

- 注1. カウント動作中は、AGTMR2 レジスタを書き換えしないでください。AGTMR2 レジスタは、AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ書き換えてください。
- 注2. カウントソースが AGTLCLK または AGTSCLK の場合に、CKS[2:0] の切り替えが有効となります。
- 注3. CKS[2:0] ビットが 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0] ビットを切り替えしないでください。CKS[2:0] ビットを 000b にした後、AGTMR1 レジスタの TCK[2:0] ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

## LPM ビット (低消費電力モード)

低消費電力モードに設定します。これによって、特定の AGT レジスタへのアクセスに影響が及びます。低消費電力で動作させるには 1 にしてください。本ビットが 1 の場合、下記のレジスタへのアクセスが影響を受けます。

- AGT/AGTCMA/AGTCMB/AGTCR

本ビットを 1 から 0 に切り替えた後は、最初のレジスタアクセスが以下のように制限されます。

- AGT : レジスタを 2 回読む必要があります。2 回目の読み出しデータのみが有効です。
- AGT、AGTCMA、AGTCMB、および AGTCR : レジスタに書き込む場合、カウントソースクロックで 2 サイクル以上の余裕が必要です。

## 24.2.7 AGT I/O コントロールレジスタ (AGTIOC)

アドレス AGT0.AGTIOC 4008 400Ch, AGT1.AGTIOC 4008 410Ch

b7	b6	b5	b4	b3	b2	b1	b0
TIOGT[1:0]	TIPF[1:0]	—	TOE	—	TEDGSEL		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	I/O 極性切り替え	動作モードによって機能が異なります (表 24.3 および表 24.4 参照)。TEDGSEL ビットは、AGTOn の出力極性、および AGTIO n の入出力エッジと極性を切り替えます。パルス出力モードでは、AGTOn の出力極性と AGTIO n の出力極性のみが制御されます。AGTMR1 レジスタに書き込みを行った場合、および AGTCR レジスタの TSTOP ビットに 1 を書いた場合、AGTOn 出力と AGTIO n 出力が初期化されます。	R/W
b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b2	TOE	AGTOn 出力許可	0 : AGTOn 出力を禁止 1 : AGTOn 出力を許可	R/W
b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b5-b4	TIPF[1:0]	入力フィルタ (注3)	b5 b4 0 0 : フィルタなし 0 1 : PCLKB でのフィルタサンプリング 1 0 : PCLKB/8 でのフィルタサンプリング 1 1 : PCLKB/32 でのフィルタサンプリング これらのビットは、AGTIO n 入力用フィルタのサンプリング周波数を指定します。AGTIO n 端子への入力がサンプリングされ、3回連続して値が一致すると、その値が入力値とみなされます。	R/W
b7-b6	TIOGT[1:0]	カウント制御 (注1) (注2) (注4)	b7 b6 0 0 : 常にイベントをカウントする 0 1 : AGTEEn に指定された極性期間の間、イベントをカウントする 上記以外は設定しないでください。	R/W

- 注 1. AGTEEn またはタイマ出力信号を使用する場合、イベントをカウントするための極性は AGTISR レジスタの EEPS ビットで選択できます。
- 注 2. TIOGT[1:0] ビットは、イベントカウンタモード時に限り有効です。
- 注 3. ソフトウェアスタンバイモード時、および バッテリバックアップ機能でイベントカウンタモード動作が実行される場合、デジタルフィルタ機能は使用できません。
- 注 4. VBATT 動作で使用する場合、TIOGT[1:0] を 00b (常にイベントをカウントする) にしてください。

表 24.3 AGTIO n の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0 : High で出力開始 (初期レベル : High) 1 : Low で出力開始 (初期レベル : Low)
イベントカウンタモード	0 : 立ち上がりエッジでカウント 1 : 立ち下がりエッジでカウント
パルス幅測定モード	0 : Low レベル幅を測定 1 : High レベル幅を測定
パルス周期測定モード	0 : ある立ち上がりエッジから次の立ち上がりエッジまで測定 1 : ある立ち下がりエッジから次の立ち下がりエッジまで測定

表 24.4 AGTOn の出力極性切り替え

動作モード	機能
全モード	0 : Low で出力開始 (初期レベル : Low) 1 : High で出力開始 (初期レベル : High)

## 24.2.8 AGT イベント端子選択レジスタ (AGTISR)

アドレス AGT0.AGTISR 4008 400Dh, AGT1.AGTISR 4008 410Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	EEPS	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	EEPS	AGTEEn極性選択	0 : Lowレベルの期間、イベントをカウントする 1 : Highレベルの期間、イベントをカウントする	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## 24.2.9 AGT コンペアマッチ機能選択レジスタ (AGTCMSR)

アドレス AGT0.AGTCMSR 4008 400Eh, AGT1.AGTCMSR 4008 410Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	TOPOL B	TOEB	TCMEB	—	TOPOL A	TOEA	TCMEA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCMEA	コンペアマッチAレジスタ有効 (注1) (注2)	0 : コンペアマッチAレジスタは無効 1 : コンペアマッチAレジスタは有効	R/W
b1	TOEA	AGTOAn出力許可 (注1) (注2)	0 : AGTOAn出力を禁止 1 : AGTOAn出力を許可	R/W
b2	TOPOLA	AGTOAn極性選択 (注1) (注2)	0 : AGTOAn出力をLowで開始 1 : AGTOAn出力をHighで開始	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TCMEB	コンペアマッチBレジスタ有効 (注1) (注2)	0 : コンペアマッチBレジスタは無効 1 : コンペアマッチBレジスタは有効	R/W
b5	TOEB	AGTOBn出力許可 (注1) (注2)	0 : AGTOBn出力を禁止 1 : AGTOBn出力を許可	R/W
b6	TOPOLB	AGTOBn極性選択 (注1) (注2)	0 : AGTOBn出力をLowで開始 1 : AGTOBn出力をHighで開始	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. カウント動作中は、AGTCMSR レジスタを書き換えないでください。AGTCMSR レジスタは、AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ書き換えてください。

注 2. パルス幅測定モードまたはパルス周期測定モード時は、1 にしないでください。



## 24.2.10 AGT 端子選択レジスタ (AGTIOSEL)

アドレス AGT0.AGTIOSEL 4008 400Fh, AGT1.AGTIOSEL 4008 410Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TIES	—	—	SEL[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SEL[1:0]	AGTIOn 端子選択	b1 b0 0 0 : AGTIOn_A の AGTIOn を選択 0 1 : 設定禁止 1 0 : AGTIOn_B の AGTIOn を選択 AGTIOn_B は入力専用です。出力することはできません。 1 1 : AGTIOn_C の AGTIOn を選択 AGTIOn_C は入力専用です。出力することはできません。	R/W (注1)
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TIES	AGTIOn 入力許可	0 : ソフトウェアスタンバイモード中、外部イベント入力を禁止 1 : ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. VBATT 端子からの電圧によって AGT が動作しているとき、バックアップ電源領域内の AGTIOn\_B と AGTIOn\_C は、AGT の外部イベント入力端子としてのみ使用できます。AGTIOn\_A は使用できません。AGTIOn\_B と AGTIOn\_C は入力専用です。
- 注 2. AGTIOn\_A を選択した場合、端子機能選択レジスタを設定する必要があります。「20. I/O ポート」を参照してください。
- 注 3. AGTIOn\_B または AGTIOn\_C を選択した場合、VBTICTLR レジスタを設定する必要があります。「12. バッテリバックアップ機能」を参照してください。

AGTIOSEL レジスタは、ソフトウェアスタンバイモード時に AGTIOn を使用する場合、AGTIOn 端子を設定するためのレジスタです。AGTIOSEL レジスタは、8 ビットのメモリ操作命令によって設定できます。

**SEL[1:0] ビット (AGTIOn 端子選択)**

AGTIOn 端子の機能を選択します。

**TIES ビット (AGTIOn 入力許可)**

外部イベント入力を許可または禁止します。

## 24.3 動作説明

### 24.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA または TCMEB ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタとカウンタに直接書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA または TCMEB ビットが 0 (コンペアマッチ A/B レジスタが無効) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、次のカウントソースと同期してカウンタに書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA または TCMEB ビットが 1 (コンペアマッチ A/B レジスタが有効) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値と TCMEA または TCMEB ビット値による書き換え動作のタイミングを図 24.2 および図 24.3 に示します。

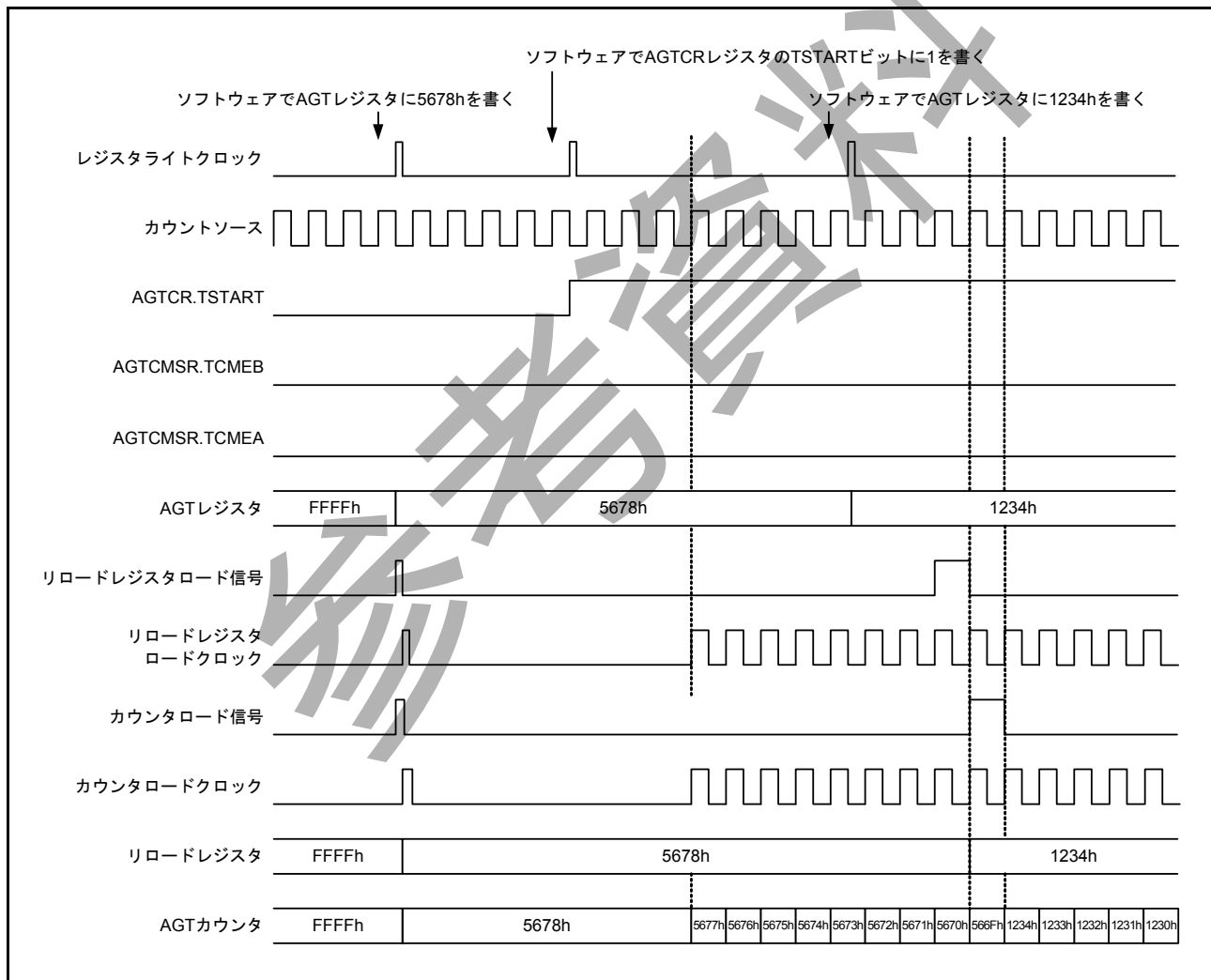


図 24.2 TSTART ビット値と TCMEA または TCMEB ビット値による書き換え動作のタイミング (コンペアマッチ A レジスタまたはコンペアマッチ B レジスタが無効の場合)

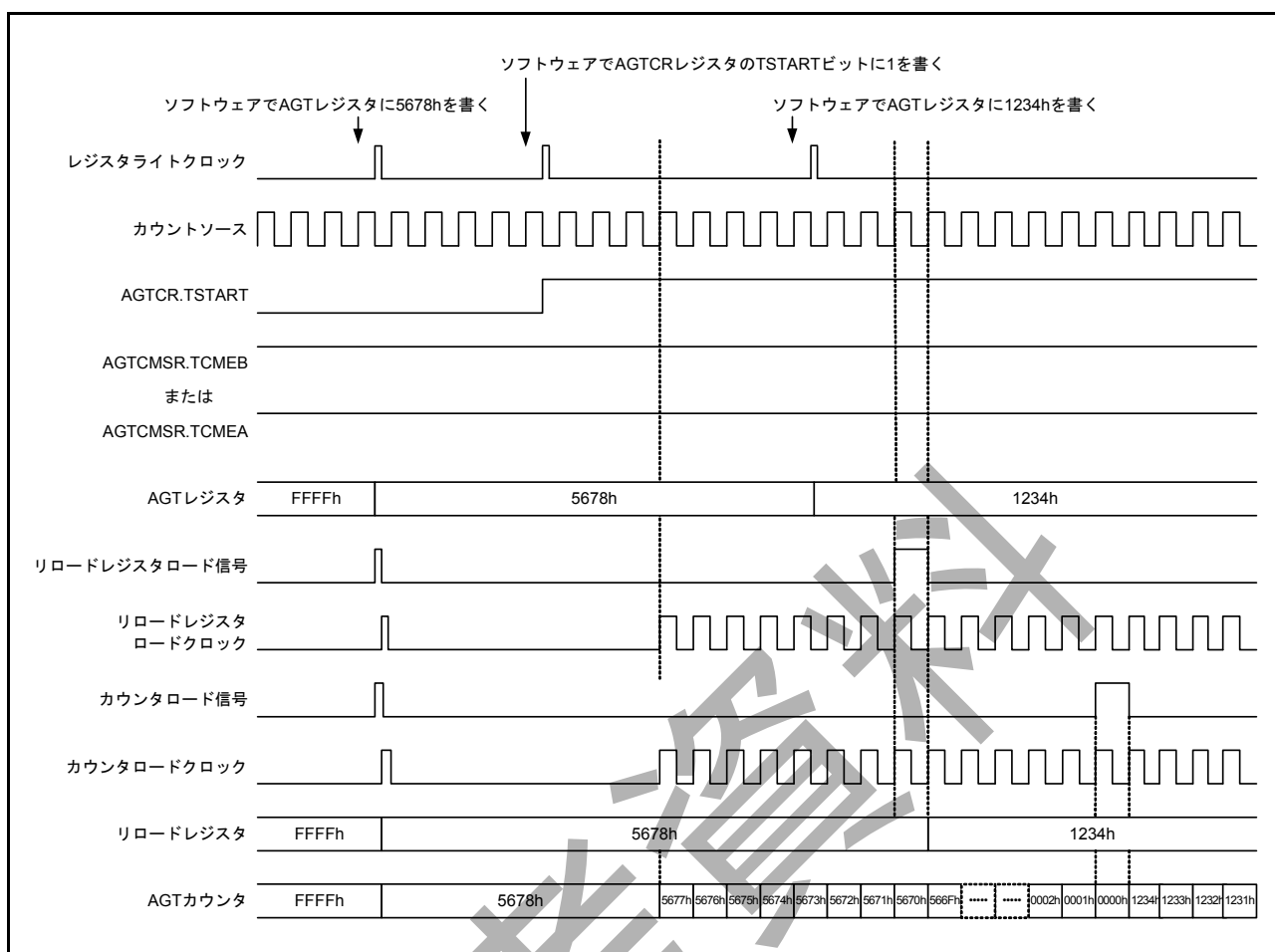


図 24.3 TSTART ビット値と TCMEA または TCMEB ビット値による書き換え動作のタイミング  
(コンペアマッチ A レジスタまたはコンペアマッチ B レジスタが有効の場合)

### 24.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作

動作モードにかかわらず、コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタとコンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1 (カウント開始) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

TSTART ビット値によるコンペアレジスタ A への書き換え動作のタイミングを図 24.4 に示します。コンペアレジスタ B の場合もコンペアレジスタ A と同じです。

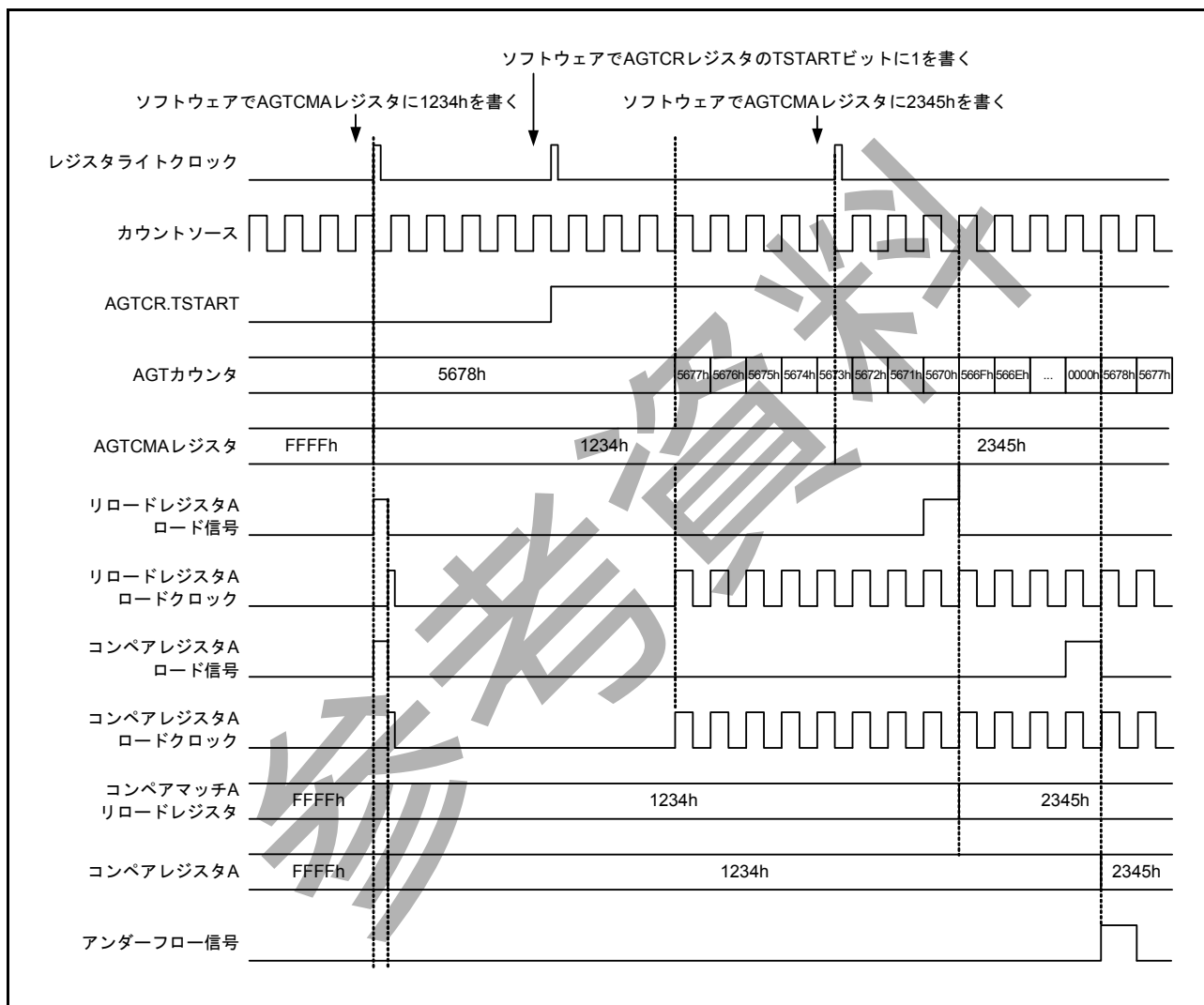


図 24.4 TSTART ビット値による書き換え動作のタイミング (コンペアレジスタ A の場合)

### 24.3.3 タイマモード

このモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに1ずつデクリメントします。カウント値が 0000h に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。

タイマモードでの動作例を図 24.5 に示します。

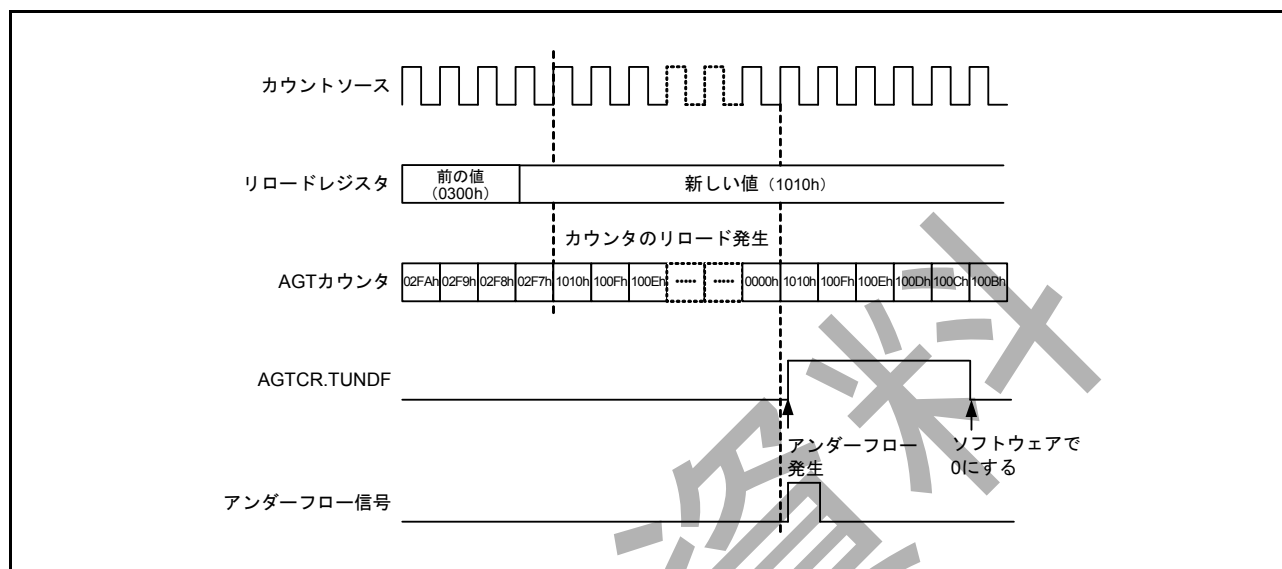


図 24.5 タイマモードでの動作例

### 24.3.4 パルス出力モード

このモードでは、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するたびに AGTIO<sub>n</sub> および AGTO<sub>n</sub> 端子の出力レベルは反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに1ずつデクリメントします。カウント値が 0000h に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTIO<sub>n</sub> および AGTO<sub>n</sub> 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTO<sub>n</sub> 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは、AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 24.6 に示します。

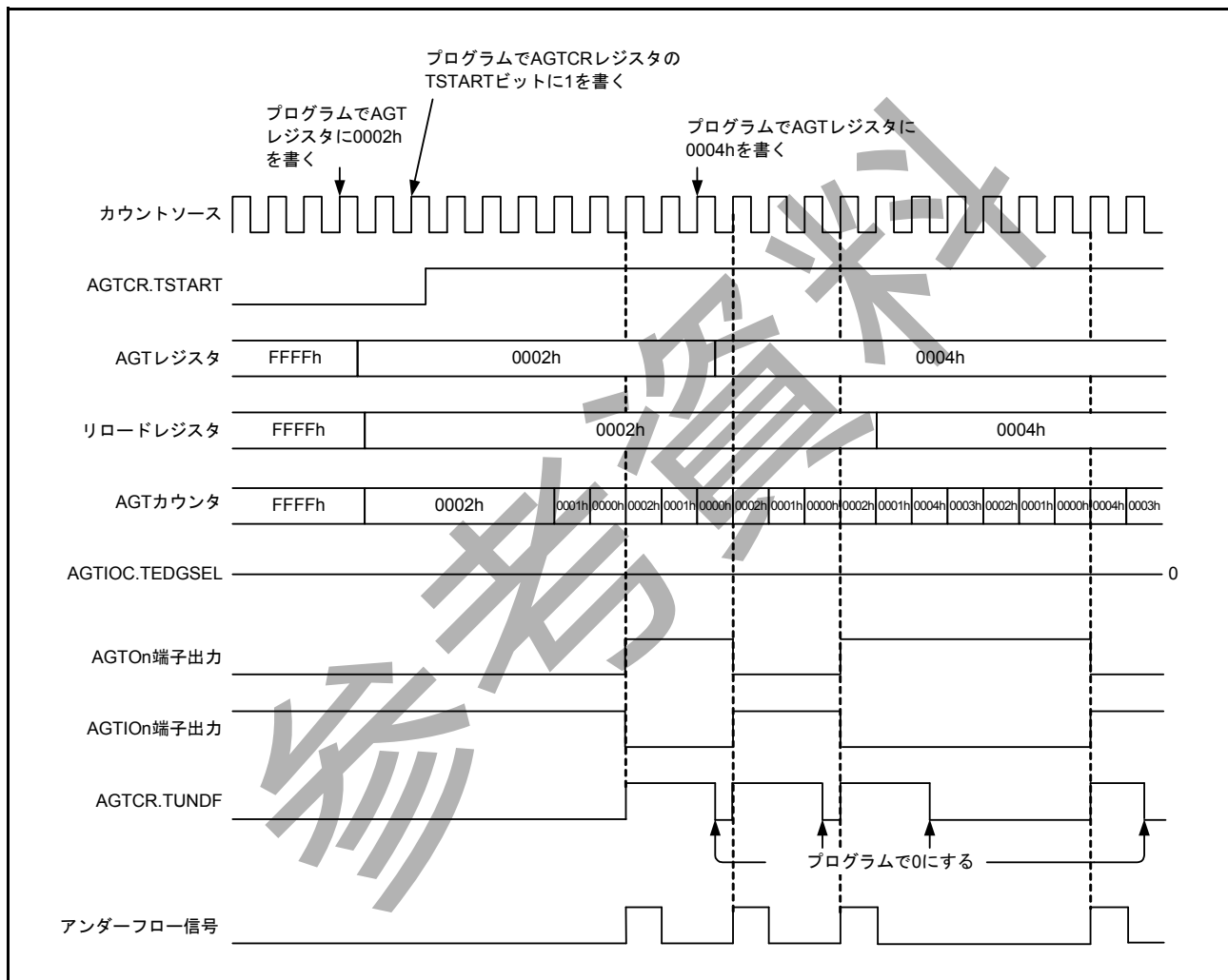


図 24.6 パルス出力モードでの動作例

### 24.3.5 イベントカウンタモード

このモードでは、カウンタは AGTIO<sub>n</sub> 端子への外部イベント信号入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0] ビットと AGTISR レジスタによってさまざまな設定が可能です。さらに、AGTIOC レジスタの TIPF[1:0] ビットによって、AGTIO<sub>n</sub> 入力用のフィルタ機能を指定できます。イベントカウンタモードでも、AGTIO<sub>n</sub> 端子からトグル出力が可能です。

イベントカウンタモードでの動作例を図 24.7 に示します。

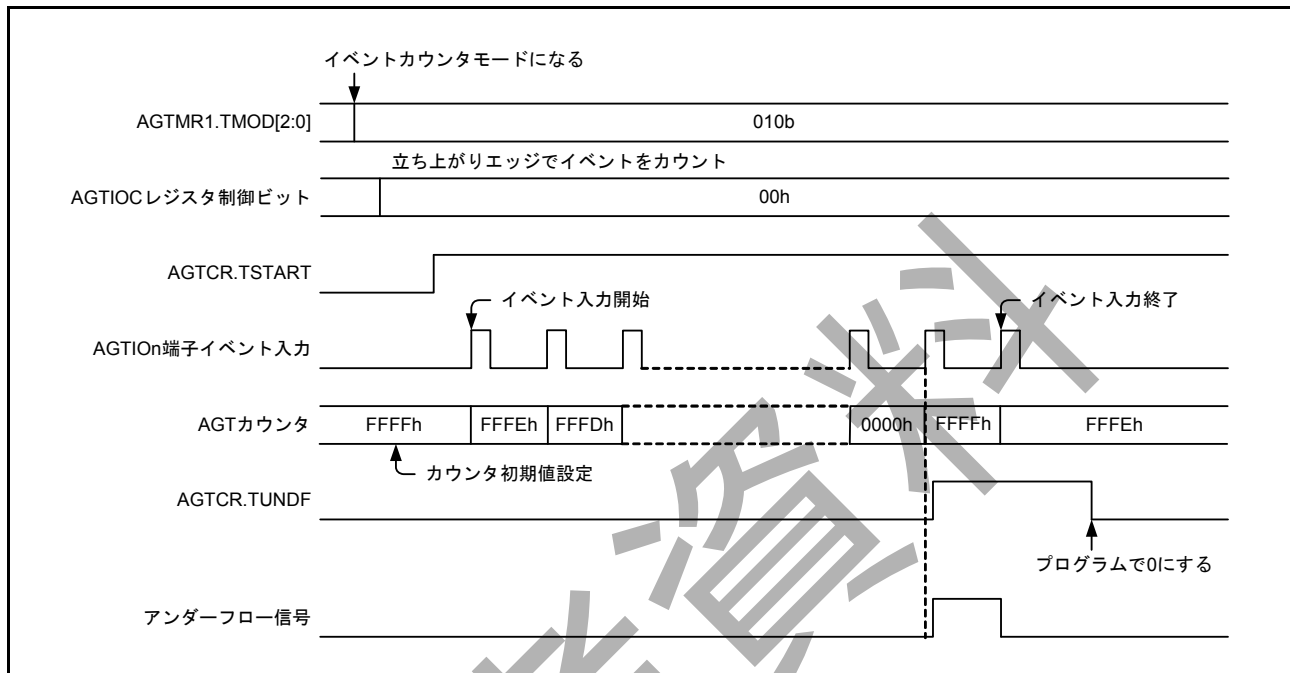


図 24.7 イベントカウンタモードでの動作例 1

イベントカウンタモード時に、指定された期間にイベントがカウントされるように (AGTIOC レジスタの TIOGT[1:0] ビットを 01b または 10b に設定) した場合の動作例を図 24.8 に示します。

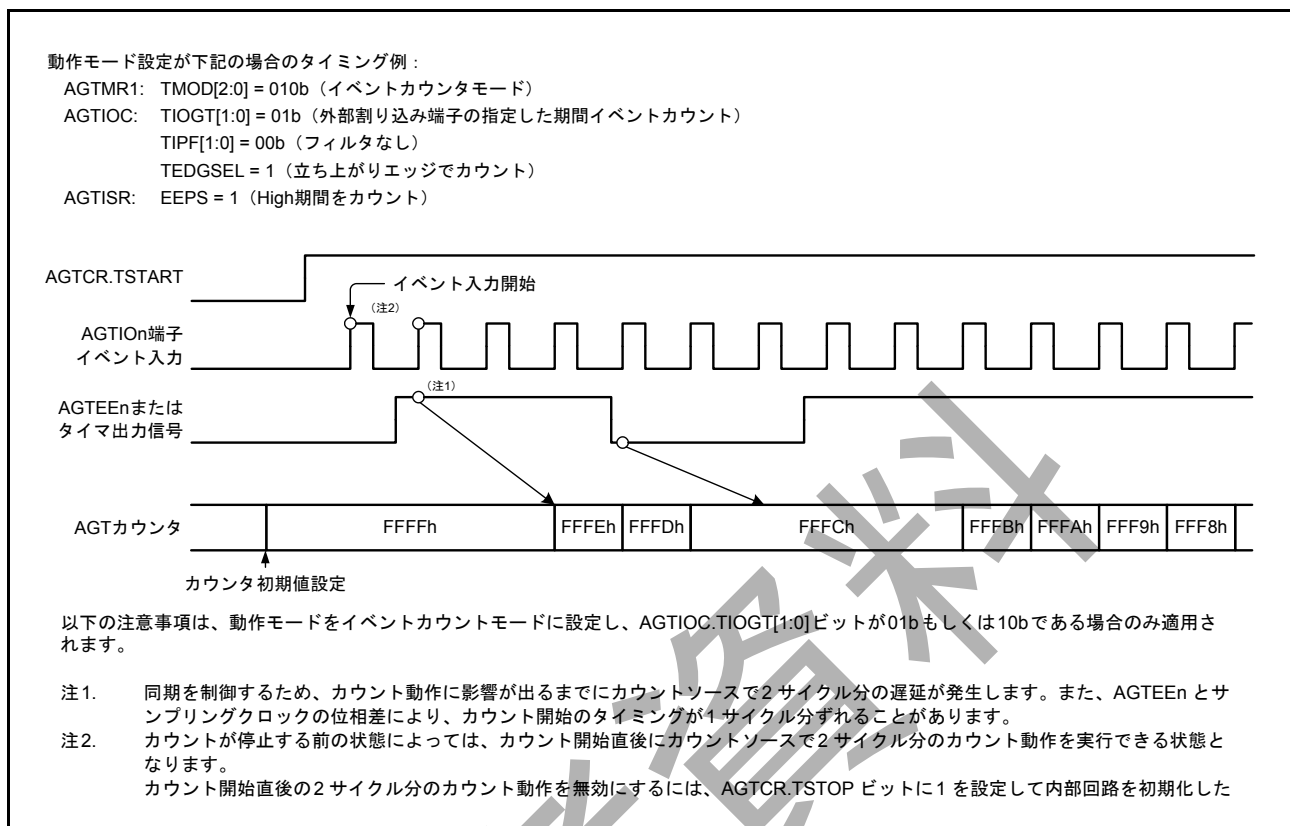


図 24.8 イベントカウンタモードでの動作例 2



### 24.3.6 パルス幅測定モード

このモードでは、AGTIO<sub>n</sub> 端子に入力される外部信号のパルス幅を測定します。

AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIO<sub>n</sub> 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIO<sub>n</sub> 端子レベルが終了すると、カウンタは停止して、AGTCR レジスタの TEDGF ビットが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。カウンタの停止中にカウント値を読み込むことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 になり、割り込み要求が発生します。

パルス幅測定モードでの動作例を図 24.9 に示します。

AGTCR レジスタの TEDGF および TUNDF ビットへアクセスするには、[24.4.2 フラグ \(AGTCR レジスタの TEDGF、TUNDF、TCMAF、および TCMBF ビット\)](#) へのアクセスを参照してください。

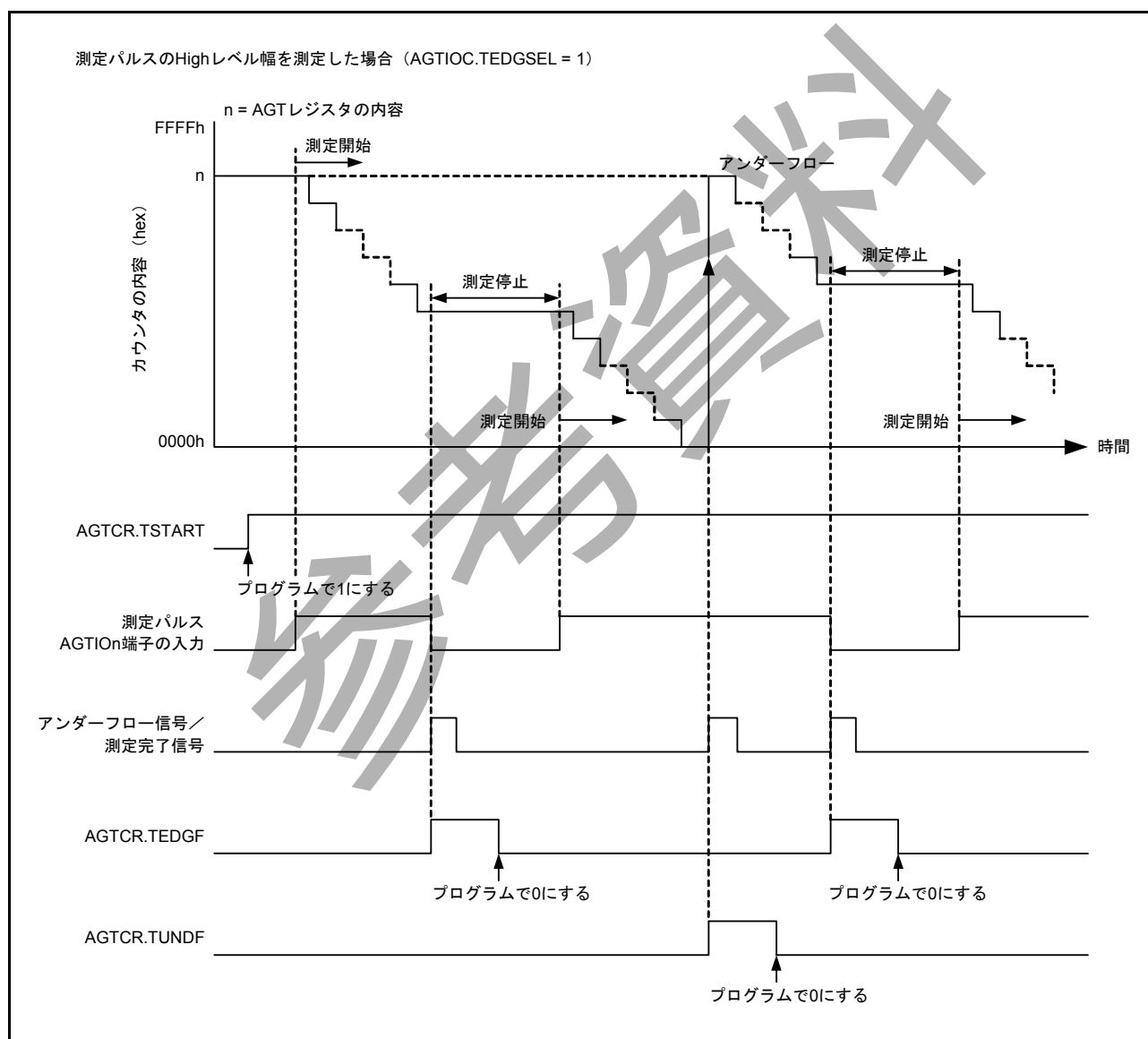


図 24.9 パルス幅測定モードでの動作例

### 24.3.7 パルス周期測定モード

このモードでは、AGTIO<sub>n</sub> 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIO<sub>n</sub> 端子に入力されると、カウント値が、カウントソースの立ち上がりエッジで読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF ビットが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。この時点で読み出しバッファ (AGT レジスタ) が読み出され、リロード値 (24.4.6 イベント番号、パルス幅、およびパルス周期の計算方法を参照) との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 24.10 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、両方ともカウントソースの周期より長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。

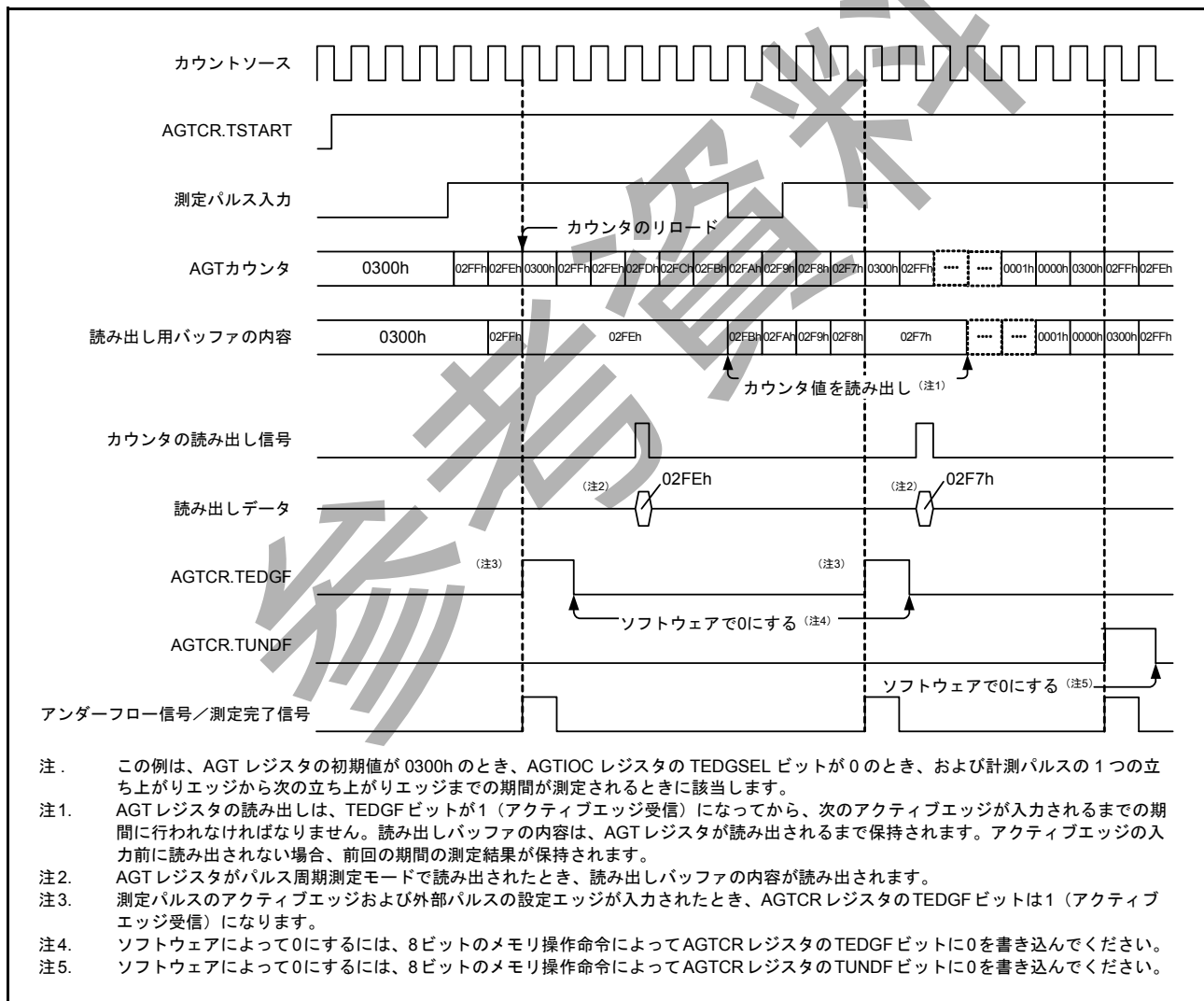


図 24.10 パルス周期測定モードでの動作例

### 24.3.8 コンペアマッチ機能

この機能は、AGTCMA または AGTCMB レジスタの内容と AGT レジスタの内容の一致 (コンペアマッチ) を検出します。この機能は、AGTCMSR レジスタの TCMEA または TCMEB ビットが 1 (コンペアマッチ A/B レジスタが有効) の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA または AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF ビットが 1 (一致) になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタでは、書き替え動作のタイミングが異なります。詳細は、[24.3.1 リロードレジスタおよびカウンタの書き換え動作](#)を参照してください。また、AGTOAn および AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA または TOPOLB ビットで選択できます。

参考資料

コンペアマッチモードでの動作例を図 24.11 に示します。

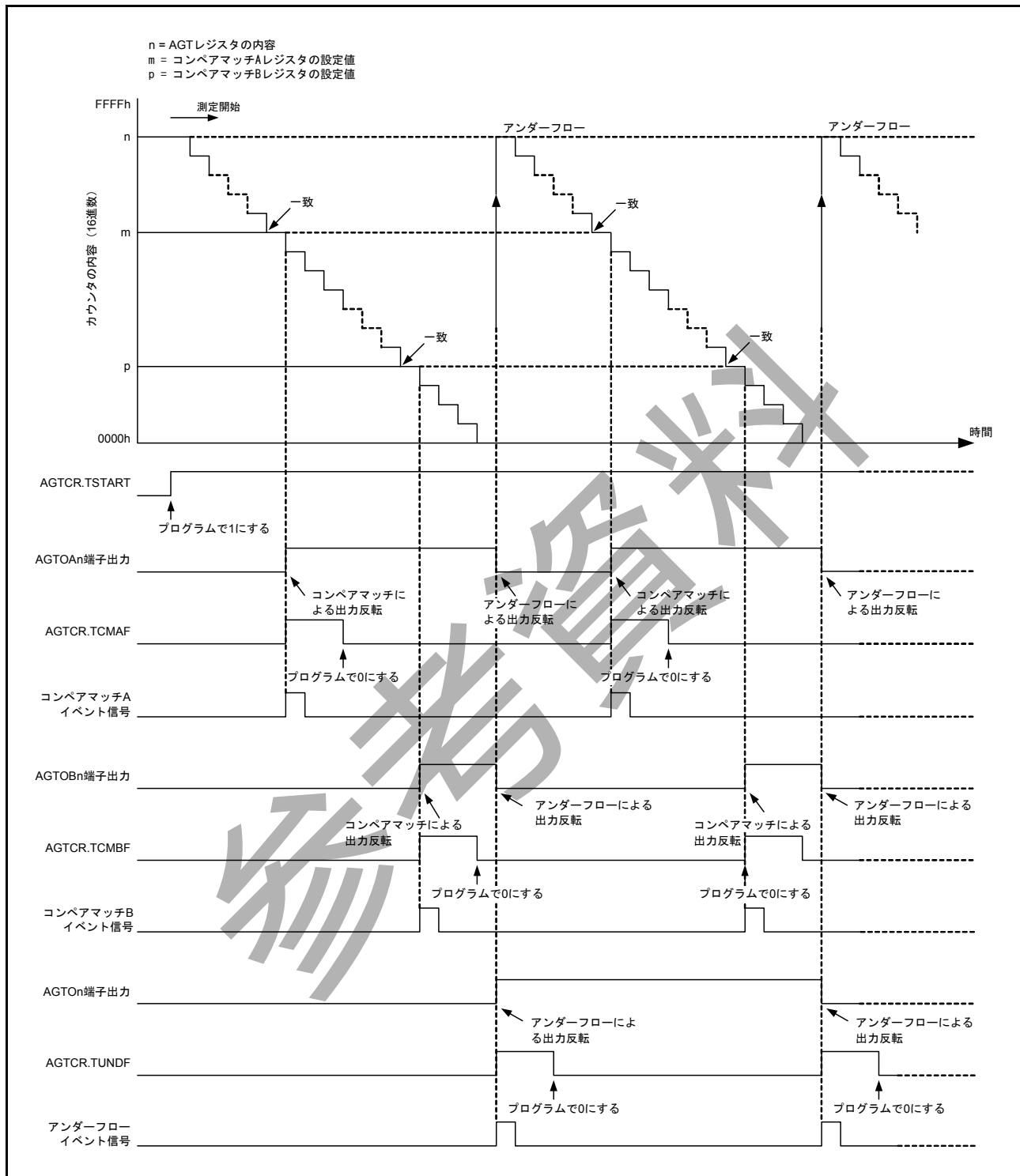


図 24.11 コンペアマッチモードでの動作例 (TOPOLA = 0、TOPOLB = 0 の場合)

## 24.3.9 各モードの出力設定

各モードでの AGTOn、AGTIOOn、AGTOAn、および AGTOBn 端子の状態を表 24.5 ~ 表 24.8 に示します。

表 24.5 AGTOn端子の設定

動作モード	AGTIOCレジスタ		AGTOn端子出力
	TOEビット	TEDGSELビット	
全モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止

表 24.6 AGTIO0端子の設定

動作モード	AGTIOCレジスタ		AGTIO0端子入出力
	TEDGSELビット		
タイマモード	0または1		入力 (使用しない)
パルス出力モード	1		通常出力
	0		反転出力
イベントカウンタモード	0または1		入力
パルス幅測定モード			
パルス周期測定モード			

表 24.7 AGTOAn端子の設定

動作モード	AGTCMSRレジスタ		AGTOAn端子出力
	TOEAビット	TOPOLAビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
イベントカウンタモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

表 24.8 AGTOBn端子の設定 (1/2)

動作モード	AGTCMSRレジスタ		AGTOBn端子出力
	TOEBビット	TOPOLBビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)

表 24.8 AGTOBn端子の設定 (2/2)

動作モード	AGTCMSRレジスタ		AGTOBn端子出力
	TOEBビット	TOPOLBビット	
パルス出力モード	1	1	反転出力
		0	通常出力
イベントカウンタモード	1	1	反転出力
		0	通常出力
パルス幅測定モード	0	0または1	出力禁止 (使用しない)
		0	禁止
パルス周期測定モード	0	0	禁止

### 24.3.10 スタンバイモード

AGTはソフトウェアスタンバイモードでも動作可能です。カウント開始 (TSTART = 1 および TCSTF = 1) の状態で、ソフトウェアスタンバイモードに設定してください。

ソフトウェアスタンバイモードで使用可能な設定を表 24.9 および表 24.10 に示します。

表 24.9 ソフトウェアスタンバイモードで使用可能な設定 (AGT0)

動作モード	AGTMR1レジスタの TCK[2:0]ビット	動作クロック	CPUの回復要因
タイマモード	100bまたは110b	AGTLCLKまたはAGTSCLK	-
パルス出力モード	100bまたは110b	AGTLCLKまたはAGTSCLK	-
イベントカウンタモード	- (無効)	AGTIO <sub>n</sub>	-
パルス幅測定モード	100bまたは110b	AGTLCLKまたはAGTSCLK	-
パルス周期測定モード	100bまたは110b	AGTLCLKまたはAGTSCLK	-

表 24.10 ソフトウェアスタンバイモードで使用可能な設定 (AGT1)

動作モード	AGTMR1レジスタの TCK[2:0]ビット	動作クロック	CPUの回復要因
タイマモード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、ま たはAGT0アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>コンペアマッチA/B</li> </ul>
パルス出力モード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、ま たはAGT0アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>コンペアマッチA/B</li> </ul>
イベントカウンタモード	- (無効)	AGTIO <sub>n</sub>	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>コンペアマッチA/B</li> </ul>
パルス幅測定モード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、ま たはAGT0アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>アクティブエッジ</li> </ul>
パルス周期測定モード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、ま たはAGT0アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>アクティブエッジ</li> </ul>

注. ソフトウェアスタンバイモードの解除はAGT1のみです。

注1. AGT0が表 24.9の状態で作動している場合のみ。

### 24.3.11 割り込み要因

AGT には、表 24.11 に示すように、3 種類の割り込み要因があります。

表 24.11 AGTの割り込み要因

名称	割り込み要因	DMAC/DTCの 起動
AGTn_AGTI	<ul style="list-style-type: none"> <li>• カウンタがアンダーフローしたとき</li> <li>• 外部入力 (AGTIOn) のアクティブ幅の測定がパルス幅測定モードで終了したとき</li> <li>• 外部入力 (AGTIOn) の設定エッジがパルス周期測定モードで入力されたとき</li> </ul>	可能
AGTn_AGTCMAI	AGTとAGTCMAの値が一致したとき	可能
AGTn_AGTCMBI	AGTとAGTCMBの値が一致したとき	可能

注. チャンネル番号 (n = 0, 1)

### 24.3.12 ELC へのイベント信号出力

AGT はイベントリンクコントローラ (ELC) を用いて、割り込み要求信号をイベント信号として使用することにより、指定したモジュールに対するリンク動作の実行が可能です。AGT は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー/測定完了信号をイベント信号として出力します。詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

## 24.4 使用上の注意事項

### 24.4.1 カウント動作の開始および停止制御

- イベントカウントモードに設定されている場合、またはカウントソースが AGT0 アンダーフロー (TCK[2:0]=101b) 以外に設定されている場合

カウント停止中に AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、カウントソースの 3 サイクル中は、AGTCR レジスタの TCSTF ビットは 0 (カウント停止) のままです。TCSTF ビットが 1 (カウント実行中) になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。

カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、カウントソースの 3 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。

TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「[14. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

注 1. AGT 関連レジスタ : AGT、AGTCMA、AGTCMB、AGTCR、AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR

- イベントカウントモードに設定されている場合、またはカウントソースが AGT0 アンダーフロー (TCK[2:0]=101b) に設定されている場合

カウント停止中に AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、PCLKB の 2 サイクル中は、AGTCR レジスタの TCSTF ビットは 0 (カウント停止) のままです。TCSTF ビットが 1 (カウント実行中) になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。

カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、PCLKB の 2 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。

TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「[14. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

注 1. AGT 関連レジスタ : AGT、AGTCMA、AGTCMB、AGTCR、AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR

### 24.4.2 フラグ (AGTCR レジスタの TEDGF、TUNDF、TCMAF、および TCMBF ビット) へのアクセス

AGTCR レジスタの TEDGF、TUNDF、TCMAF、および TCMBF ビットは、0 を書き込むと 0 にクリアされますが、1 を書き込んでも無効です。

リードモディファイライト命令によって AGTCR レジスタを設定する場合、命令実行中に下記のビットを 1 にしても、タイミング次第では、TEDGF、TUNDF、TCMAF、および TCMBF ビットが誤って 0 になる場合があります。

- TCMBF (一致)
- TCMAF (一致)
- TEDGF (アクティブエッジ受信)
- TUNDF (アンダーフロー)

AGTCR レジスタにアクセスするには、8 ビットのメモリ操作命令を使用してください。



### 24.4.3 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART および TCSTF ビットがともに 1 (カウント開始) の場合、AGT レジスタへ連続して書き込むときの書き込み間隔には、カウントソースクロックで 3 サイクル以上の余裕が必要です。

### 24.4.4 モード変更時

AGT の動作モードに関連するレジスタ (AGTMR1、AGTMR2、AGTIOC、AGTISR、AGTCMSR、AGTIOC) は、TSTART および TCSTF ビットがともに 0 (カウント停止) になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF ビットの値は不定となります。カウントを開始する前に、以下のビットに 0 を書き込んでください。

- TEDGF (アクティブエッジ未受信)
- TUNDF (アンダーフローなし)
- TCMAF (不一致)
- TCMBF (不一致)

### 24.4.5 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0] ビットを設定した後、および AGTIOC レジスタの TEDGSEL ビットを変更した場合は、デジタルフィルタクロックの 5 サイクル中はタイマ動作を開始しないでください。

### 24.4.6 イベント番号、パルス幅、およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号が次式で計算されます。  
イベント番号 = カウンタ [AGT レジスタ] の初期値 - アクティブイベント終了のカウンタ値
- パルス幅測定モードでは、パルス幅が次式で計算されます。  
パルス幅 = 測定停止のカウンタ値 - 次の測定停止のカウンタ値
- パルス周期測定モードでは、入力パルス周期が次式で計算されます。  
入力パルス周期 = (カウンタ [AGT レジスタ] の初期値 - 読み出しバッファの読み出し値) + 1

### 24.4.7 TSTOP ビットで強制的にカウントを停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制的に停止した後、カウントソースの 1 サイクル中は、下記の I/O レジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

#### 24.4.8 カウントソースとして AGT0 アンダーフローを選択した場合

カウントソースとして AGT のアンダーフロー信号を選択した場合、以下の手順に従って AGT を操作してください。

##### (1) 動作開始手順

1. AGT0 および AGT1 を設定します。
2. AGT0 のカウント動作を開始します。
3. AGT1 のカウント動作を開始します。

##### (2) 動作停止手順

1. AGT1 のカウント動作を停止します。
2. AGT0 のカウント動作を停止します。

#### 24.4.9 I/O レジスタのリセット

AGT の I/O レジスタは、リセットの種類によっては初期化されません。詳細は、「6. リセット」を参照してください。

#### 24.4.10 カウントソースとして PCLKB/8 を選択した場合

リセット発生後、AGT の動作は保証されません。AGT 関連レジスタを再設定してください。

#### 24.4.11 カウントソースとして AGTLCLK または AGTSCLK を選択した場合

MSTPCRD レジスタの MSTPD2 ビットは、AGT1 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPCRD レジスタの MSTPD3 ビットは、AGT0 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPD2 または MSTPD3 ビットが 0 の状態でリセットが発生した場合、AGT1 または AGT0 の動作は保証されません。AGT 関連レジスタを再設定してください。

#### 24.4.12 カウントソースクロック周波数が 32kHz を超える場合の AGT 動作

1. AGT1 は使用できますが、AGT0 は使用できません。MSTPCRD.MSTPD3 ビットは 1 にしてください。AGT0 のカウントソースは、アンダーフローイベント信号に使用可能です。
2. AGT の動作中は、VBATT バックアップレジスタにはアクセスできません。VBATT バックアップレジスタを使用する場合は、AGT 動作を停止してください。MSTPCRD.MSTPD3 ビットと MSTPCRD.MSTPD2 ビットは 1 にしてください。
3. 入力周波数 ( $t_{ACYC}$ ) でのイベントカウンタモードについては、「51. 電气的特性」を参照してください。

## 25. リアルタイムクロック (RTC)

### 25.1 概要

RTCには、カレンダーカウントモードとバイナリカウントモードの2種類のカウントモードがあり、レジスタ設定を切り替えることで使用します。カレンダーカウントモードでは、RTCは2000年から2099年まで100年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTCは秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに利用可能です。

時計カウンタのカウントソースとして、サブクロックまたはLOCOを選択できます。RTCは、カウントソースをプリスケアラで分周して得られた128Hzクロックを使用します。年、月、日、曜日、午前/午後(12時間モード時)、時、分、秒、または32ビットバイナリを1/128秒単位でカウントします。

注. コールドスタート後は、VBATT機能を使用するか否かにかかわらず、VBTCR1.BPWSWSTPビットを1にしてから、RTCレジスタにアクセスしてください。詳細は、「12. バッテリバックアップ機能」の図12.2 VBTCR1.BPWSWSTPビットの設定フローチャートを参照してください。

表25.1にRTCの仕様を、図25.1にRTCのブロック図を、表25.2にRTCの入出力端子を示します。

表 25.1 RTCの仕様

項目	内容
カウントモード	カレンダーカウントモード/バイナリカウントモード
カウントソース (注1)	サブクロック (XCIN) またはLOCO
時計/カレンダー機能	<ul style="list-style-type: none"> <li>• カレンダーカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD表示 12時間/24時間モード切り替え機能 30秒調整機能 (30秒未満は00秒に切り捨て、30秒以上は1分に切り上げ) うるう年自動補正機能</li> <li>• バイナリカウントモード 秒を32ビットでカウント、バイナリ表示</li> <li>• 両モード共通 スタート/ストップ機能 秒以下の桁のバイナリ表示 (1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) 時計誤差補正機能 クロック (1Hz/64Hz) 出力</li> </ul>
割り込み	<ul style="list-style-type: none"> <li>• アラーム割り込み (RTC_ALM) アラーム割り込み条件として、比較対象を下記から選択可能 カレンダーカウントモード: 年、月、日、曜日、時、分、秒 バイナリカウントモード: 32ビットバイナリカウンタの各ビット</li> <li>• 周期割り込み (RTC_PRD) 割り込み周期として、2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒から選択可能</li> <li>• 桁上げ割り込み (RTC_CUP) 次のいずれかの条件で割り込み発生 • 64Hzカウンタから秒カウンタへ桁上げが生じたとき • 64Hzカウンタの変化とR64CNTレジスタの読み出しタイミングが重なったとき • アラーム割り込みまたは周期割り込みによる、ソフトウェアスタンバイモードからの復帰が可能</li> </ul>
時間キャプチャ機能	<ul style="list-style-type: none"> <li>• 時間キャプチャイベント入力端子のエッジ検出時に、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、および秒をキャプチャ、または32ビットバイナリカウンタ値をキャプチャ</li> </ul>
イベントリンク機能	周期イベント出力 (RTC_PRD)

注1. 周辺モジュールクロック (PCLKB) 周波数  $\geq$  カウントソースクロック周波数となるように設定してください。

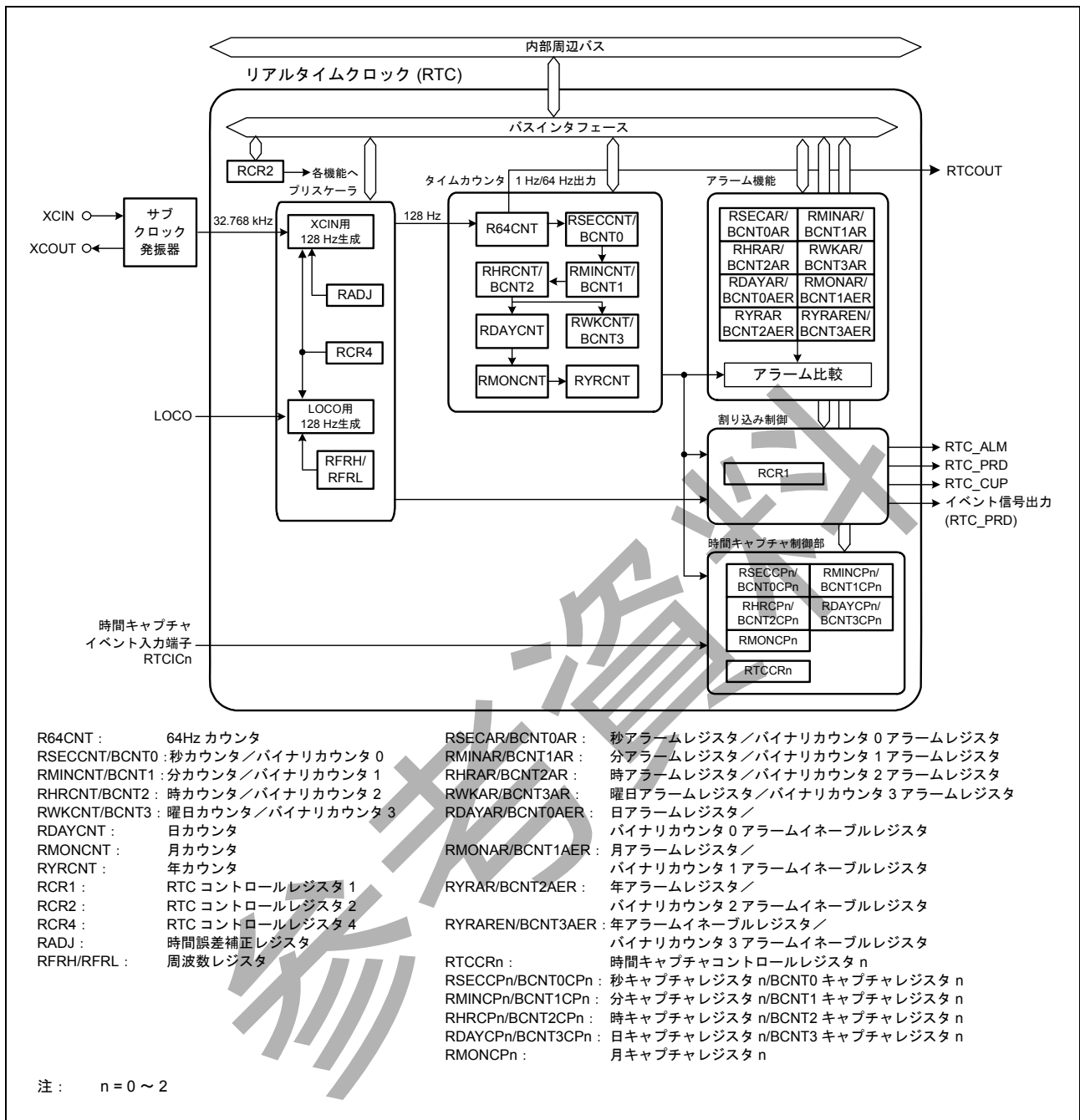


図 25.1 RTC のブロック図

表 25.2 RTC の入出力端子

端子名	入出力	機能
XCIN	入力	32.768kHzの水晶振動子を接続します。
XCOUT	出力	
RTCOUT	出力	1Hz/64Hz 波形出力に使用します。
RTCIC0	入力	時間キャプチャイベント入力端子です。
RTCIC1	入力	
RTCIC2	入力	

## 25.2 レジスタの説明

RTC レジスタの書き込み／読み出しは、[25.6.5 レジスタの書き込み／読み出し時の注意事項](#)に従って行ってください。

RTC レジスタのビット一覧で、リセット後の値が x (不定) になっているビットは、リセットで初期化されません。カウント動作時 (たとえば RCR2.START ビットが 1 のとき) に、RTC がリセット状態または低消費電力状態へ遷移した場合、年／月／曜日／日／時／分／秒／64Hz カウンタは動作を継続します。

注. レジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊される可能性があります。また、どのレジスタに対しても、その設定直後は、ソフトウェアスタンバイモードへ遷移しないでください。詳細は、[25.6.4 レジスタ設定後の低消費電力モードへの遷移について](#)を参照してください。

### 25.2.1 64Hz カウンタ (R64CNT)

アドレス [RTC.R64CNT 4004 4000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値	0	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	<a href="#">F64HZ</a>	64Hz	秒以下の桁の 1Hz～64Hz の状態を示します。	R
b1	<a href="#">F32HZ</a>	32Hz		R
b2	<a href="#">F16HZ</a>	16Hz		R
b3	<a href="#">F8HZ</a>	8Hz		R
b4	<a href="#">F4HZ</a>	4Hz		R
b5	<a href="#">F2HZ</a>	2Hz		R
b6	<a href="#">F1HZ</a>	1Hz		R
b7	—	予約ビット	読むと 0 が読めます。書き込みは無効です。	R

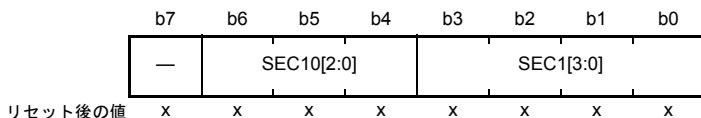
R64CNT カウンタは、カレンダーカウントモード／バイナリカウントモード共通で使用します。64Hz カウンタ (R64CNT) は、128Hz クロックでアップカウントするカウンタで、秒周期を生成します。このカウンタを読み出すことで、秒以下の領域の状態を確認できます。

このカウンタは、RTC ソフトウェアリセットまたは 30 秒調整によって 00h になります。このカウンタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

## 25.2.2 秒カウンタ (RSECNT) / バイナリカウンタ 0 (BCNT0)

### (1) カレンダーカウントモード時

アドレス [RTC.RSECNT 4004 4002h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">SEC1[3:0]</a>	1秒カウント	1秒ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b6-b4	<a href="#">SEC10[2:0]</a>	10秒カウント	0から5までカウントして、60秒カウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

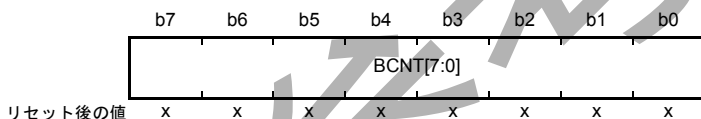
RSECNT カウンタは、BCD コード化された秒の値を設定およびカウントします。64Hz カウンタでの 1 秒ごとの桁上げによってカウントします。

設定可能範囲は 10 進で 00 ~ 59 です。これ以外の値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。

このカウンタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT0 4004 4002h](#)



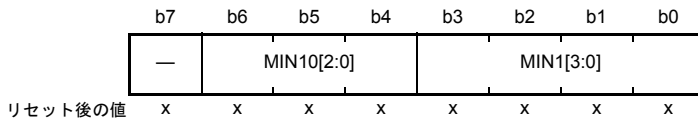
x: 不定

BCNT0 は、書き込み/読み出し可能な 32 ビットバイナリカウンタの b7 ~ b0 です。32 ビットバイナリカウンタは、64Hz カウンタでの 1 秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

### 25.2.3 分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)

#### (1) カレンダーカウントモード時

アドレス [RTC.RMINCNT 4004 4004h](#)



x: 不定

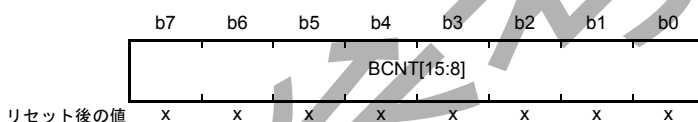
ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">MIN1[3:0]</a>	1分カウント	1分ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b6-b4	<a href="#">MIN10[2:0]</a>	10分カウント	0から5までカウントして、60分カウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RMINCNT カウンタは、BCD コード化された分の値を設定およびカウントします。秒カウンタでの1分ごとの桁上げによってカウントします。

設定可能範囲は10進 (BCD) で00～59です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

#### (2) バイナリカウントモード時

アドレス [RTC.BCNT1 4004 4004h](#)



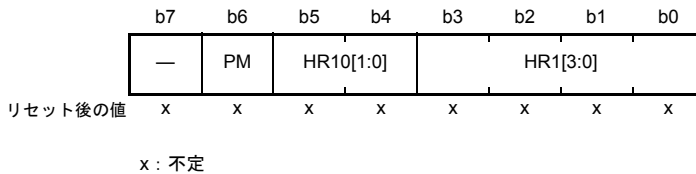
x: 不定

BCNT1 カウンタは、書き込み/読み出し可能な、32ビットバイナリカウンタのb15～b8です。32ビットバイナリカウンタは、64Hz カウンタでの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

## 25.2.4 時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)

### (1) カレンダーカウントモード時

アドレス [RTC.RHRCNT 4004 4006h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">HR1[3:0]</a>	1時間カウンタ	1時間に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b5-b4	<a href="#">HR10[1:0]</a>	10時間カウンタ	一の位からの桁上げごとに1回、0から2までカウントします。	R/W
b6	PM	PM	時計カウンタのAM/PMの設定 0: 午前 1: 午後	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

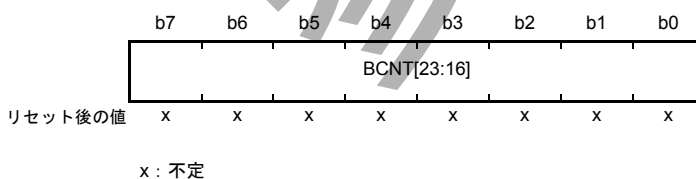
RHRCNT カウンタは、BCD コード化された時間の値を設定およびカウントします。分カウンタでの1時間ごとの桁上げによってカウントします。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00 ~ 11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00 ~ 23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。PM ビットは、RCR2.HR24 ビットが 0 の場合にのみ有効です。それ以外では、PM ビットの設定値は無効です。このカウンタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT2 4004 4006h](#)



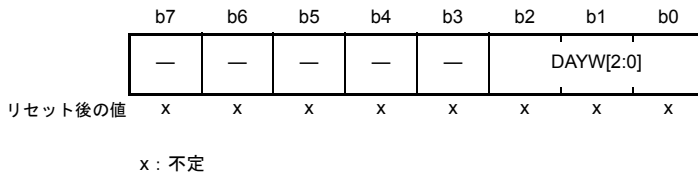
BCNT2 カウンタは、書き込み/読み出し可能な 32 ビットバイナリカウンタの b23 ~ b16 です。32 ビットバイナリカウンタは、64Hz カウンタでの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。



### 25.2.5 曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)

#### (1) カレンダーカウントモード時

アドレス [RTC.RWKCNT 4004 4008h](#)

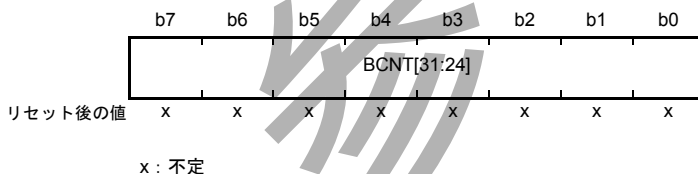


ビット	シンボル	ビット名	機能	R/W
b2-b0	<a href="#">DAYW[2:0]</a>	曜日カウンタ	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定禁止	R/W
b7-b3	—	予約ビット	これらのビットは0にしてください。読むと設定値が読めます。	R/W

RWKCNT カウンタは、コード化された曜日の値を設定およびカウントします。時カウンタでの1日ごとの桁上げによってカウントします。設定可能範囲は0～6です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

#### (2) バイナリカウントモード時

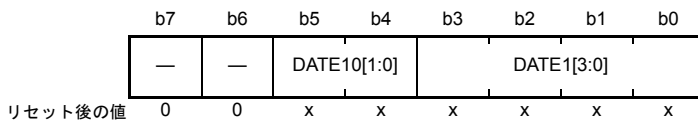
アドレス [RTC.BCNT3 4004 4008h](#)



BCNT3 は、書き込み/読み出し可能な32ビットバイナリカウンタのb31～b24です。64Hzカウンタでの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

### 25.2.6 日カウンタ (RDAYCNT)

アドレス [RTC.RDAYCNT 4004 400Ah](#)



x: 不定

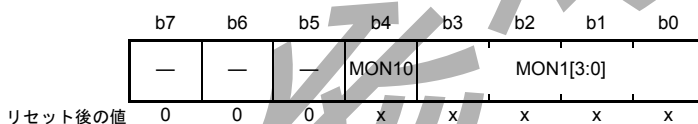
ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">DATE1[3:0]</a>	1日カウンタ	1日に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b5-b4	<a href="#">DATE10[1:0]</a>	10日カウンタ	一の位からの桁上げごとに1回、0から3までカウントします。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RDAYCNT カウンタは、カレンダーカウントモード時に使用され、BCD コード化された日の値を設定およびカウントします。時カウンタでの1日ごとの桁上げによってカウントします。カウント動作は、月によっても、うるう年か否かによっても異なります。うるう年は、年カウンタ (RYRCNT) の値が 400、100、および 4 で割り切れるか否かで判定されます。

設定可能範囲は 10 進 (BCD) で 01 ~ 31 です。この範囲にない値が設定されると、RTC は正常に動作しません。値を設定する際は、指定可能な日数範囲が月によっても、うるう年か否かによっても異なるので注意してください。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

### 25.2.7 月カウンタ (RMONCNT)

アドレス [RTC.RMONCNT 4004 400Ch](#)



x: 不定

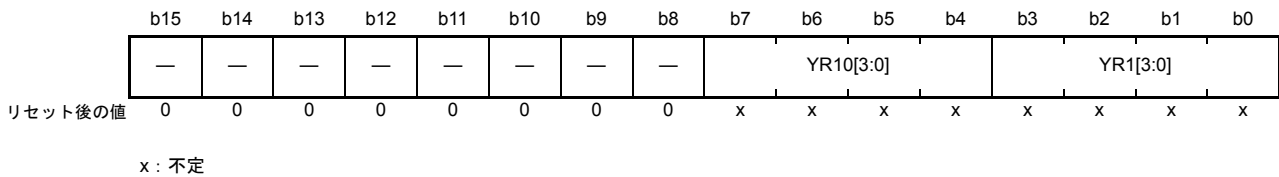
ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">MON1[3:0]</a>	1月カウンタ	1月に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b4	<a href="#">MON10</a>	10月カウンタ	一の位からの桁上げごとに1回、0から1までカウントします。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RMONCNT カウンタは、カレンダーカウントモード時に使用され、BCD コード化された月の値を設定およびカウントします。日カウンタでの1月ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 01 ~ 12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

## 25.2.8 年カウンタ (RYRCNT)

アドレス RTC.RYRCNT 4004 400Eh



ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年カウンタ	1年に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b7-b4	YR10[3:0]	10年カウンタ	一の位からの桁上げごとに1回、0から9までカウントします。十の位に桁上げが生じると、百の位が+1されます。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

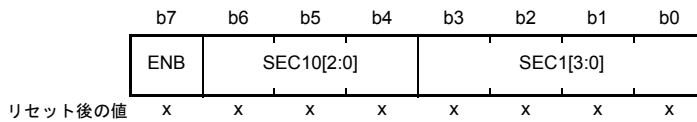
RYRCNT カウンタは、カレンダーカウントモード時に使用され、BCD コード化された年の値を設定およびカウントします。月カウンタでの1年ごとの桁上げによってカウントします。

設定可能範囲は10進 (BCD) で00～99です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

## 25.2.9 秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)

### (1) カレンダーカウントモード時

アドレス [RTC.RSECAR 4004 4010h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">SEC1[3:0]</a>	1 秒	一秒の位の設定値	R/W
b6-b4	<a href="#">SEC10[2:0]</a>	10 秒	十秒の位の設定値	R/W
b7	<a href="#">ENB</a>	ENB	0: このレジスタ値と RSECCNT カウンタ値との比較を行わない 1: このレジスタ値と RSECCNT カウンタ値との比較を行う	R/W

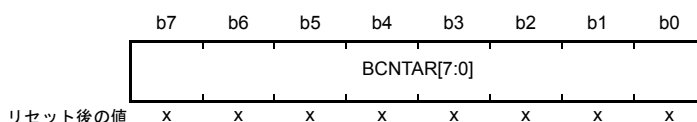
RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RSECAR レジスタ値が RSECCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。RSECAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT0AR 4004 4010h](#)



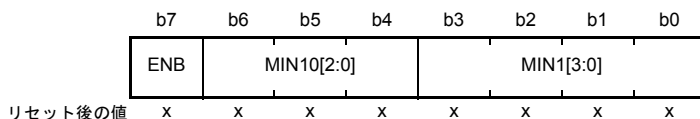
x: 不定

BCNT0AR は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b7 ~ b0 に対応するアラームレジスタです。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

## 25.2.10 分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR)

### (1) カレンダーカウントモード時

アドレス [RTC.RMINAR 4004 4012h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">MIN1[3:0]</a>	1分	一分の位の設定値	R/W
b6-b4	<a href="#">MIN10[2:0]</a>	10分	十分の位の設定値	R/W
b7	<a href="#">ENB</a>	ENB	0: このレジスタ値とRMINCNTカウンタ値との比較を行わない 1: このレジスタ値とRMINCNTカウンタ値との比較を行う	R/W

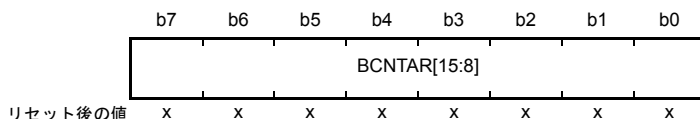
RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RMINAR レジスタ値が RMINCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。RMINAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT1AR 4004 4012h](#)



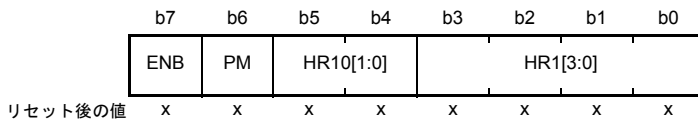
x: 不定

BCNT1AR は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b15 ~ b8 に対応するアラームレジスタです。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

## 25.2.11 時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)

### (1) カレンダーカウントモード時

アドレス [RTC.RHRAR 4004 4014h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">HR1[3:0]</a>	1時間	一時間の位の設定値	R/W
b5-b4	<a href="#">HR10[1:0]</a>	10時間	十時間の位の設定値	R/W
b6	<a href="#">PM</a>	PM	時計アラームのAM/PMの設定 0: 午前 1: 午後	R/W
b7	<a href="#">ENB</a>	ENB	0: このレジスタ値とRHCNTカウンタ値との比較を行わない 1: このレジスタ値とRHCNTカウンタ値との比較を行う	R/W

RHRAR レジスタは、BCD コード化された時カウンタ (RHCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RHRAR レジスタ値が RHCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

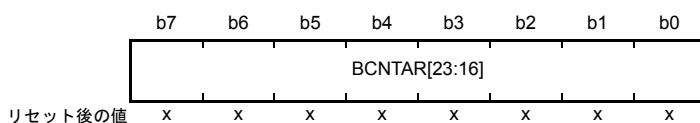
- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00 ~ 11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00 ~ 23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。RCR2.HR24 ビットが 0 の場合、必ず PM ビットを設定してください。RCR2.HR24 ビットが 1 の場合、PM ビットの設定値は無効です。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

## (2) バイナリカウントモード時

アドレス [RTC.BCNT2AR 4004 4014h](#)

x: 不定

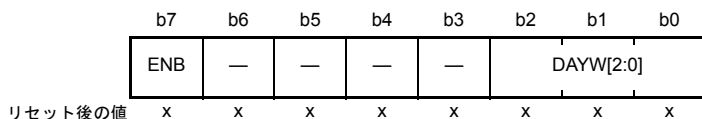
BCNT2AR は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b23 ~ b16 に対応するアラームレジスタです。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

参考資料

## 25.2.12 曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)

### (1) カレンダーカウントモード時

アドレス [RTC.RWKAR 4004 4016h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	<a href="#">DAYW[2:0]</a>	曜日設定	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定禁止	R/W
b6-b3	—	予約ビット	これらのビットは0にしてください。読むと設定値が読めます。	R/W
b7	<a href="#">ENB</a>	ENB	0: このレジスタ値とRWKCNTカウンタ値との比較を行わない 1: このレジスタ値とRWKCNTカウンタ値との比較を行う	R/W

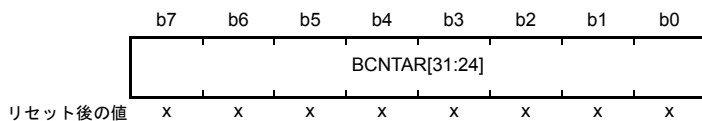
RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが1であれば、RWKAR レジスタ値がRWKCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが1になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC\_ALM 割り込みに対応した IR フラグが1になります。RWKAR レジスタの設定可能範囲は、10進 (BCD) で0～6です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって00hになります。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT3AR 4004 4016h](#)



x: 不定

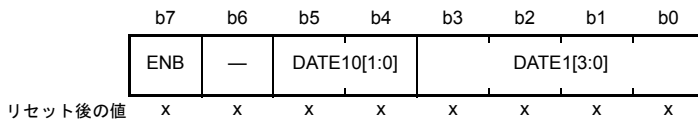
BCNT3AR は、書き込み/読み出し可能な、32ビットバイナリカウンタのb31～b24に対応するアラームレジスタです。このレジスタは、RTC ソフトウェアリセットによって00hになります。



### 25.2.13 日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラームイネーブルレジスタ (BCNTOAER)

#### (1) カレンダーカウントモード時

アドレス [RTC.RDAYAR 4004 4018h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日	一日の位の設定値	R/W
b5-b4	DATE10[1:0]	10日	十日の位の設定値	R/W
b6	—	予約ビット	このビットは0にしてください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0: このレジスタ値とRDAYCNTカウンタ値との比較を行わない 1: このレジスタ値とRDAYCNTカウンタ値との比較を行う	R/W

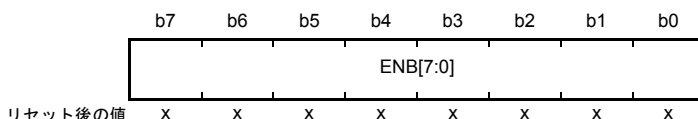
RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RDAYAR レジスタ値が RDAYCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。RDAYAR レジスタの設定可能範囲は、10 進 (BCD) で 01 ~ 31 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

#### (2) バイナリカウントモード時

アドレス [RTC.BCNTOAER 4004 4018h](#)



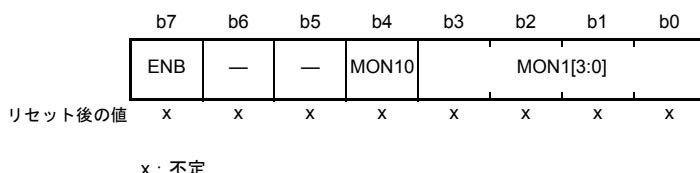
x: 不定

BCNTOAER は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b7 ~ b0 に対応するアラーム許可設定用のレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

## 25.2.14 月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラームイネーブルレジスタ (BCNT1AER)

### (1) カレンダーカウントモード時

アドレス [RTC.RMONAR 4004 401Ah](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">MON1[3:0]</a>	1月	一月の位の設定値	R/W
b4	<a href="#">MON10</a>	10月	十月の位の設定値	R/W
b6-b5	—	予約ビット	これらのビットは0にしてください。読むと設定値が読めます。	R/W
b7	<a href="#">ENB</a>	ENB	0: このレジスタ値とRMONCNTカウンタ値との比較を行わない 1: このレジスタ値とRMONCNTカウンタ値との比較を行う	R/W

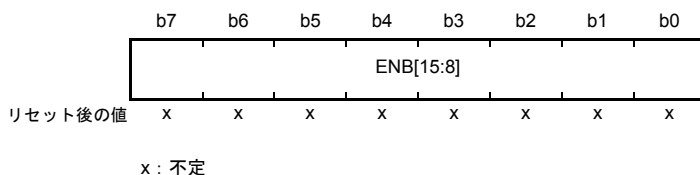
RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RMONAR レジスタ値が RMONCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。RMONAR レジスタの設定可能範囲は、10 進 (BCD) で 01 ~ 12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT1AER 4004 401Ah](#)



BCNT1AER は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b15 ~ b8 に対応するアラーム許可設定用のレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

## 25.2.15 年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラームイネーブルレジスタ (BCNT2AER)

### (1) カレンダカウントモード時

アドレス [RTC.RYRAR 4004 401Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">YR1[3:0]</a>	1年	一年の位の設定値	R/W
b7-b4	<a href="#">YR10[3:0]</a>	10年	十年の位の設定値	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。RYRAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 99 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0000h になります。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT2AER 4004 401Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ENB[23:16]								
リセット後の値	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x

x: 不定

BCNT2AER は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b23 ~ b16 に対応するアラーム許可設定用のレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0000h になります。

## 25.2.16 年アラームイネーブルレジスタ (RYRAREN) / バイナリカウンタ 3 アラームイネーブルレジスタ (BCNT3AER)

### (1) カレンダーカウントモード時

アドレス [RTC.RYRAREN 4004 401Eh](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	これらのビットは0にしてください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0: このレジスタ値とRYRCNTカウンタ値との比較を行わない 1: このレジスタ値とRYRCNTカウンタ値との比較を行う	R/W

RYRAREN レジスタの ENB ビットが 1 であれば、RYRAR レジスタ値が RYRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT3AER 4004 401Eh](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB[31:24]							
リセット後の値	x	x	x	x	x	x	x	x

x: 不定

BCNT3AER は、書き込み/読み出し可能な、32 ビットバイナリカウンタの b31 ~ b24 に対応するアラーム許可設定用のレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC\_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

## 25.2.17 RTC コントロールレジスタ 1 (RCR1)

アドレス RTC.RCR1 4004 4022h



ビット	シンボル	ビット名	機能	R/W
b0	AIE	アラーム割り込み許可	0: アラーム割り込み要求を禁止 1: アラーム割り込み要求を許可	R/W
b1	CIE	桁上げ割り込み許可	0: 桁上げ割り込み要求を禁止 1: 桁上げ割り込み要求を許可	R/W
b2	PIE	周期割り込み許可	0: 周期割り込み要求を禁止 1: 周期割り込み要求を許可	R/W
b3	RTCOS	RTCOUT 出力選択	0: RTCOUTは1Hzを出力 1: RTCOUTは64Hzを出力	R/W
b7-b4	PES[3:0]	周期割り込み選択	b7    b4 0 1 1 0: 1/256秒ごとに周期割り込みが発生 (注1) 0 1 1 1: 1/128秒ごとに周期割り込みが発生 1 0 0 0: 1/64秒ごとに周期割り込みが発生 1 0 0 1: 1/32秒ごとに周期割り込みが発生 1 0 1 0: 1/16秒ごとに周期割り込みが発生 1 0 1 1: 1/8秒ごとに周期割り込みが発生 1 1 0 0: 1/4秒ごとに周期割り込みが発生 1 1 0 1: 1/2秒ごとに周期割り込みが発生 1 1 1 0: 1秒ごとに周期割り込みが発生 1 1 1 1: 2秒ごとに周期割り込みが発生 上記以外: 周期割り込みは発生しない	R/W

注 1. PES[3:0] ビット = 0110b のときに LOCO を選択 (RCR4.RCKSEL ビット = 1) すると、周期割り込みは 1/128 秒ごとに発生します。

RCR1 レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換えた場合は、全ビットが更新されたことを確認してから次の処理を実行してください。

**AIE ビット (アラーム割り込み許可)**

アラーム割り込み要求を許可または禁止します。

**CIE ビット (桁上げ割り込み許可)**

RSECCNT/BCNT0 カウンタへの桁上げが生じたとき、または 64Hz カウンタの読み出し中に 64Hz カウンタ (R64CNT) への桁上げが生じたときの割り込み要求を許可または禁止します。

**PIE ビット (周期割り込み許可)**

周期割り込み要求を許可または禁止します。

**RTCOS ビット (RTCOUT 出力選択)**

RTCOUT の出力周期を選択します。RTCOS ビットは、カウント動作停止 (RCR2.START ビット = 0)、かつ RTCOUT 出力禁止 (RCR2.RTCOE ビット = 0) のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットを許可にする必要があります。I/O ポートの制御については、[20.5.1 端子機能の設定手順](#)を参照してください。

**PES[3:0] ビット (周期割り込み選択)**

周期割り込みの周期を設定します。これらのビットで設定した周期に応じて周期割り込みが発生します。

## 25.2.18 RTC コントロールレジスタ 2 (RCR2)

## (1) カレンダーカウントモード時

アドレス RTC.RCR2 4004 4024h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTM D	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0: プリスケアラと時計カウンタは停止 1: プリスケアラと時計カウンタは通常動作	R/W
b1	RESET	RTCソフトウェアリセット	<ul style="list-style-type: none"> <li>書き込み時</li> <li>0: 書き込みは無効</li> <li>1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ(注1)を初期化</li> <li>読み出し時</li> <li>0: 通常の時計動作中またはRTCソフトウェアリセット完了</li> <li>1: RTCソフトウェアリセット処理中</li> </ul>	R/W
b2	ADJ30	30秒調整	<ul style="list-style-type: none"> <li>書き込み時</li> <li>0: 書き込みは無効</li> <li>1: 30秒調整を実行</li> <li>読み出し時</li> <li>0: 通常の時計動作中または30秒調整が完了</li> <li>1: 30秒調整処理中</li> </ul>	R/W
b3	RTCOE	RTCOUT出力許可	0: RTCOUT出力を禁止 1: RTCOUT出力を許可	R/W
b4	AADJE	自動補正有効(注2)	0: 自動補正は無効 1: 自動補正は有効	R/W
b5	AADJP	自動補正周期選択(注2)	0: 1分ごとにプリスケアラのカウンタ値に対してRADJ.ADJ[5:0]ビット値を加減算 1: 10秒ごとにプリスケアラのカウンタ値に対してRADJ.ADJ[5:0]ビット値を加減算	R/W
b6	HR24	時間モード	0: RTCは12時間モードで動作 1: RTCは24時間モードで動作	R/W
b7	CNTMD	カウンタモード選択	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RTCCRY, RSECCPY/BCNT0CPY, RMINCPY/BCNT1CPY, RHRCPPY/BCNT2CPY, RDAYCPY/BCNT3CPY, RMONCPY, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2. LOCO を選択した場合、本ビットの設定は無効です。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、およびカウンタ制御に関するレジスタです。

**START ビット (スタート)**

プリスケアラまたは時計カウンタの動作を停止または再開します。

START ビットは、カウンタソースの次の周期に同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

### RESET ビット (RTC ソフトウェアリセット)

プリスケアラと RTC ソフトウェアリセット対象レジスタを初期化します。

RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。このビットが 0 になったことを確認してから次の処理を実行してください。

### ADJ30 ビット (30 秒調整)

30 秒調整を行います。

ADJ30 ビットに 1 を書くと、RSECCNT カウンタ値が 30 秒未満の場合は 00 秒に切り捨てられ、30 秒以上の場合は 1 分に切り上げられます。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに 1 を書いた場合、30 秒調整が完了すると ADJ30 ビットは自動的に 0 になります。ADJ30 ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。30 秒調整を実行すると、プリスケアラと R64CNT カウンタもリセットされます。ADJ30 ビットは、RTC ソフトウェアリセットによって 0 になります。

### RTC OE ビット (RTCOE 出力許可)

RTCOE 端子からの 1Hz/64Hz クロック信号出力を許可します。

RTC OE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、RTC OE ビット値の変更は、同時に行わないでください。

RTCOE を外部端子から出力する場合は、RTC OE ビットを許可にするるとともに、この端子にポート制御を設定してください。

### AADJE ビット (自動補正有効)

自動補正を制御 (有効または無効に) します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正を行わない) にしてください。

AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

### AADJP ビット (自動補正周期選択)

自動補正の周期を選択します。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正を行わない) にしてください。

AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

### HR24 ビット (時間モード)

RTC を 12 時間モードと 24 時間モードのどちらで動作させるかを指定します。

HR24 ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、HR24 ビット値の変更は、同時に行わないでください。

### CNTMD ビット (カウントモード選択)

RTC をカレンダーカウントモードとバイナリカウントモードのどちらで動作させるかを指定します。

カウントモードを設定した場合は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットはカウントソースに同期して更新され、RTC ソフトウェアリセットが完了する前に値が確定します。

初期設定の詳細は、25.3.1 電源投入後のレジスタ初期設定の概要を参照してください。

## (2) バイナリカウントモード時

アドレス RTC.RCR2 4004 4024h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTM D	—	AADJP	AADJE	RTCOE	—	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0: 32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケアラは停止 1: 32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケアラは通常動作	R/W
b1	RESET	RTCソフトウェアリセット	<ul style="list-style-type: none"> <li>書き込み時 0: 書き込みは無効 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ(注1)を初期化</li> <li>読み出し時 0: 通常の時計動作中またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット処理中</li> </ul>	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	RTCOE	RTCOOUT出力許可	0: RTCOUT出力を禁止 1: RTCOUT出力を許可	R/W
b4	AADJE	自動補正有効(注2)	0: 自動補正は無効 1: 自動補正は有効	R/W
b5	AADJP	自動補正周期選択(注2)	0: 32秒ごとにプリスケアラのカウンタ値に対してRADJ.ADJ[5:0]ビット値を加減算 1: 8秒ごとにプリスケアラのカウンタ値に対してRADJ.ADJ[5:0]ビット値を加減算	R/W
b6	—	予約ビット	値は不定です。書く場合、0としてください。	R/W
b7	CNTMD	カウントモード選択	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RTCCRY, RSECCPY/BCNT0CPy, RMINCPy/BCNT1CPy, RHRCpy/BCNT2CPy, RDAYCPy/BCNT3CPy, RMONCPy, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2. LOCO を選択した場合、本ビットの設定は無効です。

**START ビット (スタート)**

プリスケアラまたはカウンタ(時計)の動作を停止または再開します。

START ビットは、カウントソースに同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

**RESET ビット (RTC ソフトウェアリセット)**

プリスケアラと RTC ソフトウェアリセット対象レジスタを初期化します。

RESET ビットに1を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に0になります。RESET ビットに1を書いた場合は、このビットが0になったことを確認してから次の処理を実行してください。



**RTCOE ビット (RTCOUT 出力許可)**

RTCOUT 端子からの 1Hz/64Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、RTCOE ビット値の変更は、同時に行わないでください。RTCOUT 信号を外部端子から出力する場合は、このビットを許可にするとともに、ポート制御を有効にしてください。

**AADJE ビット (自動補正有効)**

自動補正を制御 (有効または無効に) します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正を行わない) にしてください。AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

**AADJP ビット (自動補正周期選択)**

自動補正の周期を選択します。

バイナリカウントモードでは、32 秒ごとまたは 8 秒ごとの補正周期を選択できます。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正を行わない) にしてください。AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

**CNTMD ビット (カウントモード選択)**

RTC をカレンダーカウントモードとバイナリカウントモードのどちらで動作させるかを指定します。

カウントモードを設定した場合は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットはカウントソースに同期して更新され、RTC ソフトウェアリセットが完了する前に値が確定します。

初期設定の詳細は、[25.3.1 電源投入後のレジスタ初期設定の概要](#)を参照してください。

**25.2.19 RTC コントロールレジスタ 4 (RCR4)**

アドレス [RTC.RCR4 4004 4028h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RCKSEL L
リセット後の値	0	0	0	0	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	RCKSEL	カウントソース選択	0: サブクロック発振器を選択 1: LOCO を選択	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

RCR4 レジスタは、カウントソースを選択するためのレジスタです。カレンダーカウントモード/バイナリカウントモード共通で使用します。

RCKSEL ビットを 0 にすると、サブクロックを使用して時計のカウント動作が行われます。RCKSEL ビットを 1 にすると、LOCO を使用して時計のカウント動作が行われます。

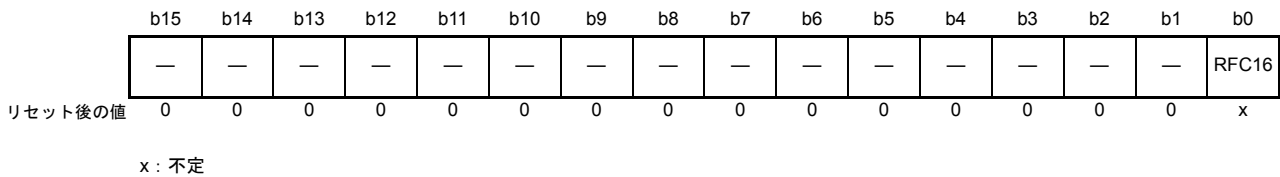
**RCKSEL ビット (カウントソース選択)**

カウントソースを、サブクロックと LOCO から選択します。

カウントソースの選択は、電源投入後、RTC レジスタの初期設定前に一度だけ行ってください。

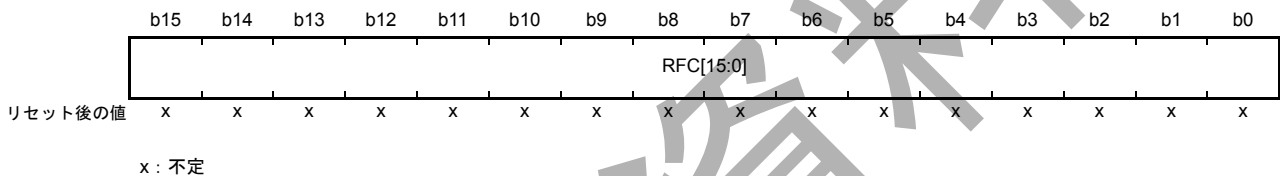
## 25.2.20 周波数レジスタ (RFRH/RFRL)

アドレス RTC.RFRH 4004 402Ah



ビット	シンボル	ビット名	機能	R/W
b0	RFC16	予約ビット	コールドスタート後、RFRLレジスタに書き込む前に0を書いてください。	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス RTC.RFRL 4004 402Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	RFC[15:0]	周波数比較値	LOCO使用時は、このレジスタに00FFhを書いてください。	R/W

RFRLレジスタは、LOCO選択時のプリスケアラを制御するレジスタです。

RTCの時計カウンタは、128Hzクロック信号を基本クロックとして動作します。そのため、LOCOを選択した場合、プリスケアラでLOCOが分周されて128Hzクロック信号が生成されます。RFC[15:0]ビットには、LOCO周波数から128Hzクロックを生成するための周波数比較値を設定します。コールドスタート後、RFC[15:0]へ書き込む前に、RFRHに0000hを書き込んでください。

周波数比較値の設定可能範囲は、0007h～01FFhです。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にRCR2.STARTビットでカウント動作を停止させてください。周辺モジュールクロックとLOCOの動作周波数は、「周辺モジュールクロック ≥ LOCO」となるようにしてください。

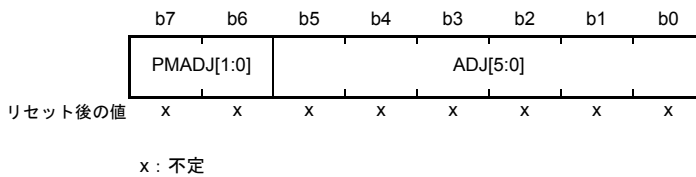
周波数比較値の計算方法：

$$\text{RFC}[15:0] = (\text{LOCOクロック周波数}) \div 128 - 1$$

LOCO周波数が32.768kHzの場合、RFRLレジスタは00FFhにしてください。

### 25.2.21 時計誤差補正レジスタ (RADJ)

アドレス RTC.RADJ 4004 402Eh



ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正值	プリスケアラの補正值を設定します。	R/W
b7-b6	PMADJ[1:0]	プラスマイナス	b7 b6 0 0: 補正を行わない 0 1: プリスケアラに対して値を加算して補正を行う 1 0: プリスケアラに対して値を減算して補正を行う 1 1: 設定禁止	R/W

プリスケアラに対して値を加算または減算することによって補正が行われます。自動補正有効ビット (RCR2.AADJE) が 0 であると、RADJ レジスタへの書き込み時に補正が行われます。RCR2.AADJE ビットが 1 であると、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正が行われます。

ソフトウェア設定による補正 (自動補正が無効) では、レジスタの設定後、カウントソースの 320 サイクル中に次の補正值を設定すると、現在の補正值の設定が無効となる場合があります。連続して補正を行う場合は、レジスタの設定後、カウントソースで 320 サイクル以上待つから次の補正值を設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 00h になります。サブクロックを選択した場合にのみ、このレジスタの設定が有効になります。LOCO を選択した場合、補正は行われません。

#### ADJ[5:0] ビット (補正值)

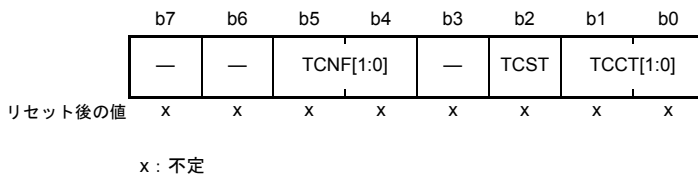
プリスケアラに対する補正值 (サブクロックのサイクル数) を設定します。

#### PMADJ[1:0] ビット (プラスマイナス)

ADJ[5:0] ビットで設定した誤差補正值に従って、時計を進めるか、遅らせるかを選択します。

## 25.2.22 時間キャプチャコントロールレジスタ y (RTCCRY) (y = 0 ~ 2)

アドレス RTC.RTCCR0 4004 4040h, RTC.RTCCR1 4004 4042h, RTC.RTCCR2 4004 4044h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TCCT[1:0]	時間キャプチャ制御	b1 b0 0 0: イベントを検出しない 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W
b2	TCST	時間キャプチャステータス	0: イベント検出なし 1: イベント検出あり (注1)	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	TCNF[1:0]	時間キャプチャノイズフィルタ制御	b5 b4 0 0: ノイズフィルタ OFF 0 1: 設定禁止 1 0: ノイズフィルタ ON (カウントソース) 1 1: ノイズフィルタ ON (カウントソースの32分周)	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. イベントが検出されたことを示します。1の書き込みは無効です。0を書き込むと0になります。

RTCCRY レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。RTCCR0 レジスタが RTCIC0 端子、RTCCR1 レジスタが RTCIC1 端子、RTCCR2 レジスタが RTCIC2 端子をそれぞれ制御します。

RTCCRY レジスタは、カウントソースに同期して更新されます。RTCCRY レジスタを書き換えた場合は、TCST ビット以外の全ビットが更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 00h になります。RTCICn を時間キャプチャ端子として使用する場合、VBTICTLR.VCHnIEN ビット (n=0~2) を 1 にする必要があります。詳細は、「12. バッテリバックアップ機能」を参照してください。

#### TCCT[1:0] ビット (時間キャプチャ制御)

時間キャプチャイベント入力端子 (RTCIC0、RTCIC1、RTCIC2) のエッジ検出を制御します。検出するエッジの選択が可能です。TCCT[1:0] ビットは、VBTICTLR.VCHnIEN ビットが 1 の状態で設定してください。

#### TCST ビット (時間キャプチャステータス)

時間キャプチャイベント入力端子 (RTCIC0、RTCIC1、RTCIC2) のイベントが検出されたことを示します。TCST ビットが 0 の場合、イベントは検出されていません。TCST ビットが 1 の場合、対応する端子のイベントが検出されたこと、およびキャプチャレジスタが有効であることを示します。複数回イベントが検出された場合は、最初のイベントのキャプチャ時刻が保持されます。

カウント動作が停止中 (すなわち RCR2.START ビットが 0 のとき) にイベントが検出された場合、そのキャプチャ値は保証されません。その場合は、TCST ビットを 0 にしてキャプチャ値を削除してください。TCST ビットに 0 を書き込むことで、TCST ビットを 0 にできます。0 以外の値の書き込みは無効です。

TCST ビットの設定は、TCCT[1:0] ビットが 00b (イベントを検出しない) の状態で行ってください。TCST ビットは、カウントソースに同期して 0 になります。TCST ビットを 0 にした場合、このビットが更新されたことを確認してから次の処理を実行してください。

### TCNF[1:0] ビット (時間キャプチャノイズフィルタ制御)

時間キャプチャイベント入力端子 (RTCIC0、RTCIC1、RTCIC2) のノイズフィルタを制御します。

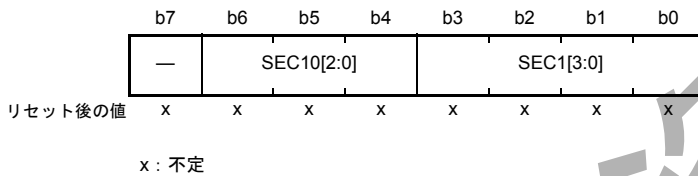
ノイズフィルタが ON の場合、カウントソースの 1 分周または 32 分周を選択できます。このとき、時間キャプチャイベント入力端子の入力レベルが設定したサンプリング周期で 3 回連続して一致すると、その入力レベルが確定されます。

TCNF[1:0] ビットの設定は、TCCT[1:0] ビットが 00b (イベントを検出しない) の状態で行ってください。ノイズフィルタを使用する場合は、TCNF[1:0] ビットの設定後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0] ビットの設定を行ってください。また、TCNF[1:0] ビットの設定は、VBTICTLR.VCHnIEN ビットが 1 の状態で行ってください。

## 25.2.23 秒キャプチャレジスタ y (RSECCPy) (y = 0 ~ 2) / BCNT0 キャプチャレジスタ y (BCNT0CPy) (y = 0 ~ 2)

### (1) カレンダーカウントモード時

アドレス [RTC.RSECCP0 4004 4052h](#), [RTC.RSECCP1 4004 4062h](#), [RTC.RSECCP2 4004 4072h](#)



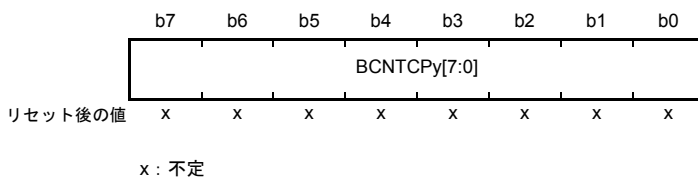
ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒キャプチャ	一秒の位のキャプチャ値を示します。	R
b6-b4	SEC10[2:0]	10秒キャプチャ	十秒の位のキャプチャ値を示します。	R
b7	—	予約ビット	RTCソフトウェアリセット後、読むと0が読めます。	R

RSECCPy レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RSECCP0 レジスタに、RTCIC1 端子によるイベント検出時は RSECCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RSECCP2 レジスタに、それぞれイベント検出時刻が格納されます。このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT0CP0 4004 4052h](#), [RTC.BCNT0CP1 4004 4062h](#), [RTC.BCNT0CP2 4004 4072h](#)

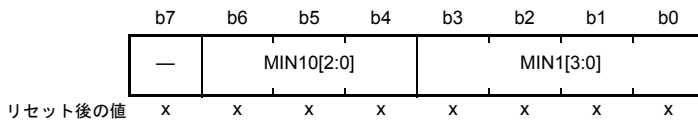


BCNT0CPy レジスタは、時間キャプチャイベント検出時に BCNT0 カウンタ値をキャプチャする読み出し専用のレジスタです。RTCIC0 端子によるイベント検出時は BCNT0CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT0CP1 レジスタに、そして RTCIC2 端子によるイベント検出時は BCNT0CP2 レジスタに、それぞれイベント検出時刻が格納されます。このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

## 25.2.24 分キャプチャレジスタ y (RMINCPy) (y = 0 ~ 2) / BCNT1 キャプチャレジスタ y (BCNT1CPy) (y = 0 ~ 2)

### (1) カレンダーカウントモード時

アドレス [RTC.RMINCP0 4004 4054h](#), [RTC.RMINCP1 4004 4064h](#), [RTC.RMINCP2 4004 4074h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分キャプチャ	一分の位のキャプチャ値を示します。	R
b6-b4	MIN10[2:0]	10分キャプチャ	十分の位のキャプチャ値を示します。	R
b7	—	予約ビット	RTCソフトウェアリセット後、読むと0が読めます。	R

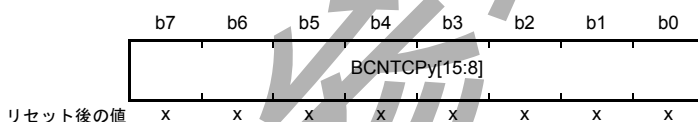
RMINCPy レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMINCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMINCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RMINCP2 レジスタに、それぞれイベント検出時刻が格納されます。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT1CP0 4004 4054h](#), [RTC.BCNT1CP1 4004 4064h](#), [RTC.BCNT1CP2 4004 4074h](#)



x: 不定

BCNT1CPy レジスタは、時間キャプチャイベント検出時に BCNT1 カウンタ値をキャプチャする読み出し専用のレジスタです。

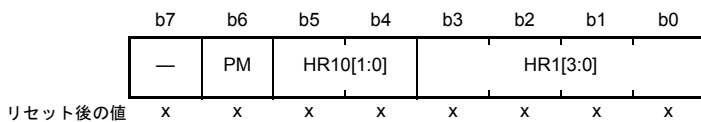
RTCIC0 端子によるイベント検出時は BCNT1CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT1CP1 レジスタに、そして RTCIC2 端子によるイベント検出時は BCNT1CP2 レジスタに、それぞれイベント検出時刻が格納されます。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

## 25.2.25 時キャプチャレジスタ y (RHRCPy) (y = 0 ~ 2) / BCNT2 キャプチャレジスタ y (BCNT2CPy) (y = 0 ~ 2)

### (1) カレンダーカウントモード時

アドレス [RTC.RHRCP0 4004 4056h](#), [RTC.RHRCP1 4004 4066h](#), [RTC.RHRCP2 4004 4076h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">HR1[3:0]</a>	1時間キャプチャ	一時間の位のキャプチャ値を示します。	R
b5-b4	<a href="#">HR10[1:0]</a>	10時間キャプチャ	十時間の位のキャプチャ値を示します。	R
b6	PM	PM	0: 午前 1: 午後	R
b7	—	予約ビット	RTCソフトウェアリセット後、読むと0が読めます。	R

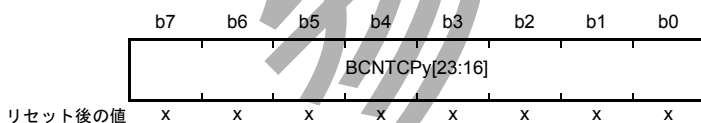
RHRCPy レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RHRCP0 レジスタに、RTCIC1 端子によるイベント検出時は RHRCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RHRCP2 レジスタに、それぞれイベント検出時刻が格納されます。RCR2.HR24 ビットが 0 (12 時間モード) の場合にのみ、PM ビットが有効になります。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT2CP0 4004 4056h](#), [RTC.BCNT2CP1 4004 4066h](#), [RTC.BCNT2CP2 4004 4076h](#)



x: 不定

BCNT2CPy レジスタは、時間キャプチャイベント検出時に BCNT2 カウンタ値をキャプチャする読み出し専用のレジスタです。

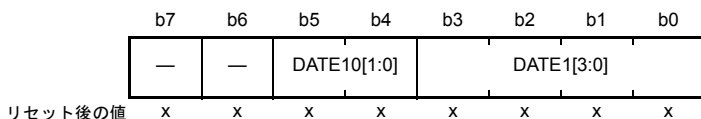
RTCIC0 端子によるイベント検出時は BCNT2CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT2CP1 レジスタに、そして RTCIC2 端子によるイベント検出時は BCNT2CP2 レジスタに、それぞれイベント検出時刻が格納されます。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

## 25.2.26 日キャプチャレジスタ y (RDAYCPy) (y = 0 ~ 2) / BCNT3 キャプチャレジスタ y (BCNT3CPy) (y = 0 ~ 2)

### (1) カレンダーカウントモード時

アドレス [RTC.RDAYCP0 4004 405Ah](#), [RTC.RDAYCP1 4004 406Ah](#), [RTC.RDAYCP2 4004 407Ah](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">HR1[3:0]</a>	1日キャプチャ	一日の位のキャプチャ値を示します。	R
b5-b4	<a href="#">HR10[1:0]</a>	10日キャプチャ	十日の位のキャプチャ値を示します。	R
b7-b6	—	予約ビット	RTCソフトウェアリセット後、読むと0が読めます。	R

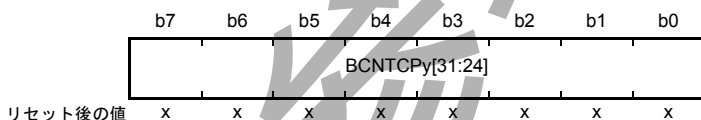
RDAYCPy レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RDAYCP0 レジスタに、RTCIC1 端子によるイベント検出時は RDAYCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RDAYCP2 レジスタに、それぞれイベント検出時刻が格納されます。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

### (2) バイナリカウントモード時

アドレス [RTC.BCNT3CP0 4004 405Ah](#), [RTC.BCNT3CP1 4004 406Ah](#), [RTC.RDAYCP2 4004 407Ah](#)



x: 不定

BCNT3CPy レジスタは、時間キャプチャイベント検出時に BCNT3 カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCTC0 端子によるイベント検出時は BCNT3CP0 レジスタに、RTCTC1 端子によるイベント検出時は BCNT3CP1 レジスタに、そして RTCTC2 端子によるイベント検出時は BCNT3CP2 レジスタに、それぞれイベント検出時刻が格納されます。

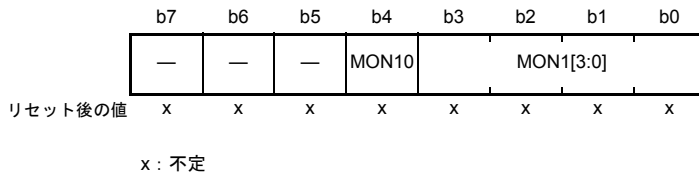
このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。



## 25.2.27 月キャプチャレジスタ y (RMONCPy) (y = 0 ~ 2)

## (1) カレンダーカウントモード時

アドレス [RTC.RMONCP0 4004 405Ch](#), [RTC.RMONCP1 4004 406Ch](#), [RTC.RMONCP2 4004 407Ch](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">HR1[3:0]</a>	1月キャプチャ	一月の位のキャプチャ値を示します。	R
b4	<a href="#">HR10[1:0]</a>	10月キャプチャ	十月の位のキャプチャ値を示します。	R
b7-b5	—	予約ビット	読むと0が読めます。	R

RMONCPy レジスタは、時間キャプチャイベント検出時に RMONCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMONCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMONCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RMONCP2 レジスタに、それぞれイベント検出時刻が格納されます。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、必ず事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてください。

## 25.3 動作説明

### 25.3.1 電源投入後のレジスタ初期設定の概要

電源投入後は、クロック設定、カウントモード設定、時間誤差補正、時刻設定、アラーム、割り込み、および時間キャプチャコントロールレジスタに対して、初期設定を行ってください。

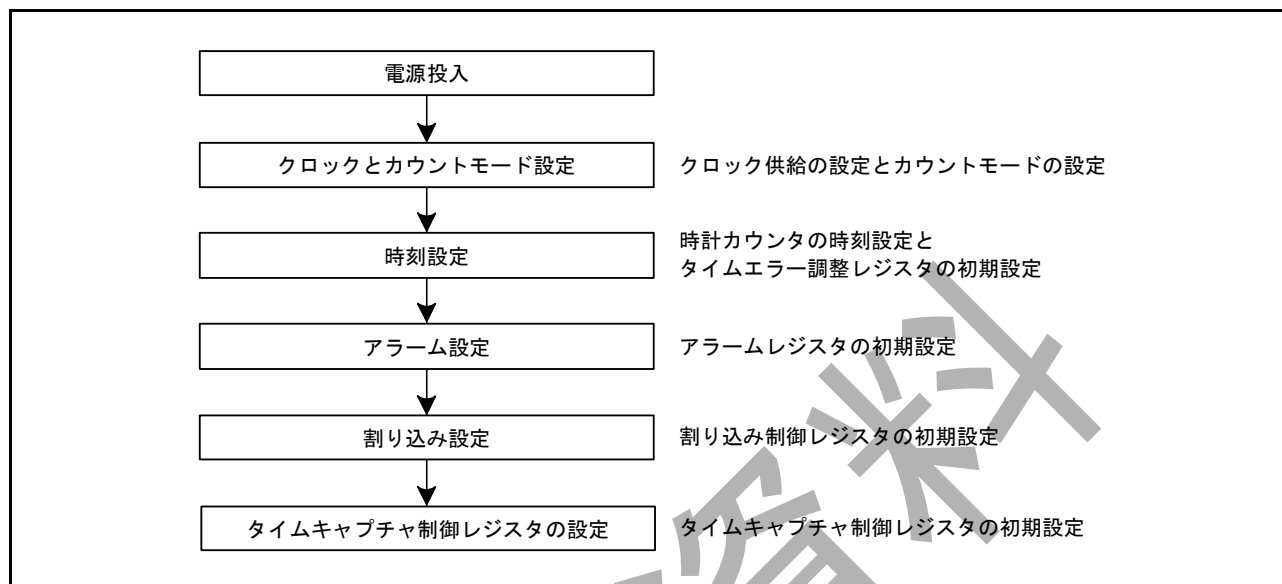


図 25.2 電源投入後の初期設定の概要

## 25.3.2 クロックおよびカウントモードの設定手順

図 25.3 にクロックおよびカウントモードの設定手順を示します。

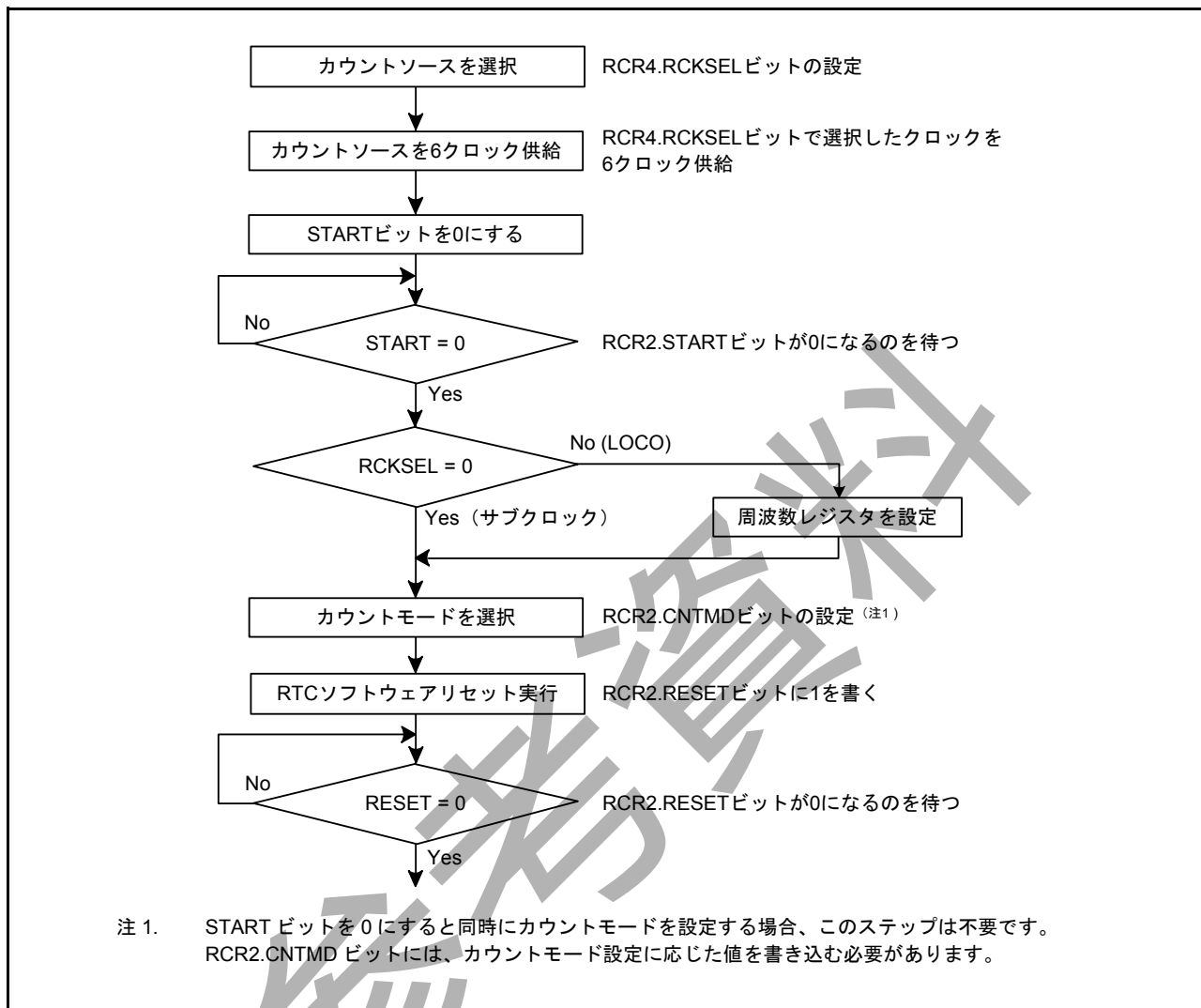


図 25.3 クロックおよびカウントモードの設定手順

## 25.3.3 時刻の設定

図 25.4 に時刻の設定方法を示します。

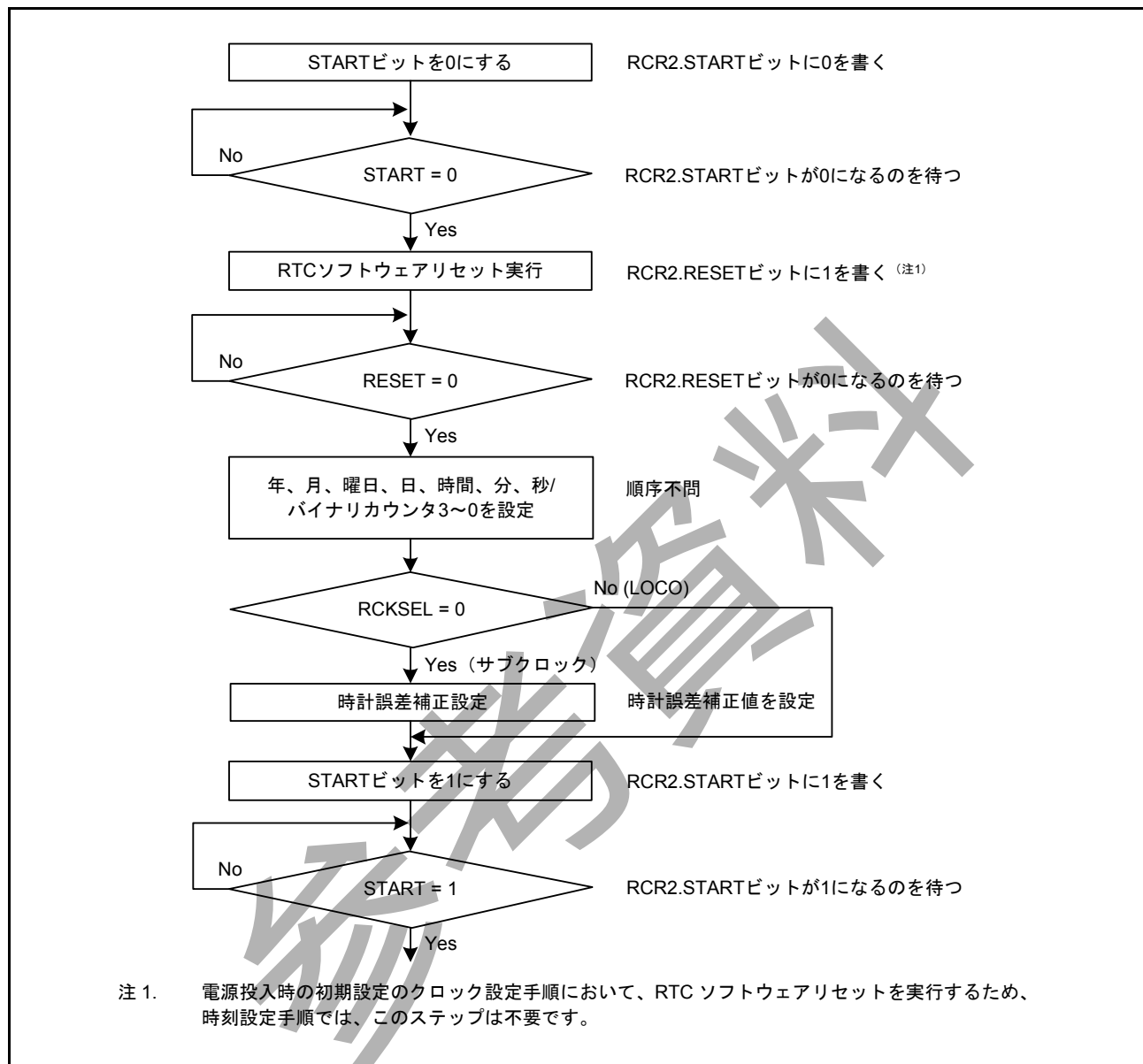


図 25.4 時刻の設定

## 25.3.4 30 秒調整

図 25.5 に 30 秒調整の実行方法を示します。

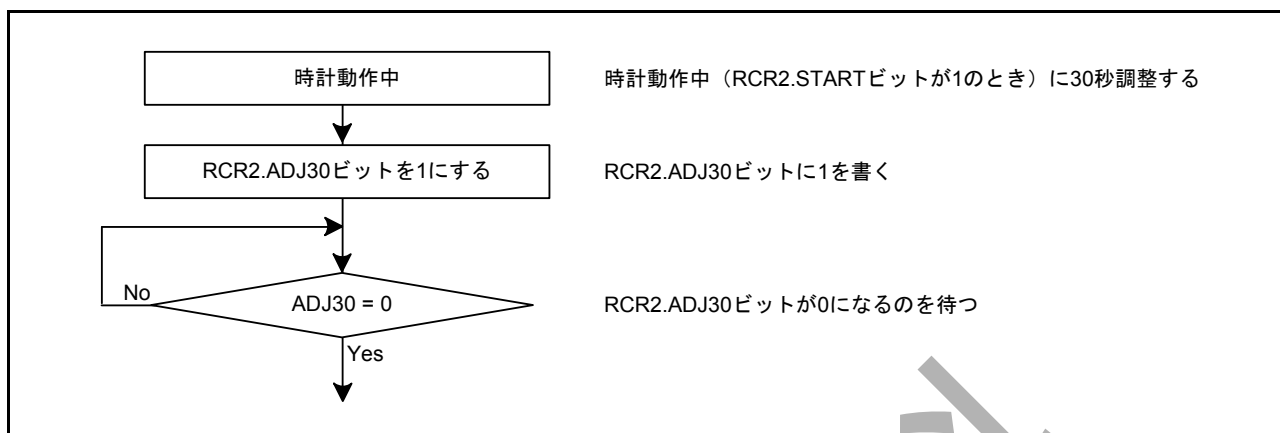


図 25.5 30 秒調整

## 25.3.5 64Hz カウンタと時刻の読み出し

図 25.6 に 64Hz カウンタと時刻の読み出し方法を示します。

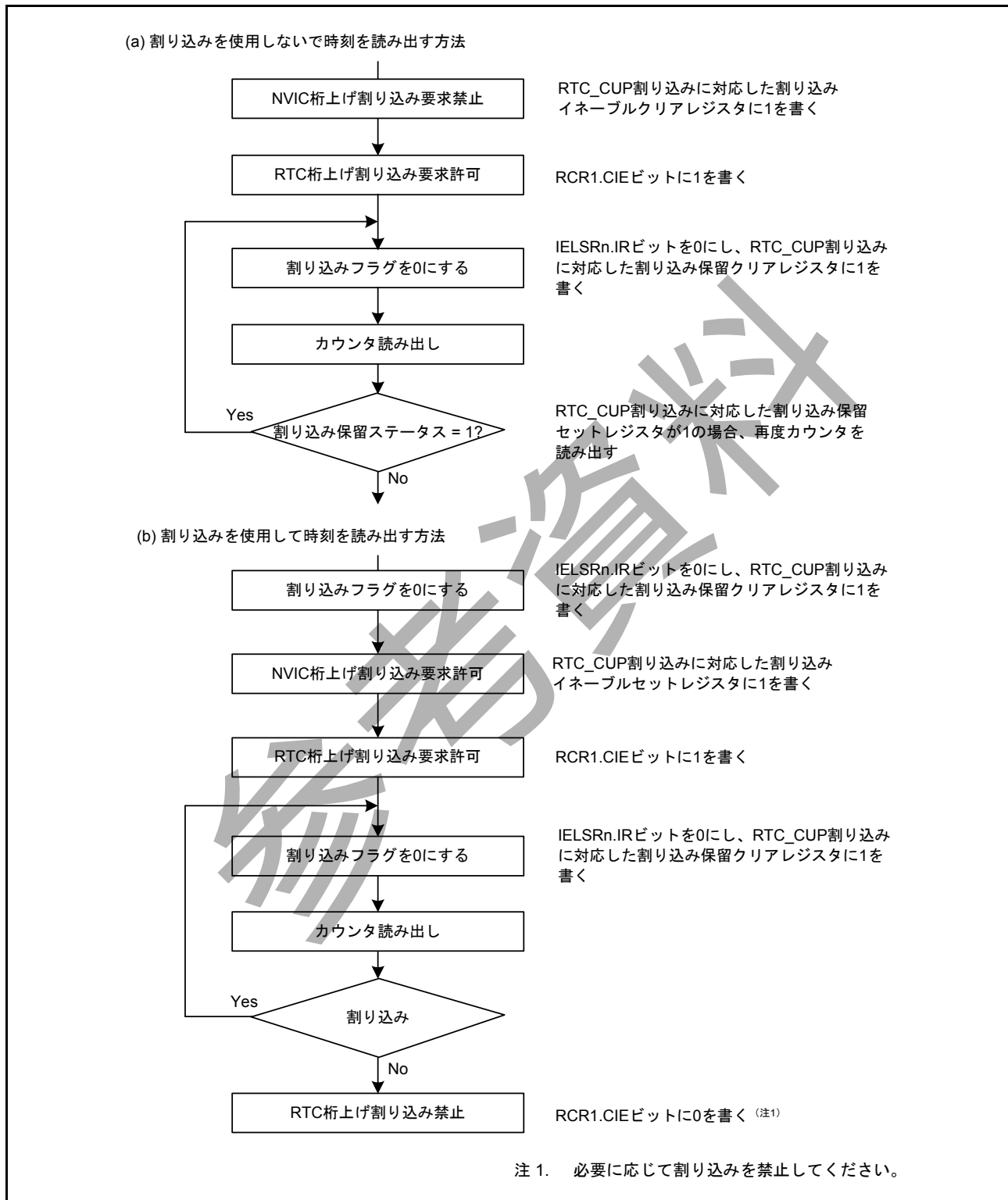


図 25.6 時刻読み出し

64Hz カウンタと時刻の読み出し中に桁上げが生じると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しないで時刻を読み出す場合の手順を図 25.6 の (a) に、桁上げ割り込みを使用する場合の手順を (b) に示します。通常は、プログラムを容易にするために、方法 (a) を使用してください。

### 25.3.6 アラーム機能

図 25.7 にアラーム機能の使用方法を示します。

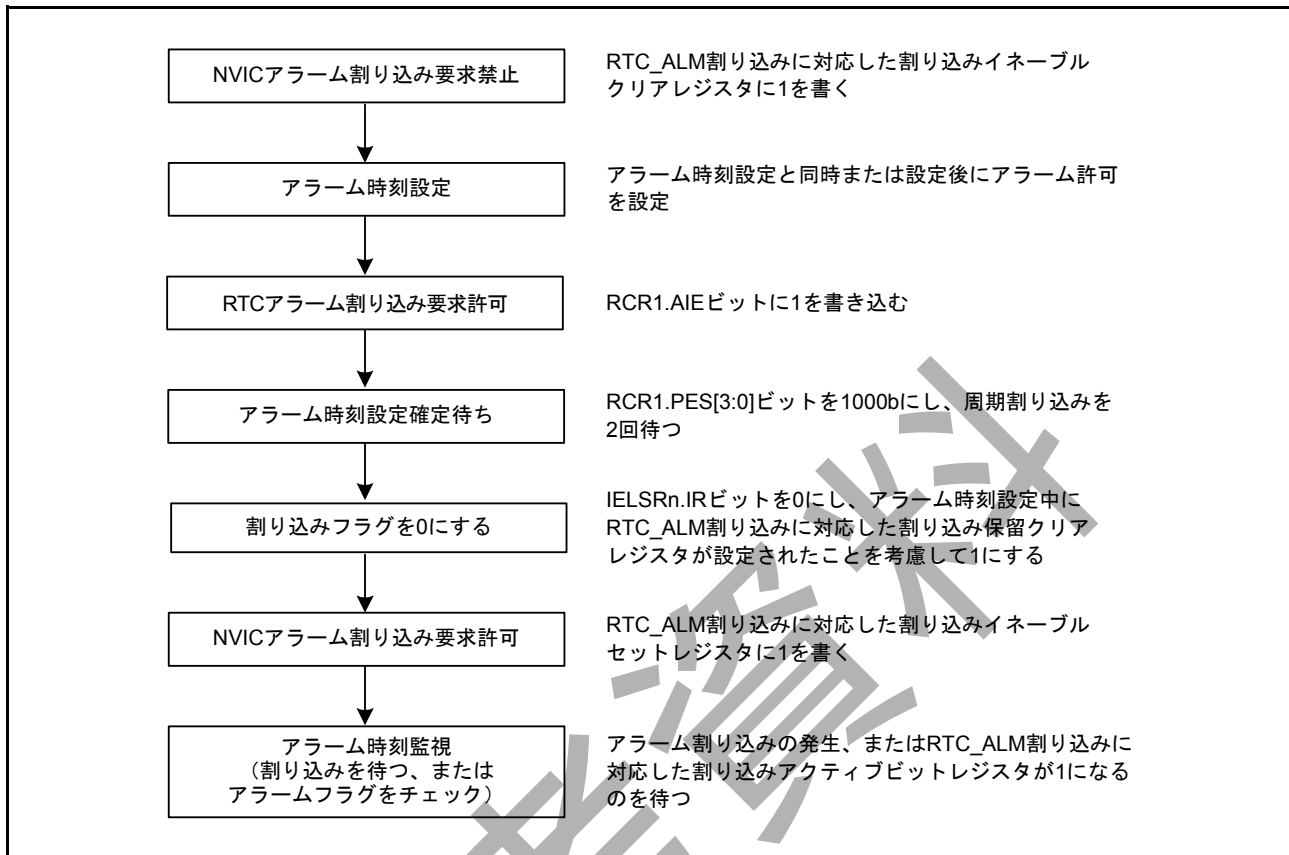


図 25.7 アラーム機能の使用法

カレンダーカウントモードでは、年、月、日、曜日、時、分、秒のいずれか1つ、またはこれらの任意の組み合わせで、アラームを発生させることができます。アラーム設定を必要とする各アラームレジスタのENBビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタはENBビットに0を書き込みます。

バイナリカウントモードでは、32ビットの任意ビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラームイネーブルレジスタのENBビットに1を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットに対しては、アラームイネーブルレジスタのENBビットに0を書き込みます。

カウンタとアラーム時刻が一致すると、IELSRn.IRビットと、RTC\_ALM割り込みに対応した割り込みセット保留/クリア保留レジスタが1になります。アラームの検出は、RTC\_ALM割り込みに対応した割り込みセット保留レジスタを読み出すことで確認できますが、通常は割り込みを使用してください。RTC\_ALM割り込みに対応した割り込みセットイネーブルレジスタが1になっていると、アラームイベント発生時にアラーム割り込みが発生し、アラームの検出が可能になります。

RTC\_ALM割り込みに対応したIELSRn.IRビットは、0を書き込むと0になります。割り込みを許可した場合、割り込みハンドラの終了後、RTC\_ALM割り込みに対応した割り込みセット保留/クリア保留レジスタと割り込みアクティブビットレジスタが自動的にクリアされます。割り込みを禁止した場合は、RTC\_ALM割り込みに対応した割り込みクリア保留レジスタに1を書いてクリアしてください。

低消費電力状態のときにカウンタとアラーム時刻が一致すると、MCUは低消費電力状態から復帰します。

### 25.3.7 アラーム割り込み禁止手順

図 25.8 に、許可状態のアラーム割り込み要求を禁止する手順を示します。

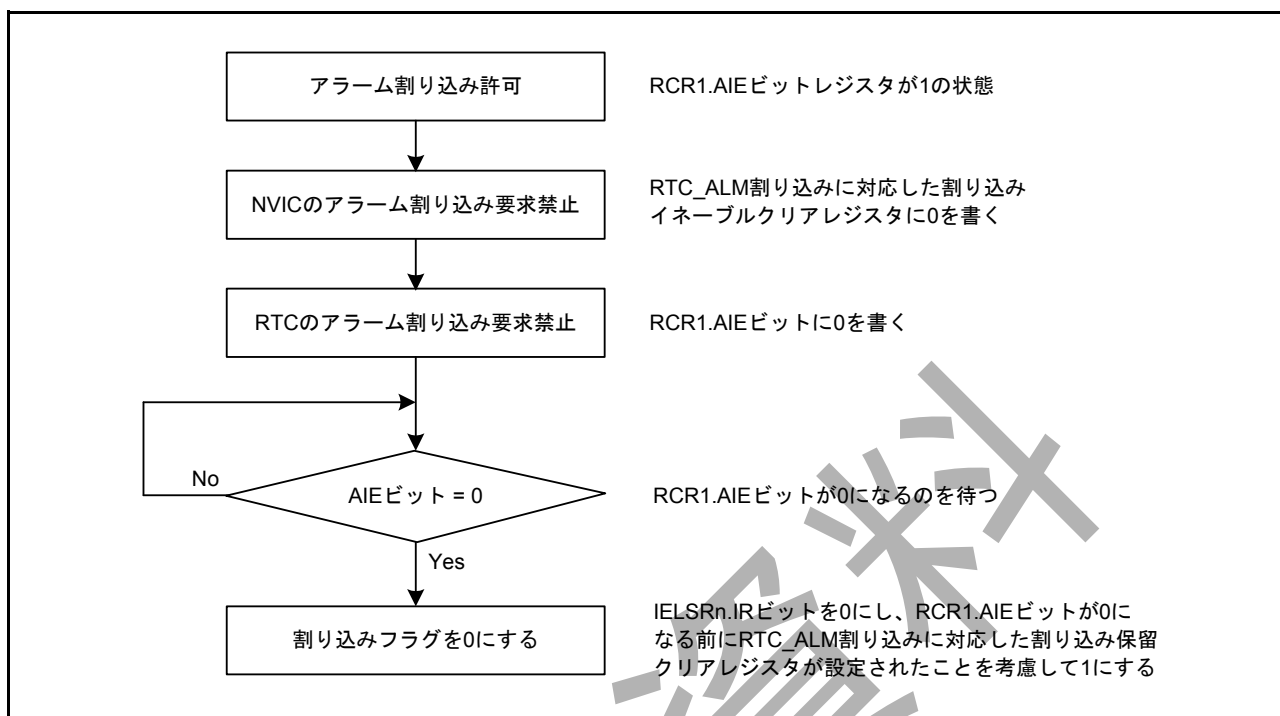


図 25.8 アラーム割り込み要求の禁止手順

### 25.3.8 時間誤差補正機能

時間誤差補正機能は、サブクロックによる発振精度の変動に起因した、時間の誤差（遅れ／進み）を補正するために使用します。サブクロックを選択した場合、サブクロックの 32,768 サイクルが 1 秒の動作に相当するため、サブクロックの周波数が高いと時計が進み、低いと時計が遅れます。時間誤差補正機能には下記の 2 種類があります。

- 自動補正
- ソフトウェアによる補正

自動補正またはソフトウェアによる補正は、RCR2.AADJE ビットで選択してください。

#### 25.3.8.1 自動補正

RCR2.AADJE ビットを 1 にすると、自動補正が有効になります。自動補正では、RCR2.AADJE ビットで選択した補正周期ごとに、プリスケアラでカウントした値に対して RADJ レジスタ値を加算または減算します。

##### (1) 例 1：サブクロックが 32.769kHz で動作している場合

###### (a) 補正方法

サブクロックが 32.769kHz で動作している場合、32,769 クロックサイクルごとに 1 秒経過します。RTC は、32,768 クロックサイクルで動作するように設計されているため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 分当たり 60 クロックサイクルのペースで早くなるため、1 分ごとに 60 クロックサイクルだけ遅らせる方法で補正が可能です。

レジスタ設定値：(RCR2.CNTMD = 0 の場合)

- RCR2.AADJP ビット = 0 (1 分ごとに補正)



- RCR2.PMADJ[1:0] ビット = 10b (プリスケアラに対して値を減算して補正)
- RCR2.ADJ[5:0] ビット = 60 (3Ch)

## (2) 例 2 : サブクロックが 32.766kHz で動作している場合

### (a) 補正方法

サブクロックが 32.766kHz で動作している場合、32,766 クロックサイクルごとに 1 秒経過します。RTC は、32,768 クロックサイクルで動作するように設計されているため、1 秒ごとに 2 クロックサイクル分時計が遅れます。時計は、10 秒当たり 20 クロックサイクルのペースで遅くなるため、10 秒ごとに 20 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定値 : (RCR2.CNTMD = 0 の場合)

- RCR2.AADJP ビット = 1 (10 秒ごとに補正)
- RCR2.PMADJ[1:0] ビット = 01b (プリスケアラに対して値を加算して補正)
- RCR2.ADJ[5:0] ビット = 20 (14h)

## (3) 例 3 : サブクロックが 32.764kHz で動作している場合

### (a) 補正方法

32.764kHz で動作している場合、32,764 クロックサイクルで 1 秒経過します。RTC は、32,768 クロックサイクルを 1 秒として動作するため、時計は 1 秒間に 4 クロックサイクル分遅れます。8 秒間では 32 クロックサイクル遅れるため、8 秒ごとに 32 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定値 : (RCR2.CNTMD = 1 の場合)

- RCR2.AADJP ビット = 1 (8 秒ごとに補正)
- RCR2.PMADJ[1:0] ビット = 01b (プリスケアラに対して値を加算して補正)
- RCR2.ADJ[5:0] ビット = 32 (20h)

## 25.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットを 0 にすると、ソフトウェアによる補正が有効になります。ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで、プリスケアラでカウントした値に対し RADJ レジスタ値を加算または減算します。

## (1) 例 1 : サブクロックが 32.769kHz で動作している場合

### (a) 補正方法

サブクロックが 32.769kHz で動作している場合、32,769 クロックサイクルごとに 1 秒経過します。RTC は、32,768 クロックサイクルで動作するように設計されているため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 秒当たり 1 クロックサイクルのペースで早くなるため、1 秒ごとに 1 クロックサイクル分時計を遅らせる方法で補正が可能です。

### (b) レジスタ設定値

- RCR2.PMADJ[1:0] ビット = 10b (プリスケアラに対して値を減算して補正)
- RCR2.ADJ[5:0] ビット = 1 (01h)  
この値を、1 秒の割り込みにつき 1 回、RADJ レジスタに書き込みます。

### 25.3.8.3 補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを 00b (補正を行わない) にした後、RCR2.AADJE ビットの値を変更してください。

ソフトウェアによる補正から自動補正へ切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b (補正を行わない) にします。
2. RCR2.AADJE ビットを 1 (自動補正を有効) にします。
3. RCR2.AADJP ビットで補正周期を選択します。
4. RADJ.PMADJ[1:0] ビットに加算または減算を設定し、RADJ.ADJ[5:0] ビットに時間誤差補正値を設定します。

自動補正からソフトウェアによる補正へ切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b (補正を行わない) にします。
2. RCR2.AADJE ビットを 0 (ソフトウェアによる補正を有効) にします。
3. 任意のタイミングで、RADJ.PMADJ[1:0] ビットに加算または減算を設定し、RADJ.ADJ[5:0] ビットに時間誤差補正値を設定することにより、補正を開始します。以降、RADJ レジスタに値を書き込むごとに時間補正が行われます。

### 25.3.8.4 補正の停止手順

補正を停止するには、RADJ.PMADJ[1:0] ビットを 00b (補正を行わない) にします。

### 25.3.8.5 時間キャプチャ

RTC は、時間キャプチャイベント入力端子のエッジ検出によって、月、日、時、分、および秒の値、またはバイナリカウンタ 3 ~ 0 の値を格納することが可能です。

また、RTC の時間キャプチャイベント入力端子には、ノイズフィルタを使用できます。ノイズフィルタを有効にした場合、端子の入力レベルが 3 回一致すると TCST ビットが 1 になります。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタの ON/OFF を設定できます。VBTICTLR.VCHnIEN (n=0~2) ビットを 1 にして、RTCICn 入力を有効にしてください。ノイズフィルタ OFF の場合の動作を図 25.9 に、ノイズフィルタ ON の場合の動作を図 25.10 に示します。

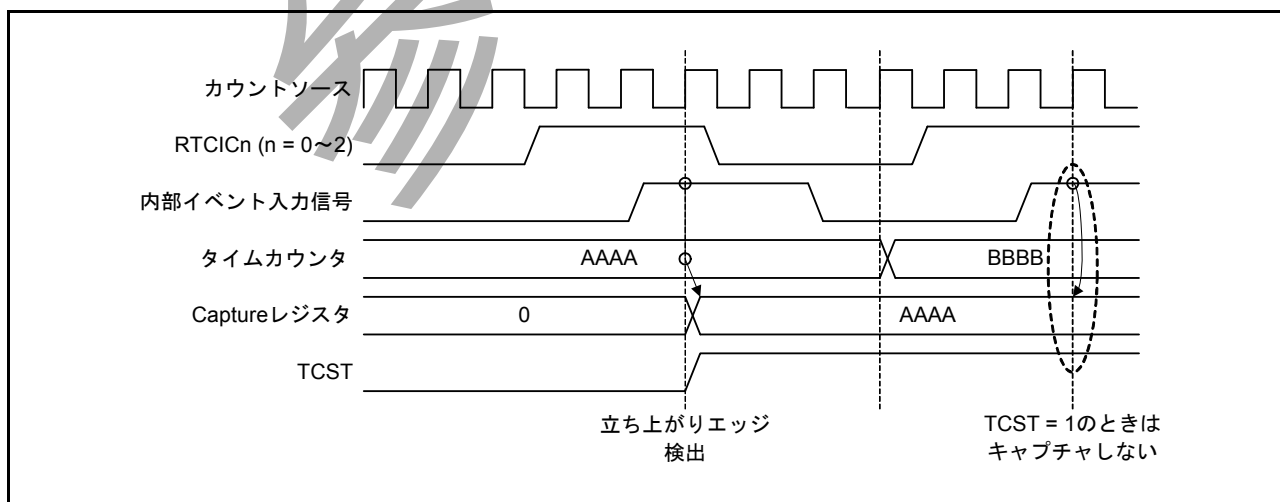


図 25.9 時間キャプチャ動作のタイミング (フィルタ OFF)

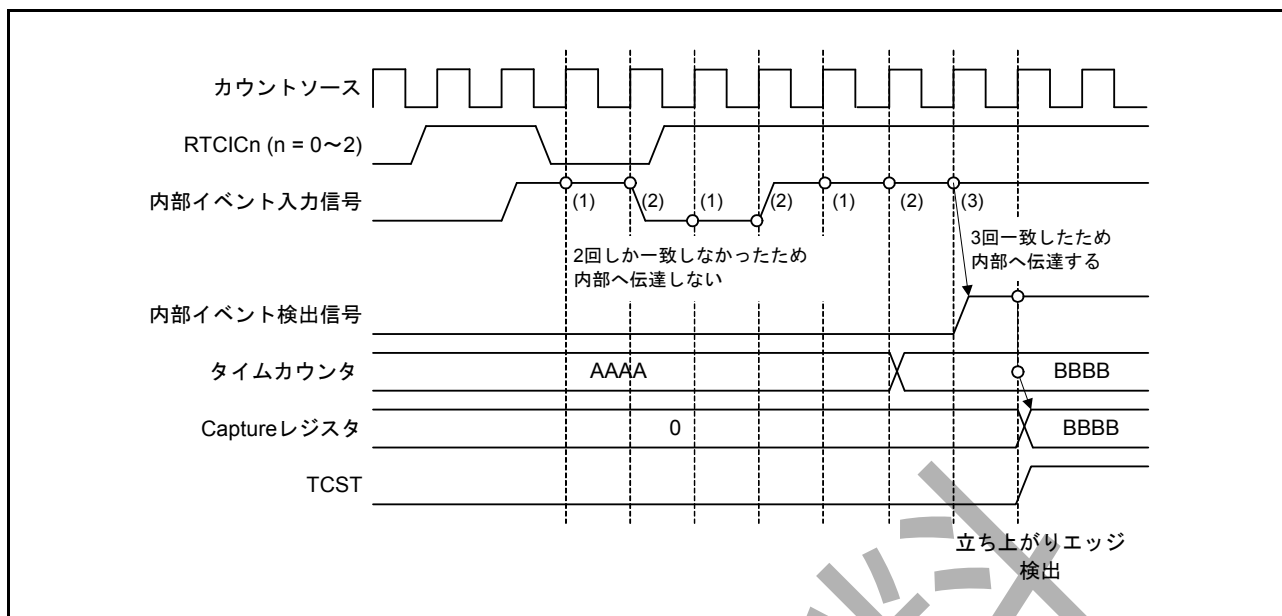


図 25.10 時間キャプチャ動作のタイミング (フィルタ ON)

参考資料

## 25.4 割り込み要因

RTC には、表 25.3 に示すように、3 種類の割り込み要因があります。

表 25.3 RTC 割り込み要因

名称	割り込み要因
RTC_ALM	アラーム割り込み
RTC_PRD	周期割り込み
RTC_CUP	桁上げ割り込み

### (1) アラーム割り込み (RTC\_ALM)

この割り込みは、アラームレジスタとリアルタイムクロックカウンタの比較結果に基づいて発生します。詳細は、25.3.6 アラーム機能を参照してください。

アラームレジスタの設定値が時計カウンタと一致して、割り込みフラグが 1 になる可能性があるため、アラームレジスタの値を変更した後は、アラーム時刻の設定が確定されるまで待って、IELSRn.IR ビットと、RTC\_ALM 割り込みに対応する割り込みセット保留レジスタを再び 0 にクリアしてください。アラーム割り込みの割り込みフラグが 1 になった後、アラームレジスタと時計カウンタを不一致状態に戻すと、再び一致するかアラームレジスタの値の再設定を行うまでフラグは 1 になりません。

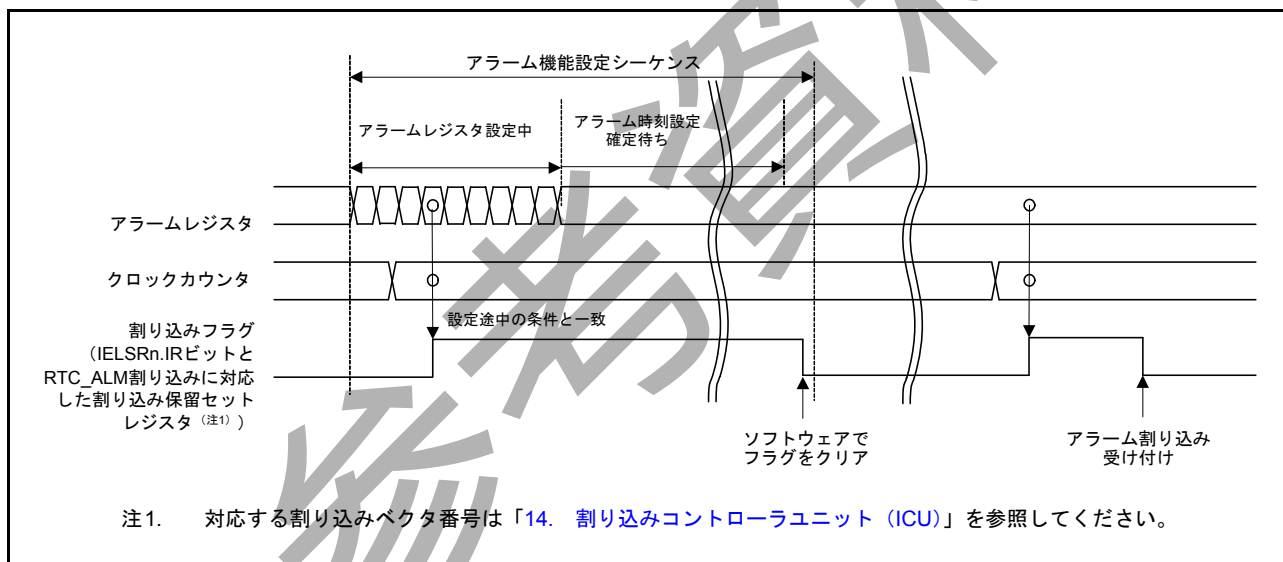


図 25.11 アラーム割り込み (RTC\_ALM) のタイミング図

### (2) 周期割り込み (RTC\_PRD)

この割り込みは、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、または 1/256 秒周期で発生します。RCR1.PES[3:0] ビットによって割り込み周期の選択が可能です。

### (3) 桁上げ割り込み (RTC\_CUP)

この割り込みは、秒カウンタ/バイナリカウンタ 0 への桁上げが生じたとき、または 64Hz カウンタの読み出しと R64CNT カウンタへの桁上げが重なったときに発生します。

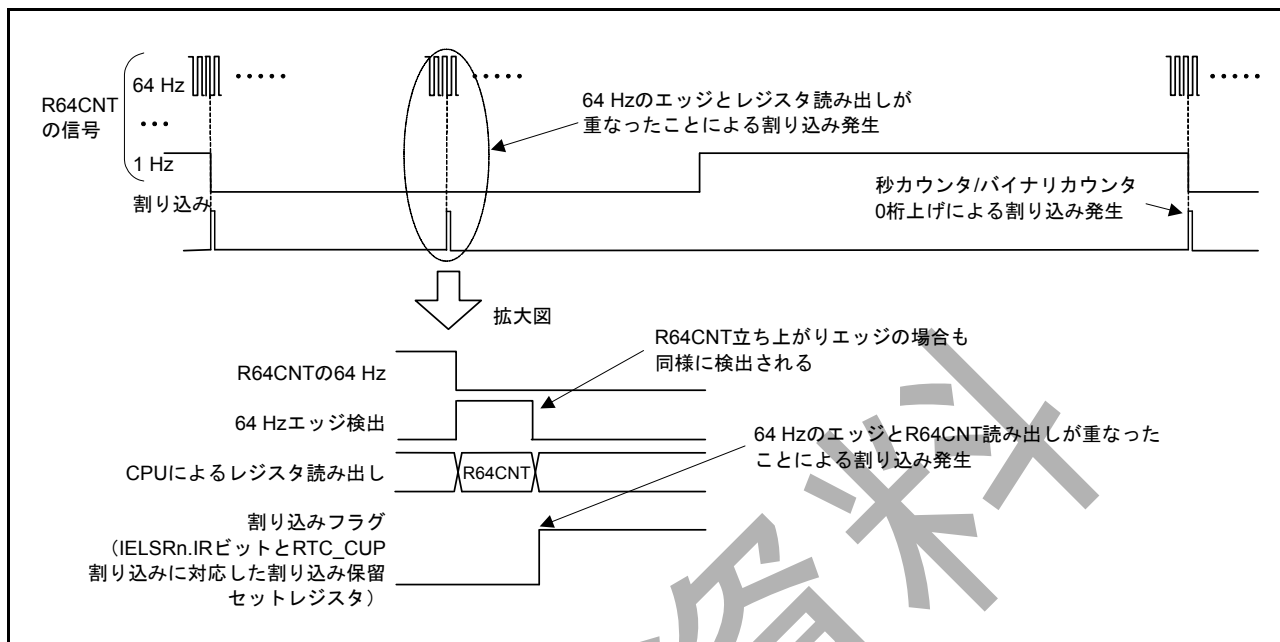


図 25.12 桁上げ割り込み (RTC\_CUP) のタイミング図

## 25.5 イベントリンク出力機能

RTC は、イベントリンクコントローラ (ELC) に対して周期イベント出力 (RTC\_PRD) のイベント信号を発生させることで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

RCR1.PES[3:0] ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択した周期でイベントを出力します。イベント発生を選択した直後のイベント発生周期は保証されません。

注． RTC からのイベントリンク機能を使用する場合は、必ず RTC の設定 (初期化、時刻設定など) を行った後、ELC を設定してください。ELC の設定後に RTC を設定すると、意図しないイベント信号が出力される場合があります。

### 25.5.1 割り込み処理とイベントリンク機能

RTC には、周期割り込みを許可または禁止する許可ビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号が出力されます。

これに対して、イベントリンク出力信号は、対応する割り込み許可ビットの設定とは無関係に、割り込み要因が発生すると、ELC を介して他のモジュールにイベント信号として送信されます。

注． ソフトウェアスタンバイモード中も、アラーム割り込みと周期割り込みの出力は可能ですが、ELC 用の周期イベント信号は出力されません。

## 25.6 使用上の注意事項

### 25.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時 (RCR2.START ビット=1 のとき) は、以下のレジスタに書き込みを行わないでください。

- RSECCNT/BCNT0
- RMINCNT/BCNT1
- RHRCNT/BCNT2
- RDAYCNT
- RWKCNT/BCNT3
- RMONCNT
- RYRCNT
- RCR1.RTCOS
- RCR2.RTCOE
- RCR2.HR24
- RFRL

上記のレジスタのいずれかに書き込みを行う場合は、前もってカウント動作を停止する必要があります。

参考資料

### 25.6.2 周期割り込みの使用について

周期割り込みの使用法を図 25.13 に示します。

周期割り込みの発生とその周期は、RCR1.PES[3:0] ビットの設定で変更できます。ただし、割り込みの生成にはプリスケアラ R64CNT と RSECCNT/BCNT0 カウンタが使用されるため、RCR1.PES[3:0] ビットの設定直後は、割り込み発生周期が保証されません。さらに、以下のいずれかによって、割り込み発生周期が影響される可能性があります。

- カウンタ動作の停止/動作/リセット
- RTC ソフトウェアリセット
- RCR2 値の変更による 30 秒調整

時間誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值に従って加算または減算されます。

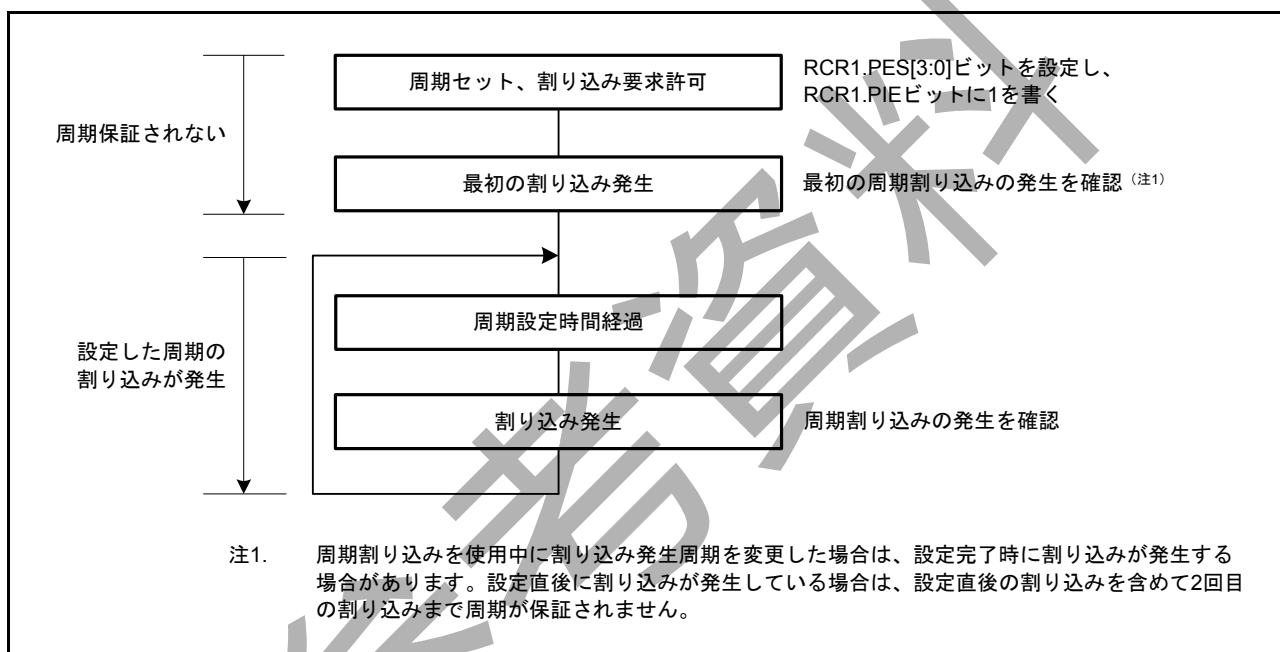


図 25.13 周期割り込み機能の使用法

### 25.6.3 RTCOUT (1Hz/64Hz) クロック出力について

RCR2 レジスタ値を変更して、カウンタ動作の停止/動作/リセット、RTC ソフトウェアリセット、および 30 秒調整を行うと、RTCOUT (1Hz/64Hz) 出力の周期に影響を与えます。時間誤差補正機能を使用した場合、補正後の RTCOUT (1Hz/64Hz) 出力の周期は、補正值に従って加算または減算されます。

### 25.6.4 レジスタ設定後の低消費電力モードへの遷移について

RTC レジスタの書き込み中に低消費電力状態 (ソフトウェアスタンバイモードまたはバッテリーバックアップ状態) へ遷移すると、レジスタ値が破壊される場合があります。レジスタの設定後は、設定が確定されたことを確認してから低消費電力状態へ遷移してください。

### 25.6.5 レジスタの書き込み／読み出し時の注意事項

- カウンタレジスタ (秒カウンタなど) へ書き込んだ後、そのカウンタレジスタを読み出す際は、[25.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。
- カウントレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR4 レジスタ、または周波数レジスタに書いた値は、書き込み後、4 回目の読み出しから反映されます。
- RCR1.CIE ビット、RCR1.RTCOS ビット、および RCR2.RTCOE ビットは、書き込み直後に書いた値を読み出すことができます。
- リセット、ソフトウェアスタンバイモード、またはバッテリーバックアップ状態から復帰した後、時計カウンタ値を読み出す際は、時計が動作中 (RCR2.START ビット = 1) の状態で 1/128 秒待ってください。
- リセット発生後、カウントソースクロックが 6 サイクル経過してから、RTC レジスタへ書き込んでください。

### 25.6.6 カウントモードの変更について

カウントモード (カレンダー／バイナリ) を変更する場合は、RCR2.START ビットを 0 にしてカウント動作を停止させた後、初期設定からやり直してください。初期設定の詳細は、[25.3.1 電源投入後のレジスタ初期設定の概要](#)を参照してください。

参考資料



### 25.6.7 リアルタイムクロックを使用しない場合の初期化手順

RTC 内のレジスタは、リセットによって初期化されません。初期状態によっては、意図しない割り込み要求の発生やカウンタの動作によって、消費電力が増大する場合があります。

リアルタイムクロックを必要としない製品では、[図 25.14](#) に示す初期化手順に従って、レジスタを初期化してください。

他の方法として、サブクロックをシステムクロックにもリアルタイムクロックにも使用しない場合は、RCR4.RCKSEL ビットを 0 (サブクロック発振器を選択) にした後、サブクロックを停止させることでカウンタを停止できます。サブクロックを停止させるには、SOSCCR.SOSTP ビットに 1 を書き込んでください。

SOSCCR.SOSTP ビットの設定については、「[9. クロック発生回路](#)」を参照してください。

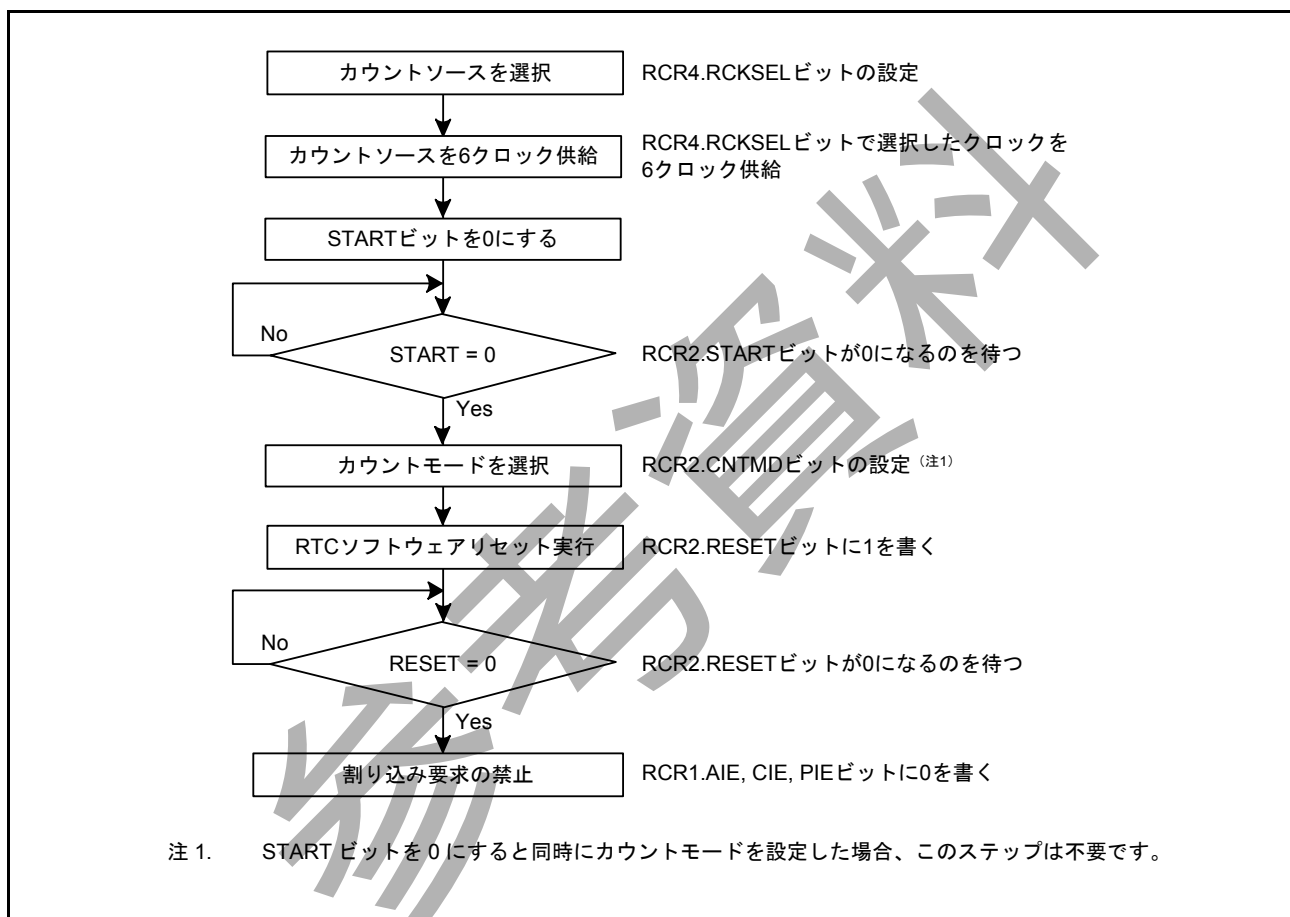


図 25.14 初期化手順

## 26. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走して WDT をリフレッシュできなくなったため、カウンタがアンダーフローした場合に MCU をリセットするために使用できます。さらに、アンダーフローによって、ノンマスクابل割り込みまたは割り込みを発生させることも可能です。リフレッシュ許可期間を設定することで、カウンタのリフレッシュやシステムの暴走検知が可能になります。

### 26.1 概要

表 26.1 に WDT の仕様を、図 26.1 に WDT のブロック図を示します。

表 26.1 WDTの仕様

項目	内容
カウンタソース	周辺クロック (PCLKB)
クロック分周比	4分周/64分周/128分周/512分周/2,048分周/8,192分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	<ul style="list-style-type: none"> <li>オートスタートモード: リセット後、またはアンダーフロー/リフレッシュエラー発生後に自動的にカウント開始</li> <li>レジスタスタートモード: WDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始</li> </ul>
カウンタ停止条件	<ul style="list-style-type: none"> <li>リセット (ダウンカウンタおよび他のレジスタが初期値に戻る)</li> <li>カウンタのアンダーフローまたはリフレッシュエラー発生時</li> </ul>
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット要因	<ul style="list-style-type: none"> <li>ダウンカウンタのアンダーフロー</li> <li>リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)</li> </ul>
ノンマスクابل割り込み/割り込み要因	<ul style="list-style-type: none"> <li>ダウンカウンタのアンダーフロー</li> <li>リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)</li> </ul>
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	<ul style="list-style-type: none"> <li>ダウンカウンタアンダーフローイベント出力</li> <li>リフレッシュエラーイベント出力</li> </ul>
出力信号 (内部信号)	<ul style="list-style-type: none"> <li>リセット出力</li> <li>割り込み要求出力</li> <li>スリープモードカウント停止制御出力</li> </ul>

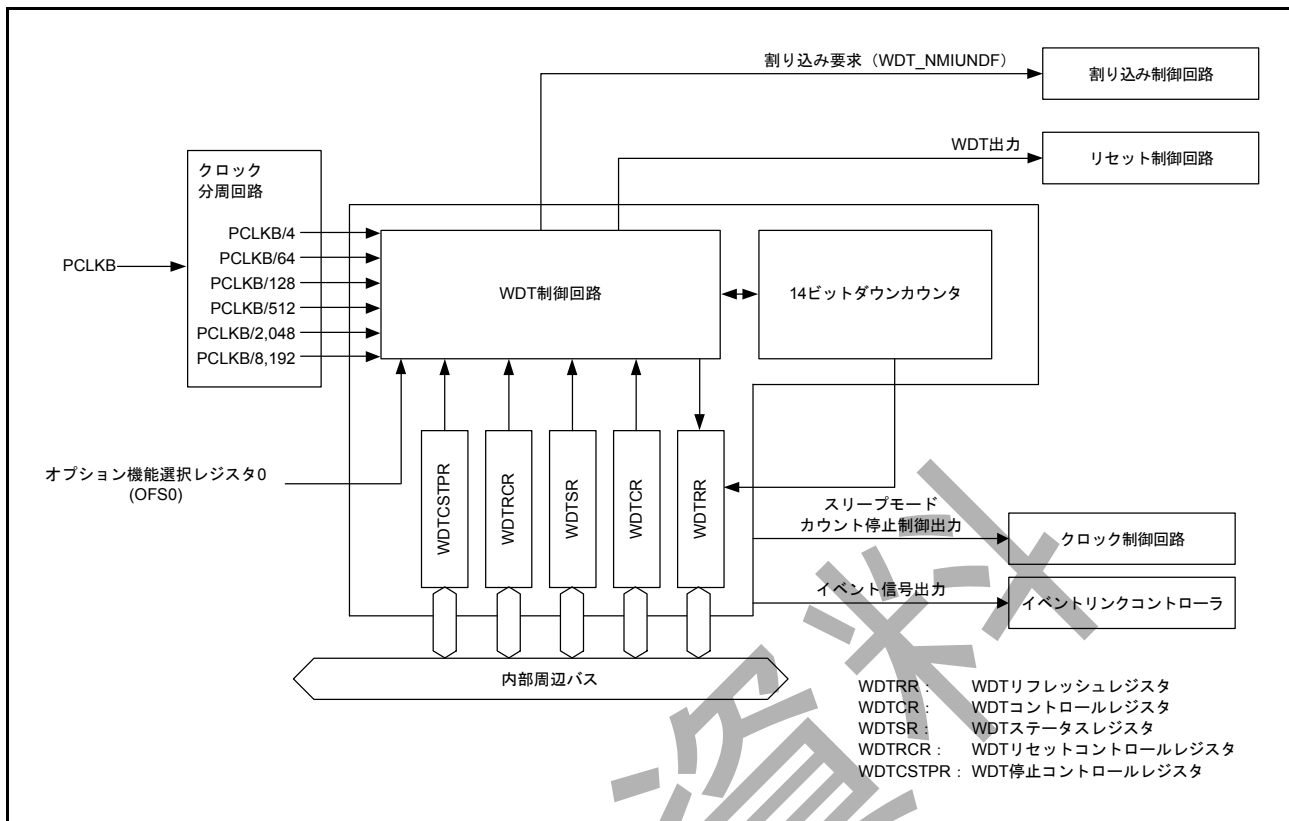
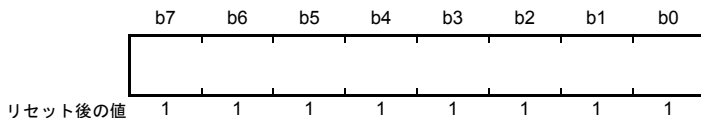


図 26.1 WDT のブロック図

## 26.2 レジスタの説明

### 26.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス `WDT.WDTRR 4004 4200h`



ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは、ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 の WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、[26.3.3 リフレッシュ動作](#)を参照してください。

## 26.2.2 WDT コントロールレジスタ (WDTCR)

アドレス WDT.WDTCR 4004 4202h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択	b1 b0 0 0 : 1,024 サイクル (03FFh) 0 1 : 4,096 サイクル (0FFFh) 1 0 : 8,192 サイクル (1FFFh) 1 1 : 16,384 サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W
b7-b4	CKS[3:0]	クロック分周比選択	b7 b4 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2,048 1 0 0 0 : PCLKB/8,192 上記以外は設定しないでください。	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウ終了位置の設定なし)	R/W
b11-b10	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウ開始位置の設定なし)	R/W
b15-b14	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は、[26.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCR レジスタと同様の設定が可能です。詳細は、[26.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

## TOPS[1:0] ビット (タイムアウト期間選択)

タイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1,024 サイクル / 4,096 サイクル / 8,192 サイクル / 16,384 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間 (PCLKB サイクル数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせで決定されます。

表 26.2 に、CKS[3:0] および TOPS[1:0] ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 26.2 タイムアウト期間の設定

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLKB クロックサイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	PCLKB/4	1,024	4,096
				0	1		4,096	16,384
				1	0		8,192	32,768
				1	1		16,384	65,536
0	1	0	0	0	0	PCLKB/64	1,024	65,536
				0	1		4,096	262,144
				1	0		8,192	524,288
				1	1		16,384	1,048,576
1	1	1	1	0	0	PCLKB/128	1,024	131,072
				0	1		4,096	524,288
				1	0		8,192	1,048,576
				1	1		16,384	2,097,152
0	1	1	0	0	0	PCLKB/512	1,024	524,288
				0	1		4,096	2,097,152
				1	0		8,192	4,194,304
				1	1		16,384	8,388,608
0	1	1	1	0	0	PCLKB/2,048	1,024	2,097,152
				0	1		4,096	8,388,608
				1	0		8,192	16,777,216
				1	1		16,384	33,554,432
1	0	0	0	0	0	PCLKB/8,192	1,024	8,388,608
				0	1		4,096	33,554,432
				1	0		8,192	67,108,864
				1	1		16,384	134,217,728

**CKS[3:0] ビット (クロック分周比選択)**

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、周辺クロック (PCLKB) の 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2,048 分周 / 8,192 分周から選択できます。TOPS[1:0] ビット設定と組み合わせ、WDT のカウント期間を PCLKB クロックの 4,096 ~ 134,217,728 サイクルから選択できます。

**RPES[1:0] ビット (ウィンドウ終了位置選択)**

リフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を選択してください (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置がウィンドウ開始位置より大きいと、ウィンドウ開始位置の設定のみが有効となります。

**RPSS[1:0] ビット (ウィンドウ開始位置選択)**

リフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ終了位置は 0% になります。

ウィンドウ開始、終了位置のカウント値を表 26.3 に、RPSS[1:0]、RPES[1:0]、TOPS[1:0] ビットで設定されるリフレッシュ許可期間を図 26.2 に示します。

表 26.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
		サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1,024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4,096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8,192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16,384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

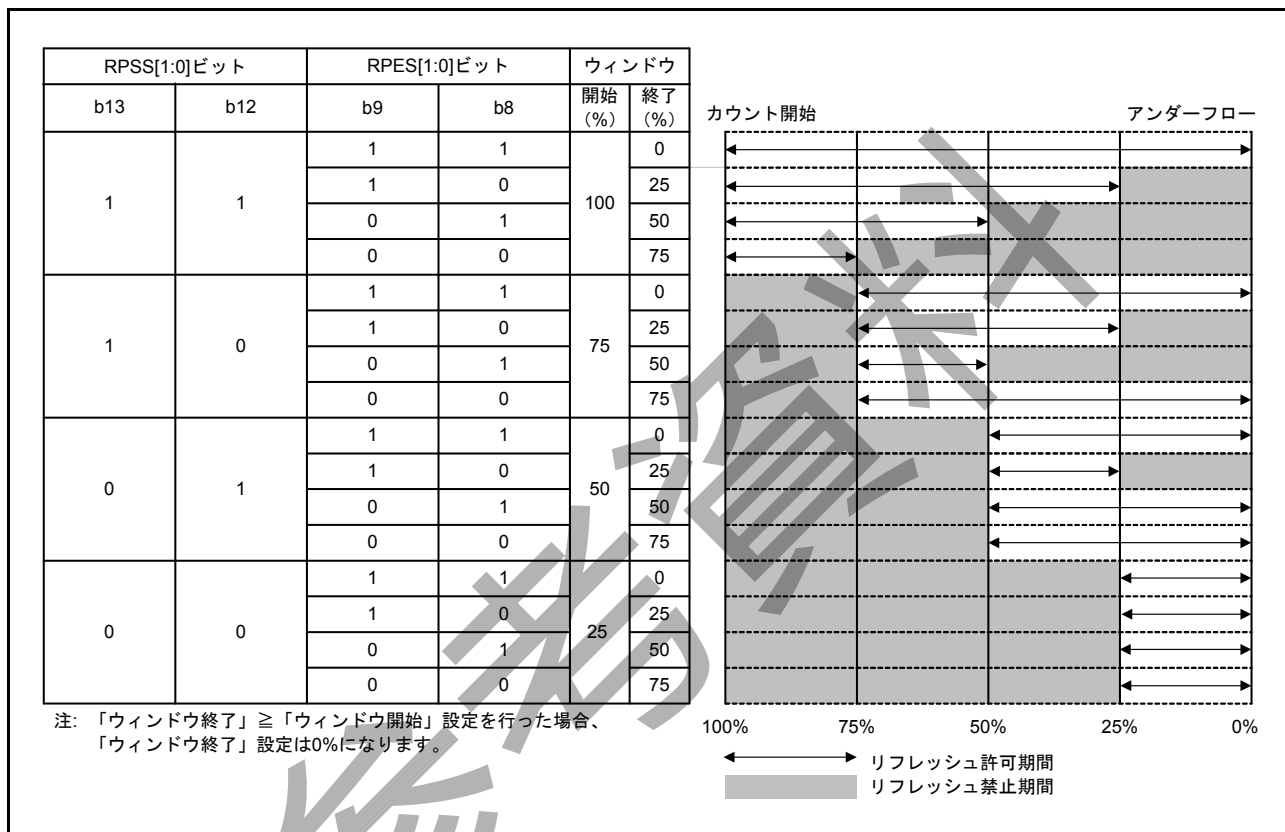
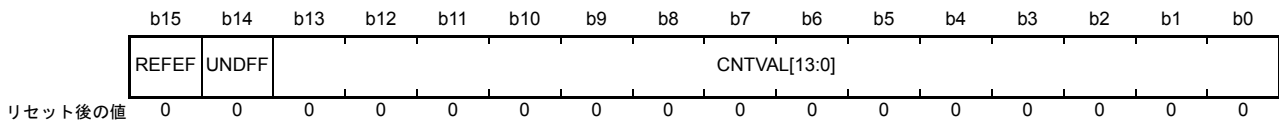


図 26.2 RPSS[1:0] および RPES[1:0] ビットとリフレッシュ許可期間

### 26.2.3 WDT ステータスレジスタ (WDTSR)

アドレス WDT.WDTSR 4004 4204h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダーフローフラグ	0: アンダーフロー発生なし 1: アンダーフロー発生あり	R(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラー発生なし 1: リフレッシュエラー発生あり	R(W) (注1)

注1. フラグをクリアするための0の書き込みのみ可能です。

#### CNTVAL[13:0] ビット (ダウンカウンタ値)

本ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウンタ値から1カウントずれる場合があります。

#### UNDFE フラグ (アンダーフローフラグ)

本フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が1のとき、ダウンカウンタがアンダーフローしたことを示します。値を0にするには0を書き込んでください。1の書き込みは無効です。

UNDFE フラグのクリアには、5 PCLKB サイクルを要します。さらに、アンダーフローの発生から一定サイクル数の間は、このフラグをクリアしても無視されます。このサイクル数は、次式のように、WDTCR.CKS[3:0] ビットで指定されます。

$$(4 \sim 8,192) + 2 \text{ PCLKB サイクル}$$

#### REFEF フラグ (リフレッシュエラーフラグ)

本フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。読み出し値が1のとき、リフレッシュエラーが発生したことを示します。値を0にするには、0を書き込んでください。1の書き込みは無効です。

REFEF フラグのクリアには、5 PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から一定サイクル数の間は、このフラグをクリアしても無視されます。このサイクル数は、次式のように、WDTCR.CKS[3:0] ビットで指定されます。

$$(4 \sim 8,192) + 2 \text{ PCLKB サイクル}$$



### 26.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス [WDT.WDTRCR 4004 4206h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W
b7	RSTIRQS	リセット割り込み要求選択	0: ノンマスクابل割り込み要求または割り込み要求の出力を許可 1: リセット出力を許可	R/W

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、[26.3.2 WDTCR、WDTRCR、および WDTCSPTPR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCR レジスタと同様の設定が可能です。詳細は、[26.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

### 26.2.5 WDT カウント停止コントロールレジスタ (WDTCSPTPR)

アドレス [WDT.WDTCSPTPR 4004 4208h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCST P	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書き込みは無効です。	R/W
b7	SLCSTP	スリープモードカウント停止制御	0: カウント停止を禁止 1: スリープモード遷移時にカウント停止	R/W

WDTCSPTPR レジスタは、低消費電力状態において、WDT カウンタを停止させるか否かを制御します。WDTCSPTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、[26.3.2 WDTCR、WDTRCR、および WDTCSPTPR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTCSPTPR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCSPTPR レジスタと同様の設定が可能です。詳細は、[26.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

#### SLCSTP ビット (スリープモードカウント停止制御)

スリープモード遷移時に、カウントを停止させるか否かを選択します。

### 26.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタの詳細については、[26.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

## 26.3 動作説明

### 26.3.1 スタートモード別のカウント動作

WDTには2つのスタートモードがあります。それらは、リセット解除後に自動的にカウントがスタートするオートスタートモードと、レジスタ書き込みによるリフレッシュでカウントがスタートするレジスタスタートモードです。

オートスタートモードでは、リセット状態の解除後、フラッシュ内のオプション機能選択レジスタ0 (OFS0) の設定に従って自動的にカウントがスタートします。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してからリフレッシュ (レジスタへの書き込み) を行うと、カウントがスタートします。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0 レジスタの WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。オートスタートモードを選択した場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

レジスタスタートモードを選択した場合、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) の設定値が有効となります。

#### 26.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が1の場合、レジスタスタートモードが選択されて、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) が有効となります。

リセット状態の解除後、WDTCSSTPR レジスタで以下をスリープモードに設定してください。

- クロック分周比
- ウィンドウ開始/終了位置
- WDTCR レジスタにおいて、タイムアウト期間
- WDTRCR レジスタにおいて、リセット出力または割り込み要求出力
- 遷移時のカウンタ停止制御

ダウンカウンタをリフレッシュして、タイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントを開始してください。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウントが継続する間、WDT はリセット信号を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュできなかったため、ダウンカウンタがアンダーフローした場合や、リフレッシュ許可期間外にカウンタをリフレッシュしたため、リフレッシュエラーが発生した場合は、WDT はリセット信号を出力するか、またはノンマスクブル割り込み要求/割り込み要求 (WDT\_NMIUNDF) を出力します。リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で行います。ノンマスクブル割り込み要求または割り込み要求の選択は、WDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で行います。

図 26.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- リセット出力を許可 (WDTCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

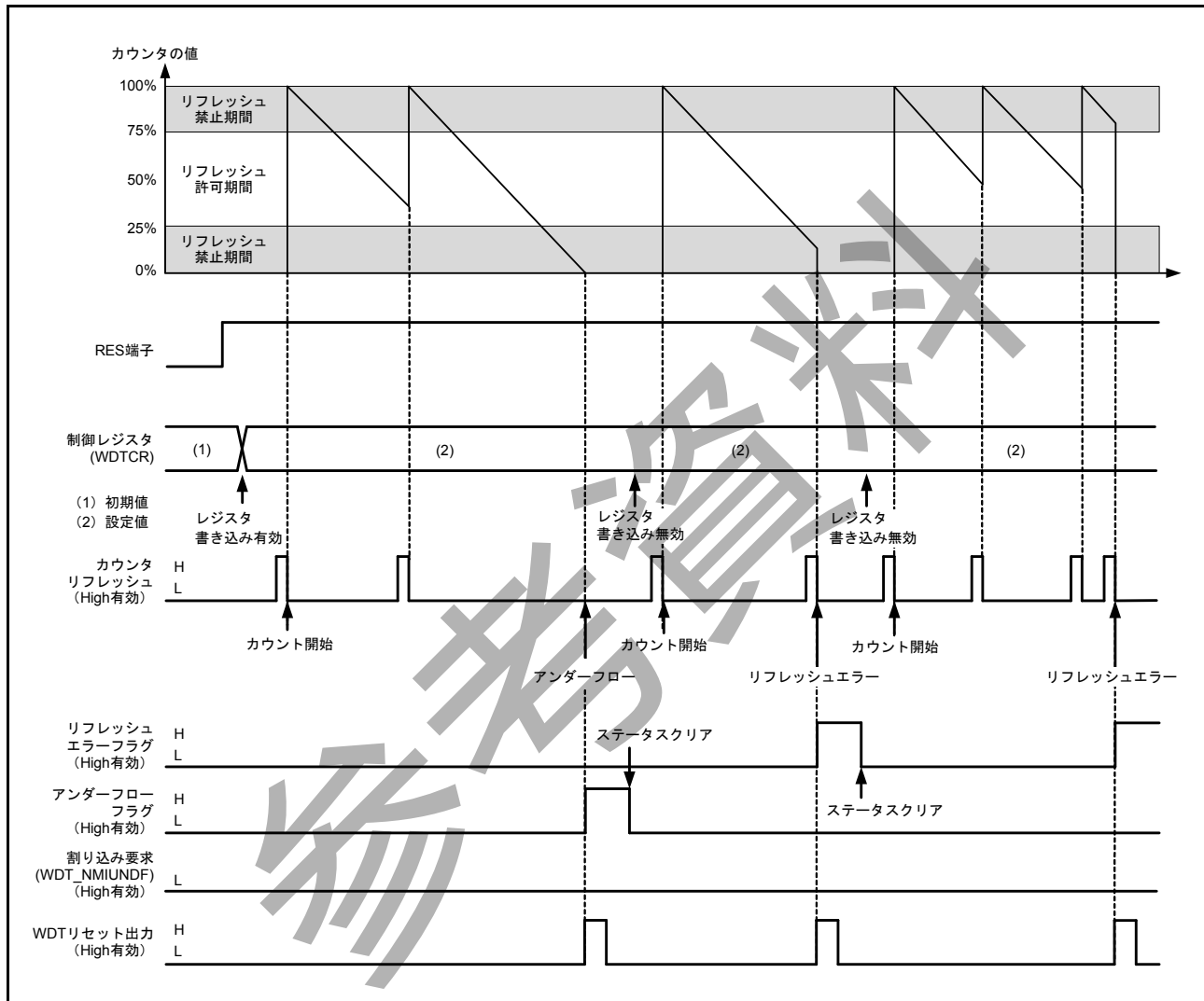


図 26.3 レジスタスタートモードでの動作例

### 26.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されて、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の設定値 (クロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求) とスリープモード遷移時のカウンタ停止制御が、WDT のレジスタに設定されます。

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTPOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウンタが継続する間、WDT はリセット信号を出力しません。

ただし、プログラムの暴走によってダウンカウンタをリフレッシュできなかったため、ダウンカウンタがアンダーフローした場合や、リフレッシュ許可期間外にカウンタをリフレッシュしたため、リフレッシュエラーが発生した場合は、WDT はリセット信号を出力するか、またはノンマスカブル割り込み要求/割り込み要求 (WDT\_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求/割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) で行います。ノンマスカブル割り込み要求または割り込み要求の選択は、WDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で行います。

図 26.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード（OFS0.WDTSTRT = 0）
- ノンマスカブル割り込み要求出力を許可（OFS0.WDTRSTIRQS = 0）
- ウィンドウ開始位置 75%（WDTCR.RPSS[1:0] = 10b）
- ウィンドウ終了位置 25%（WDTCR.RPES[1:0] = 10b）

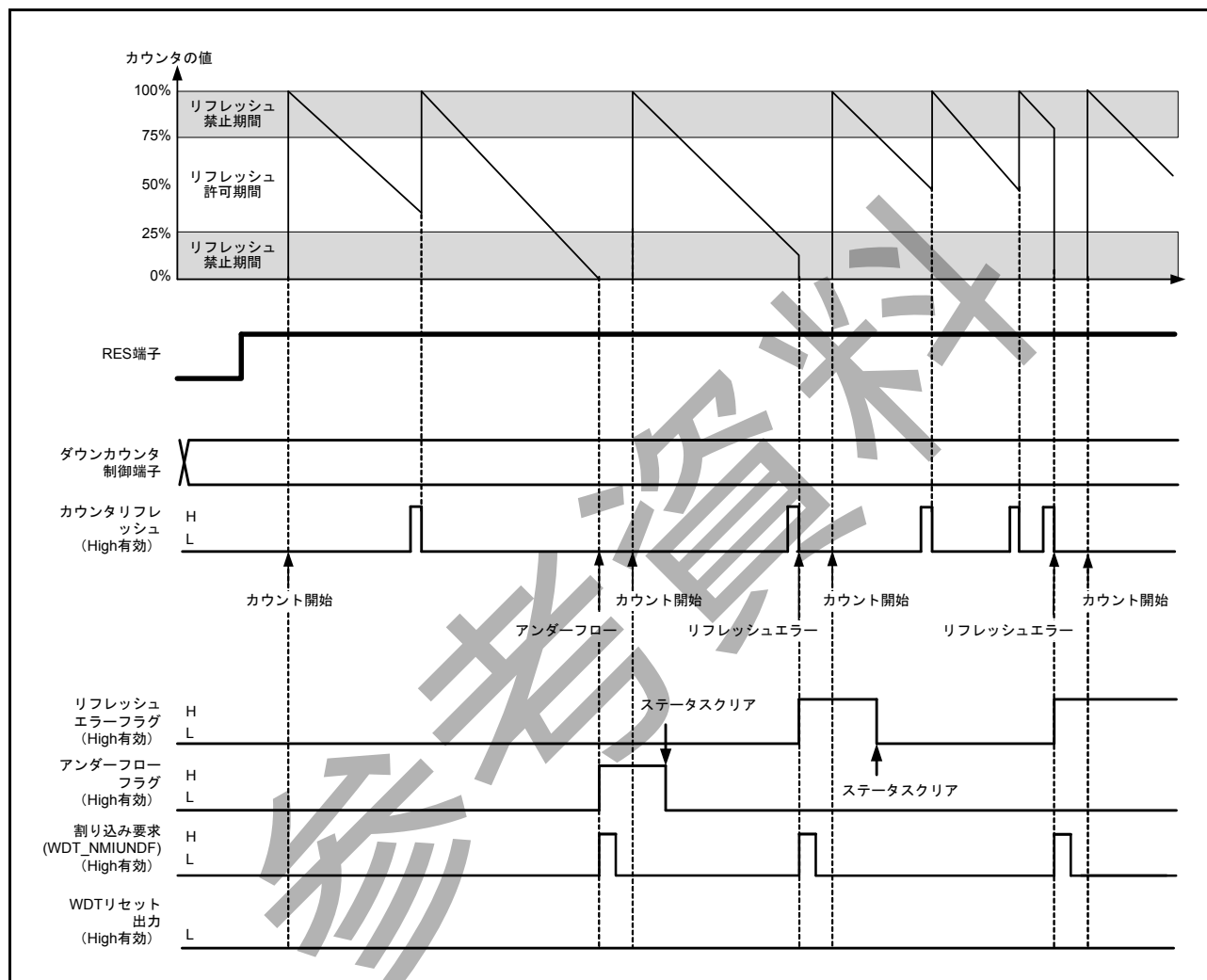


図 26.4 オートスタートモードでの動作例

### 26.3.2 WDTCR、WDTRCR、および WDTCSPTP レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTP) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間に 1 回可能です。

リフレッシュ (カウントスタート) 後、あるいは WDTCR、WDTRCR、または WDTCSPTP レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後の書き込みから WDTCR、WDTRCR、および WDTCSPTP レジスタを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 26.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。

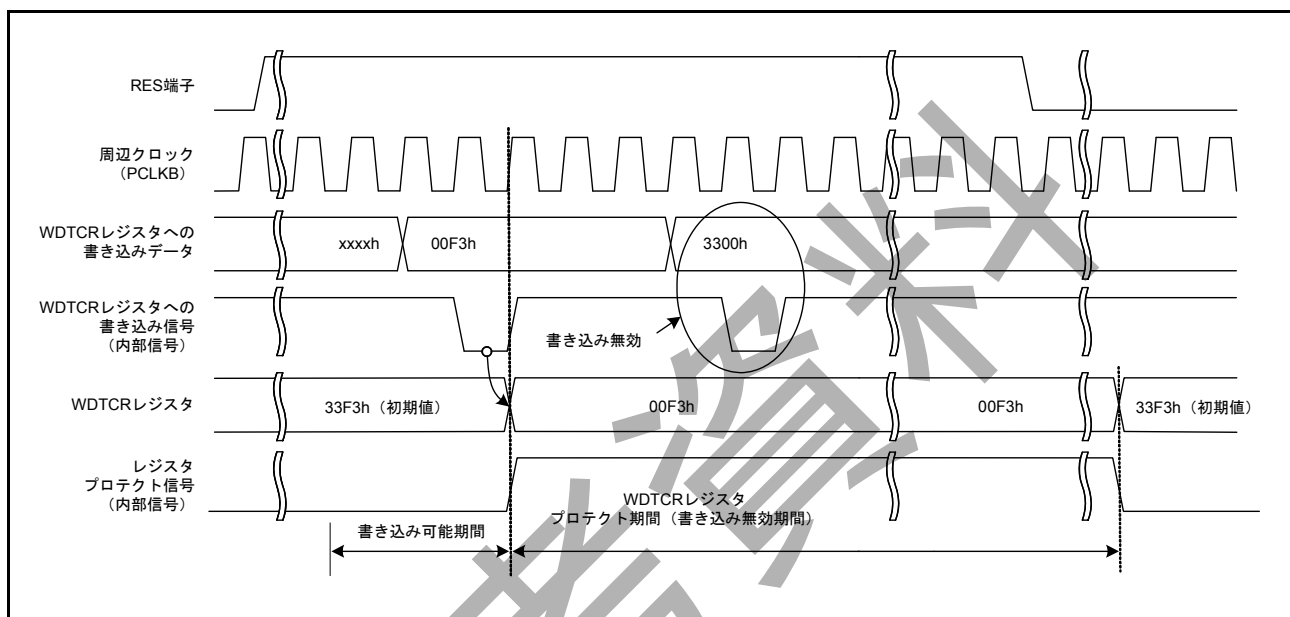


図 26.5 WDTCR レジスタへの書き込みに対して生成される制御波形

### 26.3.3 リフレッシュ動作

ダウンカウンタは、WDT リフレッシュレジスタ (WDTRR) に 00h と FFh を書き込むことによってリフレッシュされます。00h の後に FFh 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタへ 00h と FFh を書き込むと、正常なリフレッシュが再開します。

また、WDTRR レジスタへの 00h の書き込みと FFh の書き込みの間で、WDTRR 以外のレジスタにアクセスしたり、WDTRR レジスタを読み出したりしても、正常にリフレッシュが行われます。

カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります。この判定は FFh の書き込み時に行われます。そのため、00h の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

#### 【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h (n-1 回目) → 00h (n 回目) → FFh
- 00h → 別レジスタへのアクセスまたは WDTRR レジスタの読み出し → FFh

#### 【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h (00h 以外の値) → FFh
- 00h → 54h (FFh 以外の値)
- 00h → AAh (00h および FFh 以外の値) → FFh

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に FFh を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します。そのため、ダウンカウンタがアンダーフローする 4 サイクル前までに、WDTRR レジスタへの FFh 書き込みを完了してください。

図 26.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。

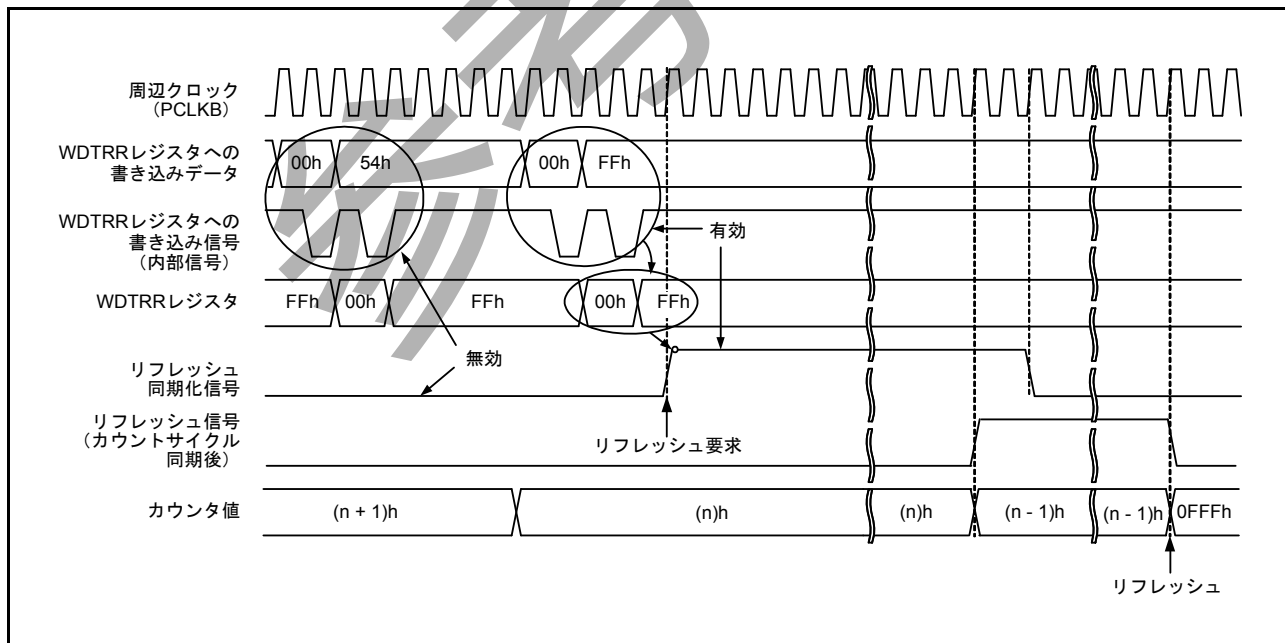


図 26.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合)

### 26.3.4 リセット出力

レジスタスタートモードでリセット割り込み選択ビット (WDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号が 1 サイクル間出力されます。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され (全ビットが 0 になり)、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが設定され、ダウンカウントが再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントがスタートします。

### 26.3.5 割り込み要因

レジスタスタートモードでリセット割り込み選択ビット (WDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に割り込み (WDT\_NMIUNDF) 信号が生成されます。この割り込みは、ノンマスクابل割り込みと割り込みの両方に対応しています。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

表 26.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動
WDT_NMIUNDF	ダウンカウンタのアンダーフロー リフレッシュエラー	不可能

### 26.3.6 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。したがって、カウンタ値は WDTSR.CNTVAL[13:0] ビットで確認できます。

図 26.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。

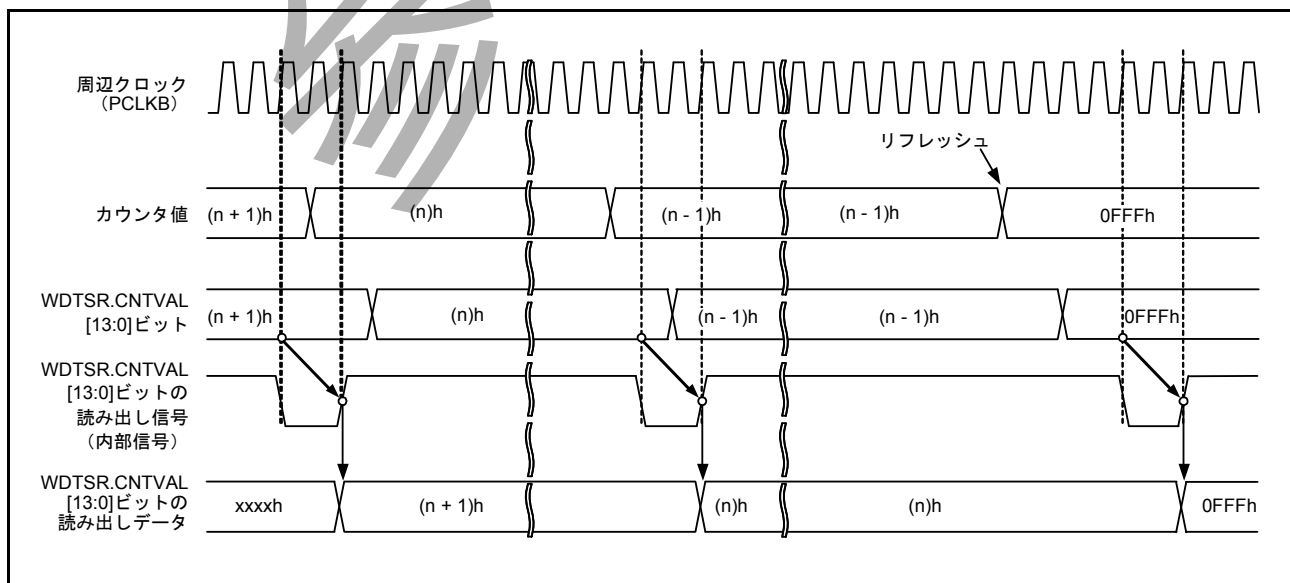


図 26.7 WDT ダウンカウンタ値の読み出し処理  
(WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合)



### 26.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係

表 26.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。

OFS0 レジスタの設定値は、WDT 動作中は変更しないでください。オプション機能選択レジスタ 0 (OFS0) については、[7.2.1 オプション機能選択レジスタ 0 \(OFS0\)](#) を参照してください。

表 26.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係

制御対象	機能	OFS0 レジスタ (オートスタートモードで有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモードで有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDCSTRP.SLCSTP

## 26.4 ELC によるリンク動作

ELC が割り込み要求信号をイベント信号として使用する場合、WDT は前もって設定しておいたモジュールに対してリンク動作が可能です。イベント信号は、カウンタのアンダーフローおよびリフレッシュエラーによって出力されます。

イベント信号は、レジスタスタートモードまたはオートスタートモードでのリセット割り込み要求選択ビット (WDTCR.RSTIRQS) の設定とは無関係に出力されます。また、リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「[19. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

## 26.5 使用上の注意事項

### 26.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定

WDT リセットアサートを許可 (OFS0.WDTRSTIRQS = 0 または WDTCR.RSTIRQS = 0) にした場合、またはイベントリンク動作を許可 (IELSRm.ELS[7:0] = 18h) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[7:0]) には 18h を設定しないでください。

## 27. 独立ウォッチドッグタイマ (IWDT)

### 27.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタです。このカウンタはアンダーフロー防止のため周期的に動作させる必要があります。IWDT には、MCU をリセットする機能や、タイマのアンダーフロー発生時に割り込み/ノンマスカブル割り込みを生成する機能があります。このタイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、MCU をフェイルセーフ機構と呼ばれる状態に戻すことに特に役立ちます。ウォッチドッグタイマは、リセット、アンダーフロー、リフレッシュエラー、またはレジスタのカウンタ値のリフレッシュで自動的に起動します。

IWDT の機能は、WDT とは以下の点で異なります。

- カウントソースとして IWDT 専用クロック (IWDTCLK) の分周したものを使用 (PCLKB の影響を受けない)
- IWDT はレジスタスタートモードを非サポート
- 低消費電力モードへ遷移したとき、OFS0.IWDTSTPCTL ビットを使用してカウンタを停止する/しないの選択が可能

表 27.1 に IWDT の仕様を、図 27.1 に IWDT のブロック図を示します。

表 27.1 IWDT の仕様

項目	内容
カウントソース (注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	• リセット後、自動的にカウンタ開始
カウンタ停止条件	• リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) • カウンタのアンダーフローまたはリフレッシュエラー発生時 自動的にカウンタ再開
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号 (内部信号)	• リセット出力 • 割り込み要求出力 • スリープモードカウンタ停止制御出力
オートスタートモード	• リセット後のクロック分周比の選択 (OFS0.IWDTCK[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDTRPES[1:0] ビット) • リセット出力または割り込み要求出力の選択 (OFS0.IWDTIRSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード遷移時のダウンカウンタ停止機能の選択 (OFS0.IWDTSTPCTL ビット)

注 1. 周辺モジュールクロック (PCLKB) 周波数  $\geq 4 \times$  (カウントクロックソースの分周後周波数) となるように設定してください。

IWDT を使用するには、IWDT 専用クロック (IWDTCLK) を供給してください。バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

図 27.1 に IWDT のブロック図を示します。

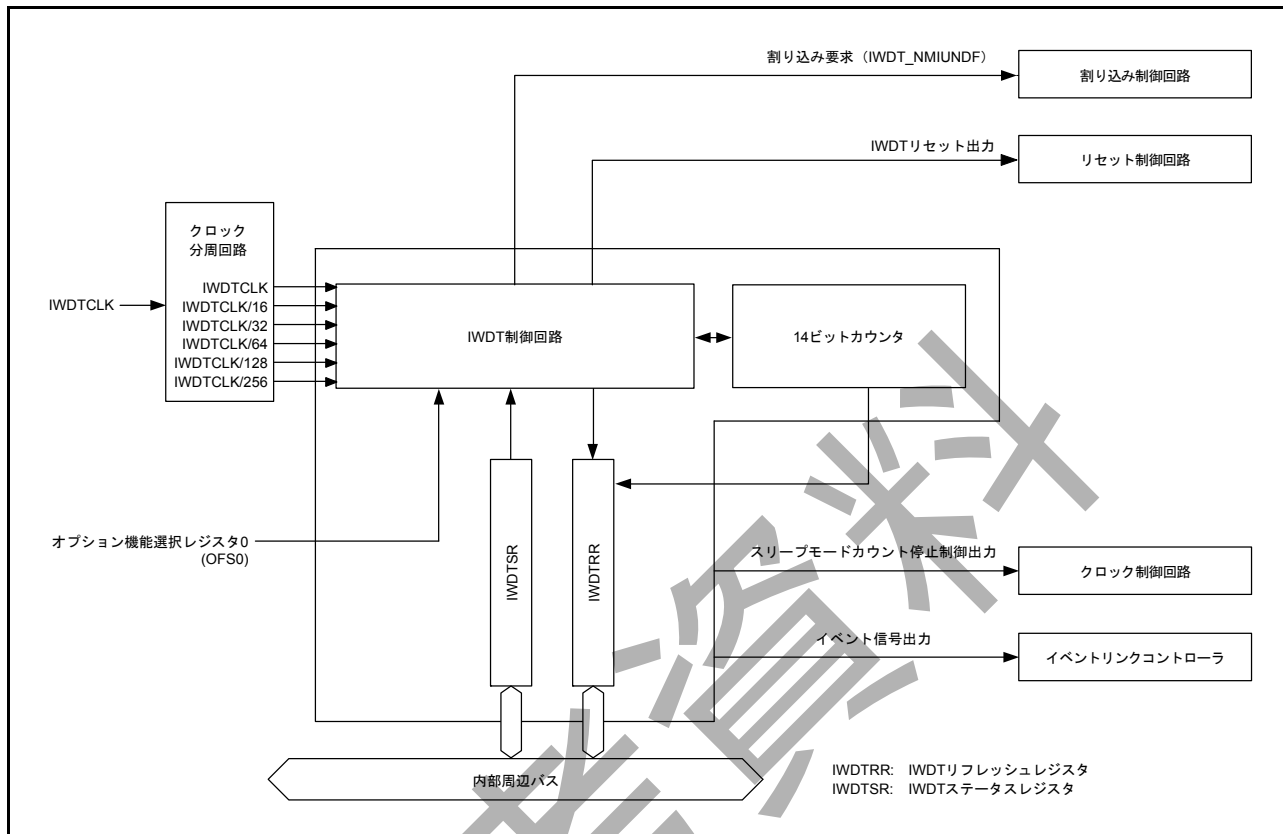
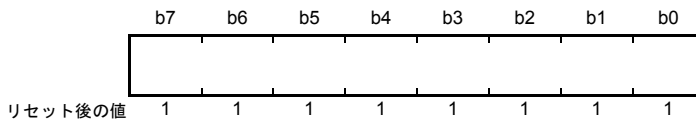


図 27.1 IWDT のブロック図

## 27.2 レジスタの説明

### 27.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス IWDT.IWDTRR 4004 4400h



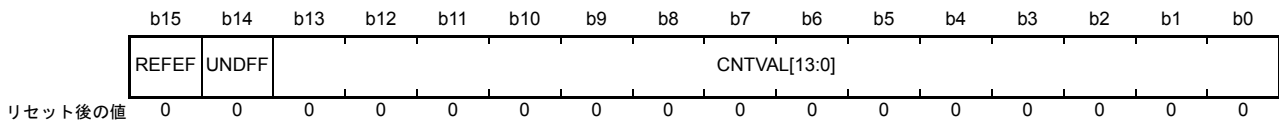
ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。リフレッシュ許可期間内に、IWDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウンタがスタートします。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、[27.3.2 リフレッシュ動作](#)を参照してください。

## 27.2.2 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 4004 4404h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダーフローフラグ	0: アンダーフロー発生なし 1: アンダーフロー発生あり	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラー発生なし 1: リフレッシュエラー発生あり	R/(W) (注1)

注1. フラグをクリアするための0の書き込みのみ可能です。

**CNTVAL[13:0] ビット (カウンタ値)**

本ビットを読み出すことにより、ダウンカウンタの値を確認できます。ただし読み出し値は、実際のカウンタ値から1カウントずれる場合があります。

**UNDFE フラグ (アンダーフローフラグ)**

本フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が1のとき、ダウンカウンタがアンダーフローしたことを示します。値を0にするには0を書き込んでください。1の書き込みは無効です。

UNDFE フラグのクリアには、3 IWDTCLK サイクルと2 PCLKB サイクルを要します。さらに、アンダーフローの発生から一定サイクル数の間は、このフラグをクリアしても無視されます。このサイクル数は、次式のように、IWDTCKS[3:0] ビットで指定されます。

$$(1 \sim 256) + 2 \text{ IWDTCLK サイクル}$$
**REFEF フラグ (リフレッシュエラーフラグ)**

本フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。読み出し値が1のとき、リフレッシュエラーが発生したことを示します。値を0にするには0を書き込んでください。1の書き込みは無効です。

REFEF フラグのクリアには、3 IWDTCLK サイクルと2 PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から一定サイクル数の間は、このフラグをクリアしても無視されます。このサイクル数は、次式のように、IWDTCKS[3:0] ビットで指定されます。

$$(1 \sim 256) + 2 \text{ IWDTCLK サイクル}$$

### 27.2.3 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) の詳細については、[7.2.1 オプション機能選択レジスタ 0 \(OFS0\)](#) を参照してください。

#### IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

タイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1,024 サイクル / 2,048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間 (IWDTCLK サイクル数) は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせで決定されます。表 27.2 に、IWDTCKS[3:0] および IWDTTOPS[1:0] ビットの設定値、タイムアウト期間、および IWDTCLK サイクル数の関係を示します。

表 27.2 タイムアウト期間の設定

IWDTCKS[3:0] ビット				IWDTTOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK の サイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK/1	128	128
				0	1		512	512
				1	0		1,024	1,024
				1	1		2,048	2,048
0	0	1	0	0	0	IWDTCLK/16	128	2,048
				0	1		512	8,192
				1	0		1,024	16,384
				1	1		2,048	32,768
0	0	1	1	0	0	IWDTCLK/32	128	4,096
				0	1		512	16,384
				1	0		1,024	32,768
				1	1		2,048	65,536
0	1	0	0	0	0	IWDTCLK/64	128	8,192
				0	1		512	32,768
				1	0		1,024	65,536
				1	1		2,048	131,072
1	1	1	1	0	0	IWDTCLK/128	128	16,384
				0	1		512	65,536
				1	0		1,024	131,072
				1	1		2,048	262,144
0	1	0	1	0	0	IWDTCLK/256	128	32,768
				0	1		512	131,072
				1	0		1,024	262,144
				1	1		2,048	524,288

#### IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDT 専用クロック (IWDTCLK) の 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択できます。IWDTTOPS[1:0] ビット設定と組み合わせて、IWDT のカウント期間を IWDTCLK クロックの 128 ~ 524,288 サイクルから選択できます。

**IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)**

リフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を選択してください。ウィンドウ終了位置がウィンドウ開始位置よりも大きいと、ウィンドウ開始位置の設定のみが有効となります。

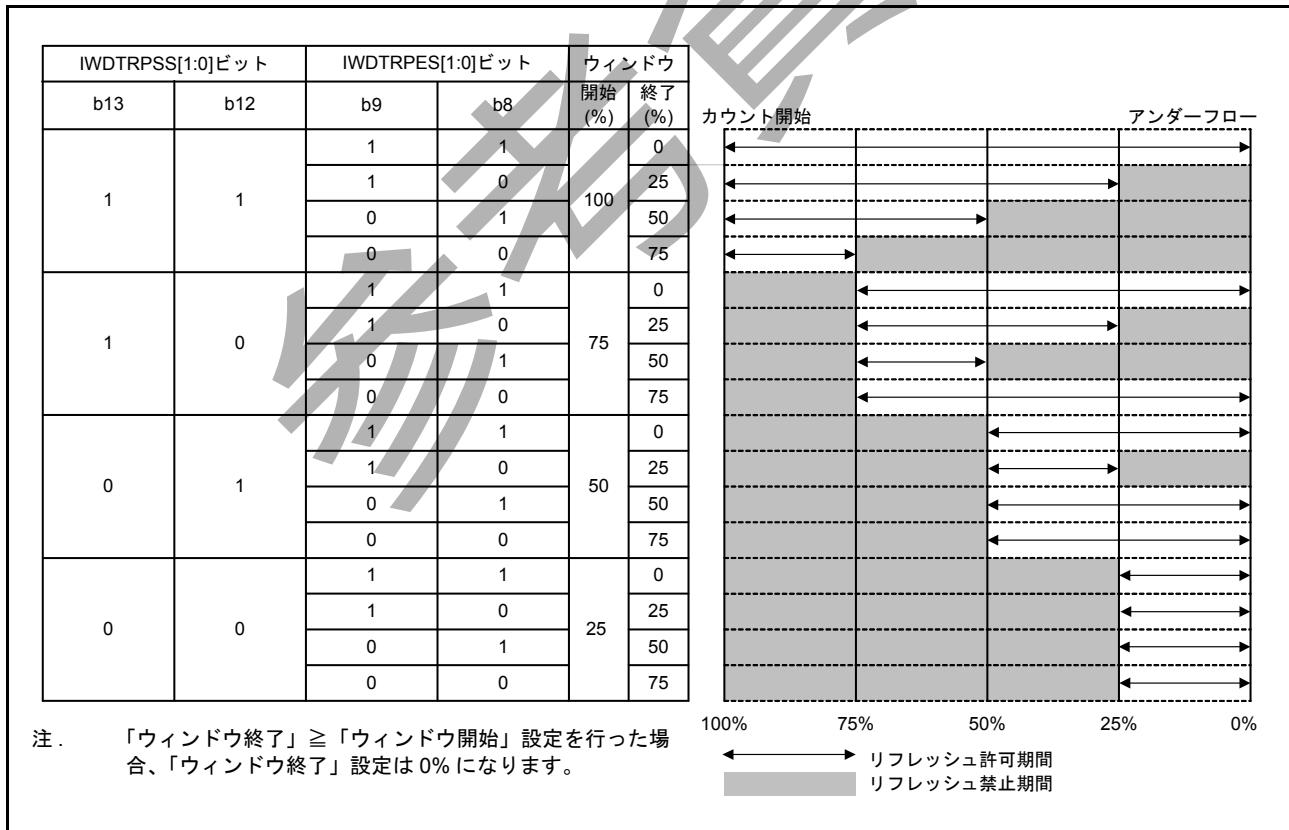
**IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)**

リフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置がウィンドウ終了位置以下であると、ウィンドウ終了位置は 0% になります。

ウィンドウ開始、終了位置のカウンタ値を **表 27.3** に、IWDRPSS[1:0]、IWDRPES[1:0]、IWDTTOPS[1:0] ビットで設定されるリフレッシュ許可期間を **図 27.2** に示します。

**表 27.3** タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

IWDTTOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1,024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2,048	07FFh	07FFh	05FFh	03FFh	01FFh



**図 27.2** IWDRPSS[1:0] および IWDRPES[1:0] ビットとリフレッシュ許可期間

**IWDRSTIRQS ビット (IWDT リセット割り込み要求選択)**

アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1 にすると、リセット出力が選択されます。0 にすると、ノンマスカブル割り込み/割り込みが選択されます。

**IWDTSTPCTL ビット (IWDT 停止制御)**

スリープモードまたはソフトウェアスタンバイモード遷移時に、カウントを停止させるか否かを選択します。

参考資料



## 27.3 動作説明

### 27.3.1 オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。それ以外では IWDT は無効です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始/終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- 低消費電力モード遷移時のカウンタ停止制御

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で選択した値からカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウントが継続する間、IWDT はリセット信号を出力しません。ただし、プログラムのクラッシュや、リフレッシュ許可期間外のリフレッシュ動作に起因したリフレッシュエラーの発生によって、カウンタがアンダーフローすると、IWDT はリセット信号またはノンマスカブル割り込み要求/割り込み要求 (IWDT\_NMIUNDF) をアサートします。

リセット信号またはノンマスカブル割り込み要求/割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードして、カウント動作を再開します。リセット出力または割り込み要求の選択は、IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) で行います。ノンマスカブル割り込み要求または割り込み要求の選択は、IWDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で行います。

図 27.3 に、下記の条件下での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- ノンマスカブル割り込み要求出力を許可 (OFS0.IWDRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.IWDRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDRPES[1:0] = 10b)

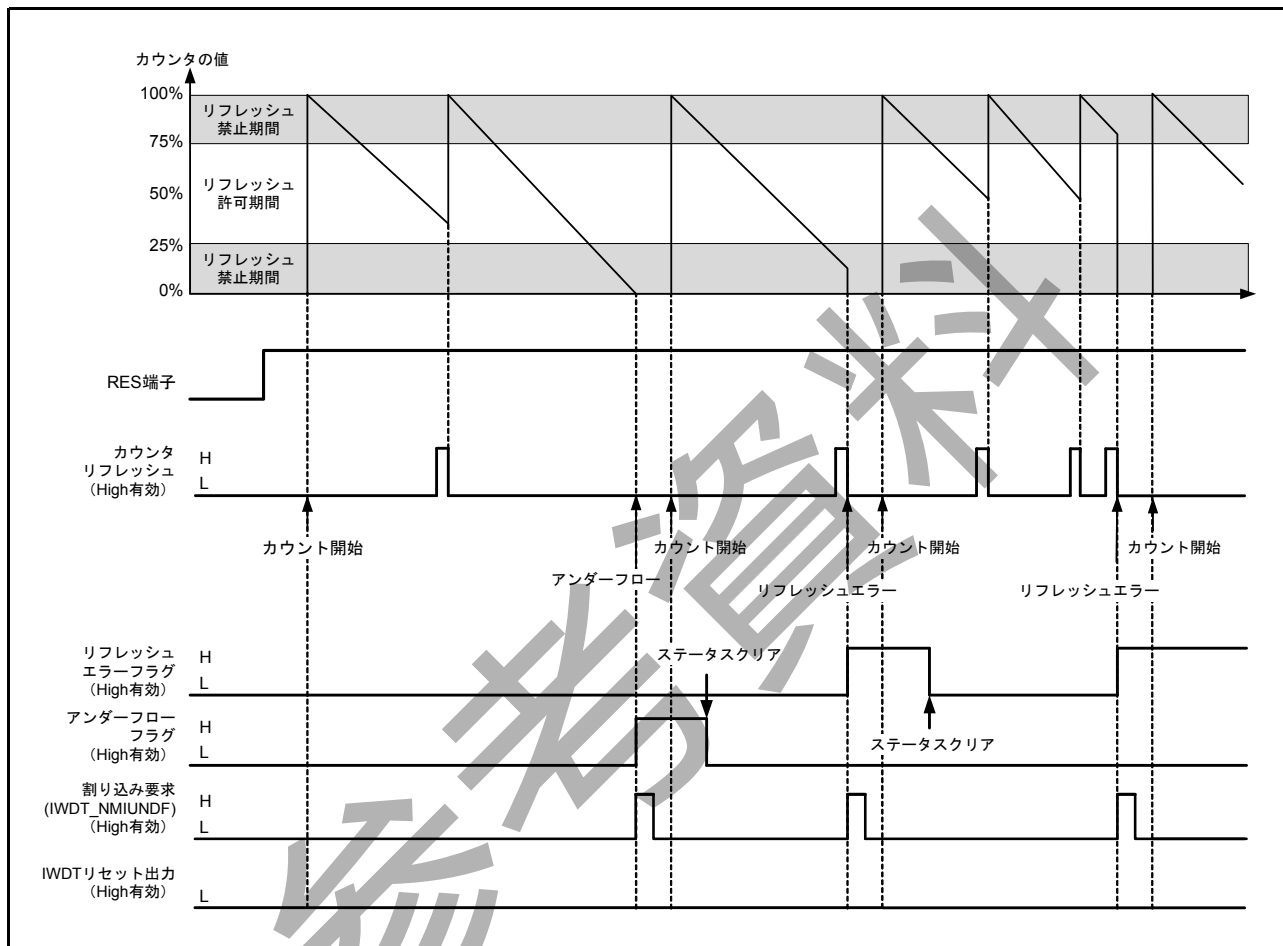


図 27.3 オートスタートモードでの動作例

### 27.3.2 リフレッシュ動作

ダウンカウンタは、IWDT リフレッシュレジスタ (IWDTRR) に 00h と FFh を書き込むことによってリフレッシュされ、カウント動作を開始します (リフレッシュ動作によるカウントスタート)。00h の後に FFh 以外の値を書き込むと、カウンタはリフレッシュされません。無効な値を書き込んだ場合は、再度、IWDT リフレッシュレジスタ (IWDTRR) へ 00h と FFh を書き込むと、正常にリフレッシュが行われます。

00h (1 回目) → 00h (2 回目) の順で書き込みを行った場合でも、その後に FFh を書き込めば、00h → FFh の書き込み順序が成立します。00h (n-1 回目) → 00h (n 回目) → FFh という書き込み順序は有効であり、正常にリフレッシュが行われます。00h より前の書き込み値が 00h 以外であっても、動作に 00h → FFh という書き込み順序が含まれていれば、正常にリフレッシュが行われます。また、IWDTRR レジスタへの 00h の書き込みと FFh の書き込みの間で、IWDTRR 以外のレジスタにアクセスしたり、IWDTRR レジスタを読み出したりしても、正常にリフレッシュが行われます。

#### 【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h (n-1 回目) → 00h (n 回目) → FFh
- 00h → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → FFh

#### 【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h (00h 以外の値) → FFh
- 00h → 54h (FFh 以外の値)
- 00h → AAh (00h および FFh 以外の値) → FFh

リフレッシュ許可期間外に IWDTRR レジスタへ 00h を書き込んだ場合でも、リフレッシュ許可期間内に IWDTRR レジスタへ FFh を書き込めば、この書き込み順序は有効であり、リフレッシュ動作が行われます。

カウンタのリフレッシュには、IWDTRR レジスタに FFh を書き込んだ後、カウント信号のサイクル数で最大 4 サイクル必要です (カウントの 1 サイクルが、IWDT 専用クロック (IWDCLK) の何サイクルに相当するかは、IWDT 専用クロック分周比選択ビット (OFS0.IWDICKS[3:0]) で決まります)。そのため、リフレッシュ許可期間の終了またはカウンタアンダーフローの 4 カウントサイクル前までに、IWDTRR レジスタへの FFh の書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

#### 【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 1FFFh とした場合、IWDTSR.CNTVAL[13:0] ビット値が 1FFFh に達する前 (たとえば 2002h) に IWDTRR レジスタへ 00h を書き込んだとしても、1FFFh に達した後に IWDTRR レジスタへ FFh を書き込めば、リフレッシュが行われます。
- ウィンドウ終了位置を 1FFFh とした場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 2003h (1FFFh の 4 カウントサイクル前) 以上であれば、リフレッシュが行われます。
- リフレッシュ許可期間が 0000h まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 0003h (アンダーフローの 4 カウントサイクル前) 以上であれば、アンダーフローが発生することなく、リフレッシュが行われます。

図 27.4 に、 $PCLKB > IWDTCLK$  のとき、クロック分周比が  $IWDTCLK$  である場合の IWDT リフレッシュ動作波形を示します。

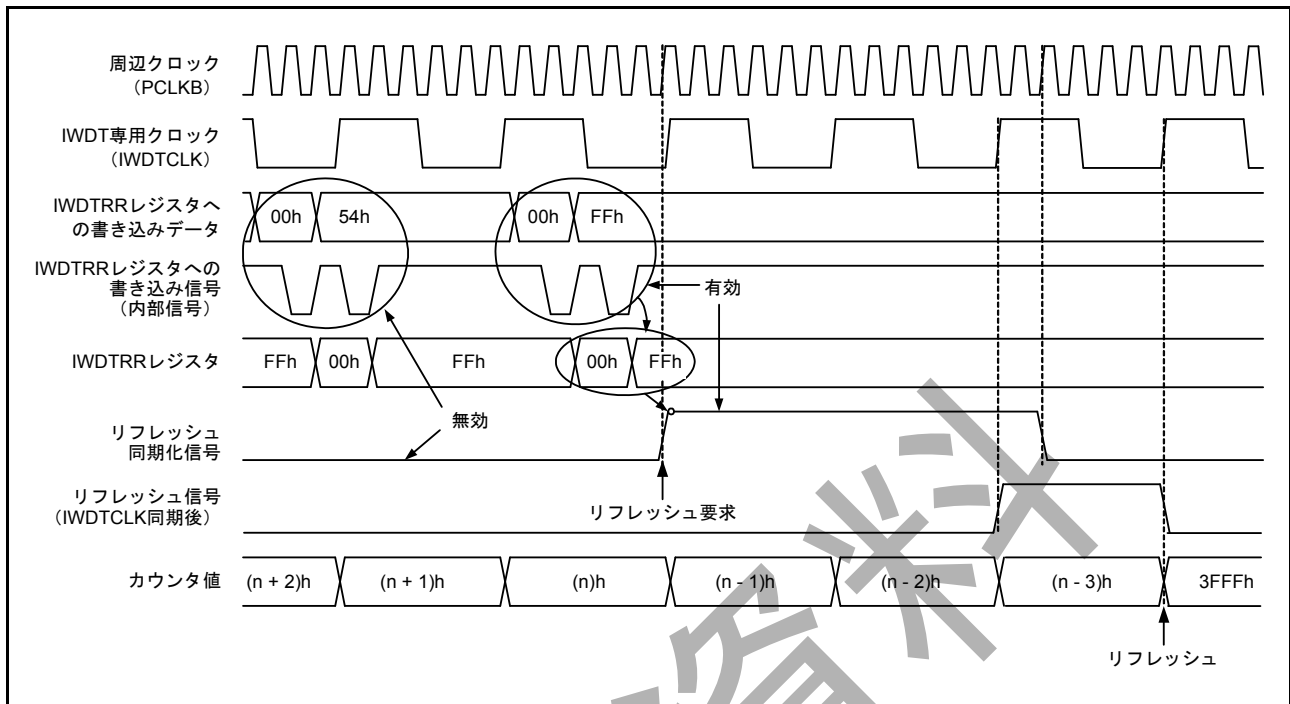


図 27.4 IWDT リフレッシュ動作波形 ( $OFS0.IWDTCKS[3:0] = 0000b$ 、 $OFS0.IWDTTOPS[1:0] = 11b$  の場合)

### 27.3.3 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF) とアンダーフローフラグ (IWDTSR.UNDF) は、IWDT がリセット信号を出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。そのため、リセット状態の解除後、または割り込み要求の発生後に、IWDTSR.REFEF フラグや UNDF フラグを読み出すことで、リセット要因や割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしても、動作に影響を与えません。次に IWDT がリセットまたは割り込み要求を出力したとき、フラグがクリアされていない場合は、古いリセット要因や割り込み要因はクリアされて、新しいリセット要因や割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでに、最大で 3 IWDTCLK サイクルと 2 PCLKB サイクルを要します。

### 27.3.4 リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット ( $OFS0.IWDTIRSTIRQS$ ) を 1 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号が出力されます。リセット出力後、自動でダウンカウントがスタートします。

### 27.3.5 割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTRSQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (IWDT\_NMIUNDF) 信号が生成されます。この割り込みは、ノンマスクابل割り込みと割り込みの両方に対応しています。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

表 27.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動
IWDT_NMIUNDF	ダウンカウンタのアンダーフロー リフレッシュエラー	不可能

### 27.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT は、カウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。そのため、カウンタ値は IWDTSR.CNTVAL[13:0] ビットで間接的に確認できます。

カウンタ値の読み出しには PCLKB で数クロックサイクル (最大 4 クロックサイクル) を要するため、読み出されるカウンタ値は、実際のカウンタ値から 1 カウントずれる場合があります。

図 27.5 に、 $PCLKB > IWDTCLK$  のとき、クロック分周比が IWDTCLK である場合の IWDT カウンタ値の読み出し処理を示します。

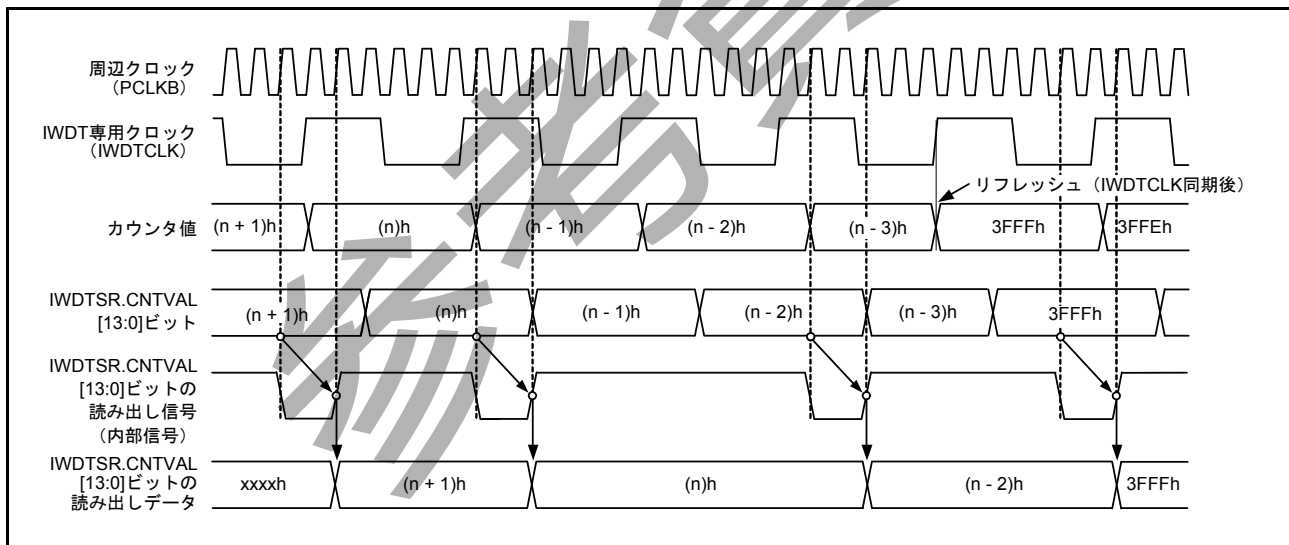


図 27.5 IWDT カウンタ値の読み出し処理  
(OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

## 27.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) が割り込み要求信号をイベント信号として使用する場合、IWDT は設定されたモジュールに対してリンク動作が可能です。イベント信号は、カウンタのアンダーフローおよびリフレッシュエラーによって、出力されます。

イベント信号は、OFS0.WDRSTRSQS ビットの設定とは無関係に出力されます。また、リフレッシュエラーフラグ (IWDTSR.REFEF) またはアンダーフローフラグ (IWDTSR.UNDF) が 1 の状態で、次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

## 27.5 使用上の注意事項

### 27.5.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK の精度における誤差の範囲を考慮して、リフレッシュが可能となるように値を設定してください。

### 27.5.2 クロック分周比の設定

周辺モジュールクロック (PCLKB) 周波数  $\geq 4 \times$  (カウントクロックソースの分周後周波数) となるように設定してください。

参考資料

## 28. USB2.0 フルスピードモジュール (USBFS)

### 28.1 概要

本 MCU は、USB (Universal Serial Bus) 規格リビジョン 2.0 に準拠した、ホストコントローラまたはデバイスコントローラとして動作する USB2.0 フルスピードモジュール (USBFS) を内蔵しています。ホストコントローラは USB2.0 フルスピード転送とロースピード転送に対応し、デバイスコントローラは USB2.0 フルスピード転送に対応しています。また、USBFS は USB トランシーバを内蔵しており、USB2.0 規格で定義されている全転送タイプに対応しています。

USBFS はデータ転送用に FIFO バッファを備え、最大 10 本のパイプが使用可能です。パイプ 1～9 に対しては、周辺デバイスやユーザシステムの通信要件に合わせた任意のエンドポイント番号の割り付けが可能です。

本 MCU は、バッテリーチャージング仕様のリビジョン 1.2 に準拠しています。本 MCU は 5V で動作するため、USB LDO レギュレータは内蔵 USB トランシーバの電源に 3.3V を供給します。

表 28.1 に USBFS の仕様を示します。

表 28.1 USBFS の仕様

項目	内容
特徴	<ul style="list-style-type: none"> <li>ホストコントローラ、デバイスコントローラ、および OTG (On-The-Go) の各機能に対応した USB デバイスコントローラ (UDC) と USB2.0 トランシーバ (1 チャンネル)</li> <li>ホストコントローラとデバイスコントローラはソフトウェアで切り替え可能</li> <li>セルフパワーモードまたはバスパワーモードの選択が可能</li> <li>バッテリーチャージング仕様のリビジョン 1.2 に準拠</li> <li>USB LDO レギュレータによる内蔵 USB トランシーバへの電力供給</li> </ul> <p>ホストコントローラの特長：</p> <ul style="list-style-type: none"> <li>フルスピード転送 (12Mbps) およびロースピード転送 (1.5Mbps)</li> <li>SOF およびパケット送信のスケジューリングを自動化</li> <li>アイソクロナス転送およびインタラプト転送の転送インターバル設定機能</li> <li>1 段のハブを経由して、複数の周辺デバイスと接続した通信が可能</li> </ul> <p>デバイスコントローラの特長：</p> <ul style="list-style-type: none"> <li>フルスピード転送 (12Mbps) およびロースピード転送 (1.5Mbps)</li> <li>コントロール転送ステージ管理機能</li> <li>デバイスステート管理機能</li> <li>SET_ADDRESS リクエストに対する自動応答機能</li> <li>SOF 補完</li> </ul>
通信データ転送タイプ	<ul style="list-style-type: none"> <li>コントロール転送</li> <li>バルク転送</li> <li>インタラプト転送</li> <li>アイソクロナス転送</li> </ul>
パイプコンフィグレーション	<ul style="list-style-type: none"> <li>USB 通信用の FIFO バッファ</li> <li>最大 10 本のパイプを選択可能 (デフォルトコントロールパイプを含む)</li> <li>パイプ 1～9 に対して任意のエンドポイント番号を割り付け可能</li> </ul> <p>パイプごとに転送条件を指定可能：</p> <ul style="list-style-type: none"> <li>パイプ 0：64 バイトシングルバッファによるコントロール転送</li> <li>パイプ 1, 2：64 バイトダブルバッファによるバルク転送と 256 バイトダブルバッファによるアイソクロナス転送を選択可能</li> <li>パイプ 3～5：64 バイトダブルバッファによるバルク転送</li> <li>パイプ 6～9：64 バイトシングルバッファによるインタラプト転送</li> </ul>
その他	<ul style="list-style-type: none"> <li>トランザクションカウントによる受信終了機能</li> <li>BRDY 割り込みイベント通知タイミング変更機能 (BFRE)</li> <li>DnFIFO ポート (n = 0, 1) で指定したパイプのデータ読み出し後の FIFO バッファ自動クリア機能 (DCLRM)</li> <li>転送終了時に発生する応答 PID の NAK 設定機能 (SHTNAK)</li> <li>USB_DP/USB_DM のプルアップ抵抗、プルダウン抵抗をチップに内蔵</li> <li>USB クロックとして使用可能な HOCO クロック</li> </ul>
モジュールストップ機能	モジュールストップ状態の設定が可能

図 28.1 に USBFS のブロック図を示します。

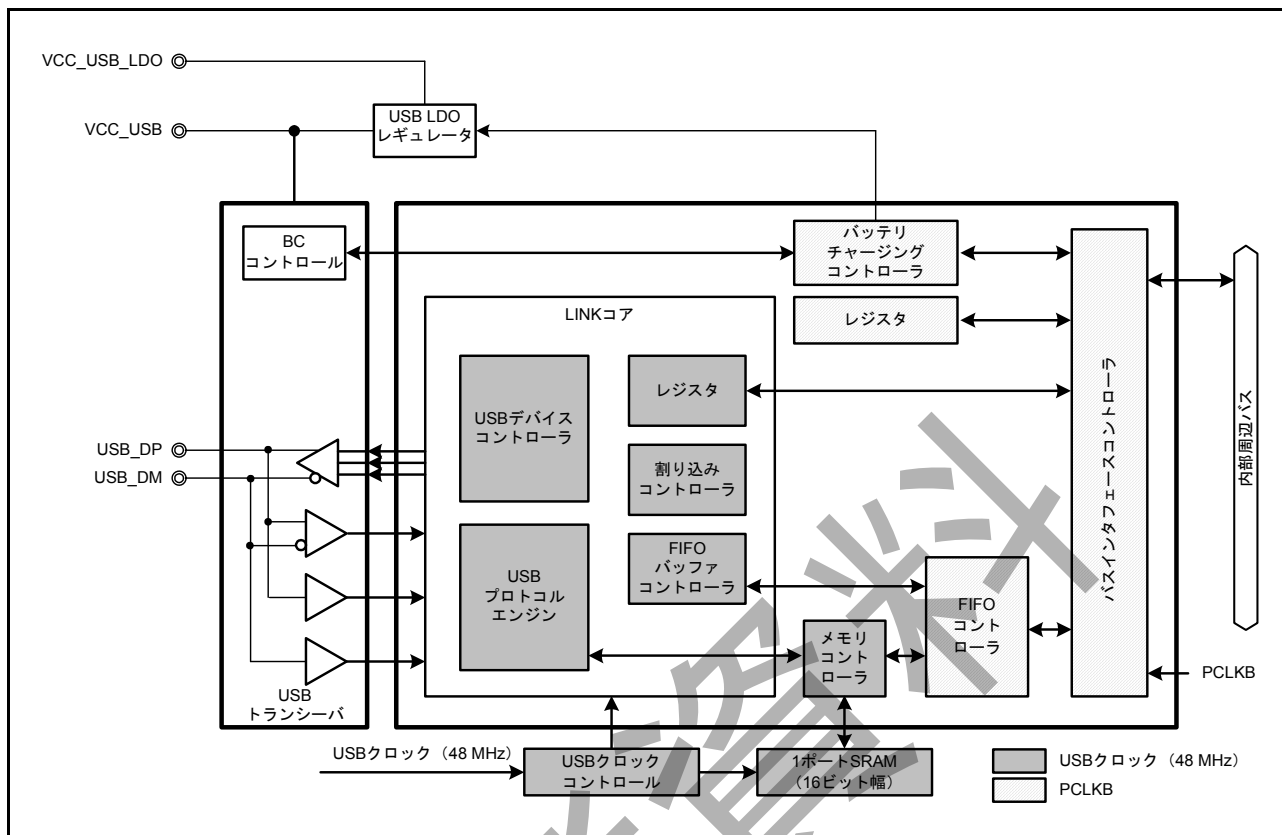


図 28.1 USBFS のブロック図

表 28.2 に USBFS の入出力端子を示します。

表 28.2 USBFS の入出力端子

ポート	端子名	入出力	機能
USBFS	USB_DP	入出力	USB内蔵トランシーバD+入出力端子 USBバスのD+データラインに接続してください。
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子 USBバスのD-データラインに接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子 USBバス上のVBUS信号に接続してください。USBFSがデバイスコントローラの場合、VBUS端子状態（アタッチ/デタッチ）の検出が可能です。(注1)
	USB_EXICEN	出力	OTG電源IC用の低消費電力制御信号
	USB_VBUSEN	出力	外部電源IC用のVBUS (5V) イネーブル信号
	USB_OVRCURA USB_OVRCURB	入力	USBFSのオーバーカレント端子 外部オーバーカレント検出信号に接続してください。OTG電源チップとの接続時にはVBUSコンパレータ信号に接続してください。
	USB_ID	入力	OTGモード時にMicroABコネクタのID入力信号に接続してください。
共通	VCC_USB	入出力	USBトランシーバの入力供給電圧 USB LDOレギュレータの出力供給電圧。外部コンデンサに接続してください。
	VCC_USB_LDO	入力	USB LDOレギュレータ用の電源端子
	VSS_USB	入力	USB用グランド端子

注 1. P407 は 5V トレラントです。



## 28.2 レジスタの説明

### 28.2.1 システムコンフィグレーションコントロールレジスタ (SYSCFG)

アドレス `USBFS.SYSCFG 4009 0000h`

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKE	—	CNEN	—	DCFM	DRPD	DPRPU	DMRPU	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USBFS動作許可	0: 禁止 1: 許可	R/W
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	DMRPU	D-ライン抵抗制御 (注1)	0: ラインのプルアップを禁止 1: ラインのプルアップを許可	R/W
b4	DPRPU	D+ライン抵抗制御	0: ラインのプルダウンを禁止 1: ラインのプルダウンを許可	R/W
b5	DRPD	D+/D-ライン抵抗制御	0: ラインのプルダウンを禁止 1: ラインのプルダウンを許可	R/W
b6	DCFM	コントローラ機能選択	0: デバイスコントローラを選択 1: ホストコントローラを選択	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CNEN	CNENシングルエンドレシーバ許可	0: シングルエンドレシーバを禁止 1: シングルエンドレシーバを許可	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	SCKE	USBクロック許可 (注2)	0: USBFSへのクロック供給を停止 1: USBFSへのクロック供給を許可	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. DMRPU ビットと DPRPU ビットを同時に許可にしないでください。

注2. SCKE ビットに1を書き込んだ後は、SCKE ビットを読み出して、1になっていることを確認してください。

#### USBE ビット (USBFS 動作許可)

USBFS の動作を許可または禁止します。

USBE ビットを1から0に変更したときに初期化されるビットを表 28.3 に示します。このビットの変更は、SCKE ビットが1のときに限り行ってください。ホストコントローラモードでは、DRPD ビットを1にした後、SYSSTS0.LNST[1:0] ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した上で、USBE ビットを1にしてください。

表 28.3 SYSCFG.USBE ビットへの0の書き込みにより初期化されるレジスタ

選択機能	レジスタ	ビット	注意点
デバイスコントローラ	SYSSTS0	LNST[1:0]	ホストコントローラモードでは値が保持されます。
	DVSTCTR0	RHST[2:0]	-
	INTSTS0	DVSQ[2:0]	ホストコントローラモードでは値が保持されます。
	USBADDR	USBADDR[6:0]	ホストコントローラモードでは値が保持されます。
	USBREQ	BREQUEST[7:0]、 BMREQUESTTYPE[7:0]	ホストコントローラモードでは値が保持されます。
	USBVAL	WVALUE[15:0]	ホストコントローラモードでは値が保持されます。
	USBINDX	WINDEX[15:0]	ホストコントローラモードでは値が保持されます。
	USBLENG	WLENTUH[15:0]	-
ホストコントローラ	DVSTCTR0	RHST[2:0]	ホストコントローラモードでは値が保持されます。
	FRMNUM	FRNM[10:0]	ホストコントローラモードでは値が保持されます。

**DMRPU ビット (D-ライン抵抗制御)**

デバイスコントローラモードで、D-ラインのプルアップを許可または禁止します。

デバイスコントローラモードで DMRPU ビットを 1 にすると、USBFS は D-ラインをプルアップし、それがロースピードデバイスとしてアタッチされたことを USB ホストに通知します。DMRPU ビットを 1 から 0 に変更すると、プルアップが解除され、結果としてそれがデタッチされたことを USB ホストに通知します。

ホストコントローラモードでは、このビットを 0 にしてください。

**DPRPU ビット (D+ライン抵抗制御)**

デバイスコントローラモードで、D+ラインのプルアップを許可または禁止します。

デバイスコントローラモードで DPRPU ビットを 1 にすると、USBFS は D+ラインをプルアップし、それがアタッチされたことを USB ホストに通知します。DPRPU ビットを 1 から 0 に変更すると、プルアップが解除され、結果としてそれがデタッチされたことを USB ホストに通知します。

ホストコントローラモードでは、このビットを 0 にしてください。

**DRPD ビット (D+/D-ライン抵抗制御)**

ホストコントローラモードで、D+/D-ラインのプルダウンを許可または禁止します。

このビットは、ホストコントローラモードでは 1、デバイスコントローラモードでは 0 にしてください。

**DCFM ビット (コントローラ機能選択)**

USBFS の機能をホスト機能にするか、デバイス機能にするかを選択します。

このビットの変更は、DPRPU ビットと DRPD ビットが両方とも 0 の場合に限り行ってください。

**CNEN ビット (CNEN シングルエンドレシーバ許可)**

CNEN ビットを 1 にすると、シングルエンドレシーバが許可され、D+/D-ラインのステータスをモニタするように LNST ビットが設定されます。

CNEN ビットを使用するのは、USBFS がバッテリーチャージ用ポータブルデバイスとして動作する場合です。

**SCKE ビット (USB クロック許可)**

USB への 48MHz クロック供給を停止または許可します。

このビットが 0 の場合、SYSCFG レジスタのみ読み出し/書き込みが可能です。他の USB 関連レジスタの読み出し/書き込みはできません。

## 28.2.2 システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)

アドレス USBFS.SYSSTS0 4009 0004h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OVCMON[1:0]	—	—	—	—	—	—	—	—	HTACT	—	—	—	IDMON	LNST[1:0]	
リセット後の値 0 (注1)	0 (注1)	0	0	0	0	0	0	0	0	0	0	0	0 (注1)	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USB データラインステータスマニタ	USB データラインのステータスを示します。表 28.4 を参照してください。	R
b2	IDMON	外部ID0入力端子モニタ	0 : USB_ID端子はLow 1 : USB_ID端子はHigh	R
b5-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b6	HTACT	USBホストシーケンサステータスマニタ	0 : ホストシーケンサが完全に停止している 1 : ホストシーケンサが完全に停止していない	R
b13-b7	—	予約ビット	読むと0が読めます。書き換えることはできません。	R
b15-b14	OVCMON[1:0]	外部USB_OVRCURA/ USB_OVRCURB入力端子モニタ	OVCMON[1]ビットは、USB_OVRCURA端子のステータスを示します。 OVCMON[0]ビットは、USB_OVRCURB端子のステータスを示します。	R

注1. USB\_OVRCURA/USB\_OVRCURB 端子と USB\_ID 端子のステータスに依存します。

**LNST[1:0] ビット (USB データラインステータスマニタ)**

USB データライン (D+ および D-) のステータスを示します。詳細は、表 28.4 を参照してください。

LNST[1:0] ビットの読み出しは、デバイスコントローラモードではアタッチ処理 (SYSCFG.DPRPU ビット = 1) 後に、ホストコントローラモードではラインのプルダウン許可 (SYSCFG.DRPD ビット = 1) 後に行ってください。

**HTACT ビット (USB ホストシーケンサステータスマニタ)**

USBFS のホストシーケンサが完全に停止しているとき、HTACT ビットは 0 になります。

ホストコントローラモードで、DVSTCTR0.UACT ビットを 0 にして USBFS を Suspended ステートにする場合や、SCKE ビットを 0 にして通信中にクロック供給を停止する場合は、事前に HTACT ビットが 0 であることを確認してください。

**OVCMON[1:0] ビット (外部 USB\_OVRCURA/USB\_OVRCURB 入力端子モニタ)**

外部電源 IC からのオーバーカレント信号のステータスを示します。

表 28.4 USB データバスライン (D+ライン、D-ライン) のステータス

LNST[1:0] ビット	フルスピード動作時	ロースピード動作時
00b	SE0	SE0
01b	J-State	K-State
10b	K-State	J-State
11b	SE1	SE1

## 28.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTR0)

アドレス USBFS.DVSTCTR0 4009 0008h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータス	<ul style="list-style-type: none"> <li>• ホストコントローラモードの場合 b2 b0 0 0 0 : 通信速度は不確定 (Powered ステートまたは非接続時) 1 x x : USBバスリセット処理中 0 0 1 : ロースピード接続時 0 1 0 : フルスピード接続時</li> <li>• デバイスコントローラモードの場合 b2 b0 0 0 0 : 通信速度は不確定 0 0 1 : USBバスリセット処理中またはロースピード接続時 0 1 0 : USBバスリセット処理中またはフルスピード接続時</li> </ul>	R
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	UACT	USBバス許可	0 : ダウンポート動作禁止 (SOF 送出禁止) 1 : ダウンポート動作許可 (SOF 送出許可)	R/W
b5	RESUME	レジューム出力	0 : レジューム信号を出力しない 1 : レジューム信号を出力する	R/W
b6	USBRST	USBバスリセット出力	0 : USBバスリセット信号を出力しない 1 : USBバスリセット信号を出力する	R/W
b7	RWUPE	ウェイクアップ検出許可	0 : ダウンポートウェイクアップ禁止 1 : ダウンポートウェイクアップ許可	R/W
b8	WKUP	ウェイクアップ出力	0 : リモートウェイクアップ信号を出力しない 1 : リモートウェイクアップ信号を出力する	R/W
b9	VBUSEN	USB_VBUSEN出力端子制御	0 : 外部USB_VBUSEN端子はLowを出力 1 : 外部USB_VBUSEN端子はHighを出力	R/W
b10	EXICEN	USB_EXICEN出力端子制御	0 : 外部USB_EXICEN端子はLowを出力 1 : 外部USB_EXICEN端子はHighを出力	R/W
b11	HNPBTOA	ホストネゴシエーションプロトコル (HNP) 制御	OTGモードで、デバイスBからデバイスAに切り替えるときに使用します。HNPBTOAビットが1であれば、SYSCFG.DPRPU = 0またはSYSCFG.DCFM = 1であっても、内部機能制御はHNP処理が終了するまでSuspendedステートを保ちます。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

x : Don't care

デバイスコントローラモードでは、USBコントローラはロースピード接続に対応していません。この値を読み出したときは、上位のアプリケーションソフトウェアで異常アタッチ処理を実行する必要があります。

**RHST[2:0] ビット (USBバスリセットステータス)**

USBバスリセットのステータスを示します。

ホストコントローラモードでは、USBRSTビットを1にするとRHST[2:0]ビットが100bになります。USBRSTビットを0にしてUSBFSがSE0ステートを終了すると、RHST[2:0]ビットが新しい値に更新されます。

デバイスコントローラモードでは、USBFS が USB バスリセットを検出すると、DPRPU ビットが 1 の場合に RHST[2:0] ビットが 010b になり、DVST 割り込みが発生します。

### UACT ビット (USB バス許可)

ホストコントローラモードで UACT ビットを 1 にすると、UACT ビットは USB バスへの SOF パケットの送信 (データと受信を含む) を制御することで、USB バス動作を許可します。UACT ビットを 1 にしてから 1 フレーム期間内に、USBFS は SOF パケット出力を開始します。UACT ビットを 0 にすると、USB は SOF パケット出力後にアイドル状態に遷移します。

このビットを 0 にした場合、USB は SOF パケットを出力した後、アイドル状態に遷移します。

以下のいずれかの場合に、USB は UACT ビットを 0 にします。

- 通信中 (UACT ビットが 1 のとき) に DTCH 割り込みを検出したとき
- 通信中 (UACT ビットが 1 のとき) に EOFERR 割り込みを検出したとき

USB バスリセット処理の終了時 (USBRST ビットへの 0 書き込み時)、または Suspended ステートからのレジューム処理の終了時 (RESUME ビットへの 1 書き込み時) には、常に UACT ビットに 1 を書いてください。

デバイスコントローラモードでは、常にこのビットを 0 にしてください。

### RESUME ビット (レジューム出力)

ホストコントローラモードで、レジューム信号の出力を制御します。

このビットを 1 にすると、USBFS は USB ポートを K-State にドライブし、レジューム信号を出力します。RWUPE ビットが 1 で、USB Suspended ステートのとき、USBFS がリモートウェイクアップ信号を検出すると、このビットを 1 にします。

また、RESUME ビットが 1 のとき、ソフトウェアで RESUME ビットを 0 にするまで、USBFS は K-State を出力し続けます。RESUME ビットが 1 の期間 (レジューム期間) は、USB2.0 規格に定められた時間を確保してください。インタフェースが Suspended ステートのときのみ、RESUME ビットを 1 にしてください。レジューム処理の終了 (RESUME ビットへの 0 書き込み) と同時に UACT ビットに 1 を書いてください。

デバイスコントローラモードでは、常にこのビットを 0 にしてください。

### USBRST ビット (USB バスリセット出力)

ホストコントローラモードで、USB バスリセット信号の出力を制御します。USBRST ビットを 1 にすると、USBFS は USB ポートを SE0 ステートにドライブして、USB バスをリセットします。USBFS は、USBRST ビットが 1 の期間、ソフトウェアで USBRST ビットを 1 にするまで SE0 を出力し続けます。USBRST ビットが 1 の期間 (USB バスリセット期間) は、USB2.0 規格に定められた時間を確保してください。

通信中 (UACT ビット = 1) またはレジューム処理中 (RESUME ビット = 1) に、このビットに 1 を書き込むと、UACT ビットと RESUME ビットの両方が 0 になるまで、USBFS は USB バスリセット処理を開始できません。USB バスリセット処理の終了 (USBRST ビットへの 0 書き込み) と同時に UACT ビットに 1 を書いてください。

デバイスコントローラモードでは、常にこのビットを 0 にしてください。

### RWUPE ビット (ウェイクアップ検出許可)

ホストコントローラモードで、下流周辺デバイスからのリモートウェイクアップ信号 (レジューム信号) の受け付けを許可または禁止します。このビットを 1 にすると、USBFS は下流周辺デバイスからのリモートウェイクアップ信号 (2.5µs 間の K-State) を検出し、レジューム処理を実行して K-State にします。

このビットを 0 にすると、USBFS は USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を無視します。RWUPE ビットが 1 のときは、Suspended ステートであっても、内部クロックを停止しないでください (SYSCFG.SCKE ビットは 1 にする必要があります)。

デバイスコントローラモードでは、常にこのビットを 0 にしてください。

### WKUP ビット (ウェイクアップ出力)

デバイスコントローラモードで、USB バスへのリモートウェイクアップ信号 (レジューム信号) の受け付けを許可または禁止します。

USBFS は、リモートウェイクアップ信号の出力タイミングを管理しています。このビットを 1 にすると、USBFS は 10ms 間 K-State を出力した後、このビットを 0 にします。USB2.0 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。そのため、USB が Suspended ステートを検出した直後にこのビットを 1 にすると、2ms 後に K-State が出力されます。

このビットへの 1 の書き込みは、デバイスが Suspended ステート (INTSTS0.DVSQ[2:0] ビット = 1xxb) で、かつ USB ホストがリモートウェイクアップ信号を許可している場合にのみ行ってください。このビットが 1 のときは、Suspended ステートであっても、内部クロックを停止しないでください (SYSCFG.SCKE ビットを 1 にしてください)。ホストコントローラモードでは、このビットを 0 にしてください。

### HNPBTOA ビット (ホストネゴシエーションプロトコル (HNP) 制御)

OTG モード時に、デバイス B からデバイス A へ切り替えるときに使用します。

HNPBTOA ビットが 1 の場合、SYSCFG.DPRPU ビットを 0 または SYSCFG.DCFM ビットを 1 にしても、内部機能制御は HNP 処理が終了するまで Suspended ステートを維持します。D+ 信号の立ち下がりを検出しても、レジューム (RESM) 割り込みは発生しません。

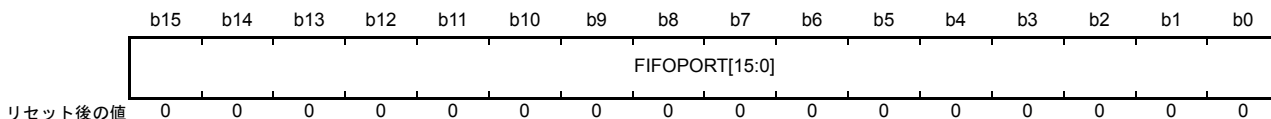
発信側によるプルアップのためにホストアタッチイベントを検出するか、または HNP 処理がタイムアウトしたためソフトウェアで HNPBTOA ビットを 0 にすると、HNP 処理が終了します。

参考資料

## 28.2.4 CFIFO ポートレジスタ (CFIFO/CFIFOL) D0FIFO ポートレジスタ (D0FIFO/D0FIFOL) D1FIFO ポートレジスタ (D1FIFO/D1FIFOL)

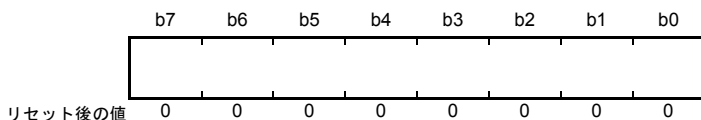
(1) MBW ビットが 1 の場合

アドレス [USBFS.CFIFO 4009 0014h](#), [USBFS.D0FIFO 4009 0018h](#), [USBFS.D1FIFO 4009 001Ch](#)



(2) MBW ビットが 0 の場合

アドレス [USBFS.CFIFOL 4009 0014h](#), [USBFS.D0FIFOL 4009 0018h](#), [USBFS.D1FIFOL 4009 001Ch](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	<a href="#">FIFOPORT[15:0]</a> (注1)	FIFOポート	これらのビットにアクセスして、FIFOバッファから受信データを読み出すか、またはFIFOバッファへ送信データを書き込みます。	R/W

注 1. 有効ビットは、関連するポート選択レジスタの MBW ビット (CFIFOSEL.MBW、D0FIFOSEL.MBW、D1FIFOSEL.MBW) の設定値と、BIGEND ビット (CFIFOSEL.BIGEND、D0FIFOSEL.BIGEND、D1FIFOSEL.BIGEND) の設定値で決まります。表 28.5 と表 28.6 を参照してください。

下記の 3 つの FIFO ポートが用意されています。

- CFIFO
- D0FIFO
- D1FIFO

各 FIFO ポートは下記のレジスタで構成されます。

- FIFO バッファからのデータリードと、FIFO バッファへのデータライトを処理するポートレジスタ (CFIFO、D0FIFO、または D1FIFO)
- FIFO ポートに割り当てられたパイプを選択するためのポート選択レジスタ (CFIFOSEL、D0FIFOSEL、または D1FIFOSEL)
- ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、または D1FIFOCTR)

各 FIFO ポートには、下記の制限事項があります。

- DCP コントロール転送用 FIFO バッファにアクセスする場合、CFIFO ポート経由で行う
- DMA または DTC 転送用 FIFO バッファにアクセスする場合、D0FIFO または D1FIFO ポート経由で行う
- D0FIFO および D1FIFO ポートへのアクセスは、CPU によっても可能
- DMA または DTC 転送機能など、FIFO ポートに固有の機能を使用する場合、ポート選択レジスタの CURPIPE[3:0] ビットで選択したパイプ番号は変更不可
- 1 つの FIFO ポートを設定するレジスタ群が、他の FIFO ポートに影響を与えることはない
- 同一パイプを複数の FIFO ポートに割り当てることは禁止

- FIFO バッファの状態には、アクセス権が CPU 側にある場合と SIE (Serial Interface Engine) 側にある場合の 2 種類がある。SIE 側にアクセス権がある場合、CPU から FIFO バッファへのアクセスは不可

### FIFOPORT[15:0] ビット (FIFO ポート)

FIFOPORT[15:0] ビットへのアクセス時に、USBFS は FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。FIFO ポートレジスタへのアクセスは、対応するポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、または D1FIFOCTR) の FRDY フラグが 1 のときに限り可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、または D1FIFOSEL) の MBW および BIGEND ビットの設定値で決まります。表 28.5 と表 28.6 を参照してください。

表 28.5 16 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット 15~8	ビット 7~0
0	N+1 データ	N+0 データ
1	N+0 データ	N+1 データ

表 28.6 8 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット 15~8	ビット 7~0
0	アクセス禁止 (注1)	N+0 データ
1	アクセス禁止 (注1)	N+0 データ

注 1. アクセス禁止領域からの読み出しはしないでください。



## 28.2.5 CFIFO ポート選択レジスタ (CFIFOSEL) D0FIFO ポート選択レジスタ (D0FIFOSEL) D1FIFO ポート選択レジスタ (D1FIFOSEL)

### CFIFOSEL

アドレス USBFS.CFIFOSEL 4009 0020h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	—	—	—	MBW	—	BIGEN D	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	CFIFOポートアクセスパイプ指定	b3 b0 0000: DCP (デフォルトコントロールパイプ) 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください。	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	ISEL	DCP選択時CFIFOポートアクセス方向	0: バッファメモリからの読み出しを選択 1: バッファメモリへの書き込みを選択	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BIGEND	CFIFOポートエンディアン制御	0: リトルエンディアン 1: ビッグエンディアン	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	MBW	CFIFOポートアクセスビット幅	0: 8ビット幅 1: 16ビット幅	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	REW	バッファポインタリワインド	0: バッファポインタのリワインドを行わない 1: バッファポインタのリワインドを行う	R/W (注1)
b15	RCNT	リードカウントモード	0: CFIFOからすべての受信データを読み出したときに、DTLN[8:0]ビット (CFIFOCTR.DTLN[8:0]、D0FIFOCTR.DTLN[8:0]、D1FIFOCTR.DTLN[8:0]) をクリア (ダブルバッファモードの場合は、1面のみ全データを読み出したときにDTLN[8:0]ビット値をクリア) 1: CFIFOから受信データを読み出すごとにDTLN[8:0]ビットをダウンカウント	R/W

注1. 読むと0が読めます。

CFIFOSEL、D0FIFOSEL、およびD1FIFOSELレジスタのCURPIPE[3:0]ビットには、同じパイプ番号を指定しないでください。D0FIFOSELおよびD1FIFOSELレジスタのCURPIPE[3:0]ビットを0000bにすると、パイプ指定なしとなります。

DMA または DTC 転送が許可されているとき、パイプ番号を変更しないでください。

### **CURPIPE[3:0] ビット (CFIFO ポートアクセスパイプ指定)**

CFIFO ポート経由のデータリード/ライトに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0] ビット値を変更しようとしても、アクセスが完了するまで現在のパイプ指定が維持されます。CURPIPE[3:0] ビットに現在値を書き戻すと、アクセスが継続されます。

### **ISEL ビット (DCP 選択時 CFIFO ポートアクセス方向)**

選択パイプが DCP のときに ISEL ビットに新しい値を書き込む際は、書き込み後に読み出しを行って、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。ISEL ビットと CURPIPE[3:0] ビットは、同時に設定してください。

### **MBW ビット (CFIFO ポートアクセスビット幅)**

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。これらのビットへの書き込みによって FIFO バッファからのデータリードが開始したら、すべてのデータが読み出されるまで、これらのビットを変更しないでください。

選択パイプが送信方向の場合、バッファメモリへのデータライト中は、ビット幅を 8 ビット幅から 16 ビット幅へ切り替えることはできません。

16 ビット幅を選択した場合でも、バイトアクセス制御を通じて、奇数バイトの書き込みが可能です。

### **REW ビット (バッファポインタリワインド)**

バッファポインタのリワインドを行うか否かを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中にこのビットを 1 にすると、FIFO バッファの最初のデータから再読み出しが可能になります。ダブルバッファモードでは、この設定によって、現在読み出している FIFO バッファ面の最初のデータから再読み出しが可能になります。

CURPIPE[3:0] ビットを変更すると同時に、このビットを 1 にしないでください。このビットを 1 にする前に、必ず FRDY ビットが 1 であることを確認してください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

## D0FIFOSEL、D1FIFOSEL

アドレス USBFS.D0FIFOSEL 4009 0028h, USBFS.D1FIFOSEL 4009 002Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	FIFOポートアクセスパイプ指定	b3 b0 0000: DCP (デフォルトコントロールパイプ) 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください。	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BIGEND	FIFOポートエンディアン制御	0: リトルエンディアン 1: ビッグエンディアン	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	MBW	FIFOポートアクセスビット幅	0: 8ビット幅 1: 16ビット幅	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	DREQE	DMA/DTC転送要求許可	0: DMA/DTC転送要求を禁止 1: DMA/DTC転送要求を許可	R/W
b13	DCLRM	指定パイプデータ読み出し後自動バッファメモリクリアモードアクセス	0: 自動バッファクリアモードを禁止 1: 自動バッファクリアモードを許可	R/W
b14	REW	バッファポインタリワインド	0: バッファポインタのリワインドを行わない 1: バッファポインタのリワインドを行う	R/W (注1)
b15	RCNT	リードカウントモード	0: DnFIFOからすべての受信データを読み出したときに、DTLN[8:0]ビット (CFIFOCTR.DTLN[8:0]、D0FIFOCTR.DTLN[8:0]、D1FIFOCTR.DTLN[8:0]) をクリア (ダブルバッファモードの場合は、1面のみの全データを読み出したときにDTLNビット値をクリア) 1: DnFIFOから受信データを読み出すごとにDTLN[8:0]ビットをダウンカウント (n = 0, 1)	R/W

注1. 読むと0が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットには、同じパイプを指定しないでください。D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットを 0000b にすると、パイプ指定なしとなります。DMA または DTC 転送が許可されているとき、パイプ番号を変更しないでください。

## CURPIPE[3:0] ビット (FIFOポートアクセスパイプ指定)

D0FIFOポートまたはD1FIFOポート経由のデータリード/ライトに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。CFIFOSEL、D0FIFOSEL、およびD1FIFOSEL レジスタのCURPIPE[3:0] ビットには、同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0] ビット値を変更しようとしても、アクセスが完了するまで現在のパイプ指定が維持されます。CURPIPE[3:0] ビットに現在値を書き戻すと、アクセスが継続されます。

#### MBW ビット (FIFO ポートアクセスビット幅)

D0FIFO ポートまたは D1FIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、これらのビットへの書き込みによって FIFO バッファからのデータリードが開始したら、すべてのデータが読み出されるまで、これらのビットを変更しないでください。CURPIPE[3:0] ビットと MBW ビットは、同時に設定してください。

選択パイプが送信方向の場合、FIFO メモリへのデータライト中は、ビット幅を 8 ビット幅から 16 ビット幅へ切り替えることはできません。

16 ビット幅を選択した場合でも、バイトアクセス制御を通じて、奇数バイトの書き込みが可能です。

#### DREQ ビット (DMA/DTC 転送要求許可)

DMA/DTC 転送要求の発行を許可または禁止します。

DREQ ビットは、DMA または DTC 転送要求の発行を許可または禁止します。DMA または DTC 転送要求を許可するには、CURPIPE[3:0] ビットの設定後に、このビットを 1 にしてください。CURPIPE[3:0] ビットを変更する場合は、最初にこのビットを 0 にしてください。

#### DCLRM ビット (指定パイプデータ読み出し後自動バッファメモリクリアモードアクセス)

選択パイプのデータを読み出した後の自動 FIFO バッファクリアを許可または禁止します。

このビットを 1 にすると、選択パイプに割り当てられた FIFO バッファが空の状態では Zero-Length パケットを受信したとき、または PIPECFG.BFRE ビットが 1 の状態で受信したショートパケットの読み出しが完了したとき、USBFS は FIFO ポートコントロールレジスタの BCLR ビットを 1 にします。

SOFCFG.BRDYM ビットを 1 にして USBFS を使用する場合は、DCLRM ビットを 0 にしてください。

#### REW ビット (バッファポインタリワインド)

バッファポインタのリワインドを行うか否かを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中にこのビットを 1 にすると、FIFO バッファの最初のデータから再読み出しが可能になります。ダブルバッファモードでは、この設定によって、現在読み出している FIFO バッファ面の最初のデータから再読み出しが可能になります。

CURPIPE[3:0] ビットを変更すると同時に、このビットを 1 にしないでください。このビットを 1 にする前に、必ず FRDY ビットが 1 であることを確認してください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

#### RCNT ビット (リードカウントモード)

CFIFOCTR.DTLN ビット値の読み出しモードを指定します。PIPECFG.BFRE ビットを 1 にして DnFIFO にアクセスする場合、RCNT ビットを 0 にしてください。

## 28.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR) D0FIFO ポートコントロールレジスタ (D0FIFOCTR) D1FIFO ポートコントロールレジスタ (D1FIFOCTR)

アドレス USBFS.CFIFOCTR 4009 0022h, USBFS.D0FIFOCTR 4009 002Ah, USBFS.D1FIFOCTR 4009 002Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長	受信データ長 ポート選択レジスタのRCNTビットの設定値によって値の意味が異なります。詳細は、DTLN[8:0]ビットの説明を参照してください。	R
b12-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	FRDY	FIFOポートレディ	0: FIFOポートアクセス不可 1: FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリア	0: 何もしない 1: CPU側FIFOバッファをクリア	R/W (注1)
b15	BVAL	バッファメモリ有効フラグ	0: 無効 1: 書き込み終了	R/W

注1. 読むと0が読めます。

CFIFOCTR、D0FIFOCTR、およびD1FIFOCTRレジスタは、それぞれCFIFO、D0FIFO、およびD1FIFOバッファに対応しています。

### DTLN[8:0] ビット (受信データ長)

受信データ長を表示します。

FIFO バッファの読み出し中、DTLN[8:0] ビットは、以下のように DnFIFOSEL.RCNT ビット (n=0, 1) に応じて異なる値を示します。

- RCNT = 0 の場合  
CPU または DMA/DTC が FIFO バッファ 1 面分の全受信データの読み出しを完了するまで、USBFS は受信データ長を DTLN[8:0] ビットに表示します。  
PIPECFG.BFRE ビットが1のときは、全データが読み出された後も、BCLR ビットが1になるまで、USB は受信データ長を保持します。
- RCNT = 1 の場合  
FIFO バッファからデータを読み出すごとに、USBFS は DTLN[8:0] ビットの表示値をダウンカウントします。MBW ビットが0のときは-1ずつ、MBW ビットが1のときは-2ずつ値がダウンカウントされません。  
1 面分の FIFO バッファ読み出し完了時に、USBFS は DTLN[8:0] ビットを0にします。ただし、ダブルバッファモードでは、FIFO バッファ 1 面分の受信データの読み出しを完了する前に、もう1面分の FIFO バッファにデータを受信した場合、USBFS は、最初の1面分の読み出し完了時に、次の1面分の受信データ長を DTLN[8:0] ビットに表示します。

### FRDY ビット (FIFOポートレディ)

CPU または DMA/DTC から FIFO ポートにアクセス可能かどうかを表示します。

以下の場合、USBFS は FRDY ビットを1にしますが、読み出すべきデータがないため、FIFO ポート経由のデータリードは不可能です。

- 選択パイプに割り当てられている FIFO バッファが空の状態 Zero-Length パケットを受信した場合

- PIPECFG.BFRE ビットが 1 のときに、ショートパケットを受信し、データ読み出しを完了した場合

このような場合は、BCLR ビットを 1 にして FIFO バッファをクリアし、次のデータ送受信が可能な状態にしてください。

#### BCLR ビット (CPU バッファクリア)

選択パイプの CPU 側の FIFO バッファをクリアする場合、BCLR ビットを 1 にしてください。

選択パイプに割り当てられた FIFO バッファに、ダブルバッファモードが設定されている場合、FIFO バッファの両面とも読み出し可能な状態であっても、USBFS はその片面のみをクリアします。

選択パイプが DCP の場合は、CPU 側と SIE 側のどちらにアクセス権があるかにかかわらず、BCLR ビットを 1 にすると、USBFS は FIFO バッファのクリアが可能になります。SIE 側にアクセス権がある場合、FIFO バッファをクリアするには、DCPCTR.PID[1:0] ビットを 00b (NAK 応答) にしてから、BCLR ビットを 1 にしてください。

選択パイプが送信方向の場合、BVAL フラグと BCLR ビットへ同時に 1 を書き込むと、USBFS は書き込み済みのデータをクリアして、Zero-Length パケットの送信を可能にします。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、FIFO ポートコントロールレジスタの FRDY ビットが (USBFS によって) 1 になっている場合にのみ行ってください。

#### BVAL フラグ (バッファメモリ有効フラグ)

CURPIPE[3:0] ビットで選択したパイプの CPU 側の FIFO バッファへデータライトが完了したとき、BVAL フラグを 1 にしてください。

選択パイプが送信方向のとき、以下の場合に、このフラグを 1 にしてください。

- ショートパケットを送信する場合、データライト後にこのフラグを 1 にする
- Zero-Length パケットを送信する場合、FIFO バッファへのデータライト前にこのフラグを 1 にする

USBFS は、CPU 側の FIFO バッファを SIE 側に切り替えて、送信可能な状態にします。

連続転送モード時にパイプに対して最大パケットサイズ分のデータを書き込むと、USBFS は BVAL フラグを 1 にして、FIFO バッファを CPU 側から SIE 側に切り替え、送信可能な状態にします。

BVAL フラグへの 1 の書き込みは、FRDY ビットが (USBFS によって) 1 になっている場合にのみ行ってください。選択パイプが受信方向の場合、BVAL フラグは 1 にしないでください。

## 28.2.7 割り込みイネーブルレジスタ 0 (INTENB0)

アドレス USBFS.INTENB0 4009 0030h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BRDYE	バッファレディ割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可 (注1)	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可(注1)	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b13	SOFE	フレーム番号更新割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b14	RSME	レジューム割り込み許可(注1)	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15	VBSE	VBUS割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W

注1. RSME、DVSE、およびCTREビットは、デバイスコントローラモード時にのみ1にできます。ホストコントローラモードでは、これらのビットを1にしないでください。

INTSTS0 レジスタのステータスフラグが1になっているとき、INTENB0 レジスタの対応する割り込み要求許可ビットが1であると、USBFS は USBFS 割り込み要求を発行します。

INTENB0 レジスタの設定値にかかわらず、関連の条件が成立するようなステート変化が生じると、INTSTS0 レジスタのステータスフラグが1になります。

INTSTS0 レジスタの対応するステータスフラグが1の状態、INTENB0 レジスタの割り込み要求許可ビットが0から1に切り替わると、USBFS 割り込み要求が発行されます。

## 28.2.8 割り込みイネーブルレジスタ 1 (INTENB1)

アドレス USBFS.INTENB1 4009 0032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	—	DTCHE	ATTCH E	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	PDEDETINTEO
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDEDETINTEO	PDEDETINTO検出割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SACKE	SETUP トランザクション正常応答割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b5	SIGNE	SETUP トランザクションエラー割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b6	EOFERRE	EOF エラー検出割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b10-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	ATTCH E	アタッチ検出割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b12	DTCHE	デタッチ検出割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	BCHGE	USBバス変化割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15	OVRCRE	オーバーカレント入力変化割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W

注. INTENB1 レジスタのビットは、ホストコントローラモード時のみ 1 にできます。デバイスコントローラモードでは、1 にしないでください。

INTENB1 レジスタは、ホストコントローラモード時の SETUP トランザクションに対する割り込みマスクを指定します。

INTSTS1 レジスタのステータスフラグが 1 で、INTENB1 レジスタの対応する割り込み要求許可ビットが 1 の場合、USBFS は USBFS 割り込み要求を発行します。

INTENB1 レジスタの設定値にかかわらず、関連の条件が成立するようなステート変化が生じると、INTSTS1 レジスタのステータスフラグが 1 になります。

INTSTS1 レジスタの対応するステータスフラグが 1 の状態で、INTENB1 レジスタの割り込み要求許可ビットが 0 から 1 に切り替わると、USBFS 割り込み要求が発行されます。

デバイスコントローラモードでは、割り込みを許可しないでください。



## 28.2.9 BRDY 割り込みイネーブルレジスタ (BRDYENB)

アドレス USBFS.BRDYENB 4009 0036h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9B RDYE	PIPE8B RDYE	PIPE7B RDYE	PIPE6B RDYE	PIPE5B RDYE	PIPE4B RDYE	PIPE3B RDYE	PIPE2B RDYE	PIPE1B RDYE	PIPE0B RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b1	PIPE1BRDYE	パイプ1のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b2	PIPE2BRDYE	パイプ2のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b3	PIPE3BRDYE	パイプ3のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b4	PIPE4BRDYE	パイプ4のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b5	PIPE5BRDYE	パイプ5のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b6	PIPE6BRDYE	パイプ6のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b7	PIPE7BRDYE	パイプ7のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b8	PIPE8BRDYE	パイプ8のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b9	PIPE9BRDYE	パイプ9のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットを 1 にすることを許可または禁止します。

BRDYSTS レジスタのステータスフラグが 1 になっているとき、BRDYENB レジスタの対応する PIPE $n$ BRDYE ビット ( $n=0\sim 9$ ) が 1 であると、INTSTS0.BRDY フラグが 1 になります。このとき、INTENB0 レジスタの BRDYE ビットが 1 であれば、USBFS は BRDY 割り込み要求を発生させます。PIPE $n$ BRDY ビットの少なくとも 1 つが 1 のとき、ソフトウェアで BRDYENB レジスタの対応する割り込み許可ビットを 0 から 1 に変更すると、USBFS は BRDY 割り込み要求を発生させます。

## 28.2.10 NRDY 割り込みイネーブルレジスタ (NRDYENB)

アドレス USBFS.NRDYENB 4009 0038h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b1	PIPE1NRDYE	パイプ1のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b2	PIPE2NRDYE	パイプ2のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b3	PIPE3NRDYE	パイプ3のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b4	PIPE4NRDYE	パイプ4のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b5	PIPE5NRDYE	パイプ5のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b6	PIPE6NRDYE	パイプ6のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b7	PIPE7NRDYE	パイプ7のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b8	PIPE8NRDYE	パイプ8のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b9	PIPE9NRDYE	パイプ9のNRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

NRDYENB レジスタは、各パイプのNRDY 割り込み検出時に、INTSTS0.NRDY ビットを1にすることを許可または禁止します。

NRDYSTS レジスタのステータスフラグが1になっているとき、NRDYENB レジスタの対応する PIPE $n$ NRDYE ビット ( $n=0\sim 9$ ) が1であると、INTSTS0.NRDY フラグが1になります。このとき、INTENB0 レジスタのNRDYE ビットが1であれば、USBFS はNRDY 割り込み要求を発生させます。PIPE $n$ NRDYE ビットの少なくとも1つが1のとき、ソフトウェアでNRDYENB レジスタの対応する割り込み要求許可ビットを0から1に変更すると、USBFS はNRDY 割り込み要求を発生させます。

## 28.2.11 BEMP 割り込みイネーブルレジスタ (BEMPENB)

アドレス USBFS.BEMPENB 4009 003Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9B EMPE	PIPE8B EMPE	PIPE7B EMPE	PIPE6B EMPE	PIPE5B EMPE	PIPE4B EMPE	PIPE3B EMPE	PIPE2B EMPE	PIPE1B EMPE	PIPE0B EMPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b1	PIPE1BEMPE	パイプ1のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b2	PIPE2BEMPE	パイプ2のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b3	PIPE3BEMPE	パイプ3のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b4	PIPE4BEMPE	パイプ4のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b5	PIPE5BEMPE	パイプ5のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b6	PIPE6BEMPE	パイプ6のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b7	PIPE7BEMPE	パイプ7のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b8	PIPE8BEMPE	パイプ8のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b9	PIPE9BEMPE	パイプ9のBEMP割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に、INTSTS0.BEMP ビットを 1 にすることを禁止または許可します。

BEMPSTS レジスタのステータスフラグが 1 になっているとき、BEMPENB レジスタの対応する PIPE $n$ BEMPE ビット ( $n=0 \sim 9$ ) が 1 であると、INTSTS0.BEMP フラグが 1 になります。このとき、INTENB0 レジスタの BEMPE ビットが 1 であれば、USBFS は BEMP 割り込み要求を発生させます。PIPE $n$ BEMPE ビットの少なくとも 1 つが 1 のとき、ソフトウェアで BEMPENB レジスタの対応する割り込み要求許可ビットを 0 から 1 に変更すると、USBFS は BEMP 割り込み要求を発生させます。

## 28.2.12 SOF 出力コンフィグレーションレジスタ (SOFCFG)

アドレス USBFS.SOFCFG 4009 003Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TRNENSEL	—	BRDY M	—	EDGESTS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	EDGESTS	エッジ割り込み出力ステータスマニタ (注1)	エッジ割り込み出力信号のエッジ処理中は1になります。	R
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	BRDY M	BRDY 割り込みステータスクリアタイ ミング	0: ソフトウェアでBRDY フラグをクリア 1: FIFOバッファに対するデータリード/ライトを介して、USBFSがBRDY フラグをクリア	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TRNENSEL	トランザクション有効期間切り替え (注1)	0: ロースピード通信非対応 1: ロースピード通信対応	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. USBFS へのクロック供給を停止するときは、事前に EDGESTS ビットが0であることを確認してください。

**EDGESTS ビット (エッジ割り込み出力ステータスマニタ)**

エッジ割り込み出力信号のエッジ処理中は1を示します。USBFS へのクロック供給を停止するときは、事前にこのビットが0であることを確認してください。

**BRDY M ビット (BRDY 割り込みステータスクリアタイミング)**

パイプの BRDY 割り込みステータスフラグのクリア方法を指定します。

**TRNENSEL ビット (トランザクション有効期間切り替え)**

USB ポートでフルスピードまたはロースピード通信を行う場合に、1フレーム中に USBFS がトークン発行を行う期間 (トランザクション有効期間) を指定します。

ロースピードデバイスが接続されたとき、このビットを1にしてください。このビットは、ホストコントローラモードでのみ有効です。デバイスコントローラモードでは、このビットを0にしてください。

## 28.2.13 割り込みステータスレジスタ 0 (INTSTS0)

アドレス USBFS.INTSTS0 4009 0040h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]		VALID	CTSQ[2:0]				
リセット後の値	0	0	0	0/1 (注1)	0	0	0	0	0 (注2)	0 (注3)	0 (注3)	0/1 (注3)	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージ	b2 b0 000: アイドルまたはセットアップステージ 001: コントロールリードデータステージ 010: コントロールリードステータスステージ 011: コントロールライトデータステージ 100: コントロールライトステータスステージ 101: コントロールライト (ノーデータ) ステータスステージ 110: コントロール転送シーケンスエラー	R
b3	VALID	USB リクエスト受信	0: Setupパケットの受信なし 1: Setupパケットの受信あり	R/W
b6-b4	DVSQ[2:0]	デバイスステート	b6 b4 000: Powered ステート 001: Default ステート 010: Address ステート 011: Configured ステート 1xx: Suspended ステート	R
b7	VBSTS	VBUS 入力ステータス	0: USB_VBUS 端子が Low 1: USB_VBUS 端子が High	R
b8	BRDY	バッファレディ割り込みステータス	0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータス	0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータス	0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R
b11	CTRT	コントロール転送ステージ遷移割り込みステータス (注5)	0: コントロール転送ステージ遷移割り込み発生なし 1: コントロール転送ステージ遷移割り込み発生あり	R/W (注4)
b12	DVST	デバイスステート遷移割り込みステータス (注5)	0: デバイスステート遷移割り込み発生なし 1: デバイスステート遷移割り込み発生あり	R/W (注4)
b13	SOFR	フレーム番号更新割り込みステータス	0: SOF 割り込み発生なし 1: SOF 割り込み発生あり	R/W (注4)
b14	RESM	レジューム割り込みステータス (注5) (注6)	0: レジューム割り込み発生なし 1: レジューム割り込み発生あり	R/W (注4)
b15	VBINT	VBUS 割り込みステータス (注6)	0: VBUS 割り込み発生なし 1: VBUS 割り込み発生あり	R/W (注4)

x: Don't care

- 注 1. MCU のリセット時は 0、USB バスリセット後は 1 です。
- 注 2. USB\_VBUS 端子が High のとき 1、Low のとき 0 です。
- 注 3. MCU のリセット時は 000b、USB バスリセット後は 001b です。
- 注 4. VBINT、RESM、SOFR、DVST、CTRT、または VALID ビットをクリアする場合は、クリアしたいビットにのみ 0 を書いてください。その他のビットには 1 を書いてください。0 を示しているステータスビットには、0 を書き込まないでください。
- 注 5. RESM、DVST、および CTRT ビットのステータスは、ホストコントローラモードでのみ変化します。デバイスコントローラモードでは、対応する割り込み許可ビットを 0 (禁止) にしてください。
- 注 6. USBFS は、VBINT ビットおよび RESM ビットが示すステータス変化をクロック停止中 (SCKE ビット = 0) でも検出し、対応する割り込み要求ビットが 1 であれば、その割り込みを要求します。ソフトウェアによるステータスのクリアは、クロック供給を許可してから行ってください。

### CTSQ[2:0] ビット (コントロール転送ステージ)

ホストコントローラモードでは、読み出し値は無効です。

### VALID ビット (USB リクエスト受信)

ホストコントローラモードでは、読み出し値は無効です。

### DVSQ[2:0] ビット (デバイスステート)

USB パスリセットで DVSQ[2:0] ビットは初期化されます。ホストコントローラモードでは、読み出し値は無効です。

### BRDY ビット (バッファレディ割り込みステータス)

BRDY 割り込みステータスを示します。

BRDY 割り込みが許可 (BRDYENB.PIPE<sub>n</sub>BRDYE = 1) になっているパイプの少なくとも1つで、USBFS が BRDY 割り込みステータス (PIPE<sub>n</sub>BRDY = 1、n = 0 ~ 9) を検出すると、BRDY ビットを1にします。

PIPE<sub>n</sub>BRDY ステータスがアサートされる条件については、[28.3.3.1 BRDY 割り込み](#)を参照してください。

1 になっている PIPE<sub>n</sub>BRDYE ビットに対応した PIPE<sub>n</sub>BRDY ビットのすべてに、ソフトウェアで0を書くと、USBFS は BRDY ビットを0にします。ソフトウェアで BRDY ビットに0を書いても、BRDY ビットはクリアされません。

### NRDY ビット (バッファノットレディ割り込みステータス)

1 になっている PIPE<sub>n</sub>NRDYE ビット (n = 0 ~ 9) に対応した PIPE<sub>n</sub>NRDY ビットのうち、少なくとも1つの PIPE<sub>n</sub>NRDY ビット (n = 0 ~ 9) が1になると (ソフトウェアで NRDY 割り込み出力を許可しているパイプのうち、少なくとも1つで USBFS が NRDY 割り込みステータスを検出すると)、USBFS は NRDY ビットを1にします。

PIPE<sub>n</sub>NRDY ステータスがアサートされる条件については、[28.3.3.2 NRDY 割り込み](#)を参照してください。

1 になっている PIPE<sub>n</sub>NRDYE ビットに対応した PIPE<sub>n</sub>NRDY ビットのすべてに、ソフトウェアで0を書くと、USBFS は NRDY ビットを0にします。ソフトウェアで NRDY ビットに0を書いても、NRDY ビットはクリアされません。

### BEMP ビット (バッファエンプティ割り込みステータス)

BEMP 割り込みステータスを示します。

BEMP 割り込みが許可されている (BEMPENB.PIPE<sub>n</sub>BEMPE = 1) パイプの少なくとも1つで、USBFS が BEMP 割り込みステータス (PIPE<sub>n</sub>BEMP = 1、n = 0 ~ 9) を検出すると、BEMP ビットを1にします。

PIPE<sub>n</sub>BEMP ステータスがアサートされる条件については、[28.3.3.3 BEMP 割り込み](#)を参照してください。

1 になっている PIPE<sub>n</sub>BEMPE ビットに対応した PIPE<sub>n</sub>BEMP ビットのすべてに、ソフトウェアで0を書くと、USBFS は BEMP ビットを0にします。ソフトウェアで BEMP ビットに0を書いても、BEMP ビットはクリアされません。

### CTRT ビット (コントロール転送ステージ遷移割り込みステータス)

デバイスコントローラモードでは、USBFS がコントロール転送ステージ遷移を検出すると、CTSQ[2:0] ビット値を更新して、CTRT ビットを1にします。コントロール転送ステージ遷移割り込みが発生した場合、USBFS が次のコントロール転送ステージ遷移を検出する前に、CTRT ビットをクリアしてください。

ホストコントローラモードでは、CTRT ビットからの読み出し値は無効です。

### DVST ビット (デバイスステート遷移割り込みステータス)

デバイスコントローラモードでは、USBFS がデバイスステートの変化を検出すると、DVSQ[2:0] ビット値を更新して、DVST ビットを 1 にします。デバイスステート遷移割り込みが発生した場合、USBFS が次のデバイスステート遷移を検出する前に、DVST ビットをクリアしてください。

ホストコントローラモードでは、DVST ビットからの読み出し値は無効です。

### SOFR ビット (フレーム番号更新割り込みステータス)

ホストコントローラモードでは、ソフトウェアで DVSTCTR0.UACT ビットを 1 にしている場合、USBFS はフレーム番号の更新時に SOFR ビットを 1 にします。SOFR 割り込みは、1ms ごとに検出されます。

デバイスコントローラモードでは、USBFS はフレーム番号の更新時に SOFR ビットを 1 にします。フレーム番号更新割り込みは、1ms ごとに検出されます。

USB ホストから受信した SOF パケットが破損していても、USBFS は内部補完機能によって SOFR 割り込みを検出できます。

### RESM ビット (レジューム割り込みステータス)

デバイスコントローラモードでは、USBFS は、Suspended ステート時 (DVSQ[2:0]=1xxb) に USB\_DP 端子で信号の立ち下がりを検出すると、RESM ビットを 1 にします。ホストコントローラモードでは、RESM ビットからの読み出し値は無効です。

### VBINT ビット (VBUS 割り込みステータス)

USBFS は、USB\_VBUS 端子入力値のレベル変化 (High から Low または Low から High) を検出すると、VBINT ビットを 1 にします。USBFS は、USB\_VBUS 端子の入力値を VBSTS ビットに表示します。VBUS 割り込みが発生した場合は、ソフトウェアで VBSTS フラグを 3 回以上読み出すことでトランジェント成分を除去し、同じ値が読み出されたことを確認してください。

## 28.2.14 割り込みステータスレジスタ 1 (INTSTS1)

アドレス USBFS.INTSTS1 4009 0042h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—	—	EOFERR	SIGN	SACK	—	—	—	PDDDETINT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDDDETINT0	PDDDET0 検出割り込みステータス	0: PDDDET0 検出割り込み発生なし 1: PDDDET0 検出割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SACK	SETUP トランザクション正常応答割り込みステータス	0: SACK 割り込み発生なし 1: SACK 割り込み発生あり	R/W (注1)
b5	SIGN	SETUP トランザクションエラー割り込みステータス	0: SIGN 割り込み発生なし 1: SIGN 割り込み発生あり	R/W (注1)
b6	EOFERR	EOF エラー検出割り込みステータス	0: EOFERR 割り込み発生なし 1: EOFERR 割り込み発生あり	R/W (注1)
b10-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	ATTCH	ATTCH 割り込みステータス	0: ATTCH 割り込み発生なし 1: ATTCH 割り込み発生あり	R/W (注1)
b12	DTCH	USB デタッチ検出割り込みステータス	0: DTCH 割り込み発生なし 1: DTCH 割り込み発生あり	R/W (注1)
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	BCHG	USB バス変化割り込みステータス (注2)	0: BCHG 割り込み発生なし 1: BCHG 割り込み発生あり	R/W (注1)
b15	OVRCR	オーバーカレント入力変化割り込みステータス (注2)	0: OVRCR 割り込み発生なし 1: OVRCR 割り込み発生あり	R/W (注1)

- 注 1. INTSTS1 レジスタの各ビットを 0 にする場合は、クリアしたいビットにのみ 0 を書いてください。その他のビットには 1 を書いてください。
- 注 2. USBFS は、OVRCR または BCHG ビットのステータス変化をクロック供給の停止中 (SYSCFG.SCKE = 0) でも検出し、対応する割り込み要求ビットが 1 であれば割り込みを要求します。ソフトウェアによるステータスのクリアは、クロック供給を許可 (SYSCFG.SCKE = 1) にしてから行ってください。その他の割り込みは、クロック停止中 (SYSCFG.SCKE ビット = 0) は検出することができません。

INTSTS1 レジスタは、ホストコントローラモードでの各割り込みのステータスを確認するためのレジスタです。INTSTS1 レジスタの各ビットが示すステータス変化の割り込みは、ホストコントローラモードでのみ許可にしてください。

**PDDDETINT0 ビット (PDDDET0 検出割り込みステータス)**

ホストコントローラモード時、ポータブルデバイス検出割り込みのステータスを示します。USBFS が USB 物理層トランシーバ (PHY) の VDPDET 端子入力値にレベル変化 (High から Low または Low から High) を検出すると、このビットが 1 になります。USBFS は、VDPDET 端子の入力値を PDDDETSTS ビットに表示します。PDDDETINT 割り込みが発生した場合は、ソフトウェアで PDDDETSTS ビットを 3 回以上読み出すことでトランジエント成分を除去し、同じ値が読み出されたことを確認してください。

**SACK ビット (SETUP トランザクション正常応答割り込みステータス)**

ホストコントローラモード時、SETUP トランザクション正常応答割り込みのステータスを示します。

USBFS が発行した SETUP トランザクション中に、周辺デバイスから ACK 応答が返されると、USBFS は SACK 割り込みを検出して、このビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

デバイスコントローラモードでは、SACK ビットからの読み出し値は無効です。



### SIGN ビット (SETUP トランザクションエラー割り込みステータス)

ホストコントローラモード時、SETUP トランザクションエラー割り込みのステータスを示します。

USBFS が発行した SETUP トランザクション中に、周辺デバイスから ACK 応答が 3 回連続で返されない場合、USBFS は SIGN 割り込みを検出し、このビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

3 回連続した SETUP トランザクションに対して、以下のいずれかの応答条件が発生したとき、USBFS は SIGN 割り込みを検出します。

- 周辺デバイスが何も応答しない状態で USBFS がタイムアウトを検出したとき
- 破損した ACK パケットを受信したとき
- ACK 以外のハンドシェイク (NAK、NYET、または STALL) を受信したとき

デバイスコントローラモードでは、SIGN ビットからの読み出し値は無効です。

### EOFERR ビット (EOF エラー検出割り込みステータス)

ホストコントローラモード時、EOFERR 割り込みのステータスを示します。

USBFS は、USB2.0 規格で定められている EOF2 のタイミングで通信が完了しなかったことを検出すると、EOFERR 割り込みを検出し、このビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

EOFERR 割り込みの検出後、USBFS は対応する割り込み許可ビットの設定値とは無関係に、以下のようハードウェアを制御します。

- EOFERR 割り込みが検出されたポートに対して、DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへの再エニュメレーションを行ってください。

デバイスコントローラモードでは、EOFERR フラグからの読み出し値は無効です。

### ATTCH ビット (ATTCH 割り込みステータス)

ホストコントローラモード時、USB アタッチ検出割り込みのステータスを示します。

USBFS は、フルスピードまたはロースピード信号レベルの J-State または K-State を 2.5 $\mu$ s 間検出すると、ATTCH 割り込みを検出して、このビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

以下のいずれかの条件が発生したとき、USBFS は ATTCH 割り込みを検出します。

- K-State、SE0、または SE1 から J-State に変化し、J-State が 2.5 $\mu$ s 間継続したとき
- J-State、SE0、または SE1 から K-State に変化し、K-State が 2.5 $\mu$ s 間継続したとき

デバイスコントローラモードでは、ATTCH ビットからの読み出し値は無効です。

### DTCH ビット (USB デタッチ検出割り込みステータス)

ホストコントローラモード時、USB デタッチ検出割り込みのステータスを示します。

USBFS は、USB バスデタッチイベントを検出すると、DTCH 割り込みを検出して、このビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させません。

USBFS は、USB2.0 規格に基づいてバスデタッチイベントを検出します。

DTCH 割り込みの検出後、USBFS は対応する割り込み許可ビットの設定値とは無関係に、以下のようハードウェアを制御します。

- DTCH 割り込みが検出されたポートに対して、DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへのアタッチ待ちの状態 (ATTCH 割り込み発生待ちの状態) を呼び出してください。

デバイスコントローラモードでは、DTCH フラグからの読み出し値は無効です。

#### **BCHG ビット (USB バス変化割り込みステータス)**

ホストコントローラモード時、USB バス変化割り込みのステータスを示します。

USB ポート上でフルスピードまたはロースピード信号レベルの変化が生じると、USBFS は BCHG 割り込みを検出して、このビットを 1 にします。対象となる変化は、J-State、K-State、または SE0 から、J-State、K-State、または SE0 へのすべての変化です。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

USBFS は、USB ポートの現在の入力状態を LNST[1:0] ビットに表示します。BCHG 割り込みが発生した場合は、同じ値が 3 回以上読み出されるまで、ソフトウェアで LNST[1:0] ビットの読み出しを繰り返し、トランジェント成分を除去してください。

USB バス状態の変化は、内部クロックが停止しているときも検出可能です。

デバイスコントローラモードでは、BCHG フラグからの読み出し値は無効です。

#### **OVRCCR ビット (オーバカレント入力変化割り込みステータス)**

USB\_OVRCURA および USB\_OVRCURB 入力端子変化割り込みのステータスを示します。

USB\_OVRCURA 端子と USB\_OVRCURB 端子の入力値の少なくとも一方に変化 (High から Low または Low から High) が生じると、USBFS は OVRCCR 割り込みを検出して、このビットを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

## 28.2.15 BRDY 割り込みステータスレジスタ (BRDYSTS)

アドレス USBFS.BRDYSTS 4009 0046h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9B RDY	PIPE8B RDY	PIPE7B RDY	PIPE6B RDY	PIPE5B RDY	PIPE4B RDY	PIPE3B RDY	PIPE2B RDY	PIPE1B RDY	PIPE0B RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1BRDY	パイプ1のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2BRDY	パイプ2のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3BRDY	パイプ3のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4BRDY	パイプ4のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BRDY	パイプ5のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BRDY	パイプ6のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BRDY	パイプ7のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8BRDY	パイプ8のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9BRDY	パイプ9のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注1. SOFCFG.BRDYM ビットが0の場合、BRDYSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ0を書きしてください。その他のビットには1を書きしてください。
- 注2. SOFCFG.BRDYM ビットが0の場合、BRDY 割り込みのクリアは、FIFOにアクセスする前に行ってください。

## 28.2.16 NRDY 割り込みステータスレジスタ (NRDYSTS)

アドレス USBFS.NRDYSTS 4009 0048h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9N RDY	PIPE8N RDY	PIPE7N RDY	PIPE6N RDY	PIPE5N RDY	PIPE4N RDY	PIPE3N RDY	PIPE2N RDY	PIPE1N RDY	PIPE0N RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1NRDY	パイプ1のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2NRDY	パイプ2のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3NRDY	パイプ3のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4NRDY	パイプ4のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5NRDY	パイプ5のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6NRDY	パイプ6のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7NRDY	パイプ7のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8NRDY	パイプ8のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9NRDY	パイプ9のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. NRDYSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ0を書いてください。その他のビットには1を書いてください。

## 28.2.17 BEMP 割り込みステータスレジスタ (BEMPSTS)

アドレス USBFS.BEMPSTS 4009 004Ah

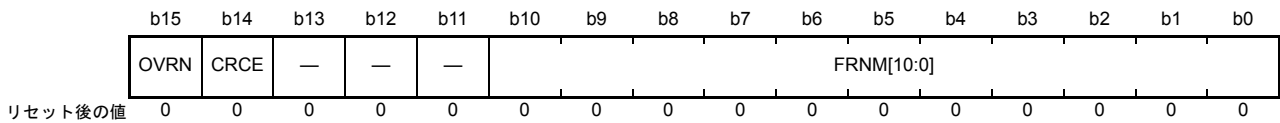
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PIPE9B EMP	PIPE8B EMP	PIPE7B EMP	PIPE6B EMP	PIPE5B EMP	PIPE4B EMP	PIPE3B EMP	PIPE2B EMP	PIPE1B EMP	PIPE0B EMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1BEMP	パイプ1のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2BEMP	パイプ2のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3BEMP	パイプ3のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4BEMP	パイプ4のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BEMP	パイプ5のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BEMP	パイプ6のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BEMP	パイプ7のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8BEMP	パイプ8のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9BEMP	パイプ9のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. BEMPSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ0を書いてください。その他のビットには1を書いてください。

## 28.2.18 フレームナンバレジスタ (FRMNUM)

アドレス USBFS.FRMNUM 4009 004Ch



ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号	最新のフレーム番号	R
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	CRCE	受信データエラー	0: エラーなし 1: エラー発生	R/W (注1)
b15	OVRN	オーバーラン/アンダーラン検出ステータス	0: エラーなし 1: エラー発生	R/W (注1)

注1. ステータスをクリアするには、クリアしたいビットにのみ0を書いてください。その他のビットには1を書いてください。

### FRNM[10:0] ビット (フレーム番号)

SOF パケットの発行時または受信時に、1ms ごとに更新される最新のフレーム番号を示します。

### CRCE ビット (受信データエラー)

アイソクロナス転送中に CRC エラーやビットスタッフィングエラーが発生すると、CRCE ビットが1になります。ホストコントローラモードでの CRC エラー検出時に、USBFS は内部 NRDY 割り込みを発生させます。

CRCE ビットをクリアするには、このビットに0を書き、FRMNUM レジスタの他のビットには1を書いてください。

### OVRN ビット (オーバーラン/アンダーラン検出ステータス)

アイソクロナス転送中にオーバーランエラーやアンダーランエラーが発生すると、OVRN ビットが1になります。OVRN ビットをクリアするには、このビットに0を書き、FRMNUM レジスタの他のビットには1を書いてください。

ホストコントローラモードでは、以下のいずれかの条件で、OVRN ビットが1になります。

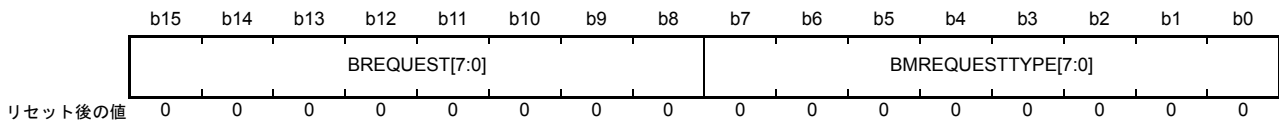
- アイソクロナス転送の送信パイプにおいて、すべての送信データが FIFO バッファに書き込まれていない状態で、OUT トークンの発行タイミングに達したとき
- アイソクロナス転送の受信パイプにおいて、FIFO バッファのすべての面に空きがない状態で、IN トークンの発行タイミングに達したとき

デバイスコントローラモードでは、以下のいずれかの条件で、OVRN ビットが1になります。

- アイソクロナス転送の送信パイプにおいて、すべての送信データが FIFO バッファに書き込まれていない状態で、IN トークンを受信したとき
- アイソクロナス転送の受信パイプにおいて、FIFO バッファのすべての面に空きがない状態で、OUT トークンを受信したとき

## 28.2.19 USB リクエストタイプレジスタ (USBREQ)

アドレス `USBFS.USBREQ 4009 0054h`



ビット	シンボル	ビット名	機能	R/W
b7-b0	<code>BMREQUESTTYPE[7:0]</code>	リクエストタイプ	USB リクエストの <code>bmRequestType</code> 値	R/W (注1)
b15-b8	<code>BREQUEST[7:0]</code>	リクエスト	USB リクエストの <code>bRequest</code> 値	R/W (注1)

注1. デバイスコントローラモードでは、これらのビットは読み出し可能ですが、書き込みは無効です。ホストコントローラモードでは、これらのビットは読み出しと書き込みが可能です。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。

デバイスコントローラモードでは、USBREQ レジスタは、受信した `bRequest` および `bmRequestType` 値を格納します。ホストコントローラモードでは、送信する `bRequest` および `bmRequestType` 値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

### BMREQUESTTYPE[7:0] ビット (リクエストタイプ)

USB リクエストの `bmRequestType` 値を格納します。

- ホストコントローラモード時：  
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが1のときは、これらのビット値を変更しないでください。
- デバイスコントローラモード時：  
SETUP トランザクションで受信した USB リクエストデータ値を示します。書き込みは無効です。

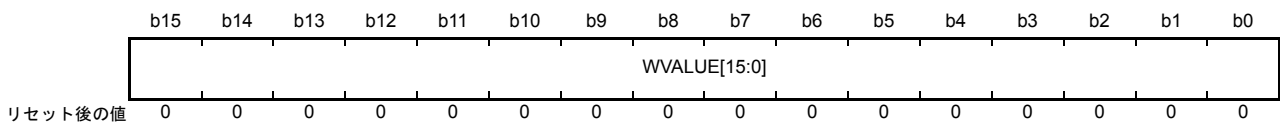
### BREQUEST[7:0] ビット (リクエスト)

USB リクエストの `bRequest` 値を格納します。

- ホストコントローラモード時：  
送信用 SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが1のときは、これらのビット値を変更しないでください。
- デバイスコントローラモード時：  
受信用 SETUP トランザクションの USB リクエストデータ値を示します。書き込みは無効です。

### 28.2.20 USB リクエストバリューレジスタ (USBVAL)

アドレス USBFS.USBVAL 4009 0056h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WVALUE[15:0]	バリュー	USB リクエストの wValue 値を格納します。	R/W (注1)

注1. デバイスコントローラモードでは、これらのビットは読み出し可能ですが、書き込みは無効です。ホストコントローラモードでは、これらのビットは読み出しと書き込みが可能です。

デバイスコントローラモードでは、USBVAL レジスタは、受信した wValue 値を格納します。ホストコントローラモードでは、送信する wValue 値を設定します。

USBVAL レジスタは、USB バスリセットで初期化されます。

#### WVALUE[15:0] ビット (バリュー)

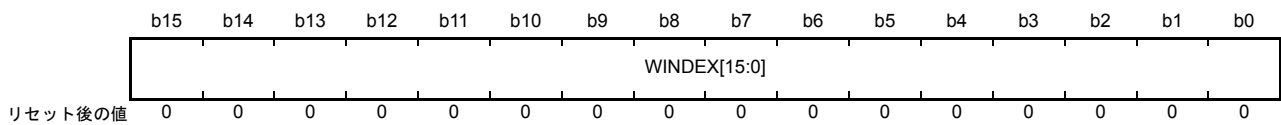
USB リクエストの wValue 値を格納します。

- ホストコントローラモード時：  
送信用 SETUP トランザクションの USB リクエストの wValue フィールド値を設定してください。  
DCPCTR.SUREQ ビットが 1 のときは、これらのビット値を変更しないでください。
- デバイスコントローラモード時：  
受信用 SETUP トランザクションの USB リクエストの wValue 値を表示します。書き込みは無効です。



### 28.2.21 USB リクエストインデックスレジスタ (USBINDX)

アドレス **USBFS.USBINDX 4009 0058h**



ビット	シンボル	ビット名	機能	R/W
b15-b0	WINDEX[15:0]	インデックス	USB リクエストの wIndex 値を格納します。	R/W (注1)

注1. デバイスコントローラモードでは、これらのビットは読み出し可能ですが、書き込みは無効です。ホストコントローラモードでは、これらのビットは読み出しと書き込みが可能です。

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。

デバイスコントローラモードでは、USBINDX レジスタは受信した wIndex 値を格納します。ホストコントローラモードでは、送信する wIndex 値を設定します。

USBINDX レジスタは、USB バスリセットで初期化されます。

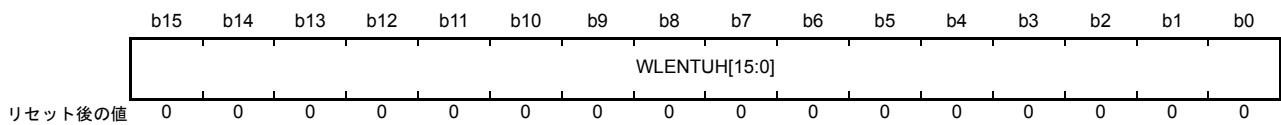
#### WINDEX[15:0] ビット (インデックス)

USB リクエストの値を格納します。

- ホストコントローラモード時：  
送信用 SETUP トランザクションの USB リクエストの wIndex 値を設定してください。DCPCTR.SUREQ ビットが 1 のときは、これらのビット値を変更しないでください。
- デバイスコントローラモード時：  
受信用 SETUP トランザクションの USB リクエストの wIndex 値を示します。書き込みは無効です。

## 28.2.22 USB リクエストレングスレジスタ (USBLENG)

アドレス USBFS.USBLENG 4009 005Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	WLENTUH[15:0]	レングス	USB リクエストの wLength 値を格納します。	R/W (注1)

注1. デバイスコントローラモードでは、これらのビットは読み出し可能ですが、書き込みは無効です。ホストコントローラモードでは、これらのビットは読み出しと書き込みが可能です。

USBLENG レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。

デバイスコントローラが選択された場合、受信した wLength 値が格納されます。ホストコントローラモードでは、送信する wLength 値を設定します。

USBLENG レジスタは、USB バスリセットで初期化されます。

### WLENTUH[15:0] ビット (レングス)

USB リクエストの wLength 値を格納します。

- ホストコントローラモード時：  
送信用 SETUP トランザクションの USB リクエストの wLength 値を設定してください。  
DCPCTR.SUREQ ビットが 1 のときは、これらのビット値を変更しないでください。
- デバイスコントローラモード時：  
受信用 SETUP トランザクションの USB リクエストの wLength 値を示します。書き込みは無効です。

## 28.2.23 DCP コンフィグレーションレジスタ (DCPCFG)

アドレス USBFS.DCPCFG 4009 005Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	SHTNA K	—	—	DIR	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DIR	転送方向 (注1)	0: データ受信方向 1: データ送信方向	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止 (注1)	0: 転送終了時にパイプ継続 1: 転送終了時にパイプ禁止	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. このビットは、必ず PID = NAK のときに設定してください。このビットを設定するときは、事前に DCPCTR.PBUSY ビットが0であることを確認した後、DCP の DCPCTR.PID[1:0] ビットを BUF から NAK へ変更してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

**DIR ビット (転送方向)**

ホストコントローラモード時、コントロール転送のデータステージとステータスステージの転送方向を設定します。デバイスコントローラモードでは、DIR ビットは0にしてください。

**SHTNAK ビット (転送終了時のパイプ禁止)**

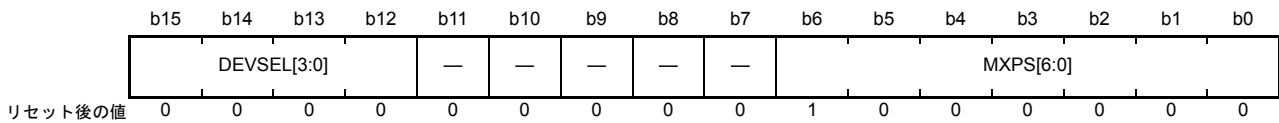
選択パイプが受信方向の場合に、転送終了時に PID を NAK に変更するかどうかを指定します。選択パイプが受信方向の場合のみ有効です。

SHTNAK ビットを1にすると、USBFS は、転送終了と判定したときに DCP の DCPCTR.PID[1:0] ビットを NAK に変更します。USBFS は、以下の場合に転送終了と判定します。

- ショートパケット (Zero-Length パケットを含む) を正常に受信したとき

## 28.2.24 DCP マックスパケットサイズレジスタ (DCPMAXP)

アドレス USBFS.DCPMAXP 4009 005Eh



ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	最大パケットサイズ(注1)	DCPのペイロード内の最大データ量(最大パケットサイズ)を設定します。 b6      b0 0 0 0 1 0 0 0 : 8バイト 0 0 1 0 0 0 0 : 16バイト 0 0 1 1 0 0 0 : 24バイト 0 1 0 0 0 0 0 : 32バイト 0 1 0 1 0 0 0 : 40バイト 0 1 1 0 0 0 0 : 48バイト 0 1 1 1 0 0 0 : 56バイト 1 0 0 0 0 0 0 : 64バイト 1 0 0 1 0 0 0 : 72バイト 1 0 1 0 0 0 0 : 80バイト 1 0 1 1 0 0 0 : 88バイト 1 1 0 0 0 0 0 : 96バイト 1 1 0 1 0 0 0 : 104バイト 1 1 1 0 0 0 0 : 112バイト 1 1 1 1 0 0 0 : 120バイト 上記以外は設定しないでください。	R/W
b11-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b12	DEVSEL[3:0]	デバイス選択(注2)	b15    b12 0 0 0 0 : アドレス0000 0 0 0 1 : アドレス0001 0 0 1 0 : アドレス0010 0 0 1 1 : アドレス0011 0 1 0 0 : アドレス0100 0 1 0 1 : アドレス0101 上記以外は設定しないでください。	R/W

注1. MXPS[6:0] ビットは、必ず PID = NAK のときに設定してください。これらのビットを設定するときは、事前に DCPCTR.PBUSY ビットが 0 であることを確認した後、DCP の DCPCTR.PID[1:0] ビットを BUF から NAK へ変更してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。MXPS[6:0] ビットの設定後は、ポート選択レジスタの CURPIPE[3:0] ビットに DCP を設定してから、ポートコントロールレジスタの BCLR ビットを 1 にしてバッファをクリアしてください。

注2. DEVSEL[3:0] ビットは、必ず PID = NAK のときに、DCPCTR.SUREQ ビットが 0 の状態で設定してください。これらのビットを設定するときは、事前に DCPCTR.PBUSY ビットが 0 であることを確認した後、DCP の DCPCTR.PID[1:0] ビットを BUF から NAK へ変更してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

**MXPS[6:0] ビット (最大パケットサイズ)**

DCP のペイロード内の最大データ量(最大パケットサイズ)を指定します。初期値は 40h (64 バイト) です。このビットには、USB2.0 規格に準じた値を設定してください。MXPS[6:0] ビットを 0 にした状態で、FIFO バッファへの書き込みも、PID = BUF の設定も行わないでください。

**DEVSEL[3:0] ビット (デバイス選択)**

ホストコントローラモード時、コントロール転送の対象となる周辺デバイスのアドレスを指定します。最初に、関連の DEVADDn (n = 0 ~ 5) レジスタでデバイスアドレスを設定し、次に、これらのビットを対応する値に設定してください。たとえば、DEVSEL[3:0] ビットを 0010b にする場合は、最初に DEVADD2 レジスタにそのアドレスを設定します。

デバイスコントローラモードでは、これらのビットを 0000b にしてください。

## 28.2.25 DCP コントロールレジスタ (DCPCTR)

アドレス USBFS.DCPCTR 4009 0060h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	SUREQ	—	—	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0: NAK 応答 0 1: BUF 応答 (バッファ状態に従う) 1 0: STALL 応答 1 1: STALL 応答	R/W
b2	CCPL	コントロール転送終了許可	0: 無効 1: コントロール転送終了を許可	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0: DCPはトランザクションで未使用 1: DCPはトランザクションで使用	R
b6	SQMON	シーケンストグルビットモニタ	0: DATA0 1: DATA1	R
b7	SQSET	シーケンストグルビットセット (注2)	DCP転送時にシーケンストグルビットを設定します。 0: 無効 (0を書いても何も影響なし) 1: 次回トランザクションの期待値をDATA1に設定	R/W (注1)
b8	SQCLR	シーケンストグルビットクリア (注2)	DCP転送時にシーケンストグルビットをクリアします。 0: 無効 (0を書いても何も影響なし) 1: 次回トランザクションの期待値をDATA0にクリア 読むと0が読めます。	R/W (注1)
b10-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	SUREQCLR	SUREQビットクリア	ホストコントローラモード時にSUREQビットをクリアします。 0: 無効 (0を書いても何も影響なし) 1: SUREQを0にクリア 読むと0が読めます。	R/W
b13-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	SUREQ	SETUPトークン送出	ホストコントローラモード時のトークン送出を設定します。 0: 無効 (0を書いても何も影響なし) 1: Setupパケットを送出	R/W
b15	BSTS	バッファステータス	0: バッファアクセス不可 1: バッファアクセス可能	R

注 1. 読むと0が読めます。

注 2. SQSET および SQCLR ビットへの1書き込みは、PIDがNAKであるときに行ってください。これらのビットを設定するときは、事前にPBUSYビットが0であることを確認した後、DCPのPID[1:0]ビットをBUFからNAKへ変更してください。USBFSがPID[1:0]ビットをNAKに変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

### PID[1:0] ビット (応答 PID)

コントロール転送における USB 応答の種類を制御します。

ホストコントローラモードでは、以下のように PID[1:0] ビットの設定を NAK から BUF に変更します。

- 送信方向設定時：
  - a. DVSTCTR0.UACT ビットが 1、かつ PID = NAK の状態で、FIFO バッファにすべての送信データを書き込みます。
  - b. PID[1:0] ビットを 01b (BUF) にします。  
これにより、USBFS が OUT トランザクションを実行します。
- 受信方向設定時：
  - a. DVSTCTR0.UACT ビットが 1、かつ PID = NAK の状態で、FIFO バッファが空であることを確認します (または空の状態にします)。
- PID[1:0] ビットを 01b (BUF) にします。  
これにより、USBFS が IN トランザクションを実行します。

USBFS は、PID[1:0] ビットの設定値を以下のように変更します。

- ソフトウェアで PID[1:0] ビットを BUF (01b) に設定した場合、USBFS は MaxPacketSize を超えるデータを受信すると、PID[1:0] ビットを STALL (11b) に設定します。
  - CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBFS は PID[1:0] ビットを NAK (00b) に設定します。
  - STALL ハンドシェイクを受信すると、USBFS は PID[1:0] ビットを STALL (11b) に設定します。
- デバイスコントローラモードでは、USBFS は PID[1:0] ビットの設定値を以下のように変更します。
- Setup パケットを受信すると、USBFS は PID[1:0] ビットを NAK (00b) に設定します。このとき、USBFS は INTSTS0.VALID フラグを 1 にするため、ソフトウェアで VALID フラグを 0 にクリアするまで、PID[1:0] ビットの設定値は変更できなくなります。
  - ソフトウェアで PID[1:0] ビットを BUF (01b) に設定した場合、USBFS は MaxPacketSize を超えるデータを受信すると、PID[1:0] ビットを STALL (11b) に設定します。
  - USBFS はコントロール転送シーケンスエラーを検出すると、PID[1:0] ビットを STALL (1xb) に設定します。
  - USBFS は USBFS バスリセットを検出すると、PID[1:0] ビットを NAK に設定します。

USBFS は、SET\_ADDRESS リクエストの処理中、PID[1:0] ビットの設定値を参照しません。

PID[1:0] ビットは USB バスリセットで初期化されます。

### CCPL ビット (コントロール転送終了許可)

デバイスコントローラモード時、CCPL ビットを 1 にすると、コントロール転送のステータスステージの終了が許可されます。対応する PID[1:0] ビットが BUF に設定されている場合、ソフトウェアで CCPL ビットを 1 にすると、USBFS はコントロール転送ステータスステージを終了します。

コントロールリード転送中、USBFS は USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信します。コントロールライト転送またはノーデータコントロール転送中は、USBFS は USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。SET\_ADDRESS リクエスト検出時は、CCPL ビットの設定値とは無関係に、USBFS はセットアップステージからステータスステージ完了まで、自動応答モードで動作します。

新たな Setup パケットを受信すると、USBFS は CCPL ビットを 1 から 0 に変更します。INTSTS0.VALID ビットが 1 のとき、ソフトウェアはこのビットに 1 を書き込むことはできません。CCPL ビットは USB バスリセットで初期化されます。

ホストコントローラモードでは、常に CCPL ビットには 0 を書いてください。

### PBUSY ビット (パイプビジー)

USBFS が PID[1:0] ビットを BUF から NAK に変更したときに、DCP がトランザクションで使用されているかどうかを示します。USBFS は、選択パイプに対する USBFS トランザクションの開始時に、PBUSY ビットを 0 から 1 へ変更します。そして、1 回のトランザクションが完了すると、PBUSY ビットを 1 から 0 に変更します。

ソフトウェアで PID を NAK に設定した後、PBUSY ビットの値はパイプ設定の変更が可能かどうかを示します。

詳細は、[28.3.4.1 パイプコントロールレジスタの切り替え手順](#)を参照してください。

### SQMON ビット (シーケンスストールビットモニタ)

DCP 転送時、次回トランザクションのシーケンスストールビットの期待値を示します。

トランザクションが正常終了すると、USBFS は SQMON ビットをトグルします。ただし、受信方向での転送時に DATA-PID 不一致が発生すると、USBFS はこのビットをトグルしません。

デバイスコントローラモードでは、Setup パケットが正常に受信されると、USBFS は SQMON ビットを 1 に (期待値を DATA1 に) 設定します。

デバイスコントローラモードでは、USBFS はステータスステージの IN または OUT トランザクション中にこのビットを参照しません。また、正常終了してもこのビットをトグルしません。

### SQSET ビット (シーケンスストールビットセット)

DCP 転送時、次回トランザクションのシーケンスストールビットの期待値として DATA1 を指定します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

### SQCLR ビット (シーケンスストールビットクリア)

DCP 転送時、次回トランザクションのシーケンスストールビットの期待値として DATA0 を指定します。読むと 0 が読めます。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

### SUREQCLR ビット (SUREQ ビットクリア)

ホストコントローラモード時、SUREQCLR ビットを 1 にすると、SUREQ ビットが 0 にクリアされます。読むと 0 が読めます。

SETUP トランザクションで SUREQ ビットが 1 であるときに転送が停止した場合は、ソフトウェアで SUREQCLR ビットを 1 にしてください。正常な SETUP トランザクションでは、その終了時に USBFS が自動的に SUREQ ビットを 0 にクリアするため、ソフトウェアによるクリアは不要です。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットが 0 の場合にのみ行ってください。UACT ビットが 0 の場合は、通信が停止しているか、またはバスデタッチが検出されたために転送が行われていません。

デバイスコントローラモードでは、常にこのビットには 0 を書いてください。

### SUREQ ビット (SETUP トークン送出)

ホストコントローラモード時、SUREQ ビットを 1 にすると、USBFS に対して Setup パケット送信がトリガされます。SETUP トランザクション処理が終了すると、USBFS は SACK 割り込みまたは SIGN 割り込みのいずれかを発生させ、SUREQ ビットを 0 にクリアします。また、ソフトウェアで SUREQCLR ビットを 1 にした場合も、USBFS は SUREQ ビットを 0 にクリアします。

SUREQ ビットを 1 にする前に、DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタを正しく設定し、SETUP トランザクションに必要な USB リクエストを送信してください。また、DCP の PID[1:0] ビットが NAK に設定されていることを確認してください。SUREQ ビットを 1 にした後、SETUP トランザクションが終了するまで (SUREQ ビット=1) の期間は、DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。SETUP トークンを送出する場合にのみ、SUREQ ビットに 1 を書いてください。それ以外では、0 を書いてください。

デバイスコントローラモードでは、常にこのビットには0を書いてください。

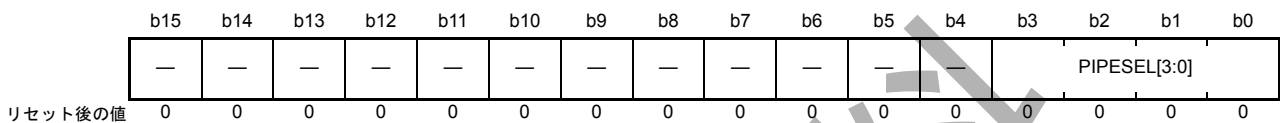
### BSTS ビット (バッファステータス)

DCP FIFO バッファアクセスのステータスを示します。このビットの意味は、以下のように、CFICOSEL.ISEL ビットの設定値で異なります。

- ISEL ビット = 0 の場合、バッファから受信データの読み出しが可能かどうかを示す
- ISEL ビット = 1 の場合、バッファへの送信データの書き込みが可能かどうかを示す

## 28.2.26 パイプウィンドウ選択レジスタ (PIPESEL)

アドレス USBFS.PIPESEL 4009 0064h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択	b3 b0 0 0 0 0 : パイプ選択なし 0 0 0 1 : パイプ1 0 0 1 0 : パイプ2 0 0 1 1 : パイプ3 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 1 0 0 0 : パイプ8 1 0 0 1 : パイプ9 上記以外は設定しないでください。	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

パイプ1～9の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPECTR、PIPEnTRE、およびPIPEnTRN レジスタ (n=0～9) で行います。

PIPESEL レジスタでパイプを選択した後、対応する PIPECFG、PIPEMAXP、および PIPEPERI レジスタでパイプ機能を設定してください。PIPECTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

### PIPESEL[3:0] ビット (パイプウィンドウ選択)

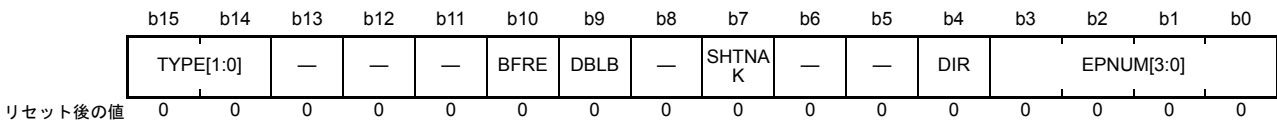
データの読み出し/書き込みに使用するための PIPECFG、PIPEMAXP、および PIPEPERI レジスタに対応させるパイプ番号を選択します。PIPESEL[3:0] ビットでパイプ番号を選択することにより、その番号に対応した PIPECFG、PIPEMAXP、および PIPEPERI レジスタの読み出し/書き込みが可能になります。

PIPESEL[3:0] ビット = 0000b の場合は、PIPECFG、PIPEMAXP、および PIPEPERI レジスタのすべてのビットから0が読み出されます。書き込みは無効です。



### 28.2.27 パイプコンフィグレーションレジスタ (PIPECFG)

アドレス USBFS.PIPECFG 4009 0068h



ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号 (注1)	選択パイプのエンドポイント番号を指定します。0000bの設定は、未使用パイプを意味します。	R/W
b4	DIR	転送方向 (注2) (注3)	0: 受信方向 1: 送信方向	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止 (注1)	0: 転送終了後、パイプ動作を継続 1: 転送終了後、パイプ動作を禁止	R/W
b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	DBLB	ダブルバッファモード (注2) (注3)	0: シングルバッファ 1: ダブルバッファ	R/W
b10	BFRE	BRDY 割り込み動作指定 (注2) (注3)	0: データ送受信時にBRDY 割り込み 1: データ読み出し完了時にBRDY 割り込み	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	TYPE[1:0]	転送タイプ (注1)	<ul style="list-style-type: none"> <li>• パイプ1および2 b15 b14 0 0: パイプ不使用 0 1: バルク転送 1 0: 設定禁止 1 1: アイソクロナス転送</li> <li>• パイプ3~5 b15 b14 0 0: パイプ不使用 0 1: バルク転送 1 0: 設定禁止 1 1: 設定禁止</li> <li>• パイプ6~9 b15 b14 0 0: パイプ不使用 0 1: 設定禁止 1 0: インタラプト転送 1 1: 設定禁止</li> </ul>	R/W

- 注 1. TYPE[1:0]、SHTNAK、および EPNUM[3:0] ビットの設定は、必ず PID が NAK であるときに行ってください。これらのビットを設定するときは、事前に PIPEnCTR.PBUSY ビットが 0 であることを確認した後、PIPEnCTR.PID[1:0] ビットを 01b (BUF) から 00b (NAK) に変更してください。USBFS が PID[1:0] ビットを 00 (NAK) に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。
- 注 2. BFRE、DBLB、および DIR ビットの設定は、必ず PID が NAK であるときに、ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択する前に行ってください。これらのビットを設定するときは、事前に PIPEnCTR.PBUSY ビットが 0 であることを確認した後、PIPEnCTR.PID[1:0] ビットを 01b (BUF) から 00b (NAK) に変更してください。USBFS が PID[1:0] ビットを 00 (NAK) に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。
- 注 3. 選択パイプを使用した USB 通信が終了した後、BFRE、DBLB、および DIR ビットを変更する場合は、注 2 の制限事項に加えて、ソフトウェアで PIPEnCTR.ACLRM ビットに 1 と 0 を連続して書き込み、選択パイプに割り当てられた FIFO バッファをクリアしてください。

PIPECFG レジスタは、パイプ 1 ~ 9 に対して、転送タイプ、FIFO バッファのアクセス方向、およびエンドポイント番号を指定するレジスタです。また、シングルまたはダブルバッファモードの選択と、転送終了時にパイプ動作を継続するか禁止するかの選択を行います。

### EPNUM[3:0] ビット (エンドポイント番号)

選択パイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0] ビットの設定値の組み合わせが、他のパイプと重複しないように設定してください。すべてのパイプに対して、EPNUM[3:0] ビットを 0000b にすることは可能です。

### DIR ビット (転送方向)

選択パイプの転送方向を指定します。

ソフトウェアで DIR ビットを 0 にすると、USBFS は選択パイプを受信方向で使用します。ソフトウェアで DIR ビットを 1 にすると、USBFS は選択パイプを送信方向で使用します。

### SHTNAK ビット (転送終了時のパイプ禁止)

選択パイプの転送方向が受信の場合、転送終了時に PIPEnCTR.PID[1:0] ビットを 00b (NAK) に変更するかどうかを指定します。このビットは、受信方向のパイプ 1～5 に対して有効です。

受信方向のパイプに対して、ソフトウェアでこのビットを 1 にすると、USBFS は、転送終了と判定したときに、対応する PIPEnCTR.PID[1:0] ビットを 00b (NAK) に変更します。USBFS は、以下の場合に転送終了と判定します。

- ショートパケット (Zero-Length パケットを含む) を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタに指定した数のパケットを正常に受信したとき

### DBLB ビット (ダブルバッファモード)

選択パイプが使用する FIFO バッファに対して、シングルまたはダブルバッファモードのいずれか一方を選択します。このビットは、パイプ 1～5 を選択した場合に有効です。

### BFRE ビット (BRDY 割り込み動作指定)

選択パイプに対して、USBFS から CPU への BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを 1 にした場合、選択パイプが受信方向であると、USBFS は転送終了を検出して、パケットの読み出し時に BRDY 割り込みを発生させます。

この設定で BRDY 割り込みが発生した場合、ソフトウェアでポートコントロールレジスタの BCLR ビットに 1 を書く必要があります。BCLR ビットに 1 を書くまで、選択パイプに割り当てられた FIFO バッファは受信可能な状態になりません。

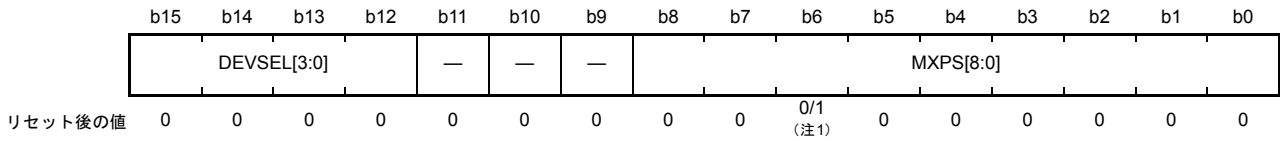
ソフトウェアで BFRE ビットを 1 にしても、選択パイプが送信方向であると、USBFS は BRDY 割り込みを発生させません。詳細は、[28.3.3.1 BRDY 割り込み](#)を参照してください。

### TYPE[1:0] ビット (転送タイプ)

PIPESEL.PIPESEL[3:0] ビットで選択したパイプに対して、転送タイプを指定します。PID を BUF に設定して選択パイプで USB 通信を開始する前に、TYPE[1:0] ビットを 00b 以外の値にしてください。

## 28.2.28 パイプマックスパケットサイズレジスタ (PIPEMAXP)

アドレス USBFS.PIPEMAXP 4009 006Ch



ビット	シンボル	ビット名	機能	R/W														
b8-b0	MXPS[8:0]	最大パケットサイズ(注2)	<ul style="list-style-type: none"> <li>パイプ1, 2 : 1バイト (001h) ~ 256バイト (100h)</li> <li>パイプ3~5 : 8バイト (008h)、16バイト (010h) 32バイト (020h)、64バイト (040h) ([8:7]ビットと[2:0]ビットはサポートされていません)</li> <li>パイプ6~9 : 1バイト (001h) ~ 64バイト (040h) ([8:7]ビットはサポートされていません)</li> </ul>	R/W														
b11-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W														
b15-b12	DEVSEL[3:0]	デバイス選択(注3)	<table border="0"> <tr> <td>b3</td><td>b0</td> </tr> <tr> <td>0 0 0 0</td><td>: アドレス 0000</td> </tr> <tr> <td>0 0 0 1</td><td>: アドレス 0001</td> </tr> <tr> <td>0 0 1 0</td><td>: アドレス 0010</td> </tr> <tr> <td>0 0 1 1</td><td>: アドレス 0011</td> </tr> <tr> <td>0 1 0 0</td><td>: アドレス 0100</td> </tr> <tr> <td>0 1 0 1</td><td>: アドレス 0101</td> </tr> </table> 上記以外は設定しないでください。	b3	b0	0 0 0 0	: アドレス 0000	0 0 0 1	: アドレス 0001	0 0 1 0	: アドレス 0010	0 0 1 1	: アドレス 0011	0 1 0 0	: アドレス 0100	0 1 0 1	: アドレス 0101	R/W
b3	b0																	
0 0 0 0	: アドレス 0000																	
0 0 0 1	: アドレス 0001																	
0 0 1 0	: アドレス 0010																	
0 0 1 1	: アドレス 0011																	
0 1 0 0	: アドレス 0100																	
0 1 0 1	: アドレス 0101																	

- 注 1. MXPS[8:0] ビットの値は、PIPESEL.PIPESEL[3:0] ビットでパイプを選択していないときは 0000h、選択しているときは 0040h です。
- 注 2. MXPS[8:0] ビットの設定は、必ず PID が NAK であるときに、ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択する前に行ってください。これらのビットを設定するときは、事前に PIPEnCTR.PBUSY ビットが 0 であることを確認した後、PIPEnCTR.PID[1:0] ビットを 01b (BUF) から 00b (NAK) に変更してください。USBFS が PID[1:0] ビットを 00 (NAK) に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。
- 注 3. DEVSEL[3:0] ビットの設定は、必ず PID が NAK であるときに行ってください。これらのビットを設定するときは、事前に PIPEnCTR.PBUSY ビットが 0 であることを確認した後、PIPEnCTR.PID[1:0] ビットを 01b (BUF) から 00b (NAK) に変更してください。USBFS が PID[1:0] ビットを 00 (NAK) に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

PIPEMAXP レジスタは、パイプ 1~9 に対して、最大パケットサイズを指定するレジスタです。

**MXPS[8:0] ビット (最大パケットサイズ)**

選択パイプの最大データペイロード (最大パケットサイズ) を指定します。

これらのビットは、転送タイプごとに USB2.0 規格に従って適切な値を設定してください。MXPS[8:0] ビット=0 のときは、FIFO バッファへの書き込みも、PID を BUF にする設定も行わないでください。これらの書き込みは無効です。

**DEVSEL[3:0] ビット (デバイス選択)**

ホストコントローラモード時、USB 通信の対象デバイスのアドレスを指定します。最初に、関連の DEVADDn (n=0~5) レジスタでデバイスアドレスを設定し、次に、これらのビットを対応する値に設定してください。たとえば、DEVSEL[3:0] ビットを 0010b にする場合は、最初に DEVADD2 レジスタにそのアドレスを設定します。

デバイスコントローラモードでは、これらのビットを 0000b にしてください。

## 28.2.29 パイプ周期コントロールレジスタ (PIPEPERI)

アドレス USBFS.PIPEPERI 4009 006Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0] <sup>(注1)</sup>	インターバルエラー検出間隔	選択パイプのインターバルエラー検出タイミングを、フレームタイミングの2のn乗で指定してください。	R/W
b11-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	IFIS	アイソクロナスINバッファフラッシュ	0: バッファフラッシュしない 1: バッファフラッシュする	R/W
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. IITV[2:0] ビットの設定は、必ずPIDがNAKであるときに行ってください。これらのビットを設定するときは、事前にPBUSYビットが0であることを確認した後、PID[1:0] ビットを01b (BUF) から00b (NAK) に変更してください。USBFSがPID[1:0] ビットを00 (NAK) に変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

PIPEPERI レジスタは、アイソクロナス IN 転送時にインターバルエラーが発生した場合、バッファフラッシュ機能を動作させるか否かの選択と、パイプ1～0に対してインターバルエラーの検出間隔を設定するレジスタです。

**IITV[2:0] ビット (インターバルエラー検出間隔)**

IITV[2:0] ビットを設定し、USB通信を行った後でIITV[2:0] ビットを別の値に変更する場合は、PIPEEnCTR.PID[1:0] ビットを00b (NAK) にした後、PIPEEnCTR.ACLRM ビットを1にして、インターバルタイムアウトを初期化してください。

パイプ3～5に対しては、IITV[2:0] ビットは存在しません。パイプ3～5に対応するIITV[2:0] ビット位置には、000bを書いてください。

**IFIS ビット (アイソクロナスINバッファフラッシュ)**

PIPESEL.PIPESEL[3:0] ビットで選択したパイプがアイソクロナス IN 転送で 사용되는場合に、バッファフラッシュの有無を指定します。

デバイスコントローラモードでは、選択パイプの転送タイプがアイソクロナス IN 転送の場合、IITV[2:0] ビットに設定したインターバルごとのフレーム中に、USBFSがUSBホストからINトークンを受信できないと、USBFSは自動的にFIFOバッファをクリアします。

ダブルバッファ (PIPECFG.DBLEB ビット=1) が設定されている場合、USBFSは前回使用した1面分のデータのみをクリアします。

USBFSは、INトークンの受信が期待されているフレーム直後のSOFパケット受信時に、FIFOバッファをクリアします。SOFパケットが破損している場合でも、内部補完機能によって、SOFパケットを受信する予定のタイミングでFIFOバッファをクリアします。

ホストコントローラモードでは、IITV[2:0] ビットは000bにしてください。

選択パイプがアイソクロナス転送に使用されない場合は、IITV[2:0] ビットを000bにしてください。

## 28.2.30 パイプ n コントロールレジスタ (PIPEnCTR) (n = 1 ~ 9)

## PIPEnCTR (n = 1 ~ 5)

アドレス USBFS.PIPE1CTR 4009 0070h, USBFS.PIPE2CTR 4009 0072h, USBFS.PIPE3CTR 4009 0074h,  
USBFS.PIPE4CTR 4009 0076h, USBFS.PIPE5CTR 4009 0078h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答 (バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0 : パイプnはトランザクションで未使用 1 : パイプnはトランザクションで使用	R
b6	SQMON	シーケンスストグルビット確認	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンスストグルビットセット(注2)	パイプnにシーケンスストグルビットを設定します。 0 : 無効 (0を書いても何も影響なし) 1 : 次回トランザクションの期待値をDATA1に設定 読むと0が読めます。	R/W (注1)
b8	SQCLR	シーケンスストグルビットクリア(注2)	パイプnのシーケンスストグルビットをクリアします。 0 : 無効 (0を書いても何も影響なし) 1 : 次回トランザクションの期待値をDATA0にクリア 読むと0が読めます。	R/W (注1)
b9	ACLRM	自動バッファクリアモード(注3)	0 : 禁止 1 : 許可 (全バッファ初期化)	R/W
b10	ATREPM	自動応答モード(注2)	0 : 自動応答を禁止 1 : 自動応答を許可	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	INBUFM	送信バッファモニタ	0 : FIFOバッファに送信可能データなし 1 : FIFOバッファに送信可能データあり	R
b15	BSTS	バッファステータス	0 : CPUからのバッファアクセス不可 1 : CPUからのバッファアクセス可能	R

- 注 1. 読むと0が読めます。
- 注 2. ATREPM ビットの設定と、SQCLR ビットまたは SQSET ビットへの1書き込みは、必ずPIDがNAKであるときに行ってください。これらのビットを設定するときは、事前にPBUSYビットが0であることを確認した後、PID[1:0] ビットを01b (BUF) から00b (NAK) に変更してください。USBFSがPID[1:0] ビットを00 (NAK) に変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。
- 注 3. ACLRM ビットの設定は、必ずPIDがNAKであるときに、ポート選択レジスタのCURPIPE[3:0] ビットでパイプを選択する前に行ってください。このビットを設定するときは、事前にPBUSYビットが0であることを確認した後、PID[1:0] ビットを01b (BUF) から00b (NAK) に変更してください。USBFSがPID[1:0] ビットを00 (NAK) に変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

PIPEnCTR レジスタは、PIPESEL レジスタで選択したどのパイプに対しても設定可能です。

## PID[1:0] ビット (応答PID)

選択パイプの次回トランザクションにおける応答の種類を指定します。

PID[1:0] ビットの初期値はNAKです。当該パイプでUSB転送を行う場合にはPID[1:0] ビットの設定をBUFに変更してください。PID[1:0] ビットの設定値に基づくUSBFSの基本動作(通信パケットにエラーがない場合)を、表 28.7 と表 28.8 に示します。

選択パイプの USB 通信中に、ソフトウェアで PID[1:0] ビット設定を BUF から NAK に変更したときは、そのパイプの USB 転送が実際に NAK 状態に遷移したかどうかを調べるため、PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

以下の場合に、USBFS が PIPEnCTR.PID[1:0] ビットの設定値を変更します。

- 選択パイプが受信方向で、かつソフトウェアで選択パイプの PIPECFG.SHTNAK ビットを 1 にしている場合、USBFS は転送終了を認識したときに PID を NAK に設定する
- 選択パイプの最大パッケージサイズを超えるペイロードのデータパッケージを受信したとき、USBFS は PID を STALL (11b) に設定する
- デバイスコントローラモード時に、USB バスリセットを検出したとき、USBFS は PID を NAK に設定する
- ホストコントローラモード時に、CRC エラーなどの受信エラーを 3 回連続で検出したとき、USBFS は PID を NAK に設定する
- ホストコントローラモード時に、STALL ハンドシェイクを受信したとき、USBFS は PID を STALL (11b) に設定する

応答の種類を指定するには、PID[1:0] ビットを以下のように設定してください。

- NAK (00b) から STALL へ遷移させるには、10b を設定
- BUF (01b) から STALL へ遷移させるには、11b を設定
- STALL (11b) から NAK へ遷移させるには、10b を設定してから 00b を設定
- STALL から BUF へ遷移させるには、00b (NAK) を設定してから 01b (BUF) を設定

表 28.7 ホストコントローラモード時の PID[1:0] ビット設定値に基づく USBFS の動作

PID[1:0] ビット値	転送タイプ	転送方向 (DIR ビット)	USBFS の動作
00b (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない。
01b (BUF)	バルクまたはインタラプト	設定値に依存しない	DVSTCTR0.UACT ビットが 1 であり、かつ選択パイプに対応する FIFO バッファが送受信可能な状態にあるとき、トークンを発行する。 DVSTCTR0.UACT ビットが 0 であるか、または選択パイプに対応する FIFO バッファが送受信可能な状態にないとき、トークンを発行しない。
	アイソクロナス	設定値に依存しない	選択パイプに対応する FIFO バッファの状態にかかわらず、トークンを発行する。
10b (STALL) または 11b (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない。

表 28.8 デバイスコントローラモード時のPID[1:0]ビット設定値に基づくUSBFSの動作

PID[1:0]ビット値	転送タイプ	転送方向 (DIRビット)	USBFSの動作
00b (NAK)	バルクまたはインタラプト	設定値に依存しない	USBホストからのトークンに対してNAK応答を行う。
	アイソクロナス	設定値に依存しない	USBホストからのトークンに対して何も応答しない。
01b (BUF)	バルク	受信方向 (DIRビット = 0)	USBホストからのOUTトークンに対して、選択パイプに対応するFIFOバッファが受信可能な状態であればデータを受信し、ACK応答を行う。
	インタラプト	受信方向 (DIRビット = 0)	USBホストからのOUTトークンに対して、選択パイプに対応するFIFOバッファが受信可能な状態であればデータを受信し、ACK応答を行う。
	バルクまたはインタラプト	送信方向 (DIRビット = 1)	USBホストからのトークンに対して、選択パイプに対応するFIFOバッファが送信可能な状態であればデータを送信する。送信可能でなければNAK応答を行う。
	アイソクロナス	受信方向 (DIRビット = 0)	USBホストからのOUTトークンに対して、選択パイプに対応するFIFOバッファが受信可能な状態であればデータを受信する。受信可能でなければデータを破棄する。
	アイソクロナス	送信方向 (DIRビット = 1)	USBホストからのトークンに対して、対応するFIFOバッファが送信可能な状態であればデータを送信する。送信可能でなければ、Zero-Lengthパケットを送信する。
10b (STALL) または11b (STALL)	バルクまたはインタラプト	設定値に依存しない	USBホストからのトークンに対してSTALL応答を行う。
	アイソクロナス	設定値に依存しない	USBホストからのトークンに対して何も応答しない。

#### PBUSY ビット (パイプビジー)

選択パイプが現在トランザクションで使用中心かどうかを示します。

USBFS は、選択パイプに対する USB トランザクションの開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。

PID を NAK に設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定の変更が可能かどうかを確認できます。詳細は、[28.3.4.1 パイプコントロールレジスタの切り替え手順](#)を参照してください。

#### SQMON ビット (シーケンストグルビット確認)

選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。

選択パイプの転送タイプがアイソクロナス転送ではない場合、USBFS は、トランザクションの正常完了時に SQMON ビットをトグルします。ただし、受信方向での転送時に DATA-PID 不一致が発生すると、USBFS は SQMON フラグをトグルしません。

#### SQSET ビット (シーケンストグルビットセット)

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値として DATA1 を設定します。USBFS は、SQSET ビットを 0 にクリアします。

#### SQCLR ビット (シーケンストグルビットクリア)

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアします。USBFS は、SQCLR ビットを 0 にクリアします。

#### ACLRM ビット (自動バッファクリアモード)

選択パイプの自動バッファクリアモードを許可または禁止します。選択パイプに割り当てられた FIFO バッファ内のデータを完全にクリアするには、ACLRM ビットに 1 を書いた後、引き続き 0 を書いてください。

表 28.9 に、ACLRM ビットに 1 と 0 を連続して書くことでクリアされるデータと、この処理が必要となる状況を示します。

表 28.9 ACLRM = 1 設定時に USBFS がクリアするデータ

番号	ACLRM ビット設定によってクリアされるデータ	データのクリアが必要となる状況
1	選択パイプに割り当てられた FIFO バッファ内の全データ (ダブルバッファモードでは2つの FIFO バッファ)	選択パイプを初期化する場合
2	選択パイプの転送タイプがアイソクロナス転送のときは、インターバルカウント値	インターバルカウント値をリセットする場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値を変更する場合
4	FIFO バッファトグル制御	PIPECFG.DBLB ビットの設定値を変更する場合
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

### ATREPM ビット (自動応答モード)

選択パイプの自動応答モードを許可または禁止します。

デバイスコントローラモードで、選択パイプの転送タイプがバルク転送の場合に、ATREPM ビットを 1 にすることが可能です。ATREPM ビットを 1 にした場合、USB ホストからのトークンに対し USBFS は以下のように応答します。

- 選択パイプがバルク IN 転送 (PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 1) に設定されている場合 :
  - a. ATREPM ビット = 1 かつ PID = BUF の場合、IN トークンに対して USBFS は Zero-Length パケットを送信します。
  - b. USB ホストから ACK を受信するたびに、USBFS はシーケンストグルビット (DATA-PID) を更新 (トグルを許可) します。1 回のトランザクションでは、IN トークン受信 → Zero-Length パケット送信 → ACK 受信の順に発生します。USBFS は、BRDY 割り込みも BEMP 割り込みも発生させません。
- 選択パイプがバルク OUT 転送 (PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 0) に設定されている場合 :
 

ATREPM ビット = 1 かつ PID = BUF の場合、OUT トークンに対して USBFS は NAK 応答を行い、NRDY 割り込みを発生させます。

自動応答モードで USB 通信を行う場合、FIFO バッファが空の状態では ATREPM ビットを 1 にしてください。自動応答モードでの USB 通信中は、FIFO バッファに書き込みを行わないでください。選択パイプの転送タイプがアイソクロナス転送の場合は、常にこのビットを 0 にしてください。

ホストコントローラモードでは、常に ATREPM ビットを 0 にしてください。

### INBUFM ビット (送信バッファモニタ)

選択パイプが送信方向の場合に、そのパイプの FIFO バッファステータスを示します。

選択パイプが送信方向 (PIPECFG.DIR = 1) の場合、CPU または DMA/DTC が FIFO バッファに少なくとも 1 面分のデータの書き込みを完了すると、USBFS はこのビットを 1 にします。

書き込みが完了している面の FIFO バッファ上のデータを、USBFS がすべて送信完了したときに、USBFS はこのビットを 0 にします。ダブルバッファモード (PIPECFG.DBLB = 1) では、CPU または DMA/DTC が FIFO バッファの 1 面分のデータ書き込みを完了する前に、USBFS が FIFO バッファの 2 面分のデータ送信を完了すると、USBFS は INBUFM ビットを 0 にします。

選択パイプが受信方向 (PIPECFG.DIR = 0) の場合は、INBUFM ビットは BSTS ビットと同じ値を示します。

### BSTS ビット (バッファステータス)

選択パイプの FIFO バッファステータスを示します。

BSTS ビットの意味は、表 28.10 に示すように、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値で異なります。



表 28.10 BSTS ビットの動作

DIR ビット値	BFRE ビット値	DCLRM ビット値	BSTS ビットの機能
0	0	0	FIFOバッファから受信データの読み出しが可能な場合は1に、データリード完了時には0になります。
		1	設定禁止
	1	0	FIFOバッファから受信データの読み出しが可能な場合は1に、データリード完了後にソフトウェアがポートコントロールレジスタのBCLRビットを1にすると0になります。
		1	FIFOバッファから受信データの読み出しが可能な場合は1に、データリード完了時には0になります。
1	0	0	FIFOバッファへ送信データの書き込みが可能な場合は1に、データライト完了時には0になります。
		1	設定禁止
	1	0	設定禁止
		1	設定禁止

## PIPEnCTR (n = 6 ~ 9)

アドレス [USBFS.PIPE6CTR 4009 007Ah](#), [USBFS.PIPE7CTR 4009 007Ch](#), [USBFS.PIPE8CTR 4009 007Eh](#), [USBFS.PIPE9CTR 4009 0080h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答 (バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0 : パイプnはトランザクションで未使用 1 : パイプnはトランザクションで使用中	R
b6	SQMON	シーケンスストグルビット確認	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンスストグルビットセット (注2)	パイプnにシーケンスストグルビットを設定します。 0 : 無効 (0を書いても何も影響なし) 1 : 次回トランザクションの期待値をDATA0に設定 読むと0が読めます。	R/W (注1)
b8	SQCLR	シーケンスストグルビットクリア (注2)	パイプnのシーケンスストグルビットをクリアします。 0 : 無効 (0を書いても何も影響なし) 1 : 次回トランザクションの期待値をDATA0にクリア 読むと0が読めます。	R/W (注1)
b9	ACLRM	自動バッファクリアモード (注2) (注3)	0 : 禁止 1 : 許可 (全バッファ初期化)	R/W
b14-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	BSTS	バッファステータス	0 : バッファアクセス不可 1 : バッファアクセス可能	R

注 1. 読むと0が読めます。1のみ書けます。

注 2. SQCLR または SQSET ビットへの1書き込みは、必ずPIDがNAKであるときに行ってください。これらのビットを設定するときは、事前にPBUSYビットが0であることを確認した後、PID[1:0]ビットを01b (BUF) から00b (NAK) に変更してください。USBFSがPID[1:0]ビットを00 (NAK) に変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

注 3. ACLRM ビットの設定は、必ずPIDがNAKであるときに、ポート選択レジスタのCURPIPE[3:0]ビットでパイプを選択する前に行ってください。このビットを設定するときは、事前にPIPEnCTR.PBUSYビットが0であることを確認した後、

PIPEnCTR.PID[1:0] ビットを 01b (BUF) から 00b (NAK) に変更してください。USBFS が PID[1:0] ビットを 00 (NAK) に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

### PID[1:0] ビット (応答 PID)

選択パイプの次回トランザクションにおける応答の種類を指定します。

PID[1:0] ビットの初期値は NAK です。当該パイプで USB 転送を行う場合には PID[1:0] ビットの設定を BUF に変更してください。PID[1:0] ビットの設定値に基づく USB の基本動作 (通信パケットにエラーがない場合) を、表 28.7 と表 28.7 に示します。

選択パイプの USB 通信中に、ソフトウェアで PID[1:0] ビット設定を BUF から NAK に変更したときは、そのパイプの USB 転送が実際に NAK 状態に遷移したかどうかを調べるため、PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

以下の場合に、USBFS が PIPEnCTR.PID[1:0] ビットの設定値を変更します。

- 選択パイプの最大パケットサイズを超えるペイロードのデータパケットを受信したとき、USBFS は PID を STALL (11b) に設定する
- デバイスコントローラモード時に USB バスリセットを検出した場合、USBFS は PID を NAK に設定する
- ホストコントローラモード時に CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBFS は PID を NAK に設定する
- ホストコントローラモード時に、STALL ハンドシェイクを受信した場合、USBFS は PID を STALL (11b) に設定する

応答の種類を指定するには、PID[1:0] ビットを以下のように設定してください。

- NAK (00b) から STALL へ遷移させるには、10b を設定
- BUF (01b) から STALL へ遷移させるには、11b を設定
- STALL (11b) から NAK へ遷移させるには、10b を設定してから 00b を設定
- STALL から BUF へ遷移させるには、00b (NAK) を設定してから 01b (BUF) を設定

### PBUSY ビット (パイプビジー)

選択パイプが現在トランザクションで使用中かどうかを示します。

USBFS は、選択パイプに対する USB トランザクションの開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。

PID を NAK に設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定の変更が可能かどうかを確認できます。

### SQMON ビット (シーケンストグルビット確認)

選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。

トランザクションが正常終了すると、USBFS は SQMON フラグをトグルします。ただし、受信方向での転送時に DATA-PID 不一致が発生すると、USBFS は SQMON ビットをトグルしません。

### SQSET ビット (シーケンストグルビットセット)

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値として DATA1 を設定します。USBFS は、SQSET ビットを 0 にします。

### SQCLR ビット (シーケンストグルビットクリア)

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアします。USBFS は、SQCLR ビットを 0 にします。

### ACLARM ビット (自動バッファクリアモード)

選択パイプの自動バッファクリアモードを許可または禁止します。選択パイプに割り当てられた FIFO

バッファ内のデータを完全にクリアするには、ACLRM ビットに 1 を書いた後、引き続き 0 を書いてください。

表 28.11 に、ACLRM ビットに 1 と 0 を連続して書くことでクリアされるデータと、この処理が必要となる状況を示します。

表 28.11 ACLRM = 1 設定時に USBFS がクリアするデータ

番号	ACLRM ビット設定によってクリアされるデータ	データのクリアが必要となる状況
1	選択パイプに割り当てられた FIFO バッファの全データ	選択パイプを初期化する場合
2	選択パイプの転送タイプがアイソクロナス転送のときは、インターバルカウント値	インターバルカウント値をリセットする場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値を変更する場合
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

### BSTS ビット (バッファステータス)

選択パイプの FIFO バッファステータスを示します。

BSTS ビットの意味は、表 28.10 に示すように、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値で異なります。

参考資料

### 28.2.31 パイプ n トランザクションカウンタインーブルレジスタ (PIPE<sub>n</sub>TRE) (n = 1 ~ 5)

アドレス USBFS.PIPE1TRE 4009 0090h, USBFS.PIPE2TRE 4009 0094h, USBFS.PIPE3TRE 4009 0098h,  
USBFS.PIPE4TRE 4009 009Ch, USBFS.PIPE5TRE 4009 00A0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TRCLR	トランザクションカウンタクリア	0: 無効 (0を書いても何も影響なし) 1: カレントカウンタ値をクリア	R/W
b9	TRENB	トランザクションカウンタ有効	0: トランザクションカウンタは無効 1: トランザクションカウンタは有効	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PIPE<sub>n</sub>TRE レジスタの各ビットの設定は、PIDがNAKであるときに行ってください。これらのビットを設定するときは、事前に選択パイプのPIPE<sub>n</sub>CTR.PID[1:0] ビットをBUFからNAKへ変更した後、PIPE<sub>n</sub>CTR.PBUSY ビットが0であることを確認してください。USBFSがPID[1:0] ビットをNAKに変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

#### TRCLR ビット (トランザクションカウンタクリア)

USBFSは、選択パイプに対応するトランザクションカウンタの現在の値をクリアし、その後、TRCLR ビットを0にします。

#### TRENB ビット (トランザクションカウンタ有効)

トランザクションカウンタを有効または無効にします。

受信パイプに対して、ソフトウェアでPIPE<sub>n</sub>TRN.TRNCNT[15:0] ビットに総受信パケット数を設定した後、TRENB ビットを1にすると、USBFSはTRNCNT[15:0] ビットの設定値と同数のパケットを受信し終えた時点で、以下のようにハードウェアを制御します。

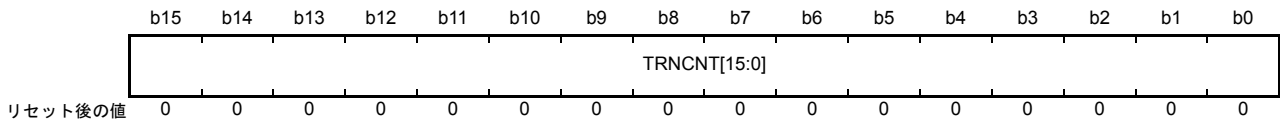
- PIPECFG.SHTNAK ビットが1のとき、TRNCNT[15:0] ビットの設定値と同数のパケットを受信し終えた時点で、USBFSは対応するパイプのPIPE<sub>n</sub>CTR.PID[1:0] ビットをNAKに変更
- PIPECFG.BFRE ビットが1のとき、TRNCNT[15:0] ビットの設定値と同数のパケットを受信し、その最後の受信データを読み出し終えた時点で、USBFSはBRDY割り込みをアサート

送信パイプに対しては、TRENB ビットを0にしてください。

トランザクションカウンタを使用しない場合は、このビットを0にしてください。トランザクションカウンタを使用する場合は、TRNCNT[15:0] ビットを設定してから、このビットを1にしてください。トランザクションカウンタのカウンタ対象となる最初のパケットを受信する前に、このビットを1にしてください。

28.2.32 パイプ n トランザクションカウンタレジスタ (PIPE<sub>n</sub>TRN) (n = 1 ~ 5)

アドレス [USBFS.PIPE1TRN 4009 0092h](#), [USBFS.PIPE2TRN 4009 0096h](#), [USBFS.PIPE3TRN 4009 009Ah](#),  
[USBFS.PIPE4TRN 4009 009Eh](#), [USBFS.PIPE5TRN 4009 00A2h](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	TRNCNT[15:0]	トランザクションカウンタ	<ul style="list-style-type: none"> <li>レジスタ書き込み時 選択パイプが受信すべき総パケット数（トランザクション回数）を設定します。</li> <li>レジスタ読み出し時 PIPE<sub>n</sub>TRE.TRENB ビットが0の場合、指定したトランザクション回数を示します。 PIPE<sub>n</sub>TRE.TRENB ビットが1の場合、現在のトランザクションカウント数を示します。</li> </ul>	R/W

PIPE<sub>n</sub>TRN レジスタは、USB バスリセット時も、現在の設定値を保持します。

**TRNCNT[15:0] ビット (トランザクションカウンタ)**

USBFS は、パケット受信時に下記の条件がすべて満たされたとき、TRNCNT[15:0] ビット値を 1 インクリメントします。

- PIPE<sub>n</sub>TRE.TRENB ビット = 1
- パケット受信時に「TRNCNT[15:0] 設定値 ≠ 現在のカウンタ値 + 1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットの設定値と一致した

USBFS は、下記の条件のいずれかが満たされたとき、TRNCNT[15:0] ビット値を 0 にクリアします。

以下の条件がすべて満たされたとき：

- PIPE<sub>n</sub>TRE.TRENB ビット = 1
- パケット受信時に「TRNCNT[15:0] 設定値 = 現在のカウンタ値 + 1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットの設定値と一致した

以下の条件がすべて満たされたとき：

- PIPE<sub>n</sub>TRE.TRENB ビット = 1
- USBFS がショートパケットを受信した

以下の条件がすべて満たされたとき：

- PIPE<sub>n</sub>TRE.TRENB ビット = 1
- PIPE<sub>n</sub>TRE.TRCLR ビットがソフトウェアによって 1 にされた

送信パイプに対しては、TRNCNT[15:0] ビットを 0 にしてください。トランザクションカウンタを使用しない場合、TRNCNT[15:0] ビットを 0 にしてください。

転送するトランザクションの回数を TRNCNT[15:0] ビットに設定することは、PIPE<sub>n</sub>TRE.TRENB ビットが 0 の場合にのみ可能です。転送するトランザクションの回数を設定する場合は、PIPE<sub>n</sub>TRE.TRENB ビットを 1 にする前に、TRCLR ビットを 1 にして、現在のカウンタ値をクリアしてください。

## 28.2.33 デバイスアドレス n コンフィグレーションレジスタ (DEVADDn) (n = 0 ~ 5)

アドレス [USBFS.DEVADD0 4009 00D0h](#), [USBFS.DEVADD1 4009 00D2h](#), [USBFS.DEVADD2 4009 00D4h](#),  
[USBFS.DEVADD3 4009 00D6h](#), [USBFS.DEVADD4 4009 00D8h](#), [USBFS.DEVADD5 4009 00DAh](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	USBSPD[1:0]		—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	<a href="#">USBSPD[1:0]</a>	通信対象デバイス転送速度	b7 b6 0 0 : DEVADDnレジスタを使用しない 0 1 : ロースピード 1 0 : フルスピード 1 1 : 設定禁止	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DEVADDn レジスタは、パイプ 0 ~ 9 に対して、通信対象の周辺デバイスの転送速度を指定するレジスタです。

ホストコントローラモードでは、パイプへの通信を開始する前に、DEVADDn レジスタのビットをすべて設定してください。DEVADDn レジスタの各ビットを変更する場合は、有効なパイプがこれらのビット設定値を使用していないときに行ってください。有効なパイプとは、以下の両方の条件を満たしているパイプです。

- DEVADDn レジスタが、DEVSEL[3:0] ビットで選択されている
- 選択パイプの PID[1:0] ビットが BUF に設定されているか、または選択パイプが DCP であり DCPCTR.SUREQ ビットが 1 になっている

デバイスコントローラモードでは、このレジスタの全ビットを 0 にしてください。

**USBSPD[1:0] ビット (通信対象デバイス転送速度)**

対象の周辺デバイスの USB 転送速度を設定します。

HUB 経由でフルスピードデバイスが接続された場合、これらのビットを 10b にしてください。ホストコントローラモードでは、USBFS は USBSPD[1:0] ビットの設定値に基づいてパケットを生成します。デバイスコントローラモードでは、これらのビットを 00b にしてください。

## 28.2.34 USB モジュールコントロールレジスタ (USBMC)

アドレス USBFS.USBMC 4009 00CCh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	VDCEN	—	—	—	—	—	—	VDDUS BE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VDDUSBE	USB 基準電源回路 ON/OFF 制御	0 : USB 基準電源回路 OFF 1 : USB 基準電源回路 ON	R/W
b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b6-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	VDCEN	USB レギュレータ ON/OFF 制御	0 : USB レギュレータ OFF 1 : USB レギュレータ ON	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**VDDUSBE ビット (USB 基準電源回路 ON/OFF 制御)**

USB 基準電源回路はバッテリーチャージ用の基準電圧を発生させます。バッテリーチャージ機能の使用時は、このビットを1にしてください。

**VDCEN ビット (USB レギュレータ ON/OFF 制御)**

USB レギュレータ回路を制御します。USB レギュレータ回路の使用時は、このビットを1にしてください。

## 28.2.35 BC コントロールレジスタ 0 (USBBCCTRL0)

アドレス USBFS.USBBCCTRL0 4009 00B0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PDDETSTS0	CHGDETSTS	BATCHGE0	—	VDMSRCE0	IDPSINKE0	VDPSRCE0	IDMSINKE0	IDPSRCE0	RPDME0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPDME0	D-端子プルダウン制御	0: プルダウンOFF 1: プルダウンON	R/W
b1	IDPSRCE0	D+端子IDPSRC出力制御	0: 停止 1: 10 $\mu$ A出力	R/W
b2	IDMSINKE0	D-端子0.6V入力検出 (コンパレータ & シンク) 制御	0: 検出OFF 1: 検出ON (コンパレータ & シンク電流ON)	R/W
b3	VDPSRCE0	D+端子VDPSRC (0.6V) 出力制御	0: 停止 1: 0.6V出力	R/W
b4	IDPSINKE0	D+端子0.6V入力検出 (コンパレータ & シンク) 制御	0: 検出OFF 1: 検出ON (コンパレータ & シンク電流ON)	R/W
b5	VDMSRCE0	D-端子VDMSRC (0.6V) 出力制御	0: 停止 1: 0.6V出力	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	BATCHGE0	BC (バッテリーチャージャ) 機能汎用許可制御	0: 禁止 1: 許可	R/W
b8	CHGDETSTS0	D-端子0.6V入力検出ステータス (注1)	0: 未検出 1: 検出あり	R
b9	PDDETSTS0	D+端子0.6V入力検出ステータス (注2)	0: 未検出 1: 検出あり	R
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. IDMSINKE0 = 1 のときに有効

注 2. IDPSINKE0 = 1 のときに有効

**RPDME0 ビット (D- 端子プルダウン制御)**

バッテリーチャージ機能の使用時は、このビットを1にしてD-端子のプルダウン抵抗を制御してください。

**IDPSRCE0 ビット (D+ 端子IDPSRC 出力制御)**

デバイスコントローラモードでは、このビットを1にすると、データ接続端子とD+端子が検出されたときに電流出力が許可されます。

**IDMSINKE0 ビット (D- 端子0.6V 入力検出 (コンパレータ & シンク) 制御)**

デバイスコントローラモードでは、このビットを1にすると、USBFSは、一次検出時にホストからD-に出力されるVDMSRC (0.6V) が接続されたか否か、または、ファンクションからD+に出力されるVDPSRC (0.6V) がホスト経由でD-のファンクションに接続されたか否かを検出します。

**VDPSRCE0 ビット (D+ 端子VDPSRC (0.6V) 出力制御)**

デバイスコントローラモードでは、このビットを1にすると、一次検出時に出力が許可されて、D+にVDPSRC (0.6V) が印加されます。

**IDPSINKE0 ビット (D+ 端子0.6V 入力検出 (コンパレータ & シンク) 制御)**

デバイスコントローラモードでは、このビットを1にすると、USBFSは、ファンクションからD-に出力されるVDMSRC (0.6V) が、ホスト経由でD+ (DCP) のファンクションに接続されたか否かを検出します。ホストコントローラモードでは、USBFSは、一次検出時にデバイスからD+に出力されるVDPSRC (0.6V) が接続されたか否かを検出します。



**VDMSRCE0 ビット (D- 端子 VDMSRC (0.6V) 出力制御)**

デバイスコントローラモードでは、このビットを1にすると、二次検出時に出力が許可されて、D- に VDMSRC (0.6V) が印加されます。ホストコントローラモードでは、一次検出時に出力が許可されて、D- に VDMSRC (0.6V) が印加されます。

**CHGDETSTS0 フラグ (D- 端子 0.6V 入力検出ステータス)**

ホストコントローラモードでは、一次検出中にホストから D- に出力される VDMSRC (0.6V) が接続されたか、または、ファンクションから D+ に出力される VDPSRC (0.6V) がホスト経由で D- のファンクションに接続されたかを USBFS が検出すると、このフラグが1になります。

**PDDTSTS0 フラグ (D+ 端子 0.6V 入力検出ステータス)**

デバイスコントローラモードでは、二次検出中にファンクションから D- に出力される VDMSRC (0.6V) がホスト経由で D+ (DCP) のファンクションに接続されたかを USBFS が検出すると、このフラグが1になります。

ホストコントローラモードでは、一次検出中にファンクションから D+ に出力される VDPSRC (0.6V) が接続されたかを USBFS が検出すると、このビットが1になります。

参考資料

## 28.3 動作説明

### 28.3.1 システム制御

本節では、USBFS の初期化および消費電力制御に必要なレジスタ設定について説明します。

#### 28.3.1.1 USB 関連レジスタの設定

クロック供給を開始 (SYSCFG.SCKE ビット=1) した後、SYSCFG.USBE ビットを 1 にすると、USBFS の動作が許可されて、USBFS は動作を開始します。

#### 28.3.1.2 コントローラ機能の選択

SYSCFG.DCFM ビットを用いて、USBFS 機能の 1 つを選択します。DCFM ビットを変更するときは、リセット直後の初期設定時、または D+ プルアップ禁止状態 (SYSCFG.DPRPU ビット=0) かつ D+/D- プルダウン禁止状態 (SYSCFG.DRPD ビット=0) のときに行ってください。

#### 28.3.1.3 抵抗による USB データバス制御

USBFS は、D+/D- ライン用のプルアップ抵抗とプルダウン抵抗を内蔵しています。SYSCFG.DPRPU ビットと SYSCFG.DRPD ビットを設定して、これらのラインをプルアップまたはプルダウンしてください。

デバイスコントローラモードでは、USB ホストへの接続を確認した後、SYSCFG.DPRPU ビットを 1 にして、D+ ライン (フルスピード通信時) をプルアップしてください。

PC との通信中に SYSCFG.DPRPU ビットを 0 にすると、USBFS が USB データラインのプルアップ抵抗を無効にするので、USB ホストに対してデータタッチを通知することができます。

ホストコントローラモードでは、SYSCFG.DRPD ビットを 1 にして、D+/D- ラインをプルダウンしてください。

表 28.12 USB データバス抵抗制御

SYSCFG レジスタの設定値			D-	D+	機能
DRPD ビット	DPRPU ビット	DMRPU ビット			
0	0	0	オープン	オープン	抵抗を使用しない場合
0	1	0	オープン	プルアップ	デバイスコントローラとしてフルスピードで動作させる場合
0	0	1	プルアップ	オープン	デバイスコントローラとしてロースピードで動作させる場合
1	0	0	プルダウン	プルダウン	ホストコントローラとして動作させる場合
上記以外の設定			—	—	設定禁止

## 28.3.1.4 USB の電源接続例

図 28.2 に、USB レギュレータを使用しない場合の電源接続例を示します。図 28.3 と図 28.4 に、USB レギュレータを使用する場合の電源接続例を示します。

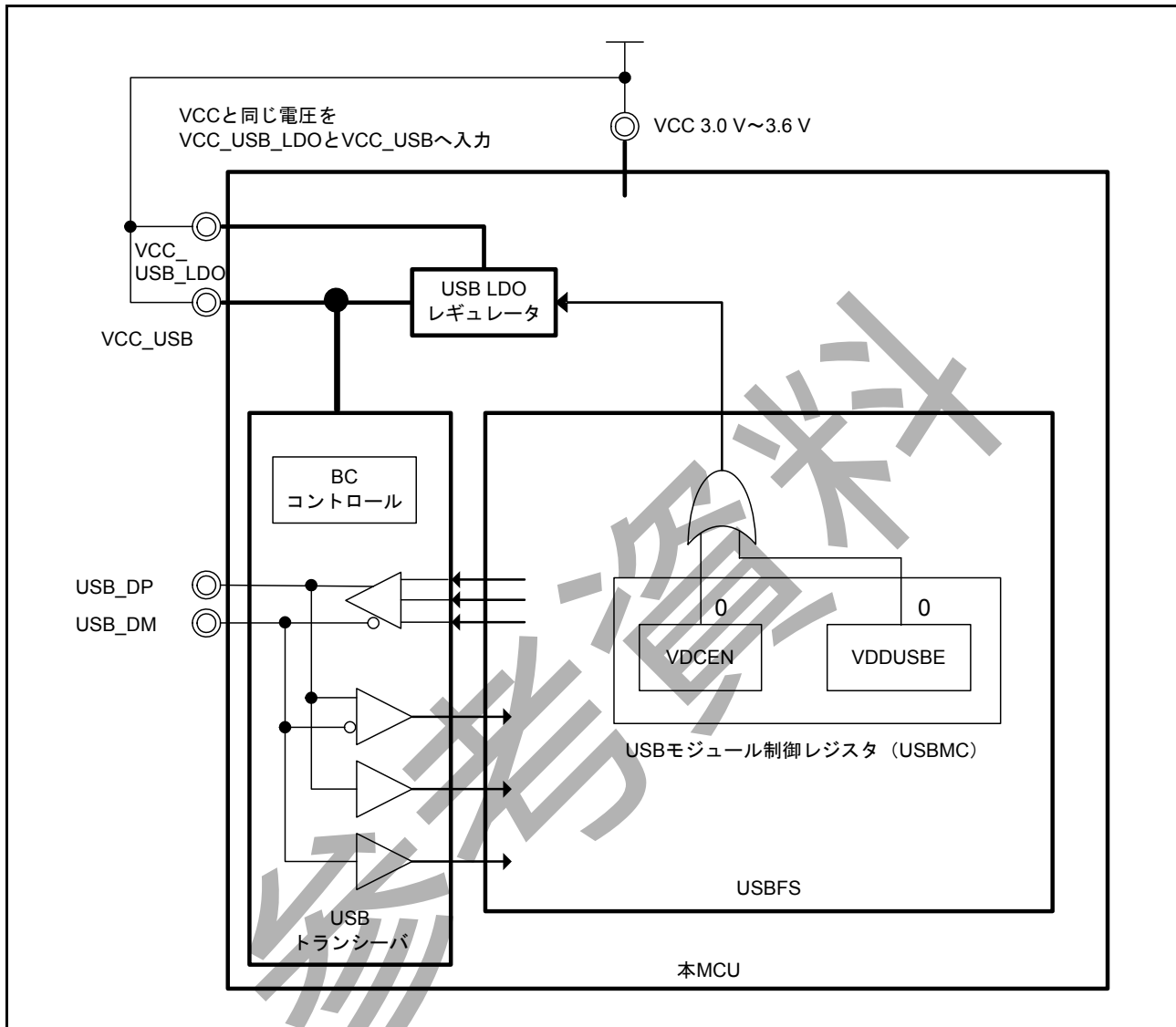


図 28.2 USB LDO レギュレータを使用しない場合の電源接続例

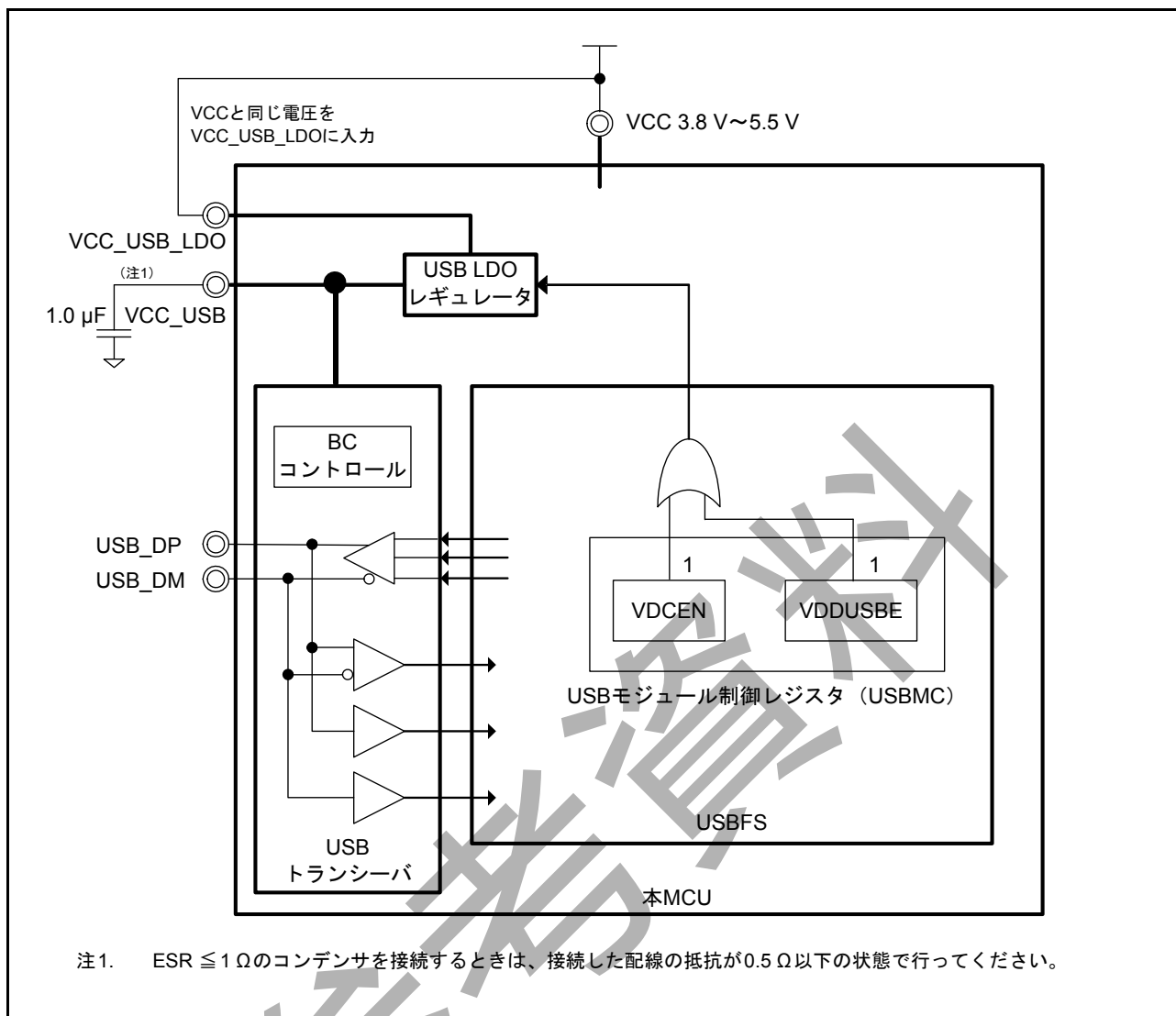


図 28.3 USB LDO レギュレータを使用する場合の電源接続例 (BC 使用)

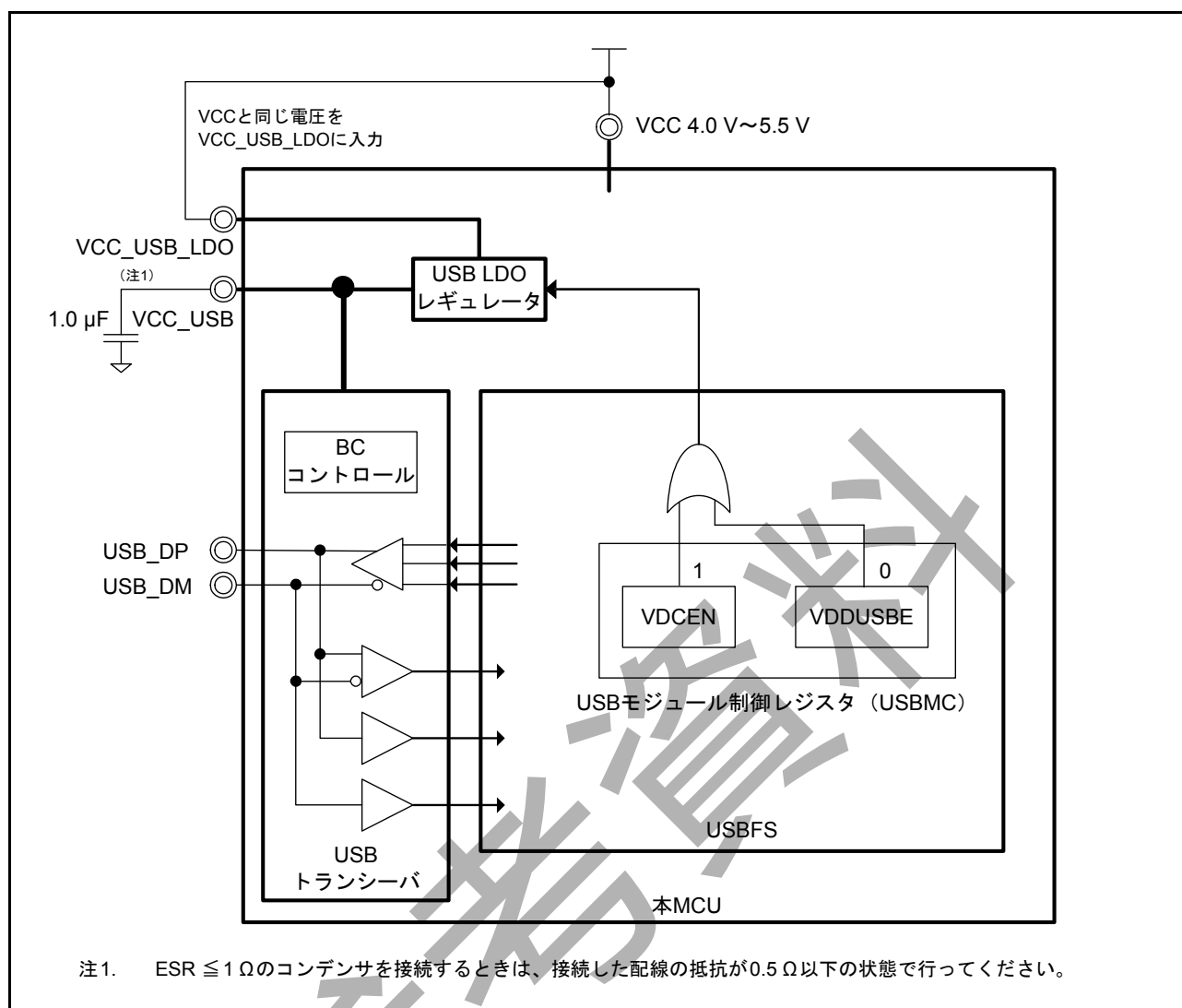


図 28.4 USB LDO レギュレータを使用する場合の電源接続例 (BC 不使用)

### 28.3.1.5 USB 外部接続回路の例

データラインの1つがプルアップされると、ホストはUSBデバイスを認識します。本MCUでは、このために内蔵プルアップ抵抗を切り替えることができます。また、本MCUはUSB-PHYに電源を内蔵しているため、バスパワーデバイスは外部レギュレータを必要としません。

図 28.5 と 図 28.6 に、USB 接続用外部回路の例を示します。

図 28.5 に、セルフパワー状態でのUSBコネクタのOTG接続例を示します。

USBFSは、D+ラインのプルアップ抵抗と、D+およびD-ラインのプルダウン抵抗を制御します。SYSCFG.DPRPUビットとSYSCFG.DRPDビットで、ラインのプルアップとプルダウンを選択してください。デバイスコントローラモードでは、USBホストとの通信中にSYSCFG.DPRPUビットを0にすると、USBデータラインのプルアップ抵抗が無効になります。USBFSはこれを利用して、USBホストに対してデバイスのデータタッチを通知できます。

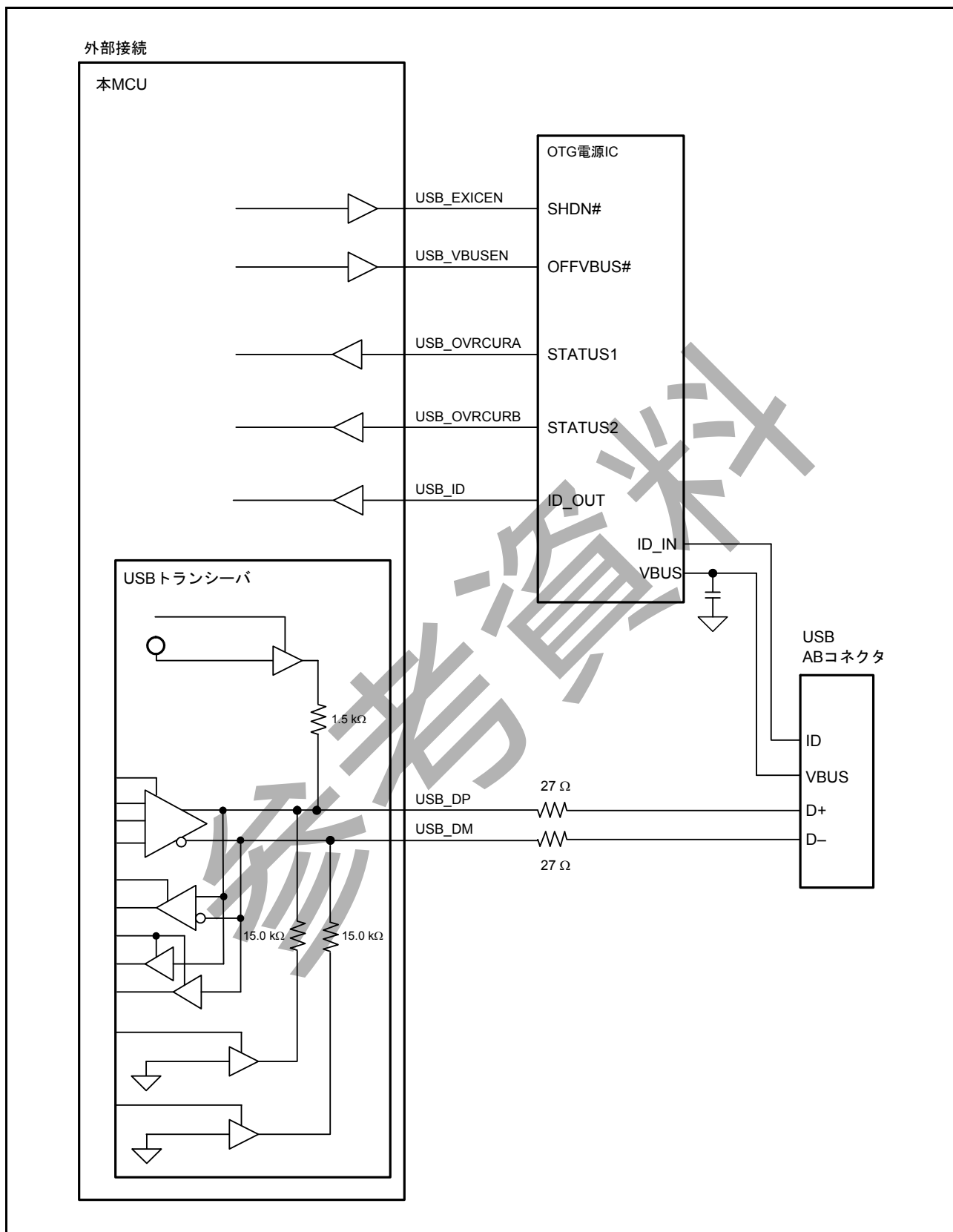


図 28.5 セルフパワー状態での OTG 接続例

図 28.6 に、セルフパワー状態での USB コネクタのファンクション接続例を示します。

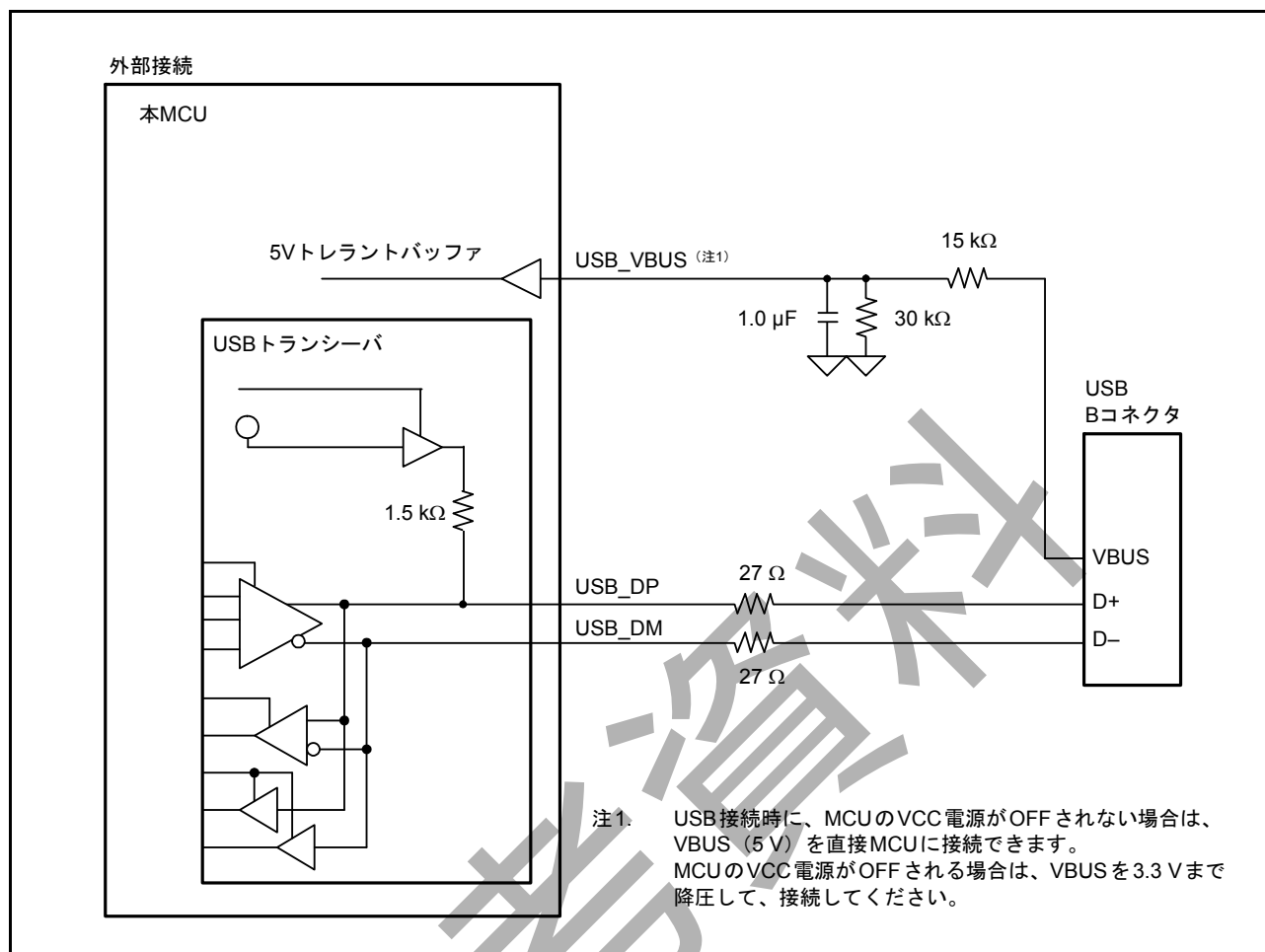


図 28.6 セルフパワー状態でのデバイス接続例

図 28.7 に、USB コネクタのホスト接続例を示します。

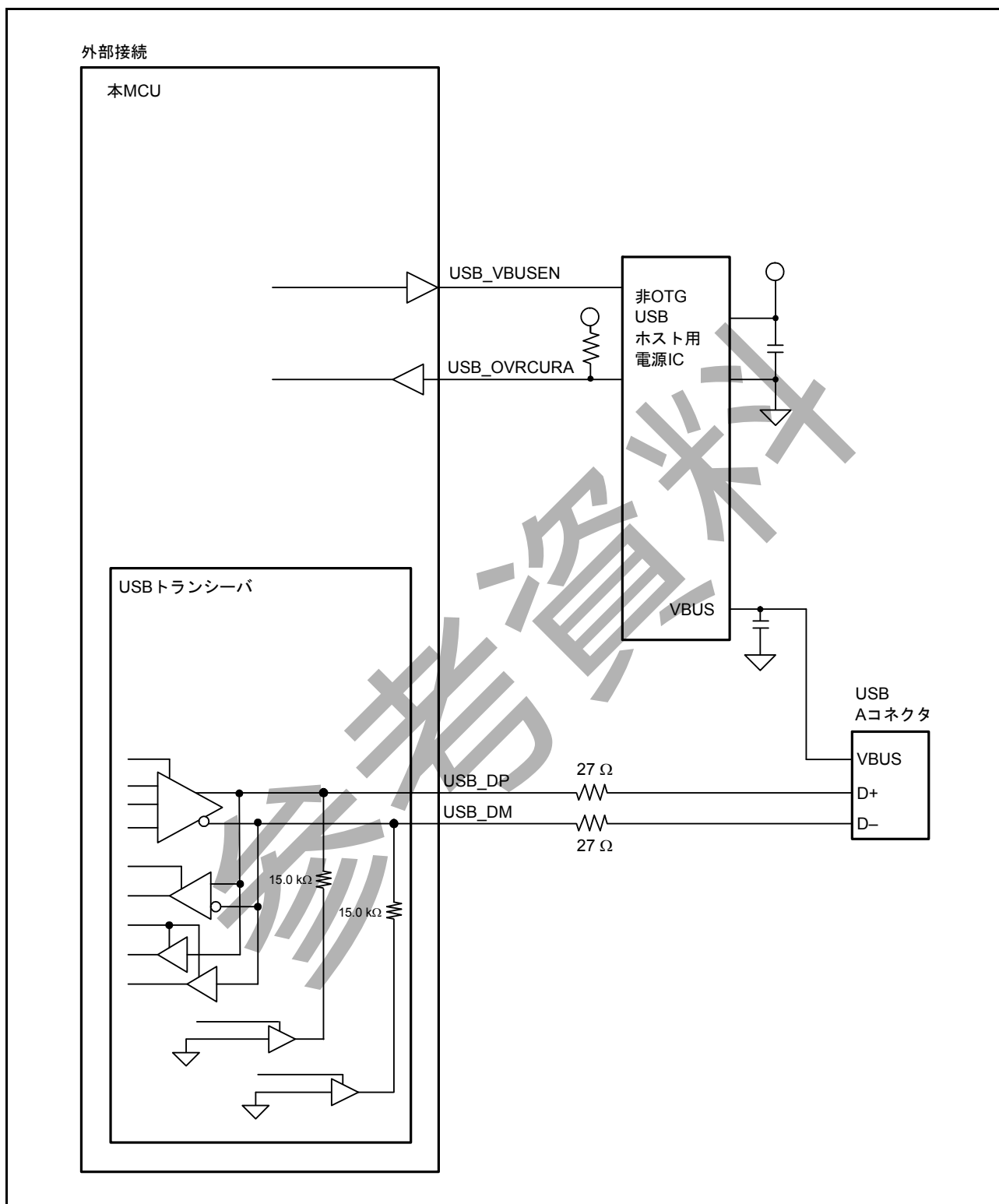


図 28.7 ホスト接続例



図 28.8 に、バスパワー状態での USB コネクタのファンクション接続例を示します。

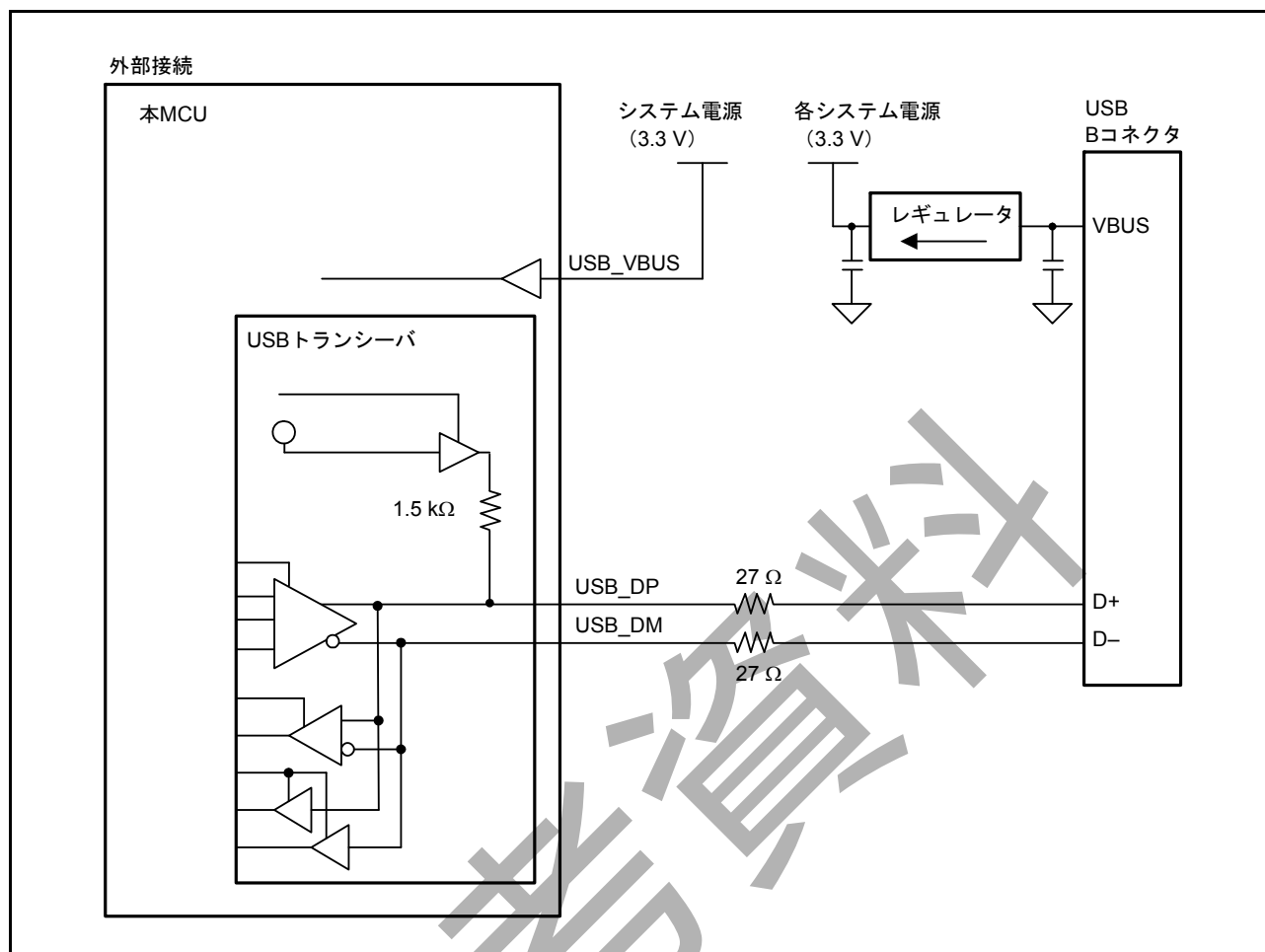


図 28.8 バスパワー状態でのデバイス接続例

この節に記載の外部回路の例は、概略回路であり、すべてのシステムにおいて動作を保証するものではありません。

図 28.9 に、バッテリーチャージング仕様リビジョン 1.2 に対応した USB コネクタのファンクション接続例を示します。

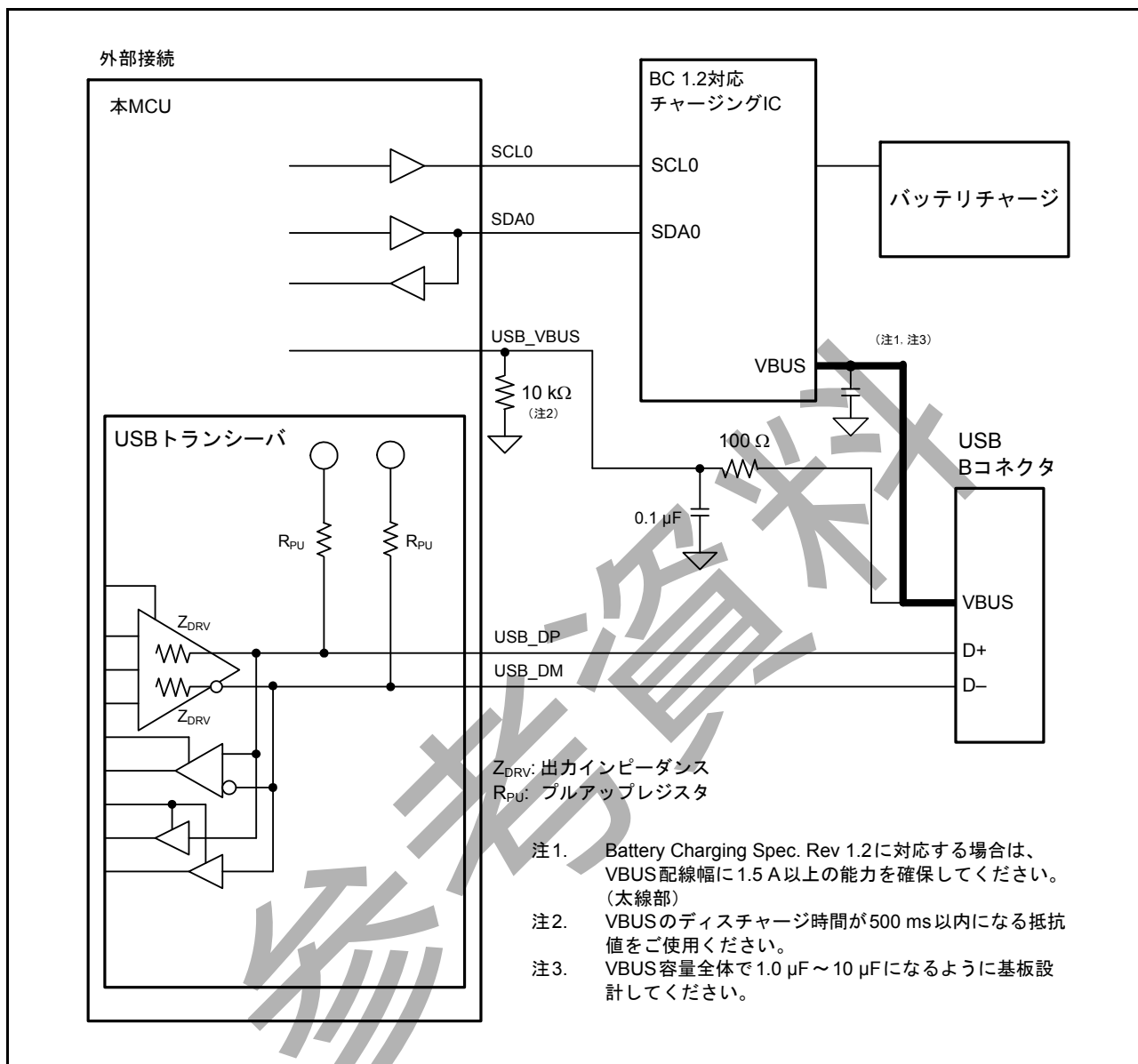


図 28.9 バッテリーチャージング仕様リビジョン 1.2 に対応したファンクション接続例

## 28.3.2 割り込み

表 28.13 に、USBFS の割り込み要因一覧を示します。これらの割り込み発生条件が成立し、かつ対応する割り込みイネーブルレジスタで割り込み出力が許可されていると、**割り込みコントローラユニット (ICU)** に対して USBFS 割り込み要求が発行されて、USBFS 割り込みが発生します。

表 28.13 割り込み要因 (1/2)

1にするビット	名称	割り込み要因	対象となるコントローラ機能	ステータスフラグ
VBINT	VBUS 割り込み	<ul style="list-style-type: none"> <li>USB_VBUS 入力端子の状態変化 (Low→High または High→Low) を検出したとき</li> </ul>	ホストまたはデバイス (注1)	INTSTS0. VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> <li>Suspended ステートにおいて USB バスの状態変化 (J-State→K-State または J-State→SE0) を検出したとき</li> </ul>	デバイス	—
SOFR	フレーム番号更新割り込み	<ul style="list-style-type: none"> <li>ホストコントローラモード時： <ul style="list-style-type: none"> <li>フレーム番号の異なる SOF パケットを送信したとき</li> </ul> </li> <li>デバイスコントローラモード時： <ul style="list-style-type: none"> <li>フレーム番号の異なる SOF パケットを受信したとき</li> </ul> </li> </ul>	ホスト/ デバイス	—
DVST	デバイスステート遷移割り込み	<ul style="list-style-type: none"> <li>以下のいずれかのデバイスステート遷移を検出したとき <ul style="list-style-type: none"> <li>USB バスリセットの検出</li> <li>Suspended ステートの検出</li> <li>SET_ADDRESS リクエストの受信</li> <li>SET_CONFIGURATION リクエストの受信</li> </ul> </li> </ul>	デバイス	INTSTS0. DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	<ul style="list-style-type: none"> <li>以下のいずれかによってコントロール転送ステージ遷移を検出したとき <ul style="list-style-type: none"> <li>セットアップステージの完了</li> <li>コントロールライト転送ステータスステージ遷移の発生</li> <li>コントロールリード転送ステータスステージ遷移の発生</li> <li>コントロール転送の完了</li> <li>コントロール転送シーケンスエラーの発生</li> </ul> </li> </ul>	デバイス	INTSTS0. CTSQ[2:0]
BEMP	バッファエンブレティ割り込み	<ul style="list-style-type: none"> <li>FIFO バッファ内の全データを送信してバッファが空になったとき</li> <li>最大パケットサイズを超えるパケットを受信したとき</li> </ul>	ホスト/ デバイス	BEMPSTS. PIPEnBEMP
NRDY	バッファノットレディ割り込み	<ul style="list-style-type: none"> <li>ホストコントローラモード時： <ul style="list-style-type: none"> <li>発行したトークンに対して周辺デバイスから STALL 応答を受信したとき</li> <li>発行したトークンに対して周辺デバイスから応答を正しく受信できなかったとき (無応答が 3 回連続、またはパケット受信エラーが 3 回連続で発生)</li> <li>アイソクロナス転送中にオーバーランエラーまたはアンダーランエラーが発生したとき</li> </ul> </li> <li>デバイスコントローラモード時： <ul style="list-style-type: none"> <li>PID[1:0] ビットが 01b (BUF) のときに、IN トークンまたは OUT トークンに対して NAK を応答したとき</li> <li>アイソクロナス転送でのデータ受信中に CRC エラーまたはビットスタッフィングエラーが発生したとき</li> <li>アイソクロナス転送でのデータ受信中にオーバーランまたはアンダーランが発生したとき</li> </ul> </li> </ul>	ホスト/ デバイス	NRDYSTS. PIPEnNRDY
BRDY	バッファレディ割り込み	<ul style="list-style-type: none"> <li>バッファがレディ状態 (読み出し/書き込み可能) になったとき</li> </ul>	ホスト/ デバイス	BRDYSTS. PIPEnBRDY
OVRCCR	オーバーカレント入力変化割り込み	<ul style="list-style-type: none"> <li>USB_OVRCURA または USB_OVRCURB 入力端子の状態変化 (Low→High または High→Low) を検出したとき</li> </ul>	ホスト	INTSTS1. OVRCCR
BCHG	バス変化割り込み	<ul style="list-style-type: none"> <li>USB バスの状態変化を検出したとき</li> </ul>	ホスト/ デバイス	SYSSTS0. LNST[1:0]
DTCH	フルスピード動作時デタッチ検出	<ul style="list-style-type: none"> <li>フルスピード動作時に周辺デバイスのデタッチを検出したとき</li> </ul>	ホスト	DVSTCTR0. RHST[2:0]
ATTCH	デバイスアタッチ検出	<ul style="list-style-type: none"> <li>J-State または K-State を USB バスで 2.5μs 間に連続して検出したとき</li> </ul> <p>この割り込みは、周辺デバイスがアタッチされたか否かの確認に利用できます。</p>	ホスト	—
EOFERR	EOF エラー検出	<ul style="list-style-type: none"> <li>周辺デバイスの EOF エラーを検出したとき</li> </ul>	ホスト	—

表 28.13 割り込み要因 (2/2)

1にするビット	名称	割り込み要因	対象となるコントローラ機能	ステータスフラグ
SACK	SETUP正常	• SETUPトランザクションの正常応答 (ACK) を受信したとき	ホスト	—
SIGN	SETUPエラー	• SETUPトランザクションエラー (無応答またはACKパケット破損) を3回連続で検出したとき	ホスト	—
PDDEINT0	ポータブルデバイス検出割り込み	• ポータブルデバイスのアタッチを検出したとき	ホスト	INTSTS1.PDDETINT0

注1. この割り込みは、ホストコントローラモードでも発生しますが、通常はホストコントローラモードでは使用しません。

図 28.10 に、USBFS の割り込みに関連する回路を示します。

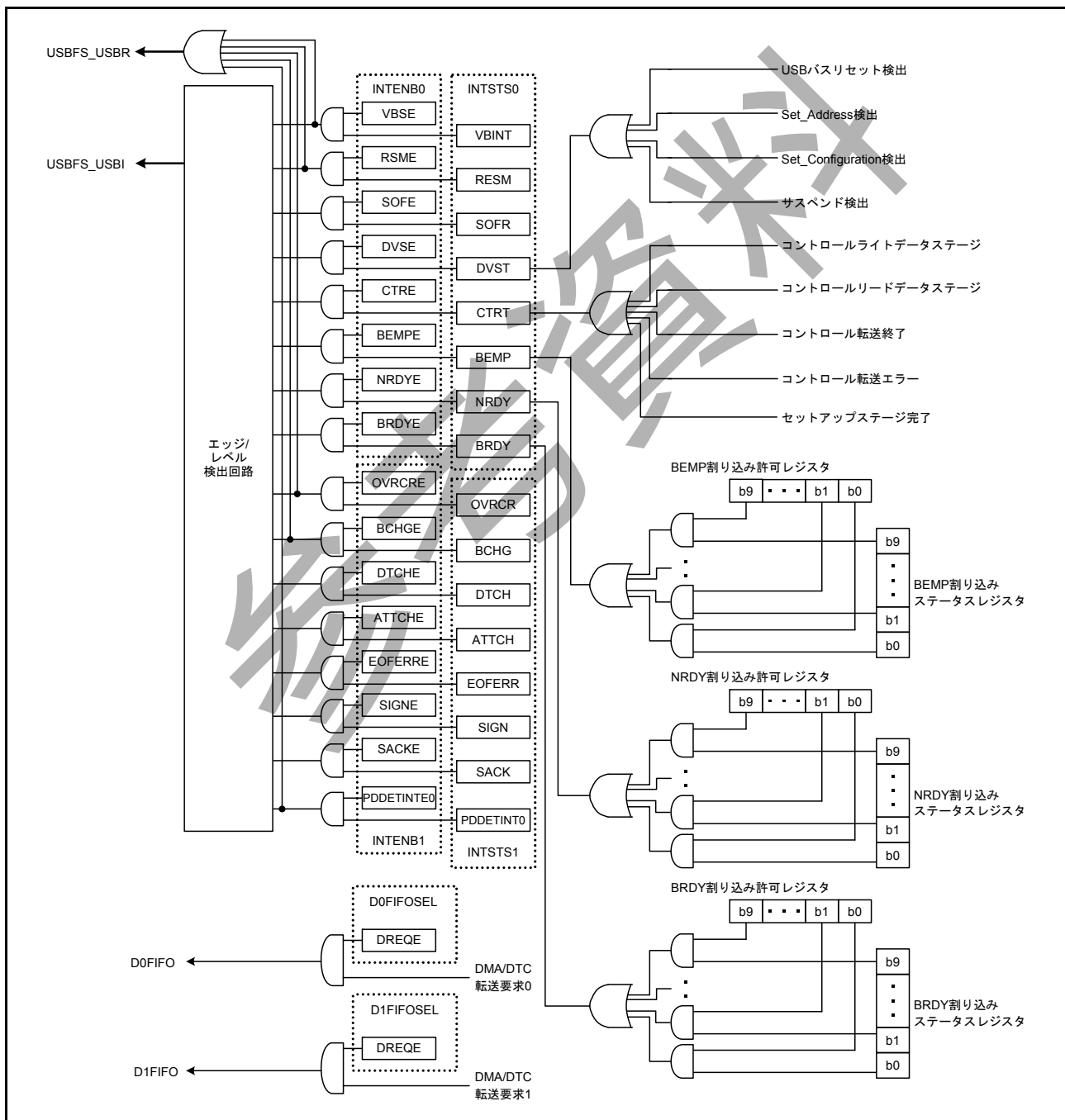


図 28.10 USBFS の割り込みに関連する回路

表 28.14 に、USBFS が発生させる割り込みを示します。

表 28.14 USBFSの割り込み

割り込み名	割り込みステータスフラグ	DTCの起動	DMACの起動	優先順位
D0FIFO	DMA転送要求0	可能	可能	高 ↑
D1FIFO	DMA転送要求1	可能	可能	
USBFS_USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバーカレント入力変化割り込み、バス変化割り込み、フルスピード動作時デタッチ検出、デバイスアタッチ検出、EOFエラー検出、SETUP正常、SETUPエラー、およびポータブルデバイス検出割り込み	不可能	不可能	低
USBFS_USBR	VBUS割り込み、レジューム割り込み、オーバーカレント入力変化割り込み、バス変化割り込み	不可能	不可能	—

### 28.3.3 割り込みの説明

#### 28.3.3.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラモードとデバイスコントローラモードの両方で発生します。本節では、USBFS が BRDYSTS レジスタの対応するビットを 1 にする条件について説明します。これらの条件下では、ソフトウェアで当該パイプに対応する BRDYENB レジスタのビットを 1 にして、さらに INTENB0.BRDYE ビットを 1 にしていると、USBFS は BRDY 割り込みを発生させます。

BRDY 割り込みの発生およびクリア条件は、以下のように、各パイプの SOFCFG.BRDYM ビットと PIPECFG.BFRE ビットの設定値によって異なります。

##### (1) SOFCFG.BRDYM = 0 かつ PIPECFG.BFRE = 0 のとき

この設定の場合、BRDY 割り込みは FIFO ポートがアクセス可能であることを示します。

下記条件のいずれかに該当する場合、USBFS は内部 BRDY 割り込み要求トリガを発生させ、選択パイプに対応する BRDYSTS.PIPEnBRDY ビットを 1 にします。

##### (a) 送信パイプの場合

- ソフトウェアで DIR ビットを 0 から 1 に変更したとき
- CPU からパイプの FIFO バッファへのライトアクセスが不可能な (BSTS ビットの読み出し値が 0 の) 状態で、そのパイプの packets 送信が完了したとき
- ダブルバッファモードで、一方の FIFO バッファへの書き込み完了時に、もう一方の FIFO バッファが空であったとき
- 一方の FIFO バッファへの送信が完了しても、現在書き込み中の FIFO バッファへの書き込みが完了するまで、要求トリガは発生しません。
- アイソクロナス転送のパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに 1 を書くことで、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては (すなわち、コントロール転送でのデータ送信においては)、要求トリガは発生しません。

##### (b) 受信パイプの場合

- CPU から当該パイプの FIFO バッファへのリードアクセスが不可能な (BSTS ビットの読み出し値が 0 の) 状態で、packet 受信が正常に完了したため、FIFO バッファの読み出しが可能になったとき。DATA-PID 不一致が発生したトランザクションに対しては、要求トリガは発生しません。
- ダブルバッファモードにおいて、一方の FIFO バッファからの読み出し完了時に、もう一方の FIFO バッファも読み出し可能なとき。一方の FIFO バッファが受信を完了しても、現在読み出し中の FIFO バッ

ファからの読み出しが完了するまで、要求トリガは発生しません。

デバイスコントローラモードでは、コントロール転送のステータスステージで BRDY 割り込みは発生しません。選択パイプの PIPEBRDY 割り込みステータスは、ソフトウェアで対応する PIPEnBRDY ビットに 0 を書くことにより、0 にすることができます。この場合、他のパイプの PIPEBRDY ビットには 1 を書く必要があります。

BRDY ステータスのクリアは、FIFO バッファへアクセスする前に行ってください。

## (2) SOFCFG.BRDYM = 0 かつ PIPECFG.BFRE = 1 のとき

この設定の場合、受信パイプによって 1 転送分の全データがすべて読み出されたときに、USBFS は BRDY 割り込みを発生させ、当該パイプに対応する BRDYSTS レジスタのビットを 1 にします。

下記条件のいずれかに該当する場合、USBFS は 1 転送分の最後のデータが受信されたと判定します。

- ショートパケット (Zero-Length パケットを含む) を受信したとき
- パイプ n トランザクションカウンタレジスタ (PIPEnTRN) を使用し、PIPEnTRN.TRNCNT[15:0] ビットで設定したパケット数をすべて受信したとき

上記条件のいずれかが満たされた後、データの読み出しが完了したときに、USBFS は 1 転送分の全データがすべて読み出されたと判定します。

FIFO バッファが空の状態 Zero-Length パケットを受信した場合、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN[8:0] ビットが 0 の時点で、USBFS は 1 転送分の全データがすべて読み出されたと判定します。この場合、次の転送を開始するには、対応するポートコントロールレジスタの BCLR ビットにソフトウェアで 1 を書いてください。この設定の場合、USBFS は送信パイプに対して BRDY 割り込みを検出しません。

パイプの PIPEBRDY 割り込みステータスは、ソフトウェアで対応する BRDYSTS.PIPEnBRDY ビットに 0 を書くことにより、0 にすることができます。この場合、他のパイプの PIPEBRDY ビットには 1 を書く必要があります。

このモードを使用する場合、1 転送分の全データを処理するまで、PIPECFG.BFRE ビットの設定値を変更しないでください。処理の途中で PIPECFG.BFRE ビットを変更する必要がある場合は、PIPEnCTR.ACLRM ビットを用いてパイプの FIFO バッファをすべてクリアする必要があります。

## (3) SOFCFG.BRDYM = 1 かつ PIPECFG.BFRE = 0 のとき

この設定の場合、BRDYSTS.PIPEnBRDY ビット値は、各パイプの BSTS ビットの設定値に連動します。すなわち、BRDY 割り込みステータスビット (PIPEBRDY) は、FIFO バッファの状態に応じて USB が 1 または 0 にします。

### (a) 送信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファが書き込み可能な状態であれば 1 になり、そうでなければ 0 になります。送信方向の DCP が書き込み可能であっても、BRDY 割り込みは発生しません。

### (b) 受信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファが読み出し可能な状態であれば 1 になり、全データが読み出されたとき (リードアクセスが不可能な状態で) 0 になります。

FIFO バッファが空の状態 Zero-Length パケットを受信した場合、ソフトウェアで BCLR ビットに 1 を書くまで、当該ビットは 1 になり、BRDY 割り込みが発生し続けます。この設定の場合、ソフトウェアで PIPEnBRDY ビットを 0 にすることはできません。

SOFCFG.BRDYM ビットが 1 のときは、全パイプの PIPECFG.BFRE ビットを 0 にしてください。

図 28.11 に、BRDY 割り込みの発生タイミングを示します。



図 28.11 BRDY 割り込みの発生タイミング

INTSTS0.BRDY ビットのクリア条件は、表 28.15 に示すように、SOFCFG.BRDYM ビットの設定値によって異なります。

表 28.15 BRDYビットのクリア条件

BRDYMビット	BRDYビットのクリア条件
0	ソフトウェアでBRDYSTSレジスタの全ビットを0にすると、USBFSはBRDYビットを0にクリアします。
1	全パイプのBSTSビットが0になったとき、USBFSはBRDYビットを0にクリアします。

### 28.3.3.2 NRDY 割り込み

ソフトウェアで PID ビットを BUF に設定したパイプに内部 NRDY 割り込み要求が発生すると、USBFS は対応する NRDYSTS.PIPEnNRDY ビットを 1 にします。ソフトウェアで NRDYENB レジスタの対応するビットを 1 にしている場合、USBFS は INTSTS0.NRDY ビットを 1 にして、USBFS 割り込みを発生させます。

USBFS が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ホストコントローラモードでは、SETUP トランザクションの実行中に、内部 NRDY 割り込み要求は発生しません。ホストコントローラモードでは、SETUP トランザクション中に、SACK または SIGN 割り込みを検出します。

デバイスコントローラモードでは、コントロール転送ステータスステージの実行中に、内部 NRDY 割り込み要求は発生しません。

#### (1) ホストコントローラモード時

##### (a) 送信パイプの場合

以下のいずれかの条件で、USBFS は NRDY 割り込みを検出します。

- アイソクロナス転送のパイプにおいて、FIFO バッファに送信すべきデータがない状態で OUT トークンの発行タイミングに達したとき。このとき USBFS は、OUT トークンに続けて Zero-Length パケットを送信し、対応する NRDYSTS.PIPEnNRDY ビットと、FRMNUM.OVRN ビットを 1 にします。
- アイソクロナス転送以外のパイプにおいて、SETUP トランザクション以外の通信中に、以下の 2 つのケースの任意の組み合わせが 3 回連続して発生したとき：
  - 周辺デバイスから応答がないとき（周辺デバイスからのハンドシェイクパケットを検出する前に、タイムアウトが検出されたとき）
  - 周辺デバイスからのパケットにエラーが検出されたとき。このとき USBFS は、対応する PIPEnNRDY ビットを 1 にして、当該パイプに対応する PID[1:0] ビット設定値を NAK に変更します。
- SETUP トランザクション以外の通信中に、周辺デバイスから STALL ハンドシェイクを受信したとき。このとき USBFS は、対応する PIPEnNRDY ビットを 1 にして、当該パイプの PID[1:0] ビット設定値を STALL (11b) に変更します。

##### (b) 受信パイプの場合

- アイソクロナス転送のパイプにおいて、IN トークンの発行タイミングに達したが、FIFO バッファに空きがないとき。このとき USBFS は、IN トークンに対する受信データを破棄し、当該パイプに対応する PIPEnNRDY ビットと、OVRN ビットを 1 にします。さらに、IN トークンに対する受信データにパケットエラーを検出した場合は、USBFS は FRMNUM.CRCE ビットも 1 にします。
- アイソクロナス転送以外のパイプにおいて、以下の 2 つのケースの任意の組み合わせが 3 回連続で発生したとき：
  - USBFS が発行した IN トークンに対して周辺デバイスから応答がないとき（周辺デバイスからの DATA パケットを検出する前に、タイムアウトが検出されたとき）
  - 周辺デバイスからのパケットにエラーが検出されたとき。このとき USBFS は、対応する PIPEnNRDY ビットを 1 にし、当該パイプに対応する PID[1:0] ビット設定値を NAK に変更します。
- アイソクロナス転送のパイプにおいて、IN トークンに対して周辺デバイスから応答がないとき（周辺デバイスからの DATA パケットを検出する前に、タイムアウトが検出されたとき）、または周辺デバイスからのパケットにエラーが検出されたとき。このとき USBFS は、当該パイプに対応する PIPEnNRDY ビットを 1 にします。当該パイプの PID[1:0] ビットの設定値は変更されません。
- アイソクロナス転送のパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッフィングエラーが検出されたとき。このとき USBFS は、当該パイプに対応する PIPEnNRDY ビットと、CRCE ビットを 1 にします。



- STALL ハンドシェイクを受信したとき。このとき USBFS は、当該パイプに対応する PIPEnNRDY ビットを 1 にして、そのパイプの PID[1:0] ビットの設定値を STALL に変更します。

## (2) デバイスコントローラモード時

### (a) 送信パイプの場合

- FIFO バッファに送信すべきデータがない状態で IN トークンを受信したとき。このとき USBFS は、IN トークン受信時に NRDY 割り込み要求を発生させ、NRDYSTS.PIPEnNRDY ビットを 1 にします。割り込みが発生したアイソクロナス転送のパイプに対して、USBFS は Zero-Length パケットを送信し、FRMNUM.OVRN ビットを 1 にします。

### (b) 受信パイプの場合

- OUT トークンを受信したが、FIFO バッファに空きがないとき。割り込みが発生したアイソクロナス転送のパイプに対して、USBFS は OUT トークン受信時に NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にして、OVRN ビットを 1 にします。割り込みが発生したアイソクロナス転送以外のパイプに対しては、USBFS は、OUT トークンに続くデータ受信後の NAK ハンドシェイクを送信するときに、NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にします。DATA-PID 不一致による再送信時には、NRDY 割り込み要求は発生しません。また、DATA パケットにエラーがある場合も、NRDY 割り込み要求は発生しません。
- アイソクロナス転送のパイプにおいて、インターバルフレーム内にトークンが正常に受信されなかったとき。このとき USBFS は、SOF 受信時に NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にします。

図 28.12 に、デバイスコントローラ選択時の NRDY 割り込みの発生タイミングを示します。

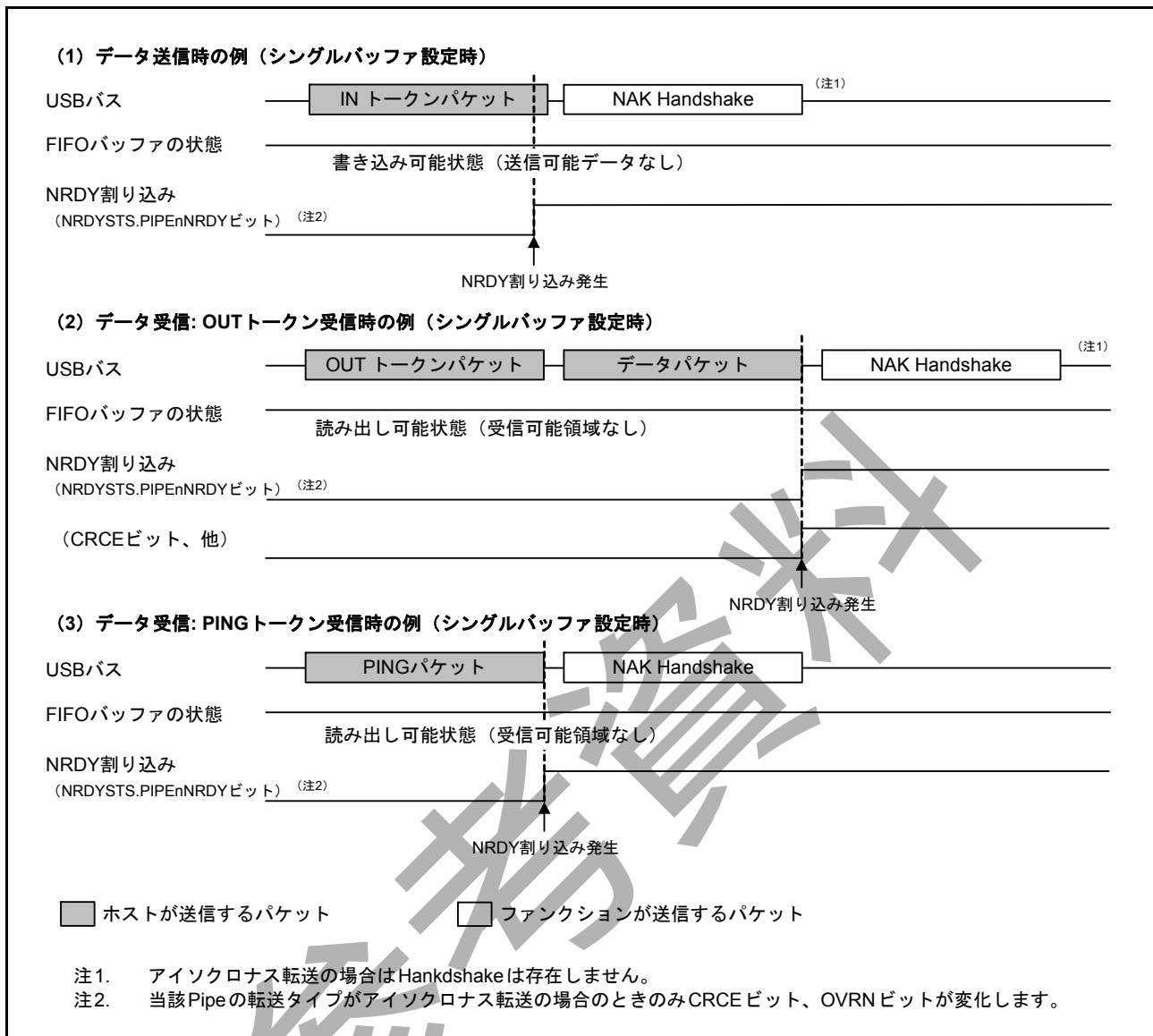


図 28.12 デバイスコントローラモードにおけるNRDY割り込みの発生タイミング

### 28.3.3.3 BEMP 割り込み

ソフトウェアでPIDビットをBUFに設定したパイプに、BEMP割り込みが検出されると、USBFSは対応するBEMPSTS.PIPEnBEMPビットを1にします。ソフトウェアでBEMPENBレジスタの対応するビットを1にしている場合、USBFSはINTSTS0.BEMPビットを1にして、USBFS割り込みを発生させます。本節では、USBFSが内部BEMP割り込み要求を発生させる条件について説明します。

#### (1) 送信パイプの場合

送信完了時 (Zero-Lengthパケットの送信時を含む) に、対応するパイプのFIFOバッファが空のとき、シングルバッファモードでは、DCP以外のパイプに対してBRDY割り込みと同時に内部BEMP割り込み要求が発生します。下記条件のいずれかに該当する場合、内部BEMP割り込み要求は発生しません。

- ダブルバッファモードで、片方のFIFOバッファからのデータ送信完了時に、CPUまたはDMA/DTCが、CPU側のFIFOバッファへのデータ書き込みをすでに開始しているとき
- PIPEnCTR.ACLRMビットまたはポートコントロールレジスタのBCLRビットを1にして、バッファをクリア (空に) したとき
- デバイスコントローラモードのコントロール転送ステータスステージにおいて、IN転送 (Zero-Lengthパ

ケット送信) を実行したとき

## (2) 受信パイプの場合

正常に受信したデータの packet サイズが、設定された最大 packet サイズを超えたとき。この場合、USBFS は BEMP 割り込み要求を発生させ、対応する BEMPSTS.PIPEnBEMP ビットを 1 にして、受信データを破棄し、当該パイプに対応する PID[1:0] ビット設定値を STALL (11b) に変更します。USBFS は、ホストコントローラモードでは応答を返しません。デバイスコントローラモードでは STALL 応答を行います。

下記条件のいずれかに該当する場合、内部 BEMP 割り込み要求は発生しません。

- 受信データに CRC エラーまたはビットスタッフィングエラーが検出されたとき
- SETUP トランザクションが実行されたとき
  - BEMPSTS.PIPEnBEMP ビットに 0 を書くと、ステータスがクリアされます。
  - BEMPSTS.PIPEnBEMP ビットに 1 を書いても、何の影響もありません。

図 28.13 に、デバイスコントローラモード時の BEMP 割り込みの発生タイミングを示します。



図 28.13 デバイスコントローラモード時の BEMP 割り込みの発生タイミング

### 28.3.3.4 デバイスステート遷移割り込み (デバイスコントローラモード)

図 28.14 に、USBFS のデバイスステート遷移図を示します。USBFS は、デバイスステートを管理して、デバイスステート遷移割り込みを発生させます。ただし、Suspended ステートからの復帰 (レジューム信号検出) は、レジューム割り込みによって検出します。デバイスステート遷移割り込みは、INTENB0 レジスタを用いて個別に許可または禁止にできます。ステートが変化したデバイスは、INTSTS0.DVSQL[2:0] ビットで確認できます。

Default ステートに遷移する場合は、USB バスリセットの検出後に、デバイスステート遷移割り込みが発生します。

USBFS はデバイスステートを管理して、デバイスコントローラモードでのみデバイスステート遷移割り込みを発生させます。

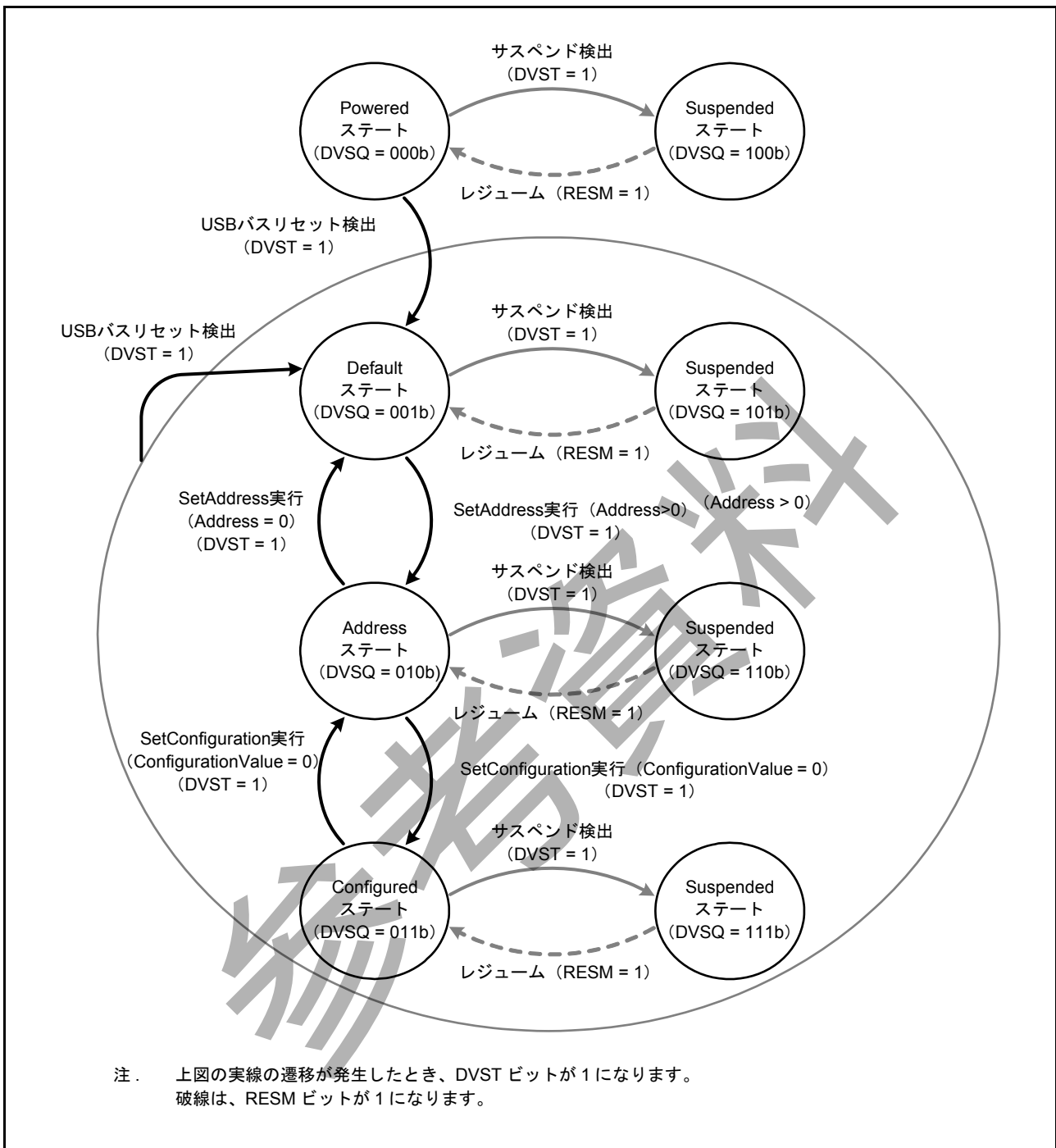


図 28.14 デバイス状態の遷移

28.3.3.5 コントロール転送ステージ遷移割り込み (デバイスコントローラモード)

図 28.15 に、USBFS のコントロール転送ステージ遷移図を示します。USBFS は、コントロール転送のシーケンスを管理して、コントロール転送ステージ遷移割り込みを発生させます。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に許可または禁止できます。遷移した転送ステージは、INTSTS0.CTSQ[2:0] ビットで確認できます。

コントロール転送ステージ遷移割り込みは、デバイスコントローラモードでのみ発生します。本節では、コントロール転送のシーケンスエラーについて説明します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが 1xb (STALL 応答) になります。

(1) コントロールリード転送エラー

- データステージの IN トークンに対して、一度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークンを受信
- ステータスステージで DATAPID = DATA0 のデータパケットを受信

(2) コントロールライト転送エラー

- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットとして DATAPID = DATA0 のパケットを受信
- ステータスステージで OUT トークンを受信

(3) コントロールライトノーデータ転送エラー

- ステータスステージで OUT トークンを受信

コントロールライト転送のデータステージでは、受信データ長が USB リクエストの wLength 値を超えても、コントロール転送シーケンスエラーと認識されません。コントロールリード転送のステータスステージでは、Zero-Length パケット以外のパケットが ACK 応答によって受信され、転送が正常に終了します。

シーケンスエラーに対して CTRT 割り込みが発生した場合 (INTSTS0.CTRT = 1)、CTRT ビットが 0 になって割り込みステータスがクリアされるまで、CTS<sub>Q</sub>[2:0] = 110b の値が保持されます。CTS<sub>Q</sub>[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。セットアップステージ完了のステータスは USBFS が保持しており、ソフトウェアによって割り込みステータスがクリアされると、USBFS が CTRT 割り込みを発生させます。

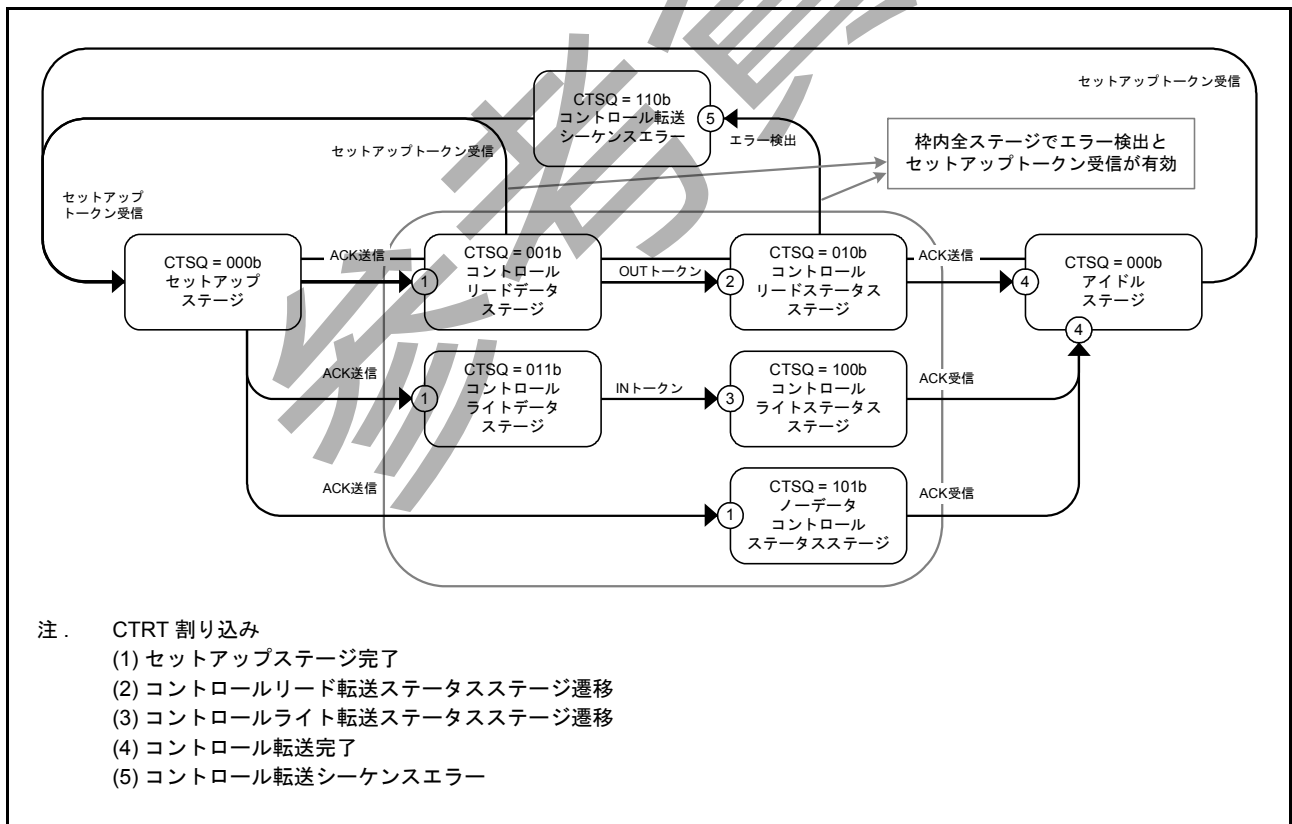


図 28.15 コントロール転送ステージの遷移

### 28.3.3.6 フレーム番号更新割り込み

ホストコントローラモードでは、フレーム番号が更新されると割り込みが発生します。

デバイスコントローラモードでは、フレーム番号が更新されると SOFR 割り込みが発生します。USBFS は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生させます。

### 28.3.3.7 VBUS 割り込み

USB\_VBUS 端子レベルに変化があった場合、VBUS 割り込みが発生します。USB\_VBUS 端子のレベルは、INTSTS0.VBSTS ビットで確認できます。VBUS 割り込みによって、ホストコントローラの接続/切断の確認が可能です。ホストコントローラが接続された状態でシステムが起動された場合は、USB\_VBUS 端子レベルが変化しないため、最初の VBUS 割り込みは発生しません。

### 28.3.3.8 レジューム割り込み

デバイスコントローラモードでは、デバイスが Suspended ステートのとき、USB バス状態が変化 (J-State から K-State へ、または J-State から SE0 へ変化) すると、レジューム割り込みが発生します。レジューム割り込みによって Suspended ステートからの復帰を検出します。

ホストコントローラモードでは、レジューム割り込みは発生しません。BCHG 割り込みを用いて、USB バス状態の変化を検出してください。

### 28.3.3.9 OVRCCR 割り込み

USB\_OVRCURA または USB\_OVRCURB 端子のレベルが変化した場合に、OVRCCR 割り込みが発生します。USB\_OVRCURA 端子と USB\_OVRCURB 端子のレベルは、SYSSTS0.OVCMON[1:0] ビットで確認できます。外部電源 IC は、OVRCCR 割り込みを用いてオーバーカレントが検出されたかどうかの確認が可能です。

OTG 接続時には、OVRCCR 割り込みによって、VBUS コンパレータの変化が検出されたかどうかの確認が可能です。

### 28.3.3.10 BCHG 割り込み

USB バス状態に変化があった場合に、BCHG 割り込みが発生します。ホストコントローラモードでは、BCHG 割り込みを用いて周辺デバイスのアタッチ検出が可能であり、また、リモートウェイクアップの検出にも利用できます。BCHG 割り込みは、ホストコントローラモードとデバイスコントローラモードの両方で発生します。

### 28.3.3.11 DTCH 割り込み

ホストコントローラモードでは、USB バスデタッチが検出されると、DTCH 割り込みが発生します。USBFS は、USB2.0 規格に従ってバスデタッチを検出します。

割り込みを検出した場合は、該当ポートに対して通信を行っている全パイプをソフトウェアで終了させる必要があります。パイプは、そのポートに対してバス接続待ち状態 (ATTCH 割り込みの発生待ち状態) になります。対応する割り込み許可ビットとは無関係に、USBFS ハードウェアは以下の処理を行います。

- DTCH 割り込みが検出されたポートの DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

### 28.3.3.12 SACK 割り込み

ホストコントローラモードでは、送信した Setup パケットに対して周辺デバイスから ACK 応答を受信すると、SACK 割り込みが発生します。SACK 割り込みを用いて、SETUP トランザクションが正常に終了したことを確認できます。

### 28.3.3.13 SIGN 割り込み

ホストコントローラモードでは、送信した Setup パケットに対して周辺デバイスから ACK 応答を 3 回連続して正常に受信できなかった場合に、SIGN 割り込みが発生します。SIGN 割り込みを用いて、周辺デバイスから ACK 応答が送信されないことや、ACK パケットの破損を検出することが可能です。

#### 28.3.3.14 ATTCH 割り込み

ホストコントローラモードでは、USB ポートにフルスピード信号レベルの J-State または K-State が 2.5 $\mu$ s 間検出されると、ATTCH 割り込みが発生します。具体的には、ATTCH 割り込みは以下のいずれかの条件下で検出されます。

- K-State、SE0、または SE1 から J-State へ変化し、J-State が 2.5 $\mu$ s 間継続したとき
- J-State、SE0、または SE1 から K-State へ変化し、K-State が 2.5 $\mu$ s 間継続したとき

#### 28.3.3.15 EOFERR 割り込み

USB 2.0 規格で定められている EOF2 のタイミングで通信が終了しないことを USBFS が検出すると、EOFERR 割り込みが発生します。

割り込みが検出された場合、該当ポートに対して通信を行っている全パイプをソフトウェアで終了させ、そのポートを再エネumerেশヨンする必要があります。対応する割り込み許可ビットとは無関係に、USBFS ハードウェアは以下の処理を行います。

- EOFERR 割り込みが検出されたポートの DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

#### 28.3.3.16 ポータブルデバイス検出割り込み

USB-PHY から出力された PDDET のレベル変化 (High から Low または Low から High) を USBFS が検出すると、ポータブルデバイス検出割り込みが発生します。ポータブルデバイス検出割り込みが発生した場合、信号のチャタリングを除去するため、同じ値が 3 回以上読み出されるまでソフトウェアで PDDETSTS ビットの読み出しを繰り返してください。

### 28.3.4 パイプコントロール

表 28.16 に、USBFS のパイプ設定項目一覧を示します。USB データ転送では、ソフトウェアがエンドポイントに関連付けた論理パイプによって、データ転送が行われます。USBFS にはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定してください。

表 28.16 パイプ設定項目

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE	転送タイプ	パイプ1~9：設定可能
	BFRE	BRDY 割り込みモード	パイプ1~5：設定可能
	DBLB	ダブルバッファ選択	パイプ1~5：設定可能
	DIR	転送方向選択	INまたはOUT設定可能
	EPNUM	エンドポイント番号	パイプ1~9：設定可能 パイプ使用時は0000b以外に設定
	SHTNAK	転送終了時のパイプ禁止選択	パイプ1~2：バルク転送時のみ設定可能 パイプ3~5：設定可能
DCPMAXP PIPEMAXP	DEVSEL	デバイス選択	ホストコントローラモード時のみ参照
	MXPS	最大パケットサイズ	USB2.0規格に準拠
PIPEPERI	IFIS	バッファフラッシュ	パイプ1~2：アイソクロナス転送時のみ設定可能 パイプ3~9：設定不可能
	IITV	インターバルカウンタ	パイプ1~2：アイソクロナス転送時のみ設定可能 パイプ3~5：設定不可能 パイプ6~9：ホストコントローラモード時のみ設定可能
DCPCTR PIPECTR	BSTS	バッファステータス	DCPは、ISELビットで受信/送信バッファ状態を切り替えます。
	INBUFM	INバッファモニタ	パイプ1~5のみ搭載
	SUREQ	SETUPリクエスト	DCPのみ設定可能、ホストコントローラモード時のみ制御
	SUREQCLR	SUREQクリア	DCPのみ設定可能、ホストコントローラモード時のみ制御
	ATREPM	自動応答モード	パイプ1~5：デバイスコントローラモード時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1~9：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンスモニタ	データトグルビットの監視
	PBUSY	パイプビジーステータス	-
	PID	応答PID	28.3.4.6 応答PIDを参照してください。
PIPECTR	TRENB	トランザクションカウンタ許可	パイプ1~5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1~5：設定可能
PIPECTR	TRCNT	トランザクションカウンタ	パイプ1~5：設定可能

#### 28.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が禁止 (PID = NAK) されている場合に限り、書き換え可能です。

USB 通信が許可 (PID = BUF) されているときは、以下のレジスタおよびビットを変更しないでください。

- DCPCFG および DCPMAXP レジスタの各ビット
- DCPCTR レジスタの SQCLR および SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPECTR レジスタの ATREPM、ACLRM、SQCLR、および SQSET ビット



- PIPEnTRE および PIPEnTRN レジスタの各ビット

USB 通信が許可 (PID = BUF) されている場合に、上記の各ビットを設定するには、以下の手順で行ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. パイプに対応する PID[1:0] ビットを NAK に設定します。
3. 対応する PBUSY ビットが 0 になるまで待ちます。
4. パイプコントロールレジスタのビットを設定します。

パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに選択パイプの情報が設定されていない場合に限り、書き換え可能です。

CURPIPE[3:0] ビットが設定されているときは、以下のレジスタを設定しないでください。

- DCPCFG および DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合は、ポート選択レジスタの CURPIPE[3:0] ビットを、変更するパイプ以外のパイプに設定する必要があります。DCP については、パイプ情報の変更後、ポートコントロールレジスタの BCLR ビットを用いてバッファをクリアしなければいけません。

#### 28.3.4.2 転送タイプ

PIPECFG.TYPE[1:0] ビットで、各パイプの転送タイプを以下のように指定します。

- DCP : 設定不要 (コントロール転送固定)
- パイプ 1 ~ 2 : バルク転送またはアイソクロナス転送に設定
- パイプ 3 ~ 5 : バルク転送に設定
- パイプ 6 ~ 9 : インタラプト転送に設定

#### 28.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットで、各パイプのエンドポイント番号を設定します。DCP は、エンドポイント 0 に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP : 設定不要 (エンドポイント 0 固定)
- パイプ 1 ~ 9 : 1 から 15 までのエンドポイント番号を選択して設定してください。ただし、PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないようにしてください。

#### 28.3.4.4 最大パケットサイズ設定

DCPMAXP.MXPS[6:0] ビットと PIPEMAXP.MXPS[8:0] ビットで、各パイプの最大パケットサイズを指定します。DCP とパイプ 1 ~ 5 は、USB2.0 規格で定義されているすべての最大パイプサイズに設定可能です。パイプ 6 ~ 9 では、最大パケットサイズは 64 バイトです。最大パケットサイズは、転送を開始 (PID = BUF) する前に、以下のように設定してください。

- DCP : 8、16、32、または 64 に設定
- パイプ 1 ~ 5 : バルク転送時は 8、16、32、または 64 に設定
- パイプ 1 ~ 2 : アイソクロナス転送時は 1 ~ 256 の値に設定
- パイプ 6 ~ 9 : 1 ~ 64 の値に設定

#### 28.3.4.5 トランザクションカウンタ (受信方向パイプ 1 ~ 5)

データパケット受信方向で指定回数のトランザクションが完了したとき、USBFS は転送が終了したと認識します。トランザクションカウンタには、実行するトランザクション回数を指定する PIPEnTRN レジスタと、実行されたトランザクション回数を内部でカウントするカレントカウンタがあります。

PIPECFG.SHTNAK ビットが 1 の状態で、カレントカウンタ値がトランザクションの指定回数に一致すると、対応する PIPEnCTR.PID[1:0] ビットが NAK に設定され、次の転送を禁止状態にします。PIPEnTRE.TRCLR ビットで、トランザクションカウンタ機能のカレントカウンタを初期化することにより、トランザクションを最初からカウントし直すことができます。PIPEnTRN レジスタから読み出されるデータは、PIPEnTRE.TRENB ビットの設定値に応じて以下のように異なります。

- TRENB ビット = 0 : 指定したトランザクションカウンタ値の読み出しが可能
- TRENB ビット = 1 : 内部でカウントした実行済みトランザクション回数を示すカレントカウンタ値の読み出しが可能

TRCLR ビットの操作には、以下の制約事項があります。

- トランザクションのカウント中で、PID = BUF の場合、カレントカウンタはクリアできない
- バッファ内にデータが残っている場合、カレントカウンタはクリアできない

### 28.3.4.6 応答 PID

DCPCTR および PIPEnCTR レジスタの PID[1:0] ビットで、各パイプの応答 PID を設定します。本節では、各応答 PID の設定値に対する USBFS の動作について説明します。

#### (1) ソフトウェアの応答 PID 設定 (ホストコントローラモード時)

応答 PID を選択して、以下のようにトランザクションの実行を指定します。

- NAK 設定 : パイプ禁止状態かつトランザクション実行なし
- BUF 設定 : FIFO バッファの状態に応じて下記のトランザクションを実行  
OUT 方向の場合 : FIFO バッファに送信データがある場合、OUT トークンを発行  
IN 方向の場合 : FIFO バッファに空きがあり受信可能な場合に、IN トークンを発行
- STALL 設定 : パイプ禁止状態かつトランザクション実行なし

注 . DCP の SETUP トランザクションを実行するには、DCPCTR.SUREQ ビットを使用してください。

#### (2) ソフトウェアの応答 PID 設定 (デバイスコントローラモード時)

応答 PID を選択して、以下のようにホストからのトランザクションに対する応答を指定します。

- NAK 設定 : 発生したすべてのトランザクションに対して NAK 応答を返す
- BUF 設定 : FIFO バッファの状態に応じてトランザクションに応答する
- STALL 設定 : 発生したすべてのトランザクションに対して STALL 応答を返す

注 . SETUP トランザクションに対しては、PID[1:0] ビットの設定にかかわらず、常に ACK 応答を返し、レジスタに USB リクエストを格納します。

以下の (3) および (4) では、特定のトランザクションの結果に従って、USBFS が PID[1:0] ビットに書き込みを行う状況について説明します。

#### (3) ハードウェアの応答 PID 設定 (ホストコントローラモード時)

- NAK 設定 : 以下の場合に PID = NAK となり、トークンの発行が自動的に停止
  - アイソクロナス転送以外で、NRDY 割り込みが発生したとき  
(詳細は、[28.3.3.2 NRDY 割り込み](#)を参照してください)
  - バルク転送において PIPECFG.SHTNAK ビットが 1 の場合に、ショートパケットを受信したとき
  - バルク転送において SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき
- BUF 設定 : USBFS によるこの設定の書き込みなし
- STALL 設定 : 以下の場合に PID = STALL となり、トークンの発行が自動的に停止

- 送信したトークンに対して STALL を受信したとき
- 受信したデータの Paket サイズが、最大 Paket サイズを超えたとき

#### (4) ハードウェアの応答 PID 設定 (デバイスコントローラモード時)

- NAK 設定 : 以下の場合に PID = NAK となり、トランザクションに対して NAK 応答を返す
  - SETUP トークンを正常に受信したとき (DCP のみ)
  - バルク転送において PIPECFG.SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき、またはショート Paket を受信したとき
- BUF 設定 : USBFS による BUF 書き込みなし
- STALL 設定 : 以下の場合に PID = STALL となり、トランザクションに対して STALL 応答を返す
  - 受信したデータの Paket サイズが、最大 Paket サイズを超えたとき
  - コントロール転送シーケンスエラーが検出されたとき (DCP のみ)

#### 28.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、およびインタラプト転送において、データが正常に転送されると、USBFS がデータ PID のシーケンスビットを自動的にトグルします。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットで確認できます。データ送信時は ACK ハンドシェイク受信のタイミングでシーケンスビットが切り替わります。データ受信時は ACK ハンドシェイク送信のタイミングでシーケンスビットが切り替わります。DCPCTR レジスタの SQCLR ビットと PIPEnCTR レジスタの SQSET ビットで、データ PID シーケンスビットの変更が可能です。

デバイスコントローラモードでのコントロール転送では、ステージ遷移時に USBFS が自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 が返されます。ステータスステージではシーケンスビットは参照せず、PID = DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ただし、ホストコントローラモードでのコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、ClearFeature リクエストの送受信では、ソフトウェアでデータ PID シーケンスビットを設定する必要があります。

#### 28.3.4.8 応答 PID = NAK 機能

USBFS には、トランザクションの最後のデータ Paket を受信したとき、パイプ動作を禁止 (応答 PID = NAK) にする機能があります。USBFS は、ショート Paket 受信またはトランザクションカウンタに基づいて、トランザクションの終了を自動識別します。PIPECFG.SHTNAK ビットを 1 にすると、この機能が有効になります。

この機能を使用することで、FIFO バッファをダブルバッファモードで使用している場合に、転送単位でのデータ Paket の受信が可能です。パイプ動作を禁止した場合は、ソフトウェアで再度パイプを許可 (応答 PID = BUF) にする必要があります。

なお、応答 PID = NAK 機能は、バルク転送でのみ使用可能です。

#### 28.3.4.9 自動応答モード

バルク転送のパイプ (1 ~ 5) において、PIPEnCTR.ATREPM ビットを 1 にすると、自動応答モードとなります。OUT 転送時 (PIPECFG.DIR ビット = 0) では OUT-NAK モードとなり、IN 転送時 (DIR ビット = 1) では Null 自動応答モードとなります。

#### 28.3.4.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、OUT トークンに対して NAK が返され、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ遷移させるためには、パイプ動作が禁止 (PID[1:0] ビット = 00b (NAK 応答)) の状態で、OUT-NAK モードを指定してください。その後、パイプ動作を許可 (PID[1:0] ビット = 01b (BUF 応答)) にすると、OUT-NAK モードが有効になり

ます。パイプ動作を禁止する直前で OUT トークンを受け付けた場合は、そのトークンのデータが正常に受信されて、ホストへ ACK が返されます。

OUT-NAK モードから通常モードへ遷移させるには、パイプ動作禁止 (NAK) の状態で OUT-NAK モードを解除してください。その後、パイプ動作を許可 (BUF) してください。通常モードでは、OUT データ受信が可能となります。

### 28.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ遷移させるには、パイプ動作禁止 (応答 PID = NAK) の状態で Null 自動応答モードを指定してください。その後、パイプ動作を許可 (応答 PID = BUF) にすると、Null 自動応答モードが有効になります。Null 自動応答モードの設定は、バッファが空でなければ不可能なため、事前に PIPEnCTR.INBUFM ビットが 0 であることを確認してください。INBUFM ビットが 1 の場合は、PIPEnCTR.ACLRM ビットでバッファを空にしてください。また、Null 自動応答モードへの遷移中は、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるには、パイプ動作禁止 (応答 PID = NAK) の状態を Zero-Length パケット送信期間 (約 10 $\mu$ s) だけ維持した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからのデータ書き込みが可能となり、パイプ動作許可 (応答 PID = BUF) に設定することで、ホストへのパケット送信が可能となります。

### 28.3.5 FIFO バッファメモリ

USBFS は、データ転送用の FIFO バッファを備えており、各パイプに使用されるメモリ領域を管理しています。FIFO バッファには、アクセス権がシステム (CPU 側) にある場合と、USBFS (SIE 側) にある場合の 2 種類の状態があります。

#### (1) バッファステータス

表 28.17 と表 28.18 に、USBFS のバッファステータスを示します。FIFO バッファのステータスは、DCPCTR.BSTS および PIPEnCTR.INBUFM ビットで確認できます。FIFO バッファの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット (DCP 選択時) のいずれかで指定できます。

INBUFM ビットは、送信方向のパイプ 0 ~ 5 に対して有効です。

送信側の転送パイプがダブルバッファモードを使用している場合、ソフトウェアは BSTS ビットを読み出して CPU 側の FIFO バッファステータスを監視することや、INBUFM ビットを読み出して SIE 側の FIFO バッファステータスを監視することが可能です。CPU または DMA/DTC による FIFO ポートへのライトアクセスが遅く、BEMP 割り込みではバッファの空き状態を判別できない場合に、ソフトウェアは INBUFM ビットで送信の終了を確認できます。

表 28.17 BSTS ビットが示すバッファステータス

ISEL または DIR	BSTS	バッファメモリのステータス
0 (受信方向)	0	受信データなし、またはデータ受信中 FIFO ポートからの読み出し不可能
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能。Zero-Length パケット受信時は読み出し不可能のためバッファクリアが必要
1 (送信方向)	0	送信未完了 FIFO ポートへの書き込み不可能
1 (送信方向)	1	送信完了 CPU は書き込み可能

表 28.18 INBUFM ビットが示すバッファステータス

DIR	INBUFM	バッファメモリのステータス
0 (受信方向)	無効	無効
1 (送信方向)	0	送信完了 送信待ちデータなし
1 (送信方向)	1	データがFIFOポートからバッファへ書き込まれた状態 送信データあり

### 28.3.6 FIFO バッファクリア

表 28.19 に、FIFO バッファのクリア方式を示します。FIFO バッファは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、または PIPEnCTR.ACLRM ビットでクリアできます。

パイプ 1～5 に対しては、PIPECFG.DBLLB ビットでシングルバッファまたはダブルバッファを選択できます。

表 28.19 バッファのクリア方式

FIFO バッファ クリアモード	CPU側FIFOバッファ のクリア	指定パイプのデータ読み出し後に 自動でFIFOバッファをクリアする モード	すべての受信パケットを 破棄するための自動バッファクリア モード
使用するレジスタ	CFIFOCTR DnFIFOCTR	DnFIFOSEL	PIPEnCTR
使用するビット	BCLR	DCLRM	ACLRM
クリア条件	1書き込みでクリア	1: モード有効 0: モード無効	1: モード有効 0: モード無効

#### (1) 自動バッファクリアモード機能

PIPEnCTR.ACLRM ビットを 1 にすると、USBFS は受信したすべてのデータパケットを破棄します。正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。自動バッファクリアモード機能は、FIFO バッファ読み出し方向にのみ設定可能です。

ACLRM ビットを 1 にした後、続けて 0 にすると、アクセス方向に関係なく、選択パイプの FIFO バッファがクリアされます。ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

### 28.3.7 FIFO ポートの機能

表 28.20 に、FIFO ポート機能の設定内容を示します。ライトアクセス時は、最大パケットサイズに達するまで書き込みを行うと、自動的にデータ送信が可能になります。最大パケットサイズに達する前に送信を可能とするには、ポートコントロールレジスタの BVAL フラグを書き込み終了に設定してください。Zero-Length パケットを送信するには、BCLR ビットでバッファをクリアした後、BVAL フラグを書き込み終了に設定してください。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケットの受信が可能になります。Zero-Length パケット受信時 (DTLN[8:0] ビット = 0) は、データは読み出せないで、BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0] ビットで確認できます。

表 28.20 FIFOポート機能の設定

レジスタ名	ビット名	内容
CFIFOSEL, DnFIFOSEL (n = 0, 1)	RCNT	DTLN[11:0]読み出しモードを選択
	REW	FIFOバッファをリワインド (再読み出し、再書き込み)
	DCLRM	指定パイプの受信データ読み出し後、受信データの自動クリア (DnFIFO専用)
	DREQE	DMA/DTC 転送許可 (DnFIFO専用)
	MBW	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアンを選択
	ISEL	FIFOポートアクセス方向 (DCP専用)
	CURPIPE	カレントパイプを選択
CFIFOCTR, DnFIFOCTR (n = 0, 1)	BVAL	FIFOメモリへの書き込みを終了
	BCLR	CPU側FIFOバッファをクリア
	DTLN	受信データ長の確認

## (1) FIFOポート選択

表 28.21 に、各 FIFO ポートで選択可能なパイプを示します。ポート選択レジスタの CURPIPE[3:0] ビットで、アクセスするパイプを選択する必要があります。パイプを選択した後、書き込み値が CURPIPE[3:0] ビットから正しく読み出せたかどうかをソフトウェアで確認してください (前回のパイプ番号が読み出された場合は、USBFS がパイプ変更処理中であることを示します)。次に、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認します。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅をソフトウェアで指定する必要があります。FIFO バッファアクセス方向は、PIPECFG.DIR ビットの設定値に従います。DCP のみ、ポート選択レジスタの ISEL ビットによって方向が決まります。

表 28.21 パイプ別FIFOポートアクセス

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
パイプ1~9	CPUアクセス	CFIFOポートレジスタ D0FIFO/D1FIFOポートレジスタ
	DMA/DTCアクセス	D0FIFO/D1FIFOポートレジスタ

## (2) REW ビット

現在アクセス中のパイプへのアクセスを一時的に中断し、別のパイプにアクセスした後、再度、現在のパイプ処理を続行することが可能です。このような処理には、ポート選択レジスタの REW ビットを使用します。

REW ビットを 1 にした状態で、ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択すると、FIFO バッファの読み出しまたは書き込みポインタがリセットされ、先頭バイトからの読み出しまたは書き込みが可能になります。REW ビットを 0 にした状態でパイプを選択すると、ポインタをリセットせずに、前回選択時の続きから継続してデータの読み出しや書き込みが可能です。

FIFO ポートにアクセスするには、パイプの選択後、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認する必要があります。

### 28.3.8 DMA 転送 (D0FIFO/D1FIFO ポート)

#### (1) DMA 転送の概要

パイプ 1～9 に対して、DMAC による FIFO ポートのアクセスが可能です。DMA 転送用パイプのバッファアクセスを可能にすると、DMA 転送要求が発行されます。

DnFIFOSEL.MBW ビットで FIFO ポートへの転送単位を選択するとともに、DnFIFOSEL.CURPIPE[3:0] ビットで DMA 転送用のパイプを選択してください。なお、DMA 転送中は選択パイプを変更しないでください。

#### (2) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

DnFIFOSEL.DCLRM ビットを 1 にすると、FIFO バッファからのデータ読み出し完了時に、USBFS は選択パイプの FIFO バッファを自動的にクリアします。

表 28.22 に、設定値ごとのパケット受信とソフトウェアによる FIFO バッファクリア処理を示します。この表に示すように、PIPECFG.BFRE ビットの設定値によってバッファクリア条件が異なります。バッファクリアが必要なすべての状況において、DnFIFOSEL.DCLRM ビットを使用することにより、ソフトウェアによるクリアが不要になります。すなわち、ソフトウェアの介在しない DMA 転送が可能となります。

DnFIFO 自動クリアモードは、FIFO バッファ読み出し方向でのみ設定可能です。

表 28.22 パケット受信とソフトウェアによる FIFO バッファクリア処理

パケット受信時の バッファステータス	レジスタ設定値			
	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

### 28.3.9 DCP を使用したコントロール転送

コントロール転送データステージでは、デフォルトコントロールパイプ (DCP) を使用してデータ転送が行われます。DCP の FIFO バッファは、コントロールリードとコントロールライトで共通の固定領域を持つ 64 バイトシングルバッファです。FIFO バッファは、CFIFO ポートでのみアクセス可能です。

#### 28.3.9.1 ホストコントローラモードでのコントロール転送

##### (1) セットアップステージ

USREQ、USBVAL、USBINDX、および USBLENG レジスタは、SETUP トランザクションの USB リクエストを送信するためのレジスタです。Setup パケットのデータをレジスタに書き込み、DCPCTR.SUREQ ビットに 1 を書き込むことで、設定されているデータが SETUP トランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると 0 になります。SUREQ ビットが 1 のときは、上記 USB リクエストレジスタを変更しないでください。

アタッチされたファンクションデバイスが検出された場合、ソフトウェアによって、DCPMAXP.DEVSEL[3:0] ビットを 0 にクリアし、DEVADD0.USBSPPD[1:0] ビットを適切に設定した上で、前述のシーケンスに従って当該デバイスの最初の SETUP トランザクションを発行してください。

アタッチされたファンクションデバイスが Address ステートに遷移した場合、ソフトウェアによって、割り当てられた USB アドレスを DEVSEL[3:0] ビットに設定し、指定された USB アドレスに対応する DEVADDn レジスタのビットを適切に設定した上で、前述のシーケンスに従って SETUP トランザクションを発行してください。たとえば、PIPEMAXP.DEVSEL[3:0] = 0010b であれば、DEVADD2 レジスタを適切に設定してください。PIPEMAXP.DEVSEL[3:0] = 0101b であれば、DEVADD5 レジスタを適切に設定してください。

SETUP トランザクションのデータが送信されると、周辺デバイスからの応答に基づいて割り込み要求が発生します (INTSTS1 レジスタの SIGN ビットまたは SACK ビット)。この割り込み要求により、ソフトウェアで SETUP トランザクションの結果を確認できます。

SETUP トランザクションの DATA0 データパケット (USB リクエスト) は、DCPCTR.SQMON ビットの状態にかかわらず、常に送信されます。

## (2) データステージ

データステージは、DCP の FIFO バッファを使用してデータを転送するために使用します。

DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。また、DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットは、データ PID を DATA1 として転送する必要があります。DCPCTR.SQSET ビットでデータ PID を DATA1 に設定し、PID ビットを BUF に設定してください。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

コントロールライト転送では、送信データのバイト数が最大パケットサイズの整数倍であるときに、ソフトウェアで最後に Zero-Length パケットを送出してください。

## (3) ステータスステージ

ステータスステージは、データステージとは逆方向の Zero-Length パケットのデータ転送を行うために使用します。データステージと同様に、DCP の FIFO バッファを使用してデータを転送します。データステージと同じ手順で、トランザクションを実行します。

ステータスステージのデータパケットは、DCPCTR.SQSET ビットでデータ PID を DATA1 に設定して送受信する必要があります。

Zero-Length パケットを受信した場合は、BRDY 割り込み発生後に CFIFOCTR.DTLN[8:0] フラグで受信データ長を確認してから、BCLR ビットで FIFO バッファをクリアしてください。

### 28.3.9.2 デバイスコントローラモードでのコントロール転送

#### (1) セットアップステージ

USBFS は、USBFS に対する正常な Setup パケットに対して ACK 応答を送信します。セットアップステージでの USBFS の動作を以下に示します。

新しい Setup パケットを受信すると、USBFS は以下のビットを設定します。

- INTSTS0.VALID ビットを 1 にする
- DCPCTR.PID[1:0] ビットを NAK にする
- DCPCTR.CCPL ビットを 0 にする

Setup パケットの後にデータパケットを受信すると、USBFS は、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、VALID フラグを 0 にしてから実行してください。VALID ビットが 1 の状態では、PID = BUF に設定できず、データステージを終了することができません。

VALID ビットの機能により、USBFS は、コントロール転送中に新しい USB リクエストを受信すると、現在のリクエスト処理を中断し、最新のリクエストに対する応答を返すことができます。

また、USBFS は、受信した USB リクエストの方向ビット (bmRequestType のビット 8) と、リクエストデータ長 (wLength) を自動検出します。USBFS は他にも、コントロールリード転送、コントロールライト転送、およびノーデータコントロール転送を判別し、ステージ遷移を管理します。間違っただけのシーケンスに対しては、コントロール転送ステージ遷移割り込みでシーケンスエラーが発生し、その割り込みがソフトウェアに通知されます。USBFS のステージ管理については、[図 28.15](#) を参照してください。

#### (2) データステージ

受信した USB リクエストに対応したデータ転送は、DCP を用いて行ってください。DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。



転送データが DCP の FIFO バッファサイズより大きい場合は、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

### (3) ステータスステージ

DCPCTR.PID[1:0] ビットが BUF に設定された状態で、DCPCTR.CCPL ビットを 1 にすることにより、コントロール転送が終了します。

この設定後、セットアップステージで確定したデータ転送方向に従い、USBFS が自動的にステータスステージを実行します。具体的には以下のように実行されます。

- コントロールリード転送の場合  
USBFS は、USB ホストから Zero-Length パケットを受信し、ACK 応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合  
USBFS は、Zero-Length パケットを送信し、USB ホストから ACK 応答を受信します。

### (4) コントロール転送自動応答機能

USBFS は、正常な SET\_ADDRESS リクエストに自動応答します。SET\_ADDRESS リクエストに下記のエラーのいずれかが発生した場合は、ソフトウェアによる応答が必要です。

- bmRequestType が 00h でない場合：コントロールライト転送以外
- wIndex が 00h でない場合：リクエストエラー
- wLength が 00h でない場合：ノーデータコントロール転送以外
- wValue が 7Fh より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0] ビットが 011b (Configured ステート) の場合：デバイスステートエラーのコントロール転送

SET\_ADDRESS リクエスト以外のすべてのリクエストには、対応するソフトウェアによる応答が必要です。

## 28.3.10 バルク転送 (パイプ 1 ~ 5)

バルク転送では、FIFO バッファの使用法 (シングル/ダブルバッファ設定) の構成が可能です。USBFS は、バルク転送用として下記の機能を備えています。

- BRDY 割り込み機能 (PIPECFG.BFRE ビット) : [28.3.3.1 章 \(2\) SOFCFG.BRDYM = 0 かつ PIPECFG.BFRE = 1 のとき](#)を参照してください。
- トランザクションカウント機能 (PIPEnTRE.TRENB、TRCLR ビット、PIPEnTRN.TRNCNT[15:0] ビット) : [28.3.4.5 トランザクションカウンタ \(受信方向パイプ 1 ~ 5\)](#) を参照してください。
- 応答 PID = NAK 機能 (PIPECFG.SHTNAK ビット) : [28.3.4.8 応答 PID = NAK 機能](#)を参照してください。
- 自動応答モード (PIPEnCTR.ATREPM ビット) : [28.3.4.9 自動応答モード](#)を参照してください。

### 28.3.11 インタラプト転送 (パイプ 6 ~ 9)

デバイスコントローラモードでは、USBFS は、ホストコントローラが指示するタイミングに基づいてインタラプト転送を行います。

ホストコントローラモードでは、インターバルカウンタを使用して、ソフトウェアでトークン発行タイミングを設定できます。

#### 28.3.11.1 ホストコントローラモードでのインタラプト転送時のインターバルカウンタ

##### (1) カウンタの初期化

USBFS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット  
IITV[2:0] ビットが初期化されます。
- PIPEnCTR.ACLRM ビットを使用した FIFO バッファの初期化  
IITV[2:0] ビットは初期化されませんが、カウント値は初期化されます。PIPEnCTR.ACLRM ビットを 0 にすると、IITV[2:0] ビットの設定値からカウントを開始します。

なお、下記の場合にはインターバルカウンタは初期化されません。

- USB バスリセット、または USB Suspended ステート  
IITV[2:0] ビットは初期化されません。DVSTCTR0.UACT ビットを 1 にすることにより、USB バスリセット状態または USB Suspended ステートとなる前に保存された値からカウントが開始します。

##### (2) トークン発生タイミングにもかかわらずトークンの送受信ができない場合の動作

以下の場合、トークンの発生タイミングであってもトークンは発生しません。このような場合、USBFS は次のインターバルにトランザクションの実行を試みます。

- PID を NAK または STALL に設定した場合
- 受信 (IN) 方向でのトークン送信時に、FIFO バッファに空き領域がない場合
- 送信 (OUT) 方向でのトークン送信時に、FIFO バッファに送信データがない場合

### 28.3.12 アイソクロナス転送 (パイプ 1 ~ 2)

USBFS は、アイソクロナス転送用として下記の機能を備えています。

- アイソクロナス転送のエラー通知
- インターバルカウンタ (PIPEPERI.IITV[2:0] ビットで指定)
- アイソクロナス IN 転送データセットアップ制御 (IDLY 機能)
- アイソクロナス IN 転送バッファフラッシュ機能 (PIPEPERI.IFIS ビットで指定)

#### 28.3.12.1 アイソクロナス転送のエラー検出

USBFS は、アイソクロナス転送時に発生したエラーをソフトウェアで管理できるようにするため、下記エラーの検出機能を備えています。表 28.23 および表 28.24 に、USBFS によるエラー検出の優先順位と、関連する割り込みを示します。

##### (a) PID エラー

- 受信パケットの PID 値が不正な場合

##### (b) CRC エラー、ビットスタッフィングエラー

- 受信パケットに CRC エラーがあった場合、またはビットスタッフィングが無効な場合

## (c) 最大パケットサイズオーバーエラー

- 受信パケットのデータサイズが、最大パケットサイズの設定値を越えた場合

## (d) オーバーランエラー、アンダーランエラー

ホストコントローラモード時：

- IN (受信) 方向でのトークン送信時に、FIFO バッファに空き領域がない場合
- OUT (送信) 方向でのトークン送信時に、FIFO バッファに送信データがない場合

デバイスコントローラモード時：

- IN (送信) 方向でのトークン受信時に、FIFO バッファに送信データがない場合
- OUT (受信) 方向でのトークン受信時に、FIFO バッファに空き領域がない場合

## (e) インターバルエラー

デバイスコントローラモードでは、以下の場合にインターバルエラーとして処理されます。

- アイソクロナス IN 転送時に、インターバルフレーム内に IN トークンを受信できなかった場合
- アイソクロナス OUT 転送時に、インターバルフレーム内に OUT トークンを受信できなかった場合

表 28.23 トークンの送受信に関するエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	ホストコントローラモードでも、デバイスコントローラモードでも、割り込みは発生しません (破損パケットとして無視されます)。
2	CRCエラー、ビットスタッフィングエラー	ホストコントローラモードでも、デバイスコントローラモードでも、割り込みは発生しません (破損パケットとして無視されます)。
3	オーバーランエラー、アンダーランエラー	ホストコントローラモードでも、デバイスコントローラモードでも、NRDY割り込みが発生し、FRMNUM.OVRN ビットが1になります。 デバイスコントローラモードでは、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません。
4	インターバルエラー	デバイスコントローラモードでは、NRDY 割り込みが発生します。ホストコントローラモードでは、割り込みは発生しません。

表 28.24 データパケットの受信に関するエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込みは発生しません (破損パケットとして無視されます)。
2	CRCエラー、ビットスタッフィングエラー	ホストコントローラモードでも、デバイスコントローラモードでも、NRDY 割り込みが発生し、FRMNUM.CRCE ビットが1になります。
3	最大パケットサイズオーバーエラー	ホストコントローラモードでも、デバイスコントローラモードでも、BEMP 割り込みが発生し、PID[1:0] ビットがSTALL に設定されます。

### 28.3.12.2 DATA-PID

デバイスコントローラモードでは、USBFS は受信 PID に対して以下のように応答します。

#### (1) IN 方向の場合

- DATA0 : データパケットの PID として送信
- DATA1 : 送信しない
- DATA2 : 送信しない
- mData : 送信しない

#### (2) OUT 方向の場合

- DATA0 : データパケットの PID として正常受信
- DATA1 : データパケットの PID として正常受信
- DATA2 : パケットを無視
- mData : パケットを無視

### 28.3.12.3 インターバルカウンタ

アイソクロナス転送のインターバルは、PIPEPERL.IITV[2:0] ビットで設定できます。デバイスコントローラモードでは、インターバルカウンタによって、表 28.25 に示す機能を実現します。ホストコントローラモードでは、USBFS はトークン発行タイミングを生成し、インターバルカウンタの動作はインタラプト転送の場合と同じです。

表 28.25 デバイスコントローラモード時のインターバルカウンタ機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ	アイソクロナス IN 転送時にインターバルフレーム内に IN トークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナス OUT 転送時にインターバルフレーム内に OUT トークンを正常受信できない。

インターバルのカウンタは、SOF の受信時または補完された SOF で行われるので、SOF が破損していても等時性を保つことができます。設定できるフレーム間隔は 2IITV フレームです。

#### (1) デバイスコントローラモードでのカウンタの初期化

USBFS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット :  
PIPEPERL.IITV[2:0] ビットが初期化されます。
- ACLRM ビットを使用した FIFO バッファの初期化 :  
IITV[2:0] ビットは初期化されませんが、カウンタ値は初期化されます。

インターバルカウンタが初期化されると、パケットを正常に転送した後に、下記のどちらかの条件でインターバルのカウンタを開始します。

- PID = BUF のときに IN トークンに対してデータを送信後、SOF を受信した場合
- PID = BUF のときに OUT トークンに対してデータを受信後、SOF を受信した場合

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0] ビットを NAK または STALL に設定した場合  
インターバルタイムは停止しません。USBFS は次のインターバルにトランザクションの実行を試みません。
- USB バスリセットまたは USBFS サスペンドの場合  
IITV[2:0] ビットは初期化されません。SOF を受信すると、SOF 受信前の設定値からインターバルカウンタのカウンタを開始します。

## (2) ホストコントローラモードでのインターバルカウントと転送制御

USBFS は、PIPEPERI.IITV[2:0] ビットの設定値に従って、トークン発行間隔を制御します。具体的には、USBFS は  $2^{IITV}$  回のフレームに 1 回の間隔で、選択パイプに対するトークンを発行します。

USBFS は、ソフトウェアで PID[1:0] ビットを BUF に設定したフレームの次のフレームから、トークン発行間隔のカウントを開始します。

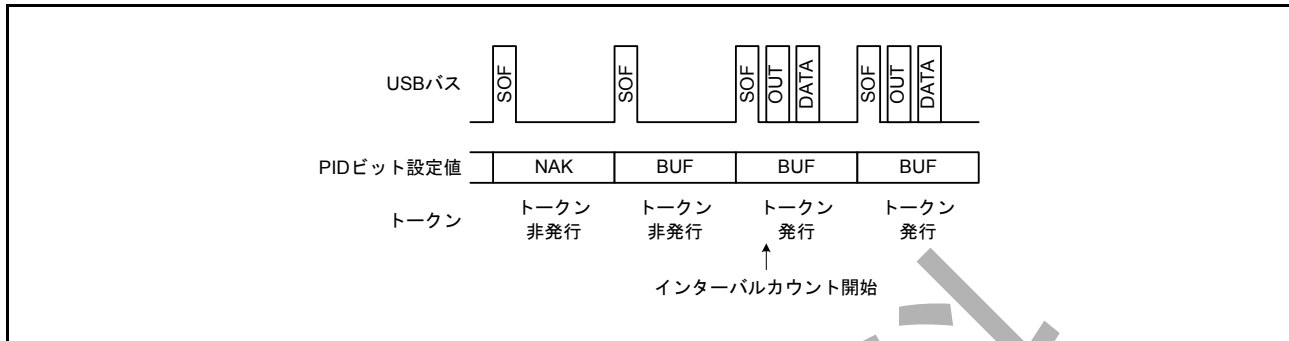


図 28.16 IITV = 0 の場合のトークン発行

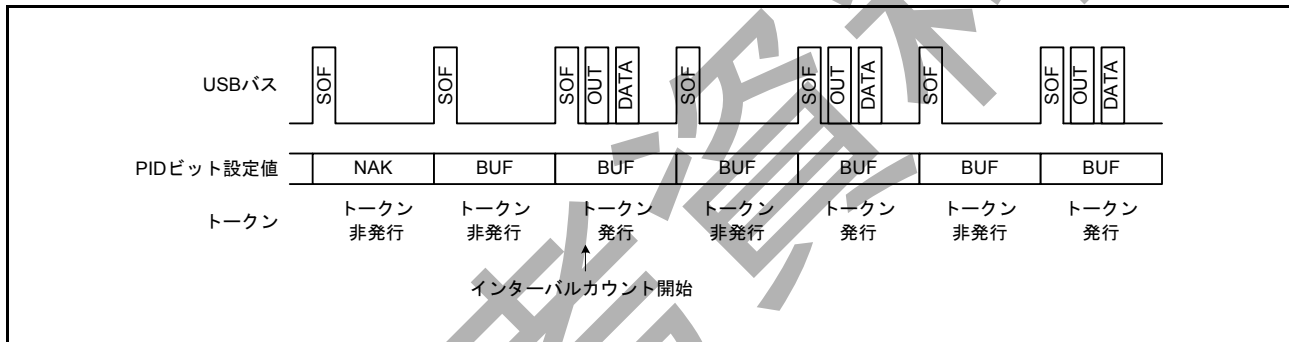


図 28.17 IITV = 1 の場合のトークン発行

選択パイプの転送タイプがアイソクロナスの場合、USB はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件が成立する場合でも、USB はトークンを発行します。

### (a) 選択パイプがアイソクロナス IN 転送パイプの場合

USBFS は、IN トークンを発行しても周辺デバイスからパケットを正常受信しなかった場合（無応答やパケットエラーの場合）、NRDY 割り込みを発生させます。

CPU または DMAC/DTC が FIFO バッファからデータを読み出すのが遅いことが原因で FIFO バッファがフルであるため、USBFS がデータを受信できない状態で IN トークン発行タイミングに至った場合、USBFS は FRMNUM.OVRN ビットを 1 にして、NRDY 割り込みを発生させます。

### (b) 選択パイプがアイソクロナス OUT 転送パイプの場合

CPU または DMAC/DTC が FIFO バッファにデータを書き込むのが遅いことが原因で、送信可能なデータが FIFO バッファにない状態で OUT トークン発行タイミングに至った場合、USBFS は OVRN ビットを 1 にして、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

以下のいずれかの条件で、トークン発行間隔がリセットされます。

- USBFS がリセット端子でリセットされた場合  
IITV[2:0] ビットが初期化されます。
- ソフトウェアで PIPEnCTR.ACLRM ビットを 1 にした場合

(3) デバイスコントローラモードでのインターバルカウントと転送制御

(a) 選択パイプがアイソクロナス OUT 転送パイプの場合

PIPEPERI.IITV[2:0] ビットに設定したインターバル中にデータパケットを受信できなかった場合、USBFS は NRDY 割り込みを発生させます。

データパケットに CRC エラー等のエラーが含まれていた場合や、FIFO バッファがフルのために USBFS がデータを受信できなかった場合も、USBFS は NRDY 割り込みを発生させます。

NRDY 割り込みの発生タイミングは、SOF パケットの受信時です。SOF パケットが破損している場合でも、内部補完機能によって、SOF パケットの受信時に割り込みを発生させることが可能です。ただし、IITV ビットが 0 以外になっていると、インターバルカウント開始後のインターバルごとに、USBFS は SOF パケットの受信時に NRDY 割り込みを発生させます。

インターバルタイマの起動後、ソフトウェアで PID[1:0] ビットを NAK に設定した場合は、USBFS は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始タイミングは、下記のように、IITV[2:0] ビットの設定値によって異なります。

- IITV[2:0] ビット = 0 の場合 :  
ソフトウェアが選択パイプの PID[1:0] ビットを BUF に変更したフレームの次のフレームで、インターバルのカウントを開始します。
- IITV[2:0] ビット ≠ 0 の場合 :  
選択パイプの PID[1:0] ビットを BUF に変更した後、最初のデータパケットの正常受信完了時にインターバルのカウントを開始します。

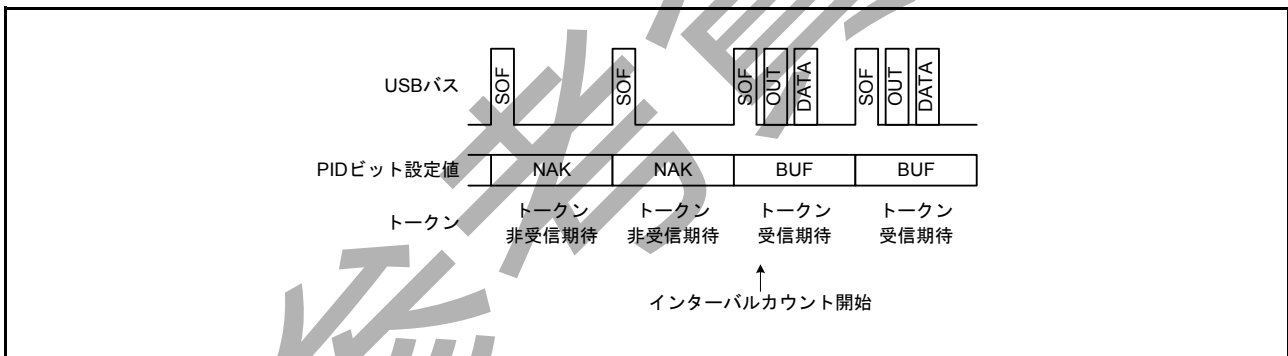


図 28.18 フレームとトークン受信期待の関係 (IITV = 0 の場合)

- IITV ≠ 0 の場合 : 選択パイプの PID[1:0] ビットが BUF に変更された後、最初のデータパケットの正常受信完了時にインターバルのカウントが開始されます。

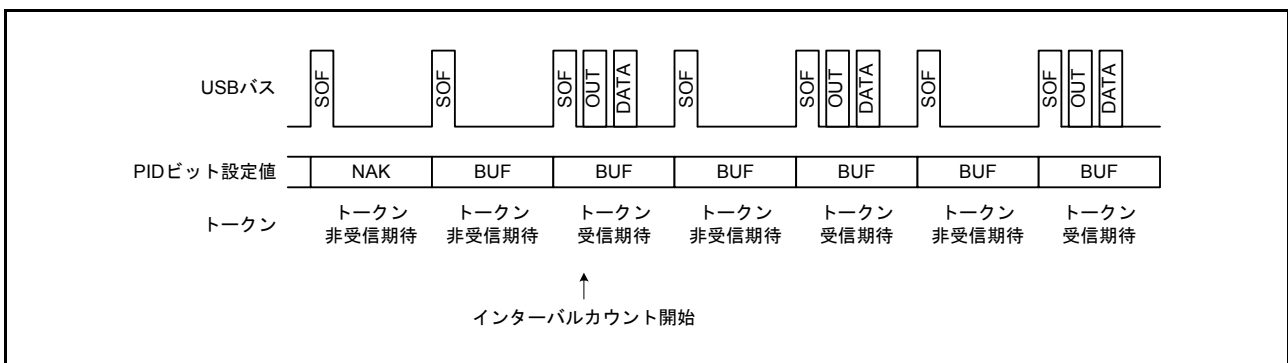


図 28.19 フレームとトークン受信期待の関係 (IITV ≠ 0 の場合)

### (b) 選択パイプがアイソクロナス IN 転送パイプの場合

この場合、PIPEPERI.IFIS ビットを 1 にする必要があります。IFIS ビットが 0 の場合、PIPEPERI.IITV[2:0] ビットの設定値とは無関係に、USBFS は受信したトークンに応答してデータパケットを送信します。

IFIS ビットが 1 で、FIFO バッファに送信可能なデータがある場合、IITV[2:0] ビットに設定したインターバルでフレーム中に IN トークンを受信できないと、USBFS は FIFO バッファをクリアします。

IN トークンに CRC エラー等のバスエラーが含まれているため、IN トークンを正常受信できなかった場合も、USBFS は FIFO バッファをクリアします。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。SOF パケットが破損している場合でも、内部補完機能によって、SOF パケットの受信時に FIFO バッファをクリアすることが可能です。

インターバルのカウント開始タイミングは、OUT 転送の場合と同様に、IITV[2:0] ビットの設定値によって異なります。

デバイスコントローラモードでは、以下のいずれかの条件でインターバルがカウントされます。

- USBFS がハードウェアリセットされた場合 (IITV[2:0] ビットも 000b になります)
- ソフトウェアで PIPEnCTR.ACLRM ビットを 1 にした場合
- USBFS が USB バスリセットを検出した場合

### (4) デバイスコントローラモードでのアイソクロナス転送用送信データのセットアップ

デバイスコントローラモードでの USBFS を用いたアイソクロナスデータ送信では、FIFO バッファにデータが書き込まれた後、SOF パケット検出後の最初のフレームでデータパケットの送出が可能になります。このアイソクロナス転送用送信データのセットアップ機能により、送信を開始したフレームを特定することができます。

ダブルバッファモードを使用している場合、両方のバッファへの書き込みが完了した後であっても、送信可能なバッファは、先にデータ書き込みが終了したバッファだけです。このため、複数の IN トークンを受信しても、送出される FIFO バッファデータは 1 パケット分のみとなります。

IN トークン受信時に FIFO バッファがデータを送信できる状態であれば、データが転送されて正常応答が返されます。ただし、FIFO バッファがデータを送信できない状態であれば、Zero-Length パケットが送出されてアンダーランエラーが発生します。

図 28.20 に、IITV = 0 (毎フレーム) に設定した場合のアイソクロナス転送用送信データのセットアップ機能を用いた送信例を示します。

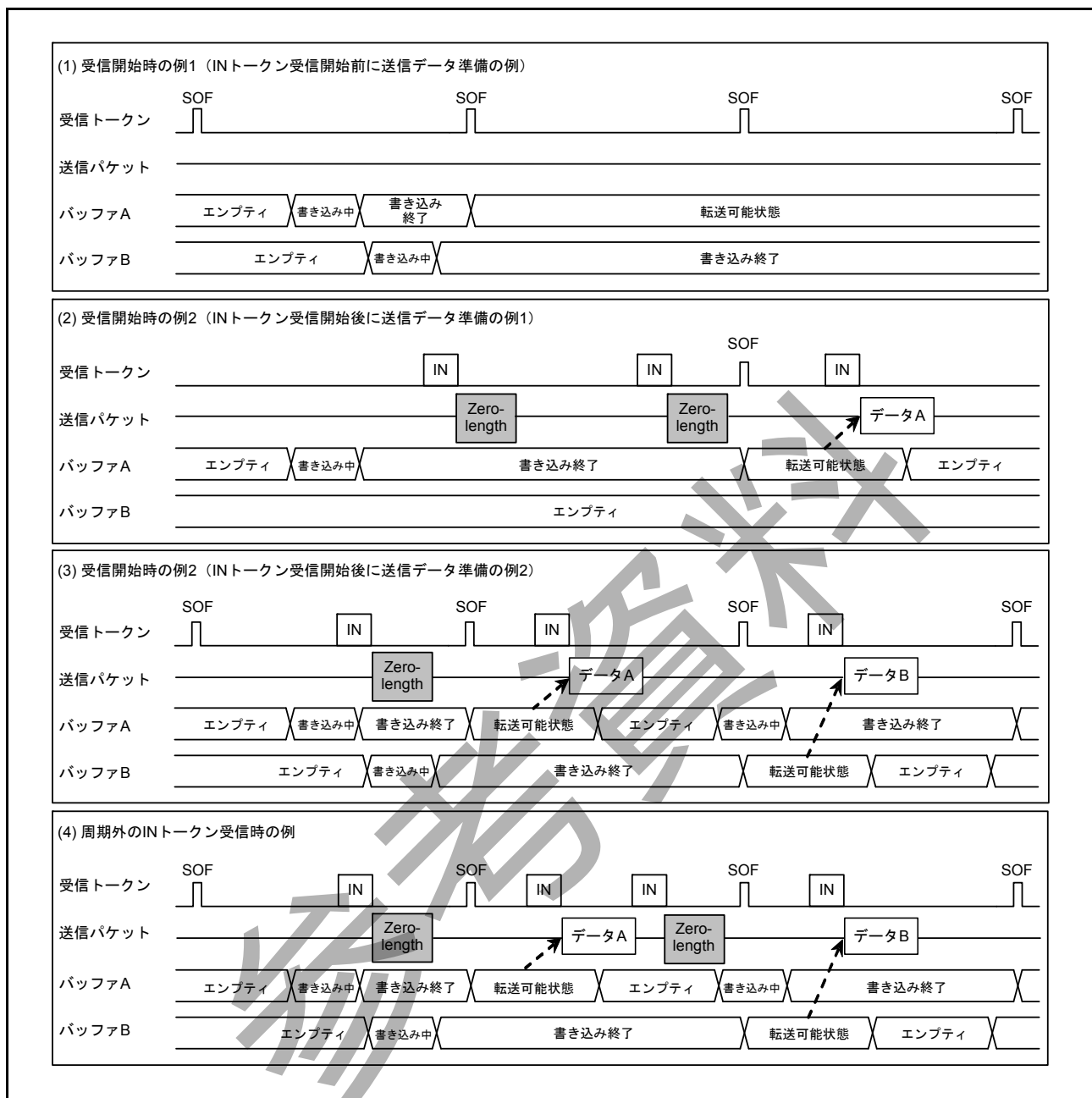


図 28.20 データセットアップ動作例



### (5) デバイスコントローラモードでのアイソクロナス転送用送信バッファフラッシュ

デバイスコントローラモードでのアイソクロナスデータ転送時に、USBFS がインターバルフレーム内に IN トークンを受信しないまま、次フレームの SOF パケットを受信した場合は、USBFS はそれを IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能な状態とします。

ダブルバッファモードを使用している場合、両方のバッファへの書き込みが完了していれば、クリアされた FIFO バッファ内のデータが同インターバルフレームで送信されたものとみなして、SOF パケット受信時にクリアされていない FIFO バッファを送信可能な状態とします。

バッファフラッシュ機能のタイミングは、以下のように、PIPEPERI.IITV[2:0] ビットの設定値によって異なります。

- IITV = 0 の場合 :  
パイプが有効となった後の最初のフレームから、バッファフラッシュ動作を開始します。
- IITV ≠ 0 の場合 :  
最初の正常なトランザクション以降に、バッファフラッシュ動作を開始します。

図 28.21 にバッファフラッシュの例を示します。インターバルフレーム前に予期しないトークンを受信した場合、データセットアップ状態に応じて、USBFS は書き込みデータを送出するか、またはアンダーランエラーとして Zero-Length パケットを送出します。

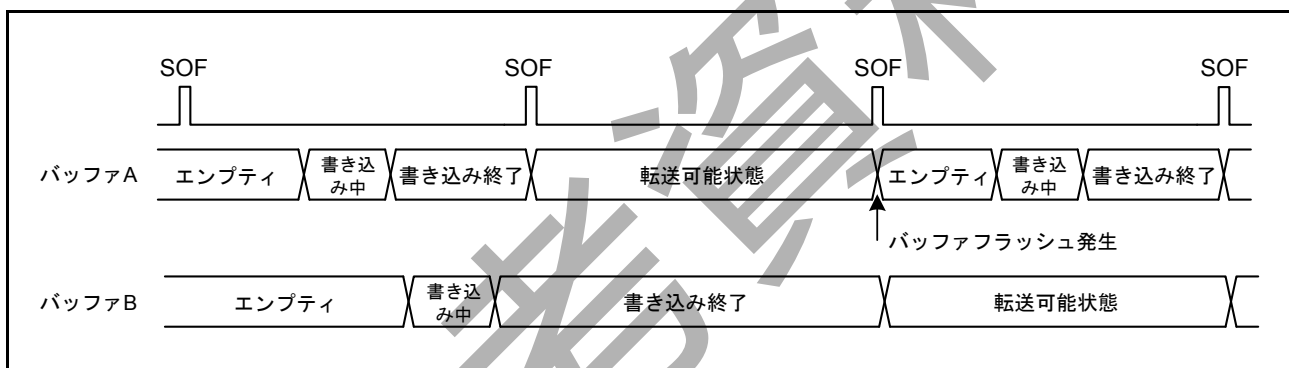


図 28.21 バッファフラッシュ動作例

図 28.22 に、インターバルエラーの発生例を示します。この図に示すように、インターバルエラーには 5 種類あります。図中の①のタイミングでインターバルエラーが発生し、バッファフラッシュ機能が動作します。

IN 転送時にインターバルエラーが発生した場合は、バッファフラッシュ機能が動作します。OUT 転送時にインターバルエラーが発生した場合は、NRDY 割り込みが発生します。FRMNUM.OVRN ビットを用いて、この NRDY 割り込みであるか、または受信パケットエラーやオーバーランエラーによる NRDY 割り込みであるかを識別してください。

図中に網掛けで示したトークンに対しては、FIFO バッファの状態に応じて応答が返されます。

- IN 方向の場合 :
  - バッファがデータを転送できる状態であれば、データが転送されて正常応答が返される
  - バッファがデータを転送できない状態であれば、Zero-Length パケットが送信されてアンダーランエラーが発生する
- OUT 方向の場合 :
  - バッファがデータを受信できる状態であれば、データが受信されて正常応答が返される
  - バッファがデータを受信できない状態であれば、受信データが破棄されてオーバーランエラーが発生する

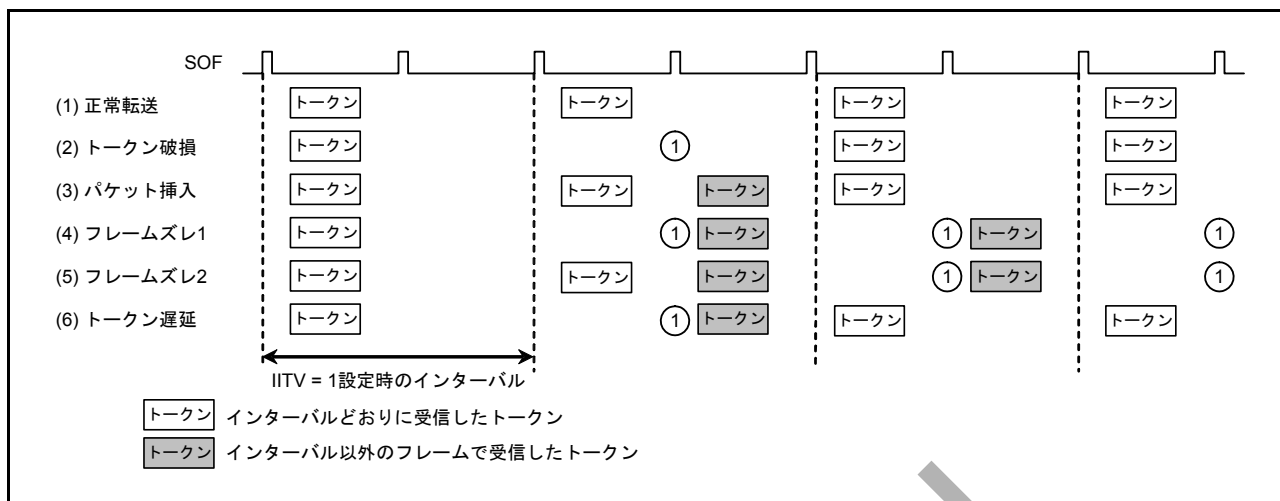


図 28.22 IITV = 1 の場合のインターバルエラー発生例

### 28.3.13 SOF 補完機能

デバイスコントローラモードでは、SOF パケットの破損または欠落のために 1ms 間隔でパケット受信ができなかった場合、USBFS が SOF を補完します。SOF 補完は、SYSCFG.USBE ビットと SYSCFG.SCKE ビットが 1 のときに、SOF パケットの受信時に開始します。下記の条件で、補完機能が初期化されます。

- MCU リセット
- USB バスリセット
- Suspended ステート検出

SOF 補完の動作は以下の通りです。

- SOF パケットを受信するまでは補完機能は動作しない
- 最初の SOF パケット受信時に、48MHz の内部クロックで 1ms をカウントして補完を実行する
- 2 回目以降の SOF パケット受信時には、前回の受信間隔で補完を実行する
- Suspended ステート時または USB バスリセット時には、補完を実行しない

USBFS は、SOF パケット受信で制御される下記の機能を動作させます。SOF パケットが欠落していても、これらの機能は SOF 補完によって正常に動作します。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落していた場合、FRMNUM.FRNM[10:0] ビットは更新されません。

## 28.3.14 パイプスケジュール

### 28.3.14.1 トランザクション発行条件

ホストコントローラモードにおいて、DVSTCTR0.UACT ビットを 1 にすると、USBFS は表 28.26 に示す条件でトランザクションを発行します。

表 28.26 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファ状態	SUREQ
Setup	— (注1)	— (注1)	— (注1)	— (注1)	1 設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	— (注1)
	OUT	BUF	無効	送信データあり	— (注1)
インタラプト転送	IN	BUF	有効	受信領域あり	— (注1)
	OUT	BUF	有効	送信データあり	— (注1)
アイソクロナス転送	IN	BUF	有効	(注2)	— (注1)
	OUT	BUF	有効	(注3)	— (注1)

- 注 1. 表中の「—」は、トークンの発行に関係のない条件であることを意味します。「有効」とは、インタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみトランザクションを発行することを意味します。「無効」とは、インターバルカウンタにかかわらず、トランザクションを発行することを意味します。
- 注 2. 受信領域の有無にかかわらず、トランザクションを発行します。ただし、受信領域がない場合、受信データを破棄します。
- 注 3. 送信データの有無にかかわらず、トランザクションを発行します。ただし、送信データがない場合、Zero-Length パケットを送信します。

### 28.3.14.2 転送スケジュール

この節では、USBFS のフレーム内の転送スケジューリング方法について説明します。USBFS は SOF を送信後、以下に示す順序で転送を行います。

1. 周期的転送の実行：  
パイプ 1 → パイプ 2 → パイプ 6 → パイプ 7 → パイプ 8 → パイプ 9 の順にパイプを検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
2. コントロール転送の SETUP トランザクション：  
DCP を確認して、SETUP トランザクションが可能であれば送信します。
3. バルク転送、コントロール転送データステージ、およびコントロール転送ステータスステージの実行：  
DCP → パイプ 1 → パイプ 2 → パイプ 3 → パイプ 4 → パイプ 5 の順にパイプを検索し、バルク転送、コントロール転送データステージ、コントロール転送ステータスステージのトランザクション発行が可能なパイプがあれば、トランザクションを発行します。  
トランザクションが発行されると、周辺デバイスからの応答が ACK であるか NAK であるかにかかわらず、処理は次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、ステップ 3. を繰り返します。

### 28.3.14.3 USB 通信許可

DVSTCTR0.UACT ビットを 1 にすると、SOF の送信が開始され、トランザクションの発行が可能となります。UACT ビットを 0 にすると、SOF の送信が停止して、Suspended ステートとなります。UACT ビットを 1 から 0 に変更すると、次の SOF を送信した後、処理が停止します。

### 28.3.15 バッテリチャージング検出処理

バッテリチャージング仕様で規定されている、データコンタクト検出 (D+ ラインコンタクトチェック)、一次検出 (チャージャ検出)、および二次検出 (チャージャ検証) の処理を制御することが可能です。以下では、個々のファンクションデバイスとホストデバイスに求められる動作について説明します。

#### 28.3.15.1 デバイスコントローラモードでの処理

USBFS モジュールをバッテリチャージ用のポータブルデバイスとして動作させる場合、以下の処理が必要です。

1. データライン (D+/D-) がコンタクトしたタイミングを検出し、一次検出処理を開始します。
2. 一次検出の開始後、マスク処理のため 40ms 待機してから D- の電圧レベルをチェックし、一次検出結果を確認します。
3. 一次検出中にチャージャが検出された場合は、二次検出を開始します。
4. 二次検出の開始後、マスク処理のため 40ms 待機してから D+ の電圧レベルをチェックし、二次検出結果を確認します。

ステップ 1 では、VBINT ビットと VBSTS ビットで VBUS を検出した後、以下の処理を行う必要があります。

1. 300 ~ 900ms 待機し、その後、BCCTRL レジスタの VDPSRCE ビットと IDMSINKE ビットを設定します。
2. IDPSRCE ビットを設定します。
3. D+ ラインが High から Low へ変化したことを LNST ビットで検出した後、IDPSRCE ビットを 0 にクリアし、VDPSRCE ビットと IDMSINKE ビットを同時に設定します。(注 1)

ステップ 2 では、VDPSRCE ビットと IDMSINKE ビットを設定して、40ms 待機した後、CHGDETSTS ビットで一次検出結果を検証してください。(注 2)

ステップ 3 では、ステップ 2 で CHGDETSTS ビットを設定した場合に、チャージャの検出を検証した後、VDPSRCE ビットと IDMSINKE ビットをクリアし、VDMSRCE ビットと IDPSINKE ビットを設定してください。

ステップ 4 では、VDMSRCE ビットと IDPSINKE ビットを設定して、40ms 待機した後、PDDETSTS ビットで二次検出結果を検証してください。

図 28.23 に、この処理フローを示します。

- 注 1. バッテリチャージング仕様は、データコンタクト検出 (D+/D- ラインのコンタクトチェック) に関して 2 つの実施方法を記述しています。1 つは、D+ ラインに 7 ~ 13 $\mu$ A の電流を印加することで D+ ラインを Logic High に保持し、D+/D- ラインがターゲットと接続したとき、ホストデバイスのプルダウン抵抗により生じる Logic Low への変化を検出する方法です。もう 1 つは、VBUS を検出した後、300 ~ 900ms 待機する方法です。
- 注 2. 一次検出中に、D- ラインの電圧が 0.25 ~ 0.4V 以上かつ 0.8 ~ 2.0V 以下であることが検出されると、ターゲットデバイスが、バッテリチャージ用ホストデバイス (チャージングダウンストリームポート) として認識されます。使用中の PHY に対して、0CHGDETSTS ビットで D- ラインの電圧が 0.25 ~ 0.4V 以上であることだけが判明した場合、必要に応じて、LNST ビットを用いて D- ラインの電圧が 0.8 ~ 2.0V 以下であることをチェックするための処理を追加してください。

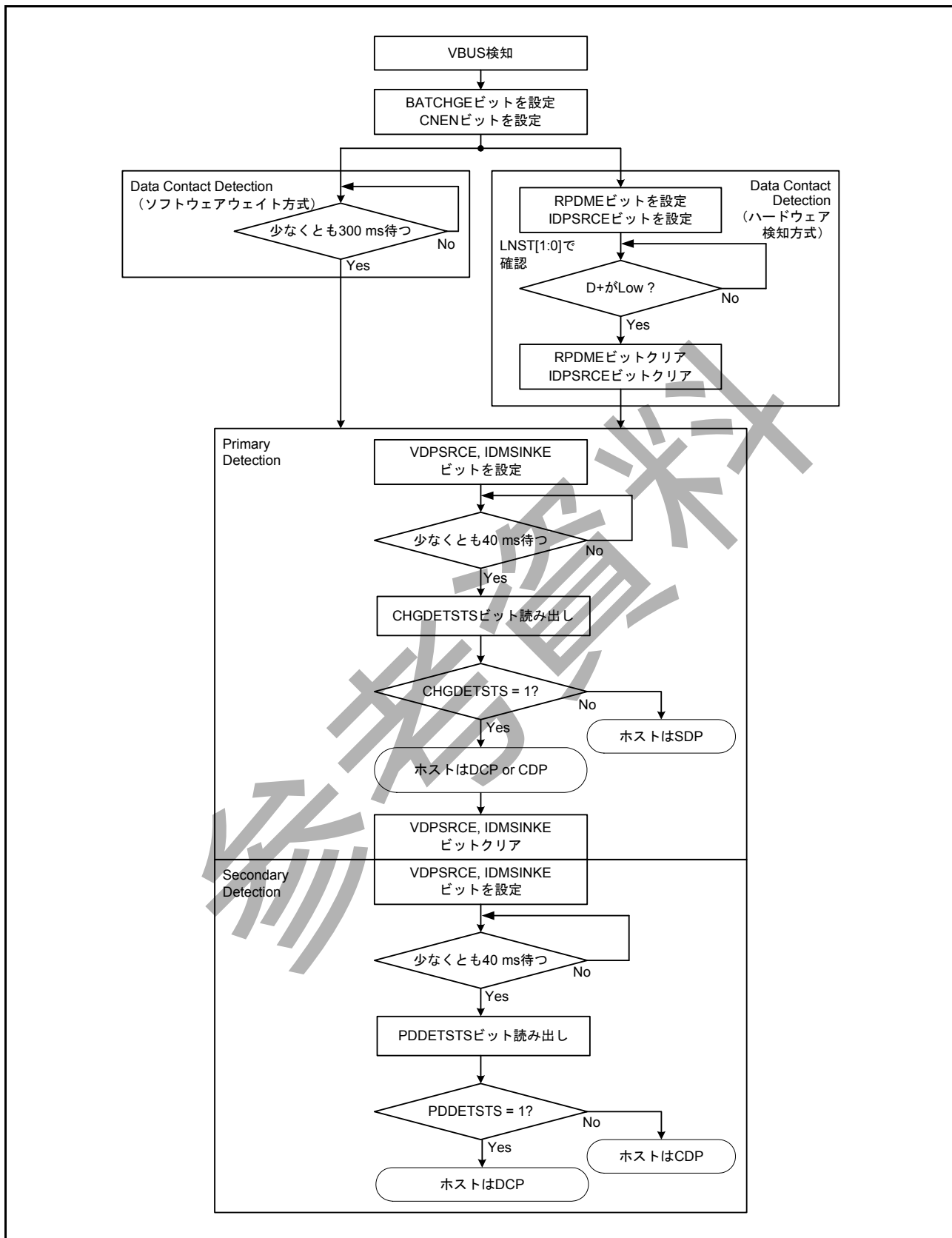


図 28.23 ポータブルデバイスとして動作時の処理フロー

### 28.3.15.2 ホストコントローラ選択時の処理

USBFS モジュールをバッテリー充電用のチャージングダウンストリームポートとして動作させる場合、以下の処理が必要です。

1. VBUS のドライブを開始します。
2. ポータブルデバイス検出回路を有効にします。
3. ポータブルデバイス検出信号をモニタし、検出信号が High であれば D- ラインのドライブを開始します。
4. ポータブルデバイス検出信号のレベルが Low になるタイミングを検出し、D- ラインのドライブを停止します。

バッテリーチャージング仕様に関連して、以下の処理も利用可能です。

- a. デタッチ検出後、200ms以内にD-ラインのドライブを開始する。
- b. アタッチ検出後、10ms以内にD-ラインのドライブを停止する。

**28.3.15.1 デバイスコントローラモードでの処理**で説明したように、ポータブルデバイスが一次検出を検出できるようにするには、D- ラインをドライブする必要があります。ステップ 1～4 は、ハードウェアがポータブルデバイス検出機能を備えている場合の手順です。この方法では、ポータブルデバイスが検出されたときに D- ラインをドライブします。

ステップ a と b は、ポータブルデバイス機能がハードウェアに備わっていない場合や利用できない場合の手順です。ポータブルデバイスの検出とは無関係に、D- ラインがデタッチ状態でドライブされ、アタッチ状態ではドライブされません。バッテリーチャージング仕様では、これらの方法のどちらかを選択して用いることができます。

ステップ 3 と 4 では、ポータブルデバイス検出信号の変化を PDDTINT 割り込みを利用して検出した後、PDDTSTS ビットを読み出すことで現在の信号状態を確認することができます。ステップ a と b は、ソフトウェアタイマでのみ実施可能です。

図 28.24 に、ステップ 1～4 の処理フローと、ステップ a～b の処理フローをそれぞれ示します。

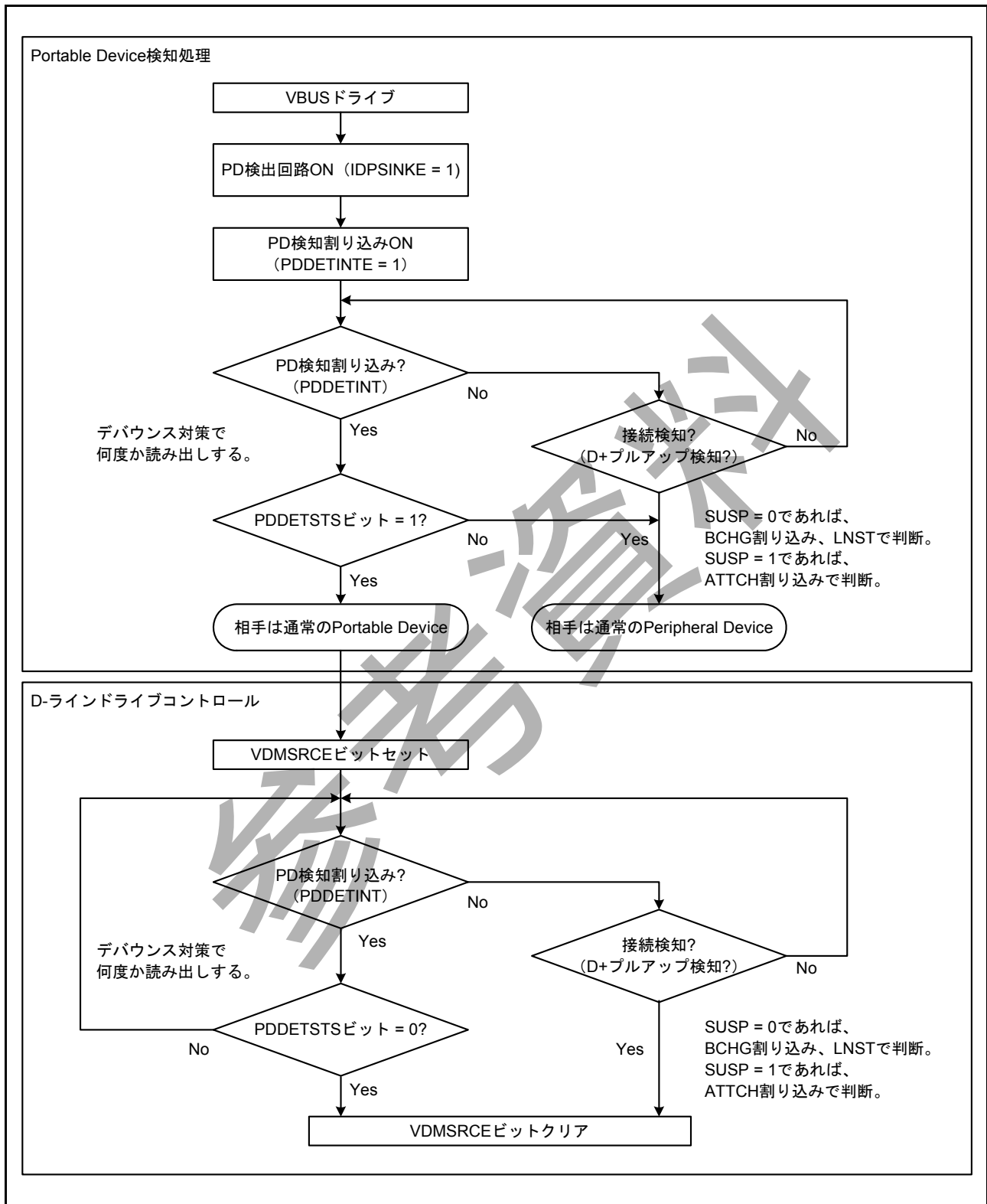


図 28.24 チャージングダウンストリームポートとして動作する場合の処理フロー (ステップ 1～4)

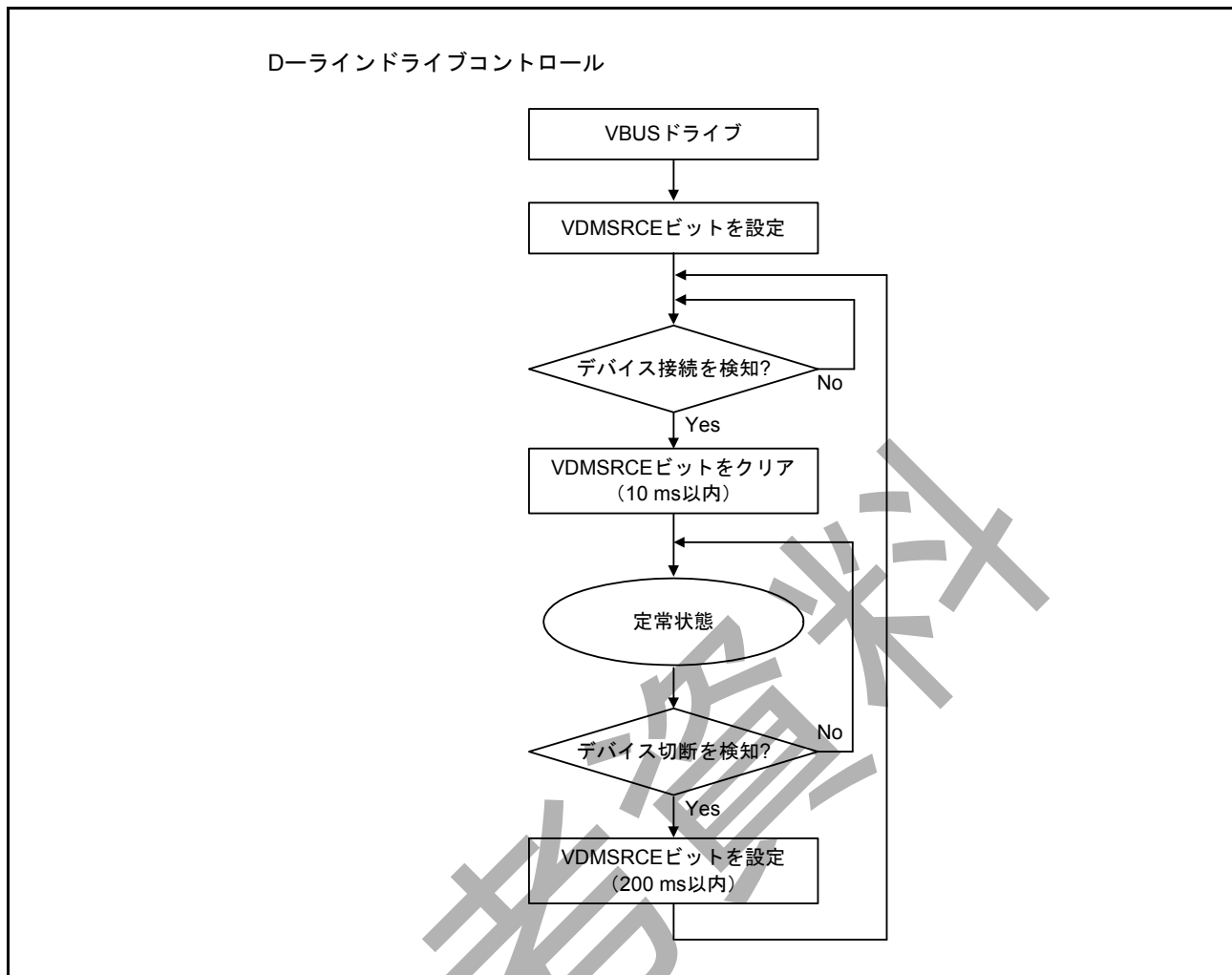


図 28.25 チャージングダウンストリームポートとして動作する場合の処理フロー (ステップ a ~ b)



## 28.4 使用上の注意事項

### 28.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、USBFS の動作を禁止または許可することが可能です。リセット後の初期状態では、USBFS の動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

### 28.4.2 ソフトウェアスタンバイモード終了時の割り込みステータスレジスタのクリア

ソフトウェアスタンバイモードでは入力バッファが常に有効となるため、下記条件下では、予期せぬ割り込みが発生する場合があります。

- 通常モードで、割り込みが許可されている
- ソフトウェアスタンバイモードで、割り込みが禁止されている
- ソフトウェアスタンバイを解除する端子の入力レベルが SSTBY モードで変更されている

これらの条件下では、割り込みステータスレジスタの対応する割り込みフラグが、予期せず設定されることがあります。MCU がソフトウェアスタンバイモードを終了した後に、予期せぬ割り込みが割り込みコントローラに送信される場合があります。この問題を避けるために、解除シーケンスでは INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

### 28.4.3 ポート機能設定後の割り込みステータスレジスタのクリア

入力バッファは、PmnPFS.PSEL および PmnPFS.PMR ポートの設定前に無効にされるため、内部信号が High または Low に固定されます。ポートの設定後に入力バッファが有効になると、外部端子の状態が MCU に伝播します。このとき、予期せぬ割り込みが発生する場合があります。INTSTS0 レジスタと INTSTS1 レジスタの VBINT および OVRCCR ビットなどの割り込みステータスフラグが 1 になります。誤作動を回避するために、ポート設定後は INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

## 29. シリアルコミュニケーションインタフェース (SCI)

シリアルコミュニケーションインタフェース (SCI) は、下記の 5 種類の調歩同期式および同期式シリアルインタフェースとして設定が可能です。

- 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA))
- 8 ビットクロック同期式インタフェース
- 簡易 I<sup>2</sup>C (マスタのみ)
- 簡易 SPI
- スマートカードインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。各 SCI チャンネルは FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。

本章に記載している PCLK とは PCLKA を指します。

### 29.1 概要

表 29.1 に SCI の仕様を示します。

表 29.1 SCI の仕様 (1/2)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> <li>• 調歩同期式</li> <li>• クロック同期式</li> <li>• スマートカードインタフェース</li> <li>• 簡易 I<sup>2</sup>C</li> <li>• 簡易 SPI</li> </ul>
転送速度	内蔵のボーレートジェネレータにより任意のビットレートを制御可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子	表 29.2 を参照してください。
データ転送	LSB ファースト / MSB ファーストの選択が可能
割り込み要因	送信終了、送信データエンpty、受信データフル、受信エラー、受信データレディ、およびアドレス一致 開始条件 / 再開条件 / 停止条件の生成完了 (簡易 I <sup>2</sup> C モード用)
モジュールストップ機能	チャンネルごとにモジュールストップ状態の設定が可能
スヌーズ終了要求	SCI0 アドレス不一致 (SCI0_DCUF)

表 29.1 SCIの仕様 (2/2)

項目	内容	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバーランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS <sub>n</sub> _RTS <sub>n</sub> 端子を用いた送受信制御が可能
	送受信	1段レジスタまたは16段FIFOのいずれかの選択が可能
	アドレス一致	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求/イベント出力の発行が可能
	アドレス不一致 (SCI0のみ) 受信データ	受信データとコンペアマッチレジスタの値が一致しないとき、スヌーズ終了要求の発行が可能
	スタートビットの検出	Lowまたは立ち下がりがエッジのいずれかの選択が可能
	ブレークの検出	フレーミングエラー発生時、SPTRレジスタを読み出すことでブレークの検出が可能
	クロックソース	内部クロックまたは外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードの選択が可能
	マルチプロセッサ通信機能	複数プロセッサ間のシリアル通信機能
	ノイズ除去	RXD <sub>n</sub> 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラー検出機能	オーバーランエラー
	クロックソース	内部クロック (マスタモード) または外部クロック (スレーブモード) の選択が可能
	ハードウェアフロー制御	CTS <sub>n</sub> _RTS <sub>n</sub> 端子を用いた送受信制御が可能
	送受信	1段レジスタまたは16段FIFOのいずれかの選択が可能
スマートカードインタフェースモード	エラー処理	受信時にパリティエラーを検出するとエラーシグナルを自動送出 送信時にエラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I <sup>2</sup> Cモード	通信フォーマット	I <sup>2</sup> Cバスフォーマット (MSBファーストのみ)
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	最大400kbps
	ノイズ除去	SCL <sub>n</sub> 端子とSDA <sub>n</sub> 端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバーランエラー
	クロックソース	内部クロック (マスタモード) または外部クロック (スレーブモード) の選択が可能
	SS入力端子機能	SS <sub>n</sub> 端子をHighにして、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択が可能
ビットレートモジュレーション機能	内蔵ボーレートジェネレータの出力補正により誤差の低減が可能	
イベントリンク機能	エラー (受信エラー/エラーシグナル検出) イベント出力 (SCI <sub>n</sub> _ERI (注1))	
	受信データフルイベント出力 (SCI <sub>n</sub> _RXI (注1) (注2))	
	送信データエンプティイベント出力 (SCI <sub>n</sub> _TXI (注1) (注2))	
	送信終了イベント出力 (SCI <sub>n</sub> _TEI (注1) (注2))	
	アドレス一致イベント出力 (SCI <sub>n</sub> _AM (注1))	

注 1. チャネル番号 (n = 0 ~ 4、または 9)

注 2. このイベントリンク機能は、調歩同期式モードにおいて FIFO 動作が選択された場合、使用禁止となります。

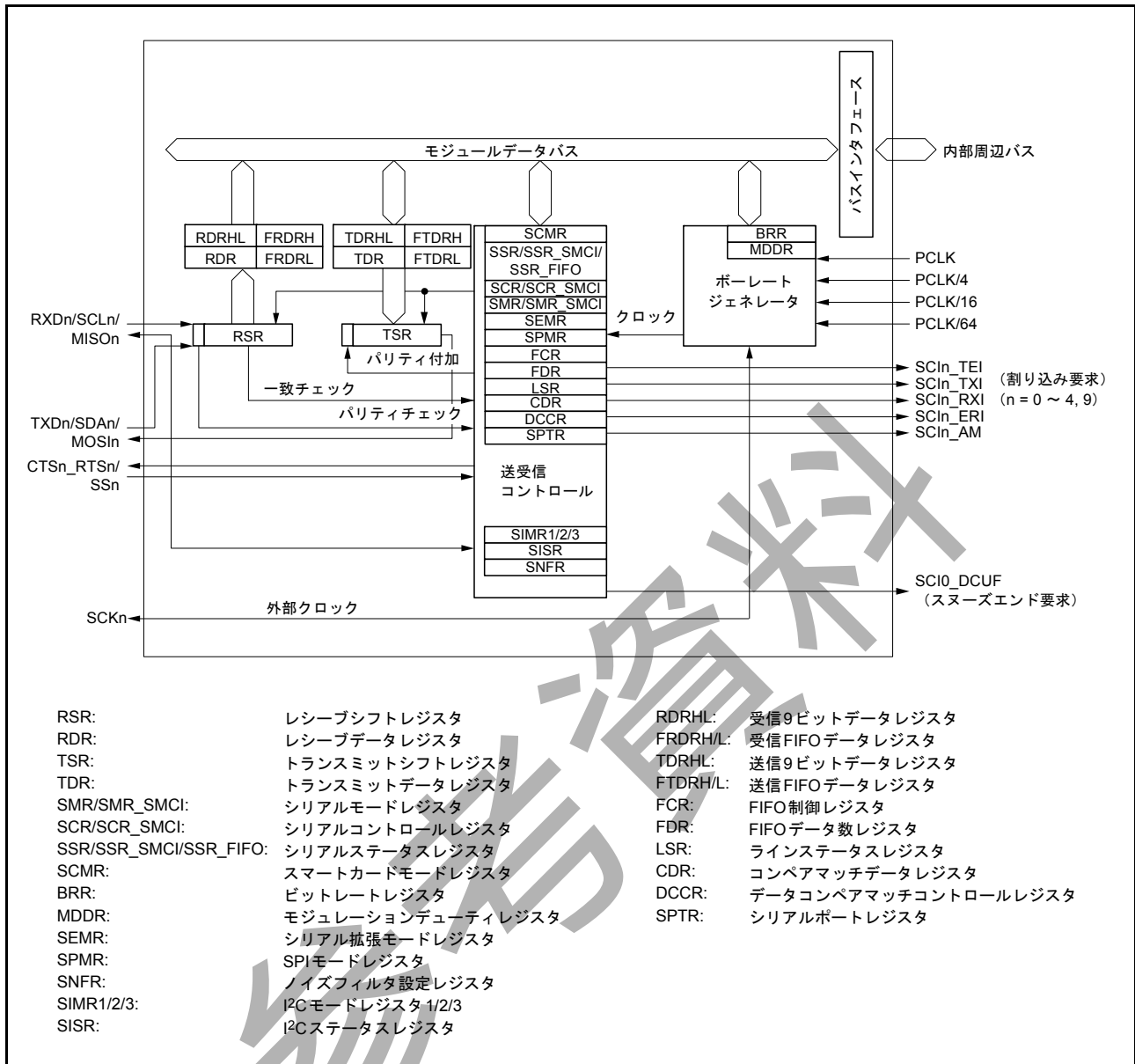


図 29.1 SCI のブロック図

表 29.2 に、SCI の入出力端子をモード別に示します。

表 29.2 SCI の入出力端子 (1/2)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0/SCL0/ MISO0	入出力	SCI0の受信データ入力端子 SCI0のI <sup>2</sup> Cクロック入出力端子 SCI0のスレーブ送出データ入出力端子
	TXD0/SDA0/ MOSI0	入出力	SCI0の送信データ出力端子 SCI0のI <sup>2</sup> Cデータ入出力端子 SCI0のマスタ送出データ入出力端子
	SS0/CTS0_RTS0	入出力	SCI0のチップセレクト入力端子、アクティブLow SCI0の送受信開始制御用入出力端子、アクティブLow

表 29.2 SCIの入出力端子 (2/2)

チャンネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1/SCL1/ MISO1	入出力	SCI1の受信データ入力端子 SCI1のI <sup>2</sup> Cクロック入出力端子 SCI1のスレーブ送出データ入出力端子
	TXD1/SDA1/ MOSI1	入出力	SCI1の送信データ出力端子 SCI1のI <sup>2</sup> Cデータ入出力端子 SCI1のマスタ送出データ入出力端子
	SS1/CTS1_RTS1	入出力	SCI1のチップセレクト入力端子、アクティブLow SCI1の送受信開始制御用入出力端子、アクティブLow
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	RXD2/SCL2/ MISO2	入出力	SCI2の受信データ入力端子 SCI2のI <sup>2</sup> Cクロック入出力端子 SCI2のスレーブ送出データ入出力端子
	TXD2/SDA2/ MOSI2	入出力	SCI2の送信データ出力端子 SCI2のI <sup>2</sup> Cデータ入出力端子 SCI2のマスタ送出データ入出力端子
	SS2/CTS2_RTS2	入出力	SCI2のチップセレクト入力端子、アクティブLow SCI2の送受信開始制御用入出力端子、アクティブLow
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	RXD3/SCL3/ MISO3	入出力	SCI3の受信データ入力端子 SCI3のI <sup>2</sup> Cクロック入出力端子 SCI3のスレーブ送出データ入出力端子
	TXD3/SDA3/ MOSI3	入出力	SCI3の送信データ出力端子 SCI3のI <sup>2</sup> Cデータ入出力端子 SCI3のマスタ送出データ入出力端子
	SS3/CTS3_RTS3	入出力	SCI3のチップセレクト入力端子、アクティブLow SCI3の送受信開始制御用入出力端子、アクティブLow
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	RXD4/SCL4/ MISO4	入出力	SCI4の受信データ入力端子 SCI4のI <sup>2</sup> Cクロック入出力端子 SCI4のスレーブ送出データ入出力端子
	TXD4/SDA4/ MOSI4	入出力	SCI4の送信データ出力端子 SCI4のI <sup>2</sup> Cデータ入出力端子 SCI4のマスタ送出データ入出力端子
	SS4/CTS4_RTS4	入出力	SCI4のチップセレクト入力端子、アクティブLow SCI4の送受信開始制御用入出力端子、アクティブLow
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9/SCL9/ MISO9	入出力	SCI9の受信データ入力端子 SCI9のI <sup>2</sup> Cクロック入出力端子 SCI9のスレーブ送出データ入出力端子
	TXD9/SDA9/ MOSI9	入出力	SCI9の送信データ出力端子 SCI9のI <sup>2</sup> Cデータ入出力端子 SCI9のマスタ送出データ入出力端子
	SS9/CTS9_RTS9	入出力	SCI9のチップセレクト入力端子、アクティブLow SCI9の送受信開始制御用入出力端子、アクティブLow

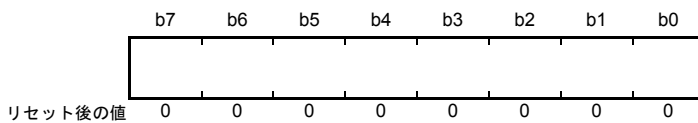
## 29.2 レジスタの説明

### 29.2.1 レシーブシフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタ、RDRHL レジスタ、またはレシーブ FIFO へ転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

### 29.2.2 レシーブデータレジスタ (RDR)

アドレス SCI0.RDR 4007 0005h, SCI1.RDR 4007 0025h, SCI2.RDR 4007 0045h,  
SCI3.RDR 4007 0065h, SCI4.RDR 4007 0085h, SCI9.RDR 4007 0125h



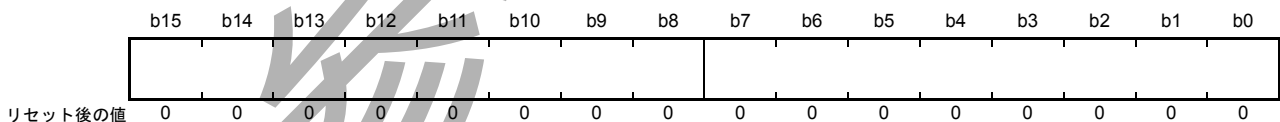
RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。1 フレーム分のシリアルデータを受信すると、受信データは RSR レジスタからこのレジスタへ転送され、RSR レジスタは次のデータを受信できるようになります。RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

RDR レジスタの読み出しは、受信データフル割り込み (SCI<sub>In</sub>\_RXI) 要求が発生したときに 1 回だけ行ってください。

注 . 受信データを RDR から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDR レジスタに書き込むことはできません。

### 29.2.3 レシーブ 9 ビットデータレジスタ (RDRHL)

アドレス SCI0.RDRHL 4007 0010h, SCI1.RDRHL 4007 0030h, SCI2.RDRHL 4007 0050h,  
SCI3.RDRHL 4007 0070h, SCI4.RDRHL 4007 0090h, SCI9.RDRHL 4007 0130h



RDRHL レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

RDRHL レジスタの下位 8 ビットは RDR レジスタのシャドウレジスタです。たとえば、RDRHL レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL レジスタへアクセスしないでください。

1 フレーム分のデータを受信すると、受信データは RSR レジスタから RDR/RDRHL レジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。RDRHL レジスタの読み出しは、受信データフル割り込み (SCI<sub>In</sub>\_RXI) 要求が発生した場合にのみ行ってください。受信データを RDRHL から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDRHL レジスタに書き込むことはできません。

RDRHL レジスタのビット 9 ~ 15 は 0 に固定されているため、読むと 0 が読めます。書く場合、0 としてください。

## 29.2.4 レシーブ FIFO データレジスタ H, L, HL (FRDRH, FRDRL, FRDRHL)

## レシーブ FIFO データレジスタ H (FRDRH)

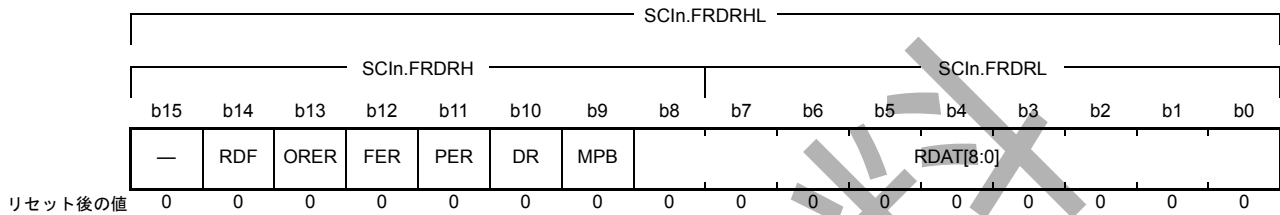
アドレス SCI0.FRDRH 4007 0010h, SCI1.FRDRH 4007 0030h, SCI2.FRDRH 4007 0050h,  
SCI3.FRDRH 4007 0070h, SCI4.FRDRH 4007 0090h, SCI9.FRDRH 4007 0130h

## レシーブ FIFO データレジスタ L (FRDRL)

アドレス SCI0.FRDRL 4007 0011h, SCI1.FRDRL 4007 0031h, SCI2.FRDRL 4007 0051h,  
SCI3.FRDRL 4007 0071h, SCI4.FRDRL 4007 0091h, SCI9.FRDRL 4007 0131h

## レシーブ FIFO データレジスタ HL (FRDRHL)

アドレス SCI0.FRDRHL 4007 0010h, SCI1.FRDRHL 4007 0030h, SCI2.FRDRHL 4007 0050h,  
SCI3.FRDRHL 4007 0070h, SCI4.FRDRHL 4007 0090h, SCI9.FRDRHL 4007 0130h



ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	シリアル受信データ	受信したシリアルデータ (調歩同期式モード (マルチプロセッサを含む) またはクロック同期式モードにおいて、FIFO 選択時のみ有効です)	R
b9	MPB	マルチプロセッサビットフラグ	シリアル受信データ (RDAT[8:0]) に対応したマルチプロセッサビット 0: データ送信サイクル 1: ID送信サイクル MPB ビットは、調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時のみ有効です。	R
b10	DR	受信データレディフラグ	0: 受信中であるか、または正常に受信を完了した後、FRDRH および FRDRL に受信データが残っていない 1: 正常に受信を完了した後、次の受信データが一定期間来ない	R (注1)
b11	PER	パリティエラーフラグ	0: FRDRH および FRDRL の第 1 データにパリティエラーの発生なし 1: FRDRH および FRDRL の第 1 データにパリティエラーの発生あり	R
b12	FER	フレーミングエラーフラグ	0: FRDRH および FRDRL の第 1 データにフレーミングエラーの発生なし 1: FRDRH および FRDRL の第 1 データにフレーミングエラーの発生あり	R
b13	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R (注1)
b14	RDF	レシーブ FIFO データフルフラグ	0: FRDRH および FRDRL に書き込まれた受信データ数が指定された受信トリガ数より少ない 1: FRDRH および FRDRL に書き込まれた受信データ数が指定された受信トリガ数以上である	R (注1)
b15	—	予約ビット	読むと 0 が読めます。	R

注 1. このフラグを読むと、SSR\_FIFO レジスタと同じ値が読み出されます。フラグをクリアするには、SSR\_FIFO レジスタに 0 を書いてください。

FRDRHL レジスタは、FRDRL と FRDRH からなる 16 ビットのレジスタです。FRDRH と FRDRL は、シリアル受信データと関連するステータス情報を格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード (マルチプロセッサモードを含む) またはクロック同期式モードでのみ有効です。

SCI は、受信データを RSR から FRDRH と FRDRL へ転送し格納することで、1 フレーム分のシリアルデータの受信動作を完了します。16 段が格納されるまで連続受信が実行されます。FRDRH と FRDRL に受信データが存在しない場合、データを読み出すと、その値は不定です。FRDRH と FRDRL が受信データでいっぱいになると、それ以降のシリアル受信データは失われます。CPU から FRDRH と FRDRL を読み出すことはできますが、書き込むことはできません。

FRDRH レジスタの RDF、ORER、または DR フラグから 1 を読むことは、SSR\_FIFO レジスタの対応するビットを読むことと同等です。FRDRH レジスタの読み出し後、SSR\_FIFO レジスタのフラグに 0 を書いてクリアする場合は、クリアするフラグにのみ 0 を書いて、他のフラグには 1 を書いてください。

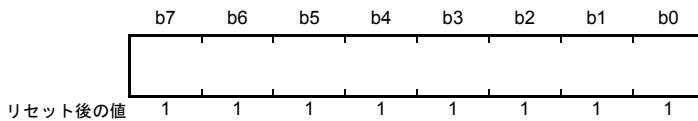
FRDRH レジスタと FRDRL レジスタの両方を読む場合は、FRDRH から FRDRL の順に読んでください。FRDRL レジスタは 16 ビット単位でアクセスが可能です。

参考資料



### 29.2.5 送信データレジスタ (TDR)

アドレス SCI0.TDR 4007 0003h, SCI1.TDR 4007 0023h, SCI2.TDR 4007 0043h,  
SCI3.TDR 4007 0063h, SCI4.TDR 4007 0083h, SCI9.TDR 4007 0123h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

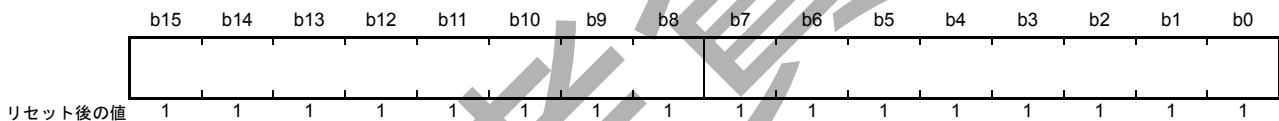
SCI は、TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データを TSR レジスタへ転送し、送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば、SCI はそれを TSR レジスタへ転送して送信を続けます。

CPU からいつでも TDR レジスタの読み出し/書き込みが可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI<sub>In</sub>\_TXI) 要求が発生するごとに 1 回だけ行ってください。

### 29.2.6 送信 9 ビットデータレジスタ (TDRHL)

アドレス SCI0.TDRHL 4007 000Eh, SCI1.TDRHL 4007 002Eh, SCI2.TDRHL 4007 004Eh,  
SCI3.TDRHL 4007 006Eh, SCI4.TDRHL 4007 008Eh, SCI9.TDRHL 4007 012Eh



TDRHL レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL レジスタの下位 8 ビットは TDR レジスタのシャドールレジスタです。たとえば、TDRHL レジスタへアクセスすると TDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL レジスタへアクセスしないでください。

TSR レジスタに空きが検出されると、TDRHL レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDRHL レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL レジスタに次の送信データが書き込まれていれば、TSR レジスタへ転送されて、送信動作が継続します。

CPU から TDRHL レジスタの読み出し/書き込みが可能です。TDRHL レジスタのビット 9 ~ 15 は 1 に固定されているため、読むと 1 が読めます。書く場合、1 としてください。

TDRHL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI<sub>In</sub>\_TXI) 要求が発行されたときに 1 回だけ行ってください。

## 29.2.7 トランスミット FIFO データレジスタ H, L, HL (FTDRH, FTDL, FTDRHL)

### トランスミット FIFO データレジスタ H (FTDRH)

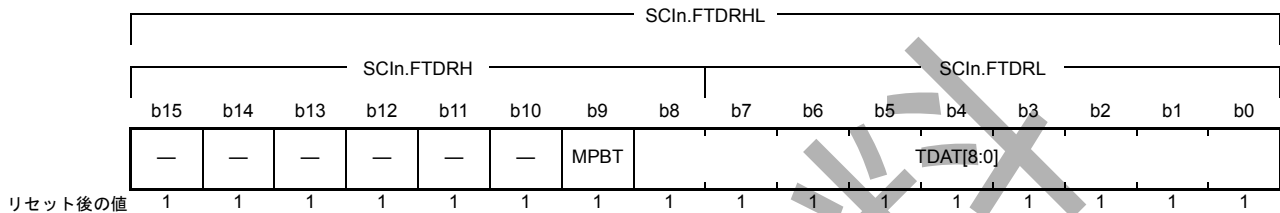
アドレス SCI0.FTDRH 4007 000Eh, SCI1.FTDRH 4007 002Eh, SCI2.FTDRH 4007 004Eh,  
SCI3.FTDRH 4007 006Eh, SCI4.FTDRH 4007 008Eh, SCI9.FTDRH 4007 012Eh

### トランスミット FIFO データレジスタ L (FTDL)

アドレス SCI0.FTDL 4007 000Fh, SCI1.FTDL 4007 002Fh, SCI2.FTDL 4007 004Fh,  
SCI3.FTDL 4007 006Fh, SCI4.FTDL 4007 008Fh, SCI9.FTDL 4007 012Fh

### トランスミット FIFO データレジスタ HL (FTDRHL)

アドレス SCI0.FTDRHL 4007 000Eh, SCI1.FTDRHL 4007 002Eh, SCI2.FTDRHL 4007 004Eh,  
SCI3.FTDRHL 4007 006Eh, SCI4.FTDRHL 4007 008Eh, SCI9.FTDRHL 4007 012Eh



ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	シリアル送信データ	シリアルライトデータ (調歩同期式モード (マルチプロセッサを含む) またはクロック同期式モードにおいて、FIFO 選択時にのみ有効です)	W
b9	MPBT	マルチプロセッサ通信ビットフラグ	送信フレーム中のマルチプロセッサビットの値 : 0 : データ送信サイクル 1 : ID送信サイクル MPBT ビットは、調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時にのみ有効です。	W
b15-b10	—	予約ビット	書く場合、1としてください。	W

FTDRHL レジスタは、FTDRH と FTDL からなる 16 ビットのレジスタです。

FTDRH と FTDL は、シリアル送信データとマルチプロセッサ通信ビットを格納するための 16 段の FIFO レジスタを構成します。これらのレジスタは、調歩同期式モード (マルチプロセッサモードを含む) またはクロック同期式モードでのみ有効です。

SCI は、TSR レジスタに空きを検出すると、FTDRH と FTDL に書き込まれた送信データを TSR に転送し、シリアル送信を開始します。FTDRH と FTDL に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。FTDRHL レジスタが送信データでいっぱいになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。CPU から FTDRH と FTDL に書き込むことはできますが、読み出すことはできません。

FTDRH レジスタと FTDL レジスタの両方に書き込む場合は、FTDRH から FTDL の順に書いてください。

### MPBT ビット (マルチプロセッサ通信ビットフラグ)

送信フレームのマルチプロセッサビットを選択します。

FCR.FM = 1 の場合、SSR.MPBT ビットは無効です。

### 29.2.8 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR、TDRHL、またはトランスミット FIFO から TSR レジスタへ送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

### 29.2.9 非スマートカードインタフェースモード用シリアルモードレジスタ (SMR) (SCMR.SMIF = 0)

アドレス SCI0.SMR 4007 0000h, SCI1.SMR 4007 0020h, SCI2.SMR 4007 0040h,  
SCI3.SMR 4007 0060h, SCI4.SMR 4007 0080h, SCI9.SMR 4007 0120h

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択	b1 b0 0 0: PCLK クロック (n = 0) (注1) 0 1: PCLK/4 クロック (n = 1) (注1) 1 0: PCLK/16 クロック (n = 2) (注1) 1 1: PCLK/64 クロック (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモード	調歩同期式モードでのみ有効です。 0: マルチプロセッサ通信機能は無効 1: マルチプロセッサ通信機能は有効	R/W (注4)
b3	STOP	ストップビット長	調歩同期式モードでのみ有効です。 0: 1ストップビット 1: 2ストップビット	R/W (注4)
b4	PM	パリティモード	PE ビット = 1 の場合にのみ有効です。 0: 偶数パリティを選択 1: 奇数パリティを選択	R/W (注4)
b5	PE	パリティ許可	調歩同期式モードでのみ有効です。 ● 送信時 0: パリティビットなし 1: パリティビットを付加 ● 受信時 0: パリティチェックを行わない 1: パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタ長	SCMR.CHR1 ビットと組み合わせてキャラクタ長を選択します。 CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3) CHR ビットは調歩同期式モードでのみ有効です。(注2)	R/W (注4)
b7	CM	通信モード	0: 調歩同期式モード、または簡易 I <sup>2</sup> C モード 1: クロック同期式モード、または簡易 SPI モード	R/W (注4)

注 1. n は BRR の設定値を 10 進表記で示します。29.2.17 ビットレートレジスタ (BRR) を参照してください。

注 2. 調歩同期式モード以外では、このビットの設定は無効であり、データ長は 8 ビット固定です。

注 3. LSB ファースト固定となり、TDR レジスタの MSB (b7) は送信されません。

注 4. SCR.TE ビットと SCR.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

### CKS[1:0] ビット (クロック選択)

内蔵ボーレートジェネレータのクロックソースを選択します。

これらのビットの設定値とボーレートの関係については、[29.2.17 ビットレートレジスタ \(BRR\)](#) を参照してください。

### MP ビット (マルチプロセッサモード)

マルチプロセッサ通信機能を有効または無効にします。マルチプロセッサモードでは、PE および PM ビットの設定は無効です。

### STOP ビット (ストップビット長)

送信データのストップビット長を選択します。

受信時には、このビットの設定にかかわらず、受信したストップビットの1ビット目のみがチェックされます。2ビット目が0の場合は、次の送信フレームのスタートビットとみなされます。

### PM ビット (パリティモード)

送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

### PE ビット (パリティ許可)

このビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加、チェックは行いません。

### CHR ビット (キャラクタ長)

SCMR.CHR1 ビットと組み合わせて、送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は8ビット固定です。

### CM ビット (通信モード)

通信モードを以下から選択します。

- 調歩同期式モード、または簡易 I<sup>2</sup>C モード
- クロック同期式モード、または簡易 SPI モード

## 29.2.10 スマートカードインタフェースモード用シリアルモードレジスタ (SMR\_SMCI) (SCMR.SMIF = 1)

アドレス [SCI0.SMR\\_SMCI 4007 0000h](#), [SCI1.SMR\\_SMCI 4007 0020h](#), [SCI2.SMR\\_SMCI 4007 0040h](#),  
[SCI3.SMR\\_SMCI 4007 0060h](#), [SCI4.SMR\\_SMCI 4007 0080h](#), [SCI9.SMR\\_SMCI 4007 0120h](#)

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	<a href="#">CKS[1:0]</a>	クロック選択	b1 b0 00 : PCLKクロック (n = 0) (注1) 01 : PCLK/4クロック (n = 1) (注1) 10 : PCLK/16クロック (n = 2) (注1) 11 : PCLK/64クロック (n = 3) (注1)	R/W (注2)
b3-b2	<a href="#">BCP[1:0]</a>	基本クロックパルス	SCMR.BCP2ビットと組み合わせて基本クロックのサイクル数を選択します。 <a href="#">表 29.3</a> に、SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	<a href="#">PM</a>	パリティモード	PEビット = 1の場合にのみ有効です。 0 : 偶数パリティを選択 1 : 奇数パリティを選択	R/W (注2)
b5	<a href="#">PE</a>	パリティ許可	PEビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、このビットを1にしてください。	R/W (注2)
b6	<a href="#">BLK</a>	ブロック転送モード	0 : 通常モードで動作 1 : ブロック転送モードで動作	R/W (注2)
b7	<a href="#">GM</a>	GSMモード	0 : 通常モードで動作 1 : GSMモードで動作	R/W (注2)

- 注 1. nはBRRの設定値を10進表記で示します。[29.2.17 ビットレートレジスタ \(BRR\)](#)を参照してください。  
 注 2. SCR\_SMCI.TEビットとSCR\_SMCI.REビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR\_SMCIレジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

### [CKS\[1:0\] ビット \(クロック選択\)](#)

内蔵ボーレートジェネレータのクロックソースを選択します。

これらのビットの設定値とボーレートの関係については、[29.2.17 ビットレートレジスタ \(BRR\)](#)を参照してください。

### [BCP\[1:0\] ビット \(基本クロックパルス\)](#)

スマートカードインタフェースモードにおいて、1ビット転送時間中の基本クロックのサイクル数を選択します。

SCMR.BCP2ビットと組み合わせて設定します。

詳細は、[29.6.4 受信データのサンプリングタイミングと受信マージン](#)を参照してください。

表 29.3 SCMR.BCP2ビットとSMR\_SMCI.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR_SMCI.BCP[1:0]ビット		1ビット転送時間中の基本クロックのサイクル数
0	0	0	93クロックサイクル (S = 93) (注1)
0	0	1	128クロックサイクル (S = 128) (注1)
0	1	0	186クロックサイクル (S = 186) (注1)
0	1	1	512クロックサイクル (S = 512) (注1)
1	0	0	32クロックサイクル (S = 32) (注1) (初期値)
1	0	1	64クロックサイクル (S = 64) (注1)
1	1	0	372クロックサイクル (S = 372) (注1)
1	1	1	256クロックサイクル (S = 256) (注1)

注1. SはBRRレジスタのSの値を表します(29.2.17 ビットレートレジスタ(BRR)を参照してください)。

### PMビット(パリティモード)

送受信時のパリティ(偶数パリティ/奇数パリティ)を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、29.6.2 データフォーマット(ブロック転送モード時を除く)を参照してください。

### PEビット(パリティ許可)

PEビットは1にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

### BLKビット(ブロック転送モード)

このビットを1にすると、ブロック転送モードで動作します。

詳細は、29.6.3 ブロック転送モードを参照してください。

### GMビット(GSMモード)

このビットを1にすると、GSMモードで動作します。

GSMモードでは、SSR\_SMCI.TENDフラグのセットタイミングが、先頭から11.0ETU(ETU: Elementary Time Unit=1ビット転送時間)に繰り上げられ、クロック出力制御機能が有効になります。詳細は、29.6.6 シリアルデータの送信(ブロック転送モード時を除く)と29.6.8 クロック出力制御を参照してください。

## 29.2.11 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0)

アドレス SCI0.SCR 4007 0002h, SCI1.SCR 4007 0022h, SCI2.SCR 4007 0042h, SCI3.SCR 4007 0062h, SCI4.SCR 4007 0082h, SCI9.SCR 4007 0122h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	調歩同期式モード： b1 b0 0 0：内蔵ポーレートジェネレータ I/Oポートの設定に従って、SCKn端子は入出力ポートとして使用できます。 0 1：内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します。 1 x：外部クロック SEMR.ABCSビットが0の場合、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが1の場合、8倍の周波数のクロック信号を入力してください。  クロック同期式モード： b1 b0 0 x：内部クロック SCKn端子はクロック出力端子となります。 1 x：外部クロック SCKn端子はクロック入力端子となります。	R/W (注1)
b2	TEIE	送信終了割り込み許可	0：SCI <sub>n</sub> _TEI割り込み要求を禁止 1：SCI <sub>n</sub> _TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサ割り込み許可	調歩同期式モードで、SMR.MPビット=1のとき有効です。 0：通常の受信動作 1：マルチプロセッサビットが0のデータを受信した場合、そのデータは読み飛ばし、SSRレジスタのORERおよびFERの各ステータスフラグに1を書くことはできない。マルチプロセッサビットが1のデータを受信した場合、MPIEビットは自動的に0にクリアされ、通常の受信動作に戻る。	R/W (注3)
b4	RE	受信許可	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可	0：SCI <sub>n</sub> _RXIおよびSCI <sub>n</sub> _ERI割り込み要求を禁止 1：SCI <sub>n</sub> _RXIおよびSCI <sub>n</sub> _ERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可	0：SCI <sub>n</sub> _TXI割り込み要求を禁止 1：SCI <sub>n</sub> _TXI割り込み要求を許可	R/W

x：Don't care

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

注2. TEビットおよびREビットが0、かつSMR.CMビットが1のときのみ、1の書き込みが可能です。TEビットまたはREビットを1にした後は、TEビットとREビットには0の書き込みのみが可能です。SMR.CMビットが0、かつSIMR1.IICMビットが0の場合、任意のタイミングで書き込みが可能です。

注3. マルチプロセッサモード (SMR.MPビット=1) では、このレジスタのMPIEビット以外のビットに新しい値を書き込む場合、ビット操作命令を用いたときにリードモディファイライトによってMPIEビットが誤って1になってしまうのを防ぐため、ストア命令を用いてMPIEビットに0を書いてください。

SCR レジスタは、送受信の制御とクロックソース選択を行うためのレジスタです。

#### CKE[1:0] ビット (クロック許可)

クロックソースおよび SCKn 端子の機能を選択します。

#### TEIE ビット (送信終了割り込み許可)

SCIn\_TEI 割り込み要求を許可または禁止します。

TEIE ビットを 0 にすると、SCIn\_TEI 割り込み要求が禁止されます。

簡易 I<sup>2</sup>C モードでは、開始/再開/停止条件の発行完了時の割り込み (STI 割り込み) に SCIn\_TEI 割り込みが割り当てられます。この場合、TEIE ビットによって STI 割り込み要求を許可または禁止にできます。

#### MPIE ビット (マルチプロセッサ割り込み許可)

このビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み飛ばされて、SSR/SSR\_FIFO レジスタの ORER、FER、BRK、DR の各ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 にクリアされ、通常の受信動作に戻ります。詳細は、29.4 マルチプロセッサ通信機能を参照してください。

SSR.MPB ビットが 0 のデータを受信した場合、RSR レジスタから RDR レジスタへ受信データは転送されず、受信エラーも検出されません。また、ORER および FER フラグを 1 にすることができません。

MPB ビットが 1 のデータを受信した場合、MPIE ビットが自動的に 0 にクリアされ、SCIn\_RXI および SCIn\_ERI 割り込み要求が許可されます (SCR.RIE ビットが 1 の場合)。また、ORER および FER フラグを 1 にすることができます。

マルチプロセッサ通信機能を使用しない場合、MPIE ビットを 0 にしてください。

#### RE ビット (受信許可)

シリアル受信動作を許可または禁止します。

このビットを 1 にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出することによって、シリアル受信を開始します。なお、RE ビットを 1 にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

非 FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR レジスタの RDRF、ORER、FER、PER の各フラグは影響を受けず、以前の値が保持されます。

FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR\_FIFO レジスタの RDF、ORER、FER、PER、BRK、DR の各フラグは影響を受けず、以前の値が保持されます。

#### TE ビット (送信許可)

シリアル送信動作を許可または禁止します。

このビットを 1 にすると、TDR レジスタに送信データを書き込むことによって、シリアル送信が開始されます。なお、TE ビットを 1 にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

#### RIE ビット (受信割り込み許可)

SCIn\_RXI および SCIn\_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn\_RXI 割り込み要求は禁止されます。

SCIn\_ERI 割り込み要求の解除は、SSR/SSR\_FIFO レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

#### TIE ビット (送信割り込み許可)

SCIn\_TXI 割り込み要求を許可または禁止します。

TIE ビットを 0 にすると、SCIn\_TXI 割り込み要求が禁止されます。TIE ビットは、TE ビットが 1 のときに 1 にしてください。TE ビットと TIE ビットは、同時に 0 から 1 にすることが可能です。



## 29.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR\_SMCI) (SCMR.SMIF = 1)

アドレス SCI0.SCR\_SMCI 4007 0002h, SCI1.SCR\_SMCI 4007 0022h, SCI2.SCR\_SMCI 4007 0042h, SCI3.SCR\_SMCI 4007 0062h, SCI4.SCR\_SMCI 4007 0082h, SCI9.SCR\_SMCI 4007 0122h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	<ul style="list-style-type: none"> <li>SMR_SMCI.GMビット = 0の場合 b1 b0 0 0 : 出力禁止 I/Oポートの設定に従って、SCKn端子は入出力ポートとして使用できます。</li> <li>0 1 : クロック出力</li> <li>1 x : (設定禁止)</li> <li>SMR_SMCI.GMビット = 1の場合 b1 b0 0 0 : Low出力固定</li> <li>x 1 : クロック出力</li> <li>1 0 : High出力固定</li> </ul>	R/W (注1)
b2	TEIE	送信終了割り込み許可	スマートカードインタフェースモードでは、このビットを0にしてください。	R/W
b3	MPIE	マルチプロセッサ割り込み許可	スマートカードインタフェースモードでは、このビットを0にしてください。	R/W
b4	RE	受信許可	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可	0 : SCIn_RXIおよびSCIn_ERI割り込み要求を禁止 1 : SCIn_RXIおよびSCIn_ERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可	0 : SCIn_TXI割り込み要求を禁止 1 : SCIn_TXI割り込み要求を許可	R/W

x : Don't care

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

注2. TEビット=0かつREビット=0の場合にのみ、1の書き込みが可能です。TEビットまたはREビットを1にした後は、TEビットとREビットには0の書き込みのみが可能です。

SCR\_SMCIレジスタは、送信制御、割り込みの制御と受信、および送受信のクロックソース選択を行うためのレジスタです。

各割り込み要求については、[29.10 割り込み要因](#)を参照してください。

### CKE[1:0] ビット (クロック許可)

SCKn端子からのクロック出力を制御します。

GSMモードでは、クロック出力を動的に切り替えることが可能です。詳細は、[29.6.8 クロック出力制御](#)を参照してください。

### TEIE ビット (送信終了割り込み許可)

スマートカードインタフェースモードでは、このビットを0にしてください。

**RE ビット (受信許可)**

シリアル受信動作を許可または禁止します。

このビットを1にすると、スタートビットを検出することによって、シリアル受信を開始します。RE ビットを1にする前に SMR\_SMCI レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを0にして受信動作を停止しても、SSR\_SMCI レジスタの ORER、FER、PER の各フラグは影響を受けず、以前の値を保持します。

**TE ビット (送信許可)**

シリアル送信動作を許可または禁止します。

このビットを1にすると、TDR レジスタに送信データを書き込むことによって、シリアル送信を開始します。TE ビットを1にする前に SMR\_SMCI レジスタの設定を行い、送信フォーマットを決定してください。

**RIE ビット (受信割り込み許可)**

SCIn\_RXI および SCIn\_ERI 割り込み要求を許可または禁止します。

RIE ビットを0にすると、SCIn\_RXI 割り込み要求は禁止されます。

SCIn\_ERI 割り込み要求の解除は、SSR\_SMCI レジスタの ORER、FER、または PER フラグから1を読み出した後に0にするか、RIE ビットを0にすることで行うことができます。

**TIE ビット (送信割り込み許可)**

SCIn\_TXI 割り込み要求を許可または禁止します。

TIE ビットを0にすると、SCIn\_TXI 割り込み要求は禁止されます。

### 29.2.13 非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0)

アドレス SCI0.SSR 4007 0004h, SCI1.SSR 4007 0024h, SCI2.SSR 4007 0044h,  
SCI3.SSR 4007 0064h, SCI4.SSR 4007 0084h, SCI9.SSR 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	送信フレームに対するマルチプロセッサビットを設定します。 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサ	受信フレーム中のマルチプロセッサビットの値: 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R/(W) (注1)
b7	TDRE	送信データエンptyフラグ	0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R/(W) (注1)

注1. フラグが1になっていることを確認した後、フラグをクリアするために0の書き込みのみが可能です。

SSR レジスタは、SCI ステータスフラグと送受信マルチプロセッサビットを設定するためのレジスタです。

#### MPBT ビット (マルチプロセッサビット転送)

送信フレームのマルチプロセッサビットを制御します。

#### MPB ビット (マルチプロセッサ)

受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが0のときは変化しません。

#### TEND フラグ (送信終了フラグ)

送信が終了したことを示します。

[1になる条件]

- SCR.TE ビットが0 (シリアル送信動作を禁止)、かつ FCR.FM ビットが0 (非 FIFO 選択時) のとき SCR.TE ビットが1のときは、TEND フラグは影響を受けず、1の値を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されないとき

[0になる条件]

- SCR.TE ビットが1の状態、TDR レジスタに送信データを書いたとき
- SCR.TE ビットが1の状態、TDRE = 1 を読んだ後、TDRE に0を書いたとき

### PER フラグ (パリティエラーフラグ)

調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、パリティエラーが検出され、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき

パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn\_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、PER ビットを読んで実際に 0 になっていることを確認してください)

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

### FER フラグ (フレーミングエラーフラグ)

調歩同期式モードでの受信時に、フレーミングエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、ストップビットとして 0 がサンプリングされ、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき

2 ストップビットモードでは、ストップビットの 1 ビット目のみがチェックされ、2 ビット目はチェックされません。フレーミングエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn\_RXI 割り込み要求は発生しません。さらに、FER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、FER ビットを読んで実際に 0 になっていることを確認してください)

SCR.RE ビットを 0 にしても、FER フラグは影響を受けず、以前の値を保持します。

### ORER フラグ (オーバーランエラーフラグ)

受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーのない受信データを読み出す前に、次のデータを受信したとき

RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、後から受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。クロック同期式モードでは、シリアル送受信は停止します。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、ORER ビットを読んで実際に 0 になっていることを確認してください)

SCR.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

**RDRF フラグ (受信データフルフラグ)**

RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを転送したとき

**TDRE フラグ (送信データエンプティフラグ)**

TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.TE ビットが 1 の状態で、データを TDR レジスタへ転送したとき

参考資料

## 29.2.14 非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ (SSR\_FIFO) (SCMR.SMIF = 0 および FCR.FM = 1)

アドレス SCI0.SSR\_FIFO 4007 0004h, SCI1.SSR\_FIFO 4007 0024h, SCI2.SSR\_FIFO 4007 0044h,  
SCI3.SSR\_FIFO 4007 0064h, SCI4.SSR\_FIFO 4007 0084h, SCI9.SSR\_FIFO 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDFE	RDF	ORER	FER	PER	TEND	—	DR
リセット後の値	1	0	0	0	0	0	x	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ	0: 受信中であるか、または正常に受信を完了した後、FRDRHLに受信データが残っていない (レシーブ FIFOが空である) 1: FIFOに格納されているデータ数が受信トリガ数以下であるとき、正常に受信を完了した後、一定期間内に次の受信データが来る	R/(W) (注1)
b1	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R/(W) (注1)
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b6	RDF	レシーブFIFOデータフルフラグ	0: FRDRHLに書き込まれた受信データ数が指定された受信トリガ数より少ない 1: FRDRHLに書き込まれた受信データ数が指定された受信トリガ数以上である	R/(W) (注1)
b7	TDFE	トランスミットFIFOデータエンベティフラグ	0: FRDRHLに書き込まれた送信データ数が指定された送信トリガ数を超過している 1: FRDRHLに書き込まれた送信データ数が指定された送信トリガ数以下である	R/(W) (注1)

注1. フラグが1になっていることを確認した後、フラグをクリアするために0の書き込みのみが可能です。

SSR\_FIFO レジスタは、FIFO モード用のステータスフラグのためのレジスタです。

### DR フラグ (受信データレディフラグ)

レシーブ FIFO データレジスタ (FRDRHL) に格納されたデータ数が指定された受信トリガ数より少ないこと、および、調歩同期式モードにおいて最後のストップビットから 15ETU 経過しても次のデータが受信されていないことを示します。このビットは、調歩同期式モード (マルチプロセッサモードを含む) において、FIFO 選択時にのみ有効です。

クロック同期式モードでは、このビットは1になりません。

[1になる条件]

- FRDRHL 内のデータ数が指定された受信トリガ数より少なく、最後のストップビットから 15ETU (注1) 経過しても次のデータが受信されておらず、かつ SSR\_FIFO.FER および SSR\_FIFO.PER フラグが 0 のとき

[0 になる条件]

- 受信データをすべて読み出した後、DR フラグから 1 を読んで、次に 0 を書いたとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

注 1. これは 8 ビットフォーマットで 1 ストップビットが選択されている場合の 1.5 フレーム分に相当します (ETU : Element Time Unit = 基本時間単位)。

### TEND フラグ (送信終了フラグ)

シリアルキャラクタの最後尾ビットの送信時に、FTDRHL レジスタに有効なデータがなく、送信が停止したことを示します。

[1 になる条件]

- 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に、FTDRHL レジスタに送信データがないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、FTDRHL レジスタ (注 1) に送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TEND から 1 を読んだ後、TEND に 0 を書いたとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

注 1. SCIn\_TXI 割り込み要求に応じて DMAC または DTC が FTDRHL レジスタにデータを書き込む場合は、このビットを送信終了フラグとして使用しないでください。

### PER ビット (パリティエラーフラグ)

調歩同期式モードにおいて、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、FRDRHL レジスタから読み出したデータにパリティエラーが存在するか否かを示します。

[1 になる条件]

- データ受信時にパリティエラーが検出され、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

データ受信時にパリティエラーが発生しても、受信データが FRDRHL レジスタに格納されている場合は、受信動作が継続します。

SCR.RE ビットを 0 にしても、PER フラグは影響を受けず、以前の状態を保持します。

### FER ビット (フレーミングエラーフラグ)

調歩同期式モードにおいて、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、FRDRHL レジスタから読み出したデータにフレーミングエラーが存在するか否かを示します。

[1 になる条件]

- 受信時にストップビットとして 0 がサンプリングされ、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

データ受信時にフレーミングエラーが発生しても、受信データが FRDRHL レジスタに格納されている場合は、受信動作が継続します。

SCR.RE ビットを 0 にしても、FER フラグは影響を受けず、以前の状態を保持します。

**ORER フラグ (オーバーランエラーフラグ)**

オーバーランエラーの発生が原因で受信動作が異常終了したことを示します。

[1 になる条件]

- レシーブ FIFO が 16 バイトの受信データでいっぱいになった状態で、次のシリアル受信を完了したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の状態を保持します。

**RDF ビット (レシーブ FIFO データフルフラグ)**

受信データが FRDRHL レジスタへ転送されて、FRDRHL 内のデータ数が指定された受信トリガ数を超えたことを示します。ただし RTRG が 0 の場合は、レシーブ FIFO 内のデータ数が 0 であっても、RDF フラグはセットされません。

[1 になる条件]

- 指定された受信トリガ数以上の受信データ数が FRDRHL レジスタ (注1) に格納され、かつ FIFO が空状態でないとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- FRDRHL レジスタが DMAC または DTC によって読み出されたとき (ブロック転送が最終送信の場合のみ)
- 1 になる条件と 0 になる条件が同時に発生した場合、RDF フラグは 0 にクリアされます。その後、FRDRHL レジスタに格納されたデータ数が RTRG の値以上になると、1PCLK 後に RDF フラグは 1 になります。

注 1. FRDRHL は 16 段の FIFO レジスタであるため、RDF が 1 のときに読み出し可能な最大のデータ数は指定された受信トリガ数と同等です。FRDRHL 内のデータをすべて読み出した後に、さらに読み出しを実行すると、不定値が読み出されます。

**TDFE ビット (トランスミット FIFO データエンptyフラグ)**

データが FTDRHL レジスタから TSR レジスタへ転送されて、FTDRHL 内のデータ数が指定された送信トリガ数を下回り、FTDRHL への送信データの書き込みが可能になったことを示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- FTDRHL に書き込まれた送信データ数が指定された送信トリガ数以下であるとき (注1)

[0 になる条件]

- DTC または DMAC が起動している状態で、最終送信に対する FTDRHL への書き込みが実行されたとき
- 1 を読んだ後、0 を書いたとき (注2)  
1 になる条件と 0 になる条件が同時に発生した場合、TDFE フラグは 0 にクリアされます。その後、FTDRHL レジスタに格納されたデータ数が TTRG の値以下になると、1PCLK 後に TDFE フラグは 1 になります。

注 1. FTDRHL レジスタは 16 段の FIFO レジスタであるため、TDFE フラグが 1 のときに書き込み可能な最大のデータ数は "16 - FDR.T[4:0]" で示されます。さらにデータを書き込んでも、そのデータは破棄されます。

注 2. ブロック転送モードでは、DTC または DMAC による処理中に TDFE ビットをクリアしないでください。



## 29.2.15 スマートカードインタフェースモード用シリアルステータスレジスタ (SSR\_SMCI) (SCMR.SMIF = 1)

アドレス [SCI0.SSR\\_SMCI 4007 0004h](#), [SCI1.SSR\\_SMCI 4007 0024h](#), [SCI2.SSR\\_SMCI 4007 0044h](#),  
[SCI3.SSR\\_SMCI 4007 0064h](#), [SCI4.SSR\\_SMCI 4007 0084h](#), [SCI9.SSR\\_SMCI 4007 0124h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	スマートカードインタフェースモードでは、このビットを0にしてください。	R/W
b1	MPB	マルチプロセッサ	スマートカードインタフェースモードでは、このビットを0にしてください。	R
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLowをサンプリングしない 1: エラーシグナルLowをサンプリングする	R/(W) (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに受信データなし 1: RDRレジスタに受信データあり	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに送信データあり 1: TDRレジスタに送信データなし	R/(W) (注1)

注1. フラグが1になっていることを確認した（読み出した）後、フラグをクリアするための0の書き込みのみが可能です。

SSR\_SMCI レジスタは、スマートカードインタフェースモード用のステータスフラグの設定レジスタです。

### TEND フラグ (送信終了フラグ)

受信側からエラーシグナルがなく、次の送信データが TDR レジスタに転送可能となったとき、このビットが1になります。

[1になる条件]

- SCR\_SMCI.TE ビット = 0 (シリアル送信動作を禁止) のとき、SCR\_SMCI.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、1 の値を保持します。
- 1 バイトのデータを送信してから指定した期間が経過した後、ERS フラグが 0 で、TDR レジスタが更新されないとき

1 になるタイミングは、以下のように、レジスタの設定値によって決定されます。

SMR\_SMCI.GM = 0、SMR\_SMCI.BLK = 0 のとき、送信開始から 12.5ETU 経過後

SMR\_SMCI.GM = 0、SMR\_SMCI.BLK = 1 のとき、送信開始から 11.5ETU 経過後

SMR\_SMCI.GM = 1、SMR\_SMCI.BLK = 0 のとき、送信開始から 11.0ETU 経過後

SMR\_SMCI.GM = 1、SMR\_SMCI.BLK = 1 のとき、送信開始から 11.0ETU 経過後

[0になる条件]

- SCR\_SMCI.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR\_SMCI.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

### PER フラグ (パリティエラーフラグ)

調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき。パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCI<sub>In</sub>\_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、PER ビットを読んで実際に 0 になっていることを確認してください)

SCR\_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

### ERS フラグ (エラーシグナルステータスフラグ)

[1 になる条件]

- エラーシグナル Low をサンプリングしたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

### ORER フラグ (オーバーランエラーフラグ)

受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーもフレーミングエラーもない受信データを読み出す前に、次のデータを受信したとき。RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、その後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、ORER ビットを読んで実際に 0 になっていることを確認してください)

SCR\_SMCI.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

### RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを転送したとき

### TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR\_SMCI.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR\_SMCI.TE ビットが 1 の状態で、データを TDR レジスタへ転送したとき

## 29.2.16 スマートカードモードレジスタ (SCMR)

アドレス SCI0.SCMR 4007 0006h, SCI1.SCMR 4007 0026h, SCI2.SCMR 4007 0046h,  
SCI3.SCMR 4007 0066h, SCI4.SCMR 4007 0086h, SCI9.SCMR 4007 0126h

b7	b6	b5	b4	b3	b2	b1	b0	
BCP2	—	—	CHR1	SDIR	SINV	—	SMIF	
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモード選択	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I <sup>2</sup> Cモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	SINV	送受信データ反転	0: TDRレジスタの内容をそのまま送信。受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信。受信データを反転してRDRレジスタに格納 以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード (マルチプロセッサモード) • クロック同期式モード • 簡易SPIモード 簡易I <sup>2</sup> Cモードの場合は、このビットを0にしてください。	R/W (注1)
b3	SDIR	送受信データ転送方向 (注2)	0: LSBファースト転送 1: MSBファースト転送 以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード (マルチプロセッサモード) • クロック同期式モード • 簡易SPIモード 簡易I <sup>2</sup> Cモードの場合は、このビットを1にしてください。	R/W (注1)
b4	CHR1	キャラクタ長1	(調歩同期式モードでのみ有効) (注2) SMR.CHRビットと組み合わせてキャラクタ長を選択します。 CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注1)
b6-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b7	BCP2	基本クロックパルス2	SMR_SMCI.BCP[1:0]ビットと組み合わせて基本クロックのサイクル数を選択します。 表 29.4に、SCMR.BCP2ビットとSMR_SMCI.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1. SCR/SCR\_SMCI レジスタのTEビットとREビットが0 (シリアル送信動作および受信動作を禁止) の場合にのみ書き込み可能です。

注2. 調歩同期式モード以外では、このビットの設定は無効であり、データ長は8ビット固定となります。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

SCMRレジスタは、スマートカードインタフェースと通信フォーマットを選択するためのレジスタです。

## SMIFビット (スマートカードインタフェースモード選択)

スマートカードインタフェースモードで動作させるときは、このビットを1にします。

非スマートカードインタフェースモードで動作させるときは、このビットを0にします。すなわち、調歩同期式モード (マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモード、または簡易I<sup>2</sup>Cモードで動作させる場合です。

**SINV ビット (送受信データ反転)**

送受信データのロジックレベルを反転します。このビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR または SMR\_SMCI レジスタの PM ビットを反転してください。

**CHR1 ビット (キャラクタ長 1)**

SMR レジスタの CHR ビットと組み合わせて、送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

**BCP2 ビット (基本クロックパルス 2)**

スマートカードインタフェースモードにおいて、1 ビット転送時間中の基本クロックのサイクル数を選択します。SMR\_SMCI.BCP[1:0] ビットと組み合わせて設定します。

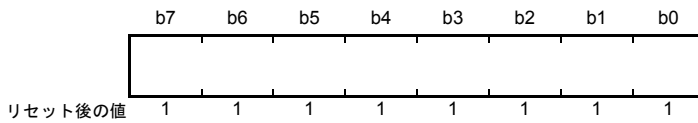
表 29.4 SCMR.BCP2 ビットと SMR\_SMCI.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0] ビット		1 ビット転送時間中の基本クロックのサイクル数
0	0	0	93 クロックサイクル (S = 93) (注1)
0	0	1	128 クロックサイクル (S = 128) (注1)
0	1	0	186 クロックサイクル (S = 186) (注1)
0	1	1	512 クロックサイクル (S = 512) (注1)
1	0	0	32 クロックサイクル (S = 32) (注1) (初期値)
1	0	1	64 クロックサイクル (S = 64) (注1)
1	1	0	372 クロックサイクル (S = 372) (注1)
1	1	1	256 クロックサイクル (S = 256) (注1)

注 1. S は BRR レジスタの S の値を表します (29.2.17 ビットレートレジスタ (BRR) を参照してください)。

## 29.2.17 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 4007 0001h, SCI1.BRR 4007 0021h, SCI2.BRR 4007 0041h,  
SCI3.BRR 4007 0061h, SCI4.BRR 4007 0081h, SCI9.BRR 4007 0121h



BRR レジスタは、ビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 I<sup>2</sup>C モードにおける、BRR レジスタの設定値 N とビットレート B の関係を表 29.5 に示します。

BRR レジスタの初期値は FFh です。

BRR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR\_SMCI レジスタの TE および RE ビットが 0 の場合にのみ可能です。

表 29.5 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定値			BRR レジスタの設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N + 1)} - 1 \right\} \times 100$
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	
簡易 I <sup>2</sup> C (注1)					

B : ビットレート (bps)

N : 内蔵ボーレートジェネレータの BRR の設定値 ( $0 \leq N \leq 255$ )

PCLK : 動作周波数 (MHz)

n および S : 表 29.7 と表 29.8 に示すように、SMR/SMR\_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. 簡易 I<sup>2</sup>C モードでは、SCLn 出力の High/Low 幅が I<sup>2</sup>C 規格を満たすように、ビットレートを調整してください。

表 29.6 SCL High/Low幅算出式

モード	SCL	算出式 (結果は秒単位)
I <sup>2</sup> C	High幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 29.7 クロックソースの設定

SMR/SMR_SMCI.CKS[1:0] ビットの設定値	クロックソース	n
CKS[1:0]ビット		
0 0	PCLKクロック	0
0 1	PCLK/4クロック	1
1 0	PCLK/16クロック	2
1 1	PCLK/64クロック	3

表 29.8 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2 ビットの設定値	SMR_SMCI.BCP[1:0] ビットの設定値	1ビット期間中の基本クロックのサイクル数	S
BCP2ビット	BCP[1:0]ビット		
0	0 0	93クロックサイクル	93
0	0 1	128クロックサイクル	128
0	1 0	186クロックサイクル	186
0	1 1	512クロックサイクル	512
1	0 0	32クロックサイクル	32
1	0 1	64クロックサイクル	64
1	1 0	372クロックサイクル	372
1	1 1	256クロックサイクル	256

通常の調歩同期式モードにおける、BRR レジスタ値 N の設定例を表 29.9 と表 29.10 に示します。各動作周波数において設定可能な最大ビットレートを表 29.11 に示します。また、スマートカードインタフェースモードにおける、BRR レジスタ値 N の設定例を表 29.14 に示します。

簡易 I<sup>2</sup>C モードにおける、BRR レジスタ値 N の設定例を表 29.17 に示します。スマートカードインタフェースモードでは、1 ビット転送時間における基本クロックのサイクル数 S を選択できます。詳細は、29.6.4 受信データのサンプリングタイミングと受信マージンを参照してください。また、表 29.12 と表 29.13 に、外部クロック入力時の最大ビットレートを示します。

調歩同期式モードにおいて、シリアル拡張モードレジスタ (SEMR) の調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれか一方を 1 にした場合、ビットレートは表 29.16 に記載された値の 2 倍になります。両ビットとも 1 にした場合、ビットレートは記載値の 4 倍になります。

表 29.9 各ビットレートに対するBRRの設定例 (調歩同期式モード) (1)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1,200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2,400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4,800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9,600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19,200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31,250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38,400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1,200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2,400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4,800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9,600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19,200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31,250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38,400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。  
 ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。  
 ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 29.10 各ビットレートに対するBRRの設定例 (調歩同期式モード) (2)

ビット レート (bps)	動作周波数PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1,200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2,400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4,800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9,600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19,200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31,250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38,400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。  
 ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。  
 ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 29.11 各動作周波数における最大ビットレート (調歩同期式モード) (1/2)

PCLK (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)	PCLK (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250,000	17.2032	0	0	0	0	0	537,600
		1	0	0	0	500,000			1	0	0	0	1,075,200
	1	0	0	0	0	1,000,000		1	0	0	0	0	2,150,400
		1	0	0	0	1,333,333			1	0	0	0	2,867,200
9.8304	0	0	0	0	0	307,200	18	0	0	0	0	0	562,500
		1	0	0	0	614,400			1	0	0	0	1,125,000
	1	0	0	0	0	1,228,800		1	0	0	0	0	2,250,000
		1	0	0	0	1,638,400			1	0	0	0	3,000,000
10	0	0	0	0	0	312,500	19.6608	0	0	0	0	0	614,400
		1	0	0	0	625,000			1	0	0	0	1,228,800
	1	0	0	0	0	1,250,000		1	0	0	0	0	2,457,600
		1	0	0	0	1,666,666			1	0	0	0	3,276,800
12	0	0	0	0	0	375,000	20	0	0	0	0	0	625,000
		1	0	0	0	750,000			1	0	0	0	1,250,000
	1	0	0	0	0	1,500,000		1	0	0	0	0	2,500,000
		1	0	0	0	2,000,000			1	0	0	0	3,333,333
Don't care	Don't care	1	0	0	0	2,000,000	Don't care	Don't care	1	0	0	0	3,333,333
	1	0	0	0	2,000,000	1		0	0	0	3,333,333		
												1	0



表 29.11 各動作周波数における最大ビットレート (調歩同期式モード) (2/2)

PCLK (MHz)	SEMRレジスタの設定値					最大ビットレート (bps)	PCLK (MHz)	SEMRレジスタの設定値					最大ビットレート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
12.288	0	0	0	0	0	384,000	25	0	0	0	0	0	781,250
		1	0	0	0	768,000			1	0	0	0	1,562,500
	1	0	0	0	0	1,536,000		1	0	0	0	0	3,125,000
		1	0	0	0				0	0	0	0	
14	0	0	0	0	0	437,500	30	0	0	0	0	0	937,500
		1	0	0	0	875,000			1	0	0	0	1,875,000
	1	0	0	0	0	1,750,000		1	0	0	0	0	3,750,000
		1	0	0	0				0	0	0	0	
16	0	0	0	0	0	500,000	33	0	0	0	0	0	1,031,250
		1	0	0	0	1,000,000			1	0	0	0	2,062,500
	1	0	0	0	0	2,000,000		1	0	0	0	0	4,125,000
		1	0	0	0				0	0	0	0	
40	0	0	0	0	0	1,250,000	40	0	0	0	0	0	1,250,000
		1	0	0	0	2,500,000			1	0	0	0	
	1	0	0	0	0	5,000,000		1	0	0	0	0	5,000,000
		1	0	0	0				0	0	0	0	

表 29.12 外部クロック入力時の最大ビットレート (調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCS ビット=0	SEMR.ABCS ビット=1
8	2.0000	125,000	250,000
9.8304	2.4576	153,600	307,200
10	2.5000	156,250	312,500
12	3.0000	187,500	375,000
12.288	3.0720	192,000	384,000
14	3.5000	218,750	437,500
16	4.0000	250,000	500,000
17.2032	4.3008	268,800	537,600
18	4.5000	281,250	562,500
19.6608	4.9152	307,200	614,400
20	5.0000	312,500	625,000
25	6.2500	390,625	781,250
30	7.5000	468,750	937,500
33	8.2500	515,625	1,031,250
40	10.0000	625,000	1,250,000

表 29.13 各ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)															
	8		10		16		20		25		30		33		40	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	155
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19
1M	0	1			0	3	0	4	—	—	—	—	—	—	0	9
2.5M			0	0 (注1)			0	1	—	—	0	2	—	—	0	3
5M							0	0 (注1)	—	—	—	—	—	—	0	1
7.5M											0	0 (注1)				

空欄：設定禁止

—：設定可能ですが誤差が生じます。

注 1. 連続送受信はできません。1フレームの送受信後、次のフレームの送受信を開始するまでに1ビット期間の間隔が空きます。すなわち、同期クロックの出力が1ビット期間停止します。そのため、1フレーム（8ビット）のデータ転送に9ビット分の時間がかかり、平均転送レートはビットレートの8/9倍になります。

表 29.14 外部クロック入力時の最大ビットレート (クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333333
10	1.6667	1.6666667
12	2.0000	2.0000000
14	2.3333	2.3333333
16	2.6667	2.6666667
18	3.0000	3.0000000
20	3.3333	3.3333333
25	4.1667	4.1666667
30	5.0000	5.0000000
33	5.5000	5.5000000
40	6.6667	6.6666667

表 29.15 各ビットレートに対するBRRの設定例 (スマートカードインタフェースモード、n = 0、S = 372の場合)

ビットレート (bps)	動作周波数PCLK (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9,600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bps)	動作周波数PCLK (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9,600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.66

ビットレート (bps)	動作周波数PCLK (MHz)											
	25.00			30.00			33.00			40.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9,600	0	3	12.49	0	3	5.01	0	4	7.59	0	5	-6.66

表 29.16 各動作周波数における最大ビットレート (スマートカードインタフェースモード、S = 32の場合)

PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	156,250	0	0
10.7136	167,400	0	0
13.00	203,125	0	0
16.00	250,000	0	0
18.00	281,250	0	0
20.00	312,500	0	0
25.00	390,625	0	0
30.00	468,750	0	0
33.00	515,625	0	0
40.00	625,000	0	0

表 29.17 各ビットレートに対するBRRの設定例 (簡易I<sup>2</sup>Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7	1	7	-2.3
50k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9	1	3	-2.3
100k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7	0	3	-21.9
350k										0	1	-10.7	0	2	-25.6
400k										0	1	-21.9	0	1	-2.3

ビット レート (bps)	動作周波数PCLK (MHz)								
	30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	23	-2.3	1	25	-0.8	0	124	0.00
25k	1	9	-6.3	1	10	-6.3	0	40	0.00
50k	1	4	-6.3	1	5	-14.1	0	24	0.00
100k	1	2	-21.9	1	2	-14.1	0	12	-3.85
250k	0	3	-6.3	0	4	-17.5	0	4	0.00
350k	0	2	-10.7	0	2	-1.8	0	3	-10.71
400k	0	1	17.2	0	2	-14.1	0	2	4.17

表 29.18 各ビットレートでのSCL High/Low幅最小値 (簡易I<sup>2</sup>Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.5/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60
400k										0	1	1.40/1.60

ビット レート (bps)	動作周波数PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)
10k	1	19	44.80/51.20	1	23	44.80/51.20	1	25	44.12/50.42	1	32	46.20/52.80
25k	1	7	17.92/20.48	1	9	18.66/21.33	1	10	18.66/21.33	1	12	18.20/20.80
50k	1	3	8.96/10.24	1	4	9.33/10.66	1	5	10.18/11.63	1	6	9.80/11.20
100k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.81	0	13	4.90/5.60
250k	0	3	2.24/2.56	0	3	1.86/2.13	0	4	2.12/2.42	0	4	1.75/2.00
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60
400k	0	1	1.12/1.28	0	1	0.93/1.07	0	2	1.27/1.45	0	2	1.05/1.20

## 29.2.18 モジュレーションデューティレジスタ (MDDR)

アドレス SCI0.MDDR 4007 0012h, SCI1.MDDR 4007 0032h, SCI2.MDDR 4007 0052h,  
SCI3.MDDR 4007 0072h, SCI4.MDDR 4007 0092h, SCI9.MDDR 4007 0132h



MDDR レジスタは、BRR レジスタで調整されたビットレートを補正するためのレジスタです。

SEMR.BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR レジスタの設定に応じて均一に補正されます (M/256)。MDDR レジスタの設定値 M とビットレート B の関係を表 29.19 に示します。

MDDR レジスタの初期値は FFh です。b7 は 1 に固定されています。

MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR\_SMCI レジスタの TE ビットと RE ビットが 0 の場合にのみ可能です。

表 29.19 ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係

モード	SEMR レジスタの設定値			BRR レジスタの設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times (256/M) \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI (注1)				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times (256/M) \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
簡易 I <sup>2</sup> C (注2)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	

B : ビットレート (bps)

M : MDDR レジスタの設定値 (128 ≤ MDDR ≤ 256)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

PCLK : 動作周波数 (MHz)

n および S : 表 29.7 と表 29.8 に示すように、SMR/SMR\_SMCI レジスタと SCMR レジスタの設定値によって決まります。29.2.17 ビットレートレジスタ (BRR) を参照してください。

注 1. クロック同期式モードと、簡易 SPI モードの最高速設定 (SMR.CKS[1:0] ビット = 00b、SCR.CKE[1] ビット = 0、および BRR = 0) では、この機能を使用しないでください。

注 2. 簡易 I<sup>2</sup>C モードでは、SCLn 出力の High/Low 幅が I<sup>2</sup>C 規格を満たすように、ビットレートを調整してください。

通常の調歩同期式モードにおける BRR レジスタ値 N と MDDR レジスタ値 M の設定例を表 29.20 に示します。

表 29.20 各ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (1)

ビット レート (bps)	動作周波数 PCLK (MHz)														
	8					9.8304					16				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38,400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57,600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115,200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230,400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460,800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

ビット レート (bps)	動作周波数 PCLK (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38,400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57,600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115,200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230,400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460,800	0	0	157	1	-0.18	0	0	154	1	-0.26	0	0	135	1	0.14

ビット レート (bps)	動作周波数 PCLK (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38,400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57,600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115,200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230,400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460,800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

ビット レート (bps)	動作周波数 PCLK (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38,400	0	15	(256) (注1)	0	0.00	0	10	173	0	-0.01	0	11	151	0	0.00
57,600	0	9	240	0	0.00	0	9	236	0	0.03	0	7	151	0	0.00
115,200	0	4	240	0	0.00	0	4	236	0	0.03	0	3	151	0	0.00
230,400	0	1	192	0	0.00	0	4	236	1	0.03	0	1	151	0	0.00
460,800	0	0	192	0	0.00	0	0	189	0	0.14	0	0	151	0	0.00

ビット レート (bps)	動作周波数 PCLK (MHz)														
	30					33					40				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38,400	0	36	194	1	0.01	0	14	143	0	0.01	0	21	173	0	-0.01
57,600	0	10	173	0	-0.01	0	9	143	0	0.01	0	38	230	1	-0.01
115,200	0	10	173	1	-0.01	0	4	143	0	0.01	0	9	236	0	0.03
230,400	0	6	220	1	-0.09	0	4	143	1	0.01	0	4	236	0	0.03
460,800	0	3	252	1	0.14	0	1	229	0	0.10	0	4	236	1	0.03

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。  
SEMR.BRME = 0 (M = 256) の場合、ビットレートモジュレーション機能は無効になります。

## 29.2.19 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 4007 0007h, SCI1.SEMR 4007 0027h, SCI2.SEMR 4007 0047h,  
SCI3.SEMR 4007 0067h, SCI4.SEMR 4007 0087h, SCI9.SEMR 4007 0127h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	BRME	ビットレートモジュレーション有効	0: ビットレートモジュレーション機能は無効 1: ビットレートモジュレーション機能は有効	R/W (注1)
b3	ABCSE	調歩同期拡張基本クロック選択1	調歩同期モードにおいて、SCR.CKE[1] = 0の場合にのみ有効です。 0: 1ビット期間のクロックサイクル数は、SEMRレジスタのBGDMとABCSの組み合わせにより決定 1: ポーレートは1ビット期間に対して基本クロックの6サイクル	R/W (注1)
b4	ABCS	調歩同期基本クロック選択	調歩同期モードでのみ有効 0: 基本クロックの16サイクルを1ビット期間として選択 1: 基本クロックの8サイクルを1ビット期間として選択	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能有効	0: RXDn入力信号のノイズ除去機能は無効 1: RXDn入力信号のノイズ除去機能は有効 簡易I <sup>2</sup> Cモードの場合 0: SCLnおよびSDAn入力信号のノイズ除去機能は無効 1: SCLnおよびSDAn入力信号のノイズ除去機能は有効	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モード選択	調歩同期モードにおいて、SCR.CKE[1] = 0の場合にのみ有効です。 0: ポーレートジェネレータから通常の周波数のクロックを出力 1: ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出選択	調歩同期モードでのみ有効です。 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

注1. SCR/SCR\_SMCI レジスタのTEビットとREビットが0（シリアル送信動作および受信動作を禁止）の場合にのみ書き込み可能です。

SEMR レジスタは、調歩同期モードにおいて、1ビット期間のクロックソースを選択するためのレジスタです。

**BRME ビット (ビットレートモジュレーション有効)**

ビットレートモジュレーション機能を有効または無効にします。有効にすると、内蔵ポーレートジェネレータによって生成されるビットレートが均一に補正されます。

**ABCSE ビット (調歩同期拡張基本クロック選択1)**

1ビット期間における基本クロックのパルス数は6であり、ポーレートジェネレータから2倍の周波数のクロックが出力されます。バスクロック周波数を分周しているときにビットレートを6にする場合、このビットを使用し、かつSMR.CKS[1:0] = 00b、BRR = 0に設定してください。

**ABCS ビット (調歩同期基本クロック選択)**

1ビット期間の基本クロックのサイクル数を選択します。

**NFEN ビット (デジタルノイズフィルタ機能有効)**

デジタルノイズフィルタ機能を有効または無効にします。

デジタルノイズフィルタ機能を有効にした場合:

- 調歩同期モードでは、RXDn入力信号のノイズを除去する

- 簡易 I<sup>2</sup>C モードでは、SDAn および SCLn の入力信号のノイズを除去する

他のすべてのモードでは、NFEN ビットを 0 にして、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、受信した信号がそのまま転送されます。

### BGDM ビット (ポーレートジェネレータ倍速モード選択)

ポーレートジェネレータの出力クロック周期を選択します。

このビットは、調歩同期式モード (SMR.CM ビット = 0) において、クロックソースに内蔵ポーレートジェネレータ (SCR.CKE[1] ビット = 0) を選択したとき有効です。内蔵ポーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ポーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

このビットは、調歩同期式モード以外では 0 にしてください。

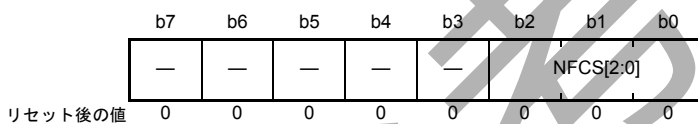
### RXDESEL ビット (調歩同期スタートビットエッジ検出選択)

調歩同期式モードで受信する場合のスタートビットの検出方法を選択します。このビットの設定により、ブレイク時の受信動作が異なります。ブレイク中に受信動作を停止させたい場合、または、ブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始したい場合、このビットを 1 にしてください。

このビットは、調歩同期式モード以外では 0 にしてください。

## 29.2.20 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 4007 0008h, SCI1.SNFR 4007 0028h, SCI2.SNFR 4007 0048h,  
SCI3.SNFR 4007 0068h, SCI4.SNFR 4007 0088h, SCI9.SNFR 4007 0128h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロック選択	調歩同期式モード時、基本クロックの標準設定は下記のとおりです。 b2 b0 0 0 0 : 1分周のクロック信号をノイズフィルタに使用  簡易 I <sup>2</sup> C モード時、SMR.CKS[1:0] ビットで選択した内蔵ポーレートジェネレータのクロックソースの標準設定は下記のとおりです。 b2 b0 0 0 1 : 1分周のクロック信号をノイズフィルタに使用 0 1 0 : 2分周のクロック信号をノイズフィルタに使用 0 1 1 : 4分周のクロック信号をノイズフィルタに使用 1 0 0 : 8分周のクロック信号をノイズフィルタに使用 上記以外は設定しないでください。	R/W (注1)
b7-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SCR/SCR\_SMCI レジスタの TE ビットと RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SNFR レジスタは、デジタルノイズフィルタのクロックを設定するためのレジスタです。

### NFCS[2:0] ビット (ノイズフィルタクロック選択)

デジタルノイズフィルタのサンプリングクロックを選択します。調歩同期式モードでノイズフィルタを使用する場合、これらのビットを 000b にしてください。簡易 I<sup>2</sup>C モードでは、これらのビットを 001b ~ 100b の範囲で設定してください。



29.2.21 I<sup>2</sup>C モードレジスタ 1 (SIMR1)

アドレス SCI0.SIMR1 4007 0009h, SCI1.SIMR1 4007 0029h, SCI2.SIMR1 4007 0049h,  
SCI3.SIMR1 4007 0069h, SCI4.SIMR1 4007 0089h, SCI9.SIMR1 4007 0129h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I <sup>2</sup> Cモード選択	SMIF IICM 0 0: 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード、または簡易SPIモード 0 1: 簡易I <sup>2</sup> Cモード 1 0: スマートカードインタフェースモード 1 1: 設定禁止	R/W (注1)
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b3	IICDL[4:0]	SDA遅延出力選択	下記のサイクル数は、内蔵ポーレートジェネレータからのクロック 信号のサイクル数です。 b7 b3 00000: 出力遅延なし 00001: 0~1サイクル 00010: 1~2サイクル 00011: 2~3サイクル 00100: 3~4サイクル 00101: 4~5サイクル : 11110: 29~30サイクル 11111: 30~31サイクル	R/W (注1)

注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SIMR1 レジスタは、簡易 I<sup>2</sup>C モードと、SDAn 出力の遅延段数を選択するためのレジスタです。

**IICM ビット (簡易 I<sup>2</sup>C モード選択)**

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

**IICDL[4:0] ビット (SDA 遅延出力選択)**

SCLn 端子出力の立ち下がりに対する SDAn 端子出力の遅延を設定します。

内蔵ポーレートジェネレータからのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲で設定が可能です。SMR.CKS[1:0] ビットの設定によって分周された PCLK クロックが、内蔵ポーレートジェネレータからのクロック信号として供給されます。簡易 I<sup>2</sup>C モード以外では、これらのビットを 00000b にしてください。簡易 I<sup>2</sup>C モードでは、これらのビットを 00001b ~ 11111b の範囲で設定してください。

29.2.22 I<sup>2</sup>C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 4007 000Ah, SCI1.SIMR2 4007 002Ah, SCI2.SIMR2 4007 004Ah,  
SCI3.SIMR2 4007 006Ah, SCI4.SIMR2 4007 008Ah, SCI9.SIMR2 4007 012Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACK T	—	—	—	IICCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I <sup>2</sup> C 割り込みモード選択	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化	0 : クロック信号と同期しない 1 : クロック信号と同期する	R/W (注1)
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	IICACKT	ACK 送信データ	0 : ACK 送信 1 : NACK 送信またはACK/NACK 受信	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル受信動作およびシリアル送信動作を禁止) の場合にのみ書き込み可能です。

SIMR2 レジスタは、簡易 I<sup>2</sup>C モードにおいて、送受信の制御方法を選択するためのレジスタです。

**IICINTM ビット (I<sup>2</sup>C 割り込みモード選択)**

簡易 I<sup>2</sup>C モードにおいて、割り込み要求の要因を選択します。

**IICCSC ビット (クロック同期化)**

SCLn 端子を Low にしたとき (たとえば、他のデバイスがウェイトを挿入したとき)、内部で生成する SCLn クロック信号を同期化する場合は、IICCSC ビットを 1 にしてください。

IICCSC ビットを 0 にすると、SCLn クロックの同期化を行いません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCLn クロック信号を生成します。

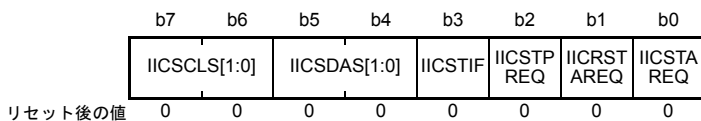
デバッグ時を除いて、IICCSC ビットは 1 にしてください。

**IICACKT ビット (ACK 送信データ)**

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は、このビットを 1 にしてください。

29.2.23 I<sup>2</sup>C モードレジスタ 3 (SIMR3)

アドレス SCI0.SIMR3 4007 000Bh, SCI1.SIMR3 4007 002Bh, SCI2.SIMR3 4007 004Bh,  
SCI3.SIMR3 4007 006Bh, SCI4.SIMR3 4007 008Bh, SCI9.SIMR3 4007 012Bh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成	0 : 開始条件を生成しない 1 : 開始条件を生成する (注1) (注3) (注5) (注6)	R/W
b1	IICRSTAREQ	再開条件生成	0 : 再開条件を生成しない 1 : 再開条件を生成する (注2) (注3) (注5) (注6)	R/W
b2	IICSTPREQ	停止条件生成	0 : 停止条件を生成しない 1 : 停止条件を生成する (注2) (注3) (注5) (注6)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0 : 各条件の生成要求がない状態、または生成中の状態 1 : 開始条件、再開条件、停止条件の生成が完了した状態 IICSTIF ビットに0を書くと、0になります。(注4)	R/W (注4)
b5-b4	IICSDAS[1:0]	SDA出力選択	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SDA <sub>n</sub> 端子はLowを出力 1 1 : SDA <sub>n</sub> 端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SCL出力選択	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SCL <sub>n</sub> 端子はLowを出力 1 1 : SCL <sub>n</sub> 端子はハイインピーダンス状態	R/W

- 注1. バスの状態を確認し、バスフリー状態のときにのみ開始条件を生成してください。  
 注2. バスの状態を確認し、バスビジー状態のときに再開条件または停止条件を生成してください。  
 注3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2つ以上を1にしないでください。  
 注4. 0のみを書いてください。1を書くと、その値は無視されます。  
 注5. IICSTIF フラグを0にしてから、各条件生成を行ってください。  
 注6. 1の状態にあるとき、0を書かないでください。このビットが1の状態にあるとき0を書くと、条件生成が中断します。

**IICSTAREQ ビット (開始条件生成)**

開始条件の生成を行うときは、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にし、IICSTAREQ ビットを1にしてください。

[1になる条件]

- 1を書いたとき

[0になる条件]

- 開始条件の生成が完了したとき

**IICRSTAREQ ビット (再開条件生成)**

再開条件の生成を行うときは、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にし、IICRSTAREQ ビットを1にしてください。

[1になる条件]

- 1を書いたとき

[0になる条件]

- 再開条件の生成が完了したとき

**IICSTPREQ ビット (停止条件生成)**

停止条件の生成を行うときは、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にし、IICSTPREQ ビットを 1 にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 停止条件の生成が完了したとき

**IICSTIF フラグ (開始/再開/停止条件生成完了フラグ)**

各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STI 要求が出力されます。

[1 になる条件]

- 開始/再開/停止の各条件生成が完了したとき (ただし、このフラグが 0 になる条件と競合した場合、0 になる条件が優先されます)

[0 になる条件]

- 0 を書いたとき (IICSTIF フラグが 1 であることを確認してから書いてください)
- SIMR1.IICM ビットに 0 を書いたとき (簡易 I<sup>2</sup>C モード以外の場合)
- SCR.TE ビットに 0 を書いたとき

**IICSDAS[1:0] ビット (SDA 出力選択)**

SDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

**IICSCLS[1:0] ビット (SCL 出力選択)**

SCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

29.2.24 I<sup>2</sup>C ステータスレジスタ (SISR)

アドレス SCI0.SISR 4007 000Ch, SCI1.SISR 4007 002Ch, SCI2.SISR 4007 004Ch,  
SCI3.SISR 4007 006Ch, SCI4.SISR 4007 008Ch, SCI9.SISR 4007 012Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACK R
リセット後の値	0	0	x	x	0	x	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	—	予約ビット	読むと不定値が読めます。	R
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	—	予約ビット	読むと不定値が読めます。	R
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. フラグをクリアするための0の書き込みのみ可能です。

SISR レジスタは、簡易 I<sup>2</sup>C モードにおける状態をモニタするためのレジスタです。

**IICACKR フラグ (ACK 受信データフラグ)**

このビットから、受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SCLn クロックの立ち上がりのタイミングで更新されます。

## 29.2.25 SPI モードレジスタ (SPMR)

アドレス SCI0.SPMR 4007 000Dh, SCI1.SPMR 4007 002Dh, SCI2.SPMR 4007 004Dh,  
SCI3.SPMR 4007 006Dh, SCI4.SPMR 4007 008Dh, SCI9.SPMR 4007 012Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn 端子機能有効	0 : SSn 端子機能は無効 1 : SSn 端子機能は有効	R/W (注1)
b1	CTSE	CTS 有効	0 : CTS 機能は無効 (RTS 出力機能は有効) 1 : CTS 機能は有効	R/W (注1)
b2	MSS	マスタスレーブ選択	0 : TXDn 端子は送信、RXDn 端子は受信 (マスタモード) 1 : TXDn 端子は受信、RXDn 端子は送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MFF	モードフォルトフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CKPOL	クロック極性選択	0 : クロック極性反転なし 1 : クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相選択	0 : クロック遅れなし 1 : クロック遅れあり	R/W (注1)

- 注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。  
注2. フラグをクリアするための0の書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

**SSE ビット (SSn 端子機能有効)**

SSn 端子を用いて送受信制御を行う場合 (簡易 SPI モード)、このビットを1にしてください。他のすべてのモードでは0にしてください。なお、簡易 SPI モードであっても、マスタモード (SCR.CKE[1:0] ビット=00b、MSS ビット=0) を選択し、かつシングルマスタで使用する場合は、マスタ側の SSn 端子を用いた送受信制御は不要であるため、SSE ビットを0にします。SSE ビットと CTSE ビットの両方を有効にしないでください (両方を有効にした場合、両ビットを0にしたときと同じ動作になります)。

**CTSE ビット (CTS 有効)**

SSn 端子を CTS 制御信号入力として用いて送受信制御を行う場合、このビットを1にしてください。このビットを0にした場合は RTS 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、および簡易 I<sup>2</sup>C モードでは、このビットを0にしてください。CTSE ビットと SSE ビットの両方を有効にしないでください (両方を有効にした場合、両ビットを0にしたときと同じ動作になります)。

**MSS ビット (マスタスレーブ選択)**

簡易 SPI モードにおいて、マスタ動作またはスレーブ動作を選択します。MSS ビットを1にすると、TXDn 端子と RXDn 端子の機能が逆になり、データは TXDn 端子を介して受信され、RXDn 端子を介して送信されます。

簡易 SPI モード以外では0にしてください。

**MFF フラグ (モードフォルトフラグ)**

モードフォルトエラーが発生したことを示します。

マルチマスタ構成では、MFF フラグを読み出すことでモードフォルトエラーの発生を判定できます。

[1 になる条件]

- 簡易 SPI モードでマスタモード (SSE ビット = 1 かつ MSS ビット = 0) の場合に、SSn 端子入力が Low になったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

**CKPOL ビット (クロック極性選択)**

SCKn 端子からのクロック信号出力の極性を選択します。詳細は、[図 29.69](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 0 としてください。

**CKPH ビット (クロック位相選択)**

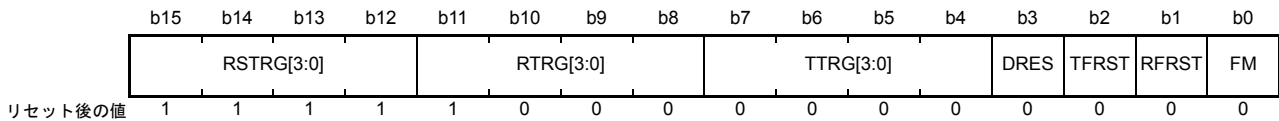
SCKn 端子からのクロック信号出力の位相を選択します。詳細は、[図 29.69](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 0 としてください。

参考資料

## 29.2.26 FIFO コントロールレジスタ (FCR)

アドレス SCI0.FCR 4007 0014h, SCI1.FCR 4007 0034h, SCI2.FCR 4007 0054h,  
SCI3.FCR 4007 0074h, SCI4.FCR 4007 0094h, SCI9.FCR 4007 0134h



ビット	シンボル	ビット名	機能	R/W
b0	FM	FIFOモード選択	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードでのみ有効です。 0：非FIFOモード 通信にはTDR/RDRまたはTDRHL/RDRHLレジスタが選択されます。 1：FIFOモード 通信にはFTDRHL/FRDRHLレジスタが選択されます。	R/W (注1)
b1	RFRST	レシーブFIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効です。 0：FRDRHLレジスタをリセットしない 1：FRDRHLレジスタをリセットする	R/W
b2	TFRST	トランスミットFIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効です。 0：FTDRHLレジスタをリセットしない 1：FTDRHLレジスタをリセットする	R/W
b3	DRES	受信データレディエラー選択	受信データレディ検出時の割り込み要求を選択します。 0：受信データフル割り込み (SCIn_RXI) 1：受信エラー割り込み (SCIn_ERI)	R/W
b7-b4	TTRG[3:0]	トランスミットFIFOデータトリガ数	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードでのみ有効です。 0000：トリガ数0 - 1111：トリガ数15	R/W
b11-b8	RTRG[3:0]	レシーブFIFOデータトリガ数	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードでのみ有効です。 0000：トリガ数0 - 1111：トリガ数15	R/W
b15-b12	RSTRG[3:0]	RTS出力アクティブトリガ数選択	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FCR.FM = 1、SPMR.CTSE = 0、およびSPMR.SSE = 0の場合にのみ有効です。 0000：トリガ数0 - 1111：トリガ数15	R/W

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

FCRレジスタは、FIFOモードの選択、FTDRHL/FRDRHLレジスタのリセット、送受信のFIFOデータトリガ数、およびRTS出力アクティブトリガ数を設定するためのレジスタです。

**FMビット (FIFOモード選択)**

FMビットを1にすると、通信にはFTDRHLとFRDRHLが選択されます。FMビットを0にすると、通信にはTDRとRDRが選択されます。

**RFRSTビット (レシーブFIFOデータレジスタリセット)**

RFRSTビットを1にすると、FRDRHLレジスタがリセットされ、受信データ数は0にリセットされます。

1を書いた後、1PCLK経過後、このビットは0になります。



### TFRST ビット (トランスミット FIFO データレジスタリセット)

TFRST ビットを 1 にすると、FTDRHL レジスタがリセットされ、送信データ数は 0 にリセットされます。1 を書いてから 1PCLK 経過後、このビットは 0 になります。

### TTRG[3:0] ビット (トランスミット FIFO データトリガ数)

トランスミット FIFO データレジスタ (FTDRHL) 内の送信データ数が指定された送信トリガ数以下の場合、TDFE フラグが 1 になり、ソフトウェアによる FTDRHL レジスタへのデータ書き込みが可能になります。SCR.TIE = 1 であれば、SCI<sub>In</sub>\_TXI 割り込み要求が発生しています。

### RTRG[3:0] ビット (レシーブ FIFO データトリガ数)

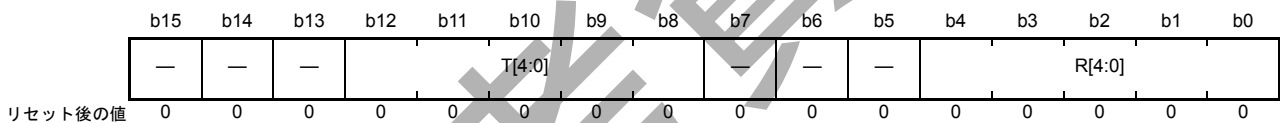
レシーブ FIFO データレジスタ (FRDRHL) 内の受信データ数が指定された受信トリガ数以上の場合、RDF フラグが 1 になり、ソフトウェアによる FRDRHL レジスタからのデータ読み出しが可能になります。SCR.RIE = 1 であれば、SCI<sub>In</sub>\_RXI 割り込み要求が発生しています。RTRG が 0 の場合は、レシーブ FIFO 内のデータ数が 0 であっても、RDF フラグはセットされません。また、SCI<sub>In</sub>\_RXI 割り込みは発生しません。

### RSTRG[3:0] ビット (RTS 出力アクティブトリガ数選択)

レシーブ FIFO データレジスタ (FRDRHL) に格納された受信データ数が指定された受信トリガ数以上の場合、RTS 信号は High 状態です。RTRG が 0 の場合は、レシーブ FIFO 内のデータ数が 0 であっても、RTS 信号は High 状態ではありません。

## 29.2.27 FIFO データ数レジスタ (FDR)

アドレス SCI0.FDR 4007 0016h, SCI1.FDR 4007 0036h, SCI2.FDR 4007 0056h,  
SCI3.FDR 4007 0076h, SCI4.FDR 4007 0096h, SCI9.FDR 4007 0136h



ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	レシーブFIFOデータ数	FRDRHLレジスタに格納された受信データ数を示します (調歩同期式モード (マルチプロセッサを含む) またはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効です)。	R
b7-b5	—	予約ビット	読むと0が読めます。	R
b12-b8	T[4:0]	トランスミットFIFOデータ数	FTDRHLレジスタに格納された未送信データ数を示します (調歩同期式モード (マルチプロセッサを含む) またはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効です)。	R
b15-b13	—	予約ビット	読むと0が読めます。	R

このレジスタは、FRDRHL/FTDRHL レジスタに格納されたデータ数を示します。

### R[4:0] ビット (レシーブ FIFO データ数)

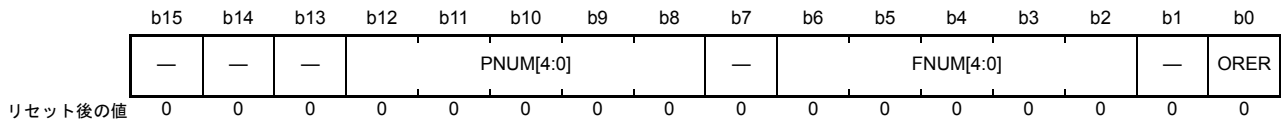
FRDRHL レジスタに格納された受信データ数を示します。値 00h は受信データがないことを意味します。また、値 10h は最大数の受信データが FRDRHL レジスタに格納されていることを意味します。

### T[4:0] ビット (トランスミット FIFO データ数)

FTDRHL レジスタに格納された未送信データ数を示します。値 00h は送信データがないことを意味します。また、値 10h は全送信データ (最大数) が FTDRHL レジスタに格納されていることを意味します。

## 29.2.28 ラインステータスレジスタ (LSR)

アドレス SCI0.LSR 4007 0018h, SCI1.LSR 4007 0038h, SCI2.LSR 4007 0058h,  
SCI3.LSR 4007 0078h, SCI4.LSR 4007 0098h, SCI9.LSR 4007 0138h



ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバーランエラーフラグ	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO選択時にのみ有効です。 0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R (注1)
b1	—	予約ビット	読むと0が読めます。	R
b6-b2	FNUM[4:0]	フレーミングエラー数	レシーブFIFOデータレジスタ（FRDRHL）に格納された受信データの中でフレーミングエラーを含むデータ数を示します。	R
b7	—	予約ビット	読むと0が読めます。	R
b12-b8	PNUM[4:0]	パリティエラー数	レシーブFIFOデータレジスタ（FRDRHL）に格納された受信データの中でパリティエラーを含むデータ数を示します。	R
b15-b13	—	予約ビット	読むと0が読めます。	R

注1. 1を読んだ場合は、SSR\_FIFO.ORERに0を書いてクリアしてください。

LSRレジスタは、受信エラーのステータスを示すためのレジスタです。

**ORER ビット（オーバーランエラーフラグ）**

SSR\_FIFO.ORER ビットの値を反映します。

**FNUM[4:0] ビット（フレーミングエラー数）**

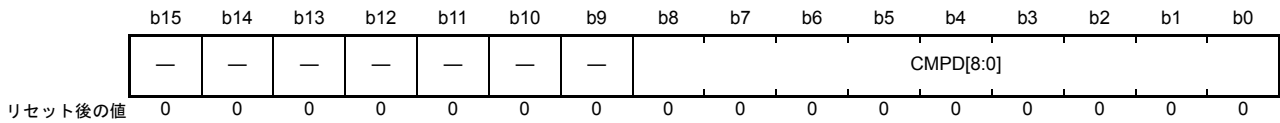
FRDRHL レジスタに格納されたフレーミングエラーを含むデータ数を示します。

**PNUM[4:0] ビット（パリティエラー数）**

FRDRHL レジスタに格納されたパリティエラーを含むデータ数を示します。

## 29.2.29 コンペアマッチデータレジスタ (CDR)

アドレス SCI0.CDR 4007 001Ah, SCI1.CDR 4007 003Ah, SCI2.CDR 4007 005Ah,  
SCI3.CDR 4007 007Ah, SCI4.CDR 4007 009Ah, SCI9.CDR 4007 013Ah



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	コンペアマッチデータ	アドレス一致ウェイクアップ機能用の比較データパターン	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CDR レジスタは、アドレス一致検出機能を設定するためのレジスタです。

**CMPD[8:0] ビット (コンペアマッチデータ)**

アドレス一致検出機能が有効 (DCCR.DCME = 1) のとき、受信データに対する比較データを設定します。

3種類のビット長 (7ビット長の CMPD[6:0]、8ビット長の CMPD[7:0]、および9ビット長の CMPD[8:0]) から1つ選択できます。

## 29.2.30 データコンペアマッチコントロールレジスタ (DCCR)

アドレス SCI0.DCCR 4007 0013h, SCI1.DCCR 4007 0033h, SCI2.DCCR 4007 0053h,  
SCI3.DCCR 4007 0073h, SCI4.DCCR 4007 0093h, SCI9.DCCR 4007 0133h

b7	b6	b5	b4	b3	b2	b1	b0
DCME	IDSEL	—	DFER	DPER	—	—	DCMF
リセット後の値	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCMF	データコンペアマッチフラグ	0: 不一致 1: 一致	R/(W) (注1)
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	DPER	データコンペアマッチパリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	DFER	データコンペアマッチフレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	IDSEL	IDフレーム選択	調歩同期式モード (マルチプロセッサを含む) でのみ有効です。 0: MPB ビット値とは無関係に、常にデータを比較する 1: MPB ビットが1 (IDフレーム) のデータのみを比較する	R/W
b7	DCME	データコンペアマッチ有効	調歩同期式モード (マルチプロセッサを含む) でのみ有効です。 0: アドレス一致検出機能は無効 1: アドレス一致検出機能は有効	R/W

注1. フラグが1になっていることを確認した (読み出した) 後、フラグをクリアするために0の書き込みのみが可能です。

DCCR レジスタは、アドレス一致検出機能を制御するためのレジスタです。

**DCMF フラグ (データコンペアマッチフラグ)**

SCI によって受信データと比較データ (CDR.CMPD) の一致が検出されたことを示します。

[1になる条件]

- DCCR.DCME = 1 の状態で、受信データが比較データ (CDR.CMPD) と一致したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

シリアルコントロールレジスタ (SCR) の RE ビットを0にしても、DCMF フラグは影響を受けず、以前の状態を保持します。

**DPER フラグ (データコンペアマッチパリティエラーフラグ)**

アドレス一致検出 (受信データの一致検出) 時に、パリティエラーが発生したことを示します。

[1になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

[0になる条件]

- 1を読んだ後、0を書いたとき
- SCR.RE ビットを0 (シリアル受信動作を禁止) にしても、DPER フラグは影響を受けず、以前の値を保持します。

### DFER フラグ (データコンペアマッチフレーミングエラーフラグ)

アドレス一致検出 (受信データの一致検出) 時に、フレーミングエラーが生じたことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームのストップビットが 0 のとき
- 2 ストップモードの場合、ストップビットの 1 ビット目のみが 1 であるかチェックされます (2 ビット目はチェックされません)。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、DFER フラグは影響を受けず、以前の値を保持します。

### IDSEL ビット (ID フレーム選択)

アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または MPB ビット = 1 (ID フレーム) の場合にのみ比較を行うかを選択します。

### DCME ビット (データコンペアマッチ有効)

アドレス一致検出機能 (データコンペアマッチ機能) を使用するか否かを選択します。

SCI によって受信データと比較データ (CDR.CMPD) の一致が検出された場合、DCME は自動的にクリアされ、その後、SCI の動作モードは通常の受信モードになります。[29.3.6 アドレス一致 \(受信データ一致\) 検出機能](#)を参照してください。

調歩同期式モード以外では、書き込み値は 0 にしてください。

## 29.2.31 シリアルポートレジスタ (SPTR)

アドレス SCI0.SPTR 4007 001Ch, SCI1.SPTR 4007 003Ch, SCI2.SPTR 4007 005Ch,  
SCI3.SPTR 4007 007Ch, SCI4.SPTR 4007 009Ch, SCI9.SPTR 4007 013Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPB2I O	SPB2D T	RXD MON
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RXDMON	シリアル入力データモニタ	RXD 端子の状態を示します。 0 : RXD 端子はLow 1 : RXD 端子はHigh	R
b1	SPB2DT	シリアルポートブ레이크データ選択	SCR.TE = 0 の場合、TXD 端子の出力レベルを選択します。 0 : TXD 端子はLow出力 1 : TXD 端子はHigh出力	R/W
b2	SPB2IO	シリアルポートブ레이크入出力	TXD 端子へSPB2DTの値を出力するか否かを選択します。 0 : SPB2DT ビットの値をTXD 端子に出力しない 1 : SPB2DT ビットの値をTXD 端子に出力する	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPTR レジスタは、シリアル受信端子 (RXD 端子) の状態を確認し、送信端子 (TXD 端子) の状態を設定するためのレジスタです。

このレジスタは調歩同期式モードでのみ使用可能です。

表 29.21 に示すように、TXD 端子の状態は、SCR.TE ビット、SPTR.SPB2IO ビット、および SPTR.SPB2DT ビットの組み合わせで決定されます。

表 29.21 TXD 端子の状態

SCR.TE ビット値	SPTR.SPB2IO ビット値	SPTR.SPB2DT ビット値	TXD 端子の状態
0	0	x	Hi-Z (初期値)
0	1	0	Low を出力
0	1	1	High を出力
1	x	x	シリアル送信データを出力

x : Don't care

注. SPTR レジスタは調歩同期式モードでのみ使用してください。他のモードでの使用は保証されません。

### 29.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを、[図 29.2](#) に示します。

1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High) に保たれています。

SCI は通信回線を監視しています。Low を検出すると、スタートビットとみなしてシリアル通信を開始します。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらもダブルバッファ構成 (FIFO モードも同様) になっているため、送受信中でもデータの読み出し/書き込みが可能であり、連続送受信動作が実現されます。

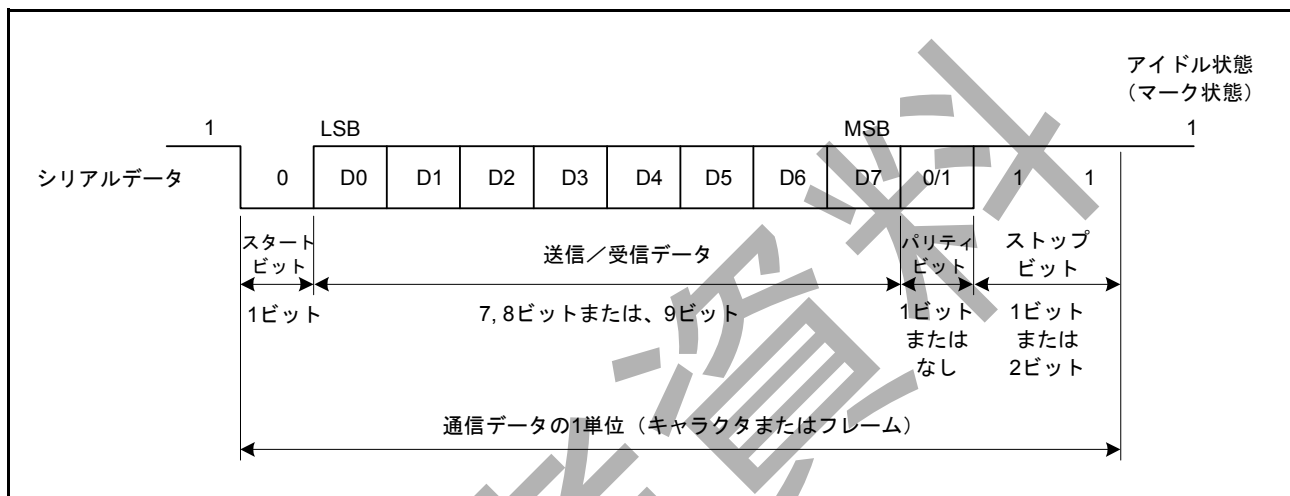


図 29.2 調歩同期式シリアル通信のデータフォーマット  
(8 ビットデータ/パリティあり/2 ストップビットの例)

### 29.3.1 シリアル転送フォーマット

調歩同期式モードで設定できるシリアル転送フォーマットを表 29.22 に示します。

フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの設定で選択できます。マルチプロセッサ機能の詳細については、29.4 マルチプロセッサ通信機能を参照してください。

表 29.22 シリアル転送フォーマット (調歩同期式モード) (1/2)

SCMR の設定 値	SMRの設定値				シリアル転送フォーマットとフレーム長																	
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13				
0	0	0	0	0	0	S	9ビットデータ								STOP							
0	0	0	0	1	1	S	9ビットデータ								STOP		STOP					
0	0	1	0	0	0	S	9ビットデータ								P	STOP						
0	0	1	0	1	1	S	9ビットデータ								P	STOP		STOP				
1	0	0	0	0	0	S	8ビットデータ							STOP								
1	0	0	0	1	1	S	8ビットデータ							STOP		STOP						
1	0	1	0	0	0	S	8ビットデータ							P	STOP							
1	0	1	0	1	1	S	8ビットデータ							P	STOP		STOP					
1	1	0	0	0	0	S	7ビットデータ						STOP									
1	1	0	0	1	1	S	7ビットデータ						STOP		STOP							
1	1	1	0	0	0	S	7ビットデータ						P	STOP								



表 29.22 シリアル転送フォーマット (調歩同期式モード) (2/2)

SCMR の設定 値	SMRの設定値				シリアル転送フォーマットとフレーム長																	
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13				
1	1	1	0	1		S	7ビットデータ							P	STOP	STOP						
0	0	—	1	0		S	9ビットデータ									MPB	STOP					
0	0	—	1	1		S	9ビットデータ									MPB	STOP	STOP				
1	0	—	1	0		S	8ビットデータ								MPB	STOP						
1	0	—	1	1		S	8ビットデータ								MPB	STOP	STOP					
1	1	—	1	0		S	7ビットデータ							MPB	STOP							
1	1	—	1	1		S	7ビットデータ							MPB	STOP	STOP						

S : スタートビット  
 STOP : ストップビット  
 P : パリティビット  
 MPB : マルチプロセッサビット

### 29.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。

また、図29.3に示すように、受信データは基本クロックの8パルス目(注1)の立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。したがって、調歩同期式モードでの受信マージンは次式で表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%] \cdots \text{式 (1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

(SEMR.ABCSE ビット = 0 かつ SEMR.ABCS ビット = 0 のとき N = 16、

SEMR.ABCS ビット = 1 のとき N = 8、SEMR.ABCSE ビット = 1 のとき N = 6)

D: クロックのデューティ (D = 0.5 ~ 1.0)

L: フレーム長 (L = 9 ~ 13)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値) = 0、D(クロックのデューティ) = 0.5 とすると、受信マージンは次式で算出されます。

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875\%$$

ただし、これはあくまでも計算上の値なので、システム設計の際には20～30%の余裕を持たせてください。

- 注1. この例は、SEMRレジスタのABCSビットとABCSEビットが0の場合を示しています。ABCSビットが1でABCSEビットが0の場合は、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4パルス目の立ち上がりエッジでサンプリングされます。ABCSEビットが1の場合は、ビットレートの6倍の周波数が基本クロックとなり、受信データは基本クロックの3パルス目の立ち上がりエッジでサンプリングされます。

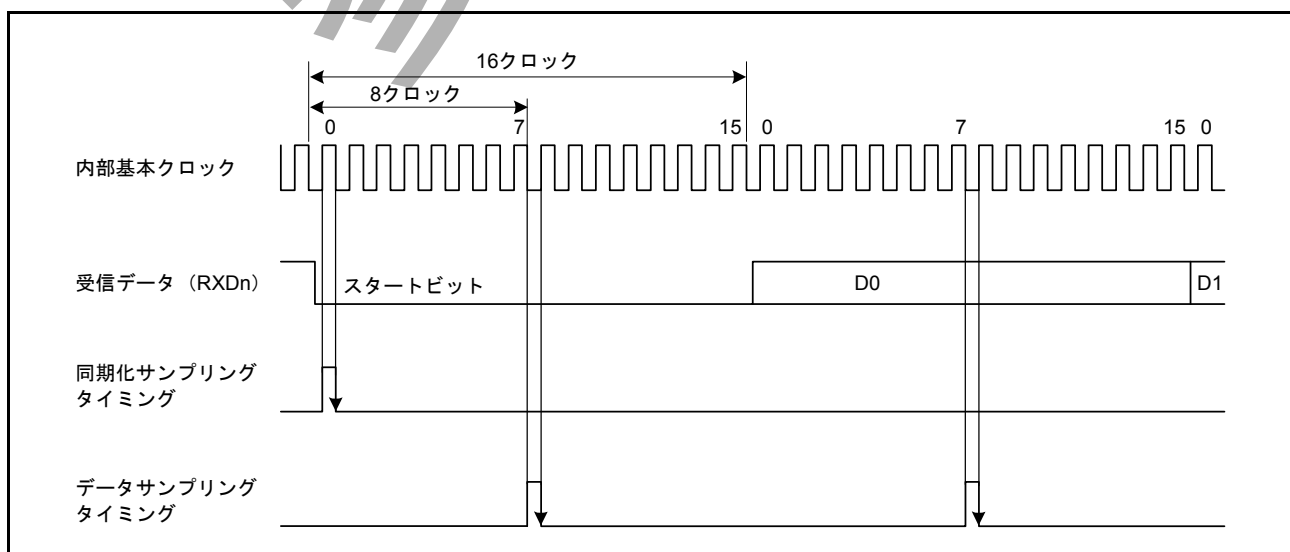


図 29.3 調歩同期式モードでの受信データのサンプリングタイミング

### 29.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ポーレートジェネレータが生成する内部クロック、またはSCKn端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、または8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。

内部クロックで動作させるときは、SCKn端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図29.4に示すように、送信データの間でクロックが立ち上がります。

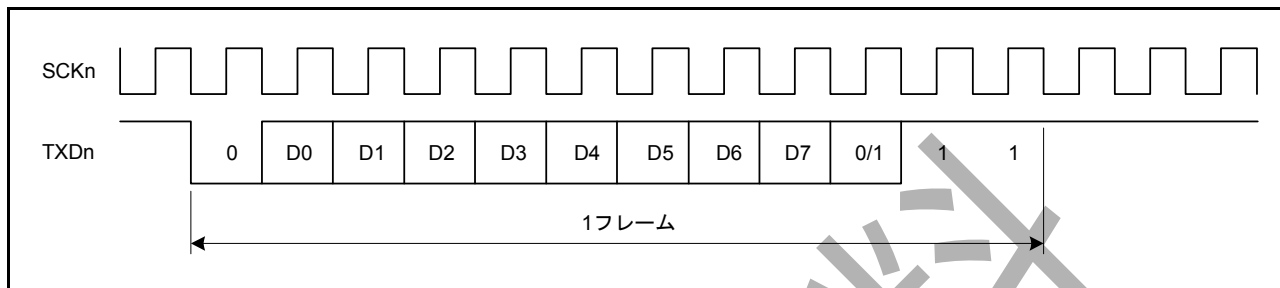


図 29.4 出力クロックと送信データの位相関係  
(調歩同期式モード : SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

### 29.3.4 倍速動作とビットレートの6倍の周波数

SEMR.ABCSビットを1にして、1ビット期間として基本クロックの8パルスを選択した場合、ABCSビットが0の場合に比べて、SCIは2倍のビットレートで動作します。SEMR.BGDMビットが1になっていると、基本クロックの周期は1/2倍になり、ビットレートはBGDMビットが0の場合の2倍になります。SCR.CKE[1]ビットを0にして、内蔵ポーレートジェネレータを選択した場合、ABCSビットとBGDMビットを1にすることにより、ABCSビットとBGDMビットが0の場合に比べて、SCIは4倍のビットレートで動作できるようになります。SEMR.ABCSEビットが1になっている場合、基本クロックのパルス数は1ビット期間中6になります。このとき、SEMR.ABCS=0、SEMR.BGDM=0、およびSEMR.ABCSE=0の場合に比べて、SCIは16/3倍のビットレートで動作します。

29.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージンの式(1)に示すとおり、SEMR.ABCSビットが1、またはSEMR.ABCSEビットが1の場合、受信マージンは減少します。そのため、ABCSビットが0またはABCSEビットが0の状態、目的とするビットレートが達成できるのであれば、ABCSビットとABCSEビットを0にすることが推奨されます。

### 29.3.5 CTS、RTS 機能

CTS 機能は、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力を使用して送信制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力が Low になると送信が開始されます。

送信中に CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力を High にしても、送信中のフレームは影響を受けず、送信を続けます。

RTS 機能は、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力を用いる機能であり、受信可能な状態になると Low が出力されます。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

下記条件をすべて満たす場合

#### (a) 非 FIFO 選択時

- SCR.RE ビットが 1
- 受信動作中でない
- 読み出し前の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて 0

#### (b) FIFO 選択時

- SCR.RE ビットが 1
- FRDRHL に書き込まれた受信データ数が指定された受信トリガ数以下
- SSR\_FIFO.ORER フラグ (FRDRH.ORER フラグ) が 0

[High になる条件]

- Low になる条件を満たさない場合

### 29.3.6 アドレス一致（受信データ一致）検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

DCCR.DCME ビットが 1 の場合、1 フレーム分のデータを受信すると、SCI は受信データと CDR.CMPD ビットの値を比較します。SCI によって受信データと比較データ (CDR.CMPD (注3)) の一致が検出された場合、SCI<sub>In</sub>\_RXI 割り込み要求を発生させることができます。

SMR.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対象になります。マルチプロセッサモード (SMR.MP = 1) では、DCCR.IDSEL ビットが 1 の場合、MPB ビット = 1 の受信データがアドレス一致の比較対象となります。MPB ビット = 0 の受信データは、常に不一致として処理されます。

DCCR.IDSEL ビットが 0 の場合、SCI は受信データの MPB ビットの値にかかわらず、アドレス一致または不一致検出を実行します。受信データと比較データ (CDR.CMPD (注3)) の一致が検出されるまで、受信データが読み飛ばされる (廃棄される) ので、SCI はパリティエラーもフレーミングエラーも検出することができません。SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグは 1 になります。

DCCR.IDSEL ビットが 1 であれば、SCR.MPIE ビットが自動的にクリアされます。また、DCCR.IDSEL ビットが 0 であれば、SCR.MPIE ビットの値が保持されます。SCR.RIE ビットが 1 になっていると、SCI は SCI<sub>In</sub>\_RXI 割り込み要求を発行します。一致が検出された受信データに対して、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。比較された受信データは RDR レジスタ (注1) に格納されません。また、SSR.RDRF フラグは 0 を保持します。(注2)

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、現在のレジスタ設定に従って、SCI は次のデータを連続して受信します。

DCCR.DFER フラグまたは DCCR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

アドレス一致検出機能の例を図 29.5 に示します。

- 注 1. FCR.FM = 1 の場合、これは FRDRHL レジスタになります。
- 注 2. FCR.FM = 1 の場合、これは SSR\_FIFO.RDF フラグになります。
- 注 3. 比較対象は、3 種類のビット長 (7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]) から 1 つ選択できます。

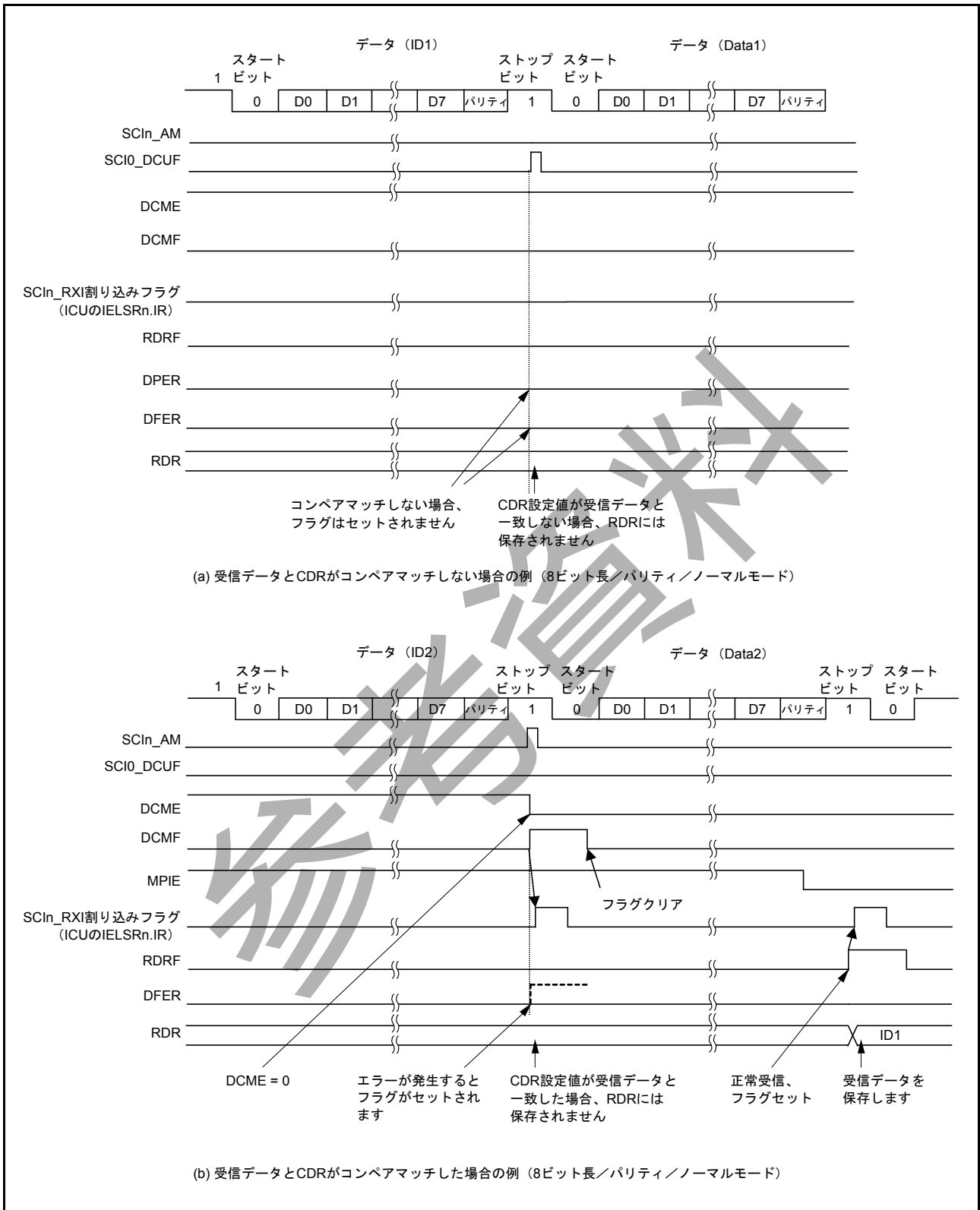


図 29.5 アドレス一致検出の例 (1) (通常モード)

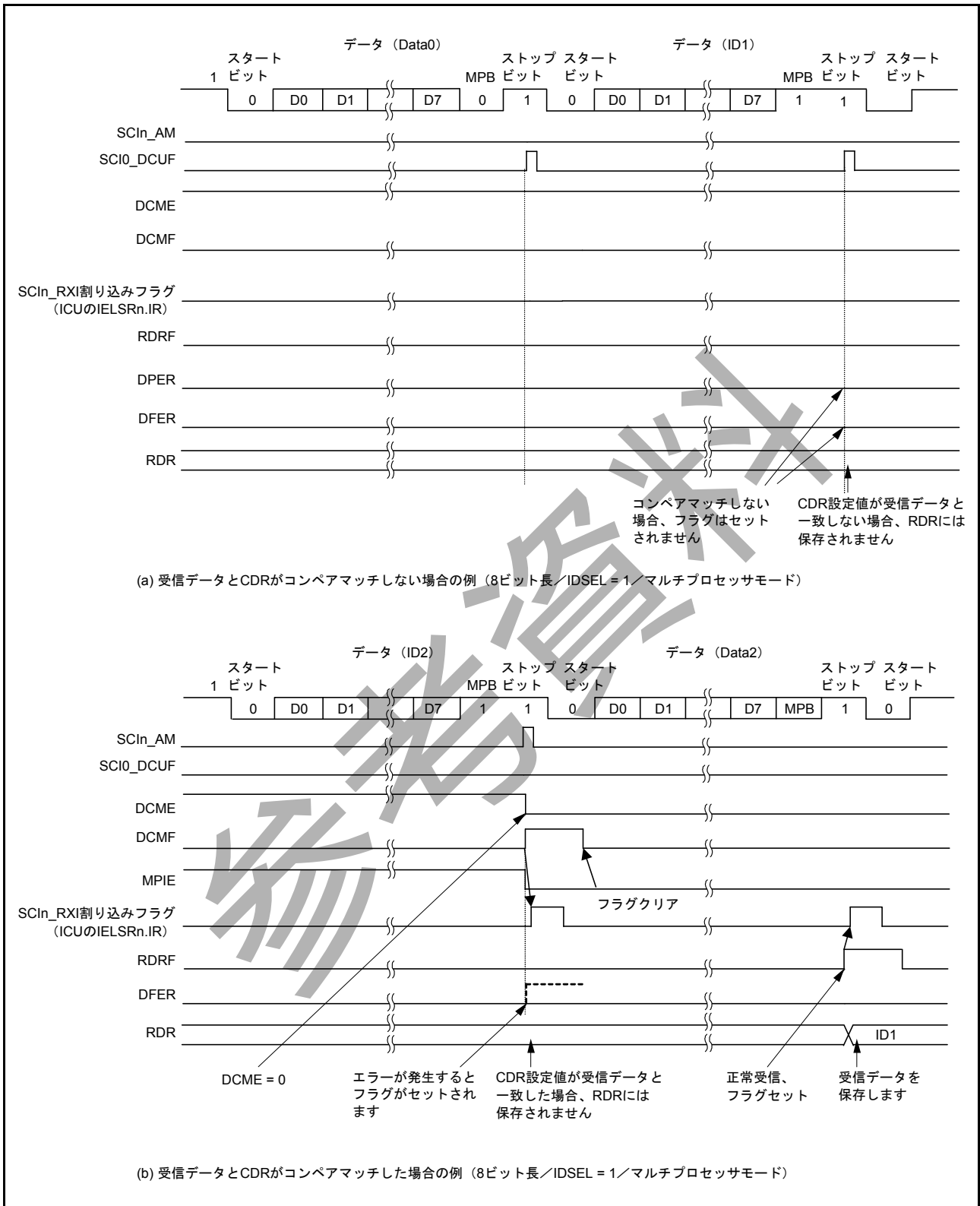


図 29.6 アドレス一致検出の例 (2) (マルチプロセッサモード)

### 29.3.7 SCI の初期化 (調歩同期式モード)

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に [図 29.7](#) のフローチャートに従って SCI の設定 (非 FIFO 選択時または FIFO 選択時) を続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の間も含めてクロックを供給してください。

- 注 . SCR.RE ビットを 0 にしても、SSR/SSR\_FIFO レジスタの ORER、FER、RDRF、RDF、PER の各フラグ、ならびに RDR レジスタと RDRHL レジスタは初期化されません。SCR.TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。
- 注 . SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCI<sub>n</sub>\_TXI 割り込み要求が発生します。



図 29.7 SCI の初期化フローチャート例 (調歩同期式モード/非 FIFO 選択時)



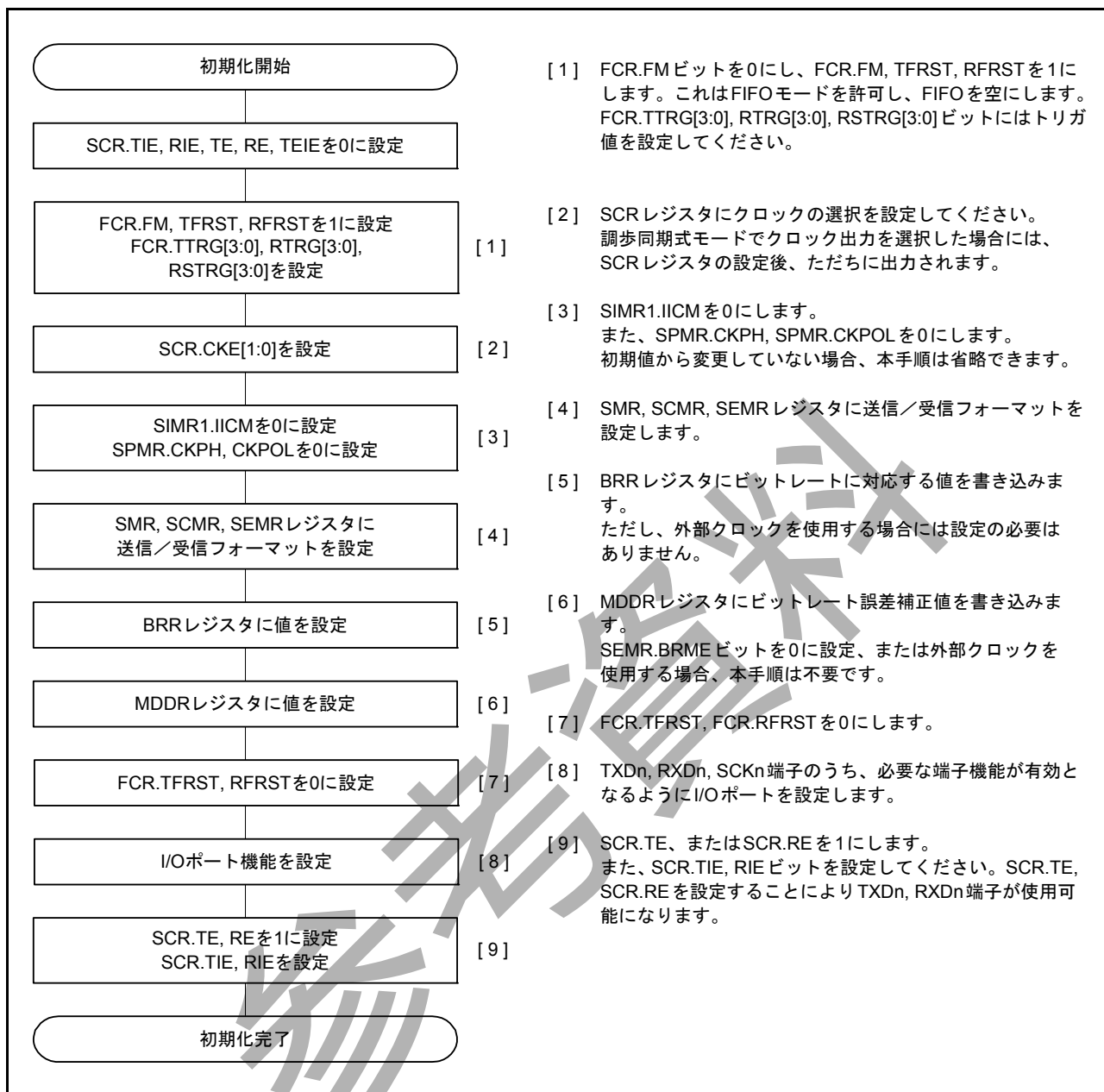


図 29.8 SCIの初期化フローチャート例（調歩同期式モード／FIFO 選択時）

### 29.3.8 シリアルデータの送信 (調歩同期式モード)

#### (1) 非 FIFO 選択時

図 29.9、図 29.10、および図 29.11 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

本節では、シリアルデータ送信時の SCI の動作について説明します。SCR.TE ビットが 1 の場合、1 フレーム (プリアンブル) 分の High レベルが TXD 端子に出力されます。

1. SCIn\_TXI 割り込み処理ルーチンで TDR レジスタ (注1) にデータが書き込まれると、SCI は TDR レジスタ (注1) から TSR レジスタへデータを転送します。  
なお、送信開始時の SCIn\_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTSn\_RTSn 端子入力が Low であると、TDR レジスタ (注1) から TSR レジスタへデータが転送され、送信が開始されます。このとき、SCR.TIE ビットが 1 になっていると、SCIn\_TXI 割り込み要求が発生します。この SCIn\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタ (注1) に次の送信データを書き込むことで連続送信が可能になります。SCIn\_TEI 割り込み要求を使用する場合は、SCIn\_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタ (注1) に書き込んだ後、SCR.TIE ビットを 0 (SCIn\_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCIn\_TEI 割り込み要求を許可) にします。
3. データは、以下の順に TXDn 端子から送り出されます。
  - スタートビット
  - 送信データ
  - パリティビットまたはマルチプロセッサビット (フォーマットによっては、ない場合もある)
  - ストップビット
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが 0 (CTS 機能は無効)、または CTSn\_RTSn 端子入力が Low で、次の送信データが TDR レジスタ (注1) から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. TDR レジスタが更新されていない場合は、SSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR.TEND フラグが 1 になり、SCIn\_TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRHL レジスタになります。

図 29.9 に、調歩同期式モードにおけるシリアル送信のフローチャート例を示します。

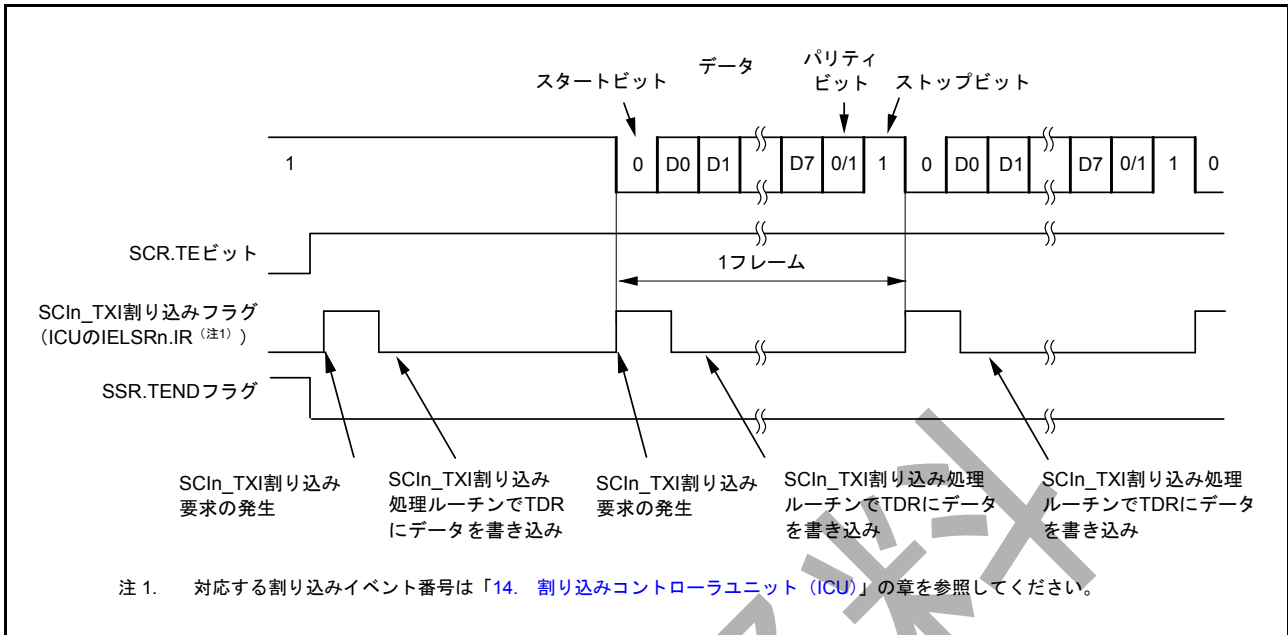


図 29.9 調歩同期式モードにおけるシリアル送信の動作例 (1)  
(8 ビットデータ/パリティあり/1 ストップビット/CTS 機能不使用/送信開始時)

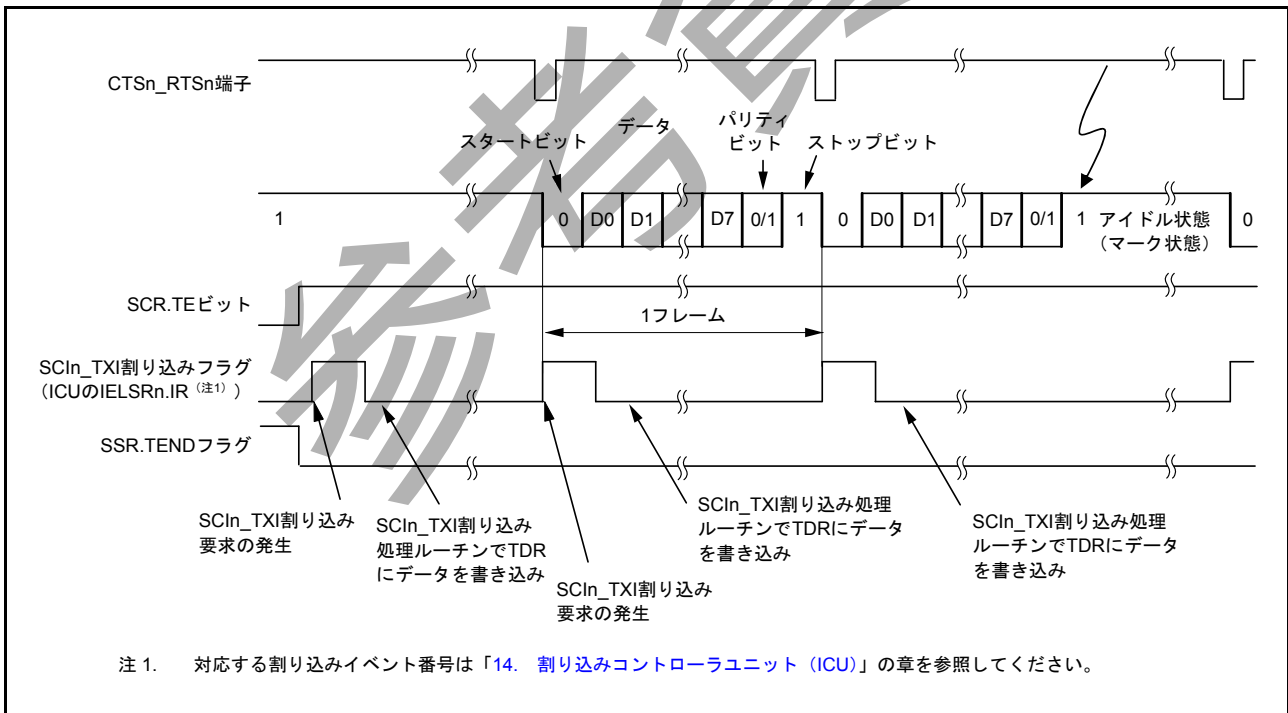


図 29.10 調歩同期式モードにおけるシリアル送信の動作例 (2)  
(8 ビットデータ/パリティあり/1 ストップビット/CTS 機能使用/送信開始時)

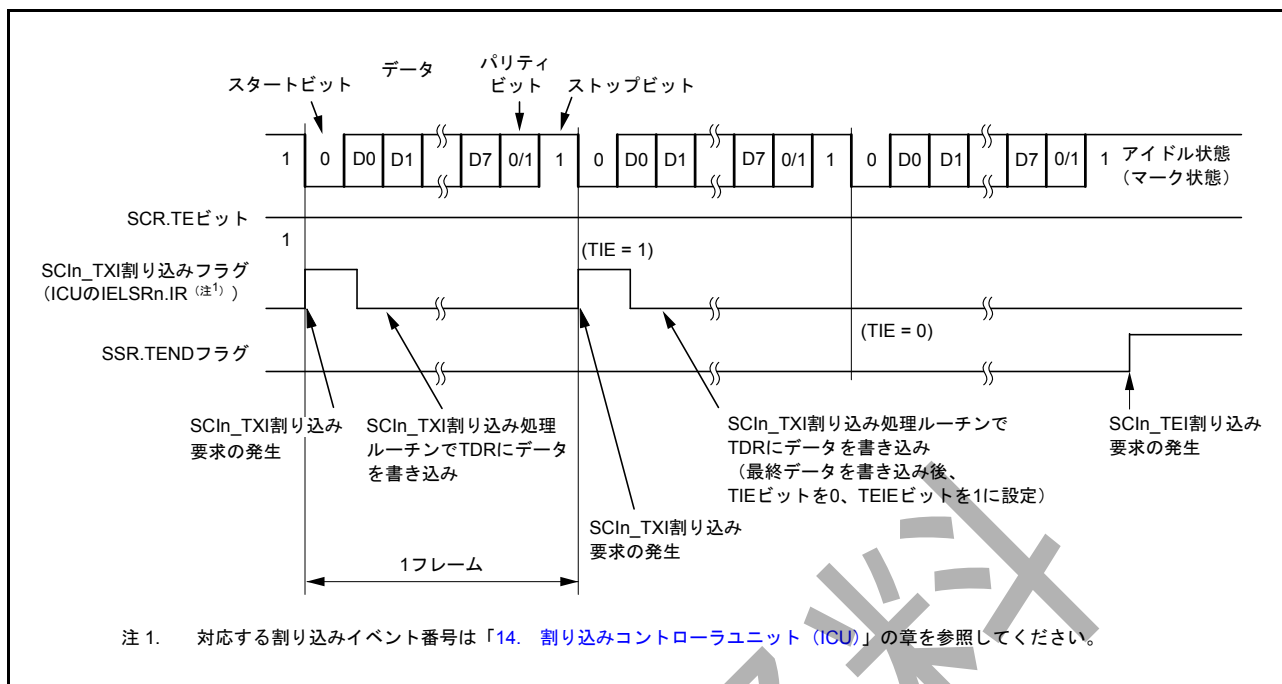


図 29.11 調歩同期式モードにおけるシリアル送信の動作例 (3)  
 (8 ビットデータ/パリティあり/1ストップビット/CTS 機能不使用/送信中~送信終了時)

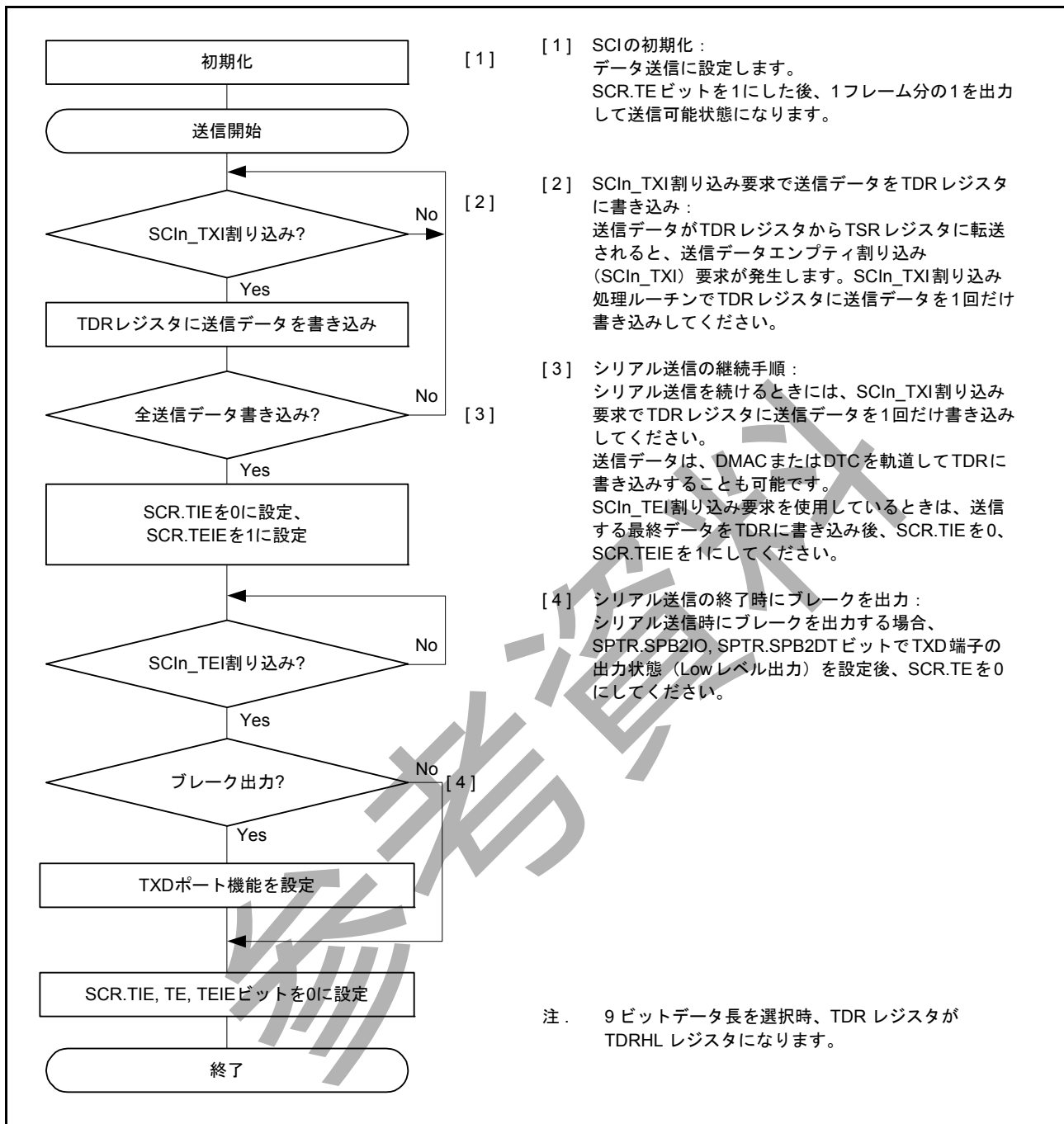


図 29.12 調歩同期式モードにおけるシリアル送信のフローチャート例 (非 FIFO 選択時)

## (2) FIFO 選択時

図 29.13 に、調歩同期式モードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH から FTDRL の順に書いてください。

データ長	レジスタ設定		FTDRH, FTDRLの送信データ															
			FTDRH								FTDRL							
	SCMR. CHR1	SMR. CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	—	—	—	—	—	—	—	—	—	—	7ビット送信データ					
8ビット	1	1	—	—	—	—	—	—	—	—	8ビット送信データ							
9ビット	0	Don't care	—	—	—	—	—	—	—	9ビット送信データ								

—: 無効ビット。書く場合、0としてください。

図 29.13 FTDRH と FTDRL に書き込まれるデータフォーマット (FIFO 選択時)

本節では、シリアルデータ送信時の SCI の動作について説明します。SCR.TE ビットが 1 の場合、1 フレーム (プリアンブル) 分の High レベルが TXD 端子に出力されます。

- SCI<sub>n</sub>\_TXI 割り込み処理ルーチンで FTDRL レジスタ (注1) にデータが書き込まれると、SCI は FTDRL レジスタ (注1) から TSR レジスタへデータを転送します。  
SCI は、FTDRL レジスタに格納されているバイト数の送信データを書くことができます。なお、送信開始時の SCI<sub>n</sub>\_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
- SPMR.CTSE ビットが 0 (CTS 機能は無効) であり、かつ CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力が Low であると、FTDRL レジスタ (注1) から TSR レジスタへデータが転送され、送信が開始されます。FTDRL に書き込まれた送信データ数が指定された送信トリガ数以下のとき、SSR\_FIFO.TDFE ビットが 1 になります。このとき、SCR.TIE ビットが 1 になっていると、SCI<sub>n</sub>\_TXI 割り込み要求が発生します。この SCI<sub>n</sub>\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタ (注1) に次の送信データを書き込むことで連続送信が可能になります。SCI<sub>n</sub>\_TEI 割り込み要求を使用する場合は、SCI<sub>n</sub>\_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタ (注1) (注2) に書き込んだ後、SCR.TIE ビットを 0 (SCI<sub>n</sub>\_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCI<sub>n</sub>\_TEI 割り込み要求を許可) にします。
- データは、以下の順に TXD<sub>n</sub> 端子から送り出されます。
  - スタートビット
  - 送信データ
  - パリティビットまたはマルチプロセッサビット (フォーマットによっては、ない場合もある)
  - ストップビット
- ストップビットを送り出すタイミングで、SCI は FTDRL レジスタ (注3) に未送信データが残っていないかチェックします。
- FTDRL レジスタ (注3) にデータがある場合、SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力が Low であると、次の送信データが FTDRL レジスタ (注1) から TSR レジスタへ転送され、ストップビット送過後、次のフレームのシリアル送信が開始されます。
- FTDRL レジスタ (注3) にデータがない場合、SSR\_FIFO レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR\_FIFO.TEND フラグが 1 になり、SCI<sub>n</sub>\_TEI 割り込み要求が発生します。

- 注 1. データ長 9 ビット選択時は、FTDRH および FTDRL レジスタになります。
- 注 2. データ長 9 ビット選択時は、FTDRH レジスタ→ FTDRL レジスタの順にデータを書き込んでください。
- 注 3. データ長 9 ビット選択時は、SCI によって FTDRL レジスタの更新のみがチェックされ、FTDRH レジスタの更新はチェックされません。

図 29.14 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

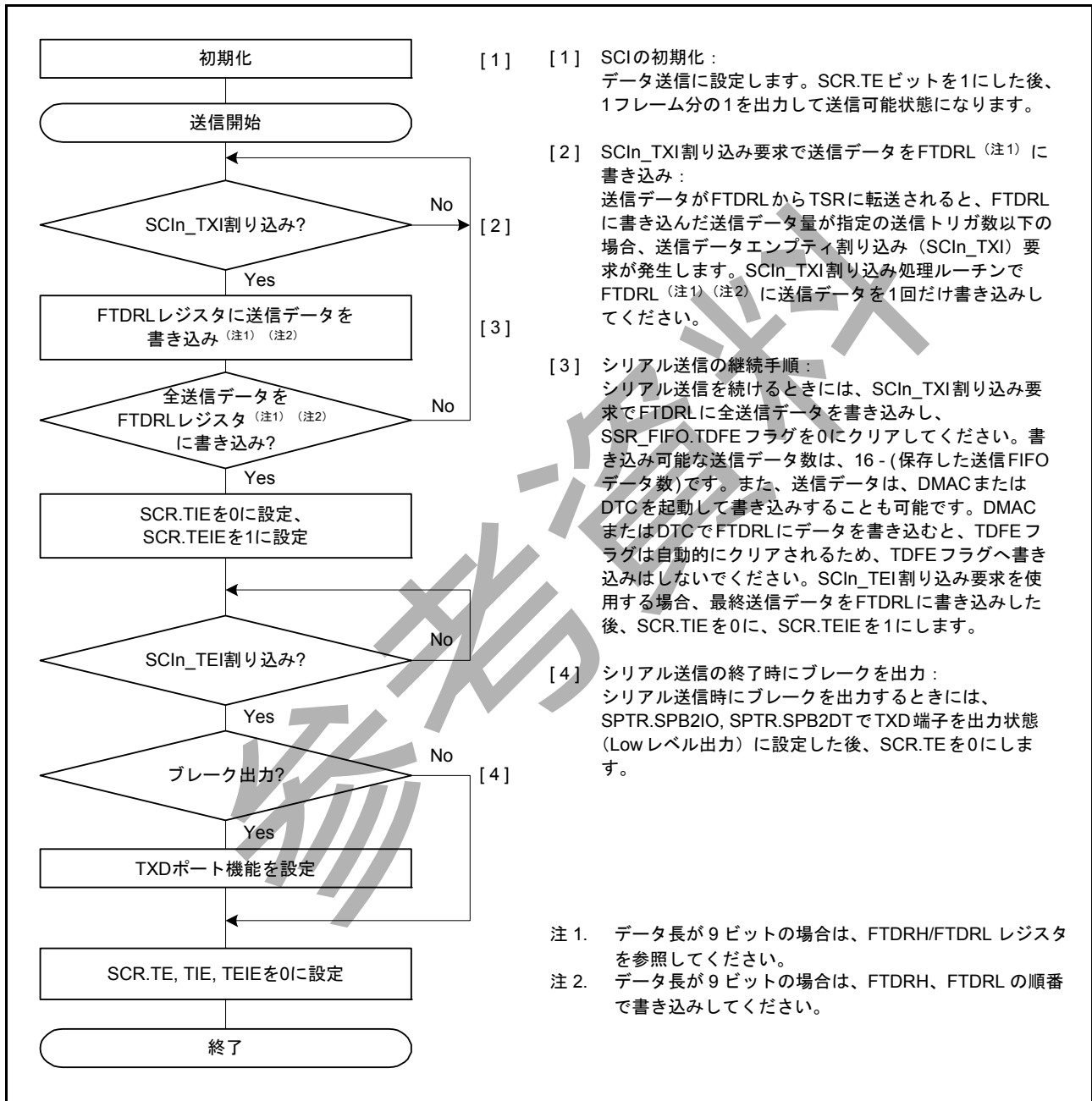


図 29.14 調歩同期式モードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

### 29.3.9 シリアルデータの受信（調歩同期式モード）

#### (1) 非 FIFO 選択時

図 29.15 と図 29.16 に、調歩同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。受信データは RDR レジスタ (注1) へ転送されません。
4. パリティエラーが検出された場合は、SSR.PER フラグが 1 になり、受信データが RDR レジスタ (注1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、SSR.FER フラグが 1 になり、受信データが RDR レジスタ (注1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データが RDR レジスタ (注1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_RXI 割り込み要求が発生します。この SCIn\_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。

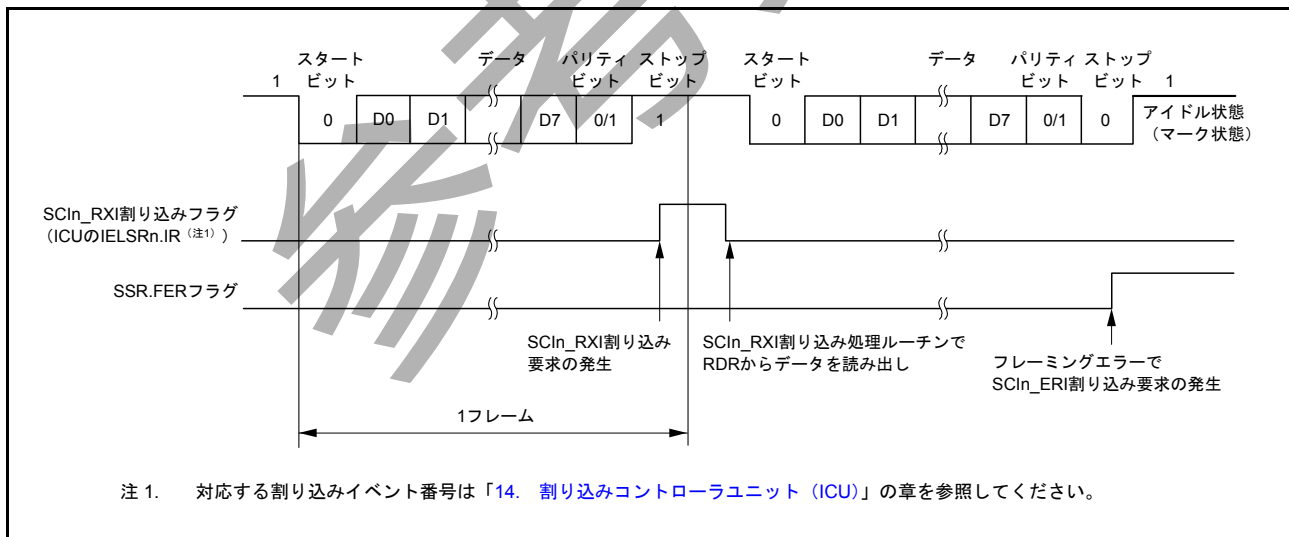


図 29.15 調歩同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合) (8 ビットデータ / パリティあり / 1 ストップビットの場合)



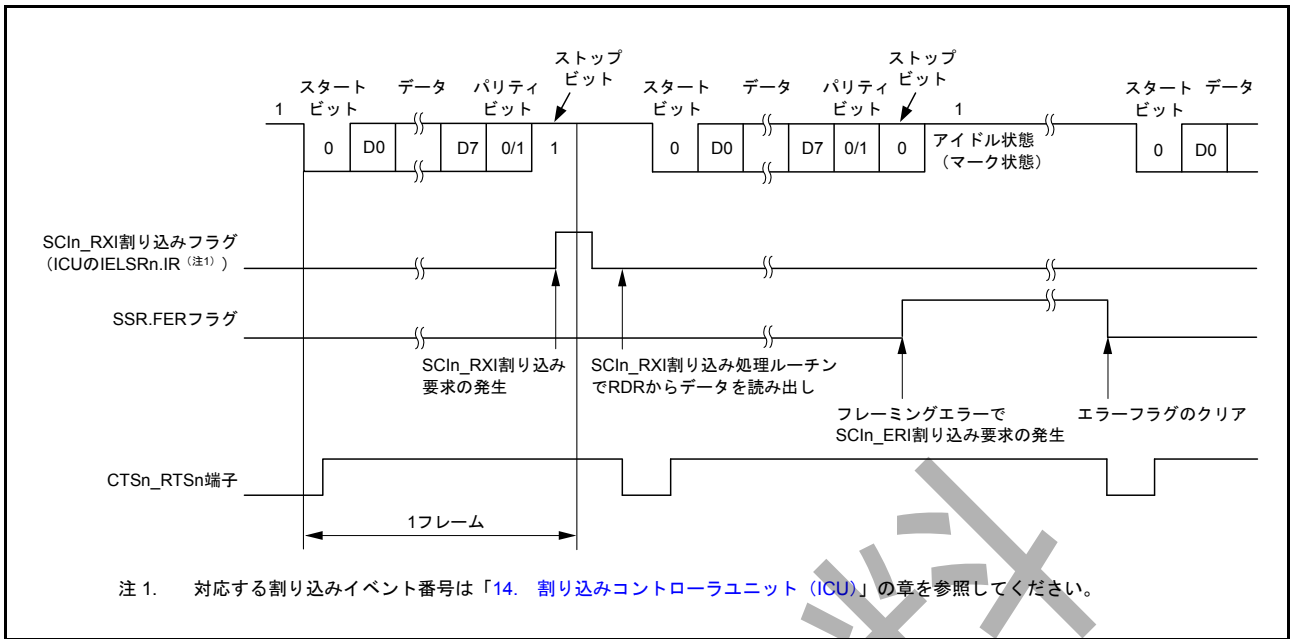


図 29.16 調歩同期式モードにおけるシリアル受信の動作例 (2)  
(RTS 機能を使用する場合) (8 ビットデータ/パリティあり/1 ストップビットの場合)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 29.23 に示します。

受信エラーが検出されると、SCIn\_ERI 割り込み要求は発生しますが、SCIn\_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では、受信動作を再開できません。したがって、ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR (または RDRHL) レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR (または RDRHL) レジスタに読み出し前の受信データが残っている可能性があるため、RDR (または RDRHL) レジスタを読み出す必要があります。

図 29.17 と図 29.18 に、シリアル受信のフローチャート例を示します。

表 29.23 SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDRへ転送	フレーミングエラー
0	0	1	RDRへ転送	パリティエラー
1	1	0	消失	オーバーランエラー+フレーミングエラー
1	0	1	消失	オーバーランエラー+パリティエラー
0	1	1	RDRへ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバーランエラー+フレーミングエラー+パリティエラー

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。

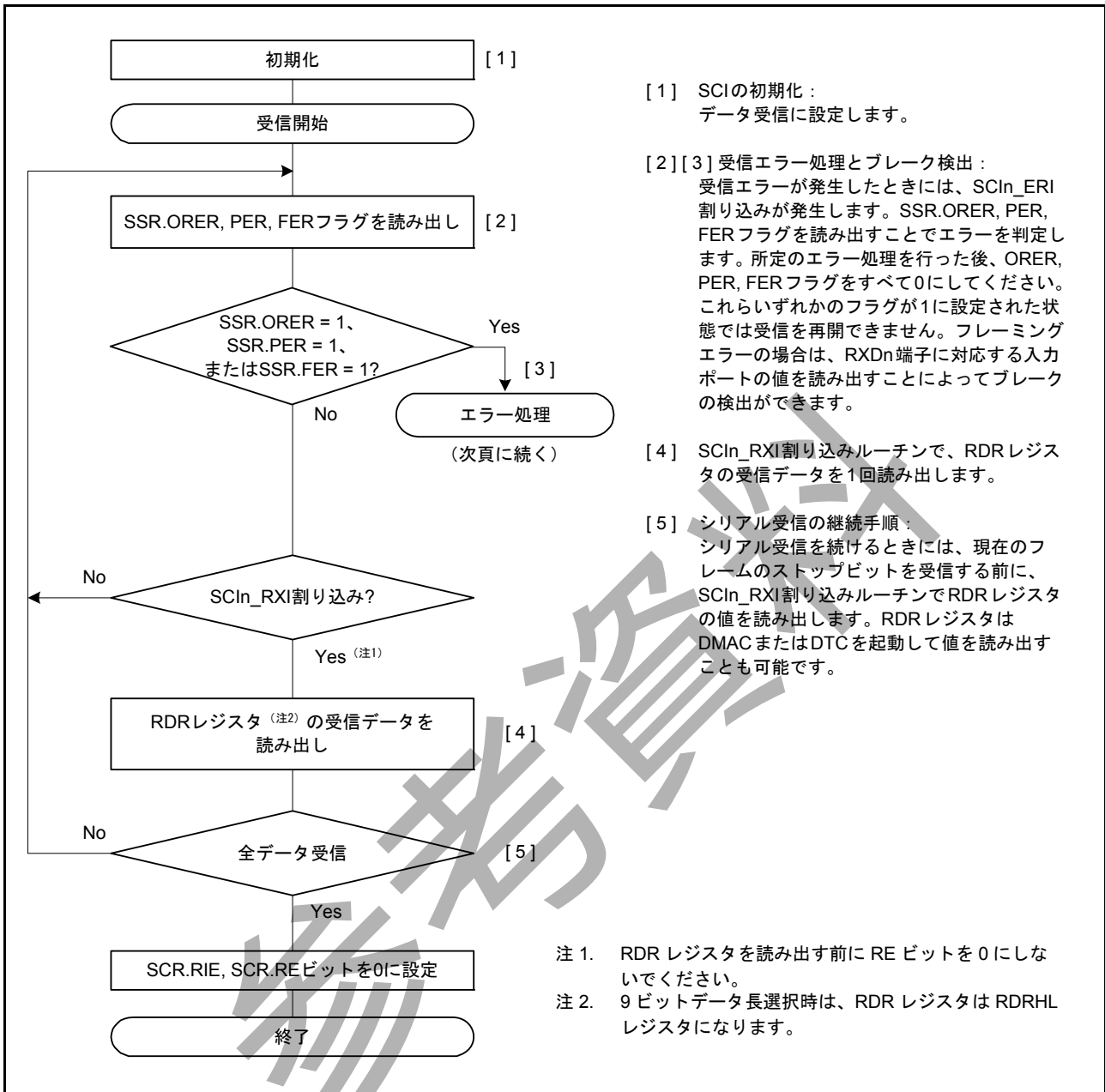


図 29.17 調歩同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時) (1)

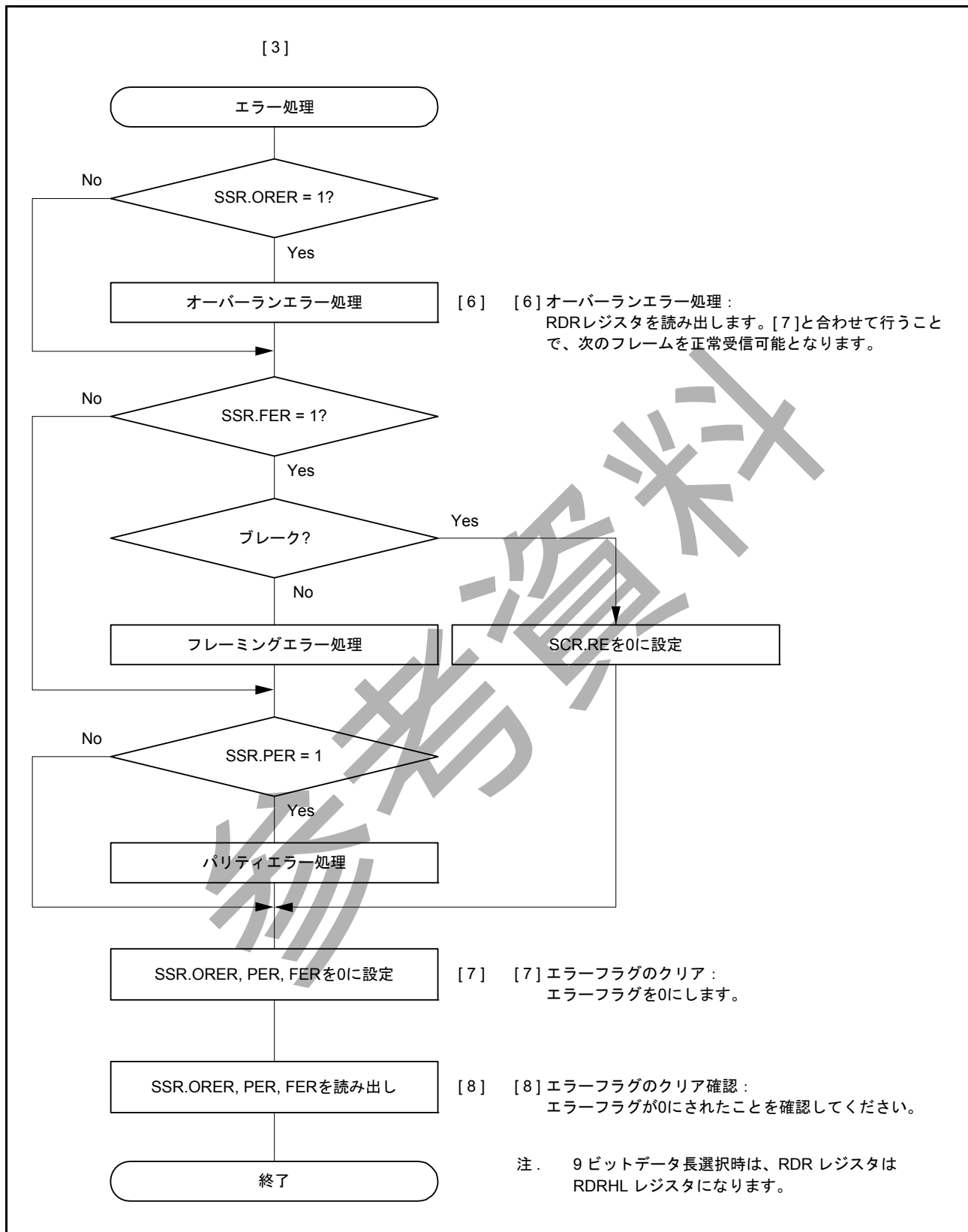


図 29.18 調歩同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時) (2)

## (2) FIFO 選択時

図 29.19 に、調歩同期式モードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、FRDRH レジスタの MPB フラグ (FRDRH[1] ビット) に 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH から FRDRL の順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、PER、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの BRK、RDF、ORER、および DR フラグは、常に SSR\_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH, FRDRLの受信データ														
			FRDRHL														
	SCMR. CHR1	SMR. CHR	FRDRH							FRDRL							
b7			b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	—	RDF	ORER	FER	PER	DR	0	0	0	7ビット受信データ					
8ビット	1	1	—	RDF	ORER	FER	PER	DR	0	0	8ビット受信データ						
9ビット	0	Don't care	—	RDF	ORER	FER	PER	DR	0	9ビット受信データ							

注. MPB フラグからは常に 0 が読み出されます (FRDRH[1])。  
 データ長が 7 ビットの時、FRDRH[0], FRDRL[7] からは常に 0 が読み出されます。  
 データ長が 8 ビットの時、FRDRH[0] から常に 0 が読み出されます。  
 FRDRH[7] ビットの読み出し値は不定です。

図 29.19 FRDRH と FRDRL に格納されるデータフォーマット (FIFO 選択時)

シリアルデータの受信時、SCI は以下のように動作します。

- SCR.RE ビットが 1 になると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。
- SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
- FRDRL レジスタがいっぱいであると、オーバーランエラーが発生します。オーバーランエラーが発生した場合、SSR\_FIFO.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ (注1) へ転送されません。
- パリティエラーが検出された場合は、PER フラグと受信データが FRDRL レジスタ (注1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。
- フレーミングエラーが検出された場合は、FER フラグと受信データが FRDRL レジスタ (注1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。
- フレーミングエラーが検出された後、SCI によって連続受信データが 1 フレーム分であることが検出された場合、受信動作が停止します。
- レシーブ FIFO データレジスタ (FRDRL) に格納されたデータ数が指定された受信トリガ数より少なく、かつ、調歩同期式モードにおいて最後のストップビットから 15ETU 経過しても次のデータが受信されていない場合は、SSR\_FIFO.DR フラグが 1 になります。SCR.RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCIn\_RXI 割り込み要求を発生させます。FCR.DRES ビットが 1 の場合、SCI は SCIn\_ERI 割り込み要求を発生させます。
- 正常に受信したときは、受信データが FRDRL レジスタ (注1) へ転送されます。FRDRHL に書き込まれた受信データ数が指定された受信トリガ数以上であると、RDF フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_RXI 割り込み要求が発生します。この SCIn\_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ (注2) へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタ (注3) へ転送された受信データ数が RTS トリガ数未満であると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。

- 注 1. データ長 9 ビット選択時は、FRDRH レジスタと FRDRL レジスタになります。
- 注 2. データ長 9 ビット選択時は、FRDRH レジスタ→FRDRL レジスタの順にデータを読み出してください。
- 注 3. データ長 9 ビット選択時は、SCI によって FRDRL レジスタの更新のみがチェックされ、FRDRH レジスタの更新はチェックされません。

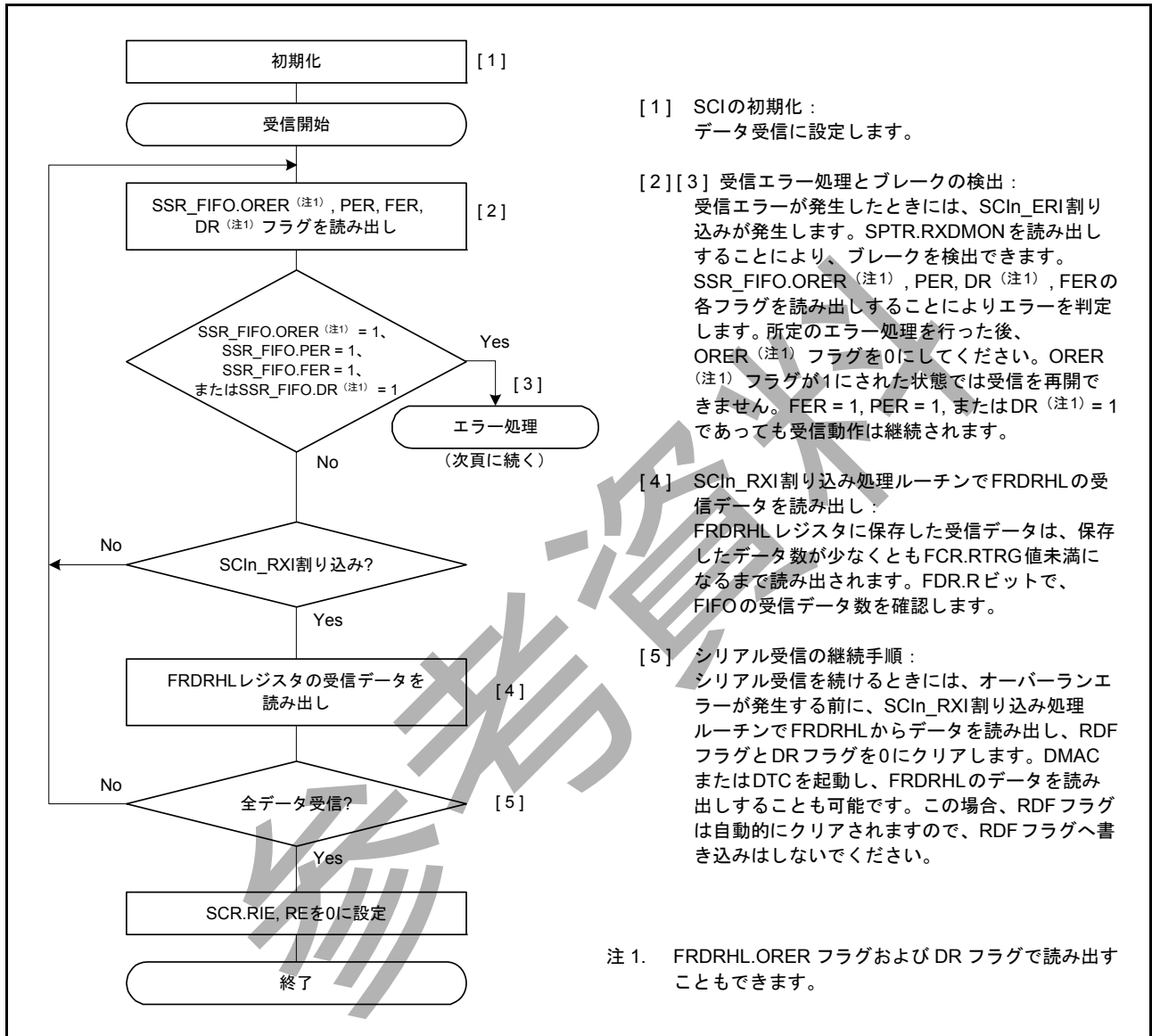


図 29.20 調歩同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時) (1)

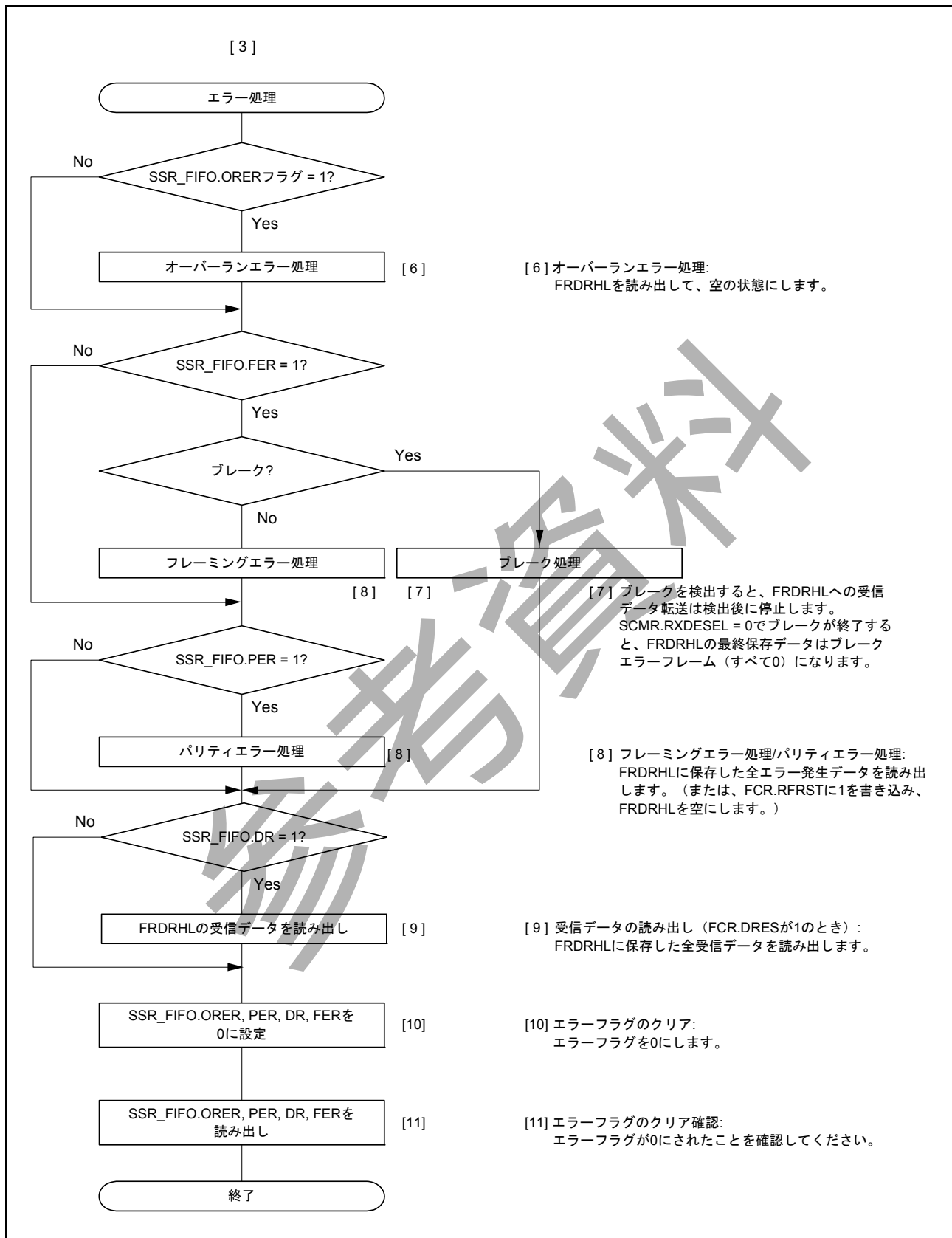


図 29.21 調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択時）（2）

## 29.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有したデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、送信サイクルは ID 送信サイクル
- マルチプロセッサビットが 0 のとき、送信サイクルはデータ送信サイクル

図 29.22 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、再びマルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

### (1) 非 FIFO 選択時

SCI はこの機能をサポートするため、SCR.MPIE ビットを設けています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタ (データ長 9 ビット選択時は RDRHL レジスタ) への受信データの転送
- 受信エラーの検出
- SSR.RDRF、ORER、FER の各ステータスフラグのセット

マルチプロセッサビットが 1 のキャラクタを受信すると、SSR.MPBT ビットが 1 になるとともに、SCR.MPIE ビットが自動的にクリアされ、通常の実動作に戻ります。このとき、SCR.RIE ビットがセットされていると、SCI<sub>In</sub>\_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モードで使用するクロックと同一です。

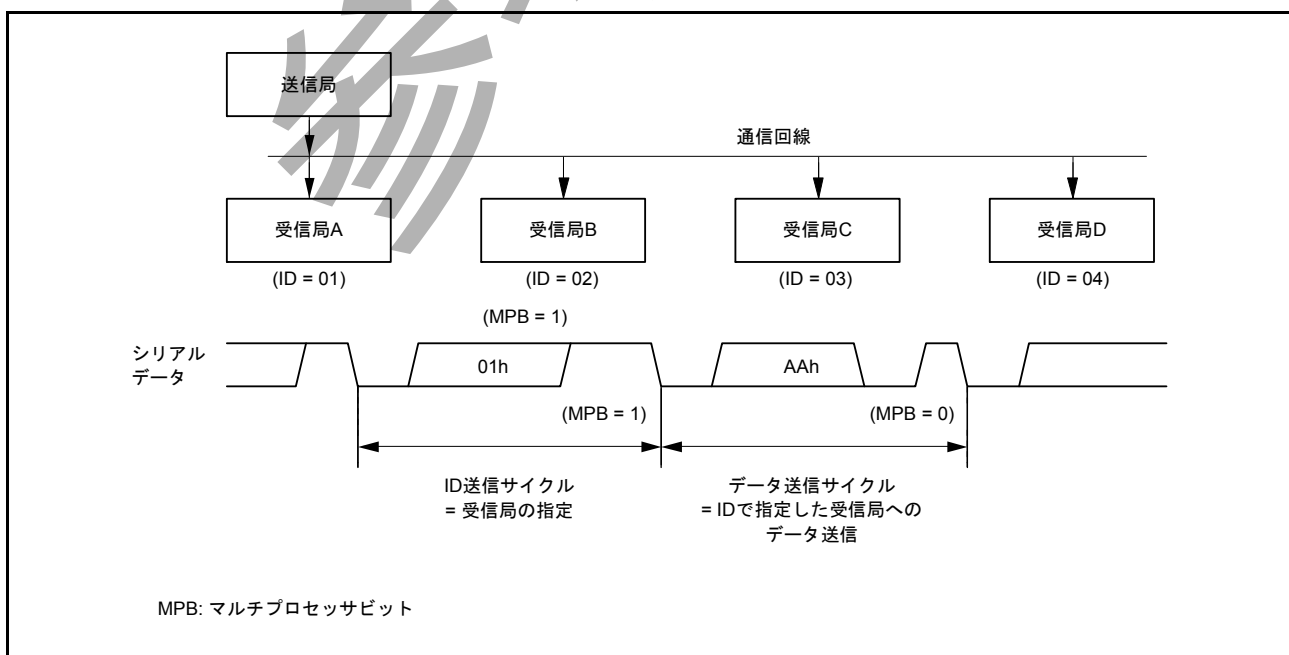


図 29.22 マルチプロセッサフォーマットを使用した通信例 (データ AAh を受信局 A に送信する場合)

## (2) FIFO 選択時

データ送信では、ソフトウェアにおいて、FTDRHL.TDAT 内の送信データに対応する FTDRHL.MPBT ビットにデータを書き込む必要があります。データ受信では、受信データの一部であるマルチプロセッサビットが FTDRHL.MPB ビットに書き込まれ、受信データは FRDRL レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから FRDRHL レジスタへの受信データの転送
- 受信エラーの検出
- ブレーク
- SSR\_FIFO.RDF、ORER、FER の各ステータスフラグのセット

マルチプロセッサビットが 1 の 8 ビットキャラクタを受信すると、FTDRHL.MPB ビットが 1 になるとともに、受信データが FRDRHL.RDAT に書き込まれます。SCR.MPIE ビットが自動的にクリアされ、通常の実動作に戻ります。このとき、SCR.RIE ビットがセットされていると、SCI<sub>In</sub>\_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、通常の調歩同期式モードの FIFO 選択時と変わりません。

### 29.4.1 マルチプロセッサシリアルデータ送信

#### (1) 非 FIFO 選択時

図 29.23 に、マルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、SSR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードの動作と同じです。



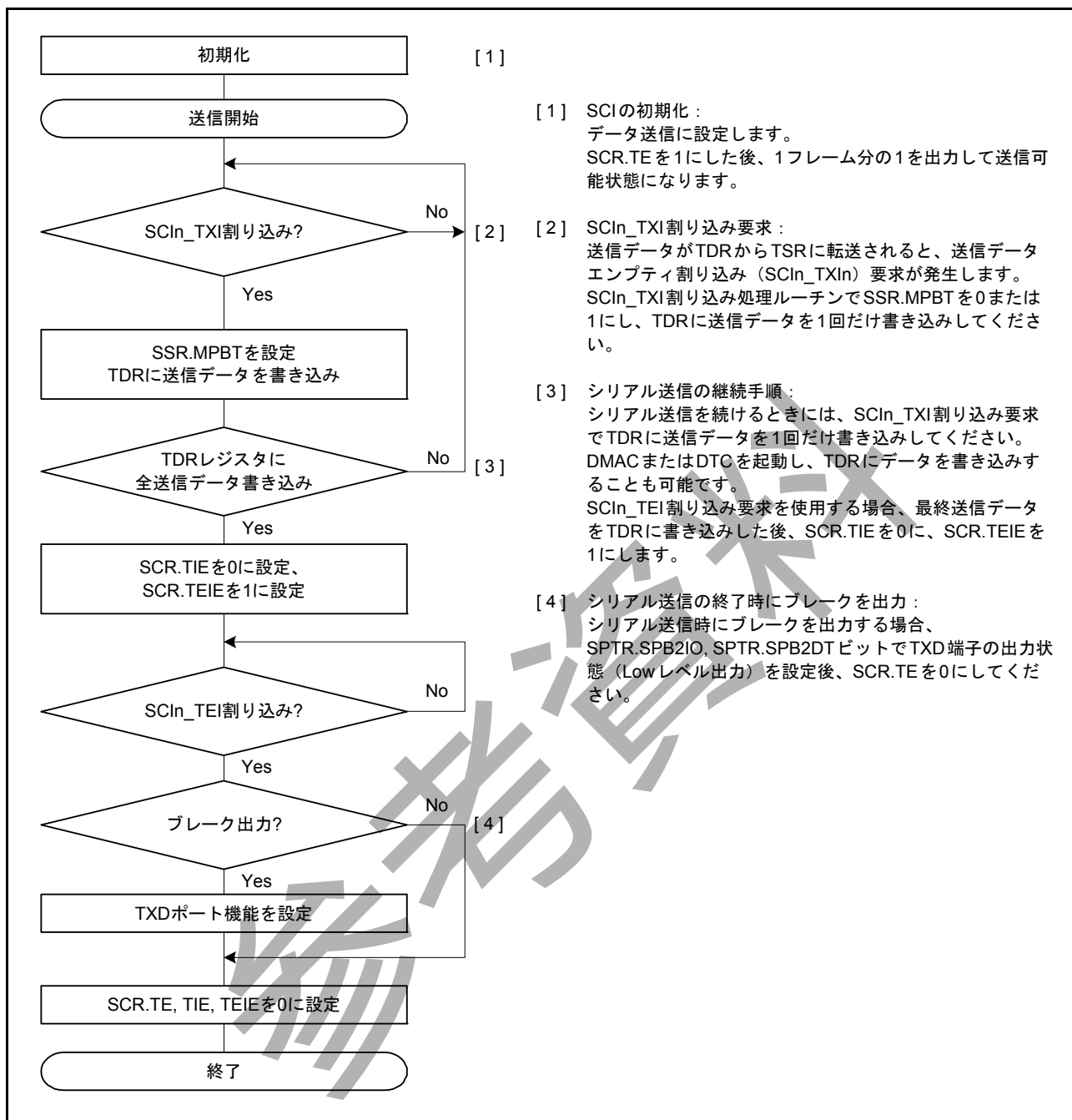


図 29.23 マルチプロセッサシリアル送信のフローチャート例

## (2) FIFO 選択時

図 29.24 に、マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

FTDRH レジスタの MPBT ビットが 1 になります。データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH から FTDRL の順に書いてください。

データ長	レジスタ設定		FTDRH, FTDRLの送信データ																
	SCMR. CHR1	SMR. CHR	FTDRHL																
			FTDRH								FTDRL								
			b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0	
7ビット	1	0	—	—	—	—	—	—	MPBT	—	—	—	—	—	—	—	—	—	7ビット送信データ
8ビット	1	1	—	—	—	—	—	—	MPBT	—	—	—	—	—	—	—	—	—	8ビット送信データ
9ビット	0	Don't care	—	—	—	—	—	—	MPBT	—	—	—	—	—	—	—	—	—	9ビット送信データ

—: 無効ビット。書く場合、0としてください。

図 29.24 マルチプロセッサモードにおいて FTDRH と FTDRL に書き込まれるデータフォーマット (FIFO 選択時)

図 29.25 に、FIFO 選択時のマルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、FTDRH.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。

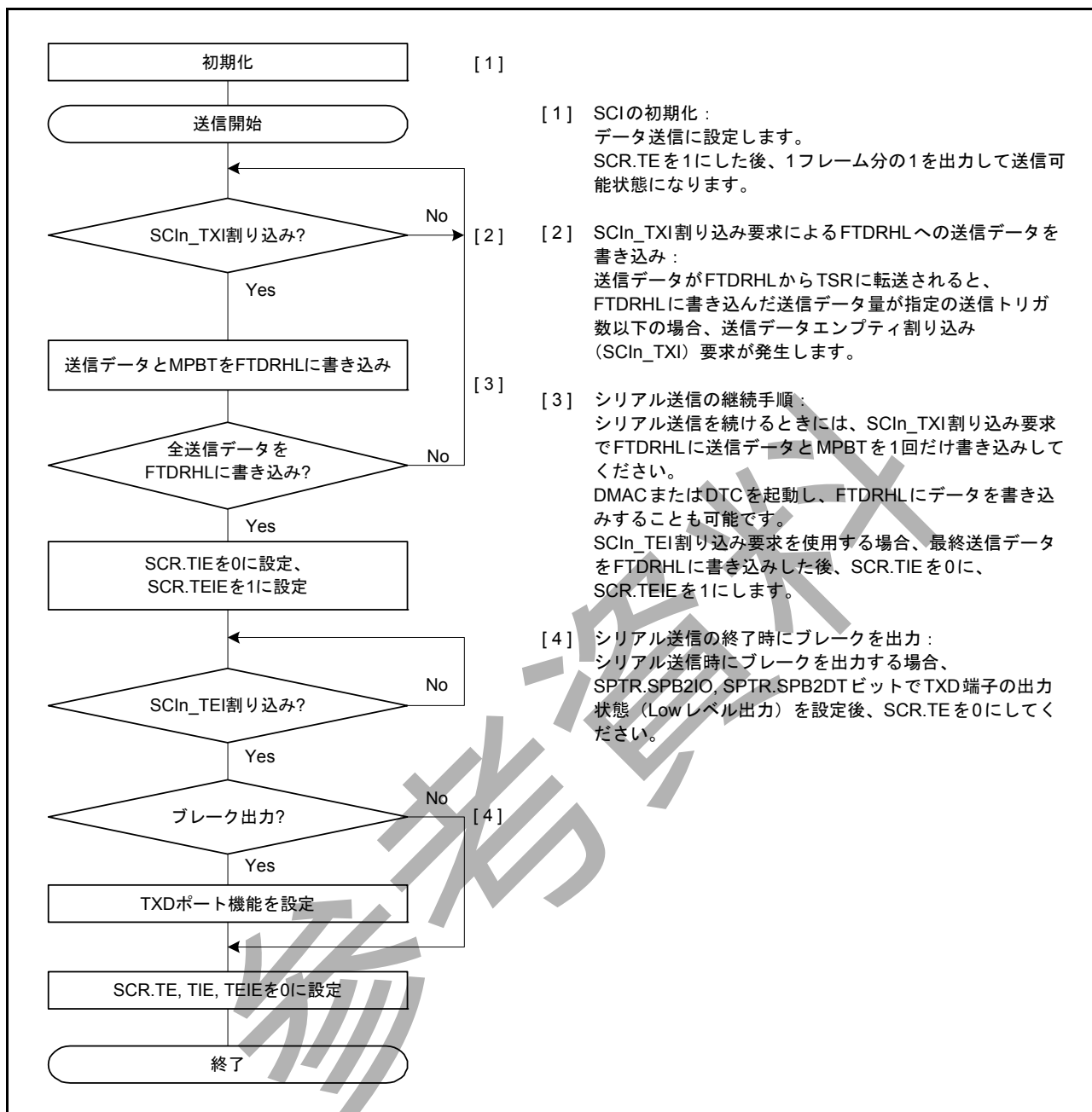


図 29.25 マルチプロセッサモードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

### 29.4.2 マルチプロセッサシリアルデータ受信

#### (1) 非 FIFO 選択時

図 29.26 と図 29.27 に、マルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データが読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）へ転送され、SCI<sub>In</sub>\_RXI 割り込み要求が発生します。その他の動作は、調歩同期式モードの動作と同じです。

図 29.26 に、データ受信時の動作例を示します。

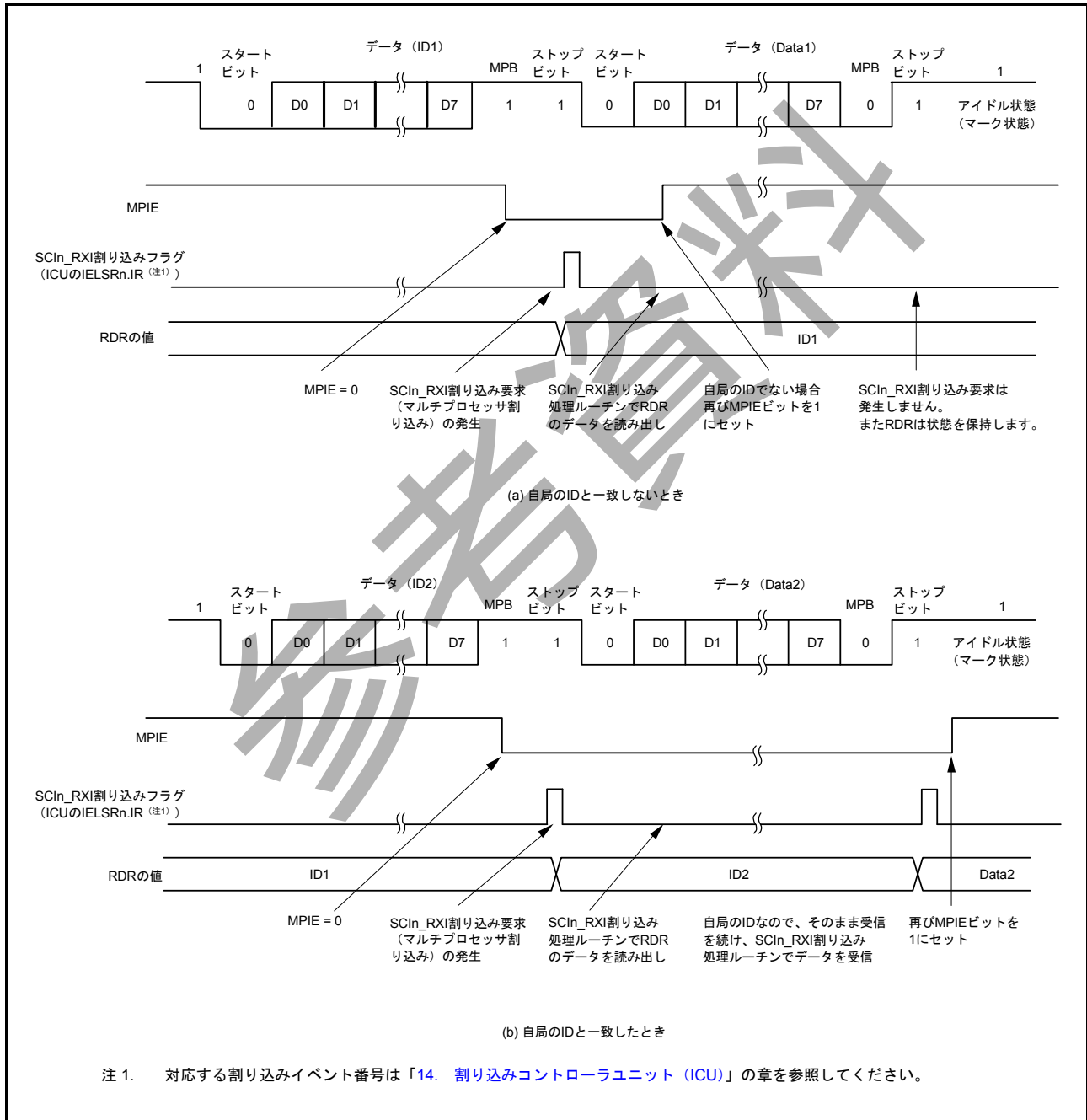


図 29.26 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの場合)

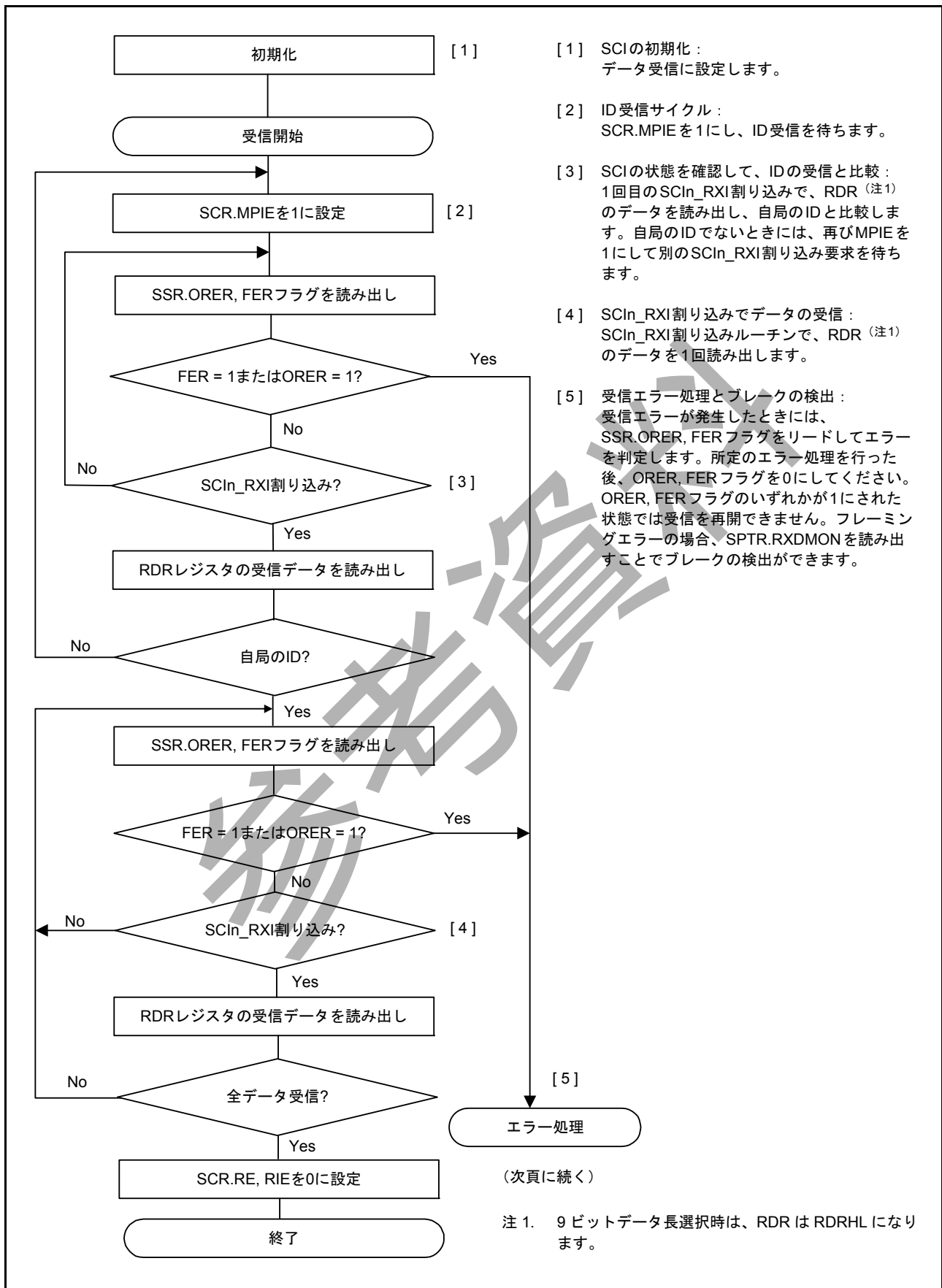


図 29.27 マルチプロセッサシリアル受信のフローチャート例 (1)

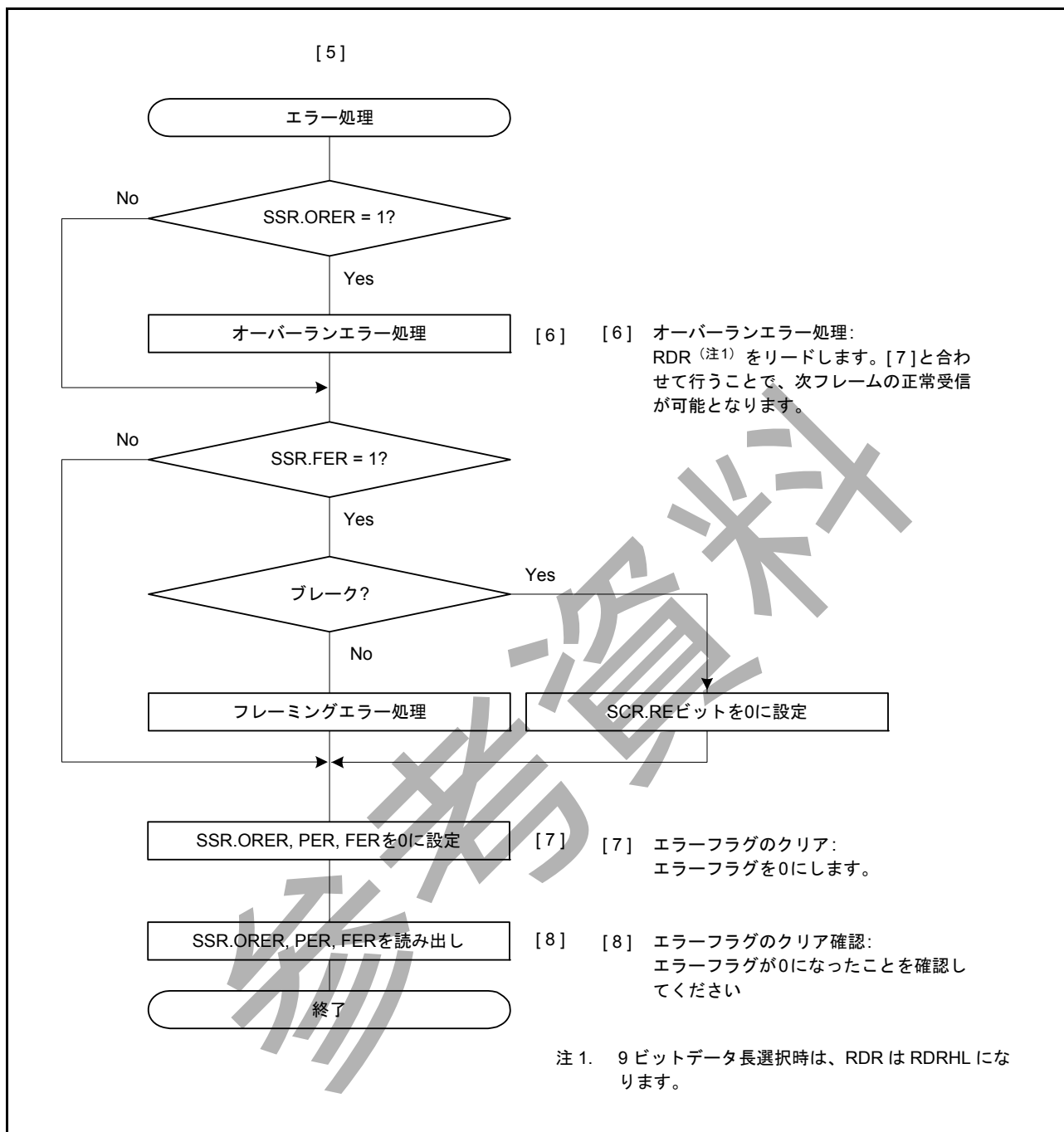


図 29.28 マルチプロセッサシリアル受信のフローチャート例 (2)

(2) FIFO 選択時

図 29.29 に、マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が FRDRH レジスタの MPB フラグ (FRDRH[1]) に書き込まれます。FRDRH レジスタの PER フラグ (FRDRH[3]) には 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH から FRDRL の順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、MPB、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR\_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH, FRDRLの受信データ														
			FRDRH								FRDRL						
	SCMR. CHR1	SMR. CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1
7ビット	1	0	—	RDF	ORER	FER	0	DR	MPB	0	0	7ビット受信データ					
8ビット	1	1	—	RDF	ORER	FER	0	DR	MPB	0	8ビット受信データ						
9ビット	0	Don't care	—	RDF	ORER	FER	0	DR	MPB	9ビット受信データ							

注. データ長が7ビットのとき、FRDRH[0], FRDRL[7]からは常に0が読み出されます。  
 データ長が8ビットのとき、FRDRH[0]から常に0が読み出されます。  
 FRDRH[7]ビットの読み出し値は不定です。

図 29.29 マルチプロセッサモードにおいて FRDRH と FRDRL に格納されるデータフォーマット (FIFO 選択時)

図 29.30 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを1にすると、マルチプロセッサビットが1の通信データを受信するまで、通信データが読み飛ばされます。マルチプロセッサビットが1の通信データを受信すると、その受信データ、MPB、および関連のエラーが FRDRHL レジスタへ転送されます。SCR.MPIE ビットは自動的にクリアされ、通常の実受信動作が継続します。

フレーミングエラーが発生して SSR\_FIFO.FER フラグが1になると、SCI はデータ受信を継続します。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。

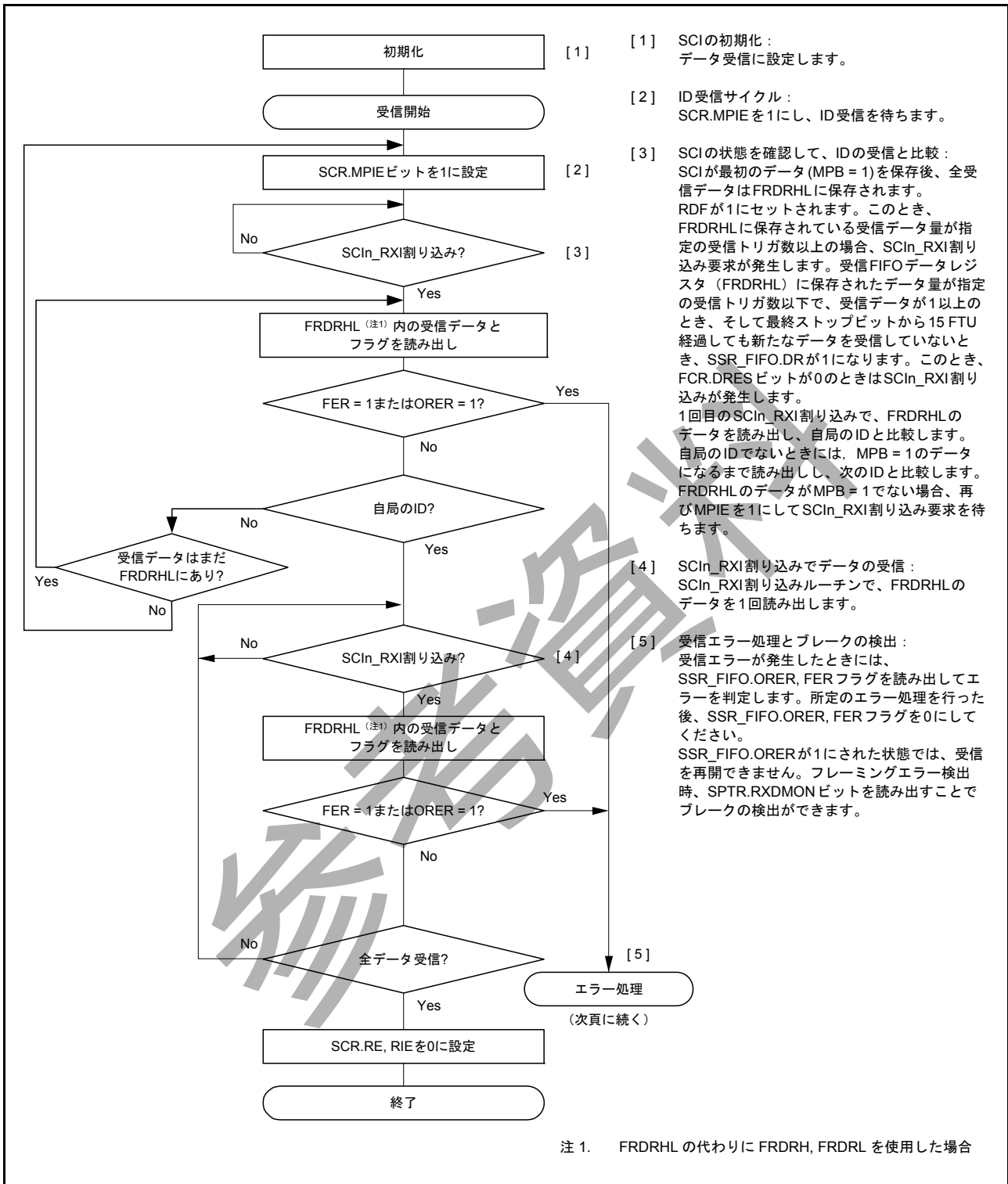


図 29.30 マルチプロセッサモードにおけるシリアル受信のフローチャート例 (FIFO 選択時)



## 29.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 29.31 に示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。

8 ビット出力後の送信ラインは、最終ビットの出力状態を保ちます。スレーブモードにおいて SPMR.CKPH ビットが 1 の場合、SCI は第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み出すことが可能であり、連続送受信動作が実現されます。

ただし、最高速ビットレートの設定 (BRR = 00h および SMR.CKS[1:0] = 00b) では、連続送受信動作が不可能です。そのため FIFO 選択時は、この設定 (BRR = 00h および SMR.CKS[1:0] = 00b) は利用できません。

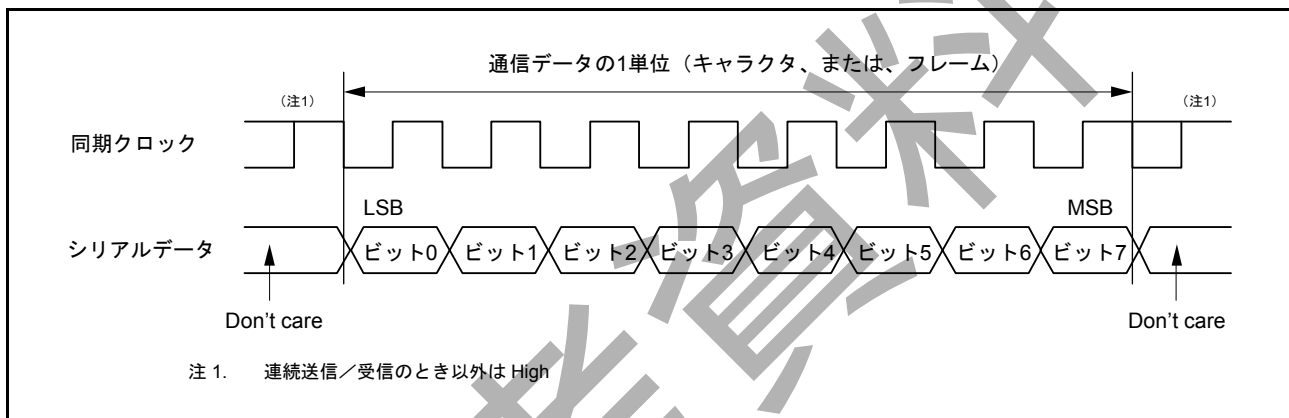


図 29.31 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

### 29.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部同期クロックのいずれかを選択できます。

SCI が内部クロックで動作する場合は、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信で 8 パルスの同期クロックが出力されます。送受信を行わないとき、クロックは High に固定されます。ただし、受信動作のみで CTS 機能が無効な場合、SCR.RE ビットが 1 になると、同期クロックの出力が始まります。オーバーランエラーが発生するか、または SCR.RE ビットが 0 になると、同期クロックは High レベル (注1) で停止します。

受信動作のみで CTS 機能が有効な場合は、SCR.RE ビットが 1 になっても CTSn\_RTSn 端子入力が High であれば、クロック出力は始まりません。SCR.RE ビットが 1 になったとき、CTSn\_RTSn 端子入力が Low であれば、同期クロックの出力が始まります。フレームの受信が完了した時点で CTSn\_RTSn 端子入力が High であれば、同期クロック出力は High レベルになったところで停止します。CTSn\_RTSn 端子入力が引き続き Low であれば、オーバーランエラーが発生するか、または SCR.RE ビットが 0 になったときに、同期クロックは High レベル (注1) で停止します。

注 1. (SPMR.CKPH ビット = 0 && SPMR.CKPOL ビット = 1) または (SPMR.CKPH ビット = 1 && SPMR.CKPOL ビット = 1) の状態にあるとき High に固定されます。  
(SPMR.CKPH ビット = 0 && SPMR.CKPOL ビット = 1) または (SPMR.CKPH ビット = 1 && SPMR.CKPOL ビット = 0) の状態にあるとき Low に固定されます。

### 29.5.2 CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTS<sub>n</sub>、RTS<sub>n</sub> 端子入力を使用してデータ送受信の開始制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTS<sub>n</sub>、RTS<sub>n</sub> 端子入力が Low になると、データの送受信が開始されます。

送受信中に CTS<sub>n</sub>、RTS<sub>n</sub> 端子入力を High にしても、処理中のフレームの送受信には影響を与えません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTS<sub>n</sub>、RTS<sub>n</sub> 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると、CTS<sub>n</sub>、RTS<sub>n</sub> 端子出力が Low になります。CTS<sub>n</sub>、RTS<sub>n</sub> 端子出力が Low および High となる条件は以下のとおりです。

[Low になる条件]

下記の条件をすべて満たす場合

#### (a) 非 FIFO 選択時

- SCR.RE ビットまたは SCR.TE ビットが 1
- 送受信動作中でない
- 読み出し前の受信データがない (SCR.RE ビットが 1 の場合)
- 送信データを書き込み済み (SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 の場合)
- TSR レジスタに送信用データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR.ORER フラグが 0

#### (b) FIFO 選択時

- SCR.RE ビットまたは SCR.TE ビットが 1
- 送受信動作中でない
- FRDRHL に書き込まれた受信データ数が指定された CTS<sub>n</sub>、RTS<sub>n</sub> 出力トリガ数より少ない (SCR.RE = 1 の場合)
- FTDRHL レジスタに未送信データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 の場合)
- TSR レジスタに送信用データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR\_FIFO.ORER フラグが 0

[High になる条件]

Low になる条件を満たさない場合

### 29.5.3 SCI の初期化 (クロック同期式モード)

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に 29.5.2 CTS、RTS 機能に示す SCI 手順を続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

- 注 . SCR.RE ビットを 0 にしても、SSR/SSR\_FIFO レジスタの ORER、FER、PER の各フラグ、ならびに RDR レジスタは初期化されません。SCR.TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。
- 注 . SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCIn\_TXI 割り込み要求が発生します。

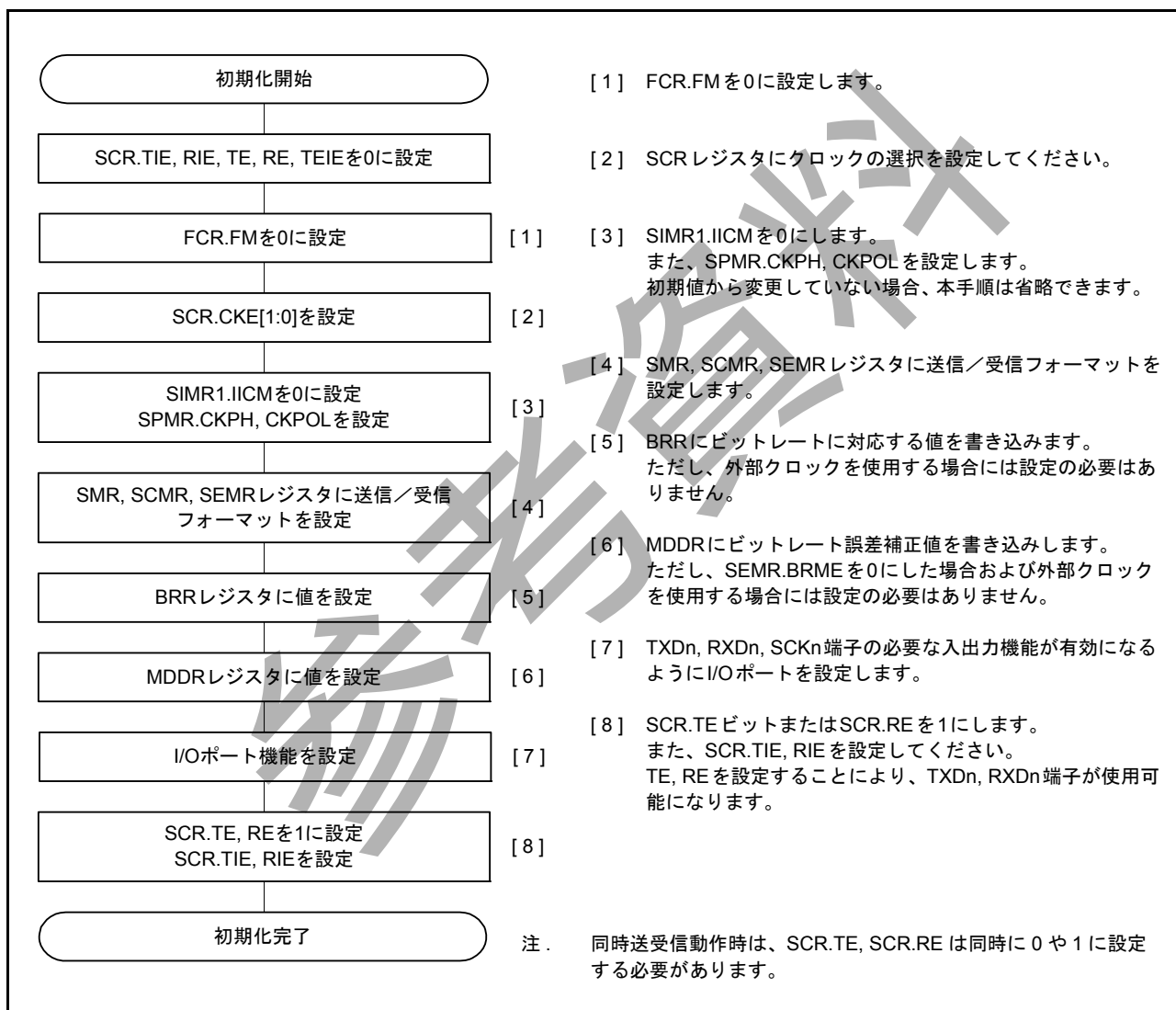


図 29.32 SCI の初期化フローチャート例 (クロック同期式モード/非 FIFO 選択時)

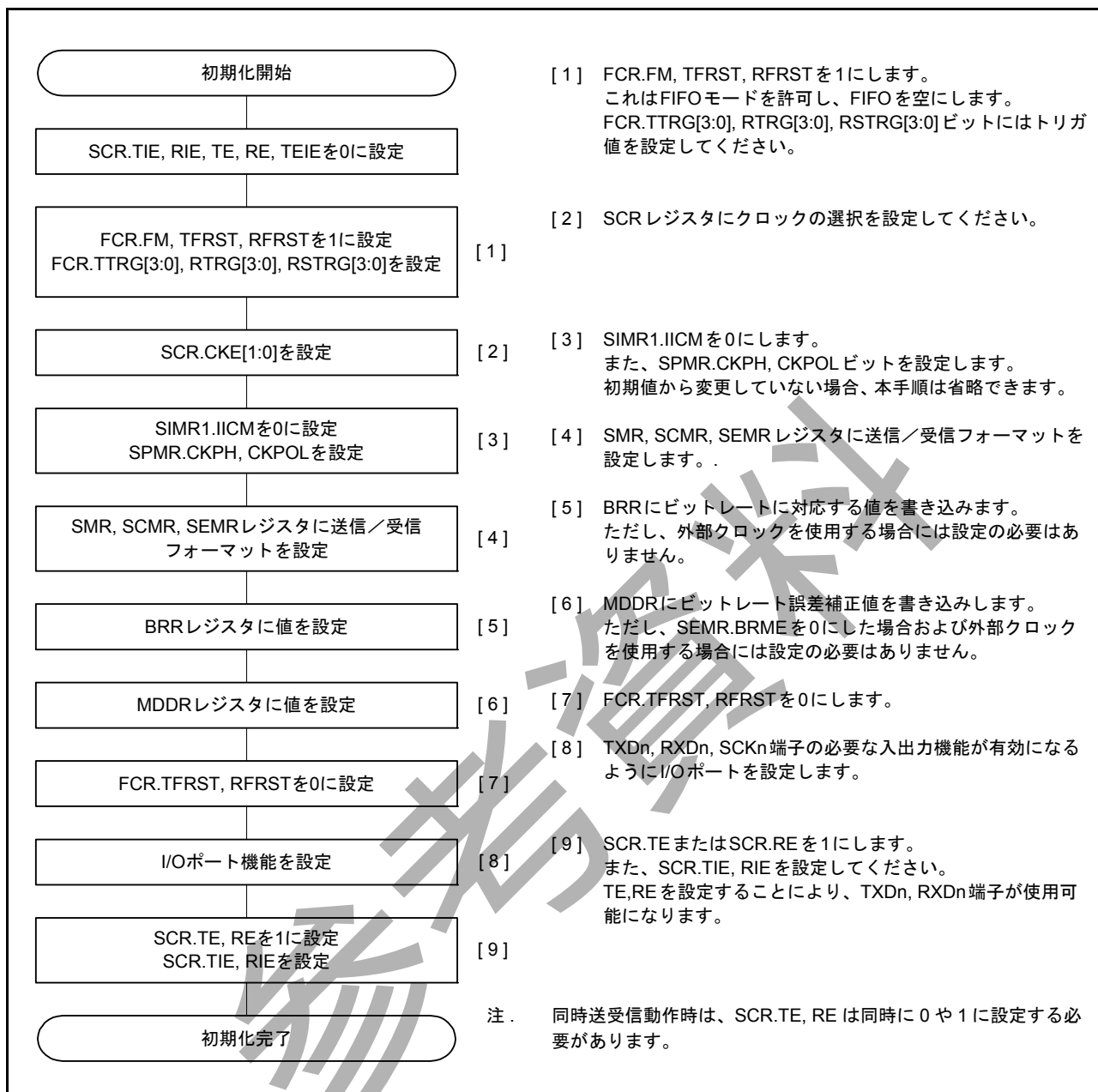


図 29.33 SCIの初期化フローチャート例（クロック同期式モード／FIFO 選択時）

## 29.5.4 シリアルデータの送信 (クロック同期式モード)

### (1) 非 FIFO 選択時

図 29.34、図 29.35、および図 29.36 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn\_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。なお、送信開始時の SCIn\_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後、SCR.TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。このとき、SCR.TIE ビットが 1 になっていると、SCIn\_TXI 割り込み要求が発生します。この SCIn\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn\_TEI 割り込み要求を使用する場合は、最終送信データを TDR レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTSn\_RTSn 入力信号が Low になるまで待機します。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn\_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

図 29.34 に、シリアル送信のフローチャート例を示します。

受信エラーフラグ (SSR.ORER、FER、または PER) が 1 の状態では、送信は開始されません。送信を開始する前に、必ず受信エラーフラグを 0 にしてください。

注. 受信エラーフラグは、SCR.RE ビットを 0 にしてもクリアされません。

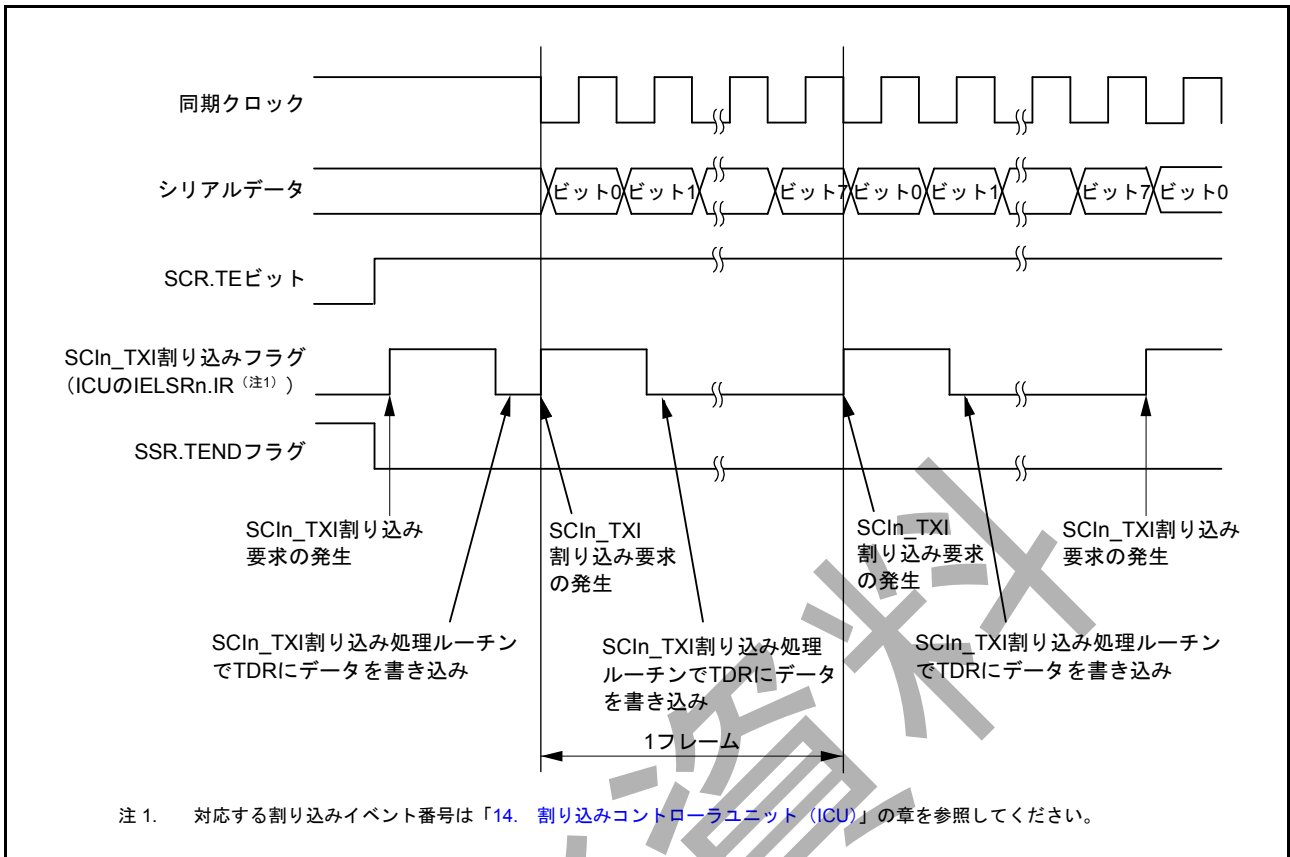


図 29.34 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用しない場合)

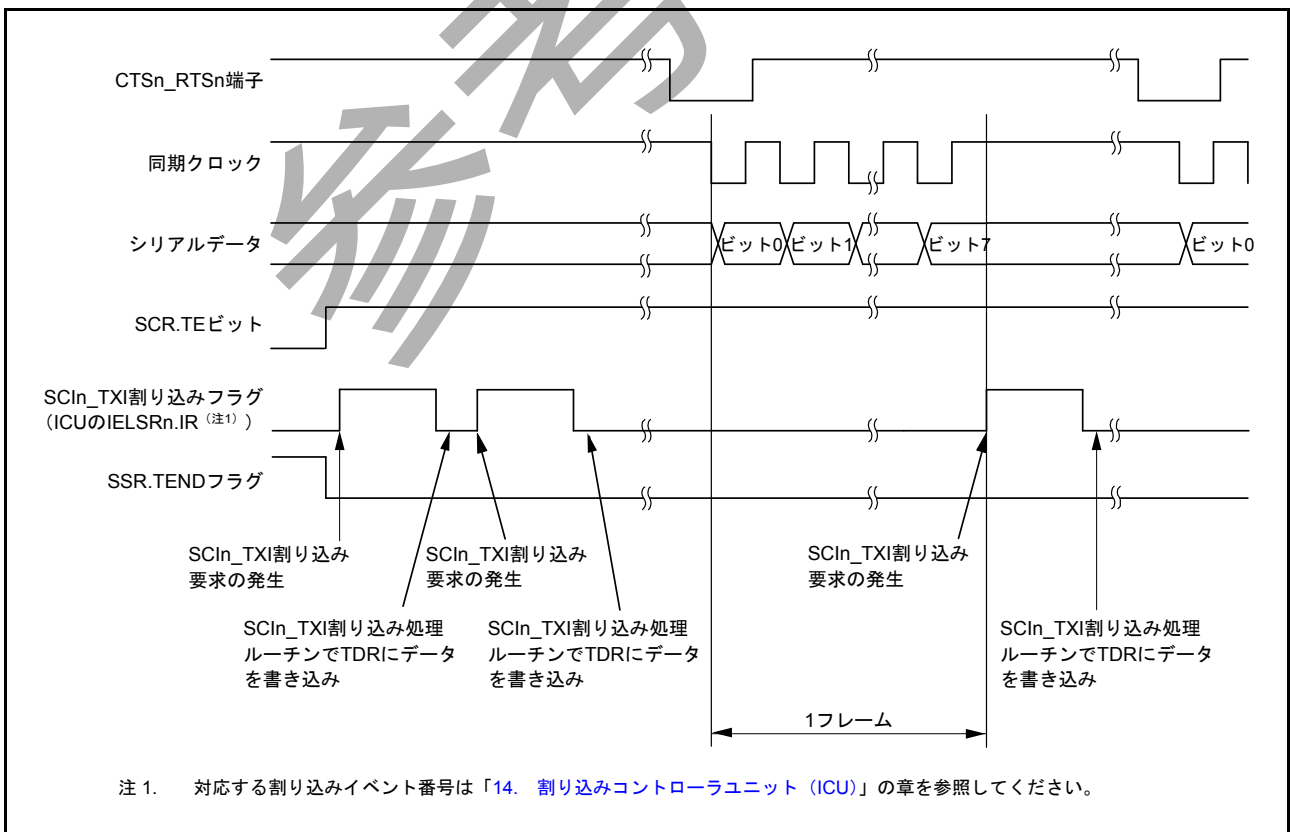


図 29.35 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用する場合)

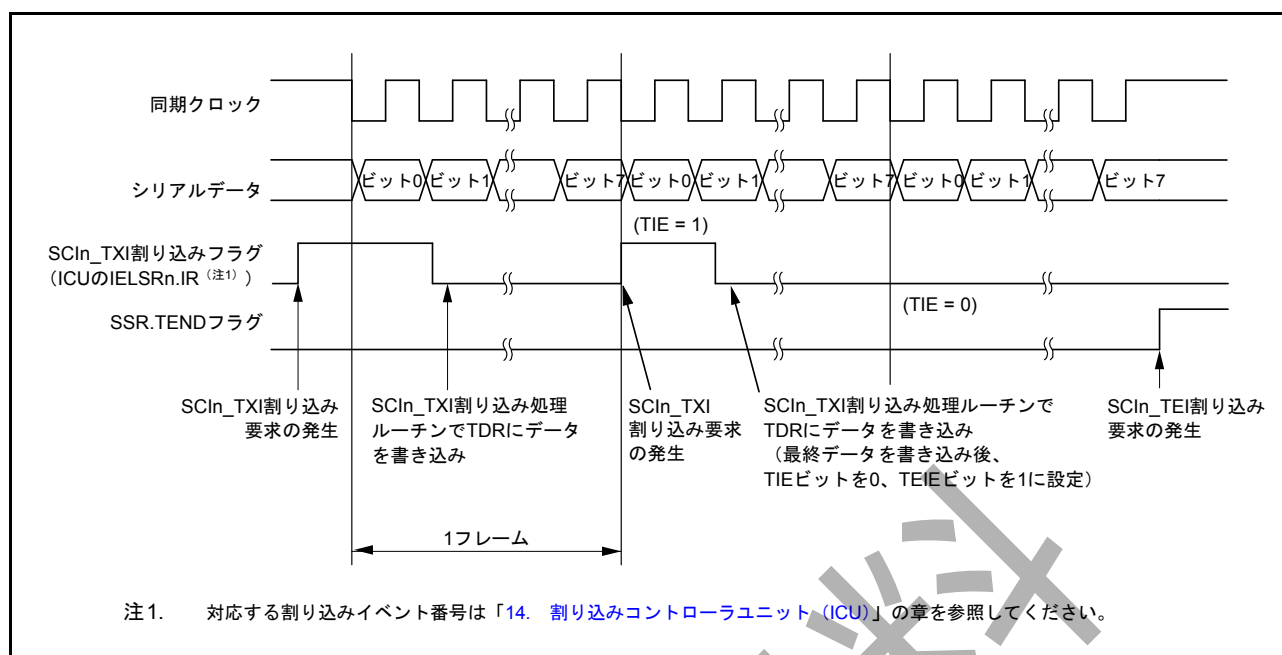


図 29.36 クロック同期式モードにおけるシリアル送信の動作例 (送信中～送信終了時)

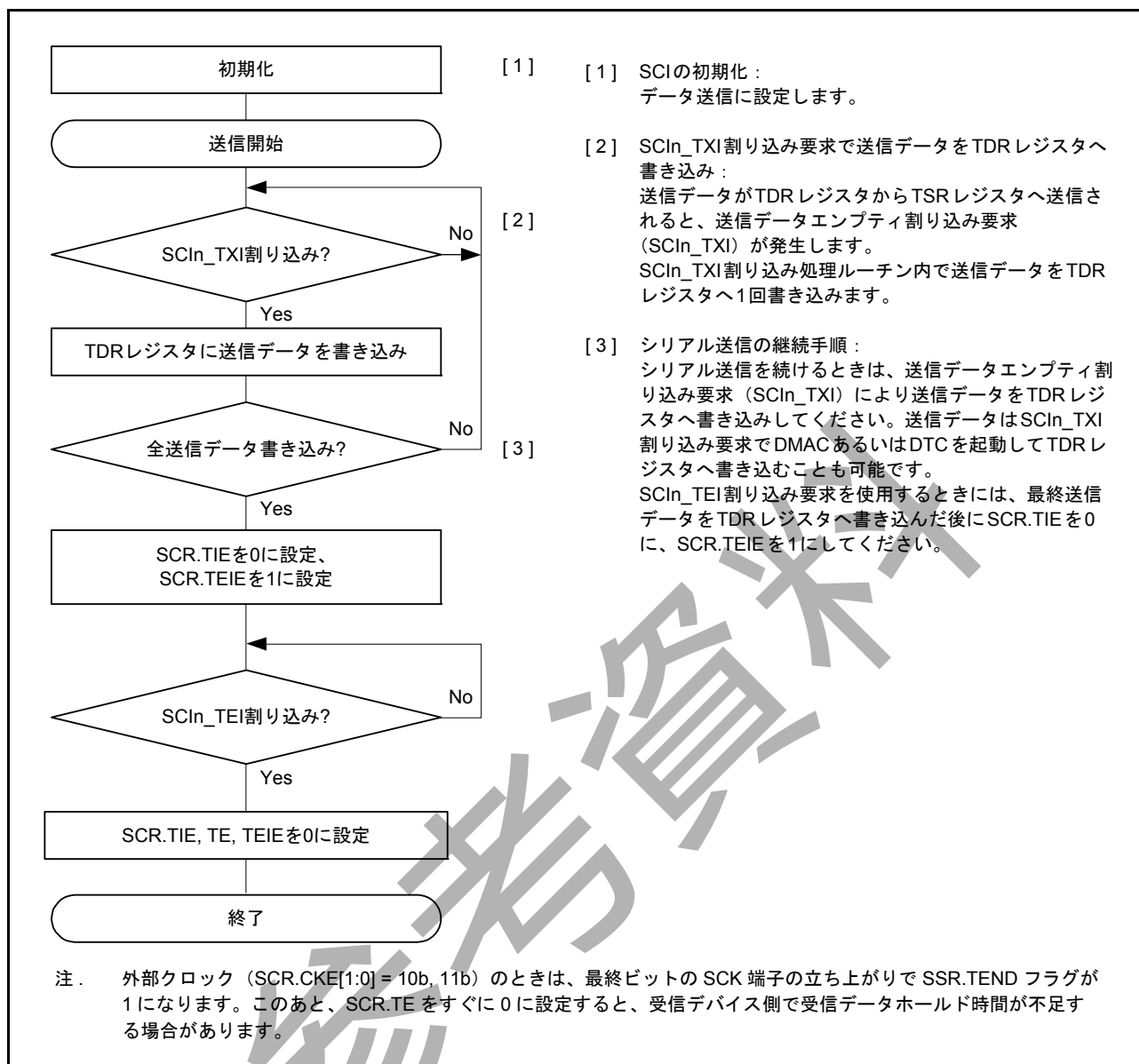


図 29.37 クロック同期式モードにおけるシリアル送信のフローチャート例



## (2) FIFO 選択時

図 29.34 に、クロック同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn\_TXI 割り込み処理ルーチンで FTDRL レジスタ (注1) にデータが書き込まれると、SCI は FTDRL レジスタ (注1) から TSR レジスタへデータを転送します。なお、送信開始時の SCIn\_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後、SCR.TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、FTDRL レジスタから TSR レジスタにデータを転送した後、送信を開始します。FTDRL に書き込まれた送信データ数が指定された送信トリガ数以下のとき、SSR\_FIFO.TDFE フラグが 1 になります。このとき、SCR.TIE ビットが 1 になっていると、SCIn\_TXI 割り込み要求が発生します。この SCIn\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn\_TEI 割り込み要求を使用する場合は、最終送信データを FTDRL レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS<sub>n</sub>\_RTS<sub>n</sub> 入力信号が Low になるまで待機します。
4. ストップビットを送り出すタイミングで、SCI は FTDRL レジスタに未送信データが残っていないかチェックします。
5. FTDRL レジスタが更新されていれば、FTDRL レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. FTDRL レジスタが更新されていなければ、SSR\_FIFO.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.EIE ビットが 1 になっていると、SCIn\_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

注 1. クロック同期式モードでは、FTDRH レジスタを使用しません。

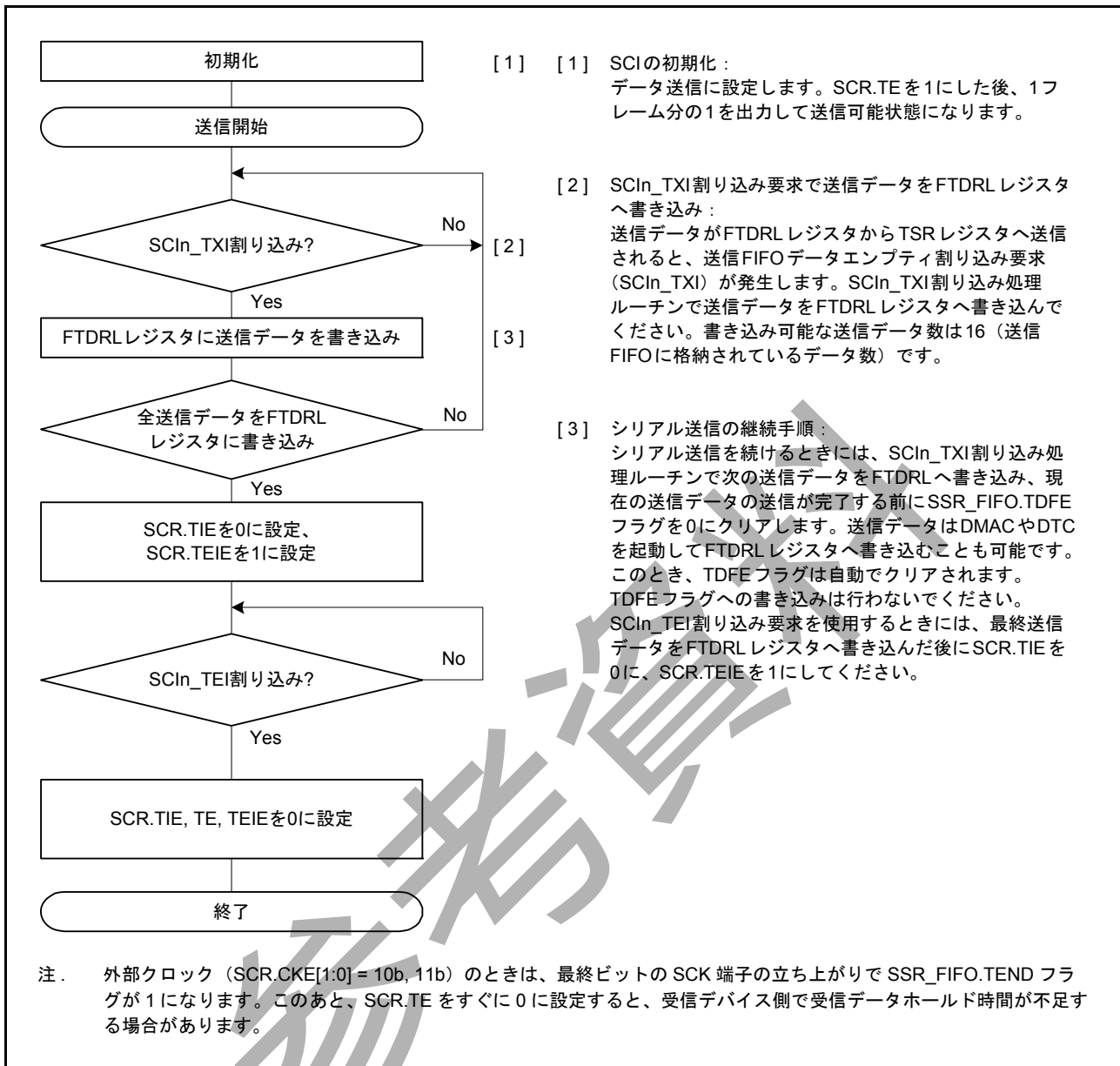


図 29.38 クロック同期式モードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

### 29.5.5 シリアルデータの受信 (クロック同期式モード)

#### (1) 非 FIFO 選択時

図 29.39 と図 29.40 に、クロック同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn\_RXI 割り込み要求が発生します。SCIn\_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタから受信データを読み出されると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。

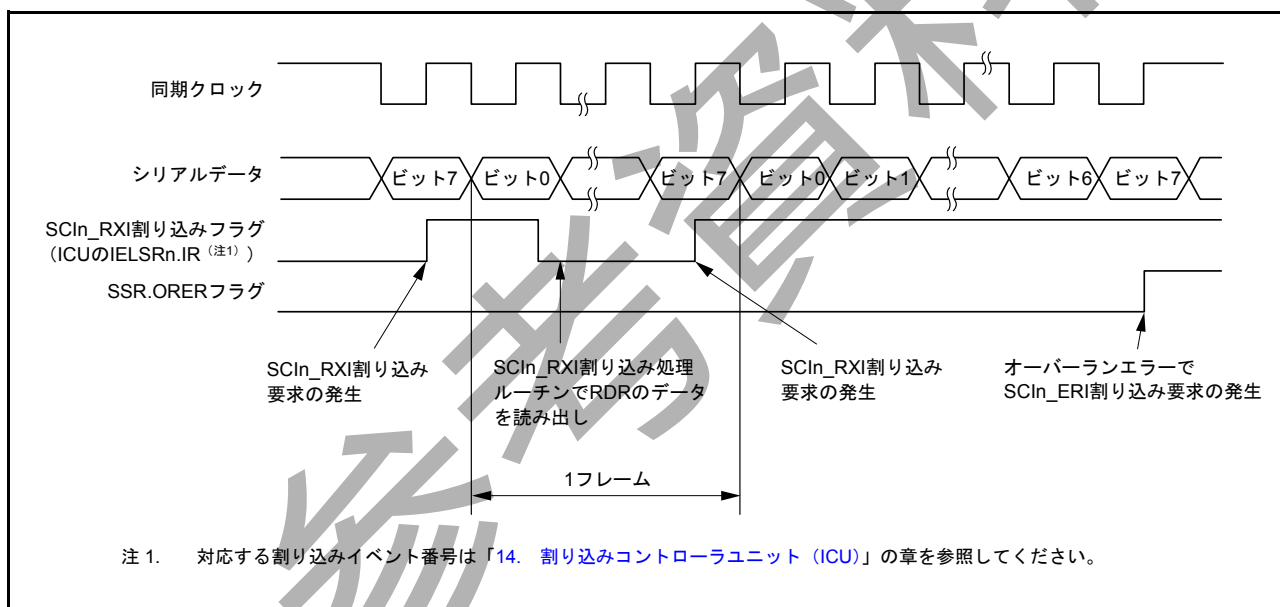


図 29.39 クロック同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合)

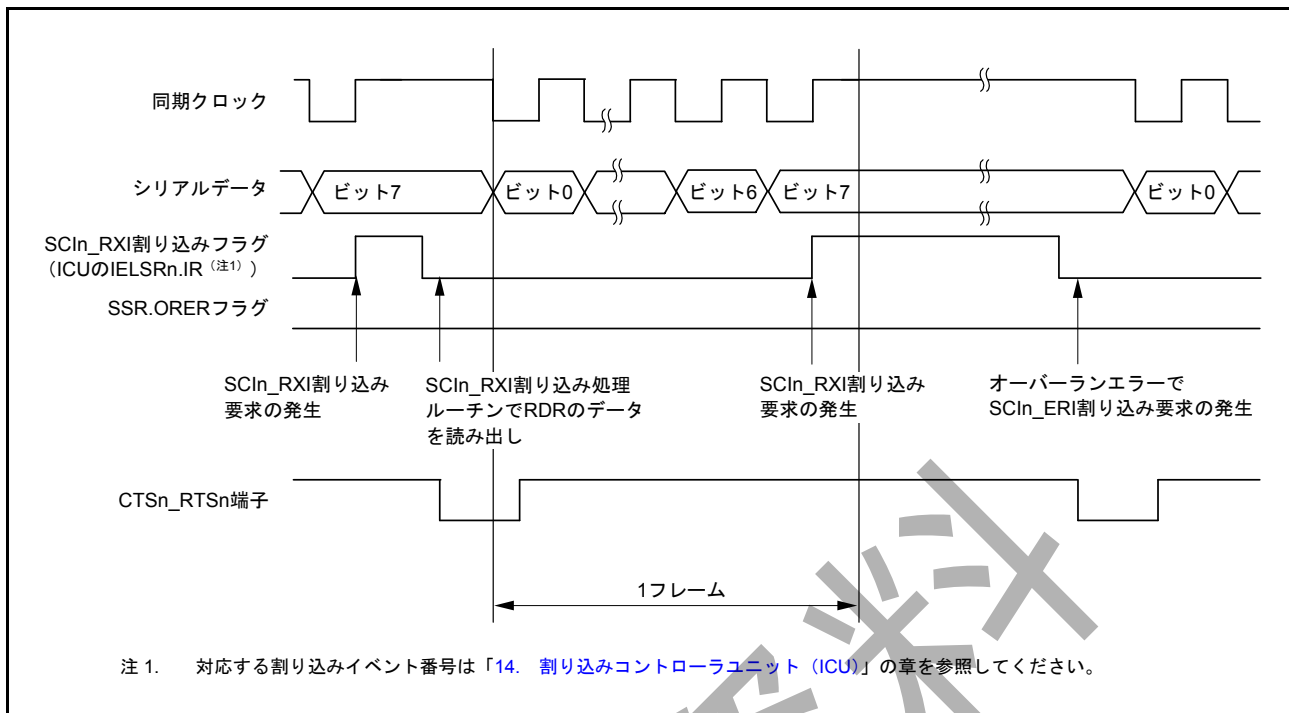


図 29.40 クロック同期式モードにおけるシリアル受信の動作例 (2) (RTS 機能を使用する場合)

受信エラーフラグが 1 の状態では、送受信動作を再開できません。したがって、SSR.ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 29.41 に、シリアル受信のフローチャート例を示します。

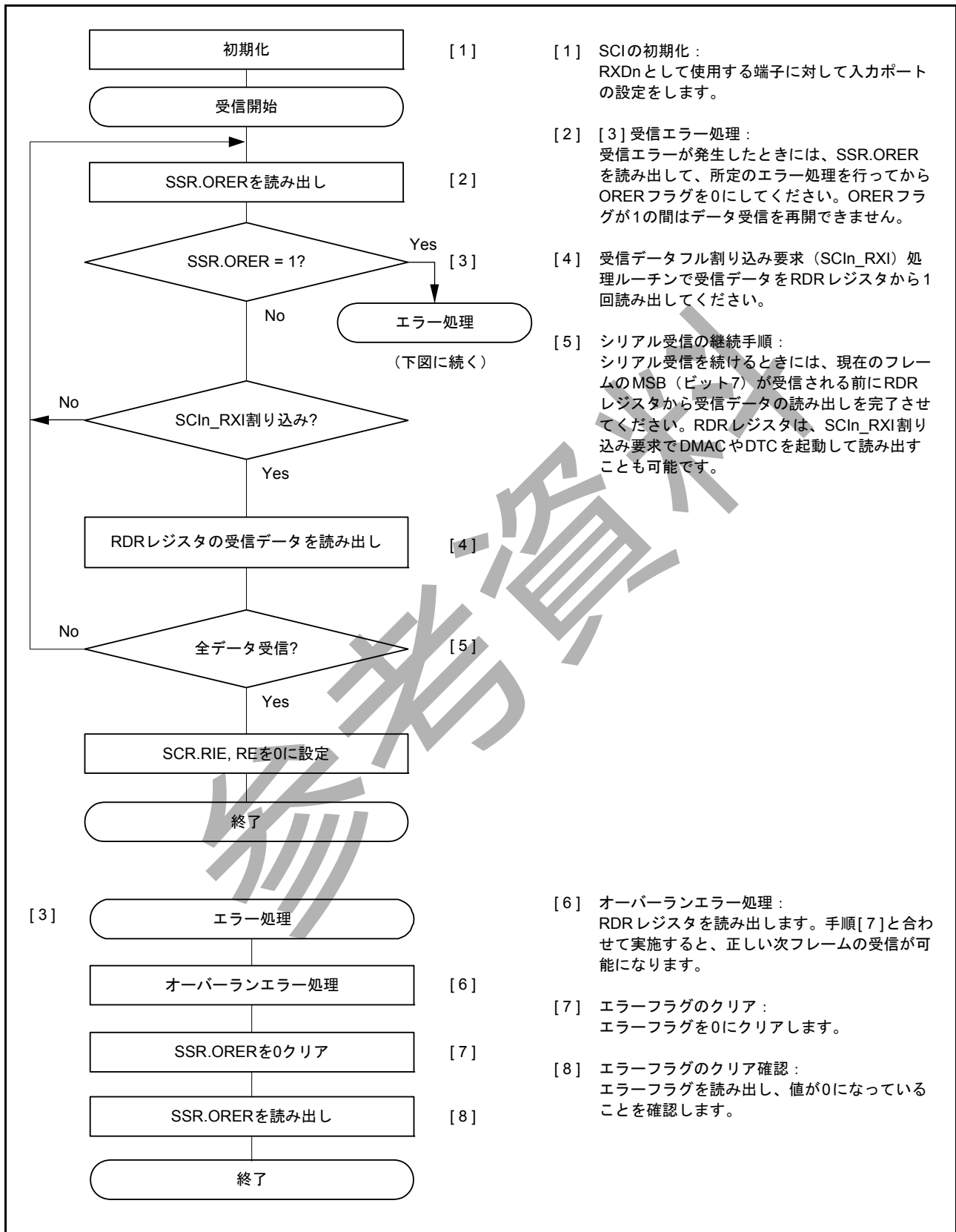


図 29.41 クロック同期式モードにおけるシリアル受信のフローチャート例

## (2) FIFO 選択時

図 29.42 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR\_FIFO.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI<sub>n</sub>\_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ<sup>(注1)</sup> へ転送されません。
4. 正常に受信したときは、受信データが FRDRL レジスタ<sup>(注1)</sup> へ転送されます。FRDRHL に格納された受信データ数が指定された受信トリガ数以上であると、SSR\_FIFO.RDF フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI<sub>n</sub>\_RXI 割り込み要求が発生します。この SCI<sub>n</sub>\_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ<sup>(注2)</sup> へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタへ転送された受信データ数が RTS トリガ数未満であると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。

注 1. クロック同期式モードでは、FTDRH レジスタを使用しません。

注 2. RDF フラグと ORER フラグを受信データとともに読み出す場合は、FRDRH → FRDRL の順に読み出してください。

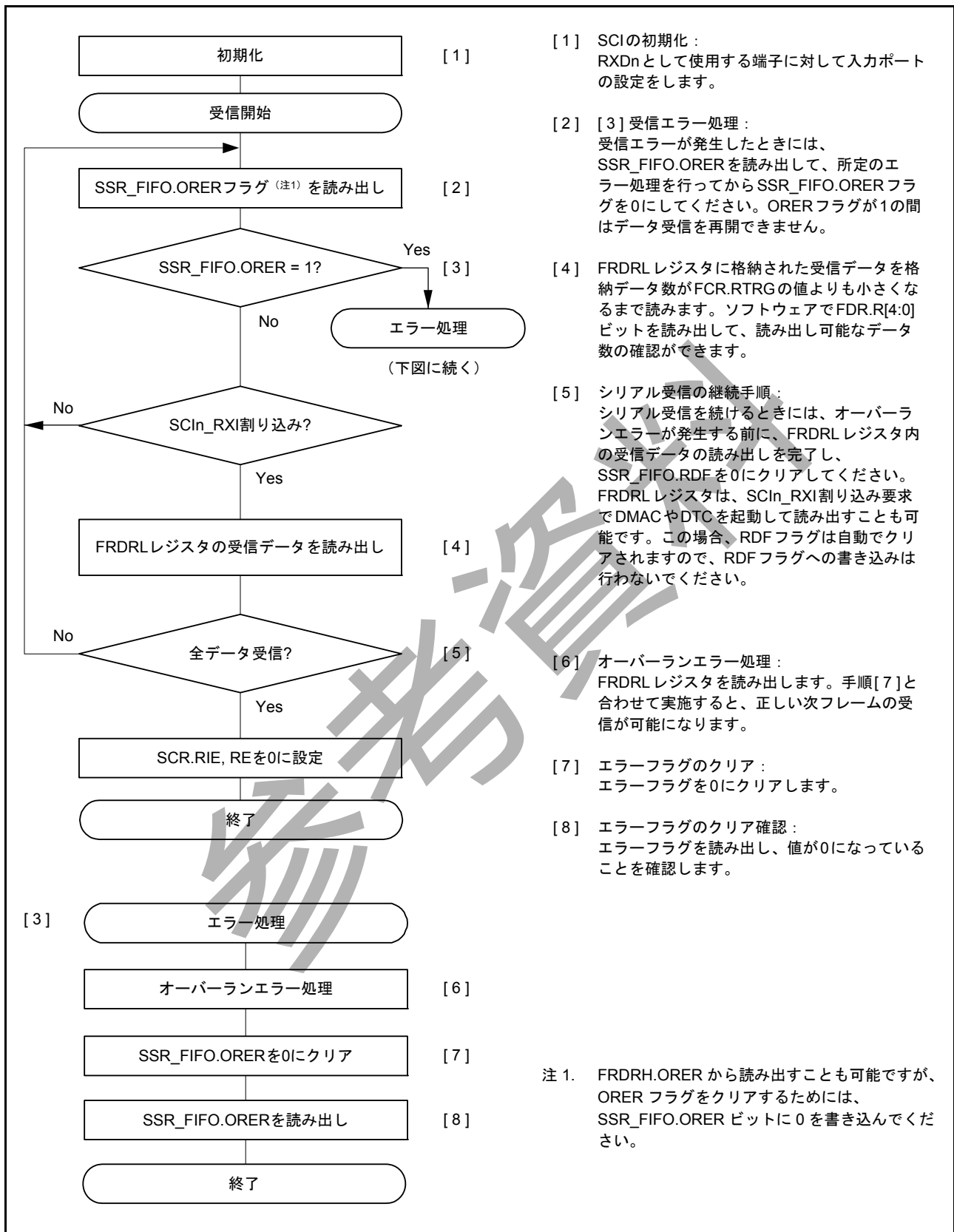


図 29.42 クロック同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

## 29.5.6 シリアルデータの同時送受信動作 (クロック同期式モード)

## (1) 非 FIFO 選択時

図 29.43 に、クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへ切り替えるときは、SCI が送信完了状態であることを SSR.TEND フラグが 1 になっていることで確認してください。その後、SCR レジスタを初期化してから、SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるときは、SCI が受信完了状態であることを確認してください。SCR.RIE ビットと SCR.RE ビットを 0 にした後、受信エラーフラグ (SSR.ORER、FER、PER) が 0 になっていることを確認します。その後、SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

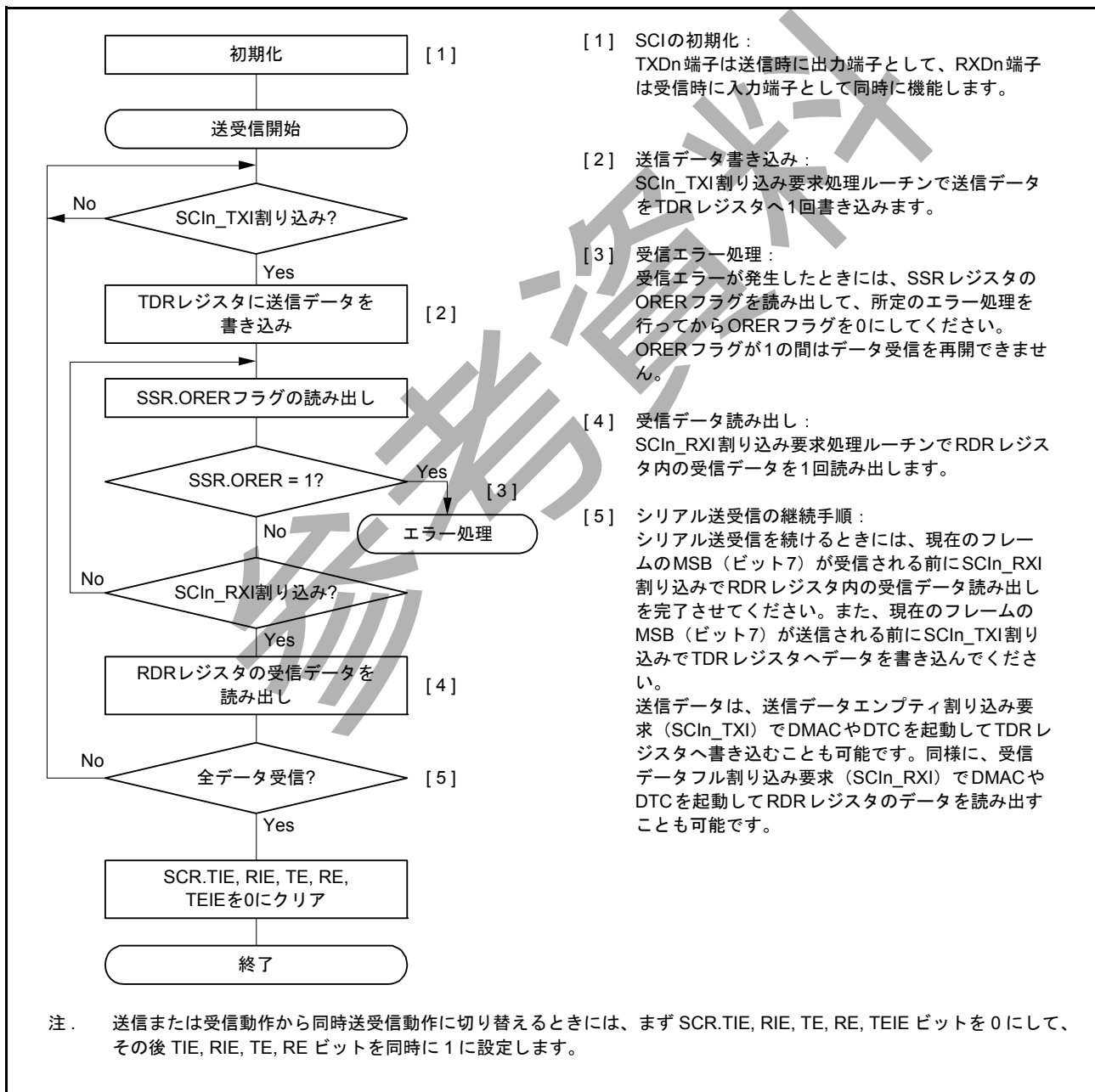


図 29.43 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例



## (2) FIFO 選択時

図 29.44 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへ切り替えるときは、SCI が送信完了状態であることを SSR\_FIFO.TEND フラグが 1 になっていることで確認してください。その後、SCR レジスタを初期化してから、SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるときは、SCI が受信完了状態であることを確認してください。SCR.RIE ビットと SCR.RE ビットを 0 にします。受信エラーフラグ (SSR\_FIFO.ORER、FER、PER) が 0 になっていることを確認した後、SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

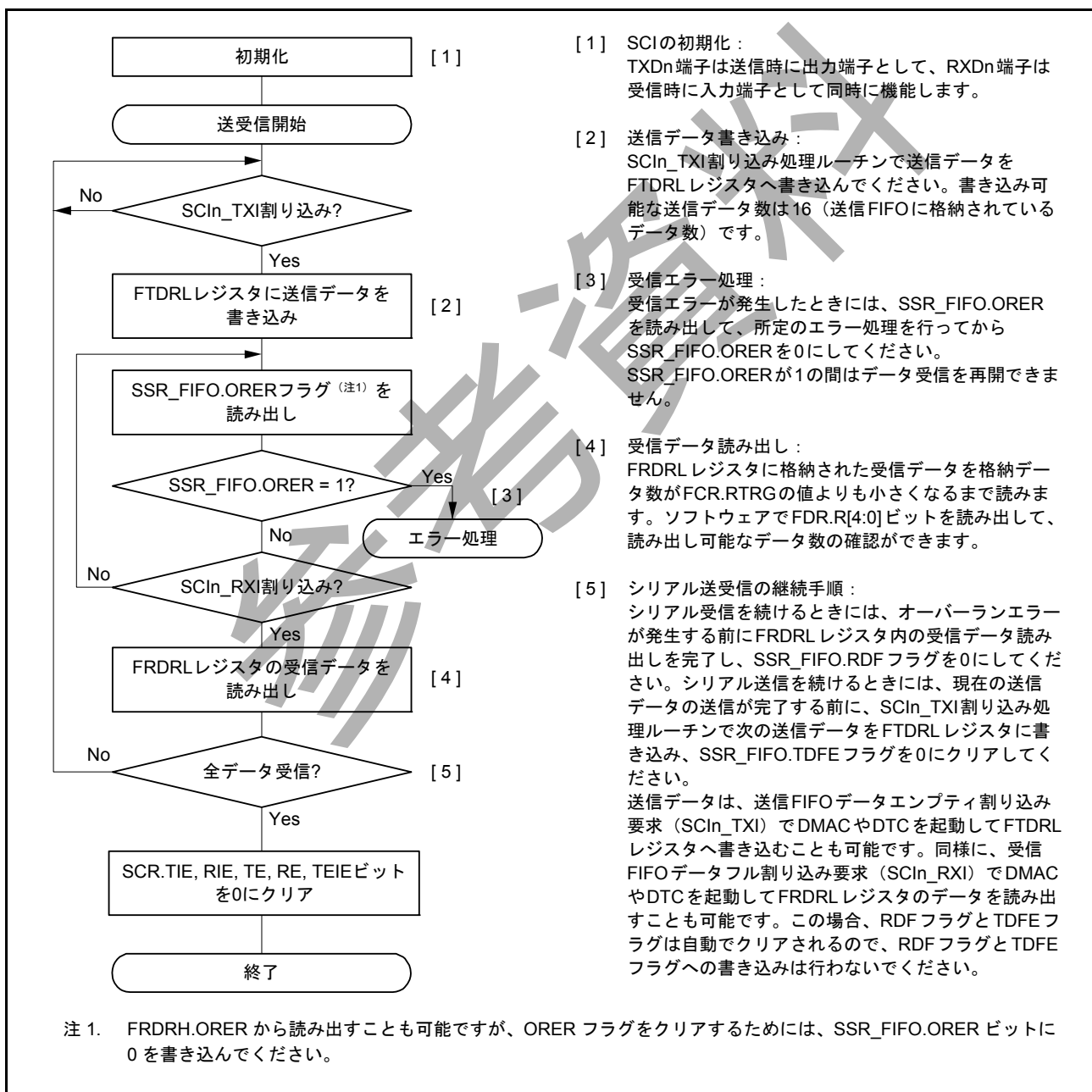


図 29.44 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例 (FIFO 選択時)

## 29.6 スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3 (Identification Card 規格) に対応したスマートカード (IC カード) インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

### 29.6.1 接続例

図 29.45 に、スマートカード (IC カード) と本 MCU の接続例を示します。

図 29.45 に示すように、MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR\_SMCI レジスタの TE ビットと RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には、本 MCU の出力ポートを使用できます。

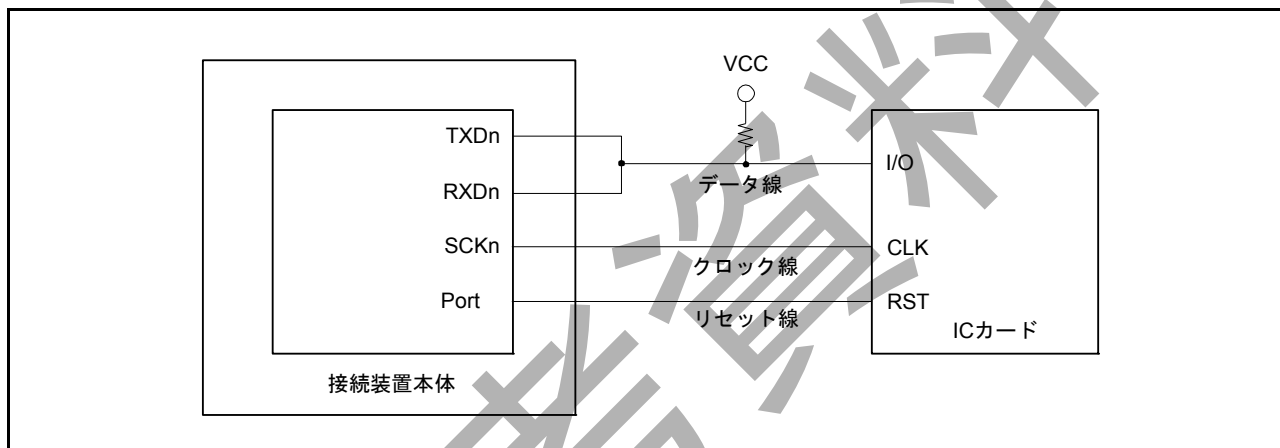


図 29.45 スマートカード (IC カード) との接続例

### 29.6.2 データフォーマット (ブロック転送モード時を除く)

図 29.46 に、スマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信中は、パリティビットの終了から次のフレーム開始まで、2ETU (Elementary Time Unit = 1 ビット転送時間) 以上のガードタイムが必要です。
- 受信中にパリティエラーを検出した場合、スタートビットから 10.5ETU 経過後、エラーシグナル (Low) が 1ETU 期間出力されます。
- 送信中にエラーシグナルをサンプリングすると、2ETU 以上経過後、自動的に同じデータが再送信されます。

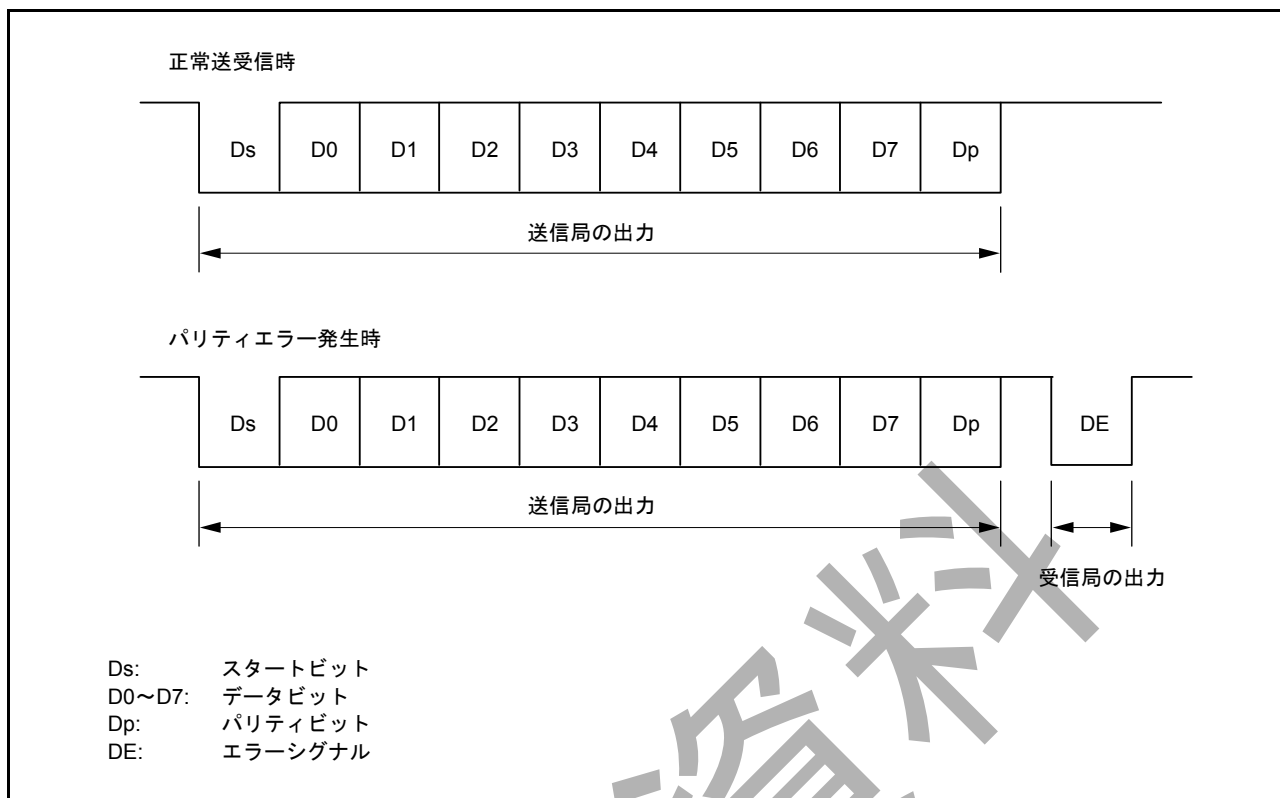


図 29.46 スマートカードインタフェースモードにおけるデータフォーマット

本節では、ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードと送受信する場合について説明します。

#### (1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 29.47 に示すように、ロジックレベル1を状態Zに、ロジックレベル0を状態Aにそれぞれ対応付けて、開始キャラクタとして、LSBファーストでデータの送受信が行われます。したがって、図 29.47 の開始キャラクタでは、データは3Bhとなります。

ダイレクトコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を0にしてください。また、スマートカード規格に従って偶数パリティとするため、SMR\_SMCI.PM ビットは0にしてください。

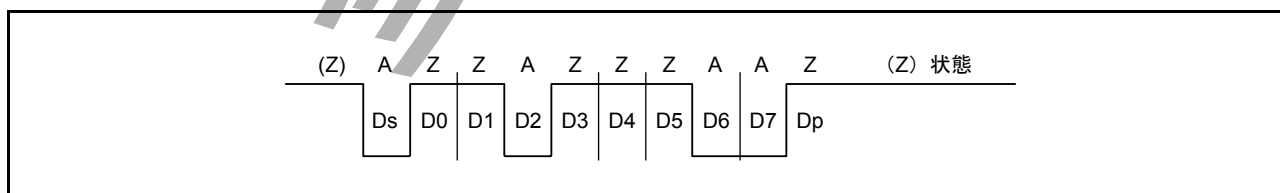


図 29.47 ダイレクトコンベンション (SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR\_SMCI.PM ビット = 0)

## (2) インバースコンベンションタイプ

インバースコンベンションタイプでは、図 29.48 に示すように、ロジックレベル 1 を状態 A に、ロジックレベル 0 を状態 Z にそれぞれ対応付けて、開始キャラクタとして、MSB ファーストでデータの送受信が行われます。したがって、図 29.48 の開始キャラクタでは、データは 3Fh となります。

インバースコンベンションを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 1 にしてください。スマートカード規格に従って偶数パリティとするため、パリティビットは、状態 Z に対応するロジックレベル 0 になります。SINV ビットはデータビット D7 ~ D0 のみを反転させます。そのため、送信時と受信時の両方において、SMR\_SMCI.PM ビットには 1 を書いてパリティビットを反転させてください。

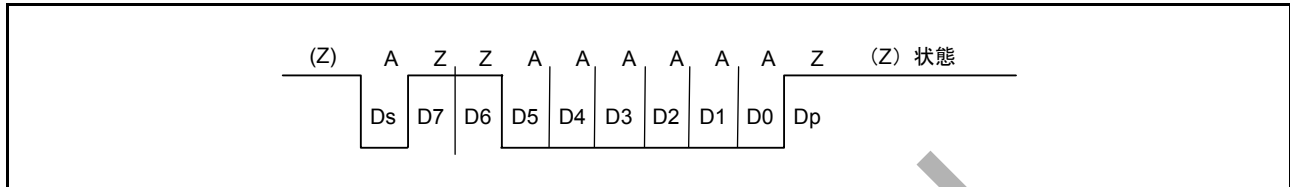


図 29.48 インバースコンベンション (SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR\_SMCI.PM ビット = 1)

### 29.6.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信中にパリティエラーが検出されても、エラーシグナルは出力されません。エラー検出時に SSR\_SMCI.PER フラグがセットされるので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信中は、パリティビットの終了から次のフレーム開始までのガードタイムとして 1ETU 以上が必要です。
- 同じデータの再送信を行わないため、送信開始から 11.5ETU 経過後に、SSR\_SMCI.TEND フラグがセットされます。
- ブロック転送モードでは、SSR\_SMCI.ERS フラグは通常のスマートカードインタフェースモードと同様にエラーシグナル状態を示します。ただし、エラーシグナルの送受信を行わないため、読むと 0 が読めます。

### 29.6.4 受信データのサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成する内部クロックのみです。

スマートカードインタフェースモードでは、SCIはSCMR.BCP2ビットとSMR\_SMCI.BCP[1:0]ビットの設定により、ビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、または512倍の周波数の基本クロックで動作します（通常の調歩同期式モードでは16倍に固定されています）。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。

また、[図 29.49](#)に示すように、受信データは基本クロックのそれぞれ16、32、186、128、46、64、93、256サイクルの立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。このときの受信マージンは次式で表わすことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%]$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N = 32, 64, 372, 256)

D：クロックのデューティ (D = 0 ~ 1.0)

L：フレーム長 (L = 10)

F：クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようにになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 [\%] = 49.866\%$$

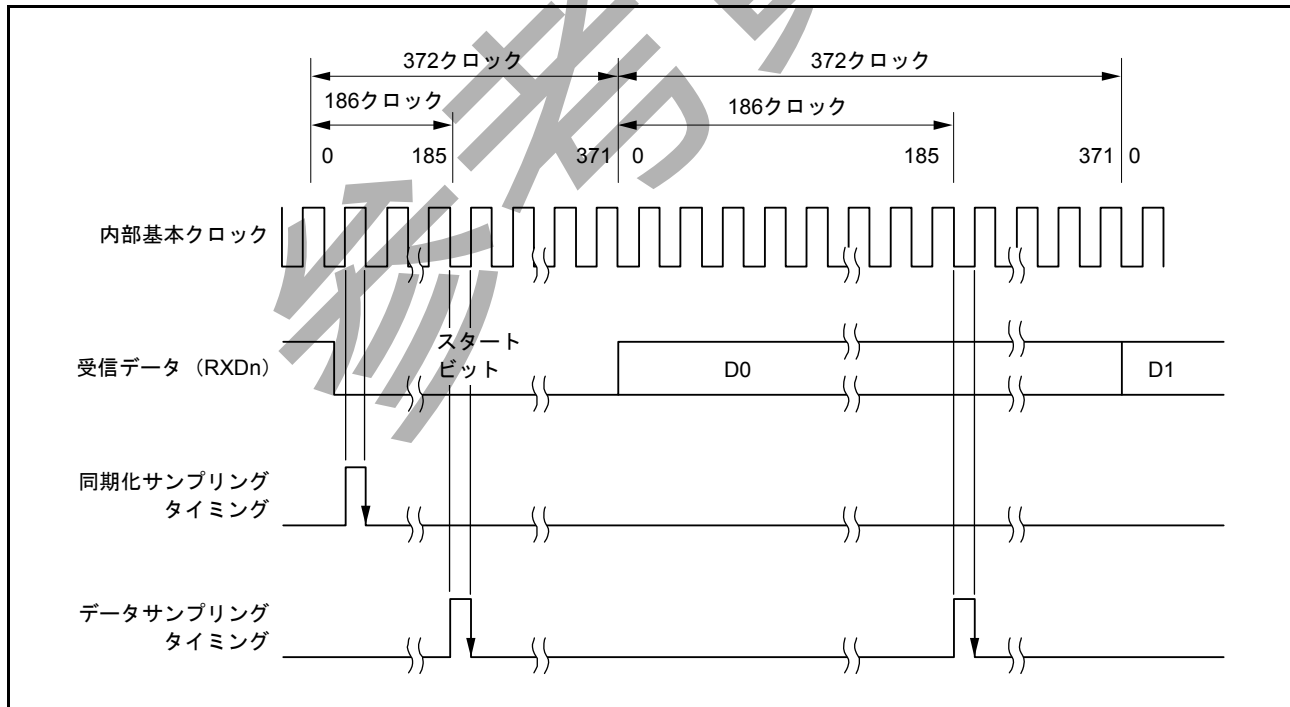


図 29.49 スマートカードインタフェースモードにおける受信データのサンプリングタイミング (ビットレートの372倍のクロック周波数の場合)

### 29.6.5 SCI の初期化

データの送受信前に、SCR\_SMCI レジスタに初期値 00h を書き込み、図 29.50 に示すフローチャート例に従って、SCI を初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に SCR\_SMCI レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、SCR\_SMCI.RE ビットを 0 にしても RDR レジスタは初期化されません。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR\_SMCI.TE ビット = 1、SCR\_SMCI.RE ビット = 0 にしてください。受信動作の完了は、SCIn\_RXI 割り込み要求、SSR\_SMCI.ORER フラグ、あるいは SSR\_SMCI.PER フラグで確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR\_SMCI.TE ビット = 0、SCR\_SMCI.RE ビット = 1 にしてください。送信動作の完了は SSR\_SMCI.TEND フラグで確認できます。



図 29.50 SCI の初期化フローチャート例（スマートカードインタフェースモード）

### 29.6.6 シリアルデータの送信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モード時を除く）では、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信中の再転送動作を図 29.51 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルがサンプリングされると、SSR\_SMCI.ERS フラグが 1 になります。このとき、SCR\_SMCI.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、SSR\_SMCI.ERS フラグを 0 にクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSR\_SMCI.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
- 3 受信側からエラーシグナルが返ってこない場合、ERS フラグは 1 になりません。
- 4 この場合、SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。このとき、SCR\_SMCI.TIE ビットが 1 になっていると、SCIn\_TXI 割り込み要求が発生します。TDR レジスタに送信データを書き込んで、次のデータの送信を開始してください。

図 29.52 に、シリアル送信のフローチャート例を示します。これら一連の処理は、SCIn\_TXI 割り込み要求で DMAC または DTC を起動することによって、自動的に行うことができます。

送信動作では、SSR\_SMCI.TEND フラグが 1 になっていると、SCR\_SMCI.TIE ビットが 1 の場合、SCIn\_TXI 割り込み要求が発生します。

あらかじめ DMAC または DTC の起動要因として SCIn\_TXI 割り込み要求を設定しておけば、SCIn\_TXI 割り込み要求によって DMAC または DTC が起動されて、送信データの転送が可能になります。TEND フラグは、DMAC または DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。この間、TEND フラグは 0 のまま保持され、DMAC または DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC または DTC が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCIn\_ERI 割り込み要求を発生させて、ERS フラグをクリアしてください。

なお、DMAC または DTC を使用して送受信を行う場合は、必ず DMAC または DTC を有効にしてから、SCI の設定を行ってください。

DMAC または DTC の設定方法については、「17. DMA コントローラ (DMAC)」と「18. データトランスファコントローラ (DTC)」を参照してください。

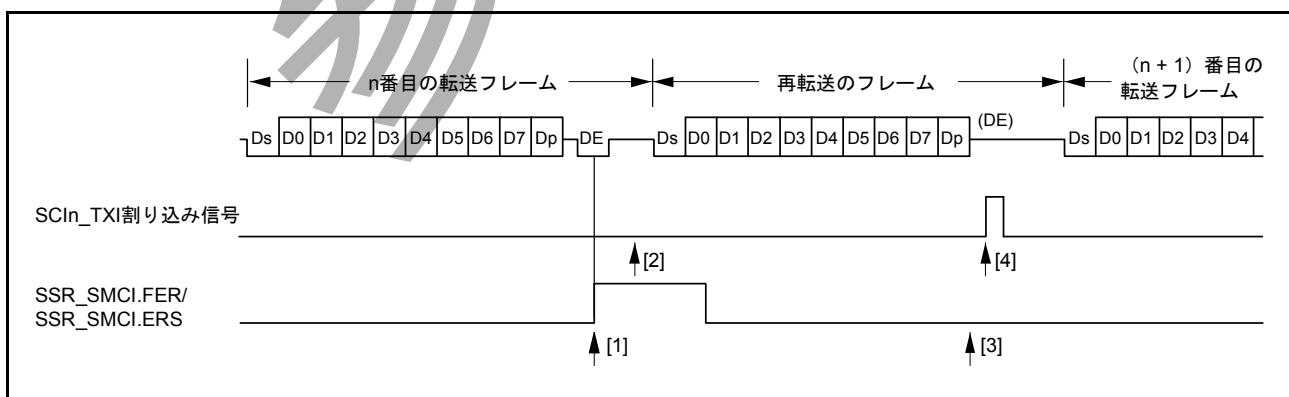


図 29.51 SCI 送信モードでの再転送動作

注. SMR\_SMCI.GM ビットの設定によっては、SSR\_SMCI.TEND フラグのセットタイミングが異なります。

図 29.52 に、TEND フラグの発生タイミングを示します。

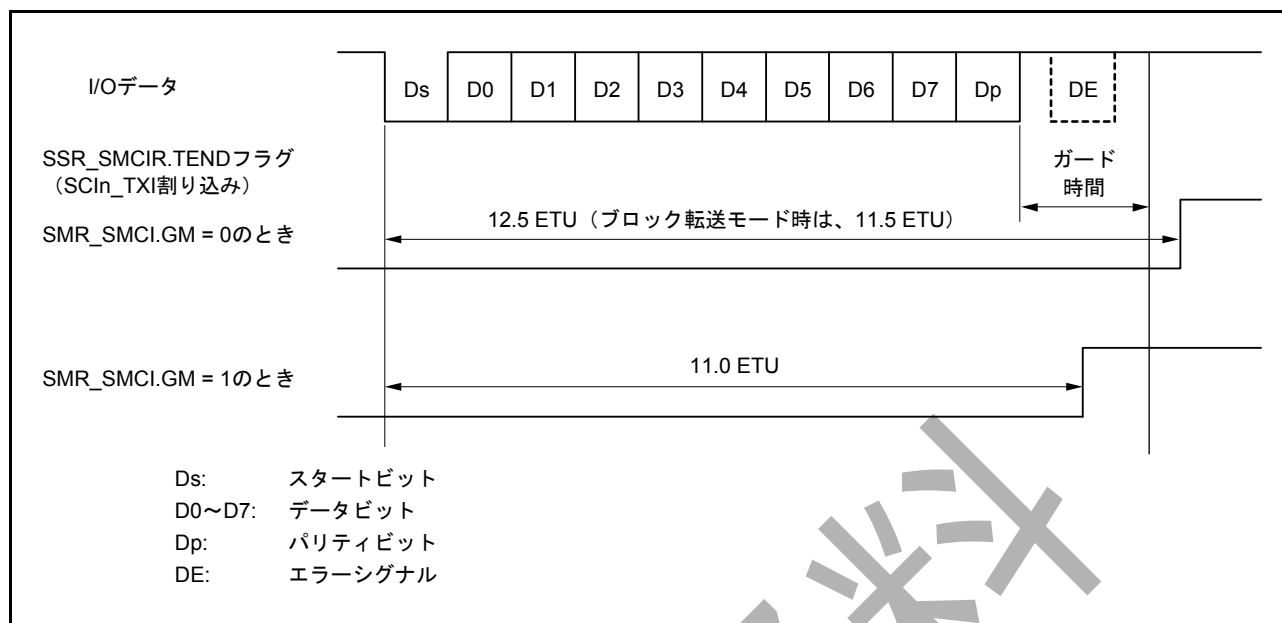


図 29.52 送信中の SSR.TEND フラグの発生タイミング



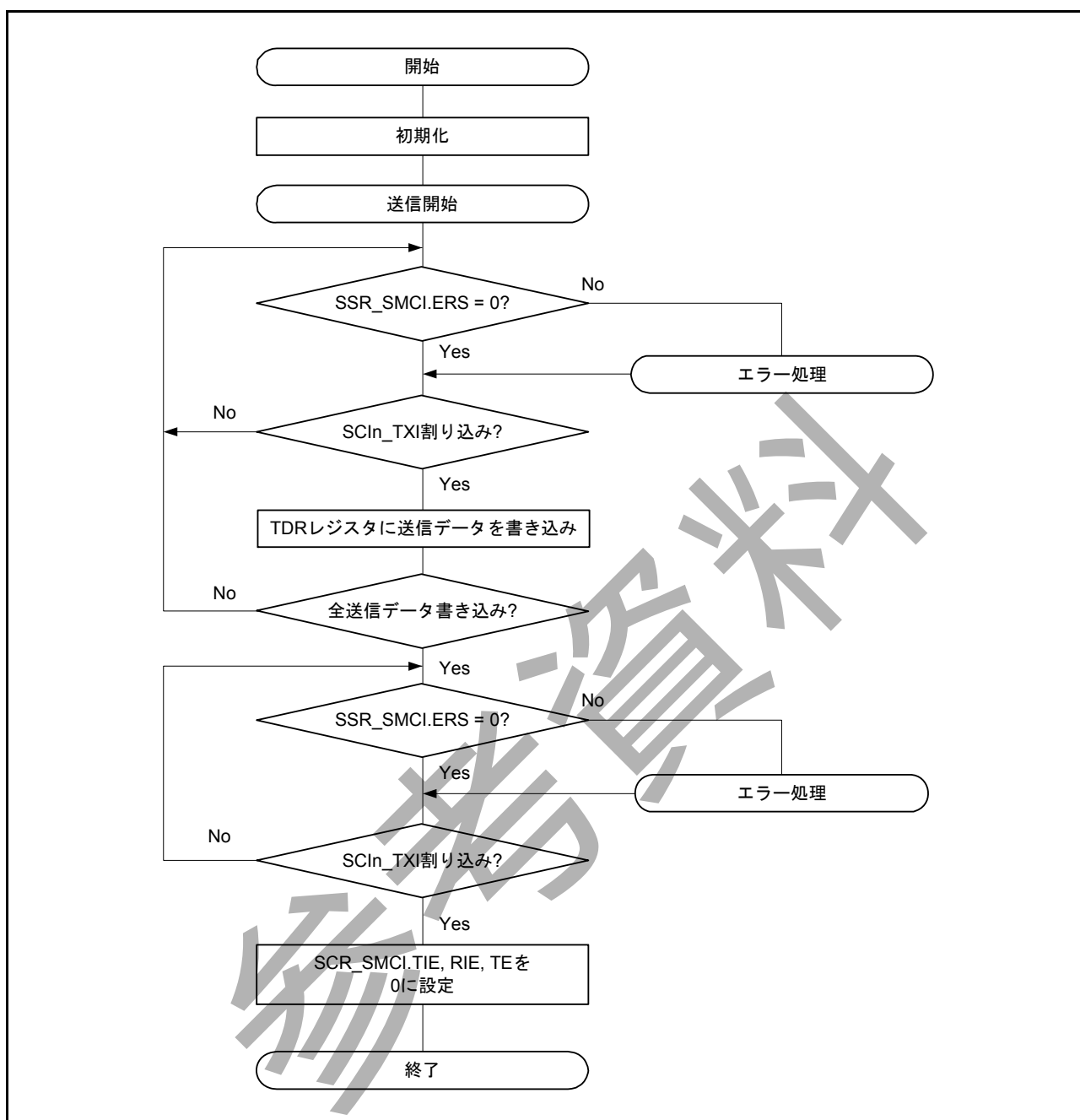


図 29.53 スマートカードインタフェース送信のフローチャート例

### 29.6.7 シリアルデータの受信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を図 29.54 に示します。

1. 受信データにパリティエラーが検出されると、SSR\_SMCI.PER フラグが 1 になります。このとき、SCR\_SMCI.RIE ビットが 1 になっていると、SCI<sub>In</sub>\_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグをクリアしてください。
2. パリティエラーが検出されたフレームに対しては、SCI<sub>In</sub>\_RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合、SSR\_SMCI.PER フラグは 1 になりません。
4. この場合、正常に受信が完了したと判断されます。このとき、SCR\_SMCI.RIE ビットが 1 になっていると、SCI<sub>In</sub>\_RXI 割り込み要求が発生します。

図 29.55 に、シリアル受信のフローチャート例を示します。これら一連の処理は、SCI<sub>In</sub>\_RXI 割り込み要求で DMAC または DTC を起動することによって、自動的に行うことができます。

受信動作では、RIE ビットを 1 にしておくこと、SCI<sub>In</sub>\_RXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCI<sub>In</sub>\_RXI 割り込み要求を設定しておけば、SCI<sub>In</sub>\_RXI 割り込み要求によって DMAC または DTC が起動されて、受信データの転送が可能になります。

また、受信時にエラーが発生して SSR\_SMCI.ORER フラグまたは SSR\_SMCI.PER フラグのいずれかが 1 になると、受信エラー割り込み (SCI<sub>In</sub>\_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DMAC または DTC は起動されず、受信データはスキップされます。そのため、DMAC または DTC に指定されたバイト数だけ受信データが転送されます。

なお、受信時にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に SCR\_SMCI.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注 1. ブロック転送モードの場合は、29.3 調歩同期式モードの動作を参照してください。

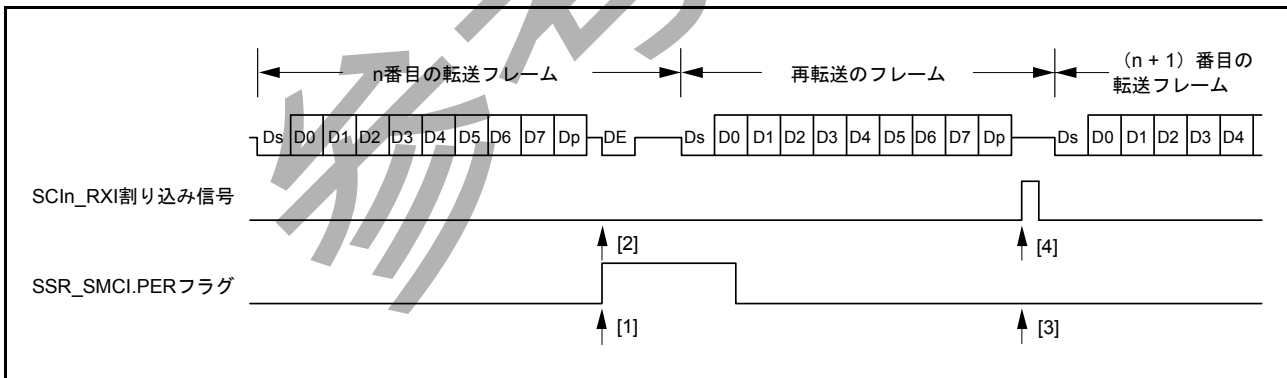


図 29.54 SCI 受信モードでの再転送動作（受信時の再転送動作）

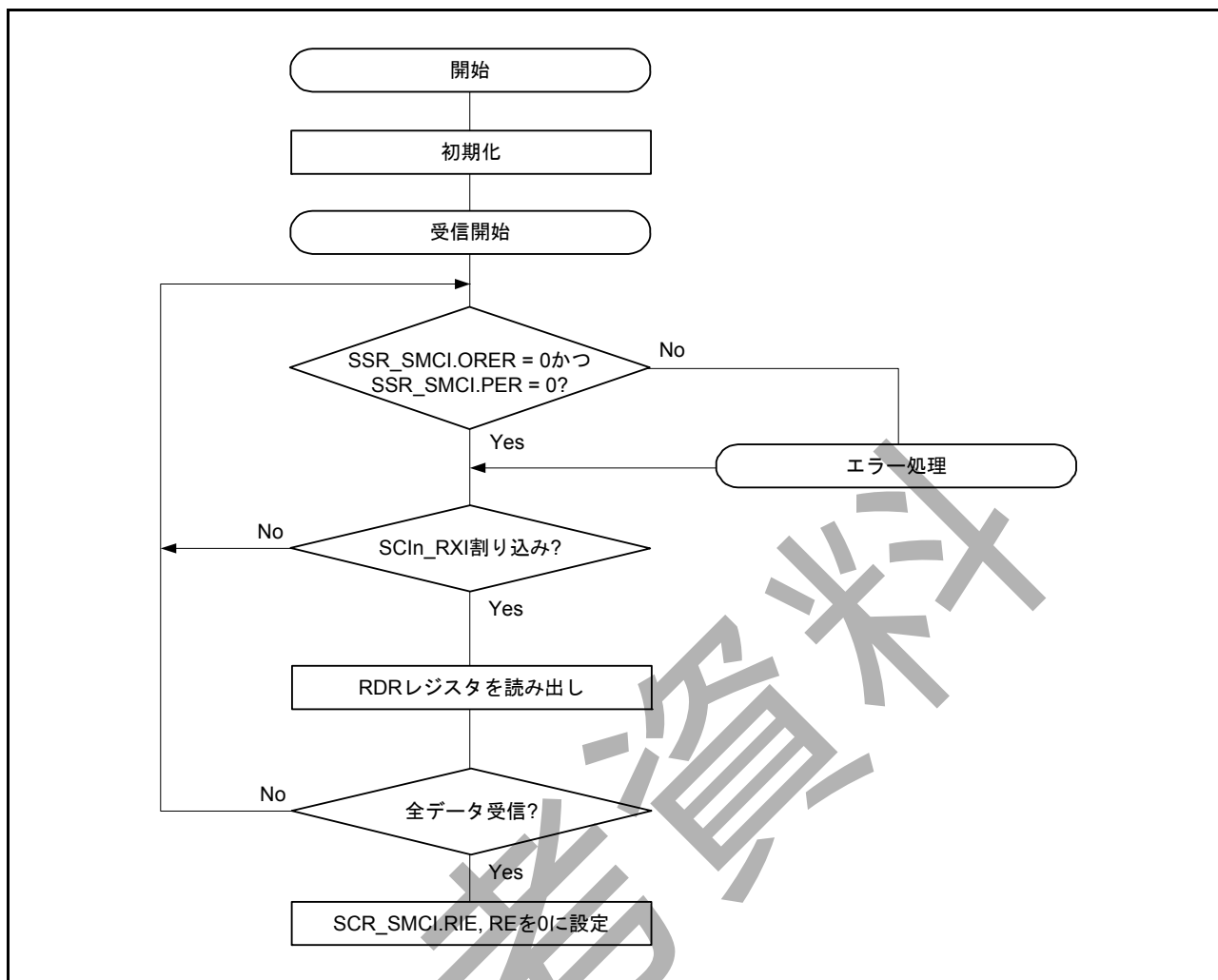


図 29.55 スマートカードインタフェース受信のフローチャート例

### 29.6.8 クロック出力制御

SMR\_SMCI.GM ビットが 1 の場合、SCR\_SMCI.CKE[1:0] ビットによってクロック出力の固定が可能です。このとき、クロックパルスの最小幅を指定できます。

図 29.56 に、クロック出力の固定タイミングを示します。これは SCR\_SMCI.GM ビット = 1、SCR\_SMCI.CKE[1] ビット = 0 として SCR\_SMCI.CKE[0] ビットを制御した場合の例です。

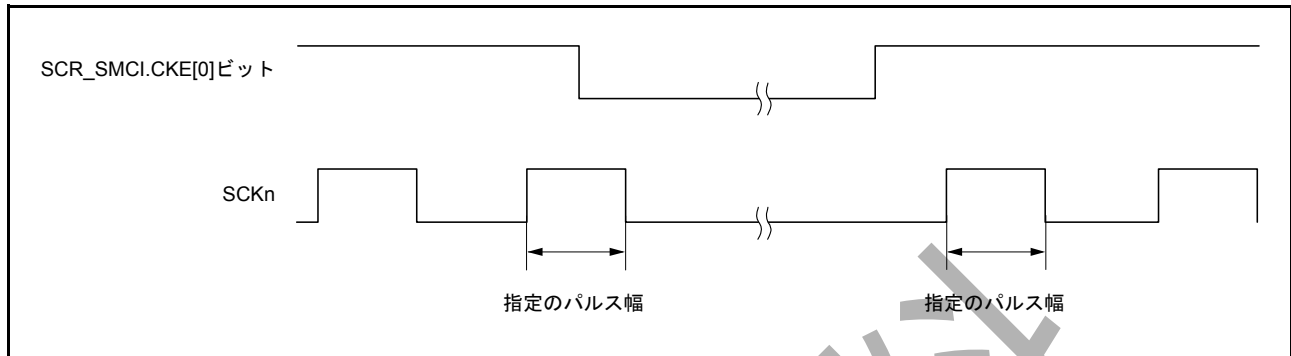


図 29.56 クロック出力固定タイミング

電源投入時からクロックデューティを確保するため、以下の切り替え手順で処理してください。

1. 初期状態は、ポート入力であり、ハイインピーダンスです。電位を調整するには、プルアップ/プルダウン抵抗を使用してください。
2. SCR\_SMCI.CKE[1] ビットおよび I/O ポート機能を設定し、SCKn 端子を指定の出力に固定します。
3. SMR\_SMCI レジスタと SCMR レジスタを設定し、スマートカードインタフェースモードに切り替えます。
4. SCR\_SMCI.CKE[0] ビットを 1 にして、クロック出力を開始します。

### 29.7 簡易 I<sup>2</sup>C モードの動作

簡易 I<sup>2</sup>C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 29.57 に、I<sup>2</sup>C バスフォーマットを、図 29.58 に、I<sup>2</sup>C バスタイミングを示します。

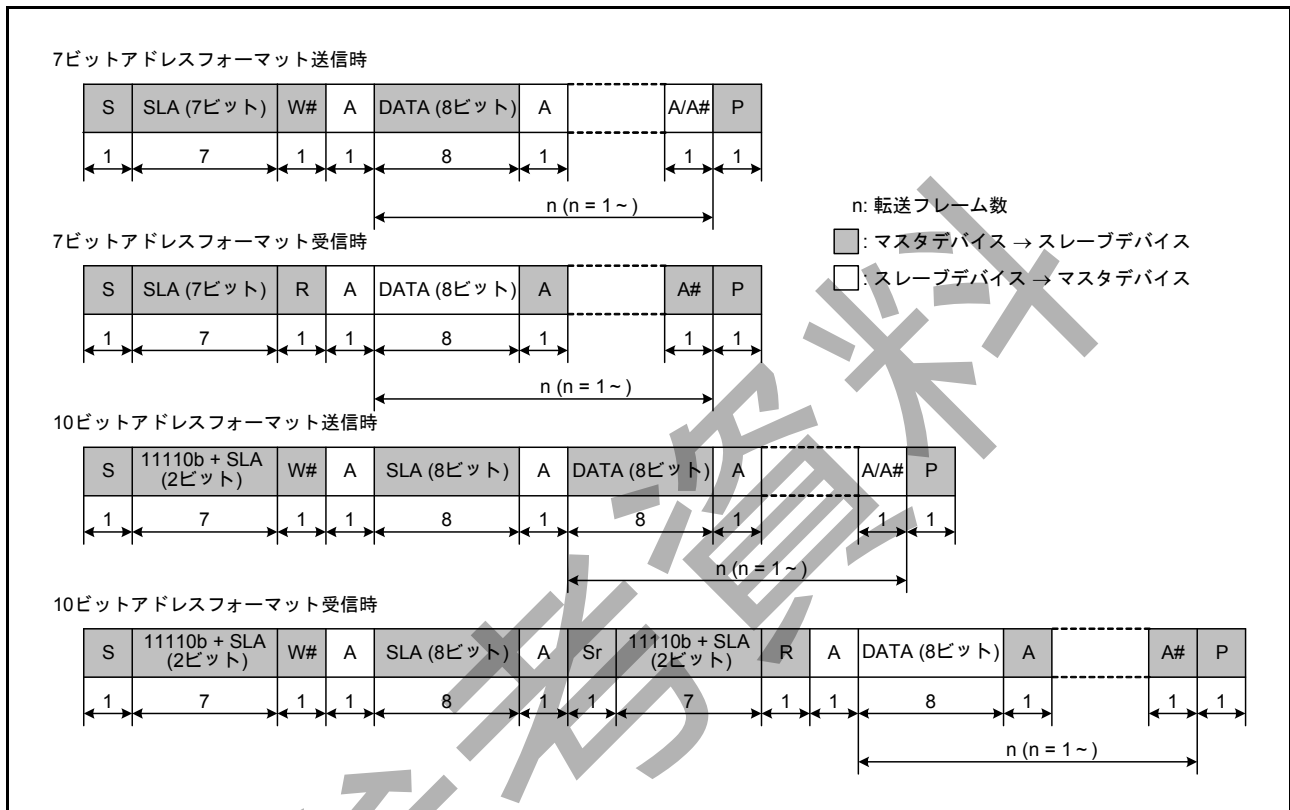


図 29.57 I<sup>2</sup>C バスフォーマット

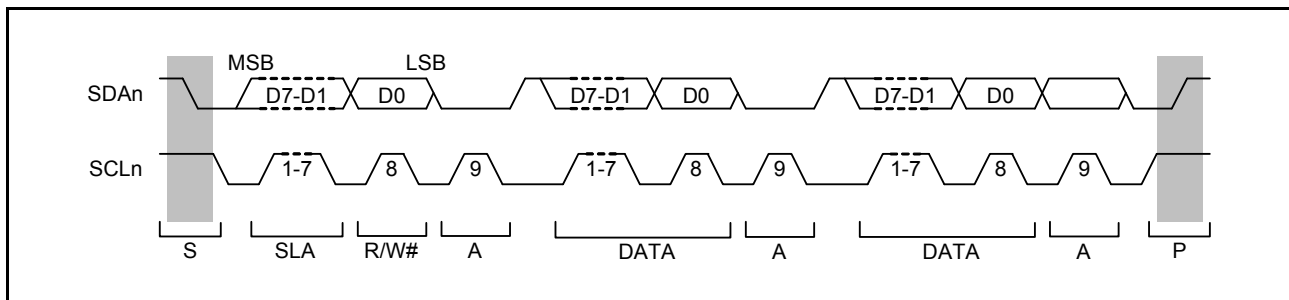


図 29.58 I<sup>2</sup>C バスタイミング (SLA = 7 ビットの場合)

- S : 開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインが High から Low へ変化します。
- SLA : スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します。
- R/W# : 転送方向 (送信/受信) を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します。
- A/A# : アクノリッジを示します。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。Low を返すことで ACK を、High を返すことで NACK を示します。
- Sr : 再開条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDAn ラインが High から Low へ変化します。
- DATA : 送受信データを示します。
- P : 停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインが Low から High へ変化します。

### 29.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに 1 を書き込むことにより、開始条件の生成を行います。開始条件の生成では、以下の動作が行われます。

- SDA<sub>n</sub> ラインを立ち下げ (High から Low へ変化)、SCL<sub>n</sub> ラインは開放状態を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、開始条件のホールド時間に設定
- SCL<sub>n</sub> ラインを立ち下げ (High から Low へ変化)、SIMR3.IICSTAREQ ビットを 0 にして、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに 1 を書き込むことにより、再開条件の生成を行います。再開条件の生成では、以下の動作が行われます。

- SDA<sub>n</sub> ラインを開放、SCL<sub>n</sub> ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCL<sub>n</sub> ラインの Low 期間に設定
- SCL<sub>n</sub> ラインを開放 (Low から High へ変化)
- SCL<sub>n</sub> ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開条件のセットアップ時間に設定
- SDA<sub>n</sub> ラインを立ち下げ (High から Low へ変化)
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開条件のホールド時間に設定
- SCL<sub>n</sub> ラインを立ち下げ (High から Low へ変化)、SIMR3.IICRSTAREQ ビットを 0 にして、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに 1 を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SDA<sub>n</sub> ラインを立ち下げ (High から Low へ変化)、SCL<sub>n</sub> ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCL<sub>n</sub> ラインの Low 期間に設定
- SCL<sub>n</sub> ラインを開放 (Low から High へ変化)
- SCL<sub>n</sub> ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、停止条件のセットアップ時間に設定
- SDA<sub>n</sub> ラインを開放 (Low から High へ変化)、SIMR3.IICSTPREQ ビットを 0 にして、停止条件生成割り込み要求を出力

図 29.59 に、開始条件、再開条件、停止条件生成の動作タイミングを示します。

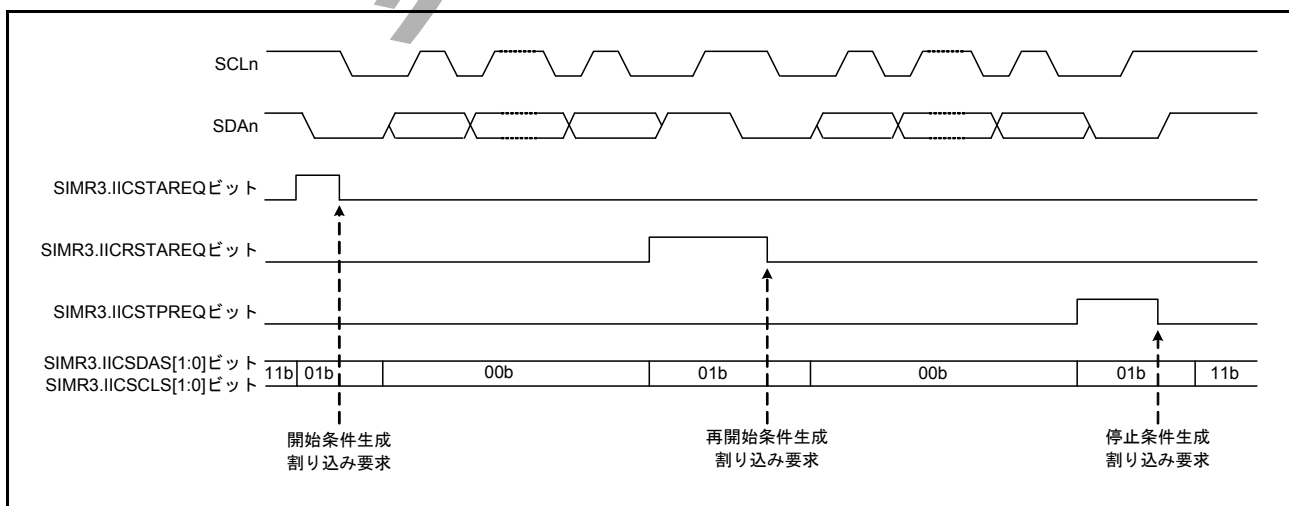


図 29.59 開始条件、再開条件、停止条件生成の動作タイミング

### 29.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で、SCLn ラインを Low にする場合があります。SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が SCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが 1 の場合、内部 SCLn クロックが Low から High へ変化すると、SCLn 端子入力が Low の間は High 期間のカウントを停止し、SCLn 端子入力が High へ変化すると、High 期間のカウントを開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの時間は、SCLn 端子出力遅延、SCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、および内部処理遅延（PCLK で 1～2 サイクル）の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

SIMR2.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが 0 の場合は、データの送受信は、内部 SCLn クロックに同期して行われます。

開始条件、再開条件、または停止条件の生成要求発行後、内部 SCLn クロック信号が Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロック信号が Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。[図 29.60](#) に、クロック同期化の動作例を示します。

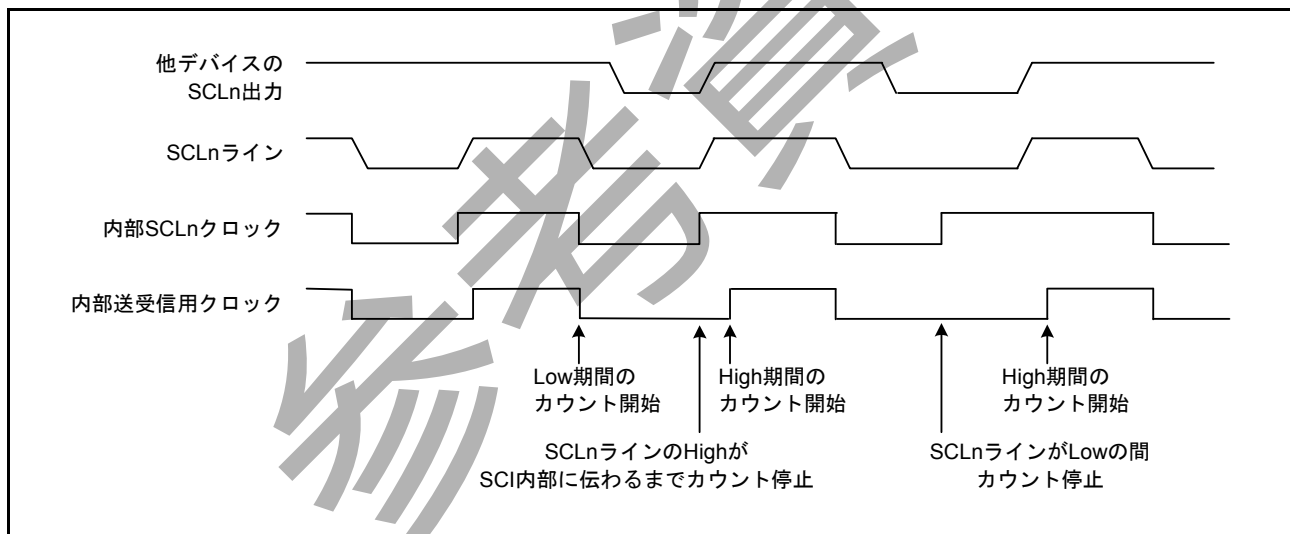


図 29.60 クロック同期化の動作例



### 29.7.3 SDA 出力遅延

SIMR1.IICDL[4:0] ビットを用いて、SCLn 端子出力の立ち下がりに対し、SDAn 端子出力を遅延させることが可能です。遅延時間は 0 ~ 31 サイクルの間で選択可能です。この単位は、内蔵ポーレートジェネレータからのクロック信号のサイクル数に相当します (SMR.CKS[1:0] ビットで選択した分周ベースクロック (PCLK) を基準とします)。SDAn 端子出力の遅延は、開始条件/再開条件/停止条件の各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDAn 出力遅延が SCLn 端子出力の立ち下がり時間より短い場合、SCLn 端子出力の立ち下がり中に SDAn 端子出力が変化を開始し、スレーブデバイスが誤動作する可能性があります。SDAn 出力遅延は、SCLn 端子出力の立ち下がり時間の最大値 (I<sup>2</sup>C の標準モード、ファストモードでは 300ns) より大きくなるように設定してください。

図 29.61 に、SDAn 出力遅延のタイミングを示します。

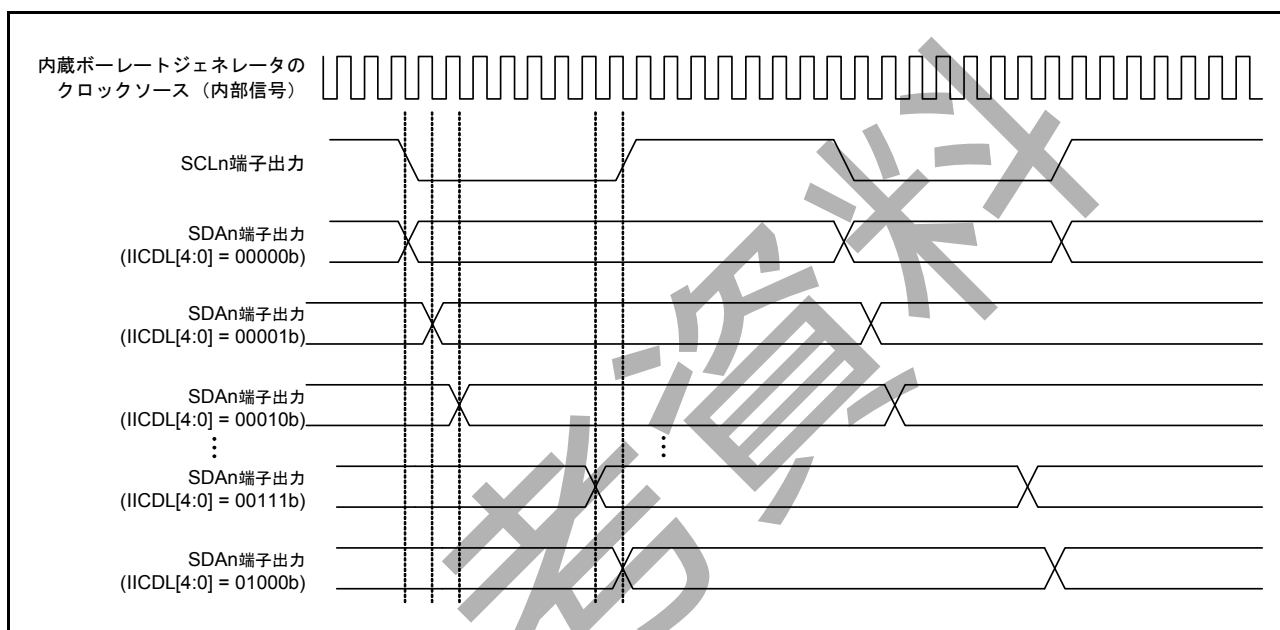


図 29.61 SDA 出力遅延のタイミング

### 29.7.4 SCI の初期化 (簡易 I<sup>2</sup>C モード)

データの送受信前に、SCR レジスタに初期値 00h を書き込み、図 29.62 のフローチャート例に従って、インタフェースを初期化してください。

動作モードや通信フォーマットなどを変更する場合は、必ず SCR レジスタをその初期値に設定してから行ってください。

また、簡易 I<sup>2</sup>C モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

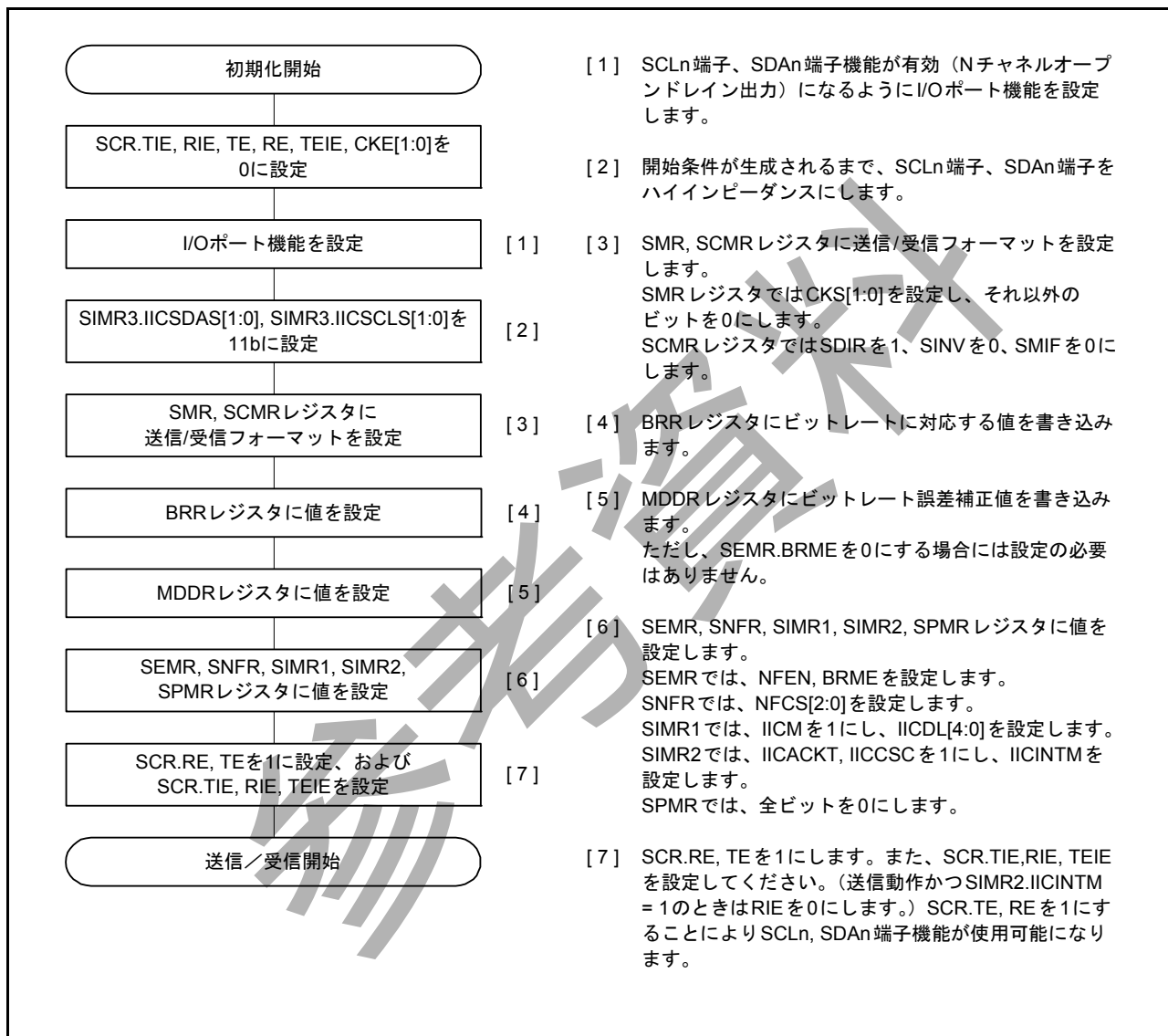


図 29.62 SCI の初期化フローチャート例 (簡易 I<sup>2</sup>C モード)

### 29.7.5 マスタ送信動作 (簡易 I<sup>2</sup>C モード)

図 29.63 と図 29.64 に、マスタ送信の動作例を、図 29.65 に、データ送信のフローチャート例を示します。下図では、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) で、SCR.RIE ビットが 0 (SCIn\_RXI および SCIn\_ERI 割り込み要求を禁止) の場合を想定しています。STI 割り込みについては、表 29.24 を参照してください。

10 ビットスレーブアドレス使用時は、図 29.65 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I<sup>2</sup>C モードでの送信データエンプティ割り込み (SCIn\_TXI) は、クロック同期式送信時の SCIn\_TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

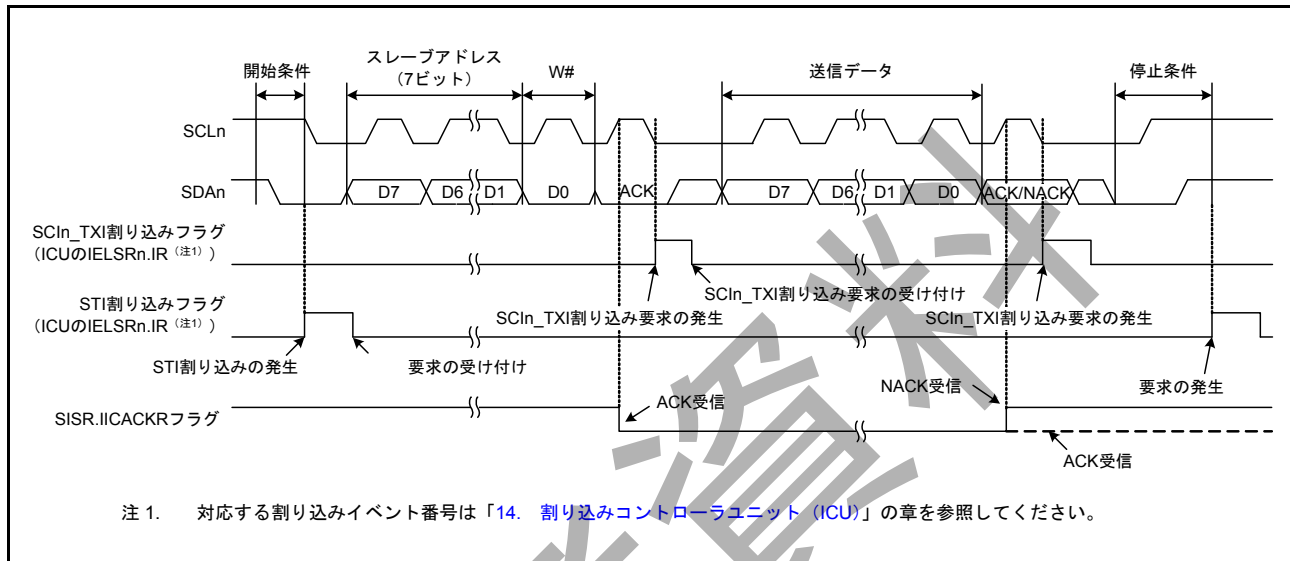


図 29.63 簡易 I<sup>2</sup>C バスモードにおけるマスタ送信の動作例 1  
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信中に SIMR2.IICINTM ビットを 0 (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガにして DMAC または DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

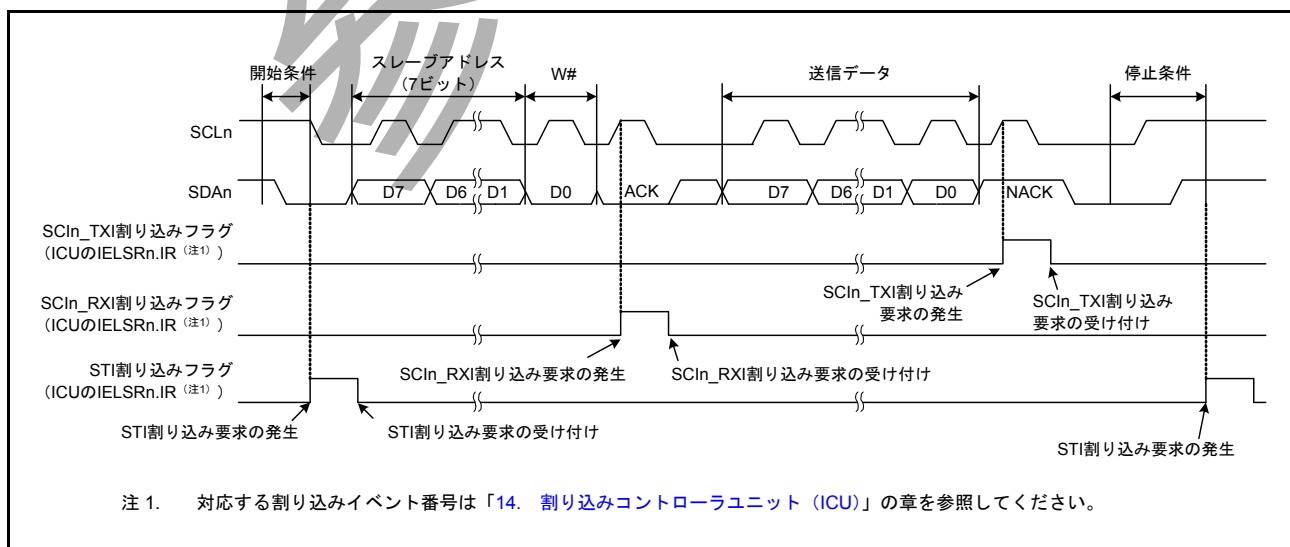


図 29.64 簡易 I<sup>2</sup>C バスモードにおけるマスタ送信の動作例 2  
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

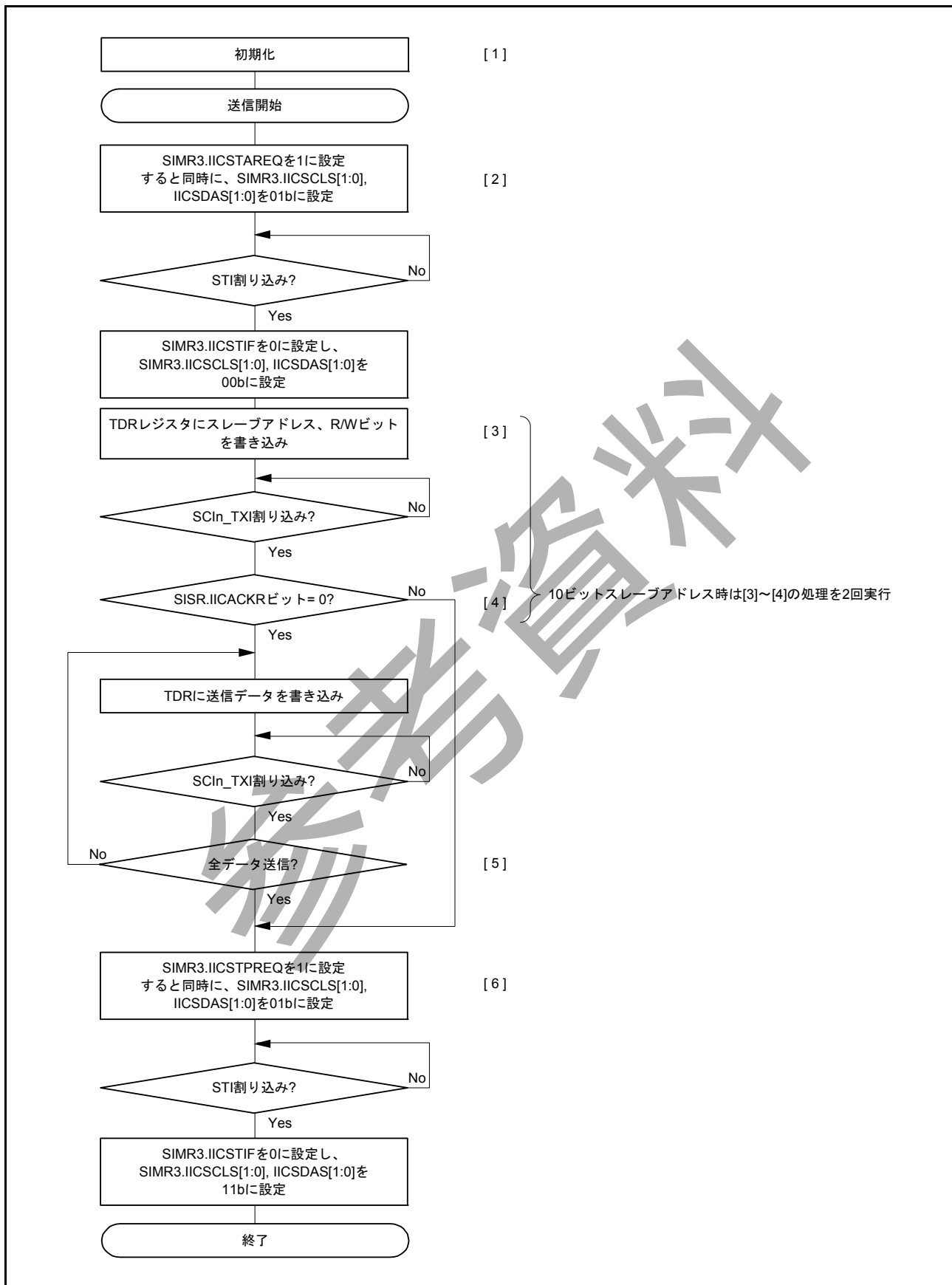


図 29.65 簡易 I<sup>2</sup>C バスモードにおけるマスタ送信動作のフローチャート例  
(送信割り込み、受信割り込み使用時)

### 29.7.6 マスタ受信動作 (簡易 I<sup>2</sup>C モード)

図 29.66 に簡易 I<sup>2</sup>C モードにおけるマスタ受信の動作例を、図 29.67 にマスタ受信のフローチャート例を示します。

下図では、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合を想定しています。

簡易 I<sup>2</sup>C モードでの送信データエンプティ割り込み (SCIn\_TXI) は、クロック同期式送信時の SCIn\_TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

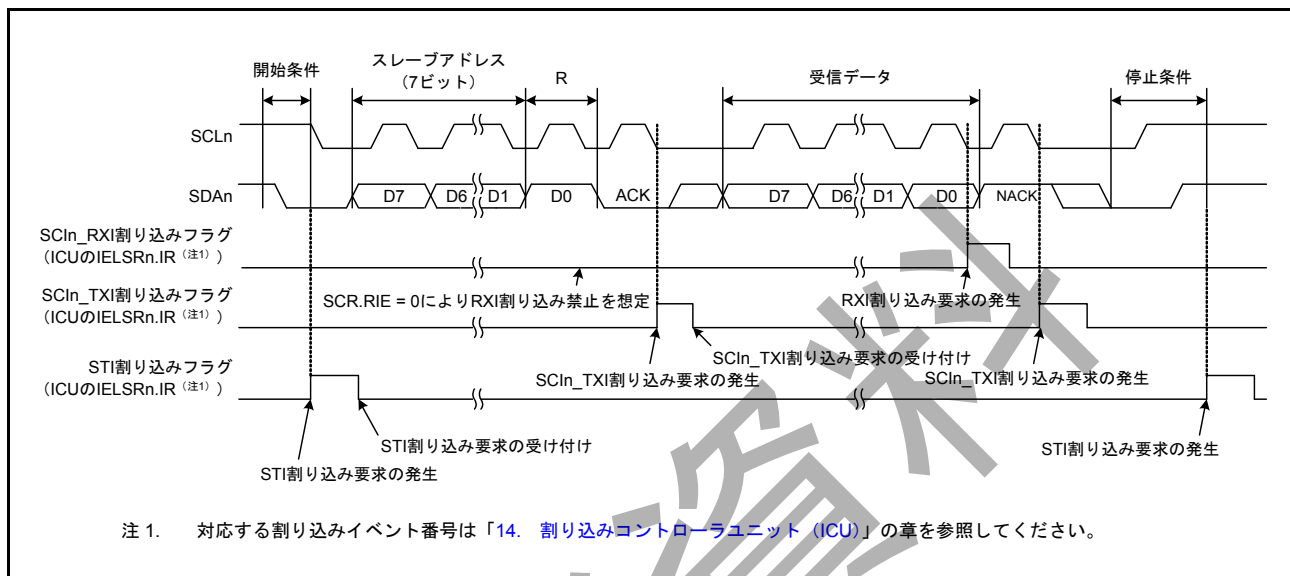


図 29.66 簡易 I<sup>2</sup>C バスモードにおけるマスタ受信の動作例  
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

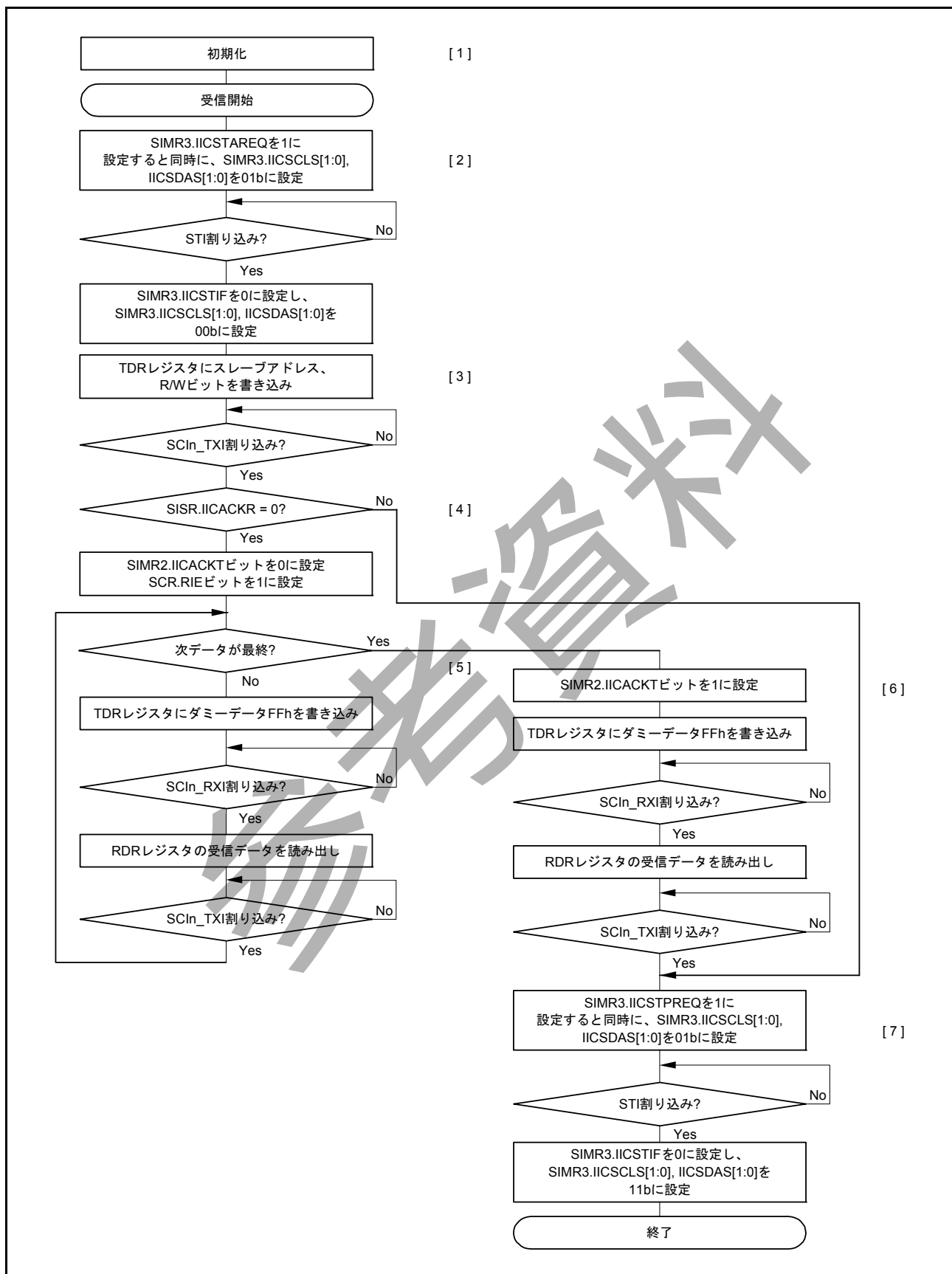


図 29.67 簡易 I<sup>2</sup>C バスモードにおけるマスタ受信動作のフローチャート例  
(送信割り込み、受信割り込み使用時)

## 29.8 簡易 SPI モードの動作

SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF = 0、SIMR1.IICM = 0、SMR.CM = 1) を使用するとともに、SPMR.SSE ビットを 1 にすることによって、SCI は簡易 SPI モードになります。なお、簡易 SPI モードであっても、シングルマスタ構成で使用する場合は、マスタ側の SS 端子機能は不要であるため、SPMR.SSE ビットは 0 にしてください。

図 29.68 に、簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み出すことが可能です。その結果、連続送受信動作が実現されます。

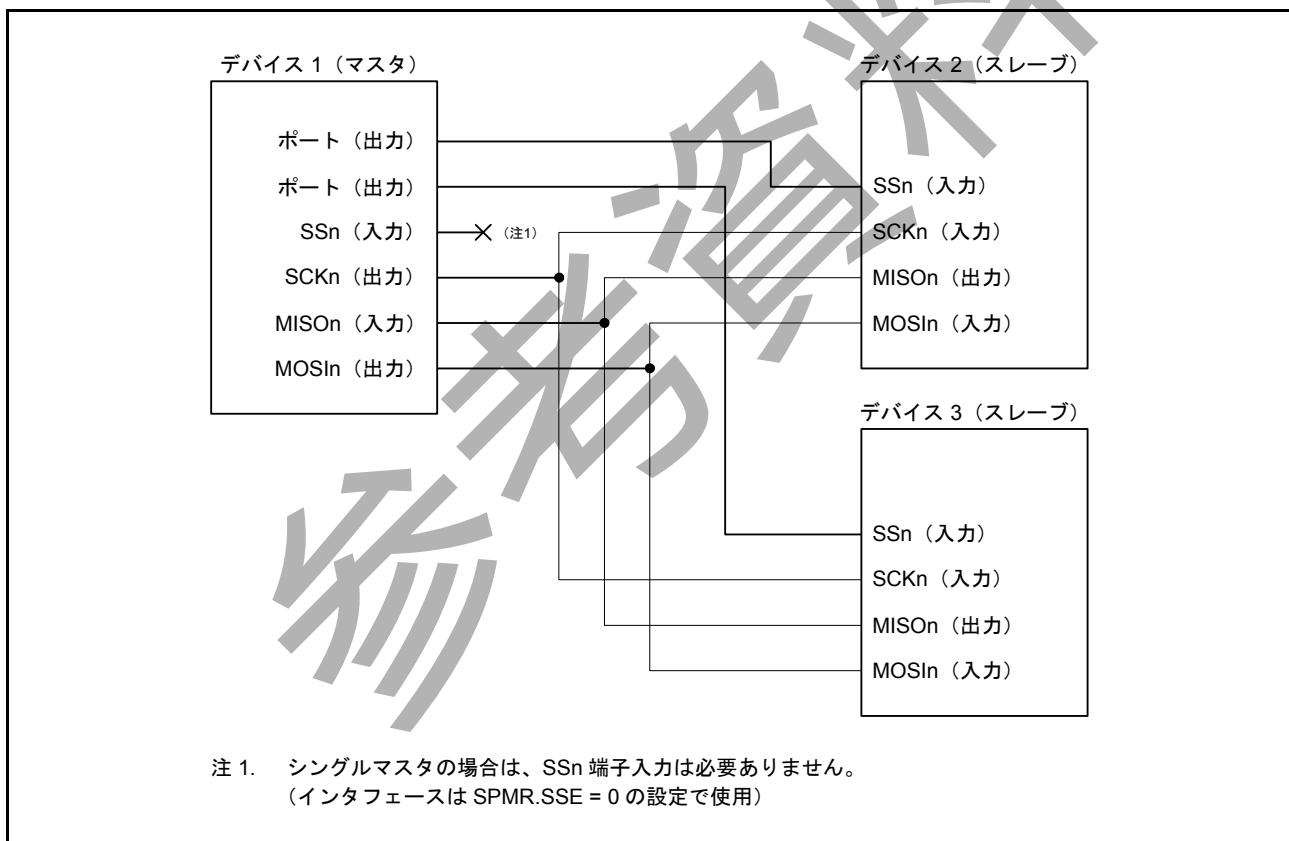


図 29.68 簡易 SPI モードでの接続例 (シングルマスタ時、SPMR.SSE ビット = 0)

### 29.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0]=00b または 01b、かつ SPMR.MSS=0) と、スレーブモード (SCR.CKE[1:0]=10b または 11b、かつ SPMR.MSS=1) で、各端子の入出力方向が異なります。

表 29.24 に、モードおよび SSn 端子入力と各端子状態の関係を示します。

表 29.24 モードおよび SSn 端子入力と各端子状態の関係

モード	SSn 端子入力	TXDn 端子状態	RXDn 端子状態	SCKn 端子状態
マスタモード (注1)	High レベル (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low レベル (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High レベル (通信可能)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low レベル (通信不可)	受信データ入力	送信データ出力	クロック入力

- 注 1. シングルマスタ構成 (SPMR.SSE ビット = 0) のみの場合、SSn 端子の入力レベルにかかわらず、通信可能 (SSn 端子入力が High のときと等価) となります。SSn 端子機能は不要であり、別の用途に使用できます。
- 注 2. シリアル送信禁止 (SCR.TE ビット = 0) の場合、MOSIn 端子出力はハイインピーダンスです。
- 注 3. マルチマスタ構成 (SPMR.SSE ビット = 1) では、シリアル送受信禁止 (SCR.TE および SCR.RE ビット = 00b) の場合、SCKn 端子出力はハイインピーダンスです。

### 29.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] ビットを 00b にして、SPMR.MSS ビットを 0 にすると、マスタモードになります。シングルマスタ構成 (SPMR.SSE ビット = 0) では、SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成 (SPMR.SSE ビット = 1) において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは、別のマスタが送受信動作を行っていることを示すため、マスタデバイスは SCKn 端子からクロックを出力した後、送受信動作を開始します。

マルチマスタ構成 (SPMR.SSE ビット = 1) において SSn 端子入力が Low の場合は、別のマスタが存在して、送受信を行っています。MOSIn 端子出力と SCKn 端子出力はハイインピーダンスになり、送受信動作を開始することができません。また、モードフォルトエラーとして SPMR.MFF ビットが 1 になります。マルチマスタ構成では、SPMR.MFF フラグを読むことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止しませんが、送受信動作完了後の MOSIn 端子出力と SCKn 端子出力はハイインピーダンス状態です。

マスタからの SS 信号出力については、汎用ポートで制御してください。

### 29.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] ビットを 10b にして、SPMR.MSS ビットを 1 にすると、スレーブモードになります。SSn 端子入力が High のとき、MISOIn 出力端子の状態はハイインピーダンスであり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効であり、送受信動作が可能です。

送受信動作中に SSn 端子入力が Low から High に変化した場合、MISOIn 端子出力がハイインピーダンスになります。なお、内部の送受信動作は SCKn 端子から入力されるクロックレートで継続し、1 キャラクタ分の送受信が完了すると、動作が停止して、割り込み (SCIn\_TXI、SCIn\_RXI、SCIn\_TEI のいずれか) が発生します。



### 29.8.4 クロックと送受信データの関係

SPMR.CKPOL ビットと SPMR.CKPH ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。クロック信号と送受信データの関係を図 29.69 に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと等価です。

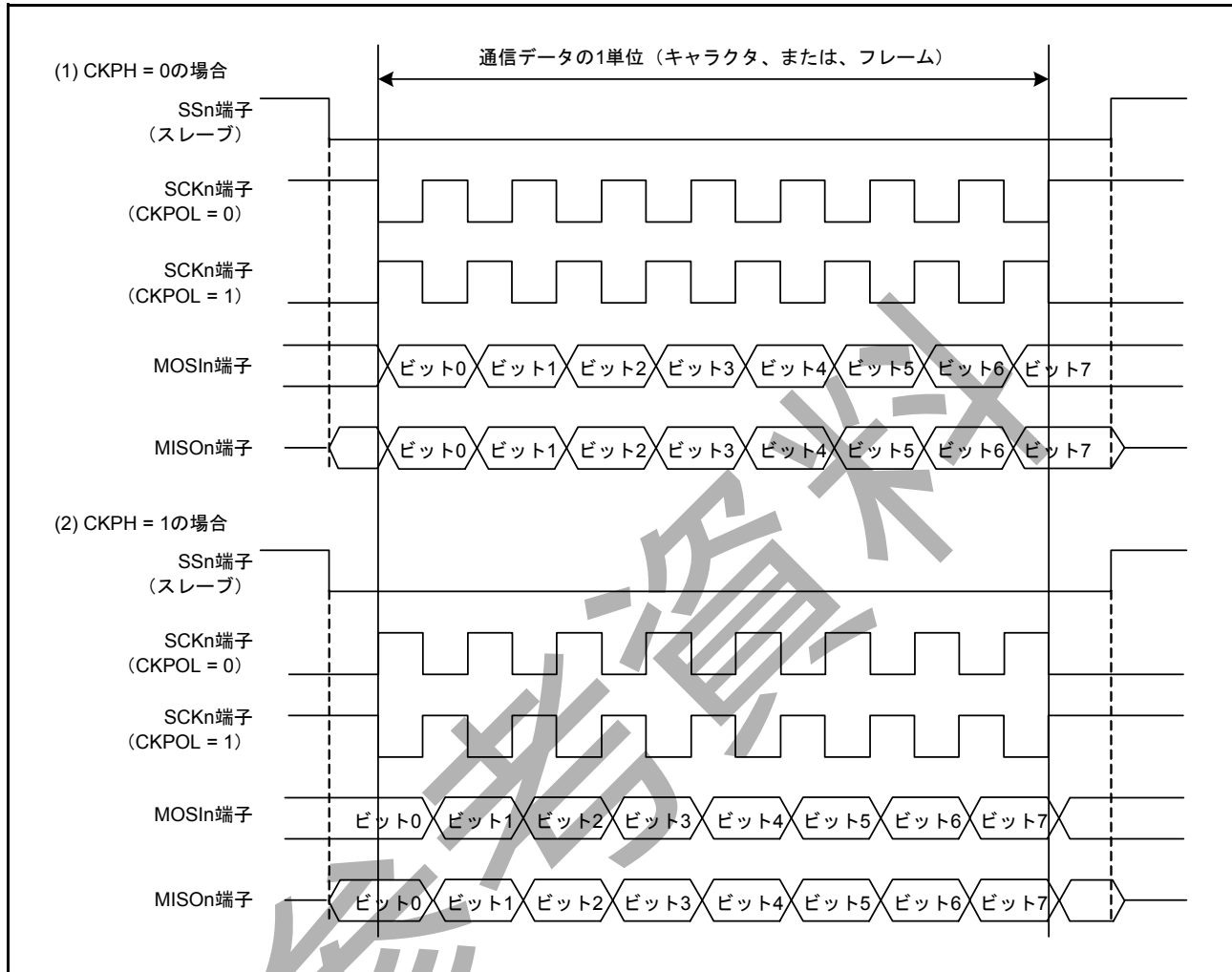


図 29.69 簡易 SPI モードにおけるクロックと送受信データの関係

### 29.8.5 SCI の初期化 (簡易 SPI モード)

初期化手順は、クロック同期式モードの場合と同じです。図 29.32 を参照してください。SPMR.CKPOL ビットと SPMR.CKPH ビットで選択するクロック信号の構成は、マスタデバイスとスレーブデバイスの両方に適切な構成としてください。

初期化、動作モードの変更、通信フォーマットの変更などは、SCR レジスタを初期値にしてから行ってください。

SCR.RE ビットを 0 にしても、SSR.ORER、FER、PER の各フラグ、および RDR レジスタは初期化されません。SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、送信データエンプティ割り込み (SCIn\_TXI) が発生します。

### 29.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモードでは、送受信先のスレーブデバイスの SSn 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。それ以外の手順はクロック同期式モードと同様です。

## 29.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能では、PCLK が SMR/SMR\_SMCI レジスタの CKS[1:0] ビットで選択された場合に、MDDR レジスタで指定した数を用いて、ビットレートを均一に補正することが可能です。

調歩同期式モードにおいて、PCLK が SMR/SMR\_SMCI レジスタの CKS[1:0] ビットで選択されたとき、BRR と MDDR がそれぞれ 0 と 160 の場合の例を図 29.70 に示します。この例では、基本クロックの周期が均一に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モードと、簡易 SPI モードの最高速設定 (SMR.CKS[1:0] ビット = 00b、SCR.CKE[1] ビット = 0、および BRR = 0) では、この機能を使用しないでください。

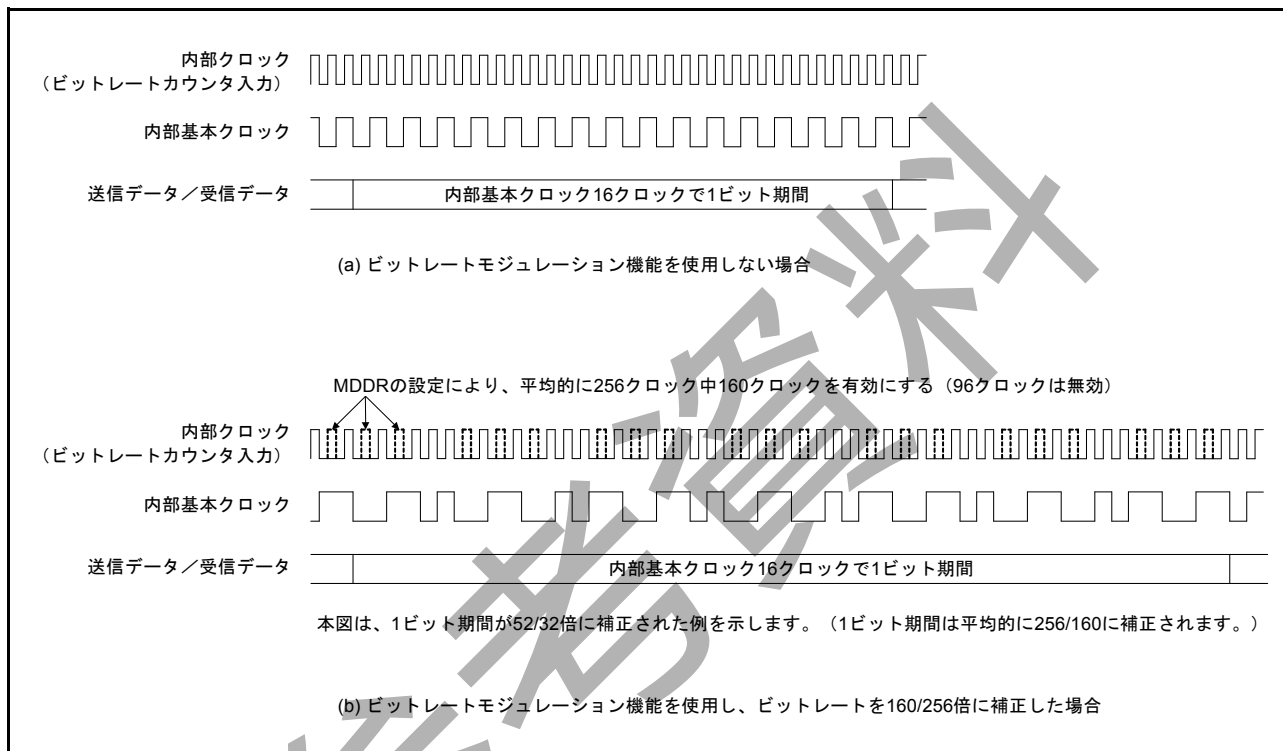


図 29.70 ビットレートモジュレーション機能使用時の内部基本クロックの例

## 29.10 割り込み要因

### 29.10.1 SCIn\_TXI および SCIn\_RXI 割り込みのバッファ動作 (非 FIFO 選択時)

割り込みコントローラユニットの割り込みステータスフラグが 1 のときは、SCIn\_TXI 割り込みと SCIn\_RXI 割り込みの発生条件が成立していても、割り込みコントローラユニットは割り込み要求を出力せず、内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。

割り込みコントローラユニットの割り込みステータスフラグが 0 になると、割り込みコントローラユニット内に保持されていた割り込み要求が出力されます。割り込み要求が出力されると、内部で保持されていた割り込みは自動的に破棄されます。また、内部で保持されていた割り込み要求は、対応する割り込み許可ビット (SCR/SCR\_SMCI レジスタの TIE ビットまたは RIE ビット) をクリアすることでも破棄できます。

### 29.10.2 SCIn\_TXI および SCIn\_RXI 割り込みのバッファ動作 (FIFO 選択時)

SCIn\_TXI 割り込みと SCIn\_RXI 割り込みは、割り込みコントローラユニットの割り込みステータスフラグが 1 であっても、割り込みコントローラユニットに対して割り込み要求を出力しません。割り込みコントローラユニットの割り込みステータスフラグが 0 になったとき、SCIn\_TXI 割り込みと SCIn\_RXI 割り込みの条件が成立していれば、割り込み要求が発生します。

### 29.10.3 調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み

#### (1) 非 FIFO 選択時

表 29.25 に、調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタの割り当てが可能であり、SCR レジスタの許可ビットによって、それぞれ個別に許可または禁止にできます。

SCR.TIE ビットが 1 のとき、送信データが TDR レジスタまたは TDRHL レジスタ (注1) から TSR レジスタへ転送されると、SCIn\_TXI 割り込み要求が発生します。また、SCIn\_TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に 1 にすることも発生します。SCIn\_TXI 割り込み要求を用いて DMAC または DTC を起動し、データ転送を行うことができます。

SCIn\_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。(注2)

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、SSR.TEND フラグが 1 になり、SCIn\_TEI 割り込み要求が発生します。また、SCR.TE ビットを 1 にしてから TDR レジスタまたは TDRHL レジスタ (注1) に送信データを書き込むまでの間は、SSR.TEND フラグは 1 を保持しており、SCR.TEIE ビットを 1 にすると SCIn\_TEI 割り込み要求が発生します。

TDR レジスタまたは TDRHL レジスタ (注1) にデータを書き込むと、SSR.TEND フラグがクリアされて SCIn\_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

SCR.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn\_RXI 割り込み要求が発生します。SCIn\_RXI 割り込み要求を用いて DMAC または DTC を起動し、データ転送を行うことができます。

SCR.RIE ビットが 1 のとき、SSR.ORER、FER、PER のいずれかのフラグが 1 になると、SCIn\_ERI 割り込み要求が発生します。このとき、SCIn\_RXI 割り込み要求は発生しません。これら 3 つのフラグ (ORER、FER、PER) のすべてをクリアすることによって、SCIn\_ERI 割り込み要求を取り消すことができます。

## (2) FIFO 選択時

表 29.26 に、FIFO モード選択時の割り込み要因を示します。

SCR.TIE ビットが 1 のとき、FTDRL レジスタに格納されたデータ数が FCR.TTRG で指示されたしきい値以下になると、SCIn\_TXI 割り込み要求が発生します。また、SCIn\_TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に 1 にすることでも発生します。

SCIn\_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが FTDRL レジスタに書き込まれていないと、SSR\_FIFO.TEND フラグが 1 になり、SCIn\_TEI 割り込み要求が発生します。

SCR.RIE ビットが 1 のとき、FRDRL レジスタに格納されたデータ数が FCR.RTRG で指示されたしきい値以上になると、SCIn\_RXI 割り込み要求が発生します。ただし RTRG が 0 の場合は、レシーブ FIFO 内のデータ数が 0 であっても、SCIn\_RXI 割り込み要求は発生しません。

SCR.RIE ビットが 1 のとき、SSR\_FIFO.ORER フラグが 1 になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータが FRDRL レジスタに格納されると、SCIn\_ERI 割り込み要求が発生します。FRDRL レジスタに格納されたデータ数がしきい値以上であると、同時に SCIn\_RXI 割り込み要求も発生します。SSR\_FIFO.ORER、FER、および PER フラグをすべてクリアすることで、SCIn\_ERI 割り込み要求を取り消すことができます。

注 1. 調歩同期式モードにおいて、データ長 9 ビットを選択した場合です。

注 2. 最終データの送信時に SCIn\_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、SCR.TIE ビットではなく、割り込みコントローラの SCIn\_TXI 割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn\_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

表 29.25 SCIの割り込み要因：調歩同期式モード、クロック同期式モード、簡易SPIモード（非FIFO選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_ERI	受信エラー	ORER, FER, PER, DFER, DPER	RIE	不可能	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能	可能
	アドレス一致	DCMF	RIE	可能	可能
SCIn_AM	アドレス一致	DCMF	—	可能	可能
SCIn_TXI	送信データエンブティ	TDRE	TIE	可能	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能	不可能

表 29.26 SCIの割り込み要因：調歩同期式モード、クロック同期式モード、簡易SPIモード（FIFO選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_ERI	受信エラー	ORER, FER, PER, DFER, DPER	RIE	不可能	不可能
		DR (FCR.DRES = 1 の場合)	RIE	不可能	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能	可能
	受信データレディ	DR (FCR.DRES = 0 の場合)	RIE	可能	可能
	アドレス一致	DCMF	RIE	可能	可能
SCIn_AM	アドレス一致	DCMF	—	可能	可能
SCIn_TXI	送信データエンブティ	TDRE	TIE	可能	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能	不可能

### 29.10.4 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードにおける割り込み要因を表 29.27 に示します。このモードでは、送信終了割り込み (SCIn\_TEI) 要求とアドレス一致 (SCIn\_AM) 要求は使用できません。

表 29.27 SCIの割り込み要因：スマートカードインタフェースモード

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_ERI	受信エラー、エラーシグナル検出	ORER, FER, ERS	RIE	不可能	不可能
SCIn_RXI	受信データフル	—	RIE	可能	可能
SCIn_TEI	送信データエンブティ	TEND	TIE	可能	可能

スマートカードインタフェースモードの場合も、他の SCI モードと同様に、DMAC または DTC を使用した送受信が可能です。送信動作では、SSR\_SMCI.TEND フラグが 1 になると、SCIn\_TXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCIn\_TXI 割り込み要求を設定しておけば、SCIn\_TXI 割り込み要求によって DMAC または DTC が起動されて、送信データの転送が可能になります。TEND フラグは、DMAC または DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグは 0 のまま保持され、DMAC または DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC または DTC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に SSR\_SMCI.ERS フラグは自動的に 0 にクリアされません。そのため、SCR\_SMCI.RIE ビットを 1 にしておき、エラー発生時に SCIn\_ERI 割り込み要求が発生させることで、ERS フラグをクリアしてください。

なお、DMAC または DTC を使用して送受信を行う場合は、必ず DMAC または DTC を有効にしてから、SCI の設定を行ってください。DMAC または DTC の設定方法については、「[17. DMA コントローラ \(DMAC\)](#)」と「[18. データトランスファコントローラ \(DTC\)](#)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn\_RXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求によって DMAC または DTC が起動されて、受信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DMAC または DTC は起動せず、代わりに CPU に対して SCIn\_ERI 割り込み要求が発行されるので、エラーフラグをクリアしてください。

### 29.10.5 簡易 I<sup>2</sup>C モードにおける割り込み

簡易 I<sup>2</sup>C モードにおける割り込み要因を表 29.28 に示します。STI 割り込みは、送信終了割り込み (SCIn\_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn\_ERI) 要求とアドレス一致 (SCIn\_AM) 要求は使用できません。

簡易 I<sup>2</sup>C モードにおいても、DMAC または DTC を使用した送受信が可能です。

SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がり、SCIn\_RXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求によって DMAC または DTC が起動されて、受信データの転送が可能になります。また、SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち下がり、SCIn\_TXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCIn\_TXI 割り込み要求を設定しておけば、SCIn\_TXI 割り込み要求によって DMAC または DTC が起動されて、送信データの転送が可能になります。

SIMR2.IICINTM ビットが 0 のとき、

- SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち上がり、SDAn 端子入力が Low であると、SCIn\_RXI 割り込み要求 (ACK 検出) が発生します。あらかじめ DMAC または DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求によって DMAC または DTC が起動されて、受信データの転送が可能になります。
- SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち上がり、SDAn 端子入力が High であると、SCIn\_TXI 割り込み要求 (NACK 検出) が発生します。

DMAC または DTC を使用して送受信を行う場合は、前もって DMAC または DTC を有効にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 29.28 SCI の割り込み要因：簡易 I<sup>2</sup>C モード

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動	DMAC の起動
SCIn_RXI	受信、ACK 検出	—	RIE	可能	可能
SCIn_TXI	送信、NACK 検出	—	TIE	可能	可能
STIn	開始条件、再開条件、停止条件生成終了	IICSTIF	TEIE	不可能	不可能

注． SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合にのみ、DTC の起動が可能です。

## 29.11 イベントリンク機能

SCI は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることができます。

### (1) エラー (受信エラー、エラーシグナル検出時) イベント出力

- 調歩同期式モードで、受信時にパリティエラーが発生して異常終了したことを示します。
- 調歩同期式モードで、受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信中にオーバーランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで、送信中にエラーシグナルが検出されたことを示します。
- FIFO 選択時かつ FCR.DRES ビットが 1 の場合、SSR\_FIFO.FER フラグと SSR\_FIFO.PER フラグが 0 であり、レシーブ FIFO データトリガ数より少ない受信データがレシーブ FIFO バッファに格納され、15ETU 経過したことを示します。

### (2) 受信データフルイベント出力

- 簡易 I<sup>2</sup>C モードで、SIMR2.IICINTM ビットが 0 のとき、ACK が検出されたことを示します。
- 簡易 I<sup>2</sup>C モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりが検出されたことを示します。

簡易 I<sup>2</sup>C モードでのマスタ送信時に、SIMR2.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラを設定してください。

#### (a) 非 FIFO 選択時

- 受信データがレシーブデータレジスタ (RDR または RDRHL) に格納されたことを示します。

#### (b) FIFO 選択時

- このイベント出力は使用しないでください。

### (3) 送信データエンptyイベント出力

- SCR/SCR\_SMCI.TE ビットが 0 から 1 に変化したことを示します。
- スマートカードインタフェースモードで、送信が完了したことを示します。
- 簡易 I<sup>2</sup>C モードで、SIMR2.IICINTM ビットが 0 のとき、NACK が検出されたことを示します。
- 簡易 I<sup>2</sup>C モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりが検出されたことを示します。

#### (a) 非 FIFO 選択時

- 送信データがトランスミットデータレジスタ (TDR または TDRHL) からトランスミットシフトレジスタ (TSR) へ転送されたことを示します。

#### (b) FIFO 選択時

- このイベント出力は使用しないでください。

### (4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易 I<sup>2</sup>C モードで、開始条件、再開条件、停止条件の生成が完了したことを示します。

注. FIFO が選択されている場合、このイベント出力は使用しないでください。

**(5) アドレス一致イベント出力**

- 調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが1の場合、比較データ（CDR.CMPD）と受信データの1フレームが一致したことを示します。

**(6) アドレス不一致イベント出力**

- 調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが1の場合、比較データ（CDR.CMPD）と受信データの1フレームが一致しなかったことを示します。このイベントは、スヌーズ終了要求に対してのみ使用可能です。

参考資料



## 29.12 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 29.71 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。(ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。)

SEMR.ABCS = 0 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット転送期間の 1/16 となります。

SEMR.ABCS = 1 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット転送期間の 1/8 となります。

SEMR.ABCSE = 1 の場合、周期は 1 ビット転送期間の 1/6 となります。

調歩同期式モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。RXDn 端子の受信レベルは、調歩同期式モードの基本クロックを使用して、ノイズフィルタのフリップフロップ回路でサンプリングされます。

簡易 I<sup>2</sup>C モードでは、TXDn/SDAn 端子と RXDn/SCLn 端子の各入力信号に、この機能を使用できます。サンプリングクロックは、SNFR.NFCS ビットの設定に基づいて、ポーレートジェネレータの 4 種類の設定 (1、2、4、および PCLK/4) から選択されます。

ノイズフィルタが有効な状態で基本クロックをいったん停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に SCR.TE ビットと SCR.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号として伝えられます。入力レベルが 0 の場合は、サンプリングサイクルで連続して 3 回信号のレベルが一致するまで、ノイズフィルタの最初の出力値が保持されます。

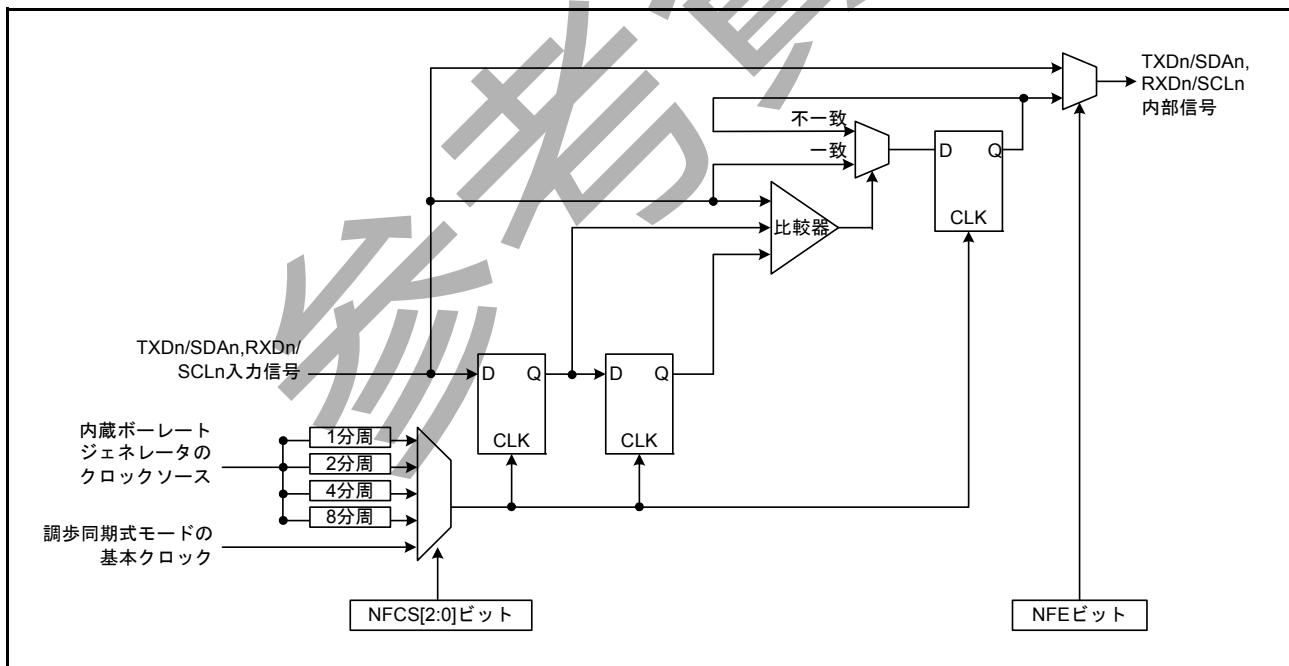


図 29.71 デジタルノイズフィルタ回路のブロック図

## 29.13 使用上の注意事項

### 29.13.1 モジュールストップ機能の設定

SCIの動作を停止/開始させるには、モジュールストップコントロールレジスタ B (MSTPCRB) を使用します。リセット後、SCIは動作を停止しています。モジュールストップ状態を解除しないと、モジュールのレジスタにはアクセスできません。詳細は、「11. 低消費電力モード」を参照してください。

### 29.13.2 低消費電力状態での SCI 動作

#### (1) 送信

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、TXDn 端子を汎用入出力ポート機能に切り替えた後、送信動作を停止 (SCR/SCR\_SMCI レジスタの TIE、TE、TEIE ビットを 0) にしてください。入出力ポートを SCI 接続に設定すると、SPTR レジスタによって TXDn 端子状態の制御が可能になります。TE ビットを 0 にすることにより、TSR レジスタが初期化され、SSR/SSR\_SMCI レジスタの TEND ビットは、非 FIFO 選択時には 1 にリセットされ、FIFO 選択時には値が保持されます。モジュールストップ状態またはソフトウェアスタンバイモードからの復帰後、出力端子は、ポートの設定と SPTR レジスタの設定に応じて、これらの低消費電力状態へ遷移する前のレベルを出力する場合があります。送信中に低消費電力状態へ遷移すると、送信中のデータは不定になります。

低消費電力状態を解除した後、同じ送信モードで送信する場合は、TE ビットを 1 にして、SSR/SSR\_FIFO/SSR\_SMCI レジスタの読み出しと、TDR レジスタへの書き込みを順に行うことで送信を開始できます。異なる送信モードで送信する場合は、SCI の初期化からやり直してください。

図 29.72 に、送信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。図 29.73 と図 29.74 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

DTC 転送による送信モードから、モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、送信動作を停止 (TE ビットを 0) にしてください。低消費電力状態の解除後に DTC による送信を開始する場合は、TE ビットを 1 にしてください。SCI<sub>In</sub>\_TXI 割り込みフラグが 1 になり、DTC による送信が始まります。

#### (2) 受信

##### (a) 再開 (ウェイクアップ) 条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、受信動作を停止 (SCR/SCR\_SMCI.RE ビットを 0) にしてください。受信中に遷移すると、受信中のデータは無効になります。

図 29.72 に、受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

##### (b) 再開 (ウェイクアップ) 条件としてアドレス一致検出機能を使用する場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、低消費電力状態解除後の動作を設定し、CDR.CMPD ビットと DCCR.DCME ビットを 1 にしてください。次に、受信動作を許可 (SCR/SCR\_SMCI.RE = 1) にして、モジュールストップ状態またはソフトウェアスタンバイモードを設定してください。

SCI が低消費電力モードへ遷移するとき、受信データ端子 (RXD) が Low であれば、SEMR.RXDESEL を 0 にしてください。SEMR.RXDESEL が 1 になっていると、低消費電力モードの解除時にスタートビット (RXD 端子の立ち上がり) が検出されない可能性があります。

図 29.72 に、アドレス一致を用いて受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

##### (c) SCI0 をスヌーズモードで使用する場合

SCI0 をスヌーズモードで使用する場合は、最大ビットレートなどのいくつかの制約事項があります。詳細は、「11. 低消費電力モード」を参照してください。

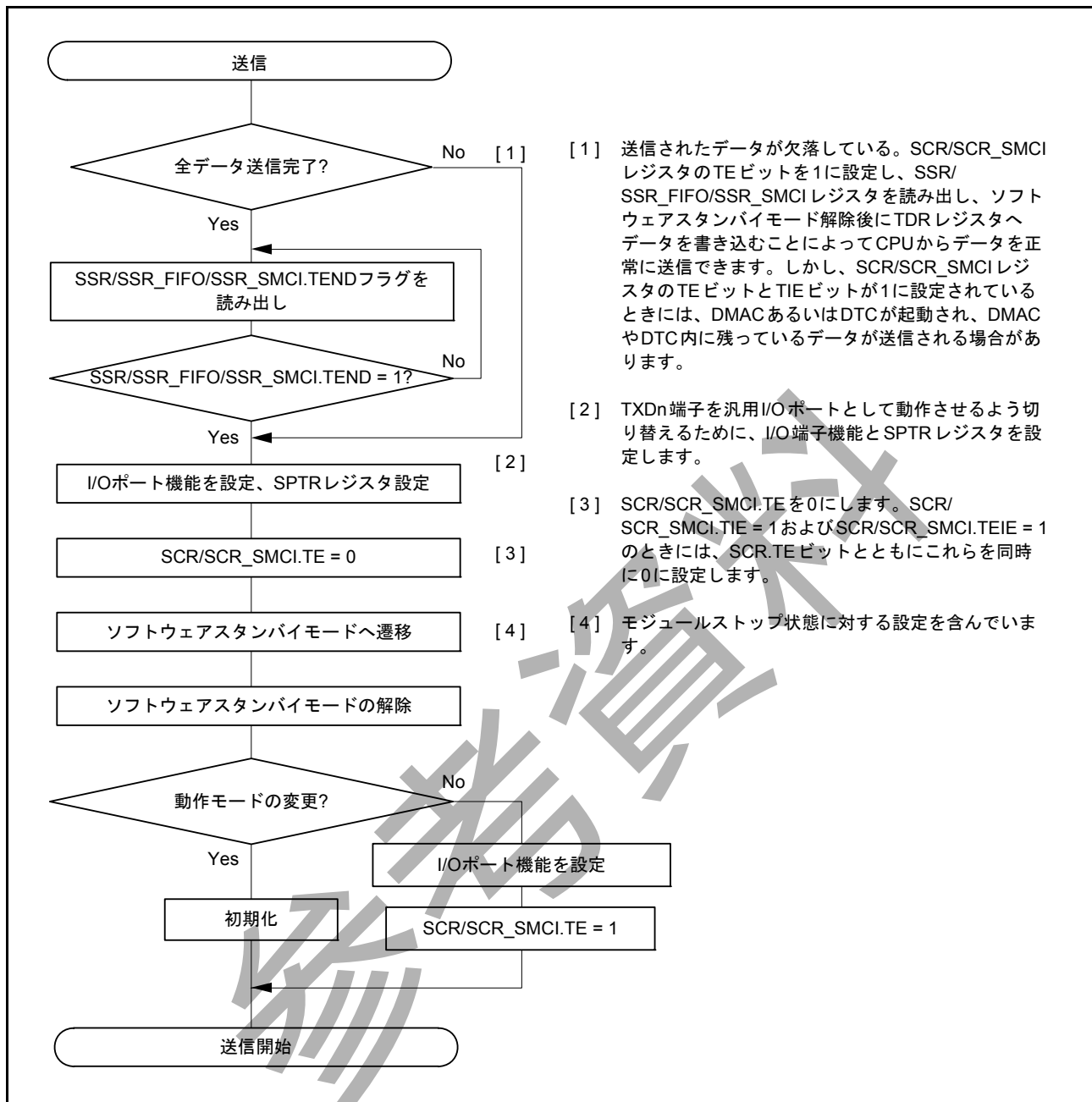


図 29.72 送信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

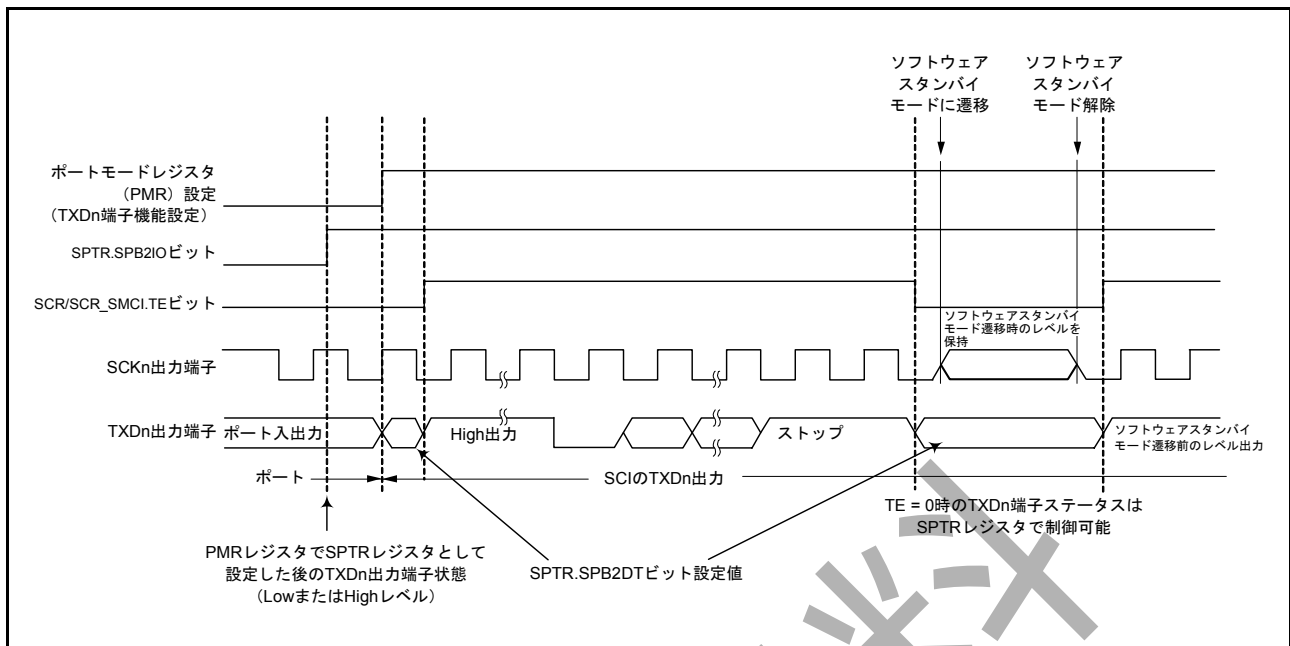


図 29.73 ソフトウェアスタンバイモード遷移中のポートの端子状態 (内部クロック、調歩同期式送信)

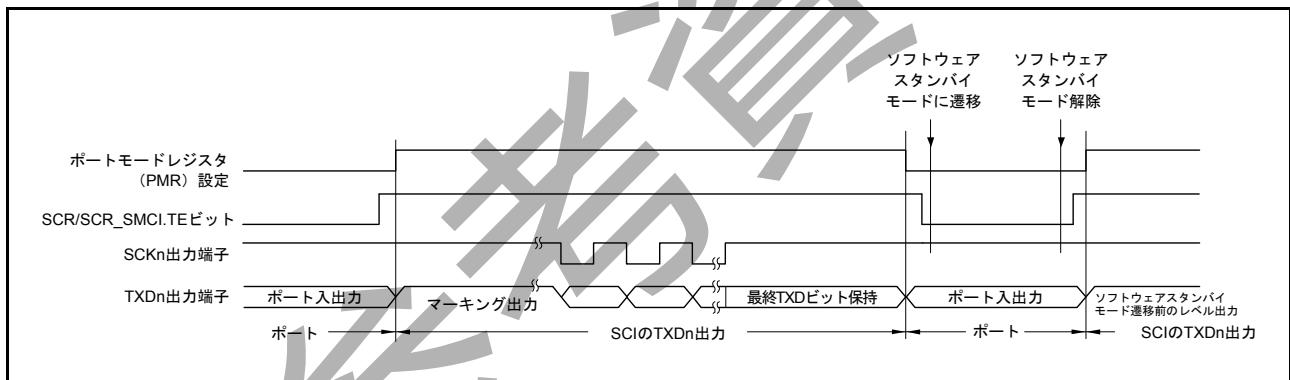


図 29.74 ソフトウェアスタンバイモード遷移中のポートの端子状態 (内部クロック、クロック同期式送信)

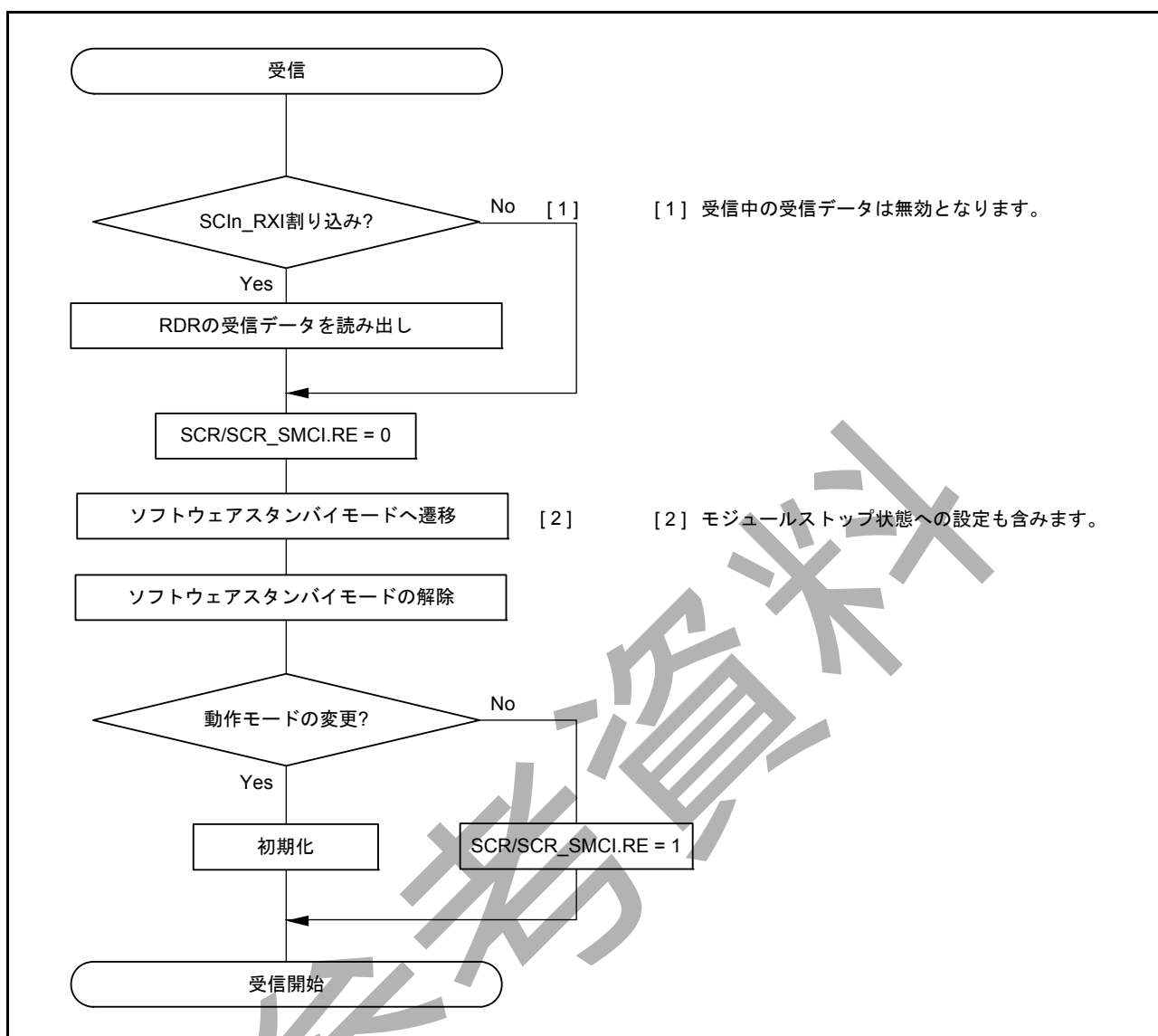


図 29.75 受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

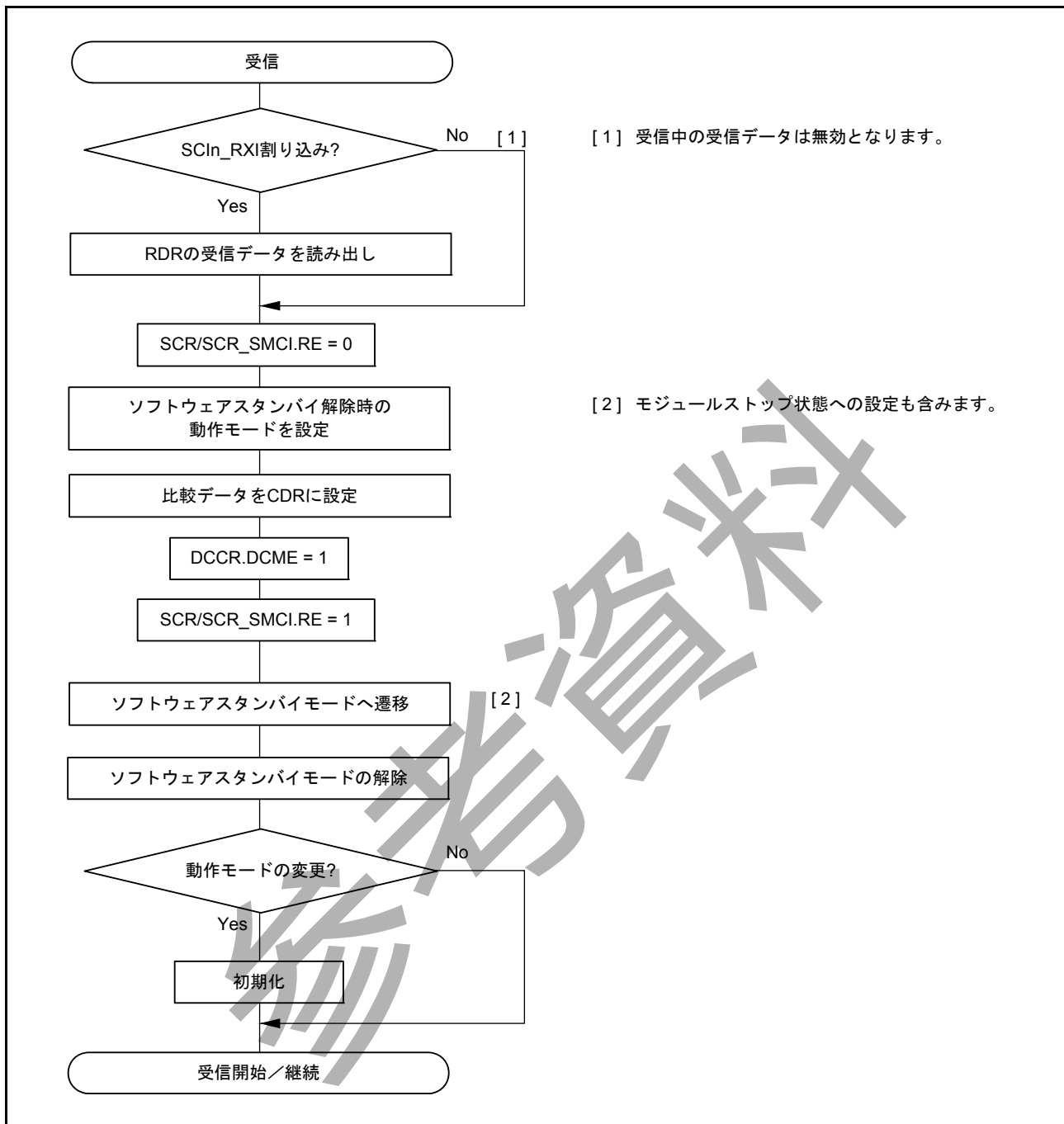


図 29.76 アドレス一致を用いて受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

### 29.13.3 ブレークの検出と処理について

#### (1) 非 FIFO 選択時

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になり、SSR.FER フラグが 1 (フレーミングエラーの発生あり) になります。さらに、SSR.PER フラグも 1 (パリティエラーの発生あり) になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0 (フレーミングエラーの発生なし) にしても、再び FER フラグが 1 になります。SEMR.RXDESEL ビットが 1 のとき、SCI は、SSR.FER フラグを 1 にして、次のデータフレームのスタートビットが検出されるまで、受信動作を停止します。このとき、SSR.FER フラグが 0 であれば、ブレーク中は SSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレークが終了した後、最初の RXDn 端子の立ち下がりですtartビットの先頭を検出すれば、受信動作を開始させることが可能です。

#### (2) FIFO 選択時

フレーミングエラーが検出された後、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出された場合、受信動作が停止します。フレーミングエラー検出時に、SPTR.RXDMON ビットの値を読み出すことでブレークを検出できます。RXD 信号がマーク状態になってブレークが終了した後、FRDRHL レジスタへのデータ受信が再開されます。

### 29.13.4 マーク状態とブレークの送出

SCR/SCR\_SMCI.TE ビットが 0 (シリアル送信動作を禁止) のとき、SPTR.SPB2IO ビットと SPTR.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にしてブレークを送出できます。

SCR/SCR\_SMCI.TE ビットを 1 (シリアル送信動作を許可) にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態 (1 の状態) に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレークを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、SCR/SCR\_SMCI.TE ビットを 0 にしてください。SCR/SCR\_SMCI.TE ビットを 0 にすると、現在の送信状態とは無関係に送信部は初期化されません。

### 29.13.5 受信エラーフラグと送信動作 (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR/SSR\_FIFO.ORER) が 1 の状態では、TDR または FTDR (注1) レジスタにデータを書き込んでも、送信は開始されません。送信を開始する前に、必ず受信エラーフラグを 0 にしてください。また、SCR/SCR\_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、受信エラーフラグは 0 にならないので注意してください。

注 1. 簡易 SPI モードでは、FTDRH レジスタを使用しないでください。

### 29.13.6 クロック同期式送信に関する制約事項（クロック同期式モードおよび簡易 SPI モード）

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

#### (1) 送信開始時

CPU、DMAC、または DTC による TDR レジスタの更新後、5PCLK 以上経過してから送信クロックを入力してください（[図 29.77](#) 参照）。

#### (2) 連続送信時

送信クロックの 7 ビット目の立ち下がり以前に、TDR または TDRHL レジスタに次の送信データを書き込んでください（[図 29.77](#) 参照）。

ビット 7 送信開始以降に TDR を更新する場合は、同期クロックが Low の期間に TDR を更新し、かつ送信クロックの 7 ビット目の High 幅を、4PCLK 以上にしてください（[図 29.77](#) 参照）。

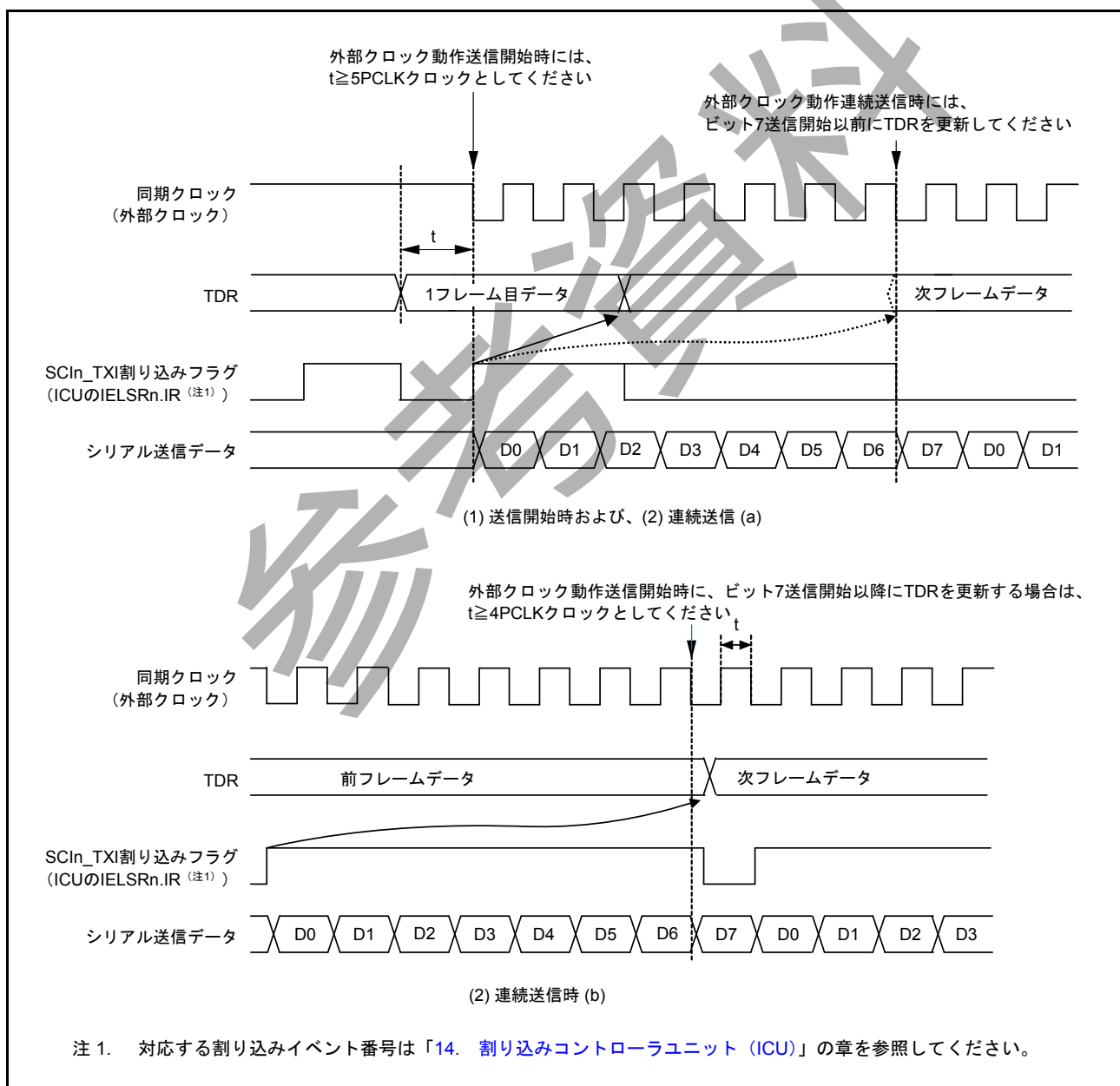


図 29.77 クロック同期式送信時の外部クロック使用に関する制約事項



### 29.13.7 DMAC または DTC 使用時の制約事項

DMAC または DTC による送受信動作中は、DMAC または DTC に転送情報を設定しないでください。

#### (1) TDR (FTDRHL) レジスタへの書き込み

##### (a) 非 FIFO 選択時

TDR および TDRHL レジスタにデータを書き込むことが可能です。ただし、TDR または TDRHL レジスタに送信データが残っている状態で、TDR または TDRHL レジスタに新しいデータを書き込むと、残っていたデータは TSR レジスタへ転送されず、失われます。DMAC または DTC を使用する場合、TDR または TDRHL レジスタへの送信データの書き込みは、必ず SCI<sub>In</sub>\_TXI 割り込み要求処理ルーチンで行ってください。

##### (b) FIFO 選択時

SCR.TE ビットが 1 の場合に、FTDRH および FTDRL レジスタにデータを書き込むことが可能です。FDR.T[4:0] ビットによって、書き込み可能なデータ数を確認してください。

#### (2) RDR (FRDRHL) レジスタからの読み出し

DMAC または DTC を用いて RDR および RDRHL レジスタを読み出すときは、対応する SCI チャンネルの起動要因として、必ず受信データフル割り込み (SCI<sub>In</sub>\_RXI) を設定してください。

### 29.13.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IR<sub>n</sub>.IR フラグ) が 1 のときは、動作許可 (SCR/SCR\_SMCI.TE ビットを 1、または SCR/SCR\_SMCI.RE ビットを 1) にする前に、以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「[14. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

1. 通信が停止していること (SCR/SCR\_SMCI.TE ビットまたは SCR/SCR\_SMCI.RE ビットが 0 になっていること) を確認します。
2. 対応する割り込み許可ビット (SCR/SCR\_SMCI.TIE ビットまたは SCR/SCR\_SMCI.RIE ビット) を 0 にします。
3. 対応する割り込み許可ビット (SCR/SCR\_SMCI.TIE ビットまたは SCR/SCR\_SMCI.RIE ビット) を読み出して、実際に 0 になったことを確認します。
4. 割り込みコントローラユニットの割り込みステータスフラグ (IR<sub>n</sub>.IR ビット) を 0 にします。

### 29.13.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードと簡易 SPI モードでは、外部クロック SCK<sub>n</sub> 入力を下記のように設定してください。

High パルス期間および Low パルス期間は 2PCLK 以上、周期は 6PCLK 以上

### 29.13.10 簡易 SPI モードに関する制約事項

#### (1) マスタモード

- SPMR.SSE ビットが1の場合、SPMR.CKPH ビットと SPMR.CKPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。これによって、SCR.TE ビットを0にしたときにクロック線がハイインピーダンス状態になったり、SCR.TE ビットを0から1に変更したりしたときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで SPMR.SSE ビットが0の場合は、SCR.TE ビットを0にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。
- クロック遅れあり (SPMR.CKPH ビット=1) では、図 29.78 に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCIn\_RXI) が発生します。SCR.TE ビットと SCR.RE ビットを SCKn 端子の最終クロックエッジより前に0にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCIn\_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブの SSn 端子入力信号が High になった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタの転送中にモードフォルトエラーが発生すると、SSn 端子入力が Low の間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの設定内容を復元してください。

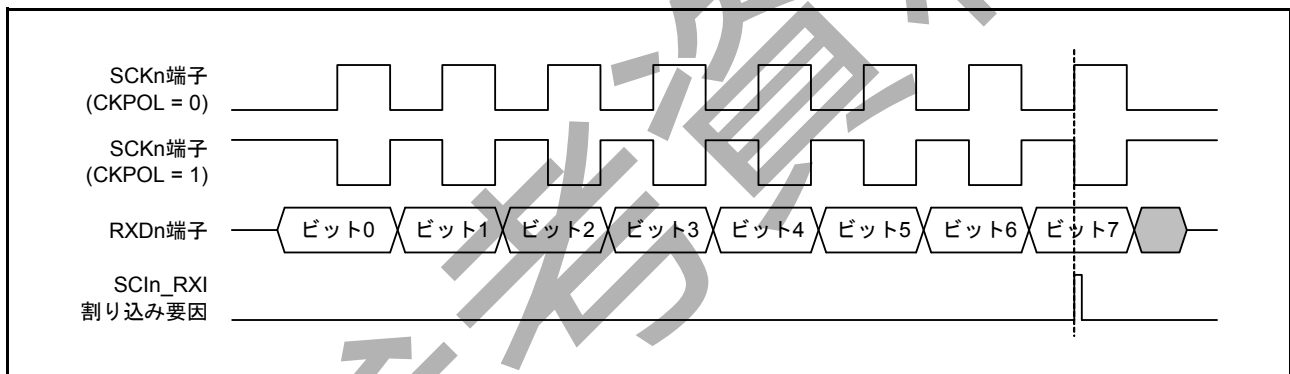


図 29.78 簡易 SPI モードにおける SCIn\_RXI 割り込みの発生タイミング (クロック遅れあり)

#### (2) スレーブモード

- TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください。  
 $1PCLK + \text{スレーブのデータ出力遅延時間 (tDO)} + \text{マスタのセットアップ時間 (tSU)}$ 

また、SSn 端子への Low 入力から、外部クロック入力の開始までについても、5PCLK 以上の待機時間を確保してください。
- マスタからの外部クロックの供給は、転送データ長に合わせてください
- SSn 端子入力は、データ転送開始前と完了後に制御してください
- キャラクタ転送中に SSn 端子への入力レベルが Low から High に変化した場合は、SCR.TE ビットと SCR.RE ビットを0にして、設定内容の復元後に1バイト目から転送をやり直してください

## 30. IrDA インタフェース

IrDA インタフェースは SCI1 と連携して、IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信を行います。

### 30.1 概要

IRCR レジスタの IRE ビットで IrDA 機能を有効にすると、SCI1 の TXD1 信号と RXD1 信号は IrDA 規格バージョン 1.0 に準拠した波形にエンコード/デコードされます (IRTXD1/IRRXD1 端子)。この波形を赤外線送受信機と接続することにより、IrDA 規格バージョン 1.0 システムに準拠した赤外線データ通信を実現します。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることが可能です。IrDA インタフェースは、自動的に転送レートを変更する機能を内蔵していないため、転送レートは、ソフトウェアで変更する必要があります。

図 30.1 に、IrDA と SCI1 の連携イメージを示します。

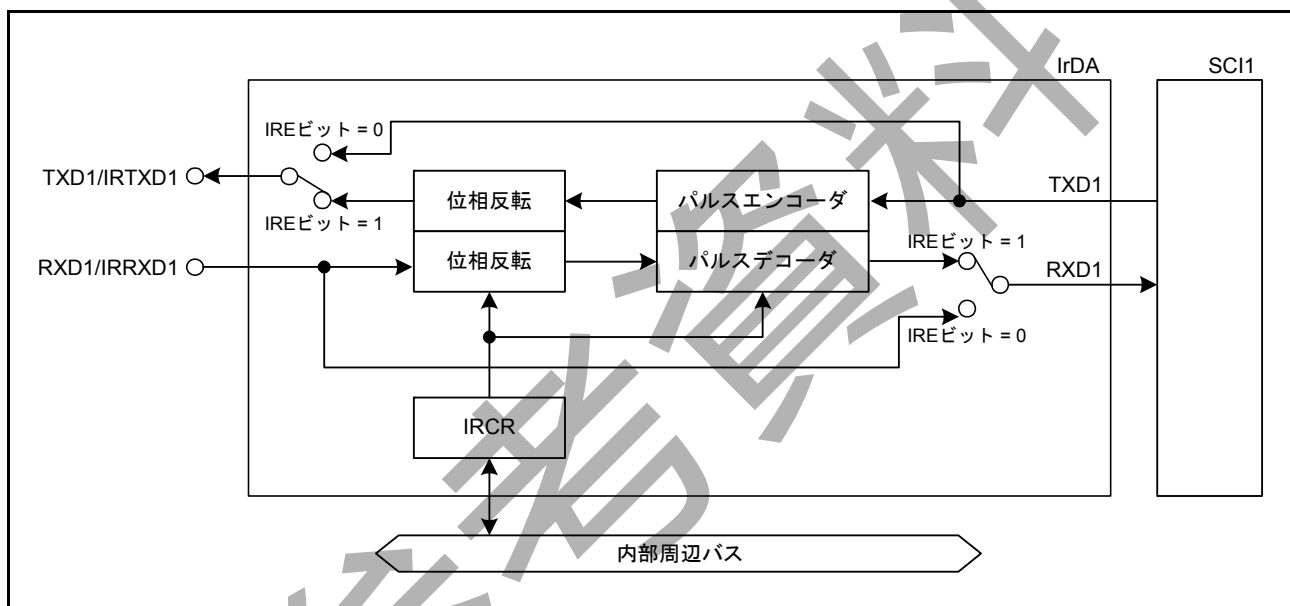


図 30.1 IrDA と SCI1 の連携

表 30.1 IrDA インタフェースの入出力端子

端子名	入出力	機能
IRTXD1	出力	送信データ
IRRXD1	入力	受信データ

## 30.2 レジスタの説明

### 30.2.1 IrDA コントロールレジスタ (IRCR)

アドレス IRDA.IRCR 4007 0F00h

	b7	b6	b5	b4	b3	b2	b1	b0
	IRE	—	—	—	IRTXIN V	IRRXIN V	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	IRRXINV	IRRXD極性切り替え	0: IRRXD入力をそのまま受信データとして使用 1: IRRXD入力を極性反転して受信データとして使用	R/W
b3	IRTXINV	IRTXD極性切り替え	0: 送信データをそのままIRTXD出力 1: 送信データを極性反転してIRTXD出力	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	IRE	IrDA有効	0: シリアル入出力端子を通常のシリアル通信に使用 1: シリアル入出力端子をIrDAデータ通信に使用	R/W

注. IRCR レジスタの値は、スリープモードおよびソフトウェアスタンバイモード時に保持されます。

#### IRRXINV ビット (IRRXD 極性切り替え)

IRRXD 入力のロジックレベルを反転します。反転したとき、High パルス幅は Low パルス幅となります。

#### IRTXINV ビット (IRTXD 極性切り替え)

IRTXD 出力のロジックレベルを反転します。反転したとき、High パルス幅は Low パルス幅となります。

#### IRE ビット (IrDA 有効)

入出力端子を通常の通信モード用、または IrDA 通信モード用にするかを設定します。

## 30.3 動作説明

### 30.3.1 IrDA インタフェースの設定手順

IrDA インタフェースの動作は、下記の手順で設定してください。

1. 端子機能コントロールレジスタで、当該端子の I/O ポート機能を IRTXD1 端子と IRRXD1 端子に割り当てます (PmnPFS.PSEL[4:0] = 00101b)。
2. 端子機能コントロールレジスタで、I/O ポート機能を周辺機能に設定します (PmnPFS.PMR = 1)。
3. IRCR レジスタで IrDA 機能を設定します。
4. シリアルコミュニケーションインタフェースの SCI1 関連レジスタを設定します。

### 30.3.2 送信

送信時には、SCI1 からの出力信号 (UART フレーム) は IrDA インタフェースによって IR フレームに変換されます (図 30.2 参照)。IRCR.IRTXINV ビットが 0 で、シリアルデータが 0 の場合、ビット周期 (1 ビット幅の期間) の  $3/16$  の High パルスが出力されます (初期設定)。規格では、High パルス幅は、最小で  $1.41\mu\text{s}$ 、最大で  $(3/16 + 2.5\%) \times \text{ビット周期}$ 、または  $(3/16 \times \text{ビット周期}) + 1.08\mu\text{s}$  と定められています。

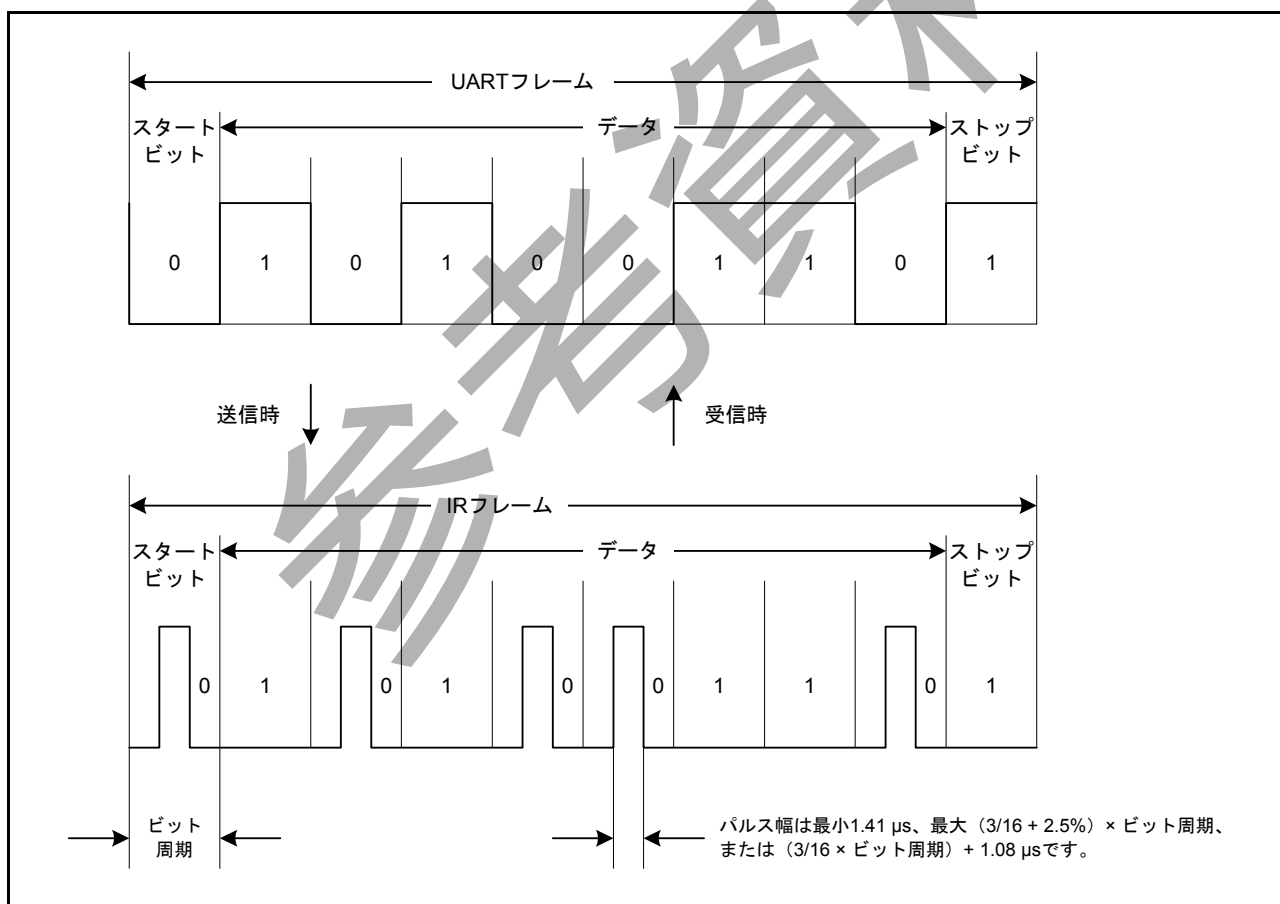


図 30.2 IrDA の送信/受信動作

### 30.3.3 受信

受信時には、IR フレームのデータは IrDA インタフェースによって UART フレームに変換され、SCI1 に入力されます。IRCR.IRRXINV ビットが 0 で、High パルスが検出されたときに、Low データが出力されます。1 ビット期間中にパルスが検出されないと、High データが出力されます。

## 30.4 使用上の注意事項

### 30.4.1 モジュールストップ機能の設定

リセット後、IrDA の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. [低消費電力モード](#)」を参照してください。

### 30.4.2 調歩同期式モードにおける SCI1 の基準クロック

IrDA はビットレートの 16 倍の周波数のクロックを SCI1 から受信し、SCI1 と連携して動作します。IrDA を使用する場合は、SCI1.SEMR.ABCS ビットを 0 にしてください。

参考資料

## 31. I<sup>2</sup>Cバスインタフェース (IIC)

本MCUは、3チャンネルのI<sup>2</sup>Cバスインタフェース (IIC) を内蔵しています。IICモジュールは、NXP社のI<sup>2</sup>Cバス (Inter-Integrated Circuit Bus) インタフェース方式に準拠しており、そのサブセット機能を備えています。

### 31.1 概要

表 31.1 に IIC の仕様を、図 31.1 に IIC のブロック図を、図 31.2 に 入出力端子の外部回路接続例 (I<sup>2</sup>Cバス構成例) を示します。表 31.2 に IIC の入出力端子を示します。

表 31.1 IICの仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> <li>• I<sup>2</sup>CバスフォーマットまたはSMBusフォーマット</li> <li>• マスタ/スレーブモードを選択可能</li> <li>• 転送速度に応じたセットアップ時間、ホールド時間、バスフリー時間を自動確保</li> </ul>
転送速度	ファストモード対応 (~400kbps)
SCLクロック	マスタ動作時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション (リスタートコンディション含む) /ストップコンディションの検出が可能
スレーブアドレス	<ul style="list-style-type: none"> <li>• 異なるスレーブアドレスを3種類まで設定可能</li> <li>• 7ビット/10ビットアドレスフォーマット対応 (混在可能)</li> <li>• ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能</li> </ul>
アクリッジ応答	<ul style="list-style-type: none"> <li>• 送信時、アクリッジビットの自動ロード</li> <li>• ノットアクリッジビット検出時に次送信データ転送の自動中断が可能</li> <li>• 受信時、アクリッジビットの自動送出</li> <li>• 8クロック目と9クロック目の間にウェイトありを選択すると、受信値に応じたアクリッジビット値のソフトウェア制御が可能</li> </ul>
ウェイト機能	受信時、SCLクロックのLowホールドによる後続期間のウェイトが可能： <ul style="list-style-type: none"> <li>• 8クロック目と9クロック目の間をウェイト</li> <li>• 9クロック目と次転送の1クロック目の間をウェイト</li> </ul>
SDA出力遅延機能	アクリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> <li>• マルチマスタ対応               <ul style="list-style-type: none"> <li>- 他のマスタとのSCLクロック衝突時、SCLクロックの同期が可能</li> <li>- スタートコンディション発行がバスで競合した場合、SDA内部信号とSDAラインの状態の不一致によるアービトレーションロストを検出可能</li> <li>- マスタ動作時、SDA内部信号とSDAラインの状態の不一致によるアービトレーションロストを検出可能</li> </ul> </li> <li>• バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能 (スタートコンディションの二重発行防止)</li> <li>• ノットアクリッジビット送信時、SDA内部信号とSDAラインの状態の不一致によるアービトレーションロストを検出可能</li> <li>• スレーブ送信時、データのSDA内部信号とSDAラインの状態の不一致によるアービトレーションロストを検出可能</li> </ul>
タイムアウト検出機能	内蔵タイムアウト検出機能によってSCLクロックの長時間停止を検出可能
ノイズ除去	<ul style="list-style-type: none"> <li>• SCLおよびSDA信号用のデジタルノイズフィルタ</li> <li>• フィルタによるノイズ除去幅をプログラマブルに調整可能</li> </ul>
割り込み要因	4種類の要因： <ul style="list-style-type: none"> <li>• 通信エラーまたはイベント発生：アービトレーション検出、NACK、タイムアウト、スタート/リスタートコンディション、またはストップコンディション</li> <li>• 受信データフル (スレーブアドレス一致時含む)</li> <li>• 送信データエンpty (スレーブアドレス一致時含む)</li> <li>• 送信終了</li> </ul>
モジュールストップ機能	モジュールストップ状態の設定が可能
IICの動作モード	4種類のモード： <ul style="list-style-type: none"> <li>• マスタ送信</li> <li>• マスタ受信</li> <li>• スレーブ送信</li> <li>• スレーブ受信</li> </ul>

表 31.1 IICの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	4種類の要因： • 通信エラーまたはイベント発生：アービトレーション検出、NACK、タイムアウト、スタート/リスタートコンディション、またはストップコンディション • 受信データフル (スレーブアドレス一致時含む) • 送信データエンプティ (スレーブアドレス一致時含む) • 送信終了
ウェイクアップ機能 (注1)	• ウェイクアップイベントを使用したCPUのソフトウェアスタンバイモードからの復帰が可能

注 1. この機能は、IICのチャンネルIIC0でのみ利用可能です。

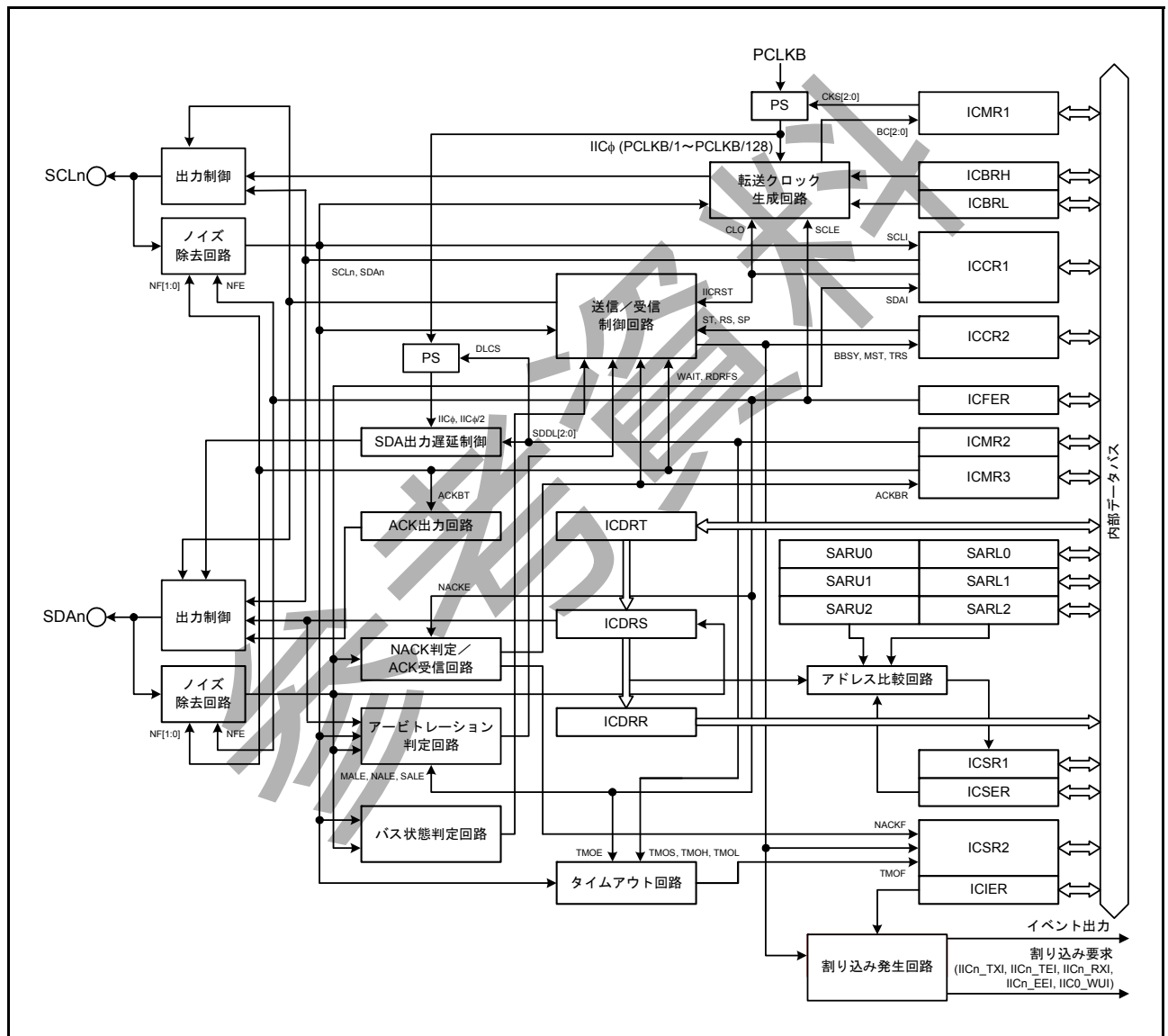


図 31.1 IICのブロック図



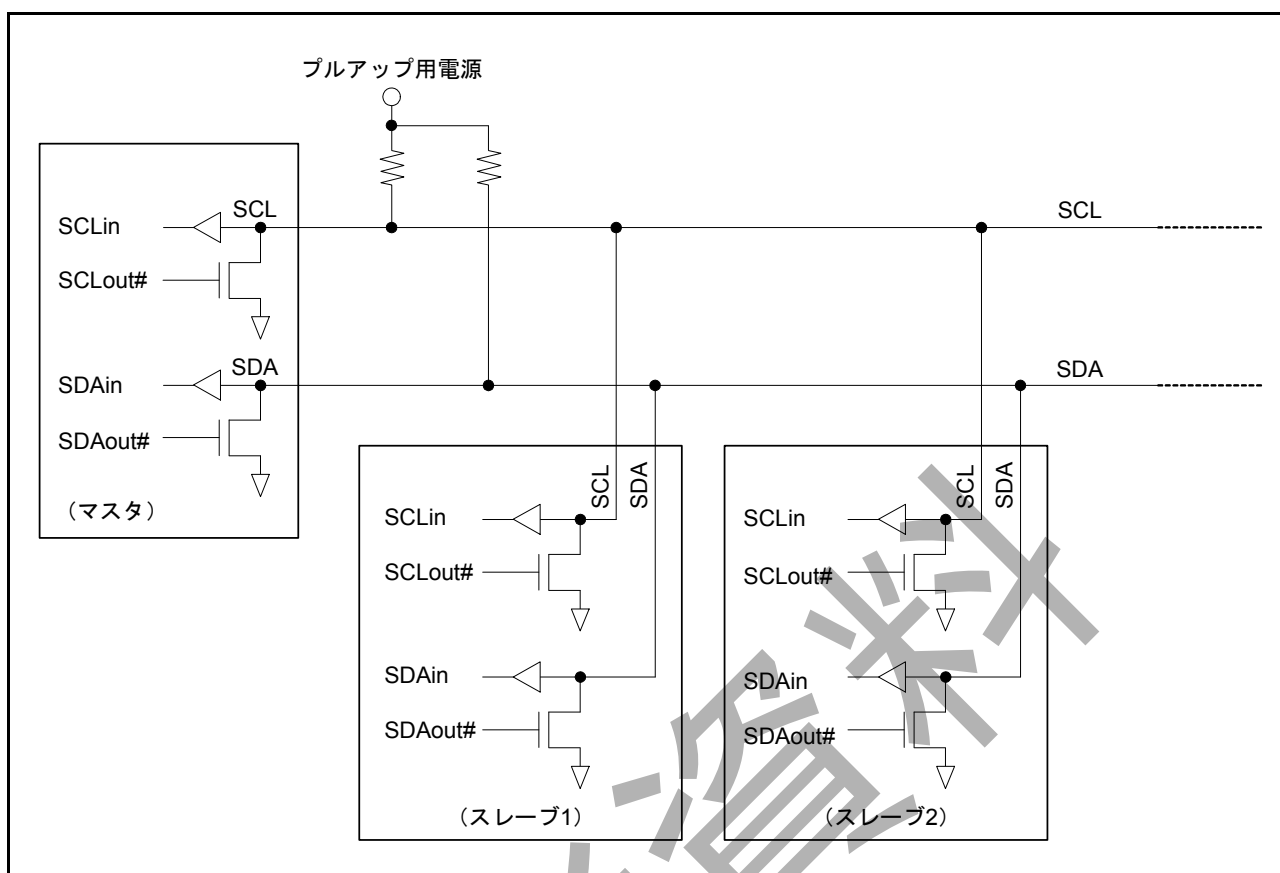


図 31.2 入出力端子の外部回路接続例 (I<sup>2</sup>Cバス構成例)

IICの各信号の入力レベルは、I<sup>2</sup>Cバス選択時 (ICMR3.SMBS = 0) はCMOSレベルであり、SMBus選択時 (ICMR3.SMBS = 1) はTTLレベルです。

表 31.2 IICの端子構成

チャンネル	端子名	入出力	機能
IIC0	SCL0	入出力	IIC0シリアルクロック入出力端子
	SDA0	入出力	IIC0シリアルデータ入出力端子
IIC1	SCL1	入出力	IIC1シリアルクロック入出力端子
	SDA1	入出力	IIC1シリアルデータ入出力端子
IIC2	SCL2	入出力	IIC2シリアルクロック入出力端子
	SDA2	入出力	IIC2シリアルデータ入出力端子

## 31.2 レジスタの説明

31.2.1 I<sup>2</sup>Cバスコントロールレジスタ 1 (ICCR1)

アドレス IIC0.ICCR1 4005 3000h, IIC1.ICCR1 4005 3100h, IIC2.ICCR1 4005 3200h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタ	0 : SDA <sub>n</sub> ラインはLow 1 : SDA <sub>n</sub> ラインはHigh	R
b1	SCLI	SCLラインモニタ	0 : SCL <sub>n</sub> ラインはLow 1 : SCL <sub>n</sub> ラインはHigh	R
b2	SDAO	SDA出力制御/モニタ	<ul style="list-style-type: none"> <li>読み出し時 0 : IICはSDA<sub>n</sub>端子をLowにしている 1 : IICはSDA<sub>n</sub>端子を解放している</li> <li>書き込み時 0 : IICはSDA<sub>n</sub>端子をLowにする 1 : IICはSDA<sub>n</sub>端子を解放する</li> </ul>	R/W
b3	SCLO	SCL出力制御/モニタ	<ul style="list-style-type: none"> <li>読み出し時 0 : IICはSCL<sub>n</sub>端子をLowにしている 1 : IICはSCL<sub>n</sub>端子を解放している</li> <li>書き込み時 0 : IICはSCL<sub>n</sub>端子をLowにする 1 : IICはSCL<sub>n</sub>端子を解放する 外部プルアップ抵抗を使用して信号をHighにしてください。</li> </ul>	R/W
b4	SOWP	SCLO/SDAOライトプロテクト	0 : SCLOビットとSDAOビットの書き込みを許可 1 : SCLOビットとSDAOビットの書き込みを禁止 読むと1が読めます。	R/W
b5	CLO	SCLクロック追加出力	0 : SCLクロックを追加で出力しない (デフォルト) 1 : SCLクロックを追加で出力する 1クロック出力後、自動的に0になります。	R/W
b6	IICRST	IICインタフェース内部リセット	0 : IICリセットまたは内部リセットを解除する 1 : IICリセットまたは内部リセットを行う これにより、ビットカウンタをクリアし、SCL <sub>n</sub> /SDA <sub>n</sub> 出力ラッチを解除します。	R/W
b7	ICE	IICインタフェース許可	0 : 禁止 (SCL <sub>n</sub> およびSDA <sub>n</sub> 端子は非駆動状態) 1 : 許可 (SCL <sub>n</sub> およびSDA <sub>n</sub> 端子は駆動状態) IICRSTビットとの組み合わせで、IICリセット、または内部リセットを選択します。	R/W

**SDAOビット (SDA出力制御/モニタ)、SCLOビット (SCL出力制御/モニタ)**

IICから出力されるSDA<sub>n</sub>信号とSCL<sub>n</sub>信号を直接操作します。

これらのビットに書き込む場合は、SOWPビットにも0を書いてください。これらのビットを設定すると、入力バッファを介してIICに入力されます。スレープモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディションの期間中、または送受信中に、これらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証されません。これらのビットを読んだ場合は、そのときIICが出力している信号の状態が読めます。

### CLO ビット (SCL クロック追加出力)

SCL クロックを1クロック単位で追加出力できるようにするもので、デバッグ時またはエラー処理時に使用します。

通常は0にしてください。通常の通信状態でこのビットを1にすると、通信エラーの原因になります。この機能の詳細については、[31.12.2 SCL クロック追加出力機能](#)を参照してください。

### IICRST ビット (IIC インタフェース内部リセット)

IIC の内部状態をリセットします。

このビットを1にすると、IIC リセットまたは内部リセットを起動できます。IIC リセットまたは内部リセットのどちらが起動するかは、ICE ビットと組み合わせた IICRST ビットの設定によって決定されます。[表 31.3](#) に IIC のリセットの種類を示します。

IIC リセットでは、IIC の全レジスタと内部状態が初期化され、内部リセットでは、IIC の内部状態に加えて、ビットカウンタ (ICMR1.BC[2:0] ビット)、I<sup>2</sup>C バスシフトレジスタ (ICDRS)、I<sup>2</sup>C バスステータスレジスタ (ICSR1、ICSR2) を初期化します。各レジスタのリセット条件については、[31.15 各コンディション発行時のリセット、レジスタ、機能の状態](#)を参照してください。

動作中に (ICE ビット=1 の状態で) IICRST ビットを1にして内部リセットを行うと、ポートの設定と IIC のコントロールレジスタや設定レジスタを初期化することなく、IIC の内部状態がリセットされます。また、IIC が Low を出力したままハングアップした場合、内部状態をリセットすることで、Low 出力状態が解放され、SCLn 端子と SDA<sub>n</sub> 端子がハイインピーダンスの状態でバスが解放されます。

注. スレーブモード時に、マスタデバイスとの通信中に生じたバスのハングアップに対して IICRST ビットで内部リセットを行うと、ビットカウンタ情報の差異が原因で、スレーブデバイスとマスタデバイスが異なる状態になる可能性があります。そのため、スレーブモード時には内部リセットは行わないでください。復帰処理はマスタデバイスから行うようにしてください。スレーブモード時に SCLn ラインが Low 出力状態のまま IIC がハングアップしたため、内部リセットが必要になった場合は、内部リセット後にマスタデバイスからリスタートコンディションを発行するか、またはストップコンディションを発行して、スタートコンディションから通信をやり直してください。スレーブデバイスでのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開されると、双方が非同期で動作することになるため同期ズレの原因になります。

表 31.3 IIC のリセットの種類

IICRST	ICE	状態	内容
1	0	IIC リセット	IIC の全レジスタと内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび IIC の内部状態をリセット

### ICE ビット (IIC インタフェース許可)

SCLn および SDA<sub>n</sub> 端子の駆動状態/非駆動状態を選択します。また、IICRST ビットと組み合わせて、各リセットを起動できます。リセットの種類については、[表 31.3](#) を参照してください。

IIC を使用するときは、ICE ビットを1にしてください。ICE ビットを1にすると、SCLn および SDA<sub>n</sub> 端子は駆動状態になります。IIC を使用しないときは、ICE ビットを0にしてください。ICE ビットを0にすると、SCLn および SDA<sub>n</sub> 端子は非駆動状態になります。端子機能制御を設定するときに、SCLn または SDA<sub>n</sub> 端子を IIC に割り当てないでください。これらの端子が IIC に割り当てられると、スレーブアドレス比較が行われます。

31.2.2 I<sup>2</sup>C バスコントロールレジスタ 2 (ICCR2)

アドレス IIC0.ICCR2 4005 3001h, IIC1.ICCR2 4005 3101h, IIC2.ICCR2 4005 3201h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	ST	スタートコンディション発行要求	0: スタートコンディション要求を発行しない 1: スタートコンディション要求を発行する	R/W
b2	RS	リスタートコンディション発行要求	0: リスタートコンディション要求を発行しない 1: リスタートコンディション要求を発行する	R/W
b3	SP	ストップコンディション発行要求	0: ストップコンディション要求を発行しない 1: ストップコンディション要求を発行する	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	TRS	送信/受信モード	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモード	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I <sup>2</sup> Cバスは解放状態 (バスフリー状態) 1: I <sup>2</sup> Cバスは占有状態 (バスビジー状態)	R

注1. ICMR1.MTWP ビットが1のとき、MST および TRS ビットへの書き込みが可能です。

**ST ビット (スタートコンディション発行要求)**

マスタモードへの遷移を要求し、スタートコンディションを発行します。

このビットを1にすると、BBSY フラグが0 (バスフリー状態) のときに、スタートコンディションが発行されます。スタートコンディション発行の詳細については、[31.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1になる条件]

- 1を書いたとき

[0になる条件]

- 0を書いたとき
- スタートコンディションが発行されたとき (スタートコンディションが検出されたとき)
- ICSR2.AL (アービトラクションロスト) フラグが1になったとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが0 (バスフリー状態) のときに、ST ビットを1 (スタートコンディション要求) にしてください。BBSY フラグが1 (バスビジー状態) のときに、ST ビットを1 (スタートコンディション要求) にすると、アービトラクションロストが発生する場合があります。

### RS ビット (リスタートコンディション発行要求)

マスタモード時にリスタートコンディションの発行を要求します。

このビットを1にしてリスタートコンディションを要求すると、BBSY フラグが1 (バスビジー状態) かつ MST ビットが1 (マスタモード) のときに、リスタートコンディションが発行されます。リスタートコンディション発行の詳細については、[31.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグが1 の状態で、1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- リスタートコンディションが発行されたとき (スタートコンディションが検出されたとき)
- ICSR2.AL (アービトラージョンロスト) フラグが1 になったとき
- ICCR1.IICRST ビットに1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ストップコンディション発行中に RS ビットを1 にしないでください。

注. スレーブモードで RS ビットを1 (リスタートコンディション要求) にすると、リスタートコンディションは発行されず、RS ビットは1 のままになります。RS ビットがクリアされていない状態で動作モードをマスタモードに変更すると、リスタートコンディションが発行される場合があります。

### SP ビット (ストップコンディション発行要求)

マスタモード時にストップコンディションの発行を要求します。

このビットを1 にすると、BBSY フラグが1 (バスビジー状態) かつ MST ビットが1 (マスタモード) のときに、ストップコンディションが発行されます。ストップコンディション発行の詳細については、[31.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグと ICCR2.MST ビットが両方とも1 の状態で、1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- ストップコンディションが発行されたとき (ストップコンディションが検出されたとき)
- ICSR2.AL (アービトラージョンロスト) フラグが1 になったとき
- スタートコンディションおよびリスタートコンディションが検出されたとき
- ICCR1.IICRST ビットに1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが0 (バスフリー状態) のとき、SP ビットへの書き込みはできません。

注. リスタートコンディション発行中に SP ビットを1 にしないでください。

### TRS ビット (送信/受信モード)

送信モードであるか、受信モードであるかを示します。

IIC は、TRS ビットが 0 のときは受信モード、1 のときは送信モードになります。このビットと MST ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行または検出時、および R/W# ビットの設定時に、TRS ビット値は自動的に 1 (送信モード) または 0 (受信モード) に変化します。ICMR1.MTWP ビットが 1 のとき、TRS ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- リスタートコンディション要求によってリスタートコンディションが正常に発行されたとき (RS ビットが 1 の状態で、リスタートコンディションが検出されたとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが 0 になったとき
- スレーブモードで受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- マスタモード時、値が 1 の R/W# ビットが付加されたスレーブアドレスを受信したとき
- スレーブモード時、受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ受信した R/W# ビットの値が 0 のとき (ジェネラルコールアドレスを受信した場合を含む)
- スレーブモード時、リスタートコンディションが検出されたとき (ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でスタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

### MST ビット (マスタ/スレーブモード)

マスタモードであるか、スレーブモードであるかを示します。

IIC は、MST ビットが 0 のときはスレーブモード、1 のときはマスタモードになります。MST ビットと TRS ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行時、あるいはストップコンディションの発行または検出時、MST ビットの値は自動的に 1 (マスタモード) または 0 (スレーブモード) に変化します。ICMR1.MTWP ビットが 1 のとき、MST ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 1 を書いたとき

[0になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトレーションロスト) フラグが1になったとき
- ICMR1.MTWP ビットが1の状態、MST ビットに0を書いたとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

#### **BBSY フラグ (バスビジー検出フラグ)**

I<sup>2</sup>C バスが占有されているか (バスビジー状態)、解放されているか (バスフリー状態) を示します。

SCLn ラインが High のときに SDA<sub>n</sub> ラインが High から Low に変化すると、スタートコンディションが発行されたとみなされて、このフラグは1になります。バスフリー時間 (ICBRL レジスタの設定) スタートコンディションが検出されないと、ストップコンディションが発行されたとみなされて、このフラグは0になります。

[1になる条件]

- スタートコンディションが検出されたとき

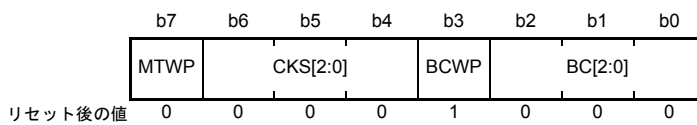
[0になる条件]

- ストップコンディション検出後、バスフリー時間 (ICBRL レジスタの設定) スタートコンディションが検出されないとき
- ICCR1.ICE ビットが0の状態、ICCR1.IICRST ビットに1を書いたとき (IIC リセット)

参考資料

31.2.3 I<sup>2</sup>Cバスモードレジスタ 1 (ICMR1)

アドレス IIC0.ICMR1 4005 3002h, IIC1.ICMR1 4005 3102h, IIC2.ICMR1 4005 3202h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクト	0 : BC[2:0] ビットの書き込み許可 1 : BC[2:0] ビットの書き込み禁止 読むと1が読めます。	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択	IICの内部基準クロックソース (IICφ) を選択します。 b6 b4 0 0 0 : PCLKBクロック 0 0 1 : PCLKB/2クロック 0 1 0 : PCLKB/4クロック 0 1 1 : PCLKB/8クロック 1 0 0 : PCLKB/16クロック 1 0 1 : PCLKB/32クロック 1 1 0 : PCLKB/64クロック 1 1 1 : PCLKB/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクト	0 : ICCR2.MST、TRS ビットの書き込み禁止 1 : ICCR2.MST、TRS ビットの書き込み許可	R/W

注1. BC[2:0] ビットを書き換える場合は、同時に BCWP ビットを0にしてください。

**BC[2:0] ビット (ビットカウンタ)**

SCL<sub>n</sub> ラインの立ち上がりエッジの検出時に、残りの転送ビット数を示すカウンタです。読み出しおよび書き込みは可能ですが、通常はこれらのビットへのアクセスは不要です。

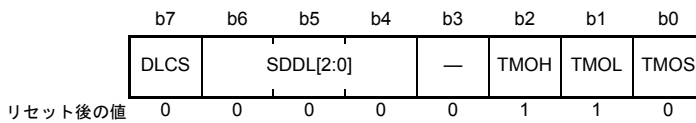
なお、これらのビットへ書き込む場合は、SCL<sub>n</sub> ラインが Low の状態で、転送するデータのビット数+1 (追加のアクノリッジビット分) を転送フレーム間で指定してください。

BC[2:0] ビットの値は、アクノリッジビットを含むデータ転送の終了時、あるいはスタートコンディション/リスタートコンディションの検出時に 000b に戻ります。



31.2.4 I<sup>2</sup>Cバスモードレジスタ 2 (ICMR2)

アドレス IIC0.ICMR2 4005 3003h, IIC1.ICMR2 4005 3103h, IIC2.ICMR2 4005 3203h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択	0: ロングモードを選択 1: ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御	0: SCLnラインがLowのときカウントを禁止 1: SCLnラインがLowのときカウントを許可	R/W
b2	TMOH	タイムアウトHカウント制御	0: SCLnラインがHighのときカウントを禁止 1: SCLnラインがHighのときカウントを許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> <li>ICMR2.DLCS = 0 (IICφ) のとき</li> <li>b6 b4</li> <li>0 0 0: 出力遅延なし</li> <li>0 0 1: IICφの1サイクル</li> <li>0 1 0: IICφの2サイクル</li> <li>0 1 1: IICφの3サイクル</li> <li>1 0 0: IICφの4サイクル</li> <li>1 0 1: IICφの5サイクル</li> <li>1 1 0: IICφの6サイクル</li> <li>1 1 1: IICφの7サイクル</li> <li>ICMR2.DLCS = 1 (IICφ/2) のとき</li> <li>b6 b4</li> <li>0 0 0: 出力遅延なし</li> <li>0 0 1: IICφの1または2サイクル</li> <li>0 1 0: IICφの3または4サイクル</li> <li>0 1 1: IICφの5または6サイクル</li> <li>1 0 0: IICφの7または8サイクル</li> <li>1 0 1: IICφの9または10サイクル</li> <li>1 1 0: IICφの11または12サイクル</li> <li>1 1 1: IICφの13または14サイクル</li> </ul>	R/W
b7	DLCS	SDA出力遅延クロックソース選択	0: SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注 1. DLCS = 1 (IICφ/2) の設定は、SCL が Low のときのみ有効です。SCL が High のとき、DLCS = 1 の設定は無効となり、クロックソースは内部基準クロック (IICφ) となります。

## TMOS ビット (タイムアウト検出時間選択)

タイムアウト検出機能が有効 (ICFER.TMOE ビット = 1) の場合に、タイムアウト検出時間としてロングモードまたはショートモードを選択します。このビットを 0 にすると、ロングモードが選択されます。TMOS ビットを 1 にすると、ショートモードが選択されます。ロングモードでは、タイムアウト検出用の内部カウンタが 16 ビットカウンタとして機能します。ショートモードでは、このカウンタが 14 ビットカウンタとして機能します。SCLn ラインが、このカウンタを TMOH ビットと TMOL ビットの指定通り動作させる状態にあるとき、このカウンタは内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、31.12.1 タイムアウト検出機能を参照してください。

## TMOL ビット (タイムアウトLカウント制御)

SCLn ラインが Low ホールドであり、かつタイムアウト検出機能が有効 (ICFER.TMOE ビット = 1) のときに、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

### TMOH ビット (タイムアウトH カウント制御)

SCLn ラインが High ホールドであり、かつタイムアウト検出機能が有効 (ICFER.TMOE ビット=1) のときに、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

### SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値を使用して、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースで動作します。この機能の設定値は、アクノリッジビット送出を含むすべての種類の SDA 出力で使用可能です。

SDA 出力遅延時間は、データ有効時間/アクノリッジ有効時間 (注1) に対する I<sup>2</sup>C バス規格、または SMBus 規格を満たすように、「データホールド時間 (300ns 以上 + SCL クロックの Low 幅) - データセットアップ時間 (250ns)」の範囲内で設定してください。規格外に設定すると、デバイス間の通信に誤動作を引き起こすか、バスの状態によってはスタートコンディションまたはストップコンディションを誤って表示する可能性があります。

この機能の詳細については、[31.5 SDA 出力遅延機能](#)を参照してください。

- 注 1. データ有効時間/アクノリッジ有効時間  
3,450ns (~ 100kbps) : スタンダードモード (Sm)  
900ns (~ 400kbps) : ファストモード (Fm)

参考資料

31.2.5 I<sup>2</sup>Cバスモードレジスタ 3 (ICMR3)

アドレス IIC0.ICMR3 4005 3004h, IIC1.ICMR3 4005 3104h, IIC2.ICMR3 4005 3204h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択	b1 b0 00: 1IICφサイクル以下のノイズを除去 (フィルタは1段) 01: 2IICφサイクル以下のノイズを除去 (フィルタは2段) 10: 3IICφサイクル以下のノイズを除去 (フィルタは3段) 11: 4IICφサイクル以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジ	0: アクノリッジビットに0を受信 (ACK受信) 1: アクノリッジビットに1を受信 (NACK受信)	R
b3	ACKBT	送信アクノリッジ	0: アクノリッジビットに0を送出 (ACK送信) 1: アクノリッジビットに1を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクト	0: ACKBTビットの書き込み禁止 1: ACKBTビットの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセットタイミング選択	0: SCLクロックの9クロック目の立ち上がりでRDRFフラグをセット 8クロック目の立ち下がりでSCLnラインのLowホールドを行わない 1: SCLクロックの8クロック目の立ち上がりでRDRFフラグをセット 8クロック目の立ち下がりでSCLnラインのLowホールドを行う LowホールドはACKBTビットへの書き込みで解除されます。	R/W (注2)
b6	WAIT	WAIT	0: ウェイトなし 9クロック目と1クロック目の間でSCLnのLowホールドを行わない 1: ウェイトあり 9クロック目と1クロック目の間でSCLnのLowホールドを行う LowホールドはICDRRレジスタの読み出しで解除されます。	R/W (注2)
b7	SMBS	SMBus/I <sup>2</sup> Cバス選択	0: I <sup>2</sup> Cバスを選択 1: SMBusを選択	R/W

注1. ACKBT ビットに書き込む場合は、ACKWP ビットがすでに 1 の状態であるときにのみ行ってください。アプリケーションが ACKWP ビットと ACKBT ビットに同時に 1 を書き込んでも、ACKBT ビットは 1 になりません。

注2. WAIT ビットと RDRFS ビットは、受信モードでのみ有効 (送信モードでは無効) です。

## NF[1:0] ビット (ノイズフィルタ段数選択)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、[31.6 デジタルノイズフィルタ回路](#)を参照してください。

注. ノイズフィルタで除去するノイズ幅は、SCLn ラインの High 幅または Low 幅よりも狭くなるように設定してください。ノイズ幅の設定が [SCL クロックの幅: High 幅または Low 幅のいずれか短い方] - [1.5 内部基準クロック (IICφ) サイクル + アナログノイズフィルタ: 120ns (参考値)] の値以上の場合、SCL クロックはノイズとみなされ、IIC が正常に動作しない可能性があります。

### ACKBR ビット (受信アクノリッジ)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[1になる条件]

- ICCR2.TRS ビットが1の状態、アクノリッジビットに1を受信したとき

[0になる条件]

- ICCR2.TRS ビットが1の状態、アクノリッジビットに0を受信したとき
- ICCR1.ICE ビットが0の状態、ICCR1.IICRST ビットに1を書いたとき (IICリセット)

### ACKBT ビット (送信アクノリッジ)

受信モード時に送出されるアクノリッジビットを設定します。

[1になる条件]

- ACKWP ビットが1の状態、このビットに1を書いたとき

[0になる条件]

- ACKWP ビットが1の状態、このビットに0を書いたとき
- ストップコンディションの発行が検出されたとき (ICCR2.SP ビットが1の状態、ストップコンディションが検出されたとき)
- ICCR1.ICE ビットが0の状態、ICCR1.IICRST ビットに1を書いたとき (IICリセット)

### ACKWP ビット (ACKBT ライトプロテクト)

ACKBT ビットの書き込みを制御します。

### RDRFS ビット (RDRF フラグセットタイミング選択)

受信モード時の RDRF フラグのセットタイミングと、SCL クロックの8クロック目の立ち下がり、SCLn ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが0のとき、SCL クロックの8クロック目の立ち下がり、SCLn ラインの Low ホールドは行わず、SCL クロックの9クロック目の立ち上がりで RDRF フラグを1にします。

RDRFS ビットが1のとき、SCL クロックの8クロック目の立ち上がりで RDRF フラグを1にし、SCL クロックの8クロック目の立ち下がり、SCLn ラインの Low ホールドを行います。この SCLn ラインの Low ホールドは、ACKBT ビットへの書き込みによって解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、SCLn ラインは自動的に Low ホールドされます。これによって、受信データの内容に応じた ACK (ACKBT ビットが0) または NACK (ACKBT ビットが1) の送出処理が可能となります。

### WAIT ビット (WAIT)

受信モードにおいて1バイト受信ごとに、受信データバッファ (ICDRR レジスタ) の読み出しが完了するまで、SCL クロックの9クロック目と1クロック目の間を Low ホールドするかどうかを制御します。

WAIT ビットが0のとき、SCL クロックの9クロック目と1クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに0のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが1のとき、1バイト受信ごとに、9クロック目の立ち下がり以降、ICDRR レジスタ値が読み出されるまでの間、SCLn ラインを Low にホールドします。これによって、1バイトごとの受信動作が可能になります。

注. WAIT ビットの値を読み出す場合は、必ず最初に ICDRR レジスタを読み出してください。

### SMBS ビット (SMBus/I<sup>2</sup>C バス選択)

このビットを1にすると、SMBus が選択されて、ICSER.HOAE ビットが有効になります。

31.2.6 I<sup>2</sup>Cバスファンクションイネーブルレジスタ (ICFER)

アドレス IIC0.ICFER 4005 3005h, IIC1.ICFER 4005 3105h, IIC2.ICFER 4005 3205h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効	0 : タイムアウト検出機能は無効 1 : タイムアウト検出機能は有効	R/W
b1	MALE	マスタアービトレーションロスト検出有効	0 : 無効 アービトレーションロスト検出機能を無効にして、アービトレーションロスト発生によるICCR2.MSTおよびTRSビットの自動クリアを禁止します。 1 : 有効 アービトレーションロスト検出機能を有効にして、アービトレーションロスト発生によるICCR2.MSTおよびTRSビットの自動クリアを許可します。	R/W
b2	NALE	NACK送信アービトレーションロスト検出有効	0 : NACK送信アービトレーションロスト検出は無効 1 : NACK送信アービトレーションロスト検出は有効	R/W
b3	SALE	スレーブアービトレーションロスト検出有効	0 : 無効 1 : 有効	R/W
b4	NACKE	NACK受信転送中断許可	0 : NACK受信時、転送を中断しない (転送中断禁止) 1 : NACK受信時、転送を中断する (転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効	0 : デジタルノイズフィルタ回路を使用しない 1 : デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効	0 : SCL同期回路を使用しない 1 : SCL同期回路を使用する	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**TMOE ビット (タイムアウト検出機能有効)**

タイムアウト検出機能を有効または無効にします。

タイムアウト検出機能の詳細については、[31.12.1 タイムアウト検出機能](#)を参照してください。

**MALE ビット (マスタアービトレーションロスト検出有効)**

マスタモード時にアービトレーションロスト検出機能を使用するかどうかを指定します。通常の動作では、このビットを1にしてください。

**NALE ビット (NACK送信アービトレーションロスト検出有効)**

受信モード時でNACK送出中にACKが検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択し、それぞれ受信バイト数が異なる場合など) に、アービトレーションロストを発生させるかどうかを選択します。

**SALE ビット (スレーブアービトレーションロスト検出有効)**

スレーブ送信モード時に、送出中の値と異なる値がバス上で検出された場合、アービトレーションロストを発生させるかどうかを選択します。たとえば、同じアドレスのスレーブがバス上に存在した場合や、ノイズが原因で送信データとの不一致が生じた場合などです。

**NACK ビット (NACK 受信転送中断許可)**

送信モード時にスレーブデバイスから NACK を受信した場合、転送動作を継続するか中断するかを選択します。通常の動作では、このビットを 1 にしてください。

NACK ビットが 1 の状態で NACK を受信した場合、次の転送動作が中断されます。NACK ビットが 0 の場合は、受信したアクノリッジの内容にかかわらず、次の転送動作が継続されます。

NACK 受信転送中断機能の詳細については、[31.9.2 NACK 受信転送中断機能](#)を参照してください。

**SCLE ビット (SCL 同期回路有効)**

SCL クロックを SCL 入力クロックと同期させるかどうかを選択します。通常の動作では、このビットを 1 にしてください。

SCLE ビットを 0 (SCL 同期回路を使用しない) にすると、IIC は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、SCLn ラインの状態にかかわらず、IIC は、ICBRH および ICBRL レジスタで設定した転送速度の SCL クロックを出力します。そのため、I<sup>2</sup>C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合があります。また、SCL 同期回路を使用しないと、スタートコンディション/リスタートコンディション/ストップコンディションの発行と、追加 SCL クロックサイクルの連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているか確認する場合を除き、0 にしないでください。

参考資料

31.2.7 I<sup>2</sup>Cバスステータスイネーブルレジスタ (ICSER)

アドレス IIC0.ICSER 4005 3006h, IIC1.ICSER 4005 3106h, IIC2.ICSER 4005 3206h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ 0 有効	0 : SARL0 および SARU0 のスレーブアドレスは無効 1 : SARL0 および SARU0 のスレーブアドレスは有効	R/W
b1	SAR1E	スレーブアドレスレジスタ 1 有効	0 : SARL1 および SARU1 のスレーブアドレスは無効 1 : SARL1 および SARU1 のスレーブアドレスは有効	R/W
b2	SAR2E	スレーブアドレスレジスタ 2 有効	0 : SARL2 および SARU2 のスレーブアドレスは無効 1 : SARL2 および SARU2 のスレーブアドレスは有効	R/W
b3	GCAE	ジェネラルコールアドレス有効	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DIDE	デバイスIDアドレス検出有効	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	HOAE	ホストアドレス有効	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

**SARyE ビット (スレーブアドレスレジスタ y 有効) (y = 0 ~ 2)**

受信したスレーブアドレスと、SARLy および SARUy レジスタで設定したスレーブアドレスを有効または無効にします。

このビットを1にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。SARyE ビットを0にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

**GCAE ビット (ジェネラルコールアドレス有効)**

ジェネラルコールアドレス (0000 000b + 0[W] : すべて 0) を受信した場合、それを無視するかどうかを選択します。

このビットを1にした場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、IIC は、SARLy および SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。このビットを0にした場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

**DIDE ビット (デバイスIDアドレス検出有効)**

スタートコンディションまたはリスタートコンディション検出後の第1フレームでデバイスID (1111 100b) を受信した場合、デバイスIDアドレスと認識して動作させるかどうかを選択します。

DIDE ビットが1のときに、受信した第1フレームがデバイスIDと一致すると、IIC はデバイスIDアドレスを受信したと認識します。続く R/W# ビットが 0[W] の場合、IIC は第2フレーム以降をスレーブアドレスとみなして、受信動作を継続します。DIDE ビットが0の場合、IIC は受信した第1フレームがデバイスIDアドレスと一致してもそれを無視し、第1フレームを通常のスレーブアドレスと認識します。

デバイスIDアドレス検出機能の詳細については、31.7.3 デバイスIDアドレス検出機能を参照してください。

**HOAE ビット (ホストアドレス有効)**

ICMR3.SMBS ビットが 1 の場合、受信したホストアドレス (0001 000b) を無視するかどうかを指定します。

このビットが 1 で、かつ ICMR3.SMBS ビットも 1 の場合、受信したスレーブアドレスがホストアドレスと一致すると、IIC は SARLy および SARUy レジスタ (y=0 ~ 2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスとして認識し、受信動作を行います。

ICMR3.SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

参考資料



31.2.8 I<sup>2</sup>Cバス割り込みイネーブルレジスタ (ICIER)

アドレス IIC0.ICIER 4005 3007h, IIC1.ICIER 4005 3107h, IIC2.ICIER 4005 3207h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可	0: タイムアウト割り込み (TMOIn) 要求を禁止 1: タイムアウト割り込み (TMOIn) 要求を許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可	0: アービトレーションロスト割り込み (ALIn) 要求を禁止 1: アービトレーションロスト割り込み (ALIn) 要求を許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可	0: スタートコンディション検出割り込み (STIn) 要求を禁止 1: スタートコンディション検出割り込み (STIn) 要求を許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可	0: ストップコンディション検出割り込み (SPIn) 要求を禁止 1: ストップコンディション検出割り込み (SPIn) 要求を許可	R/W
b4	NAKIE	NACK受信割り込み要求許可	0: NACK受信割り込み (NAKIn) 要求を禁止 1: NACK受信割り込み (NAKIn) 要求を許可	R/W
b5	RIE	受信データフル割り込み要求許可	0: 受信データフル割り込み (IICn_RXI) 要求を禁止 1: 受信データフル割り込み (IICn_RXI) 要求を許可	R/W
b6	TEIE	送信終了割り込み要求許可	0: 送信終了割り込み (IICn_TEI) 要求を禁止 1: 送信終了割り込み (IICn_TEI) 要求を許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可	0: 送信データエンプティ割り込み (IICn_TXI) 要求を禁止 1: 送信データエンプティ割り込み (IICn_TXI) 要求を許可	R/W

**TMOIE ビット (タイムアウト割り込み要求許可)**

ICSR2.TMOF フラグが1のとき、タイムアウト割り込み (TMOIn) 要求を許可または禁止します。TMOI 割り込み要求を解除するには、TMOF フラグまたはTMOIE ビットを0にします。

**ALIE ビット (アービトレーションロスト割り込み要求許可)**

ICSR2.AL フラグが1のとき、アービトレーションロスト割り込み (ALIn) 要求を許可または禁止します。ALI 割り込み要求を解除するには、AL フラグまたはALIE ビットを0にします。

**STIE ビット (スタートコンディション検出割り込み要求許可)**

ICSR2.START フラグが1のとき、スタートコンディション検出割り込み (STIn) 要求を許可または禁止します。STI 割り込み要求を解除するには、START フラグまたはSTIE ビットを0にします。

**SPIE ビット (ストップコンディション検出割り込み要求許可)**

ICSR2.STOP フラグが1のとき、ストップコンディション検出割り込み (SPIn) 要求を許可または禁止します。SPI 割り込み要求を解除するには、STOP フラグまたはSPIE ビットを0にします。

**NAKIE ビット (NACK 受信割り込み要求許可)**

ICSR2.NACKF フラグが1のとき、NACK 受信割り込み (NAKIn) 要求を許可または禁止します。NAKI 割り込み要求を解除するには、NACKF フラグまたはNAKIE ビットを0にします。

**RIE ビット (受信データフル割り込み要求許可)**

ICSR2.RDRF フラグが1のとき、受信データフル割り込み (IICn\_RXI) 要求を許可または禁止します。

**TEIE ビット (送信終了割り込み要求許可)**

ICSR2.TEND フラグが1のとき、送信終了割り込み (IICn\_TEI) 要求を許可または禁止します。IICn\_TEI 割り込み要求を解除するには、TEND フラグまたはTEIE ビットを0にします。

**TIE ビット (送信データエンプティ割り込み要求許可)**

ICSR2.TDRE フラグが1のとき、送信データエンプティ割り込み (IICn\_TXI) 要求を許可または禁止します。

31.2.9 I<sup>2</sup>Cバスステータスレジスタ 1 (ICSR1)

アドレス IIC0.ICSR1 4005 3008h, IIC1.ICSR1 4005 3108h, IIC2.ICSR1 4005 3208h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0 : スレーブアドレス0未検出 1 : スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0 : スレーブアドレス1未検出 1 : スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0 : スレーブアドレス2未検出 1 : スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0 : ジェネラルコールアドレス未検出 1 : ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DID	デバイスIDアドレス検出フラグ	0 : デバイスIDコマンド未検出 1 : デバイスIDコマンド検出 スタートコンディション検出直後に受信した第1フレームが、[デバイスID (1111 100b) + 0[W]]の値と一致した場合、1になります。	R/(W) (注1)
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	HOA	ホストアドレス検出フラグ	0 : ホストアドレス未検出 1 : ホストアドレス検出 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1になります。	R/(W) (注1)

注1. フラグをクリアするための0の書き込みのみ可能です。

## AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[1になる条件]

【7ビットアドレスフォーマット選択時 (SARUy.FS = 0)】

- ICSER.SARyE ビットが1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビット値と一致したとき。  
そのフレームの SCL クロックの9クロック目の立ち上がりで1になる

【10ビットアドレスフォーマット選択時 (SARUy.FS = 1)】

- ICSER.SARyE ビットが1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLy レジスタの値と一致したとき。そのフレームの SCL クロックの9クロック目の立ち上がりで1になる

[0になる条件]

- 1を読んだ後、0を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに1を書いて、IICリセットまたは内部リセットを行ったとき

【7ビットアドレスフォーマット選択時 (SARUy.FS = 0)】

- ICSER.SARyE ビットが1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビット値と不一致のとき。  
そのフレームの SCL クロックの9クロック目の立ち上がりで0になる

## 【10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)】

- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と不一致のとき。  
そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLy レジスタの値と不一致のとき。  
そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる

**GCA フラグ (ジェネラルコールアドレス検出フラグ)**

[1 になる条件]

- ICSEr.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき。  
そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSEr.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき。  
そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**DID フラグ (デバイス ID アドレス検出フラグ)**

[1 になる条件]

- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致したとき。  
そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームがデバイス ID (1111 100b) と不一致のとき。  
そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致し、かつ、第 2 フレームがスレーブアドレス 0 ~ 2 のすべてと不一致のとき。  
そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**HOA フラグ (ホストアドレス検出フラグ)**

[1になる条件]

- IC SER.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき。  
そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- IC SER.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき。  
そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

参考資料

31.2.10 I<sup>2</sup>C バスステータスレジスタ 2 (ICSR2)

アドレス IIC0.ICSR2 4005 3009h, IIC1.ICSR2 4005 3109h, IIC2.ICSR2 4005 3209h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロスト未発生 1: アービトレーションロスト発生	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信完了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. フラグをクリアするための0の書き込みのみ可能です。

## TMOF フラグ (タイムアウト検出フラグ)

SCLn ラインの状態が一定期間変化しなかったために、IIC がタイムアウトを検出したとき、TMOF フラグは1になります。

[1になる条件]

- マスタモードまたはスレーブモード時に、ICFER.TMOE ビットが1 (タイムアウト検出機能有効) かつ受信したスレーブアドレスが一致した状態で、ICMR2.TMOH、TMOL、TMOS ビットで指定した期間 SCLn ライン状態が変化しなかったとき

[0になる条件]

- 1を読んだ後、0を書いたとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

## AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時に、バス競合などが原因で、バス占有権がアービトレーションロストしたことを示します。IIC は、送信中に SDA<sub>n</sub> ラインのレベルを監視し、SDA<sub>n</sub> ラインのレベルと出力中のビット値が一致していないと、AL フラグを1にすることで、バスが他のデバイスによって占有されていることを示します。

さらに IIC は、AL フラグをセットすることで、マスタモードでの NACK 送信中やスレーブモードでのデータ送信中に、アービトレーションロストが検出されたことも示します。

[1になる条件]

【マスタアービトレーションロスト検出有効時 (ICFER.MALE = 1)】

- マスタ送信モードでのデータ送信中のACK期間を除き、内部のSDA出力状態がSCLクロックの立ち上がりでSDAnラインレベルと不一致のとき
- ICCR2.STビットが1 (スタートコンディション要求) の状態でスタートコンディションが検出されたとき、または、内部のSDA出力状態がSDAnラインレベルと不一致のとき
- ICCR2.BBSYフラグが1の状態、ICCR2.STビットを1 (スタートコンディション要求) にしたとき

【NACKアービトレーションロスト検出有効時 (ICFER.NALE = 1)】

- 受信モードでのNACK送信中に、ACK期間において、内部のSDA出力状態がSCLクロックの立ち上がりでSDAnラインレベルと不一致のとき

【スレーブアービトレーションロスト検出有効時 (ICFER.SALE = 1)】

- スレーブ送信モードでのデータ送信中のACK期間を除き、内部のSDA出力状態がSCLクロックの立ち上がりでSDAnラインレベルと不一致のとき

[0になる条件]

- 1を読んだ後、0を書いたとき
- ICCR1.IICRSTビットに1を書いて、IICリセットまたは内部リセットを行ったとき

表 31.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.STビットが1の状態、スタートコンディション検出時に、内部のSDA出力状態がSDAnラインレベルと不一致のとき ICCR2.BBSYが1の状態、ICCR2.STを1にしたとき
			1	送信データ不一致	マスタ送信モード時に、送信データ (スレーブアドレス含む) とバス状態が不一致のとき
x	1	x	1	NACK送信不一致	マスタまたはスレーブ受信モード時に、NACK送信中にACKを検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モード時に、送信データとバス状態が不一致のとき

x : Don't care

#### START フラグ (スタートコンディション検出フラグ)

[1になる条件]

- スタートコンディション (またはリスタートコンディション) が検出されたとき

[0になる条件]

- 1を読んだ後、0を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRSTビットに1を書いて、IICリセットまたは内部リセットを行ったとき

**STOP フラグ (ストップコンディション検出フラグ)**

[1 になる条件]

- ストップコンディションが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**NACKF フラグ (NACK 検出フラグ)**

[1 になる条件]

- ICFER.NACKE ビットが 1 (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジを受信しなかった (NACK を受信した) とき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。NACKF フラグが 1 の状態では、送信モードで ICDRT レジスタへ書き込みを行ったり、受信モードで ICDRR レジスタから読み出しを行ったりしても、データ送受信動作は許可されません。データ送受信動作を再開するには、NACKF フラグを 0 にしてください。

**RDRF フラグ (受信データフルフラグ)**

[1 になる条件]

- ICDRS レジスタから ICDRR レジスタへ受信データが転送されたとき。  
RDRF フラグは、SCL クロックの 8 クロック目または 9 クロック目 (ICMR3 レジスタの RDRFS ビットで選択) の立ち上がりで 1 になる
- ICCR2.TRS ビットが 0 の状態で、スタートコンディションまたはリスタートコンディション検出後、受信したスレーブアドレスが一致したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICDRR レジスタからデータを読んだとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**TEND フラグ (送信終了フラグ)**

[1 になる条件]

- TDRE フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**TDRE フラグ (送信データエンプティフラグ)**

[1になる条件]

- ICDRT レジスタから ICDRS レジスタヘデータが転送され、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが1になったとき
- TRS ビットが1の状態、受信したスレーブアドレスが一致したとき

[0になる条件]

- ICDRT レジスタヘデータを書いたとき
- ICCR2.TRS ビットが0になったとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

注. ICFER.NACKF ビットが1のとき、NACKF フラグが1になると、IIC はデータ送受信動作を中断します。このとき、TDRE フラグが0 (次の送信データがすでに書き込まれている状態) であれば、9クロック目の立ち上がりで ICDRS レジスタヘデータが転送され、ICDRT レジスタが空になりますが、TDRE フラグは1になりません。

参考資料



31.2.11 I<sup>2</sup>Cバスウェイクアップユニットレジスタ (ICWUR)

アドレス IIC0.ICWUR 4005 3016h

	b7	b6	b5	b4	b3	b2	b1	b0
	WUE	WUIE	WUF	WUACK	—	—	—	WUAFA
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WUAFA	ウェイクアップアナログフィルタ追加選択	0: ウェイクアップアナログフィルタを追加しない 1: ウェイクアップアナログフィルタを追加する	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	WUACK	ウェイクアップモード用ACK	IICR1.IICRSTビットとWUACKビットの組み合わせで、4つの応答モードから選択します。表 31.5を参照してください。	R/W
b5	WUF	ウェイクアップイベント発生フラグ	0: ウェイクアップ時にスレーブアドレス不一致 1: ウェイクアップ時にスレーブアドレス一致	R/W
b6	WUIE	ウェイクアップ割り込み要求許可	0: ウェイクアップ割り込み要求 (IIC0_WUI) 禁止 1: ウェイクアップ割り込み要求 (IIC0_WUI) 許可	R/W
b7	WUE	ウェイクアップ機能有効	0: ウェイクアップ機能は無効 1: ウェイクアップ機能は有効	R/W

表 31.5 ウェイクアップモード

IICRST	WUACK	動作モード	内容
0	0	ノーマルウェイクアップモード1	SCLクロックの9クロック目でACK応答を行い、9クロック目の後でSCLのLowホールドを行う。
0	1	ノーマルウェイクアップモード2	即時ACK応答せず、SCLクロックの8クロック目と9クロック目の間でSCLのLowホールドを行う。SCLクロックの9クロック目でSCLのLowホールドを解除し、ACK応答を行う。
1	0	コマンドリカバリモード	SCLクロックの9クロック目でACK応答を行い、SCLのLowホールドは行わない。
1	1	EEP応答モード	SCLクロックの9クロック目でNACK応答を行い、SCLのLowホールドは行わない。

## WUF フラグ (ウェイクアップイベント発生フラグ)

[1になる条件]

- ウェイクアップモード時、最初のSCLクロックの8クロック目でSCLがLowとなり、スレーブアドレスが一致した後、PCLKBが供給されたとき

[0になる条件]

- 1を読んだ後、0を書いたとき
- ICEビットが0でIICRSTビットが1のとき

## 31.2.12 Reserved (ICWUR2)

アドレス IIC0.ICWUR2 4005 3017h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	WUSY F	WUAS YF	WUSE N
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	WUSEN	予約ビット	読むと1が読めます。書き込みは無効です。	R/W
b1	WUASYF	予約ビット	読むと1が読めます。	R
b2	WUSYF	予約ビット	読むと1が読めます。	R
b7-b3	—	予約ビット	読むと1が読めます。	R

## 31.2.13 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)

アドレス IIC0.SARL0 4005 300Ah, IIC1.SARL0 4005 310Ah, IIC2.SARL0 4005 320Ah,  
IIC0.SARL1 4005 300Ch, IIC1.SARL1 4005 310Ch, IIC2.SARL1 4005 320Ch,  
IIC0.SARL2 4005 300Eh, IIC1.SARL2 4005 310Eh, IIC2.SARL2 4005 320Eh

b7	b6	b5	b4	b3	b2	b1	b0
SVA[6:0]							SVA0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレス設定	R/W
b7-b1	SVA[6:0]	7ビットアドレス/10ビットアドレス下位ビット	スレーブアドレス設定	R/W

**SVA0 ビット (10ビットアドレス最下位ビット)**

10ビットアドレスフォーマット選択時 (SARUy.FS ビット=1)、このビットは10ビットアドレスの最下位ビットとして機能します。また、SVA[6:0] ビットと組み合わせて10ビットアドレスの下位8ビットを形成します。

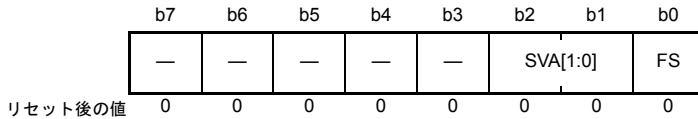
このビットは、ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが1の場合に有効です。SARUy.FS ビットまたは SARyE ビットが0の場合、このビットの設定値は無視されます。

**SVA[6:0] ビット (7ビットアドレス/10ビットアドレス下位ビット)**

7ビットアドレスフォーマット選択時 (SARUy.FS ビット=0)、これらのビットは7ビットアドレスとして機能します。10ビットアドレスフォーマット選択時 (SARUy.FS ビット=1)、これらのビットは、SVA0 ビットと組み合わせて10ビットアドレスの下位8ビットを形成します。ICSER.SARyE ビットが0の場合、これらのビットの設定値は無視されます。

## 31.2.14 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス IIC0.SARU0 4005 300Bh, IIC1.SARU0 4005 310Bh, IIC2.SARU0 4005 320Bh,  
IIC0.SARU1 4005 300Dh, IIC1.SARU1 4005 310Dh, IIC2.SARU1 4005 320Dh,  
IIC0.SARU2 4005 300Fh, IIC1.SARU2 4005 310Fh, IIC2.SARU2 4005 320Fh



ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択	0 : 7ビットアドレスフォーマットを選択 1 : 10ビットアドレスフォーマットを選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレス設定	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**FS ビット (7ビット/10ビットアドレスフォーマット選択)**

スレーブアドレス y (SARLy および SARUy レジスタ) に対して、7ビットアドレスまたは10ビットアドレスを選択します。

ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが0の場合、スレーブアドレス y には7ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり、SVA[1:0] ビットと SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが1の場合、スレーブアドレス y には10ビットアドレスフォーマットが選択され、SVA[1:0] ビットおよび SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが0 (SARLy および SARUy レジスタ無効) の場合、SARUy.FS ビットの設定値は無効です。

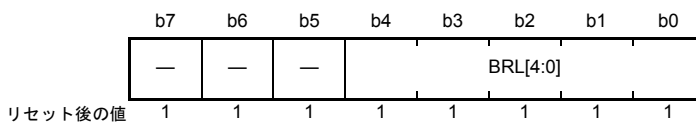
**SVA[1:0] ビット (10ビットアドレス上位ビット)**

10ビットアドレスフォーマット選択時 (FS ビット=1)、これらのビットは10ビットアドレスの上位2ビットとして機能します。

これらのビットは、ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが1の場合に有効です。SARUy.FS ビットまたは SARyE ビットが0の場合、これらのビットの設定値は無視されます。

31.2.15 I<sup>2</sup>Cバスビットレート Low レジスタ (ICBRL)

アドレス IIC0.ICBRL 4005 3010h, IIC1.ICBRL 4005 3110h, IIC2.ICBRL 4005 3210h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定	SCLクロックのLow幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

ICBRL レジスタは、SCL クロックの Low 幅を設定する 5 ビットのレジスタです。ICBRL レジスタは、SCL 自動 Low ホールド機能 (31.9 SCL の自動 Low ホールド機能を参照) のデータセットアップ時間の生成にも使用されます。IIC をスレーブモードのみで使用する場合、ICBRL レジスタはデータセットアップ時間 (注1) 以上の値を設定してください。

ICBRL レジスタは、ICMR1.CKS[2:0] ビットで指定した内部基準クロックソース (IICφ) で Low 幅をカウントします。

デジタルノイズフィルタ回路を有効 (ICFER.NFE ビット = 1) にした場合、ICBRL レジスタにはノイズフィルタの段数 + 1 以上の値を設定してください。この段数については、ICMR3.NF[1:0] ビットの説明を参照してください。

- 注 1. データセットアップ時間 (tSU:DAT)
- 250ns (~ 100kbps) : スタンダードモード (Sm)
  - 100ns (~ 400kbps) : ファストモード (Fm)

31.2.16 I<sup>2</sup>Cバスビットレート High レジスタ (ICBRH)

アドレス IIC0.ICBRH 4005 3011h, IIC1.ICBRH 4005 3111h, IIC2.ICBRH 4005 3211h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定	SCLクロックのHigh幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

ICBRHレジスタは、SCLクロックのHigh幅を設定する5ビットのレジスタです。ICBRHレジスタはマスターモードで有効になります。IICをスリープモードのみで使用する場合、このレジスタの設定は不要です。

ICBRHレジスタは、ICMR1.CKS[2:0]ビットで指定した内部基準クロックソース (IICφ) でHigh幅をカウントします。

デジタルノイズフィルタ回路を有効 (ICFER.NFEビット=1) にした場合、ICBRHレジスタにはノイズフィルタの段数+1以上の値を設定してください。この段数については、ICMR3.NF[1:0]ビットの説明を参照してください。

IIC転送速度とSCLクロックのデューティ比は、次式で計算されます。

- 1) ICFER.SCLE = 0 の場合  
 転送速度 =  $1 / \{[(BRH + 1) + (BRL + 1)] / IIC\phi \text{ (注1)} + tr \text{ (注2)} + tf \text{ (注3)}\}$   
 デューティ比 =  $\{tr + [(BRH + 1) / IIC\phi]\} / \{tr + tf + [(BRH + 1) + (BRL + 1)] / IIC\phi\}$
- 2) ICFER.SCLE = 1, ICFER.NFE = 0, CKS[2:0] = 000b (IICφ = PCLKB) の場合  
 転送速度 =  $1 / \{[(BRH + 3) + (BRL + 3)] / IIC\phi + tr + tf\}$   
 デューティ比 =  $\{tr + [(BRH + 3) / IIC\phi]\} / \{tr + tf + [(BRH + 3) + (BRL + 3)] / IIC\phi\}$
- 3) ICFER.SCLE = 1, ICFER.NFE = 1, CKS[2:0] = 000b (IICφ = PCLKB) の場合  
 転送速度 =  $1 / \{[(BRH + 3 + nf \text{ (注3)}) + (BRL + 3 + nf)] / IIC\phi + tr + tf\}$   
 デューティ比 =  $\{tr + [(BRH + 3 + nf) / IIC\phi]\} / \{tr + tf + [(BRH + 3 + nf) + (BRL + 3 + nf)] / IIC\phi\}$
- 4) ICFER.SCLE = 1, ICFER.NFE = 0, CKS[2:0] ≠ 000b の場合  
 転送速度 =  $1 / \{[(BRH + 2) + (BRL + 2)] / IIC\phi + tr + tf\}$   
 デューティ比 =  $\{tr + [(BRH + 2) / IIC\phi]\} / \{tr + tf + [(BRH + 2) + (BRL + 2)] / IIC\phi\}$
- 5) ICFER.SCLE = 1, ICFER.NFE = 1, CKS[2:0] ≠ 000b の場合  
 転送速度 =  $1 / \{[(BRH + 2 + nf) + (BRL + 2 + nf)] / IIC\phi + tr + tf\}$   
 デューティ比 =  $\{tr + [(BRH + 2 + nf) / IIC\phi]\} / \{tr + tf + [(BRH + 2 + nf) + (BRL + 2 + nf)] / IIC\phi\}$

注 1. IICφ = PCLKB × 分周比

注 2. SCLn ライン立ち上がり時間 [tr] および SCLn ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については、NXP社のI<sup>2</sup>Cバス規格書を参照してください。

注 3. nf = ICMR3.NFビットで選択したデジタルノイズフィルタの段数

表 31.6 SCLE = 0 の場合のIIC設定範囲例

転送速度 (kbps)	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB (MHz)	NF[1:0]	計算式
100	011	16 (10h)	16 (10h)	32	—	1)
400	001	14 (0Eh)	14 (0Eh)	32	—	1)

表 31.7 SCLE = 1かつNFE = 0の場合のIIC設定範囲例

転送速度 (kbps)	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB (MHz)	NF[1:0]	計算式
100	011	15 (0Fh)	15 (0Fh)	32	—	4)
400	001	13 (0Dh)	13 (0Dh)	32	—	4)

表 31.8 SCLE = 1かつNFE = 1の場合のIIC設定範囲例

転送速度 (kbps)	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB (MHz)	NF[1:0]	計算式
100	011	13 (0Dh)	13 (0Dh)	32	01b	5)
400	001	11 (0Bh)	11 (0Bh)	32	01b	5)

注. SCLn ラインの立ち上がり時間 (tr) : 100kbps 以下、Sm : 1000ns、400kbps 以下、Fm : 300ns、1Mbps 以下、Fm+ : 120ns

SCLn ラインの立ち下がり時間 (tf) : 400kbps 以下、Sm/Fm : 300ns、1Mbps 以下、Fm+ : 120ns

### 31.2.17 I<sup>2</sup>Cバス送信データレジスタ (ICDRT)

アドレス IIC0.ICDRT 4005 3012h, IIC1.ICDRT 4005 3112h, IIC2.ICDRT 4005 3212h



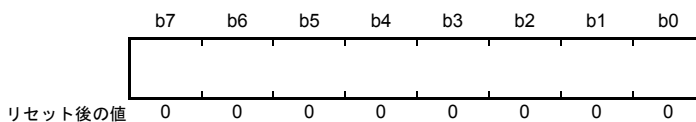
ICDRT レジスタは、I<sup>2</sup>Cバスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データを ICDRS レジスタへ転送し、送信モードでデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構成になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書き込めば、連続送信動作が可能になります。

ICDRT レジスタは常に読み出し/書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (IICn\_TXI) 要求が発生したときに 1 回だけ行ってください。

### 31.2.18 I<sup>2</sup>Cバスレシーブデータレジスタ (ICDRR)

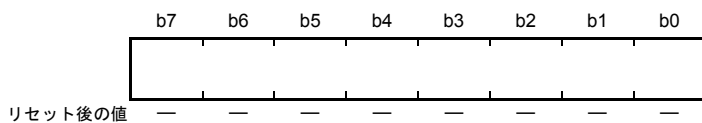
アドレス IIC0.ICDRR 4005 3013h, IIC1.ICDRR 4005 3113h, IIC2.ICDRR 4005 3213h



1 バイトのデータを受信すると、受信したデータは I<sup>2</sup>Cバスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構成になっているため、ICDRS レジスタのデータ送信中に、すでに受信したデータを ICDRR レジスタから読み出せば、連続受信動作が可能になります。ICDRR レジスタに書き込むことはできません。ICDRR レジスタからの読み出しは、受信データフル割り込み (IICn\_RXI) 要求が発生したときに 1 回だけ行ってください。

現在のデータを ICDRR レジスタから読み出す前に (ICSR2.RDRF フラグが 1 の場合に)、ICDRR レジスタが次の受信データを受け取ると、RDRF フラグが次に 1 になるタイミングの 1 つ手前の SCL クロックで、IIC は自動的に Low ホールドを行います。

31.2.19 I<sup>2</sup>Cバスシフトレジスタ (ICDRS)

ICDRSレジスタは、データを送受信するための8ビットのシフトレジスタです。送信時は、送信データがICDRTレジスタからICDRSレジスタへ転送されて、SDAn端子からデータが送出されます。受信時は、1バイトのデータ受信後に、データがICDRSレジスタからICDRRレジスタへ転送されます。ICDRSレジスタは、直接アクセスすることはできません。

参考資料

### 31.3 動作説明

#### 31.3.1 通信データフォーマット

I<sup>2</sup>C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたはリスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 31.3 に I<sup>2</sup>C バスフォーマットを、図 31.4 に I<sup>2</sup>C バスタイミングを示します。

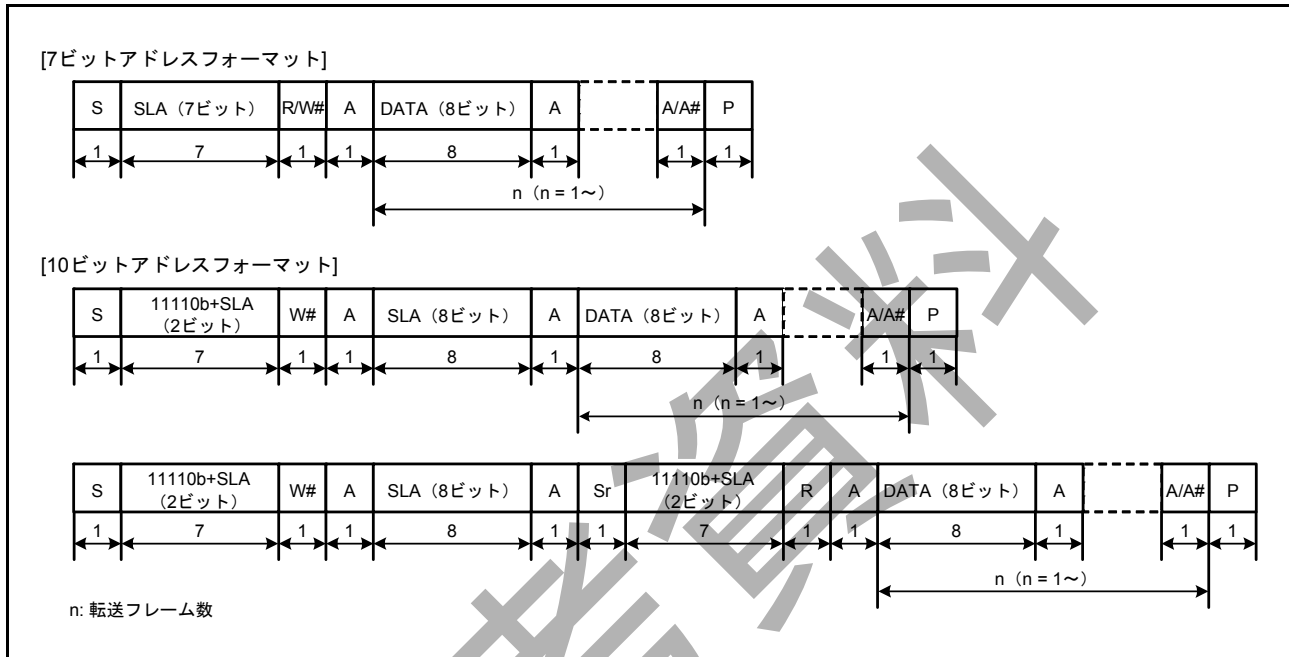


図 31.3 I<sup>2</sup>C バスフォーマット

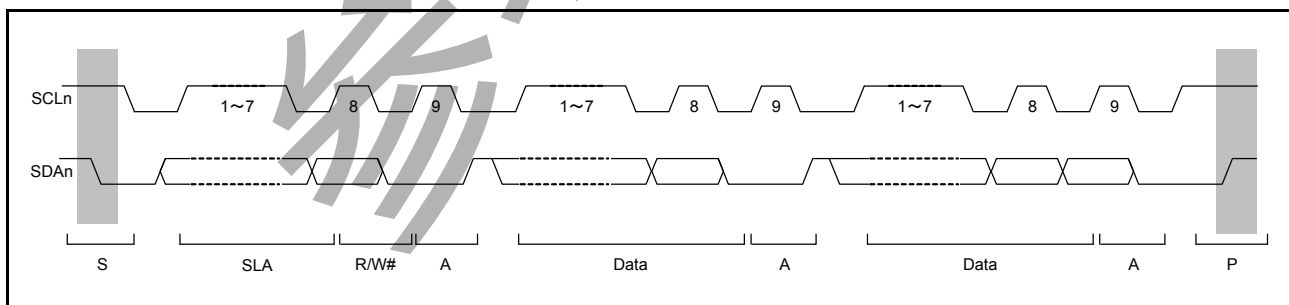


図 31.4 I<sup>2</sup>C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを表します。SCLnラインがHighのときに、マスタデバイスがSDAnラインをHighからLowに変化させます。
- SLA: スレーブアドレスを表します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: データ転送の方向を表します。R/Wが1のとき、スレーブデバイスからマスタデバイスの方向、R/Wが0のとき、マスタデバイスからスレーブデバイスの方向に送信します。
- A: アクノリッジを表します。受信デバイスがSDAnラインをLowにします。マスタ送信モード時はスレーブデバイスがアクノリッジを返します。マスタ受信モード時はマスタデバイスがアクノリッジを返します。
- A#: ノットアクノリッジを表します。受信デバイスがSDAnラインをHighにします。
- Sr: リスタートコンディションを表します。SCLnラインがHighのときに、セットアップ時間が経過した後、マスタデバイスがSDAnラインをHighからLowに変化させます。



DATA : 送信または受信されるデータを表します。

P : ストップコンディションを表します。SCLnラインがHighのときに、マスタデバイスがSDAnラインをLowからHighに変化させます。

### 31.3.2 初期設定

データの送受信を開始する前に、[図 31.5](#) に示す手順に従って IIC を初期化してください。

ICCR1.ICE ビットを 0 (SCLn および SDAn 端子は非駆動状態) にしたまま、ICCR1.IICRST ビットを 1 (IIC リセット) にした後、ICCR1.ICE ビットを 1 (内部リセット) にします。この手順により、内部リセットでは ICSR1 レジスタの各フラグや内部状態が初期化されます。次に、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL の各レジスタ (y=0~2) を設定し、その他のレジスタを必要に応じて設定します (IIC の初期設定については、[図 31.5](#) を参照してください)。必要なレジスタの設定が完了したら、ICCR1.IICRST ビットを 0 (IIC リセット解除) にしてください。

注. すでに IIC の初期化が完了している場合、この手順は不要です。

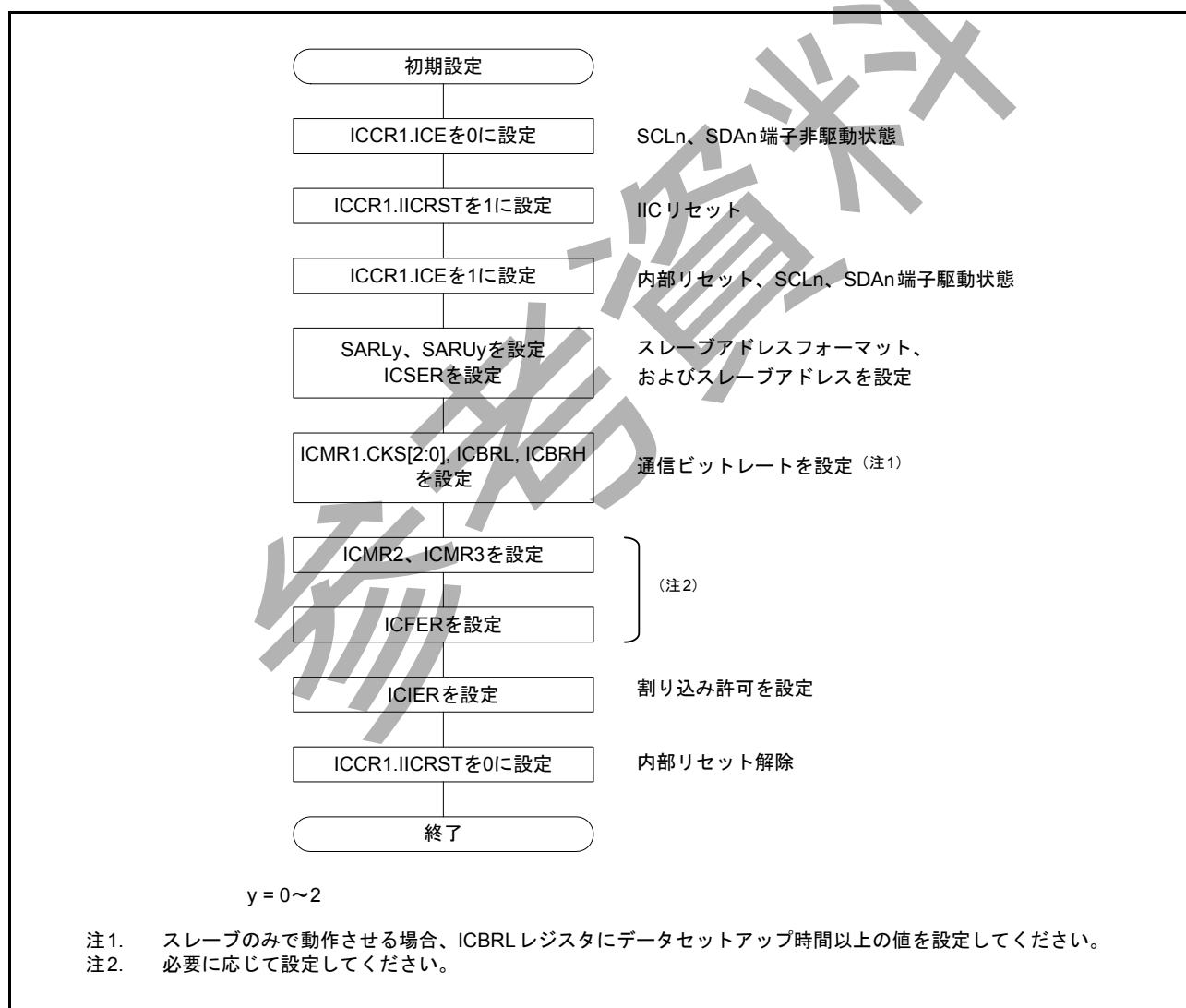


図 31.5 IIC の初期化フローチャート例

### 31.3.3 マスタ送信動作

マスタ送信動作では、マスタデバイスである IIC が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。図 31.6 に、マスタ送信の例を示します。図 31.7 ~ 図 31.9 に、マスタ送信の動作タイミングを示します。

マスタ送信の手順は次のとおりです。

1. 初期設定を行います。詳細は、31.3.2 初期設定を参照してください。
2. ICCR2.BBSY フラグを読んでバスがビジー状態でないことを確認した後、ICCR2.ST ビットを 1 (スタートコンディション発行要求) にしてください。IIC はこの要求を受け付けるとスタートコンディションを発行し、BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力の内部レベルと SDA<sub>n</sub> ラインのレベルが一致したとき、IIC は ST ビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信後、送信された R/W# ビットの値に応じて TRS ビットの値が自動的に更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 の場合、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。データを 10 ビットフォーマットのアドレスで送信する場合は、最初に、1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b (スレーブアドレスの上位 2 ビット) と W を書きます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションが発行されるまで、IIC は自動的に SCL<sub>n</sub> ラインを Low にホールドします。
5. 送信データの全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るまで待ってから、ICCR2.SP ビットを 1 (ストップコンディション発行要求) にしてください。IIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
6. ストップコンディションの検出時に、IIC は ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。さらに IIC は、TDRE フラグと TEND フラグを自動的に 0 にして、ICSR2.STOP フラグを 1 にします。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICCR2.STOP フラグを 0 にしてください。

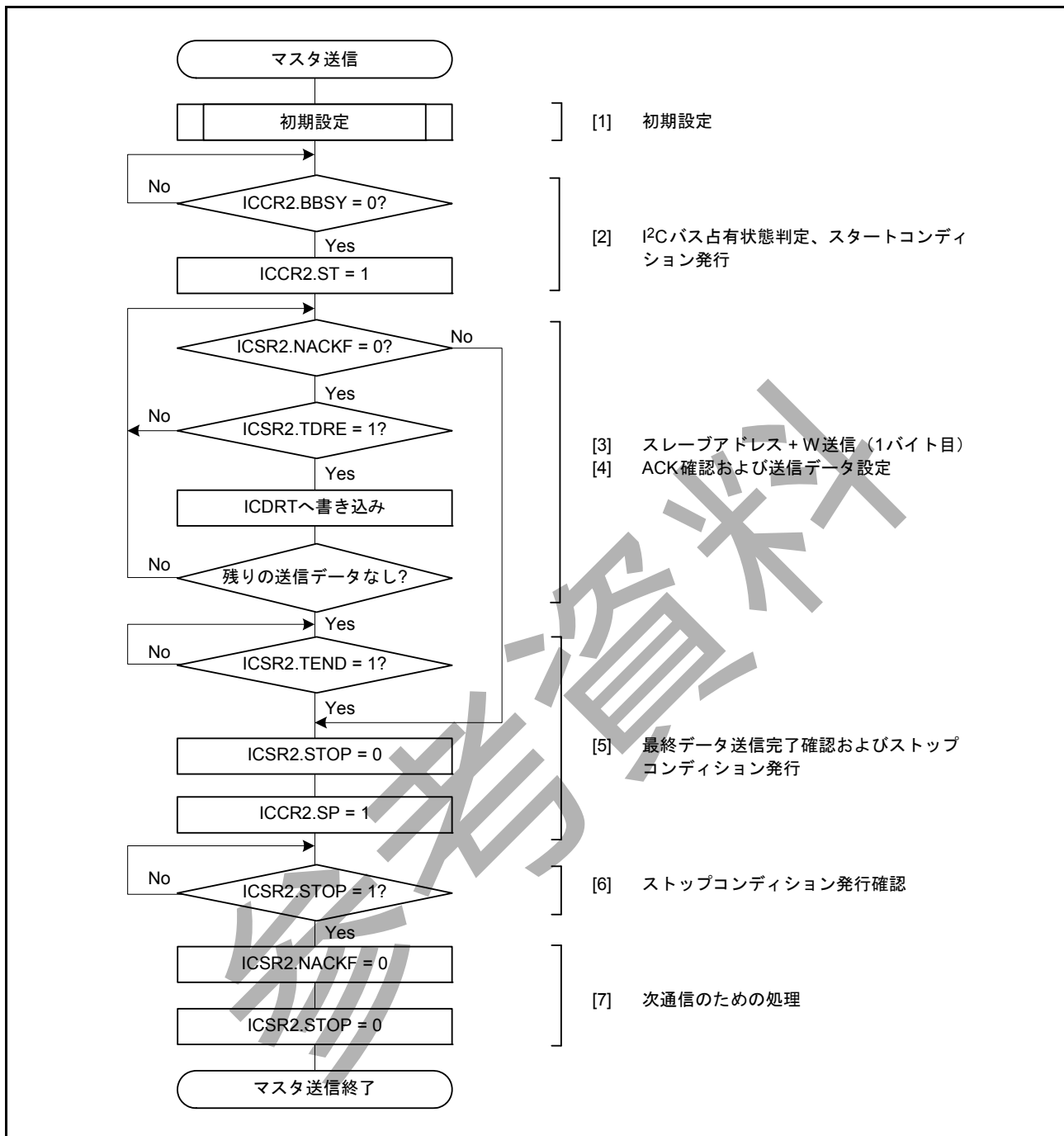


図 31.6 マスタ送信のフローチャート例

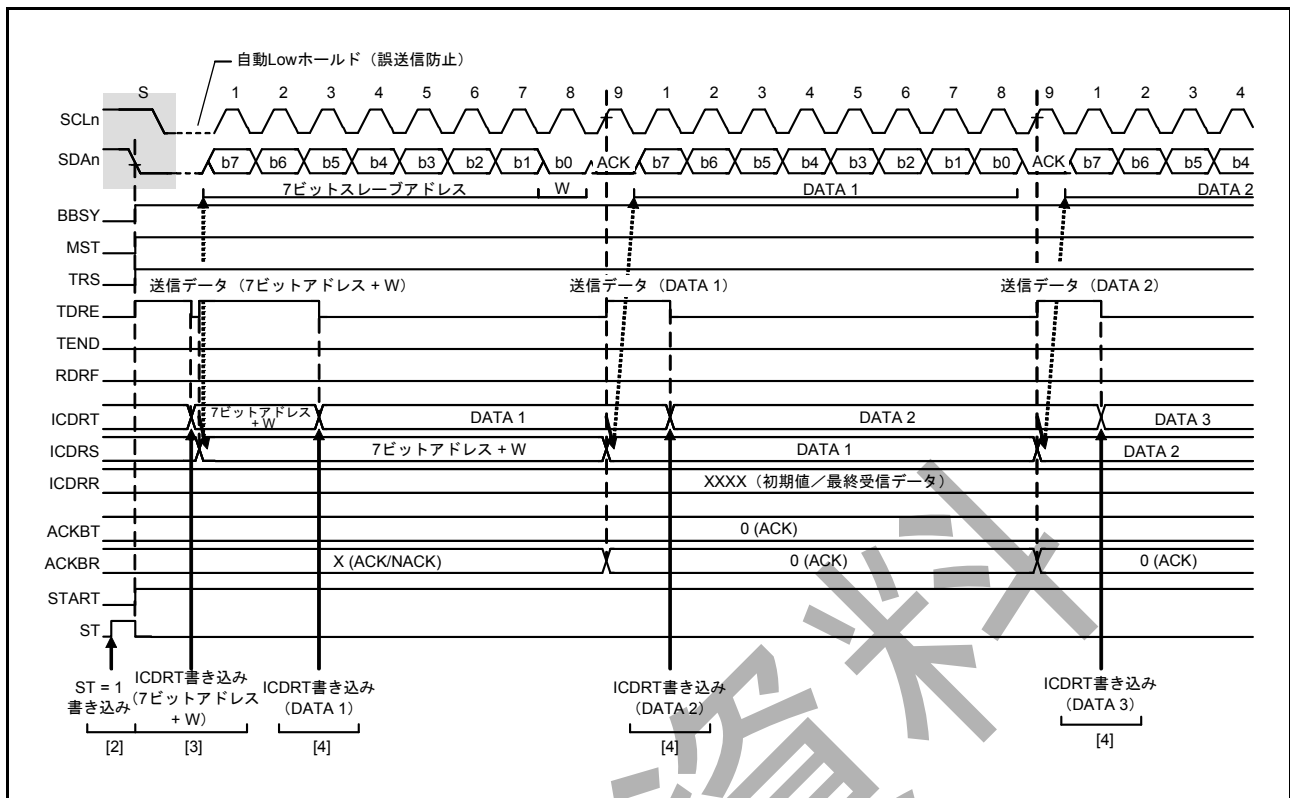


図 31.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマット)

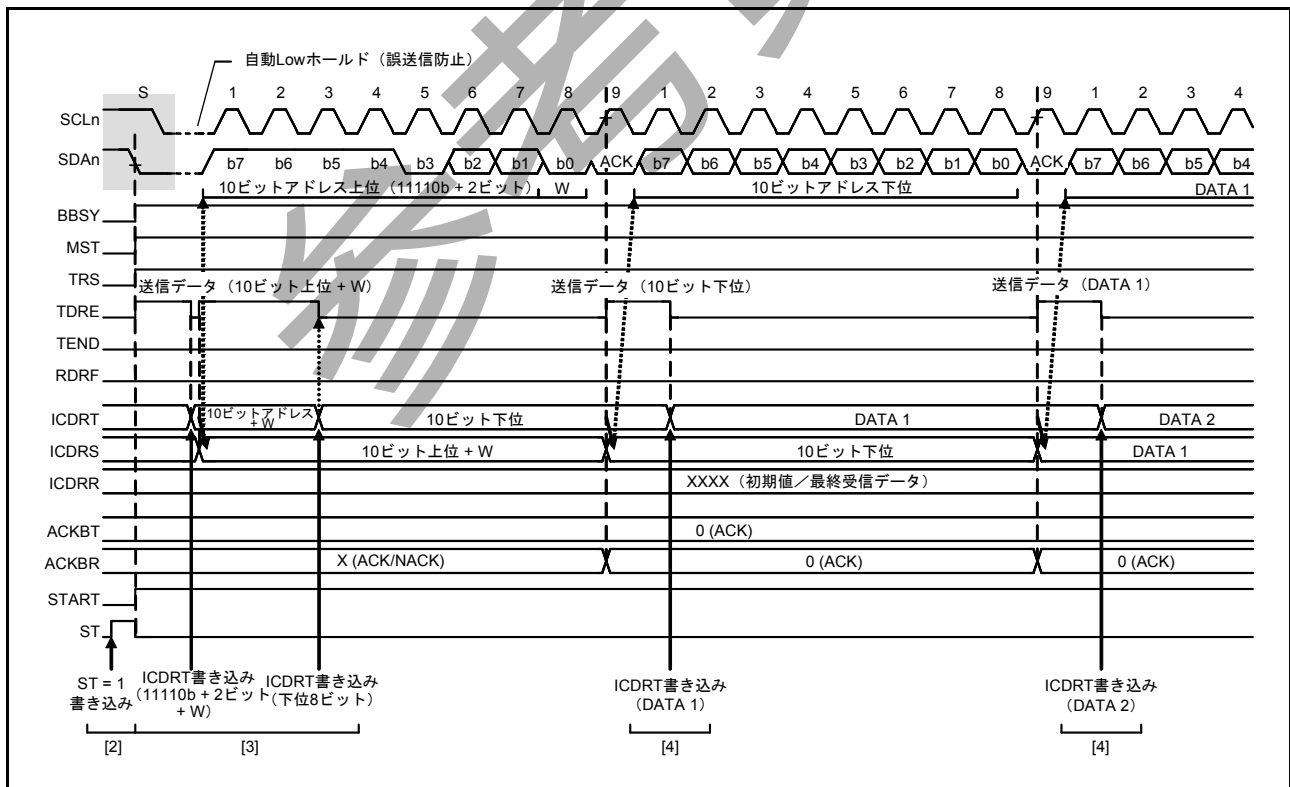


図 31.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマット)

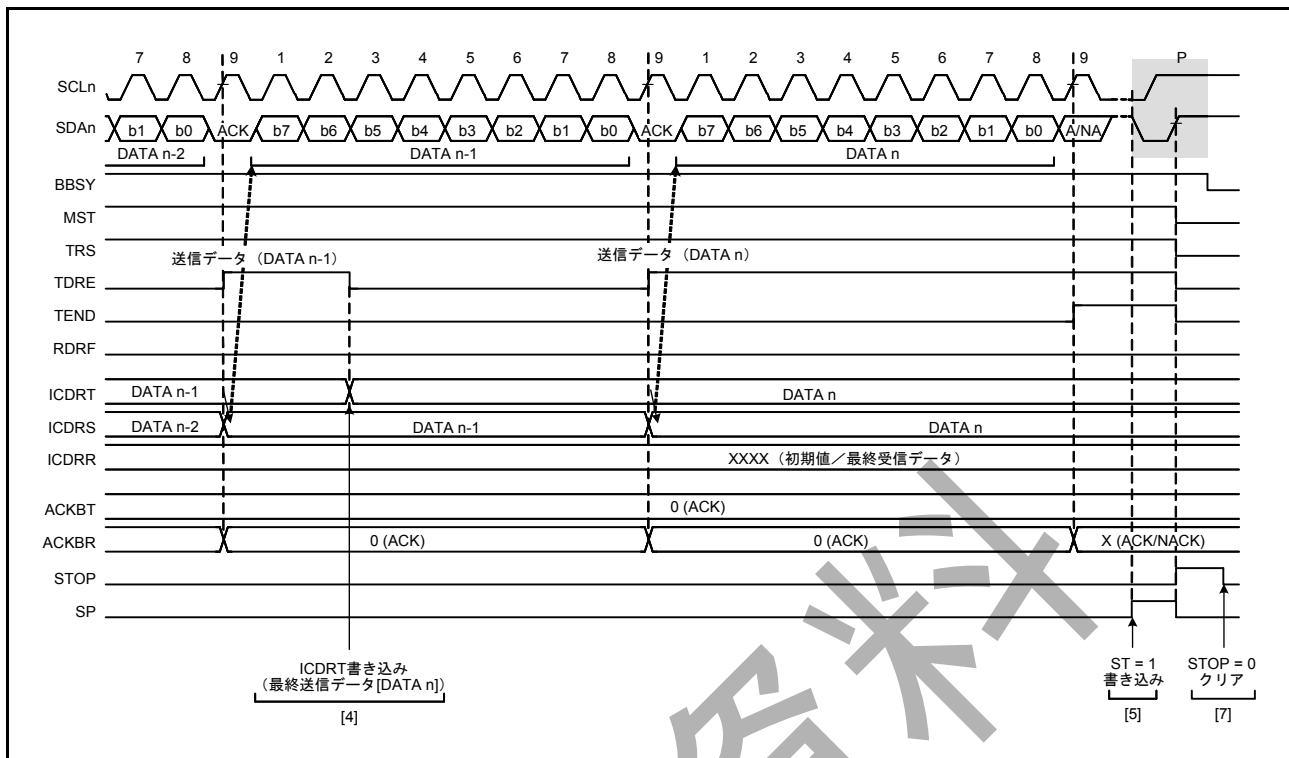


図 31.9 マスタ送信の動作タイミング (3)

### 31.3.4 マスタ受信動作

マスタ受信動作では、マスタデバイスである IIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクリリッジを返します。最初に、対応するスレーブデバイスにスレーブアドレスを送信する必要があるため、手順のアドレス部分ではマスタ送信モードで実行し、その後の手順ではマスタ受信モードで実行します。

図 31.10 と図 31.11 に、マスタ受信の例（7 ビットアドレスフォーマットの場合）を示します。図 31.12 ～図 31.14 に、マスタ受信の動作タイミングを示します。

マスタ受信の手順は次のとおりです。

1. 初期設定を行います。詳細は、31.3.2 初期設定を参照してください。
2. ICCR2.BBSY フラグを読んでバスがビジー状態でないことを確認した後、ICCR2.ST ビットを 1（スタートコンディション発行要求）にしてください。IIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。IIC がスタートコンディションを検出すると、BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットは自動的に 0 になります。ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力のレベルと SDA<sub>n</sub> ラインのレベルが一致したとき、IIC は ST ビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（1 バイト目はスレーブアドレスと R/W# ビットの値を示す）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトが送信されると、送信された R/W# ビットの値に応じて ICCR2.TRS ビットの値が自動的に更新され、送信モードまたは受信モードが選択されます。R/W# ビットの値が 1 の場合、SCL クロックの 9 クロック目の立ち上がりで TRS ビットが 0 になり、IIC はマスタ受信モードになります。TDRE フラグが 0 になり、ICSR2.RDRF フラグが自動的に 1 になります。  
このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。  
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビットと R ビットを送信することで、IIC はマスタ受信モードになります。
4. ICSR2.RDRF フラグが 1 であることを確認した後、ICDRT レジスタをダミーリードします。これにより、IIC は SCL クロックの出力とデータ受信動作を開始します。
5. 1 バイトのデータの受信後、SCL クロックの 8 クロック目または 9 クロック目（ICMR3.RDRFS ビットで選択）の立ち上がりで、ICSR2.RDRF フラグが 1 になります。ICDRT レジスタを読むと受信したデータを読むことができ、RDRF フラグは自動的に 0 になります。また、SCL クロックの 9 クロック目のアクリリッジビットには、ICMR3.ACKBT ビットに設定した値が返信されます。次に受信するバイトが最後から 2 番目のバイトの場合、ICDRT レジスタ（最後から 2 番目のバイトを含む）を読む前に、ICMR3.WAIT ビットを 1（ウェイトあり）にしてください。これにより、手順 (6) の ICMR3.ACKBT ビットを 1（NACK）にする処理が割り込みなどの他の処理によって遅れた場合でも、NACK 出力が可能になるとともに、最終バイトの受信時に 9 クロック目の立ち上がりで SCL<sub>n</sub> ラインを Low に固定して、バス状態はストップコンディションの発行が可能になります。
6. ICMR3.RDRFS ビットが 0 で、かつスレーブデバイスに対して、次の（最後の）バイトの転送でデータ受信が終了することを通知する必要がある場合は、ICMR3.ACKBT ビットを 1（NACK）にしてください。
7. 最後から 2 番目のバイトを ICDRT レジスタから読み出した後、ICSR2.RDRF フラグが 1 であれば、ICCR2.SP ビットを 1（ストップコンディション発行要求）にした後、ICDRT レジスタの最終バイトを読み出してください。ICDRT レジスタの読み出し時、IIC はウェイト状態から解除され、9 クロック目の Low 出力終了後または SCL<sub>n</sub> ラインの Low ホールド解除後に、ストップコンディションを発行します。

8. ストップコンディションの検出時に、IICはICCR2.MSTビットとICCR2.TRSビットを自動的に0にして、スレーブ受信モードへ遷移します。また、ストップコンディションを検出すると、ICSR2.STOPフラグが1になります。
9. ICSR2.STOPフラグが1であることを確認した後、次の転送動作のために、ICSR2.NACKFフラグとICSR2.STOPフラグを0にしてください。

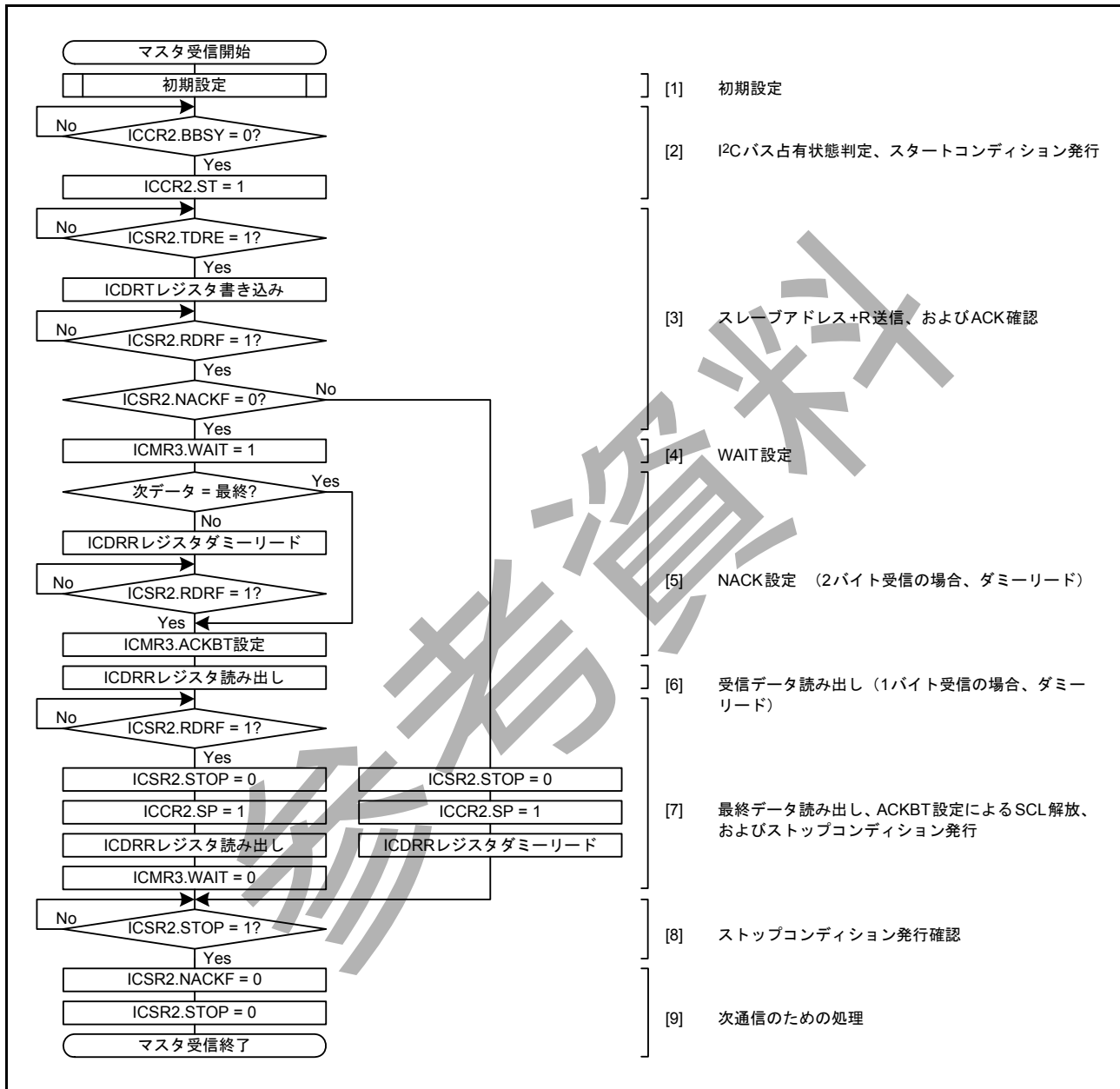


図 31.10 マスタ受信の例 (7ビットアドレスフォーマットで1または2バイト受信のとき)

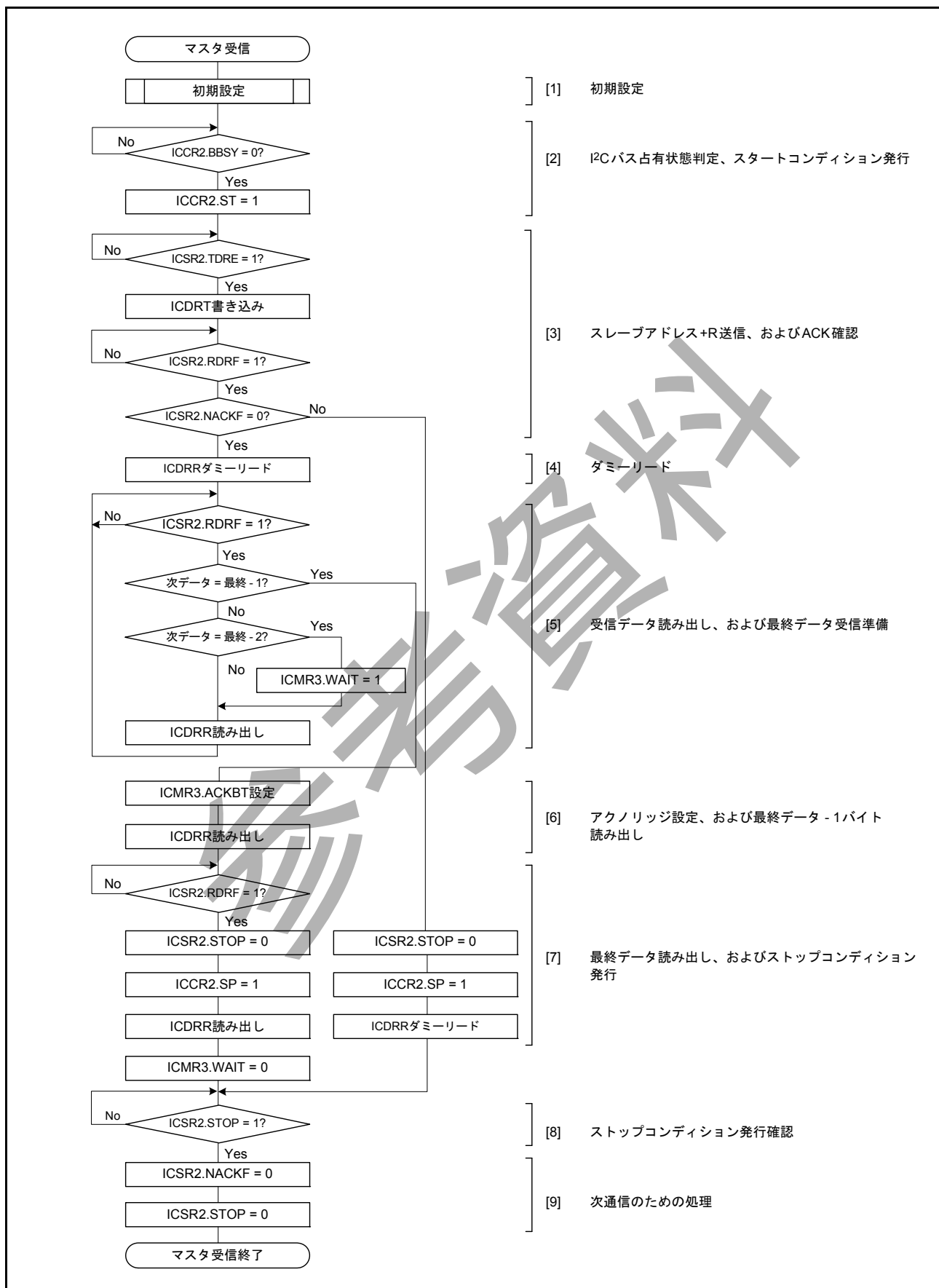


図 31.11 マスタ受信の例 (7ビットアドレスフォーマットで3バイト以上受信のとき)



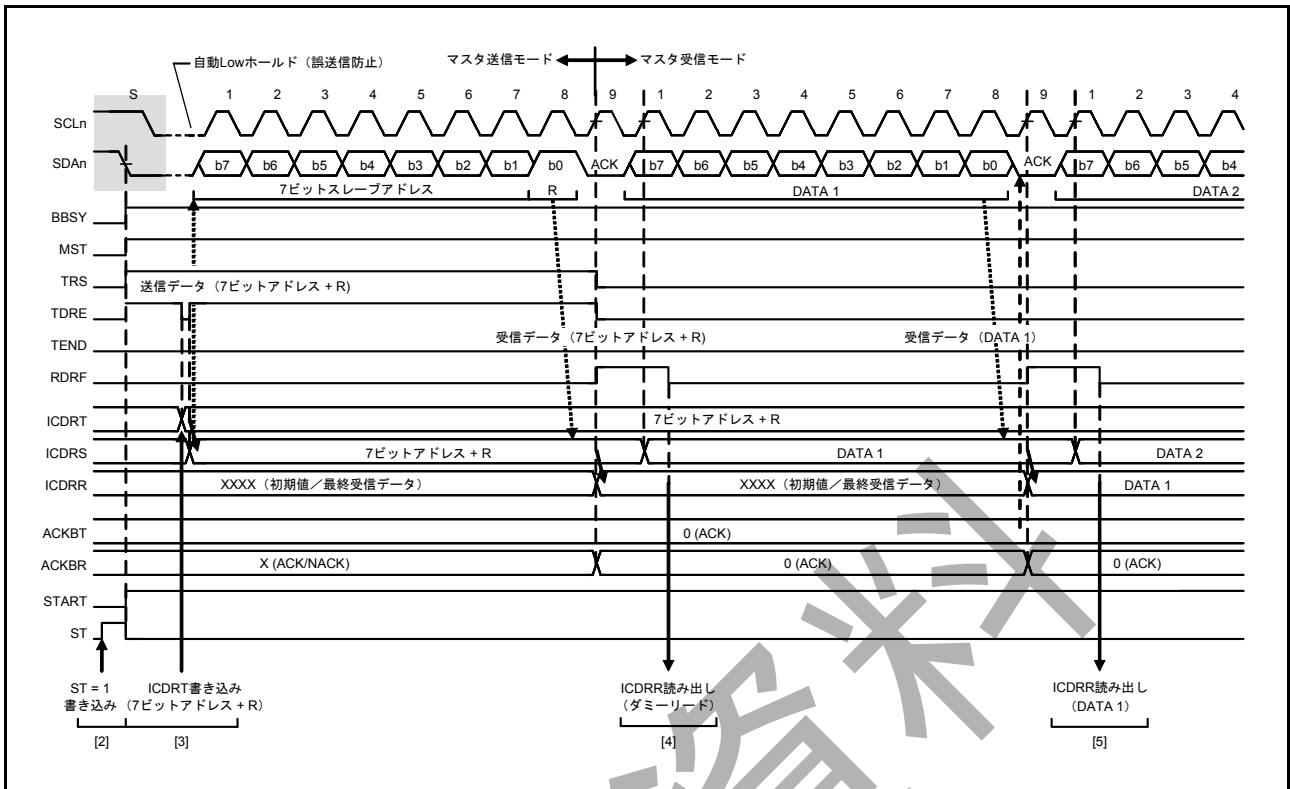


図 31.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマットでRDRFS = 0の場合)

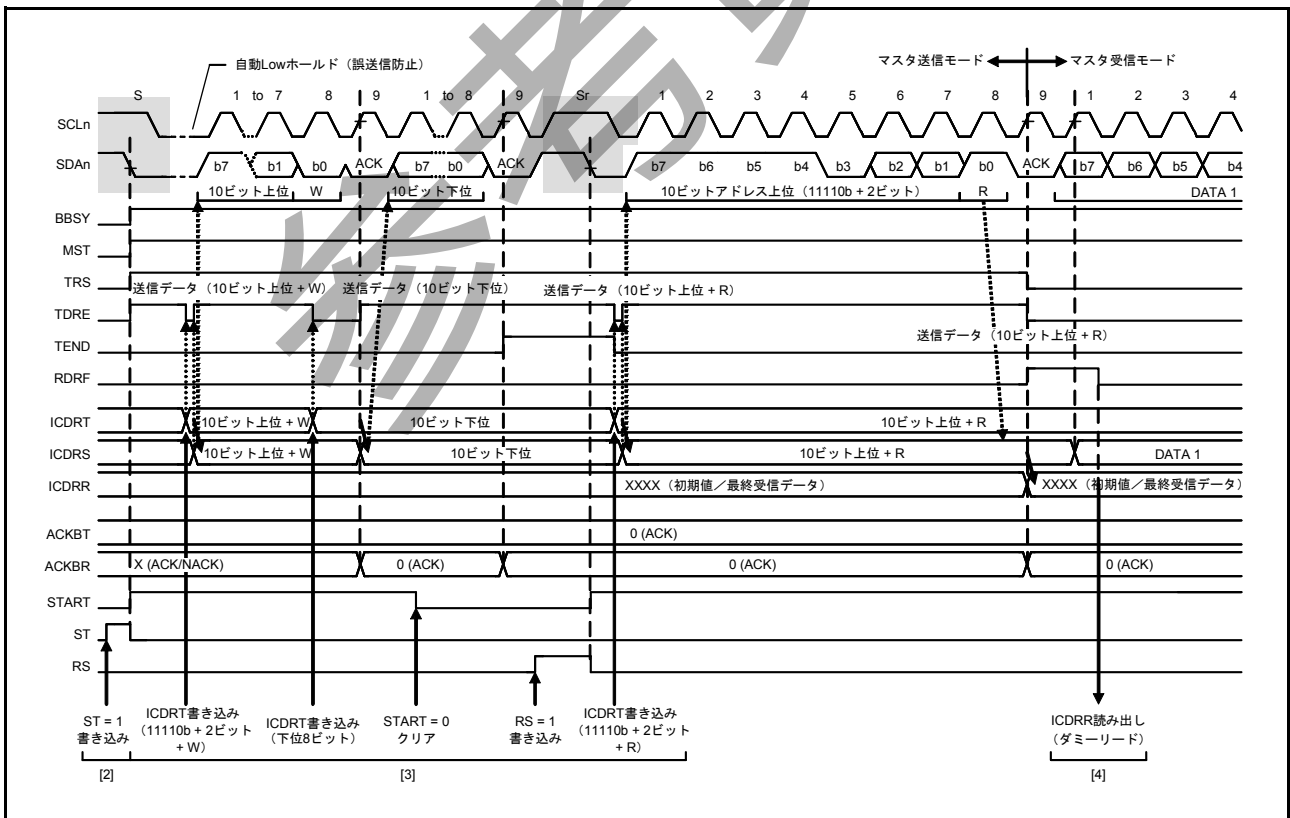


図 31.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマットでRDRFS = 0の場合)

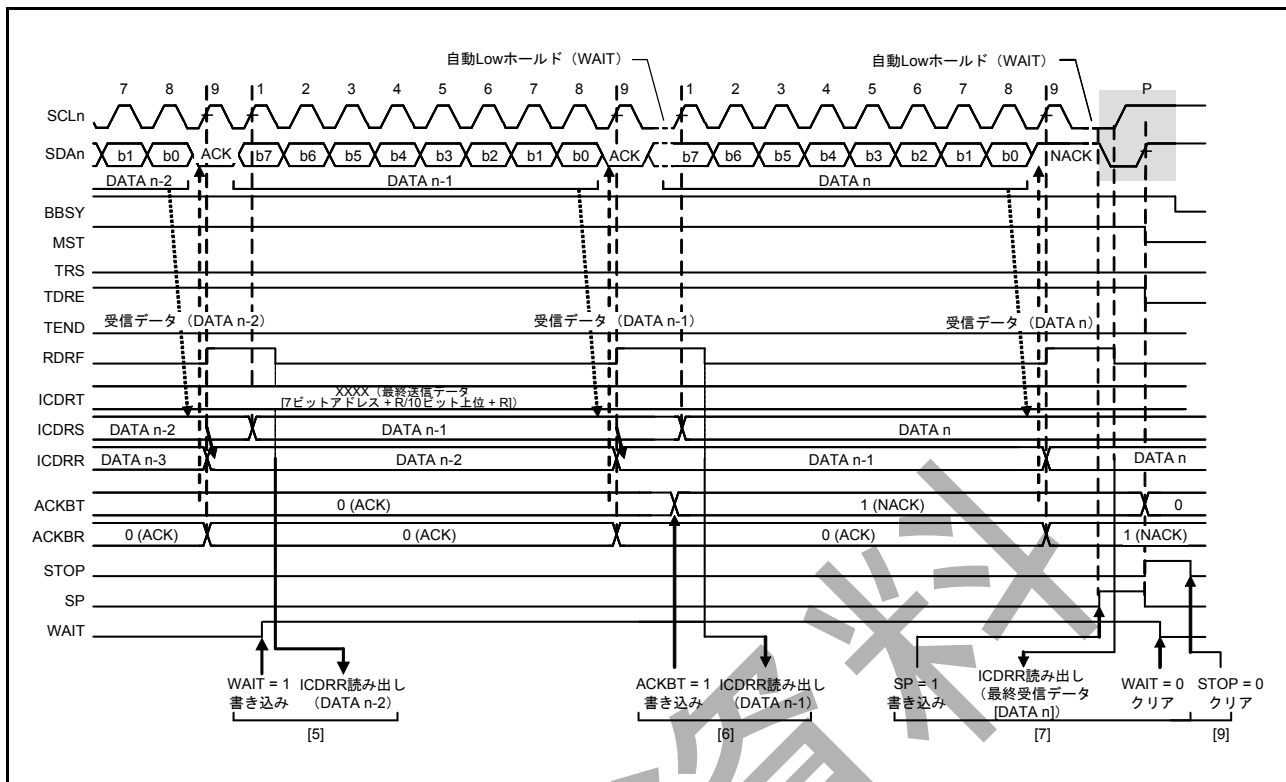


図 31.14 マスタ受信の動作タイミング (3) (RDRFS = 0 の場合)

### 31.3.5 スレーブ送信動作

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである IIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 31.15 に、スレーブ送信の例を示します。図 31.16 と図 31.17 に、スレーブ送信の動作タイミングを示します。

スレーブ送信の手順は次のとおりです。

1. 初期設定を行います。詳細は、31.3.2 初期設定を参照してください。  
初期設定後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AAS<sub>y</sub> ビット (y=0~2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にして、SCL クロックの 9 クロック目のアクノリッジビットとして ICMR3.ACKBT ビットの設定値を出力します。受信した R/W# ビットの値が 1 のとき、IIC は ICCR2.TRS ビットと ICSR2.TDRE フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. ICSR2.TEND フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。ICFER.NACKF ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった (NACK を受信した) 場合、IIC は次の転送動作を中断します。
4. ICSR2.NACKF フラグが 1 になるか、または最終送信バイトを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが 1 の状態で、ICSR2.TEND フラグが 1 になるまで待ってください。ICSR2.NACKF フラグが 1 または TEND フラグが 1 の場合、IIC は SCL クロックの 9 クロック目の立ち下がり SCL<sub>n</sub> ラインを Low にします。
5. ICSR2.NACKF フラグが 1 または ICSR2.TEND フラグが 1 の場合、終了処理のため ICDRR レジスタをダミーリードしてください。これによって SCL<sub>n</sub> ラインが開放されます。
6. IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AAS<sub>y</sub> ビット (y=0~2)、ICSR2.TDRE、TEND フラグ、および ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

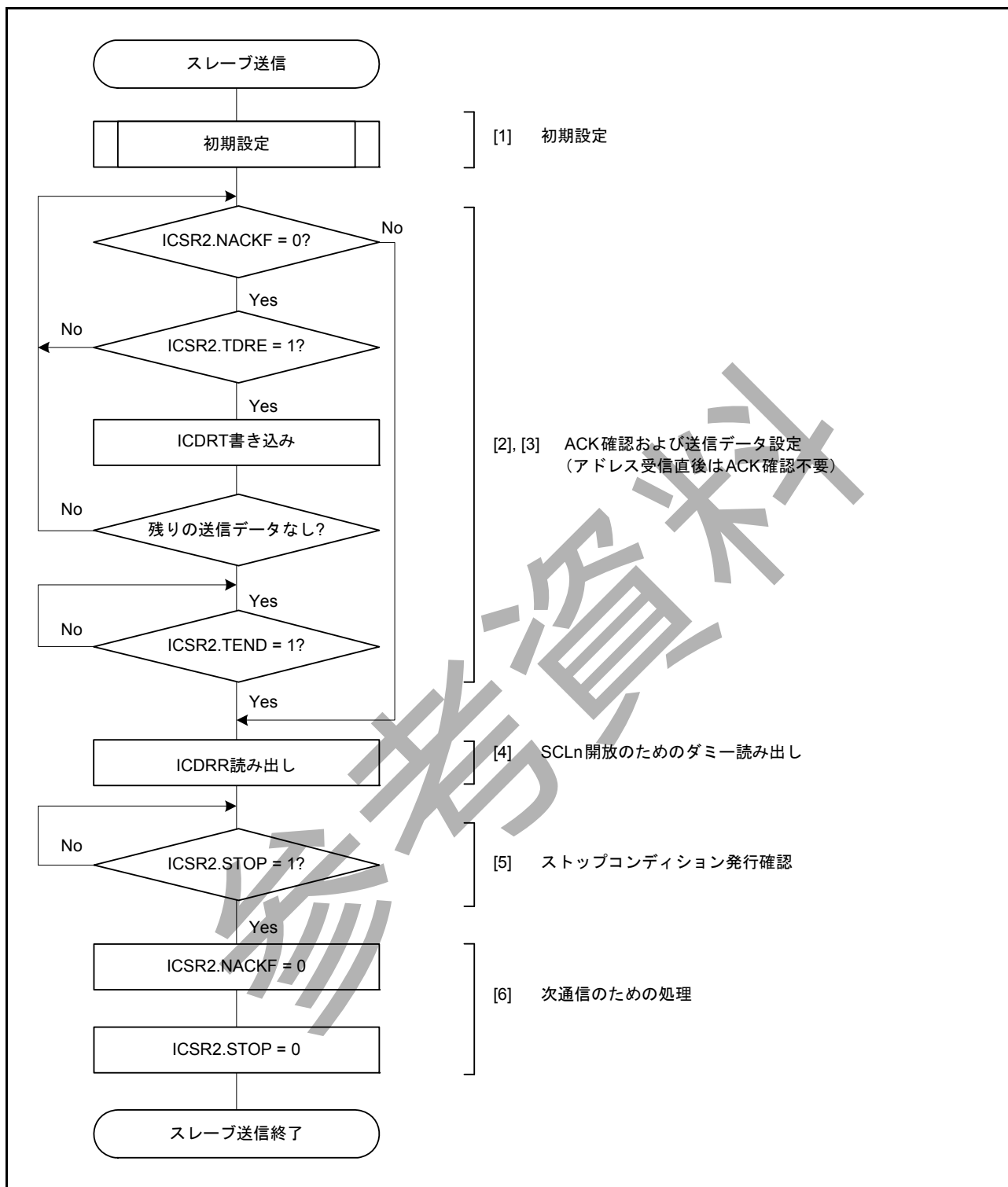


図 31.15 スレーブ送信のフローチャート例

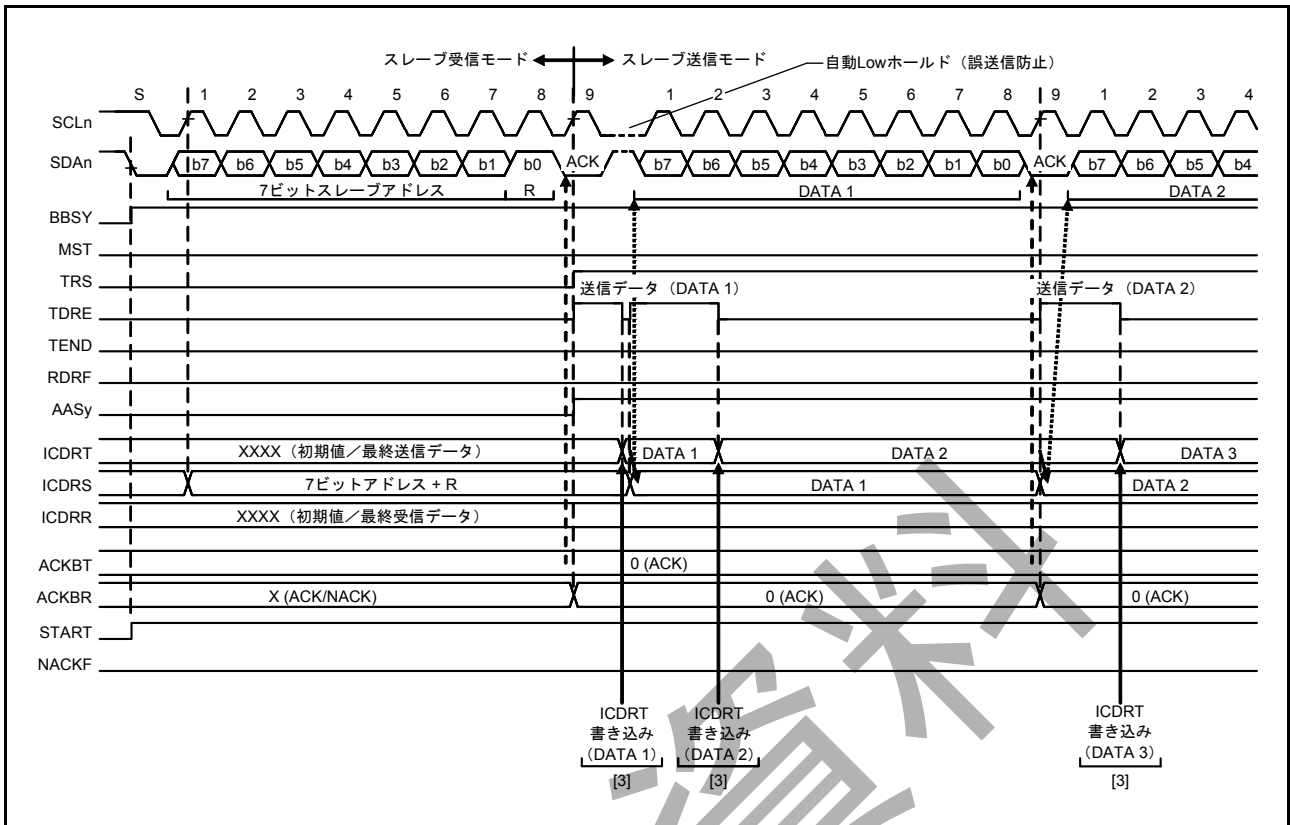


図 31.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマット)

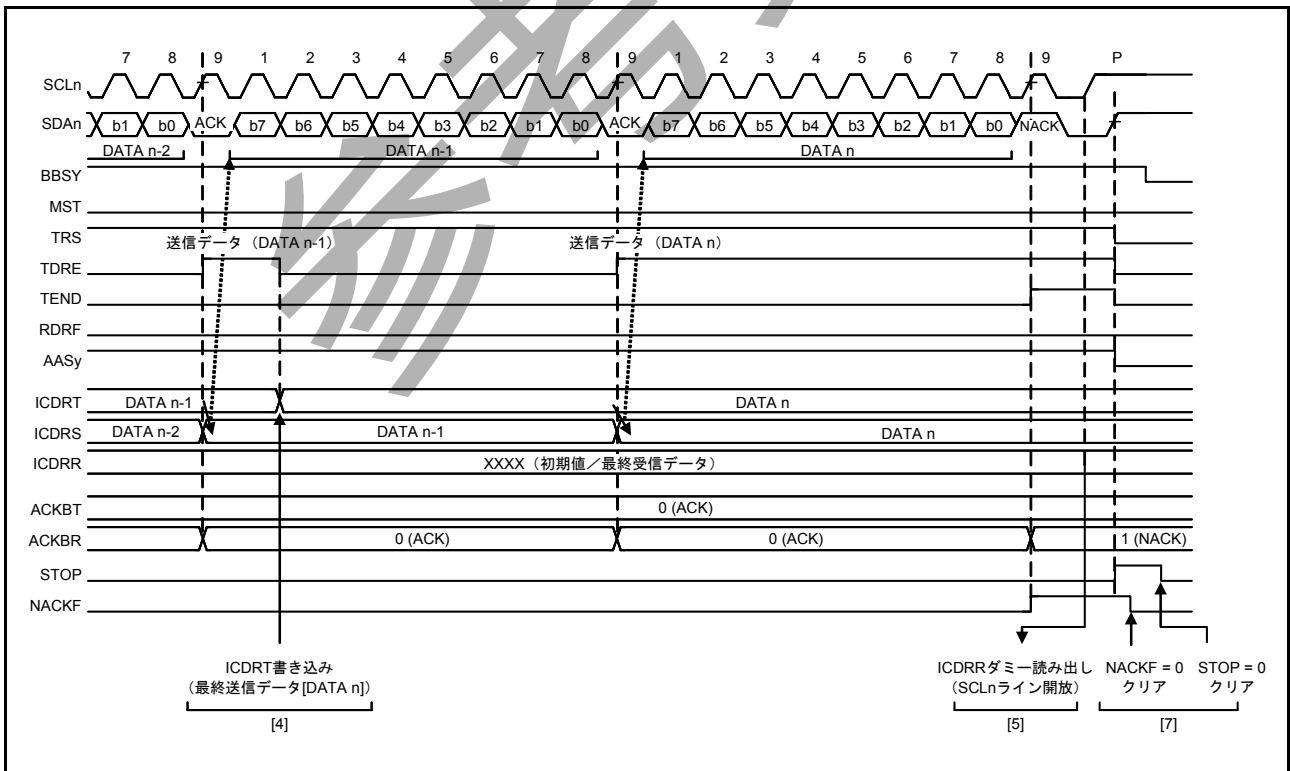


図 31.17 スレーブ送信の動作タイミング (2)

### 31.3.6 スレーブ受信動作

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである IIC がアクノリッジを返します。

図 31.18 に、スレーブ受信の例を示します。図 31.19 と図 31.20 に、スレーブ受信の動作タイミングを示します。

スレーブ受信の手順は次のとおりです。

1. 初期設定を行います。詳細は、31.3.2 初期設定を参照してください。  
初期設定後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AASy ビット (y=0~2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にして、SCL クロックの 9 クロック目のアクノリッジビットとして ICMR3.ACKBT ビットの設定値を出力します。受信した R/W# ビットの値が 0 であれば、IIC はスレーブ受信モードを継続し、ICSR2.RDRF フラグを 1 にします。
3. ICSR2.STOP フラグが 0 であることと、ICSR2.RDRF フラグが 1 であることを確認した後、ICDRR レジスタをダミーリードしてください (ダミーリードした値は、7 ビットアドレスフォーマット選択時はスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです)。
4. ICDRR レジスタが読み出されると、IIC は ICSR2.RDRF フラグを自動的に 0 にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが 1 のまま次のバイトを受信すると、IIC は RDRF フラグが設定されるポイントの 1 つ手前の SCL クロックまで SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され、IIC は SCLn ラインを開放します。ICSR2.STOP フラグが 1 で、かつ ICSR2.RDRF フラグが 1 の場合、全データの受信が完了するまで ICDRR レジスタを読み出してください。
5. IIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0~2) を自動的に 0 にします。
6. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために ICSR2.STOP フラグを 0 にしてください。

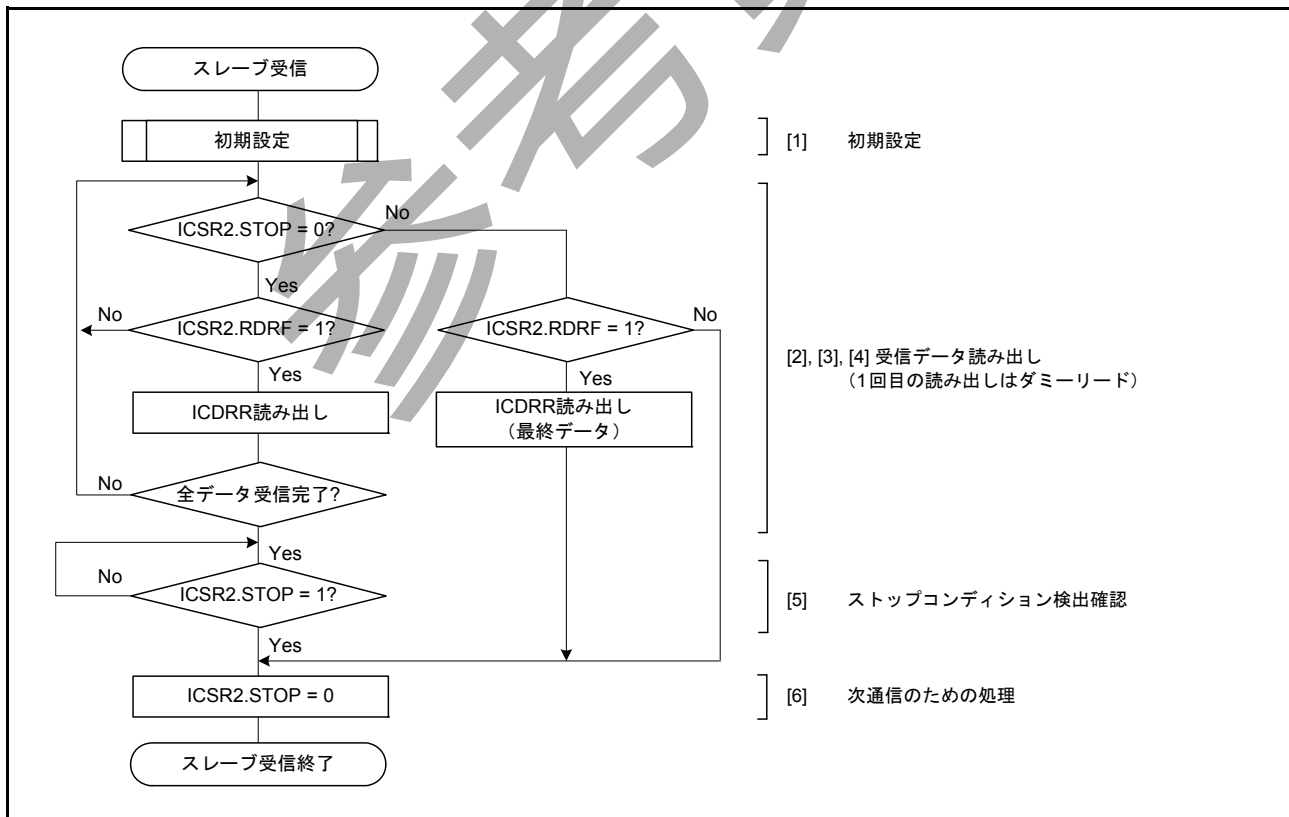


図 31.18 スレーブ受信のフローチャート例

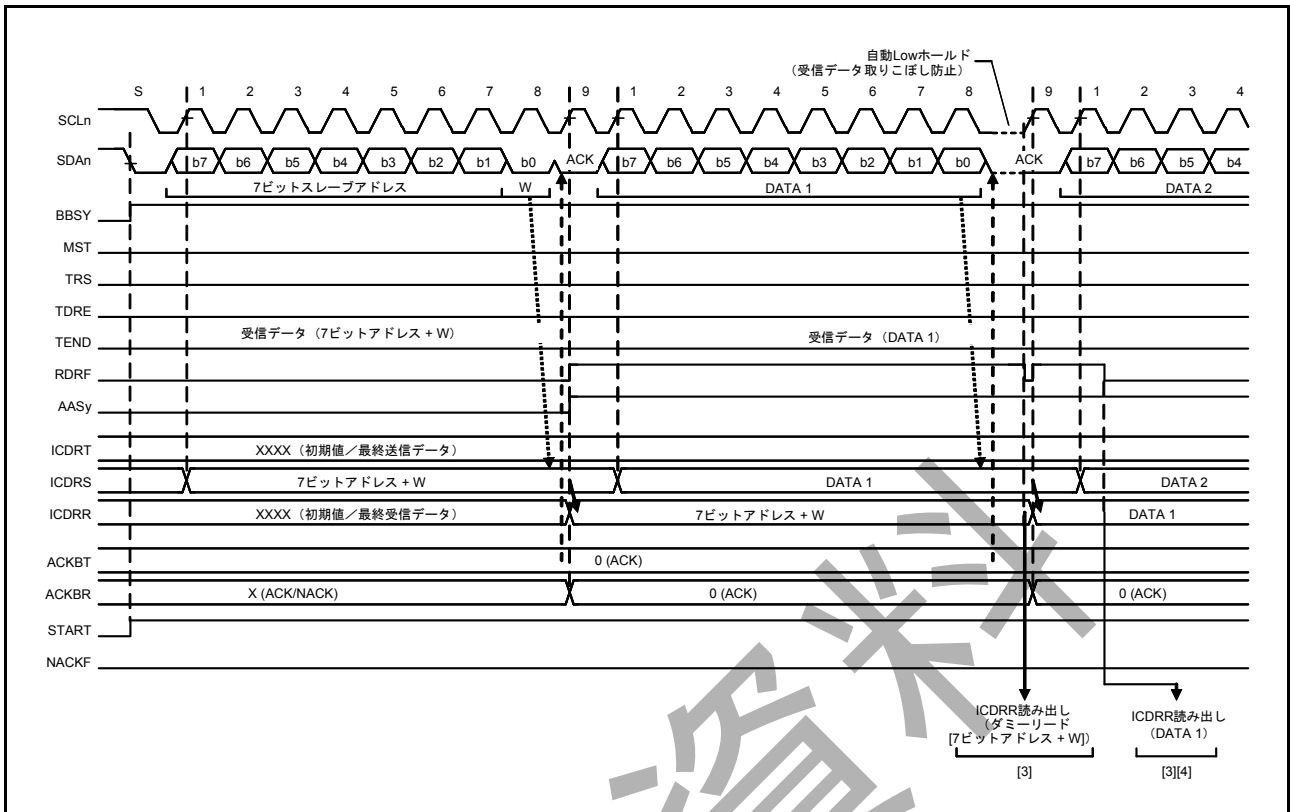


図 31.19 スレーブ受信の動作タイミング (1) (7 ビットアドレスフォーマットで RDRFS = 0 の場合)

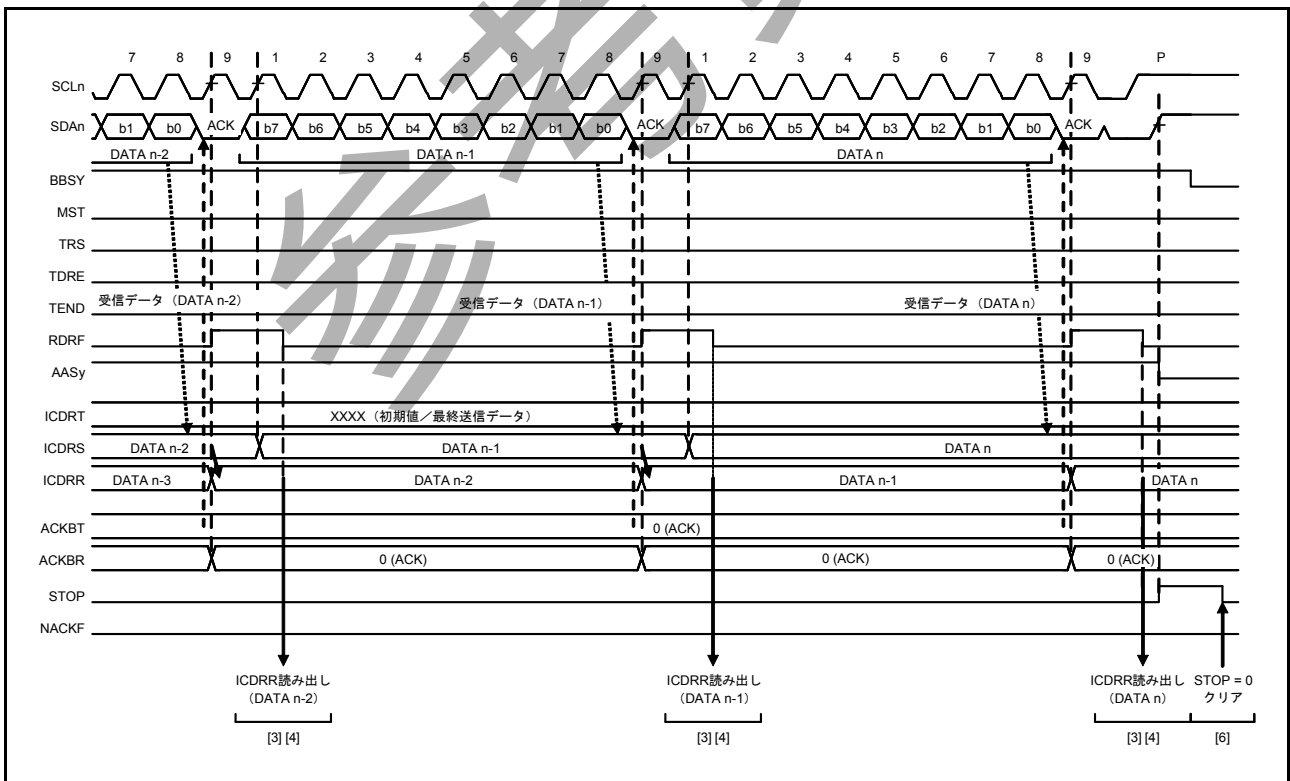


図 31.20 スレーブ受信の動作タイミング (2) (RDRFS = 0 の場合)

### 31.4 SCL 同期回路

SCL クロック生成では、IIC が SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定した High 幅のカウンタを開始し、カウンタが終了すると SCLn ラインを Low にします。また、IIC が SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定した Low 幅のカウンタを開始し、カウンタが終了すると SCLn ラインを開放します。IIC はこのプロセスを繰り返すことによって、SCL クロックを生成します。

I<sup>2</sup>C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL 信号が衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期化はビットごとに行う必要があるため、IIC はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る SCL 同期回路を備えています。

IIC が SCLn ラインの立ち上がりを検出して、ICBRH レジスタで設定した High 幅のカウンタを開始したとき、他のマスタデバイスが生成している SCL 信号によって SCLn ラインが Low にされた場合、IIC は High 幅のカウンタ動作を中断し、SCLn ラインを Low にして ICBRL レジスタで設定した Low 幅のカウンタを開始します。Low 幅のカウンタが終了すると、IIC は SCLn ラインの Low ドライブを停止して SCLn ラインを開放します。他のマスタデバイスからの SCL クロック信号の Low 幅が、IIC 側で設定した Low 幅よりも長いと、SCL クロックの Low 幅が延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの開放によって SCL クロックが立ち上がります。IIC が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが開放され、SCL クロックが立ち上がります。すなわち、マルチマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。なお、この SCL 同期は、ICFER.SCLE ビットが 1 のときのみ有効です。

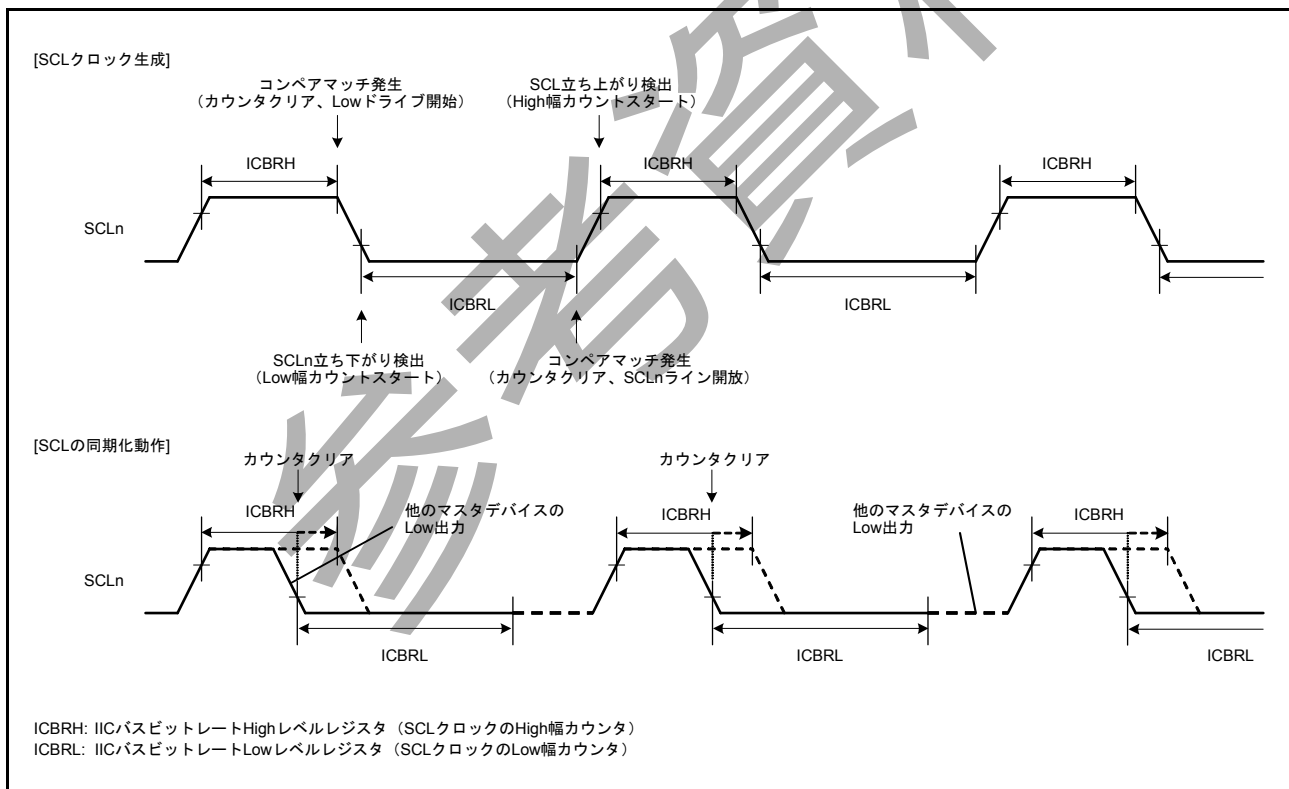


図 31.21 IIC の SCL クロック生成および SCL 同期化動作



### 31.5 SDA出力遅延機能

IICモジュールはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング（スタート/リスタート/ストップコンディションの発行、データ出力、ACK/NACK出力）を遅延させることができます。

このSDA出力遅延機能は、SCL信号の立ち下がり検出からSDA出力を遅延させ、SCLクロックがLowである期間中に確実にSDA信号が出力されるようにします。この方法により、SMBus仕様の最小データホールド時間（300ns）の要件を満たして、通信デバイスの誤動作を防止できるようになります。SDA出力遅延機能は、ICMR2.SDDL[2:0]ビットが000b以外のとき有効で、SDDL[2:0]ビットが000bのとき無効です。

SDA出力遅延機能が有効な場合、ICMR2.DLCSビットでは、SDA出力遅延カウンタが使用するクロックソースを、IICモジュールの内部基準クロック（IICφ）またはその2分周クロック（IICφ/2）から選択します。カウンタは、ICMR2.SDDL[2:0]ビットに設定されたサイクル数をカウントします。遅延カウントに達すると、IICモジュールはSDAライン上で必要な出力（スタート/リスタート/ストップコンディション、データ、ACK/NACK信号）を行います。

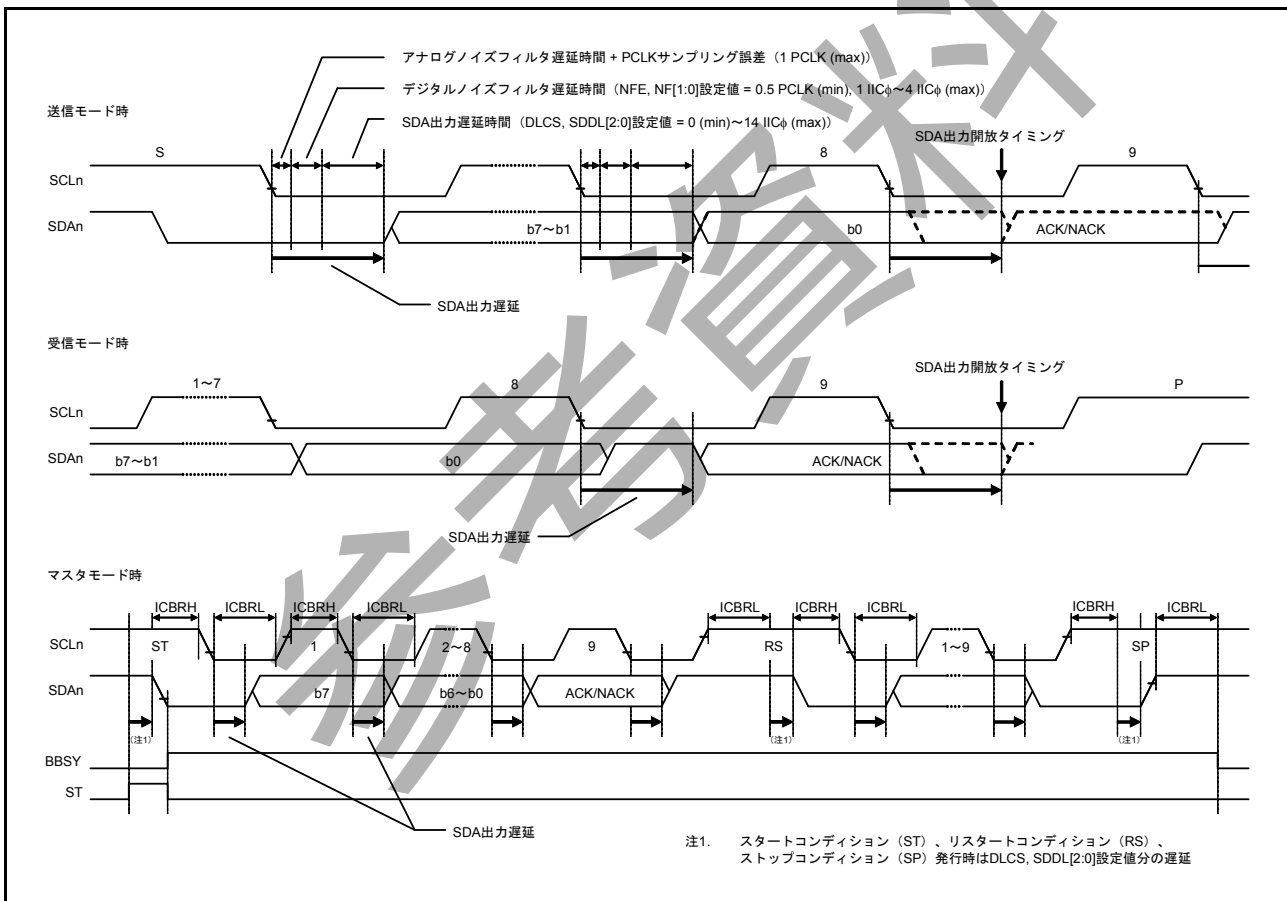


図 31.22 SDA出力遅延機能

### 31.6 デジタルノイズフィルタ回路

SCL<sub>n</sub> 端子および SDA<sub>n</sub> 端子の状態は、アナログノイズフィルタ回路とデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 31.23 に、デジタルノイズフィルタ回路のブロック図を示します。

IIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択します。ノイズ除去能力は選択した有効段数に応じて、1IIC<sub>φ</sub> ~ 4IIC<sub>φ</sub> サイクル分となります。

SCL<sub>n</sub> 端子入力信号（または SDA<sub>n</sub> 端子入力信号）は IIC<sub>φ</sub> の立ち下がりでもサンプリングされます。入力信号レベルが、ICMR3.NF[1:0] ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。一致しない場合は前のレベルを保持します。

なお、たとえば PCLKB = 4MHz 時の 400kbps 通信のように、内部動作クロック (PCLKB) と通信速度の比が小さい場合、デジタルノイズフィルタは有効信号をノイズとして処理する可能性があります。そのような場合は、ICFER.NFE ビットを 0 にすることでデジタルノイズフィルタ回路を無効にし、アナログノイズフィルタ回路のみを使用することが可能です。

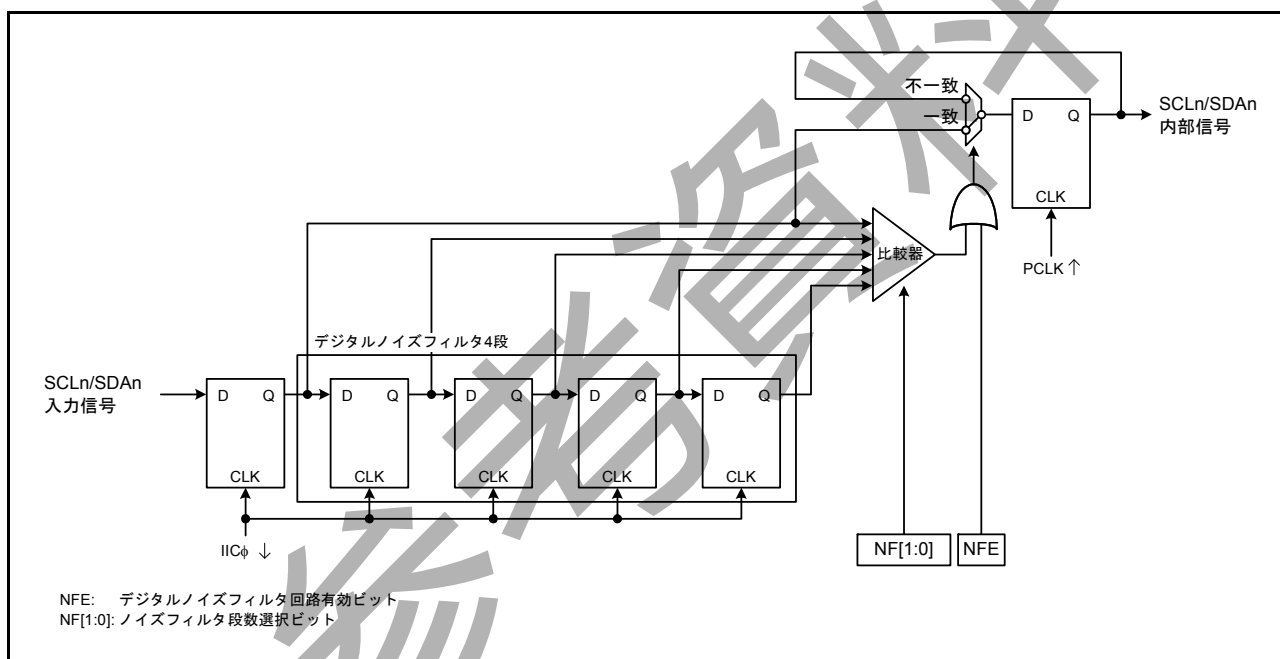


図 31.23 デジタルノイズフィルタ回路のブロック図

### 31.7 アドレス一致検出機能

IICは、ジェネラルコールアドレス、ホストアドレスの他に、3種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7ビットアドレスまたは10ビットアドレスを設定できます。

#### 31.7.1 スレーブアドレス一致検出機能

IICは3種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。ICSER.SARyEビット (y=0~2) が1のとき、SARUyおよびSARLyレジスタ (y=0~2) に設定されたスレーブアドレスを検出できます。

IICが設定されたスレーブアドレス一致を検出すると、対応するICSR1.AASyフラグ (y=0~2) がSCLクロックの9クロック目の立ち上がりで1になり、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグが1になります。これによって、受信データフル割り込み (IICn\_RXI) または送信データエンプティ割り込み (IICn\_TXI) を発生させることができます。AASyフラグを用いて、どのスレーブアドレスが指定されたかを識別できます。

図 31.24 ~ 図 31.26 に、AASyフラグが1になるタイミングを3つのケースで示します。

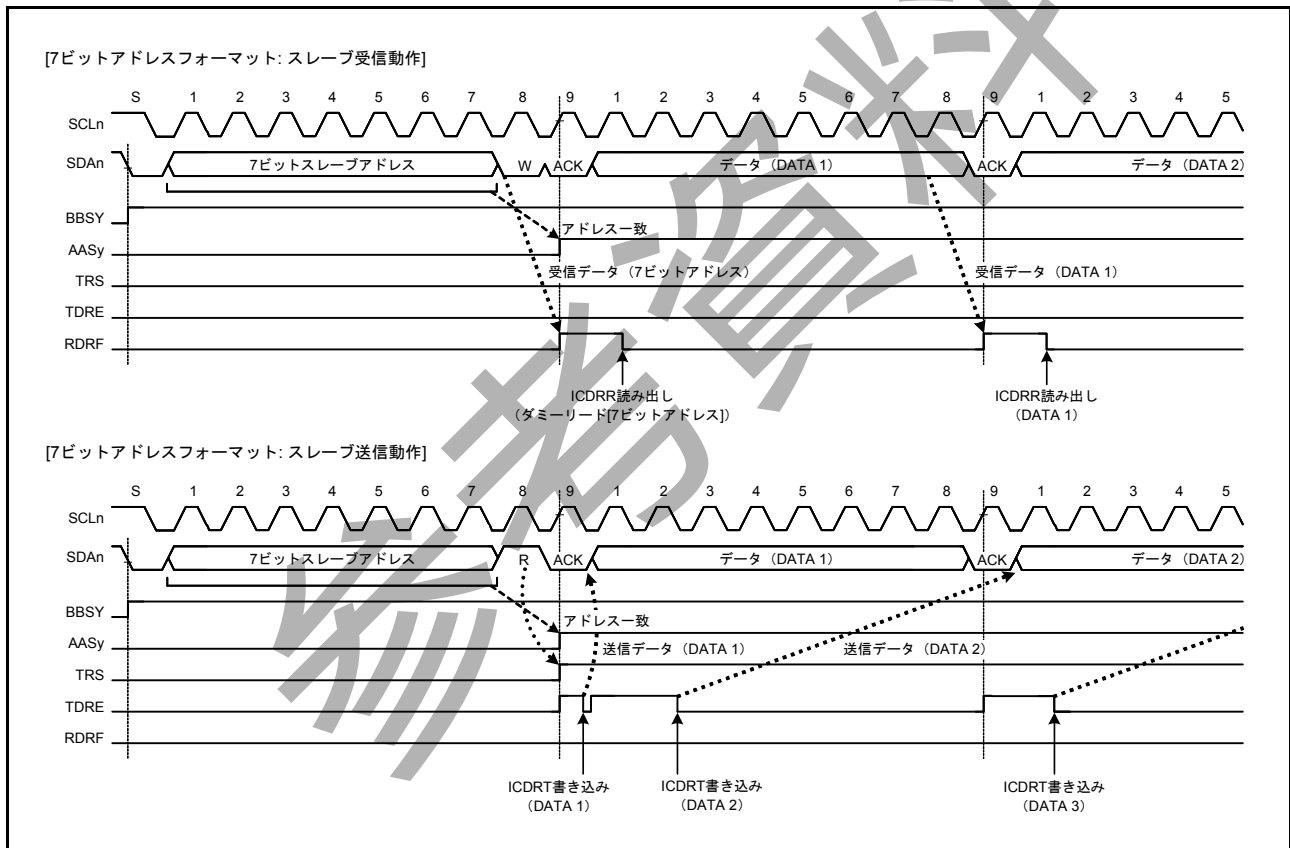


図 31.24 AASyフラグが1になるタイミング (7ビットアドレスフォーマット選択時)

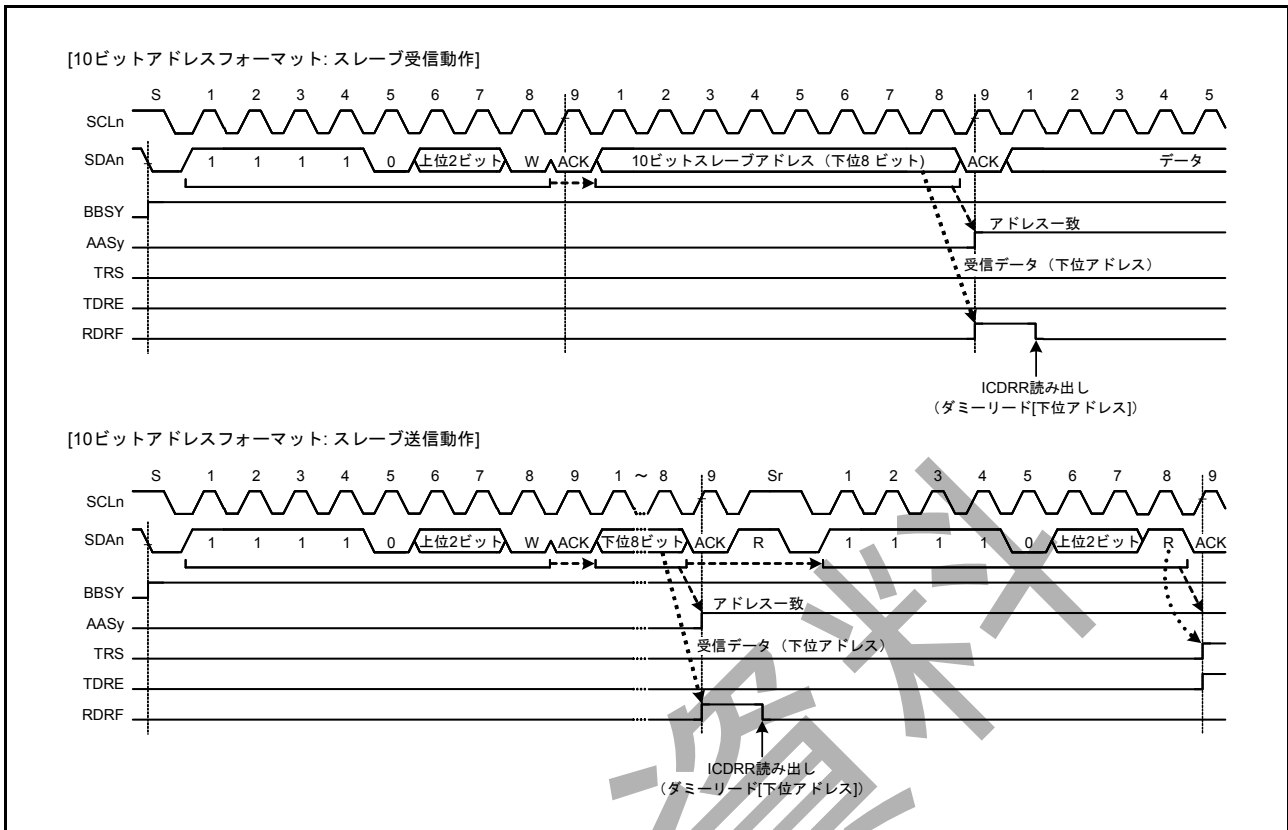


図 31.25 AASy フラグが 1 になるタイミング (10 ビットアドレスフォーマット選択時)

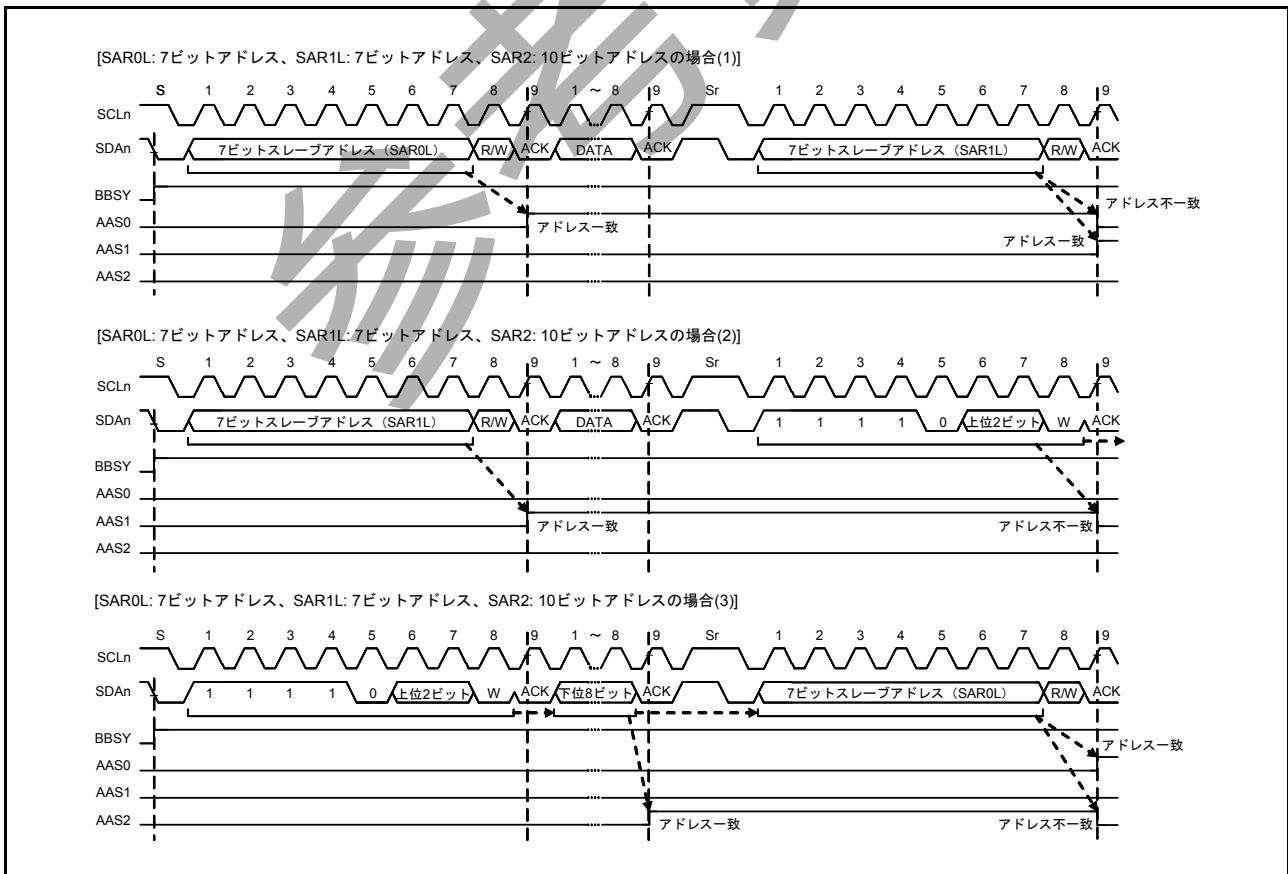


図 31.26 AASy フラグが 1 または 0 になるタイミング (7 ビット / 10 ビットアドレスフォーマット混在)

### 31.7.2 ジェネラルコールアドレス検出機能

IICは、ジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。ジェネラルコールアドレス検出機能は、ICSER.GCAE ビットを1にすることで有効になります。

スタートコンディションまたはリスタートコンディション発行後に受信したアドレスが 0000 000b + 1[R] (開始バイト) の場合、IICはスレーブアドレスの内容がすべて0であるとみなし、ジェネラルコールアドレスとは認識しません。

IICがジェネラルコールアドレスを検出すると、SCLクロックの9クロック目の立ち上がりでICSR1.GCAフラグとICSR2.RDRFフラグが1になります。これによって、受信データフル割り込み (IICn\_RXI) が発生します。GCAフラグの値を読み出すことで、ジェネラルコールアドレスが送信されたかどうかを確認できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

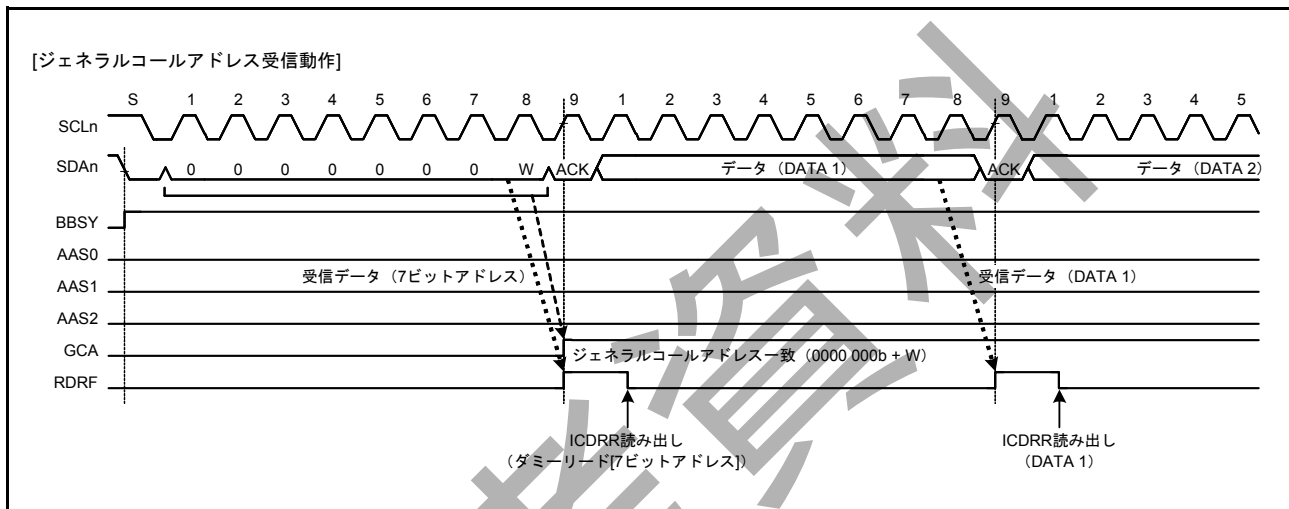


図 31.27 ジェネラルコールアドレス受信時に GCA フラグが1になるタイミング

### 31.7.3 デバイス ID アドレス検出機能

IICモジュールは、I<sup>2</sup>Cバス仕様 (リビジョン 03) に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを1にした状態で、スタートコンディションまたはリスタートコンディション発行後の1バイト目に 1111 100bを受信すると、IICはこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが0の場合、SCLクロックの8クロック目の立ち上がりでICSR1.DIDフラグを1にした後、2バイト目以降とスレーブアドレスを比較します。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、IICは対応するICSR1.AASyフラグ (y=0~2) を1にします。

スタートコンディションまたはリスタートコンディション発行後に受信した1バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが1の場合、IICは続く2バイト目以降のアドレス比較を行わず、ICSR2.TDREフラグを1にします。

デバイス ID アドレス検出機能では、IICスレーブアドレスと一致しなかった場合、あるいはIICスレーブアドレスが一致し、リスタートコンディションの検出後のアドレスがデバイス ID アドレスと一致しなかった場合、IICはDIDフラグを0にします。スタートコンディションまたはリスタートコンディション検出後の1バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが0の場合は、IICはDIDフラグを1にして、続く2バイト目以降をIICのスレーブアドレスと比較します。R/W# ビットが1の場合、DIDフラグは前値の状態を継続し、IICは2バイト目以降の比較を行いません。したがって、TDRE=1の確認後、DIDフラグを読むことで、デバイス ID アドレスを受信したことを確認することができます。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして、必要な情報 (3バイトデータ: メーカー情報 [12ビット] + 部品識別 [9ビット] + リビジョン [3ビット]) を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP社にお問い合わせください。

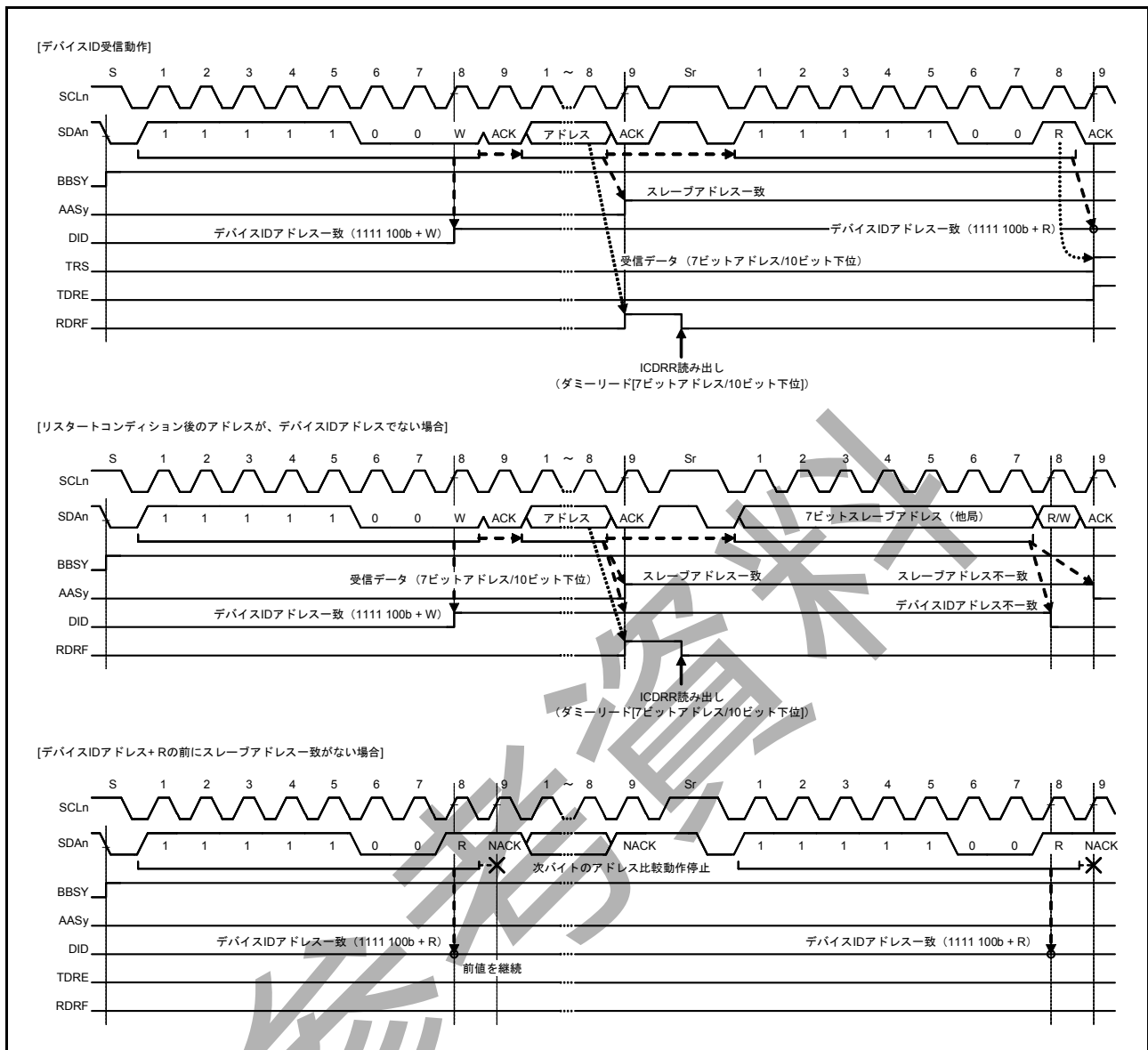


図 31.28 デバイス ID 受信時の AASy、DID フラグのセット/クリアタイミング

### 31.7.4 ホストアドレス検出機能

IICは、SMBus動作時のホストアドレス検出機能を備えています。ICMR3.SMBSビットが1のときICSER.HOAEビットを1にすると、スレーブ受信モード (ICCR2.MST、TRSビット=00b) 時に、ホストアドレス (0001 000b) の検出が可能です。

IICがホストアドレスを検出すると、SCLクロックの9クロック目の立ち上がりでICSR1.HOAフラグが1になり、同時に、R/W#ビットが0の場合はICSR2.RDRFフラグが1になります。これによって、受信データフル割り込み (IICn\_RXI) が発生します。HOAフラグを用いて、他のデバイスからホストアドレスが送信されたことを識別できます。

なお、ホストアドレス (0001 000b) に続くR/W#ビットが1の場合も、IICはホストアドレスを検出することが可能です。ホストアドレス検出後のIICの動作は、通常のスレーブ動作と同じです。

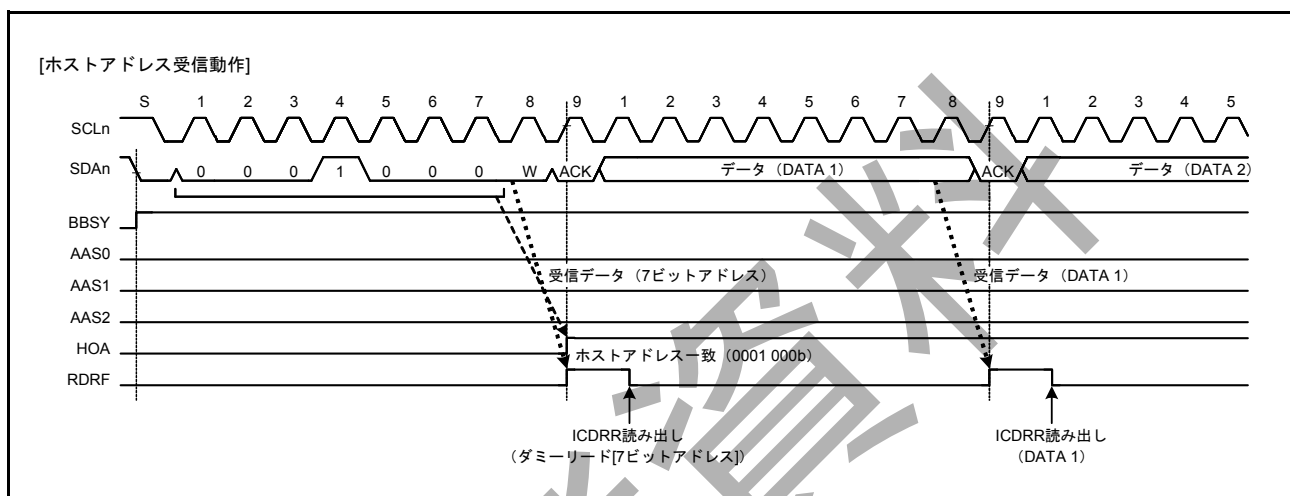


図 31.29 ホストアドレス受信時に HOA フラグが 1 になるタイミング

### 31.8 ウェイクアップ機能

IICは、MCUをソフトウェアスタンバイモードから通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、システムクロック停止時にデータの受信を許可し、受信データのスレーブアドレスが一致した場合にウェイクアップ割り込み信号を生成します。このウェイクアップ割り込み信号により、MCUは通常動作に遷移します。

ウェイクアップ機能には、下記の4つのモードがあります。

- ノーマルウェイクアップモード1
- ノーマルウェイクアップモード2
- コマンドリカバリモード
- EEP 応答モード

表 31.9 に各モードの動作を示します。

表 31.9 ウェイクアップ動作モード

動作モード	ACK 応答タイミング	ウェイクアップ前のACK 応答	ウェイクアップ時のSCL 状態
ノーマルウェイクアップモード1	ウェイクアップ前	ACK	Lowに固定
ノーマルウェイクアップモード2	ウェイクアップ後	ウェイクアップ前：応答なし ウェイクアップ後：ACK 応答	Lowに固定
コマンドリカバリモード	ウェイクアップ前	ACK	解放
EEP 応答モード	ウェイクアップ前	NACK	解放

#### ウェイクアップ機能使用時の注意事項

1. ウェイクアップ割り込みによってソフトウェアスタンバイモードから通常動作へ遷移させた後、ウェイクアップ機能を無効 (WUE = 0) にしてください。
2. WUF が 0 の期間中、ウェイクアップ割り込みによってシステムクロックが回復しても、IIC レジスタの内容を変更しないでください。WUF が 1 であることを確認してから、レジスタ設定を行ってください。
3. ソフトウェアスタンバイモードへ遷移する前に、WUE および WUIE ビットを 1 に、MST および TRS ビットを 0 (スレーブ受信モード) にしてください。
4. BBSY が 1 のときは、ソフトウェアスタンバイモードへ遷移しないでください。
5. ウェイクアップ機能は、スレーブアドレスレジスタ SARL0 の 7 ビットスレーブアドレス、ジェネラルコールアドレス、およびホストアドレスをサポートしています。10 ビットスレーブアドレス、SARL1、SARL2 はサポートしていません。
6. ウェイクアップ機能を有効にする場合、ICIER レジスタのビット (TIE、TEIE、RIE、NAKIE、SPIE、STIE、ALIE、TMOIE) で割り込みを無効にしてください。
7. ウェイクアップ機能を有効にする場合、タイムアウト機能を使用しないでください。
8. ウェイクアップ割り込み以外の割り込み (たとえば IRQn) で、ソフトウェアスタンバイモードからの遷移がトリガされると、この場合 WUF は設定されません。



### 31.8.1 ノーマルウェイクアップモード 1

以下では、ノーマルウェイクアップモード 1 の動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。図 31.32 に、詳細なタイミングを示します。

ウェイクアップ前：IIC の自スレーブアドレスとともに受信したデータに対して ACK を送信する。

ウェイクアップ中：SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う。(注 1)

ウェイクアップ後：通常動作が継続する。

スレーブアドレスが不一致の場合、SCL の 9 クロック目の後に SCL ラインの Low ホールドは行われず、スレーブ動作が継続します。

注 1. ウェイクアップ中の 9 クロック目と 1 クロック目の間では、WAIT = 1 は無効です。

ノーマルウェイクアップモード 1 の使用例については、図 31.30 を参照してください。

ウェイクアップ割り込み以外の割り込み（たとえば IRQn）で、ソフトウェアスタンバイモードからの遷移がトリガされると、この場合 WUF は設定されません。図 31.31 に示す処理に従ってください。

参考資料

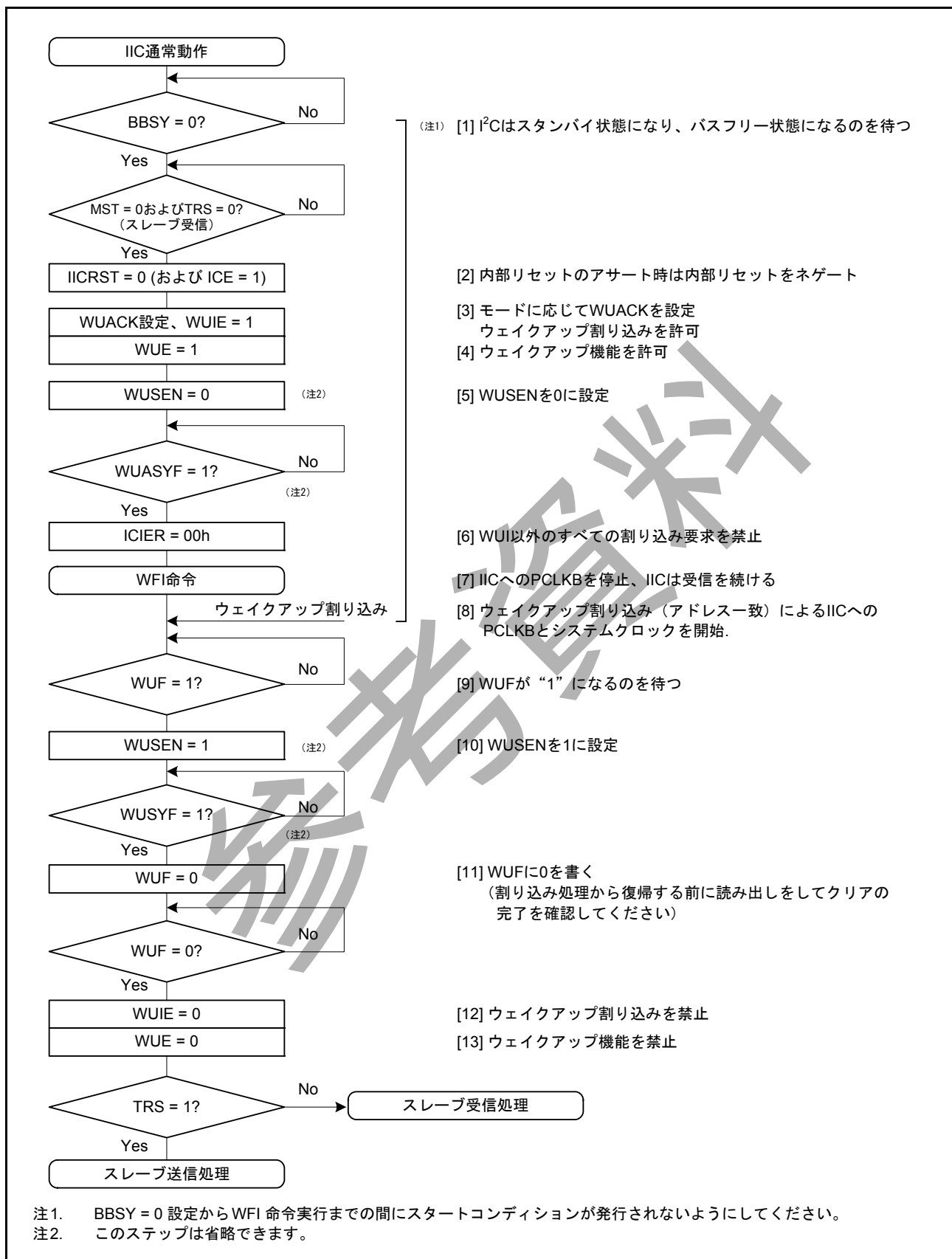


図 31.30 ノーマルウェイクアップモード1の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注. ウェイクアップ機能使用時の注意事項を参照してください。

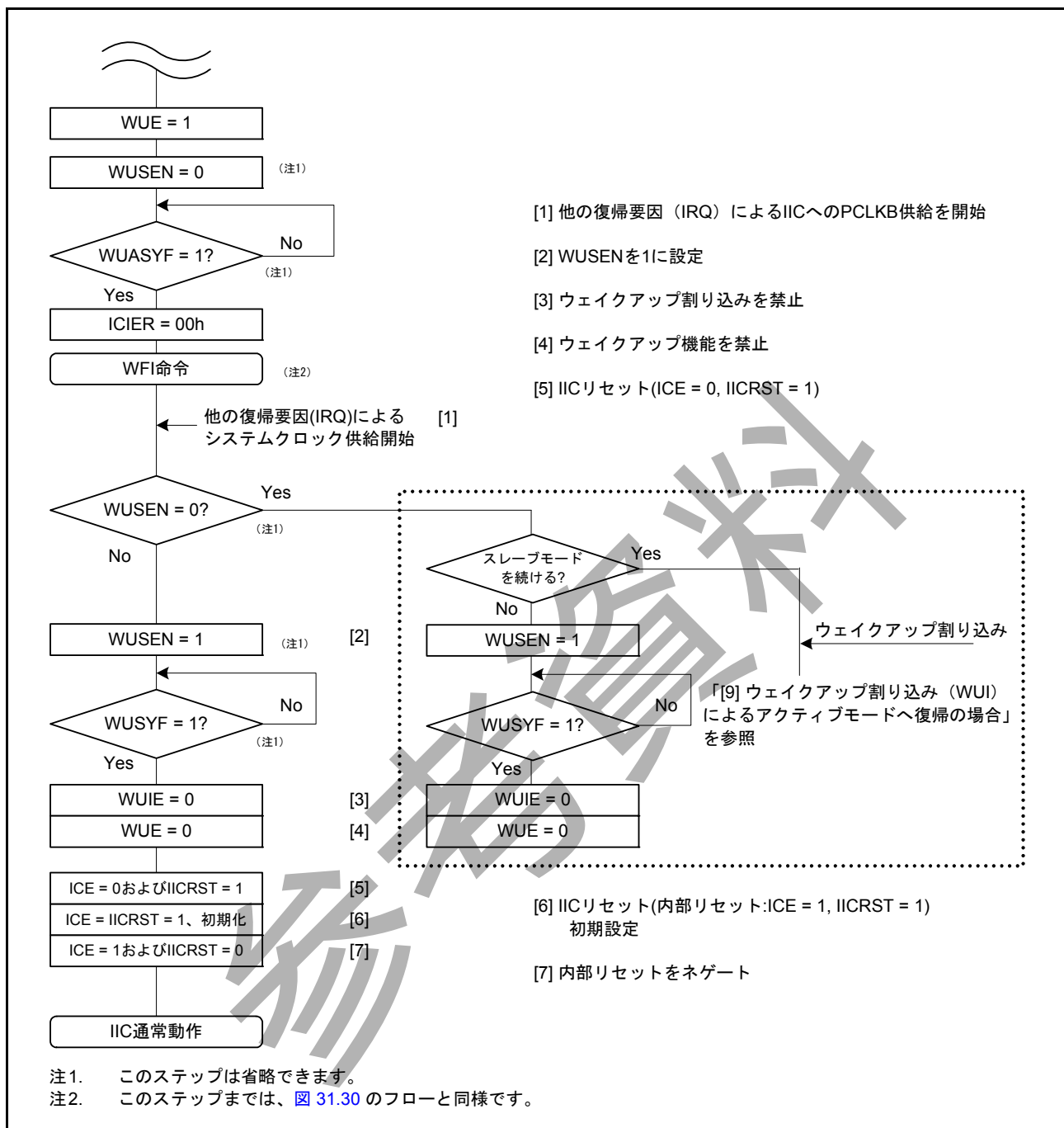


図 31.31 ノーマルウェイクアップモード 1 および 2 の動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

注. IIC の初期設定の詳細は、[31.3.2 初期設定](#) を参照してください。

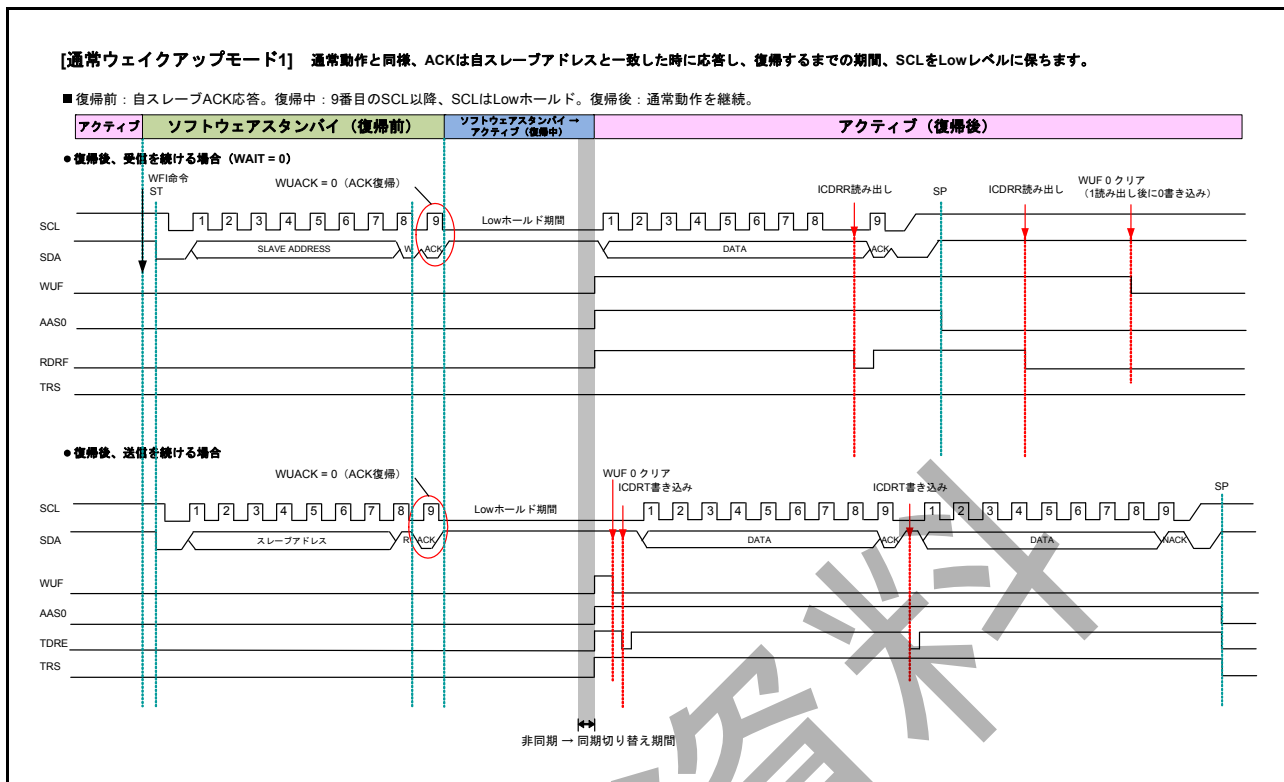


図 31.32 ノーマルウェイクアップモード1のタイミング

### 31.8.2 ノーマルウェイクアップモード2

以下では、ノーマルウェイクアップモード2の動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。図 31.34 にタイミングを示します。

ウェイクアップ前：IICは自スレーブアドレスとともに受信したデータに対してSCLの8クロック目の終わりまで応答しない。

ウェイクアップ中：IICは8クロック目と9クロック目の間でSCLラインのLowホールドを行う。

ウェイクアップ後：IICはSCLの9クロック目でACKを返し、通常動作を継続する。

スレーブアドレスが不一致の場合、SCLの8クロック目の後にSCLラインのLowホールドは行われません。スレーブ動作が継続します。

ノーマルウェイクアップモード2の使用例については、図 31.33 を参照してください。

ウェイクアップ割り込み以外の割り込み（たとえばIRQ）で、ソフトウェアスタンバイモードからの遷移がトリガされると、この場合WUFは設定されません。図 31.31 に示す処理に従ってください。

参考資料

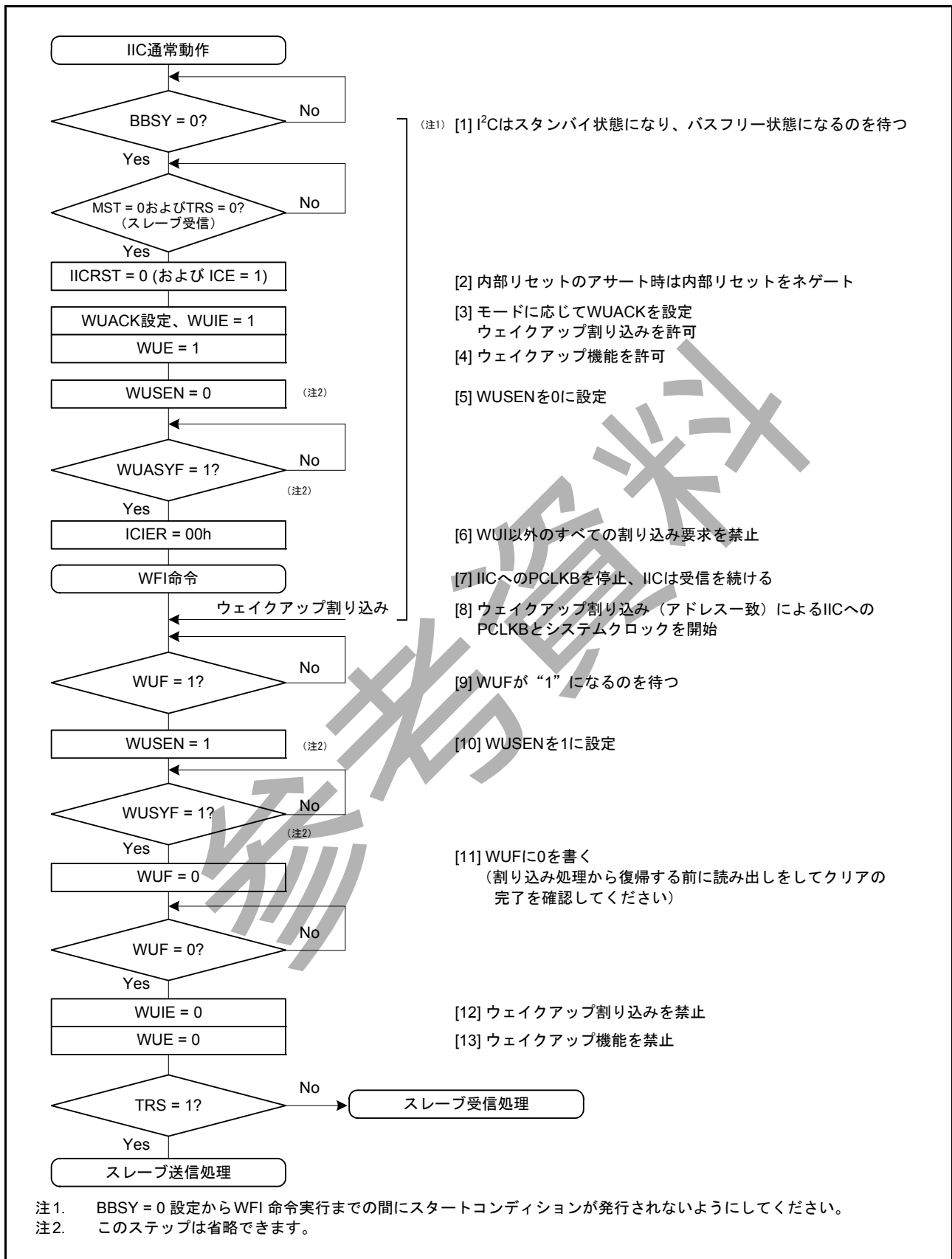


図 31.33 ノーマルウェイクアップモード2の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注. ウェイクアップ機能使用時の注意事項を参照してください。

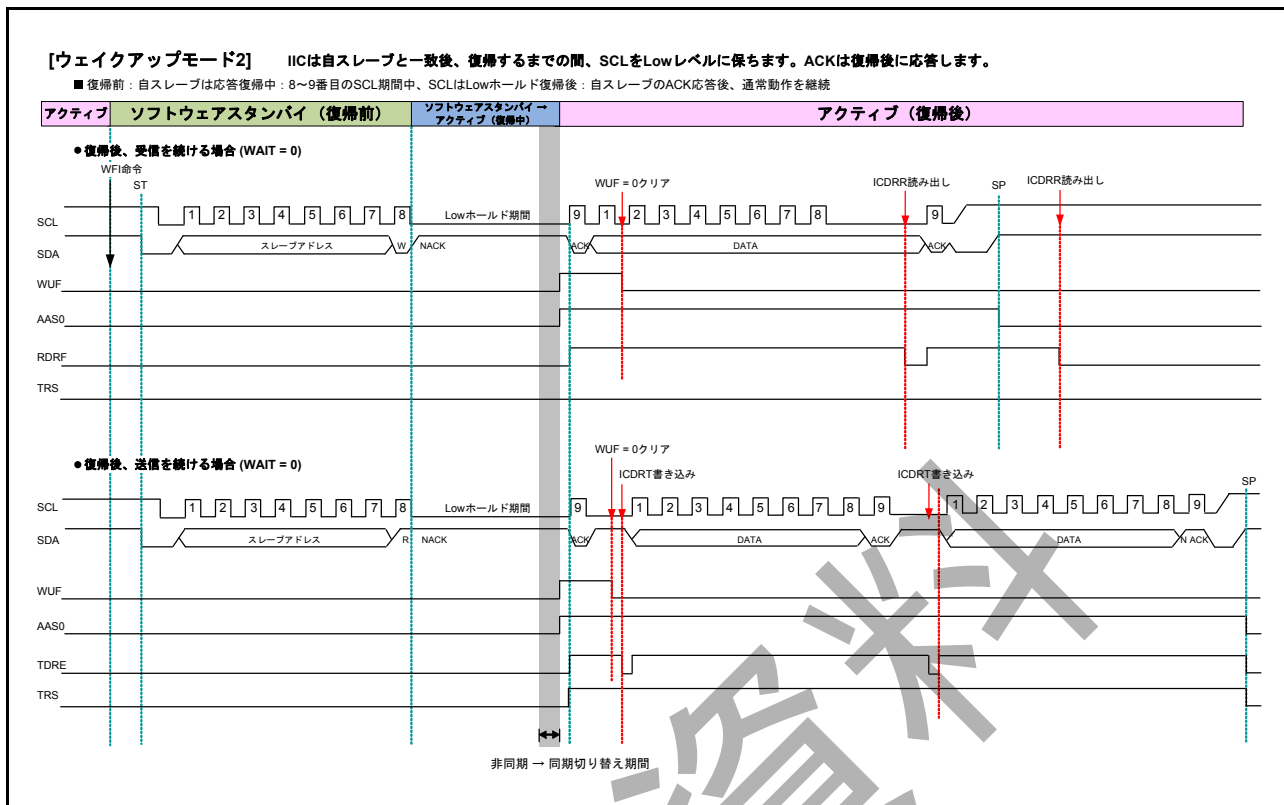


図 31.34 ノーマルウェイクアップモード2のタイミング

### 31.8.3 コマンドリカバリモード／EEP 応答モード (特殊ウェイクアップモード)

コマンドリカバリモードとEEP 応答モードでは、ウェイクアップ期間中 (SCL の9クロック目の立ち上がり後) に SCL ラインの Low ホールドは行われないので、他の I<sup>2</sup>C デバイスはこの期間に I<sup>2</sup>C バスを利用できます。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。図 31.37 にタイミングを示します。

ウェイクアップ前：IIC は自スレーブアドレスとともに受信したデータに対して、ACK (コマンドリカバリモードの場合) または NACK (EEP 応答モードの場合) を返す。

ウェイクアップ中：SCL ラインの Low ホールドを行わない。

ウェイクアップ後：IIC の初期設定後、通常動作を継続する。

スレーブアドレスが不一致の場合、スレーブ動作が継続します。

注． ウェイクアップ中に SCL ラインの Low ホールドは行われないので、スレーブアドレスの後続データは送受信できません。

注． コマンドリカバリモードとEEP 応答モードは、内部リセット (ICE = IICRST = 1) 状態です。したがって、スレーブアドレスが一致しても、ICSR1 レジスタのフラグ (HOA、GCA、AAS0、AAS1、AAS2) は設定されません。

コマンドリカバリモードとEEP 応答モードの使用例については、図 31.35 を参照してください。

ウェイクアップ割り込み以外の割り込み (たとえば IRQn) で、ソフトウェアスタンバイモードからの遷移がトリガされると、この場合 WUF は設定されません。図 31.36 に示す処理に従ってください。

参考資料



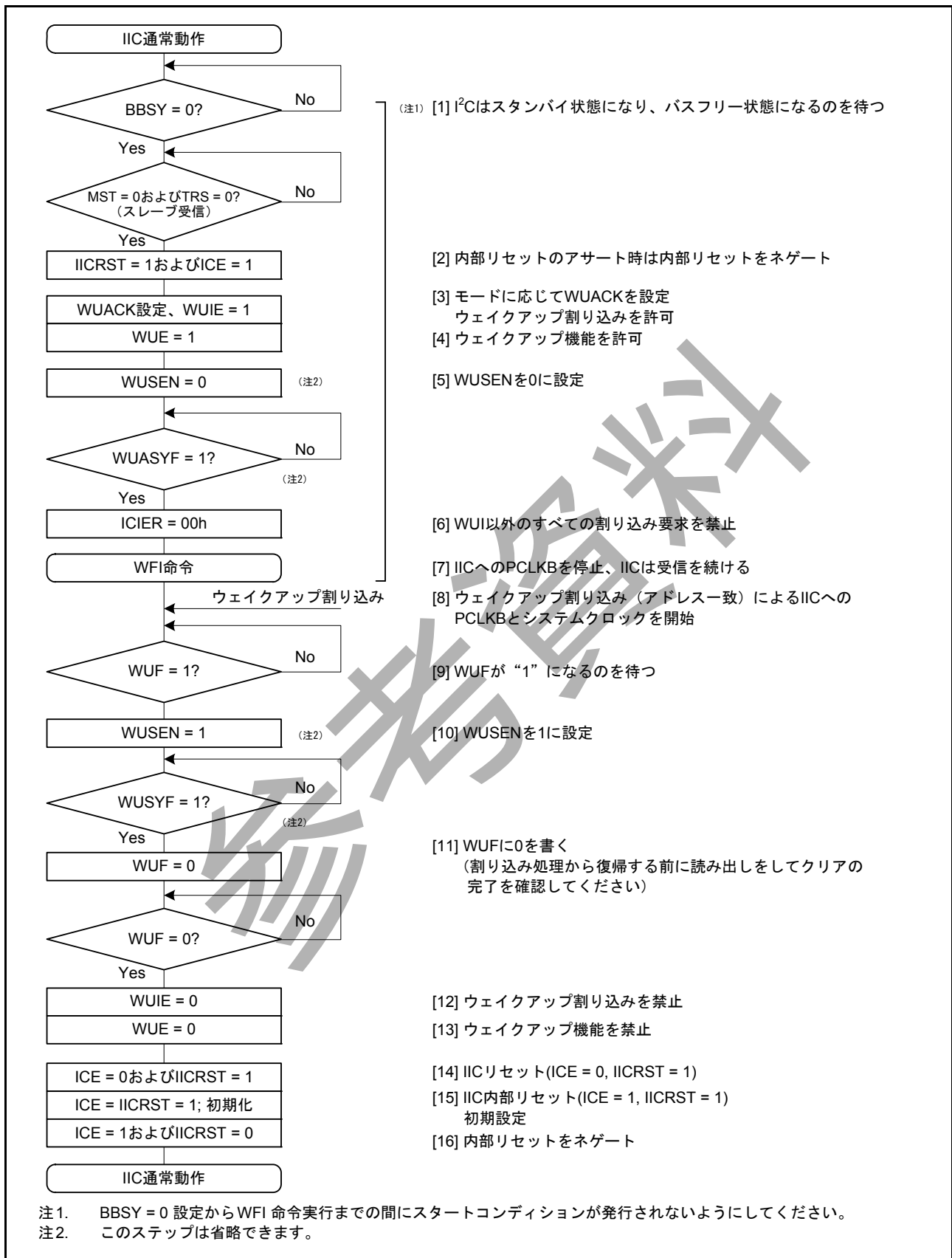


図 31.35 コマンドリカバリモードとEEP応答モードの動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注. ウェイクアップ機能使用時の注意事項を参照してください。

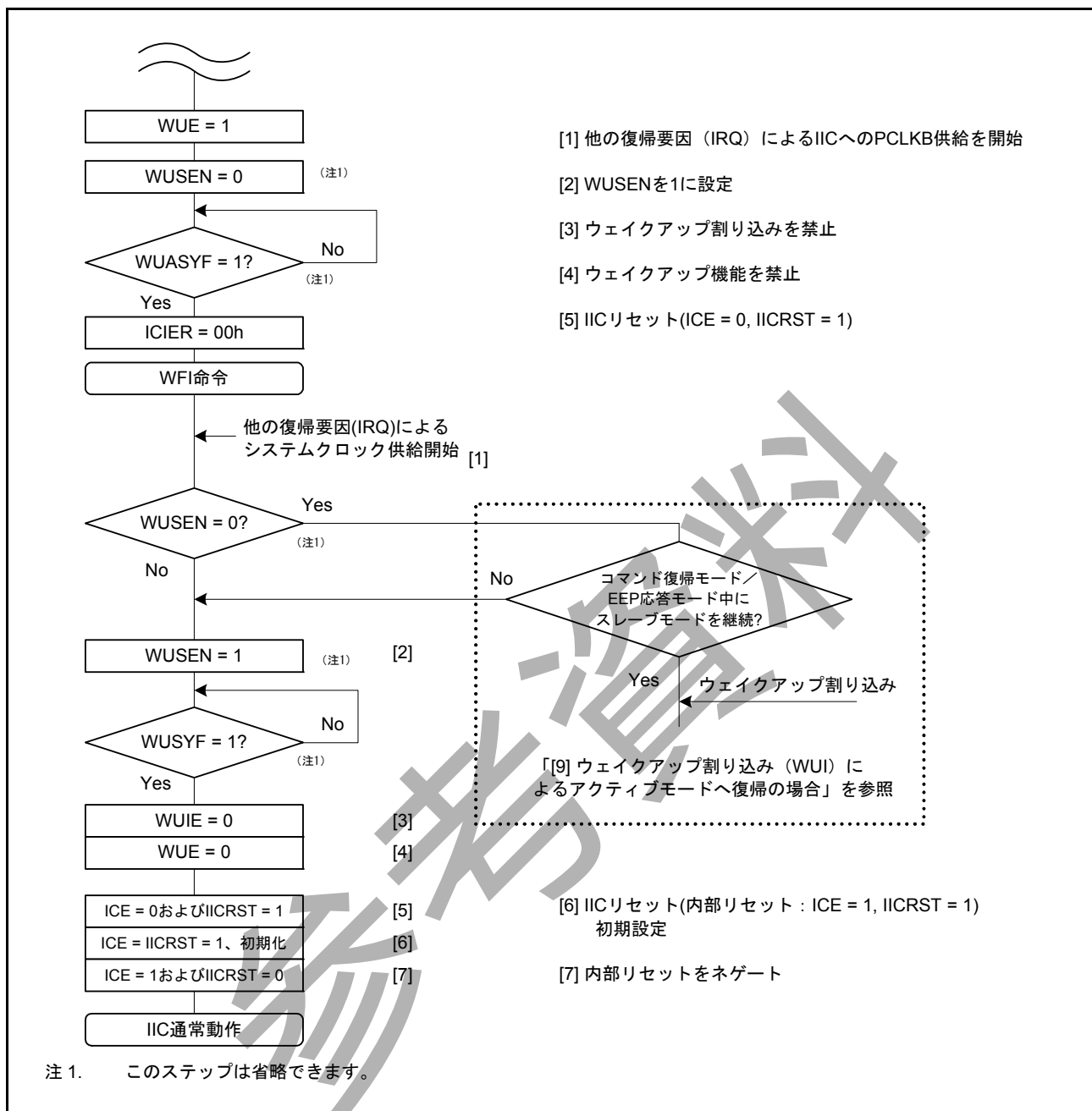


図 31.36 コマンドリカバリモードとEEP 応答モードの動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

注. IIC の初期設定の詳細は、31.3.2 初期設定を参照してください。

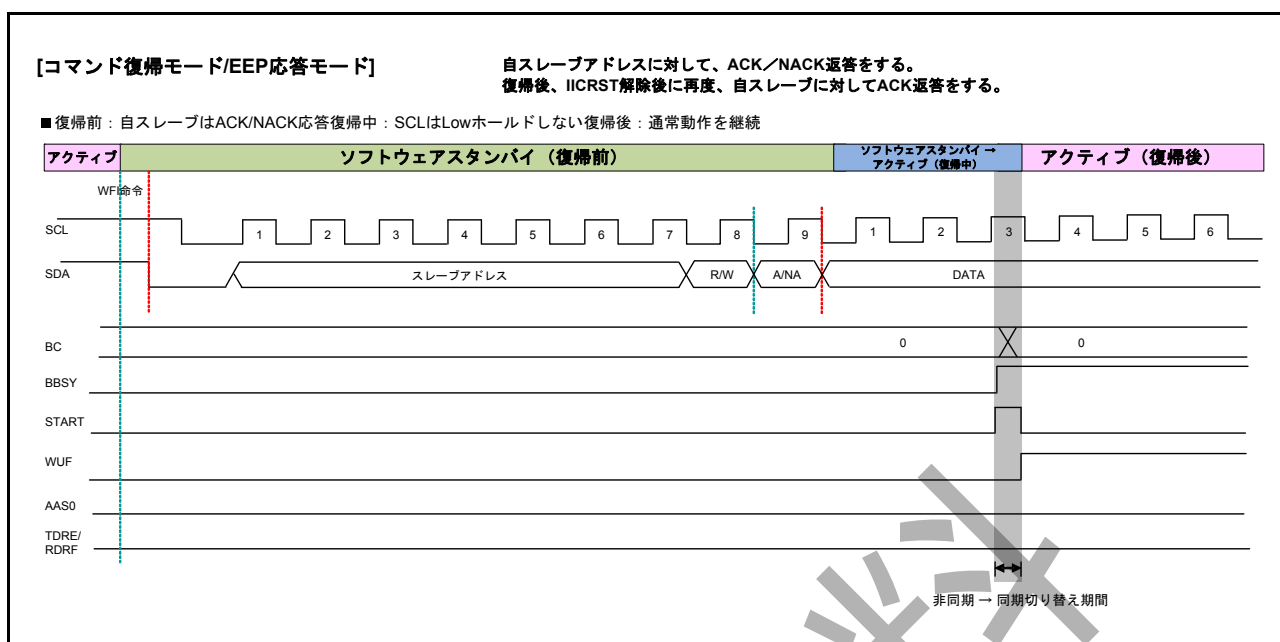


図 31.37 コマンドリカバリモード/EEP 応答モードのタイミング

#### 31.8.4 WFI 命令の実行に関する注意事項

図 31.30、図 31.33、図 31.35 に示すウェイクアップ機能の使用例では、BBSY=0 を設定してから WFI 命令を実行するまでの間は、スタートコンディションを発行しないようにしてください。

BBSY=0 の設定から WFI 命令の実行までの間に、スタートコンディションを発行すると、先頭データブロックの 1 バイト目の受信後に NACK が返されます。その後、スタート/リスタートコンディションの検出によって、ウェイクアップ機能が有効になります。

参考資料

## 31.9 SCLの自動Lowホールド機能

### 31.9.1 送信データの誤送信防止機能

送信モード時 (ICCR2.TRS ビット=1) に、I<sup>2</sup>Cバス送信レジスタ (ICDRT) にデータが書かれていない場合で、シフトレジスタ (ICDRS) が空のとき、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

マスタ送信モード:

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の間の Low 区間

スレーブ送信モード:

- 9クロック目と1クロック目の間の Low 区間

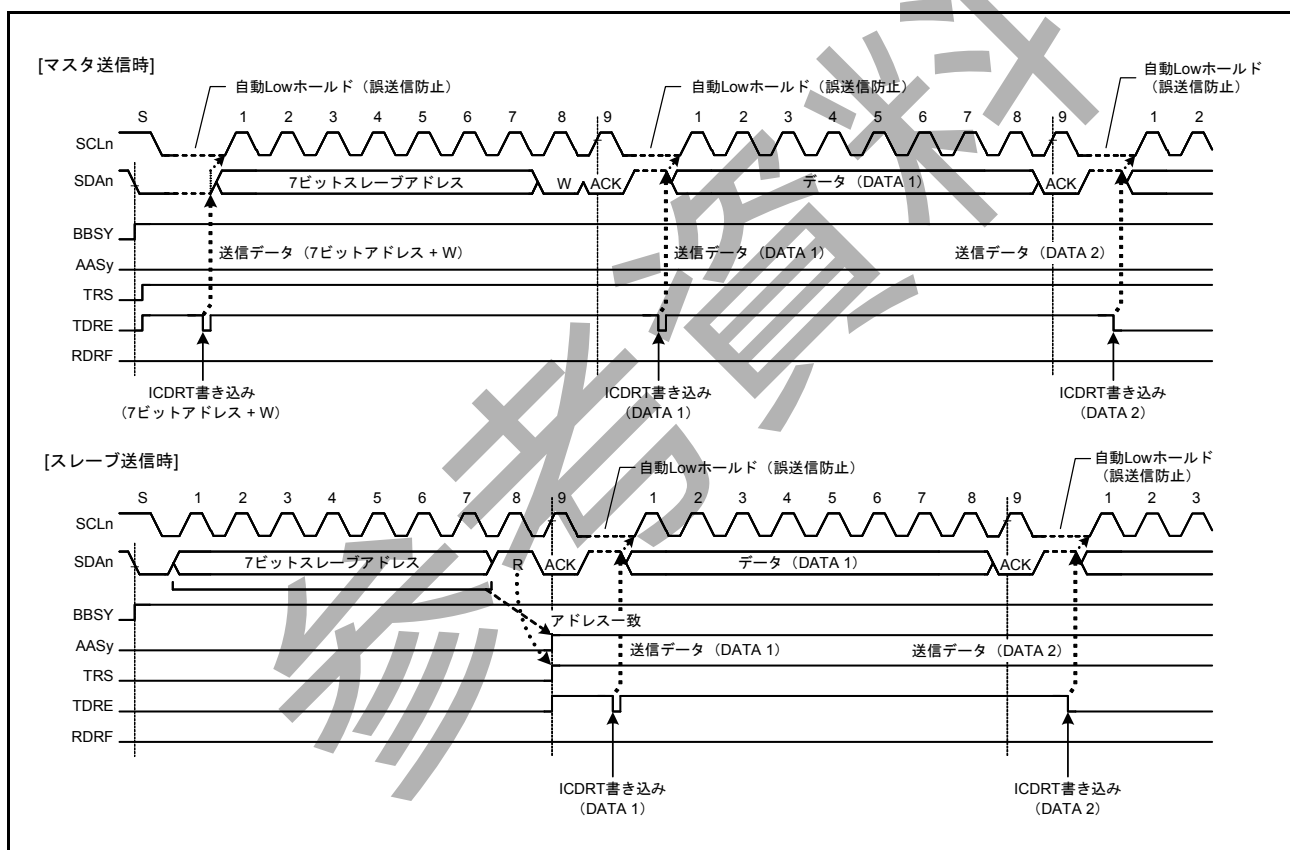


図 31.38 送信モード時の自動 Low ホールド動作

### 31.9.2 NACK 受信転送中断機能

IICは、送信モード時 (ICCR2.TRS ビット=1) に NACK を受信すると、転送動作を中断できます。この機能は、ICFER.NACKF ビットが1 (転送中断許可) のとき有効になります。NACK 受信時に次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ=0)、SCL クロックの9クロック目の立ち下がりで、次のデータ送信を自動的に中断します。これによって、次送信データのMSBが0の場合、SDAn ライン Low 出力固定を防止することができます。

この機能によって転送動作が中断された場合 (ICSR2.NACKF フラグ=1)、以降の送受信動作は行いません。送受信動作を再開するには、NACKF フラグを0にする必要があります。マスタ送信モードでは、リスタートコンディションまたはストップコンディション発行後に、NACKF フラグを0にしてから、再度スタートコンディションを発行してください。

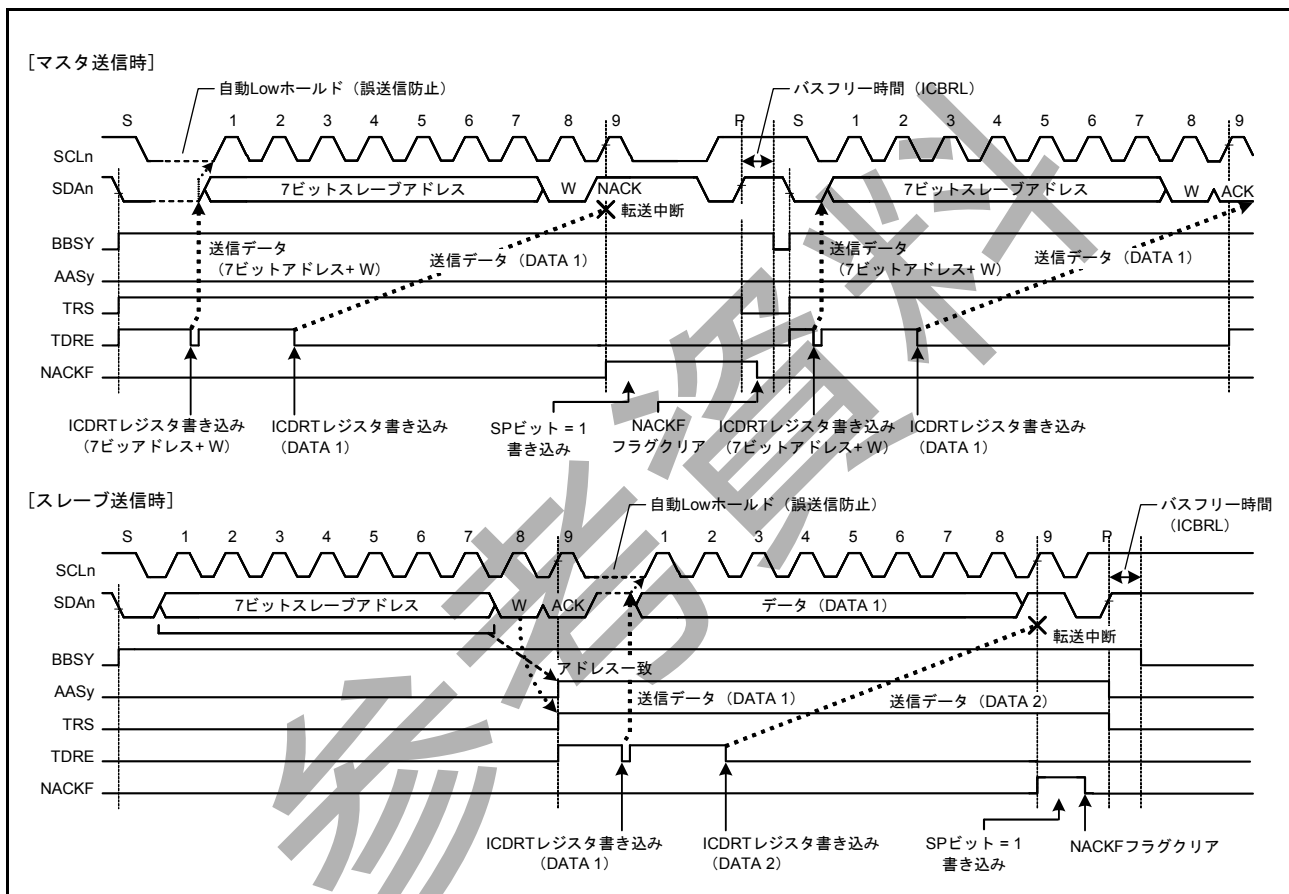


図 31.39 NACK 受信時のデータ転送中断動作 (NACKF = 1 の場合)

### 31.9.3 受信データ取りこぼし防止機能

受信モード時 (ICCR2.TRS ビット=0) に、受信データフル (ICSR2.RDRF フラグ=1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、IIC は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この自動 Low ホールド機能を利用した受信データの取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間、ストップコンディション発行後に IIC スレーブアドレスが指定された場合でも有効です。ストップコンディション発行後に自スレーブアドレスとの不一致が発生した場合は、IIC は SCLn ラインの Low ホールドを行わないため、本機能によって他の通信を妨げることはありません。

また、ICMR3 レジスタの WAIT ビットと RDRFS ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

#### (1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを 1 にすると、IIC は WAIT ビット機能を用いた 1 バイト受信動作を行います。また、ICMR3.RDRFS ビットが 0 の場合、SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がりまでの期間、IIC はアクノリッジビットに対し自動的に ICMR3.ACKBT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると、WAIT ビット機能を用いて自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、ICDRR レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時に、IIC スレーブアドレス (ジェネラルコールアドレスとホストアドレス含む) との一致があった以降の受信フレームから有効になります。

#### (2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを 1 にすると、IIC は RDRFS ビット機能を用いた 1 バイト受信動作を行います。RDRFS ビットを 1 にすると、SCL クロックの 8 クロック目の立ち上がりで ICSR2.RDRF フラグが 1 (受信データフル) になり、8 クロック目の立ち下がりですべて自動的に SCLn ラインの Low ホールドが行われます。この Low ホールドは、ICMR3.ACKBT ビットに値を書き込むことで解除されますが、ICDRR レジスタからデータを読み出しても解除されません。そのため、1 バイトごとに受信したデータの内容に応じて ACK/NACK の送信を制御することにより、受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時に、IIC スレーブアドレス (ジェネラルコールアドレスとホストアドレス含む) との一致があった以降の受信フレームから有効になります。

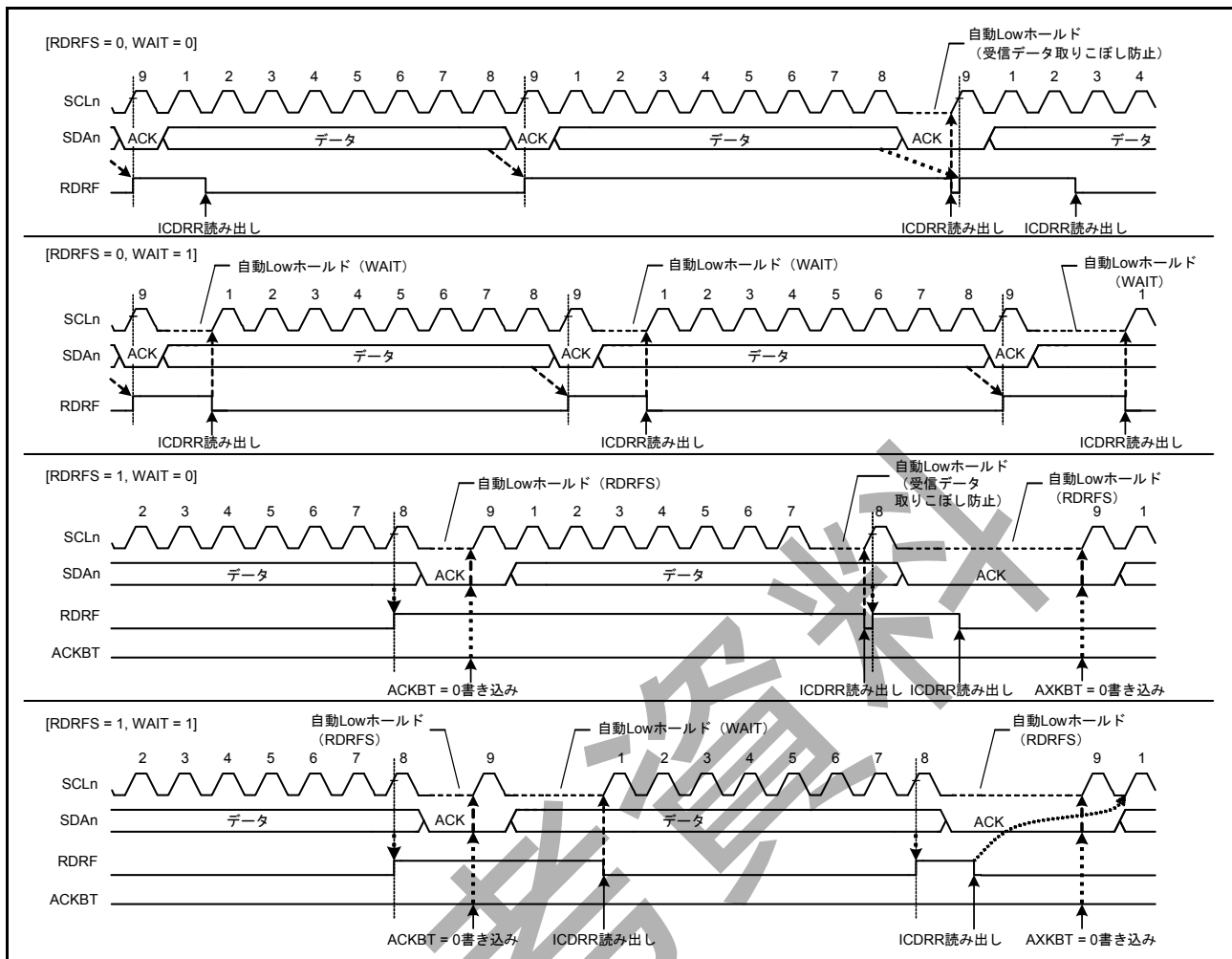


図 31.40 受信モード時の自動 Low ホールド動作 (RDRFS、WAIT ビットを使用)



### 31.10 アービトレーションロスト検出機能

IICは、I<sup>2</sup>Cバス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止機能、NACK送信時のアービトレーションロスト検出機能、およびスレーブ送信モード時のアービトレーションロスト検出機能を備えています。

#### 31.10.1 マスタアービトレーションロスト検出機能 (MALEビット)

IICはスタートコンディション発行の際、SDAnラインをLowにします。ただし、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAnラインをLowにした場合、IICは自身のスタートコンディション発行をエラーと判断し、これをアービトレーションロストとみなすため、他のマスタデバイスによる転送の方が優先されます。同様に、バスビジー (ICCR2.BBSYフラグ=1) の状態でICCR2.STビットを1にすることでスタートコンディション発行を要求すると、IICはこれをスタートコンディションの二重発行エラーと判断し、自身がアービトレーションロストを発生させたとみなします。これによって、転送中のスタートコンディション発行による転送の失敗を防止できます。

スタートコンディションの発行が正常に行われた場合、アドレスビットを含む送信データ (内部のSDA出力レベル) とSDAnラインのレベルが一致しなければ、IICではアービトレーションロストが発生します。

マスタアービトレーションロストが発生した後、IICはただちにスレーブ受信モードへ遷移します。スレーブアドレス (ジェネラルコールアドレスを含む) が自身のアドレスと一致した場合、IICはスレーブ動作を継続します。

なお、マスタアービトレーションロストは、ICFER.MALEビットが1 (マスタアービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき検出されます。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグが0の状態(ICCR2.STビットを1にしてスタートコンディションを発行した後、SDAの内部出力レベルとSDAnラインのレベルが不一致のとき (スタートコンディション発行エラー)
- ICCR2.BBSYフラグが1の状態(ICCR2.STビットを1にしたとき (スタートコンディション二重発行エラー))
- マスタ送信モード時 (ICCR2.MST、TRSビット=11b)、アクリリッジを除く送信データ (内部のSDA出力レベル) とSDAnラインのレベルが不一致のとき

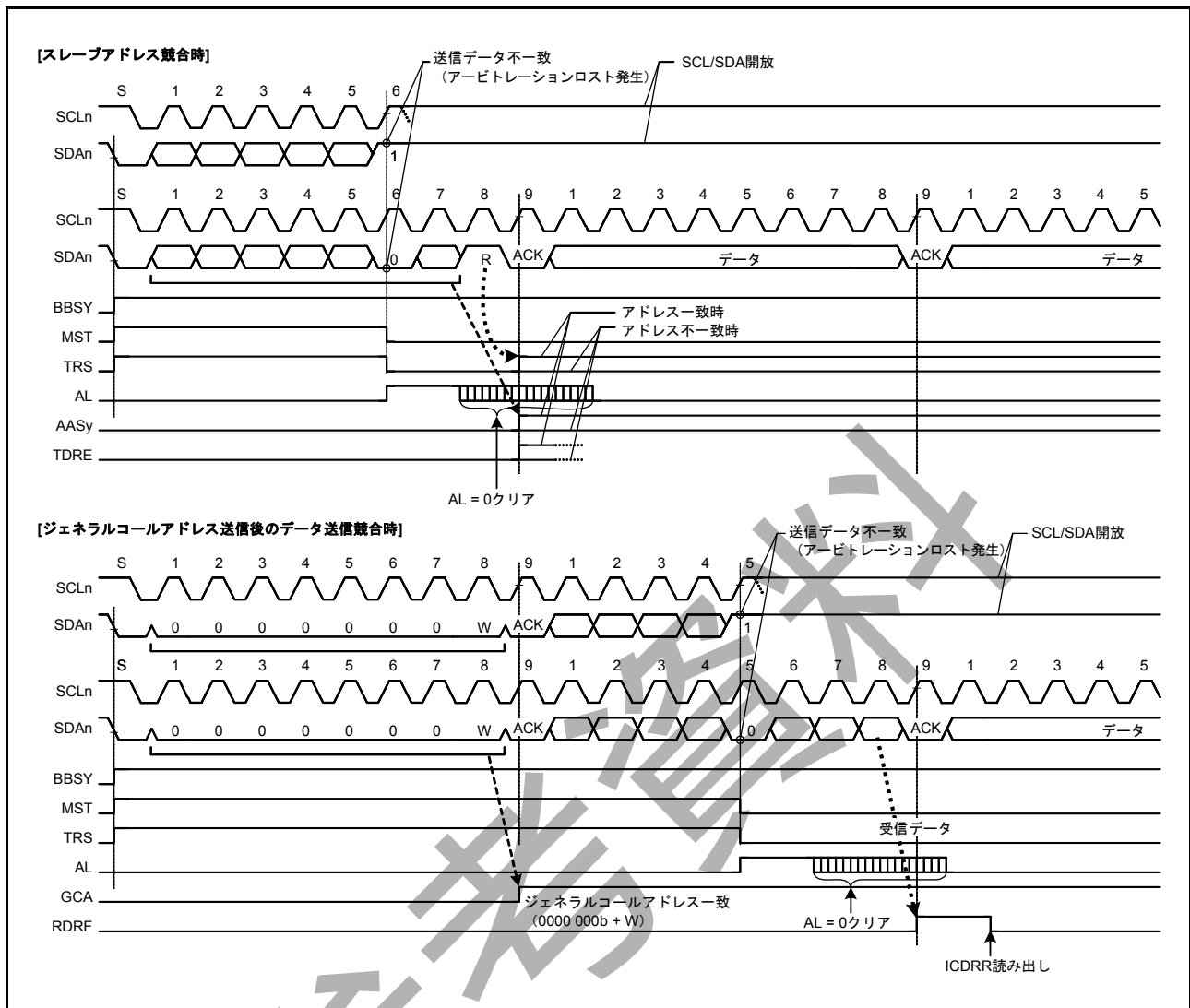


図 31.41 マスタアービトレーションロスト検出動作例 (MALE = 1 の場合)

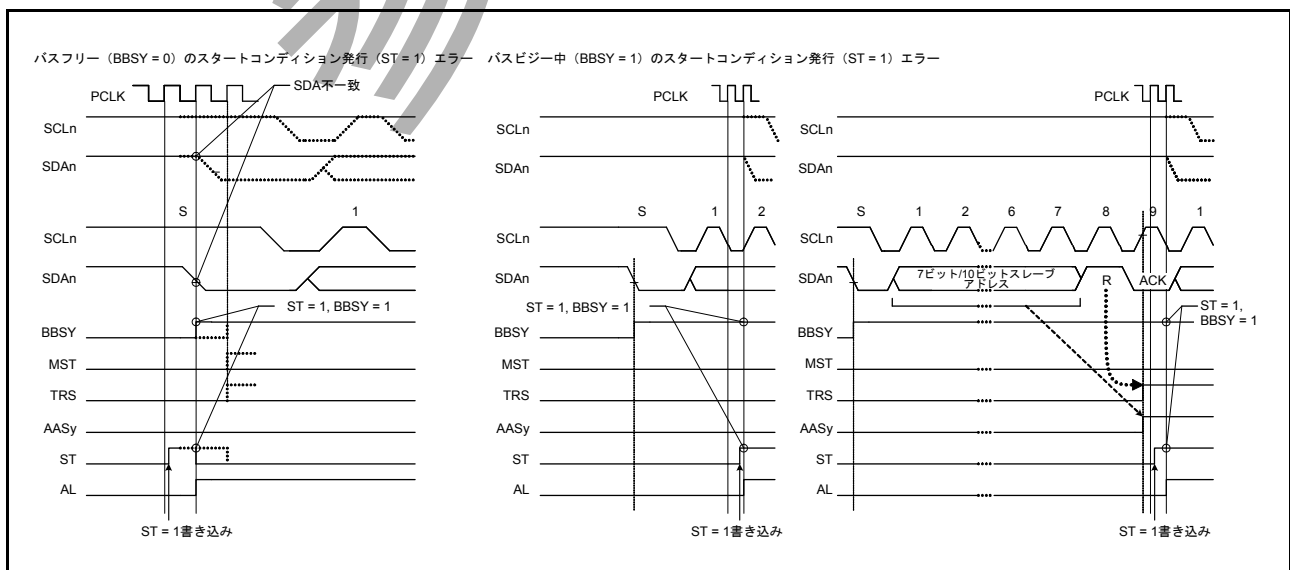


図 31.42 スタートコンディション発行時のアービトレーションロスト (MALE = 1 の場合)

### 31.10.2 NACK 送信中のアービトレーションロスト検出機能 (NALE ビット)

IIC は、受信モードでの NACK 送信時に、内部の SDA 出力レベルが SDA<sub>n</sub> ラインのレベルと一致しない場合、アービトレーションロストを発生させる機能を備えています。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスに対して同じ情報を送受信する際に生じます。図 31.43 に、NACK 送信中のアービトレーションロスト検出の動作例を示します。

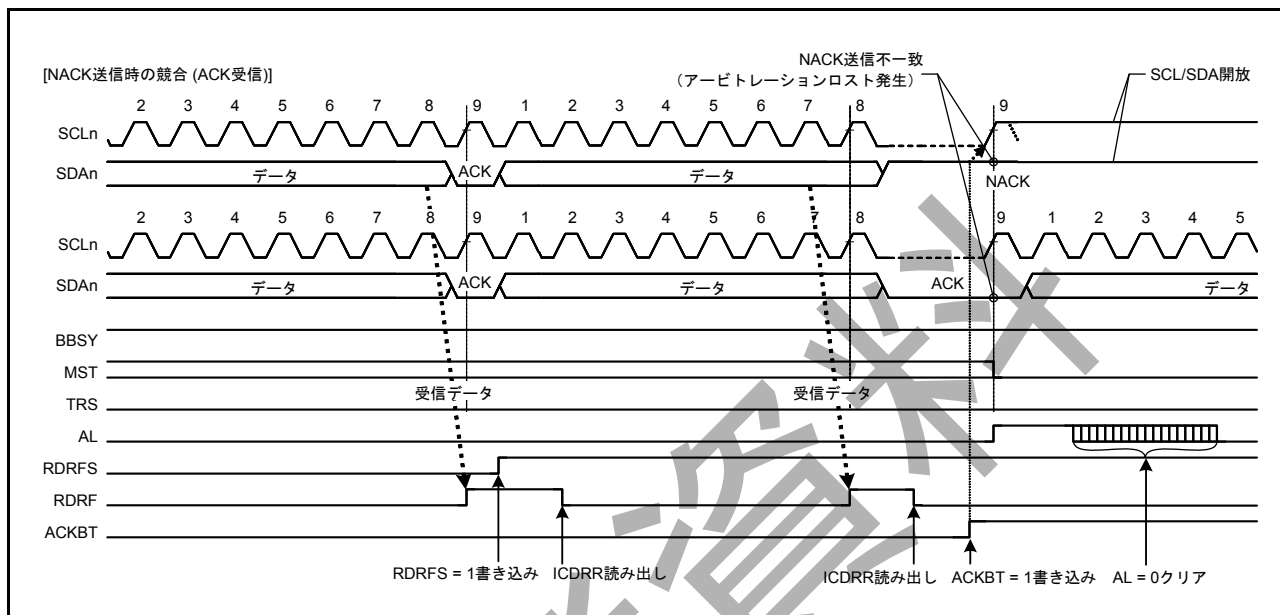


図 31.43 NACK 送信中のアービトレーションロスト検出の動作例 (NALE = 1 の場合)

以下では、2 つのマスタデバイス (マスタ A、B) と 1 つのスレーブデバイスがバス上に接続されている場合を例にアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。そのため、マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。マスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。そのため、このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

IIC は、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。

NACK 送信時にアービトレーションロストが発生すると、IIC はただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、アサインアドレスコマンド後の Get UDID (汎用) 処理でアサインアドレスの UDID (ユニークデバイス ID) が不一致の場合に、追加クロック処理 (FFh 送信処理など) を省くことができます。

ICFER.NALE ビットが 1 (NACK 送信中アービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき、IIC は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT ビット = 1)、内部の SDA 出力レベルと SDA<sub>n</sub> ラインの状態 (ACK 受信) が不一致のとき

### 31.10.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

IIC は、スレーブ送信モード時に、送信データと SDA<sub>n</sub> ラインのレベルが一致しない場合、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト検出機能は、主に SMBus での UDID (ユニークデバイス ID) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、IIC はただちにスレーブ一致状態を解除してスレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な処理 (FFh 送信処理) を省くことができます。

ICFER.SALE ビットが 1 (スレーブアービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき、IIC はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST、TRS ビット = 01b)、アクノリッジを除く送信データ (内部 SDA 出力レベル) と SDA<sub>n</sub> ラインが不一致のとき

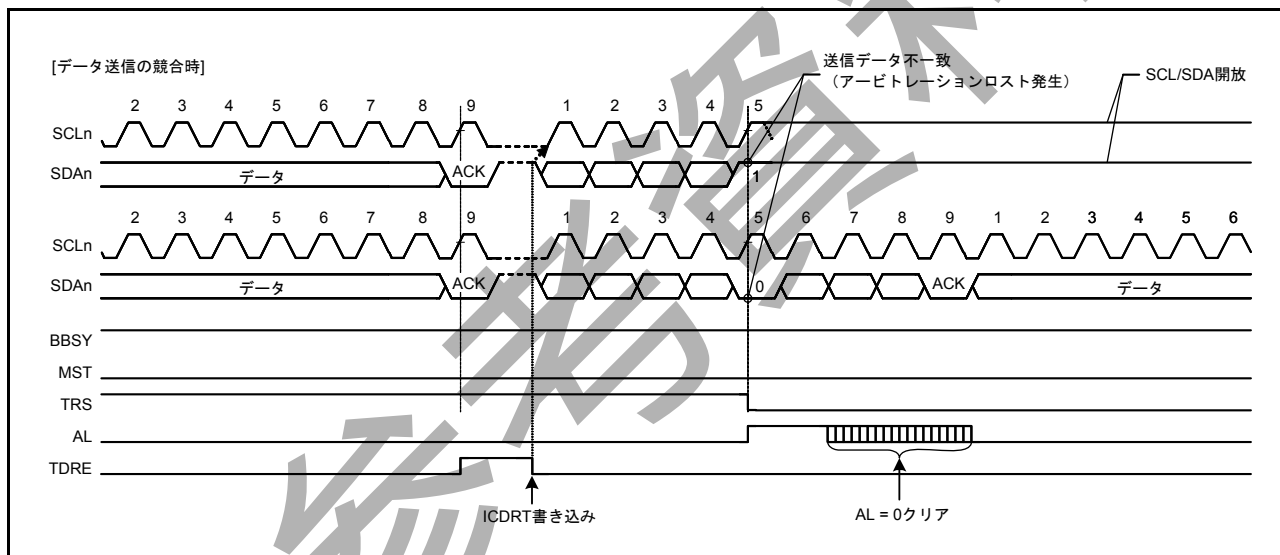


図 31.44 スレーブアービトレーションロスト検出動作例 (SALE = 1 の場合)

## 31.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

### 31.11.1 スタートコンディション発行動作

IICは、ICCR2.STビットが1のときにスタートコンディションを発行します。

STビットを1にすると、スタートコンディション発行要求が行われ、ICCR2.BBSYフラグが0（バスフリー状態）の場合、IICはスタートコンディションを発行します。スタートコンディションが正常に発行された場合、IICは自動的にマスタ送信モードへ遷移します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

1. SDA<sub>n</sub>ラインを立ち下げる（HighからLowに遷移）。
2. ICBRHレジスタで設定した時間とスタートコンディションのホールド時間を確保する。
3. SCL<sub>n</sub>ラインを立ち下げる（HighからLowに遷移）。
4. SCL<sub>n</sub>ラインのLowを検出し、ICBRLレジスタで設定したSCL<sub>n</sub>ラインのLow幅を確保する。

### 31.11.2 リスタートコンディション発行動作

IICは、ICCR2.RSビットが1のときリスタートコンディションを発行します。

RSビットを1にすると、リスタートコンディション発行要求が行われ、ICCR2.BBSYフラグが1（バスビジー状態）で、かつICCR2.MSTビットが1（マスタモード）の場合、IICはリスタートコンディションを発行します。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

[リスタートコンディション発行動作]

1. SDA<sub>n</sub>ラインを開放する。
2. ICBRLレジスタで設定したSCL<sub>n</sub>ラインのLow幅を確保する。
3. SCL<sub>n</sub>ラインを開放する（LowからHighに遷移）。
4. SCL<sub>n</sub>ラインのHighを検出し、ICBRLレジスタで設定した時間とリスタートコンディションのセットアップ時間を確保する。
5. SDA<sub>n</sub>ラインを立ち下げる（HighからLowに遷移）。
6. ICBRHレジスタで設定した時間とリスタートコンディションのホールド時間を確保する。
7. SCL<sub>n</sub>ラインを立ち下げる（HighからLowに遷移）。
8. SCL<sub>n</sub>ラインのLowを検出し、ICBRLレジスタで設定したSCL<sub>n</sub>ラインのLow幅を確保する。

注． リスタートコンディション要求の発行時、ICCR2.RSが0であることを確認してから、ICDRTレジスタにスレーブアドレスを書いてください。ICCR2.RSが1のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

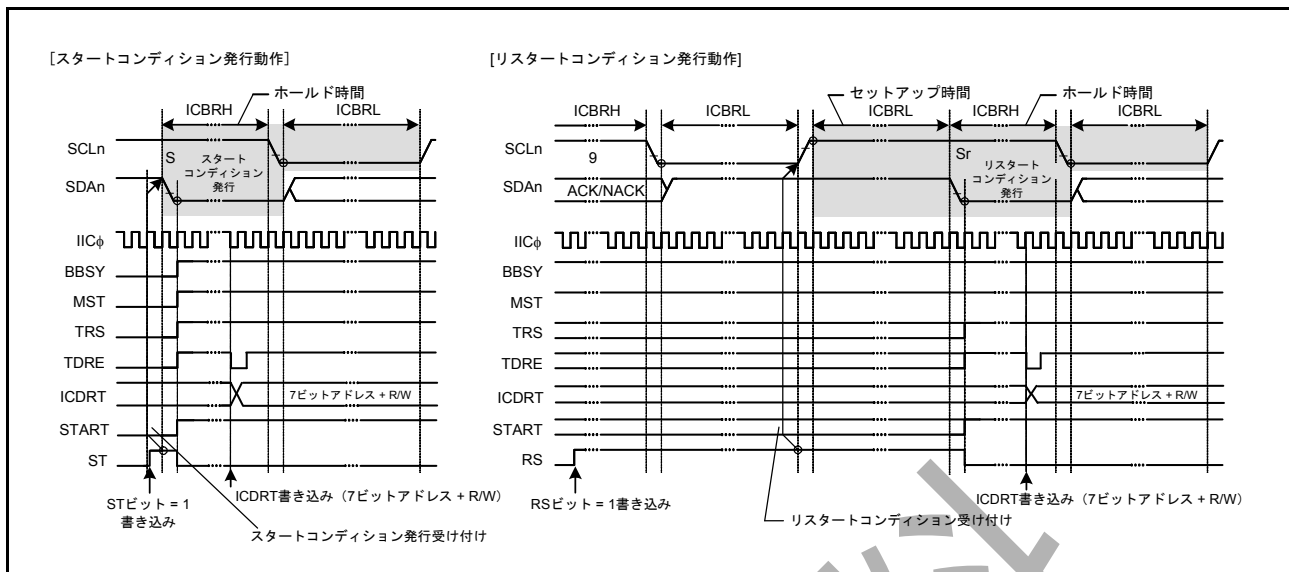


図 31.45 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

図 31.46 に、マスタ送信後にリスタートコンディションが発行されたときの動作タイミングを示します。

[マスタ送信後のリスタートコンディション発行動作]

1. 初期設定を行います。詳細は、31.3.2 初期設定を参照してください。
2. IICR2.BBSY フラグを読んでバスフリー状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション発行要求) にします。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。同時に、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、内部の SDA 出力レベルと SDA<sub>n</sub> ラインのレベルが一致していれば、RIIC は ST ビットによるスタートコンディション発行が正常に行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、RIIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信が完了すると、送信された R/W# ビットの値に応じて自動的に TRS ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であったなら、RIIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。データを 10 ビットフォーマットのアドレスで送信する場合は、最初に、1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b (スレーブアドレスの上位 2 ビット) と W を書き込みます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書き込んでください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、あるいは、リスタートコンディションまたはストップコンディションが発行されるまでの間、RIIC は自動的に SCL<sub>n</sub> ラインを Low にホールドします。
5. 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るのを待ってから、ICSR2.START フラグが 1 であることを確認した後、ICSR2.START フラグを 0 にしてください。
6. ICCR2.RS ビットを 1 (リスタートコンディション要求) にします。RIIC はこの要求を受け付けると、リスタートコンディションを発行します。
7. ICSR2.START フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。

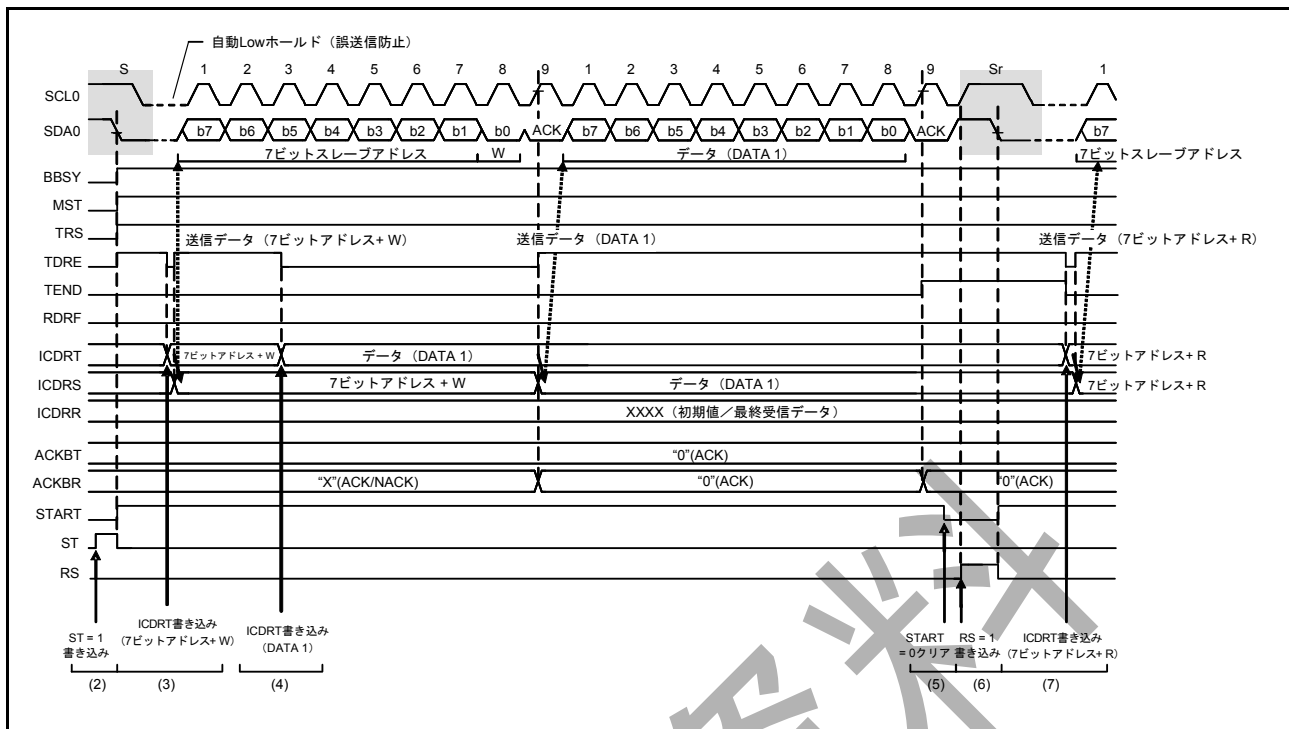


図 31.46 マスタ送信後のリスタートコンディション発行タイミング

### 31.11.3 ストップコンディション発行動作

IICは、ICCR2.SPビットが1のときストップコンディションを発行します。

SPビットを1にすると、ストップコンディション発行要求が行われ、ICCR2.BBSYフラグが1（バスビジー状態）で、かつICCR2.MSTビットが1（マスタモード）の場合、IICはストップコンディションを発行します。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

1. SDA<sub>n</sub> ラインを立ち下げる（High から Low に遷移）。
2. ICBRL レジスタで設定した SCL<sub>n</sub> ラインの Low 幅を確保する。
3. SCL<sub>n</sub> ラインを開放する（Low から High に遷移）。
4. SCL<sub>n</sub> ラインの High を検出し、ICBRH レジスタで設定した時間とストップコンディションのセットアップ時間を確保する。
5. SDA<sub>n</sub> ラインを開放する（Low から High に遷移）。
6. ICBRL レジスタで設定した時間とバスマスター時間を確保する。
7. BBSY フラグをクリアしてバス権を解放する。

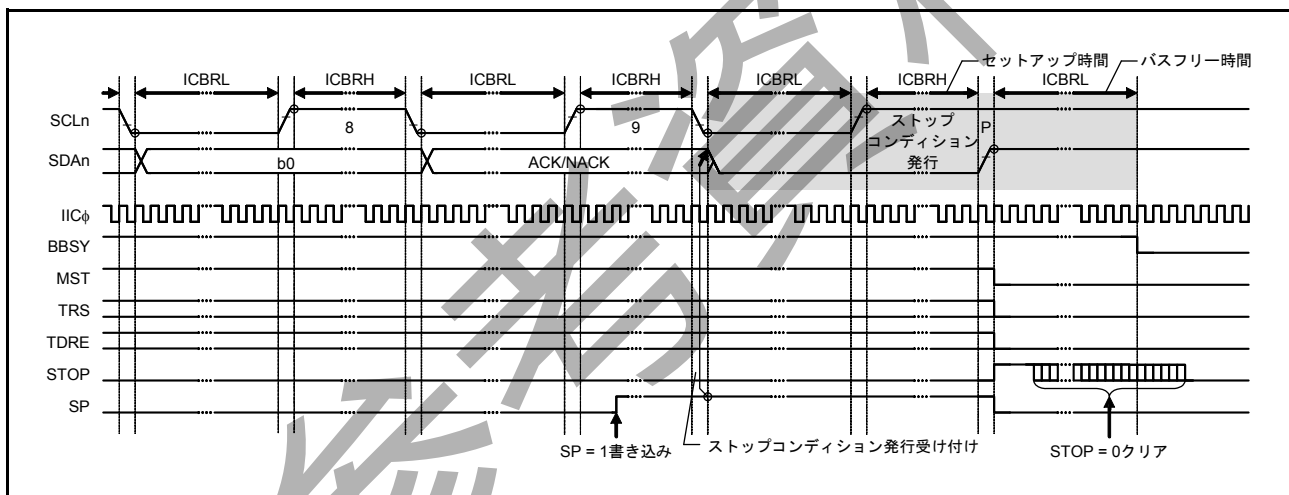


図 31.47 ストップコンディション発行タイミング (SP ビット)



## 31.12 バスハングアップ

I<sup>2</sup>Cバスでは、ノイズ等が原因でマスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLnラインやSDAnラインのレベルが固定されたままバスハングアップを起こす場合があります。

IICは、バスハングアップ状態の対応策として、SCLnラインを監視してバスハングアップを検出するためのタイムアウト検出機能、クロック信号の同期ズレによるバスハングアップ状態を解除するためのSCLクロック追加出力機能、IICリセット機能、および内部リセット機能を備えています。

ICCR1.SCLO、SDAO、SCLI、SDAIの各ビットをチェックすることで、IIC自身と通信相手のどちらがSCLnラインまたはSDAnラインをLowにしているのか確認することが可能です。

### 31.12.1 タイムアウト検出機能

IICは、SCLnラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。IICは、SCLnラインがLowまたはHighに固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することができます。

タイムアウト検出機能はSCLnラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCLnラインに変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合、カウント動作を続けます。SCLnラインに変化がないために内部カウンタがオーバーフローすると、IICはタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、ICFER.TMOEビットが1のときのみ有効です。以下の条件でSCLnラインがLowまたはHighに固定されるバスハングアップ状態が検出されます。

- マスタモード (ICCR2.MSTビット=1) で、バスビジー (ICCR2.BBSYフラグ=1)
- スレーブモード (ICCR2.MSTビット=0) で、IICスレーブアドレス検出 (ICSR1レジスタ≠00h) かつバスビジー (ICCR2.BBSYフラグ=1)
- スタートコンディション発行要求中 (ICCR2.STビット=1) で、バスフリー (ICCR2.BBSYフラグ=0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作します。このカウンタは、ロングモード選択時 (ICMR2.TMOSビット=0) は16ビットカウンタ、ショートモード選択時 (TMOSビット=1) は14ビットカウンタとして機能します。

また、内部カウンタのカウント動作は、SCLnラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH、TMOLビットで選択することが可能です。TMOLビットとTMOHビットの両方を0にした場合、内部カウンタは動作しません。

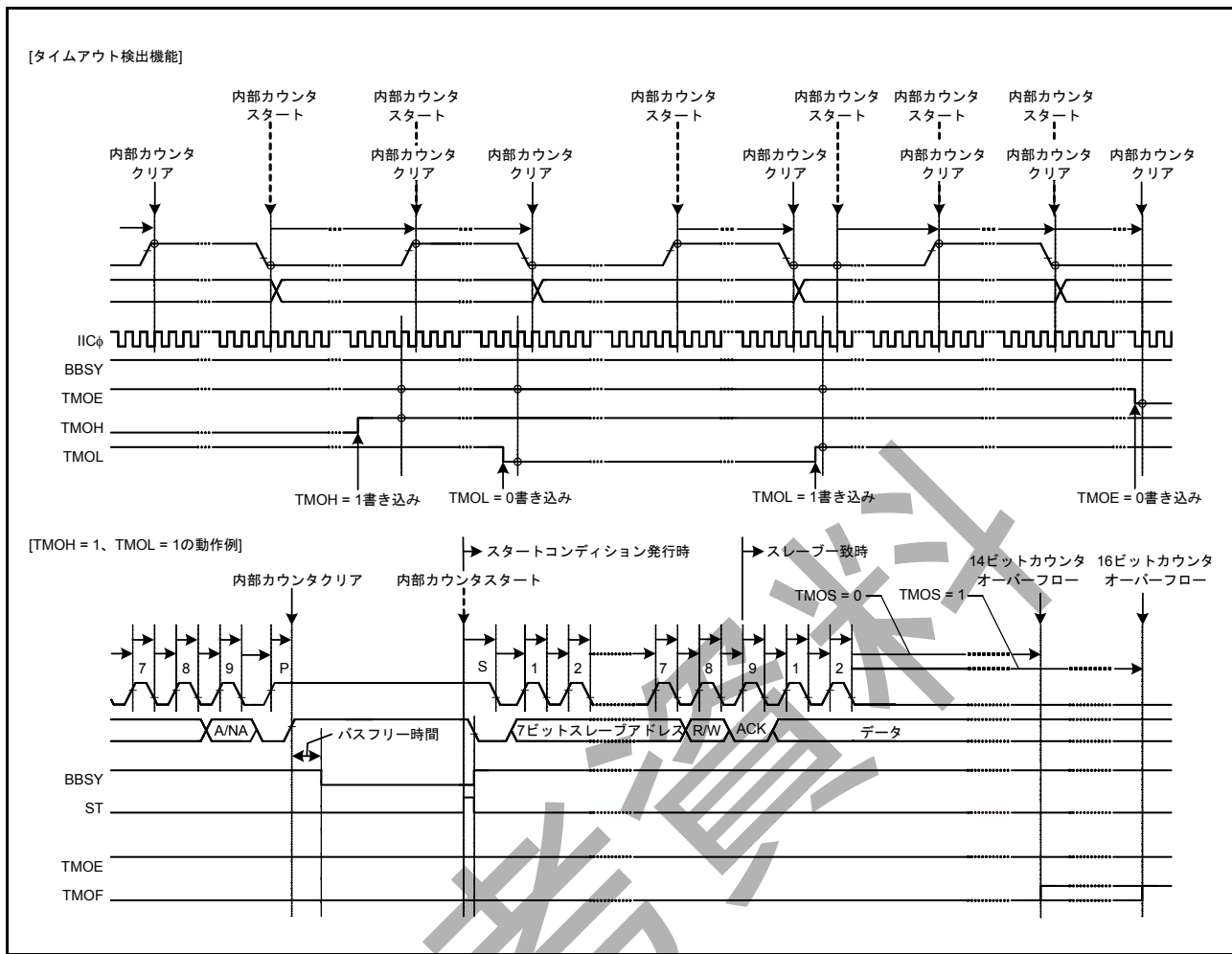


図 31.48 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビット)

### 31.12.2 SCL クロック追加出力機能

IIC モジュールは、マスタモード時、マスタデバイスとスレーブデバイスとの同期ズレによるスレーブデバイスの SDA<sub>n</sub> ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

この機能は、IIC から SCL クロックを 1 クロック単位で追加出力させる機能であり、主にマスタモード時に、スレーブデバイスが SDA<sub>n</sub> ラインを Low 固定しているため、IIC がストップコンディションを発行できないバスエラー発生時に、スレーブデバイスの SDA<sub>n</sub> ラインを Low 固定状態から開放するために使用されます。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

マスタモードで ICCR1.CLO ビットを 1 にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定した転送速度に対応した周波数で、SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると、CLO ビットは自動的に 0 になります。そのため、ソフトウェアで CLO ビットが 0 であることを確認後、CLO ビットに 1 を書くことにより、追加クロックの連続出力が可能になります。

IIC モジュールがマスタモードであるとき、ノイズ等によるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが SDA<sub>n</sub> ラインを Low に固定したままであると、ストップコンディションを出力できません。SCL クロック追加出力機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの SDA<sub>n</sub> ラインの Low 固定状態を開放させ、不安定なバス状態を回復できます。スレーブデバイスによる SDA<sub>n</sub> ラインの開放は、ICCR1.SDAI ビットを読みだすことで確認できます。スレーブデバイスによる SDA<sub>n</sub> ラインの開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

この機能を使用する場合、ICFER.MALE ビットを 0 (マスタアービトレーションロスト検出無効) にしてください。MALE ビットが 1 (マスタアービトレーションロスト検出有効) の場合、ICCR1.SDAO ビットの値と SDA<sub>n</sub> ラインの状態が不一致のときにアービトレーションロストが発生するので注意してください。

[ICCR1.CLO ビット使用時の出力条件]

- バスフリー状態 (ICCR2.BBSY フラグ = 0) またはマスタモード (ICCR2.MST ビット = 1、BBSY フラグ = 1) のとき
- 通信デバイスが SCL<sub>n</sub> ラインを Low ホールドにしていないとき

図 31.49 に SCL クロック追加出力機能 (CLO ビット) の動作タイミングを示します。

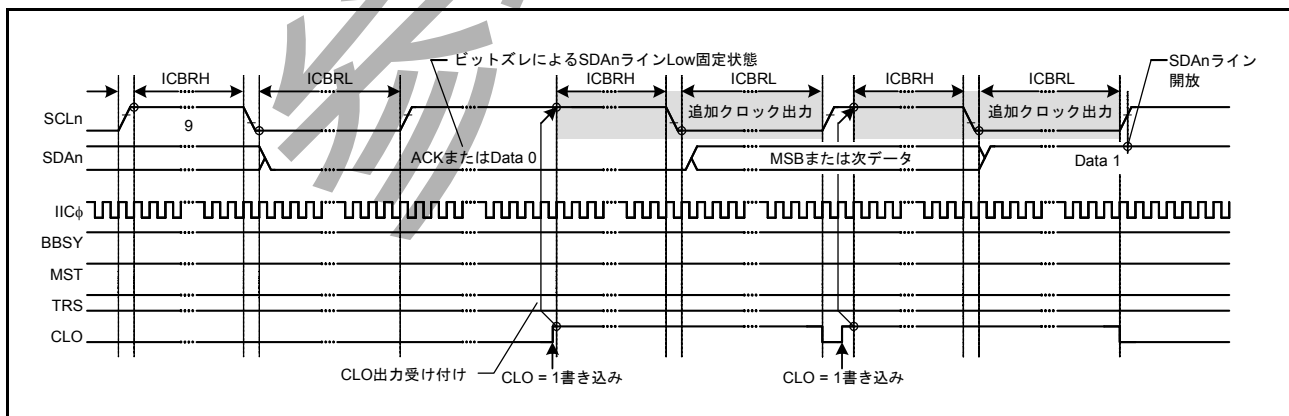


図 31.49 SCL クロック追加出力機能 (CLO ビット)

### 31.12.3 IICリセット、内部リセット

IICモジュールは、自身をリセットする機能を備えています。リセットには2種類あります。1つはICCR2.BBSYフラグを含めた全レジスタの初期化を行うIICリセット、もう1つは各種設定値を保持したままIICをスレーブアドレス一致状態から解放し内部カウンタの初期化を行う内部リセットです。リセット後は、必ずICCR1.IICRSTビットを0にしてください。

いずれのリセットも、SCLn端子/SDAn端子の出力状態を解除してハイインピーダンスに戻すため、バスハングアップ状態を解除する効果があります。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になるので、使用は極力避けてください。また、IICリセット(ICCR1.ICE、IICRSTビット=01b)中は、スタートコンディションの有無など、バス状態の監視はできません。

IICリセットと内部リセットの詳細については、[31.15 各コンディション発行時のリセット、レジスタ、機能の状態](#)を参照してください。

参考資料

### 31.13 SMBus 動作

IIC は SMBus 仕様 (バージョン 2.0) に準拠した通信動作に対応しています。SMBus 通信を行うには、ICMR3.SMBS ビットを 1 にしてください。転送速度が SMBus 規格の 10kbps ~ 100kbps の範囲に収まるように、ICMR1.CKS[2:0] ビットと ICBRH および ICBRL レジスタを設定してください。また、データホールド時間の規定値 300ns 以上を満たすように、ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。IIC をスレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、ICBRL レジスタにはデータセットアップ時間 (250ns) 以上の値を設定する必要があります。

なお、SMBus デバイスデフォルトアドレス (1100 001b) には、スレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、対応する SARUy.FS ビット (y=0 ~ 2) (7 ビットまたは 10 ビットアドレスフォーマット選択ビット) を 0 (7 ビットアドレスフォーマット) にしてください。

また、UDID (ユニークデバイス ID) 送信時には、ICFER.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

#### 31.13.1 SMBus タイムアウト測定

##### (1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは下記に示す区間 (タイムアウト間隔:  $T_{\text{LOW:SEXT}}$ ) を計測する必要があります。

- スタートコンディションからストップコンディションまで

スレーブデバイスでタイムアウト測定を行うには、IIC のスタートコンディション検出割り込み (STIn) とストップコンディション検出割り込み (SPIn) を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間 (スレーブデバイス)  $T_{\text{LOW:SEXT}}: 25\text{ms}$  (max) 以内である必要があります。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト  $T_{\text{TIMEOUT}}: 25\text{ms}$  (min) を超えた場合、スレーブデバイスは ICCR1.IICRST ビットに 1 を書き込んで IIC の内部リセットを発行し、バスを解放する必要があります。内部リセットを行うと、IIC は SCLn 端子と SDA<sub>n</sub> 端子のバス駆動を中止し、両端子の出力をハイインピーダンスにします。これによって、バス解放を行うことができます。

##### (2) マスタデバイスのタイムアウト測定

SMBus 通信では、マスタデバイスは下記に示す区間 (タイムアウト間隔:  $T_{\text{LOW:MEXT}}$ ) を計測する必要があります。

- スタートコンディションからアクノリッジビットまで
- アクノリッジビットから次のアクノリッジビットまで
- アクノリッジビットからストップコンディションまで

マスタデバイスでタイムアウト測定を行うには、IIC のスタートコンディション検出割り込み (STIn)、ストップコンディション検出割り込み (SPIn)、送信終了割り込み (IICn\_TEI)、または受信データフル割り込み (IICn\_RXI) を利用して、GPT でこれらの期間を計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス)  $T_{\text{LOW:MEXT}}: 10\text{ms}$  (max) 以内であり、かつスタートコンディションからストップコンディションまでのすべての  $T_{\text{LOW:MEXT}}$  の合計が  $T_{\text{LOW:SEXT}}: 25\text{ms}$  (max) 以内である必要があります。

ACK 受信タイミング (SCL クロックの 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで監視します。そのため、マスタ送信モード時は 1 バイト送信動作を行い、マスタ受信モード時は最終バイト受信の直前まで ICMR3.RDRFS ビットを 0 に保持してください。RDRFS ビットが 0 のとき、RDRF フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス)  $T_{\text{LOW:MEXT}}: 10\text{ms}$  (max) を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト  $T_{\text{TIMEOUT}}: 25\text{ms}$  (min) を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作 (ICDRT レジスタへの書き込み) を中止してください。

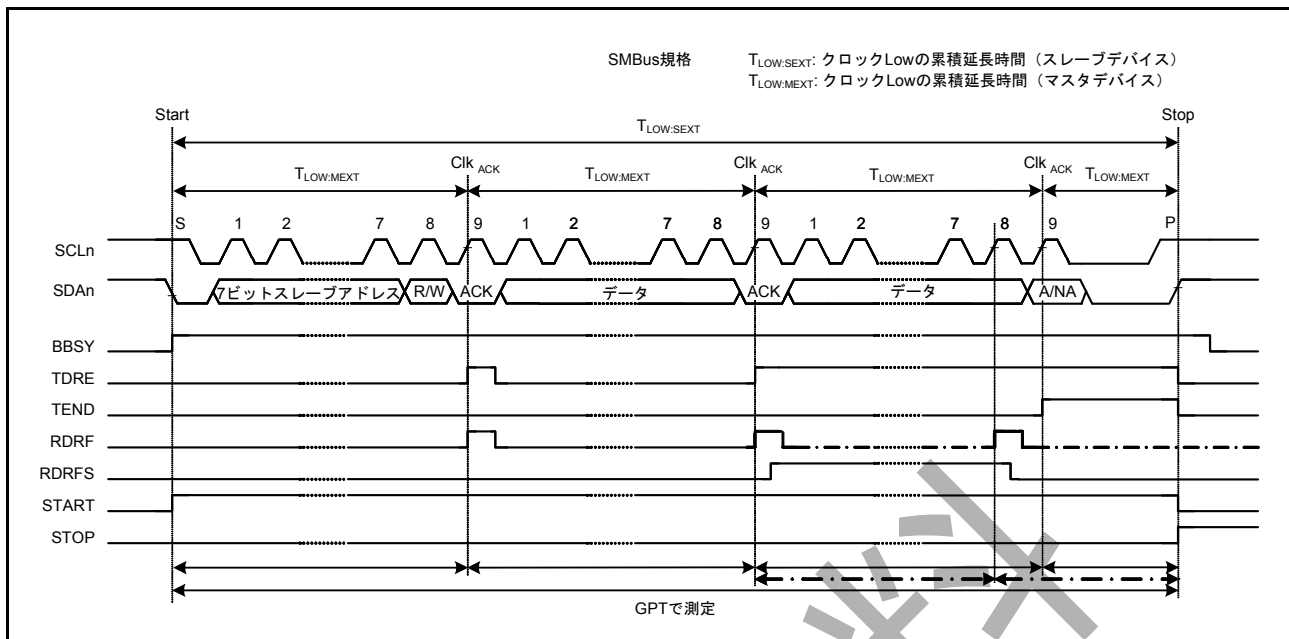


図 31.50 SMBus タイムアウト測定

### 31.13.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しており、この CRC 演算器を利用して、パケットエラーコード (PEC) の送信や、IIC の SMBus データ通信時の受信データチェックが可能です。CRC 演算器の生成多項式については、「[35. 巡回冗長検査 \(CRC\) 演算器](#)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として、最終バイト受信時の結果 (一致/不一致) に応じた ACK/NACK 送出を行う場合は、最終バイト受信中の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを 1 にし、8 クロック目の立ち下がりまで SCLn ラインを Low にホールドしてください。

### 31.13.3 SMBus ホスト通知プロトコル (Notify ARP Master コマンド)

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト (または ARP マスタ) に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を使用する製品を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があるため、IIC はホストアドレス検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、ICMR3.SMBS ビットを 1、ICSER.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

### 31.14 割り込み要因

IICが発行する割り込み要求には、通信エラー/イベント発生（アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンプティ、送信終了の4種類があります。

表 31.10 に割り込み要求の詳細を示します。受信データフル割り込みと送信データエンプティは、どちらも DTC または DMAC を起動してデータ転送を行うことができます。

表 31.10 割り込み要因

シンボル	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	割り込み条件
IICn_EEI (注5)	通信エラー/イベント発生	AL	不可能	不可能	AL = 1かつALIE = 1
		NACKF			NACKF = 1かつNAKIE = 1
		TMOF			TMOF = 1かつTMOIE = 1
		START			START = 1かつSTIE = 1
		STOP			STOP = 1かつSPIE = 1
IICn_RXI (注2) (注5)	受信データフル	—	可能	可能	RDRF = 1かつRIE = 1
IICn_TXI (注1) (注5)	送信データエンプティ	—	可能	可能	TDRE = 1かつTIE = 1
IICn_TEI (注3) (注5)	送信終了	TEND	不可能	不可能	TEND = 1かつTEIE = 1
IIC0_WUI (注4)	スレーブアドレス一致 (ウェイクアップ機能時)	WUF	不可能	不可能	(スレーブアドレス一致) (スレーブ受信完了) (RWAK動作ASY0 = 1) (WUIE = 1)

注. CPUによる周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延があります。そのため、割り込みフラグをクリアまたはマスクした場合は関連するフラグを再度読み出して、クリアまたはマスク処理の完了を確認した後、割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、同じ割り込み処理が繰り返される可能性があります。

注 1. IICn\_TXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn\_TXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ = 1) で自動的に 0 になります。

注 2. IICn\_RXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn\_RXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に 0 になります。

注 3. IICn\_TEI 割り込みを使用する場合、IICn\_TEI 割り込み処理で ICSR2.TEND フラグをクリアしてください。なお ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ = 1) で自動的に 0 になります。

注 4. ウェイクアップ機能はチャンネル 0 にしかないので、IIC0\_WUI はチャンネル 0 の場合しか使用しません。

注 5. チャンネル番号 (n = 0 ~ 2)

割り込み処理中に、それぞれのフラグをクリアまたはマスクしてください。

#### 31.14.1 IICn\_TXI 割り込みおよび IICn\_RXI 割り込みのバッファ動作

対応する IR フラグが 1 のときに、IICn\_TXI 割り込みおよび IICn\_RXI 割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます (1 要因あたり 1 要求を内部に保持できます)。

ICU.IELSRn.IR フラグが 0 になると、ICU に保存されていた割り込み要求が出力されます。通常の使用状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。

内部的に保持されていた割り込み要求は、対応する周辺側の割り込み許可ビットを 0 にすることでクリアが可能です。

## 31.15 各コンディション発行時のリセット、レジスタ、機能の状態

IICは、リセット、IICリセット、および内部リセットの機能を備えています。表 31.11 に、各コンディション発行時のリセット、レジスタ、および機能の状態を示します。

表 31.11 各コンディション発行時のリセット、レジスタ、機能の状態

レジスタ		チップ リセット	IICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタート コンディションまたは リスタート コンディション検出	ストップ コンディション検出	
ICCR1	ICE、IICRST	リセット	保持	保持	保持	保持	
	SCLO、 SDAO		リセット	リセット			
	その他			保持			
ICCR2	BBSY	リセット	リセット	保持	セット	保持	
	ST			リセット	保持	保持	
	TRS、MST				セットまたは保持	リセット	
	その他				リセット	リセットまたは保持	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持	
	その他			保持	保持		
ICMR2	リセット	リセット	保持	保持	保持	保持	
ICMR3	リセット	リセット	保持	保持	保持	保持	
ICFER	リセット	リセット	保持	保持	保持	保持	
ICSER	リセット	リセット	保持	保持	保持	保持	
ICIER	リセット	リセット	保持	保持	保持	保持	
ICSR1	リセット	リセット	リセット	リセット	保持	リセット	
ICSR2	TDRE、TEND	リセット	リセット	リセット	保持	リセット	
	START				セット		
	STOP				保持		セット
	その他						保持
ICWUR	リセット	リセット	保持	保持	保持	保持	
SARL0, SARL1, SARL2 SARU0, SARU1, SARU2	リセット	リセット	保持	保持	保持	保持	
ICBRH, ICBRL	リセット	リセット	保持	保持	保持	保持	
ICDRT	リセット	リセット	保持	保持	保持	保持	
ICDRR	リセット	リセット	保持	保持	保持	保持	
ICDRS	リセット	リセット	リセット	保持	保持	保持	
ICWUR (注1)	リセット	リセット	保持	保持	保持	保持	
タイムアウト検出機能	リセット	リセット	動作	動作	動作	動作	
バスフリー時間計測	リセット	リセット	動作	動作	動作	動作	

注 1. IIC0のみ



## 31.16 イベントリンク出力機能

IIC0～IIC2は、イベントリンクコントローラ (ELC) に対して次の要因によってイベント出力を行います。

### (1) 通信エラーイベント

通信エラーイベントが発生すると、対応するイベント信号を ELC によって他のモジュールに出力できません。

### (2) 受信データフル

レシーブデータレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

### (3) 送信データエンプティ

トランスミットデータレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

### (4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

### 31.16.1 割り込み処理とイベントリンク機能

IICの各割り込み (表 31.10 参照) には、対応する割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットが許可に設定されている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。各割り込み要因については、表 31.10 を参照してください。

## 31.17 使用上の注意事項

### 31.17.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、IIC の動作を禁止または許可することが可能です。初期設定では、IIC の動作は停止しています。モジュールストップ状態を解除することにより、IIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細については、「11. 低消費電力モード」を参照してください。

### 31.17.2 転送開始に関する注意事項

転送開始 (ICCR1.ICE ビット = 1) 時点で IIC の割り込みに対応した IR フラグが 1 であれば、動作を許可する前に下記の手順で割り込み要求をクリアしてください。ICCR1.ICE ビットが 1 の状態で IR フラグを 1 にして転送を開始すると、転送開始後、割り込み要求が内部で保持されるため、IR フラグが予期しない動作となる可能性があります。

1. ICCR1.ICE ビットが 0 であることを確認する。
2. 周辺機能で対応する割り込み許可ビット (ICIER.TIE など) を 0 にする。
3. 周辺機能で対応する割り込み許可ビット (ICIER.TIE など) を読み出して、値が 0 であることを確認する。
4. IR フラグを 0 にする。

## 32. CAN (Controller Area Network) モジュール

本 MCU は 1 つの CAN (Controller Area Network) モジュールを内蔵しています。

### 32.1 概要

CAN モジュールは、電磁的ノイズの多いアプリケーションにおいて、メッセージベースのプロトコルを用いて複数のスレーブとマスタの間でデータの送受信を行います。このモジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠し、最大 32 個のメールボックスをサポートしています。これらは、通常のメールボックスモードと FIFO モードでの送受信用に設定可能です。標準 (11 ビット) と拡張 (29 ビット) の両方のメッセージフォーマットに対応しています。

表 32.1 に CAN モジュールの仕様を、図 32.1 にブロック図を示します。CAN モジュールには、外部 CAN トランシーバの追加サポートが必要です。

表 32.1 CANモジュールの仕様 (1/2)

項目	内容
データ転送	ISO11898-1 準拠の標準フレームと拡張フレーム
ビットレート	最大 1Mbps にプログラム可能 (fCAN ≥ 8MHz) fCAN : CAN クロックソース
メッセージボックス	32 個のメールボックスに対し、下記の 2 種類のメールボックスモードを選択可能 <ul style="list-style-type: none"> <li>通常モード : 32 個のメールボックスを送信または受信用に個別に設定可能</li> <li>FIFO モード : 24 個のメールボックスを送信または受信用に個別に設定可能、残りのメールボックスは受信および送信用の 4 段 FIFO で使用</li> </ul>
受信	<ul style="list-style-type: none"> <li>データフレームとリモートフレームの受信をサポート</li> <li>受信 ID フォーマットは、標準 ID のみ、拡張 ID のみ、またはミックス ID を選択可能</li> <li>ワンショット受信機能をプログラム可能</li> <li>オーバーライトモード (未読メッセージ上書き) またはオーバーランモード (未読メッセージ保持) を選択可能</li> <li>メールボックスごとに個別に受信完了割り込みを許可または禁止に設定可能</li> </ul>
アクセプタンスフィルタ	<ul style="list-style-type: none"> <li>8 つのアクセプタンスマスク (4 メールボックスごとに 1 つ)</li> <li>メールボックスごとに個別にマスクを有効または無効に設定可能</li> </ul>
送信	<ul style="list-style-type: none"> <li>データフレームとリモートフレームの送信をサポート</li> <li>送信 ID フォーマットは、標準 ID のみ、拡張 ID のみ、またはミックス ID を選択可能</li> <li>ワンショット送信機能をプログラム可能</li> <li>ブロードキャストメッセージ機能</li> <li>メッセージ ID またはメールボックス番号に基づく優先モードを選択可能</li> <li>送信要求アボートをサポート、アボート完了はステータスフラグで確認可能</li> <li>メールボックスごとに個別に送信完了割り込みを許可または禁止に設定可能</li> </ul>
バスオフ復帰のモード遷移	バスオフ状態からの復帰のモード遷移を選択可能 : <ul style="list-style-type: none"> <li>ISO11898-1 仕様準拠</li> <li>バスオフ開始で自動的に CAN halt モードへ遷移</li> <li>バスオフ終了で自動的に CAN halt モードへ遷移</li> <li>ソフトウェアにより CAN halt モードへ遷移</li> <li>ソフトウェアによりエラーアクティブ状態へ遷移</li> </ul>
エラー状態の監視	<ul style="list-style-type: none"> <li>CAN バスエラー (スタッフエラー、フォームエラー、ACK エラー、15 ビット CRC エラー、ビットエラー、ACK デリミタエラー) の監視</li> <li>エラー状態 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) への遷移の検出</li> <li>エラーカウンタ読み出しのサポート</li> </ul>
タイムスタンプ機能	<ul style="list-style-type: none"> <li>16 ビットカウンタによるタイムスタンプ機能</li> <li>基準クロックは、1、2、4、8 ビットタイム期間から選択可能</li> </ul>
割り込み機能	5 種類の割り込み要因をサポート : <ul style="list-style-type: none"> <li>受信完了割り込み</li> <li>送信完了割り込み</li> <li>受信 FIFO 割り込み</li> <li>送信 FIFO 割り込み</li> <li>エラー割り込み</li> </ul>
CAN スリープモード 1	CAN クロック停止による消費電力の削減

表 32.1 CAN モジュールの仕様 (2/2)

項目	内容
ソフトウェアサポートユニット	3つのソフトウェアサポートユニット： <ul style="list-style-type: none"> <li>アクセプタンスフィルタサポート</li> <li>メールボックス検索サポート（受信メールボックス検索、送信メールボックス検索、メッセージロスト検索）</li> <li>チャンネル検索サポート</li> </ul>
CANクロックソース	周辺モジュールクロック： <ul style="list-style-type: none"> <li>PCLKBまたはCANMCLK</li> </ul>
テストモード	評価用に3つのテストモードを用意： <ul style="list-style-type: none"> <li>リッスンオンリモード</li> <li>セルフテストモード0（外部ループバック）</li> <li>セルフテストモード1（内部ループバック）</li> </ul>
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能

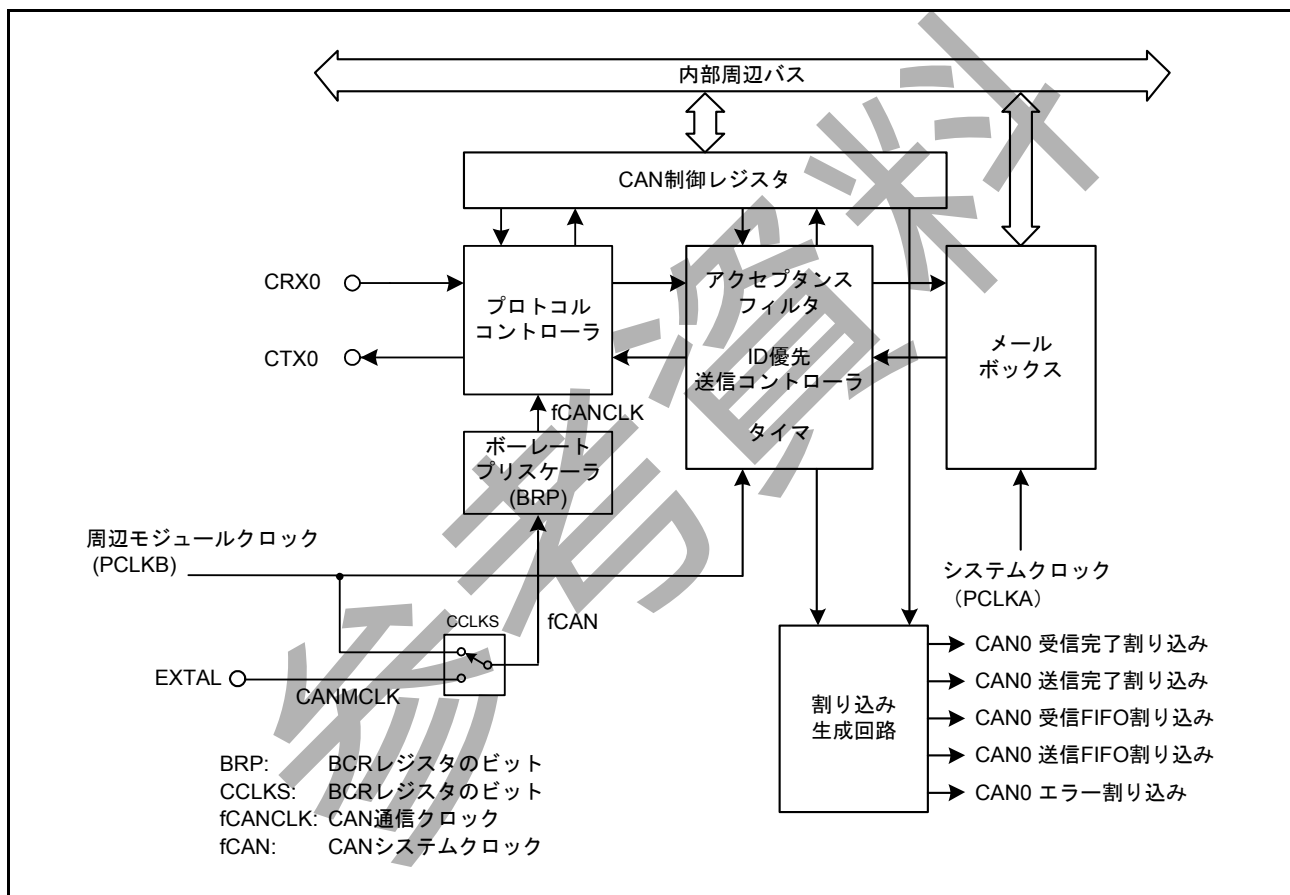


図 32.1 CAN モジュールのブロック図

CAN モジュールには、次のブロックが含まれます。

- CRX0 および CTX0  
CAN の入力および出力端子
- プロトコルコントローラ  
バスアービトラージョン、送受信時のビットタイミング、スタンプ処理、エラー処理などの CAN プロトコル処理を行います。
- メールボックス  
送信または受信のいずれかに設定可能な 32 個のメールボックスで構成されます。各メールボックスは、固有の ID、データ長コード (DLC)、データフィールド (8 バイト)、およびタイムスタンプを持ちます。

- アクセプタンスフィルタ  
MKR0 ~ MKR7 レジスタの設定値を用いて、受信メッセージのフィルタ処理を行います。
- タイマ  
タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値が、タイムスタンプとして書き込まれます。
- 割り込み発生回路  
下記の割り込みを生成します。
  - CAN0 受信完了割り込み
  - CAN0 送信完了割り込み
  - CAN0 受信 FIFO 割り込み
  - CAN0 送信 FIFO 割り込み
  - CAN0 エラー割り込み

CAN モジュールは、表 32.2 に示す端子で通信を行います。これらは、本 MCU の他の信号との兼用端子です。詳細は、「20. I/O ポート」を参照してください。

表 32.2 CANの入出力端子

端子名	入出力	機能
CRX0	入力	データ受信端子
CTX0	出力	データ送信端子

## 32.2 レジスタの説明

## 32.2.1 コントロールレジスタ (CTRLR)

アドレス CAN0.CTRLR 4005 0840h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RBOC	BOM[1:0]	SLPM	CANM[1:0]	TSPS[1:0]	TSRC	TPM	MLM	IDFM[1:0]	MBM				
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBM	CAN メールボックスモード選択 (注1)	0 : 通常メールボックスモード 1 : FIFOメールボックスモード	R/W
b2-b1	IDFM[1:0]	IDフォーマットモード選択 (注1)	b2 b1 0 0 : 標準IDモード FIFOメールボックスを含むすべてのメールボックスは標準IDのみを処理します。 0 1 : 拡張IDモード FIFOメールボックスを含むすべてのメールボックスは拡張IDのみを処理します。 1 0 : ミックスIDモード FIFOメールボックスを含むすべてのメールボックスは標準IDと拡張IDの両方を処理します。通常メールボックスモードでは、対応するIDEビットを使用して標準IDと拡張IDを識別してください。FIFOメールボックスモードでは、対応するIDEビットはメールボックス0~23用に使用します。FIDCR0およびFIDCR1レジスタのIDEビットは受信FIFO用に、メールボックス24に対応するIDEビットは送信FIFO用に使用します。 1 1 : 設定禁止	R/W
b3	MLM	メッセージロストモード選択 (注1)	0 : オーバーライトモード 1 : オーバーランモード	R/W
b4	TPM	送信優先順位モード選択 (注1)	0 : ID優先送信モード 1 : メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリセットコマンド (注4)	0 : タイムスタンプカウンタをリセットしない 1 : タイムスタンプカウンタをリセットする (注3)	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケアラ選択 (注1)	b7 b6 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	R/W
b9-b8	CANM[1:0]	CANオペレーションモード選択 (注5)	b9 b8 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CAN haltモード 1 1 : CANリセットモード (強制遷移)	R/W
b10	SLPM	CANスリープモード (注5) (注6)	0 : スリープモードから復帰 1 : スリープモードへ遷移	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード (注1)	b12 b11 0 0 : 通常モード (ISO11898-1仕様準拠) 0 1 : バスオフ状態開始で自動的にCAN haltモードへ遷移 1 0 : バスオフ状態終了で自動的にCAN haltモードへ遷移 1 1 : ソフトウェア要求によりバスオフ復帰期間中にCAN haltモードへ遷移	R/W
b13	RBOC	バスオフからの強制復帰 (注2)	0 : 復帰しない 1 : バスオフ状態から強制復帰 (注3)	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、およびMBMビットへの書き込みは、CANリセットモード時に行ってください。

注2. RBOCビットはバスオフ状態で1にしてください。

- 注3. このビットは、1にした後、自動的に0になります。読むと0が読めます。
- 注4. TSRC ビットは CAN オペレーションモード時に 1 にしてください。
- 注5. CANM[1:0] および SLPM ビットを変更した場合は、STR レジスタでモードが切り替わったことを確認してください。モードが切り替わるまで、CANM[1:0] ビットまたは SLPM ビットを変更しないでください。
- 注6. SLPM ビットへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。SLPM ビットを変更する場合は、SLPM ビットのみで 0 または 1 を書いてください。

### MBM ビット (CAN メールボックスモード選択)

MBM ビットが 0 (通常メールボックスモード) の場合、メールボックス 0 ~ 31 は送信または受信メールボックスに設定されます。

MBM ビットが 1 (FIFO メールボックスモード) の場合

- メールボックス 0 ~ 23 は送信または受信メールボックスに設定される
- メールボックス 24 ~ 27 は送信 FIFO に設定される
- メールボックス 28 ~ 31 は受信 FIFO に設定される
- 送信データは、メールボックス 24 (送信 FIFO のウィンドウメールボックス) に書き込まれる
- 受信データは、メールボックス 28 (受信 FIFO のウィンドウメールボックス) から読み出される

表 32.3 にメールボックスの構成を示します。

### IDFM[1:0] ビット (ID フォーマットモード選択)

IDFM[1:0] ビットは、ID フォーマットを指定します。

### MLM ビット (メッセージロストモード選択)

MLM ビットは、未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。いずれの場合も、選択したモードが受信 FIFO を含めたすべてのメールボックスに適用されます。

MLM ビットが 0 の場合、すべてのメールボックスはオーバーライトモードになります。新しいメッセージを受信すると、それによって既存のメッセージが上書きされます。

MLM ビットが 1 の場合、すべてのメールボックスはオーバーランモードになります。新しいメッセージを受信すると、それは既存のメッセージを上書きすることなく、破棄されます。

### TPM ビット (送信優先順位モード選択)

TPM ビットは、メッセージを送信する場合の優先順位を指定します。ID 優先送信モードまたはメールボックス番号送信モードから選択できます。すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信のどちらかになります。

TPM ビットが 0 の場合、ID 優先送信モードが選択され、送信優先順位は ISO11898-1 の CAN 仕様に定められているように調停されます。ID 優先送信モードでは、メールボックス 0 ~ 31 (通常メールボックスモード時)、メールボックス 0 ~ 23 (FIFO メールボックスモード時)、および送信 FIFO が、送信用に設定されたメールボックスの ID と比較されます。2 つ以上のメールボックス ID が同一であると、小さい番号のメールボックスが優先されます。

送信 FIFO から送信される次のメッセージのみが、送信アービトレーションの対象となります。FIFO メッセージを送信中の場合、送信 FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

TPM ビットが 1 の場合、メールボックス番号送信モードが選択され、一番小さい番号の送信メールボックスが最優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス (0 ~ 23) よりも優先順位が低くなります。

### TSRC ビット (タイムスタンプカウンタリセットコマンド)

TSRC ビットは、タイムスタンプカウンタをリセットします。TSRC ビットを 1 にすると、TSR レジスタが 0000h になります。TSRC ビットは、自動的に 0 になります。

### TSPS[1:0] ビット (タイムスタンププリスケアラ選択)

TSPS[1:0] ビットは、タイムスタンプ用のプリスケアラを選択します。タイムスタンプ用の基準クロック

は、1、2、4、または8ビットタイム期間から選択できます。

### CANM[1:0] ビット (CAN オペレーションモード選択)

CANM[1:0] ビットは、CAN モジュールのモードを下記から1つ選択します。

- CAN オペレーションモード
- CAN リセットモード
- CAN halt モード

CAN スリープモードはSLPM ビットで設定します。詳細は、[32.3 動作モード](#)を参照してください。

CAN モジュールが、BOM[1:0] ビットの設定値に基づいてCAN halt モードへ遷移した場合、CANM[1:0] ビットは自動的に10bになります。

### SLPM ビット (CAN スリープモード)

SLPM ビットを1にすると、CAN モジュールはCAN スリープモードへ遷移します。SLPM ビットを0にすると、CAN モジュールはCAN スリープモードから復帰します。詳細は、[32.3 動作モード](#)を参照してください。

### BOM[1:0] ビット (バスオフ復帰モード)

BOM[1:0] ビットは、CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが00bの場合、ISO11898-1仕様に準拠してバスオフから復帰します。CAN モジュールは、11の連続するレセシブビットを128回検出すると、CAN 通信 (エラーアクティブ状態) を回復させます。バスオフからの復帰時に、バスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが01bの場合、CAN モジュールがバスオフ状態に達すると、CTRL.CANM[1:0] ビットが10bになりCAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタとRECR レジスタが00hになります。

BOM[1:0] ビットが10bの場合、CAN モジュールがバスオフ状態に達すると、ただちにCANM[1:0] ビットが10bになります。CAN モジュールは、バスオフ状態から復帰した後 (11の連続するレセシブビットを128回検出した後)、CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタとRECR レジスタは00hになります。

BOM[1:0] ビットが11bの場合、CAN モジュールがまだバスオフ状態のときにCANM[1:0] ビットを10bにすると、CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタとRECR レジスタが00hになります。ただし、CANM[1:0] ビットを10bにする前に、11の連続するレセシブビットを128回検出してCAN モジュールがバスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CAN モジュールがCAN halt モードへ遷移しようとしたとき (BOM[1:0] ビット=01bのときはバスオフ開始時、BOM[1:0] ビット=10bのときはバスオフ終了時)、同時にCPUがCAN リセットモードへの遷移を要求した場合は、CPU要求のCAN リセットモードへの遷移が優先されます。

### RBOC ビット (バスオフからの強制復帰)

バスオフ状態のときRBOC ビットを1にすると、CAN モジュールは強制的にバスオフ状態を終了させます。RBOC ビットは自動的に0になり、エラー状態はバスオフからエラーアクティブに変化します。RBOC ビットを1にすると、RECRおよびTECR レジスタが00hになり、STR.BOST ビットが0になって、バスオフ状態ではないことを示します。他のレジスタはRBOC ビットを1にしても変化しません。このバスオフ状態からの復帰によって、バスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM[1:0] ビットが00b (通常モード) の場合にのみ使用してください。

表 32.3 メールボックスの構成

メールボックス	MBMビット=0 (通常メールボックスモード)	MBMビット=1 (注1) ~ (注5) (FIFOメールボックスモード)
メールボックス0~23	通常メールボックス	通常メールボックス
メールボックス24~27		送信FIFO
メールボックス28~31		受信FIFO

- 注 1. 送信 FIFO は TFCR レジスタで制御します。メールボックス 24 ~ 27 に対応する MCTL\_TXj レジスタは無効です。MCTL\_TX24 ~ MCTL\_TX27 レジスタは送信 FIFO では使用できません。
- 注 2. 受信 FIFO は RFCR レジスタで制御します。メールボックス 28 ~ 31 に対応する MCTL\_RXj レジスタは無効です。MCTL\_RX28 ~ MCTL\_RX31 レジスタは受信 FIFO では使用できません。
- 注 3. FIFO 割り込みについては、MIER\_FIFO レジスタの説明を参照してください。
- 注 4. メールボックス 24 ~ 31 に対応する MKIVLR レジスタのビットは無効です。これらのビットは 0 にしてください。
- 注 5. 送信および受信 FIFO は、データフレームとリモートフレームの両方に使用可能です。

参考資料



## 32.2.2 ビットコンフィグレーションレジスタ (BCR)

アドレス CAN0.BCR 4005 0844h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
TSEG1[3:0]				—	—	BRP[9:0]									
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	SJW[1:0]		—	TSEG2[2:0]			—	—	—	—	—	—	—	CCLKS
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CANクロックソース選択	0 : PCLKB (PLLクロックで生成) 1 : CANMCLK (メインクロックで生成)	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御	b10 b8 0 0 0 : 設定禁止 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	SJW[1:0]	同期ジャンプ幅制御	b13 b12 0 0 : 1Tq 0 1 : 2Tq 1 0 : 3Tq 1 1 : 4Tq	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b16	BRP[9:0]	ポーレートプリスケール選択 <sup>(注1)</sup>	CAN通信クロック (fCANCLK) の周波数を設定します。	R/W
b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b28	TSEG1[3:0]	タイムセグメント1制御	b31 b28 0 0 0 0 : 設定禁止 0 0 0 1 : 設定禁止 0 0 1 0 : 設定禁止 0 0 1 1 : 4Tq 0 1 0 0 : 5Tq 0 1 0 1 : 6Tq 0 1 1 0 : 7Tq 0 1 1 1 : 8Tq 1 0 0 0 : 9Tq 1 0 0 1 : 10Tq 1 0 1 0 : 11Tq 1 0 1 1 : 12Tq 1 1 0 0 : 13Tq 1 1 0 1 : 14Tq 1 1 1 0 : 15Tq 1 1 1 1 : 16Tq	R/W

Tq : Time Quantum

注1. SCKSCR.CKSEL[2:0] ビットが011b (メインクロック発振器選択) の場合、1未満の値を選択しないでください。

ビットタイミングの設定については、[32.4 データ転送レートの設定](#)を参照してください。BCR レジスタは、CAN リセットモードから CAN halt モードまたは CAN オペレーションモードへ遷移する前に設定してください。このレジスタは、いったん設定した後も、CAN リセットモードまたは CAN halt モード時に書き込みが可能です。32 ビットでリード/ライトアクセスする場合、ビット 0～7 を変更しないように行う必要があります。

#### **CCLKS ビット (CAN クロックソース選択)**

CCLKS ビットが 0 の場合、CAN クロックソース (fCAN) には、PLL 周波数シンセサイザで生成された周辺クロック (PCLKB) が使用されます。CCLKS ビットが 1 の場合、CAN クロックソース (fCAN) には、外部の EXTAL 端子で生成された CANMCLK が使用されます。

#### **TSEG2[2:0] ビット (タイムセグメント 2 制御)**

TSEG2[2:0] ビットは、フェーズバッファセグメント 2 (PHASE\_SEG2) の長さを Tq 値で指定します。2～8Tq の値が設定可能です。TSEG1[3:0] ビット値未満の値を設定してください。

#### **SJW[1:0] ビット (同期ジャンプ幅制御)**

SJW[1:0] ビットは、同期ジャンプ幅を Tq 値で指定します。1～4Tq の値が設定可能です。TSEG2[2:0] ビット値以下の値を設定してください。

#### **BRP[9:0] ビット (ポーレートプリスケール選択)**

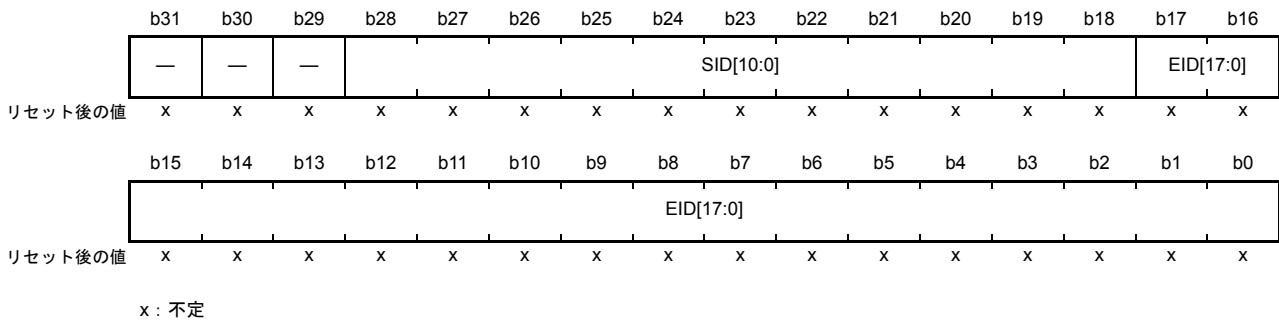
BRP[9:0] ビットは、CAN 通信クロック (fCANCLK) の周波数を設定します。fCANCLK の周期が 1Tq となります。設定値を P (0～1023) とすると、ポーレートプリスケールは fCAN を P+1 で分周します。

#### **TSEG1[3:0] ビット (タイムセグメント 1 制御)**

TSEG1[3:0] ビットは、プロパゲーションタイムセグメント (PROP\_SEG) とフェーズバッファセグメント 1 (PHASE\_SEG1) の合計長を Tq 値で指定します。4～16Tq の値が設定可能です。

### 32.2.3 マスクレジスタ k (MKRk) (k = 0 ~ 7)

アドレス CAN0.MKR0 4005 0400h ~ CAN0.MKR7 4005 041Ch



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	0: 対応するEID[17:0]ビットを比較しない 1: 対応するEID[17:0]ビットを比較する	R/W
b28-b18	SID[10:0]	標準ID	0: 対応するSID[10:0]ビットを比較しない 1: 対応するSID[10:0]ビットを比較する	R/W
b31-b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

FIFO メールボックスモードでのマスク機能については、[32.6 アクセプタンスフィルタ機能とマスク機能](#)を参照してください。

MKRk レジスタへの書き込みは、CAN リセットモードまたはCAN halt モード時に行ってください。

#### EID[17:0] ビット (拡張ID)

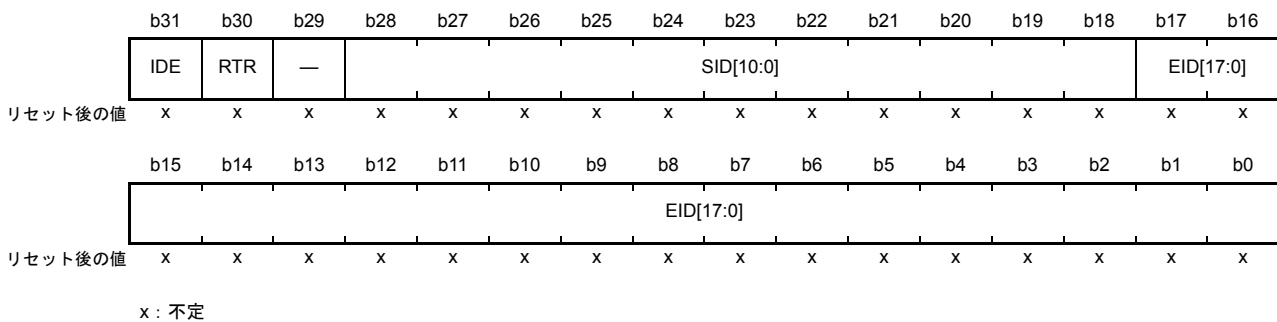
EID[17:0] ビットは、CAN 拡張ID ビットに対応するフィルタマスクビットです。拡張ID のメッセージを受信するために使用します。EID[17:0] ビットを0にした場合、受信した各ID ビットは、対応するメールボックスのID ビットと比較されません。EID[17:0] ビットを1にした場合、受信した各ID ビットは、対応するメールボックスのID ビットと比較されます。

#### SID[10:0] ビット (標準ID)

SID[10:0] ビットは、CAN 標準ID ビットに対応するフィルタマスクビットです。標準ID と拡張ID の両メッセージを受信するために使用します。SID[10:0] ビットを0にした場合、受信した各ID ビットは、対応するメールボックスのID ビットと比較されません。

## 32.2.4 FIFO 受信 ID 比較レジスタ 0、1 (FIDCR0、FIDCR1)

アドレス CAN0.FIDCR0 4005 0420h, CAN0.FIDCR1 4005 0424h



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	拡張IDビット [17:0]	R/W
b28-b18	SID[10:0]	標準ID	標準IDビット [10:0]	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	RTR	リモート送信要求	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID拡張(注1)	0: 標準ID 1: 拡張ID	R/W

注1. CTLR.IDFM[1:0] ビット値が 10b 以外の場合、IDE ビットには 0 を書いて、読むと 0 が読めるようにしてください。

FIDCR0 および FIDCR1 レジスタは、CTLR.MBM ビットを 1 (FIFO メールボックスモード) にした場合に有効です。FIFO メールボックスモードでは、MB28 ~ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、および IDE ビットは無効です。FIDCR0 および FIDCR1 レジスタへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。FIDCR0 および FIDCR1 レジスタの使用方法については、[32.6 アクセプタンスフィルタ機能とマスク機能](#)を参照してください。

**EID[17:0] ビット (拡張 ID)**

EID[17:0] ビットは、データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを受信するために使用します。

**SID[10:0] ビット (標準 ID)**

SID[10:0] ビットは、データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを受信するために使用します。

**RTR ビット (リモート送信要求)**

RTR ビットは、フレームフォーマットをデータフレームまたはリモートフレームに設定します。

- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 0 の場合、データフレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 1 の場合、リモートフレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビット同士が異なる値の場合、データフレームとリモートフレームの両方を受信

**IDE ビット (ID 拡張)**

IDE ビットは、ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTLR.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。

- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 0 の場合、標準 ID フレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 1 の場合、拡張 ID フレームのみ受信

- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビット同士が異なる値の場合、標準 ID フレームと拡張 ID フレームの両方を受信

### 32.2.5 マスク無効レジスタ (MKIVLR)

アドレス CAN0.MKIVLR 4005 0428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	マスク無効	0: マスク有効 1: マスク無効	R/W

MKIVLR レジスタの各ビットは、同じ番号のメールボックスに対応しています。MKIVLR レジスタのビット 0 はメールボックス 0 (MB0) に対応し、ビット 31 はメールボックス 31 (MB31) に対応しています。

注. FIFO メールボックスモード時は、ビット [31:24] を 0 にしてください。

MBn ビットを 1 にすると、対応するメールボックスのアクセプタンスマスクレジスタが無効になります。MBn ビットを 1 にすると、受信メッセージの ID がメールボックスの ID と完全に一致する場合にのみ、対応するメールボックスによってメッセージ受信が行われます。MKIVLR レジスタへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。

### 32.2.6 メールボックスレジスタ j (MBj\_ID、MBj\_DL、MBj\_Dm、MBj\_TS) (j = 0 ~ 31; m = 0 ~ 7)

表 32.4 に CAN0 メールボックスのメモリ配置を、表 32.5 に CAN データフレームの構成を示します。リセット後、CAN0 メールボックスの値は不定です。

MBj\_ID、MBj\_DL、MBj\_Dm、および MBj\_TS レジスタへの書き込みは、対応する MCTL\_TXj または MCTL\_RXj (j = 0 ~ 31) レジスタが 00h で、かつ対応するメールボックスがアポート要求を処理していない場合にのみ行ってください。具体的なレジスタアドレスについては、表 32.4 を参照してください。

表 32.4 CAN0 メールボックスのメモリ配置

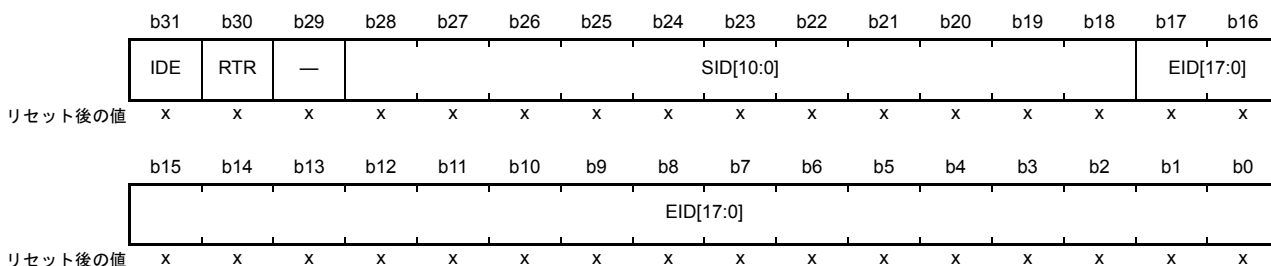
アドレス	メッセージ内容
CAN0	メモリ配置
4005 0200h + 16 × j + 0	IDE、RTR、SID10~SID6
4005 0200h + 16 × j + 1	SID5~SID0、EID17、EID16
4005 0200h + 16 × j + 2	EID15~EID8
4005 0200h + 16 × j + 3	EID7~EID0
4005 0200h + 16 × j + 4	—
4005 0200h + 16 × j + 5	データ長コード (DLC[3:0])
4005 0200h + 16 × j + 6	データバイト0
4005 0200h + 16 × j + 7	データバイト1
4005 0200h + 16 × j + 8	データバイト2
4005 0200h + 16 × j + 9	データバイト3
4005 0200h + 16 × j + 10	データバイト4
4005 0200h + 16 × j + 11	データバイト5
4005 0200h + 16 × j + 12	データバイト6
4005 0200h + 16 × j + 13	データバイト7
4005 0200h + 16 × j + 14	タイムスタンプ上位バイト
4005 0200h + 16 × j + 15	タイムスタンプ下位バイト

表 32.5 CAN データフレームの構成

SID10~SID6	SID5~SID0	EID17~EID16	EID15~EID8	EID7~EID0	DLC3~DLC1	DATA0	DATA1	...	DATA7
------------	-----------	-------------	------------	-----------	-----------	-------	-------	-----	-------

各メールボックスの内容は、新しいメッセージを受信しない限り、以前の値を保持します。

アドレス CAN0.MB0\_ID 4005 0200h ~ CAN0.MB31\_ID 4005 03F0h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID (注1)	拡張IDビット [17:0]	R/W
b28-b18	SID[10:0]	標準ID	標準IDビット [10:0]	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	RTR	リモート送信要求	0 : データフレーム 1 : リモートフレーム	R/W
b31	IDE	ID 拡張 (注2)	0 : 標準ID 1 : 拡張ID	R/W

- 注 1. メールボックスが標準 ID のメッセージを受信すると、そのメールボックスの EID ビット値は不定になります。  
 注 2. IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。CTRL.IDFM[1:0] ビット値が 10b 以外の場合、IDE ビットには 0 を書いて、読むと 0 が読めるようにしてください。

アドレス CAN0.MB0\_DL 4005 0204h ~ CAN0.MB31\_DL 4005 03F4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	DLC[3:0]			
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	データ長コード (注1)	b3    b0 0 0 0 0 : データ長 = 0 バイト 0 0 0 1 : データ長 = 1 バイト 0 0 1 0 : データ長 = 2 バイト 0 0 1 1 : データ長 = 3 バイト 0 1 0 0 : データ長 = 4 バイト 0 1 0 1 : データ長 = 5 バイト 0 1 1 0 : データ長 = 6 バイト 0 1 1 1 : データ長 = 7 バイト 1 x x x : データ長 = 8 バイト	R/W
b15-b4	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

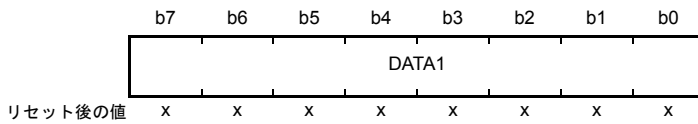
x : Don't care

- 注 1. メールボックスが、8 バイト未満のデータ長のメッセージを受信すると、そのデータ長値を超える DATA バイトは不定になります。

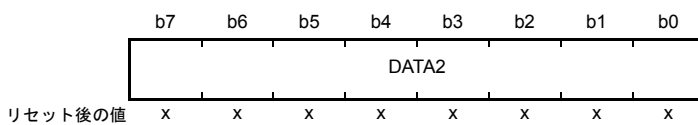
アドレス [CAN0.MB0\\_D0 4005 0206h](#)～[CAN0.MB31\\_D0 4005 03F6h](#)



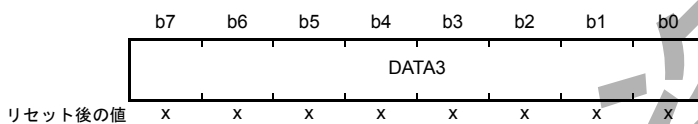
アドレス [CAN0.MB0\\_D1 4005 0207h](#)～[CAN0.MB31\\_D1 4005 03F7h](#)



アドレス [CAN0.MB0\\_D2 4005 0208h](#)～[CAN0.MB31\\_D2 4005 03F8h](#)



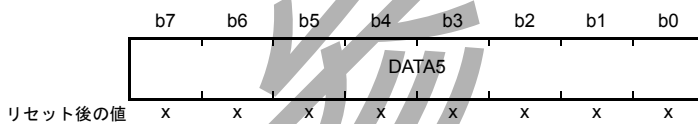
アドレス [CAN0.MB0\\_D3 4005 0209h](#)～[CAN0.MB31\\_D3 4005 03F9h](#)



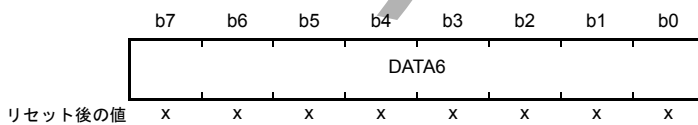
アドレス [CAN0.MB0\\_D4 4005 020Ah](#)～[CAN0.MB31\\_D4 4005 03FAh](#)



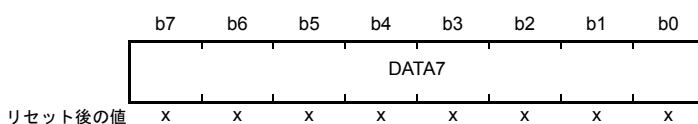
アドレス [CAN0.MB0\\_D5 4005 020Bh](#)～[CAN0.MB31\\_D5 4005 03FBh](#)



アドレス [CAN0.MB0\\_D6 4005 020Ch](#)～[CAN0.MB31\\_D6 4005 03FCh](#)



アドレス [CAN0.MB0\\_D7 4005 020Dh](#)～[CAN0.MB31\\_D7 4005 03FDh](#)



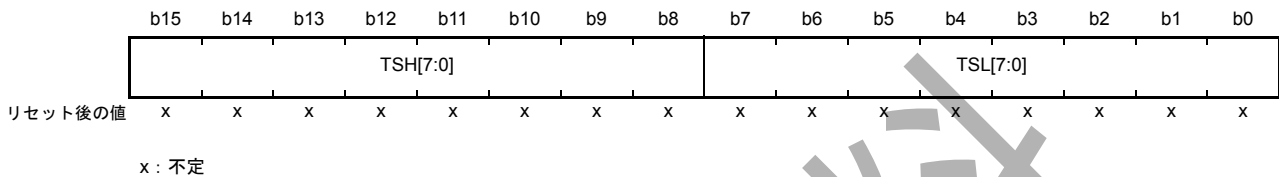
x: 不定



ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0 ~ DATA7	データバイト0~7 (注1) (注2)	DATA0~7は送信または受信したCANメッセージデータを格納します。送受信は、DATA0から開始されます。CANバス上のビットオーダーはMSBファーストであり、ビット7から送受信が開始されます。	R/W

- 注1. メールボックスがnバイト (nは8未満) のメッセージを受信した場合、メールボックスの DATAn ~ DATA7の値は不定です。たとえば、受信データ長が6バイトであれば、DATA6とDATA7の値は不定です。
- 注2. メールボックスがリモートフレームを受信した場合、そのメールボックスの DATA0 ~ DATA7は以前の値を保持します。

アドレス CAN0.MB0\_TS 4005 020Eh ~ CAN0.MB31\_TS 4005 03FEh



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]ビットとTSL[7:0]ビットは、受信メッセージがメールボックスに取り込まれた時点のタイムスタンプのカウント値を格納します。	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

### EID[17:0] ビット (拡張 ID)

EID[17:0] ビットは、データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを送受信するために使用します。

### SID[10:0] ビット (標準 ID)

SID[10:0] ビットは、データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを送受信するために使用します。

### RTR ビット (リモート送信要求)

RTR ビットは、フレームフォーマットをデータフレームまたはリモートフレームに設定します。

- 受信メールボックスは、RTR ビットで指定されたフォーマットのフレームのみを受信する
- 送信メールボックスは、RTR ビットで指定されたフレームフォーマットで送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの RTR ビットで指定されたデータフレーム、リモートフレーム、またはその両方を受信する
- 送信 FIFO メールボックスは、送信メッセージ内の RTR ビットで指定されたデータフレームまたはリモートフレームを送信する

### IDE ビット (ID 拡張)

IDE ビットは、ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。

- 受信メールボックスは、IDE ビットで指定された ID フォーマットのみを受信する
- 送信メールボックスは、IDE ビットで指定された ID フォーマットで送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの IDE ビットで指定された標準 ID と拡張 ID の設定でメッセージを受信する
- 送信 FIFO メールボックスは、送信メッセージ内の IDE ビットで指定された標準 ID または拡張 ID の設定でメッセージを送信する

### DLC[3:0] ビット (データ長コード)

DLC[3:0] ビットは、データフレームで送信されるデータ長を指定します。リモートフレームを使用してデータを要求する場合、DLC[3:0] ビットは要求するデータ長を指定します。

データフレームを受信した場合、DLC[3:0] ビットには受信したデータ長が格納されます。リモートフレームを受信した場合、DLC[3:0] ビットは要求したデータ長を格納します。

## 32.2.7 メールボックス割り込みイネーブルレジスタ (MIER)

アドレス CAN0.MIER 4005 042Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	割り込み許可	0: 割り込み禁止 1: 割り込み許可 ビット31はメールボックス31 (MB31) に、ビット0はメールボックス0 (MB0) に対応しています。	R/W

MIER レジスタは、メールボックスごとに個別に割り込みを許可できます。このレジスタは、通常メールボックスモードで利用可能です。FIFO メールボックスモードでは、このレジスタにアクセスしないでください。

各ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みと受信完了割り込みを許可または禁止します。

- MIER レジスタのビット 0 はメールボックス 0 (MB0) に対応
- MIER レジスタのビット 31 はメールボックス 31 (MB31) に対応

MIER レジスタへの書き込みは、関連する MCTL\_TXj または MCTL\_RXj (j=0 ~ 31) レジスタが 00h で、かつ対応するメールボックスが送受信アポート要求を処理していない場合にのみ行ってください。

### 32.2.8 FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ (MIER\_FIFO)

アドレス CAN0.MIER\_FIFO 4005 042Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	MB29	MB28	—	—	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b23-b0	MB23 ~ MB0	割り込み許可	0: 割り込み禁止 1: 割り込み許可 ビット23はメールボックス23 (MB23) に、ビット0はメールボックス0 (MB0) に対応しています。	R/W
b24	MB24	送信FIFO割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b25	MB25	送信FIFO割り込み発生タイミング制御	0: 送信完了ごとに発生 1: 送信完了時に送信FIFOが空になると発生	R/W
b27-b26	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b28	MB28	受信FIFO割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b29	MB29	受信FIFO割り込み発生タイミング制御 <sup>(注1)</sup>	0: 受信完了ごとに発生 1: 受信完了により受信FIFOがバッファワーニング <sup>(注2)</sup> になると発生	R/W
b31-b30	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

注1. 受信FIFOがフルからバッファワーニングになっても、割り込み要求は発生しません。

注2. バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

MIER\_FIFO レジスタは、メールボックスごと、FIFO ごとに個別に割り込みを許可できます。このレジスタは、FIFO メールボックスモードで利用可能です。通常メールボックスモードでは、このレジスタにアクセスしないでください。

MB0 ~ MB23 ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みと受信完了割り込みを許可または禁止します。

- ビット0はメールボックス0 (MB0) に対応
- ビット23はメールボックス23 (MB23) に対応

MB24、MB25、MB28、MB29の各ビットは、送信/受信FIFO割り込みを許可するか否か、および割り込み要求のタイミングを指定します。

MIER\_FIFO レジスタへの書き込みは、関連する MCTL\_TXj または MCTL\_RXj (j=0 ~ 31) レジスタが 00h で、かつ対応するメールボックスが送受信アポート要求を処理していない場合にのみ行ってください。また、関連するFIFOのMIER\_FIFOレジスタのビットは、下記のすべての条件が成立する場合にのみ変更してください。

- TFCR.TFE ビットが0で、かつ TFCR.TFEST ビットが1
- RFCR.RFE ビットが0で、かつ RFCR.RFEST ビットが1

### 32.2.9 送信用メッセージコントロールレジスタ (MCTL\_TXj) (j = 0 ~ 31)

- 送信モード (TRMREQ ビットが1、RECREQ ビットが0の場合)

アドレス CAN0.MCTL\_TX[0] 4005 0820h ~ CAN0.MCTL\_TX[31] 4005 083Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ (注1) (注2)	0: 送信未完了 1: 送信完了	R/W
b1	TRMACTIVE	送信中ステータスフラグ	0: 送信待機中または送信要求なし 1: 送信中	R
b2	TRMABT	送信アボート完了フラグ (注1) (注2)	0: 送信開始、送信完了により送信アボート失敗、または送信アボート要求なし 1: 送信アボート完了	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ONESHOT	ワンショット許可 (注2) (注3)	0: ワンショット送信禁止 1: ワンショット送信許可	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RECREQ	受信メールボックス要求 (注2) (注3) (注4) (注5)	0: 受信用に設定しない 1: 受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求 (注2) (注4)	0: 送信用に設定しない 1: 送信用に設定する	R/W

- 注1. 0のみ書けます。1の書き込みは無効です。
- 注2. このレジスタの各ビットに書き込む際は、SENTDATA および TRMABT ビットが書き込み対象でない場合、これらのビットには1を書き込んでください。
- 注3. ワンショット送信モードへ移行するには、TRMREQ ビットを1にすると同時に、ONESHOT ビットに1を書いてください。ワンショット送信モードを解除するには、メッセージが送信またはアボートされた後、ONESHOT ビットに0を書いてください。
- 注4. RECREQ ビットと TRMREQ ビットの両方を1にしないでください。
- 注5. RECREQ ビットを0にするときは、SENTDATA、TRMACTIVE、および TRMABT ビットを同時に0にしてください。

MCTL\_TXj レジスタは、メールボックスjを送信モードまたは受信モードに設定します。送信モードの場合、MCTL\_TXj レジスタは送信状態の制御と表示も行います。メールボックスjが受信モードの場合は、MCTL\_TXj レジスタにアクセスしないでください。MCTL\_TXj への書き込みは、必ず CAN オペレーションモードまたは CAN halt モード時に行ってください。FIFO メールボックスモードでは、MCTL\_TX24 ~ MCTL\_TX31 レジスタを使用しないでください。

#### SENTDATA フラグ (送信完了フラグ)

SENTDATA フラグは、対応するメールボックスからのデータ送信が完了すると1になります。SENTDATA フラグは、ソフトウェア書き込みで0になります。

SENTDATA フラグを0にする場合、最初に TRMREQ ビットを0にしてください。SENTDATA ビットと TRMREQ ビットを同時に0にすることはできません。対応するメールボックスから新しいメッセージを送信するには、SENTDATA フラグを0にしてください。

#### TRMACTIVE フラグ (送信中ステータスフラグ)

TRMACTIVE フラグは、CAN モジュールの対応するメールボックスがメッセージ送信を開始すると1になります。TRMACTIVE フラグは、CAN モジュールで CAN バスアービトラレションロストが発生するか、CAN バスエラーが発生するか、あるいはデータ送信が完了すると0になります。

### TRMABT フラグ (送信アボート完了フラグ)

TRMABT フラグは、以下の場合に 1 になります。

- 送信アボート要求に続いて、送信開始前に送信アボートが完了したとき
- 送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき
- ワンショット送信モード時 (RECREQ=0、TRMREQ=1、ONESHOT=1) に、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき

TRMABT フラグは、データ送信が完了しても 1 にはなりません。TRMABT フラグは、ソフトウェア書き込みで 0 になります。

### ONESHOT ビット (ワンショット許可)

送信モード時 (RECREQ=0、TRMREQ=1) に ONESHOT ビットを 1 にすると、CAN モジュールはメッセージを 1 回だけ送信します。CAN バスエラーまたは CAN バスアービトレーションロストが発生しても、CAN モジュールはメッセージを再送信しません。送信が完了したとき、SENTDATA フラグが 1 になります。CAN バスエラーまたは CAN バスアービトレーションロストが原因で送信が完了しないと、TRMABT フラグが 1 になります。ONESHOT ビットは、SENTDATA または TRMABT ビットが 1 になった後に 0 にしてください。

### RECREQ ビット (受信メールボックス要求)

RECREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

ハードウェアプロテクトのため、下記の期間中、RECREQ ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始される時 (CRC フィールドの始まり)
- ハードウェアプロテクトが解除される時
  - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります。
  - その他のメールボックスは、アクセプタンスフィルタ処理後
  - メッセージの受信用に指定されたメールボックスがない場合、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合、最初に送信をアボートし、次に SENTDATA ビットと TRMABT ビットを 0 にしてから、受信に変更してください。

注 . MCTL\_TXj.RECREQ は、MCTL\_RXj.RECREQ のミラービットです。

**TRMREQ ビット (送信メールボックス要求)**

TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

TRMREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合、最初に受信をアボートし、次に NEWDATA ビットと MSGLOST ビットを 0 にしてから、送信に変更してください。

注. MCTL\_TXj.TRMREQ は、MCTL\_RXj.TRMREQ のミラービットです。

参考資料

## 32.2.10 受信メッセージコントロールレジスタ (MCTL\_RXj) (j = 0 ~ 31)

- 受信モード (TRMREQ ビットが0、RECREQ ビットが1の場合)

アドレス CAN0.MCTL\_RX[0] 4005 0820h ~ CAN0.MCTL\_RX[31] 4005 083Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALIDATA	NEWDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEWDATA	受信完了フラグ (注1) (注2)	0: 受信データなし、またはこのビットに0を書いた場合 1: 新しいメッセージをメールボックスに格納中または格納済み	R/W
b1	INVALIDATA	受信中ステータスフラグ	0: メッセージは有効 1: メッセージを更新	R
b2	MSGLOST	メッセージロストフラグ (注1) (注2)	0: メッセージのオーバーライトまたはオーバーランなし 1: メッセージのオーバーライトまたはオーバーランあり	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ONESHOT	ワンショット許可 (注2) (注3)	0: ワンショット受信禁止 1: ワンショット受信許可	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RECREQ	受信メールボックス要求 (注2) (注3) (注4) (注5)	0: 受信用に設定しない 1: 受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求 (注2) (注4)	0: 送信用に設定しない 1: 送信用に設定する	R/W

- 注1. 0のみ書けます。1の書き込みは無効です。
- 注2. このレジスタの各ビットに書き込む際は、NEWDATA および MSGLOST ビットが書き込み対象でない場合、これらのビットには1を書いてください。
- 注3. ワンショット受信モードへ遷移するには、RECREQ ビットを1にすると同時に、ONESHOT ビットに1を書いてください。ワンショット受信モードを解除するには、RECREQ ビットに0を書いた後、RECREQ ビットが0であることを確認してから ONESHOT ビットに0を書いてください。
- 注4. RECREQ ビットと TRMREQ ビットの両方を1にしないでください。
- 注5. RECREQ ビットを0にする場合、MSGLOST、NEWDATA、および RECREQ ビットを同時に0にしてください。

MCTL\_RXj レジスタは、メールボックス j を送信モードまたは受信モードに設定します。受信モードの場合、MCTL\_RXj レジスタは受信状態の制御と表示も行います。

メールボックス j が送信モードの場合は、MCTL\_RXj レジスタにアクセスしないでください。MCTL\_RXj レジスタへの書き込みは、必ず CAN オペレーションモードまたは CAN halt モード時に行ってください。FIFO メールボックスモードでは、MCTL\_RX[24] ~ MCTL\_RX[31] レジスタを使用しないでください。

#### NEWDATA フラグ (受信完了フラグ)

NEWDATA フラグは、新しいメッセージをメールボックスに格納中または格納済みのときに1になります。NEWDATA が1になるタイミングは、INVALIDATA フラグと同時です。NEWDATA フラグは、ソフトウェア書き込みで0になります。対応する INVALIDATA フラグが1の場合、NEWDATA フラグをソフトウェア書き込みで0にすることはできません。

### INVALIDDATA フラグ (受信中ステータスフラグ)

INVALIDDATA フラグは、メッセージの受信完了後、対応するメールボックスで受信したメッセージが更新中であるとき 1 になります。INVALIDDATA フラグは、メッセージが格納された直後に 0 になります。INVALIDDATA フラグが 1 のときにメールボックスを読み出すと、そのデータは不定です。

### MSGLOST フラグ (メッセージロストフラグ)

MSGLOST フラグは、NEWDATA フラグが 1 のとき、メールボックスが新しい受信メッセージでオーバーライトまたはオーバーランされると 1 になります。MSGLOST フラグは、EOF の 6 ビット目の終わりで 1 になります。MSGLOST フラグは、ソフトウェア書き込みで 0 になります。

オーバーライトモードとオーバーランモードの両方において、EOF の 6 ビット目の終わりから、周辺モジュールクロック (PCLKB) の 5 サイクルの間は、MSGLOST フラグをソフトウェア書き込みで 0 にすることはできません。

### ONESHOT ビット (ワンショット許可)

受信モード時 (RECREQ=1、TRMREQ=0) に ONESHOT ビットを 1 にすると、メールボックスはメッセージを 1 回だけ受信します。メールボックスがメッセージを受信した後は、受信メールボックスとしては動作しません。NEWDATA フラグと INVALIDDATA フラグの動作は、通常の実受信モードと同じです。ワンショット受信モードでは、MSGLOST フラグは 1 にはなりません。ONESHOT ビットを 0 にする場合、最初に RECREQ ビットに 0 を書いて、RECREQ ビットが 0 であることを確認してから行ってください。

### RECREQ ビット (受信メールボックス要求)

RECREQ ビットを 1 にすると、対応するメールボックスがデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

ハードウェアプロテクトのため、下記の期間中、RECREQ ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始される時 (CRC フィールドの始まり)
- ハードウェアプロテクトが解除される時
  - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります。
  - その他のメールボックスでは、アクセプタンスフィルタ処理後
  - メッセージの受信用に指定されたメールボックスがない場合、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合、最初に送信をアボートし、次に SENTDATA ビットと TRMABT ビットを 0 にしてから、受信に変更してください。

注. MCTL\_RXj.RECREQ は、MCTL\_TXj.RECREQ のミラービットです。

### TRMREQ ビット (送信メールボックス要求)

TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。

TRMREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されません。

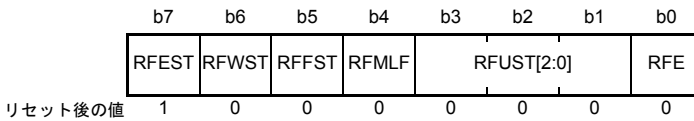
TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合、最初に受信をアボートし、次に NEWDATA ビットと MSGLOST ビットを 0 にしてから、送信に変更してください。

注. MCTL\_RXj.TRMREQ は、MCTL\_TXj.TRMREQ のミラービットです。



## 32.2.11 受信 FIFO コントロールレジスタ (RFCR)

アドレス CAN0.RFCR 4005 0848h



ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO 許可	0: 受信 FIFO 禁止 1: 受信 FIFO 許可	R/W
b3-b1	RFUST[2:0]	受信 FIFO 未読メッセージ数ステータス	b3 b1 0 0 0: 未読メッセージなし 0 0 1: 未読メッセージ1件あり 0 1 0: 未読メッセージ2件あり 0 1 1: 未読メッセージ3件あり 1 0 0: 未読メッセージ4件あり 1 0 1: 予約ビット 1 1 0: 予約ビット 1 1 1: 予約ビット	R
b4	RFMLF	受信 FIFO メッセージロストフラグ	0: 受信 FIFO メッセージロスト発生なし 1: 受信 FIFO メッセージロスト発生あり	R/W
b5	RFFST	受信 FIFO フルステータスフラグ	0: 受信 FIFO はフルでない 1: 受信 FIFO はフル (未読メッセージ4件)	R
b6	RFWST	受信 FIFO バッファワーニングステータスフラグ	0: 受信 FIFO はバッファワーニングでない 1: 受信 FIFO はバッファワーニング (未読メッセージ3件)	R
b7	RFEST	受信 FIFO 空ステータスフラグ	0: 受信 FIFO に未読メッセージあり 1: 受信 FIFO に未読メッセージなし	R

RFCR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

**RFE ビット (受信 FIFO 許可)**

RFE ビットを 1 にすると、受信 FIFO が許可されます。

RFE ビットを 0 にすると、受信 FIFO は受信禁止になり、空状態 (RFEST ビット = 1) になります。RFMLF ビットの設定と同時に RFE ビットに 0 を書いてください。

通常メールボックスモード (CTRL.MBM = 0) では、RFE ビットを 1 にしないでください。

ハードウェアプロテクトのため、下記の期間中、RFE ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始されるとき (CRC フィールドの始まり)
- ハードウェアプロテクトが解除されるとき
  - メッセージの受信用に受信 FIFO が指定されている場合に、受信したデータが受信 FIFO に格納された後、または CAN バスエラーが発生した後。ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります。
  - メッセージの受信用に受信 FIFO が指定されていない場合は、アクセプタンスフィルタ処理後

**RFUST[2:0] ビット (受信 FIFO 未読メッセージ数ステータス)**

RFUST[2:0] ビットは、受信 FIFO 内の未読メッセージの数を示します。RFE ビットを 0 にすると、RFUST[2:0] ビットの値は 000b に初期化されます。

### RFMLF フラグ (受信 FIFO メッセージロストフラグ)

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF ビットは 1 (受信 FIFO メッセージロスト発生あり) になります。EOF の 6 ビット目の終わりで 1 になります。

RFMLF フラグは、ソフトウェア書き込みで 0 になります (1 の書き込みは無効です)。オーバーライトモードとオーバーランモードの両方において、受信 FIFO がフルのときにメッセージを受信したことが確認された場合、ハードウェアプロテクトにより、EOF の 6 ビット目の終わりから、周辺モジュールクロック (PCLKB) の 5 サイクルの間は、RFMLF フラグをソフトウェア書き込みで 0 (受信 FIFO メッセージロスト発生なし) にすることができません。

### RFFST フラグ (受信 FIFO フルステータスフラグ)

受信 FIFO 内の未読メッセージの数が 4 件になると、RFFST フラグは 1 (受信 FIFO はフル) になります。受信 FIFO 内の未読メッセージの数が 4 件未満になると、RFFST フラグは 0 (受信 FIFO はフルでない) になります。RFE ビットが 0 の場合、RFFST フラグは 0 になります。

### RFWST フラグ (受信 FIFO バッファワーニングステータスフラグ)

受信 FIFO 内の未読メッセージの数が 3 件になると、RFWST フラグが 1 (受信 FIFO はバッファワーニング) になります。受信 FIFO 内の未読メッセージの数が 3 件未満または 4 件になると、RFWST フラグは 0 (受信 FIFO はバッファワーニングでない) になります。RFE ビットが 0 の場合、RFWST フラグは 0 になります。

### RFEST フラグ (受信 FIFO 空ステータスフラグ)

受信 FIFO 内に未読メッセージがなくなると、RFEST フラグは 1 (受信 FIFO に未読メッセージなし) になります。RFE ビットを 0 にすると、RFEST フラグは 1 になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、RFEST フラグは 0 (受信 FIFO に未読メッセージあり) になります。

図 32.2 に受信 FIFO メールボックスの動作を示します。

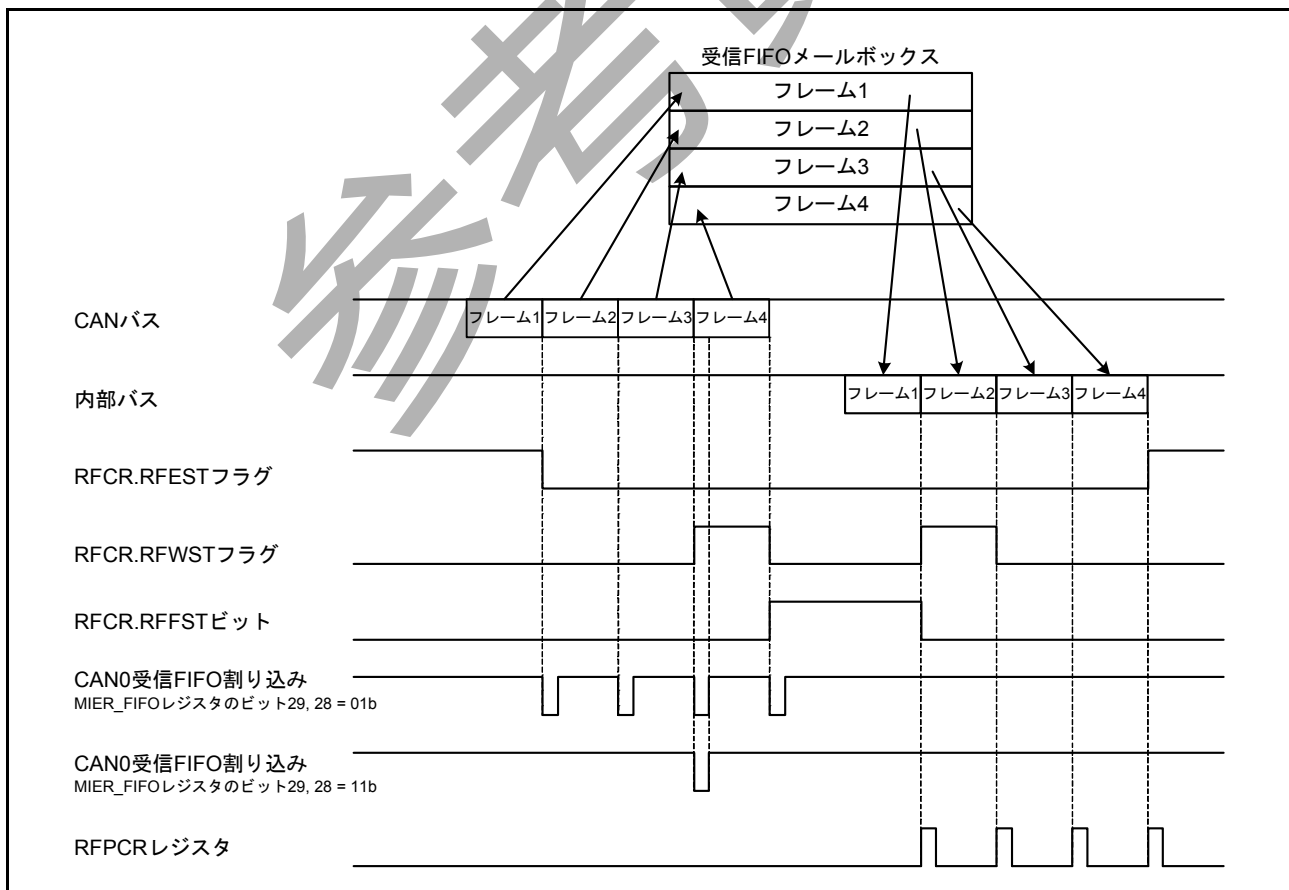
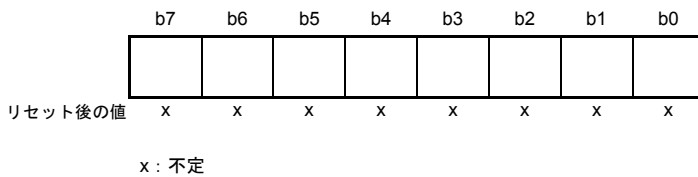


図 32.2 受信 FIFO メールボックスの動作 (MIER\_FIFO レジスタのビット 29、28 が 01b または 11b のとき)

## 32.2.12 受信 FIFO ポインタコントロールレジスタ (RFPCR)

アドレス CAN0.RFPCR 4005 0849h



ビット	機能	R/W
b7-b0	RFPCRにFFhを書き込むと、受信FIFOのCPUポインタが増加	W

受信 FIFO が空状態でないとき、CPU ポインタを増加させて次のメールボックス位置に移動させるには、RFPCR レジスタにソフトウェアで FFh を書いてください。RFPCR.RFE ビットが 0 (受信 FIFO 禁止) の場合、RFPCR レジスタに書き込みを行わないでください。

オーバーライトモードで RFFST ビットが 1 (受信 FIFO はフル) のときに新しいメッセージが受信されると、CAN ポインタと CPU ポインタの両方が増加します。この状態で RFMLF ビットが 1 のとき、RFPCR レジスタにソフトウェア書き込みを行っても CPU ポインタは増加しません。

参考資料

## 32.2.13 送信 FIFO コントロールレジスタ (TFCR)

アドレス CAN0.TFCR 4005 084Ah

b7	b6	b5	b4	b3	b2	b1	b0
TFEST	TFFST	—	—	TFUST[2:0]		TFE	
リセット後の値	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信 FIFO 許可	0 : 送信 FIFO 禁止 1 : 送信 FIFO 許可	R/W
b3-b1	TFUST[2:0]	送信 FIFO 未送信メッセージ数ステータス	b3 b1 0 0 0 : 未送信メッセージなし 0 0 1 : 未送信メッセージ1件 0 1 0 : 未送信メッセージ2件 0 1 1 : 未送信メッセージ3件 1 0 0 : 未送信メッセージ4件 1 0 1 : 予約ビット 1 1 0 : 予約ビット 1 1 1 : 予約ビット	R
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	TFFST	送信 FIFO フルスステータス	0 : 送信 FIFO はフルでない 1 : 送信 FIFO はフル (未送信メッセージ4件)	R
b7	TFEST	送信 FIFO 空ステータス	0 : 送信 FIFO に未送信メッセージあり 1 : 送信 FIFO に未送信メッセージなし	R

TFCR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

**TFE ビット (送信 FIFO 許可)**

TFE ビットを1にすると、送信 FIFO が許可されます。TFE ビットを0にすると、送信 FIFO は空状態 (TFEST ビット=1) になり、下記のように送信 FIFO から未送信メッセージが失われます。

- 送信 FIFO から次のメッセージ送信予定がなく、またはすでに送信中でもない場合はただちに
- 送信 FIFO から次のメッセージ送信予定があるか、またはすでに送信中の場合、送信完了、CAN バスエラー、CAN バスアービトラクションロスト、または CAN halt モードへの遷移の発生した時点

TFE ビットを再度1にする前に、TFEST ビットが1になっていることを確認してください。TFE ビットを1にした後、送信データを MB24 レジスタに書いてください。

通常メールボックスモード (CTRL.MBM ビット=0) では、TFE ビットを1にしないでください。

**TFUST[2:0] ビット (送信 FIFO 未送信メッセージ数ステータス)**

TFUST[2:0] ビットは、送信 FIFO 内の未送信メッセージの数を示します。TFE ビットを0にした後、送信アポートまたは送信が完了すると、TFUST[2:0] ビットは 000b になります。

**TFFST ビット (送信 FIFO フルスステータス)**

送信 FIFO 内の未送信メッセージの数が4件になると、TFFST ビットは1 (送信 FIFO はフル) になります。送信 FIFO 内の未送信メッセージの数が4件未満になると、TFFST ビットは0 (送信 FIFO はフルでない) になります。送信 FIFO の送信がアポートされると、TFFST ビットは0になります。

**TFEST ビット (送信 FIFO 空ステータス)**

送信 FIFO 内に未送信メッセージがなくなると、TFEST ビットは1 (送信 FIFO にメッセージなし) になります。送信 FIFO の送信がアポートされると、TFEST ビットは1になります。送信 FIFO 内の未送信メッセージの数が1件以上になると、TFEST ビットは0 (送信 FIFO にメッセージあり) になります。

図 32.3 に送信 FIFO メールボックスの動作を示します。

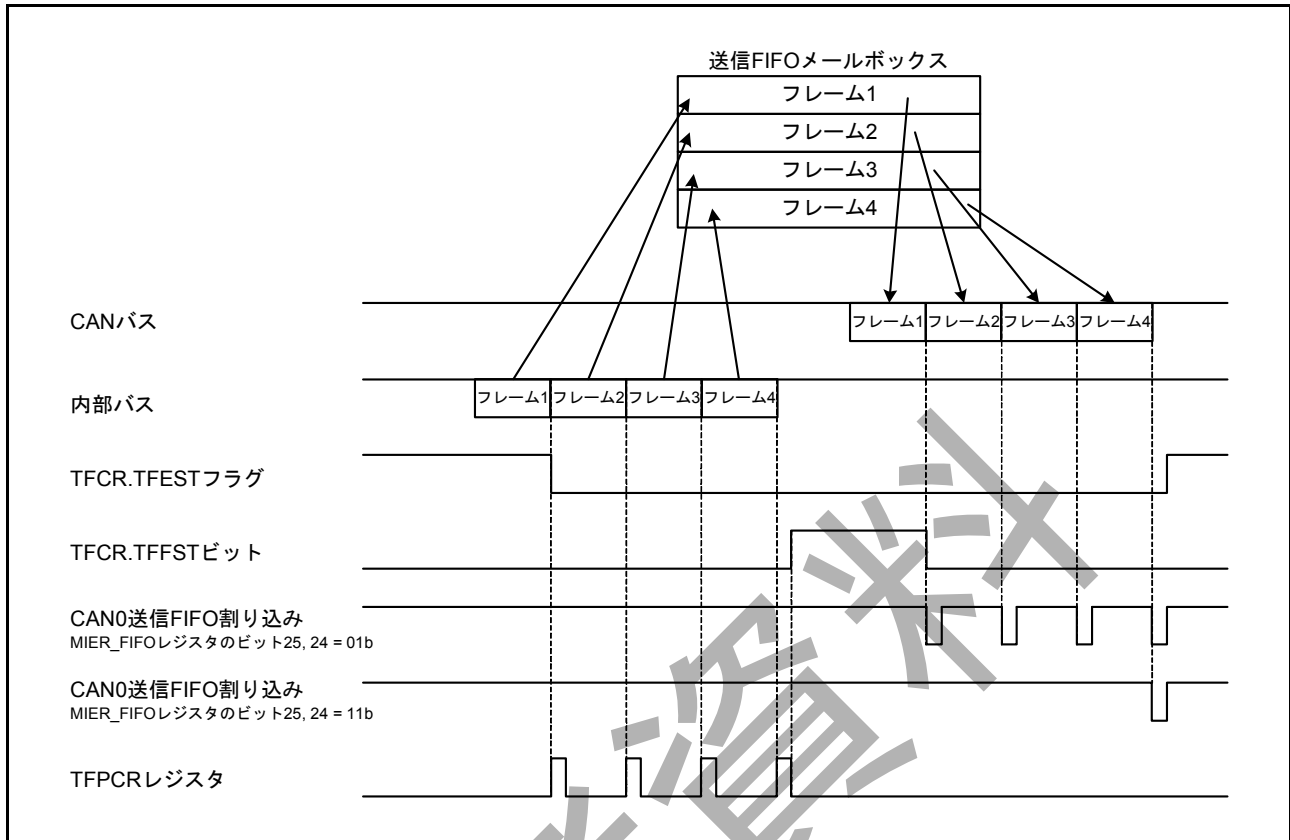
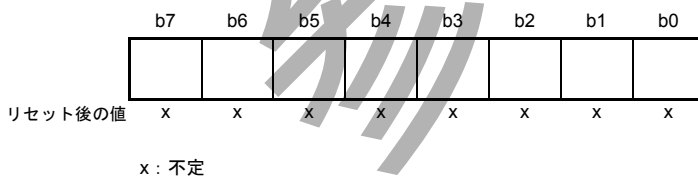


図 32.3 送信 FIFO メールボックスの動作 (MIER\_FIFO レジスタのビット 25、24 が 01b または 11b のとき)

### 32.2.14 送信 FIFO ポインタコントロールレジスタ (TFPCR)

アドレス CAN0.TFPCR 4005 084Bh



ビット	機能	R/W
b7-b0	TFPCRにFFhを書き込むと、送信 FIFO の CPU ポインタが増加	W

送信 FIFO がフルでないとき、送信 FIFO の CPU ポインタを増加させて次のメールボックス位置に移動させるには、ソフトウェアで TFPCR レジスタに FFh を書いてください。

TFCR.TFE ビットが 0 (送信 FIFO 禁止) の場合、TFPCR レジスタに書き込みを行わないでください。

## 32.2.15 ステータスレジスタ (STR)

アドレス CAN0.STR 4005 0842h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATA ステータスフラグ	0 : NEWDATA ビットが1のメールボックスなし 1 : NEWDATA ビットが1のメールボックスあり	R
b1	SDST	SENTDATA ステータスフラグ	0 : SENTDATA ビットが1のメールボックスなし 1 : SENTDATA ビットが1のメールボックスあり	R
b2	RFST	受信 FIFO ステータスフラグ	0 : 受信 FIFO にメッセージなし 1 : 受信 FIFO にメッセージあり	R
b3	TFST	送信 FIFO ステータスフラグ	0 : 送信 FIFO はフル 1 : 送信 FIFO はフルでない	R
b4	NMLST	通常メールボックスメッセージロストステータスフラグ	0 : MSGLOST ビットが1のメールボックスなし 1 : MSGLOST ビットが1のメールボックスあり	R
b5	FMLST	FIFO メールボックスメッセージロストステータスフラグ	0 : RFMLF ビットが0 1 : RFMLF ビットが1	R
b6	TABST	送信アボートステータスフラグ	0 : TRMABT ビットが1のメールボックスなし 1 : TRMABT ビットが1のメールボックスあり	R
b7	EST	エラーステータスフラグ	0 : エラー発生なし 1 : エラー発生あり	R
b8	RSTST	CAN リセットステータスフラグ	0 : CAN リセットモードではない 1 : CAN リセットモード	R
b9	HLTST	CAN halt ステータスフラグ	0 : CAN halt モードではない 1 : CAN halt モード	R
b10	SLPST	CAN スリープステータスフラグ	0 : CAN スリープモードではない 1 : CAN スリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0 : エラーパッシブ状態ではない 1 : エラーパッシブ状態	R
b12	BOST	バスオフステータスフラグ	0 : バスオフ状態ではない 1 : バスオフ状態	R
b13	TRMST	送信ステータスフラグ	0 : バスアイドルまたは受信 1 : 送信中またはバスオフ状態	R
b14	RECST	受信ステータスフラグ	0 : バスアイドルまたは送信 1 : 受信	R
b15	—	予約ビット	読むと0が読めます。	R

**NDST フラグ (NEWDATA ステータスフラグ)**

MCTL\_RXj.NEWDATA ビット (j=0~31) が1つでも1であると、MIER または MIER\_FIFO の値にかかわらず、NDST フラグは1になります。NEWDATA ビットがすべて0であると、NDST フラグは0になります。

**SDST フラグ (SENTDATA ステータスフラグ)**

MCTL\_TXj.SENTDATA ビット (j=0~31) が1つでも1であると、MIER または MIER\_FIFO の値にかかわらず、SDST フラグは1になります。SENTDATA ビットがすべて0であると、SDST フラグは0になります。

**RFST フラグ (受信 FIFO ステータスフラグ)**

RFST フラグは、受信 FIFO が空状態でないとき1になります。受信 FIFO が空状態か、または通常メール

ボックスモードが選択されている場合、RFST フラグは 0 になります。

#### TFST フラグ (送信 FIFO ステータスフラグ)

TFST フラグは、送信 FIFO がフルでないとき 1 になります。送信 FIFO がフルであるか、または通常メールボックスモードが選択されている場合、TFST フラグは 0 になります。

#### NMLST フラグ (通常メールボックスメッセージロストステータスフラグ)

MCTL\_RXj.MSGLOST ビット ( $j=0 \sim 31$ ) が 1 つでも 1 であると、MIER または MIER\_FIFO の値にかかわらず、NMLST フラグは 1 になります。MSGLOST ビットがすべて 0 であると、NMLST フラグは 0 になります。

#### FMLST フラグ (FIFO メールボックスメッセージロストステータスフラグ)

RFMR.RFMLF ビットが 1 であると、MIER\_FIFO の値にかかわらず、FMLST フラグは 1 になります。RFMLF ビットが 0 であると、FMLST ビットは 0 になります。

#### TABST フラグ (送信アポートステータスフラグ)

MCTL\_TXj.TRMABT ビット ( $j=0 \sim 31$ ) が 1 つでも 1 であると、MIER または MIER\_FIFO の値にかかわらず、TABST フラグは 1 になります。TRMABT ビットがすべて 0 であると、TABST フラグは 0 になります。

#### EST フラグ (エラーステータスフラグ)

EIFR レジスタで 1 つでもエラーが検出されると、EIER の値にかかわらず、EST フラグは 1 になります。EIFR レジスタでエラーが検出されないと、EST フラグは 0 になります。

#### RSTST フラグ (CAN リセットステータスフラグ)

RSTST フラグは、CAN モジュールが CAN リセットモードになると 1 になります。RSTST フラグは、CAN モジュールが CAN リセットモード以外になると 0 になります。CAN モジュールが CAN リセットモードから CAN スリープモードへ遷移した場合、RSTST フラグは 1 のままです。

#### HLTST フラグ (CAN halt ステータスフラグ)

HLTST フラグは、CAN モジュールが CAN halt モードになると 1 になります。HLTST フラグは、CAN モジュールが CAN halt モード以外になると 0 になります。CAN モジュールが CAN halt モードから CAN スリープモードへ遷移した場合、HLTST フラグは 1 のままです。

#### SLPST フラグ (CAN スリープステータスフラグ)

SLPST フラグは、CAN モジュールが CAN スリープモードになると 1 になります。SLPST フラグは、CAN モジュールが CAN スリープモード以外になると 0 になります。

#### EPST フラグ (エラーパッシブステータスフラグ)

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態 ( $128 \leq \text{TEC} < 256$  または  $128 \leq \text{REC} < 256$ ) になると、EPST フラグは 1 になります。CAN モジュールがエラーパッシブ状態以外になると、EPST フラグは 0 になります。

#### BOST フラグ (バスオフステータスフラグ)

TECR レジスタの値が 255 を超えて、CAN モジュールがバスオフ状態 ( $\text{TEC} \geq 256$ ) になると、BOST フラグは 1 になります。CAN モジュールがバスオフ状態以外になると、BOST フラグは 0 になります。

#### TRMST フラグ (送信ステータスフラグ)

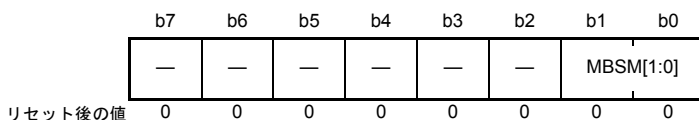
TRMST フラグは、CAN モジュールが送信ノードとして動作するか、またはバスオフ状態になると 1 になります。TRMST フラグは、CAN モジュールが受信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

#### RECST フラグ (受信ステータスフラグ)

RECST フラグは、CAN モジュールが受信ノードとして動作すると 1 になります。RECST フラグは、CAN モジュールが送信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

## 32.2.16 メールボックスサーチモードレジスタ (MSMR)

アドレス CAN0.MSMR 4005 0853h



ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択	b1 b0 0 0 : 受信メールボックス検索モード 0 1 : 送信メールボックス検索モード 1 0 : メッセージロスト検索モード 1 1 : チャネル検索モード	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MSMR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

**MBSM[1:0] ビット (メールボックス検索モード選択)**

MBSM[1:0] ビットは、メールボックス検索機能の検索モードを選択します。

MBSM[1:0] ビットが 00b の場合、受信メールボックス検索モードになります。このモードでの検索対象は、通常メールボックスの場合は MCTL\_RXj.NEWDATA (j=0~31) ビット、受信 FIFO の場合は RFCR.RFEST ビットです。

MBSM[1:0] ビットが 01b の場合、送信メールボックス検索モードになります。このモードでの検索対象は、MCTL\_TXj.SENTDATA ビットです。

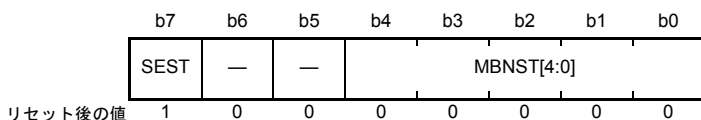
MBSM[1:0] ビットが 10b の場合、メッセージロスト検索モードになります。このモードでの検索対象は、通常メールボックスの場合は MCTL\_RXj.MSGLOST ビット、受信 FIFO の場合は RFCR.RFMLF ビットです。

MBSM[1:0] ビットが 11b の場合、チャネル検索モードになります。このモードでの検索対象は、CSSR レジスタです。32.2.18 [チャネルサーチサポートレジスタ \(CSSR\)](#) を参照してください。



## 32.2.17 メールボックスサーチステータスレジスタ (MSSR)

アドレス CAN0.MSSR 4005 0852h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータス	これらのビットは、MSMRレジスタで選択した各検索モードにおいて、発見された最小メールボックス番号を出力します。	R
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SEST	検索結果ステータス	0: 検索結果あり 1: 検索結果なし	R

**MBNST[4:0] ビット (検索結果メールボックス番号ステータス)**

すべてのメールボックス検索モードにおいて、MBNST[4:0] ビットは、発見された最小のメールボックス番号を出力します。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードでは、メールボックスの値（出力される検索結果）が次の場合に更新されます。

- MBNST[4:0] で出力されたメールボックスについて、それぞれの NEWDATA、SENTDATA、または MSGLOST ビットが 0 の場合
- MBNST[4:0] で出力されたメールボックスよりも小さな番号のメールボックスについて、それぞれの NEWDATA、SENTDATA、または MSGLOST ビットが 1 の場合

MBSM[1:0] ビットが 00b（受信メールボックス検索モード）または 10b（メッセージロスト検索モード）の場合、受信 FIFO（メールボックス 28）が空状態ではなく、すべての通常メールボックス（メールボックス 0 ~ 23）に未読の受信メッセージもロストメッセージもないと、受信 FIFO が出力されます。MBSM[1:0] ビットが 01b（送信メールボックス検索モード）の場合、送信 FIFO（メールボックス 24）は出力されません。表 32.6 に、FIFO メールボックスモードでの MBNST[4:0] ビットの動作を示します。

チャンネル検索モードでは、MBNST[4:0] ビットは対応するチャンネル番号を出力します。MSSR レジスタがソフトウェアで読み出されると、次のターゲットチャンネル番号が出力されます。

**SEST ビット (検索結果ステータス)**

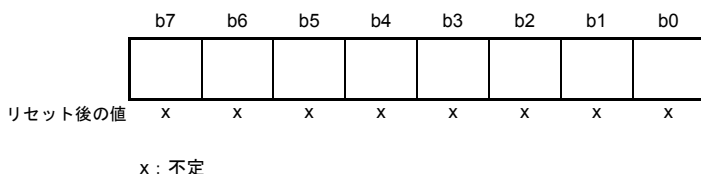
すべてのメールボックスを検索した結果、対応するメールボックスがなかった場合、SEST ビットは 1（検索結果なし）になります。たとえば、送信メールボックス検索モードにおいて、どのメールボックスの SENTDATA ビットも 1 以外であると、SEST ビットは 1 になります。少なくとも 1 つの SENTDATA ビットが 1 であると、SEST ビットは 0 になります。SEST ビットが 1 の場合、MBNST[4:0] ビットの値は不定です。

表 32.6 FIFO メールボックスモードでの MBNST[4:0] ビットの動作

MBSM[1:0] ビット	メールボックス 24 (送信 FIFO)	メールボックス 28 (受信 FIFO)
00b	メールボックス 24 は出力されない	通常メールボックスのどの MCTL_RXj.NEWDATA ビットも 1（新しいメッセージがメールボックスに格納中または格納済み）ではなく、かつ受信 FIFO が空状態でない場合、メールボックス 28 が出力される
01b		メールボックス 28 は出力されない
10b		通常メールボックスのどの MCTL_RXj.MSGLOST ビットも 1（メッセージのオーバーライトまたはオーバーランあり）ではなく、かつ受信 FIFO の RFCR.RFMLF ビットが 1（受信 FIFO メッセージロスト発生あり）になった場合、メールボックス 28 が出力される
11b		メールボックス 28 は出力されない

## 32.2.18 チャンネルサーチサポートレジスタ (CSSR)

アドレス CAN0.CSSR 4005 0851h



ビット	機能	R/W
b7-b0	チャンネル検索の値が入力された場合、チャンネル番号をMSSRレジスタに出力	R/W

CSSR レジスタで1になったビットは、8/3 エンコーダ（最小ビット位置がより高い優先順位）によってエンコードされ、MSSR.MBNST[4:0] ビットに出力されます。MSSR レジスタは、MSSR レジスタをソフトウェアで読み出すたびに更新された値を出力します。

CSSR レジスタは、MSMR.MBSM[1:0] ビットが 11b（チャンネル検索モード）の場合に限り書き込みを行ってください。CSSR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

図 32.4 に、CSSR および MSSR レジスタに対する書き込みと読み出しについて示します。

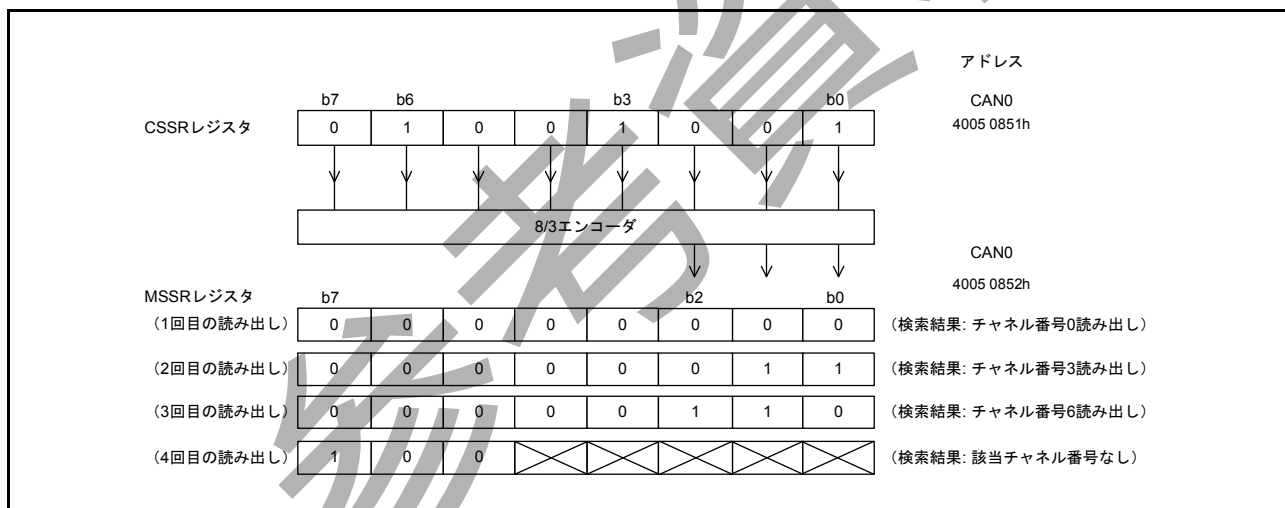
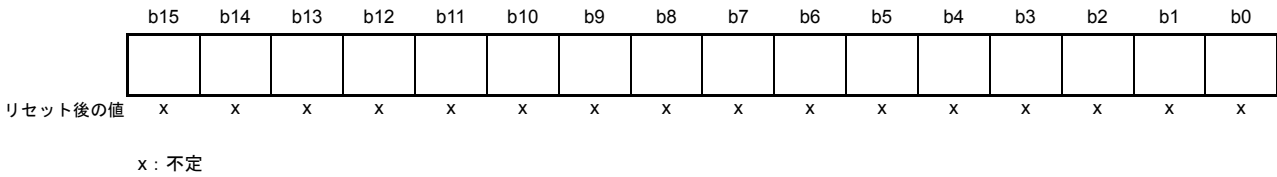


図 32.4 CSSR および MSSR レジスタに対する書き込みと読み出し

CSSR レジスタの値も、MSSR レジスタを読み出すたびに更新されます。読んだ場合、8/3 エンコーダ変換前の値が読めます。

32.2.19 アクセプタンスフィルタサポートレジスタ (AFSR)

アドレス CAN0.AFSR 4005 0856h



ビット	機能	R/W
b15-b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値が読める	R/W

注. AFSR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

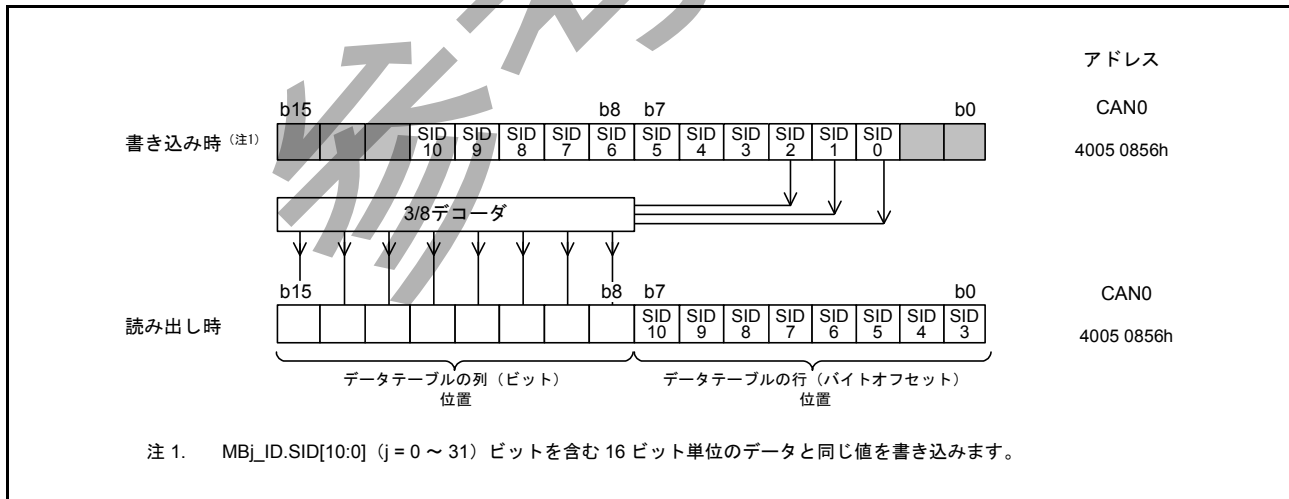
アクセプタンスフィルタサポートユニット (ASU) が、データテーブル (8 ビット × 256) の検索に使用可能です。このデータテーブルには、作成したすべての標準 ID の有効/無効が 1 ビット単位で設定されます。受信した標準 ID が格納された MB<sub>j</sub>\_ID.SID[10:0] ビット (j=0 ~ 31) を含む 16 ビット単位のデータを AFSR レジスタに書き込むと、デコードされたデータテーブル検索用の行 (バイトオフセット) 位置と、列 (ビット) 位置が読み出せます。ASU は、標準 (11 ビット) ID にのみ使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合。たとえば、受信する ID が 078h、087h、111h の場合
- 受信する ID が多すぎるため、ソフトウェアによるフィルタリング処理時間を短縮したい場合

注. AFSR レジスタは、CAN リセットモードでは設定できません。

図 32.5 に、AFSR レジスタに対する書き込みと読み出しについて示します。



注 1. MB<sub>j</sub>\_ID.SID[10:0] (j=0 ~ 31) ビットを含む 16 ビット単位のデータと同じ値を書き込みます。

図 32.5 AFSR レジスタに対する書き込みと読み出し

## 32.2.20 エラー割り込みイネーブルレジスタ (EIER)

アドレス CAN0.EIER 4005 084Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b2	EPIE	エラーパッシブ割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b5	ORIE	オーバーラン割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b6	OLIE	オーバーロードフレーム送信割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b7	BLIE	バスロック割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W

EIER レジスタは、EIFR レジスタのエラー割り込み要因ごとに個別に割り込み要求を許可または禁止します。EIER レジスタへの書き込みは、CAN リセットモード時に行ってください。

**BEIE ビット (バスエラー割り込み許可)**

BEIE ビットが 0 の場合、EIFR.BEIF ビットが 1 であっても、エラー割り込み要求は発生しません。BEIE ビットが 1 の場合、EIFR.BEIF ビットが 1 になると、エラー割り込み要求が発生します。

**EWIE ビット (エラーワーニング割り込み許可)**

EWIE ビットが 0 の場合、EIFR.EWIF ビットが 1 であっても、エラー割り込み要求は発生しません。EWIE ビットが 1 の場合、EIFR.EWIF ビットが 1 になると、エラー割り込み要求が発生します。

**EPIE ビット (エラーパッシブ割り込み許可)**

EPIE ビットが 0 の場合、EIFR.EPIF ビットが 1 であっても、エラー割り込み要求は発生しません。EPIE ビットが 1 の場合、EIFR.EPIF ビットが 1 になると、エラー割り込み要求が発生します。

**BOEIE ビット (バスオフ開始割り込み許可)**

BOEIE ビットが 0 の場合、EIFR.BOEIF ビットが 1 であっても、エラー割り込み要求は発生しません。BOEIE ビットが 1 の場合、EIFR.BOEIF ビットが 1 になると、エラー割り込み要求が発生します。

**BORIE ビット (バスオフ復帰割り込み許可)**

BORIE ビットが 0 の場合、EIFR.BORIF ビットが 1 であっても、エラー割り込み要求は発生しません。BORIE ビットが 1 の場合、EIFR.BORIF ビットが 1 になると、エラー割り込み要求が発生します。

**ORIE ビット (オーバーラン割り込み許可)**

ORIE ビットが 0 の場合、EIFR.ORIF ビットが 1 であっても、エラー割り込み要求は発生しません。ORIE ビットが 1 の場合、EIFR.ORIF ビットが 1 になると、エラー割り込み要求が発生します。

**OLIE ビット (オーバーロードフレーム送信割り込み許可)**

OLIE ビットが 0 の場合、EIFR.OLIF ビットが 1 であっても、エラー割り込み要求は発生しません。OLIE ビットが 1 の場合、EIFR.OLIF ビットが 1 になると、エラー割り込み要求が発生します。

**BLIE ビット (バスロック割り込み許可)**

BLIE ビットが 0 の場合、EIFR.BLIF ビットが 1 であっても、エラー割り込み要求は発生しません。BLIE ビットが 1 の場合、EIFR.BLIF ビットが 1 になると、エラー割り込み要求が発生します。

参考資料

## 32.2.21 エラー割り込み要因判定レジスタ (EIFR)

アドレス CAN0.EIFR 4005 084Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0: バスエラー未検出 1: バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/W
b5	ORIF	受信オーバーラン検出フラグ	0: 受信オーバーラン未検出 1: 受信オーバーラン検出	R/W
b6	OLIF	オーバーロードフレーム送信検出フラグ	0: オーバーロードフレーム送信未検出 1: オーバーロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0: バスロック未検出 1: バスロック検出	R/W

これらのビットの1つに対応したイベントが発生すると、EIER レジスタの設定にかかわらず、EIFR レジスタの対応するビットが1になります。

これらのビットは、ソフトウェア書き込みで0にクリアしてください。ソフトウェアによるクリアと同時にビットが1になると、そのビットは1になります。個々のビットをソフトウェアで0にする場合、転送 (MOV) 命令を使用して、必ず指定されたビットのみを0にし、その他のビットは1にしてください。1を書いても、これらのビット値は影響されません。

**BEIF フラグ (バスエラー検出フラグ)**

バスエラーが検出されると、BEIF フラグは1になります。

**EWIF フラグ (エラーワーニング検出フラグ)**

受信エラーカウンタ (REC) または送信エラーカウンタ (TEC) の値が95を超えると、EWIF フラグは1になります。REC または TEC が最初に95を超えたときのみ1になります。REC または TEC が95を超えたまま、EWIF フラグにソフトウェアで0を書くと、REC または TEC が95未満になった後、再び95を超えるまで、EWIF フラグは1になりません。

**EPIF フラグ (エラーパッシブ検出フラグ)**

CAN エラーの状態がエラーパッシブになったとき、受信エラーカウンタ (REC) または送信エラーカウンタ (TEC) の値が127を超えると、EPIF フラグは1になります。EPIF フラグは、REC または TEC が最初に127を超えたときのみ1になります。REC または TEC が127を超えたまま、EPIF フラグにソフトウェアで0を書くと、REC または TEC が127未満になった後、再び127を超えるまで、EPIF フラグは1になりません。

**BOEIF フラグ (バスオフ開始検出フラグ)**

CAN エラー状態がバスオフになったとき、送信エラーカウンタ (TEC) の値が255を超えると、BOEIF フラグは1になります。また、CTRL.BOM[1:0] ビットが01b (バスオフ開始で自動的に CAN halt モードへ遷移) のとき、CAN モジュールがバスオフ状態になった場合も、BOEIF ビットは1になります。

### BORIF フラグ (バスオフ復帰検出フラグ)

CAN モジュールが、下記の条件下で、バスオフ状態から通常復帰 (11 の連続するビットを 128 回検出) した場合、BORIF フラグは 1 になります。

- CTLR.BOM[1:0] ビットが 00b の場合
- CTLR.BOM[1:0] ビットが 10b の場合
- CTLR.BOM[1:0] ビットが 11b の場合

ただし、CAN モジュールが、下記の条件下で、バスオフ状態から復帰した場合、BORIF フラグは 1 になりません。

- CTLR.CANM[1:0] ビットを 01b または 11b (CAN リセットモード) にした場合
- CTLR.RBOC ビットを 1 (バスオフからの強制復帰) にした場合
- CTLR.BOM[1:0] ビットを 01b にした場合
- CTLR.BOM[1:0] ビットを 11b にして、通常復帰が発生する前に、CTLR.CANM[1:0] ビットを 10b (CAN halt モード) にした場合

表 32.7 に、CTLR.BOM[1:0] ビットの設定値ごとの BOEIF および BORIF ビットの動作を示します。

表 32.7 CTLR.BOM[1:0] の設定値ごとの BOEIF、BORIF フラグの動作

BOM[1:0] ビット	BOEIF ビット	BORIF ビット
00b	バスオフ状態への遷移時に 1 になる	バスオフ状態からの復帰時に 1 になる
01b		1 にはならない
10b		バスオフ状態からの復帰時に 1 になる
11b		CANM[1:0] ビットが 10b (CAN halt モード) になる前に、通常のバスオフ復帰が発生した場合に 1 になる

### ORIF フラグ (受信オーバーラン検出フラグ)

ORIF フラグは、受信オーバーランが発生すると 1 になります。オーバーライトモードでは 1 になりません。

オーバーライトモードでは、オーバーライト条件が発生すると受信完了割り込み要求が発生し、ORIF ビットは 1 になりません。

通常メールボックスモードのオーバーランモードでは、メールボックス 0 ~ 31 のいずれかでオーバーランが発生すると、ORIF フラグが 1 になります。FIFO メールボックスモードのオーバーランモードでは、メールボックス 0 ~ 23 のいずれかまたは受信 FIFO でオーバーランが発生すると、ORIF フラグが 1 になります。

### OLIF フラグ (オーバーロードフレーム送信検出フラグ)

CAN モジュールが送信または受信動作中であるとき、オーバーロードフレームの送信条件が検出されると、OLIF フラグは 1 になります。

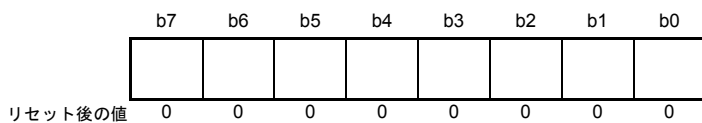
### BLIF フラグ (バスロック検出フラグ)

CAN モジュールが CAN オペレーションモードのとき、CAN バス上に 32 の連続するドミナントビットが検出されると、BLIF フラグは 1 になります。BLIF ビットが 1 になった後、次のいずれかの条件下では、32 の連続するドミナントビットが再検出されます。

- BLIF フラグが 1 から 0 に変化した後、レセシブビットが検出された場合
- BLIF フラグが 1 から 0 に変化した後、CAN モジュールが CAN リセットモードまたは CAN halt モードになり、その後、再び CAN オペレーションモードになった場合

### 32.2.22 受信エラーカウントレジスタ (RECR)

アドレス `CAN0.RECR 4005 084Eh`



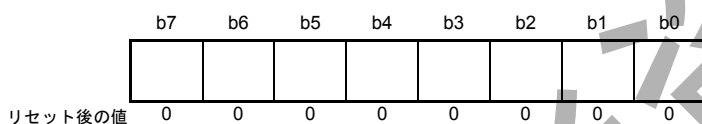
ビット	機能	R/W
b7-b0	受信エラーカウント機能。受信中のCANモジュールのエラー状態に基づいて、RECRはカウンタ値をインクリメントまたはデクリメント	R

RECR レジスタは、受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

バスオフ状態では、RECR レジスタの値は不定です。

### 32.2.23 送信エラーカウントレジスタ (TECR)

アドレス `CAN0.TECR 4005 084Fh`



ビット	機能	R/W
b7-b0	送信エラーカウント機能。送信中のCANモジュールのエラー状態に基づいて、TECRはカウンタ値をインクリメントまたはデクリメント	R

TECR レジスタは、送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

バスオフ状態では、TECR レジスタの値は不定です。



## 32.2.24 エラーコード格納レジスタ (ECSR)

アドレス CAN0.ECSR 4005 0850h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ(注1)(注2)	0: スタッフエラー未検出 1: スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ(注1)(注2)	0: フォームエラー未検出 1: フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ(注1)(注2)	0: ACKエラー未検出 1: ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ(注1)(注2)	0: CRCエラー未検出 1: CRCエラー検出	R/W
b4	BE1F	ビットエラー (レセシブ) フラグ(注1)(注2)	0: ビットエラー (レセシブ) 未検出 1: ビットエラー (レセシブ) 検出	R/W
b5	BE0F	ビットエラー (ドミナント) フラグ(注1)(注2)	0: ビットエラー (ドミナント) 未検出 1: ビットエラー (ドミナント) 検出	R/W
b6	ADEF	ACKデリミタエラーフラグ(注1)(注2)	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択(注3)(注4)	0: 最初に検出されたエラーコードを出力 1: 蓄積したエラーコードを出力	R/W

- 注1. 1を書いても、これらのビットの値は影響されません。  
 注2. SEF、FEF、AEF、CEF、BE1F、BE0F、ADEF ビットに0を書く場合は、転送 (MOV) 命令を使用して、必ず指定されたビットのみを0にし、その他のビットは1にしてください。  
 注3. EDPM ビットへの書き込みは、CANリセットモードまたはCAN haltモード時に行ってください。  
 注4. 同時に2つ以上のエラー条件が検出された場合は、関係するすべてのビットが1になります。

ECSR レジスタは、CAN バス上のエラー発生の有無を示します。各エラーの発生条件については、CAN仕様 (ISO11898-1) を参照してください。

ソフトウェア書き込みでEDPMビット以外のビットをすべて0にクリアしてください。ソフトウェアによるクリアと同時にECSRレジスタのビットが1になると、そのビットは1になります。

**SEF フラグ (スタッフエラーフラグ)**

スタッフエラーが検出されると、SEF フラグは1になります。

**FEF フラグ (フォームエラーフラグ)**

フォームエラーが検出されると、FEF フラグは1になります。

**AEF フラグ (ACK エラーフラグ)**

ACK エラーが検出されると、AEF フラグは1になります。

**CEF フラグ (CRC エラーフラグ)**

CRC エラーが検出されると、CEF フラグは1になります。

**BE1F フラグ (ビットエラー (レセシブ) フラグ)**

レセシブビットエラーが検出されると、BE1F フラグは1になります。

**BE0F フラグ (ビットエラー (ドミナント) フラグ)**

ドミナントビットエラーが検出されると、BE0F フラグは1になります。

**ADEF フラグ (ACK デリミタエラーフラグ)**

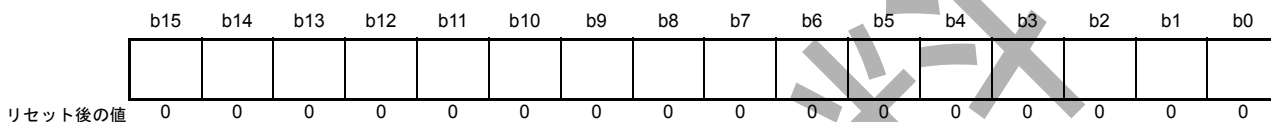
送信中に ACK デリミタでフォームエラーが検出されると、ADEF フラグは1になります。

**EDPM ビット (エラー表示モード選択)**

EDPM ビットは、ECSR レジスタの出力モードを選択します。EDPM ビットを0にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットを1にすると、ECSR レジスタは蓄積したエラーコードを出力します。

**32.2.25 タイムスタンプレジスタ (TSR)**

アドレス [CAN0.TSR 4005 0854h](#)



ビット	機能	R/W
b15-b0	タイムスタンプ機能のためのフリーランカウンタ値	R

注 1. TSR レジスタの読み出しは 16 ビット単位で実行してください。

TSR レジスタを読むと、16 ビットフリーランタイムスタンプカウンタの現在値が読み出せます。タイムスタンプカウンタの基準クロックは、CTRL.TSPS[1:0] ビットで設定します。このカウンタは、CAN スリープモードおよび CAN halt モードで停止し、CAN リセットモードで初期化されます。タイムスタンプカウンタの値は、受信メッセージが受信メールボックスに格納される時、MBj\_TS レジスタの TSL[7:0] ビットと TSH[7:0] ビットに格納されます。

## 32.2.26 テストコントロールレジスタ (TCR)

アドレス CAN0.TCR 4005 0858h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TSTM[1:0]	TSTE	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTE	CANテストモード許可	0 : CANテストモード禁止 1 : CANテストモード許可	R/W
b2-b1	TSTM[1:0]	CANテストモード選択	b2 b1 0 0 : CANテストモードではない 0 1 : リッスンオンリモード 1 0 : セルフテストモード0 (外部ループバック) 1 1 : セルフテストモード1 (内部ループバック)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TCR レジスタは、CAN テストモードを制御します。TCR レジスタへの書き込みは、必ず CAN halt モード時に行ってください。

## (1) リッスンオンリモード

CAN 仕様 (ISO11898-1) では、オプションのバスモニターモードが推奨されています。リッスンオンリモードでは、有効なデータフレームとリモートフレームを受信できます。ただし、CAN バスにはレセシブビットのみが送信可能であり、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信できません。

リッスンオンリモードは、ボーレート検出に使用できます。リッスンオンリモードでは、どのメールボックスからも送信要求を行わないでください。

図 32.6 にリッスンオンリモード選択時の接続を示します。

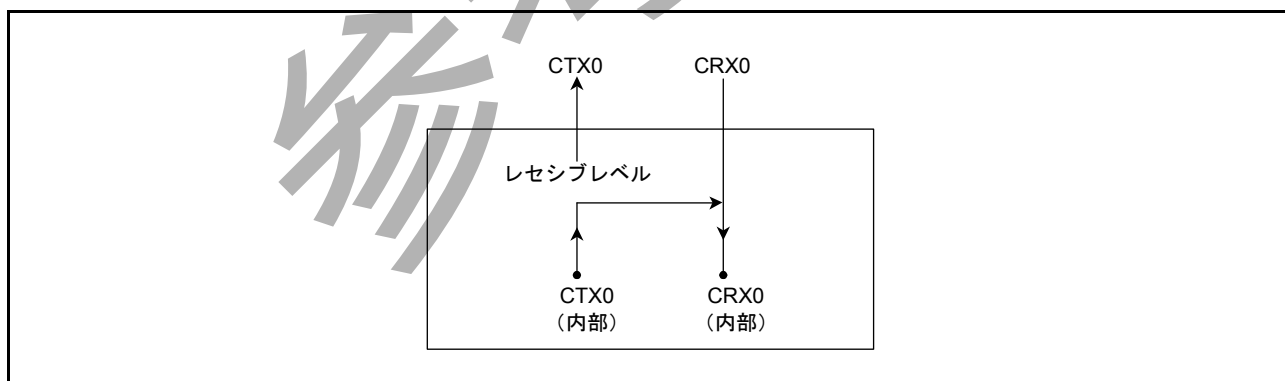


図 32.6 リッスンオンリモード選択時の接続

## (2) セルフテストモード 0 (外部ループバック)

セルフテストモード 0 は、CAN トランシーバテスト用です。このモードでは、プロトコルモジュールは、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルモジュールは ACK ビットを生成します。CTX0 および CRX0 端子はトランシーバに接続してください。

図 32.7 にセルフテストモード 0 選択時の接続を示します。

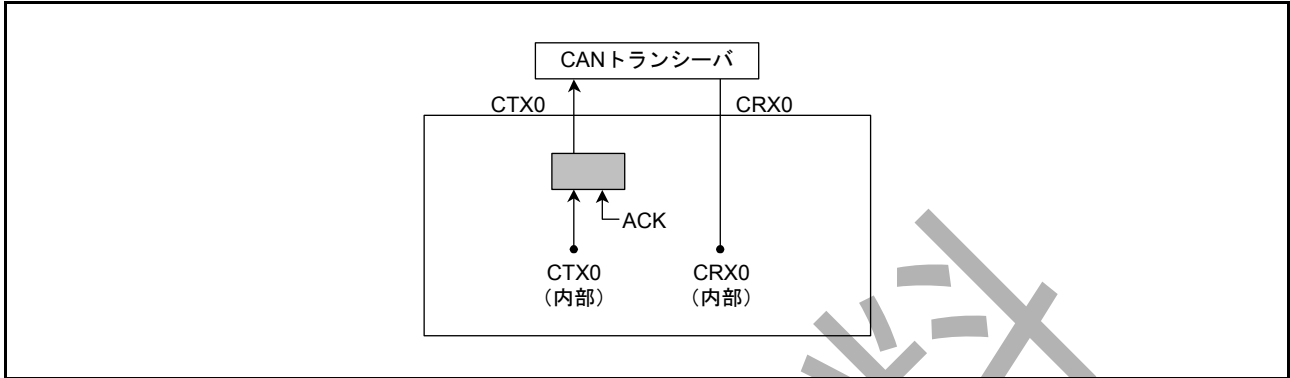


図 32.7 セルフテストモード 0 選択時の接続

## (3) セルフテストモード 1 (内部ループバック)

セルフテストモード 1 は、セルフテスト機能用です。

セルフテストモード 1 では、プロトコルコントローラは、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルコントローラは ACK ビットを生成します。

セルフテストモード 1 では、プロトコルコントローラは内部 CTX0 端子から内部 CRX0 端子への内部ループバックを行います。外部 CRX0 端子の入力値は無視されます。外部 CTX0 端子はレセプビットのみ出力します。CTX0 端子と CRX0 端子は、CAN バスや他のどの外部デバイスにも接続する必要がありません。

図 32.8 にセルフテストモード 1 選択時の接続を示します。

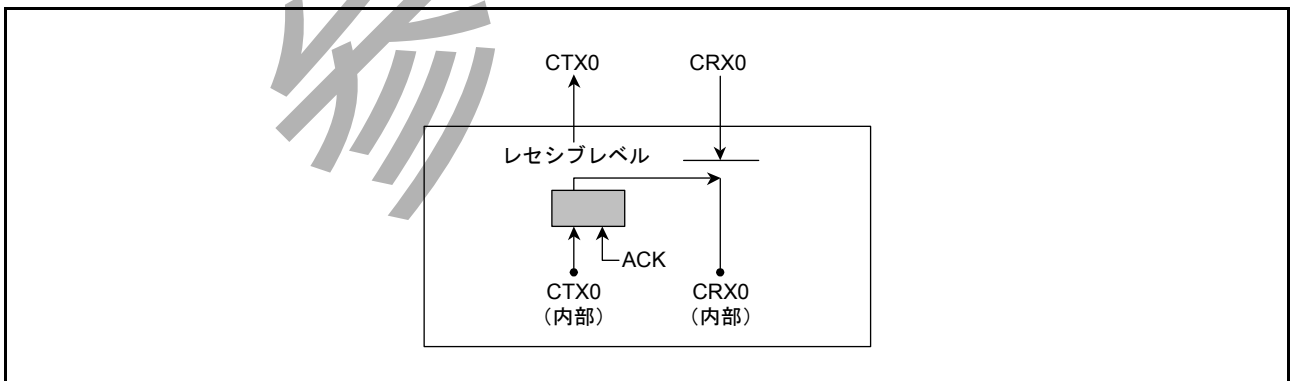


図 32.8 セルフテストモード 1 選択時の接続

### 32.3 動作モード

CAN モジュールには、下記の 4 種類の動作モードがあります。

- CAN リセットモード
- CAN halt モード
- CAN オペレーションモード
- CAN スリープモード

図 32.9 に、各動作モード間の遷移を示します。

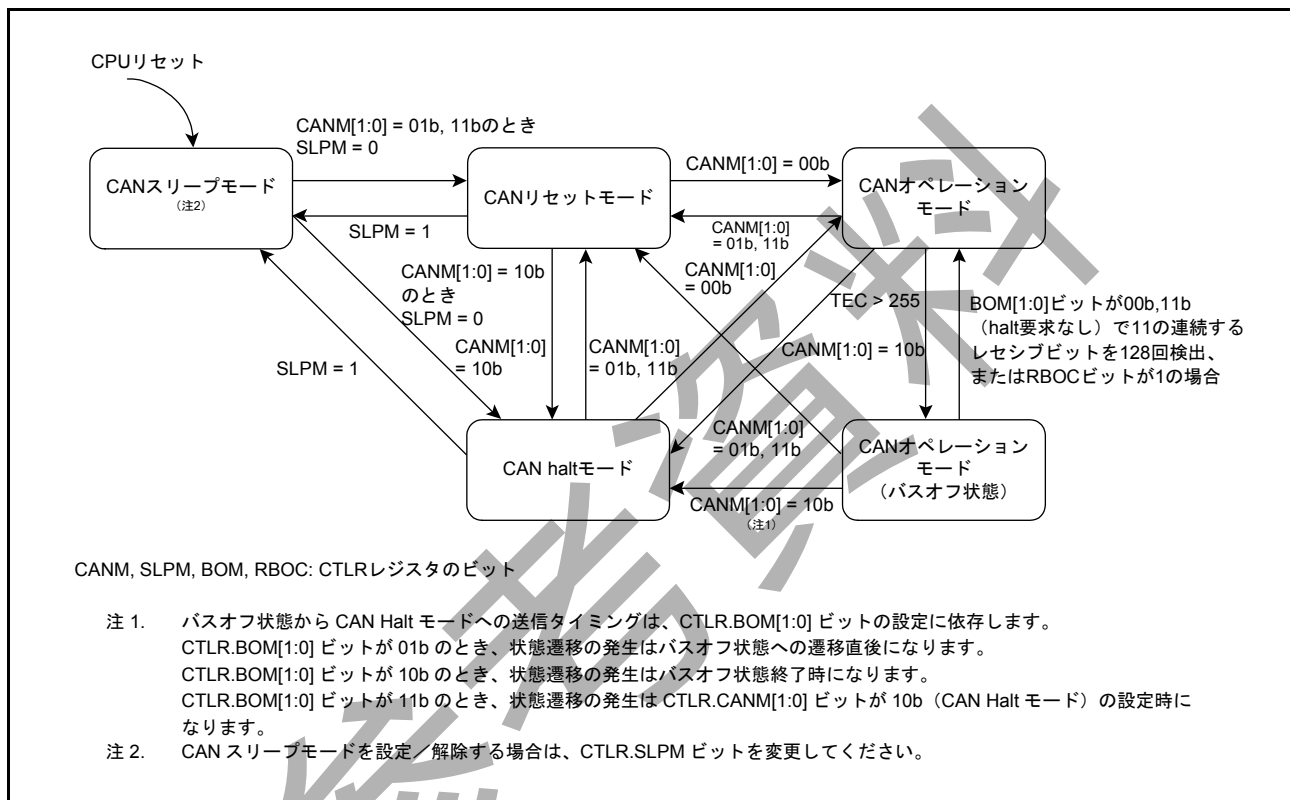


図 32.9 各動作モード間の遷移

### 32.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するためのモードです。

CTLR.CANM[1:0] ビットを 01b または 11b にすると、CAN モジュールは CAN リセットモードへ遷移します。そのとき、STR.RSTST ビットが 1 になります。RSTST ビットが 1 になるまで、CTLR.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ遷移する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードへ遷移すると、それぞれのリセット後の値に初期化され、CAN リセットモード中はその初期値を保持します。

- MCTL\_TXj および MCTL\_RXj
- STR (SLPST ビットと TFST ビットを除く)
- EIFR
- RECR
- TECR
- TSR
- MSSR
- MSMR
- RFCR
- TFCR
- TCR
- ECSR (EDPM ビットを除く)

以下のレジスタは、CAN リセットモードへ遷移後も以前の値を保持します。

- CTLR
- STR (SLPST ビットと TFST ビットのみ)
- MIER および MIER\_FIFO
- EIER
- BCR
- CSSR
- ECSR (EDPM ビットのみ)
- MBj\_ID、MBj\_DL、MBj\_Dm、MBj\_TS
- MKRk
- FIDCR0 および FIDCR1
- MKIVLR
- AFSR
- RFPCR
- TFPCR

### 32.3.2 CAN halt モード

CAN halt モードは、メールボックスの設定とテストモードの設定のためのモードです。

CTLR.CANM[1:0] ビットを 10b にすると、CAN halt モードになり、STR.HLTST ビットが 1 になります。HLTST ビットが 1 になるまで、CTLR.CANM[1:0] ビットを変更しないでください。送信または受信時の状態遷移条件については、表 32.8 を参照してください。

CAN が CAN halt モードへ遷移しても、STR レジスタの RSTST、HLTST、および SLPST ビット以外、すべてのレジスタは変化しません。

CAN halt モードでは、CTLR レジスタ (CANM[1:0] ビットと SLPM ビット以外) と、EIER レジスタを変更しないでください。CAN halt モードでは、自動ポーレート検出のためにリッスンオンリモードを選択している場合のみ、BCR レジスタを変更できます。

表 32.8 CAN リセットモードと CAN halt モードでの動作

動作モード	受信	送信	バスオフ
CAN リセットモード (強制遷移) CANM[1:0] = 11b	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN リセットモード CANM[1:0] = 01b	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待って CAN リセットモードへ遷移 (注1) (注4)	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN halt モード	CAN モジュールはメッセージ受信の終了を待って CAN halt モードへ遷移 (注2) (注3)	CAN モジュールはメッセージ送信の終了を待って CAN halt モードへ遷移 (注1) (注4)	<ul style="list-style-type: none"> <li>• BOM[1:0] ビットが 00b のとき： バスオフ復帰後のみ、ソフトウェアからの Halt 要求を受け付ける</li> <li>• BOM[1:0] ビットが 01b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待たずに自動的に CAN halt モードへ遷移</li> <li>• BOM[1:0] ビットが 10b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待って自動的に CAN halt モードへ遷移</li> <li>• BOM[1:0] ビットが 11b のとき： CAN モジュールは、バスオフ中にソフトウェアによる Halt 要求があると、バスオフ復帰の終了を待たずに CAN halt モードへ遷移</li> </ul>

- 注 1. 複数メッセージの送信要求があると、最初の送信完了後にモード遷移が発生します。送信のサスペンド中に CAN リセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、または CAN モジュールがレシーバになったときに、モード遷移が発生します。
- 注 2. CAN バスがドミナントレベルでロックされた場合、EIFR レジスタの BLIF ビットをモニタすることで、プログラムはバスロック状態を検出できます。
- 注 3. CAN halt モードが要求された後、受信中に CAN バスエラーが発生すると、CAN モジュールは CAN halt モードへ遷移します。
- 注 4. CAN リセットモードまたは CAN halt モードが要求された後、送信中に CAN バスエラーまたはアービトレーションロストが発生すると、CAN モジュールは要求された CAN モードへ遷移します。

### 32.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することで、電流消費を削減します。MCUの端子リセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CTLR.SLPM ビットを1にすると、CAN モジュールはCAN スリープモードへ遷移し、STR.SLPST ビットが1になります。SLPST ビットが1になるまで、SLPM ビットの値を変更しないでください。CAN モジュールがCAN スリープモードへ遷移しても、他のレジスタが変化することはありません。

SLPM ビットへの書き込みは、CAN リセットモードおよびCAN halt モード時に行ってください。CAN スリープモード時には、どのレジスタも変更しないでください (SLPM ビットは除く)。ただし、読み出し動作は許可されます。

SLPM ビットを0にすると、CAN モジュールはCAN スリープモードから復帰します。CAN モジュールがCAN スリープモードから復帰しても、他のレジスタが変化することはありません。

### 32.3.4 CAN オペレーションモード (バスオフ状態以外)

CAN オペレーションモードは、CAN 通信を行うためのモードです。

CTLR.CANM[1:0] ビットを00bにすると、CAN モジュールはCAN オペレーションモードへ遷移します。そのとき、RSTST ビットとHLTST ビットが0になります。RSTST ビットとHLTST ビットが0になるまで、CANM[1:0] ビットの値を変更しないでください。CAN オペレーションモードへ遷移後、11の連続するレゼンシブビットが検出されると、以下の状態になります。

- CAN モジュールは、ネットワーク上でアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタや送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN オペレーションモード時、CAN モジュールは、CAN バスの状態に応じて、次の3種類のサブモードの1つになります。

- アイドルモード：送受信が発生していない
- 受信モード：他のノードが送信したCAN メッセージを受信中
- 送信モード：CAN メッセージを送信中。セルフテストモード0 (TCR.TSTM[1:0] = 10b) またはセルフテストモード1 (TCR.TSTM[1:0] = 11b) を選択した場合、CAN モジュールは同時に自ノードが送信したメッセージを受信する

図 32.10 に、CAN オペレーションモードのサブモードを示します。

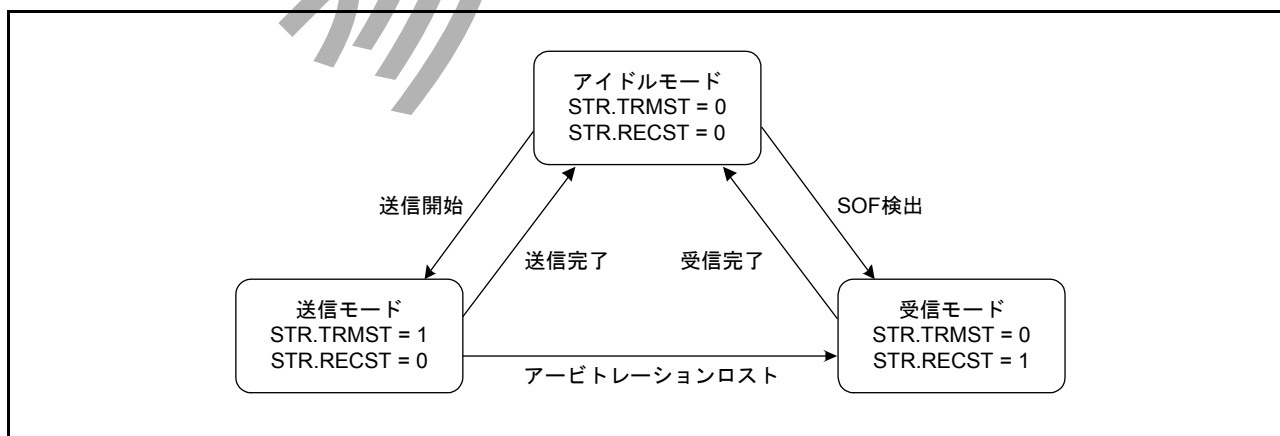


図 32.10 CAN オペレーションモードのサブモード



### 32.3.5 CAN オペレーションモード (バスオフ状態)

CAN 仕様に定められた送信または受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態へ遷移します。

CAN モジュールがバスオフ状態から復帰するとき、下記のケースがあります。CAN モジュールがバスオフ状態のとき、STR、EIFR、RECR、TECR、TSR を除いて、CAN 関連レジスタの値は変化しません。

#### (1) CTLR.BOM[1:0] = 00b (通常モード) の場合

CAN モジュールは、バスオフ状態からの復帰を完了すると、エラーアクティブ状態となり、CAN 通信が可能になります。EIFR.BORIF フラグは 1 (バスオフ復帰検出) になります。

#### (2) CTLR.RBOC = 1 (バスオフ強制復帰) の場合

CAN モジュールは、バスオフ状態時に RBOC ビットが 1 であると、エラーアクティブ状態になります。11 の連続するレセプビットを検出した後、再び CAN 通信が可能になります。BORIF ビットは 1 になりません。

#### (3) CTLR.BOM[1:0] = 01b (バスオフ開始で自動的に CAN halt モードへ遷移) の場合

CAN モジュールは、バスオフ状態に達したとき、CAN halt モードへ遷移します。BORIF ビットは 1 になりません。

#### (4) CTLR.BOM[1:0] = 10b (バスオフ終了で自動的に CAN halt モードへ遷移) の場合

CAN モジュールは、バスオフからの復帰を完了すると、CAN halt モードへ遷移します。BORIF ビットは 1 になります。

#### (5) バスオフ状態時に CTLR.BOM[1:0] = 11b (ソフトウェアにより自動的に CAN halt モードへ遷移) および CTLR.CANM[1:0] = 10b (CAN halt モード) の場合

CAN モジュールは、バスオフ状態時に CANM[1:0] ビットが 10b (CAN halt モード) になっていると、CAN halt モードへ遷移します。EIFR.BORIF フラグは 1 になりません。

バスオフ時に CANM[1:0] ビットが 10b になっていないと、(1) と同じ動作になります。

## 32.4 データ転送レートの設定

本節では、データ転送レートの設定方法について説明します。

### 32.4.1 クロックの設定

CAN モジュールは、[図 32.11](#) に示すように、CAN クロック発生回路を内蔵しています。CAN クロックは、BCR レジスタの CCLKS ビットと BRP[9:0] ビットで設定できます。

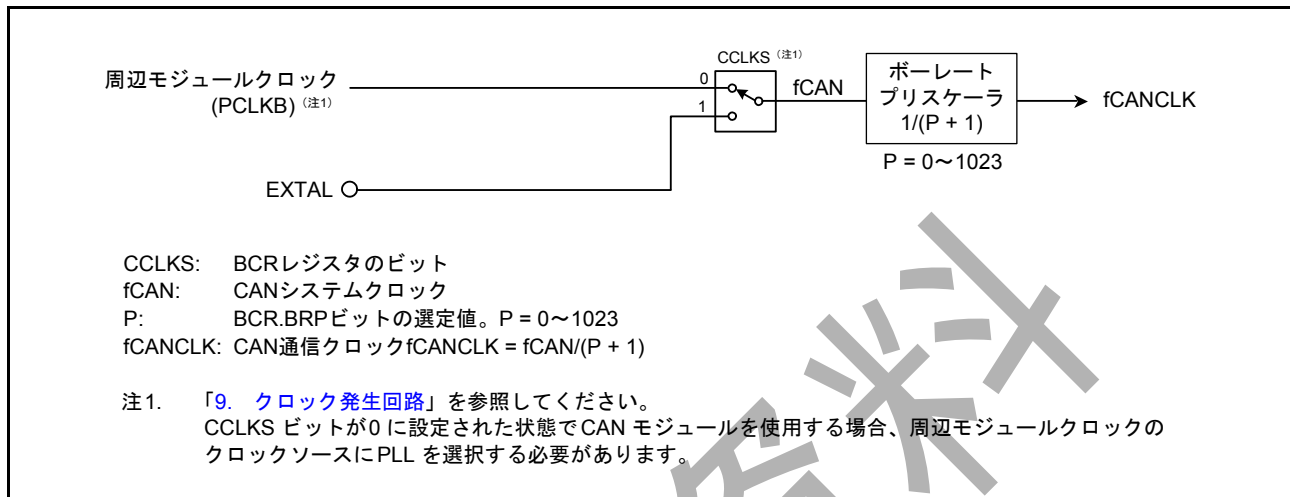


図 32.11 CAN クロック発生回路のブロック図

### 32.4.2 ビットタイムの設定

ビットタイムは、[図 32.12](#) に示す3つのセグメントで構成されます。

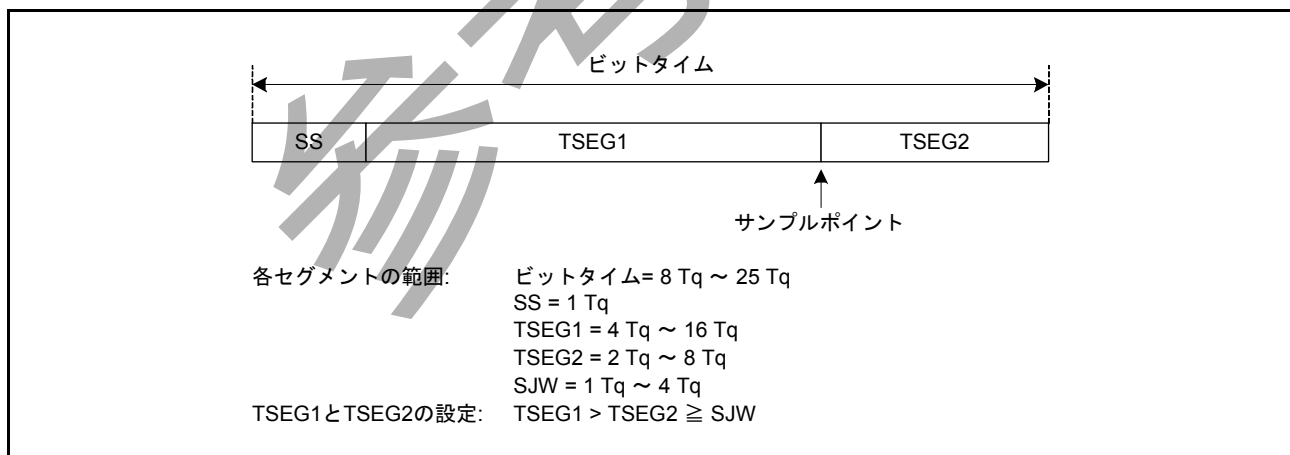


図 32.12 ビットタイミング

### 32.4.3 データ転送レート

データ転送レートは、fCAN (CAN システムクロック) の分周値、ボーレートプリスケアラの分周値、および 1 ビットタイムの Tq 数に依存します。

$$\text{データ転送レート [bps]} = \frac{f\text{CAN}}{\text{ボーレートプリスケアラ分周値 (注1)} \times 1 \text{ ビットタイムの Tq 数}} = \frac{f\text{CANCLK}}{1 \text{ ビットタイムの Tq 数}}$$

注 1. ボーレートプリスケアラ分周値 = P + 1 (P = 0 ~ 1023)、ここで P は、BCR.BRP[9:0] ビットの設定値

表 32.9 に、データ転送レートの例を示します。

表 32.9 fCAN = 32MHz の場合のデータ転送レート例

データ転送レート	Tq 数	P + 1
1Mbps	8Tq	4
	16Tq	2
500kbps	8Tq	8
	16Tq	4
250kbps	8Tq	16
	16Tq	8
125kbps	8Tq	32
	16Tq	16
83.3kbps	8Tq	48
	16Tq	24
33.3kbps	8Tq	120
	10Tq	96
	16Tq	60
	20Tq	48

### 32.5 メールボックスとマスクレジスタの構成

図 32.13 に、32 本のメールボックスレジスタ (MB<sub>j</sub>\_ID、MB<sub>j</sub>\_DL、MB<sub>j</sub>\_Dm、MB<sub>j</sub>\_TS) の構成を示します。

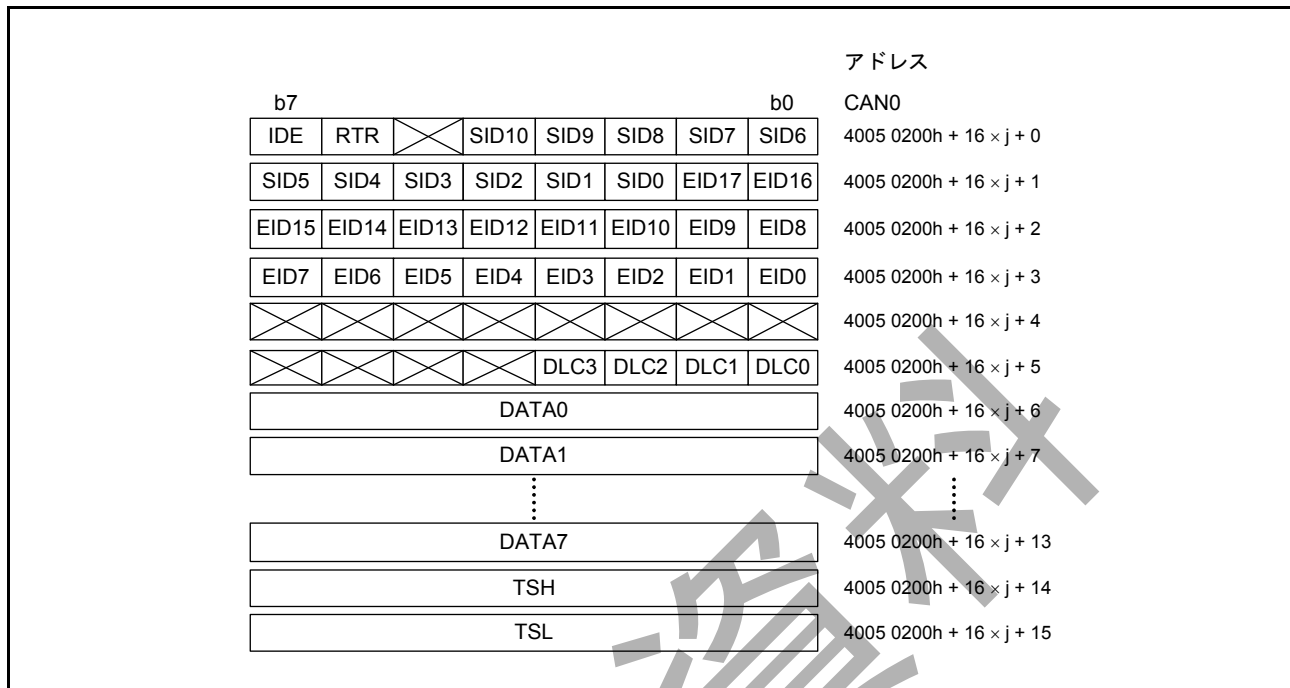


図 32.13 メールボックスレジスタの構成 (j = 0 ~ 31)

図 32.14 に、8 本のマスクレジスタ (MKR<sub>k</sub>) の構成を示します。

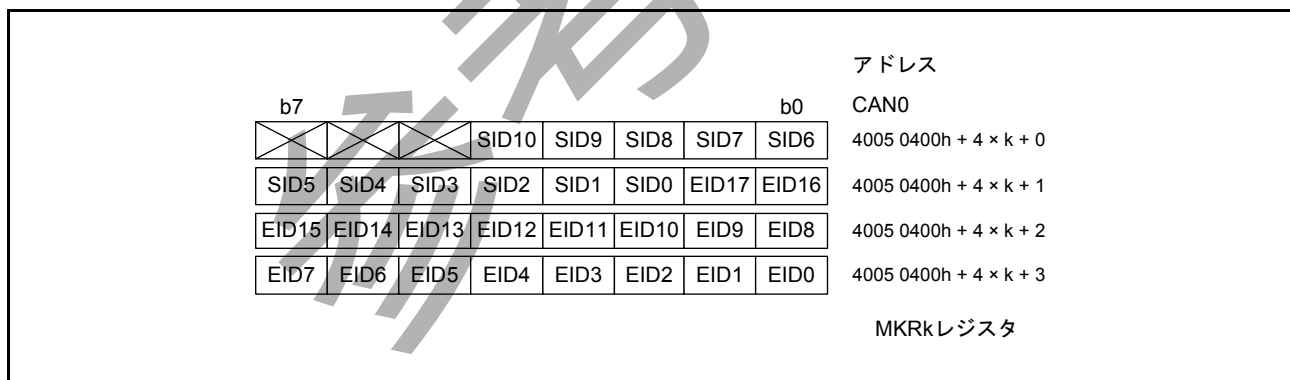


図 32.14 MKR<sub>k</sub> レジスタの構成 (k = 0 ~ 7)

図 32.15 に、2 本の FIFO 受信 ID 比較レジスタ (FIDCR0 および FIDCR1) の構成を示します。

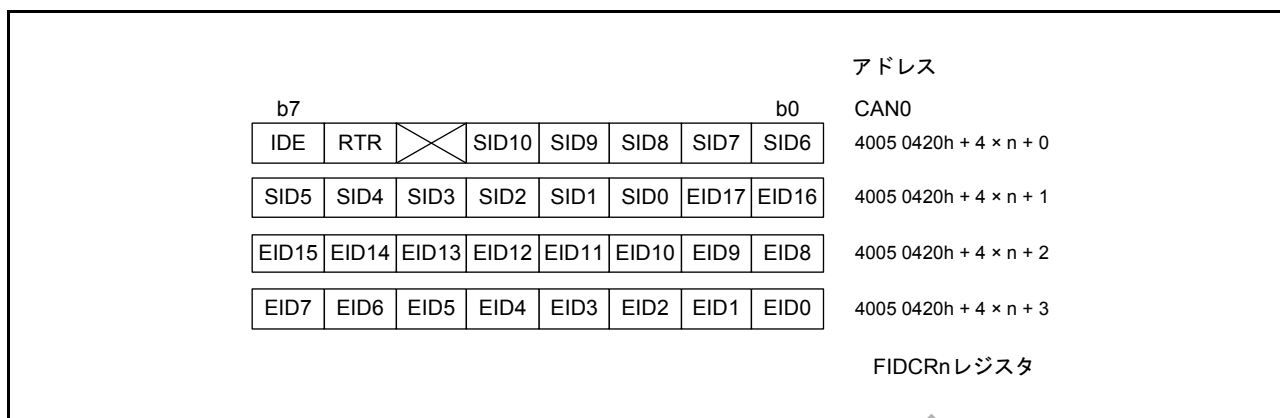


図 32.15 FIDCRn レジスタの構成 (n = 0, 1)

参考資料

## 32.6 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能によって、指定範囲内のメールボックスに対して、複数 ID のメッセージを選択および受信することが可能になります。

MKRk レジスタは、29 ビットの標準 ID と拡張 ID をマスクできます。

- MKR0 は、メールボックス 0～3 のマスクレジスタ
- MKR1 は、メールボックス 4～7 のマスクレジスタ
- MKR2 は、メールボックス 8～11 のマスクレジスタ
- MKR3 は、メールボックス 12～15 のマスクレジスタ
- MKR4 は、メールボックス 16～19 のマスクレジスタ
- MKR5 は、メールボックス 20～23 のマスクレジスタ
- MKR6 は、通常メールボックスモードの場合はメールボックス 24～27、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28～31 のマスクレジスタ
- MKR7 は、通常メールボックスモードの場合はメールボックス 28～31、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28～31 のマスクレジスタ

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ処理を禁止します。

MBj\_ID レジスタの IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) のときに有効です。

MBj\_ID レジスタの RTR ビットは、データフレームまたはリモートフレームを選択します。

FIFO メールボックスモードの場合、通常メールボックス (0～23) は、アクセプタンスフィルタ処理に関連レジスタ (MKR0～MKR5) を使用します。受信 FIFO メールボックス (28～31) は、アクセプタンスフィルタ処理に 2 つのレジスタ (MKR6 および MKR7) を使用します。

また、受信 FIFO は、FIDCR0 および FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO の MB28～MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効になります。2 つの論理積の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO は 2 つの範囲の ID を受信することができます。

MKIVLR レジスタは、受信 FIFO に対しては無効です。

異なる値が FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。

異なる値が FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2 つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 32.16 は、マスクレジスタとメールボックスの対応関係を示しています。図 32.17 は、アクセプタンスフィルタ機能を示しています。

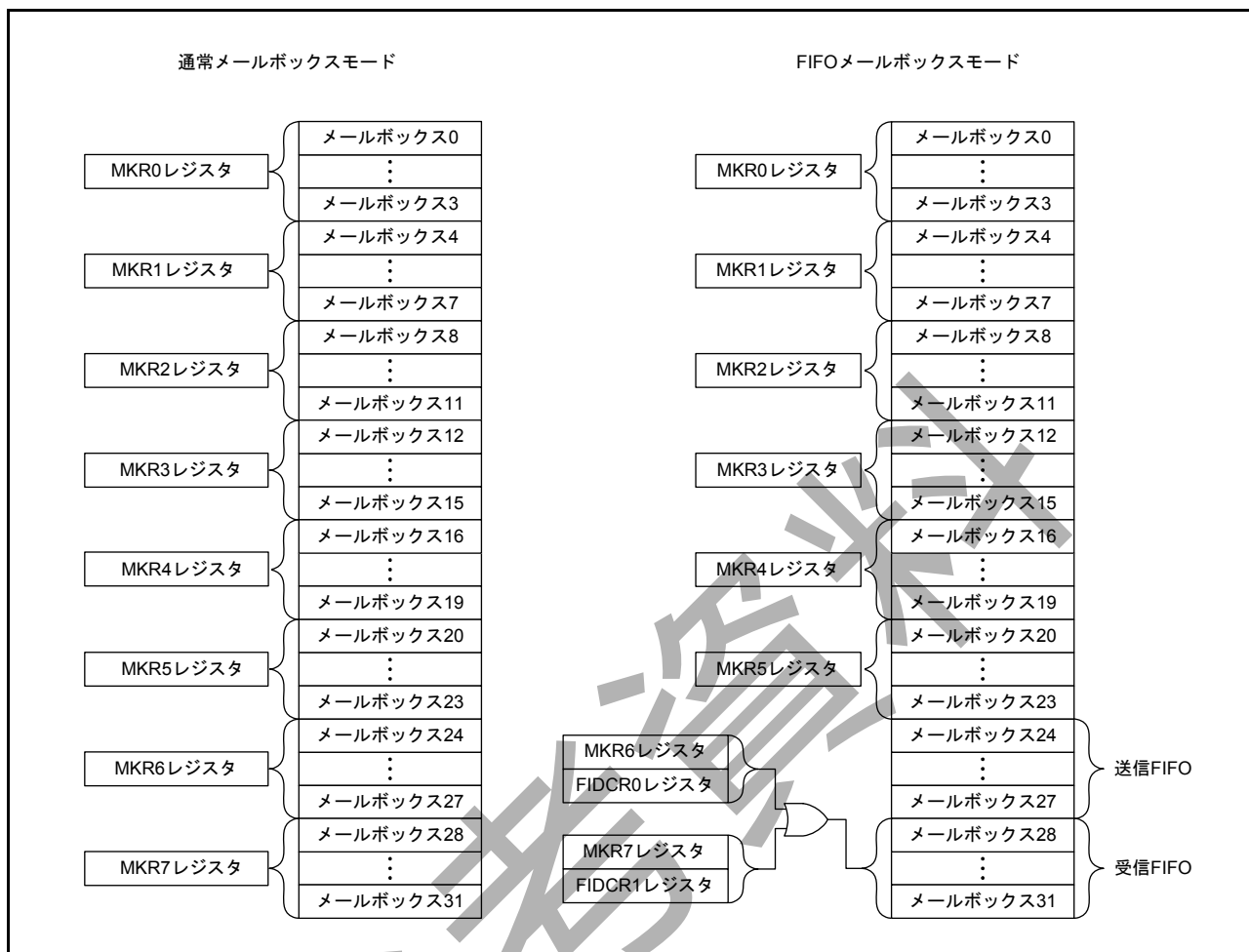


図 32.16 マスクレジスタとメールボックスの対応関係

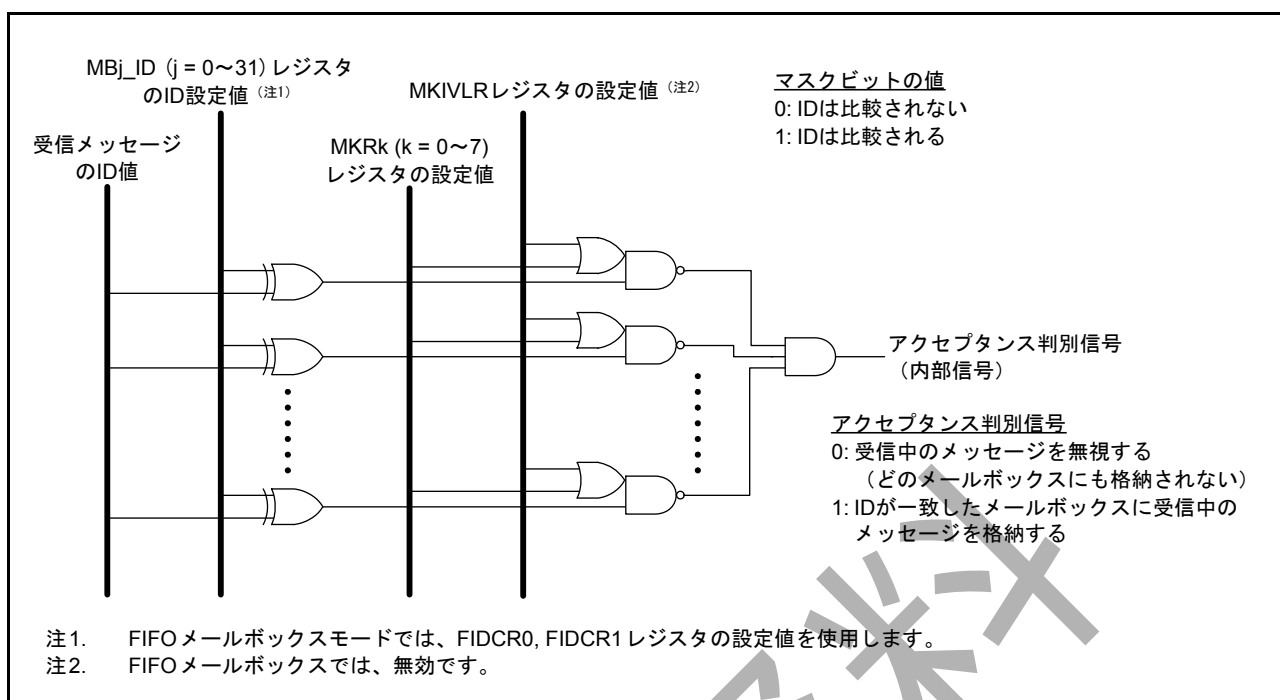


図 32.17 アクセプタンスフィルタ機能



## 32.7 受信／送信

表 32.10 に、CAN 通信モードの設定方法を示します。

表 32.10 CAN受信モードと送信モードの設定

MCTL_TXjおよび MCTL_RXjTRMREQ	MCTL_TXjおよび MCTL_RXjRECREQ	MCTL_TXjおよび MCTL_RXjONESHOT	メールボックス通信モード
0	0	0	メールボックス使用不可、または送信アポート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送受信がアポートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレーム用の受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレーム用のワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレーム用の送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレーム用のワンショット送信メールボックスとして設定
1	1	0	設定禁止
1	1	1	設定禁止

j = 0 ~ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する場合：

1. メールボックスを設定する前に、MCTL\_RXj レジスタを 00h にしてください。
2. 受信メッセージは、受信モード設定とアクセプタンスフィルタ機能に基づく条件に一致する最初のメールボックスに格納されます。このとき、番号の小さいメールボックスを優先して、受信メッセージが格納されます。
3. CAN オペレーションモードでは、ID が一致していても、CAN モジュールは自ら送信したデータを受信しません。ただし、セルフテストモードでは、CAN モジュールは自ら送信したデータを受信し、ACK を返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する場合：

1. メールボックスを設定する前に、MCTL\_TXj レジスタが 00h であること、およびアポート処理が待機中でないことを確認してください。

### 32.7.1 受信

図 32.18 に、データフレーム受信時の動作例（オーバーライトモードの場合）を示します。

この例は、MCTL\_RXj レジスタ（j=0～31）の受信条件に一致する2つの連続した CAN メッセージを受信したときに、CAN モジュールが最初のメッセージを上書きする場合の動作です。

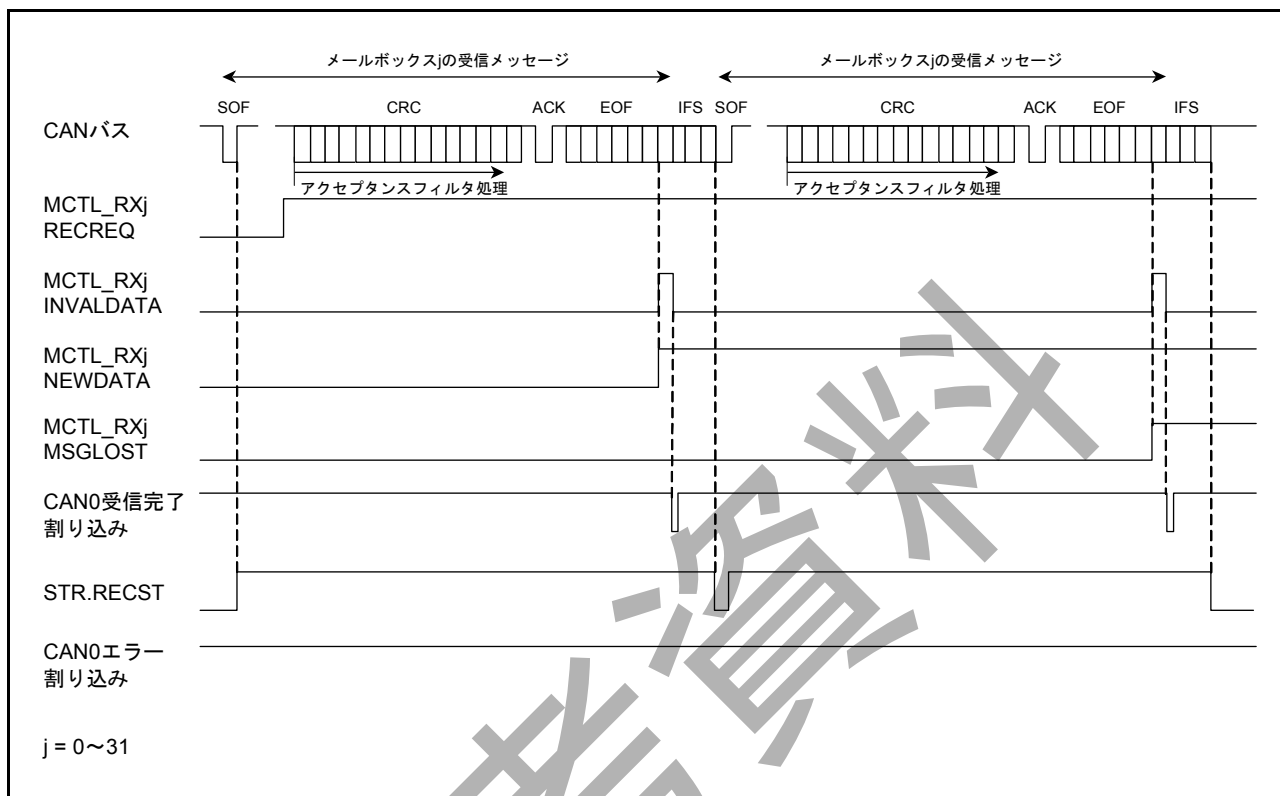


図 32.18 データフレーム受信時の動作例（オーバーライトモードの場合）

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、STR.RECST ビットが 1（受信中）になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの MCTL\_RXj.NEWDATA ビットが 1（新しいメッセージをメールボックスに格納中または格納済み）になります。同時に MCTL\_RXj.INVALIDDATA フラグが 1（メッセージを更新中）になります。そのメールボックスにメッセージ全体が転送された後、INVALIDDATA フラグが再度 0（メッセージは有効）になります。
4. 受信メールボックスの MIER レジスタの割り込み許可ビットが 1（割り込み許可）の場合、INVALIDDATA フラグが 0 になっていると、CAN0 受信完了割り込み要求が発生します。
5. メールボックスからメッセージを読み出した後、NEWDATA ビットをソフトウェアで 0 にする必要があります。
6. オーバーライトモードでは、MCTL\_RXj.NEWDATA ビットが 0 になる前に、次の CAN メッセージを受信すると、MCTL\_RXj.MSGLOST ビットが 1（メッセージのオーバーライトあり）になります。新しく受信したメッセージはメールボックスに転送されます。CAN0 受信完了割り込み要求が、手順 4. と同様に発生します。

図 32.19 に、データフレーム受信時の動作例（オーバーランモードの場合）を示します。この例は、MCTL\_RXj レジスタ（j=0～31）の受信条件に一致する2つの連続したCANメッセージを受信したときに、CANモジュールが2番目のメッセージをオーバーランする場合の動作です。

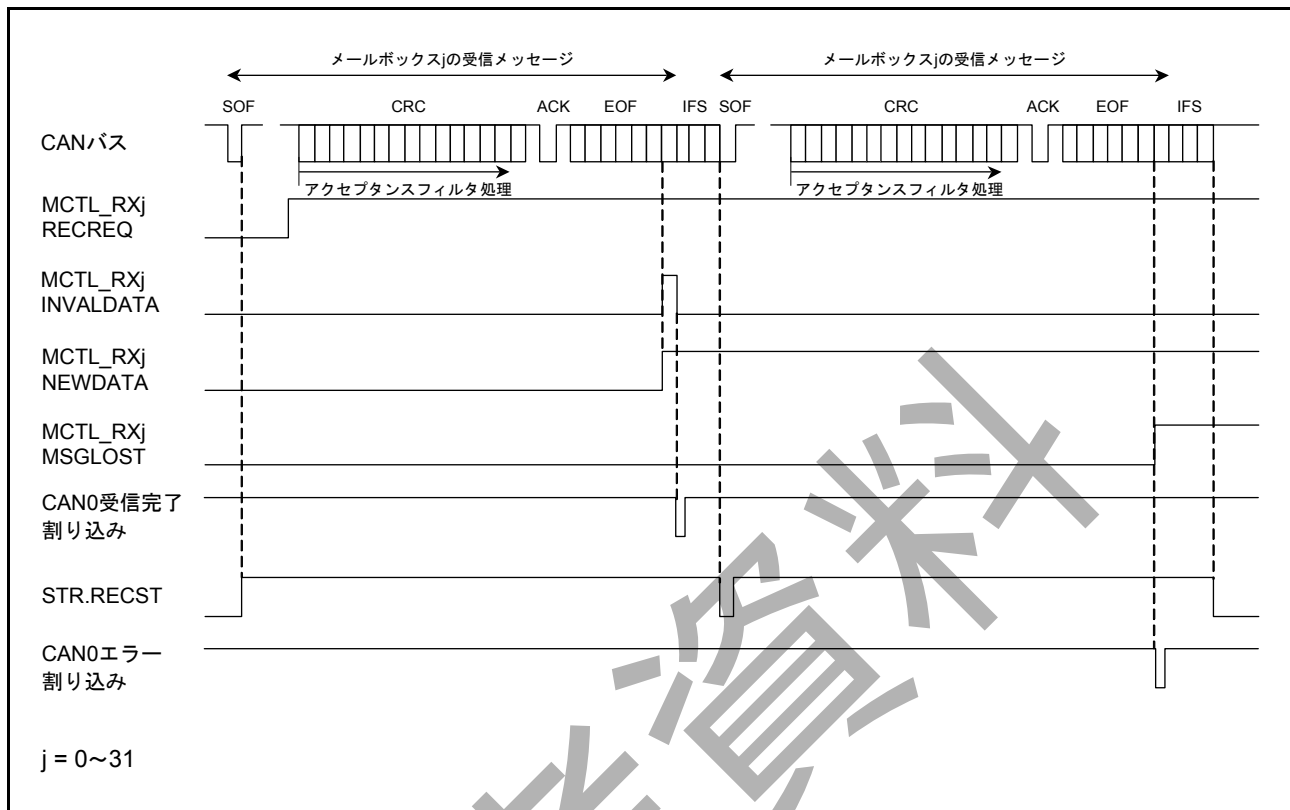


図 32.19 データフレーム受信時の動作例（オーバーランモードの場合）

手順 1. ~ 5. はオーバーライトモードと同じです。

- オーバーランモードでは、MCTL\_RXj.NEWDATA ビットが 0 になる前に、次の CAN メッセージを受信すると、MCTL\_RXj.MSGLOST ビットが 1（メッセージのオーバーランあり）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが 1（割り込み許可）の場合、CAN0 エラー割り込み要求が発生します。

## 32.7.2 送信

図 32.20 に、データフレーム送信時の動作例を示します。

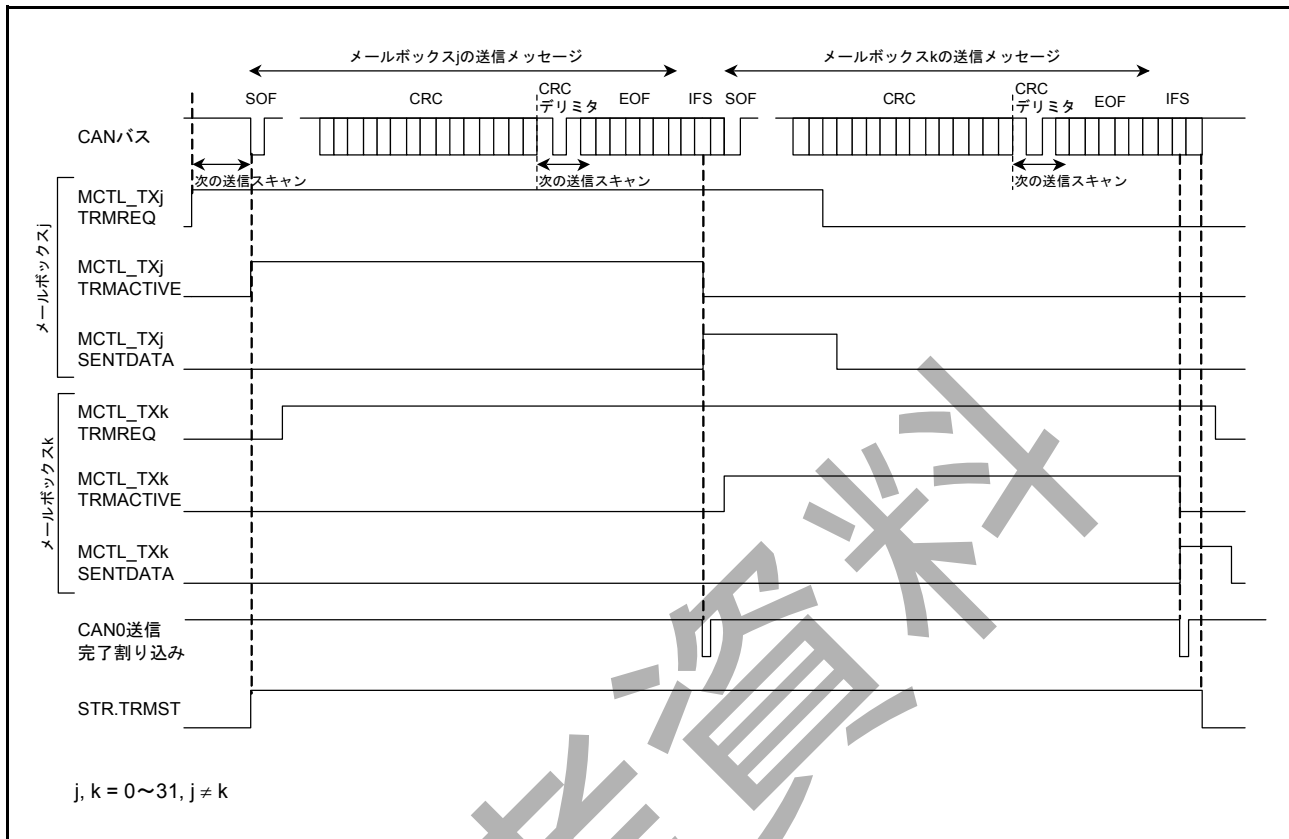


図 32.20 データフレーム送信時の動作例

- バスアイドル状態で、MCTL\_TXj.TRMREQ ビット ( $j=0\sim 31$ ) を 1 (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャンが開始されます。送信メールボックスが決定されると、MCTL\_TXj.TRMACTIVE フラグが 1 (送信要求の取り込みから、送信完了まで、あるいは、エラー発生またはアービトレーションロスト発生まで) になり、さらに STR.TRMST ビットが 1 (送信中) になって、CAN モジュールは送信を開始します (注 1)。
- 他の TRMREQ ビットが設定されている場合は、次の送信の CRC デリミタから送信スキャンが開始されます。
- アービトレーションロストが発生せずに送信が完了すると、MCTL\_TXj.SENTDATA ビットが 1 (送信完了) になり、TRMACTIVE フラグが 0 (送信待機中または送信要求なし) になります。そして、MIER レジスタの割り込み許可ビットが 1 (割り込み許可) の場合は、CAN0 送信完了割り込み要求が発生します。
- 同一のメールボックスから次の送信を要求する場合は、SENTDATA および TRMREQ ビットを 0 にした後、SENTDATA および TRMREQ ビットが 0 になったことを確認してから、TRMREQ ビットを 1 にしてください。

注 1. CAN モジュールが送信を開始した後、アービトレーションロストが発生した場合は、TRMACTIVE フラグは 0 になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、CRC デリミタの始めから、最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。

## 32.8 割り込み

CAN モジュールには、チャンネルごとに下記の割り込みがあります。

- メールボックス 0～31 の CAN0 受信完了割り込み (CAN0\_RXM)
- メールボックス 0～31 の CAN0 送信完了割り込み (CAN0\_TXM)
- CAN0 受信 FIFO 割り込み (CAN0\_RXF)
- CAN0 送信 FIFO 割り込み (CAN0\_TXF)
- CAN0 エラー割り込み (CAN0\_ERS)

CAN0 のエラー割り込みには、下記の 8 つの割り込み要因が利用可能です。EIFR レジスタを確認して、割り込み要因を調べてください。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバーラン
- オーバーロードフレーム送信
- バスロック

表 32.11 に CAN 割り込みの一覧を示します。

表 32.11 CANの割り込み

モジュール	割り込み シンボル	割り込み要因	要因フラグ
CAN0	CAN0_ERS	バスロック検出	EIFR.BLIF
		オーバーロードフレーム送信検出	EIFR.OLIF
		オーバーラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	CAN0_RXF	受信 FIFO メッセージ受信 (MIER_FIFO.MB29 = 0)	RFCR.RFUST[2:0]
		受信 FIFO ワーニング (MIER_FIFO.MB29 = 1)	
	CAN0_TXF	送信 FIFO メッセージ送信完了 (MIER_FIFO.MB25 = 0)	TFCR.TFUST[2:0]
		FIFO ラストメッセージ送信完了 (MIER_FIFO.MB25 = 1)	
	CAN0_RXM	メールボックス 0～31 メッセージ受信	MCTL_RX[0].NEWDATA ~ MCTL_RX[31].NEWDATA
	CAN0_TXM	メールボックス 0～31 メッセージ送信完了	MCTL_TX[0].SENTDATA ~ MCTL_TX[31].SENTDATA

## 32.9 使用上の注意事項

### 32.9.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、CAN モジュールの動作を許可または禁止することが可能です。リセット後の初期状態では、CAN モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

### 32.9.2 動作クロックの設定

- CCLKS ビットが 1 のとき、CAN モジュールは下記のクロック制約を満たす必要があります。

$$fPCLKB \geq fCANMCLK$$

- CCLKS ビットが 0 のとき、CAN モジュールの周辺モジュールクロックソースは PLL でなければいけません。
- CAN モジュールを使用する場合、PCLKA と PCLKB のクロック周波数比は 2:1 でなければいけません。これ以外の設定では、動作は保証されません。

参考資料

### 33. シリアルペリフェラルインタフェース (SPI)

本章に記載している PCLK とは PCLKA を指します。また、 $n$  は A または B を表し、 $i$  は 0 または 1 を表します。端子または信号名の小文字の  $i$  は 0 ~ 3 の値を表し、SPI コマンドレジスタ  $m$  (SPCMD $m$ ) の小文字の  $m$  は 0 ~ 7 の値を表します。

#### 33.1 概要

本 MCU は、独立した 2 チャンネルのシリアルペリフェラルインタフェース (SPI) を内蔵しています。SPI チャンネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式シリアル通信が可能です。

表 33.1 に SPI の仕様を、図 33.1 に SPI のブロック図を示します。

表 33.1 SPI の仕様 (1/2)

項目	内容
チャンネル数	2チャンネル
SPI転送機能	<ul style="list-style-type: none"> <li>MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号を使用して、SPI動作 (4線式) またはクロック同期式動作 (3線式) によるシリアル通信が可能</li> <li>送信のみの動作が可能</li> <li>通信モード: 全二重または送信のみを選択可能</li> <li>RSPCK極性切り替え</li> <li>RSPCK位相切り替え</li> </ul>
データフォーマット	<ul style="list-style-type: none"> <li>MSBファーストまたはLSBファーストを選択可能</li> <li>転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットから選択可能</li> <li>送信/受信バッファは128ビット</li> <li>一度の送受信で最大4フレームを転送 (1フレームは最大32ビット)</li> </ul>
ビットレート	<ul style="list-style-type: none"> <li>マスタモード時、内蔵ポーレートジェネレータでPCLKを分周してRSPCKを生成 (分周比は2~4,096分周)</li> <li>スレーブモード時は、PCLKの最小6分周のクロックを、RSPCKとして入力可能 (RSPCKの最大周波数はPCLKの6分周)</li> <li>High幅: PCLKの3サイクル</li> <li>Low幅: PCLKの3サイクル</li> </ul>
バッファ構成	<ul style="list-style-type: none"> <li>送信および受信バッファはそれぞれダブルバッファ構造</li> <li>送信および受信バッファは128ビット</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>モードフォルトエラー検出</li> <li>アンダーランエラー検出</li> <li>オーバーランエラー検出 (注1)</li> <li>パリティエラー検出</li> </ul>
SSL制御機能	<ul style="list-style-type: none"> <li>1チャンネルあたり4本のSSL端子 (SSLn0~SSLn3)</li> <li>シングルマスタモード時: SSLn0~SSLn3端子は出力用</li> <li>マルチマスタモード時: <ul style="list-style-type: none"> <li>SSLn0端子は入力用、SSLn1~SSLn3端子は出力用または未使用</li> </ul> </li> <li>スレーブモード時: <ul style="list-style-type: none"> <li>SSLn0端子は入力用、SSLn1~SSLn3端子は未使用</li> </ul> </li> <li>SSL出力のアサートからRSPCK動作までの遅延 (RSPCK遅延) を制御可能 設定範囲: 1~8RSPCK周期 (設定単位: 1RSPCK周期)</li> <li>RSPCK停止からSSL出力のネゲートまでの遅延 (SSLネゲート遅延) を制御可能 設定範囲: 1~8RSPCK周期 (設定単位: 1RSPCK周期)</li> <li>次アクセスのSSL出力アサートのウェイト (次アクセス遅延) を制御可能 設定範囲: 1~8RSPCK周期 (設定単位: 1RSPCK周期)</li> <li>SSL極性変更機能</li> </ul>
マスタ転送時の制御方式	<ul style="list-style-type: none"> <li>最大8コマンドで構成された転送を連続してループ実行可能</li> <li>各コマンドに以下の項目を設定可能: <ul style="list-style-type: none"> <li>SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、MSB/LSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延</li> </ul> </li> <li>送信バッファへの書き込みによる転送起動</li> <li>SSLネゲート時のMOSI信号値を設定可能</li> <li>RSPCK自動停止機能</li> </ul>

表 33.1 SPIの仕様 (2/2)

項目	内容
割り込み要因	<ul style="list-style-type: none"> <li>受信バッファフル割り込み</li> <li>送信バッファエンプティ割り込み</li> <li>SPIエラー割り込み (モードフォルト、オーバーラン、パリティエラー)</li> <li>SPIアイドル割り込み (SPIアイドル)</li> <li>送信完了割り込み</li> </ul>
イベントリンク機能 (出力)	以下のイベントをイベントリンクコントローラへ出力可能 <ul style="list-style-type: none"> <li>受信バッファフル信号</li> <li>送信バッファエンプティ信号</li> <li>モードフォルト/アンダーラン/オーバーラン/パリティエラー信号</li> <li>SPIアイドル信号</li> <li>送信完了信号</li> </ul>
その他	<ul style="list-style-type: none"> <li>CMOS/オープンドレイン出力切り替え機能</li> <li>SPI初期化機能</li> <li>ループバックモード</li> </ul>
モジュールストップ機能	モジュールストップ状態への設定が可能

注 1. マスタ受信時に RSPCK 自動停止機能が有効な場合は、オーバーランエラーが検出されると転送クロックが停止するため、オーバーランエラーは発生しません。



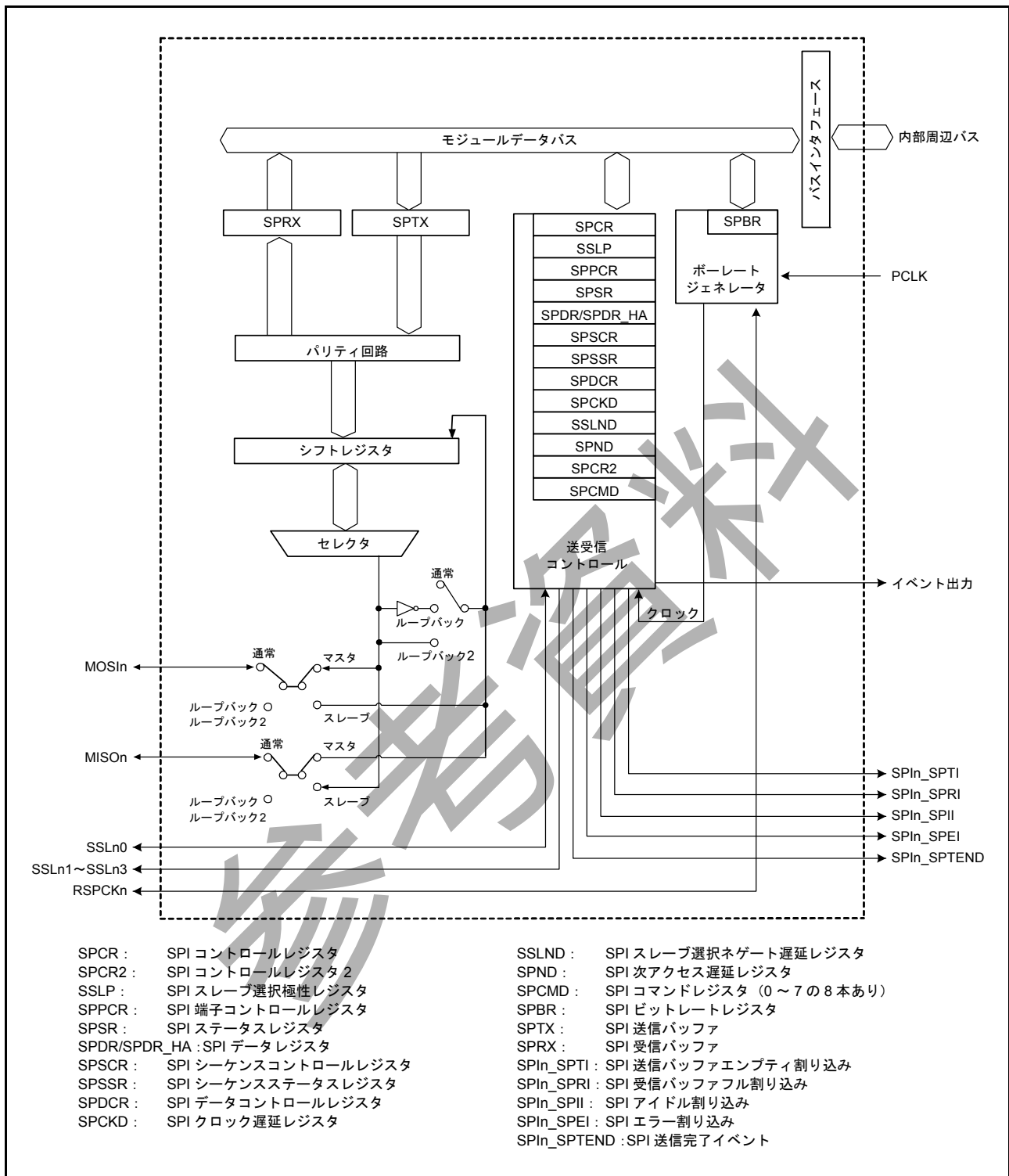


図 33.1 SPI のブロック図

表 33.2 に SPI で使用する入出力端子を示します。

SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 は、SPI がシングルマスタの場合は出力状態、マルチマスタとスレーブの場合は入力状態になります。RSPCKn、MOSIn、および MISOn 端子の入出力方向は、マスタ/スレーブ設定と SSLn0 端子の入力レベルに応じて、SPI が自動的に切り替えます。

詳細は、33.3.2 SPI 端子の制御を参照してください。

表 33.2 SPIの端子構成

チャンネル	端子名	入出力	機能
SPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力
SPI1	RSPCKB	入出力	クロック入出力
	MOSIB	入出力	マスタ送出データ入出力
	MISOB	入出力	スレーブ送出データ入出力
	SSLB0	入出力	スレーブセレクト入出力
	SSLB1	出力	スレーブセレクト出力
	SSLB2	出力	スレーブセレクト出力
	SSLB3	出力	スレーブセレクト出力

## 33.2 レジスタの説明

### 33.2.1 SPI コントロールレジスタ (SPCR)

アドレス SPI0.SPCR 4007 2000h, SPI1.SPCR 4007 2100h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	SPIモード選択	0: SPI動作 (4線式) 1: クロック同期式動作 (3線式)	R/W
b1	TXMD	通信動作モード選択	0: 全二重同期式シリアル通信 1: 送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	SPIマスタ/スレーブモード選択	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	SPIエラー割り込み許可	0: SPIエラー割り込み要求の発生を禁止 1: SPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可	0: 送信バッファエンプティ割り込み要求の発生を禁止 1: 送信バッファエンプティ割り込み要求の発生を許可	R/W
b6	SPE	SPI機能有効	0: SPI機能は無効 1: SPI機能は有効	R/W
b7	SPRIE	SPI受信バッファフル割り込み許可	0: SPI受信バッファフル割り込み要求の発生を禁止 1: SPI受信バッファフル割り込み要求の発生を許可	R/W

SPCR.SPE ビットが 1 の状態で、SPCR.MSTR ビット、SPCR.MODFEN ビット、または SPCR.TXMD ビットを変更した場合、以降の動作を行わないでください。

#### SPMS ビット (SPI モード選択)

SPI 動作 (4 線式) またはクロック同期式動作 (3 線式) を選択します。

クロック同期式動作では、SSLn0 ~ SSLn3 端子は使用されません。RSPCKn 端子、MOSIn 端子、MISO<sub>n</sub> 端子の 3 端子を用いて通信を行います。また、マスタモード (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを 0 または 1 にしてください。スレーブモード (SPCR.MSTR = 0) でクロック同期式動作を行う場合は、CPHA ビットを 1 にしてください。スレーブモード (SPCR.MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットが 0 であれば、動作を行わないでください。

#### TXMD ビット (通信動作モード選択)

全二重同期式のシリアル通信または送信のみの動作を選択します。

TXMD ビットを 1 にして通信を行う場合、SPI は送信動作のみを行い、受信動作を行いません (33.3.6 データ転送モードを参照してください)。

また、TXMD ビットを 1 にした場合、受信バッファフルの割り込み要求を使用することはできません。

#### MODFEN ビット (モードフォルトエラー検出許可)

モードフォルトエラーの検出を許可または禁止します (33.3.8 エラー検出を参照)。また、SPI は MODFEN ビットと MSTR ビットとの組み合わせに基づいて、SSLn0 ~ SSLn3 端子の入出力方向を決定します (33.3.2 SPI 端子の制御を参照)。

#### MSTR ビット (SPI マスタ/スレーブモード選択)

SPI に対してマスタモードまたはスレーブモードを選択します。SPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISO<sub>n</sub>、および SSLn0 ~ SSLn3 端子の方向を決定します。

**SPEIE ビット (SPI エラー割り込み許可)**

以下の場合に、SPI エラー割り込み要求の発生を許可または禁止します。

- SPI がモードフォルトエラーまたはアンダーランエラーを検出し、SPSR.MODF フラグを 1 にした場合
- SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にした場合
- SPI がパリティエラーを検出し、SPSR.PERF フラグを 1 にした場合

詳細は、[33.3.8 エラー検出](#)を参照してください。

**SPTIE ビット (送信バッファエンプティ割り込み許可)**

SPI が送信バッファエンプティを検出したときの、送信バッファエンプティ割り込み要求の発生を許可または禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPE ビットと SPTIE ビットを同時に 1 にするか、または SPTIE ビットを 1 にした後、SPE ビットを 1 にすることで発生します。SPI 機能を無効 (SPTIE ビットを 0 に変更) にしても、SPTIE ビットが 1 であると、割り込みが発生します。

**SPE ビット (SPI 機能有効)**

SPI 機能を有効または無効にします。SPSR.MODF フラグが 1 の場合、SPE ビットを 1 にすることはできません。詳細は、[33.3.8 エラー検出](#)を参照してください。

SPE ビットを 0 にすると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。詳細は、[33.3.9 SPI の初期化](#)を参照してください。また、SPE ビットを 0 から 1 へまたは 1 から 0 へ切り替えると、送信バッファエンプティ割り込み要求が発生します。

**SPRIE ビット (SPI 受信バッファフル割り込み許可)**

SPI がシリアル転送完了後の受信バッファフルを検出したときの、割り込み要求の発生を許可または禁止します。

**33.2.2 SPI スレーブ選択極性レジスタ (SSLP)**

アドレス SPI0.SSLP 4007 2001h, SPI1.SSLP 4007 2101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0 信号極性設定	0 : SSL0 信号はアクティブ Low 1 : SSL0 信号はアクティブ High	R/W
b1	SSL1P	SSL1 信号極性設定	0 : SSL1 信号はアクティブ Low 1 : SSL1 信号はアクティブ High	R/W
b2	SSL2P	SSL2 信号極性設定	0 : SSL2 信号はアクティブ Low 1 : SSL2 信号はアクティブ High	R/W
b3	SSL3P	SSL3 信号極性設定	0 : SSL3 信号はアクティブ Low 1 : SSL3 信号はアクティブ High	R/W
b7-b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SSLP レジスタの内容を変更した場合、以降の動作を行わないでください。

## 33.2.3 SPI 端子コントロールレジスタ (SPPCR)

アドレス SPI0.SPPCR 4007 2002h, SPI1.SPPCR 4007 2102h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	SPIループバック	0 : 通常モード 1 : ループバックモード (データを反転して送信)	R/W
b1	SPLP2	SPIループバック2	0 : 通常モード 1 : ループバックモード (データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MOIFV	MOSIアイドル固定値	0 : MOSIアイドル時のMOSIn端子の出力レベルをLowに設定 1 : MOSIアイドル時のMOSIn端子の出力レベルをHighに設定	R/W
b5	MOIFE	MOSIアイドル値固定許可	0 : MOSI出力値は前回転送の最終データ 1 : MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPPCR レジスタの内容を変更した場合、以降の動作を行わないでください。

**SPLP ビット (SPI ループバック)**

SPI の端子モードを選択します。

SPLP ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI<sub>n</sub> 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路と出力経路を接続し、ループバックモードを確立します。

**SPLP2 ビット (SPI ループバック 2)**

SPI の端子モードを選択します。

SPLP2 ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI<sub>n</sub> 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路と出力経路を接続し、ループバックモードを確立します。

**MOIFV ビット (MOSI アイドル固定値)**

マスタモードで MOIFE ビットが 1 の場合、MOIFV ビットは、バースト転送における SSL 保持期間を含む SSL ネゲート期間中の MOSI<sub>n</sub> 端子の出力値を決定します。

**MOIFE ビット (MOSI アイドル値固定許可)**

SPI がマスタモードかつ SSL ネゲート期間中 (バースト転送における SSL 保持期間を含む) のとき、MOSI<sub>n</sub> 出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI<sub>n</sub> 端子に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットに設定された固定値を MOSI<sub>n</sub> 端子に出力します。

## 33.2.4 SPI ステータスレジスタ (SPSR)

アドレス SPI0.SPSR 4007 2003h, SPI1.SPSR 4007 2103h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	—	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバーランエラーフラグ	0: オーバーランエラーなし 1: オーバーランエラー発生	R/(W) (注1)
b1	IDLNF	SPIアイドルフラグ	0: SPIはアイドル状態 1: SPIは転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーおよびアンダーランエラーなし 1: モードフォルトエラーまたはアンダーランエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	UDRF	アンダーランエラーフラグ	0: モードフォルトエラー発生 (MODF = 1) 1: アンダーランエラー発生 (MODF = 1) 本ビットはMODFフラグが0の場合、無効です。	R/W (注1) (注2)
b5	SPTEF	SPI送信バッファエンプティフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	R/(W) (注1) (注3)
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SPRF	SPI受信バッファフルフラグ	0: SPDR/SPDR_HAに有効なデータなし 1: SPDR/SPDR_HAに有効なデータあり	R/(W) (注1) (注3)

- 注1. フラグをクリアするため、1を読んだ後に0を書き込むことのみ可能です。  
 注2. MODFフラグをクリアすると同時に、UDRFフラグをクリアしてください。  
 注3. 書く場合、1としてください。

**OVRF フラグ (オーバーランエラーフラグ)**

オーバーランエラーの発生を示します。マスタモード (SPCR.MSTR = 1) かつ RSPCK クロック自動停止機能有効 (SPCR1.SCKASE = 1) の場合、オーバーランエラーは発生せず、このフラグは1になりません。詳細は、[33.3.8.1 オーバーランエラー](#)を参照してください。

[1になる条件]

- SPCR.TXMD ビットが0かつ受信バッファフルの状態、次のシリアル転送が終了したとき

[0になる条件]

- OVRFフラグが1の状態、SPSRレジスタを読んだ後、本フラグに0を書いたとき

**IDLNF フラグ (SPI アイドルフラグ)**

SPI の転送状況を示します。

[1 になる条件]

**マスタモード**

- このフラグの [0 になる条件] に示した、マスタモード時の条件 1. と条件 2. のいずれも満たさないとき

**スレーブモード**

- SPCR.SPE ビットが 1 (SPI 機能が有効) のとき

[0 になる条件]

**マスタモード**

- 条件 1. を満たすか、または条件 2.、3.、および 4. を満たすとき

- SPI 初期化のため、SPCR.SPE ビットが 0 であるとき
- 送信バッファ (SPTX) が空である (次転送データがセットされていない) とき
- SPSSR.SPCP[2:0] ビットが 000b (シーケンス制御の先頭) であるとき
- SPI 内部シーケンサがアイドル状態 (次アクセス遅延までの動作が完了) のとき

**スレーブモード**

- SPI 初期化のため、SPCR.SPE ビットが 0 であるとき

**MODF フラグ (モードフォルトエラーフラグ)**

モードフォルトエラーまたはアンダーランエラーの発生を示します。発生したエラーの種類は UDRF フラグによって示されます。

[1 になる条件]

**マルチマスタモード**

- SPCR.MSTR ビットが 1 (マスタモード)、SPCR.MODFEN ビットが 1 (モードフォルトエラー検出を許可) の状態で、SSLni 端子の入力レベルがアクティブレベルになり、SPI がモードフォルトエラーを検出したとき

**スレーブモード**

- 下記の条件 1. または条件 2. を満たしているとき

- SPCR.MSTR ビットが 0 (スレーブモード)、かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネグートされ、モードフォルトエラーが発生した場合
- SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生した場合

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット (SSLi 信号極性設定ビット) によって決定されます。

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

**PERF フラグ (パリティエラーフラグ)**

パリティエラーの発生を示します。

[1 になる条件]

- SPCR.TXMD ビットが 0、かつ SPCR2.SPPE ビットが 1 の状態で、シリアル転送が終了し、パリティエラーが発生したとき

[0 になる条件]

- PERF フラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

### UDRF フラグ (アンダーランエラーフラグ)

アンダーランエラーの発生を示します。

[1 になる条件]

- SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生したとき

[0 になる条件]

- UDRF フラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

### SPTEF フラグ (SPI 送信バッファエンプティフラグ)

SPI データレジスタ (SPDR/SPDR\_HA) の送信バッファの状態を示します。

[1 になる条件]

- 下記の条件 1. または条件 2. を満たしているとき
1. SPI 初期化のため、SPCR.SPE ビットが 0 であるとき
  2. 送信データが送信バッファからシフトレジスタへ転送されたとき

[0 になる条件]

- SPDR/SPDR\_HA レジスタへ書き込まれるデータが、SPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数に等しいとき

SPTEF ビットが 1 の場合のみ、データを SPDR/SPDR\_HA レジスタに書き込むことができます。SPTEF ビットが 0 のときに SPDR/SPDR\_HA レジスタの送信バッファにデータが書き込まれた場合、送信バッファのデータは更新されません。

### SPRF フラグ (SPI 受信バッファフルフラグ)

SPI データレジスタ (SPDR/SPDR\_HA) の受信バッファの状態を示します。

[1 になる条件]

- SPI コントロールレジスタ (SPCR) の通信動作モード選択ビット (TXMD) が 0、かつ SPRF ビットが 0 の状態で、シリアル転送が終了した場合、SPI がシフトレジスタから SPDR/SPDR\_HA へ受信データを転送したとき  
ただし、OVRF フラグが 1 の場合、SPRF フラグは 0 から 1 に変更されない

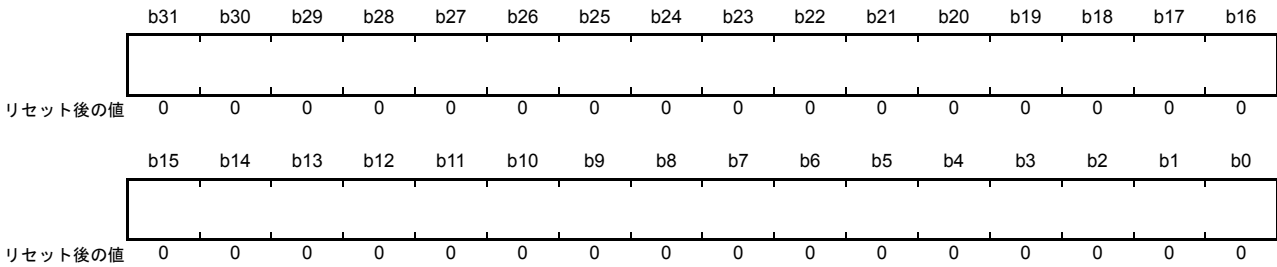
[0 になる条件]

- 受信データが SPDR/SPDR\_HA レジスタから読み出されたとき

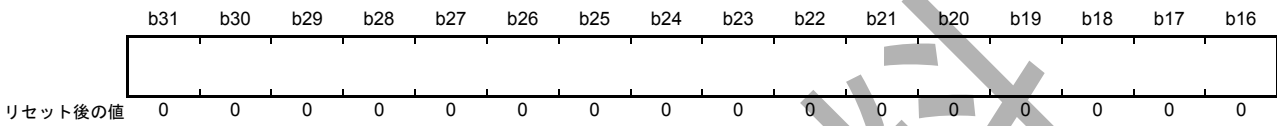


### 33.2.5 SPI データレジスタ (SPDR/SPDR\_HA)

アドレス SPI0.SPDR 4007 2004h, SPI1.SPDR 4007 2104h



アドレス SPI0.SPDR\_HA 4007 2004h, SPI1.SPDR\_HA 4007 2104h



SPDR/SPDR\_HA レジスタは、SPI 送受信用のデータを格納するバッファとのインタフェースです。

ワードアクセス (SPLW ビット=1) のときは、SPDR レジスタにアクセスしてください。ハーフワードアクセス (SPLW ビット=0) のときは、SPDR\_HA レジスタにアクセスしてください。

送信バッファ (SPTX) と受信バッファ (SPRX) は独立したバッファですが、SPDR/SPDR\_HA レジスタにマッピングされています。図 33.2 に、SPDR/SPDR\_HA レジスタの構成図を示します。

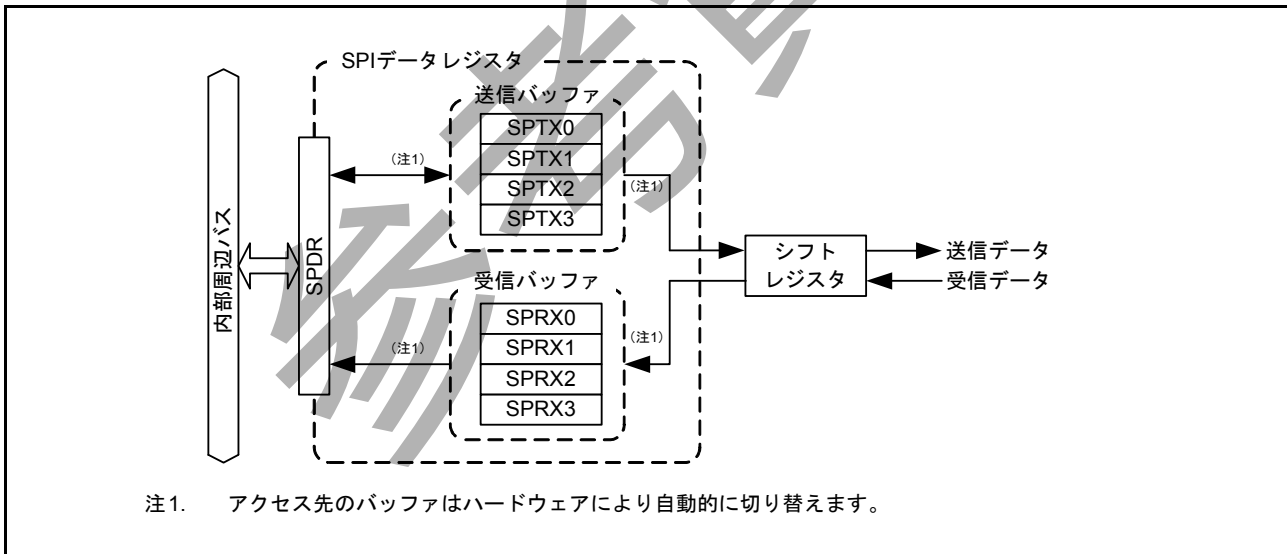


図 33.2 SPDR/SPDR\_HA レジスタの構成図

送信バッファと受信バッファには、それぞれ 4 ステージあります。ステージ数は、SPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR/SPDR\_HA レジスタの 1 アドレスに、この合計 8 バッファステージすべてがマッピングされます。

SPDR/SPDR\_HA レジスタへ書き込まれたデータは、送信バッファステージ (SPTXn) (n=0~3) へ書き込まれた後、バッファから送信されます。受信バッファは、受信完了時に受信データを格納します。オーバーランが発生すると、受信バッファは更新されません。

データ長が 32 ビット以外の場合、SPRXn (n=0~3) の関連するビットには、SPTXn (n=0~3) の非参照ビットが格納されます。たとえば、データ長が 9 ビットのデータを受信した場合は SPRXn[8:0] ビットには受信データが格納され、SPRXn[31:9] ビットには SPTXn[31:9] が格納されます。

### (1) バスインタフェース

SPDR/SPDR\_HA レジスタは、32 ビットの送信バッファと受信バッファとのインタフェースであり、それぞれのバッファが 4 ステージ持ち、合計 32 バイトあります。これらの 32 バイトを SPDR/SPDR\_HA レジスタの 4 バイトのアドレス空間にマッピングしています。SPDR/SPDR\_HA レジスタへのアクセスは、SPI データコントロールレジスタの SPI ワードアクセス/ハーフワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

以下では、SPDR/SPDR\_HA レジスタに対する書き込みおよび読み出しに関連する動作について説明します。

#### (a) 書き込み

SPDR/SPDR\_HA レジスタに書き込むことによって、送信バッファ (SPTXn) にデータを書くことができます。SPDR/SPDR\_HA レジスタの読み出し時と異なり、書き込みは SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには送信バッファライトポインタがあり、SPDR/SPDR\_HA レジスタへデータを書き込むたびにポインタが自動更新され、次のステージを参照するようになります。

図 33.3 に、SPDR レジスタへの書き込み時の送信バッファのバスインタフェースの構成図を示します。

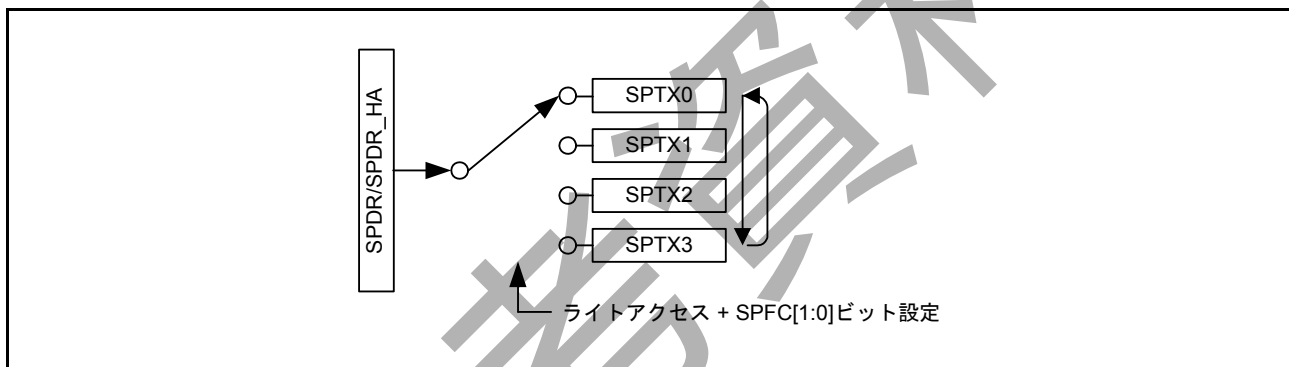


図 33.3 書き込み時の SPDR/SPDR\_HA レジスタの構成図

送信バッファライトポインタの切り替え順序は、SPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定値によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 から SPTX3 へのポインタ切り替え順序
  - SPFC[1:0] ビットが 00b のとき: SPTX0 → SPTX0 → SPTX0 → . . .
  - SPFC[1:0] ビットが 01b のとき: SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
  - SPFC[1:0] ビットが 10b のとき: SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
  - SPFC[1:0] ビットが 11b のとき: SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

本ビットが 0 のとき、SPI コントロールレジスタの SPI 機能有効ビット (SPCR.SPE) に 1 を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF = 1)、SPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分を書き込んでください。書き込み完了から次の送信バッファエンプティ割り込み発生 (SPSR.SPTEF = 0) までの期間は、送信バッファ (SPTXn) にフレーム数分の書き込みを行っても同バッファの値は更新されません。

#### (b) 読み出し

SPDR/SPDR\_HA レジスタにアクセスすることによって、受信バッファ (SPRXn) または送信バッファ (SPTXn) の値を読むことができます。SPI データコントロールレジスタの SPI 送受信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR/SPDR\_HA レジスタの読み出し順は、独立したポインタである受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 33.4 に、SPDR/SPDR\_HA レジスタからの読み出し時の受信および送信バッファのバスインタフェースの構成図を示します。

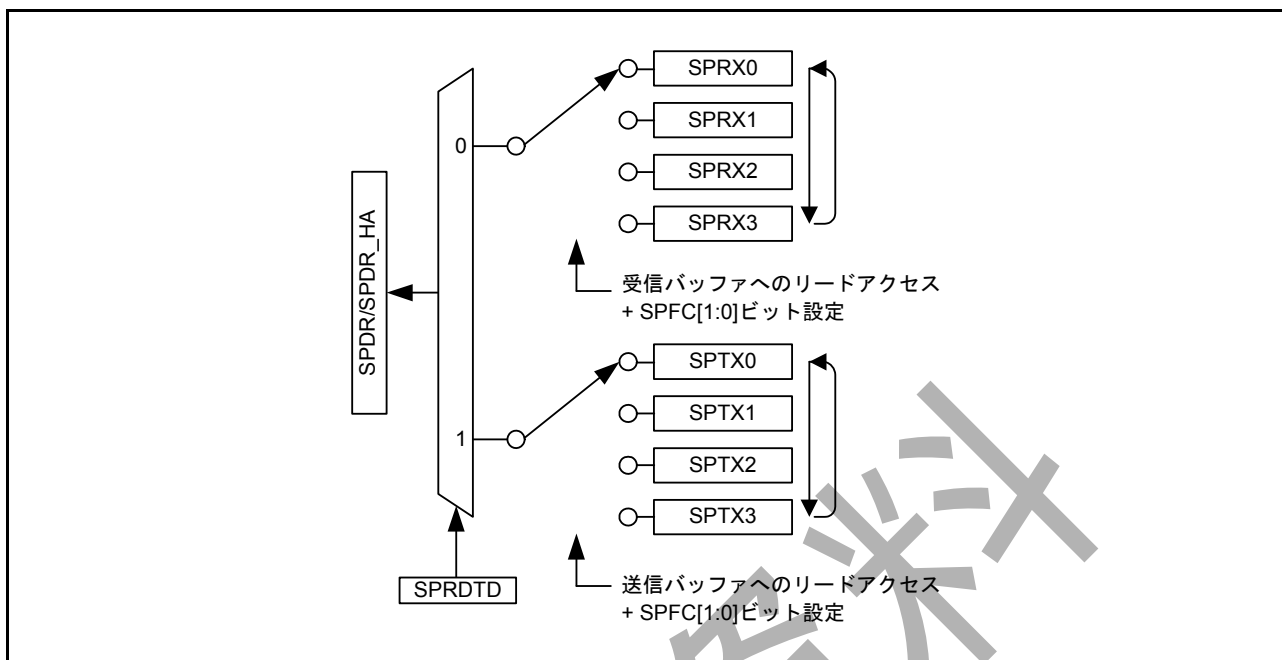


図 33.4 読み出し時の SPDR/SPDR\_HA レジスタの構成図

受信バッファを読み出すと、受信バッファリードポインタが次のバッファに自動的に切り替わります。

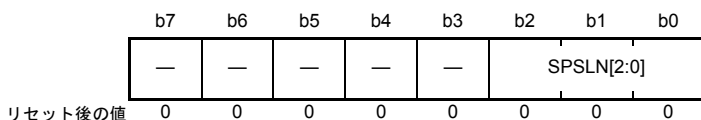
受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。

ただし、このビットが 1 のとき SPI コントロールレジスタの SPI 機能有効ビット (SPCR.SPE) に 1 を書くと、次の読み出し時はバッファリードポインタによって SPRX0 が参照されます。

送信バッファリードポインタは、SPDR/SPDR\_HA レジスタへの書き込み時に更新され、送信バッファからの読み出し時には更新されません。送信バッファを読み出すと、SPDR/SPDR\_HA レジスタに最後に書き込まれた値が読み出されます。ただし、送信バッファエンプティ割り込み発生後に送信バッファが再びいっぱいになる (SPDCR.SPFC[1:0] ビットで指定されているデータフレーム数が送信バッファに書き込まれる) と、次の送信バッファエンプティ割り込みが発生するまで、送信バッファからの読み出し値は、すべて 0 になります。

## 33.2.6 SPI シーケンスコントロールレジスタ (SPSCR)

アドレス SPI0.SPSCR 4007 2008h, SPI1.SPSCR 4007 2108h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	SPIシーケンス長設定	b2 b0 シーケンス長 参照するSPCMD0~7レジスタ (番号) 0 0 0 : 1 0→0→... 0 0 1 : 2 0→1→0→... 0 1 0 : 3 0→1→2→0→... 0 1 1 : 4 0→1→2→3→0→... 1 0 0 : 5 0→1→2→3→4→0→... 1 0 1 : 6 0→1→2→3→4→5→0→... 1 1 0 : 7 0→1→2→3→4→5→6→0→... 1 1 1 : 8 0→1→2→3→4→5→6→7→0→... 設定されたシーケンス長に基づいて、参照するSPCMD0~SPCMD7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、SPIが参照するSPCMD0~SPCMD7レジスタの関係は上記のとおりです。なお、スレーブモードのSPIでは、SPCMD0レジスタが参照されます。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

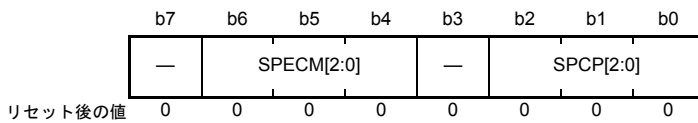
SPSCR レジスタは、SPI がマスタモードで動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR ビットおよび SPCR.SPE ビットがともに 1 の状態において、SPSCR.SPSLN[2:0] ビットを書き換える場合、必ず SPCR.IDLNF フラグが 0 であることを確認してください。

**SPSLN[2:0] ビット (SPI シーケンス長設定)**

マスタモードの SPI がシーケンス動作する場合のシーケンス長を設定します。マスタモードの SPI は SPSLN[2:0] ビットで設定されたシーケンス長に基づいて、参照する SPCMD0 ~ SPCMD7 レジスタと参照順を変更します。スレーブモードでは、SPCMD0 レジスタが参照されます。

## 33.2.7 SPI シーケンスステータスレジスタ (SPSSR)

アドレス SPI0.SPSSR 4007 2009h, SPI1.SPSSR 4007 2109h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	SPIコマンドポインタ	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと0が読めます。	R
b6-b4	SPECM[2:0]	SPIエラーコマンド	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと0が読めます。	R

SPSSR レジスタは、SPI がマスターモードで動作する場合のシーケンス制御の状態を示します。SPSSR レジスタへの書き込みは無効です。

**SPCP[2:0] ビット (SPI コマンドポインタ)**

SPI によるシーケンス制御中に、ポインタで参照されている SPCMD<sub>m</sub> レジスタを示します。SPI のシーケンス制御については、[33.3.10.1 マスタモード動作](#)を参照してください。

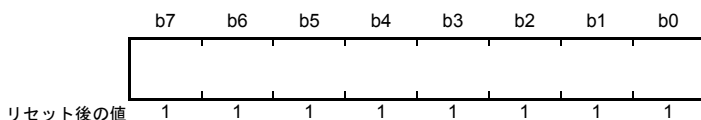
**SPECM[2:0] ビット (SPI エラーコマンド)**

SPI のシーケンス制御中のエラー検出時に SPCP[2:0] ビットで指定されていた SPCMD<sub>m</sub> レジスタを示します。SPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF フラグと SPSR.MODF フラグとともに 0 で、エラーが発生していない場合、SPECM[2:0] ビット値には意味がありません。

SPI のエラー検出機能については、[33.3.8 エラー検出](#)を参照してください。SPI のシーケンス制御については、[33.3.10.1 マスタモード動作](#)を参照してください。

## 33.2.8 SPI ビットレートレジスタ (SPBR)

アドレス SPI0.SPBR 4007 200Ah, SPI1.SPBR 4007 210Ah



SPBR レジスタは、マスタモード時のビットレートを設定するレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPBR レジスタの内容を変更した場合、以降の動作は行わないでください。

SPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、ビットレートは、入力クロックのビットレートに依存します。電気的特性を満たすビットレートを使用してください。

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。

$$\text{Bit rate} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

計算式中で n は SPBR レジスタの設定値 (0、1、2、.....、255)、N は BRDV[1:0] ビットの設定値 (0、1、2、3) です。

SPBR レジスタの設定値、BRDV[1:0] ビットの設定値、およびビットレートの関係の例を表 33.3 に示します。

表 33.3 SPBR レジスタ設定値、BRDV[1:0] ビット設定値、およびビットレートの関係

SPBR (n)	BRDV[1:0] (N)	分周比	ビットレート		
			PCLK = 32MHz	PCLK = 36MHz	PCLK = 40MHz
0	0	2	16.0Mbps	18.0Mbps	20.0Mbps
1	0	4	8.00Mbps	9.00Mbps	10.0Mbps
2	0	6	5.33Mbps	6.00Mbps	6.67Mbps
3	0	8	4.00Mbps	4.50Mbps	5.00Mbps
4	0	10	3.20Mbps	3.60Mbps	4.00Mbps
5	0	12	2.67Mbps	3.00Mbps	3.33Mbps
5	1	24	1.33Mbps	1.50Mbps	1.67Mbps
5	2	48	667kbps	750kbps	833kbps
5	3	96	333kbps	375kbps	417kbps
255	3	4,096	7.81kbps	8.80kbps	9.78kbps

## 33.2.9 SPI データコントロールレジスタ (SPDCR)

アドレス SPI0.SPDCR 4007 200Bh, SPI1.SPDCR 4007 210Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SPRDTD	SPI受信/送信データ選択	0 : SPDR/SPDR_HAは受信バッファを読み出す 1 : SPDR/SPDR_HAは送信バッファを読み出す (送信バッファが空の場合のみ)	R/W
b5	SPLW	SPIワードアクセス/ハーフワードアクセス設定	0 : SPDR_HAが有効 (ハーフワードアクセス) 1 : SPDRが有効 (ワードアクセス)	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

1回の送受信で最大4フレームを送受信できます。各転送におけるデータ量は、SPCMDm.SP[B3:0] ビット、SPSCR.SP[SLN][2:0] ビット、および SPDCR.SPFC[1:0] ビットの組み合わせで制御されます。

SPCR.SPE ビットが1の状態、SPDCR.SPFC[1:0] ビットを変更する場合、必ず SPSR.IDLNF フラグが0であることを確認してください。

## SPFC[1:0] ビット (フレーム数設定)

(1回の転送起動で) SPDR/SPDR\_HA レジスタに格納できるフレーム数を設定します。1回の送受信で最大4フレームを送受信できます。

SPFC[1:0] ビットで指定されたフレーム数分の送信データが SPDR/SPDR\_HA レジスタに書き込まれると、SPIは SPSR.SPTEF フラグを0にし、送信を開始します。その後、SPFC[1:0] ビットで指定されたフレーム数分の送信データがシフトレジスタに送信されると、SPIは送信バッファエンプティ割り込みを発生させません (SPSR.SPTEF が1になります)。

SPFC[1:0] ビットで指定されたフレーム数分のデータが受信されると、SPIは受信バッファフル割り込みを発生させます (SPSR.SPRF が1になります)。

表 33.4 SP[SLN][2:0] ビットと SPFC[1:0] ビットの設定可能な組み合わせ

設定	SP[SLN][2:0]	SPFC[1:0]	1シーケンスで転送するフレーム数	送信バッファ/受信バッファがフルになるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

**SPRDTD ビット (SPI 受信/送信データ選択)**

SPDR/SPDR\_HA レジスタが、値を受信バッファと送信バッファのどちらから読み出すかを選択します。

送信バッファから読み出す場合、SPDR/SPDR\_HA レジスタへ最後に書き込まれた値が読み出されます。送信バッファの読み出しは、SPFC[1:0] ビットで設定したフレーム数の書き込み終了前、かつ送信バッファエンプティ割り込みの発生後 (SPSR.SPTEF=1) に行ってください。

詳細は、[33.2.5 SPI データレジスタ \(SPDR/SPDR\\_HA\)](#) を参照してください。

**SPLW ビット (SPI ワードアクセス/ハーフワードアクセス設定)**

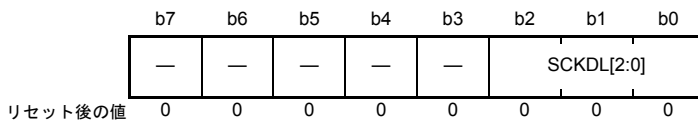
SPDR レジスタへのアクセス幅を設定します。SPLW ビットが 0 の場合、SPDR\_HA レジスタへのハーフワードアクセスが有効となり、SPLW ビットが 1 の場合、SPDR レジスタへのワードアクセスが有効となります。また、SPLW ビットが 0 のとき、SPCMDm.SPB[3:0] ビット (SPI データ長設定ビット) の設定は、8 ~ 16 ビットにしてください。20、24、32 ビットに設定した場合の動作はしないでください。

参考資料



## 33.2.10 SPI クロック遅延レジスタ (SPCKD)

アドレス SPI0.SPCKD 4007 200Ch, SPI1.SPCKD 4007 210Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK 遅延設定	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

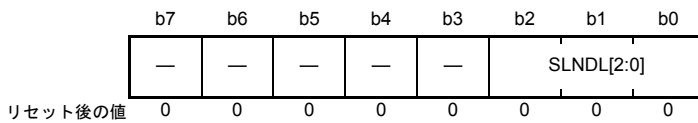
SPCKD レジスタは、SPCMDm.SCKDEN ビットが1の状態における、SSLni 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに1の状態、SPCKD レジスタの内容を変更した場合、以降の動作は行わないでください。

**SCKDL[2:0] ビット (RSPCK 遅延設定)**

SPCMDm.SCKDEN ビットが1の場合の RSPCK 遅延値を設定します。SPI をスレーブモードで使用する場合は、SCKDL[2:0] ビットを 000b にしてください。

## 33.2.11 SPI スレーブ選択ネゲート遅延レジスタ (SSLND)

アドレス SPI0.SSLND 4007 200Dh, SPI1.SSLND 4007 210Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

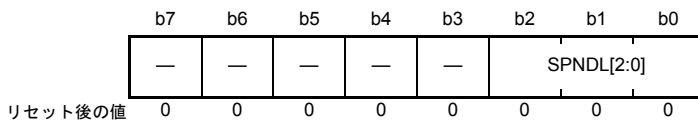
SSLNDレジスタは、マスタモードのSPIがシリアル転送の最終RSPCKエッジを送信してからSSLni信号をネゲートするまでの期間（SSLネゲート遅延）を設定するためのレジスタです。SPCR.MSTRビットとSPCR.SPEビットがともに1の状態、SSLNDレジスタの内容を変更した場合、以降の動作は行わないでください。

**SLNDL[2:0] ビット (SSLネゲート遅延設定)**

SPIがマスタモードのとき、SSLネゲート遅延値を設定します。SPIをスレーブモードで使用する場合は、SLNDL[2:0]ビットを000bにしてください。

## 33.2.12 SPI 次アクセス遅延レジスタ (SPND)

アドレス SPI0.SPND 4007 200Eh, SPI1.SPND 4007 210Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	SPI次アクセス遅延設定	b2 b0 0 0 0 : 1RSPCK + 2PCLK 0 0 1 : 2RSPCK + 2PCLK 0 1 0 : 3RSPCK + 2PCLK 0 1 1 : 4RSPCK + 2PCLK 1 0 0 : 5RSPCK + 2PCLK 1 0 1 : 6RSPCK + 2PCLK 1 1 0 : 7RSPCK + 2PCLK 1 1 1 : 8RSPCK + 2PCLK	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが 1 の状態で、シリアル転送終了後の SSLni 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPND レジスタの内容を変更した場合、以降の動作は行わないでください。

**SPNDL[2:0] ビット (SPI 次アクセス遅延設定)**

SPCMDm.SPNDEN ビットが 1 の場合の次アクセス遅延を設定します。SPI をスレーブモードで使用する場合は、SPNDL[2:0] ビットを 000b にしてください。

## 33.2.13 SPI コントロールレジスタ 2 (SPCR2)

アドレス SPI0.SPCR2 4007 200Fh, SPI1.SPCR2 4007 210Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ有効	0: 送信データにパリティビットを付加せず、受信データのパリティビットをチェックしない 1: (SPCR.TXMD = 0の場合) 送信データにパリティビットを付加し、受信データのパリティビットをチェックする (SPCR.TXMD = 1の場合) 送信データにパリティビットを付加するが、受信データのパリティビットをチェックしない	R/W
b1	SPOE	パリティモード	0: 送信用に偶数パリティを選択 1: 送信用に奇数パリティを選択	R/W
b2	SPIIE	SPIアイドル割り込み許可	0: アイドル割り込み要求の発生を禁止 1: アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己診断	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能は有効	R/W
b4	SCKASE	RSPCK自動停止機能有効	0: RSPCK自動停止機能は無効 1: RSPCK自動停止機能は有効	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPCR2 レジスタの SPPE、SPOE、または SCKASE ビットを変更した場合、以降の動作は行わないでください。

**SPPE ビット (パリティ有効)**

パリティ機能を有効または無効にします。

SPCR.TXMD ビットが 0 で、SPCR2.SPPE ビットが 1 のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。SPCR.TXMD ビットが 1 で、SPCR2.SPPE ビットが 1 のとき、送信データにパリティビットを付加しますが、受信データのパリティチェックは行いません。

**SPOE ビット (パリティモード)**

偶数パリティまたは奇数パリティを指定します。

偶数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が偶数になるようにパリティビットが付加されます。同様に、奇数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が奇数になるようにパリティビットが付加されます。

SPOE ビットは、SPPE ビットが 1 の場合にのみ有効です。

**SPIIE ビット (SPI アイドル割り込み許可)**

SPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが 0 になった場合に、SPI アイドル割り込み要求の発生を許可/禁止します。

**PTE ビット (パリティ自己診断)**

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

**SCKASE ビット (RSPCK 自動停止機能有効)**

RSPCK 自動停止機能を有効または無効にします。この機能を有効にすると、マスタモードでのデータ受信時に、オーバーランエラーが発生する前に RSPCK クロックが停止します。詳細は、[33.3.8.1 オーバーランエラー](#)を参照してください。

## 33.2.14 SPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)

アドレス SPI0.SPCMD0 4007 2010h, SPI0.SPCMD1 4007 2012h, SPI0.SPCMD2 4007 2014h, SPI0.SPCMD3 4007 2016h, SPI0.SPCMD4 4007 2018h, SPI0.SPCMD5 4007 201Ah, SPI0.SPCMD6 4007 201Ch, SPI0.SPCMD7 4007 201Eh, SPI1.SPCMD0 4007 2110h, SPI1.SPCMD1 4007 2112h, SPI1.SPCMD2 4007 2114h, SPI1.SPCMD3 4007 2116h, SPI1.SPCMD4 4007 2118h, SPI1.SPCMD5 4007 211Ah, SPI1.SPCMD6 4007 211Ch, SPI1.SPCMD7 4007 211Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定	0: 立ち上がりエッジでデータサンプリング、立ち下がりエッジでデータ変化を選択 1: 立ち上がりエッジでデータ変化、立ち下がりエッジでデータサンプリングを選択	R/W
b1	CPOL	RSPCK極性設定	0: アイドル時のRSPCKがLow 1: アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定	b3 b2 0 0: ベースのビットレート 0 1: ベースのビットレートの2分周 1 0: ベースのビットレートの4分周 1 1: ベースのビットレートの8分周	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定禁止 x: Don't care	R/W
b7	SSLKP	SSL信号レベル保持	0: 転送終了時に全SSL信号をネゲート 1: 転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	SPIデータ長設定	b11 b8 0100~0111: 8ビット 1 0 0 0: 9ビット 1 0 0 1: 10ビット 1 0 1 0: 11ビット 1 0 1 1: 12ビット 1 1 0 0: 13ビット 1 1 0 1: 14ビット 1 1 1 0: 15ビット 1 1 1 1: 16ビット 0 0 0 0: 20ビット 0 0 0 1: 24ビット 0010、0011: 32ビット	R/W
b12	LSBF	SPI LSBファースト	0: MSBファースト 1: LSBファースト	R/W
b13	SPNDEN	SPI次アクセス遅延許可	0: 次アクセス遅延は1RSPCK+2PCLK 1: 次アクセス遅延はSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可	0: SSLネゲート遅延は1RSPCK 1: SSLネゲート遅延はSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可	0: RSPCK遅延は1RSPCK 1: RSPCK遅延はSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

SPCMDm レジスタは、マスタモードのSPIの転送フォーマットを設定します。1チャンネルに、8つのSPIコマンドレジスタがあります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードのSPIの転送モードを設定するために使用されます。マスタモードのSPIはSPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した

SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (SPSR.SPTEF = 1 で、次転送のデータがセットされていない) 状態で、その SPCMDm レジスタが参照されたときに送信されるデータの設定前に行ってください。

マスタモードの SPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットで確認できます。SPCR.MSTR ビットが 0、かつ SPCR.SPE ビットが 1 の状態で、SPCMDm レジスタの内容を変更した場合、以降の動作は行わないでください。

#### CPHA ビット (RSPCK 位相設定)

マスタモードまたはスレーブモードの SPI に対して、RSPCK の位相を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 位相を設定する必要があります。

#### CPOL ビット (RSPCK 極性設定)

マスタモードまたはスレーブモードの SPI に対して、RSPCK の極性を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 極性を設定する必要があります。

#### BRDV[1:0] ビット (ビットレート分周設定)

BRDV[1:0] ビットと SPBR レジスタの設定値との組み合わせでビットレートを決定します。33.2.8 SPI ビットレートレジスタ (SPBR) を参照してください。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし / 2 分周 / 4 分周 / 8 分周したビットレートを選択します。SPCMDm の BRDV[1:0] ビットに異なる値を設定することで、コマンドごとに異なるビットレートでシリアル転送を実行できます。

#### SSLA[2:0] ビット (SSL 信号アサート設定)

マスタモードの SPI がシリアル転送を行う際の、SSL<sub>ni</sub> 信号のアサートを制御します。

SSL<sub>ni</sub> 信号アサート時の信号極性は、関連する SSLP レジスタの設定値で決定されます。マルチマスタモードで SSLA[2:0] ビットを 000b にした場合、SSL<sub>n0</sub> 端子は入力になるため、全 SSL 信号がネゲート状態でシリアル転送が実行されます。

SPI をスレーブモードで使用する場合は、SSLA[2:0] ビットを 000b にしてください。

#### SSLKP ビット (SSL 信号レベル保持)

マスタモードの SPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSL<sub>ni</sub> 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを 1 にすると、バースト転送が可能になります。詳細は、33.3.10.1 マスタモード動作の (4) バースト転送を参照してください。SPI をスレーブモードで使用する場合は、SSLKP ビットを 0 にしてください。

#### SPB[3:0] ビット (SPI データ長設定)

マスタモード / スレーブモードの SPI の転送データ長を設定します。

また、SPLW ビットが 0 のとき、SPCMDm.SP[3:0] ビット (SPI データ長設定ビット) は、8 ~ 16 ビットに設定します。

#### LSBF ビット (SPI LSB ファースト)

マスタモード / スレーブモードの SPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

#### SPNDEN ビット (SPI 次アクセス遅延許可)

マスタモードの SPI がシリアル転送を終了して SSL<sub>ni</sub> 信号を非アクティブにしてから、次アクセスの SSL<sub>ni</sub> 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を 1RSPCK+2PCLK にします。SPNDEN ビットが 1 のとき、SPI は SPND レジスタの設定値に従って次アクセス遅延を挿入します。

SPI をスレーブモードで使用する場合は、SPNDEN ビットを 0 にしてください。

**SLNDEN ビット (SSL ネゲート遅延設定許可)**

マスタモードの SPI が、RSPCK を発振停止してから SSLni 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を 1RSPCK に設定します。SLNDEN ビットが 1 のとき、SPI は SSLND レジスタの設定に従った SSL ネゲート遅延で SSL 信号をネゲートします。

SPI をスレーブモードで使用する場合は、SLNDEN ビットを 0 にしてください。

**SCKDEN ビット (RSPCK 遅延設定許可)**

マスタモードの SPI が、SSLni 信号をアクティブにしてから RSPCK の発振を開始するまでの期間 (SPI クロック遅延) を設定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を 1RSPCK に設定します。SCKDEN ビットが 1 のとき、SPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

SPI をスレーブモードで使用する場合は、SCKDEN ビットを 0 にしてください。

参考資料

### 33.3 動作説明

本項では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

#### 33.3.1 SPI 動作の概要

SPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、およびマスタモード (クロック同期式動作) での同期式シリアル転送が可能です。各モードは、SPCR.MSTR、SPCR.MODFEN、SPCR.SPMS ビットで選択できます。表 33.5 に、SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 33.5 SPIのモードとSPCRレジスタの設定値との関係、および各モードの概要

モード	スレーブ (SPI動作)	シングルマスタ (SPI動作)	マルチマスタ (SPI動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTRビット設定値	0	1	1	0	1
MODFENビット設定値	0または1	0	1	0	0
SPMSビット設定値	0	0	0	1	1
RSPCKn信号	入力	出力	出力/Hi-Z	入力	出力
MOSIn信号	入力	出力	出力/Hi-Z	入力	出力
MISOn信号	出力/Hi-Z	入力	入力	出力	入力
SSLn0信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSLn1～SSLn3信号	Hi-Z (注1)	出力	出力/Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL極性変更機能	あり	あり	あり	—	—
転送速度	～PCLK/6	～PCLK/2	～PCLK/2	～PCLK/6	～PCLK/2
クロックソース	RSPCK入力	内蔵ポーレートジェネレータ	内蔵ポーレートジェネレータ	RSPCK入力	内蔵ポーレートジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種 (CPHA = 1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	8～16、20、24、32ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力アクティブまたはRSPCK発振	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み (SPTEF = 1)	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み (SPTEF = 1)	RSPCK発振	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み (SPTEF = 1)
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり				
受信バッファフル検出	あり (注2)				
オーバーランエラー検出	あり (注2)	あり (注2) (注4)	あり (注2) (注4)	あり (注2)	あり (注2)
パリティエラー検出	あり (注2) (注3)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダーランエラー検出	あり	なし	なし	あり	なし

注 1. この機能は本モードでは使用しません。

注 2. SPCR.TXMD ビットが 1 のときは、受信バッファフル検出、オーバーランエラー検出、パリティエラー検出を行いません。

注 3. SPCR2.SPPE ビットが 0 のときは、パリティエラー検出を行いません。

注 4. SPCR2.SCKASE ビットが 1 のときは、オーバーランエラー検出を行いません。



## 33.3.2 SPI 端子の制御

SPI は、SPCR.MSTR、SPCR.MODFEN、SPCR.SPMS ビットの設定と入出力ポートの PmnPFS.NCODR ビットの設定に基づき、端子の状態を切り替えます。端子状態と各ビットの設定値との関係を表 33.6 に示します。入出力ポートの PmnPFS.NCODR ビットの設定値を 0 にすると CMOS 出力となります。設定値を 1 にするとオープンドレイン出力となります。入出力ポートの設定も同じとなるよう設定してください。

表 33.6 端子状態とビット設定値の関係

モード	端子	端子状態 (注2)	
		入出力ポートの PmnPFS.NCODR ビット = 0	入出力ポートの PmnPFS.NCODR ビット = 1
シングルマスタモード (SPI動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS出力	オープンドレイン出力
	SSLn0 ~ SSLn3	CMOS出力	オープンドレイン出力
	MOSIn	CMOS出力	オープンドレイン出力
	MISOOn	入力	入力
マルチマスタモード (SPI動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKn (注3)	CMOS出力 / Hi-Z	オープンドレイン出力 / Hi-Z
	SSLn0	入力	入力
	SSLn1 ~ SSLn3 (注3)	CMOS出力 / Hi-Z	オープンドレイン出力 / Hi-Z
	MOSIn (注3)	CMOS出力 / Hi-Z	オープンドレイン出力 / Hi-Z
スレーブモード (SPI動作) (MSTR = 0, SPMS = 0)	RSPCKn	入力	入力
	SSLn0	入力	入力
	SSLn1 ~ SSLn3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	入力	入力
マスタモード (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKn	CMOS出力	オープンドレイン出力
	SSLn0 ~ SSLn3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	CMOS出力	オープンドレイン出力
	MISOOn	入力	入力
スレーブモード (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKn	入力	入力
	SSLn0 ~ SSLn3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	入力	入力
	MISOOn	CMOS出力	オープンドレイン出力

注 1. この機能は本モードでは使用しません。

注 2. SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。

注 3. SSLn0 がアクティブレベルの場合、端子状態が Hi-Z になります。

注 4. SSLn0 が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子状態が Hi-Z になります。

注 5. これらの端子は入出力ポート端子として使用できます。

シングルマスタモード (SPI動作) またはマルチマスタモード (SPI動作) の SPI は、SPPCR.MOIFE ビットと SPPCR.MOIFV ビットの設定値に基づいて、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI 信号値を表 33.7 のように決定します。

表 33.7 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

### 33.3.3 SPI システム構成例

#### 33.3.3.1 シングルマスタとシングルスレーブ (MCU はマスタ)

図 33.5 に、MCU がマスタである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。シングルマスタとシングルスレーブ構成では、MCU (マスタ) の SSLn0 ~ SSLn3 出力は使用されません。SPI スレーブの SSL 入力は Low に固定され、SPI スレーブの選択状態を維持します。(注1)

MCU (マスタ) は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

注 1. SPCMDm.CPHA ビットが 0 の場合に使用する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。このような場合は、本 MCU の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

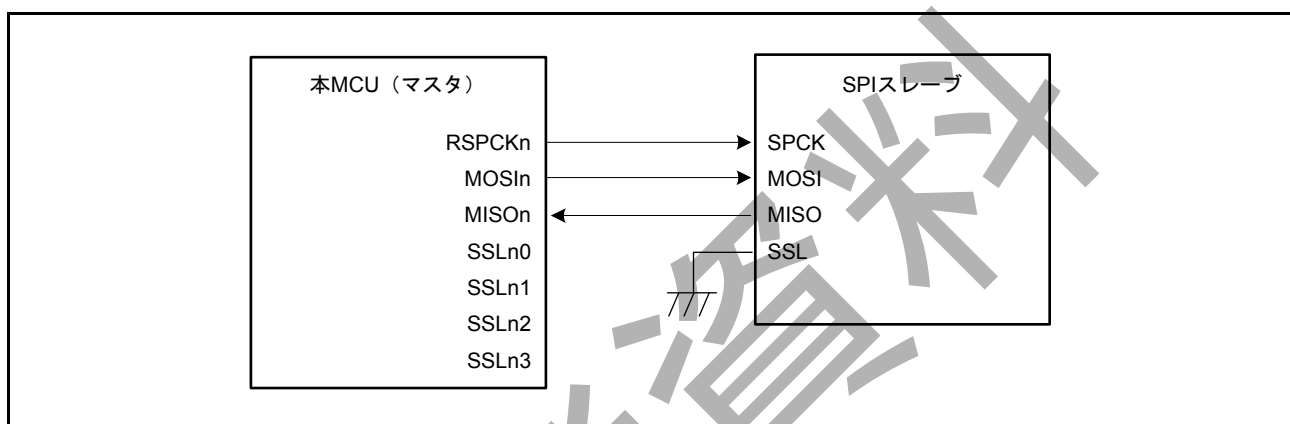


図 33.5 シングルマスタとシングルスレーブの構成例 (MCU はマスタ)

### 33.3.3.2 シングルマスタとシングルスレーブ (MCU はスレーブ)

図 33.6 に、MCU がスレーブである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。MCU をスレーブとして使用する場合は、SSLn0 端子は SSL 入力として使用されます。SPI マスタは、RSPCK および MOSI 信号をドライブします。MCU (スレーブ) は、MISO 信号をドライブします。(注1)

SPCMDm.CPHA ビットを 1 にしたシングルスレーブ構成の場合には、MCU (スレーブ) の SSLn0 入力は Low に固定され、MCU (スレーブ) の選択状態を維持します。これにより、シリアル転送を実行することも可能です (図 33.7)。

注 1. SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

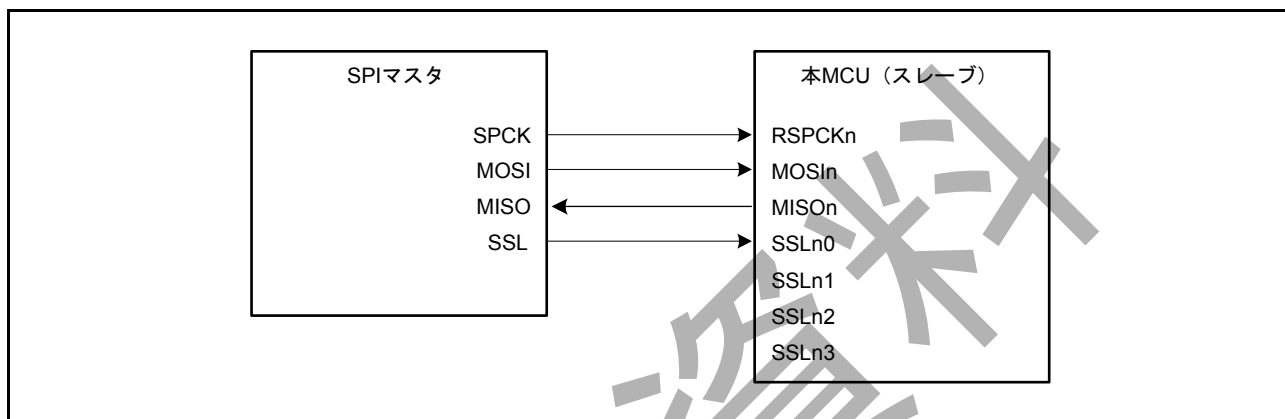


図 33.6 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、CPHA = 0)

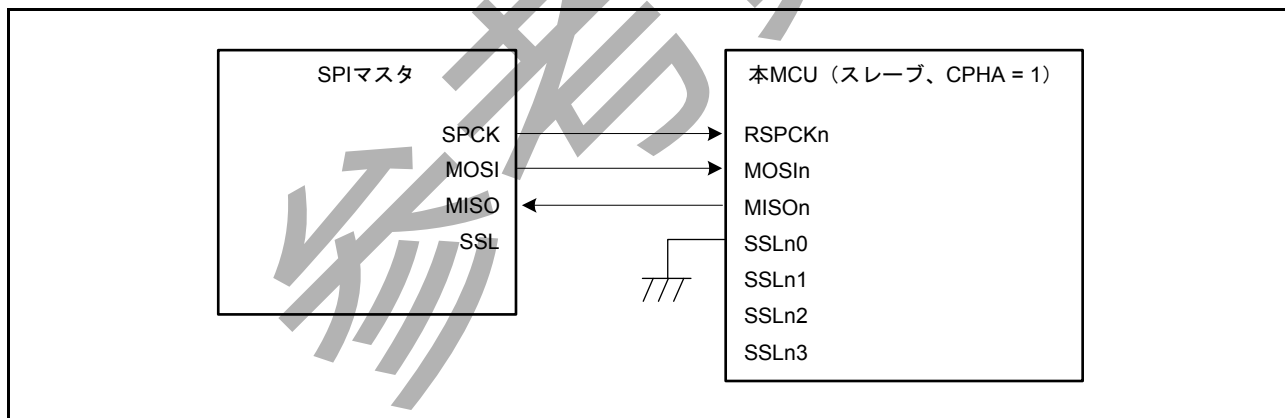


図 33.7 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、CPHA = 1)

### 33.3.3.3 シングルマスタとマルチスレーブ (MCU はマスタ)

図 33.8 に、MCU がマスタである場合のシングルマスタとマルチスレーブの SPI システム構成例を示します。図 33.8 の例では、MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から SPI システムを構成しています。

MCU (マスタ) の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて MCU (マスタ) の MISO 入力に接続します。MCU (マスタ) の SSLn0 ~ SSLn3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

MCU (マスタ) は、RSPCK、MOSI、SSLn0 ~ SSLn3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入りに Low を入力されているスレーブが、MISO 信号をドライブします。

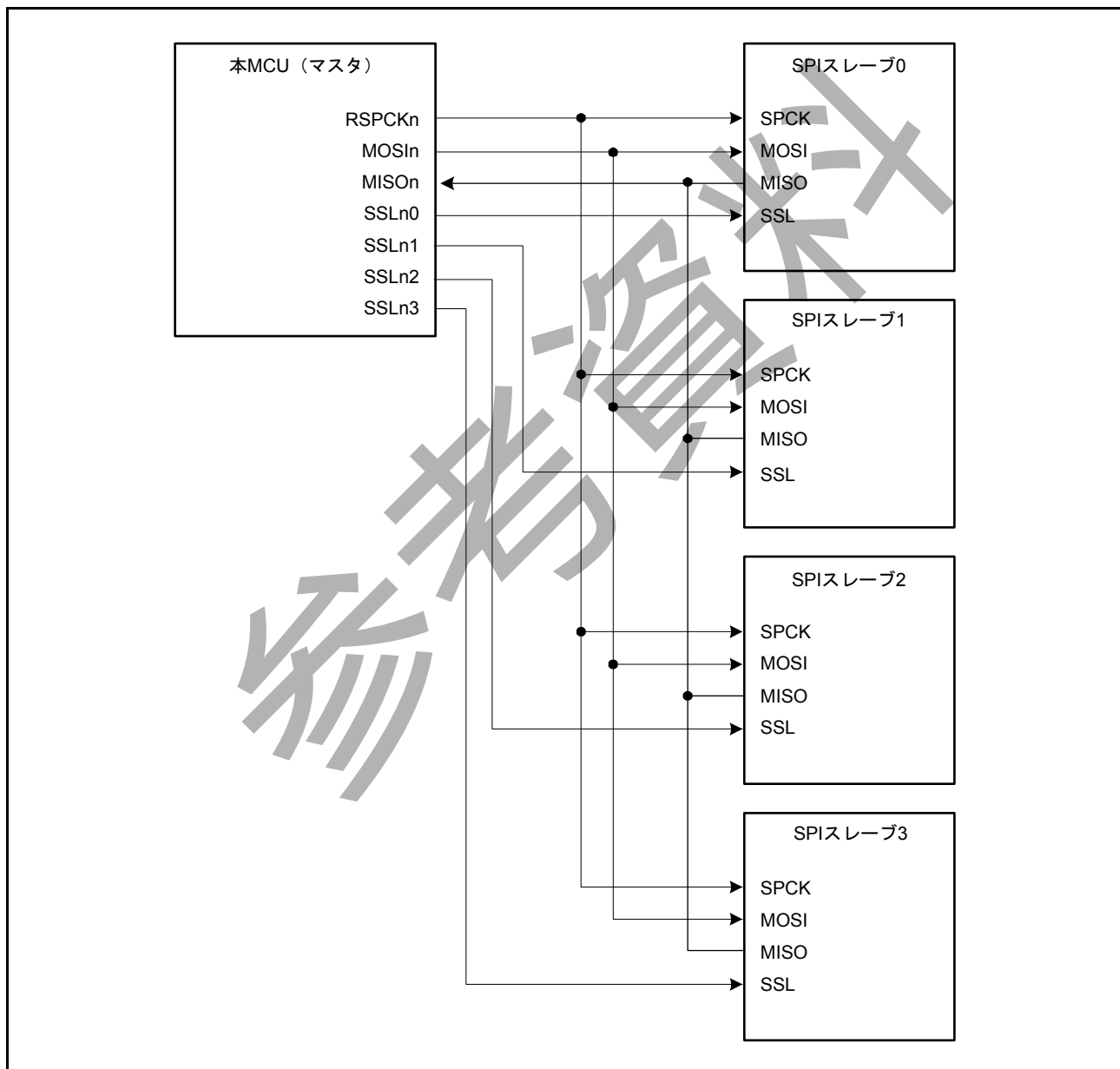


図 33.8 シングルマスタとマルチスレーブの構成例 (MCU はマスタ)

### 33.3.3.4 シングルマスタとマルチスレーブ (MCU はスレーブ)

図 33.9 に、MCU がスレーブである場合のシングルマスタ/マルチスレーブの SPI システム構成例を示します。図 33.9 の例では、SPI マスタと 2 つの MCU (スレーブ X、スレーブ Y) から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU (スレーブ X、スレーブ Y) の RSPCKn 入力と MOSIn 入りに接続します。MCU (スレーブ X、スレーブ Y) の MISO<sub>n</sub> 出力は、すべて SPI マスタの MISO 入りに接続します。SPI マスタの SSLX 出力、SSLY 出力は、それぞれ MCU (スレーブ X、スレーブ Y) の SSLn0 入りに接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。MCU スレーブ (X、Y) のうち、SSLn0 入りに Low を入力されているスレーブが、MISO<sub>n</sub> をドライブします。

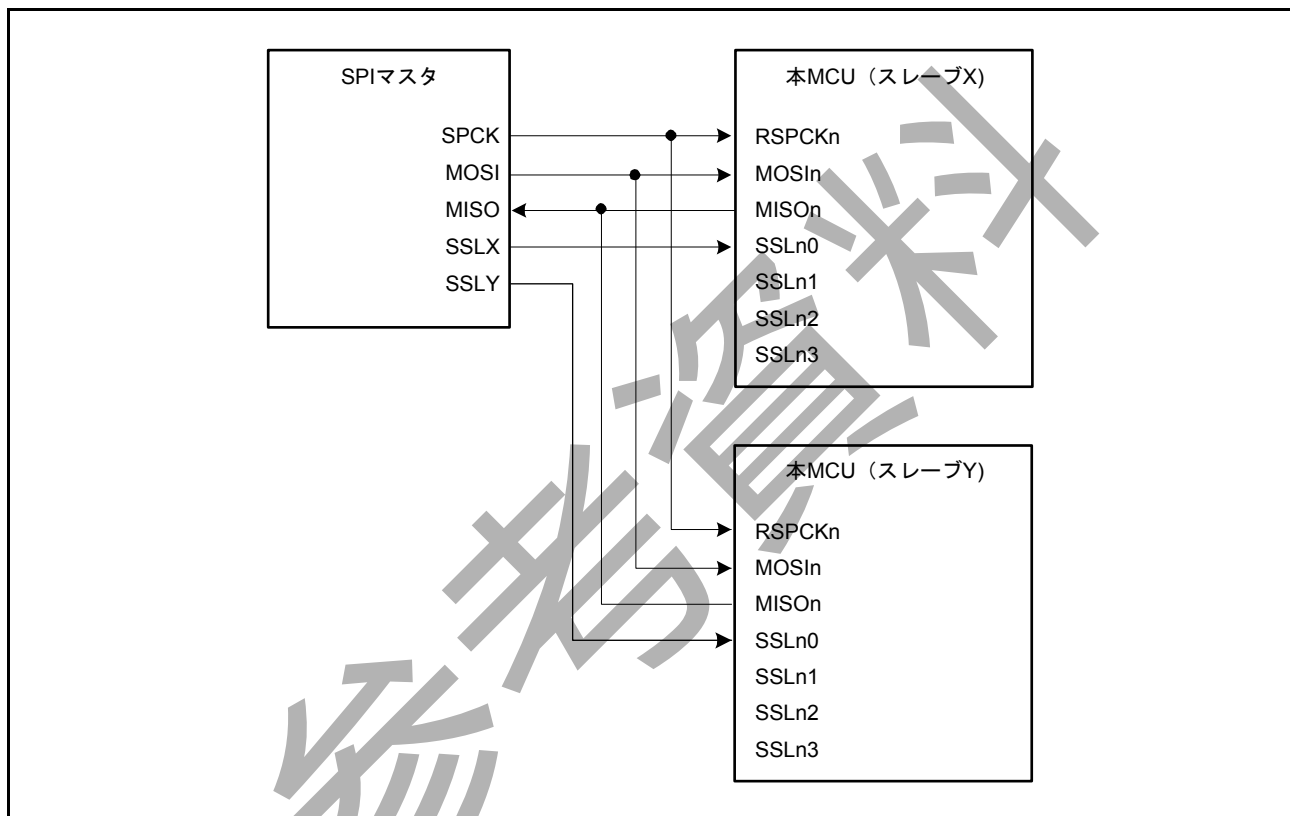


図 33.9 シングルマスタとマルチスレーブの構成例 (MCU はスレーブ)

### 33.3.3.5 マルチマスタとマルチスレーブ (MCU はマスタ)

図 33.10 に、MCU がマスタである場合のマルチマスタ/マルチスレーブの SPI システム構成例を示します。図 33.10 の例では、2つの MCU (マスタ X、マスタ Y) と 2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から SPI システムを構成しています。

MCU (マスタ X、マスタ Y) の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、MCU (マスタ X、マスタ Y) の MISO<sub>n</sub> 入力に接続します。MCU (マスタ X) の任意の汎用ポート Y 出力は、MCU (マスタ Y) の SSL<sub>n</sub>0 入力に接続します。MCU (マスタ Y) の任意の汎用ポート X 出力は、MCU (マスタ X) の SSL<sub>n</sub>0 入力に接続します。MCU (マスタ X、マスタ Y) の SSL<sub>n</sub>1 出力と SSL<sub>n</sub>2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL<sub>n</sub>0 入力と、スレーブ接続用の SSL<sub>n</sub>1 出力および SSL<sub>n</sub>2 出力のみでシステムを構成できるため、MCU の SSL<sub>n</sub>3 出力は必要ありません。

MCU は、SSL<sub>n</sub>0 入力レベルが High の場合には、RSPCK<sub>n</sub>、MOSIn、SSL<sub>n</sub>1、SSL<sub>n</sub>2 をドライブします。SSL<sub>n</sub>0 入力レベルが Low の場合、MCU はモードフォルトエラーを検出し、RSPCK<sub>n</sub>、MOSIn、SSL<sub>n</sub>1、および SSL<sub>n</sub>2 を Hi-Z にして、他方のマスタに SPI バスを直接解放します。SPI スレーブ 1 または SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

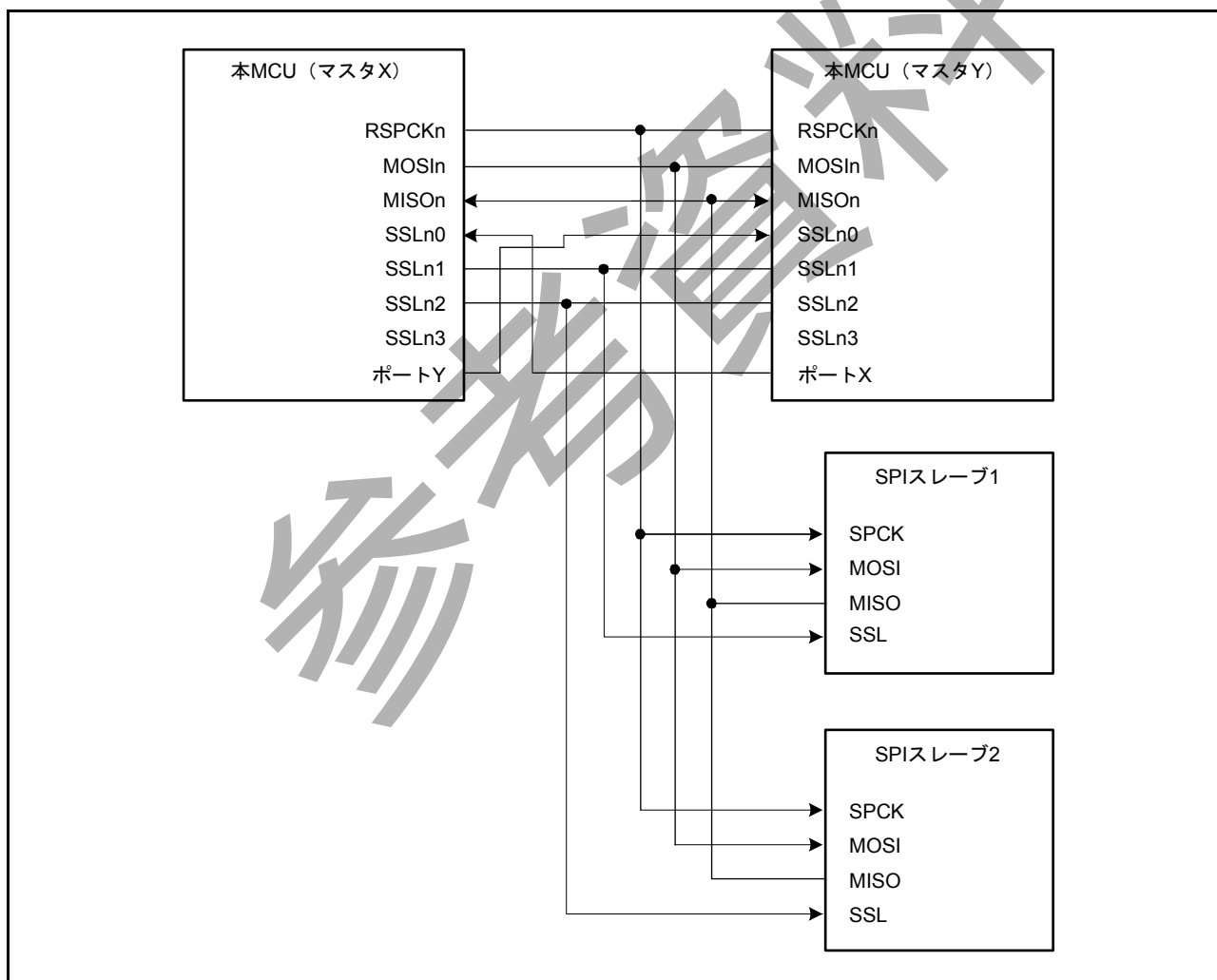


図 33.10 マルチマスタとマルチスレーブの構成例 (MCU はマスタ)

### 33.3.3.6 クロック同期式モードのマスタとスレーブ (MCU はマスタ)

図 33.11 に、MCU がマスタである場合のクロック同期式モードのマスタ/スレーブの構成を示します。クロック同期式モードのマスタとスレーブでは、MCU (マスタ) の SSLn0 ~ SSLn3 は使用しません。

MCU (マスタ) は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

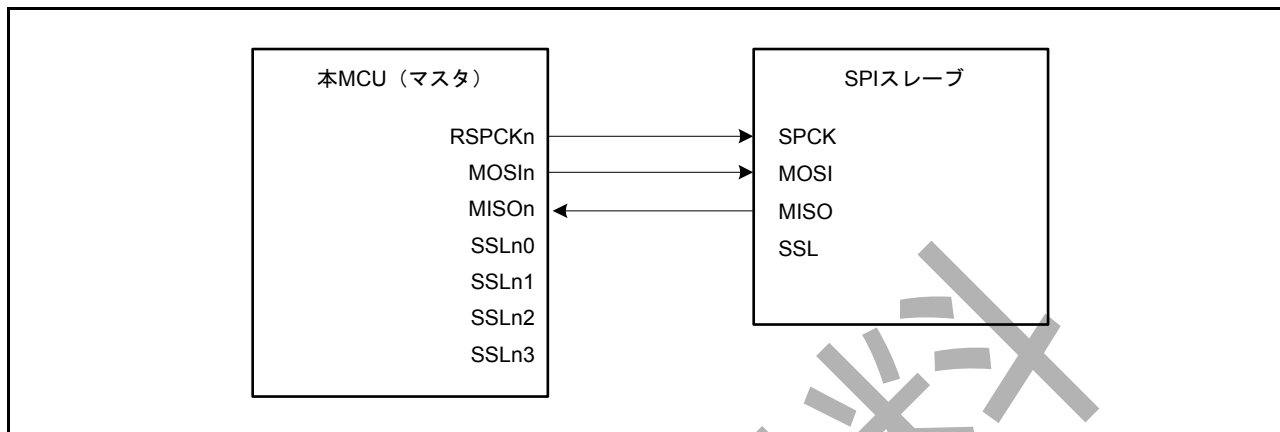


図 33.11 クロック同期式モードのマスタとスレーブの構成例 (MCU はマスタ)

### 33.3.3.7 クロック同期式モードのマスタとスレーブ (MCU はスレーブ)

図 33.12 に、MCU がスレーブである場合のクロック同期式モードのマスタ/スレーブの構成を示します。MCU をスレーブ (クロック同期式モード) として使用する場合は、MCU (スレーブ) は MISO<sub>n</sub> 信号をドライブし、SPI マスタは SPCK および MOSI 信号をドライブします。また、MCU (スレーブ) の SSLn0 ~ SSLn3 は使用しません。

SPCMDm.CPHA が 1 でシングルスレーブ構成の場合のみ、MCU (スレーブ) はシリアル転送を実行できます。

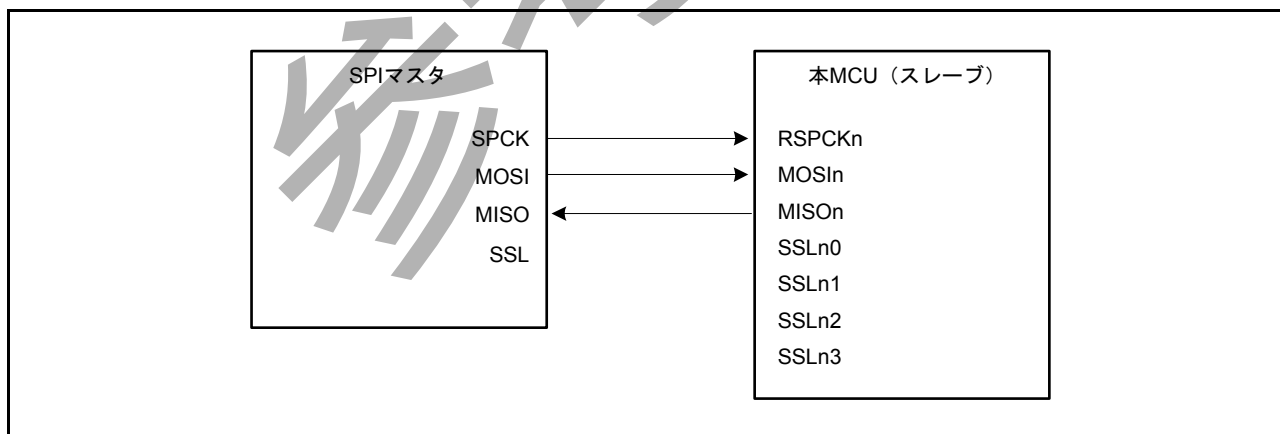


図 33.12 クロック同期式モードのマスタとスレーブの構成例 (MCU はスレーブ、CPHA = 1)

### 33.3.4 データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ  $m$  (SPCMD $m$ ) ( $m=0\sim 7$ ) と SPI コントロールレジスタ 2 のパリティ許可ビット (SPCR2.SPPE) の設定値に依存します。並び順が MSB ファーストか LSB ファーストかにかかわらず、SPI は SPI データレジスタ (SPDR/SPDR\_HA) の LSB ビットから設定データ長に該当するビット分の範囲を転送データとして扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

#### (a) パリティ機能無効時

パリティ機能無効時は、SPI コマンドレジスタ  $m$  の SPI データ長設定ビット (SPCMD $m$ .SPB[3:0]) で設定したビット長のデータの送受信を行います。

#### (b) パリティ機能有効時

パリティ機能有効時は、SPI コマンドレジスタ  $m$  の SPI データ長設定ビット (SPCMD $m$ .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットはパリティビットです。

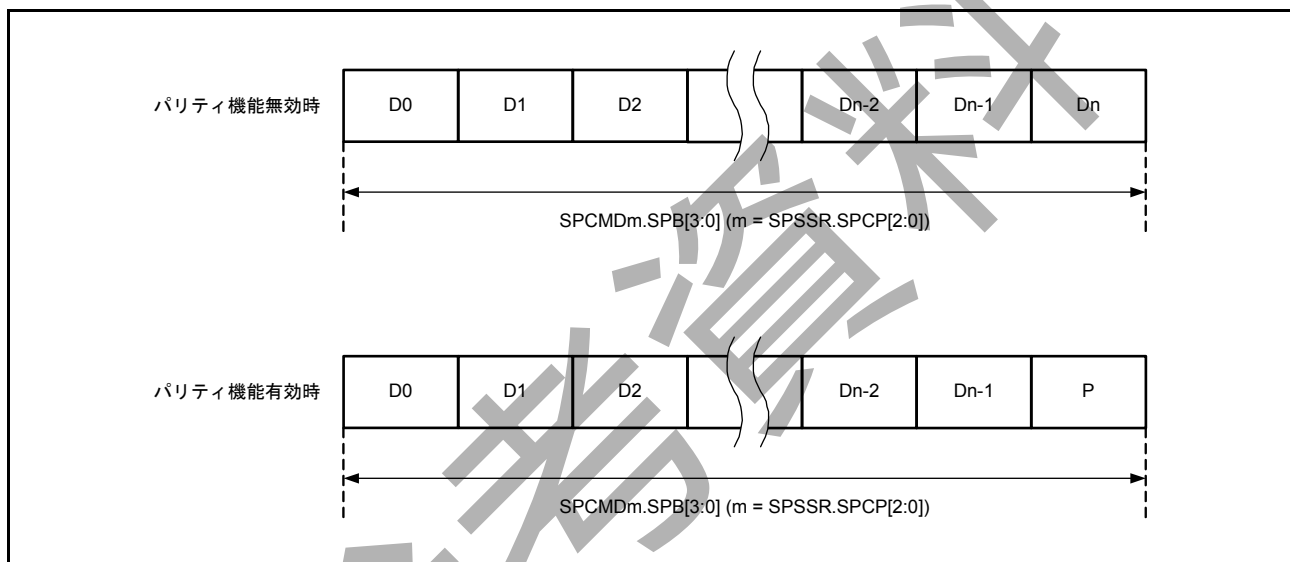


図 33.13 パリティ機能無効時と有効時のデータフォーマット



### 33.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能が無効の場合、送信データを加工せず、シフトレジスタにコピーします。以下では、SPI データレジスタ (SPDR/SPDR\_HA) とシフトレジスタの関係を、MSB/LSB ファーストとビット長の組み合わせで説明します。

#### (1) 32 ビットデータの MSB ファースト転送

図 33.14 に、パリティ機能無効時に、SPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31 ~ R00 ビットまでデータがたまと、シフトレジスタの値を受信バッファにコピーします。

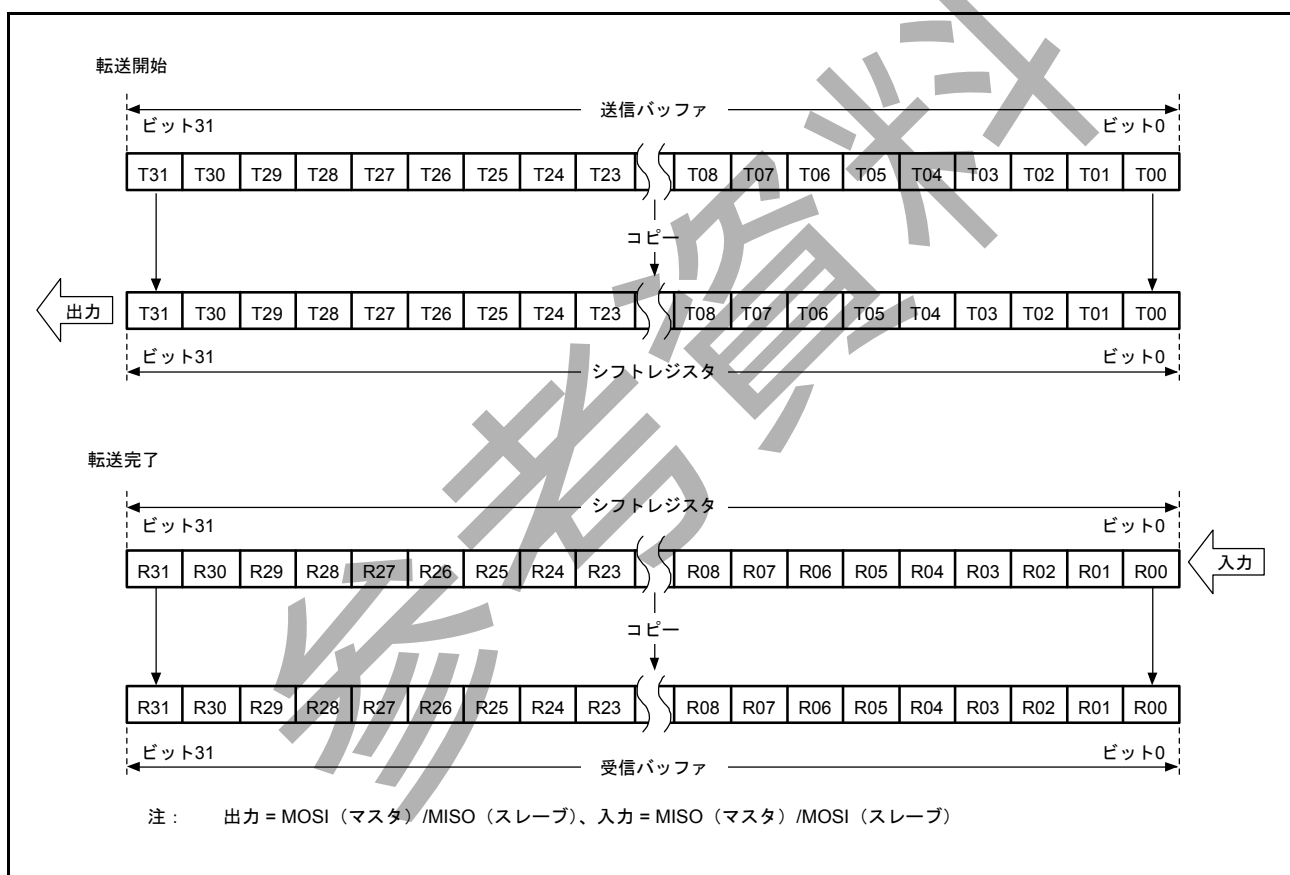


図 33.14 MSB ファースト転送 (32 ビットデータ/パリティ機能無効)

(2) 24 ビットデータの MSB ファースト転送

図 33.15 に、パリティ機能無効時に、SPI が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R23 ~ R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

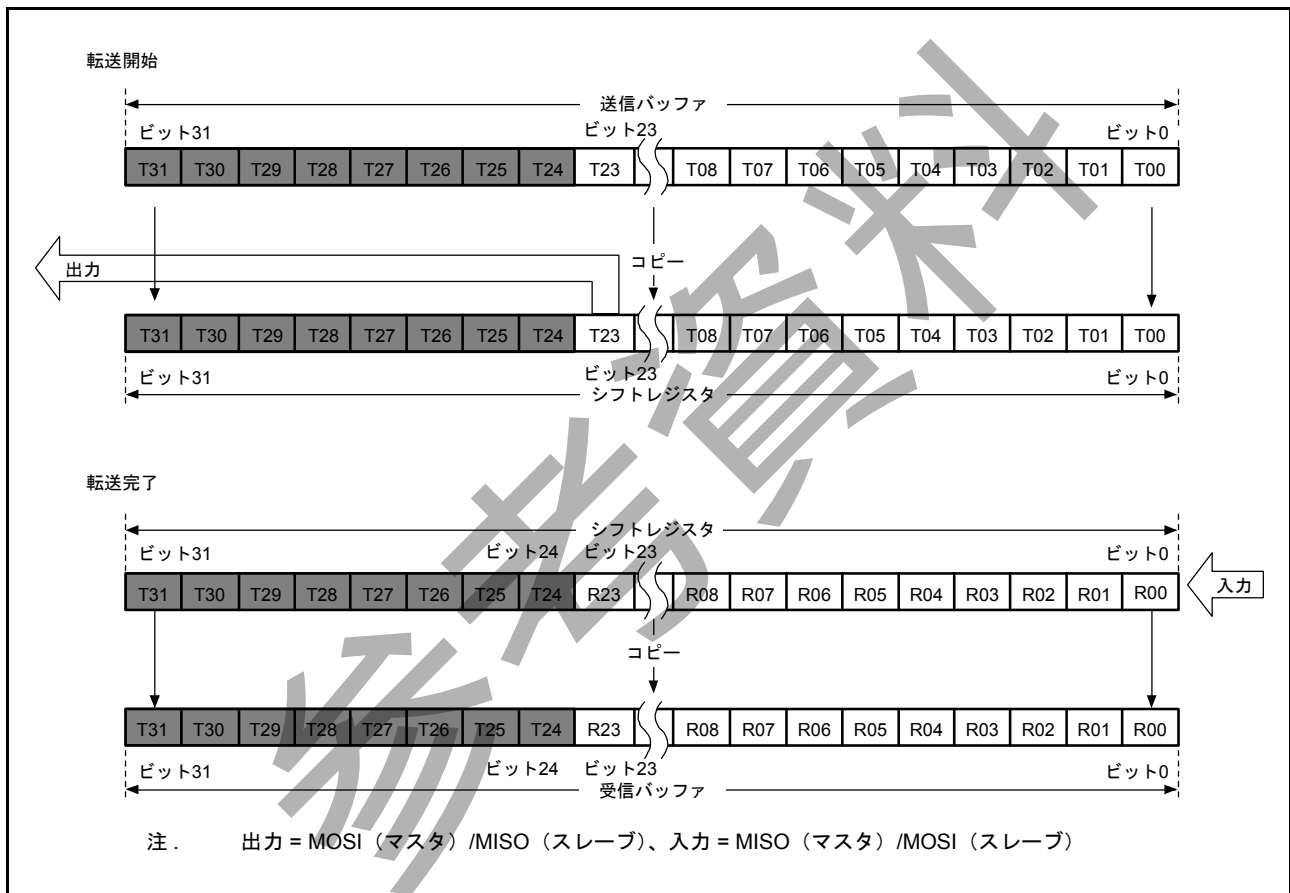


図 33.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

## (3) 32 ビットデータの LSB ファースト転送

図 33.16 に、パリティ機能無効時に、SPI がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31 ~ T00 をビット単位で T00 ~ T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00 ~ R31 ビットまでデータがたまと、シフトレジスタの値を受信バッファにコピーします。

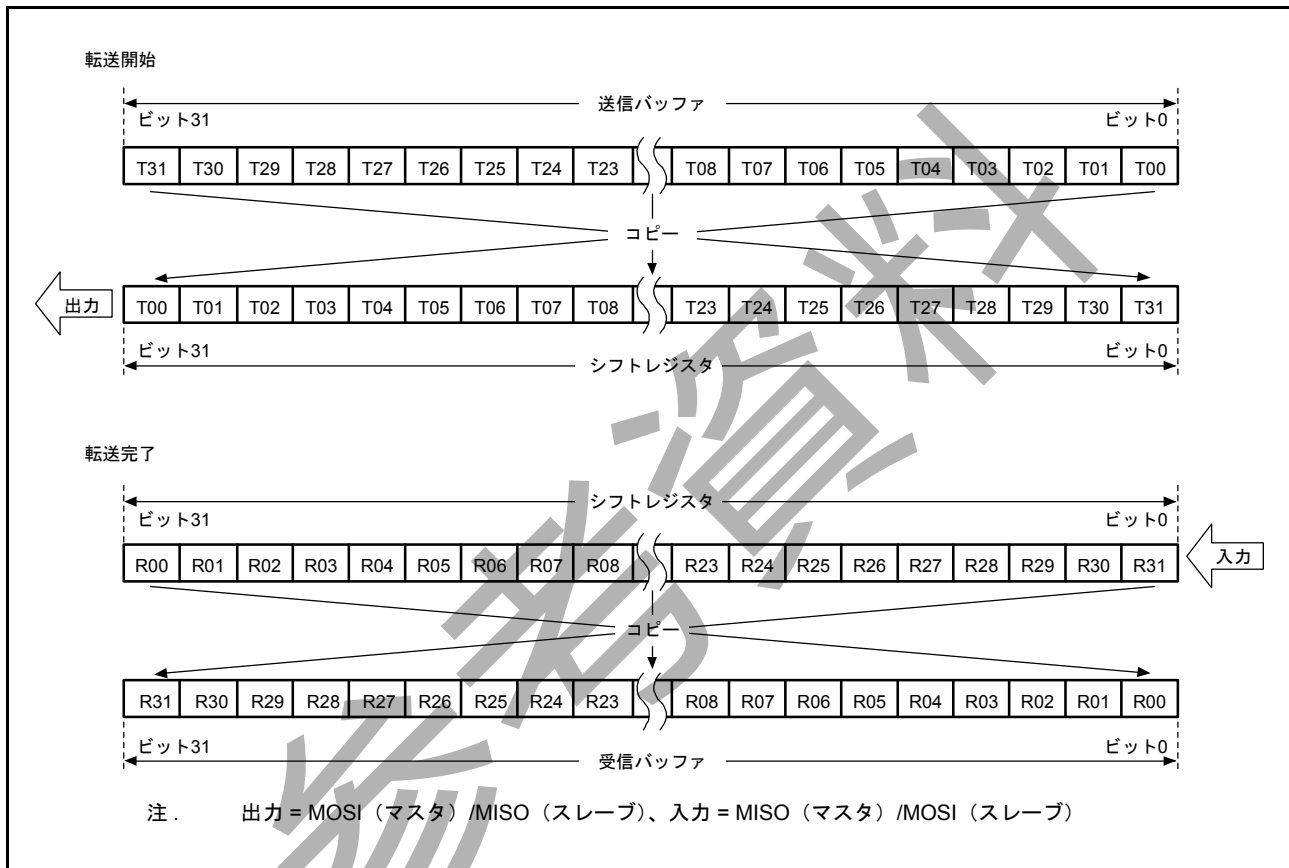


図 33.16 LSB ファースト転送 (32 ビットデータ/パリティ機能無効)

#### (4) 24 ビットデータの LSB ファースト転送

図 33.17 に、パリティ機能無効時に、SPI が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。送信バッファの上位 8 ビット入力後 R00 ~ R23 ビットが収集され、受信バッファの上位 8 ビットに格納されます。送信時に T31 ~ T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

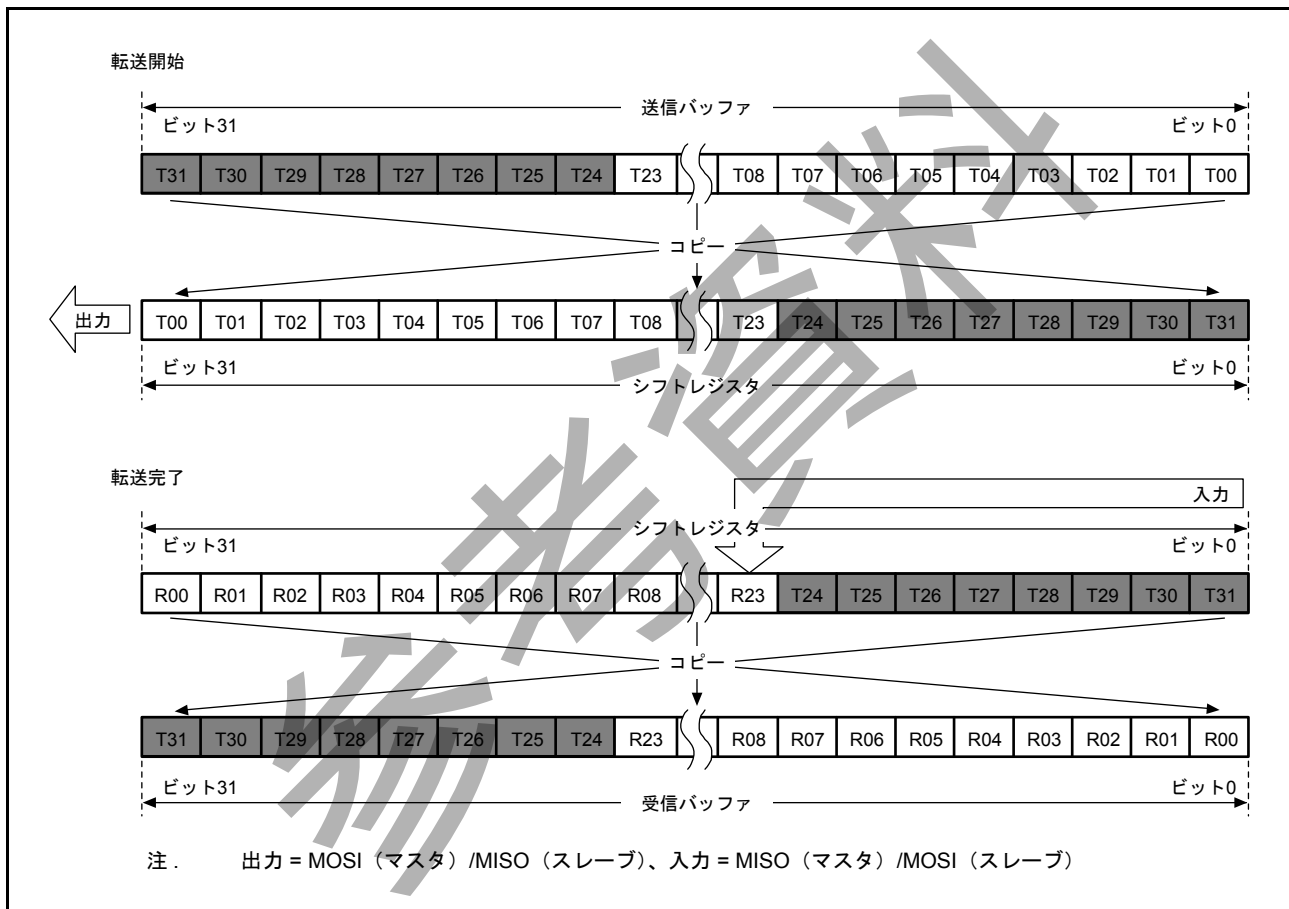


図 33.17 LSB ファースト転送 (24 ビットデータ/パリティ機能無効)

### 33.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能が有効の場合、送信データの最下位ビットはパリティビットになります。パリティビットの値は、ハードウェアが計算します。

#### (1) 32 ビットデータの MSB ファースト転送

図 33.18 に、パリティ機能有効時に、SPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換え、値全体をシフトレジスタにコピーします。データは、T31 → T30 → … → T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31 ~ P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R31 ~ P のデータをチェックします。

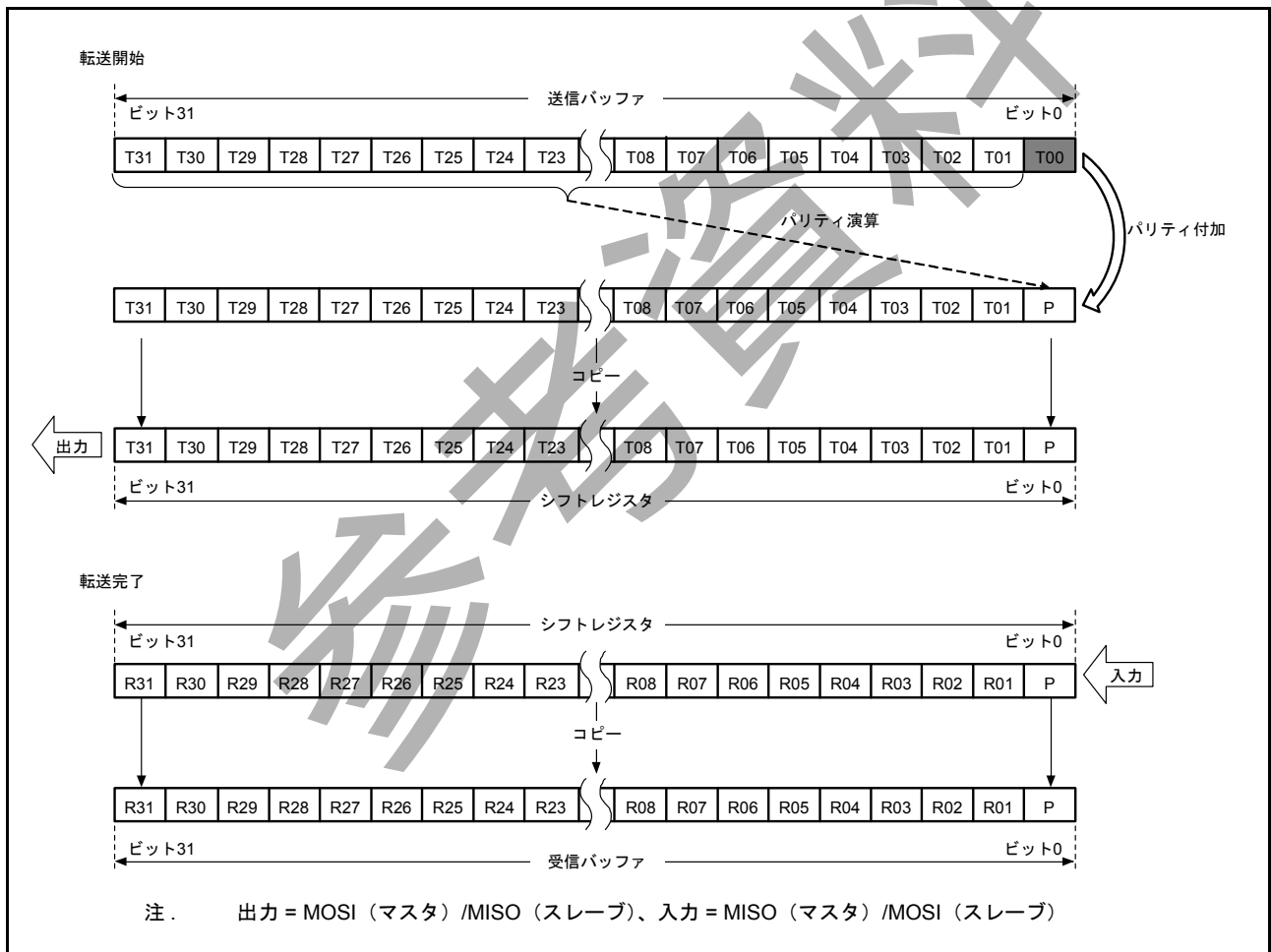


図 33.18 MSB ファースト転送 (32 ビットデータ/パリティ機能有効)

(2) 24 ビットデータの MSB ファースト転送

図 33.19 に、パリティ機能有効時に、SPI が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T23 ~ T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換え、値全体をシフトレジスタにコピーします。データは、T23 → T22 → ... → T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R23 ~ P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R23 ~ P のデータをチェックします。受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

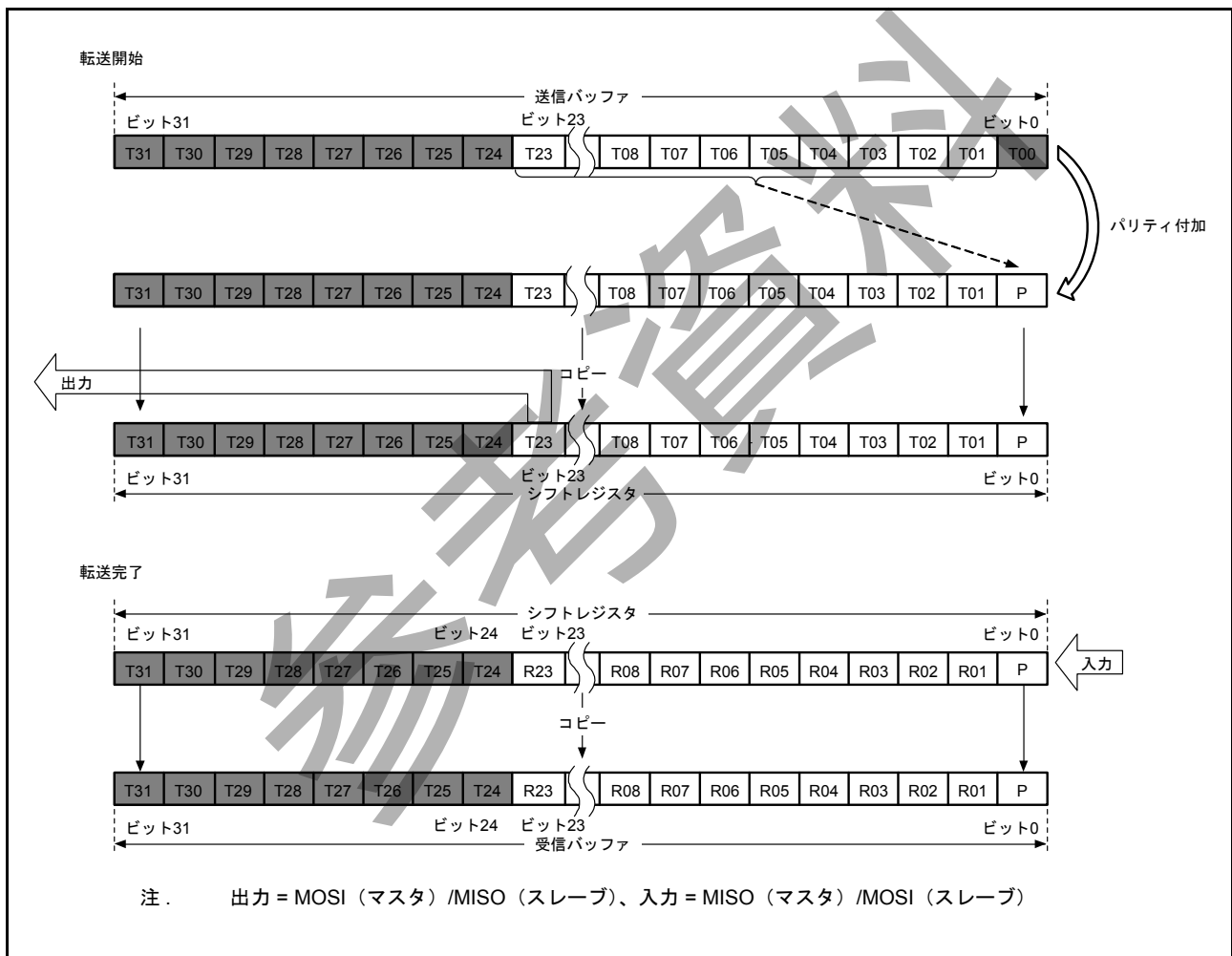


図 33.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) 32 ビットデータの LSB ファースト転送

図 33.20 に、パリティ機能有効時に、SPI がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T30 ~ T00 ビットからパリティビット (P) の値を計算し、最終ビットである T31 と置き換え、値全体をシフトレジスタにコピーします。送信データは、T00 → T01 → ... T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00 ~ P のデータをチェックします。

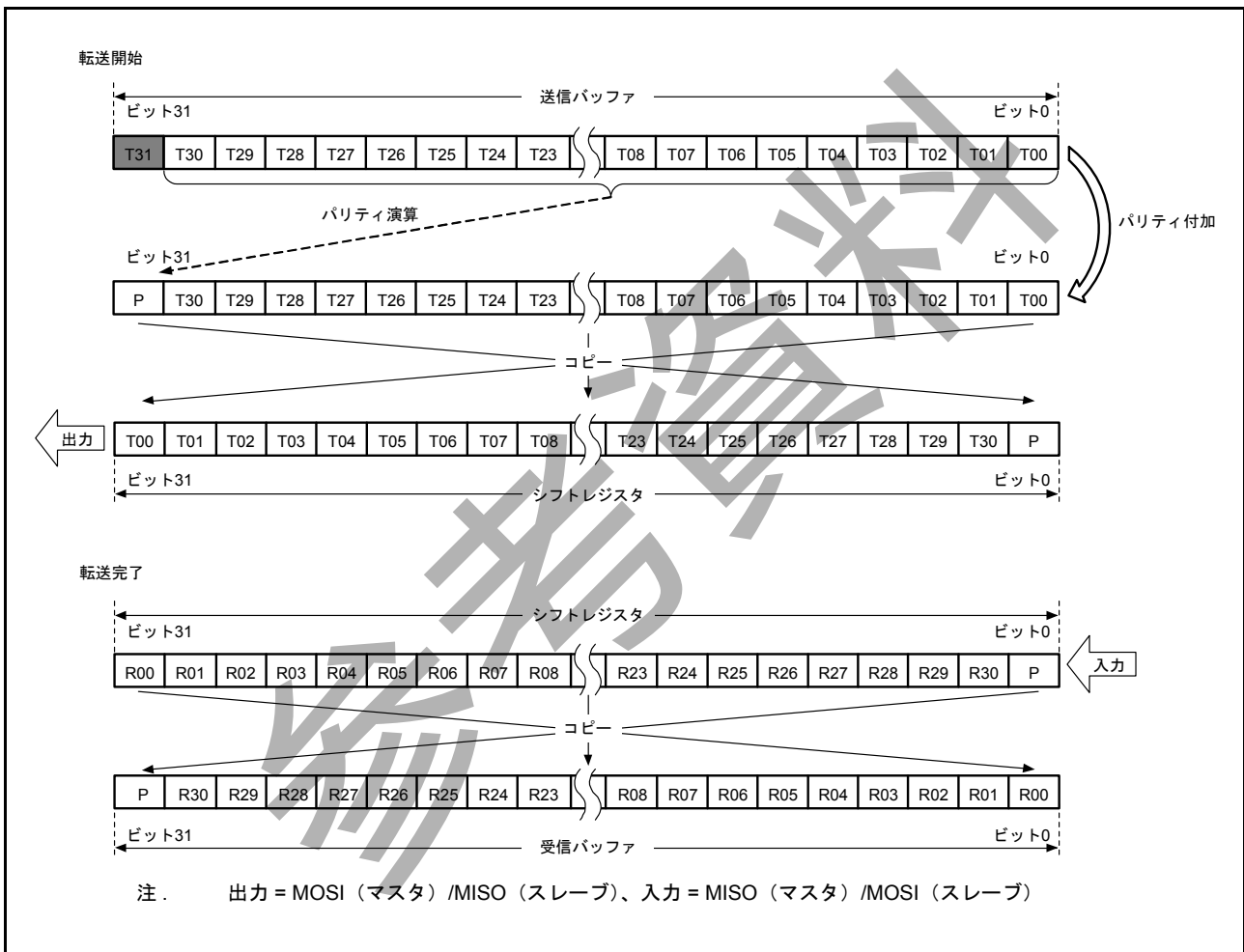


図 33.20 LSB ファースト転送 (32 ビットデータ/パリティ機能有効)

(4) 24 ビットデータの LSB ファースト転送

図 33.21 に、パリティ機能有効時に、SPI が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T22 ~ T00 ビットからパリティビット (P) の値を計算し、最終ビットである T23 と置き換え、値全体をシフトレジスタにコピーします。データは、T00 → T01 → ... → T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00 ~ P のデータをチェックします。受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

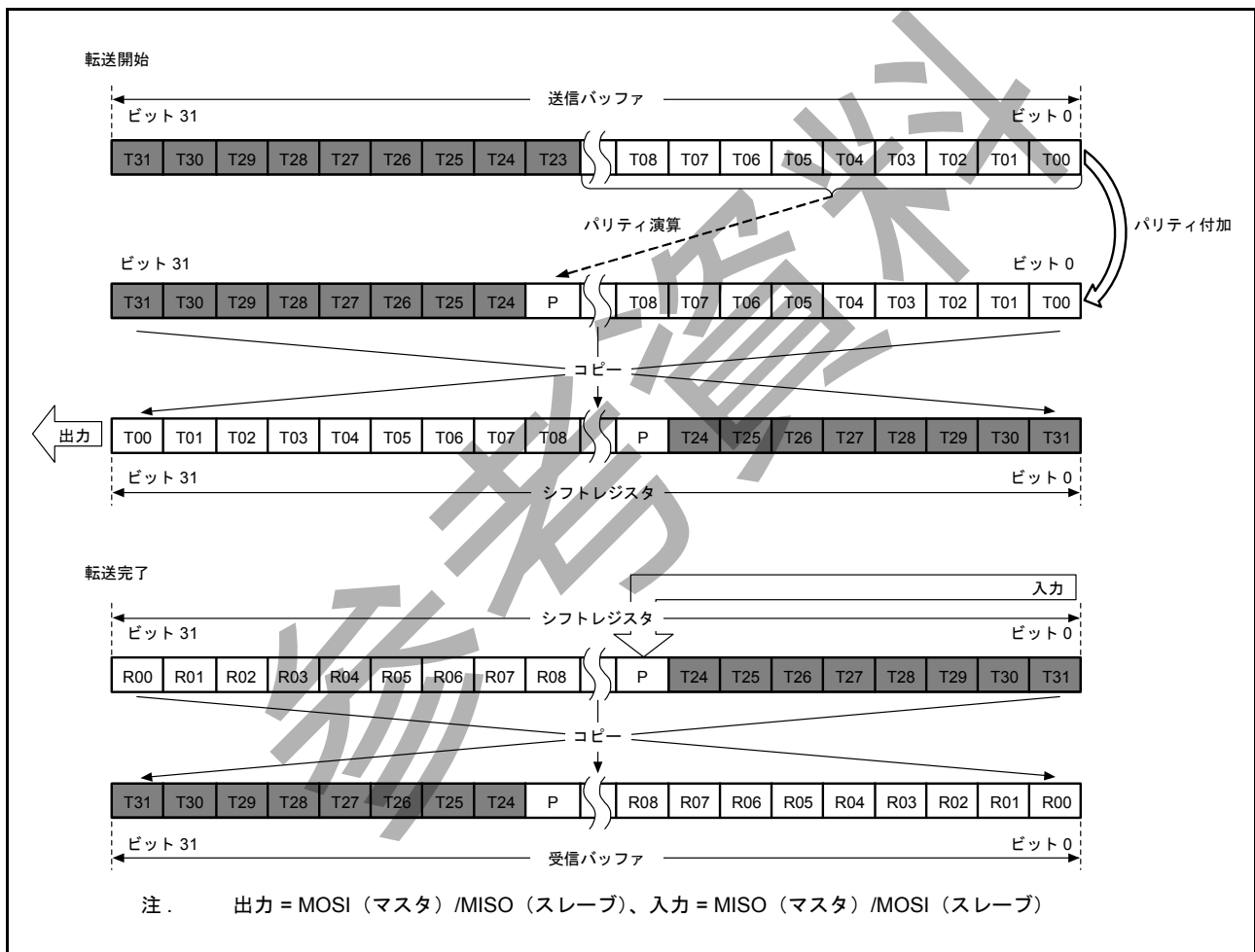


図 33.21 LSB ファースト転送 (24 ビットデータ / パリティ機能有効)



### 33.3.5 転送フォーマット

#### 33.3.5.1 CPHA ビット = 0 の場合

図 33.22 に SPCMDm.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR=0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS ビット=1) は行わないでください。図 33.22 において、RSPCKn (CPOL = 0) は、SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCKn (CPOL = 0) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI の設定に依存します。詳細は、33.3.2 SPI 端子の制御を参照してください。

SPCMDm.CPHA ビットが 0 の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOOn 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化が、最初の転送データ取り込みになり、これ以降、1RSPCK 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間 (RSPCK 遅延) を示します。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間 (SSL ネゲート遅延) を示します。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制する期間 (次アクセス遅延) を示します。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。MCU の SPI がマスタモードである場合の t1、t2、t3 については、33.3.10.1 マスタモード動作を参照してください。

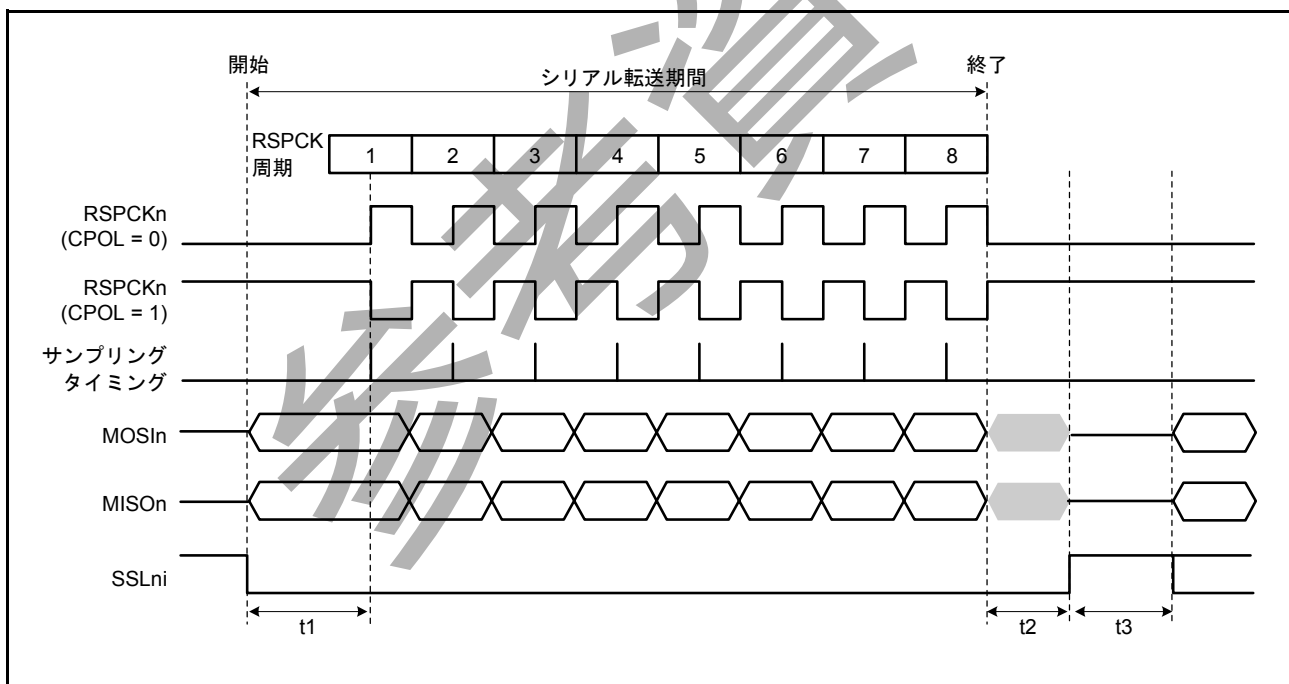


図 33.22 SPI 転送フォーマット (CPHA ビット = 0)

### 33.3.5.2 CPHA ビット = 1 の場合

図 33.23 に SPCMDm.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOOn 信号の 3 つの信号のみで通信を行います。図 33.23 において、RSPCK (CPOL = 0) は、SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCK (CPOL = 0) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を表します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、SPI のモード (マスタ/スレーブ) に依存します。詳細は、33.3.2 SPI 端子の制御を参照してください。

SPCMDm.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOOn 信号への有効データの出力が開始され、これ以降、1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このデータ更新タイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、33.3.10.1 マスタモード動作を参照してください。

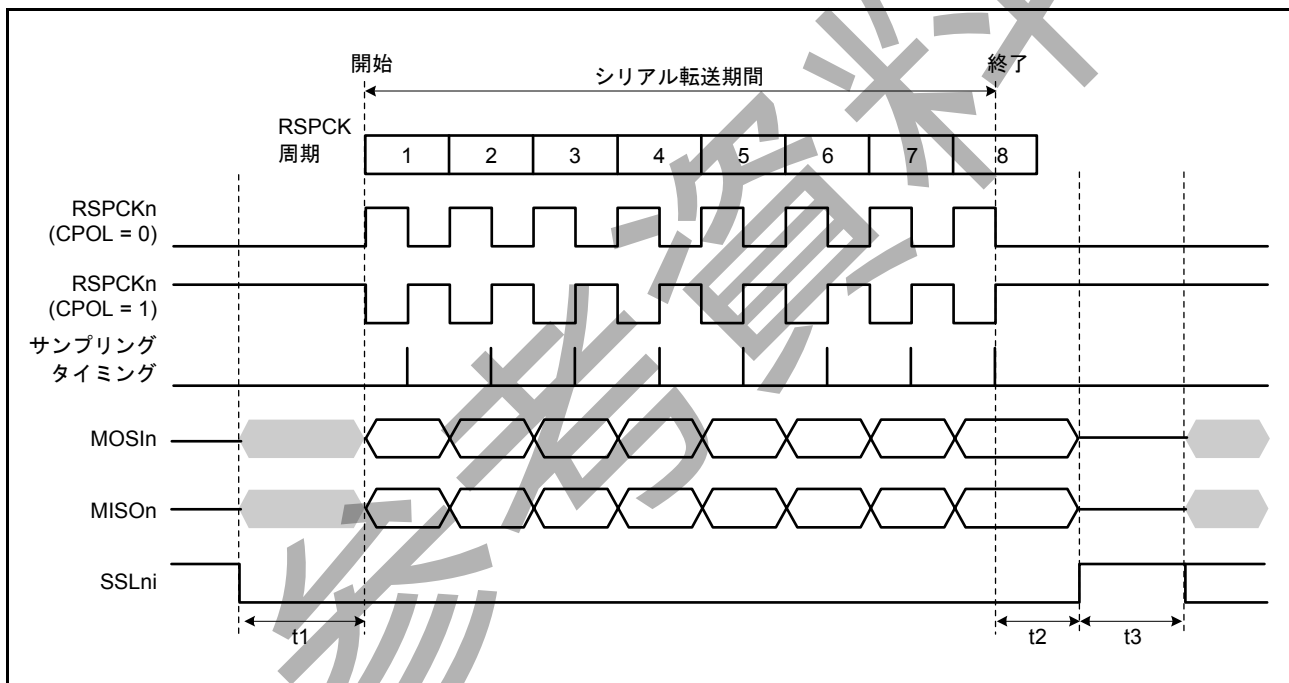


図 33.23 SPI 転送フォーマット (CPHA ビット = 1)

### 33.3.6 データ転送モード

通信動作モード選択ビット (SPCR.TXMD) の設定により、全二重同期式シリアル通信または送信のみの動作が選択できます。図 33.24、図 33.25 に記載した SPDR/SPDR\_HA アクセスは、SPDR/SPDR\_HA レジスタへのアクセス状況を示しています。W は書き込みサイクルを示しています。

#### 33.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 33.24 に、通信動作モード選択ビット (SPCR.TXMD) を 0 にした場合の動作例を示します。この例では、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

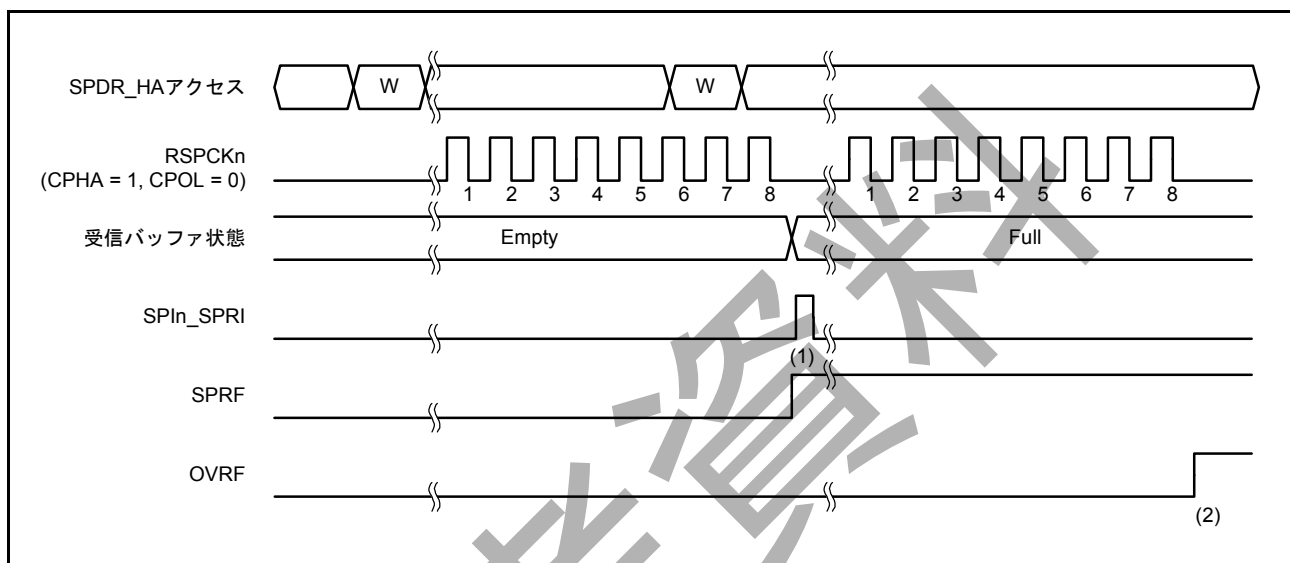


図 33.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) SPDR\_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIIn\_SPRI) を発生させ、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR\_HA レジスタの受信バッファに以前のシリアル転送の受信データがある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にしてシフトレジスタの受信データを破棄します。

## 33.3.6.2 送信のみ動作 (SPCR.TXMD = 1)

図 33.25 に、通信動作モード選択ビット (SPCR.TXMD) を 1 にした場合の動作例を示します。この例では、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

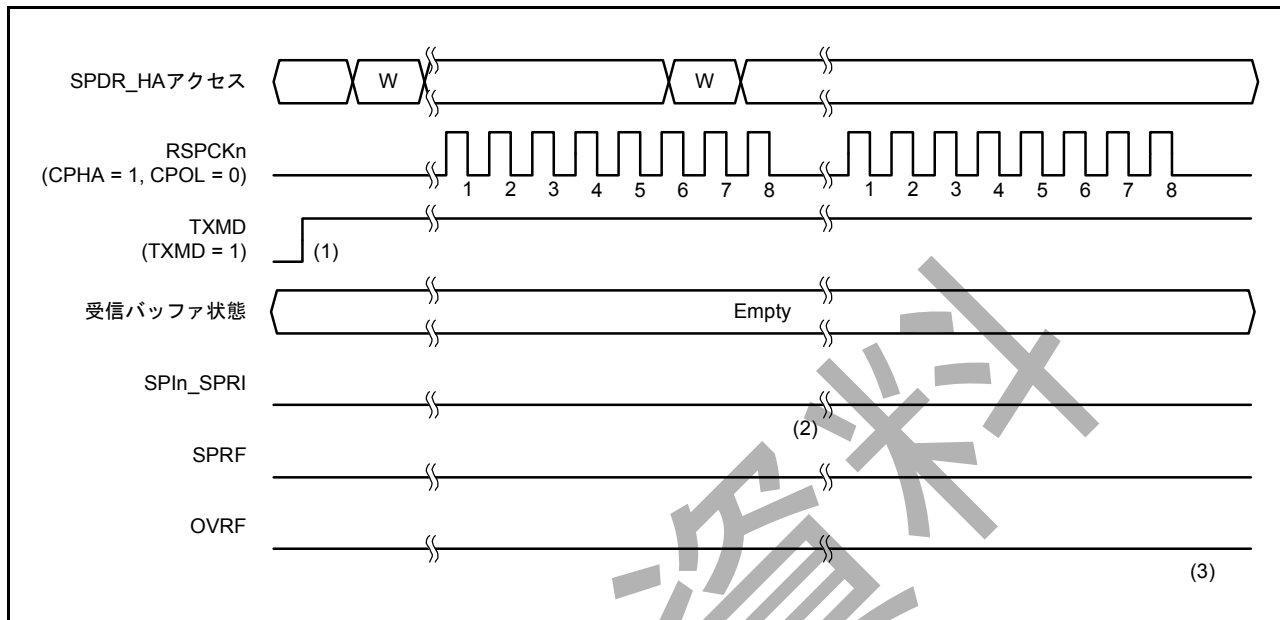


図 33.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作モード (SPCR.TXMD = 1) へ遷移する前に、受信バッファにデータが残っていないこと (SPSR.SPRF フラグ = 0)、および SPSR.OVRF フラグが 0 であることを確認してください。
- (2) SPDR\_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみモード (SPCR.TXMD = 1) を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR\_HA レジスタの受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作 (SPCR.TXMD = 1) では、SPI はデータを送信しますが、受信はしません。そのため、SPSR.SPRF および SPSR.OVRF フラグは (1) ~ (3) それぞれのタイミングで 0 を保持します。

### 33.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 33.26 および図 33.27 に、送信バッファエンプティ割り込み (SPIn\_SPTI) と受信バッファフル割り込み (SPIn\_SPRI) の動作例を示します。図 33.26 および図 33.27 に記載した SPDR\_HA レジスタアクセスは、SPDR\_HA レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。図 33.27 では、SPCR.TXMD ビットが 0、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。図 33.26 では、SPCR.TXMD ビットが 0、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 0、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

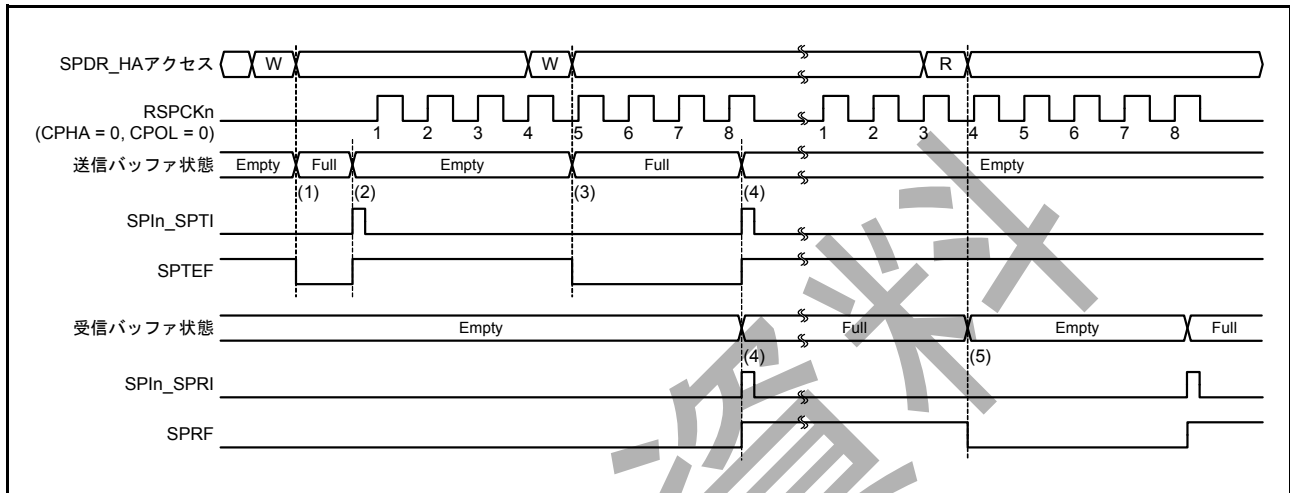


図 33.26 SPIIn\_SPTI、SPIIn\_SPRI 割り込みの動作例 (CPHA = 0、CPOL = 0)

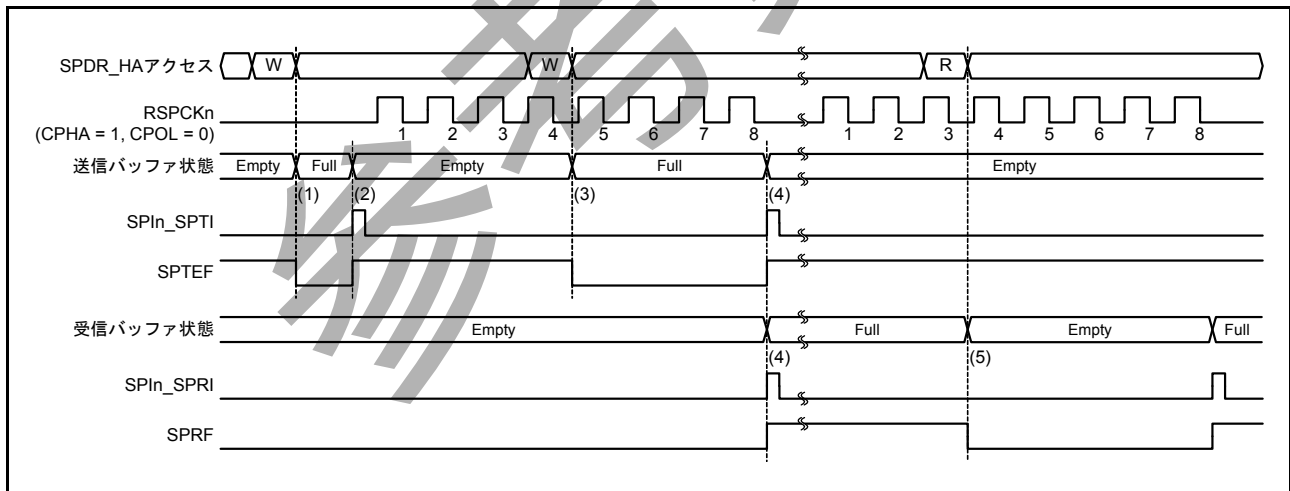


図 33.27 SPIIn\_SPTI、SPIIn\_SPRI 割り込みの動作例 (CPHA = 1、CPOL = 0)

以下に、図中の (1) ~ (5) での SPI の動作内容を説明します。

- (1) SPDR\_HA レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR\_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。
- (2) シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPIIn\_SPTI) を発生させ、SPSR.SPTEF フラグを 1 にします。なお、シリアル転送の開始方法は、SPI のモードに依存します。詳細は、33.3.10 SPI 動作および 33.3.11 クロック同期式動作を参照してください。

- (3) 送信バッファエンプティ割り込みルーチン、または SPTEF フラグによる送信バッファエンプティの処理で SPDR\_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPTEF フラグを 0 にクリアします。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR\_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPIn\_SPRI) を発生させ、SPRF フラグを 1 にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、SPI が SPTEF フラグを 1 にし、送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタが空であると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
- (5) 受信バッファフル割り込みルーチン、または SPRF フラグによる受信バッファフルの処理で SPDR\_HA レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態 (SPTEF フラグ = 0) で、SPDR\_HA レジスタへ書き込みが行われた場合には、SPI は送信バッファのデータを更新しません。SPDR\_HA レジスタへ書き込む場合は、送信バッファエンプティ割り込み要求を使用するか、または SPTEF フラグによる送信バッファエンプティ割り込みの処理を行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR.SPTIE ビットを 1 にしてください。

SPI 機能が無効 (SPCR.SPE ビットが 0) の場合には、SPTIE ビットを 0 にしてください。

受信バッファフルの状態 (SPRF フラグ = 1) で、シリアル転送が終了した場合には、SPI はシフトレジスタから受信バッファへデータをコピーせず、オーバーランエラーを検出します (33.3.8 エラー検出を参照してください)。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また、SPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信/受信バッファの状態は、送信/受信割り込み、または関連する ICU の IELSRn.IR フラグ (n は割り込みベクタ番号) によって確認することができます。同様に、SPTEF および SPRF フラグによっても、送信/受信バッファの状態を確認できます。割り込みベクタ番号については、「14. 割り込みコントローラユニット (ICU)」を参照してください。

### 33.3.8 エラー検出

通常の SPI のシリアル転送では、SPDR/SPDR\_HA レジスタの送信バッファに書き込んだデータが送信され、受信したデータは SPDR/SPDR\_HA レジスタの受信バッファから読み出すことができます。SPDR/SPDR\_HA レジスタにアクセスがあった場合、送信または受信バッファの状態やシリアル転送の開始時または終了時の SPI の状態によって、通常以外の転送となることがあります。

通常以外の転送が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。表 33.8 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 33.8 通常以外の転送動作と SPI のエラー検出機能の関係

	発生条件	SPI 動作	エラー検出
1	送信バッファフルの状態です PDR/SPDR_HA レジスタに書き込み	<ul style="list-style-type: none"> <li>送信バッファ内容を保持</li> <li>書き込みデータ欠落</li> </ul>	なし
2	受信バッファエンプティの状態です PDR/SPDR_HA レジスタを読み出し	受信バッファ内容および受信済みデータを出力	なし
3	SPI がデータ送信不能のときに、スレーブモードでシリアル転送が開始	<ul style="list-style-type: none"> <li>シリアル転送を中断</li> <li>送受信データ欠落</li> <li>MISOA 出力信号のドライブ停止</li> <li>SPI 機能は無効</li> </ul>	アンダーランエラー
4	受信バッファフルの状態です、シリアル転送が終了	<ul style="list-style-type: none"> <li>受信バッファ内容を保持</li> <li>受信データ欠落</li> </ul>	オーバーランエラー
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時に SSLn0 入力信号アサート	<ul style="list-style-type: none"> <li>RSPCKn、MOSIn、SSLn1 ~ SSLn3 出力信号のドライブ停止</li> <li>SPI 機能は無効</li> </ul>	モードフォルトエラー
7	マルチマスタモードでシリアル転送中に SSLn0 入力信号アサート	<ul style="list-style-type: none"> <li>シリアル転送を中断</li> <li>送受信データ欠落</li> <li>RSPCKn、MOSIn、SSLn1 ~ SSLn3 出力信号のドライブ停止</li> <li>SPI 機能は無効</li> </ul>	モードフォルトエラー
8	スレーブモードでシリアル転送中に SSLn0 入力信号ネゲート	<ul style="list-style-type: none"> <li>シリアル転送を中断</li> <li>送受信データ欠落</li> <li>MISO 出力信号のドライブ停止</li> <li>SPI 機能は無効</li> </ul>	モードフォルトエラー

表 33.8 の 1 に示した動作に対しては、SPI はエラーを検出しません。SPDR/SPDR\_HA レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR/SPDR\_HA レジスタへの書き込みを実行してください (SPSR.SPTEF フラグ=1 の場合)。2 に示した動作に対しても、SPI はエラーを検出しません。不要なデータを読み出さないようにするためには、SPI 受信バッファフル割り込み要求で SPDR/SPDR\_HA レジスタの読み出しを実行するようにしてください (SPSR.SPRF フラグ=1 の場合)。

詳細情報の参照先：

- 動作 3 に示したアンダーランエラーについては、[33.3.8.4 アンダーランエラー](#)を参照してください。
- 動作 4 に示したオーバーランエラーについては、[33.3.8.1 オーバーランエラー](#)を参照してください。
- 動作 5 に示したパリティエラーについては、[33.3.8.2 パリティエラー](#)を参照してください。
- 動作 6 ~ 8 に示したモードフォルトエラーについては、[33.3.8.3 モードフォルトエラー](#)を参照してください。
- 送信および受信割り込みについては、[33.3.7 送信バッファエンプティ/受信バッファフル割り込み](#)を参照してください。

### 33.3.8.1 オーバーランエラー

SPDR/SPDR\_HA レジスタの受信バッファフル状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを 0 にするためには、OVRF フラグが 1 の SPSR レジスタを読み出した後に、OVRF フラグに 0 を書く必要があります。

図 33.28 に、OVRF フラグと SPRF フラグの動作例を示します。図 33.28 に記載した SPSR アクセスと SPDR\_HA アクセスは、それぞれ SPSR、SPDR\_HA レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。この例では、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

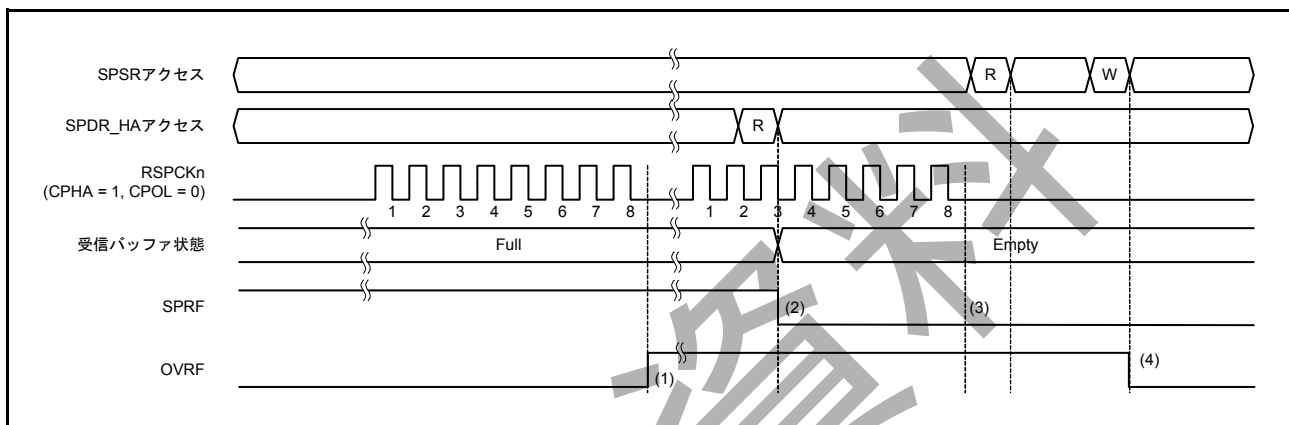


図 33.28 OVRF フラグおよび SPRF フラグの動作例

以下に、図 33.28 の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPRF フラグが 1 (受信バッファフル) の状態でシリアル転送が終了すると、SPI がオーバーランエラーを検出し、OVRF フラグを 1 にします。SPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。マスタモードの場合、SPI は SPCMDm レジスタに対するポインタの値を SPSSR.SPECM[2:0] ビットにコピーします。
- (2) SPDR\_HA レジスタを読み出すと、SPI は受信バッファのデータを出力します。その後、SPRF フラグが 0 になります。受信バッファが空になっても、OVRF フラグは 0 になりません。
- (3) OVRF フラグが 1 の状態 (オーバーランエラー) でシリアル転送が終了した場合には、SPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは 1 になりません)。受信バッファフル割り込みも発生しません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。マスタモードの場合に、SPI は SPSSR.SPECM[2:0] ビットを更新しません。オーバーランエラー発生状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタを空であると判定します。これにより、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
- (4) OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、OVRF フラグに 0 を書くと、OVRF フラグは 0 になります。

アプリケーションは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、オーバーランの発生を確認できます。シリアル転送を実行する場合には、SPDR\_HA レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。SPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバーランエラーが発生して OVRF フラグが 1 になると、OVRF フラグが 0 になるまで正常な受信動作ができなくなります。



マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバーランエラーが発生しません。図 33.29、図 33.30 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

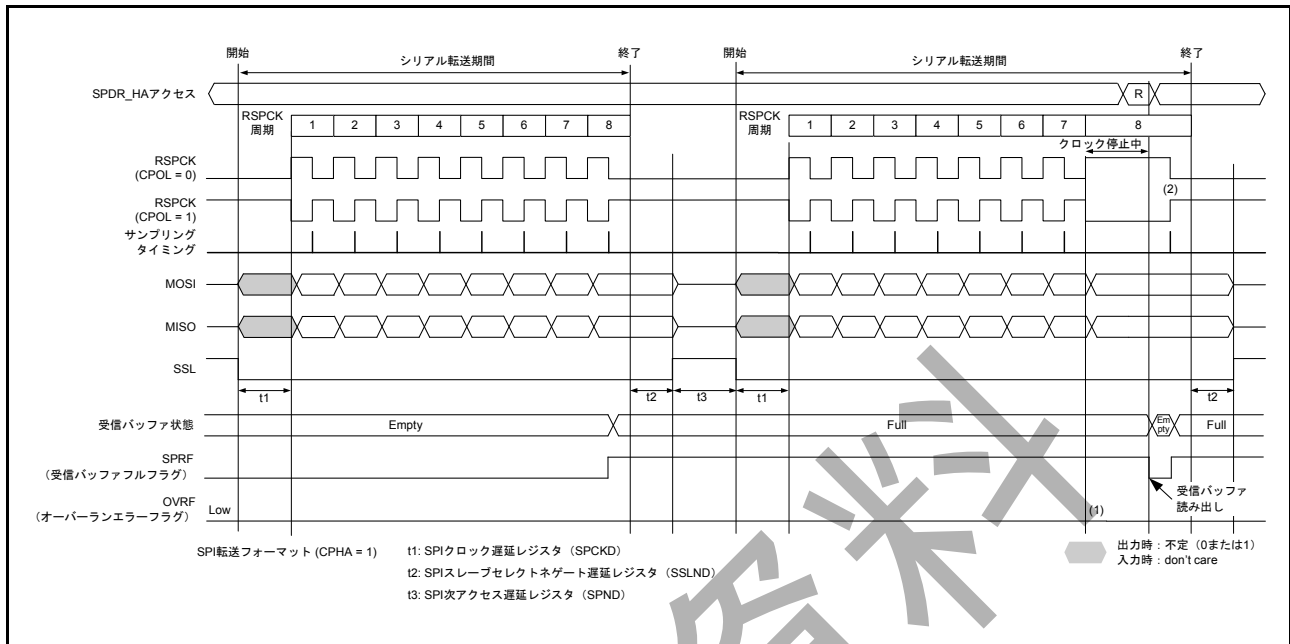


図 33.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

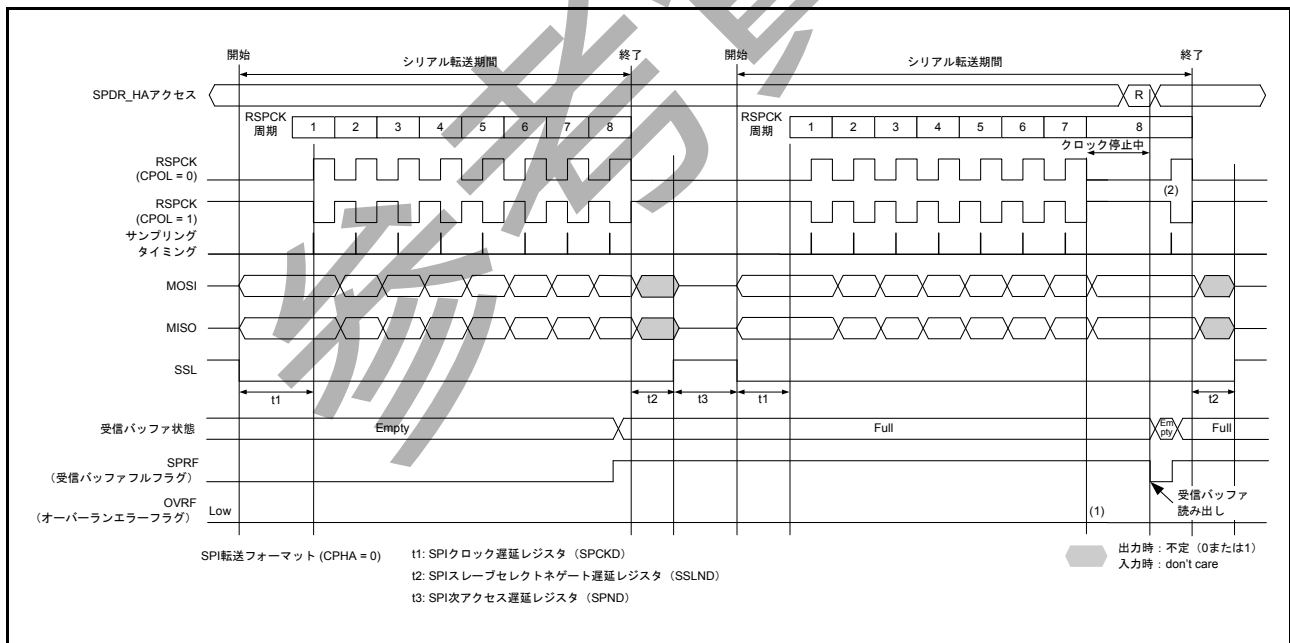


図 33.30 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図 33.29 および図 33.30 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
- (2) クロック停止中に SPDR\_HA レジスタを読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPSR.SPRF フラグが 0 にされた後)、RSPCK クロックが再開します。

### 33.3.8.2 パリティエラー

SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で、全二重同期式シリアル通信を行い、シリアル転送が終了すると、SPI はパリティエラーの判定を行います。SPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを 0 にするためには、PERF フラグが 1 の状態の SPSR レジスタを読んだ後、PERF フラグに 0 を書いてください。

図 33.31 に、OVRF フラグと PERF フラグの動作例を示します。図 33.31 に記載の“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 33.31 の例では、SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で全二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

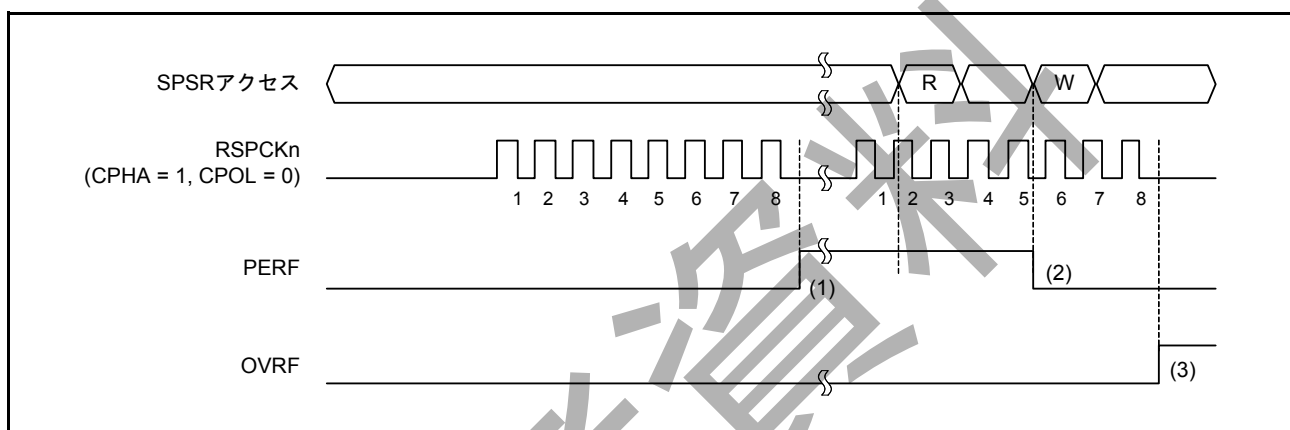


図 33.31 PERF フラグの動作例

以下に、図 33.31 の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPI がオーバーランエラーを検出せず、シリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーします。このとき、SPI が受信データをチェックし、パリティエラーを検出すると PERF フラグを 1 にします。マスターモードの場合、SPI は SPCMDm レジスタに対するポインタの値を SPSSR.SPECM[2:0] ビットにコピーします。
- (2) PERF フラグが 1 の状態で SPSR レジスタを読んだ後、PERF フラグに 0 を書くと、PERF フラグは 0 になります。
- (3) SPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、SPI はパリティエラーを検出しません。

アプリケーションは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、パリティエラーの発生を確認できます。シリアル転送を実行する場合には、SPSR レジスタを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。SPI をマスターモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

### 33.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。マルチマスタモードの SPI の SSLn0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。SPI はモードフォルトエラーを検出すると、SPCMDm レジスタに対するポインタの値を SPSR.SPECM[2:0] ビットにコピーします。なお、SSLn0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。スレーブモードの SPI の MODFEN ビットが 1、SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLn0 入力信号がネゲートされると、SPI はモードフォルトエラーを検出します。

SPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（33.3.9 SPI の初期化を参照）。マルチマスタ構成の場合には、モードフォルトエラーの検出によって出力信号のドライブと SPI 機能を停止させ、マスタであることを解除できます。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。SPI をマスタモードで使用する場合、SPSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にしてください。

### 33.3.8.4 アンダーランエラー

SPCR.MSTR ビットが 0（スレーブモード）、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送が開始すると、SPI はアンダーランエラーを検出します。その後、SPI は SPSR.MODF および SPSR.UDRF フラグを 1 にします。

SPI はアンダーランエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（33.3.9 SPI の初期化を参照）。

アンダーランエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にしてください。

### 33.3.9 SPIの初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットをクリアすることによる初期化と、システムリセットによる初期化について説明します。

#### 33.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す方法で初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステートの初期化
- SPI 送信バッファの初期化 (SPSR.STEF フラグが 1 になります)

SPE ビットのクリアによる初期化では、SPI の制御ビットは初期化されません。このため、再度 SPE ビットを 1 にすれば初期化前と同じ転送モードで SPI を起動できます。

SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグ、および SPI シーケンスステータスレジスタ (SPSSR) の値も初期化されません。このため、SPI の初期化後も受信バッファからデータを読み出すことで、SPI 転送時のエラー状況を確認できます。

送信バッファは空の状態に初期化されます (SPSR.SPTEF フラグが 1 になります)。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの 0 書き込みと同時に SPTIE ビットにも 0 を書き込んでください。

#### 33.3.9.2 システムリセットによる初期化

システムリセットでは、[33.3.9.1 SPE ビットのクリアによる初期化](#)に記載の要件に加え、SPI 制御用の全ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。

### 33.3.10 SPI 動作

#### 33.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の使用のみです (33.3.8 エラー検出を参照)。SPI は、シングルマスタモードではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングル/マルチマスタモードで共通する動作について説明します。

##### (1) シリアル転送の開始

SPI 送信バッファが空き (次転送のデータがセットされていない) (SPSR.STEF フラグ=0) の状態で、SPI データレジスタ (SPDR/SPDR\_HA) にデータを書き込むと、SPI は送信バッファ (SPTX) のデータを更新します。SPDCR.SPFC[1:0] ビットで設定したフレーム数分のデータを、SPDR/SPDR\_HA レジスタへ書き込んだ後、シフトレジスタが空の場合は、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

SPI の転送フォーマットの詳細については、33.3.5 転送フォーマットを参照してください。SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。

##### (2) シリアル転送の終了

SPCMDm.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグ=0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR\_HA レジスタの受信バッファにデータをコピーします。

注 . 最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値で決まります。SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、33.3.5 転送フォーマットを参照してください。

##### (3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、および SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB/LSB ファースト
- データ長
- ビットレート設定の一部
- RSPCK 極性/位相
- SPCKD レジスタの参照要否
- SSLND レジスタの参照要否
- SPND レジスタの参照要否

SPBR レジスタは、SPCKD レジスタ (SPI クロック遅延)、SSLND レジスタ (SSL ネゲート遅延)、SPND レジスタ (次アクセス遅延) などの、ビットレート設定の一部を保持しています。

SPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを含む最終コマンドに対応するシリアル転送が終了すると、SPI はシーケンスを繰り返し実行するように、ポインタを SPCMD0 レジスタにセットします。

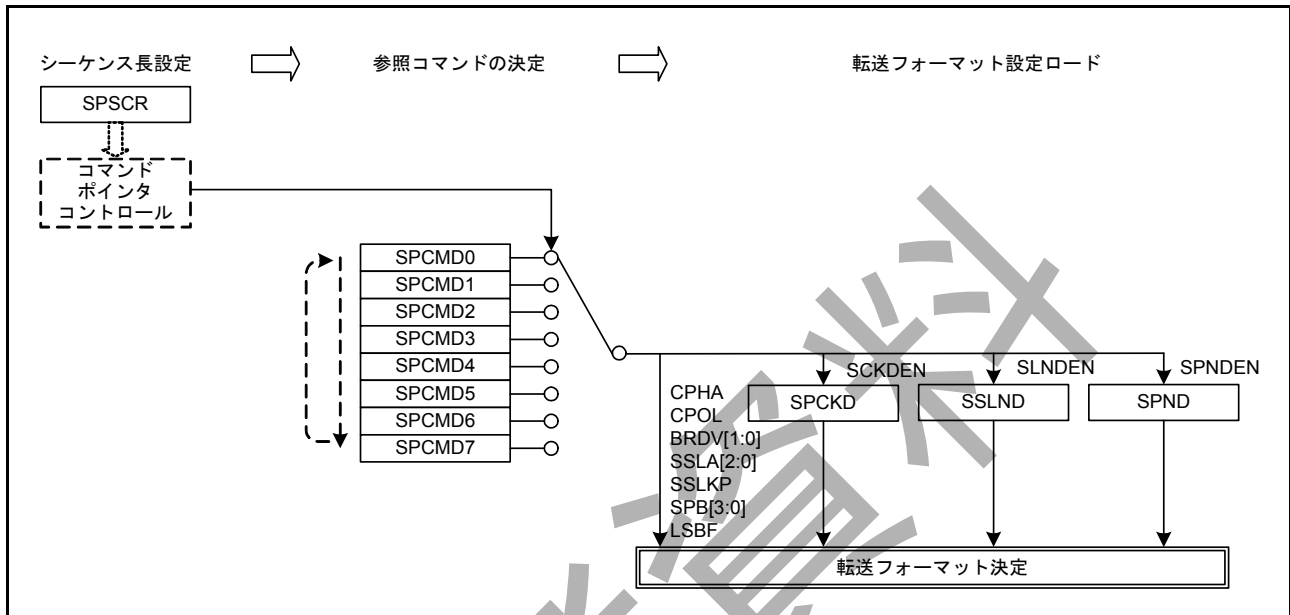


図 33.32 マスタモードでのシリアル転送フォーマットの決定方法

ここでは、SPDR/SPDR\_HA データと SPCMDm 設定の 2 つを合わせてフレームとします。

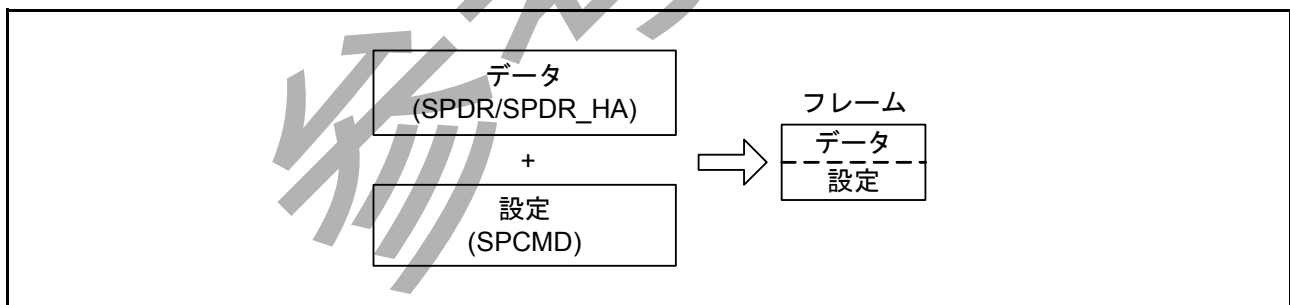


図 33.33 フレームの概念図

表 33.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ/受信バッファの対応関係を図 33.34 に示します。

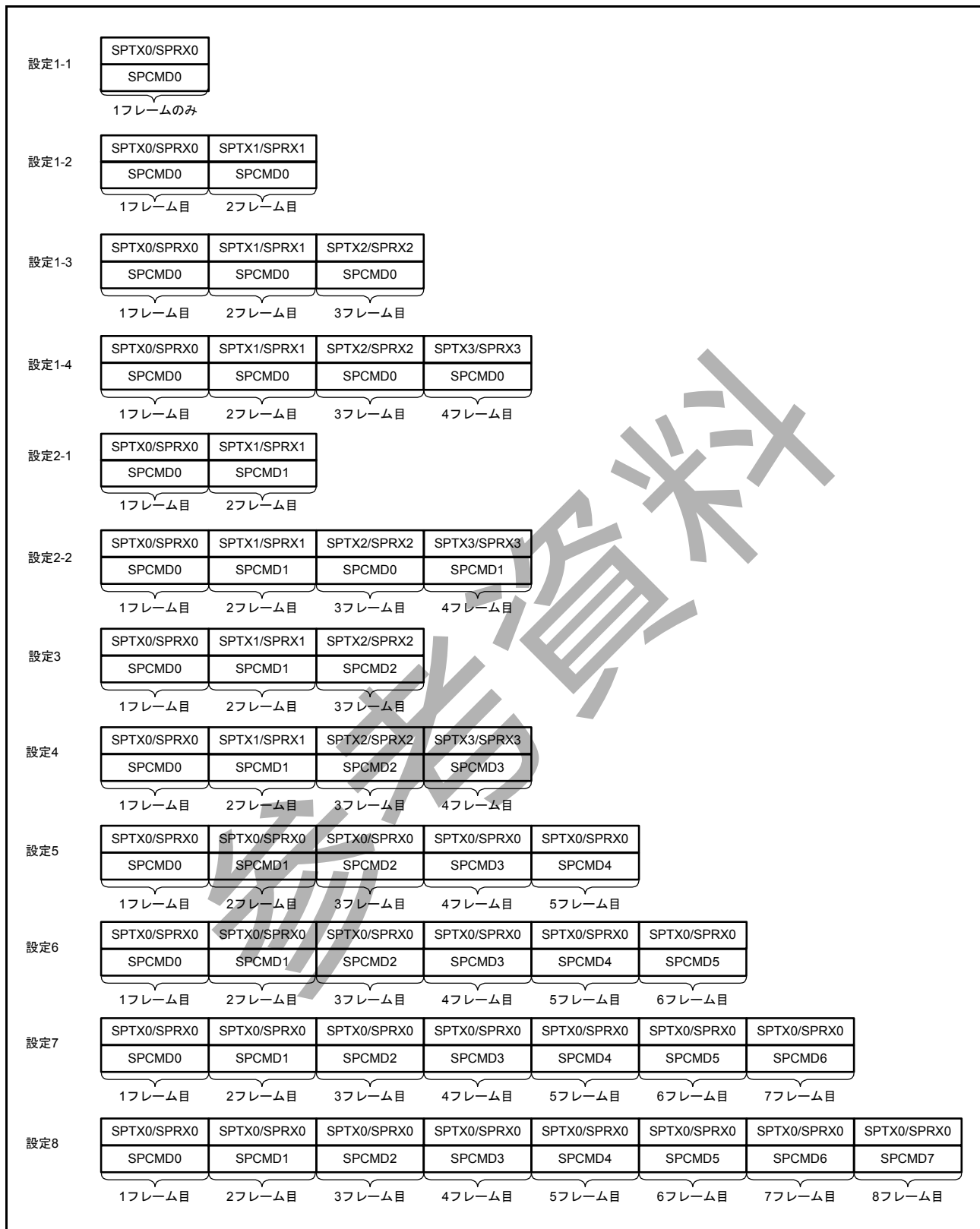


図 33.34 シーケンス動作時の SPI コマンドレジスタと送受信バッファの関係

#### (4) バースト転送

SPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが 1 の場合には、SPI はシリアル転送中の SSLni 信号レベルを次のシリアル転送の SSLni 信号アサート開始まで保持します。次のシリアル転送での SSLni 信号レベルが、現在のシリアル転送での SSLni 信号レベルと同じであれば、SPI は SSLni 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

図 33.35 に、SPCMD0 レジスタおよび SPCMD1 レジスタの設定を使用して実現したバースト転送の SSLni 信号動作例を示します。図 33.35 に記載した (1) ~ (7) の SPI 動作内容について、以下に説明します。

注. SSLni 出力信号の極性は、SSLP レジスタの設定値で決まります。

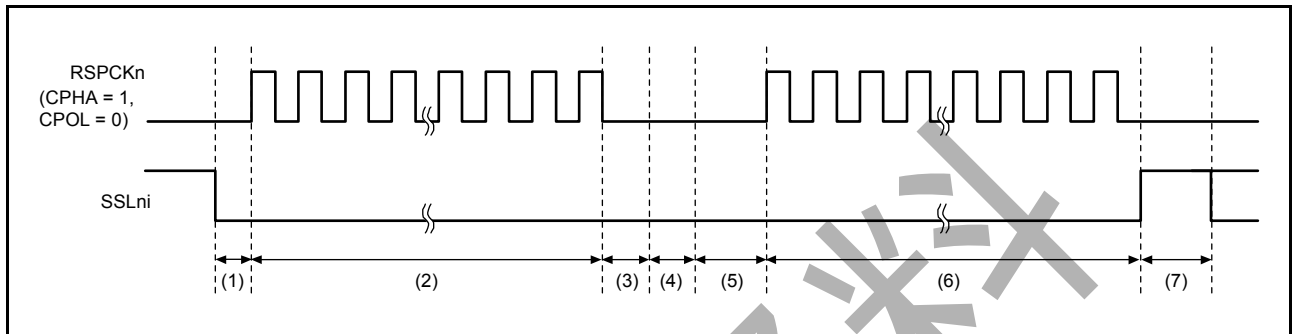


図 33.35 SSLKP ビットを利用したバースト転送の動作例

1. SPI は、SPCMD0 レジスタに従って SSLni 信号をアサートし RSPCK 遅延を挿入します。
2. SPI は、SPCMD0 レジスタに従ってシリアル転送を実行します。
3. SPI は、SSL ネゲート遅延を挿入します。
4. SPCMD0.SSLKP ビットが 1 であるため、SPI は SPCMD0 レジスタでの SSLni 信号値を保持します。この期間は、最短でも SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間が経過してもシフトレジスタが空の場合は、次転送のための送信データがシフトレジスタに格納されるまで、この期間は継続します。
5. SPI は、SPCMD1 レジスタに従って SSLni 信号をアサートし RSPCK 遅延を挿入します。
6. SPI は、SPCMD1 レジスタに従ってシリアル転送を実行します。
7. SPCMD1.SSLKP ビットが 0 であるため、SPI は SSLni 信号をネゲートします。また、SPCMD1 レジスタに従って次アクセス遅延を挿入します。

SSLKP ビットを 1 にした SPCMDm レジスタでの SSLni 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLni 信号出力設定が異なる場合、SPI は図 33.35 の (5) で示すように、SSLni 信号状態を SSLni 信号アサートに切り替えます。この SSLni 信号は次転送のコマンドに対応しています。

注. このような SSLni 信号の切り替えが発生した場合、MISO<sub>n</sub> 信号をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があります。

マスタモードの SPI は、SSLKP ビットを使用しない場合は、SSLni 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが 0 の場合でも、SPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。

#### (5) RSPCK 遅延 (t1)

マスタモードでの RSPCK 遅延は、SPCMDm.SCKDEN ビットの設定値と SPCKD レジスタの設定値で決まります。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、表 33.9 のように RSPCK 遅延を決定します。なお、RSPCK 遅延の定義については、33.3.5 転送フォーマットを参照してください。



表 33.9 SCKDENビット、SPCKDレジスタ、RSPCK遅延の関係

SPCMDm.SCKDENビット	SPCKD.SCKDL[2:0]ビット	RSPCK遅延
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

## (6) SSLネゲート遅延 (t2)

マスタモードでのSSLネゲート遅延は、SPCMDm.SLNDENビットの設定値とSSLNDレジスタの設定値で決まります。SPIは、ポインタ制御によってシリアル転送中に参照するSPCMDmレジスタを決定し、SPCMDm.SLNDENビットとSSLNDレジスタを使用して、表33.10のようにSSLネゲート遅延値を決定します。なお、SSLネゲート遅延の定義については、33.3.5 転送フォーマットを参照してください。

表 33.10 SLNDENビット、SSLNDレジスタ、SSLネゲート遅延の関係

SPCMDm.SLNDENビット	SSLND.SLNDL[2:0]ビット	SSLネゲート遅延
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

## (7) 次アクセス遅延 (t3)

マスタモードでの次アクセス遅延は、SPCMDm.SPNDENビットの設定値とSPNDレジスタの設定値で決まります。SPIは、ポインタ制御によってシリアル転送中に参照するSPCMDmレジスタを決定し、SPCMDm.SPNDENビットとSPNDレジスタを使用して、表33.11のようにシリアル転送時の次アクセス遅延値を決定します。なお、次アクセス遅延の定義については、33.3.5 転送フォーマットを参照してください。

表 33.11 SPNDENビット、SPNDレジスタ、次アクセス遅延の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延
0	000b ~ 111b	1RSPCK + 2PCLK
1	000b	1RSPCK + 2PCLK
	001b	2RSPCK + 2PCLK
	010b	3RSPCK + 2PCLK
	011b	4RSPCK + 2PCLK
	100b	5RSPCK + 2PCLK
	101b	6RSPCK + 2PCLK
	110b	7RSPCK + 2PCLK
	111b	8RSPCK + 2PCLK

## (8) 初期化フロー

図 33.36 に、SPI をマスターモードで使用する場合の SPI 初期化フローの例を示します。なお、割り込みコントローラユニット、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

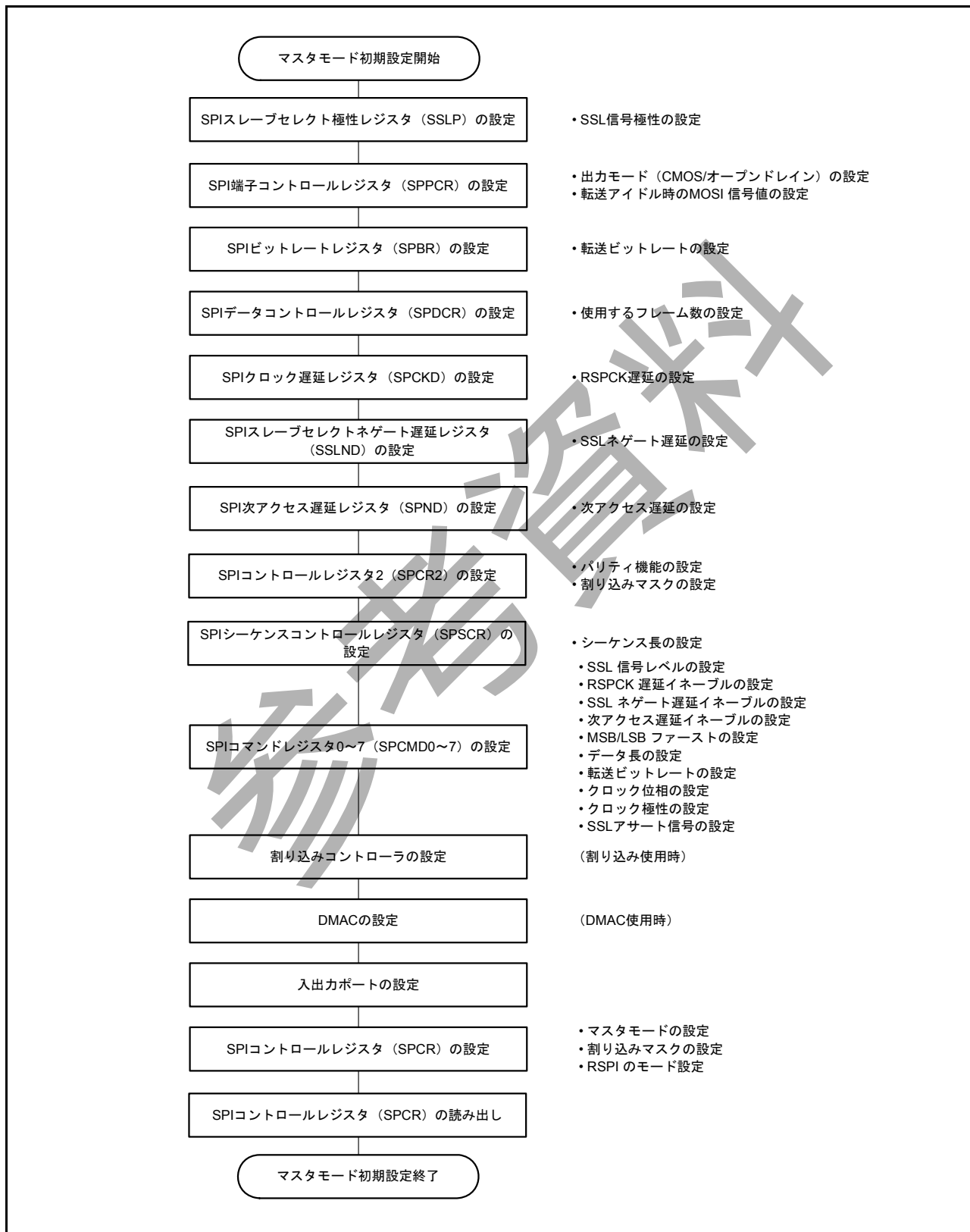


図 33.36 マスタモード時の SPI 動作の初期化フロー例

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 33.37 ~ 図 33.39 に示します。

(a) 送信処理フロー

送信を行う場合、SPIn\_SPII 割り込みが有効のときは、送信データの最終データ書き込み後にデータ送信完了を CPU に通知します。

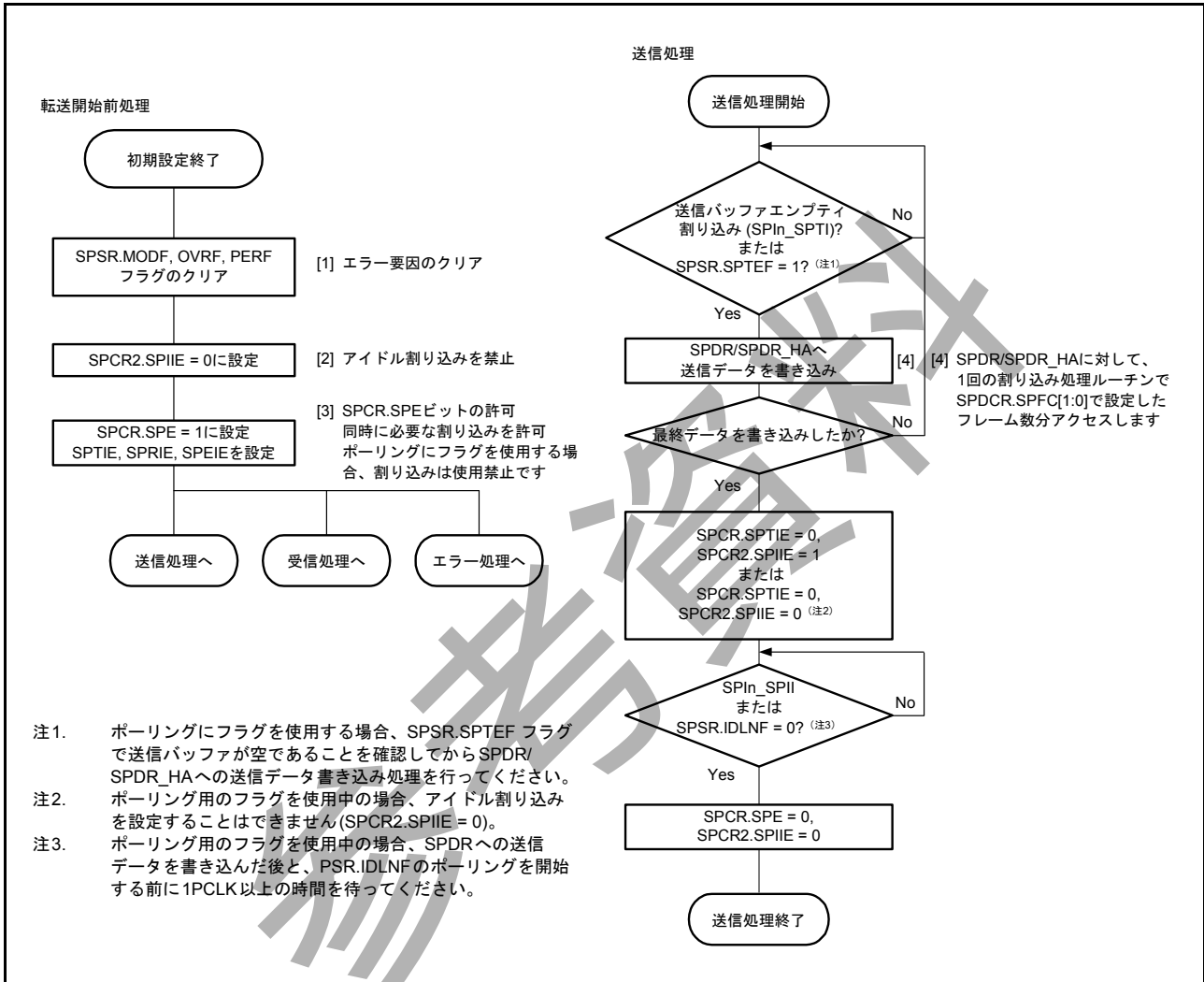


図 33.37 マスタモードでの送信フロー

## (b) 受信処理フロー

SPIは受信のみの動作を持たないため、送信を必要とします。

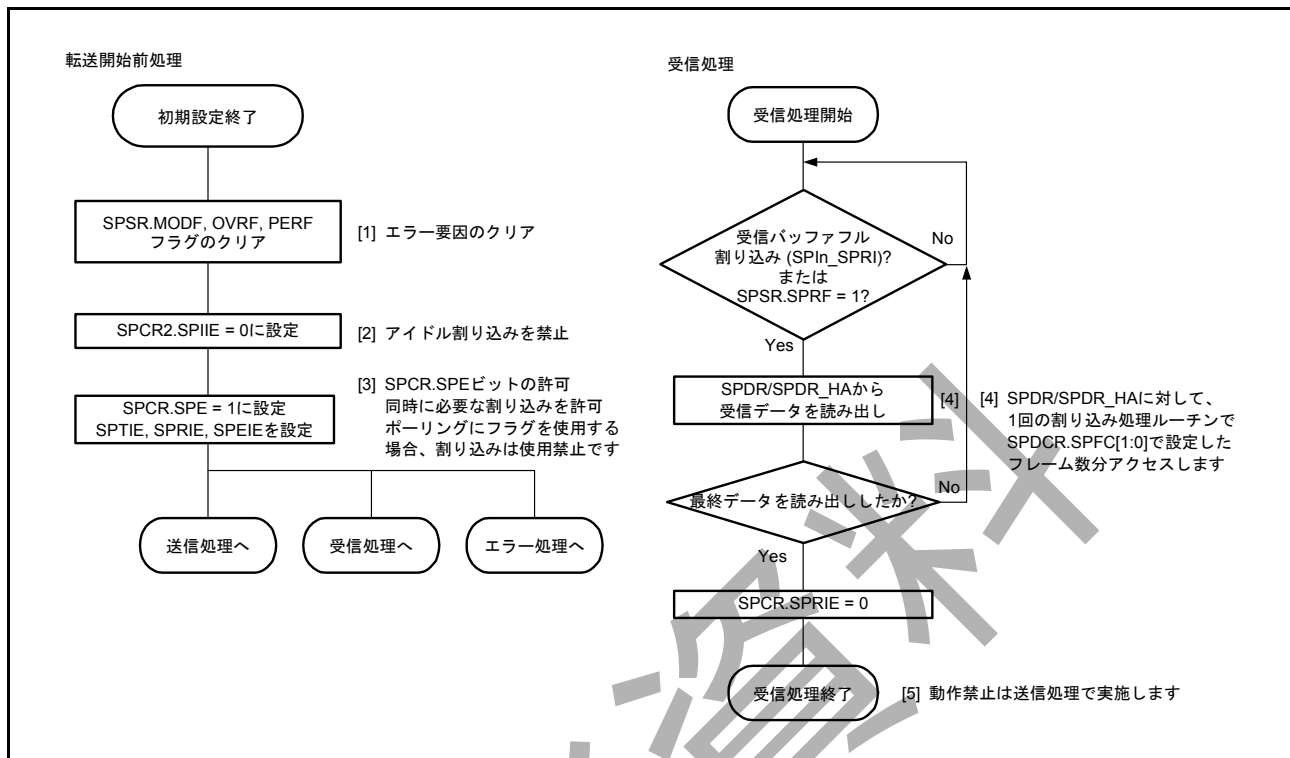


図 33.38 マスタモードでの受信フロー

(c) エラー処理フロー

SPIには3種類のエラーがあります。モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。その他のエラー要因では、SPCR.SPEビットはクリアされず、送信/受信動作は継続します。モードフォルトエラー以外のエラーの場合は、SPCR.SPEビットをクリアし、動作を停止することが推奨されます。動作を停止しないと、SPSSR.SPECM[2:0]ビットが更新されます。

割り込みによるエラー発生時は、エラー処理ルーチンにてICU.IELSRn.IRフラグをクリアしてください。クリアしないと、ICU.IELSRn.IRフラグに送信バッファエンプティ割り込みまたは受信バッファフル割り込み要求が保持されている可能性があります。また、SPIn\_SPRI割り込み要求が保持されている場合、受信バッファを読み出してSPIの内部シーケンサを初期化してください。

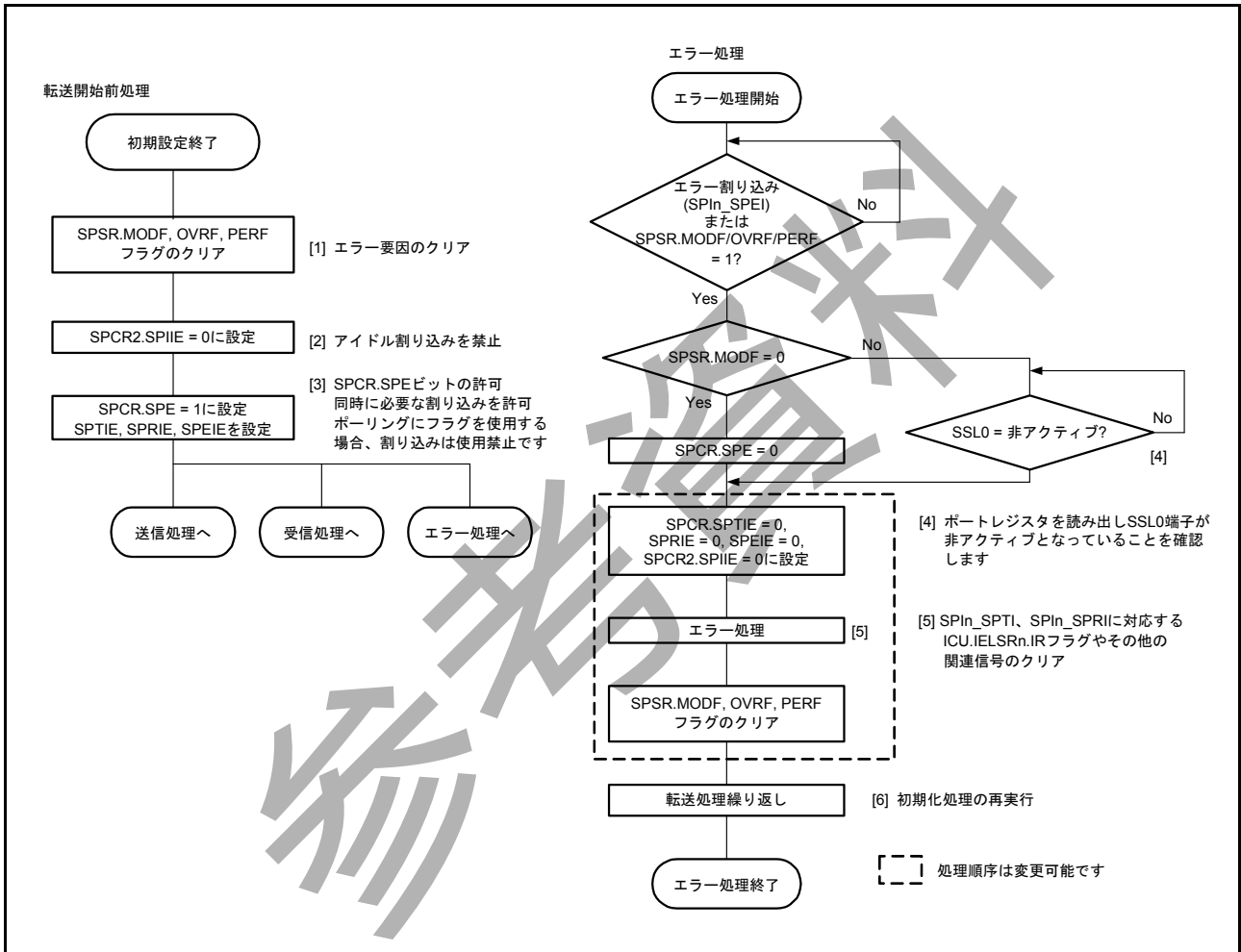


図 33.39 マスタモードでのエラー処理フロー

### 33.3.10.2 スレーブモード動作

#### (1) シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 入力信号のアサートを検出すると、MISO<sub>n</sub> 出力信号への有効データをドライブする必要があります。このため、CPHA ビットが 0 の場合には、SSLn0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、SPI は SSLn0 入力信号のアサート状態で最初の RSPCK<sub>n</sub> エッジを検出すると、MISO<sub>n</sub> 出力信号への有効データをドライブする必要があります。CPHA ビットが 1 の場合には、SSLn0 信号アサート状態における最初の RSPCK<sub>n</sub> エッジがシリアル転送開始のトリガになります。

CPHA ビットの設定にかかわらず、SPI は SSLn0 信号のアサート時に、MISO<sub>n</sub> 出力信号のドライブを実行します。CPHA ビットの設定によって、SPI が出力するデータの有効/無効が異なります。

SPI の転送フォーマットの詳細については、[33.3.5 転送フォーマット](#)を参照してください。SSLn0 入力信号の極性は、SSLP.SSLOP ビットの設定値で決まります。

#### (2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、SPI は最終サンプリングタイミングに関連する RSPCK<sub>n</sub> エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR<sub>HA</sub> レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。シリアル転送開始からシリアル転送終了までの間に SPI が SSLn0 入力信号のネゲートを検出すると、モードフォルトエラーが発生します ([33.3.8 エラー検出](#)を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値で決まります。SSLn0 入力信号の極性は、SSLP.SSLOP ビットの設定値で決まります。

SPI の転送フォーマットの詳細については、[33.3.5 転送フォーマット](#)を参照してください。

#### (3) シングルスレーブ動作時の注意点

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 入力信号のアサートエッジを検出するとシリアル転送を開始します。[図 33.7](#) の例に示したような構成で SPI をシングルスレーブモードで使用する場合には、SSLn0 入力信号がアクティブ状態に固定されます。そのため、CPHA ビットを 0 に設定した SPI では、シリアル転送を正しく開始できません。SSLn0 入力信号をアクティブ状態に固定された構成で、スレーブモードの SPI の送受信を正しく実行するには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要があるアプリケーションの場合、SSLn0 入力信号を固定しないでください。

#### (4) バースト転送

SPCMD0.CPHA ビットが 1 であれば、SSLn0 入力信号のアサート状態を保持したままで連続的なシリアル転送 (バースト転送) を実行できます。CPHA ビットが 1 の場合には、SSLn0 入力信号アクティブ状態における最初の RSPCK<sub>n</sub> エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLn0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能なため、バースト転送に対応できます。

CPHA ビットが 0 の場合には、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

## (5) 初期化フロー

図 33.40 に、SPI がスレーブモードの場合の SPI 動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

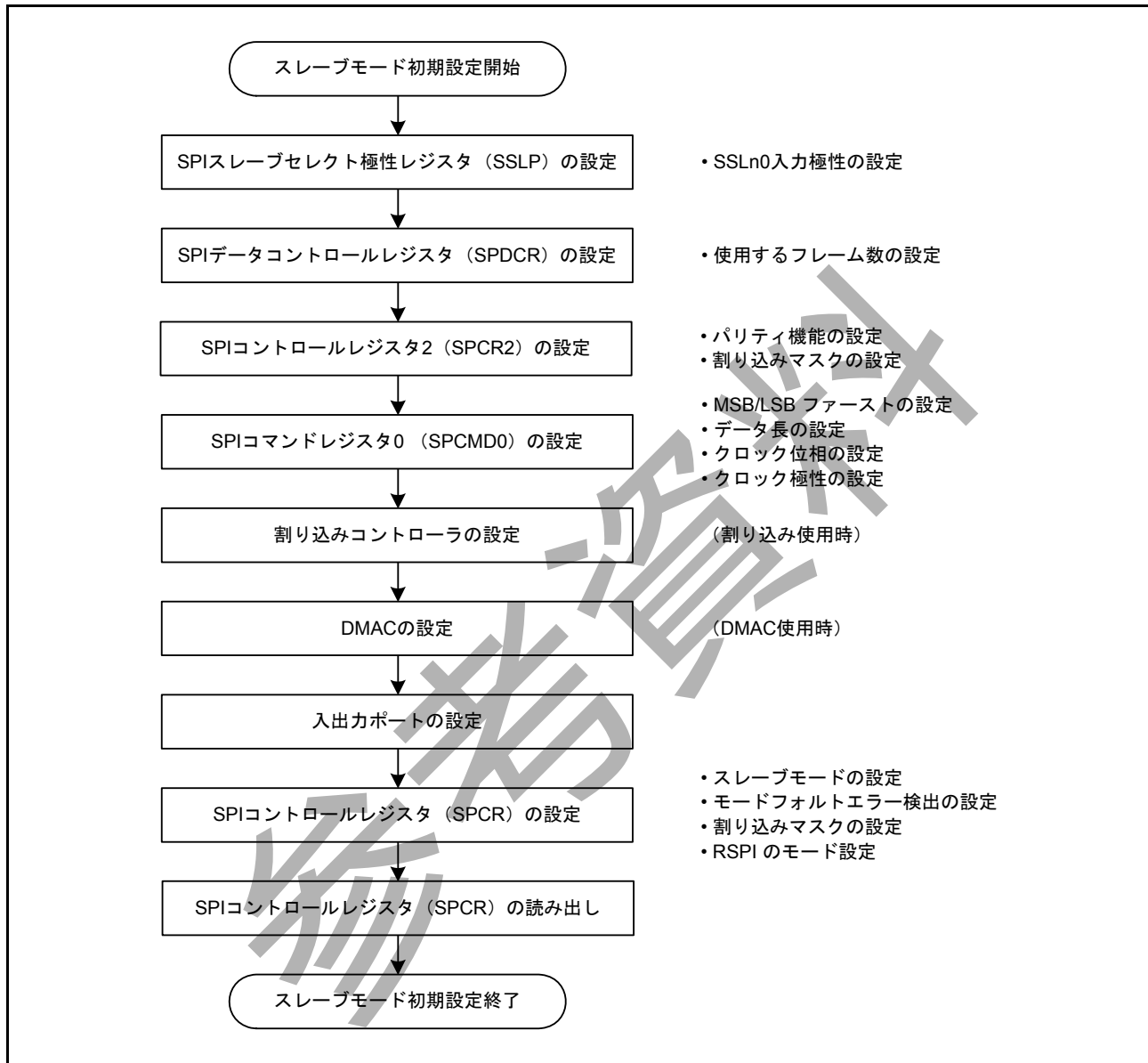


図 33.40 スレーブモード時の SPI 動作の初期化フロー例

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 33.41 ~ 図 33.43 に示します。

(a) 送信処理フロー

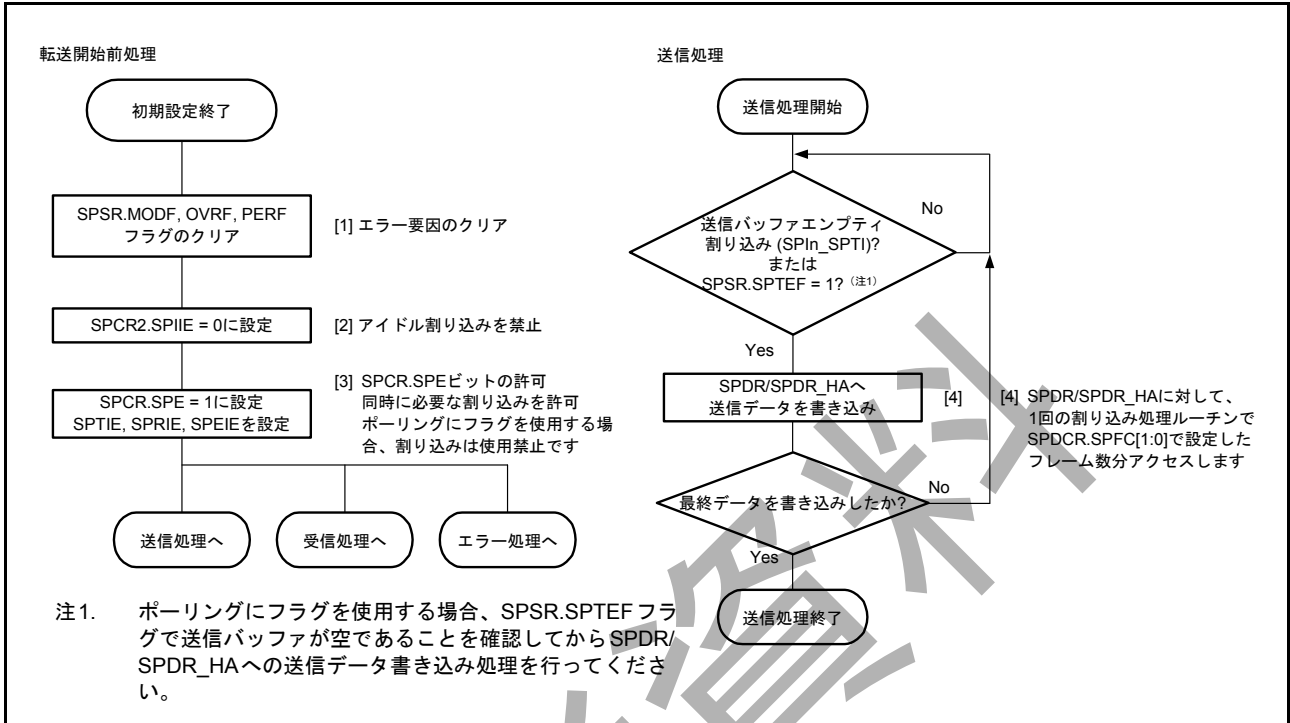


図 33.41 スレーブモードでの送信フロー

(b) 受信処理フロー

SPI は受信のみの動作を行わないため、送信を必要とします。

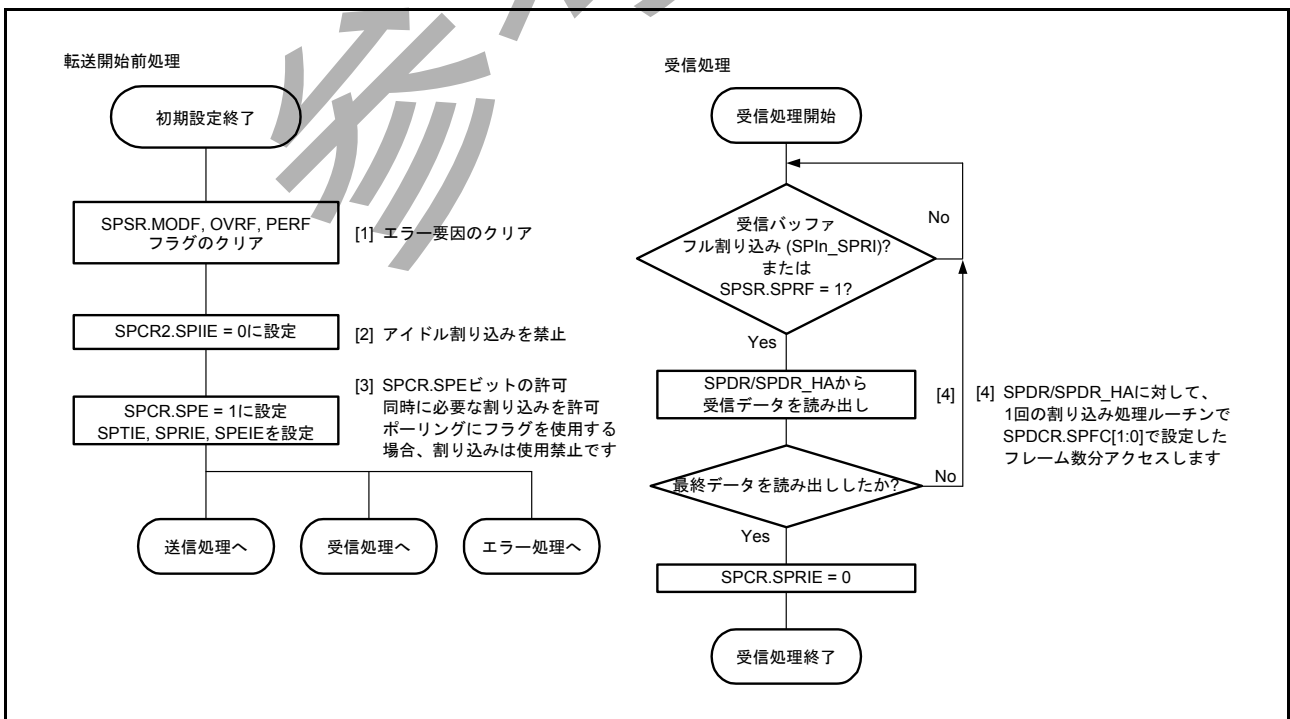


図 33.42 スレーブモードでの受信フロー



(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることができます。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込みまたは受信バッファフル割り込み要求が保持されている可能性があります。受信バッファフル割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

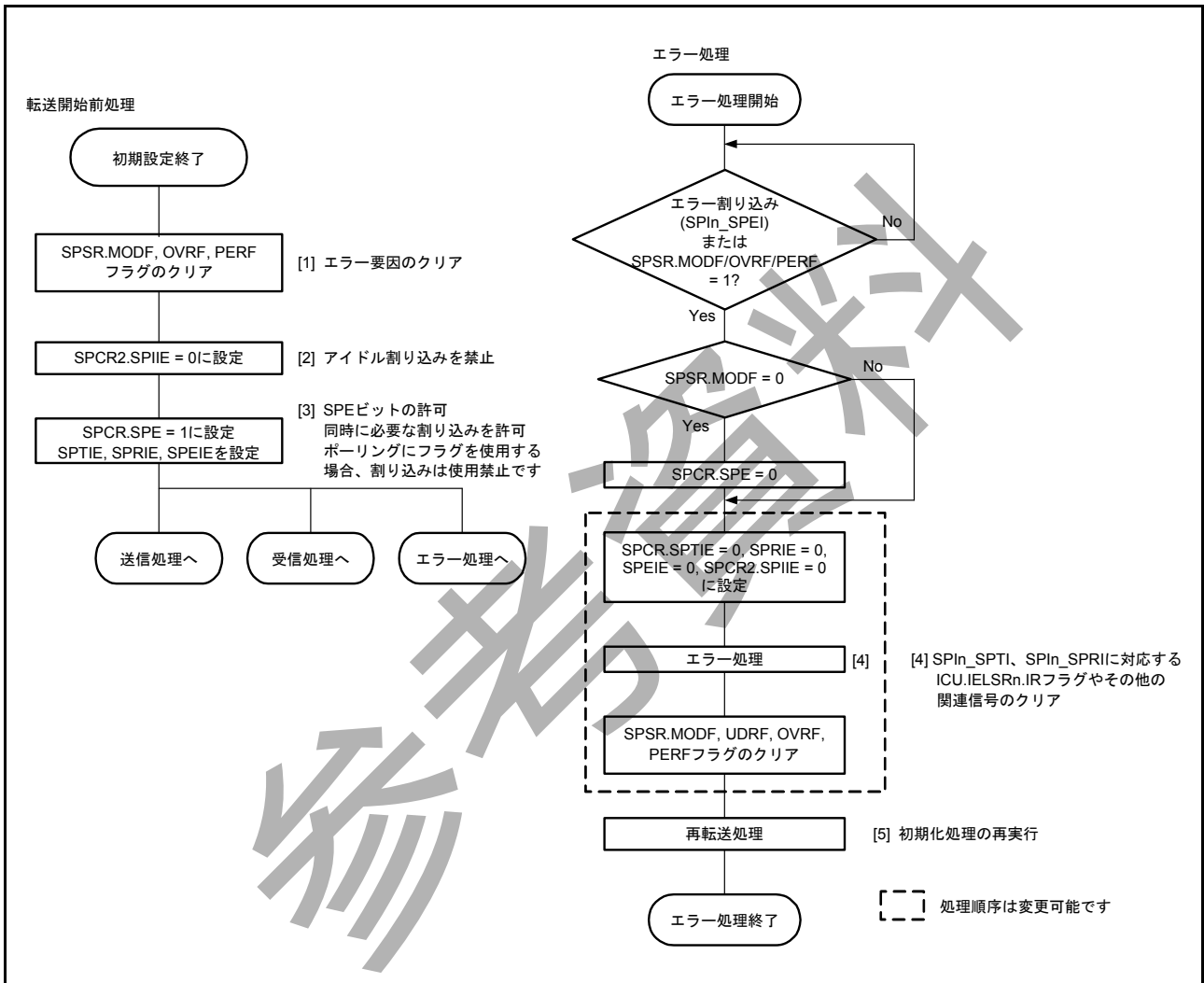


図 33.43 スレーブモードでのエラー処理フロー

### 33.3.11 クロック同期式動作

SPI は、SPCR.SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSLni 端子を使用せず、RSPCKn、MOSIn、MISO<sub>n</sub> の 3 本の端子を用いて通信を行います。各 SSLni 端子は入出力ポートとして使用することができます。

クロック同期式動作は、SSLni 端子を使用せずに通信を行いますが、モジュールの動作は SPI 動作と同様です。すなわち、マスタ動作とスレーブ動作では、モードフォルトエラーの検出が行われないことを除いて、同様のフローで通信を行うことができます。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを 0 にした場合の動作はしないでください。

#### 33.3.11.1 マスタモード動作

##### (1) シリアル転送の開始

送信バッファが空、すなわち次転送のデータがセットされておらず、SPSR.SPTEF フラグ = 1 の状態で、SPDR/SPDR\_HA レジスタへデータを書くと、SPI は SPDR/SPDR\_HA レジスタの送信バッファ (SPTX) のデータを更新します。SPDR/SPDR\_HA レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

SPI の転送フォーマットの詳細については、[33.3.5 転送フォーマット](#)を参照してください。クロック同期式動作時は、SSLn0 出力信号を用いずに転送を行います。

##### (2) シリアル転送の終了

SPI はサンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPI データレジスタ (SPDR/SPDR\_HA) の受信バッファにデータをコピーします。

注. 最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値で決まります。

SPI の転送フォーマットの詳細については、[33.3.5 転送フォーマット](#)を参照してください。クロック同期式動作時は、SSLn0 出力信号を用いずに転送を行います。

##### (3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、および SPND レジスタによって決定されます。クロック同期式動作時は、SSLni 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB/LSB ファースト
- データ長
- ビットレート設定の一部
- RSPCKn 極性/位相
- SPCKD レジスタの参照要否
- SSLND レジスタの参照要否
- SPND レジスタの参照要否

SPBR レジスタは、SPCKD レジスタ (SPI クロック遅延)、SSLND レジスタ (SSL ネゲート遅延)、SPND レジスタ (次アクセス遅延) などの、ビットレート設定の一部を保持しています。

SPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

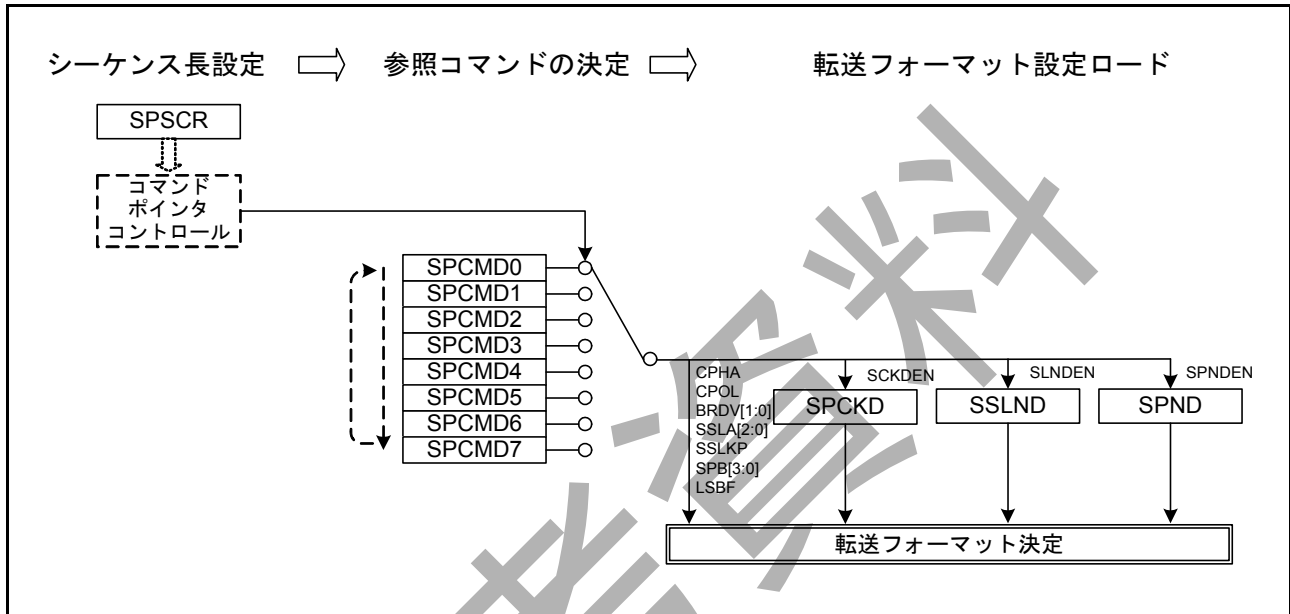


図 33.44 マスタモードでのシリアル転送方式の決定方法

ここでは、データ (SPDR/SPDR\_HA) と SPCMDm の設定の 2 つを合わせてフレームとします。

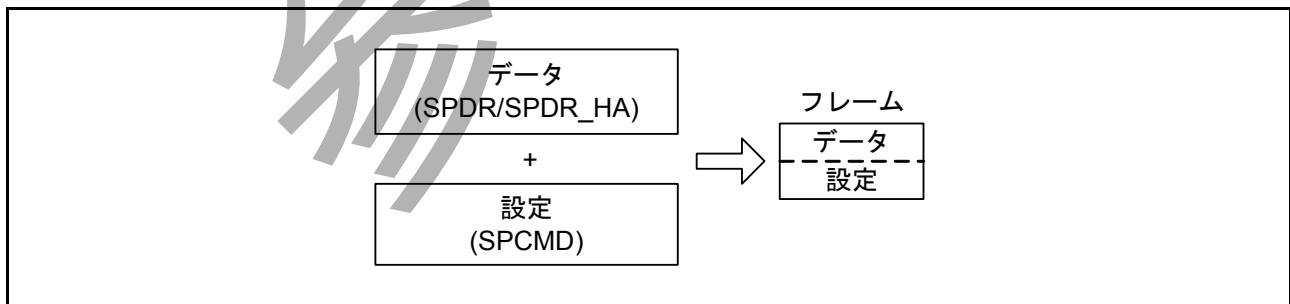


図 33.45 フレームの概念図

表 33.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ/受信バッファの対応関係を図 33.46 に示します。

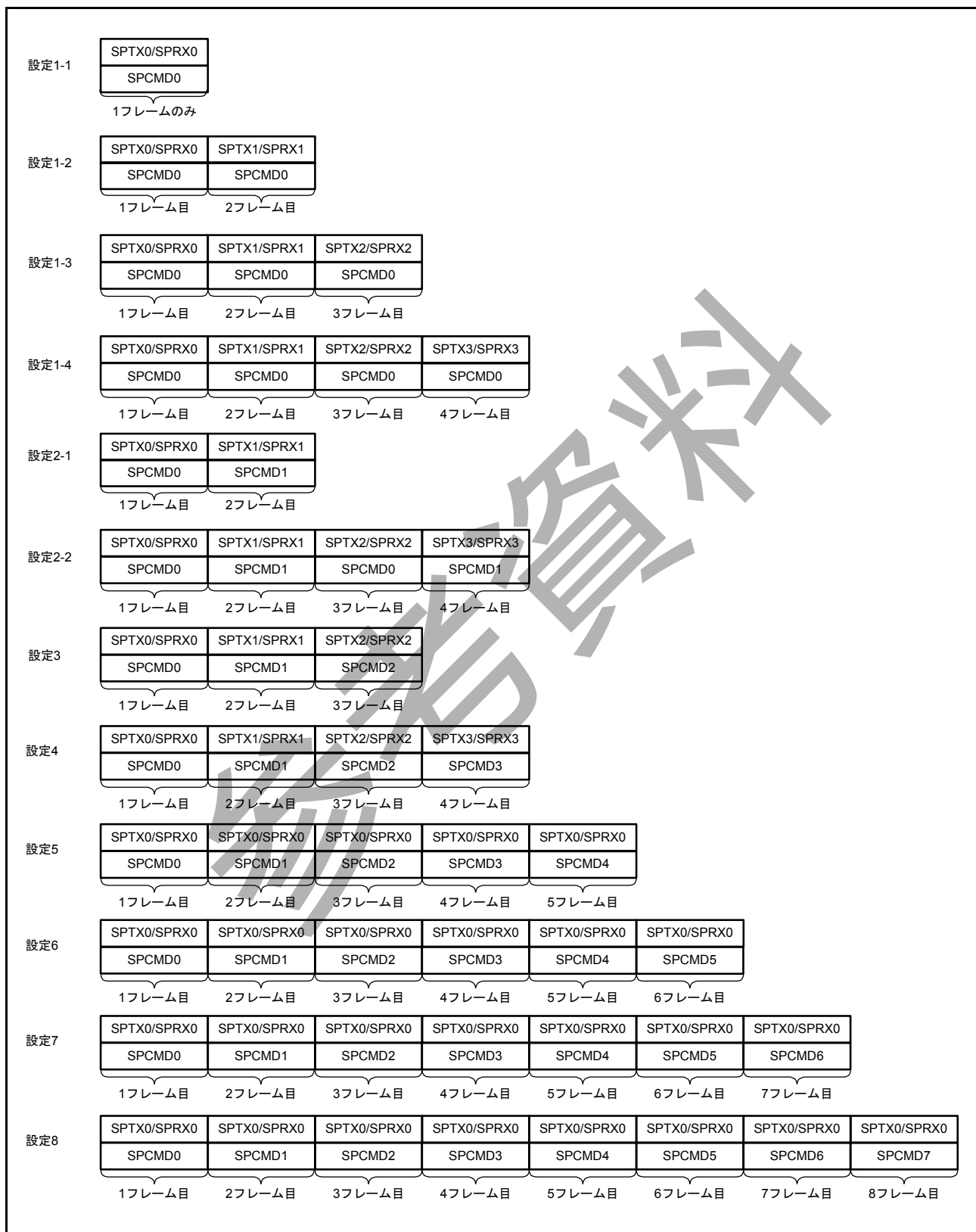


図 33.46 シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応

## (4) 初期化フロー

図 33.47 に、SPI がマスターモードである場合のクロック同期式動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。



図 33.47 マスターモード時のクロック同期式動作の初期化フロー例

### (5) ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、[33.3.10.1](#) の (9) [ソフトウェア処理フロー](#)を参照してください。

注. このモードでは、モードフォルトエラーは発生しません。

### 33.3.11.2 スレーブモード動作

#### (1) シリアル転送の開始

SPCR.SPMS ビットが 1 であるとき、最初の RSPCKn エッジが SPI のシリアル転送開始のトリガになり、SPI は MISO<sub>n</sub> 出力信号をドライブします。

SPI の転送フォーマットの詳細については、[33.3.5](#) [転送フォーマット](#)を参照してください。クロック同期式動作時は SSL0 入力信号を使用しません。

#### (2) シリアル転送の終了

SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ=0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR\_HA レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値で決まります。

SPI の転送フォーマットの詳細については、[33.3.5](#) [転送フォーマット](#)を参照してください。

参考資料

### (3) 初期化フロー

図 33.48 に、SPI がスレーブモードである場合のクロック同期式動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

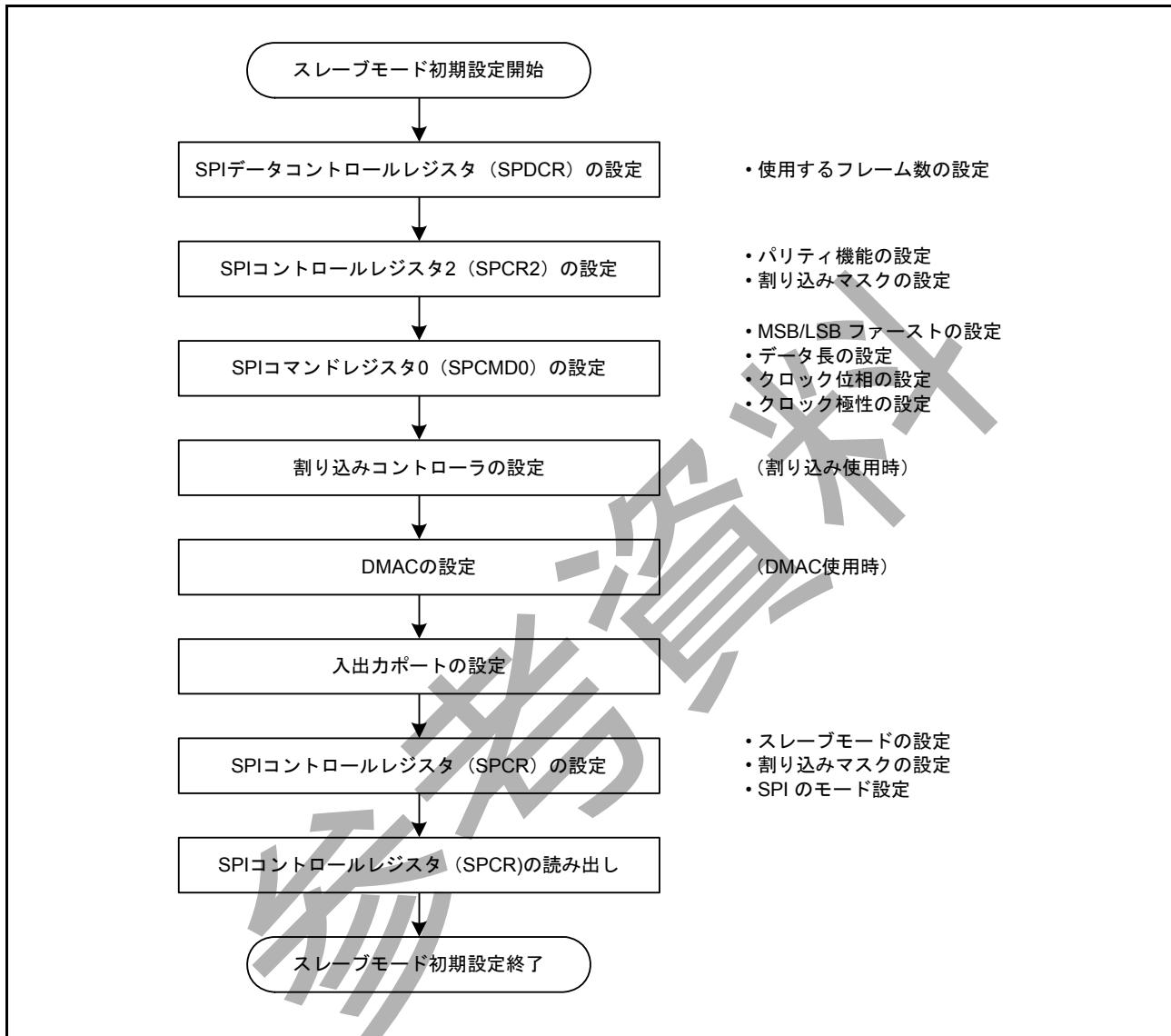


図 33.48 スレーブモード時のクロック同期式動作の初期化フロー例

### (4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、33.3.10.2 の (6) ソフトウェア処理フローを参照してください。この条件下ではモードフォルトエラーは発生しません。

### 33.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPPCR.SPLP ビットに 1 を書き込むと、SPI は、SPCR.MSTR ビットが 1 であれば、MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI<sub>n</sub> 端子とシフトレジスタ間の経路を遮断して、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが 1 であれば、MOSI<sub>n</sub> 端子とシフトレジスタ間の経路を遮断せず、SPCR.MSTR ビットが 0 であれば、MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、SPI の送信データまたは送信データの反転が SPI の受信データになります。

表 33.12 に、SPLP2 ビット、SPLP ビット、および受信データの関係を示します。また、図 33.49 に、マスターモードの SPI をループバックモード (SPPCR.SPLP2 = 0、SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 33.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSI <sub>n</sub> 端子または MISO <sub>n</sub> 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

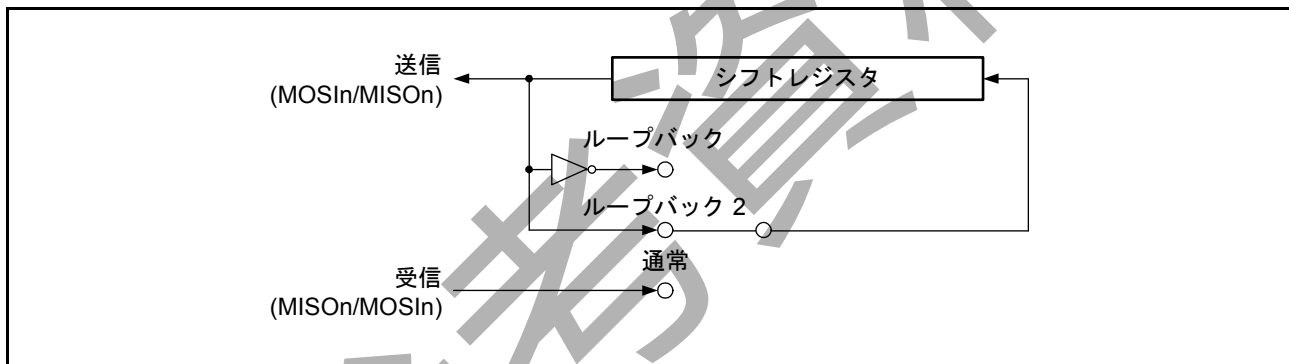


図 33.49 ループバックモード時のシフトレジスタ入出力経路の構成 (マスターモード)



### 33.3.13 パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ付加部とエラー検出部の故障を検出するために、[図 33.50](#) に示すように、パリティ回路は自己診断を行います。

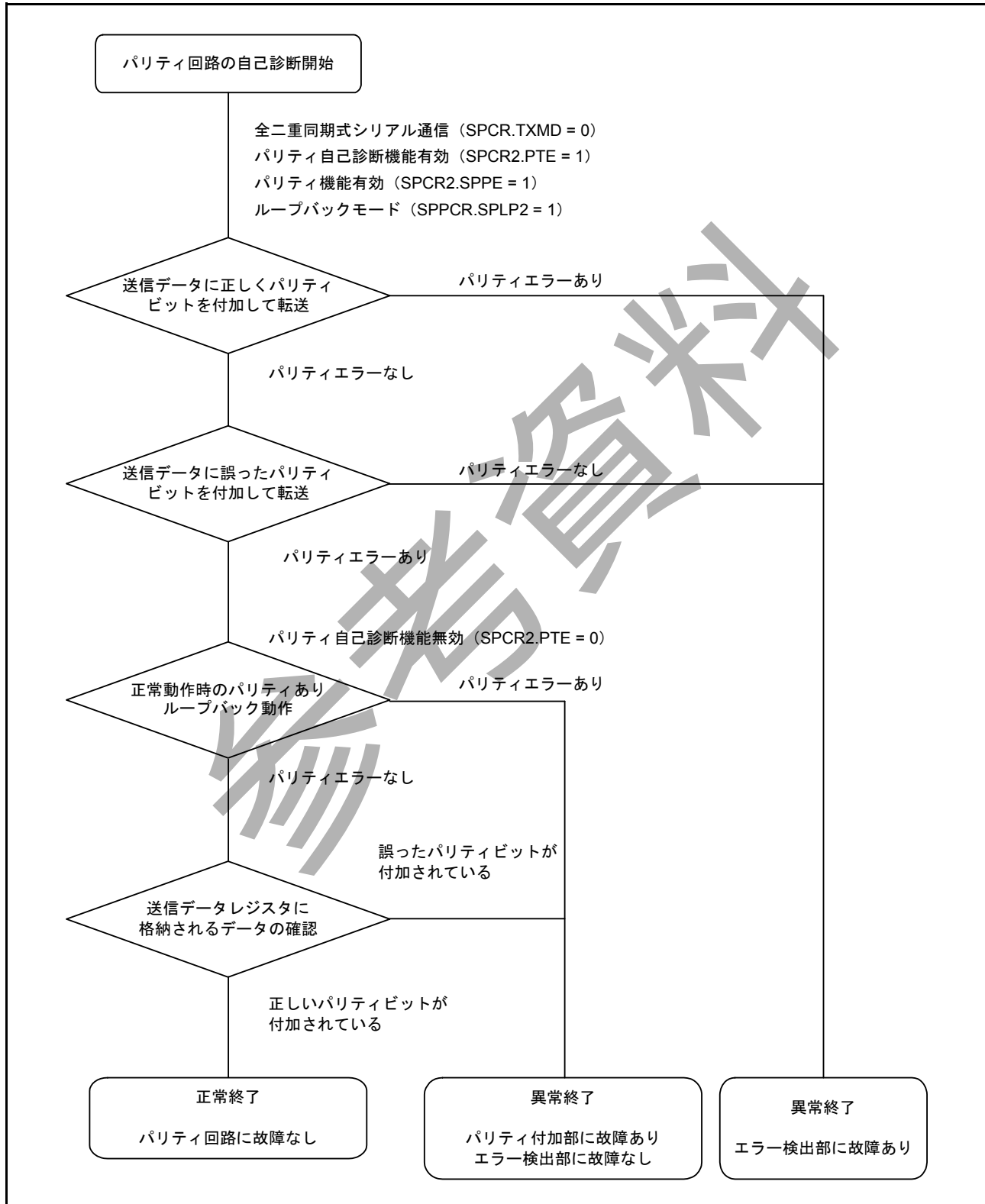


図 33.50 パリティ回路の自己診断フロー

### 33.3.14 割り込み要因

SPI には、以下の 8 種類の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ
- 送信終了
- モードフォルト
- アンダーラン
- オーバーラン
- パリティエラー
- SPI アイドル

また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC、DMAC を起動し、データ転送を行うことができます。

SPIn\_SPEI のベクタアドレスは、モードフォルト、アンダーラン、オーバーラン、およびパリティエラーでトリガされる割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 33.13 に SPI の割り込み要因に対応するフラグを示します。表 33.13 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DTC または DMAC を使用してデータの送受信を行う場合、最初に DTC または DMAC を転送許可状態に設定してから SPI の設定を行ってください。DTC または DMAC の設定については、それぞれ「17. DMA コントローラ (DMAC)」と「18. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSRn.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じても、ICU に対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IELSRn.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット (SPCR.SPTE ビットまたは SPCR.SPRIE ビット) を 0 にすることでもクリアできます。

表 33.13 SPIの割り込み要因

割り込み要因	シンボル	割り込み条件	DMAC/DTCの起動
受信バッファフル	SPIn_SPRI	SPCR.SPRIE ビットが 1 の状態で受信バッファフル (SPSR.SPRF フラグ = 1) になったとき	可能
送信バッファエンプティ	SPIn_SPTI	SPCR.SPTIE ビットが 1 の状態で送信バッファエンプティ (SPSR.SPTEF フラグ = 1) になったとき	可能
SPIエラー (モードフォルト、アンダーラン、オーバーラン、パリティエラー)	SPIn_SPEI	SPCR.SPEIE ビットが 1 の状態で SPSR.MODF、OVRF、または PERF フラグが 1 になったとき	不可能
SPI アイドル	SPIn_SPII	SPCR2.SPIIE ビットが 1 の状態で SPSR.IDLNF フラグが 0 になったとき	不可能
送信完了	SPIn_SPTEND	マスターモードのときは、IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 になる条件で割り込みが発生します。スレーブモードのときは、表 33.15 に示す条件で割り込みが発生します。	不可能

### 33.4 イベントリンク動作

イベントリンクコントローラ (ELC) は、次のイベント出力信号を生成することができます。

- 受信バッファフルイベント出力
- 送信バッファエンptyイベント出力
- モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

#### 33.4.1 受信バッファフルイベント出力

シリアル転送の終了時に、受信したデータがシフトレジスタから SPDR/SPDR\_HA レジスタへ転送されたときにイベント信号を出力します。

#### 33.4.2 送信バッファエンptyイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、および SPE ビットが 0 から 1 に変化したときにイベント信号を出力します。

#### 33.4.3 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力

モードフォルト、アンダーラン、オーバーラン、パリティエラーを検出したときにイベント信号を出力します。このイベント信号を使用する場合は、[33.5.4 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に関する制約](#)を参照してください。

##### (1) モードフォルト

表 33.14 にモードフォルトイベントの発生条件を示します。

表 33.14 モードフォルトの発生条件

条件	SPCR.MODFEN ビット	SSLn0 端子	備考
SPI動作 (SPMS = 0) スレープ (SPCR.MSTR ビット = 0)	1	非アクティブ	通信動作中に SSLn0 端子が非アクティブになった場合のみイベント出力

##### (2) アンダーラン

アンダーランイベント信号は、SPCR.MSTR ビットが 0、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送を開始したときに出力します。この条件下では、MODF フラグおよび UDRF フラグが 1 となります。

##### (3) オーバーラン

オーバーランイベント信号は、SPCR.TXMD ビットが 0、かつ受信バッファに未読み出しのデータがある状態でシリアル転送が終了したときに出力します。この条件下では、OVRF フラグが 1 になります。

##### (4) パリティエラー

パリティエラーイベント信号は、SPCR.TXMD ビットが 0 かつ SPCR2.SPPE ビットが 1 の状態でシリアル転送が終了したとき、パリティエラーの検出時に出力します。

### 33.4.4 SPI アイドルイベント出力

#### (1) マスタモード時

マスタモードの場合、IDLNF フラグ (SPI アイドルフラグ) が 0 になる条件が成立すると、イベントが出力されます。

#### (2) スレーブモード時

スレーブモードの場合、SPCR.SPE ビットが 0 (SPI 初期化) のとき、イベントが出力されます。

### 33.4.5 送信完了イベント出力

SPI 動作とクロック同期式動作ともに、マスタモード時に IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 に変化すると、イベントが出力されます。

表 33.15 スレーブモードでの送信完了イベント出力の発生条件

条件	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作 (SPMS = 0)	エンプティ	エンプティ	SSL0 入力ネゲート
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終RSPCKのエッジ検出

動作がマスタモードまたはスレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

## 33.5 使用上の注意事項

### 33.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SPI の動作禁止/許可を設定できます。SPI は、リセット後の初期状態では動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタ B の詳細については、「11. 低消費電力モード」を参照してください。

### 33.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、およびスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

### 33.5.3 転送の開始に関する制約

ICU.IELSRn.IR フラグが 1 の状態で転送を開始すると、転送開始後も割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない挙動となる可能性があります。これを避けるには、動作を許可する (SPCR.SPE ビットを 1 にする) 前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること (SPCR.SPE ビットが 0 であること) を確認する。
2. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を 0 にする。
3. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出して、0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

### 33.5.4 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に関する制約

SPI がマルチマスタモード (SPCR.SPMS ビット = 0、SPCR.MSTR ビット = 1、SPCR.MODFEN ビット = 1) の場合は、モードフォルト、アンダーラン、オーバーラン、およびパリティエラーイベントを使用することはできません。

### 33.5.5 SPRF および SPTEF フラグに関する制約

アプリケーションがポーリング用のフラグを使用する場合、割り込みを使用することはできません (SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください)。割り込みまたはフラグのどちらか一方のみ使用可能です。

## 34. クワッドシリアルペリフェラルインタフェース (QSPI)

### 34.1 概要

クワッドシリアルペリフェラルインタフェースモジュール (QSPI) は、SPI 互換インタフェースを持つシリアル ROM (シリアルフラッシュメモリ、シリアル EEPROM、シリアル FeRAM などの不揮発性メモリ) に接続するためのメモリコントローラです。

表 34.1 に QSPI の仕様を、図 34.1 にブロック図を、表 34.2 に入出力端子を示します。

表 34.1 QSPIの仕様

項目	内容
チャンネル数	1チャンネル
SPI	<ul style="list-style-type: none"> <li>拡張SPIプロトコル、Dual-SPIプロトコル、およびQuad-SPIプロトコルのサポート</li> <li>SPIモード0とSPIモード3の設定が可能</li> <li>アドレス幅として8、16、24、32ビットを選択可能</li> </ul>
タイミング補正機能	各種シリアルフラッシュに対応した設定が可能
フラッシュリード機能	<ul style="list-style-type: none"> <li>リード、ファストリード、ファストリードDual出力、ファストリードDual I/O、ファストリードQuad出力、ファストリードQuad I/Oの各命令をサポート</li> <li>命令コードの代替可能</li> <li>ダミーサイクル数の補正が可能</li> <li>プリフェッチ機能</li> <li>ポーリング処理</li> <li>SPIバスサイクル拡張機能</li> </ul>
直接通信機能	ソフトウェア制御による、イレース、ライト、IDリード、パワーダウン制御を含む各種シリアルフラッシュ命令/機能を柔軟にサポート
割り込み要因	エラー割り込み
モジュールストップ機能	モジュールストップ状態の設定が可能

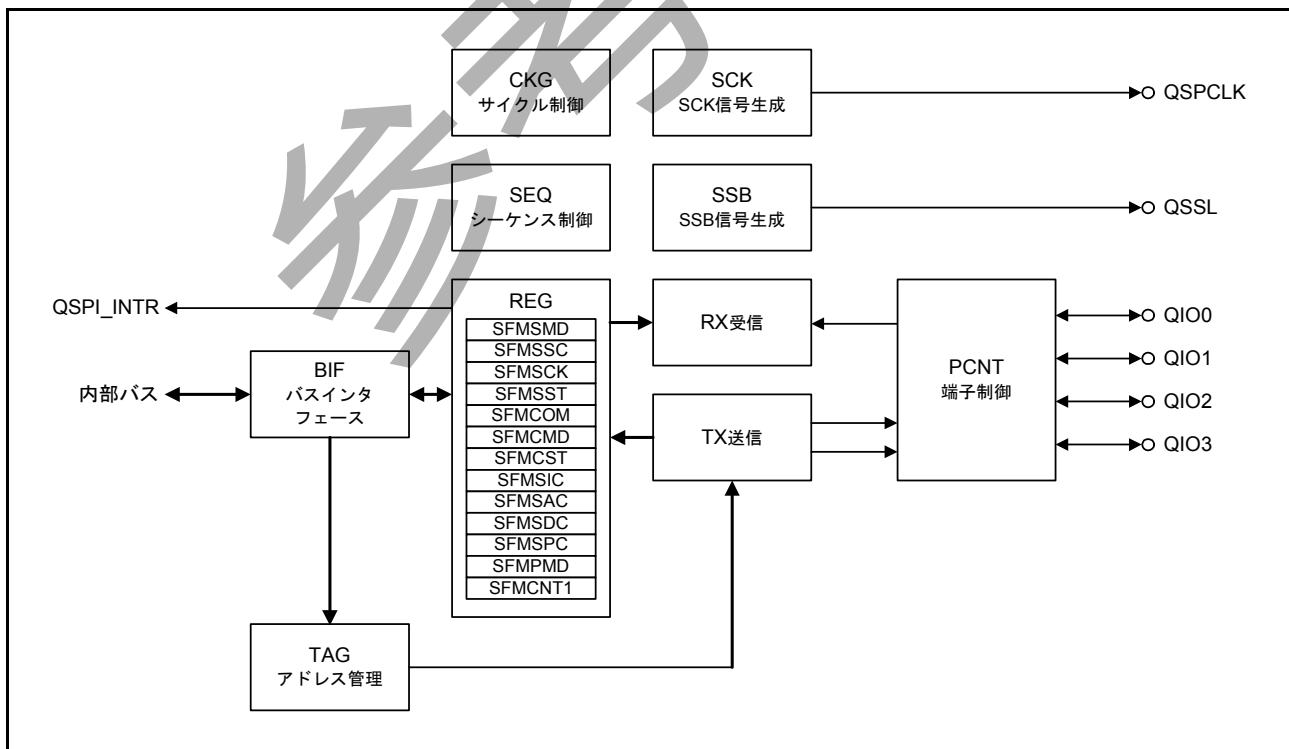


図 34.1 QSPIのブロック図

表 34.2 QSPI入出力端子

端子名	入出力	機能
QSPCLK	出力	QSPIのクロック出力端子
QSSL	出力	QSPIのスレーブ選択端子
QIO0	入出力	データ0入出力
QIO1	入出力	データ1入出力
QIO2	入出力	データ2入出力
QIO3	入出力	データ3入出力

参考資料

## 34.2 レジスタの説明

## 34.2.1 転送モードコントロールレジスタ (SFMSMD)

アドレス QSPI.SFMSMD 6400 0000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SFMCCE	—	—	—	SFMOSW	SFMOHW	SFMOEX	SFMMD3	SFMPAE	SFMPE	SFMSE[1:0]	—	SFMRM[2:0]			
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SFMRM[2:0]	シリアルインタフェース リードモード選択	b2 b0 0 0 0: 標準リード 0 0 1: ファストリード 0 1 0: ファストリードDual出力 0 1 1: ファストリードDual I/O 1 0 0: ファストリードQuad出力 1 0 1: ファストリードQuad I/O 1 1 0: 設定禁止 (動作が予測不能) 1 1 1: 設定禁止 (動作が予測不能)	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	SFMSE[1:0]	SPIバスアクセス後のQSSL 拡張機能選択	b5 b4 0 0: QSSLの拡張なし 0 1: QSPCLK 33クロックでQSSLを拡張 1 0: QSPCLK 129クロックでQSSLを拡張 1 1: 無限にQSSLを拡張	R/W
b6	SFMPE	プリフェッチ機能選択	0: プリフェッチ禁止 1: プリフェッチ許可	R/W
b7	SFMPE	バイト境界以外でのプリ フェッチ停止機能選択	0: 機能禁止 1: 機能許可	R/W
b8	SFMMD3	SPIモード選択。CFGMD3 端子への入力により初期値 を決定	0: SPIモード0 1: SPIモード3	R/W
b9	SFMOEX	シリアルインタフェースの 入出力バッファ出力許可信 号の拡張選択	0: 拡張なし 1: QSPCLK 1クロックで拡張	R/W
b10	SFMOHW	シリアル送信のホールド時 間補正	0: 送信時にQSPCLKのHighレベル幅を拡張しない 1: 送信時にQSPCLKのHighレベル幅をPCLKA 1クロック 分拡張	R/W
b11	SFMOSW	シリアル送信のセットアッ プ時間補正	0: 送信時にQSPCLKのLowレベル幅を拡張しない 1: 送信時にQSPCLKのLowレベル幅をPCLKA 1クロック分 拡張	R/W
b14-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	SFMCCE	リード命令コード選択	0: 命令ごとに設定されたデフォルトの命令コード 1: SFMSICレジスタに書き込まれた命令コード	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W



## 34.2.2 チップ選択コントロールレジスタ (SFMSSC)

アドレス QSPI.SFMSSC 6400 0004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	SFMSL D	SFMSH D	SFMSW			
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	SFMSW	QSSL 信号の最小 High レベル幅 選択	b3    b0 0 0 0 0: 1QSPCLK 0 0 0 1: 2QSPCLK 0 0 1 0: 3QSPCLK 0 0 1 1: 4QSPCLK 0 1 0 0: 5QSPCLK 0 1 0 1: 6QSPCLK 0 1 1 0: 7QSPCLK 0 1 1 1: 8QSPCLK 1 0 0 0: 9QSPCLK 1 0 0 1: 10QSPCLK 1 0 1 0: 11QSPCLK 1 0 1 1: 12QSPCLK 1 1 0 0: 13QSPCLK 1 1 0 1: 14QSPCLK 1 1 1 0: 15QSPCLK 1 1 1 1: 16QSPCLK	R/W
b4	SFMSHD	QSSL 信号解除タイミング選択	0: QSPCLKの最後の立ち上がりエッジのQSPCLK 0.5ク ロック後にQSSLを解除 1: QSPCLKの最後の立ち上がりエッジのQSPCLK 1.5ク ロック後にQSSLを解除	R/W
b5	SFMSLD	QSSL 信号出力タイミング選択	0: QSPCLKの最初の立ち上がりエッジのQSPCLK 0.5ク ロック前にQSSLを出力 1: QSPCLKの最初の立ち上がりエッジのQSPCLK 1.5ク ロック前にQSSLを出力	R/W
b31-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## 34.2.3 クロックコントロールレジスタ (SFMSKC)

アドレス QSPI.SFMSKC 6400 0008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	SFMDTY			SFMDV		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	SFMDV	シリアルインタフェース基準周期選択 (不規則性に注意)	b4      b0 0 0 0 0 0 : 2PCLKA 0 0 0 0 1 : 3PCLKA (奇数で通倍) (注1) 0 0 0 1 0 : 4PCLKA 0 0 0 1 1 : 5PCLKA (奇数で通倍) (注1) 0 0 1 0 0 : 6PCLKA 0 0 1 0 1 : 7PCLKA (奇数で通倍) (注1) 0 0 1 1 0 : 8PCLKA 0 0 1 1 1 : 9PCLKA (奇数で通倍) (注1) 0 1 0 0 0 : 10PCLKA 0 1 0 0 1 : 11PCLKA (奇数で通倍) (注1) 0 1 0 1 0 : 12PCLKA 0 1 0 1 1 : 13PCLKA (奇数で通倍) (注1) 0 1 1 0 0 : 14PCLKA 0 1 1 0 1 : 15PCLKA (奇数で通倍) (注1) 0 1 1 1 0 : 16PCLKA 0 1 1 1 1 : 17PCLKA (奇数で通倍) (注1) 1 0 0 0 0 : 18PCLKA 1 0 0 0 1 : 20PCLKA 1 0 0 1 0 : 22PCLKA 1 0 0 1 1 : 24PCLKA 1 0 1 0 0 : 26PCLKA 1 0 1 0 1 : 28PCLKA 1 0 1 1 0 : 30PCLKA 1 0 1 1 1 : 32PCLKA 1 1 0 0 0 : 34PCLKA 1 1 0 0 1 : 36PCLKA 1 1 0 1 0 : 38PCLKA 1 1 0 1 1 : 40PCLKA 1 1 1 0 0 : 42PCLKA 1 1 1 0 1 : 44PCLKA 1 1 1 1 0 : 46PCLKA 1 1 1 1 1 : 48PCLKA	R/W
b5	SFMDTY	QSPCLK信号のデューティ比補正機能選択	0 : 補正なし 1 : QSPCLK信号の立ち上がりをPCLKA 0.5クロック分遅延 (奇数で通倍したPCLKAで有効)	R/W
b31-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 奇数で通倍した PCLKA を選択すると、デューティ比補正前の QSPCLK 信号の High レベル幅は、Low レベル幅よりも PCLKA 1 クロック分長くなります。

## 34.2.4 ステータスレジスタ (SFMSST)

アドレス QSPI.SFMSST 6400 000Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PFOFF	PFFUL	—	PFCNT				
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PFCNT	プリフェッチデータのバイト数	b4            b0 0 0 0 0 0: 0バイト 0 0 0 0 1: 1バイト 0 0 0 1 0: 2バイト 0 0 0 1 1: 3バイト 0 0 1 0 0: 4バイト 0 0 1 0 1: 5バイト 0 0 1 1 0: 6バイト 0 0 1 1 1: 7バイト 0 1 0 0 0: 8バイト 0 1 0 0 1: 9バイト 0 1 0 1 0: 10バイト 0 1 0 1 1: 11バイト 0 1 1 0 0: 12バイト 0 1 1 0 1: 13バイト 0 1 1 1 0: 14バイト 0 1 1 1 1: 15バイト 1 0 0 0 0: 16バイト 1 0 0 0 1: 17バイト 1 0 0 1 0: 18バイト 上記以外の設定は予約されています。	R
b5	—	予約ビット	読むと0が読めます。	R
b6	PFFUL	プリフェッチバッファ状態	0: プリフェッチバッファに空きあり 1: プリフェッチバッファに空きなし	R
b7	PFOFF	プリフェッチ機能動作状態	0: プリフェッチ機能は動作中 1: プリフェッチ機能は無効または動作していない	R
b31-b8	—	予約ビット	読むと0が読めます。	R

## 34.2.5 通信ポートレジスタ (SFMCOM)

アドレス QSPI.SFMCOM 6400 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	SFMD								—
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	

x: 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	SFMD	SPIバスとの直接通信用ポート	このポートの入出力はSPIバスサイクルに変換されます。DCOMビット=1のとき、このポートは直接通信モードでアクセス可能です。ROMアクセスモードでは、このポートへのアクセスは無視されます。	R/W
b31-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## 34.2.6 通信モードコントロールレジスタ (SFMCMD)

アドレス QSPI.SFMCMD 6400 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DCOM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCOM	SPIバスとの通信モード選択	0: ROMアクセスモード 1: 直接通信モード	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## 34.2.7 通信ステータスレジスタ (SFCMST)

アドレス QSPI.SFCMST 6400 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	EROM R	—	—	—	—	—	—	COMB SY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	COMBSY	直接通信時SPIバスサイクル完了状態	0: 処理中のシリアル転送なし 1: 処理中のシリアル転送あり	R
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	EROMR	直接通信モード時ROMアクセス検出状態	0: ROMアクセスの検出なし 1: ROMアクセスの検出あり	R/W
b31-b8	—	予約ビット	読むと0が読めず。書く場合、0としてください。	R/W

## 34.2.8 命令コードレジスタ (SFMSIC)

アドレス QSPI.SFMSIC 6400 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	SFMSIC				—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	SFMSIC	代替シリアルフラッシュ命令コード	代替シリアルフラッシュ命令コード	R/W
b31-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## 34.2.9 アドレスモードコントロールレジスタ (SFMSAC)

アドレス QSPI.SFMSAC 6400 0024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	SFM4BC	—	—	—	SFMAS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SFMAS	シリアルインタフェースのアドレスバイト数選択	b1 b0 0 0 : 1バイト 0 1 : 2バイト 1 0 : 3バイト 1 1 : 4バイト	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SFM4BC	シリアルインタフェースアドレス幅が4バイトの場合のデフォルト命令コードの選択	0 : 4バイトアドレスリード命令コードを使用しない 1 : 4バイトアドレスリード命令コードを使用	R/W
b31-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## 34.2.10 ダミーサイクルコントロールレジスタ (SFMSDC)

アドレス QSPI.SFMSDC 6400 0028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	SFMXD							SFMXEN	SFMXST	—	—	SFMDN[3:0]				
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	SFMDN[3:0]	ファストリード命令のダミーサイクル数選択	b3    b0 0 0 0 0 : 命令ごとのデフォルトダミーサイクル数 ・ファストリードQuad I/O : 6QSPCLK ・ファストリードQuad出力 : 8QSPCLK ・ファストリードDual I/O : 4QSPCLK ・ファストリードDual出力 : 8QSPCLK ・ファストリード : 8QSPCLK 0 0 0 1 : 3QSPCLK (注1) 0 0 1 0 : 4QSPCLK 0 0 1 1 : 5QSPCLK 0 1 0 0 : 6QSPCLK 0 1 0 1 : 7QSPCLK 0 1 1 0 : 8QSPCLK 0 1 1 1 : 9QSPCLK 1 0 0 0 : 10QSPCLK 1 0 0 1 : 11QSPCLK 1 0 1 0 : 12QSPCLK 1 0 1 1 : 13QSPCLK 1 1 0 0 : 14QSPCLK 1 1 0 1 : 15QSPCLK 1 1 1 0 : 16QSPCLK 1 1 1 1 : 17QSPCLK	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	SFMXST	XIPモード状態	0 : 通常 (非XIP) モード 1 : XIPモード	R
b7	SFMXEN	XIPモード許可	0 : XIPモード禁止 1 : XIPモード許可	R/W
b15-b8	SFMXD	シリアルフラッシュのモードデータ (XIPモード制御)		R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. QIO0 端子に接続したシリアルフラッシュ端子の入出力切り替えとの競合を避けるため、SFMSMD.SFMOEX ビットを 1 にして出力許可信号を拡張した場合、QSPCLK の 4 クロック分より長いダミーサイクルを選択してください。

## 34.2.11 SPI プロトコルコントロールレジスタ (SFMSPC)

アドレス QSPI.SFMSPC 6400 0030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	SFMSD E	—	—	—	SFMSPI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SFMSPI	SPI プロトコル選択	b1 b0 0 0 : 拡張SPIプロトコル 0 1 : Dual-SPI プロトコル 1 0 : Quad-SPI プロトコル 1 1 : 設定禁止	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SFMSDE	標準リードモードでDual-SPIプロトコル/Quad-SPIプロトコルが選択されている場合の入出力切り換えの最小時間選択	0 : 最小切り換え時間を割り当てない 1 : QSPCLK 1クロック分の最小切り換え時間を割り当てる	R/W
b31-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## 34.2.12 ポートコントロールレジスタ (SFMPMD)

アドレス QSPI.SFMPMD 6400 0034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	SFMW PL	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	SFMWPL	WP端子の指定	0 : Lowレベル 1 : Highレベル	R/W
b31-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W



## 34.2.13 外部 QSPI アドレスレジスタ (SFMCNT1)

アドレス QSPI.SFMCNT1 6400 0804h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	QSPI_EXT[5:0]						—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b25-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b26	QSPI_EXT[5:0]	バンク切り替えアドレス	6000 0000hから63FF FFFFhまでアクセスする場合、アドレスバスはQSPI_EXT[5:0]ビットを内部バスアドレスの上位6ビットに設定します。	R/W

### 34.3 メモリマップ

#### 34.3.1 内部バス空間

AHB 空間のシリアルフラッシュとコントロールレジスタの場所は、構成内に設定された領域のアドレス範囲により決まります。

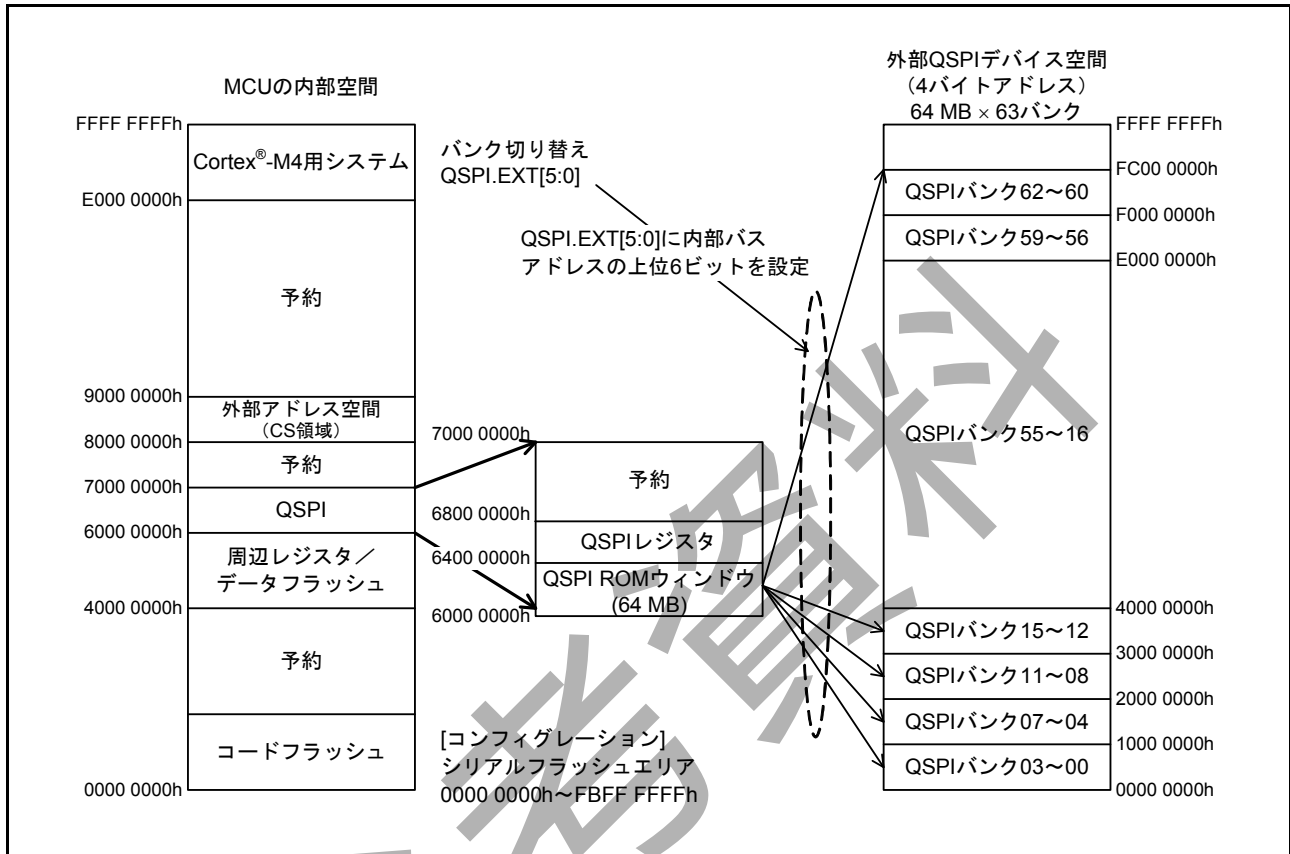


図 34.2 デフォルト領域設定および AHB 空間メモリマップ

### 34.3.2 SPI 空間と SPI バスのアドレス幅

SPI 空間は、シリアルフラッシュを参照するための 32 ビットアドレス幅を持っています。SPI 空間にリードアクセスをすると、SPI バスサイクルが自動開始し、シリアルフラッシュから読み出されたデータが返されます。

SPI 空間のアドレス幅は 32 ビット固定です。ただし、SPI バスのアドレス幅は、SFMSAC.SFMAS[1:0] ビットで 8 ビット、16 ビット、24 ビット、32 ビットから選択できます。

SPI バスのアドレス幅として 8 ビット、16 ビット、24 ビットを選択すると、SPI 空間へのアクセスに使用するアドレスの下位部分のみが、SPI バスを介してシリアルフラッシュに送られます。結果として、SPI バスのアドレス幅に対応したシリアルフラッシュのミラーイメージが SPI 空間に繰り返し現れます。

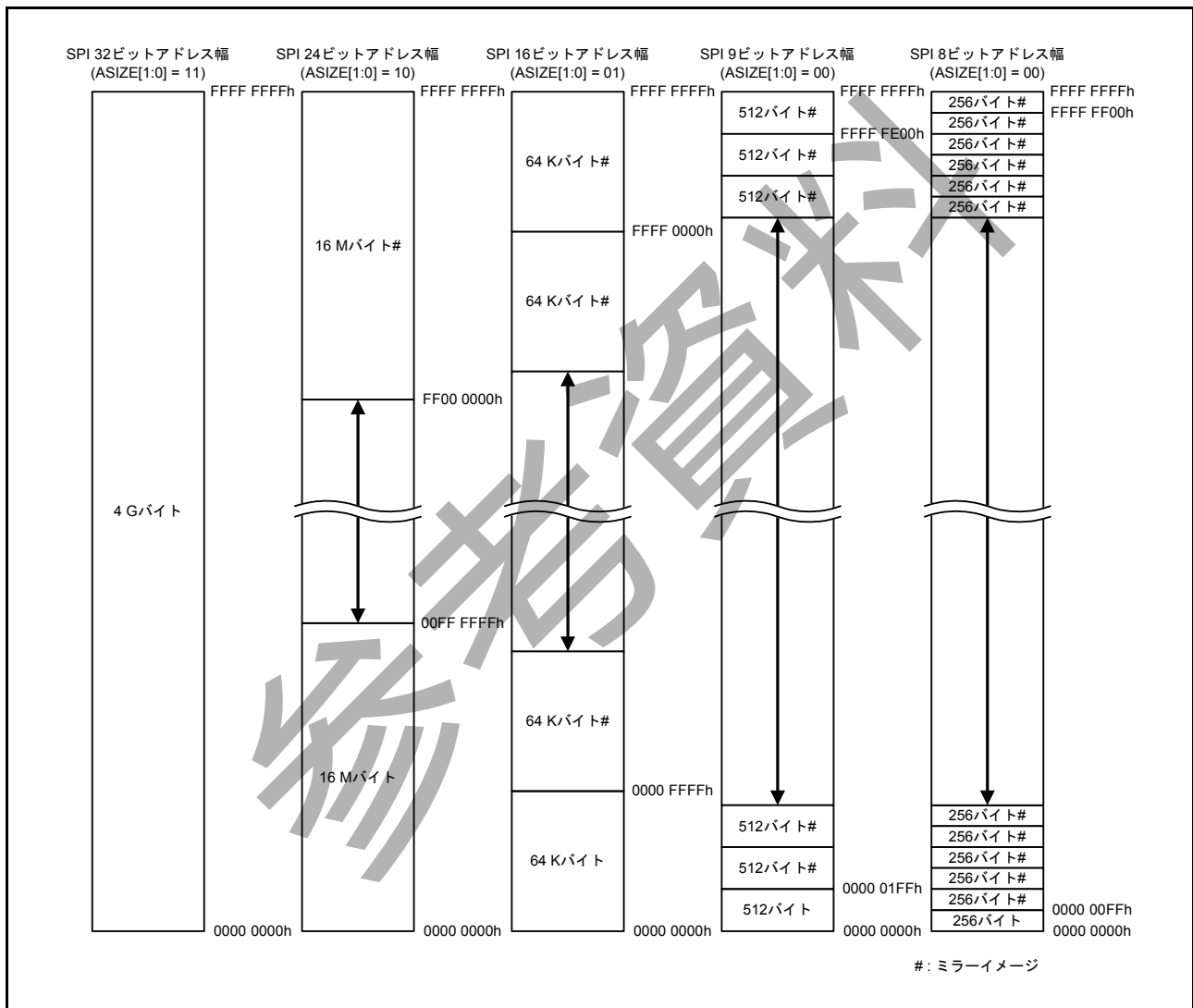


図 34.3 SPI 空間のメモリマップ

注 . SFMSAC.SFMAS[1:0] ビットにより、SPI バスのアドレス幅は 32 ビット、24 ビット、16 ビット、8 ビットから選択できます。8 ビットのアドレス幅を選択すると、9 番目のビットのアドレス情報をリード命令コードに埋め込むことができます。図のアドレスマップは、アドレス幅が 9 ビットの SPI のものです。リード命令の詳細は、[34.6.2 標準リード命令](#)を参照してください。

## 34.4 SPI バス

### 34.4.1 SPI プロトコル

シリアルフラッシュ接続に使用する SPI プロトコルの他に、拡張 SPI、Dual-SPI、Quad-SPI をサポートしています。

SPI プロトコルの初期状態は拡張 SPI ですが、SFMSPC.SFMSPI ビットで変更が可能です。

拡張 SPI プロトコルは、常に単一の QIO0 端子から命令コードを出力します。命令コードのフォーマットに従い、1 から 4 端子を使用して、後続アドレス/データの入出力動作を実行します。

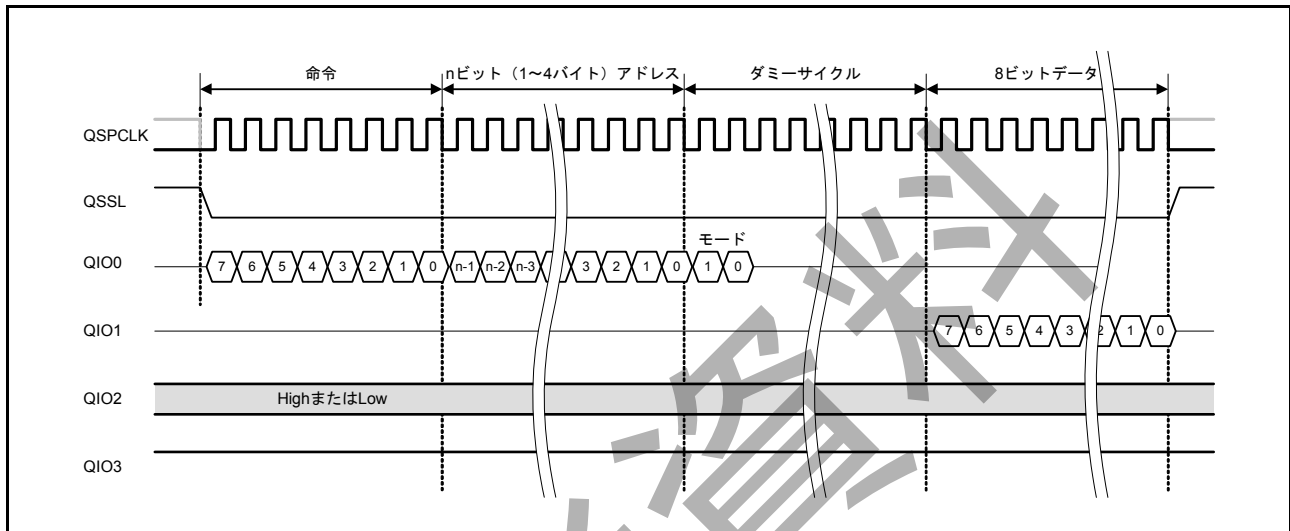


図 34.4 拡張 SPI プロトコル例 1 (ファストリード)

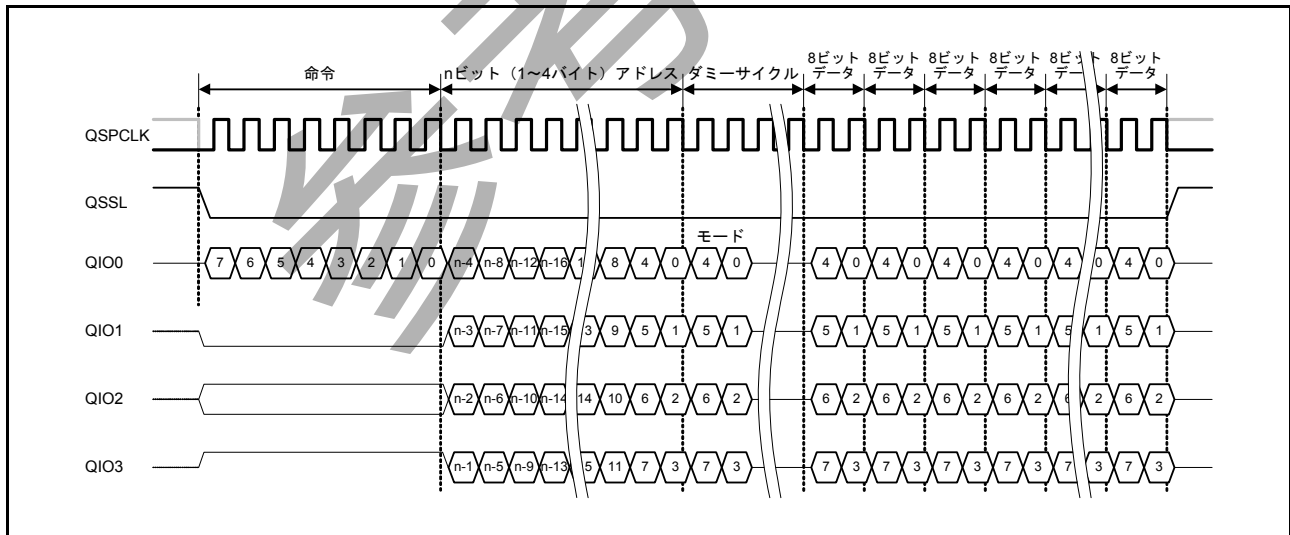


図 34.5 拡張 SPI プロトコル例 2 (ファストリード Quad I/O)

Dual-SPI プロトコルは、QIO0 および QIO1 の 2 端子を使用して、命令コード、アドレス、データなど、すべての信号の入出力動作を実行します。

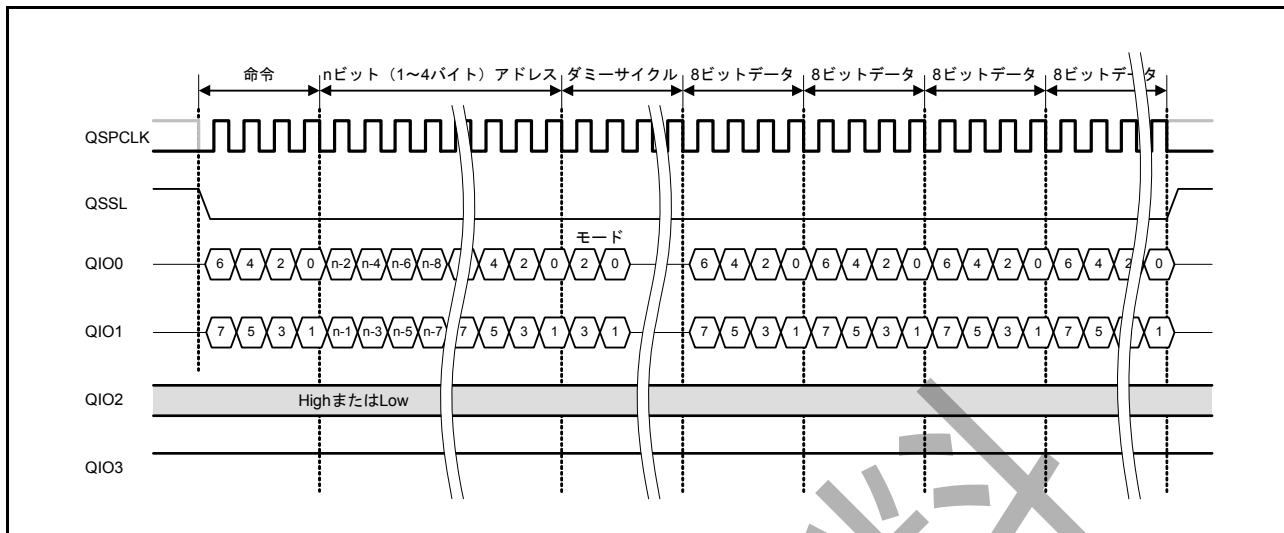


図 34.6 Dual-SPI プロトコル例 (ファストリード)

Quad-SPI プロトコルは、QIO0、QIO1、QIO2、QIO3 の 4 端子を使用して、命令コード、アドレス、データなど、すべての信号の入出力動作を実行します。

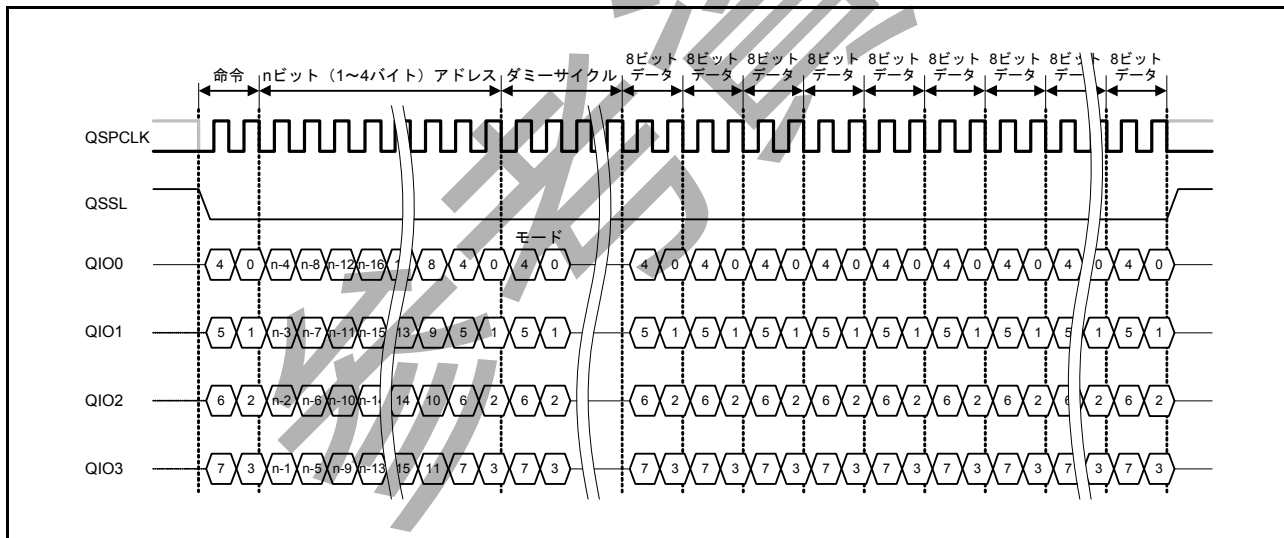


図 34.7 Quad-SPI プロトコル例 (ファストリード)

### 34.4.2 SPI モード

初期の SPI モードは、CFGMD3 端子によって SPI モード 0 または SPI モード 3 に設定されています。この設定は、動作中にレジスタ設定を変更して切り替えることができます。SPI モード 0 と SPI モード 3 の違いは、QSPCLK 信号のスタンバイレベルです。QSPCLK 信号のスタンバイレベルは、SPI モード 0 では Low、SPI モード 3 では High です。

シリアルデータは、シリアルクロックの立ち下がりエッジで QSPI から出力され、シリアルクロックの立ち上がりエッジで外部フラッシュに読み込まれます。シリアルデータは、シリアルクロックの立ち下がりエッジで外部フラッシュから出力され、シリアルクロックの次の立ち下がりエッジで QSPI に読み込まれます。

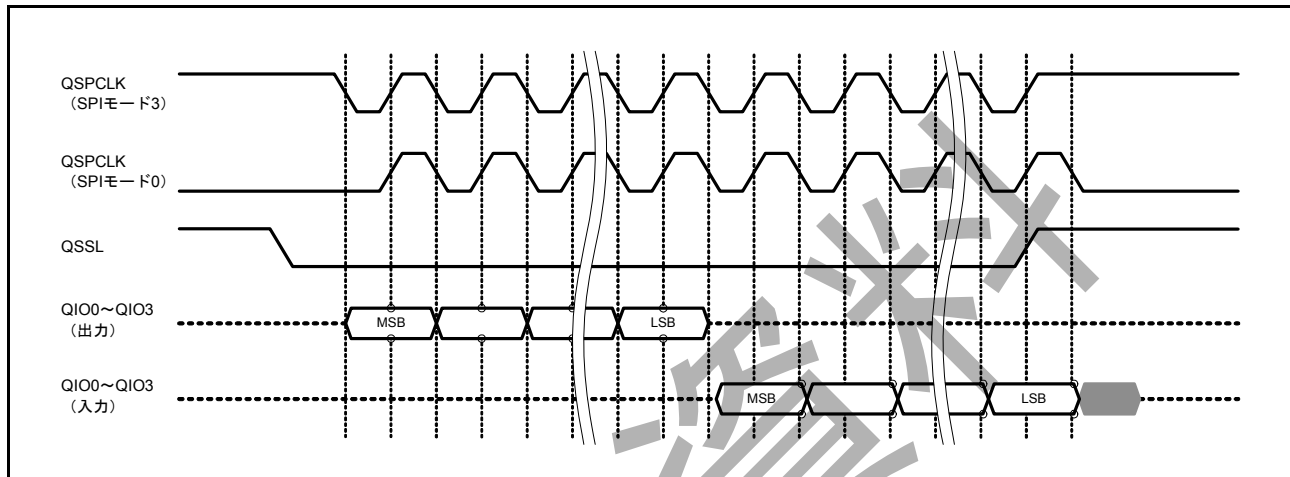


図 34.8 シリアルインタフェースの基本タイミング

### 34.5 SPI バスタイミング補正

SPI バス信号のタイミングは、レジスタで補正可能です。設定されたタイミングは、ROM アクセスと直接通信の全 SPI バスアクセスに適用されます。

#### 34.5.1 SPI バス基準周期

SPI バスは、PCLKA を整数で逡倍して得られる基準周期に従って動作します。基準周期は SFMSKC.SFMDV[4:0] ビットで、2～48 逡倍した PCLKA の範囲で選択できます。

表 34.3 SFMDV[4:0] ビット、逡倍値、シリアルクロック周波数の関係

SFMDV[4:0]	逡倍値	PCLKA 周波数 (MHz)
		48
11111	48	1.00
11110	46	1.04
11101	44	1.09
11100	42	1.14
11011	40	1.20
11010	38	1.26
11001	36	1.33
11000	34	1.41
10111	32	1.50
10110	30	1.60
10101	28	1.71
10100	26	1.85
10011	24	2.00
10010	22	2.18
10001	20	2.40
10000	18	2.67
01111	17	2.82
01110	16	3.00
01101	15	3.20
01100	14	3.43
01011	13	3.69
01010	12	4.00
01001	11	4.36
01000	10	4.80
00111	9	5.33
00110	8	6.00
00101	7	6.86
00100	6	8.00
00011	5	9.60
00010	4	12.00
00001	3	16.00
00000	2	24.00

### 34.5.2 QSPCLK 信号デューティ比

基準クロックが偶数で逡倍された PCLKA に設定されている場合、QSPCLK 信号の High レベル幅と Low レベル幅は互いに一致します。奇数で逡倍した PCLKA を選択すると、QSPCLK 信号の High レベル幅は Low レベル幅よりも PCLKA 1 クロック分長くなります。

奇数で逡倍した PCLKA が基準クロックの場合、QSPCLK 信号のデューティ比を 50% に近づけるには、SFMSKC.SFMDTY ビットを 1 にしてください。この設定では、QSPCLK 出力信号の立ち上がりエッジは PCLKA 半周期分遅れ、デューティ比 50% と同等のインタフェース動作が実行されます。

基準クロックが偶数で逡倍された PCLKA の場合、SFMSKC レジスタの SFMDTY ビット設定は無視されます。

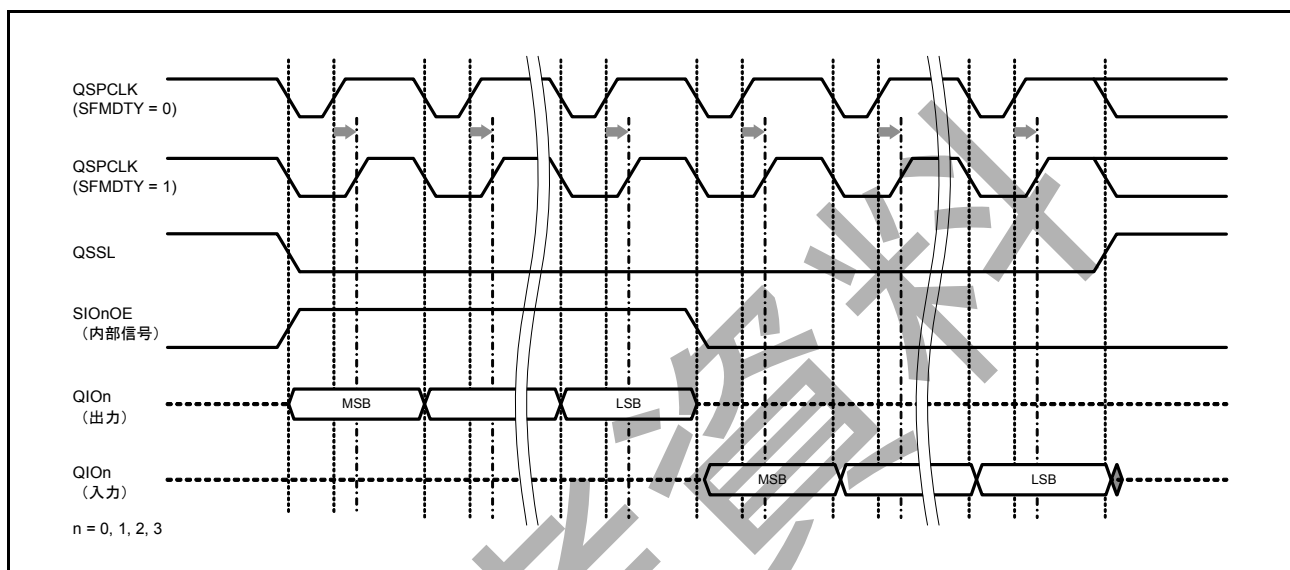


図 34.9 PCLKA を 3 逡倍した場合の SFMDTY ビットを使用した QSPCLK 信号デューティ比補正例

### 34.5.3 QSSL 信号の最小 High レベル幅

隣り合う SPI バスサイクル間では、QSSL 信号を十分な期間 High (非アクティブ) に保持して、シリアルフラッシュに必要な非選択時間を確保する必要があります。SFMSSC.SFMSW[3:0] ビットで、QSSL 出力信号の最小 High レベル幅として、1 ~ 16 の数値で逡倍した基準周期を選択できます。



### 34.5.4 QSSL 信号セットアップ時間

QSSL 信号が Low になって初めて QSPCLK 信号が立ち上がった場合、シリアルフラッシュに必要な QSSL 信号セットアップ時間を設定できます。セットアップ時間は、SFSSC.SFMSLD ビットで QSPCLK の 0.5 クロック分または QSPCLK の 1.5 クロック分から選択できます。

SFSSC.SFMSLD ビットの設定も、シリアルデータ出力許可信号 (QIO0OE/QIO1OE/QIO2OE/QIO3OE) の出力から QSPCLK 信号の最初の立ち上がりエッジまでの間に、セットアップ時間の割り当てに適用されます。アプリケーションの最も制約の厳しいタイミング条件を満たすように、値を設定してください。

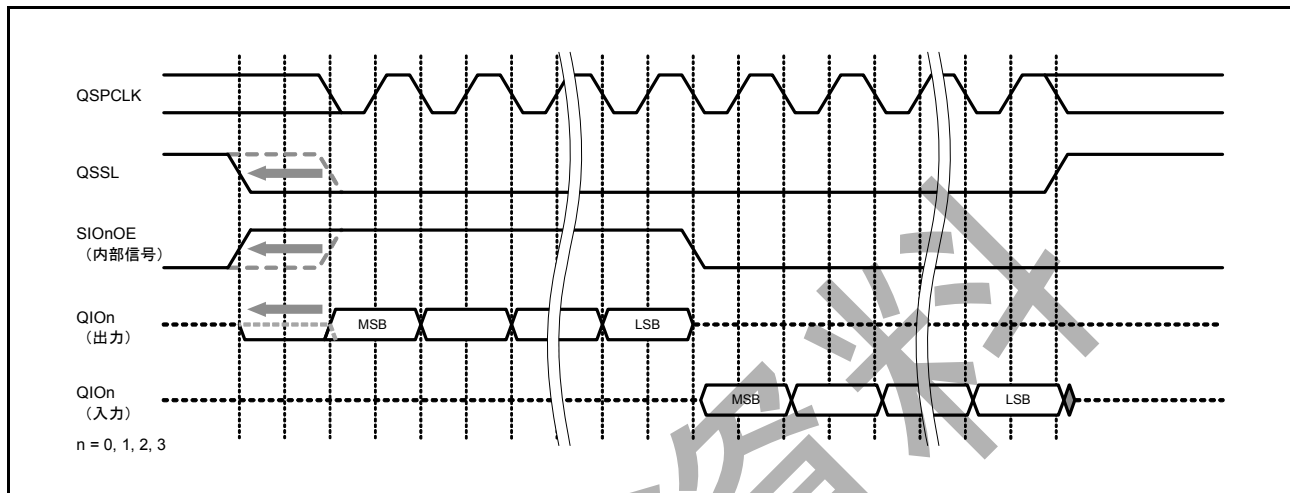


図 34.10 SFMSLD ビットを使用した QSSL 信号のセットアップ時間調整

### 34.5.5 QSSL 信号ホールド時間

QSPCLK 信号の最後の立ち上がりエッジ後に QSSL 信号を High にすると、デバイス要件を満たすように QSSL 信号ホールド時間を設定できます。ホールド時間は、SFSSC.SFMSHD ビットで QSPCLK の 0.5 クロック分または QSPCLK の 1.5 クロック分から選択できます。

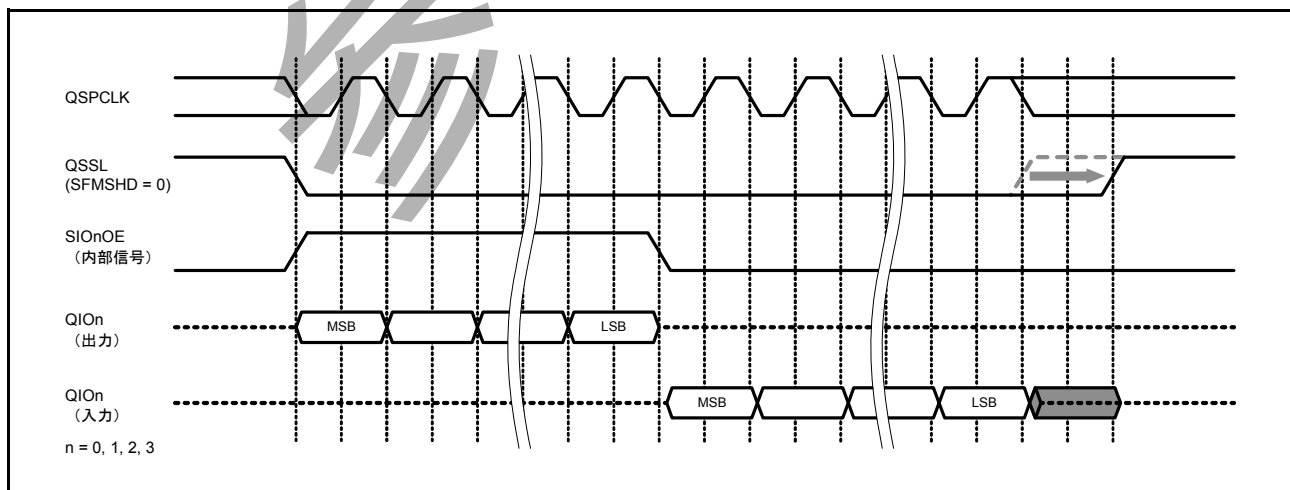


図 34.11 SFMSHD ビットを使用した QSSL 信号のホールド時間調整

### 34.5.6 シリアルデータ出力許可のホールド時間

QIO0 端子、QIO1 端子、QIO2 端子、QIO3 端子のバッファ出力許可は、SFMSMD.SFMOEX ビットを使用して QSPCLK 1 クロック分拡張できます。拡張対象の信号は、出力許可信号である QIO0E 信号、QIO1OE 信号、QIO2OE 信号、QIO3OE 信号のみです。QIO0O、QIO1O、QIO2O、QIO3O の出力データ信号は含まれません。

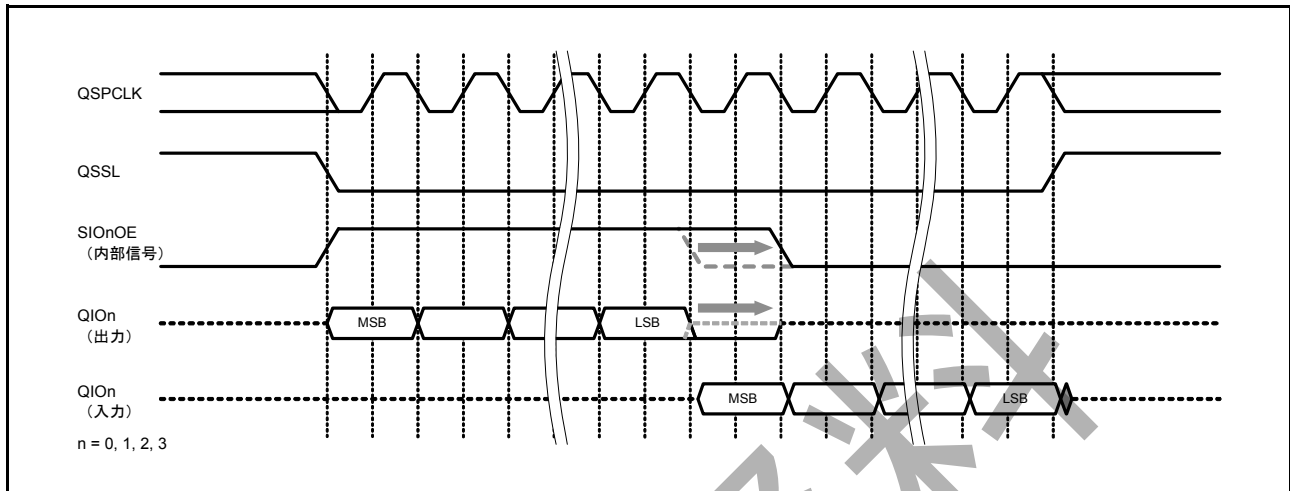


図 34.12 SFMOEX ビットを使用した出力許可ホールド時間調整

### 34.5.7 シリアルデータ出力のセットアップ時間

コマンドまたはアドレスをシリアルフラッシュに送信する場合、セットアップ時間はシリアルデータ出力で開始し、QSPCLK 信号の立ち上がりで終了します。セットアップ時間が不十分な場合、SFMSMD.SFMOSW ビットを使用して PCLKA 1 クロック分拡張できます。SFMOSW ビットを 1 にすると、QSPI からデータが出力されている間、シリアルデータ送信時の QSPCLK の Low レベル幅は PCLKA 1 クロック分拡張されます。この機能はシリアルデータ受信には影響しません。

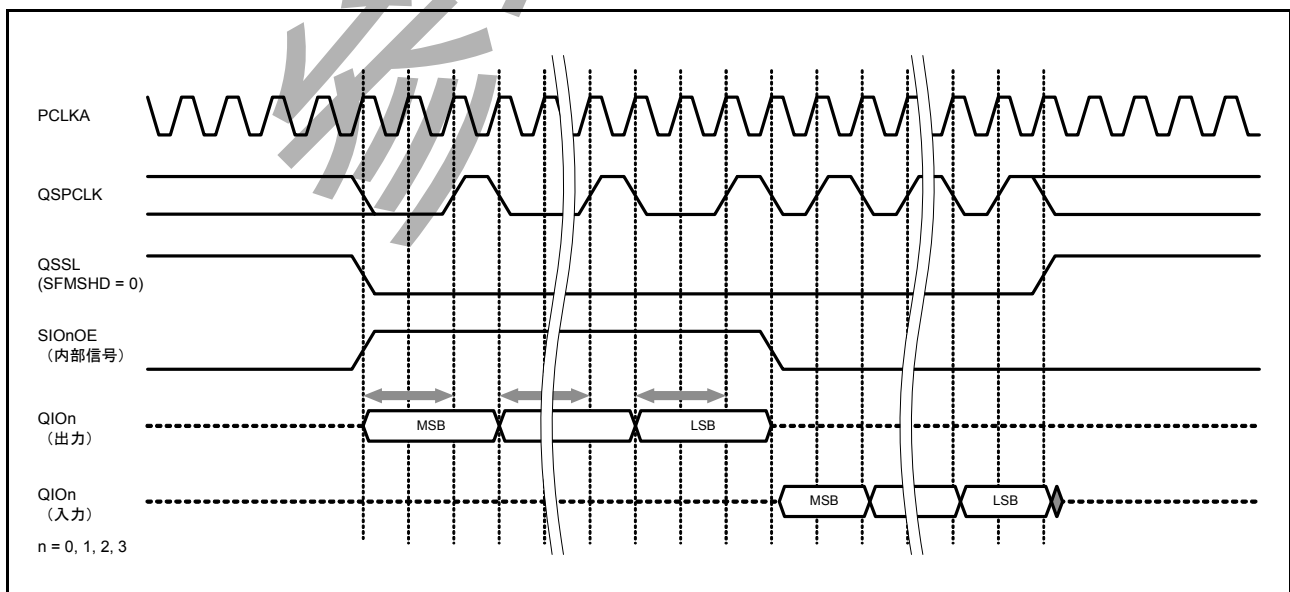


図 34.13 SFMOSW ビットを使用したシリアルデータ出力のセットアップ時間調整

### 34.5.8 シリアルデータ出力のホールド時間

コマンドまたはアドレスをシリアルフラッシュに送信する場合、ホールド時間は QSPCLK の立ち上がりエッジで開始し、シリアルデータの次の送信で終了します。

ホールド時間が不十分な場合、SFMSMD.SFMOHW ビットを使用して PCLKA 1 クロック分拡張できます。SFMOHW ビットを 1 にすると、QSPI からデータが出力されている間、シリアルデータ送信時の QSPCLK の High レベル幅は PCLKA 1 クロック分拡張されます。この機能はシリアルデータ受信には影響しません。

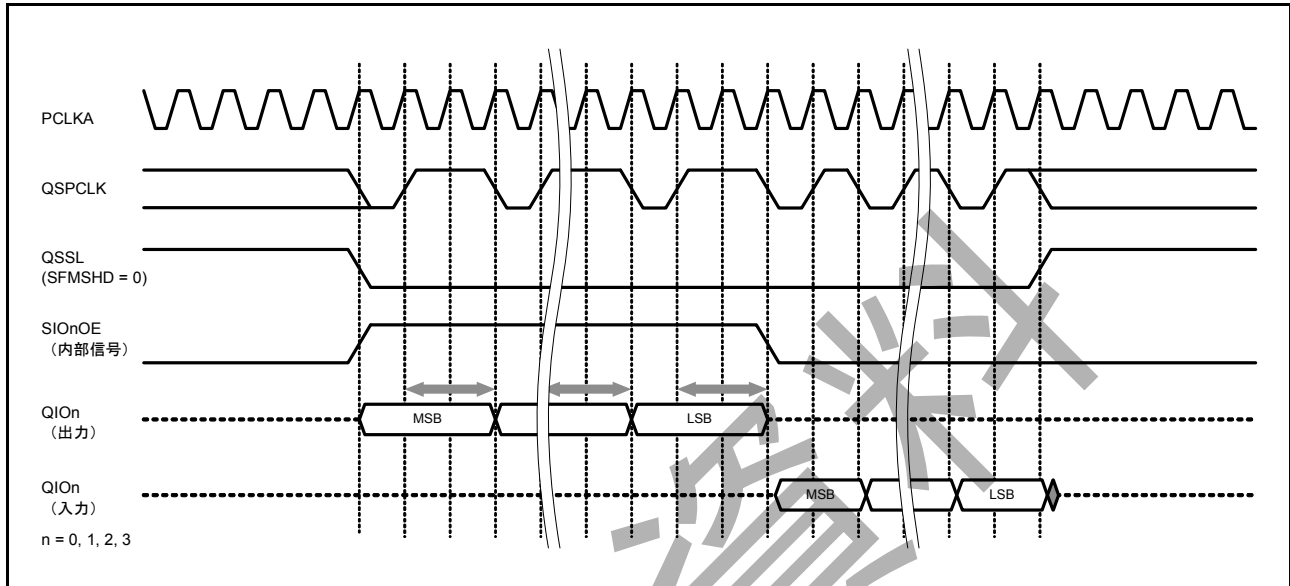


図 34.14 SFMOHW ビットを使用したシリアルデータ出力のホールド時間調整

### 34.5.9 シリアルデータ受信レイテンシ

シリアルフラッシュは、QSPCLK 信号の立ち下がりエッジと同期してデータを入力します。QSPI は、後続の QSPCLK 信号の立ち下がりエッジと同期してそのデータを受信します。シリアルフラッシュがデータ出力を開始してから QSPI がそのデータを受信するまでの遅延を受信レイテンシと呼びます。QSPI は、SPI バスサイクルの最初のデータ受信サイクルの直前に、レイテンシ補正サイクルを追加します。シリアルフラッシュ側から見ると、データ受信サイクル数が増加します。このレイテンシ補正サイクルの追加は、データ受信を伴わずに SPI バスサイクル内で発生することはありません。

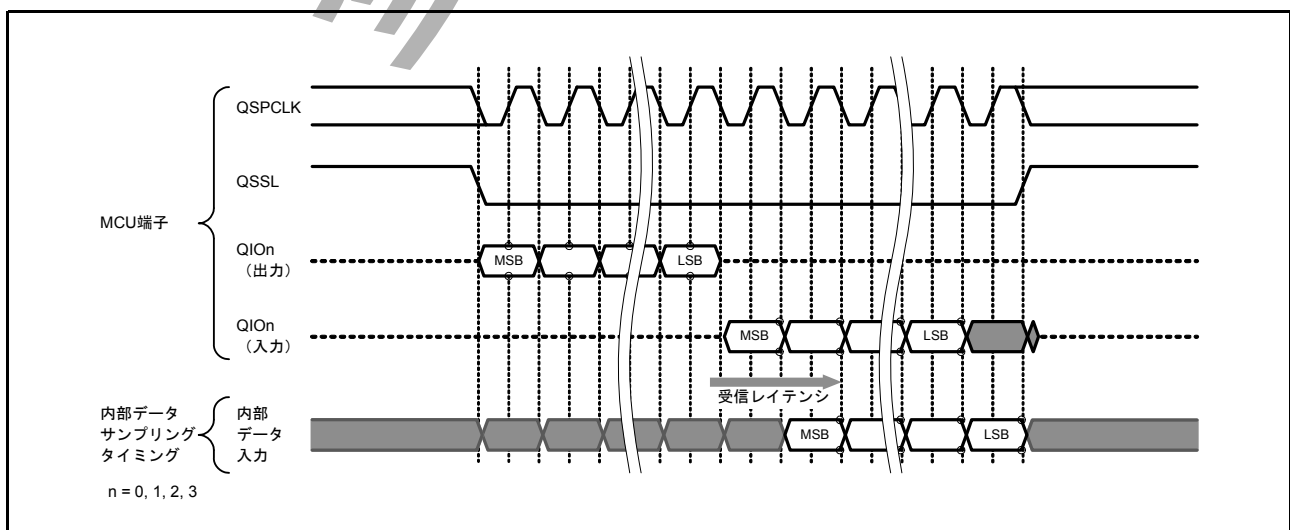


図 34.15 受信レイテンシ

## 34.6 フラッシュアクセスに使用される SPI 命令セット

### 34.6.1 自動生成される SPI 命令の種類

シリアルフラッシュがアクセスされると、SFMSAC.SFMAS[1:0] ビットおよび SFMSMD レジスタの設定に基づき、表 34.4 ～表 34.8 に示された命令の 1 つを使用した SPI バスサイクルが自動的に生成されます。

表 34.4 SFMAS[1:0] = 00 の場合に自動生成される SPI 命令セット

命令フォーマット	命令コード	アドレス バイト数	ダミーサイクル数	データ バイト数	説明
リード	03h (注1)	1	—	1～∞	必須 (SFMRM[2:0] = 000)、(A8 = 0)
	0Bh (注1)	1	—	1～∞	必須 (SFMRM[2:0] = 000)、(A8 = 1)

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0] ビットの設定値が命令コードとして使用されます。

注 2. SFMDRC レジスタでダミーサイクル数を設定できます。

表 34.5 SFMAS[1:0] = 01 の場合に自動生成される SPI 命令セット

命令フォーマット	命令コード	アドレス バイト数	ダミーサイクル数	データ バイト数	説明
リード	03h (注1)	2	—	1～∞	必須 (SFMRM[2:0] = 000)

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0] ビットの設定値が命令コードとして使用されます。

注 2. SFMDRC レジスタで、ダミーサイクル数を設定できます。

表 34.6 SFMAS[1:0] = 10 の場合に自動生成される SPI 命令セット

命令フォーマット	命令コード	アドレス バイト数	ダミーサイクル数	データ バイト数	説明
リード	03h (注1)	3	—	1～∞	必須 (SFMRM[2:0] = 000)
ファストリード	0Bh (注1)	3	8 (注2)	1～∞	選択可能 (SFMRM[2:0] = 001)
ファストリードDual出力	3Bh (注1)	3	8 (注2)	1～∞	選択可能 (SFMRM[2:0] = 010)
ファストリードDual I/O	BBh (注1)	3	4 (注2)	1～∞	選択可能 (SFMRM[2:0] = 011)
ファストリードQuad出力	6Bh (注1)	3	8 (注2)	1～∞	選択可能 (SFMRM[2:0] = 100)
ファストリードQuad I/O	EBh (注1)	3	6 (注2)	1～∞	選択可能 (SFMRM[2:0] = 101)
ライトイネーブル	06h	—	—	—	選択可能 (ENEX4B[1:0] = 10)
4バイトモード解除	E9h	—	—	—	選択可能 (ENEX4B[1:0] = 01, 10)

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0] ビットの設定値が命令コードとして使用されます。

注 2. SFMDRC レジスタで、ダミーサイクル数を設定できます。

表 34.7 SFMAS[1:0] = 11、SFM4BC = 0 の場合に自動生成される SPI 命令セット

命令フォーマット	命令コード	アドレス バイト数	ダミーサイクル数	データ バイト数	説明
リード	03h (注1)	4	—	1~∞	必須 (SFMRM[2:0] = 000)
ファストリード	0Bh (注1)	4	8 (注2)	1~∞	選択可能 (SFMRM[2:0] = 001)
ファストリードDual出力	3Bh (注1)	4	8 (注2)	1~∞	選択可能 (SFMRM[2:0] = 010)
ファストリードDual I/O	BBh (注1)	4	4 (注2)	1~∞	選択可能 (SFMRM[2:0] = 011)
ファストリードQuad出力	6Bh (注1)	4	8 (注2)	1~∞	選択可能 (SFMRM[2:0] = 100)
ファストリードQuad I/O	EBh (注1)	4	6 (注2)	1~∞	選択可能 (SFMRM[2:0] = 101)
ライトイネーブル	06h	—	—	—	選択可能 (ENEX4B[1:0] = 10)
4バイトモード遷移	B7h	—	—	—	選択可能 (ENEX4B[1:0] = 01,10)

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0] ビットの設定値が命令コードとして使用されます。

注 2. SFMDRC レジスタで、ダミーサイクル数を設定できます。

表 34.8 SFMAS[1:0] = 11、SFM4BC = 1 の場合に自動生成される SPI 命令セット

命令フォーマット	命令コード	アドレス バイト数	ダミーサイクル数	データ バイト数	説明
リード	13h (注1)	4	—	1~∞	必須 (SFMRM[2:0] = 000)
ファストリード	0Ch (注1)	4	8 (注2)	1~∞	選択可能 (SFMRM[2:0] = 001)
ファストリードDual出力	3Ch (注1)	4	8 (注2)	1~∞	選択可能 (SFMRM[2:0] = 010)
ファストリードDual I/O	BCh (注1)	4	4 (注2)	1~∞	選択可能 (SFMRM[2:0] = 011)
ファストリードQuad出力	6Ch (注1)	4	8 (注2)	1~∞	選択可能 (SFMRM[2:0] = 100)
ファストリードQuad I/O	ECh (注1)	4	6 (注2)	1~∞	選択可能 (SFMRM[2:0] = 101)
ライトイネーブル	06h	—	—	—	選択可能 (ENEX4B[1:0] = 10)
4バイトモード遷移	B7h	—	—	—	選択可能 (ENEX4B[1:0] = 01,10)

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0] ビットの設定値が命令コードとして使用されます。

注 2. SFMDRC レジスタで、ダミーサイクル数を設定できます。

### 34.6.2 標準リード命令

標準リード命令は、大部分のシリアルフラッシュでサポートされている一般的なリード命令です。SPI バスサイクルが開始すると、シリアルフラッシュ選択信号がアサートされ、命令コード (03h/13h) (注1) が出力されます。次に、SFMSAC.SFMAS[1:0] ビットで指定した幅 (1 ~ 4 バイト) のアドレスが送信されます。その後、データが受信されます。この標準リード命令は、QSPI の初期設定で選択されます。

注1. 多くの4KBシリアルフラッシュデバイスは、オーバーヘッドを最小化しリード命令コードのビット3からA8情報を受信するために、1バイト(A7-A0)以内のアドレスフィールドを持っています。これらのデバイスをサポートするため、1バイトのアドレス幅(SFMAS[1:0]ビット=00)が指定されている場合にのみ、QSPIは標準リード命令コードのビット3にA8(アドレスビット8)だけを出力します。そのため、標準リード命令コードとして03hの代わりに0Bhが出力される場合があります。このコードはファストリード命令コードと重複します。ただし、1バイトのアドレス幅を持つ、ほとんどの2KB以下のシリアルフラッシュデバイスでは、コマンドのビット3はdon't-careビットとしてデコードから除外するように設計されているため、このようなリード命令コードは標準リード命令コードとして正しく認識されます。まれに、ビット3のデコードを許可しているシリアルフラッシュデバイスがあります。そのようなシリアルフラッシュを接続する場合、A8=1になるアクセスを回避するようにアプリケーションを設定してください。

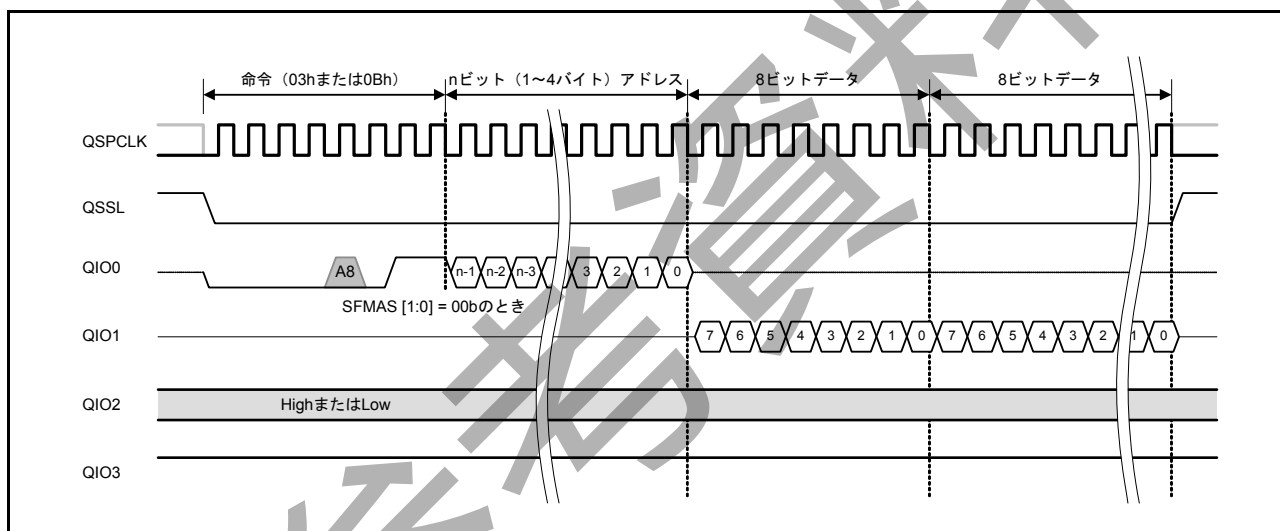


図 34.16 標準リードバスサイクル

### 34.6.3 ファストリード命令

ファストリード命令は、標準リード命令よりも高速の通信クロックをサポートするリード命令です。SPI バスサイクルが開始すると、シリアルフラッシュ選択信号がアサートされ、命令コード (0Bh/0Ch) が出力されます。次に、SFMSAC.SFMAS[1:0] ビットで指定した 1～4 バイト幅のアドレスと、SFMSDC レジスタで指定した数のダミーサイクルが送信されます。その後、データが受信されます。

ダミーサイクルの最初の 2 サイクルは、XIP モードの選択/非選択に使用されます。XIP モードを選択した場合、この時使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは送信されません。XIP モードの詳細は、[34.8 XIP 制御](#)を参照してください。

ファストリード命令への切り替えは、SFMSMD レジスタで制御します。

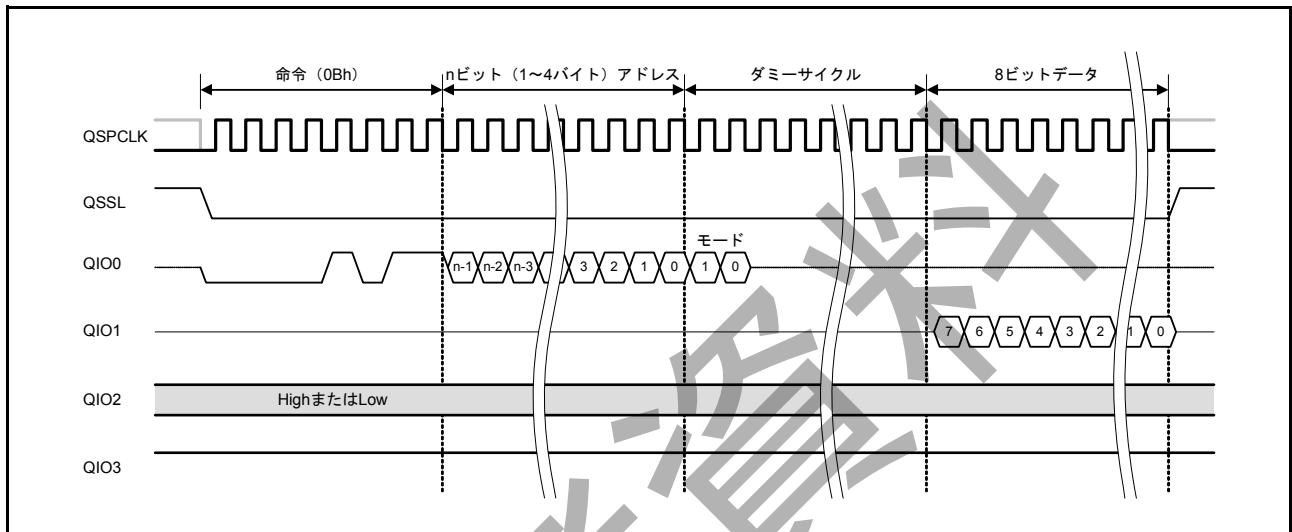


図 34.17 ファストリードバスサイクル

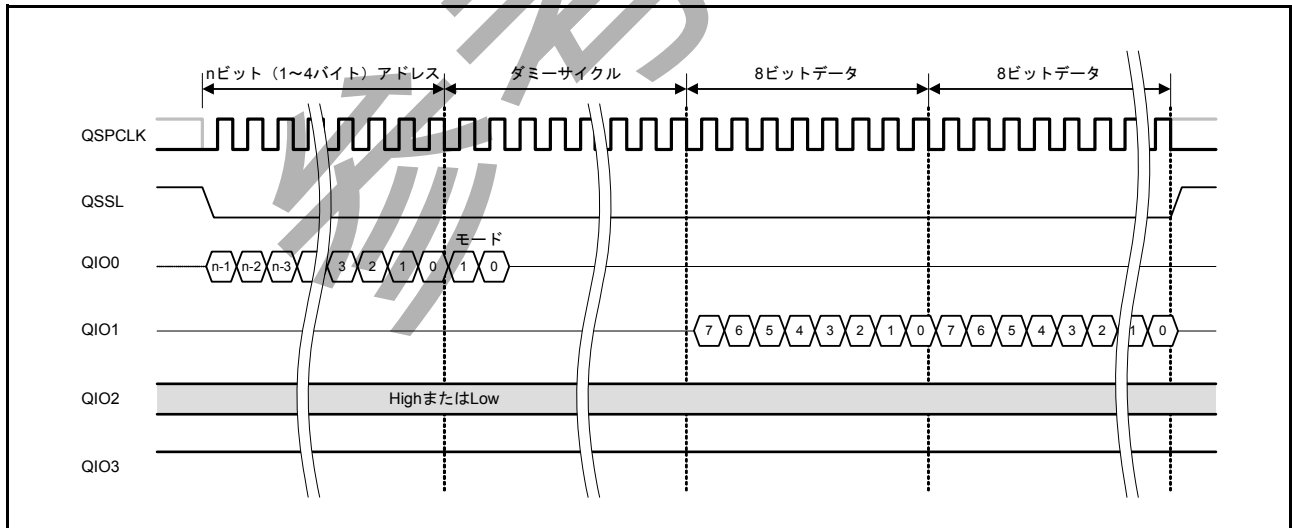


図 34.18 XIP モード時のファストリードバスサイクル

注． ファストリード命令を使用するには、ファストリード転送をサポートするシリアルフラッシュデバイスを使う必要があります。

### 34.6.4 ファストリード Dual 出力命令

ファストリード Dual 出力命令は、データ受信に 2 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされます。命令コード (3Bh/3Ch) および SFMSAC.SFMAS[1:0] ビットで指定した 1～4 バイト幅のアドレスが QIO0 端子から送信されます。次に、SFMSDC レジスタで指定した数のダミーサイクルが生成されます。その後、QIO0 端子と QIO1 端子経由でデータを受信します。QIO0 端子からは偶数ビットのデータを受信し、QIO1 端子からは奇数ビットのデータを受信します。

ダミーサイクルの最初の 2 周期は、XIP モードの選択に使用します。XIP モードを選択した場合、この時使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは送信されません。XIP モードの詳細は、[34.8 XIP 制御](#) を参照してください。

ファストリード Dual 出力への切り替えは、SFMSMD レジスタで制御します。

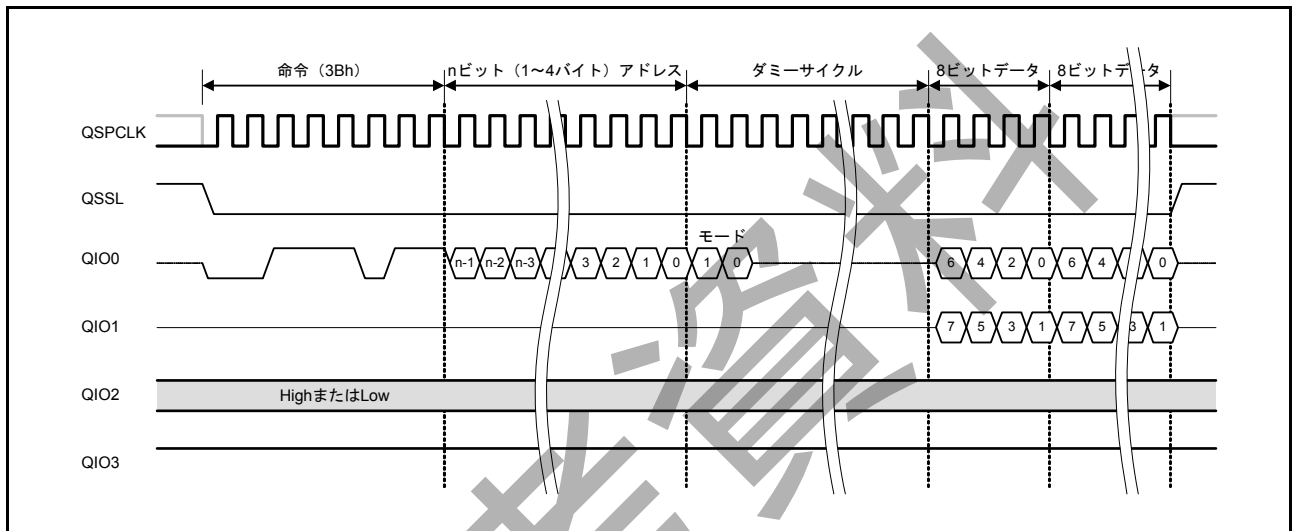


図 34.19 ファストリード Dual 出力バスサイクル

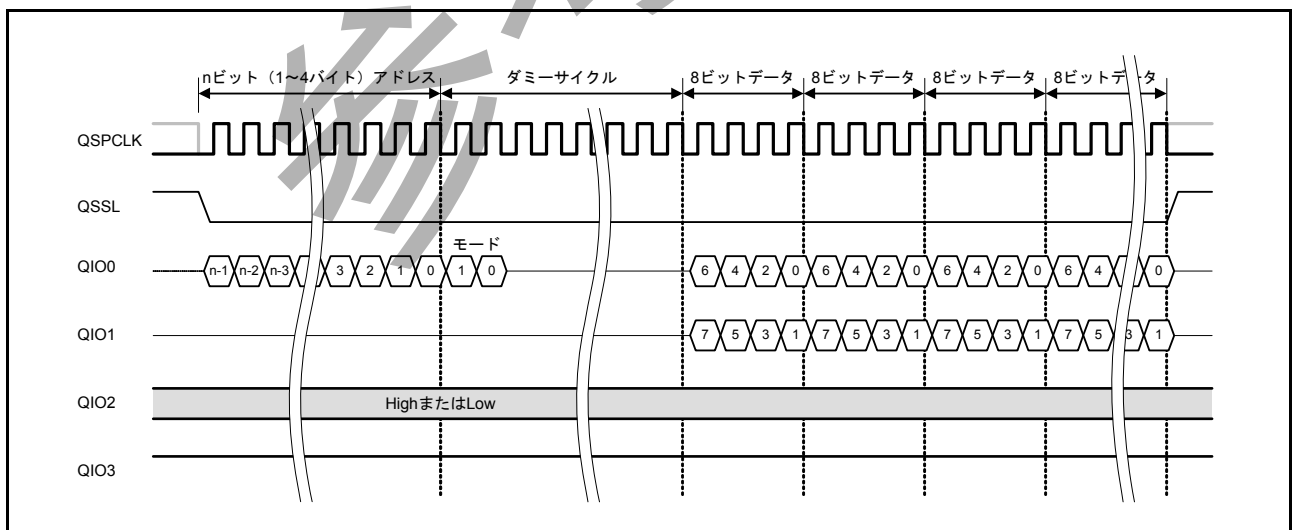


図 34.20 XIP モード時のファストリード Dual 出力バスサイクル

注． ファストリード Dual 出力命令を使用するには、ファストリード Dual 出力転送をサポートするシリアルフラッシュを使う必要があります。



### 34.6.5 ファストリード Dual I/O 命令

ファストリード Dual I/O 命令は、アドレス送信とデータ受信に 2 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード (BBh/BCh) が QIO0 端子から出力されます。次に、SFMSAC.SFMAS[1:0] ビットで指定した 1~4 バイト幅のアドレスが QIO0 端子および QIO1 端子経由で送信され、SFMSDC レジスタで指定した数のダミーサイクルが生成されます。その後、QIO0 端子と QIO1 端子経由でデータを受信します。アドレスとダミーサイクルの送信およびデータ受信は、偶数ビットについては QIO0 端子経由で、奇数ビットについては QIO1 端子経由で行われます。

ダミーサイクルの最初の 2 周期は、XIP モードの選択に使用します。XIP モードを選択した場合、この時使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは送信されません。XIP モードの詳細は、[34.8 XIP 制御](#) を参照してください。

ファストリード Dual I/O への切り替えは、SFMSMD レジスタで制御します。

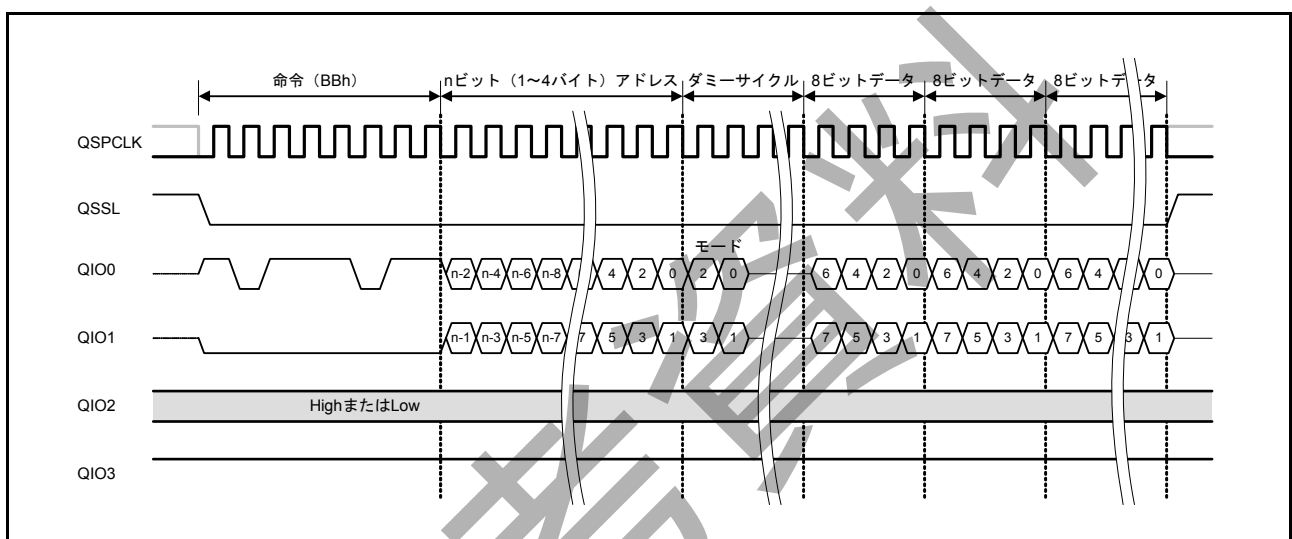


図 34.21 ファストリード Dual I/O バスサイクル

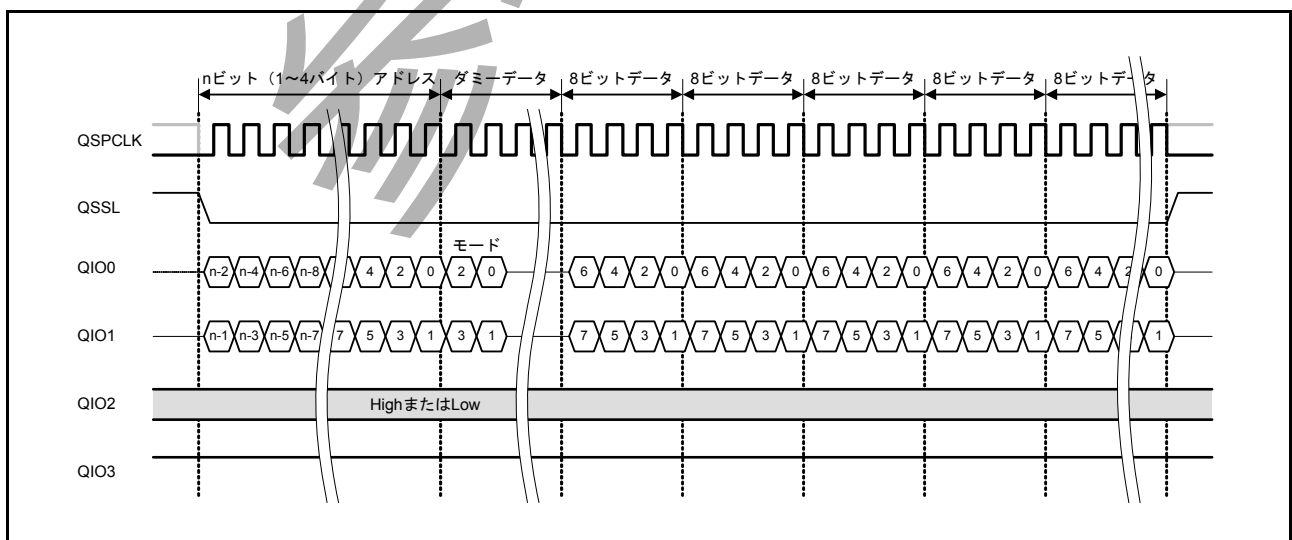


図 34.22 XIP モード時のファストリード Dual I/O バスサイクル

注 . ファストリード Dual I/O 命令を使用するには、ファストリード Dual I/O 転送をサポートするシリアルフラッシュを使う必要があります。

### 34.6.6 ファストリード Quad 出力命令

ファストリード Quad 出力命令は、データ受信に 4 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされます。命令コード (6Bh/6Ch) および SFMSAC.SFMAS[1:0] ビットで指定した 1～4 バイト幅のアドレスが QIO0 端子から出力されます。次に、SFMSMD.SFMDN[3:0] ビットで指定された数のダミーサイクルが生成されます。その後、QIO0 端子、QIO1 端子、QIO2 端子、および QIO3 端子経由でデータを受信します。

ダミーサイクルの最初の 2 周期は、XIP モードの選択に使用します。XIP モードを選択した場合、この時使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは送信されません。XIP モードの詳細は、[34.8 XIP 制御](#)を参照してください。

ファストリード Quad 出力への切り替えは、SFMSMD レジスタで制御します。

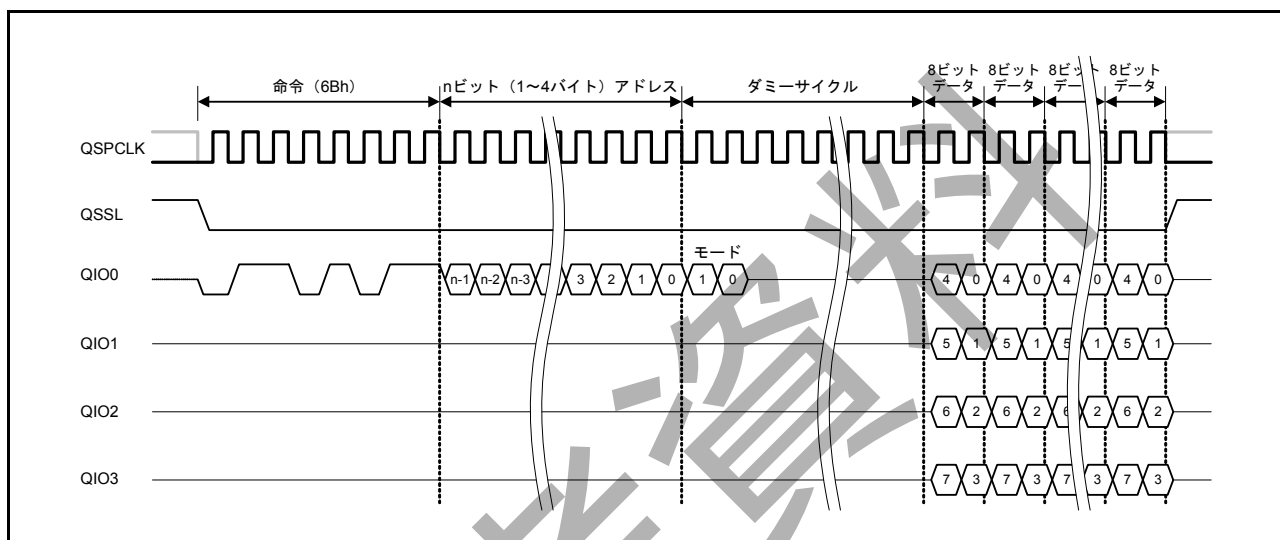


図 34.23 ファストリード Quad 出力バスサイクル

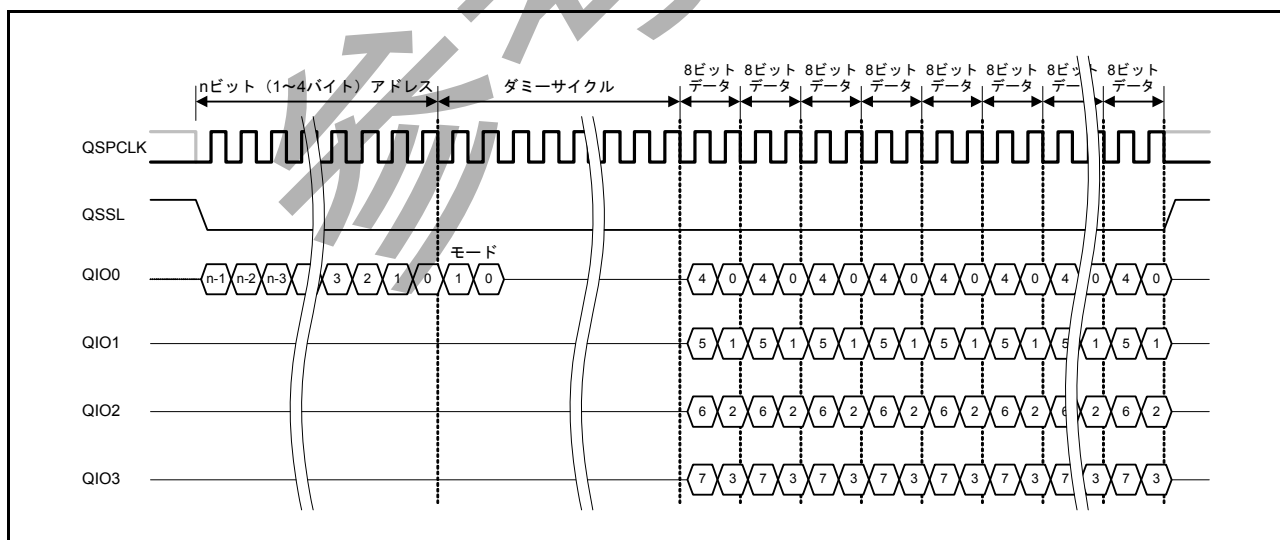


図 34.24 XIP モード時のファストリード Quad 出力バスサイクル

注 . ファストリード Quad 出力を使用するには、ファストリード Quad 出力転送をサポートするシリアルフラッシュを使う必要があります。

### 34.6.7 ファストリード Quad I/O 命令

ファストリード Quad I/O 命令は、アドレス送信とデータ受信に 4 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード (EBh/ECh) が出力されます。次に、SFMSAC.SFMAS[1:0] ビットで指定した 1~4 バイト幅のアドレスが QIO0 端子、QIO1 端子、QIO2 端子、QIO3 端子経由で送信され、SFMSMD.SFMDN[3:0] ビットで指定した数のダミーサイクルが生成されます。その後、QIO0 端子、QIO1 端子、QIO2 端子、および QIO3 端子経由でデータを受信します。

ダミーサイクルの最初の 2 周期は、XIP モードの選択に使用します。XIP モードを選択した場合、この時使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは送信されません。XIP モードの詳細は、34.8 XIP 制御を参照してください。

ファストリード Quad I/O への切り替えは、SFMSMD レジスタで制御します。

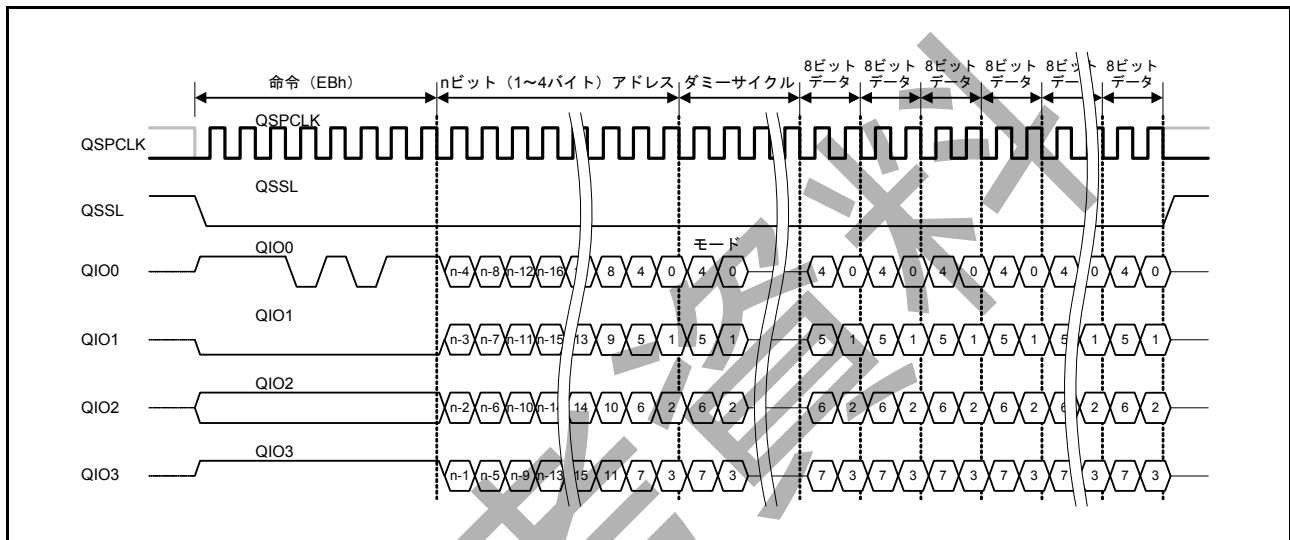


図 34.25 ファストリード Quad I/O バスサイクル

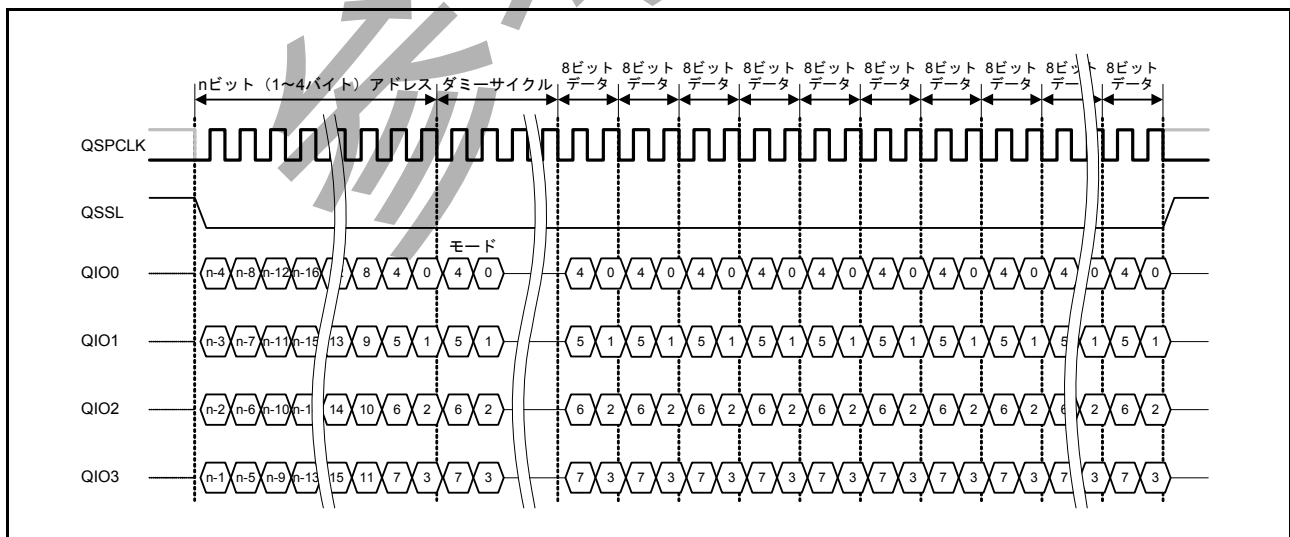


図 34.26 XIP モード時のファストリード Quad I/O バスサイクル

注 . ファストリード Quad I/O 命令を使用するには、ファストリード Quad I/O 転送をサポートするシリアルフラッシュを使う必要があります。

### 34.6.8 4 バイトモード遷移命令

4 バイトモード遷移命令では、シリアルフラッシュのアドレス幅を4バイトに設定します。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード (B7h) が出力されます。

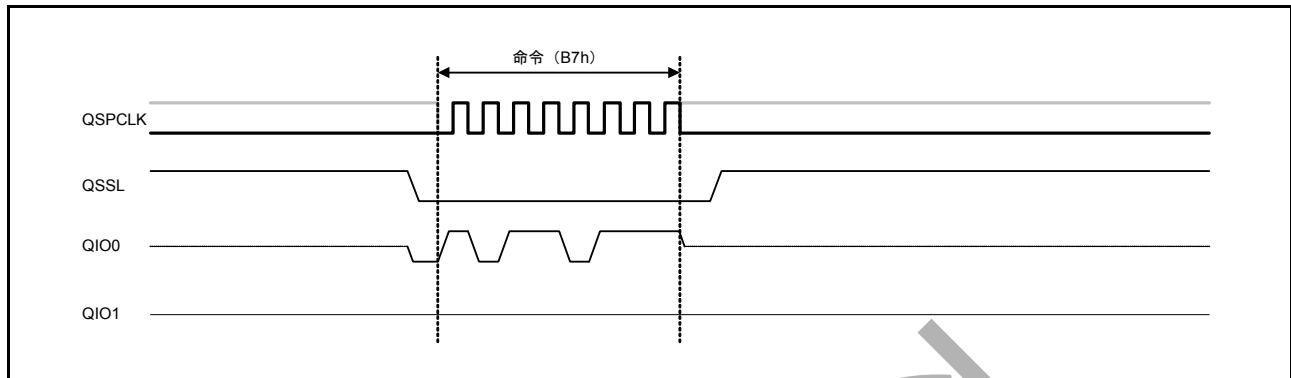


図 34.27 4 バイトモード遷移命令のバスサイクル

注 . 4 バイトモード遷移命令の発行は、シリアルフラッシュが4バイトモード/3バイトモードのいずれであるかにかかわらず実行されます。

### 34.6.9 4 バイトモード解除命令

4 バイトモード解除命令では、シリアルフラッシュのアドレス幅を3バイトに設定します。SPI バスサイクルが開始すると、シリアルフラッシュ選択信号がアサートされ、命令コード (E9h) が出力されます。

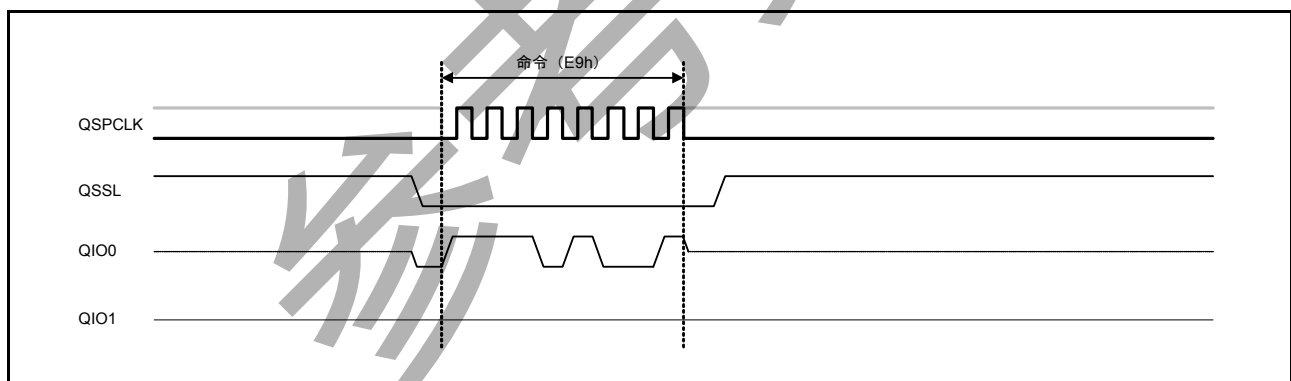


図 34.28 4 バイトモード解除命令のバスサイクル

注 . 4 バイトモード解除命令の発行は、シリアルフラッシュが4バイトモード/3バイトモードのいずれであるかにかかわらず実行されます。

### 34.6.10 ライトイネーブル命令

ライトイネーブル命令は、シリアルフラッシュのアドレス幅の変更を許可します。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード (06h) が出力されます。

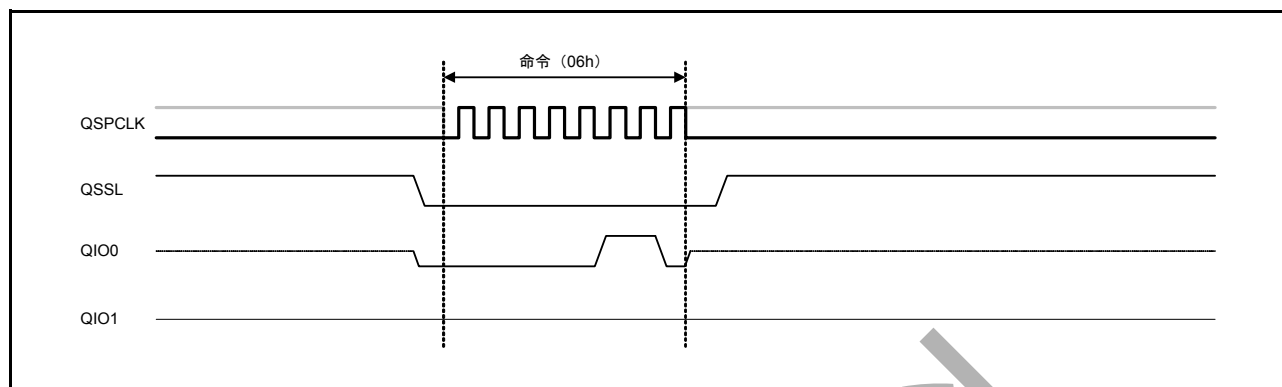


図 34.29 ライトイネーブルバスサイクル

参考資料

## 34.7 SPI バスサイクル配置

### 34.7.1 個々の変換に基づくフラッシュリード

ROM リード内部バスサイクルは、サイクルごとに 1 対 1 で SPI バスサイクルに変換されます。ROM リードバスサイクルが検出されると、QSSL 信号がアサートされ、SPI バスサイクルが開始します。シリアルフラッシュからデータを受信すると、QSSL 信号がデアサートされ、SPI バスサイクルは完了します。

別の ROM リードバスサイクルが検出されると、QSSL 信号の最小 High レベル幅が確保されていることを確認した後、QSSL 信号が再びアサートされます。その後、別の SPI バスサイクルが始まります。

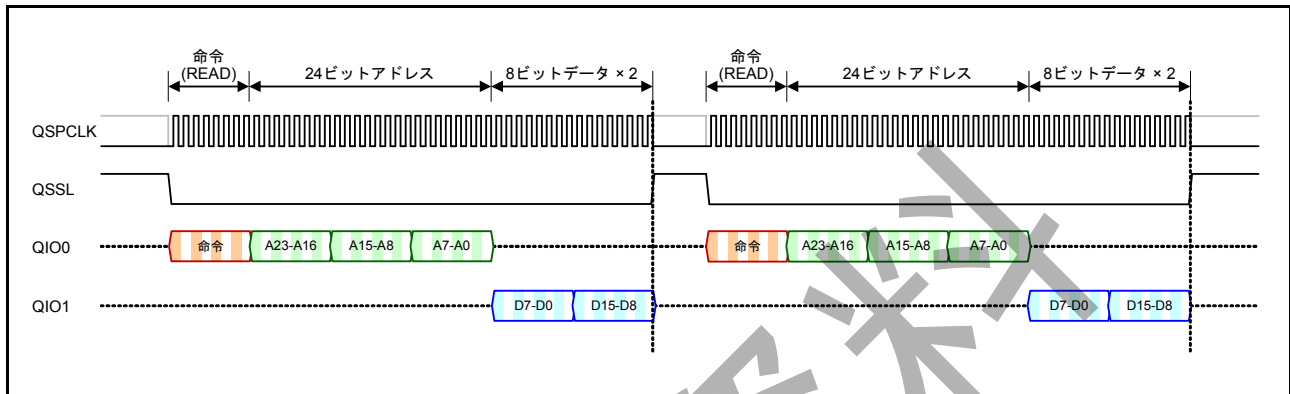


図 34.30 個々の変換に基づく連続データリード動作

### 34.7.2 プリフェッチ機能を使用したフラッシュリード

CPU 命令実行やブロックデータ転送のような動作では、多くの場合、データは連続したフラッシュアドレスから昇順に読み出されます。シリアルフラッシュには、命令コードやアドレスを再発行せずにデータ受信を繰り返す機能があります。ただし、MCU が発行したバスサイクルが個々に変換される場合、SPI バスサイクルは互いに切り離され、シリアルフラッシュが持つこの機能の利点を活用できなくなります。QSPI は、連続データ受信のためのプリフェッチ機能を持ちます。

プリフェッチ機能を有効にするには、SFMSMD.SFMPFE ビットを 1 にします。プリフェッチ機能を有効にすると、データは別のフラッシュリード要求を待つことなく、連続的に受信されてバッファに格納されます。MCU がフラッシュリード動作を行うと、アドレスチェックが実行されます。アドレス一致が確認されると、バッファ内のデータは MCU に送られます。アドレスの不一致が見つかったら、バッファ内のデータは捨てられ、新しい SPI バスサイクルが発行されます。

プリフェッチバッファのサイズは 18 バイトです。プリフェッチバッファがいっぱいになると、SPI バスサイクルは終了します。バッファデータが読み出されて空きができるまで、新しい SPI バスサイクルが自動開始して、プリフェッチを再開します。

命令フェッチやブロックデータ転送のように連続アドレスから昇順でデータを読み出す場合、プリフェッチ機能は効率的な転送動作を可能にします。

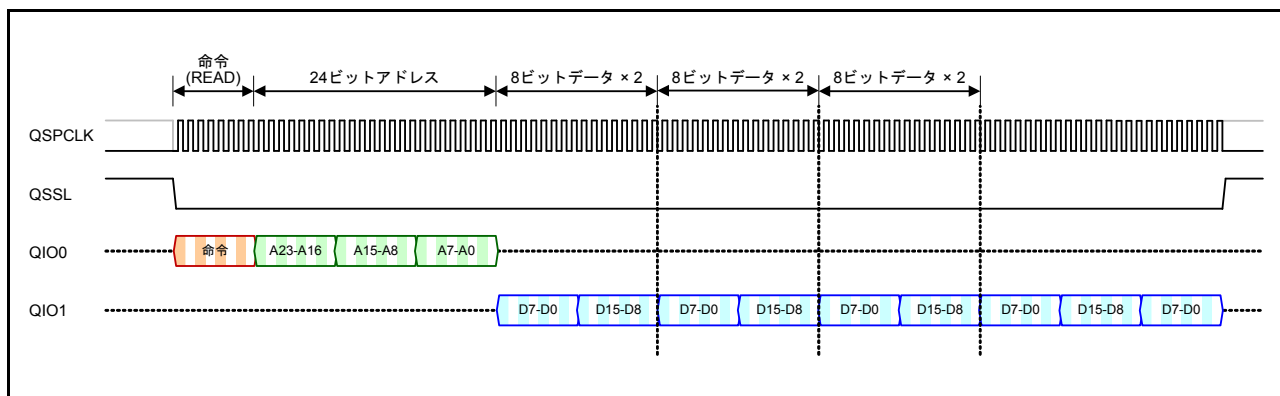


図 34.31 プリフェッチ機能を使用した連続データリード動作

### 34.7.3 プリフェッチの停止

プリフェッチのシリアル転送中に別のアドレスから読み出すためのROMリードバスサイクルが発生すると、実行中の不要なシリアル転送が停止して、新しいSPIバスサイクルが開始されます。通常、このようなシリアル転送の停止は、データ受信のバイト境界で発生します。ただし、SFMSMD.SFMPAEビットを1にすると、バイト境界以外の場所で停止することができます。この機能を使用するには、シリアルフラッシュデバイスがバイト境界以外での停止をサポートしている必要があります。

### 34.7.4 プリフェッチ先の直接指定

SFMPFEビットを設定して、QSPIがQSPIウィンドウ領域への内部バスライトアクセスを受信すると、システムはそれをプリフェッチアドレスとして入手し、プリフェッチを開始します。QSPIウィンドウ領域への内部バスライトアクセスは、プリフェッチアドレスデータの入手のためにのみ使用できます。シリアルフラッシュライト動作は実行できません。

この機能を [34.7.5 プリフェッチ状態ポーリング](#) で述べるプリフェッチ状態ポーリング機能と組み合わせると、低速シリアルフラッシュからデータを読み出す際に、内部バスの負荷を削減できます。

注. QSPIウィンドウ領域に書き込みを行ってプリフェッチ先を指定する場合は、プリフェッチを開始するアドレスの先頭バイトに書き込んでください。2バイト以上のデータサイズでQSPIウィンドウ領域に書き込みを行うと、エラー応答が返ります。

### 34.7.5 プリフェッチ状態ポーリング

低速シリアルフラッシュからデータを読み出すと、SPI 受信バスサイクルが完了するまで内部バスは待ち状態になるため、システム負荷が増加します。プリフェッチ状態ポーリング機能は、この負荷を軽減するための機能です。

SFMSST.PFOFF ビットはプリフェッチ機能の状態を示し、SFMSST.PFCNT[4:0] ビットはプリフェッチ済みのデータバイト数を示します。そのため、プリフェッチ状態は単一の CPU 動作で決定できます。

```
//
// 1Kバイト (32ビット×256ワード) データをシリアルフラッシュから外部メモリへコピー
//
unsigned long *sptr;           //シリアルフラッシュのポインタ
unsigned long *dptr;          //外部メモリのポインタ
int i;

SFMSMD |= 0x0040;             // SFMPFE ビットを設定して、プリフェッチを許可
*((volatile unsigned char *) sptr) = 0; // TAG を有効にして、プリフェッチを開始

for (i = 0; i < 256; i++){
while ((SFMSST & 0x00FF) < 0x04){ // 4バイトデータの受信待ち
*(dptr++) = *(sptr++);
}
}
```

注 . ポーリングプログラムを実行する場合、プログラムをシリアルフラッシュの外部に置くか、命令キャッシュを有効にしてください。

ポーリングプログラムを実行するときに、そのプログラムがシリアルフラッシュに置かれていた場合、または命令キャッシュを使わずにプログラムを実行した場合、プリフェッチの対象がしばしば命令コードに切り替わります。その結果、ポーリングの効果が損なわれ、プリフェッチバッファに空きができるために無限ループに陥ることがあります。



### 34.7.6 SPI バスサイクル拡張機能を使用したフラッシュリード

SFMSMD.SFMSE[1:0] ビットを 00 以外の値にすると、QSPI は次のフラッシュリードを待ちます。このとき、QSPCLK 信号は停止し、シリアルフラッシュからデータを入手した後も QSSL 信号が Low に保持され、SPI バスサイクルが中断されます。

次のフラッシュリードのアドレスが昇順の連続アドレスの場合、QSPCLK 信号のトグルが再開され、後続データの受信が継続します。次のフラッシュリードのアドレスが昇順の連続アドレスではない場合、QSSL 信号は High になり、中断された SPI バスサイクルを終了させます。その後、新しい SPI バスサイクルが開始されます。

昇順の連続アドレスからデータが断続的に読み出される場合、この機能は、命令コードとアドレス送信の負荷を削減することにより、効率的な転送動作を実現します。

SPI バスサイクル拡張時間は、SFMSMD.SFMSE[1:0] ビットで選択できます。指定した拡張時間を経過すると、QSSL 信号は High レベルに戻り、中断されていた SPI バスサイクルを自動終了します。

SFMSE[1:0] ビットを 11 にすると、QSSL は無限に拡張されます。これにより、シリアルフラッシュの電力消費が増加します。

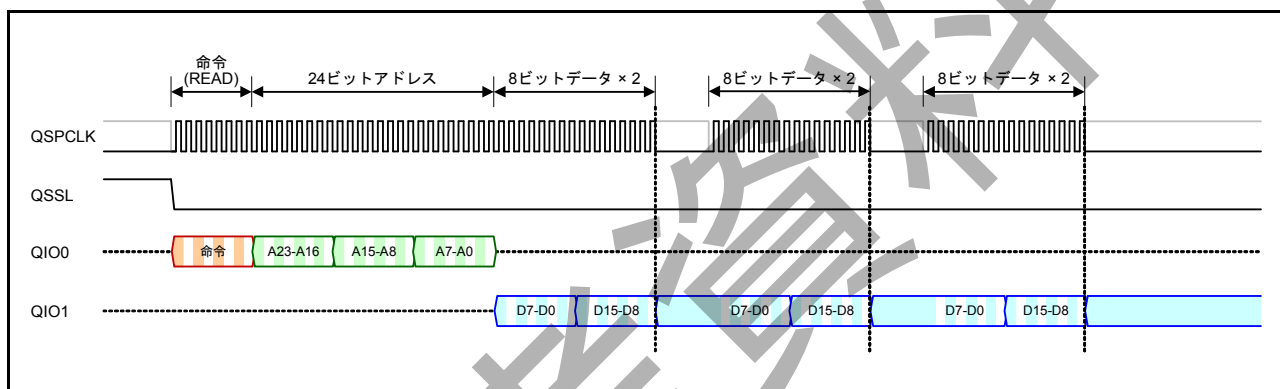


図 34.32 SPI バスサイクル拡張を使用した連続データリード動作

## 34.8 XIP 制御

シリアルフラッシュデバイスの中には、フラッシュリードのための命令コード受信をスキップすることで、待ち時間を削減できるものもあります。この命令コードスキップ機能は、前のシリアルバスサイクルのダミーサイクル中に受信したモードデータにより選択されます。

ファストリード命令のダミーサイクルで、QSPI は、[図 34.33](#) に示すように、最初の 2 周期で SFMSDC.SFMXD[7:0] ビットに設定されたモードデータを、シリアルデータ信号を使って送信することによって、シリアルフラッシュの XIP モードを制御します。

XIP モードを有効にするモードデータは、シリアルフラッシュごとに異なります。これを考慮に入れて、SFMSDC.SFMXD[7:0] ビットに適切なモードデータを設定してください。

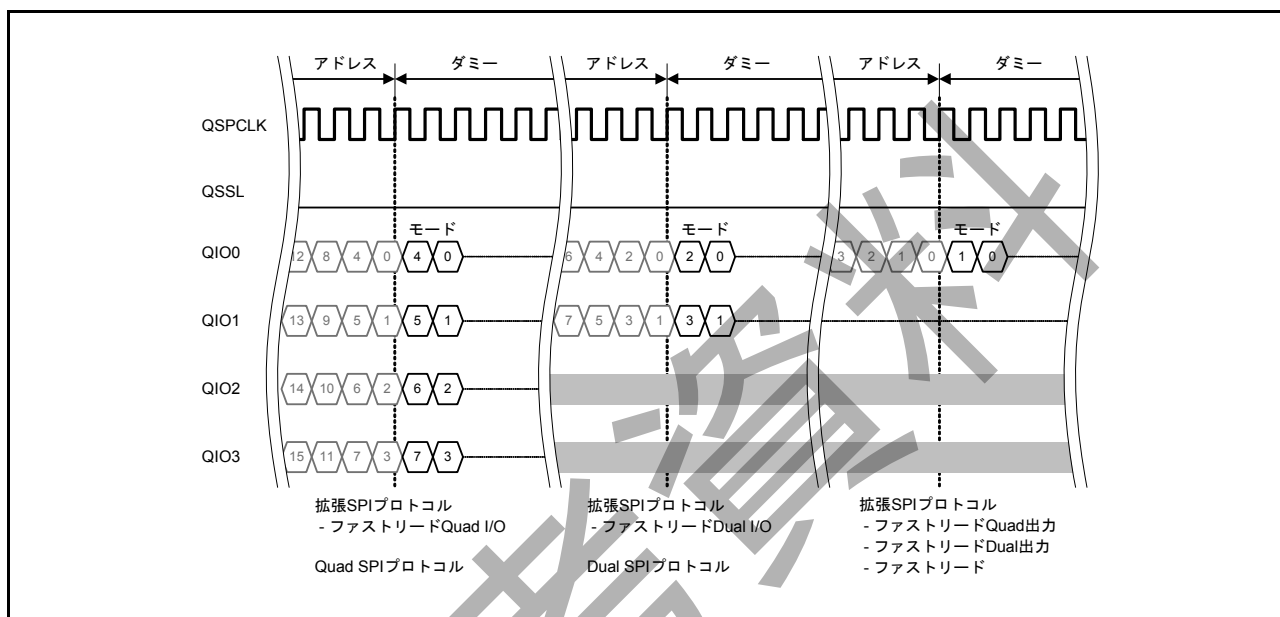


図 34.33 XIP モード制御データ

### 34.8.1 XIP モードの設定

シリアルフラッシュデバイスのために指定した XIP モード選択設定が SFMSDC.SFMXD[7:0] ビットに設定され、SFMXEN ビットが 1 である場合を想定します。次のファストリードのダミーサイクルでは、SFMSDC.SFMXD[7:0] ビットに指定されたモードデータはシリアルフラッシュデバイスに転送されます。その時点から、シリアルフラッシュコントローラとシリアルフラッシュデバイスの両方で XIP モードが有効になります。実際の XIP モード選択の完了を確認するには、SFMSDC.SFMXST ビットから 1 を読み出します。

注 . SFMSDC.SFMXD[7:0] ビットでは、実際のシリアルフラッシュデバイスに指定された XIP モード設定データを指定してください。シリアルフラッシュコントローラの XIP モードは、SFMSDC.SFMXD[7:0] ビットの設定にかかわらず、SFMXEN ビットでのみ有効にできます。

### 34.8.2 XIP モードの解除

シリアルフラッシュのために指定した XIP モード解除設定が SFMSDC.SFMXD[7:0] ビットに設定され、SFMXEN ビットが 0 である場合を想定します。次のファストリードのダミーサイクルでは、SFMSDC.SFMXD[7:0] ビットに指定されたモードデータは最初の 2 周期の間にシリアルフラッシュに転送されます。その時点から、QSPI とシリアルフラッシュデバイスの両方で XIP モードが無効になります。実際の XIP モード解除の完了を確認するには、SFMSDC.SFMXST ビットから 0 を読み出します。

注 . SFMSDC.SFMXD[7:0] ビットでは、実際のシリアルフラッシュデバイスに指定された XIP モード設定データを指定してください。シリアルフラッシュコントローラの XIP モードは、SFMSDC.SFMXD[7:0] ビットの設定にかかわらず、SFMXEN ビットでのみ無効にできます。

表 34.9 XIP モード解除を自動発行する解除コード

解除動作	解除コード	ビット幅	ターゲット
XIP 解除 1	00000011	8	24 ビットアドレス幅ファストリード Quad I/O
XIP 解除 2	0000001111	10	32 ビットアドレス幅ファストリード Quad I/O
XIP 解除 3	00000011111111	14	24 ビットアドレス幅ファストリード Dual I/O
XIP 解除 4	0000001111111111	18	32 ビットアドレス幅ファストリード Dual I/O
XIP 解除 5	00000011111111111111	26	24 ビットアドレス幅ファストリード 24 ビットアドレス幅ファストリード Dual 出力 24 ビットアドレス幅ファストリード Quad 出力
XIP 解除 6	000000111111111111111111	34	32 ビットアドレス幅ファストリード 32 ビットアドレス幅ファストリード Dual 出力 32 ビットアドレス幅ファストリード Quad 出力

### 34.9 QIO2 端子、QIO3 端子の状態

QIO2 端子、QIO3 端子の状態は、SFMSMD.SFMRM[2:0] ビットに指定されたシリアルインタフェースのリードモードに依存します。

表 34.10 QIO2 端子、QIO3 端子の状態

SFMSMD.SFMRM[2:0] ビット	QIO2 端子の状態 (注1)	QIO3 端子の状態 (注2)	説明
111	設定禁止		
110			
101	シリアルデータ信号としての入力/出力 (スタンバイレベルは Hi-Z)	シリアルデータ信号としての入力/出力 (スタンバイレベルは Hi-Z)	ファストリード Quad I/O
100			ファストリード Quad 出力
011	SFMPMD.SFMWPL ビット変数出力 (初期出力変数は Low レベル)	出力 High レベル	ファストリード Dual I/O
010			ファストリード Dual 出力
001			ファストリード
000			リード (初期状態)

注 1. シリアルフラッシュは、WP 機能として QIO2 端子も使用できます。

注 2. シリアルフラッシュは、HOLD または RESET 機能として QIO3 端子も使用できます。

## 34.10 直接通信モード

### 34.10.1 直接通信

QSPI は、ROM リードバスサイクルを SPI バスサイクルに自動変換することにより、シリアルフラッシュの内容を読み出すことが可能です。ただし、シリアルフラッシュデバイスはメモリデータリードの他にも、ID 情報のリード、イレース、プログラミング、状態情報リードなどの各種機能を備えています。これらの機能を使用するための標準命令セットは存在せず、多くのベンダーが様々なデバイスに次々と機能を追加しています。そのため、これらの機能をハードウェア制御でサポートすることは困難です。

ソフトウェアが直接シリアルフラッシュと通信できる手段を提供することで、QSPI はこれらのシリアルフラッシュデバイスを柔軟にサポートしています。そのため、ソフトウェアは必要な SPI バスサイクルを作成することができます。

### 34.10.2 直接通信モード

シリアルフラッシュと直接通信するには、SFMCMD.DCOM ビットを 1 にして直接通信モードに遷移します。直接通信モードを選択している間は、通常のフラッシュリード動作は無効になります。直接通信後の通常のフラッシュアクセスでは、SFMCMD.DCOM ビットを 0 にして直接通信モードを停止します。

注． QSPI を XIP モードに設定している場合、XIP モードを停止してから直接通信モードを開始してください。

### 34.10.3 直接通信での SPI バスサイクル発生

直接通信の SPI バスサイクルは、SFMCOM ポートへの最初のアクセスにより開始され、SFMCOM ポート経由で一連の入出力動作が実行された後、SFMCMD レジスタへの書き込みにより終了します。その時点で、SFMCOM ポートへの書き込みは SPI バスへの 1 バイト送信に変換され、SFMCOM ポートからの読み出しは SPI バスからの 1 バイト受信に変換されます。

SFMCOM ポートへの最初のアクセスから SFMCMD レジスタへの最後の書き込み動作までの期間中、シリアルフラッシュ選択信号はアクティブに保持され、シリアルフラッシュに一連の SPI バスサイクルが進行中であることを通知します。

注． 直接通信モードでは、SFMCMD 以外のレジスタ (SFMSMD、SFMSSC、SFMSKC、SFMSST、SFMCST、SFMSIC、SFMSAC、SFMSDC、SFMSPC、SFMPMD を含む) への書き込みはすべて禁止されています。この回路構成では、SFMCOM ポート以外のレジスタ領域への書き込みによって SPI バスサイクルが停止します。ただし、SPI バスサイクルを停止する目的での SFMCMD 以外のレジスタ領域への書き込みは、通常機能として保証されていません。

以下に、直接通信のプログラム例を示します。

```
##### 注意！ ##### このコードは、動作させるシリアルフラッシュの外部に配置してください。

// 対象シリアルフラッシュデバイスの具体的な命令コードを定義
#define Instruction_FREAD 0x0B // ファストリード
#define Instruction_RDSDR 0x05 // ステータスレジスタリード
#define Instruction_RDID 0x9F // IDリード
#define Instruction_WREN 0x06 // ライトイネーブル
#define Instruction_CERA 0xC7 // チップイレース

unsigned char mfid, mtype, mcap, data, temp;

SFMCMC = 0x01; // 直接動作を許可

// JEDECにより割り当てられたデバイスIDを取得
SFMCOM = Instruction_RDID; // "IDリード"命令 (SPIバスサイクルをオープン)
mfid = (unsigned char) SFMCOM; // "メーカーID"を取得
mtype = (unsigned char) SFMCOM; // "メモリタイプ"を取得
mcap = (unsigned char) SFMCOM; // "メモリ容量"を取得
SFMCMC = 0x01; // SPIバスサイクルをクローズ

// アドレス0x012345から1バイト取得
SFMCOM = Instruction_FREAD; // "ファストリード"命令 (SPIバスサイクルをオープン)
SFMCOM = 0x01; // アドレス0x012345の上位バイトを入力
SFMCOM = 0x23; // ターゲットアドレス0x012345の中間バイトを入力
SFMCOM = 0x45; // ターゲットアドレス0x012345の下位バイトを入力
temp = (unsigned char) SFMCOM; // FAST READ トランザクションの1バイトダミーコードを取得
data = (unsigned char) SFMCOM; // データを取得
SFMCMC = 0x01; // SPIバスサイクルをクローズ

// すべての内容を消去
SFMCOM = Instruction_WREN; // "ライトイネーブル"命令 (SPIバスサイクルをオープン)
SFMCMC = 0x01; // SPIバスサイクルをクローズ
SFMCOM = Instruction_CERA; // "チップイレース"命令 (SPIバスサイクルをオープン)
SFMCMC = 0x01; // SPIバスサイクルをクローズ
SFMCOM = Instruction_RDSDR; // "ステータスレジスタリード"命令 (SPIバスサイクルをオープン)
while (SFMCOM & 0x01){}; // 完了するまで"ライト進捗ビット"をポーリング
SFMCMC = 0x01; // SPIバスサイクルをクローズ

SFMCMC = 0x00; // 直接動作を禁止
```

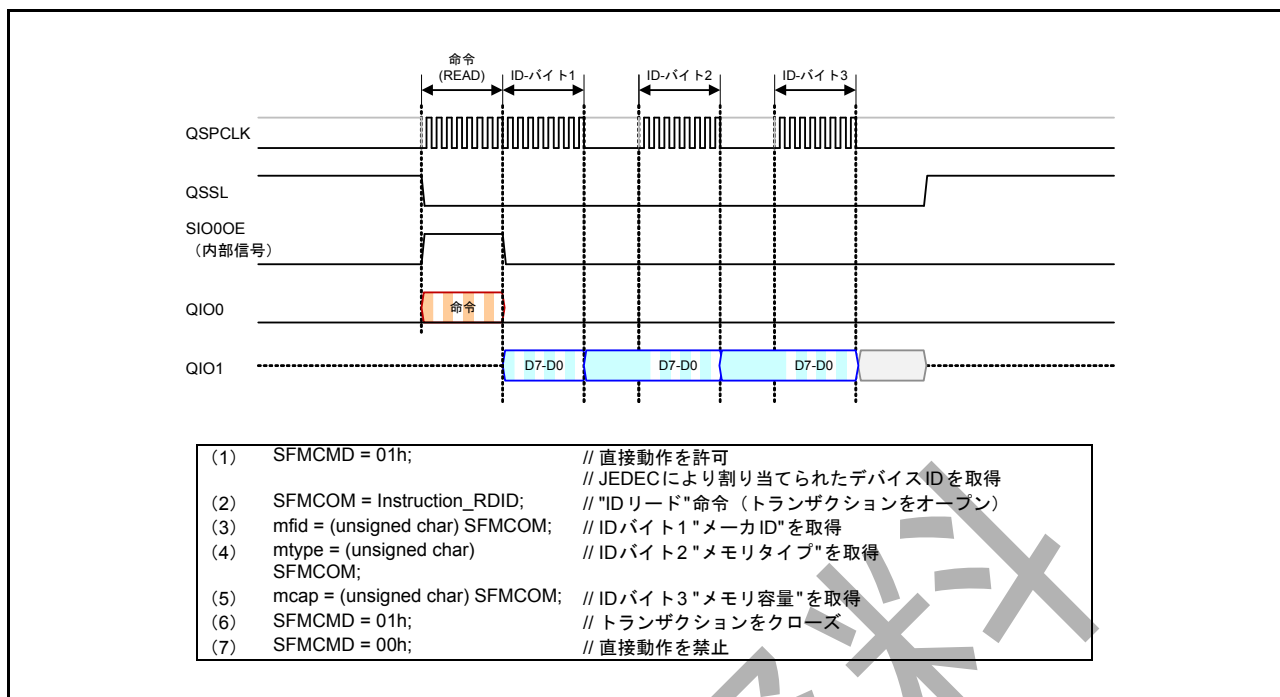


図 34.34 ID リードの直接通信タイミング例

注 . 直接通信モードで拡張 SPI プロトコルを使用している場合、シリアルフラッシュの内容を参照するために標準リード命令またはファストリード命令を使用する必要があります。この構成では、QSPI はファストリード Dual 出力、ファストリード Dual I/O、ファストリード Quad 出力、ファストリード Quad I/O の各転送をサポートしていません。これらの高速リード動作が必要な場合、通常のフラッシュアクセスを使用してください。

## 34.11 動作説明

### 34.11.1 複数のコントロールレジスタの設定変更手順

QSPI コントロールレジスタの設定は、システム動作中に動的に変更できます。ただし、複数のコントロールレジスタの設定を連続して変更する場合、すべてのレジスタの更新が完了する前に SPI バスサイクルが発生する場合があります。すべてのレジスタ設定変更段階で SPI バスタイミング仕様を満足するよう、レジスタ設定シーケンスは慎重に設計する必要があります。

```
//
// QSPCLKの高速化
//
SFMSMD = 0x0041; // SFMPAE : 0 SFMPFE : 1 SFMSE : 00 SFMRM : 01 (プリフェッチ許可ファストリード)
SFMSSC = 0x04; // SFMSLD : 0 SFMSHD : 0 SFMSW : 4 (最小QSSL High幅 = 5sck)
SFMSKC = 0x00; // SFMDTY : 0 SFMDV : 0 (1/2モード) ### 最後にクロック速度切り替え ###

//
// QSPCLKの低速化
//
SFMSKC = 0x06; // SFMDTY : 0 SFMDV : (1/8モード) ### 最初にクロック速度切り替え ###
SFMSSC = 0x01; // SFMSLD : 0 SFMSHD : 0 SFMSW : 1 (最小QSSL High幅 = 2sck)
SFMSMD = 0x0040; // SFMPAE : 0 SFMPFE : 1 SFMSE : 00 SFMRM : 00 (プリフェッチ許可、標準リード)
```

## 34.12 割り込み

SFMCST.EROMR ビットを 1 にすると、QSPI は割り込み要求を発生させます。直接通信モードで ROM リードアクセスが検出されると、EROMR ビットは 1 になります。0 書き込みにより EROMR ビットがクリアされるまで、割り込み要求は保持されます。詳細は、「14. 割り込みコントローラユニット (ICU)」を参照してください。

## 34.13 使用上の注意事項

### 34.13.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、QSPI の動作を禁止/許可することが可能です。リセット後の初期状態では、QSPI の動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

参考資料

## 35. 巡回冗長検査 (CRC) 演算器

巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることができます。さらに、いくつかの CRC 生成多項式が利用可能です。スヌープ機能により、特定のアドレスに対する読み出しおよび書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。

### 35.1 概要

表 35.1 に CRC 演算器の仕様を、図 35.1 に CRC 演算器のブロック図を示します。

表 35.1 CRC の仕様

項目	内容	
データサイズ	8ビット	32ビット
CRC 演算対象データ (注1)	8nビット単位の任意データに対しCRCコードを生成 (n = 自然数)	32nビットのデータに対してCRCコードを生成 (n = 自然数)
CRC 演算処理方式	8ビット並列実行	32ビット並列実行
CRC 生成多項式	3つの生成多項式から1つ選択可能 [8ビットCRC] <ul style="list-style-type: none"> <li><math>X^8 + X^2 + X + 1</math> (CRC-8)</li> </ul> [16ビットCRC] <ul style="list-style-type: none"> <li><math>X^{16} + X^{15} + X^2 + 1</math> (CRC-16)</li> <li><math>X^{16} + X^{12} + X^5 + 1</math> (CRC-CCITT)</li> </ul>	2つの生成多項式から1つ選択可能 [32ビットCRC] <ul style="list-style-type: none"> <li><math>X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1</math> (CRC-32)</li> <li><math>X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1</math> (CRC-32C)</li> </ul>
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダの切り替えが可能	
モジュールストップ機能	モジュールストップ状態の設定が可能	
CRC スヌープ	特定のレジスタアドレスに対する読み出しと書き込みのモニタ	—

注 1. 回路には、CRC 演算で使用するデータを分割する機能がありません。8ビット単位で書いてください。

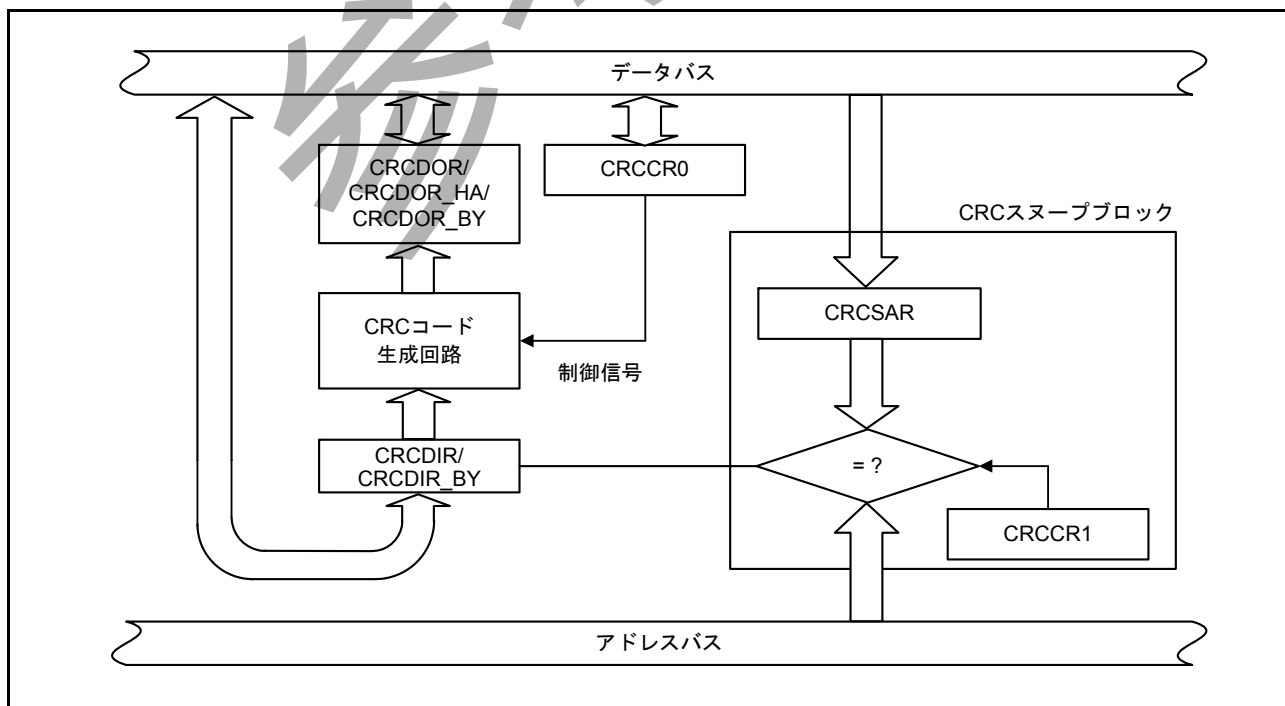


図 35.1 CRC のブロック図



## 35.2 レジスタの説明

### 35.2.1 CRC コントロールレジスタ 0 (CRCCR0)

アドレス [CRC.CRCCR0 4007 4000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	LMS	—	—	—	GPS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	<a href="#">GPS[2:0]</a>	CRC生成多項式切り替え	b2 b0 0 0 0: 演算しません 0 0 1: 8ビットCRC-8 ( $X^8 + X^2 + X + 1$ ) 0 1 0: 16ビットCRC-16 ( $X^{16} + X^{15} + X^2 + 1$ ) 0 1 1: 16ビットCRC-CCITT ( $X^{16} + X^{12} + X^5 + 1$ ) 1 0 0: 32ビットCRC-32 ( $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ ) 1 0 1: 32ビットCRC-32C ( $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ ) その他: 演算しません	R/W
b5-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	<a href="#">LMS</a>	CRC演算切り替え	0: LSBファースト通信用にCRCを生成 1: MSBファースト通信用にCRCを生成	R/W
b7	<a href="#">DORCLR</a>	CRCDOR/CRCDOR_HA/ CRCDOR_BYレジスタクリア	1: CRCDOR/CRCDOR_HA/CRCDOR_BYレジスタをクリア 読むと0が読めます。	W (注1)

注1. このレジスタに書き込みを行うときは、本ビットは必ず1にしてください。

#### [DORCLR](#) ビット (CRCDOR/CRCDOR\_HA/CRCDOR\_BY)

DORCLR ビットを1にすると、CRCDOR/CRCDOR\_HA/CRCDOR\_BY レジスタが 0000 0000h になります。

読むと0が読めます。1のみ書けます。

#### [LMS](#) ビット (CRC 演算切り替え)

生成したCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイトから先に、MSBファーストで通信を行う場合はCRCコードの上位バイトから先に送信してください。CRCコードの送信および受信については、[35.3 動作説明](#)を参照してください。

#### [GPS\[2:0\]](#) ビット (CRC 生成多項式切り替え)

CRC生成多項式を選択します。

### 35.2.2 CRC コントロールレジスタ 1 (CRCCR1)

アドレス [CRC.CRCCR1 4007 4001h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	CRCSE N	CRCS WR	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CRCSWR	スヌープオンライト/リード切り替え	0: スヌープオンリード 1: スヌープオンライト	R/W
b7	CRCSEN	スヌープ許可	0: 禁止 1: 許可	R/W

#### CRCSWR ビット (スヌープオンライト/リード切り替え)

アドレスモニタ機能でのアクセス方向を選択します。

このビットを0 (初期値) にすると、特定のレジスタアドレスの読み出しに対してCRC スヌープ動作が有効になります。同様に、このビットを1にすると、特定のレジスタアドレスの書き込みに対してCRC スヌープ動作が有効になります。

#### CRCSEN ビット (スヌープ許可)

このビットを1にすると、CRC スヌープ動作が有効になります。0にすると、CRC スヌープ動作が無効になります。

### 35.2.3 CRC データ入力レジスタ (CRCDIR/CRCDIR\_BY)

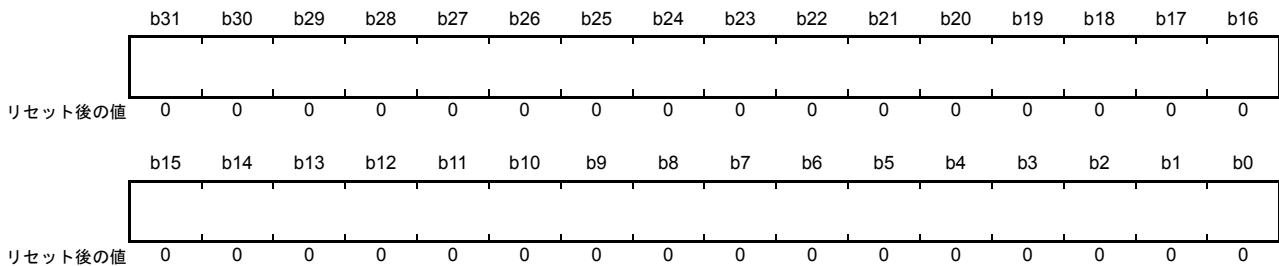
アドレス [CRC.CRCDIR/CRCDIR\\_BY 4007 4004h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込むための 32 ビットの読み出し/書き込みレジスタです。CRCDIR\_BY レジスタは、CRC-8、CRC-16、または CRC-CCITT 演算用データを書き込むための 8 ビットの読み出し/書き込みレジスタです。

### 35.2.4 CRC データ出力レジスタ (CRCDOR/CRCDOR\_HA/CRCDOR\_BY)

アドレス `CRC.CRCDOR/CRCDOR_HA/CRCDOR_BY 4007 4008h`



CRCDOR レジスタは、CRC-32 または CRC-32C 用の 32 ビットの読み出し/書き込みレジスタです。

CRCDOR\_HA レジスタは、CRC-16 または CRC-CCITT 用の 16 ビットの読み出し/書き込みレジスタです。

CRCDOR\_BY レジスタは、CRC-8 用の 8 ビットの読み出し/書き込みレジスタです。

初期値は 0000 0000h であるため、初期値以外の値を用いて演算する場合は、CRCDOR/CRCDOR\_HA/CRCDOR\_BY レジスタを書き換えてください。

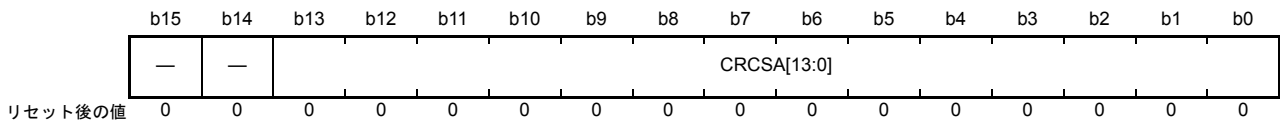
CRCDIR/CRCDIR\_BY レジスタに書き込まれたデータは CRC 演算され、結果は CRCDOR/CRCDOR\_HA/CRCDOR\_BY レジスタに格納されます。転送データに続いて CRC コードを計算し、その結果が 0000 0000h であると、CRC エラーなしと判断できます。

8 ビット CRC ( $X^8 + X^2 + X + 1$  の多項式) を使用した場合、CRCDOR\_BY レジスタに有効な CRC コードが得られます。

16 ビット CRC ( $X^{16} + X^{15} + X^2 + 1$ 、または  $X^{16} + X^{12} + X^5 + 1$  の多項式) を使用した場合、CRCDOR\_HA レジスタに有効な CRC コードが得られます。

### 35.2.5 スヌープアドレスレジスタ (CRCSAR)

アドレス **CRC.CRCSAR 4007 400Ch**



ビット	シンボル	ビット名	機能	R/W
b13-b0	<b>CRCSA[13:0]</b>	レジスタスヌープアドレス	SCIモジュールのTDRまたはRDRアドレスをスヌープにします。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### **CRCSA[13:0] ビット (レジスタスヌープアドレス)**

これらのビットには、CRC スヌープ動作でモニタされるレジスタアドレスの下位 14 ビットを設定します。

CRCSA[13:0] ビットで使用できるのは、以下のアドレスのみです。

- 4007 0003h : SCI0.TDR、4007 0005h : SCI0.RDR
- 4007 0023h : SCI1.TDR、4007 0025h : SCI1.RDR
- 4007 0043h : SCI2.TDR、4007 0045h : SCI2.RDR
- 4007 0063h : SCI3.TDR、4007 0065h : SCI3.RDR
- 4007 0083h : SCI4.TDR、4007 0085h : SCI4.RDR
- 4007 0123h : SCI9.TDR、4007 0125h : SCI9.RDR
- 4007 000Fh : SCI0.FTDRL、4007 0011h : SCI0.FRDL
- 4007 002Fh : SCI1.FTDRL、4007 0031h : SCI1.FRDL
- 4007 004Fh : SCI2.FTDRL、4007 0051h : SCI2.FRDL
- 4007 006Fh : SCI3.FTDRL、4007 0071h : SCI3.FRDL
- 4007 008Fh : SCI4.FTDRL、4007 0091h : SCI4.FRDL
- 4007 012Fh : SCI9.FTDRL、4007 0131h : SCI9.FRDL

## 35.3 動作説明

### 35.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ( $X^{16} + X^{12} + X^5 + 1$ ) を使用して、入力データ (F0h) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR\_HA) の値をクリアします。

8 ビット CRC ( $X^8 + X^2 + X + 1$  の多項式) を使用している場合は、CRCDOR\_BY レジスタに有効な CRC コードが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードが得られます。

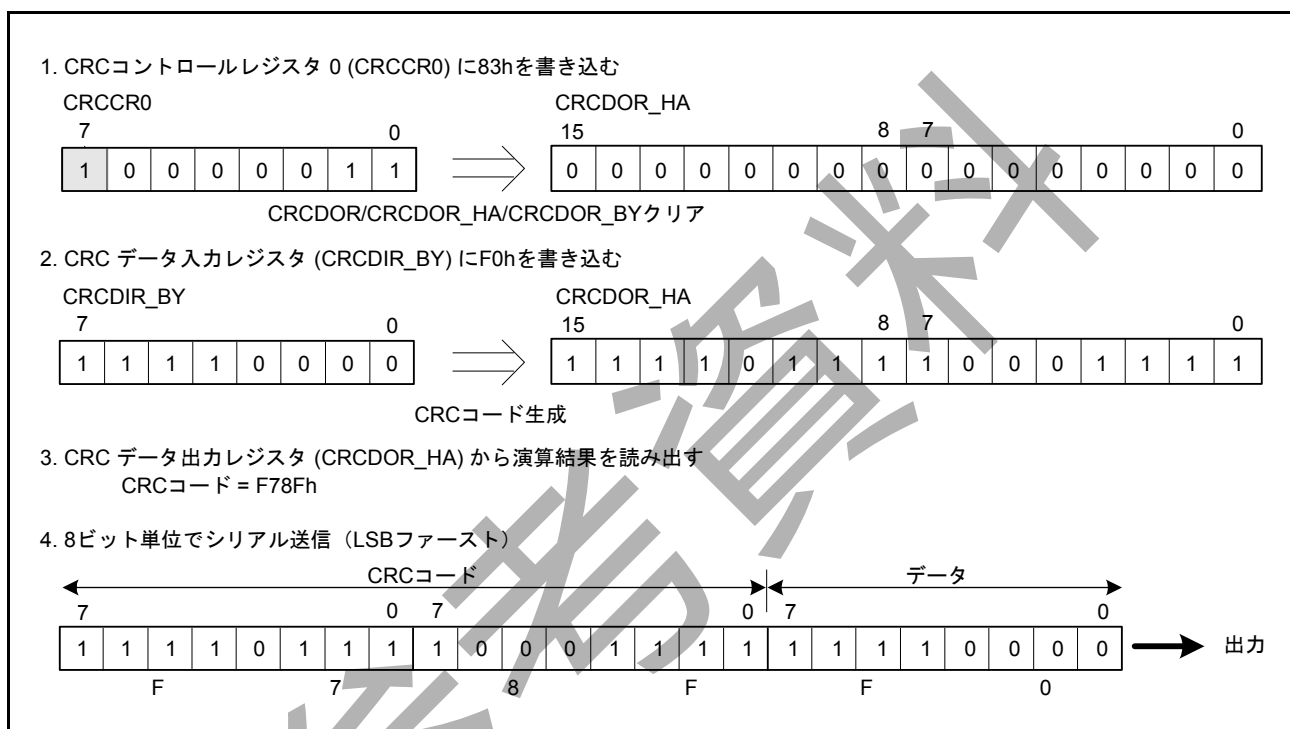


図 35.2 LSB ファーストのデータ送信

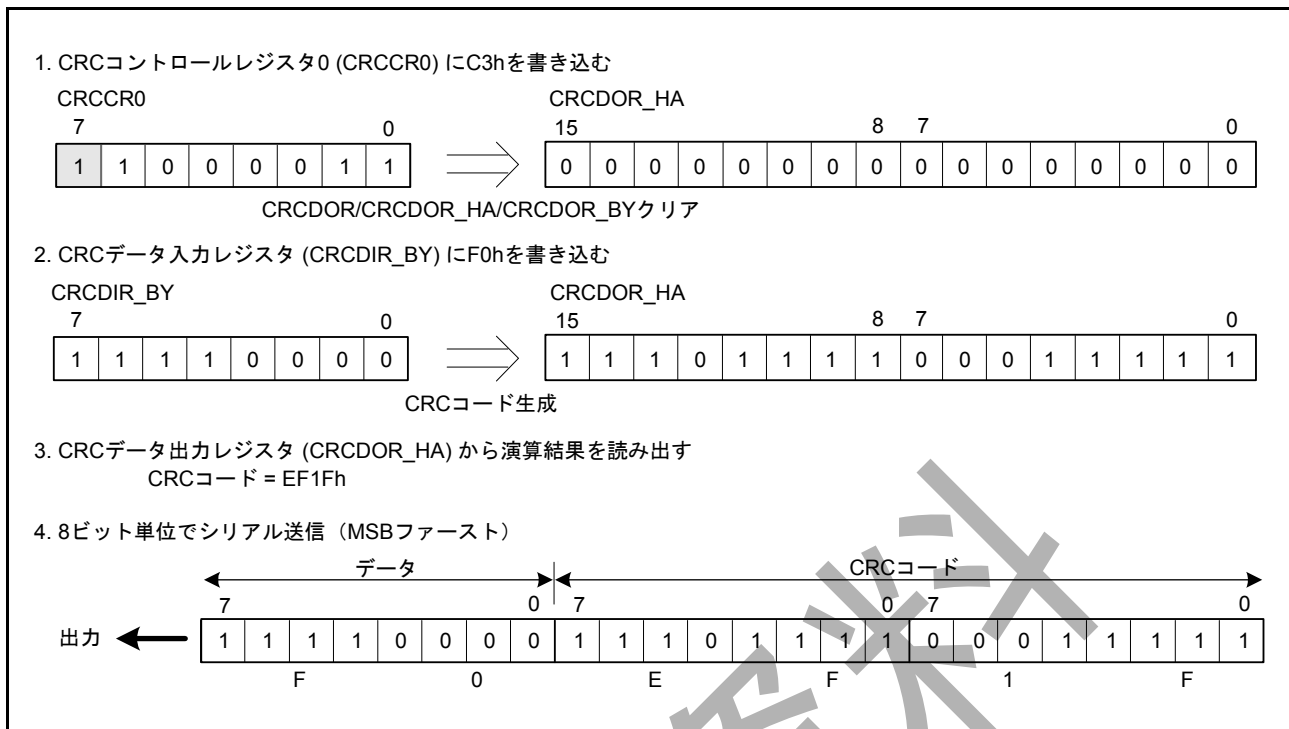


図 35.3 MSB ファーストのデータ送信

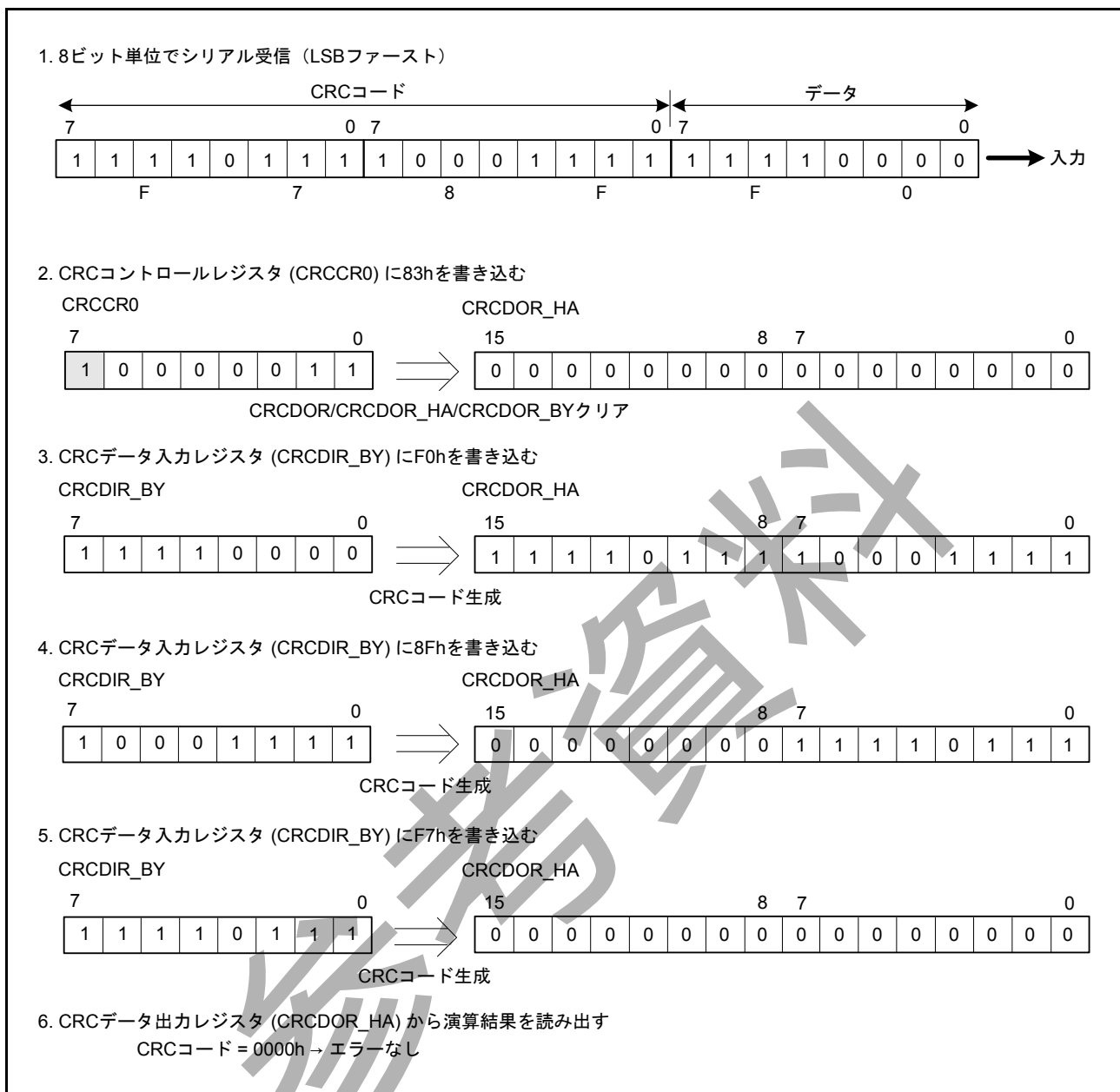


図 35.4 LSB ファーストのデータ受信

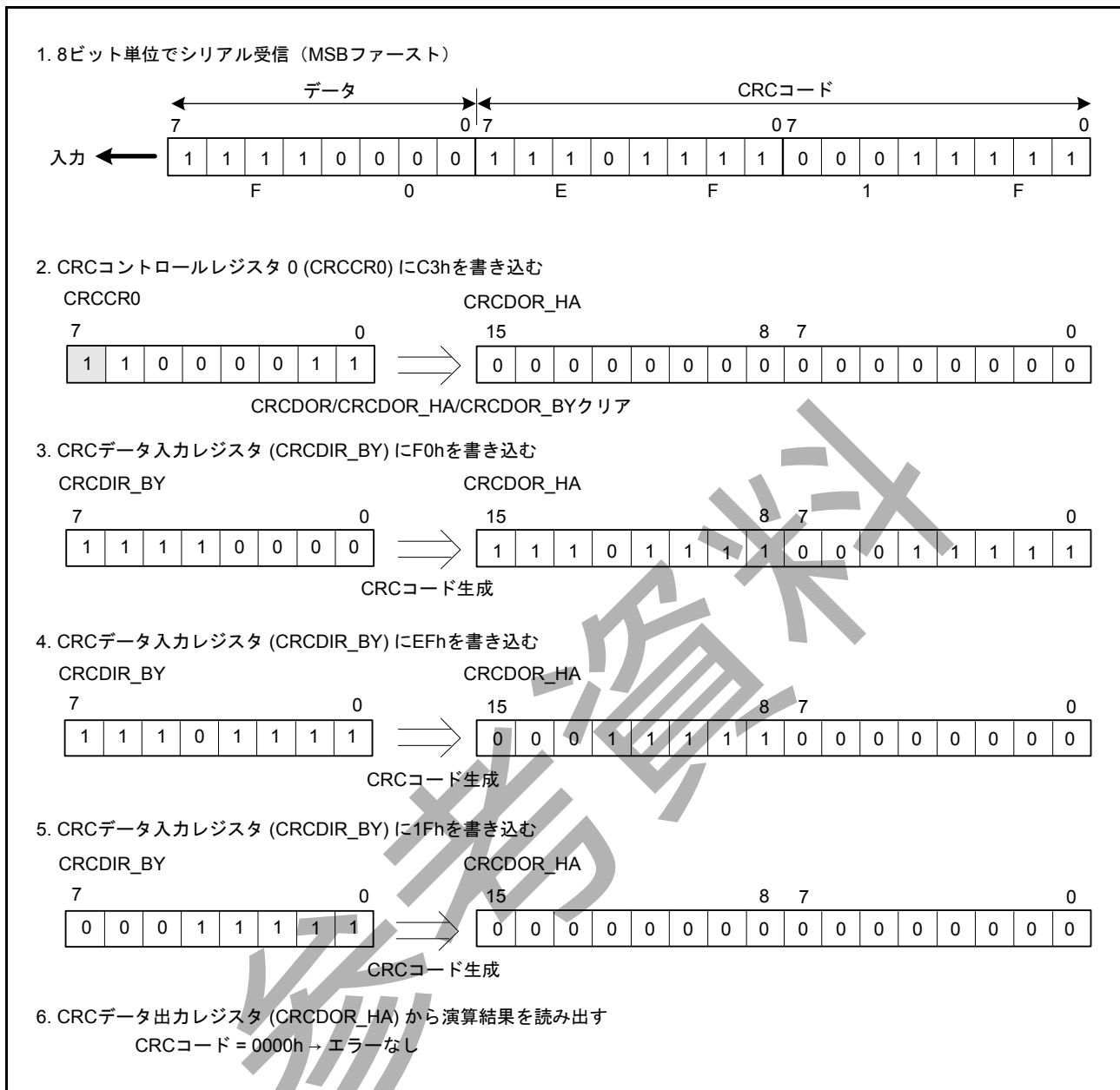


図 35.5 MSB ファーストのデータ受信



### 35.3.2 CRC スヌープ

CRC スヌープ機能では、特定のレジスタアドレスの読み出しおよび書き込みをモニタし、そのレジスタアドレスで読み出し/書き込みしたデータに自動 CRC 演算を実行します。CRC スヌープは、特定のレジスタアドレスに対する読み出しと書き込みを CRC 演算を自動的に実行するトリガとして認識するため、CRCDIR\_BY レジスタにデータを書き込む必要がありません。CRC スヌープの対象アドレスは、スヌープアドレスレジスタ (CRCSAR) で指定したすべての I/O レジスタアドレスです。CRC スヌープは、シリアル送信バッファへの書き込みと、シリアル受信バッファからの読み出しをモニタするのに役立ちます。

この機能を使用するには、対象となる I/O レジスタアドレスを CRCSAR レジスタの CRCSA13 ~ CRCSA0 ビットに書き込み、CRCCR1 レジスタの CRCSEN ビットを 1 にします。次に、CRCCR1.CRCSWR ビットを 1 にして、対象アドレスへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWR ビットを 0 にして、対象アドレスからの読み出しに対してスヌープを有効にします。

CRCSEN ビットを 1、CRCSWR ビットを 1 にして、バスマスタモジュール (CPU、DMA、DTC など) の対象となる I/O レジスタアドレスにデータを書き込むと、CRC 演算器は CRCDIR\_BY レジスタにデータを格納して CRC 演算を実行します。同様に、CRCSEN ビットを 1、CRCSWR ビットを 0 にして、バスマスタモジュール (CPU、DMA、DTC など) の対象となる I/O レジスタアドレスのデータを読み出すと、CRC 演算器は CRCDIR\_BY レジスタにデータを格納して CRC 演算を実行します。

一度に 1 バイトの CRC 演算が実行されます。対象となる I/O レジスタアドレスに対してワード (16 ビット) またはロングワード (32 ビット) でアクセスすると、データの下位バイト (1 バイト) に CRC コードが生成されます。

参考資料

## 35.4 使用上の注意事項

### 35.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作を禁止または許可することが可能です。リセット後、CRC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

### 35.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とは、CRC コードの送信順序が異なります。

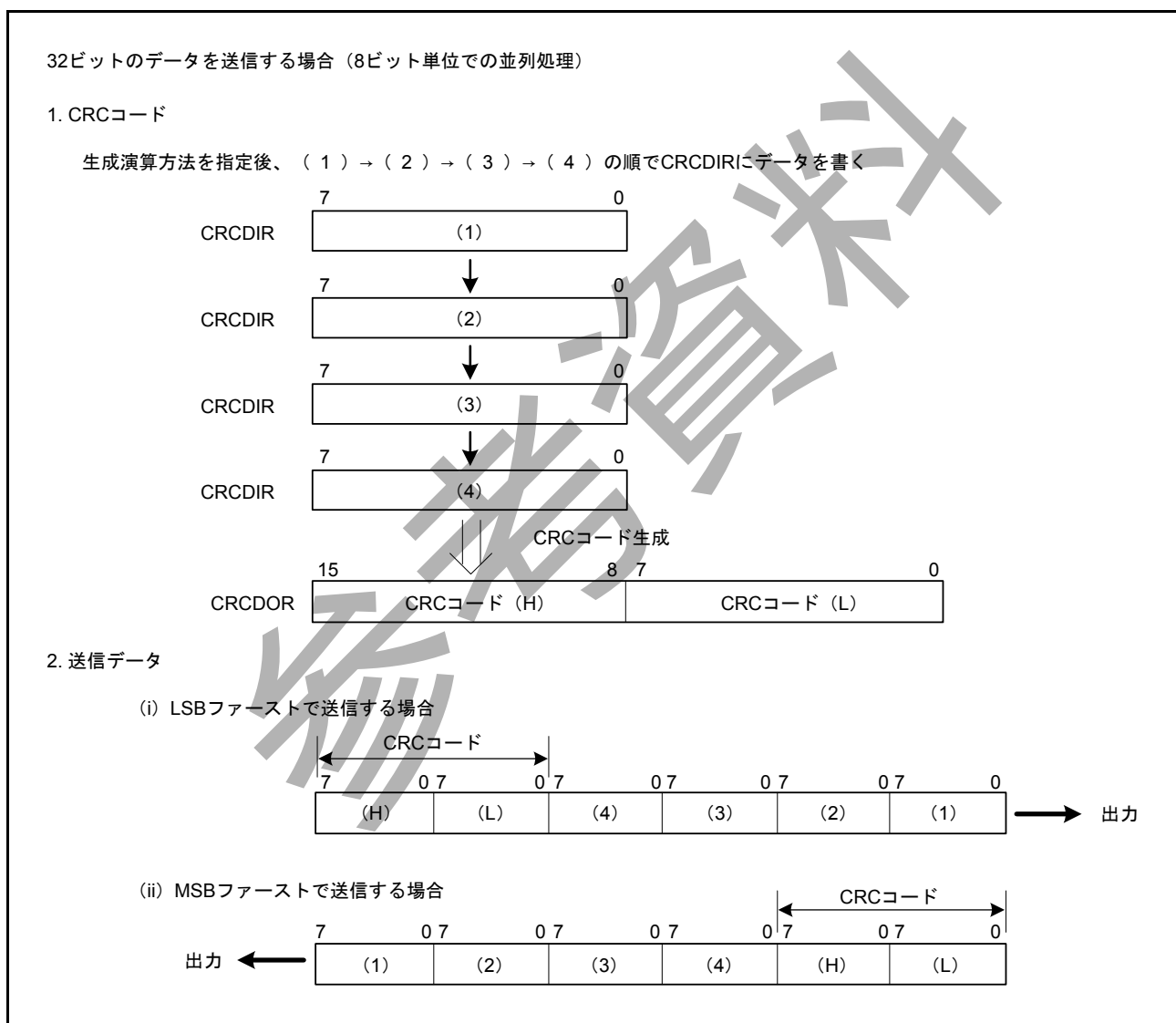


図 35.6 LSB ファーストと MSB ファーストのデータ送信

## 36. シリアルサウンドインタフェース (SSI)

シリアルサウンドインタフェース (SSI) は、PCM オーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由で MCU に接続します。SSI は最大 25MHz のオーディオクロック周波数をサポートしており、スレーブまたはマスタのレシーバ、トランスミッタ、トランシーバとして動作することができますので、多様なアプリケーションに対応が可能です。SSI はレシーバとトランスミッタに 8 段 FIFO バッファを内蔵し、割り込みおよび DMA 駆動によるデータ送受信をサポートしています。

### 36.1 概要

表 36.1 SSIの仕様

項目	内容
チャンネル数	SSIOとSSI1の2チャンネル
動作モード	非圧縮モード
転送フォーマット	<ul style="list-style-type: none"> <li>SSI フォーマット</li> <li>左詰めおよび右詰めが選択可能なMSBファーストフォーマット</li> </ul>
機能	<ul style="list-style-type: none"> <li>チャンネル0での全二重通信が可能なトランスミッタ、レシーバとして機能</li> <li>各種オーディオフォーマットをサポート</li> <li>シリアルビットクロック、SSISCK、16、32、48、64fsに設定可能 (fs: サンプルレート)</li> <li>オーディオ用マスタクロック端子 (AUDIO_CLK) からのマスタクロック入力</li> <li>トランスミッタ、レシーバに8段FIFOバッファ内蔵</li> <li>データ転送停止時にワードセレクト (SSIWS) を停止するかしないかを選択可能</li> </ul>
割り込み要因	3種類 <ul style="list-style-type: none"> <li>送信アンダーフロー、送信オーバーフロー、受信アンダーフロー、受信オーバーフロー、アイドルによる通信エラー</li> <li>受信データフル</li> <li>送信データエンプティ</li> </ul>
モジュールストップ機能	モジュールストップ状態への設定が可能

図 36.1 に SSI0 のブロック図を、図 36.2 に SSI1 のブロック図を示します。

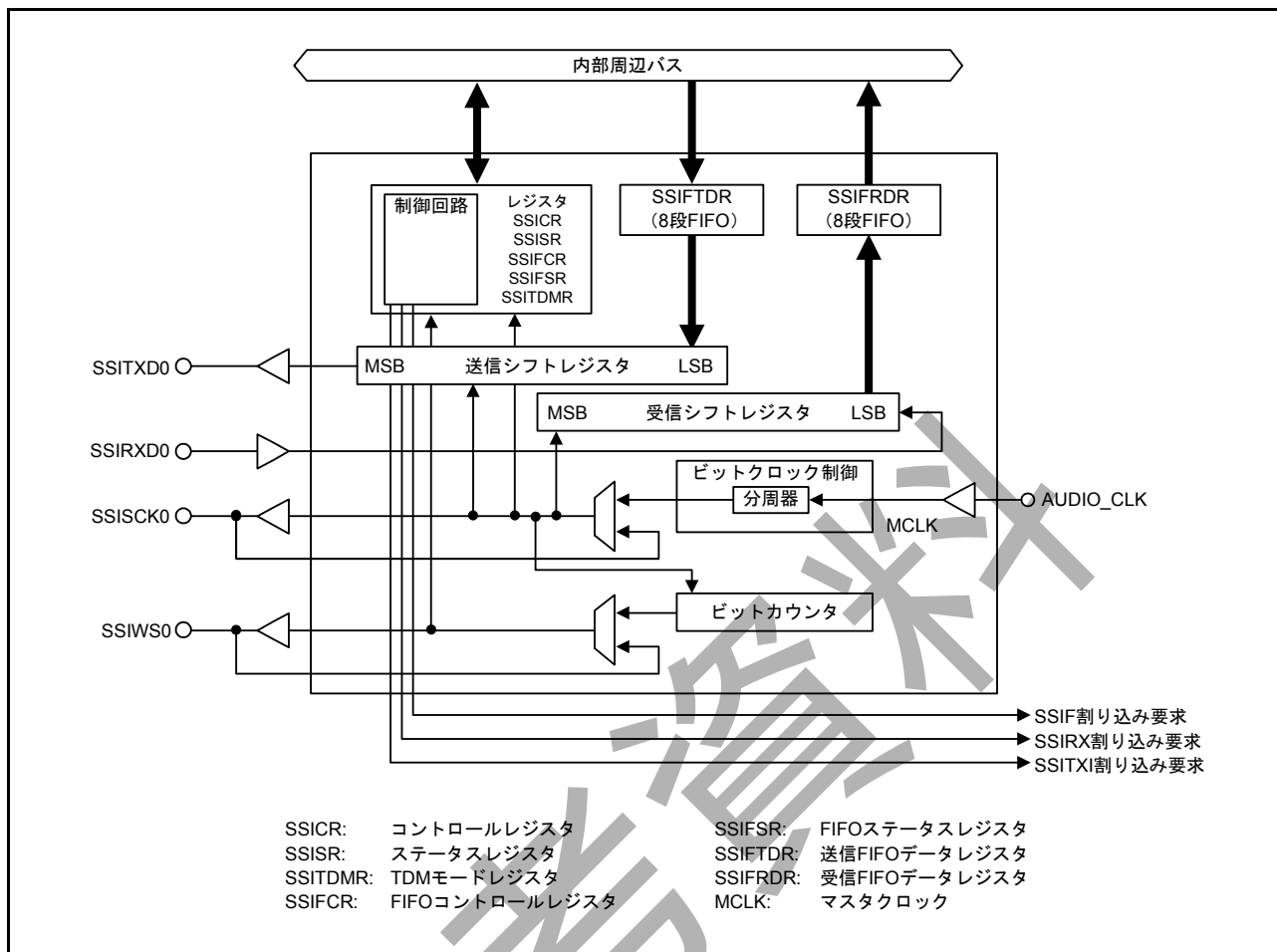


図 36.1 SSI0 のブロック図

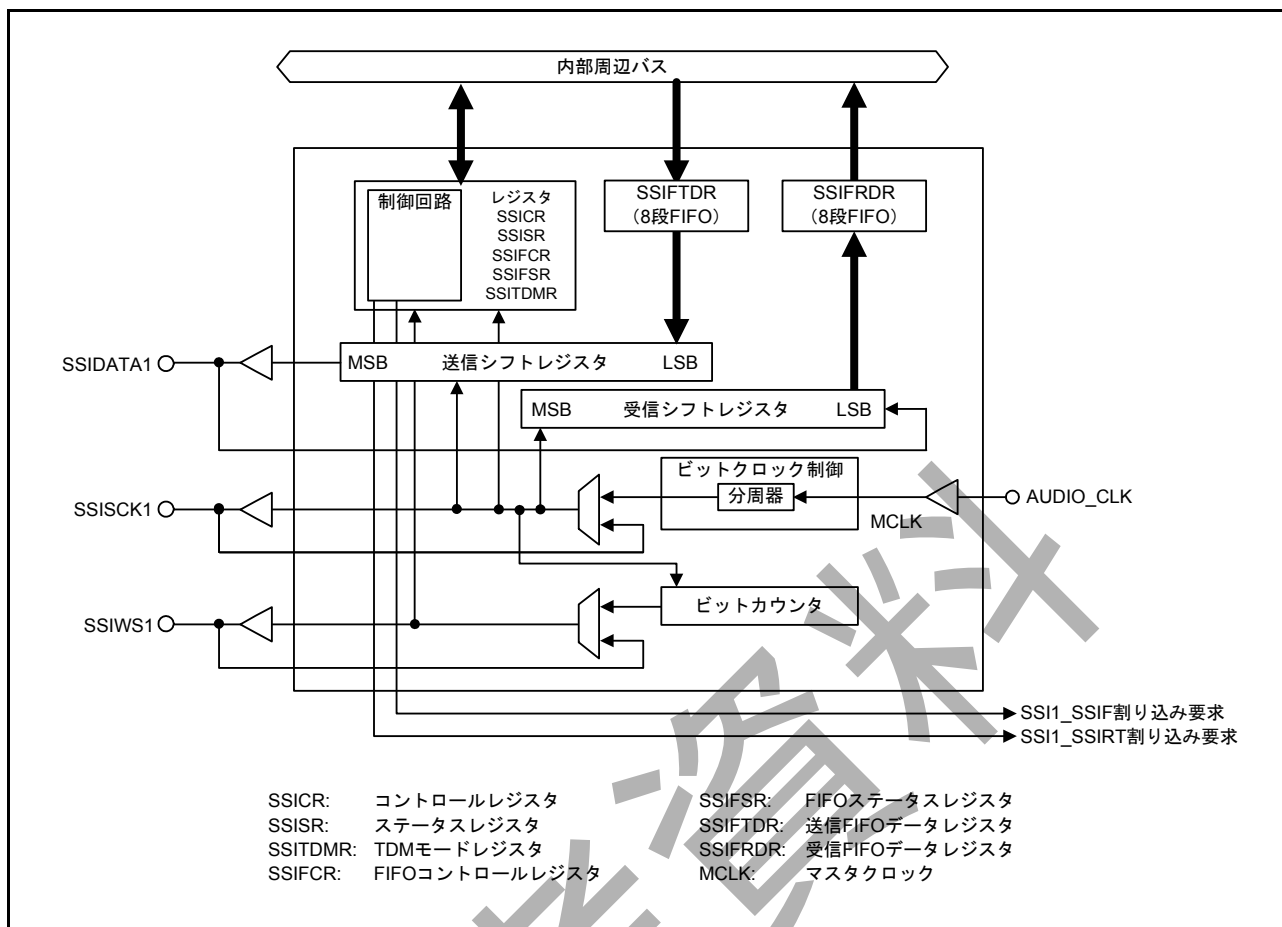


図 36.2 SSI1 のブロック図

表 36.2 に SSI の入出力端子を示します。

表 36.2 SSIの入出力端子

モジュール	端子名	入出力	機能
SSI0	SSISCK0	入出力	シリアルビットクロック端子
	SSIWS0	入出力	ワードセレクト端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
SSI1	SSISCK1	入出力	シリアルビットクロック端子
	SSIWS1	入出力	ワードセレクト端子
	SSIDATA1	入出力	シリアルデータ入出力端子
SSI0、SSI1	AUDIO_CLK	入力	オーディオ用マスタクロック端子 (マスタクロックを入力)

## 36.2 レジスタの説明

## 36.2.1 コントロールレジスタ (SSICR)

アドレス SSI0.SSICR 4004 E000h, SSI1.SSICR 4004 E100h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IEN	—	CHNL[1:0]	DWL[2:0]			SWL[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]			MUEN	—	TEN	REN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	REN	受信許可	0: 受信禁止 1: 受信許可	R/W
b1	TEN	送信許可	0: 送信禁止 1: 送信許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MUEN	ミュート許可(注1)	0: ミュートしない 1: ミュートする	R/W
b7-b4	CKDV[3:0]	シリアルビットクロック周波数設定(注3)	b7 b4 0 0 0 0: MCLK 0 0 0 1: MCLK/2 0 0 1 0: MCLK/4 0 0 1 1: MCLK/8 0 1 0 0: MCLK/16 0 1 0 1: MCLK/32 0 1 1 0: MCLK/64 0 1 1 1: MCLK/128 1 0 0 0: MCLK/6 1 0 0 1: MCLK/12 1 0 1 0: MCLK/24 1 0 1 1: MCLK/48 1 1 0 0: MCLK/96 上記以外は設定しないでください。	R/W
b8	DEL	シリアルデータディレイ(注3)	0: SSIフォーマット互換: SSIWSとSSIDATA間で1クロックサイクルの遅延 1: MSBファーストの左詰め/右詰めフォーマット互換: SSIWSとSSIDATA間に遅延なし	R/W
b9	PDTA	パラレルデータアロケーション(注3)	データワード長が8または16ビットのとき 0: パラレルデータ (SSIFTDR、SSIFRDR) の下位側を転送してから上位側を転送 1: パラレルデータ (SSIFTDR、SSIFRDR) の上位側を転送してから下位側を転送  データワード長が18、20、22、または24ビットのとき 0: パラレルデータ (SSIFTDR、SSIFRDR) を左詰め 1: パラレルデータ (SSIFTDR、SSIFRDR) を右詰め	R/W
b10	SDTA	シリアルデータアライメント(注3)	0: シリアルデータ、パディングビットの順に送受信 1: パディングビット、シリアルデータの順に送受信	R/W
b11	SPDP	シリアルパディング極性(注3)	0: パディングデータは0 1: パディングデータは1	R/W
b12	SWSP	ワードセレクト極性	0: SSIWSは第1システムワードでLow、第2システムワードでHigh 1: SSIWSは第1システムワードでHigh、第2システムワードでLow	R/W

ビット	シンボル	ビット名	機能	R/W															
b13	SCKP	シリアルビットクロック極性 (注3)	0 : SSIWS と SSIDATA は SSISCK の立ち下がりエッジで変化 (SCK 立ち上がりエッジでサンプリング) 1 : SSIWS と SSIDATA は SSISCK の立ち上がりエッジで変化 (SCK 立ち下がりエッジでサンプリング) <table border="1" data-bbox="746 409 1343 763"> <thead> <tr> <th></th> <th>SCKP ビット = 0</th> <th>SCKP ビット = 1</th> </tr> </thead> <tbody> <tr> <td>受信時 SSIDATA 入力サンプリングタイミング</td> <td>SSISCK 立ち上がりエッジ</td> <td>SSISCK 立ち下がりエッジ</td> </tr> <tr> <td>送信時 SSIDATA 出力変化タイミング</td> <td>SSISCK 立ち下がりエッジ</td> <td>SSISCK 立ち上がりエッジ</td> </tr> <tr> <td>スレープモード時 (SWSD ビット = 0) SSIWS 入力サンプリングタイミング</td> <td>SSISCK 立ち上がりエッジ</td> <td>SSISCK 立ち下がりエッジ</td> </tr> <tr> <td>マスタモード時 (SWSD ビット = 1) SSIWS 出力変化タイミング</td> <td>SSISCK 立ち下がりエッジ</td> <td>SSISCK 立ち上がりエッジ</td> </tr> </tbody> </table>		SCKP ビット = 0	SCKP ビット = 1	受信時 SSIDATA 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	送信時 SSIDATA 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ	スレープモード時 (SWSD ビット = 0) SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	マスタモード時 (SWSD ビット = 1) SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ	R/W
	SCKP ビット = 0	SCKP ビット = 1																	
受信時 SSIDATA 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
送信時 SSIDATA 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
スレープモード時 (SWSD ビット = 0) SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
マスタモード時 (SWSD ビット = 1) SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
b14	SWSD	ワードセレクト方向 (注2) (注3)	0 : SSIWS 端子は入力 (スレープモード) 1 : SSIWS 端子は出力 (マスタモード)	R/W															
b15	SCKD	シリアルビットクロック方向 (注2) (注3)	0 : SSISCK 端子は入力 (スレープモード) 1 : SSISCK 端子は出力 (マスタモード)	R/W															
b18-b16	SWL[2:0]	システムワード長 (注3)	システムワード長を、シリアルビットクロック周波数/2fs にします。 b18 b16 0 0 0: 8ビット (シリアルビットクロック周波数 = 16fs) 0 0 1: 6ビット (シリアルビットクロック周波数 = 32fs) 0 1 0: 24ビット (シリアルビットクロック周波数 = 48fs) 0 1 1: 32ビット (シリアルビットクロック周波数 = 64fs) 上記以外は設定しないでください。	R/W															
b21-b19	DWL[2:0]	データワード長 (注3)	b21 b19 0 0 0: 8ビット 0 0 1: 16ビット 0 1 0: 18ビット 0 1 1: 20ビット 1 0 0: 22ビット 1 0 1: 24ビット 上記以外は設定しないでください。	R/W															
b23-b22	CHNL[1:0]	チャンネル (注3)	b23 b22 0 0: 1チャンネル 上記以外は設定しないでください。	R/W															
b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W															
b25	I IEN	アイドル割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W															
b26	ROIEN	受信FIFOオーバーフロー割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W															
b27	RUIEN	受信FIFOアンダーフロー割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W															
b28	TOIEN	送信FIFOオーバーフロー割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W															
b29	TUIEN	送信FIFOアンダーフロー割り込み許可	0 : 割り込み禁止 1 : 割り込み許可	R/W															
b30	CKS	オーディオクロック選択 (注3)	0 : AUDIO_CLK 入力 1 : 設定禁止	R/W															
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W															

注 1. SSI モジュールがミュート中は、シリアルデータ値に関係なく 0 を送信しますが、モジュール内部のデータ転送は停止しません。送信 FIFO のデータ数は減少していきますので、送信アンダーフローを発生させないためには、SSIFTDR レジスタにダミーデータを書き込んでください。また、MUEN ビットを 1 にすると、SSIWS に同期せず SSITXD0、SSIDATA1 端子をただちに 0 にします。

注 2. SWSD ビットと SCKD ビットは同じ値にしてください。それ以外は設定しないでください。

注3. アイドル状態以外での書き換えは禁止です。

### REN ビット (受信許可)

受信動作を許可または禁止します。このビットを1にすると、受信動作を開始します。

### TEN ビット (送信許可)

送信動作を許可または禁止します。このビットを1にすると、送信動作を開始します。

SSI0 の SSITXD0 端子は、TEN ビットの設定にかかわらず、入出力ポート機能が選択されると常に出力になります。SSI1 の SSIDATA1 端子は、入出力ポート機能で SSIDATA1 を選択した場合、TEN ビットが1のときは出力、TEN ビットが0のときは入力になります。

表 36.3 SSITXD0、SSIRXD0、SSIDATA1の端子状態

レジスタ設定			SSI0		SSI1
SSICR設定	TEN	REN	SSITXD0	SSIRXD0	SSIDATA1
SSI選択	0	0	出力	入力	入力
	0	1	出力	入力	入力
	1	0	出力	入力	出力
	1	1	出力	入力	—
SSI非選択	x	x	入出力ポート	入出力ポート	入出力ポート

x : Don't care

— : 設定禁止

入出力ポート : 入出力ポートおよびマルチファンクションピンコントローラの設定によります。

### CKDV[3:0] ビット (シリアルビットクロック周波数設定)

マスタモード時のシリアルビットクロックの周波数を選択します。スレーブモードでは SSISCK 端子からの入力クロックを使用するため、これらのビット設定は無視されます。シリアルビットクロックはシフトレジスタの動作クロックです。

$f_s$  (サンプリングレート) = SSIWS 周波数 = 96kHz、システムワード長 = 32 ビットの場合の計算例 :

ビットクロック周波数 = 96kHz × 32 ビット × 2 = 6.144MHz

この計算例では、MCLK = 12.288MHz のとき CKDV[3:0] = 0001b (MCLK/2) を設定します。



### PDTA ビット (パラレルデータアロケーション)

PDTA 設定は、受信モード時の SSIFRDR レジスタと送信モード時の SSIFTDR レジスタで、どのようにデータを格納するかを指定します。受信時、SSI はシリアルバスから受信したデータを PDTA ビットの設定に従って、SSIFRDR へ格納します。送信時、SSI は SSIFTDR に格納したデータを送信シフトレジスタにシフトし、PDTA ビットの設定に従ってシリアルバスへ送信します。

PDTA ビット = 0 のとき

DWL[2:0] Bits	SSIFTDR[31:0]/SSIFRDR[31:0] Registers															
000b	<table border="1"> <tr> <td>31</td> <td>24 23</td> <td>16 15</td> <td>8 7</td> <td>0</td> </tr> <tr> <td colspan="2">4th word</td> <td colspan="2">3rd word</td> <td colspan="1">2nd word</td> </tr> <tr> <td colspan="2"></td> <td colspan="2"></td> <td colspan="1">1st word</td> </tr> </table>	31	24 23	16 15	8 7	0	4th word		3rd word		2nd word					1st word
31	24 23	16 15	8 7	0												
4th word		3rd word		2nd word												
				1st word												
001b	<table border="1"> <tr> <td>31</td> <td>16 15</td> <td>0</td> </tr> <tr> <td colspan="2">2nd word</td> <td>1st word</td> </tr> </table>	31	16 15	0	2nd word		1st word									
31	16 15	0														
2nd word		1st word														
010b	<table border="1"> <tr> <td>31</td> <td>14 13</td> <td>0</td> </tr> <tr> <td colspan="2">Valid</td> <td>Invalid</td> </tr> </table>	31	14 13	0	Valid		Invalid									
31	14 13	0														
Valid		Invalid														
011b	<table border="1"> <tr> <td>31</td> <td>12 11</td> <td>0</td> </tr> <tr> <td colspan="2">Valid</td> <td>Invalid</td> </tr> </table>	31	12 11	0	Valid		Invalid									
31	12 11	0														
Valid		Invalid														
100b	<table border="1"> <tr> <td>31</td> <td>10 9</td> <td>0</td> </tr> <tr> <td colspan="2">Valid</td> <td>Invalid</td> </tr> </table>	31	10 9	0	Valid		Invalid									
31	10 9	0														
Valid		Invalid														
101b	<table border="1"> <tr> <td>31</td> <td>8 7</td> <td>0</td> </tr> <tr> <td colspan="2">Valid</td> <td>Invalid</td> </tr> </table>	31	8 7	0	Valid		Invalid									
31	8 7	0														
Valid		Invalid														

PDTA ビット = 1 のとき

DWL[2:0] Bits	SSIFTDR[31:0]/SSIFRDR[31:0] Registers										
000b	<table border="1"> <tr> <td>31</td> <td>24 23</td> <td>16 15</td> <td>8 7</td> <td>0</td> </tr> <tr> <td colspan="1">1st word</td> <td colspan="1">2nd word</td> <td colspan="1">3rd word</td> <td colspan="1">4th word</td> <td></td> </tr> </table>	31	24 23	16 15	8 7	0	1st word	2nd word	3rd word	4th word	
31	24 23	16 15	8 7	0							
1st word	2nd word	3rd word	4th word								
001b	<table border="1"> <tr> <td>31</td> <td>16 15</td> <td>0</td> </tr> <tr> <td colspan="2">1st word</td> <td>2nd word</td> </tr> </table>	31	16 15	0	1st word		2nd word				
31	16 15	0									
1st word		2nd word									
010b	<table border="1"> <tr> <td>31</td> <td>18 17</td> <td>0</td> </tr> <tr> <td colspan="2">Invalid</td> <td>Valid</td> </tr> </table>	31	18 17	0	Invalid		Valid				
31	18 17	0									
Invalid		Valid									
011b	<table border="1"> <tr> <td>31</td> <td>20 19</td> <td>0</td> </tr> <tr> <td colspan="2">Invalid</td> <td>Valid</td> </tr> </table>	31	20 19	0	Invalid		Valid				
31	20 19	0									
Invalid		Valid									
100b	<table border="1"> <tr> <td>31</td> <td>22 21</td> <td>0</td> </tr> <tr> <td colspan="2">Invalid</td> <td>Valid</td> </tr> </table>	31	22 21	0	Invalid		Valid				
31	22 21	0									
Invalid		Valid									
101b	<table border="1"> <tr> <td>31</td> <td>24 23</td> <td>0</td> </tr> <tr> <td colspan="2">Invalid</td> <td>Valid</td> </tr> </table>	31	24 23	0	Invalid		Valid				
31	24 23	0									
Invalid		Valid									

### CHNL[1:0] ビット (チャンネル)

システムワードごとにデコードされるチャンネル数を選択するビットです。SSI では、これらのビットを 00b にしてください。

## 36.2.2 ステータスレジスタ (SSISR)

アドレス SSIO.SSISR 4004 E004h, SSI1.SSISR 4004 E104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	0	0	0	0	1	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	TCHNO[1:0]	TSWNO	RCHNO[1:0]	RSWNO	IDST		
リセット後の値	x	x	x	x	x	x	x	x	x	0	0	1	0	0	1	1

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IDST	アイドルステータスフラグ	0: SSI通信は動作中 1: SSI通信はアイドル中	R
b1	RSWNO	受信システムワード番号	受信ワード番号	R
b3-b2	RCHNO[1:0]	受信チャンネル番号	読むと0が読めます。	R
b4	TSWNO	送信システムワード番号	送信ワード番号	R
b6-b5	TCHNO[1:0]	送信チャンネル番号	読むと0が読めます。	R
b24-b7	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	R/W
b25	IIRQ	アイドル割り込みステータスフラグ	0: アイドル状態ではない 1: アイドル状態	R
b26	ROIRQ	受信オーバーフロー割り込みステータスフラグ	0: 受信オーバーフローは発生していない 1: 受信オーバーフロー発生	R/(W) (注1)
b27	RUIRQ	受信アンダーフロー割り込みステータスフラグ	0: 受信アンダーフローは発生していない 1: 受信アンダーフロー発生	R/(W) (注1)
b28	TOIRQ	送信オーバーフロー割り込みステータスフラグ	0: 送信オーバーフローは発生していない 1: 送信オーバーフロー発生	R/(W) (注1)
b29	TUIRQ	送信アンダーフロー割り込みステータスフラグ	0: 送信アンダーフローは発生していない 1: 送信アンダーフロー発生	R/(W) (注1)
b31-b30	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	R/W

注1. 1の状態を読み出した後、0を書き込むことで0になります。

## IDST フラグ (アイドルステータスフラグ)

IDST フラグは、通信停止時に SSI がアイドル状態にあることを示します。このフラグは、SSICR.TEN ビットまたは SSICR.REN ビットを 1 に設定後、通信が開始したとき、0 になります。また、SSICR.TEN ビットと SSICR.REN ビットがともに 0 になり、かつシステムワードの通信が終了すると、1 になります。

通信が終了する前に外部デバイスがシリアルビットクロック入力を停止した場合、このフラグは 1 になりません。

## RSWNO ビット (受信システムワード番号)

このビットの初期値は 1 で、受信シフトレジスタから SSIFRDR レジスタにデータが転送されると値が反転します。REN ビットが 0 から 1 に変化したときに、このビットは 1 に初期化されます。SSICR.DWL[2:0] ビットで指定するデータワード長が 18 ビット以上の場合、受信シフトレジスタから SSIFRDR レジスタに転送されたデータがどのシステムワードであるかを示します。

### TSWNO ビット (送信システムワード番号)

現在のワード番号を示します。このビットは初期値が1で、SSIFTDR レジスタから送信シフトレジスタにデータが転送されると値が反転します。TEN ビットが0から1に変化したときに、このビットは1に初期化されます。SSICR.DWL[2:0] ビットで指定するデータワード長が18ビット以上の場合、このビットはSSIFTDR レジスタから送信シフトレジスタに転送されたデータのシステムワードを示します。

### IIRQ フラグ (アイドル割り込みステータスフラグ)

SSI モジュールがアイドル状態であるかどうかを示します。ポーリングを許可するには、SICR.IIEN の設定にかかわらず、このフラグを設定してください。対象の割り込みは、SSICR.IIEN ビットを0にすることでマスクできますが、このフラグに0を書き込んでもクリアできません。IIRQ フラグ=1かつSSICR.IIEN ビット=1のとき、割り込みが発生します。

### ROIQR フラグ (受信オーバーフロー割り込みステータスフラグ)

要求レートより高いレートで受信データが供給されたことを示します。受信オーバーフローが発生した場合は、受信を停止した後、初めから動作をやり直してください。このフラグは、SSICR.ROIEN の設定にかかわらず、1にします。0にするには、1の状態を読み出した後、0を書き込んでください。

ROIQR = 1 かつ SSICR.ROIEN ビット = 1 のとき、割り込みが発生します。

ROIQR = 1 のとき、受信 FIFO がフル (SSIFSR.RDC[3:0] フラグ = 8h) の状態で、送信シフトレジスタから SSIFRDR レジスタへデータが転送されたことを示しています。この結果、データが失われる可能性があります。

注． オーバーフローが発生すると、SSI データバッファにある現在のデータは、SSI インタフェースから送られてくる次のデータで上書きされます。

### RUIQR フラグ (受信アンダーフロー割り込みステータスフラグ)

要求レートより低いレートで受信データが供給されたことを示します。受信アンダーフローが発生した場合は、受信を停止した後、初めから動作をやり直してください。このフラグは、SSICR.RUIEN の設定にかかわらず、1にします。0にするには、1の状態を読み出した後、0を書き込んでください。

RUIQR フラグ = 1 かつ SSICR.RUIEN ビット = 1 のとき、割り込みが発生します。

RUIQR フラグ = 1 のとき、受信 FIFO が空 (SSIFSR.RDC[3:0] フラグ = 0h) の状態で SSIFRDR レジスタが読み出されたことを示しています。このとき、無効な受信データが格納される可能性があります。

### TOIRQ フラグ (送信オーバーフロー割り込みステータスフラグ)

要求レートより高いレートで送信データが供給されたことを示します。送信オーバーフローが発生した場合は、送信を停止した後、初めから動作をやり直してください。

このフラグは、SSICR.TOIEN の設定にかかわらず、1にします。0にするには、1の状態を読み出した後、0を書き込んでください。

TOIRQ フラグが1かつSSICR.TOIEN ビットが1のとき、割り込みが発生します。

TOIRQ フラグが1のとき、送信 FIFO がフル (SSIFSR.TDC[3:0] フラグ = 8h) の状態で SSIFTDR レジスタへの書き込みが発生したことを示しています。この結果、データが失われる可能性があります。

### TUIQR フラグ (送信アンダーフロー割り込みステータスフラグ)

要求レートより低いレートで送信データが供給されたことを示します。送信アンダーフローが発生した場合は、送信を停止した後、初めから動作をやり直してください。

このフラグは、SSICR.TUIEN の設定にかかわらず、1にします。0にするには、1の状態を読み出した後、0を書き込んでください。

TUIQR フラグ = 1 かつ SSICR.TUIEN ビット = 1 のとき、割り込みが発生します。

TUIQR フラグ = 1 のとき、送信要求前に SSIFTDR レジスタに送信データが書き込まれなかったことを示しています。この結果、同じデータがもう一度送信される可能性があります。

注． 送信アンダーフローが発生すると、送信停止後、SSI モジュールがアイドル状態になるまで、SSIFTDR に最後に入力されたデータが送信されます。

## 36.2.3 FIFO コントロールレジスタ (SSIFCR)

アドレス SSI0.SSIFCR 4004 E010h, SSI1.SSIFCR 4004 E110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TTRG[1:0]	TTRG[1:0]	RTRG[1:0]	RTRG[1:0]	TIE	RIE	TFRST	RFRST	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFRST	レシーブFIFOデータレジスタリセット(注4)	0: 受信FIFOデータリセット解除 1: 受信FIFOデータリセット開始	R/W
b1	TFRST	トランスミットFIFOデータレジスタリセット(注4)	0: 送信FIFOデータリセット解除 1: 送信FIFOデータリセット開始	R/W
b2	RIE	受信FIFOデータフル割り込み許可	0: 受信FIFOデータフル割り込み要求 (SSI0_SSIRXI、SSI1_SSIRT) を禁止 1: 受信FIFOデータフル割り込み要求 (SSI0_SSIRXI、SSI1_SSIRT) を許可(注1)	R/W
b3	TIE	送信FIFOデータエンpty割り込み許可	0: 送信FIFOデータエンpty割り込み要求 (SSI0_SSITXI、SSI1_SSIRT) を禁止 1: 送信FIFOデータエンpty割り込み要求 (SSI0_SSITXI、SSI1_SSIRT) を許可(注2)	R/W
b5-b4	RTRG[1:0]	受信FIFOしきい値設定トリガ(注4)	b5 b4 0 0:1 0 1:2 1 0:4 1 1:6	R/W
b7-b6	TTRG[1:0]	送信FIFOしきい値設定トリガ(注4)	b7 b6 0 0:7 (1) (注3) 0 1:6 (2) (注3) 1 0:4 (4) (注3) 1 1:2 (6) (注3)	R/W
b15-b8	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	R/W
b16	SSIRST	SSIソフトウェアリセット	0: SSIソフトウェアリセット解除 1: SSIソフトウェアリセット開始	R/W
b30-b17	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	R/W
b31	AUCKE	マスタクロック許可(注4)	0: マスタクロック禁止 1: マスタクロック許可	R/W

注1. 受信データフル要求の解除は、SSIFSR.RDF フラグを0にする(詳細はSSIFSR.RDF フラグの説明参照)か、RIE ビットを0にすることで行えます。

注2. 送信データエンpty要求の解除は、SSIFSR.TDE フラグを0にする(詳細はSSIFSR.TDE フラグの説明参照)か、TIE ビットを0にすることで行えます。

注3. ( ) 内の数値はSSIFSR.TDE フラグが1になるときのSSIFTDR レジスタの空き段数を示します。

注4. アイドル状態以外での書き換えは禁止です。

SSIFCR レジスタは、SSIFTDR レジスタおよびSSIFRDR レジスタに格納されるデータ数のリセット、および送信FIFOしきい値と受信FIFOしきい値の設定を行うレジスタです。

**RFRST ビット (レシーブ FIFO データレジスタリセット)**

SSIFRDR レジスタ内のデータを無効にし、FIFO を空の状態にリセットします。

**TFRST ビット (トランスミット FIFO データレジスタリセット)**

SSIFTDR レジスタ内のデータを無効にし、FIFO を空の状態にリセットします。

**RIE ビット (受信 FIFO データフル割り込み許可)**

受信動作時に、SSIFSR.RDF フラグが 1 になったときに、受信 FIFO データフル割り込み (SSIO\_SSIRXI または SSI1\_SSIRT) 要求の発生を許可/禁止します。

**TIE ビット (送信 FIFO データエンプティ割り込み許可)**

送信動作時に、SSIFSR.TDE フラグが 1 になったときに、送信 FIFO データエンプティ割り込み (SSIO\_SSITXI または SSI1\_SSIRT) 要求の発生を許可/禁止します。

**RTRG[1:0] ビット (受信 FIFO しきい値設定トリガ)**

受信 FIFO しきい値を設定します。SSIFRDR レジスタ (受信 FIFO) に格納された受信データの数が RTRG[1:0] ビットの設定値以上になったとき、SSIFSR.RDF フラグが 1 になり、受信データの読み出しが要求されます。SSIFCR.RIE ビットが 1 であれば受信 FIFO データフル割り込み (SSIO\_SSIRXI または SSI1\_SSIRT) 要求が生成されます。

**TTRG[1:0] ビット (送信 FIFO しきい値設定トリガ)**

送信 FIFO しきい値を設定します。SSIFTDR レジスタ (送信 FIFO) に格納された送信データの数が TTRG[1:0] ビットの設定値以下になったとき、SSIFSR.TDE フラグが 1 になり、送信データの書き込みが要求されます。SSIFCR.TIE ビットが 1 であれば送信 FIFO データエンプティ割り込み (SSIO\_SSITXI または SSI1\_SSIRT) 要求が生成されます。

**SSIRST ビット (SSI ソフトウェアリセット)**

1 を書き込むと、SSI の内部状態、SSIFCR レジスタ以外のレジスタ、および SSIFCR レジスタ内の本ビットを除くビットが初期化されます。本ビットは自動で 0 にクリアされないため、1 の書き込みを確認後、0 を書いてください。本ビットに 0 を書き込むのと同時に、他のビットに 1 を書き込まないでください。また、本ビットを書き換えた後は、ビットが正しく書き換えられていることを確認してから次の動作を行ってください。

## 36.2.4 FIFO ステータスレジスタ (SSIFSR)

アドレス SSIO.SSIFSR 4004 E014h, SSI1.SSIFSR 4004 E114h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	—	—	TDC[3:0]				—	—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	RDC[3:0]				—	—	—	—	—	—	—	—	RDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	RDF	受信データフルフラグ	0: SSIFRDR レジスタの受信データ数が指定受信トリガ数より少ない 1: SSIFRDR レジスタの受信データ数が指定受信トリガ数以上である	R/(W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	RDC[3:0]	受信データ数表示フラグ	SSIFRDR レジスタに格納されたデータ数を示します。	R
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	TDE	送信データエンプティフラグ	0: SSIFTDR レジスタの送信データ数が指定送信トリガ数より多い 1: SSIFTDR レジスタの送信データ数が指定送信トリガ数以下である (注2)	R/(W) (注1)
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27-b24	TDC[3:0]	送信データ数表示フラグ	SSIFTDR レジスタに格納されたデータ数を示します。	R
b31-b28	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 1 の状態を読み出した後、0 を書き込むことで 0 になります。

注 2. SSIFTDR レジスタは 8 段 FIFO レジスタであるため、TDE フラグ = 1 のときに書き込みすることができるデータの数は、(8-TDC[3:0] 設定) になります。それを超えるデータの書き込みは無視されます。SSIFTDR レジスタのデータ数は TDC[3:0] フラグで示されます。

SSIFSR レジスタは、SSIFTDR レジスタおよび SSIFRDR レジスタの動作状態を示すフラグで構成されます。

**RDF フラグ (受信データフルフラグ)**

受信データが SSIFRDR レジスタに転送されたとき、SSIFRDR レジスタのデータ数が受信 FIFO しきい値以上になり、SSIFRDR レジスタから受信データの読み出しが可能になったことを示します。

[1 になる条件]

- SSIFRDR レジスタに格納した受信データ数が受信 FIFO しきい値以上のとき

[0 になる条件]

- RDF フラグが 1 であることを確認した後、RDF フラグに 0 を書き込んだとき
- 受信データは、DMA または DTC 転送を使用して SSIFRDR レジスタから読み出されます。DMA または DTC 転送時、RDF フラグを 0 にしないでください。

注. SSIFRDR レジスタは 32 バイトの FIFO レジスタであるため、RDF フラグが 1 のときに読み出すことができるデータの最大数は、RDC[3:0] フラグで示されます。SSIFRDR レジスタのすべてのデータを読み出した後、さらに読み出しを続けると不定値が読めます。

**RDC[3:0] フラグ (受信データ数表示フラグ)**

SSIFRDR レジスタに格納されたデータ数を示します。

RDC[3:0] フラグが 0h のときは受信データがないことを示します。RDC[3:0] フラグが 8h のときは、SSIFRDR レジスタに 32 バイトの受信データが格納されていることを示します。

**TDE フラグ (送信データエンプティフラグ)**

SSIFTDR レジスタから SSITDR レジスタにデータが転送された場合に、SSIFTDR レジスタのデータ数が送信 FIFO しきい値より少ないため SSIFTDR レジスタへの送信データの書き込みが可能であることを示します。

[1 になる条件]

- SSIFTDR レジスタに書き込んだ送信データの数が送信 FIFO しきい値以下のとき

[0 になる条件]

- TDE フラグが 1 であることを確認した後、TDE フラグに 0 を書き込んだとき
- 送信データは、DMA または DTC 転送を使用して SSIFTDR レジスタに書き込まれます。DMA または DTC 転送時、TDE フラグを 0 にしないでください。

注. SSIFTDR レジスタは 8 段 FIFO を持つ 32 ビットレジスタであるため、TDE フラグが 1 のときに書き込みすることができるデータの最大数は、8-TDC[3:0] になります。SSIFTDR レジスタにすべてのデータを書き込みした後、さらに書き込みを続けると書き込みは無効になり、オーバーフローが発生します。

**TDC[3:0] フラグ (送信データ数表示フラグ)**

SSIFTDR レジスタに格納されたデータ数を示します。

TDC[3:0] フラグが 0h のときは、送信データがないことを示します。TDC[3:0] フラグが 8h のときは、SSIFTDR レジスタに 32 バイトの送信データが格納されていることを示します。

### 36.2.5 送信 FIFO データレジスタ (SSIFTDR)

アドレス SSIO.SSIFTDR 4004 E018h, SSI1.SSIFTDR 4004 E118h

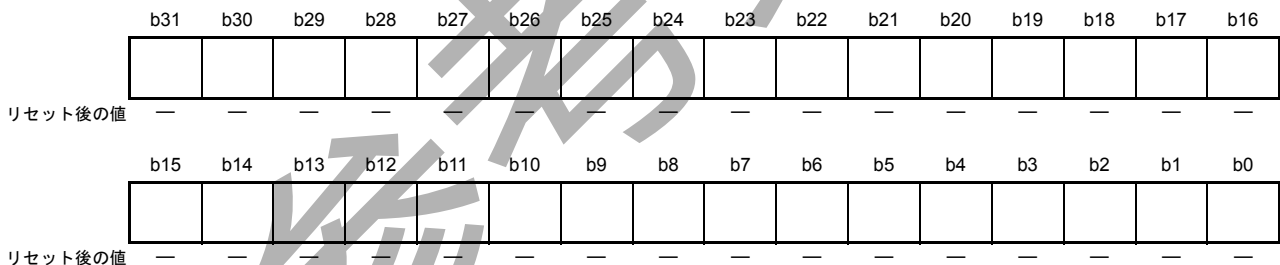


SSIFTDR レジスタは、シリアル送信するデータを格納する 32 ビット × 8 段の書き込み専用 FIFO レジスタです。SSIFTDR レジスタには、データワード長設定とは関係なく、64 ビット (2 段 FIFO) 単位で送信データを書き込んでください。32 ビット境界で送信データが終了した場合は、最後の送信データ書き込み後に、32 ビットの 0 データ (0000 0000h) を書き込み、64 ビットの書き込みが完了したら送信を停止してください。SSI は送信シフトレジスタが空であると、SSIFTDR レジスタに書き込まれた送信データを送信シフトレジスタに転送してシリアル送信を開始します。SSIFTDR レジスタの送信データが空になるまで連続シリアル送信ができます。

SSIFTDR レジスタに格納されたデータが最大値 (32 バイト) に達すると、次のデータを書き込むことができません。書き込みは無視され、オーバーフローが発生します。

### 36.2.6 受信 FIFO データレジスタ (SSIFRDR)

アドレス SSIO.SSIFRDR 4004 E01Ch, SSI1.SSIFRDR 4004 E11Ch



SSIFRDR レジスタは、シリアル受信したデータを格納する 32 ビット × 8 段の読み出し専用 FIFO レジスタです。SSI は 4 バイトのシリアルデータを受信するたびに、受信したシリアルデータを受信シフトレジスタから SSIFRDR レジスタへ、PD<sub>TA</sub> ビットの設定に従って格納します。最大 32 バイトのデータ格納が終了するまで連続した受信動作が可能です。SSIFRDR レジスタは読み出しはできますが書き込みはできません。SSIFRDR レジスタに受信データがない状態でデータを読み出すと値は不定になり、受信アンダーフローが発生します。

SSIFRDR レジスタに格納された受信データが最大値に達すると、それ以降に受信したデータは失われ、受信オーバーフローが発生します。



## 36.2.7 TDM モードレジスタ (SSITDMR)

アドレス SSIO.SSITDMR 4004 E020h, SSI1.SSITDMR 4004 E120h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CONT	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CONT	WSコンティニューモード(注1)	0 : WSコンティニューモード禁止 1 : WSコンティニューモード許可	R/W
b31-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. マスタモード (SSICR.SCKD ビット = 1 かつ SSICR.SWSD ビット = 1) の場合のみ設定可能です。

SSITDMR レジスタは、読み出し/書き込み可能な 32 ビットのレジスタで、WS コンティニューモードの設定を行います。

## 36.3 動作説明

### 36.3.1 バスフォーマット

表 36.4 が示すとおり、SSI はトランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、複数のシリアルバスフォーマットを使用できます。

表 36.4 バスフォーマット

	TEN	REN	SCKD	SWSD	MUEN	IEN	TOIEN	TUIEN	ROIEN	RUIEN	CONT	SWSP	DEL	PDTA	SDTA	SPDP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]
非圧縮スレーブレシーバ	0	1	0	0	制御ビット						コンフィグレーションビット									
非圧縮スレーブトランスミッタ	1	0	0	0																
非圧縮スレーブトランシーバ	1	1	0	0																
非圧縮マスタレシーバ	0	1	1	1																
非圧縮マスタトランスミッタ	1	0	1	1																
非圧縮マスタトランシーバ	1	1	1	1																

### 36.3.2 非圧縮モード

SSI は、非圧縮モードのみサポートします。また、MSB ファーストオーダ、左/右詰めに加え、SSI 互換フォーマットをサポートします。

#### (1) スレーブレシーバ

このモードでは、SSI は別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI のコンフィグレーションフィールドに設定されたフォーマットと一致しない場合、動作は保証されません。

#### (2) スレーブトランスミッタ

このモードでは、SSI は別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI のコンフィグレーションフィールドに設定されたフォーマットと一致しない場合、動作は保証されません。

#### (3) スレーブトランシーバ

このモードでは、SSI は別のデバイスとのシリアルデータの送受信ができます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI のコンフィグレーションフィールドに設定されたフォーマットと一致しない場合、動作は保証されません。

#### (4) マスタレシーバ

このモードでは、SSI は別のデバイスからシリアルデータを受信できます。クロックとワード選択信号はマスタクロックで内部生成されます。これらの信号のフォーマットは、SSI のコンフィグレーションフィールドで定義されます。受信するデータが設定されたフォーマットと一致しない場合、動作は保証されません。

#### (5) マスタトランスミッタ

このモードでは、SSI は別のデバイスにシリアルデータを送信できます。クロックとワード選択信号はマスタクロックで内部生成されます。これらの信号のフォーマットは、SSI のコンフィグレーションフィールドで定義されます。

#### (6) マスタトランシーバ

このモードでは、SSI は別のデバイスとのシリアルデータの送受信ができます。クロックとワード選択信号はマスタクロックで内部生成されます。これらの信号のフォーマットは、SSI のコンフィグレーションフィールドで定義されます。

### (7) ワード長の動作設定

非圧縮モードでは、SSICRレジスタのワード長に関するすべてのビットが有効です。SSIは、複数のコンフィギュレーションをサポートします。図36.3～図36.4には、SSI互換フォーマット、MSBファースト・左詰めフォーマット、MSBファースト・右詰めフォーマットの組み合わせ例を示しています。

#### SSI互換フォーマット

図36.3、図36.4に、パディングなしとパディングありのSSI互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

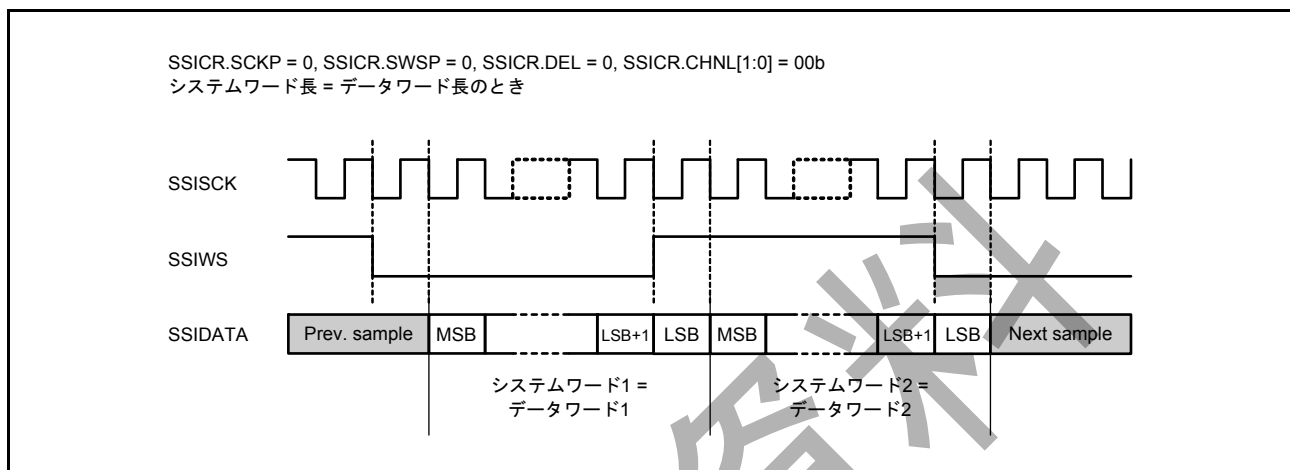


図 36.3 パディングなしの SSI 互換フォーマット

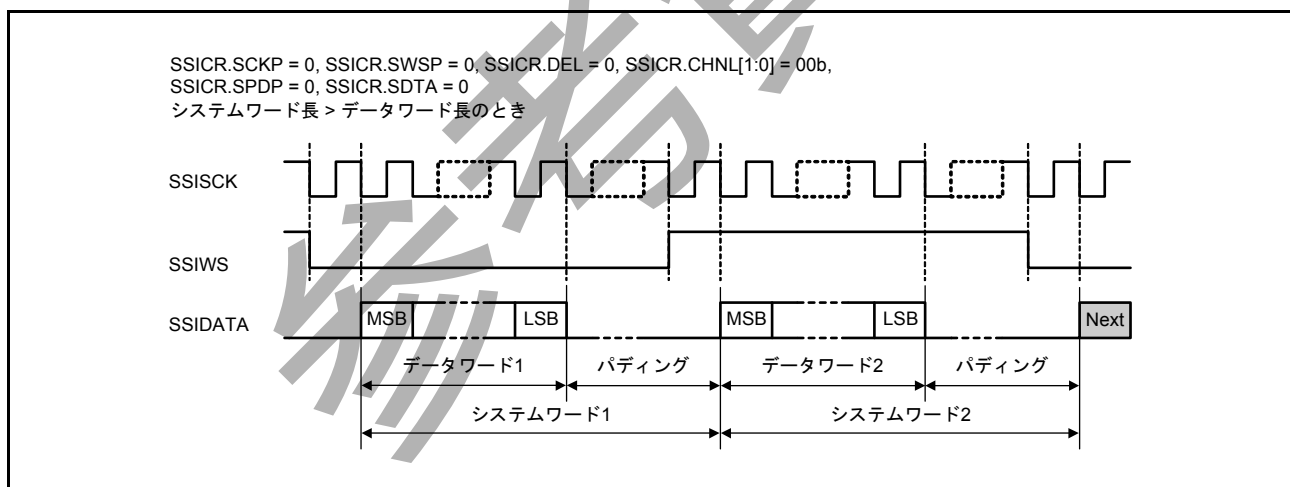


図 36.4 パディングありの SSI 互換フォーマット

図 36.5 に MSB ファースト・左詰めフォーマットを、図 36.6 に MSB ファースト・右詰めフォーマットを示します。

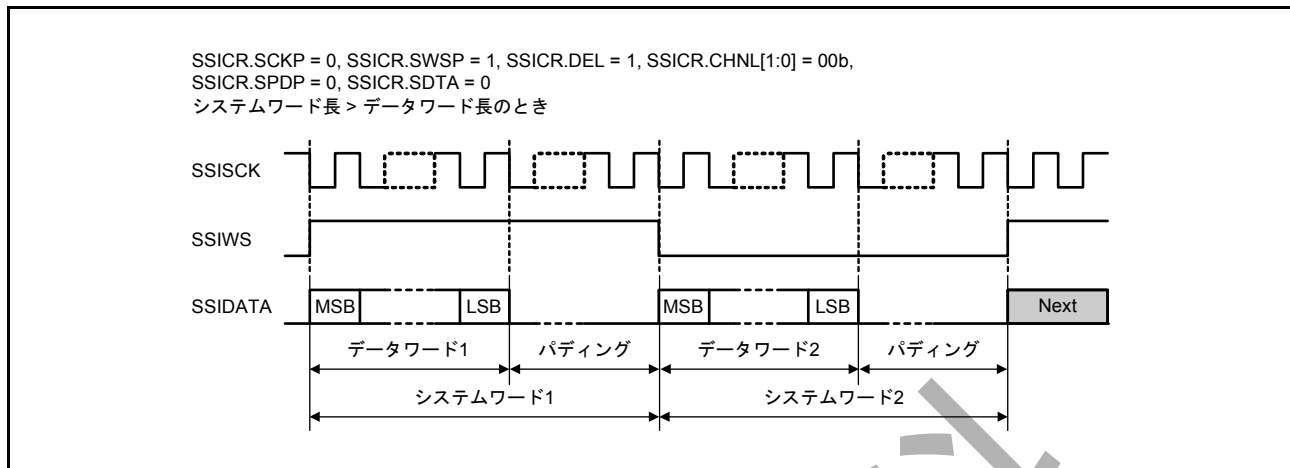


図 36.5 シリアルデータ、パディングビットの順に MSB ファースト・左詰めフォーマットで送受信

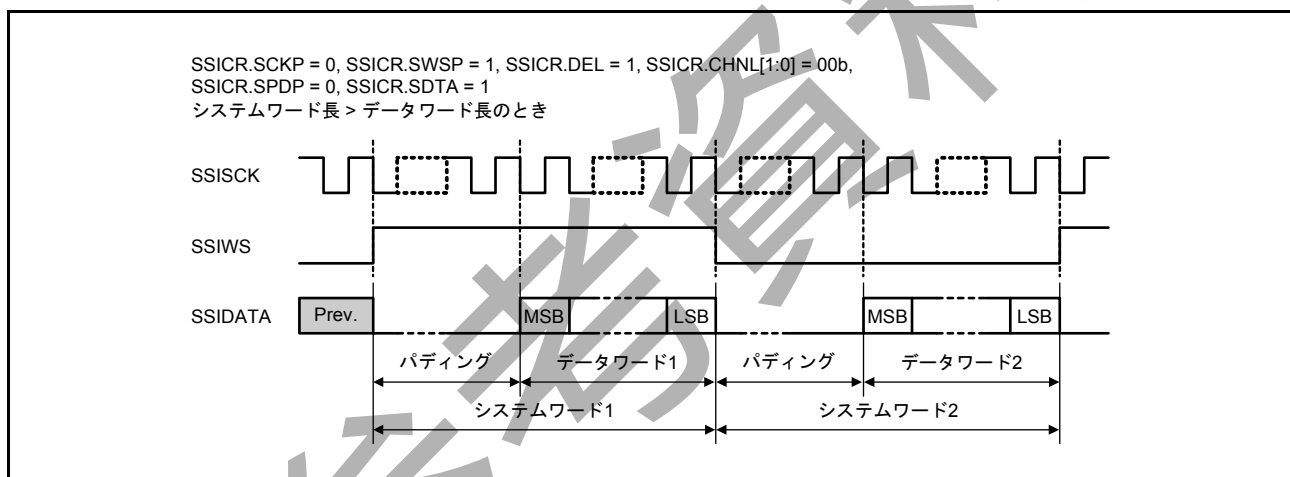


図 36.6 パディングビット、シリアルデータの順に MSB ファースト・右詰めフォーマットで送受信

表 36.5 に有効な設定とパディングビット数を示します。

表 36.5 有効な設定とパディングビット数

システムワードごとのパディングビット数			SSICR.DWL[2:0] ビット	000b	001b	010b	011b	100b	101b
SSICR.CHNL[1:0] ビット	システムワードごとにデ コードされるチャネル数	SSICR.SWL[2:0] ビット	データワード長 システム ワード長	8	16	18	20	22	24
00b	1	000b	8	0	—	—	—	—	—
		001b	16	8	0	—	—	—	—
		010b	24	16	8	6	4	2	0
		011b	32	24	16	14	12	10	8

(8) ワード長以外の動作設定

本項では、非圧縮モードの設定に使用するその他のビットについて説明します。これらのビットは相互に排他的なわけではありませんが、デバイスによっては実用的でない組み合わせもあります。図 36.7 で示す例を基本フォーマットとして、このようなコンフィグレーションビットについても本項で説明します。

図 36.7 ~ 図 36.15 では、簡略化のためにシステムワード長を 6 ビット、データワード長を 4 ビットとしています。

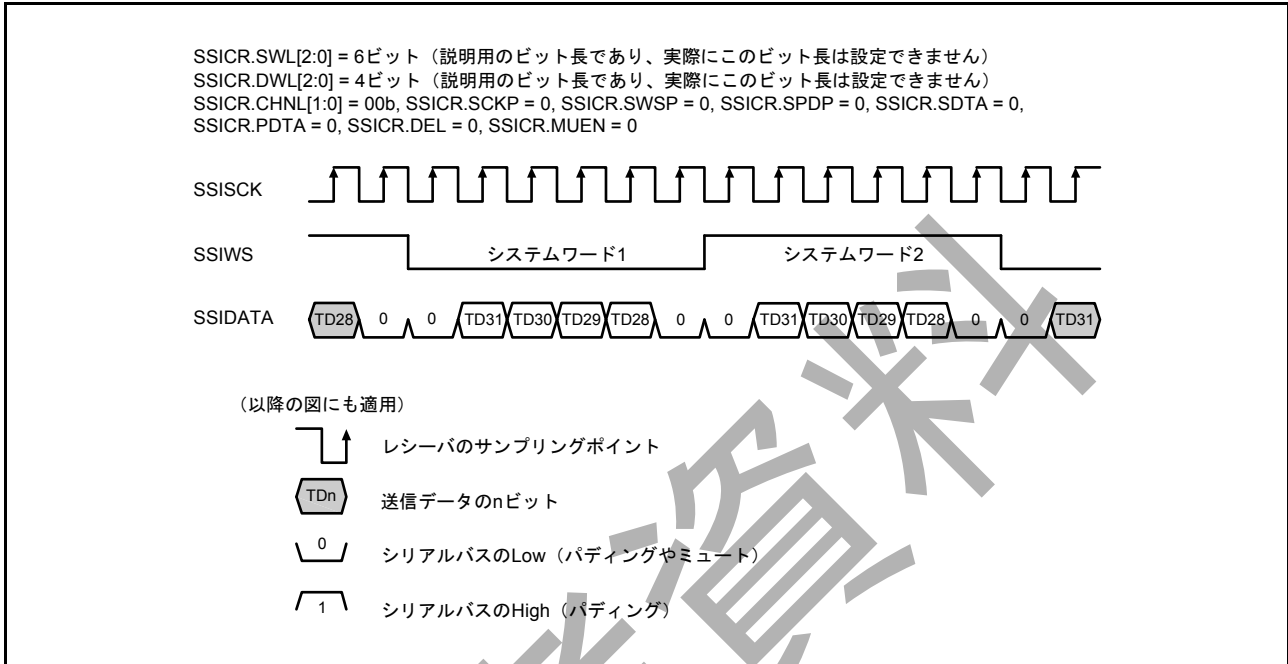


図 36.7 送信モード時の基本フォーマット例

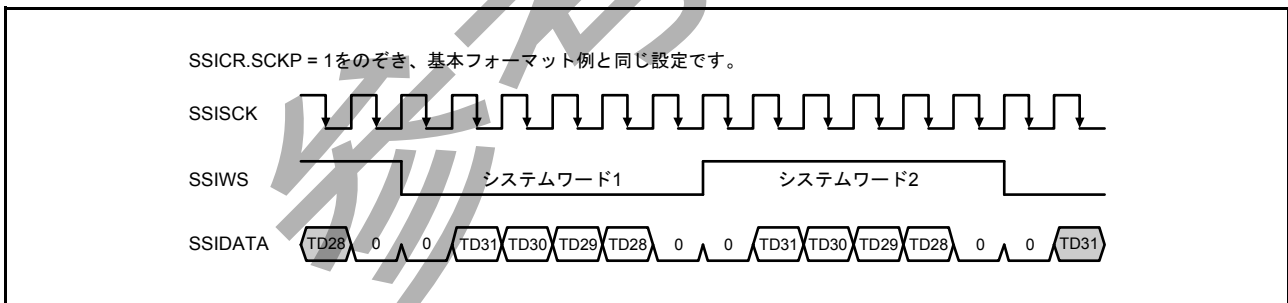


図 36.8 反転クロック

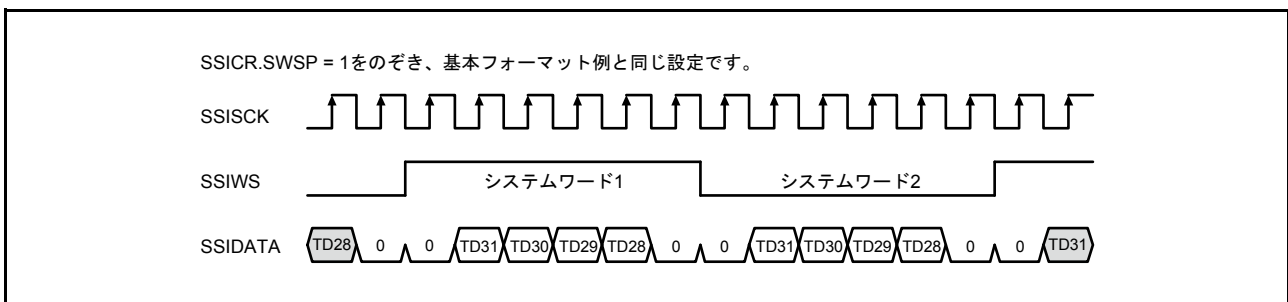


図 36.9 反転ワード選択信号

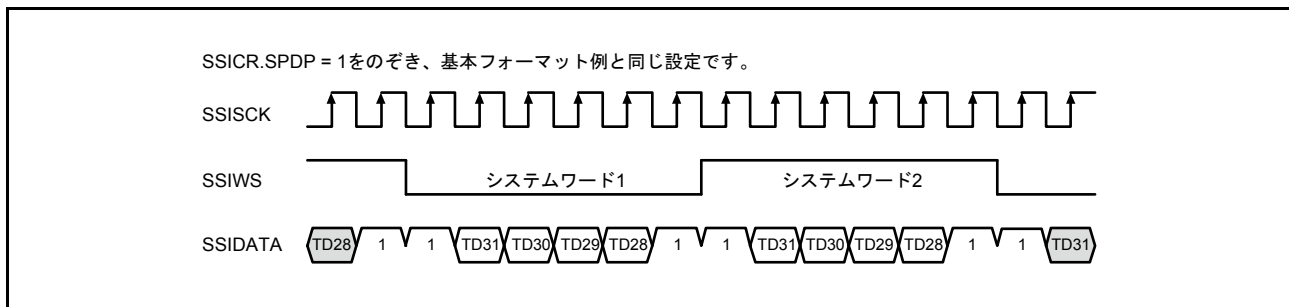


図 36.10 反転パディング極性

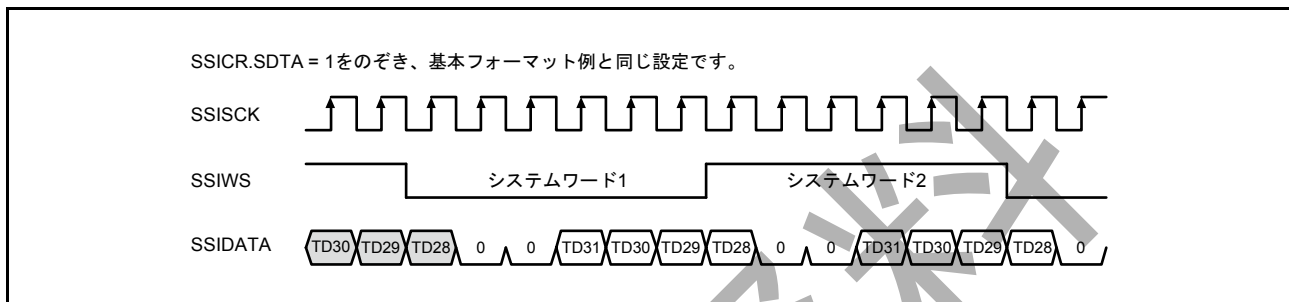


図 36.11 基本フォーマット例：パディングビットからシリアルデータの順で送受信、遅延あり

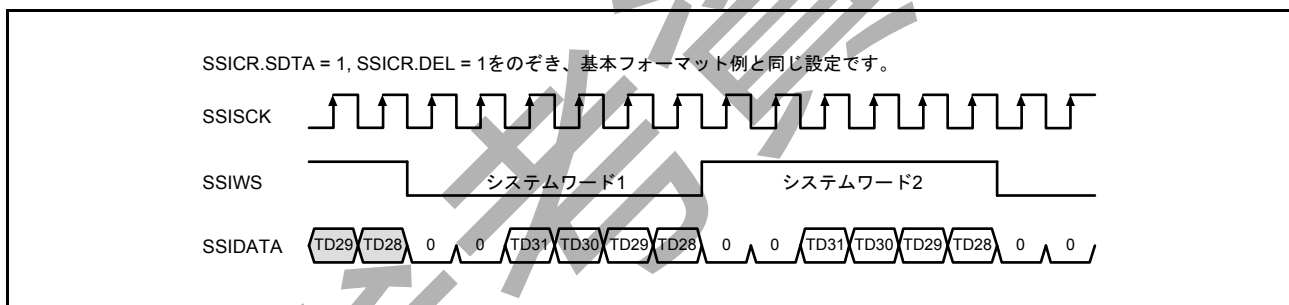


図 36.12 基本フォーマット例：パディングビットからシリアルデータの順で送受信、遅延なし

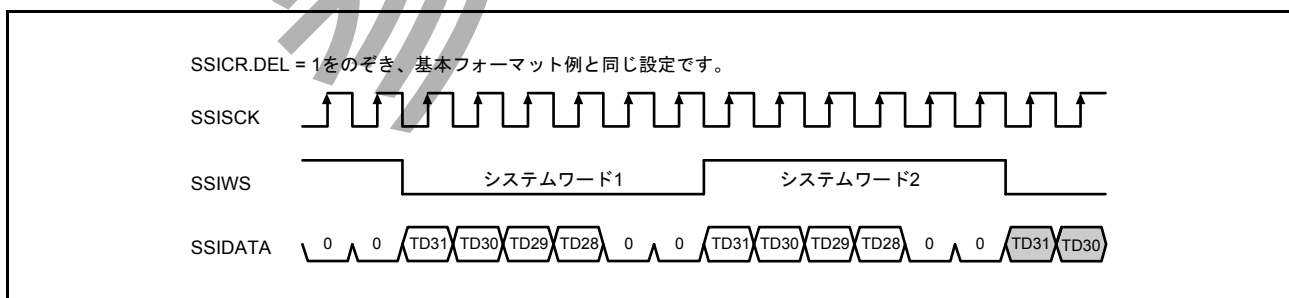


図 36.13 基本フォーマット例：シリアルデータからパディングビットの順で送受信、遅延なし

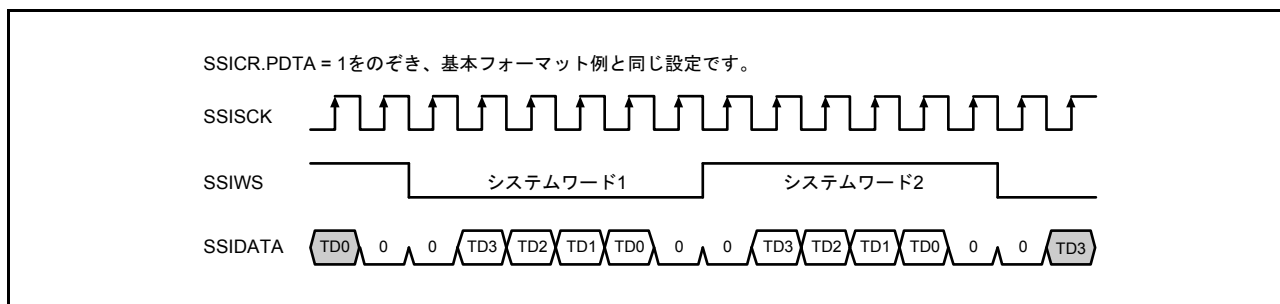


図 36.14 基本フォーマット例：パラレル右詰め、遅延あり

#### ミュート有効

SSICR.MUEN ビットを 1 にすると、SSIWS に同期せず SSITXD0、SSIDATA1 端子を 0 にします。

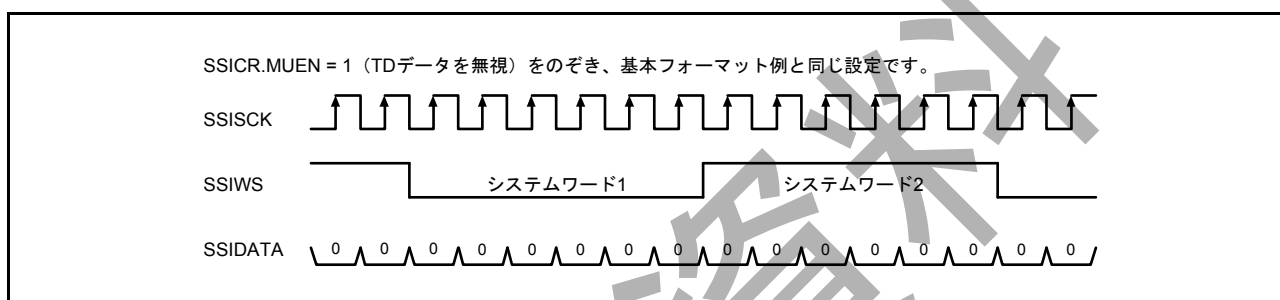


図 36.15 基本フォーマット例：ミュート許可

### 36.3.3 WS コンティニューモード

WS コンティニューモードは、データ転送の許可／禁止に関係なく SSIWS 信号を出力し続けるモードです。このモードは SSITDMR.CONT ビットにて設定できます。このモードを許可すると、SSICR.TEN ビットおよび SSICR.REN ビットを 0 (転送禁止) にしても SSIWS 信号は停止せずに出力され続けます。このモードを禁止すると、SSICR.TEN ビットおよび SSICR.REN ビットをいずれも 0 にした場合は、SSIWS 信号が停止します。

図 36.16、図 36.17 に WS コンティニューモードの許可、禁止設定の動作をそれぞれ示します。

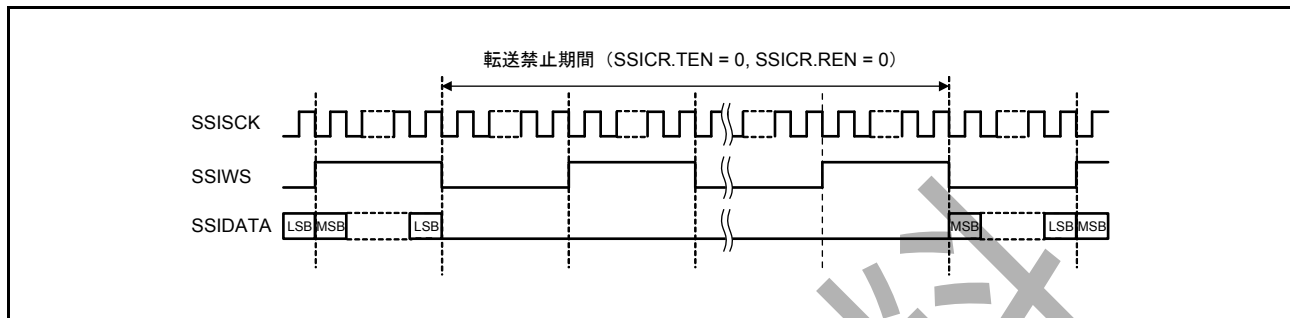


図 36.16 WS コンティニューモード許可時の SSI 動作

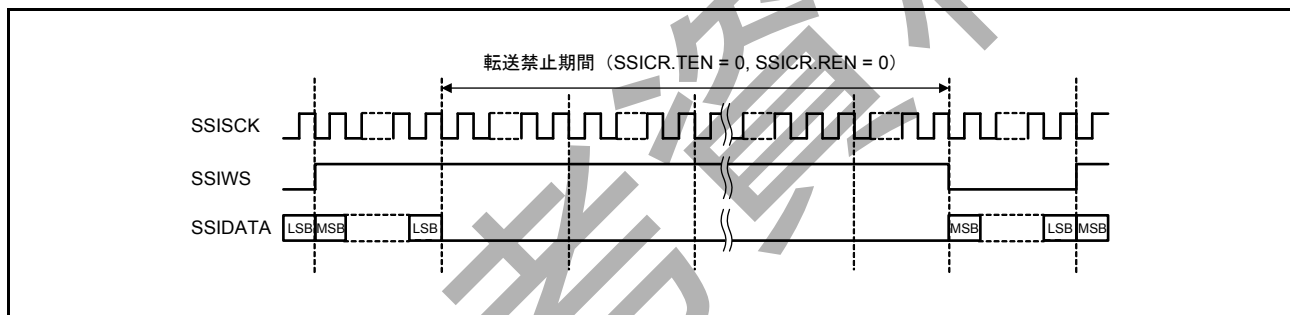


図 36.17 WS コンティニューモード禁止時の SSI 動作



### 36.3.4 動作状態

SSI には、以下の 3 種類の動作状態があります。

- アイドル状態
- 通信状態
- アイドル待ち状態

図 36.18 に動作状態遷移図を示します。

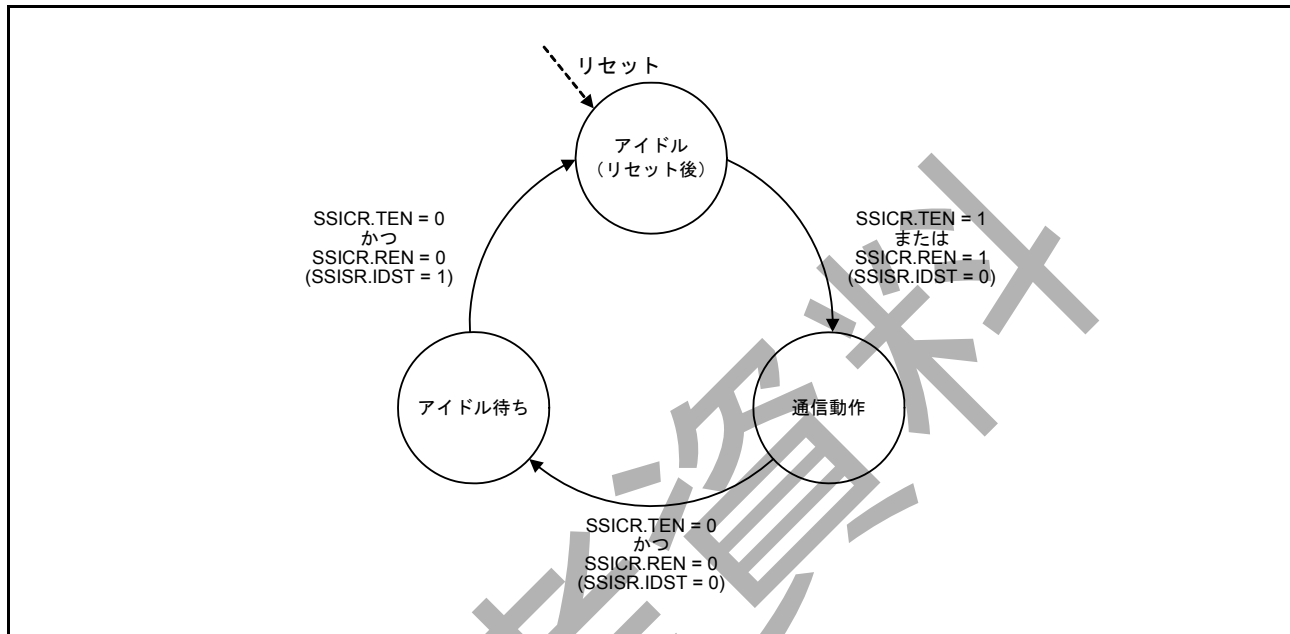


図 36.18 動作状態遷移図

#### (1) アイドル状態

リセット解除時に MSTPCRC.MSTPC7 ビットと MSTPC8 ビットを 0 にすると、SSI はアイドル状態に遷移します。SSI がアイドル状態にあるときに、ソフトウェアによって、使用するコントロールレジスタのコンフィグレーションビットをすべて設定します。設定後、SSICR.TEN ビットまたは SICR.REN ビットが 1 になると、通信状態に遷移します。

#### (2) 通信状態

通信状態での通信動作は、選択された動作状態に依存しています。詳細は、[36.3.5 送信動作](#)と [36.3.6 受信動作](#)を参照してください。

#### (3) アイドル待ち状態

通信状態時に、SSICR.TEN ビットと SSICR.REN ビットの両方を 0 にするとアイドル待ち状態に遷移します。アイドル待ち状態にあるときに、システムワードの通信が終了すると、SSISR.IDST フラグが 1 になり、SSI はアイドル状態に遷移します。

### 36.3.5 送信動作

送信は DMA または DTC 転送か割り込みで制御できます。

DMAC または DTC を使用して、CPU 負荷を低減することを推奨します。DMAC または DTC を使用した送信では、データのアンダーフロー、またはオーバーフローが発生した場合、または DMA / DTC 転送が終了した場合にのみ、CPU が割り込みを受信します。DMA または DTC 転送による送信時は、SSIFTDR レジスタに 64 ビット (2 段 FIFO) 単位で送信データを書き込むために、2 の倍数になるよう DMA または DTC の転送回数を設定してください。

別の方法として、割り込みを使用する方法があり、SSI が必要に応じてデータを供給するために生成する割り込みを使用します。割り込みを使用した送信では、データフォーマットにかかわらず、64 ビット単位で送信データを書き込んでください。32 ビット境界で送信データが終了した場合は、最後の送信データ書き込み後に、32 ビットの 0 データ (0000 0000h) を書き込み、64 ビット境界で書き込みを完了してください。

送信を停止するときは、64 ビット単位で書き込みが完了した状態で SSIFTDR レジスタへの書き込みを停止してください。書き込み停止後、送信アンダーフローの発生を待ってから、TEN ビットを 0 にしてください。送信アンダーフロー中は、SSI がアイドル状態に遷移するまで、SSIFTDR に最後に入力されたデータが送信され続けます。TEN ビットを 0 に設定後、SSISR.IIRQ フラグがアイドル状態を示すまで、クロック (注 1) を供給する必要があります。送信途中に、送信アンダーフローエラー、送信オーバーフローエラーが発生した場合、送信データの SSIFTDR への書き込みが 64 ビット単位でなくなる場合があります。その場合は、データ書き込みを停止し、送信アンダーフローエラーが発生するまで待ち、TSWNO を確認してください。TSWNO ビットが 1 の場合は、32 ビットの 0 データ (0000 0000h) を SSIFTDR に書き込み、再度アンダーフローの発生を待ってください。TSWNO ビットが 0 になるのが確認できたら、TEN ビットを 0 に設定し、SSISR.IIRQ フラグがアイドル状態を示すまで、クロック (注 1) を供給してください。

注 1. SSICR.SCKD ビットが 0 のときは、SSISCK 端子からの入力クロック。SSICR.SCKD ビットが 1 のときは、マスタクロック。

図 36.19 に DMA または DTC を使用した送信を、図 36.20 に割り込みを使用した送信を示します。

### (1) DMAC/DTC を使用した送信

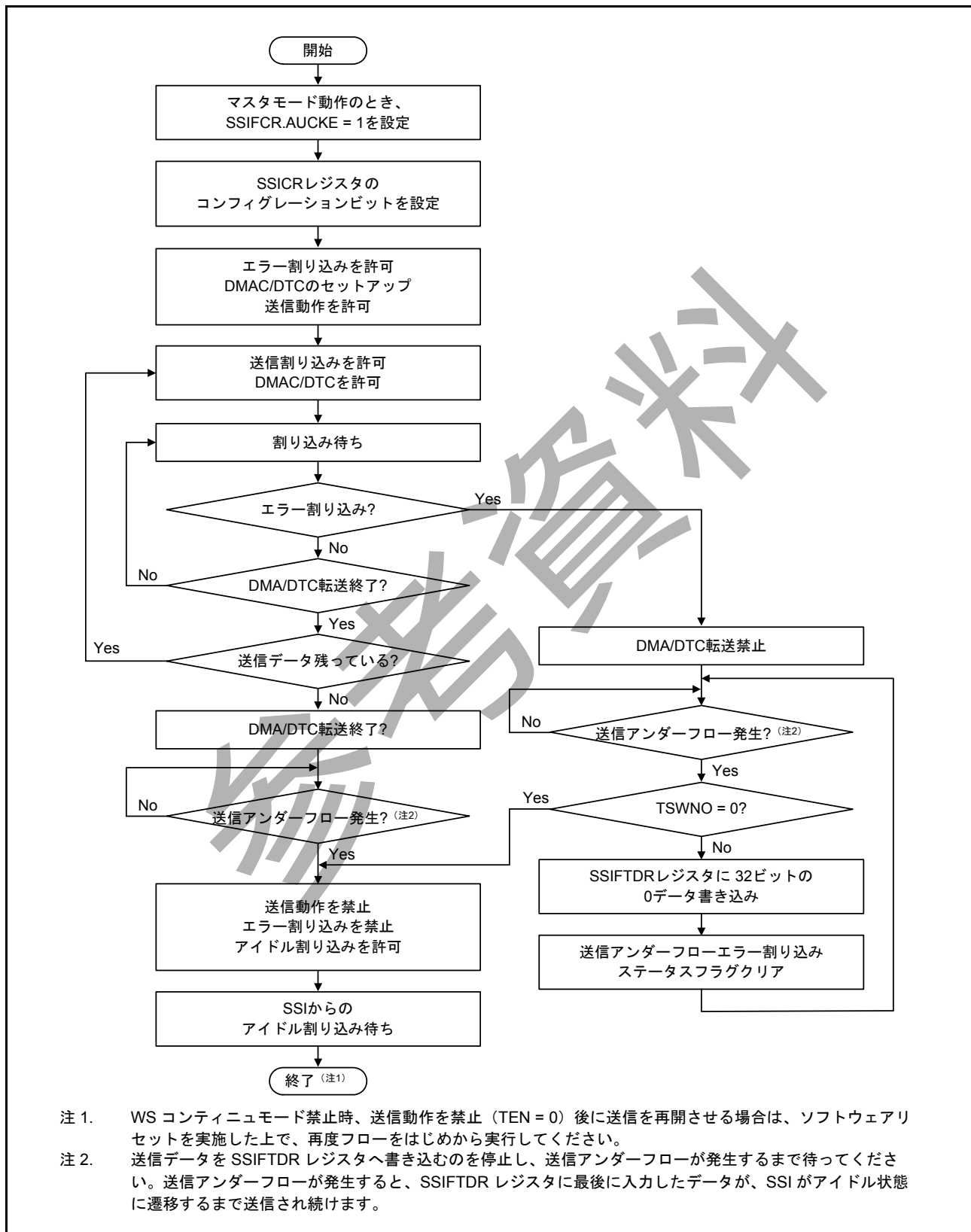


図 36.19 DMAC または DTC を使用した送信フロー

## (2) 割り込みを使用した送信

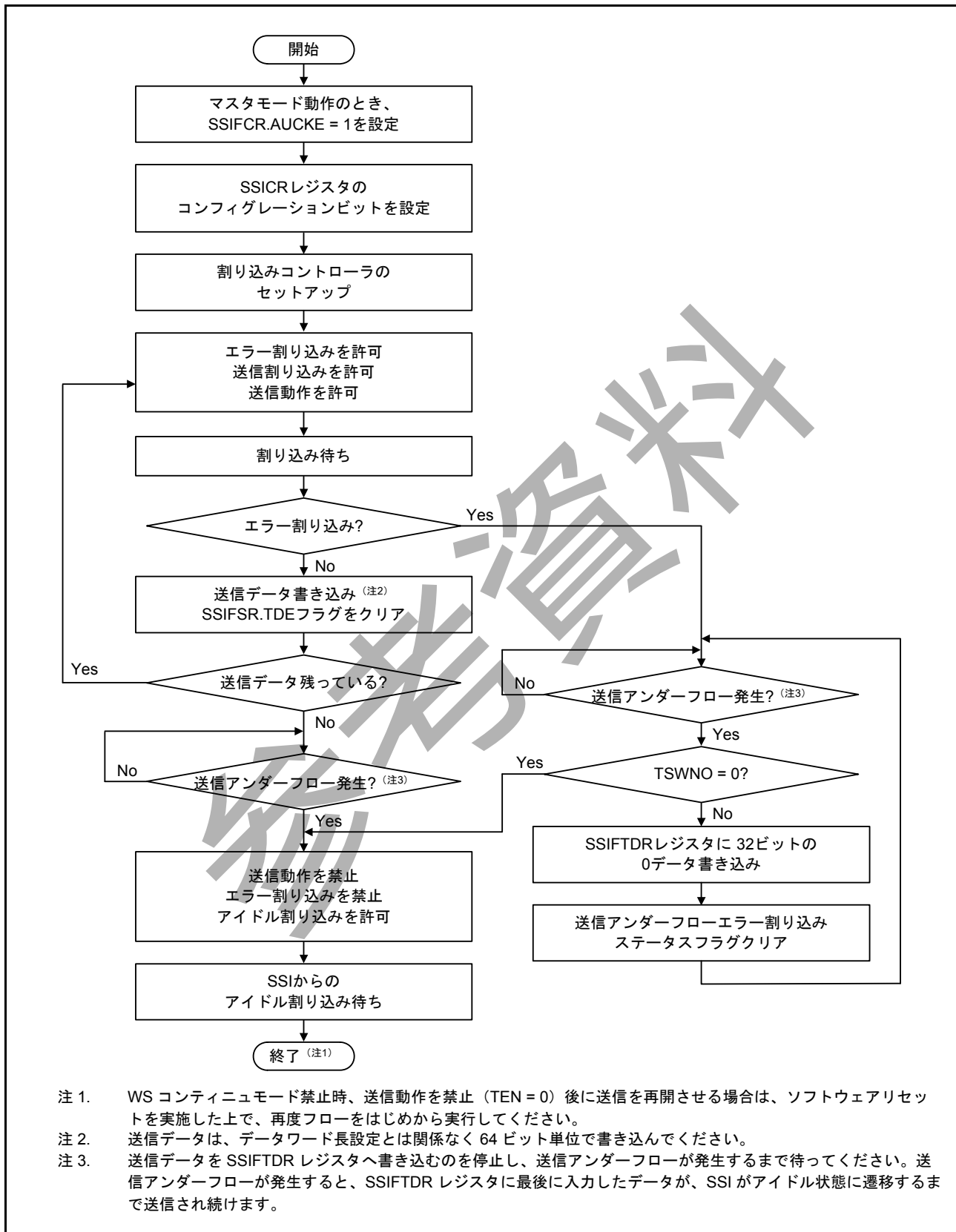


図 36.20 割り込みを使用した送信フロー

### 36.3.6 受信動作

送信同様、受信も DMA または DTC 転送、あるいは割り込みで制御できます。図 36.21 と図 36.22 にそれぞれの動作フローチャートを示します。

受信を停止する場合、REN ビットを 0 に設定後、SSISR.IIRQ フラグがアイドル状態を示すまで、クロック（注1）の供給を継続してください。

注1. SSICR.SCKD ビットが 0 のときは、SSISCK 端子からの入力クロック。SSICR.SCKD ビットが 1 のときは、マスタクロック。

#### (1) DMAC または DTC を使用した受信

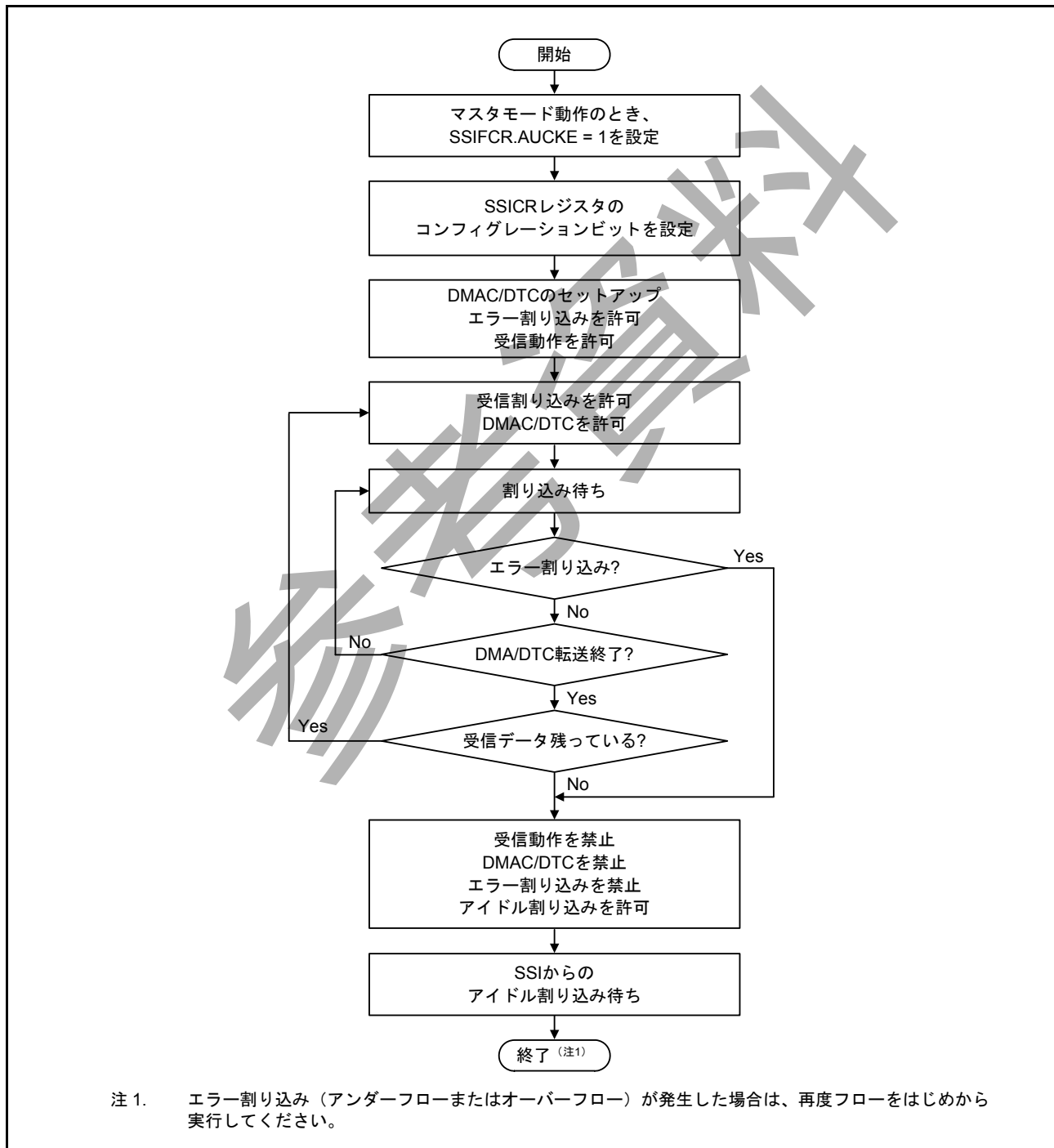


図 36.21 DMAC または DTC を使用した受信フロー

## (2) 割り込みによるデータフロー制御を使用した受信

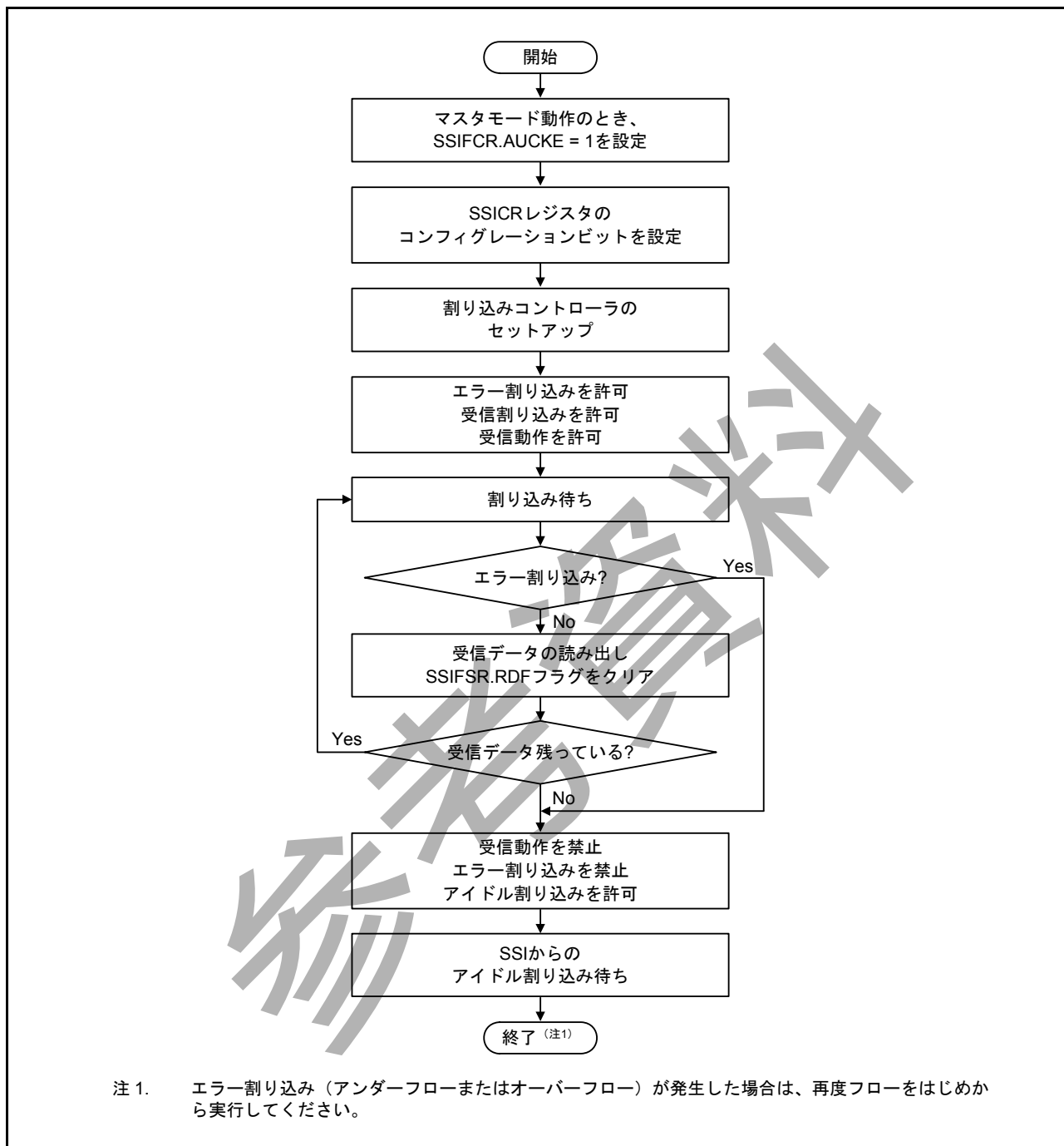


図 36.22 割り込みを使用した受信フロー

## 36.3.7 シリアルビットクロック制御

SSI は SCKD ビットと CKDV ビットを使用して、シリアルバスインタフェースに使用するクロックの制御と選択を行っています。シリアルビットクロックが入力に設定されている場合（SSICR.SCKD ビット=0）、SSI はクロックスレーブモードであり、シフトレジスタは SSISCK 端子に入力されたビットクロックを使用します。シリアルビットクロックが出力に設定されている場合（SSICR.SCKD ビット=1）、SSI はクロックマスタモードであり、シフトレジスタはマスタクロックまたはそれを分周したビットクロックを使用します。マスタクロックは、SSICR.CKDV[3:0] ビットで設定された比率で分周されて、シフトレジスタのビットクロックとして使われます。上記のいずれの場合でも、SSISCK 端子はビットクロックと等しくなります。

## 36.4 割り込み要因

表 36.6 に SSI の各割り込み要因を示します。各割り込み要因は、SSICR.TUIEN、TOIEN、RUIEN、ROIEN、I IEN ビットと SSIFCR.TIE、RIE ビットで許可または禁止できます。

表 36.6 SSIの割り込み要因

チャンネル	割り込み要因	機能	割り込みフラグ	DMACまたはDTCの起動
SSI0	SSI0_SSIF	送信アンダーフロー割り込み/ 送信オーバーフロー割り込み/ 受信アンダーフロー割り込み/ 受信オーバーフロー割り込み/ アイドル割り込み	SSISR.TUIRQ SSISR.TOIRQ SSISR.RUIRQ SSISR.ROI RQ SSISR.IIRQ	不可能
	SSI0_SSIRXI	受信データフル割り込み	SSIFSR.RDF	可能
	SSI0_SSI TXI	送信データエンプティ割り込み	SSIFSR.TDE	可能
SSI1	SSI1_SSIF	送信アンダーフロー割り込み/ 送信オーバーフロー割り込み/ 受信アンダーフロー割り込み/ 受信オーバーフロー割り込み/ アイドル割り込み	SSISR.TUIRQ SSISR.TOIRQ SSISR.RUIRQ SSISR.ROI RQ SSISR.IIRQ	不可能
	SSI1_SSI RT	受信データフル割り込み 送信データエンプティ割り込み	SSIFSR.RDF/ SSIFSR.TDE	可能

## 36.5 使用上の注意事項

### 36.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SSI の動作を許可/禁止することが可能です。リセット後の初期状態では、SSI の動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。MSTPCRC レジスタの詳細については、「11. 低消費電力モード」を参照してください。

### 36.5.2 転送モードを切り替える場合の注意事項

WS コンティニューモード禁止 (SSITDMR.CONT=0) の状態で、トランスミッタ、レシーバ、トランシーバ間でモード遷移する場合は、SSICR.TEN ビットと SSICR.REN ビットを 0 にして、一度アイドル状態に遷移してください。アイドル状態で、SSICR.TEN ビットと SSICR.REN ビットを再設定し転送を再開してください。

### 36.5.3 WS コンティニューモードの制約

WS コンティニューモードの設定を切り替える場合、切り替え直後の SSISCK 信号、SSIWS 信号の動作は保証されません。接続するデバイスに影響する場合は、動的に設定を切り替えしないでください。

## 37. SD/MMC ホストインタフェース (SDHI)

セキュアデジタルホストインタフェース (SDHI) およびマルチメディアカード (MMC) インタフェースは、各種外部メモ리카ードを MCU に接続するために必要な機能を備えています。SDHI は、SD、SDHC、SDXC フォーマットに対応するさまざまなメモ리카ードを接続するために 1 ビットと 4 ビットのいずれのバスもサポートしています。SD 規格に対応したホスト機器を開発するには、SD Host/Ancillary Product License Agreement (SD HALA) に準拠する必要があります。

MMC インタフェースは、eMMC 4.51 (JEDEC Standard JESD 84-B451) デバイスアクセスを可能にするために 1 ビット、4 ビットおよび 8 ビットの MMC バスをサポートしています。また、MMC インタフェースは高速 SDR 転送モードに対して下位互換とサポートも提供しています。

### 37.1 概要

表 37.1 に SD/MMC ホストインタフェースの仕様を示します。

表 37.1 SD/MMCホストインタフェースの仕様

インタフェース	項目	内容
SD	SDバスインタフェース	<ul style="list-style-type: none"> <li>SDメモ리카ード、SDIOカードに対応</li> <li>転送バスモードをワイドバスモード (4ビット)、デフォルトバスモード (1ビット) から選択可能</li> <li>SD、SDHC、SDXCのSDメモ리카ードアクセスに対応</li> </ul>
SD/MMC 共通	SDHIクロック周波数	PCLKAを $2^n$ ( $n=1\sim 9$ ) で分周してSDHIクロックを生成
	エラーチェック機能	CRC7 (コマンド/レスポンス)、CRC16 (転送データ)
	割り込み要因	<ul style="list-style-type: none"> <li>カードアクセス割り込み (SDHI_MMC0_ACCS)</li> <li>SDIOアクセス割り込み (SDHI_MMC0_SDIO)</li> <li>カード検出割り込み (SDHI_MMC0_CARD)</li> </ul>
	DMA転送要因	SDバッファアクセス割り込み (SBFAI) によりDMAC/DTCを起動可能 DMACによるSDバッファの読み出し/書き込みが可能
	その他の機能	<ul style="list-style-type: none"> <li>カード検出機能</li> <li>ライトプロテクトサポート</li> </ul>
MMC	MMC Busインタフェース	転送バスモードを1ビット、4ビット、8ビットから選択可能
	転送モード	Backward-compatibleモードとHigh-speed SDRモードから選択可能
	その他の機能	eMMCデバイスアクセスに対応

図 37.1 に SD/MMC ホストインタフェースのブロック図を示します。

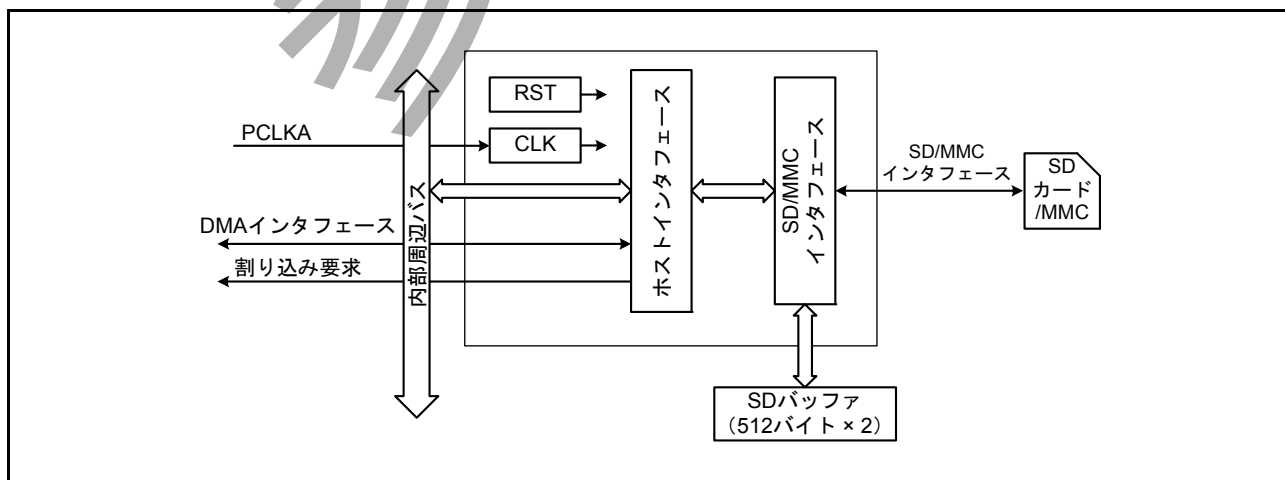


図 37.1 SD/MMC ホストインタフェースのブロック図



表 37.2 SDHIの入出力端子

チャンネル	端子名	入出力	機能
Ch 0	SD0CLK	出力	SDHIクロック
	SD0CMD	入出力	コマンドの出力、レスポンスの入力
	SD0DAT0	入出力	データ0 (DAT0)
	SD0DAT1	入出力	データ1 (DAT1)、SDIO 割り込み
	SD0DAT2	入出力	データ2 (DAT2)、SDIO Read Wait
	SD0DAT3	入出力	データ3 (DAT3)、SD カード検出
	SD0DAT4	入出力	MMC データ4 (DAT4)
	SD0DAT5	入出力	MMC データ5 (DAT5)
	SD0DAT6	入出力	MMC データ6 (DAT6)
	SD0DAT7	入出力	MMC データ7 (DAT7)
	SD0WP	入力	SD カードライトプロテクト

資料参考

## 37.2 レジスタの説明

## 37.2.1 コマンドタイプレジスタ (SD\_CMD)

アドレス SDHI0.SD\_CMD 4006 2000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値															
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMD12AT[1:0]	TRSTP	CMDRW	CMDTP	RSPTP[2:0]			ACMD[1:0]		CMDIDX[5:0]						
リセット後の値															
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMDIDX[5:0]	Command index フィールド値選択	Command index フィールド値を設定します。例にはACMD[1:0]ビットのビット値が含まれています。 b7 b0 0 0 0 0 1 1 0 : CMD6 0 0 0 1 0 0 1 0 : CMD18 0 1 0 0 1 1 0 1 : ACMD13	R/W
b7-b6	ACMD[1:0]	コマンドタイプ選択	b7 b6 0 0 : CMD 0 1 : ACMD 上記以外は設定しないでください。	R/W
b10-b8	RSPTP[2:0]	レスポンスタイプ選択 (注1)	b10 b8 0 0 0 : ノーマルモード。コマンド (ACMD[1:0]ビットおよびCMDIDX[5:0]ビットの組み合わせ) によって、レスポンスの種類と転送の方法が決まります。本レジスタのb15-b11の設定は無効です。 0 1 1 : 拡張モード、レスポンスなし 1 0 0 : 拡張モード、R1、R5、R6、R7レスポンス 1 0 1 : 拡張モード、R1bレスポンス 1 1 0 : 拡張モード、R2レスポンス 1 1 1 : 拡張モード、R3またはR4レスポンス 上記以外は設定しないでください。	R/W
b11	CMDTP	データ転送選択 (注2)	0 : コマンドタイプは、bc、bcr、acのいずれか (データ転送を行わないコマンド) 1 : コマンドタイプは、adtc (データ転送を行うコマンド)	R/W
b12	CMDRW	データ転送方向選択 (注3)	0 : 書き込み (SD/MMCホストインタフェース→SDカード/MMC) 1 : 読み出し (SD/MMCホストインタフェース←SDカード/MMC)	R/W
b13	TRSTP	ブロック転送選択 (注3)	0 : シングルブロック転送 1 : マルチブロック転送	R/W
b15-b14	CMD12AT[1:0]	CMD12自動送信選択 (注4)	b15 b14 0 0 : マルチブロック転送時、CMD12を自動送信する 0 1 : マルチブロック転送時、CMD12を自動送信しない 上記以外は設定しないでください。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ノーマルモードで使用できないコマンドがあります。表 37.3 を参照して RSPTP[2:0] ビットを設定してください。

注 2. CMDTP ビットは、RSPTP[2:0] ビットが 011b、100b、101b、110b、または 111b のときのみ有効です。

注 3. CMDRW ビットと TRSTP ビットは、RSPTP[2:0] ビットが 011b、100b、101b、110b、または 111b で、CMDTP ビットが 1 のときのみ有効です。

注 4. CMD12AT[1:0] ビットは、RSPTP[2:0] ビットが 011b、100b、101b、110b、または 111b で、TRSTP ビットが 1 のときのみ有効です。

SD\_CMD レジスタは、コマンドやレスポンスの種類を設定するレジスタです。RSPTP[2:0] ビットが 011b、100b、101b、110b、または 111b の場合、コマンドタイプや転送モードを設定する必要があります。SD\_CMD レジスタに値を書き込むと、SDHI はコマンドシーケンスを開始します。設定例については表 37.3 を参照してください。SD\_INFO2.CBSY フラグが 1 のとき、SD\_CMD レジスタへ書き込まないでください。

表 37.3 SD\_CMDレジスタへの設定例 (1/2)

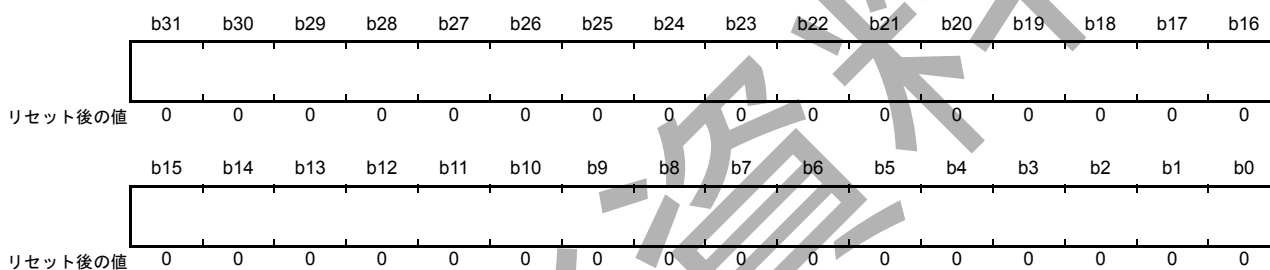
種類	コマンド	SD_CMD レジスタ設定例	備考
CMD	CMD0	0000_0000h	
	CMD2	0000_0002h	
	CMD3	0000_0003h	
	CMD4	0000_0004h	
	CMD5	0000_0705hまたは 0000_0005h	
	CMD6	0000_1C06hまたは 0000_0006h	
	CMD7	0000_0007h	カードを非選択状態にすると、SDカードからレスポンスが返りません。そのため、SD_INFO2.RSPTO フラグが1になります。
	CMD8	0000_0408hまたは 0000_0008h	
	CMD9	0000_0009h	
	CMD10	0000_000Ah	
	CMD11	0000_040Bhまたは 0000_000Bh	
	CMD12	0000_000Ch	
	CMD13	0000_000Dh	
	CMD15	0000_000Fh	
	CMD16	0000_0010h	
	CMD17	0000_0011h	
	CMD18	0000_0012h	
	CMD20	0000_0514hまたは 0000_0014h	
	CMD24	0000_0018h	
	CMD25	0000_0019h	
	CMD27	0000_001Bh	
	CMD28	0000_001Ch	
	CMD29	0000_001Dh	
	CMD30	0000_001Eh	
	CMD32	0000_0020h	
	CMD33	0000_0021h	
	CMD38	0000_0026h	
	CMD42	0000_002Ah	
	CMD52	0000_0434hまたは 0000_0034h	
	CMD53	0000_1C35h	シングルブロックリード
		0000_0C35h	シングルブロックライト
		0000_7C35h	マルチブロックリード
		0000_6C35h	マルチブロックライト
		0000_0035h	シングルブロックまたはマルチブロック転送にかかわらず、左記の設定も可能です。ただし、SD_ARG レジスタ (RW フラグ) のMSBは、読み出しの場合は0、書き込みの場合は1にする必要があります

表 37.3 SD\_CMDレジスタへの設定例 (2/2)

種類	コマンド	SD_CMDレジスタ設定例	備考
CMD	CMD55	0000_0037h	
	CMD56	0000_0038h	
ACMD	ACMD6	0000_0046h	
	ACMD13	0000_004Dh	
	ACMD22	0000_0056h	
	ACMD23	0000_0057h	
	ACMD41	0000_0069h	
	ACMD42	0000_006Ah	
	ACMD51	0000_0073h	

### 37.2.2 SD コマンドアークギュメントレジスタ (SD\_ARG)

アドレス [SDHI0.SD\\_ARG 4006 2008h](#)

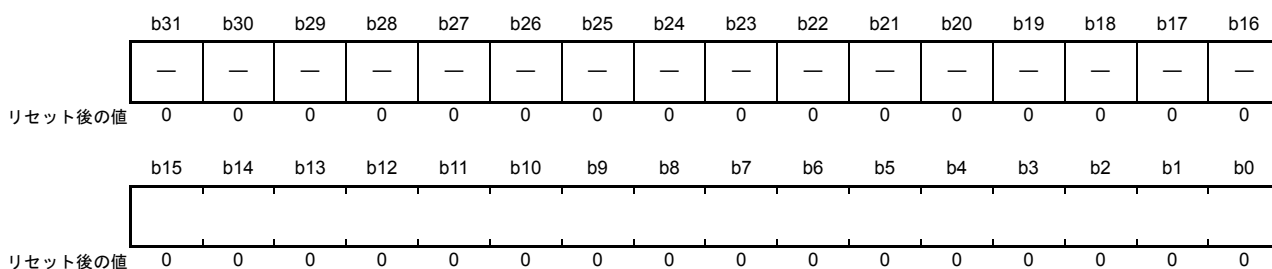


ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	コマンドのフォーマット[39:8] (argument) を設定	R/W

SD\_ARG レジスタは、argument フィールド値を設定するレジスタです。SD\_CMD レジスタに書き込む前に SD\_ARG レジスタに書き込んでください。なお、自動送信される CMD12 の argument フィールド値は、SD\_ARG レジスタの値にかかわらず 0000\_0000h です。

## 37.2.3 SD コマンドアーギュメントレジスタ 1 (SD\_ARG1)

アドレス SDHI0.SD\_ARG1 4006 200Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	コマンドのフォーマット[39:24] (argument) を設定	R/W
b31-b16	—	予約ビット	読むと0が読めます。	R

SD\_ARG1 レジスタは、argument フィールド値を設定するレジスタです。SD\_CMD レジスタに書き込む前に SD\_ARG1 レジスタに書き込んでください。なお、自動送信される CMD12 の argument フィールド値は、SD\_ARG1 レジスタの値にかかわらず 0000\_0000h です。

## 37.2.4 データストップレジスタ (SD\_STOP)

アドレス SDHI0.SD\_STOP 4006 2010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SEC	—	—	—	—	—	—	—	STP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STP	転送停止	1にするとデータ転送が停止します。	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	SEC	ブロックカウントレジスタ有効 (注1)	0 : SD_SECCNTレジスタの設定値は無効 1 : SD_SECCNTレジスタの設定値は有効	R/W
b31-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SD\_INFO2.CBSY フラグが1のとき、このビットを書き換えしないでください。

SD\_STOP レジスタは、転送の停止を行うレジスタです。また、マルチブロック転送時は、SD\_SECCNT レジスタ値 (転送ブロック数) を有効または無効にします。

**STP ビット (転送停止)**

- マルチブロック転送時に STP ビットを1にすると、SD ホストインタフェースにより転送を停止するために CMD12 が送信されます。ただし、通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、CMD12 は送信されません。STP を1にした後も引き続きバッファアクセスは可能ですが、これにより SD\_INFO2 のバッファアクセスエラービット (ILR または ILW) が設定されます。
- シングルブロックライトの転送時に STP を1にすると、SD\_BUF がエンプティの場合はアクセスエンドフラグが設定され、CMD12 は送信されません。SD\_BUF にデータがある場合、CMD12 が送信されずにビジー状態の受信を完了したときにアクセスエンドフラグが設定されます。
- シングルブロックリードの転送時に STP を1にすると、STP ビットの設定直後にアクセスエンドフラグが設定され、CMD12 は送信されません。
- R1b レスポンス後、ビジー状態の受信時に STP を1にすると、CMD12 が送信されずにビジー状態の受信を完了したときにアクセスエンドフラグが設定されます。
- コマンドシーケンスの完了後に STP を1にすると、CMD12 は送信されず、アクセスエンドフラグも設定されません。
- レスポンスエンドフラグの設定後に STP を1にします。
- レスポンスエンドフラグの設定後に STP を0にします。

**SEC ビット (ブロックカウントレジスタ有効)**

SEC を1にしている間に SD\_CMD に書き込んでコマンドシーケンスを開始すると、CMD12 が自動送信され、SD\_SECCNT で設定したブロック数でマルチブロック転送が停止します。

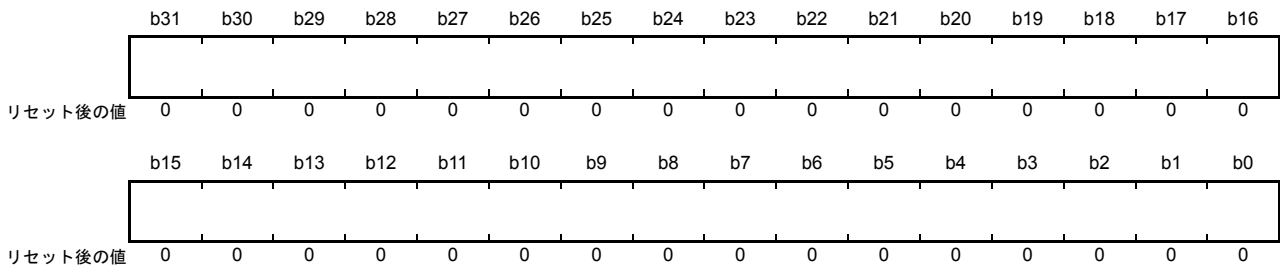
ノーマルモード (SD\_CMD[10:8] = 000b) の CMD18 または CMD25

拡張モードの SD\_CMD[15:13] = 001b (CMD12 自動送信、マルチブロック転送)

通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、CMD12 は自動送信されません。

### 37.2.5 ブロックカウントレジスタ (SD\_SECCNT)

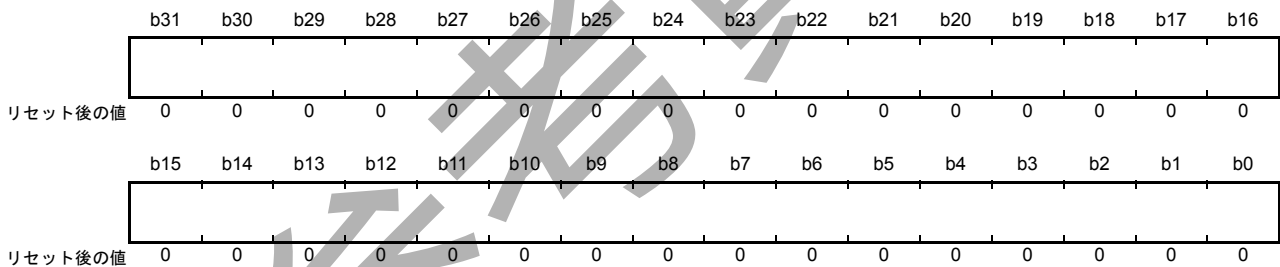
アドレス SDHI0.SD\_SECCNT 4006 2014h



SD\_SECCNT レジスタは、マルチブロック転送時の転送ブロック数を設定する読み出し/書き込みレジスタです。たとえば、レジスタ値が 0000\_0001h の場合、1 ブロックが転送されます。レジスタ値が 0000\_FFFFh の場合は 65,535 ブロックが転送され、レジスタ値が FFFF\_FFFFh の場合は 4,294,967,295 ブロックが転送されます。0000\_0000h は設定しないでください。SD\_INFO2.CBSY フラグが 1 のときは、SD\_SECCNT レジスタを書き換えしないでください。

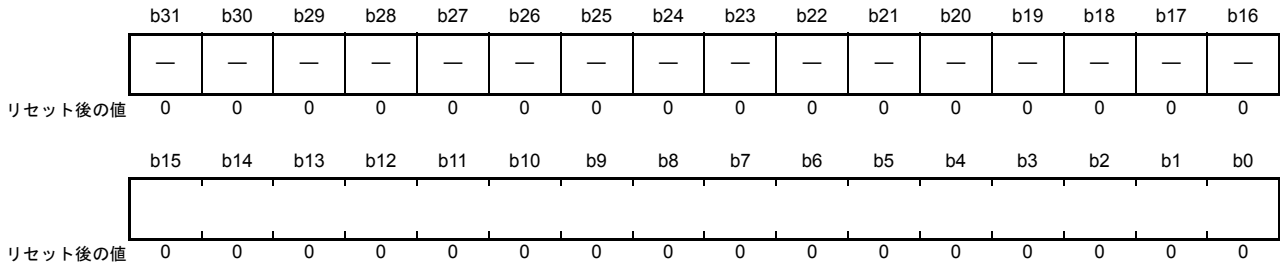
### 37.2.6 SD カードレスポンスレジスタ 10 (SD\_RSP10)、 SD カードレスポンスレジスタ 32 (SD\_RSP32)、 SD カードレスポンスレジスタ 54 (SD\_RSP54)

アドレス SDHI0.SD\_RSP10 4006 2018h, SDHI0.SD\_RSP32 4006 2020h, SDHI0.SD\_RSP54 4006 2028h



### 37.2.7 SD カードレスポンスレジスタ 1 (SD\_RSP1)、 SD カードレスポンスレジスタ 3 (SD\_RSP3)、 SD カードレスポンスレジスタ 5 (SD\_RSP5)

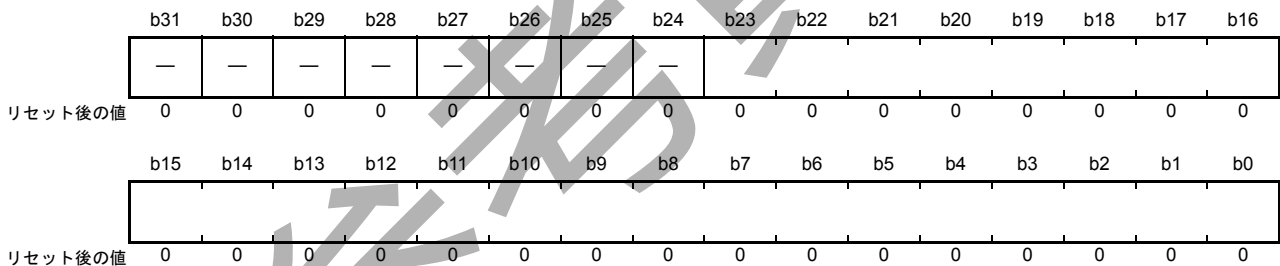
アドレス SDHI0.SD\_RSP1 4006 201Ch, SDHI0.SD\_RSP3 4006 2024h, SDHI0.SD\_RSP5 4006 202Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	SDカード/MMCからのレスポンスを格納します。	R
b31-b16	—	予約ビット	読むと0が読めます。	R

### 37.2.8 SD カードレスポンスレジスタ 76 (SD\_RSP76)

アドレス SDHI0.SD\_RSP76 4006 2030h



ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	SDカード/MMCからのレスポンスを格納します。	R
b31-b24	—	予約ビット	読むと0が読めます。	R



## 37.2.9 SDカードレスポンスレジスタ7 (SD\_RSP7)

アドレス SDHI0.SD\_RSP7 4006 2034h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	SDカード/MMCからのレスポンスを格納します。	R
b31-b8	—	予約ビット	読むと0が読めます。	R

SD\_RSP10、SD\_RSP32、SD\_RSP54、SD\_RSP1、SD\_RSP3、SD\_RSP5、SD\_RSP76、SD\_RSP7 レジスタは、SDカード/MMCからのレスポンスを格納する、読み出し専用のレジスタです。SD/MMCホストインタフェースは、SDカード/MMCからのレスポンスの種類により、レスポンスの内容を4つのレジスタに分割して格納します。

レスポンスタイプとその格納先の対応を表 37.4 に示します。

表 37.4 レスポンスタイプと格納先の対応

レスポンスタイプ	SD_RSP10レジスタ	SD_RSP32レジスタ	SD_RSP54レジスタ	SD_RSP1レジスタ	SD_RSP3レジスタ	SD_RSP5レジスタ	SD_RSP76レジスタ	SD_RSP7レジスタ
R1	[39:8]	—	[39:8] (注1)	—	—	—	—	—
R1b	[39:8]	—	[39:8] (注1)	—	—	—	—	—
R2	[39:8]	[71:40]	[103:72]	—	—	—	[127:104]	—
R3	[39:8]	—	—	—	—	—	—	—
R4	[39:8]	—	—	—	—	—	—	—
R5	[39:8]	—	—	—	—	—	—	—
R6	[39:8]	—	—	—	—	—	—	—
R7	[39:8]	—	—	—	—	—	—	—

注 1. CMD18 および CMD25 に対するレスポンスは、SD\_RSP10 レジスタおよび SD\_RSP54 レジスタに格納されます。このため、SD\_RSP10 レジスタが自動送信された CMD12 に対するレスポンスで上書きされても、SD\_RSP54 レジスタを読み出すことで CMD18 または CMD25 に対するレスポンスを確認できます。

## 37.2.10 SD カード割り込みフラグレジスタ 1 (SD\_INFO1)

アドレス SDHI0.SD\_INFO1 4006 2038h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SDD3M ON	SDD3I N	SDD3R M	SDWP MON	—	—	—	—	ACEND	—	RSPEN D
リセット後の値	0	0	0	0	0	x	0	0	x	0	1	0	0	0 (注1)	0 (注1)

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	RSPEND	レスポンスエンド検出フラグ	0: レスポンスエンドを検出していない 1: レスポンスエンドを検出した	R/(W) (注2)
b1	—	予約ビット	読むと0が読めます。	R
b2	ACEND	アクセスエンド検出フラグ	0: アクセスエンドを検出していない 1: アクセスエンドを検出した	R/(W) (注2)
b4-b3	—	予約ビット	読むと0が読めます。	R
b5	—	予約ビット	読むと1が読めます。	R
b6	—	予約ビット	読むと0が読めます。	R
b7	SDWPMON	SD0WP端子モニタフラグ	0: SD0WP端子のレベルはHigh 1: SD0WP端子のレベルはLow	R
b8	SDD3RM	SD0DAT3抜去フラグ	0: SD0DAT3端子によるSDカード/MMC抜去を検出して いない 1: SD0DAT3端子によるSDカード/MMC抜去を検出した	R/(W) (注2)
b9	SDD3IN	SD0DAT3挿入フラグ	0: SD0DAT3端子によるSDカード/MMC挿入を検出して いない 1: SD0DAT3端子によるSDカード/MMC挿入を検出した	R/(W) (注2)
b10	SDD3MON	SD0DAT3端子モニタフラグ	0: SD0DAT3端子のレベルはLow 1: SD0DAT3端子のレベルはHigh	R
b31-b11	—	予約ビット	読むと0が読めます。	R

注1. リセットで初期化されます。また、SOFT\_RST.SDRST フラグによるリセットの場合も初期化されます。

注2. 1にしてもフラグは変化しません。0を書くとフラグの値は0になります。

SD\_INFO1 レジスタは、コマンドシーケンスにおけるレスポンスエンドおよびアクセスエンドの検出を表示します。また、SD カード/MMC の挿抜検出、ライトプロテクトの状態を表示します。

マルチブロック転送中にCMD12 または CMD52 (SDIO abort) を送信した場合、ACEND フラグは1になりますが、RSPEND フラグは1になりません。

通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、ACEND フラグまたは RSPEND フラグが1になります。

SDD3MON ビット、SDD3IN フラグ、SDD3RM フラグはリセット解除後、SD0DAT3 端子の状態により変化します。また、ワイドバスモードでのデータ転送中にも変化します。これらの3つのビットはSD カードにのみ使用されます。

クリアするフラグを0に、クリアしないフラグを1にします。

**RSPEND フラグ (レスポンスエンド検出フラグ)**

[1になる条件]

- レスポンスの受信が完了したとき
- レスポンスがないコマンドの送信が完了したとき
- R1b レスポンス後のビジー状態の受信が完了したとき

- マルチブロックリードの転送で、C52PUB ビットを 1 にして送信された CMD52 に対するレスポンスの受信が完了したとき
- マルチブロックライトの転送で、C52PUB ビットを 1 にして送信された CMD52 に対するレスポンスの受信が完了したとき
- 通信エラーまたはタイムアウトによりコマンドシーケンスが停止したとき

[0 になる条件]

- RSPEND に 0 を書いたとき

データがないコマンドの送信時、レスポンスエンドビットを 1 にしてコマンドシーケンスが終了したとき

#### ACEND フラグ (アクセスエンド検出フラグ)

[1 になる条件]

- シングルブロックリードの転送で、バッファに対する読み出しが完了したとき
- マルチブロックリードの転送で、データの最終ブロックのバッファに対する読み出しが完了したとき
- CMD12 の自動送信によるマルチブロックリードの転送で、バッファに対する読み出しおよび CMD12 に対するレスポンスの受信が完了したとき
- シングルブロックライトの転送で、CRC status を受信した後、ビジー状態の受信が完了したとき
- マルチブロックライトの転送で、最終ブロックの CRC status を受信した後、ビジー状態の受信が完了したとき
- CMD12 の自動送信によるマルチブロックライトの転送で、CMD12 に対するレスポンスビジー状態の受信が完了したとき
- マルチブロックリードの転送で、STP ビットを 1 にして送信された CMD12 に対するレスポンスの受信が完了したとき
- マルチブロックライトの転送で、STP ビットを 1 にして送信された CMD12 に対するレスポンスビジー状態の受信が完了したとき
- マルチブロックリードの転送で、IOABT ビットを 1 にして送信された CMD52 に対するレスポンスの受信が完了したとき
- マルチブロックライトの転送で、IOABT ビットを 1 にして送信された CMD52 に対するレスポンスの受信が完了したとき
- 通信エラーまたはタイムアウトによりコマンドシーケンスが停止したとき

[0 になる条件]

- ACEND に 0 を書いたとき  
アクセスエンドビットを 1 にして、コマンドシーケンスが終了したとき

#### SDD3RM フラグ (SD0DAT3 抜去フラグ)

[1 になる条件]

- SD0DAT3 が 1 から 0 に変化した後、SD0DAT3 が 0 に保持された状態で PCLKA の 2 サイクルが経過したとき

[0 になる条件]

- SDD3RM に 0 を書いたとき

#### SDD3IN フラグ (SD0DAT3 挿入フラグ)

[1 になる条件]

- SD0DAT3 が 0 から 1 に変化した後、SD0DAT3 が 1 に保持された状態で PCLKA の 2 サイクルが経過したとき

[0 になる条件]

- SDD3IN に 0 を書いたとき

## 37.2.11 SD カード割り込みフラグレジスタ 2 (SD\_INFO2)

アドレス SDHI0.SD\_INFO2 4006 203Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ILA	CBSY	SD_CLK_CTRLLEN	—	—	—	BWE	BRE	SDD0MON	RSPTO	ILR	ILW	DTO	ENDE	CRCE	CMDE
リセット後の値	0 (注1)	0 (注1)	1 (注1)	0	0	0	0 (注1)	0 (注1)	x	0 (注1)	0 (注1)	0 (注1)	0 (注1)	0 (注1)	0 (注1)

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	CMDE	コマンドエラー検出フラグ	0: コマンドエラーの発生なし 1: コマンドエラーの発生あり	R/W (注1)
b1	CRCE	CRCエラー検出フラグ	0: CRCエラーの発生なし 1: CRCエラーの発生あり	R/W (注1)
b2	ENDE	エンドビットエラー検出フラグ	0: エンドビットエラーの発生なし 1: エンドビットエラーの発生あり	R/W (注1)
b3	DTO	データタイムアウト検出フラグ	0: データタイムアウトの発生なし 1: データタイムアウトの発生あり	R/W (注1)
b4	ILW	SD_BUF0不正書き込みアクセス検出フラグ	0: SD_BUF0レジスタへの不正な書き込みなし 1: SD_BUF0レジスタへの不正な書き込みあり	R/W (注1)
b5	ILR	SD_BUF0不正読み出しアクセス検出フラグ	0: SD_BUF0レジスタから不正な読み出しなし 1: SD_BUF0レジスタから不正な読み出しあり	R/W (注1)
b6	RSPTO	レスポンスタイムアウト検出フラグ	0: レスポンスタイムアウトの発生なし 1: レスポンスタイムアウトの発生あり	R/W (注1)
b7	SDD0MON	SDHI_D0端子ステータスフラグ	0: SD0DAT0端子がLow 1: SD0DAT0端子がHigh	R
b8	BRE	SD_BUF0読み出し許可フラグ	0: SD_BUF0レジスタからの読み出し禁止 1: SD_BUF0レジスタからの読み出し許可	R/W (注1)
b9	BWE	SD_BUF0書き込み許可フラグ	0: SD_BUF0レジスタへの書き込み禁止 1: SD_BUF0レジスタへの書き込み許可	R/W (注1)
b10	—	予約ビット	読むと0が読めます。	R
b11	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b12	—	予約ビット	読むと0が読めます。	R
b13	SD_CLK_CTRLLEN	SD_CLK_CTRL書き込み許可フラグ	0: SD/MMCバス (CMDラインとDATライン) がビジーなので、SD_CLK_CTRL.CLKENビットとCLKSEL[7:0]ビットへの書き込み禁止 1: SD/MMCバス (CMDラインとDATライン) がビジーではないので、SD_CLK_CTRL.CLKENビットとCLKSEL[7:0]ビットへの書き込み許可	R
b14	CBSY	コマンドシーケンス状態表示フラグ	0: コマンドシーケンス終了 1: コマンドシーケンス実行中 (ビジー状態)	R
b15	ILA	不正アクセスエラー検出フラグ	0: 不正アクセスエラーの発生なし 1: 不正アクセスエラーの発生あり	R/W (注1)
b31-b16	—	予約ビット	読むと0が読めます。	R

注1. 1にしてもフラグは変化しません。0を書くとフラグの値は0になります。

SD\_INFO2レジスタは、SDバッファおよびSDカード/MMCのステータスを表示します。クリアするフラグを0に、クリアしないフラグを1にします。

**CMDE フラグ (コマンドエラー検出フラグ)**

[1 になる条件]

- 送信したコマンドの `command index` と受信したレスポンスの `command index` が異なるとき
- コマンドシーケンス中に送信したコマンドの `command index` と受信したレスポンスの `command index` が異なるとき

[0 になる条件]

- CMDE に 0 を書いて、CMD エラーによりコマンドシーケンスが停止したとき

**CRCE フラグ (CRC エラー検出フラグ)**

[1 になる条件]

- CRC status にエラーが発生したとき
- 読み出したデータに CRC エラーが発生したとき
- レスポンスに CRC エラーが発生したとき
- コマンドシーケンス中に送信したコマンドに対するレスポンスに CRC エラーがあるとき

[0 になる条件]

- CRCE に 0 を書いて、CRC エラーによりコマンドシーケンスが停止したとき

**ENDE フラグ (エンドビットエラー検出フラグ)**

[1 になる条件]

- レスポンス長にエラーが発生したとき (エンドビットが未検出のとき)
- 読み出しデータ長にエラーが発生したとき (有効ビットのエンドビットが未検出のとき)
- CRC status 長にエラーが発生したとき (エンドビットが未検出のとき)
- コマンドシーケンス中に送信したコマンドに対するレスポンス長にエラーがあるとき (たとえば、エンドビットが未検出のとき)

[0 になる条件]

- ENDE に 0 を書いて、End エラーによりコマンドシーケンスが停止したとき

**DTO フラグ (データタイムアウト検出フラグ)**

データタイムアウトによりコマンドシーケンスは停止します。

[1 になる条件]

- R1b レスポンス後、Ncycle を超える期間にわたってビジー状態 (`SD0DAT0=0`) が継続したとき
- CRC status 後、Ncycle を超える期間にわたってビジー状態 (`SD0DAT0=0`) が継続したとき
- データを書き込んだ後、Ncycle の期間が経過する前に CRC status を受信しなかったとき
- リードコマンドの後、Ncycle の期間が経過する前に読み出しデータを受信しなかったとき
- コマンドシーケンス中に CMD12 が送信された後、Ncycle を超える期間にわたってビジー状態 (`SD0DAT0=0`) が継続したとき
- 読み出しデータを受信した後、Ncycle の期間が経過する前に次のブロックの読み出しデータを受信しなかったとき
- Read Wait 状態が解除された後、Ncycle の期間が経過する前に次のブロックの読み出しデータを受信しなかったとき

注. Ncycle は SD\_OPTION[7:4] で設定できます。

[0 になる条件]

- DTO に 0 を書いたとき

#### ILW フラグ (SD\_BUF0 不正書き込みアクセス検出フラグ)

[1 になる条件]

- リード/ライトコマンド以外の状態で SD\_BUF0 にデータを書き込んだとき
- SD\_BUF がフルの状態でも SD\_BUF0 にデータを書き込んだとき
- CRC status または CRC status 長にエラーがある状態で、SD\_BUF0 にデータを書き込んだとき
- CRC status 後のビジー状態が Ncycle を超える期間にわたって継続しているときに SD\_BUF0 にデータを書き込んだとき

注. Ncycle は SD\_OPTION[7:4] で設定できます。

[0 になる条件]

- ILW に 0 を書いたとき

#### ILR フラグ (SD\_BUF0 不正読み出しアクセス検出フラグ)

[1 になる条件]

- SD\_BUF0 を読み出しているときに SD\_BUF がエンプティのとき
- CRC エラーまたは END エラーを含むデータを SD\_BUF0 から読み出したとき

[0 になる条件]

- ILR に 0 を書いたとき

#### RSPTO フラグ (レスポンスタイムアウト検出フラグ)

[1 になる条件]

- SD/MMC クロックで 640 サイクルを超える時間が経過してもレスポンスを受信しないとき (コマンドシーケンス中に送信したコマンドに対するレスポンスを含みます)

[0 になる条件]

- RSPTO に 0 を書いて、レスポンスタイムアウトによりコマンドシーケンスが停止したとき

#### SDD0MON フラグ (SDHI\_D0 端子ステータスフラグ)

イレースコマンドを送信した後、データタイムアウト (DTO) が設定されていても、レスポンスタイムアウト (RSPTO) が設定されていない場合、DAT0 のポーリングによりイレースシーケンスの終了 (SDD0MON = 1) が確認されます。

なお、ライトシーケンス中に通信エラーまたはタイムアウトが発生すると、DAT0 ビットの値が 0 のままになっている場合があります。

SD/MMC クロックが停止しているとき、DAT0 ビットはクロックが停止する前に値を保持します。

#### BRE フラグ (SD\_BUF0 読み出し許可フラグ)

[1 になる条件]

- シングルブロック転送時、SD\_SIZE に設定したデータが SD\_BUF0 に格納されたとき
- マルチブロック転送時、SD\_SIZE に設定したデータが SD\_BUF0 のバンク 1 またはバンク 2 のいずれかに格納されたとき

[0 になる条件]

- BRE に 0 を書いたとき
- DMA 転送にて SD\_BUF0 からデータを 1 ブロック分読み出したとき

CPUにてSD\_BUF0からデータを読み出す場合、BREをクリアしてから、SD\_SIZEに設定したデータ量を読み出すようにしてください。

ブロックデータを読み出しているときにCRCエラーまたはENDエラーが発生した場合も、SD\_BUF0にデータが格納され、BREが設定されます。

#### **BWE フラグ (SD\_BUF0 書き込み許可フラグ)**

[1になる条件]

- シングルブロック転送時、SD\_BUF0がエンプティのとき
- マルチブロック転送時、SD\_BUF0のバンク1またはバンク2のいずれかがエンプティのとき

[0になる条件]

- BWEに0を書いたとき
- DMA転送にてSD\_BUF0にデータを1ブロック分書いたとき

CPUにてSD\_BUF0にデータを書き込む場合、BWEをクリアしてから、SD\_SIZEに設定したデータ量を書き込むようにしてください。

#### **SD\_CLK\_CTRLLEN フラグ (SD\_CLK\_CTRL 書き込み許可フラグ)**

SD\_CMDへの書き込みによってコマンドシーケンスが開始すると、CBSYビットが1になると同時に、SD\_CLK\_CTRLLENビットが0になります。コマンドシーケンスの完了によりCBSYビットが0になった後、SDCLKクロックの8サイクル後にSD\_CLK\_CTRLLENビットが1になります。

#### **ILA フラグ (不正アクセスエラー検出フラグ)**

[1になる条件]

- コマンドシーケンス中にSD\_CMDにデータを書き込んだとき (CBSY = 1)
- SD\_CMDにおいてSD\_CMD[11] = 1 (データ転送のあるコマンド) かつSD\_CMD[7:0] = 0000\_1100b (CMD12)にしたとき

[0になる条件]

- ILAに0を書いたとき

## 37.2.12 SD\_INFO1 割り込みマスクレジスタ (SD\_INFO1\_MASK)

アドレス SDHI0.SD\_INFO1\_MASK 4006 2040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SDD3I NM	SDD3R MM	—	—	—	—	—	ACEND M	—	RSPEN DM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RSPENDM	レスポンスエンド割り込み要求マスク	0: レスポンスエンド割り込み要求をマスクしない 1: レスポンスエンド割り込み要求をマスクする	R/W
b1	—	予約ビット	読むと0が読めます。	R
b2	ACENDM	アクセスエンド割り込み要求マスク	0: アクセスエンド割り込み要求をマスクしない 1: アクセスエンド割り込み要求をマスクする	R/W
b4-b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	SDD3RMM	SD0DAT3 抜去割り込み要求マスク	0: SD0DAT3 端子によるSDカード/MMC 抜去割り込み要求をマスクしない 1: SD0DAT3 端子によるSDカード/MMC 抜去割り込み要求をマスクする	R/W
b9	SDD3INM	SD0DAT3 挿入割り込み要求マスク	0: SD0DAT3 端子によるSDカード/MMC 挿入割り込み要求をマスクしない 1: SD0DAT3 端子によるSDカード/MMC 挿入割り込み要求をマスクする	R/W
b31-b10	—	予約ビット	読むと0が読めます。	R

SD\_INFO1\_MASK レジスタは、SD\_INFO1 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。各ステータスフラグと要求される割り込み要因の関係は表 37.6 割り込み要因を参照してください。



## 37.2.13 SD INFO2 割り込みマスクレジスタ (SD\_INFO2\_MASK)

アドレス SDHI0.SD\_INFO2\_MASK 4006 2044h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ILAM	—	—	—	—	—	BWEM	BREM	—	RSPTOM	ILRM	ILWM	DTOM	ENDEM	CRCEM	CMDEM
リセット後の値	1	0	0	0	1	0	1	1	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	CMDEM	コマンドエラー割り込み要求マスク	0: コマンドエラー割り込み要求をマスクしない 1: コマンドエラー割り込み要求をマスクする	R/W
b1	CRCEM	CRCエラー割り込み要求マスク	0: CRCエラー割り込み要求をマスクしない 1: CRCエラー割り込み要求をマスクする	R/W
b2	ENDEM	エンドビットエラー割り込み要求マスク	0: エンドビット検出エラー割り込み要求をマスクしない 1: エンドビット検出エラー割り込み要求をマスクする	R/W
b3	DTOM	データタイムアウト割り込み要求マスク	0: データタイムアウト割り込み要求をマスクしない 1: データタイムアウト割り込み要求をマスクする	R/W
b4	ILWM	SD_BUF0レジスタ不正書き込み割り込み要求マスク	0: SD_BUF0レジスタへの不正書き込み検出割り込み要求をマスクしない 1: SD_BUF0レジスタへの不正書き込み検出割り込み要求をマスクする	R/W
b5	ILRM	SD_BUF0レジスタ不正読み出し割り込み要求マスク	0: SD_BUF0レジスタへの不正読み出し検出割り込み要求をマスクしない 1: SD_BUF0レジスタへの不正読み出し検出割り込み要求をマスクする	R/W
b6	RSPTOM	レスポンスタイムアウト割り込み要求マスク	0: レスポンスタイムアウト割り込み要求をマスクしない 1: レスポンスタイムアウト割り込み要求をマスクする	R/W
b7	—	予約ビット	読むと0が読めます。	R
b8	BREM	BRE割り込み要求マスク	0: SDバッファへの読み出し許可割り込み要求をマスクしない 1: SDバッファへの読み出し許可割り込み要求をマスクする	R/W
b9	BWEM	BWE割り込み要求マスク	0: SD_BUF0レジスタへの書き込み許可割り込み要求をマスクしない 1: SD_BUF0レジスタへの書き込み許可割り込み要求をマスクする	R/W
b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b11	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b14-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b15	ILAM	不正アクセスエラー割り込み要求マスク	0: 不正アクセスエラー割り込み要求をマスクしない 1: 不正アクセスエラー割り込み要求をマスクする	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注 1. SD\_INFO2\_MASK.BWEM ビットもしくはSD\_INFO2\_MASK.BREM ビットのいずれかが0のとき、SD\_DMAEN.DMAEN ビットは0にしてください。SD\_DMAEN.DMAEN ビットが1のとき、SD\_INFO2\_MASK.BWEM ビットおよびSD\_INFO2\_MASK.BREM ビットは1にしてください。

SD\_INFO2\_MASK レジスタは、SD\_INFO2 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。各ステータスフラグと要求される割り込み要因の関係は表 37.6 割り込み要因を参照してください。

## 37.2.14 SD クロックコントロールレジスタ (SD\_CLK\_CTRL)

アドレス SDHI0.SD\_CLK\_CTRL 4006 2048h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CLKCT RLEN	CLKEN	CLKSEL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CLKSEL[7:0]	SDHIクロック周波数選択(注1)	b7      b0 00000000: PCLKAの2分周 00000001: PCLKAの4分周 00000010: PCLKAの8分周 00000100: PCLKAの16分周 00001000: PCLKAの32分周 00010000: PCLKAの64分周 00100000: PCLKAの128分周 01000000: PCLKAの256分周 10000000: PCLKAの512分周 上記以外は設定しないでください。	R/W
b8	CLKEN	SD/MMCクロック出力制御(注1)	0: SD/MMCクロックの出力を禁止 (SD0CLK信号をLowに固定) 1: SD/MMCクロックの出力を許可	R/W
b9	CLKCTRLLEN	SD/MMCクロック出力自動制御選択	0: SD/MMCクロック出力の自動制御は無効 1: SD/MMCクロック出力の自動制御は有効	R/W
b31-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SD\_INFO2.SD\_CLK\_CTRLLEN フラグが0のとき、CLKSEL[7:0]ビット、CLKENビットに書き込むことはできません。

SDCLKCTRL レジスタは、SD/MMCクロックの周波数の設定や出力の制御を行います。SD\_CMD レジスタに値を書き込んでコマンドシーケンスが開始される前にCLKENビットを1にしてください。SD\_INFO2.SD\_CLK\_CTRLLEN フラグが0のとき、SDCLKCTRL レジスタへ書き込まないでください。

#### CLKCTRLLEN ビット (SD/MMCクロック出力自動制御選択)

SD/MMCクロック出力の自動制御機能は、コマンドシーケンス中だけSD/MMCクロックを出力する機能です。

SD/MMCクロック出力が開始・停止するタイミングは以下の通りです。

- SD/MMCクロック出力は、SD\_CMD への書き込み後に開始します
- SD/MMCクロック出力は、コマンドシーケンスの終了後にSD/MMCクロックの8サイクルが経過すると停止します

また、SD\_CLK\_CTRL の SCLKEN が0のときは、CLKCTRLLEN ビットの値にかかわらず、SD/MMCクロックは0に固定されます。

## 37.2.15 転送データ長レジスタ (SD\_SIZE)

アドレス SDHI0.SD\_SIZE 4006 204Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	LEN[9:0]	転送データサイズ設定	転送データサイズ設定 (注1)	R/W
b31-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注1. SD\_INFO2.CBSY フラグが1のとき、これらのビットを書き換えしないでください。

SD\_SIZE レジスタは、転送データサイズを設定するレジスタです。

**LEN[9:0] ビット (転送データサイズ設定)**

シングルブロック転送時には、1バイト～512バイトの範囲を設定できます。CMD12を自動送信するマルチブロック転送時 (CMD18とCMD25) には、512バイトのみ設定できます。CMD12を自動送信しないマルチブロック転送時には、512バイトの他、32、64、128、256バイトを設定できます。ただし、32、64、128、256バイトのマルチブロックリード転送は、SDIOのマルチブロック転送時 (CMD53) に限ります。なお、データ転送のあるコマンドのとき、LEN[9:0] ビットを0にしないでください。

## 37.2.16 SD カードアクセスコントロールオプションレジスタ (SD\_OPTION)

アドレス SDHI0.SD\_OPTION 4006 2050h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
WIDTH	—	WIDTH 8	—	—	—	—	TOUTM ASK	TOP[3:0]				—	—	—	—
リセット後の値	0 (注2)	1	0 (注2)	0	0	0	0 (注2)	1 (注2)	1 (注2)	1 (注2)	0 (注2)	1	1	1	0

ビット	シンボル	ビット名	機能	R/W																		
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																		
b3-b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W																		
b7-b4	TOP[3:0]	タイムアウトカウンタ (注1)	<table border="0"> <tr> <td>b7 b4</td><td>b7 b4</td> </tr> <tr> <td>0 0 0 0 : SDHIクロック × 2<sup>13</sup></td><td>1 0 0 0 : SDHIクロック × 2<sup>21</sup></td> </tr> <tr> <td>0 0 0 1 : SDHIクロック × 2<sup>14</sup></td><td>1 0 0 1 : SDHIクロック × 2<sup>22</sup></td> </tr> <tr> <td>0 0 1 0 : SDHIクロック × 2<sup>15</sup></td><td>1 0 1 0 : SDHIクロック × 2<sup>23</sup></td> </tr> <tr> <td>0 0 1 1 : SDHIクロック × 2<sup>16</sup></td><td>1 0 1 1 : SDHIクロック × 2<sup>24</sup></td> </tr> <tr> <td>0 1 0 0 : SDHIクロック × 2<sup>17</sup></td><td>1 1 0 0 : SDHIクロック × 2<sup>25</sup></td> </tr> <tr> <td>0 1 0 1 : SDHIクロック × 2<sup>18</sup></td><td>1 1 0 1 : SDHIクロック × 2<sup>26</sup></td> </tr> <tr> <td>0 1 1 0 : SDHIクロック × 2<sup>19</sup></td><td>1 1 1 0 : SDHIクロック × 2<sup>27</sup></td> </tr> <tr> <td>0 1 1 1 : SDHIクロック × 2<sup>20</sup></td><td>1 1 1 1 : 設定禁止</td> </tr> </table>	b7 b4	b7 b4	0 0 0 0 : SDHIクロック × 2 <sup>13</sup>	1 0 0 0 : SDHIクロック × 2 <sup>21</sup>	0 0 0 1 : SDHIクロック × 2 <sup>14</sup>	1 0 0 1 : SDHIクロック × 2 <sup>22</sup>	0 0 1 0 : SDHIクロック × 2 <sup>15</sup>	1 0 1 0 : SDHIクロック × 2 <sup>23</sup>	0 0 1 1 : SDHIクロック × 2 <sup>16</sup>	1 0 1 1 : SDHIクロック × 2 <sup>24</sup>	0 1 0 0 : SDHIクロック × 2 <sup>17</sup>	1 1 0 0 : SDHIクロック × 2 <sup>25</sup>	0 1 0 1 : SDHIクロック × 2 <sup>18</sup>	1 1 0 1 : SDHIクロック × 2 <sup>26</sup>	0 1 1 0 : SDHIクロック × 2 <sup>19</sup>	1 1 1 0 : SDHIクロック × 2 <sup>27</sup>	0 1 1 1 : SDHIクロック × 2 <sup>20</sup>	1 1 1 1 : 設定禁止	R/W
b7 b4	b7 b4																					
0 0 0 0 : SDHIクロック × 2 <sup>13</sup>	1 0 0 0 : SDHIクロック × 2 <sup>21</sup>																					
0 0 0 1 : SDHIクロック × 2 <sup>14</sup>	1 0 0 1 : SDHIクロック × 2 <sup>22</sup>																					
0 0 1 0 : SDHIクロック × 2 <sup>15</sup>	1 0 1 0 : SDHIクロック × 2 <sup>23</sup>																					
0 0 1 1 : SDHIクロック × 2 <sup>16</sup>	1 0 1 1 : SDHIクロック × 2 <sup>24</sup>																					
0 1 0 0 : SDHIクロック × 2 <sup>17</sup>	1 1 0 0 : SDHIクロック × 2 <sup>25</sup>																					
0 1 0 1 : SDHIクロック × 2 <sup>18</sup>	1 1 0 1 : SDHIクロック × 2 <sup>26</sup>																					
0 1 1 0 : SDHIクロック × 2 <sup>19</sup>	1 1 1 0 : SDHIクロック × 2 <sup>27</sup>																					
0 1 1 1 : SDHIクロック × 2 <sup>20</sup>	1 1 1 1 : 設定禁止																					
b8	TOUTMASK	タイムアウトマスク	0 : タイムアウトの有効化 1 : タイムアウトの無効化 (SD_INFO2のRSPT0ビットとDTOビット、およびSDERRSTS2のE6~E0ビットが設定されません) タイムアウトの無効化によりタイムアウトが発生した場合、ソフトウェアリセットを実行してコマンドシーケンスを終了してください。	R/W																		
b12-b9	—	予約ビット	読むと0が読めます。	R																		
b13	WIDTH8 (注2)	バス幅	b15、WIDTHビットを参照してください。	R/W																		
b14	—	予約ビット	読むと1が読めます。	R																		
b15	WIDTH	バス幅 (注2)	<table border="0"> <tr> <td>b15 b13</td> </tr> <tr> <td>0 1 : 8ビット幅</td> </tr> <tr> <td>0 0 : 4ビット幅</td> </tr> <tr> <td>1 0 : 1ビット幅</td> </tr> <tr> <td>1 1 : 1ビット幅</td> </tr> </table> 1バイトライト転送の場合、4ビット幅または1ビット幅を設定してください。8ビット幅を設定しないでください。	b15 b13	0 1 : 8ビット幅	0 0 : 4ビット幅	1 0 : 1ビット幅	1 1 : 1ビット幅	R/W													
b15 b13																						
0 1 : 8ビット幅																						
0 0 : 4ビット幅																						
1 0 : 1ビット幅																						
1 1 : 1ビット幅																						
b31-b16	—	予約ビット	読むと0が読めます。	R																		

- 注1. SD\_INFO2.CBSY フラグが1のとき、これらのビットを書き換えないでください。  
 注2. リセット時およびSOFT\_RST.SDRST フラグが0の場合、初期値が適用されます。

SD\_OPTION レジスタは、SD バスの幅およびタイムアウトカウンタを設定するレジスタです。

## 37.2.17 SD エラーステータスレジスタ 1 (SD\_ERR\_STS1)

アドレス SDHI0.SD\_ERR\_STS1 4006 2058h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	CRCTK[2:0]		CRCTK E	RDCR CE	RSPCR CE1	RSPCR CE0	—	—	CRCL ENE	RDLEN E	RSPL ENE1	RSPL ENE0	CMDE1	CMDE0	
リセット後の値	0	0 (注3)	1 (注3)	0 (注3)	0 (注3)	0 (注3)	0 (注3)	0	0	0 (注3)	0 (注3)	0 (注3)	0 (注3)	0 (注3)	0 (注3)

ビット	シンボル	ビット名	機能	R/W
b0	CMDE0	コマンドエラーフラグ0	0: コマンド (注1) のレスポンスの command index フィールド値にエラーなし 1: コマンド (注1) のレスポンスの command index フィールド値にエラーあり	R
b1	CMDE1	コマンドエラーフラグ1	0: コマンド (注2) のレスポンスの command index フィールド値にエラーなし 1: コマンド (注2) のレスポンスの command index フィールド値にエラーあり (SD_CMD.CMDIDX[5:0] ビットに設定することでCMD12を送信した場合のエラーはCMDE0フラグに表示されます)	R
b2	RSPL ENE0	レスポンス長エラーフラグ0	0: コマンド (注1) のレスポンス長にエラーなし 1: コマンド (注1) のレスポンス長にエラーあり	R
b3	RSPL ENE1	レスポンス長エラーフラグ1	0: コマンド (注2) のレスポンス長にエラーなし 1: コマンド (注2) のレスポンス長にエラーあり (SD_CMD.CMDIDX[5:0] ビットに設定することでCMD12を送信した場合のエラーはRSPL ENE0フラグに表示されます)	R
b4	RDLEN E	読み出しデータ長エラーフラグ	0: 読み出しデータ長エラーの発生なし 1: 読み出しデータ長エラーの発生あり	R
b5	CRCL ENE	CRC status トークン長エラーフラグ	0: CRC status トークン長エラーの発生なし 1: CRC status トークン長エラーの発生あり	R
b7-b6	—	予約ビット	読むと0が読めます。	R
b8	RSPCRCE0	レスポンスCRCエラーフラグ0	0: コマンド (注1) のレスポンスにCRCエラーあり 1: コマンド (注1) のレスポンスにCRCエラーなし	R
b9	RSPCRCE1	レスポンスCRCエラーフラグ1	0: コマンド (注2) のレスポンスにCRCエラーあり 1: コマンド (注2) のレスポンスにCRCエラーなし (SD_CMD.CMDIDX[5:0] ビットに設定することでCMD12を送信した場合のエラーはRSPCRCE0フラグに表示されます)	R
b10	RDCRCE	読み出しデータCRCエラーフラグ	0: 読み出しデータにCRCエラーあり 1: 読み出しデータにCRCエラーなし	R
b11	CRCTKE	CRC status トークンエラーフラグ	0: CRC status トークンにエラーあり 1: CRC status トークンにエラーなし	R
b14-b12	CRCTK[2:0]	CRC status トークン	CRC status トークン値を格納します (正常値は010b)	R
b31-b15	—	予約ビット	読むと0が読めます。	R

注1. SD\_CMD でマルチブロック転送の自動送信が有効な場合は CMD12 以外の CMD、SD\_STOP の STP ビットが 1 の場合は CMD12、SDIO\_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52

注2. SD\_CMD でマルチブロック転送の自動送信が有効な場合は CMD12、SD\_STOP の STP ビットが 1 の場合は CMD12、SDIO\_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52

注3. リセット時および SOFT\_RST.SDRST フラグが 0 の場合、初期値が適用されます。

SD\_ERR\_STS1 レジスタは、CRC status トークン、CRC エラー、エンドビットエラー、およびコマンドエラーを表示します。

37.2.18 SD エラーステータスレジスタ 2 (SD\_ERR\_STS2)

アドレス SDHI0.SD\_ERR\_STS2 4006 205Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	—	—	—	—	—	—	CRCBS YTO	CRCTO	RDTO	BSYTO 1	BSYTO 0	RSPTO 1	RSPTO 0
リセット後の値	0	0	0	0	0	0	0	0	0	0 (注4)	0 (注4)	0 (注4)	0 (注4)	0 (注4)	0 (注4)	0 (注4)

ビット	シンボル	ビット名	機能	R/W
b0	RSPTO0	レスポンスタイムアウトフラグ0	0 : コマンド (注1) を送信した後、SD/MMCクロックで640サイクル未満でレスポンスを受信した 1 : コマンド (注1) を送信した後、SD/MMCクロックで640サイクル以上経過してもレスポンスを受信しなかった	R
b1	RSPTO1	レスポンスタイムアウトフラグ1	0 : コマンド (注2) を送信した後、SD/MMCクロックで640サイクル未満でレスポンスを受信した 1 : コマンド (注2) を送信した後、SD/MMCクロックで640サイクル以上経過してもレスポンスを受信しなかった (SD_CMD.CMDIDX[5:0]ビットに設定することでCMD12を送信した場合のエラーはRSPTO0フラグに表示されます)	R
b2	BSYTO0	ビジータイムアウトフラグ0	0 : R1bレスポンス受信後、指定時間 (注3) 以内にSD/MMCのビジー状態が解除された 1 : R1bレスポンス受信後、指定時間 (注3) が経過してもSD/MMCはビジー状態のまま	R
b3	BSYTO1	ビジータイムアウトフラグ1	0 : CMD12の自動送信後、指定時間 (注3) 以内にSD/MMCのビジー状態が解除された 1 : CMD12の自動送信後、指定時間 (注3) が経過してもSD/MMCはビジー状態のまま (SD_CMD.CMDIDX[5:0]ビットに設定することでCMD12を送信した場合のエラーはBSYTO0フラグに表示されます)	R
b4	RDTO	読み出しデータタイムアウトフラグ	リードコマンドの後、指定時間 (注3) が経過してもリードデータを受信しないとき1になります。 リードデータ受信の後、指定時間 (注3) が経過しても次ブロックリードデータを受信しないとき1になります。 SD/MMCのRead Wait解除の後、指定時間 (注3) が経過しても次ブロックリードデータを受信しないとき1になります。	R
b5	CRCTO	CRC status トークンタイムアウトフラグ	0 : SDカード/MMCにデータを書き込んだ後、指定時間 (注3) 以内にCRC status トークンを受信した 1 : SDカード/MMCにCRCデータを書き込んだ後、指定時間 (注3) が経過してもCRC status トークンを受信しなかった	R
b6	CRCBSYTO	CRC status トークンビジータイムアウトフラグ	0 : CRC status トークン受信後、指定時間 (注3) 以内にSD/MMCのビジー状態が解除された 1 : CRC status トークン受信後、指定時間 (注3) が経過してもSD/MMCはビジー状態のまま	R
b31-b7	—	予約ビット	読むと0が読めます。	R

- 注 1. SD\_CMD でマルチブロック転送の自動送信が有効な場合は CMD12 以外の CMD、SD\_STOP の STP ビットが 1 の場合は CMD12、SDIO\_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52
- 注 2. SD\_CMD でマルチブロック転送の自動送信が有効な場合は CMD12、SD\_STOP の STP ビットが 1 の場合は CMD12、SDIO\_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52
- 注 3. SD\_OPTION.TOP[3:0] ビットで設定して、サイクル数 n を選択します。
- 注 4. リセット時および SOFT\_RST.SDRST フラグが 0 の場合、初期値が適用されます。

SD\_ERR\_STS2 レジスタは、タイムアウトの状態を表示します。

## 37.2.19 SD バッファレジスタ (SD\_BUF0)

アドレス SDHI0.SD\_BUF0 4006 2060h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

SD カードに書き込みを行うと、書き込みデータはこのレジスタに書き込まれます。SD カードから読み出しを行うと、読み出しデータはこのレジスタから読み出されます。このレジスタは2つの512バイトバッファに内部的に接続されます。

マルチブロックリードの実行時に両方のバッファがエンプティでない場合、データ受信を中断するためにSDカード/MMCクロックが停止します。どちらかのバッファがエンプティの場合、データ受信を再開するためにSDカード/MMCクロックが供給されます。

## 37.2.20 SDIO モードコントロールレジスタ (SDIO\_MODE)

アドレス SDHI0.SDIO\_MODE 4006 2068h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INTEN	SDIO 割り込み受け付け許可 <sup>(注1)</sup>	0: SDIO 割り込み受け付け禁止 1: SDIO 割り込み受け付け許可	R/W
b1	—	予約ビット	読むと0が読めます。	R
b2	RWREQ	Read Wait 要求	0: SD/MMCの Read Wait 状態の解除 1: SD/MMCの Read Wait 状態への遷移を要求	R/W
b7-b3	—	予約ビット	読むと0が読めます。	R
b8	IOABT	SDIO abort	CMD53によるマルチブロック転送時に1にするとただちにCMD52が送信され、コマンドシーケンスは中断します。	R/W
b9	C52PUB	SDIO none abort	CMD53によるマルチブロック転送時に1にすると、転送中の処理を終えてからCMD52が送信され、コマンドシーケンスは終了します。	R/W
b31-b10	—	予約ビット	読むと0が読めます。	R

注1. SD\_INFO2.CBSY フラグが1のとき、このビットを書き換えしないでください。

SDIO\_MODE レジスタは、SDIO 割り込みの受け付け、マルチブロック転送時のCMD52の送信、Read Wait 要求の制御を行うレジスタです。C52PUB ビットと IOABT ビットを同時に1にしないでください。

### RWREQ ビット (Read Wait 要求)

CMD53 (マルチブロック) リードシーケンスで RWREQ を 1 にすると、ブロック転送はブロック間で Read Wait 状態になります。

[Read Wait 状態の解除]

- Read Wait 状態で RWREQ を 0 にすると、Read Wait 状態が解除される
- Read Wait 状態で IOABT を 1 にすると、CMD52 の送信後、RWREQ が 0 にクリアされ、Read Wait 状態が解除される
- CMD53 (マルチブロック) リードシーケンスで C52PUB と同時に RWREQ を 1 にした場合、Read Wait 状態は自動で解除されない。そのため、CMD52 レスポンスを受信すると RWREQ をクリアする。RWREQ と C52PUB は必ず同時に設定すること。

CMD53 (マルチブロック) リードシーケンスで最終ブロックの転送中に RWREQ を 1 にした場合、Read Wait 状態にはならず、アクセスエンドを設定することで RWREQ は自動的にクリアされます。レスポンスエンドフラグの設定後に RWREQ を 1 にしてください。

### IOABT ビット (SDIO abort)

- CMD53 (マルチブロック) シーケンスで IOABT を 1 にすると、CMD53 のシーケンスが停止し、CMD52 が送信されます。ただし、通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、CMD52 は送信されません。IOABT を 1 にした後も引き続きバッファアクセスが可能だが、これにより SD\_INFO2 のバッファアクセスエラービット (ILR または ILW) が設定されます。IOABT を 1 にする前に SD\_ARG を設定してください。
- シングルブロックライトの転送時に IOABT を 1 にすると、SD\_BUF0 がエンプティの場合はアクセスエンドフラグが設定され、CMD52 は送信されません。SD\_BUF0 にデータがある場合、CMD52 が送信されずにビジー状態の受信を完了したときにアクセスエンドフラグが設定されます。
- シングルブロックリードの転送時に IOABT を 1 にすると、IOABT の設定直後にアクセスエンドフラグが設定され、CMD52 は送信されません。
- R1b レスポンス後、ビジー状態の受信時に IOABT を 1 にすると、CMD52 が送信されずにビジー状態の受信を完了したときにアクセスエンドフラグが設定されます。
- コマンドシーケンスの完了後に IOABT を 1 にすると、CMD52 は送信されず、アクセスエンドフラグも設定されません。
- レスポンスエンドフラグの設定後に IOABT を 1 にします。
- レスポンスエンドフラグの設定後に IOABT を 0 にします。

### C52PUB ビット (SDIO none abort)

- CMD53 (マルチブロック) ライトシーケンスで C52PUB を 1 にすると、SD\_BUF0 がエンプティになる場合、CMD52 がブロック間で自動送信されます。C52PUB は、CMD52 に対するレスポンスの受信を完了した後、自動的にクリアされます。また、最終ブロック転送中に C52PUB を 1 にすると、CMD52 は送信されません。この場合、アクセスエンドフラグを 1 にした後、C52PUB は自動的にクリアされます。
- CMD53 (マルチブロック) リードシーケンスで C52PUB と RWREQ を 1 にすると、ブロック転送はブロック間で Read Wait 状態になり、CMD52 は自動送信されます。C52PUB は、CMD52 に対するレスポンスの受信を完了した後、自動的にクリアされます。また、最終ブロック転送中に C52PUB を 1 にすると、CMD52 は送信されません。この場合、アクセスエンドフラグを 1 にした後、C52PUB は自動的にクリアされます。
- CMD53 (マルチブロック) リードシーケンスで C52PUB を 1 にした場合、C52PUB に加えて RWREQ を 1 にしてください。
- C52PUB を 1 にする前に SD\_ARG を設定してください。
- レスポンスエンドフラグの設定後に C52PUB を 1 にします。



## 37.2.21 SDIO 割り込みフラグレジスタ (SDIO\_INFO1)

アドレス SDHI0.SDIO\_INFO1 4006 206Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	EXWT	EXPUB52	—	—	—	—	—	—	—	—	—	—	—	—	—	IOIRQ
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOIRQ	SDIO 割り込みステータスフラグ	0 : SDIO 割り込みの検出なし 1 : SDIO 割り込みの検出あり	R(W) (注1)
b2-b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。SD/MMC動作時に値が変化する場合があります。	R
b13-b3	—	予約ビット	読むと0が読めます。	R
b14	EXPUB52	EXPUB52 ステータスフラグ	EXPUB52 ステータスを表示します。	R(W) (注1)
b15	EXWT	EXWT ステータスフラグ	EXWT ステータスを表示します。	R(W) (注1)
b31-b16	—	予約ビット	読むと0が読めます。	R

注1. 1にしてもフラグの値は変化しません。0を書くとフラグの値は0になります。

SDIO\_INFO1 レジスタは、SDIO カードアクセスに関するステータスを表示します。フラグをクリアする場合、クリアするフラグを0に、クリアしないフラグを1にします。

**IOIRQ フラグ (SDIO 割り込みステータスフラグ)**

[1になる条件]

- SDIOMODE の IOMOD が1のときに SDIO カードからの SDIO 割り込みを受信したとき

[0になる条件]

- IOIRQ に0を書いたとき (注1)

注1. このビットをクリアする前に、SDIO カードにアクセスして SDIO カードからの SDIO 割り込み信号をネゲートしてください。割り込み信号をネゲートしない場合、このビットが再び設定される可能性があります。

**EXPUB52 フラグ (EXPUB52 ステータスフラグ)**

[1になる条件]

- CMD53 (マルチブロック) シーケンスで最終ブロックの転送中に、SDIOMODE の C52PUB を1にしたとき
- CMD53 (マルチブロック) ライトシーケンスで C52PUB を1にして、最終ブロックが転送されたとき

[0になる条件]

- EXPUB52 に0を書いたとき

**EXWT フラグ (EXWT ステータスフラグ)**

[1 になる条件]

- CMD53 (マルチブロック) リードシーケンスで最終ブロックの転送中に、SDIOMODE の RWREQ を 1 にしたとき

[0 になる条件]

- EXWT に 0 を書いたとき

**37.2.22 SDIO INFO1 割り込みマスクレジスタ (SDIO\_INFO1\_MASK)**

アドレス SDHI0.SDIO\_INFO1\_MASK 4006 2070h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EXWT M	EXPUB 52M	—	—	—	—	—	—	—	—	—	—	—	—	—	IOIRQ M
リセット後の値	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	IOIRQM	IOIRQ 割り込みマスク制御	0 : IOIRQ 割り込みをマスクしない 1 : IOIRQ 割り込みをマスクする	R/W
b2-b1	—	予約ビット	読むと 1 が読めます。書く場合、1 としてください。	R/W
b13-b3	—	予約ビット	読むと 0 が読めます。	R
b14	EXPUB52M	EXPUB52 割り込み要求マスク制御	0 : EXPUB52 割り込み要求をマスクしない 1 : EXPUB52 割り込み要求をマスクする	R/W
b15	EXWTM	EXWT 割り込み要求マスク制御	0 : EXWT 割り込み要求をマスクしない 1 : EXWT 割り込み要求をマスクする	R/W
b31-b16	—	予約ビット	読むと 0 が読めます。	R

SDIO\_INFO1\_MASK レジスタは、SDIO\_INFO1 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。各ステータスフラグと要求される割り込み要因の関係は表 37.6 割り込み要因を参照してください。

## 37.2.23 DMA モードイネーブルレジスタ (SD\_DMAEN)

アドレス SDHI0.SD\_DMAEN 4006 21B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMAEN	—
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。	R
b1	DMAEN	DMA転送許可 (注1) (注2)	0 : DMAによるSD_BUF0レジスタへのアクセス禁止 1 : DMAによるSD_BUF0レジスタへのアクセス許可	R/W
b3-b2	—	予約ビット	読むと0が読めます。	R
b4	—	予約ビット	読むと1が読めます。	R
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。	R
b9-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b10	—	予約ビット	読むと0が読めます。	R
b12	—	予約ビット	読むと1が読めます。	R
b31-b13	—	予約ビット	読むと0が読めます。	R

注1. SD\_INFO2.CBSY ビットが1のとき、このビットを書き換えしないでください。

注2. SD\_INFO2\_MASK.BWEM ビットもしくはSD\_INFO2\_MASK.BREM ビットのいずれかが0のとき、SD\_DMAEN.DMAEN ビットは0にしてください。SD\_DMAEN.DMAEN ビットが1のとき、SD\_INFO2\_MASK.BWEM ビットおよびSD\_INFO2\_MASK.BREM ビットは1にしてください。

SD\_DMAEN レジスタは、DMA 転送の許可/禁止を設定するレジスタです。

**DMAEN ビット (DMA 転送許可)**

SD バッファの読み出しおよび書き込みを DMA 転送を用いて行う場合、SD\_CMD レジスタを設定する前に DMAEN ビットを1にしてください。

## 37.2.24 ソフトウェアリセットレジスタ (SOFT\_RST)

アドレス SDHI0.SOFT\_RST 4006 21C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SDRST	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDRST	ソフトウェアリセット制御	0: SD/MMCホストインタフェースソフトウェアリセット 1: SD/MMCホストインタフェースソフトウェアリセット解除	R/W
b2-b1	—	予約ビット	読むと1が読めます。	R
b31-b3	—	予約ビット	読むと0が読めます。	R

SD/MMCホストインタフェースソフトウェアリセットで初期化されるビットおよびフラグを表 37.5 に示します。

表 37.5 SD/MMCホストインタフェースソフトウェアリセットで初期化されるビットおよびフラグ

レジスタ	ビットまたはフラグ
SD_STOP	SEC
SD_INFO1	RSPEND, ACEND
SD_INFO2	CMDE, CRCE, ENDE, DTO, ILW, ILR, RSPTO, SDD0MON, BRE, BWE, SD_CLK_CTRLLEN, ILA
SD_CLK_CTRL	CLKEN
SD_OPTION	TOP[3:0], WIDTH SD_OPTIONレジスタのb8とb13もSDHIソフトウェアリセットで初期化されます。
SD_ERR_STS1	CMDE0, CMDE1, RSPLNE0, RSPLNE1, RDLENE, CRCLNE, RSPCRCE0, RSPCRCE1, RDCRCE, CRCTKE, CRCTK[2:0]
SD_ERR_STS2	RSPTO0, RSPTO1, BSYTO0, BSYTO1, RDTO, CRCTO, CRCBSYTO
SDIO_INFO1	IOIRQ, EXPUB52, EXWT

## 37.2.25 SD インタフェースモード設定レジスタ (SDIF\_MODE)

アドレス SDHI0.SDIF\_MODE 4006 21CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NOCH KCR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。	R
b8	NOCHKCR	CRCチェックマスク (MMCテストコマンド用)	CRC16またはCRCステータス値チェックが実行されていない時に設定してください。 0 : CRCチェック有効 1 : CRCチェック無効。CRC16値は読み出し時に無視され、CRCステータス値は書き込み時に無視されます。	R/W
b31-b9	—	予約ビット	読むと0が読めます。	R

## 37.2.26 スワップコントロールレジスタ (EXT\_SWAP)

アドレス SDHI0.EXT\_SWAP 4006 21E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。	R
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	—	予約ビット	読むと0が読めます。	R
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	—	予約ビット	読むと0が読めます。	R
b6	BWSWP	SD_BUF0スワップ書き込み (注1)	0: 通常の書き込み 1: バイトのエンディアンを入れ替えてSD_BUF0レジスタに書き込む	R/W
b7	BRSWP	SD_BUF0スワップ読み出し (注1)	0: 通常の読み出し 1: バイトのエンディアンを入れ替えてSD_BUF0レジスタから読み出す	R/W
b10-b8	—	予約ビット	読むと0が読めます。	R
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b13	—	予約ビット	読むと0が読めます。	R
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b16	—	予約ビット	読むと0が読めます。	R

注1. SD\_INFO2.CBSY フラグが1のとき、このビットを書き換えしないでください。

EXT\_SWAP レジスタは、SD\_BUF0 レジスタにアクセスするとき、データのバイトエンディアンを入れ替えてアクセスするかどうかを選択するレジスタです。EXT\_SWAP レジスタ値による SD\_BUF0 レジスタへのアクセス方法の差異については、[37.3.1 SD/MMC I/F](#) を参照してください。

## 37.3 動作説明

### 37.3.1 SD/MMC I/F

SDカード/MMCからデータを読み出すときの処理は以下の通りです。

1. SD/MMCホストインタフェースがSD0DAT信号によりSDカード/MMCからデータを受信する。図 37.2 および図 37.3 を参照。
2. 受信データがMMCホストインタフェースのSD\_BUFに格納される。図 37.4 を参照。
3. SD\_BUFに格納されたデータがSD\_BUF0から読み出される。図 37.5 を参照。

SDカード/MMCにデータを書き込むときは、指定手順は逆になります。

SD\_BUF0にアクセスするときは、SD0DATの転送順とSD\_BUFの格納順に注意してください。SD\_BUF0の読み出し/書き込みデータのバイトエンディアンをSDSWAPレジスタで入れ替えることができます。図 37.6 を参照してください。

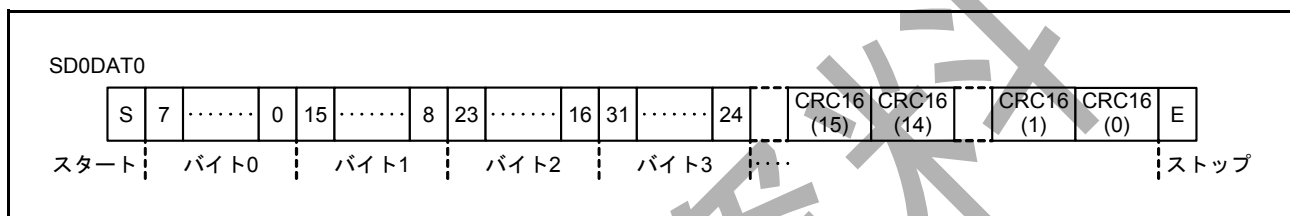


図 37.2 1ビット幅モードのSD0DAT

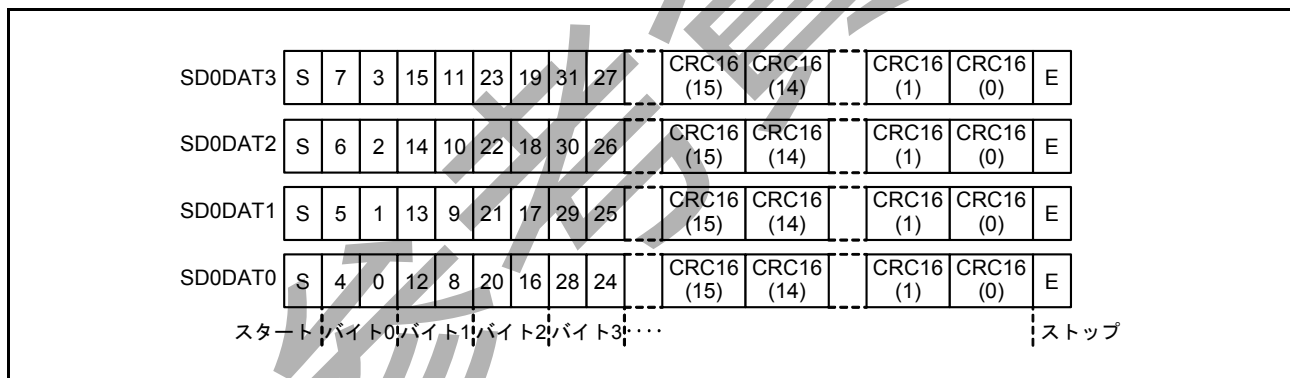


図 37.3 4ビット幅モードのSD0DAT

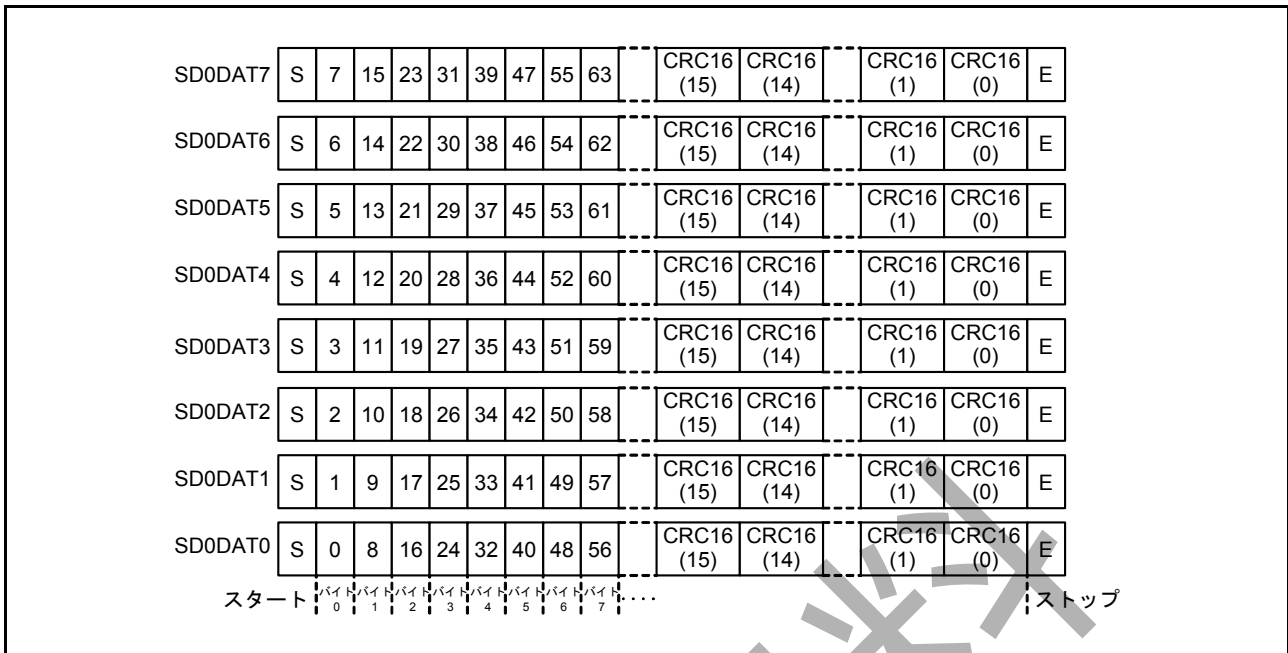


図 37.4 8ビット幅モードのSD0DAT

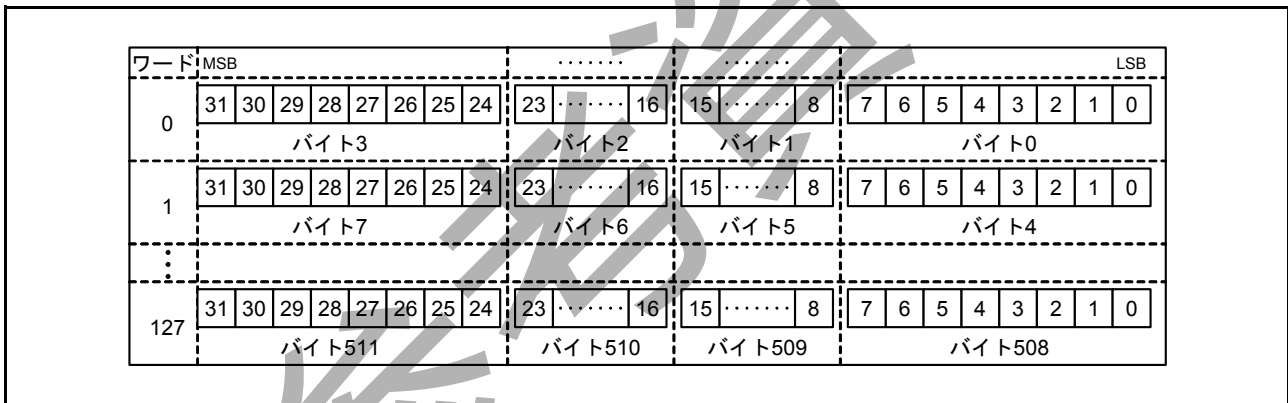


図 37.5 SD\_BUF データ格納

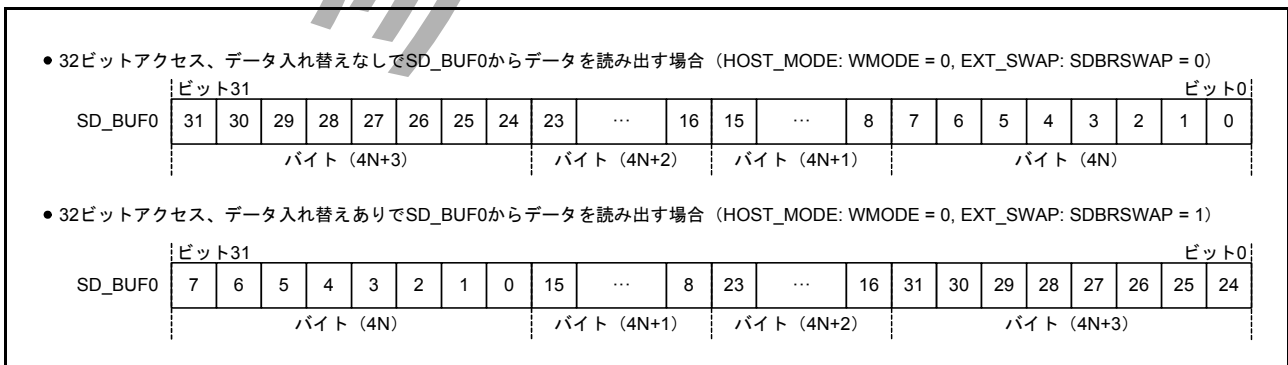


図 37.6 SD\_BUF0 からの読み出し



### 37.3.2 カード検出／ライトプロテクト

#### 37.3.2.1 カード検出

SD/MMC ホストインタフェースには2種類のカード検出機能があります。

##### (1) SD0DAT3 による SD カード検出

SD0DAT3 による SD カード検出時のタイミングチャートを図 37.7 に示します。また、SD0DAT3 はホスト機器によってプルダウンし、プルダウン抵抗値は SD ホスト機器の仕様により決定します。

##### (2) カード挿入

SD カードが挿入されると、SD0DAT3 がプルアップし、SD\_INFO1 の SDD3IN が 1 になります。0 書き込みで 0 になります。

##### (3) カード抜去

SD カードが抜去されると、SD0DAT3 がプルダウンし、SD\_INFO1 の SDD3RM が 1 になります。0 書き込みで 0 になります。

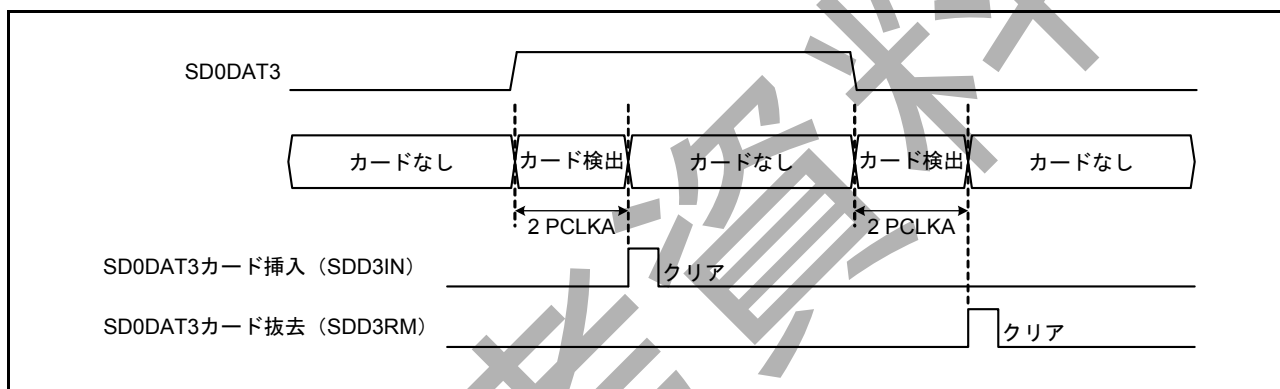


図 37.7 SD0DAT3 による SD カード検出

#### 37.3.2.2 ライトプロテクト

SD/MMC ホストインタフェースには2種類のライトプロテクト機能があります。

##### (1) SD0WP によるライトプロテクト

SD0WP はカードソケットに接続され、カード挿入によりプルアップまたはプルダウンします。プルアップまたはプルダウンの選択および抵抗値は SD ホスト機器の仕様により決定します。SD0WP ステートが SD\_INFO1 の SDWPMON に反映されると、SD カードの挿入後にライトプロテクトステートが設定されます。

##### (2) コマンドによるライトプロテクト

カードの内部的なライトプロテクトおよびカードのロック／アンロック動作はコマンドによって実現します。

### 37.3.3 割り込み要求と DMA 転送要求

#### 37.3.3.1 割り込み

SDHI の割り込み要因を [表 37.6](#) に示します。SDHI は、以下の場合に割り込みを要求します。

- SD\_INFO1、SD\_INFO2、または SDIO\_INFO1 レジスタのステータスフラグが 1 になる
- SD\_INFO1\_MASK、SD\_INFO2\_MASK、および SDIO\_INFO1\_MASK レジスタの関連するビットが 0 である

SD\_INFO1、SD\_INFO2、および SDIO\_INFO1 レジスタの各ステータスフラグをクリアする場合は、クリアするステータスフラグに 0 を、それ以外のステータスフラグには 1 を書き込んでください。

表 37.6 割り込み要因

割り込み要因	ステータスフラグレジスタ		割り込みマスクレジスタ		割り込み名称
	レジスタ	ビット	レジスタ	ビット	
カードアクセス割り込み	SD_INFO1	ACEND	SD_INFO1_MASK	ACENDM	SDHI_MMC0_ACCS
		RSPEND		RSPENDM	
	SD_INFO2	ILA	SD_INFO2_MASK	ILAM	
		BWE		BWEM	
		BRE		BREM	
		RSPTO		RSPTOM	
		ILR		ILRM	
		ILW		ILWM	
		DTO		DTOM	
		ENDE		ENDEM	
		CRCE		CRCEM	
		CMDE		CMDEM	
		SDIOアクセス割り込み		SDIO_INFO1	
EXPUB52	EXPUB52M				
IOIRQ	IOIRQM				
カード検出割り込み	SD_INFO1	SDD3IN	SD_INFO1_MASK SD_INFO1_MASK	SDD3INM	SDHI_MMC0_CARD
		SDD3RM		SDD3RMM	
		SDCDIN		SDCDINM	
		SDCDRM		SDCDRMM	

### 37.3.3.2 DMA 転送要求 (SDHI\_MMC0\_ODMSDBREQ)

SD/MMC ホストインタフェースには2種類のDMA転送要求があります。SD\_BUFライトDMA転送要求とSD\_BUFリードDMA転送要求です。SD/MMCホストインタフェースは、DMA転送要求にSDHI\_MMC0\_ODMSDBREQを使用します。SDHI\_MMC0\_ODMSDBREQのイベント番号について、詳しくは「14. 割り込みコントローラユニット (ICU)」の表 14.4を参照してください。

#### (1) SD\_BUFのライトDMA転送要求

- SD\_DMAENのDMAENビットが1のときにSD\_INFO2のBWEビットを1にすると、SD\_BUFのライトDMA転送要求がアサートされる
- 1ブロック (SD\_SIZEに設定された転送データサイズに従う)の最終データを転送すると、SD\_BUFのライトDMA転送要求がネゲートされる。SOFT\_RSTのSDRSTビットを0に変更するか、SD\_STOPのSTPビットを1にすることによっても、SD\_BUFのライトDMA転送要求がネゲートされる。ただし、DMA転送時に通信エラーまたはタイムアウトが発生した場合、SD\_BUFのライトDMA転送要求はネゲートされない
- DMA転送によるSD\_BUFへの書き込み要求に続いて1ブロックの最終データを転送した後、SD\_INFO2のBWEビットがクリアされる
- DMA転送数は $n \times 1$ ブロックにする必要がある (n=整数、1ブロック=SD\_SIZEに設定された転送データサイズ)
- SDIO\_MODEのIOABTビットを1にすると、SD\_BUFのライトDMA転送要求がネゲートされる
- DMAENビットを0にすることによっても、DMA転送要求がネゲートされる。ただし、SD\_CMDへの書き込み前にDMAENビットを1にすると、DMA転送要求は再びアサートされる
- STP/IOABTビットを設定しても、また通信エラーまたはタイムアウトが発生しても、SD\_INFO2のBWEビットはクリアされないため、次のコマンドを送信する前に0にクリアする。BWEビットが設定されている場合、DMA転送でSD\_BUFに書き込む次の要求は送信されない

#### (2) SD\_BUFのリードDMA転送要求

- SD\_DMAENレジスタのDMAENビットが1のときにSD\_INFO2のBREビットを1にすると、SD\_BUFのリードDMA転送要求がアサートされる
- 1ブロック (SD\_SIZEに設定された転送データサイズに従う)の最終データを転送すると、SD\_BUFのリードDMA転送要求がネゲートされる。SOFT\_RSTのSDRSTビットを0に変更するか、SD\_STOPのSTPビットを1にすることによっても、SD\_BUFのリードDMA転送要求がネゲートされる。DMA転送時に通信エラーまたはタイムアウトが発生した場合、SD\_BUFのリードDMA転送要求はネゲートされない
- DMA転送によるSD\_BUFへの書き込み要求に続いて1ブロックの最終データを転送した後、SD\_INFO2のBREビットがクリアされる
- DMA転送数は $n \times 1$ ブロックにする必要がある (n=整数、1ブロック=SD\_SIZEに設定された転送データサイズ)
- SDIO\_MODEのIOABTを1にすると、SD\_BUFのリードDMA転送要求がネゲートされる
- DMAENビットを0にすることによっても、DMA転送要求がネゲートされる。ただし、SD\_CMDへの書き込み前にDMAENビットを1にすると、DMA転送要求は再びアサートされる
- STP/IOABTビットを設定しても、また通信エラーまたはタイムアウトが発生しても、SD\_INFO2のBREビットはクリアされないため、次のコマンドを送信する前に0にクリアする。BREビットが設定されている場合、DMA転送でSD\_BUFに書き込む次の要求は送信されない

### 37.3.4 通信エラーとタイムアウト

通信エラーまたはタイムアウトが発生すると、発生したエラーの種類により、**SD\_INFO2** レジスタの対応するステータスフラグが 1 になります。また、発生したエラー要因により、**SD\_ERR\_STS1** または **SD\_ERR\_STS2** レジスタの関連するステータスフラグが 1 になります。

**SD\_ERR\_STS1** レジスタおよび **SD\_ERR\_STS2** レジスタの各ステータスフラグは、**SD\_CMD** レジスタへの書き込み、または **SOFT\_RST.SDRST** ビットに 0 を書き込むことで 0 になります。

表 37.7 通信エラー

通信エラー	割り込みフラグレジスタ		エラーステータスレジスタ		説明
	レジスタ	ビット	レジスタ	ビット	
エンドビットエラー	SD_INFO2	ENDE	SD_ERR_STS1	CRCLENE	CRC status トークン長がエラーのとき
				RDLENE	リードデータ長がエラーのとき
				RSPLNE1	レスポンス長がエラーのとき (注1)
				RSPLNE0	レスポンス長がエラーのとき (注2)
CRCエラー	SD_INFO2	CRCE	SD_ERR_STS1	CRCTKE	CRC status トークンがエラーのとき
				RDCRCE	リードデータにCRCエラーがあるとき
				RSPCRCE1	レスポンスにCRCエラーがあるとき (注1)
				RSPCRCE0	レスポンスにCRCエラーがあるとき (注2)
コマンドエラー	SD_INFO2	CMDE	SD_ERR_STS1	CMDE1	送信したコマンドと受信したレスポンスの command index フィールド値が異なるとき (注1)
				CMDE0	送信したコマンドと受信したレスポンスの command index フィールド値が異なるとき (注2)

注 1. SD\_CMD でマルチブロック転送の自動送信が有効な場合は CMD12、SD\_STOP の STP ビットが 1 の場合は CMD12、SDIO\_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52

注 2. SD\_CMD でマルチブロック転送の自動送信が有効な場合は CMD12 以外の CMD、SD\_STOP の STP ビットが 1 の場合は CMD12、SDIO\_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52

表 37.8 タイムアウト

タイムアウト	割り込みフラグレジスタ		エラーステータスレジスタ		説明	
	レジスタ	ビット	レジスタ	ビット		
レスポンスタイムアウト	SD_INFO2	RSPT0	SD_ERR_STS2	RSPT01	SDHIクロックで640サイクル以上経過してもレスポンスを受信しないとき (注1)	
				RSPT00		SDHIクロックで640サイクル以上経過してもレスポンスを受信しないとき (注2)
データタイムアウト (レスポンスタイムアウトを除く)		DTO		CRCBSYTO	CRC status トークン受信後、指定期間 (注3) 以上ビジー状態のとき	
				CRCTO	ライトデータを送信した後、指定期間 (注3) 以上経過してもCRC status トークンを受信しないとき	
				RDTO		リードコマンドの後、指定期間 (注3) 以上経過してもリードデータを受信しないとき
						リードデータ受信の後、指定期間 (注3) 以上経過しても次ブロックリードデータを受信しないとき
						SDHIのRead Wait解除の後、指定期間 (注3) 以上経過しても次ブロックリードデータを受信しないとき
				BSYTO1	コマンドシーケンス中のCMD12送信の後、SDHIが指定期間 (注3) 以上ビジー状態のとき	
				BSYTO0	R1bレスポンスの後、指定期間 (注3) 以上SDHIがビジー状態のとき (コマンドシーケンス中CMD12以外のコマンドを発行)	

- 注 1. SD\_CMD でマルチブロック転送の自動送信が有効な場合は CMD12、SD\_STOP の STP ビットが 1 の場合は CMD12、SDIO\_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52
- 注 2. SD\_CMD でマルチブロック転送の自動送信が有効な場合は CMD12 以外の CMD、SD\_STOP の STP ビットが 1 の場合は CMD12、SDIO\_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52
- 注 3. SD\_OPTION.TOP[3:0] ビットで指定します。

## 37.3.5 データ転送を行わないコマンド [SD/MMC]

図 37.8 および図 37.9 に、フロー例を示しています。

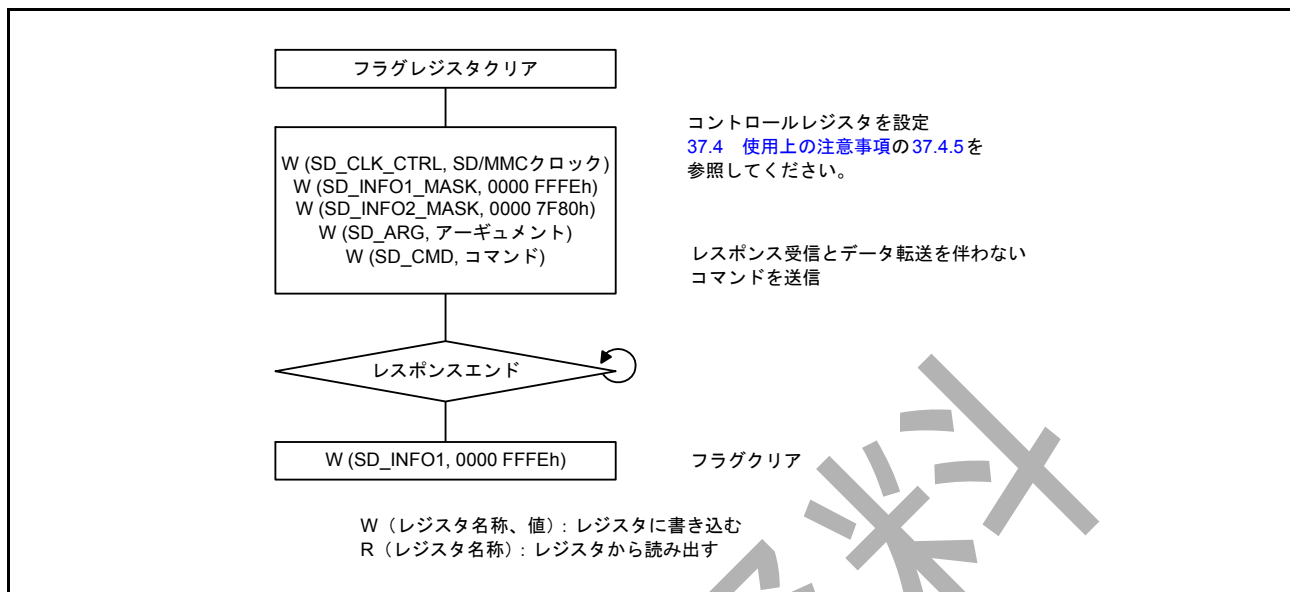


図 37.8 レスポンスおよびデータがないコマンドのフロー例

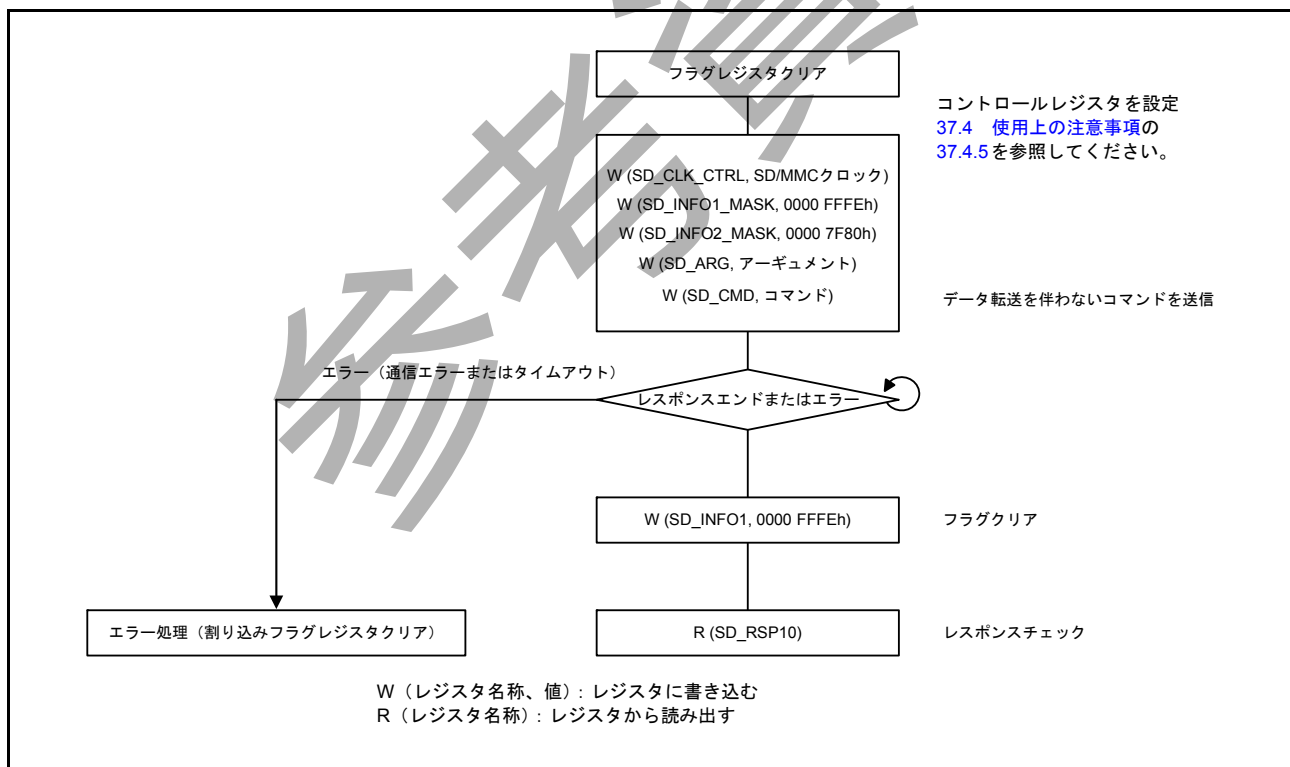


図 37.9 データがないコマンドのフロー例

### 37.3.5.1 データ転送を行わないコマンドの動作

レジスタ読み出し／書き込みの説明には以下の記号を使用します。

W (レジスタ名称、値) : レジスタに書き込む

R (レジスタ名称) : レジスタから読み出す

動作について以下に説明します。

#### (1) レスポンスとデータがないコマンド

- a. フラグレジスタクリア  
最初にフラグレジスタ (SD\_INFO1およびSD\_INFO2) のビットをクリアする
- b. コントロールレジスタ設定  
SD/MMCクロック、割り込みマスク (SD\_CLK\_CTRL、SD\_INFO1\_MASK、およびSD\_INFO2\_MASK) を設定する
- c. コマンド発行  
SD\_ARGのCMDアークギュメントを設定し、SD\_CMDに書き込む  
これにより、CMDが送信され、動作が開始する
- d. フラグクリア  
コマンドの送信が完了すると、割り込みを発生させるためにSD\_INFO1のRSPEND (レスポンスエンド) が1になる。RSPENDを0にクリアする

#### (2) データがないコマンド

- a. フラグレジスタクリア  
最初にフラグレジスタ (SD\_INFO1およびSD\_INFO2) のビットをクリアする
- b. コントロールレジスタ設定  
SD/MMCクロック、割り込みマスク (SD\_CLK\_CTRL、SD\_INFO1\_MASK、およびSD\_INFO2\_MASK) を設定する
- c. コマンド発行  
SD\_ARGのCMDアークギュメントを設定し、SD\_CMDに書き込む  
これにより、CMDが送信され、動作が開始する
- d. フラグクリア  
レスポンスが受信されると、割り込みを発生させるためにSD\_INFO1のRSPEND (レスポンスエンド) が1になる。RSPENDを0にクリアする
- e. SD\_RSP10からレスポンスを読み出す。なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグレジスタのクリア) を行う

## 37.3.6 シングルブロックリード [SD/MMC]

図 37.10 にシングルブロックリード動作のフロー例を示します。

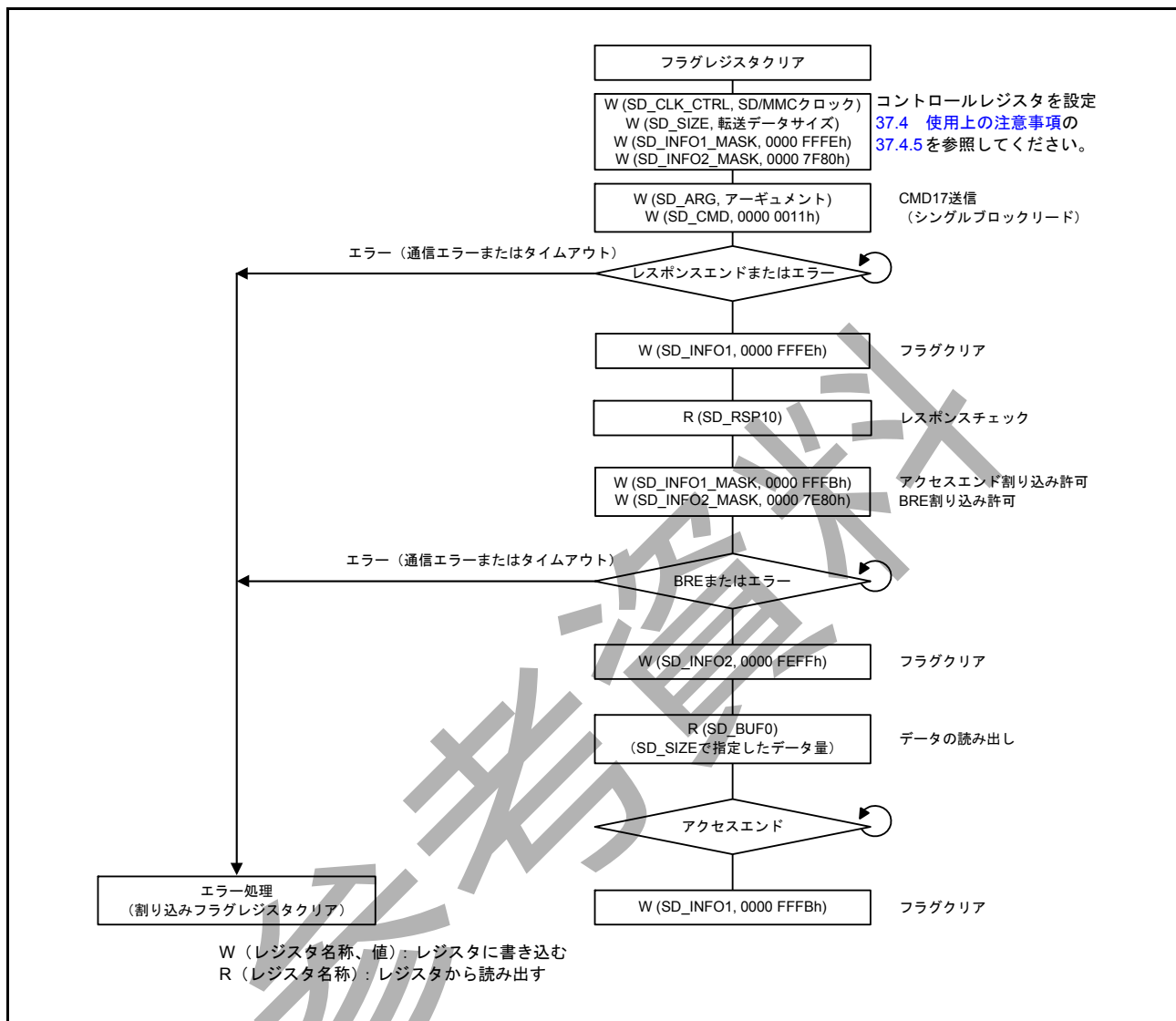


図 37.10 シングルブロックリード動作のフロー例



### 37.3.6.1 シングルブロックリード動作

シングルブロックリード動作について以下に説明します。

- a. フラグレジスタクリア  
最初にフラグレジスタ (SD\_INFO1およびSD\_INFO2) のビットをクリアする
- b. コントロールレジスタ設定  
SD/MMCクロック、データ転送サイズ、割り込みマスク (SD\_CLK\_CTRL、SD\_SIZE、SD\_INFO1\_MASK、およびSD\_INFO2\_MASK) を設定する
- c. コマンド発行 (CMD17)  
SD\_ARGのCMD17アーギュメントを設定し、SD\_CMDに0000\_0011hを書き込む。CMD17が送信され、シングルブロックリード動作が開始する
- d. レスポンスチェック  
レスポンスが受信されると、割り込みを発生させるためにSD\_INFO1のRSPEND (レスポンスエンド) が1になる。RSPENDを0にクリアし、SD\_RSP10からレスポンスを読み出す。レスポンスの復号結果がエラーの場合、SD\_STPのSTPビットまたはSDIO\_MODEのIOABTビットを1にすることでコマンドシーケンスを停止できる。また、これによりCMD12とCMD52が送信されなくなる。SD\_INFOのACENDビット (アクセスエンド) が設定されている場合、コマンドシーケンスを停止すると割り込みが発生する
- e. SDカード/MMCからのデータ受信とデータ読み出し  
SD\_INFO1\_MASKに0000\_FFFBhを書き込み、アクセスエンド割り込みを有効にする。さらに、SD\_INFO2\_MASKに0000\_7E80hを書き込み、BRE割り込みを有効にする。SDカード/MMCからのデータ受信が完了すると、割り込みを発生させるためにSD\_INFO2のBREビットが1になる。BREビットを0にクリアし、SD\_SIZEに指定されたデータ量をSD\_BUF0から読み出す。SD\_BUF0の読み出し中にデータが受信されていると、通信エラーまたはタイムアウトが発生する可能性がある
- f. 動作完了  
SD\_BUF0からのデータ読み出しが完了すると、割り込みを発生させるためにSD\_INFO1のACEND (アクセスエンド) が1になる。ACENDを0にクリアし、シングルブロックリード動作を終了する。なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグレジスタのクリア) を行う

### 37.3.7 シングルブロックライト [SD/MMC]

図 37.11 にシングルブロックライト動作のフロー例を示します。

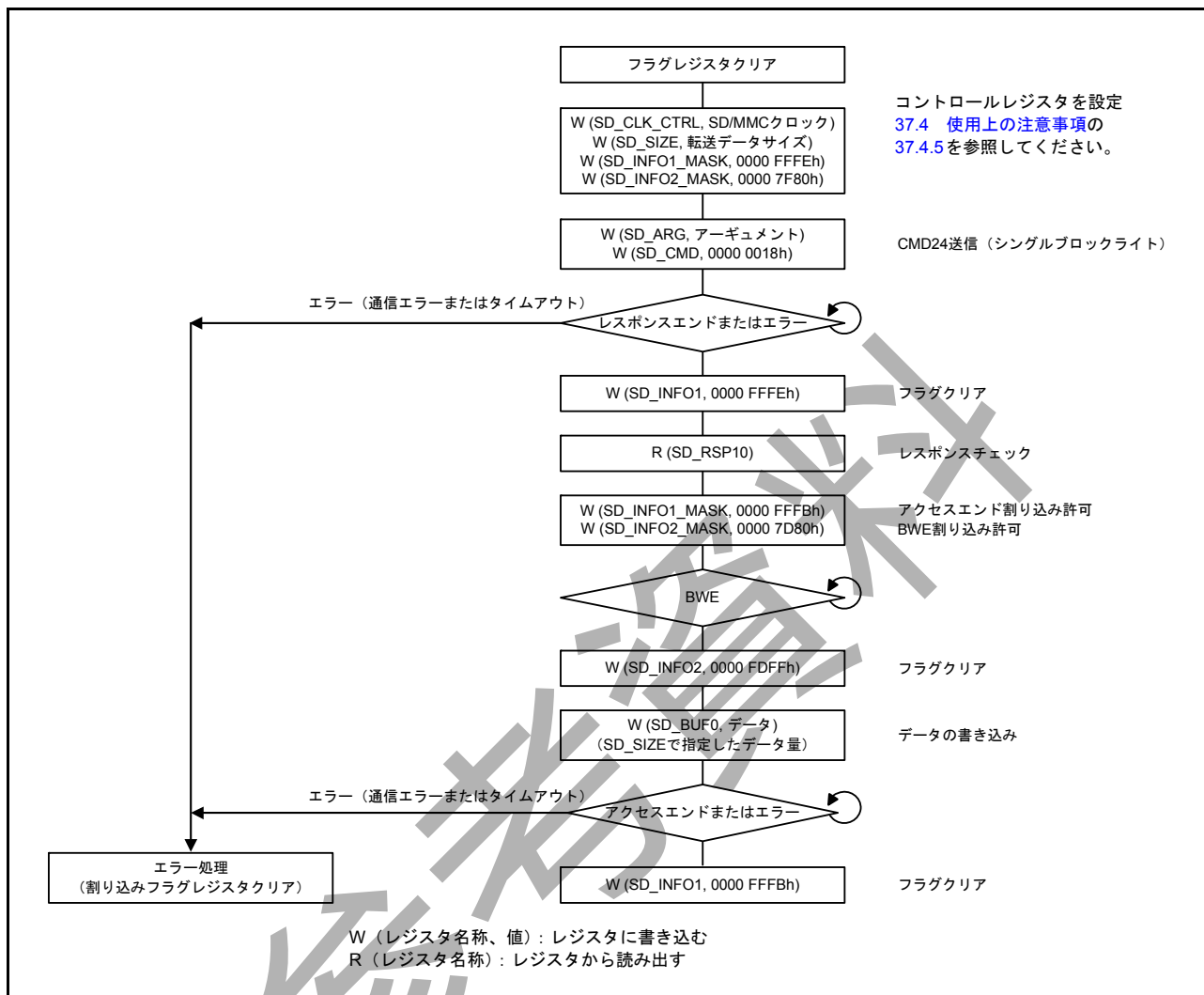


図 37.11 シングルブロックライト動作のフロー例

### 37.3.7.1 シングルブロックライト動作

シングルブロックライト動作について以下に説明します。

- a. フラグレジスタクリア  
最初にフラグレジスタ (SD\_INFO1およびSD\_INFO2) のビットをクリアする
- b. コントロールレジスタ設定  
SD/MMCクロック、データ転送サイズ、割り込みマスク (SD\_CLK\_CTRL、SD\_SIZE、SD\_INFO1\_MASK、およびSD\_INFO2\_MASK) を設定する
- c. コマンド発行 (CMD24)  
SD\_ARGのCMD24アーギュメントを設定し、SD\_CMDに0000\_0018hを書き込む。CMD24が送信され、シングルブロックライト動作が開始する
- d. レスポンスチェック  
レスポンスが受信されると、割り込みを発生させるためにSD\_INFO1のRSPEND (レスポンスエンド) が1になる。RSPENDを0にクリアし、SD\_RSP10からレスポンスを読み出す。レスポンスの復号結果がエラーの場合、SD\_STPのSTPビットまたはSDIO\_MODEのIOABTビットを1にすることでコマンドシーケンスを停止できる。また、これによりCMD12とCMD52が送信されなくなる。SD\_INFOのACENDビット (アクセスエンド) が設定されている場合、コマンドシーケンスを停止すると割り込みが発生する
- e. データ書き込みとSDカード/MMCへのデータ送信  
SD\_INFO1\_MASKに0000\_FFBhを書き込み、アクセスエンド割り込みを有効にする。さらに、SD\_INFO2\_MASKに0000\_7D80hを書き込み、BWE割り込みを有効にする。SD\_BUF0でデータの書き込みが可能になると、割り込みを発生させるためにSD\_INFO2のBWEビットが1になる。BWEビットを0にクリアし、SD\_SIZEに指定されたデータ量をSD\_BUF0に書き込む。SD\_BUF0へのデータ書き込みが完了すると、SDカードにデータが送信される。その後、SDカード/MMCからCRC statusとビジー状態が受信される。  
ただし、SD\_BUF0への書き込み後にデータが送信されていると、通信エラーまたはタイムアウトが発生する可能性がある
- f. 動作完了  
CRC statusとビジー状態がSDカード/MMCから受信されると、割り込みを発生させるためにSD\_INFO1のACEND (アクセスエンド) が1になる。ACENDビットを0にクリアし、シングルブロックライト動作を終了する。  
なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグレジスタのクリア) を行う

37.3.8 マルチブロックリード [SD/MMC]

図 37.12 にマルチブロックリード動作のフロー例を示します。

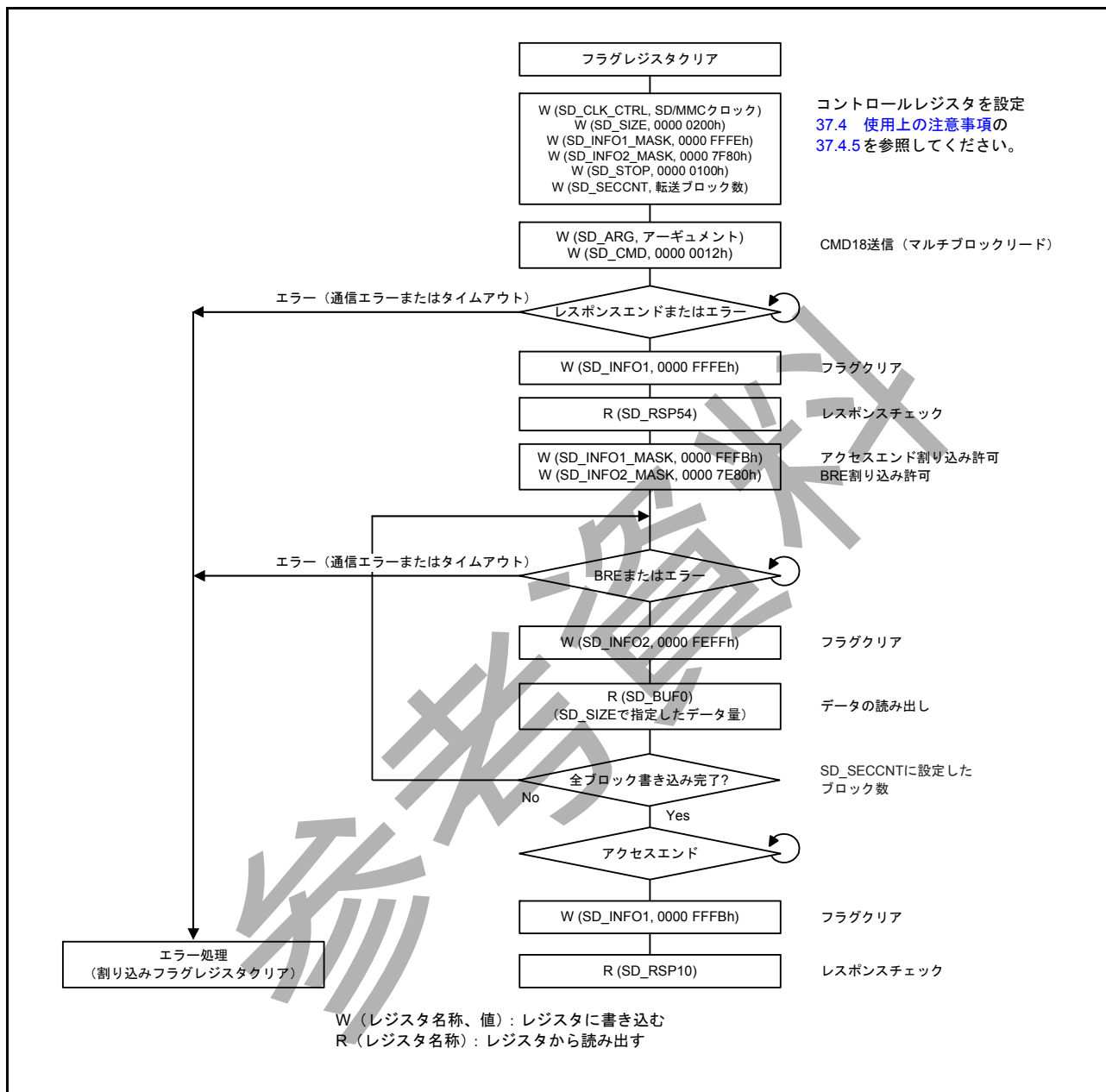


図 37.12 マルチブロックリード動作のフロー例

### 37.3.8.1 マルチブロックリード動作

マルチブロックリード動作について以下に説明します。

- a. フラグレジスタクリア  
最初にフラグレジスタ (SD\_INFO1およびSD\_INFO2) のビットをクリアする
- b. コントロールレジスタ設定  
SD/MMCクロック、データ転送サイズ、割り込みマスク (SD\_CLK\_CTRL、SD\_SIZE、SD\_INFO1\_MASK、およびSD\_INFO2\_MASK) を設定する。  
SD\_STOPのSECを1にして、SD\_SECCNTに転送ブロック数を設定する
- c. コマンド発行 (CMD18)  
SD\_ARGのCMD18アーギュメントを設定し、SD\_CMDに0000\_0012hを書き込む。CMD18が送信され、マルチブロックリード動作が開始する
- d. レスポンスチェック  
レスポンスが受信されると、割り込みを発生させるためにSD\_INFO1のRSPEND (レスポンスエンド) が1になる。RSPENDを0にクリアし、SD\_RSP54からレスポンスを読み出す。レスポンスの復号結果がエラーの場合、SD\_STPのSTPビットを1にすることでコマンドシーケンスを停止できる。また、STPビットを1にすると、CMD12が送信され、レスポンスが受信される。アクセスエンド割り込みが許可されているためにコマンドシーケンスが停止した場合、レスポンスの受信が完了したときにSD\_INFO1のACENDビット (アクセスエンド) を1にすることで割り込みが発生する。ACENDビットを0にクリアし、レスポンスを読み出す
- e. SDカード/MMCからのデータ受信とデータ読み出し  
SD\_INFO1\_MASKに0000\_FFFBhを書き込み、アクセスエンド割り込みを有効にする。さらに、SD\_INFO2\_MASKに0000\_7E80hを書き込み、BRE割り込みを有効にする。SDカード/MMCからの1ブロックデータ受信が完了すると、割り込みを発生させるためにSD\_INFO2のBREビットが1になる。BREビットを0にクリアし、SD\_SIZEに指定されたデータ量をSD\_BUF0から読み出す。これにより、SD\_SECCNTに設定されたブロック数の転送が繰り返される。ただし、SD\_BUF0の読み出し中にデータが受信されていると、通信エラーまたはタイムアウトが発生する可能性がある。SD\_SECCNTに設定されているブロック数でマルチブロック転送を停止するためにCMD12が自動送信され、レスポンスが受信される。このとき、CMD12アーギュメントが0000\_0000hに自動設定される
- f. 動作完了  
すべてのブロックデータ読み出しとCMD12レスポンス受信が完了すると、割り込みを発生させるためにSD\_INFO1のACEND (アクセスエンド) が1になる。ACENDを0にクリアし、レスポンスを読み出す。これでマルチブロックリード動作が終了する。なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグレジスタのクリア) を行う

37.3.9 マルチブロックライト (内蔵タイマによる SD/MMC)

図 37.13 に内蔵タイマによるマルチブロックライトのフロー例を示します。

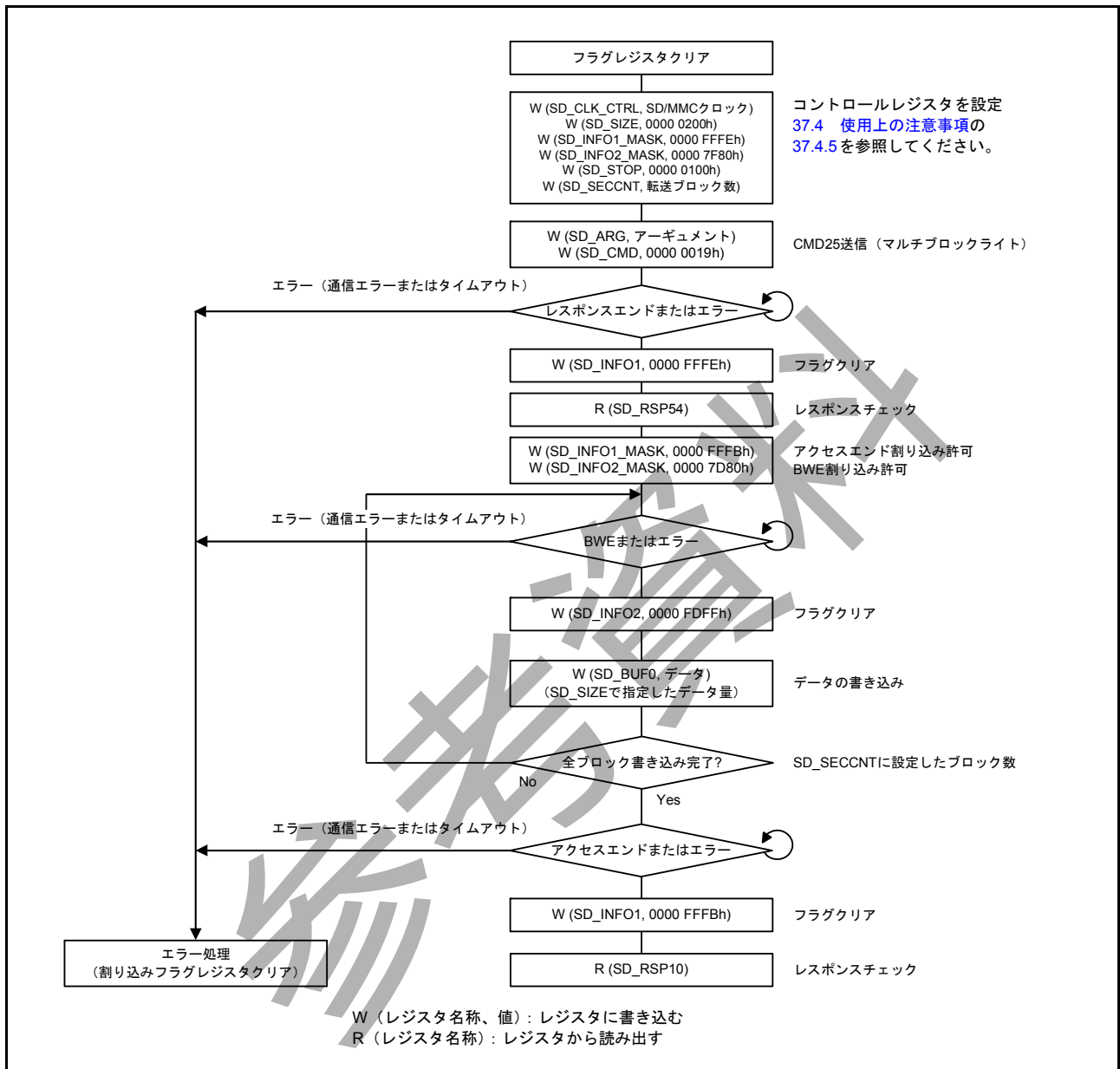


図 37.13 内蔵タイマによるマルチブロックライト動作のフロー例

### 37.3.9.1 内蔵タイマによるマルチブロックライト動作

マルチブロックライト動作について以下に説明します。

- a. フラグレジスタクリア  
最初にフラグレジスタ (SD\_INFO1およびSD\_INFO2) のビットをクリアする
- b. コントロールレジスタ設定  
SD/MMCクロック、データ転送サイズ、割り込みマスク (SD\_CLK\_CTRL、SD\_SIZE、SD\_INFO1\_MASK、およびSD\_INFO2\_MASK) を設定する。  
SD\_STOPのSECビットを1にして、SD\_SECCNTに転送ブロック数を設定する
- c. コマンド発行 (CMD25)  
SD\_ARGのCMD25アーギュメントを設定し、SD\_CMDに0000\_0019hを書き込む。CMD25が送信され、マルチブロックライト動作が開始する
- d. レスポンスチェック  
レスポンスが受信されると、割り込みを発生させるためにSD\_INFO1のRSPEND (レスポンスエンド) ビットが1になる。RSPENDビットを0にクリアし、SD\_RSP54からレスポンスを読み出す。レスポンスの復号結果がエラーの場合、SD\_STPのSTPビットを1にすることでコマンドシーケンスを停止できる。また、STPビットを1にすると、CMD12が送信され、レスポンスが受信される。アクセスエンド割り込みが許可されているためにコマンドシーケンスが停止した場合、レスポンスの受信が完了したときにSD\_INFO1のACENDビット (アクセスエンド) を1にすることで割り込みが発生する。ACENDビットを0にクリアし、レスポンスを読み出す
- e. データ書き込みとSDカード/MMCへのデータ送信  
SD\_INFO1\_MASKに0000\_FFFBhを書き込み、アクセスエンド割り込みを有効にする。さらに、SD\_INFO2\_MASKに0000\_7D80hを書き込み、BWE割り込みを有効にする。SD\_BUF0でデータの書き込みが可能になると、割り込みを発生させるためにSD\_INFO2レジスタのBWEビットが1になる。BWEビットを0にクリアし、SD\_SIZEに指定されたデータ量をSD\_BUF0に書き込む。SD\_BUF0へのデータ書き込みが完了すると、SDカード/MMCにデータが送信される。SDカード/MMCからCRC statusとビジー状態が受信される。これにより、SD\_SECCNTに設定されたブロック数の転送が繰り返される。ただし、SD\_BUF0への書き込み中にデータが受信されていると、通信エラーまたはタイムアウトが発生する可能性がある。SD\_SECCNTに設定されているブロック数でマルチブロック転送を停止するためにCMD12が自動送信され、レスポンスが受信される。このとき、CMD12アーギュメントが0000\_0000hに自動設定される
- f. 動作完了  
すべてのブロックデータ送信とCRC status受信が完了すると、割り込みを発生させるためにSD\_INFO1のACENDビット (アクセスエンド) が1になる。ACENDビットを0にクリアし、レスポンスを読み出す。これでマルチブロックライト動作が終了する。なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグレジスタのクリア) を行う

37.3.10 マルチブロックライト (外付けタイマによる MMC)

図 37.14 に外付けタイマによるマルチブロックライトのフロー例を示します。

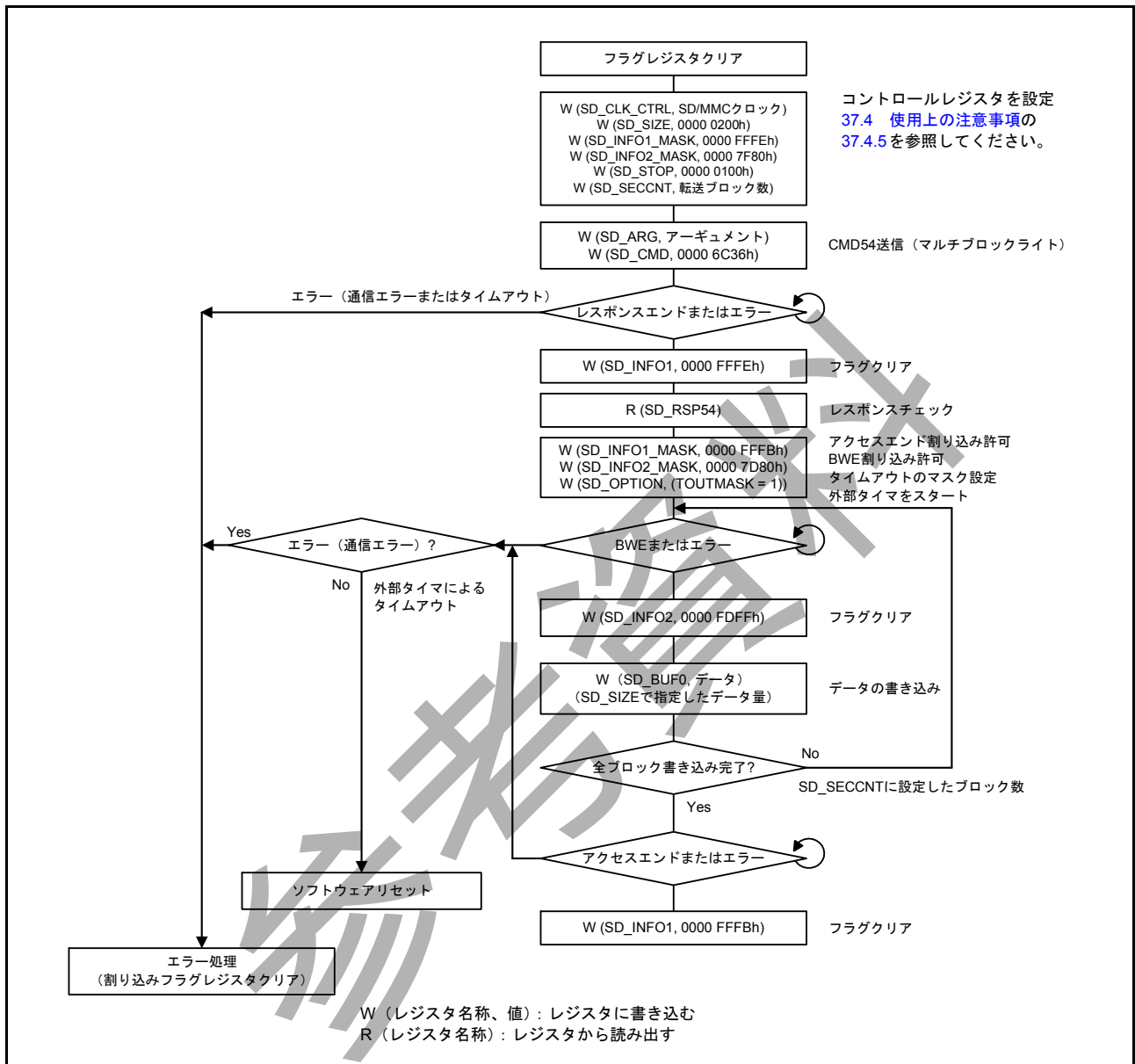


図 37.14 外付けタイマによるマルチブロックライト動作のフロー例



### 37.3.10.1 外付けタイマによるマルチブロックライト動作

マルチブロックライト動作について以下に説明します。

a. フラグレジスタクリア

最初にフラグレジスタ (SD\_INFO1 および SD\_INFO2) のビットをクリアする

b. コントロールレジスタ設定

MMC クロック、データ転送サイズ、割り込みマスク (SD\_CLK\_CTRL、SD\_SIZE、SD\_INFO1\_MASK、および SD\_INFO2\_MASK) を設定する。  
SD\_STOP の SEC ビットを 1 にして、SD\_SECCNT に転送ブロック数を設定する

c. コマンド発行 (CMD54)

SD\_ARG の CMD54 アーギュメントを設定し、SD\_CMD に 0000\_6C36h を書き込む。CMD54 が送信され、マルチブロックライト動作が開始する

d. レスポンスチェック

レスポンスが受信されると、割り込みを発生させるために SD\_INFO1 の RSPEND (レスポンスエンド) ビットが 1 になる。RSPEND ビットを 0 にクリアし、SD\_RSP54 からレスポンスを読み出す。レスポンスの復号結果がエラーの場合、SD\_STP の STP ビットを 1 にすることでコマンドシーケンスを停止できる。また、STP ビットを 1 にすると、CMD12 が送信され、レスポンスが受信される。アクセスエンド割り込みが許可されているためにコマンドシーケンスが停止した場合、レスポンスの受信が完了したときに SD\_INFO1 の ACEND ビット (アクセスエンド) を 1 にすることで割り込みが発生する。ACEND ビットを 0 にクリアし、レスポンスを読み出す

e. データ書き込みと MMC へのデータ送信

SD\_INFO1\_MASK に 0000\_FFBh を書き込んでアクセスエンド割り込みを許可し、SD\_INFO2\_MASK に 0000\_7D80h を書き込んで BWE 割り込みを許可し、SD\_OPTION の TOUTMASK を 1 にしてタイムアウトを無効にする。さらに、外付けタイマを開始する。SD\_BUF0 でデータの書き込みが可能になると、割り込みを発生させるために SD\_INFO2 レジスタの BWE ビットが 1 になる。BWE ビットを 0 にクリアし、SD\_SIZE に指定されたデータ量を SD\_BUF0 に書き込む。SD\_BUF0 へのデータ書き込みが完了すると、MMC にデータが送信される。MMC から CRC status とビジー状態が受信される。これにより、SD\_SECCNT に設定されたブロック数の転送が繰り返される。ただし、SD\_BUF0 への書き込み中にデータが受信されていると、通信エラーまたはタイムアウトが発生する可能性がある

f. 動作完了

すべてのブロックデータ送信と CRC status 受信が完了すると、割り込みを発生させるために SD\_INFO1 の ACEND ビット (アクセスエンド) が 1 になる。ACEND ビットを 0 にクリアし、レスポンスを読み出す。これでマルチブロックライト動作が終了する。なお、レスポンス受信時に通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグレジスタのクリア) を行う。データ送信時に外付けタイマによるタイムアウトが発生した場合、ソフトウェアリセットを実行する

## 37.3.11 IO\_RW\_DIRECT コマンド (SD : CMD52)

図 37.15 に IO\_DIRECT コマンド (CMD52) 動作のフロー例を示します。

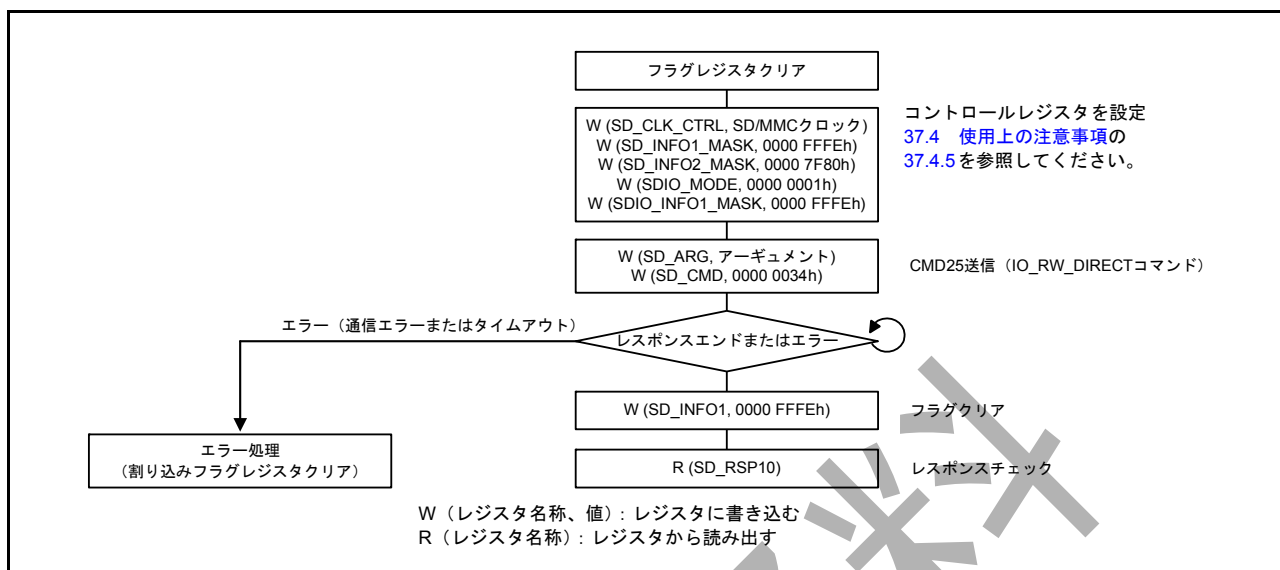


図 37.15 IO\_RW\_DIRECT コマンド (CMD52) 動作の例

37.3.12 IO\_RW\_EXTENDED コマンド (SD : CMD53 / マルチブロックリード)

図 37.16 に CMD53 マルチブロックリード動作のフロー例を示します。

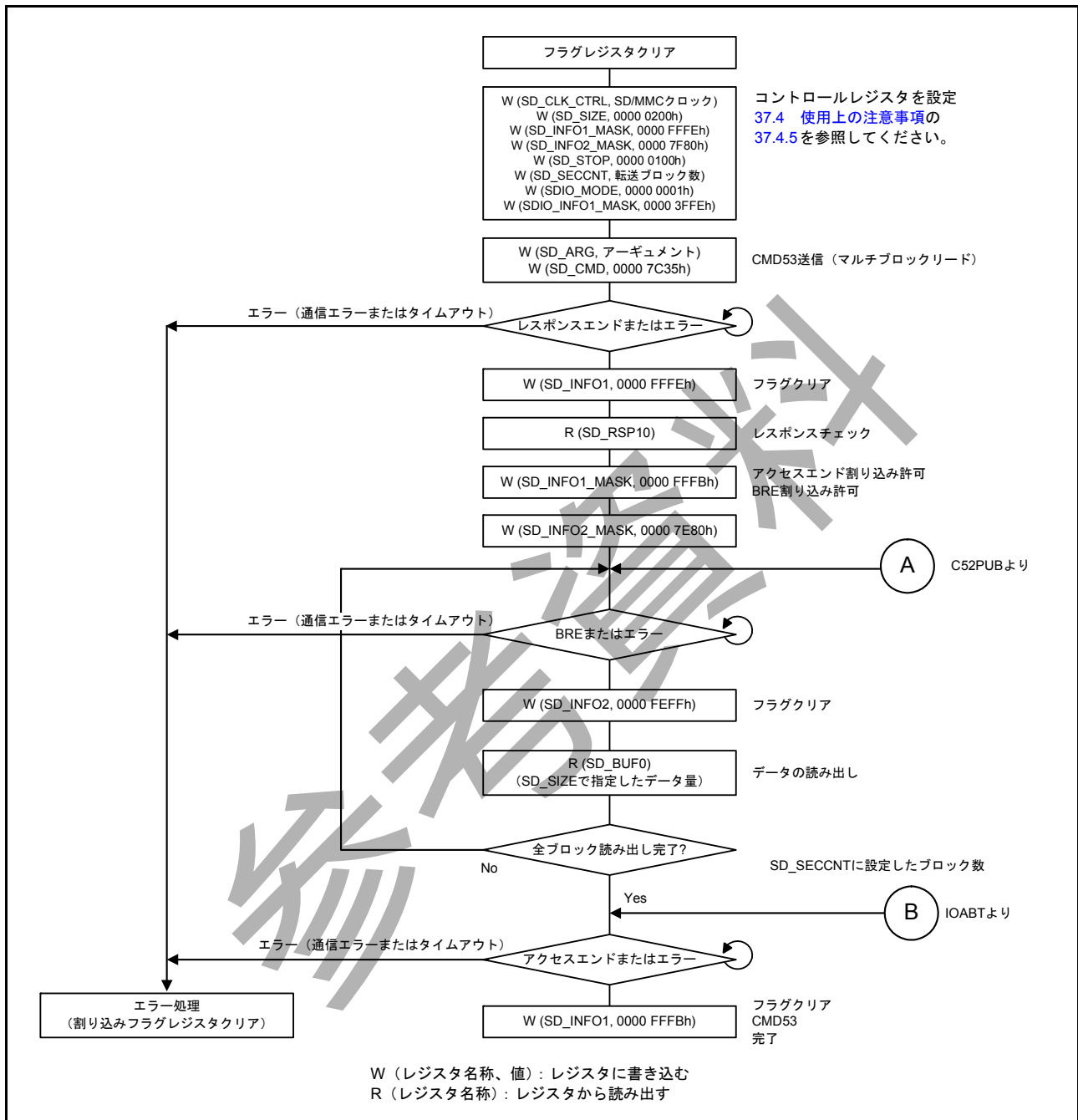


図 37.16 マルチブロックリード動作の IO\_RW\_EXTENDED コマンド (CMD53) の例

CMD53 マルチブロックリード時に CMD52 (SDIO abort) が送信される場合のフロー例を図 37.17 に示します。

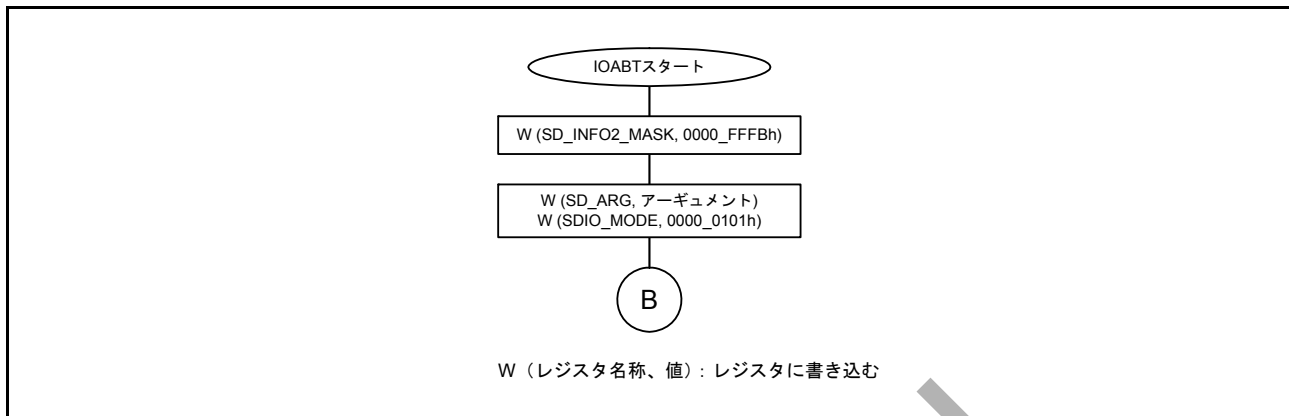


図 37.17 CMD53 マルチブロックリード時に CMD52 (SDIO abort) が送信される

SD ホストインタフェースが Read Wait 状態で、CMD53 マルチブロックリード時に CMD52 (SDIO none abort) が送信される場合のフロー例を図 37.18 に示します。

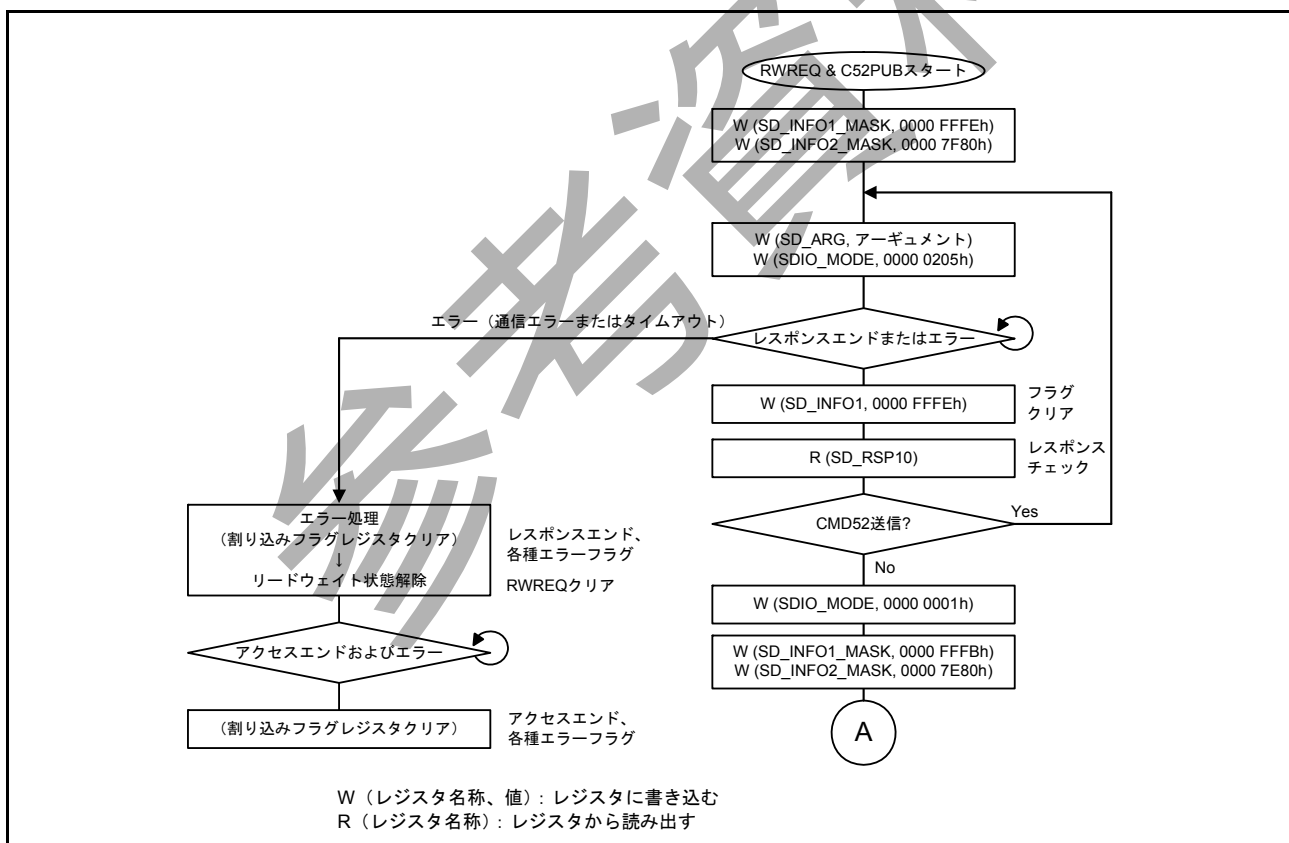


図 37.18 SD ホストインタフェースが Read Wait 状態で、CMD53 マルチブロックリード時に CMD52 (SDIO none abort) が送信される

37.3.13 IO\_RW\_EXTENDED コマンド (SD : CMD53 /マルチブロックライト)

図 37.19 に CMD53 マルチブロックライトのフロー例を示します。

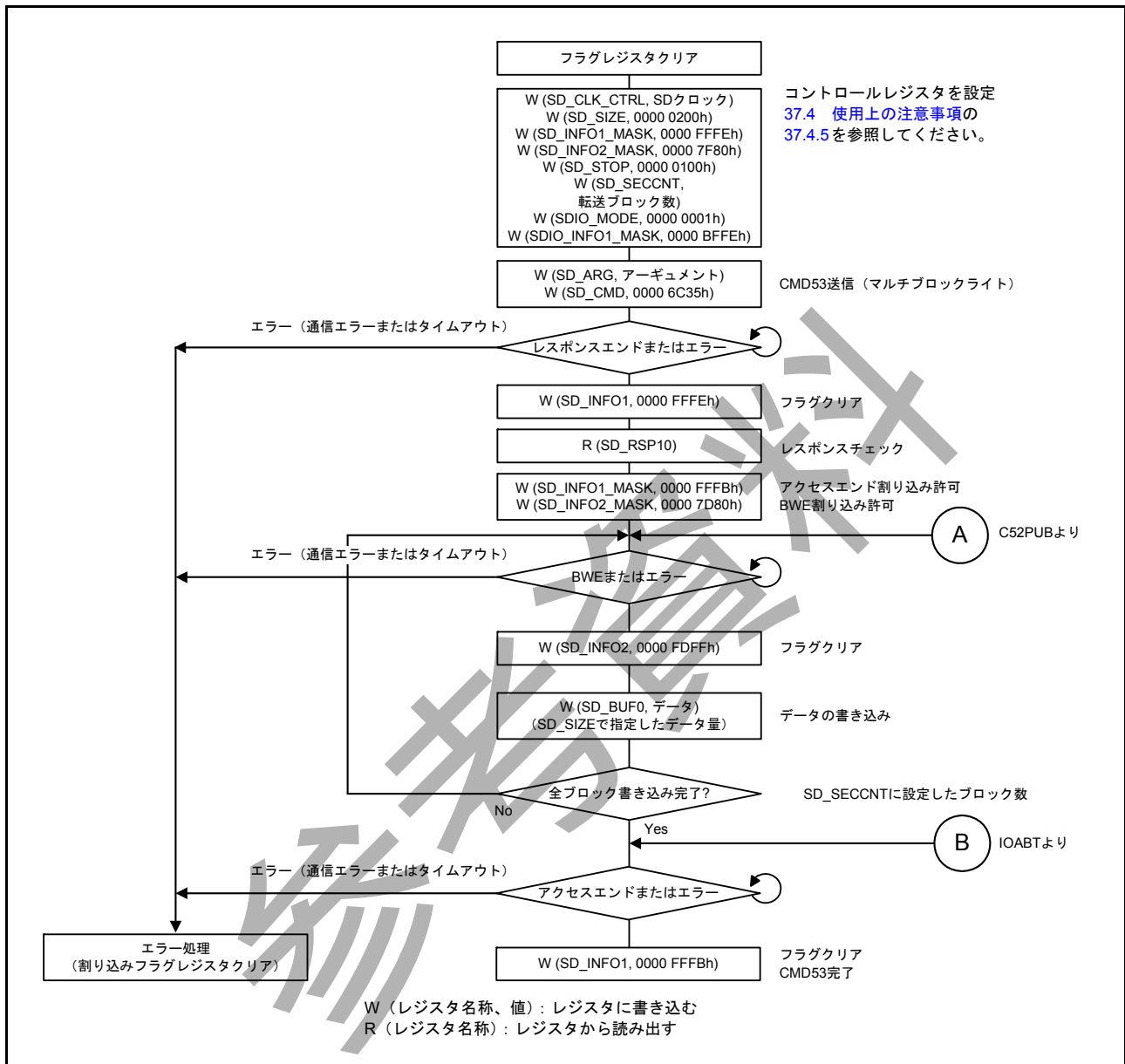


図 37.19 CMD53 マルチブロックライト動作時の IO\_RW\_EXTENDED コマンドの例

CMD53 マルチブロックライト時に CMD52 (SDIO abort) が送信される場合のフロー例を図 37.20 に示します。

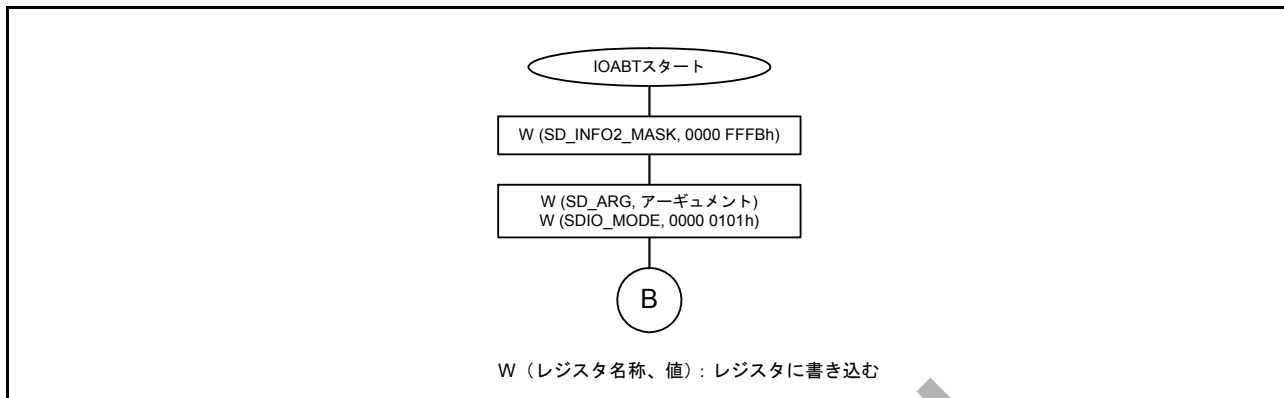


図 37.20 CMD53 マルチブロックライト時に CMD52 (SDIO abort) が送信される

CMD53 マルチブロックライト時に CMD52 (SDIO none abort) が送信される場合のフロー例を図 37.21 に示します。

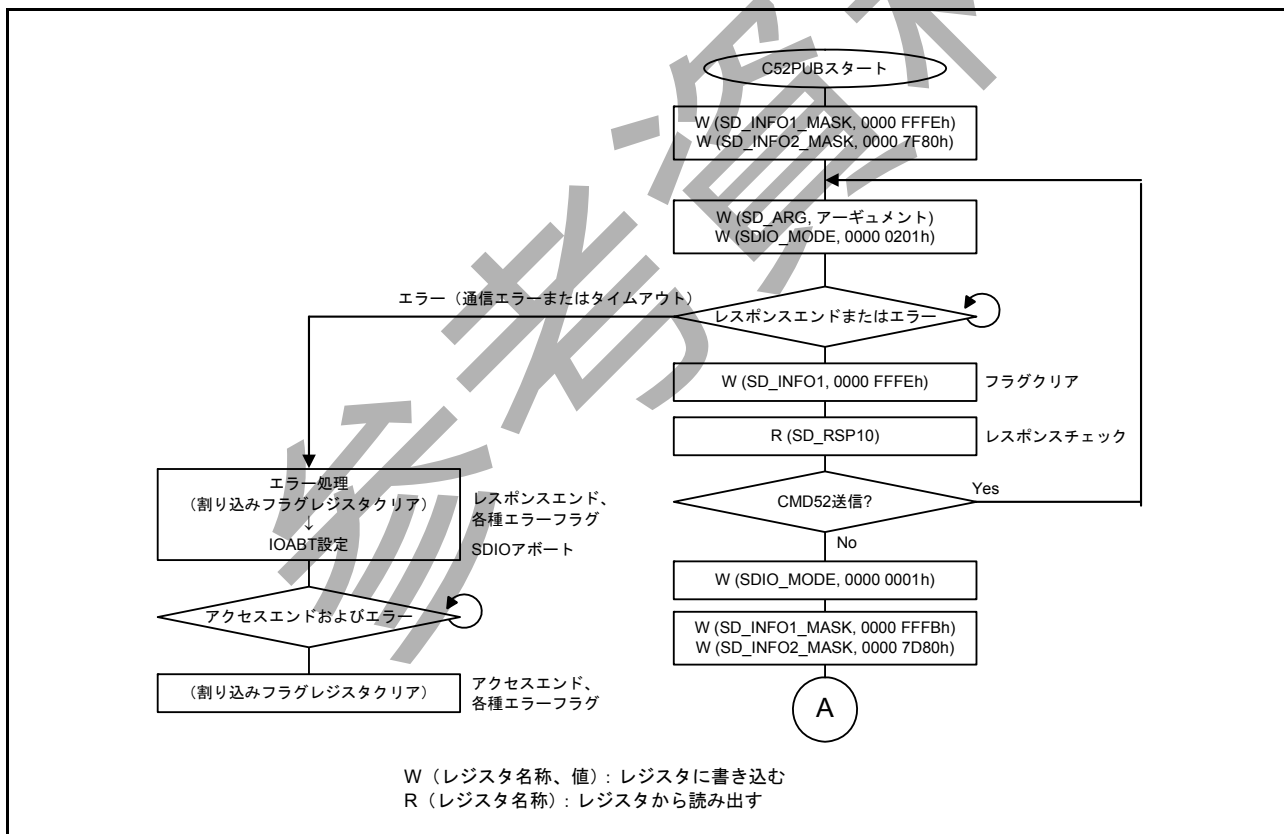


図 37.21 CMD53 マルチブロックライト時に CMD52 (SDIO none abort) が送信される

## 37.3.14 DMA 転送 [SD/MMC]

## 37.3.14.1 SD\_BUF DMA 転送

CMD18 マルチブロックリードが送信される場合の SD\_BUF DMA リードのフロー例を図 37.22 に示します。

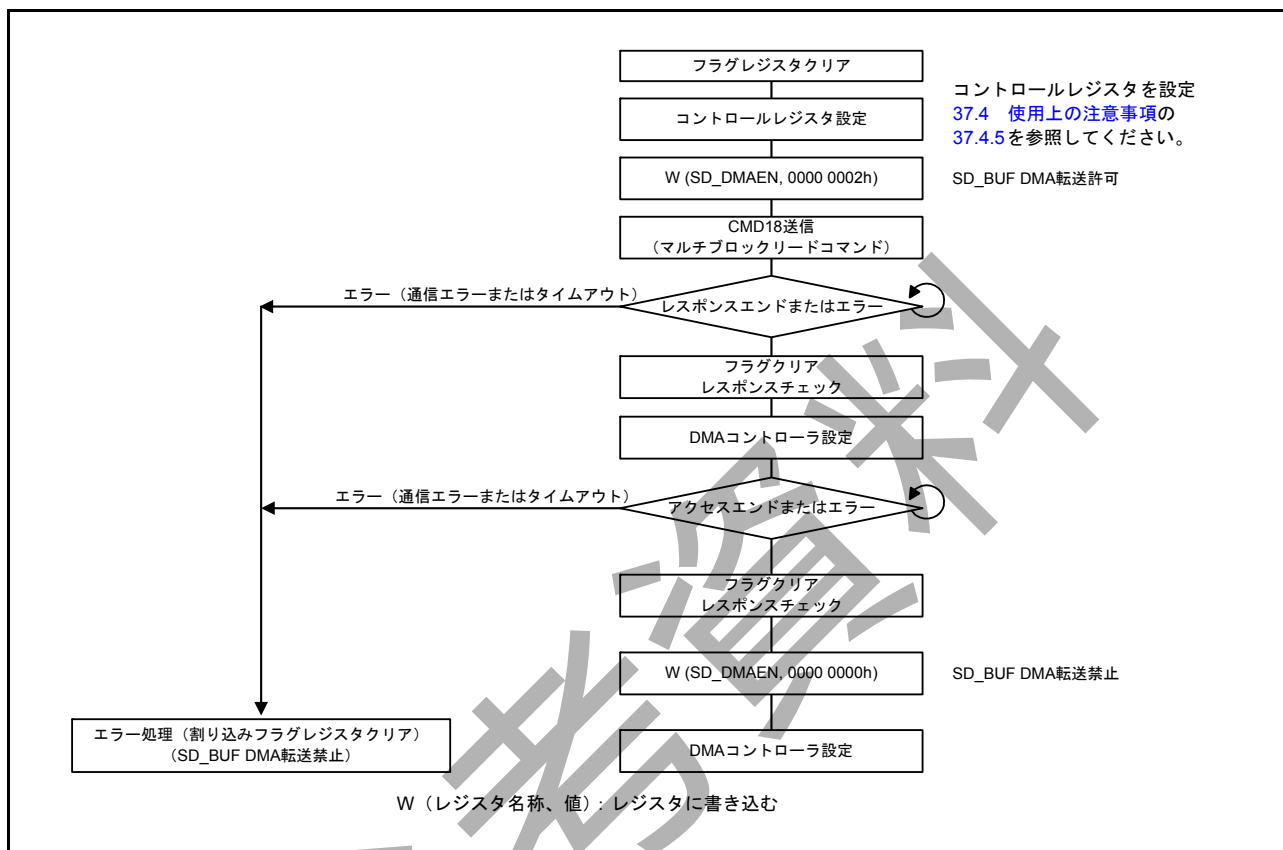


図 37.22 SD\_BUF\_DMA リード動作の例

CMD25 マルチブロックライトが送信される場合の SD\_BUF DMA ライトのフロー例を図 37.23 に示します。

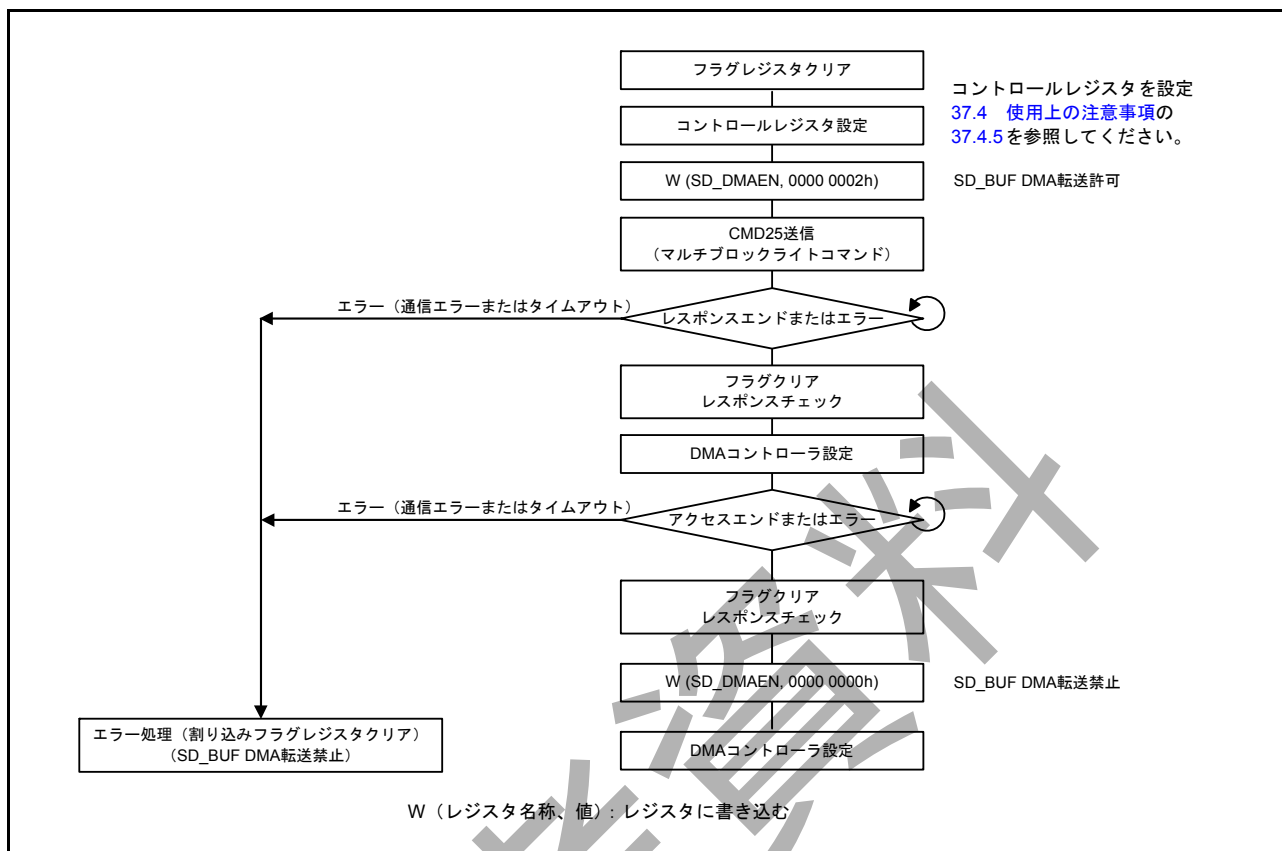


図 37.23 SD\_BUF\_DMA ライト動作の例



## 37.3.15 SD\_CMD レジスタへの設定例

表 37.9 および表 37.10 に SD\_CMD レジスタへの設定例を示します。

表 37.9 SD\_CMD レジスタへの設定例 [SD] (1/2)

種類	コマンド	SD_CMD レジスタへの設定例	説明
CMD	CMD0	0000_0000h	-
	CMD2	0000_0002h	-
	CMD3	0000_0003h	-
	CMD4	0000_0004h	-
	CMD5	0000_0705h または 0000_0005h	-
	CMD6	0000_1C06h または 0000_0006h	-
	CMD7	0000_0007h	カードを非選択状態にすると、レスポンスがないためレスポンスタイムアウトフラグが設定されます。
	CMD8	0000_0408h または 0000_0008h	-
	CMD9	0000_0009h	-
	CMD10	0000_000Ah	-
	CMD11	0000_040Bh または 0000_000Bh	-
	CMD12	0000_000Ch	-
	CMD13	0000_000Dh	-
	CMD15	0000_000Fh	-
	CMD16	0000_0010h	-
	CMD17	0000_0011h	-
	CMD18	0000_0012h	自動CMD12による
	CMD20	0000_0514h または 0000_0014h	-
	CMD24	0000_0018h	-
	CMD25	0000_0019h	自動CMD12による
	CMD27	0000_001Bh	-
	CMD28	0000_001Ch	-
	CMD29	0000_001Dh	-
	CMD30	0000_001Eh	-
	CMD32	0000_0020h	-
	CMD33	0000_0021h	-
	CMD38	0000_0026h	-
	CMD42	0000_002Ah	-
	CMD52	0000_0434h または 0000_0034h	-
	CMD53	0000_1C35h	シングルリード
		0000_0C35h	シングルライト
		0000_7C35h	マルチリード
		0000_6C35h	マルチライト
0000_0035h		左側の値は、シングルかマルチかにかかわらず設定可能です。ただし、SD_ARGのCF39ビットは以下のように設定する必要があります。 リード = 0 ライト = 1	
CMD55	0000_0037h	-	
CMD56	0000_0038h	-	

表 37.9 SD\_CMDレジスタへの設定例 [SD] (2/2)

種類	コマンド	SD_CMDレジスタへの設定例	説明
ACMD	ACMD6	0000_0046h	-
	ACMD13	0000_004Dh	-
	ACMD22	0000_0056h	-
	ACMD23	0000_0057h	-
	ACMD41	0000_0069h	-
	ACMD42	0000_006Ah	-
	ACMD51	0000_0073h	-

表 37.10 SD\_CMDレジスタへの設定例 (MMC) (1/2)

種類	コマンド	SD_CMDレジスタへの設定例	説明
CMD	CMD0	0000_0000h	-
	CMD1	0000_0701h	-
	CMD2	0000_0002h	-
	CMD3	0000_0003h	-
	CMD4	0000_0004h	-
	CMD5	0000_0505h	-
	CMD6	0000_0506h	レスポンスビジーあり
		0000_0406h	レスポンスビジーなし
	CMD7	0000_0007h	カードを非選択状態にすると、レスポンスがないためレスポンスタイムアウトフラグが設定されます。
	CMD8	0000_1C08h	-
	CMD9	0000_0009h	-
	CMD10	0000_000Ah	-
	CMD12	0000_000Ch	-
	CMD13	0000_000Dh	-
	CMD14	0000_1C0Eh	SD_IFMODE = 0000_0100h (CRCチェックが無効) にする必要があります。
	CMD15	0000_000Fh	-
	CMD16	0000_0010h	-
	CMD17	0000_0011h	-
	CMD18	0000_7C12h	Pre-defined
	CMD19	0000_0C13h	SD_IFMODE = 0000_0100h (CRCチェックが無効) にする必要があります。
	CMD21	0000_1C15h	DDRモードが抑止されます。
	CMD23	0000_0017h	-
	CMD24	0000_0018h	-
	CMD25	0000_6C19h	Pre-defined
	CMD26	0000_0C1Ah	-
	CMD27	0000_001Bh	-
	CMD28	0000_001Ch	-
	CMD29	0000_001Dh	-
	CMD30	0000_001Eh	-
	CMD31	0000_1C1Fh	-

表 37.10 SD\_CMDレジスタへの設定例 (MMC) (2/2)

種類	コマンド	SD_CMDレジスタへの設定例	説明
CMD	CMD35	0000_0423h	-
	CMD36	0000_0424h	-
	CMD38	0000_0026h	-
	CMD39	0000_0427h	-
	CMD40	0000_0428h	-
	CMD42	0000_002Ah	-
	CMD49	0000_0C31h	-
	CMD53	0000_7C35h	-
	CMD54	0000_6C36h	-
	CMD55	0000_0037h	-
	CMD56	0000_0038h	-

参考資料

## 37.4 使用上の注意事項

### 37.4.1 SD\_BUF 不正書き込み [SD/MMC]

シングルブロックライトまたはマルチブロックライトコマンドを送信した後に SD\_BUF0 にデータを書き込む場合、SD\_SIZE で設定したサイズ分のデータを書き込む必要があります。

データが SD\_SIZE で設定したサイズを超えると、SD\_INFO2 の ERR4 ビットが 1 になります。また、SD\_BUF0 に書き込まれたデータを送信できず、SD\_INFO2 の SD\_CLK\_CTRLLEN ビットの値は 0 に保持される可能性があります。その場合、SOFT\_RST の SDRST ビットを 0 にクリアした後にその値を 1 に戻すと、SD\_CLK\_CTRLLEN ビットが 1 になります。

ただし、ダミーデータ部分の書き込みは超過データとみなされて無視されるため、SD\_SIZE 設定が奇数の場合は 1 バイトまたは 3 バイトに適用されず、SD\_SIZE 設定が偶数の場合は端数バイト (4 バイト単位になっていない 2 バイト) に適用されません。

### 37.4.2 マルチブロックリードのブロック数制限 [SD]

1 ブロックまたは 2 ブロックのマルチブロックリードを実行するときに、SD カードレスポンスレジスタが読み出されるタイミングによっては、レスポンス値が適切に読み出されない場合があります。この問題は、以下に示すいずれかの対策によって回避する必要があります。

- 1 ブロックまたは 2 ブロックのデータを受信するときに、シングルブロックリードを使用する
- SD\_RSP54 から CMD18 へのレスポンスを読み出す

#### 37.4.2.1 誤った読み出しのメカニズム

2 ブロックのマルチブロックリードが実行された場合の SD ホストインタフェース (ハードウェア) 動作とソフトウェア動作の処理フローを図 37.24 に示します。図 37.24 に示す誤動作のように、CMD18 レスポンスの受信時に割り込みが発生し、SD カードレスポンスレジスタ (SD\_RSP10) が割り込みによって読み出されるタイミングが遅延した場合、CMD12 レスポンス受信中のデータまたは CMD12 レスポンスが読み出される場合があります。データブロックが読み出されるまで CMD12 は送信されないため、この問題は 3 ブロック以上のマルチブロックリードでは発生しません。同様に、CMD25 レスポンスはデータブロック送信前に読み出されるため、この問題はマルチブロックライトでも発生しません。

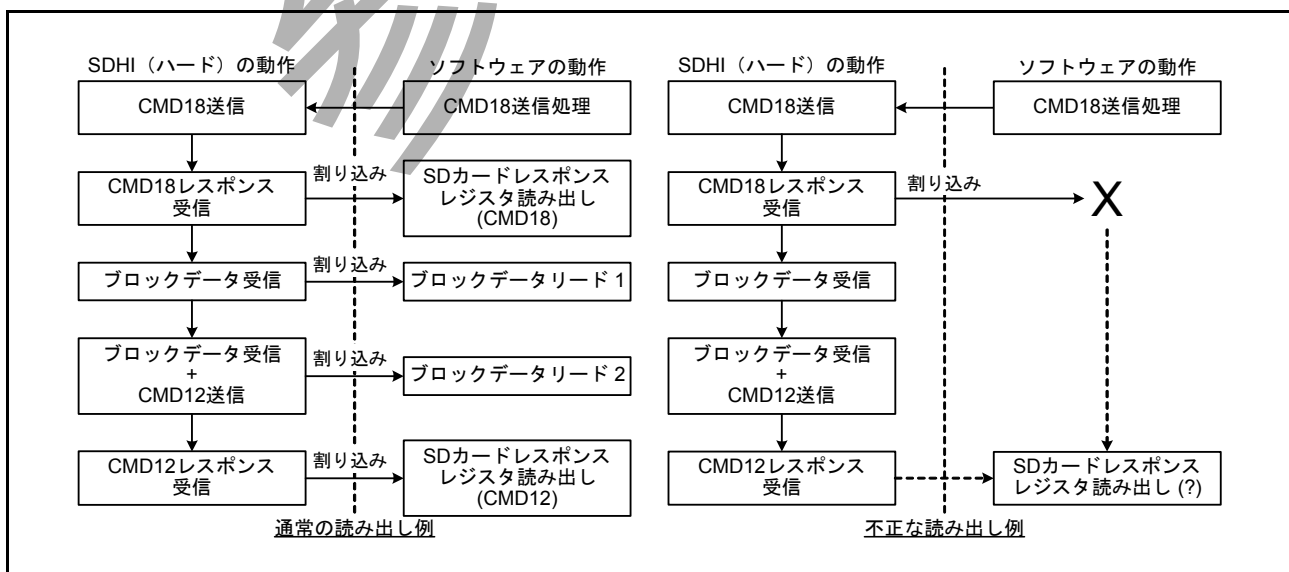


図 37.24 マルチブロックリード動作のフローチャート (2 ブロック)

### 37.4.3 SD/MMC クロック出力の自動制御 [SD/MMC]

SD カード/MMC 規格では、カードを初期化する前に SD/MMC クロックを 74 サイクル出力する必要があります。このため、SD/MMC クロックが 74 サイクル出力された後に、SD/MMC クロック出力の自動制御を使用します。また、SD/MMC クロック出力の自動制御を有効にした場合、通信エラーまたはタイムアウトによりシーケンスが完了すると SD/MMC クロック出力が停止します。シーケンスの完了後に SD カード/MMC 内の状態遷移が必要な場合、SD/MMC クロック出力の自動制御を解除し、SD カード/MMC への SD/MMC クロックの供給を再開させてください。

### 37.4.4 マルチブロックライトの C52PUB 設定の制御 [SD]

CMD53 によるマルチブロックライトシーケンス中に SDIO\_MODE の C52PUB ビットを 1 にすると、SD\_BUF がエンプティになるまで CMD52 は送信されません。このため、以下の適切ないずれかの手順に従って SD\_BUF への書き込みを一時停止してから C52PUB ビットを設定してください。

#### (a) DMA 転送を使用しない場合

1. C52PUB ビットを設定する前に、BWE 割り込みを禁止するように SD\_INFO2 を設定することで SD\_BUF への書き込みを一時停止する
2. SDIO\_MODE の C52PUB ビットを 1 にする (これにより、SD\_BUF がエンプティになると CMD52 が送信される)
3. CMD52 の送信による SD\_INFO1 での RSPEND 割り込み処理が完了した後に、BWE 割り込みを許可するように SD\_INFO2 を設定することで SD\_BUF への書き込みを再開する

#### (b) DMA 転送を使用する場合

1. SD\_SIZE に設定された値  $\times n$  ブロック ( $n=1, 2, \dots$ ) の DMA 転送が始まるたびに、C52PUB ビットを設定する前に DMA 転送による SD\_BUF への書き込みを一時停止する
2. SDIO\_MODE の C52PUB ビットを 1 にする (これにより、SD\_BUF がエンプティになると CMD52 が送信される)
3. CMD52 の送信による SD\_INFO1 での RSPEND 割り込み処理が完了した後に、DMA 転送による SD\_BUF への書き込みを再開する

### 37.4.5 SD\_CLK\_CTRL レジスタ設定時の注意 [SD/MMC]

SD\_INFO2 の SD\_CLK\_CTRLLEN ビットが 0 の場合、SD\_CLK\_CTRL に書き込むことはできません。SD\_CLK\_CTRL に書き込むときは、SD\_INFO2 の SD\_CLK\_CTRLLEN ビットが 1 であることを確認してから行ってください。

### 37.4.6 仕様の制限

1. SDIO の一時停止/再開動作はサポートされていない
2. SPI Bus はサポートされていない (SD/MMC)
3. Embedded SDIO の Shared Bus と 8 ビット SD Bus はサポートされていない
4. MMC のストリーム転送はサポートされていない
5. MMC の High Priority Interrupt (HPI) はサポートされていない
6. MMC の Boot Operation/Alternative Boot Operation はサポートされていない
7. MMC の Open-ended マルチブロック転送はサポートされていない

### 37.4.7 マルチブロックリード時の STP ビット設定 [SD/MMC]

SD\_STOP の SEC ビットを 1 にすることで自動 CMD12 実行によるマルチブロックリードを実行しているときは、強制的に実行を停止するために SD\_STOP の STP ビットを 1 にしても、STP ビットを設定するタイミングによってはコマンドシーケンスが停止しない場合があります。

これを回避するには、マルチブロック転送時に SD\_STOP の STP ビットを 1 にするときに、同時に SD\_STOP の SEC ビットを 0 にクリアします。SD\_INFO2 の SD\_CLK\_CTRLLEN ビットが 0 の場合でも、SEC ビットを 1 から 0 に変更します。

SEC ビットが 0 にクリアされないためにコマンドシーケンスが停止しないときは、SOFT\_RST の SDRST ビットを 0 にクリアすることでコマンドシーケンスを停止することができます。

CMD53 マルチブロック転送を SDIO\_MODE の IOABT ビットで強制的に終了するときは、SD\_STOP の SEC ビットが 1 のままになっていることを確認してください。

### 37.4.8 レジスタ設定時の注意

1. [37.2 レジスタの説明](#)の全レジスタへのアクセスは、32 ビットアクセスに限定されます。
2. レジスタの設定は、I/O ポートレジスタを設定してから行ってください。

参考資料

## 38. バウンダリスキャン

本 MCU は、バウンダリスキャン機能を内蔵しています。この機能は、JTAG (Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary Scan Architecture) と同等なシリアル入出力インタフェースを提供します。

### 38.1 概要

表 38.1 にバウンダリスキャンの仕様を示します。図 38.1 にバウンダリスキャン機能のブロック図を示します。

表 38.1 バウンダリスキャンの仕様

項目	内容
実行条件	RES端子がLowの場合は必ずバウンダリスキャンを実行する必要があります。
6種類のテストモード	<ul style="list-style-type: none"> <li>• BYPASSモード</li> <li>• EXTESTモード</li> <li>• SAMPLE/PRELOADモード</li> <li>• CLAMPモード</li> <li>• HIGHZモード</li> <li>• IDCODEモード</li> </ul>

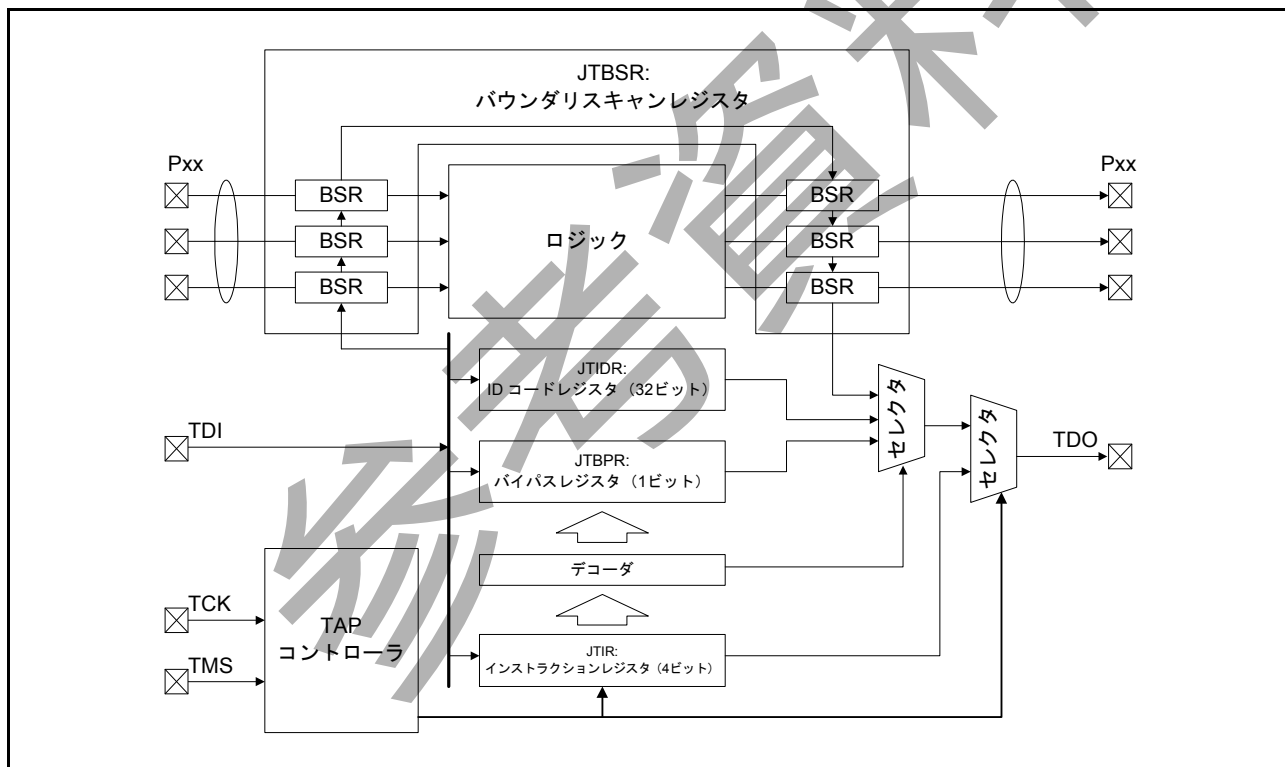


図 38.1 バウンダリスキャン機能のブロック図

表 38.2 にバウンダリスキャン機能で使用する入出力端子を示します。

表 38.2 端子構成

端子名	入出力	機能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号。バウンダリスキャン機能使用時、入力クロックデューティ比は50%です。
TMS	入力	テストモードセレクト
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力

注. 本 MCU は、JTAG インタフェース用の TRST 端子は備えていません。

## 38.2 レジスタの説明

表 38.3 にバウンダリスキャンのレジスタ一覧を示します。

表 38.3 バウンダリスキャンレジスタ

レジスタ名	シンボル	リセット後の値
インストラクションレジスタ	JTIR	Eh
IDコードレジスタ	JTIDR	082D B447h
バイパスレジスタ	JTBPR	不定
バウンダリスキャンレジスタ	JTBSR	不定

インストラクションは、TDI 端子からシリアル転送により JTIR レジスタへ入力できます。

JTBPR レジスタは 1 ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます。JTBSR レジスタは BSDL の構成のレジスタで、テストデータをシフトインするときに TDI 端子と TDO 端子の間に接続されます。

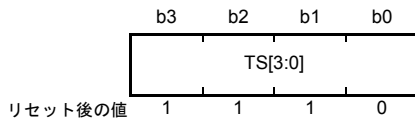
表 38.4 に各レジスタのシリアル転送を示します。

表 38.4 レジスタのシリアル転送

レジスタ名	シリアル入力	シリアル出力
インストラクションレジスタ (JTIR)	可能	可能
IDコードレジスタ (JTIDR)	可能	可能
バイパスレジスタ (JTBPR)	可能	可能
バウンダリスキャンレジスタ (JTBSR)	可能	可能



### 38.2.1 インストラクションレジスタ (JTIR)



ビット	シンボル	ビット名	機能	R/W
b3-b0	TS[3:0]	テストビットセット	コマンド構成は表 38.5 に示しています。	—

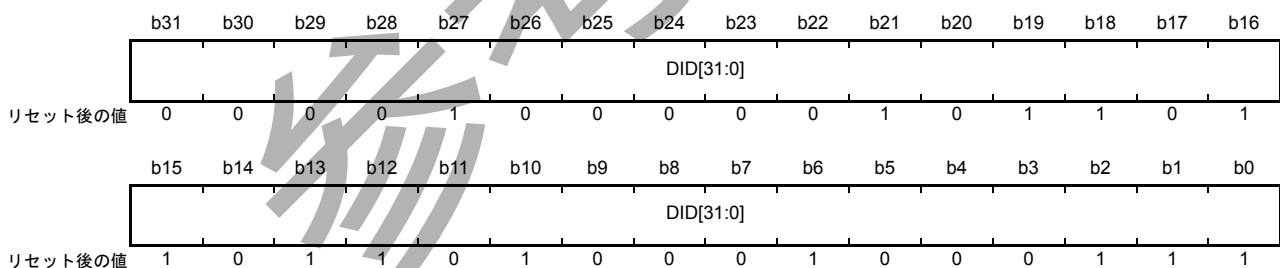
表 38.5 コマンド構成

TS3	TS2	TS1	TS0	インストラクション
0	0	0	0	EXTEST
0	0	0	1	SAMPLE/PRELOAD
0	0	1	1	IDCODE (ルネサスコード)
0	1	0	1	CLAMP
0	1	1	0	HIGHZ
1	1	1	1	BYPASS
上記以外				予約

JTAG 命令は、TDI 端子からのシリアル入力によって JTIR レジスタに転送することができます。

JTIR レジスタは、パワーオンリセットが発生したとき、または TAP コントローラが Test-Logic-Reset 状態のときに初期化されます。

### 38.2.2 ID コードレジスタ (JTIDR)



ビット	シンボル	ビット名	機能	R/W
b31-b0	DID[31:0]	デバイスID	デバイス IDCODE を示す固定値のレジスタ	—

IDCODE 命令の実行時、JTIDR レジスタのデータを TDO 端子から出力します。リセット解除後、JTIDR の IDCODE は ARM® デバッグコードに変わります。ARM Limited, ARM CoreSight™ SoC-400 Technical Reference Manual (ARM DDI 0480F) を参照してください。

### 38.2.3 バイパスレジスタ (JTBPR)

JTBPR レジスタは、1 ビットのレジスタです。JTIR レジスタが BYPASS モードに設定された場合、TDI 端子と TDO 端子は JTBPR レジスタに接続されます。

### 38.2.4 バウンダリスキャンレジスタ (JTBSR)

JTBSR レジスタは、本 MCU の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ 命令を用いて、バウンダリスキャンテストを行うことができます。BSDL ファイルは、JTBSR ビットと本 MCU の端子の関係を示しています。リセット後の値は不定です。

参考資料

### 38.3 動作説明

リセット時に、JTAG ポート (TCK、TMS、TDI、および TDO) がデフォルトの端子機能として割り当てられます。TCK、TMS、および TDI 端子はプルアップ抵抗器によってプルアップします。POR および RES のネゲートが Low になった後、セットアップ時間が経過したときにバウンダリスキャンテストを行うことができます。

#### 38.3.1 TAP コントローラ

図 38.2 に TAP コントローラの状態遷移図を示します。すべての遷移は TMS 信号によって制御されます。

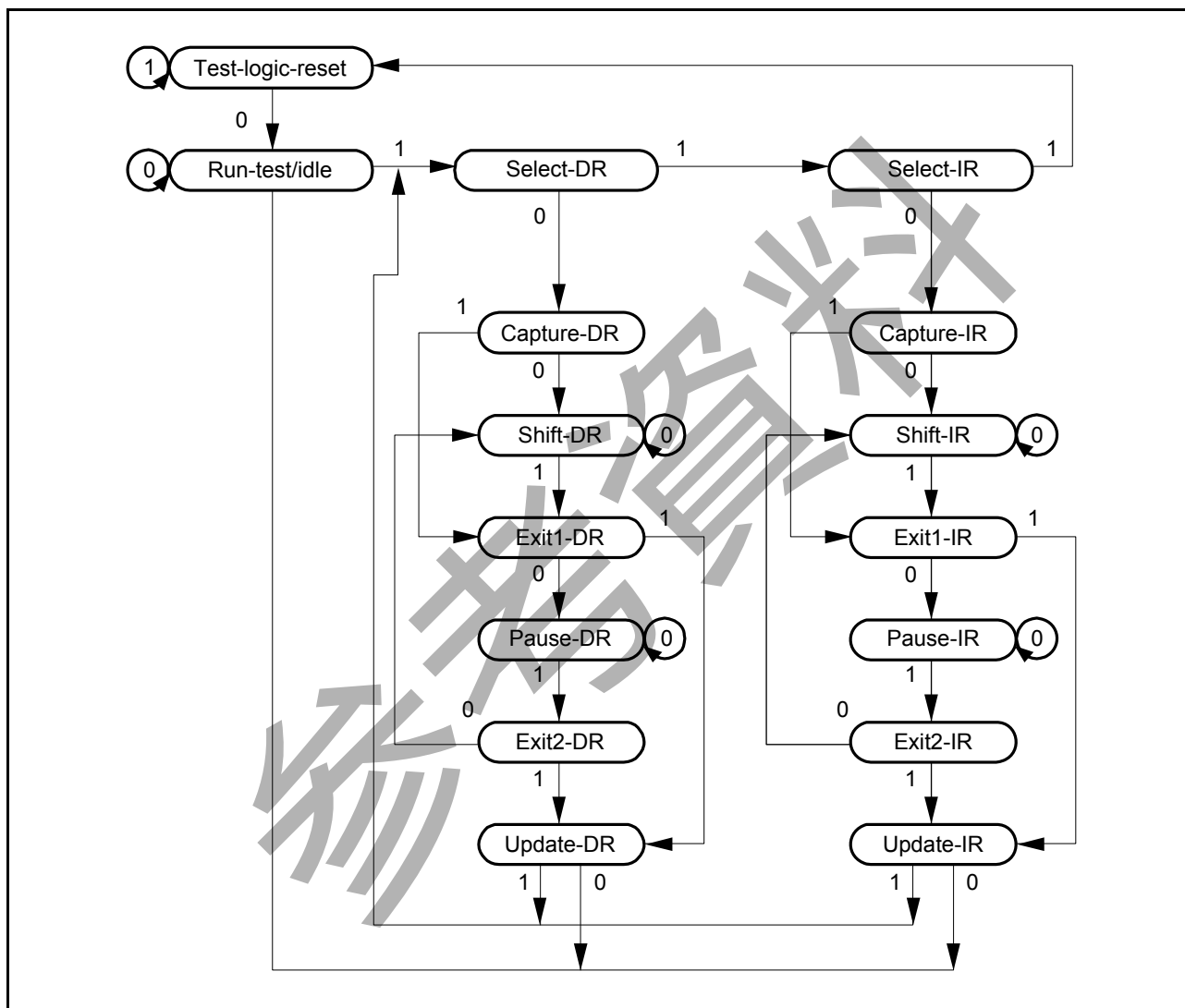


図 38.2 TAP コントローラの状態遷移図

### 38.3.2 コマンド一覧

#### (1) BYPASS

BYPASS 命令は、バイパスレジスタ (JTBPR) を動作させます。この命令はシフトバスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子にはバイパスレジスタ (JTBPR) が接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO が Low となります。その後の Shift-DR で TDI が TDO から出力されます。

#### (2) EXTEST

EXTEST 命令は、本 MCU をプリント基板 (PCB) に実装したとき、外部回路をテストするためのものです。この命令の実行時、出力端子は SAMPLE/PRELOAD 命令で設定されたテストデータをバウンダリスキャンレジスタから PCB へ出力するために使用され、入力端子は PCB からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。

#### (3) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は、MCU の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、MCU の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により MCU のシステム回路は何の影響も受けません。

SAMPLE 動作では、バウンダリスキャンレジスタは、入力端子から内部回路に転送されたデータ、または内部回路から出力端子へ転送されたデータのスナップショットをラッチします。ラッチしたデータは、スキャンパスから読み出します。スナップショットの取り込みは Capture-DR 状態の TCK の立ち上がり同期して行われます。リセット時に限り、スナップショットは内部回路から出力端子に転送されます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、EXTEST シーケンスの最初から最後 (出力ラッチへの転送) まで出力端子から不定値が出力されます。EXTEST 命令では、常に出力端子に平行出力ラッチを出力します。

#### (4) IDCODE

IDCODE 命令が選択されると、TAP コントローラの Shift-DR ステート時に IDCODE レジスタ値を TDO へ出力します。IDCODE レジスタ値は、LSB から出力します。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

#### (5) CLAMP

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

#### (6) HIGHZ

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態に遷移し、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

### 38.4 使用上の注意事項

RES 端子が Low になっているときに、バウンダリスキャンを実行する必要があります。端子シリアル転送とデータの入出力は、LSB 側からとなります。図 38.3 を参照してください。

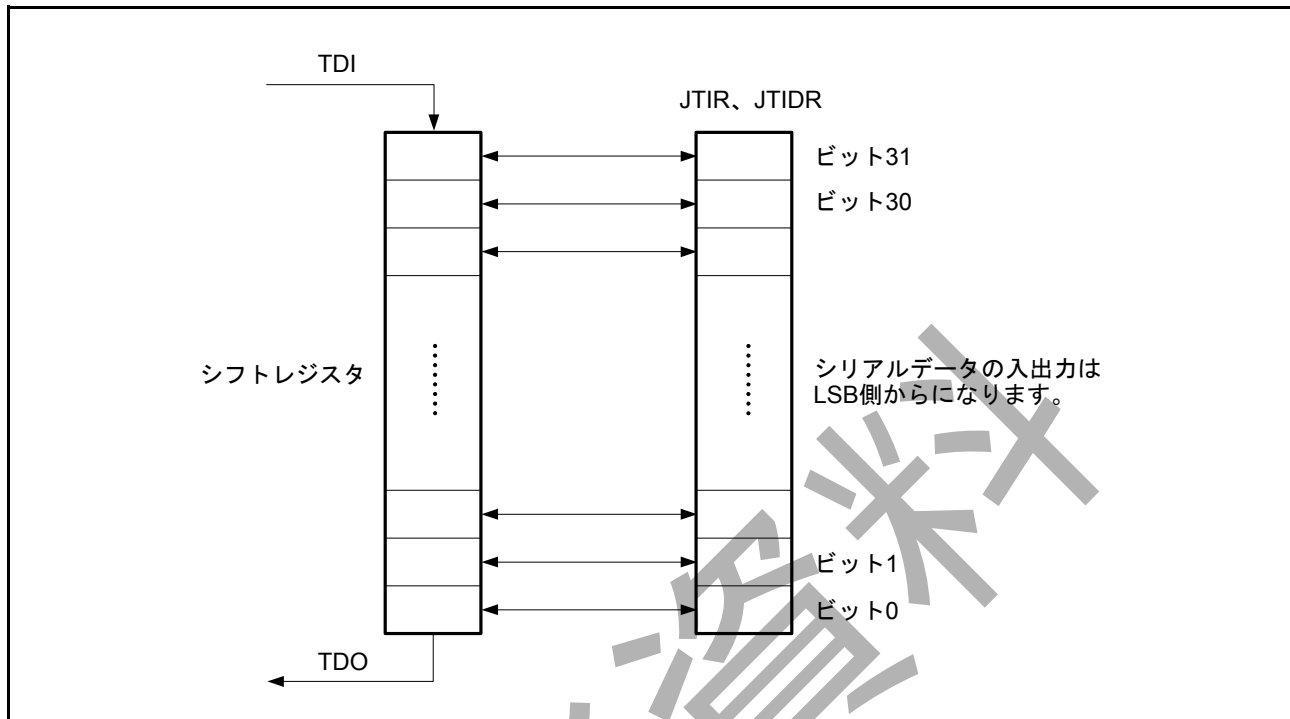


図 38.3 シリアルデータ入出力

- 電源端子 (VCC, VCL, VSS, VBATT, AVCC0, AVSS0, VCC\_USB, VSS\_USB) はバウンダリスキャンの対象外である
- クロック端子 (EXTAL, XTAL, XCIN, XCOU) はバウンダリスキャンの対象外である
- リセット信号 (RES) はバウンダリスキャンの対象外である
- USBFS 専用端子 (USB\_DP, USB\_DM) はバウンダリスキャンの対象外である
- バウンダリスキャンの端子 (TCK, TMS, TDI, TDO) はバウンダリスキャンの対象外である
- モード信号 (MD) はバウンダリスキャンの対象外である

## 39. 14ビットA/Dコンバータ (ADC14)

### 39.1 概要

MCUは、逐次比較方式の14ビットのA/Dコンバータを最大1ユニット内蔵しています。最大28チャンネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。

A/D変換精度には14ビット変換を選択でき、デジタル値の生成時に速度と分解能のバランスを最適化することができます。

A/Dコンバータ機能は、以下の3つの動作モードに対応しています。(1) 任意に選択したチャンネルのアナログ入力を、チャンネル番号の昇順に変換するシングルスキャンモード、(2) 任意に選択したチャンネルのアナログ入力を、順次チャンネル番号の昇順に連続して変換する連続スキャンモード、(3) チャンネルのアナログ入力を任意に2つのグループ(グループAとグループB)に分け、グループ単位で選択したチャンネルのアナログ入力をチャンネル番号の昇順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することができます。グループAの優先制御動作を設定すると、グループBのA/D変換動作中にグループAのスキャン開始を受け付けて、グループBのA/D変換動作を中断します。このようにして、グループAのA/D変換動作を優先的に開始します。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード(グループA)で変換し、1回目のA/D変換開始トリガで変換したデータと2回目のA/D変換開始トリガで変換したデータを別々のレジスタに格納(A/D変換データの2重化)します。

自己診断は、スキャンごとの最初に1回実施され、14ビットADC内部で生成する3つの電圧値のうち1つをA/D変換します。

温度センサ出力および内部基準電圧を同時に選択しないでください。温度センサ出力および内部基準電圧のA/D変換は個別に行ってください。内部基準電圧を高電位側の基準電圧に選択する場合、温度センサまたは内部基準電圧のA/D変換も実行できません。基準電源端子(VREFH0)、アナログ部の電源端子(AVCC0)、または内部基準電圧は、高電位側の基準電圧として選択可能です。基準電源グランド端子(VREFL0)またはアナログ部の電源グランド端子(AVSS0)は、低電位側の基準電圧として選択可能です。

A/Dコンバータは比較機能(ウィンドウAおよびウィンドウB)を搭載しています。この比較機能は、ウィンドウAおよびウィンドウBそれぞれの上側基準値および下側基準値を指定し、選択したチャンネルのA/D変換値が比較条件に一致すると割り込みを出力します。

表 39.1 に14ビットADCの仕様を示します。表 39.2 に14ビットADCの機能を示します。図 39.1 に14ビットADCのブロック図を示します。

表 39.1 14ビットADCの仕様 (1/3)

項目	内容
ユニット数	1ユニット
入力チャンネル	最大28チャンネル (AN000 ~ AN027)
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	14ビット (14ビットまたは12ビット変換が選択可能)
変換時間	1チャンネル当たり0.79μs (14ビットA/D変換クロックPCLKC (ADCLK) が64MHzで動作時)
A/D変換クロック	周辺モジュールクロックPCLKB (注1) とA/D変換クロックPCLKC (ADCLK) (注1) を以下の分周比で設定可能 PCLKB : PCLKC (ADCLK) 分周比 = 1:1、2:1、4:1、8:1、1:2、1:4

表 39.1 14ビットADCの仕様 (2/3)

項目	内容
データレジスタ	<ul style="list-style-type: none"> <li>アナログ入力用28本           <ul style="list-style-type: none"> <li>ダブルトリガモードでのA/D変換データ2重化用1本</li> <li>ダブルトリガモード拡張動作時のA/D変換データ2重化用2本</li> </ul> </li> <li>温度センサ出力用1本</li> <li>内部基準電圧用1本</li> <li>自己診断用1本</li> <li>A/D変換結果をA/Dデータレジスタに保持</li> <li>A/D変換結果の12、14ビット精度出力対応</li> <li>加算モード時はA/D変換結果の加算値を変換精度ビット数+2ビット (注4) でA/Dデータレジスタに保持</li> <li>ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能)           <ul style="list-style-type: none"> <li>選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは2重化レジスタに保持</li> </ul> </li> <li>ダブルトリガモード拡張動作 (特定トリガ種別で有効)           <ul style="list-style-type: none"> <li>選択した1つのチャンネルのアナログ入力のA/D変換データをトリガ種別毎に準備した2重化レジスタに保持</li> </ul> </li> </ul>
動作モード	<ul style="list-style-type: none"> <li>シングルスキャンモード           <ul style="list-style-type: none"> <li>任意に選択したチャンネルのアナログ入力を1回のみA/D変換</li> <li>温度センサ出力を1回のみA/D変換</li> <li>内部基準電圧を1回のみA/D変換</li> </ul> </li> <li>連続スキャンモード           <ul style="list-style-type: none"> <li>任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧を繰り返しA/D変換</li> </ul> </li> <li>グループスキャンモード           <ul style="list-style-type: none"> <li>任意にグループAとグループBに分けたチャンネルのアナログ入力、グループ単位で選択したアナログ入力を1回のみA/D変換</li> <li>グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBのA/D変換をそれぞれ異なるタイミングで開始することが可能</li> </ul> </li> <li>グループスキャンモード (グループA優先制御選択時)           <ul style="list-style-type: none"> <li>グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実施</li> <li>グループAのA/D変換動作終了後、グループBのA/D変換動作を再実行 (再スキャン) の設定が可能</li> </ul> </li> </ul>
A/D変換開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>同期トリガ           <ul style="list-style-type: none"> <li>イベントリンクコントローラ (ELC) からのトリガ</li> </ul> </li> <li>非同期トリガ</li> <li>外部トリガADTRG0端子によるA/D変換動作の開始が可能</li> </ul>
機能	<ul style="list-style-type: none"> <li>非内蔵専用サンプル&amp;ホールド機能</li> <li>サンプリングステート数可変機能</li> <li>A/Dコンバータの自己診断機能</li> <li>A/D変換値加算モードと平均モードが選択可能</li> <li>アナログ入力断線検出機能 (ディスチャージ機能/プリチャージ機能)</li> <li>ダブルトリガモード (A/D変換データ2重化機能)</li> <li>14/12ビット変換切り替え機能 (注2)</li> <li>A/Dデータレジスタオートクリア機能</li> <li>デジタルコンペア機能 (コンペアレジスタとデータレジスタとの比較、データレジスタ間の比較)</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>シングルスキャンモード (ダブルトリガモード非選択) では、1回のスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号 (ADC140_ADI) を発生           <ul style="list-style-type: none"> <li>デジタルコンペア機能の比較条件成立で、コンペア割り込み要求 (ADC140_CMPAI/ADC140_CMPBI) を発生</li> <li>デジタルコンペア機能の比較条件成立で、ウィンドウコンペアELCイベント信号 (ADC140_WCMPPM) を発生</li> <li>デジタルコンペア機能の比較条件不成立で、ウィンドウコンペアELCイベント信号 (ADC140_WCMPUM) を発生</li> </ul> </li> <li>シングルスキャンモード (ダブルトリガモード選択) では、2回のスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号 (ADC140_ADI) を発生</li> <li>連続スキャンモードでは、選択した全チャンネルのスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号 (ADC140_ADI) を発生</li> <li>グループスキャンモード (ダブルトリガモード非選択) では、グループAのスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号 (ADC140_ADI) を発生。グループBのスキャン終了でグループBのA/Dスキャン終了割り込み要求 (ADC140_GBADI) を発生</li> <li>グループスキャンモード (ダブルトリガモード選択) では、2回のグループAのスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号 (ADC140_ADI) を発生。グループBのスキャン終了でグループBのA/Dスキャン終了割り込み要求 (ADC140_GBADI) を発生</li> <li>ADC140_ADI、ADC140_GBADI、ADC140_WCMPPM、およびADC140_WCMPUMでDMAコントローラ (DMAC)、データトランスファコントローラ (DTC) を起動可能</li> </ul>

表 39.1 14ビットADCの仕様 (3/3)

項目	内容
ELCインタフェース	• ELCからのトリガでスキャン開始可能
基準電圧	• VREFH0、AVCC0、または内部基準電圧は、高電位側の基準電圧として選択可能 • VREFL0またはAVSS0は低電位側の基準電圧として選択可能
モジュールストップ機能	モジュールストップ状態への設定が可能 (注3)

- 注 1. 周辺モジュールクロック PCLKB は SCKDIVCR.PCKB[2:0] ビットで設定した周波数、A/D 変換クロック ADCLK は SCKDIVCR.PCKC[2:0] ビットで設定した周波数になります。PCLKB の最大周波数は 32MHz で、PCLKC (ADCLK) の最大周波数は 64MHz です。
- 注 2. A/D 変換精度を変えた場合、A/D 変換時間も変わります。詳細は、39.3.6 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。
- 注 3. 詳細は、「11. 低消費電力モード」を参照してください。
- 注 4. 加算用の拡張ビット数は、A/D 変換精度および加算回数によって異なります。A/D 変換精度が 12 または 14 ビットの場合、2 ビット拡張は最大で変換 4 回 (加算 3 回) となります。
- 注 5. 温度センサ出力または内部基準電圧を選択する場合、連続スキャンモードまたはグループスキャンモードは使用しないでください。

表 39.2 14ビットADCの機能

項目		ADC140
アナログ入力チャンネル		AN000 ~ AN027 内部基準電圧 温度センサ出力
A/D 変換開始条件	ソフトウェア	許可
	同期トリガ (ELCからのトリガ)	ELC_AD00 ELC_AD01
割り込み		ADC140_ADI ADC140_GBADI ADC140_CMPAI ADC140_CMPBI
ELCへの出力		ADC140_ADI ADC140_WCMPM ADC140_WCMPUM
モジュールストップ機能の設定 (注1) (注2)		MSTPCRD.MSTPD16ビット

- 注 1. 詳細は、「11. 低消費電力モード」を参照してください。
- 注 2. モジュールストップ状態の解除後に A/D 変換を開始するのに、1μs 以上待機します。



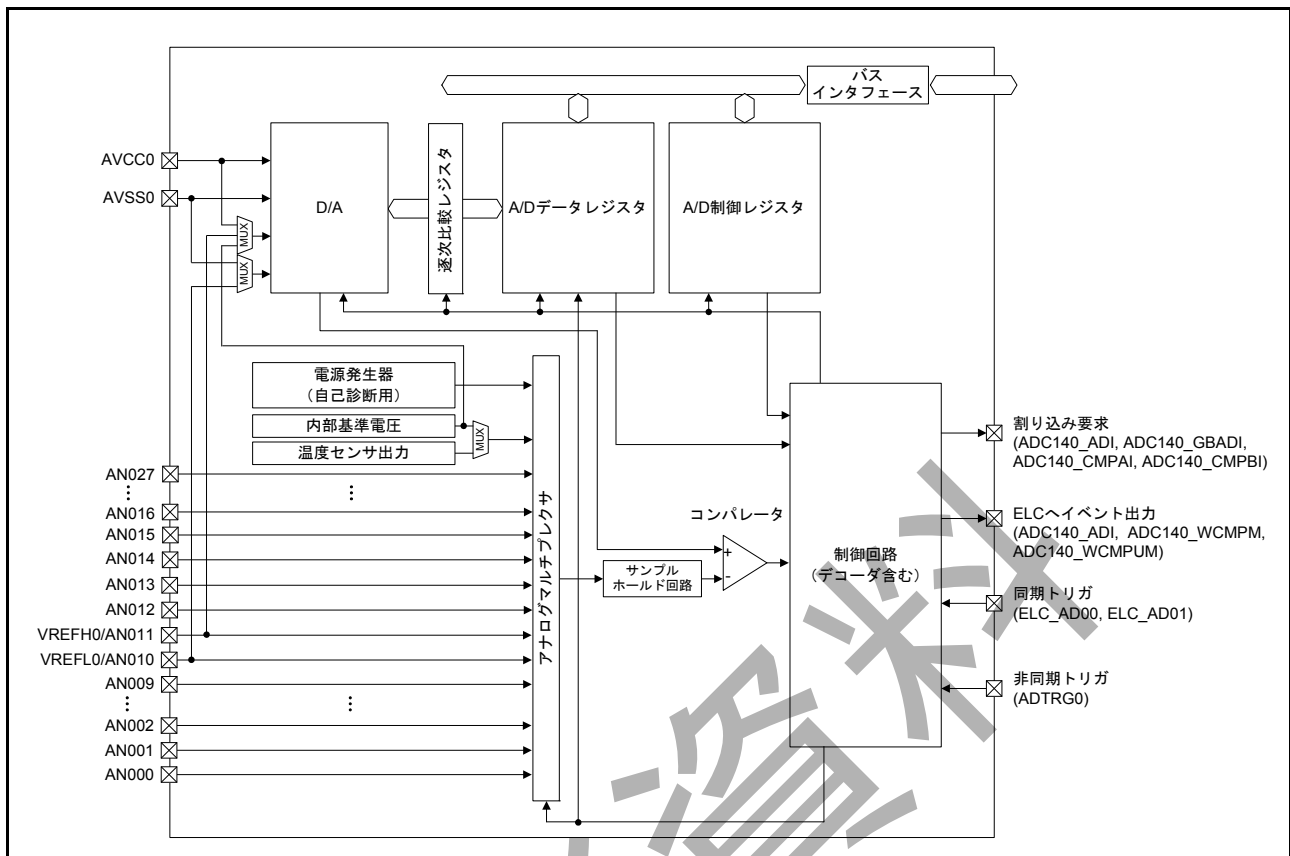


図 39.1 14ビットADCのブロック図

表 39.2 に 14 ビット ADC の入出力端子を示します。

表 39.3 A/Dコンバータの入出力端子

単位	端子名	入出力	機能
ユニット0	AVCC0	入力	アナログ部の電源端子
	AVSS0	入力	アナログ部の電源グランド端子
	VREFH0	入力	基準電源端子
	VREFL0	入力	基準電源グランド端子
	AN000 ~ AN027	入力	アナログ入力端子0 ~ 27
	ADTRG0	入力	A/D変換開始のための外部トリガ入力端子

## 39.2 レジスタの説明

- ### 39.2.1 A/D データレジスタ y (ADDRy)、 A/D データ 2 重化レジスタ (ADDBLDR)、 A/D データ 2 重化レジスタ A (ADDBLDRA)、 A/D データ 2 重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)

ADDRy レジスタ (y=0~27) は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDRA レジスタと ADDBLDRB レジスタは、ダブルトリガモード選択時の拡張動作中のトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

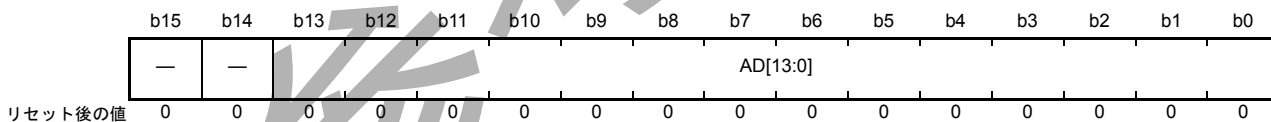
各レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFT) の設定値 (右詰めまたは左詰め)
- A/D データレジスタビット精度指定ビット (ADCER.ADPRC[1:0]) の設定値 (14 ビットまたは 12 ビット)
- 加算/平均回数選択ビット (ADADC.ADC[2:0]) の設定値 (1 回、2 回、3 回、4 回、または 16 回加算)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

#### (1) A/D 変換値加算 / 平均モードを非選択とした場合

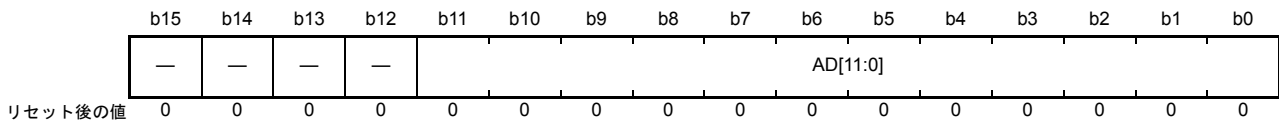
##### 右詰めのフォーマット、14 ビット精度に設定した場合

アドレス [ADC140.ADDR0 4005 C020h](#)~[ADC140.ADDR27 4005 C056h](#),  
[ADC140.ADDBLDR 4005 C018h](#), [ADC140.ADDBLDRA 4005 C084h](#), [ADC140.ADDBLDRB 4005 C086h](#),  
[ADC140.ADTSDR 4005 C01Ah](#), [ADC140.ADOCDR 4005 C01Ch](#)



ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0]	変換値 13~0	14 ビット A/D 変換値	R
b15-b14	—	予約ビット	読むと 0 が読めます。	R

## 右詰めフォーマット、12ビット精度に設定した場合



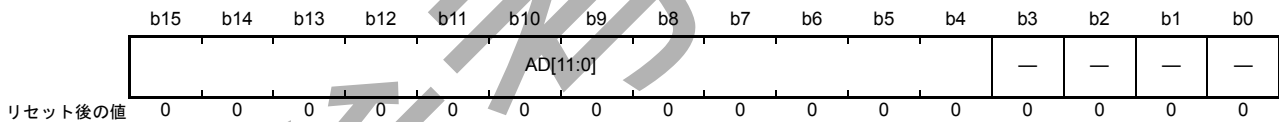
ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値 11~0	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと0が読めます。	R

## 左詰めフォーマット、14ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。	R
b15-b2	AD[13:0]	変換値 13~0	14ビットA/D変換値	R

## 左詰めフォーマット、12ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	変換値 11~0	12ビットA/D変換値	R

## (2) A/D変換値平均モードを選択した場合

A/D変換値加算モードで2回または4回を選択した場合、A/D変換値平均モードを選択できます。A/D変換値平均モードを選択した場合、本レジスタは特定チャンネルのA/D変換値を平均した値を示します。A/D変換値平均モードを選択した場合、通常のA/D変換と同様にA/Dデータレジスタフォーマット選択ビットの設定に従い、A/Dデータレジスタに値が格納されます。

### (3) A/D 変換値加算モードを選択した場合

12 または 14 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1 回、2 回、3 回、または 4 回を選択できます。12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。

A/D 変換値加算モードを選択したとき、本レジスタは同一チャンネルの A/D 変換値を加算した値を示します。A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

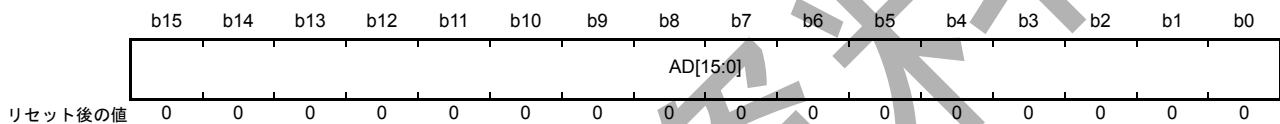
A/D 変換値加算モードで 1 回、2 回、3 回、または 4 回を設定したとき、12 または 14 ビットの A/D データレジスタビット精度の場合は、A/D 変換結果の値を、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに保持します。

A/D 変換値加算モードで 16 回を設定したとき、12 ビットの A/D データレジスタビット精度の場合は、A/D 変換結果の値を、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに保持します。

以下、条件ごとのフォーマットを示します。

#### 右詰めフォーマット、14 ビット精度に設定した場合

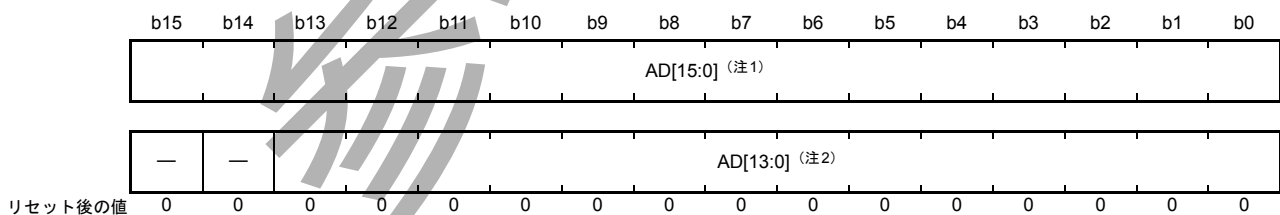
(A/D 変換値加算モードを選択した場合)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0]	加算結果 15~0	16ビットA/D変換値加算結果	R

#### 右詰めフォーマット、12 ビット精度に設定した場合

(A/D 変換値加算モードを選択した場合)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0] (注1)	加算結果 15~0	16ビットA/D変換値加算結果	R

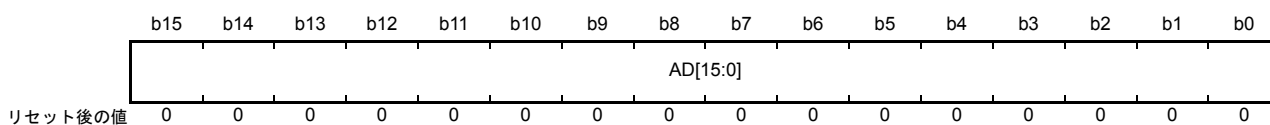
ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0] (注2)	加算結果 13~0	14ビットA/D変換値加算結果	R
b15-b14	—	予約ビット	読むと0が読めます。	R

注 1. A/D 変換値加算モードで 16 回を選択した場合。

注 2. A/D 変換値加算モードで 2 回または 4 回を選択した場合。

## 左詰めのフォーマット、14ビット精度に設定した場合

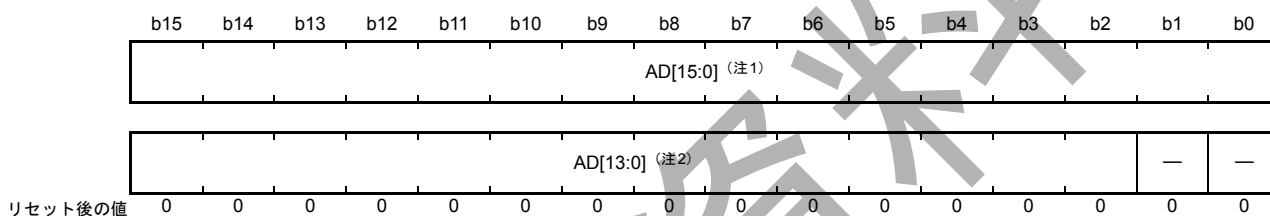
(A/D変換値加算モードを選択した場合)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0]	加算結果15~0	16ビットA/D変換値加算結果	R

## 左詰めのフォーマット、12ビット精度に設定した場合

(A/D変換値加算モードを選択した場合)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0] (注1)	加算結果15~0	16ビットA/D変換値加算結果	R

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。	R
b15-b2	AD[13:0] (注2)	加算結果13~0	14ビットA/D変換値加算結果	R

注1. A/D変換値加算モードで16回を選択した場合。

注2. A/D変換値加算モードで2回または4回を選択した場合。

### 39.2.2 A/D 自己診断データレジスタ (ADRD)

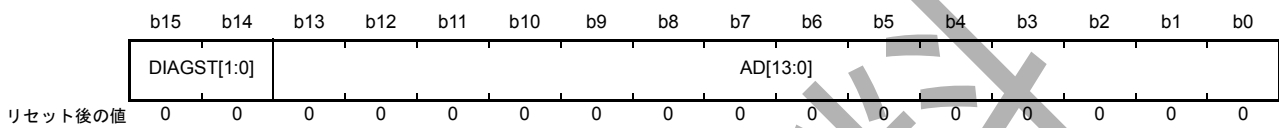
ADRD レジスタは、14ビットADCの自己診断によりA/D変換した結果を格納する16ビットの読み出し専用レジスタです。A/D変換値を示すADビットに加えて、自己診断ステータスビット (DIAGST) が付加されます。ADRDレジスタは下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFT) の設定値 (右詰めまたは左詰め)
- A/Dデータレジスタビット精度指定ビット (ADCER.ADPRC[1:0]) の設定値 (14ビットまたは12ビット)

A/D自己診断機能にはA/D変換加算モードとA/D変換平均モードを適用することはできません。自己診断の詳細については、[39.2.11 A/Dコントロール拡張レジスタ \(ADCER\)](#) を参照してください。以下、条件ごとのフォーマットを示します。

#### 右詰めのフォーマット、14ビット精度に設定した場合

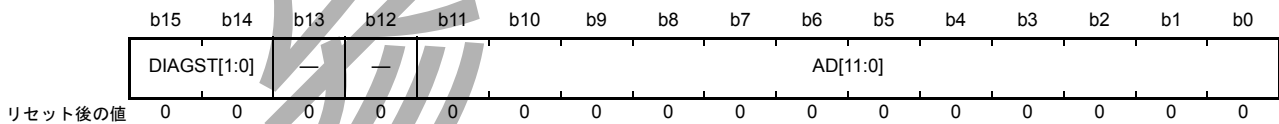
アドレス [ADC140.ADRD 4005 C01Eh](#)



ビット	シンボル	ビット名	機能	R/W
b13-b0	<a href="#">AD[13:0]</a>	変換値 13~0	14ビットA/D変換値	R
b15-b14	<a href="#">DIAGST[1:0]</a>	自己診断ステータス	b15 b14 0 0: パワーオンから自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) ×1/2の電圧値の自己診断を実施したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については、 <a href="#">39.2.11 A/Dコントロール拡張レジスタ (ADCER)</a> を参照してください。	R

注 1. 基準電圧は VREFH0 を指します。

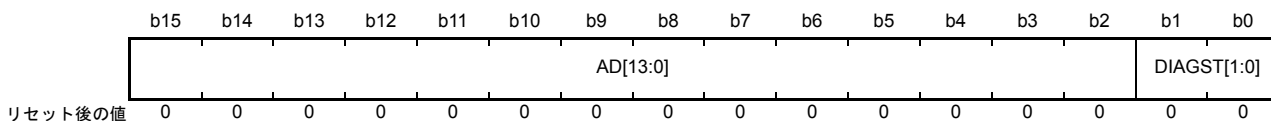
#### 右詰めのフォーマット、12ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b11-b0	<a href="#">AD[11:0]</a>	変換値 11~0	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと0が読めます。	R
b15-b14	<a href="#">DIAGST[1:0]</a>	自己診断ステータス	b15 b14 0 0: パワーオンから自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) ×1/2の電圧値の自己診断を実施したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については、 <a href="#">39.2.11 A/Dコントロール拡張レジスタ (ADCER)</a> を参照してください。	R

注 1. 基準電圧は VREFH0 を指します。

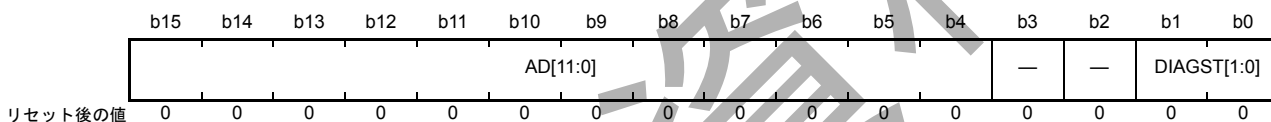
## 左詰めフォーマット、14ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0: パワーオンから自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) ×1/2の電圧値の自己診断を実施したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については、 <a href="#">39.2.11 A/Dコントロール拡張レジスタ (ADCER)</a> を参照してください。	R
b15-b2	AD[13:0]	変換値13~0	14ビットA/D変換値	R

注1. 基準電圧はVREFH0を指します。

## 左詰めフォーマット、12ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0: パワーオンから自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) ×1/2の電圧値の自己診断を実施したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実施したことを示す 自己診断の詳細については、 <a href="#">39.2.11 A/Dコントロール拡張レジスタ (ADCER)</a> を参照してください。	R
b3-b2	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	変換値11~0	12ビットA/D変換値	R

注1. 基準電圧はVREFH0を指します。

## 39.2.3 A/D コントロールレジスタ (ADCSR)

アドレス ADL140.ADCSR 4005 C000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	—	—	ADHSC	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード選択時のみ有効です。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	GBADIE	グループBスキャン終了割り込み許可	0: グループBのスキャン終了後にADC140_GBADI割り込み発生を禁止 1: グループBのスキャン終了後にADC140_GBADI割り込み発生を許可 グループBのスキャンは、グループスキャンモードでのみ実行できます。	R/W
b7	DBLE	ダブルトリガモード選択	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択 (注1)	0: 同期トリガ (ELC) によるA/D変換の開始を選択 1: 非同期トリガ (ADTRG0) によるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b10	ADHSC	A/D変換モード選択	0: 高速A/D変換モード 1: 低消費電力A/D変換モード	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b13	ADCS[1:0]	スキャンモード選択	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタート	0: A/D変換停止 1: A/D変換開始	R/W

注 1. 外部端子 (非同期トリガ) で A/D 変換を起動する方法  
外部端子 (ADTRG0) に High を入力した状態で、ADCSR.TRGE ビットおよび ADCSR.EXTRG ビットを 1 にし、ADTRG0 から Low を入力します。ADTRG0 の立ち下がりがエッジを検出し、スキャン変換を開始します。このときの Low 入力のパルス幅は、1.5PCLKB クロック以上必要です。

## DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択)

ダブルトリガモードで A/D 変換データを 2 重化する 1 チャンネルを選択します。DBLANS[4:0] ビットで選択したチャンネルのアナログ入力を、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。[表 39.4](#) にダブルトリガ対象チャンネルの選択表を示します。

ダブルトリガモードを設定した状態での A/D 変換値加算/平均モードは、DBLANS[4:0] ビットで選択したチャンネルを ADADS0、ADADS1 レジスタで選択することで実行可能です。ダブルトリガモードを選択した場合は、ADANSA0 および ADANSA1 レジスタで選択したチャンネルの選択は無効になり、DBLANS[4:0] ビットで選択した 1 チャンネルが A/D 変換を行うチャンネルとなります。

グループスキャンモードでダブルトリガモードを使用する場合、ダブルトリガ制御はグループ A のみに適用され、グループ B には適用されません。そのため、ダブルトリガモードでもグループ B に対してはマルチチャンネルアナログ入力を選択できます。

DBLANS[4:0] ビットの設定は、ADST ビットが 0 のときに行ってください。ADST ビットへの 1 書き込みと同時に設定もしないでください。



なお、ダブルトリガモードを設定した状態での A/D 変換値加算/平均モードは、DBLANS[4:0] で選択したチャンネルを ADANSA0、ADANSA1 レジスタで選択することで実行可能です。

表 39.4 DBLANS ビット設定値とダブルトリガ対象チャンネルの関係

DBLANS[4:0]	2重化チャンネル	DBLANS[4:0]	2重化チャンネル
00000	AN000	10000	AN016
00001	AN001	10001	AN017
00010	AN002	10010	AN018
00011	AN003	10011	AN019
00100	AN004	10100	AN020
00101	AN005	10101	AN021
00110	AN006	10110	AN022
00111	AN007	10111	AN023
01000	AN008	11000	AN024
01001	AN009	11001	AN025
01010	AN010	11010	AN026
01011	AN011	11011	AN027
01100	AN012		
01101	AN013		
01110	AN014		
01111	AN015		

注 1. 自己診断、温度センサ出力および内部基準電圧の A/D 変換データは、ダブルトリガモードで使用できません。

#### GBADIE ビット (グループ B スキャン終了割り込み許可)

グループスキャンモードでのグループ B のスキャン終了割り込み (ADC140\_GBADI) の発生を許可/禁止します。

#### DBLE ビット (ダブルトリガモード選択)

また、ダブルトリガモードは、ADSTRGR\_TRSA[5:0] ビットで選択された同期トリガ (ELC) のみで動作できます。ダブルトリガモードの場合は以下のようになります。

- 1 回目の変換終了時は ADC140\_ADI 割り込みを出力せず、2 回目の変換終了時に ADC140\_ADI 割り込みを出力します
- 1 回目のトリガで変換した二重化チャンネル (DBLANS[4:0] ビットで選択) の A/D 変換結果は、A/D データレジスタ y に格納され、2 回目のトリガで変換した結果は、A/D データ 2 重化レジスタに格納されます

DBLE が設定されている場合 (ダブルトリガモードを選択)、ADANSA0 および ADANSA1 レジスタで指定したチャンネルは無効です。連続スキャンモードの場合、ダブルトリガモードは選択しないでください。

また、ダブルトリガモードではソフトウェアトリガを使用できません。DBLE ビットは、ADST ビットを 0 にした後に設定してください (DBLE ビットの設定を ADST ビットへの 1 書き込みと同時にに行わないでください)。

#### EXTRG ビット (トリガ選択)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

#### TRGE ビット (トリガ開始許可)

同期トリガ、非同期トリガによる A/D 変換の起動を許可/禁止します。グループスキャンモードでは、このビットを 1 にしてください。

#### ADHSC ビット (A/D 変換モード選択)

A/D 変換を高速モードにするか低電力モードにするかを選択します。

本ビットの書き換え方法については、39.8.8 ADHSC ビット書き換え手順を参照してください。

**ADCS[1:0] ビット (スキャンモード選択)**

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0、ADANSA1 レジスタで選択した最大 28 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施します。選択したすべてのチャンネルの A/D 変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが 1 の間、ADANSA0、ADANSA1 レジスタで選択したアナログ入力を若いチャンネル番号順に A/D 変換を実施します。選択されたすべてのチャンネルの A/D 変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを 0 にすると、スキャン中に A/D 変換を停止します。

グループスキャンモードは、ADANSA0、ADANSA1 レジスタで選択したアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実施します。ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) によってスキャンが開始した後、選択したすべてのチャンネルの A/D 変換が終了すると、A/D 変換を停止します。同様に、ADANSB0、ADANSB1 レジスタで選択した最大 28 チャンネルのアナログ入力 (グループ B) を若いチャンネル番号順に A/D 変換を実施します。ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) によってスキャンが開始した後、選択したすべてのチャンネルの A/D 変換が終了すると、A/D 変換を停止します。このとき、グループ A 側とグループ B 側の変換が重なった場合、変換制御は別々に制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット (ADGSPCR.PGS) を 1 にして、変換優先順位を A 側に設定してください。グループスキャンモードを選択する場合は、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

温度センサ出力または内部基準電圧を選択する場合、シングルスキャンモードを選択し、ADANSA0、ADANSA1 レジスタを設定してすべてのチャンネルの選択を解除してから、A/D 変換を実施してください。選択した温度センサ出力または内部基準電圧の A/D 変換が終了したら、A/D 変換は停止します。

ADCS[1:0] ビットは、ADST ビットが 0 のときに設定してください (ADST ビットへの 1 書き込みと同時に設定はしないでください)。

**表 39.5 スキャンモード、ダブルトリガモードと A/D 変換対象の選択可否**

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力 (グループ A 含む)	アナログ入力 (グループ B)	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	○	○	x	○	○
	DBLE = 1	x	○ (1chのみ)	x	x	x
連続スキャン	DBLE = 0	○	○	x	x	x
	DBLE = 1	x	x	x	x	x
グループスキャン	DBLE = 0	○	○	○	x	x
	DBLE = 1	x	○ (1chのみ)	○	x	x

○ : 選択可能    x : 選択不可

**ADST ビット (A/D 変換スタート)**

A/D 変換の開始/停止を制御します。

ADST ビットを 1 にする前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[1 になる条件]

- ソフトウェアで 1 を書き込んだとき
- ADCSR.EXTRG ビットを 0、ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを 1、ADSTRGR.TRSA[5:0] ビットを 000000b にし、非同期トリガを検出したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、グループ B のトリガを検出し、グループ B の A/D 変換を開始したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを 1 にし、グループ B の A/D 変換を再開したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを 1 にし、グループ B の A/D 変換を開始したとき

[0 になる条件]

- ソフトウェアで 0 を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力または内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、グループ B の A/D 変換実行中に、グループ A のトリガを検出し、グループ B のスキャンが中断されたとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを 1 にし、グループ B の再起動トリガによるスキャンが終了したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを 1 にし、グループ B のトリガによるスキャンが終了したとき

注. グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを 1 にしないでください。

注. グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつ ADGSPCR.GBRP ビット = 1 のとき、ADST ビットを 0 にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

## 39.2.4 A/D チャネル選択レジスタ A0 (ADANSA0)

アドレス ADC140.ADANSA0 4005 C004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ANSA1 5	ANSA1 4	ANSA1 3	ANSA1 2	ANSA1 1	ANSA1 0	ANSA0 9	ANSA0 8	ANSA0 7	ANSA0 6	ANSA0 5	ANSA0 4	ANSA0 3	ANSA0 2	ANSA0 1	ANSA0 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	ANSA15~ANSA00	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択 ビット15 (ANSA15) はAN015に対応し、ビット0 (ANSA00) はAN000に対応します。	R/W

**ANSAn ビット (n = 00 ~ 15) (A/D 変換チャンネル選択)**

ADANSA0 レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN015 を選択するレジスタです。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA00 ビットが AN000 に対応し、ANSA15 ビットが AN015 に対応します。温度センサ出力または内部基準電圧の A/D 変換を行うときは、アナログ入力チャンネルを選択しないでください（本レジスタは 0000h にしてください）。

ダブルトリガモードを選択した場合は、ADANSA0 レジスタのチャンネル選択は無効になり、ADCSR.DBLANS[4:0] ビットで指定したグループ A のチャンネルが選択されます。

また、グループスキャンモード選択時は、A/D チャネル選択レジスタ B0 (ADANSB0)、および A/D チャネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。

ADANSA0 レジスタは、ADCSR.ADST ビットが 0 のときに設定してください。

### 39.2.5 A/D チャンネル選択レジスタ A1 (ADANSA1)

アドレス [ADC140.ADANSA1 4005 C006h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	ANSA2 7	ANSA2 6	ANSA2 5	ANSA2 4	ANSA2 3	ANSA2 2	ANSA2 1	ANSA2 0	ANSA1 9	ANSA1 8	ANSA1 7	ANSA1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	ANSA27~ANSA16	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択 ビット11 (ANSA27) はAN027に対応し、ビット0 (ANSA16) はAN016に対応します。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### ANSAn ビット (n = 16 ~ 27) (A/D 変換チャンネル選択)

ADANSA1 レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN016 ~ AN027 を選択するレジスタです。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA16 ビットが AN016、ANSA27 ビットが AN027 に対応します。ダブルトリガモードを選択した場合は、ADANSA1 レジスタのチャンネル選択は無効になり、ADCSR.DBLANS[4:0] ビットで指定したグループ A のチャンネルが選択されます。

また、グループスキャンモード選択時は、A/D チャンネル選択レジスタ B0 (ADANSB0)、および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。

ADANSA1 レジスタは、ADCSR.ADST ビットが 0 のときに設定してください。

温度センサ出力または内部基準電圧の A/D 変換を選択するときは、アナログ入力チャンネルを選択しないでください (本レジスタは 0000h にしてください)。

### 39.2.6 A/D チャンネル選択レジスタ B0 (ADANSB0)

アドレス [ADC140.ADANSB0 4005 C014h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ANSB1 5	ANSB1 4	ANSB1 3	ANSB1 2	ANSB1 1	ANSB1 0	ANSB0 9	ANSB0 8	ANSB0 7	ANSB0 6	ANSB0 5	ANSB0 4	ANSB0 3	ANSB0 2	ANSB0 1	ANSB0 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	ANSB15~ANSB00	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択 ビット15 (ANSB15) はAN015に対応し、ビット0 (ANSB00) はAN000に対応します。	R/W

#### ANSBn ビット (n = 00 ~ 15) (A/D 変換チャンネル選択)

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN015 を選択するレジスタです。ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (ADANSA0、ADANSA1、またはダブルトリガモードによる ADCSR.DBLANS[4:0] で選択したグループ A に該当するチャンネル) 以外から設定します。

ANSB00 ビットが AN000、ANSB07 ビットが AN007 に、ANSB15 ビットが AN015 に対応します。

ADANSB レジスタは、ADCSR.ADST ビットが 0 のときに設定してください。温度センサ出力または内部基準電圧の A/D 変換を選択するときは、アナログ入力チャンネルを選択しないでください (本レジスタは 0000h にしてください)。

### 39.2.7 A/D チャネル選択レジスタ B1 (ADANSB1)

アドレス [ADC140.ADANSB1 4005 C016h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	ANSB27	ANSB26	ANSB25	ANSB24	ANSB23	ANSB22	ANSB21	ANSB20	ANSB19	ANSB18	ANSB17	ANSB16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	ANSB27～ANSB16	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択 ビット11 (ANSB27) はAN027に対応し、ビット0 (ANSB16) はAN016に対応します。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### ANSBn ビット (n = 16 ~ 27) (A/D 変換チャンネル選択)

ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN016 ~ AN027 を選択するレジスタです。ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (ADANSA0、ADANSA1、またはダブルトリガモードによる ADCSR.DBLANS[4:0] で選択したグループ A に該当するチャンネル) 以外から設定します。

ANSB16 ビットが AN016、ANSB20 ビットが AN020 に、ANSB27 ビットが AN027 に対応します。

ADANSB1 レジスタは、ADCSR.ADST ビットが 0 のときに設定してください。温度センサ出力または内部基準電圧の A/D 変換を選択するときは、アナログ入力チャンネルを選択しないでください。本レジスタを 0000h にしてください。

### 39.2.8 A/D 変換値加算/平均チャンネル選択レジスタ 0 (ADADS0)

アドレス [ADC140.ADADS0 4005 C008h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADS15	ADS14	ADS13	ADS12	ADS11	ADS10	ADS09	ADS08	ADS07	ADS06	ADS05	ADS04	ADS03	ADS02	ADS01	ADS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	ADS15～ADS00	A/D変換値加算/平均チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択 ビット15 (ADS15) はAN015に対応し、ビット0 (ADS00) はAN000に対応します。	R/W

#### ADSn ビット (n = 00 ~ 15) (A/D 変換値加算/平均チャンネル選択)

ADANSA0.ANSAn ビット (n = 00 ~ 15)、または ADCSR.DBLANS[4:0] ビットと ADANSB0.ANSBn ビット (n = 00 ~ 15) で選択した A/D 変換チャンネルに対応する ADSn ビットを 1 にすると、ADADC.ADC[2:0] ビットで設定した回数 (1 ~ 16 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、ADADC.AVEE ビットが 0 の場合、加算 (積算) した値を、ADADC.AVEE ビットが 1 の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算/平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADADS0 レジスタは、ADCSR.ADST ビットが 0 のときに設定してください。

### 39.2.9 A/D 変換値加算／平均チャンネル選択レジスタ 1 (ADADS1)

アドレス AD140.ADADS1 4005 C00Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	ADS27	ADS26	ADS25	ADS24	ADS23	ADS22	ADS21	ADS20	ADS19	ADS18	ADS17	ADS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	ADS27～ADS16	A/D 変換値加算／平均チャンネル選択	0：対応する入力チャンネルを非選択 1：対応する入力チャンネルを選択 ビット11 (ADS27) はAN027に対応し、ビット0 (ADS16) はAN016に対応します。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### ADS<sub>n</sub> ビット (n = 16 ~ 27) (A/D 変換値加算／平均チャンネル選択)

ADANSA1.ANSA<sub>n</sub> ビット (n = 16 ~ 27)、または ADCSR.DBLANS[4:0] ビットと ADANSB1.ANSB<sub>n</sub> ビット (n = 16 ~ 27) で選択した A/D 変換チャンネルに対応する ADS<sub>n</sub> ビットを 1 にすると、ADADC.ADC[2:0] ビットで設定した回数 (1 ~ 16 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、ADADC.AVEE ビットが 0 の場合、加算 (積算) した値を、ADADC.AVEE ビットが 1 の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算／平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADADS1 レジスタは、ADCSR.ADST ビットが 0 のときに設定してください。図 39.2 に ADADS0.ADS02 および ADADS.ADS06 を 1 にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算モードを選択 (ADADS.AVEE = 0)、変換回数は 4 回に設定 (ADADC.ADC[1:0] = 11b)、AN000 ~ AN007 が選択 (ADANSA0.ANSA0[15:0] = 00FFh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 2 (ADDR2) に返します。その後、AN003 の変換を開始し、AN006 の変換は 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 6 (ADDR6) に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

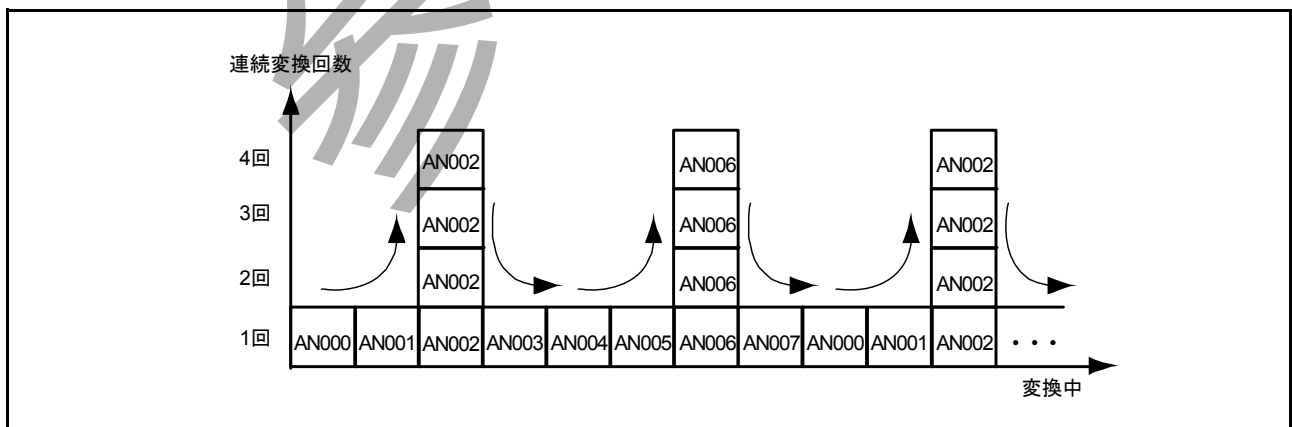


図 39.2 ADADC.ADC[2:0] = 011b、ADADS0.ADS02 = 1、ADADS0.ADS06 = 1 選択時のスキャン変換シーケンス

## 39.2.10 A/D 変換値加算／平均回数選択レジスタ (ADADC)

アドレス ADC140.ADADC 4005 C00Ch

b7	b6	b5	b4	b3	b2	b1	b0
AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	回数選択	b2 b0 0 0 0: 1回変換 (加算なし。通常変換と同じ) 0 0 1: 2回変換 (1回加算を行う) 0 1 0: 3回変換 (2回加算を行う) 0 1 1: 4回変換 (3回加算を行う) 1 0 1: 16回変換 (15回加算を行う) 上記以外は設定しないでください。	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AVEE	平均モードイネーブル	0: 平均モードを禁止 (注1) 1: 平均モードを許可 (注2)	R/W

注 1. (ADADC.AVEE ビットを 0 にして) 平均モードを選択する場合、1～16 回変換に設定してください。ただし、16 回変換は 12 ビット精度でのみ使用できます。

注 2. (ADADC.AVEE ビットを 1 にして) 平均モードを選択する場合、2 または 4 回変換に設定し、3 回または 16 回変換 (ADADC.ADC[2:0] = 010b または 101b) に設定しないでください。

## ADC[2:0] ビット (回数選択)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算／平均モードが選択されたチャンネル、温度センサ出力、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。

ADADC.AVEE ビットを 1 にして平均モードを選択する場合、3 回変換 (ADADC.ADC[2:0] = 010b) に設定しないでください。39.2.1 で説明しているように、16 回変換 (ADADC.ADC[2:0] = 101b) と変換精度 14 ビット (ADCER.ADPRC[1:0] = 11b) との同時設定は行わないでください。

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが 0 のときに行ってください。自己診断機能 (ADCER.DIAGM = 1) を実施する場合、ADC[2:0] を 000b 以外の値にしないでください。変換精度が 14 ビット (ADCER.ADPRC[1:0] = 11b) の場合、ADC[2:0] ビットを 101b にしないでください。

## AVEE ビット (平均モードイネーブル)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算／平均モードが選択されたチャンネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算モード、または平均モードの選択を行います。ADADC.AVEE ビットを 1 にして平均モードを選択する場合、3 回変換 (ADADC.ADC[2:0] = 010b) に設定しないでください。

AVEE ビットの設定は、ADCSR.ADST ビットが 0 のときに行ってください。



## 39.2.11 A/D コントロール拡張レジスタ (ADCER)

アドレス ADC140.ADCER 4005 C00Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	ADPRC[1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2-b1	ADPRC[1:0]	A/D変換精度指定	b2 b1 0 0 : 12ビット精度でA/D変換を実施 0 1 : 設定禁止 1 0 : 設定禁止 1 1 : 14ビット精度でA/D変換を実施	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	ACE	A/Dデータレジスタ自動クリアイネーブル	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択	b9 b8 0 0 : 自己診断有効時は設定禁止 0 1 : 0Vの電圧を使って自己診断を行う 1 0 : 基準電源 (注1) ×1/2の電圧を使って自己診断を行う 1 1 : 基準電源 (注1) の電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブル	0 : 14ビットADCの自己診断を実施しない 1 : 14ビットADCの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択	0 : A/Dデータレジスタのフォーマットを右詰めにする 1 : A/Dデータレジスタのフォーマットを左詰めにする	R/W

注1. 基準電圧はVREFH0を指します。

**ADPRC[1:0] ビット (A/D 変換精度指定)**

A/D変換の精度を12ビットまたは14ビットから選択します。A/D変換精度を変えた場合、結果レジスタに格納する有効データのビット幅、A/D変換時間も変わります。

詳細は、39.3.6 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。ADPRC[1:0]ビットの設定は、ADCSR.ADSTビットが0のときに行ってください。

**ACE ビット (A/D データレジスタ自動クリアイネーブル)**

CPU、DTC、またはDMACによってADDRy、ADRD、ADDBLDR、ADDBLDR、ADDBLDRB、ADTSDR、ADOCDRレジスタを読み出した後、当該レジスタの自動クリア(すべて0)を行うか行わないかを選択します。

**DIAGVAL[1:0] ビット (自己診断変換電圧選択)**

自己診断電圧固定モードでの電圧値を選択します。詳細は、ADCER.DIAGLDビットの説明を参照してください。

ADCER.DIAGVAL[1:0]ビットが00bのとき、自己診断を実施しないでください。

### DIAGLD ビット (自己診断モード選択)

自己診断に使用する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。ADCER.DIAGLD ビットを0にすると0V → 基準電源 × 1/2 → 基準電源の順番にローテーションして変換していきます。リセット後、自己診断電圧ローテーションモードを選択した場合は0Vから自己診断を行います。自己診断電圧固定モードを選択した場合はADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても自己診断電圧は0Vに戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。固定モードからローテーションモードに切り替えた場合は、固定電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST が0のときに行ってください。

### DIAGM ビット (自己診断イネーブル)

自己診断を実施するかしないかを選択します。

自己診断は、14ビットA/Dコンバータの故障を検出するための機能です。自己診断モードでは、内部で生成する0V、基準電源 × 1/2、基準電源の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換結果を格納します。その後、ソフトウェアでADRDレジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。ダブルトリガモードを選択 (ADCSR.DBLE = 1) した場合は、自己診断を無効にしてください (DIAGM = 0)。グループスキャンモードで自己診断が有効の場合は、グループAとグループBのそれぞれで自己診断を実行します。DIAGMビットの設定は、ADCSR.ADST ビットが0のときに行ってください。

### ADRFMT ビット (A/D データレジスタフォーマット選択)

ADDR<sub>y</sub>、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADCMPDR0/1、ADWINLLB、ADWINULB、ADRDレジスタに格納するデータの右詰め/左詰めを選択します。ADRFMTビットの設定は、ADCSR.ADST ビットが0のときに行ってください。

## 39.2.12 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス ADCC140.ADSTRGR 4005 C010h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB用A/D変換開始トリガ選択	グループスキャンモードでグループBのA/D変換開始トリガを選択します。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## TRSB[5:0] ビット (グループ B 用 A/D 変換開始トリガ選択)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ使用するビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガとしてソフトウェアトリガまたは非同期トリガは設定しないでください。よって、グループスキャンモードでは、TRSB[5:0] ビットを 000000b 以外にし、ADCSR.TRGE ビットを 1 にしてください。

グループスキャンモードのグループ A 優先制御時に、ADGSPCR.GBRP ビットを 1 にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを 1 にする場合は、TRSB[5:0] ビットを 3Fh にしてください。なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上となるように設定してください。発行間隔が tSCAN より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、[39.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。表 39.6 に TRSB[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

## TRSA[5:0] ビット (A/D 変換開始トリガ選択)

シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを行う場合、ソフトウェアトリガまたは非同期トリガを使用しないでください。

- 同期トリガ (ELC) の A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 0 にしてください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上となるように設定してください。発行間隔が tSCAN より短い場合は、トリガによる A/D 変換が無効となる場合があります。詳細は、[39.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

表 39.7 に TRSA[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 39.6 TRSB[5:0] ビットでの A/D 起動要因選択一覧

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態		1	1	1	1	1	1
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00/ELC_AD01	ELC	0	0	1	0	1	1

表 39.7 TRSA[5:0] ビットでの A/D 起動要因選択一覧

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態		1	1	1	1	1	1
ADTRG0	トリガ入力端子	0	0	0	0	0	0
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00/ELC_AD01	ELC	0	0	1	0	1	1

参考資料

## 39.2.13 A/D 変換拡張入力コントロールレジスタ (ADEXICR)

アドレス AD140.ADEXICR 4005 C012h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力 A/D 変換値加算／平均モード選択	0: 温度センサ出力 A/D 変換値加算／平均モード非選択 1: 温度センサ出力 A/D 変換値加算／平均モード選択	R/W
b1	OCSAD	内部基準電圧 A/D 変換値加算／平均モード選択	0: 内部基準電圧 A/D 変換値加算／平均モード非選択 1: 内部基準電圧 A/D 変換値加算／平均モード選択	R/W
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b8	TSSA	温度センサ出力 A/D 変換選択	0: 温度センサ出力の A/D 変換禁止 1: 温度センサ出力の A/D 変換許可	R/W
b9	OCSA	内部基準電圧 A/D 変換選択	0: 内部基準電圧の A/D 変換禁止 1: 内部基準電圧の A/D 変換許可	R/W
b15-b10	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

**TSSAD ビット (温度センサ出力 A/D 変換値加算／平均モード選択)**

TSSAD ビットが 1 の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して温度センサ出力の A/D 変換が行われます。最大加算回数は変換精度によって異なります (39.2.1 参照)。ADADC.AVEE ビットが 0 の場合は加算 (積算) した値を、ADADC.AVEE ビットが 1 の場合は平均した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。

TSSAD ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

**OCSAD ビット (内部基準電圧 A/D 変換値加算／平均モード選択)**

OCSAD ビットが 1 の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して内部基準電圧の A/D 変換が行われます。最大加算回数は変換精度によって異なります (39.2.1 参照)。ADADC.AVEE ビットが 0 の場合は加算 (積算) した値を、ADADC.AVEE ビットが 1 の場合は平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。

OCSAD ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

**TSSA ビット (温度センサ出力 A/D 変換選択)**

温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を実行する場合、ADANSA0/1、ADANSB0/1、ADCSR.DBLE および OCSA ビットをすべて 0 にし、シングルスキャンモードを使用してください。TSSA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

温度センサ出力の A/D 変換を実行すると、DNDIS[4:0] ビットは 0Fh になり、A/D コンバータはディスチャージを行います (15ADCLK)。ディスチャージ実行後、A/D コンバータはサンプリングを行います。最小サンプリング時間は 5μs です。

A/D コンバータは、温度センサ出力の A/D 変換を行うたびにディスチャージを実行します。

**OCSA ビット (内部基準電圧 A/D 変換選択)**

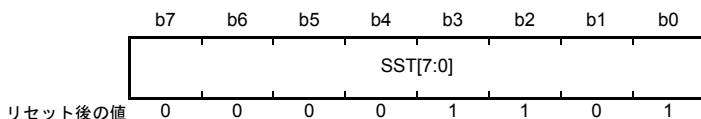
内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を実行する場合、ADANSA0/1、ADANSB0/1、ADCSR.DBLE および TSSA ビットをすべて 0 にし、シングルスキャンモードを使用してください。OCSA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

内部基準電圧の A/D 変換を実行すると、DNDIS[4:0] ビットは 0Fh になり、A/D コンバータはディスチャージを行います (15ADCLK)。ディスチャージ実行後、A/D コンバータはサンプリングを行います。最小サンプリング時間は 5μs です。

A/D コンバータは、内部基準電圧の A/D 変換を行うたびにディスチャージを実行します。

## 39.2.14 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 00 ~ 15, L, T, O)

アドレス [ADC14.ADSSTR00 4005 C0E0h](#)~[ADC14.ADSSTR15 4005 C0EFh](#),  
[ADC14.ADSSTRL 4005 C0DDh](#), [ADC14.ADSSTRT 4005 C0DEh](#), [ADC14.ADSSTRO 4005 C0DFh](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定	5~255ステートの間でサンプリング時間を設定します。	R/W

ADSSTRn レジスタは、アナログ入力 of サンプリング時間の設定を行います。

1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 64MHz であれば 1 ステート = 15.625ns になります。初期値は 11 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。SST[7:0] ビットは、ADCSR.ADST が 0 のときに設定してください。サンプリング時間の下限値は分周比によって異なります。

- PCLKB : PCLKC (ADCLK) の分周比が 1:1、2:1、4:1、または 8:1 の場合、サンプリング時間は 5 ステートより長く設定してください
- PCLKB : PCLKC (ADCLK) の分周比が 1:2 または 1:4 の場合、サンプリング時間は 6 ステートより長く設定してください

表 39.8 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。詳細は、[39.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

表 39.8 A/D サンプリングステートレジスタと対象チャネルの関係

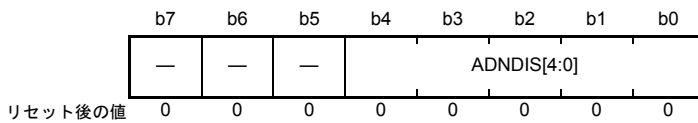
ビット名	関連チャネル
ADSSTR00.SST[7:0]ビット (注1)	AN000
ADSSTR01.SST[7:0]ビット	AN001
ADSSTR02.SST[7:0]ビット	AN002
ADSSTR03.SST[7:0]ビット	AN003
ADSSTR04.SST[7:0]ビット	AN004
ADSSTR05.SST[7:0]ビット	AN005
ADSSTR06.SST[7:0]ビット	AN006
ADSSTR07.SST[7:0]ビット	AN007
ADSSTR08.SST[7:0]ビット	AN008
ADSSTR09.SST[7:0]ビット	AN009
ADSSTR10.SST[7:0]ビット	AN010
ADSSTR11.SST[7:0]ビット	AN011
ADSSTR12.SST[7:0]ビット	AN012
ADSSTR13.SST[7:0]ビット	AN013
ADSSTR14.SST[7:0]ビット	AN014
ADSSTR15.SST[7:0]ビット	AN015
ADSSTRL.SST[7:0]ビット	AN016 ~ AN027
ADSSTRT.SST[7:0]ビット	温度センサ出力 (注2)
ADSSTRO.SST[7:0]ビット	内部基準電圧 (注2)

注 1. 自己診断機能を選択した時は、ADSSTR0.SST[7:0] で設定したサンプリング時間が適用されます。

注 2. 温度センサ出力または内部基準電圧変換時は、サンプリング時間を 5 $\mu$ s より長く設定してください。本レジスタを 255 にしか設定できないので、温度センサ出力または内部基準電圧の変換時の ADCLK 周波数は、サンプリング時間が最低でも 5 $\mu$ s となるように設定しなければなりません。たとえば ADCLK が 64MHz の場合、本レジスタを 255 に設定していてもサンプリング時間は 5 $\mu$ s 未満となります。

## 39.2.15 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス ADC140.ADDISCR 4005 C07Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	断線検出アシスト設定	b4 ADNDIS[4] : プリチャージ/ディスチャージ選択 0 : ディスチャージ 1 : プリチャージ b3-b0 ADNDIS[3:0] : プリチャージ/ディスチャージ期間 温度センサ出力または内部基準電圧のA/D変換を選択した場合、ADNDIS[4:0]はディスチャージのため0Fhになります。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## ADNDIS[4:0] ビット (断線検出アシスト設定)

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定および期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ/ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0001b は設定禁止です。ADNDIS[3:0] ビット = 0000b、0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。ADNDIS[4:0] ビットの設定は、ADCSR.ADST ビットが 0 のときに行ってください。ADNDIS[3:0] ビットが 0000b および 0001b 以外の値の場合、断線検出アシスト機能は有効になります。

温度センサ出力または内部基準電圧変換時、A/D コンバータは自動的にディスチャージを行います。この動作は、ADEXICR.OCSA または TSSA ビットが 1 のときに、ADNDIS[4:0] ビットを自動で 0Fh (15ADCLK) にすることで可能となります。

ディスチャージ実行後、A/D コンバータはサンプリングを行います。サンプリング時間は 5μs 以上必要です。自己診断を使用する場合、断線検出アシスト機能は使用できません。ADNDIS[3:0] ビット = 0000b としてください。

## 39.2.16 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス AD140.ADGSPCR 4005 C080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定 <sup>(注1)</sup>	0: グループAの優先制御動作を行わない 1: グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定	PGS = 1のときのみ有効。PGS = 0のときは予約ビット。 0: グループAの優先制御でグループBのA/D変換動作中断後の再起動をしない 1: グループAの優先制御でグループBのA/D変換動作中断後の再起動をする	R/W
b14-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b15	GBRP	グループB用シングルスキャン連続起動設定 <sup>(注2)</sup>	PGS = 1のときのみ有効。PGS = 0のときは予約ビット。 0: グループBのシングルスキャン連続動作を行わない 1: グループBのシングルスキャン連続動作を行う	R/W

注1. PGS ビットを1にするときは、ADCSR.ADCS[1:0] ビットを01b (グループスキャンモード) にしてください。それ以外の設定をした場合、動作は保証されません。

注2. GBRP ビットを1にした場合は、GBRSCN ビットの設定にかかわらず、グループBのシングルスキャン連続動作を実行します。

**PGS ビット (グループA 優先制御設定)**

グループA 優先制御動作を行うときに1にしてください。

PGS ビットを1にするときは、ADCSR.ADCS[1:0] ビットを01b (グループスキャンモード) にしてください。それ以外の設定をした場合、動作は保証されません。

PGS ビットを0にした場合は、39.8.2 A/D 変換停止時の注意事項に従い、ソフトウェアでのクリアを行ってください。PGS ビットを1にした場合は、39.3.4.3 グループA 優先制御動作の手順に従い設定を行ってください。

**GBRSCN ビット (グループB 再起動設定)**

グループA 優先制御時の、グループBの再スキャン動作を設定します。

GBRSCN ビットを1にして、グループAのトリガ入力によるグループBのスキャン動作を中断すると、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を実行します。また、グループAのA/D変換動作中にグループBのトリガ入力があった場合、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を行います。

GBRSCN ビットを0にした場合は、A/D変換実行中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが0のときに行ってください。

GBRSCN ビットの設定は、PGS ビットが1のときに有効となります。

**GBRP ビット (グループB 用シングルスキャン連続起動設定)**

グループBをシングルスキャンで連続動作させる場合に設定します。

GBRP ビットを1にすると、グループBのシングルスキャンが起動します。スキャン終了後、自動的にグループBのシングルスキャンを再開します。グループAの動作によってグループBのA/D変換動作が中断した場合、グループAの動作が優先され、グループAのA/D変換動作終了後、自動的にグループBのシングルスキャンを再開します。

GBRP ビットを1にする場合は、事前にグループBのトリガ入力を無効にしてください。GBRP ビットを1にした場合、GBRSCN ビットの設定値は無効となります。GBRP ビットは、ADCSR.ADST ビットが0の



ときに設定してください。GBRP ビットの設定値は、PGS ビットが 1 のときに有効となります。

### 39.2.17 A/D コンペア機能コントロールレジスタ (ADCMPCR)

アドレス ADC14.ADCMPCR 4005 C090h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMPAIE	WCMPPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウA/B複合条件設定	b1 b0 0 0: ウィンドウA比較条件に一致ORウィンドウB比較条件に一致の場合、ADC140_WCMPPMを出力 0 1: ウィンドウA比較条件に一致EXORウィンドウB比較条件に一致の場合、ADC140_WCMPPMを出力 1 0: ウィンドウA比較条件に一致ANDウィンドウB比較条件に一致の場合、ADC140_WCMPPMを出力 1 1: 設定禁止 これらのビットは、ウィンドウAおよびウィンドウBがどちらも有効 (CMPAE = 1およびCMPBE = 1) な場合に有効となります。	R/W
b8-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	CMPBE	コンペアウィンドウB動作許可	0: コンペアウィンドウB動作禁止 ADC140_WCMPPMおよびADC140_WCMPUMの出力不可 1: コンペアウィンドウB動作許可	R/W
b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	CMPAE	コンペアウィンドウA動作許可	0: コンペアウィンドウA動作禁止 ADC140_WCMPPMおよびADC140_WCMPUMの出力不可 1: コンペアウィンドウA動作許可	R/W
b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	CMPBIE	コンペアB割り込み許可	0: 比較条件 (ウィンドウB) 一致によるADC140_CMPBIE割り込み禁止 1: 比較条件 (ウィンドウB) 一致によるADC140_CMPBIE割り込み許可	R/W
b14	WCMPPE	ウィンドウ機能設定	0: ウィンドウ機能無効 ウィンドウAおよびBはコンパレータとして動作し、下位の1つの値をA/D変換結果と比較します。 1: ウィンドウ機能有効 ウィンドウAおよびBはコンパレータとして動作し、上位および下位の2つの値をA/D変換結果と比較します。	R/W
b15	CMPAIE	コンペアA割り込み許可	0: 比較条件 (ウィンドウA) 一致によるADC140_CMPAIE割り込み禁止 1: 比較条件 (ウィンドウA) 一致によるADC140_CMPAIE割り込み許可	R/W

#### CMPAB[1:0] ビット (ウィンドウ A/B 複合条件設定)

シングルスキャンモードでウィンドウ A およびウィンドウ B がどちらも有効 (CMPAE = 1 および CMPBE = 1) な場合に有効となります。CMPAB[1:0] ビットにより、ADWINMON.MONCONB のコンペア機能一致 / 不一致イベント出力条件および監視条件を選択します。CMPAB[1:0] ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

**CMPBE ビット (コンペアウィンドウ B 動作許可)**

コンペアウィンドウ B の動作を許可/禁止します。CMPBE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR. {OCSA、TSSA}) の OCSA または TSSA
- ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR.CMPCHB[5:0]) の CMPCHB[5:0]

**CMPAE ビット (コンペアウィンドウ A 動作許可)**

コンペアウィンドウ A の動作を許可/禁止します。CMPAE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR. {OCSA、TSSA}) の OCSA または TSSA
- ウィンドウ A チャンネル選択レジスタ 0/1 (ADCMPANSR0、ADCMPANSR1)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

**CMPBIE ビット (コンペア B 割り込み許可)**

比較条件 (ウィンドウ B) の一致による割り込み出力 ADC140\_CMPBI を許可/禁止します。

**WCMPE ビット (ウィンドウ機能設定)**

ウィンドウ機能を許可/禁止します。WCMPE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

**CMPAIE ビット (コンペア A 割り込み許可)**

比較条件 (ウィンドウ A) の一致による割り込み出力 ADC140\_CMPAI を許可/禁止します。

**39.2.18 A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0 (ADCMPANSR0)**

アドレス [ADC140.ADCMPANSR0 4005 C094h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPC HA15	CMPC HA14	CMPC HA13	CMPC HA12	CMPC HA11	CMPC HA10	CMPC HA09	CMPC HA08	CMPC HA07	CMPC HA06	CMPC HA05	CMPC HA04	CMPC HA03	CMPC HA02	CMPC HA01	CMPC HA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	CMPCHA15~ CMPCHA00	コンペアウィンドウ A チャンネル選択	0: 該当の入力チャンネルに対するコンペア機能を禁止 1: 該当の入力チャンネルに対するコンペア機能を許可 ビット 15 (CMPCHA15) は AN015 に対応し、 ビット 0 (CMPCHA00) は AN000 に対応します。	R/W

**CMPCHANn ビット (n = 00 ~ 15) (コンペアウィンドウ A チャンネル選択)**

ADANSA0.ANSAn ビット (n = 00 ~ 15) および ADANSB0.ANSBn ビット (n = 00 ~ 15) で選択した A/D 変換チャンネルと同一番号の CMPCHANn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHANn ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

## 39.2.19 A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1 (ADCOMPANSR1)

アドレス ADC140.ADCMPANSR1 4005 C096h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CMPC HA27	CMPC HA26	CMPC HA25	CMPC HA24	CMPC HA23	CMPC HA22	CMPC HA21	CMPC HA20	CMPC HA19	CMPC HA18	CMPC HA17	CMPC HA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	CMPCHA27~ CMPCHA16	コンペアウィンドウAチャ ネル選択	0: 該当の入力チャネルに対するコンペア機能を禁止 1: 該当の入力チャネルに対するコンペア機能を許可 ビット11 (CMPCHA27) はAN027に対応し、 ビット0 (CMPCHA16) はAN016に対応します。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPCHA<sub>n</sub> ビット (n = 16 ~ 27) (コンペアウィンドウ A チャンネル選択)**

ADANSA1.ANSA<sub>n</sub> ビット (n = 00 ~ 11) および ADANSB1.ANSB<sub>n</sub> ビット (n = 00 ~ 11) で選択した A/D 変換チャネルと同一番号の CMPCHA<sub>n</sub> ビットを 1 にすると、コンペア機能が有効になります。

CMPCHA<sub>n</sub> ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

## 39.2.20 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCOMPANSER)

アドレス ADC140.ADCMPANSER 4005 C092h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPO CA	CMPTS A
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPTSA	温度センサ出力コンペア選択	0: 温度センサ出力をコンペアウィンドウA対象から外す 1: 温度センサ出力をコンペアウィンドウA対象とする	R/W
b1	CMPOCA	内部基準電圧コンペア選択	0: 内部基準電圧をコンペアウィンドウA対象から外す 1: 内部基準電圧をコンペアウィンドウA対象とする	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPTSA ビット (温度センサ出力コンペア選択)**

ADEXICR.TSSA ビットが 1 のときに CMPTSA ビットを 1 にすると、コンペアウィンドウ A 機能が有効になります。CMPSA ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

**CMPOCA ビット (内部基準電圧コンペア選択)**

ADEXICR.OCSA ビットが 1 のときに CMPOCA ビットを 1 にすると、コンペアウィンドウ A 機能が有効になります。CMPOCA ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

## 39.2.21 A/Dコンペア機能ウィンドウA比較条件設定レジスタ0 (ADCMPLR0)

アドレス ADC140.ADCMPLR0 4005 C098h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPPLCHA15	CMPPLCHA14	CMPPLCHA13	CMPPLCHA12	CMPPLCHA11	CMPPLCHA10	CMPPLCHA09	CMPPLCHA08	CMPPLCHA07	CMPPLCHA06	CMPPLCHA05	CMPPLCHA04	CMPPLCHA03	CMPPLCHA02	CMPPLCHA01	CMPPLCHA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	CMPPLCHA15 ~ CMPPLCHA00	コンペアウィンドウA 比較条件選択	ウィンドウA比較条件を適用するチャンネルAN000～AN015の比較条件を設定します。比較条件を図39.3に示します。 ウィンドウ機能無効時 (ADCMPCR.WCMPEビットが0) : 0 : ADCMPDR0値 > A/D変換値 1 : ADCMPDR0値 < A/D変換値  ウィンドウ機能有効時 (ADCMPCR.WCMPEビットが1) : 0 : A/D変換値 < ADCMPDR0値またはADCMPDR1値 < A/D変換値 1 : ADCMPDR0値 < A/D変換値 < ADCMPDR1値	R/W

**CMPLCHAn ビット (n = 00 ~ 15) (コンペアウィンドウA比較条件選択)**

ウィンドウA比較条件を適用するチャンネルAN000～AN015の比較条件設定に使用します。CMPLCHAnビットはコンペア対象のアナログ入力ごとに設定可能です。CMPLCHA00、CMPLCHA07、CMPLCHA15はそれぞれAN000、AN007、AN015に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPDR0.CMPSTCHAnビットは1になり、コンペア割り込み (ADC140\_CMPAI) が発生します。

ウィンドウ機能が無効のときの比較条件			
CMPLCHAN = 0		CMPLCHAN = 1	
ADCMPDR0値 $\leq$ A/D変換値	不一致	ADCMPDR0値 < A/D変換値	一致
ADCMPDR0値 > A/D変換値	一致	ADCMPDR0値 $\geq$ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件			
CMPLCHAN = 0			
ADCMPDR1値 < A/D変換値	一致		
ADCMPDR0値 $\leq$ A/D変換値 $\leq$ ADCMPDR1値	不一致		
A/D変換値 < ADCMPDR0値	一致		
CMPLCHAN = 1			
ADCMPDR1値 $\leq$ A/D変換値	不一致		
ADCMPDR0値 < A/D変換値 < ADCMPDR1値	一致		
A/D変換値 $\leq$ ADCMPDR0値	不一致		

図 39.3 コンペア機能ウィンドウ A 比較条件の説明

## 39.2.22 A/Dコンペア機能ウィンドウA比較条件設定レジスタ1 (ADCMPLR1)

アドレス ADC140.ADCMPLR1 4005 C09Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CMPLCHA27	CMPLCHA26	CMPLCHA25	CMPLCHA24	CMPLCHA23	CMPLCHA22	CMPLCHA21	CMPLCHA20	CMPLCHA19	CMPLCHA18	CMPLCHA17	CMPLCHA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	CMPLCHA27 ~ CMPLCHA16	コンペアウィンドウA 比較条件選択	ウィンドウA比較条件を適用するチャンネルAN016～AN027の比較条件を設定します。比較条件を図39.3に示します。ウィンドウ機能無効時 (ADCMPCR.WCMPEビットが0) : 0 : ADCMPDR0値 > A/D変換値 1 : ADCMPDR0値 < A/D変換値  ウィンドウ機能有効時 (ADCMPCR.WCMPEビットが1) : 0 : A/D変換値 < ADCMPDR0値またはADCMPDR1値 < A/D変換値 1 : ADCMPDR0値 < A/D変換値 < ADCMPDR1値	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

**CMPLCHANビット (n = 16 ~ 27) (コンペアウィンドウA比較条件選択)**

ウィンドウA比較条件を適用するチャンネルAN016～AN027の比較条件設定に使用します。CMPLCHANビットはコンペア対象のアナログ入力ごとに設定可能です。CMPLCHA16、CMPLCHA23、CMPLCHA27はそれぞれAN016、AN023、AN027に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSTR1.CMPSTCHANビットは1になり、コンペア割り込み (ADC140\_CMPAI) が発生します。

## 39.2.23 A/Dコンペア機能ウィンドウA拡張入力比較条件設定レジスタ (ADCMPLER)

アドレス ADC140.ADCMPLER 4005 C093h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPLO CA	CMPLT SA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTSA	コンペアウィンドウA 温度センサ出力比較条件 選択	比較条件を図 39.3に示します。 ウィンドウA機能無効時 (ADCMPCR.WCMPEビットが0) : 0 : ADCMPDR0値 > A/D変換値 1 : ADCMPDR0値 < A/D変換値  ウィンドウA機能有効時 (ADCMPCR.WCMPEビットが1) : 0 : AD変換値 < ADCMPDR0値またはAD変換値 > ADCMPDR1値 1 : ADCMPDR0値 < A/D変換値 < ADCMPDR1値	R/W
b1	CMPLOCA	コンペアウィンドウA 内部基準電圧比較条件 選択	比較条件を図 39.3に示します。 ウィンドウA機能無効時 (ADCMPCR.WCMPEビットが0) : 0 : ADCMPDR0レジスタ値 > A/D変換値 1 : ADCMPDR0レジスタ値 < A/D変換値  ウィンドウA機能有効時 (ADCMPCR.WCMPEビットが1) : 0 : AD変換値 < ADCMPDR0レジスタ値またはAD変換値 > ADCMPDR1 レジスタ値 1 : ADCMPDR0レジスタ値 < A/D変換値 < ADCMPDR1レジスタ値	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPLTSA ビット (コンペアウィンドウA 温度センサ出力比較条件選択)**

温度センサ出力がウィンドウA比較条件の対象である場合の比較条件を設定します。

温度センサ出力の比較結果が設定条件と一致すると、ADCMPSER.CMPSTTSA ビットは1になり、コンペア割り込み (ADC140\_CMPAI) が発生します。

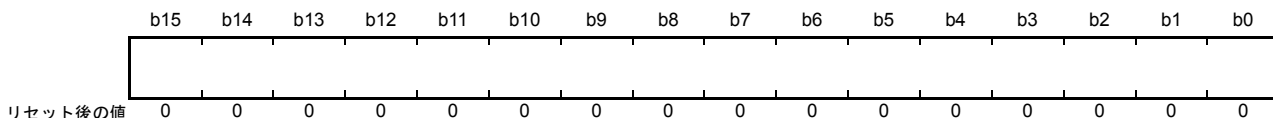
**CMPLOCA ビット (コンペアウィンドウA 内部基準電圧比較条件選択)**

内部基準電圧がウィンドウA比較条件の対象である場合の比較条件を設定します。

内部基準電圧の比較結果が設定条件と一致すると、ADCMPSER.CMPSTOCA ビットは1になり、コンペア割り込み (ADC140\_CMPAI) が発生します。

39.2.24 A/Dコンペア機能ウィンドウA下側レベル設定レジスタ (ADCMPDR0)、  
 A/Dコンペア機能ウィンドウA上側レベル設定レジスタ (ADCMPDR1)、  
 A/Dコンペア機能ウィンドウB下側レベル設定レジスタ (ADWINLLB)、  
 A/Dコンペア機能ウィンドウB上側レベル設定レジスタ (ADWINULB)

アドレス ADC14.ADCMPDR0 4005 C09Ch, ADC14.ADCMPDR1 4005 C09Eh,  
 ADC14.ADWINLLB 4005 C0A8h, ADC14.ADWINULB 4005 C0AAh



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	基準値	R/W

ADCMPDRy (y=0, 1) レジスタは、コンペアウィンドウA機能使用時、基準となるデータを設定するレジスタです。ADCMPDR0はウィンドウAの下側基準を設定し、ADCMPDR1は上側基準を設定します。

ADWINULBおよびADWINLLBは、コンペアウィンドウB機能使用時、基準となるデータを設定します。ADWINLLBはウィンドウBの下側基準を設定し、ADWINULBは上側基準を設定します。ADCMPDRy、ADWINULB、およびADWINLLBは読み出し、書き込みともに可能です。

ADCMPDRy、ADWINULB、およびADWINLLBの書き込みはA/D変換中でも有効です。A/D変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます。(注1)

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (CMPULA ≥ CMPLLA、CMPULB ≥ CMPLLB)。ADCMPDR1およびADWINULBはウィンドウ機能無効時は使用しません。

注1. 下側基準および上側基準は、それぞれのレジスタが書き込まれる時に変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、MCUは上側基準値(変更後)と下側基準値(変更前)をA/D変換結果と比較します。図39.4を参照してください。2つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADSTおよび該当のコンペアウィンドウ動作許可ビット(ADCMPPCR.CMPAEまたはADCMPPCR.CMPBE)が0の時に、それらの基準値を書き換えてください。

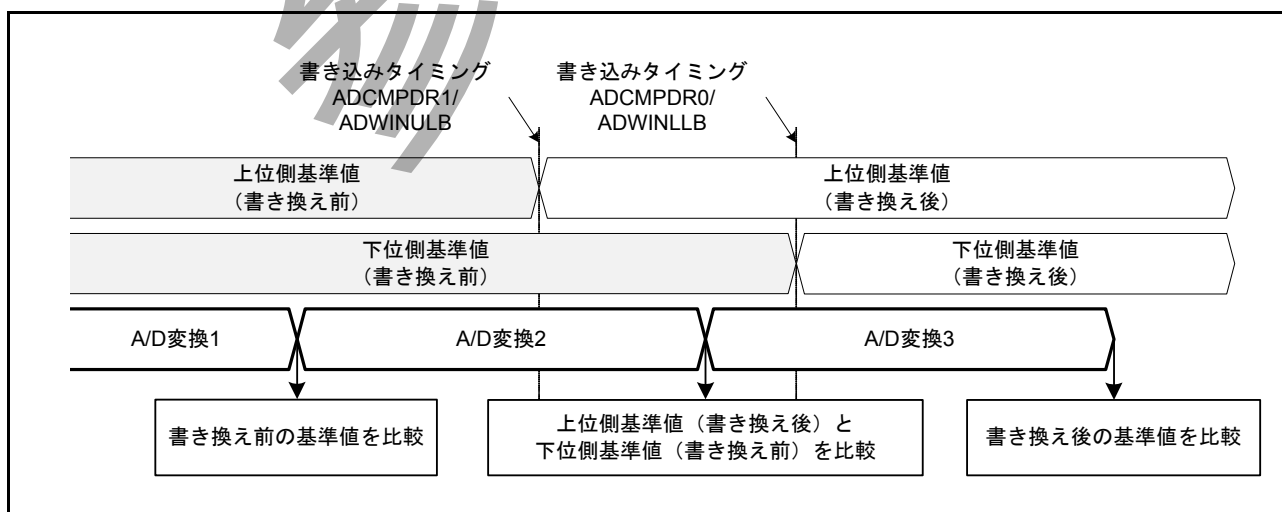


図 39.4 書き換え前後の上側基準値および下側基準値の比較



ADCMPCRy、ADWINLLB、およびADWINULBレジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換精度指定ビットの設定値 (14ビットまたは12ビット)
- A/D 変換値加算/平均チャンネル選択レジスタの設定値 (A/D 変換値加算モード選択、または非選択)

以下、条件ごとのフォーマットを示します。

#### (1) A/D 変換値加算モードを非選択とした場合

- 右詰めフォーマット、14ビット精度の場合：下位14ビット (b13～b0) が有効
- 右詰めフォーマット、12ビット精度の場合：下位12ビット (b11～b0) が有効
- 左詰めフォーマット、14ビット精度の場合：上位14ビット (b15～b2) が有効
- 左詰めフォーマット、12ビット精度の場合：上位12ビット (b15～b4) が有効

#### (2) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット、14ビット精度の場合：全ビット (b15～b0) が有効
- 右詰めフォーマット、12ビット精度の場合：下位14ビット (b13～b0) が有効
- 左詰めフォーマット、14ビット精度の場合：全ビット (b15～b0) が有効
- 左詰めフォーマット、12ビット精度の場合：上位14ビット (b15～b2) が有効

### 39.2.25 A/D コンペア機能ウィンドウAチャンネルステータスレジスタ0 (ADCMPSR0)

アドレス [ADC140.ADCMPSR0 4005 C0A0h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMPST CHA15	CMPST CHA14	CMPST CHA13	CMPST CHA12	CMPST CHA11	CMPST CHA10	CMPST CHA09	CMPST CHA08	CMPST CHA07	CMPST CHA06	CMPST CHA05	CMPST CHA04	CMPST CHA03	CMPST CHA02	CMPST CHA01	CMPST CHA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	CMPSTCHA15～ CMPSTCHA00	コンペアウィンドウAフラグ	ウィンドウA動作が有効 (ADCMPCR.CMPAE = 1b) な場合、ウィンドウA比較条件を適用するチャンネルAN000～AN015の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W

#### CMPSTCHANビット (n = 00～15) (コンペアウィンドウAフラグ)

ウィンドウA比較条件を適用するチャンネルAN000～AN015の比較結果ステータスフラグです。ADCMPPLR0.CMPLCHANで設定した比較条件がA/D変換終了時に成立すると、該当ビットが1になります。ADCMPCR.CMPAIEビットが1の場合、このフラグが1になると比較割り込み (ADC140\_CMPAI) 要求が発生します。CMPSTCHA00、CMPSTCHA07、CMPSTCHA15はそれぞれAN000、AN007、AN015に対応します。

CMPSTCHANビットに1を書き込むことはできません。

[1になる条件]

- ADCMPCR.CMPAEが1のとき、ADCMPPLR0.CMPLCHANで設定した条件が成立したとき

[0になる条件]

- 1の状態を読んだ後、0を書き込んだとき

## 39.2.26 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1 (ADCMPSR1)

アドレス ADC140.ADCMPSR1 4005 C0A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPST CHA27	CMPST CHA26	CMPST CHA25	CMPST CHA24	CMPST CHA23	CMPST CHA22	CMPST CHA21	CMPST CHA20	CMPST CHA19	CMPST CHA18	CMPST CHA17	CMPST CHA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	CMPSTCHA27 ~ CMPSTCHA16	コンペアウィンドウAフ ラグ	ウィンドウA動作が有効 (ADCMPCR.CMPAE = 1) な場合、 ウィンドウA比較条件を適用するチャンネルAN016 ~ AN027の比 較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPSTCHANビット (n = 16 ~ 27) (コンペアウィンドウAフラグ)**

ウィンドウA比較条件を適用するチャンネルAN016 ~ AN027の比較結果ステータスフラグです。ADCMPLR1.CMPLCHANで設定した比較条件がA/D変換終了時に成立すると、該当ビットが1になります。ADCMPCR.CMPAIEビットが1の場合、このフラグが1になると比較割り込み (ADC140\_CMPAI) 要求が発生します。CMPSTCHA16、CMPSTCHA20、CMPSTCHA27はそれぞれAN016、AN020、AN027に対応します。CMPSTCHANビットに1を書き込むことはできません。

[1になる条件]

- ADCMPCR.CMPAEが1のとき、ADCMPLR1.CMPLCHANで設定した条件が成立したとき

[0になる条件]

- 1の状態を読んだ後、0を書き込んだとき

### 39.2.27 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER)

アドレス `ADC140.ADCMPSER 4005 C0A4h`

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPST OCA	CMPST TSA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTTSA	コンペアウィンドウA温度センサ出力コンペアフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1) な場合、温度センサ出力の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b1	CMPSTOCA	コンペアウィンドウA内部基準電圧コンペアフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1) な場合、内部基準電圧の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### CMPSTTSA ビット (コンペアウィンドウ A 温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すステータスフラグです。ADCMPPLER.CMPPLTSA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になると比較割り込み (ADC140\_CMPAI) 要求が発生します。

CMPSTTSA ビットに 1 を書き込むことはできません。

[1 になる条件]

- ADCMPPCR.CMPAE が 1 のとき、ADCMPPLER.CMPPLTSA で設定した条件が成立したとき

[0 になる条件]

- 1 の状態を読んだ後、0 を書き込んだとき

#### CMPSTOCA ビット (コンペアウィンドウ A 内部基準電圧コンペアフラグ)

内部基準電圧の比較結果を示すステータスフラグです。ADCMPPLER.CMPLOCA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になると比較割り込み (ADC140\_CMPAI) 要求が発生します。

CMPSTOCA ビットに 1 を書き込むことはできません。

[1 になる条件]

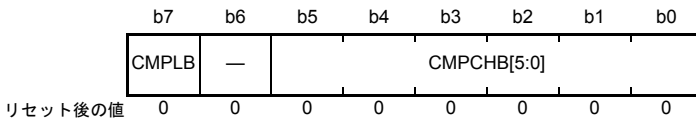
- ADCMPPCR.CMPAE が 1 のとき、ADCMPPLER.CMPLOCA で設定した条件が成立したとき

[0 になる条件]

- 1 の状態を読んだ後、0 を書き込んだとき

39.2.28 A/D コンペア機能ウィンドウ B チャンルステータスレジスタ (ADCMPBNSR)

アドレス ADC140.ADCMPBNSR 4005 C0A6h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウ B チャンル選択	コンペアウィンドウ B 条件と比較するチャンネルを選択します。 b5                      b0 0 0 0 0 0 0: AN000 0 0 0 0 0 1: AN001 0 0 0 0 1 0: AN002 : 0 1 1 0 0 1: AN025 0 1 1 0 1 0: AN026 0 1 1 0 1 1: AN027 1 0 0 0 0 0: 温度センサ 1 0 0 0 0 1: 内部基準電圧 1 1 1 1 1 1: 選択なし 上記以外は設定しないでください。	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	CMPPLB	コンペアウィンドウ B 比較条件設定	ウィンドウ B のチャンネル比較条件を設定します。比較条件を <a href="#">図 39.5</a> に示します。 ウィンドウ機能無効時 (ADCMPCR.WCMPE ビットが0) : 0 : CMPLLB 値 > A/D 変換値 1 : CMPLLB 値 < A/D 変換値  ウィンドウ機能有効時 (ADCMPCR.WCMPE ビットが1) : 0 : A/D 変換値 < CMPLLB 値またはCMPULB 値 < A/D 変換値 1 : CMPLLB 値 < A/D 変換値 < CMPULB 値	R/W

**CMPCHB[5:0] ビット (コンペアウィンドウ B チャンル選択)**

コンペアウィンドウ B 条件と比較するチャンネルを選択します。AN000 ~ AN027、温度センサ出力、および内部基準電圧を選択できます。コンペアウィンドウ B 機能は、ADANSA0.ANSAn ビット (n = 0 ~ 15)、ADANSA1.ANSAn ビット (n = 0 ~ 11)、ADANSB0.ANSBn ビット (n = 0 ~ 15)、および ADANSB1.ANSBn ビット (n = 0 ~ 11) で選択した A/D 変換チャンネルの 16 進数を指定することで有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

**CMPPLB ビット (コンペアウィンドウ B 比較条件設定)**

ウィンドウ B のチャンネル比較条件を設定します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPBSR0.CMPSTB ビットは 1 になり、コンペア割り込み (ADC140\_CMPBI) が発生します。

ウィンドウ機能が無効のときの比較条件			
CMPLB = 0		CMPLB = 1	
ADWINLLB値 $\leq$ A/D変換値	不一致	ADWINLLB値 < A/D変換値	一致
ADWINLLB値 > A/D変換値	一致	ADWINLLB値 $\geq$ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件			
CMPLB = 0			
A/D変換値 > ADWINULB値	一致		
ADWINLLB値 $\leq$ A/D変換値 $\leq$ ADWINULB値	不一致		
A/D変換値 < ADWINLLB値	一致		
CMPLB = 1			
A/D変換値 $\geq$ ADWINULB値	不一致		
ADWINLLB値 < A/D変換値 < ADWINULB値	一致		
A/D変換値 $\leq$ ADWINLLB値	不一致		

図 39.5 コンペア機能ウィンドウB 比較条件の説明

## 39.2.29 A/Dコンペア機能ウィンドウBステータスレジスタ (ADCMPBSR)

アドレス ADC140.ADCMPBSR 4005 C0ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPST B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	ウィンドウB動作が有効 (ADCMPPCR.CMPBE = 1) な場合、ウィンドウB比較条件を適用するチャンネルAN000～AN027、温度センサ出力、および内部基準電圧の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPSTB ビット (コンペアウィンドウBフラグ)**

ウィンドウB比較条件を適用するチャンネル (AN000～AN027、温度センサ出力、および内部基準電圧) の比較結果を示します。ADCMPBNSR.CMPLB で設定した比較条件がA/D変換終了時に成立すると1になります。ADCMPPCR.CMPBIE ビットが1の場合、このフラグが1になると比較割り込み (ADC140\_CMPBI) 要求が発生します。

CMPSTB ビットに1を書き込むことはできません。

[1になる条件]

- ADCMPPCR.CMPBE が1のとき、ADCMPBNSR.CMPLB で設定した条件が成立したとき

[0になる条件]

- 1の状態を読んだ後、0を書き込んだとき

## 39.2.30 A/Dコンペア機能ウィンドウA/Bステータスマニタレジスタ (ADWINMON)

アドレス ADC140.ADWINMON 4005 C08Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MONC MPB	MONC MPA	—	—	—	MONC OMB
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果監視	このビットは比較結果を示すビットで、ウィンドウAおよびウィンドウBの動作が有効の場合に有効となります。 0: ウィンドウA/ウィンドウBの複合条件が不成立 1: ウィンドウA/ウィンドウBの複合条件が成立	R
b3-b1	—	予約ビット	読むと0が読めます。	R
b4	MONCMPA	比較結果監視A	0: ウィンドウA比較条件が不成立 1: ウィンドウA比較条件が成立	R
b5	MONCMPB	比較結果監視B	0: ウィンドウB比較条件が不成立 1: ウィンドウB比較条件が成立	R
b7-b6	—	予約ビット	読むと0が読めます。	R

**MONCOMB ビット (組み合わせ結果監視)**

ADCMPCR.CMPAB[1:0] ビットで設定した複合条件との比較条件結果 A および比較結果条件 B の組み合わせの結果を示す読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPAE が 1 かつ ADCMPCR.CMPBE が 1 のとき、組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致したとき

[0 になる条件]

- 組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致しないとき
- ADCMPCR.CMPAE が 0 または ADCMPCR.CMPBE が 0 のとき

**MONCMPA ビット (比較結果監視 A)**

ウィンドウ A の対象チャンネルの A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER で設定した条件と一致するときには 1、その他の場合には 0 と読み出される読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のとき、A/D 変換値が ADCMPLR0.CMPLCHAn で設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPAE が 1 のとき、A/D 変換値が ADCMPLR0.CMPLCHAn で設定した条件と一致しないとき
- ADCMPCR.CMPAE が 0 のとき (ADCMPCR.CMPAE の値が 1 から 0 に変化すると自動的に 0 になる)

**MONCMPB ビット (比較結果監視 B)**

ウィンドウ B の対象チャンネルの A/D 変換値が ADCMPBNSR.CMPLB ビットで設定した条件と一致するときには 1、その他の場合には 0 と読み出される読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のとき、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPBE が 1 のとき、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致しないとき
- ADCMPCR.CMPBE が 0 のとき (ADCMPCR.CMPBE の値が 1 から 0 に変化すると自動的に 0 になる)

## 39.2.31 A/D 高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)

アドレス ADC140.ADHVREFCNT 4005 C08Ah

b7	b6	b5	b4	b3	b2	b1	b0
ADSLP	—	—	LVSEL	—	—	HVSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HVSEL[1:0]	高電位基準電圧選択	b1 b0 0 0: 高電位基準電圧にAVCC0を選択 0 1: 高電位基準電圧にVREFH0を選択 1 0: 高電位基準電圧に内部基準電圧を選択 1 1: 内部ノードディスチャージ (基準電圧端子を選択しない)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	LVSEL	低電位基準電圧選択	0: 低電位基準電圧にAVSS0を選択 1: 低電位基準電圧にVREFL0を選択	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	ADSLP	スリープ	0: 通常動作 1: スタンバイ状態	R/W

**HVSEL[1:0] ビット (高電位基準電圧選択)**

高電位基準電圧を設定します。高電位基準電圧は、AVCC0、VREFH0、または内部基準電圧 (1.45V) から選択できます。

これらのビットを 10b にして内部基準電圧を選択する前に、HVSEL[1:0] を 11b にして高電位基準電圧のパスをディスチャージしてください。ディスチャージが完了したら、HVSEL[1:0] を 10b にして A/D 変換を開始してください。

高電位基準電圧に内部基準電圧を選択した場合 (HVSEL[1:0] = 10b)、チャンネル AN000 ~ AN027 の A/D 変換を実行できますが、内部基準電圧および温度センサ出力の A/D 変換はできません。

**LVSEL ビット (低電位基準電圧選択)**

低電位基準電圧を設定します。低電位基準電圧は、AVSS0 または VREFL0 から選択できます。

**ADSLP ビット (スリープ)**

A/D コンバータをスタンバイ状態に遷移します。ADCSR.ADHSC ビットの変更時にのみ、ADSLP ビットを 1 にしてください。その他の場合、ADSLP ビットを 1 にすることはできません。

ADSLP ビットを 1 にしたら、0 に戻す前に最低 5 $\mu$ s 待ってください。また、ADSLP ビットを 0 にしたら、最低 1 $\mu$ s 待ってから A/D 変換を開始してください。

ADHSC ビットの書き換え手順については、[39.8.8 ADHSC ビット書き換え手順](#)を参照してください。



## 39.3 動作説明

### 39.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作を指します。スキャン変換には、以下のように 3 つの動作モードと 2 つの変換モードがあります。

動作モードは以下の 3 つです。

- シングルスキャンモード
- 連続スキャンモード
- グループスキャンモード

変換モードは以下の 2 つです。

- 高速変換モード
- 通常変換モード

シングルスキャンモードは、指定した 1 チャンネル以上のスキャンを 1 回実施して終了するモードです。連続スキャンモードは指定した 1 チャンネル以上のスキャンを、ソフトウェアで `ADCSR.ADST` ビットを 1 から 0 にするまで繰り返し実行するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択した同期トリガ (ELC) で開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ 1 回ずつ実施して終了するモードです。

シングルスキャンモードと連続スキャンモードでは、`ADANSA0`、`ADANSA1` レジスタで選択した `ANn` の `n` が小さい番号のチャンネルから順に A/D 変換を行います。グループスキャンモードは、グループ A が `ADANSA0`、`ADANSA1` レジスタで選択した `ANn` の `n` が小さい番号順から、グループ B が `ADANSB0`、`ADANSB1` レジスタで選択した `ANn` の `n` が小さい番号順から A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に自己診断が 1 回実施され、14 ビット ADC 内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

温度センサ出力および内部基準電圧を同時に選択しないでください。内部基準電圧を高電位側の基準電圧を選択する場合、温度センサまたは内部基準電圧の A/D 変換も実行できません。温度センサ出力または内部基準電圧を選択した場合、シングルスキャンモードを使用してください。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると (`ADCSR.DBLE` が 1)、`ADSTRGR.TRSA[5:0]` ビットで選択した、同期トリガ (ELC) でのスキャン起動でのみ、`ADCSR.DBLANS[4:0]` ビットで選択した 1 チャンネルの A/D 変換データを 2 重化します。グループスキャンモードでダブルトリガモードを使用できるのは、グループ A のみです。

ダブルトリガモードの拡張動作は、A/D 変換動作が同期トリガコンビネーションから発生することを示します。トリガコンビネーションは、ダブルトリガモードで `ADSTRGR.TRSA[5:0]` によって選択します。

ダブルトリガモードの拡張動作では、通常のダブルトリガモード動作に加え、奇数トリガ (`ELC_AD00`) による A/D 変換データを A/D データ二重化レジスタ A (`ADDBLDRA`) に、偶数トリガ (`ELC_AD01`) による A/D 変換データを A/D データ二重化レジスタ B (`ADDBLDRB`) に格納します。ダブルトリガモードの拡張動作では、トリガコンビネーションの 1 つが同時発生すると、指定したトリガによるデータ二重化レジスタ選択が行われず、A/D 変換データは A/D データ二重化レジスタ B (`ADDBLDRB`) に格納されます。同期トリガによって開始された A/D 変換中に別の同期トリガが入力されると、他の A/D 変換中に入力されるトリガはキャンセルされます。

## 39.3.2 シングルスキャンモード

### 39.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが1 (A/D変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
2. 1チャンネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. 選択したすべてのチャンネルの A/D 変換終了後、ADC140\_ADI 割り込み要求を発生します (レジスタ設定なしで)。
4. ADST ビットは A/D 変換中は1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、14ビットADCは待機状態になります。

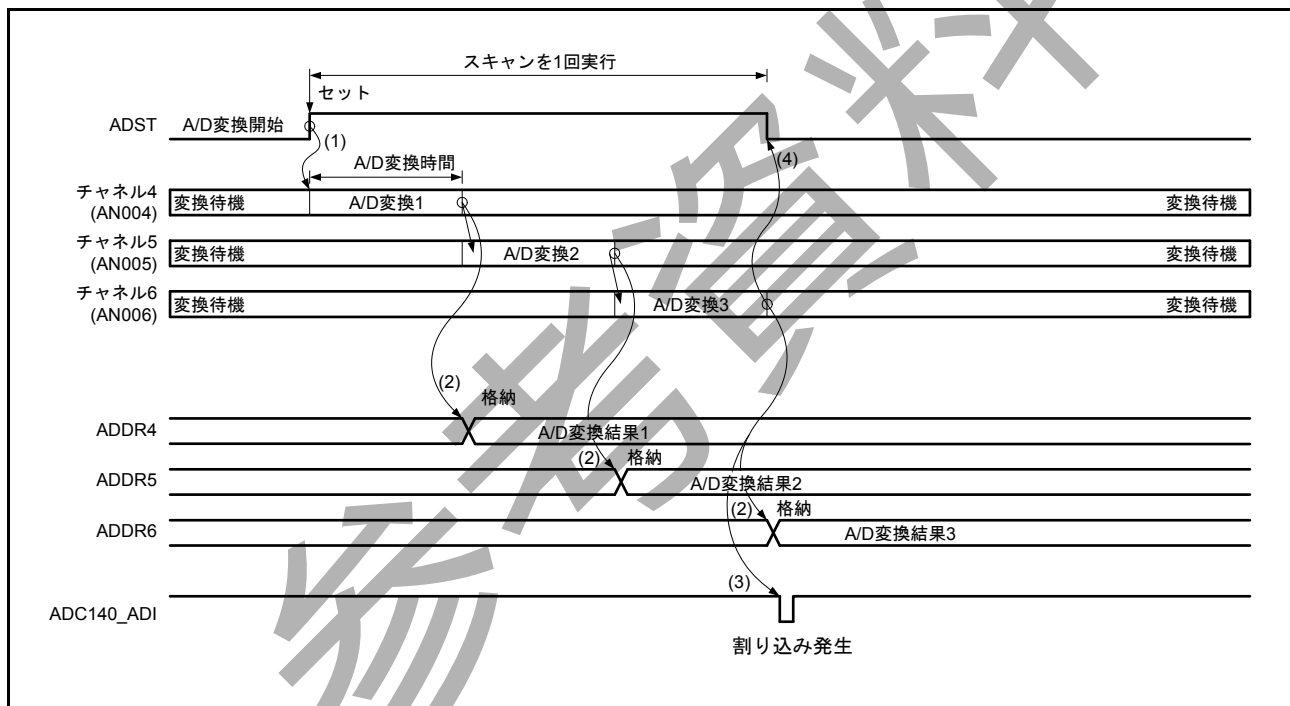


図 39.6 シングルスキャンモードの動作例 (基本動作 : AN004 ~ AN006 選択)

### 39.3.2.2 チャネル選択と自己診断

チャネル選択とともに自己診断を選択すると、以下のように A/D コンバータに供給される基準電圧 VREFH0 の A/D 変換を行い、その後選択したチャンネルのアナログ入力を 1 回のみ A/D 変換します。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
4. 選択したすべてのチャンネルの A/D 変換終了後、ADC140\_ADI 割り込み要求を発生します (レジスタ設定なしで)。
5. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、14 ビット ADC は待機状態になります。



図 39.7 シングルスキャンモードの動作例 (基本動作 : AN000、AN007 選択 + 自己診断)

### 39.3.2.3 温度センサ出力／内部基準電圧選択時の A/D 変換動作

以下で説明するように、シングルスキャンモードで温度センサ出力または内部基準電圧の A/D 変換を行います。

すべてのチャンネルを非選択にしてください (ADANSA0 および ADANSA01 レジスタをすべて 0 にし、ADCSR.DBLE ビットを 0 にする)。

温度センサ出力の A/D 変換を選択した場合、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) を 0 (非選択) にしてください。内部基準電圧の A/D 変換を選択した場合、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) を 0 (非選択) にしてください。

1. サンプル時間を  $5\mu\text{s}$  以上に設定します。サンプリグステートレジスタ (ADSSTRT/ADSSTRO) および ADCLK 周波数の設定に注意してください。
2. 内部基準電圧または温度センサ出力の A/D 変換に切り替えた後は、ADST ビットを 1 にして変換を開始してください。
3. A/D 変換が終了すると、A/D 変換結果は対応する温度センサ出力データレジスタ (ADTRDR) または A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC140\_ADI 割り込み要求が発生します (レジスタ設定なし)。
4. ADST ビットは A/D 変換中は 1 を保持し、A/D 変換が終了すると自動的にクリアされ、14 ビット ADC は待機状態になります。

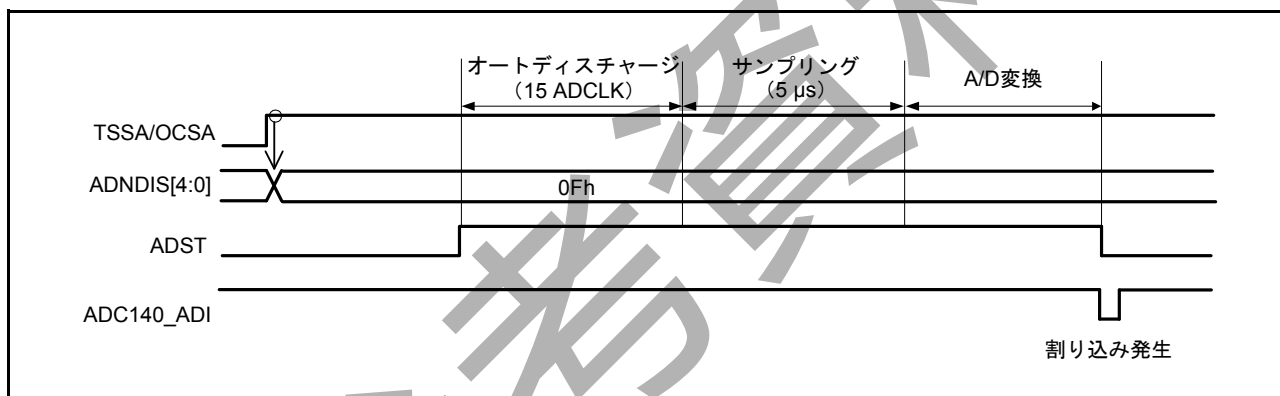


図 39.8 シングルスキャンモードの動作例 (基本動作 : AN000、温度センサ出力または内部基準電圧選択)

### 39.3.2.4 ダブルトリガモード選択時のA/D変換動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガ (ELC) で開始するシングルスキャンモードの実行2回分を一連の動作として実行します。

自己診断は非選択とし、温度センサ A/D 変換選択ビット (ADEXICR.TSSA、ADEXICR.TSSB) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA、ADEXICR.OCSB) はともに0にしてください。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを1にすると有効となります。ADCSR.DBLE を1にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで同期トリガ (ELC) を選択し、ADCSR.EXTRG ビットを0に、ADCSR.TRGE ビットを1にしてください。また、ソフトウェアトリガは使用しないでください。

1. 同期トリガ入力 (ELC) によって ADCSR.ADST ビットが1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換を開始します。
2. 1チャンネルのA/D変換が終了するごとに、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
3. ADST ビットは自動的にクリアされ、14ビットADCは待機状態になります。ここでは、ADC140\_ADI 割り込み要求は発生しません。
4. 2回目のトリガ入力によって ADCSR.ADST ビットが1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換を開始します。
5. A/D変換が終了すると、A/D変換結果はダブルトリガモード専用のA/Dデータ2重化レジスタ (ADDBLDR) に格納されます。
6. ADC140\_ADI 割り込み要求が発生します (レジスタ設定なし)。
7. ADST ビットはA/D変換中は1 (A/D 変換開始) を保持し、A/D変換が終了すると自動的にクリアされ、14ビットADCは待機状態になります。

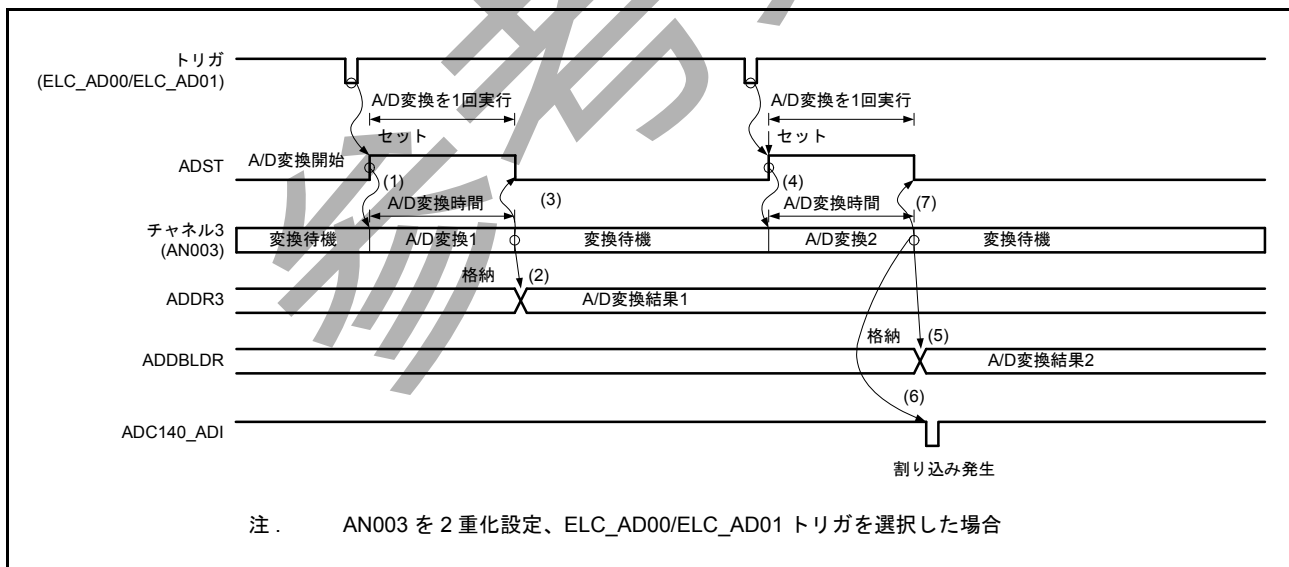


図 39.9 シングルスキャンモードの動作例 (ダブルトリガモード選択 : AN003 を 2 重化)

### 39.3.2.5 ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードを選択した場合で、A/D変換開始トリガとして同期トリガ ELC\_AD00/ELC\_AD01 を選択した場合、以下のようにシングルスキャンモードの実行2回分を行います。

自己診断は非選択とし、温度センサ A/D 変換選択ビット (ADEXICR.TSSA、ADEXICR.TSSB) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA、ADEXICR.OCSB) はともに 0 にしてください。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。

ダブルトリガ拡張モードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで同期トリガ ELC\_AD00/ELC\_AD01 を選択し (ADSTRGR.TRSA[5:0] を 0Bh にする)、ADCSR.EXTRG ビットを 0 に、ADCSR.TRGE ビットを 1 にしてください。また、ソフトウェアトリガは使用しないでください。

1. ELC\_AD00/ELC\_AD01 入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] で選択した 1 チャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) および A/D データ 2 重化レジスタ A (ADDBLDRA) に格納されます。
3. ADCSR.ADST ビットは自動的にクリアされ、14 ビット ADC は待機状態になります。ADC140\_ADI 割り込みは発生しません。
4. ELC\_AD00/ELC\_AD01 入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] で選択した 1 チャンネルの A/D 変換を開始します。
5. A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ (ADDBLDR)、および A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。
6. ADC140\_ADI 割り込み要求が発生します (レジスタ設定なし)。
7. ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると、自動的にクリアされ、A/D コンバータは待機状態になります。

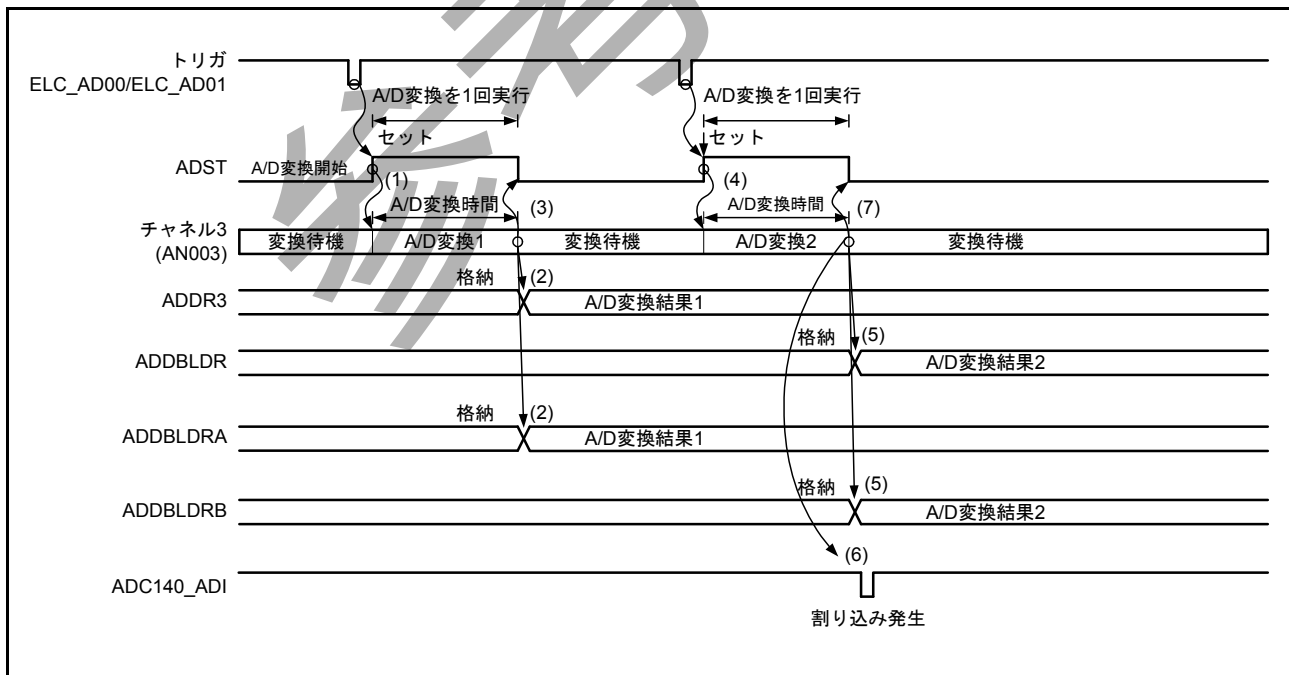


図 39.10 ダブルトリガモードの拡張動作例 (1) (AN003 を 2 重化選択、ELC\_AD00/ELC\_AD01 選択)

### 39.3.3 連続スキャンモード

#### 39.3.3.1 基本動作

連続スキャンモードでは、以下のように選択されたチャンネルのアナログ入力を以下のように繰り返し A/D 変換します。

連続スキャンモードでは、温度センサ A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) はともに 0 (非選択) にします。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. 選択したすべてのチャンネルの A/D 変換終了後、ADC140\_ADI 割り込み要求を発生します (レジスタ設定なしで)。また 14 ビット ADC は、継続して ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
4. ADCSR.ADST ビットは自動的にクリアされず、1 (A/D 変換開始) になっている間は (2) ~ (3) を繰り返します。ADCSR.ADST ビットを 0 (A/D 変換停止) にすると A/D 変換を中止し、14 ビット ADC は待機状態になります。
5. その後、ADST ビットが 1 (A/D 変換開始) になると再び ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。

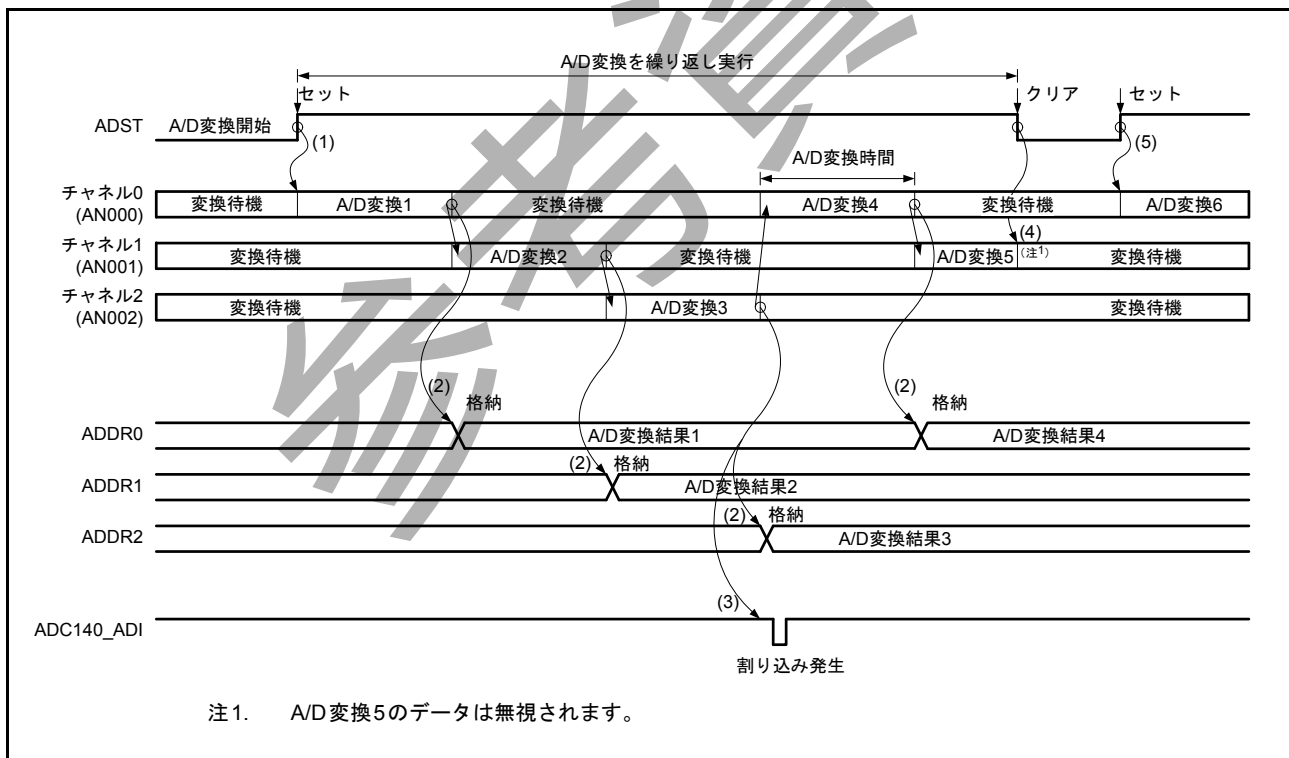


図 39.11 連続スキャンモードの動作例 (基本動作 : AN000 ~ AN002 選択)

### 39.3.3.2 チャネル選択と自己診断

チャネル選択とともに自己診断を選択すると、以下のように14ビットADCに供給される基準電圧VREFH0 (×0、×1/2または×1)のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換するという流れを繰り返します。

連続スキャンモードでは、温度センサA/D変換選択ビット (ADEXICR.TSSA) と内部基準電圧A/D変換選択ビット (ADEXICR.OCSA) はともに0 (非選択) にします。

- ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが1 (A/D変換開始) になると、最初に自己診断でのA/D変換を開始します。
- 自己診断のA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、ADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- 1チャンネルのA/D変換が終了するごとに、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- 選択したすべてのチャンネルのA/D変換終了後、ADC140\_ADI 割り込み要求を発生します (レジスタ設定なしで)。同時に、14ビットADCは自己診断でのA/D変換を開始し、その後ADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- ADSTビットは自動的にクリアされず、1になっている間は(2)～(4)を繰り返します。ADSTビットを0 (A/D変換停止) にするとA/D変換を中止し、14ビットA/Dコンバータは待機状態になります。
- その後、ADSTビットが1 (A/D変換開始) に設定されると、再び自己診断でのA/D変換から開始します。

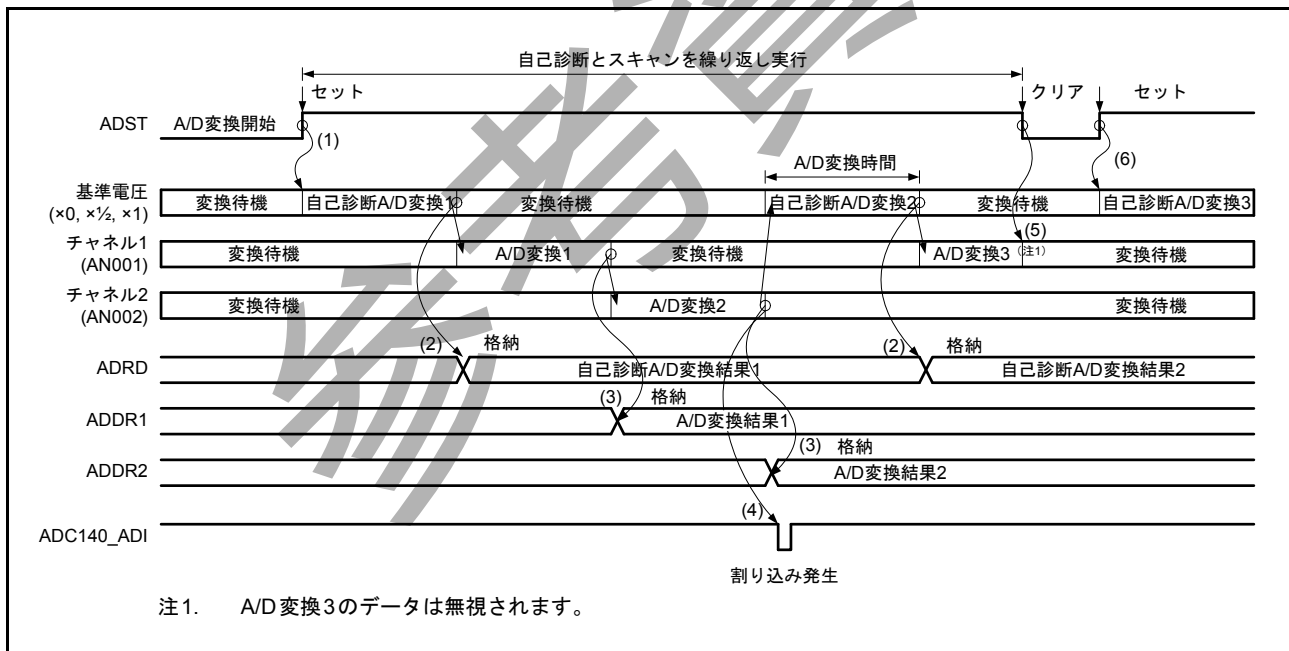


図 39.12 連続スキャンモードの動作例 (基本動作 : AN001、AN002 選択 + 自己診断)



### 39.3.4 グループスキャンモード

#### 39.3.4.1 基本動作

グループスキャンモードでは、同期トリガ (ELC) をスキャン開始条件とし、グループ A とグループ B のそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。なお、ソフトウェアトリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADANSA0、ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモードでは、温度センサ A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSSA) はともに 0 (非選択) にします。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

以下に ELC からの同期トリガによるグループスキャンモードの動作例を示します。グループ A は ELC からの ELC\_AD00 トリガで変換開始し、グループ B は ELC からの ELC\_AD01 トリガで変換開始する設定です。また、ELC\_AD00 および ELC\_AD01 は、対応する ELC.ELSRn レジスタで GPT イベントに選択されます。

1. ELC\_AD00 トリガでグループ A のスキャンを開始します。
2. グループ A のスキャン終了後、ADC140\_ADI 割り込みを発生します (レジスタ設定なしで)。
3. ELC\_AD01 トリガでグループ B のスキャンを開始します。
4. グループ B のスキャン終了時に ADCSR.GBADIE ビットが 1 (スキャン終了による ADC140\_GBADI 割り込み許可) になっていると、ADC140\_GBADI 割り込みを発生します。

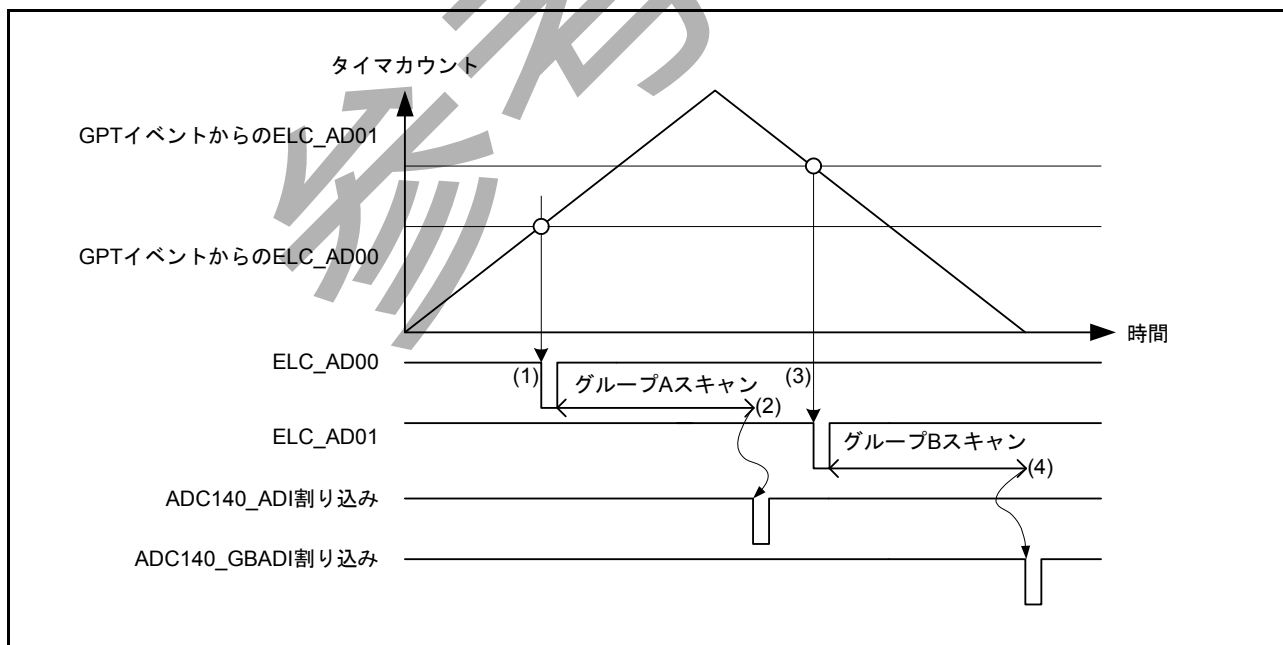


図 39.13 グループスキャンモードの動作例 (基本動作 : ELC からの同期トリガ)

### 39.3.4.2 ダブルトリガモード選択時のA/D変換動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループAは同期トリガ(ELC)で開始するシングルスキャンモードの実行2回分を一連の動作として実行します。グループBは同期トリガ(ELC)で開始するシングルスキャンモードの動作を1回実行します。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループAの同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループBの同期トリガを選択します。グループAとグループBのA/D変換が同時に起こらないように、グループAとグループBのトリガは別々のトリガにしてください。なお、ソフトウェアトリガおよび非同期トリガ(ADTRG0)は使用しないでください。

ADSTRGR.TRSA[5:0]ビットによって(ADSTRGR.TRSA[5:0]を0Bhにする)グループAの同期トリガにELC\_AD00/ELC\_AD01を選択した場合は、ダブルトリガ拡張モードで動作します。

A/D変換対象とするチャンネルは、ADCSR.DBLANS[4:0]ビットでグループAのチャンネルを選択し、ADANSB0、ADANSB1レジスタでグループBのチャンネルを選択します。グループAとグループBで同一のチャンネルを選択することはできません。

グループスキャンモードでは、温度センサA/D変換選択ビット(ADEXICR.TSSA)と内部基準電圧A/D変換選択ビット(ADEXICR.OCSA)はともに0(非選択)にします。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D変換データ2重化は、2重化するチャンネルの番号をADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLEビットを1にすると有効となります。

以下にELCからの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループAはELCからのELC\_AD00トリガで変換開始し、グループBはELCからのELC\_AD01トリガで変換開始する設定です。また、ELC\_AD00およびELC\_AD01は、対応するELC.ELSRnレジスタでGPTイベントに選択されます。

1. ELCからのELC\_AD00トリガでグループBのスキャンを開始します。
2. グループBのスキャン終了時にADCSR.GBADIビットが1(スキャン終了によるADC14\_GBADI割り込み許可)になっていると、ADC14\_GBADI割り込みを出力します。
3. 1回目のELC\_AD01トリガでグループAの1回目のスキャンを開始します。
4. グループAの1回目のスキャン終了時は、A/D変換結果を対応するA/Dデータレジスタ(ADDRy)に格納し、ADC14\_ADI割り込み要求は発生しません。
5. 2回目のELC\_AD01トリガでグループAの2回目のスキャンを開始します。
6. グループAの2回目のスキャン終了時、A/D変換結果をADDBLDRに格納します。ADC14\_ADI割り込みが発生します(レジスタ設定なしで)。

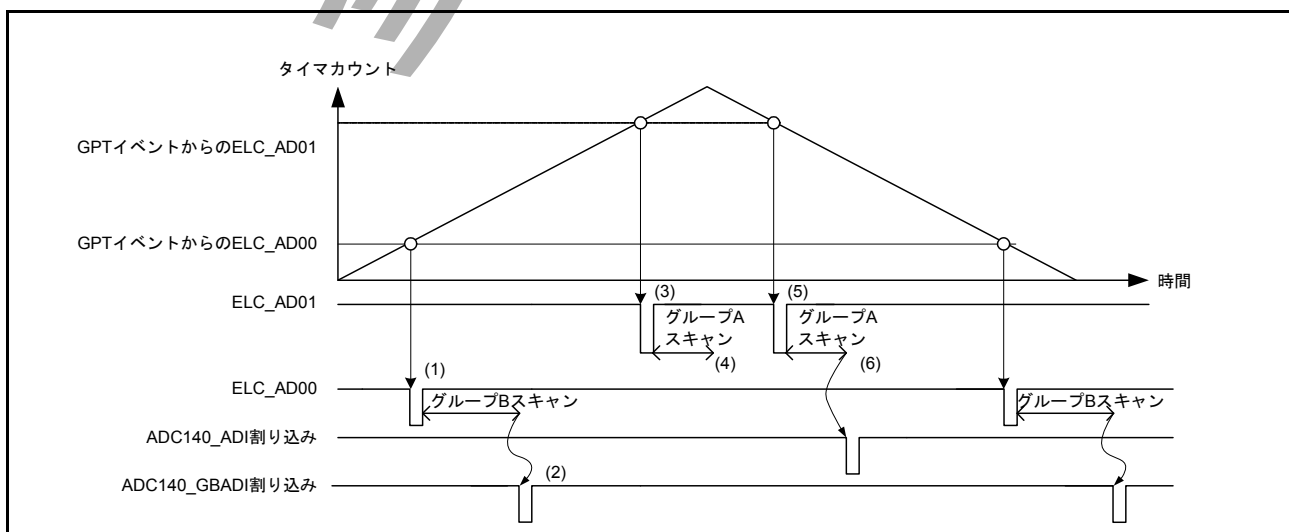


図 39.14 グループスキャンモードかつダブルトリガモード設定時の動作例 (基本動作: ELCからの同期トリガ)

### 39.3.4.3 グループ A 優先制御動作

グループスキャンモードで A/D グループスキャン優先コントロールレジスタ (ADGSPCR) の PGS ビットを 1 にすると、グループ A 優先制御動作を行います。ADPGSCR レジスタの PGS ビットを 1 にする際は、[図 39.15](#) に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、もしくはグループ B の A/D 変換動作中に他方の A/D 変換のトリガ入力があっても無視されます。グループ A 優先制御動作では、グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断して、グループ A の A/D 変換動作を行います。ADGSPCR.GBRSCN ビットが 0 のときは、コンバータはグループ A の A/D 変換動作終了時に待機状態となります。ADGSPCR.GBRSCN ビットが 1 のときは、グループ A の A/D 変換動作終了後、自動的にグループ B の A/D 変換動作をスキャン先頭から自動で再開します。ADGSPCR.GBRSCN ビットの設定と A/D 変換動作中のトリガ入力時の動作を [表 39.9](#) に示します。

グループ A とグループ B のスキャン動作は、シングルスキャンモードと同じ動作になります。また、グループ B のスキャン動作中に ADGSPCR.GBRP ビットを 1 にすると、シングルスキャンを連続して実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択してください。ADGSPCR.GBRP ビットを 1 にする場合は、ADSTRGR.TRSB[5:0] ビットを 3Fh にしてください。

また A/D 変換対象とするチャンネルは、ADANSA0、ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ A とは異なるグループ B のチャンネルを選択してください。

参考資料

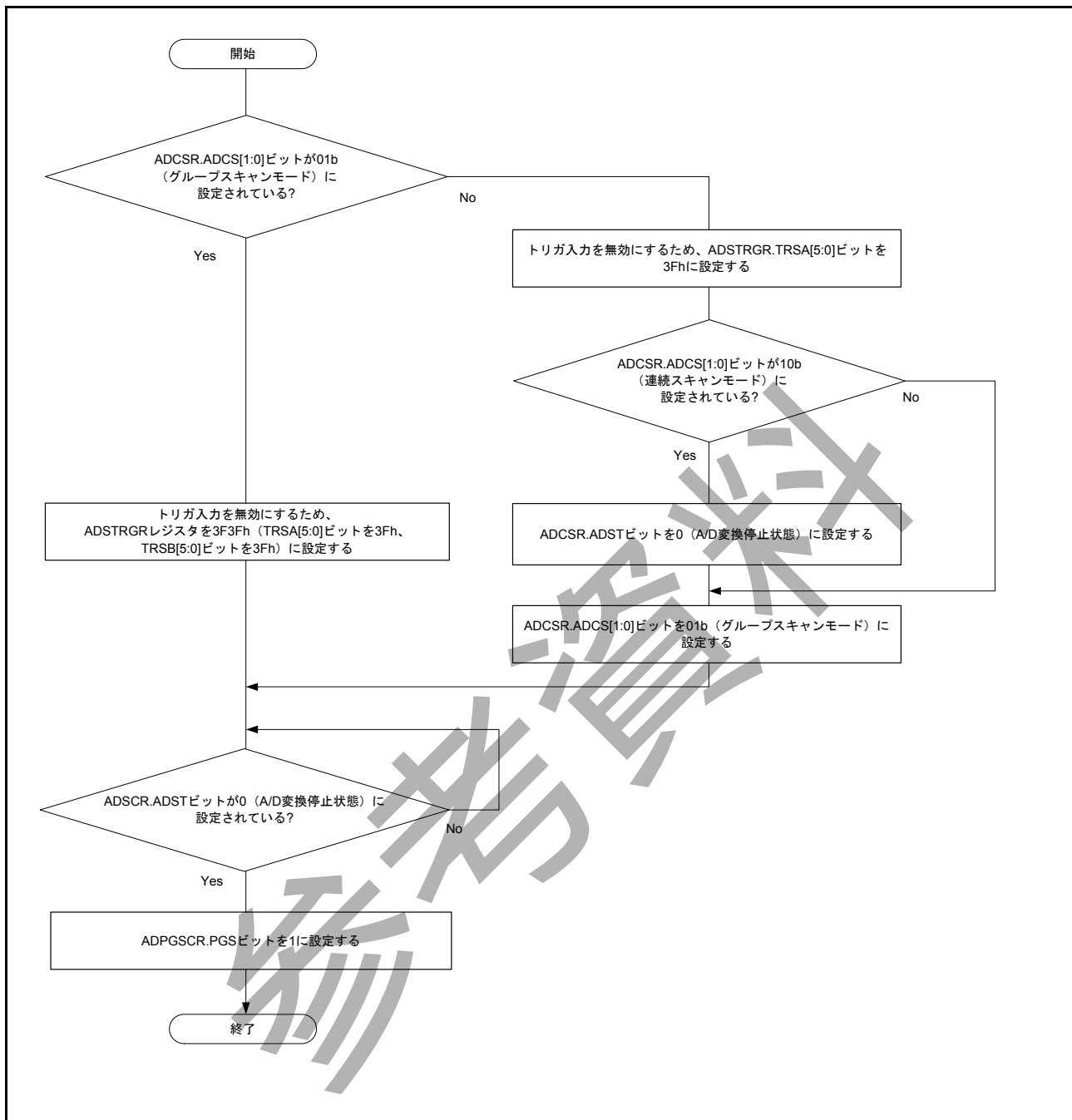


図 39.15 ADPGSCR.PGS ビット設定時のフロー

表 39.9 ADGSPCR.GBRSCN ビットの設定によるA/D変換動作制御

A/D変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループAのA/D変換動作中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのA/D変換動作終了後、グループBのA/D変換動作を行います。
グループBのA/D変換動作中	グループAトリガ入力	グループBのA/D変換中断し、グループAのA/D変換動作開始	<ul style="list-style-type: none"> <li>グループBのA/D変換中断し、グループAのA/D変換動作開始</li> <li>グループAのA/D変換終了後、グループBのA/D変換動作開始</li> </ul>
	グループBトリガ入力	トリガ入力無効	トリガ入力無効

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したグループスキャンモードグループ A 優先制御動作の動作例 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) を示します。

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
5. レジスタ設定なしで ADC140\_ADI 割り込み要求が発生します。
6. ADST ビットは自動的にクリアされた後、再度、自動的に ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に、グループ B の A/D 変換を再度開始します。
7. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了による ADC140\_GBADI 割り込み許可) になっていると、ADC140\_GBADI 割り込み要求が発生します。
9. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると、自動的にクリアされ、A/D コンバータは待機状態になります。

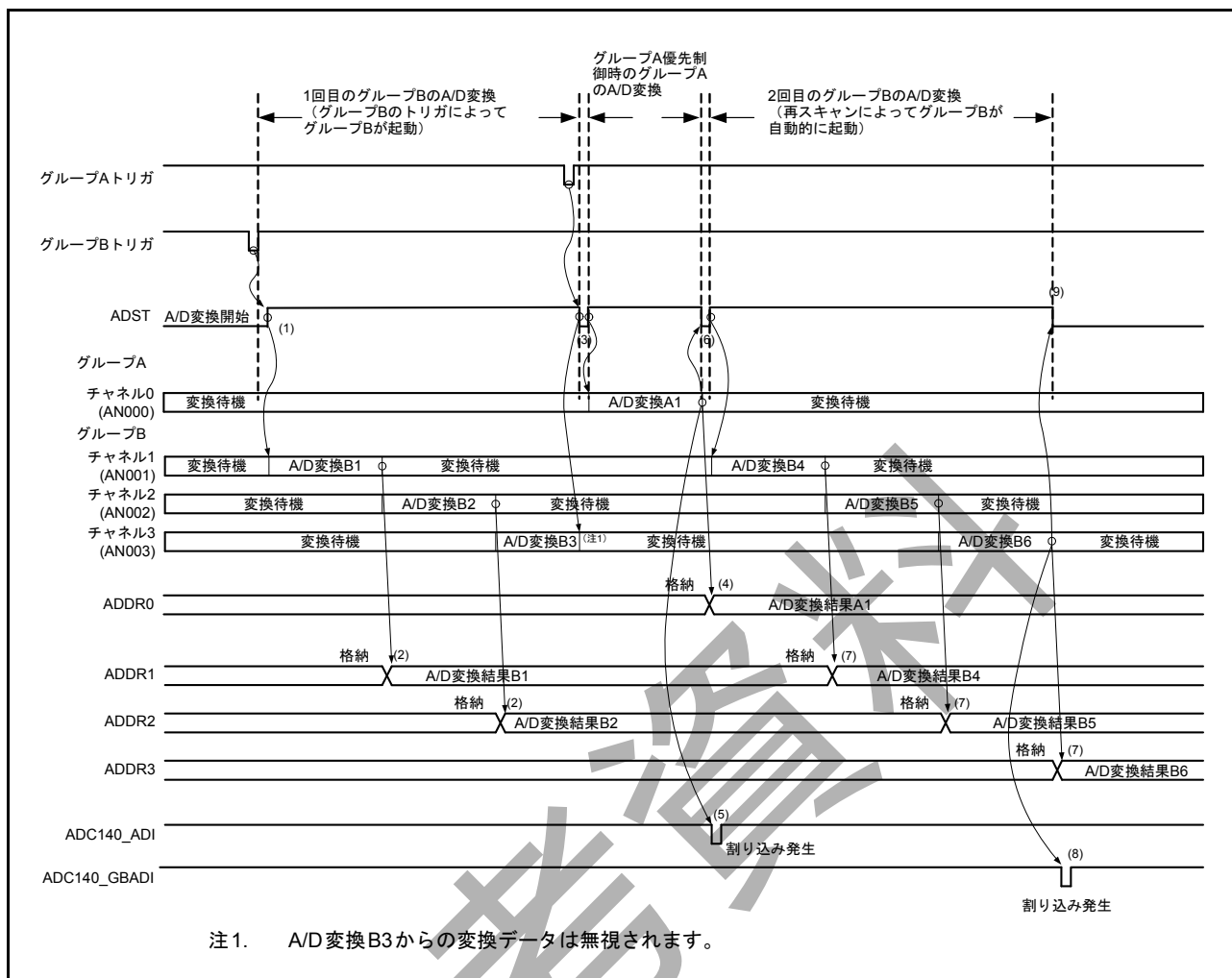


図 39.16 グループ A 優先制御の動作例 (1) (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0 の場合)

次に、グループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 0 を、グループ B にチャンネル 1 ~ 3 を選択した場合の例を示します。

1. グループ B のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 (A/D 変換停止) にし、動作中のグループ B の A/D 変換を中断します。
4. その後、ADCSR.ADST ビットを自動的に 1 にし、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
5. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
6. ADC140\_ADI 割り込み要求が発生します (レジスタ設定なし)。
7. ADGSPCR.GBRSCN ビットが 1 (再スキャン動作有効) になっていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
8. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
9. 再スキャン起動によるグループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 (A/D 変換停止) にし、動作中のグループ B の A/D 変換を中断します。
10. その後、ADCSR.ADST ビットを自動的に 1 にし、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
11. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
12. ADC140\_ADI 割り込み要求が発生します (レジスタ設定なし)。
13. ADGSPCR.GBRSCN ビットが 1 (再スキャン動作有効) になっていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
14. 再スキャン起動によるグループ B の A/D 変換中に、グループ A のトリガ入力があると、(9) ~ (13) を繰り返し実行します。グループ A のトリガ入力がない場合は、グループ B の A/D 変換が終了すると ADCSR.ADST ビットが自動的にクリアされ、14 ビット ADC は待機状態になります。

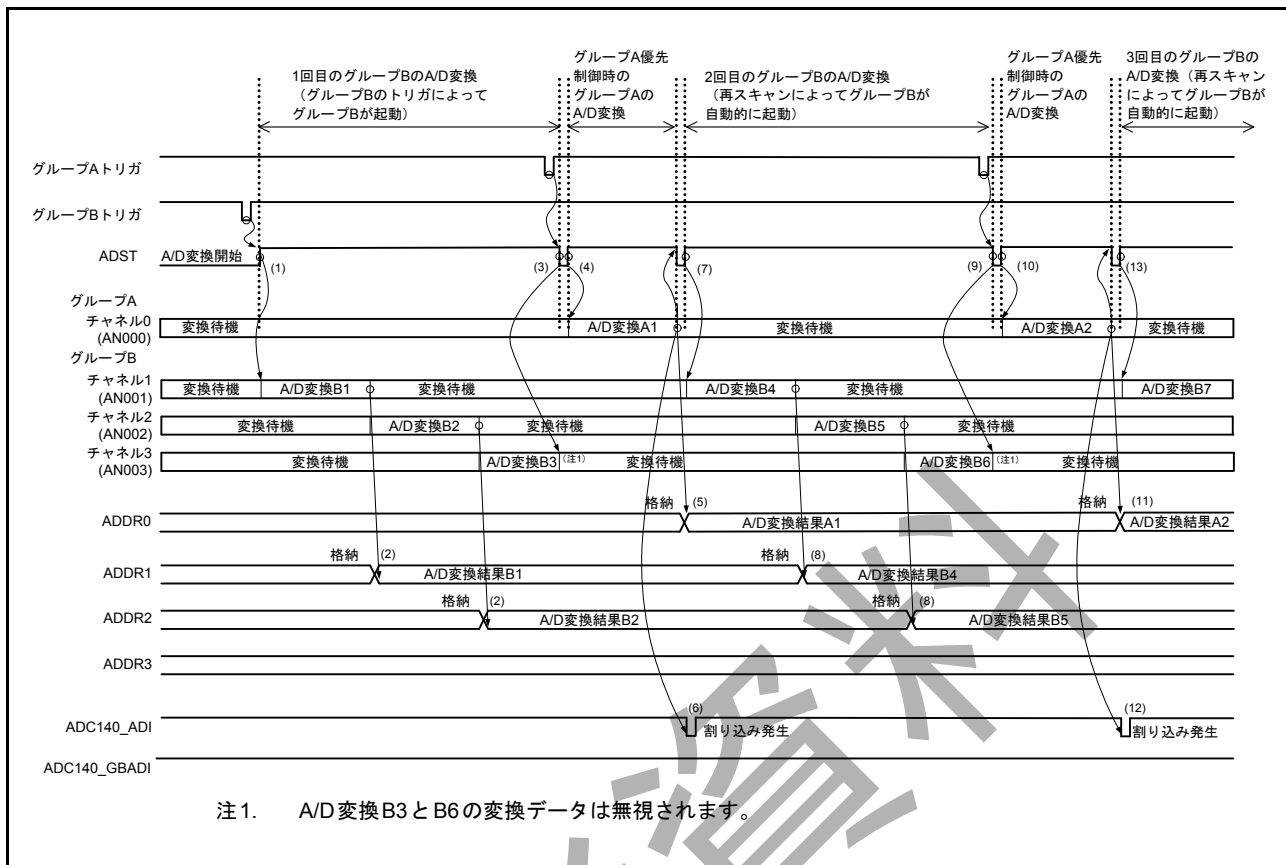


図 39.17 グループ A 優先制御の動作例 (2) (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0 の場合)



次に、グループ A の A/D 変換動作中に、グループ B のトリガが入力された場合の、再スキャン動作の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN=1、ADGSPCR.GBRP=0 時) に、グループ A にチャンネル 1~3 を、グループ B にチャンネル 0 を選択した場合の例を示します。

1. グループ A のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. グループ A の A/D 変換動作中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換を実行できる状態となります。ただし、グループ A のトリガが連続で入力された場合、グループ B のスキャン動作は、グループ A に打ち消され、実施されません。
4. グループ A の A/D 変換終了後、ADC140\_ADI 割り込み要求を発生します (レジスタ設定なしで)。
5. グループ A のスキャン終了後、グループ B の再スキャン起動により、自動的に ADCSR.ADST ビットが 1 に設定されます。その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
6. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
7. 再スキャン起動による、グループ B のスキャン終了後、ADCSR.GBADIE ビットが 1 (スキャン終了による ADC140\_GBADI 割り込み許可) になっていると、ADC140\_GBADI 割り込み要求を発生します。
8. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると、自動的にクリアされ、A/D コンバータは待機状態になります。

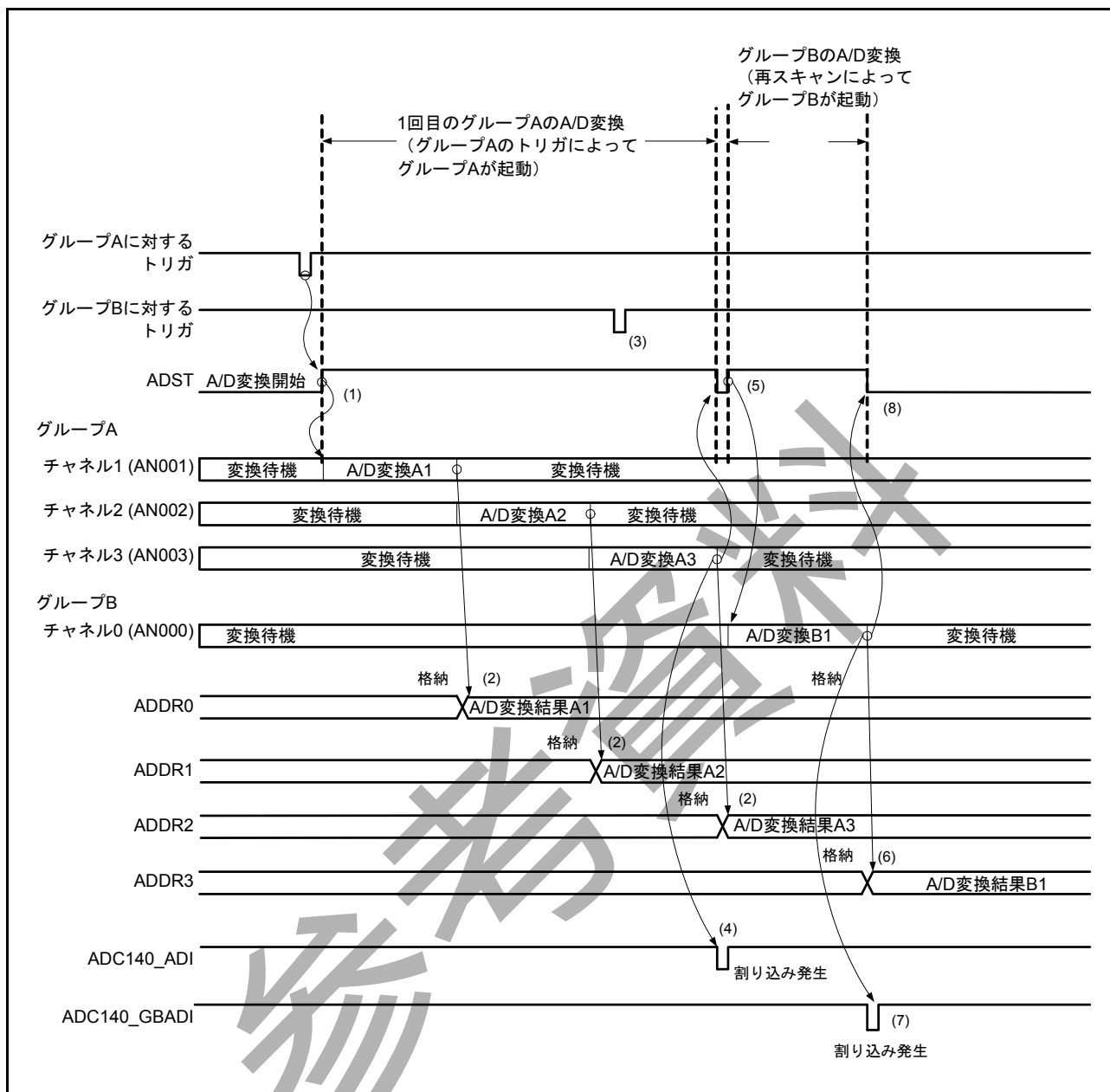


図 39.18 グループ A 優先制御の動作例 (3) (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0 の場合)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0) を示します。

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
5. レジスタ設定なしで ADC140\_ADI 割り込み要求が発生します。
6. ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

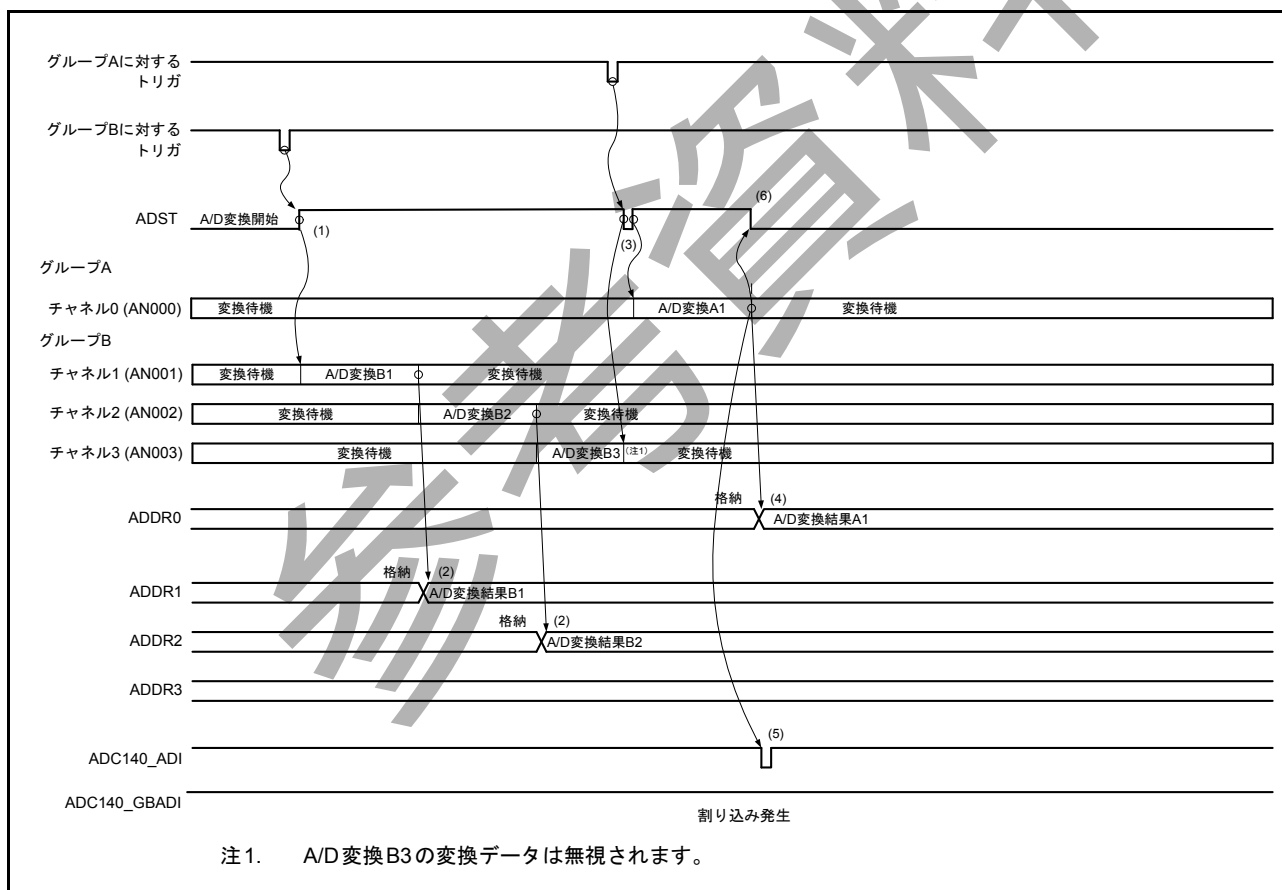


図 39.19 グループ A 優先制御の動作例 (4) (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0 の場合)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときの、グループ A 優先制御の動作例 (ADGSPCR.GBRP = 1) を示します。

1. ADGSPCR.GBRP = 1 にすると、ADCSR.ADST ビットが 1 (A/D 変換開始) になり、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
5. レジスタ設定なしで ADC140\_ADI 割り込み要求が発生します。
6. ADST ビットを自動的にクリアした後、再度、ADCSR.ADST ビットが自動的に 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
7. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1 になっていると、ADC140\_GBADI 割り込み要求が発生します。
9. ADST ビットを自動的にクリアした後、自動的に ADCSR.ADST ビットを 1 (A/D 変換開始) にして、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。ADGSPCR.GBRP ビットが 1 になっている間は、(6)～(9)の動作を繰り返します。ADGSPCR.GBRP ビットが 1 になっている間は、ADCSR.ADST ビットを 0 にクリアしないでください。ADGSPCR.GBRP ビットが 1 のときに A/D 変換を強制停止させるには、図 39.31 に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

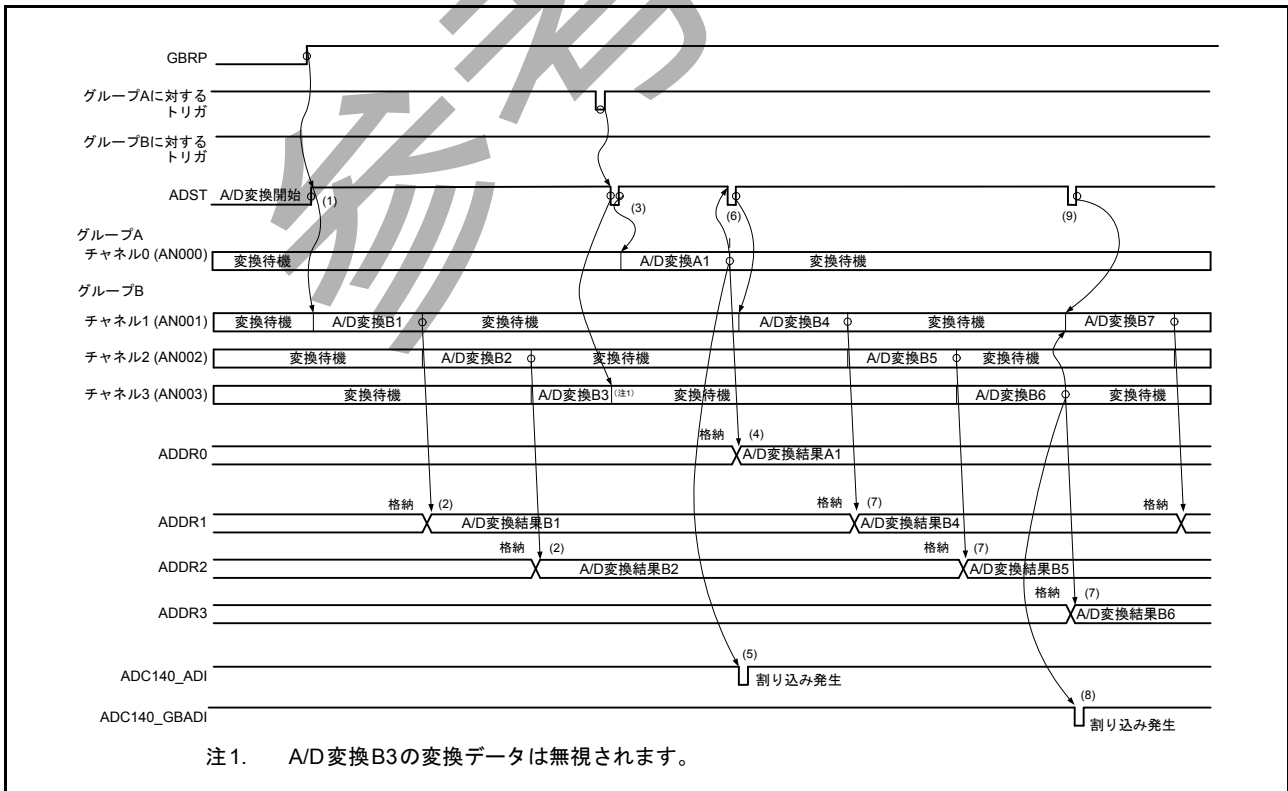


図 39.20 グループ A 優先制御の動作例 (5) (ADGSPCR.GBRP = 1 の場合)

### 39.3.5 コンペア機能 (ウィンドウ A、ウィンドウ B)

#### 39.3.5.1 コンペア機能ウィンドウ A/B

コンペア機能は、基準値と A/D 変換結果を比較する機能です。基準値はウィンドウ A およびウィンドウ B それぞれに設定することができます。コンペア機能の使用中は、自己診断機能およびダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いとしては、割り込み出力信号の違いと、ウィンドウ B は1つのチャンネルしか選択できないという制限が挙げられます。

連続スキャンモードとコンペア機能を組み合わせた動作シーケンスを以下に示します。

1. ソフトウェア、同期トリガ (ELC)、または非同期トリガで ADCSR.ADST ビットを 1 (A/D 変換開始) にした場合、選択したチャンネルの順番で A/D 変換を開始します。温度センサおよび内部基準電圧は同時選択できません。また、内部基準電圧を高電位基準電圧に選択した場合、温度センサまたは内部基準電圧の A/D 変換は実行できません。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR<sub>y</sub>、ADTSR、または ADOCDR) に格納されます。ADCMPCR.CMPAE が 1 のとき、ウィンドウ A に対して ADCMPANSR<sub>y</sub> または ADCMPANSER レジスタのビットを設定すると、A/D 変換結果を設定した ADCMPDR0/1 レジスタ値と比較します。ADCMPCR.CMPBE が 1 のとき、ウィンドウ B に対して ADCMPBNSR レジスタのビットを設定すると、A/D 変換結果を設定した ADWINULB/ADWINLLB レジスタ値と比較します。
3. 比較した結果、ウィンドウ A が ADCMPLR0/1 または ADCMPLER に設定された条件と一致すると、コンペアウィンドウ A フラグ (ADCMPSR0.CMPF0<sub>n</sub>、ADCMPSR1.CMPF1<sub>n</sub>、ADCMPSER.CMPFTS、または ADCMPSER.CMPOC) のビットが 1 になります。ADCMPCR.CMPAIE ビットが 1 であれば、ADC14\_CMPAI 割り込み要求 (レベル) が発生します。同様に、ウィンドウ B が ADCMPBNSR.CMPLB に設定された条件と一致すると、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) のビットが 1 になります。ADCMPCR.CMPBIE ビットが 1 であれば、ADC14\_CMPBI 割り込み要求が発生します。
4. 選択したすべての A/D 変換および比較が終了すると、スキャンが再開します。
5. ADC14\_CMPAI および ADC14\_CMPBI 割り込みを受け付けると、ADCSR.ADST ビットは 0 (A/D 変換停止) になり、コンペアフラグが 1 であるチャンネルの処理を行います。
6. ウィンドウ A のすべてのコンペアフラグをクリアすると、ADC14\_CMPAI 割り込み要求は取り消されます。同様に、ウィンドウ B のすべてのコンペアフラグをクリアすると、ADC14\_CMPBI 割り込み要求はリセットされます。再度比較を実行するには、A/D 変換を再開してください。

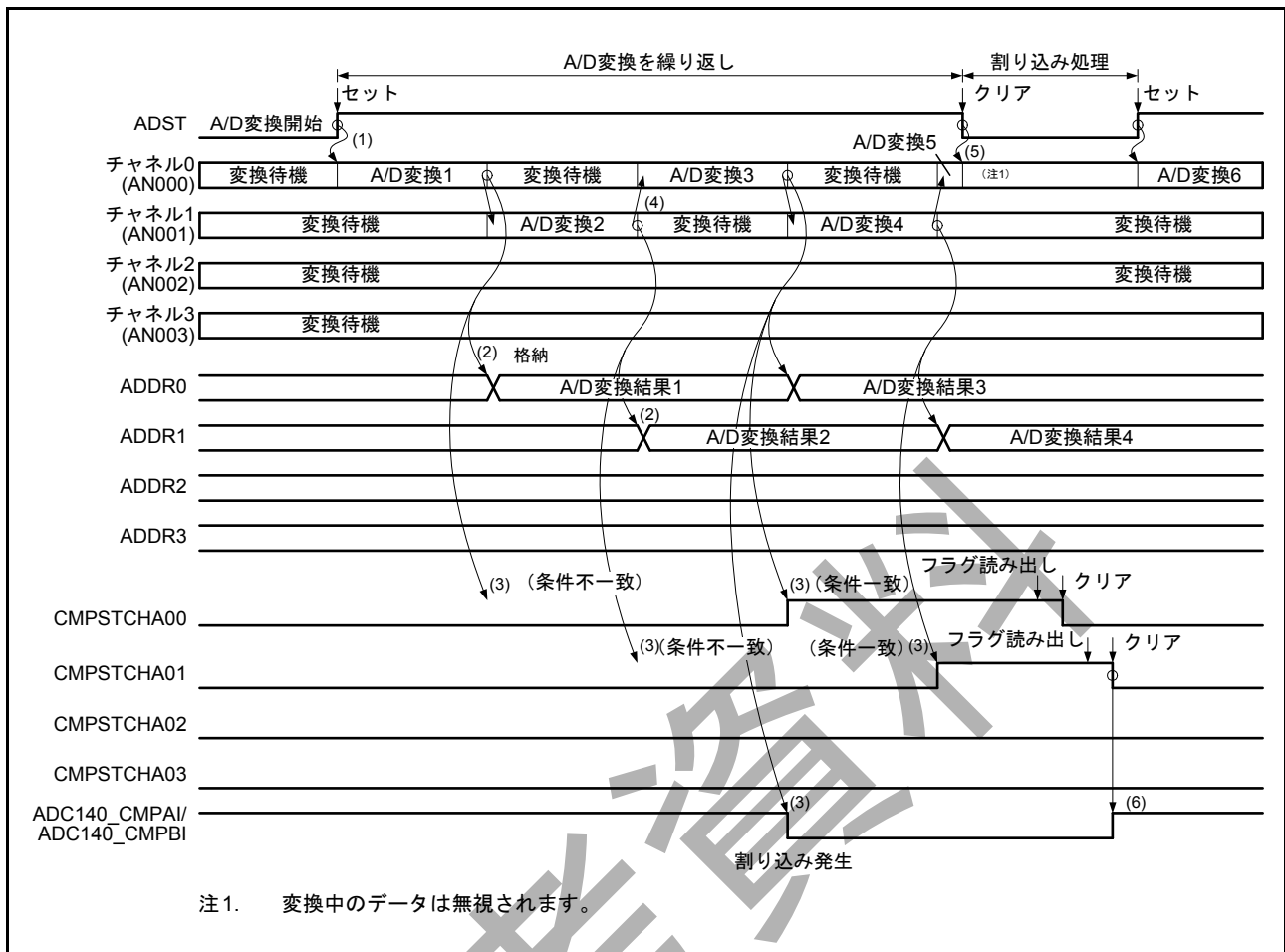


図 39.21 コンペア機能の動作例 (AN000 ~ AN003 を比較)

### 39.3.5.2 コンペア機能のイベント出力

コンペア機能のイベント出力は、上側基準電圧値および下側基準電圧値をウィンドウ A およびウィンドウ B それぞれに設定し、選択したチャンネルの A/D 変換値を上側/下側基準電圧値と比較します。その後、イベント条件 (A or B、A and B、A XOR B) およびウィンドウ A およびウィンドウ B の比較結果に従って、イベント (ADC140\_WCMPPM/ADC140\_WCMPUM) を出力します。

ウィンドウ A で複数のチャンネルを選択し、チャンネルのうち1つでも比較条件と一致した場合、ウィンドウ A の比較結果は一致となります。この機能を使用する場合、A/D 変換はシングルスキャンモードで行ってください。ウィンドウ A の場合、AN000 ~ AN027 のチャンネル、内部基準電圧、温度センサ出力を選択できます。ただし、内部基準電圧または温度センサ出力を選択する場合、同時に他のチャンネルを選択することはできません。また、A/D コンバータの高電位基準電圧に内部基準電圧を選択した場合、内部基準電圧および温度センサ出力を A/D 変換することはできません。

ウィンドウ B の場合、AN000 ~ AN027 のチャンネルのうち1つ、内部基準電圧、温度センサ出力を選択できます。ただし、内部基準電圧または温度センサ出力を選択する場合、同時に他のチャンネルを選択することはできません。また、高電位基準電圧に内部基準電圧を選択した場合、内部基準電圧および温度センサ出力を A/D 変換することはできません。

コンペア機能のイベント出力使用時の設定手順および設定例を以下に示します。

1. ADCSR.ADCS[1:0] ビットの値が 00b (シングルスキャンモード) であることを確認してください。
2. ADCMPANSR0/1 および ADCMPANSER によってウィンドウ A の使用チャンネルを選択してください。ADCMPLR0/1 および ADCMPLEP レジスタにウィンドウ比較条件を設定してください。ADCMPDR0/1 レジスタに上側および下側基準値を設定してください。
3. ADCMPBNSR レジスタによってウィンドウ B の使用チャンネルおよび比較条件を設定し、ADWINULB/ADWINLLB レジスタで上側および下側基準値を設定してください。
4. ウィンドウ A/B の複合条件、ウィンドウ A/B 動作許可、および割り込み出力許可を ADCMPCR に設定してください。

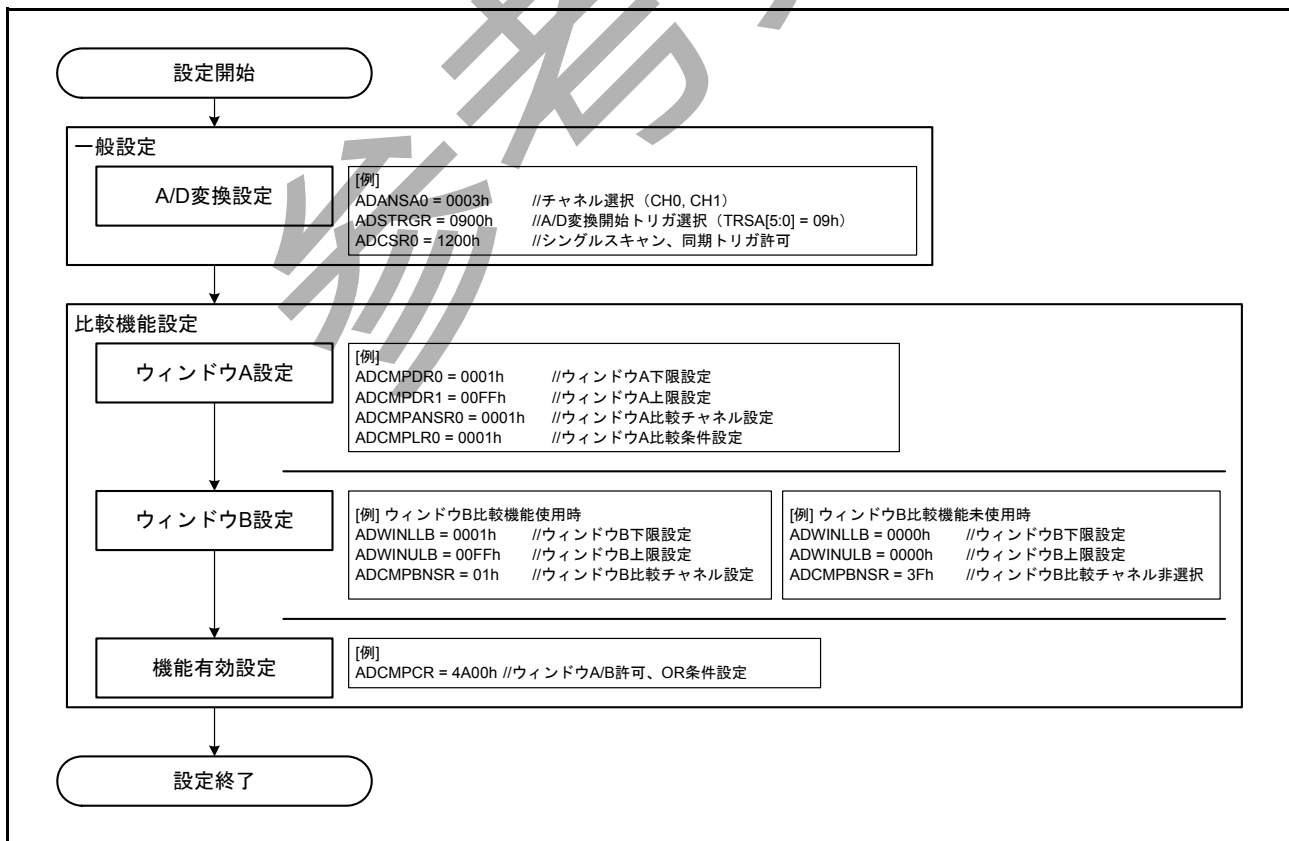


図 39.22 コンペア機能のイベント出力使用時の設定例

コンペア機能でウィンドウ A のみを使用するときのイベント出力の使用方法について、以下に注意点を示します。

- ウィンドウ A およびウィンドウ B をどちらも有効にしてください (ADCMPCR.CMPAE = 1、ADCMPCR.CMPBE = 1)
- ウィンドウ A および B の複合条件を「OR 条件」にしてください (ADCMPCR.CMPAB[1:0] = 00b)
- ウィンドウ B の比較対象チャンネルを「非選択」にしてください (ADCMPCR.CMPCHB[5:0] = 111111b)
- ウィンドウ B の比較条件を、常に不一致を表す「0 < 結果 < 0」に設定してください (ADCMPCR.WCMPE = 1、ADWINLLB.CMPLLB[15:0] = ADWINULB.CMPULB[15:0] = 0000h、ADCMPCR.CMPLB = 1)

コンペア機能のイベント出力動作例を図 39.23 に示します。

シングルスキャンが一度終了するタイミングで、スキャン終了イベント (ADC140\_ADI) を出力します。その後、ADCMPCR.CMPAB[1:0] の設定に従い、1PCLKB 遅れて一致または不一致イベント (ADC140\_WCMPPM/ADC140\_WCMPUM) を出力します。

注 . 一致および不一致イベントは排他的であるため、2つのイベントを同時に出力することはありません。

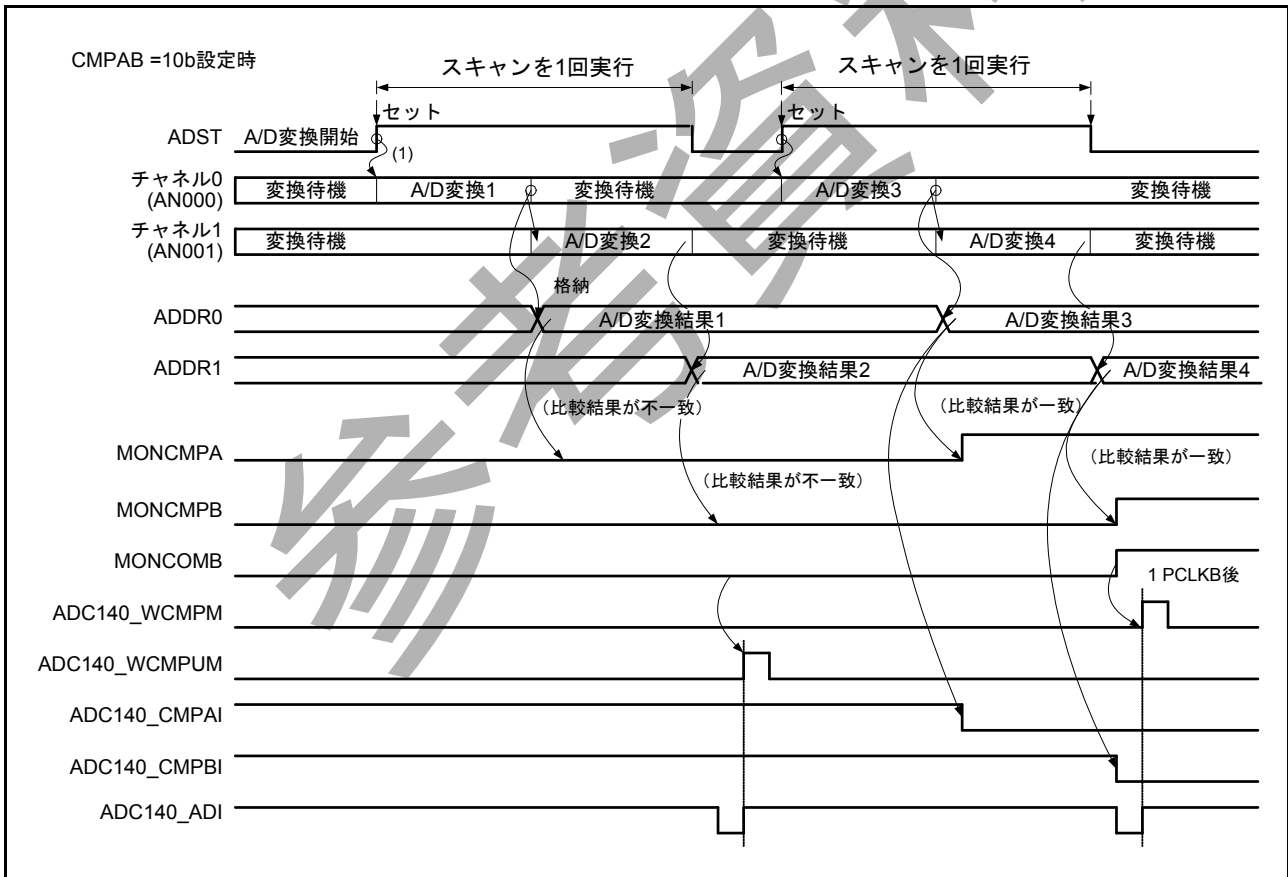


図 39.23 コンペア機能のイベント出力動作例 (AN000 ~ AN003 を比較)

- 注 . コンペア機能のイベント出力は、ADCMPCR.CMPAB[1:0] の設定に従い、ウィンドウ A およびウィンドウ B の比較結果の一致/不一致を出力します。
- 注 . ウィンドウ A の比較結果は、ウィンドウ A の比較対象チャンネルの比較結果の論理和です。ウィンドウ A および B の比較結果は、A/D 変換ごとに更新され、シングルスキャンが終了しても保持されます。比較結果をクリアするには、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にしてください。



### 39.3.5.3 コンペア機能の制限事項

コンペア機能には以下の制限事項が適用されます。

1. コンペア機能は、自己診断機能またはダブルトリガモードと一緒に使用できません。(ADRD、ADDBLDR、ADDBLDRB、およびADDBLDRBではコンペア機能は使用できません。)
2. 一致/不一致イベント出力を使用する場合はシングルスキャンモードにしてください。
3. ウィンドウ A に温度センサまたは内部基準電圧を選択する場合、ウィンドウ B 動作を使用することはできません。
4. ウィンドウ B に温度センサまたは内部基準電圧を選択する場合、ウィンドウ A 動作を使用することはできません。
5. ウィンドウ A およびウィンドウ B に同じチャンネルを設定することはできません。
6. 基準電圧値を設定する際は、高電位基準電圧値が低電位基準電圧値以上になるようにしてください。

### 39.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェアトリガ、同期トリガ (ELC) による起動および非同期トリガ (ADTRG0) による起動が選択できます。スキャン変換開始遅延時間 ( $t_D$ ) の後に、断線検出アシスト処理、自己診断変換処理をすべて行い、この後に A/D 変換処理が開始されます。

図 39.24 に、ソフトウェアトリガまたは同期トリガ (ELC) 起動によりスキャン変換を行う場合のタイミングを示します。また、図 39.25 に、非同期トリガ (ADTRG0) 起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 ( $t_{SCAN}$ ) はスキャン変換開始遅延時間 ( $t_D$ )、断線検出アシスト処理時間 ( $t_{DIS}$ ) (注 1)、自己診断変換時間 ( $t_{DIAG}$  および  $t_{DSD}$ ) (注 2)、A/D 変換処理時間 ( $t_{CONV}$ )、スキャン変換終了遅延時間 ( $t_{ED}$ ) を含めた時間となります。

A/D 変換処理時間 ( $t_{CONV}$ ) は、入力サンプリング時間 ( $t_{SPL}$ )、逐次変換時間 ( $t_{SAM}$ ) を合わせた時間となります。サンプリング時間 ( $t_{SPL}$ ) は、A/D コンバータ内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTR レジスタでサンプリング時間を調整することができます。

逐次変換時間 ( $t_{SAM}$ ) は、14 ビット精度および高速モード選択時で 37.5 ステート (ADCLK)、14 ビット精度および低電流モード選択時で 46.5 ステート (ADCLK)、12 ビット精度および高速モード選択時で 31.5 ステート (ADCLK)、12 ビット精度および低電流モード選択時で 40.5 ステート (ADCLK) となります。スキャン変換時間を表 39.10 に示します。

選択チャンネル数が  $n$  のシングルスキャンのスキャン変換時間 ( $t_{SCAN}$ ) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \text{ (注 3)} \times n) + t_{ED}$$

連続スキャンの 1 サイクル目は、シングルスキャンの  $t_{SCAN}$  から  $t_{ED}$  を省いた時間です。連続スキャンの 2 サイクル目以降は、 $(t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \text{ (注 3)} \times n)$  固定となります。

注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$  となります。

温度センサまたは内部基準電圧を A/D 変換する場合のみ、15ADCLK ステートの自動ディスチャージ期間が入ります。

注 2. 自己診断機能を使用しない場合は、 $t_{DIAG} = 0$ 、 $t_{DSD} = 0$  となります。

注 3. 選択したすべてのチャンネルの入力サンプリング時間 ( $t_{SPL}$ ) が同じの場合、この要素は  $t_{CONV} \times n$  となります。チャンネルごとに異なるサンプリング時間の場合、この要素は選択したチャンネルごとに設定した  $t_{SPL}$  と  $t_{SAM}$  の和となります。

表 39.10 スキャン変換時間 (ADCLKとPCLKBのサイクル数)

項目			シンボル	種別/条件			単位
				同期トリガ	非同期トリガ	ソフトウェアトリガ	
スキャン開始処理時間 (注1) (注2)	グループA優先制御動作によるグループAのA/D変換	グループB中断あり (グループAのA/D変換要因によってグループBを停止させた後、グループAを起動)	$t_D$	3PCLKB + 6ADCLK、 5PCLKB + 3ADCLK (注6)	—	—	サイクル
		グループB中断なし (グループAのA/D変換要因によって起動)		2PCLKB + 4ADCLK	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時		2PCLKB + 6ADCLK	4PCLKB + 6ADCLK	6ADCLK	
	上記以外			2PCLKB + 4ADCLK	2PCLKB + 4ADCLK	4ADCLK	
断線検出アシスト処理時間			$t_{DIS}$	ADNDIS[3:0]設定値 (初期値00h) × ADCLK (注3)			
自己診断変換処理時間 (注1)	サンプリング時間		$t_{DIAG}$	$t_{SPL}$	ADSSTRn (n = 0 ~ 15, L, T, O) 設定値 (初期値 = 0Dh) × ADCLK (注4) + 0.5ADCLK (注4)		
	逐次変換時間	12ビット変換精度			$t_{SAM}$	高速モードで31.5ADCLK 低電流モードで40.5ADCLK	
		14ビット変換精度		高速モードで37.5ADCLK 低電流モードで46.5ADCLK			
	自己診断変換終了からアナログチャネルサンプリング開始までの待機時間			$t_{DED}$	2ADCLK		
	連続スキャンモードでの最後のチャネル変換終了から自己診断サンプリング開始までの待機時間			$t_{DSD}$	2ADCLK		
A/D変換処理時間 (注1)	サンプリング時間		$t_{CONV}$	$t_{SPL}$	ADSSTRn (n = 0 ~ 15, L, T, O) 設定値 (初期値 = 0Dh) × ADCLK		
	逐次変換時間	12ビット変換精度			$t_{SAM}$	高速モードで31.5ADCLK 低電流モードで40.5ADCLK	
		14ビット変換		高速モードで37.5ADCLK 低電流モードで46.5ADCLK			
スキャン終了処理時間 (注1)			$t_{ED}$	1PCLKB + 3ADCLK、 2PCLKB + 3ADCLK (注6)			

注 1.  $t_D$ 、 $t_{SPLSH}$ 、 $t_{DIAG}$ 、 $t_{CONV}$ 、 $t_{ED}$  の各タイミングについては、[図 39.24](#)、[図 39.25](#) を参照してください。

注 2. ソフトウェア書き込み、またはトリガ入力から A/D 変換開始までの最大時間です。

注 3. 温度センサ出力または内部基準電圧を A/D 変換する場合、値は 0Fh (15ADCLK) 固定です。

注 4. 必要なサンプリング時間 (ns) は、電圧条件によって指定されます。サンプリング時間は、必要時間を超えないように設定する必要があります。

注 5. タイマ出力からトリガ入力までの経路で使われる時間は含みません。

注 6. ADCLK が PCLKB (PCLKB/ADCLK の分周率 = 1 : 2 または 1 : 4) より速い場合。

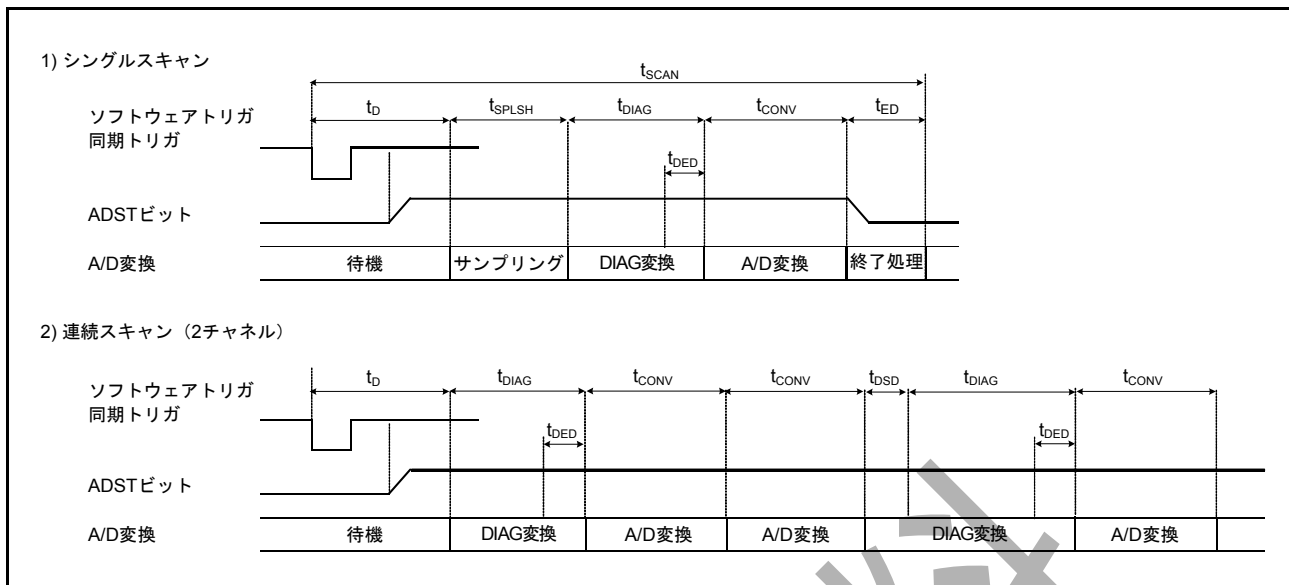


図 39.24 スキャン変換のタイミング (ソフトウェア起動、同期トリガ入力 (ELC) 起動の場合)

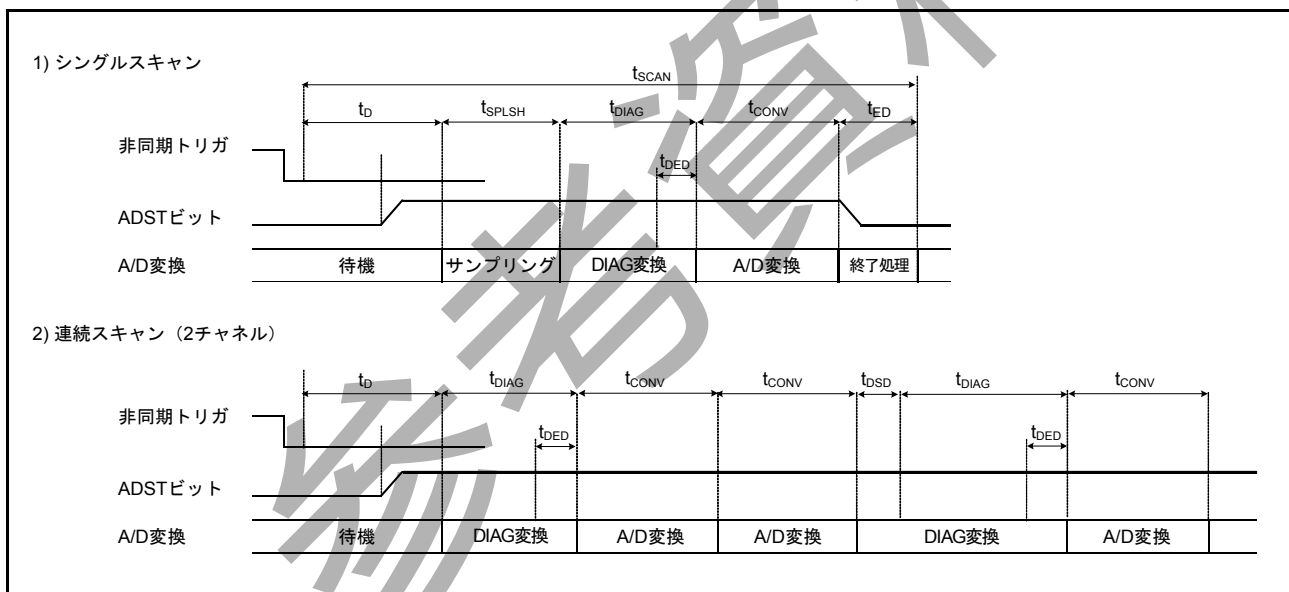


図 39.25 スキャン変換のタイミング (非同期トリガ入力 (ADTRG0) 起動の場合)

### 39.3.7 A/D データレジスタの自動クリア機能の使用例

A/D 変換値加算／平均モードは、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

ADCER.ACE ビットを 1 にすることにより、CPU、DTC および DMAC によって A/D データレジスタ (ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR) を読み出す際、自動的に ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR レジスタを 0000h にクリアできます。

この機能を使うことにより、ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効／有効時の例を示します。

ADCER.ACE ビットが 0 (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、ADDRy レジスタの値は古いデータ (0111h) のままとなります。さらに、A/D スキャン終了割り込みによってこの ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) を汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを SRAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが 1 (自動クリア許可) の場合には、ADDRy = 0111h を CPU、DTC または DMAC により読み出す際、ADDRy レジスタは自動的に 0000h にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、0000h が汎用レジスタなどに保持されます。読み出されたデータ値が 0000h であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

### 39.3.8 A/D 変換値加算／平均モード

A/D 変換値加算モードは、同じチャンネルを 1、2、3、4、または 16 (注 1) 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換平均モードは、同じチャンネルを 2 または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が向上します。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算／平均モードは、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

注 1. 12 ビット精度を選択している場合、設定できる加算回数は 16 回のみです。

### 39.3.9 断線検出アシスト機能

A/D変換開始前に、サンプリング容量の電荷を所定の状態 (VREFH0 または VREFL0) に固定する断線検出アシスト機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 39.26 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。図 39.27 にプリチャージを選択した場合の断線検出例を示します。図 39.28 にディスチャージを選択した場合の断線検出例を示します。

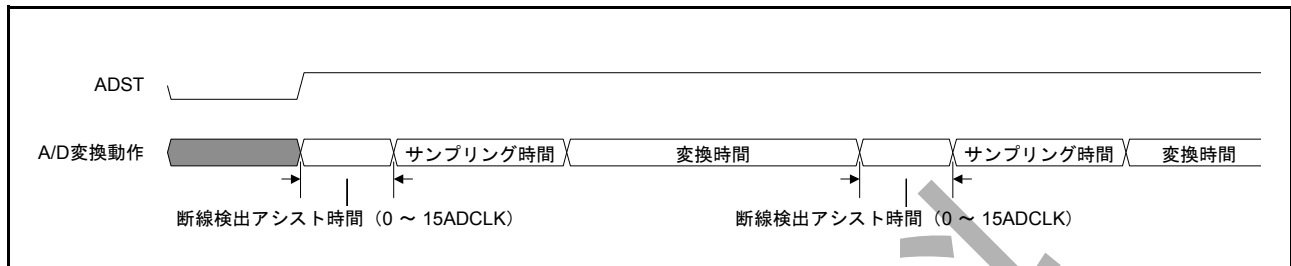


図 39.26 断線検出アシスト機能を使用した場合の A/D 変換動作図

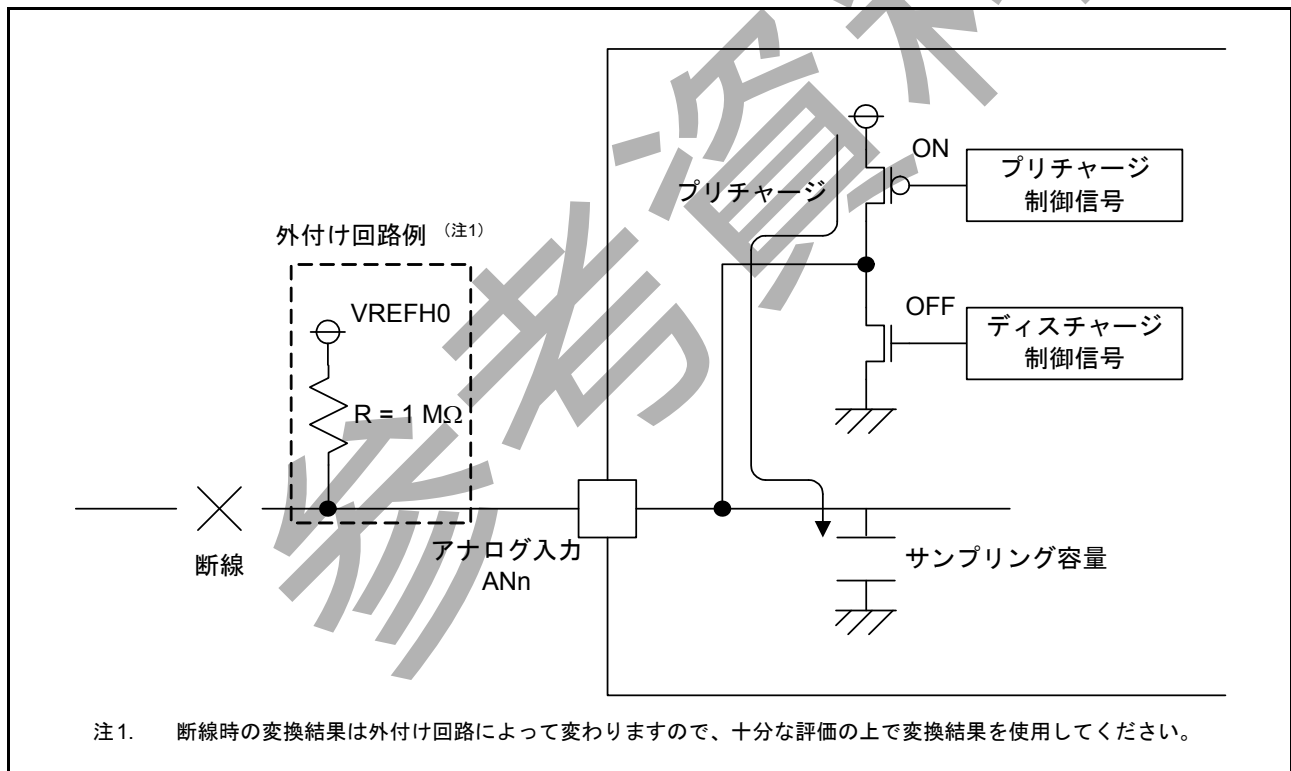


図 39.27 プリチャージを選択した場合の断線検出例

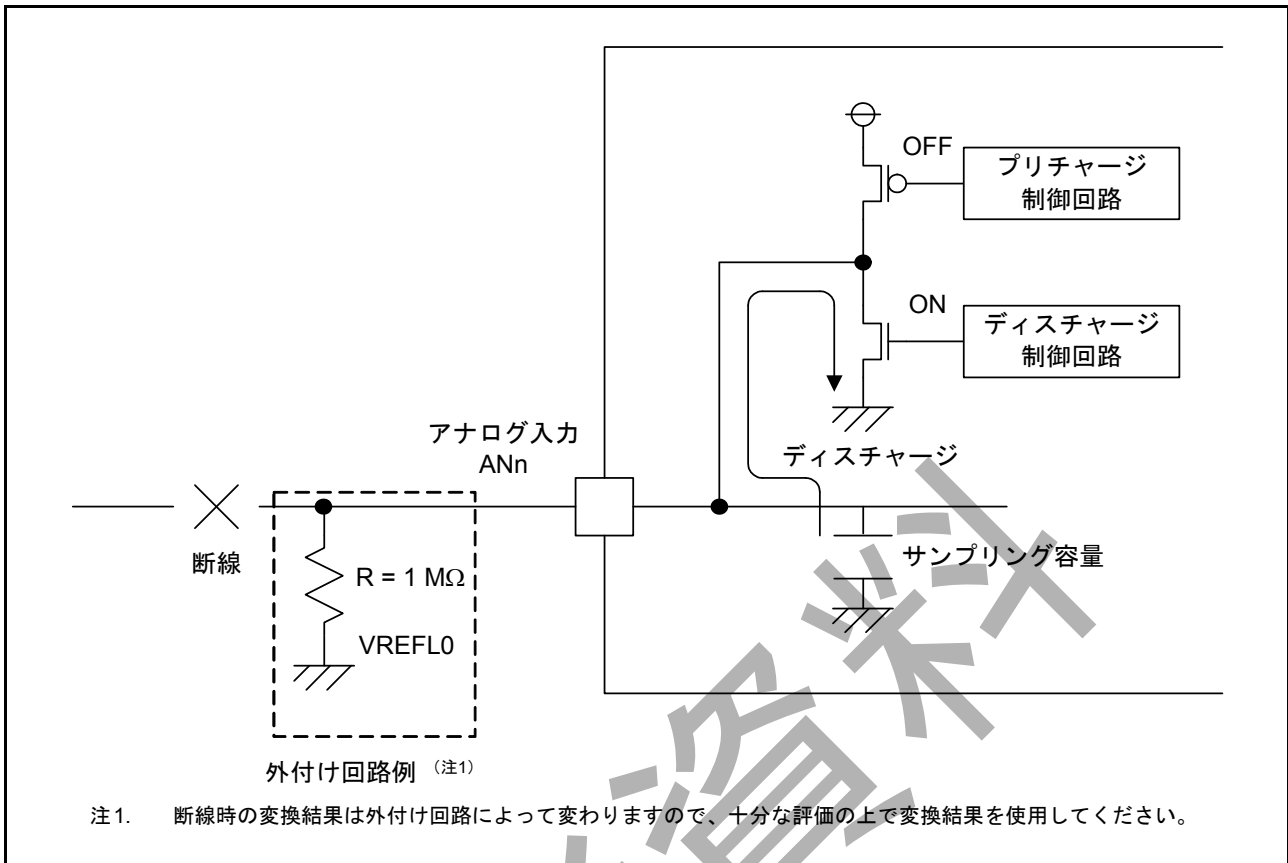


図 39.28 ディスチャージを選択した場合の断線検出例

39.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、PmnPFS レジスタで端子機能を設定し、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を 000000b に設定し、非同期トリガ (ADTRG0 端子) に High を入力した後、ADCSR.TRGE ビットを 1、ADCSR.EXTRG ビットを 1 にします。図 39.29 に非同期トリガ入力タイミングを示します。

非同期トリガは、グループスキャンモードで使用するグループ B の A/D 変換開始トリガ選択ビット (ADSTRGR.TRSB[5:0]) では選択できません。端子機能の設定については、「20. I/O ポート」を参照してください。

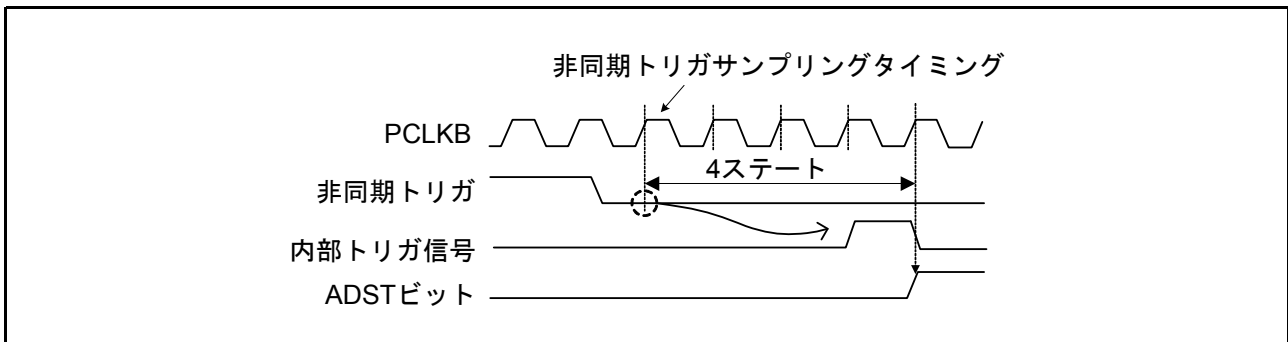


図 39.29 非同期トリガ入力タイミング

### 39.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

A/D 変換は同期トリガ (ELC) によって開始できます。同期トリガで A/D 変換を開始する方法を以下に示します。

1. ADCSR.TRGE ビットを 1 にする。
2. ADCSR.EXTRG ビットを 0 にする。
3. ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビットで該当の A/D 変換開始要因を選択する。

参考資料

## 39.4 割り込み要因と DTC/DMAC 転送要求

### 39.4.1 割り込み要求

14ビットADCは、CPUへのスキャン終了割り込み要求であるADC140\_ADI、ADC140\_GBADI割り込みを発生することができます。また、比較条件成立で、CPUへのADC140\_CMPAI/ADC140\_CMPBI割り込みを発生します。

ADC140\_ADI割り込みは常時発生します。ADC140\_GBADI割り込みはADCSR.GBADIEビットを1にすることで発生できます。同様に、ADC140\_CMPAIおよびADC140\_CMPBI割り込みはADCMPCR.CMPIEビットを1にすることで発生できます。

また、ADC140\_ADIまたはADC140\_GBADI割り込み発生時にDTCまたはDMACを起動できます。ADC140\_ADIまたはADC140\_GBADI割り込みで変換されたデータの読み出しをDTCまたはDMACで行うと、連続変換がソフトウェアの負担なく実現できます。

表 39.11 ADC14の割り込み要因およびELCイベント

動作			割り込み要求 または ELCイベント	割り 込み 要求	DTC/DMACの 起動	ELC イベント 要求	機能	
スキャン モード	ダブル トリガ モード	コンペア 機能 ウィンドウ A/B						
シングル スキャン モード	非選択	非選択	ADC140_ADI	○	○	○	シングルスキャンの最後にADC140_ADI発生	
		選択	ADC140_ADI	○	○	○	シングルスキャンの最後にADC140_ADI発生	
			ADC140_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC140_CMPAI発生	
			ADC140_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC140_CMPBI発生	
			ADC140_WCMPPM	x	○	○	ウィンドウA/Bコンペア機能の条件一致でADC140_WCMPPM発生	
		ADC140_WCMPUM	x	○	○	ウィンドウA/Bコンペア機能の条件不一致でADC140_WCMPUM発生		
	選択	非選択	ADC140_ADI	○	○	○	2回のスキャンの最後にADC140_ADI発生	
連続 スキャン モード	非選択	非選択	ADC140_ADI	○	○	○	選択したすべてのチャンネルのスキャン終了時にADC140_ADI発生	
		選択	ADC140_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC140_CMPAI発生	
			ADC140_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC140_CMPBI発生	
グループ スキャン モード	非選択	非選択	ADC140_ADI	○	○	○	グループAのスキャン終了時にADC140_ADI発生	
				ADC140_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC140_GBADI発生
		選択	ADC140_ADI	○	○	○	グループAのスキャン終了時にADC140_ADI発生	
				ADC140_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC140_GBADI発生
				ADC140_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC140_CMPAI発生
				ADC140_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC140_CMPBI発生
	選択	非選択	ADC140_ADI	○	○	○	2回のグループAのスキャン終了時にADC140_ADI発生	
		ADC140_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC140_GBADI発生		

DTCの設定は「18. データトランスファコントローラ (DTC)」を、DMACの設定は「17. DMAコントローラ (DMAC)」を参照してください。



## 39.5 イベントリンク機能

### 39.5.1 ELC へのイベント出力

ELC は、ADC140\_ADI 割り込み要求信号をイベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ADC140\_GBADI 割り込みおよび ADC140\_CMPAI/ADC140\_CMPBI 割り込みをイベント信号として使用することはできません。詳細は、表 39.11 の割り込みおよび ELC イベント機能を参照してください。

### 39.5.2 ELC からのイベントによる 14 ビット ADC の動作

14 ビット ADC は、ELC の ELSRn 設定に応じた事前設定イベント信号 (ELC\_AD00 および ELC\_AD01) によって A/D 変換を開始できます。

ELC\_AD00 は ELC.ELSR8 レジスタで選択する信号です。

ELC\_AD01 は ELC.ELSR9 レジスタで選択する信号です。

A/D 変換中に ELC\_AD00/ELC\_AD01 のイベントが発生した場合、そのイベントは無効となります。

## 39.6 基準電圧の選択

A/D コンバータは高電位基準電圧に VREFH0 または AVCC0 を、内部基準電圧および低電位基準電圧に VREFL0 または AVSS0 を選択できます。これらの設定は A/D 変換開始前に行ってください。設定についての詳細は、ADHVREFCNT レジスタのセクションを参照してください。

### 39.7 高電位基準電圧に内部基準電圧を選択する A/D 変換手順

ここでは、高電位基準電圧に内部基準電圧を選択したときの A/D 変換手順について説明します。この場合、AN000 ~ AN027 のチャンネルに対しての A/D 変換は可能ですが、内部基準電圧および温度センサ出力の A/D 変換は実行できません。

1. ADHVREFCNT.HVSEL[1:0] を 11b にして、ADC の高電位基準電圧パスをディスチャージしてください。
2. ソフトウェア内で  $1\mu\text{s}$  のディスチャージ時間待機してください。
3. ADHVREFCNT.HVSEL[1:0] を 10b にして、高電位基準電圧に内部基準電圧を選択してください。

注 . A/D コンバータはプロテクト機能を有しており、VREFH0 (ADHVREFCNT.HVSEL[1:0] = 01b) や AVCC (ADHVREFCNT.HVSEL[1:0] = 00b) 選択からディスチャージ (ADHVREFCNT.HVSEL[1:0] = 11b) を経ずに内部基準電圧 (ADHVREFCNT.HVSEL[1:0] = 10b) を選択することはできません。ディスチャージを経ずに内部基準電圧を設定した場合は、強制的にディスチャージの設定を行います。 $1\mu\text{s}$  後、再度、内部基準電圧の選択を行ってください。

4. 内部基準電圧が安定するまでソフトウェア内で待機してから ( $5\mu\text{s}$ )、A/D 変換を実行してください。高電位基準電圧に内部基準電圧を選択する手順の波形図を [図 39.30](#) に示します。

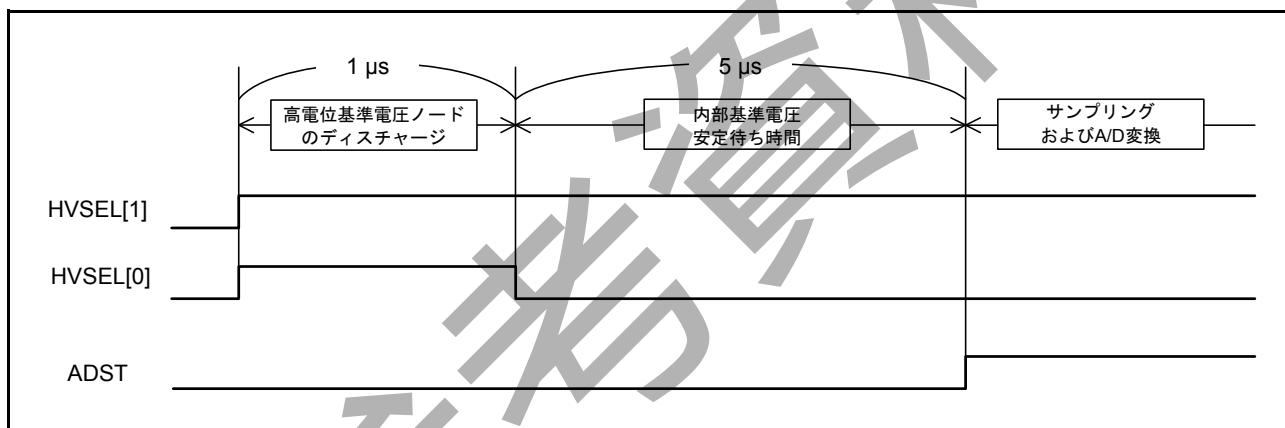


図 39.30 高電位基準電圧に内部基準電圧を選択する手順

## 39.8 使用上の注意事項

### 39.8.1 データレジスタの読み出し注意事項

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D 自己診断データレジスタ

バイト単位で上位バイト/下位バイトの2回に分けてレジスタを読み出すことにより、1回目に読み出したA/D変換値と2回目に読み出したA/D変換値で矛盾することがあります。これを避けるために、バイト単位のデータレジスタの読み出しは行わないでください。

参考資料

## 39.8.2 A/D変換停止時の注意事項

A/D変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D変換を停止させるためには、[図 39.31](#) のフローチャートの手順に従ってください。

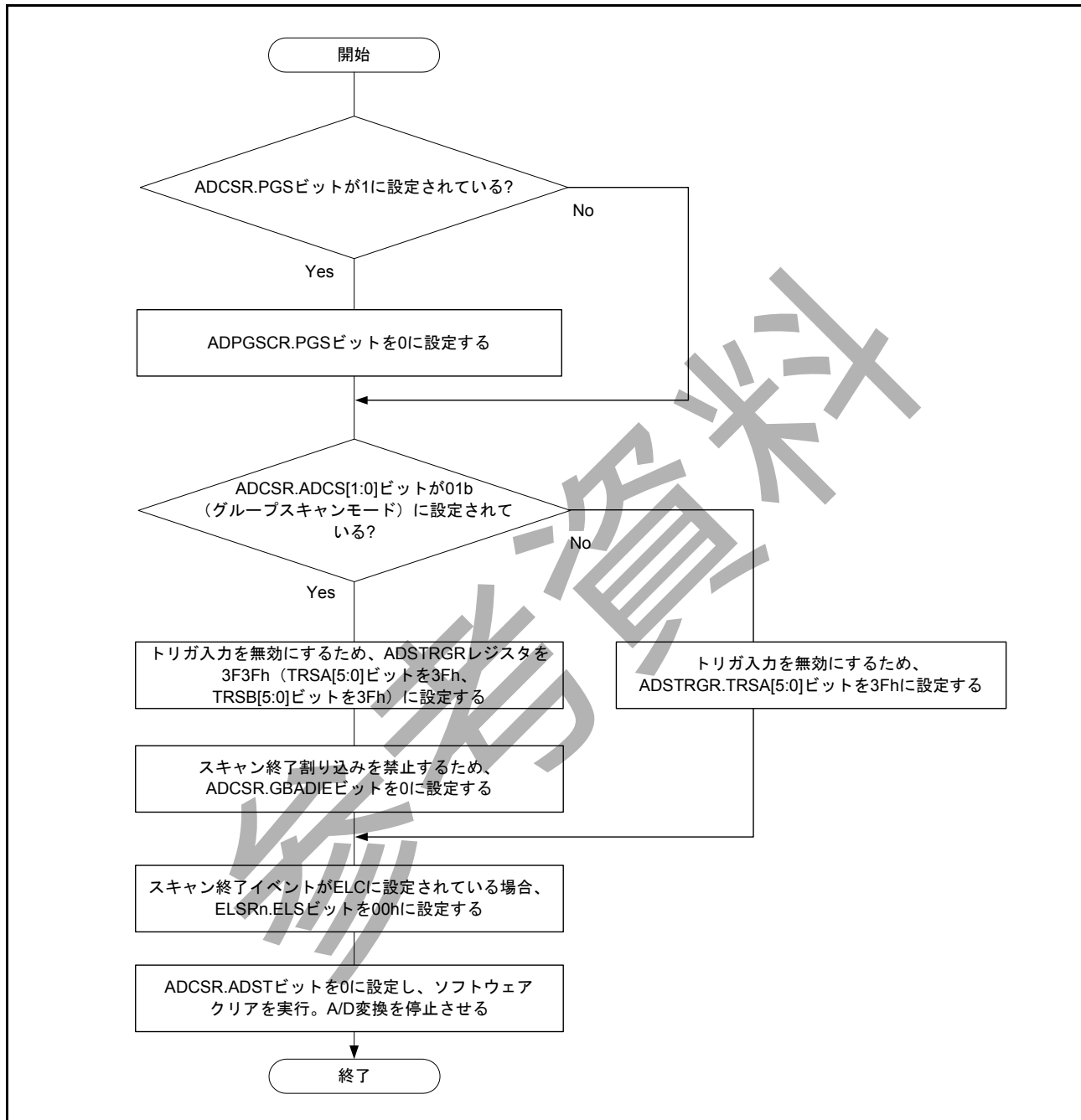


図 39.31 ソフトウェアによる ADCSR.ADST ビットのクリア手順

### 39.8.3 A/D変換強制停止と開始時の動作タイミング

14ビットADCのアナログ部が停止した状態で ADCSR.ADST ビットを1にし14ビットADCのアナログ部が動作を開始するのに ADCLK で最大6クロックの時間を必要とします。14ビットADCのアナログ部が動作中に ADCSR.ADST ビットを0にし14ビットADCのアナログ部が動作を停止するのに ADCLK で最大3クロックの時間を必要とします。

### 39.8.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

### 39.8.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、14ビットADCの動作禁止/許可を設定することが可能です。デフォルト設定では、14ビットADCの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 $\mu$ s以上待ってからA/D変換を開始してください。詳細は、「11. 低消費電力モード」を参照してください。

### 39.8.6 低消費電力状態への遷移時の注意

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前にA/D変換を停止させてください。そのとき、ADCSR.ADST ビットを0にした後、14ビットADCのアナログ部が停止するまでの時間を確保する必要があります。

図 39.31 に示す、ソフトウェアによる ADCSR.ADST ビットのクリア手順に従ってください。その後、ADCLK の3クロック期間待った後、モジュールストップ状態やソフトウェアスタンバイモードへ遷移させてください。

### 39.8.7 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、A/Dコンバータの絶対精度誤差が生じます。この誤差は、アナログ入力端子にプルアップ/プルダウン抵抗 ( $R_p$ ) と信号源抵抗 ( $R_s$ ) の抵抗分圧分の誤差電圧が入力されるために生じます。絶対精度の誤差は下式で表されます。断線検出アシスト機能は、十分な評価の上で使用してください。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s/R_p$$

### 39.8.8 ADHSC ビット書き換え手順

A/D変換選択ビット (ADCSR.ADHSC) を0から1または1から0に書き換える場合、事前にA/Dコンバータをスタンバイ状態にしておく必要があります。以下の1～3を行い、ADCSR.ADHSCビットを変更してください。スリープビット (ADHVREFCNT.ADSL P) を0にしてから1ms以上待ってからA/D変換を開始してください。

[ADCSR.ADHSCビット書き換え手順]

1. スリープビット (ADHVREFCNT.ADSL P) を1にします。
2. 0.2 $\mu$ s以上待ってからA/D変換選択ビット (ADCSR.ADHSC) を変更してください。
3. 4.8 $\mu$ s以上待ってからスリープビット (ADHVREFCNT.ADSL P) を0にしてください。

- 注1. A/D変換選択ビット (ADCSR.ADHSC) を変更する目的以外でスリープビット (ADHVREFCNT.ADSL P) を1にしないでください。
- 注2. A/D変換選択ビット (ADCSR.ADHSC) が1の場合はスリープビットをリセットしないでください。A/D変換選択ビット (ADCSR.ADHSC) を0にした後、動作モードがモジュールストップモードに移した後は、ADCSR.ADHSCビットの書き換え手順に従いスリープビットをリセットしてください。

### 39.8.9 動作モードおよびステータスビットについての注意事項

- 自己診断の電圧値は、ADCER.DIAGLDを1にしてからADCER.DIAGVAL[1:0]で選択できます。
- ダブルトリガモードは、ADCSR.DBLEを0から1にした後、1回目のスキャンとして動作します。
- コンペア機能のステータスマニタビット (MONCMPA、MONCMPB、MONCMPA) は、ADCMPCR.CMPAEおよびADCMPCR.CMPBEを0にした後、初期化されます。
- 常時サンプリング機能 (ADSHMSR.SHMD=1) は、ADSHMSR.SHMDを0にした後、初期化されます。常時サンプリング機能を再び使用する (ADSHMSR.SHMDを1にする) 場合、1ADCLK以上待つ必要があります。

### 39.8.10 ノイズ対策についての注意事項

過剰電圧などの異常電圧によってアナログ入力端子 (AN000 ~ AN027) が破壊されないように、AVCC0 および AVSS0 間、ならびに VREFH0 および VREFL0 間にコンデンサを設置する必要があります。また、アナログ入力端子 (AN000 ~ AN027) を保護するために、[図 39.32](#) に示すように保護回路を接続してください。

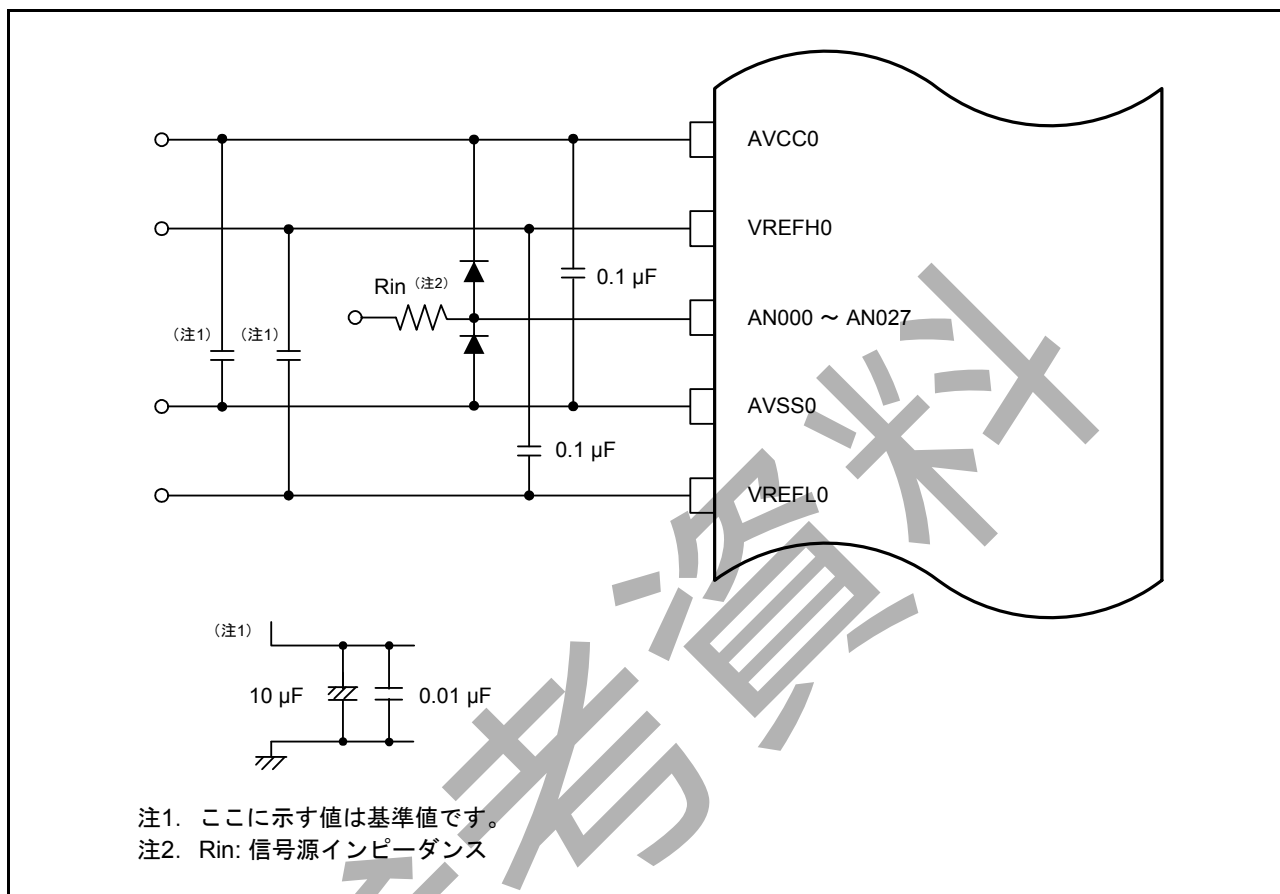


図 39.32 アナログ入力用サンプル保護回路

### 39.8.11 外部バス使用時の注意事項

外部バスをアクセス中に A/D 変換をする場合、精度が悪化する可能性があります。このような場合は、複数回の変換を実施し、最大値・最小値を除いた A/D 変換値の平均をとるなどのソフト対策を実施してください。

### 39.8.12 14ビットA/Dコンバータ入力を使用する場合のポートの設定

14ビットA/Dコンバータを使用する場合は、出力ポートに PORT0 を使用しないでください。また、PORT5 および P100 ~ P103 は、出力ポートに使用しないことを推奨します。PORT5 および P100 ~ P103 を出力信号として使用する場合は、A/D 変換を複数回実施し、最大値と最小値を除いて平均をとるなどの対策を行ってください。

### 39.8.13 A/Dコンバータ、OPAMP、ACMPHS、ACMPLPの関係

表 39.12 に示す A/D 変換対象は、A/D 変換中の OPAMP、ACMPHS、および ACMPLP 入力に選択できません。

表 39.12 A/D 変換中に選択できない OPAMP、ACMPHS、および ACMPLP 端子一覧

A/D 変換対象	OPAMP	ACMPHS	ACMPLP
AN000	AMP0+	ACMPHS1.IVREF0, IVCMP0	-
AN001	AMP0-	ACMPHS1.IVREF1, IVCMP0	-
AN002	-	ACMPHS1.IVREF2, IVCMP2	-
AN003	-	ACMPHS1.IVREF3, IVCMP3	-
AN004	-	ACMPHS0.IVCMP0	-
AN005	AMP3+	ACMPHS0.IVREF0	-
AN006	AMP3-	ACMPHS0.IVREF1, ACMPHS1.IVREF4	-
AN007	-	ACMPHS0.IVCMP1, ACMPHS1.IVCMP4	-
AN010	AMP2-	-	-
AN011	AMP2+	-	-
AN012	AMP1-	-	-
AN013	AMP1+	-	-
AN014/DA0	-	ACMPHS0.IVREF2, ACMPHS1.IVREF5	-
AN015/DA1	-	ACMPHS0.IVCMP2, ACMPHS1.IVCMP5	-
AN024	-	-	CMPREF1
AN025	-	-	CMPIN1
AN026	-	-	CMPREF0
AN027	-	-	CMPIN0

### 39.8.14 ソフトウェアスタンバイモードの解除についての注意事項

ソフトウェアスタンバイモードから通常モードへの遷移後は、1 $\mu$ s 待ってから A/D 変換を開始してください。



## 40. 12ビットD/Aコンバータ (DAC12)

### 40.1 概要

本MCUは、12ビットD/Aコンバータ (DAC12) を内蔵しています。

表 40.1 に DAC12 の仕様を、図 40.1 に DAC12 のブロック図を示します。

表 40.1 DAC12の仕様

項目	内容
分解能	12ビット
出力チャンネル	2チャンネル
アナログモジュール間の干渉低減	D/A変換回路とA/D変換回路の干渉を低減 D/A変換データ更新タイミングは、ADC14からの同期D/A変換許可入力信号により制御され、これにより、DAC12ラッシュカレントのA/D変換精度に及ぼす影響を低減する
モジュールストップ機能	モジュールストップ状態を設定して消費電力を低減
イベントリンク機能 (入力)	イベント信号の入力により、DA0およびDA1変換の開始が可能

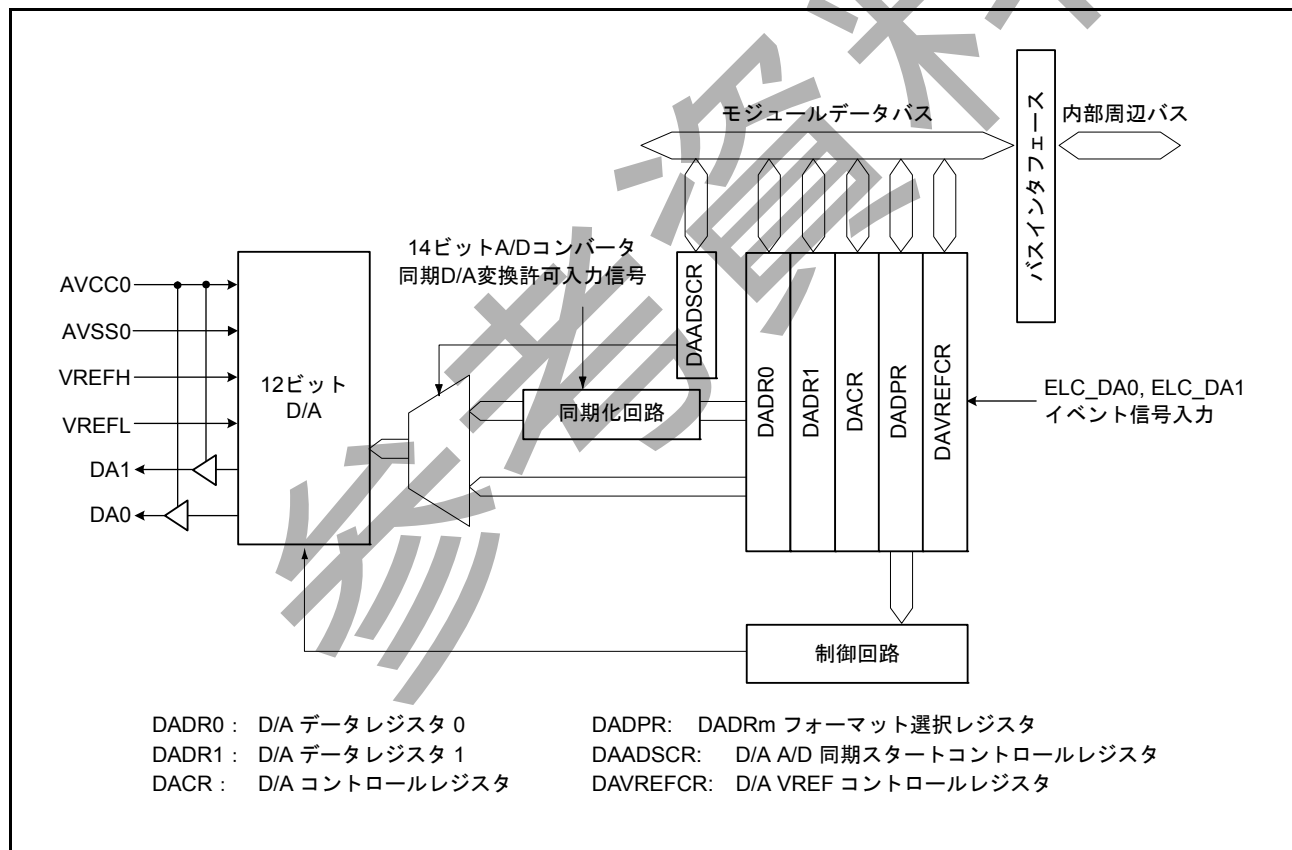


図 40.1 DAC12のブロック図

表 40.2 に DAC12 の入出力端子を示します。

表 40.2 DAC12の端子構成

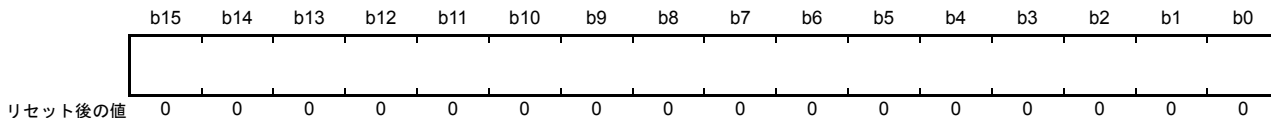
端子名	入出力	機能
AVCC0	入力	<ul style="list-style-type: none"><li>• ADC14、DAC12、コンパレータ、およびOPAMP用のアナログ電源端子</li><li>• これらのモジュールを使用しない場合は、VCCに接続してください。</li></ul>
AVSS0	入力	<ul style="list-style-type: none"><li>• ADC14、DAC12、コンパレータ、およびOPAMP用のアナロググランド端子</li><li>• これらのモジュールを使用しない場合は、VSSに接続してください。</li></ul>
VREFH	入力	D/Aコンバータのアナログ基準電圧端子
VREFL	入力	D/Aコンバータのアナログ基準グランド端子
DA0	出力	チャンネル0のアナログ出力端子
DA1	出力	チャンネル1のアナログ出力端子

参考資料

## 40.2 レジスタの説明

### 40.2.1 D/A データレジスタ m (DADRm) (m = 0, 1)

アドレス [DAC12.DADR0 4005 E000h](#), [DAC12.DADR1 4005 E002h](#)

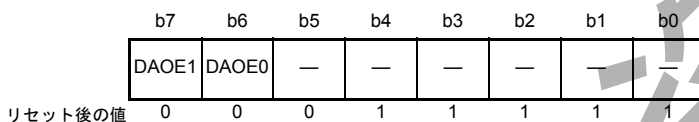


DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し/書き込みレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換されアナログ出力端子に出力されます。DADPR.DPSEL ビットで、12 ビットデータのフォーマットを左詰め/右詰めに設定できます。

右詰め形式 (DADPR.DPSEL = 0) では、下位 12 ビット (b11 ~ b0) が有効です。左詰め形式 (DADPR.DPSEL = 1) では、上位 12 ビット (b15 ~ b4) が有効です。

### 40.2.2 D/A コントロールレジスタ (DACR)

アドレス [DAC12.DACR 4005 E004h](#)



ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	DAOE0	D/A出力許可0	0: チャンネル0のアナログ出力 (DA0) を禁止 1: チャンネル0 (DA0) のD/A変換およびアナログ出力を許可	R/W
b7	DAOE1	D/A出力許可1	0: チャンネル1のアナログ出力 (DA1) を禁止 1: チャンネル1 (DA1) のD/A変換およびアナログ出力を許可	R/W

本レジスタは、D/A 変換と A/D 変換の干渉低減が有効 (DAADSCR.DAADST = 1) の状態で、ADC14 が停止中 (ADCSR.ADST = 0) かつ ADC14 トリガとしてソフトウェアトリガが選択されている場合のみ設定してください。

#### DAOEi ビット (D/A 出力許可 i)

DAOEi ビット (i=0, 1) は D/A 変換とアナログ出力を許可します。D/A 変換と A/D 変換の干渉低減が有効 (DAADSCR.DAADST = 1) の状態で、ADC14 が停止中 (ADCSR.ADST = 0) かつ ADC14 トリガとしてソフトウェアトリガが選択されている場合のみ DAOEi ビットを設定してください。

イベントリンク機能により DAOEi ビットを 1 にできます。ELC\_DA0 の ELSR12 レジスタで指定されたイベントが発生すると、DAOE0 ビットが 1 になり、D/A 変換結果の出力を開始します。ELC\_DA1 の ELSR13 レジスタで指定されたイベントが発生すると、DAOE1 ビットが 1 になり、D/A 変換結果の出力を開始します。

### 40.2.3 DADR0 フォーマット選択レジスタ (DADPR)

アドレス **DAC12.DADPR 4005 E005h**

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DPSEL	DADRm フォーマット選択	0 : 右詰め 1 : 左詰め	R/W

### 40.2.4 D/A A/D 同期スタートコントロールレジスタ (DAADSCR)

アドレス **DAC12.DAADSCR 4005 E006h**

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DAADST	D/A A/D 同期変換	0 : DAC12はADC14の動作と同期しない (D/A変換とA/D変換の干渉低減が無効) 1 : DAC12はADC14の動作と同期する (D/A変換とA/D変換の干渉低減が有効)	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉低減のため、D/A 変換開始を ADC14 トリガからの同期 D/A 変換許可入力信号に同期させるかさせないかを選択します。

本レジスタは、ADC14 が停止中 (ADCSR.ADST=0) かつ ADC14 トリガとしてソフトウェアトリガが選択されている場合のみ設定してください。

また、DAADST ビットを 1 にする前に、ADC14 の対象ユニットをユニット 1 に設定する必要があります。

#### DAADST ビット (D/A A/D 同期変換)

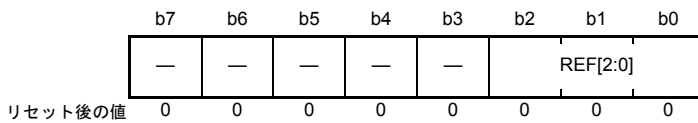
DAADST ビットを 0 にすると、DADRm レジスタの値を随時 D/A 変換します。DAADST ビットを 1 にすると、ADC14 からの同期 D/A 変換許可入力信号に同期して D/A 変換が行われます。すなわち、このビットを設定した場合、DADRm レジスタの値を書き換えても、ADC14 の A/D 変換が終了するまで D/A 変換は行われません。

本ビットは、ADC14 が停止中 (ADCSR.ADST=0) かつ ADC14 トリガとしてソフトウェアトリガが選択されている場合のみ設定してください。なお、DAADST ビットを 1 にした場合は、イベントリンク機能は使用できません。ELC の ELSR12 レジスタおよび ELSR13 レジスタでイベントリンク機能を停止に設定してください。

DAADST ビットの設定は、DAC12 のチャンネル 0 およびチャンネル 1 に共通です。

## 40.2.5 D/A VREF コントロールレジスタ (DAVREFCR)

アドレス DAC12.DAVREFCR 4005 E007h



ビット	シンボル	ビット名	機能	R/W
b2-b0	REF[2:0]	D/A 基準電圧選択	b2 b0 0 0 0 : 基準電圧を選択しない 0 0 1 : AVCC0/AVSS0を選択 0 1 1 : 内部基準電圧/AVSS0を選択 1 1 0 : VREFH/VREFLを選択 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

D/A VREF コントロールレジスタ (DAVREFCR) は、DAC12 の基準電圧を選択するためのレジスタです。

**REF[2:0] ビット (D/A 基準電圧選択)**

DAC12 のチャンネル 0 または 1 の基準電圧を選択するビットです。ビット値を変更する場合は DAVREFCR.REF[2:0] ビットに 000b を書いてから変更してください。変更後に REF[2:0] ビットを読み出し、値が変更されたことを確認してください。内部基準電圧を選択するときは DADR0 レジスタと DADR1 レジスタを 0000h にして、VREF 経路をディスチャージしてから電圧を切り替えてください。リセット解除後も経路はディスチャージされた状態なので、内部基準電圧を選択することができます。ディスチャージについては、[40.3.2 内部基準電圧を基準電圧として使用する時の注意事項](#)を参照してください。また、ADC14 が A/D 変換中は本レジスタを書き換えしないでください。書き換えた場合、A/D 変換の精度は保証されません。内部基準電圧を選択した場合は電圧発生回路が動作し、電流が増加します。内部基準電圧を選択したままソフトウェアスタンバイモードに遷移しても、電圧発生回路は自動的に OFF しません。

### 40.3 動作説明

DAC12には2チャンネルのD/A変換回路があり、それぞれ独立して変換を行うことができます。DACR.DA0Enビット (n=0, 1) を1にすると、DAC12が有効になり、変換結果が出力されます。

以下にチャンネル0でのD/A変換例を示します。このときの動作タイミングを図40.2に示します。

1. DADR0レジスタにD/A変換を行うためのデータ、DADPR.DPSELビットにデータフォーマットを設定します。
2. DACR.DA0E0ビットを1にすると、D/A変換を開始します。tDCONV時間経過後、変換結果をアナログ出力端子DA0より出力します。DADR0レジスタを書き換えるか、DA0E0ビットを0にするまで、この変換結果が出力され続けます。出力値は以下の式で計算します。

$$\frac{\text{DADRmの設定値}}{4096} \times \text{基準電圧}$$

3. 別の変換を開始するには、別の値をDADR0へ書き込みます。tDCONV時間経過後、変換結果が出力されます。DAADSCR.DAADSTビットが1 (D/A変換とA/D変換の干渉低減が有効) の場合、D/A変換開始まで最大でA/D変換1回分の時間が必要です。ADCLKが周辺クロックよりも速い場合は、さらに時間が必要となる場合があります。
4. アナログ出力を禁止する場合は、DA0E0ビットを0にしてください。

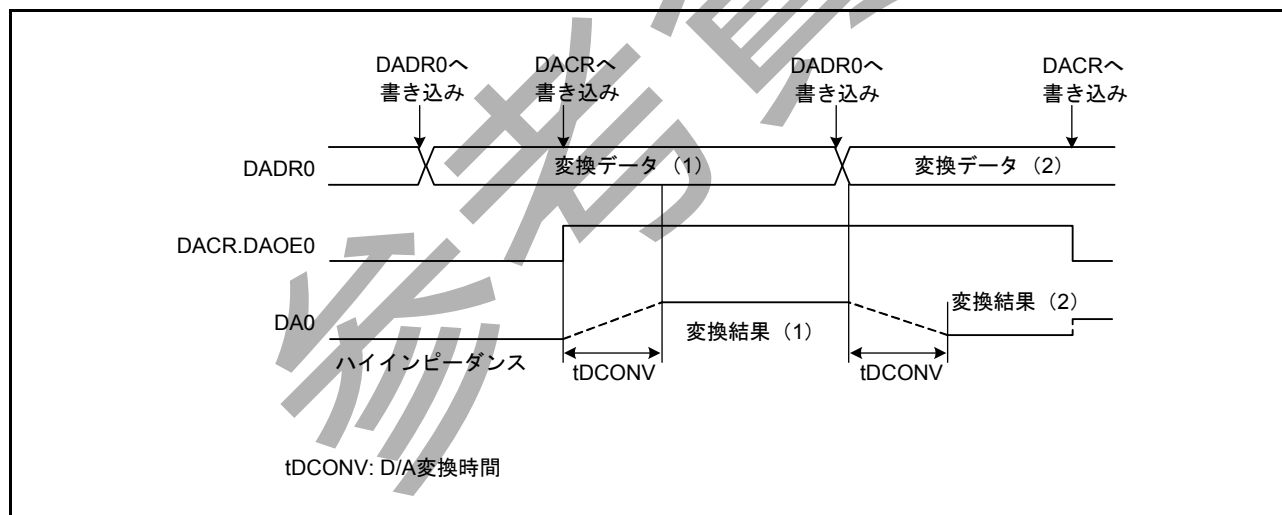


図 40.2 DAC12 の動作例

### 40.3.1 D/A変換とA/D変換の干渉の最小化

D/A変換が始まるとDAC12はラッシュカレントを発生させます。DAC12とADC14のアナログ電源が共通のため、発生したラッシュカレントが14ビットA/D変換に干渉することがあります。

DAADSCR.DAADSTビットが1の場合、DADRmレジスタのデータが変更されても、D/A変換はすぐには実施されません。その代わりに、

- ADC14が停止中にDADRmレジスタのデータが変更されても、1PCLKBサイクル後にD/A変換が開始されます。
- ADC14が実行中(ADCSR.ADSTビット=1)にDADR0レジスタが変更された場合、A/D変換完了時にD/A変換が開始されます。したがって、DADRmレジスタデータの更新がD/A変換回路の出力に反映されるまで、最大でA/D変換1回分の時間が必要です。D/A変換が完了するまでの間、DADR0レジスタ値とアナログ出力値は一致しません。

DAADSCR.DAADSTビットが1のときに、DADRmレジスタの値がD/A変換されたかどうかをソフトウェアで確認する手段はありません。

以下にDAC12をADC14に同期して動作させる場合のD/A変換例を示します。

1. ADC14が停止中であることを確認し、DAADSCR.DAADSTビットを1にする。
  2. ADC14が停止中であることを確認し、DACR.DAOE0ビットを1にする。
  3. DADR0レジスタを設定する。ADCLKが周辺クロックよりも速い場合は、D/A変換は、A/D変換1回分以上待たされる場合があります。
- DADR0レジスタを書き換えたとき、ADC14が停止していた場合(ADCSR.ADSTビット=0)、1PCLKBサイクル後にD/A変換が開始されます。
  - DADR0レジスタを書き換えたとき、ADC14が実行中の場合(ADCSR.ADSTビット=1)、A/D変換終了時にD/A変換が開始されます。A/D変換中に2回、DADR0レジスタを書き換えた場合、1回目の値は、D/A変換されないことがあります。

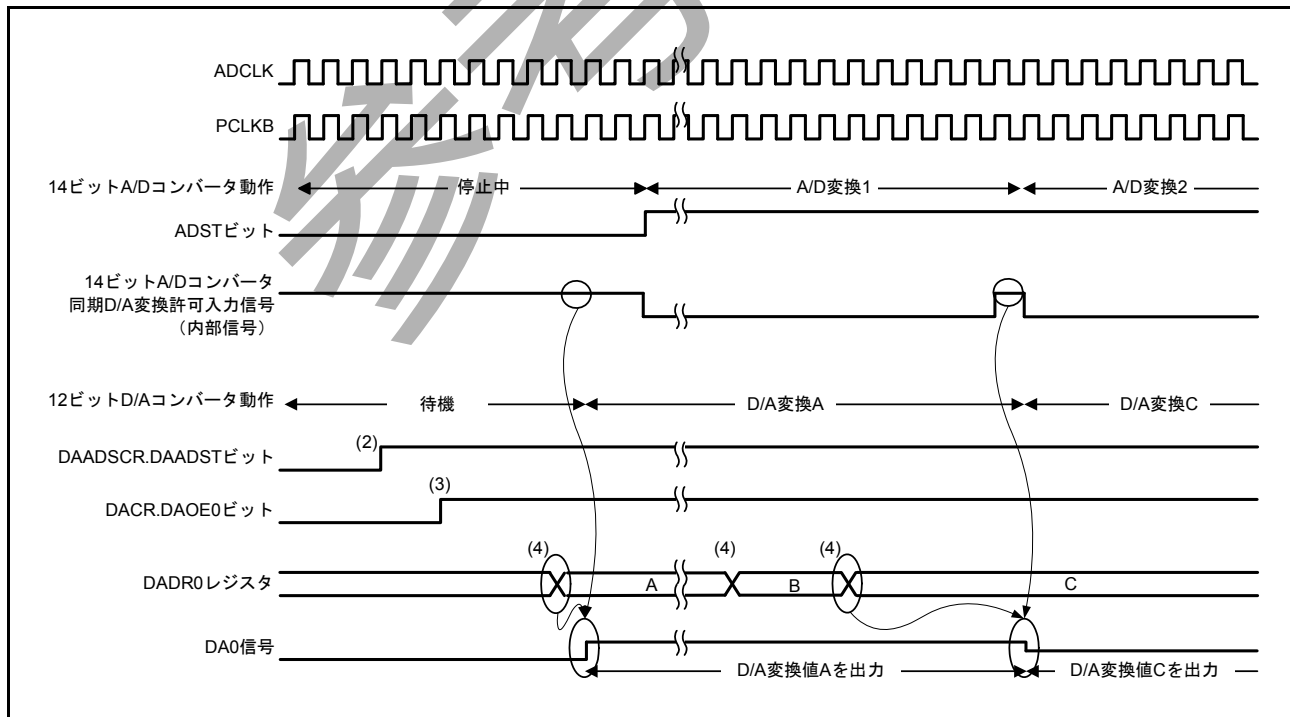


図 40.3 DAC12をADC14に同期して変換する例

図 40.4 に示すように、ADCLK が PCLKB よりも速い場合、A/D 変換 1 と A/D 変換 2 の間に出力される ADCLK 出力サイクル 1 つ分の ADC14 からの同期 D/A 変換許可入力信号を DAC12 が取り込めない可能性があります。この場合、DA0 信号は D/A 変換値 A の出力を継続します。

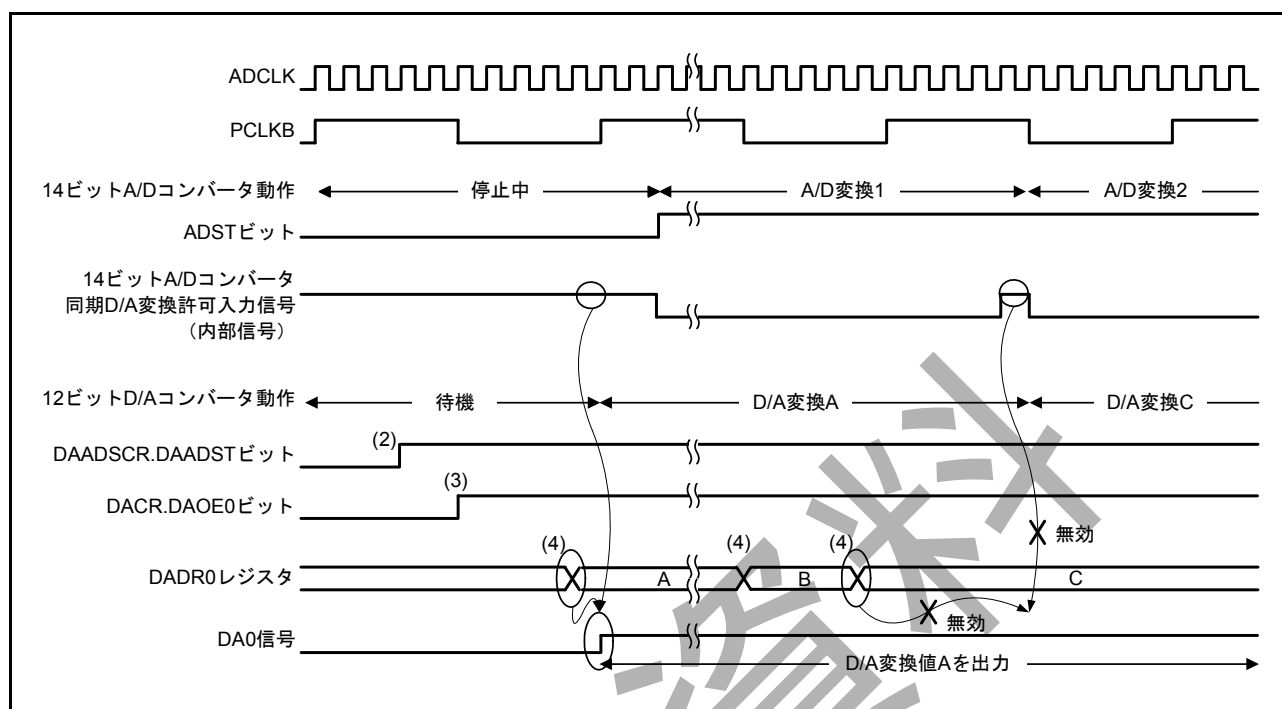


図 40.4 DAC12 が ADC14 からの同期 D/A 変換許可入力信号を取り込めない場合の例



### 40.3.2 内部基準電圧を基準電圧として使用する時の注意事項

DAVREFCR.REF[2:0] ビットを 011b にして、内部基準電圧 /AVSS0 を基準電圧として用いる場合、選択する前に VREF 経路をディスチャージする必要があります。ディスチャージ手順を以下に示します。

1. REF[2:0] ビットに 000b を書き込む。
2. DADR0 レジスタと DADR1 レジスタを 0000h にする。
3. 手順 2. の状態を 10 $\mu$ s 間維持する。(ディスチャージ動作)
4. ディスチャージ完了後に DAVREFCR.REF[2:0] ビットに 011b を書き込み、内部基準電圧 /AVSS0 を選択する。
5. DACR.DAOEn ビットを 1 にして、5 $\mu$ s の内部基準電圧安定時間を待機する。
6. DADRm レジスタにデータを書き込み、D/A 変換を開始する。

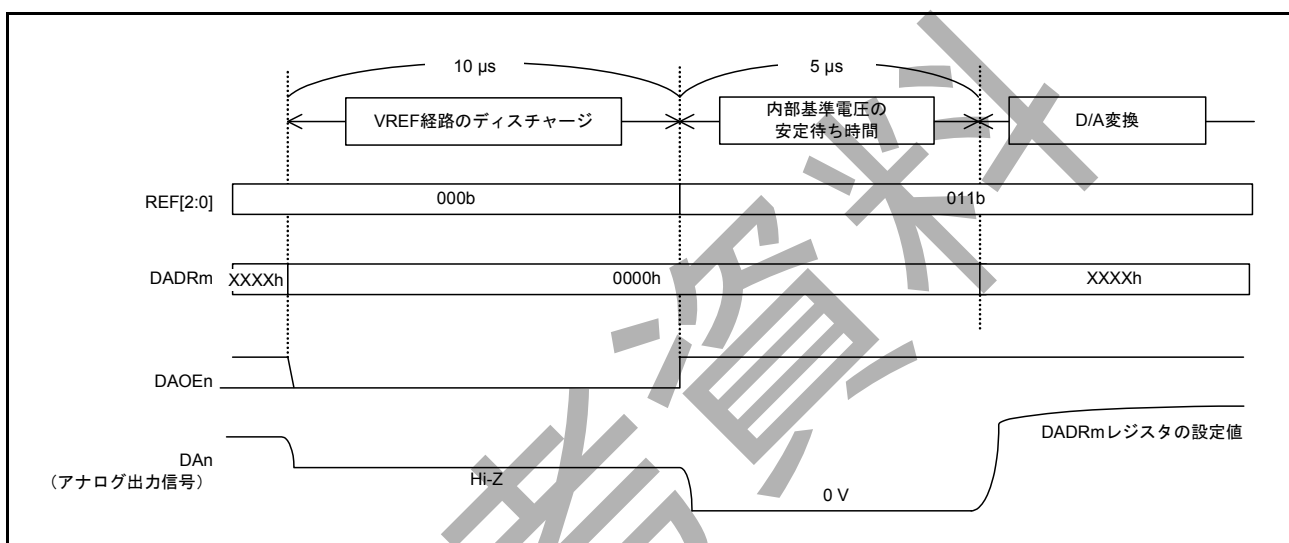


図 40.5 内部基準電圧を基準電圧に選択する手順

## 40.4 イベントリンクの動作設定手順

以下にイベントリンクの動作設定手順について説明します。

### 40.4.1 DA0 イベントリンクの動作設定手順

1. DADPR.DPSEL ビットを設定し、DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC\_DA0 イベント信号が ELSR12 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE0 ビットが 1 になり、チャンネル 0 の D/A 変換が開始されます。
5. DAC12 のチャンネル 0 のイベントリンク動作を停止するには、ELSR12.ELS[8:0] ビットを 000h にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

### 40.4.2 DA1 イベントリンクの動作設定手順

1. DADPR.DPSEL ビットを設定し、DADR1 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC\_DA1 イベント信号が ELSR13 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE1 ビットが 1 になり、チャンネル 1 の D/A 変換が開始されます。
5. DAC12 のチャンネル 1 のイベントリンク動作を停止するには、ELSR13.ELS[8:0] ビットを 000h にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

## 40.5 イベントリンク動作における注意事項

- DACR.DAOE0 ビットへの書き込み実行中に ELC\_DA0 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります。
- DACR.DAOE1 ビットへの書き込み実行中に ELC\_DA1 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります。
- D/A 変換と A/D 変換の干渉低減のため DAADSCR.DAADST ビットを 1 にしている場合、イベントリンク機能は使用禁止です。

## 40.6 使用上の注意事項

### 40.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、DAC12の動作を許可または禁止することが可能です。DAC12は、リセット後は動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

### 40.6.2 モジュールストップ状態でのDAC12の動作

D/A変換を許可した状態でMCUがモジュールストップ状態になると、D/A出力は保持され、アナログ電源電流はD/A変換中と同様になります。モジュールストップ状態のときにアナログ電源電流の低減が必要な場合は、DACR.DAOE1ビットとDACR.DAOE0ビットを0にしてD/A変換を禁止してください。

### 40.6.3 ソフトウェアスタンバイモード時のDAC12の動作

D/A変換を許可した状態でMCUがソフトウェアスタンバイモードになると、D/A出力は保持され、アナログ電源電流はD/A変換中と同様になります。ソフトウェアスタンバイモード時にアナログ電源電流の低減が必要な場合は、DACR.DAOE1ビットとDACR.DAOE0ビットを0にしてD/A変換を禁止してください。

### 40.6.4 D/A変換とA/D変換の干渉低減有効時の注意事項

DAADSCR.DAADSTビットが1で、かつD/A変換とA/D変換の干渉低減が有効の場合、ADC14をモジュールストップ状態にしないでください。A/D変換が停止するだけでなく、D/A変換も停止する可能性があります。

## 41. 温度センサ (TSN)

### 41.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサでチップの温度を決定し、監視することができます。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC14 で変換されてから、末端の応用機器で使用できます。

表 41.1 に温度センサの仕様を、図 41.1 に温度センサのブロック図をそれぞれ示します。

表 41.1 温度センサの仕様

項目	内容
温度センサ電圧出力	14ビットA/Dコンバータへ出力

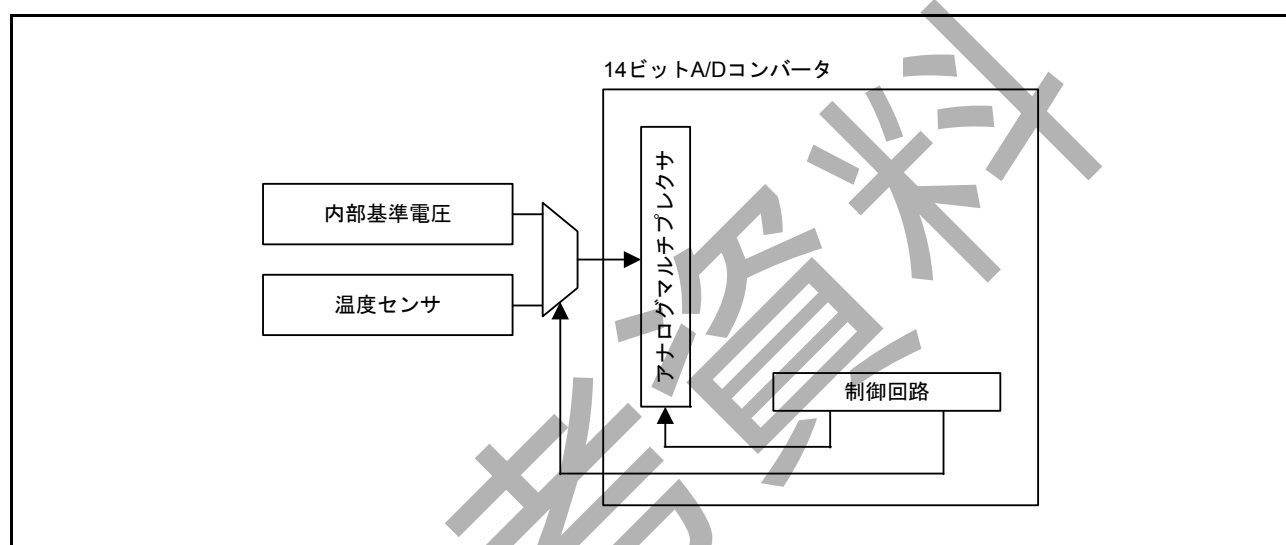
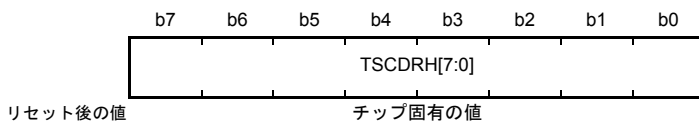


図 41.1 温度センサのブロック図

## 41.2 レジスタの説明

### 41.2.1 温度センサ較正データレジスタ H (TSCDRH)

アドレス TSN.TSCDRH 407E C228h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSCDRH[7:0]	温度センサ補正データ	変換後の値の上位4ビットを格納します。	R

### 41.2.2 温度センサ較正データレジスタ L (TSCDRL)

アドレス TSN.TSCDRL 407E C229h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSCDRL[7:0]	温度センサ補正データ	変換後の値の下位8ビットを格納します。	R

工場出荷時、TSCDRH レジスタおよび TSCDRL レジスタには、各チップ用に測定された温度センサ補正データが格納されています。温度センサ補正データは、温度センサが出力した電圧を、ADC14 によって  $T_a = T_j = 125\text{ }^\circ\text{C}$  および  $AVCC0 = 3.3\text{V}$  の条件下で変換したデジタル値です。TSCDRH レジスタには変換値の上位4ビットが、TSCDRL レジスタには下位8ビットがそれぞれ格納されます。

### 41.3 温度センサの使用法

温度センサが出力する電圧は、温度により変化します。この電圧は ADC14 でデジタル値に変換されます。デジタル値を温度に換算することで、チップの温度を求めることができます。

#### 41.3.1 使用前の準備

温度 (T) はセンサの電圧出力 (Vs) と比例関係にあるため、以下の式で温度を求められます。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

Vs : 温度測定時の温度センサの出力電圧 (V)

T1 : 1 点目の試行測定時の温度 (°C)

V1 : T1 測定時の温度センサの出力電圧 (V)

T2 : 2 点目の試行測定時の温度 (°C)

V2 : T2 測定時の温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 (V/°C)、 $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$

温度特性はセンサによってばらつきがあります。そのため、以下のような 2 つの異なるサンプル温度の測定を推奨します。

1. ADC14 を使用して、温度 T1 のときの温度センサの出力電圧 V1 を測定します。
2. ADC14 を再度使用して、温度 T1 と異なる温度 T2 のときの温度センサの出力電圧 V2 を測定します。
3. 両者の測定結果から、温度傾斜 ( $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$ ) を求めます。
4. この Slope の値を温度特性の式 ( $T = (V_s - V_1) / \text{Slope} + T_1$ ) に代入し、温度を求めます。

「51. 電気的特性」に記載の温度傾斜を用いる場合、温度 T1 のときの温度センサの出力電圧 V1 を ADC14 で測定し、以下の式により温度特性を算出します。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

注. この温度測定の精度は 2 点測定方法よりも劣ります。

TSCDRH レジスタおよび TSCDRL レジスタには、 $T_a = T_j = 125^\circ\text{C}$  および  $AVCC0 = 3.3\text{V}$  の条件下で測定された温度センサの温度値 (CAL125) が格納されています。この温度値を 1 点目のサンプル測定結果として使用する場合、温度センサ使用前の本準備を省略することができます。

本測定値 CAL125 は以下により算出します。

$$\text{CAL125} = (\text{TSCDRH レジスタ値} \ll 8) + \text{TSCDRL レジスタ値}$$

V1 を CAL125 から算出する場合

$$V_1 = 3.3 \times \text{CAL125} / 4096 \text{ [V]}$$

この値を用いて、以下の式により測定温度が算出できます。

$$T = (V_s - V_1) / \text{Slope} + 125 \text{ [}^\circ\text{C]}$$

- T : 測定温度 (°C)
- Vs : 温度測定時の温度センサの出力電圧 (V)
- V1 :  $T_a = T_j = 125^\circ\text{C}$  および  $AVCC0 = 3.3\text{V}$  のときの温度センサの出力電圧 (V)
- Slope : 温度センサの温度傾斜  $\div 1000$  (V/°C)

図 41.2 に測定温度の誤差を示します。標準偏差は  $3\sigma$  です。

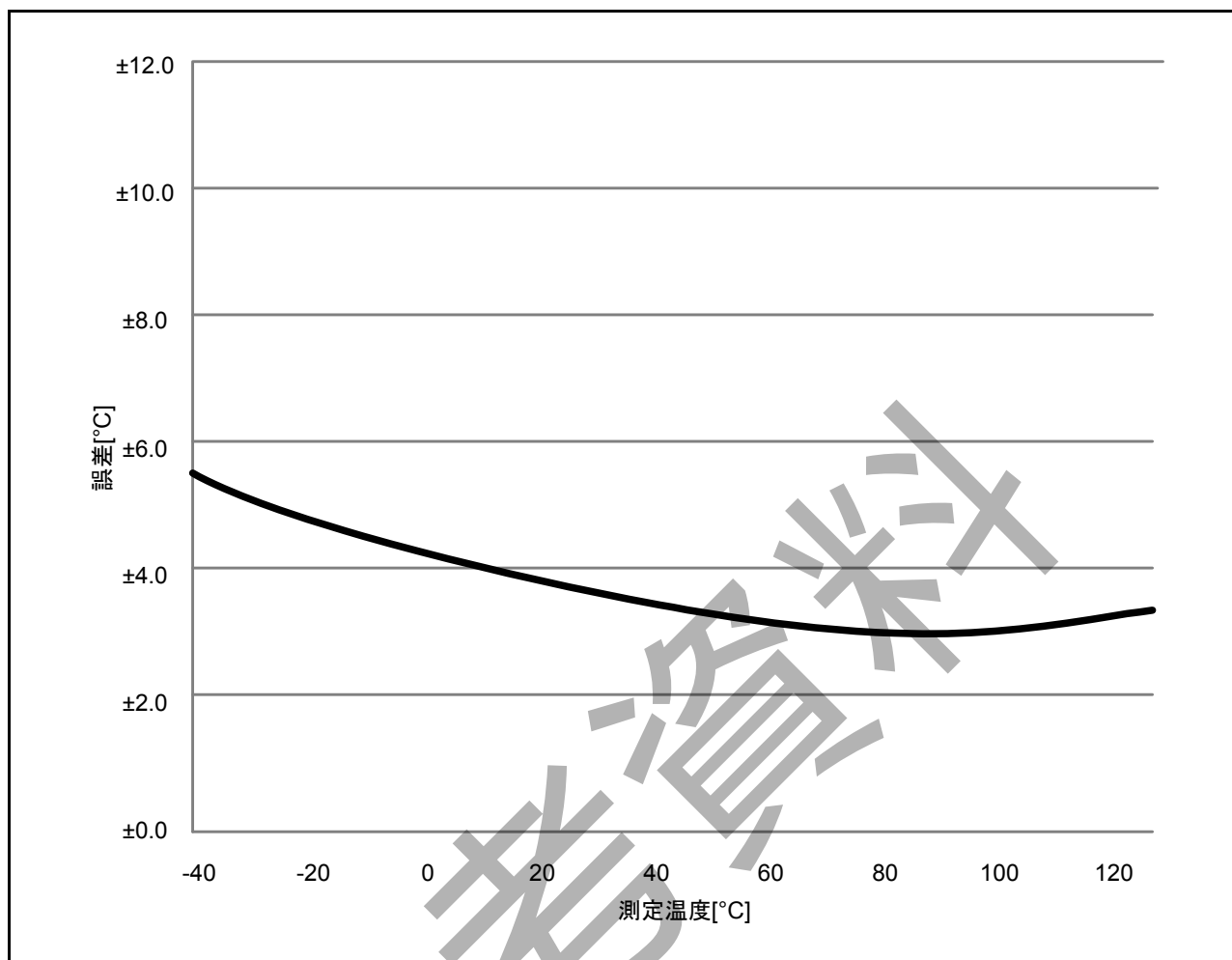


図 41.2 測定温度の誤差 (設計値)

#### 41.3.2 温度センサの使用手順

詳細は、「[39. 14ビット A/D コンバータ \(ADC14\)](#)」を参照してください。

## 42. オペアンプ (OPAMP)

オペアンプの入力/出力端子数は製品によって異なります。

単位	入出力端子	入出力	機能
ユニット0 (オペアンプ0)	AMP0+, AMP0-	入力	オペアンプ0 (+, -) の入力端子
	AMP0O	出力	オペアンプ0の出力端子
ユニット1 (オペアンプ1)	AMP1+, AMP1-	入力	オペアンプ1 (+, -) の入力端子
	AMP1O	出力	オペアンプ1の出力端子
ユニット2 (オペアンプ2)	AMP2+, AMP2-	入力	オペアンプ2 (+, -) の入力端子
	AMP2O	出力	オペアンプ2の出力端子
ユニット3 (オペアンプ3)	AMP3+, AMP3-	入力	オペアンプ3 (+, -) の入力端子
	AMP3O	出力	オペアンプ3の出力端子

### 42.1 概要

オペアンプを使用して、小さいアナログ入力電圧を増幅して出力することができます。本 MCU では、入力端子 2 つと出力端子 1 つを備えた差動オペアンプユニットを合計で 4 つ搭載しています。

オペアンプには次の機能があります。

- オペアンプを使用して、ユニットからの出力信号を出す ACMPHS のプラスおよびマイナス側にそれぞれ信号を入力できます
- すべてのユニットからの出力信号は、A/D コンバータへの入力信号に使用できます
- 高速モード (高消費電流) および低消費電力モード (低速応答) をサポートしており、応答速度と電流消費とのバランスに応じてどちらかのモードを選択できます
- 非同期汎用タイマ (AGT) による動作開始に加え、ソフトウェアスタンバイモードでの起動トリガイベントによっても動作を開始することができます
- A/D 変換終了トリガによって動作を停止できます

図 42.1 にオペアンプのブロック図を示します。

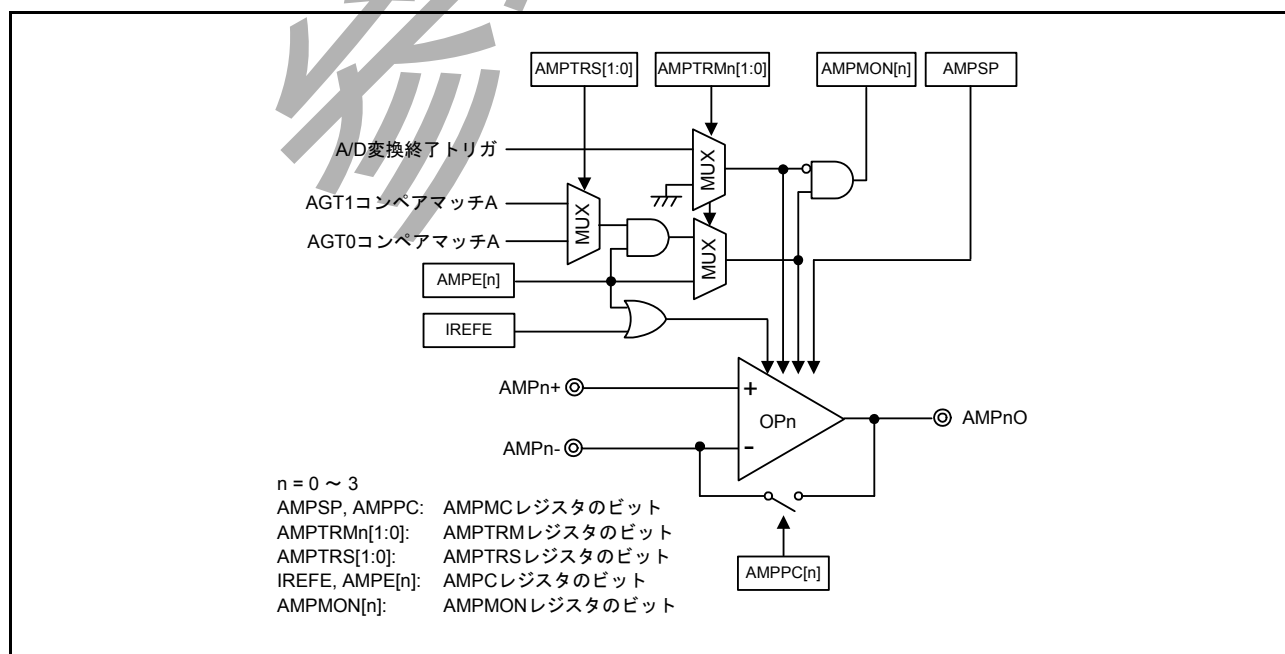


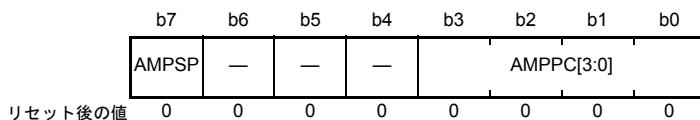
図 42.1 オペアンプのブロック図



## 42.2 レジスタの説明

### 42.2.1 オペアンプモードコントロールレジスタ (AMPMC)

アドレス OPAMP.AMPMC 4008 6008h

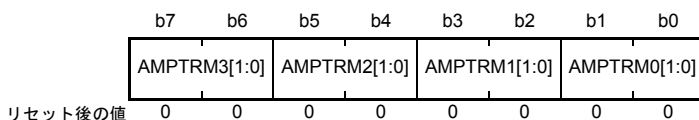


ビット	シンボル	ビット名	機能	R/W
b3-b0	AMPPC[3:0]	オペアンププリチャージ制御状態	0: プリチャージ停止 1: プリチャージ可能	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AMPSP	OPAMP 動作モード選択	0: 低消費電力モード (低速) 1: 高速モード	R/W

注. AMPC レジスタの値が 00h (オペアンプおよび基準電流生成回路が停止中) の場合は、AMPSP ビットを設定してください。  
注. 本レジスタで使用しないビットは初期値に設定するようにしてください。

## 42.2.2 オペアンプトリガモードコントロールレジスタ (AMPTRM)

アドレス OPAMP.AMPTRM 4008 6009h



ビット	シンボル	ビット名	機能	R/W
b1-b0	AMPTRM0[1:0]	OPAMP 機能起動/停止トリガ制御 <sup>n</sup> (注2)	AMPTRMn[1] AMPTRMn[0] (n = 0~3) 0 0: ソフトウェアトリガモード: ●AMPCレジスタの設定によるオペアンプの起動/停止が可能 ●起動トリガによるオペアンプの起動は不可 ●A/D変換終了トリガによるオペアンプの制御は不可 0 1: 起動トリガモード: ●AMPCレジスタの設定により、オペアンプを起動トリガを待つよう設定する、または停止することが可能 ●起動トリガによるオペアンプの起動が可能(注1) ●A/D変換終了トリガによるオペアンプの制御は不可 1 0: 設定禁止 1 1: 起動およびA/Dトリガモード: ●AMPCレジスタの設定により、オペアンプを起動トリガを待つよう設定する、または停止することが可能 ●起動トリガによるオペアンプの起動が可能(注1) ●A/D変換終了トリガによるオペアンプの停止が可能。A/D変換終了トリガは常にA/D変換の最後に発生します。	R/W
b3-b2	AMPTRM1[1:0]			
b5-b4	AMPTRM2[1:0]			
b7-b6	AMPTRM3[1:0]			

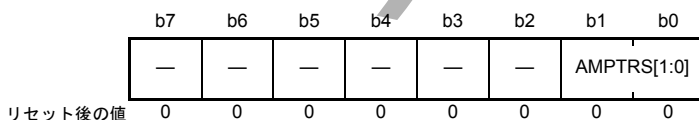
注. A/D 変換終了トリガは常に A/D 変換の最後に発生します。

注 1. 起動トリガによってオペアンプを起動する場合、まず AGT に関連する設定を行い、AMPTRS レジスタを設定した後、AMPC レジスタによって起動するオペアンプの動作制御ビットを 1 (オペアンプ待機状態が有効) にしてください。

注 2. AMPTRMn[1:0] の設定値を変更する場合、AMPC.AMPE[n] ビットを 0 (オペアンプ停止) にしてください。

## 42.2.3 オペアンプ起動トリガ選択レジスタ (AMPTRS)

アドレス OPAMP.AMPTRS 4008 600Ah



ビット	シンボル	ビット名	機能	R/W
b1-b0	AMPTRS[1:0]	起動トリガ選択(注1)	b1 b0 0 0: オペアンプn: オペアンプ起動トリガn (n = 0~3) 0 1: オペアンプm: オペアンプ起動トリガ0 (m = 0, 1) オペアンプn: オペアンプ起動トリガ1 (n = 2, 3) 1 0: 設定禁止 1 1: オペアンプn: オペアンプ起動トリガ0 (n = 0~3)	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. 本レジスタで使用しないビットは初期値に設定するようにしてください。

注 1. AMPTRM レジスタを設定した後、AMPTRS レジスタの値を書き換えしないでください。

## 42.2.4 オペアンプコントロールレジスタ (AMPC)

アドレス OPAMP.AMPC 4008 600Bh

b7	b6	b5	b4	b3	b2	b1	b0
IREFE	—	—	—	AMPE[3:0]			0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	AMPE[3:0]	OPAMP 動作制御	0: オペアンプn停止 1: ソフトウェアトリガモード: オペアンプnの動作許可 (注1) 起動トリガモード、または起動およびA/Dトリガモード: AGTが有効になるまで待機 (n = 0~3)	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	IREFE	OPAMP 基準電流回路動作制御	0: オペアンプ基準電流回路停止 1: オペアンプ基準電流回路の動作許可	R/W

注. 本レジスタで使用しないビットは初期値に設定するようにしてください。

注1. IREFE ビットの設定にかかわらず、オペアンプ基準電流回路の動作も許可されます。使用しないユニットのビットは0にしてください。

各イベントに対応するオペアンプ起動トリガを表 42.1 に示します。

表 42.1 イベントに対応するオペアンプ起動トリガ

トリガ	イベント
オペアンプ起動トリガ0	AGT1コンペアマッチA
オペアンプ起動トリガ1	AGT0コンペアマッチA
オペアンプ起動トリガ2	AGT1コンペアマッチA
オペアンプ起動トリガ3	AGT0コンペアマッチA

## 42.2.5 オペアンプモニタレジスタ (AMPMON)

アドレス OPAMP.AMPMON 4008 600Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	AMPMON[3:0]			0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	AMPMON[3:0]	オペアンプnの状態 (n = 0~3)	0: オペアンプn停止中 1: オペアンプn動作中	R
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注. 本レジスタを使用して、各オペアンプが動作中か停止中かを非同期に反映します。オペアンプの状態を判断するには、継続的に本レジスタを読み出し、ビット状態の変化を判断してください。

起動トリガ、クロックと同期したA/D変換終了トリガ、または他の割り込みルーチンでのソフトウェアトリガを使用してオペアンプを制御する場合、オペアンプの稼働/停止のタイミングは、通常動作を確認するなどの目的で予測することができます。この場合、該当のトリガまたはオペアンプの状態に影響する割り込みが発生したら、CPU/周辺クロックの1サイクル後に本レジスタを読み出してください。

本レジスタで使用しないビットは初期値に設定するようにしてください。

## 42.3 動作説明

### 42.3.1 状態遷移

オペアンプおよび基準電流回路がオペアンプ制御回路によって起動または停止するときの状態遷移を [図 42.2](#) に示します。

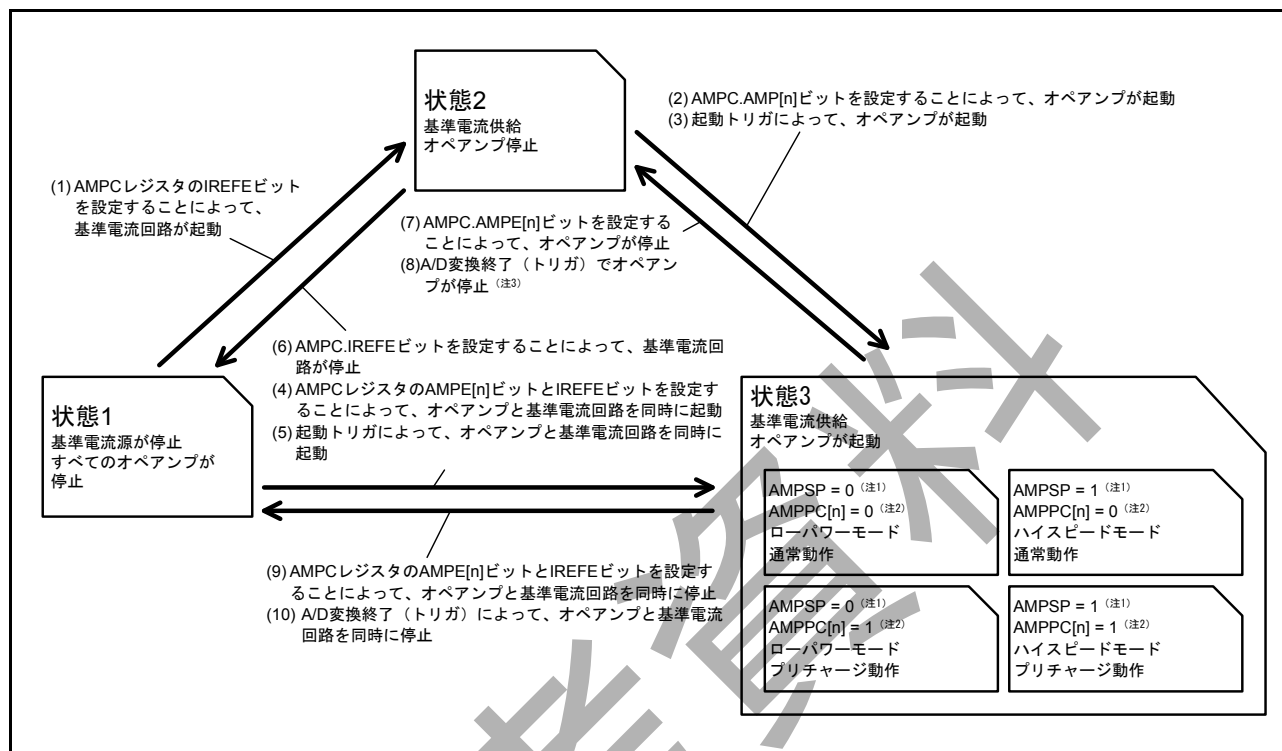


図 42.2 オペアンプの状態遷移

- 注 1. AMPMC.AMPSP ビット、および AMPTRS.AMPTRM レジスタを状態 1 にしてください。
- 注 2. AMPMC.AMPPC[n] ビットを状態 3 にしてください。
- 注 3. A/D 変換の最後にオペアンプだけを停止するには、事前に基準電流回路の動作を有効に設定しておく（状態 3 でオペアンプを稼働）必要があります。

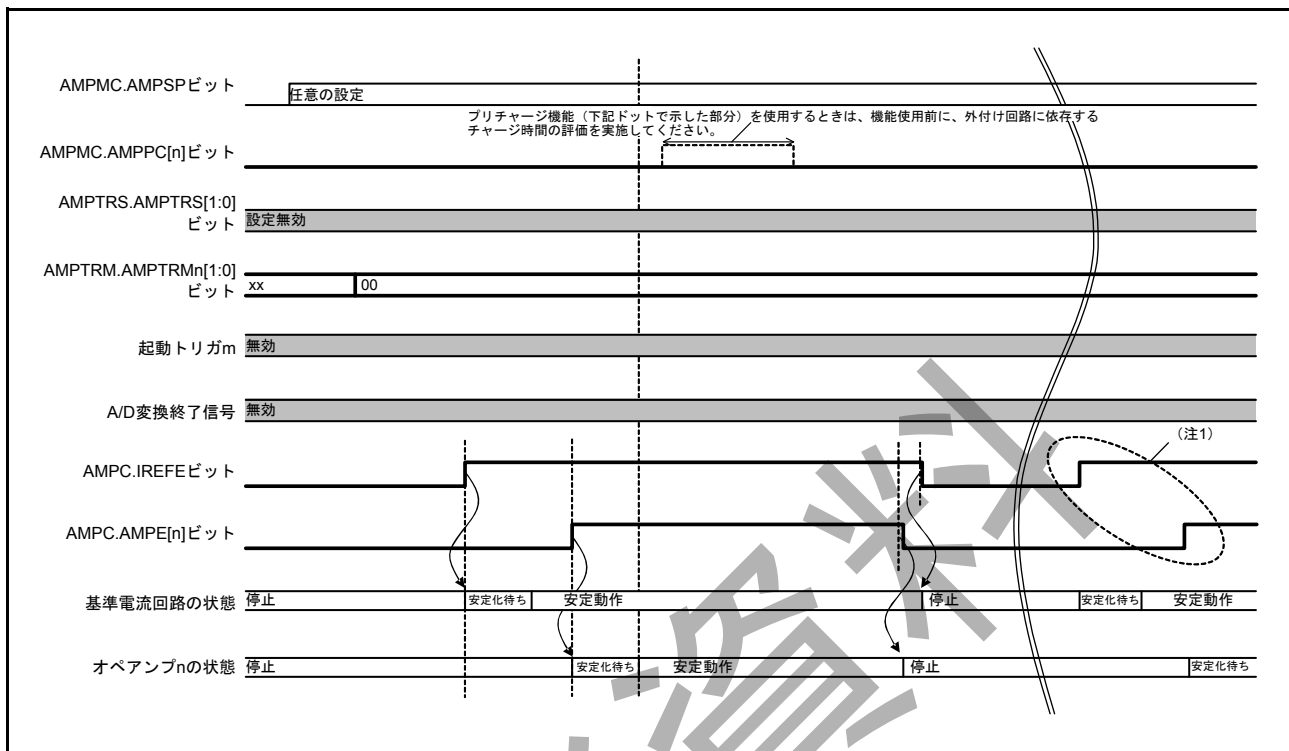
基準電流の供給後は安定待機時間が必要となり、オペアンプの動作は各動作が実際に開始する前に設定されます。安定待機時間の詳細は、「[51. 電気的特性](#)」を参照してください。

ステップ (2) → (8)、(2) → (10)、(3) → (10)、(4) → (10) では、オペアンプを継続的に起動/停止することはできません。

起動トリガおよび A/D 変換の終了によって、AMPTRM レジスタで、使用することが予め設定されたオペアンプのみを起動/停止することができます。

### 42.3.2 オペアンプ制御動作

オペアンプの制御動作を図 42.3 ～ 図 42.6 に示します。

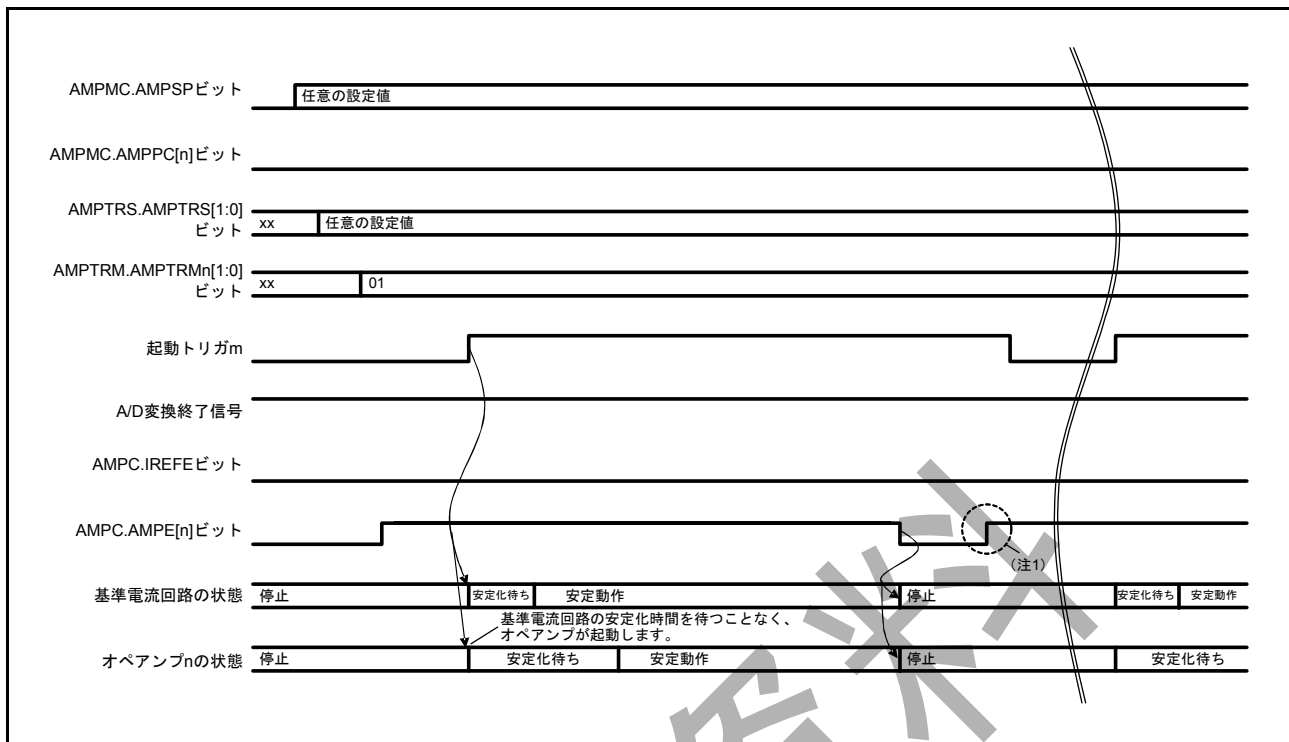


**図 42.3 オペアンプの制御動作 (ソフトウェアトリガモードによる制御)**  
(ソフトウェアトリガモードによって基準電流回路およびオペアンプを起動/停止する場合)

注 1. オペアンプを継続的に稼働/停止する場合、オペアンプの停止後の初期設定のように IREFE および AMPE[n] ビットを再設定してください。

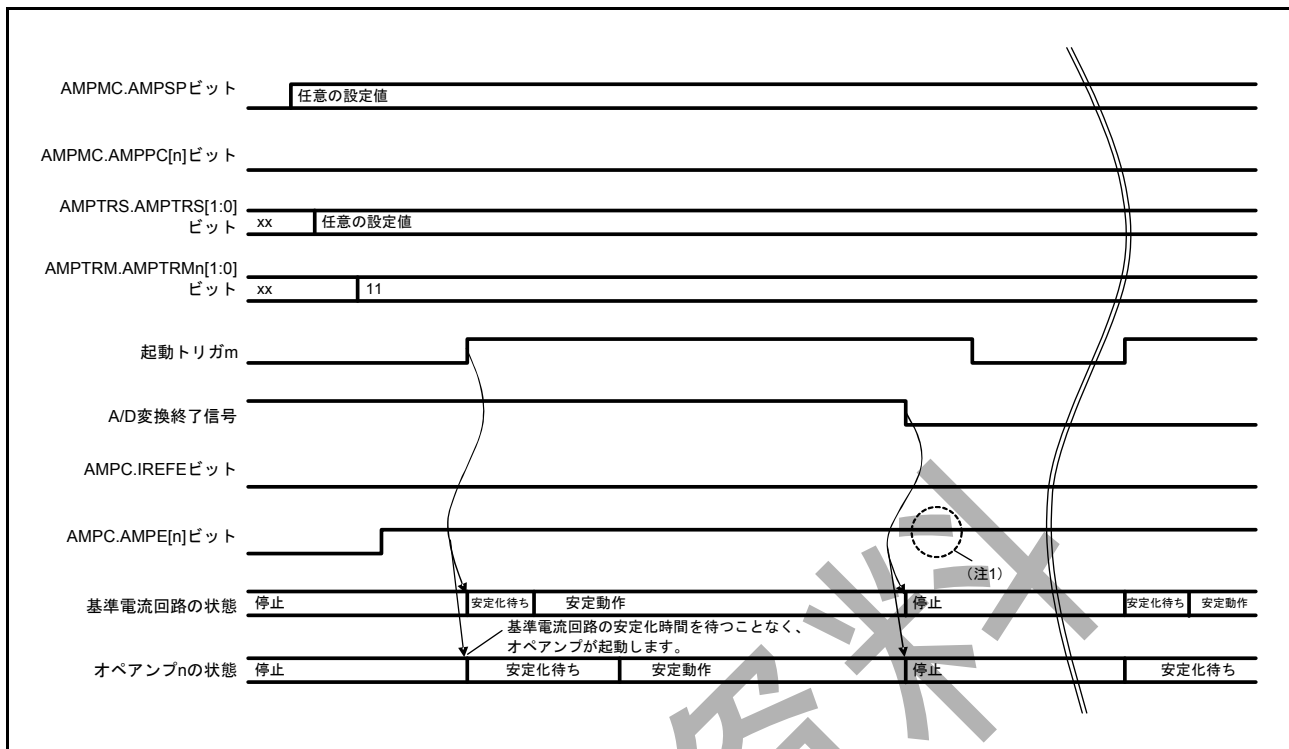
注 . n : ユニット番号 (n = 0 ~ 3)

m : AMPTRS レジスタで選択したオペアンプユニット n の制御に使用する起動トリガ



**図 42.4** オペアンプの制御動作（起動トリガモードによる起動）  
（基準電流回路およびオペアンプを起動トリガによって起動し、AMPCレジスタ設定によって停止する場合）

- 注 1. オペアンプを継続的に稼働/停止する場合、初期設定のように AMPE[n] ビットを再設定し、停止後に起動トリガを待つようにオペアンプを設定してください。
- 注 . n : ユニット番号 (n = 0 ~ 3)  
m : AMPTRS レジスタで選択したオペアンプユニット n の制御に使用する起動トリガ  
起動イベント生成で使用する機能と、事前にリンクする周辺機能 (ELSRn レジスタ) を設定してください。



**図 42.5** オペアンプの制御動作 (起動および A/D トリガモード (1))  
(基準電流回路およびオペアンプを起動トリガによって起動し、A/D 変換終了 (トリガ) によって停止する場合)

- 注 1. オペアンプを継続的に稼働/停止する場合、オペアンプはオペアンプの停止後の起動トリガを待つため、レジスタを再設定する必要はありません。
- 注 . n : ユニット番号 (n = 0 ~ 3)  
m : AMPTRS レジスタで選択したオペアンプユニット n の制御に使用する起動トリガ AGT 機能を設定する。

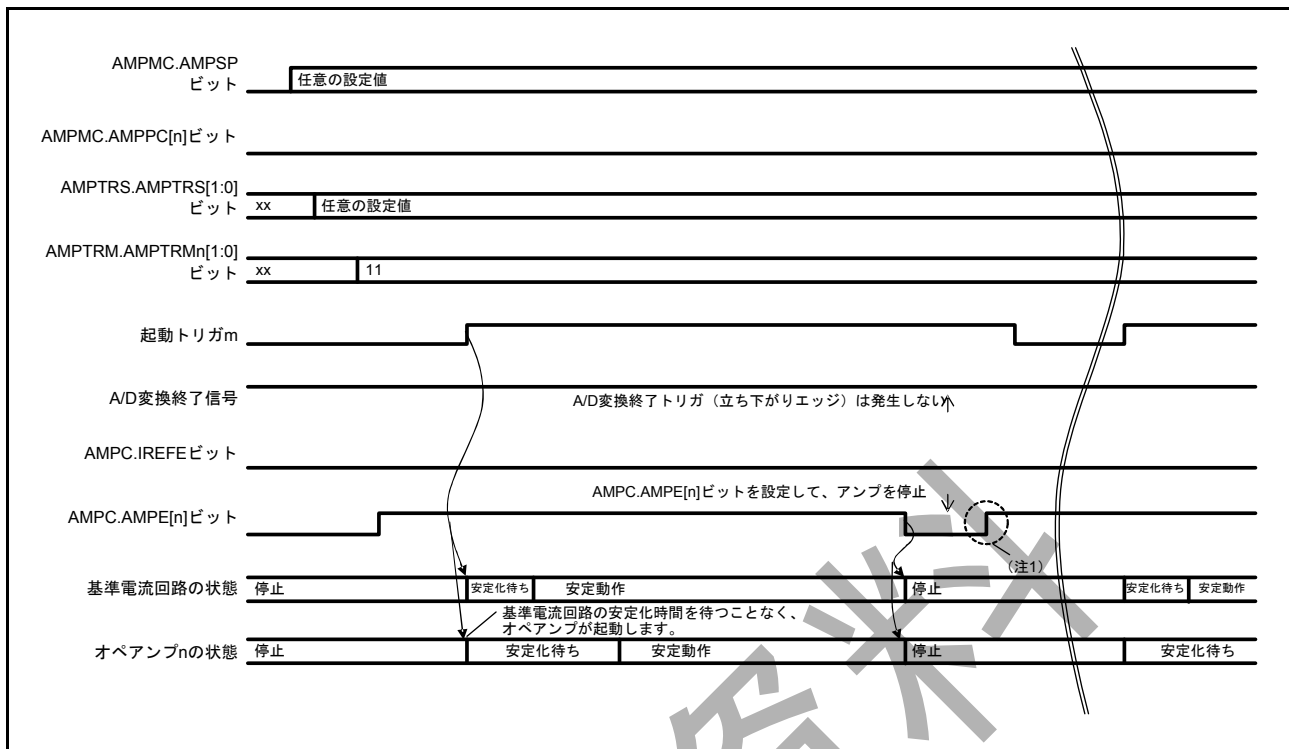


図 42.6 オペアンプの制御動作（起動および A/D トリガモード (2)）  
 （基準電流回路とオペアンプを起動トリガで起動し、A/D 変換終了（トリガ）で停止させる設定のときに、AMPC レジスタの設定によって基準電流回路およびオペアンプ停止する場合）

注 1. オペアンプを継続的に稼働/停止する場合、初期設定のように AMPE[n] ビットを再設定し、停止後に起動トリガを待つようにオペアンプを設定してください。

注 . n : ユニット番号 (n = 0 ~ 3)

m : AMPTRS レジスタで選択したオペアンプユニット n の制御に使用する起動トリガ

AGT 機能を設定する。起動トリガによってオペアンプを起動する手順については、[42.4 ソフトウェアトリガモード](#)を参照してください。



## 42.4 ソフトウェアトリガモード

ここでは、ソフトウェアトリガによってオペアンプを起動および停止する手順について説明します。各レジスタの設定例を図 42.7 に示します。

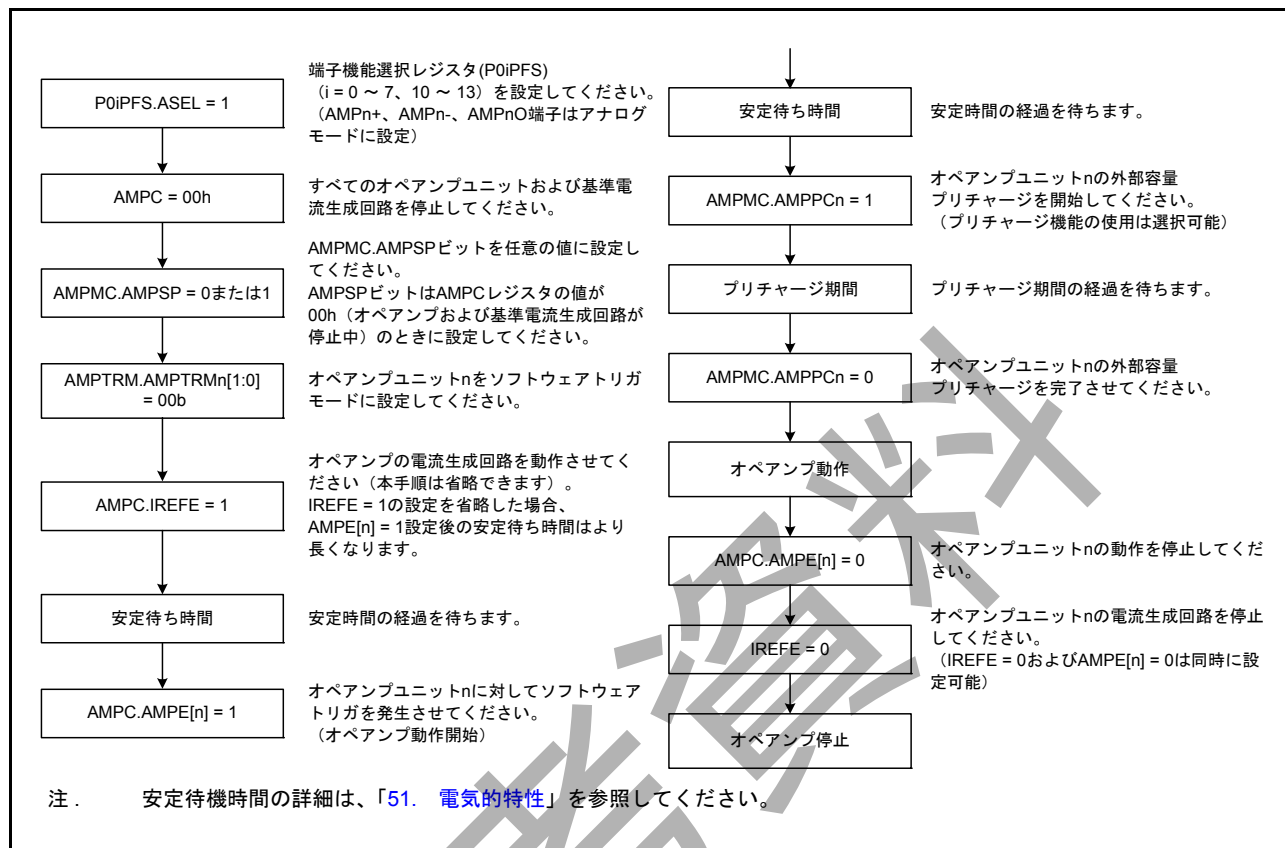


図 42.7 ソフトウェアトリガモードでの OPAMP 起動および停止手順

## 42.5 起動トリガモード

ここでは、起動トリガによってオペアンプを起動し、ソフトウェアによって停止する手順について説明します。各レジスタの設定例を図 42.8 に示します。

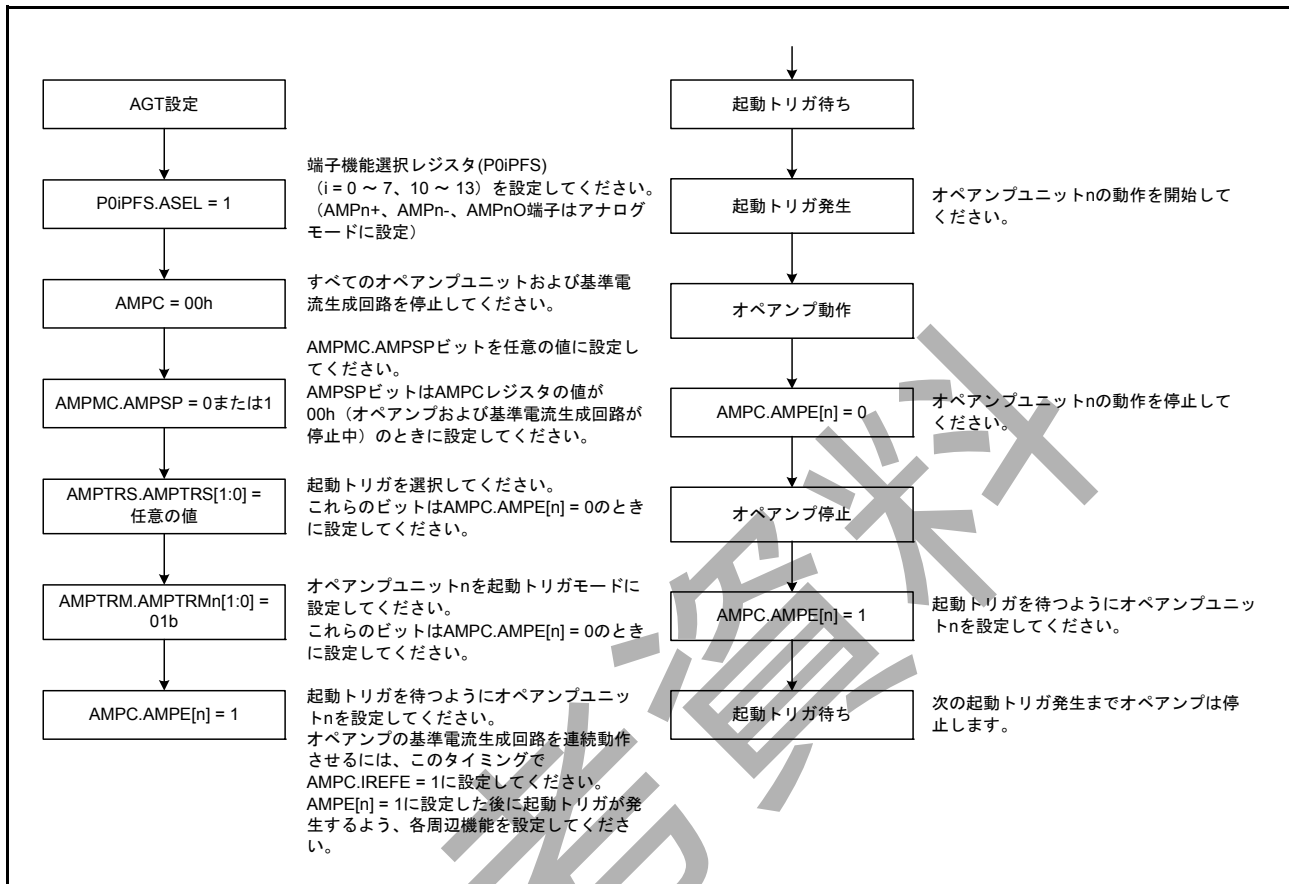


図 42.8 起動トリガモードでの OPAMP 起動および停止手順

## 42.6 起動および A/D トリガモード

ここでは、起動トリガによってオペアンプを起動し、A/D 変換終了トリガによって停止する手順について説明します。各レジスタの設定例を図 42.9 に示します。

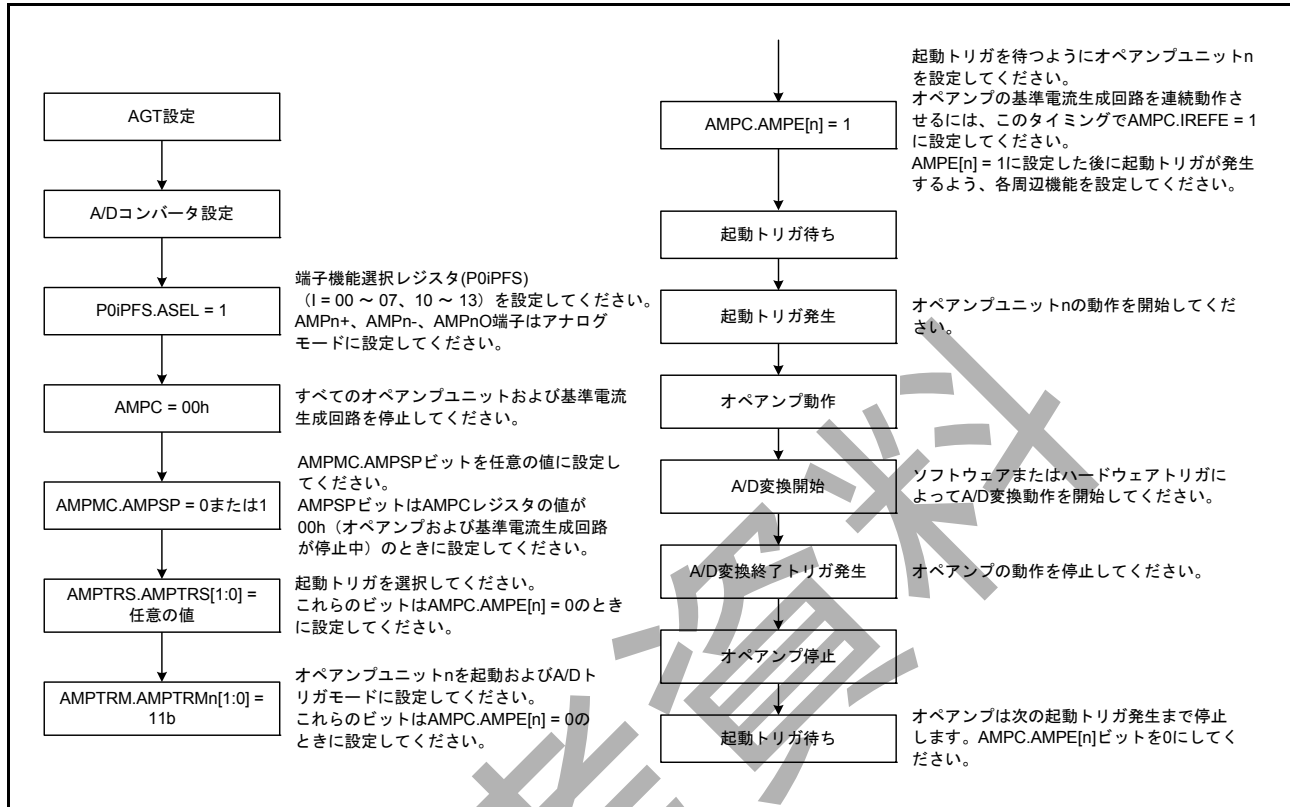


図 42.9 起動トリガによるオペアンプ起動と A/D 変換終了トリガによるオペアンプ停止手順

## 42.7 使用上の注意事項

AMPC レジスタの設定に加え、オペアンプ機能は起動トリガによって起動でき、A/D 変換終了で停止することができます。基準電流回路は A/D 変換終了時に停止できます。アプリケーションシーケンスでは、起動と停止の制御において、これらの非同期トリガが衝突しないような考慮が必要です。

オペアンプに使用する端子は A/D コンバータのプラスおよびマイナス入力でマルチプレクスされるため、それらの端子で A/D 変換を行わないでください。

## 43. 高速アナログコンパレータ (ACMPHS)

### 43.1 概要

高速アナログコンパレータ (ACMPHS) を使用して、テスト電圧と基準電圧を比較し、変換結果に基づいたデジタル出力を行うことができます。テスト電圧および基準電圧は、どちらも内部電源 (D/A コンバータ出力および内部基準電圧) および外部電源から ACMPHS に供給することができます。こうした柔軟性は、必ずしも A/D 変換を必要とせずに、アナログ信号に対して実行/中止の比較を行わなければならないアプリケーションに有効です。

表 43.1 に ACMPHS の特長一覧を示します。図 43.1 に ACMPHS のブロック図を示します。表 43.2 に入力電源構成を示します。

表 43.1 ACMPHSの特長

項目	内容
チャンネル数	2チャンネル : ACMPHS0、ACMPHS1
アナログ入力電圧	<ul style="list-style-type: none"> <li>ACMPHS1 内部D/Aコンバータから出力 内部A/Dコンバータ入力端子 (1つを選択可能) から入力</li> <li>ACMPHS0 内部D/Aコンバータから出力 内部基準電圧 (Vref) 内部A/Dコンバータ入力端子 (1つを選択可能) から入力</li> </ul>
基準電圧	<ul style="list-style-type: none"> <li>ACMPHS1 内部D/Aコンバータから出力 内部A/Dコンバータ入力端子 (1つを選択可能) から入力</li> <li>ACMPHS0 内部D/Aコンバータから出力 内部基準電圧 (Vref) 内部A/Dコンバータ入力端子 (1つを選択可能) から入力</li> </ul>
ACMPHS出力	<ul style="list-style-type: none"> <li>比較結果</li> <li>ELCイベント出力の発生</li> <li>レジスタからの出力監視</li> </ul>
割り込み要求信号	<ul style="list-style-type: none"> <li>比較結果からの有効エッジ検出時に生成された割り込み要求</li> <li>立ち上がりエッジ、立ち下がりエッジ、両エッジを選択可能</li> </ul>
デジタルフィルタ機能	<ul style="list-style-type: none"> <li>3つのサンプリング周波数のいずれかを選択可能</li> <li>フィルタ機能不使用の選択可能</li> </ul>

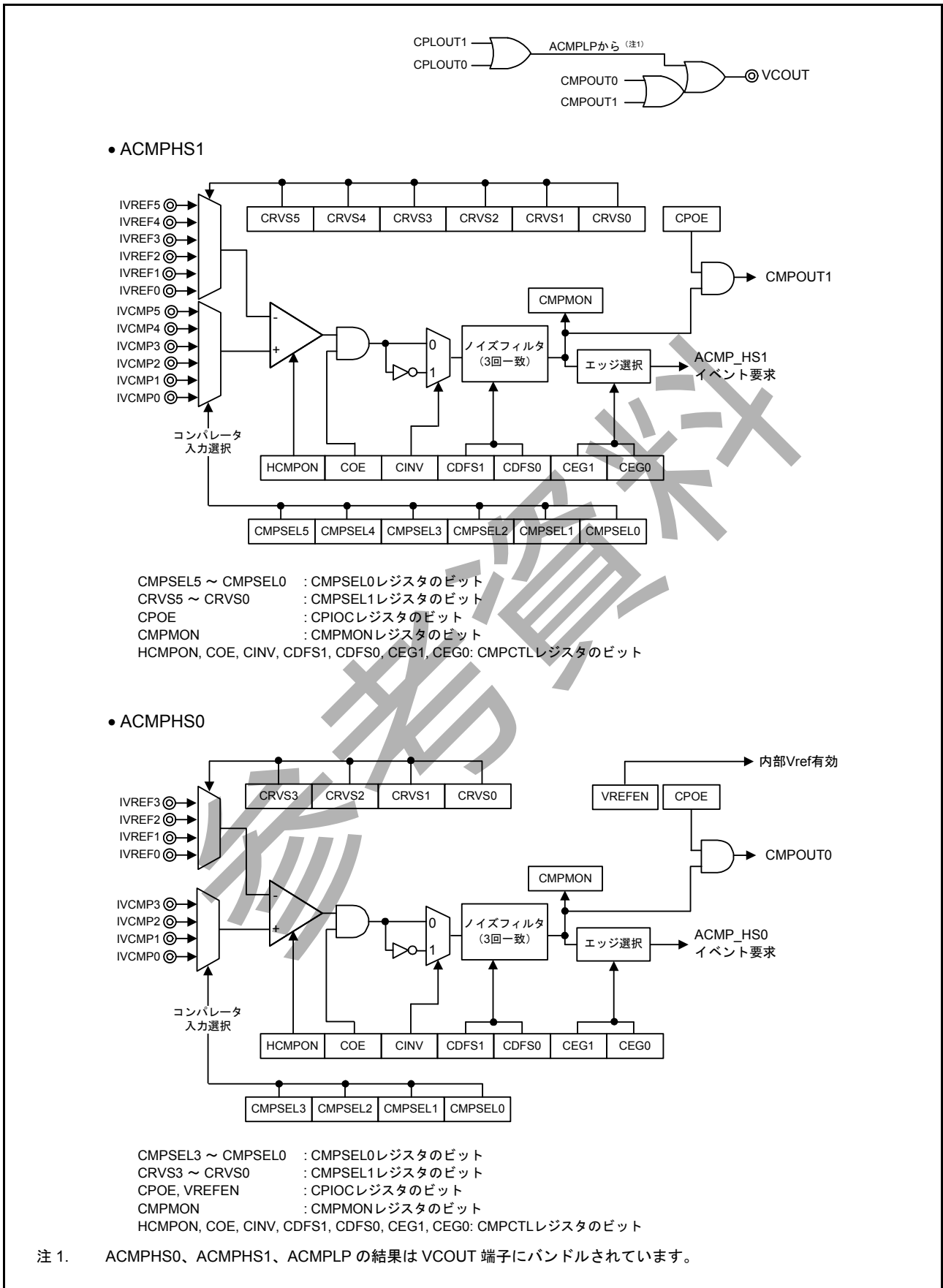


図 43.1 ACMPHSのブロック図

表 43.2 ACMPHSの入力電源構成

コンパレータ	基準電圧入力電源						アナログ電圧入力電源						出力端子
	IVREF5	IVREF4	IVREF3	IVREF2	IVREF1	IVREF0	IVCMP 5	IVCMP 4	IVCMP 3	IVCMP 2	IVCMP 1	IVCMP 0	
ACMPHS0	なし	なし	Vref (注2)	DA0 (注1)	AN006	AN005	なし	なし	Vref (注2)	DA1 (注3)	AN007/ AMP30	AN004/ AMP20	VCOUT (注4)
ACMPHS1	DA0 (注1)	AN006	AN003/ AMP10	AN002/ AMP00	AN001	AN000	DA1 (注3)	AN007/ AMP30	AN003/ AMP10	AN002/ AMP00	AN001	AN000	

- 注 1. D/A コンバータ 0 出力 (DA0) を使用しない場合、AN014 アナログ入力として信号を使用できます。
- 注 2. 内部電圧基準。
- 注 3. D/A コンバータ 1 出力 (DA1) を使用しない場合、AN015 アナログ入力として信号を使用できます。
- 注 4. ACMPHS0、ACMPHS1 のコンペア出力は VCOUT 端子に束ねられています。

資料参考

## 43.2 レジスタの説明

## 43.2.1 コンパレータコントロールレジスタ (CMPCTL)

アドレス ACMPHS0.CMPCTL 4008 5000h, ACMPHS1.CMPCTL 4008 5C00h

	b7	b6	b5	b4	b3	b2	b1	b0
	HCMP ON	CDFS[1:0]	CEG1	CEG0	—	COE	CINV	
リセット後の値	0	0	0	0	0	0	0	0

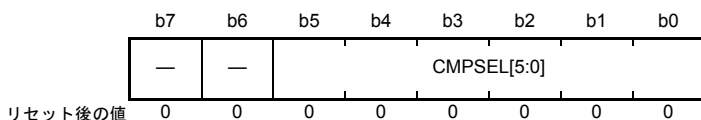
ビット	シンボル	ビット名	機能	R/W
b0	CINV	コンパレータ出力極性選択 (注1) (注2)	0 : コンパレータ出力反転なし 1 : コンパレータ出力反転	R/W
b1	COE	コンパレータ出力許可	0 : コンパレータ出力禁止 (出力信号はLow) 1 : コンパレータ出力許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4-b3	CEG1/ CEG0	有効エッジ選択 (エッジセクタ)	b4 b3 0 0 : エッジ選択なし 0 1 : 立ち上がりエッジ選択 1 0 : 立ち下がりエッジ選択 1 1 : 両エッジ選択	R/W
b6-b5	CDFS[1:0]	ノイズフィルタ選択 (注1) (注2) (注3)	b6 b5 0 0 : ノイズフィルタ不使用 0 1 : ノイズフィルタサンプリング周波数が $2^3/PCLKB$ 1 0 : ノイズフィルタサンプリング周波数が $2^4/PCLKB$ 1 1 : ノイズフィルタサンプリング周波数が $2^5/PCLKB$	R/W
b7	HCMPON	コンパレータ動作制御 (注4)	0 : 動作停止 (コンパレータがLowの信号を出力) 1 : 動作許可 (コンパレータへの入力を許可)	R/W

- 注 1. ACMPHS 出力を禁止 (COE = 0) にした後だけに、CDFS[1:0] および CINV ビットを変更してください。
- 注 2. CDFS[1:0] および CINV ビットが変更されると、ACMPHS 割り込み要求および ELC イベントが発生する場合があります。これらのビットは、ELSRn レジスタを 0 (ACMPHS 出力がリンクしていない) にした後だけに変更してください。ビット変更後、IELSRn レジスタの IR フラグビットを 0 (割り込みステータスフラグクリア) に初期化してください。
- 注 3. CDFS[1:0] ビットを 00b (ノイズフィルタ不使用) から 00b 以外の値 (ノイズフィルタ使用) に変更する場合、サンプリングを 4 回行い、フィルタ出力を更新した後、ACMPHS 割り込み要求または ELC イベントを使用してください。
- 注 4. ACMPHS 動作を有効 (HCMPON = 1) にした後は、ACMPHS 動作のために動作安定待機時間が必要です。ACMPHS0、ACMPHS1 の動作安定待機時間は 1 $\mu$ s です。

CMPCTL レジスタは、ACMPHS 動作の制御、ACMPHS 出力の許可/禁止、ノイズフィルタ選択、割り込み信号の有効エッジ選択、および割り込み選択を行います。リセットはこのレジスタを 00h にクリアします。

## 43.2.2 コンパレータ入力選択レジスタ (CMPSEL0)

アドレス ACMPHS0.CMPSEL0 4008 5004h, ACMPHS1.CMPSEL0 4008 5C04h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPSEL[5:0]	コンパレータ入力選択 (注1)	b5                      b0 0 0 0 0 0 0 : 入力なし 0 0 0 0 0 1 : IVCMP0 選択 (注2) 0 0 0 0 1 0 : IVCMP1 選択 (注2) 0 0 0 1 0 0 : IVCMP2 選択 (注2) 0 0 1 0 0 0 : IVCMP3 選択 (注2) 0 1 0 0 0 0 : IVCMP4 選択 (注2) 1 0 0 0 0 0 : IVCMP5 選択 (注2) 上記以外は設定しないでください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. CMPSEL[5:0] ビットは下記の手順で変更してください。CMPSEL0 レジスタの値が 0000 0000b 以外の場合、0000 0000b 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されません。

CMPSEL[5:0] ビットを変更するには、以下を実行します。

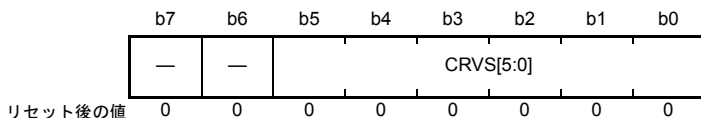
1. CMPCTL.COE ビットを 0 にする。
2. CMPSEL0 レジスタを 0000 0000b にする。
3. 新しい値を CMPSEL[5:0] ビットに設定する。このとき、いずれか 1 つのビットのみを 1 にする。
4. 入力切り替え安定待機時間 (200ns) の経過を待つ。
5. CMPCTL.COE ビットを 1 にする。
6. IELSRn レジスタの IR フラグビットをクリアし、割り込みステータスをクリアする。

注 2. 詳細は、表 43.2 を参照してください。



## 43.2.3 コンパレータ基準電圧選択レジスタ (CMPSEL1)

アドレス ACMPHS0.CMPSEL1 4008 5008h, ACMPHS1.CMPSEL1 4008 5C08h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CRVS[5:0]	基準電圧選択 (注1)	b5            b0 0 0 0 0 0 0 : 基準電圧なし 0 0 0 0 0 1 : IVREF0選択 (注2) 0 0 0 0 1 0 : IVREF1選択 (注2) 0 0 0 1 0 0 : IVREF2選択 (注2) 0 0 1 0 0 0 : IVREF3選択 (注2) 0 1 0 0 0 0 : IVREF4選択 (注2) 1 0 0 0 0 0 : IVREF5選択 (注2) 上記以外は設定しないでください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

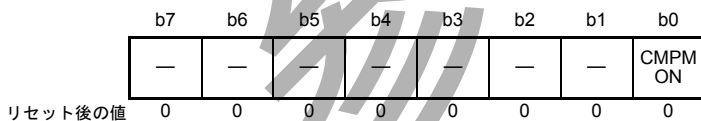
注 1. CRVS[5:0] ビットは下記の手順で変更してください。CMPSEL1 レジスタの値が 0000 0000b 以外の場合、0000 0000b 以外の値の書き込みは無効です。2つ以上のビットへの1の書き込みも無効です。どちらの場合も、変更前の値が保持されます。CRVS[5:0] ビットを変更するには、以下を実行します。

1. CMPCTL.COE ビットを0にする。
2. CMPSEL1 レジスタを 0000 0000b にする。
3. 新しい値を CRVS[5:0] ビットに設定する。このとき、いずれか1つのビットのみを1にする。
4. 入力切り替え安定待機時間 (200ns) の経過を待つ。
5. CMPCTL.COE ビットを1にする。
6. IELSRn レジスタの IR フラグビットをクリアし、割り込みステータスをクリアする。

注 2. 詳細は、表 43.2 を参照してください。

## 43.2.4 コンパレータ出力モニタレジスタ (CMPMON)

アドレス ACMPHS0.CMPMON 4008 500Ch, ACMPHS1.CMPMON 4008 5C0Ch



ビット	シンボル	ビット名	機能	R/W
b0	CMPMON	コンパレータ出力監視 (注1)	0 : コンパレータ出力Low 1 : コンパレータ出力High	R
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注 1. ACMPHS の動作が有効 (HCMPON = COE = 1) であるが、ノイズフィルタを使用していない (CDFS[1:0] = 00b) 場合、CMPMON ビットを2度読み出し、2つの連続した値が一致した後でのみ値を使用するようソフトウェアを書いてください。

## 43.2.5 コンパレータ出力コントロールレジスタ (CPIOC)

アドレス ACMPHS0.CPIOC 4008 5010h, ACMPHS1.CPIOC 4008 5C10h

	b7	b6	b5	b4	b3	b2	b1	b0
	VREFEN	—	—	—	—	—	—	CPOE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPOE	コンパレータ出力選択	0: コンパレータのVCOOUT端子出力禁止 (出力信号はLow) 1: コンパレータのVCOOUT端子出力許可	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b7	VREFEN	内部Vref許可	0: 内部Vref禁止 1: 内部Vref許可	R/W

注 1. VREFEN は ACMPHS0.CPIOC だけにあります。ACMPHS0 または ACMPHS1 で内部 Vref を使用する場合、ACMPHS0.CPIOC の VREFEN ビットを 1 にしてください。ACMPHS1.CPIOC のビット 7 は、内部 Vref を使用するかどうかにかかわらず、0 でなければなりません。

### 43.3 動作説明

ACMPHS は、基準電圧とアナログ入力電圧を比較します。ACMPHS の動作中にレジスタの値を変更した場合、動作は保証されません。表 43.3 に ACMPHS に関連するレジスタの設定手順を示します。

表 43.3 ACMPHS 関連レジスタの設定手順

手順	レジスタ	ビット	設定内容
1	関連 MSTPCRDR レジスタ	MSTPD28、MSTPD30	0 : 入力クロック供給許可
2	関連する端子機能コントロールレジスタ (PFS)	ASEL	1 : IVREF および IVCMP 端子の機能を選択
3	ACMPHS0.CPIOC	VREFEN	1 : 内部 Vref を使用する場合
4	関連 D/A コンバータ		D/A コンバータを使用する場合は必要に応じて対応する D/A コンバータチャンネルを構成します。
5	ACMPHS0.CMPSEL0 ACMPHS0.CMPSEL1 ACMPHS1.CMPSEL0 ACMPHS1.CMPSEL1	CMPSEL0 ~ CMPSEL3 CRVS0 ~ CRVS3 CMPSEL0 ~ CMPSEL5 CRVS0 ~ CRVS5	ACMPHSn 入力を選択します。この時、いずれか1つのビットのみを1にします。
6	CMPCTL	CDFS[1:0]、CEG1、CEG0、CINV	ACMPHSn 制御を設定
		HCMPON	1 : ACMPHSn 動作を許可
7	ACMPHS 安定時間 (最小 1 $\mu$ s) 待機		
8	CMPCTL	COE	1 : ACMPHSn 出力を許可
9	CPIOC	CPOE	1 : VCOOUT 出力を設定
	関連する端子機能コントロールレジスタ (PFS)	PSEL、PMR	VCOOUT ポート機能を選択
10	IELSRn	IR、IELS[8:0]	割り込みを使用する場合は割り込みステータスフラグおよび ICU イベントリンク選択を選択 (注1)
11	ELSRn	ELS[8:0]	ELC を使用する場合はイベントリンク選択を選択 (注2)
12	動作開始		
13	CMPCTL	COE	0 : IVREF または IVCMP を変更 (ACMPHSn 出力を禁止) する場合
14	ACMPHS0.CMPSEL1 ACMPHS1.CMPSEL1	CRVS0 ~ CRVS3、 CRVS0 ~ CRVS5	CMPSEL1 ビットは下記の手順で変更してください。CMPSEL1 ビットを 0000 0000b にします。新しい値を CMPSEL1 ビットに設定します。この時、いずれか1つのビットのみを1にします。
15	ACMPHS0.CMPSEL0 ACMPHS1.CMPSEL0	CMPSEL0 ~ CMPSEL3、 CMPSEL0 ~ CMPSEL5	CMPSEL0 ビットは下記の手順で変更してください。CMPSEL0 ビットを 0000 0000b にします。新しい値を CMPSEL0 ビットに設定します。この時、いずれか1つのビットのみを1にします。
16	ACMPHSn 切り替え安定時間 (最小 200ns) 待機		
17	CMPCTL	COE	1 : ACMPHSn 出力を許可
18	動作再開		

注 1. ACMPHSn を設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、割り込みフラグを初期化してください。

注 2. ACMPHSn を設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、イベントリンク選択を初期化してください。

ACMPHS の動作例を図 43.2 に示します。アナログ入力電圧が ACMPHS 基準入力電圧より高くなると V<sub>CO</sub>UT 出力は 1 になり、低くなると 0 になります。ACMPHS 出力が変わると、割り込み要求および ELC イベントが出力されます。

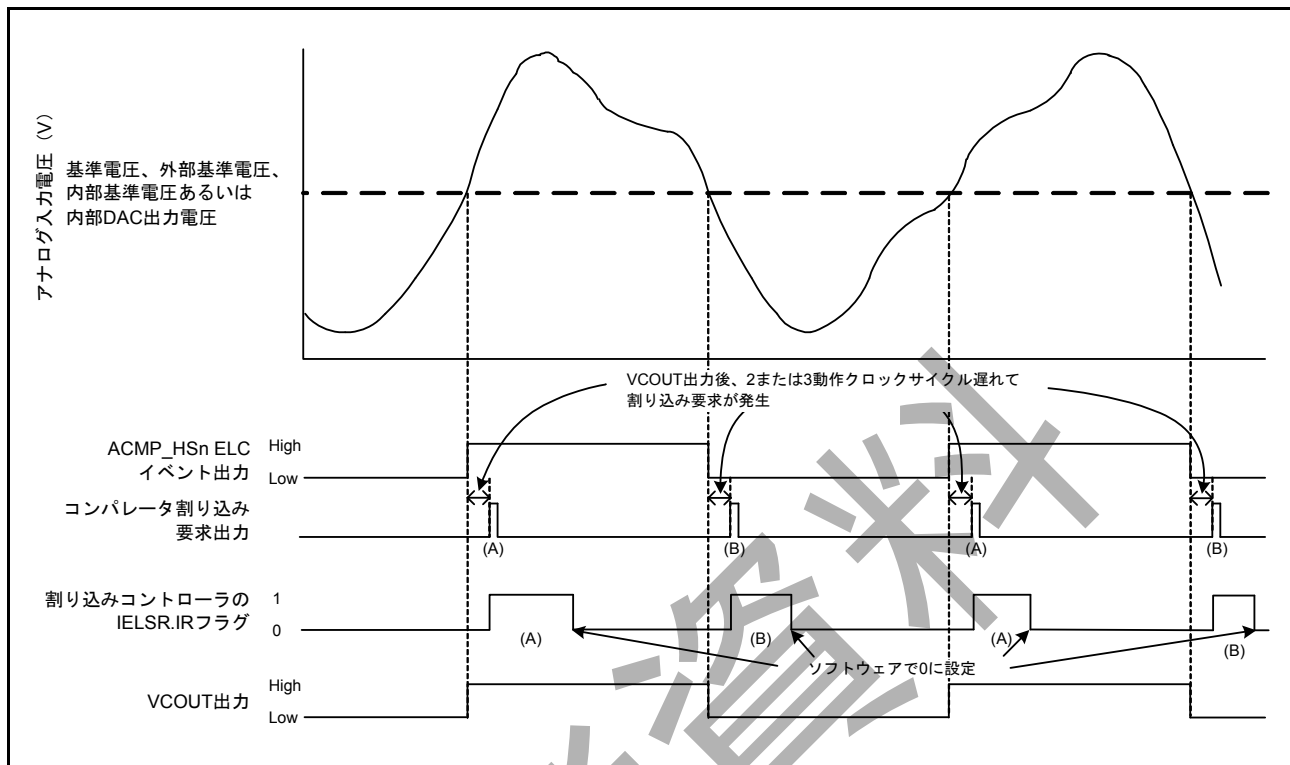


図 43.2 ACMPHS の動作例

図 43.2 は CPOE = 1 (端子出力許可)、CDFS[1:0] = 00b (フィルタ不使用)、CEG1 = CEG0 = 1 (両エッジを選択) の場合に適用されます。CINV = 0、CEG0 = 1、CEG1 = 0 (ACMPHS からの非反転出力信号の立ち上がりエッジ選択) の場合、IELSR.IR フラグは (A) で示されるように変化します。CINV = 0、CEG0 = 0、CEG1 = 1 (ACMPHS からの非反転出力信号の立ち下がりエッジ選択) の場合、IR フラグは (B) で示されるように変化します。CPOE = 1 の場合、V<sub>CO</sub>UT は ELC イベント出力を直接出力します。

### 43.4 ノイズフィルタ

ACMPHS はノイズフィルタを搭載しています。CMPCTL.CDFS[1:0] ビットによってサンプリングクロックの選択が可能です。ACMPHS 信号は、サンプリングクロックごとにサンプリングされ、同じ値が 3 回サンプリングされた場合、次のサンプリングクロック周期のノイズフィルタ出力が ACMPHS 出力として使用されます。

ノイズフィルタとエッジ検出器の構成を図 43.3 に、ノイズフィルタと割り込み動作の例を図 43.4 に示します。ソフトウェアスタンバイモードで割り込みおよび ELC を使用する場合、CMPCTL.CDFS[1:0] ビットを 00b (ノイズフィルタ未使用) にします。

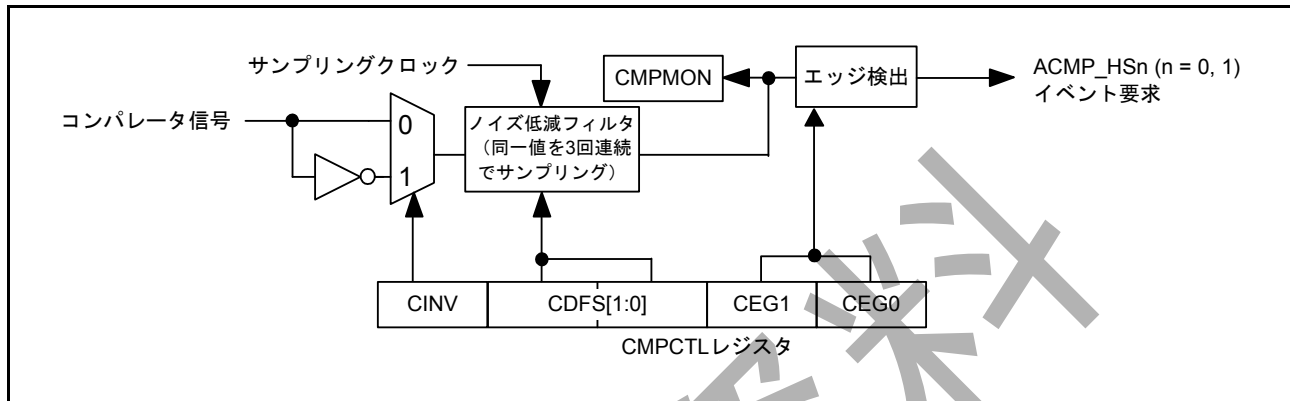


図 43.3 ノイズフィルタおよびエッジ検出の構成

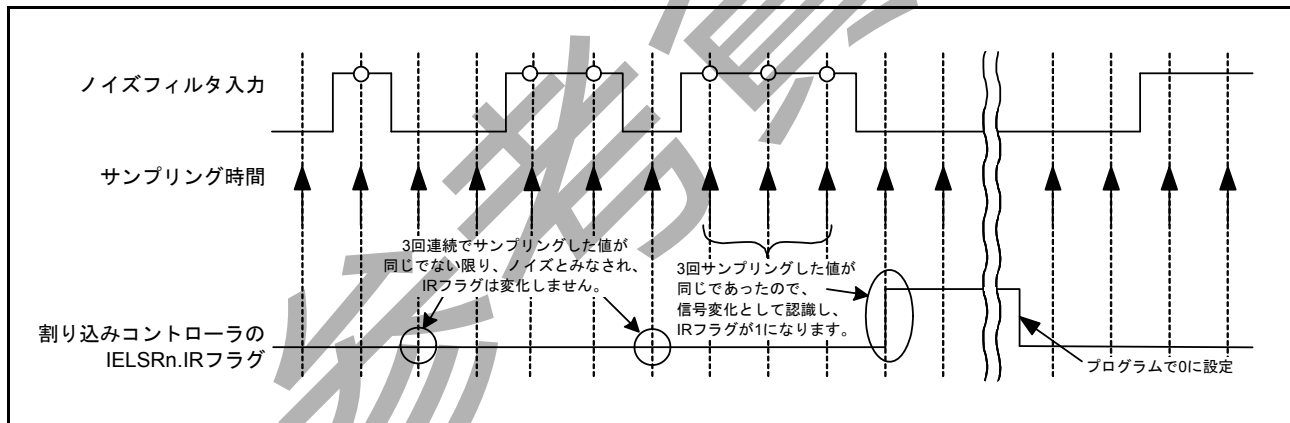


図 43.4 ノイズフィルタおよび割り込み動作例

図 43.4 の動作例は CMPCTL.CDFS[1:0] ビットが 01b、10b、または 11b (ノイズフィルタ使用) の場合に適用されます。

### 43.5 ACMPHS 割り込み

ACMPHS は、ACMPHS0 および ACMPHS1 から 2 つの割り込み要求を生成します。ACMPHS 割り込みを使用するには、使用する割り込みを割り込みコントローラユニット (ICU) の IELSR レジスタで選択します。CMPCTL.CEG0 ビットおよび CMPCTL.CEG1 ビットのうち少なくとも 1 つを 1 (00b (エッジ選択なし) 以外の値) にしてください。

ACMPHS 割り込み要求に関連するレジスタ設定については、[43.2.1 コンパレータコントロールレジスタ \(CMPCTL\)](#) を参照してください。

### 43.6 イベントリンクコントローラ (ELC) への ACMPHS 出力

ELC は、ACMPHS 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPHS ELC イベントを使用するには、使用するイベントを ELC の ELSR レジスタで選択します。ELC イベント要求を使用する場合、CMPCTL.CEG0 ビットおよび CMPCTL.CEG1 ビットのうち少なくとも 1 つを 1 (00b (エッジ選択なし) 以外の値) にしてください。

### 43.7 ACMPHS 端子出力

ACMPHS からの比較結果は外部端子に出力できます。CMPCTL.CINV および CPIOC.CPOE ビットを使用して、出力極性 (非反転出力または反転出力) および出力許可/禁止を設定することができます。ACMPHS 比較結果を VCOUT 出力端子に出力するには、I/O レジスタの関連ポート mn 端子機能コントロールレジスタ (PmnPFS) を設定してください。

### 43.8 使用上の注意事項

#### 43.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタを使用して、ACMPHS 動作を禁止/許可できます。ACMPHS は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

#### 43.8.2 14 ビット A/D コンバータとの関係

ACMPHS アナログ入力と ADC14 アナログ入力を同時に使用する場合は制限がかかります。詳細は、[39.8.13 A/D コンバータ、OPAMP、ACMPHS、ACMPLP の関係](#)を参照してください。

## 44. 低消費電力アナログコンパレータ (ACMPLP)

低消費電力アナログコンパレータ (ACMPLP) は、基準入力電圧とアナログ入力電圧を比較します。コンパレータチャンネル ACMPLP0 と ACMPLP1 は、それぞれ独立しています。

### 44.1 概要

基準入力電圧およびアナログ入力電圧の比較結果はソフトウェアで読み出すことができます。比較結果は外部に出力することもできます。基準入力電圧は、CMPREF<sub>i</sub> (i = 0, 1) 端子への入力または MCU の内部に生成された内部基準電圧 (Vref) から選択できます。

ACMPLP の応答速度は、動作開始前に設定可能です。高速モードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。低速モードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。

ACMPLP の特長を表 44.1 に、ウィンドウ機能が無効である場合の ACMPLP のブロック図を図 44.1 に示します。図 44.2 に、ウィンドウ機能が有効である場合の ACMPLP のブロック図を示します。表 44.2 に ACMPLP の入出力端子を示します。

表 44.1 ACMPLP の特長

項目	内容
チャンネル数	2チャンネル : ACMPLP0、ACMPLP1
アナログ入力電圧	CMPIN <sub>i</sub> (i = 0, 1) 端子からの入力
基準電圧	<ul style="list-style-type: none"> <li>内部基準電圧 (Vref)</li> <li>CMPREF<sub>i</sub> (i = 0, 1) 端子からの入力 (いずれかを選択可能)</li> </ul>
コンパレータ出力	<ul style="list-style-type: none"> <li>比較結果</li> <li>ELC イベント出力の発生</li> <li>レジスタからの出力監視</li> </ul>
割り込み要求信号	<ul style="list-style-type: none"> <li>比較結果の有効エッジ検出時に割り込み要求発生</li> <li>立ち上がりエッジ/立ち下がりエッジ/両エッジから選択可能</li> </ul>
選択可能な機能	<ul style="list-style-type: none"> <li>ノイズフィルタ機能 <ul style="list-style-type: none"> <li>3つのサンプリング周波数から1つを選択するか、ノイズフィルタ機能をバイパス可能</li> </ul> </li> <li>ウィンドウ機能 <ul style="list-style-type: none"> <li>ウィンドウ機能の使用/不使用の選択可能</li> </ul> </li> <li>応答速度 <ul style="list-style-type: none"> <li>高速モードまたは低速モードを選択可能</li> </ul> </li> </ul>

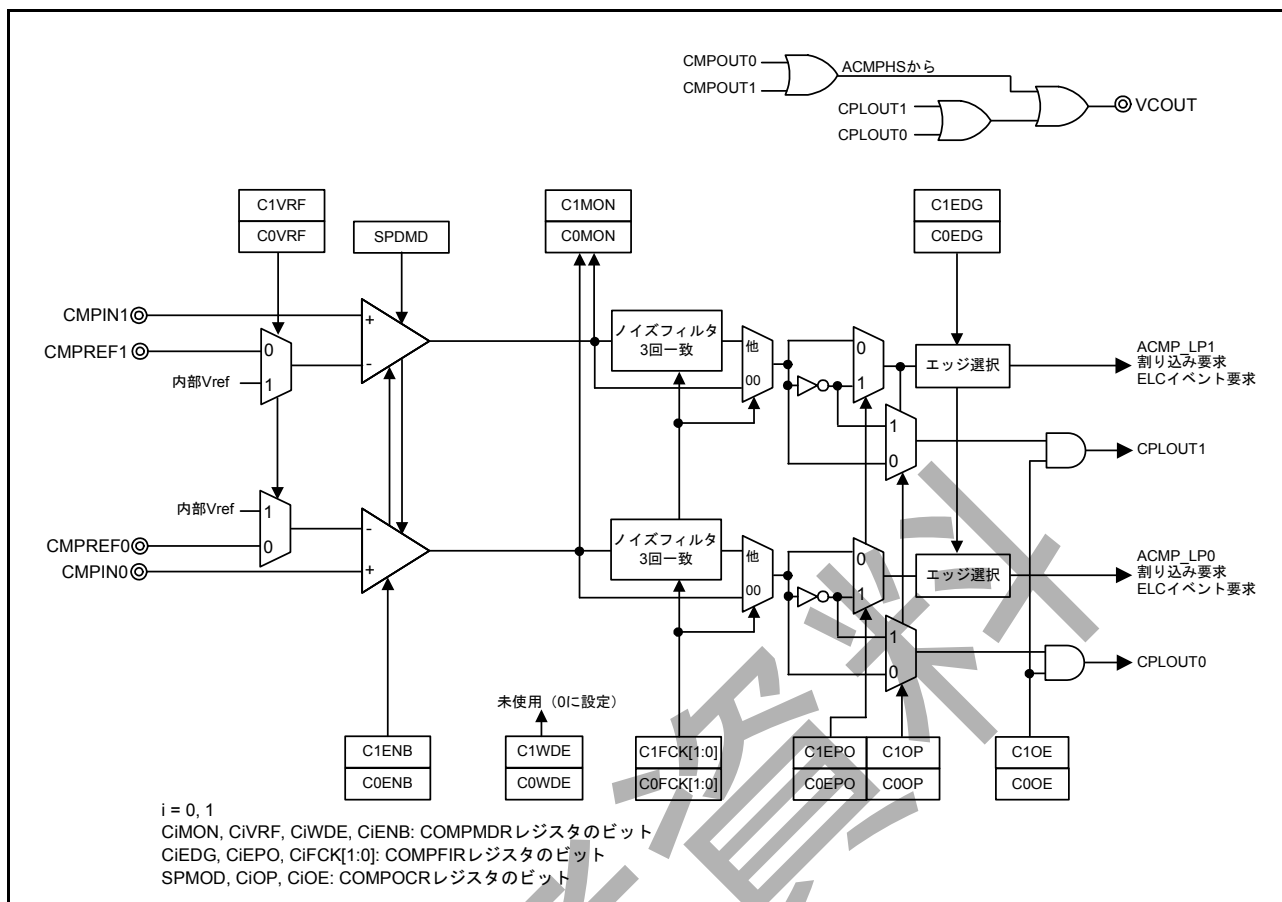


図 44.1 ウィンドウ機能無効時の ACMPLP ブロック図



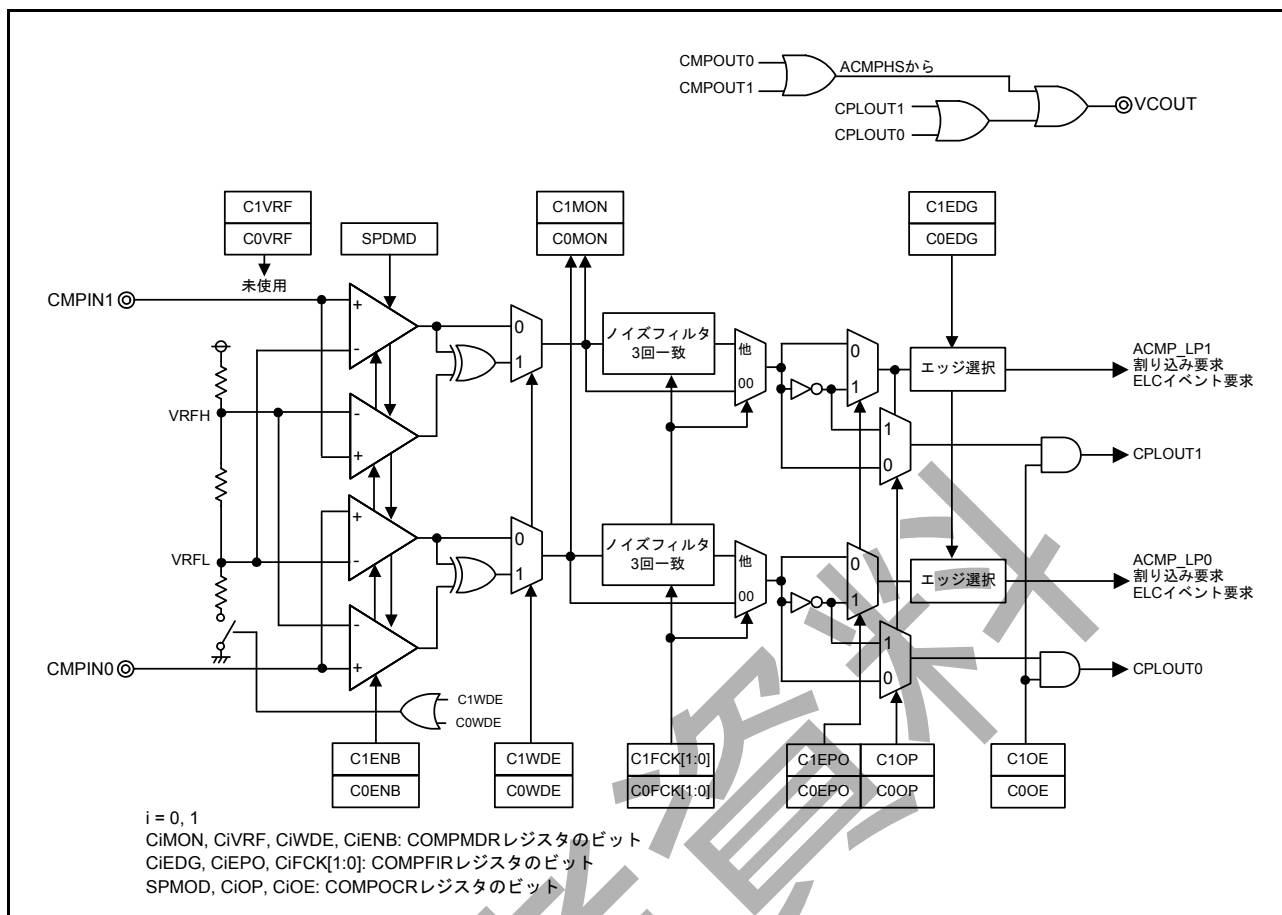


図 44.2 ウィンドウ機能有効時の ACMPLP ブロック図

表 44.2 コンパレータ端子の構成

コンパレータ	基準電圧入力端子	アナログ電圧入力端子	出力端子
ACMPLP0	CMPREF0	CMPIN0	VCOUT (注1)
ACMPLP1	CMPREF1	CMPIN1	

注 1. ACMPLP0 および ACMPLP1 のコンペア出力は VCOUT 端子に束ねられています。

## 44.2 レジスタの説明

## 44.2.1 ACMPLP モード設定レジスタ (COMPMDR)

アドレス ACMPLP.COMPMDR 4008 5E00h

	b7	b6	b5	b4	b3	b2	b1	b0
	C1MON	C1VRF	C1WDE	C1ENB	C0MON	C0VRF	C0WDE	C0ENB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C0ENB	ACMPLP0動作許可	0: コンパレータチャンネルACMPLP0を禁止 1: コンパレータチャンネルACMPLP0を許可	R/W
b1	C0WDE	ACMPLP0ウィンドウ機能モード許可(注1)(注2)	0: ACMPLP0に対するウィンドウ機能を禁止 1: ACMPLP0に対するウィンドウ機能を許可	R/W
b2	C0VRF	ACMPLP0基準電圧選択	0: ACMPLP0基準電圧としてCMPREF0入力を選択 1: ACMPLP0基準電圧として内部基準電圧 (Vref) を選択	R/W
b3	C0MON	ACMPLP0モニタフラグ(注3)	ウィンドウ機能無効時 0: CMPIN0 < CMPREF0、CMPIN0 < 内部基準電圧、または ACMPLP0動作無効 1: CMPIN0 > CMPREF0、またはCMPIN0 > 内部基準電圧 ウィンドウ機能有効時 0: CMPIN0 < VRFL、CMPIN0 > VRFH、またはACMPLP0動作無効 1: VRFL < CMPIN0 < VRFH	R
b4	C1ENB	ACMPLP1動作許可	0: コンパレータチャンネルACMPLP1を禁止 1: コンパレータチャンネルACMPLP1を許可	R/W
b5	C1WDE	ACMPLP1ウィンドウ機能モード許可(注1)(注2)	0: ACMPLP1に対するウィンドウ機能を禁止 1: ACMPLP1に対するウィンドウ機能を許可	R/W
b6	C1VRF	ACMPLP1基準電圧選択	0: ACMPLP1基準電圧としてCMPREF1入力を選択 1: ACMPLP1基準電圧として内部基準電圧 (Vref) を選択	R/W
b7	C1MON	ACMPLP1モニタフラグ(注3)	ウィンドウ機能無効時 0: CMPIN1 < CMPREF1、CMPIN1 < 内部基準電圧、または ACMPLP1動作無効 1: CMPIN1 > CMPREF1、またはCMPIN1 > 内部基準電圧 ウィンドウ機能有効時 0: CMPIN1 < VRFL、CMPIN1 > VRFH、またはACMPLP1動作無効 1: VRFL < CMPIN1 < VRFH	R

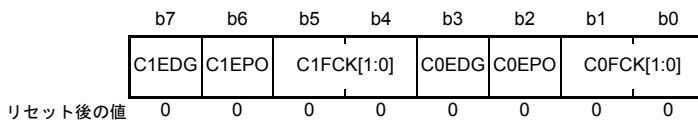
注 1. 低速モードが選択されている (COMPOCR レジスタの SPDMD ビットが 0) 場合は、ウィンドウ機能モードは設定できません。

注 2. ウィンドウ機能モードでは、本ビットの設定にかかわらずコンパレータの基準電圧が選択されます。

注 3. リセットが解除された直後は、初期値が 0 です。しかし、コンパレータの動作がいったん許可された後に C0ENB および C1ENB が 0 に設定された場合、値は不定となります。

## 44.2.2 ACMPLP フィルタコントロールレジスタ (COMPFIR)

アドレス ACMPLP.COMPFIR 4008 5E01h



ビット	シンボル	ビット名	機能	R/W
b1-b0	C0FCK[1:0]	ACMPLP0 フィルタ機能選択 (注1)	b1 b0 0 0: サンプリングなし (バイパス) 0 1: PCLKでサンプリング 1 0: PCLK/8でサンプリング 1 1: PCLK/32でサンプリング	R/W
b2	C0EPO	ACMPLP0 エッジ極性切り替え (注1)	0: 立ち上がりエッジでの割り込みおよびELCイベント要求 1: 立ち下がりエッジでの割り込みおよびELCイベント要求	R/W
b3	C0EDG	ACMPLP0 エッジ検出選択 (注1)	0: 片エッジ検出による割り込みおよびELCイベント要求 1: 両エッジ検出による割り込みおよびELCイベント要求	R/W
b5-b4	C1FCK[1:0]	ACMPLP1 フィルタ機能選択 (注1)	b5 b4 0 0: サンプリングなし (バイパス) 0 1: PCLKでサンプリング 1 0: PCLK/8でサンプリング 1 1: PCLK/32でサンプリング	R/W
b6	C1EPO	ACMPLP1 エッジ極性切り替え (注1)	0: 立ち上がりエッジでの割り込みおよびELCイベント要求 1: 立ち下がりエッジでの割り込みおよびELCイベント要求	R/W
b7	C1EDG	ACMPLP1 エッジ検出選択 (注1)	0: 片エッジ検出による割り込みおよびELCイベント要求 1: 両エッジ検出による割り込みおよびELCイベント要求	R/W

注 1. CiFCK[1:0]、CiEPO、および CiEDG (i = 0, 1) ビットが変更されると、ACMPLP 割り込み要求および ELC イベント要求が発生する場合があります。これらのビットは、イベントリンクを非選択にした後のみ変更してください。また、関連する割り込み要求フラグをクリアしてください。

## 44.2.3 ACMPLP 出カコントロールレジスタ (COMPOCR)

アドレス ACMPLP.COMPOCR 4008 5E02h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPDM D	C1OP	C1OE	—	—	COOP	COOE	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b1	C0OE	ACMPLP0 VCOOUT 端子出力許可 (注1)	0: 禁止 1: 許可	R/W
b2	C0OP	ACMPLP0 VCOOUT 出力極性選択 (注1)	0: 反転なし 1: 反転あり	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b5	C1OE	ACMPLP1 VCOOUT 端子出力許可 (注1)	0: 禁止 1: 許可	R/W
b6	C1OP	ACMPLP1 VCOOUT 出力極性選択 (注1)	0: 反転なし 1: 反転あり	R/W
b7	SPDMD	ACMPLP0/ACMPLP1 速度選択 (注2)	0: コンパレータ低速モード選択 1: コンパレータ高速モード選択	R/W

注1. ACMPLP0 および ACMPLP1 の結果出力は VCOOUT 端子に束ねられています。

注2. SPDMD ビットを書き換える前に、COMPMDR レジスタの CiENB ビット (i = 0, 1) を 0 にしてください。

### 44.3 動作説明

ACMPLP0 および ACMPLP1 は独立していますが、動作は同じです。コンパレータの動作中に関連するレジスタの値を変更した場合、動作は保証されません。表 44.3 に ACMPLP に関連するレジスタの設定手順を示します。

表 44.3 ACMPLP (i = 0, 1) 関連レジスタの設定手順

手順番号	レジスタ	ビット	設定内容	
1	MSTPDRD	MSTPD29	0 : 入力クロック供給	
2	該当の端子機能コントロールレジスタ (PFS)	ASEL	1 : CMPREFi および CMPINI 端子の機能を選択	
3	COMPOCR	SPDMD	コンパレータの応答速度の選択 (0 : 低速モード / 1 : 高速モード) (注1)	
4	COMPMDR	CiWDE	0 : ウィンドウ機能モード無効	1 : ウィンドウ機能モード有効 (注2)
		CiVRF	0 : 基準 = CMPREFi 入力	1 : 基準 = 内部基準電圧
		CiENB	1 : 動作許可	
5	コンパレータ安定時間 $t_{CMP}$ (最小 100 $\mu$ s) 待機			
6	COMPFIR	CiFCK[1:0]	デジタルフィルタを使用するかどうか、およびサンプリングクロックの選択	
		CiEPO、CiEDG	割り込み要求のエッジ検出条件の選択 (立ち上がりエッジ、立ち下がりエッジ、両エッジ)	
7	COMPOCR	CiOP、CiOE	VCOUT 出力の設定 (極性の選択および出力許可/禁止の設定)	
	該当の端子機能コントロールレジスタ (PFS)	PSEL、PMR	VCOUT ポート機能を選択	
8	IELSRn	IR、IELS[8:0]	割り込み使用時 : 割り込みステータスフラグ、ICU イベントリンクの選択 (注3)	
9	ELSRn	ELS[8:0]	ELC 使用時 : イベントリンクの選択 (注4)	
10	動作開始			

注 1. ACMPLP0 および ACMPLP1 は、個別に設定できません。

注 2. 高速モードでのみ設定できます (SPDMD = 1)。

注 3. コンパレータを設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、割り込みフラグを初期化してください。

注 4. コンパレータを設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、イベントリンク選択を初期化してください。

ウィンドウ機能が無効の場合の ACMPLPi (i = 0, 1) の動作例を図 44.3 に示します。

基準入力電圧 (CMPREFi) または内部基準電圧 (Vref) とアナログ入力電圧 (CMPINI) が比較されます。

- アナログ入力電圧が基準入力電圧より高い場合、COMPMDR.CiMON ビットが 1 になります
- アナログ入力電圧が基準入力電圧より低い場合、CiMON ビットが 0 になります

ACMPLPi は割り込みを ICU に出力します。割り込みの詳細は、44.5 ACMPLP 割り込みを参照してください。ACMPLPi は、他のモジュールを起動するためのイベント信号も ELC に出力します。ELC の詳細は、44.6 ELC イベント出力を参照してください。比較中、レジスタの値を変更しないでください。

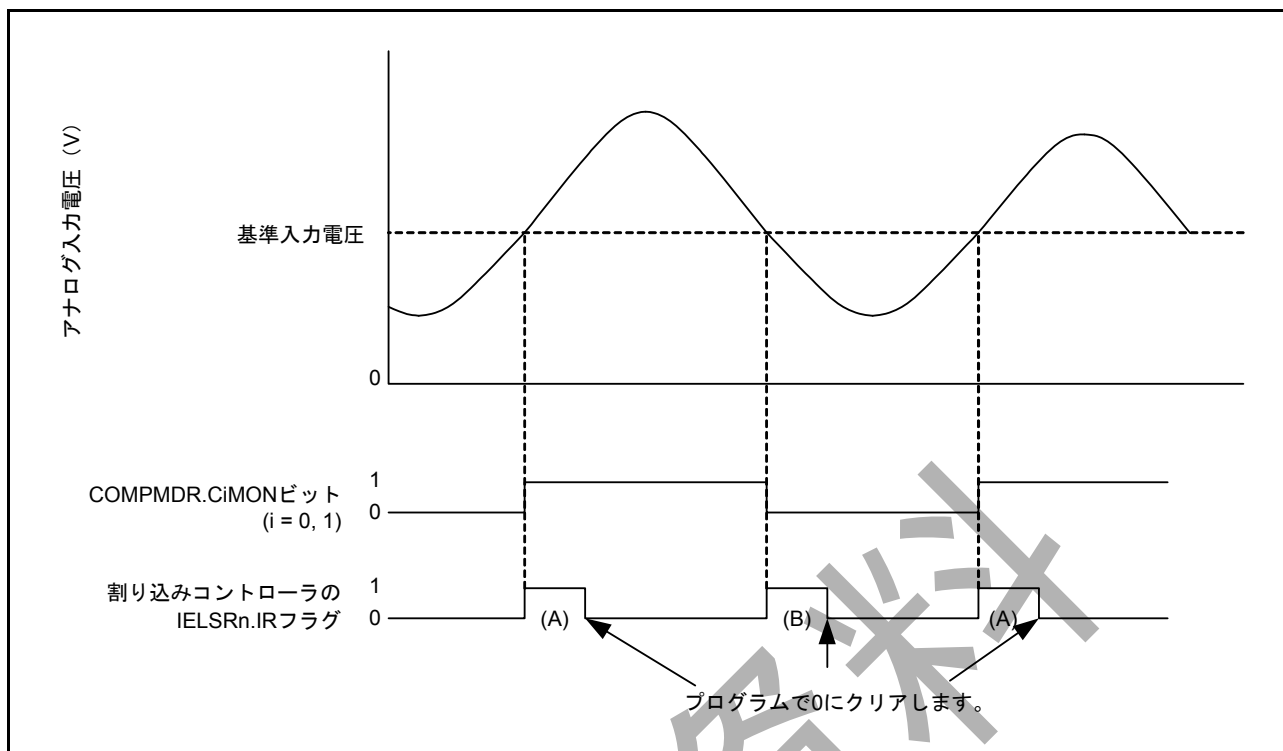


図 44.3 ウィンドウ機能無効時の ACMPLPi (i = 0, 1) の動作例

以下の条件が成立したとき図 44.3 の内容が適用されます。

- CiFCK[1:0] = 00b (サンプリングなし) かつ CiEDG = 1 (両エッジ) のとき
- CiEDG = 0 かつ CiEPO = 0 (立ち上がりエッジ) の場合、IELSRn.IR が (A) で示されるように変化したとき
- CiEDG = 0 かつ CiEPO = 1 (立ち下がりエッジ) の場合、IELSRn.IR が (B) で示されるように変化したとき

ウィンドウ機能が有効の場合の ACMPLPi (i = 0, 1) の動作例を図 44.4 に示します。

内部 Vref (VRFL/VRFH) およびアナログ入力電圧が比較されます。CiMON ビットは下記のとおり設定されます。

- VRFL < アナログ入力電圧 < VRFH のときは 1
- アナログ入力電圧 < VRFL、または VRFH < アナログ入力電圧のときは 0

ACMPLPi は割り込みを ICU に出力します。割り込みの詳細は、44.5 ACMPLP 割り込みを参照してください。ACMPLPi は、他のモジュールを起動するためのイベント信号も ELC に出力します。ELC の詳細は、44.6 ELC イベント出力を参照してください。比較中、レジスタの値を変更しないでください。

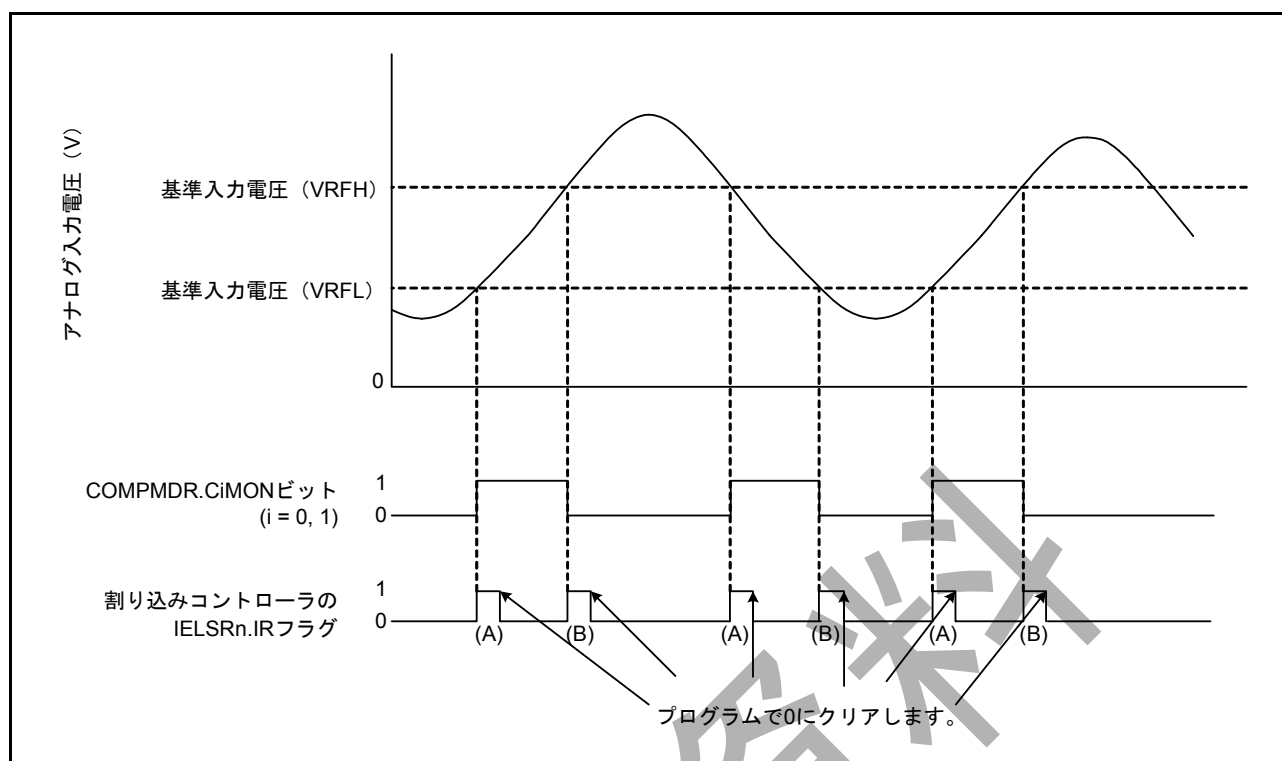


図 44.4 ウィンドウ機能有効時の ACMPLPi ( $i = 0, 1$ ) の動作例

以下の条件が成立したとき図 44.4 の内容が適用されます。

- CiFCK[1:0] = 00b (サンプリングなし) かつ CiEDG = 1 (両エッジ) のとき
- CiEDG = 0 かつ CiEPO = 0 (立ち上がりエッジ) の場合、IELSRn.IR が (A) で示されるように変化したとき
- CiEDG = 0 かつ CiEPO = 1 (立ち下がりエッジ) の場合、IELSRn.IR が (B) で示されるように変化したとき

### 44.4 ノイズフィルタ

ACMPLPi ノイズフィルタの構成を に、動作例を に示します。

COMPFIR.CiFCK[1:0] ビットによってサンプリングクロックの選択が可能です。ACMPLPi からの ACMPLPi 信号 (内部信号) 出力は、サンプリングクロック周期ごとにサンプリングされます。レベルが 3 回一致すると、該当の IELSRn.IR ビットが 1 (割り込み要求) になり、ELC イベントが出力されます。

ソフトウェアスタンバイモードで割り込みおよび ELC を使用する場合、COMPFIR.CiFCK[1:0] ビットを 00b (バイパス) にします。

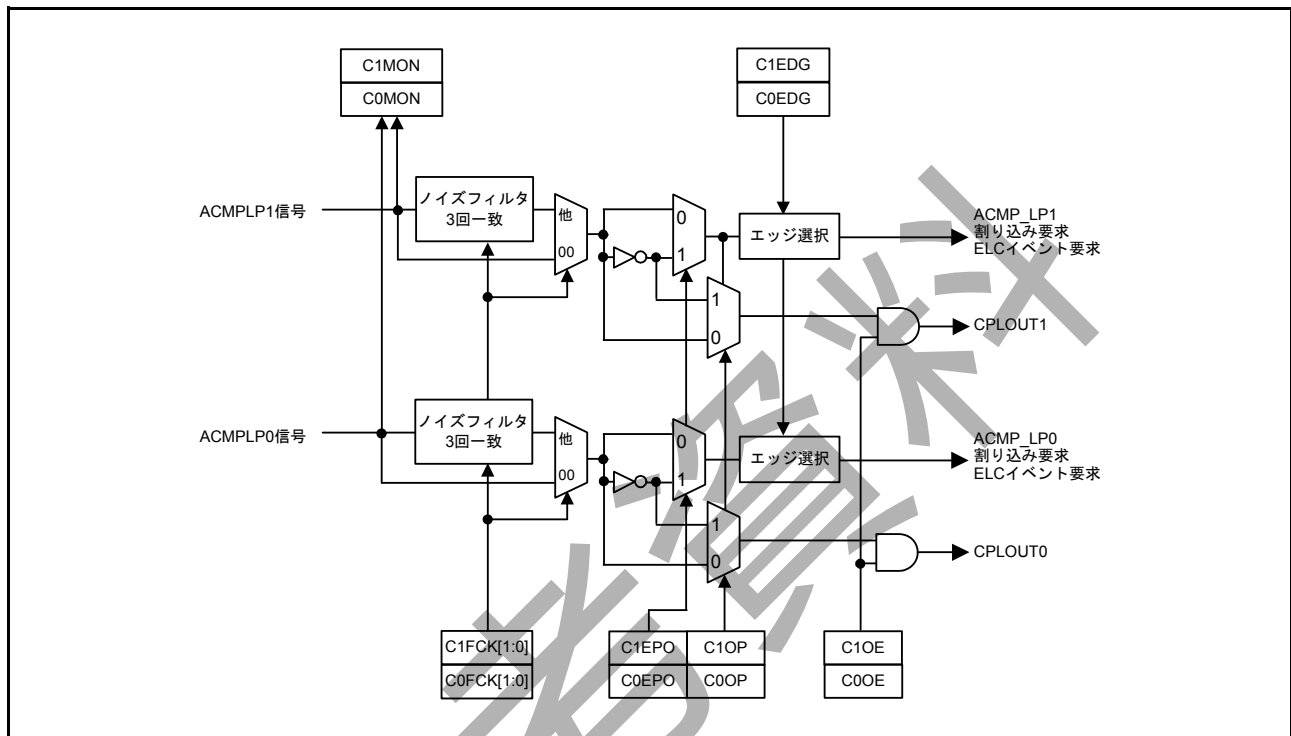


図 44.5 ノイズフィルタおよびエッジ検出の構成

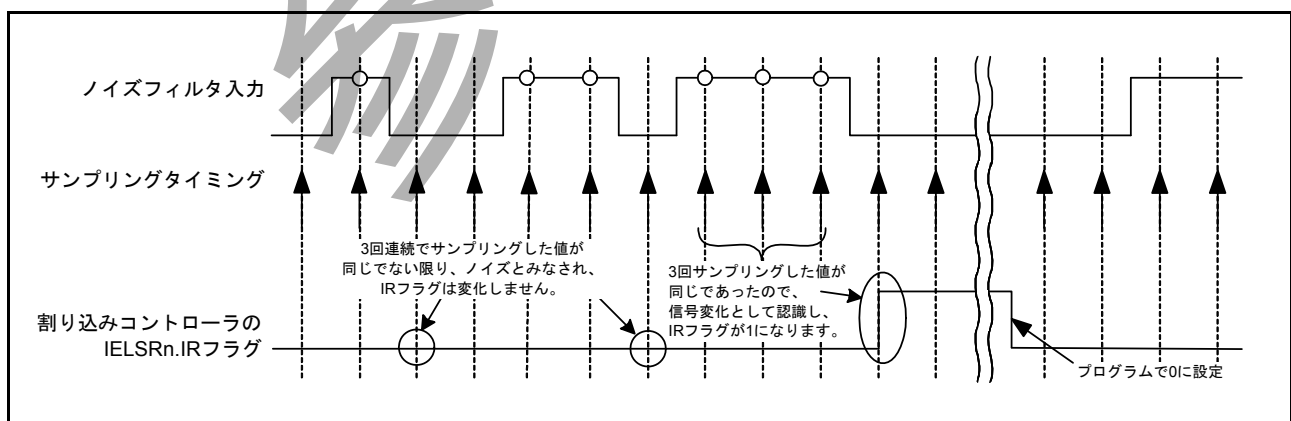


図 44.6 ノイズフィルタおよび割り込み動作例



## 44.5 ACMPLP 割り込み

ACMPLP は、割り込み要因、ACMPLP0 および ACMPLP1 から 2 つの割り込み要求を生成します。ACMPLPi ( $i=0, 1$ ) 割り込みは、ICU の IELSRn レジスタで該当のビットを選択することで使用できます。

ACMPLPi 割り込みを使用するには、COMPFIR.CiEDG ビットによって片エッジ検出または両エッジ検出のいずれかを選択してください。片エッジ検出を選択するときは、CiEPO ビットによって極性を選択してください。

割り込み出力は、COMPFIR.CiFCK[1:0] ビットで選択された、3 つのサンプリングクロックのうち 1 つを使用するノイズフィルタを通過させることも可能です。各サンプリングクロックを選択するには、COMPFIR.CiFCK[1:0] ビットを、01b、10b または 11b にします。

ACMPLP0 割り込み要求を使用してソフトウェアスタンバイモードまたはスヌーズモードを解除するには、COMPFIR.COFC[1:0] を 00b にし、ACMPLP0 ノイズフィルタをバイパスします。ACMPLP1 割り込み要求は、ソフトウェアスタンバイモードまたはスヌーズモードの解除には使用できません。

## 44.6 ELC イベント出力

ELC は、ACMPLPi 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPLPi の ELC イベントを使用するには、ELC の ELSR レジスタで選択します。ACMPLPi の ELC イベント要求を使用する場合、COMPFIR.CiFCK[1:0] ビットを 01b、10b、または 11b にします。

## 44.7 割り込み処理と ELC リンクの関係

ACMPLPi は ELC へイベント信号を出力し、あらかじめ設定していたモジュールの動作を開始することができます。割り込み要因の場合と同様に、ACMPLPi から ELC へのイベント信号出力発生条件は、COMPFIR.CiEDG ビットを設定することで片エッジ検出または両エッジ検出として選択できます。片エッジ検出を選択するときは、CiEPO ビットによって極性を選択できます。

## 44.8 コンパレータ端子出力

ACMPLPi からの比較結果は外部端子に出力できます。COMPOCR.CiOP および CiOE ビットを使用して、出力極性（非反転出力または反転出力）、および比較出力の許可/禁止を設定できます。レジスタ設定および関連するコンパレータ出力については、[44.2.3 ACMPLP 出力コントロールレジスタ \(COMPOCR\)](#) を参照してください。

ACMPLP 比較結果を CPLOUTi によって VCOUT 出力端子に出力するには、I/O レジスタの該当の Pmn 端子機能制御レジスタ (PmnPFS) を設定してください。

## 44.9 使用上の注意事項

### 44.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、ACMPLP の動作を禁止または許可することが可能です。ACMPLP は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

### 44.9.2 A/D コンバータとの関係

ACMPHS アナログ入力と A/D コンバータアナログ入力を同時に使用する場合は制限がかかります。詳細は、[39.8.13 A/D コンバータ、OPAMP、ACMPHS、ACMPLP の関係](#)を参照してください。

## 45. 静電容量式タッチセンシングユニット (CTSU)

### 45.1 概要

本章に記載している PCLK とは PCLKB を指します。

静電容量式タッチセンシングユニット (CTSU) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が電極に直接接触することはありません。

図 45.1 に示すように、電極と周囲の導電体との間には静電容量（寄生容量）が存在します。人体も導電体ですので、電極に指が近づくと静電容量の値が増加します。

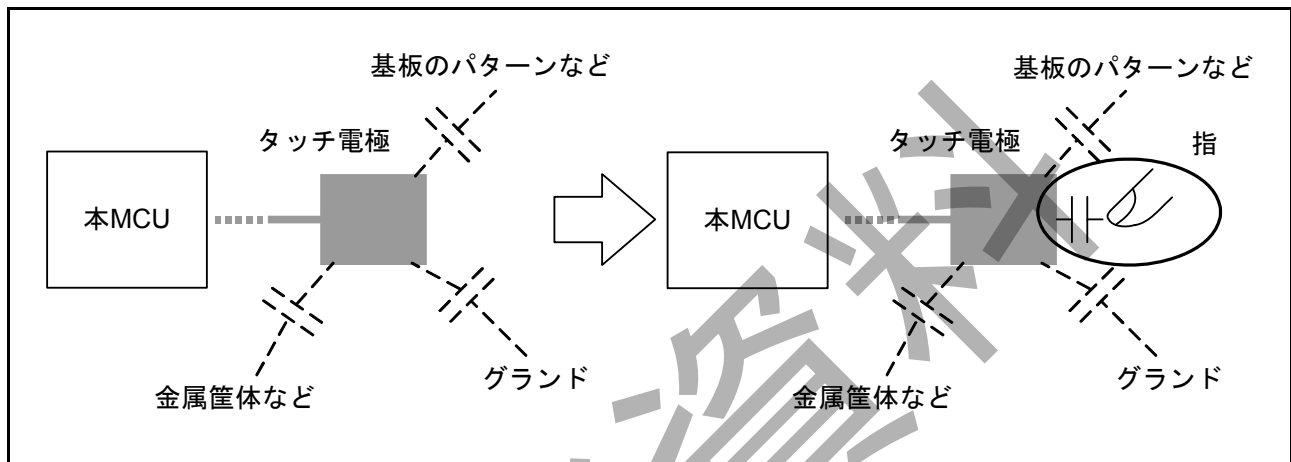


図 45.1 指による静電容量の増加

静電容量の検出方式には、自己容量方式と相互容量方式があります。自己容量方式では、指と1つの電極との間に生じる静電容量を検出します。一方、相互容量方式は、2つの電極を送信電極と受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出する方式です。

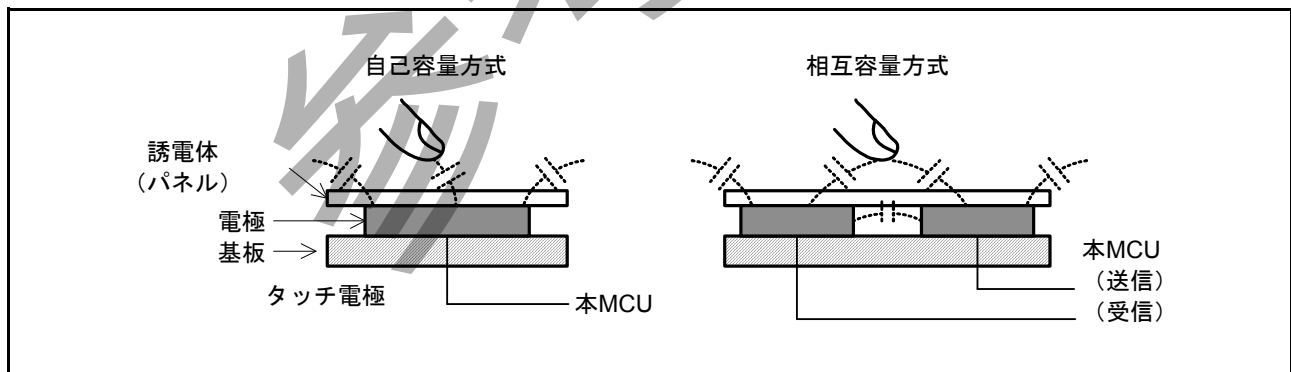


図 45.2 自己容量方式と相互容量方式

静電容量の測定は、充放電電流の量に応じて周波数に変化するクロック信号を一定の時間カウントすることにより行います。CTSUの計測原理の詳細については、[45.3.1 計測動作原理](#)を参照してください。表 45.1 に CTSU の仕様を、[図 45.1](#) にそのブロック図を示します。

表 45.1 CTSUSの仕様

項目		機能
動作クロック		PCLK、PCLK/2、またはPCLK/4
端子	静電容量計測	31チャンネル (TS00、TS01、TS03～TS22、TS26、TS27、TS29～TS35)
	TSCAP	LPF (Low Pass Filter) 接続端子
計測モード	自己容量シングルスキャンモード	自己容量方式で1チャンネルの静電容量を計測
	自己容量マルチスキャンモード	自己容量方式で複数チャンネルの静電容量を連続して計測
	相互容量フルスキャンモード	相互容量方式で複数チャンネルの静電容量を連続して計測
ノイズ対策		同期系ノイズ対策、高域ノイズ対策
計測開始条件		<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>外部トリガ (イベントリンクコントローラ (ELC) からのELC_CTSUS)</li> </ul>

CTSUSは、図 45.3 に示すようにステータス制御部、トリガ制御部、クロック制御部、チャンネル制御部、ポート制御部、センサドライブパルス生成部、計測部、割り込み部、I/O レジスタで構成されます。

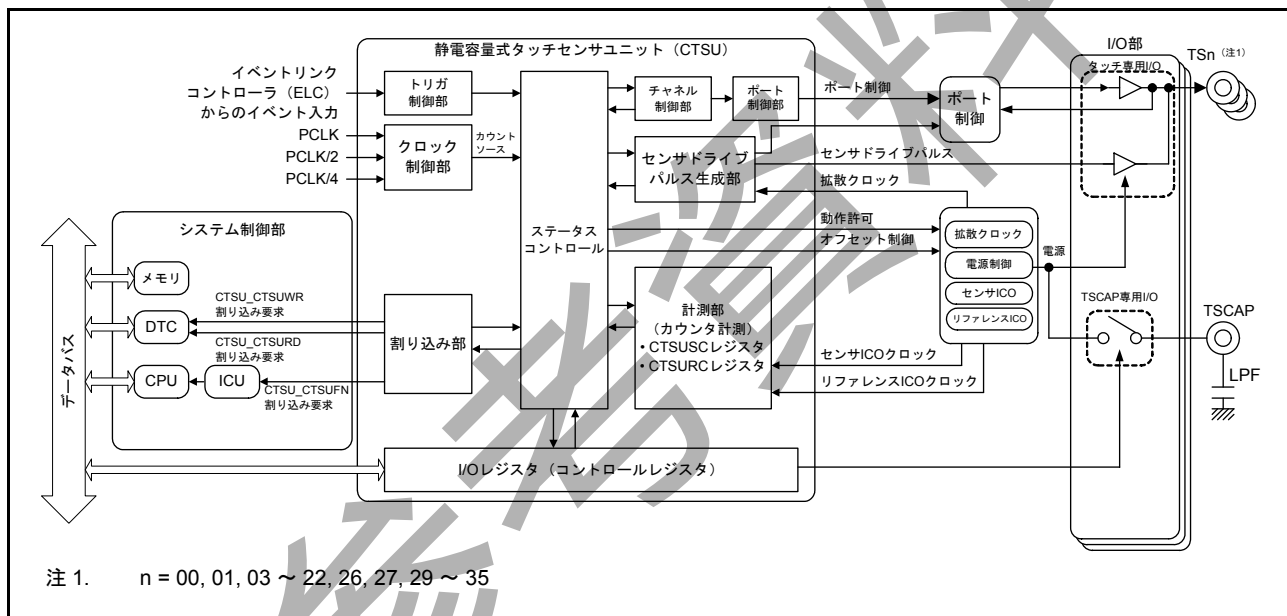


図 45.3 CTSUSのブロック図

表 45.2 CTSUS端子の構成

端子名	入出力	機能
TS00、TS01、TS03～TS22、TS26～TS27、TS29～TS35	入力	静電容量計測端子 (タッチ端子)
TSCAP	-	LPF 接続端子

## 45.2 レジスタの説明

### 45.2.1 CTSU コントロールレジスタ 0 (CTSUCR0)

アドレス CTSU.CTSUCR0 4008 1000h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CTSUI NIT	-	CTSUS NZ	CTSUC AP	CTSUS TRT
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUSTRT	CTSUS 計測動作開始	0 : 計測動作停止 (注1) 1 : 計測動作開始	R/W
b1	CTSUCAP	CTSUS 計測動作開始トリガ選択	0 : ソフトウェアトリガ 1 : 外部トリガ	R/W
b2	CTSUSNZ	CTSUS 待機時省電力有効	待機時省電力機能を設定します。 0 : 待機時省電力機能無効 1 : 待機時省電力機能有効	R/W
b3	—	予約ビット	読むと0が読み出されます。書く場合、0としてください。	R/W
b4	CTSUINIT	CTSUS 制御部初期化	1を書くと、CTSUS制御部と、CTSUSC、CTSUSRC、CTSUSMCH0、CTSUSMCH1、CTSUSTの各レジスタが初期化されます。読むと0が読めます。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. CTSUS を使用しない場合、このビットの値は0に固定してください。

CTSUCAP ビットと CTSUSNZ ビットの設定は、CTSUSTRT ビットが0のときのみ行ってください。計測動作開始時に同時に設定可能です。

#### CTSUSTRT ビット (CTSUS 計測動作開始)

計測動作開始/停止を指定します。CTSUCAP ビットが0のとき、ソフトウェアが CTSUSTRT ビットに1を書き込むこと(ソフトウェアトリガ)により計測を開始し、ハードウェアが CTSUSTRT ビットを0にすると停止します。CTSUCAP ビットが1のとき、CTSUSTRT ビットに1を書き込むことにより外部トリガの待機状態となり、外部トリガの立ち上がりで計測を開始します。計測が終了したら、次の外部トリガの待機状態となり動作が継続されます。

CTSUS の状態を、表 45.3 に示します。

表 45.3 CTSUS の状態

CTSUSTRT ビット	CTSUCAP ビット	CTSUS の状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中および外部トリガ待ち (注1)

注 1. CTSUST.CTSUSTC[2:0] フラグで以下のとおり状態を判断できます。

計測中 : CTSUST.CTSUSTC[2:0] フラグ ≠ 000b

外部トリガ待ち : CTSUST.CTSUSTC[2:0] フラグ = 000b

CTSUSTRT ビットがすでに1になっている場合、ソフトウェアで本ビットを1にしても、その書き込みは無視され動作が継続します。CTSUSTRT ビットが1のとき、ソフトウェアにより動作を強制的に終了する場合は、CTSUSTRT ビットを0にして、同時に CTSUINIT ビットを1にしてください。

**CTSUCAP ビット (CTSUS 計測動作開始トリガ選択)**

計測開始条件を指定します。詳細は、CTSUSTRT ビット (CTSUS 計測動作開始) を参照してください。

**CTSUSNZ ビット (CTSUS 待機時省電力有効)**

待機時省電力動作の有効/無効を選択します。また、本ビットにより CTSUS 電源はサスペンド状態になり、待機状態の低消費電力化が可能になります。サスペンド状態では、CTSUS 電源は OFF になりますが外部 TSCAP は引き続き充電されます。

CTSUS 電源状態制御を表 45.4 に示します。

**表 45.4 CTSUS 電源の状態制御**

CTSUCR1.CTSPON ビット	CTSUSNZ ビット	CTSUCAP ビット	CTSUSTRT ビット	CTSUS 電源の状態
0	0	0	0	停止
1	0	—	—	動作
1	1	0	0	サスペンド状態

注. 上記以外は設定しないでください。

サスペンド状態から計測を開始する場合は、CTSUSNZ ビットを 0 にしてから CTSUSTRT ビットを 1 にしてください。計測終了後、モジュールをサスペンド状態にするには、CTSUSNZ ビットを 1 にしてください。

**CTSUINIT ビット (CTSUS 制御部初期化)**

1 を書き込むと、内部コントロールレジスタを初期化します。動作中に強制終了させる場合は、CTSUSTRT ビットを 0 にして、同時に CTSUINIT ビットを 1 にしてください。この場合は動作が停止し、内部コントロールレジスタが初期化されます。

CTSUSTRT ビットが 1 のとき、CTSUINIT ビットに 1 を書き込まないでください。

## 45.2.2 CTSU コントロールレジスタ 1 (CTSUCR1)

アドレス CTSU.CTSUCR1 4008 1001h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUMD[1:0]	CTSUCLK[1:0]	CTSUA TUNE1	CTSUA TUNE0	CTSUC SW	CTSUC ON		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUPON	CTSUS電源供給許可	CTSUS電源供給を制御します。 0: 電源OFF 1: 電源ON	R/W
b1	CTSUCSW	CTSUS LPF 容量充電制御	TSCAP端子に接続されるLPF容量の充電を制御します。 0: 容量スイッチOFF 1: 容量スイッチON	R/W
b2	CTSUA TUNE0	CTSUS電源動作モード設定	VCC ≥ 2.4V 0: 通常動作モード 1: 低電圧動作モード VCC < 2.4V 0: 設定禁止 1: 低電圧動作モード	R/W
b3	CTSUA TUNE1	CTSUS電源能力調整	0: 通常出力 1: 高出力	R/W
b5-b4	CTSUCLK[1:0]	CTSUS動作クロック選択	CTSUSの動作クロックを選択します。 b5 b4 0 0: PCLK 0 1: PCLK/2 (PCLKを2分周したクロック) 1 0: PCLK/4 (PCLKを4分周したクロック) 1 1: 設定禁止	R/W
b7-b6	CTSUMD[1:0]	CTSUS計測モード選択	CTSUSの計測モードを選択します。 b7 b6 0 0: 自己容量シングルスキャンモード 0 1: 自己容量マルチスキャンモード 1 0: 設定禁止 1 1: 相互容量フルスキャンモード	R/W

CTSUCR1 レジスタの設定は、CTSUCR0.CTSUSSTRT ビットが0のときのみ行ってください。

**CTSUPON ビット (CTSUS 電源供給許可)**

CTSUSの電源制御を行います。CTSUPON ビットとCTSUCSW ビットには同じ値を設定してください。

**CTSUCSW ビット (CTSUS LPF 容量充電制御)**

容量スイッチのON/OFFにより、TSCAP端子に接続されるLPF容量の充電制御を行います。容量スイッチをONにしてからTSCAP端子に接続している容量が充電されるまで、一定時間待った後、CTSUCR0.CTSUSSTRTを1にして計測を開始してください。計測に先立って、I/OポートでTSCAP端子にLowを出力し、すでに充電されているLPF容量を放電してください。CTSUPON ビットとCTSUCSW ビットには同じ値を設定してください。

**CTSUA TUNE0 ビット (CTSUS 電源動作モード設定)**

CTSUSの電源動作モードを設定します。本ビットをCTSUSを動作させるVCCの下限に設定してください。たとえば、バッテリー動作に応じてVCCが変動するシステムでタッチ計測を行う場合、初期のVCC電圧にかかわらず本ビットを1にしてください。VCC電圧範囲は2～3Vです。

**CTSUA TUNE1 ビット (CTSUS 電源能力調整)**

CTSUSの電源能力を設定します。通常は0にすることを推奨しています。

**CTSUCLK[1:0] ビット (CTSUS 動作クロック選択)**

動作クロックを選択します。

**CTSUMD[1:0] ビット (CTSUS 計測モード選択)**

計測モードを設定します。詳細は、45.3.2 計測モードを参照してください。

**45.2.3 CTSUS 同期ノイズ低減設定レジスタ (CTSUSDPRS)**

アドレス CTSUS.DPRS 4008 1002h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	CTSUS OFF	CTSUSPRMODE[ 1:0]	CTSUPRRATIO[3:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUPRRATIO [3:0]	CTSUS 計測時間、計測パルス数調整	計測時間、計測パルス数を設定します。 推奨設定値：3 (0011b)	R/W
b5-b4	CTSUSPRMODE [1:0]	CTSUS 基本周期、基本パルス数設定	基本パルス数を設定します。 b5 b4 0 0: 510パルス 0 1: 126パルス 1 0: 62パルス (推奨設定値) 1 1: 設定禁止	R/W
b6	CTSUSOFF	CTSUS 高域ノイズ低減機能OFF設定	高域ノイズを低減するためのスペクトラム拡散機能を制御します。 0: ONに設定 1: OFFに設定	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUSDPRS レジスタの設定は、CTSUCR0.CTUSSTRT ビットが0のときのみ行ってください。

**CTSUPRRATIO[3:0] ビット (CTSUS 計測時間、計測パルス数調整)**

計測時間と計測パルス数を設定します。計算式は以下のとおりで、基本パルス数は CTSUSPRMODE[1:0] ビット設定により決定されます。

$$\text{計測パルス数} = \text{基本パルス数} \times (\text{CTSUPRRATIO}[3:0] \text{ ビット} + 1)$$

$$\text{計測時間} = (\text{基本パルス数} \times (\text{CTSUPRRATIO}[3:0] \text{ ビット} + 1) + \text{基本パルス数} - 2) \times 0.25 \times \text{ベースクロック周期}$$

注． ベースクロック周期の詳細は、45.2.21 CTSUS センサオフセットレジスタ 1 (CTSUSO1) を参照してください。

**CTSUSPRMODE[1:0] ビット (CTSUS 基本周期、基本パルス数設定)**

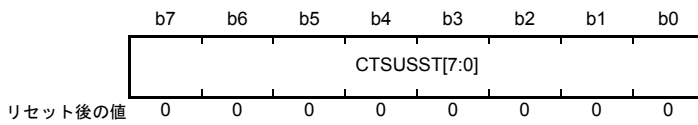
計測で発生する基本パルス数を選択します。

**CTSUSOFF ビット (CTSUS 高域ノイズ低減機能 OFF 設定)**

高域ノイズを低減する機能の ON/OFF を設定します。1 にすると OFF になります。

#### 45.2.4 CTSU センサ安定待ち時間コントロールレジスタ (CTSUSST)

アドレス CTSU.CTSUSST 4008 1003h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUSST[7:0]	CTSUセンサ安定待ち時間制御	これらのビット値は00010000bにしてください。	R/W

CTSUSST レジスタの設定は、CTSUCR0.CTSUSSTRT ビットが0のときのみ行ってください。

##### CTSUSST[7:0] ビット (CTSU センサ安定待ち時間制御)

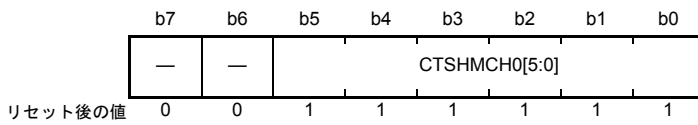
TSCAP 端子の電圧の安定待ち時間を設定します。常に 00010000b にしてください。本ビットが設定されない場合、計測開始時の TSCAP 電圧が不安定となり、正しいタッチ計測結果が得られません。

参考資料



## 45.2.5 CTSU 計測チャンネルレジスタ 0 (CTSUMCH0)

アドレス CTSU.CTSMCH0 4008 1004h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSMCH0[5:0]	CTSU計測チャンネル0	<p>自己容量シングルスキャンモードでは、計測するCTSUのチャンネルを設定します。</p> <p>b5 b0</p> <p>0 0 0 0 0 0 : TS00  0 0 0 0 0 1 : TS01  0 0 0 0 1 1 : TS03  0 0 0 1 0 0 : TS04  0 0 0 1 0 1 : TS05  0 0 0 1 1 0 : TS06  0 0 0 1 1 1 : TS07  0 0 1 0 0 0 : TS08  0 0 1 0 0 1 : TS09  0 0 1 0 1 0 : TS10  0 0 1 0 1 1 : TS11  0 0 1 1 0 0 : TS12  0 0 1 1 0 1 : TS13  0 0 1 1 1 0 : TS14  0 0 1 1 1 1 : TS15  0 1 0 0 0 0 : TS16  0 1 0 0 0 1 : TS17  0 1 0 0 1 0 : TS18  0 1 0 0 1 1 : TS19  0 1 0 1 0 0 : TS20  0 1 0 1 0 1 : TS21  0 1 0 1 1 0 : TS22  0 1 1 0 1 0 : TS26  0 1 1 0 1 1 : TS27  0 1 1 1 0 1 : TS29  0 1 1 1 1 0 : TS30  0 1 1 1 1 1 : TS31  1 0 0 0 0 0 : TS32  1 0 0 0 0 1 : TS33  1 0 0 0 1 0 : TS34  1 0 0 0 1 1 : TS35</p> <p>特に指定のない限り、上記ビット設定後にCTSUCR0.CTSUSTRTビットを1にして計測を開始することはしないでください。</p>	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
			他の計測モードでは、現在計測中のチャンネルを示します。 b5                      b0 0 0 0 0 0 0 : TS00 0 0 0 0 0 1 : TS01 0 0 0 0 1 1 : TS03 0 0 0 1 0 0 : TS04 0 0 0 1 0 1 : TS05 0 0 0 1 1 0 : TS06 0 0 0 1 1 1 : TS07 0 0 1 0 0 0 : TS08 0 0 1 0 0 1 : TS09 0 0 1 0 1 0 : TS10 0 0 1 0 1 1 : TS11 0 0 1 1 0 0 : TS12 0 0 1 1 0 1 : TS13 0 0 1 1 1 0 : TS14 0 0 1 1 1 1 : TS15 0 1 0 0 0 0 : TS16 0 1 0 0 0 1 : TS17 0 1 0 0 1 0 : TS18 0 1 0 0 1 1 : TS19 0 1 0 1 0 0 : TS20 0 1 0 1 0 1 : TS21 0 1 0 1 1 0 : TS22 0 1 1 0 1 0 : TS26 0 1 1 0 1 1 : TS27 0 1 1 1 0 1 : TS29 0 1 1 1 1 0 : TS30 0 1 1 1 1 1 : TS31 1 0 0 0 0 0 : TS32 1 0 0 0 0 1 : TS33 1 0 0 0 1 0 : TS34 1 0 0 0 1 1 : TS35 1 1 1 1 1 1 : 計測停止中	
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 自己容量シングルスキャンモード (CTSUCR1.CTSUMD[1:0] ビット = 00b) 時のみ、書き込み可能です。

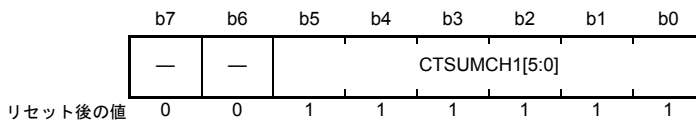
CTSUMCH0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

#### CTSHMCH0[5:0] ビット (CTSU 計測チャンネル 0)

自己容量シングルスキャンモードでは、CTSHMCH0[5:0] ビットで計測するチャンネルを設定します。このモードでは、有効チャンネル (000000b、000001b、000011b ~ 010110b、011010b、011011b、011101b ~ 100011b) のみ指定してください。それ以外のモードでは計測中の受信チャンネルを示し、これらのビットへの書き込みは無効になります。

## 45.2.6 CTSU 計測チャネルレジスタ 1 (CTSUCMCH1)

アドレス CTSU.CTSUCMCH1 4008 1005h



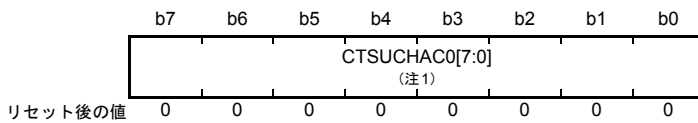
ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSUCMCH1[5:0]	CTSUCMCH1	b5                    b0 0 0 0 0 0 0 : TS00 0 0 0 0 0 1 : TS01 0 0 0 0 1 1 : TS03 0 0 0 1 0 0 : TS04 0 0 0 1 0 1 : TS05 0 0 0 1 1 0 : TS06 0 0 0 1 1 1 : TS07 0 0 1 0 0 0 : TS08 0 0 1 0 0 1 : TS09 0 0 1 0 1 0 : TS10 0 0 1 0 1 1 : TS11 0 0 1 1 0 0 : TS12 0 0 1 1 0 1 : TS13 0 0 1 1 1 0 : TS14 0 0 1 1 1 1 : TS15 0 1 0 0 0 0 : TS16 0 1 0 0 0 1 : TS17 0 1 0 0 1 0 : TS18 0 1 0 0 1 1 : TS19 0 1 0 1 0 0 : TS20 0 1 0 1 0 1 : TS21 0 1 0 1 1 0 : TS22 0 1 1 0 1 0 : TS26 0 1 1 0 1 1 : TS27 0 1 1 1 0 1 : TS29 0 1 1 1 1 0 : TS30 0 1 1 1 1 1 : TS31 1 0 0 0 0 0 : TS32 1 0 0 0 0 1 : TS33 1 0 0 0 1 0 : TS34 1 0 0 0 1 1 : TS35 1 1 1 1 1 1 : 計測停止中	R
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## CTSUCMCH1[5:0] ビット (CTSUCMCH1 計測チャネル 1)

フルスキャンモードで計測中の送信チャネルを示します。計測停止中、または自己容量シングルスキャンモードおよび自己容量マルチスキャンモードでは、11111b になります。

### 45.2.7 CTSU チャネルイネーブルコントロールレジスタ 0 (CTSUCHAC0)

アドレス CTSU.CTSUCHAC0 4008 1006h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC0[7:0] (注1)	CTSUチャネル有効制御0	対応するTS端子を計測するかどうかを選択します。 0: 計測しない 1: 計測する 本ビットは、TS00、TS01およびTS03～TS07端子の設定を行います。	R/W

注1. 本MCUはTS02端子には対応していません。そのため、b2 (CTSUCHAC0[2]) を読むと0が読めます。書く場合、0としてください。

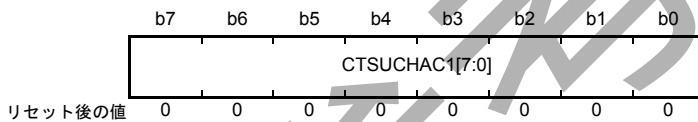
CTSUCHAC0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

#### CTSUCHAC0[7:0] ビット (CTSU チャネル有効制御 0)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC0[0] はTS00に、CTSUCHAC0[7] はTS07に対応します。

### 45.2.8 CTSU チャネルイネーブルコントロールレジスタ 1 (CTSUCHAC1)

アドレス CTSU.CTSUCHAC1 4008 1007h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC1[7:0]	CTSUチャネル有効制御1	対応するTS端子を計測するかどうかを選択します。 0: 計測しない 1: 計測する 本ビットは、TS08～TS15端子の設定を行います。	R/W

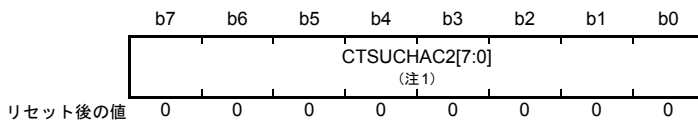
CTSUCHAC1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

#### CTSUCHAC1[7:0] ビット (CTSU チャネル有効制御 1)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC1[0] はTS08に、CTSUCHAC1[7] はTS15に対応します。

### 45.2.9 CTSU チャネルイネーブルコントロールレジスタ 2 (CTSUCHAC2)

アドレス CTSU.CTSUCHAC2 4008 1008h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC2[7:0] (注1)	CTSUSチャンネル有効制御2	対応するTS端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットは、TS16～TS22端子の設定を行います。	R/W

注1. 本MCUはTS23端子には対応していません。そのため、CTSUCHAC2[7]を読むと0が読めます。

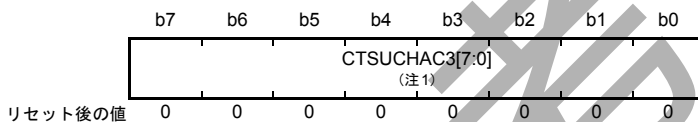
CTSUCHAC2レジスタの設定は、CTSUCR0.CTSUSTRTビットが0のときのみ行ってください。

#### CTSUCHAC2[7:0] ビット (CTSUSチャンネル有効制御2)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC2[0]はTS16に、CTSUCHAC2[7]はTS23に対応します。

### 45.2.10 CTSU チャネルイネーブルコントロールレジスタ 3 (CTSUCHAC3)

アドレス CTSU.CTSUCHAC3 4008 1009h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC3[7:0] (注1)	CTSUSチャンネル有効制御3	対応するTS端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットは、TS26、TS27およびTS29～TS31端子の設定を行います。	R/W

注1. 本MCUはTS24端子には対応していません。そのため、CTSUCHAC3[0]を読むと0が読めます。書く場合、0としてください。  
本MCUはTS25端子には対応していません。そのため、CTSUCHAC3[1]を読むと0が読めます。書く場合、0としてください。  
本MCUはTS28端子には対応していません。そのため、CTSUCHAC3[4]を読むと0が読めます。書く場合、0としてください。

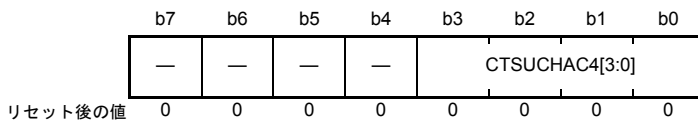
CTSUCHAC3レジスタの設定は、CTSUCR0.CTSUSTRTビットが0のときのみ行ってください。

#### CTSUCHAC3[7:0] ビット (CTSUSチャンネル有効制御3)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC3[0]はTS24に、CTSUCHAC3[7]はTS31に対応します。

### 45.2.11 CTSU チャネルイネーブルコントロールレジスタ 4 (CTSUCHAC4)

アドレス CTSU.CTSUCHAC4 4008 100Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUCHAC4[3:0]	CTSUSチャネル有効制御4	対応するTS端子を計測するかどうか選択します。 0：計測しない 1：計測する 本ビットは、TS32～TS35端子の設定を行います。	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

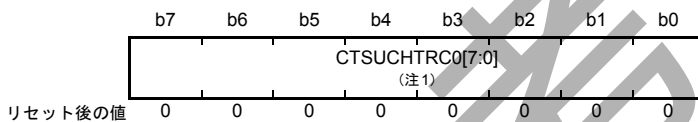
CTSUCHAC4 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

#### CTSUCHAC4[3:0] ビット (CTSUSチャネル有効制御4)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC4[0] はTS32に、CTSUCHAC4[3] はTS35に対応します。

### 45.2.12 CTSUSチャネル送受信コントロールレジスタ0 (CTSUCHTRC0)

アドレス CTSU.CTSUCHTRC0 4008 100Bh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC0[7:0]	CTSUSチャネル送受信制御0	0：受信 1：送信 本ビットは、TS00、TS01およびTS03～TS07端子の設定を行います。	R/W

注1. 本MCUはTS02端子には対応していません。そのため、CTSUCHTRC0[2]を読むと0が読めます。書く場合、0としてください。

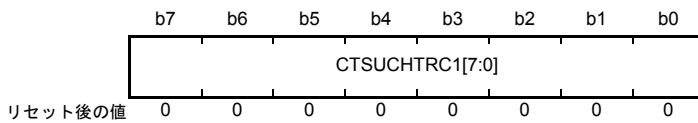
CTSUCHTRC0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

#### CTSUCHTRC0[7:0] ビット (CTSUSチャネル送受信制御0)

フルスキャンモード時、関連するTS端子の受信/送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。CTSUCHTRC0[0] はTS00に、CTSUCHTRC0[7] はTS07に対応します。

### 45.2.13 CTSU チャネル送受信コントロールレジスタ 1 (CTSUCHTRC1)

アドレス CTSU.CTSUCHTRC1 4008 100Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC1[7:0]	CTSUSチャネル送受信制御 1	0: 受信 1: 送信 本ビットは、TS08~TS15端子の設定を行います。	R/W

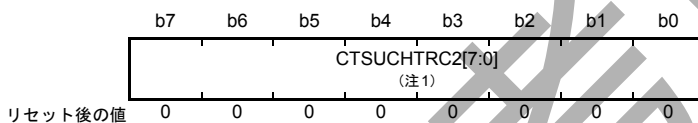
CTSUCHTRC1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

#### CTSUCHTRC1[7:0] ビット (CTSUS チャネル送受信制御 1)

フルスキャンモードで、関連 TS 端子に対する受信、送信の割り当てを行います。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。CTSUCHAC1[0] は TS08 に、CTSUCHAC1[7] は TS15 に対応します。

### 45.2.14 CTSU チャネル送受信コントロールレジスタ 2 (CTSUCHTRC2)

アドレス CTSU.CTSUCHTRC2 4008 100Dh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC2[7:0] (注1)	CTSUSチャネル送受信制御 2	0: 受信 1: 送信 本ビットは、TS16~TS22端子の設定を行います。	R/W

注 1. 本 MCU は TS23 端子には対応していません。そのため、CTSUCHTRC2[7] を読むと 0 が読めます。書く場合、0 としてください。

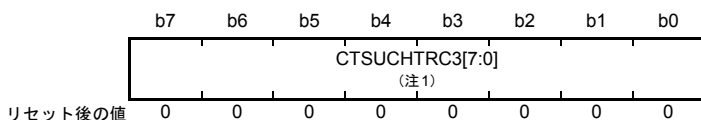
CTSUCHTRC2 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

#### CTSUCHTRC2[7:0] ビット (CTSUS チャネル送受信制御 2)

フルスキャンモードで、関連 TS 端子に対する受信、送信の割り当てを行います。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。CTSUCHAC2[0] は TS16 に、CTSUCHAC2[7] は TS23 に対応します。

## 45.2.15 CTSU チャネル送受信コントロールレジスタ 3 (CTSUCHTRC3)

アドレス CTSU.CTSUCHTRC3 4008 100Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC3[7:0] (注1)	CTSUチャネル送受信制御3	0: 受信 1: 送信 本ビットは、TS26、TS27およびTS29～TS31端子の設定を行います。	R/W

注 1. 本 MCU は TS24 端子には対応していません。そのため、CTSUCHTRC3[0] を読むと 0 が読めます。書く場合、0 としてください。  
 本 MCU は TS25 端子には対応していません。そのため、CTSUCHTRC3[1] を読むと 0 が読めます。書く場合、0 としてください。  
 本 MCU は TS28 端子には対応していません。そのため、CTSUCHTRC3[4] を読むと 0 が読めます。書く場合、0 としてください。

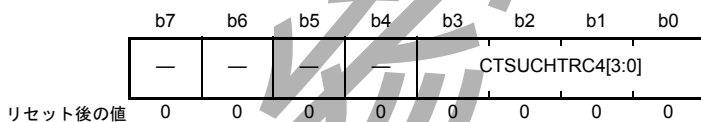
CTSUCHTRC3 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

## CTSUCHTRC3[7:0] ビット (CTSU チャネル送受信制御 3)

フルスキャンモードで、関連 TS 端子に対する受信、送信の割り当てを行います。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。CTSUCHAC3[0] は TS24 に、CTSUCHAC3[7] は TS31 に対応します。

## 45.2.16 CTSU チャネル送受信コントロールレジスタ 4 (CTSUCHTRC4)

アドレス CTSU.CTSUCHTRC4 4008 100Fh



ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUCHTRC4[3:0]	CTSUチャネル送受信制御4	0: 受信 1: 送信 本ビットは、TS32～TS35端子の設定を行います。	R/W
b7-b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CTSUCHTRC4 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

## CTSUCHTRC4[3:0] ビット (CTSU チャネル送受信制御 4)

フルスキャンモードで、関連 TS 端子に対する受信、送信の割り当てを行います。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。CTSUCHAC4[0] は TS32 に、CTSUCHAC4[3] は TS35 に対応します。



## 45.2.17 CTSU 高域ノイズ低減コントロールレジスタ (CTSUDCLKC)

アドレス CTSU.CTSUDCLKC 4008 1010h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CTSUSSCNT[1:0]	—	—	—	CTSUSSMOD[1:0]	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSSMOD[1:0]	CTSU 拡散クロックモード選択	00bにしてください。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	CTSUSSCNT[1:0]	CTSU 拡散クロックモード制御	11bにしてください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUDCLKC レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

**CTSUSSMOD[1:0] ビット (CTSU 拡散クロックモード選択)**

高域ノイズ低減に関わるスペクトラム拡散クロックのモードを設定します。高域ノイズ低減機能を使用する場合は必ず 00b にしてください。本ビットが設定されていない場合、CTSU は効果的に高域ノイズを低減できません。

**CTSUSSCNT[1:0] ビット (CTSU 拡散クロックモード制御)**

高域ノイズ低減のためのスペクトラム拡散量を調整します。高域ノイズ低減機能を使用する場合は必ず 11b にしてください。本ビットが設定されていない場合、タッチ計測が正しく行われな可能性がありません。

## 45.2.18 CTSU ステータスレジスタ (CTSUST)

アドレス CTSU.CTSUST 4008 1011h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUPS	CTSUR	CTSUS	CTSUD	—	CTSUSTC[2:0]		
0	0	0	0	0	0	0	0

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSUSTC[2:0]	CTSU計測ステータスカウンタ	現在の計測ステータスを示します。 b2 b0 0 0 0: Status0 0 0 1: Status1 0 1 0: Status2 0 1 1: Status3 1 0 0: Status4 1 0 1: Status5	R
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	CTSUDTSR	CTSUデータ転送ステータスフラグ	センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。 0: 読み出しあり 1: 読み出しなし	R
b5	CTSUSOVF	CTSUセンサカウンタオーバーフローフラグ	センサカウンタのオーバーフローを示します。 0: オーバーフロー発生なし 1: オーバーフロー発生	R/W
b6	CTSUROVF	CTSUリファレンスカウンタオーバーフローフラグ	リファレンスカウンタのオーバーフローを示します。 0: オーバーフロー発生なし 1: オーバーフロー発生	R/W
b7	CTSUPS	CTSU相互容量計測ステータスフラグ	相互容量フルスキャンモードでの計測ステータスを示します。 0: 1回目の計測 1: 2回目の計測	R

CTSUCR0.CTSUINIT ビットでオーバーフローフラグをクリアする場合は、必ず CTSUCR0.CTSUSTRT ビットが 0 であるときに行ってください。

**CTSUSTC[2:0] フラグ (CTSU 計測ステータスカウンタ)**

現在の計測ステータスを示すカウンタです。各ステータスの詳細は、[45.3.2.2 ステータスカウンタ](#)を参照してください。

**CTSUDTSR フラグ (CTSU データ転送ステータスフラグ)**

センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。計測完了時に 1 になり、ソフトウェアまたは DTC でリファレンスカウンタを読み出すと 0 となります。本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

**CTSUSOVF フラグ (CTSU センサカウンタオーバーフローフラグ)**

センサカウンタである CTSUSC がオーバーフローしたことを示します。オーバーフロー発生時、カウンタ値は FFFFh になります。計測は指定期間継続します。

オーバーフロー発生時に割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、測定終了割り込み発生により計測完了が判明してから、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで 1 を読み出した後、0 を書き込むことによりクリアされます。本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

**CTSUROVF フラグ (CTSU リファレンスカウンタオーバーフローフラグ)**

リファレンスカウンタである CTSUSC がオーバーフローしたことを示します。オーバーフロー発生時、カウンタ値は FFFFh になります。計測は指定期間継続します。

オーバーフロー発生時でも割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、測定終了割り込み発生により計測完了が判明してから、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで 1 を読み出した後、0 を書き込むことによりクリアされます。本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

**CTSUPS フラグ (CTSU 相互容量計測ステータスフラグ)**

相互容量フルスキャンモード (CTSUCR1.CTSUMD[1:0] ビット = 11b) のとき、1 チャンネルあたり 2 回の計測において計測が 1 回目なのか 2 回目なのかを示します。計測停止時、またはその他の計測モードの場合は 0 になります。

参考資料

## 45.2.19 CTSU 高域ノイズ低減スペクトラム拡散コントロールレジスタ (CTSUSSC)

アドレス CTSU.CTSUSSC 4008 1012h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	CTSUSSDIV[3:0]				—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	CTSUSSDIV[3:0]	CTSUスペクトラム拡散分周設定	ベースクロックの分周設定に基づき、スペクトラム拡散分周設定値を設定します。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## CTSUSSDIV[3:0] ビット (CTSU スペクトラム拡散分周設定)

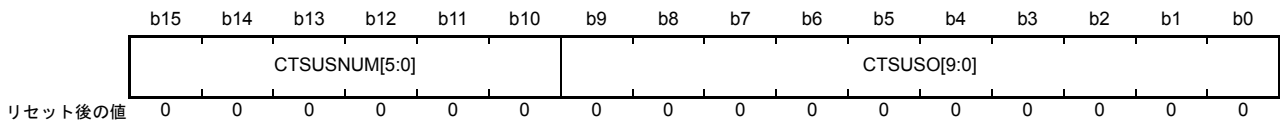
ベースクロックの分周設定に基づいて、スペクトラム拡散分周設定値を設定します。CTSUSSDIV[3:0] の正しい設定値を決めるには、表 45.5 でベースクロック周波数と設定値の関係を参照してください。

表 45.5 ベースクロック周波数とCTSUSSDIV[3:0]ビットの設定値の関係

ベースクロック周波数 fb (MHz)	CTSUSSDIV[3:0] ビットの設定値
$4.00 \leq fb$	0000b
$2.00 \leq fb < 4.00$	0001b
$1.33 \leq fb < 2.00$	0010b
$1.00 \leq fb < 1.33$	0011b
$0.80 \leq fb < 1.00$	0100b
$0.67 \leq fb < 0.80$	0101b
$0.57 \leq fb < 0.67$	0110b
$0.50 \leq fb < 0.57$	0111b
$0.44 \leq fb < 0.50$	1000b
$0.40 \leq fb < 0.44$	1001b
$0.36 \leq fb < 0.40$	1010b
$0.33 \leq fb < 0.36$	1011b
$0.31 \leq fb < 0.33$	1100b
$0.29 \leq fb < 0.31$	1101b
$0.27 \leq fb < 0.29$	1110b
$fb < 0.27$	1111b

## 45.2.20 CTSU センサオフセットレジスタ 0 (CTSUSO0)

アドレス CTSU.CTSUSO0 4008 1014h



ビット	シンボル	ビット名	機能	R/W
b9-b0	CTSUSO[9:0]	CTSUSO センサオフセット調整	電極が非タッチ状態のときの静電容量を調整します。 b9 b0 0000000000 : 電流オフセット量0 0000000001 : 電流オフセット量1 0000000010 : 電流オフセット量2 : : 1111111110 : 電流オフセット量1022 1111111111 : 電流オフセット量最大	R/W
b15-b10	CTSUSNUM[5:0]	CTSUSNUM 計測回数設定	CTSUSNUM の計測回数を設定します。	R/W

**CTSUSO[9:0] ビット (CTSUSO センサオフセット調整)**

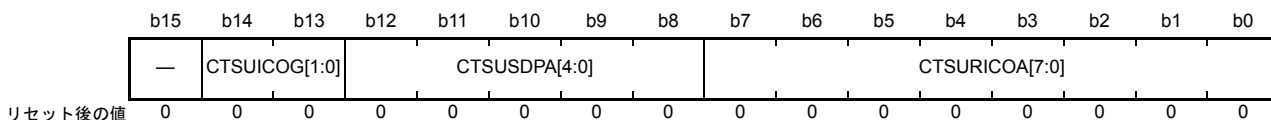
タッチ計測時に電極が非タッチ状態のときの静電容量により発生するセンサ ICO 入力電流をオフセットします。これは、CTSUSNUM カウンタのオーバーフローを防止します。次に計測する TS 端子の設定は、CTSUSNUM 割り込みの発生後に行ってください。

**CTSUSNUM[5:0] ビット (CTSUSNUM 計測回数設定)**

CTSUSNUM.CTSUSNUMRATIO[3:0] ビットおよび CTSUSNUM.CTSUSNUMMODE[1:0] ビットで決定される計測パルス数を計測時間内に何回繰り返すかを設定します。繰り返し回数は (CTSUSNUM[5:0] ビット + 1) となります。次に計測する TS 端子の設定は、CTSUSNUM 割り込みの発生後に行ってください。

## 45.2.21 CTSU センサオフセットレジスタ 1 (CTSUSO1)

アドレス CTSU.CTSUSO1 4008 1016h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSURICOA[7:0]	CTSU リファレンス ICO 電流調整	リファレンス ICO の入力電流を調整します。 b7 b0 00000000 : 電流オフセット量0 00000001 : 電流オフセット量1 00000010 : 電流オフセット量2 : 11111110 : 電流オフセット量254 11111111 : 電流オフセット量最大	R/W
b12-b8	CTSUSDPA[4:0]	CTSU ベースクロック設定	CTSU のベースクロックを生成します。 b12 b8 00000 : 動作クロックの2分周 (注1) 00001 : 動作クロックの4分周 00010 : 動作クロックの6分周 00011 : 動作クロックの8分周 00100 : 動作クロックの10分周 00101 : 動作クロックの12分周 00110 : 動作クロックの14分周 00111 : 動作クロックの16分周 01000 : 動作クロックの18分周 01001 : 動作クロックの20分周 01010 : 動作クロックの22分周 01011 : 動作クロックの24分周 01100 : 動作クロックの26分周 01101 : 動作クロックの28分周 01110 : 動作クロックの30分周 01111 : 動作クロックの32分周 10000 : 動作クロックの34分周 10001 : 動作クロックの36分周 10010 : 動作クロックの38分周 10011 : 動作クロックの40分周 10100 : 動作クロックの42分周 10101 : 動作クロックの44分周 10110 : 動作クロックの46分周 10111 : 動作クロックの48分周 11000 : 動作クロックの50分周 11001 : 動作クロックの52分周 11010 : 動作クロックの54分周 11011 : 動作クロックの56分周 11100 : 動作クロックの58分周 11101 : 動作クロックの60分周 11110 : 動作クロックの62分周 11111 : 動作クロックの64分周	R/W
b14-b13	CTSUICOG[1:0]	CTSU ICO ゲイン調整	センサICO とリファレンスICO の出力周波数ゲインを調整します。 b14 b13 0 0 : ゲイン100% 0 1 : ゲイン66% 1 0 : ゲイン50% 1 1 : ゲイン40%	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 相互容量フルスキャンモード (CTSUCR1.CTSMUMD[1:0] ビット = 11b) の高域ノイズ低減機能 OFF 状態 (CTSUSDPRS.CTSSUSOFF ビット = 1) では、CTSUSDPA[4:0] ビット = 00000b は設定しないでください。

CTSU\_CTSUWR 割り込み発生後、CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタの順に書き込んでください。また、CTSUSO1 レジスタへの書き込みにより Status3 へ遷移します (表 45.6 および表 45.7 を参照してください)。CTSUSO1 レジスタに書き込む場合は、一度の動作で全ビットに書き込むようにしてください。

#### CTSURICOA[7:0] ビット (CTSU リファレンス ICO 電流調整)

リファレンス ICO の入力電流により、発振周波数を調整します。

#### CTSUSDPA[4:0] ビット (CTSU ベースクロック設定)

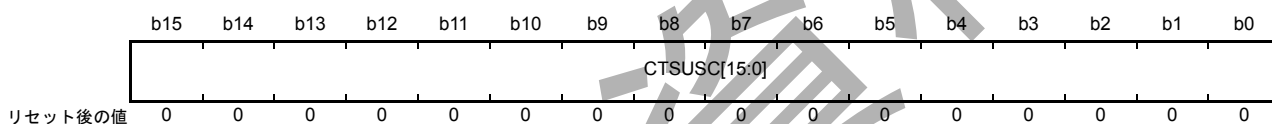
動作クロックを分周して、センサドライブパルスの元となるベースクロックを選択します。設定手順の詳細は、45.3.2.1 初期設定フローを参照してください。

#### CTSUICOG[1:0] ビット (CTSU ICO ゲイン調整)

センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。通常は最大ゲインの 00b にしてください。非タッチ時-タッチ時の容量変化が、センサ ICO のダイナミックレンジを大きく超える場合は、このビットを適切なゲインに調整してください。

### 45.2.22 CTSU センサカウンタ (CTSUSC)

アドレス CTSU.CTSUSC 4008 1018h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSUSC[15:0]	CTSUセンサカウンタ	センサICOの計測結果を示します。オーバーフロー発生時はFFFFhが読み出されます。	R

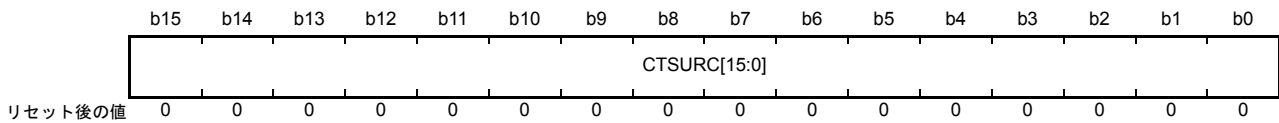
CTSU\_CTSURD 割り込み発生後、まず CTSUSC カウンタ、次に CTSURC カウンタの順で読み出してください。

#### CTSUSC[15:0] ビット (CTSU センサカウンタ)

センサ ICO 用のインクリメントカウンタです。CTSU\_CTSURD 割り込み発生後に読み出してください。本ビットは CTSURC カウンタ読み出し後、次の計測で CTSU 計測ステータスカウンタ値が Status4 に遷移 (CTSUST.CTSUSTC[2:0] フラグが 100b に遷移) する直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

## 45.2.23 CTSU リファレンスカウンタ (CTSURC)

アドレス CTSU.CTSURC 4008 101Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSURC[15:0]	CTSUリファレンスカウンタ	リファレンスICOの計測結果を示します。オーバーフロー発生時はFFFFhが読み出されます。	R

CTSU\_CTSURD 割り込み発生後、まず CTSUSC カウンタ、次に CTSURC カウンタの順で読み出してください。Status3 に指定した安定時間を経過しても、CTSURC カウンタが読み出されるまで Status3 が継続します。

## CTSURC[15:0] ビット (CTSU リファレンスカウンタ)

リファレンス ICO クロック用のインクリメントカウンタです。

リファレンス ICO はセンサ ICO によるタッチ計測を最適化します。CTSU に内蔵されたセンサ ICO とリファレンス ICO は個体により若干の偏差はありますが、ダイナミックレンジや電流一周波数の特性などはほぼ同様の特性を持っています。リファレンス ICO 電流調整ビットで設定できる電流量の範囲がほぼ、両 ICO のダイナミックレンジになるため、センサ ICO に入力する電流量もこのダイナミックレンジに収める必要があります。そのためには、ICO の個体差を確認するためにリファレンス ICO を使い、電流一発振周波数の特性を計測します。リファレンス ICO 発振周波数はリファレンス ICO カウンタで取得でき、リファレンス ICO 電流調整ビットに値を設定してリファレンス ICO カウンタを計測することで、入力電流に対する ICO 発振周波数 (カウンタ値/計測時間) を計測できます。また、リファレンス ICO 電流調整ビットの最大値で計測されるリファレンス ICO カウンタの値が、ICO のダイナミックレンジの最大値となります。センサ ICO カウンタの値がこの値を超えないように、オフセット調整ビットでセンサ ICO の電流をオフセットする必要があります。

CTSURC[15:0] ビットは、CTSU\_CTSURD 割り込み発生後に読み出してください。本ビットは読み出し後に、次の計測で CTSU 計測ステータスカウンタ値が Status4 に遷移 (CTSUST.CTSUSTC[2:0] フラグが 100b に遷移) する直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。



## 45.2.24 CTSU エラーステータスレジスタ (CTSUERRS)

アドレス CTSU.CTSUERRS 4008 101Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CTSUI COMP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。	R
b15	CTSUICOMP	TSCAP 電圧異常監視	TSCAP 電圧の異常状態を監視します。 0 : TSCAP 電圧正常 1 : TSCAP 電圧異常	R

## CTSUICOMP ビット (TSCAP 電圧異常監視)

CTSUSO1 レジスタで設定したオフセット電流量が、タッチ計測時のセンサ ICO 入力電流を上回った場合、TSCAP 電圧が異常となりタッチ計測が正しく行われません。本ビットは、TSCAP 電圧を監視し、異常となった場合、1 になります。

TSCAP 電圧が異常となった場合、センサ ICO カウンタの値は不定になりますが、タッチ計測は正常に終了します。そのため、センサ ICO カウンタの値から異常を検知することは困難です。CTSUSO1 レジスタの CTSU リファレンス ICO 電流調整ビット (CTSURICOA[7:0]) を 0 以外にした場合、タッチ計測終了時に本ビットを確認してください。

本ビットは、CTSUCR1.CTSUPON ビットに 0 を書き込み、電源 OFF とすることでクリアされます。

## 45.3 動作説明

### 45.3.1 計測動作原理

図 45.4 に計測部回路を示します。

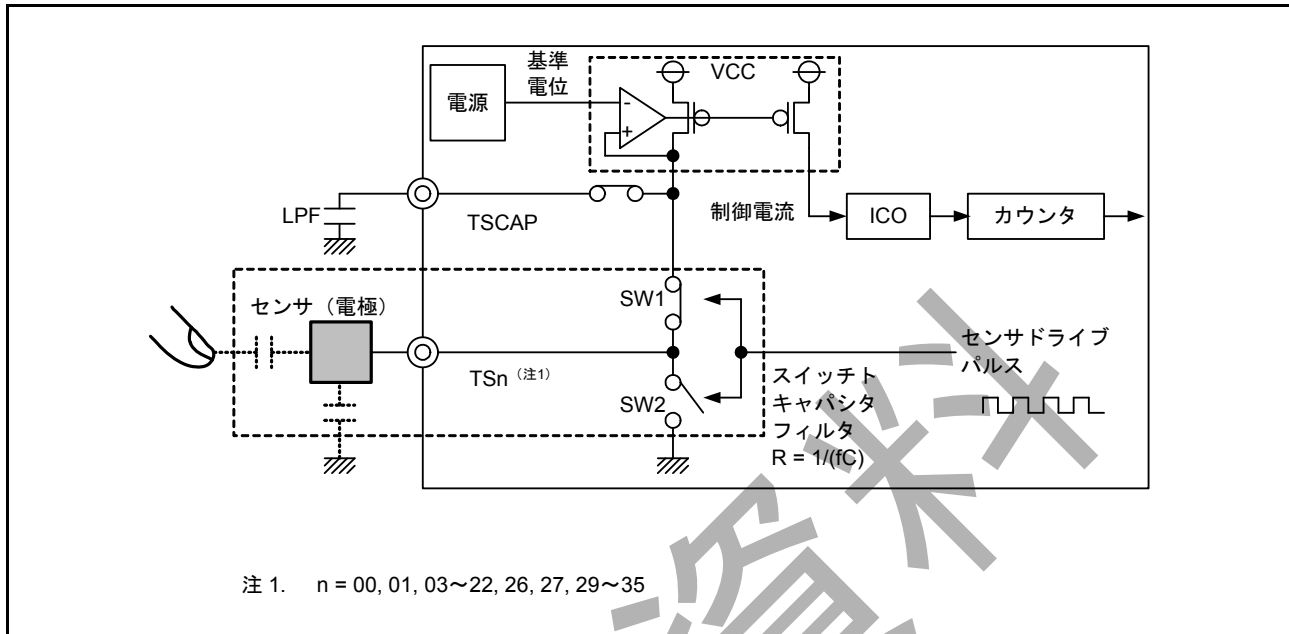


図 45.4 計測部回路

図 45.5 ~ 図 45.7 に CTSU の電流周波数変換方式の静電容量計測動作原理を示します。動作は以下のとおりです。

1. SW1 : ON、SW2 : OFF にすることで、電極の静電容量に充電されます。図 45.5 を参照してください。
2. SW1 : OFF、SW2 : ON にすることで、充電された容量は放電されます。図 45.6 を参照してください。
3. 手順 1. および 2. に示す電極の充放電の切り替えを繰り返すことにより、スイッチトキャパシタフィルタに電流が流れます。この時点で指が接近していれば、容量および流れる電流が変化します。TSCAP 電源を生成する回路からスイッチトキャパシタフィルタに流れる電流に比例した制御電流を ICO に供給することで、クロックを生成します。カウンタは、指が接近しているかどうかにより変化するクロック周波数を計測します。ソフトウェアは、カウンタから読み出した値に基づき指の接触を判断します (図 45.7)。

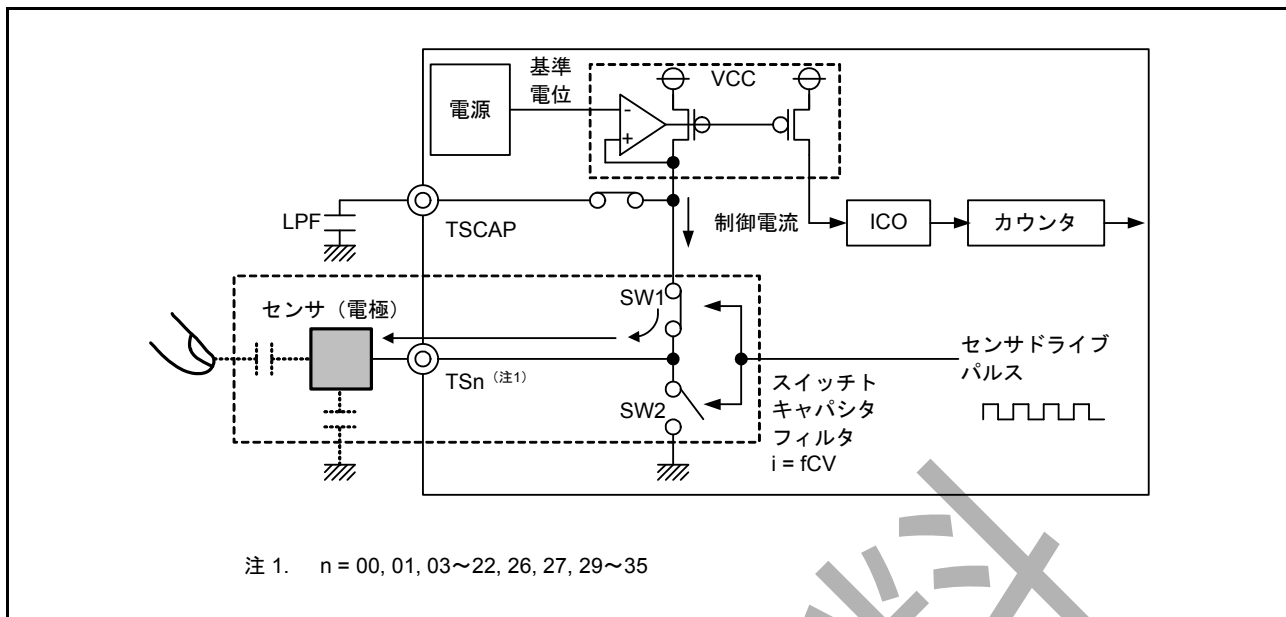


図 45.5 充電動作

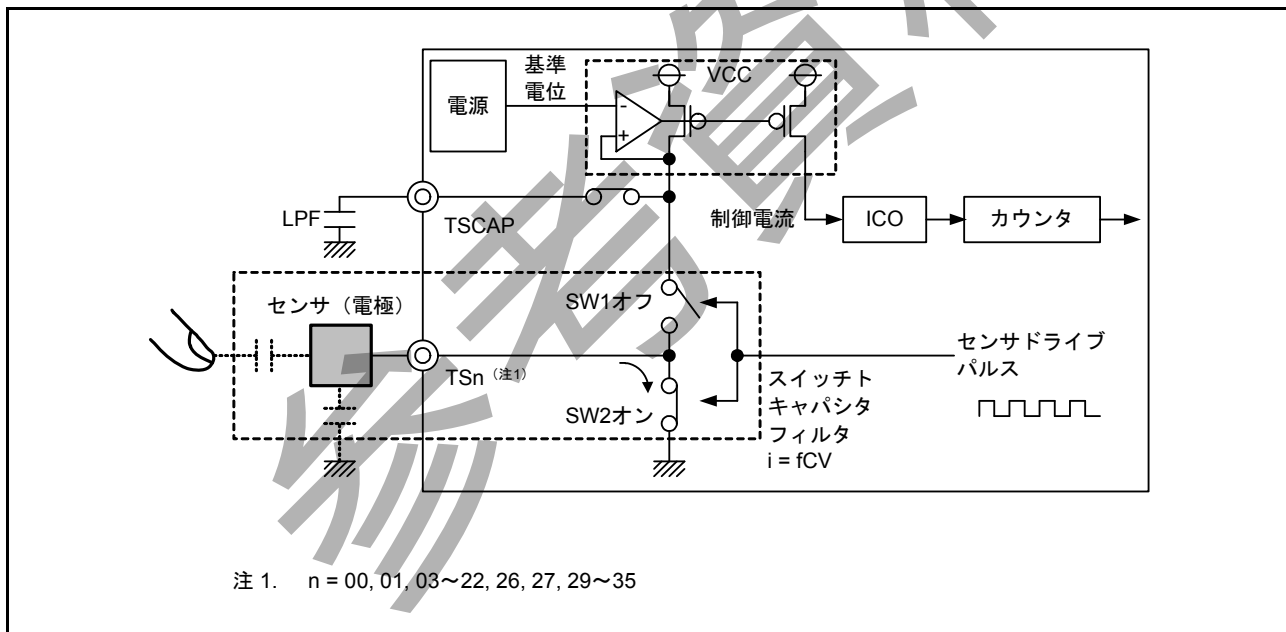


図 45.6 放電動作

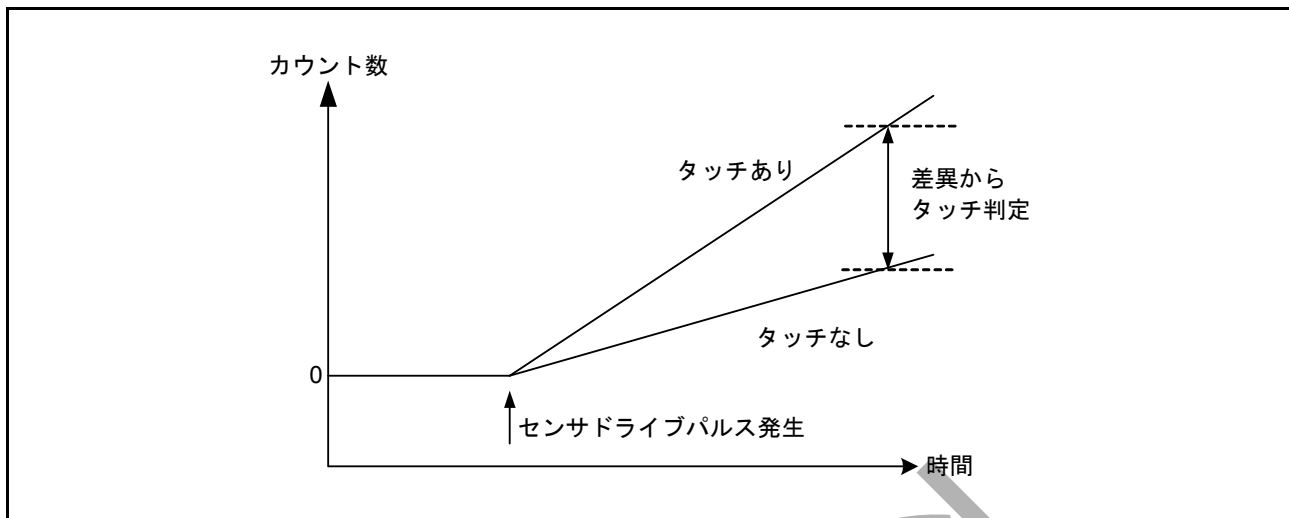


図 45.7 接触／非接触による計測値の変化

### 45.3.2 計測モード

CTSU は、自己容量方式と相互容量方式に対応しています。図 45.8 に両方式の概要を示します。

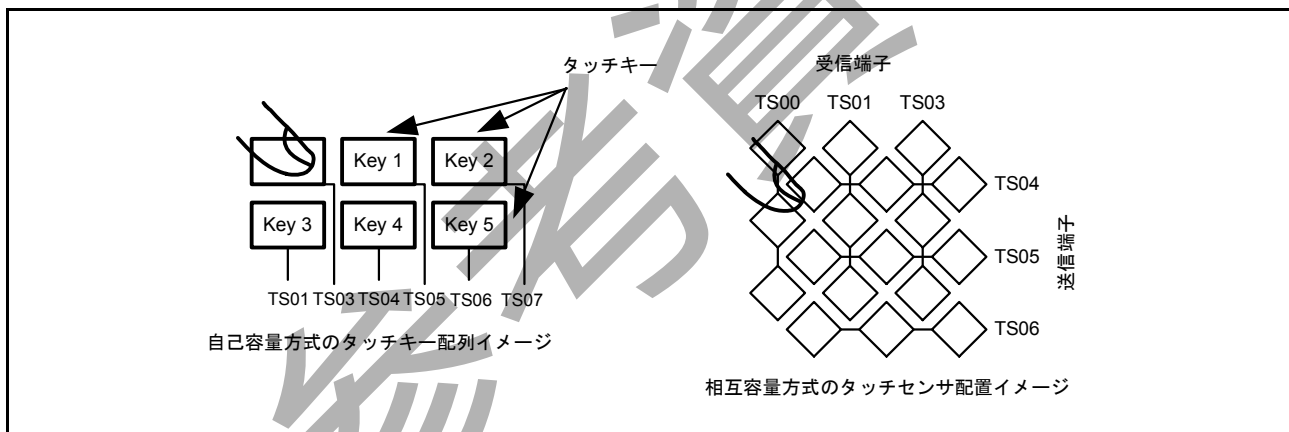


図 45.8 自己容量方式と相互容量方式の概要

自己容量方式では、1つのタッチキーに1つのタッチ端子を割り当て、それぞれにおける指の接近時の静電容量を計測します。この方法では、シングルスキャンモードとマルチスキャンモードの両方で容量を計測できます。相互容量方式では、対向する2つの電極（送信端子と受信端子）間の容量を計測します。

## 45.3.2.1 初期設定フロー

図 45.9 に、CTSUS の初期設定フローを示します。

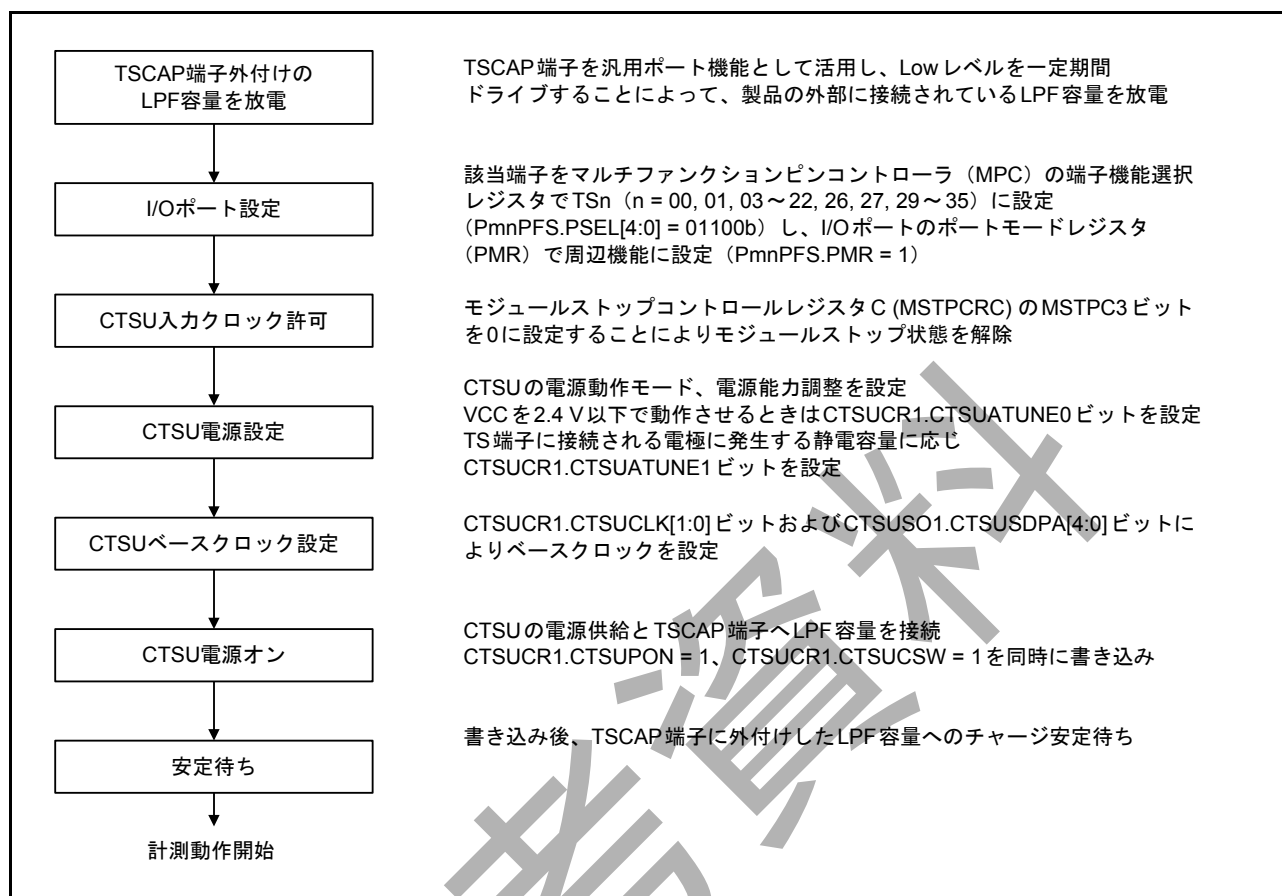


図 45.9 CTSUS 初期設定フロー

図 45.10 に、CTSUS の動作を停止させスタンバイ状態にするフローを示します。

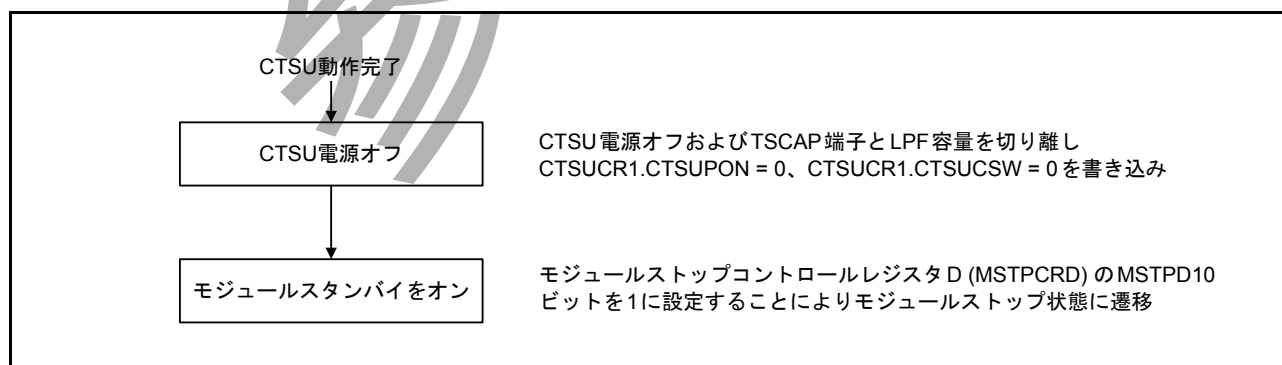


図 45.10 CTSUS 停止フロー

動作を再開する場合は、図 45.9 の初期設定フローに従ってください。

### 45.3.2.2 ステータスカウンタ

CTSU ステータスレジスタ (CTSUST) の計測ステータスカウンタは、現在の計測ステータスを示します。計測ステータスは、4つの計測モードに適用できます。図 45.11 にステータス動作遷移図を示します。

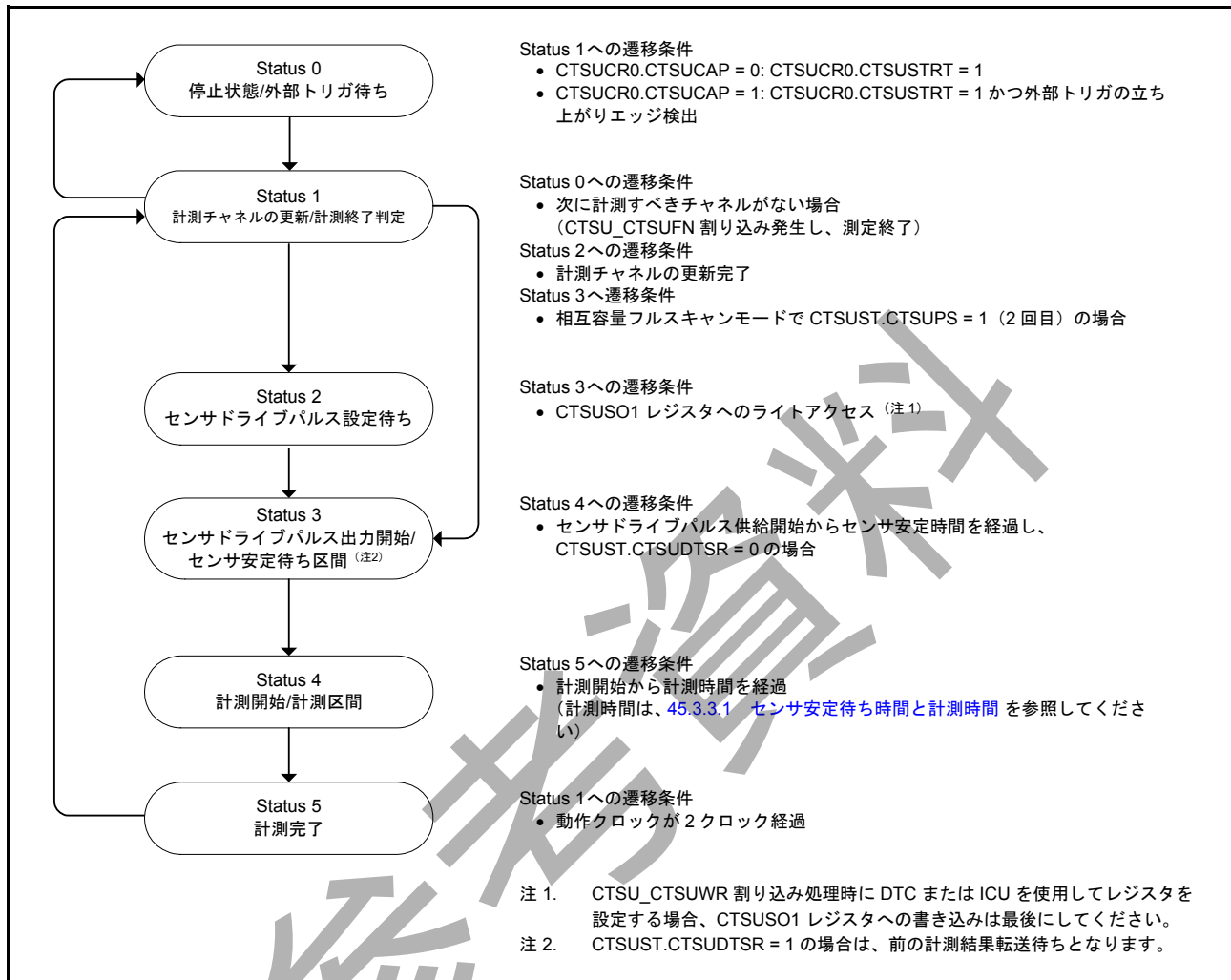


図 45.11 ステータス動作遷移図

ステータスカウンタは、指定したすべての計測チャンネルの計測が終了すると Status0 に遷移します。

CTSUCR0.CTSUSTRT ビットは、ソフトウェアトリガではハードウェアにより 0 にされます。また外部トリガでは 1 が保持され、次のトリガの待機状態になります。

計測中またはトリガ待機状態で強制終了する (CTSUCR0.CTSUSTRT ビットに 0 を、CTSUCR0.CTSUINIT ビットに 1 を同時に書き込む) ことにより、Status0 に遷移して計測は停止します。

以下の場合、計測するチャンネルはありません。

- CTSUCHAC0 ~ CTSUCHAC4 レジスタに計測対象チャンネルが指定されていない場合
- 自己容量シングルスキャンモードで、CTSUMCH0 レジスタで指定したチャンネルが CTSUCHAC0 ~ CTSUCHAC4 レジスタで計測対象外となっている場合
- フルスキャンモードで、CTSUCHAC0 ~ CTSUCHAC4 レジスタ、CTSUCHTRC0 ~ CTSUCHTRC4 レジスタの組み合わせで、計測する送信チャンネルまたは受信チャンネルがない場合

これらの設定に基づき計測するチャンネルがない場合、Status1 への遷移後すぐに CTSU\_CTSUFN 割り込みが発生し、カウンタは Status0 になります。

### 45.3.2.3 自己容量シングルスキャンモードの動作

自己容量シングルスキャンモードでは、任意の1チャンネルの静電容量を計測します。図 45.12 にソフトウェアフローと動作例を、図 45.13 にタイミングを示します。

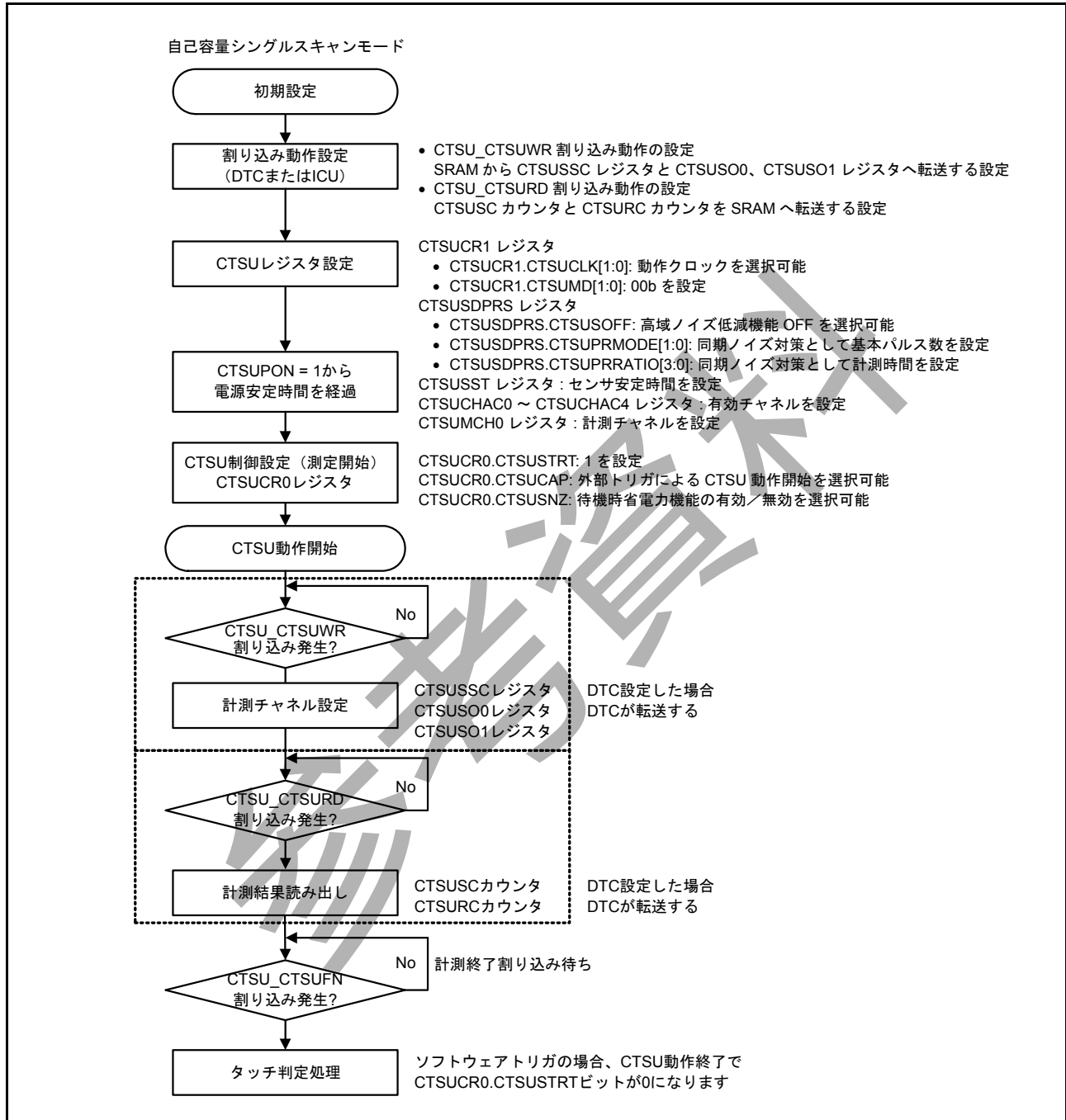


図 45.12 自己容量シングルスキャンモードのソフトウェアフローと動作例

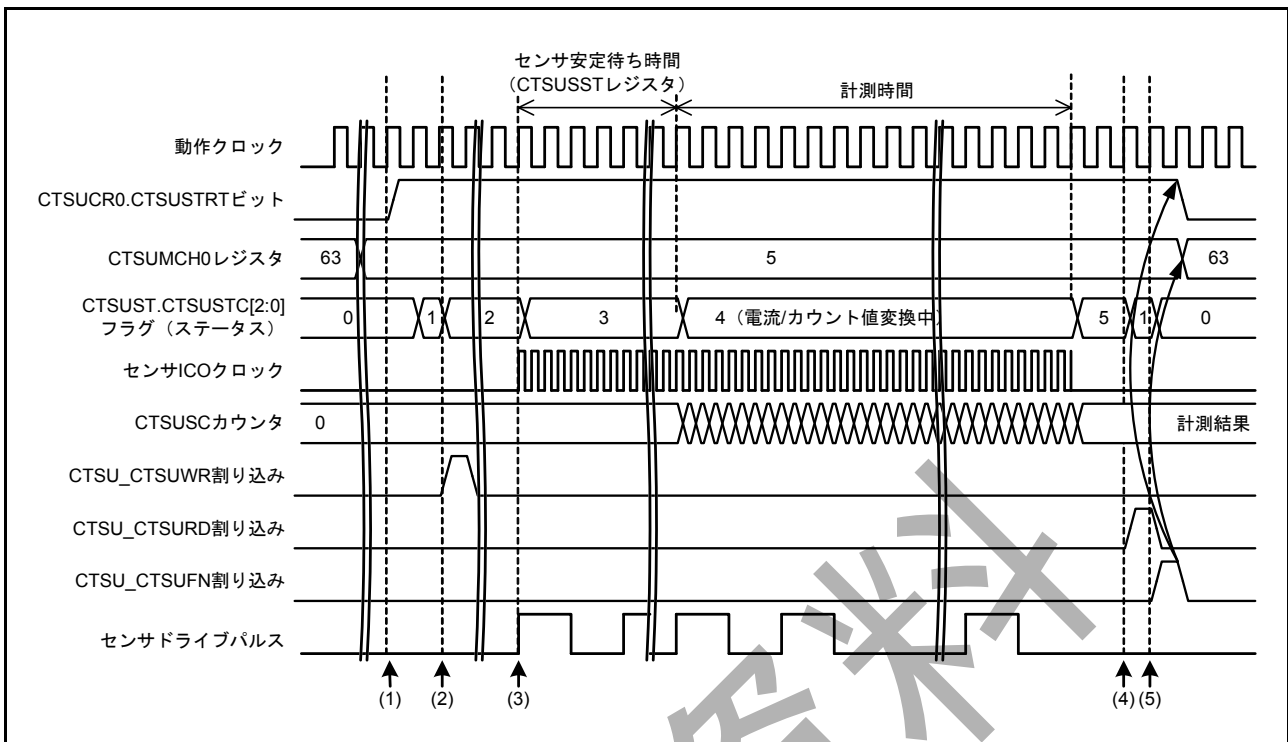


図 45.13 自己容量シングルスキャンモードのタイミング (計測開始条件がソフトウェアトリガの場合)

図 45.13 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャンネルが決定された後に、そのチャンネルの設定要求 (CTSU\_CTSUWR) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ I/O クロックとリファレンス I/O クロックが動作します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求 (CTSU\_CTSURD) を出力します。
5. 計測終了割り込み (CTSU\_CTSUFN) を出力して計測終了 (Status0 へ遷移) します。

表 45.6 に自己容量シングルスキャンモードのタッチ端子状態を示します。

表 45.6 自己容量シングルスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測対象チャンネル	計測対象外チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low



### 45.3.2.4 自己容量マルチスキャンモードの動作

自己容量マルチスキャンモードは、CTSUCHAC0 ~ CTSUCHAC4 レジスタで計測対象に指定したすべてのチャンネルに対して、静電容量を昇順で順次計測します。図 45.14 にソフトウェアフローと動作例を、図 45.15 にタイミングを示します。

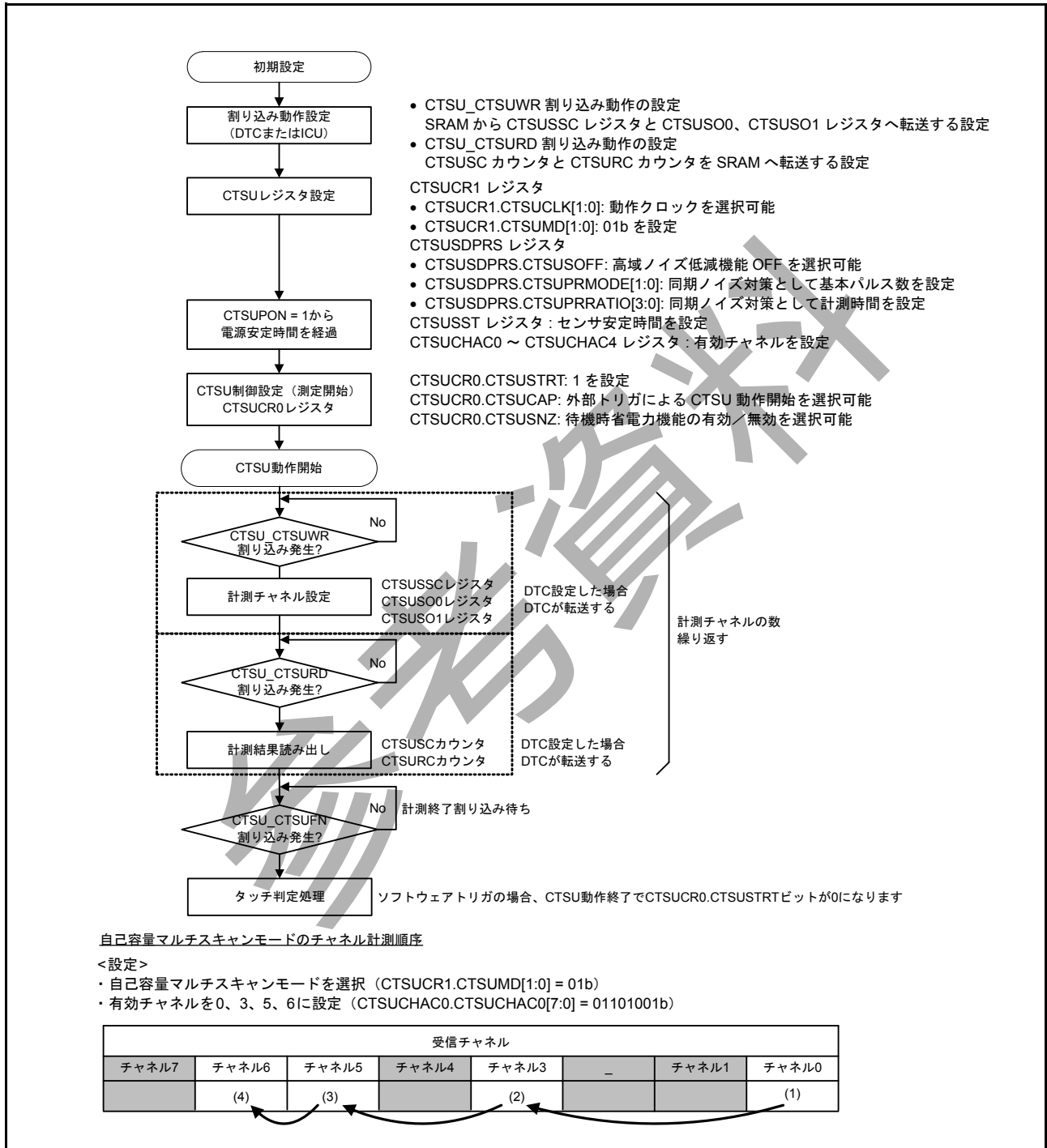


図 45.14 自己容量マルチスキャンモードのソフトウェアフローと動作例

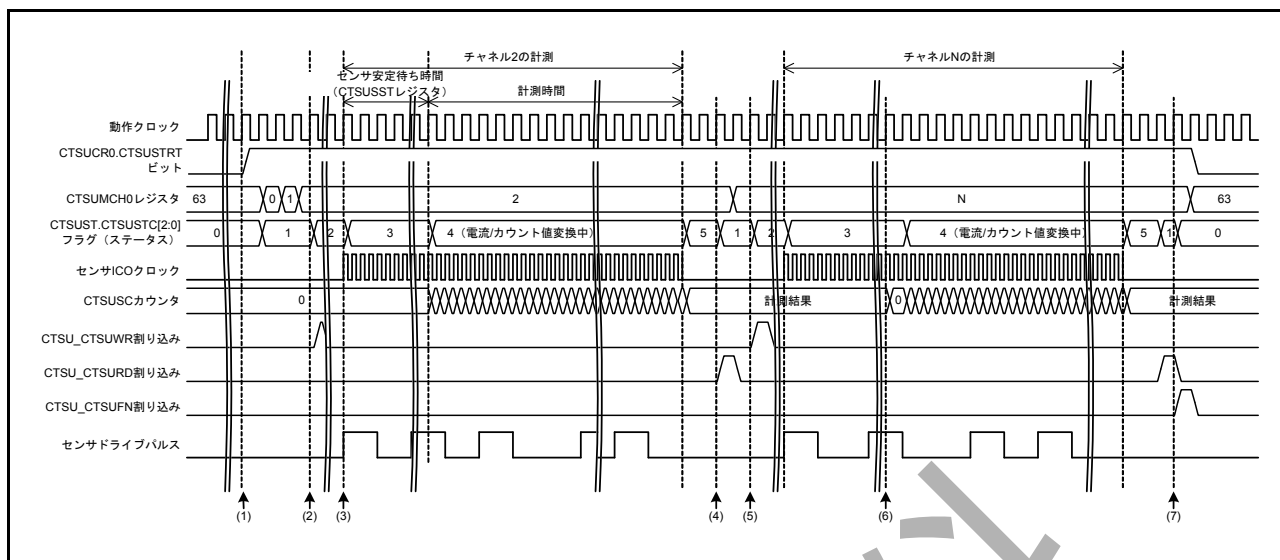


図 45.15 自己容量マルチスキャンモードのタイミング（計測開始条件がソフトウェアトリガの場合）

図 45.15 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャンネルが決定された後に、そのチャンネルの設定要求 (CTSU\_CTSUWR) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求 (CTSU\_CTSURD) を出力します。
5. 次に計測するチャンネルが決定した後、そのチャンネルの設定要求 (CTSU\_CTSUWR) を出力します。
6. 安定待ち時間の経過、および前回の計測結果の読み出しによって、前回の計測結果をクリアし、計測を開始します。
7. すべてのチャンネル計測が完了したら、計測終了割り込み (CTSU\_CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

表 45.7 に自己容量マルチスキャンモードのタッチ端子状態を示します。

表 45.7 自己容量マルチスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測対象チャンネル	計測対象外チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low



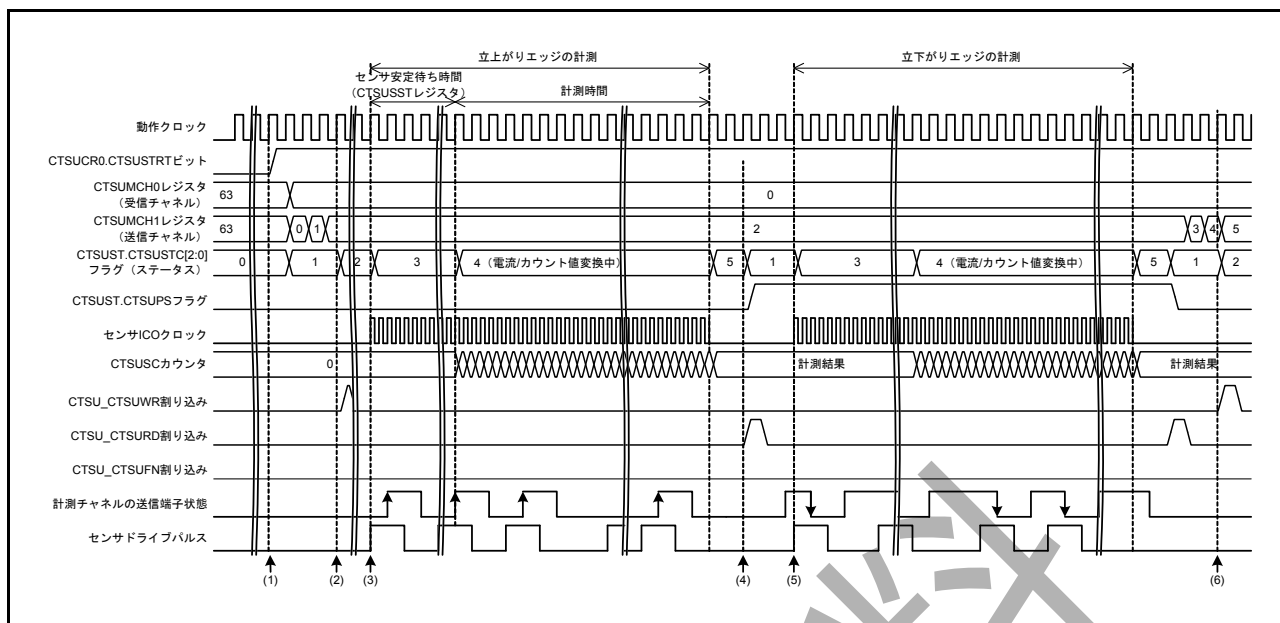


図 45.17 相互容量フルスキャンモードのタイミング（計測開始条件がソフトウェアトリガの場合）

図 45.17 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従い、計測するチャンネルが決定された後に、そのチャンネルの設定要求 (CTSU\_CTSUWR) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。同時に、センサドライブパルスの High 期間に対して、立ち上がりエッジで検出されたパルスを計測チャンネルの送信端子に出力します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求 (CTSU\_CTSURD) を出力します。
5. 同一チャンネルに対して、センサドライブパルスの High 期間に、立ち下がりエッジで検出されたパルスを出力して計測を行います。
6. 同一チャンネルに対して 2 回の計測を行った後、次に計測するチャンネルを決定し、同様の計測を行います。
7. すべてのチャンネル計測が完了したら、計測終了割り込み (CTSU\_CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

なお、相互容量計測ステータスフラグ (CTSUST.CTSUPS ビット) は、Status5 から Status1 へ遷移するタイミングで変化します。

表 45.8 に相互容量フルスキャンモードのタッチ端子状態を示します。

表 45.8 相互容量フルスキャンモードのタッチ端子状態

Status	受信チャンネルのタッチ端子		送信チャンネルのタッチ端子		備考
	計測対象チャンネル	計測対象外チャンネル	計測対象チャンネル	計測対象外チャンネル	
0	Low	Low	Low	Low	-
1	Low	Low	Low/High	Low	-
2	Low	Low	Low	Low	-
3	パルス	Low	パルス	Low	位相パルスは、1回目の計測では受信チャンネルと同相になり、2回目の計測では逆相になります。
4	パルス	Low	パルス	Low	-
5	Low	Low	Low	Low	-

参考資料

### 45.3.3 複数モードに関わる共通機能

#### 45.3.3.1 センサ安定待ち時間と計測時間

図 45.18 にセンサ安定待ちと計測のタイミングを示します。

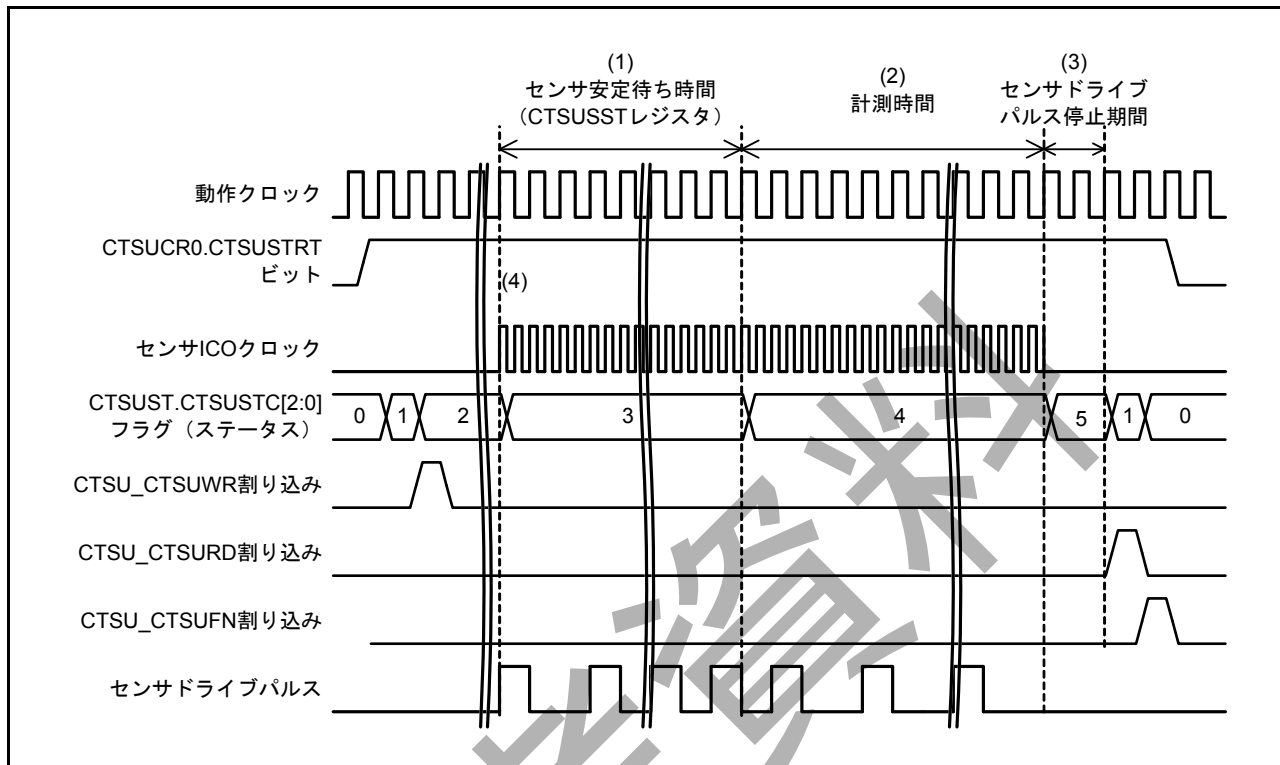


図 45.18 センサ安定待ちと計測のタイミング

1. CTSU\_CTSUWR 割り込み要求に対して、CTSUSO1 レジスタへライトアクセスすることでセンサドライブパルスの出力を開始し、CTSUSST レジスタで設定した安定時間を待ちます。
2. センサ安定時間が経過し、かつ CTSUST.CTSUDTSR フラグが 0 にクリアされ、Status4 に遷移することによって計測を開始します。計測時間は、ベースクロックの周期と CTSUSDPRS.CTSUPRMODE[1:0] ビット、CTSUPRRATIO[3:0] ビット、CTSUSO0.CTSUSNUM[5:0] ビットの設定で決定します。計測時間が経過するとチャンネルの計測を終了します。
3. 計測時間経過後、動作クロック 2 サイクルで Status1 に遷移し、CTSUSURD 割り込みが発生します。CTSUSC カウンタと CTSURC カウンタからデータを読み出してください。このとき、センサドライブパルスは Low 出力になります。設定した全チャンネルの計測が完了すると、CTSUCR0.CTSUSTRT ビットは 0 になります。
4. センサ ICO クロックは、CTSUST.CTSUSTC[2:0] フラグ = 011b (Status3) または 100b (Status4) の期間に発振します。

### 45.3.3.2 割り込み

CTSU は下記の割り込みに対応しています。

- チャンネルごとの設定レジスタ書き込み要求割り込み (CTSU\_CTSUWR)
- 測定データ転送要求割り込み (CTSU\_CTSURD)
- 測定終了割り込み (CTSU\_CTSUFN)

#### (1) チャンネルごとの設定レジスタ書き込み要求割り込み (CTSU\_CTSUWR)

計測チャンネルごとの設定データを SRAM 上に用意しておき、あらかじめ CTSU\_CTSUWR 割り込みに対応した DTC/ICU の転送設定を行います。CTSU\_CTSUWR 割り込みは Status1 から Status2 へ遷移したタイミングで出力します。SRAM から関連する CTSUSSC、CTSUSO0、CTSUSO1 レジスタへチャンネル設定を書き込みます (図 45.19)。CTSUSO1 レジスタへのライトアクセスにより次の Status への遷移が制御されるため、CTSUSO1 レジスタを必ず最後に設定してください。

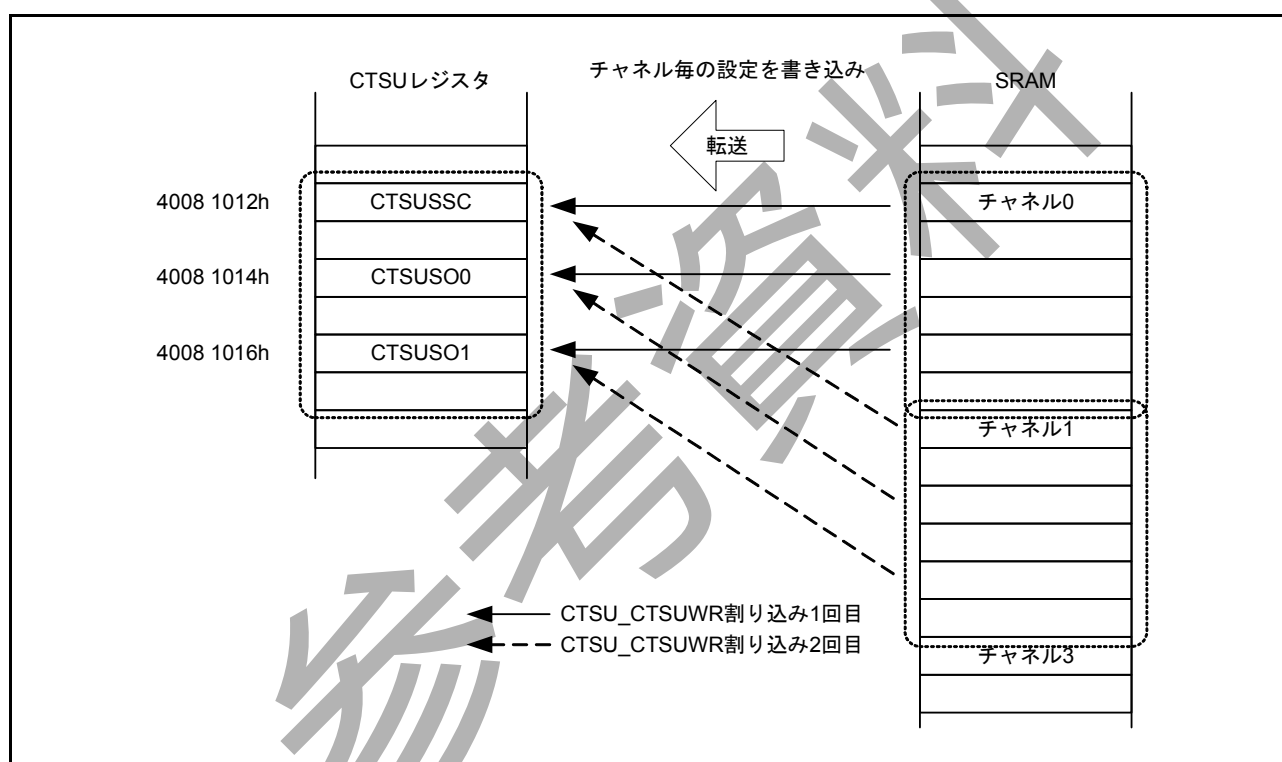


図 45.19 CTSU\_CTSUWR 割り込みを用いた DTC 転送動作例

設定するレジスタ (CTSUSSC、CTSUSO0、CTSUSO1 の各レジスタ) は、連続したアドレスに配置しています。CTSU\_CTSUWR 割り込み発生では、以下のように動作を設定してください。

- 転送先アドレス : CTSUSSC レジスタのアドレス
- 転送先アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 3 回転送。先頭バイトのアドレスは固定
- 転送元アドレス : SRAM 上に用意した設定の番号が最小のチャンネルの CTSUSSC レジスタデータ格納アドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 3 回転送。先頭バイトのアドレスは前回の割り込み処理から継続
- 割り込み 1 回あたりの転送回数 : 計測する回数を指定

## (2) 測定データ転送要求割り込み (CTSUS\_CTSURD)

あらかじめ、CTSUS\_CTSURD 割り込みに対応した DTC/ICU の転送設定を行います。CTSUS\_CTSURD 割り込みは、Status5 から Status1 へ遷移するタイミングで出力します。計測結果を CTSUSC カウンタと CTSURC カウンタから読み出してください (図 45.20)。

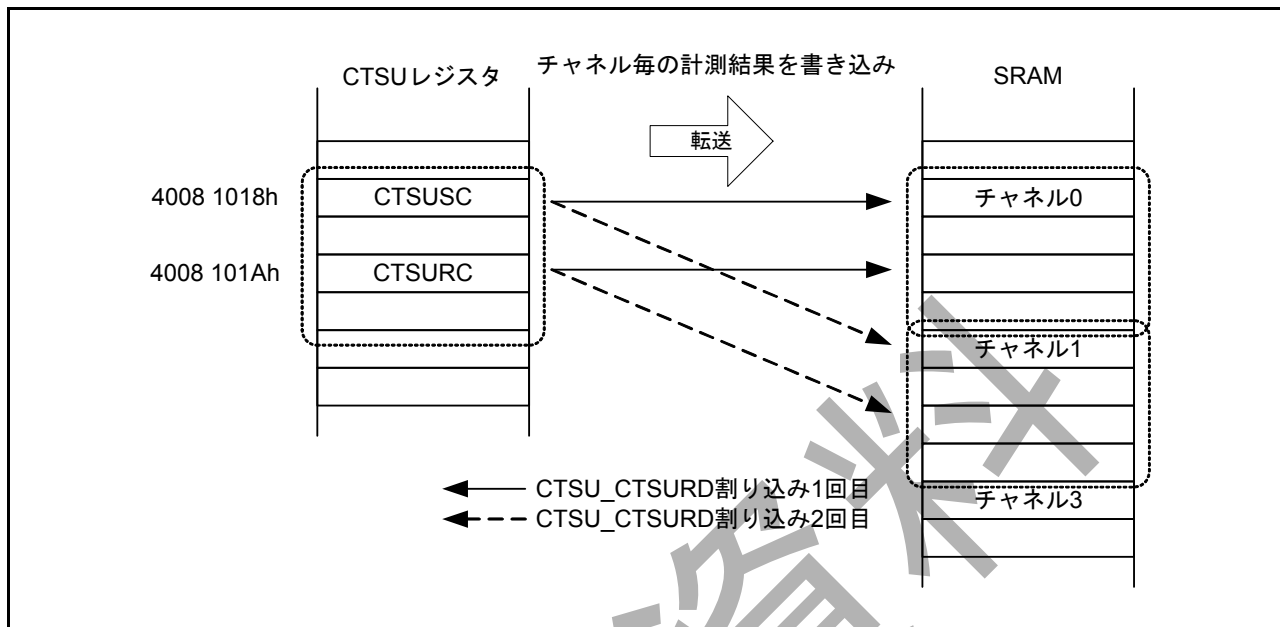


図 45.20 CTSUS\_CTSURD 割り込みを用いた DTC 転送動作例

転送元である計測結果レジスタ (CTSUSC カウンタと CTSURC カウンタ) は、連続したアドレスに配置してあります。CTSUS\_CTSURD 割り込み発生では、以下のように動作を設定してください。

- 転送元アドレス : CTSUSC カウンタのアドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送。先頭アドレスは固定
- 転送先アドレス : SRAM 上に用意した設定の番号が最小のチャンネルの CTSUSC カウンタデータ格納アドレス
- 転送先アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送。先頭アドレスは前回の割り込み処理から継続
- 割り込みによる転送回数 : 計測する回数を指定

## (3) 測定終了割り込み (CTSUS\_CTSUFN)

すべてのチャンネル計測が終了した Status1 から Status0 に遷移するタイミングで割り込みを発生します。ソフトウェアによるオーバーフローフラグ (CTSUST.CTUSOVF フラグと CTSUROVF フラグ) の確認と読み出された計測結果により、電極とのタッチの有無を判定します。割り込み要求の受付、禁止は割り込み制御部で行います。



## 45.4 使用上の注意事項

### 45.4.1 計測結果データ (CTSUSC カウンタ、CTSURC カウンタ)

計測中のリードアクセスは禁止です。アクセスした場合は、非同期のため正しくない値を読み出す場合があります。

### 45.4.2 ソフトウェアトリガ

CTSUCR1.CTSUCLK[1:0] ビットで 10b (PCLK/4) を選択した場合、計測完了後に CTSUR0.CTSUSTRT ビットへ 1 を書き込み計測を再開させる場合は、割り込み発生から 3 サイクル以上待ってから書き込むようにしてください。

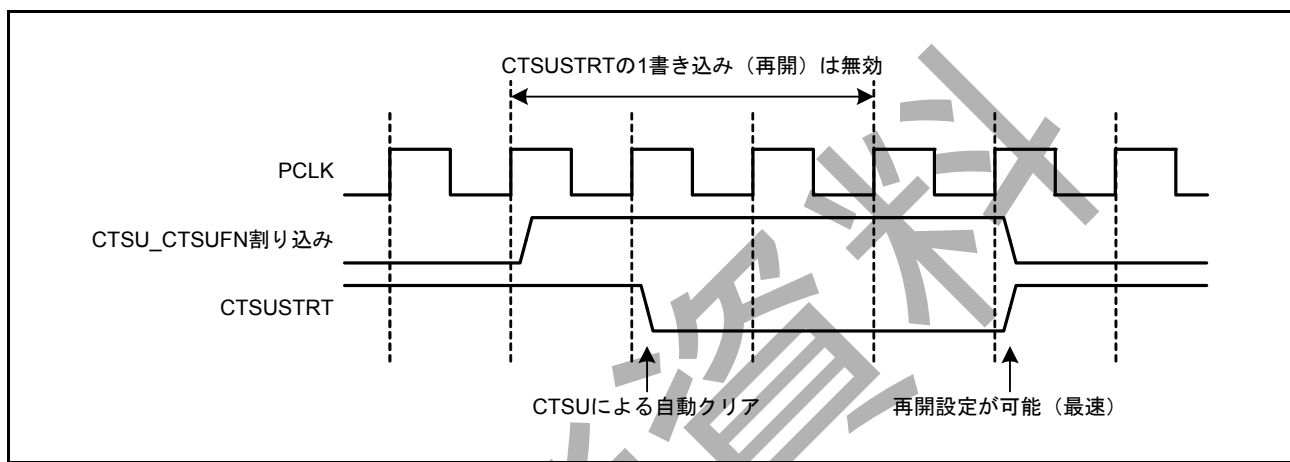


図 45.21 再開時の注意事項

### 45.4.3 外部トリガ

- 計測時間中に外部トリガが入力された場合、計測は開始されない。次の外部イベントは、CTSUC\_CTSUFN 割り込みが発生した動作クロックの 1 サイクル後から有効
- 外部トリガモードを終了する場合は、CTSUCR0.CTSUSTRT ビットの 0 と CTSUCR0.CTSUINIT ビットの 0 の同時書き込み (強制停止) で停止

### 45.4.4 強制終了に関する注意事項

動作中に強制停止させる場合は、CTSUCR0.CTSUSTRT ビットに 0、CTSUCR0.CTSUINIT ビットに 1 を同時に書き込んでください。動作が停止し、内部コントロールレジスタが初期化されます。

CTSUCR0.CTSUINIT ビットによる初期化では、内部計測状態に加え、以下のレジスタが初期化されます。

- CTSUCMCH0 レジスタ
- CTSUCMCH1 レジスタ
- CTSUST レジスタ
- CTSUSC カウンタ
- CTSURC カウンタ

強制停止した場合、内部状態によっては割り込み要求が発生することがあります。強制停止後、DTC/ICU の停止と無効処理も行ってください。搭載するシステムが何らかの要因で DTC 転送を停止する場合は、CTSUC に対しても強制終了および初期化処理を行ってください。

#### 45.4.5 TSCAP 端子

TSCAP 端子は、CTSU 内部電圧を一定に保つために、外部デカップリングキャパシタを必要とします。TSCAP 端子とキャパシタ間、およびキャパシタとグランド間の配線は、物理的に可能な限り短く幅広くしてください。TSCAP 端子に接続されているキャパシタは、接続確立のためスイッチを ON (CTSUCR1.CTSUCSW ビット=1) にする前に、I/O ポート制御により Low を出力させ、十分放電させてください。

#### 45.4.6 計測動作時 (CTSUCR0.CTSUSTRT ビット = 1) の注意事項

計測中 (CTSUCR0.CTSUSTRT ビット=1) は、上位システムから「周辺クロックの停止」や「タッチ端子 (TSn 端子、TSCAP 端子) に関わるポート設定の変更」を行わないでください。

これらの制限に違反する制御を設定した場合は、動作の強制停止 (CTSUCR0.CTSUSTRT ビット=0、CTSUCR0.CTSUINIT ビット=1) 後、CTSUCR1.CTSUPON ビットと CTSUCR1.CTSUCSW ビットに 0 を同時に書き込み、CTSUCR0.CTSUSNZ ビットを 0 にしてください。その後、[図 45.9](#) の初期設定フローから再開してください。

参考資料

## 46. データ演算回路 (DOC)

### 46.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に該当する場合、割り込みが発生します。

表 46.1 に DOC の仕様を、図 46.1 にブロック図を示します。

表 46.1 DOCの仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
モジュールストップ機能	モジュール停止状態に設定して消費電力を削減
割り込みとイベントリンク機能 (DOC_DOPCI)	割り込みは以下の条件で発生します。 <ul style="list-style-type: none"> <li>比較された値が一致または不一致のとき</li> <li>データ加算の結果がFFFFhより大きくなったとき</li> <li>データ減算の結果が0000hより小さくなったとき</li> </ul>

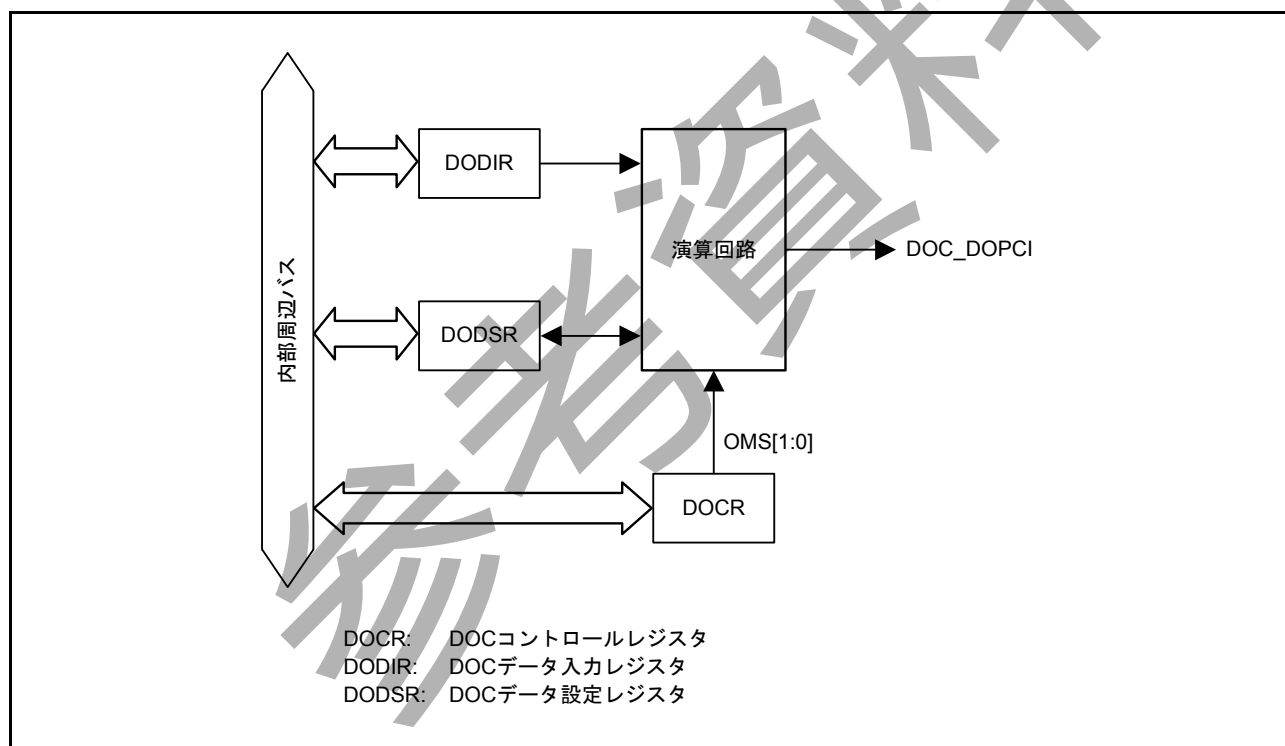


図 46.1 DOC ブロック図

## 46.2 レジスタの説明

### 46.2.1 DOC コントロールレジスタ (DOCR)

アドレス DOC.DOCR 4005 4100h

b7	b6	b5	b4	b3	b2	b1	b0
—	DOPCF CL	DOPCF	—	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定禁止	R/W
b2	DCSEL (注1)	検出条件選択	0 : データの不一致検出時にDOPCFを設定 1 : データの一致検出時にDOPCFを設定	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します。	R
b6	DOPCFCL	DOPCFクリア	0 : DOPCFフラグ状態を保存 1 : DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. データ比較モード選択時のみ有効

#### OMS[1:0] ビット (動作モード選択)

DOC の動作モードを選択します。

#### DCSEL ビット (検出条件選択)

データ比較モード時の検出条件を選択します。データ比較モード選択時のみ有効です。

#### DOPCF フラグ (データ演算回路フラグ)

動作結果を示します。

[1 になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が FFFFh より大きくなったとき
- データ減算の結果が 0000h より小さくなったとき

[0 になる条件]

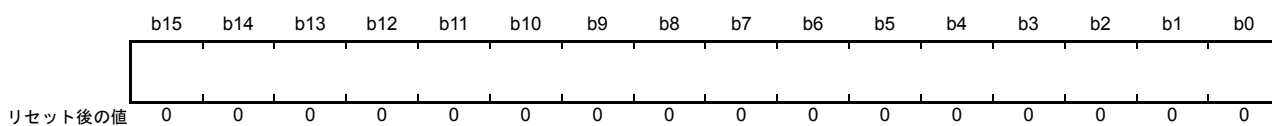
- DOPCFCL ビットに 1 を書き込んだとき

#### DOPCFCL ビット (DOPCF クリア)

本ビットを 1 にすると DOPCF フラグをクリアします。読むと 0 が読めます。

### 46.2.2 DOC データインプットレジスタ (DODIR)

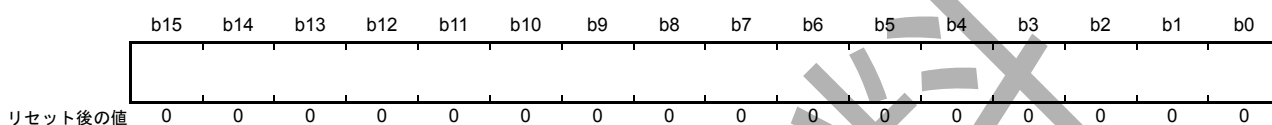
アドレス DOC.DODIR 4005 4102h



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットのリード/ライトレジスタです。

### 46.2.3 DOC データ設定レジスタ (DODSR)

アドレス DOC.DODSR 4005 4104h



DODSR は、データ比較モードで基準として使用される 16 ビットのデータを格納する 16 ビットのリード/ライトレジスタです。また、データ加算モードおよびデータ減算モードでは、演算結果を格納します。

## 46.3 動作説明

### 46.3.1 データ比較モード

図 46.2 にデータ比較モードの DOC 動作例を示します。この例では、DCSE ビットは 0 (データ比較の結果、不一致を検出) です。

1. DOCR.OMS[1:0] ビットに 00b を書き込むと、データ比較モードになります。
2. DODSR レジスタに基準となる 16 ビットのデータを設定します。
3. DODIR レジスタに比較する 16 ビットのデータを書き込みます。
4. 比較するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. DOCR.DCSEL = 0 のとき、DODIR レジスタに書き込まれたデータが DODSR レジスタ内のデータと一致しなかったとき、DOCR.DOPCF フラグが 1 になります。

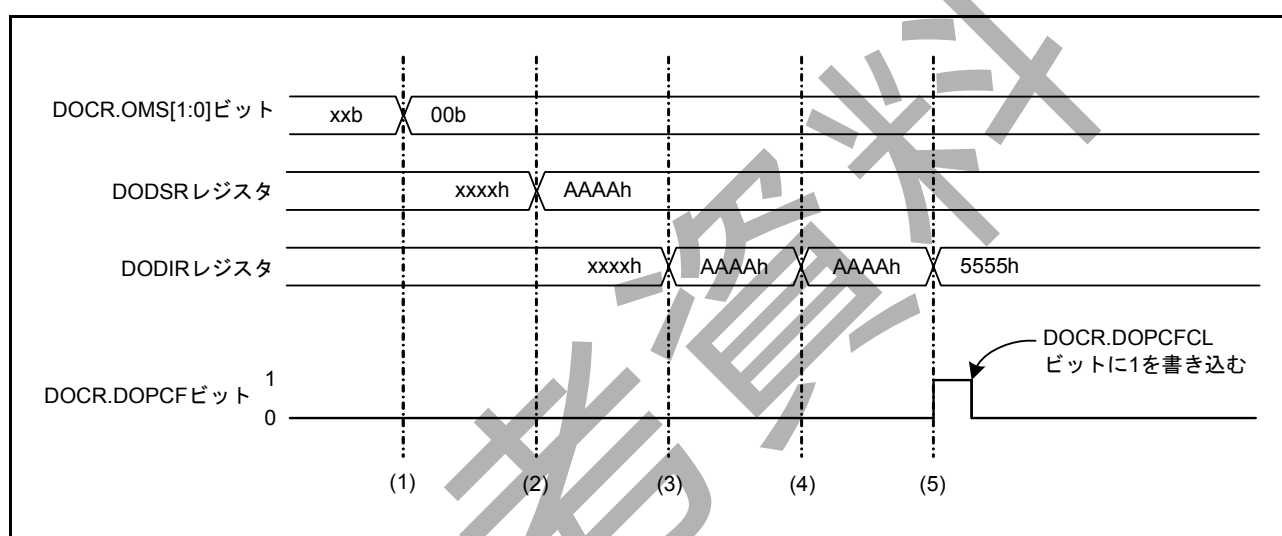


図 46.2 データ比較モードの動作例

### 46.3.2 データ加算モード

図 46.3 にデータ加算モードの DOC 動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0] ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR レジスタに初期値として 16 ビットのデータを設定します。
3. DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 加算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が FFFFh よりも大きくなったとき DOCR.DOPCFCL フラグが 1 になります。

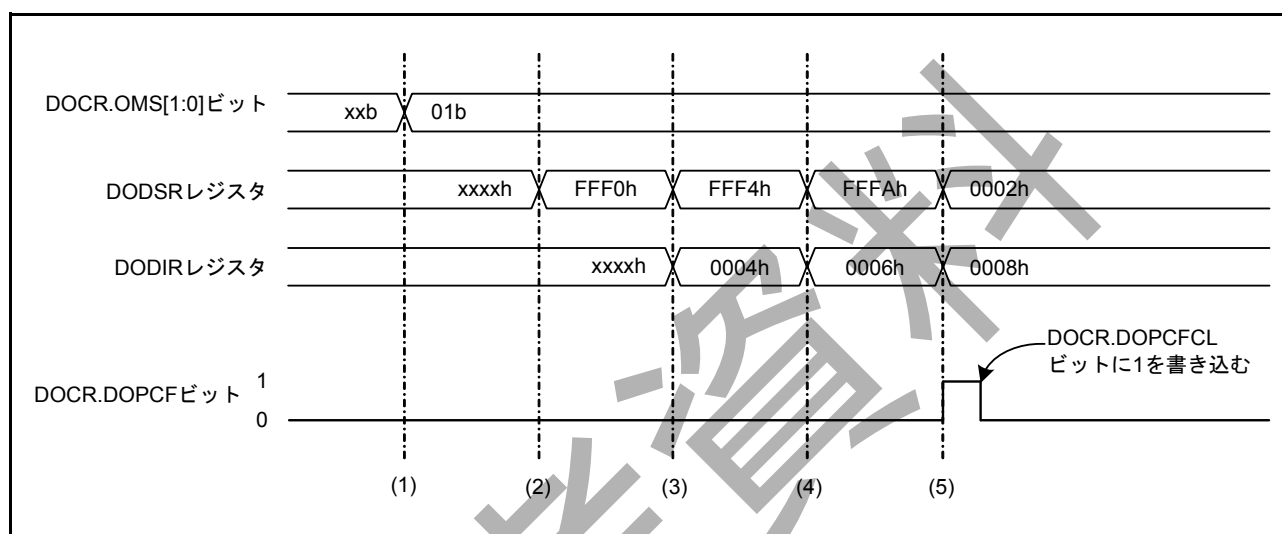


図 46.3 データ加算モードの動作例

### 46.3.3 データ減算モード

図 46.4 にデータ減算モードの DOC 動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0] ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR レジスタに初期値として 16 ビットのデータを設定します。
3. DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 減算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が 0000h よりも小さくなったとき DOCR.DOPCF フラグが 1 になります。

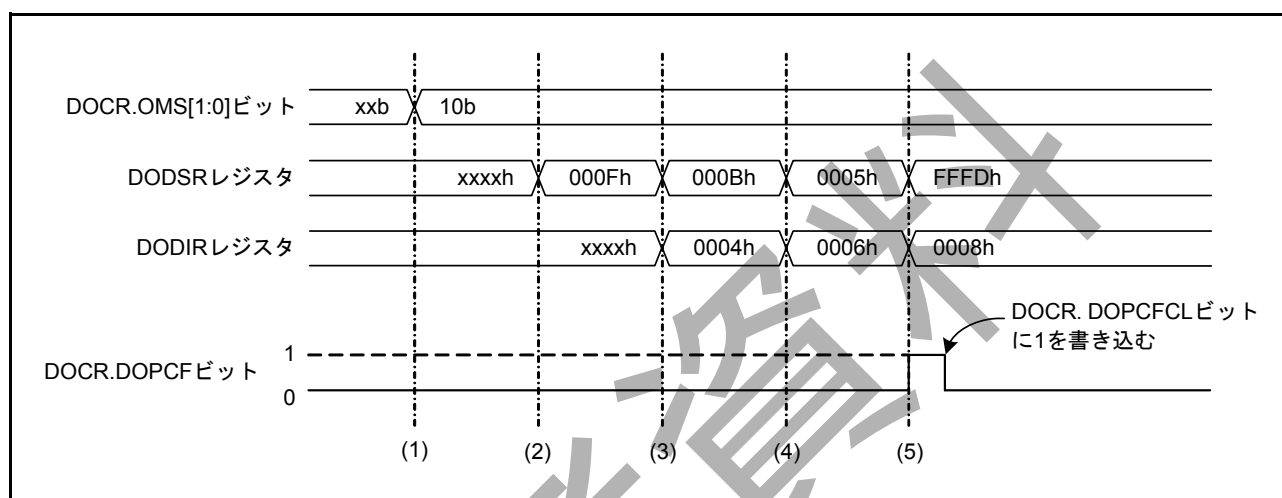


図 46.4 データ減算モードの動作例

## 46.4 割り込み要求とイベントリンク出力

DOC は以下の条件で ELC にイベント信号を出力します。

- 比較された値が一致または不一致のとき
- データ加算の結果が FFFFh より大きくなったとき
- データ減算の結果が 0000h より小さくなったとき

この信号を使用して、あらかじめ設定していたモジュールの動作を開始させることができます。また、割り込み要求として使用することもできます。イベント信号が発生すると、データ演算回路フラグ (DOCR.DOPCF) が 1 になります。

## 46.5 使用上の注意事項

### 46.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、DOC の動作を禁止または許可することが可能です。DOC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。



## 47. SRAM

本 MCU は、パリティビットチェック機能または誤り訂正コード (ECC) を備えたオンチップ高速 SRAM モジュールを搭載しています。ECC の対象は SRAM0 の最初の 16KB 領域です。パリティチェックは、その他の領域で実行されます。SRAM の仕様を [表 47.1](#) に示します。

### 47.1 概要

**表 47.1 SRAMの仕様**

項目	ECCなし	ECCあり
SRAM容量	SRAM0 : 112KB SRAM1 : 64KB	SRAM0 (ECC領域) : 16KB
SRAMアドレス	SRAM0 : 2000 4000h ~ 2001 FFFFh SRAM1 : 2002 0000h ~ 2002 FFFFh	SRAM0 (ECC領域) : 2000 0000h ~ 2000 3FFFh
アクセス (注1)	0ウェイト	
モジュールストップ機能	モジュールストップ状態の選択が可能	
パリティ	偶数パリティ (データ : 8ビット、パリティ : 1ビット)	パリティなし
エラーチェック機能	偶数パリティエラーチェック	1ビット誤り訂正、最大2ビットの誤り検出

注 1. 詳細は、[47.3.7 アクセスサイクル](#)を参照してください。

## 47.2 レジスタの説明

### 47.2.1 SRAM パリティエラー検出後動作レジスタ (PARIOAD)

アドレス [SRAM.PARIOAD 4000 2000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OAD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	1: リセット 0: ノンマスカブル割り込み	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

PARIOAD レジスタは、パリティエラー検出時の動作を制御します。本レジスタへの書き込みは SRAM プロテクトレジスタ (SRAMPRCR) によって保護されています。このレジスタに書き込む前に、必ず SRAMPRCR レジスタの SRAMPRCR ビットを書き込み許可に設定してください。SRAM アクセス中は PARIOAD レジスタへの書き込みは行わないでください。

#### OAD ビット (検出後の動作)

パリティエラーが検出された場合に、リセットまたはノンマスカブル割り込みのどちらを発生させるかを指定します。

### 47.2.2 SRAM プロテクトレジスタ (SRAMPRCR)

アドレス [SRAM.SRAMPRCR 4000 2004h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	KW[6:0]							SRAMP RCR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SRAMP RCR	レジスタ書き込み制御	0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW[6:0]	書き込みキーコード	SRAMP RCR ビットへの書き込みを許可または禁止します。	R/W

#### SRAMP RCR ビット (レジスタ書き込み制御)

PARIOAD レジスタのライトモードを制御します。本ビットを 1 にすると、PARIOAD レジスタへの書き込みが許可されます。このビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。

#### KW[6:0] ビット (書き込みキーコード)

SRAMP RCR ビットへの書き込みを許可または禁止します。SRAMP RCR ビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。それ以外の値を KW[6:0] に書き込むと、SRAMP RCR ビットは更新されません。KW[6:0] ビットは読むと常に 00h が読み出されます。

### 47.2.3 ECC 動作モードコントロールレジスタ (ECCMODE)

アドレス SRAM.ECCMODE 4000 20C0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	ECCMOD[1:0]	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ECCMOD[1:0]	ECC動作モード選択	b1 b0 0 0 : ECC機能は無効 0 1 : 設定禁止 1 0 : ECC機能は有効/エラーチェックなし 1 1 : ECC機能は有効/エラーチェックあり	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

ECCMODE レジスタは ECC の動作モードを設定するレジスタです。本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR.ECCPRCR ビットを 1 にしてから本レジスタへの書き込みを行ってください。SRAM アクセス中は ECCMODE レジスタへの書き込みは行わないでください。

#### ECCMOD[1:0] ビット (ECC 動作モード選択)

SRAM の ECC 領域へのアクセスモードを設定します。

### 47.2.4 ECC 2 ビットエラーステータスレジスタ (ECC2STS)

アドレス SRAM.ECC2STS 4000 20C1h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ECC2ERR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECC2ERR	ECC 2 ビットエラーステータス	0 : ECC 2 ビットエラー発生なし 1 : ECC 2 ビットエラー発生	R(/W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

#### ECC2ERR ビット (ECC 2 ビットエラーステータス)

SRAM の ECC 領域で ECC 2 ビットエラーが発生したかどうかを示します。ECC 有効/エラーチェックありの場合、2 ビットエラーが検出されると ECC2ERR ビットが 1 になり SRAM エラー信号がアサートされます。ECC2ERR ビットに 0 を書き込むと、ECC 2 ビットエラーによってトリガされた SRAM エラー信号がネゲートされます。SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。このレジスタに 0 を書き込む間、SRAM の ECC 領域にはアクセスしないでください。

### 47.2.5 ECC 1 ビットエラー情報更新イネーブルレジスタ (ECC1STSEN)

アドレス SRAM.ECC1STSEN 4000 20C2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	E1STS EN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	E1STSEN	ECC 1ビットエラー情報更新許可	0 : ECC 1ビットエラー情報の更新禁止 1 : ECC 1ビットエラー情報の更新許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

ECC1STSEN レジスタは、SRAM (ECC 領域) の ECC 1 ビットエラー発生時に、ECC 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可/禁止します。本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR.ECCPRCR ビットを書き込み許可にしてから本ビットへの書き込みを行ってください。

#### E1STSEN ビット (ECC 1 ビットエラー情報更新許可)

SRAM の ECC 領域における 1 ビットエラー発生時に、SRAM (ECC 領域) 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可/禁止します。このレジスタは、割り込みまたはリセットマスクとしても機能します。

### 47.2.6 ECC 1 ビットエラーステータスレジスタ (ECC1STS)

アドレス SRAM.ECC1STS 4000 20C3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ECC1E RR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECC1ERR	ECC 1ビットエラーステータス	0 : ECC 1ビットエラー発生なし 1 : ECC 1ビットエラー発生	R(/W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

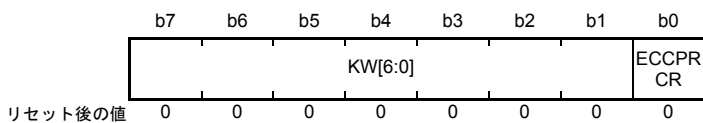
#### ECC1ERR ビット (ECC 1 ビットエラーステータス)

SRAM の ECC 領域で ECC 1 ビットエラーが発生したかどうかを示します。ECC 動作が有効で、誤り訂正が選択されており、1 ビットエラー情報の更新が許可されている場合、1 ビットエラーが検出されると 1 になり、SRAM エラー信号がアサートされます。ECC1ERR ビットに 0 を書き込むと、ECC 1 ビットエラーによってトリガされた SRAM エラー信号がネゲートされます。

SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。このレジスタに 0 を書き込む間、SRAM の ECC 領域にはアクセスしないでください。

### 47.2.7 ECC プロテクトレジスタ (ECCPRCR)

アドレス SRAM.ECCPRCR 4000 20C4h



ビット	シンボル	ビット名	機能	R/W
b0	ECCPRCR	レジスタ書き込み制御	0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW[6:0]	書き込みキーコード	ECCPRCRビットへの書き込みを許可または禁止します。	R/W

#### ECCPRCR ビット (レジスタ書き込み制御)

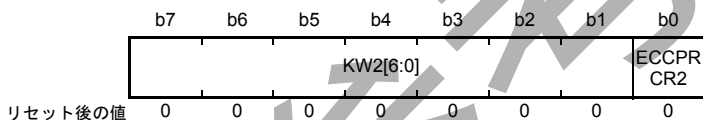
ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタのライトモードを制御します。このビットが1のとき、ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタへの書き込みが許可されます。このビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。

#### KW[6:0] ビット (書き込みキーコード)

ECCPRCR ビットへの書き込みを許可または禁止します。ECCPRCR ビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。それ以外の値を KW[6:0] に書き込むと、ECCPRCR ビットは更新されません。KW[6:0] ビットは読むと常に 00h が読み出されます。

### 47.2.8 ECC プロテクトレジスタ 2 (ECCPRCR2)

アドレス SRAM.ECCPRCR2 4000 20D0h



ビット	シンボル	ビット名	機能	R/W
b0	ECCPRCR2	レジスタ書き込み制御	0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW2[6:0]	書き込みキーコード	ECCPRCR2ビットへの書き込みを許可または禁止します。	R/W

#### ECCPRCR2 ビット (レジスタ書き込み制御)

ECCETST レジスタのライトモードを制御します。このビットが1のとき、ECCETST レジスタへの書き込みが許可されます。このビットに書き込む場合、同時に KW2[6:0] ビットに 78h を書き込んでください。

#### KW2[6:0] ビット (書き込みキーコード)

ECCPRCR2 ビットへの書き込みを許可または禁止します。

ECCPRCR2 ビットに書き込む場合、同時に KW2[6:0] ビットに 78h を書き込んでください。それ以外の値を KW2[6:0] に書き込むと、ECCPRCR2 ビットは更新されません。KW2[6:0] ビットは読むと常に 00h が読み出されます。

### 47.2.9 ECC テストコントロールレジスタ (ECCETST)

アドレス [SRAM.ECCETST 4000 20D4h](#)

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TSTBY P
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTBYP	ECCバイパス選択	0 : ECCバイパスは無効 1 : ECCバイパスは有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

本レジスタへの書き込みはECCプロテクトレジスタ (ECCPRCR2) によって保護されています。まず、ECCPRCR2.ECCPRCR2 ビットを書き込み許可にしてから本ビットへの書き込みを行ってください。SRAM アクセス中はECCETST レジスタへの書き込みは行わないでください。

#### TSTBYP ビット (ECC バイパス選択)

ECC 機能をバイパスして、ECC コードへの直接アクセスを許可します。ECC バイパス機能は、ECCMODE.ECCMOD[1:0] ビットを 00b にして使用します。ECC がチェックするデータと同じアドレスに 32 ビットアクセスサイズでアクセスしてください。ECC バイパスが有効の場合、32 ビットライトデータの低位 7 ビットは ECC コードとして書き込むことができます。このとき、ライトデータの上位 25 ビットは無視されます。32 ビットリードデータの低位 7 ビットは、ECC コードとして使用できます。このリードデータの上位 25 ビットは不定です。

注． ECC テストの詳細については、[47.3.4 ECC デコーダのテスト方法を参照してください](#)。

### 47.2.10 SRAM ECC エラー検出後動作レジスタ (ECCOAD)

アドレス [SRAM.ECCOAD 4000 20D8h](#)

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	OAD
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	1 : リセット 0 : ノンマスカブル割り込み	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

本レジスタへの書き込みはECCプロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR.ECCPRCR ビットを書き込み許可にしてから本ビットへの書き込みを行ってください。SRAM アクセス中はECCOAD レジスタへの書き込みは行わないでください。

#### OAD ビット (検出後の動作)

ECC エラーが検出された場合にリセットとノンマスカブル割り込みのどちらを発生させるか選択します。ECCOAD.OAD ビットは、SRAM (ECC 領域) で使用されます。

## 47.3 動作説明

### 47.3.1 消費電力低減機能

モジュールストップコントロールレジスタ A (MSTPCRA) の設定により、SRAM へのクロック供給を停止することで、消費電力を低減することが可能です。MSTPCRA.MSTPA0 ビットと MSTPCRA.MSTPA6 ビットの両方を 1 にすると、SRAM0 に供給されるクロックが停止します (注 1)。また、MSTPCRA.MSTPA1 ビットを 1 にすると、SRAM1 に供給されるクロックが停止します。

注 1. MSTPCRA.MSTPA0 ビットと MSTPCRA.MSTPA6 ビットは同じ値にする必要があります。

クロック信号の供給が停止すると、SRAM はモジュールストップ状態になります。モジュールストップ状態になると、SRAM へのアクセスができなくなります。SRAM アクセス中は、モジュールストップ状態に遷移しないでください。モジュールストップ状態のとき、SRAM へのアクセスは禁止です。アクセスした場合の動作は保証できません。

MSTPCRA レジスタの詳細については、「11. 低消費電力モード」を参照してください。

SRAM0 のヘッド領域である 48KB (2000 0000h ~ 2000 BFFFh) を除き、SRAM0 の供給電圧はオフにできるため、ソフトウェアスタンバイモードでの消費電力はさらに低減できます。ソフトウェアスタンバイモードの詳細は、「11. 低消費電力モード」を参照してください。

### 47.3.2 ECC 機能

ECC 機能は、ECCMODE レジスタの設定によって、有効または無効に設定可能です。初期状態では、ECC 機能は無効です。ECC は、単一誤り訂正 (SEC) 機能と二重誤り検出 (DED) 機能の両方を提供しています。

ECC 機能が有効な場合、書き込み時は、32 ビットのデータに 7 チェックビットが付与されます。読み出し時は、SRAM (ECC 領域) から 39 ビットデータ (32 ビットデータと 7 チェックビット) が読み出されます。

ECC とエラーチェックの両方が有効の場合、1 ビットエラーが発生すると誤り訂正が実行され、ECC1STSEN.E1STSEN ビットが 1 のときは ECC1STS.ECC1ERR ビットが 1 になります。2 ビットエラーが発生すると、誤りが検出され、ECC2STS.ECC2ERR ビットが 1 になりますが、誤り訂正は実行されません。

「ECC 有効/エラーチェックなし」の場合、1 ビットエラーが発生すると誤り訂正が実行されますが、ECC1STSEN.E1STSEN ビットが 1 でも ECC1STS.ECC1ERR ビットは更新されません。2 ビットエラーが発生すると、誤りが検出されますが ECC2STS.ECC2ERR ビットは更新されず、誤り訂正も実行されません。

ECC 機能が無効の場合、1 ビットエラーまたは 2 ビットエラーが発生しても、誤り訂正と誤り検出は実行されません。そのため、ECC1ERR ビットと ECC2ERR ビットは更新されません。

エラーを検出した場所は確認できません。そのため、エラー発生後は SRAM に 32 ビットデータを書き込むことですべてのデータを更新してください。

ライトアクセスの後にリードアクセスが続いて発生すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。

### 47.3.3 ECC エラー発生

SRAM (ECC 領域) が「ECC 有効/エラーチェックあり」モードのとき、ECC 2 ビットエラーを示す ECC2STS.ECC2ERR ビット、または ECC 1 ビットエラーを示す ECC1STS.ECC1ERR ビットのいずれかが 1 に変化すると、ECC エラーが発生します。

ECC 1 ビットエラーをマスクする場合は、ECC1STSEN.E1STSEN ビットを 0 にして、ECC1ERR ビットの更新を禁止してください。ECC 無効時、または「ECC 有効/エラーチェックなし」の場合、ECC エラーは発生しません。

ECC エラーは、ECCOAD レジスタでの選択に基づきノンマスクابل割り込みまたはリセットのいずれかを発生させます。ECCOAD.OAD ビットが 1 のとき、ECC エラーはリセット機能に出力されます。ECCOAD.OAD ビットが 0 のとき、ECC エラーはノンマスクابل割り込みとして ICU に出力されます。

デバッガが接続されている場合、リセットと NMI 割り込みは発生しません。ただし、ECC 1 ビットエラーは訂正されます。

参考資料



### 47.3.4 ECC デコーダのテスト方法

図 47.1 に ECC デコーダのテスト方法を示します。

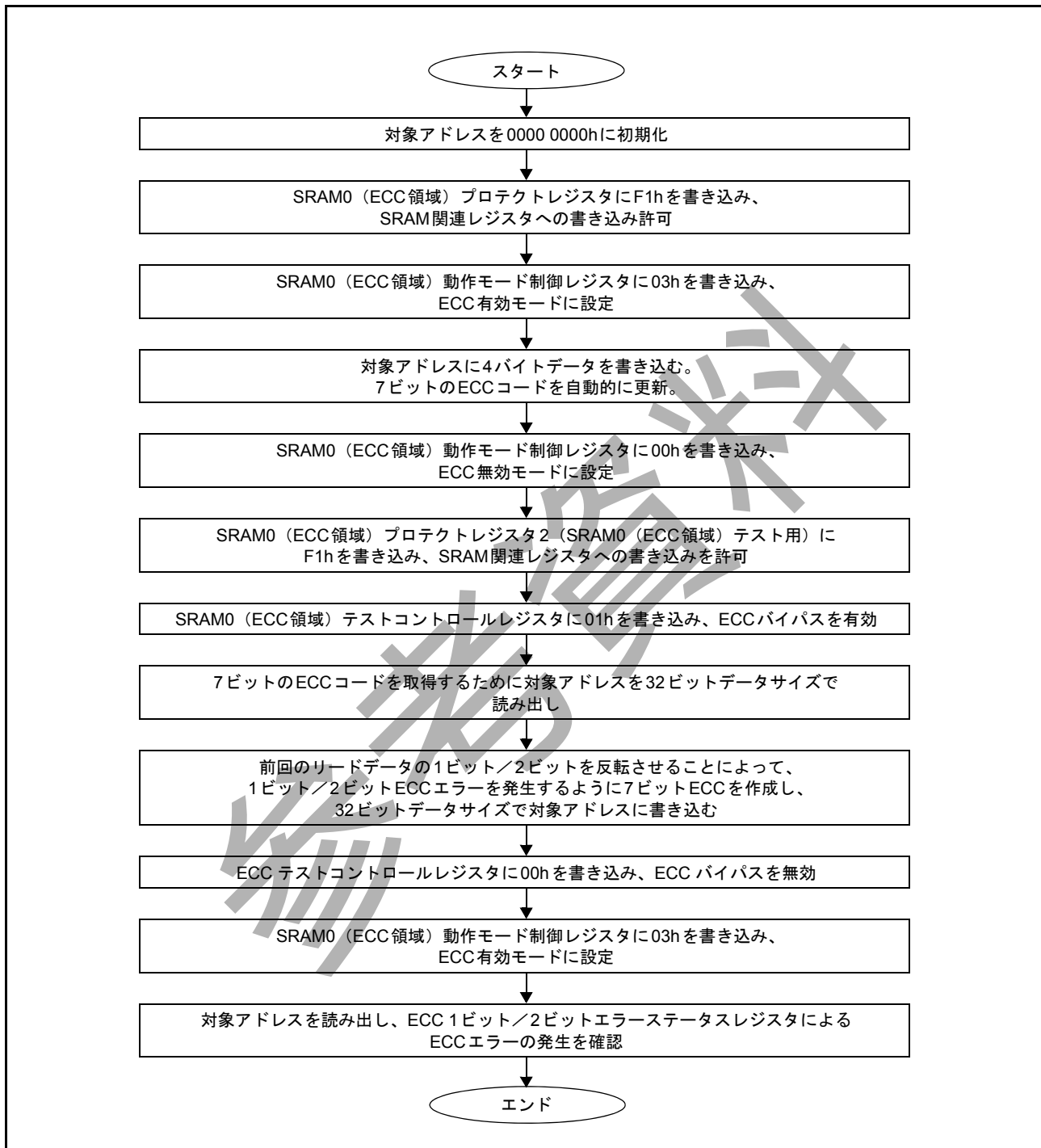


図 47.1 ECC デコーダのテスト方法

### 47.3.5 パリティ計算機能

IEC60730 規格に準拠するには、SRAM データのチェックが必要です。そのため、SRAM では 8 ビット毎にパリティビットが付与されます。データ書き込み時にパリティビットが付与され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを実行するためにも使用できます。ECC なしの SRAM0 と SRAM1 の仕様は偶数パリティです。

パリティエラー通知には、PARIOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。PARIOAD.OAD ビットが 1 のとき、パリティエラーはリセット機能に出力されます。PARIOAD.OAD ビットが 0 のとき、パリティエラーは ICU にノンマスカブル割り込みとして出力されます。

注. デバッガが接続されている場合、リセットと NMI 割り込みは発生しません。

パリティエラーはしばしばノイズにより発生します。パリティエラーの原因がノイズか破損かを確認するには、[図 47.2](#) および [図 47.3](#) に示されたパリティチェックフローに従います。

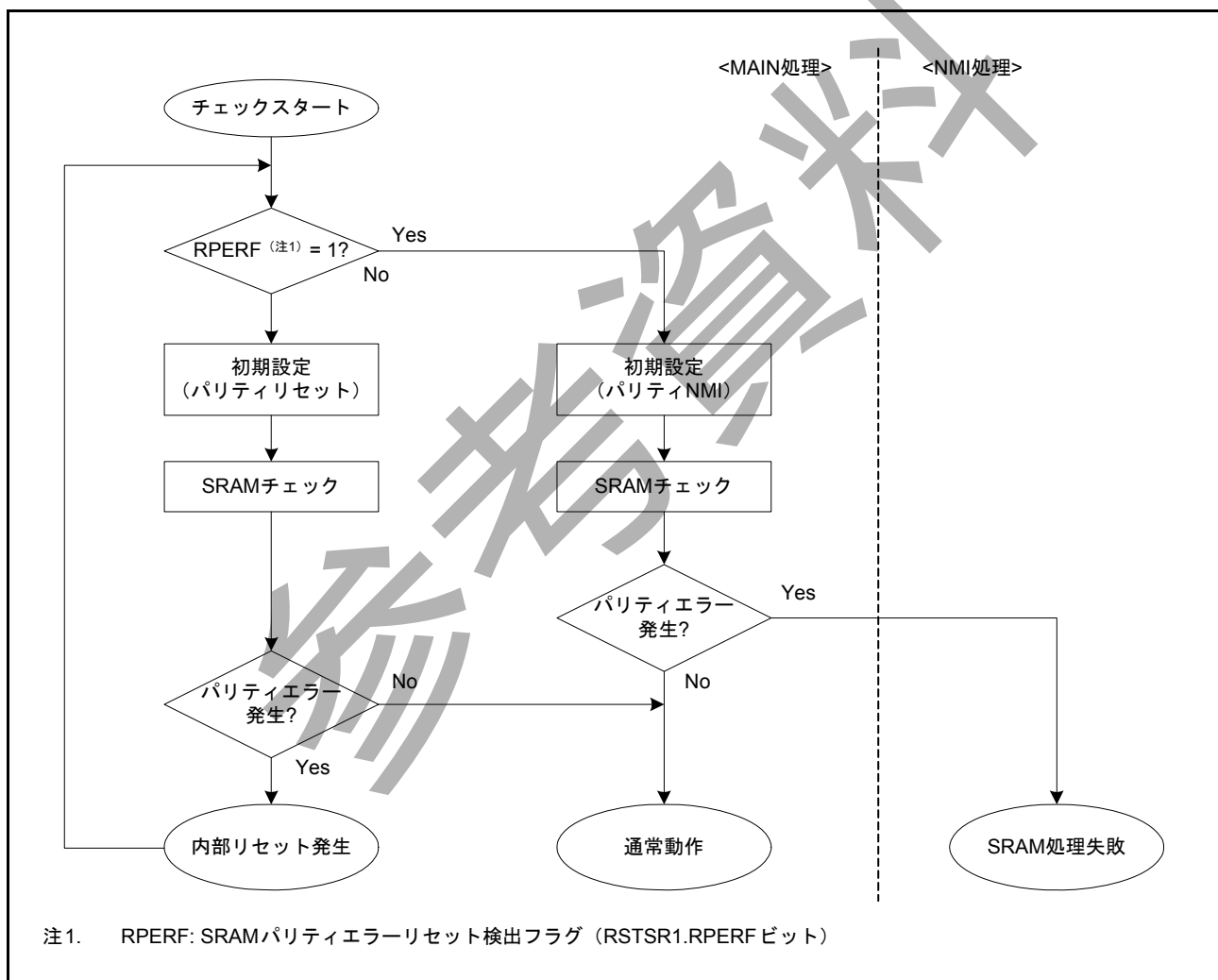


図 47.2 SRAM パリティリセット許可の場合の SRAM パリティチェックのフロー

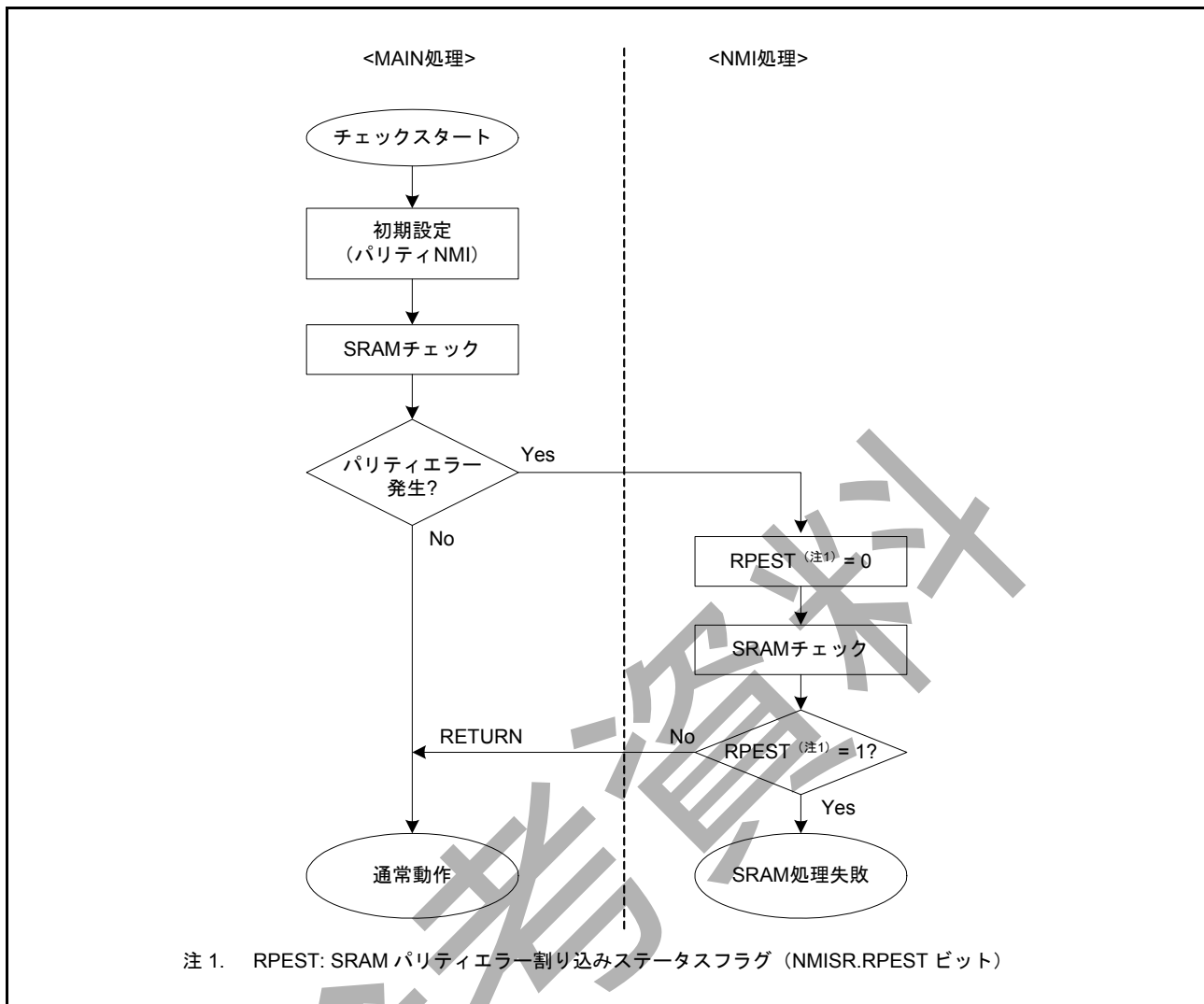


図 47.3 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフロー

### 47.3.6 SRAM エラー要因

SRAM エラーの原因は、ECC エラーまたはパリティエラーのいずれかです。ECC エラーおよびパリティエラーは、それぞれ ECCOAD.OAD ビット、PARIOAD.OAD ビットで選択したとおり、ノンマスクブル割り込みまたはリセットのいずれかを発生させることができます。

表 47.2 SRAM エラー要因

SRAM エラー要因	DTC の起動	DMAC の起動
ECC エラー (ECC ありの SRAM0 領域)	不可能	不可能
パリティエラー (ECC なしの SRAM0 領域と SRAM1)	不可能	不可能

リセットおよびノンマスクブル割り込みは、デバッガが接続されていると発生しません。その他の ECC 機能は、デバッガの影響は受けません。

## 47.3.7 アクセスサイクル

表 47.3 SRAM0 (ECC 領域 2000 0000h ~ 2000 3FFFh)

	リード (サイクル)		ライト (サイクル)	
	ワードアクセス	ハーフワード/ バイトアクセス	ワードアクセス	ハーフワード/ バイトアクセス
ECC オフ ECCMOD[1] = 0	2		2	
ECC オン ECCMOD[1] = 1	2		2	4

表 47.4 SRAM0 (パリティ領域 2000 4000h ~ 2001 FFFFh)

リード (サイクル)		ライト (サイクル)	
ワードアクセス	ハーフワード/ バイトアクセス	ワードアクセス	ハーフワード/ バイトアクセス
2		2	

表 47.5 SRAM1 (パリティ領域 2002 0000h ~ 2002 FFFFh)

リード (サイクル)		ライト (サイクル)	
ワードアクセス	ハーフワード/ バイトアクセス	ワードアクセス	ハーフワード/ バイトアクセス
2		2	

## 47.4 使用上の注意事項

## 47.4.1 SRAM 領域からの命令フェッチ

SRAM0 と SRAM1 を使用してプログラムを実行する場合、SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにしてください。初期化されていない SRAM 領域から CPU がデータをプリフェッチした場合、ECC エラーまたはパリティエラーが発生する可能性があります。4 バイト境界のプログラムの終了アドレスから 12 バイト領域を初期化してください。これらの領域の初期化には、NOP 命令の使用を推奨します。

## 48. フラッシュメモリ

本 MCU は、最大 1MB のコードフラッシュメモリと 16KB のデータフラッシュメモリを内蔵しています。フラッシュコントロールブロック (FCB) はフラッシュメモリのプログラムコマンドの制御を行います。

### 48.1 概要

表 48.1 に、コードフラッシュメモリとデータフラッシュメモリの仕様を示します。図 48.1 に関連モジュールのブロック図を示します。図 48.2 にコードフラッシュメモリの構成を、図 48.3 にデータフラッシュメモリの構成を示します。

表 48.1 コードフラッシュメモリとデータフラッシュメモリの仕様

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	• ユーザ領域：最大 1MB	データ領域：16KB
リードサイクル	<ul style="list-style-type: none"> <li>• 32MHz &lt; ICLK 周波数 ≤ 48MHz キャッシュヒット：1 サイクル キャッシュミス：2 および 3 サイクル</li> <li>• ICLK 周波数 ≤ 32MHz キャッシュヒット：1 サイクル キャッシュミス：1 サイクル</li> </ul>	バイトアクセス時には FCLK 6 サイクルでのリード (FCLK 周波数は 32MHz)
イレース後の値	FFh	FFh
プログラム/イレース方式	<ul style="list-style-type: none"> <li>• レジスタに設定した FCB コマンドを使用してコードフラッシュメモリおよびデータフラッシュメモリをプログラム/イレース</li> <li>• 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム (シリアルプログラミング)</li> <li>• ユーザプログラムによるフラッシュメモリのプログラム (セルフプログラミング)</li> </ul>	
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	フラッシュメモリの誤オーバーライトを防止	
BGO (バックグラウンドオペレーション) 機能	データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能	
プログラム/イレース単位	<ul style="list-style-type: none"> <li>• ユーザ領域へのプログラム：64 ビット単位</li> <li>• ユーザ領域のイレース：2KB 単位</li> </ul>	<ul style="list-style-type: none"> <li>• データ領域へのプログラム：8 ビット単位</li> <li>• データ領域のイレース：1KB 単位</li> </ul>
その他の機能	セルフプログラミング中の割り込み受け付け	
	本 MCU の初期設定でフラッシュメモリ拡張領域 (オプションバイト) の使用可能	
オンボードプログラミング	シリアルプログラミングモード (SCI ブートモード) <ul style="list-style-type: none"> <li>• 調歩同期式シリアルインタフェース (SCI9) を介したプログラミング</li> <li>• 自動調整された転送レート</li> </ul> シリアルプログラミングモード (USB ブートモード) <ul style="list-style-type: none"> <li>• USBFS を介したプログラミング</li> <li>• 専用ハードウェアが不要で、PC と直結可能</li> </ul> オンチップデバッグモード <ul style="list-style-type: none"> <li>• JTAG または SWD インタフェースを介したプログラミング</li> <li>• 専用ハードウェアが不要</li> </ul> ユーザプログラム中のコードフラッシュ/データフラッシュプログラムルーチン <ul style="list-style-type: none"> <li>• この方式ではシステムリセットが不要</li> </ul>	

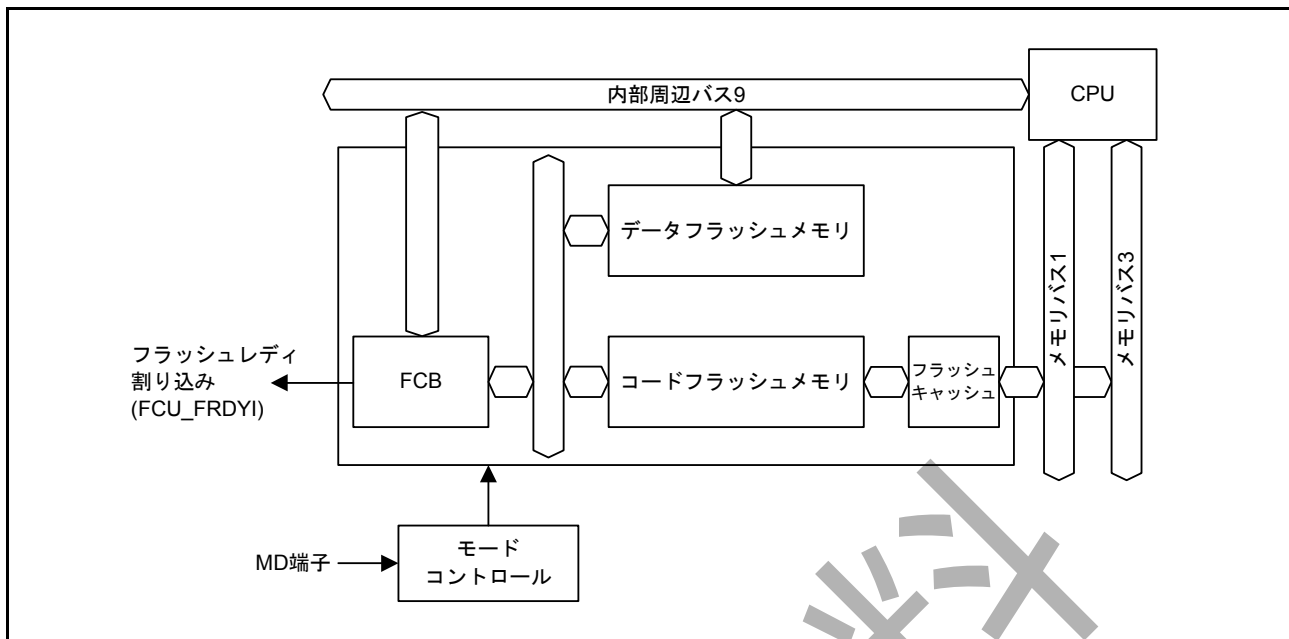


図 48.1 フラッシュメモリ関連モジュールのブロック図

## 48.2 メモリ構成

図 48.2 にコードフラッシュメモリのマッピングを、表 48.2 にコードフラッシュメモリのサイズ別のリードアドレスとプログラム/イレースアドレスを示します。コードフラッシュメモリのユーザ空間は 2KB のブロックに分割されており、各ブロック単位でイレース可能です。ユーザ領域は、ユーザプログラムの格納に使用できます。

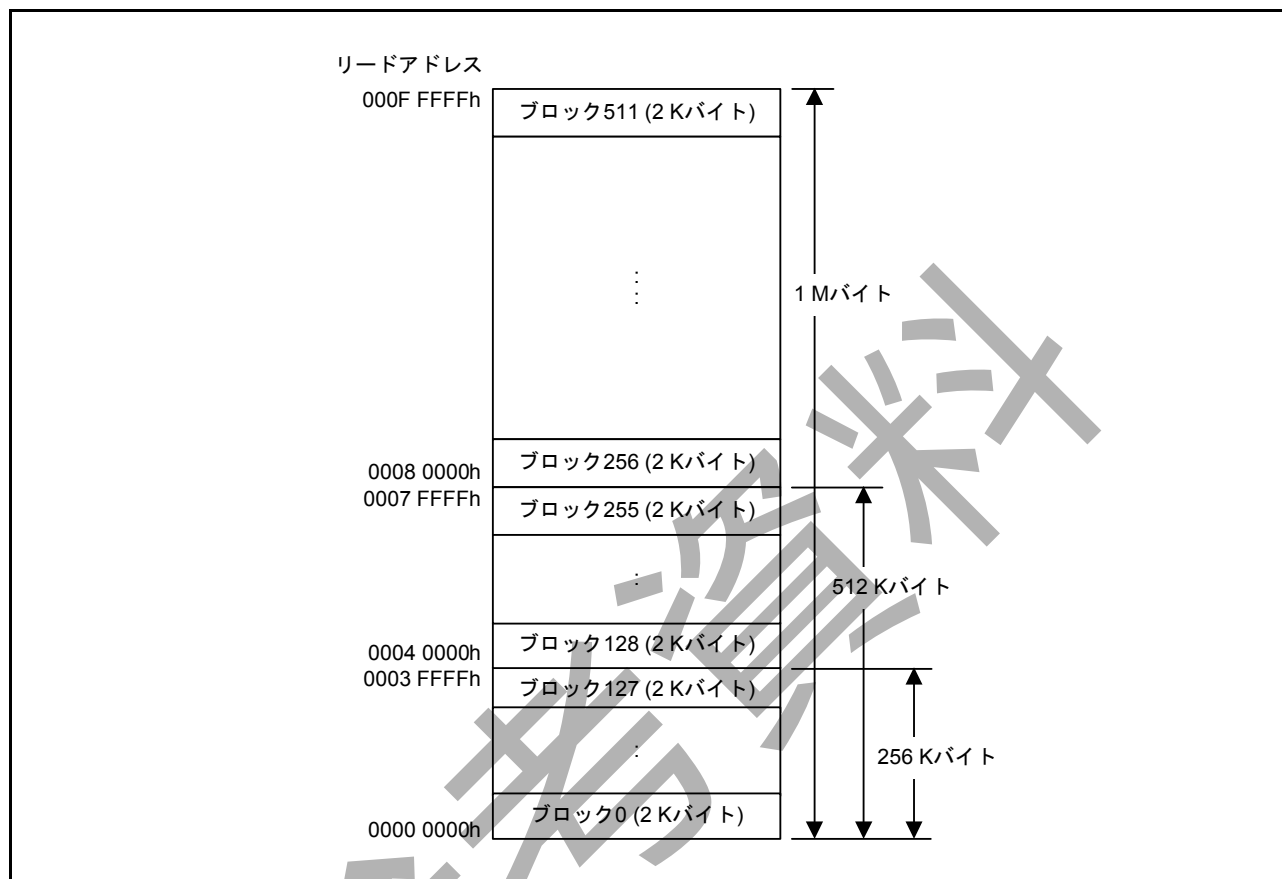


図 48.2 コードフラッシュメモリマッピング

表 48.2 コードフラッシュメモリのサイズ別リード、P/Eアドレス

コードフラッシュメモリのサイズ	リードアドレス	P/Eアドレス	ブロック数
1MB	0000 0000h~000F FFFFh	0000 0000h~000F FFFFh	0~511
512KB	0000 0000h~0007 FFFFh	0000 0000h~0007 FFFFh	0~255
256KB	0000 0000h~0003 FFFFh	0000 0000h~0003 FFFFh	0~127

データフラッシュメモリのデータ領域は 1KB のブロックに分割されており、各ブロック単位でイレース可能です。図 48.3 にデータフラッシュメモリのマッピングを、表 48.3 にデータフラッシュメモリのサイズ別のリードアドレスとプログラム/イレースアドレスを示します。

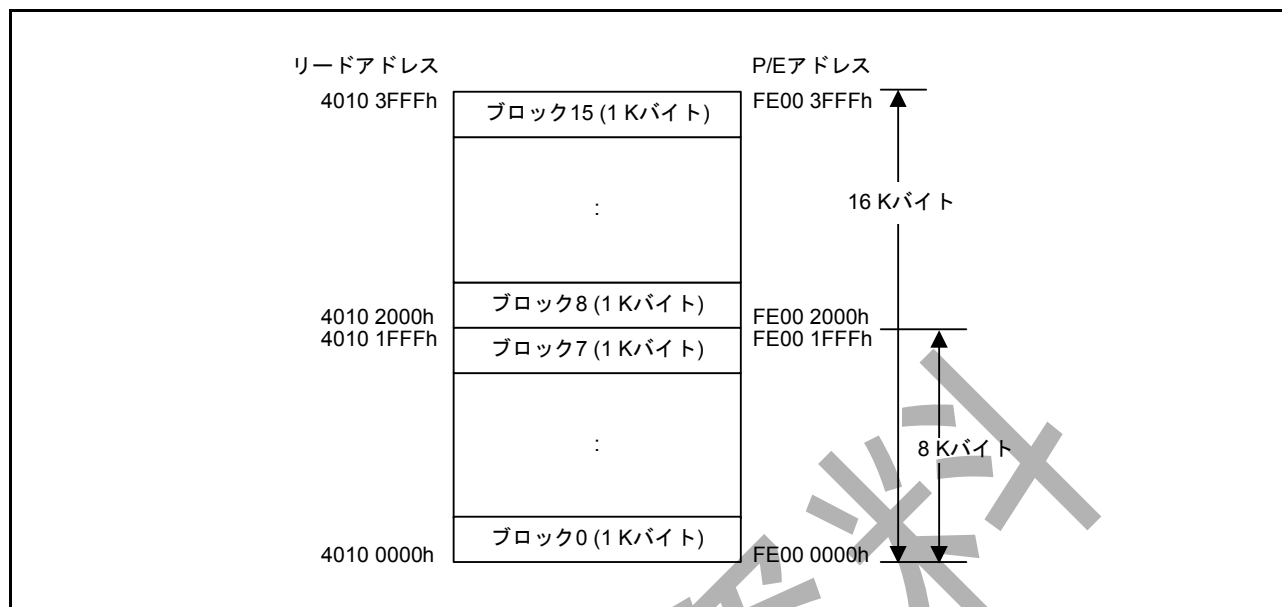


図 48.3 データフラッシュメモリマッピング

表 48.3 データフラッシュメモリのサイズ別リード、P/Eアドレス

データフラッシュメモリのサイズ	リードアドレス	P/Eアドレス	ブロック数
16KB	4010 0000h ~ 4010 3FFFh	FE00 0000h ~ FE00 3FFFh	0 ~ 15
8KB	4010 0000h ~ 4010 1FFFh	FE00 0000h ~ FE00 1FFFh	0 ~ 7



## 48.3 フラッシュキャッシュ

### 48.3.1 概要

フラッシュキャッシュ (FCACHE) は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DMA で使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 48.4 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h - 007F FFFFh	0000 0000h - 007F FFFFh	0000 0000h - 007F FFFFh
対象バスマスタ	CPU 命令フェッチ	CPU オペランドアクセスおよび CPU 以外からのアクセス	FLPF
容量	256 バイト	8 バイト	16 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ	フルアソシアティブ	-
	-	-	64 ビット/エントリ (64 ビット整列データ)、2 エントリ
	64 ビット/エントリ (64 ビット整列データ)、4 エントリ/ウェイ	64 ビット/エントリ (64 ビット整列データ)、1 エントリ	前の CPU 命令の次のアドレス
アクセスサイクル	キャッシュヒット: 0 ウェイト キャッシュミス: SYSTEM.MEMWAIT レジスタに従う: MEMWAIT = 0: 0 ウェイト MEMWAIT = 1: 1~2 ウェイト	キャッシュヒット: 0 ウェイト キャッシュミス: SYSTEM.MEMWAIT レジスタに従う: MEMWAIT = 0: 0 ウェイト MEMWAIT = 1: 1~2 ウェイト	キャッシュヒット: 0 ウェイト キャッシュミス: SYSTEM.MEMWAIT レジスタに従う: MEMWAIT = 0: 0 ウェイト MEMWAIT = 1: 1~2 ウェイト

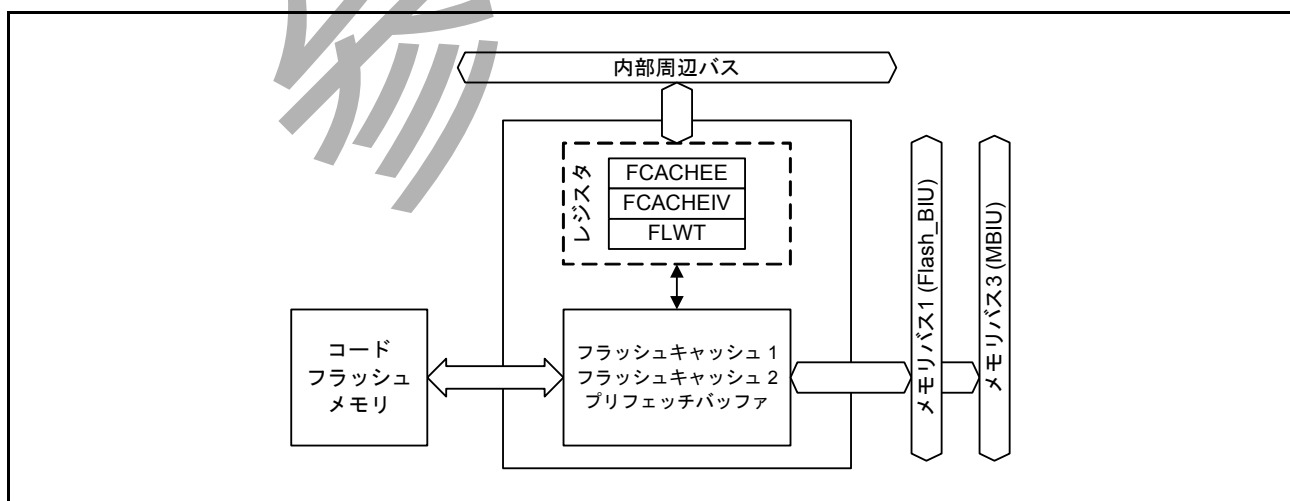


図 48.4 FCACHE のブロック図

## 48.3.2 レジスタの説明

### 48.3.2.1 フラッシュキャッシュイネーブルレジスタ (FCACHEE)

アドレス FCACHE.FCACHEE 4001 C100h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEEEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCACHEEN	FCACHE許可	0 : FCACHE禁止 1 : FCACHE許可	R/W
b15-b1	—	予約ビット	読むと0が読めます。	R

FCACHEE.FCACHEEN ビットは、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュ機能を許可/禁止します。FCACHEIV.FCACHEIV には影響しません。FCACHE が許可されている場合、HPROT[3] ビット設定はそれがキャッシュャブルなのかノンキャッシュャブルなのかを決定します。15.7 フラッシュキャッシュ使用時の注意事項を参照してください。

### 48.3.2.2 フラッシュキャッシュインバリデートレジスタ (FCACHEIV)

アドレス FCACHE.FCACHEIV 4001 C104h

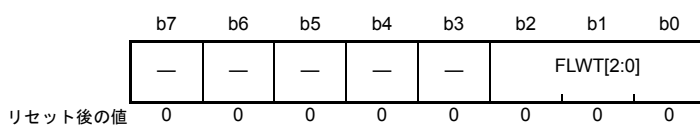
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEIV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCACHEIV	フラッシュキャッシュインバリデート	[読み出し] 0 : インバリデートしない 1 : インバリデートする [書き込み] 1 を書くと FCACHE をインバリデートします。0 を書くと無視されます。	R/W
b15-b1	—	予約ビット	読むと0が読めます。	R

FCACHEIV.FCACHEIV に 1 を書くと、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュデータをインバリデートします。

## 48.3.2.3 フラッシュウェイトサイクルレジスタ (FLWT)

アドレス FCACHE.FLWT 4001 C11Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	FLWT[2:0] (注1)	フラッシュウェイトサイクル	b2 b0 0 0 0 : 0ウェイト 上記以外の設定は予約されています。	R/W
b15-b3	—	予約ビット	読むと0が読めます。	R

注1. 000b 以外は設定しないでください。

フラッシュウェイトサイクルレジスタ (FLWT) は、フラッシュメモリのアクセスウェイト数を設定します。クロック周波数を高くする場合、クロック周波数を変更する前に FLWT.FLWT[2:0] を設定してください。クロック周波数を低くする場合、クロック周波数を変更した後に FLWT.FLWT[2:0] を設定してください。

参考資料

## 48.4 動作説明

フラッシュ動作を設定して有効にするには FCACHEE レジスタを使用します。フラッシュキャッシュを設定してフラッシュメモリの書き換えに備えるには、以下を実行します。

1. FCACHEE.FCACHEEN をリセットしてフラッシュキャッシュを禁止します。(注1)
2. FCACHEIV.FCACHEIV を設定してフラッシュキャッシュをインバリデートします。
3. FCACHEIV.FCACHEIV が 0 であることを確認します。
4. FCACHEE.FCACHEEN を設定してフラッシュキャッシュを許可します。

注 1. リセット後の最初の設定でフラッシュキャッシュを禁止にする必要はありません。

### 48.4.1 フラッシュキャッシュ使用における注意

CPU からのアクセスでフラッシュキャッシュを使用する場合、ARM® MPU もキャッシュブルに設定しなければなりません。

ARMv7-M Architecture Reference Manual および Cortex-M4 Devices Generic User Guide を参照してください。

## 48.5 フラッシュメモリ関連の動作モード

図 48.5 にフラッシュメモリに関するモード遷移図を示します。モードの設定方法については、「3. 動作モード」を参照してください。

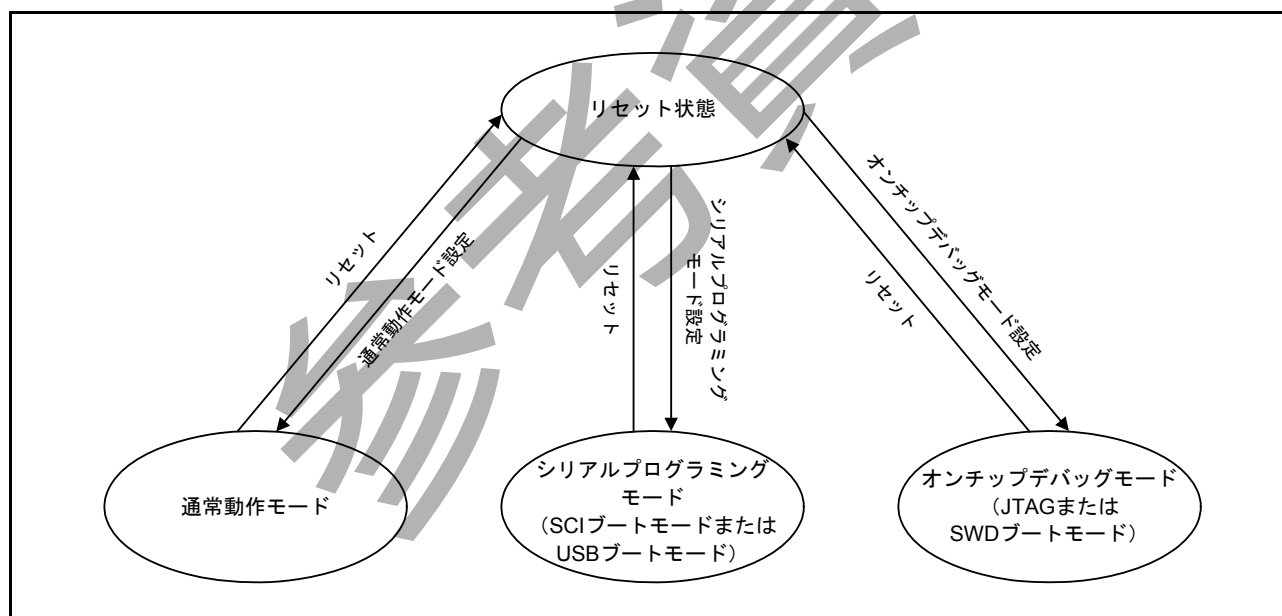


図 48.5 フラッシュメモリに関するモード遷移図

各モードで、プログラム/イレースが可能なフラッシュメモリの領域、リセット後の起動プログラムを実行するフラッシュメモリの領域は異なります。表 48.5 に各モードの相違点を示します。

表 48.5 各モードの相違点

項目	通常動作モード	シリアルプログラミングモード (SCI/USB ブートモード)	オンチップデバッグモード (JTAG/SWD ブートモード)
プログラム/イレースが可能な領域	<ul style="list-style-type: none"> <li>コードフラッシュメモリ</li> <li>データフラッシュメモリ</li> </ul>	<ul style="list-style-type: none"> <li>コードフラッシュメモリ</li> <li>データフラッシュメモリ</li> </ul>	<ul style="list-style-type: none"> <li>コードフラッシュメモリ</li> <li>データフラッシュメモリ</li> </ul>
ブロック分割イレース	可能	可能	可能
リセット時の起動プログラム	ユーザ領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

### 48.5.1 ID コードプロテクト機能

この機能は、プログラミングとオンチップデバッグを禁止します。ID コードプロテクト機能が有効な場合、デバイスはホストが送信した ID コードをフラッシュメモリに格納されている ID コードと比較し、有効または無効にします。プログラミングとオンチップデバッグは、この 2 つが一致する場合に限り許可されます。

フラッシュメモリの ID コードは、32 ビットワード 4 つで構成されます。ID コードのビット 127 とビット 126 は、ID コードプロテクト機能が有効か判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 48.6 に示します。

表 48.6 ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCI/USB ブートモード)	FFh, ..., FFh (全バイトが FFh)	プロテクト無効	ID コードは検証されません。ID コードは常に一致して、プログラマまたはオンチップデバッグへの接続が許可されます。
オンチップデバッグモード (JTAG/SWD ブートモード)	ビット 127 = 1 および ビット 126 = 1、かつ ビット 125 からビット 0 の どれか 1 ビットでも 0 である 場合	プロテクト有効	ID コード一致：認証を終了し、プログラマまたはオンチップデバッグへの接続を許可 ID コード不一致：ID コードプロテクト待機状態へ遷移  プログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの "ALeRASE" (414C_6552_4153_45FF_FFFF_FFFF_FFFF_F FFFh) であると、ユーザフラッシュ領域の内容は消去されます。 ただし、FSPR ビットが 0 であれば、強制消去は実行されません。
	ビット 127 = 1、 ビット 126 = 0	プロテクト有効	ID コード一致：認証を終了し、プログラマまたはオンチップデバッグへの接続を許可 ID コード不一致：ID コードプロテクト待機状態へ遷移
	ビット 127 = 0	プロテクト有効	ID コードは検証されません。ID コードは常に一致せず、プログラマまたはオンチップデバッグへの接続は禁止されます。

## 48.6 機能概要

シリアルインタフェース経由（シリアルプログラミングモード）、またはJTAG/SWDインタフェース経由（オンチップデバッグモード）で、専用フラッシュメモリプログラマを使用して内蔵フラッシュメモリを書き換えることにより、ターゲットシステムへの実装前もしくは実装後にかかわらずデバイスのプログラムが可能です。

また、ユーザプログラムの書き換えを禁止するセキュリティ機能により、第三者によるプログラムの改ざんを防止できます。

ユーザプログラムによるプログラミング（セルフプログラミング）は、システムの製造／出荷後の更新が必要なアプリケーションに有効です。フラッシュメモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理もサポートされており、外部通信およびその他の機能を実行している間もプログラミングを継続できます。表 48.7 は、プログラミング方式と関連する動作モードを示しています。

表 48.7 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCIまたはUSBFSインタフェース経由で接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	SCIまたはUSBFSインタフェースおよび専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミングによってあらかじめメモリに書き込まれたユーザプログラムを実行することによっても、フラッシュメモリの書き換えが可能です。セルフプログラミングによるデータフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチおよびデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。	通常動作モード
JTAG/SWDプログラミング	JTAG/SWD経由で接続されている専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	オンチップデバッグモード
	JTAG/SWDおよび専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	

本 MCU は、セルフプログラミング用にプログラムコマンドをサポートしています。内蔵フラッシュメモリの機能一覧を表 48.8 に示します。シリアルプログラミングにおける各機能は、シリアルプログラムのコマンドで実現されます。セルフプログラミングにおける各機能は、プログラムコマンドまたはユーザプログラムによる内蔵フラッシュメモリの読み出しで実現されます。

表 48.8 基本機能

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレース後にプログラムされていない状態のデータフラッシュメモリの読み出し結果は保証されません。イレース後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	×	○
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	○	○
プログラム	指定したアドレスのプログラムを行います。	○	○
リード	フラッシュメモリにプログラムしたデータを読み出します。	○	×
IDコードチェック	ホストが送信したIDコードとROMに格納されているコードとを比較します。これら二つが一致する場合、FCBは待機状態に移移してホストからのプログラミングとイレースコマンドを待ちます。	○	×
セキュリティ設定	シリアルプログラミング用のセキュリティ機能を設定します。	△（有効から無効への設定切り替えのみ許可）	△（有効から無効への設定切り替えのみ許可）
プロテクション設定	コードフラッシュメモリにおけるフラッシュ領域プロテクションのアクセスウィンドウを設定します。	○	○

内蔵フラッシュメモリはシリアルプログラミングおよび JTAG または SWD プログラミングで使用するセキュリティ機能として、ID コード認証を提供します。内蔵フラッシュメモリでサポートされるセキュリティ機能を表 48.9 に示します。表 48.10 に、セキュリティ設定時の動作を示します。

表 48.9 セキュリティ機能

機能	内容
ID 認証	シリアルプログラミング時のシリアルプログラマ接続を ID 認証結果で制御可能です。

表 48.10 セキュリティ設定時の動作

機能	各セキュリティ設定時のイレース/プログラミング/リード動作		セキュリティ設定に関する注意事項
	シリアルプログラミングとオンチップデバッグモード	セルフプログラミングモード	セルフプログラミングモード
ID 認証	ID が不一致の場合 ・ ブロックイレースコマンド：× ・ プログラミングコマンド：× ・ リードコマンド：× ・ セキュリティ設定コマンド：× ・ プロテクション設定コマンド：× ID が一致した場合 ・ ブロックイレースコマンド：○ ・ プログラミングコマンド：○ ・ リードコマンド：○ ・ セキュリティ設定コマンド：○ ・ プロテクション設定コマンド：○	ID 認証は行わない ・ ブランクチェック：○ ・ ブロックイレース：○ ・ プログラミング：○ ・ セキュリティ設定：○ ・ プロテクション設定：○	ID 認証は行わない

### 48.6.1 構成領域ビットマップ

図 48.6 に、ID 認証、スタートアップ領域の選択、アクセスウィンドウプロテクション、セキュリティ設定機能で使用するビットを示します。ブートプログラムは、必ずこれらのビットを 16 進数データとして使用しなければなりません。

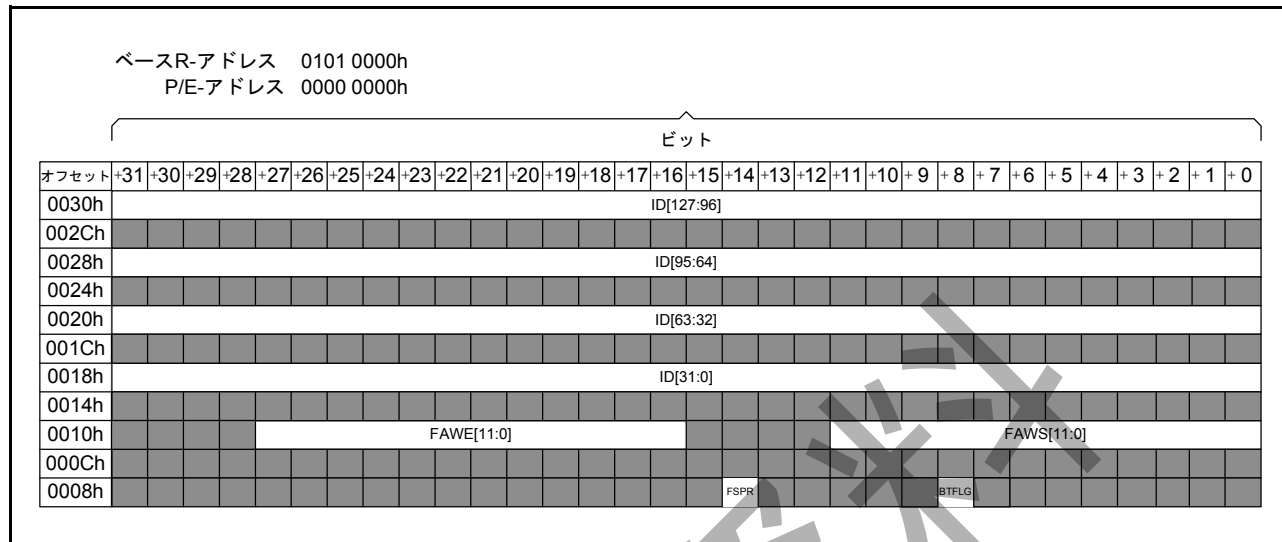


図 48.6 構成領域ビットマップ

### 48.6.2 スタートアップ領域選択

スタートアップ領域選択機能によって、ブートプログラムの安全な更新が可能になります。スタートアップ領域は、ユーザ領域に配置された 8KB のスペースです。FCB は、構成領域または AWSC レジスタに配置されたスタートアップ領域選択フラグ (BTFLG) に基づきアドレスを制御します。スタートアップ領域は FSPR ビットでロックすることが可能です。図 48.7 に、スタートアッププログラムのプロテクションの概要を示します。

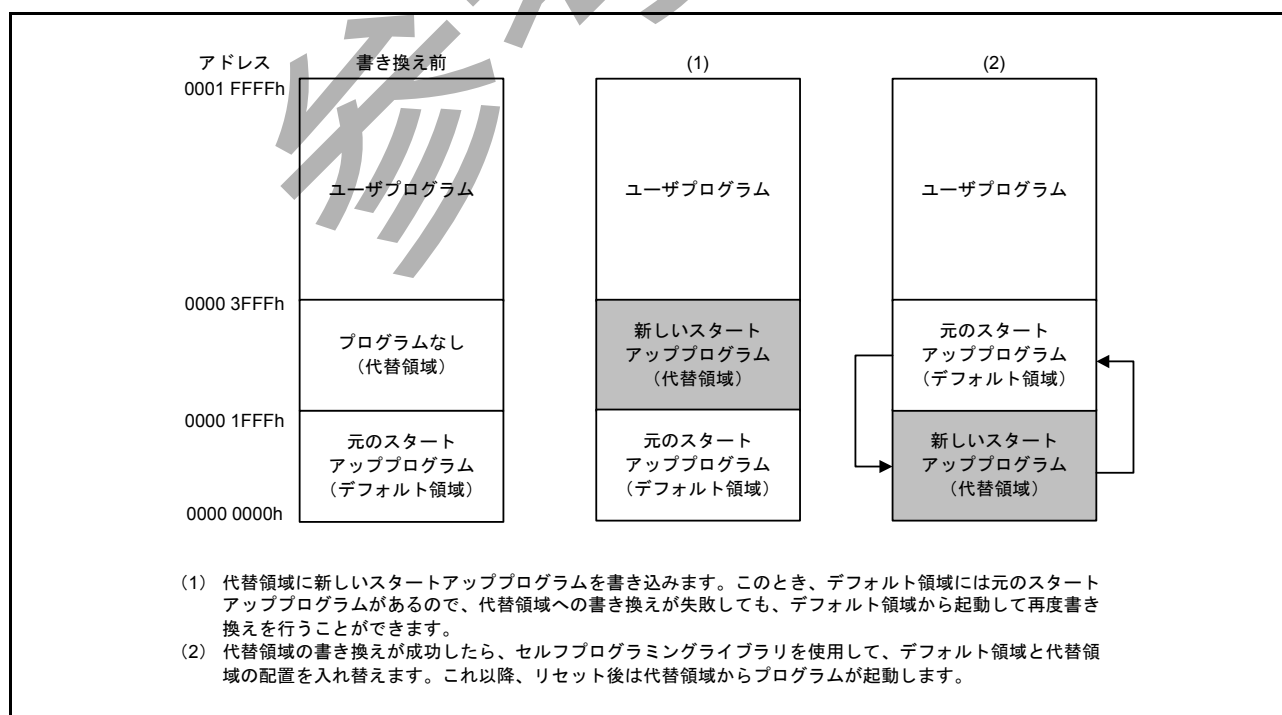


図 48.7 スタートアッププログラムプロテクションの概要



### 48.6.3 アクセスウィンドウによるプロテクション

アクセスウィンドウの外側にあるフラッシュメモリ領域にプログラムまたはブロックイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウは、コードフラッシュメモリのユーザ領域においてのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。図 48.8 に、フラッシュ領域プロテクションの概要を示します。

FAWS[11:0] ビットと FAWE[11:0] ビットの両方で、アクセスウィンドウを指定してください。

- FAWE[11:0] = FAWS[11:0] : P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できます。
- FAWE[11:0] > FAWS[11:0] : P/E コマンドは、FAWS ビットで指示されたブロックから、FAWE ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウにおいてのみ実行できます。
- FAWE[11:0] < FAWS[11:0] : P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できません。

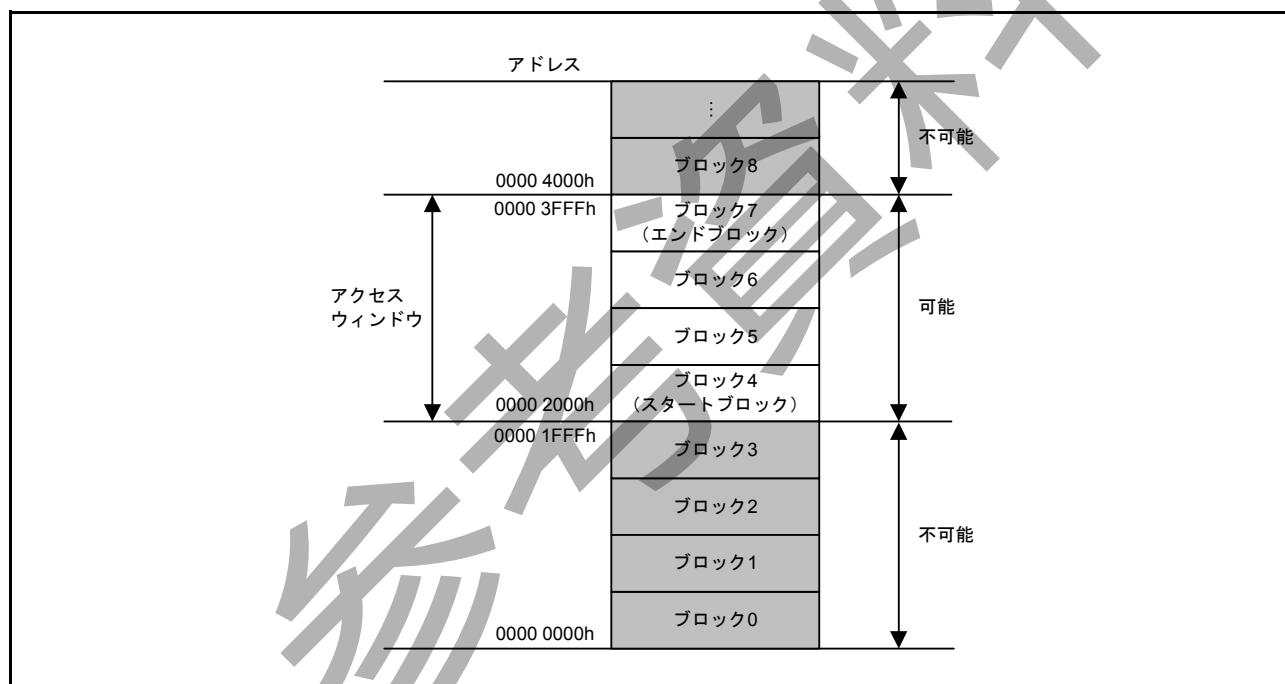


図 48.8 フラッシュ領域プロテクションの概要

## 48.7 プログラムコマンド

FCB は、プログラムコマンドを制御します。

## 48.8 サスペンド動作

強制停止コマンドは、ブランクチェックまたはブロックイレースコマンドを強制的に停止します。強制停止が実行されると、停止されたアドレスの値はレジスタに格納されます。これらのアドレス値をコピーすることにより、コマンド実行用レジスタをリセットした後、停止アドレスからコマンドを再開できます。

## 48.9 プロテクション機能

本 MCU は、3 種類のプロテクションを提供しています。

- ソフトウェアプロテクション
- エラープロテクション
- ブートプログラムプロテクション

参考資料

## 48.10 シリアルプログラミングモード

シリアルプログラミングモードには以下が含まれます。

- SCI9 を使用するブートモード
- USBFS を使用する USB ブートモード

表 48.11 にフラッシュメモリ関連モジュールの入出力端子を示します。

表 48.11 フラッシュメモリ関連モジュールの入出力端子

端子名	入出力	適用モード	機能
MD	入力	SCI ブートモード USB ブートモード (シリアルプログラミングモード)	動作モードの選択
P110/RXD9	入力	SCI ブートモード	ホスト通信における SCI データ受信用
P109/TXD9	出力		ホスト通信における SCI データ送信用
USB_DP, USB_DM	入出力	USB ブートモード	USB データの入出力
USB_VBUS	入力		USB ケーブルの接続/切断の検出

注. セキュリティ MPU が有効な場合、シリアルプログラミングモードは実行されません。

### 48.10.1 SCI ブートモード

SCI ブートモードでは、ホストは制御コマンドとプログラミングデータを送信して、コードおよびデータフラッシュメモリ領域へのプログラム/イレースが実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期式モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU を SCI ブートモードで起動すると、シリアルプログラミング用の組み込みプログラムが実行されます。このプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、プログラムおよびイレースを制御します。リセット解除時に USB ケーブルが接続されていない場合は、

図 48.9 に、SCI ブートモード時のシステム構成を示します。

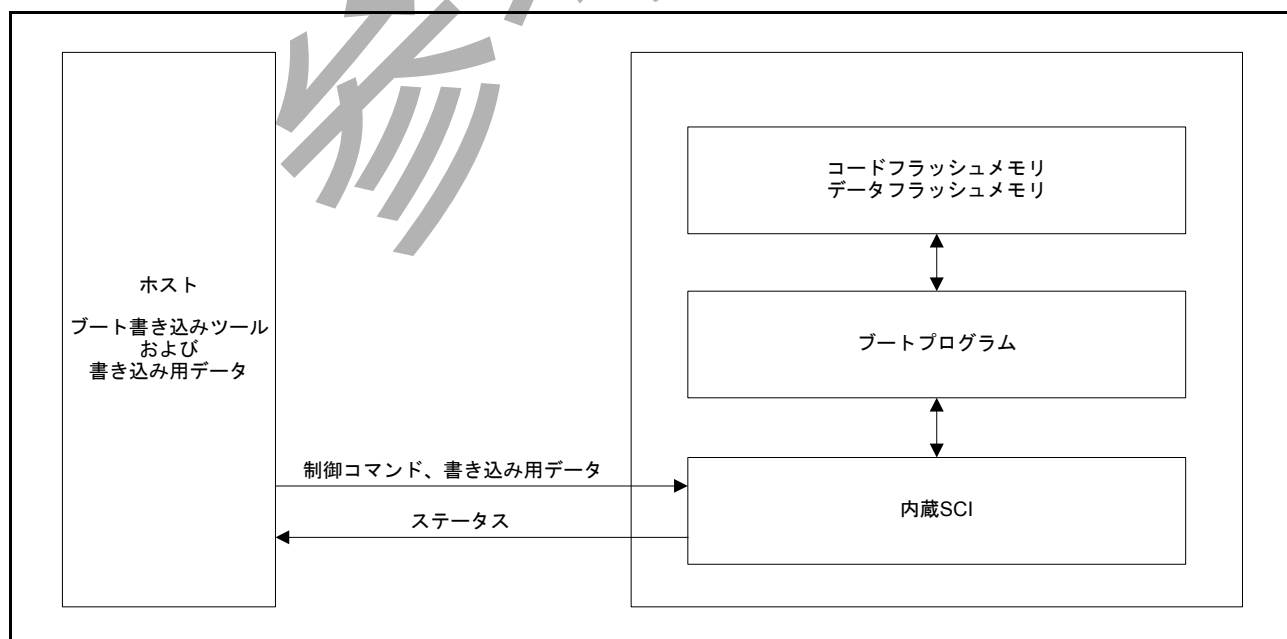


図 48.9 SCI ブートモード時のシステム構成

### 48.10.2 USB ブートモード

USB ブートモードは、USB インタフェースを経由して外部に接続されたホストから制御コマンドやプログラムデータを送信し、コードフラッシュメモリ/データフラッシュメモリへのプログラム/イレースを行うモードです。

USB ブートモードでは、制御コマンドやプログラムデータを送信するツールをホスト側に準備しておく必要があります。図 48.10 に、USB ブートモードでのシステム構成を示します。リセット解除時、USB ケーブルが接続されていないとできません。

USB セルフパワーシステムでは、VBUS の総消費電流は 100mA を越えないようにしてください。

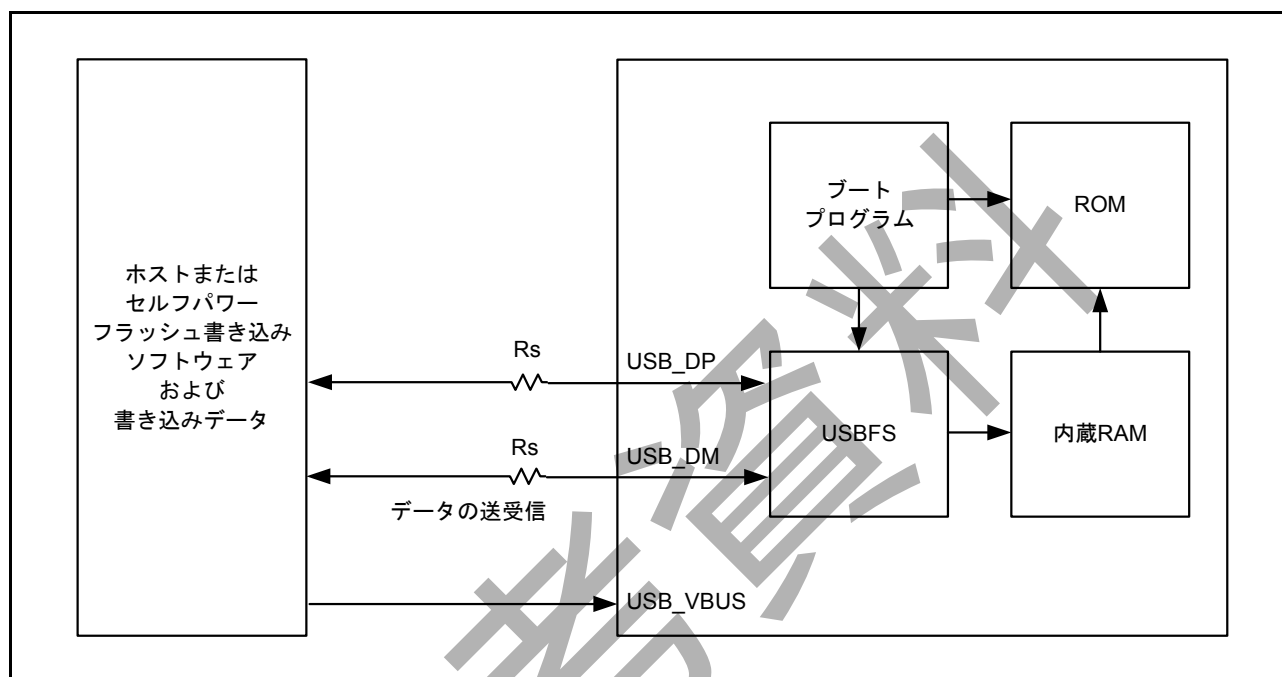


図 48.10 USB ブートモード時のシステム構成

## 48.11 シリアルプログラマを使用する場合

シリアルプログラミングモードでフラッシュメモリをプログラムするには、専用のフラッシュメモリプログラマを使用します。

### 48.11.1 シリアルプログラミング

本 MCU はシステムボードに搭載されており、ボードへのコネクタによりフラッシュメモリプログラマを使用した MCU のプログラミングが可能となります。

図 48.11 に、MCU フラッシュメモリにデータをプログラミングするための推奨環境を示します。

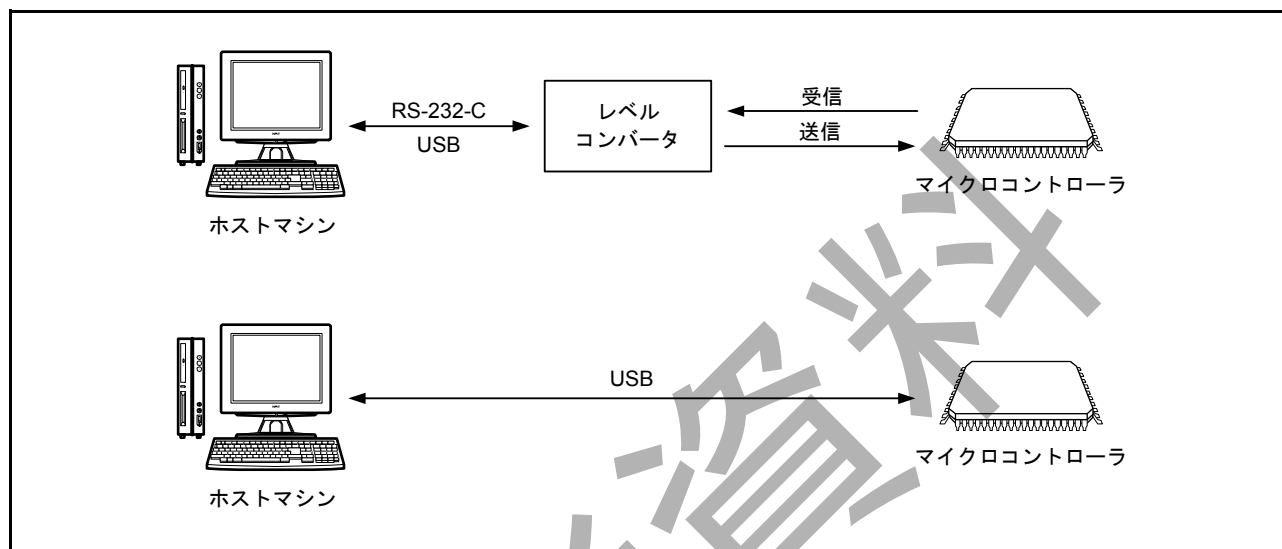


図 48.11 フラッシュメモリにプログラムを書き込むための環境

## 48.12 セルフプログラミング

### 48.12.1 概要

本 MCU は、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。プログラムコマンドをユーザのプログラムで使用することにより、コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。したがって、ユーザプログラムの更新と、定数データフィールドの書き換えが可能になります。

バックグラウンドオペレーション機能を利用してコードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。このプログラムは、プログラミング実行前に内部 SRAM または外部メモリに複製し、指定場所から実行することも可能です。

書き換え対象のコードフラッシュメモリ領域と読み出し対象のコードフラッシュメモリ領域のアドレス範囲が指定条件を満たすときにもバックグラウンドオペレーション機能を利用できます (表 48.12 参照)。セルフプログラミングの場合、コードフラッシュメモリの半分に配置された書き換えプログラムはもう半分を書き換えることができます。代わりに、この書き換え用のプログラムを事前に内蔵 SRAM または外部メモリに複製し、指定した宛先から実行してコードフラッシュメモリを書き換えることもできます。これは、アドレス範囲がバックグラウンドオペレーションの条件を満たさない場合に有用です。

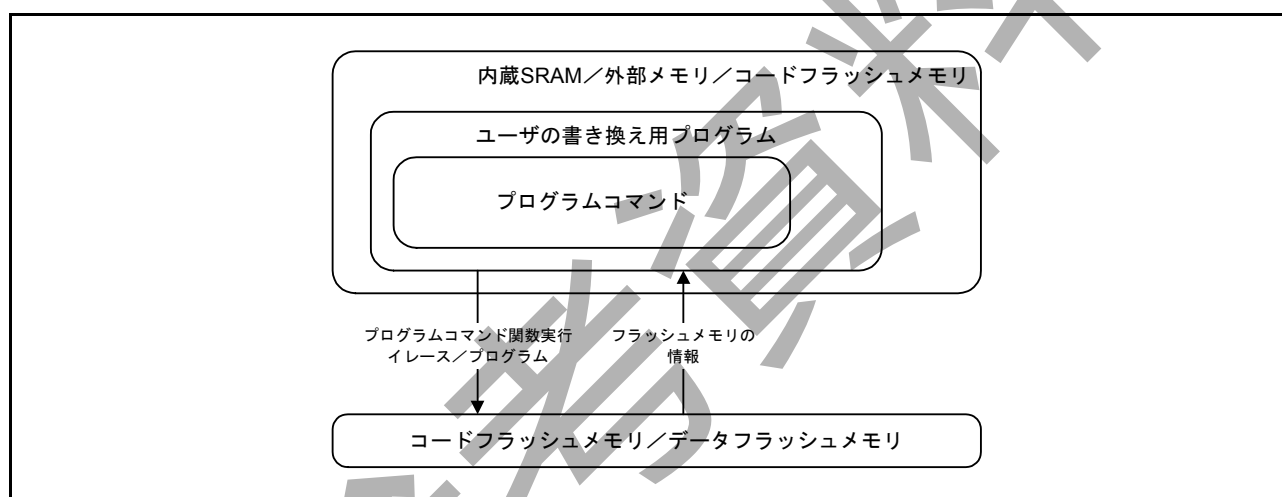


図 48.12 セルフプログラミングの概念

### 48.12.2 バックグラウンドオペレーション

書き込み対象および読み出し対象のフラッシュメモリが表 48.12 に示す組み合わせである場合には、バックグラウンドオペレーションを利用することができます。

表 48.12 バックグラウンドオペレーションの利用可能な条件

製品	書き込み可能範囲	読み出し可能範囲
全製品	データフラッシュメモリ	コードフラッシュメモリ

## 48.13 フラッシュメモリの読み出し

### 48.13.1 コードフラッシュメモリの読み出し

通常モードでコードフラッシュメモリを読み出すのに、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。イレース後にプログラミングしていない（未プログラム状態の）コードフラッシュメモリを読み出すと、全ビットから1が読み出されます。

### 48.13.2 データフラッシュメモリの読み出し

通常モードでデータフラッシュメモリを読み出すのに、特別な設定は必要ありません。ただし、データフラッシュアクセス無効モードが読み出しを無効にするリセットを発行する場合を除きます。この場合、アプリケーションはデータフラッシュ読み出しモードへの遷移が必要です。

イレース後にプログラムされていない、つまり未プログラム状態のデータフラッシュメモリを読み出すと、全ビットから1が読み出されます。

参考資料

## 48.14 使用上の注意事項

### 48.14.1 イレースを中断した領域

イレース動作を中断した領域のデータは不定です。不定データの読み出しによる誤動作を回避するためには、イレース動作を中断した領域でコマンドやデータリードを実行しないでください。

### 48.14.2 イレースサスペンドコマンドによる中断

イレース動作をイレースサスペンドコマンドで中断した場合、レジュームコマンドで動作を完了してください。

### 48.14.3 追加プログラムの禁止

同一アドレスに2回以上プログラミングすることはできません。プログラム済みの領域にプログラミングする場合、最初にその領域をイレースしてください。

### 48.14.4 プログラム/イレース中のリセット

RES 端子からリセットを入力する場合、電気的特性で定義された動作電圧の範囲内で、 $t_{RESW}$  以上（「51. 電気的特性」参照）のリセット入力時間が経過してからリセットを解除してください。

IWDT リセットおよびソフトウェアリセットでは、 $t_{RESW}$  入力時間は必要ありません。

### 48.14.5 プログラム/イレース中のノンマスカブル割り込みの禁止

コードフラッシュメモリでプログラム/イレース中に、ノンマスカブル割り込み（注1）を許可しないでください。プログラム/イレース中にノンマスカブル割り込みが発生すると、コードフラッシュメモリからベクタがフェッチされ、不定データが読み出されます。この制約は、コードフラッシュメモリに限り適用されます。

注1. ノンマスカブル割り込みとは、NMI 端子割り込み、発振停止検出割り込み、IWDT アンダーフロー/リフレッシュエラー、電圧監視1 割り込み、または電圧監視2 割り込みです。

### 48.14.6 プログラム/イレース中における割り込みベクタの配置

プログラム/イレース中に割り込みが発生すると、コードフラッシュメモリからベクタをフェッチできません。コードフラッシュメモリからベクタをフェッチしないようにするには、割り込み表でコードフラッシュメモリ以外の領域をフェッチ先に設定します。

### 48.14.7 Low-speed モードでのプログラム/イレース

消費電力低減機能のために SOPCCR レジスタで Low-speed モードが選択されている場合、フラッシュメモリのプログラム/イレースは実行しないでください。

### 48.14.8 プログラム/イレース中の異常終了

プログラム/イレース中に電圧が動作電圧範囲を超えた場合、またはリセットや 48.14.9 プログラム/イレース中に禁止されているアクションに記載の禁止動作が原因でプログラム/イレース動作が正常に終了しなかった場合、その領域を再度イレースしてください。



#### 48.14.9 プログラム/イレース中に禁止されているアクション

フラッシュメモリの損傷を防ぐため、プログラム/イレース中は以下の指示に従ってください。

- 動作電圧範囲外の MCU 電源を使用しない
- OPCCR.OPCM[1:0] ビット値を更新しない
- SOPCCR.SOPCM ビット値を更新しない
- フラッシュインタフェースクロック (FCLK) の分周比を変更しない
- MCU をソフトウェアスタンバイモードにしない
- コードフラッシュメモリへのプログラム/イレース中にデータフラッシュメモリにアクセスしない
- データフラッシュメモリに対するプログラム/イレース中に DFLCTL.DFLEN ビット値を更新しない

#### 48.14.10 プログラム/イレース中のフラッシュインタフェースクロック (FCLK)

セルフプログラミング中にプログラム/イレースを実行するには、フラッシュインタフェースクロックを設定し、フラッシュ初期設定レジスタ (FISR) で整数周波数を指定します。周波数 (FCLK) が 4 ~ 32MHz の場合、12.5MHz などの非整数周波数の切り上げ値を設定しなければなりません。たとえば、12.5MHz は 13MHz に切り上げます。

参考資料

## 49. セグメント LCD コントローラ／ドライバ（SLCDC）

本 MCU は、LCD ディスプレイおよび表示端子のコントローラを内蔵しています。

### 49.1 概要

SLCDC の仕様を表 49.1 に示します。

表 49.1 SLCDC の仕様

項目	内容
特長	<ul style="list-style-type: none"> <li>液晶波形（A または B 波形）の選択が可能</li> <li>LCD 駆動電圧生成回路は、内部昇圧方式、容量分割方式、および外部抵抗分割方式の切り替えが可能</li> <li>表示データレジスタの自動読み出しによるセグメント信号と共通信号の自動出力</li> <li>昇圧回路動作時に生成する基準電圧を 16 段階から選択可能（コントラスト調整）</li> <li>LCD の点滅と点灯の選択が可能</li> </ul>
端子数	端子数については、表 49.2 製品ごとの SLCDC 表示機能端子数を参照してください。
ソースクロック	メインクロック発振器、サブクロック発振器、低速オンチップオシレータ、高速オンチップオシレータ
消費電力低減機能	モジュールストップ状態への設定が可能

本 MCU の LCD 表示機能端子の本数は、製品によって異なります。製品ごとの LCD 表示機能端子数を下表に示します。

表 49.2 製品ごとの SLCDC 表示機能端子数

項目	145、144ピン															
LCD コントローラ／ドライバ	セグメント端子 (SEG) の本数 : 52 (48) (注1) コモン端子 (COM) の本数 : 8															
マルチプレクス I/O ポート	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ポート 1	SEG 25	SEG 24	SEG/COM4	CAPL (注2)	CAPH (注2)	-	-	-	COM3	COM2	COM1	COM0	VL4 (注3)	VL3 (注3)	VL2 (注3)	VL1 (注3)
ポート 2	-	-	-	-	-	-	-	-	-	-	-	SEG 23	SEG 22	SEG 21	-	-
ポート 3	SEG 5	SEG 4	SEG 20	SEG 9	SEG 10	SEG 11	SEG 12	SEG 13	SEG 14	SEG 15	SEG 16	SEG 17	SEG3/COM7	SEG2/COM6	SEG1/COM5	-
ポート 5	-	-	-	-	-	-	-	-	-	-	-	-	SEG 51	SEG 50	SEG 49	SEG 48
ポート 6	-	SEG 34	SEG 33	SEG 32	SEG 31	SEG 30	SEG 29	SEG 28	-	SEG 35	SEG 36	SEG 37	SEG 38	SEG 39	SEG 40	SEG 41
ポート 8	-	-	-	-	-	-	SEG 19	SEG 18	SEG 27	SEG 26	SEG 42	SEG 43	SEG 47	SEG 46	SEG 45	SEG 44
ポート 9	-	-	-	-	-	-	-	-	-	-	-	-	-	SEG8	SEG7	SEG6

注 1. ( ) 内の数字は、8 時分割選択時の信号出力端子数です。

注 2. CAPH および CAPL は、LCD コントローラ／ドライバのコンデンサ接続端子です。

注 3. VL1、VL2、VL3、および VL4 は、LCD を駆動するための電源端子です。

表 49.3 製品ごとのSLCDC表示機能端子数

項目	121ピン															
LCDコントローラ／ドライバ	セグメント端子 (SEG) の本数 : 38 (34) (注1) コモン端子 (COM) の本数 : 8															
マルチプレクス I/O ポート	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ポート1	SEG 25	SEG 24	SEG0/COM4	CAPL (注2)	CAPH (注2)	-	-	-	COM3	COM2	COM1	COM0	VL4 (注3)	VL3 (注3)	VL2 (注3)	VL1 (注3)
ポート2	-	-	-	-	-	-	-	-	-	-	-	SEG 23	SEG 22	SEG 21	-	-
ポート3	SEG 5	SEG 4	SEG 20	-	-	-	SEG 12	SEG 13	SEG 14	SEG 15	SEG 16	SEG 17	SEG3/COM7	SEG2/COM6	SEG1/COM5	-
ポート5	-	-	-	-	-	-	-	-	-	-	-	-	SEG 51	SEG 50	SEG 49	SEG 48
ポート6	-	-	SEG 33	SEG 32	SEG 31	SEG 30	SEG 29	SEG 28	-	-	SEG 36	SEG 37	SEG 38	SEG 39	SEG 40	SEG 41
ポート8	-	-	-	-	-	-	SEG 19	SEG 18	-	-	-	-	-	-	SEG 45	SEG 44

注 1. ( ) 内の数字は、8 時分割選択時の信号出力端子数です。

注 2. CAPH および CAPL は、LCD コントローラ／ドライバのコンデンサ接続端子です。

注 3. VL1、VL2、VL3、および VL4 は、LCD を駆動するための電源端子です。

表 49.4 製品ごとのSLCDC表示機能端子数

項目	100ピン															
LCDコントローラ／ドライバ	セグメント端子 (SEG) の本数 : 26 (22) (注1) コモン端子 (COM) の本数 : 8															
マルチプレクス I/O ポート	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ポート1	SEG 25	SEG 24	SEG0/COM4	CAPL (注2)	CAPH (注2)	-	-	-	COM3	COM2	COM1	COM0	VL4 (注3)	VL3 (注3)	VL2 (注3)	VL1 (注3)
ポート2	-	-	-	-	-	-	-	-	-	-	-	SEG 23	SEG 22	SEG 21	-	-
ポート3	-	-	-	-	-	-	-	-	SEG 14	SEG 15	SEG 16	SEG 17	SEG3/COM7	SEG2/COM6	SEG1/COM5	-
ポート5	-	-	-	-	-	-	-	-	-	-	-	-	SEG 51	SEG 50	SEG 49	SEG 48
ポート6	-	-	-	-	-	SEG 30	SEG 29	SEG 28	-	-	-	-	SEG 38	SEG 39	SEG 40	SEG 41
ポート8	-	-	-	-	-	-	SEG 19	SEG 18	-	-	-	-	-	-	-	-

注 1. ( ) 内の数字は、8 時分割選択時の信号出力端子数です。

注 2. CAPH および CAPL は、LCD コントローラ／ドライバのコンデンサ接続端子です。

注 3. VL1、VL2、VL3、および VL4 は、LCD を駆動するための電源端子です。

表 49.5 100ピン製品の最大画素数

LCDドライバ用駆動波形	LCD駆動電圧生成回路	バイアス法	時分割数	最大画素数
A波形	外部抵抗分割	-	スタティック	26 (26セグメント信号、1コモン信号)
		1/2	2	52 (26セグメント信号、2コモン信号)
			3	78 (26セグメント信号、3コモン信号)
		1/3	3	104 (26セグメント信号、4コモン信号)
			4	
	1/4	8	176 (22セグメント信号、8コモン信号)	
	内部昇圧	1/3	3	78 (26セグメント信号、3コモン信号)
			4	104 (26セグメント信号、4コモン信号)
		1/4	8	176 (22セグメント信号、8コモン信号)
	容量分割	1/3	3	78 (26セグメント信号、3コモン信号)
4			104 (26セグメント信号、4コモン信号)	
B波形	外部抵抗分割、内部昇圧	1/3	4	176 (22セグメント信号、8コモン信号)
		1/4	8	
	容量分割	1/3	4	104 (26セグメント信号、4コモン信号)

表 49.6 121ピン製品の最大画素数

LCDドライバ用駆動波形	LCD駆動電圧生成回路	バイアス法	時分割数	最大画素数
A波形	外部抵抗分割	-	スタティック	38 (38セグメント信号、1コモン信号)
		1/2	2	76 (38セグメント信号、2コモン信号)
			3	114 (38セグメント信号、3コモン信号)
		1/3	3	152 (38セグメント信号、4コモン信号)
			4	
	1/4	8	272 (34セグメント信号、8コモン信号)	
	内部昇圧	1/3	3	114 (38セグメント信号、3コモン信号)
			4	152 (38セグメント信号、4コモン信号)
		1/4	8	272 (34セグメント信号、8コモン信号)
	容量分割	1/3	3	114 (38セグメント信号、3コモン信号)
4			152 (38セグメント信号、4コモン信号)	
B波形	外部抵抗分割、内部昇圧	1/3	4	272 (34セグメント信号、8コモン信号)
		1/4	8	
	容量分割	1/3	4	152 (38セグメント信号、4コモン信号)

表 49.7 145/144ピン製品の最大画素数

LCDドライバ用駆動波形	LCD駆動電圧生成回路	バイアス法	時分割数	最大画素数
A波形	外部抵抗分割	—	スタティック	52 (52セグメント信号、1コモン信号)
		1/2	2	104 (52セグメント信号、2コモン信号)
			3	156 (52セグメント信号、3コモン信号)
		1/3	3	208 (52セグメント信号、4コモン信号)
			4	
		1/4	8	384 (48セグメント信号、8コモン信号)
	内部昇圧	1/3	3	156 (52セグメント信号、3コモン信号)
			4	208 (52セグメント信号、4コモン信号)
		1/4	8	384 (48セグメント信号、8コモン信号)
容量分割	1/3	3	156 (52セグメント信号、3コモン信号)	
		4	208 (52セグメント信号、4コモン信号)	
B波形	外部抵抗分割、内部昇圧	1/3	4	384 (48セグメント信号、8コモン信号)
		1/4	8	
	容量分割	1/3	4	208 (52セグメント信号、4コモン信号)

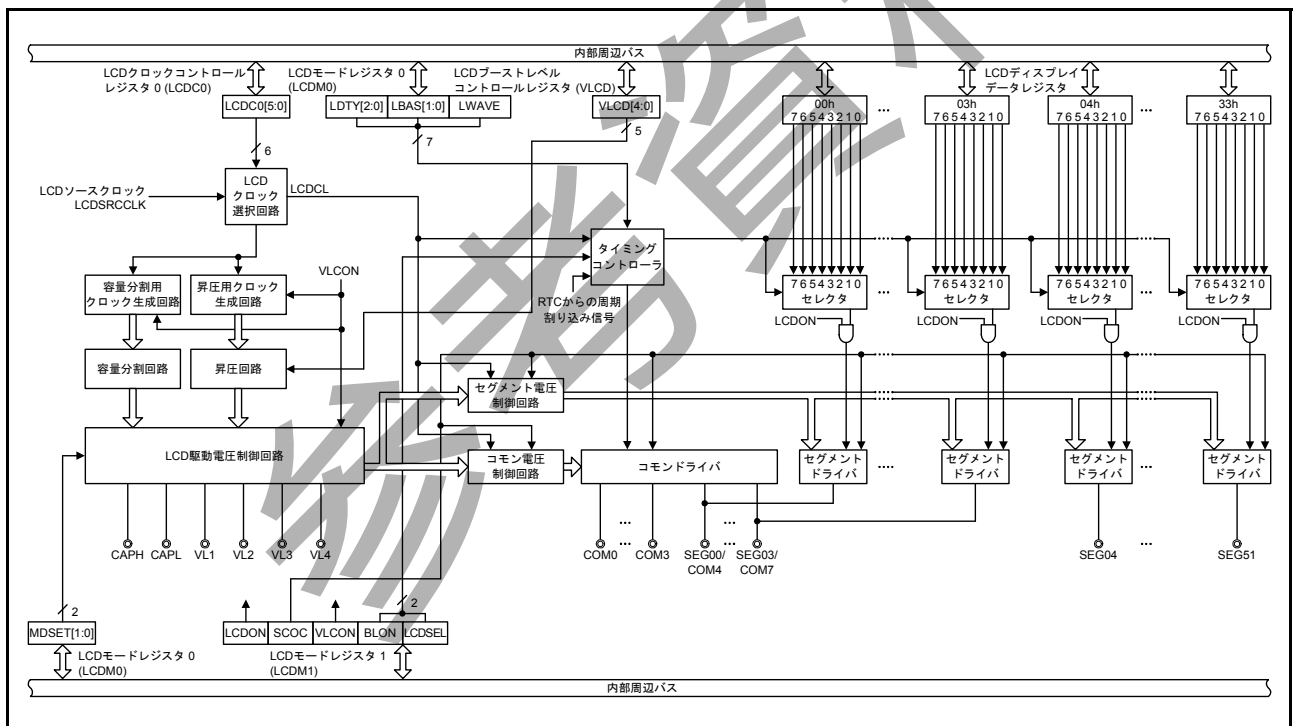
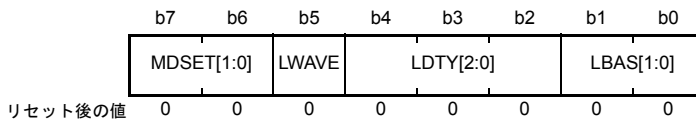


図 49.1 SLCDC のブロック図

## 49.2 レジスタの説明

## 49.2.1 LCD モードレジスタ 0 (LCDM0)

アドレス SLCDC.LCDM0 4008 2000h



ビット	シンボル	ビット名	機能	R/W
b1-b0	LBAS[1:0]	LCD表示バイアス法選択	b1 b0 0 0 : 1/2バイアス法 0 1 : 1/3バイアス法 1 0 : 1/4バイアス法 1 1 : 設定禁止	R/W
b4-b2	LDTY[2:0]	LCD表示時分割数選択	b4 b2 0 0 0 : スタティック 0 0 1 : 2時分割 0 1 0 : 3時分割 0 1 1 : 4時分割 1 0 1 : 8時分割 上記以外は設定しないでください。	R/W
b5	LWAVE	LCD表示波形選択	0 : A波形 1 : B波形	R/W
b7-b6	MDSET[1:0]	LCD駆動電圧生成回路選択	b7 b6 0 0 : 外部抵抗分割方式 0 1 : 内部昇圧方式 1 0 : 容量分割方式 1 1 : 設定禁止	R/W

- 注． LCDM1レジスタのSCOCビットが1のときは、LCDM0の値を書き換えないでください。
- 注． スタティック (LDTY[2:0] = 000b) を選択した場合、LBAS[1:0] ビットをデフォルト値 (00b) にしてください。これらの禁止事項に違反した場合の動作は保証されません。
- 注． 表示波形、時分割数、バイアス法の設定は表 49.8 に示した組み合わせのみサポートします。表 49.8 に示す組み合わせ以外は設定しないでください。

表 49.8 表示波形、時分割、バイアス法、およびフレーム周波数の組み合わせ

表示モード			設定値						駆動電圧生成方式		
表示波形	時分割数	バイアス法	LWAVE	LDTY[2:0]		LBAS[1:0]		外部抵抗分割	内部昇圧	容量分割	
A波形	8	1/4	0	1	0	1	1	0	○	○	×
A波形	4	1/3	0	0	1	1	0	1	○	○	○
A波形	3	1/3	0	0	1	0	0	1	○	○	○
A波形	3	1/2	0	0	1	0	0	0	○	×	×
A波形	2	1/2	0	0	0	1	0	0	○	×	×
A波形	スタティック		0	0	0	0	0	0	○	×	×
B波形	8	1/4	1	1	0	1	1	0	○	○	×
B波形	4	1/3	1	0	1	1	0	1	○	○	○

○ : 可 × : 不可

## 49.2.2 LCD モードレジスタ 1 (LCDM1)

アドレス SLCDC.LCDM1 4008 2001h

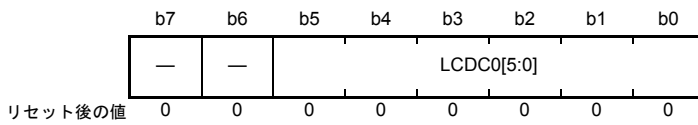
	b7	b6	b5	b4	b3	b2	b1	b0
	LCDON	SCOC	VLCON	BLON	LCDSEL	—	—	LCDVLM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCDVLM	昇圧端子初期値切り替え制御	0 : VCCが2.7V以上の場合 1 : VCCが4.2V以下の場合 VCCが2.7V以上4.2V以下の場合は、どちらの値も設定可能です。	R/W
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	LCDSEL	表示データ領域制御	b4 b3 0 0 : Aパターン領域 (LCD表示データレジスタの下位4ビット) のデータを表示 0 1 : Bパターン領域 (LCD表示データレジスタの上位4ビット) のデータを表示 1 0 : Aパターン領域とBパターン領域のデータを交互に表示 (リアルタイムクロック (RTC) の周期割り込み (RTC_PRD) タイミングに対応した点滅表示) 1 1 : Aパターン領域とBパターン領域のデータを交互に表示 (リアルタイムクロック (RTC) の周期割り込み (RTC_PRD) タイミングに対応した点滅表示)	R/W
b4	BLON	表示データ領域制御		R/W
b5	VLCON	昇圧回路または容量分割回路動作許可/禁止	0 : 昇圧回路または容量分割回路の動作を停止 1 : 昇圧回路または容量分割回路の動作を許可 (注2)	R/W
b6	SCOC	LCD表示許可/禁止	b7 b6 0 0 : グラウンドレベルをセグメント/コモン端子に出力 0 1 : 表示オフ (すべてのセグメント出力が選択解除される) 1 0 : グラウンドレベルをセグメント/コモン端子に出力 1 1 : 表示オン	R/W
b7	LCDON	LCD表示許可/禁止		R/W

- 注 1. VLX 端子の初期状態を設定して昇圧回路を使用するときの昇圧効率を向上させるために使用します。昇圧開始時に VCC が 2.7V 以上の場合 LCDVLM ビットを 0 にし、4.2V 以下の場合は 1 にします。VCC が 2.7V ~ 4.2V の範囲内の場合、LCDVLM ビットは 0 または 1 のどちらでも設定可能です。
- 注 2. 外部抵抗分割方式を使用しているときは、設定しないでください。
- 注 3. 昇圧回路の使用時、LCD に何も表示しないときの消費電力を削減するために、SCOC ビットと VLCON ビットを 0 にし、LCDM0.MDSET[1:0] ビットを 00b にしてください。LCDM0.MDSET[1:0] ビットが 01b の場合、内部の基準電圧生成回路が動作するので電力を消費します。
- 注 4. 外部抵抗分割方式 (LCDM0.MDSET[1:0] ビット = 00b) に設定している場合、または容量分割方式 (LCDM0.MDSET[1:0] ビット = 10b) に設定している場合、LCDVLM ビットを 0 にしてください。
- 注 5. SCOC が 1 のときは VLCON ビットと LCDVLM ビットを書き換えしないでください。
- 注 6. 表示モードの時分割数に 8 を選択している場合は、BLON ビットと LCDSEL ビットを 0 にしてください。
- 注 7. 内部昇圧方式を使用する場合は、VLCD レジスタで基準電圧を指定してから (デフォルトの基準電圧を使用する場合は LCDM0.MDSET[1:0] ビットを 01b にして内部昇圧方式を選択してから)、基準電圧セットアップ時間 (最低 5ms) をウェイトした後、VLCON ビットを 1 にしてください。

## 49.2.3 LCD クロックコントロールレジスタ 0 (LCDC0)

アドレス SLCDC.LCDC0 4008 2002h



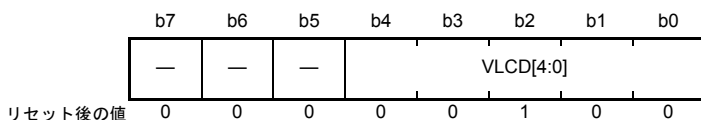
ビット	シンボル	ビット名	機能	R/W
b5-b0	LCDC0[5:0]	LCDクロック (LCDCL) 設定	b5                      b0 0 0 0 0 0 1 : (サブクロック) /2 <sup>2</sup> または (LOCOクロック) /2 <sup>2</sup> 0 0 0 0 1 0 : (サブクロック) /2 <sup>3</sup> または (LOCOクロック) /2 <sup>3</sup> 0 0 0 0 1 1 : (サブクロック) /2 <sup>4</sup> または (LOCOクロック) /2 <sup>4</sup> 0 0 0 1 0 0 : (サブクロック) /2 <sup>5</sup> または (LOCOクロック) /2 <sup>5</sup> 0 0 0 1 0 1 : (サブクロック) /2 <sup>6</sup> または (LOCOクロック) /2 <sup>6</sup> 0 0 0 1 1 0 : (サブクロック) /2 <sup>7</sup> または (LOCOクロック) /2 <sup>7</sup> 0 0 0 1 1 1 : (サブクロック) /2 <sup>8</sup> または (LOCOクロック) /2 <sup>8</sup> 0 0 1 0 0 0 : (サブクロック) /2 <sup>9</sup> または (LOCOクロック) /2 <sup>9</sup> 0 0 1 0 0 1 : (サブクロック) /2 <sup>10</sup> または (LOCOクロック) /2 <sup>10</sup> 0 1 0 0 0 1 : (メインクロック) /2 <sup>8</sup> または (HOCOクロック) /2 <sup>8</sup> 0 1 0 0 1 0 : (メインクロック) /2 <sup>9</sup> または (HOCOクロック) /2 <sup>9</sup> 0 1 0 0 1 1 : (メインクロック) /2 <sup>10</sup> または (HOCOクロック) /2 <sup>10</sup> 0 1 0 1 0 0 : (メインクロック) /2 <sup>11</sup> または (HOCOクロック) /2 <sup>11</sup> 0 1 0 1 0 1 : (メインクロック) /2 <sup>12</sup> または (HOCOクロック) /2 <sup>12</sup> 0 1 0 1 1 0 : (メインクロック) /2 <sup>13</sup> または (HOCOクロック) /2 <sup>13</sup> 0 1 0 1 1 1 : (メインクロック) /2 <sup>14</sup> または (HOCOクロック) /2 <sup>14</sup> 0 1 1 0 0 0 : (メインクロック) /2 <sup>15</sup> または (HOCOクロック) /2 <sup>15</sup> 0 1 1 0 0 1 : (メインクロック) /2 <sup>16</sup> または (HOCOクロック) /2 <sup>16</sup> 0 1 1 0 1 0 : (メインクロック) /2 <sup>17</sup> または (HOCOクロック) /2 <sup>17</sup> 0 1 1 0 1 1 : (メインクロック) /2 <sup>18</sup> または (HOCOクロック) /2 <sup>18</sup> 1 0 1 0 1 1 : (メインクロック) /2 <sup>19</sup> または (HOCOクロック) /2 <sup>19</sup> 上記以外は設定しないでください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注1. ビット6とビット7は必ず0にしてください。
- 注2. フレーム周波数は32Hz～128Hzの範囲内で設定してください。内部昇圧方式および容量分割方式を使用している場合、LCDクロック (LCDCL) は512Hzを超えないようにしてください。
- 注3. LCDM1.SCOCビットが1のときは、LCDC0レジスタを設定しないでください。



## 49.2.4 LCD ブーストレベルコントロールレジスタ (VLCD)

アドレス SLCDC.VLCD 4008 2003h



ビット	シンボル	ビット名	機能	R/W																																																																																																																																																		
b4-b0	VLCD[4:0]	基準電圧 (コントラスト調整) 選択	<table border="1" style="border-collapse: collapse; width: 100%;"> <thead> <tr> <th colspan="5"></th> <th colspan="2">VL1電圧</th> <th colspan="2">VL4電圧</th> </tr> <tr> <th rowspan="2">b4</th> <th rowspan="2">b3</th> <th rowspan="2">b2</th> <th rowspan="2">b1</th> <th rowspan="2">b0</th> <th colspan="2">基準電圧</th> <th>1/3バイアス法</th> <th>1/4バイアス法</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td><td>0</td><td>0</td> <td>1.00V</td><td>3.00V</td><td>4.00V</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>0</td><td>1</td> <td>1.05V</td><td>3.15V</td><td>4.20V</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>1</td><td>0</td> <td>1.10V</td><td>3.30V</td><td>4.40V</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>1</td><td>1</td> <td>1.15V</td><td>3.45V</td><td>4.60V</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td>0</td> <td>1.20V</td><td>3.60V</td><td>4.80V</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td>1</td> <td>1.25V</td><td>3.75V</td><td>5.00V</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>1</td><td>0</td> <td>1.30V</td><td>3.90V</td><td>5.20V</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>1</td><td>1</td> <td>1.35V</td><td>4.05V</td><td>設定禁止</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>0</td><td>0</td> <td>1.40V</td><td>4.20V</td><td>設定禁止</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>0</td><td>1</td> <td>1.45V</td><td>4.35V</td><td>設定禁止</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>1</td><td>0</td> <td>1.50V</td><td>4.50V</td><td>設定禁止</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>1</td><td>1</td> <td>1.55V</td><td>4.65V</td><td>設定禁止</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>0</td><td>0</td> <td>1.60V</td><td>4.80V</td><td>設定禁止</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>0</td><td>1</td> <td>1.65V</td><td>4.95V</td><td>設定禁止</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>1</td><td>0</td> <td>1.70V</td><td>5.10V</td><td>設定禁止</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>1</td><td>1</td> <td>1.75V</td><td>5.25V</td><td>設定禁止</td> </tr> </tbody> </table>						VL1電圧		VL4電圧		b4	b3	b2	b1	b0	基準電圧		1/3バイアス法	1/4バイアス法	0	0	1	0	0	1.00V	3.00V	4.00V	0	0	1	0	1	1.05V	3.15V	4.20V	0	0	1	1	0	1.10V	3.30V	4.40V	0	0	1	1	1	1.15V	3.45V	4.60V	0	1	0	0	0	1.20V	3.60V	4.80V	0	1	0	0	1	1.25V	3.75V	5.00V	0	1	0	1	0	1.30V	3.90V	5.20V	0	1	0	1	1	1.35V	4.05V	設定禁止	0	1	1	0	0	1.40V	4.20V	設定禁止	0	1	1	0	1	1.45V	4.35V	設定禁止	0	1	1	1	0	1.50V	4.50V	設定禁止	0	1	1	1	1	1.55V	4.65V	設定禁止	1	0	0	0	0	1.60V	4.80V	設定禁止	1	0	0	0	1	1.65V	4.95V	設定禁止	1	0	0	1	0	1.70V	5.10V	設定禁止	1	0	0	1	1	1.75V	5.25V	設定禁止	R/W
								VL1電圧		VL4電圧																																																																																																																																												
			b4	b3	b2	b1	b0	基準電圧		1/3バイアス法	1/4バイアス法																																																																																																																																											
								0	0	1	0	0	1.00V	3.00V	4.00V																																																																																																																																							
			0	0	1	0	1	1.05V	3.15V	4.20V																																																																																																																																												
			0	0	1	1	0	1.10V	3.30V	4.40V																																																																																																																																												
			0	0	1	1	1	1.15V	3.45V	4.60V																																																																																																																																												
			0	1	0	0	0	1.20V	3.60V	4.80V																																																																																																																																												
			0	1	0	0	1	1.25V	3.75V	5.00V																																																																																																																																												
			0	1	0	1	0	1.30V	3.90V	5.20V																																																																																																																																												
			0	1	0	1	1	1.35V	4.05V	設定禁止																																																																																																																																												
			0	1	1	0	0	1.40V	4.20V	設定禁止																																																																																																																																												
			0	1	1	0	1	1.45V	4.35V	設定禁止																																																																																																																																												
			0	1	1	1	0	1.50V	4.50V	設定禁止																																																																																																																																												
			0	1	1	1	1	1.55V	4.65V	設定禁止																																																																																																																																												
			1	0	0	0	0	1.60V	4.80V	設定禁止																																																																																																																																												
			1	0	0	0	1	1.65V	4.95V	設定禁止																																																																																																																																												
1	0	0	1	0	1.70V	5.10V	設定禁止																																																																																																																																															
1	0	0	1	1	1.75V	5.25V	設定禁止																																																																																																																																															
			上記以外は設定しないでください。																																																																																																																																																			
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																																																																																																																																																		

- 注 1. VLCD レジスタの設定は、昇圧回路が動作中のときのみ有効です。
- 注 2. ビット5～ビット7は必ず0にしてください。
- 注 3. VLCD レジスタの値を変更する場合は、必ず昇圧回路の動作を停止 (VLCON = 0) してから行ってください。
- 注 4. 内部昇圧方式を使用する場合は、VLCD レジスタで基準電圧を指定してから (デフォルトの基準電圧を使用する場合は LCDM0.MDSET[1:0] ビットを 01b にして内部昇圧方式を選択してから)、基準電圧セットアップ時間 (最低 5ms) をウェイトした後に、VLCON ビットを 1 にしてください。
- 注 5. 外部抵抗分割方式または容量分割方式を使用するときは、VLCD レジスタにはデフォルト値 (04h) を使用してください。

## 49.3 LCD 表示データレジスタ

LCD 表示データレジスタは表 49.9 および表 49.10 に示すようにマッピングされます。LCD の表示内容は、LCD 表示データレジスタの内容を変更することで変更できます。

**表 49.9** LCD 表示データレジスタの内容とセグメント出力/コモン出力の関係 (1/2)  
8時分割以外 (スタティック、2時分割、3時分割、4時分割)

レジスタ名	アドレス	b7	b6	b5	b4	b3	b2	b1	b0	145/144 ピン	121 ピン	100 ピン	64 ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0				
SEG00	4008 2100h	SEG00 (Bパターン領域)				SEG00 (Aパターン領域)				○	○	○	○
SEG01	4008 2101h	SEG01 (Bパターン領域)				SEG01 (Aパターン領域)				○	○	○	×
SEG02	4008 2102h	SEG02 (Bパターン領域)				SEG02 (Aパターン領域)				○	○	○	×
SEG03	4008 2103h	SEG03 (Bパターン領域)				SEG03 (Aパターン領域)				○	○	×	×
SEG04	4008 2104h	SEG04 (Bパターン領域)				SEG04 (Aパターン領域)				○	○	×	×
SEG05	4008 2105h	SEG05 (Bパターン領域)				SEG05 (Aパターン領域)				○	○	×	×
SEG06	4008 2106h	SEG06 (Bパターン領域)				SEG06 (Aパターン領域)				○	×	×	×
SEG07	4008 2107h	SEG07 (Bパターン領域)				SEG07 (Aパターン領域)				○	×	×	×
SEG08	4008 2108h	SEG08 (Bパターン領域)				SEG08 (Aパターン領域)				○	×	×	×
SEG09	4008 2109h	SEG09 (Bパターン領域)				SEG09 (Aパターン領域)				○	×	×	×
SEG10	4008 210Ah	SEG10 (Bパターン領域)				SEG10 (Aパターン領域)				○	×	×	×
SEG11	4008 210Bh	SEG11 (Bパターン領域)				SEG11 (Aパターン領域)				○	×	×	×
SEG12	4008 210Ch	SEG12 (Bパターン領域)				SEG12 (Aパターン領域)				○	○	×	×
SEG13	4008 210Dh	SEG13 (Bパターン領域)				SEG13 (Aパターン領域)				○	○	×	×
SEG14	4008 210Eh	SEG14 (Bパターン領域)				SEG14 (Aパターン領域)				○	○	○	×
SEG15	4008 210Fh	SEG15 (Bパターン領域)				SEG15 (Aパターン領域)				○	○	○	×
SEG16	4008 2110h	SEG16 (Bパターン領域)				SEG16 (Aパターン領域)				○	○	○	×
SEG17	4008 2111h	SEG17 (Bパターン領域)				SEG17 (Aパターン領域)				○	○	○	○
SEG18	4008 2112h	SEG18 (Bパターン領域)				SEG18 (Aパターン領域)				○	○	○	×
SEG19	4008 2113h	SEG19 (Bパターン領域)				SEG19 (Aパターン領域)				○	○	○	×
SEG20	4008 2114h	SEG20 (Bパターン領域)				SEG20 (Aパターン領域)				○	○	○	○
SEG21	4008 2115h	SEG21 (Bパターン領域)				SEG21 (Aパターン領域)				○	○	○	○
SEG22	4008 2116h	SEG22 (Bパターン領域)				SEG22 (Aパターン領域)				○	○	○	○
SEG23	4008 2117h	SEG23 (Bパターン領域)				SEG23 (Aパターン領域)				○	○	○	○
SEG24	4008 2118h	SEG24 (Bパターン領域)				SEG24 (Aパターン領域)				○	○	○	×
SEG25	4008 2119h	SEG25 (Bパターン領域)				SEG25 (Aパターン領域)				○	○	○	×
SEG26	4008 211Ah	SEG26 (Bパターン領域)				SEG26 (Aパターン領域)				○	×	×	×
SEG27	4008 211Bh	SEG27 (Bパターン領域)				SEG27 (Aパターン領域)				○	×	×	×
SEG28	4008 211Ch	SEG28 (Bパターン領域)				SEG28 (Aパターン領域)				○	○	○	×
SEG29	4008 211Dh	SEG29 (Bパターン領域)				SEG29 (Aパターン領域)				○	○	○	×
SEG30	4008 211Eh	SEG30 (Bパターン領域)				SEG30 (Aパターン領域)				○	○	○	×
SEG31	4008 211Fh	SEG31 (Bパターン領域)				SEG31 (Aパターン領域)				○	○	×	×
SEG32	4008 2120h	SEG32 (Bパターン領域)				SEG32 (Aパターン領域)				○	○	×	×
SEG33	4008 2121h	SEG33 (Bパターン領域)				SEG33 (Aパターン領域)				○	○	×	×
SEG34	4008 2122h	SEG34 (Bパターン領域)				SEG34 (Aパターン領域)				○	×	×	×
SEG35	4008 2123h	SEG35 (Bパターン領域)				SEG35 (Aパターン領域)				○	×	×	×
SEG36	4008 2124h	SEG36 (Bパターン領域)				SEG36 (Aパターン領域)				○	○	×	×
SEG37	4008 2125h	SEG37 (Bパターン領域)				SEG37 (Aパターン領域)				○	○	×	×
SEG38	4008 2126h	SEG38 (Bパターン領域)				SEG38 (Aパターン領域)				○	○	○	×
SEG39	4008 2127h	SEG39 (Bパターン領域)				SEG39 (Aパターン領域)				○	○	○	×
SEG40	4008 2128h	SEG40 (Bパターン領域)				SEG40 (Aパターン領域)				○	○	○	×
SEG41	4008 2129h	SEG41 (Bパターン領域)				SEG41 (Aパターン領域)				○	○	○	×

**表 49.9 LCD表示データレジスタの内容とセグメント出力/コモン出力の関係 (2/2)**  
8時分割以外 (スタティック、2時分割、3時分割、4時分割)

レジスタ名	アドレス	b7	b6	b5	b4	b3	b2	b1	b0	145/144 ピン	121 ピン	100 ピン	64 ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0				
SEG42	4008 212Ah	SEG42 (Bパターン領域)				SEG42 (Aパターン領域)				○	×	×	×
SEG43	4008 212Bh	SEG43 (Bパターン領域)				SEG43 (Aパターン領域)				○	×	×	×
SEG44	4008 212Ch	SEG44 (Bパターン領域)				SEG44 (Aパターン領域)				○	○	×	×
SEG45	4008 212Dh	SEG45 (Bパターン領域)				SEG45 (Aパターン領域)				○	○	×	×
SEG46	4008 212Eh	SEG46 (Bパターン領域)				SEG46 (Aパターン領域)				○	×	×	×
SEG47	4008 212Fh	SEG47 (Bパターン領域)				SEG47 (Aパターン領域)				○	×	×	×
SEG48	4008 2130h	SEG48 (Bパターン領域)				SEG48 (Aパターン領域)				○	○	○	○
SEG49	4008 2131h	SEG49 (Bパターン領域)				SEG49 (Aパターン領域)				○	○	○	○
SEG50	4008 2132h	SEG50 (Bパターン領域)				SEG50 (Aパターン領域)				○	○	○	○
SEG51	4008 2133h	SEG51 (Bパターン領域)				SEG51 (Aパターン領域)				○	○	○	×

○ : 可 × : 不可

**表 49.10 LCD表示データレジスタの内容とセグメント出力/コモン出力の関係 (1/2)**  
8時分割

レジスタ名	アドレス	b7	b6	b5	b4	b3	b2	b1	b0	145/144 ピン	121 ピン	100 ピン	64 ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0				
SEG00	4008 2100h	SEG00								○	○	○	○
SEG01	4008 2101h	SEG01								○	○	○	×
SEG02	4008 2102h	SEG02								○	○	○	×
SEG03	4008 2103h	SEG03								○	○	×	×
SEG04	4008 2104h	SEG04								○	○	×	×
SEG05	4008 2105h	SEG05								○	○	×	×
SEG06	4008 2106h	SEG06								○	×	×	×
SEG07	4008 2107h	SEG07								○	×	×	×
SEG08	4008 2108h	SEG08								○	×	×	×
SEG09	4008 2109h	SEG09								○	×	×	×
SEG10	4008 210Ah	SEG10								○	×	×	×
SEG11	4008 210Bh	SEG11 (注1)								○	×	×	×
SEG12	4008 210Ch	SEG12 (注1)								○	○	×	×
SEG13	4008 210Dh	SEG13 (注1)								○	○	×	×
SEG14	4008 210Eh	SEG14								○	○	○	×
SEG15	4008 210Fh	SEG15 (注1)								○	○	○	×
SEG16	4008 2110h	SEG16								○	○	○	×
SEG17	4008 2111h	SEG17								○	○	○	○
SEG18	4008 2112h	SEG18								○	○	○	×
SEG19	4008 2113h	SEG19								○	○	○	×
SEG20	4008 2114h	SEG20								○	○	○	○
SEG21	4008 2115h	SEG21								○	○	○	○
SEG22	4008 2116h	SEG22								○	○	○	○
SEG23	4008 2117h	SEG23								○	○	○	○
SEG24	4008 2118h	SEG24								○	○	○	×
SEG25	4008 2119h	SEG25								○	○	○	×
SEG26	4008 211Ah	SEG26								○	×	×	×
SEG27	4008 211Bh	SEG27								○	×	×	×
SEG28	4008 211Ch	SEG28								○	○	○	×
SEG29	4008 211Dh	SEG29								○	○	○	×
SEG30	4008 211Eh	SEG30								○	○	○	×

表 49.10 LCD表示データレジスタの内容とセグメント出力/コモン出力の関係 (2/2)  
8時分割

レジスタ名	アドレス	b7	b6	b5	b4	b3	b2	b1	b0	145/144 ピン	121 ピン	100 ピン	64 ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0				
SEG31	4008 211Fh	SEG31								○	○	×	×
SEG32	4008 2120h	SEG32								○	○	×	×
SEG33	4008 2121h	SEG33								○	○	×	×
SEG34	4008 2122h	SEG34								○	×	×	×
SEG35	4008 2123h	SEG35								○	×	×	×
SEG36	4008 2124h	SEG36								○	○	×	×
SEG37	4008 2125h	SEG37								○	○	×	×
SEG38	4008 2126h	SEG38								○	○	○	×
SEG39	4008 2127h	SEG39								○	○	○	×
SEG40	4008 2128h	SEG40								○	○	○	×
SEG41	4008 2129h	SEG41								○	○	○	×
SEG42	4008 212Ah	SEG42								○	×	×	×
SEG43	4008 212Bh	SEG43								○	×	×	×
SEG44	4008 212Ch	SEG44								○	○	×	×
SEG45	4008 212Dh	SEG45								○	○	×	×
SEG46	4008 212Eh	SEG46								○	×	×	×
SEG47	4008 212Fh	SEG47								○	×	×	×
SEG48	4008 2130h	SEG48								○	○	○	○
SEG49	4008 2131h	SEG49								○	○	○	○
SEG50	4008 2132h	SEG50								○	○	○	○
SEG51	4008 2133h	SEG51								○	○	○	×

○ : 可 × : 不可

注1. COM4 ~ COM7 端子と SEG00 ~ SEG03 端子は交互に使用します。詳細は、「20. I/Oポート」を参照してください。

時分割数がスタティック、2、3、または4の場合、LCD表示データレジスタの各アドレスの下位4ビットはAパターン領域、上位4ビットはBパターン領域になります。

Aパターン領域データとCOM信号の対応は、ビット0⇔COM0、ビット1⇔COM1、ビット2⇔COM2、およびビット3⇔COM3になります。

Bパターン領域データとCOM信号の対応は、ビット4⇔COM0、ビット5⇔COM1、ビット6⇔COM2、およびビット7⇔COM3になります。

Aパターン領域データは、BLON = LCDSEL = 0 が選択されているときにLCDパネルに表示され、Bパターン領域データは、BLON = 0 および LCDSEL = 1 が選択されているときにLCDパネルに表示されます。

## 49.4 LCD 表示データレジスタの選択

時分割数がスタティック、2、3、または4の場合、BLON および LCDSEL ビットの設定に応じて LCD 表示データレジスタを以下のタイプから選択できます。

- A パターン領域 (LCD 表示データレジスタの下位 4 ビット) のデータを表示
- B パターン領域 (LCD 表示データレジスタの上位 4 ビット) のデータを表示
- A パターン領域と B パターン領域のデータを交互に表示 (リアルタイムクロック (RTC) の周期割り込みタイミングに対応した点滅表示)

注 . 時分割数が 8 で通常液晶波形が表示されている場合、LCD 表示データレジスタ (A パターン、B パターン、点滅表示) は選択できません。

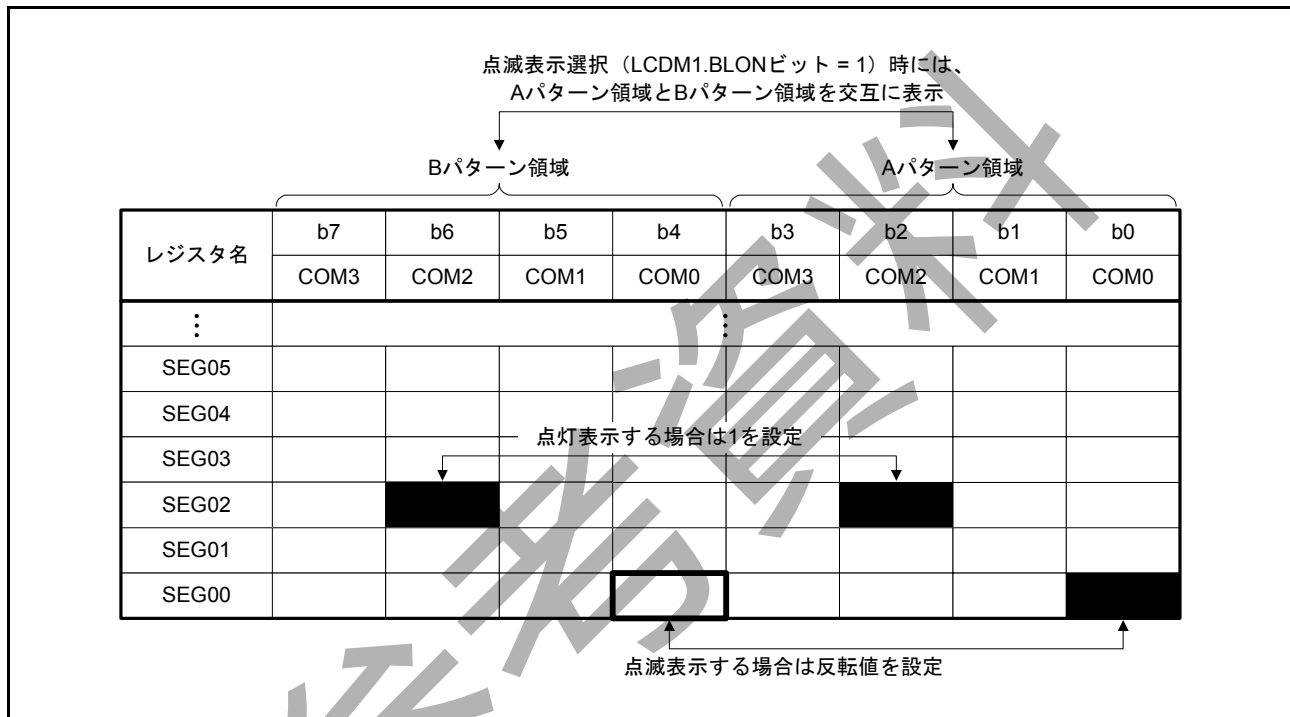


図 49.2 パターン切り替え時の LCD 表示データレジスタの設定例

### 49.4.1 A パターン領域と B パターン領域のデータ表示

BLON ビットと LCDSEL ビットがどちらも 0 のとき、A パターン領域 (LCD 表示データレジスタの下位 4 ビット) のデータが LCD 表示レジスタとして出力されます。

BLON ビットが 0 で LCDSEL ビットが 1 のときは、B パターン領域 (LCD 表示データレジスタの上位 4 ビット) のデータが LCD 表示レジスタとして出力されます。

表示領域についての詳細は、[49.3 LCD 表示データレジスタ](#)を参照してください。

#### 49.4.2 点滅表示 (Aパターン領域とBパターン領域のデータを交互に表示)

BLON ビットが1の場合、リアルタイムクロック (RTC) の定周期割り込みタイミングに従って、Aパターン領域のデータとBパターン領域のデータを交互に表示します。RTC 定周期割り込み (0.5秒設定のみ) のタイミングについては、「25. リアルタイムクロック (RTC)」を参照してください。

LCD 点滅表示機能を使用するには、Aパターン領域のビットに対応するBパターン領域のビットに反転値を設定してください。(例: 点滅表示するにはSEG00レジスタのビット0を1に、ビット4を0にします。) LCD 点滅表示機能を使用しない場合は、同じ値を設定してください。(例: 点灯表示するにはSEG02レジスタのビット2を1に、ビット6を1にします。)

表示領域についての詳細は、49.3 LCD表示データレジスタを参照してください。

表示切り替えのタイミング動作を図49.3、図49.4に示します。

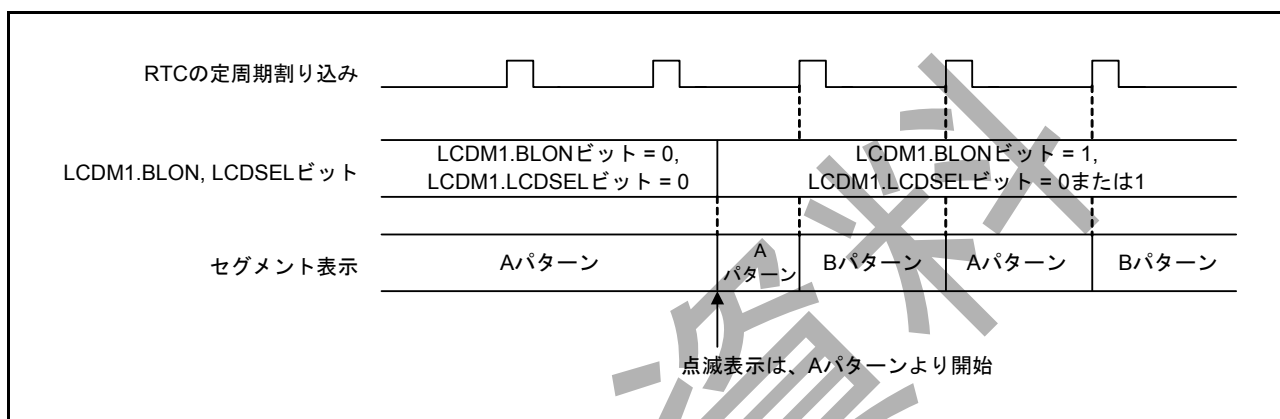


図 49.3 Aパターン表示から点滅表示への切り替え動作

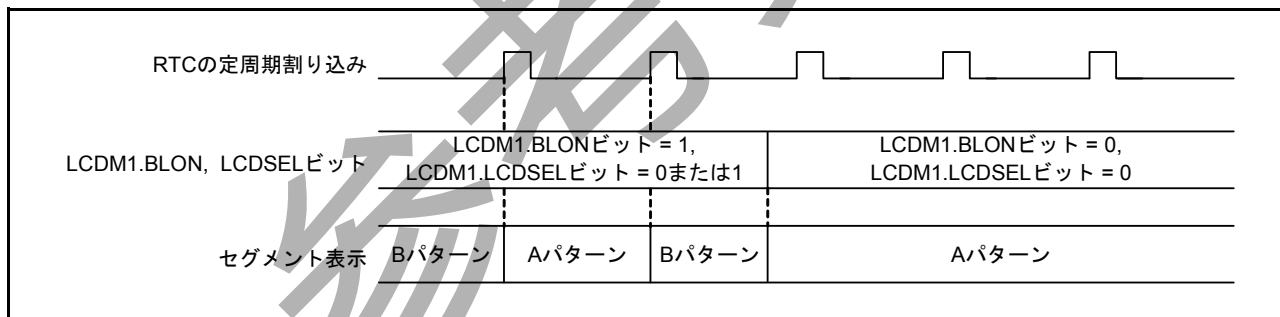


図 49.4 点滅表示からAパターン表示への切り替え動作

## 49.5 LCD コントローラ/ドライバの設定

LCD コントローラ/ドライバを動作させるには、本節の (1) ~ (3) の手順に従ってください。設定手順に従わない場合、LCD の動作は保証できません。

### (1) 通常液晶波形表示での外部抵抗分割方式

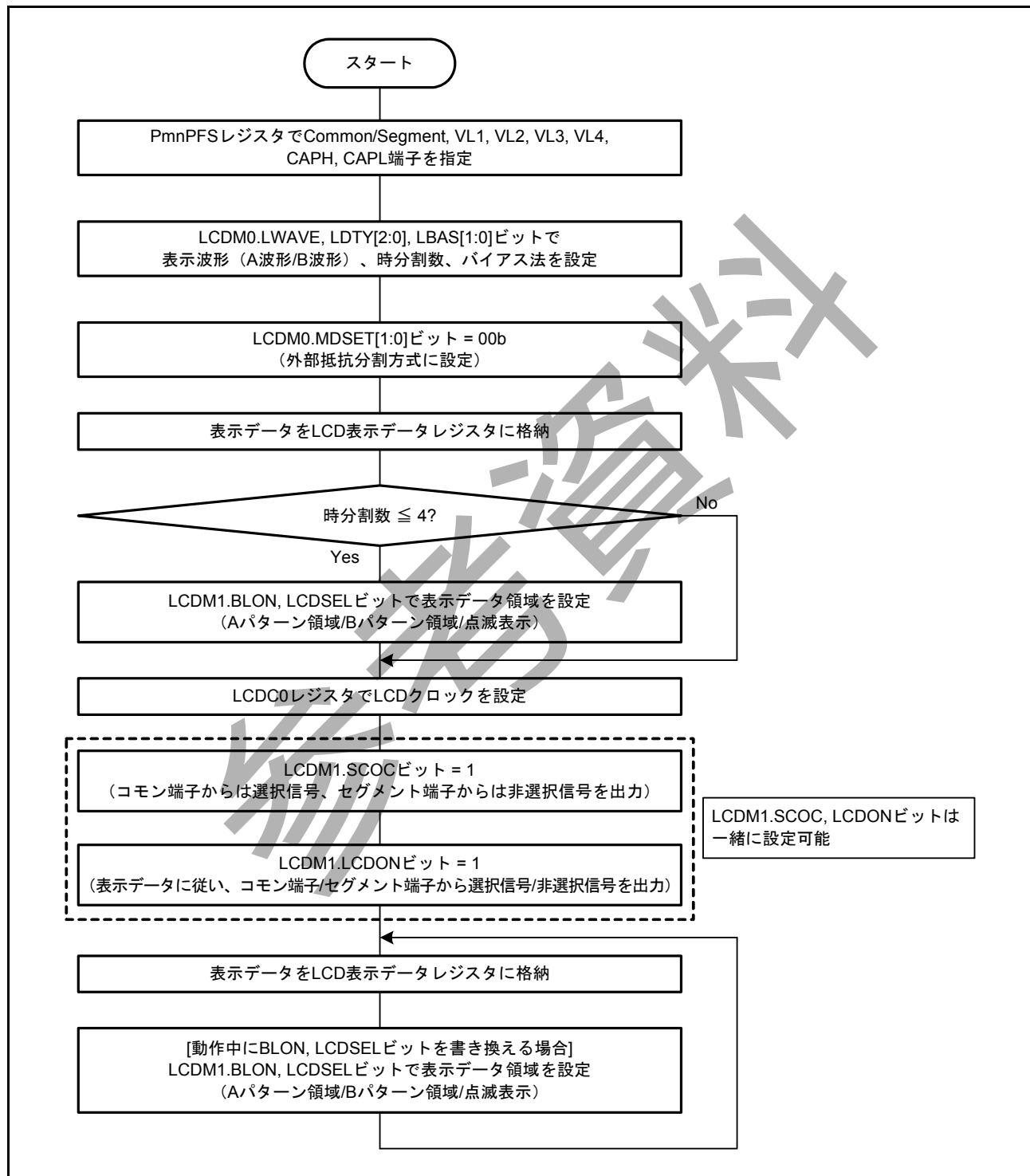


図 49.5 通常液晶波形表示での外部抵抗分割方式の設定手順

## (2) 内部昇圧方式

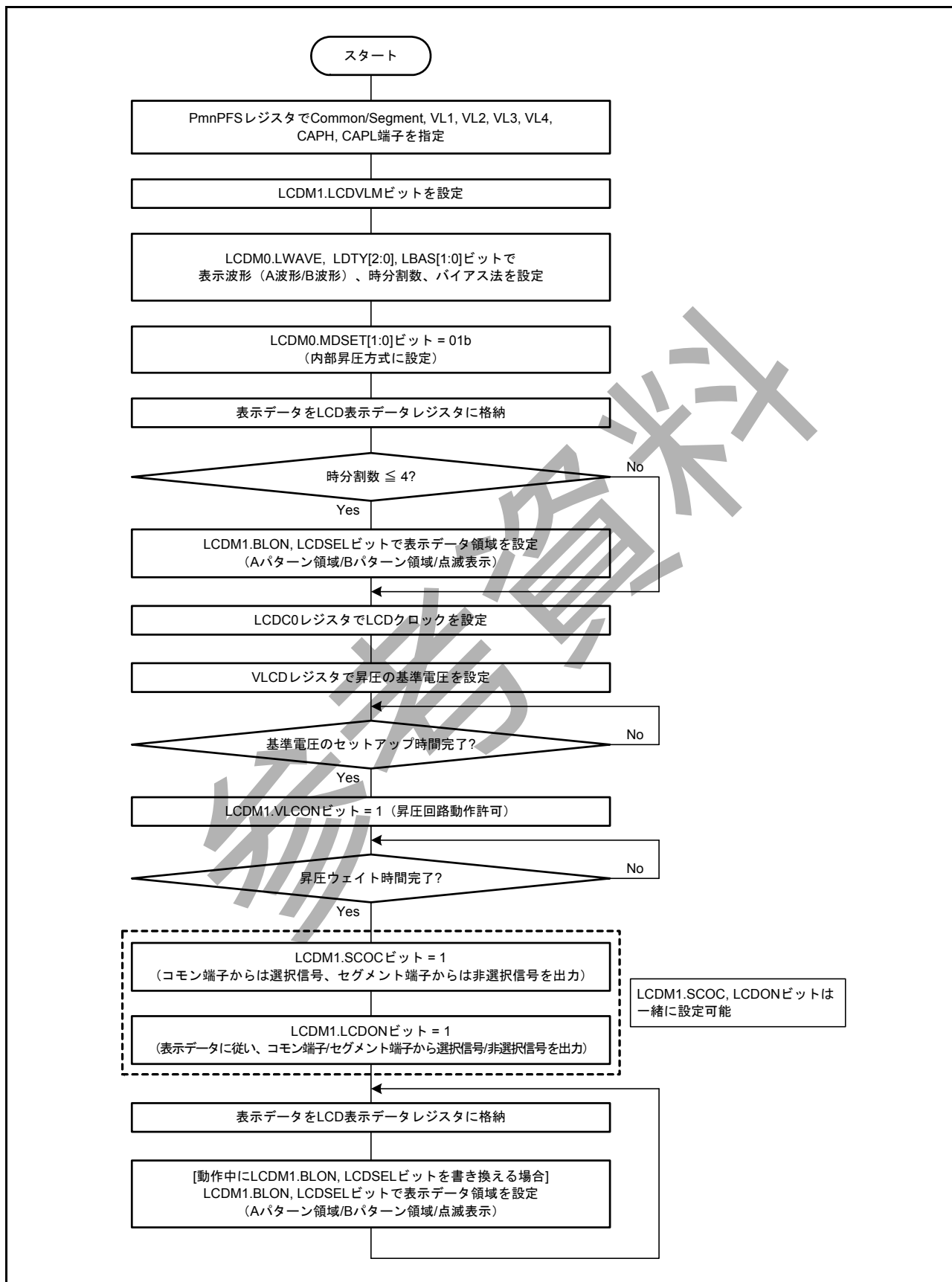


図 49.6 通常液晶波形表示での内部昇圧方式の設定手順



## (3) 容量分割方式

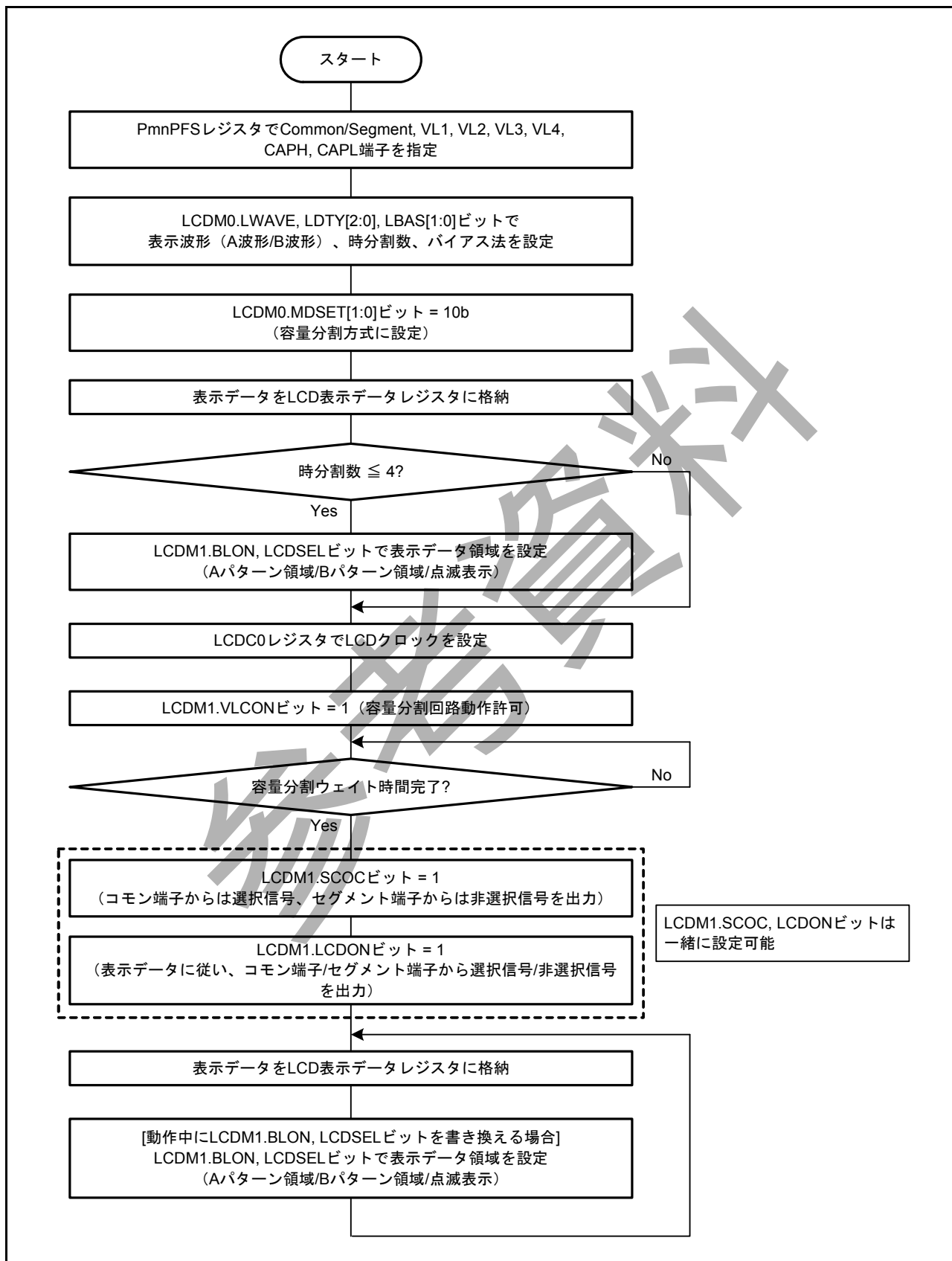


図 49.7 通常液晶波形表示での容量分割方式の設定手順

## 49.6 動作停止手順

LCD の動作を停止させる場合は、[図 49.8](#) に示す手順で行ってください。

LCDM1.LDCON および LCDM1.SCOC ビットが 0 になると、LCD は動作を停止します。

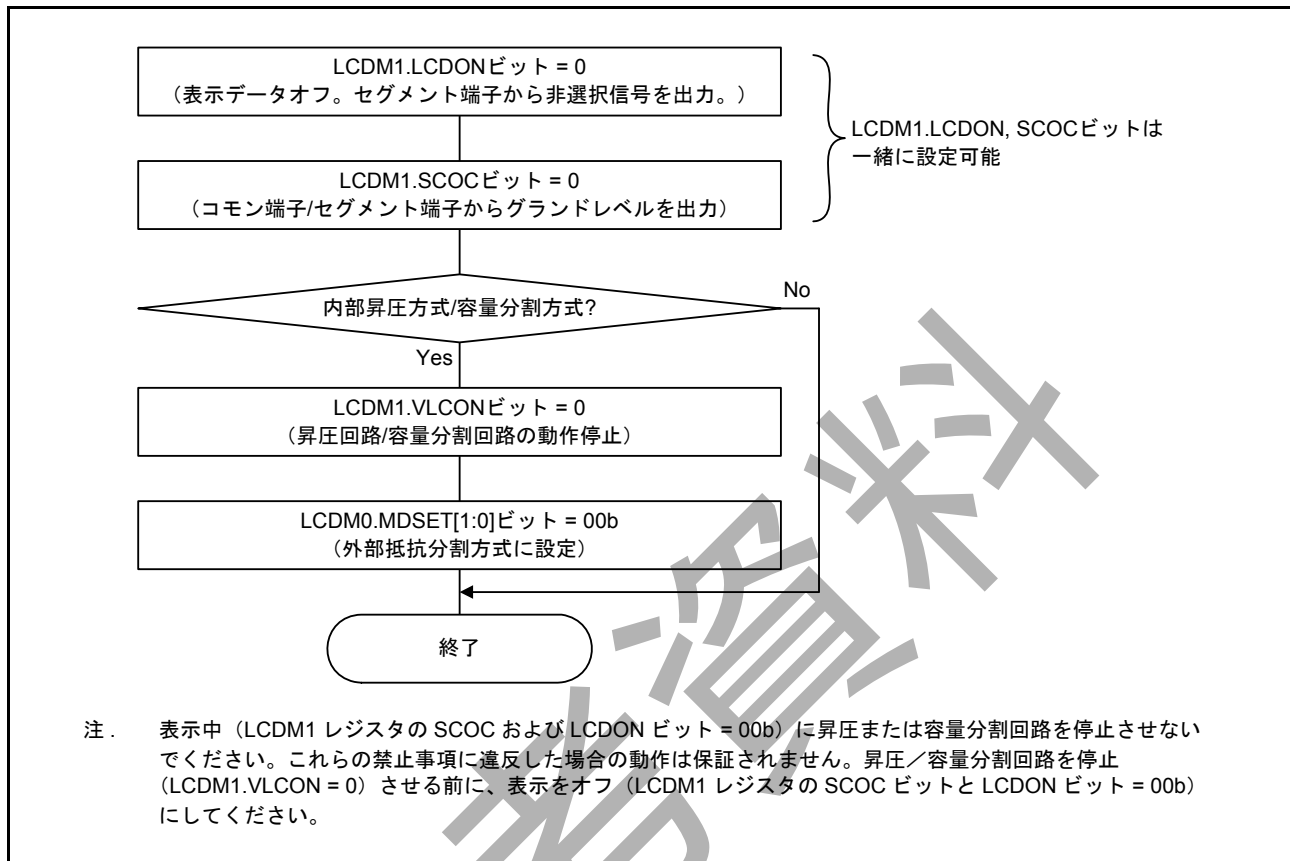


図 49.8 通常液晶波形 (A または B) 表示での動作停止手順

## 49.7 LCD 駆動電圧 (VL1、VL2、VL3、VL4) の供給

LCD ドライバの電源電圧は外部抵抗分割、内部昇圧、または容量分割によって生成できます。

### 49.7.1 外部抵抗分割方式

各バイアス法に対応する LCD 駆動電源の接続例を [図 49.9](#) および [図 49.10](#) に示します。

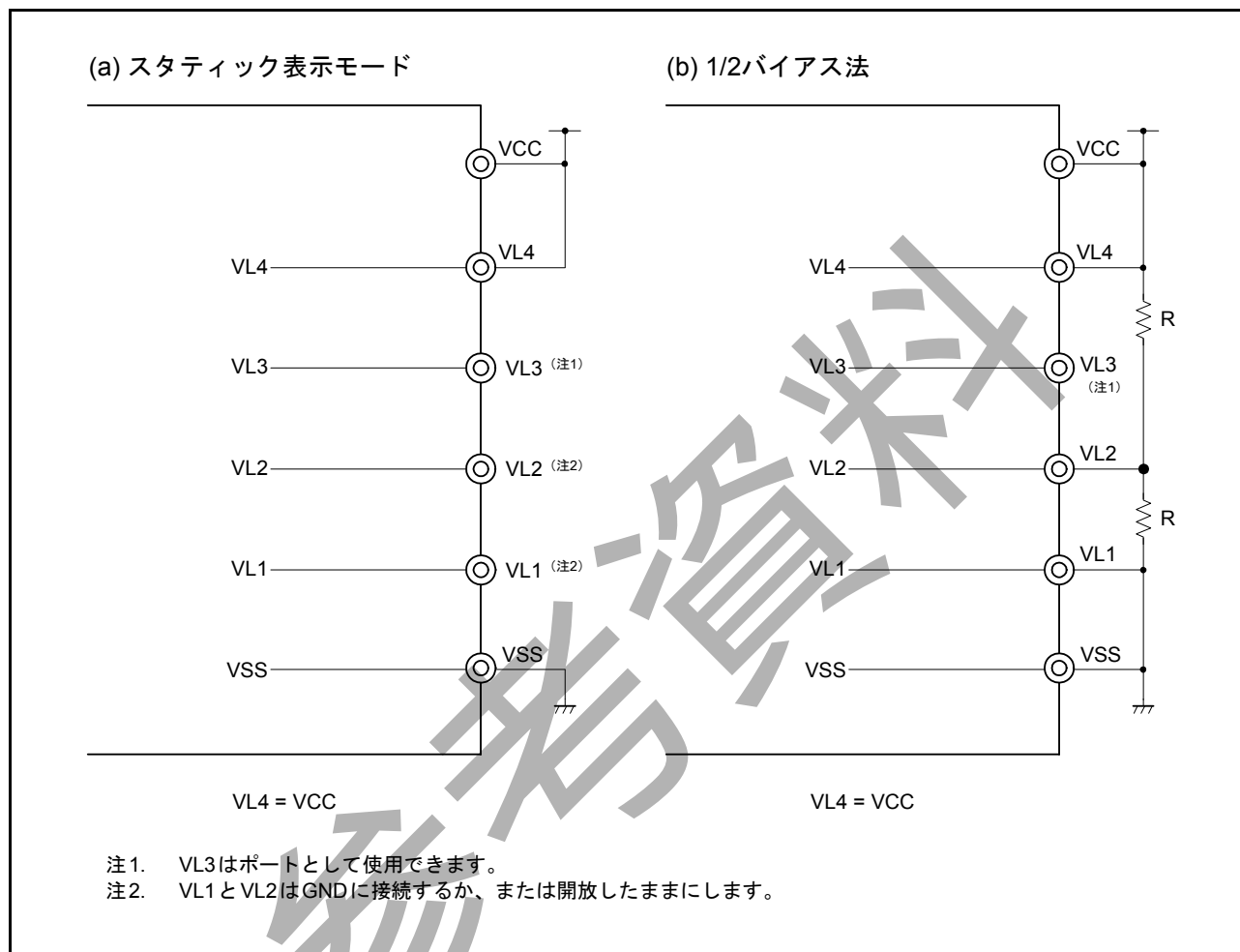


図 49.9 LCD 駆動電源の接続例 (外部抵抗分割方式) (1/2)

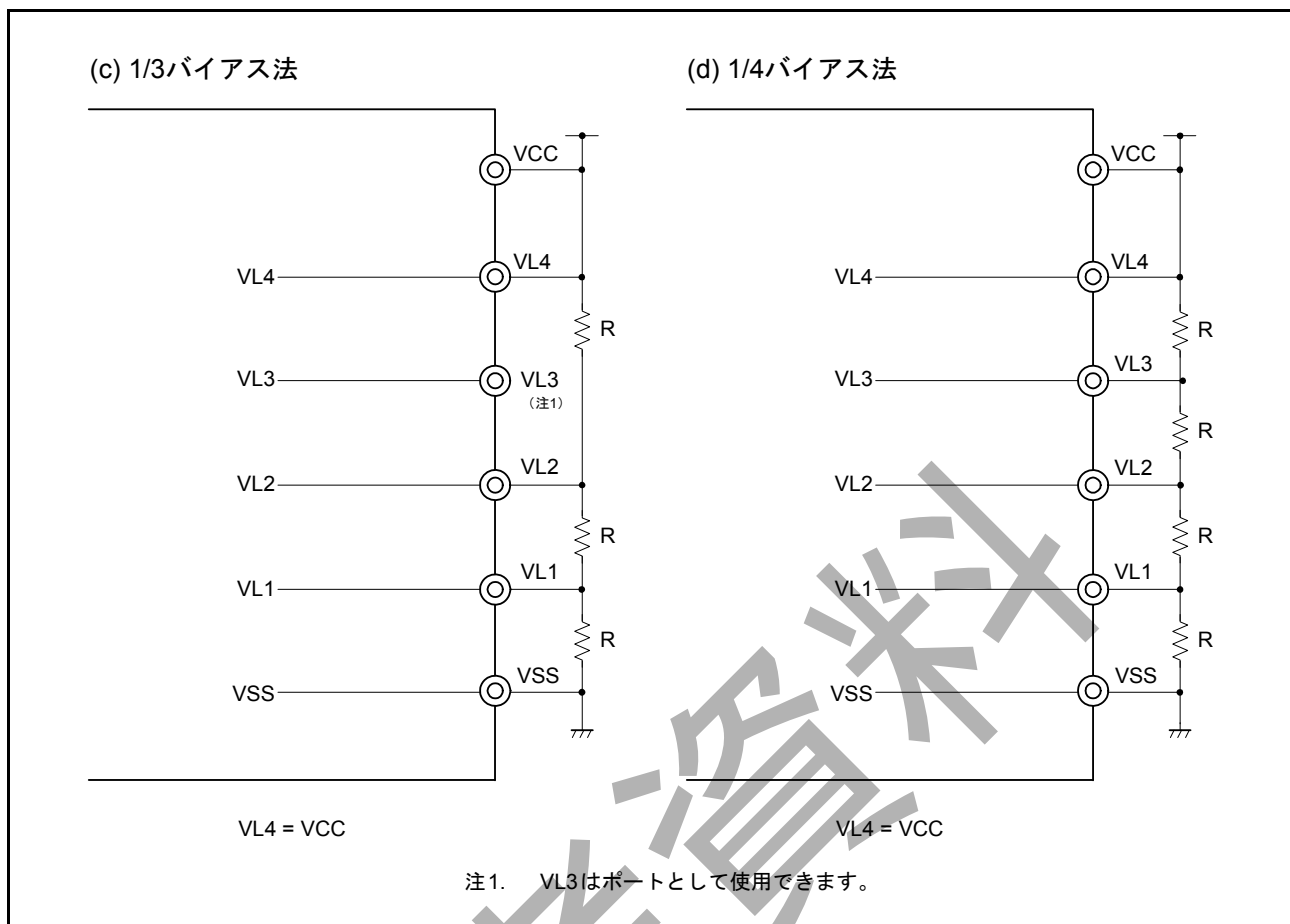


図 49.10 LCD 駆動電源の接続例（外部抵抗分割方式）(2/2)

注 . 外部抵抗分割の基準抵抗値  $R$  は、 $10\text{k}\Omega \sim 1\text{M}\Omega$  です。また、VL1 ~ VL4 端子の電圧を安定させるために、必要に応じて VL1 ~ VL4 の各端子と GND 端子の間にコンデンサを接続してください。コンデンサの基準容量は約  $0.47\mu\text{F}$  ですが、使用する LCD パネル、セグメント端子数、コモン端子数、フレーム周波数、および動作環境によって異なります。使用するシステムに合わせた評価を十分に行った上で、容量を調整してください。

### 49.7.2 内部昇圧方式

本 MCU は、LCD 駆動電源の生成用に内部昇圧回路を内蔵しています。内部昇圧回路および外部コンデンサ（ $0.47\mu\text{F}\pm 30\%$ ）を使用して、LCD 駆動電圧を生成します。内部昇圧方式では、1/3 バイアス法または 1/4 バイアス法だけが設定可能です。

内部昇圧回路はメインユニットから独立した電源であるため、VCC の変化にかかわらず一定の電圧を供給できます。また、LCD 昇圧レベルコントロールレジスタ（VLCD）で、コントラストの調整が可能です。

表 49.11 LCD 駆動電圧（内部昇圧方式）

LCD 駆動電圧端子	1/3 バイアス法	1/4 バイアス法
VL4	$3 \times \text{VL1}$	$4 \times \text{VL1}$
VL3	—	$3 \times \text{VL1}$
VL2	$2 \times \text{VL1}$	$2 \times \text{VL1}$
VL1	LCD 基準電圧	LCD 基準電圧

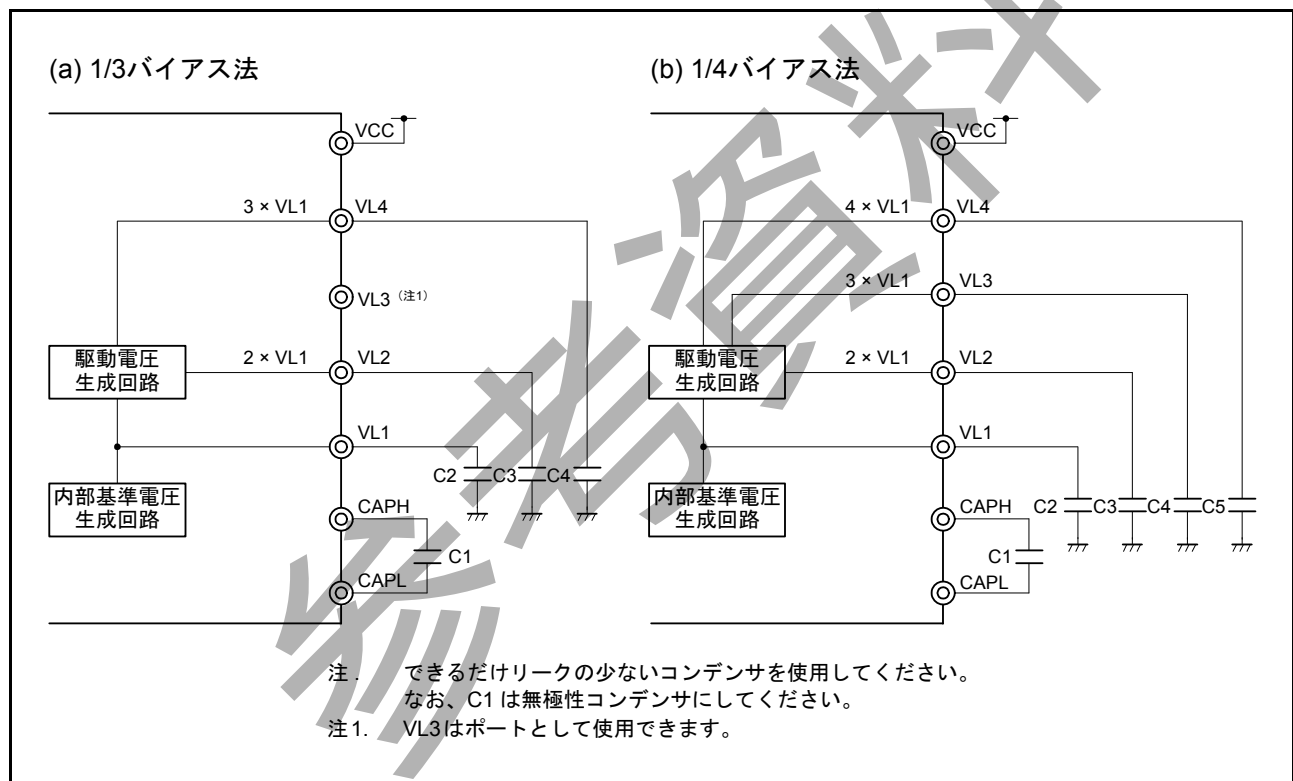


図 49.11 LCD 駆動電源の接続例（内部昇圧方式）

### 49.7.3 容量分割方式

本 MCU は、LCD 駆動電源の生成用に内部降圧回路を内蔵しています。内部降圧回路および外部コンデンサ（ $0.47\mu\text{F}\pm 30\%$ ）を使用して、LCD 駆動電圧を生成します。容量分割方式では、1/3 バイアス法だけが設定可能です。

外部抵抗分割方式とは異なり、容量分割方式は連続通電を必要としないため、電流消費を削減できます。

表 49.12 LCD 駆動電圧（容量分割方式）

LCD 駆動電圧端子	1/3 バイアス法
VL4	VCC
VL3	—
VL2	$2/3 \times \text{VL4}$
VL1	$1/3 \times \text{VL4}$

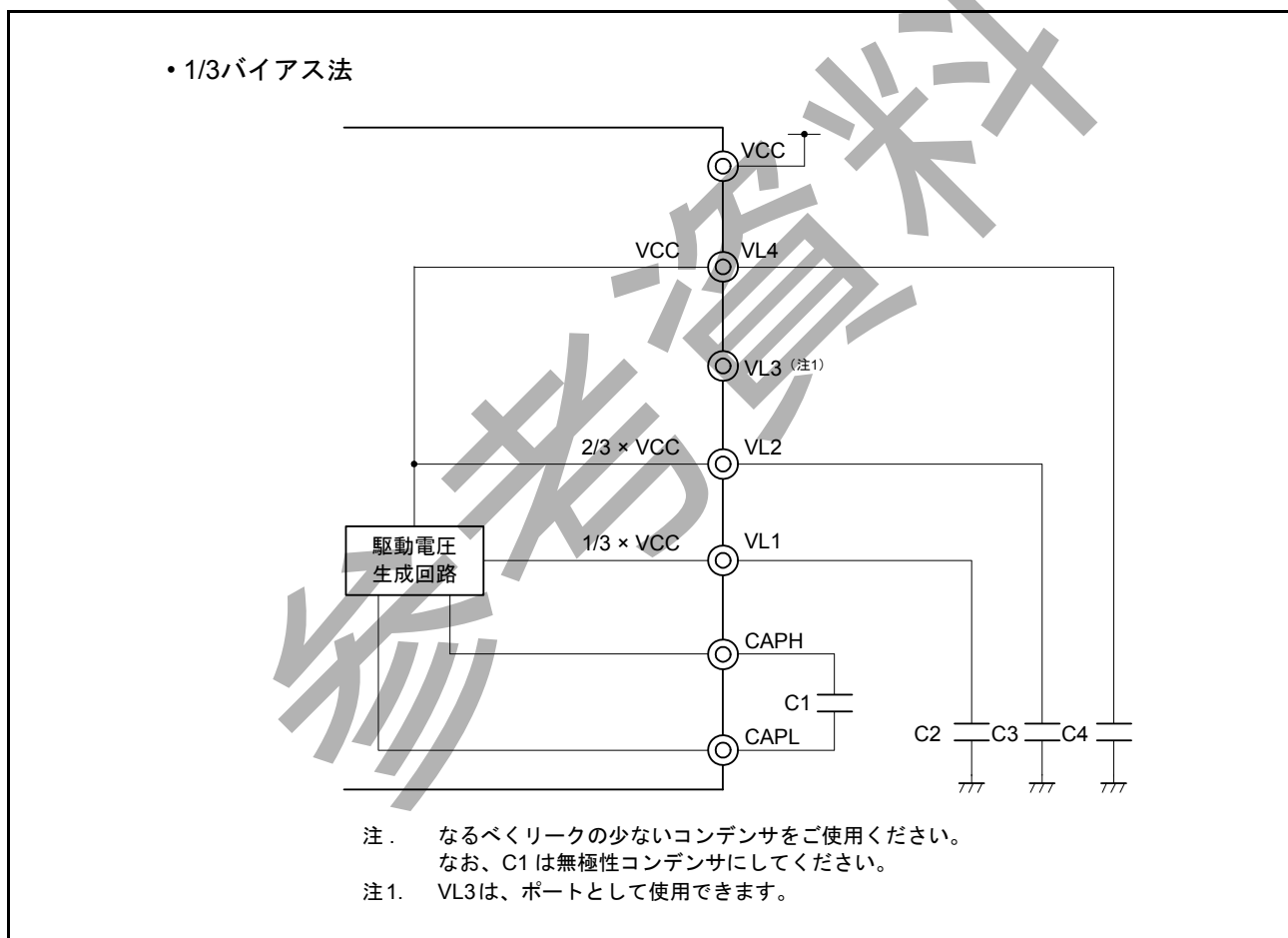


図 49.12 LCD 駆動電源の接続例（容量分割方式）

## 49.8 コモン信号とセグメント信号

LCD パネルの各画素は、対応するコモン信号とセグメント信号の間の電位差が特定の電圧（VLCD：LCD 駆動電圧）より高くなると点灯します。電位差が VLCD より低くなると、画素は消灯します。

LCD パネルのコモン信号とセグメント信号に直流電圧を印加すると、劣化の原因になります。この問題を避けるため、SLCDC は交流電圧で駆動します。

### (1) コモン信号

各コモン信号は、表 49.13 に示す特定の時分割数に従って順次選択されます。スタティック表示モードでは、同じ信号が COM0 ～ COM3 端子に出力されます。

2 時分割モードでは、COM2 端子と COM3 端子を開放状態のままにしておきます。3 時分割モードでは、COM3 端子を開放状態のままにしておきます。

8 時分割モード以外で動作する場合は、COM4 ～ COM7 端子は開放するか、またはセグメント端子として使用してください。

表 49.13 COM 信号

時分割数	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
スタティック表示モード	→	→	→	→	(注1)	(注1)	(注1)	(注1)
2 時分割モード	→	→	開放	開放	(注1)	(注1)	(注1)	(注1)
3 時分割モード	→	→	→	開放	(注1)	(注1)	(注1)	(注1)
4 時分割モード	→	→	→	→	(注1)	(注1)	(注1)	(注1)
8 時分割モード	→	→	→	→	→	→	→	→

注 1. これらの端子は開放状態またはセグメント端子として使用してください。

### (2) セグメント信号

セグメント信号は、LCD 表示データレジスタ（49.3 LCD 表示データレジスタ参照）に対応しています。

時分割数が 8 の場合、各表示データレジスタのビット 0 ～ 7 がそれぞれ COM0 ～ COM7 と同期して読み出されます。ビットが 1 の場合は選択電圧に変換され、0 の場合は非選択電圧に変換されます。変換結果はセグメント端子に出力されます。

時分割数が 8 以外の場合、A パターン領域（1 バイト）のビット 0 ～ 3 が COM0 ～ COM3 と同期して読み出され、B パターン領域（1 バイト）のビット 4 ～ 7 が COM4 ～ COM7 と同期して読み出されます。ビットが 1 の場合は選択電圧に変換され、0 の場合は非選択電圧に変換されます。変換結果はセグメント端子に出力されます。

前面電極（セグメント信号に対応）および後面電極（コモン信号に対応）がどのような組み合わせで LCD 表示データレジスタの表示パターンを形成するかを確認し、目的の表示パターンと 1 対 1 に対応したビットデータを書き込んでください。

注. 実装されているセグメント出力端子は製品により異なります。

### (3) コモン信号とセグメント信号の出力波形

表 49.14 に示す電圧がコモン／セグメント信号として出力されます。

コモン信号とセグメント信号がどちらも選択電圧のとき、表示点灯電圧は  $\pm VLCD$  となります。それ以外の組み合わせのときは消灯電圧となります。

表 49.14 LCD駆動電圧

スタティック表示モード

セグメント信号		選択信号レベル	非選択信号レベル
		VSS/VL4	VL4/VSS
コモン信号			
VL4/VSS		-VLCD/+VLCD	0V/0V

1/2バイアス法

セグメント信号		選択信号レベル	非選択信号レベル
		VSS/VL4	VL4/VSS
コモン信号			
選択信号レベル	VL4/VSS	-VLCD/+VLCD	0V/0V
非選択信号レベル	VL2	$-\frac{1}{2}VLCD + \frac{1}{2}VLCD$	$+\frac{1}{2}VLCD - \frac{1}{2}VLCD$

1/3バイアス法 (AまたはB波形)

セグメント信号		選択信号レベル	非選択信号レベル
		VSS/VL4	VL2/VL1
コモン信号			
選択信号レベル	VL4/VSS	-VLCD/+VLCD	$-\frac{1}{3}VLCD + \frac{1}{3}VLCD$
非選択信号レベル	VL1/VL2	$-\frac{1}{3}VLCD + \frac{1}{3}VLCD$	$+\frac{1}{3}VLCD - \frac{1}{3}VLCD$

1/4バイアス法 (AまたはB波形)

セグメント信号		選択信号レベル	非選択信号レベル
		VSS/VL4	VL2
コモン信号			
選択信号レベル	VL4/VSS	-VLCD/+VLCD	$-\frac{1}{2}VLCD + \frac{1}{2}VLCD$
非選択信号レベル	VL1/VL3	$-\frac{1}{4}VLCD + \frac{1}{4}VLCD$	$+\frac{1}{4}VLCD - \frac{1}{4}VLCD$

コモン信号波形を図 49.13 と図 49.14 に示します。コモン信号とセグメント信号の電圧と位相を図 49.15 ~ 図 49.17 に示します。



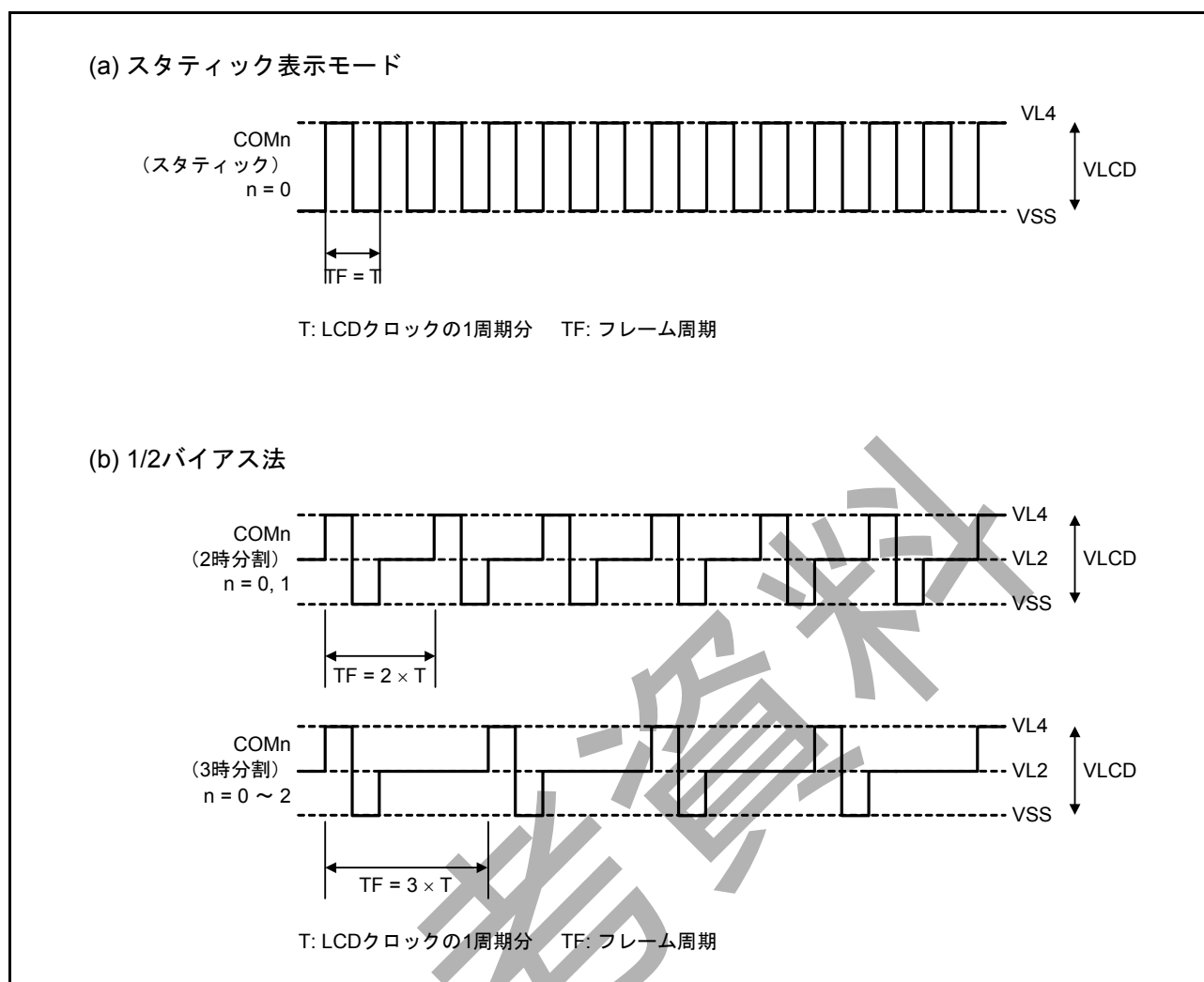


図 49.13 コモン信号波形 (1/2)

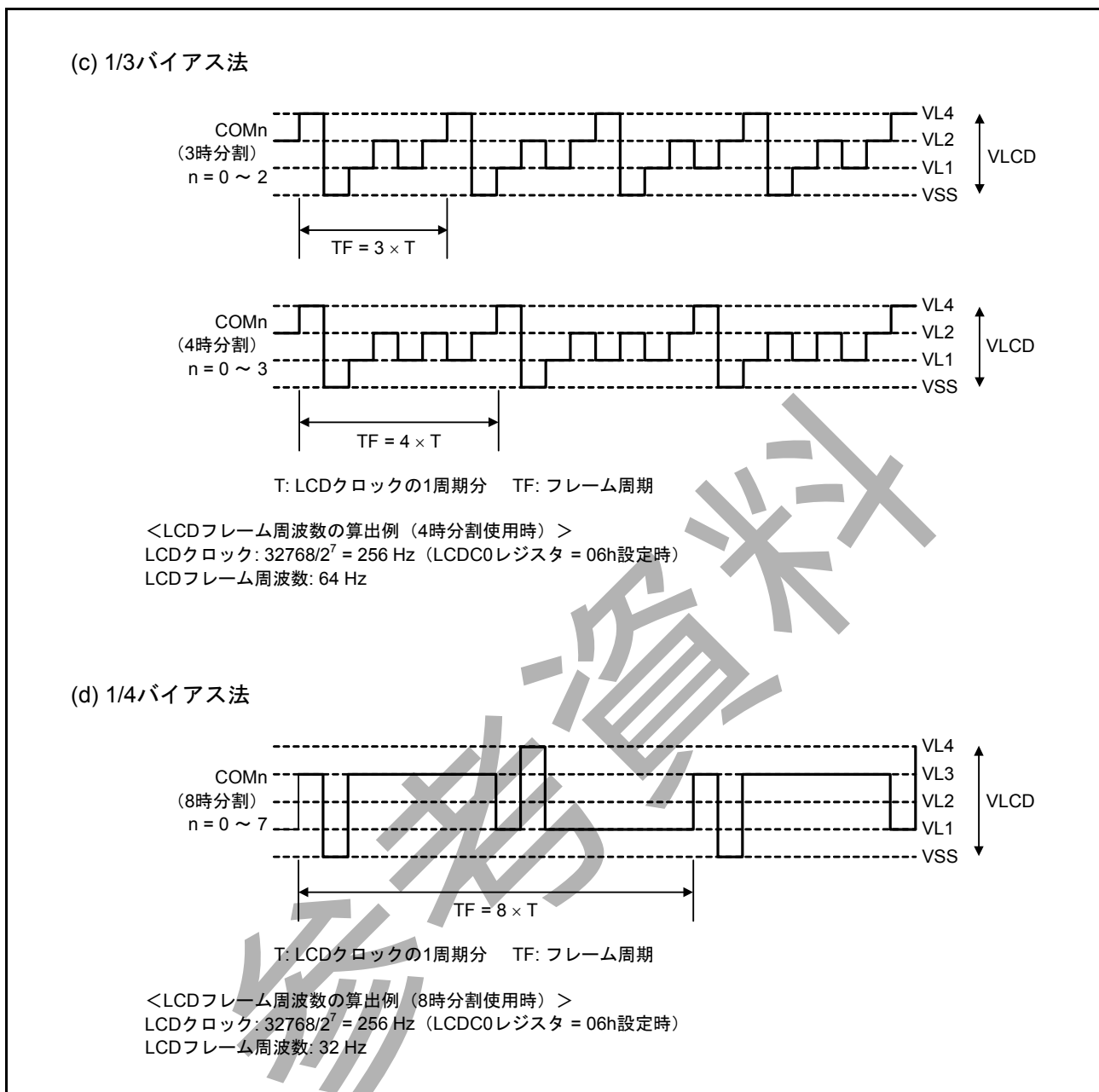


図 49.14      コモン信号波形 (2/2)

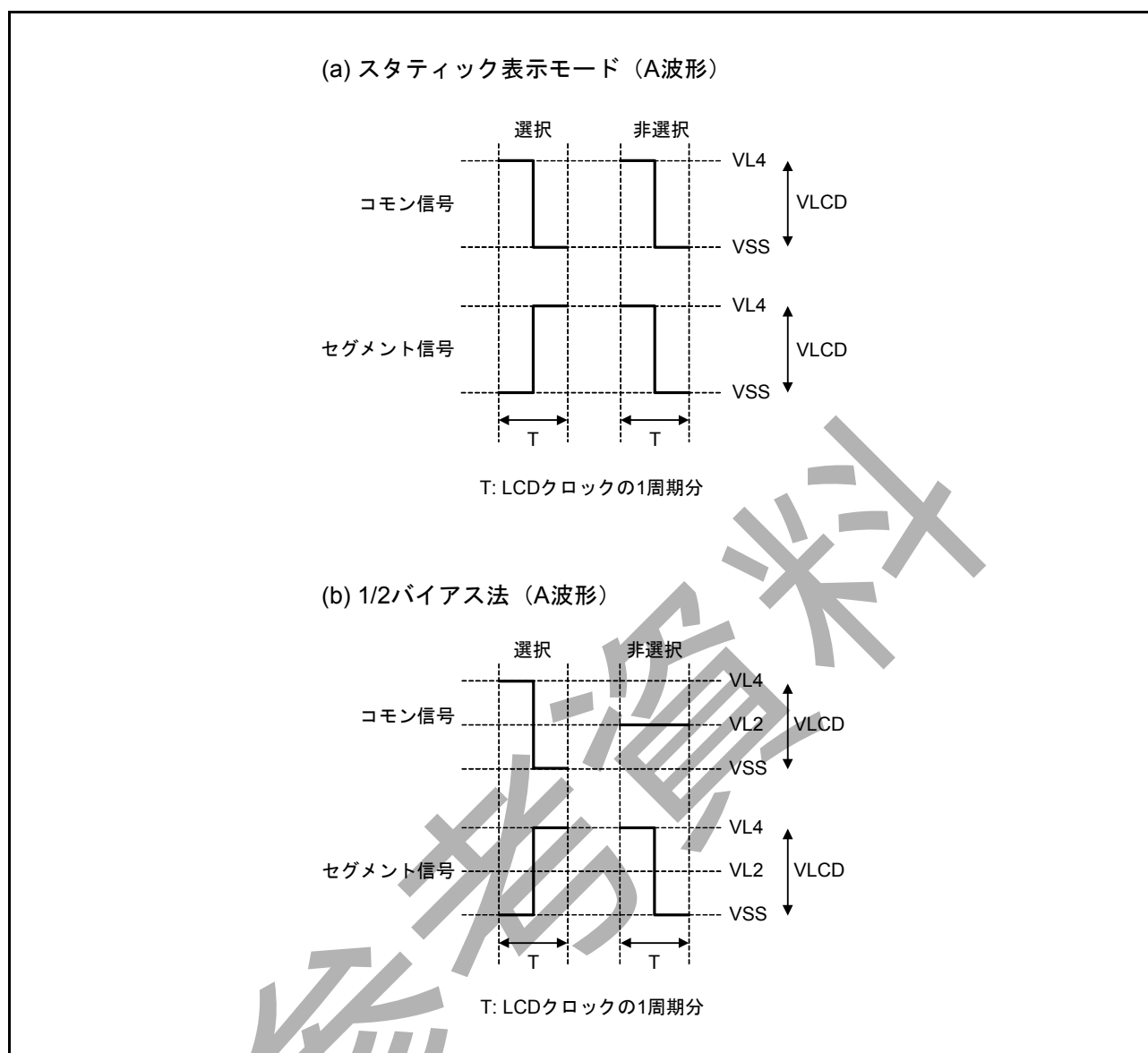


図 49.15 コモン信号とセグメント信号の電圧と位相 (1/3)

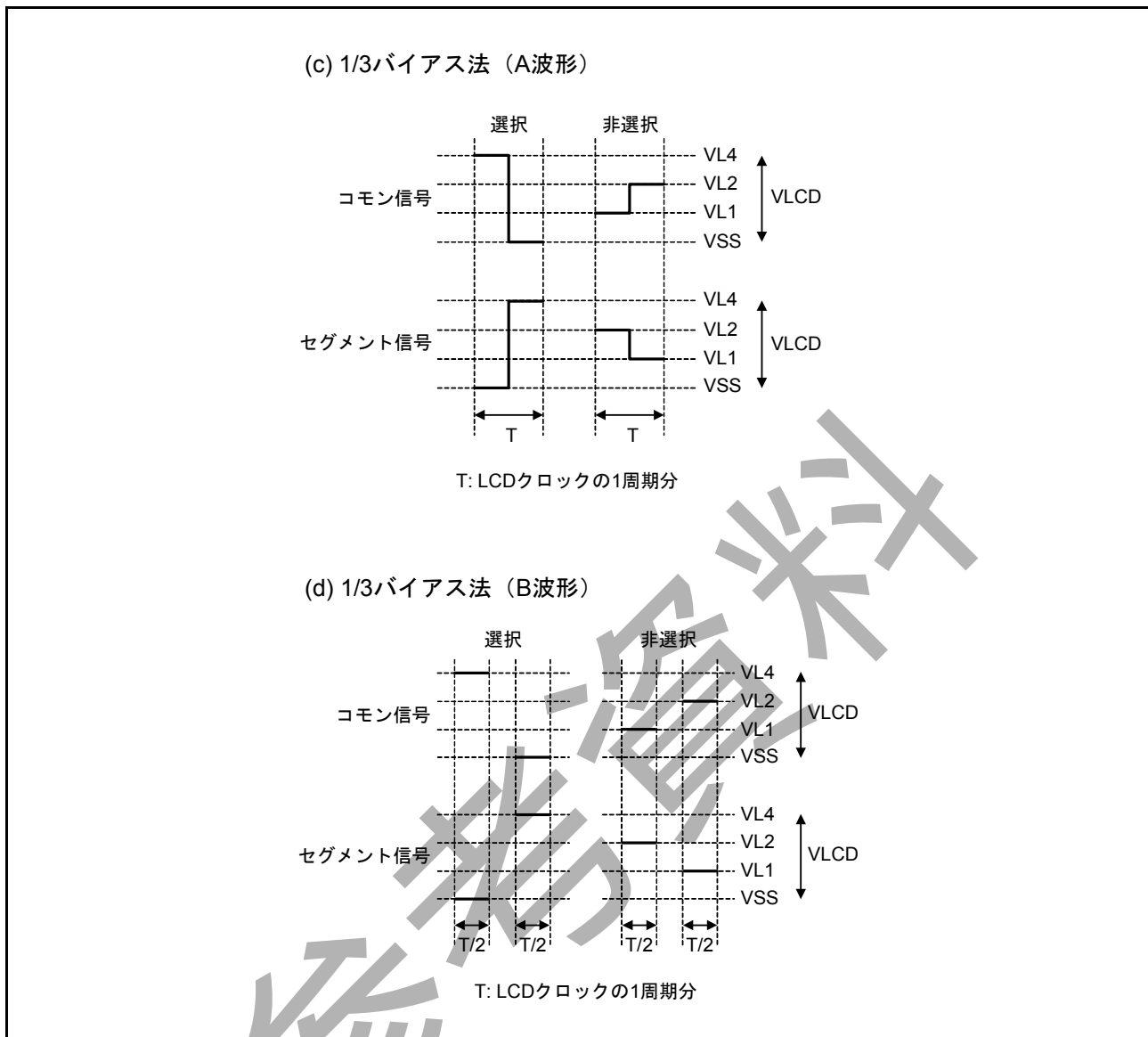


図 49.16 コモン信号とセグメント信号の電圧と位相 (2/3)

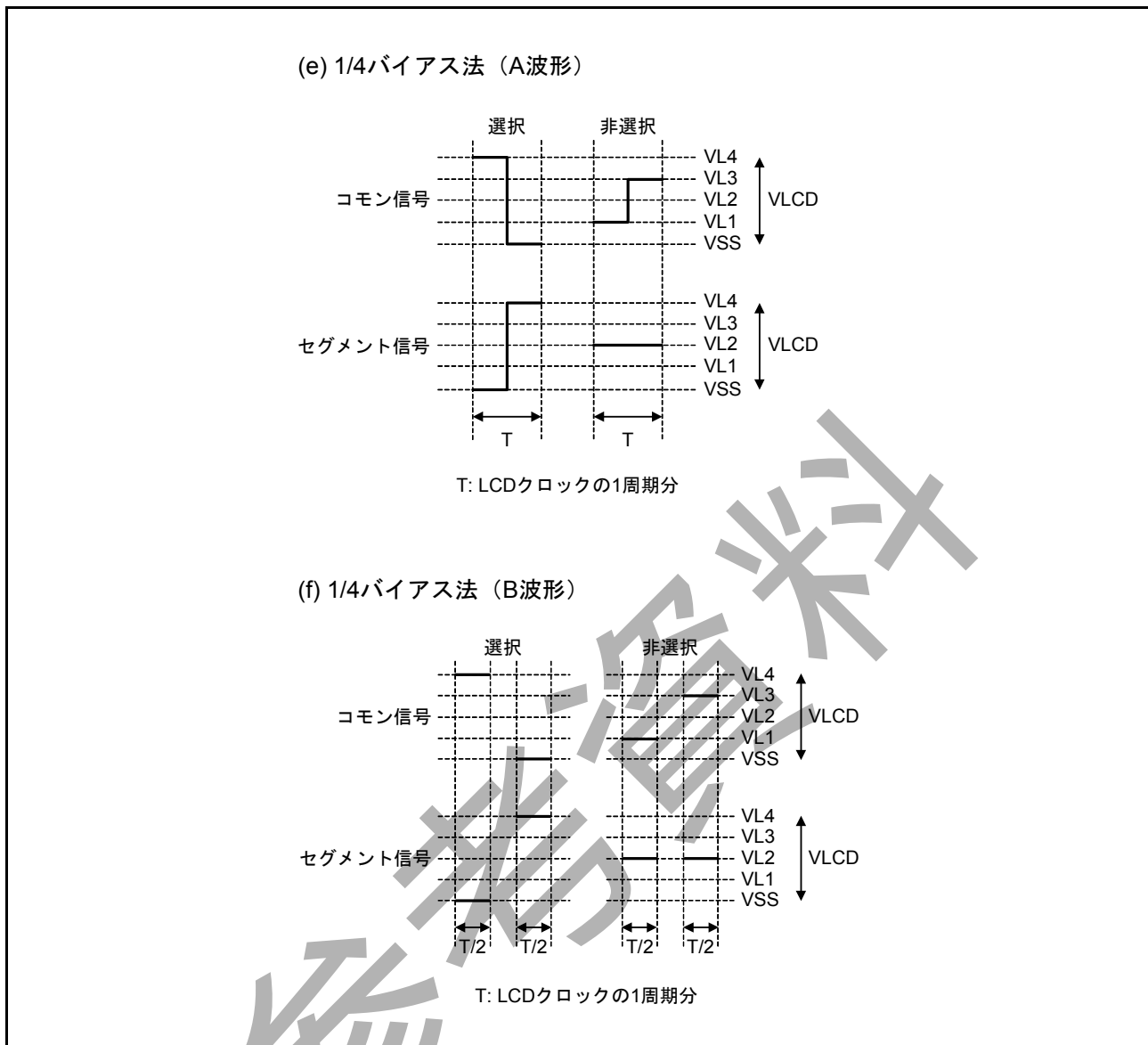


図 49.17 コモン信号とセグメント信号の電圧と位相 (3/3)

## 49.9 表示モード

### 49.9.1 スタティック表示例

図 49.19 に、図 49.18 の表示パターンを持つ 3 桁表示の LCD パネルと、セグメント信号 (SEG00 ~ SEG23) およびコモン信号 (COM0) との接続関係を示します。この例では LCD パネルに「12.3」を表示します。表示データレジスタの内容はこの表示に対応しています。

ここでは 2 桁目に表示される数字の「2」(2.) を例にとって説明します。LCD パネルに「2」を表示するには、コモン信号 COM0 の選択タイミングで、選択電圧または非選択電圧を SEG08 ~ SEG15 端子に印加する必要があります。セグメント信号と LCD セグメントの関係については、図 49.18 を参照してください。

表 49.15 選択 (1) および非選択 (0) データ (COM0) の例

セグメント	SEG08	SEG09	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選択	非選択	選択	選択	非選択	選択	選択	選択

表 49.15 に従って、表示データレジスタのビット 0 パターンを 10110111b にしてください。

SEG11、SEG12、COM0 の LCD 駆動波形を図 49.20 に示します。COM0 のタイミングで SEG11 に選択電圧が印加されると、+VLCD/-VLCD の交流矩形波が生成され、対応する LCD セグメントが点灯します。

COM1 ~ COM3 には COM0 と同じ波形が供給されます。そのため、COM0 ~ COM3 をまとめて接続すれば駆動能力が向上します。

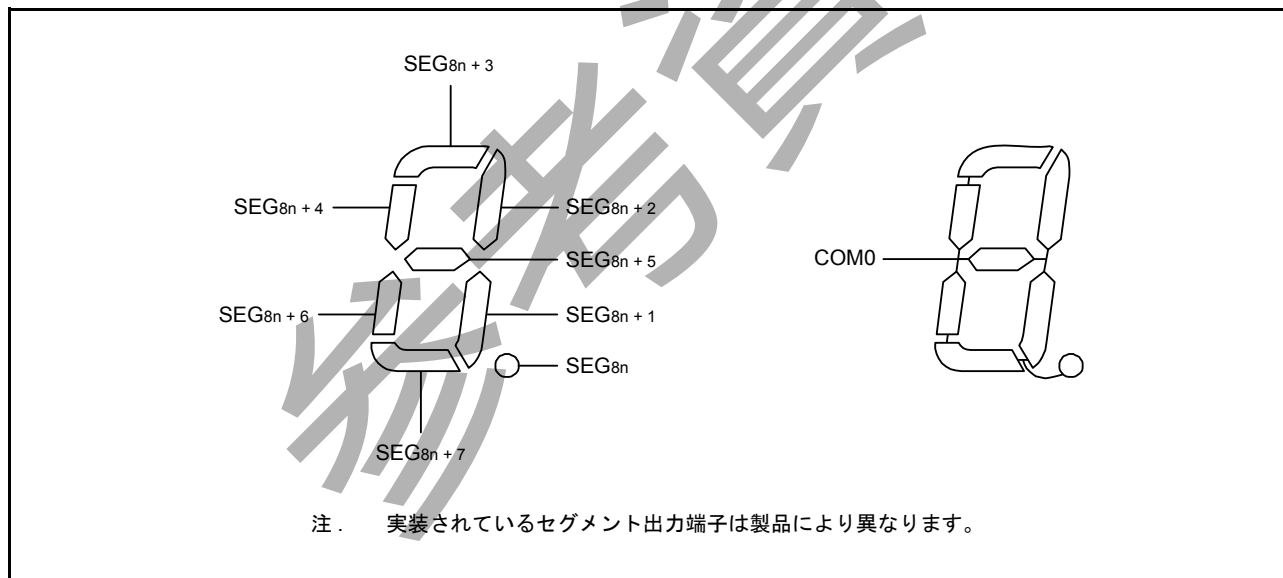


図 49.18 スタティック LCD 表示パターンと電極接続

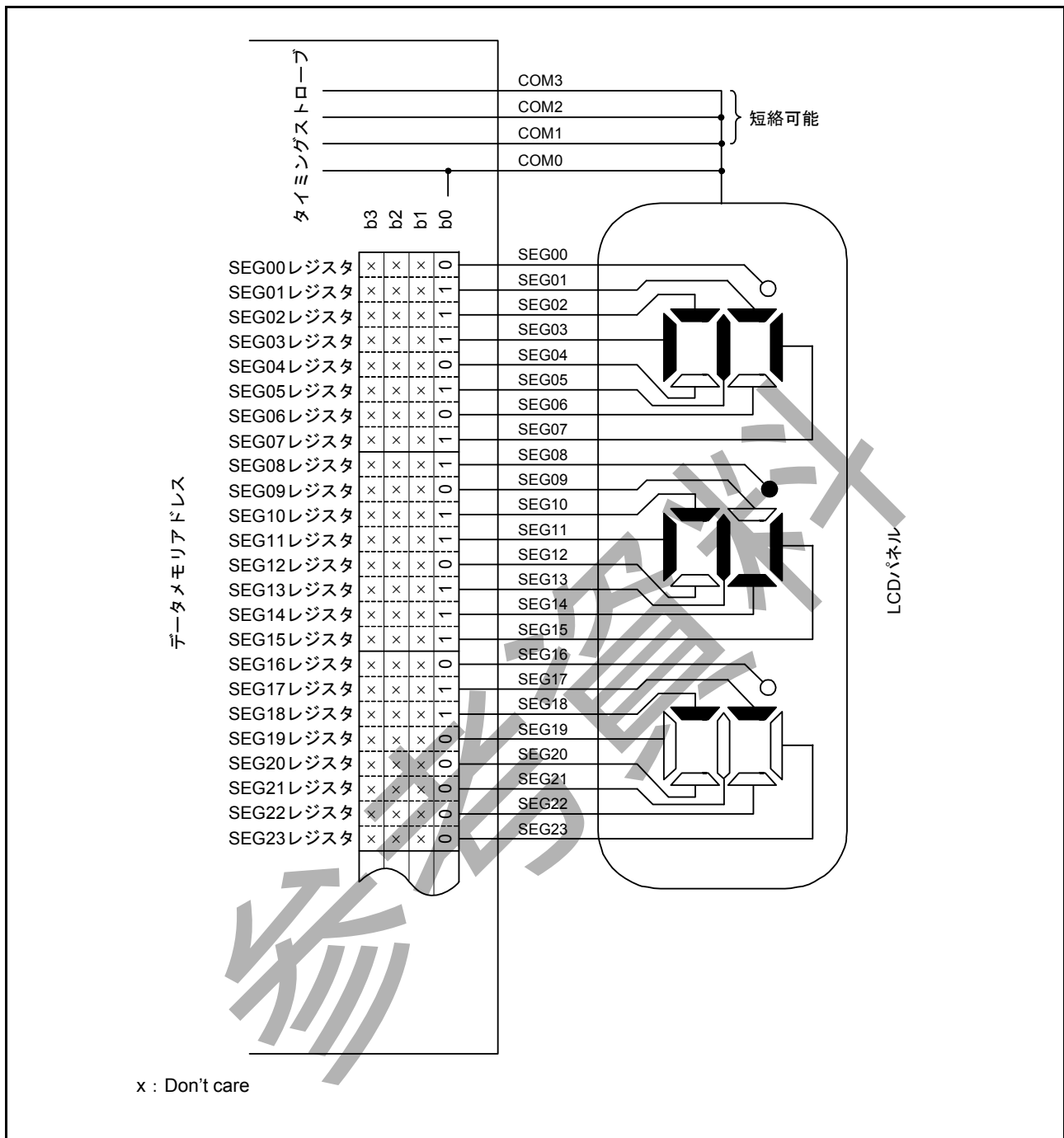


図 49.19 スタティック LCD パネルの接続例

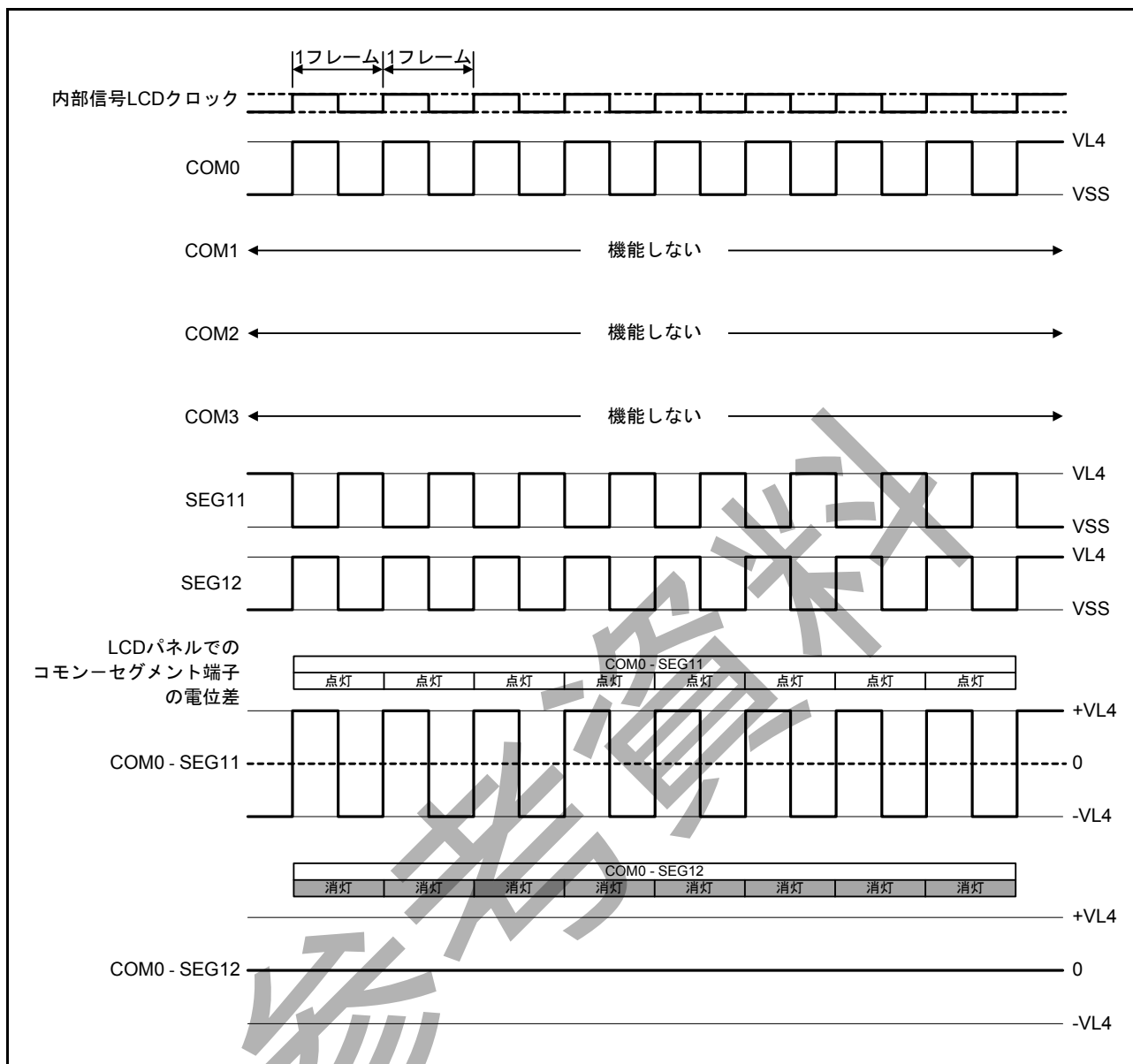


図 49.20 SEG11、SEG12、COM0 のスタティック LCD 駆動波形例



### 49.9.2 2 時分割表示例

図 49.22 に、図 49.21 の表示パターンを持つ 6 桁表示の LCD パネルと、セグメント信号 (SEG00 ~ SEG23) およびコモン信号 (COM0、COM1) との接続関係を示します。この例では LCD パネルに「12345.6」を表示します。表示データレジスタの内容はこの表示に対応しています。

ここでは、4 桁目に表示される数字の「3」(3) を例にとって説明します。LCD パネルに「3」を表示するには、コモン信号 COM0 および COM1 の選択タイミングで、選択電圧または非選択電圧を SEG12 ~ SEG15 端子に印加する必要があります。セグメント信号と LCD セグメントの関係については、図 49.21 を参照してください。

表 49.16 選択 (1) および非選択 (0) データ (COM0、COM1) の例

コモン \ セグメント	SEG12	SEG13	SEG14	SEG15
COM0	選択	選択	非選択	非選択
COM1	非選択	選択	選択	選択

表 49.16 の例では、SEG15 に対応する表示データレジスタ位置は  $xx10b$  を含む必要があります。

SEG15 信号と各コモン信号との間の LCD 駆動波形の例を図 49.23 に示します。COM1 のタイミングで SEG15 に選択電圧が印加されると、+VLCD/-VLCD の交流矩形波が生成され、対応する LCD セグメントが点灯します。

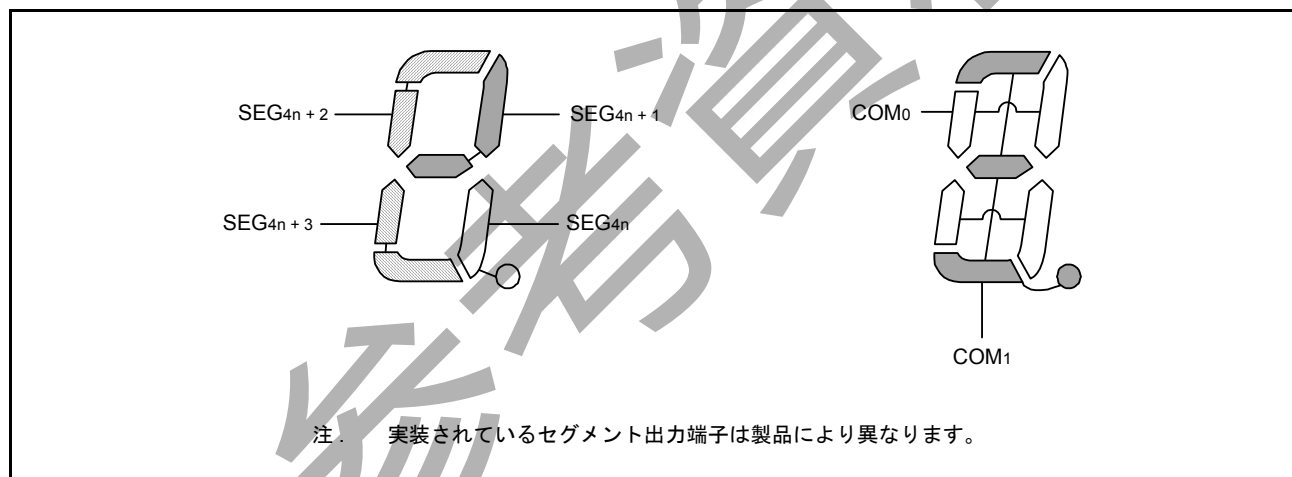


図 49.21 2 時分割 LCD 表示パターンと電極接続

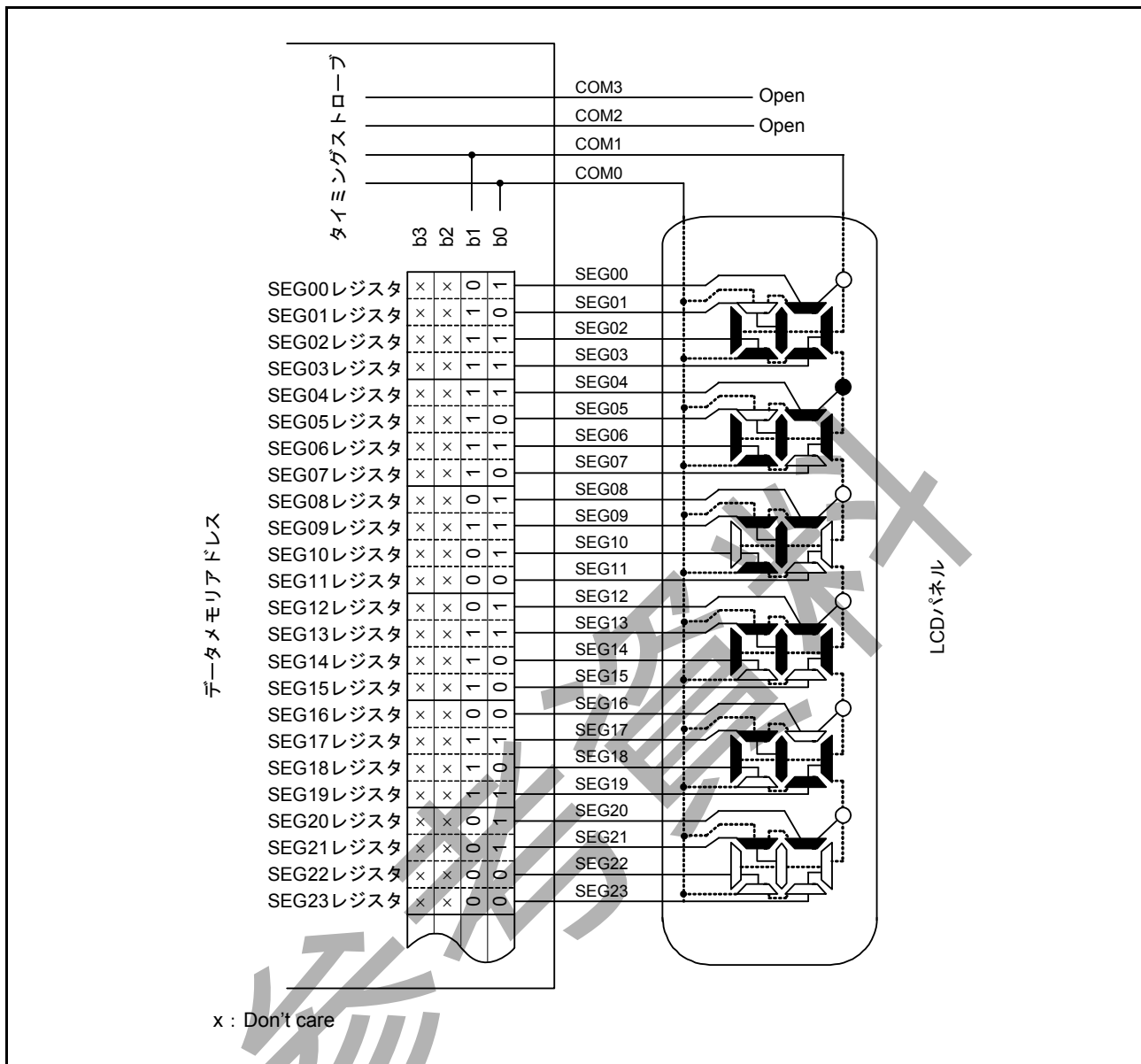


図 49.22 2 時分割 LCD パネルの接続例

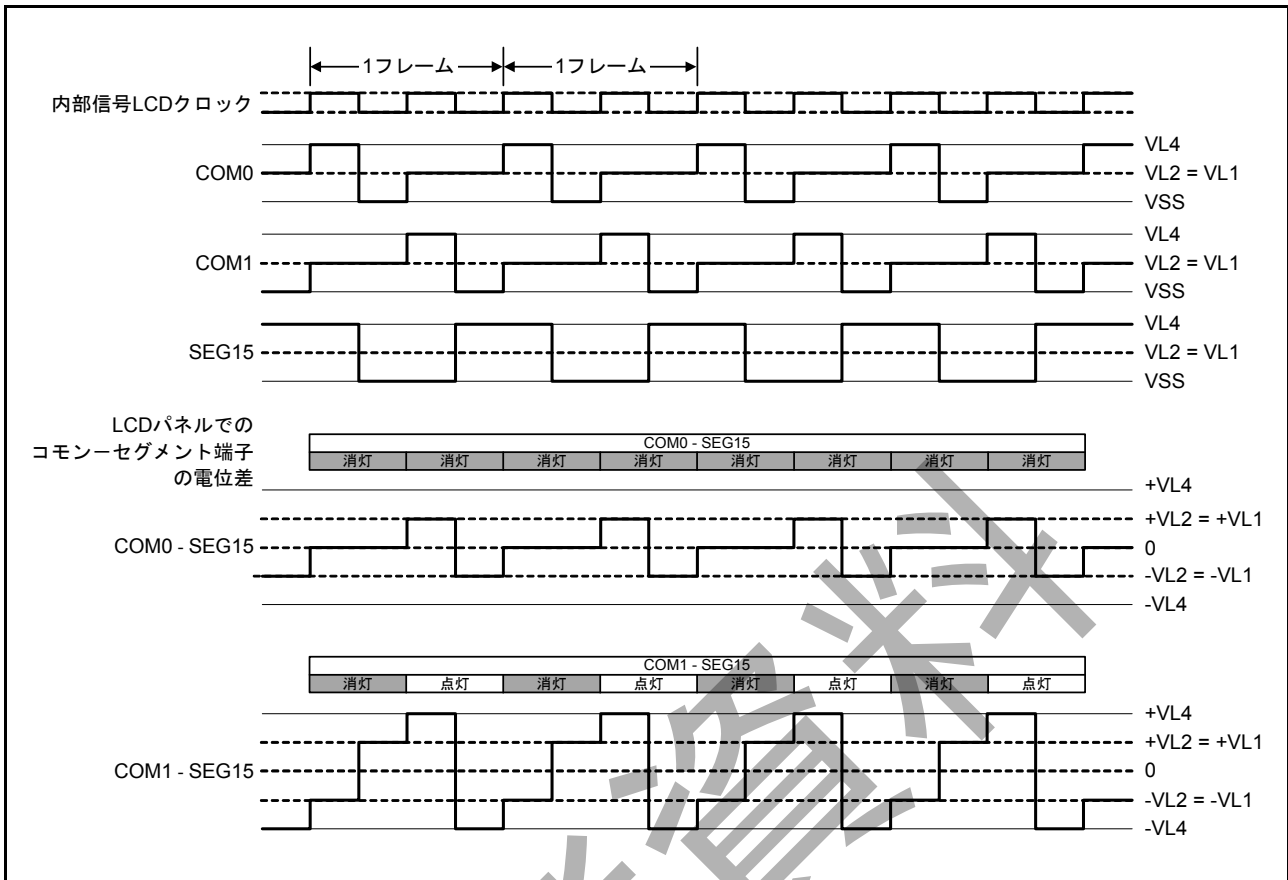


図 49.23 SEG15 と各コモン信号との間の 2 時分割 LCD 駆動波形例 (1/2 バイアス法)

### 49.9.3 3 時分割表示例

図 49.25 に、図 49.24 の表示パターンを持つ 8 桁表示の LCD パネルと、セグメント信号 (SEG00 ~ SEG23) およびコモン信号 (COM0 ~ COM2) との接続関係を示します。この例では LCD パネルに「123456.78」を表示します。表示データレジスタの内容はこの表示に対応しています。

ここでは 3 桁目に表示される数字の「6.」(6.) を例にとって説明します。LCD パネルに「6.」を表示するには、コモン信号 COM0 ~ COM2 の選択タイミングで、選択電圧または非選択電圧を SEG06 ~ SEG08 端子に印加する必要があります。セグメント信号と LCD セグメントの関係については、図 49.24 を参照してください。

表 49.17 選択 (1) および非選択 (0) データ (COM0 ~ COM2) の例

コモン	セグメント	SEG06	SEG07	SEG08
COM0		非選択	選択	選択
COM1		選択	選択	選択
COM2		選択	選択	—

表 49.17 の例では、SEG06 に対応する表示データレジスタ位置は x110b を含む必要があります。

1/2 および 1/3 バイアス法での SEG06 信号と各コモン信号との間の LCD 駆動波形の例を、それぞれ図 49.26 および図 49.27 に示します。COM1 または COM2 のタイミングで SEG06 に選択電圧が印加されると、+VLCD/-VLCD の交流矩形波が生成され、対応する LCD セグメントが点灯します。

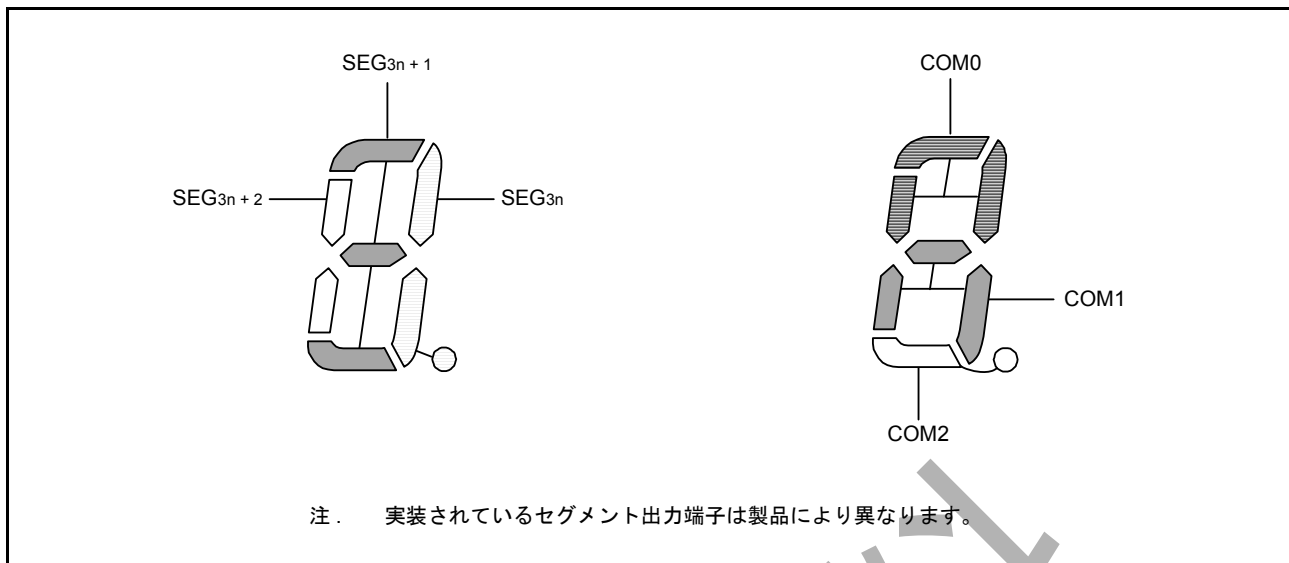


図 49.24 3 時分割 LCD 表示パターンと電極接続

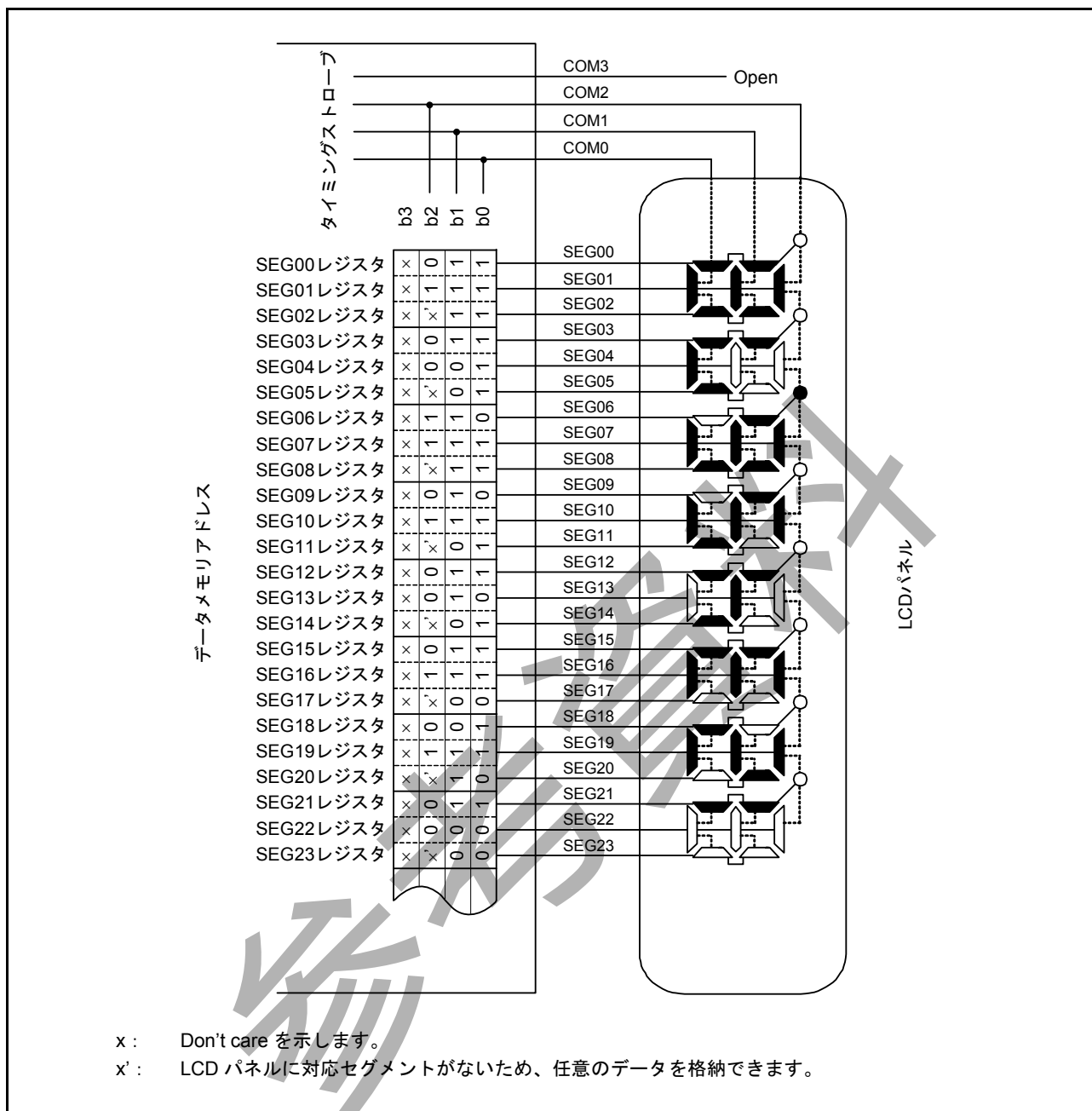


図 49.25 3 時分割 LCD パネルの接続例

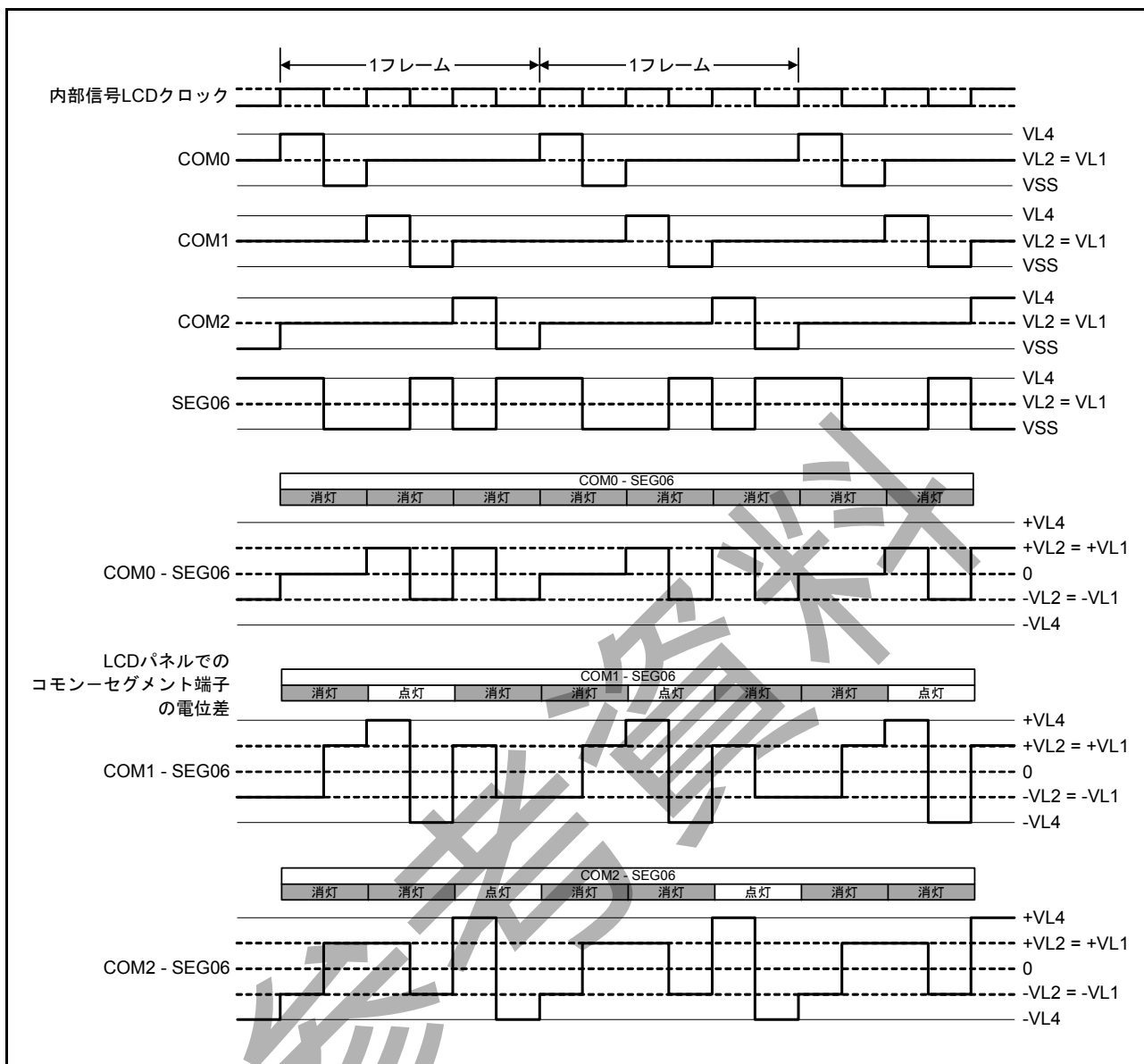


図 49.26 SEG06 と各コモン信号との間の 3 時分割 LCD 駆動波形例 (1/2 バイアス法)

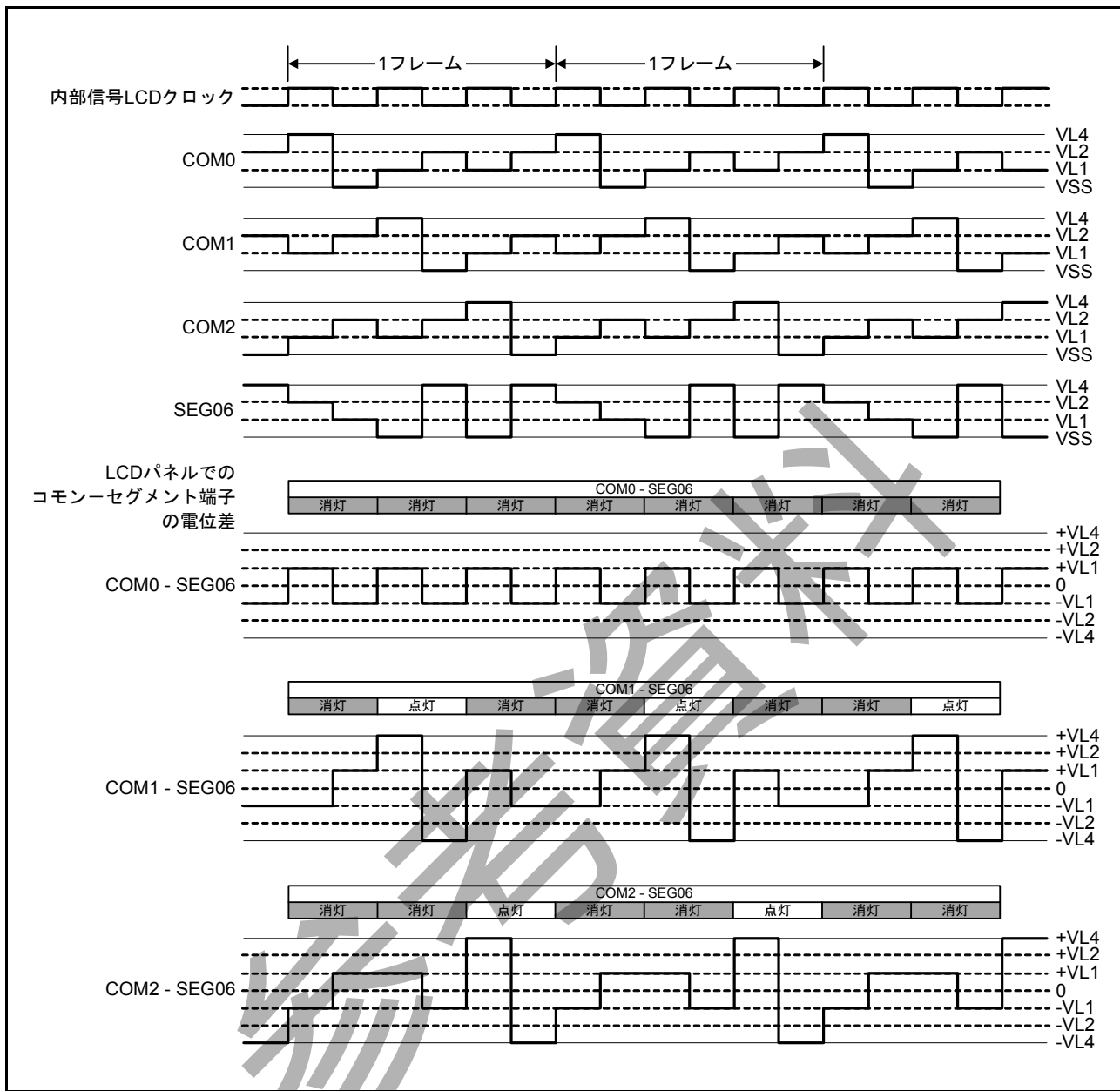


図 49.27 SEG06 と各コモン信号との間の 3 時分割 LCD 駆動波形例 (1/3 バイアス法)

## 49.9.4 4 時分割表示例

図 49.29 に、図 49.28 の表示パターンを持つ 12 桁表示の LCD パネルと、セグメント信号 (SEG00 ~ SEG23) およびコモン信号 (COM0 ~ COM3) との接続関係を示します。この例では LCD パネルに「123456.789012」を表示します。表示データレジスタの内容はこの表示に対応しています。

ここでは 7 桁目に表示される数字の「6.」(6.) を例にとって説明します。LCD パネルに「6.」を表示するには、コモン信号 COM0 ~ COM3 の選択タイミングで、選択電圧または非選択電圧を SEG12 および SEG13 端子に印加する必要があります。セグメント信号と LCD セグメントの関係については、図 49.28 を参照してください。

表 49.18 選択 (1) および非選択 (0) データ (COM0~COM3) の例

コモン	セグメント	SEG12	SEG13
COM0		選択	選択
COM1		非選択	選択
COM2		選択	選択
COM3		選択	選択

表 49.18 の例では、SEG12 に対応する表示データレジスタ位置は 1101b を含む必要があります。

SEG12 信号と各コモン信号との間の LCD 駆動波形の例を図 49.30 に示します。COM0 のタイミングで SEG12 に選択電圧が印加されると、+VLCD/-VLCD の交流矩形波が生成され、対応する LCD セグメントが点灯します。

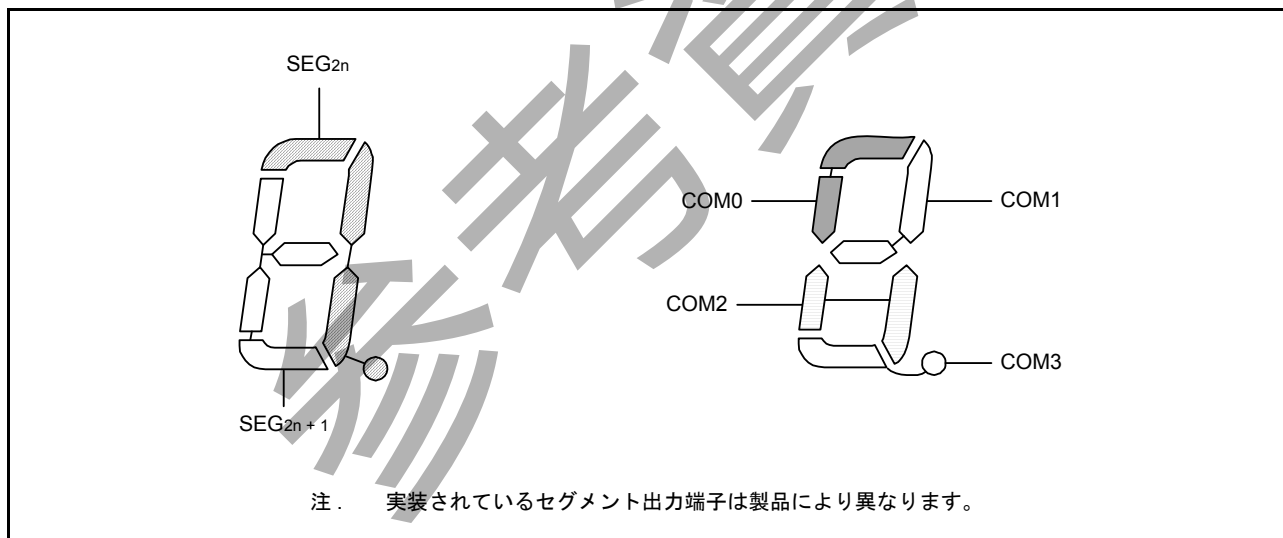


図 49.28 4 時分割 LCD 表示パターンと電極接続



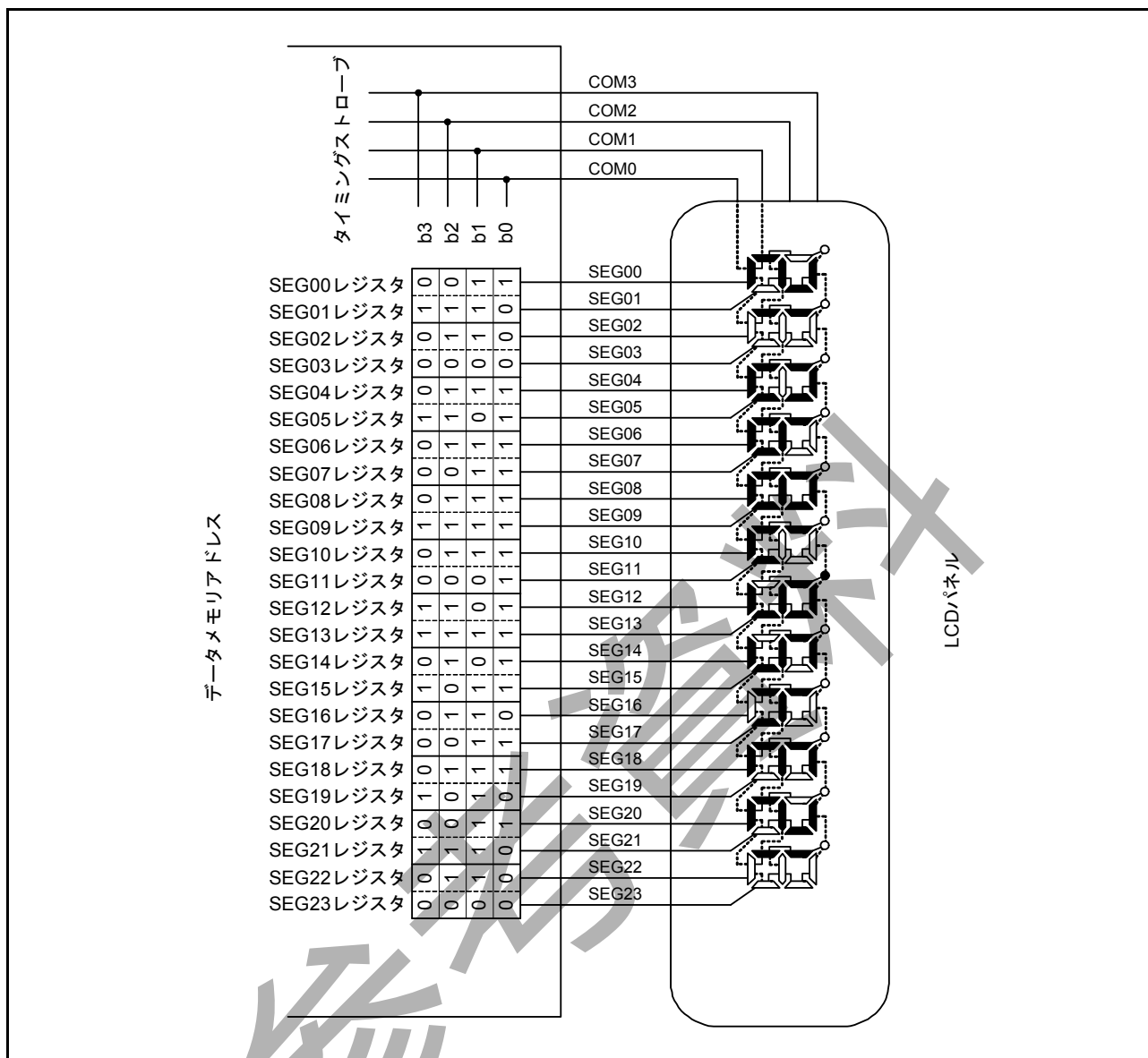


図 49.29 4 時分割 LCD パネルの接続例

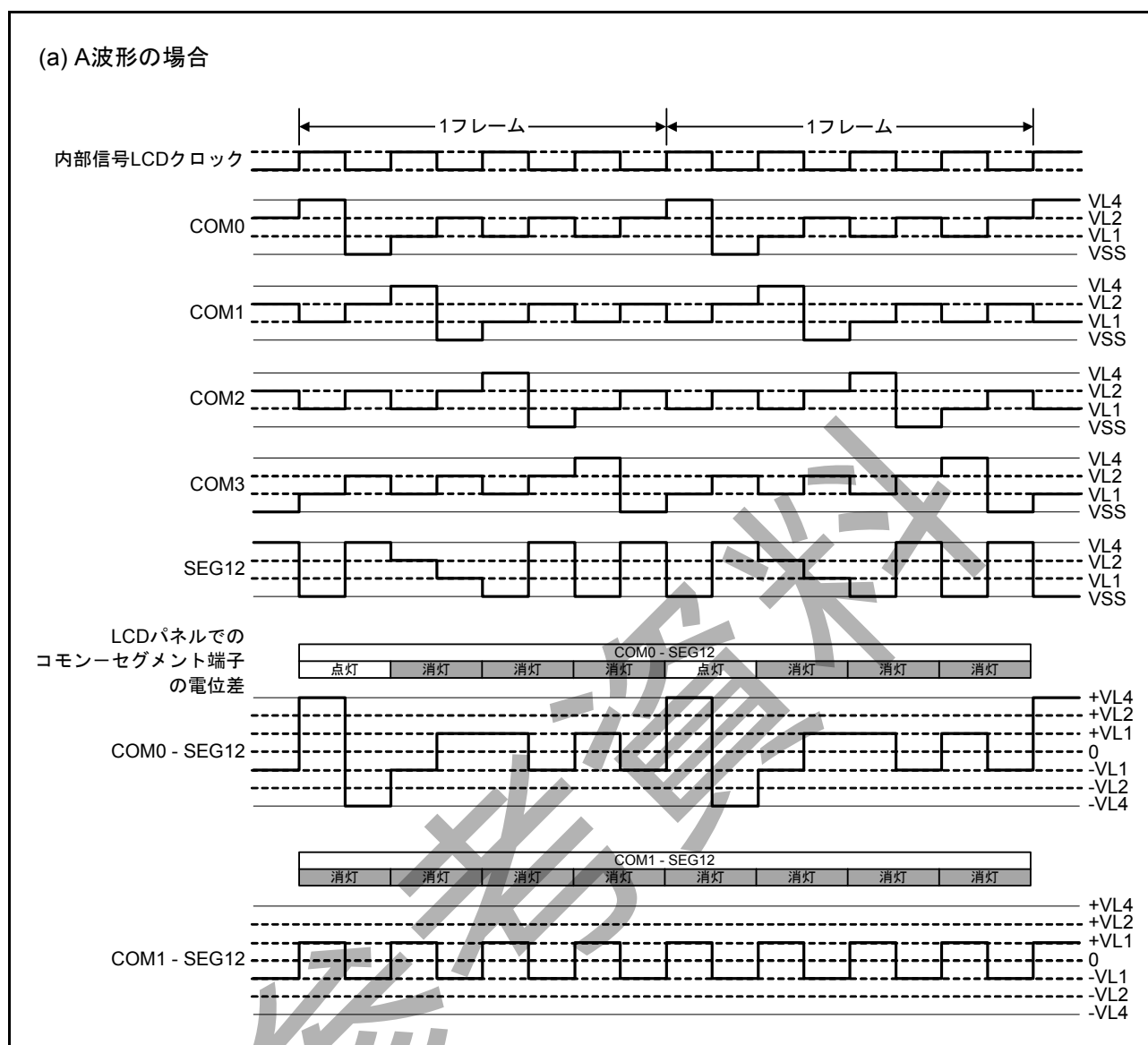


図 49.30 SEG12 と各コモン信号との間の 4 時分割 LCD 駆動波形例 (1/3 バイアス法) (1/2)

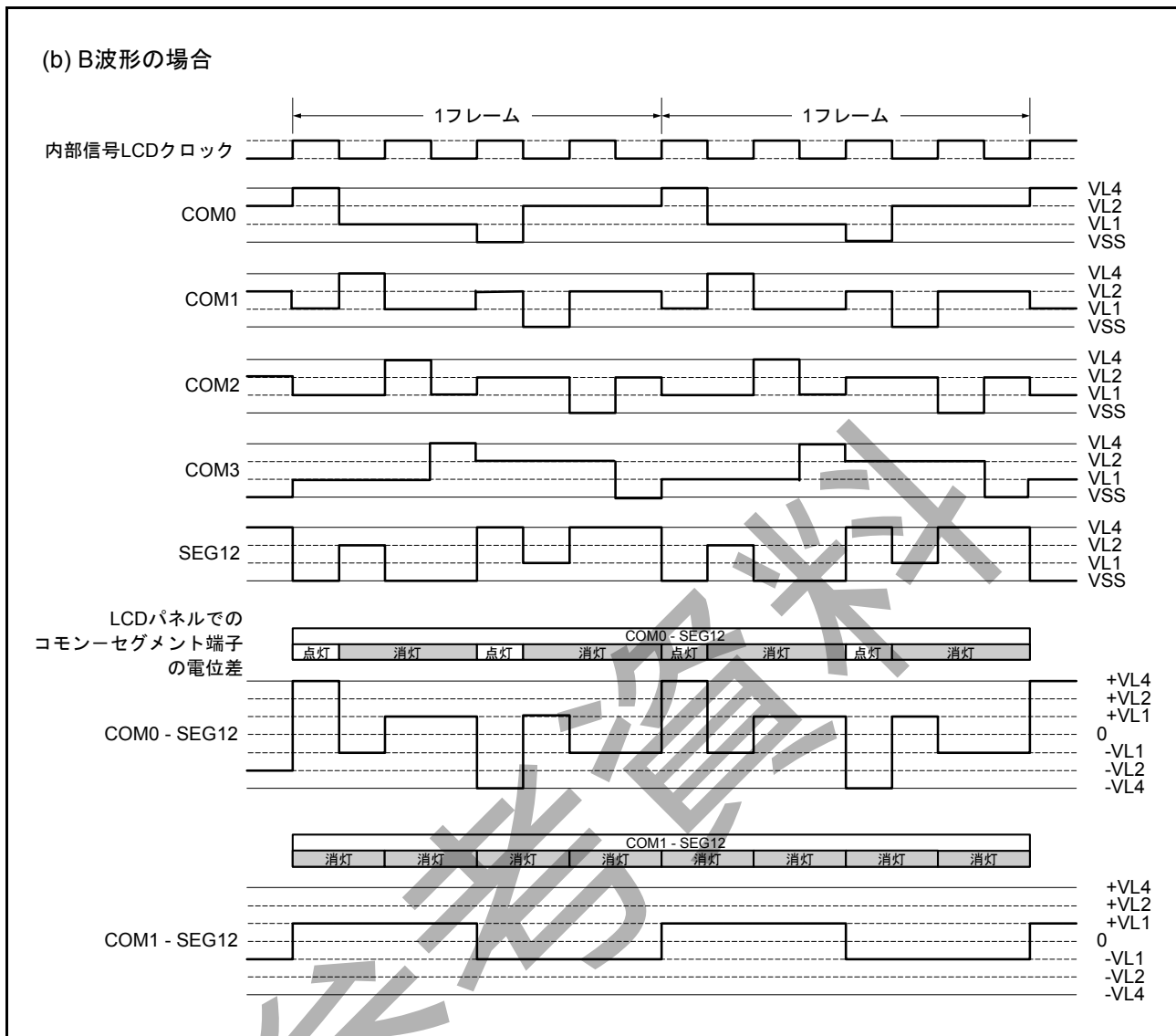


図 49.31 SEG12 と各コモン信号との間の 4 時分割 LCD 駆動波形例 (1/3 バイアス法) (2/2)

## 49.9.5 8 時分割表示例

図 49.33 に、図 49.32 の表示パターンを持つ 15×8 ドット表示の LCD パネルと、セグメント信号 (SEG04 ~ SEG18) およびコモン信号 (COM0 ~ COM7) との接続関係を示します。この例では LCD パネルに「123」を表示します。表示データレジスタの内容はこの表示に対応しています。

ここでは、1 桁目に表示される数字の「3」(三)を例にとって説明します。LCD パネルに「3」を表示するには、コモン信号 COM0 ~ COM7 の選択タイミングで、選択電圧または非選択電圧を SEG04 ~ SEG08 端子に印加する必要があります。セグメント信号と LCD セグメントの関係については、図 49.32 を参照してください。

表 49.19 選択 (1) および非選択 (0) データ (COM0 ~ COM7) の例

コモン \ セグメント	SEG04	SEG05	SEG06	SEG07	SEG08
COM0	選択	選択	選択	選択	選択
COM1	非選択	選択	非選択	非選択	非選択
COM2	非選択	非選択	選択	非選択	非選択
COM3	非選択	選択	非選択	非選択	非選択
COM4	選択	非選択	非選択	非選択	非選択
COM5	選択	非選択	非選択	非選択	選択
COM6	非選択	選択	選択	選択	非選択
COM7	非選択	非選択	非選択	非選択	非選択

表 49.19 の例では、SEG04 に対応する表示データレジスタ位置は 00110001b を含む必要があります。

SEG04 信号と各コモン信号との間の LCD 駆動波形の例を図 49.34 および図 49.35 に示します。COM0 のタイミングで SEG04 に選択電圧が印加されると、波形が生成され、対応する LCD セグメントが点灯します。

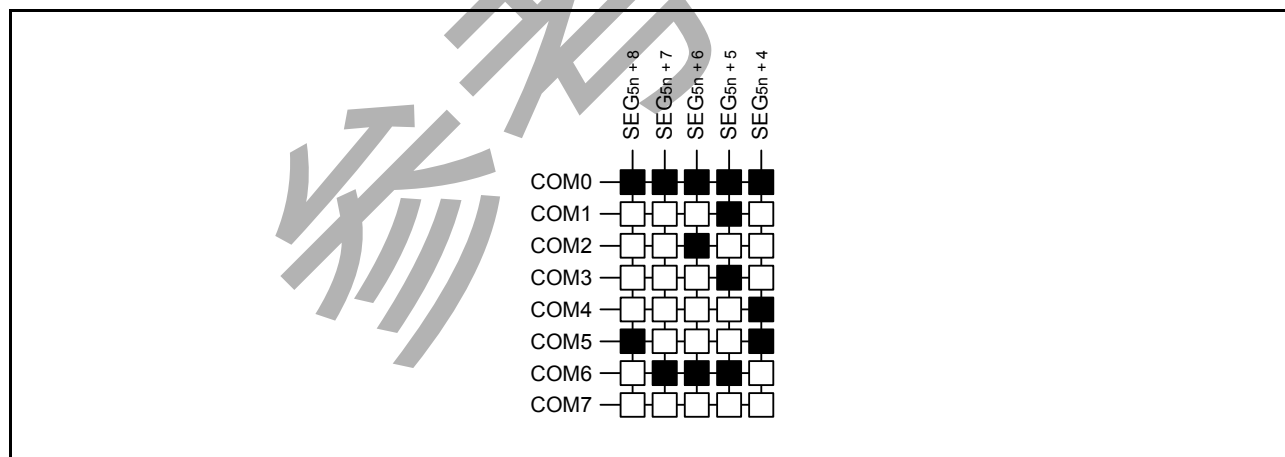


図 49.32 8 時分割 LCD 表示パターンと電極接続

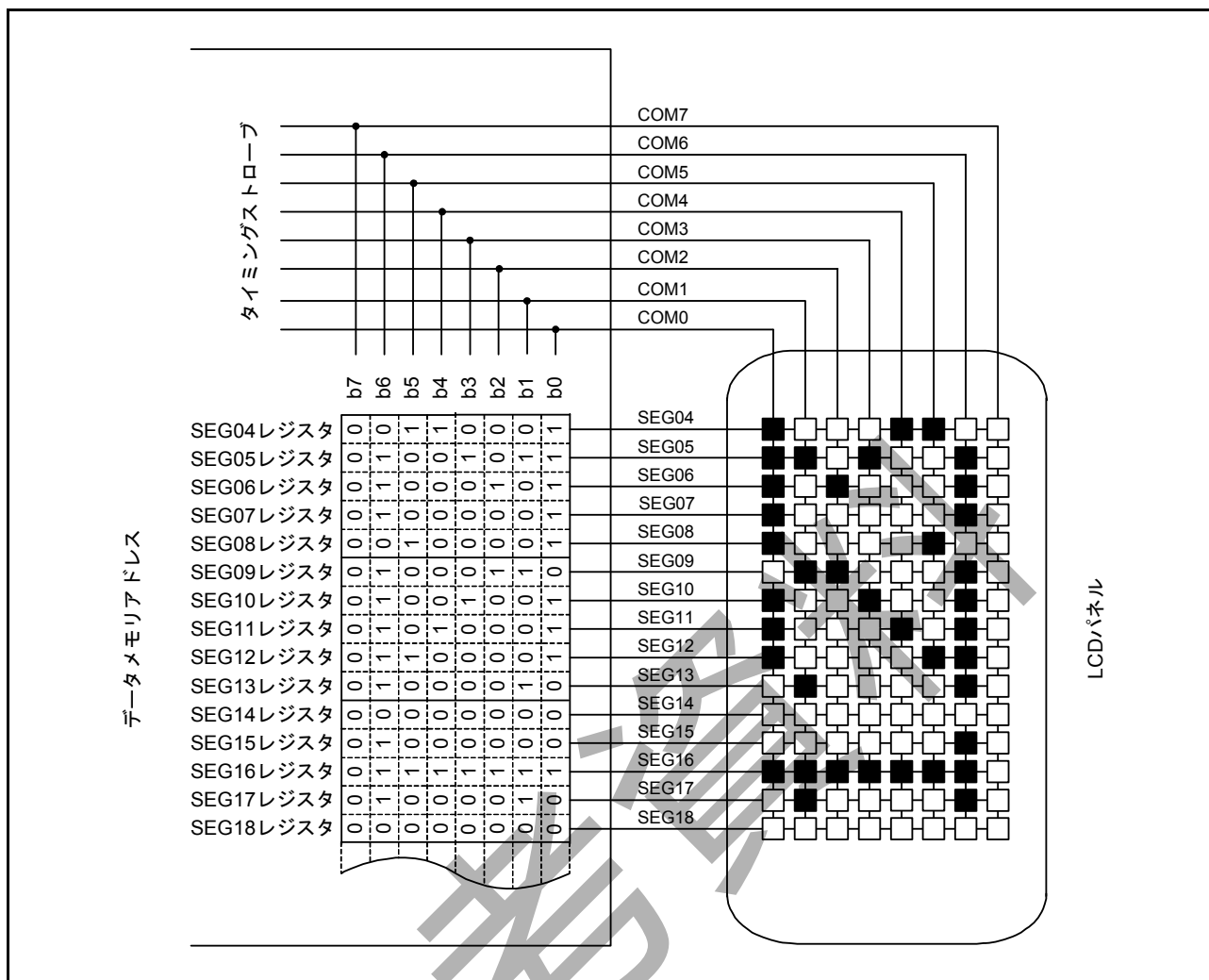


図 49.33 8 時分割 LCD パネルの接続例

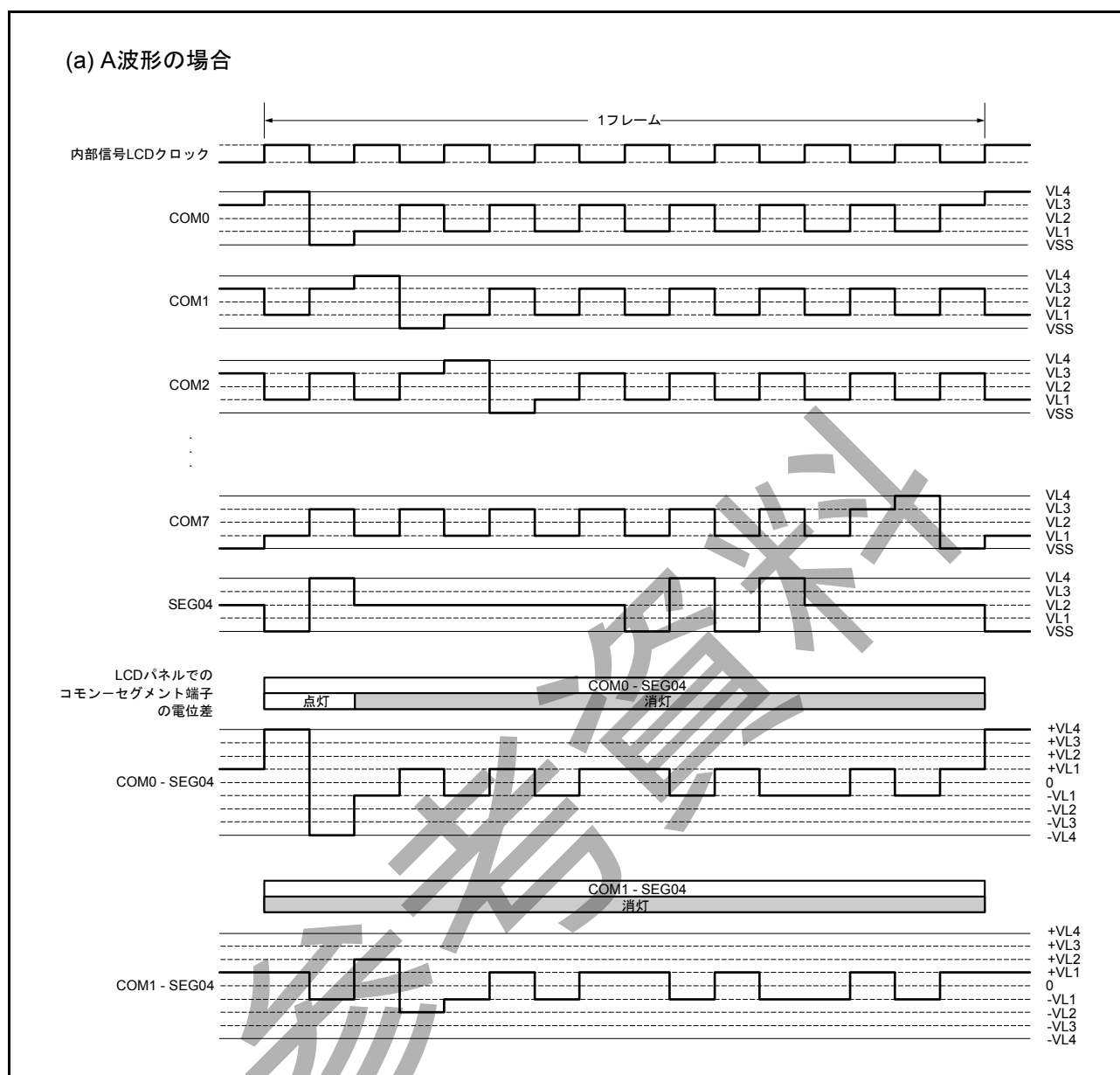


図 49.34 SEG04 と各コモン信号との間の 8 時分割 LCD 駆動波形例 (1/4 バイアス法) (1/2)

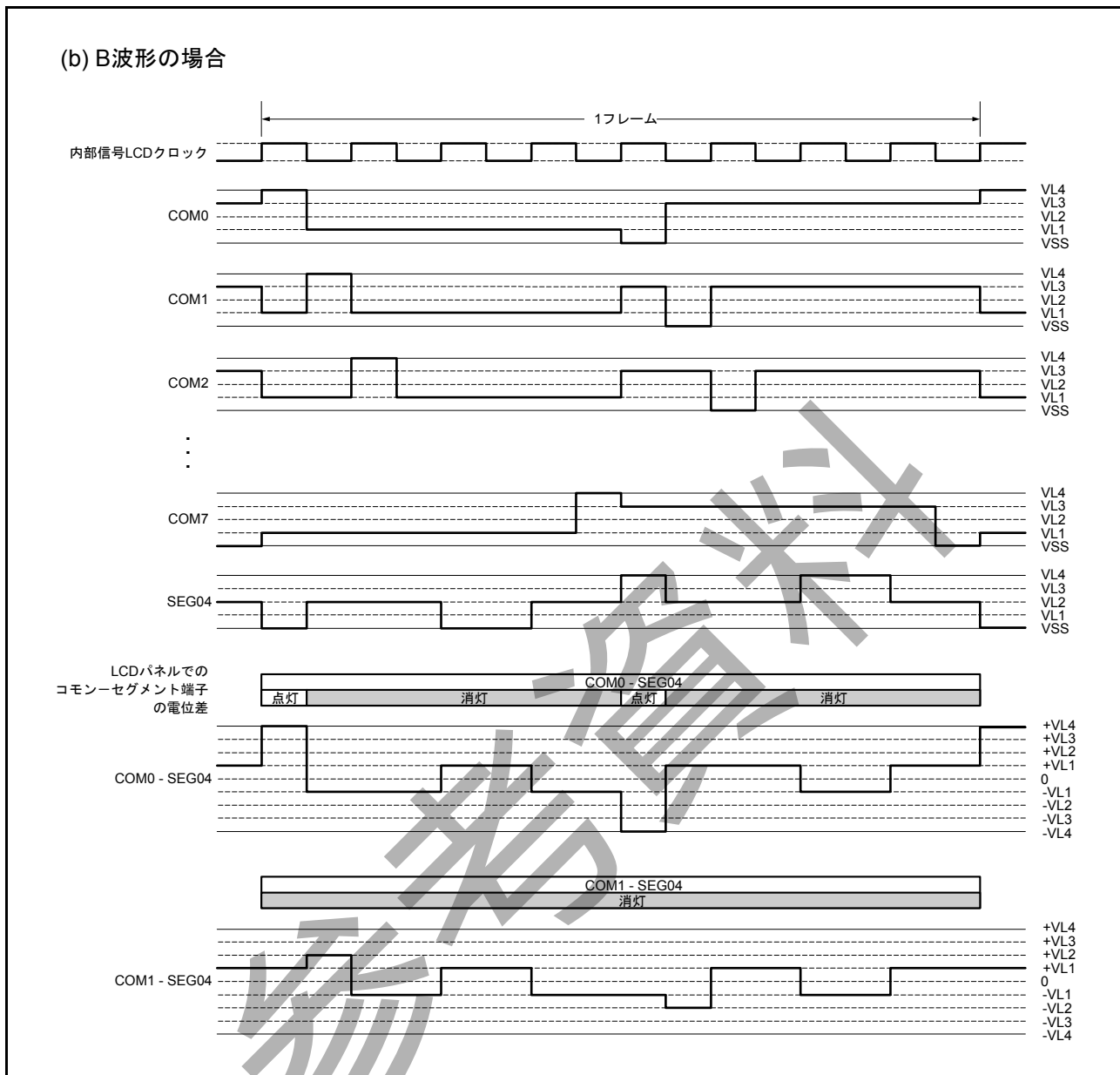


図 49.35 SEG04 と各コモン信号との間の 8 時分割 LCD 駆動波形例 (1/4 バイアス法) (2/2)

## 50. 内部電圧レギュレータ

### 50.1 概要

本 MCU は、入出力、アナログドメイン以外の内部回路およびメモリに電圧を供給するリニアレギュレータ (LDO) を内蔵しています。

### 50.2 動作説明

表 50.1 に LDO モードの端子設定を示します。図 50.1 に LDO モードの設定を示します。内部電圧は VCC から生成します。

表 50.1 LDOモード端子の設定内容

端子	設定内容
全VCC端子	<ul style="list-style-type: none"> <li>システムの電源に接続してください。</li> <li>0.1<math>\mu</math>Fの積層セラミックコンデンサを使用してVSSに接続してください。コンデンサは端子近くに配置してください。</li> </ul>
VCL端子	<ul style="list-style-type: none"> <li>4.7<math>\mu</math>Fの積層セラミックコンデンサを使用してVSSに接続してください。コンデンサは端子近くに配置してください。</li> </ul>

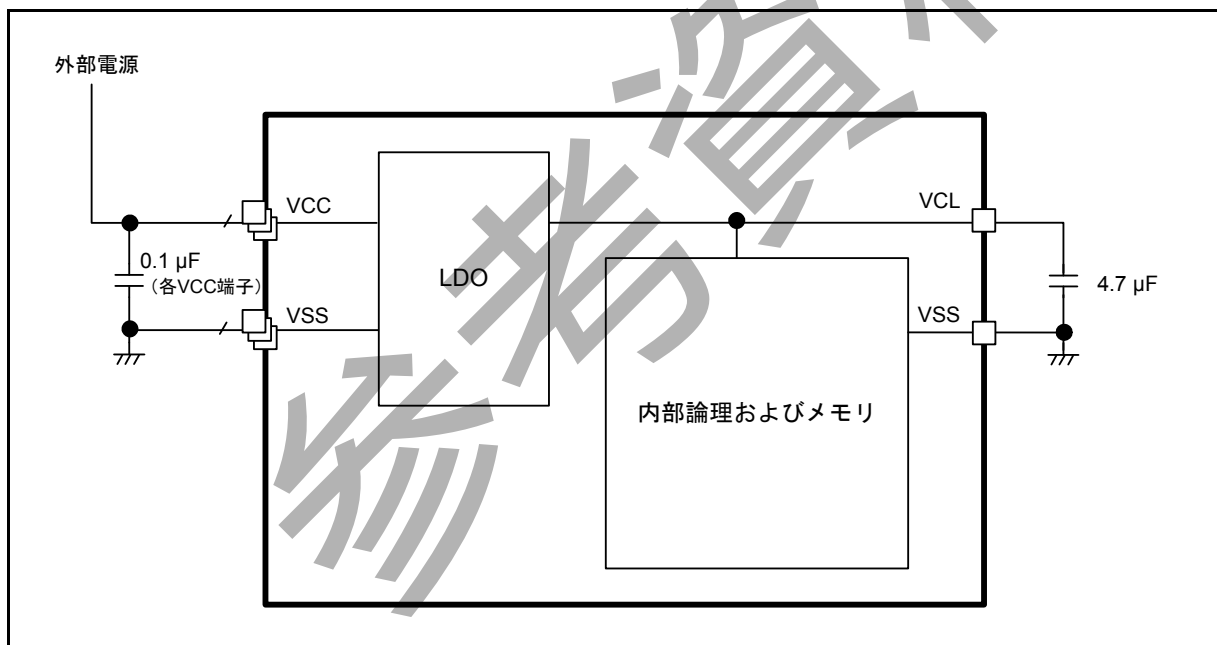


図 50.1 LDOモード設定



## 51. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

$V_{CC}$  (注1) =  $AVCC0$  =  $VCC\_USB$  (注2) =  $VCC\_USB\_LDO$  (注2) = 1.6 ~ 5.5V、 $V_{RERH}$  =  $V_{REFH0}$  = 1.6 ~  $AVCC0$ 、 $V_{BATT}$  = 1.6 ~ 3.6V、 $V_{SS}$  =  $AVSS0$  =  $V_{REFL}$  =  $V_{REFL0}$  =  $V_{SS\_USB}$  = 0V、 $T_a$  =  $T_{opr}$

注1. 通常は  $V_{CC}$  = 3.3V に設定されます。

注2. USBFS 未使用時

図 51.1 は、タイミング条件を示しています。

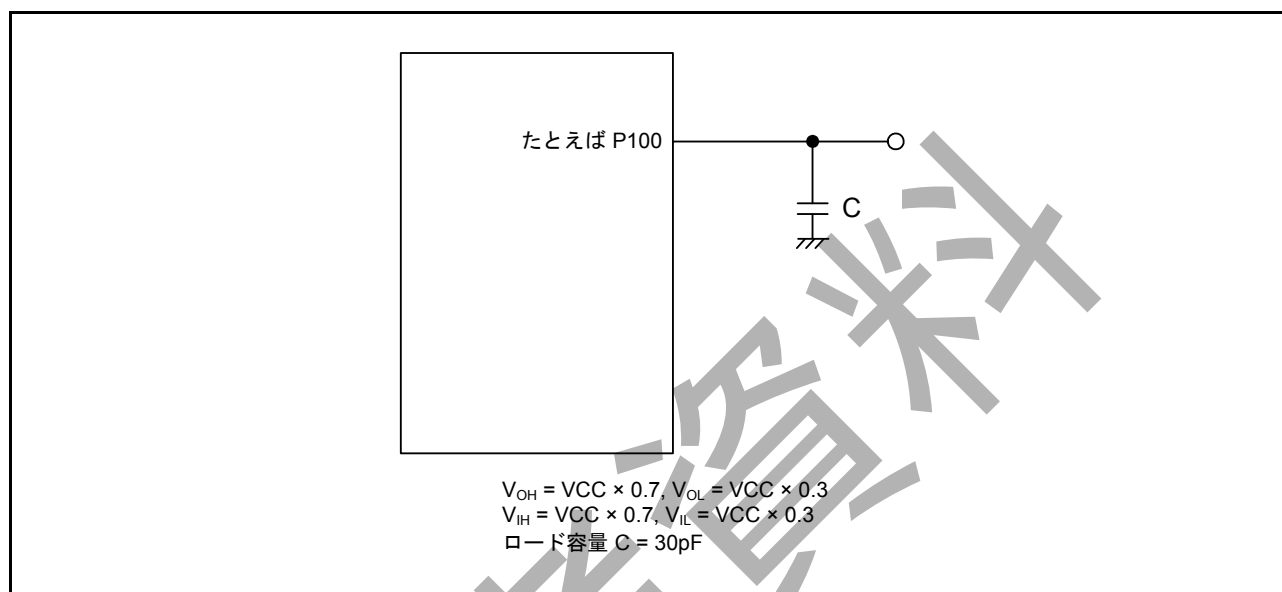


図 51.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザ条件に合うように、各端子の駆動能力を調整してください。

## 51.1 絶対最大定格

表 51.1 絶対最大定格

項目		シンボル	値	単位
電源電圧		VCC	-0.5~+6.5	V
入力電圧	5Vトレラント対応ポート (注1)	$V_{in}$	-0.3~+6.5	V
	P000 ~ P015		-0.3~AVCC0 + 0.3	V
	その他		-0.3~VCC + 0.3	V
リファレンス電源電圧		VREFH0	-0.3~+6.5	V
		VREFH		V
VBATT電源電圧		VBATT	-0.5~+6.5	V
アナログ電源電圧		AVCC0	-0.5~+6.5	V
USB電源電圧		VCC_USB	-0.5~+6.5	V
		VCC_USB_LDO	-0.5~+6.5	V
アナログ入力電圧	AN000~AN015使用時	$V_{AN}$	-0.3~AVCC0 + 0.3	V
	AN016~AN027使用時		-0.3~VCC + 0.3	V
LCD電圧	VL1電圧	$V_{L1}$	-0.3~+2.8	V
	VL2電圧	$V_{L2}$	-0.3~+6.5	V
	VL3電圧	$V_{L3}$	-0.3~+6.5	V
	VL4電圧	$V_{L4}$	-0.3~+6.5	V
動作温度 (注2) (注3)		$T_{opr}$	-40~+105	°C
保存温度		$T_{stg}$	-55~+125	°C

**【使用上の注意】** 絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。  
 ノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、VCC\_USB 端子と VSS\_USB 端子の間、VREFH0 端子と VREFL0 端子の間、および VREFH 端子と VREFL 端子の間には周波特性の良いコンデンサを挿入してください。各電源端子になるべく近い場所に約 0.1 $\mu$ F のコンデンサを配置し、最も短く重いトレースを使用してください。また、コンデンサは安定容量として接続してください。  
 VCL 端子は、4.7 $\mu$ F のコンデンサを介して VSS 端子に接続してください。コンデンサは必ず端子近くに配置してください。

- 注 1. P205、P206、P400 ~ P404、P407、P511、P512 の各ポートは 5V トレラント対応です。  
 デバイスの電源が切れている状態で信号や I/O プルアップ電源を入力しないでください。信号または I/O プルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部要素を劣化させる恐れがあります。
- 注 2. 51.2.1 Tj/Ta の定義を参照してください。
- 注 3. Ta = +85 ~ +105 °C の場合のディレーティング動作については、弊社営業担当までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。

表 51.2 推奨動作条件

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC (注1) (注2)	USBFS未使用時	1.6	-	5.5	V
		USBFS使用時 USBレギュレータ無効	VCC_USB	-	3.6	V
		USBFS使用時 USBレギュレータ有効	VCC_USB _LDO	-	5.5	V
	VSS	-	0	-	V	
USB電源電圧	VCC_USB	USBFS未使用時	-	VCC	-	V
		USBFS使用時 USBレギュレータ無効 (入力)	3.0	3.3	3.6	V
	VCC_USB_LDO	USBFS未使用時	-	VCC	-	V
		USBFS使用時 USBレギュレータ有効	3.8	-	5.5	V
	VSS_USB	-	0	-	V	
VBATT電源電圧	VBATT	バッテリーバックアップ 機能未使用時	-	VCC	-	V
		バッテリーバックアップ 機能使用時	1.6	-	3.6	V
アナログ電源電圧	AVCC0 (注1) (注2)		1.6	-	5.5	V
	AVSS0		-	0	-	V
	VREFH0	ADC14基準として使用 時	1.6	-	AVCC0	V
	VREFL0		-	0	-	V
	VREFH	DAC12基準として使用 時	1.6	-	AVCC0	V
	VREFL		-	0	-	V

注 1. 下記の条件で AVCC0 と VCC を使用してください：  
VCC  $\geq$  2.0V のとき、AVCC0 と VCC は動作範囲内で個別に設定可能  
VCC < 2.0V のとき、AVCC0 = VCC

注 2. VCC 端子および AVCC0 端子に電源を投入する場合、両方同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子の順番で電源投入してください。

## 51.2 DC 特性

## 51.2.1 Tj/Ta の定義

表 51.3 DC 特性

条件：動作温度 (T<sub>a</sub>) が -40 ~ +105°C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	T <sub>j</sub>	-	125	°C	High-speed モード Middle-speed モード Low-speed モード Low-voltage モード Subosc-speed モード

注. T<sub>j</sub> = T<sub>a</sub> + θ<sub>ja</sub> × 総消費電力 (W) となるようにしてください。このとき、総消費電力 = (VCC - V<sub>OH</sub>) × ΣI<sub>OH</sub> + V<sub>OL</sub> × ΣI<sub>OL</sub> + I<sub>CCmax</sub> × VCC です。

51.2.2 I/O V<sub>IH</sub>, V<sub>IL</sub>表 51.4 I/O V<sub>IH</sub>, V<sub>IL</sub> (1)

条件：VCC = 2.7 ~ 5.5V、AVCC0 = 2.7 ~ 5.5V、VBATT = 1.6 ~ 3.6V、VSS = AVSS0 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件	
シュミットトリガ入力電圧	IIC (注1) (SMBus を除く)	V <sub>IH</sub>	VCC × 0.7	-	5.8	V	-
		V <sub>IL</sub>	-0.3	-	VCC × 0.3		
		ΔV <sub>T</sub>	VCC × 0.05	-	-		
	RES, NMI IIC を除くその他の周辺入力端子	V <sub>IH</sub>	VCC × 0.8	-	VCC + 0.3		
		V <sub>IL</sub>	-0.3	-	VCC × 0.2		
		ΔV <sub>T</sub>	VCC × 0.1	-	-		
入力電圧 (シュミットトリガ入力端子を除く)	IIC (SMBus) (注2)	V <sub>IH</sub>	2.2	-	VCC + 0.3	-	VCC = 3.6 ~ 5.5V
		V <sub>IH</sub>	2.0	-	VCC + 0.3		VCC = 2.7 ~ 3.6V
		V <sub>IL</sub>	-0.3	-	0.8		
	5Vトレラント対応ポート (注3)	V <sub>IH</sub>	VCC × 0.8	-	5.8		
		V <sub>IL</sub>	-0.3	-	VCC × 0.2		
	P000 ~ P015	V <sub>IH</sub>	AVCC0 × 0.8	-	AVCC + 0.3		
		V <sub>IL</sub>	-0.3	-	AVCC0 × 0.2		
	EXTAL D00 ~ D15 P000 ~ P015 を除く入力ポート端子	V <sub>IH</sub>	VCC × 0.8	-	VCC + 0.3		
		V <sub>IL</sub>	-0.3	-	VCC × 0.2		
	V <sub>BATT</sub> 電源選択時	P402, P403, P404	V <sub>IH</sub>	V <sub>BATT</sub> × 0.8	-		V <sub>BATT</sub> + 0.3
			V <sub>IL</sub>	-0.3	-		V <sub>BATT</sub> × 0.2
			ΔV <sub>T</sub>	V <sub>BATT</sub> × 0.05	-		-

注 1. SCL0\_A, SDA0\_A, SCL1\_A, SDA1\_A, SCL2, SDA2, SDA0\_B (合計 7 端子)

注 2. SCL0\_A, SDA0\_A, SCL0\_B, SDA0\_B, SCL1\_A, SDA1\_A, SCL1\_B, SDA1\_B, SCL2, SDA2 (合計 10 端子)

注 3. P205, P206, P400 ~ P404, P407, P511, P512 (合計 10 端子)

表 51.5 I/O  $V_{IH}$ ,  $V_{IL}$  (2)条件:  $V_{CC} = 1.6 \sim 2.7V$ 、 $AV_{CC0} = 1.6 \sim 2.7V$ 、 $V_{BATT} = 1.6 \sim 3.6V$ 、 $V_{SS} = AV_{SS0} = 0V$ 

項目	シンボル	Min	Typ	Max	単位	測定条件	
シュミットトリガ 入力電圧	RES, NMI 周辺入力端子	$V_{IH}$	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	-
		$V_{IL}$	-0.3	-	$V_{CC} \times 0.2$		
		$\Delta V_T$	$V_{CC} \times 0.01$	-	-		
入力電圧 (シュ ミットトリガ入力 端子を除く)	5Vトレラント対応ポート (注1)	$V_{IH}$	$V_{CC} \times 0.8$	-	5.8		
		$V_{IL}$	-0.3	-	$V_{CC} \times 0.2$		
	P000 ~ P015	$V_{IH}$	$AV_{CC0} \times 0.8$	-	$AV_{CC} + 0.3$		
		$V_{IL}$	-0.3	-	$AV_{CC0} \times 0.2$		
	EXTAL D0 ~ D15 P000 ~ P015を除く入力ポート 端子	$V_{IH}$	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$		
		$V_{IL}$	-0.3	-	$V_{CC} \times 0.2$		
$V_{BATT}$ 電源選択時	P402, P403, P404	$V_{IH}$	$V_{BATT} \times 0.8$	-	$V_{BATT} + 0.3$		
		$V_{IL}$	-0.3	-	$V_{BATT} \times 0.2$		
		$\Delta V_T$	$V_{BATT} \times 0.01$	-	-		

注 1. P205、P206、P400 ~ P404、P407、P511、P512 (合計 10 端子)

51.2.3 I/O  $I_{OH}$ ,  $I_{OL}$ 

表 51.6 I/O  $I_{OH}$ ,  $I_{OL}$   
 条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位			
許容出力電流 (端子ごとの平均値)	ポート P000 ~ P015、 ポート P212、P213	$I_{OH}$	-	-	-4.0	mA		
		$I_{OL}$	-	-	4.0	mA		
	ポート P408、P409	低駆動 (注1)	$I_{OH}$	-	-	-4.0	mA	
			$I_{OL}$	-	-	4.0	mA	
		中駆動 (注2) VCC = 2.7 ~ 3.0V	$I_{OH}$	-	-	-8.0	mA	
			$I_{OL}$	-	-	8.0	mA	
		中駆動 (注2) VCC = 3.0 ~ 5.5V	$I_{OH}$	-	-	-20.0	mA	
			$I_{OL}$	-	-	20.0	mA	
	ポート P100 ~ P115、 P201 ~ P204、P300 ~ P315、 P500 ~ P503、P600 ~ P606、 P608 ~ P614、P800 ~ P809、 P900 ~ P902 (合計 67 端子)	低駆動 (注1)	$I_{OH}$	-	-	-4.0	mA	
			$I_{OL}$	-	-	4.0	mA	
		中駆動 (注2)	$I_{OH}$	-	-	-4.0	mA	
			$I_{OL}$	-	-	8.0	mA	
		その他の出力端子 (注3)	低駆動 (注1)	$I_{OH}$	-	-	-4.0	mA
				$I_{OL}$	-	-	4.0	mA
中駆動 (注2)	$I_{OH}$		-	-	-8.0	mA		
	$I_{OL}$		-	-	8.0	mA		
許容出力電流 (端子ごとの最大値)	ポート P000 ~ P015、 ポート P212、P213	$I_{OH}$	-	-	-4.0	mA		
		$I_{OL}$	-	-	4.0	mA		
	ポート P408、P409	低駆動 (注1)	$I_{OH}$	-	-	-4.0	mA	
			$I_{OL}$	-	-	4.0	mA	
		中駆動 (注2) VCC = 2.7 ~ 3.0V	$I_{OH}$	-	-	-8.0	mA	
			$I_{OL}$	-	-	8.0	mA	
		中駆動 (注2) VCC = 3.0 ~ 5.5V	$I_{OH}$	-	-	-20.0	mA	
			$I_{OL}$	-	-	20.0	mA	
	ポート P100 ~ P115、 P201 ~ P204、P300 ~ P315、 P500 ~ P503、P600 ~ P606、 P608 ~ P614、P800 ~ P809、 P900 ~ P902 (合計 67 端子)	低駆動 (注1)	$I_{OH}$	-	-	-4.0	mA	
			$I_{OL}$	-	-	4.0	mA	
		中駆動 (注2)	$I_{OH}$	-	-	-4.0	mA	
			$I_{OL}$	-	-	8.0	mA	
		その他の出力端子 (注3)	低駆動 (注1)	$I_{OH}$	-	-	-4.0	mA
				$I_{OL}$	-	-	4.0	mA
中駆動 (注2)	$I_{OH}$		-	-	-8.0	mA		
	$I_{OL}$		-	-	8.0	mA		
許容出力電流 (全端子の最大値)	ポート P000 ~ P015 の総和	$\Sigma I_{OH} (max)$	-	-	-30	mA		
		$\Sigma I_{OL} (max)$	-	-	30	mA		
	全出力端子の総和	$\Sigma I_{OH} (max)$	-	-	-60	mA		
		$\Sigma I_{OL} (max)$	-	-	60	mA		

**【使用上の注意】** 本 MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 $\mu$ s の間に計測した電流の平均値を意味します。

- 注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。  
 注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。  
 注 3. 入力ポートである P200、P214、P215 を除きます。

51.2.4 I/O  $V_{OH}$ 、 $V_{OL}$ 、その他の特性表 51.7 I/O  $V_{OH}$ 、 $V_{OL}$  (1)条件 :  $V_{CC} = AV_{CC0} = 4.0 \sim 5.5V$ 

項目		シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	IIC (注1) (注2)	$V_{OL}$	-	-	0.4	V	$I_{OL} = 3.0mA$	
		$V_{OL}$	-	-	0.6		$I_{OL} = 6.0mA$	
	ポート P408、P409 (注2) (注3)	$V_{OH}$	$V_{CC} - 1.0$	-	-		$I_{OH} = -20mA$	
		$V_{OL}$	-	-	1.0		$I_{OL} = 20mA$	
	ポート P000 ~ P004、P010 ~ P015	低駆動	$V_{OH}$	$AV_{CC0} - 0.8$	-		-	$I_{OH} = -2.0mA$
			$V_{OL}$	-	-		0.8	$I_{OL} = 2.0mA$
		中駆動	$V_{OH}$	$AV_{CC0} - 0.8$	-		-	$I_{OH} = -4.0mA$
			$V_{OL}$	-	-		0.8	$I_{OL} = 4.0mA$
	その他の出力端子 (注4)	低駆動	$V_{OH}$	$V_{CC} - 0.8$	-		-	$I_{OH} = -2.0mA$
			$V_{OL}$	-	-		0.8	$I_{OL} = 2.0mA$
		中駆動	$V_{OH}$	$V_{CC} - 0.8$	-		-	$I_{OH} = -4.0mA$
			$V_{OL}$	-	-		0.8	$I_{OL} = 4.0mA$

注 1. SCL0\_A、SDA0\_A、SCL0\_B、SDA0\_B、SCL1\_A、SDA1\_A、SCL1\_B、SDA1\_B、SCL2、SDA2 (合計 10 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づき、製品試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

表 51.8 I/O  $V_{OH}$ 、 $V_{OL}$  (2)条件 :  $V_{CC} = AV_{CC0} = 2.7 \sim 4.0V$ 

項目		シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	IIC (注1) (注2)	$V_{OL}$	-	-	0.4	V	$I_{OL} = 3.0mA$	
		$V_{OL}$	-	-	0.6		$I_{OL} = 6.0mA$	
	ポート P408、P409 (注2) (注3)	$V_{OH}$	$V_{CC} - 1.0$	-	-		$I_{OH} = -20mA$ $V_{CC} = 3.3V$	
		$V_{OL}$	-	-	1.0		$I_{OL} = 20mA$ $V_{CC} = 3.3V$	
	ポート P000 ~ P004、P010 ~ P015	低駆動	$V_{OH}$	$AV_{CC0} - 0.5$	-		-	$I_{OH} = -1.0mA$
			$V_{OL}$	-	-		0.5	$I_{OL} = 1.0mA$
		中駆動	$V_{OH}$	$AV_{CC0} - 0.5$	-		-	$I_{OH} = -2.0mA$
			$V_{OL}$	-	-		0.5	$I_{OL} = 2.0mA$
	その他の出力端子 (注4)	低駆動	$V_{OH}$	$V_{CC} - 0.5$	-		-	$I_{OH} = -1.0mA$
			$V_{OL}$	-	-		0.5	$I_{OL} = 1.0mA$
		中駆動	$V_{OH}$	$V_{CC} - 0.5$	-		-	$I_{OH} = -2.0mA$
			$V_{OL}$	-	-		0.5	$I_{OL} = 2.0mA$

注 1. SCL0\_A、SDA0\_A、SCL0\_B、SDA0\_B、SCL1\_A、SDA1\_A、SCL1\_B、SDA1\_B、SCL2、SDA2 (合計 10 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づき、製品試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

表 51.9 I/O  $V_{OH}$ ,  $V_{OL}$  (3)条件 :  $V_{CC} = AV_{CC0} = 1.6 \sim 2.7V$ 

項目		シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	ポート P000 ~ P004、 P010 ~ P015	低駆動	$V_{OH}$	$AV_{CC0} - 0.3$	-	-	V	$I_{OH} = -0.5mA$
			$V_{OL}$	-	-	0.3		$I_{OL} = 0.5mA$
		中駆動	$V_{OH}$	$AV_{CC0} - 0.3$	-	-		$I_{OH} = -1.0mA$
			$V_{OL}$	-	-	0.3		$I_{OL} = 1.0mA$
	その他の出力端子 (注1)	低駆動	$V_{OH}$	$V_{CC} - 0.3$	-	-		$I_{OH} = -0.5mA$
			$V_{OL}$	-	-	0.3		$I_{OL} = 0.5mA$
		中駆動	$V_{OH}$	$V_{CC} - 0.3$	-	-		$I_{OH} = -1.0mA$
			$V_{OL}$	-	-	0.3		$I_{OL} = 1.0mA$

注 1. 入力ポートである P200、P214、P215 を除きます。

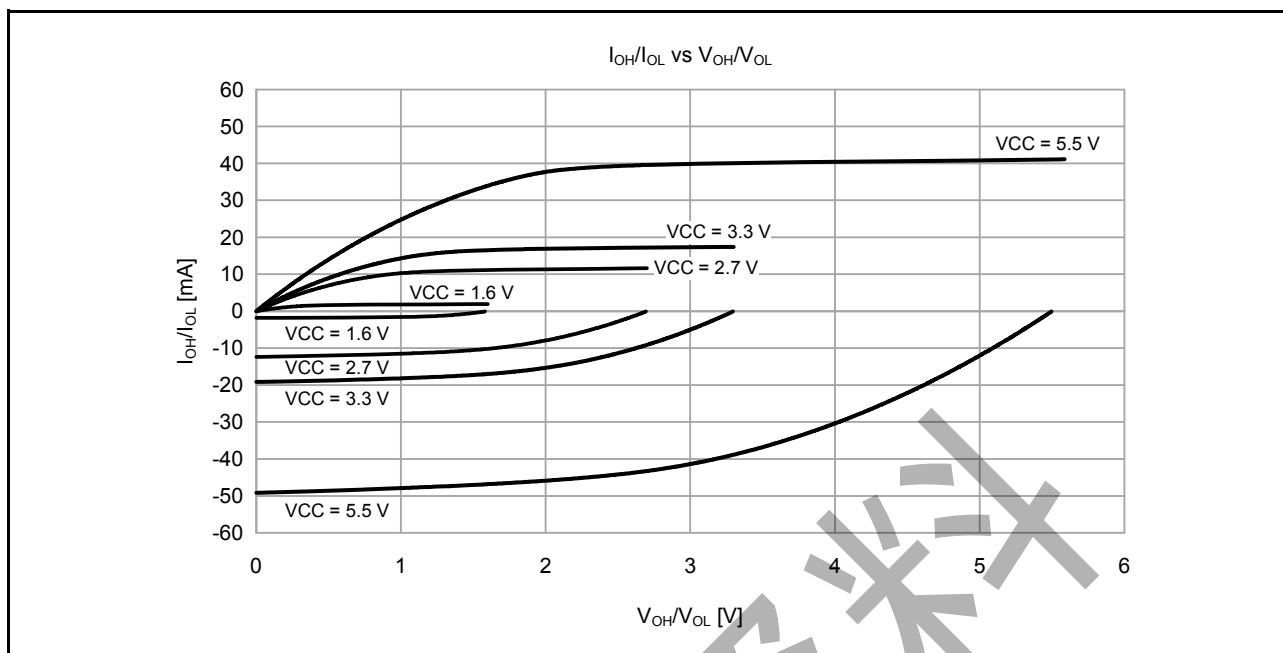
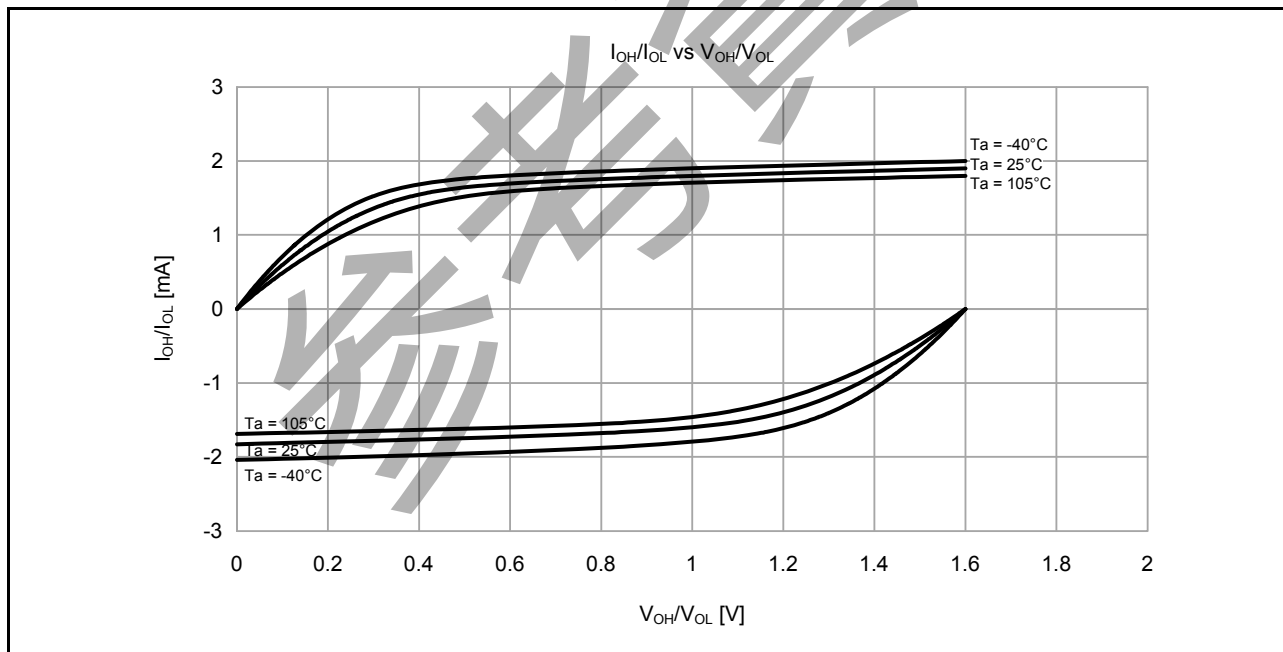
表 51.10 I/O その他の特性

条件 :  $V_{CC} = AV_{CC0} = 1.6 \sim 5.5V$ 

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES, P200, P214, P215	$ I_{in} $	-	-	1.0	$\mu A$	$V_{in} = 0V$ $V_{in} = V_{CC}$
スリーステートリーク電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	-	-	1.0	$\mu A$	$V_{in} = 0V$ $V_{in} = 5.8V$
	その他のポート (ポート P200、P214、P215、 および5Vトレラントポートを 除く)		-	-	1.0		$V_{in} = 0V$ $V_{in} = V_{CC}$
入力プルアップ抵抗	全ポート (ポート P200、P214、P215を 除く)	$R_U$	10	20	50	$k\Omega$	$V_{in} = 0V$
入力容量	USB_DP、USB_DM、 P100 ~ P103、P111、P112、 P200	$C_{in}$	-	-	30	$pF$	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25^\circ C$
	その他の入力端子		-	-	15		



## 51.2.5 低駆動能力の入出力端子出力特性

図 51.2 低駆動出力選択時の Ta = 25 °Cでの V<sub>OH</sub>/V<sub>OL</sub> および I<sub>OH</sub>/I<sub>OL</sub> 電圧特性 (参考データ)図 51.3 低駆動出力選択時の VCC = 1.6V での V<sub>OH</sub>/V<sub>OL</sub> および I<sub>OH</sub>/I<sub>OL</sub> 温度特性 (参考データ)

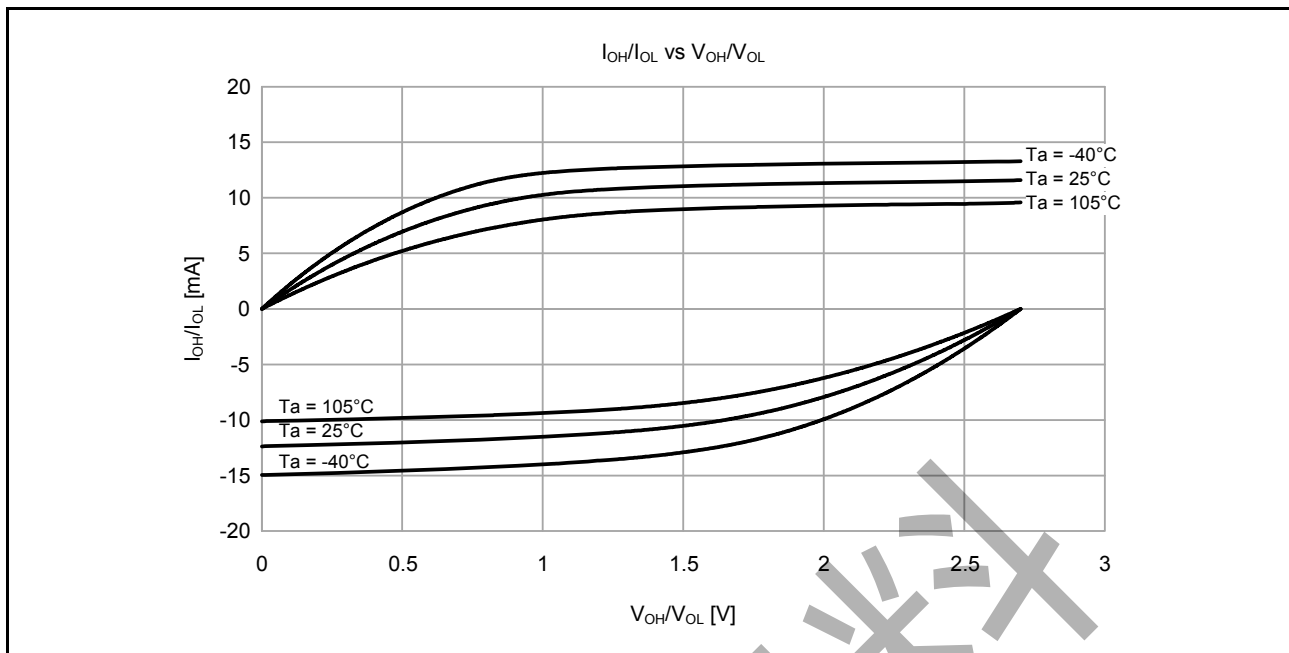


図 51.4 低駆動出力選択時の  $V_{CC} = 2.7V$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

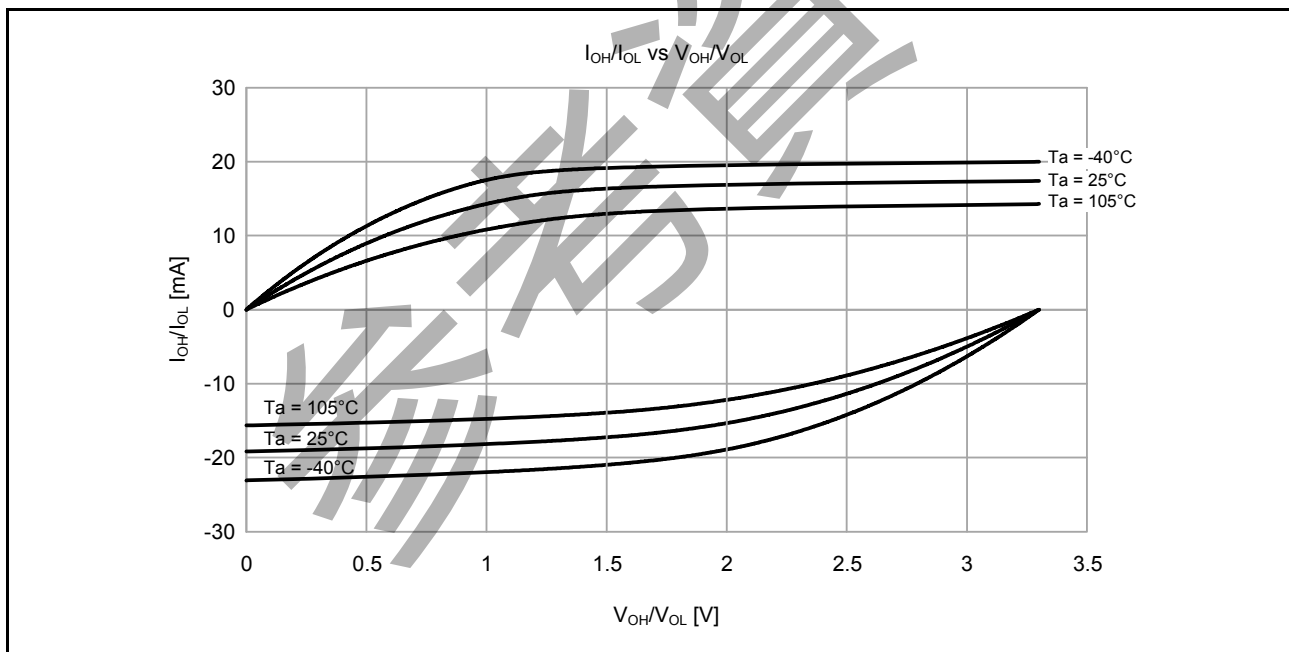


図 51.5 低駆動出力選択時の  $V_{CC} = 3.3V$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

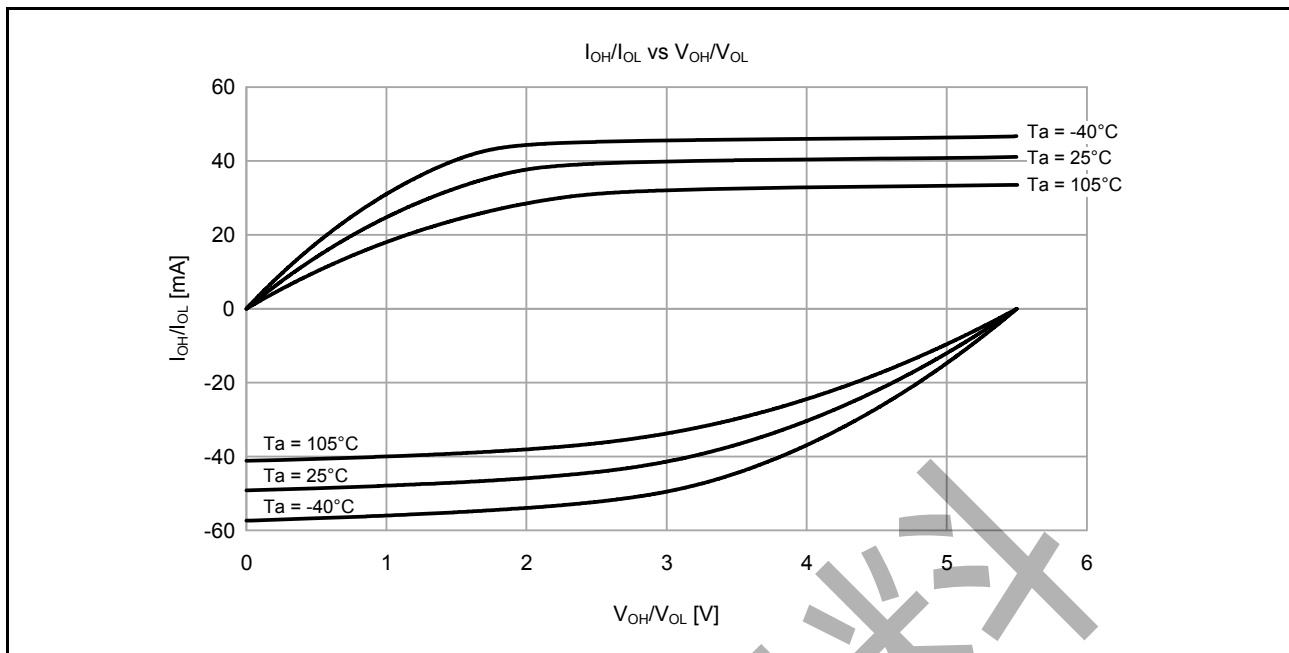
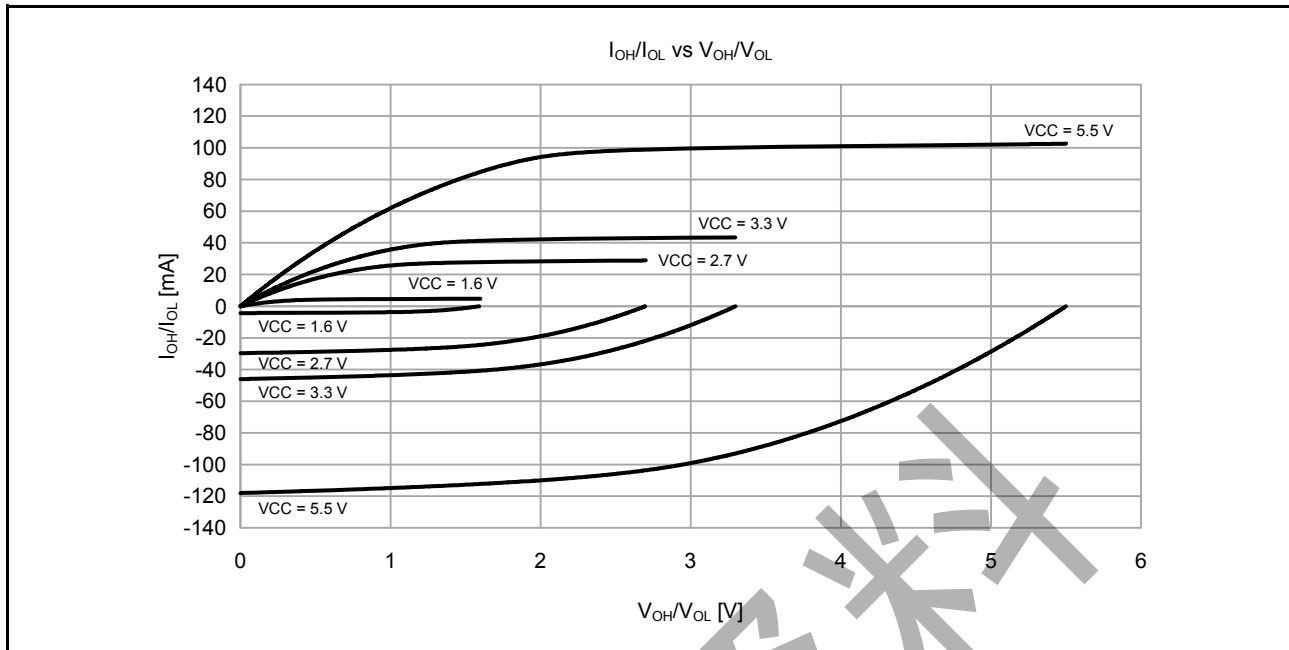
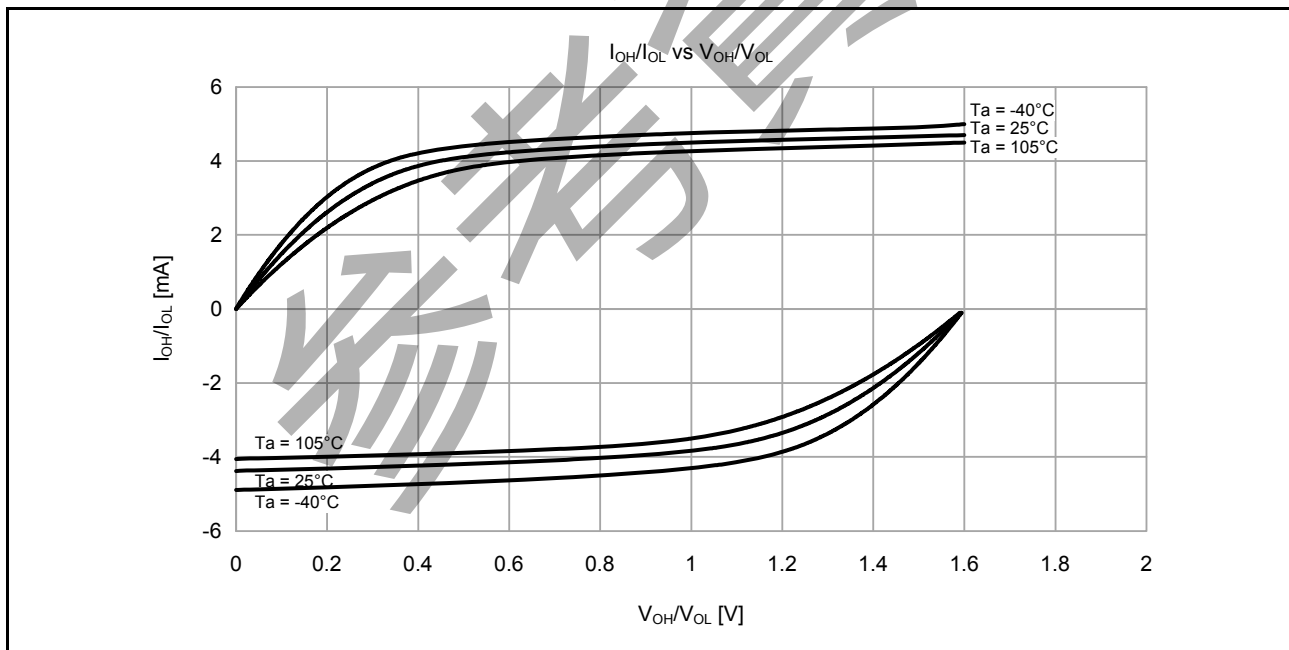


図 51.6 低駆動出力選択時の  $V_{CC} = 5.5\text{V}$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

## 51.2.6 中駆動能力の入出力端子出力特性

図 51.7 中駆動出力選択時の Ta = 25 °Cでの V<sub>OH</sub>/V<sub>OL</sub> および I<sub>OH</sub>/I<sub>OL</sub> 電圧特性 (参考データ)図 51.8 中駆動出力選択時の VCC = 1.6V での V<sub>OH</sub>/V<sub>OL</sub> および I<sub>OH</sub>/I<sub>OL</sub> 温度特性 (参考データ)

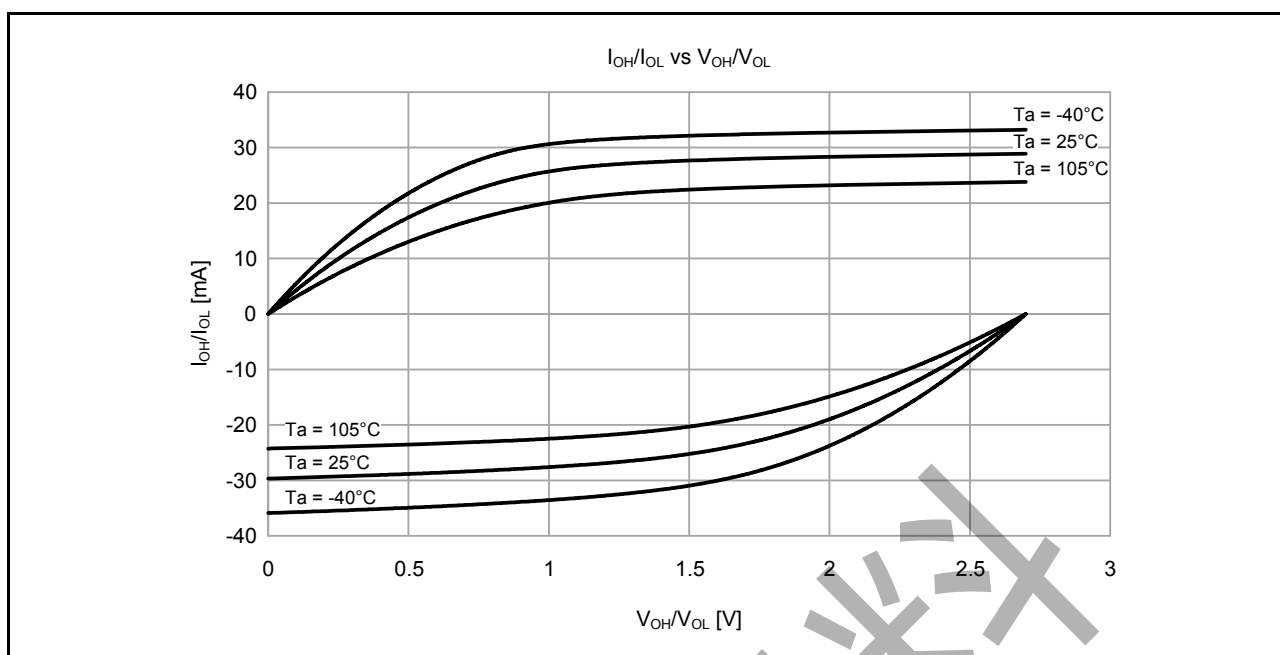


図 51.9 中駆動出力選択時の  $V_{CC} = 2.7V$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

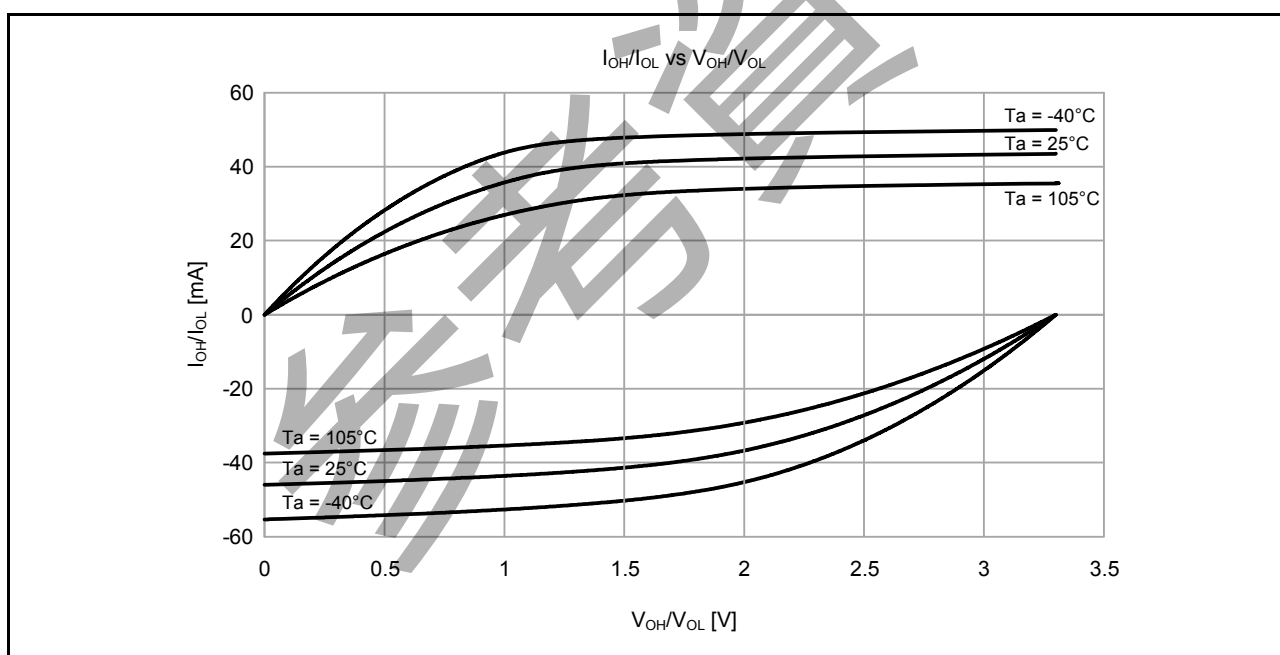


図 51.10 中駆動出力選択時の  $V_{CC} = 3.3V$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

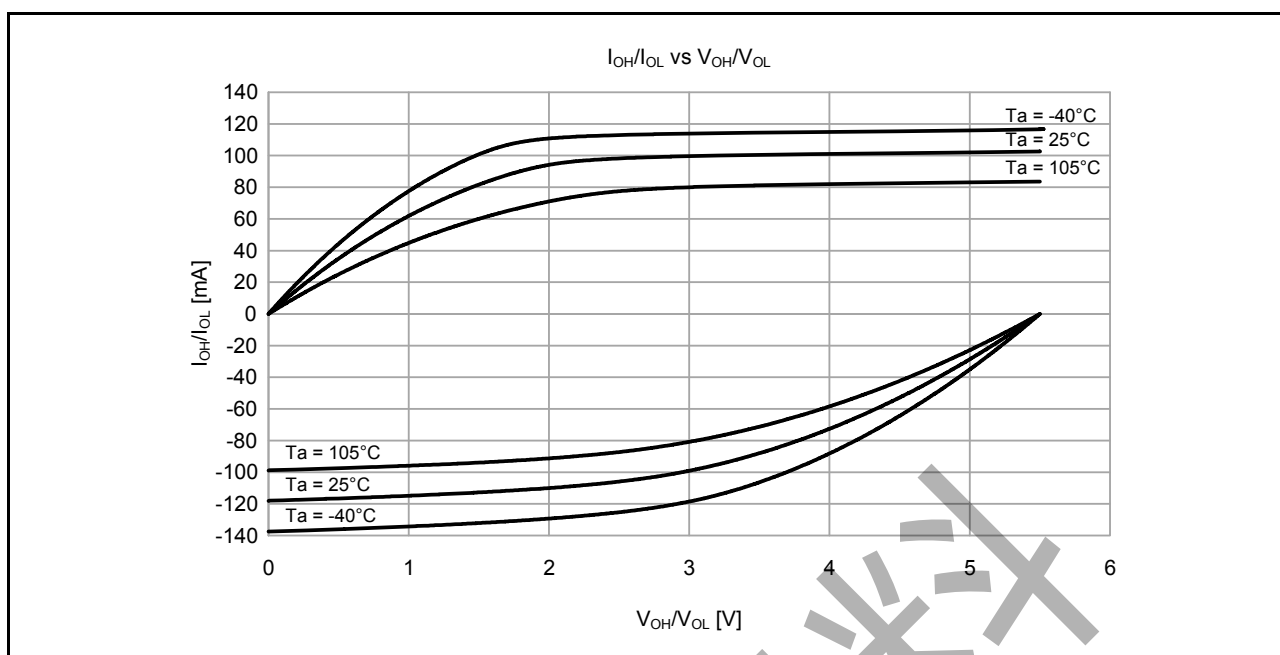


図 51.11 中駆動出力選択時の VCC = 5.5V での V<sub>OH</sub>/V<sub>OL</sub> および I<sub>OH</sub>/I<sub>OL</sub> 温度特性 (参考データ)

51.2.7 中駆動能力の P408、P409 入出力端子出力特性

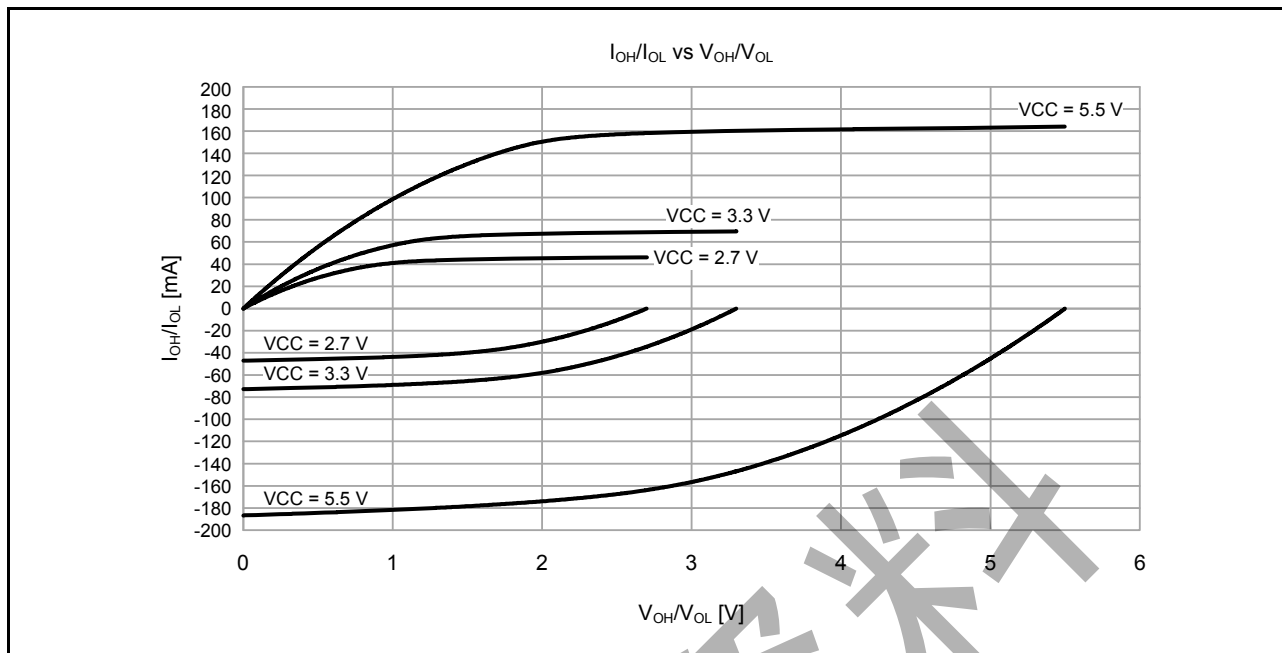


図 51.12 中駆動出力選択時の  $T_a = 25^\circ\text{C}$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  電圧特性 (参考データ)

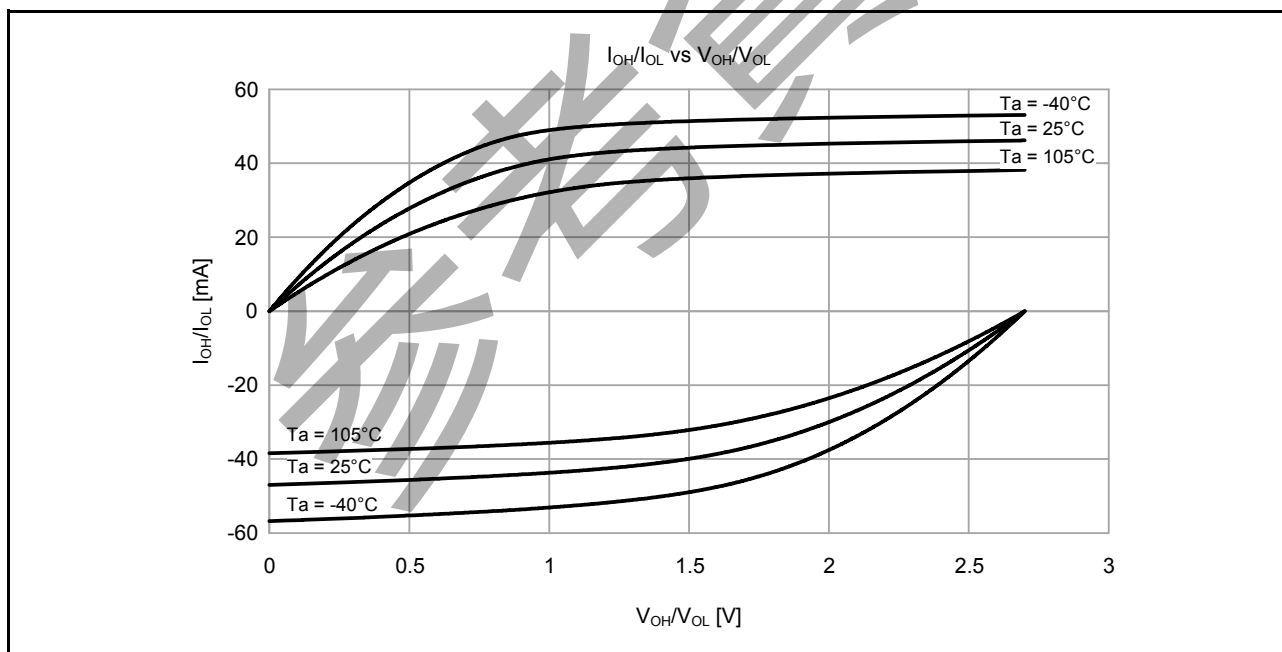


図 51.13 低駆動出力選択時の  $V_{CC} = 2.7\text{V}$  での  $V_{OH}/V_{OL}$  および  $I_{OH}/I_{OL}$  温度特性 (参考データ)

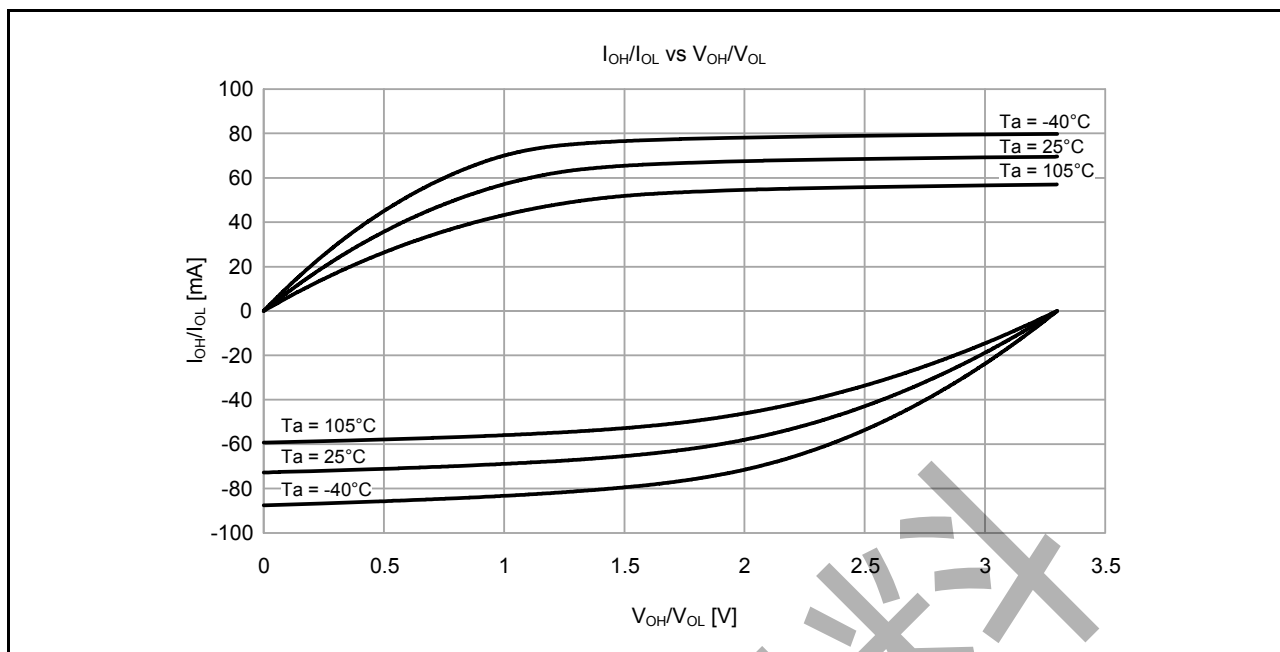


図 51.14 中駆動出力選択時の VCC = 3.3V での V<sub>OH</sub>/V<sub>OL</sub> および I<sub>OH</sub>/I<sub>OL</sub> 温度特性 (参考データ)

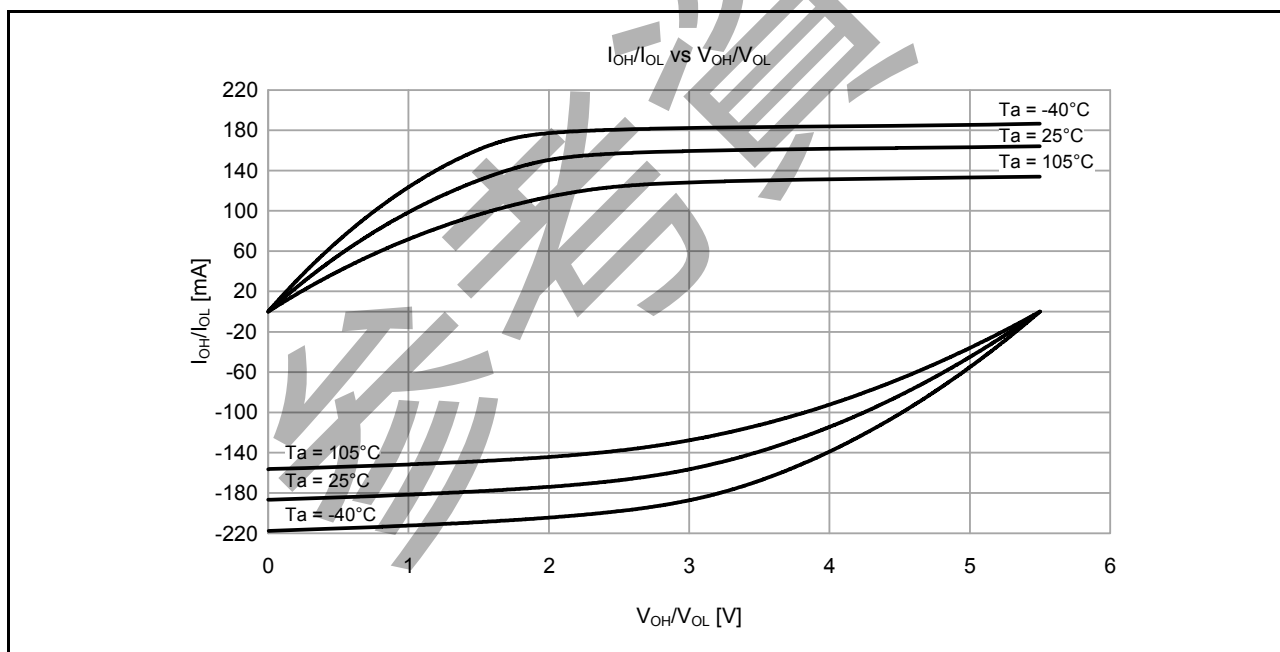


図 51.15 低駆動出力選択時の VCC = 5.5V での V<sub>OH</sub>/V<sub>OL</sub> および I<sub>OH</sub>/I<sub>OL</sub> 温度特性 (参考データ)



## 51.2.8 IIC 入出力端子出力特性

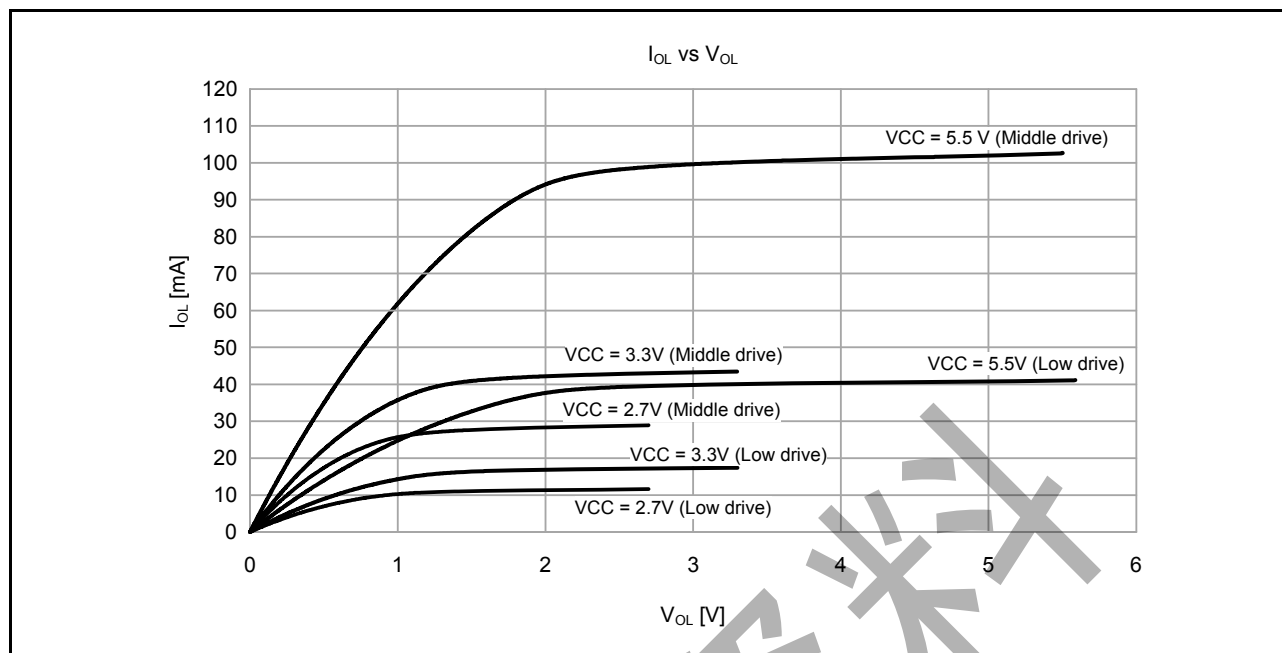


図 51.16 Ta = 25 °Cでの V<sub>OH</sub>/V<sub>OL</sub> および I<sub>OH</sub>/I<sub>OL</sub> 電圧特性

## 51.2.9 動作電流とスタンバイ電流

表 51.11 動作電流とスタンバイ電流 (1) (1/2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目				シンボル	Typ (注10)	Max	単位	測定条件					
消費電流 (注1)	High-speed モード (注2)	通常モード	すべての周辺クロックが 無効、コードはフラッ シュから実行 (注5)	ICLK = 48MHz	I <sub>CC</sub>	11.8	-	mA	(注7)				
				ICLK = 32MHz		8.6	-						
				ICLK = 16MHz		5.1	-						
				ICLK = 8MHz		3.4	-						
			すべての周辺クロックが 無効、CoreMarkコードは フラッシュから実行 (注5)	ICLK = 48MHz		18.6	-						
				ICLK = 32MHz		12.7	-						
				ICLK = 16MHz		7.2	-						
				ICLK = 8MHz		4.5	-						
			すべての周辺クロックが 有効、コードはフラッ シュから実行 (注5)	ICLK = 48MHz		30.1	-						
				ICLK = 32MHz		23.2	-						
				ICLK = 16MHz		12.6	-						
				ICLK = 8MHz		7.3	-						
	すべての周辺クロックが 有効、コードはSRAMか ら実行 (注5)	ICLK = 48MHz	-	75.0									
		スリープモード			I <sub>CC</sub>	mA	-	(注7)					
		すべての周辺クロックが 無効 (注5)	ICLK = 48MHz	6.4					-				
			ICLK = 32MHz	4.7					-				
	ICLK = 16MHz		3.2	-									
	ICLK = 8MHz		2.4	-									
	すべての周辺クロックが 有効 (注5)	ICLK = 48MHz	24.7	-									
		ICLK = 32MHz	19.2	-									
		ICLK = 16MHz	10.7	-									
		ICLK = 8MHz	6.4	-									
	BGO動作時の増加分 (注6)									2.5	-	-	
	Middle-speed モード (注2)	通常モード	通常モード	すべての周辺クロックが 無効、コードはフラッ シュから実行 (注5)					ICLK = 12MHz	I <sub>CC</sub>	3.6	-	mA
ICLK = 8MHz									3.0		-		
ICLK = 1MHz					1.4	-							
ICLK = 12MHz					5.2	-							
すべての周辺クロックが 無効、CoreMarkコードは フラッシュから実行 (注5)				ICLK = 8MHz	4.0	-							
				ICLK = 1MHz	1.6	-							
				ICLK = 12MHz	9.4	-							
				ICLK = 8MHz	6.9	-							
すべての周辺クロックが 有効、コードはフラッ シュから実行 (注5)				ICLK = 1MHz	2.2	-							
				ICLK = 12MHz	-	30.0							
				スリープモード			I <sub>CC</sub>	mA	-		(注7)		
				すべての周辺クロックが 無効 (注5)	ICLK = 12MHz	2.2						-	
ICLK = 8MHz		2.0	-										
ICLK = 1MHz		1.3	-										
ICLK = 12MHz		7.9	-										
すべての周辺クロックが 有効 (注5)		ICLK = 8MHz	5.9	-									
		ICLK = 1MHz	1.3	-									
		BGO動作時の増加分 (注6)								2.5		-	-

表 51.11 動作電流とスタンバイ電流 (1) (2/2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目				シンボル	Typ (注10)	Max	単位	測定条件	
消費電流 (注1)	Low-speed モード (注3)	通常モード	すべての周辺クロックが無効、コードはフラッシュから実行 (注5)	ICLK = 1MHz	I <sub>CC</sub>	0.5	-	mA	(注7)
			すべての周辺クロックが無効、CoreMarkコードはフラッシュから実行 (注5)	ICLK = 1MHz		0.7	-		
			すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 1MHz		1.5	-		(注8)
			すべての周辺クロックが有効、コードはSRAMから実行 (注5)	ICLK = 1MHz		-	3.2		
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 1MHz		0.4	-	(注7)	
			すべての周辺クロックが有効 (注5)	ICLK = 1MHz		1.3	-	(注8)	
	Low-voltage モード (注3)	通常モード	すべての周辺クロックが無効、コードはフラッシュから実行 (注5)	ICLK = 4MHz	I <sub>CC</sub>	2.5	-	mA	(注7)
			すべての周辺クロックが無効、CoreMarkコードはフラッシュから実行 (注5)	ICLK = 4MHz		3.0	-		
			すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 4MHz		4.5	-		(注8)
			すべての周辺クロックが有効、コードはSRAMから実行 (注5)	ICLK = 4MHz		-	11.2		
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 4MHz		2.0	-	(注7)	
			すべての周辺クロックが有効 (注5)	ICLK = 4MHz		4.0	-	(注8)	
Subosc-speed モード (注4)	通常モード	すべての周辺クロックが無効、コードはフラッシュから実行 (注5)	ICLK = 32.768kHz	I <sub>CC</sub>	13.5	-	μA	(注8)	
		すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 32.768kHz		25.0	-			
		すべての周辺クロックが有効、コードはSRAMから実行 (注5)	ICLK = 32.768kHz		-	214.1			
		スリープモード	すべての周辺クロックが無効 (注5)		ICLK = 32.768kHz	9.5			-
	すべての周辺クロックが有効 (注5)		ICLK = 32.768kHz		21.0	-			

- 注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS が OFF 状態のとき、この値が適用されます。
- 注 2. クロックソースは HOCO です。
- 注 3. クロックソースは MOCO です。
- 注 4. クロックソースはサブクロック発振器です。
- 注 5. BGO 動作は含まれません。
- 注 6. プログラム実行中に、データ保管のための ROM またはフラッシュメモリのプログラム/イレースを実行した場合の増加分です。
- 注 7. FCLK、BCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周に設定されています。
- 注 8. FCLK、BCLK、PCLKA、PCLKB、PCLKC、PCLKD は、ICLK と同じ周波数です。
- 注 9. FCLK、BCLK、PCLKB は、2 分周に設定されています。PCLKA、PCLKC、PCLKD は、ICLK と同じ周波数です。
- 注 10. VCC = 3.3V

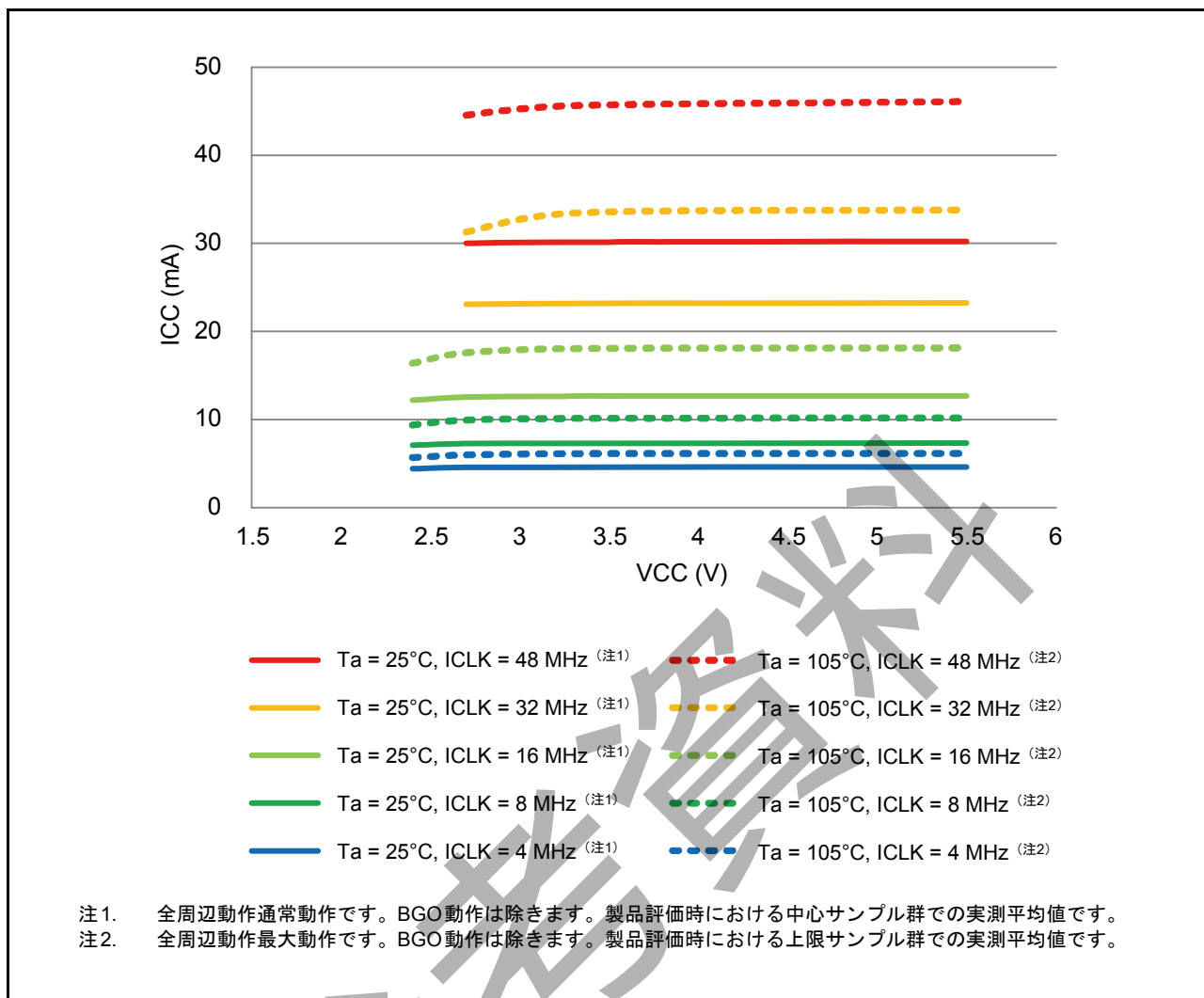


図 51.17 High-speed モードにおける電圧依存性 (参考データ)

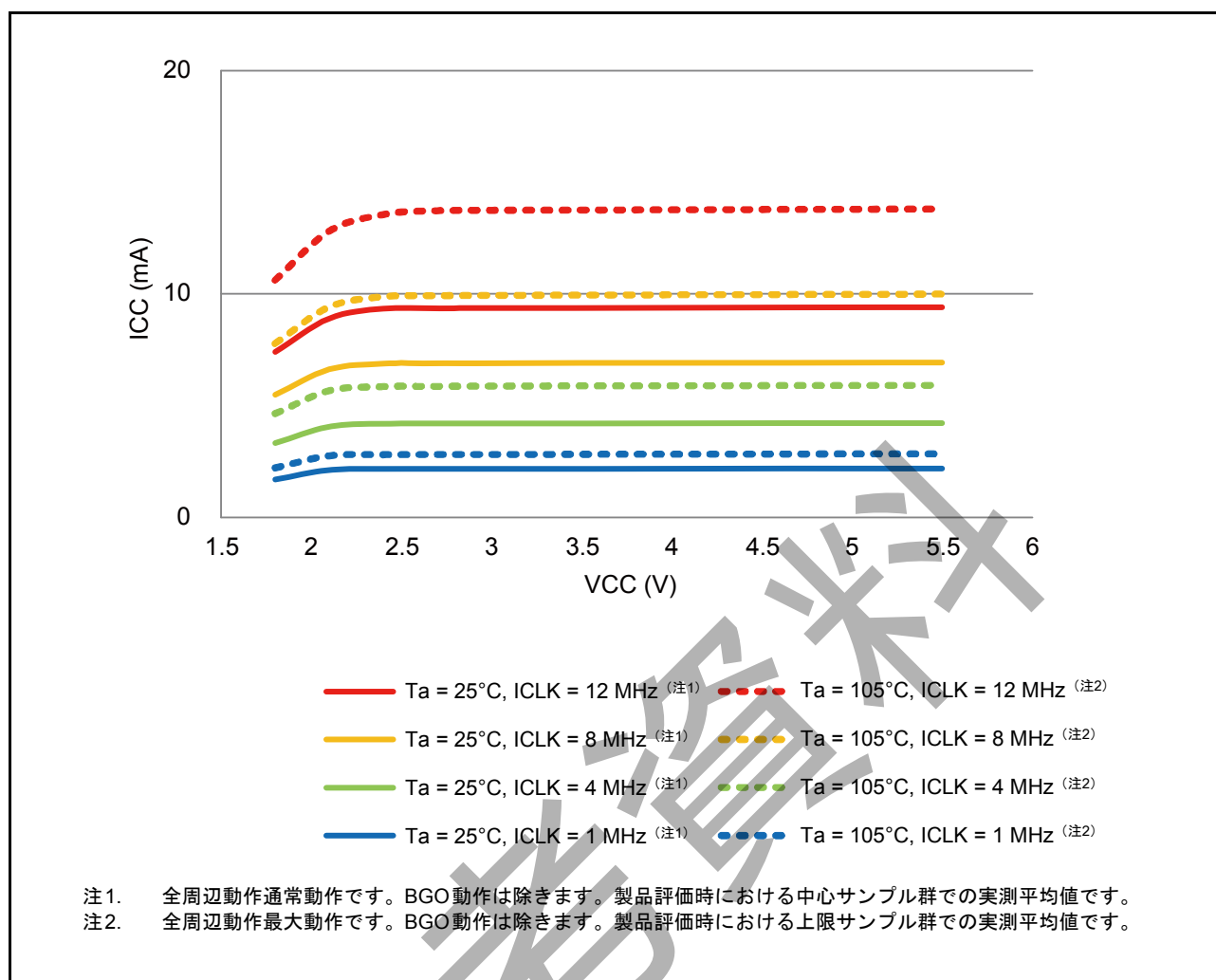


図 51.18 Middle-speed モードにおける電圧依存性 (参考データ)

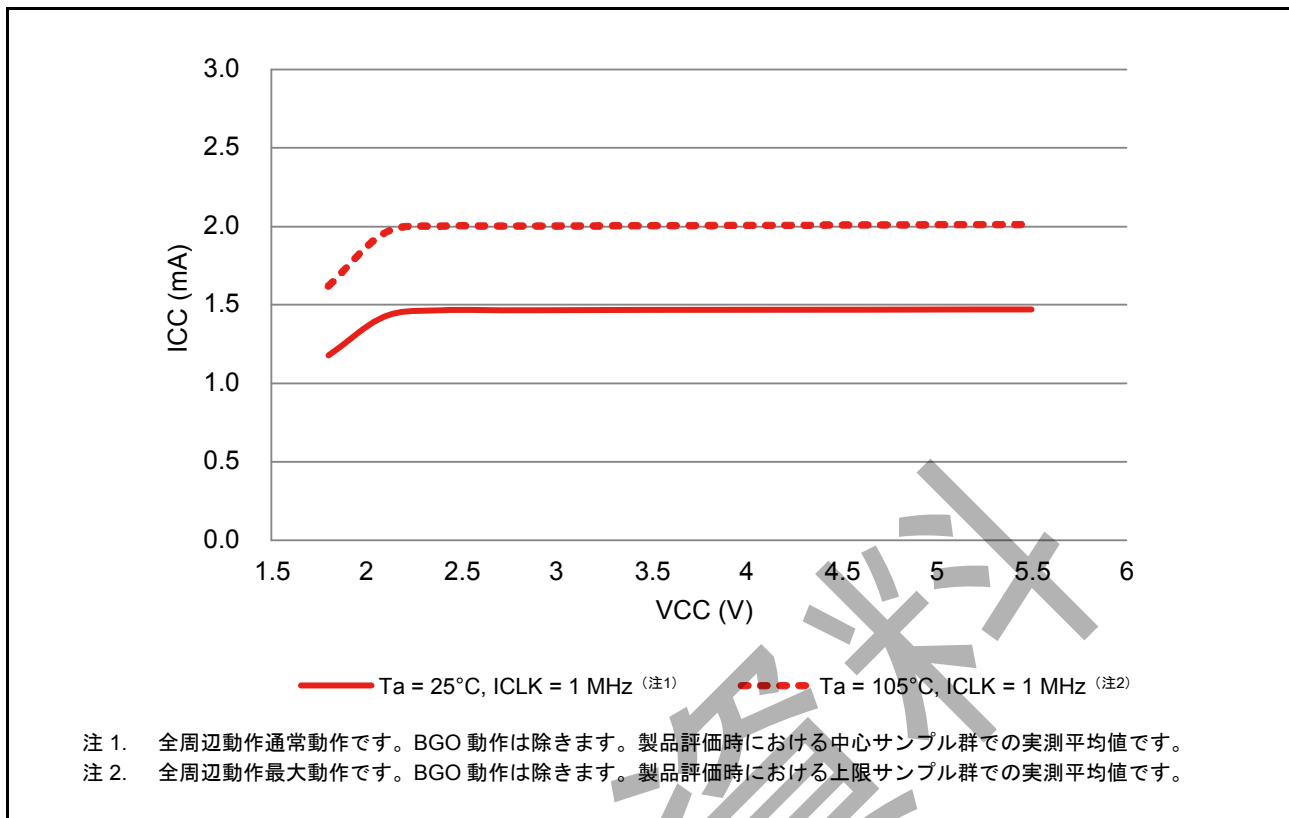


図 51.19 Low-speed モードにおける電圧依存性 (参考データ)

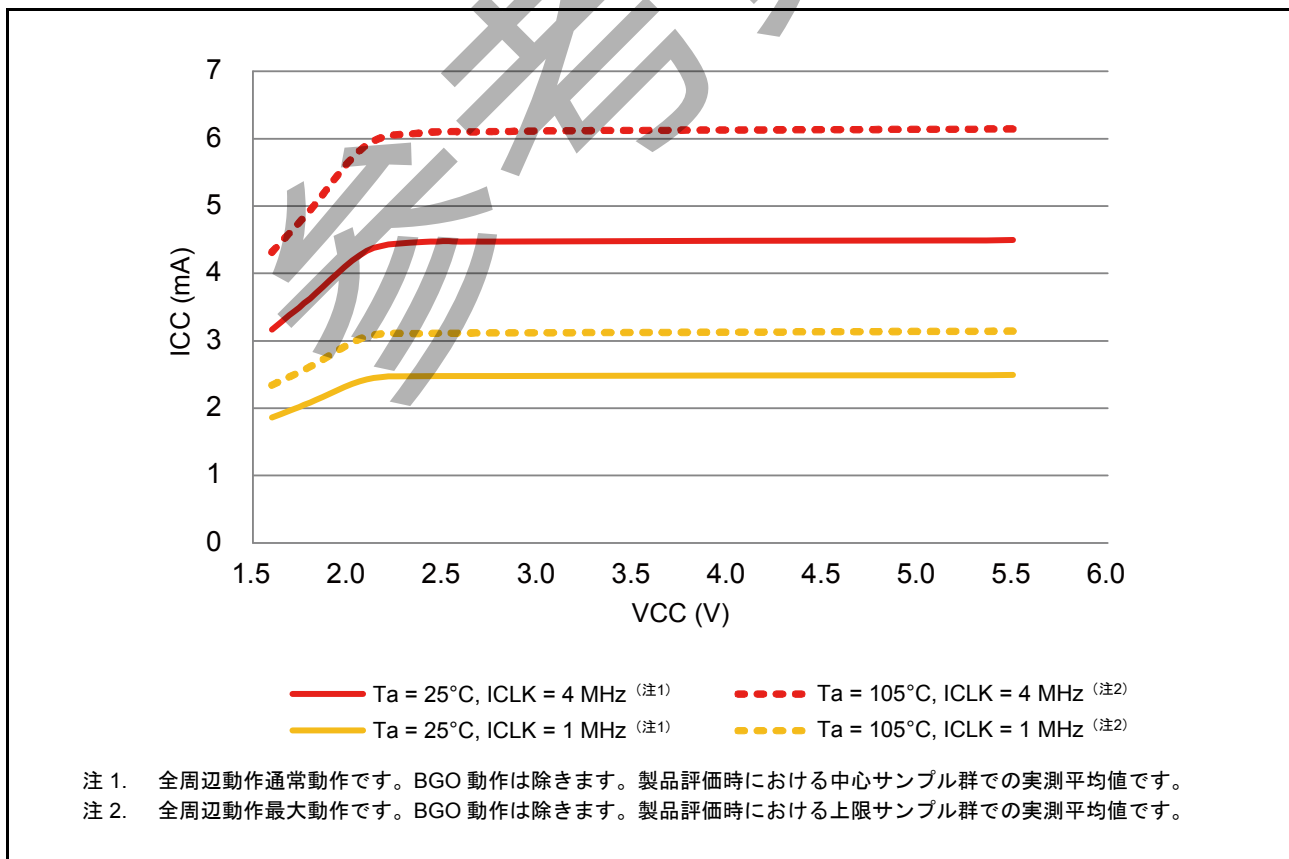


図 51.20 Low-voltage モードにおける電圧依存性 (参考データ)

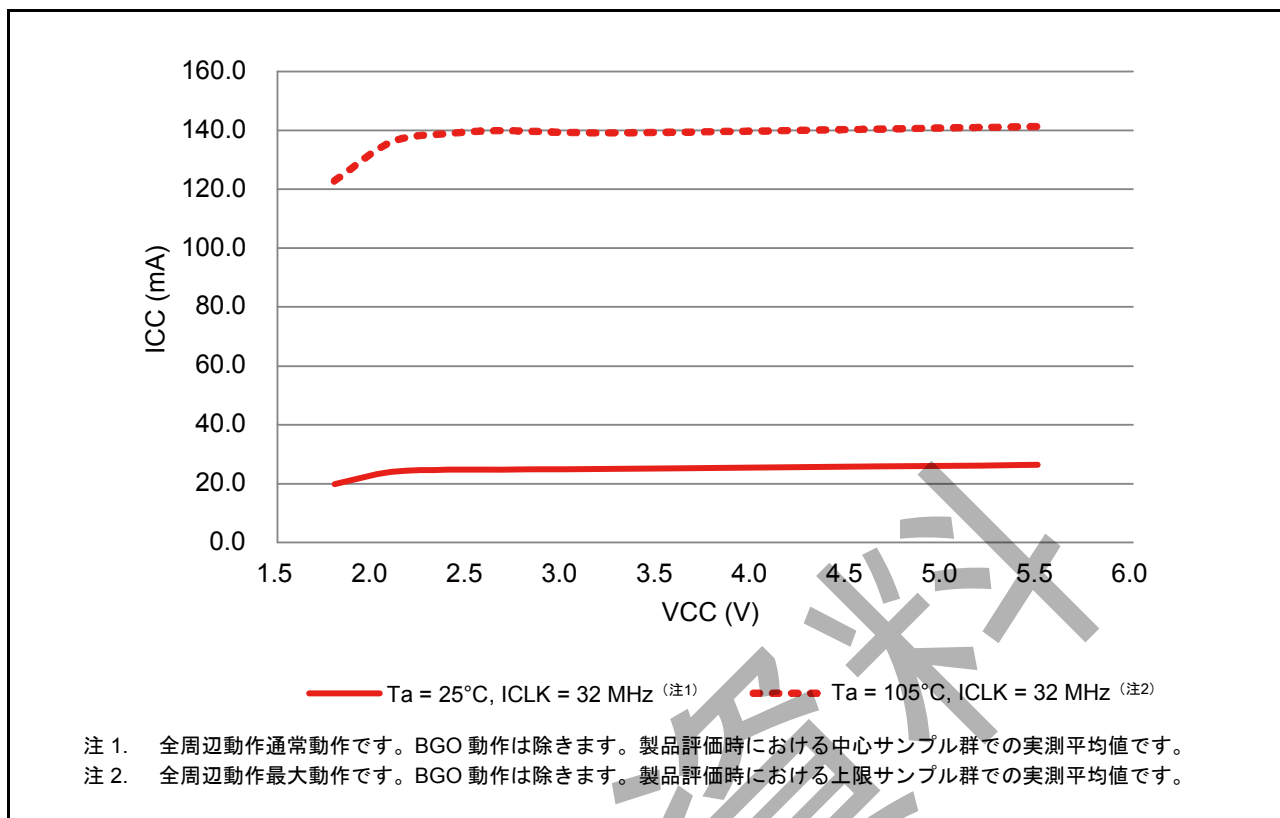


図 51.21 Subosc-speed モードにおける電圧依存性 (参考データ)

表 51.12 動作電流とスタンバイ電流 (2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目		シンボル	Typ (注4)	Max	単位	測定条件	
消費電流 (注1)	ソフトウェアスタンバイモード (注2)	I <sub>CC</sub>	T <sub>a</sub> = 25°C	0.9	6.0	μA	PSMCR.PSMC[1:0] = 01b (48KB SRAM をオン)
			T <sub>a</sub> = 55°C	1.6	12.2		
			T <sub>a</sub> = 85°C	4.8	27.1		
			T <sub>a</sub> = 105°C	12.2	66.7		
			T <sub>a</sub> = 25°C	1.1	7.5		PSMCR.PSMC[1:0] = 00b (すべての SRAM をオン)
			T <sub>a</sub> = 55°C	2.2	17.0		
			T <sub>a</sub> = 85°C	7.5	43.3		
			T <sub>a</sub> = 105°C	19.6	105.9		
	低速オンチップオシレータでの RTC 動作時増加分 (注3)	0.5	-	-			
	サブクロック発振器での RTC 動作時増加分 (注3)	0.5	-	SOMCR.SODRV[1:0] = 11b (低消費電力モード3)			
1.6		-	SOMCR.SODRV[1:0] = 00b (通常モード)				

- 注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部ブルアップ MOS が OFF 状態のとき、この値が適用されます。  
注 2. IWDT と LVD は動作していません。  
注 3. サブ発振回路または低速オンチップオシレータの電流を含みます。  
注 4. VCC = 3.3V

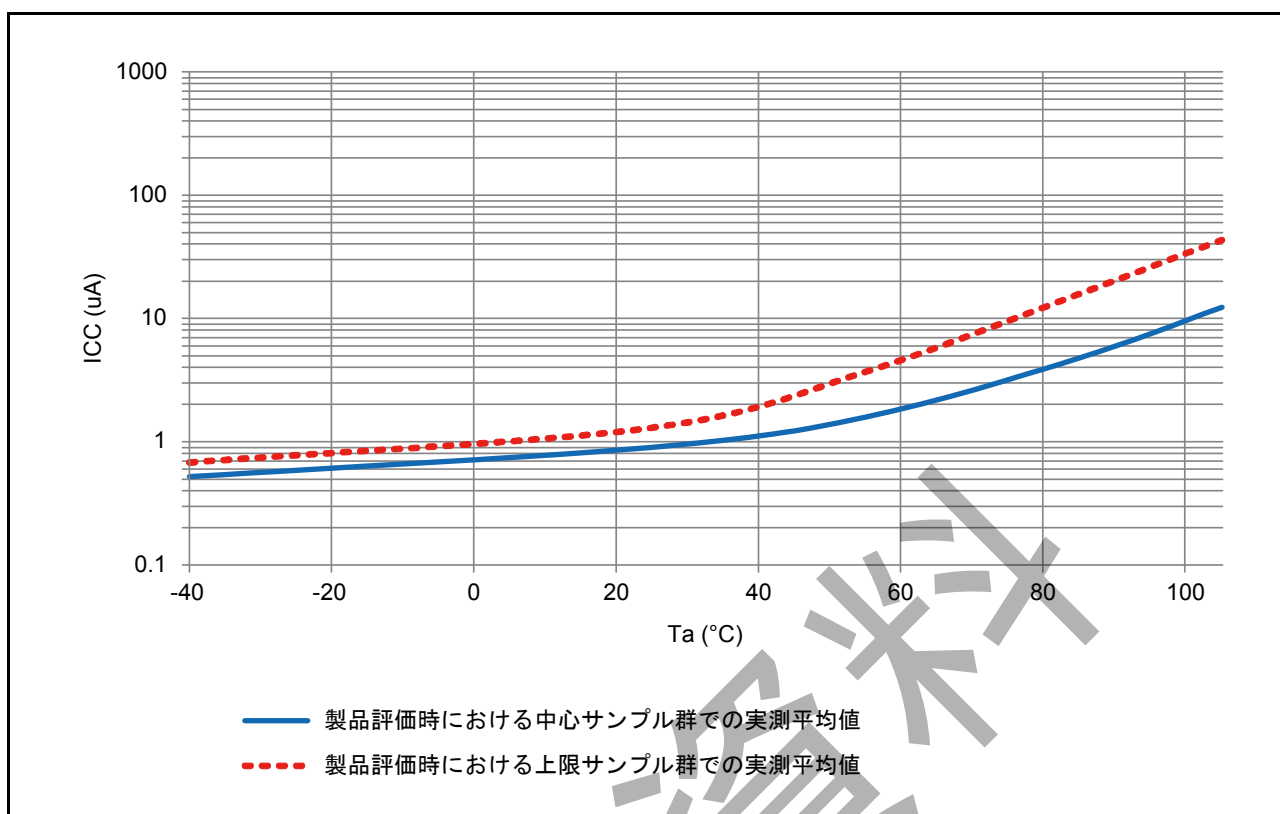


図 51.22 48KB SRAM がオンのソフトウェアスタンバイモード時の温度依存性 (参考データ)

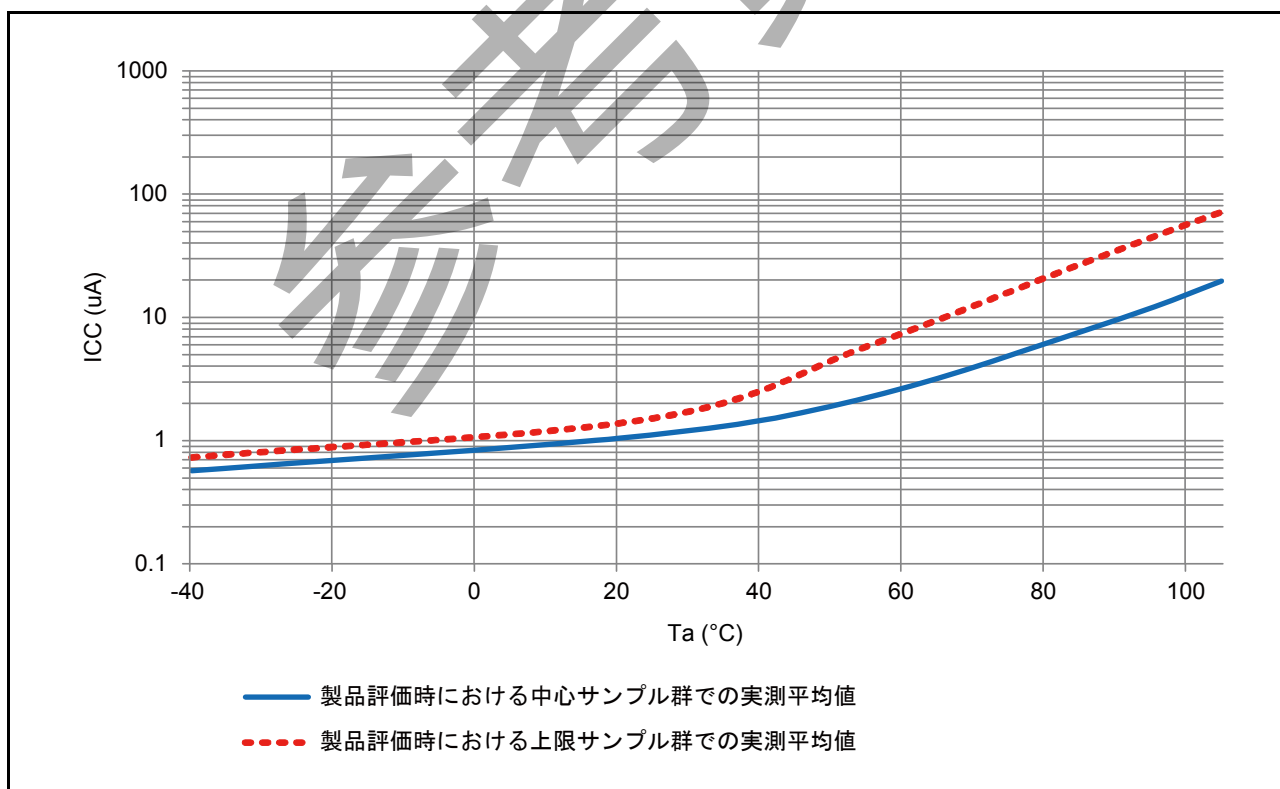


図 51.23 すべての SRAM がオンのソフトウェアスタンバイモード時の温度依存性 (参考データ)



表 51.13 動作電流とスタンバイ電流 (3)

条件: VCC = AVCC0 = 0V、VBATT = 1.6~3.6V、VSS = AVSS0 = 0V

項目		シンボル	Typ	Max	単位	測定条件
消費電流 (注1)	VCCがオフのときのRTC動作	I <sub>CC</sub>	-	-	μA	T <sub>a</sub> = 25°C
						T <sub>a</sub> = 55°C
						T <sub>a</sub> = 85°C
						T <sub>a</sub> = 105°C
						T <sub>a</sub> = 25°C
						T <sub>a</sub> = 55°C
						T <sub>a</sub> = 85°C
						T <sub>a</sub> = 105°C
						T <sub>a</sub> = 25°C
						T <sub>a</sub> = 55°C
						T <sub>a</sub> = 85°C
						T <sub>a</sub> = 105°C
						T <sub>a</sub> = 25°C
						T <sub>a</sub> = 55°C
						T <sub>a</sub> = 85°C
						T <sub>a</sub> = 105°C
						VBATT = 2.0V SOMCR.SORDRV[1:0] = 11b (低消費電力モード3)
						VBATT = 3.3V SOMCR.SORDRV[1:0] = 11b (低消費電力モード3)
						VBATT = 2.0V SOMCR.SORDRV[1:0] = 00b (通常モード)
						VBATT = 3.3V SOMCR.SORDRV[1:0] = 00b (通常モード)

注1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部プルアップMOSがOFF状態のとき、この値が適用されます。

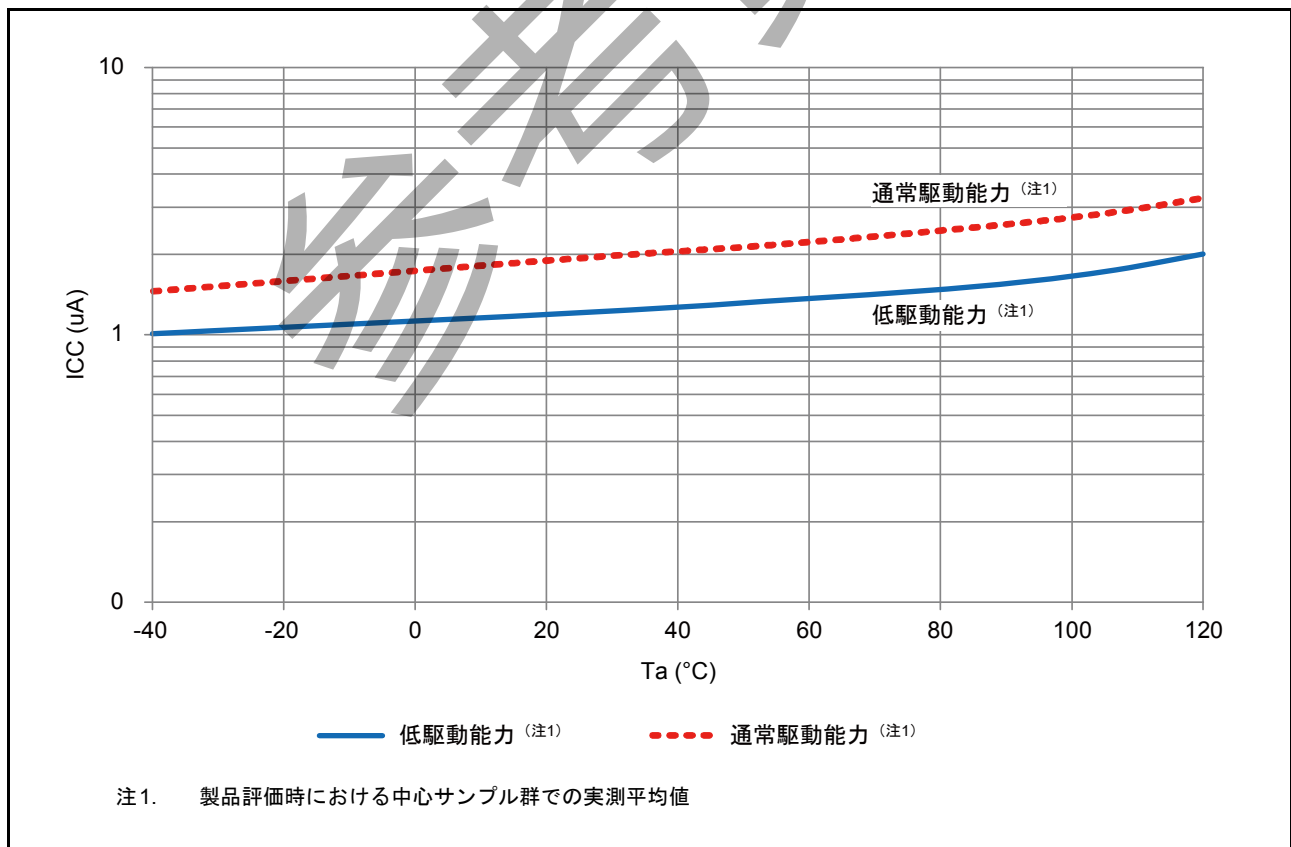


図 51.24 VCC オフ時の RTC 動作の温度依存性 (参考データ)

表 51.14 動作電流とスタンバイ電流 (4)

条件: VCC = AVCC0 = 1.6 ~ 5.5V、VREFH0 = 2.7V ~ AVCC0

項目		シンボル	Min	Typ	Max	単位	測定条件	
アナログ電源電流	A/D変換中 (高速変換時)	$I_{AVCC}$	-	-	3.0	mA	-	
	A/D変換中 (低速変換時)		-	-	1.0	mA	-	
	D/A変換中 (1チャンネル当り) (注1)		-	0.4	0.8	mA	-	
	A/D、D/A変換待機時 (全ユニット)		-	-	1.0	$\mu$ A	-	
リファレンス電源電流	A/D変換中 (高速変換時)	$I_{REFH0}$	-	-	150	$\mu$ A	-	
	A/D変換待機時 (全ユニット)		-	-	60	nA	-	
	D/A変換中	$I_{REFH}$	-	50	100	$\mu$ A	-	
	D/A変換待機時 (全ユニット)		-	-	100	$\mu$ A	-	
温度センサ		$I_{TNS}$	-	75	-	$\mu$ A	-	
低消費電力アナログコンパレータの動作電流	ウィンドウモード	$I_{CMPLP}$	-	15	-	$\mu$ A	-	
	コンパレータ高速モード		-	10	-	$\mu$ A	-	
	コンパレータ低速モード		-	2	-	$\mu$ A	-	
高速アナログコンパレータの動作電流			$I_{CMPHS}$	-	70	100	$\mu$ A	AVCC0 $\geq$ 2.7V
オペアンプの動作電流	低消費電力モード	1ユニット動作時	$I_{AMP}$	-	2.5	4.0	$\mu$ A	-
		2ユニット動作時		-	4.5	8.0	$\mu$ A	-
		3ユニット動作時		-	6.5	11.0	$\mu$ A	-
		4ユニット動作時		-	8.5	14.0	$\mu$ A	-
	高速モード	1ユニット動作時		-	140	220	$\mu$ A	-
		2ユニット動作時		-	280	410	$\mu$ A	-
		3ユニット動作時		-	420	600	$\mu$ A	-
		4ユニット動作時		-	560	780	$\mu$ A	-
LCD動作電流	外部抵抗分割方式 $f_{LCD} = f_{SUB} = 128\text{Hz}$ 、1/3バイアス、4時分割	$I_{LCD1}$ (注5)	-	0.34	-	$\mu$ A	-	
	内部昇圧方式 $f_{LCD} = f_{SUB} = 128\text{Hz}$ 、1/3バイアス、4時分割	$I_{LCD2}$ (注5)	-	0.92	-	$\mu$ A	-	
	容量分割方式 $f_{LCD} = f_{SUB} = 128\text{Hz}$ 、1/3バイアス、4時分割	$I_{LCD3}$ (注5)	-	0.19	-	$\mu$ A	-	
USB動作電流	以下の設定および条件でのUSB通信動作時: • ホストコントローラ動作をフルスピードモードに設定 バルクOUT転送 (64バイト) $\times$ 1、 バルクIN転送 (64バイト) $\times$ 1 • USBポートから1メートルのUSBケーブル経由で周辺デバイスを接続	$I_{USBH}$ (注2)	-	4.3 (VCC) 0.9 (VCC_USB) (注4)	-	mA	-	
	以下の設定および条件でのUSB通信動作時: • ファンクションコントローラ動作をフルスピードモードに設定 バルクOUT転送 (64バイト) $\times$ 1、 バルクIN転送 (64バイト) $\times$ 1 • USBポートから1メートルのUSBケーブル経由でホストデバイスを接続	$I_{USBF}$ (注2)	-	3.6 (VCC) 1.1 (VCC_USB) (注4)	-	mA	-	
	以下の設定および条件でのサスペンド状態時: • ファンクションコントローラ動作をフルスピードモードに設定 (USB_DP端子をプルアップ) • ソフトウェアスタンバイモード • USBポートから1メートルのUSBケーブル経由でホストデバイスを接続	$I_{SUSP}$ (注3)	-	0.35 (VCC) 170 (VCC_USB) (注4)	-	$\mu$ A	-	

注 1. D/A 変換の電源電流値には、リファレンス電源電流も含まれています。

注 2. USBFS のみの消費電流です。

注 3. 強制待ち状態における本 MCU の電流消費に加え、USB\_DP 端子のプルアップ抵抗からホストデバイス側のプルダウン抵抗へ供給される電流を含みます。

注 4. VCC = VCC\_USB = 3.3V のとき

注 5. LCD コントローラのための電流です。LCD パネルを流れる電流は含みません。

## 51.2.10 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 51.15 立ち上がり／立ち下がり勾配の特性

条件：VCC = AVCC0 = 0 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時のVCC 立ち上がり勾配	起動時電圧モニタ0リセット無効	SrVCC	0.02	-	2	ms/V	-
	起動時電圧モニタ0リセット有効 (注1) (注2)		0.02	-	-		

注1. OFS1.LVDAS = 0 のとき

注2. OFS1 によるレジスタ設定はブートモードでは読み出せないため、通常の起動時立ち上がり勾配に基づき電源電圧を ON にします。

表 51.16 立ち上がり／立ち下がり勾配とリップル周波数特性

条件：VCC = AVCC0 = VCC\_USB = 1.6 ~ 5.5V

リップル電圧は、VCC 上限 (5.5V) と下限 (1.6V) の範囲内で、許容リップル周波数  $f_{r(VCC)}$  を満たす必要があります。VCC 変動が  $VCC \pm 10\%$  を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配  $dt/dVCC$  を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r(VCC)}$	-	-	10	kHz	図 51.25 $V_{r(VCC)} \leq VCC \times 0.2$
		-	-	1	MHz	図 51.25 $V_{r(VCC)} \leq VCC \times 0.08$
		-	-	10	MHz	図 51.25 $V_{r(VCC)} \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	-	-	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

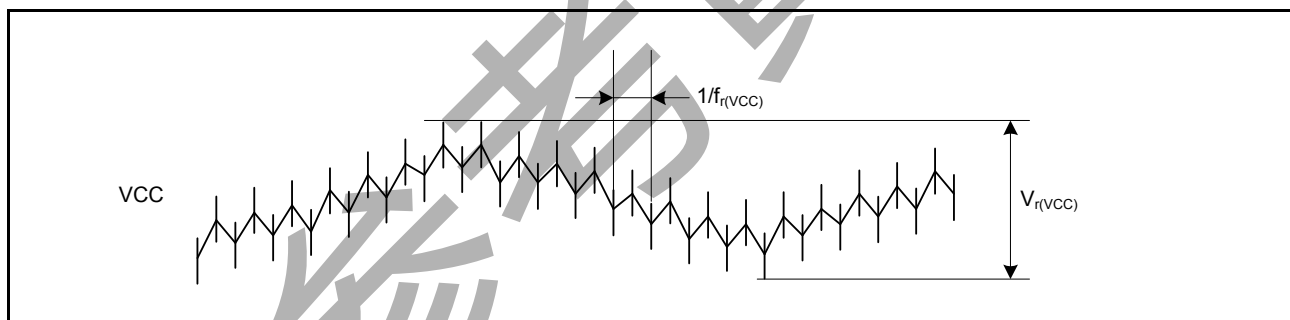


図 51.25 リップル波形

## 51.3 AC 特性

## 51.3.1 周波数

表 51.17 High-speedモードでの動作周波数

条件：VCC = AVCC0 = 2.4~5.5V

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注4)	2.7~5.5V	0.032768	-	48	MHz
		2.4~2.7V	0.032768	-	16	
	FlashIFクロック (FCLK) (注1) (注2) (注4)	2.7~5.5V	0.032768	-	32	
		2.4~2.7V	0.032768	-	16	
	周辺モジュールクロック (PCLKA) (注4)	2.7~5.5V	-	-	48	
		2.4~2.7V	-	-	16	
	周辺モジュールクロック (PCLKB) (注4)	2.7~5.5V	-	-	32	
		2.4~2.7V	-	-	16	
	周辺モジュールクロック (PCLKC) (注3) (注4)	2.7~5.5V	-	-	64	
		2.4~2.7V	-	-	16	
	周辺モジュールクロック (PCLKD) (注4)	2.7~5.5V	-	-	64	
		2.4~2.7V	-	-	16	
	外部バスクロック (BCLK) (注4)	2.7~5.5V	-	-	24	
		2.4~2.7V	-	-	16	
EBCLK端子出力	2.7~5.5V	-	-	12		
	2.4~2.7V	-	-	8		

- 注 1. フラッシュメモリのプログラム/イレース時、FCLKの下限周波数は1MHzです。フラッシュメモリのプログラム/イレース時にFCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzのいずれかです。1.5MHzなどの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時のFCLKの周波数精度は±3.5%とします。クロックソースの周波数精度を確認してください。
- 注 3. 14ビットA/Dコンバータ使用時のPCLKC下限周波数は、2.4V以上で4MHz、2.4V未満で1MHzです。
- 注 4. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK、およびBCLK相互間の周波数関係については、「[9. クロック発生回路](#)」を参照してください。

表 51.18 Middle-speedモードでの動作周波数

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	
動作周波数	システムクロック (ICLK) (注4)	2.7 ~ 5.5V	f	0.032768	-	12	MHz
		2.4 ~ 2.7V		0.032768	-	12	
		1.8 ~ 2.4V		0.032768	-	8	
	FlashIFクロック (FCLK) (注1) (注2) (注4)	2.7 ~ 5.5V		0.032768	-	12	
		2.4 ~ 2.7V		0.032768	-	12	
		1.8 ~ 2.4V		0.032768	-	8	
	周辺モジュールクロック (PCLKA) (注4)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	
	周辺モジュールクロック (PCLKB) (注4)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	
	周辺モジュールクロック (PCLKC) (注3) (注4)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	
	周辺モジュールクロック (PCLKD) (注4)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	
	外部バスクロック (BCLK) (注4)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	
EBCLK端子出力	2.7 ~ 3.6V		-	-	12		
	2.4 ~ 2.7V		-	-	8		
	1.8 ~ 2.4V		-	-	8		

- 注 1. フラッシュメモリのプログラム/イレース時、FCLKの下限周波数は1MHzです。フラッシュメモリのプログラム/イレース時にFCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzのいずれかです。1.5MHzなどの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時のFCLKの周波数精度は $\pm 3.5\%$ とします。クロックソースの周波数精度を確認してください。
- 注 3. 14ビットA/Dコンバータ使用時のPCLKC下限周波数は、2.4V以上で4MHz、2.4V未満で1MHzです。
- 注 4. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK、およびBCLK相互間の周波数関係については、「[9. クロック発生回路](#)」を参照してください。

表 51.19 Low-speedモードでの動作周波数

条件：VCC = AVCC0 = 1.8～5.5V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注3)	1.8～5.5V	f	0.032768	-	1	MHz
	FlashIFクロック (FCLK) (注1) (注3)	1.8～5.5V		0.032768	-	1	
	周辺モジュールクロック (PCLKA) (注3)	1.8～5.5V		-	-	1	
	周辺モジュールクロック (PCLKB) (注3)	1.8～5.5V		-	-	1	
	周辺モジュールクロック (PCLKC) (注2) (注3)	1.8～5.5V		-	-	1	
	周辺モジュールクロック (PCLKD) (注3)	1.8～5.5V		-	-	1	
	外部バスクロック (BCLK) (注3)	1.8～5.5V		-	-	1	
	EBCLK端子出力	1.8～5.5V		-	-	1	

注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。

注 2. A/D コンバータ使用時における PCLKC 下限周波数は 1MHz です。

注 3. ICLK, PCLKA, PCLKB, PCLKC, PCLKD, FCLK, および BCLK 相互間の周波数関係については、「9. クロック発生回路」を参照してください。

表 51.20 Low-voltageモードでの動作周波数

条件：VCC = AVCC0 = 1.6～5.5V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注4)	1.6～5.5V	f	0.032768	-	4	MHz
	FlashIFクロック (FCLK) (注1) (注2) (注4)	1.6～5.5V		0.032768	-	4	
	周辺モジュールクロック (PCLKA) (注4)	1.6～5.5V		-	-	4	
	周辺モジュールクロック (PCLKB) (注4)	1.6～5.5V		-	-	4	
	周辺モジュールクロック (PCLKC) (注3) (注4)	1.6～5.5V		-	-	4	
	周辺モジュールクロック (PCLKD) (注4)	1.6～5.5V		-	-	4	
	外部バスクロック (BCLK) (注4)	1.6～5.5V		-	-	4	
	EBCLK端子出力	1.8～5.5V		-	-	4	
1.6～1.8V		-	-	2			

注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム/イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は  $\pm 3.5\%$  とします。クロックソースの周波数精度を確認してください。

注 3. 14 ビット A/D コンバータ使用時の PCLKC 下限周波数は、2.4V 以上で 4MHz、2.4V 未満で 1MHz です。

注 4. ICLK, PCLKA, PCLKB, PCLKC, PCLKD, FCLK, および BCLK 相互間の周波数関係については、「9. クロック発生回路」を参照してください。

表 51.21 Subosc-speedモードでの動作周波数

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注3)	1.8 ~ 5.5V	f	27.8528	32.768	37.6832	kHz
	FlashIFクロック (FCLK) (注1) (注3)	1.8 ~ 5.5V		27.8528	32.768	37.6832	
	周辺モジュールクロック (PCLKA) (注3)	1.8 ~ 5.5V		-	-	37.6832	
	周辺モジュールクロック (PCLKB) (注3)	1.8 ~ 5.5V		-	-	37.6832	
	周辺モジュールクロック (PCLKC) (注2) (注3)	1.8 ~ 5.5V		-	-	37.6832	
	周辺モジュールクロック (PCLKD) (注3)	1.8 ~ 5.5V		-	-	37.6832	
	外部バスクロック (BCLK) (注3)	1.8 ~ 5.5V		-	-	37.6832	
	EBCLK端子出力	1.8 ~ 5.5V		-	-	37.6832	

注 1. フラッシュメモリのプログラムまたはイレースはできません。

注 2. 14ビット A/D コンバータは使用できません。

注 3. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK、および BCLK 相互間の周波数関係については、「9. クロック発生回路」を参照してください。

## 51.3.2 クロックタイミング

表 51.22 クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
EBCLK端子出力サイクル時間	$t_{Bcyc}$	VCC = 2.7V 以上	83.3	-	-	ns	図 51.26
		VCC = 1.8V 以上	125	-	-		
		VCC = 1.6V 以上	500	-	-		
EBCLK端子出力Highレベルパルス幅	$t_{CH}$	VCC = 2.7V 以上	20	-	-	ns	
		VCC = 1.8V 以上	30	-	-		
		VCC = 1.6V 以上	150	-	-		
EBCLK端子出力Lowレベルパルス幅	$t_{CL}$	VCC = 2.7V 以上	20	-	-	ns	
		VCC = 1.8V 以上	30	-	-		
		VCC = 1.6V 以上	150	-	-		
EBCLK端子出力立ち上がり時間	$t_{Cr}$	VCC = 2.7V 以上	-	-	15	ns	
		VCC = 2.4V 以上	-	-	25		
		VCC = 1.8V 以上	-	-	30		
		VCC = 1.6V 以上	-	-	50		
EBCLK端子出力立ち下がり時間	$t_{Cf}$	VCC = 2.7V 以上	-	-	15	ns	
		VCC = 2.4V 以上	-	-	25		
		VCC = 1.8V 以上	-	-	30		
		VCC = 1.6V 以上	-	-	50		
EXTAL外部クロック入力サイクル時間	$t_{Xcyc}$	50	-	-	ns	図 51.27	
EXTAL外部クロック入力Highレベルパルス幅	$t_{XH}$	20	-	-	ns		
EXTAL外部クロック入力Lowレベルパルス幅	$t_{XL}$	20	-	-	ns		
EXTAL外部クロック立ち上がり時間	$t_{Xr}$	-	-	5	ns		
EXTAL外部クロック立ち下がり時間	$t_{Xf}$	-	-	5	ns		
EXTAL外部クロック入力待機時間 (注1)	$t_{EXWT}$	0.3	-	-	$\mu$ s	-	
EXTAL外部クロック入力周波数	$f_{EXTAL}$	-	-	20	MHz	$2.4 \leq VCC \leq 5.5$	
		-	-	8		$1.8 \leq VCC < 2.4$	
		-	-	1		$1.6 \leq VCC < 1.8$	
メインクロック発振器発振周波数	$f_{MAIN}$	1	-	20	MHz	$2.4 \leq VCC \leq 5.5$	
		1	-	8		$1.8 \leq VCC < 2.4$	
		1	-	4		$1.6 \leq VCC < 1.8$	
LOCOクロック発振周波数	$f_{LOCO}$	27.8528	32.768	37.6832	kHz	-	
LOCOクロック発振安定時間	$t_{LOCO}$	-	-	100	$\mu$ s	図 51.28	
IWDT専用クロック発振周波数	$f_{ILOCO}$	12.75	15	17.25	kHz	-	
MOCOクロック発振周波数	$f_{MOCO}$	6.8	8	9.2	MHz	-	
MOCOクロック発振安定時間	$t_{MOCO}$	-	-	1	$\mu$ s	-	



表 51.22 クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件		
HOCOクロック発振周波数	f <sub>HOCO24</sub>	23.64	24	24.36	MHz	Ta = -40 ~ -20°C 1.8 ≤ VCC ≤ 5.5		
		22.68	24	25.32		Ta = -40 ~ 85°C 1.6 ≤ VCC < 1.8		
		23.76	24	24.24		Ta = -20 ~ 85°C 1.8 ≤ VCC ≤ 5.5		
		23.52	24	24.48		Ta = 85 ~ 105°C 2.4 ≤ VCC ≤ 5.5		
	f <sub>HOCO32</sub>	31.52	32	32.48		Ta = -40 ~ -20°C 1.8 ≤ VCC ≤ 5.5		
		30.24	32	33.76		Ta = -40 ~ 85°C 1.6 ≤ VCC < 1.8		
		31.68	32	32.32		Ta = -20 ~ 85°C 1.8 ≤ VCC ≤ 5.5		
		31.36	32	32.64		Ta = 85 ~ 105°C 2.4 ≤ VCC ≤ 5.5		
	f <sub>HOCO48</sub> (注4)	47.28	48	48.72		Ta = -40 ~ -20°C 1.8 ≤ VCC ≤ 5.5		
		47.52	48	48.48		Ta = -20 ~ 85°C 1.8 ≤ VCC ≤ 5.5		
		47.04	48	48.96		Ta = -40 ~ 105°C 2.4 ≤ VCC ≤ 5.5		
	f <sub>HOCO64</sub> (注5)	63.04	64	64.96		Ta = -40 ~ -20°C 2.4 ≤ VCC ≤ 5.5		
		63.36	64	64.64		Ta = -20 ~ 85°C 2.4 ≤ VCC ≤ 5.5		
		62.72	64	65.28		Ta = 85 ~ 105°C 2.4 ≤ VCC ≤ 5.5		
	HOCOクロック発振安定時間 (注6) (注7)	Low-voltage モード 以外	t <sub>HOCO24</sub>	-		-	μs	図 51.29
			t <sub>HOCO32</sub>	-		-		
t <sub>HOCO48</sub>			-	-				
t <sub>HOCO64</sub>			-	-				
Low-voltage モード		t <sub>HOCO24</sub>	-	-	100.9			
		t <sub>HOCO32</sub>	-	-	-			
		t <sub>HOCO48</sub>	-	-	-			
		t <sub>HOCO64</sub>	-	-	-			
PLL入力周波数 (注2)	f <sub>PLLIN</sub>	4	-	12.5	MHz	-		
PLL回路発振周波数 (注2)	f <sub>PLL</sub>	24	-	64	MHz	-		
PLLクロック発振安定時間 (注8)	t <sub>PLL</sub>	-	-	55.5	μs	図 51.30		
PLLフリーラン発振周波数	f <sub>PLLFR</sub>	-	8	-	MHz	-		
サブクロック発振器発振周波数	f <sub>SUB</sub>	-	32.768	-	kHz	-		
サブクロック発振安定時間 (注3)	t <sub>SUBOSC</sub>	-	0.5	-	s	図 51.31		

- 注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようになるまでの時間
- 注 2. PLL を使用できる VCC 範囲は 2.4 ~ 5.5V です。
- 注 3. SOSCCR.SOSTP ビットを変更してサブクロック発振器の動作が開始したら、発振器製造者の推奨値以上に設定したサブクロック発振器安定待機時間を経過してからサブクロックの使用を開始してください。
- 注 4. 48MHz HOCO は、VCC = 1.8 ~ 5.5V の範囲内で使用できます。
- 注 5. 64MHz HOCO は、VCC = 2.4 ~ 5.5V の範囲内で使用できます。
- 注 6. MOCO 停止状態で HOCO.CR.HCSTP ビットを 0 (動作) にした場合の特性です。  
MOCO 発振中に HOCO.CR.HCSTP ビットを 0 (動作) にすると、この仕様は 1μs 短くなります。
- 注 7. 安定時間が経過したかどうかは OSCSF.HOCOSF ビットで確認できます。
- 注 8. MOCO 停止状態で PLL.CR.PLLSTP ビットを 0 (動作) にした場合の特性です。  
MOCO 発振中に PLL.CR.PLLSTP ビットを 0 (動作) にすると、この仕様は 1μs 短くなります。

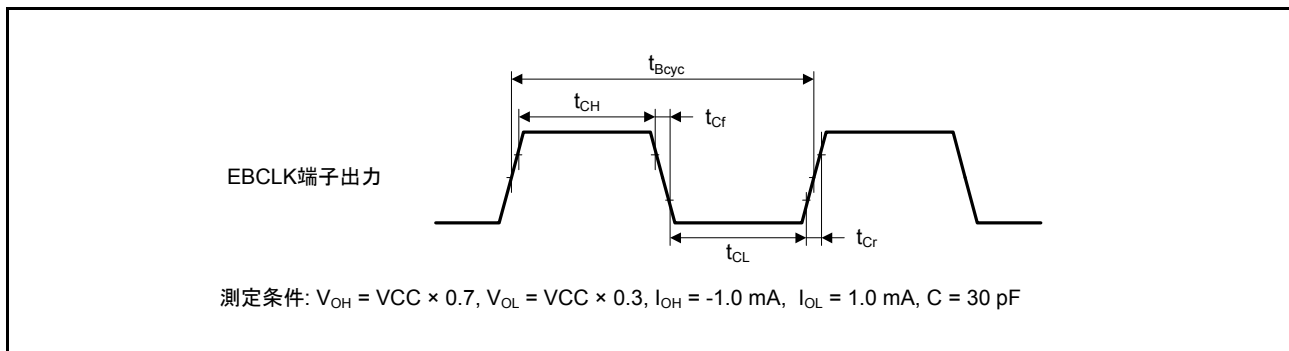


図 51.26 EBCLK 端子出力タイミング

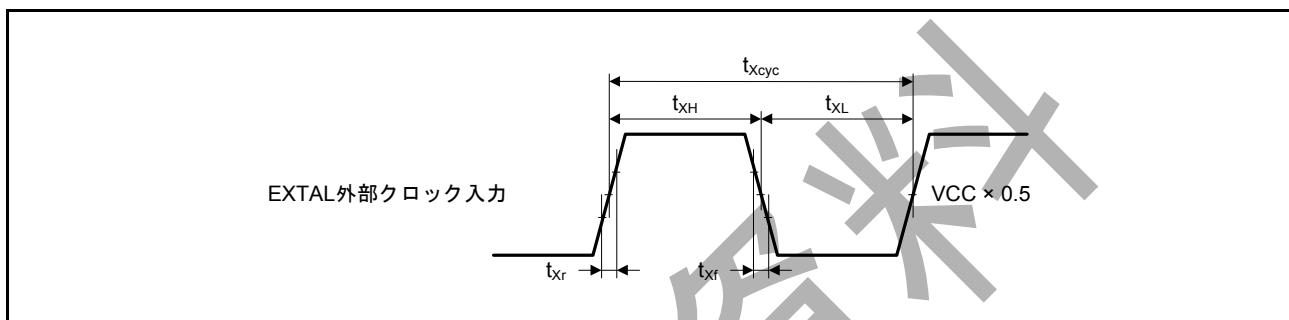


図 51.27 XTAL 外部クロック入力タイミング

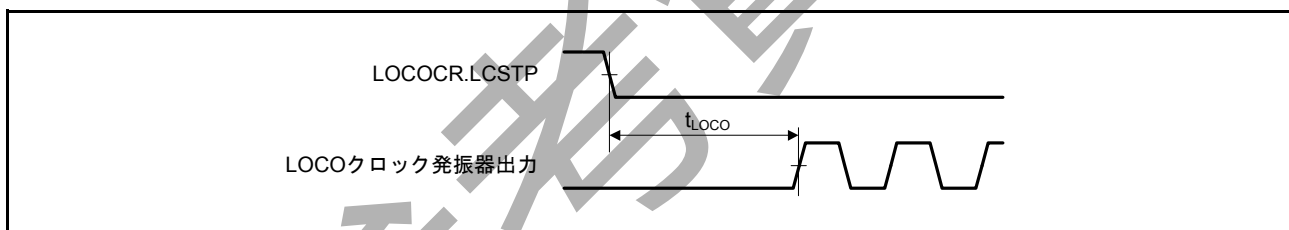


図 51.28 LOCO クロック発振開始タイミング

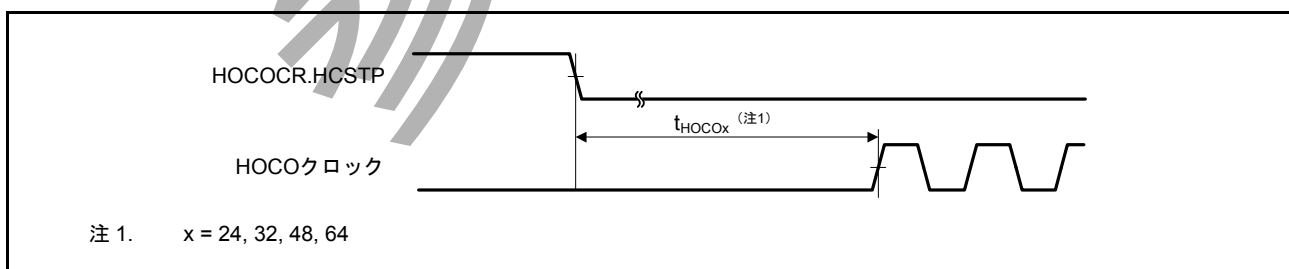


図 51.29 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による開始)

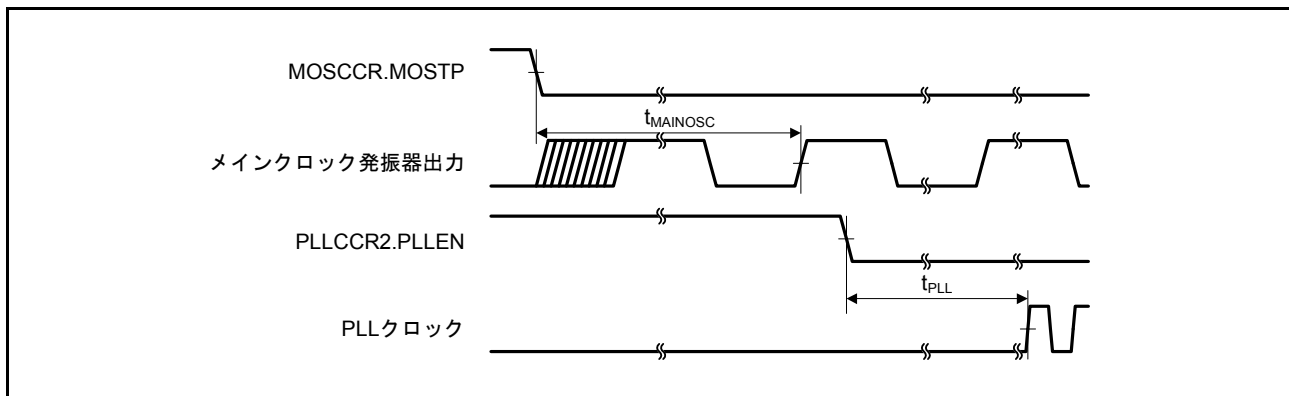


図 51.30 PLL クロック発振開始タイミング (メインクロックの発振安定後に PLL を動作させたとき)

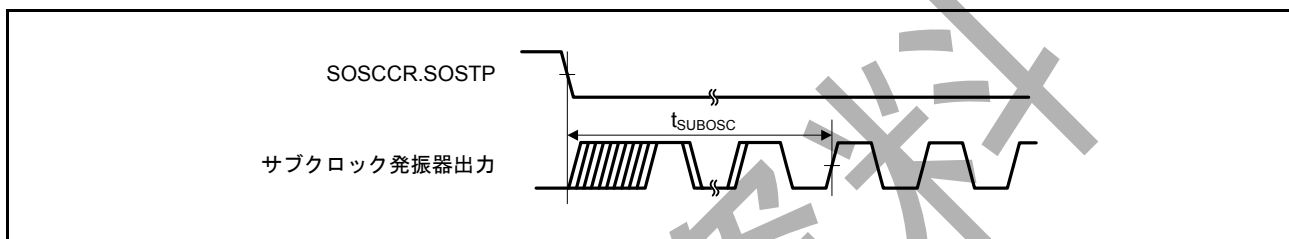


図 51.31 サブクロック発振開始タイミング

## 51.3.3 リセットタイミング

表 51.23 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RESパルス幅	電源投入時	$t_{RESWP}$	3	-	-	ms	図 51.32
	上記以外	$t_{RESW}$	30	-	-	$\mu$ s	図 51.33
RES解除後の待機時間 (電源投入時)	LVD0: 有効 (注1)	$t_{RESWT}$	-	0.7	-	ms	図 51.32
	LVD0: 無効 (注2)		-	0.3	-		
RES解除後の待機時間 (電源投入中)	LVD0: 有効 (注1)	$t_{RESWT2}$	-	0.5	-	$\mu$ s	図 51.33
	LVD0: 無効 (注2)		-	0.05	-		
リセット期間	IWDT (注3)	$t_{RESWIW}$	-	1	-	IWDT クロック サイクル	図 51.34
	内部リセット (IWDTを除く)	$t_{RESWIR}$	-	1	-	ICLKサイ クル	
内部リセット解除後の待機時間	LVD0: 有効 (注1)	$t_{RESWT3}$	-	0.5	-	$\mu$ s	
	LVD0: 無効 (注2)		-	0.05	-		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. IWDTCR.CKS[3:0] = 0000b のとき

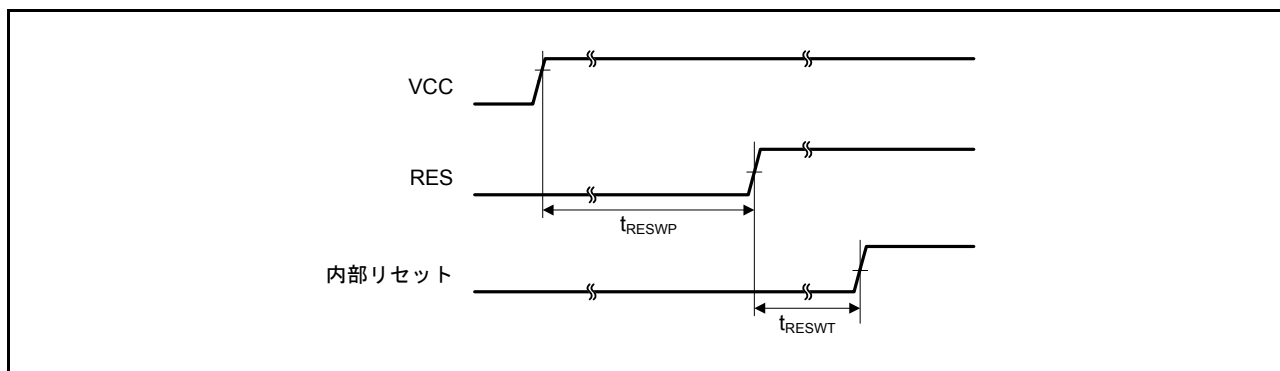


図 51.32 電源投入時リセット入カタイミング

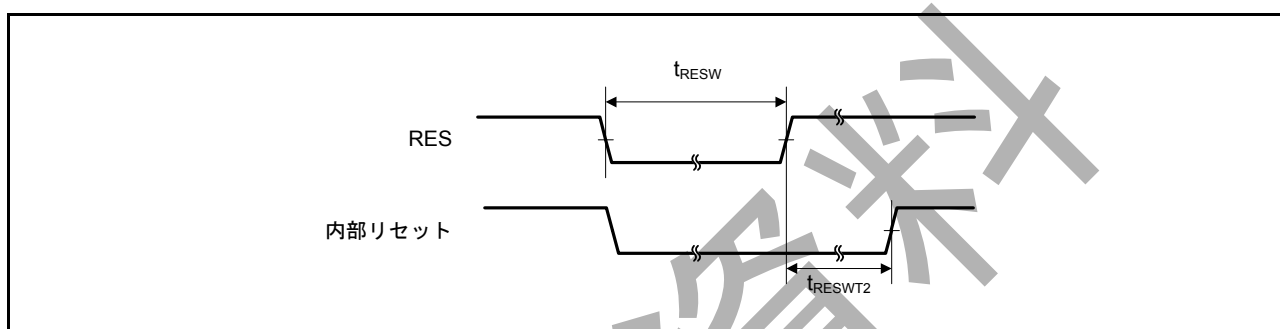


図 51.33 リセット入カタイミング (1)

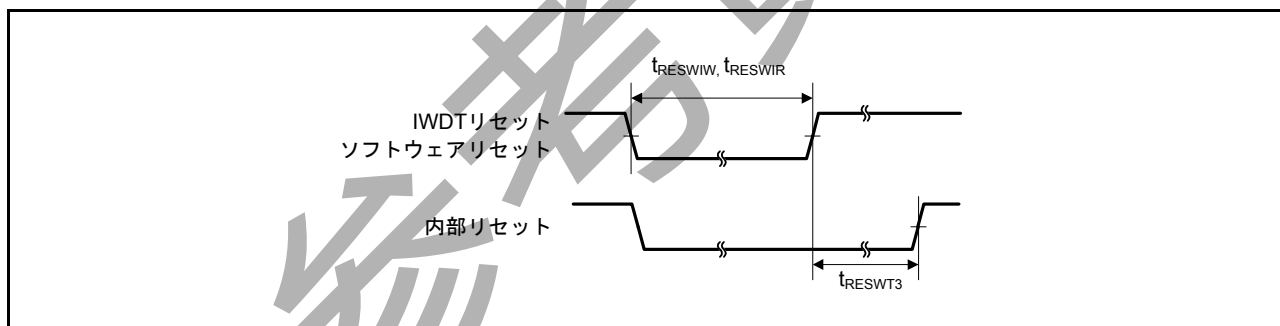


図 51.34 リセット入カタイミング (2)

## 51.3.4 ウェイクアップ時間

表 51.24 低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	High-speedモード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20MHz) (注2)	$t_{SBYMC}$	-	2	3	ms	図 51.35
			システムクロックソースはメインクロック発振器を使用したPLL (48MHz) (注2)	$t_{SBYPC}$	-	2	3	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20MHz) (注3)	$t_{SBYEX}$	-	14	25	$\mu$ s		
		システムクロックソースはメインクロック発振器を使用したPLL (48MHz) (注3)	$t_{SBYPE}$	-	53	76	$\mu$ s		
	システムクロックソースはHOCO (注4) (HOCOクロックは32MHz)			$t_{SBYHO}$	-	43	52	$\mu$ s	
	システムクロックソースはHOCO (注4) (HOCOクロックは48MHz)			$t_{SBYHO}$	-	44	52	$\mu$ s	
	システムクロックソースはHOCO (注5) (HOCOクロックは64MHz)			$t_{SBYHO}$	-	82	110	$\mu$ s	
	システムクロックソースはMOCO			$t_{SBYMO}$	-	16	25	$\mu$ s	

- 注 1. ICK、BCK、FCK、PCKx の分周比は 1 です。復帰時間は、システムクロックソースにより決定されます。
- 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。
- 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。
- 注 4. HOCO クロックウェイトコントロールレジスタ (HOCOWTCR) の設定値は 05h です。
- 注 5. HOCO クロックウェイトコントロールレジスタ (HOCOWTCR) の設定値は 06h です。

表 51.25 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Middle-speedモード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (12MHz) (注2)	$t_{SBYMC}$	-	2	3	ms	図 51.35
			システムクロックソースはメインクロック発振器を使用したPLL (12MHz) (注2)	$t_{SBYPC}$	-	2	3	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (12MHz) (注3)	$t_{SBYEX}$	-	2.9	10	$\mu$ s		
		システムクロックソースはメインクロック発振器を使用したPLL (12MHz) (注3)	$t_{SBYPE}$	-	49	76	$\mu$ s		
	システムクロックソースはHOCO (注4)			$t_{SBYHO}$	-	38	50	$\mu$ s	
	システムクロックソースはMOCO (8MHz)			$t_{SBYMO}$	-	3.5	5.5	$\mu$ s	

注 1. ICK、BCK、FCK、PCLKA、PCLKB、PCLKC、PCLKD の分周比は 1 です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

注 4. システムクロックは 12MHz です。

表 51.26 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Low-speedモード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (1MHz) (注2)	$t_{SBYMC}$	-	2	3	ms	図 51.35
			システムクロックソースはメインクロック発振器を使用したPLL (1MHz) (注2)	$t_{SBYPC}$	-	2	3	ms	
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (1MHz) (注3)	$t_{SBYEX}$	-	28	50	$\mu$ s	
システムクロックソースはMOCO (1MHz)			$t_{SBYMO}$	-	25	35	$\mu$ s		

注 1. ICK、BCK、FCK、PCKx の分周比は 1 です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 51.27 低消費電力モードからの復帰タイミング (4)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Low-voltage モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (4MHz) (注2)	$t_{SBYMC}$	-	2	3	ms	図 51.35
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (4MHz) (注3)	$t_{SBYEX}$	-	108	130	$\mu$ s	
		システムクロックソースはHOCO (4MHz)		$t_{SBYHO}$	-	108	130	$\mu$ s	

注 1. ICK、BCK、FCK、PCKx の分周比は 1 です。復帰時間は、システムクロックソースにより決定されます。複数の発振器が起動している場合、復帰時間は以下の式で決定できます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 51.28 低消費電力モードからの復帰タイミング (5)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Subosc-speed モード	システムクロックソースはサブクロック発振器 (32.768kHz)	$t_{SBYSC}$	-	0.85	1	ms	図 51.35
		システムクロックソースは LOCO (32.768kHz)	$t_{SBYLO}$	-	0.85	1.2	ms	

注 1. Subosc-speed モード時のソフトウェアスタンバイモードでは、サブクロック発振器または LOCO 自体は発振を継続します。

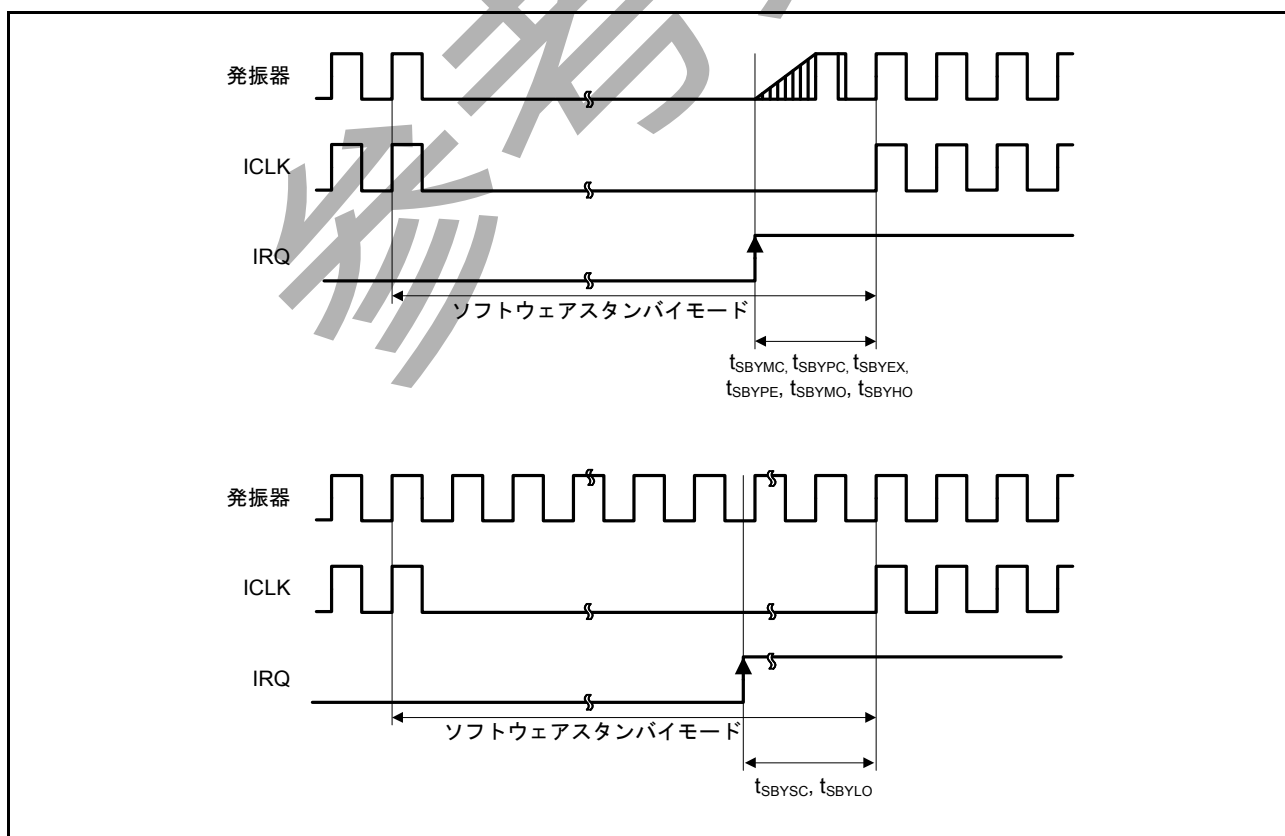


図 51.35 ソフトウェアスタンバイモード解除タイミング

表 51.29 低消費電力モードからの復帰タイミング (6)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスリープモードへの復帰時間	High-speedモード システムクロックソースはHOCO	$t_{SNZ}$	-	36	45	$\mu s$	-
	Middle-speedモード システムクロックソースはMOCO (8MHz)	$t_{SNZ}$	-	1.3	3.6	$\mu s$	
	Low-speedモード システムクロックソースはMOCO (1MHz)	$t_{SNZ}$	-	10	13	$\mu s$	
	Low-voltageモード システムクロックソースはHOCO (4MHz)	$t_{SNZ}$	-	87	110	$\mu s$	

参考資料



## 51.3.5 NMI/IRQ ノイズフィルタ

表 51.30 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMIパルス幅	$t_{\text{NMIW}}$	200	-	-	ns	NMI デジタルフィルタ無効	$t_{\text{Pcyc}} \times 2 \leq 200\text{ns}$
		$t_{\text{Pcyc}} \times 2$ (注1)	-	-			$t_{\text{Pcyc}} \times 2 > 200\text{ns}$
		200	-	-		NMI デジタルフィルタ有効	$t_{\text{NMICK}} \times 3 \leq 200\text{ns}$
		$t_{\text{NMICK}} \times 3.5$ (注2)	-	-			$t_{\text{NMICK}} \times 3 > 200\text{ns}$
IRQパルス幅	$t_{\text{IRQW}}$	200	-	-	ns	IRQ デジタルフィルタ無効	$t_{\text{Pcyc}} \times 2 \leq 200\text{ns}$
		$t_{\text{Pcyc}} \times 2$ (注1)	-	-			$t_{\text{Pcyc}} \times 2 > 200\text{ns}$
		200	-	-		IRQ デジタルフィルタ有効	$t_{\text{IRQCK}} \times 3 \leq 200\text{ns}$
		$t_{\text{IRQCK}} \times 3.5$ (注3)	-	-			$t_{\text{IRQCK}} \times 3 > 200\text{ns}$

注. ソフトウェアスタンバイモード時は最小 200ns です。

注 1.  $t_{\text{Pcyc}}$  は PCLKB の周期を意味します。

注 2.  $t_{\text{NMICK}}$  は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3.  $t_{\text{IRQCK}}$  は、IRQ<sub>i</sub> デジタルフィルタサンプリングクロックの周期を意味します (i = 0 ~ 15)。

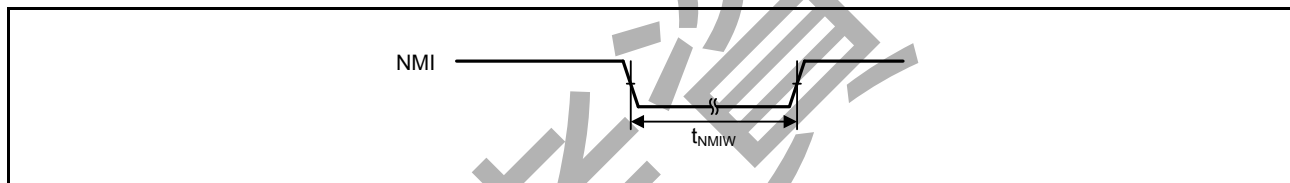


図 51.36 NMI 割り込み入力タイミング

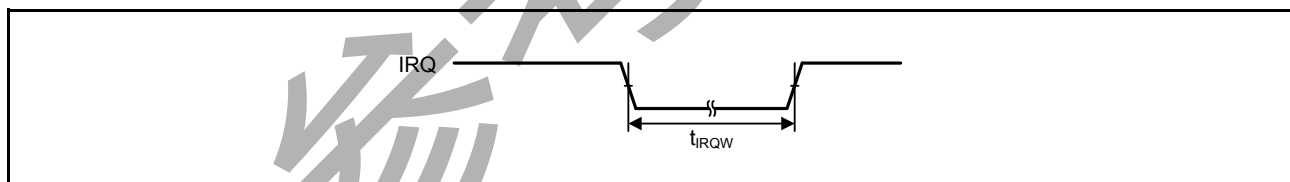


図 51.37 IRQ 割り込み入力タイミング

## 51.3.6 バスタイミング

表 51.31 バスタイミング (1)

条件：EBCLK端子 ≤ 12MHz (145～100ピンのパッケージ) (BCLK：最大24MHz)

VCC = AVCC0 = 2.7～5.5V

出力負荷条件：V<sub>OH</sub> = VCC × 0.5, V<sub>OL</sub> = VCC × 0.5, C = 30pF

項目	シンボル	Min	Max	単位	測定条件
アドレス遅延時間	t <sub>AD</sub>	-	55	ns	図 51.38 ～ 図 51.41
バイトコントロール遅延時間	t <sub>BCD</sub>	-	55	ns	
CS遅延時間	t <sub>CSD</sub>	-	55	ns	
RD遅延時間	t <sub>RSD</sub>	-	55	ns	
リードデータセットアップ時間	t <sub>RDS</sub>	37	-	ns	
リードデータホールド時間	t <sub>RDH</sub>	0	-	ns	
WR遅延時間	t <sub>WRD</sub>	-	55	ns	
ライトデータ遅延時間	t <sub>WDD</sub>	-	55	ns	
ライトデータホールド時間	t <sub>WDH</sub>	0	-	ns	
WAITセットアップ時間	t <sub>WTS</sub>	37	-	ns	
WAITホールド時間	t <sub>WTH</sub>	0	-	ns	

表 51.32 バスタイミング (2)

条件：EBCLK端子 ≤ 8MHz (145～100ピンのパッケージ) (BCLK：最大8MHz)

VCC = AVCC0 = 2.4～2.7V

出力負荷条件：V<sub>OH</sub> = VCC × 0.5, V<sub>OL</sub> = VCC × 0.5, C = 30pF

項目	シンボル	Min	Max	単位	測定条件
アドレス遅延時間	t <sub>AD</sub>	-	55	ns	図 51.38 ～ 図 51.41
バイトコントロール遅延時間	t <sub>BCD</sub>	-	55	ns	
CS遅延時間	t <sub>CSD</sub>	-	55	ns	
RD遅延時間	t <sub>RSD</sub>	-	55	ns	
リードデータセットアップ時間	t <sub>RDS</sub>	45	-	ns	
リードデータホールド時間	t <sub>RDH</sub>	0	-	ns	
WR遅延時間	t <sub>WRD</sub>	-	55	ns	
ライトデータ遅延時間	t <sub>WDD</sub>	-	55	ns	
ライトデータホールド時間	t <sub>WDH</sub>	0	-	ns	
WAITセットアップ時間	t <sub>WTS</sub>	45	-	ns	
WAITホールド時間	t <sub>WTH</sub>	0	-	ns	

表 51.33 バスタイミング (3)

条件: EBCLK端子  $\leq$  4MHz (145~100ピンのパッケージ) (BCLK: 最大4MHz)

VCC = AVCC0 = 1.8~2.4V

出力負荷条件:  $V_{OH} = VCC \times 0.5$ ,  $V_{OL} = VCC \times 0.5$ , C = 30pF

項目	シンボル	Min	Max	単位	測定条件
アドレス遅延時間	$t_{AD}$	-	90	ns	図 51.38 ~ 図 51.41
バイトコントロール遅延時間	$t_{BCD}$	-	90	ns	
CS遅延時間	$t_{CSD}$	-	90	ns	
RD遅延時間	$t_{RSD}$	-	90	ns	
リードデータセットアップ時間	$t_{RDS}$	70	-	ns	
リードデータホールド時間	$t_{RDH}$	0	-	ns	
WR遅延時間	$t_{WRD}$	-	90	ns	
ライトデータ遅延時間	$t_{WDD}$	-	90	ns	
ライトデータホールド時間	$t_{WDH}$	0	-	ns	
WAITセットアップ時間	$t_{WTS}$	70	-	ns	図 51.42
WAITホールド時間	$t_{WTH}$	0	-	ns	

表 51.34 バスタイミング (4)

条件: EBCLK端子  $\leq$  2MHz (145~100ピンのパッケージ) (BCLK: 最大2MHz)

VCC = AVCC0 = 1.6~1.8V

出力負荷条件:  $V_{OH} = VCC \times 0.5$ ,  $V_{OL} = VCC \times 0.5$ , C = 30pF

項目	シンボル	Min	Max	単位	測定条件
アドレス遅延時間	$t_{AD}$	-	120	ns	図 51.38 ~ 図 51.41
バイトコントロール遅延時間	$t_{BCD}$	-	120	ns	
CS遅延時間	$t_{CSD}$	-	120	ns	
RD遅延時間	$t_{RSD}$	-	120	ns	
リードデータセットアップ時間	$t_{RDS}$	90	-	ns	
リードデータホールド時間	$t_{RDH}$	0	-	ns	
WR遅延時間	$t_{WRD}$	-	120	ns	
ライトデータ遅延時間	$t_{WDD}$	-	120	ns	
ライトデータホールド時間	$t_{WDH}$	0	-	ns	
WAITセットアップ時間	$t_{WTS}$	90	-	ns	図 51.42
WAITホールド時間	$t_{WTH}$	0	-	ns	

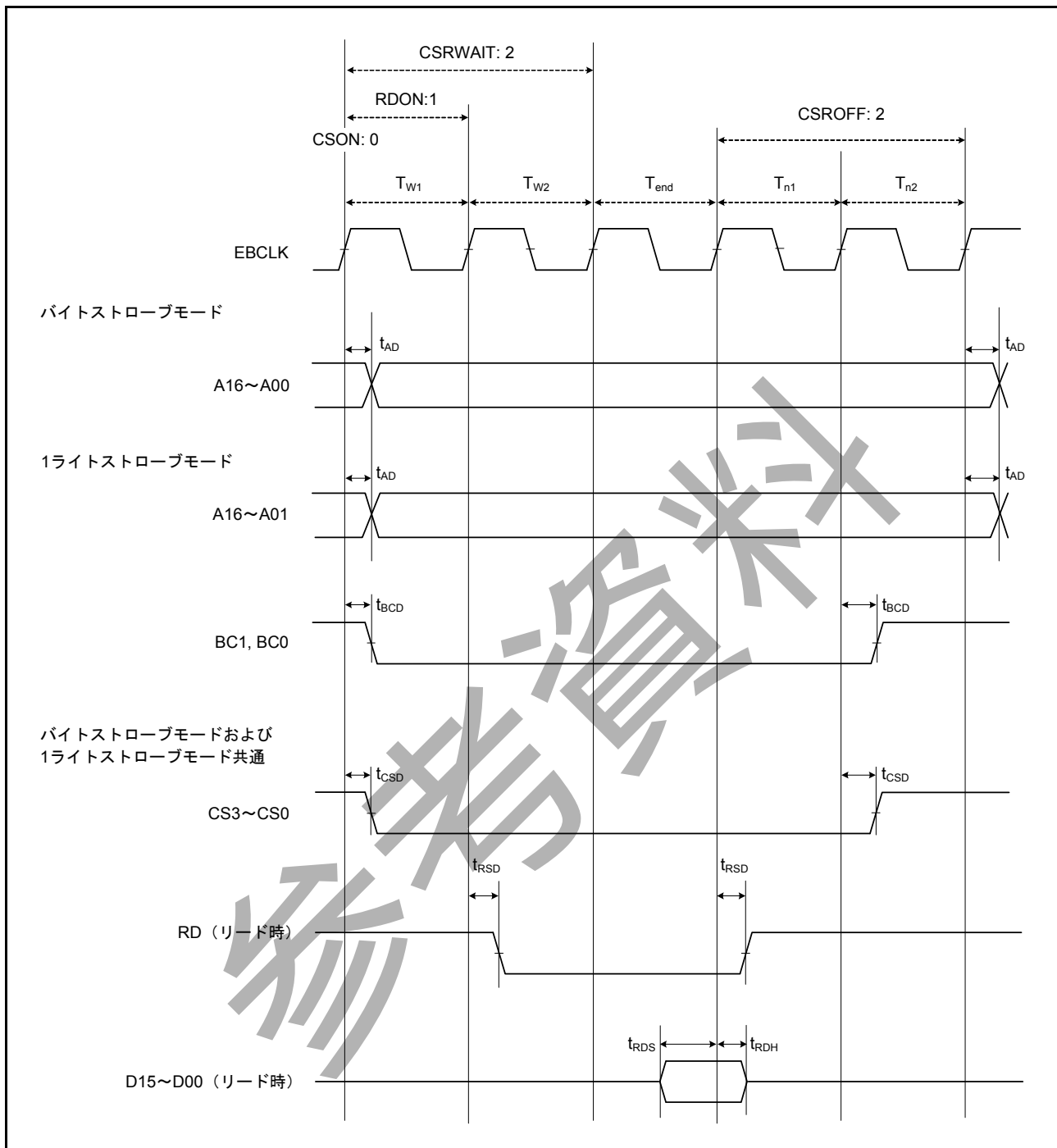


図 51.38 外部バスタイミング/ノーマルリードサイクル (バスクロック同期)

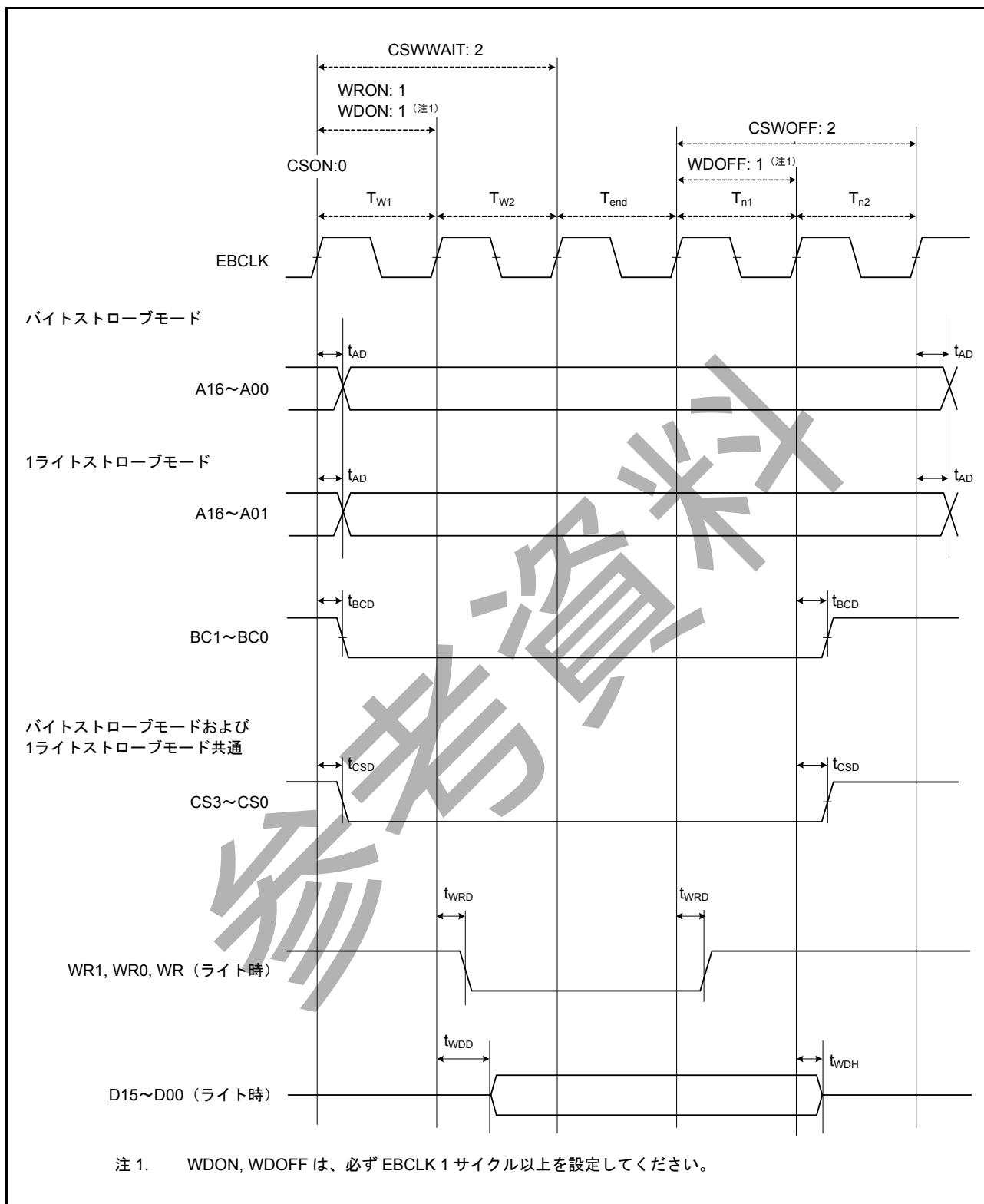


図 51.39 外部バスタイミング/ノーマルライトサイクル (バスクロック同期)

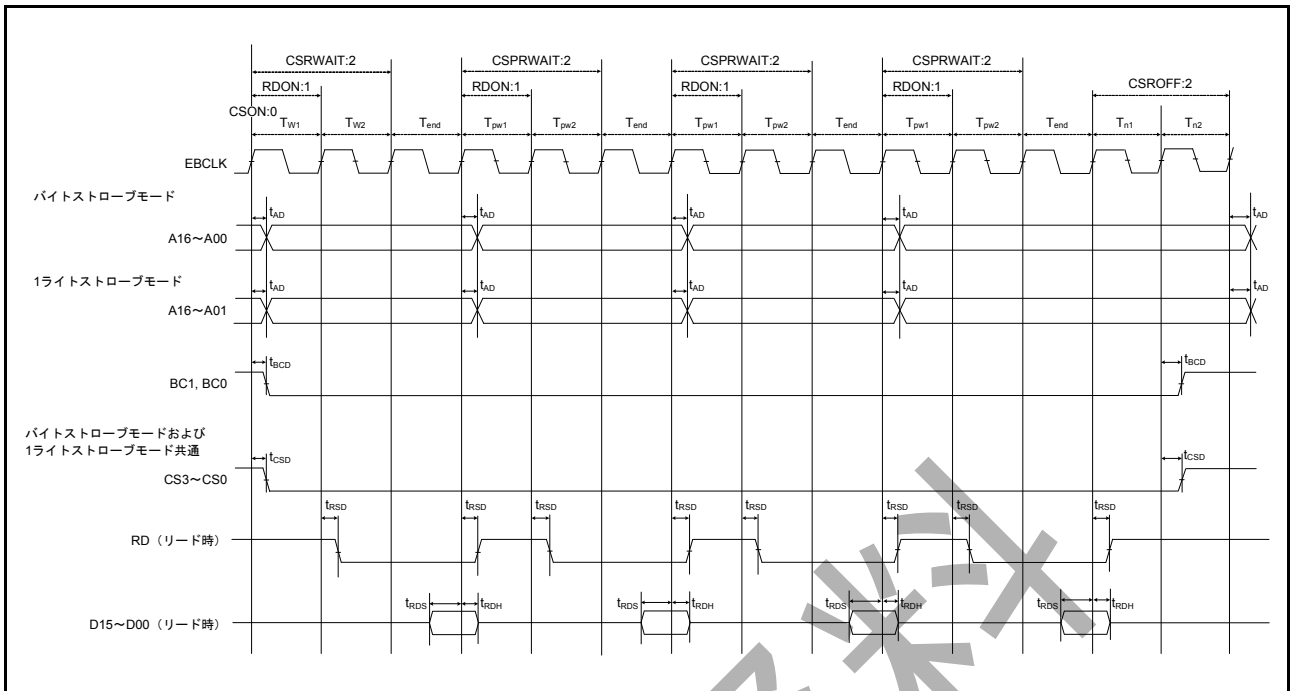


図 51.40 外部バスタイミング/ページリードサイクル (バスクロック同期)

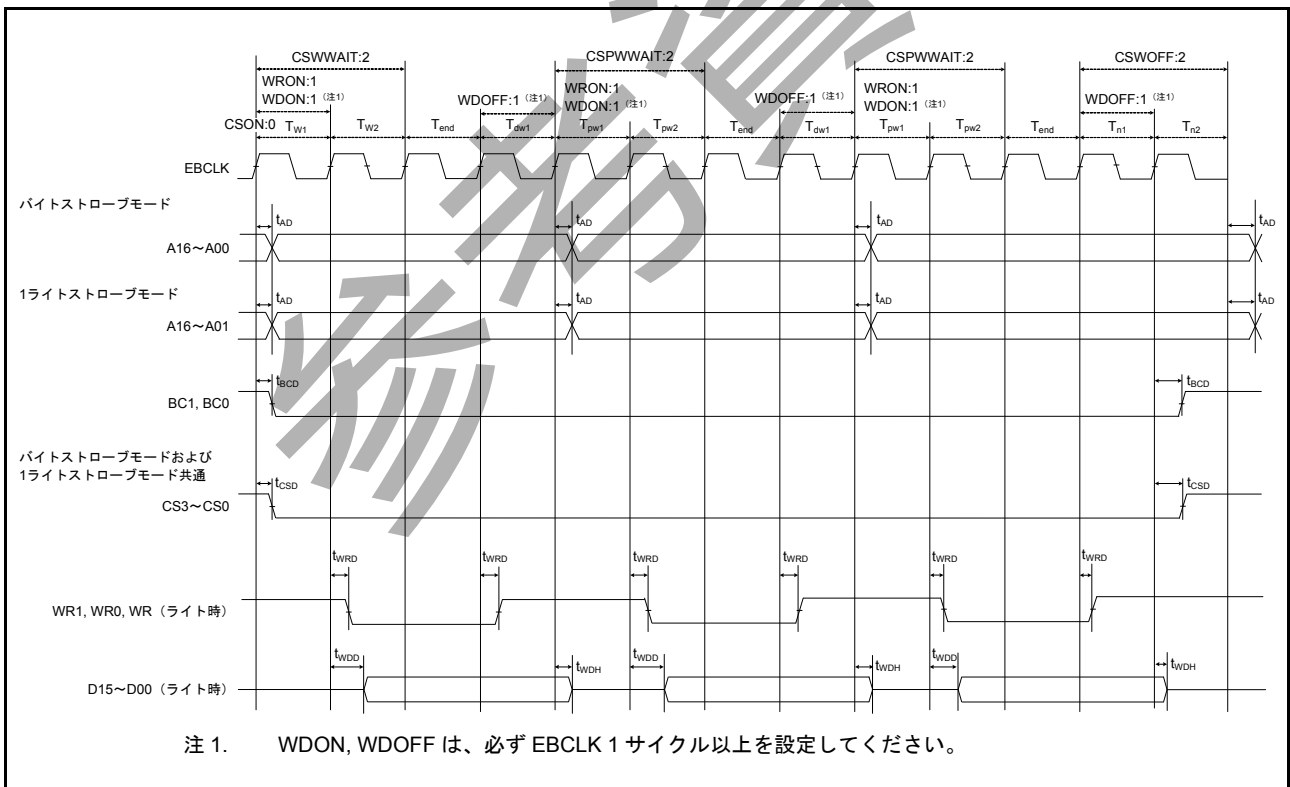


図 51.41 外部バスタイミング/ページライトサイクル (バスクロック同期)

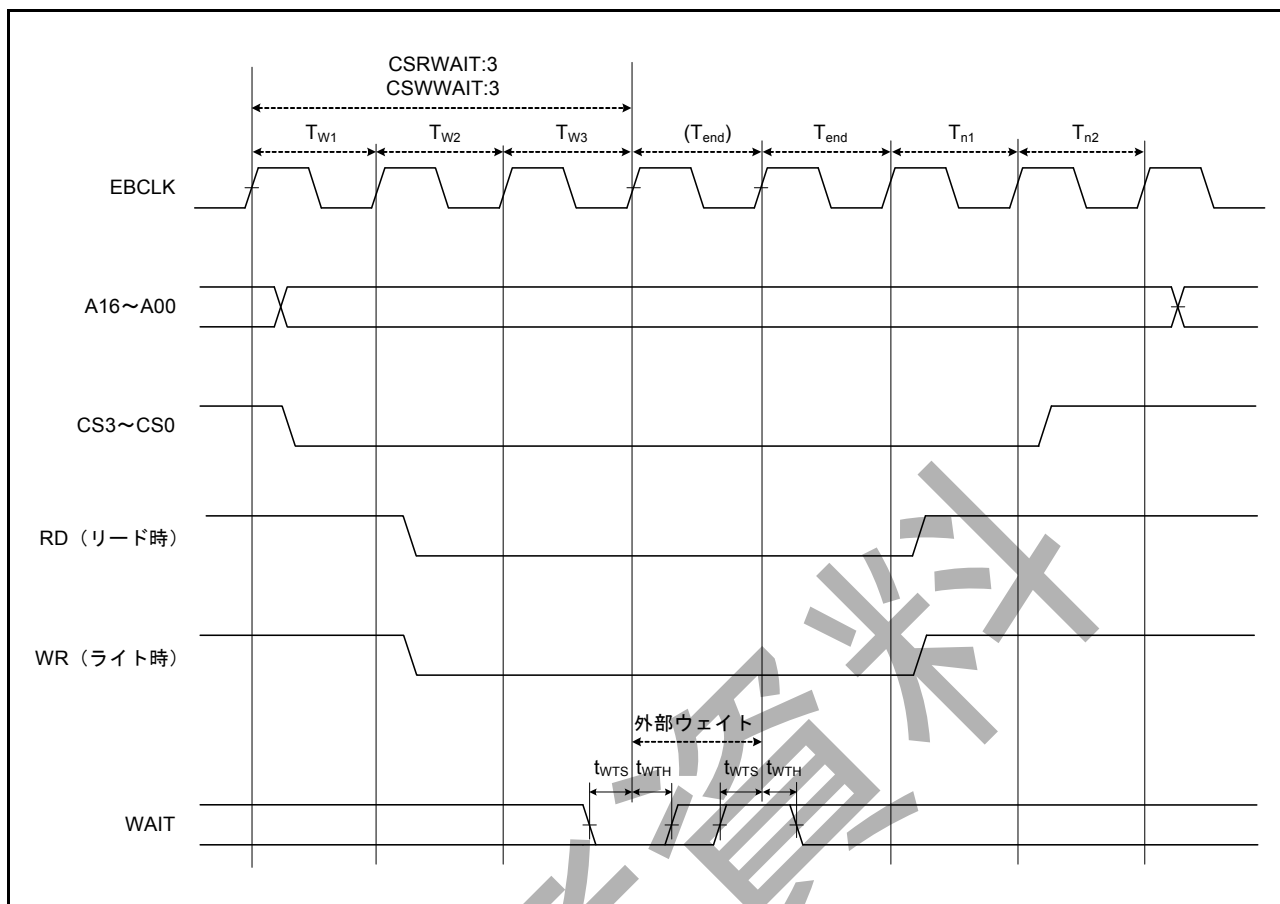


図 51.42 外部バスタイミング/外部ウェイト制御

## 51.3.7 I/Oポート、POEG、GPT、AGT、KINT、ADC14のトリガタイミング

表 51.35 I/Oポート、POEG、GPT、AGT、KINT、ADC14のトリガタイミング

項目		シンボル	Min	Max	単位	測定条件	
I/Oポート	入力データパルス幅	$t_{PRW}$	1.5	-	$t_{Pcyc}$	図 51.43	
	入出力データサイクル (P002、P003、P004、P007)	$t_{POcyc}$	10	-	$\mu s$		
POEG	POEG入カトリガパルス幅	$t_{POEW}$	3	-	$t_{Pcyc}$	図 51.44	
GPT	インプットキャプチャパルス幅	単エッジ	1.5	-	$t_{PDcyc}$	図 51.45	
		両エッジ	2.5	-			
AGT	AGTIO、AGTEE入力サイクル	$2.7V \leq VCC \leq 5.5V$	$t_{ACYC}$ (注1)	250	-	ns	図 51.46
		$2.4V \leq VCC < 2.7V$		500	-	ns	
		$1.8V \leq VCC < 2.4V$		1,000	-	ns	
		$1.6V \leq VCC < 1.8V$		2,000	-	ns	
	AGTIO、AGTEE入力Highレベル幅、Lowレベル幅	$2.7V \leq VCC \leq 5.5V$	$t_{ACKWH}$	100	-	ns	
		$2.4V \leq VCC < 2.7V$	$t_{ACKWL}$	200	-	ns	
		$1.8V \leq VCC < 2.4V$		400	-	ns	
		$1.6V \leq VCC < 1.8V$		800	-	ns	
	AGTIO、AGTO、AGTOA、AGTOB出力周波数	$2.7V \leq VCC \leq 5.5V$	$t_{ACYC2}$	62.5	-	ns	
		$2.4V \leq VCC < 2.7V$		125	-	ns	
		$1.8V \leq VCC < 2.4V$		250	-	ns	
		$1.6V \leq VCC < 1.8V$		500	-	ns	
ADC14	14ビットA/Dコンバータトリガ入力パルス幅	$t_{TRGW}$	1.5	-	$t_{Pcyc}$	図 51.47	
KINT	キー割り込み入力Lowレベル幅	$t_{KR}$	250	-	ns	図 51.48	

注 1. AGTIO 入力の制約:  $t_{Pcyc} \times 2$  ( $t_{Pcyc}$ : PCLKB サイクル)  $< t_{ACYC}$

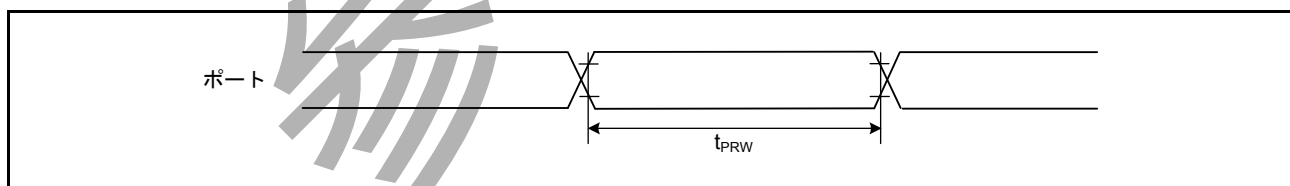


図 51.43 I/Oポート入力タイミング

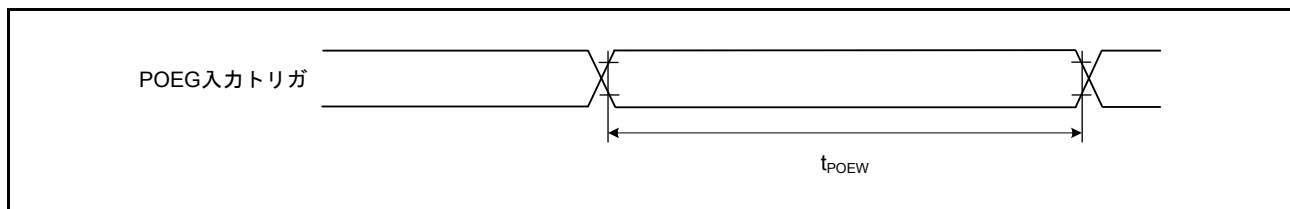


図 51.44 POEG 入カトリガタイミング



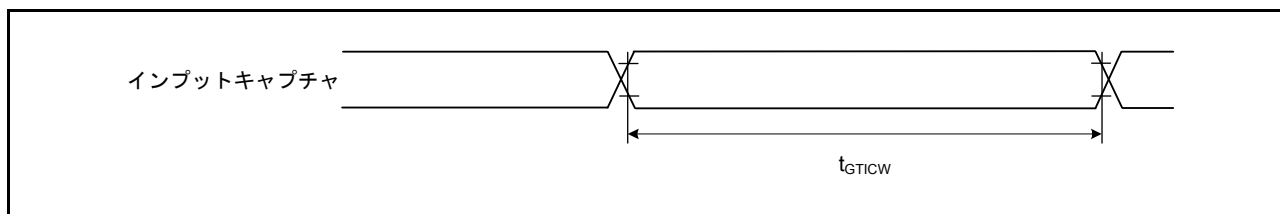


図 51.45 GPT インプットキャプチャタイミング

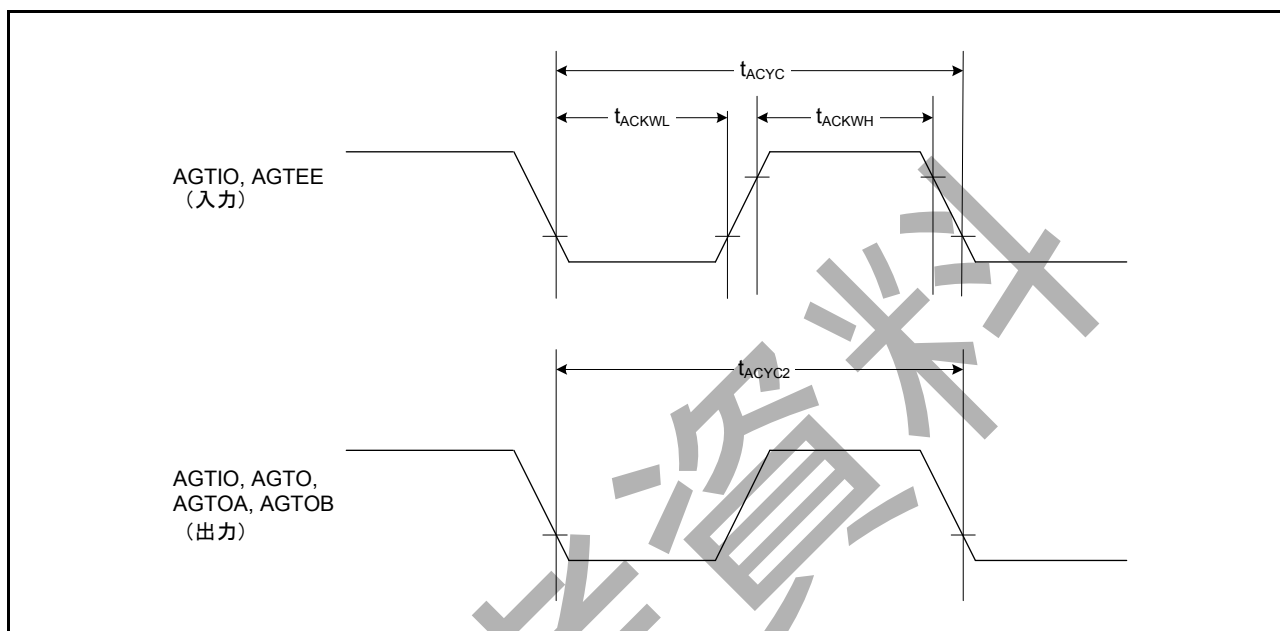


図 51.46 AGT 入出力タイミング

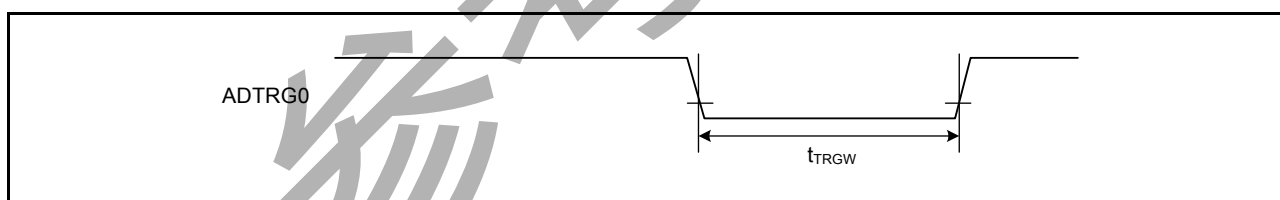


図 51.47 ADC14 トリガ入力タイミング

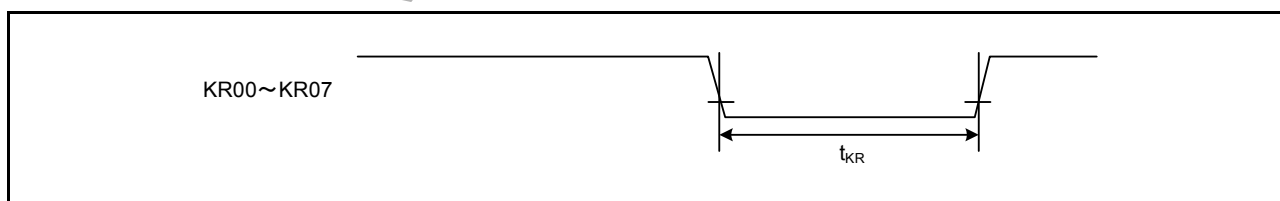


図 51.48 キー割り込み入力タイミング

## 51.3.8 CAC タイミング

表 51.36 CAC タイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{CACREF}$	$t_{PBcyc} \leq t_{cac}$ (注2)	-	-	ns	-
			$t_{PBcyc} > t_{cac}$ (注2)	$4.5 \times t_{cac} + 3 \times t_{PBcyc}$	-	-	

注 1.  $t_{PBcyc}$ : PCLKB の周期注 2.  $t_{cac}$ : CAC カウントクロックソースの周期

## 51.3.9 SCI タイミング

表 51.37 SCI タイミング (1)

条件: VCC = AVCC0 = VREFH = VCC\_USB = 1.6 ~ 5.5V

項目		シンボル	Min	Max	単位 (注1)	測定条件		
SCI	入力クロックサイクル	調歩同期式	$t_{Scyc}$	4	-	$t_{Pcyc}$	図 51.49	
				6	-			
	入力クロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$		
	入力クロック立ち上がり時間		$t_{SCKr}$	-	20	ns		
	入力クロック立ち下がり時間		$t_{SCKf}$	-	20	ns		
	出力クロックサイクル	調歩同期式	$t_{Scyc}$	6	-	$t_{Pcyc}$		
				4	-			
	出力クロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$		
	出力クロック立ち上がり時間	1.8V 以上	$t_{SCKr}$	-	20	ns		
				-	30			
	出力クロック立ち下がり時間	1.8V 以上	$t_{SCKf}$	-	20	ns		
				-	30			
	送信データ遅延時間 (マスタ)	クロック同期式	1.8V 以上	$t_{TXD}$	-	40		ns
					-	45		
送信データ遅延時間 (スレーブ)	クロック同期式	2.7V 以上	$t_{TXD}$	-	55	ns		
		2.4V 以上		-	60			
		1.8V 以上		-	100			
		1.6V 以上		-	125			
受信データセットアップ時間 (マスタ)	クロック同期式	2.7V 以上	$t_{RXS}$	45	-	ns		
		2.4V 以上		55	-			
		1.8V 以上		90	-			
		1.6V 以上		105	-			
受信データセットアップ時間 (スレーブ)	クロック同期式	2.7V 以上	$t_{RXS}$	40	-	ns		
		1.6V 以上		45	-			
受信データホールド時間 (マスタ)	クロック同期式	$t_{RXH}$	5	-	ns			
受信データホールド時間 (スレーブ)	クロック同期式	$t_{RXH}$	40	-	ns			

注 1.  $t_{Pcyc}$ : PCLKA の周期

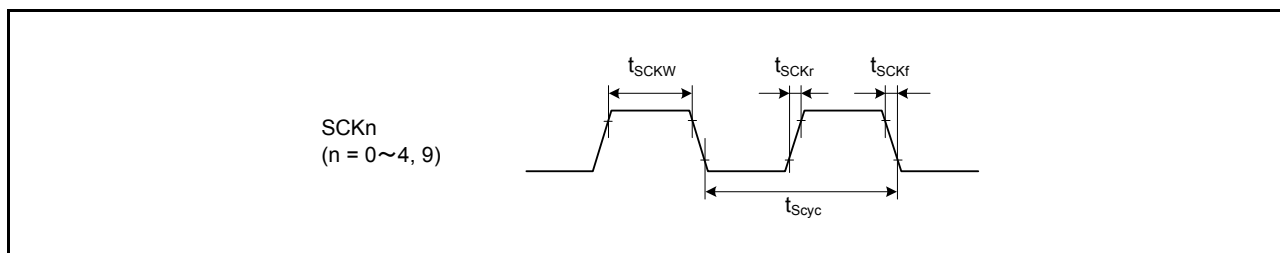


図 51.49 SCK クロック入力タイミング

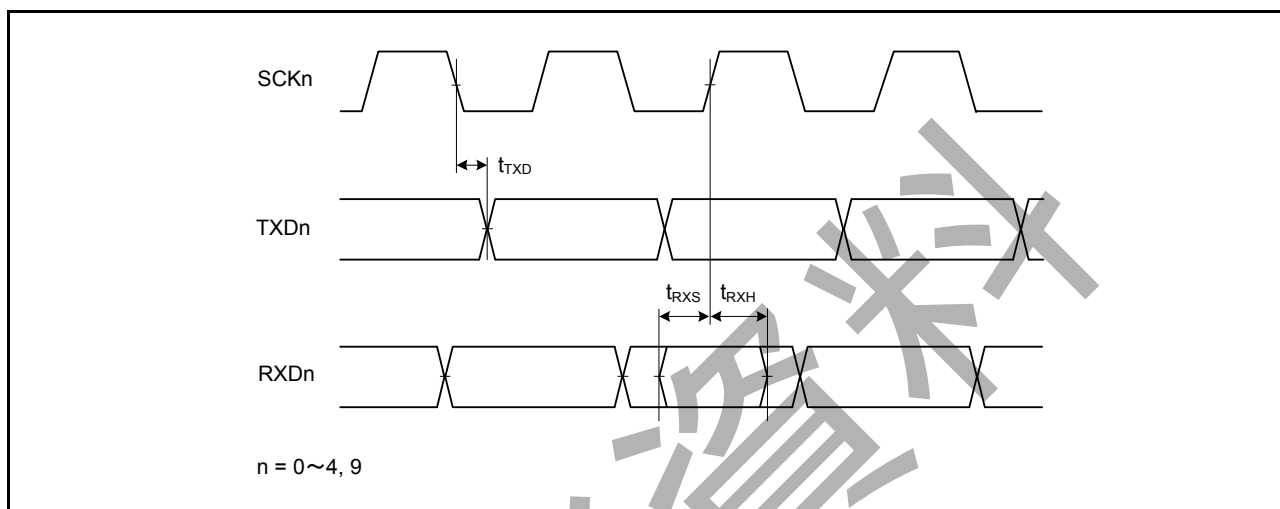


図 51.50 クロック同期式モードにおける SCI 入出力タイミング

表 51.38 SCI タイミング (2)

条件 : VCC = AVCC0 = VREFH = VCC\_USB = 1.6 ~ 5.5V、VREFH0 = 2.7V ~ AVCC0

項目			シンボル	Min	Max	単位	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ)		$t_{SPcyc}$	4	65,536	$t_{Pcyc}$	図 51.51	
	SCKクロックサイクル入力 (スレーブ)			6	65,536			
	SCKクロックHighレベルパルス幅		$t_{SPCKWH}$	0.4	0.6	$t_{SPcyc}$		
	SCKクロックLowレベルパルス幅		$t_{SPCKWL}$	0.4	0.6	$t_{SPcyc}$		
	SCKクロック立ち上がり/立ち下がり時間		$t_{SPCKr}$ , $t_{SPCKf}$	1.8V以上	-	20	ns	
				1.6V以上	-	30		
	データ入力セット アップ時間	マスタ	2.7V以上	$t_{SU}$	45	-	ns	図 51.52 ~ 図 51.55
			2.4V以上		55	-		
			1.8V以上		80	-		
			1.6V以上		105	-		
		スレーブ	2.7V以上		40	-		
			1.6V以上		45	-		
データ入力ホールド 時間	マスタ	$t_H$	33.3	-	ns			
	スレーブ		40	-				
SS入力セットアップ時間			$t_{LEAD}$	1	-	$t_{SPcyc}$		
SS入力ホールド時間			$t_{LAG}$	1	-	$t_{SPcyc}$		
データ出力遅延時 間	マスタ	1.8V以上	$t_{OD}$	-	40	ns		
		1.6V以上		-	50			
	スレーブ	2.4V以上		-	65			
		1.8V以上		-	100			
		1.6V以上		-	125			
				-	-			
データ出力ホールド 時間	マスタ	2.7V以上	$t_{OH}$	-10	-	ns		
		2.4V以上		-20	-			
		1.8V以上		-30	-			
		1.6V以上		-40	-			
	スレーブ	-		-10	-			
		-		-	-			
データ立ち上がり /立ち下がり時間	マスタ	$t_{Dr}, t_{Df}$	-	20	ns			
	スレーブ		1.8V以上	-		20		
			1.6V以上	-		30		
簡易 SPI	スレーブアクセス時間		$t_{SA}$	-	10 (PCLKA > 32MHz)、 6 (PCLKA ≤ 32MHz)	$t_{Pcyc}$	図 51.54 と 図 51.55 PCLKB = PCLKA	
	スレーブ出力開放時間		$t_{REL}$	-	10 (PCLKA > 32MHz)、 6 (PCLKA ≤ 32MHz)	$t_{Pcyc}$		

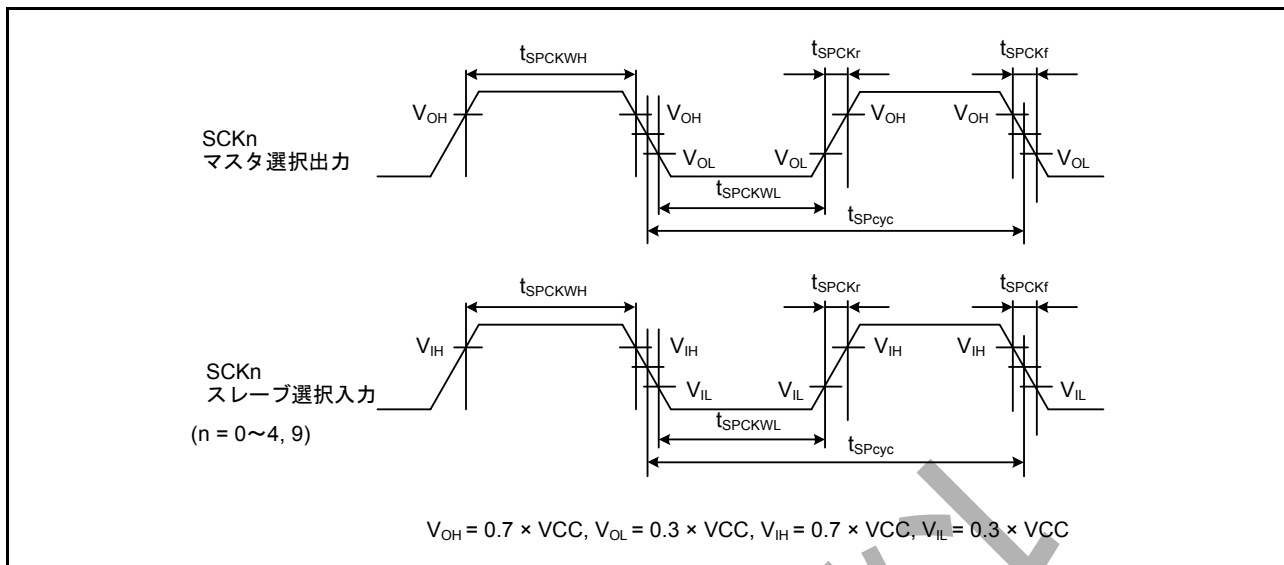


図 51.51 SCI 簡易 SPI モードクロックタイミング

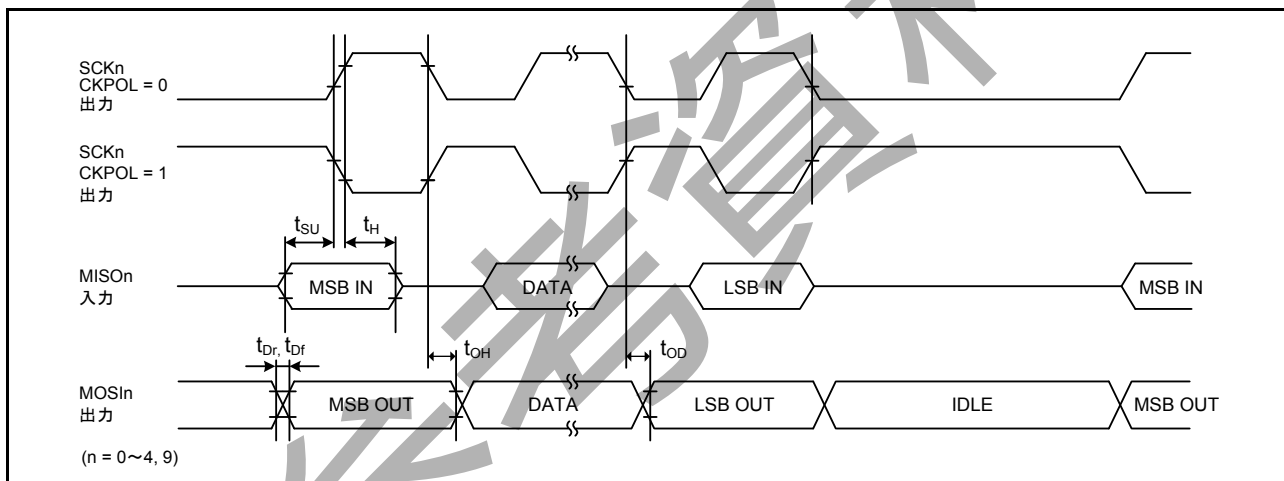


図 51.52 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 1)

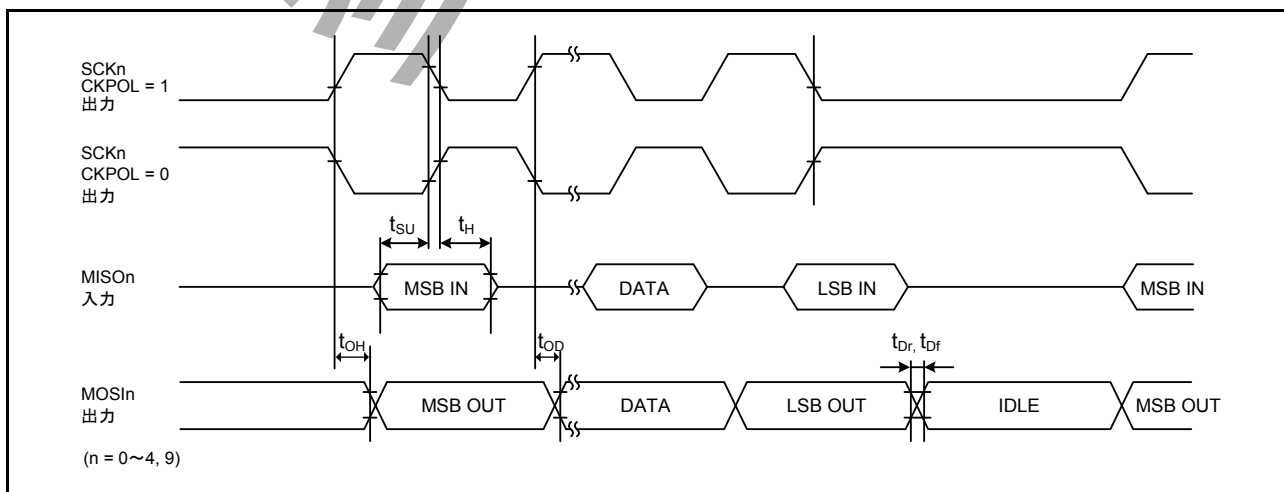


図 51.53 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

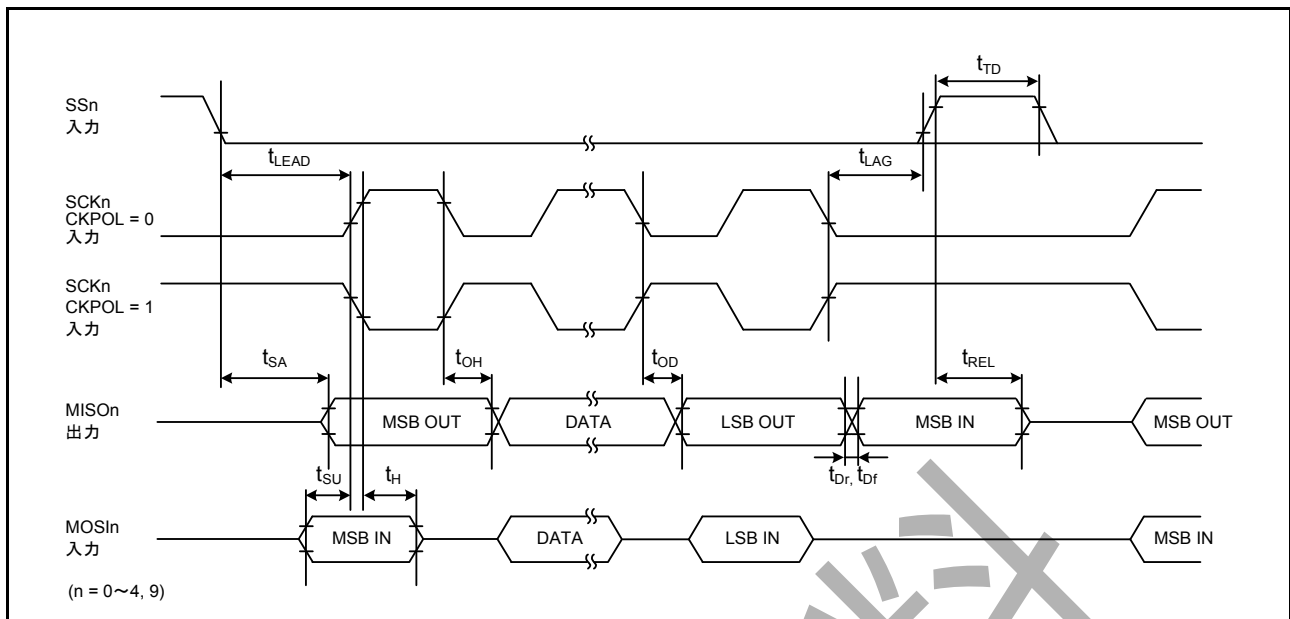


図 51.54 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)

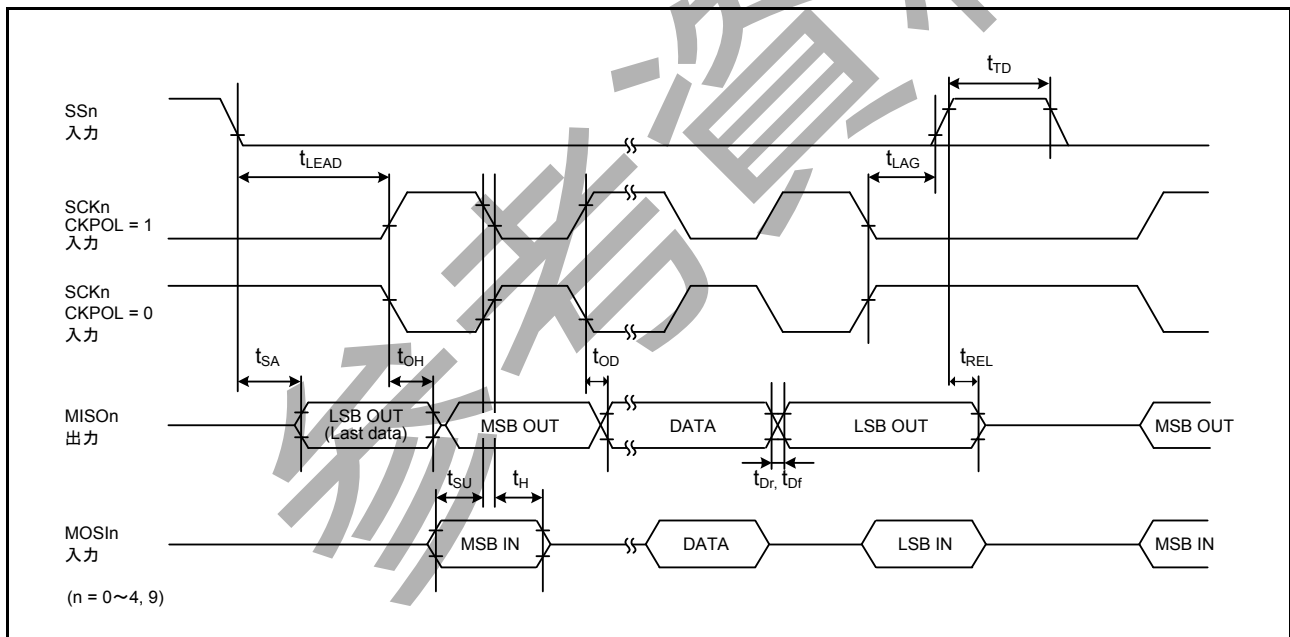
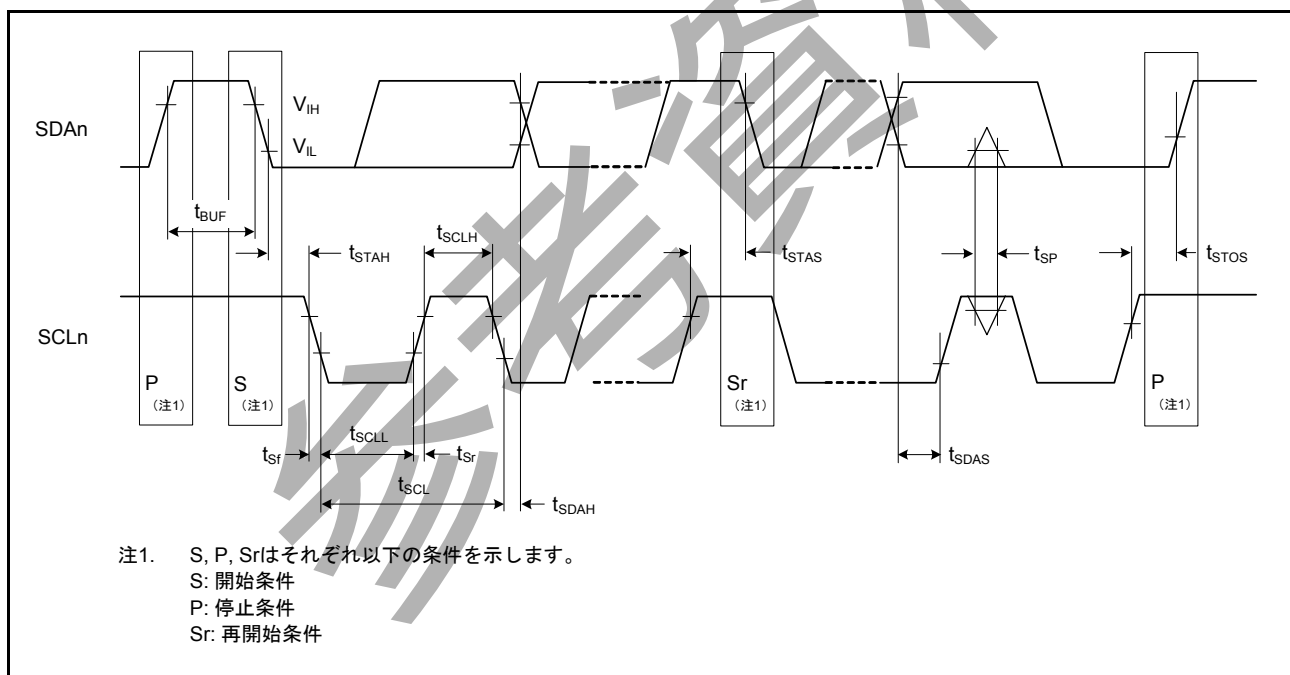


図 51.55 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 0)

表 51.39 SCI タイミング (3)

条件: VCC = 2.7 ~ 5.5V

項目	シンボル	Min	Max	単位	測定条件	
簡易 I <sup>2</sup> C (標準モード)	SDA入力立ち上がり時間	$t_{Sr}$	-	1000	ns	図 51.56
	SDA入力立ち下がり時間	$t_{Sf}$	-	300	ns	
	SDA入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{IICyc}$	ns	
	データ入力セットアップ時間	$t_{SDAS}$	250	-	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	-	ns	
	SCL、SDAの負荷容量	$C_b$ (注2)	-	400	pF	
簡易 I <sup>2</sup> C (ファストモード)	SCL、SDA入力立ち上がり時間	$t_{Sr}$	-	300	ns	図 51.56
	SCL、SDA入力立ち下がり時間	$t_{Sf}$	-	300	ns	
	SCL、SDA入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{IICyc}$	ns	
	データ入力セットアップ時間	$t_{SDAS}$	100	-	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	-	ns	
	SCL、SDAの負荷容量	$C_b$ (注2)	-	400	pF	

注 1.  $t_{IICyc}$ : IIC 内部基準クロック (IIC $\phi$ ) の周期、 $t_{Pcyc}$ : PCLKB の周期注 2.  $C_b$  はバスラインの容量総計を意味します。図 51.56 SCI 簡易 I<sup>2</sup>C モードタイミング

## 51.3.10 SPI タイミング

表 51.40 SPI タイミング (1/2)

条件：PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位 (注1)	測定条件		
SPI	RSPCKクロックサイクル	マスタ	$t_{SPCyc}$	2	4,096	$t_{Pcyc}$	図 51.57 C = 30pF	
		スレーブ		6	4,096			
	RSPCKクロック High レベルパルス幅	マスタ	$t_{SPCKWH}$	$(t_{SPCyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	-	ns		
		スレーブ		$3 \times t_{Pcyc}$	-			
	RSPCKクロック Low レベルパルス幅	マスタ	$t_{SPCKWL}$	$(t_{SPCyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	-	ns		
		スレーブ		$3 \times t_{Pcyc}$	-			
	RSPCKクロック立ち上がり/立ち下がり時間	出力	2.7V 以上	$t_{SPCKr}$	-	10		ns
			2.4V 以上	$t_{SPCKf}$	-	15		
			1.8V 以上		-	20		
			1.6V 以上		-	30		
入力			-	1	$\mu s$			
データ入力セットアップ時間	マスタ	$t_{SU}$	10	-	ns	図 51.58 ~ 図 51.63 C = 30pF		
	スレーブ	2.4V 以上	10	-				
		1.8V 以上	15	-				
		1.6V 以上	20	-				
データ入力ホールド時間	マスタ (RSPCKはPCLKA/2)	$t_{HF}$	0	-	ns			
	マスタ (RSPCKは上記以外)	$t_H$	$t_{Pcyc}$	-				
	スレーブ	$t_H$	20	-				
SSLセットアップ時間	マスタ	$t_{LEAD}$	$-30 + N \times t_{SpCyc}$ (注2)	-	ns			
	スレーブ		$6 \times t_{Pcyc}$	-	ns			
SSLホールド時間	マスタ	$t_{LAG}$	$-30 + N \times t_{SpCyc}$ (注3)	-	ns			
	スレーブ		$6 \times t_{Pcyc}$	-	ns			



表 51.40 SPI タイミング (2/2)

条件: PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位 (注1)	測定条件		
SPI	データ出力遅延時間	マスタ	2.7V以上	$t_{OD}$	-	14	ns	図 51.58 ~ 図 51.63 C = 30pF	
			2.4V以上		-	20			
			1.8V以上		-	25			
			1.6V以上		-	30			
		スレーブ	2.7V以上		-	50			
			2.4V以上		-	60			
			1.8V以上		-	85			
			1.6V以上		-	110			
	データ出力ホールド時間	マスタ	$t_{OH}$	0	-	ns			
		スレーブ	$t_{OH}$	0	-	ns			
	連続転送遅延時間	マスタ	$t_{TD}$	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns			
		スレーブ		$6 \times t_{Pcyc}$	-	ns			
	MOSI、MISO 立ち上がり/立ち下がり時間	出力	2.7V以上	$t_{Dr}, t_{Df}$	-	10			ns
			2.4V以上		-	15			
			1.8V以上		-	20			
			1.6V以上		-	30			
入力		-	1		$\mu s$				
SSL立ち上がり/立ち下がり時間	出力	2.7V以上	$t_{SSLr}, t_{SSLf}$	-	10	ns			
		2.4V以上		-	15				
		1.8V以上		-	20				
		1.6V以上		-	30				
	入力	-		1	$\mu s$				
スレーブアクセス時間	2.7V以上	$t_{SA}$	-	$2 \times t_{Pcyc} + 50$	ns	図 51.62 と 図 51.63 C = 30pF			
	2.4V以上		-	$2 \times t_{Pcyc} + 60$					
	1.8V以上		-	$2 \times t_{Pcyc} + 85$					
	1.6V以上		-	$2 \times t_{Pcyc} + 110$					
スレーブ出力開放時間	2.7V以上	$t_{REL}$	-	$2 \times t_{Pcyc} + 50$	ns				
	2.4V以上		-	$2 \times t_{Pcyc} + 60$					
	1.8V以上		-	$2 \times t_{Pcyc} + 85$					
	1.6V以上		-	$2 \times t_{Pcyc} + 110$					

注 1.  $t_{Pcyc}$ : PCLKA の周期

注 2. N は SPCKD レジスタにより、1 ~ 8 の整数に設定されます。

注 3. N は SSLND レジスタにより、1 ~ 8 の整数に設定されます。

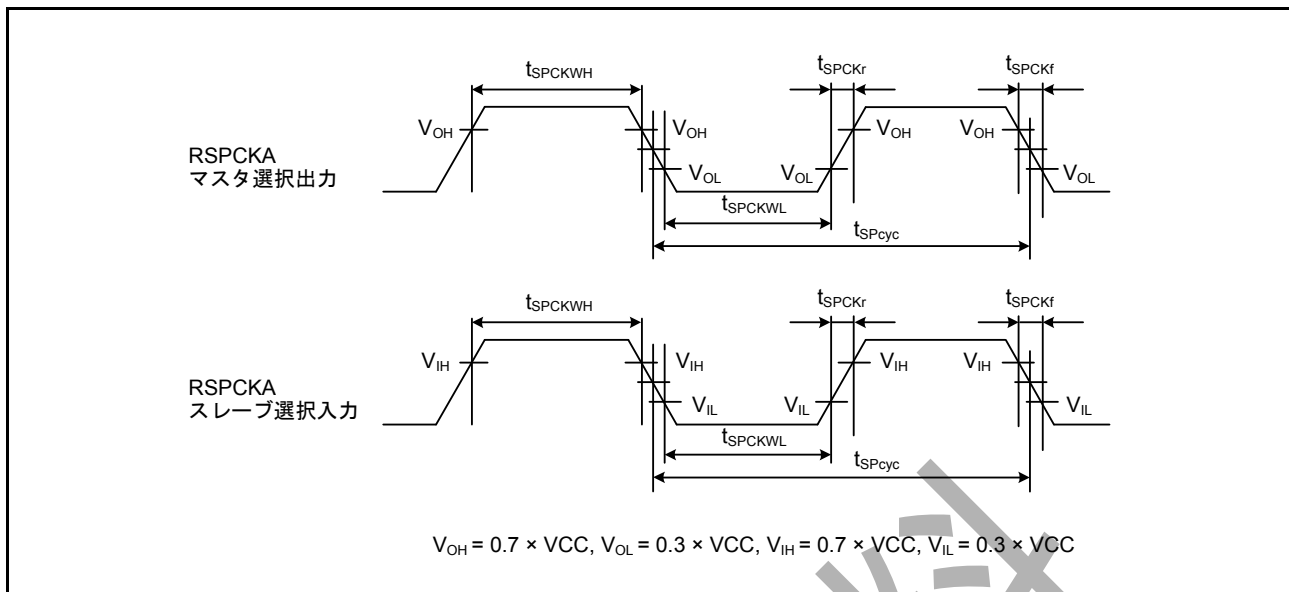


図 51.57 SPI クロックタイミング

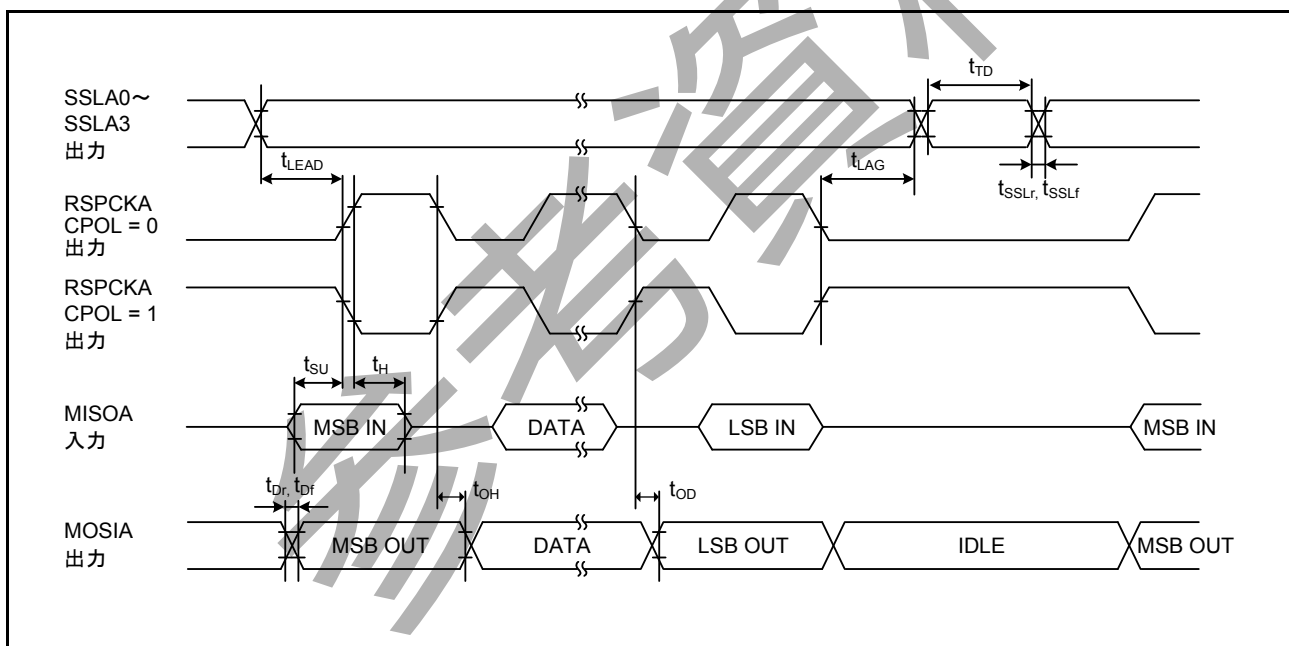


図 51.58 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

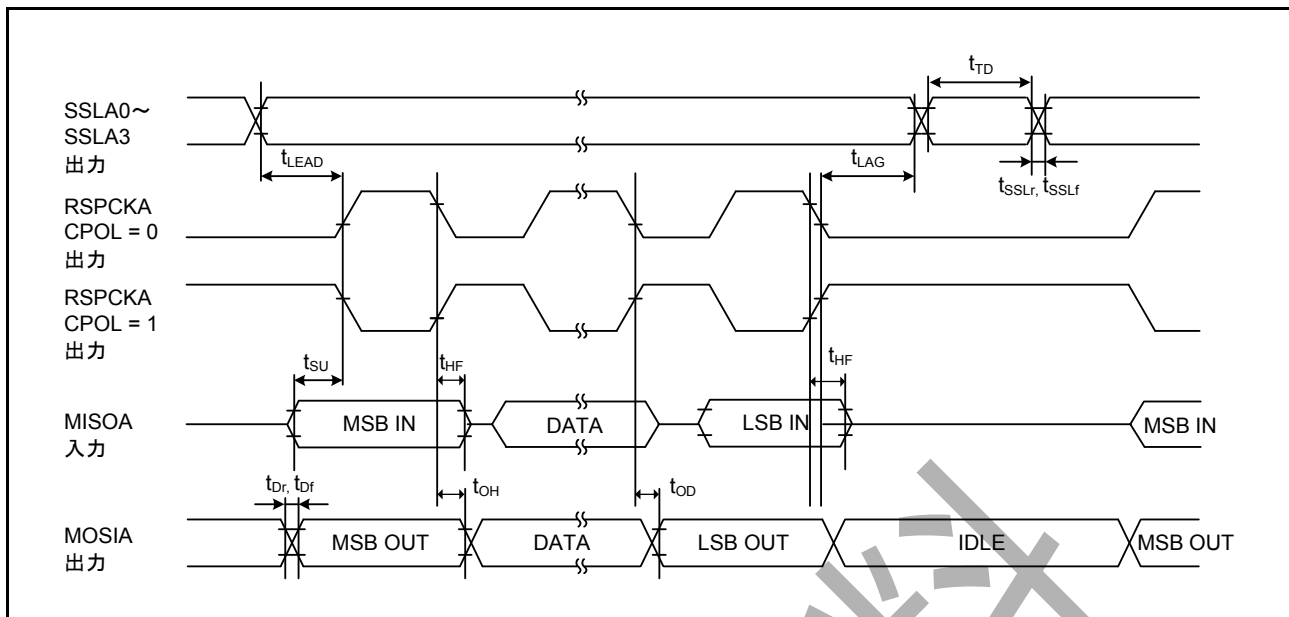


図 51.59 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

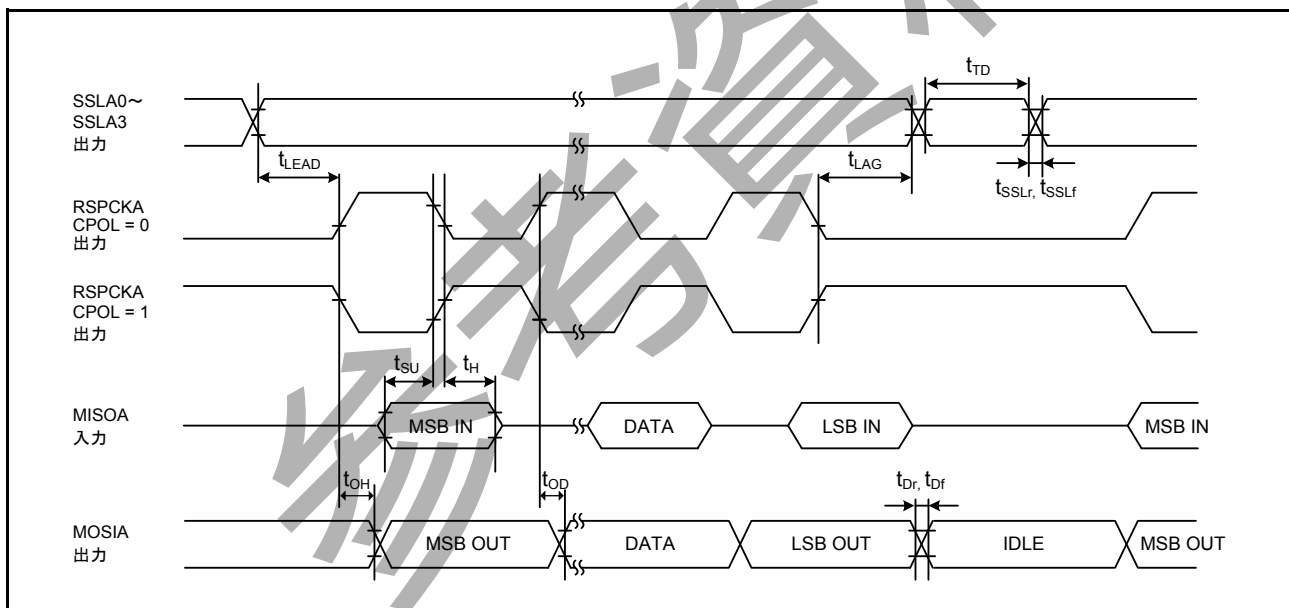


図 51.60 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

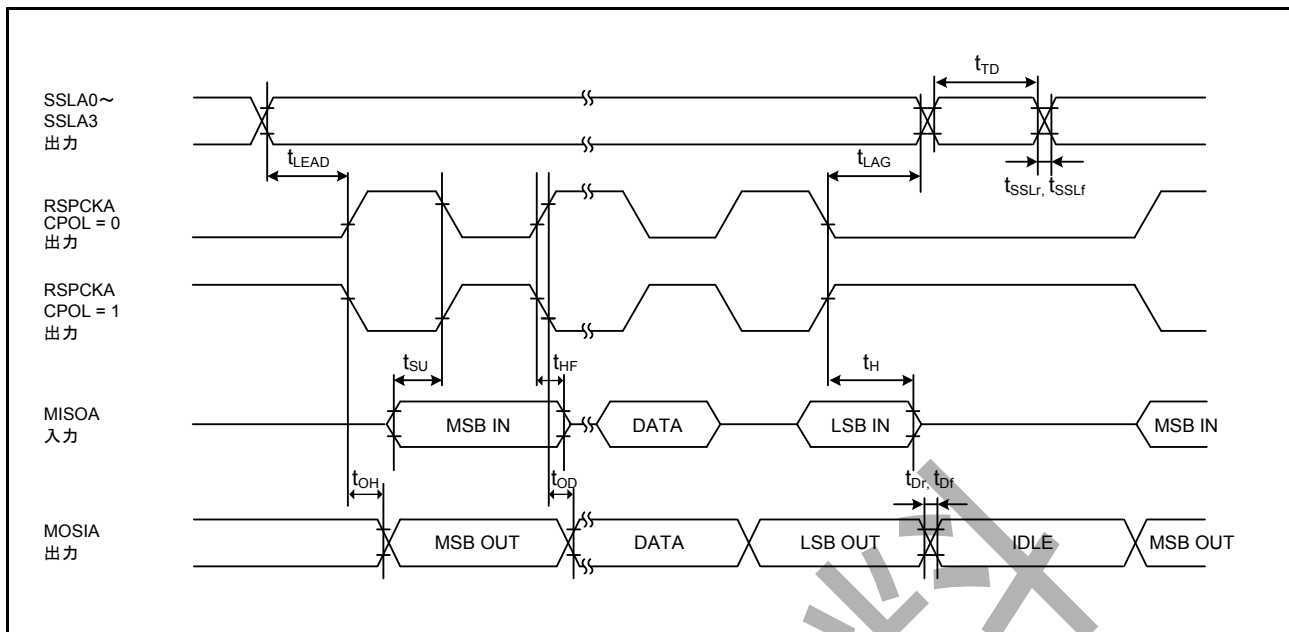


図 51.61 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

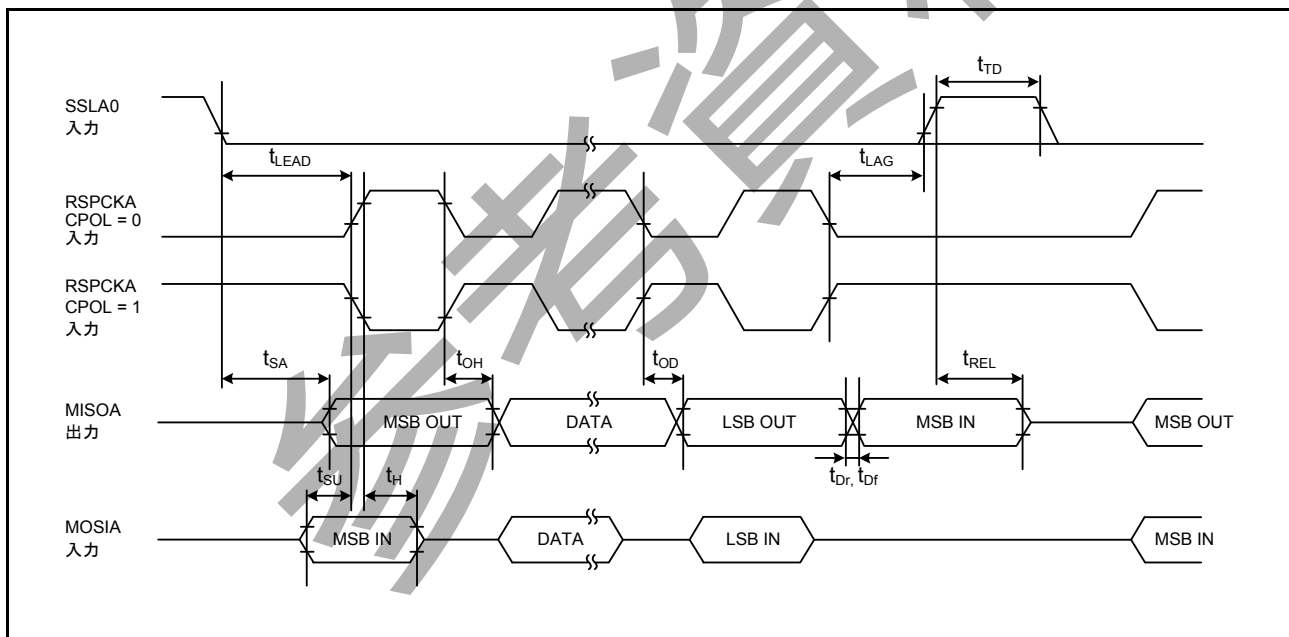


図 51.62 SPI タイミング (スレーブ、CPHA = 0)

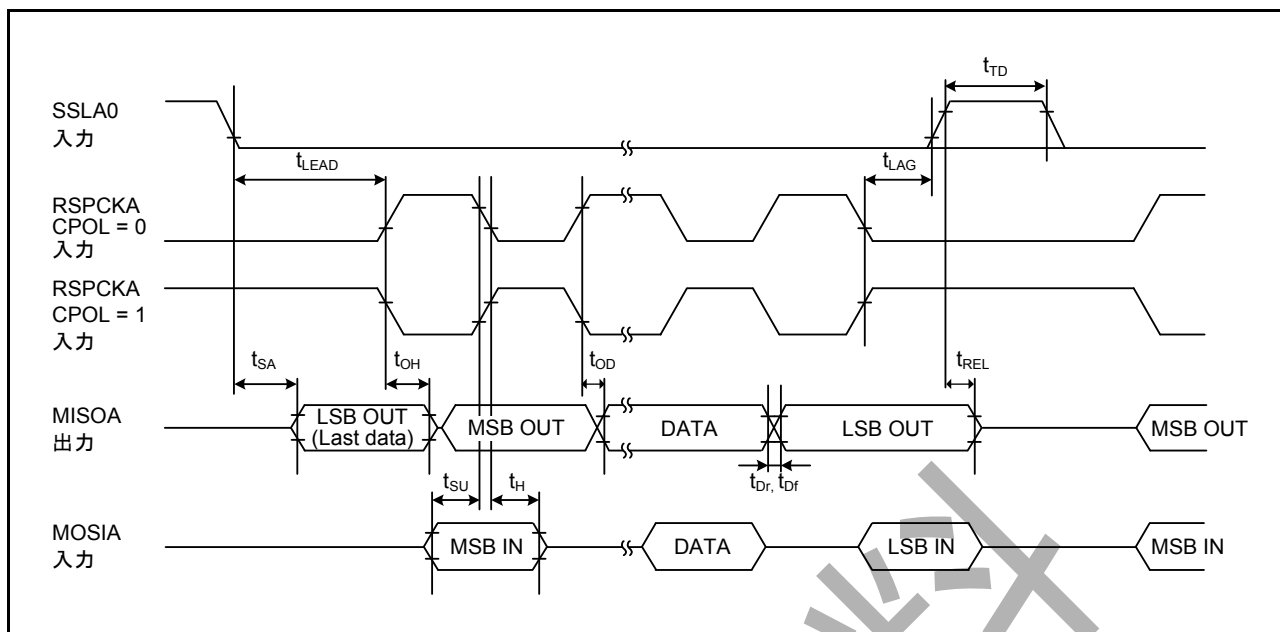


図 51.63 SPI タイミング (スレーブ、CPHA = 1)

## 51.3.11 QSPI タイミング

表 51.41 QSPI タイミング

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

条件 : PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位 (注1)	測定条件	
QSPI	QSPCLK クロック サイクル	$t_{QScyc}$	2	48	$t_{Pcyc}$	図 51.64	
	QSPCLK クロック High レベルパルス幅	$t_{QSWH}$	$t_{QScyc} \times 0.4$	-	ns		
	QSPCLK クロック Low レベルパルス幅	$t_{QSWL}$	$t_{QScyc} \times 0.4$	-	ns		
	データ入力セットアップ時間	2.7V 以上	$t_{SU}$	40	-	ns	図 51.65
		2.4V 以上		40	-	ns	
		1.8V 以上		80	-	ns	
	データ入力ホールド時間	$t_{IH}$	0	-	ns		
	SSL セットアップ時間	$t_{LEAD}$	$(N + 0.5) \times t_{QScyc} - 15$ (注2)	$(N + 0.5) \times t_{QScyc} + 100$ (注2)	ns		
	SSL ホールド時間	$t_{LAG}$	$(N + 0.5) \times t_{QScyc} - 15$ (注3)	$(N + 0.5) \times t_{QScyc} + 100$ (注3)	ns		
	データ出力遅延時間	2.7V 以上	$t_{OD}$	-	14	ns	
2.4V 以上		-		20			
1.8V 以上		-		30			
データ出力ホールド時間	2.7V 以上	$t_{OH}$	-3.3	-	ns		
	1.8V 以上		-10	-			
連続転送遅延時間	$t_{TD}$	1	16	$t_{QScyc}$			

注 1.  $t_{Pcyc}$  : PCLKA の周期

注 2. SFMSLD で N は 0 または 1 になっています。

注 3. SFMSHD で N は 0 または 1 になっています。

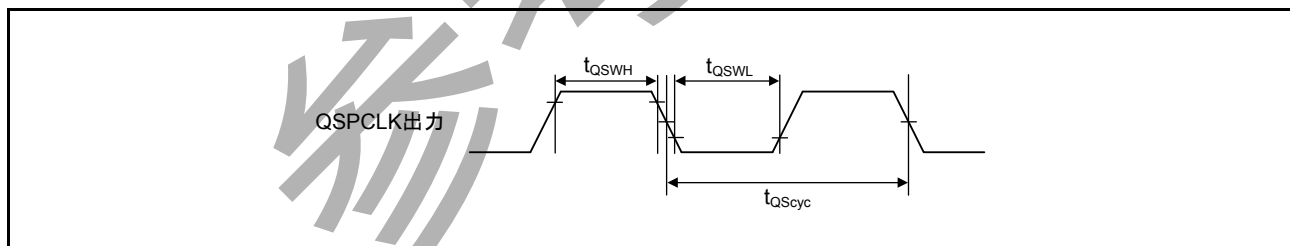


図 51.64 QSPI クロックタイミング

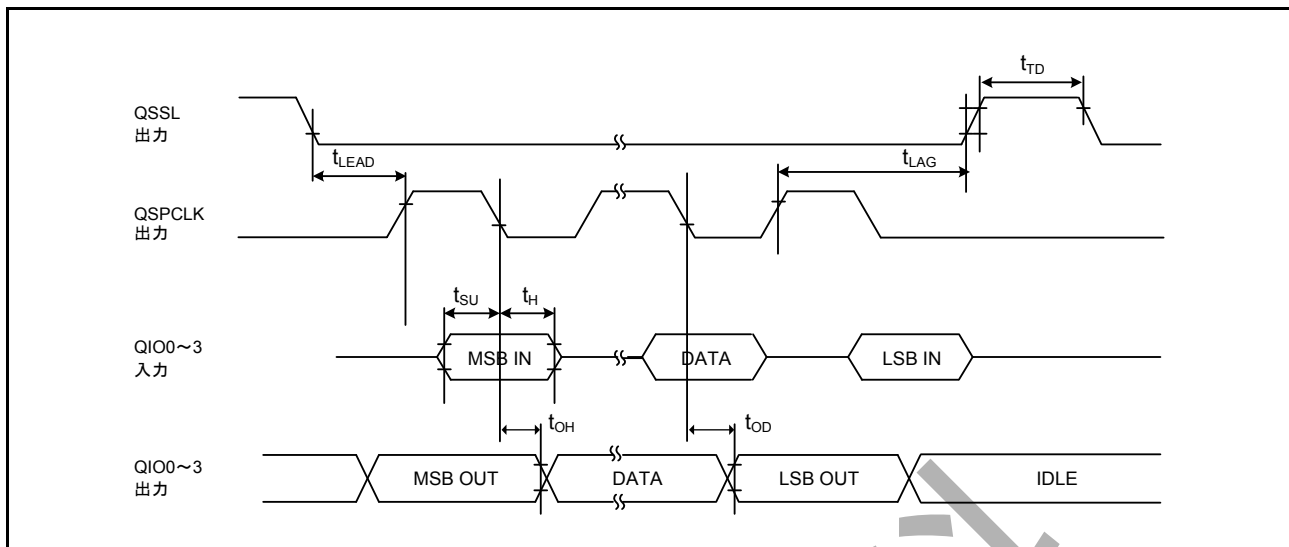


図 51.65 送受信タイミング

## 51.3.12 IIC タイミング

表 51.42 IIC タイミング

条件 : VCC = AVCC0 = 2.7~5.5V

項目		シンボル	Min (注1) (注2)	Max	単位	測定条件
IIC (標準モード、 SMBus)	SCL入力サイクル時間	$t_{SCL}$	$6 (12) \times t_{IICcyc} + 1300$	-	ns	図 51.66
	SCL入力Highレベルパルス幅	$t_{SCLH}$	$3 (6) \times t_{IICcyc} + 300$	-	ns	
	SCL入力Lowレベルパルス幅	$t_{SCLL}$	$3 (6) \times t_{IICcyc} + 300$	-	ns	
	SCL、SDA入力立ち上がり時間	$t_{Sr}$	-	1,000	ns	
	SCL、SDA入力立ち下がり時間	$t_{Sf}$	-	300	ns	
	SCL、SDA入カスパイクパルス除去時間	$t_{SP}$	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA入力バスフリー時間 (ウェイクアップ機能無効時)	$t_{BUF}$	$3 (6) \times t_{IICcyc} + 300$	-	ns	
	SDA入力バスフリー時間 (ウェイクアップ機能有効時)	$t_{BUF}$	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	-	ns	
	START条件入力ホールド時間 (ウェイクアップ機能無効時)	$t_{STAH}$	$t_{IICcyc} + 300$	-	ns	
	START条件入力ホールド時間 (ウェイクアップ機能有効時)	$t_{STAH}$	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 300$	-	ns	
	再送START条件入力セットアップ時間	$t_{STAS}$	1000	-	ns	
	STOP条件入力セットアップ時間	$t_{STOS}$	1000	-	ns	
	データ入力セットアップ時間	$t_{SDAS}$	$t_{IICcyc} + 50$	-	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	-	ns	
	SCL、SDAの負荷容量	$C_b$	-	400	pF	
	IIC (ファストモード)	SCL入力サイクル時間	$t_{SCL}$	$6 (12) \times t_{IICcyc} + 600$	-	
SCL入力Highレベルパルス幅		$t_{SCLH}$	$3 (6) \times t_{IICcyc} + 300$	-	ns	
SCL入力Lowレベルパルス幅		$t_{SCLL}$	$3 (6) \times t_{IICcyc} + 300$	-	ns	
SCL、SDA入力立ち上がり時間		$t_{Sr}$	$20 \times (\text{外付けブルアップ電圧}/5.5V)$ (注2)	300	ns	
SCL、SDA入力立ち下がり時間		$t_{Sf}$	$20 \times (\text{外付けブルアップ電圧}/5.5V)$ (注2)	300	ns	
SCL、SDA入カスパイクパルス除去時間		$t_{SP}$	0	$1 (4) \times t_{IICcyc}$	ns	
SDA入力バスフリー時間 (ウェイクアップ機能無効時)		$t_{BUF}$	$3 (6) \times t_{IICcyc} + 300$	-	ns	
SDA入力バスフリー時間 (ウェイクアップ機能有効時)		$t_{BUF}$	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	-	ns	
START条件入力ホールド時間 (ウェイクアップ機能無効時)		$t_{STAH}$	$t_{IICcyc} + 300$	-	ns	
START条件入力ホールド時間 (ウェイクアップ機能有効時)		$t_{STAH}$	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 300$	-	ns	
再送START条件入力セットアップ時間		$t_{STAS}$	300	-	ns	
STOP条件入力セットアップ時間		$t_{STOS}$	300	-	ns	
データ入力セットアップ時間		$t_{SDAS}$	$t_{IICcyc} + 50$	-	ns	
データ入力ホールド時間		$t_{SDAH}$	0	-	ns	
SCL、SDAの負荷容量		$C_b$	-	400	pF	

注 .  $t_{IICcyc}$  : IIC 内部基準クロック (IIC $\phi$ ) の周期、 $t_{Pcyc}$  : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると ( ) 内の値が適用されます。

注 2. SCL0\_A、SDA0\_A、SCL2、SDA2 に限りサポートされています。



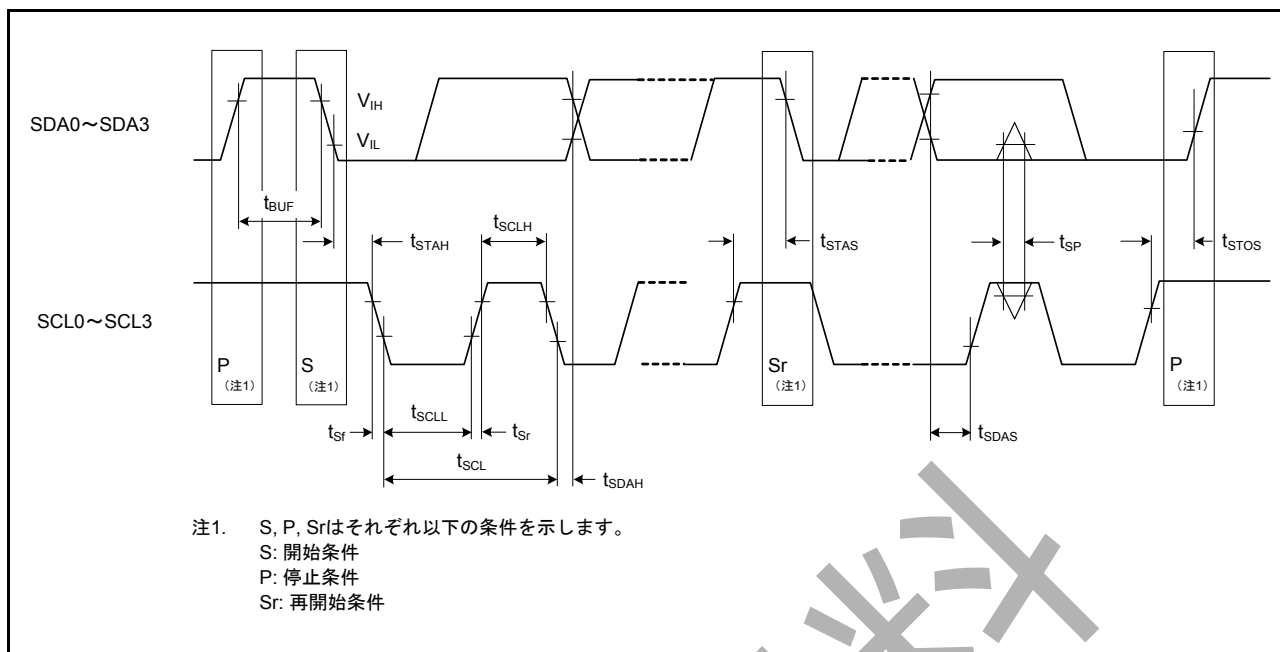


図 51.66 I<sup>2</sup>C バスインタフェース入出力タイミング

## 51.3.13 SSI タイミング

表 51.43 SSI タイミング

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目		シンボル	Min	Max	単位	測定条件	
SSI	AUDIO_CLK入力周波数	2.7V以上	$t_{\text{AUDIO}}$	-	25	MHz	-
		1.6V以上	-	-	4		
	出力クロック周期		$t_{\text{O}}$	250	-	ns	図 51.67
	入力クロック周期		$t_{\text{I}}$	250	-	ns	
	クロック High レベルパルス幅	1.8V以上	$t_{\text{HC}}$	100	-	ns	
		1.6V以上		200	-		
	クロック Low レベルパルス幅	1.8V以上	$t_{\text{LC}}$	100	-	ns	
		1.6V以上		200	-		
	クロック立ち上がり時間		$t_{\text{RC}}$	-	25	ns	
	データ遅延時間	2.7V以上	$t_{\text{DTR}}$	-	65	ns	図 51.68、 図 51.69
		1.8V以上		-	105		
		1.6V以上		-	140		
セットアップ時間	2.7V以上	$t_{\text{SR}}$	65	-	ns		
	1.8V以上		90	-			
	1.6V以上		140	-			
ホールド時間		$t_{\text{HTR}}$	40	-	ns		
WS変化時からのSSIDATA出力遅延	1.8V以上	$T_{\text{DTRW}}$	-	105	ns	図 51.70	
	1.6V以上		-	140			

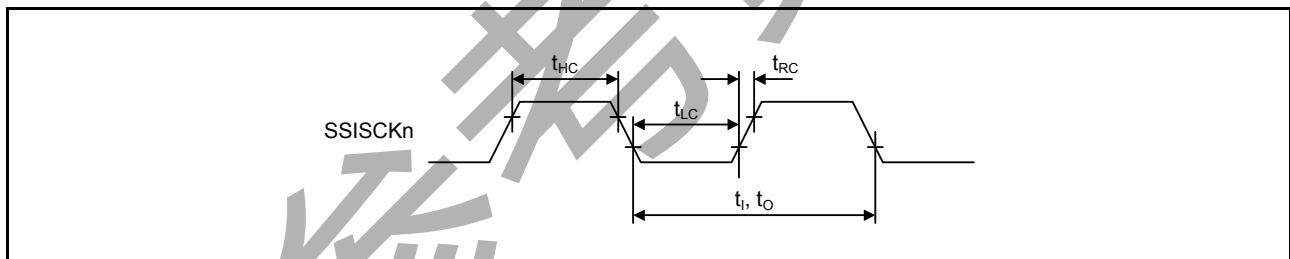


図 51.67 SSI クロック入出力タイミング

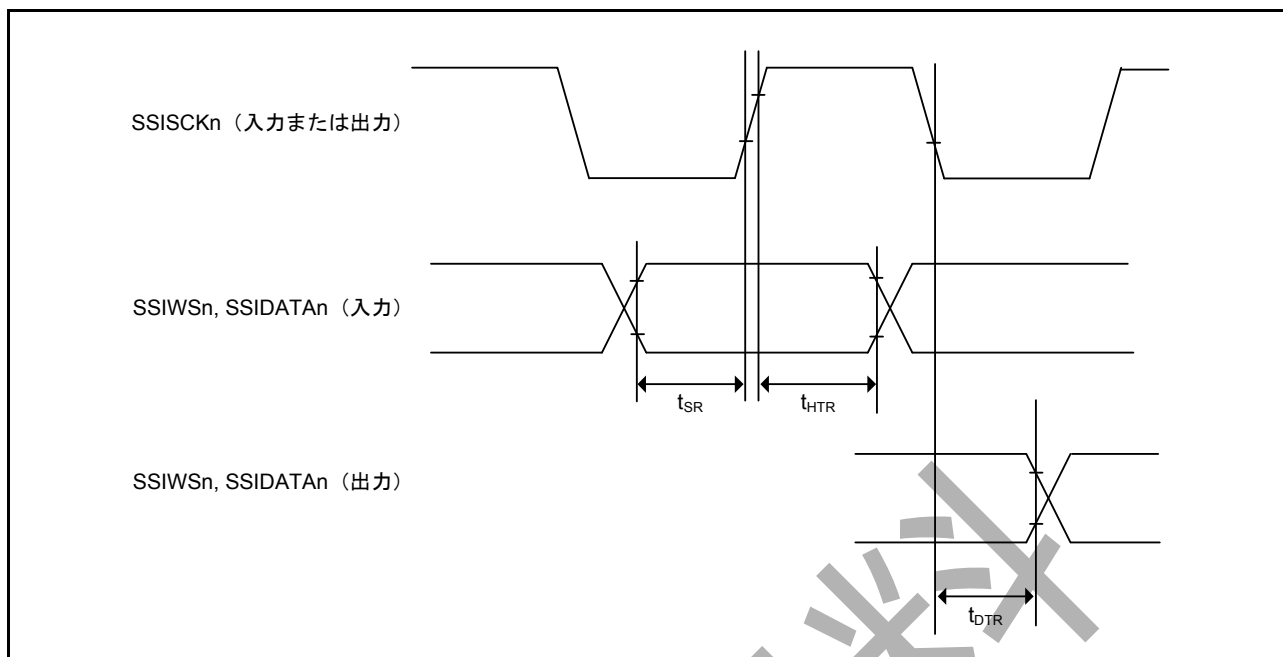


図 51.68 SSI データ送受信タイミング (SSICR.SCKP = 0)

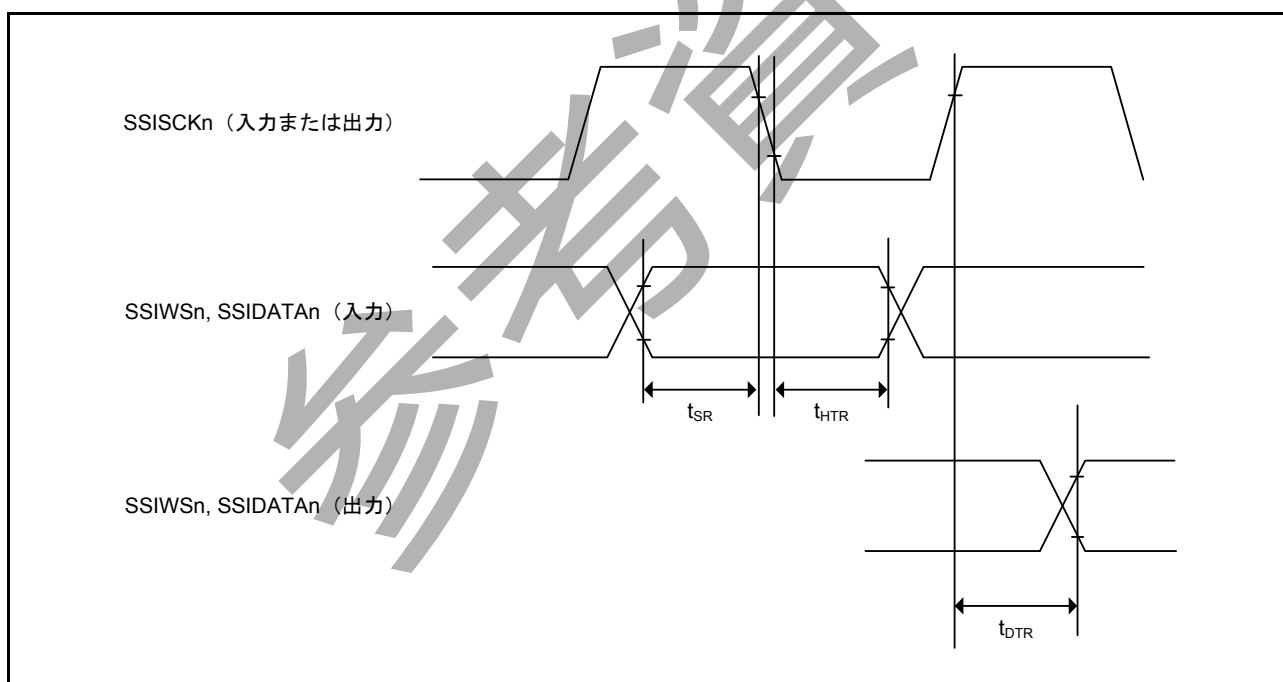


図 51.69 SSI データ送受信タイミング (SSICR.SCKP = 1)

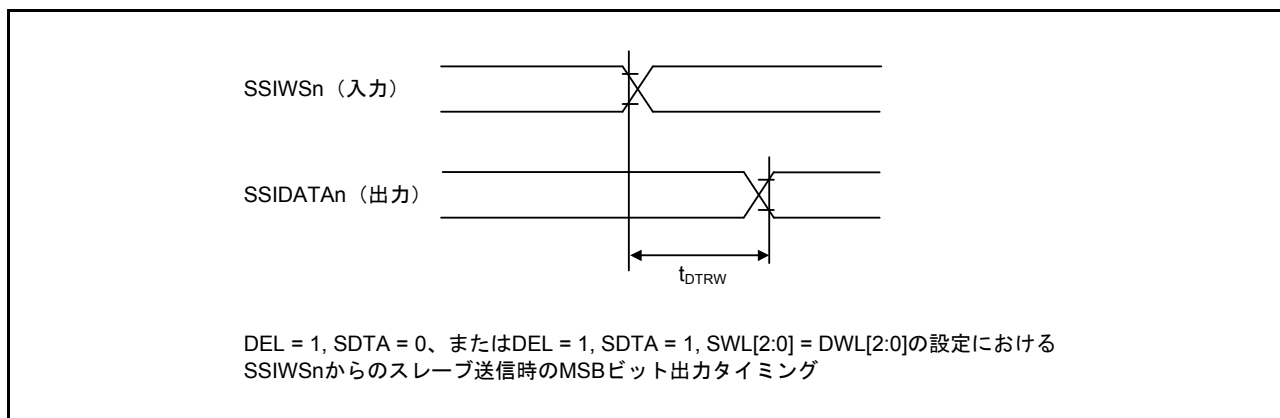


図 51.70 SSIWSn 変化時からの SSI データ出力遅延

参考資料

## 51.3.14 SD/MMC ホストインタフェースタイミング

表 51.44 SD/MMCホストインタフェース信号タイミング

条件 : VCC = AVCC0 = 2.7 ~ 5.5V

PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	シンボル	Min	Max	単位	測定条件
SDCLKクロックサイクル	$t_{SDCYC}$	62.5	-	ns	図 51.71
SDCLKクロック High レベルパルス幅	$t_{SDWH}$	18.25	-	ns	
SDCLKクロック Low レベルパルス幅	$t_{SDWL}$	18.25	-	ns	
SDCLKクロック立ち上がり時間	$t_{SDLH}$	-	10	ns	
SDCLKクロック立ち下がり時間	$t_{SDHL}$	-	10	ns	
SDCMD/SDDAT 出力データ遅延	$t_{SDODLY}$	-18.25	18.25	ns	
SDCMD/SDDAT 入力データセットアップ	$t_{SDIS}$	9.25	-	ns	
SDCMD/SDDAT 入力データホールド	$t_{SDIH}$	23.25	-	ns	

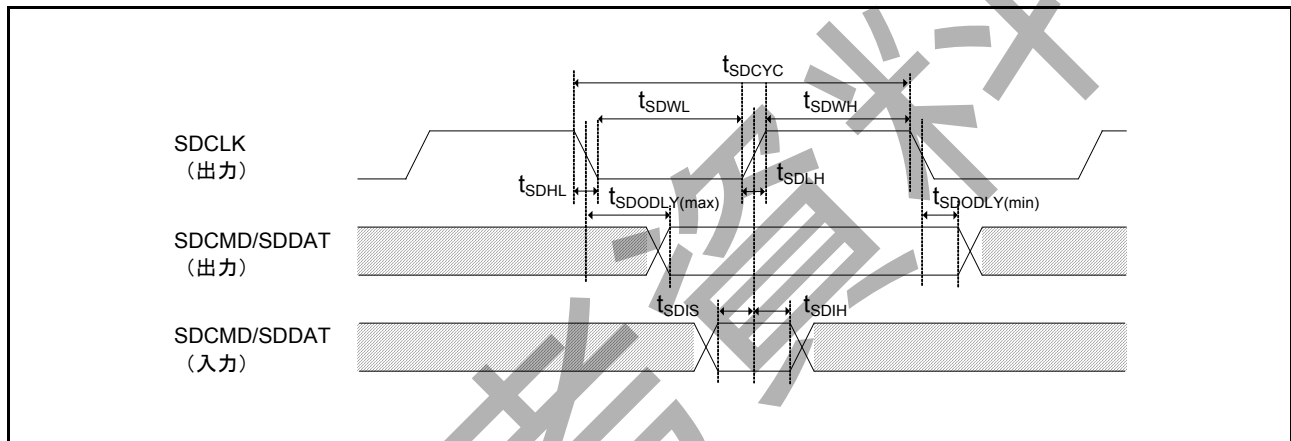


図 51.71 SD/MMC ホストインタフェース信号タイミング

## 51.3.15 CLKOUT タイミング

表 51.45 CLKOUT タイミング

項目		シンボル	Min	Max	単位 (注1)	測定条件	
CLKOUT	CLKOUT 端子出力サイクル (注1)	VCC = 2.7V 以上	$t_{Cyc}$	62.5	-	ns	図 51.72
		VCC = 1.8V 以上		125	-		
		VCC = 1.6V 以上		250	-		
	CLKOUT 端子 High レベルパルス幅 (注2)	VCC = 2.7V 以上	$t_{CH}$	15	-	ns	
		VCC = 1.8V 以上		30	-		
		VCC = 1.6V 以上		150	-		
	CLKOUT 端子 Low レベルパルス幅 (注2)	VCC = 2.7V 以上	$t_{CL}$	15	-	ns	
		VCC = 1.8V 以上		30	-		
		VCC = 1.6V 以上		150	-		
	CLKOUT 端子出力立ち上がり時間	VCC = 2.7V 以上	$t_{Cr}$	-	12	ns	
		VCC = 1.8V 以上		-	25		
		VCC = 1.6V 以上		-	50		
CLKOUT 端子出力立ち下がり時間	VCC = 2.7V 以上	$t_{Cf}$	-	12	ns		
	VCC = 1.8V 以上		-	25			
	VCC = 1.6V 以上		-	50			

注 1. EXTAL 外部クロック入力または発振器を使用して 1 分周 (CKOCR.CKOSEL[2:0] ビット = 011b かつ CKOCR.CKODIV[2:0] ビット = 000b) を CLKOUT から出力する場合は、入力デューティサイクル 45 ~ 55% で上記を満たします。

注 2. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSEL[2:0] ビットが 001b)、クロック出力分周比選択を 2 分周 (CKOCR.CKODIV[2:0] ビットを 001b) に設定してください。

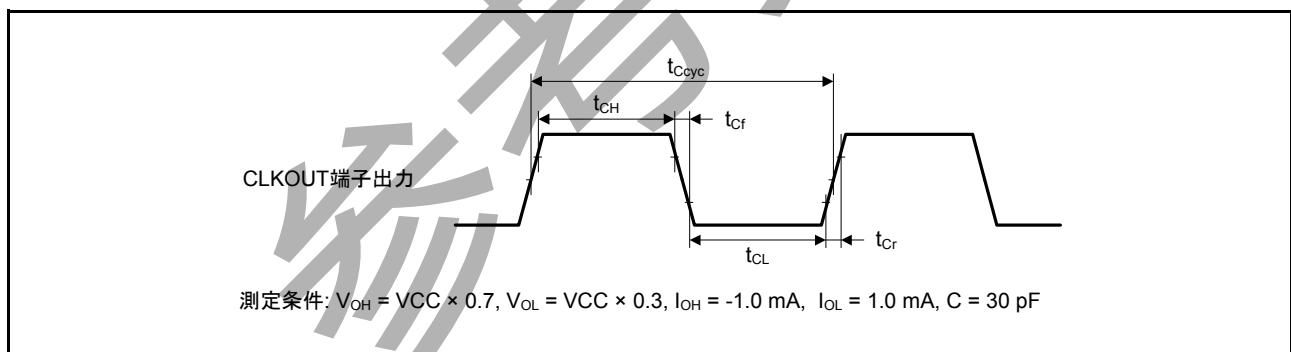


図 51.72 CLKOUT 出力タイミング

## 51.4 USB 特性

## 51.4.1 USBFS タイミング

表 51.46 USB 特性

条件 : VCC = AVCC0 = VCC\_USB = 3.0 ~ 5.5V

項目		シンボル	Min	Max	単位	測定条件	
入力特性	入力Highレベル電圧	$V_{IH}$	2.0	-	V	-	
	入力Lowレベル電圧	$V_{IL}$	-	0.8	V	-	
	差動入力感度	$V_{DI}$	0.2	-	V	USB_DP - USB_DM	
	差動共通モードレンジ	$V_{CM}$	0.8	2.5	V	-	
出力特性	出力Highレベル電圧	$V_{OH}$	2.8	VCC_USB	V	$I_{OH} = -200\mu A$	
	出力Lowレベル電圧	$V_{OL}$	0.0	0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	$V_{CRS}$	1.3	2.0	V	図 51.73、 図 51.74、 図 51.75	
	立ち上がり時間	FS	$t_r$	4	20		ns
		LS		75	300		
	立ち下がり時間	FS	$t_f$	4	20		ns
		LS		75	300		
	立ち上がり/立ち下がり時間比	FS	$t_r/t_f$	90	111.11		%
		LS		80	125		
出力抵抗		$Z_{DRV}$	28	44	$\Omega$	(外部素子の抵抗値調整は不要)	
VBUS特性	VBUS入力電圧	$V_{IH}$	$VCC \times 0.8$	-	V	-	
		$V_{IL}$	-	$VCC \times 0.2$	V	-	
ブルアップ、ブルダウン	ブルダウン抵抗	$R_{PD}$	14.25	24.80	k $\Omega$	-	
	ブルアップ抵抗	$R_{PUI}$	0.9	1.575	k $\Omega$	アイドル状態の間	
		$R_{PUA}$	1.425	3.09	k $\Omega$	受信時	
バッテリーチャージング規格 Ver 1.2	D+シンク電流	$I_{DP\_SINK}$	25	175	$\mu A$	-	
	D-シンク電流	$I_{DM\_SINK}$	25	175	$\mu A$	-	
	DCDソース電流	$I_{DP\_SRC}$	7	13	$\mu A$	-	
	データ検出電圧	$V_{DAT\_REF}$	0.25	0.4	V	-	
	D+ソース電圧	$V_{DP\_SRC}$	0.5	0.7	V	出力電流 = 250 $\mu A$	
	D-ソース電圧	$V_{DM\_SRC}$	0.5	0.7	V	出力電流 = 250 $\mu A$	

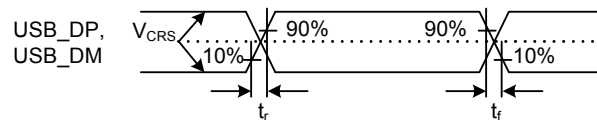


図 51.73 USB\_DP および USB\_DM 出力タイミング

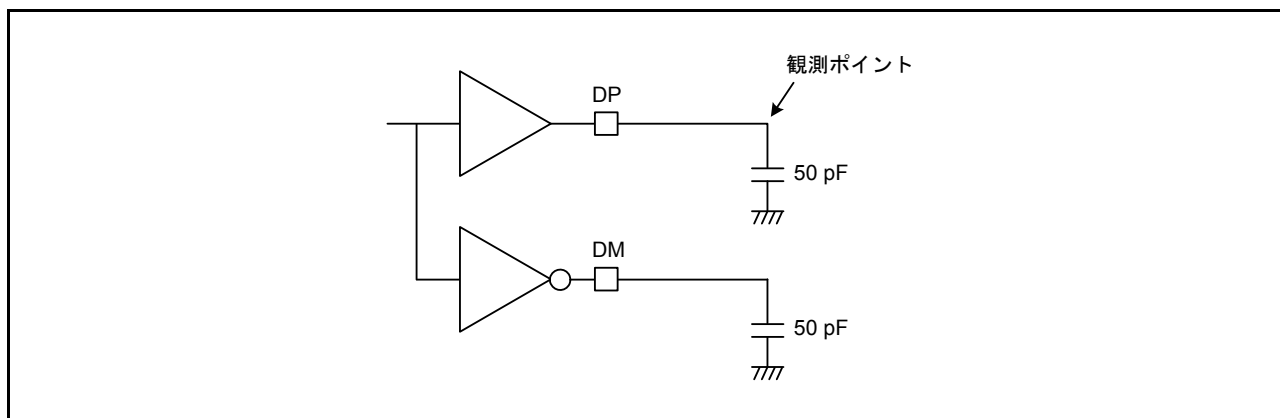


図 51.74 フルスピード (FS) 接続の測定回路

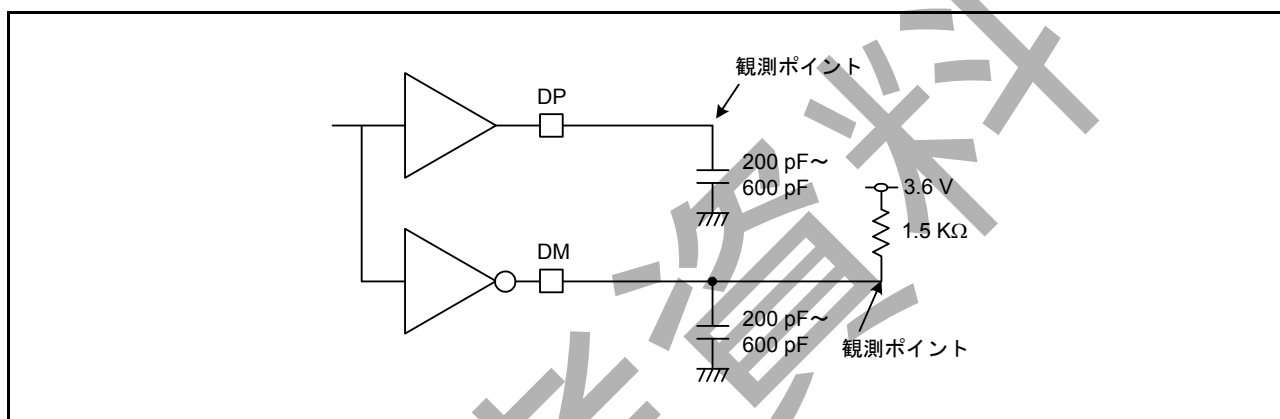


図 51.75 ロースピード (LS) 接続の測定回路

## 51.4.2 USB 外部供給

表 51.47 USBレギュレータ

項目		Min	Typ	Max	単位	測定条件
VCC_USB 供給電流	VCC_USB_LDO $\geq$ 3.8V	-	-	50	mA	-
	VCC_USB_LDO $\geq$ 4.5V	-	-	100	mA	-
VCC_USB 電源電圧		3.0	-	3.6	V	-



## 51.5 ADC14 特性

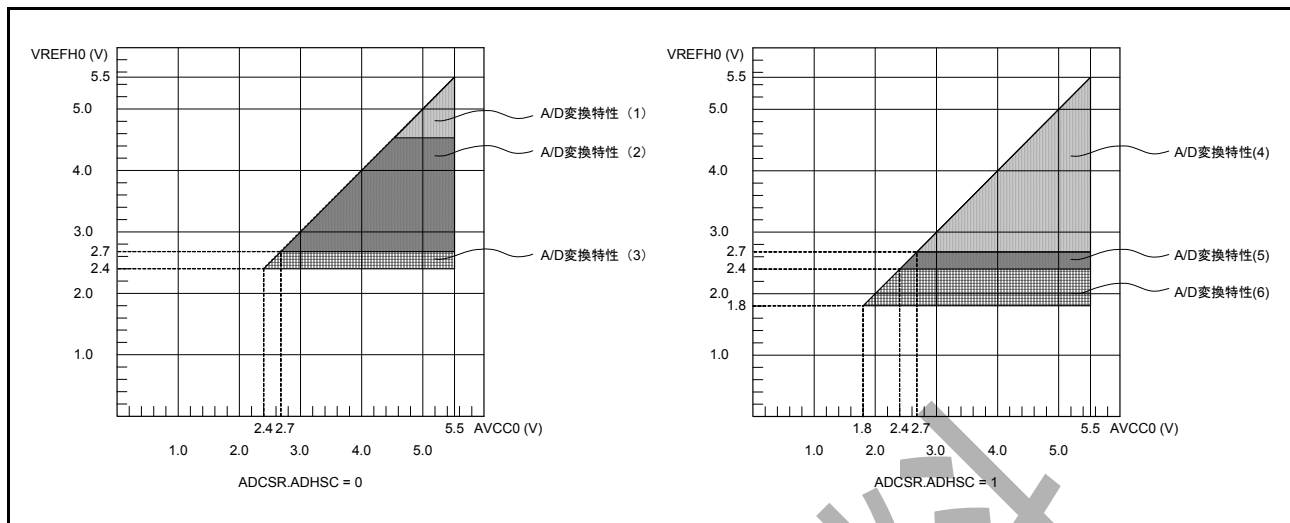


図 51.76 AVCC0 ~ VREFH0 電圧範囲

表 51.48 高速モードにおけるA/D変換特性 (1) (1/2)

条件 : VCC = AVCC0 = 4.5 ~ 5.5V、VREFH0 = 4.5 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V  
 基準電圧範囲をVREFH0、VREFL0に印加

項目	Min	Typ	Max	単位	測定条件
周波数	1	-	64	MHz	-
アナログ入力容量	Cs	-	15	pF	高精度チャンネル
		-	30	pF	通常精度チャンネル
アナログ入力抵抗	Rs	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	VREFH0	V	-
12ビットモード					
分解能	-	-	12	ビット	-
変換時間 (注1) (PCLKC = 64MHzで動作時)	許容信号源インピーダンス Max = 0.3kΩ	0.70	-	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.13	-	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		±0.5	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
フルスケール誤差		±0.75	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
量子化誤差	-	±0.5	-	LSB	-
絶対精度		±1.25	±5.0	LSB	高精度チャンネル
			±8.0	LSB	上記以外
DNL 微分非直線性誤差	-	±1.0	-	LSB	-
INL 積分非直線性誤差	-	±1.0	±3.0	LSB	-
14ビットモード					
分解能	-	-	14	ビット	-

表 51.48 高速モードにおけるA/D変換特性 (1) (2/2)

条件 : VCC = AVCC0 = 4.5 ~ 5.5V、VREFH0 = 4.5 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V

基準電圧範囲をVREFH0、VREFL0に印加

項目		Min	Typ	Max	単位	測定条件
変換時間 (注1) (PCLKC = 64MHzで動作時)	許容信号源インピーダンス Max = 0.3kΩ	0.80	-	-	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.22	-	-	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 51.49 高速モードにおけるA/D変換特性 (2)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VREFH0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V  
 基準電圧範囲をVREFH0、VREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	48	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKC = 48MHzで動作時)	許容信号源インピーダンス Max = 0.3kΩ	0.94	-	-	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.50	-	-	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKC = 48MHzで動作時)	許容信号源インピーダンス Max = 0.3kΩ	1.06	-	-	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.63	-	-	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 51.50 高速モードにおけるA/D変換特性 (3)

条件 : VCC = AVCC0 = 2.4 ~ 5.5V、VREFH0 = 2.4 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V  
 基準電圧範囲をVREFH0、VREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	32	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	k $\Omega$	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKC = 32MHzで動作時)	許容信号源インピーダンス Max = 1.3k $\Omega$	1.41	-	-	$\mu$ s	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		2.25	-	-	$\mu$ s	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	$\pm 0.5$	$\pm 4.5$	LSB	高精度チャネル
				$\pm 6.0$	LSB	上記以外
フルスケール誤差		-	$\pm 0.75$	$\pm 4.5$	LSB	高精度チャネル
				$\pm 6.0$	LSB	上記以外
量子化誤差		-	$\pm 0.5$	-	LSB	-
絶対精度		-	$\pm 1.25$	$\pm 5.0$	LSB	高精度チャネル
				$\pm 8.0$	LSB	上記以外
DNL 微分非直線性誤差		-	$\pm 1.0$	-	LSB	-
INL 積分非直線性誤差		-	$\pm 1.0$	$\pm 3.0$	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKC = 32MHzで動作時)	許容信号源インピーダンス Max = 1.3k $\Omega$	1.59	-	-	$\mu$ s	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		2.44	-	-	$\mu$ s	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	$\pm 2.0$	$\pm 18$	LSB	高精度チャネル
				$\pm 24.0$	LSB	上記以外
フルスケール誤差		-	$\pm 3.0$	$\pm 18$	LSB	高精度チャネル
				$\pm 24.0$	LSB	上記以外
量子化誤差		-	$\pm 0.5$	-	LSB	-
絶対精度		-	$\pm 5.0$	$\pm 20$	LSB	高精度チャネル
				$\pm 32.0$	LSB	上記以外
DNL 微分非直線性誤差		-	$\pm 4.0$	-	LSB	-
INL 積分非直線性誤差		-	$\pm 4.0$	$\pm 12.0$	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 51.51 低消費電力モードにおけるA/D変換特性 (4)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VREFH0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V  
 基準電圧範囲をVREFH0、VREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	24	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKC = 24MHzで動作時)	許容信号源インピーダンス Max = 1.1kΩ	2.25	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		3.38	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKC = 24MHzで動作時)	許容信号源インピーダンス Max = 1.1kΩ	2.50	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		3.63	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注. 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 51.52 低消費電力モードにおけるA/D変換特性 (5)

条件 : VCC = AVCC0 = 2.4 ~ 5.5V、VREFH0 = 2.4 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V  
 基準電圧範囲をVREFH0、VREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	16	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKC = 16MHzで動作時)	許容信号源インピーダンス Max = 2.2kΩ	3.38	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		5.06	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKC = 16MHzで動作時)	許容信号源インピーダンス Max = 2.2kΩ	3.75	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		5.44	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 51.53 低消費電力モードにおけるA/D変換特性 (6)

条件: VCC = AVCC0 = 1.8 ~ 5.5V (VCC < 2.0V のとき AVCC0 = VCC)、VREFH0 = 1.8 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V  
 基準電圧範囲を VREFH0、VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	8	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKC = 8MHzで 動作時)	許容信号源インピーダ ンス Max = 5kΩ	6.75	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		10.13	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±1.0	±7.5	LSB	高精度チャネル
				±10.0	LSB	上記以外
フルスケール誤差		-	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±3.0	±8.0	LSB	高精度チャネル
				±12.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKC = 8MHzで 動作時)	許容信号源インピーダ ンス Max = 5kΩ	7.50	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		10.88	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±4.0	±30.0	LSB	高精度チャネル
				±40.0	LSB	上記以外
フルスケール誤差		-	±6.0	±30.0	LSB	高精度チャネル
				±40.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±12.0	±32.0	LSB	高精度チャネル
				±48.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注. 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 51.54 低消費電力モードにおけるA/D変換特性 (7)

条件: VCC = AVCC0 = 1.6 ~ 5.5V (VCC < 2.0V のとき AVCC0 = VCC)、VREFH0 = 1.6 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0  
 基準電圧範囲を VREFH0、VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	4	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKC = 4MHzで動作時)	許容信号源インピーダンス Max = 9.9kΩ	13.5	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		20.25	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±1.0	±7.5	LSB	高精度チャネル
				±10.0	LSB	上記以外
フルスケール誤差		-	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±3.0	±8.0	LSB	高精度チャネル
				±12.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKC = 4MHzで動作時)	許容信号源インピーダンス Max = 9.9kΩ	15.0	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		21.75	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±4.0	±30.0	LSB	高精度チャネル
				±40.0	LSB	上記以外
フルスケール誤差		-	±6.0	±30.0	LSB	高精度チャネル
				±40.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±12.0	±32.0	LSB	高精度チャネル
				±48.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注. 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。



表 51.55 14ビットA/Dコンバータチャンネル分類

分類	チャンネル	条件	注意点
高精度チャンネル	AN000～AN015	AVCC0 = 1.6～5.5V	A/Dコンバータ使用時AN000～AN015端子は、汎用入出力端子、IRQ8、IRQ9入力端子、TS送信端子としては使用できません。
通常精度チャンネル	AN016～AN027		
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = 2.0～5.5V	-
温度センサ入力チャンネル	温度センサ出力	AVCC0 = 2.0～5.5V	-

表 51.56 A/D内部基準電圧特性

条件：VCC = AVCC0 = VREFH0 = 2.0～5.5V (注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャンネル (注2)	1.36	1.43	1.50	V	-

注1. AVCC0 &lt; 2.0V のとき、入力チャンネルに内部基準電圧は選択できません。

注2. 14ビットA/D内部基準電圧は、内部基準電圧が14ビットA/Dコンバータに入力されたときの電圧を示します。

参考資料

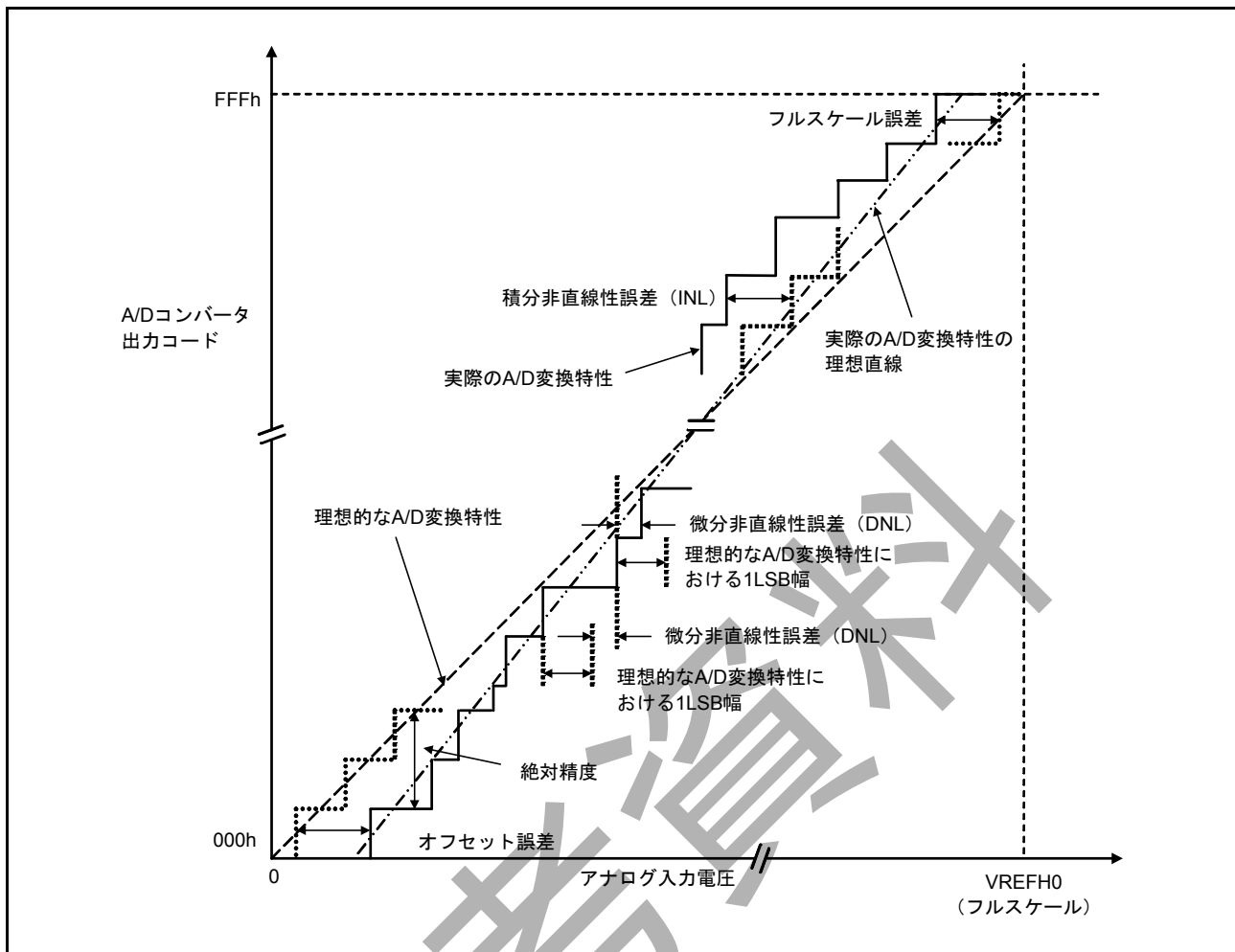


図 51.77 14 ビット A/D コンバータ特性用語の解説図

### 絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧  $V_{REFH0} = 3.072V$  の場合、1-LSB 幅は  $0.75mV$  になり、アナログ入力電圧には  $0mV$ 、 $0.75mV$ 、 $1.5mV$  が使用されます。 $\pm 5$  LSB の絶対精度とは、アナログ入力電圧が  $6mV$  の場合、理論的 A/D 変換特性から期待される出力コードが  $008h$  であっても、実際の A/D 変換結果は  $003h \sim 00Dh$  の範囲になることを意味します。

### 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な直線と、実際の出力コードとの最大偏差です。

### 微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1-LSB 幅と、実際の出力コード幅との差です。

### オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と、実際の最初の出力コードとの差です。

### フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と、実際の最後の出力コードとの差です。

## 51.6 DAC12 特性

表 51.57 D/A 変換特性 (1)

条件 : VCC = AVCC0 = VREFH0 = 1.8 ~ 5.5V  
 基準電圧 = VREFH または VREFL 選択時

項目	Min	Typ	Max	単位	測定条件
分解能	-	-	12	ビット	-
負荷抵抗	30	-	-	kΩ	-
負荷容量	-	-	50	pF	-
出力電圧範囲	0.35	-	AVCC0 - 0.47	V	-
DNL 微分非直線性誤差	-	±0.5	±1.0	LSB	-
INL 積分非直線性誤差	-	±2.0	±8.0	LSB	-
オフセット誤差	-	-	±20	mV	-
フルスケール誤差	-	-	±20	mV	-
出カインピーダンス	-	5	-	Ω	-
変換時間	-	-	30	μs	-

表 51.58 D/A 変換特性 (2)

条件 : VCC = AVCC0 = 1.8 ~ 5.5V  
 基準電圧 = AVCC0 または AVSS0 選択時

項目	Min	Typ	Max	単位	測定条件
分解能	-	-	12	ビット	-
負荷抵抗	30	-	-	kΩ	-
負荷容量	-	-	50	pF	-
出力電圧範囲	0.35	-	AVCC0 - 0.47	V	-
DNL 微分非直線性誤差	-	±0.5	±2.0	LSB	-
INL 積分非直線性誤差	-	±2.0	±8.0	LSB	-
オフセット誤差	-	-	±30	mV	-
フルスケール誤差	-	-	±30	mV	-
出カインピーダンス	-	5	-	Ω	-
変換時間	-	-	30	μs	-

表 51.59 D/A 変換特性 (3)

条件 : VCC = AVCC0 = 1.8 ~ 5.5V  
 基準電圧 = 内部基準電圧選択時

項目	Min	Typ	Max	単位	測定条件
分解能	-	-	12	ビット	-
内部基準電圧 (Vbgr)	1.36	1.43	1.50	V	-
負荷抵抗	30	-	-	kΩ	-
負荷容量	-	-	50	pF	-
出力電圧範囲	0.35	-	Vbgr	V	-
DNL 微分非直線性誤差	-	±2.0	±16.0	LSB	-
INL 積分非直線性誤差	-	±8.0	±16.0	LSB	-
オフセット誤差	-	-	±30	mV	-
出カインピーダンス	-	5	-	Ω	-
変換時間	-	-	30	μs	-

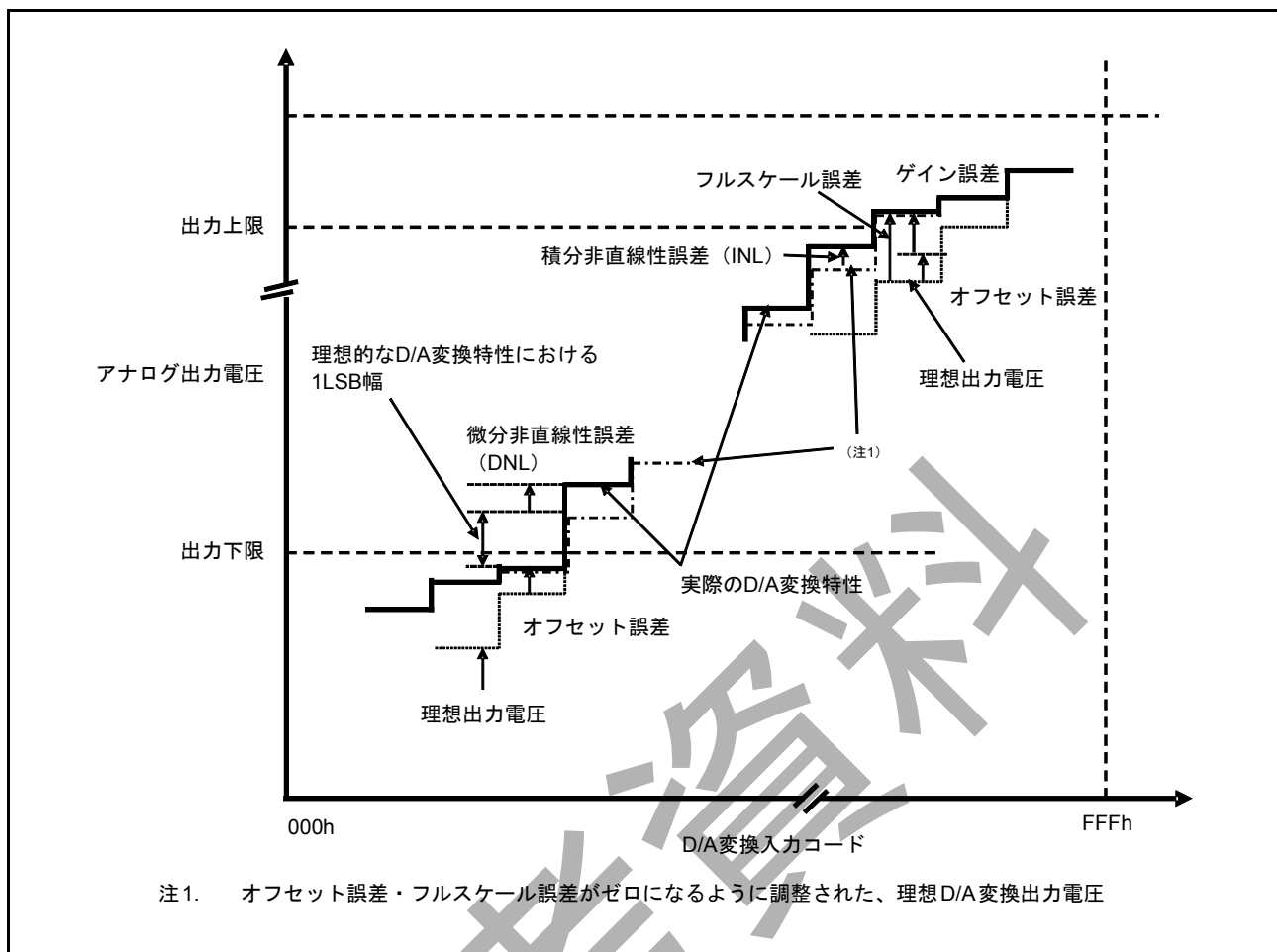


図 51.78 D/A コンバータ特性用語の解説図

### 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な変換特性に基づく理想的な出力電圧と、実際の出力電圧との最大偏差です。

### 微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 D/A 変換特性に基づく 1-LSB の電圧幅と、実際の出力電圧幅との差です。

### オフセット誤差

オフセット誤差とは、出力下限を下回る一番高い実際の出力電圧と、その入力コードに基づく理想的な出力電圧との差です。

### フルスケール誤差

フルスケール誤差とは、出力上限を上回る一番低い実際の出力電圧と、その入力コードに基づく理想的な出力電圧との差です。

## 51.7 TSN 特性

表 51.60 TSN 特性

条件 : VCC = AVCC0 = 2.0 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	-	-	±1.5	-	°C	2.4V 以上
	-	-	±2.0	-	°C	2.4V 未満
温度傾斜	-	-	-3.65	-	mV/°C	-
出力電圧 (@25°C)	-	-	1.05	-	V	VCC = 3.3V
温度センサ起動時間	t <sub>START</sub>	-	-	5	μs	-
サンプリング時間	-	5	-	-	μs	-

## 51.8 OSC 停止検出特性

表 51.61 発振停止検出回路の特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t <sub>dr</sub>	-	-	1	ms	<a href="#">図 51.79</a>

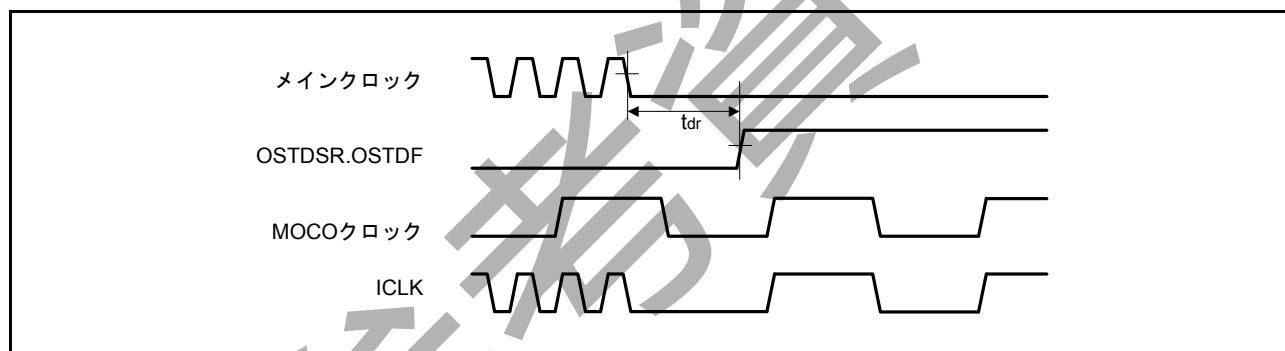


図 51.79 発振停止検出タイミング

## 51.9 POR/LVD 特性

表 51.62 パワーオンリセット回路、電圧検出回路の特性 (1)

条件 : VCC = AVCC0 = VCC\_USB

項目	シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	パワーオンリセット (POR)	$V_{POR}$	1.27	1.42	1.57	V	図 51.80、 図 51.81
	電圧検出回路 (LVD0) (注2)	$V_{det0\_0}$	3.68	3.85	4.00	V	図 51.82 VCC立ち下がり エッジ時
		$V_{det0\_1}$	2.68	2.85	2.96		
		$V_{det0\_2}$	2.38	2.53	2.64		
		$V_{det0\_3}$	1.78	1.90	2.02		
		$V_{det0\_4}$	1.60	1.69	1.82		
	電圧検出回路 (LVD1) (注3)	$V_{det1\_0}$	4.13	4.29	4.45	V	図 51.83 VCC立ち下がり エッジ時
		$V_{det1\_1}$	3.98	4.16	4.30		
		$V_{det1\_2}$	3.86	4.03	4.18		
		$V_{det1\_3}$	3.68	3.86	4.00		
		$V_{det1\_4}$	2.98	3.10	3.22		
		$V_{det1\_5}$	2.89	3.00	3.11		
		$V_{det1\_6}$	2.79	2.90	3.01		
		$V_{det1\_7}$	2.68	2.79	2.90		
		$V_{det1\_8}$	2.58	2.68	2.78		
		$V_{det1\_9}$	2.48	2.58	2.68		
		$V_{det1\_A}$	2.38	2.48	2.58		
		$V_{det1\_B}$	2.10	2.20	2.30		
		$V_{det1\_C}$	1.84	1.96	2.05		
		$V_{det1\_D}$	1.74	1.86	1.95		
		$V_{det1\_E}$	1.63	1.75	1.84		
	$V_{det1\_F}$	1.60	1.65	1.73			
	電圧検出回路 (LVD2) (注4)	$V_{det2\_0}$	4.11	4.31	4.48	V	図 51.84 VCC立ち下がり エッジ時
		$V_{det2\_1}$	3.97	4.17	4.34		
		$V_{det2\_2}$	3.83	4.03	4.20		
		$V_{det2\_3}$	3.64	3.84	4.01		

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路 (LVD2) のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2.  $V_{det0\_#}$  の # は OFS1.VDSEL1[2:0] ビットの値を示しています。

注 3.  $V_{det1\_#}$  の # は LVDLVLR.LVD1LVL[4:0] ビットの値を示しています。

注 4.  $V_{det2\_#}$  の # は LVDLVLR.LVD2LVL[2:0] ビットの値を示しています。

表 51.63 パワーオンリセット回路、電圧検出回路の特性 (2)

条件: VCC = AVCC0 = VCC\_USB

項目	シンボル	Min	Typ	Max	単位	測定条件	
電圧監視0、1、2リセット解除後の待機時間	LVD0: 有効 (注1)	$t_{LVD0,1,2}$	-	0.6	-	$\mu\text{s}$	-
	LVD0: 無効 (注2)	$t_{LVD1,2}$	-	0.2	-	$\mu\text{s}$	-
応答遅延時間 (注3)	$t_{det}$	-	-	350	$\mu\text{s}$	図 51.80、 図 51.81	
最小VCC低下時間	$t_{VOFF}$	450	-	-	$\mu\text{s}$	図 51.80、 VCC = 1.0V以上	
パワーオンリセット有効時間	$t_W(\text{POR})$	1	-	-	ms	図 51.81、 VCC = 1.0V未満	
LVD動作安定時間 (LVD有効切り替え後)	$T_d(\text{E-A})$	-	-	300	$\mu\text{s}$	図 51.83、 図 51.84	
ヒステリシス幅 (POR)	$V_{PORH}$	-	110	-	mV	-	
ヒステリシス幅 (LVD1, LVD2)	$V_{LVH}$	-	70	-	mV	$V_{det1_0} \sim V_{det1_4}$ 選択時	
		-	60	-	mV	$V_{det1_5} \sim V_{det1_9}$ 選択時	
		-	50	-	mV	$V_{det1_A} \sim V_{det1_B}$ 選択時	
		-	40	-	mV	$V_{det1_C} \sim V_{det1_D}$ 選択時	
		-	60	-	mV	LVD2 選択時	

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

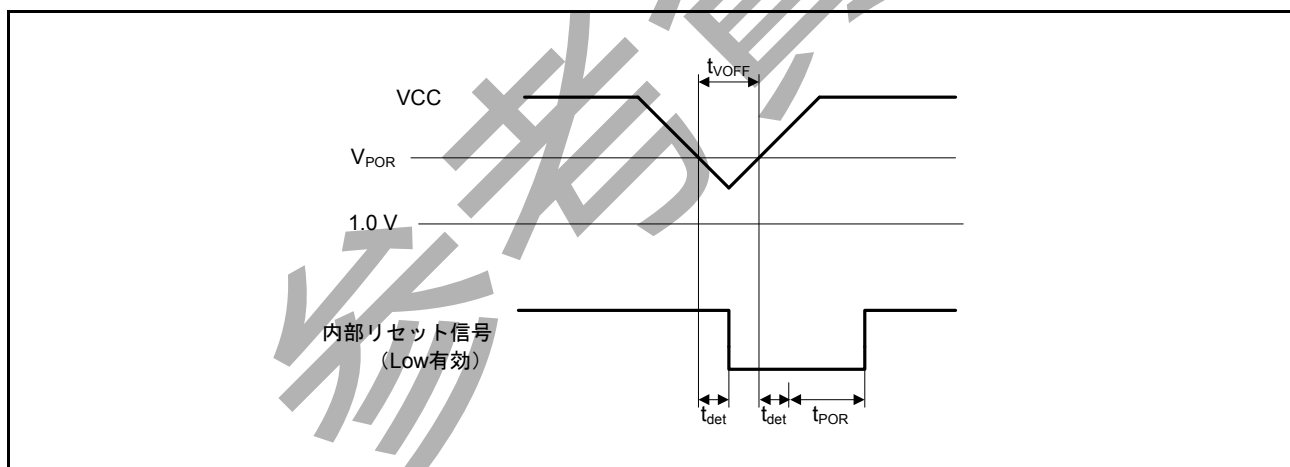
注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル  $V_{POR}$ 、 $V_{det0}$ 、 $V_{det1}$ 、 $V_{det2}$  の min 値を下回っている時間です。

図 51.80 電圧検出リセットタイミング

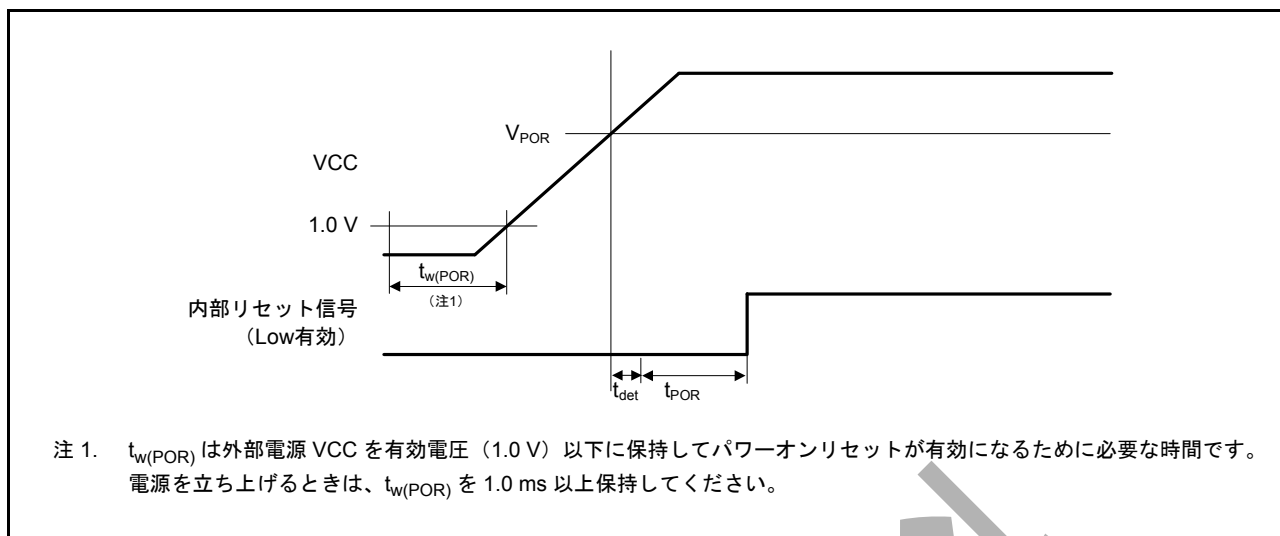


図 51.81 パワーオンリセットタイミング

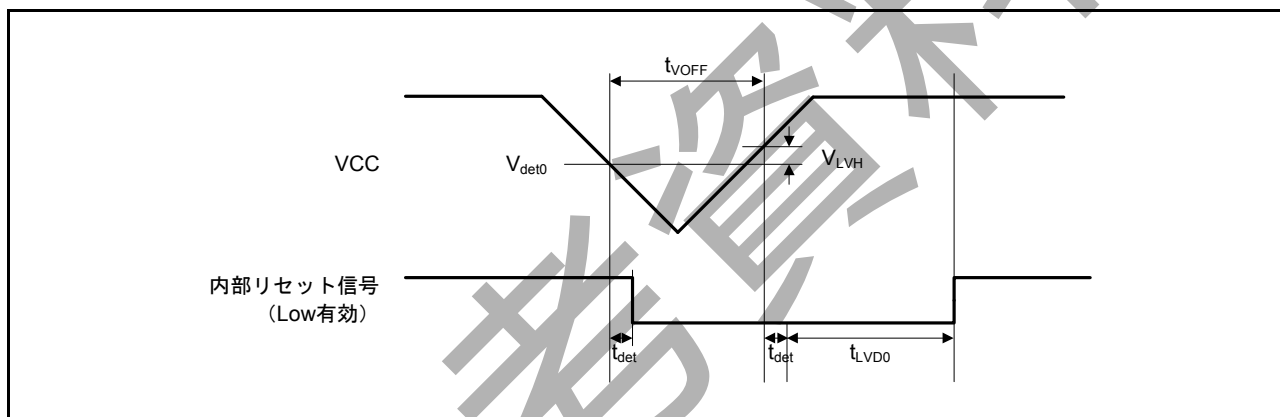


図 51.82 電圧検出回路タイミング ( $V_{det0}$ )



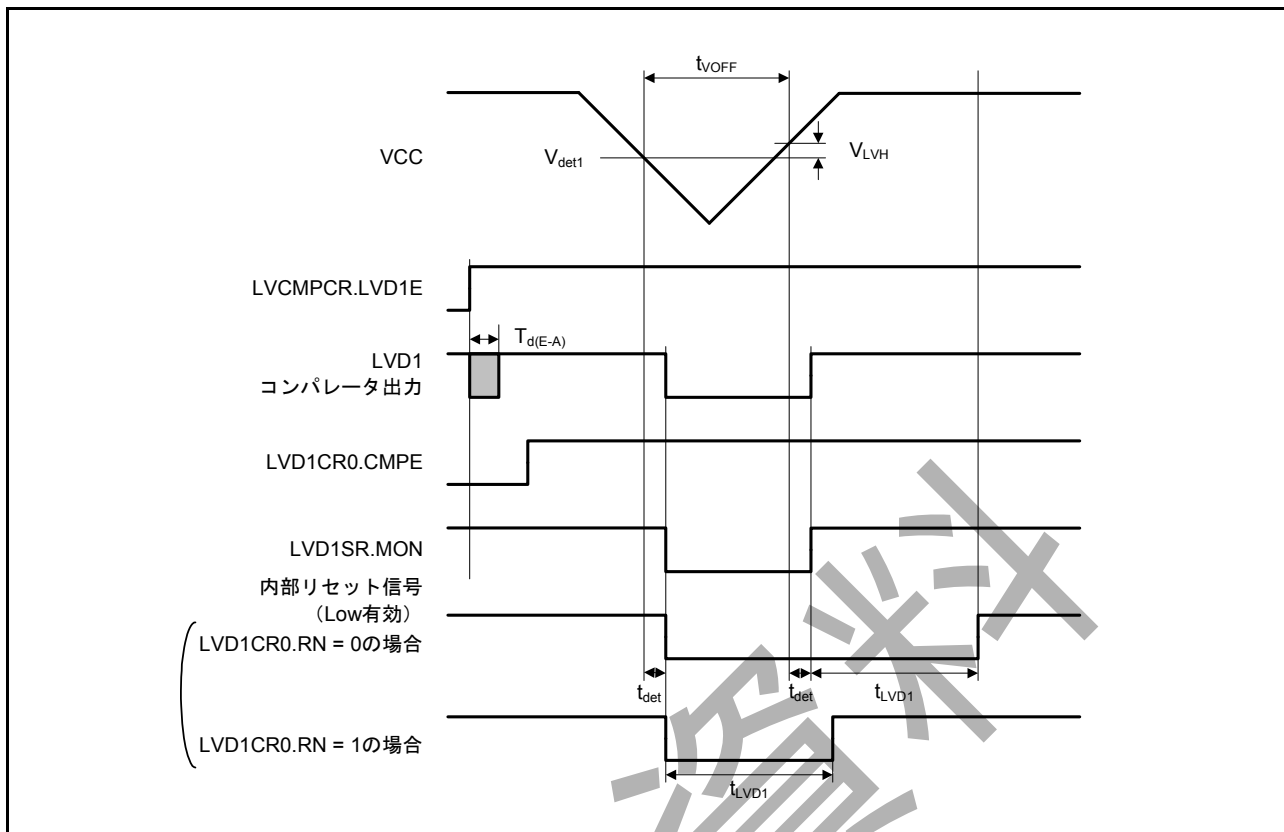


図 51.83 電圧検出回路タイミング (V<sub>det1</sub>)

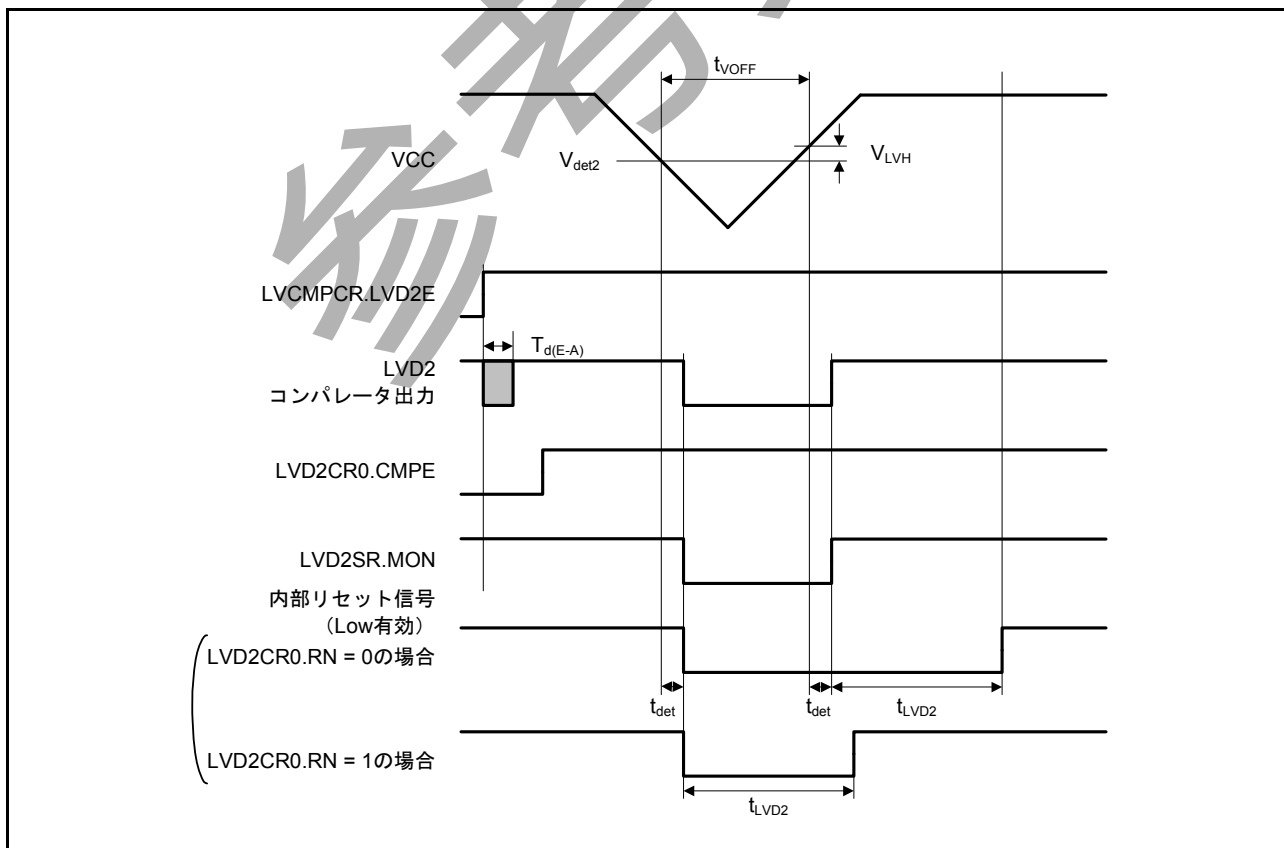


図 51.84 電圧検出回路タイミング (V<sub>det2</sub>)

## 51.10 バッテリバックアップ機能特性

表 51.64 バッテリバックアップ機能特性

条件 : VCC = AVCC0 = 1.6V ~ 5.5V、VBATT = 1.6 ~ 3.6V、VSS = AVSS0 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件	
バッテリバックアップ切り替え電圧レベル (立ち下がり)	$V_{DET\ BATT}$	1.99	2.09	2.19	V	図 51.85、 図 51.86	
バッテリバックアップへの切り替えヒステリシス幅	$V_{VBAT\ TH}$	-	100	-	mV		
電源切り替えVCCオフ期間	$t_{V\ OFF\ BATT}$	300	-	-	$\mu$ s	-	
電圧検出レベル VBATTパワーオンリセット (VBATT_POR)	$V_{VBAT\ POR}$	1.30	1.40	1.50	V	図 51.85、 図 51.86	
VBATT_PORリセット時間解除後の待機時間	$t_{VBAT\ POR}$	-	-	3	ms	-	
VBATT端子の電圧降下検出レベル (立ち下がり)	VBTLVDLVL[1:0] = 10b	$V_{DET\ BAT\ LVD}$	2.11	2.2	2.29	V	図 51.87
	VBTLVDLVL[1:0] = 11b		1.92	2	2.08	V	
VBATT端子LVDのヒステリシス幅	$V_{VBAT\ LVD\ TH}$	-	50	-	mV		
VBATT端子LVD動作安定時間	$t_{d\_vbat}$	-	-	300	$\mu$ s	図 51.87	
VBATT端子LVD応答遅延時間	$t_{det\_vbat}$	-	-	350	$\mu$ s		
許容電圧変化の立ち上がり/立ち下がり勾配	$dt/dV_{CC}$	1.0	-	-	ms/V	-	
VBATTバックアップレジスタアクセス用VCC電圧レベル	$V_{\_BKBATT}$	1.8	-	-	V	-	

注 . 電源切り替えVCCオフ期間は、VCCがバッテリバックアップ切り替え電圧レベル $V_{DET\ BATT}$ のmin値を下回っている時間です。

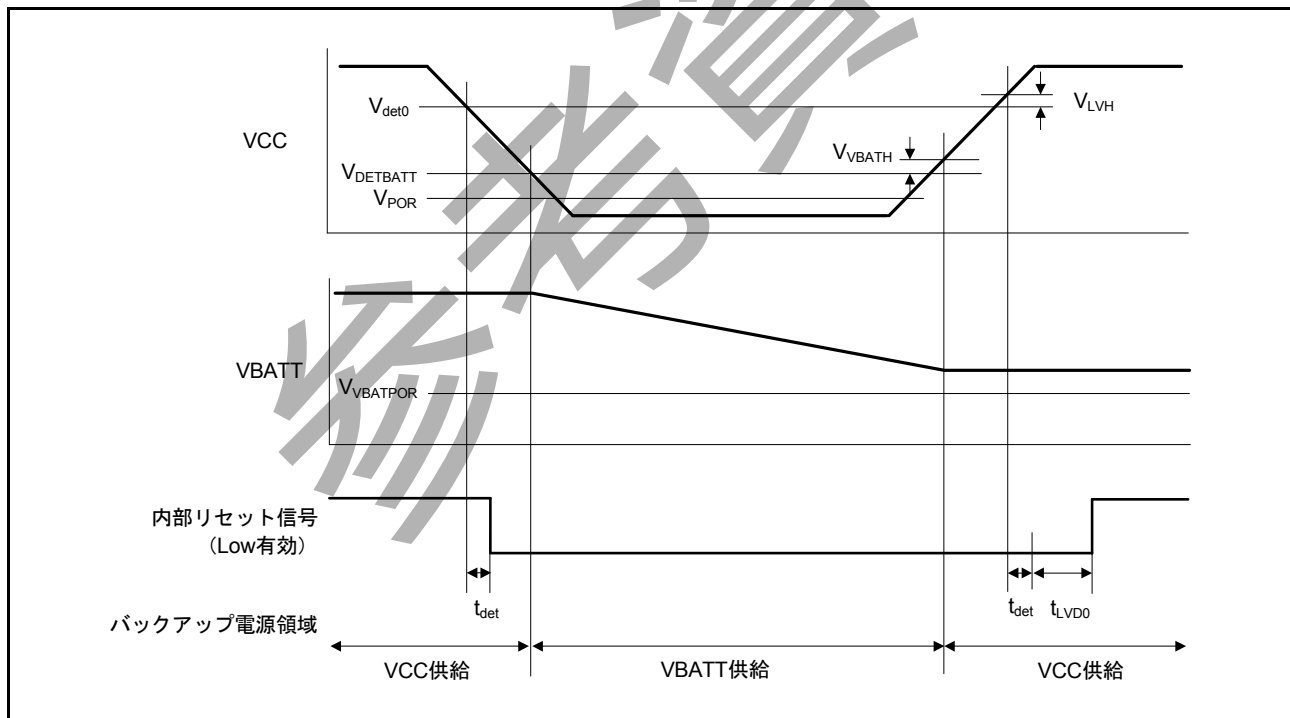


図 51.85 電源切り替えおよびLVD0リセットタイミング

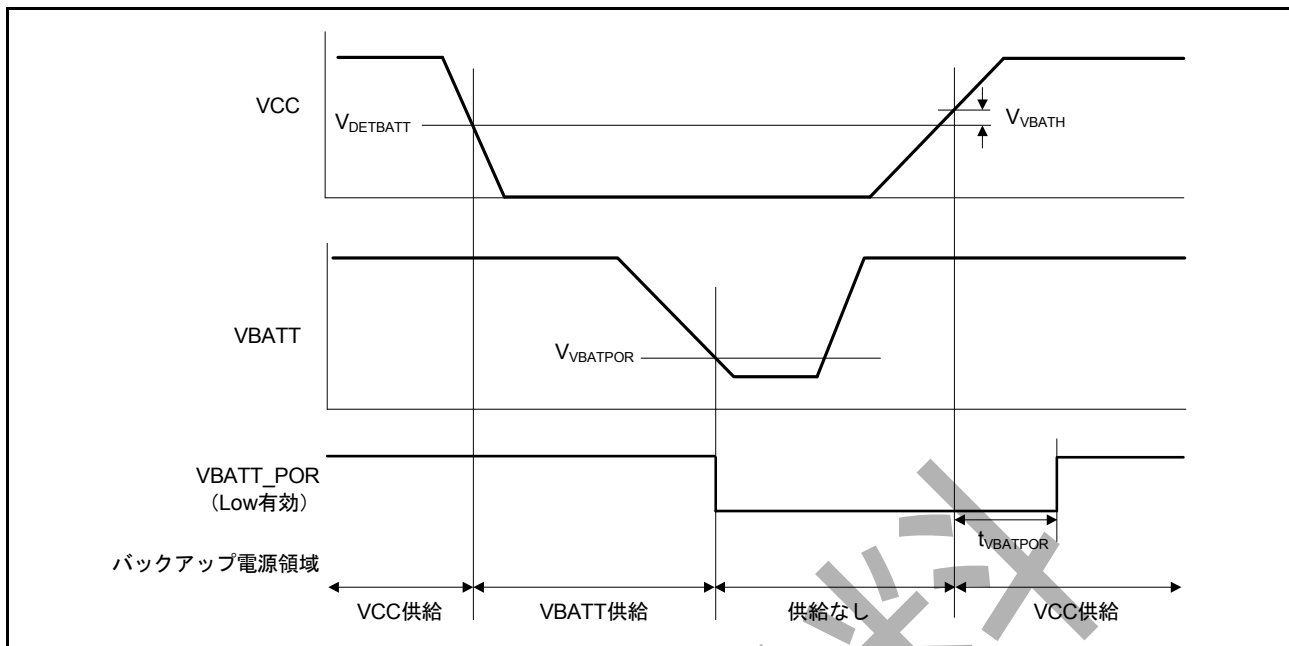


図 51.86 VBATT\_POR リセットタイミング

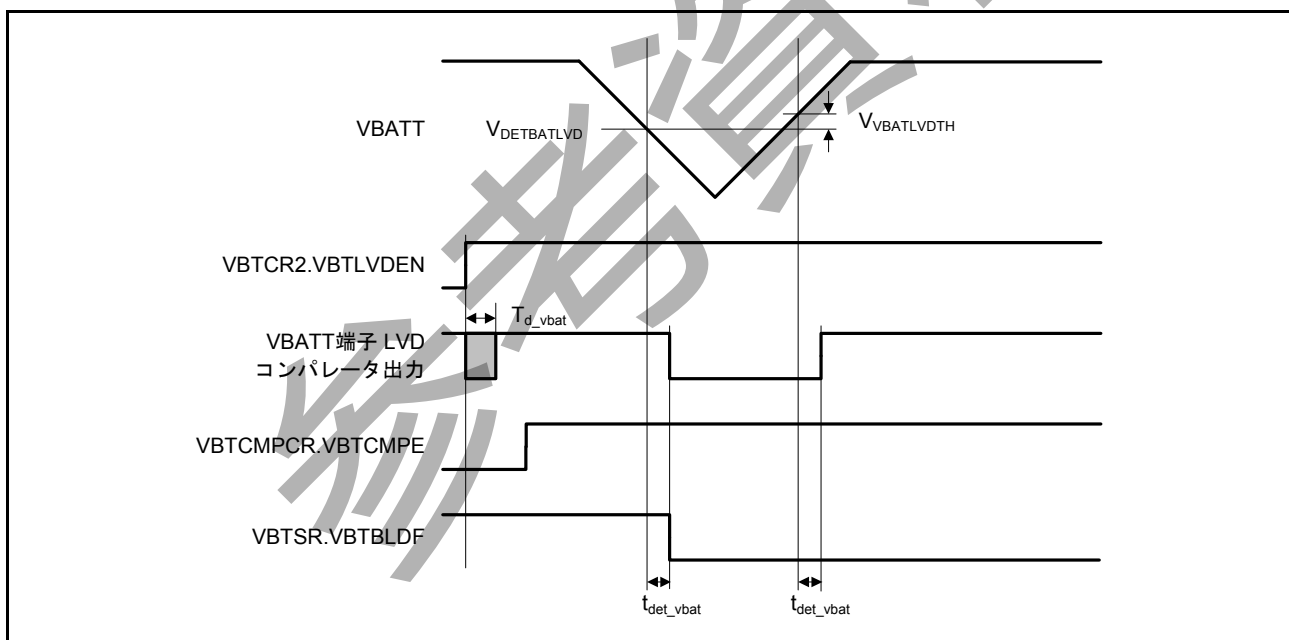


図 51.87 VBATT 端子電圧検出回路タイミング

## 51.11 CTSU 特性

表 51.65 CTSU 特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TSCAP 端子に接続された外付け容量	$C_{tscap}$	9	10	11	nF	-
TS 端子の負荷容量	$C_{base}$	-	-	50	pF	-
許容大電流出力	$\Sigma I_{OH}$	-	-	-24	mA	相互容量方式適用時

## 51.12 セグメント LCD コントローラ/ドライバ特性

## 51.12.1 抵抗分割方式

[スタティック表示モード]

表 51.66 抵抗分割方式 LCD 特性 (1)

条件 : VL4  $\leq$  VCC  $\leq$  5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	$V_{L4}$	2.0	-	VCC	V	-

[1/2 バイアス法、1/4 バイアス法]

表 51.67 抵抗分割方式 LCD 特性 (2)

条件 : VL4  $\leq$  VCC  $\leq$  5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	$V_{L4}$	2.7	-	VCC	V	-

[1/3 バイアス法]

表 51.68 抵抗分割方式 LCD 特性 (3)

条件 : VL4  $\leq$  VCC  $\leq$  5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	$V_{L4}$	2.5	-	VCC	V	-

## 51.12.2 内部昇圧方式

[1/3 バイアス法]

表 51.69 内部昇圧方式LCD特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目	シンボル	条件		Min	Typ	Max	単位	測定条件
LCD出力電圧可変範囲	V <sub>L1</sub>	C1~C4 (注1) = 0.47μF	VLCD = 04h	0.90	1.0	1.08	V	-
			VLCD = 05h	0.95	1.05	1.13	V	-
			VLCD = 06h	1.00	1.10	1.18	V	-
			VLCD = 07h	1.05	1.15	1.23	V	-
			VLCD = 08h	1.10	1.20	1.28	V	-
			VLCD = 09h	1.15	1.25	1.33	V	-
			VLCD = 0Ah	1.20	1.30	1.38	V	-
			VLCD = 0Bh	1.25	1.35	1.43	V	-
			VLCD = 0Ch	1.30	1.40	1.48	V	-
			VLCD = 0Dh	1.35	1.45	1.53	V	-
			VLCD = 0Eh	1.40	1.50	1.58	V	-
			VLCD = 0Fh	1.45	1.55	1.63	V	-
			VLCD = 10h	1.50	1.60	1.68	V	-
			VLCD = 11h	1.55	1.65	1.73	V	-
VLCD = 12h	1.60	1.70	1.78	V	-			
VLCD = 13h	1.65	1.75	1.83	V	-			
ダブル出力電圧	V <sub>L2</sub>	C1~C4 (注1) = 0.47μF		$2 \times V_{L1} - 0.1$	$2 \times V_{L1}$	$2 \times V_{L1}$	V	-
トリプル出力電圧	V <sub>L4</sub>	C1~C4 (注1) = 0.47μF		$3 \times V_{L1} - 0.15$	$3 \times V_{L1}$	$3 \times V_{L1}$	V	-
基準電圧セットアップ時間 (注2)	t <sub>VL1S</sub>			5	-	-	ms	図 51.88
LCD出力電圧可変範囲 (注3)	t <sub>VLWT</sub>	C1~C4 (注1) = 0.47μF		500	-	-	ms	

注 1. LCD 駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH と CAPL の間に接続するコンデンサ

C2 : VL1 と GND の間に接続するコンデンサ

C3 : VL2 と GND の間に接続するコンデンサ

C4 : VL4 と GND の間に接続するコンデンサ

C1 = C2 = C3 = C4 = 0.47μF ±30%

注 2. VLCD レジスタで基準電圧を設定 (基準電圧をデフォルト値で使用する場合は、LCDM0 レジスタの MDSET[1:0] ビットを 01b にして内部昇圧方式を選択) してから、昇圧を開始する (VLCON = 1) までに必要な時間です。

注 3. 昇圧を開始 (VLCON = 1) してから表示が可能になる (LCDON = 1) までの待機時間です。

[1/4 バイアス法]

表 51.70 内部昇圧方式LCD特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件	
LCD出力電圧可変範囲	V <sub>L1</sub>	C1 ~ C5 (注1) = 0.47μF	VLCD = 04h	0.90	1.0	1.08	V	-
			VLCD = 05h	0.95	1.05	1.13	V	-
			VLCD = 06h	1.00	1.10	1.18	V	-
			VLCD = 07h	1.05	1.15	1.23	V	-
			VLCD = 08h	1.10	1.20	1.28	V	-
			VLCD = 09h	1.15	1.25	1.33	V	-
			VLCD = 0Ah	1.20	1.30	1.38	V	-
			VLCD = 0Bh	1.25	1.35	1.43	V	-
			VLCD = 0Ch	1.30	1.40	1.48	V	-
ダブル出力電圧	V <sub>L2</sub>	C1 ~ C5 (注1) = 0.47μF	2V <sub>L1</sub> - 0.08	2V <sub>L1</sub>	2V <sub>L1</sub>	V	-	
トリプル出力電圧	V <sub>L3</sub>	C1 ~ C5 (注1) = 0.47μF	3V <sub>L1</sub> - 0.12	3V <sub>L1</sub>	3V <sub>L1</sub>	V	-	
クアドロプル出力電圧	V <sub>L4</sub> (注4)	C1 ~ C5 (注1) = 0.47μF	4V <sub>L1</sub> - 0.16	4V <sub>L1</sub>	4V <sub>L1</sub>	V	-	
基準電圧セットアップ時間 (注2)	t <sub>VL1S</sub>		5	-	-	ms	図 51.88	
LCD出力電圧可変範囲 (注3)	t <sub>VLWT</sub>	C1 ~ C5 (注1) = 0.47μF	500	-	-	ms		

注 1. LCD 駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH と CAPL の間に接続するコンデンサ

C2 : VL1 と GND の間に接続するコンデンサ

C3 : VL2 と GND の間に接続するコンデンサ

C4 : VL3 と GND の間に接続するコンデンサ

C5 : VL4 と GND の間に接続するコンデンサ

C1 = C2 = C3 = C4 = C5 = 0.47μF ± 30%

注 2. VLCD レジスタで基準電圧を設定 (基準電圧をデフォルト値で使用する場合は、LCDM0 レジスタの MDSET[1:0] ビットを 01b にして内部昇圧方式を選択) してから、昇圧を開始する (VLCON = 1) までに必要な時間です。

注 3. 昇圧を開始 (VLCON = 1) してから表示が可能になる (LCDON = 1) までの待機時間です。

注 4. V<sub>L4</sub> は 5.5V 以下でなければなりません。

## 51.12.3 容量分割方式

[1/3 バイアス法]

表 51.71 内部昇圧方式LCD特性

条件 : VCC = AVCC0 = 2.2~5.5V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
VL4 電圧 (注1)	$V_{L4}$	C1~C4 = 0.47 $\mu$ F (注2)	-	VCC	-	V	-
VL2 電圧 (注1)	$V_{L2}$	C1~C4 = 0.47 $\mu$ F (注2)	$2/3 \times V_{L4} - 0.07$	$2/3 \times V_{L4}$	$2/3 \times V_{L4} + 0.07$	V	-
VL1 電圧 (注1)	$V_{L1}$	C1~C4 = 0.47 $\mu$ F (注2)	$1/3 \times V_{L4} - 0.08$	$1/3 \times V_{L4}$	$1/3 \times V_{L4} + 0.08$	V	-
容量分割待機時間 (注1)	$t_{WAIT}$		100	-	-	ms	図 51.88

注 1. 降圧を開始 (VLCON = 1) してから表示が可能になる (LCDON = 1) までの待機時間です。

注 2. LCD 駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH と CAPL の間に接続するコンデンサ

C2 : VL1 と GND の間に接続するコンデンサ

C3 : VL2 と GND の間に接続するコンデンサ

C4 : VL4 と GND の間に接続するコンデンサ

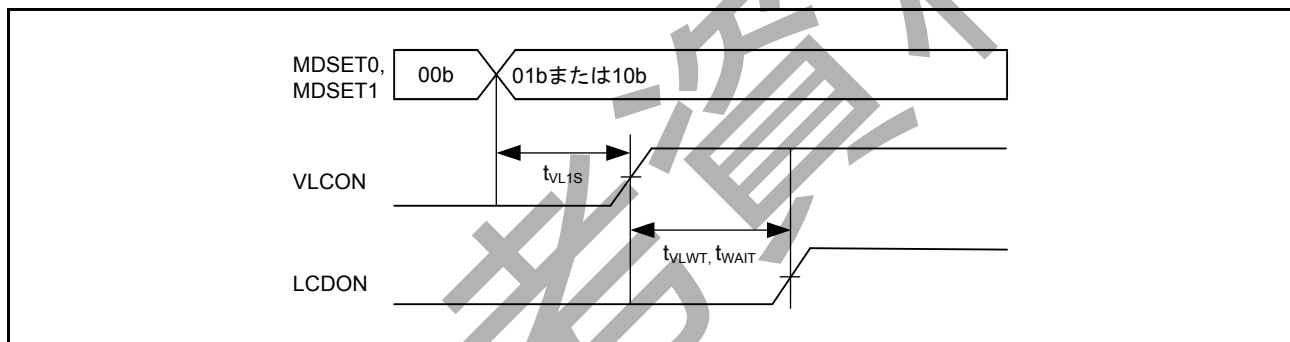
C1 = C2 = C3 = C4 = 0.47 $\mu$ F  $\pm$  30%

図 51.88 LCD 基準電圧セットアップ時間、昇圧待機時間、容量分割待機時間

## 51.13 コンパレータ特性

表 51.72 ACMPHS特性

条件 : VCC = AVCC0 = 2.7~5.5V、VSS = AVSS0 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
入力オフセット電圧	$V_{IOCOMP}$	-	$\pm 5$	$\pm 40$	mV	-
入力電圧範囲	$V_{ICMP}$	0	-	AVCC0	V	-
入力信号サイクル	$t_{PCMP}$	10	-	-	$\mu s$	-
出力遅延時間	$t_d$	-	50	100	ns	入力振幅 $\pm 100mV$
入力チャンネル切り替え時の安定待機時間 (注1)	$t_{WAIT}$	300	-	-	ns	入力振幅 $\pm 100mV$
動作安定待機時間 (注2)	$t_{CMP}$	1	-	-	$\mu s$	$3.3V \leq AVCC0 \leq 5.5V$
		3	-	-	$\mu s$	$2.7V \leq AVCC0 < 3.3V$

注1. コンパレータ入力チャンネルの切り替え時から、コンパレータが出力に切り替わるまでの時間です。

注2. コンパレータ動作を許可 (CMPCTL.HCMPON = 1) してから、コンパレータが DC/AC 特性を満たすまでの時間です。

表 51.73 ACMPPLP特性

条件 : VCC = AVCC0 = 1.8~5.5V、VSS = AVSS0 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
基準電圧範囲	VREF	0	-	VCC -1.4	V	-
入力電圧範囲	$V_I$	0	-	VCC	V	-
出力遅延時間	高速モード	$T_d$	-	1.2	$\mu s$	VCC = 3.0 入力信号のスルー レート > 50mV/ $\mu s$
	低速モード	-	-	5	$\mu s$	
	ウィンドウモード	-	-	2	$\mu s$	
オフセット電圧	高速モード	-	-	50	mV	-
	低速モード	-	-	40	mV	-
	ウィンドウモード	-	-	60	mV	-
ウィンドウモードの内部基準電圧	VRFH	-	$0.76 \times VCC$	-	V	-
	VRFL	-	$0.24 \times VCC$	-	V	-
動作安定待機時間	$T_{cmp}$	100	-	-	$\mu s$	-



## 51.14 OPAMP 特性

表 51.74 OPAMP 特性

条件:  $T_a = -40 \sim +105^\circ\text{C}$ 、 $1.8\text{V} \leq AVCC0 = VCC \leq 5.5\text{V}$ 、 $VSS = AVSS0 = 0\text{V}$ 

項目	シンボル	条件		Min	Typ	Max	単位
コモンモード入力範囲	Vicm1	低消費電力モード		0.2	-	AVCC0 - 0.5	V
	Vicm2	高速モード		0.3	-	AVCC0 - 0.6	V
出力電圧範囲	Vo1	低消費電力モード		0.1	-	AVCC0 - 0.1	V
	Vo2	高速モード		0.1	-	AVCC0 - 0.1	V
入力オフセット電圧	Vioff	3 $\sigma$		-10	-	10	mV
オープンゲイン	Av			60	120	-	dB
ゲイン帯域幅 (GB) 製品	GBW1	低消費電力モード		-	0.04	-	MHz
	GBW2	高速モード		-	1.7	-	MHz
位相マージン	PM	CL = 20pF		50	-	-	deg
ゲインマージン	GM	CL = 20pF		10	-	-	dB
入力換算ノイズ	Vnoise1	f = 1kHz	低消費電力モード	-	230	-	nV/ $\sqrt{\text{Hz}}$
	Vnoise2	f = 10kHz		-	200	-	nV/ $\sqrt{\text{Hz}}$
	Vnoise3	f = 1kHz	高速モード	-	90	-	nV/ $\sqrt{\text{Hz}}$
	Vnoise4	f = 2kHz		-	70	-	nV/ $\sqrt{\text{Hz}}$
電源低減比	PSRR			-	90	-	dB
コモンモード信号低減比	CMRR			-	90	-	dB
安定待機時間	Tstd1	CL = 20pF	低消費電力モード	650	-	-	$\mu\text{s}$
	Tstd2	オペアンプのみ起動 (注1)		高速モード	13	-	-
	Tstd3	CL = 20pF	低消費電力モード	650	-	-	$\mu\text{s}$
	Tstd4	オペアンプと基準電流回路が同時に起動		高速モード	13	-	-
安定時間	Tset1	CL = 20pF	低消費電力モード	-	-	750	$\mu\text{s}$
	Tset2		高速モード	-	-	13	$\mu\text{s}$
スルーレート	Tslew1	CL = 20pF	低消費電力モード	-	0.02	-	V/ $\mu\text{s}$
	Tslew2		高速モード	-	1.1	-	V/ $\mu\text{s}$
負荷電流	Iload1	低消費電力モード		-100	-	100	$\mu\text{A}$
	Iload2	高速モード		-100	-	100	$\mu\text{A}$
負荷容量	CL			-	-	20	pF

注 1. 事前にオペアンプ基準電流回路が起動している場合

## 51.15 フラッシュメモリ特性

## 51.15.1 コードフラッシュメモリ特性

表 51.75 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	測定条件
再プログラム/イレースサイクル (注1)	N <sub>PEC</sub>	1,000	-	-	回	-
データ保持時間	1000回のN <sub>PEC</sub> の後	t <sub>DRP</sub>	20 (注2) (注3)	-	年	T <sub>a</sub> = +85°C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 1,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、1KB のブロックについて、それぞれ異なる番地に 4 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書きはしないでください。)

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. 信頼性試験から得られた結果です。

表 51.76 コードフラッシュ特性 (2)

High-speed モード

条件 : VCC = AVCC0 = 2.7 ~ 5.5V

項目	シンボル	FCLK = 1MHz			FCLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	8バイト	t <sub>P4</sub>	-	116	998	-	54	506	μs
イレース時間	2KB	t <sub>E1K</sub>	-	9.03	287	-	5.67	222	ms
ブランクチェック時間	8バイト	t <sub>BC4</sub>	-	-	56.8	-	-	16.6	μs
	2KB	t <sub>BC1K</sub>	-	-	1,899	-	-	140	μs
イレースサスペンド時間		t <sub>SED</sub>	-	-	22.5	-	-	10.7	μs
スタートアップ領域入れ替え設定時間		t <sub>SAS</sub>	-	21.7	585	-	12.1	447	ms
アクセスウィンドウ時間		t <sub>AWS</sub>	-	21.7	585	-	12.1	447	ms
OCD/ シリアルプログラマID設定時間		t <sub>OSIS</sub>	-	21.7	585	-	12.1	447	ms
ROMモード遷移待機時間1		t <sub>Dis</sub>	2	-	-	2	-	-	μs
ROMモード遷移待機時間2		t <sub>MS</sub>	5	-	-	5	-	-	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。

注. FCLK の周波数精度は ±3.5% でなければなりません。クロックソースの周波数精度を確認してください。

表 51.77 コードフラッシュ特性 (3)

Middle-speedモード

条件: VCC = AVCC0 = 1.8~5.5V、Ta = -40~+85°C

項目		シンボル	FCLK = 1MHz			FCLK = 8MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	8バイト	t <sub>P4</sub>	-	157	1411	-	101	966	μs
イレース時間	2KB	t <sub>E1K</sub>	-	9.10	289	-	6.10	228	ms
ブランクチェック時間	8バイト	t <sub>BC4</sub>	-	-	87.7	-	-	52.5	μs
	2KB	t <sub>BC1K</sub>	-	-	1930	-	-	414	μs
イレースサスペンド時間		t <sub>SED</sub>	-	-	32.7	-	-	21.6	μs
スタートアップ領域入れ替え設定時間		t <sub>SAS</sub>	-	22.5	592	-	14.0	464	ms
アクセスウィンドウ時間		t <sub>AWS</sub>	-	22.5	592	-	14.0	464	ms
OCD/シリアルプログラマID設定時間		t <sub>OSIS</sub>	-	22.5	592	-	14.0	464	ms
フラッシュメモリモード遷移待機時間1		t <sub>DIS</sub>	2	-	-	2	-	-	μs
フラッシュメモリモード遷移待機時間2		t <sub>MS</sub>	720	-	-	720	-	-	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラム/イレース時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzのいずれかです。1.5MHzなどの非整数周波数は使用できません。

注. FCLKの周波数精度は±3.5%でなければなりません。クロックソースの周波数精度を確認してください。

## 51.15.2 データフラッシュメモリ特性

表 51.78 データフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	測定条件	
再プログラム/イレースサイクル (注1)	N <sub>DPEC</sub>	100,000	1,000,000	-	回	-	
データ保持時間	10,000回のN <sub>DPEC</sub> の後	t <sub>DDRP</sub>	20 (注2) (注3)	-	-	年	Ta = +85°C
	100,000回のN <sub>DPEC</sub> の後		5 (注2) (注3)	-	-	年	
	1,000,000回のN <sub>DPEC</sub> の後		-	1 (注2) (注3)	-	年	Ta = +25°C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 100,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、1 バイトのブロックについて、それぞれ異なる番地に 1 バイト書き込みを 1,000 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書きはしないでください。)

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. 信頼性試験から得られた結果です。

表 51.79 データフラッシュ特性 (2)

High-speed モード

条件 : VCC = AVCC0 = 2.7 ~ 5.5V

項目	シンボル	FCLK = 4MHz			FCLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1バイト	t <sub>DP1</sub>	-	52.4	463	-	42.1	387	μs
イレース時間	1KB	t <sub>DE1K</sub>	-	8.98	286	-	6.42	237	ms
ブランクチェック時間	1バイト	t <sub>DBC1</sub>	-	-	24.3	-	-	16.6	μs
	1KB	t <sub>DBC1K</sub>	-	-	1872	-	-	512	μs
イレース実行中のサスペンド時間	t <sub>DSSED</sub>	-	-	13.0	-	-	10.7	μs	
データフラッシュ STOP 復帰時間	t <sub>DSTOP</sub>	5	-	-	5	-	-	μs	

注 1. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注 2. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。

注 3. FCLK の周波数精度は ±3.5% でなければなりません。クロックソースの周波数精度を確認してください。

表 51.80 データフラッシュ特性 (3)

Middle-speed モード

条件 : VCC = AVCC0 = 1.8 ~ 5.5V、Ta = -40 ~ +85°C

項目	シンボル	FCLK = 4MHz			FCLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1バイト	t <sub>DP1</sub>	-	94.7	886	-	87.0	837	μs
イレース時間	1KB	t <sub>DE1K</sub>	-	9.59	299	-	7.82	266	ms
ブランクチェック時間	1バイト	t <sub>DBC1</sub>	-	-	56.2	-	-	50.9	μs
	1KB	t <sub>DBC1K</sub>	-	-	2.17	-	-	1.21	ms
イレース実行中のサスペンド時間	t <sub>DSSED</sub>	-	-	23.0	-	-	21.0	μs	
データフラッシュ STOP 復帰時間	t <sub>DSTOP</sub>	720	-	-	720	-	-	ns	

注 1. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注 2. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。

注 3. FCLK の周波数精度は ±3.5% でなければなりません。クロックソースの周波数精度を確認してください。

## 51.16 バウンダリスキャン

表 51.81 バウンダリスキャン

条件 : VCC = AVCC = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	$t_{TCKcyc}$	100	-	-	ns	図 51.89
TCKクロックHighレベルパルス幅	$t_{TCKH}$	45	-	-	ns	
TCKクロックLowレベルパルス幅	$t_{TCKL}$	45	-	-	ns	
TCKクロック立ち上がり時間	$t_{TCKr}$	-	-	5	ns	
TCKクロック立ち下がり時間	$t_{TCKf}$	-	-	5	ns	
TMSセットアップ時間	$t_{TMSS}$	20	-	-	ns	図 51.90
TMSホールド時間	$t_{TMSH}$	20	-	-	ns	
TDIセットアップ時間	$t_{TDIS}$	20	-	-	ns	
TDIホールド時間	$t_{TDIH}$	20	-	-	ns	
TDOデータ遅延時間	$t_{TDOD}$	-	-	70	ns	図 51.91
バウンダリスキャン回路起動時間 (注1)	$t_{BSSTUP}$	$t_{RESWP}$	-	-	-	

注 1. パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。

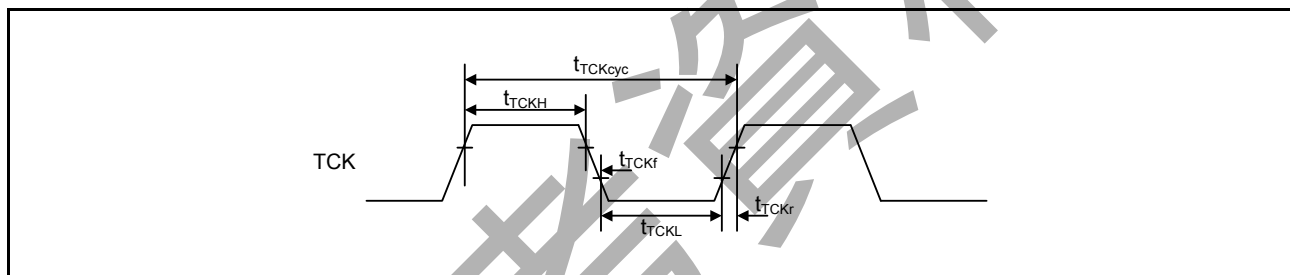


図 51.89 バウンダリスキャン TCK タイミング

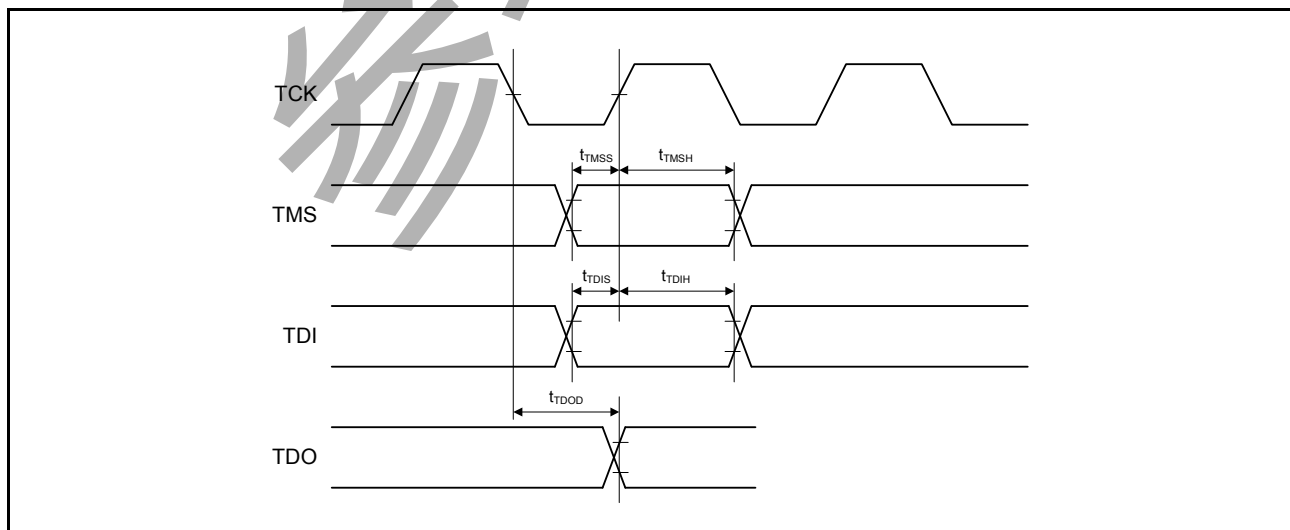


図 51.90 バウンダリスキャン入出力タイミング

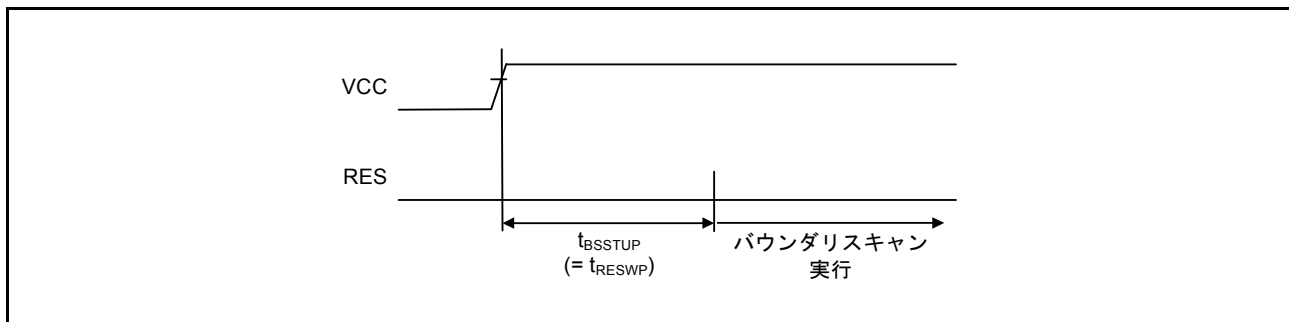


図 51.91 バウンダリスキャン回路起動タイミング

参考資料

## 51.17 ジョイントヨーロッパアンテスタクシヨングループ (JTAG)

表 51.82 JTAG (デバッグ) 特性 (1)

条件 : VCC = AVCC = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	$t_{TCKcyc}$	80	-	-	ns	図 51.92
TCKクロックHighレベルパルス幅	$t_{TCKH}$	35	-	-	ns	
TCKクロックLowレベルパルス幅	$t_{TCKL}$	35	-	-	ns	
TCKクロック立ち上がり時間	$t_{TCKr}$	-	-	5	ns	
TCKクロック立ち下がり時間	$t_{TCKf}$	-	-	5	ns	
TMSセットアップ時間	$t_{TMSS}$	16	-	-	ns	図 51.93
TMSホールド時間	$t_{TMSH}$	16	-	-	ns	
TDIセットアップ時間	$t_{TDIS}$	16	-	-	ns	
TDIホールド時間	$t_{TDIH}$	16	-	-	ns	
TDOデータ遅延時間	$t_{TDOD}$	-	-	70	ns	

表 51.83 JTAG (デバッグ) 特性 (2)

条件 : VCC = AVCC = 1.6 ~ 2.4V

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	$t_{TCKcyc}$	250	-	-	ns	図 51.92
TCKクロックHighレベルパルス幅	$t_{TCKH}$	120	-	-	ns	
TCKクロックLowレベルパルス幅	$t_{TCKL}$	120	-	-	ns	
TCKクロック立ち上がり時間	$t_{TCKr}$	-	-	5	ns	
TCKクロック立ち下がり時間	$t_{TCKf}$	-	-	5	ns	
TMSセットアップ時間	$t_{TMSS}$	50	-	-	ns	図 51.93
TMSホールド時間	$t_{TMSH}$	50	-	-	ns	
TDIセットアップ時間	$t_{TDIS}$	50	-	-	ns	
TDIホールド時間	$t_{TDIH}$	50	-	-	ns	
TDOデータ遅延時間	$t_{TDOD}$	-	-	150	ns	

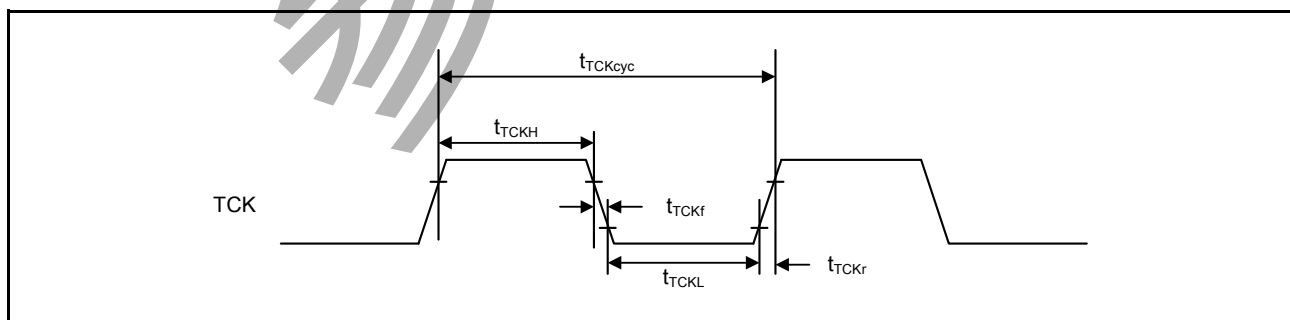


図 51.92 JTAG TCK タイミング

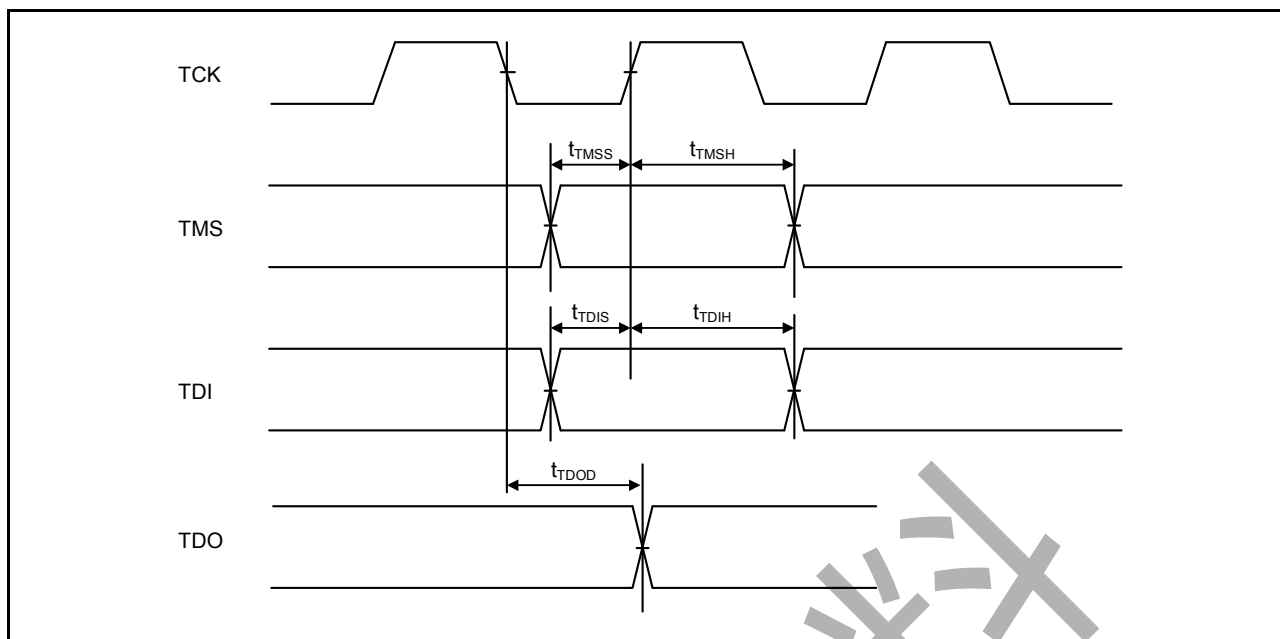


図 51.93 JTAG 入出力タイミング



## 51.17.1 シリアルワイヤデバッグ (SWD)

表 51.84 SWD 特性 (1)

条件 : VCC = AVCC0 = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	$t_{\text{SWCKcyc}}$	80	-	-	ns	図 51.94
SWCLKクロック High レベルパルス幅	$t_{\text{SWCKH}}$	35	-	-	ns	
SWCLKクロック Low レベルパルス幅	$t_{\text{SWCKL}}$	35	-	-	ns	
SWCLKクロック立ち上がり時間	$t_{\text{SWCKr}}$	-	-	5	ns	
SWCLKクロック立ち下がり時間	$t_{\text{SWCKf}}$	-	-	5	ns	
SWDIOセットアップ時間	$t_{\text{SWDS}}$	16	-	-	ns	図 51.95
SWDIOホールド時間	$t_{\text{SWDH}}$	16	-	-	ns	
SWDIOデータ遅延時間	$t_{\text{SWDD}}$	2	-	70	ns	

表 51.85 SWD 特性 (2)

条件 : VCC = AVCC0 = 1.6 ~ 2.4V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	$t_{\text{SWCKcyc}}$	250	-	-	ns	図 51.94
SWCLKクロック High レベルパルス幅	$t_{\text{SWCKH}}$	120	-	-	ns	
SWCLKクロック Low レベルパルス幅	$t_{\text{SWCKL}}$	120	-	-	ns	
SWCLKクロック立ち上がり時間	$t_{\text{SWCKr}}$	-	-	5	ns	
SWCLKクロック立ち下がり時間	$t_{\text{SWCKf}}$	-	-	5	ns	
SWDIOセットアップ時間	$t_{\text{SWDS}}$	50	-	-	ns	図 51.95
SWDIOホールド時間	$t_{\text{SWDH}}$	50	-	-	ns	
SWDIOデータ遅延時間	$t_{\text{SWDD}}$	2	-	150	ns	

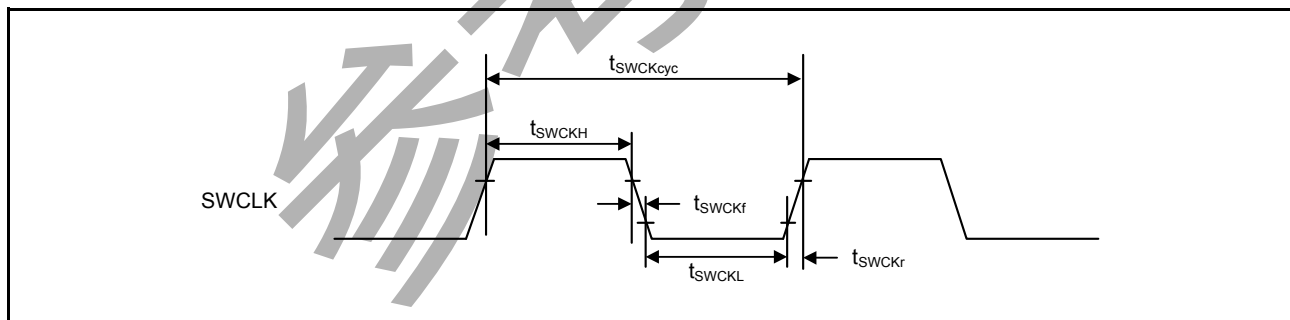


図 51.94 SWD SWCLK タイミング

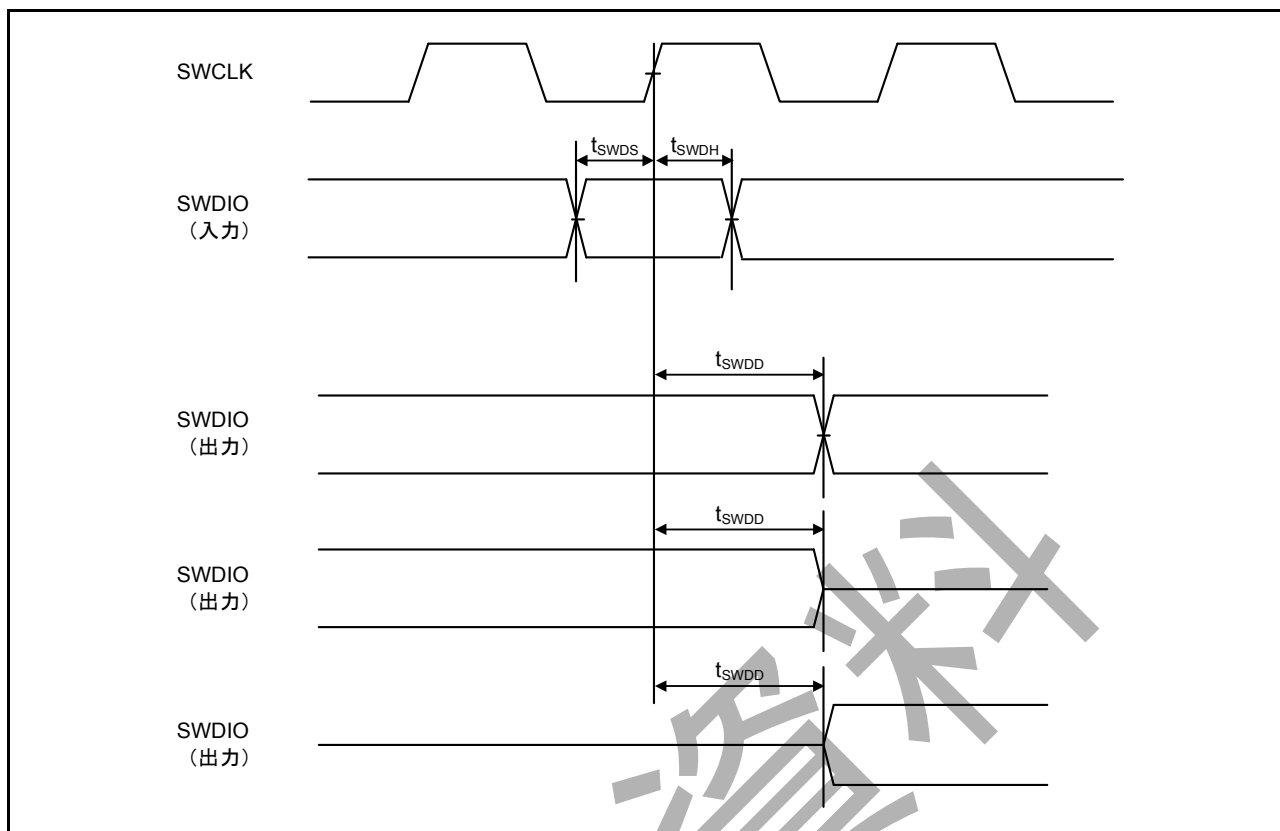


図 51.95 SWD 入出力タイミング

## 付録1. 各プロセスモードのポート状態

表 1.1 各プロセスモードのポート状態 (1/4)

ポート名	リセット	ソフトウェアスタンバイモード	
		OPE = 0	OPE = 1
P000/IRQ6, P001/IRQ7, P002/IRQ8	Hi-Z	Keep-O (注1)	
P003	Hi-Z	Keep-O	
P004/IRQ9, P005/IRQ10, P006/IRQ11	Hi-Z	Keep-O (注1)	
P007	Hi-Z	Keep-O	
P008/IRQ12, P009/IRQ13, P010/IRQ14, P011/IRQ15	Hi-Z	Keep-O (注1)	
P012, P013	Hi-Z	Keep-O	
P014/DA0	Hi-Z	[DA0出力 (DAOE0 = 1)] DA出力保持 [上記以外 (DAOE0 = 0)] Keep-O	
P015/IRQ13/DA1	Hi-Z	[DA1出力 (DAOE1 = 1)] DA出力保持 [上記以外 (DAOE1 = 0)] Keep-O (注1)	
P100/D00/RXD0_A/CMPIN0/KR00/IRQ2	Hi-Z	[D00出力] Hi-Z [上記以外] Keep-O (注1)	
P101/D01/CMPREF0/KR01/IRQ1	Hi-Z	[D01出力] Hi-Z [上記以外] Keep-O (注1)	
P102/D02/CMPIN1/KR02	Hi-Z	[D02出力] Hi-Z [上記以外] Keep-O (注1)	
P103/D03/CMPREF1/KR03	Hi-Z	[D03出力] Hi-Z [上記以外] Keep-O (注1)	
P104/D04/KR04/IRQ1	Hi-Z	[D04出力] Hi-Z [上記以外] Keep-O (注1)	
P105/D05/KR05/IRQ0	Hi-Z	[D05出力] Hi-Z [上記以外] Keep-O (注1)	
P106/D06/KR06	Hi-Z	[D06出力] Hi-Z [上記以外] Keep-O (注1)	
P107/D07/KR07	Hi-Z	[D07出力] Hi-Z [上記以外] Keep-O (注1)	
P108/TMS	ブルアップ	Keep-O	
P109/TDO/CLKOUT_B	TDO出力	[CLKOUT選択] CLKOUT出力 [上記以外] Keep-O	
P110/IRQ3/TDI/VCOUT	ブルアップ	[ACMPLP選択] VCOUT出力 [上記以外] Keep-O (注1)	

表 1.1 各プロセスモードのポート状態 (2/4)

ポート名	リセット	ソフトウェアスタンバイモード	
		OPE = 0	OPE = 1
P111/A05/IRQ4	Hi-Z	[A05出力] Hi-Z [上記以外] Keep-O (注1)	[A05出力] アドレス出力保持 [上記以外] Keep-O (注1)
P112/A04	Hi-Z	[A04出力] Hi-Z [上記以外] Keep-O	[A04出力] アドレス出力保持 [上記以外] Keep-O
P113/A03	Hi-Z	[A03出力] Hi-Z [上記以外] Keep-O	[A03出力] アドレス出力保持 [上記以外] Keep-O
P114/A02	Hi-Z	[A02出力] Hi-Z [上記以外] Keep-O	[A02出力] アドレス出力保持 [上記以外] Keep-O
P115/A01	Hi-Z	[A01出力] Hi-Z [上記以外] Keep-O	[A01出力] アドレス出力保持 [上記以外] Keep-O
P200/NMI	Hi-Z	Hi-Z	
P201	プルアップ	Keep-O	
P202/WR1/BC1/IRQ3	Hi-Z	[WR1/BC1出力] Hi-Z [上記以外] Keep-O (注1)	[WR1/BC1出力] H [上記以外] Keep-O (注1)
P203/IRQ2	Hi-Z	Keep-O (注1)	
P204/AGTIO1_A/SCL0_B/ USB_OVRCURB	Hi-Z	Keep-O (注1)	
P205/A16/USB_OVRCURA/ IRQ1/CLKOUT_A	Hi-Z	[A16出力] Hi-Z [CLKOUT選択] CLKOUT出力 [上記以外] Keep-O (注1)	[A16出力] アドレス出力保持 [CLKOUT選択] CLKOUT出力 [上記以外] Keep-O (注1)
P206/WAIT/IRQ0	Hi-Z	Keep-O (注1)	
P212/IRQ3/EXTAL, P213/IRQ2/XTAL	Hi-Z	Keep-O (注1)	
P214/XCOUT, P215/XCIN	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z	
P300/TCK	プルアップ	Keep-O	
P301/A06/IRQ6	Hi-Z	[A06出力] Hi-Z [上記以外] Keep-O (注1)	[A06出力] アドレス出力保持 [上記以外] Keep-O (注1)
P302/A07/IRQ5	Hi-Z	[A07出力] Hi-Z [上記以外] Keep-O (注1)	[A07出力] アドレス出力保持 [上記以外] Keep-O (注1)
P303/A08	Hi-Z	[A08出力] Hi-Z [上記以外] Keep-O	[A08出力] アドレス出力保持 [上記以外] Keep-O
P304/A09/IRQ9	Hi-Z	[A09出力] Hi-Z [上記以外] Keep-O (注1)	[A09出力] アドレス出力保持 [上記以外] Keep-O (注1)
P305/A10/IRQ8	Hi-Z	[A10出力] Hi-Z [上記以外] Keep-O (注1)	[A10出力] アドレス出力保持 [上記以外] Keep-O (注1)
P306/A11	Hi-Z	[A11出力] Hi-Z [上記以外] Keep-O	[A11出力] アドレス出力保持 [上記以外] Keep-O

表 1.1 各プロセスモードのポート状態 (3/4)

ポート名	リセット	ソフトウェアスタンバイモード	
		OPE = 0	OPE = 1
P307/A12	Hi-Z	[A12出力] Hi-Z [上記以外] Keep-O	[A12出力] アドレス出力保持 [上記以外] Keep-O
P308/A13	Hi-Z	[A13出力] Hi-Z [上記以外] Keep-O	[A13出力] アドレス出力保持 [上記以外] Keep-O
P309/A14	Hi-Z	[A14出力] Hi-Z [上記以外] Keep-O	[A14出力] アドレス出力保持 [上記以外] Keep-O
P310/A15	Hi-Z	[A15出力] Hi-Z [上記以外] Keep-O	[A15出力] アドレス出力保持 [上記以外] Keep-O
P311/CS2	Hi-Z	[CS2出力] Hi-Z [上記以外] Keep-O	[CS2出力] H [上記以外] Keep-O
P312/CS3	Hi-Z	[CS3出力] Hi-Z [上記以外] Keep-O	[CS3出力] H [上記以外] Keep-O
P313~P315	Hi-Z	Keep-O	
P400/SCL0_A/IRQ0, P401/SDA0_A/IRQ5, P402/IRQ4/RTCIC0/AGTIO0_B/AGTIO1_B, P403/RTCIC1/AGTIO0_C/AGTIO1_C	Hi-Z	Keep-O (注1)	
P404/RTCIC2	Hi-Z	Keep-O (注1)	
P405, P406	Hi-Z	Keep-O	
P407/SDA0_B/USB_VBUS, P408/IRQ7, P409/IRQ6, P410/RXD0_B/IRQ5, P411/IRQ4	Hi-Z	Keep-O (注1)	
P412~P415	Hi-Z	Keep-O	
P500	Hi-Z	Keep-O	
P501/USB_OVRCURA/IRQ11, P502/USB_OVRCURB/IRQ12	Hi-Z	Keep-O (注1)	
P503, P504	Hi-Z	Keep-O	
P505/IRQ14, P506/IRQ15	Hi-Z	Keep-O (注1)	
P507	Hi-Z	Keep-O	
P511/IRQ15, P512/IRQ14	Hi-Z	Keep-O (注1)	
P600/RD	Hi-Z	[RD出力] Hi-Z [上記以外] Keep-O	[RD出力] H [上記以外] Keep-O
P601/WR0/WR	Hi-Z	[WR0/WR出力] Hi-Z [上記以外] Keep-O	[WR0/WR出力] H [上記以外] Keep-O
P602/EBCLK	Hi-Z	[EBCLK出力] H [上記以外] Keep-O	
P603/D13	Hi-Z	[D13出力] Hi-Z [上記以外] Keep-O	

表 1.1 各プロセスモードのポート状態 (4/4)

ポート名	リセット	ソフトウェアスタンバイモード	
		OPE = 0	OPE = 1
P604/D12	Hi-Z		[D12出力] Hi-Z [上記以外] Keep-O
P605/D11	Hi-Z		[D11出力] Hi-Z [上記以外] Keep-O
P606	Hi-Z		Keep-O
P608/A00/BC0	Hi-Z	[A00出力] Hi-Z [BC0出力] Hi-Z [上記以外] Keep-O	[A00出力] アドレス出力保持 [BC0出力] H [上記以外] Keep-O
P609/CS1	Hi-Z	[CS1出力] Hi-Z [上記以外] Keep-O	[CS1出力] H [上記以外] Keep-O
P610/CS0	Hi-Z	[CS0出力] Hi-Z [上記以外] Keep-O	[CS0出力] H [上記以外] Keep-O
P611	Hi-Z		Keep-O
P612/D08	Hi-Z		[D08出力] Hi-Z [上記以外] Keep-O
P613/D09	Hi-Z		[D09出力] Hi-Z [上記以外] Keep-O
P614/D10	Hi-Z		[D10出力] Hi-Z [上記以外] Keep-O
P700～P705	Hi-Z		Keep-O
P708/IRQ11, P709/IRQ10	Hi-Z		Keep-O (注1)
P710～P713	Hi-Z		Keep-O
P800/D14	Hi-Z		[D14出力] Hi-Z [上記以外] Keep-O
P801/D15	Hi-Z		[D15出力] Hi-Z [上記以外] Keep-O
P802 to P809	Hi-Z		Keep-O
P900～P902	Hi-Z		Keep-O
USB_DP	Hi-Z		Keep-O
USB_DM	Hi-Z		Keep-O

H : High レベル

Hi-Z : ハイインピーダンス

Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。

## 付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社ウェブサイトの「パッケージ」を参照してください。

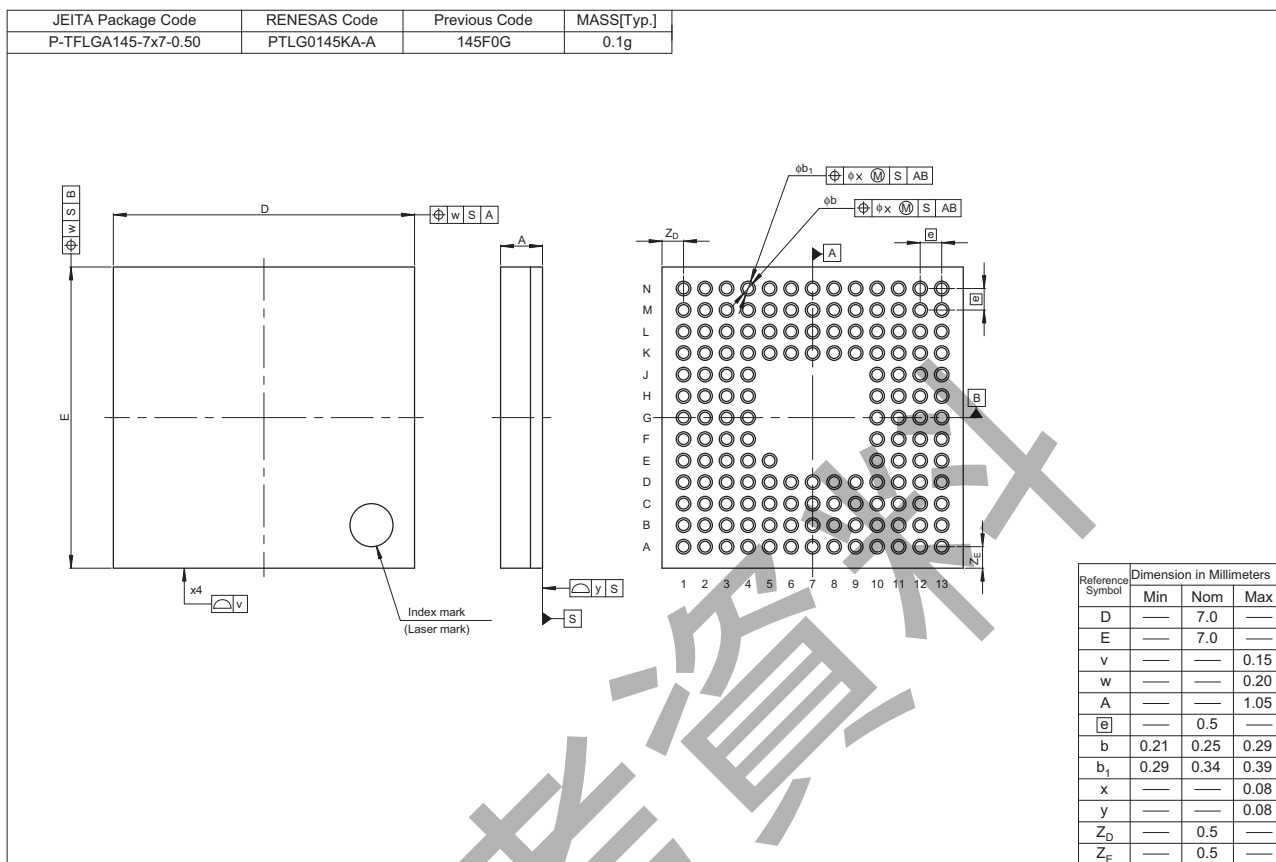
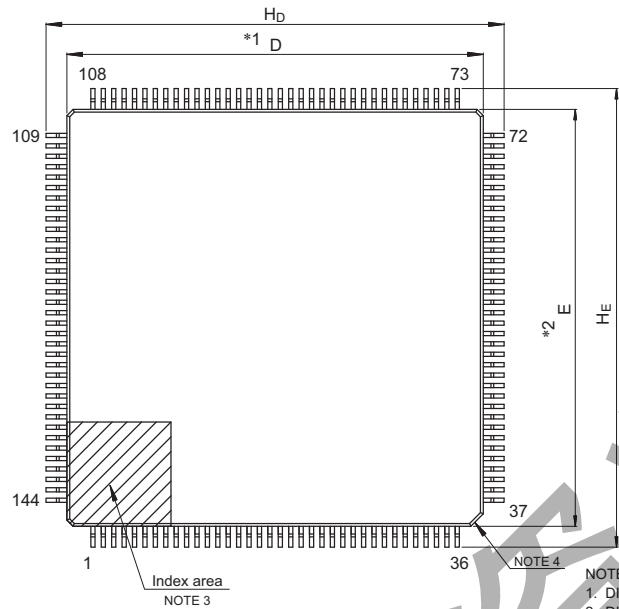


図 2.1 145-pin LGA

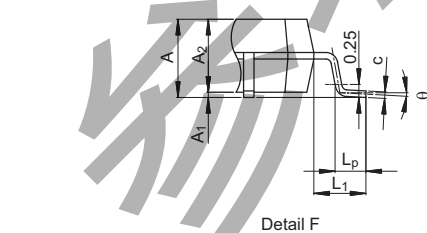
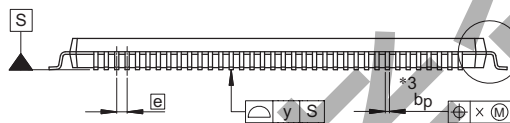
参考資料

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP144-20x20-0.50	PLQP0144KA-B	—	1.2

Unit: mm



- NOTE)
1. DIMENSIONS "\*1" AND "\*2" DO NOT INCLUDE MOLD FLASH.
  2. DIMENSION "\*3" DOES NOT INCLUDE TRIM OFFSET.
  3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
  4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A <sub>2</sub>	—	1.4	—
H <sub>D</sub>	21.8	22.0	22.2
H <sub>E</sub>	21.8	22.0	22.2
A	—	—	1.7
A <sub>1</sub>	0.05	—	0.15
b <sub>p</sub>	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L <sub>p</sub>	0.45	0.6	0.75
L <sub>1</sub>	—	1.0	—

© 2016 Renesas Electronics Corporation. All rights reserved.

図 2.2 144-pin LQFP



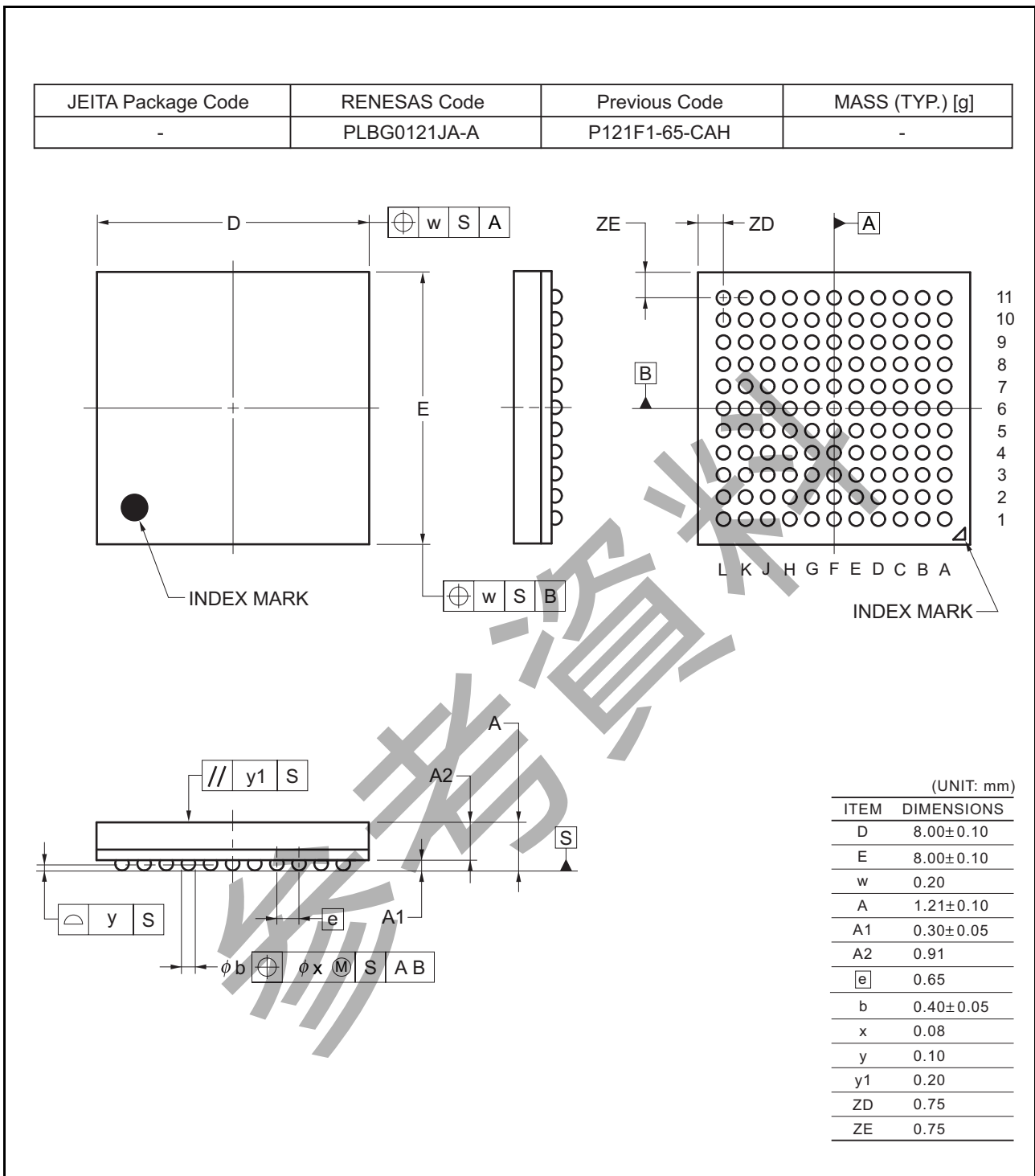


図 2.3 121-pin BGA

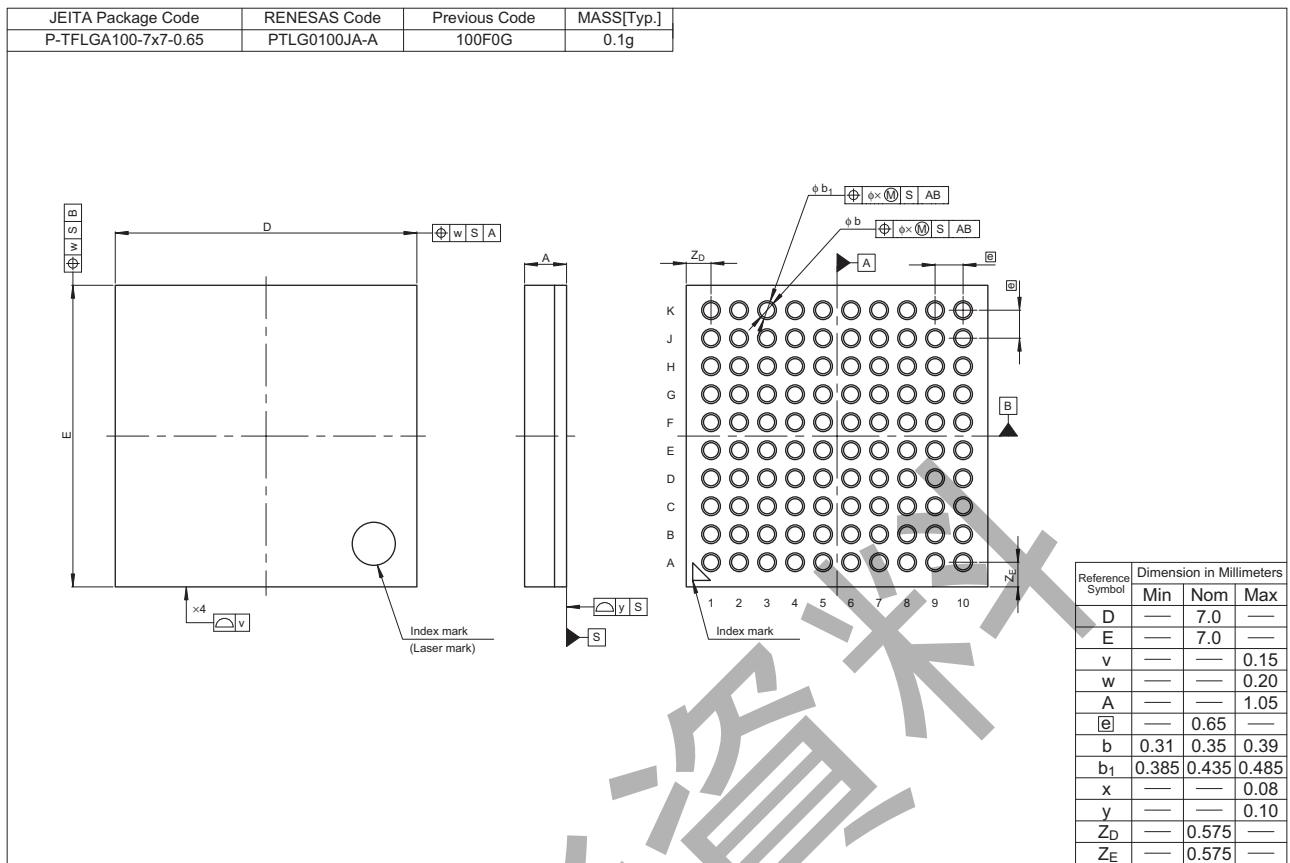


図 2.4 100-pin LGA

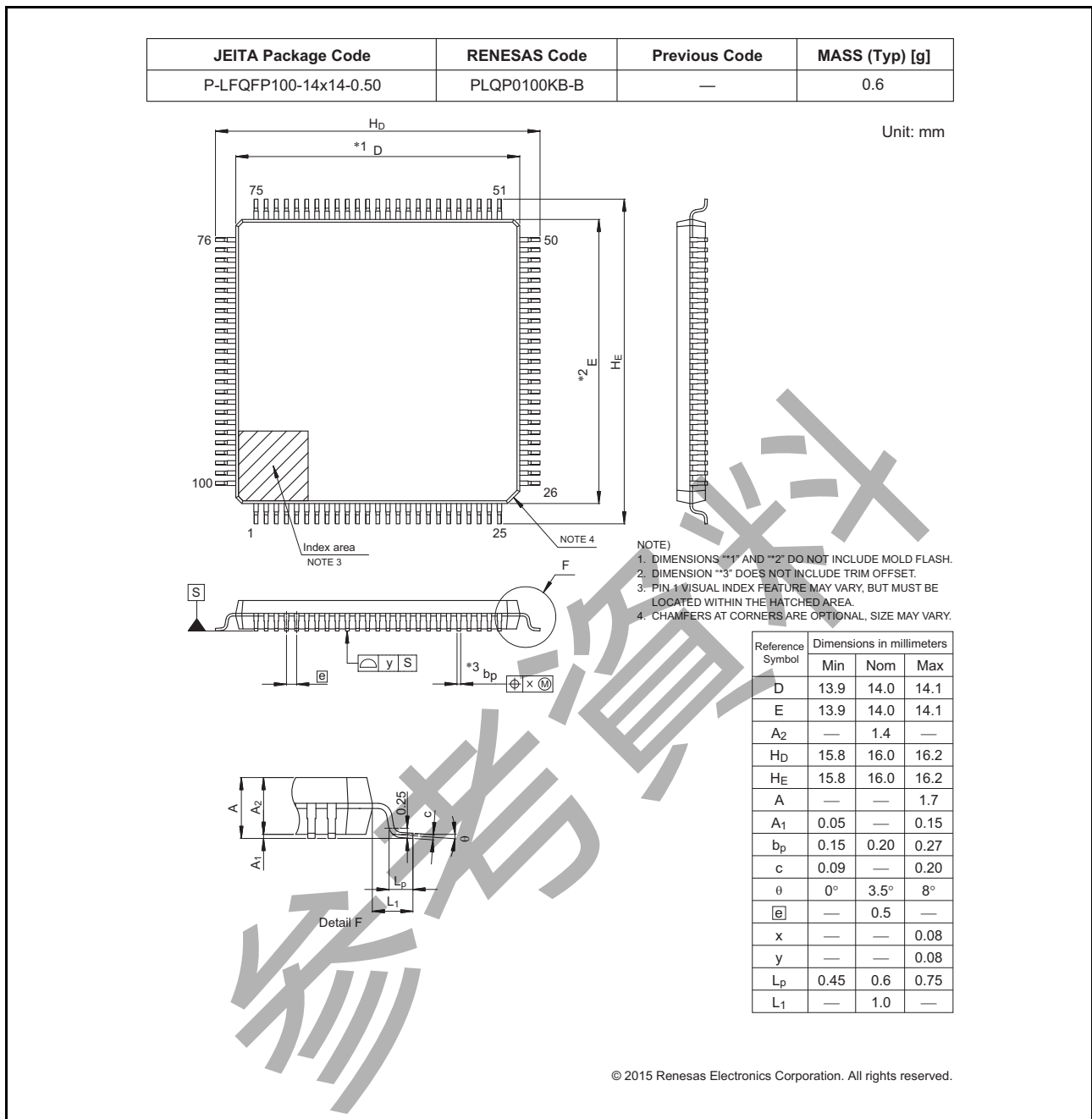


図 2.5 100-pin LQFP

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm

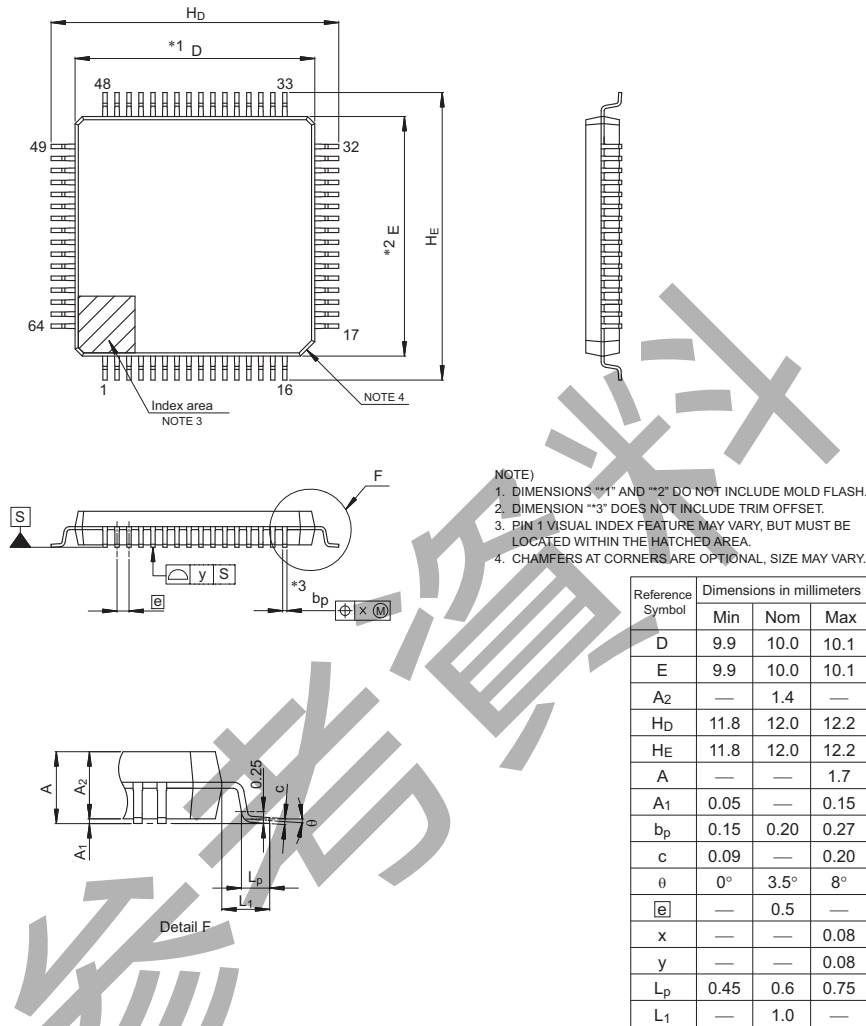
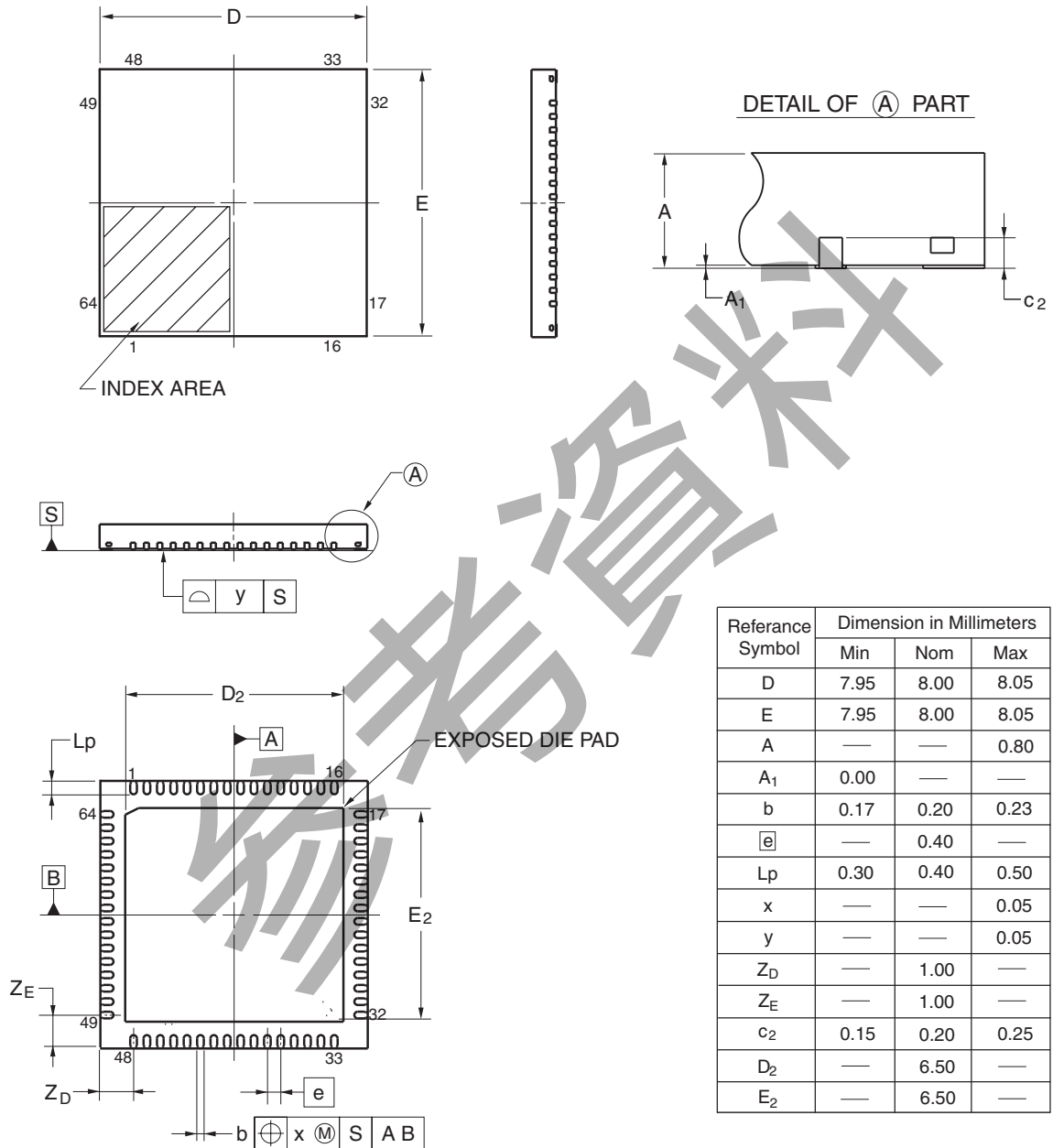


図 2.6 64-pin LQFP

© 2015 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN64-8x8-0.40	PWQN0064LA-A	P64K8-40-9B5-3	0.16



©2013 Renesas Electronics Corporation. All rights reserved.

図 2.7 64-pin QFN

改訂記録	S3A7 ユーザーズマニュアル：マイクロコントローラ
------	----------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2016.09.09	—	第1.00版発行 英文版 S3A7 User's Manual: Microcontrollers (資料番号 R01UM0002EU0100、リビジョン Rev.1.00、発行日 2016年2月23日) を翻訳

参考資料

S3A7ユーザーズマニュアル: マイクロコントローラ (参考資料)

発行年月日 2016年9月9日 Rev.1.00

発行 ルネサスエレクトロニクス株式会社  
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/contact/>



S3A7  
ユーザーズマニュアル  
マイクロコントローラ  
(参考資料)