

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

SH7011

ハードウェアマニュアル

HD6417011

目次

第1章 概要

1.1	SH7011 の特長	3	
1.2	ブロック図	5	
1.3	端子説明	6	
	1.3.1	ピン配置	6
	1.3.2	端子機能	7

第2章 CPU

2.1	レジスタ構成	11	
	2.1.1	汎用レジスタ (Rn)	11
	2.1.2	コントロールレジスタ	12
	2.1.3	システムレジスタ	13
	2.1.4	レジスタの初期値	13
2.2	データ形式	14	
	2.2.1	レジスタのデータ形式	14
	2.2.2	メモリ上でのデータ形式	14
	2.2.3	イミディエイトデータのデータ形式	14
2.3	命令の特長	15	
	2.3.1	RISC 方式	15
	2.3.2	アドレッシングモード	18
	2.3.3	命令形式	21
2.4	命令セット	23	
	2.4.1	分類順命令セット	23
2.5	処理状態	31	
	2.5.1	状態遷移	31

第3章 低消費電力状態

3.1	概要	35
3.1.1	低消費電力状態	35
3.2	スリープモード	36
3.2.1	スリープモードへの遷移	36
3.2.2	スリープモードの解除	36

第4章 クロック発振器 (CPG)

4.1	概要	39
4.2	クロックソース	40
4.2.1	水晶発振子の接続方法	40
4.2.2	外部クロックの入力方法	41
4.3	使用上の注意	42

第5章 例外処理

5.1	概要	47
5.1.1	例外処理の種類と優先順位	47
5.1.2	例外処理の種類と優先順位	48
5.1.3	例外処理ベクタテーブル	49
5.2	リセット	52
5.2.1	リセットの種類	52
5.2.2	パワーオンリセット	52
5.3	アドレスエラー	53
5.3.1	アドレスエラー発生要因	53
5.3.2	アドレスエラー例外処理	53
5.4	割り込み	54
5.4.1	割り込み要因	54
5.4.2	割り込み優先順位	55
5.4.3	割り込み例外処理	55
5.5	命令による例外	56
5.5.1	命令による例外の種類	56
5.5.2	トラップ命令	56
5.5.3	スロット不当命令	57
5.5.4	一般不当命令	57

5.6	例外処理が受け付けられない場合	58
5.6.1	遅延分岐命令の直後	58
5.6.2	割り込み禁止命令の直後	58
5.7	例外処理後のスタックの状態	59
5.8	使用上の注意	60
5.8.1	スタックポインタ (SP) の値	60
5.8.2	ベクタベースレジスタ (VBR) の値	60
5.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	60

第6章 割り込みコントローラ (INTC)

6.1	概要	63
6.1.1	特長	63
6.1.2	ブロック図	64
6.1.3	端子構成	65
6.1.4	レジスタ構成	65
6.2	割り込み要因	66
6.2.1	NMI 割り込み	66
6.2.2	IRQ 割り込み	66
6.2.3	内蔵周辺モジュール割り込み	67
6.2.4	割り込み例外処理ベクタと優先順位	67
6.3	レジスタの説明	69
6.3.1	割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH)	69
6.3.2	割り込みコントロールレジスタ (ICR)	70
6.3.3	IRQ ステータスレジスタ (ISR)	72
6.4	動作説明	74
6.4.1	割り込み動作の流れ	74
6.4.2	割り込み例外処理終了後のスタックの状態	76
6.5	割り込み応答時間	77

第7章 バスステートコントローラ (BSC)

7.1	概要	81
7.1.1	特長	81
7.1.2	ブロック図	82
7.1.3	端子構成	83
7.1.4	レジスタ構成	83

	7.1.5	アドレスマップ	84
7.2		レジスタの説明	85
	7.2.1	バスコントロールレジスタ2 (BCR2)	85
	7.2.2	ウェイトコントロールレジスタ1 (WCR1)	89
7.3		通常空間アクセス	91
	7.3.1	基本タイミング	91
	7.3.2	ウェイトステート制御	92
	7.3.3	\overline{CS} アサート期間拡張	94
7.4		アクセスサイクル間ウェイト	95
	7.4.1	データバス衝突防止	95
	7.4.2	バスサイクル開始検出の容易化	97
7.5		メモリ接続例	98

第8章 マルチファンクションタイマパルスユニット (MTU)

8.1		概要	101
	8.1.1	特長	101
	8.1.2	ブロック図	104
	8.1.3	端子構成	105
	8.1.4	レジスタ構成	106
8.2		レジスタの説明	107
	8.2.1	タイマコントロールレジスタ (TCR)	107
	8.2.2	タイマモードレジスタ (TMDR)	111
	8.2.3	タイマ I/O コントロールレジスタ (TIOR)	114
	8.2.4	タイマインタラプトイネーブルレジスタ (TIER)	121
	8.2.5	タイマステータスレジスタ (TSR)	124
	8.2.6	タイマカウンタ (TCNT)	128
	8.2.7	タイマジェネラルレジスタ (TGR)	128
	8.2.8	タイマスタートレジスタ (TSTR)	129
	8.2.9	タイマシンクロレジスタ (TSYR)	130
8.3		バスマスタとのインタフェース	132
	8.3.1	16ビットレジスタ	132
	8.3.2	8ビットレジスタ	133
8.4		動作説明	135
	8.4.1	概要	135
	8.4.2	基本機能	136
	8.4.3	同期動作	144

	8.4.4	バッファ動作	147
	8.4.5	カスケード接続動作	151
	8.4.6	PWM モード	153
8.5		割り込み	159
	8.5.1	割り込み要因と優先順位	159
	8.5.2	A/D 変換器の起動	160
8.6		動作タイミング	161
	8.6.1	入出力タイミング	161
	8.6.2	割り込み信号タイミング	165
8.7		使用上の注意	169
8.8		MTU 出力端子の初期化方法	180
	8.8.1	動作モード	180
	8.8.2	リセットスタート時の動作	180
	8.8.3	動作中の異常などによる再設定時の動作	180
	8.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	181

第9章 8ビットタイマ1 (TIM1)

9.1		概要	193
	9.1.1	特長	193
	9.1.2	ブロック図	194
	9.1.3	レジスタ構成	195
9.2		レジスタの説明	196
	9.2.1	タイマ1カウンタ (T1CNT)	196
	9.2.2	タイマ1コントロール/ステータスレジスタ (T1CSR)	197
	9.2.3	レジスタアクセス時の注意	199
9.3		動作説明	200
	9.3.1	インターバルタイマの動作	200
	9.3.2	オーバフローフラグ (OVF) のセットタイミング	201
9.4		使用上の注意	202
	9.4.1	タイマ1カウンタ (T1CNT) の書き込みとカウントアップの競合	202
	9.4.2	CKS2~CKS0ビットの書き換え	202

第10章 8ビットタイマ2 (TIM2)

10.1		概要	205
	10.1.1	特長	205

	10.1.2	ブロック図	205
	10.1.3	レジスタ構成	206
10.2		レジスタの説明	207
	10.2.1	タイマ2コントロール/ステータスレジスタ (T2CSR)	207
	10.2.2	タイマ2カウンタ (T2CNT)	209
	10.2.3	タイマ2コンスタントレジスタ (T2COR)	209
10.3		動作説明	210
	10.3.1	周期カウント動作	210
	10.3.2	T2CNTのカウントタイミング	210
10.4		割り込み	211
	10.4.1	割り込み要因	211
	10.4.2	コンペアマッチフラグのセットタイミング	211
	10.4.3	コンペアマッチフラグのクリアタイミング	212

第11章 コンペアマッチタイマ (CMT)

11.1		概要	215
	11.1.1	特長	215
	11.1.2	ブロック図	215
	11.1.3	レジスタ構成	216
11.2		レジスタの説明	217
	11.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	217
	11.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	218
	11.2.3	コンペアマッチタイマカウンタ (CMCNT)	220
	11.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	220
11.3		動作説明	221
	11.3.1	周期カウント動作	221
	11.3.2	CMCNTのカウントタイミング	221
11.4		割り込み	222
	11.4.1	割り込み要因	222
	11.4.2	コンペアマッチフラグのセットタイミング	222
	11.4.3	コンペアマッチフラグのクリアタイミング	223
11.5		使用上の注意	224

第12章 シリアルコミュニケーションインタフェース (SCI)

12.1		概要	229
------	--	----	-----

	12.1.1	特長	229
	12.1.2	ブロック図	230
	12.1.3	端子構成	231
	12.1.4	レジスタ構成	231
12.2		レジスタの説明	232
	12.2.1	レシーブシフトレジスタ (RSR)	232
	12.2.2	レシーブデータレジスタ (RDR)	232
	12.2.3	トランスミットシフトレジスタ (TSR)	233
	12.2.4	トランスミットデータレジスタ (TDR)	233
	12.2.5	シリアルモードレジスタ (SMR)	234
	12.2.6	シリアルコントロールレジスタ (SCR)	236
	12.2.7	シリアルステータスレジスタ (SSR)	240
	12.2.8	ビットレートレジスタ (BRR)	245
12.3		動作説明	250
	12.3.1	概要	250
	12.3.2	調歩同期式モード時の動作	252
	12.3.3	マルチプロセッサ通信機能	262
12.4		割り込み	270
12.5		使用上の注意	271

第 13 章 A/D 変換器

13.1		概要	277
	13.1.1	特長	277
	13.1.2	ブロック図	278
	13.1.3	端子構成	279
	13.1.4	レジスタ構成	280
13.2		レジスタの説明	281
	13.2.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D)	281
	13.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	282
	13.2.3	A/D コントロールレジスタ (ADCR)	284
13.3		CPU とのインタフェース	285
13.4		動作説明	286
	13.4.1	単一モード (SCAN = 0)	286
	13.4.2	スキャンモード (SCAN = 1)	288
	13.4.3	入力サンプリングと A/D 変換時間	290
	13.4.4	MTU トリガ入力タイミング	291

13.5	A/D 変換精度の定義	292
13.6	使用上の注意	293
13.6.1	アナログ電圧の設定	293
13.6.2	アナログ入力端子の取り扱い	293

第 14 章 ピンファンクションコントローラ (PFC)

14.1	概要	297
14.2	レジスタ構成	297
14.3	レジスタの説明	398
14.3.1	ポート A・IO レジスタ H (PAIORH)	398
14.3.2	ポート E・IO レジスタ (PEIOR)	398
14.3.3	ポート E コントロールレジスタ 2 (PECR2)	399

第 15 章 I/O ポート (I/O)

15.1	概要	303
15.2	ポート A	303
15.2.1	レジスタ構成	303
15.2.2	ポート A データレジスタ H (PADRH)	304
15.3	ポート E	305
15.3.1	レジスタ構成	305
15.3.2	ポート E データレジスタ (PEDR)	306

第 16 章 RAM

16.1	概要	309
------	----	-----

第 17 章 電気的特性

17.1	絶対最大定格	313
17.2	DC 特性	314
17.3	AC 特性	316
17.3.1	クロックタイミング	316

17.3.2	制御信号タイミング	318
17.3.3	バスタイミング	320
17.3.4	マルチファンクションタイマパルスユニットタイミング	324
17.3.5	I/Oポートタイミング	325
17.3.6	シリアルコミュニケーションインタフェースタイミング	326
17.3.7	A/D変換器タイミング	327
17.3.8	AC特性測定条件	328
17.4	A/D変換器特性	329

付録

A.	内蔵周辺モジュールレジスタ一覧	333
B.	端子状態	336
	B.1 端子状態	336
	B.2 バス関連信号の端子状態	337
C.	パッケージ外形寸法図	338

1. 概要

第1章 目次

1.1	SH7011 の特長	3
1.2	ブロック図	5
1.3	端子説明	6
	1.3.1 ピン配置	6
	1.3.2 端子機能	7

1.1 SH7011 の特長

本 LSI は、日立オリジナル・アーキテクチャを採用した高速 CPU を核にして、システム構成に必要な周辺機能を集積した CMOS シングルチップマイコンです。

本 LSI の CPU は、RISC (Reduced Instruction Set Computer) タイプの命令セットを持っており、基本的に 1 命令 1 サイクルで動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成となっており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに本 LSI は、システム構成に必要な周辺機能として、RAM、タイマ、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、割込みコントローラ (INTC)、I/O ポート等を内蔵しています。また、外部メモリアクセスサポート機能により、メモリや周辺 LSI とを効率的に接続できます。これらにより、システムコストの大幅な低減が可能です。

表 1.1 特長 (1)

項目	仕様
CPU	日立オリジナル・アーキテクチャを採用 内部 32 ビット構成 汎用レジスタマシン 汎用レジスタ 32 ビット × 16 本 コントロール・レジスタ 32 ビット × 3 本 システム・レジスタ 32 ビット × 4 本 RISC (Reduced Instruction Set Computer) タイプの命令セット 命令長: 16 ビット固定長による、コード効率の向上 ロードストアアーキテクチャ (基本演算はレジスタ間で実行) 遅延分岐命令の採用で、分岐時のパイプラインの乱れを軽減 C 言語指向の命令セット 命令実行時間 1 命令 / 1 サイクル (20MHz 動作時: 50ns / 命令) アドレス空間 アーキテクチャ上は 4GB 乗算器内蔵 乗算器内蔵により、32 × 32 64 乗算を 2~4 サイクル実行 32 × 32 + 64 64 積和演算を 2~4 サイクル実行 パイプライン 5 段パイプライン方式

表 1.1 特長 (2)

項 目	仕 様
割り込みコントローラ (INTC)	外部割り込み端子×9本 (NMI、IRQ0~IRQ7) 内部割り込み要因 22 要因 16 レベルの優先順位設定が可能
バスステートコント ローラ (BSC)	外部拡張時のメモリアクセスをサポート 外部データバスは 16 ビット アドレス空間を 4 エリアに分割。(SRAM 空間×4 エリア) 各々のエリアに以下の特性を設定可能。 ウェイトサイクル数 (0~3 サイクル) 各エリアに対応したチップセレクト信号を出力 外部 WAIT 信号によるウェイトサイクルの挿入可
マルチファンクション タイマパルス ユニット (MTU)	16 ビットタイマ 3ch をベースに最大 6 種類の波形出力または最大 6 種類のパルスの 入出力処理が可能 8 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ 総数 8 本の独立したコンパレータ 6 種類のカウンタ入力クロックを選択可能 インプットキャプチャ機能 パルス出力モード - ワンショット / トグル / PWM 複数カウンタの同期化機能
コンペアマッチ タイマ (CMT) ×2 チャンネル	16 ビットフリーランニングカウンタ 1 つのコンペアレジスタ コンペアマッチで割り込み要求を発生
8 ビットタイマ (TIM1、2) ×2 チャンネル	8 ビットインターバルタイマ機能 カウントオーバーフロー時、割り込みを発生 (TIM1) コンペアマッチで割り込みを発生 (TIM2)
シリアル コミュニケーション インタフェース (SCI) ×1 チャンネル	調歩同期式 送受信を同時に行うことが可能 (全二重) 専用のボーレートジェネレータ内蔵 マルチプロセッサ間通信機能
I / O ポート	入出力 : 11 本
A / D 変換器	10 ビット×7 チャンネル サンプル&ホールド機能内蔵
内蔵メモリ	R A M 4kB
動作状態	処理状態 プログラム実行状態 例外処理状態 低消費電力状態 スリープモード
クロック発振器 (CPG)	クロック発振器内蔵
パッケージ	100 ピンプラスチック TQFP (TFP-100B)

1.2 ブロック図

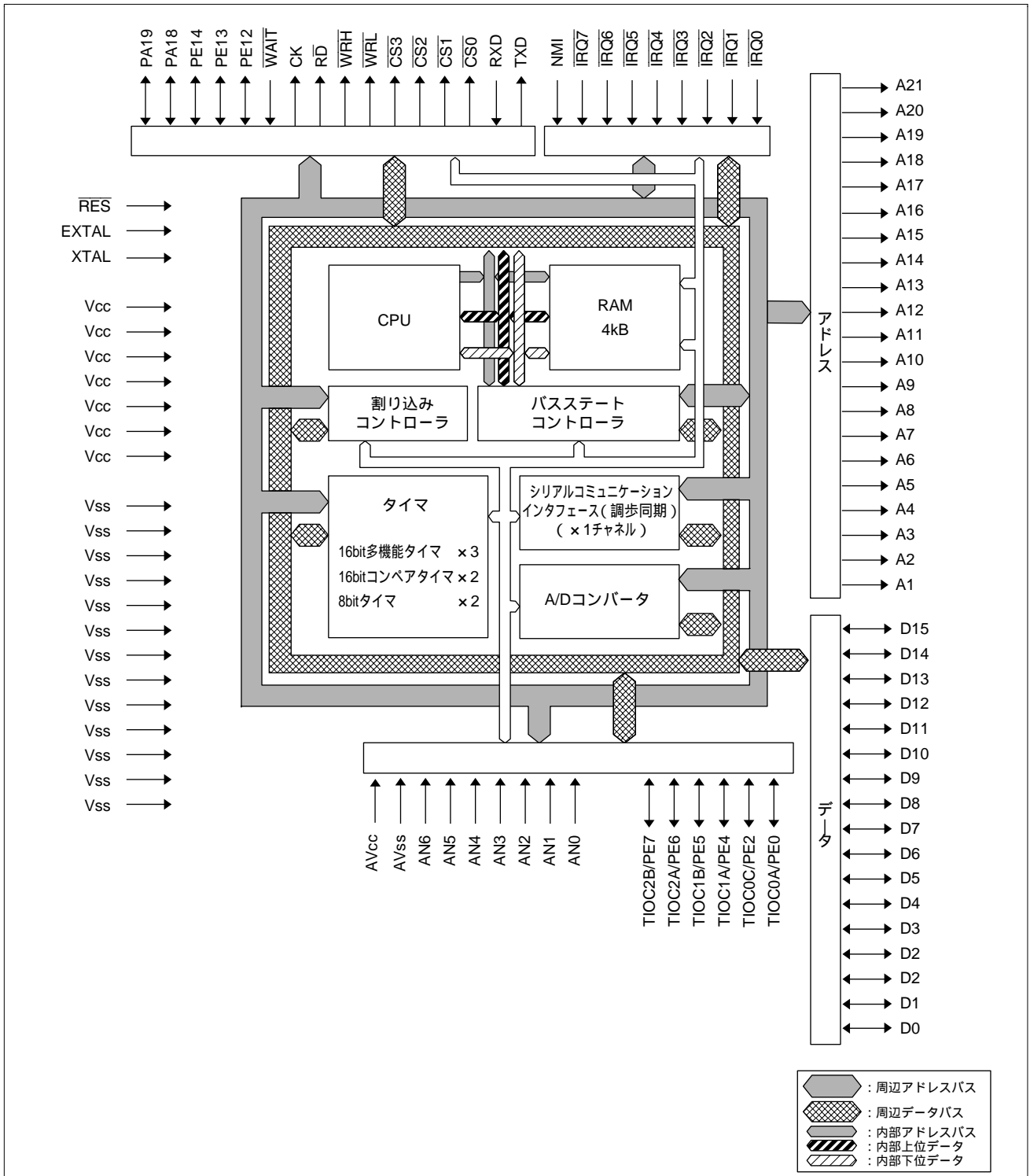


図 1.1 SH7011 内部ブロック図

1.3 端子説明

1.3.1 ピン配置

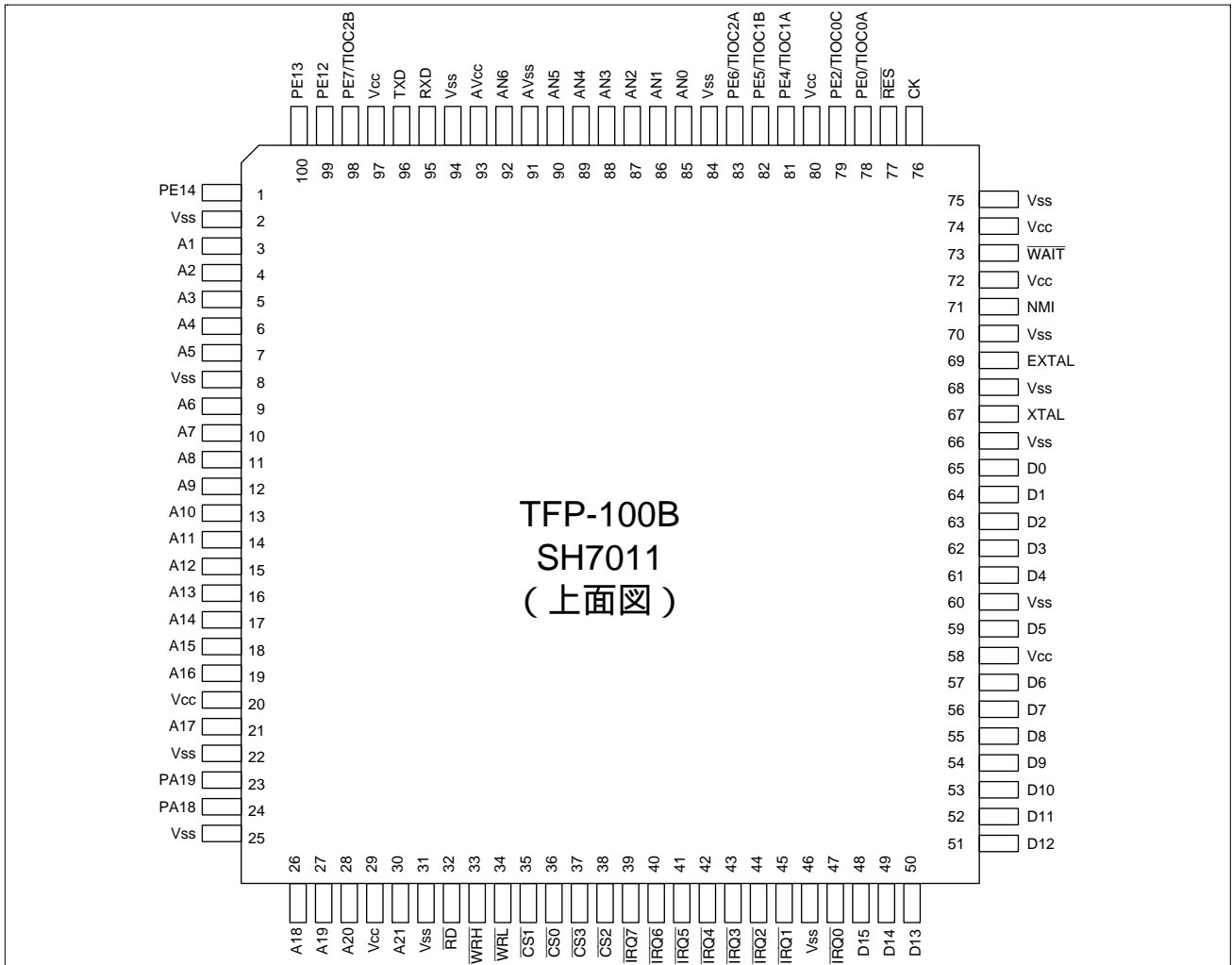


図 1.2 SH7011 ピン配置 (TFP-100B : 上面図)

1.3.2 端子機能

端子の機能について表 1.2 に示します。

表 1.2 端子の機能

分類	記号	入出力	名称	機能
電源	Vcc	入力	電源	Vcc 端子は、すべてのシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グランド	グランドに接続します。 Vss 端子は、すべてのシステムのグランドに接続してください。開放端子があると動作しません。
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	入力	クリスタル	水晶発振子を接続します。
	CK	出力	システムクロック	周辺デバイスにシステムクロックを供給します。
システム制御	$\overline{\text{RES}}$	入力	パワーオンリセット	この端子にローレベルを印加すると、パワーオンリセット状態になります。
割り込み	NMI	入力	ノンマスクابل 割り込み	マスク不可能な割り込み要求端子です。 立上りエッジ、立ち下がりエッジのどちらで受け付けるかを選択できます。
	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$	入力	割り込み要求 0~7	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。
アドレスバス	A1 ~ A21	出力	アドレスバス	アドレスを出力します。
データバス	D0 ~ D15	入出力	データバス	16 ビットの双方向データバスです。
バス制御	$\overline{\text{CS0}} \sim \overline{\text{CS3}}$	出力	チップセレクト 0~3	外部メモリまたはデバイスのためのチップセレクト信号です。
	$\overline{\text{RD}}$	出力	読み出し	外部のデバイスから読みだすことを示します。
	$\overline{\text{WRH}}$	出力	上位側書き込み	外部のデータの上位 8 ビット (ビット 15~8) に書き込みすることを示します。
	$\overline{\text{WRL}}$	出力	下位側書き込み	外部のデータの低位 8 ビット (ビット 7~0) に書き込みすることを示します。
	$\overline{\text{WAIT}}$	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
マルチファンクション タイマパルスユニット (MTU)	TIOC0A TIOC0C	入出力	MTU インพุットキャ プチャ/アウトプット コンペア (チャンネル 0)	チャンネル 0 の インพุットキャプチャ入力/ アウトプットコンペア出力/ PWM 出力端子です。
	TIOC1A TIOC1B	入出力	MTU インพุットキャ プチャ/アウトプット コンペア (チャンネル 1)	チャンネル 1 の インพุットキャプチャ入力/ アウトプットコンペア出力/ PWM 出力端子です。
	TIOC2A TIOC2B	入出力	MTU インพุットキャ プチャ/アウトプット コンペア (チャンネル 2)	チャンネル 2 の インพุットキャプチャ入力/ アウトプットコンペア出力/ PWM 出力端子です。

(続く)

1. 概要

表 1.2 端子の機能（続き）

分類	記号	入出力	名称	機能
シリアルコミュニケーション インタフェース (SCI)	TxD	出力	送信データ	送信データ出力端子です。
	RxD	入力	受信データ	受信データ入力端子です。
A/D 変換器	AVcc	入力	アナログ電源	アナログ電源で Vcc の電位を接続します。
	AVss	入力	アナロググランド	アナログ電源で Vss の電位を接続します。
	AN0 ~ AN6	入力	アナログ入力	アナログ信号入力端子です。
I/O ポート	PA18, 19	入出力	汎用ポート	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PE0, 2, 4~7, 12~14	入出力	汎用ポート	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。

2. CPU

第2章 目次

2.1	レジスタ構成	11
2.1.1	汎用レジスタ (Rn)	11
2.1.2	コントロールレジスタ	12
2.1.3	システムレジスタ	13
2.1.4	レジスタの初期値	13
2.2	データ形式	14
2.2.1	レジスタのデータ形式	14
2.2.2	メモリ上でのデータ形式	14
2.2.3	イミディエイトデータのデータ形式	14
2.3	命令の特長	15
2.3.1	RISC方式	15
2.3.2	アドレッシングモード	18
2.3.3	命令形式	21
2.4	命令セット	23
2.4.1	分類順命令セット	23
2.5	処理状態	31
2.5.1	状態遷移	31

2.1 レジスタ構成

レジスタは、汎用レジスタ（32ビット×16本）、コントロールレジスタ（32ビット×3本）、システムレジスタ（32ビット×4本）の3種類があります。

2.1.1 汎用レジスタ（Rn）

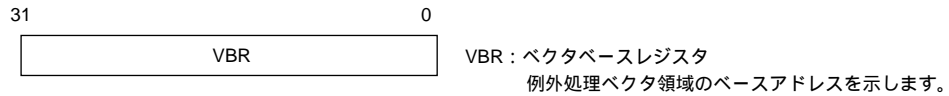
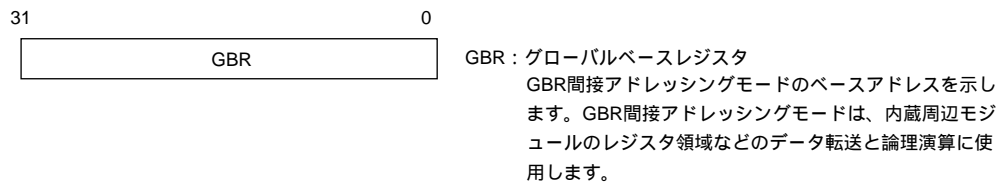
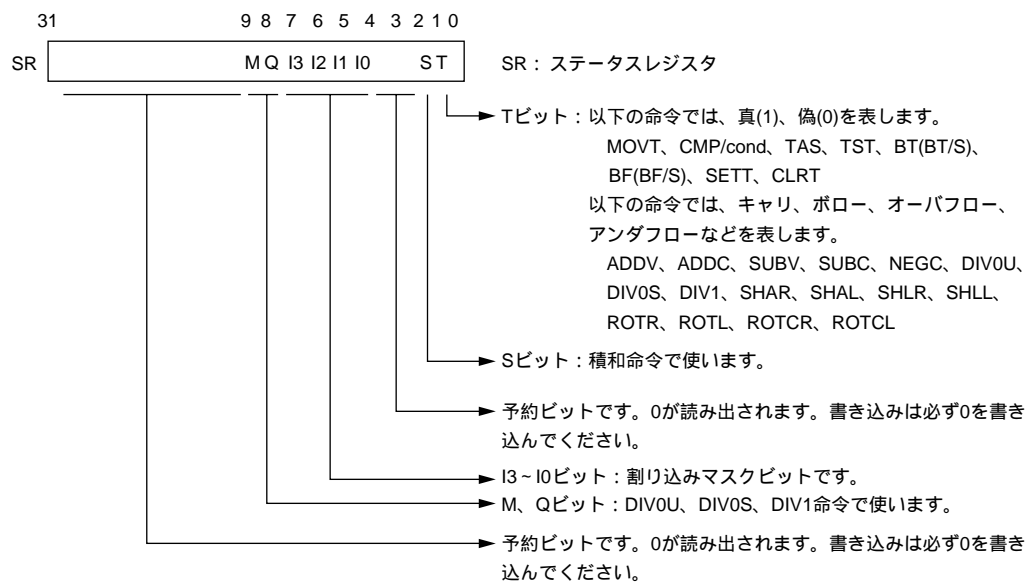
汎用レジスタ（Rn）は、32ビットの長さで、R0からR15までの16本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタがR0に固定されています。R15は、ハードウェアスタックポインタ（SP）として使われます。例外処理でのステータスレジスタ（SR）とプログラムカウンタ（PC）の退避、回復はR15を用いてスタックを参照し行います。

31	0
R0 ^{*1}	
R1	
R2	
R3	
R4	
R5	
R6	
R7	
R8	
R9	
R10	
R11	
R12	
R13	
R14	
R15、SP(ハードウェアスタックポインタ) ^{*2}	

- 【注】 *1 インデックス付きレジスタ間接、インデックス付きGBR間接アドレッシングモードのインデックスレジスタとしても使用します。命令によっては、ソースまたはデスティネーションレジスタをR0に固定しているものがあります。
*2 R15は例外処理の中で、ハードウェアスタックポインタとして使用されます。

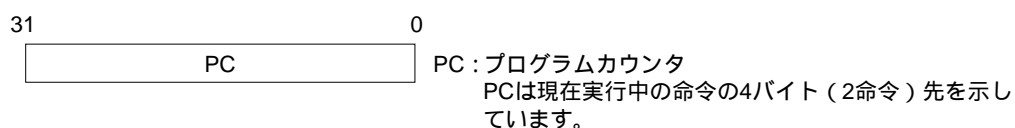
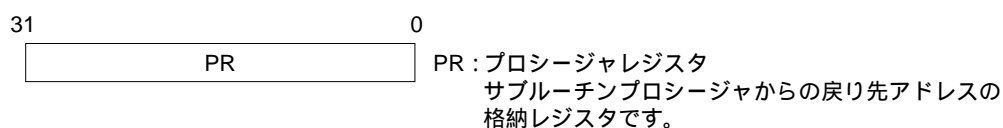
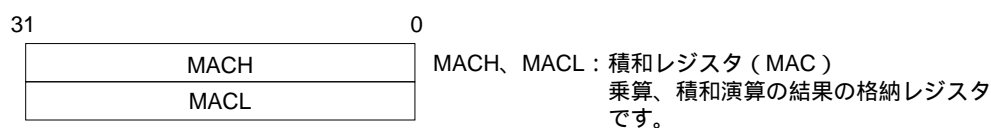
2.1.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR) の3本があります。SR は処理の状態を表します。GBR はGBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。



2.1.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL の 2 本)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。MACH、MACL は乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は実行中のプログラムのアドレスを示し、処理の流れを制御します。



2.1.4 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します

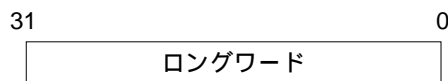
表 2.1 レジスタの初期値

区 分	レジスタ	初 期 値
汎用レジスタ	R0 ~ R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I3 ~ I0 は 1111 (H'F)、予約ビットは 0、その他は不定
	GBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.2 データ形式

2.2.1 レジスタのデータ形式

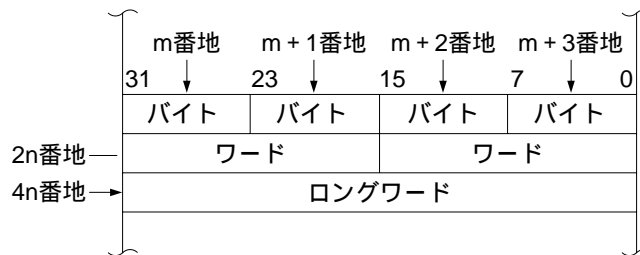
レジスタオペランドのデータサイズは常にロングワード(32ビット)です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト(8ビット)、もしくはワード(16ビット)の場合は、ロングワードに符号拡張し、レジスタに格納します。



2.2.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは $2n$ 番地から、ロングワードデータは $4n$ 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証しません。特に、ハードウェアスタックポインタ(SR、R15)が指し示すスタックにはプログラムカウンタ(PC)とステータスレジスタ(SR)をロングワードで保持しますので、ハードウェアスタックポインタの値が $4n$ になるように設定してください。



2.2.3 イミディエイトデータのデータ形式

バイト(8ビット)のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位24ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付きPC相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令(MOV)で、参照します。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1命令/1ステート

パイプライン方式を採用し、基本命令は、1命令を1ステートで実行できます。20MHz 動作時、1ステートは50ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト/ワード/ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

本 LSI の CPU	説 明	他の CPU の例
MOV.W @ (disp, PC) , R1 ADD R1, R0DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。 次に ADD 命令で演算されます	ADD.W #H'1234, R0

【注】 @ (disp,PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付分岐命令には遅延分岐命令と通常分岐命令の2通りがあります。

表 2.3 遅延分岐命令

本 LSI の CPU	説 明	他の CPU の例
BRA TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1, R0
ADD R1, R0		BRA TRGET

(6) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、16×16+64 64 の積和演算を 2~3 ステートで実行します。32×32 64 の乗算や、32×32+64 64 の積和演算を 2~4 ステートで実行します。

(7) Tビット

比較結果は SR の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 Tビット

本 LSI の CPU	説 明	他の CPU の例
CMP/GE R1, R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1, R0
BT TRGET0	R0 R1 のとき TRGET0 へ分岐します。	BGE TRGET0
BF TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #1, R0	ADD では T ビットが変化しません。	SUB.W #1, R0
CMP/EQ #0, R0	R0 = 0 のとき T ビットがセットされます。	BEQ TRGET
BT TRGET	R0 = 0 のとき分岐します。	

(8) イミディエイトデータ

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイスメント付き PC 相対アドレッシングモードを使ったイミディエイトデータの転送命令 (MOV) で参照します。

表 2.5 イミディエイトデータによる参照

区 分	本 LSI の CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12, R0	MOV.B #H'12, R0
16 ビットイミディエイト	MOV.W @(disp, PC), R0	MOV.W #H'1234, R0
DATA.W H'1234	
32 ビットイミディエイト	MOV.L @(disp, PC), R0	MOV.L #H'12345678, R0
DATA.L H'12345678	

【注】 @(disp, PC) でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.6 絶対アドレスによる参照

区 分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @ (disp, PC) , R1	MOV.B @ H'12345678, R0
	MOV.B @ R1, R0	
	
	.DATA.L H'12345678	

【注】 @ (disp,PC) でイミディエイトデータを参照します。

(10) 16ビット/32ビットディスプレースメント

16ビット、または32ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照

区 分	本 LSI の CPU	他の CPU の例
16ビットディスプレースメント	MOV.W @ (disp , PC) , R0	MOV.W @ (H'1234, R1) , R2
	MOV.W @ (R0 , R1) , R2	
	
	.DATA.W H'1234	

【注】 @ (disp,PC) でイミディエイトデータを参照します。

2.3.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス


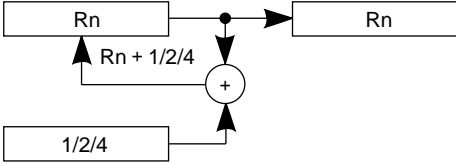
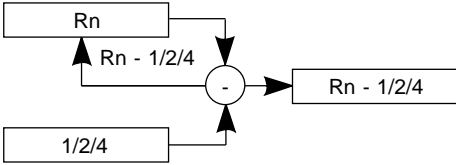
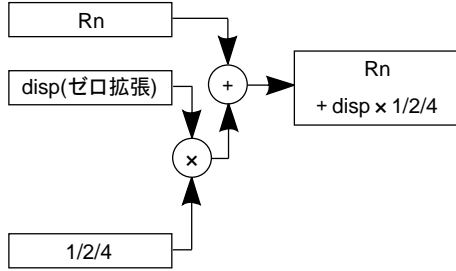
アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp x 2 ロングワード : Rn + disp x 4

表 2.8 アドレッシングモードと実効アドレス (続き)

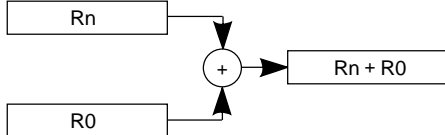
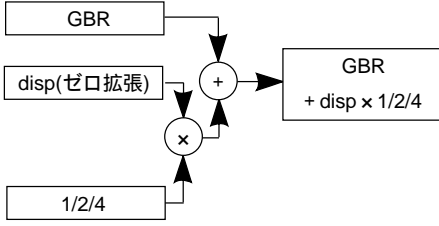
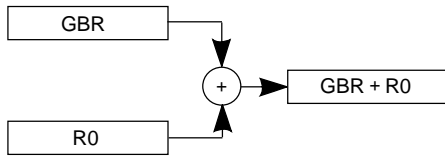
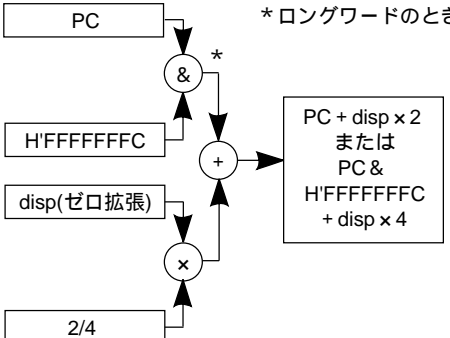
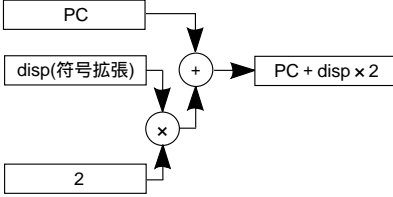
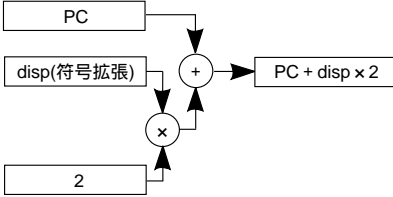
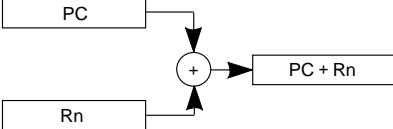
アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
インデックス付き レジスタ間接	@(R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレイースメント 付き GBR 間接	@(disp: 8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレイースメント 付き PC 相対	@(disp: 8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFFFFFC + disp \times 4$

表 2.8 アドレッシングモードと実効アドレス (続き)

アドレッシングモード	表 記	実行アドレスの計算方法	計算式
PC 相対	disp: 8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイacements disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + disp \times 2$
	disp: 12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイacements disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + disp \times 2$
	Rn	<p>実行アドレスはレジスタ PC に Rn を加算した内容です。</p> 	$PC + Rn$
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0形式				NOP
n形式			nnnn : レジスタ直接	MOV T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
m形式		mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm : レジスタ間接		JMP @Rm
		mmmm : Rm を用いた PC 相対		BRAF Rm
nm形式		mmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
		mmmm : ポストインクリメントレ ジスタ間接 (積和演算) nnnn : * ポストインクリメントレ ジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmm : ポストインクリメ ントレジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn

【注】 * 積和命令では nnnn は、ソースレジスタです。

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式	15 xxxx nnnn mmmm xxxx 0	mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式	15 xxxx xxxx mmmm dddd 0	mmmmddd : ディスプレースメント付 きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rn),R0
nd4 形式	15 xxxx xxxx nnnn dddd 0	R0 (レジスタ直接)	nnnndddd : ディスプレースメント付 きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式	15 xxxx nnnn mmmm dddd 0	mmmm : レジスタ直接	nnnndddd : ディスプレースメント付 きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmddd : ディスプレースメント付 きレジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
d 形式	15 xxxx xxxx dddd dddd 0	ddddddd : ディスプレースメント付 き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		R0 (レジスタ直接)	ddddddd : ディスプレースメント付 き GBR 間接	MOV.L R0,@(disp,GBR)
		ddddddd : ディスプレースメント付 き PC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		ddddddd : PC 相対		BF label
d12 形式	15 xxxx dddd dddd dddd 0	ddddddddddd : PC 相対		BRA label (label=disp+PC)
nd8 形式	15 xxxx nnnn dddd dddd 0	ddddddd : ディスプレースメント付 き PC 相対	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式	15 xxxx xxxx iiii iiii 0	iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii : イミディエイト		TRAPA #imm
ni 形式	15 xxxx nnnn iiii iiii 0	iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実行アドレスの転送	
		MOVT	T ビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリ付き 2 加算	
		ADDV	オーバーフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
		SUBC	ポロー付き 2 減算	
SUBV	アンダフロー付き 2 進減算			
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	

表 2.10 命令の分類 (続き)

分 類	命令の種類	オペコード	機 能	命令数
シフト命令	10	ROTL	1ビット左回転	14
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCR	Tビット付き1ビット右回転	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T = 0 で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T = 1 で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	
システム制御命令	11	CLRT	Tビットのクリア	31
		CLRMAC	MACレジスタのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無条件	
		RTE	例外処理からの復帰	
		SETT	Tビットのセット	
		SLEEP	低消費電力状態への遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
	計 62			142

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行ステート	Tビット
ニーモニックで表示しています。	MSB LSB の順で表示 しています。	動作の概略を表示しています。	ノーウェイト のときの値で す。*1	命令実行後の、T ビットの値を表 示しています。
記号の説明	記号の説明	記号の説明		記号の説明
OP, Sz, SRC, DEST	mmmm: ソースレジスタ	、 : 転送方向		
OP: オペコード	nnnn: デスティネーショ ンレジスタ	(xx): メモリオペランド		
Sz: サイズ	0000: R0	M/Q/T: SR 内のフラグビット		
SRC: ソース	0001: R1	&: ビットごとの論理積		
DEST: デスティネーション	: ビットごとの論理和		
Rm: ソースレジスタ	1111: R15	^: ビットごとの排他的論 理和		
Rn: デスティネーション ンレジスタ	iiii: イミディエイト データ	: ビットごとの論理否定		
imm: イミディエイトデータ	dddd: ディスプレース メント	<<n: 左 n ビットシフト		
disp: ディスプレースメント*2		>>n: 右 n ビットシフト		

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケールリング(×1、×2、×4)されます。詳細は「SH-1/SH-2/SH-DSP プログラミングマニュアル」を参照してください。

(1) データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット
MOV #imm, Rn	1110nnni i i i i i i	#imm 符号拡張 Rn	1	
MOV.W @(disp, PC), Rn	1001nnnd d d d d d d	(disp × 2 + PC) 符号拡張 Rn	1	
MOV.L @(disp, PC), Rn	1101nnnd d d d d d d	(disp × 4 + PC) Rn	1	
MOV Rm, Rn	0110nnrm m m m 0011	Rm Rn	1	
MOV.B Rm, @Rn	0010nnrm m m m 0000	Rm (Rn)	1	
MOV.W Rm, @Rn	0010nnrm m m m 0001	Rm (Rn)	1	
MOV.L Rm, @Rn	0010nnrm m m m 0010	Rm (Rn)	1	
MOV.B @Rm, Rn	0110nnrm m m m 0000	(Rm) 符号拡張 Rn	1	
MOV.W @Rm, Rn	0110nnrm m m m 0001	(Rm) 符号拡張 Rn	1	
MOV.L @Rm, Rn	0110nnrm m m m 0010	(Rm) Rn	1	
MOV.B Rm, @-Rn	0010nnrm m m m 0100	Rn - 1 Rn, Rm (Rn)	1	
MOV.W Rm, @-Rn	0010nnrm m m m 0101	Rn - 2 Rn, Rm (Rn)	1	
MOV.L Rm, @-Rn	0010nnrm m m m 0110	Rn - 4 Rn, Rm (Rn)	1	
MOV.B @Rm+, Rn	0110nnrm m m m 0100	(Rm) 符号拡張 Rn, Rm + 1 Rm	1	
MOV.W @Rm+, Rn	0110nnrm m m m 0101	(Rm) 符号拡張 Rn, Rm + 2 Rm	1	
MOV.L @Rm+, Rn	0110nnrm m m m 0110	(Rm) Rn, Rm + 4 Rm	1	
MOV.B R0, @(disp, Rn)	1000000n n n n d d d d	R0 (disp + Rn)	1	
MOV.W R0, @(disp, Rn)	1000001n n n n d d d d	R0 (disp × 2 + Rn)	1	
MOV.L Rm, @(disp, Rn)	0001n n n r m m m d d d d	Rm (disp × 4 + Rn)	1	
MOV.B @(disp, Rm), R0	1000010m m m m d d d d	(disp + Rm) 符号拡張 R0	1	
MOV.W @(disp, Rm), R0	1000011m m m m d d d d	(disp × 2 + Rm) 符号拡張 R0	1	
MOV.L @(disp, Rm), Rn	0101n n n r m m m d d d d	(disp × 4 + Rm) Rn	1	
MOV.B Rm, @(R0, Rn)	0000n n n r m m m 0100	Rm (R0 + Rn)	1	
MOV.W Rm, @(R0, Rn)	0000n n n r m m m 0101	Rm (R0 + Rn)	1	
MOV.L Rm, @(R0, Rn)	0000n n n r m m m 0110	Rm (R0 + Rn)	1	
MOV.B @(R0, Rm), Rn	0000n n n r m m m 1100	(R0 + Rm) 符号拡張 Rn	1	
MOV.W @(R0, Rm), Rn	0000n n n r m m m 1101	(R0 + Rm) 符号拡張 Rn	1	
MOV.L @(R0, Rm), Rn	0000n n n r m m m 1110	(R0 + Rm) Rn	1	
MOV.B R0, @(disp, GBR)	1100000d d d d d d d	R0 (disp + GBR)	1	
MOV.W R0, @(disp, GBR)	1100001d d d d d d d	R0 (disp × 2 + GBR)	1	
MOV.L R0, @(disp, GBR)	1100010d d d d d d d	R0 (disp × 4 + GBR)	1	
MOV.B @(disp, GBR), R0	1100010d d d d d d d	(disp + GBR) 符号拡張 R0	1	
MOV.W @(disp, GBR), R0	1100011d d d d d d d	(disp × 2 + GBR) 符号拡張 R0	1	
MOV.L @(disp, GBR), R0	1100011d d d d d d d	(disp × 4 + GBR) R0	1	
MOVA @(disp, PC), R0	1100011d d d d d d d	disp × 4 + PC R0	1	
MOVT Rn	0000n n n n 0 0 1 0 1 0 0 1	T Rn	1	
SWAP.B Rm, Rn	0110n n n r m m m 1000	Rm 下位 2 バイトの上下バイト交換 Rn	1	
SWAP.W Rm, Rn	0110n n n r m m m 1001	Rm 上下ワード交換 Rn	1	
XTRCT Rm, Rn	0010n n n r m m m 1101	Rm: Rn の中央 32 ビット Rn	1	

(2) 算術演算命令

命 令	命令コード	動 作	実行 状態	Tビット
ADD Rm, Rn	0011nnrrmmmm1100	Rn+Rm Rn	1	
ADD #imm, Rn	0111nnrrnniiiiiii	Rn+imm Rn	1	
ADDC Rm, Rn	0011nnrrmmmm1110	Rn+Rm+T Rn, キャリ T	1	キャリ
ADDV Rm, Rn	0011nnrrmmmm1111	Rn+Rm Rn, オーバフロー T	1	オーバフロー
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1 T	1	比較結果
CMP/EQ Rm, Rn	0011nnrrmmmm0000	Rn=Rm のとき 1 T	1	比較結果
CMP/HS Rm, Rn	0011nnrrmmmm0010	無符号で Rn Rm のとき 1 T	1	比較結果
CMP/GE Rm, Rn	0011nnrrmmmm0011	有符号で Rn Rm のとき 1 T	1	比較結果
CMP/HI Rm, Rn	0011nnrrmmmm0110	無符号で Rn>Rm のとき 1 T	1	比較結果
CMP/GT Rm, Rn	0011nnrrmmmm0111	有符号で Rn>Rm のとき 1 T	1	比較結果
CMP/PL Rn	0100nnrr00010101	Rn>0 のとき 1 T	1	比較結果
CMP/PZ Rn	0100nnrr00010001	Rn 0 のとき 1 T	1	比較結果
CMP/STR Rm, Rn	0010nnrrmmmm1100	いずれかのバイトが等しいとき 1 T	1	比較結果
DIV1 Rm, Rn	0011nnrrmmmm0100	1ステップ除算 (Rn ÷ Rm)	1	計算結果
DIV0S Rm, Rn	0010nnrrmmmm0111	Rn の MSB Q, Rm の MSB M, M^Q T	1	計算結果
DIV0U	0000000000011001	0 M/Q/T	1	0
DMULS.L Rm, Rn	0011nnrrmmmm1101	符号付きで Rn×Rm MACH,MACL 32×32 64ビット	2~4 ^{*1}	
DMULU.L Rm, Rn	0011nnrrmmmm0101	符号なしで Rn×Rm MACH,MACL 32×32 64ビット	2~4 ^{*1}	
DT Rn	0100nnrr00010000	Rn-1 Rn, Rnが0のとき 1 T Rnが0以外のとき 0 T	1	比較結果
EXTS.B Rm, Rn	0110nnrrmmmm1110	Rm をバイトから符号拡張 Rn	1	
EXTS.W Rm, Rn	0110nnrrmmmm1111	Rm をワードから符号拡張 Rn	1	
EXTU.B Rm, Rn	0110nnrrmmmm1100	Rm をバイトからゼロ拡張 Rn	1	
EXTU.W Rm, Rn	0110nnrrmmmm1101	Rm をワードからゼロ拡張 Rn	1	
MAC.L @Rm+, @Rn+	0000nnrrmmmm1111	符号付きで (Rn) × (Rm)+MAC MAC 32×32+64 64ビット	3/(2~4) ^{*1}	
MAC.W @Rm+, @Rn+	0100nnrrmmmm1111	符号付きで (Rn) × (Rm)+MAC MAC 16×16+64 64ビット	3/(2) ^{*1}	
MUL.L Rm, Rn	0000nnrrmmmm0111	Rn × Rm MACL 32×32 32ビット	2~4 ^{*1}	
MULS.W Rm, Rn	0010nnrrmmmm1111	符号付きで Rn × Rm MAC 16×16 32ビット	1~3 ^{*1}	
MULU.W Rm, Rn	0010nnrrmmmm1110	符号なしで Rn × Rm MAC 16×16 32ビット	1~3 ^{*1}	
NEG Rm, Rn	0110nnrrmmmm1011	0-Rm Rn	1	
NEGC Rm, Rn	0110nnrrmmmm1010	0-Rm-T Rn, ボロー T	1	ボロー
SUB Rm, Rn	0011nnrrmmmm1000	Rn-Rm Rn	1	
SUBC Rm, Rn	0011nnrrmmmm1010	Rn-Rm-T Rn, ボロー T	1	ボロー
SUBV Rm, Rn	0011nnrrmmmm1011	Rn-Rm Rn, アンダフロー T	1	オーバフロー

【注】 *1 通常実行状態を示します。()内の値は、前後の命令との競合関係による実行状態です。

(3) 論理演算命令

命 令	命令コード	動 作	実行ステート	Tビット
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm Rn	1	
AND #imm, R0	11001001iiiiiii	R0 & imm R0	1	
AND.B #imm, @(R0, GBR)	11001101iiiiiii	(R0 + GBR) & imm (R0 + GBR)	3	
NOT Rm, Rn	0110nnnnmmmm0111	Rm Rn	1	
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm Rn	1	
OR #imm, R0	11001011iiiiiii	R0 imm R0	1	
OR.B #imm, @(R0, GBR)	11001111iiiiiii	(R0 + GBR) imm (R0 + GBR)	3	
TAS.B @Rn*	0100nnnn00011011	(Rn) が 0 のとき 1 T, 1 MSB of (Rn)	4	テスト結果
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が 0 のとき 1 T	1	テスト結果
TST #imm, R0	11001000iiiiiii	R0 & imm, 結果が 0 のとき 1 T	1	テスト結果
TST.B #imm, @(R0, GBR)	11001100iiiiiii	(R0 + GBR) & imm, 結果が 0 のとき 1 T	3	テスト結果
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	1	
XOR #imm, R0	11001010iiiiiii	R0 ^ imm R0	1	
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	(R0 + GBR) ^ imm (R0+GBR)	3	

(4) シフト命令

命 令	命令コード	動 作	実行ステート	Tビット
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB
SHLL2 Rn	0100nnnn00001000	Rn << 2 Rn	1	
SHLR2 Rn	0100nnnn00001001	Rn >> 2 Rn	1	
SHLL8 Rn	0100nnnn00011000	Rn << 8 Rn	1	
SHLR8 Rn	0100nnnn00011001	Rn >> 8 Rn	1	
SHLL16 Rn	0100nnnn00101000	Rn << 16 Rn	1	
SHLR16 Rn	0100nnnn00101001	Rn >> 16 Rn	1	

(5) 分岐命令

命 令	命令コード	動 作	実行ステート	Tビット
BF label	10001011dddddddd	T=0 のとき $\text{disp} \times 2 + \text{PC}$ PC, T=1 のとき NOP	3/1 ^{*2}	
BF/S label	10001111dddddddd	遅延分岐、T=0 のとき $\text{disp} \times 2 + \text{PC}$ PC, T=1 のとき NOP	3/1 ^{*2}	
BT label	10001001dddddddd	T=1 のとき $\text{disp} \times 2 + \text{PC}$ PC, T=0 のとき NOP	3/1 ^{*2}	
BT/S label	10001101dddddddd	遅延分岐、T=1 のとき $\text{disp} \times 2 + \text{PC}$ PC, T=0 のとき NOP	2/1 ^{*2}	
BRA label	1010dddddddddddd	遅延分岐、 $\text{disp} \times 2 + \text{PC}$ PC	2	
BRAF Rm	0000mmmm00100011	遅延分岐、 $\text{Rm} + \text{PC}$ PC	2	
BSR label	1011dddddddddddd	遅延分岐、PC PR, $\text{disp} \times 2 + \text{PC}$ PC	2	
BSRF Rm	0000mmmm00000011	遅延分岐、PC PR, $\text{Rm} + \text{PC}$ PC	2	
JMP @Rm	0100mmmm00101011	遅延分岐、Rm PC	2	
JSR @Rm	0100mmmm00001011	遅延分岐、PC PR, Rm PC	2	
RTS	0000000000001011	遅延分岐、PR PC	2	

【注】 *2 分岐しないときは1ステートになります。

(6) システム制御命令

命 令	命令コード	動 作	実行ステート	Tビット
CLRT	0000000000001000	0 T	1	0
CLRMACH	0000000000101000	0 MACH, MACL	1	
LDC Rm, SR	0100mmmm00001110	Rm SR	1	LSB
LDC Rm, GBR	0100mmmm00011110	Rm GBR	1	
LDC Rm, VBR	0100mmmm00101110	Rm VBR	1	
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	3	LSB
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm	3	
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	3	
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	
LDS Rm, PR	0100mmmm00101010	Rm PR	1	
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	
NOP	0000000000001001	無操作	1	
RTE	0000000000101011	遅延分岐、スタック領域 PC/SR	4	
SETT	0000000000011000	1 T	1	1
SLEEP	0000000000011011	スリープ	3 ³	
STC SR, Rn	0000nnnn00000010	SR Rn	1	
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	
STC.L SR, @-Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	2	
STC.L GBR, @-Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	2	
STC.L VBR, @-Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	2	
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	
STS PR, Rn	0000nnnn00101010	PR Rn	1	
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、(imm) PC	8	

【注】 *3 スリープ状態に遷移するまでのステート数です。

・命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

2.5 処理状態

2.5.1 状態遷移

CPUの処理状態には、リセット状態、例外処理状態、プログラム実行状態、低消費電力状態の4種類があります。状態間の遷移を図2.1に示します。

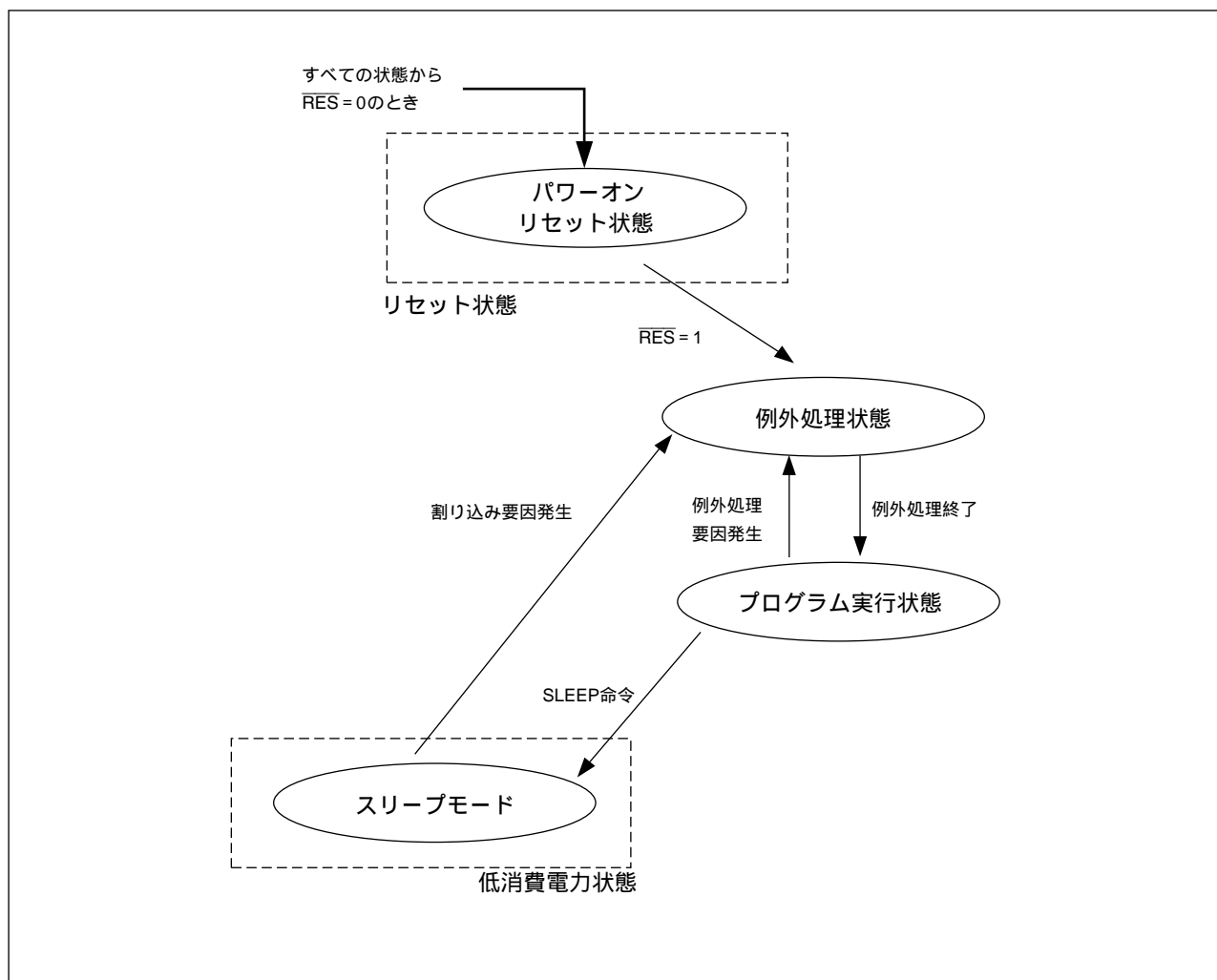


図 2.1 処理状態の状態遷移図

(1) リセット状態

CPUがリセットされている状態です。 $\overline{\text{RES}}$ 端子がローレベルになるとパワーオンリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPUが処理状態の流れを変えるときの過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ(PC)の初期値としての実行開始アドレスとスタックポインタ(SP)の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ(SR)をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPUが順次プログラムを実行している状態です。

(4) 低消費電力状態

CPUの動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になるスリープモードがあります。

3. 低消費電力状態

第3章 目次

3.1	概要	35
3.1.1	低消費電力状態	35
3.2	スリープモード	36
3.2.1	スリープモードへの遷移	36
3.2.2	スリープモードの解除	36

3.1 概要

低消費電力状態では、CPUが機能を停止します。これによって、本LSIの消費電力を著しく低減させることができます。

3.1.1 低消費電力状態

低消費電力状態には、スリープモードがあります。

プログラム実行状態からスリープモードへ遷移する条件、CPUや周辺機能などの状態、解除方法について、表3.1に示します。

表 3.1 低消費電力状態

モード	遷移条件	状 態						解除方法
		クロック	CPU	内蔵周辺 モジュール	CPU レジスタ	内蔵 RAM	I/O ポート	
スリープ	SLEEP 命令を実行	動作	停止	動作	保持	保持	保持	1) 割り込み 2) パワーオンリセット

3.2 スリープモード

3.2.1 スリープモードへの遷移

SLEEP 命令を実行すると、本 LSI はプログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行直後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。

3.2.2 スリープモードの解除

スリープモードは、割り込み、パワーオンリセットによって解除されます。

(1) 割り込みによる解除

割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みが、モジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

(2) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、スリープモードは解除されます。

4. クロック発振器 (CPG)

第4章 目次

4.1	概要	39	
4.2	クロックソース	40	
	4.2.1	水晶発振子の接続方法	40
	4.2.2	外部クロックの入力方法	41
4.3	使用上の注意	42	

4. クロック発振器 (CPG)

4.1 概要

クロック発振器 (CPG) は、SH7011 内部と外部デバイスにクロックパルスを供給します。SH7011 の CPG は、水晶発振子の発振周波数と同じ周波数で SH7011 を動作させます。CPG は、発振器とデューティ補正回路で構成されています (図 4.1)。CPG でクロックを発生させる方法としては、水晶発振子を接続する方法と、外部クロックを入力する方法の 2通りがあります。

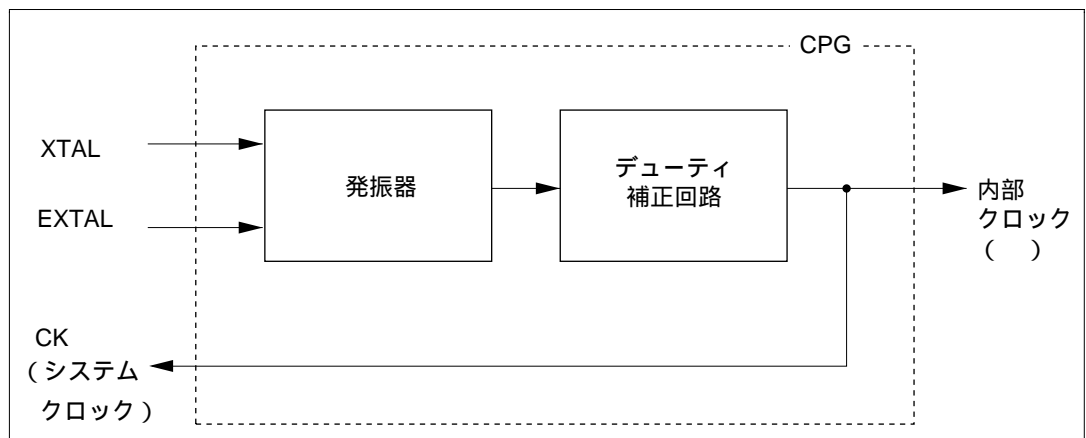


図 4.1 CPG のブロック図

4.2 クロックソース

クロックパルスのソースとして、水晶発振子と外部クロックのどちらかを選ぶことができます。

4.2.1 水晶発振子の接続方法

(1) 回路構成

図 4.2 に水晶発振子の接続方法を示します。ダンピング抵抗 R_d は表 4.1 に示すものを使用してください。水晶発振子は、システムクロック (CK) と同じ周波数の、AT カット 並列共振型のものを使ってください。また、図のように、負荷容量 (C_{L1} 、 C_{L2}) を必ず接続してください。

水晶発振器と内部の発振器によって生成されたクロックパルスは、デューティ補正回路に送られ、そこでデューティが補正された後、SH7011 内部と外部デバイスに供給されます。

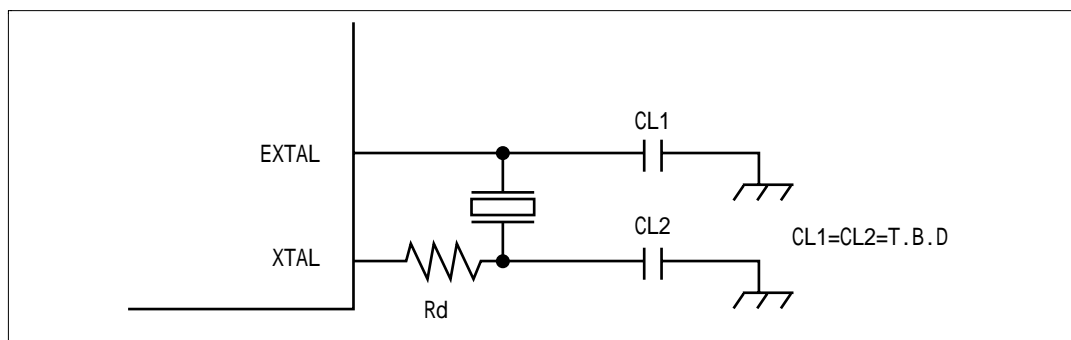


図 4.2 水晶発振子の接続例

表 4.1 ダンピング抵抗値

周波数 (MHz)	20
R_d ()	T.B.D.

(2) 水晶発振子

図 4.3 に水晶発振子の等価回路を示します。水晶発振子は表 4.2 に示す特性のものを使用してください。

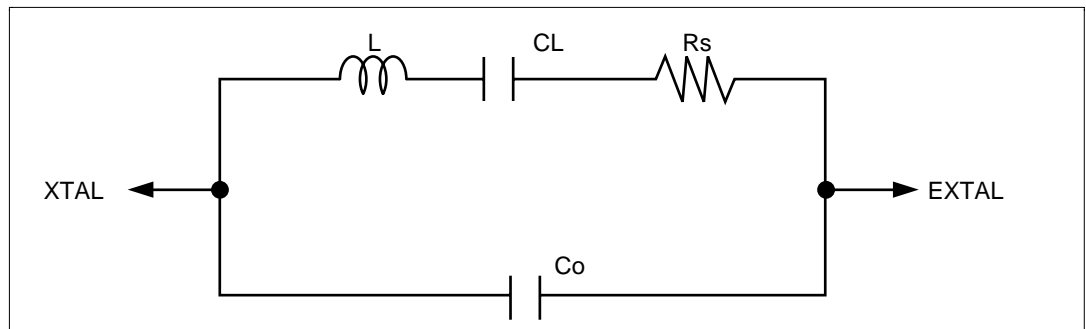


図 4.3 水晶発振子の等価回路

表 4.2 水晶発振子の特性

パラメータ	周波数 (MHz)
Rs max ()	T.B.D.
Co max (pF)	T.B.D.

4.2.2 外部クロックの入力方法

外部クロックはEXTAL 端子に入力し、XTAL 端子は解放してください (図 4.4)。
外部クロックはシステムクロック (CK) と同じ周波数にしてください。

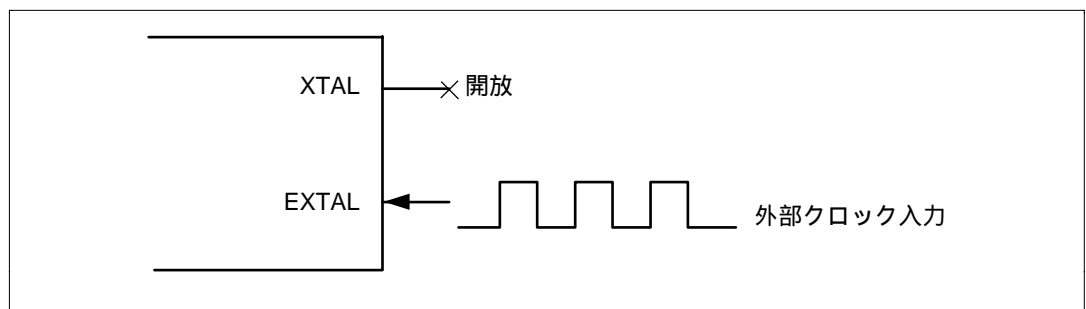


図 4.4 外部クロックの入力方法

4.3 使用上の注意

(1) ボード設計上の注意

水晶発振子と負荷容量は、できるだけ EXTAL、XTAL 端子の近くに置いてください。また、EXTAL、XTAL 端子の信号線に他の信号線を交差させないでください (図 4.5)。誘導のために正しい発振ができなくなることがあります。

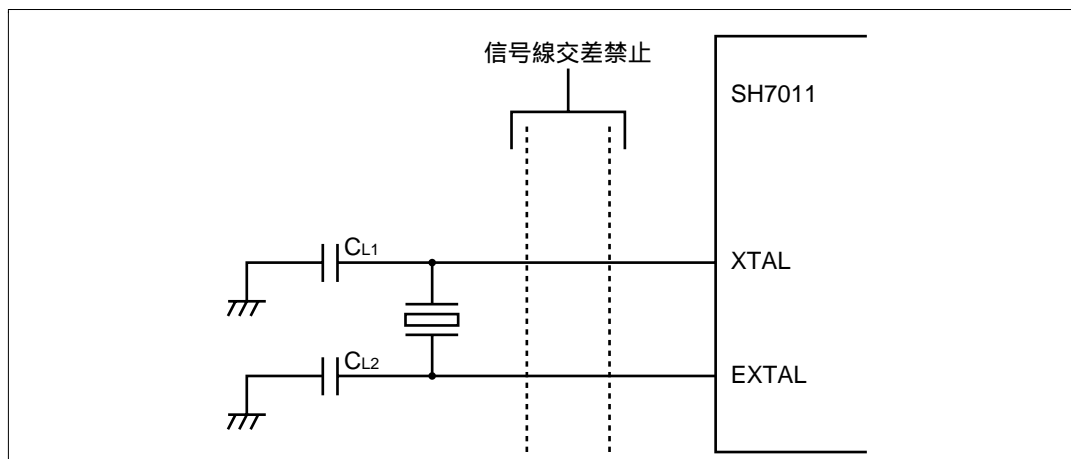


図 4.5 ボード設計上の注意

(2) デューティ補正に関する注意

5MHz 以上の入力クロックに対して、デューティ補正が行われます。5MHz 以下に対してはデューティ補正されないことがありますが、AC 特性のクロックハイレベル幅 (t_{CH})、クロックローレベル幅 (t_{CL}) は満足し、かつ SH7011 内部は問題なく動作します。図 4.6 にデューティ補正回路の基本特性を示します。

なお、本デューティ補正回路は、入力クロックの過渡的な変動やジッタに対して補正するものではありません。すなわち、デューティ補正が行われて、安定したクロックが得られるまでに、数 10 μs の時間が必要となります。

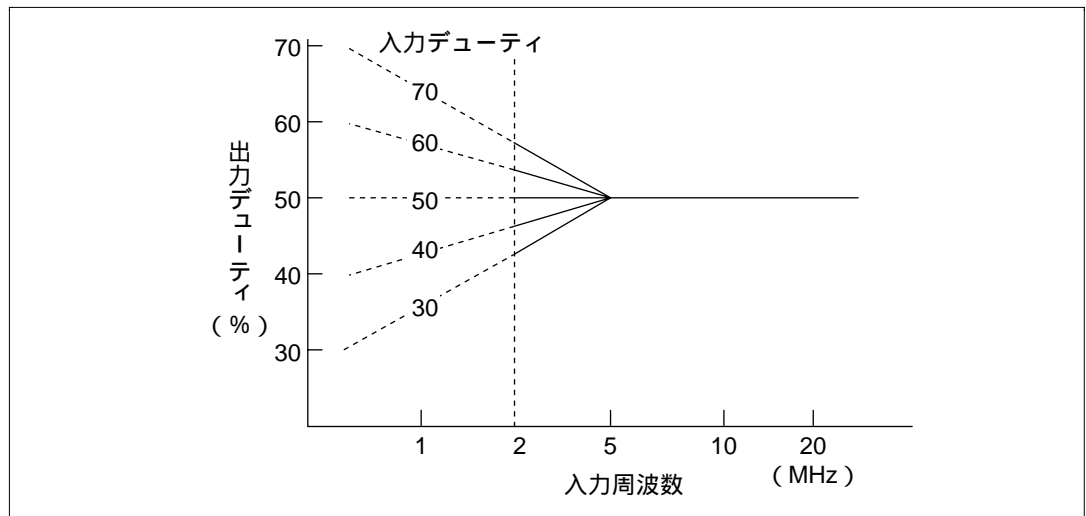


図 4.6 デューティ補正回路の特性

5. 例外処理

第5章 目次

5.1	概要	47
5.1.1	例外処理の種類と優先順位	47
5.1.2	例外処理の種類と優先順位	48
5.1.3	例外処理ベクタテーブル	49
5.2	リセット	52
5.2.1	リセットの種類	52
5.2.2	パワーオンリセット	52
5.3	アドレスエラー	53
5.3.1	アドレスエラー発生要因	53
5.3.2	アドレスエラー例外処理	53
5.4	割り込み	54
5.4.1	割り込み要因	54
5.4.2	割り込み優先順位	55
5.4.3	割り込み例外処理	55
5.5	命令による例外	56
5.5.1	命令による例外の種類	56
5.5.2	トラップ命令	56
5.5.3	スロット不当命令	57
5.5.4	一般不当命令	57
5.6	例外処理が受け付けられない場合	58
5.6.1	遅延分岐命令の直後	58
5.6.2	割り込み禁止命令の直後	58
5.7	例外処理後のスタックの状態	59
5.8	使用上の注意	60
5.8.1	スタックポインタ (SP) の値	60
5.8.2	ベクタベースレジスタ (VBR) の値	60

5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー……………60

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位にしたがって受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

	例外処理	優先順位	
リセット	パワーオンリセット	高 ↑ ↓ 低	
アドレスエラー	CPU アドレスエラー		
割り込み	NMI		
	IRQ		
	内蔵周辺モジュール		マルチファンクションタイムパルスユニット (MTU)
			シリアルコミュニケーションインタフェース (SCI)
			A/D 変換器 (A/D)
			コンペアマッチタイマ (CMT)
8ビットタイマ1 (TIM1)			
	8ビットタイマ2 (TIM2)		
命令	トラップ命令 (TRAPA 命令)		
	一般不当命令 (未定義コード)		
	スロット不当命令(遅延分岐命令*1直後に配置された未定義コードまたは PC を書き換える命令*2)		

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA

5.1.2 例外処理の種類と優先順位

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
パワーオンリセット		$\overline{\text{RES}}$ 端子のローレベルからハイレベルへの変化で開始される
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了
割り込み		後開始される
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令(遅延スロット)以外にある未定義コードがデコードされると開始される
	スロット不当命令	遅延分岐命令(遅延スロット)に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される

例外処理が起動されると、CPUは次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ(PC)とスタックポインタ(SP)の初期値を例外処理ベクタテーブル(PC、SPをそれぞれ、H'00000000番地、H'00000004番地)から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ(VBR)を0に、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)を1111にセットします。例外処理ベクタテーブルから取り出したPCのアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SRとPCをR15で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルをSRの割り込みマスクビット(I3~I0)に書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PCとSPの初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表5.3に、ベクタテーブルアドレスの算出法を表5.4に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
(システム予約)		2	H'00000008 ~ H'0000000F
		3	
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
(システム予約)		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
(システム予約)		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
(システム予約)		12	H'00000030 ~ H'00000033
		⋮	⋮
		31	H'0000007C ~ H'0000007F
トラップ命令 (ユーザベクタ)		32	H'00000080 ~ H'00000083
		⋮	⋮
		63	H'000000FC ~ H'000000FF
割り込み	IRQ0	64	H'00000100 ~ H'00000103
	IRQ1	65	H'00000104 ~ H'00000107
	IRQ2	66	H'00000108 ~ H'0000010B
	IRQ3	67	H'0000010C ~ H'0000010F
	IRQ4	68	H'00000110 ~ H'00000113
	IRQ5	69	H'00000114 ~ H'00000117
	IRQ6	70	H'00000118 ~ H'0000011B
	IRQ7	71	H'0000011C ~ H'0000011F
内蔵周辺モジュール*		72	H'00000120 ~ H'00000124
		⋮	⋮
		255	H'000003FC ~ H'000003FF

【注】 * 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは「6.割り込みコントローラ」の「表 6.3 割り込み例外処理ベクタと優先順位」を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、 命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 VBR : ベクタベースレジスタ

ベクタテーブルアドレスオフセット : 表 5.3 を参照

ベクタ番号 : 表 5.3 を参照

5.2 リセット

5.2.1 リセットの種類

リセットは最も優先順位の高い例外要因です。表 5.5 に示すように、パワーオンリセットでは CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。

表 5.5 リセット状態

種類	リセット状態への遷移条件		内部状態	
	RES	CPU	内蔵周辺モジュール	
パワーオンリセット	ロー	初期化	初期化	

5.2.2 パワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、電源投入時は発振安定時間の間、クロックが動作している場合は最低 20tcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが全て初期化されます。パワーオンリセット状態での各端子の状態は「付録 B. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (2) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (3) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を H'F (1111) にセットします。
- (4) 例外処理ベクタテーブルから取り出した値をそれぞれプログラムカウンタ (PC) と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.6 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.6 バスサイクルとアドレスエラー

バスサイクルの種類	バスサイクルの内容	アドレスエラーの発生
命令フェッチ	偶数アドレスから命令をフェッチ	なし（正常）
	奇数アドレスから命令をフェッチ	アドレスエラー発生
	内蔵周辺モジュール空間*以外から命令をフェッチ	なし（正常）
	内蔵周辺モジュール空間*から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	ワードデータを偶数アドレスからアクセス	なし（正常）
	ワードデータを奇数アドレスからアクセス	アドレスエラー発生
	ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
	ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし（正常）
	ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）
	ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	アドレスエラー発生

【注】 * 内蔵周辺モジュール空間については、「7. バスステートコントローラ」を参照してください。

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPUは次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタをスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
- (3) 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

5.4 割り込み

5.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.7 に示すように NMI、IRQ、内蔵周辺モジュールがあります。

表 5.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
IRQ	IRQ0 ~ IRQ7 端子 (外部からの入力)	8
内蔵周辺モジュール	マルチファンクションタイマパルスユニット	11
	シリアルコミュニケーションインタフェース	4
	A/D 変換器	1
	コンペアマッチタイマ	2
	8 ビットタイマ 1	1
	8 ビットタイマ 2	1

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「6. 割り込みコントローラ」の「表 6.3 割り込み例外処理ベクタと優先順位」を参照してください。

5.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果にしたがって例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0～16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。IRQ 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC の割り込み優先レベル設定レジスタ A～H（IPRA～IPRH）で自由に設定することができます（表 5.8）。設定できる優先レベルは 0～15 で、優先レベル 16 は設定できません。IPRA～IPRH の詳細については「6.3.1 割り込み優先レベル設定レジスタ A～H（IPRA～IPRH）」を参照してください。

表 5.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
IRQ	0～15	割り込み優先レベル設定レジスタ
内蔵周辺モジュール		A～H（IPRA～IPRH）により設定

5.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ（INTC）によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ（SR）の割り込みマスクビット（I3～I0）に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は SR とプログラムカウンタ（PC）をスタックに退避し、受け付けた割り込みの優先レベル値を SR の I3～I0 ビットに書き込みます。ただし、NMI の場合優先レベルは 16 ですが、I3～I0 ビットに設定される値は HF（レベル 15）です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理の詳細については「6.4 動作説明」を参照してください。

5.5 命令による例外

5.5.1 命令による例外の種類

例外処理を起動する命令には、表 5.9 に示すように、トラップ命令、スロット不当命令、一般不当命令があります。

表 5.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コードまたは PC を書き換える命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA
一般不当命令	遅延スロット以外にある未定義コード	

5.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、TRAPA 命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令がプログラムカウンタ（PC）を書き換える命令のときも、このPCを書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPUは次のように動作します。

- (1) ステータスレジスタ（SR）をスタックに退避します。
- (2) プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、未定義コードまたはPCを書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPUはスロット不当命令例外処理と同じ手順で動作します。ただし、退避するプログラムカウンタ（PC）の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.6 例外処理が受け付けられない場合

アドレスエラーと割り込みは、表 5.10 に示すように、遅延分岐命令や割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.10 遅延分岐命令、割り込み禁止命令の直後の例外要因発生

発生した時点	例外要因	
	アドレスエラー	割り込み
遅延分岐命令 ^{*1} の直後	×	×
割り込み禁止命令 ^{*2} の直後		×

【注】 : 受け付けられる

× : 受け付けられない

*1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFL

*2 割り込み禁止命令 : LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

5.6.1 遅延分岐命令の直後

遅延分岐命令直後（遅延スロット）に配置されている命令のデコード時は、アドレスエラーと割り込みの両方とも受け付けられません。遅延分岐命令とその直後（遅延スロット）にある命令は、必ず連続して実行され、この間に例外処理が行われることはありません。

5.6.2 割り込み禁止命令の直後

割り込み禁止命令直後の命令のデコード時は、割り込みは受け付けられません。アドレスエラーは受け付けられます。

5.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.11 に示すようになります。

表 5.11 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレス エラー		割り込み	
トラップ 命令		スロット 不当命令	
一般不当 命令			

5.8 使用上の注意

5.8.1 スタックポインタ (SP) の値

スタックポインタ (SP) の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.2 ベクタベースレジスタ (VBR) の値

ベクタベースレジスタ (VBR) の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

スタックポインタ (SP) が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けなくなっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (書き込み) は実行されます。ステータスレジスタ (SR) とプログラムカウンタ (PC) のスタッキングでは、SP がそれぞれ - 4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされた書き込みデータは不定です。

6. 割り込みコントローラ (INTC)

第6章 目次

6.1	概要	63
6.1.1	特長	63
6.1.2	ブロック図	64
6.1.3	端子構成	65
6.1.4	レジスタ構成	65
6.2	割り込み要因	66
6.2.1	NMI 割り込み	66
6.2.2	IRQ 割り込み	66
6.2.3	内蔵周辺モジュール割り込み	67
6.2.4	割り込み例外処理ベクタと優先順位	67
6.3	レジスタの説明	69
6.3.1	割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH)	69
6.3.2	割り込みコントロールレジスタ (ICR)	70
6.3.3	IRQ ステータスレジスタ (ISR)	72
6.4	動作説明	74
6.4.1	割り込み動作の流れ	74
6.4.2	割り込み例外処理終了後のスタックの状態	76
6.5	割り込み応答時間	77

6.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、これによりユーザが設定した優先順位にしたがって、割り込み要求を処理させることができます。

6.1.1 特長

INTC には、次のような特長があります。

割り込み優先順位を 16 レベル設定可能

8 本の割り込み優先レベル設定レジスタにより、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位を要求元別に 16 レベルまで設定することができます。

NMI ノイズキャンセラ機能

NMI 端子の状態を示す NMI 入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

6.1.2 ブロック図

INTCのブロック図を図6.1に示します。

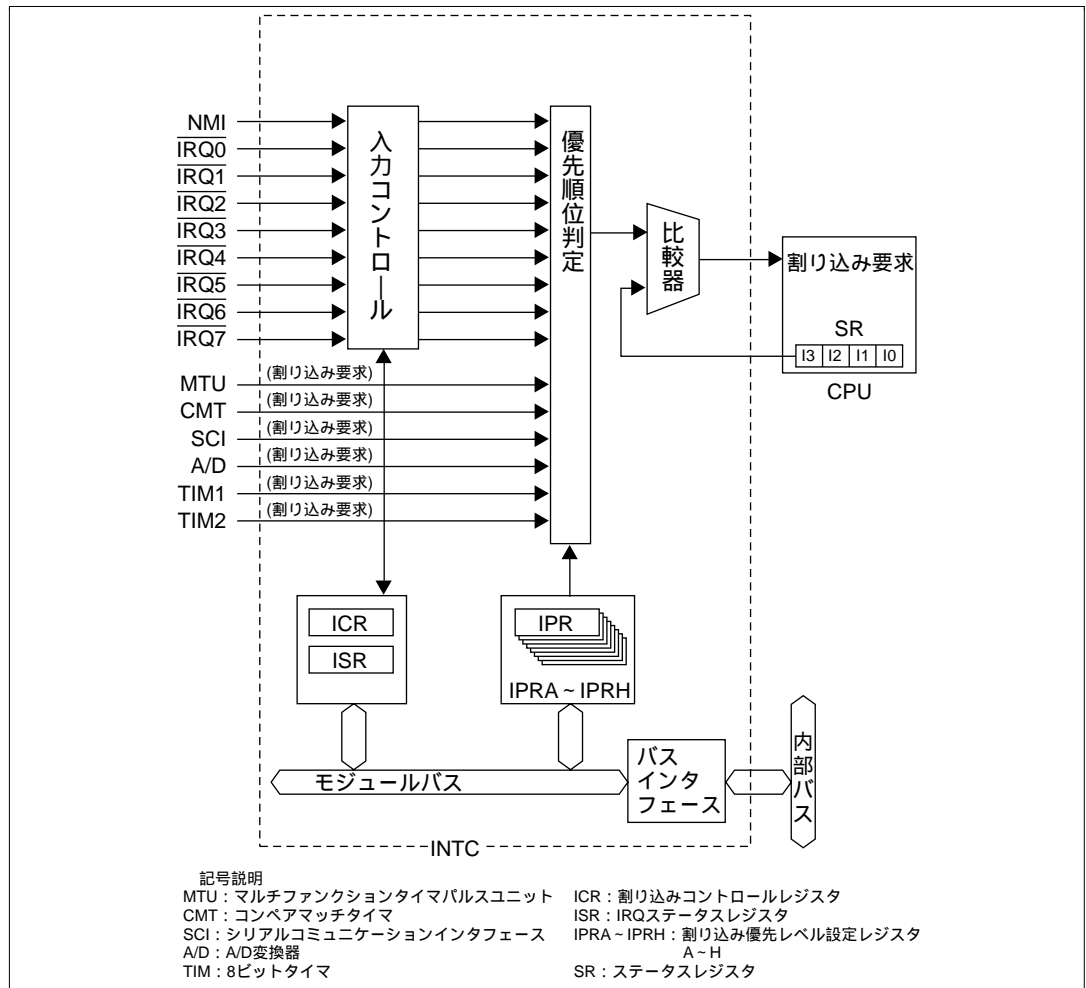


図 6.1 INTC のブロック図

6.1.3 端子構成

INTCの端子を表6.1に示します。

表 6.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	$\overline{IRQ0} \sim \overline{IRQ7}$	入力	マスク可能な割り込み要求信号を入力

6.1.4 レジスタ構成

INTCには、表6.2に示すように10本のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 6.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'0000	H'FFFF8348	8、16、32
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'0000	H'FFFF834A	8、16、32
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'0000	H'FFFF834C	8、16、32
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'0000	H'FFFF834E	8、16、32
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'0000	H'FFFF8350	8、16、32
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'0000	H'FFFF8352	8、16、32
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'0000	H'FFFF8354	8、16、32
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'0000	H'FFFF8356	8、16、32
割り込みコントロールレジスタ	ICR	R/W	'1	H'FFFF8358	8、16、32
IRQ ステータスレジスタ	ISR	R/(W) ²	H'0000	H'FFFF835A	8、16、32

【注】 *1 NMI 端子がハイレベルのとき : H'8000、ローレベルのとき : H'0000

*2 フラグをクリアするための0書き込みのみ可能です

6.2 割り込み要因

割り込み要因は、NMI、IRQ、内蔵周辺モジュールの3つに分類されます。各割り込みの優先順位は優先レベル値（0～16）で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

6.2.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3～I0) は15に設定されます。

6.2.2 IRQ 割り込み

IRQ 割り込みは $\overline{\text{IRQ0}}$ ～ $\overline{\text{IRQ7}}$ 端子からの入力による割り込みです。割り込みコントロールレジスタ (ICR) の IRQ センスセレクトビット (IRQ0S～IRQ7S) の設定によって、端子ごとにローレベル検出あるいは立ち下がりエッジ検出を選択できます。また、割り込み優先レベル設定レジスタ A～B (IPRA～IPRB) によって、端子ごとに優先レベルを0～15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ 端子がローレベルの期間 INTC に割り込み要求信号が送られます。IRQ 端子がハイレベルになると、割り込み要求信号は INTC に送られません。IRQ ステータスレジスタ (ISR) の IRQ フラグ (IRQ0F～IRQ7F) を読み出しすることにより割り込み要求のレベルを確認できます。

IRQ 割り込みを立ち下がりエッジ検出に設定している場合、IRQ 端子のハイレベルからローレベルの変化により割り込み要求が検出され、INTC に割り込み要求信号が送られません。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQ ステータスレジスタ (ISR) の IRQ フラグ (IRQ0F～IRQ7F) を読み出すことにより IRQ 割り込み要求が検出されているかどうかを確認でき、1読み出し後に0を書き込むことにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3～I0) は、受け付けた IRQ 割り込みの優先レベル値に設定されます。

6.2.3 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ・マルチファンクションタイムパルスユニット (MTU)
- ・コンペアマッチタイマ (CMT)
- ・シリアルコミュニケーションインタフェース (SCI)
- ・A/D 変換器 (A/D)
- ・8ビットタイマ1 (TIM1)
- ・8ビットタイマ2 (TIM2)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ C~H (IPRC~IPRH) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.2.4 割り込み例外処理ベクタと優先順位

表 6.3 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されず、ベクタテーブルアドレスの算出法は、「5. 例外処理」の「表 5.4 例外処理ベクタテーブルアドレスの算出法」を参照してください。

IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ A~H (IPRA~IPRH) によって、端子またはモジュールごとに、優先レベル 0~15 の範囲で任意に設定できます。ただし、IPRC~IPRH に対応する割り込み要因の優先順位は、表 6.3 の「IPR 設定単位内の優先順位」に示すように定められており、変更できません。IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.3 に示す「デフォルト優先順位」に従って処理されます。

6. 割り込みコントローラ (INTC)

表 6.3 割り込み例外ベクタと優先順位

割り込み要因	割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 範囲内の 優先順位	デフォルト 優先順位	
	ベクタ 番号	ベクタテーブルアドレス オフセット					
NMI	11	H'0000002C ~ H'0000002F	16	-	-	<div style="display: flex; align-items: center; justify-content: center;"> <div style="border-left: 1px solid black; border-right: 1px solid black; height: 100%; margin: 0 10px;"></div> <div style="text-align: center;"> <p>↑ 高</p> <p>↓ 低</p> </div> </div>	
IRQ0	64	H'00000100 ~ H'00000103	0 ~ 15 (0)	IPRA(15-12)	-		
IRQ1	65	H'00000104 ~ H'00000107	0 ~ 15 (0)	IPRA(11-8)	-		
IRQ2	66	H'00000108 ~ H'0000010B	0 ~ 15 (0)	IPRA(7-4)	-		
IRQ3	67	H'0000010C ~ H'0000010F	0 ~ 15 (0)	IPRA(3-0)	-		
IRQ4	68	H'00000110 ~ H'00000113	0 ~ 15 (0)	IPRB(15-12)	-		
IRQ5	69	H'00000114 ~ H'00000117	0 ~ 15 (0)	IPRB(11-8)	-		
IRQ6	70	H'00000118 ~ H'0000011B	0 ~ 15 (0)	IPRB(7-4)	-		
IRQ7	71	H'0000011C ~ H'0000011F	0 ~ 15 (0)	IPRB(3-0)	-		
MTU0	TGI0A	88	H'00000160 ~ H'00000163	0 ~ 15 (0)	IPRD(15-12)		↑ 高
	TGI0B	89	H'00000164 ~ H'00000167				↓ 低
	TGI0C	90	H'00000168 ~ H'0000016B				
	TGI0D	91	H'0000016C ~ H'0000016F				
	TCI0V	92	H'00000170 ~ H'00000173				0 ~ 15 (0)
MTU1	TGI1A	96	H'00000180 ~ H'00000183	0 ~ 15 (0)	IPRD(7-4)		↑ 高
	TGI1B	97	H'00000184 ~ H'00000187				↓ 低
	TCI1V	100	H'00000190 ~ H'00000193				0 ~ 15 (0)
MTU2	TGI2A	104	H'000001A0 ~ H'000001A3	0 ~ 15 (0)	IPRE(15-12)		↑ 高
	TGI2B	105	H'000001A4 ~ H'000001A7				↓ 低
	TCI2V	108	H'000001B0 ~ H'000001B3				0 ~ 15 (0)
SCI	ERI	132	H'00000210 ~ H'00000213	0 ~ 15 (0)	IPRF(3-0)		↑ 高
	RXI	133	H'00000214 ~ H'00000217				↓ 低
	TXI	134	H'00000218 ~ H'0000021B				
	TEI	135	H'0000021C ~ H'0000021F				
A/D	ADI	138	H'00000228 ~ H'0000022B	0 ~ 15 (0)	IPRG(15-12)		-
CMT0	CMIO	144	H'00000240 ~ H'00000243	0 ~ 15 (0)	IPRG(7-4)		-
CMT1	CMI1	148	H'00000250 ~ H'00000253	0 ~ 15 (0)	IPRG(3-0)	-	
TIM1	ITI	152	H'00000260 ~ H'00000263	0 ~ 15 (0)	IPRH(15-12)	↑ 高	
TIM2	CMI	153	H'00000264 ~ H'00000267			↓ 低	

6.3 レジスタの説明

6.3.1 割り込み優先レベル設定レジスタ A~H (IPRA~IPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み優先レベル設定レジスタ A~H (IPRA~IPRH) は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位 (レベル 0~15) を設定します。割り込み要求元と IPRA~IPRH の各ビットの対応を表 6.4 に示します。

表 6.4 割り込み要求元と IPRA~IPRH

レジスタ	ビット			
	15~12	11~8	7~4	3~0
割り込み優先レベル設定レジスタ A	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ B	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ C	予約	予約	予約	予約
割り込み優先レベル設定レジスタ D	MTU0	MTU0	MTU1	MTU1
割り込み優先レベル設定レジスタ E	MTU2	MTU2	予約	予約
割り込み優先レベル設定レジスタ F	予約	予約	予約	SCI
割り込み優先レベル設定レジスタ G	A/D	予約	CMT0	CMT1
割り込み優先レベル設定レジスタ H	TIM1, 2	予約	予約	予約

表 6.4 に示すように、1本のレジスタに4つの $\overline{\text{IRQ}}$ 端子、または4組の内蔵周辺モジュールが割り当てられています。ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。8 ビットタイマ 1 と 2 は、同じ優先順位に設定されます。

IPRA~IPRH は、パワーオンリセットで H'0000 に初期化されます。また、予約ビットは読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

6.3.2 割り込みコントロールレジスタ (ICR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL							NMIE	IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * NMI端子がハイレベルのとき1、ローレベルのとき0

割り込みコントロールレジスタ (ICR) は、16 ビットのレジスタで、外部割り込み入力端子 NMI と $\overline{IRQ0} \sim \overline{IRQ7}$ の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR はパワーオンリセットで初期化されます。

ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

ビット 15	説 明
NMIL	
0	NMI 端子にローレベルが入力されている
1	NMI 端子にハイレベルが入力されている

ビット 14 ~ 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット8 : NMIエッジセレクト (NMIE)

ビット 8	説 明
NMIE	
0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

ビット7~0 : IRQ0~IRQ7 センスセレクト (IRQ0S~IRQ7S)

IRQ0~IRQ7 割り込み要求の検出モードを設定します。

ビット7~0	説 明
IRQ0S~IRQ7S	
0	IRQ 入力のローレベルで割り込み要求を検出 (初期値)
1	IRQ 入力の立ち下がりエッジで割り込み要求を検出

6.3.3 IRQ ステータスレジスタ (ISR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									IRQ0F	IRQ1F	IRQ2F	IRQ3F	IRQ4F	IRQ5F	IRQ6F	IRQ7F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ ステータスレジスタ (ISR) は 16 ビットのレジスタで、外部割り込み入力端子 $\overline{IRQ0} \sim \overline{IRQ7}$ の割り込み要求のステータスを示します。IRQ 割り込みをエッジ検出に設定している場合、 $IRQnF=1$ を読み出した後、 $IRQnF$ に 0 を書き込むことにより、保持されている割り込み要求を取り下げることができます。

ISR はパワーオンリセットで初期化されます。

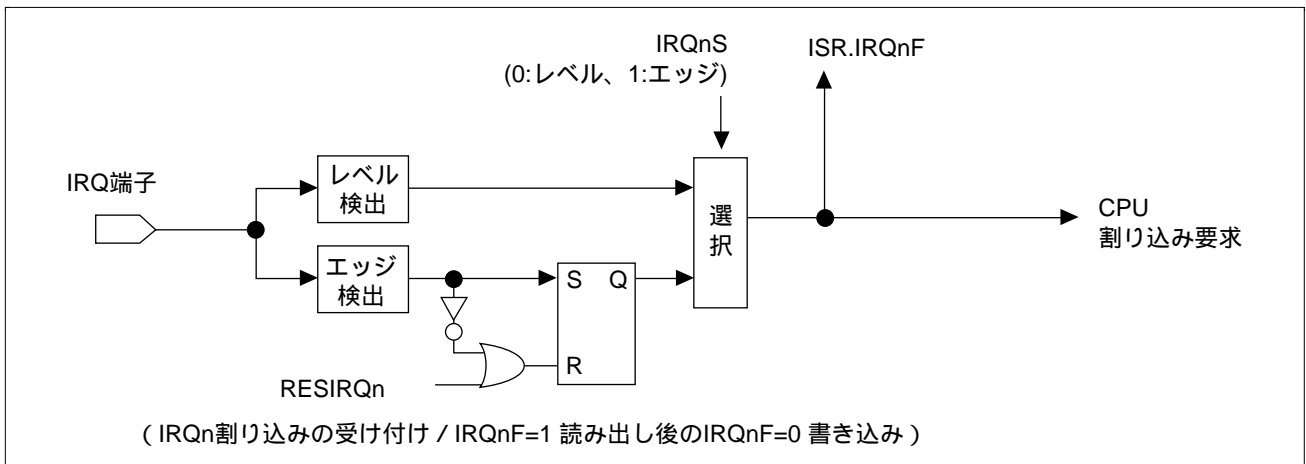
ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7~0 : IRQ0~IRQ7 フラグ (IRQ0F~IRQ7F)

IRQ0~IRQ7 割り込み要求のステータスを表示します。

ビット 7~0 IRQ0F~IRQ7F	検出設定	説明
0	レベル検出時	IRQn 割り込み要求が存在しません。 [クリア条件] \overline{IRQn} 入力がハイレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されていません。 (初期値) [クリア条件] (1) $IRQnF=1$ の状態を読み出した後に 0 を書き込むとき (2) IRQn 割り込み例外処理を実行したとき
1	レベル検出時	IRQn 割り込み要求が存在します。 [セット条件] \overline{IRQn} 入力がローレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されています。 [セット条件] \overline{IRQn} 入りに立ち下がりエッジが発生したとき



6.4 動作説明

6.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.2 に動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 6.3 に示す「デフォルト優先順位」と「IPR 設定単位内の優先順位」に従って、最も優先順位の高い割り込みが選択されます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0 ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
- (4) 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図 6.4 参照)。
- (5) ステータスレジスタ (SR) とプログラムカウンタ (PC) がスタックに退避されます。
- (6) SR の I3 ~ I0 ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
- (7) 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ ステータスレジスタ (ISR) のアクセスにより取り下げることができます。詳しくは「6.2.3 IRQ 割り込み」を参照してください。

また、エッジ検出により保留されている割り込みはパワーオンリセットでクリアされます。

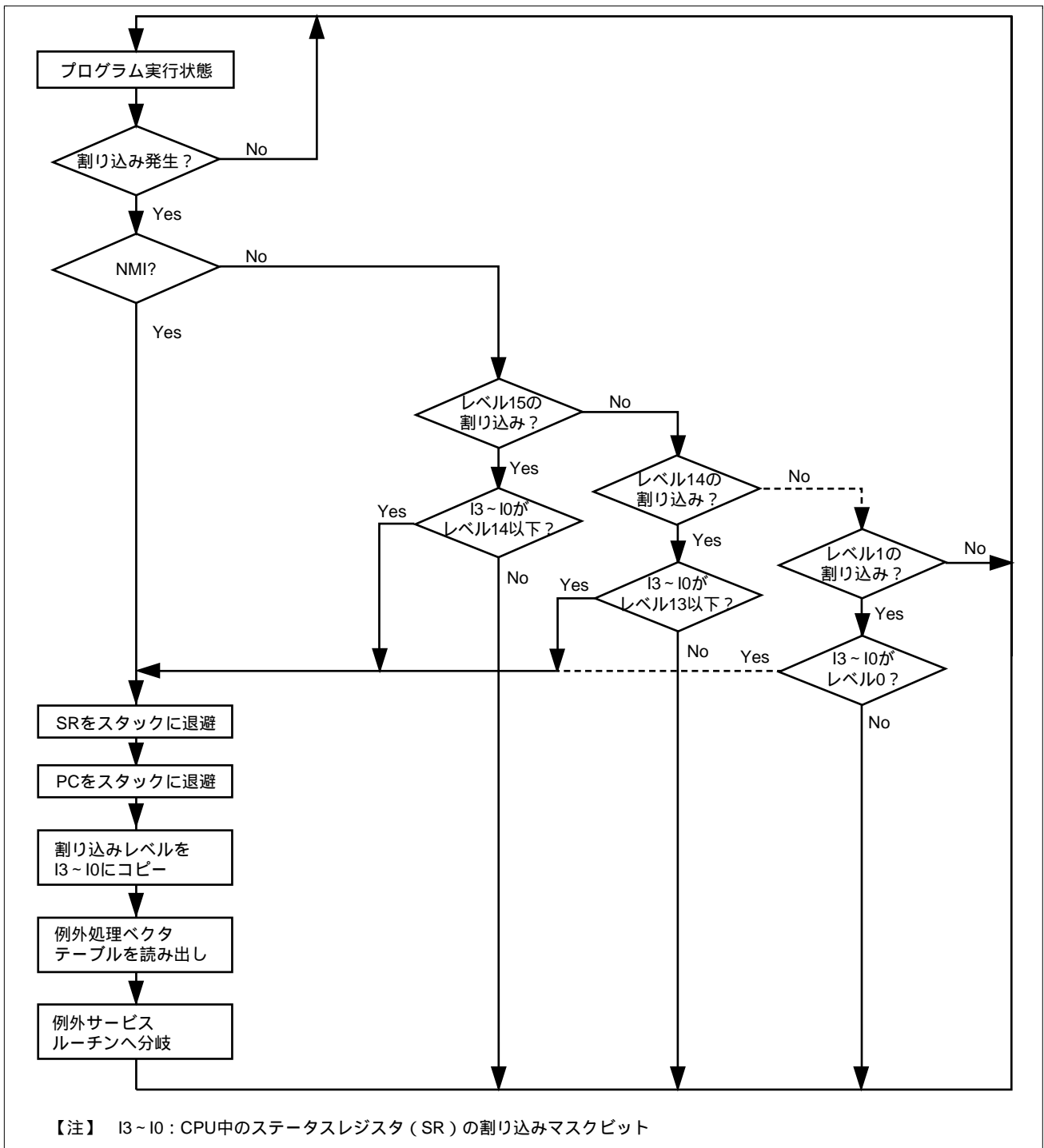


図 6.2 割り込み動作フロー

6.4.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.3 に示すようになります。

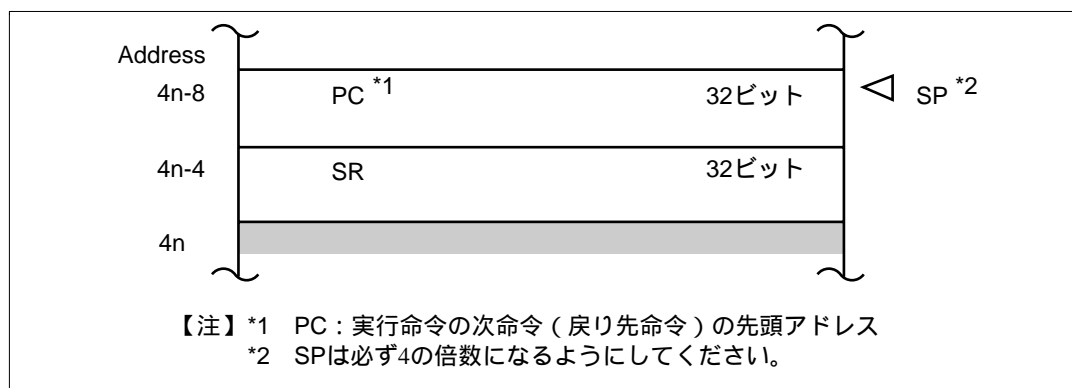


図 6.3 割り込み例外処理終了後のスタック状態

6.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.5 に示します。また、IRQ 割り込みを受け付けるときのパイプライン動作例を図 6.4 に示します。

表 6.5 割り込み応答時間

項目	ステート数備考		備考
	NMI、周辺モジュール	IRQ	
優先順位判定および SR のマスクビットとの比較時間	2 または 3	4	
CPU が実行中のシーケンス終了までの待ち時間	$X (0)$		最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X=4+m1+m2+m3+m4$ 。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	$5+m1+m2+m3$		SR、PC の退避とベクタアドレスのフェッチを行います。
応答時間	合計	$7+m1+m2+m3$	$9+m1+m2+m3$
	最小時	10	12
	最大時	$12+2(m1+m2+m3)+m4$	$13+2(m1+m2+m3)+m4$

【注】 $m1 \sim m4$ は下記のメモリアクセスに要するステート数です。

$m1$: SR の退避 (ロングワード書き込み) $m3$: ベクタアドレス読み出し (ロングワード読み出し)

$m2$: PC の退避 (ロングワード書き込み) $m4$: 割り込みサービスルーチン先頭命令のフェッチ

*1 $m1=m2=m3=m4=1$ の場合

応答時間	最小時	$7+m1+m2+m3$	$9+m1+m2+m3$	
		$0.5 \mu s^{*1}$	$0.6 \mu s^{*1}$	
	最大時	$12+2(m1+m2+m3)+m4$	$13+2(m1+m2+m3)+m4$	
		$0.95 \mu s^{*1}$	$1.0 \mu s^{*1}$	

【注】 *1 20MHz 動作、 $m1=m2=m3=m4=1$ の場合

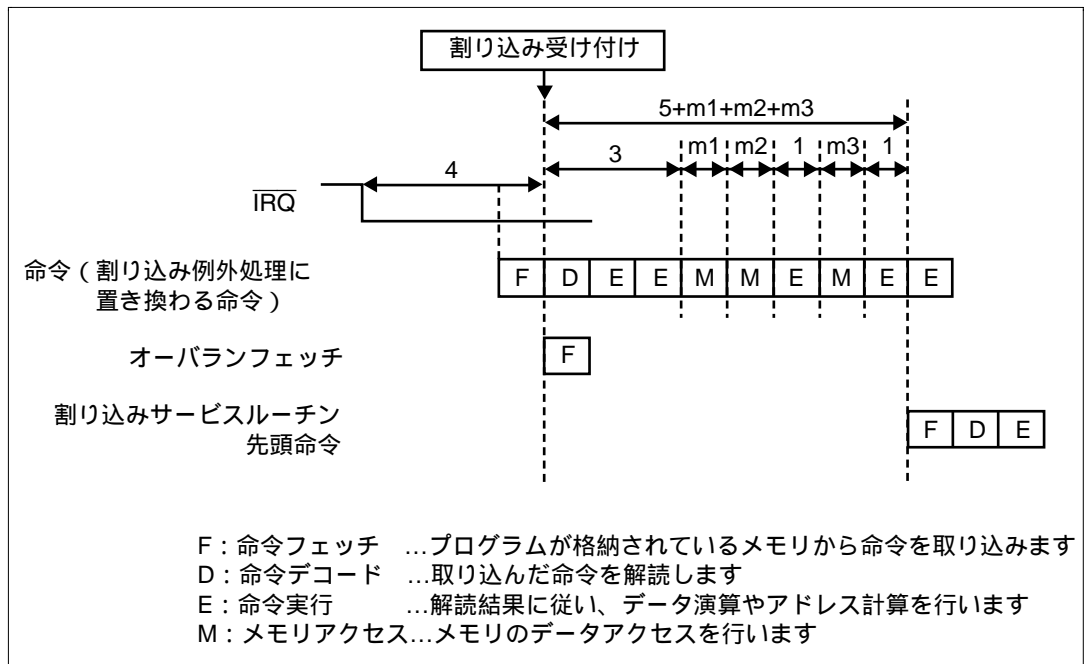


図 6.4 IRQ 割り込みを受け付けるときのパイプライン動作例

7. バスステートコントローラ (BSC)

第7章 目次

7.1	概要	81
7.1.1	特長	81
7.1.2	ブロック図	82
7.1.3	端子構成	83
7.1.4	レジスタ構成	83
7.1.5	アドレスマップ	84
7.2	レジスタの説明	85
7.2.1	バスコントロールレジスタ2 (BCR2)	85
7.2.2	ウェイトコントロールレジスタ1 (WCR1)	89
7.3	通常空間アクセス	91
7.3.1	基本タイミング	91
7.3.2	ウェイトステート制御	92
7.3.3	\overline{CS} アサート期間拡張	94
7.4	アクセスサイクル間ウェイト	95
7.4.1	データバス衝突防止	95
7.4.2	バスサイクル開始検出の容易化	97
7.5	メモリ接続例	98

7.1 概要

バスステートコントローラ (BSC) はアドレス空間の分割、各種メモリに応じた制御信号の出力などを行います。これにより、外付け回路なしに SRAM、ROM などを本 LSI に直結することができます。

7.1.1 特長

アドレス空間を 4 つに分割して管理

- CS0 ~ CS3 空間はそれぞれ最大リニア 4M バイト
- バス幅は 16 ビット
- 空間ごとに、ソフトウェアによるウェイトステートを挿入可能 (0 ~ 3 ウェイト)
- 外部メモリ空間アクセス時に $\overline{\text{WAIT}}$ 端子によるウェイトステートを挿入可能
- 各空間に接続するメモリに対応した制御信号を出力

内蔵 RAM インタフェース

- 内蔵 RAM は 32 ビットを 1 ステートでアクセス

7.1.2 ブロック図

BSCのブロック図を図7.1に示します。

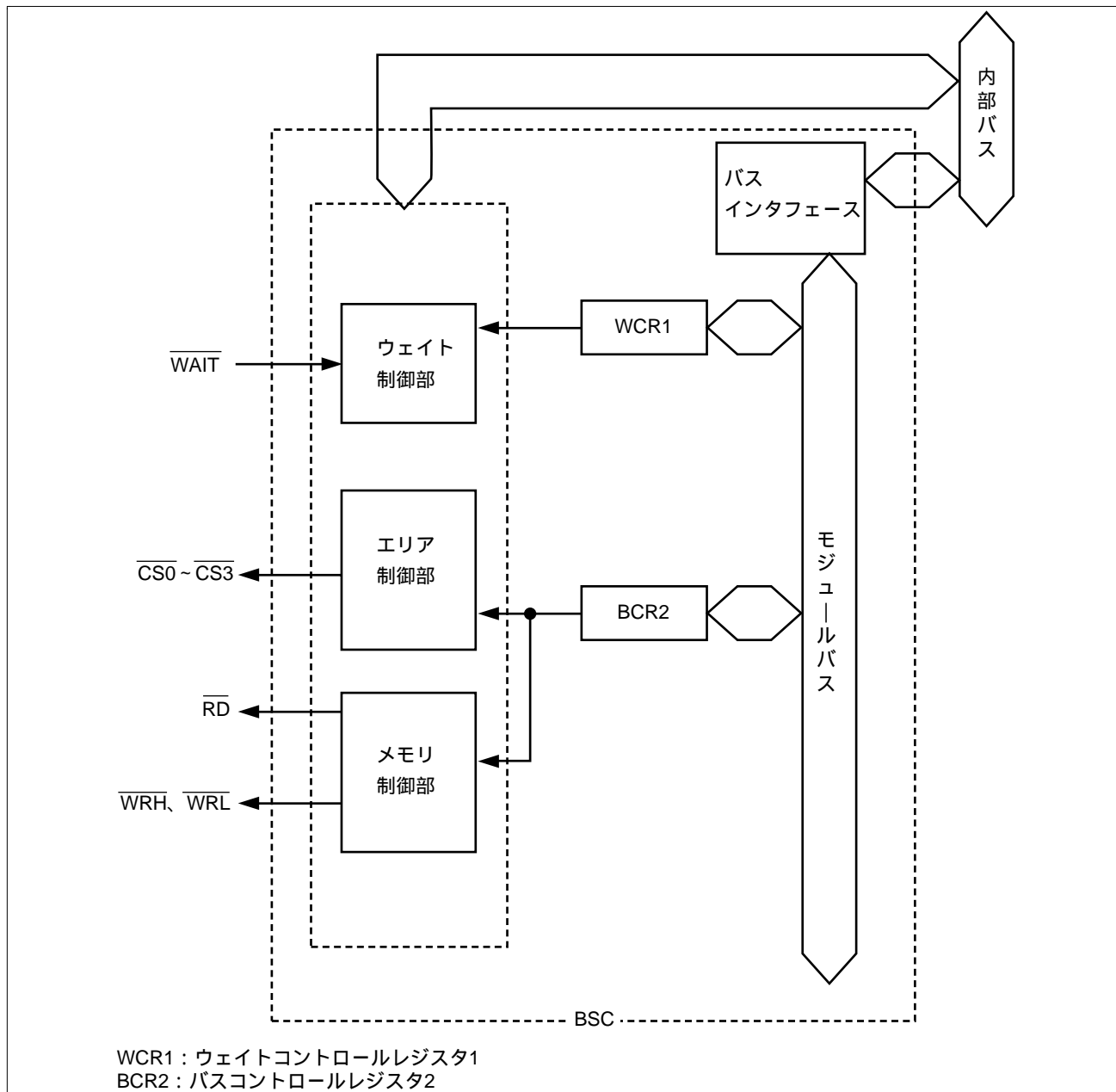


図 7.1 BSC のブロック図

7.1.3 端子構成

バスステートコントローラの端子構成を表 7.1 に示します。

表 7.1 端子構成

端子名	入出力	機能
A21 ~ A1	出力	アドレス出力
D15 ~ D0	入出力	16 ビットのデータバス
CS0 ~ CS3	出力	チップセレクト
RD	出力	読み出しサイクルを示すストロープ 通常空間 / マルチプレクス I/O 用
WRH	出力	上位バイト (D15 ~ D8) への書き込みサイクルを示すストロープ
WRL	出力	下位バイト (D7 ~ D0) への書き込みサイクルを示すストロープ
WAIT	入力	ウェイトステート要求信号

7.1.4 レジスタ構成

バスステートコントローラには 2 本のレジスタがあります。これらのレジスタにより、ウェイトステート、ROM、SRAM などのメモリとのインタフェースの制御などを行います。レジスタ構成を表 7.2 に示します。

レジスタサイズはすべて 16 ビットです。

バスステートコントローラのレジスタはすべてパワーオンリセットにより初期化されます。

表 7.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
バスコントロールレジスタ 2	BCR2	R/W	H'FFFF	H'FFFF8622	8、16
ウェイトコントロールレジスタ 1	WCR1	R/W	H'FFFF	H'FFFF8624	8、16

7.1.5 アドレスマップ

図 7.2 に、本 LSI で用いるアドレスのフォーマットを示します。

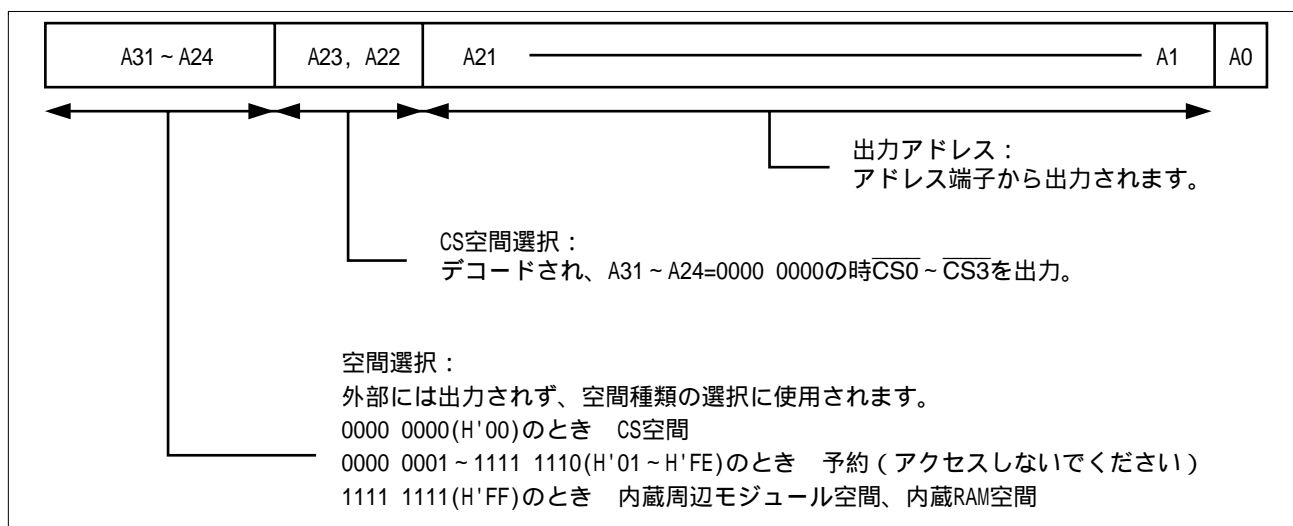


図 7.2 アドレスフォーマット

本 LSI では 32 ビットのアドレスを用います。

A31 ~ A24 ビットは空間種類の選択に使用されます。外部には出力されません。

A23、A22 ビットは A31 ~ A24 ビットが 00000000 のときデコードされ、エリアに対応するチップセレクト信号 ($\overline{CS0} \sim \overline{CS3}$) となり、出力されます。

A21 ~ A1 は外部に出力されます。

表 7.3 にアドレスマップを示します。

表 7.3 アドレスマップ

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'00000000 ~ H'003FFFFFFF	CS0 空間	通常空間	4MB	16bit
H'00400000 ~ H'007FFFFFFF	CS1 空間	通常空間	4MB	16bit
H'00800000 ~ H'00BFFFFFFF	CS2 空間	通常空間	4MB	16bit
H'00C00000 ~ H'00FFFFFFF	CS3 空間	通常空間	4MB	16bit
H'01000000 ~ H'FFFF7FFF	予約	予約		
H'FFFF8000 ~ H'FFFF87FF	内蔵周辺モジュール	内蔵周辺モジュール	2kB	8/16bit
H'FFFF8800 ~ H'FFFFEFFF	予約	予約		
H'FFFFFF000 ~ H'FFFFFFF	内蔵 RAM	内蔵 RAM	4kB	32bit

【注】 予約空間はアクセスしないでください。アクセスした場合動作の保証はできません。

7.2 レジスタの説明

7.2.1 バスコントロールレジスタ 2 (BCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00	CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

バスコントロールレジスタ 2 (BCR2) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のアイドルサイクル数や \overline{CS} 信号のアサート期間の拡張を指定します。

BCR2 はパワーオンリセットで H'FFFF に初期化されます。

ビット 15 ~ 8 : サイクル間アイドル指定

(IW31、IW30、IW21、IW20、IW11、IW10、IW01、IW00)

サイクル間アイドル指定は、読み出しアクセス後に異なる CS 空間を続けてアクセスする場合に、アクセス間に挿入するアイドルサイクルの指定を行います。これは読み出しデータのバッファオフの遅い ROM などと、高速なメモリ、I/O インタフェースなどのデータの衝突を防止するために使用します。同一 CS 空間に対するアクセスであっても、直前のアクセスが読み出しで次のアクセスが書き込みの場合にはアイドルサイクルの挿入を行います。アイドルサイクルの指定は直前にアクセスされた CS 空間のものが有効となります。詳しくは「7.4 アクセスサイクル間ウェイト」をご参照ください。

IW31、30 が CS3 空間のサイクル間アイドル、IW21、IW20 が CS2 空間のサイクル間アイドル、IW11、IW10 が CS1 空間のサイクル間アイドル、IW01、IW00 が CS0 空間のサイクル間アイドルをそれぞれ指定します。

ビット 15	ビット 14	説明
IW31	IW30	
0	0	CS3 空間アクセス後アイドルサイクルなし
0	1	CS3 空間アクセス後 1 アイドルサイクル
1	0	CS3 空間アクセス後 2 アイドルサイクル
1	1	CS3 空間アクセス後 3 アイドルサイクル (初期値)

7. バスステートコントローラ (BSC)

ビット 13	ビット 12	説 明
IW21	IW20	
0	0	CS2 空間アクセス後アイドルサイクルなし
0	1	CS2 空間アクセス後 1 アイドルサイクル
1	0	CS2 空間アクセス後 2 アイドルサイクル
1	1	CS2 空間アクセス後 3 アイドルサイクル (初期値)

ビット 11	ビット 10	説 明
IW11	IW10	
0	0	CS1 空間アクセス後アイドルサイクルなし
0	1	CS1 空間アクセス後 1 アイドルサイクル
1	0	CS1 空間アクセス後 2 アイドルサイクル
1	1	CS1 空間アクセス後 3 アイドルサイクル (初期値)

ビット 9	ビット 8	説 明
IW01	IW00	
0	0	CS0 空間アクセス後アイドルサイクルなし
0	1	CS0 空間アクセス後 1 アイドルサイクル
1	0	CS0 空間アクセス後 2 アイドルサイクル
1	1	CS0 空間アクセス後 3 アイドルサイクル (初期値)

ビット7～4：連続アクセス時アイドル指定 (CW3、CW2、CW1、CW0)

連続アクセス時アイドル指定は同一CS空間を連続してアクセスする場合、 \overline{CSn} 信号をいったんネゲートすることにより、バスの切れ目をわかりやすくするために挿入します。ただし、読み出しの次に書き込みが続く場合、挿入されるアイドルサイクルはIWによって指定される値とCWによって指定される値のうち大きい方を選択します。詳しくは「7.6 アクセスサイクル間ウェイト」をご参照ください。

CW3がCS3空間の連続アクセス時アイドル、CW2がCS2空間の連続アクセス時アイドル、CW1がCS1空間の連続アクセス時アイドル、CW0がCS0空間の連続アクセス時アイドルをそれぞれ指定します。

ビット7	説明
CW3	
0	CS3 空間連続アクセス時アイドルサイクルなし
1	CS3 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット6	説明
CW2	
0	CS2 空間連続アクセス時アイドルサイクルなし
1	CS2 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット5	説明
CW1	
0	CS1 空間連続アクセス時アイドルサイクルなし
1	CS1 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット4	説明
CW0	
0	CS0 空間連続アクセス時アイドルサイクルなし
1	CS0 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット3~0: \overline{CS} アサート拡張指定 (SW3、SW2、SW1、SW0)

CS アサート拡張指定は \overline{RD} 信号、 \overline{WRx} 信号のアサート期間が \overline{CSn} 信号のアサート期間からはみ出すことを防止するために挿入します。拡張サイクルは、各バスサイクルの前後に1サイクルずつ挿入されます。これにより、外部デバイスとのインタフェースが容易になります。また、書き込みデータホールド期間を延ばす効果もあります。詳しくは、「7.3.3 \overline{CS} アサート拡張機能」をご参照ください。

SW3 が CS3 空間アクセス時の \overline{CS} アサート拡張指定、SW2 が CS2 空間アクセス時の \overline{CS} アサート拡張指定、SW1 が CS1 空間アクセス時の \overline{CS} アサート拡張指定、SW0 が CS0 空間アクセス時の \overline{CS} アサート拡張指定をそれぞれ行います。

ビット3	説明
SW3	
0	CS3 空間 \overline{CS} アサート拡張なし
1	CS3 空間 \overline{CS} アサート拡張有り (初期値)

ビット2	説明
SW2	
0	CS2 空間 \overline{CS} アサート拡張なし
1	CS2 空間 \overline{CS} アサート拡張有り (初期値)

ビット1	説明
SW1	
0	CS1 空間 \overline{CS} アサート拡張なし
1	CS1 空間 \overline{CS} アサート拡張有り (初期値)

ビット0	説明
SW0	
0	CS0 空間 \overline{CS} アサート拡張なし
1	CS0 空間 \overline{CS} アサート拡張有り (初期値)

7.2.2 ウェイトコントロールレジスタ 1 (WCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	W31	W30	-	-	W21	W20	-	-	W11	W10	-	-	W01	W00
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ウェイトコントロールレジスタ 1 (WCR1) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のウェイトサイクル数 (0~3) を指定します。

WCR1 はパワーオンリセットで H'FFFF に初期化されます。

ビット 15、14 : 予約ビット

0 または 1 のどちらを書き込んでも問題ありません。読み出すと常に 1 が読み出されます。

ビット 13、12 : CS3 空間ウェイト指定 (W31、W30)

CS3 空間アクセス時のウェイト数を指定します。

ビット 13	ビット 12	説明
W31	W30	
0	0	ノーウェイト (外部ウェイト入力禁止)
0	1	1 ウェイト外部ウェイト入力イネーブル
1	0	2 ウェイト外部ウェイト入力イネーブル
1	1	3 ウェイト外部ウェイト入力イネーブル (初期値)

ビット 11、10 : 予約ビット

0 または 1 のどちらを書き込んでも問題ありません。読み出すと常に 1 が読み出されます。

7. バスステートコントローラ (BSC)

ビット9、8 : CS2 空間ウェイト指定 (W21、W20)

CS2 空間アクセス時のウェイト数を指定します。

ビット9	ビット8	説明
W21	W20	
0	0	ノーウェイト (外部ウェイト入力禁止)
0	1	1 ウェイト外部ウェイト入力イネーブル
1	0	2 ウェイト外部ウェイト入力イネーブル
1	1	3 ウェイト外部ウェイト入力イネーブル (初期値)

ビット7、6 : 予約ビット

0または1のどちらを書き込んでも問題ありません。読み出すと常に1が読み出されます。

ビット5、4 : CS1 空間ウェイト指定 (W11、W10)

CS1 空間アクセス時のウェイト数を指定します。

ビット5	ビット4	説明
W11	W10	
0	0	ノーウェイト (外部ウェイト入力禁止)
0	1	1 ウェイト外部ウェイト入力イネーブル
1	0	2 ウェイト外部ウェイト入力イネーブル
1	1	3 ウェイト外部ウェイト入力イネーブル (初期値)

ビット3、2 : 予約ビット

0または1のどちらを書き込んでも問題ありません。読み出すと常に1が読み出されます。

ビット1、0 : CS0 空間ウェイト指定 (W01、W00)

CS0 空間アクセス時のウェイト数を指定します。

ビット1	ビット0	説明
W01	W00	
0	0	ノーウェイト (外部ウェイト入力禁止)
0	1	1 ウェイト外部ウェイト入力イネーブル
1	0	2 ウェイト外部ウェイト入力イネーブル
1	1	3 ウェイト外部ウェイト入力イネーブル (初期値)

7.3 通常空間アクセス

通常空間では、主に SRAM、ROM の直結を想定してストロープ信号を出力します。

7.3.1 基本タイミング

通常空間アクセスのバスサイクルは、2 ステートで行われます。図 7.3 に通常空間アクセスの基本タイミングを示します。

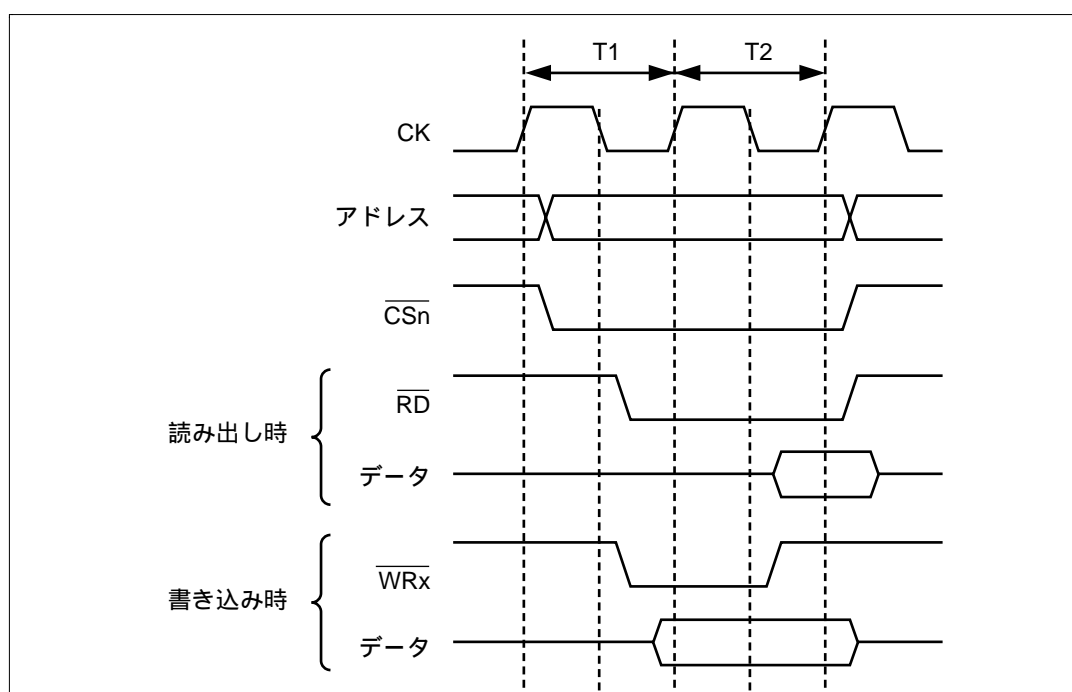


図 7.3 通常空間アクセスの基本タイミング

読み出し時は、オペランドサイズにかかわらず、 \overline{RD} 信号によりアクセスする空間(アドレス)のデータバス幅全ビットを LSI に取り込み、必要なバイト位置を使用します。

書き込み時は、実際に書き込むバイト位置を \overline{WRH} (ビット 15~8) , \overline{WRL} (ビット 7~0) の各信号で示します。

7.3.2 ウェイトステート制御

WCR の設定により、通常空間アクセスのウェイトステートの挿入を制御できます。図 7.4 に示すタイミングで、 T_w のサイクルがソフトウェアウェイトサイクルとして指定サイクル数 (0~3 ウェイト) だけ挿入されます。

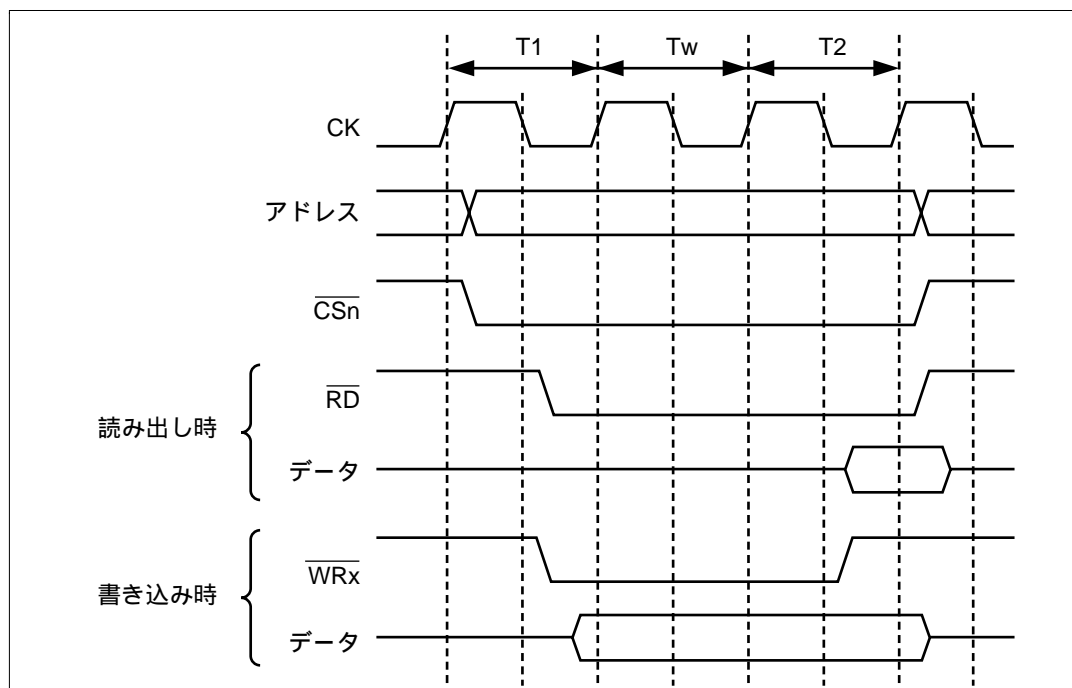


図 7.4 通常空間アクセスのウェイトステートタイミング
(ソフトウェアウェイトのみ)

WCR によってソフトウェアによるウェイトを 1 ウェイト以上指定したときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 7.5 に示します。 $\overline{\text{WAIT}}$ 信号のサンプリングは、 T_w ステートから T_2 ステートに移行する際にクロックの立ち上がりのちょうど 1 サイクル前のクロックの立ち上がりで行われます。

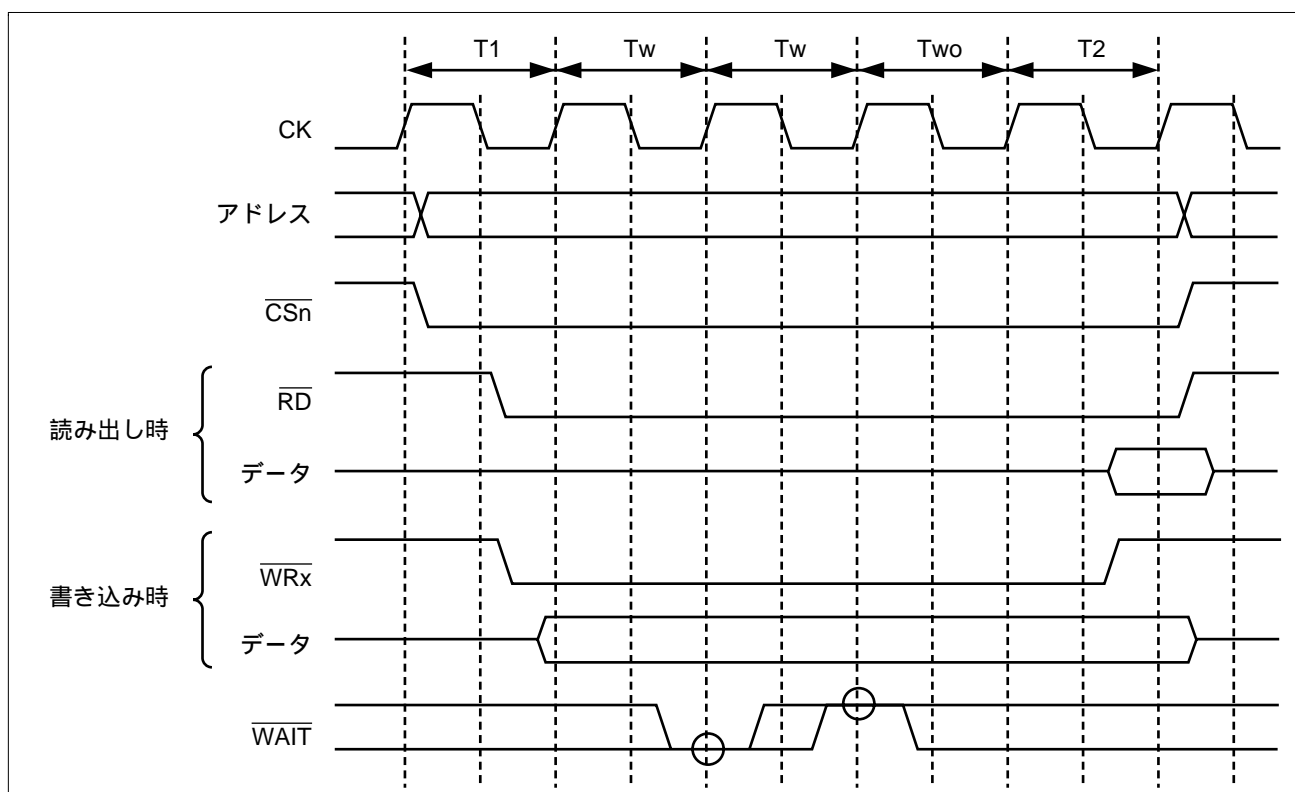
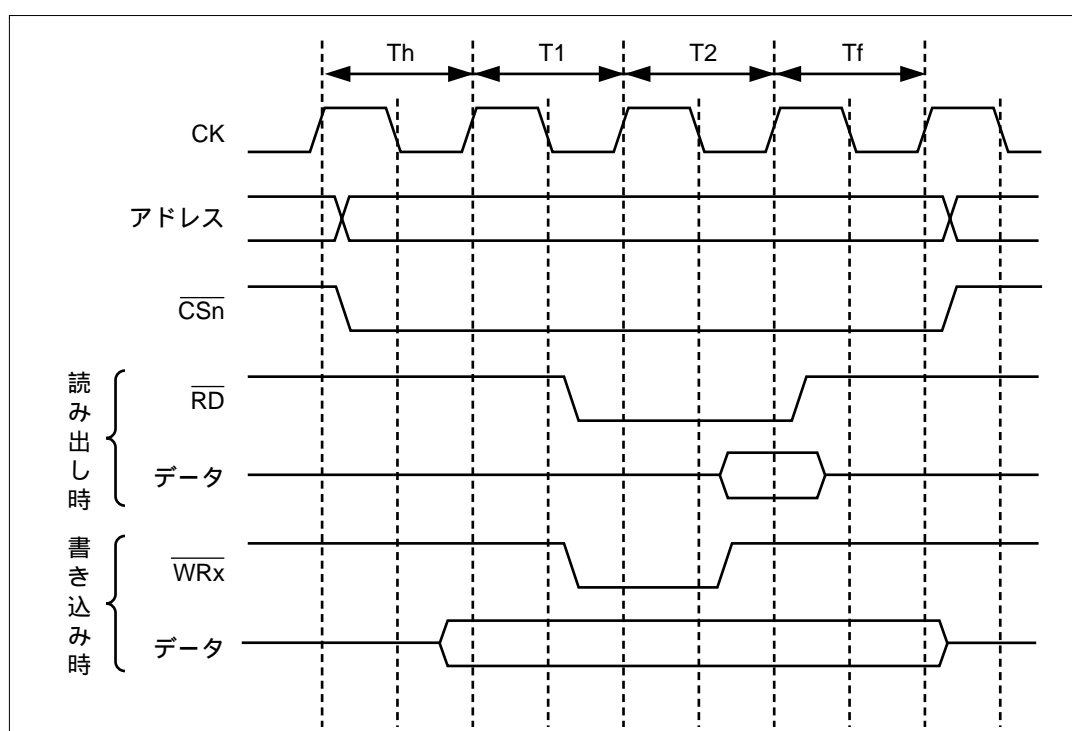


図 7.5 通常空間アクセスのウェイトステートタイミング

(ソフトウェアウェイト 2 ステート + $\overline{\text{WAIT}}$ 信号によるウェイトステート)

7.3.3 \overline{CS} アサート期間拡張

BCR2のSW3～SW0ビットの設定により、 \overline{RD} 、 \overline{WRx} のアサート期間が \overline{CSn} のアサート期間からはみ出さないようにアイドルサイクルを挿入することができます。これにより、外付け回路とフレキシブルなインタフェースがとれます。タイミングを図7.6に示します。ThおよびTfサイクルが通常サイクルの前と後ろにそれぞれ付加されています。このサイクルでは \overline{CSn} のみアサートされ、 \overline{RD} 、 \overline{WRx} はアサートされません。また、データはTfサイクルまで延ばされるので、書き込み動作の遅いデバイスなどに有効です。

図7.6 \overline{CS} アサート期間拡張機能

7.4 アクセスサイクル間ウェイト

低速なデバイスを読み出したとき、データバッファのオフが間に合わずに次アクセスのデータと衝突を起こすことがあります。メモリアクセスを行う際にデータ衝突の問題がある場合にはアクセスサイクル間にウェイトを挿入することができます。

また、バスサイクル開始の検出を容易にするために、同一 CS 空間の連続アクセス時にアクセスサイクル間にウェイトを挿入して、いったん \overline{CSn} 信号をネゲートすることができます。

7.4.1 データバス衝突防止

(1) 読み出しサイクル後の書き込みサイクル、(2) 読み出しサイクル後の異なるエリアに対する読み出しサイクル、の 2 つの場合、BCR2 の IW31 ~ IW00 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。アクセスサイクル間にもともとアイドルサイクルが存在する場合は、指定されたアイドルサイクル数からその空きサイクル数を除いたサイクルだけウェイトを挿入します。

図 7.7 にサイクル間アイドルの例を示します。この例では、CSn 空間のサイクル間アイドルに 1 を指定した場合に、CSn 空間の読み出しサイクルの直後に CSm 空間の書き込みを行うとき、1 アイドルサイクルが挿入されることを図示しています。

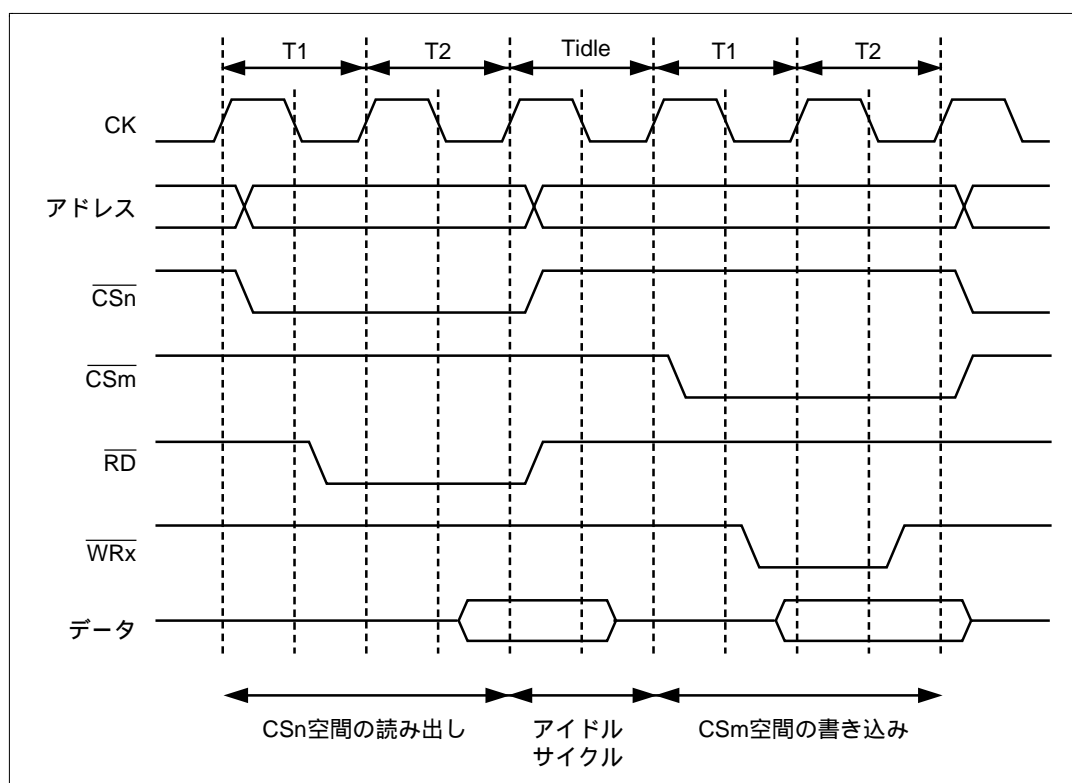


図 7.7 アイドルサイクル挿入例

IW31、IW30 では CS3 空間を読み出した後に、他の外部空間を読み出す場合と、本 LSI が書き込みを行う場合に必要なアイドルサイクル数を指定します。同様に IW21、IW20 では CS2 空間読み出し後の、IW11、IW10 では CS1 空間読み出し後の、IW01、IW00 では CS0 空間読み出し後のアイドルサイクル数を指定します。

アイドルサイクル数には CS 空間で 0~3 サイクルを指定することができます。

7.4.2 バスサイクル開始検出の容易化

同一 CS 空間を連続してアクセスする場合、BCR2 の CW3 ~ CW0 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。ただし、読み出し後の書き込みサイクルの場合、挿入されるアイドルサイクルは IW ビットと CW ビットで定義されるアイドルサイクルのうち大きな値になります。アクセスサイクル間にもともとアイドルサイクルが存在する場合はウェイト挿入を行いません。

図 7.8 に例を示します。この例では CSn 空間を連続アクセスアイドル指定し、CSn 空間を連続書き込んだ場合を示しています。

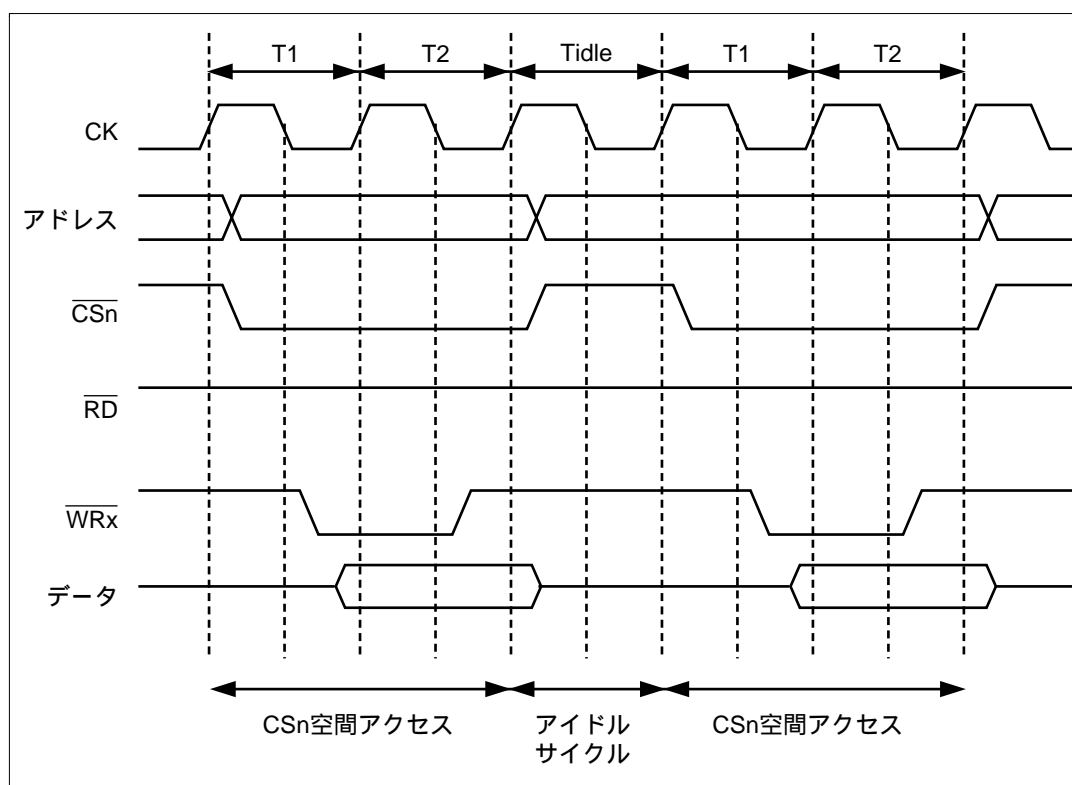


図 7.8 同一空間連続アクセス時アイドルサイクル挿入例

7.5 メモリ接続例

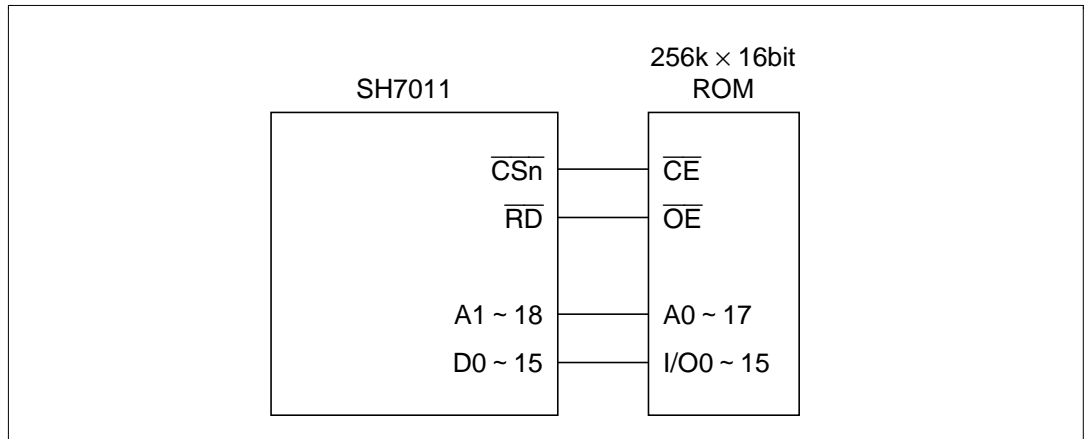


図 7.9 16 ビットデータバス幅 ROM 接続例

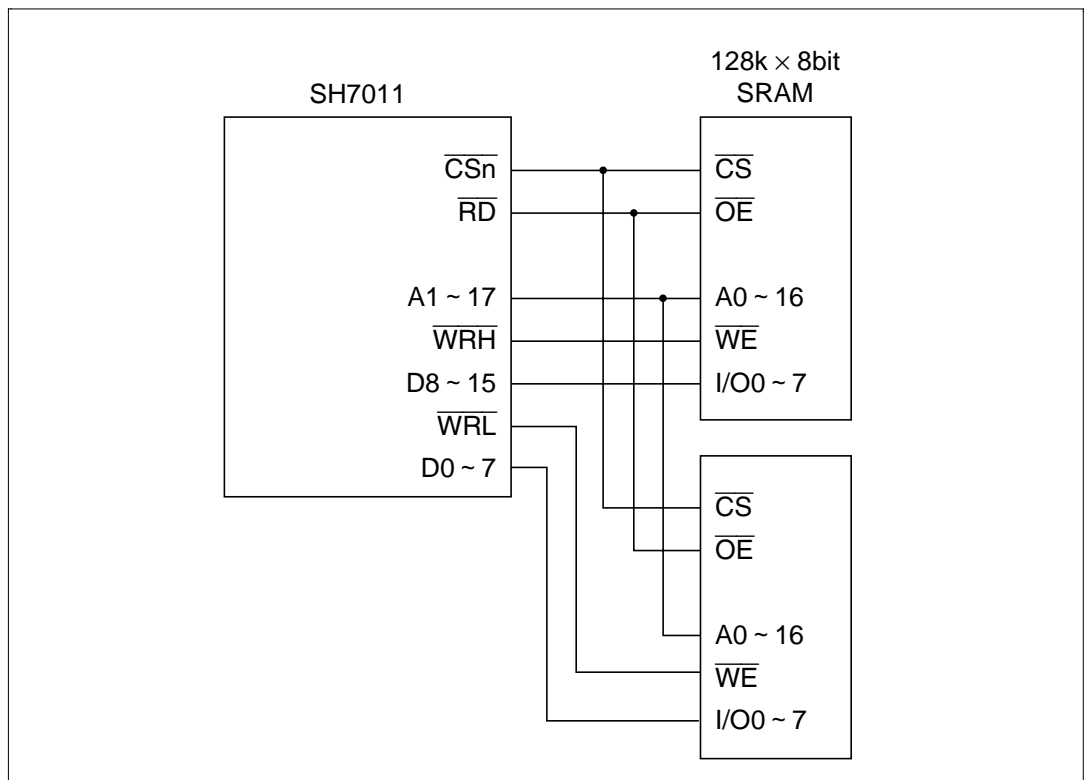


図 7.10 16 ビットデータバス SRAM 接続例

8. マルチファンクション タイマパルスユニット (MTU)

第8章 目次

8.1	概要	101
8.1.1	特長	101
8.1.2	ブロック図	104
8.1.3	端子構成	105
8.1.4	レジスタ構成	106
8.2	レジスタの説明	107
8.2.1	タイマコントロールレジスタ (TCR)	107
8.2.2	タイマモードレジスタ (TMDR)	111
8.2.3	タイマ I/O コントロールレジスタ (TIOR)	114
8.2.4	タイマインタラプトイネーブルレジスタ (TIER)	121
8.2.5	タイマステータスレジスタ (TSR)	124
8.2.6	タイマカウンタ (TCNT)	128
8.2.7	タイマジェネラルレジスタ (TGR)	128
8.2.8	タイマスタートレジスタ (TSTR)	129
8.2.9	タイマシンクロレジスタ (TSYR)	130
8.3	バスマスタとのインタフェース	132
8.3.1	16ビットレジスタ	132
8.3.2	8ビットレジスタ	133
8.4	動作説明	135
8.4.1	概要	135

8. マルチファンクションタイマパルスユニット (MTU)

8.4.2	基本機能	136
8.4.3	同期動作	144
8.4.4	バッファ動作	147
8.4.5	カスケード接続動作	151
8.4.6	PWM モード	153
8.5	割り込み	159
8.5.1	割り込み要因と優先順位	159
8.5.2	A/D 変換器の起動	160
8.6	動作タイミング	161
8.6.1	入出力タイミング	161
8.6.2	割り込み信号タイミング	165
8.7	使用上の注意	169
8.8	MTU 出力端子の初期化方法	180
8.8.1	動作モード	180
8.8.2	リセットスタート時の動作	180
8.8.3	動作中の異常などによる再設定時の動作	180
8.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	181

8.1 概要

本 LSI は、3 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット (MTU) を内蔵しています。

8.1.1 特長

最大 6 本のパルス入出力が可能です。

チャンネル 0 は 4 本、チャンネル 1、2 は各 2 本、合計 8 本のタイマジェネラルレジスタ (TGR) を持ち、各レジスタは独立にアウトプットコンペア / インプットキャプチャレジスタの設定が可能 (チャンネル 0 の TGR0B、TGR0D はアウトプットコンペアレジスタのみ) です。また、チャンネル 0 の TGRC、TGRD レジスタは、バッファレジスタとして使用できます。

各チャンネルとも 6 種類のカウンタ入力クロックが選択可能です。

各チャンネルともに次の動作を設定可能です。

コンペアマッチによる波形出力： 0 出力、1 出力、トグル出力が選択可能

インプットキャプチャ機能： 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可能

カウンタクリア動作： コンペアマッチ、インプットキャプチャによるカウンタクリアが可能

同期動作： 複数のタイマカウンタ (TCNT) への同時書き込みが可能

コンペアマッチ / インプットキャプチャによる同時クリアが可能

カウンタの同期動作による各レジスタの同期入出力が可能

PWM モード： 任意デューティの PWM 出力が可能

同期動作と組み合わせることにより、4 相*の PWM 出力が可能

【注】 * Ch0 ~ Ch2 を PWM モード 1 に設定した場合

チャンネル 0 はバッファ動作を設定可能

インプットキャプチャレジスタのダブルバッファ構成が可能

アウトプットコンペアレジスタの自動書き換えが可能

カスケード接続動作

チャンネル 2 の入力クロックを、チャンネル 1 のオーバフロー / アンダフローにすることにより 32 ビットカウンタとして動作

内部 16 ビットバスによる高速アクセス

16 ビットバスインタフェースによる高速アクセスが可能

11 種類の割り込み要因

チャンネル0はコンペアマッチ/インプットキャプチャ兼用割り込み×2本、コンペアマッチ割り込み×2本、オーバフロー割り込み×1本が独立に要求可能

チャンネル1、2はコンペアマッチ/インプットキャプチャ兼用割り込み×2本、オーバフロー割り込み×1本、アンダフロー割り込み×1本が独立に要求可能

A/D変換器の変換スタートトリガを生成可能

チャンネル0~2のコンペアマッチ/インプットキャプチャ信号をA/D変換器の変換スタートトリガとして使用可能

MTUの機能一覧を表8.1に示します。

表 8.1 MTU 機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2
カウントクロック	内部クロック： /1、 /4、 /16、 /64、 /256、 /1024 各チャンネルごとに 6 種		
ジェネラルレジスタ	TGR0A TGR0B	TGR1A TGR1B	TGR2A TGR2B
ジェネラルレジスタ / バッファレジスタ	TGR0C TGR0D		
入出力端子	TIOC0A TIOC0C	TIOC1A TIOC1B	TIOC2A TIOC2B
カウンタクリア機能	TGR のコンパ°アマッチまたは イン°ットキャブ°チャ	TGR のコンパ°アマッチまたは イン°ットキャブ°チャ	TGR のコンパ°アマッチまたは イン°ットキャブ°チャ
コンペアマッチ 出力	0 出力		
	1 出力		
	トグル出力		
イン°ットキャブ°チャ機能			
同期動作			
バッファ動作			
PWM モード 1			
PWM モード 2			
A/D 変換開始トリガ	TGR0A のコンパ°アマッチまたは イン°ットキャブ°チャ	TGR1A のコンパ°アマッチまたは イン°ットキャブ°チャ	TGR2A のコンパ°アマッチまたは イン°ットキャブ°チャ
割り込み要因	5 要因 コンパ°アマッチ/イン°ットキャブ°チャ0 A コンパ°アマッチ0 B コンパ°アマッチ/イン°ットキャブ°チャ0 C コンパ°アマッチ0 D オーバーフロー	3 要因 コンパ°アマッチ/イン°ットキャブ°チャ1 A コンパ°アマッチ/イン°ットキャブ°チャ1 B オーバーフロー	3 要因 コンパ°アマッチ/イン°ットキャブ°チャ2 A コンパ°アマッチ/イン°ットキャブ°チャ2 B オーバーフロー

8.1.2 ブロック図

MTUのブロック図を図8.1に示します。

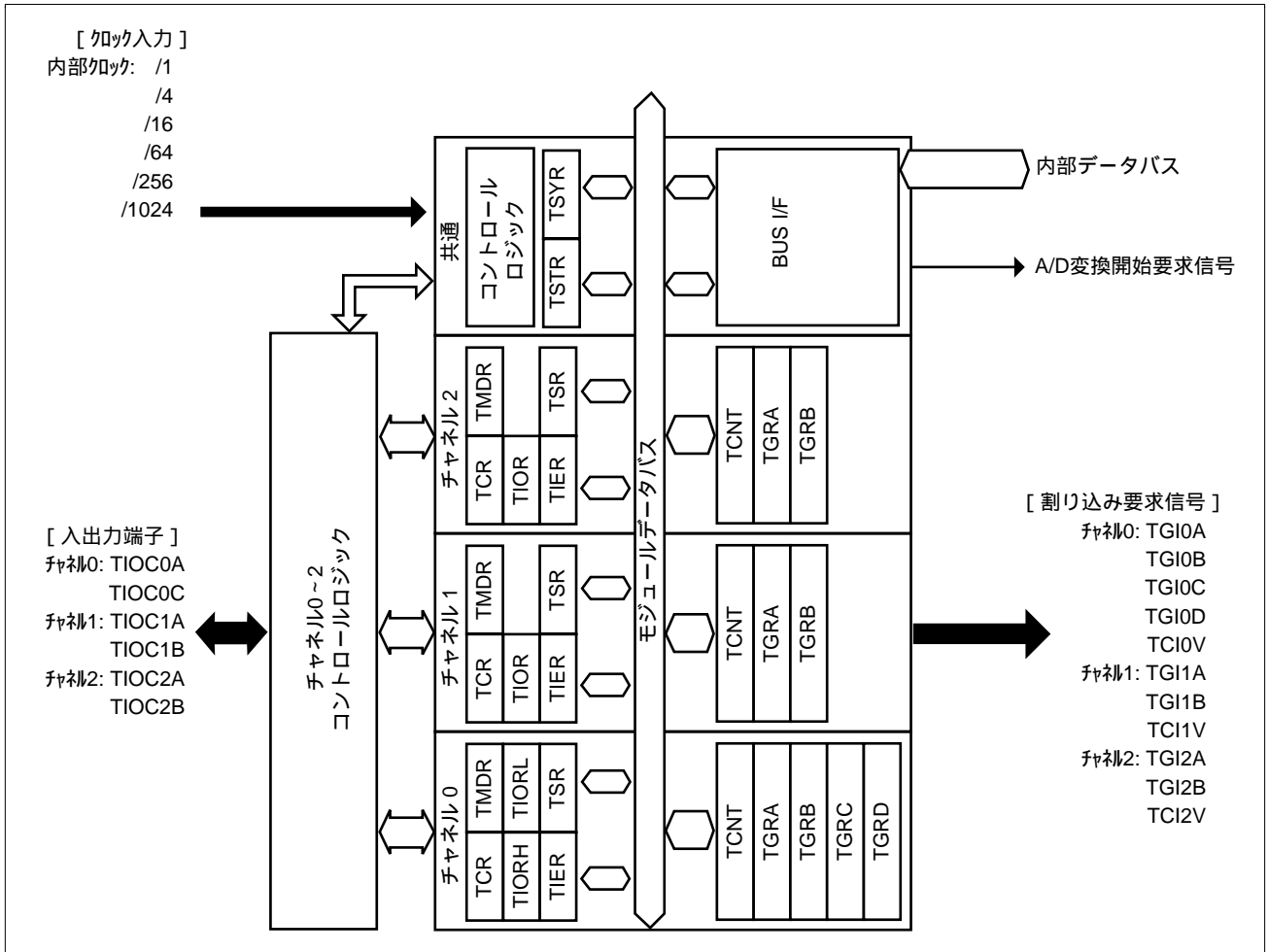


図8.1 MTUのブロック図

8.1.3 端子構成

MTUの端子構成を表8.2に示します。

表 8.2 端子構成

チャネル	名称	信号名	入出力	機能
0	インพุットキャブチャ / アウトコンペアマッチ 0A	TIOC0A	入出力	TGR0A のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インพุットキャブチャ / アウトコンペアマッチ 0C	TIOC0C	入出力	TGR0C のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	インพุットキャブチャ / アウトコンペアマッチ 1A	TIOC1A	入出力	TGR1A のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インพุットキャブチャ / アウトコンペアマッチ 1B	TIOC1B	入出力	TGR1B のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	インพุットキャブチャ / アウトコンペアマッチ 2A	TIOC2A	入出力	TGR2A のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インพุットキャブチャ / アウトコンペアマッチ 2B	TIOC2B	入出力	TGR2B のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子

【注】 TIOC 端子をインพุットキャブチャに設定して、かつピンファンクションコントローラ (PFC) でタイマ出力に設定すると不定値が出力されます。

8.1.4 レジスタ構成

MTUのレジスタ構成を表8.3に示します。

表8.3 レジスタ構成

チャネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ (ビット)* ¹
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFF8240	8、16
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFF8241	8、16
0	タイマコントロールレジスタ0	TCR0	R/W	H'00	H'FFFF8260	8、16、32
	タイマモードレジスタ0	TMDR0	R/W	H'C0	H'FFFF8261	8、16、32
	タイマI/Oコントロールレジスタ0H	TIOR0H	R/W	H'00	H'FFFF8262	8、16、32
	タイマI/Oコントロールレジスタ0L	TIOR0L	R/W	H'00	H'FFFF8263	8、16、32
	タイマインタラプトイネーブル レジスタ0	TIER0	R/W	H'40	H'FFFF8264	8、16、32
	タイマステータスレジスタ0	TSR0	R/(W)* ²	H'C0	H'FFFF8265	8、16、32
	タイマカウンタ0	TCNT0	R/W	H'0000	H'FFFF8266	16、32
	ジェネラルレジスタ0A	TGR0A	R/W	H'FFFF	H'FFFF8268	16、32
	ジェネラルレジスタ0B	TGR0B	R/W	H'FFFF	H'FFFF826A	16、32
	ジェネラルレジスタ0C	TGR0C	R/W	H'FFFF	H'FFFF826C	16、32
	ジェネラルレジスタ0D	TGR0D	R/W	H'FFFF	H'FFFF826E	16、32
1	タイマコントロールレジスタ1	TCR1	R/W	H'00	H'FFFF8280	8、16
	タイマモードレジスタ1	TMDR1	R/W	H'C0	H'FFFF8281	8、16
	タイマI/Oコントロールレジスタ1	TIOR1	R/W	H'00	H'FFFF8282	8
	タイマインタラプトイネーブル レジスタ1	TIER1	R/W	H'40	H'FFFF8284	8、16、32
	タイマステータスレジスタ1	TSR1	R/(W)* ²	H'C0	H'FFFF8285	8、16、32
	タイマカウンタ1	TCNT1	R/W	H'0000	H'FFFF8286	16、32
	ジェネラルレジスタ1A	TGR1A	R/W	H'FFFF	H'FFFF8288	16、32
	ジェネラルレジスタ1B	TGR1B	R/W	H'FFFF	H'FFFF828A	16、32
2	タイマコントロールレジスタ2	TCR2	R/W	H'00	H'FFFF82A0	8、16
	タイマモードレジスタ2	TMDR2	R/W	H'C0	H'FFFF82A1	8、16
	タイマI/Oコントロールレジスタ2	TIOR2	R/W	H'00	H'FFFF82A2	8
	タイマインタラプトイネーブル レジスタ2	TIER2	R/W	H'40	H'FFFF82A4	8、16、32
	タイマステータスレジスタ2	TSR2	R/(W)* ²	H'C0	H'FFFF82A5	8、16、32
	タイマカウンタ2	TCNT2	R/W	H'0000	H'FFFF82A6	16、32
	ジェネラルレジスタ2A	TGR2A	R/W	H'FFFF	H'FFFF82A8	16、32
	ジェネラルレジスタ2B	TGR2B	R/W	H'FFFF	H'FFFF82AA	16、32

【注】 空きアドレスは、アクセスしないでください。

*1 16ビットレジスタ (TCNT、TGR) は8ビット単位のR/Wはできません。

*2 フラグをクリアするための0書き込みのみ可能です。

8.2 レジスタの説明

8.2.1 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は各チャンネルの TCNT カウンタを制御するレジスタです。MTU には、チャンネル 0~2 に各 1 本、計 3 本の TCR レジスタがあります。TCR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットで H'00 に初期化されます。

チャンネル 0 : TCR0

ビット:	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル 1、2 : TCR1、TCR2

ビット:	7	6	5	4	3	2	1	0
		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7、6、5 : カウンタクリア 2、1、0 (CCLR2、1、0)

TCNT カウンタのカウンタクリア要因を選択します。

8. マルチファンクションタイマパルスユニット (MTU)

チャンネル0

ビット7	ビット6	ビット5	機 能
CCLR2	CCLR1	CCLR0	
0	0	0	TCNTのクリア禁止 (初期値)
0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTをクリア
0	1	0	TGRBのコンペアマッチでTCNTをクリア
0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア ^{*1}
1	0	0	TCNTのクリア禁止
1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTをクリア ^{*2}
1	1	0	TGRDのコンペアマッチでTCNTをクリア ^{*2}
1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア ^{*1}

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

チャンネル1、2

ビット7	ビット6	ビット5	機 能
予約 ^{*2}	CCLR1	CCLR0	
0	0	0	TCNTのクリア禁止 (初期値)
0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTをクリア
0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTをクリア
0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア ^{*1}

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 チャンネル1、2ではビット7は予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4、3： クロックエッジ1、0 (CKEG1、CKEG0)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります。(例：4/ の両エッジ=2/ の立ち上がりエッジ)

ビット4	ビット3	機 能
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
0	1	立ち下がりエッジでカウント
1	X	両エッジでカウント

- 【注】
1. X： 0または1、don't care を表します。
 2. 内部クロックのエッジ選択は、入力クロックが /4 もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャネルのオーバフローを選択した場合は本設定は無視されます。

ビット2~0： タイマプリスケラ2~0 (TPSC2~0)

TCNTのカウントクロックを選択します。各チャネル独立にクロックソースを選択する事ができます。各チャネルごとに設定可能なクロックソース一覧を表8.4に示します。

表8.4 MTUのクロックソース一覧

チャネル	内部クロック						他のチャネルのオーバフロー
	/1	/4	/16	/64	/256	/1024	
0							
1							
2							

[記号説明] : 設定可能、 : 設定不可

8. マルチファンクションタイマパルスユニット (MTU)

チャンネル0

ビット2	ビット1	ビット0	機 能
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： /1 でカウント (初期値)
0	0	1	内部クロック： /4 でカウント
0	1	0	内部クロック： /16 でカウント
0	1	1	内部クロック： /64 でカウント
1	0	0	予約 (設定しないでください)
1	0	1	予約 (設定しないでください)
1	1	0	予約 (設定しないでください)
1	1	1	予約 (設定しないでください)

チャンネル1

ビット2	ビット1	ビット0	機 能
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： /1 でカウント (初期値)
0	0	1	内部クロック： /4 でカウント
0	1	0	内部クロック： /16 でカウント
0	1	1	内部クロック： /64 でカウント
1	0	0	予約 (設定しないでください)
1	0	1	予約 (設定しないでください)
1	1	0	内部クロック： /256 でカウント
1	1	1	TCNT2のオーバーフローでカウント

チャンネル2

ビット2	ビット1	ビット0	機 能
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： /1 でカウント (初期値)
0	0	1	内部クロック： /4 でカウント
0	1	0	内部クロック： /16 でカウント
0	1	1	内部クロック： /64 でカウント
1	0	0	予約 (設定しないでください)
1	0	1	予約 (設定しないでください)
1	1	0	予約 (設定しないでください)
1	1	1	内部クロック： /1024 でカウント

8.2.2 タイマモードレジスタ (TMDR)

タイマモードレジスタ (TMDR) は各チャンネルの動作モードの設定を行います。MTU には、各チャンネル1本、計3本のTMDRレジスタがあります。TMDRレジスタは、8ビットの読み出し/書き込み可能なレジスタです。パワーオンリセットでH'COに初期化されます。

チャンネル0: TMDR0

ビット:	7	6	5	4	3	2	1	0
			BFB	BFA	MD3	MD2	MD1	MD0
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1、2: TMDR1、TMDR2

ビット:	7	6	5	4	3	2	1	0
					MD3	MD2	MD1	MD0
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット7、6: 予約ビット

予約ビットです。読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット5 : バッファ動作 B (BFB)

TGRB レジスタを通常動作させるか TGRB レジスタと TGRD レジスタを組み合わせ
てバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとし
て使用した場合は、TGRD レジスタのインプットキャプチャ/アウトプットコンパ
アは発生しません。

TGRD レジスタを持たないチャンネル 1、2 ではこのビットは予約ビットになります。
読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット5	機 能
B F B	
0	TGRB は通常動作 (初期値)
1	TGRB と TGRD はバッファ動作

ビット4 : バッファ動作 (BFA)

TGRA レジスタを通常動作させるか TGRA レジスタと TGRC レジスタを組み合わ
せてバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとし
て使用した場合は、TGRC レジスタのインプットキャプチャ/アウトプットコンパ
アは発生しません。

TGRC レジスタを持たないチャンネル 1、2 ではこのビットは予約ビットになります。
読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット4	機 能
B F A	
0	TGRA は通常動作 (初期値)
1	TGRA と TGRC はバッファ動作

ビット3~0 : モード3~0 (MD3~MD0)

MD3~0はタイマの動作モードを設定します。

ビット3	ビット2	ビット1	ビット0	機 能
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	予約 (設定しないでください)
0	0	1	0	PWM モード1
0	0	1	1	PWM モード2
0	1	*	*	予約 (設定しないでください)
1	*	*	*	予約 (設定しないでください)

(* : Don't Care)

8.2.3 タイマ I/O コントロールレジスタ (TIOR)

タイマ I/O コントロールレジスタ (TIOR) は TGR を制御するレジスタです。MTU には、チャンネル 0 に 2 本、チャンネル 1、2 に各 1 本、計 4 本の TIOR レジスタがあります。TIOR レジスタはパワーオンリセットで H'00 に初期化されます。

チャンネル 0 : TIOR0H

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	IOA3	IOA2	IOA1	IOA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

チャンネル 1、2 : TIOR1、TIOR2

ビット:	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7~4 : I/O コントロール B3~0 (IOB3~IOB0)

IOB3~IOB0 は TGRB レジスタの機能を設定します。

(TIOR1、TIOR2 のみ。TIOR0H は予約ビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。)

ビット 3~0 : I/O コントロール A3~0 (IOA3~IOA0)

IOA3~IOA0 は TGRA レジスタの機能を設定します。

チャンネル 0 : TIOR0L

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	IOC3	IOC2	IOC1	IOC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

【注】 TGRC、あるいは TGRD レジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

ビット7~4：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3~0：I/OコントロールC3~0 (IOC3~IOC0)

IOC3~IOC0はTGRCレジスタの機能を設定します。

チャンネル0 (TIOR0Hレジスタ)

ビット7~4：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3~0：I/OコントロールA3~0 (IOA3~IOA0)

IOA3~IOA0はTGR0Aレジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	機 能		
IOA3	IOA2	IOA1	IOA0			
0	0	0	0	TGR0Aは アウトプット コンペア レジスタ	出力禁止 (初期値)	
0	0	0	1		初期出力は 0出力	コンペアマッチで0出力
0	0	1	0			コンペアマッチで1出力
0	0	1	1			コンペアマッチでトグル出力
0	1	0	0	TGR0Aは インプット キャプチャ レジスタ	出力禁止	
0	1	0	1		初期出力は 1出力	コンペアマッチで0出力
0	1	1	0			コンペアマッチで1出力
0	1	1	1			コンペアマッチでトグル出力
1	0	0	0	TGR0Aは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOC0A端子	立ち上がりエッジでインプットキャプチャ
1	0	0	1			立ち下がりエッジでインプットキャプチャ
1	0	1	0			両エッジでインプットキャプチャ
1	0	1	1			
1	1	0	0		キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1のカウントアップ/カウン トダウンでインプットキャプチャ
1	1	0	1			
1	1	1	0			
1	1	1	1			

チャンネル0 (TIOR0Lレジスタ)

ビット7~4：予約ビット

読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

8. マルチファンクションタイマパルスユニット (MTU)

ビット3~0 : I/O コントロール C3~0 (IOC3~IOC0)

IOC3~IOC0はTGR0Cレジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	機 能			
IOC3	IOC2	IOC1	IOC0				
0	0	0	0	TGR0Cは アウトプット	出力禁止 (初期値)		
0	0	0	1		初期出力は 0出力	コンペアマッチで0出力	
0	0	1	0		コンペア	コンペアマッチで1出力	
0	0	1	1		レジスタ	コンペアマッチでトグル出力	
0	1	0	0	コンペア レジスタ	出力禁止		
0	1	0	1		初期出力は 1出力	コンペアマッチで0出力	
0	1	1	0		コンペア	コンペアマッチで1出力	
0	1	1	1		レジスタ	コンペアマッチでトグル出力	
1	0	0	0	TGR0Cは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOC0C端子	立ち上がりエッジでインプットキャプチャ	
1	0	0	1		キャプチャ	立ち下がりエッジでインプットキャプチャ	
1	0	1	0		レジスタ	両エッジでインプットキャプチャ	
1	0	1	1		キャプチャ	キャプチャ入力元	TCNT1のカウントアップ/カウン
1	1	0	0		レジスタ	はチャンネル1/ カウントクロック	トダウンでインプットキャプチャ
1	1	0	1		キャプチャ		
1	1	1	0		レジスタ		
1	1	1	1	キャプチャ			

【注】 TMDR0のBFAビットを1にセットしてTGR0Cをバッファレジスタとして使用した場合は本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

チャンネル1 (TIOR1 レジスタ)

ビット7~4 : I/O コントロール B3~0 (IOB3~IOB0)

IOB3~IOB0はTGR1Bレジスタの機能を設定します。

ビット7	ビット6	ビット5	ビット4	機 能		
IOB3	IOB2	IOB1	IOB0			
0	0	0	0	TGR1Bは アウトプット コンペア レジスタ	出力禁止 (初期値)	
0	0	0	1		初期出力は 0出力	コンペアマッチで0出力 コンペアマッチで1出力
0	0	1	0		コンペア レジスタ	出力禁止
0	0	1	1		初期出力は 1出力	コンペアマッチで0出力 コンペアマッチで1出力 コンペアマッチでトグル出力
0	1	0	0	TGR1Bは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOC1B端子	立ち上がりエッジでインプットキャプチャ
0	1	0	1		立ち下がりエッジでインプットキャプチャ	
0	1	1	0		両エッジでインプットキャプチャ	
0	1	1	1		キャプチャ入力元 はTGR0Cコンペア マッチ/インプ ットキャプチャ	チャンネル0/TGR0Cのコンペアマ ッチ/インプットキャプチャの 発生でインプットキャプチャ
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

8. マルチファンクションタイマパルスユニット (MTU)

ビット3~0 : I/O コントロール A3~0 (IOA3~IOA0)

IOA3~IOA0 は TGR1A レジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	機 能		
IOA3	IOA2	IOA1	IOA0			
0	0	0	0	TGR1A は アウトプット コンペア レジスタ	出力禁止 (初期値)	
0	0	0	1		初期出力は 0 出力	コンペアマッチで 0 出力 コンペアマッチで 1 出力
0	0	1	0		コンペアマッチで 1 出力	コンペアマッチでトグル出力
0	0	1	1		出力禁止	
0	1	0	0	TGR1A は コンペア レジスタ	初期出力は 1 出力	コンペアマッチで 0 出力 コンペアマッチで 1 出力 コンペアマッチでトグル出力
0	1	0	1		コンペアマッチで 1 出力	コンペアマッチでトグル出力
0	1	1	0		コンペアマッチでトグル出力	
0	1	1	1			
1	0	0	0	TGR1A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC1A 端子	立ち上がりエッジでインプットキャプチャ
1	0	0	1			立ち下がりエッジでインプットキャプチャ
1	0	1	0			両エッジでインプットキャプチャ
1	0	1	1		キャプチャ入力元 は TGR0A コンペア マッチ/インプ ットキャプチャ	チャンネル 0/TGR0A のコンペアマ ッチ/インプットキャプチャの発 生でインプットキャプチャ
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

チャンネル2 (TIOR2 レジスタ)

ビット7~4 : I/O コントロール B3~0 (IOB3~IOB0)

IOB3~IOB0 は TGR2B レジスタの機能を設定します。

ビット7	ビット6	ビット5	ビット4	機 能		
IOB3	IOB2	IOB1	IOB0			
0	0	0	0	TGR2B は アウトプット コンペア レジスタ	出力禁止 (初期値)	
0	0	0	1		初期出力は 0 出力	コンペアマッチで 0 出力
0	0	1	0		0 出力	コンペアマッチで 1 出力
0	0	1	1		コンペアマッチでトグル出力	
0	1	0	0	TGR2B は インプット キャプチャ レジスタ	出力禁止	
0	1	0	1		初期出力は 1 出力	コンペアマッチで 0 出力
0	1	1	0		コンペアマッチで 1 出力	
0	1	1	1		コンペアマッチでトグル出力	
1	0	0	0	TGR2B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC2B 端子	立ち上がりエッジでインプットキャプチャ
1	0	0	1			立ち下がりエッジでインプットキャプチャ
1	0	1	0			両エッジでインプットキャプチャ
1	0	1	1			
1	1	0	0			立ち上がりエッジでインプットキャプチャ
1	1	0	1			立ち下がりエッジでインプットキャプチャ
1	1	1	0			両エッジでインプットキャプチャ
1	1	1	1			

8. マルチファンクションタイマパルスユニット (MTU)

ビット3～0 : I/O コントロール A3～0 (IOA3～IOA0)

IOA3～IOA0はTGR2Aレジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	機 能		
IOA3	IOA2	IOA1	IOA0			
0	0	0	0	TGR2Aは アウトプット コンペア レジスタ	出力禁止 (初期値)	
0	0	0	1		初期出力は 0出力	コンペアマッチで0出力
0	0	1	0		コンペアマッチで1出力	
0	0	1	1		コンペアマッチでトグル出力	
0	1	0	0		出力禁止	
0	1	0	1		初期出力は 1出力	コンペアマッチで0出力
0	1	1	0		コンペアマッチで1出力	
0	1	1	1		コンペアマッチでトグル出力	
1	0	0	0	TGR2Aは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOC2A端子	
1	0	0	1		立ち上がりエッジでインプット キャプチャ	
1	0	1	0		立ち下がりエッジでインプット キャプチャ	
1	0	1	1		両エッジでインプットキャプチャ	
1	1	0	0		立ち上がりエッジでインプット キャプチャ	
1	1	0	1		立ち下がりエッジでインプット キャプチャ	
1	1	1	0		両エッジでインプットキャプチャ	
1	1	1	1			

8.2.4 タイマインタラプトイネーブルレジスタ (TIER)

タイマインタラプトイネーブルレジスタ (TIER) は、各チャンネルの割り込み要求の許可、禁止を制御します。MTUには、各チャンネル1本、計3本のTIERレジスタがあります。TIERレジスタは、8ビットのレジスタです。パワーオンリセットでH'40に初期化されます。

チャンネル0： TIER0

ビット：	7	6	5	4	3	2	1	0
	TTGE			TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値：	0	1	0	0	0	0	0	0
R/W：	R/W	R	R	R/W	R/W	R/W	R/W	R/W

チャンネル1、2： TIER1、TIER2

ビット：	7	6	5	4	3	2	1	0
	TTGE			TCIEV			TGIEB	TGIEA
初期値：	0	1	0	0	0	0	0	0
R/W：	R/W	R	R	R/W	R	R	R/W	R/W

ビット7：A/D変換開始要求イネーブル (TTGE)

TGRAレジスタのインプットキャプチャ/コンペアマッチによって、A/D変換開始要求の発生することを許可または禁止します。

ビット7	機 能	
TTGE		
0	A/D変換開始要求の発生を禁止	(初期値)
1	A/D変換開始要求の発生を許可	

ビット6：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4 : オーバフローインタラプトイネーブル (TCIEV)

タイムステータスレジスタ (TSR) のオーバフローフラグ (TCFV) が1にセットされたとき、TCFVによる割り込み要求を許可または禁止します。

ビット4	機 能	
TCIEV		
0	TCFVによる割り込み要求 (TCIV) を禁止	(初期値)
1	TCFVによる割り込み要求 (TCIV) を許可	

ビット3 : TGR インタラプトイネーブルD (TGIED)

チャンネル0でTSRレジスタのTGFDビットが0にセットされたとき、TGFDによる割り込み要求許可または禁止します。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3		
TGIED		
0	TGFDビットによる割り込み要求 (TGID) を禁止	(初期値)
1	TGFDビットによる割り込み要求 (TGID) を許可	

ビット2 : TGR インタラプトイネーブルC (TGIEC)

チャンネル0でTSRレジスタのTGFCビットが1にセットされたとき、TGFCによる割り込み要求を許可または禁止します。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2	機 能	
TGIEC		
0	TGFCビットによる割り込み要求 (TGIC) を禁止	(初期値)
1	TGFCビットによる割り込み要求 (TGIC) を許可	

ビット1 : TGR インタラプトイネーブルB (TGIEB)

TSRレジスタのTGFBビットが1にセットされたとき、TGFBによる割り込み要求を許可または禁止します。

ビット1	機 能	
TGIEB		
0	TGFBビットによる割り込み要求 (TGIB) を禁止	(初期値)
1	TGFBビットによる割り込み要求 (TGIB) を許可	

ビット0 : TGR インタラプトイネーブルA (TGIEA)

TSRレジスタのTGFAビットが1にセットされたとき、TGFAによる割り込み要求を許可または禁止します。

ビット0	機 能	
TGIEA		
0	TGFAビットによる割り込み要求 (TGIA) を禁止	(初期値)
1	TGFAビットによる割り込み要求 (TGIA) を許可	

8.2.5 タイマステータスレジスタ (TSR)

タイマステータスレジスタ (TSR) は各チャンネルのステータスの表示を行います。MTU には、各チャンネル1本、計3本の TSR レジスタがあります。TSR レジスタは、8 ビットのレジスタです。パワーオンリセットで H'00 に初期化されます。

チャンネル0： TSR0

ビット：	7	6	5	4	3	2	1	0
				TCFV	TGFD	TGFC	TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0書き込みのみ可能です。

チャンネル1、2： TSR1、TSR2

ビット：	7	6	5	4	3	2	1	0
				TCFV			TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R	R/(W)*	R	R	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0書き込みのみ可能です。

ビット7、6：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4 : オーバフローフラグ (TCFV)

TCNT カウンタのオーバフローの発生を示すステータスフラグです。

ビット4	機 能
TCFV	
0	[クリア条件] (初期値) TCFV=1 の状態で TCFV を読み出した後、TCFV に 0 を書き込んだとき
1	[セット条件] TCNT の値がオーバフロー (H'FFFF H'0000) したとき。

ビット3 : アウトプットコンペアフラグ D (TGFD)

チャンネル 0 の TGRD レジスタのコンペアマッチの発生を示すステータスフラグです。

チャンネル 1、2 では予約ビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット3	機 能
TGFD	
0	[クリア条件] (初期値) TGFD=1 の状態で TGFD を読み出した後、TGFD に 0 を書き込んだとき
1	[セット条件] TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRD になったとき

ビット2：インプットキャプチャ/アウトプットコンペアフラグC (TGFC)

チャンネル0のTGRCレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2	機 能
TGFC	
0	[クリア条件] (初期値) TGFC=1の状態ではTGFCを読み出した後、TGFCに0を書き込んだとき
1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRCになったとき (2) TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

ビット1：アウトプットコンペアフラグB (TGFB)

TGRBレジスタのコンペアマッチの発生を示すステータスフラグです。

ビット1	機 能
TGFB	
0	[クリア条件] (初期値) TGFB=1の状態ではTGFBを読み出した後、TGFBに0を書き込んだとき
1	[セット条件] TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき

ビット0 : インพุットキャプチャ/アウトプットコンペアフラグ A (TGFA)

TGFA レジスタのインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	機 能
TGFA	
0	[クリア条件] (初期値) TGFA=1 の状態で TGFA を読み出した後、TGFA に 0 を書き込んだとき
1	[セット条件] (1) TGRA がアウトプットコンペアレジスタとして機能している場合、 TCNT=TGRA になったとき (2) TGRA がインพุットキャプチャとして機能している場合、 インพุットキャプチャ信号により TCNT の値が TGRA に転送されたとき

8.2.6 タイマカウンタ (TCNT)

タイマ TCNT カウンタ (TCNT) は 16 ビットのカウンタです。各チャンネルに 1 本、計 3 本の TCNT カウンタがあります。TCNT カウンタは、パワーオンリセットで H'0000 に初期化されます。TCNT カウンタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

チャンネル 0 : TCNT0 (アップカウンタ)

チャンネル 1 : TCNT1 (アップカウンタ)

チャンネル 2 : TCNT2 (アップカウンタ)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8.2.7 タイマジェネラルレジスタ (TGR)

タイマジェネラルレジスタ (TGR) は 16 ビットのアウトプットコンペア・インプットキャプチャ兼用のレジスタです。チャンネル 0 に 4 本、チャンネル 1、2 に各 2 本、計 8 本のジェネラルレジスタがあります。チャンネル 0 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRA と TGRC、TGRB と TGRD になります。

TGR はパワーオンリセットで H'FFFF に初期化されます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8.2.8 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) はチャンネル0~2のTCNTカウンタの動作/停止を選択します。TSTRレジスタは、8ビットの読み出し/書き込み可能なレジスタです。パワーオンリセットでH'00に初期化されます。

ビット:	7	6	5	4	3	2	1	0
						CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット7~3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2~0: カウンタスタート2~0 (CST2~CST0)

タイマカウンタ (TCNT) の動作/停止を選択します。ビットとチャンネルの対応は下記のとおりです。

CST2: チャンネル2 (TCNT2)

CST1: チャンネル1 (TCNT1)

CST0: チャンネル0 (TCNT0)

ビット n	機 能
CSTn	
0	TCNTn のカウント動作は停止 (初期値)
1	TCNTn はカウント動作

【注】 n = 2~0。

TIOC 端子を出力状態で動作中に、CST ビットに0書き込むと、カウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが0の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

8.2.9 タイマシンクロレジスタ (TSYR)

タイマシンクロレジスタ (TSYR) はチャンネル 0~2 の TCNT カウンタの独立動作 / 同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。TSYR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
						SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット 7~3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2~0 : タイマ同期 2~0 (SYNC2~SYNC0)

他のチャンネルとの独立動作 / 同期動作を選択します。同期動作を選択すると複数の TCNT の同期プリセットや他チャンネルのカウンタクリアによる同期クリアが可能となります。同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR レジスタの CCLR2~CCLR0 ビットで、TCNT カウンタのクリア要因を設定する必要があります。ビットとチャンネルの対応は下記のとおりです。

SYNC2 : チャンネル 2 (TCNT2)

SYNC1 : チャンネル 1 (TCNT1)

SYNC0 : チャンネル 0 (TCNT0)

ビット n	機 能
SYNC n	
0	タイマカウンタ (TCNTn) は独立動作 (TCNTn のプリセット / クリアは他チャンネルと無関係) (初期値)
1	タイマカウンタは同期動作 ¹ TCNTn の同期プリセット / 同期クリア ² が可能

【注】 n = 2 ~ 0。

- *1 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。
- *2 同期クリアの設定には、SYNC ビットの他に TCR レジスタの CCLR2 ~ CCLR0 ビットで、TCNT カウンタのクリア要因を設定する必要があります。

8.3 バスマスタとのインタフェース

8.3.1 16 ビットレジスタ

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。16 ビットレジスタのアクセス動作例を図 8.2 に示します。

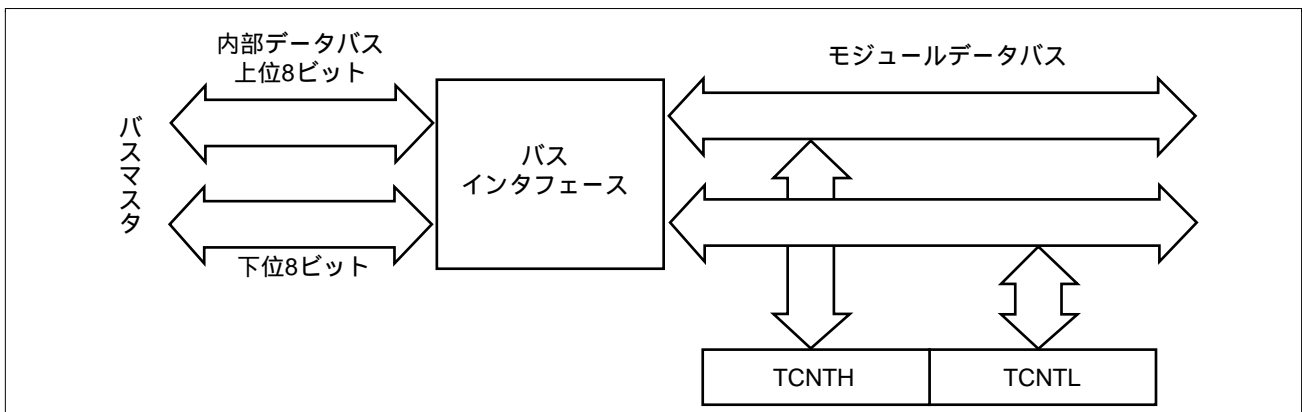


図 8.2 16 ビットレジスタのアクセス動作 [バスマスタ TCNT (16 ビット)]

8.3.2 8ビットレジスタ

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR) 以外のレジスタは8ビットのレジスタです。CPUとの間のデータバスは16ビット幅なので、16ビット単位での読み出し/書き込みが可能です。また、8ビット単位での読み出し/書き込みもできます。

8ビットレジスタのアクセス動作例を図8.3、図8.4、図8.5に示します。

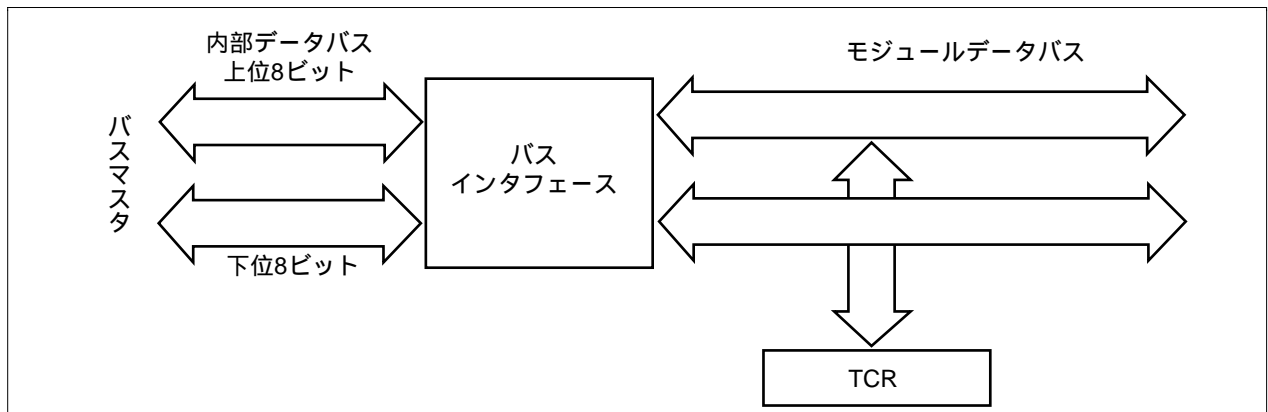


図 8.3 8ビットレジスタのアクセス動作 [バスマスタ TCR (上位8ビット)]

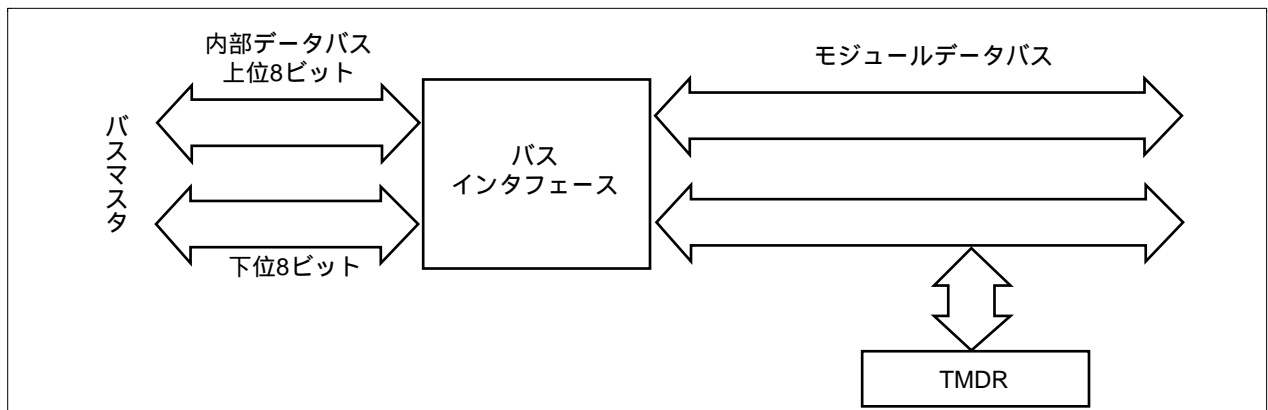


図 8.4 8ビットレジスタのアクセス動作 [バスマスタ TMDR (下位8ビット)]

8. マルチファンクションタイマパルスユニット (MTU)

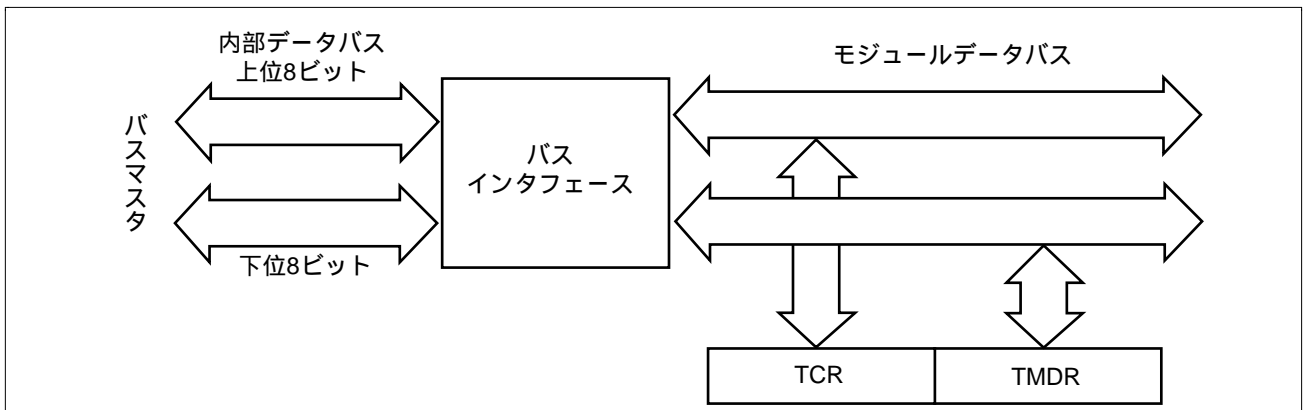


図 8.5 8ビットレジスタのアクセス動作 [バスマスタ TCR、TMDR (16ビット)]

8.4 動作説明

8.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャンネルには、TCNT カウンタと TGR レジスタがあります。TCNT カウンタは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT カウンタは、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT カウンタを書き換えると他のチャンネルの TCNT カウンタも同時に書き換えられます。また、同期動作に設定された複数のチャンネルの TSYR レジスタのタイマ同期ビットの設定により、TCNT カウンタの同期クリアが可能です。

(3) バッファ動作

- (a) TGR レジスタがアウトプットコンペアレジスタの場合、コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TGR レジスタに転送されます。
- (b) TGR がインプットキャプチャレジスタの場合、インプットキャプチャが発生すると TCNT カウンタの値が TGR レジスタに転送されると同時に、それまで格納されていた TGR レジスタの値がバッファレジスタに転送されます。

(4) カスケード接続動作

チャンネル 1 カウンタ (TCNT1) とチャンネル 2 カウンタ (TCNT2) を接続して 32 ビットカウンタとして動作させることができます。

(5) PWMモード

PWM 波形を出力するモードです。出力レベルは TIOR レジスタにより設定できます。各 TGR レジスタの設定により、デューティ 0~100%の PWM 波形が出力できます。

8.4.2 基本機能

MTU の外部端子の機能設定は必ずピンファンクションコントローラ (PFC)で行ってください。

(1) カウンタの動作

タイムスタートレジスタ (TSTR) の CST0~CST2 ビットを 1 にセットすると、対応するチャンネルの TCNT カウンタはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 8.6 に示します。

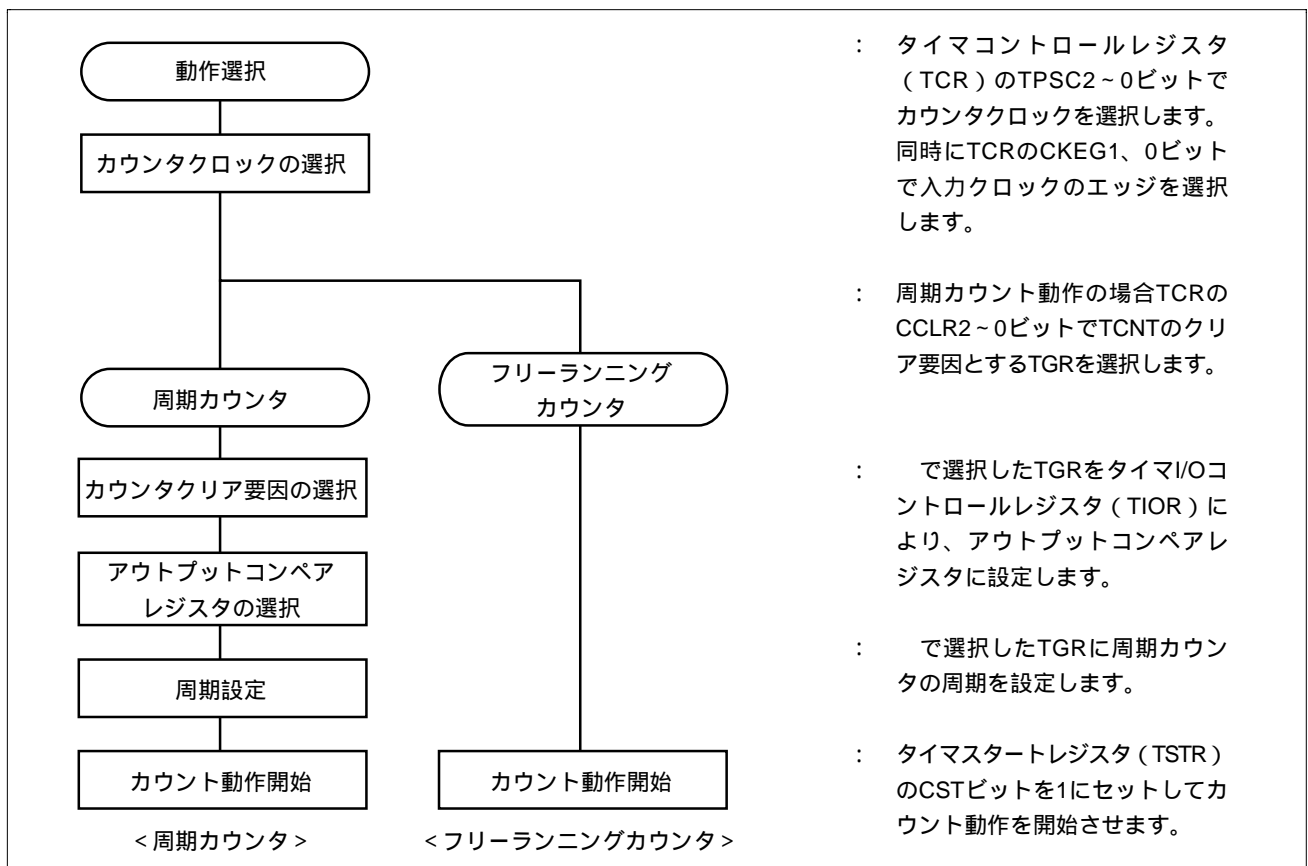


図 8.6 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作例

MTU のタイマカウンタ (TCNT) は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR レジスタの対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT カウンタがオーバーフロー (H'FFFF H'0000) すると、タイマステータスレジスタ (TSR) の TCFV ビットが 1 にセットされます。このとき、対応するタイムインタラプトイネーブルレジスタ (TIER) の TCIEV ビットが 1 ならば、MTU は割り込みコントローラに対して、割り込みを要求します。TCNT カウンタはオーバーフロー後、H'0000 からアップカウント動作を続けます。フリーランニングカウンタの動作を図 8.7 に示します。

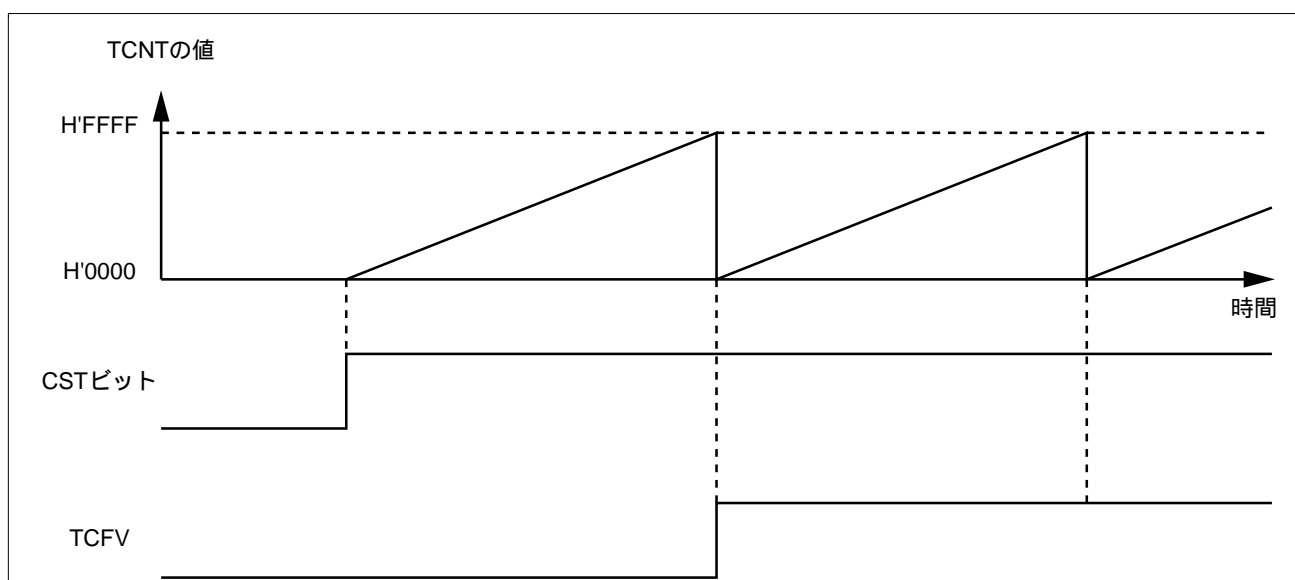


図 8.7 フリーランニングカウンタの動作

(c) 周期カウント動作例

TCNTカウンタのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTカウンタは周期カウント動作を行います。周期設定用のTGRレジスタをアウトプットコンペアレジスタに設定し、タイマコントロールレジスタ(TCR)のCCLR2~CCLR0ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRレジスタの対応するビットを1にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値がTGRレジスタの値と一致すると、TSRレジスタのTGFビットが1にセットされ、TCNTカウンタはH'0000にクリアされます。このとき対応するTIERレジスタのTGIEビットが1ならば、MTUは割り込みコントローラに対して、割り込みを要求します。TCNTカウンタはコンペアマッチ後、H'0000からアップカウント動作を継続します。周期カウンタの動作を図8.8に示します。

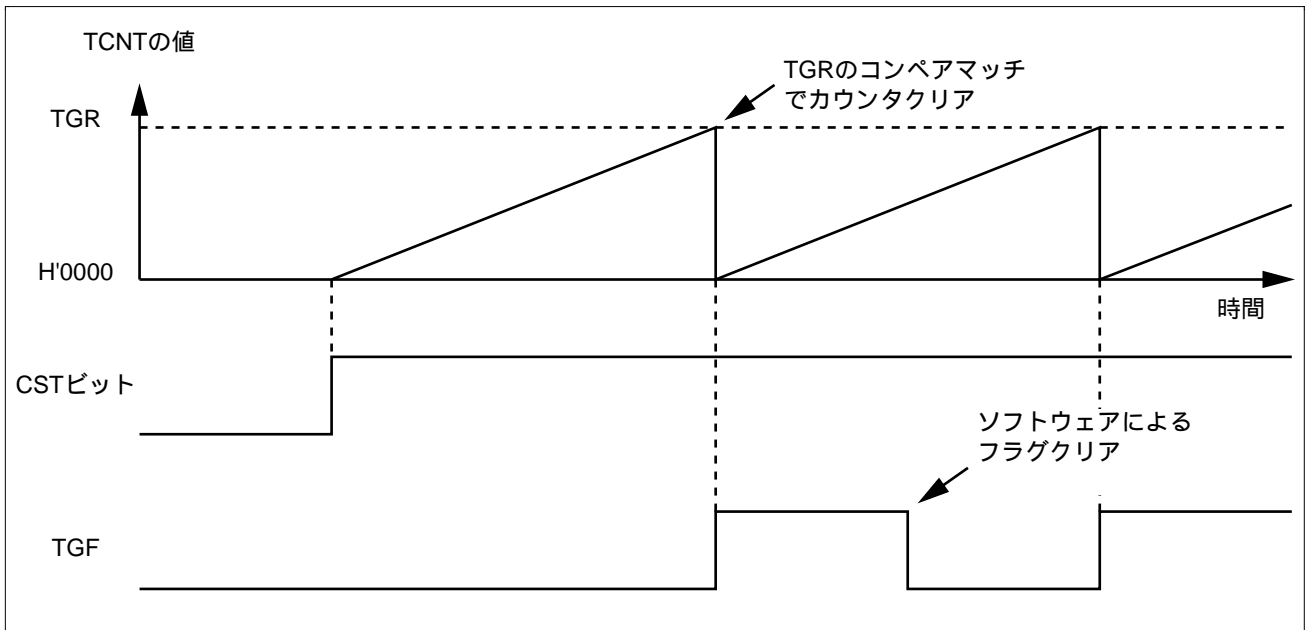


図 8.8 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTUは、コンペアマッチにより対応する出力端子から0出力/1出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図8.9に示します。

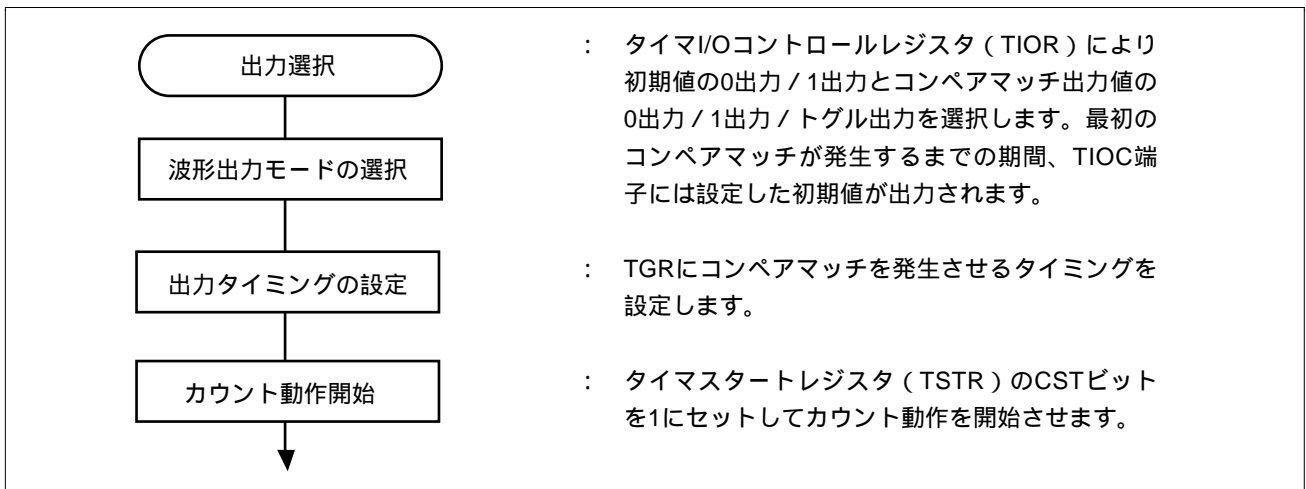


図 8.9 コンペアマッチによる波形出力動作例

(b) 波形出力動作例 (0 出力 / 1 出力)

0 出力 / 1 出力例を図 8.10 に示します。

TCNT カウンタをフリーランカウント動作、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

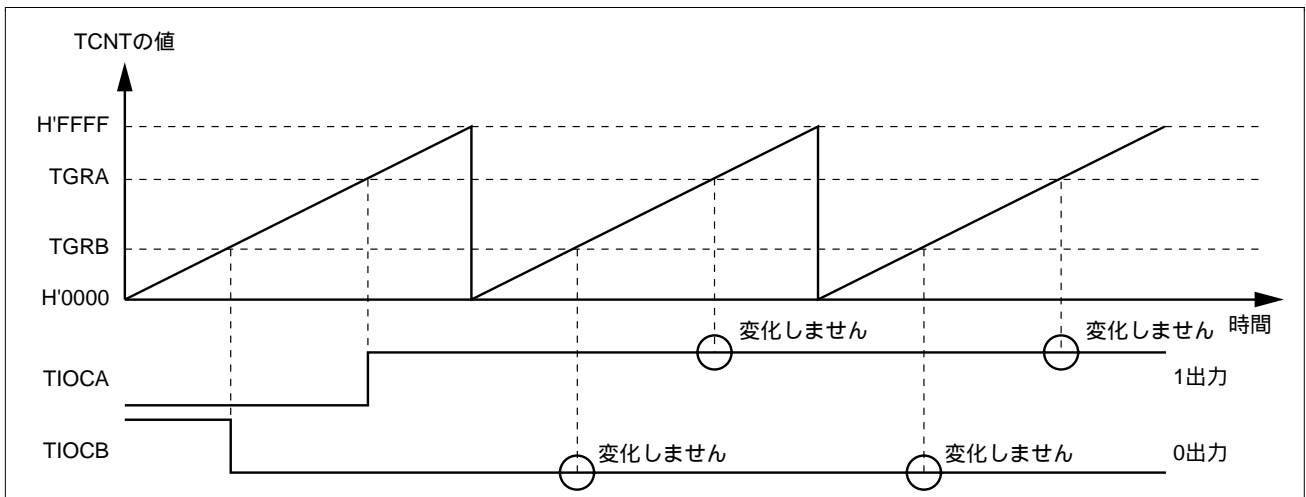


図 8.10 0 出力 / 1 出力の動作例

(c) 波形出力動作例 (トグル出力)

トグル出力の例を図 8.11 に示します。

TCNT カウンタを周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

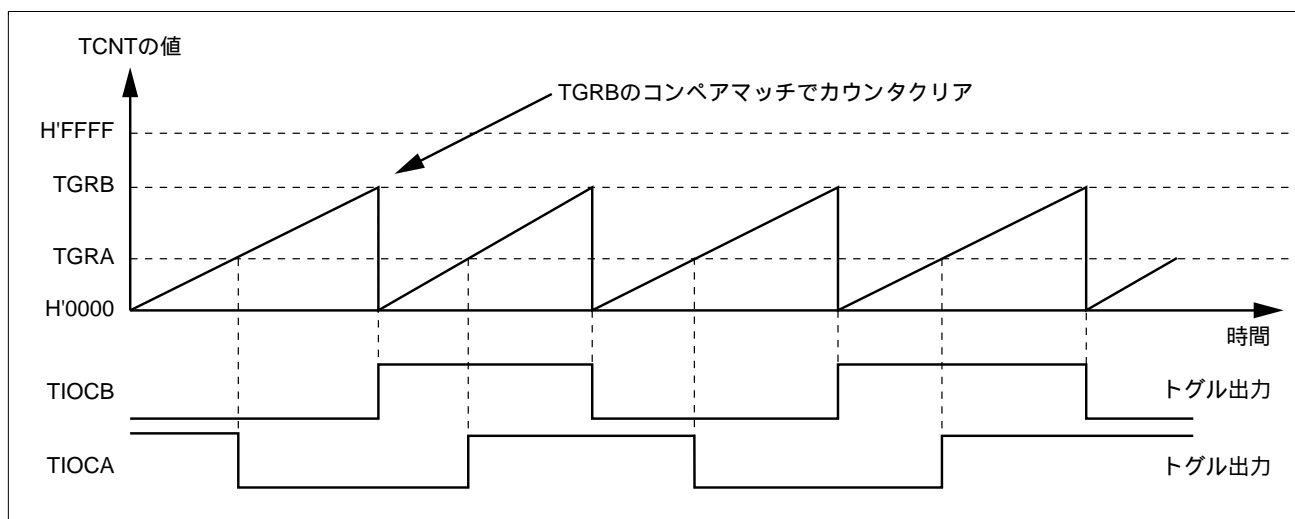


図 8.11 トグル出力の動作例

(3) インพุットキャプチャ機能

インพุットキャプチャ/アウトプットコンペア端子 (TIOC) の入力エッジを検出してタイマカウンタ (TCNT) の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 8.12 に示します。

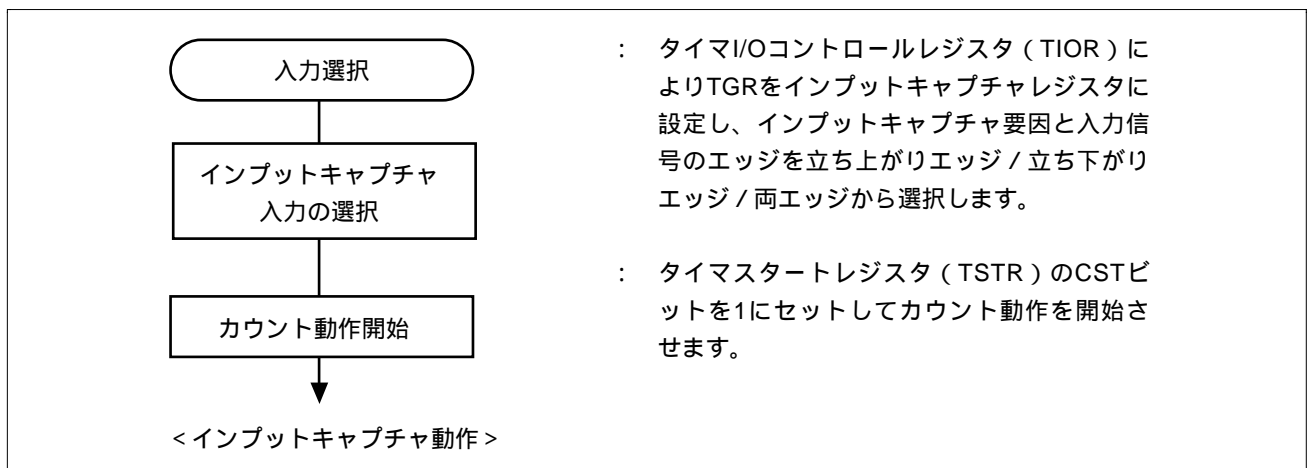


図 8.12 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 8.13 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下りの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下りエッジを選択し、TCNT カウンタは TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

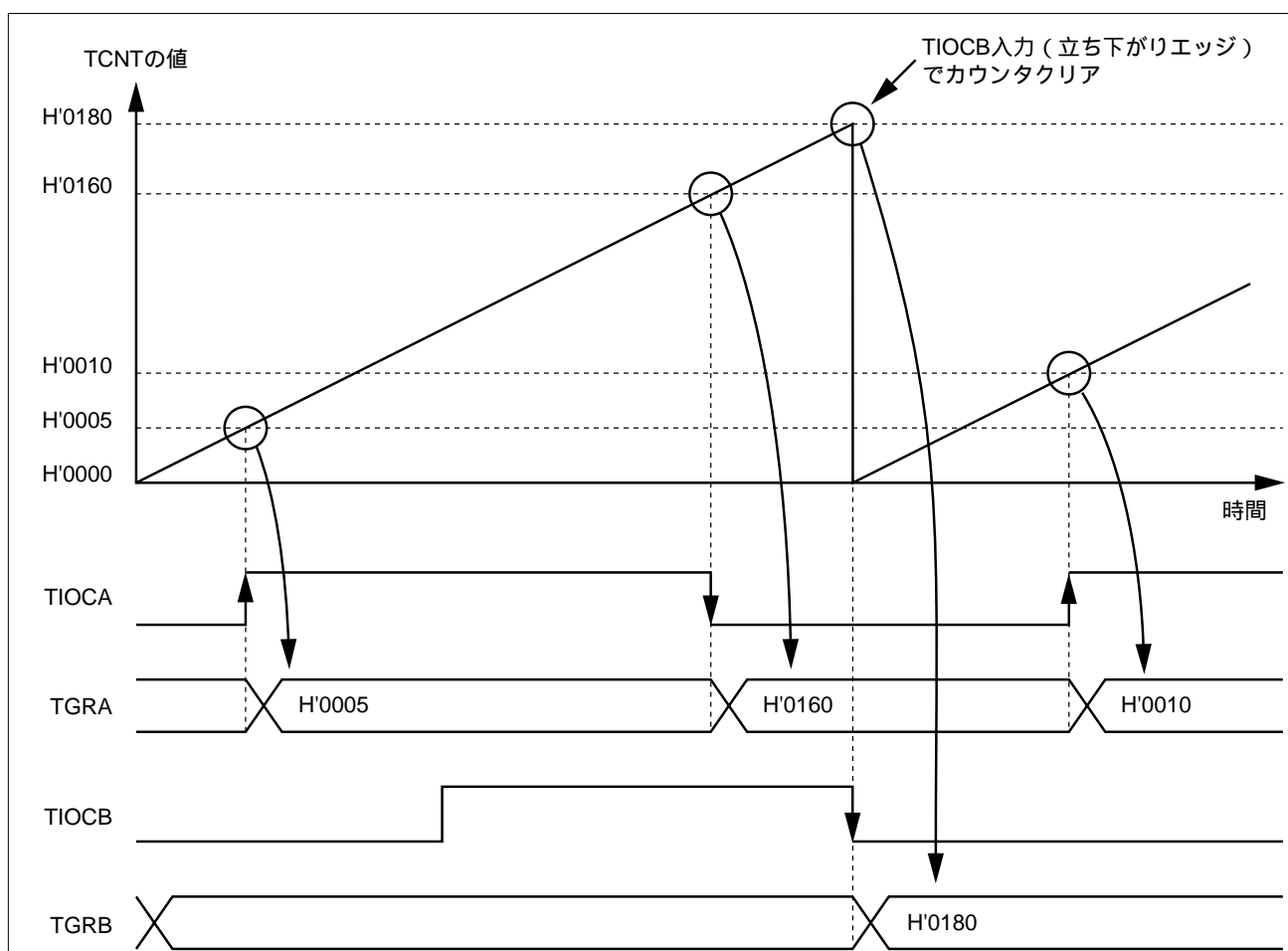


図 8.13 インพุットキャプチャ動作例

8.4.3 同期動作

同期動作には、同期プリセットと同期クリアがあります。同期プリセットは、複数のタイマカウンタ (TCNT) の値を同時に書き換えることができます。同期クリアは、タイマコントロールレジスタ (TCR) の設定により複数の TCNT カウンタを同時にクリアすることができます。

同期動作により、1つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。チャンネル0~2はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 8.14 に示します。

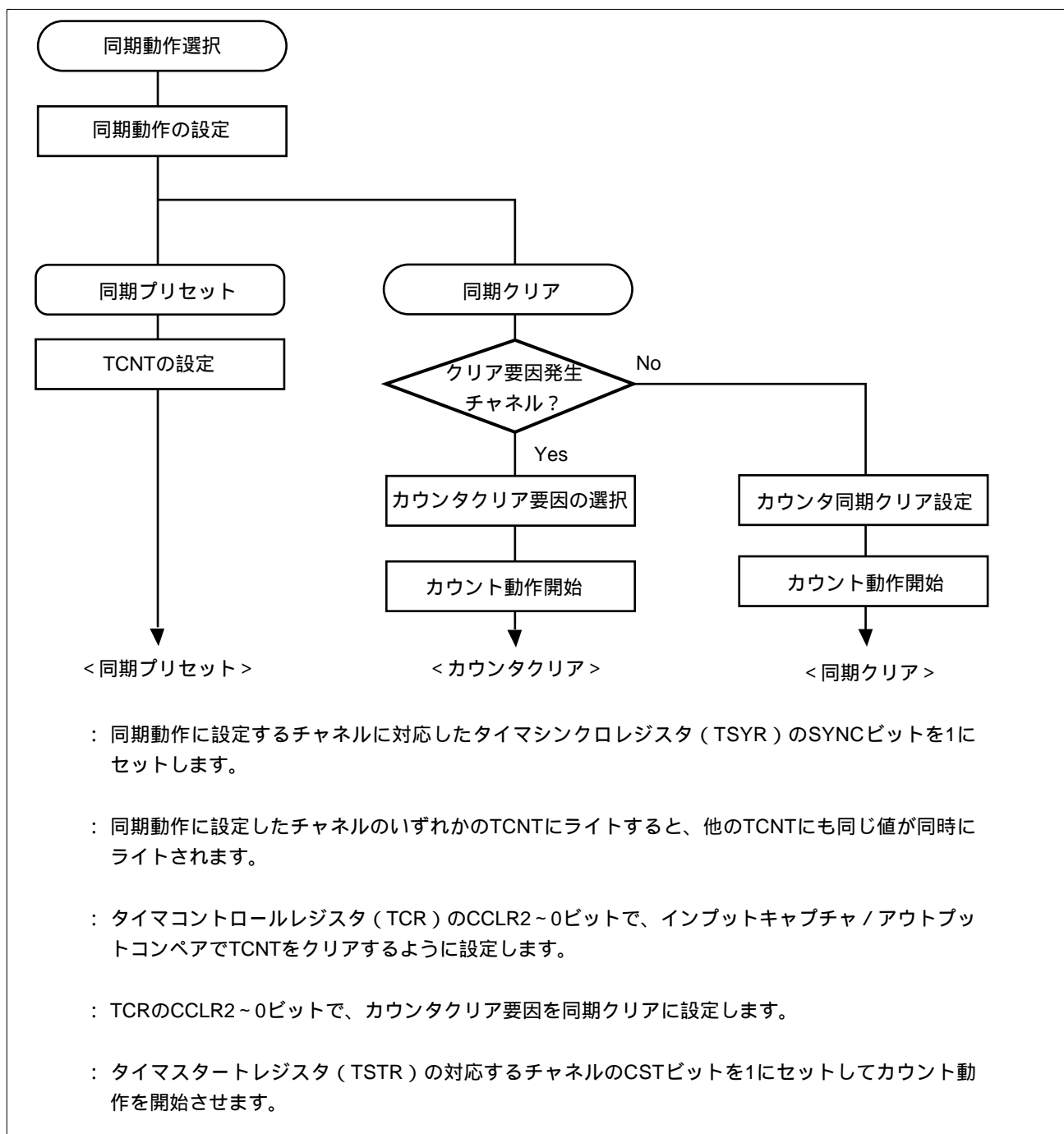


図 8.14 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 8.15 に示します。

チャンネル0~2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGR0Bレジスタのコンペアマッチに設定し、チャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。このとき、チャンネル0~2のTCNTカウンタは、同期プリセットとTGR0Bレジスタのコンペアマッチによる同期クリアとが行われ、TGR0Bレジスタに設定したデータをPWM周期とする3相のPWM波形がTIOC0A、TIOC1A、TIOC2A端子から出力されます。

PWMモードについては、「8.4.6 PWMモード」を参照してください。

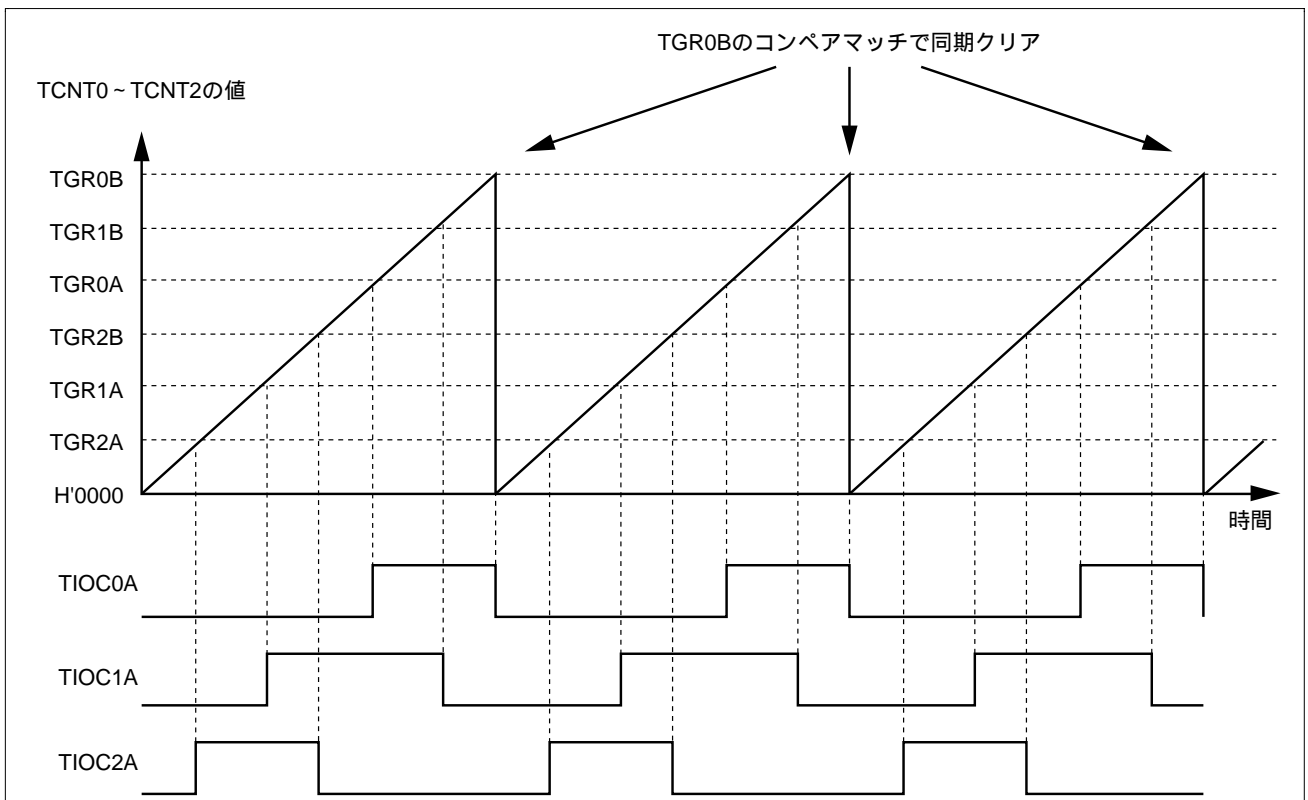


図 8.15 同期動作の動作例

8.4.4 バッファ動作

バッファ動作は、チャンネル0が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。バッファ動作時のレジスタの組み合わせを表 8.5 に示します。

表 8.5 レジスタの組み合わせ

チャンネル	ジェネラルレジスタ	バッファレジスタ
0	TGR0A	TGR0C
	TGR0B	TGR0D

バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、アウトプットコンペアレジスタに設定した場合でそれぞれで動作内容が異なります。

(a) TGR レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値がジェネラルレジスタに転送されます。この動作を図 8.16 に示します。

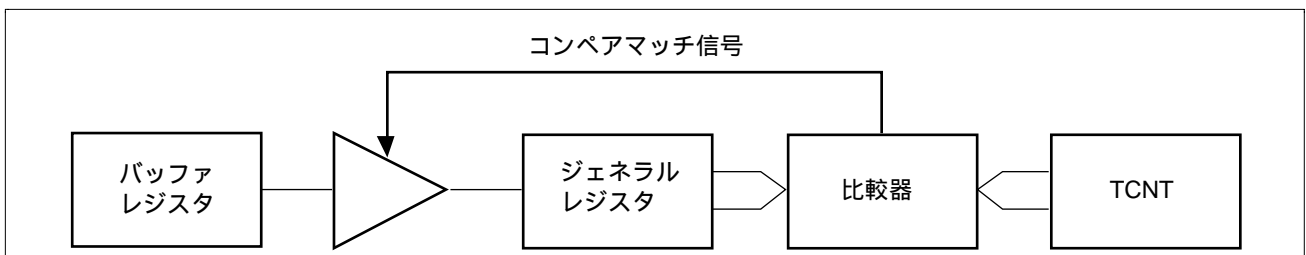


図 8.16 コンペアマッチバッファ動作

(b) TGR レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生するとタイマカウンタ (TCNT) の値を TGR レジスタに転送すると同時に、それまで格納されていたジェネラルレジスタの値をバッファレジスタに転送します。この動作を図 8.17 に示します。

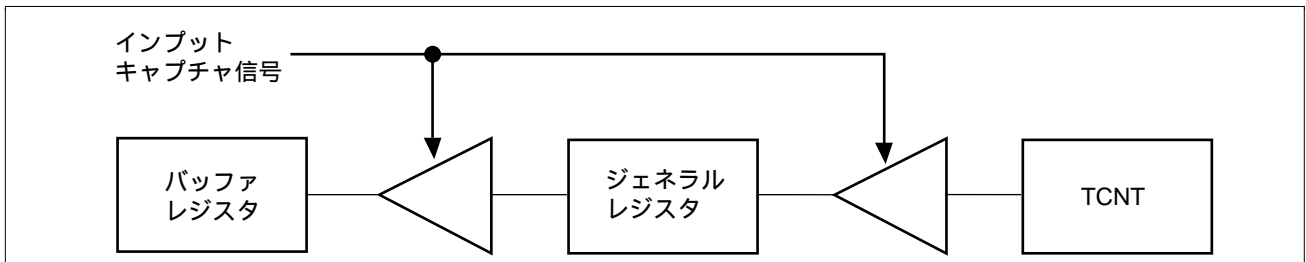


図 8.17 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 8.18 に示します。

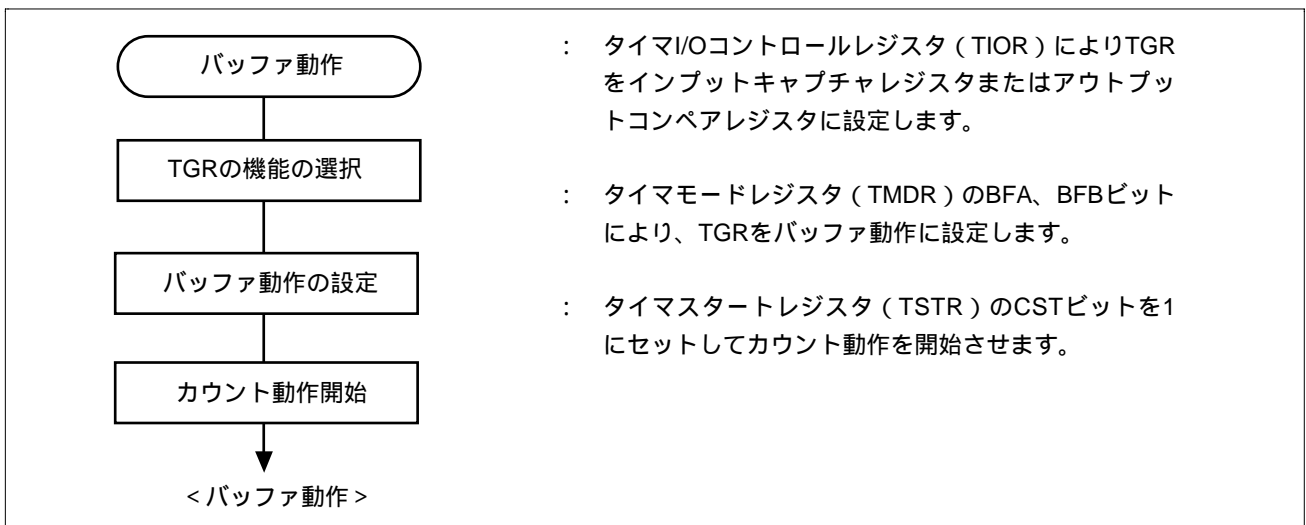


図 8.18 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR レジスタがアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRA レジスタとTGRC レジスタをバッファ動作に設定した場合の動作例を図8.19に示します。

TCNTカウンタはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「8.4.6 PWMモード」を参照してください。

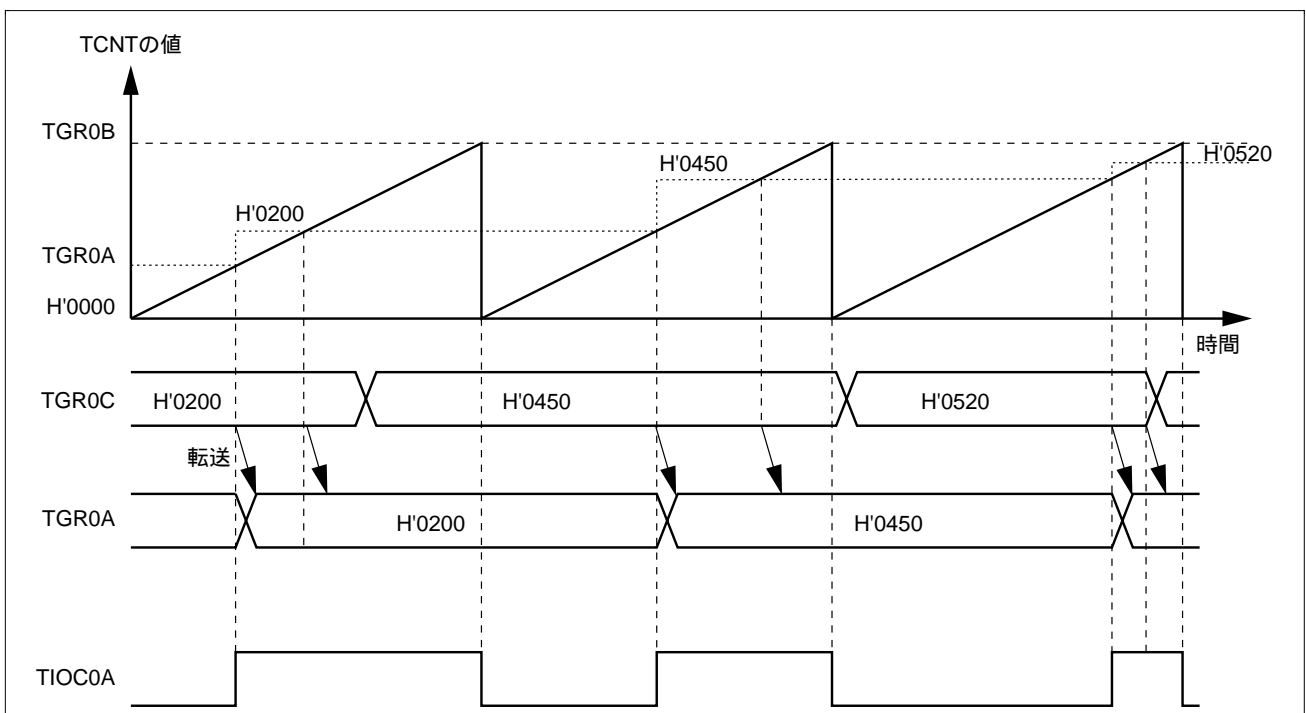


図 8.19 バッファ動作例 (アウトプットコンペアレジスタ)

(b) TGR レジスタがインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA レジスタと TGRB レジスタをバッファ動作に設定したときの動作例を図 8.20 に示します。

TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。バッファ動作が設定されているため、インプットキャプチャ A により TCNT カウンタの値が TGRA レジスタに格納されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

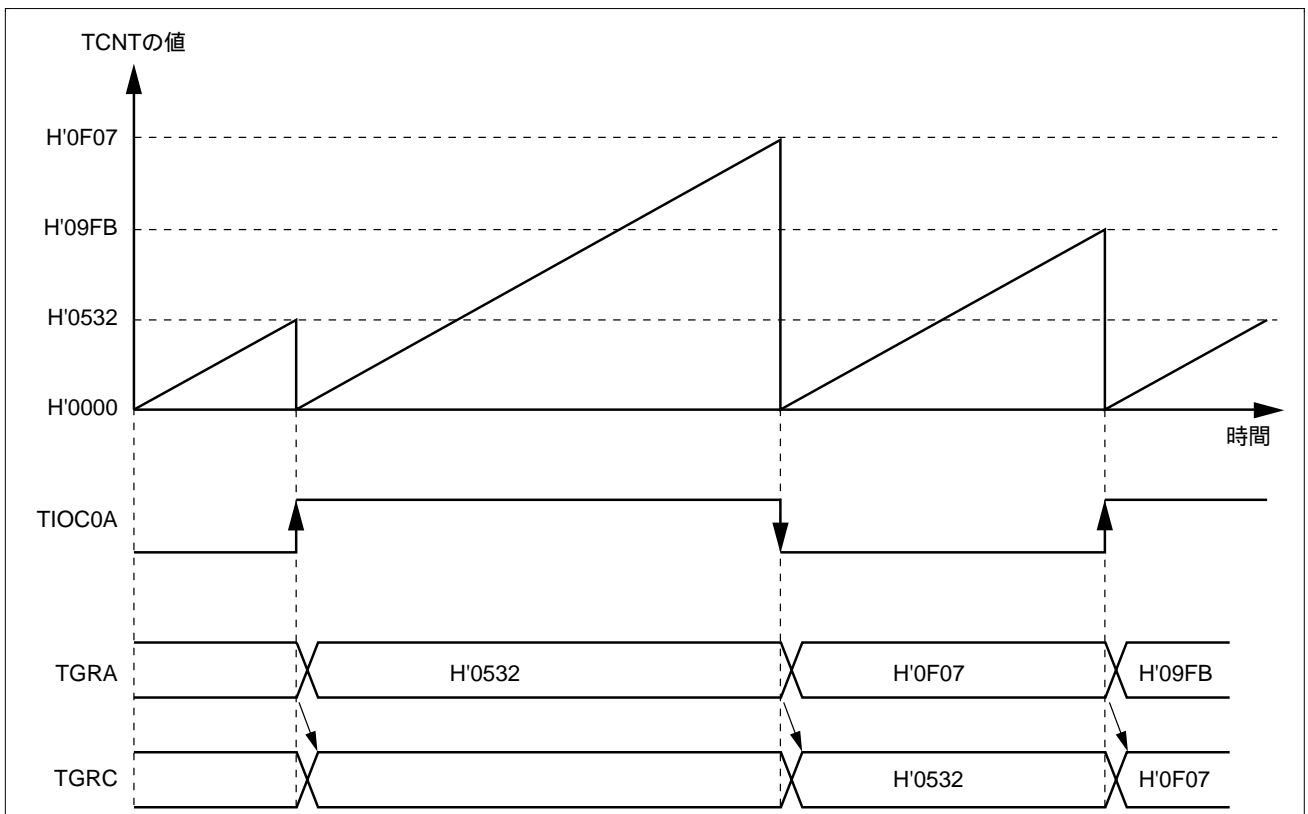


図 8.20 バッファ動作例 (インプットキャプチャレジスタ)

8.4.5 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1のカウンタクロックをTCRレジスタのTPSC2~TPSC0ビットで「TCNT2カウンタのオーバーフローでカウント」に設定することにより動作します。

カスケード接続の組み合わせを表8.6に示します。

表8.6 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1、チャンネル2	TCNT1	TCNT2

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図8.21に示します。

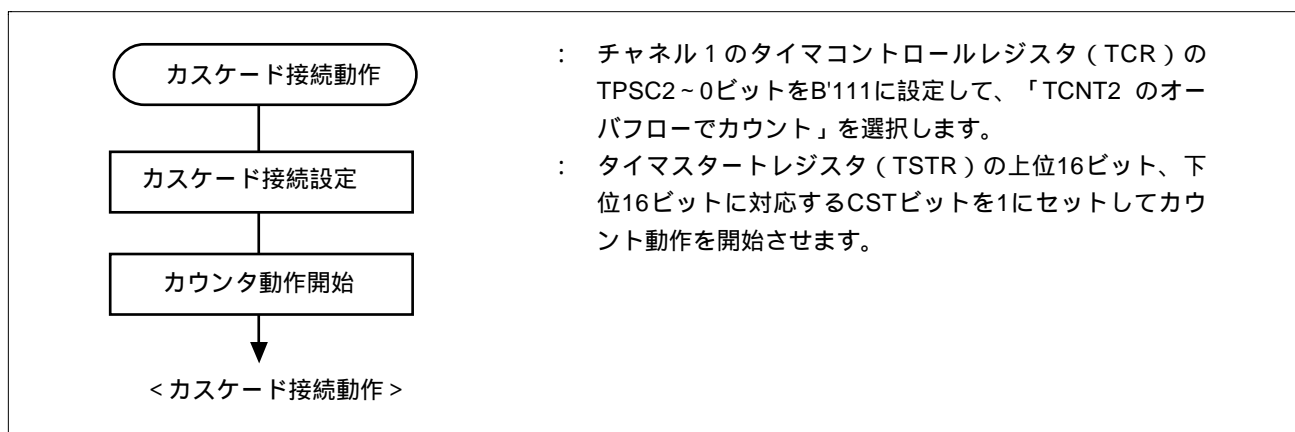


図8.21 カスケード接続動作設定手順

(2) カスケード接続動作例

(a) インพุットキャプチャ

TCNT1 カウンタは TCNT2 カウンタのオーバフローでカウント、TGR1A レジスタと TGR2A レジスタをインพุットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 8.22 に示します。

TIOC1A 端子と TIOC2A 端子に同時に立ち上がりエッジを入力することにより、TGR1A レジスタに上位 16 ビット、TGR2A レジスタに下位 16 ビットの 32 ビットデータが転送されます。

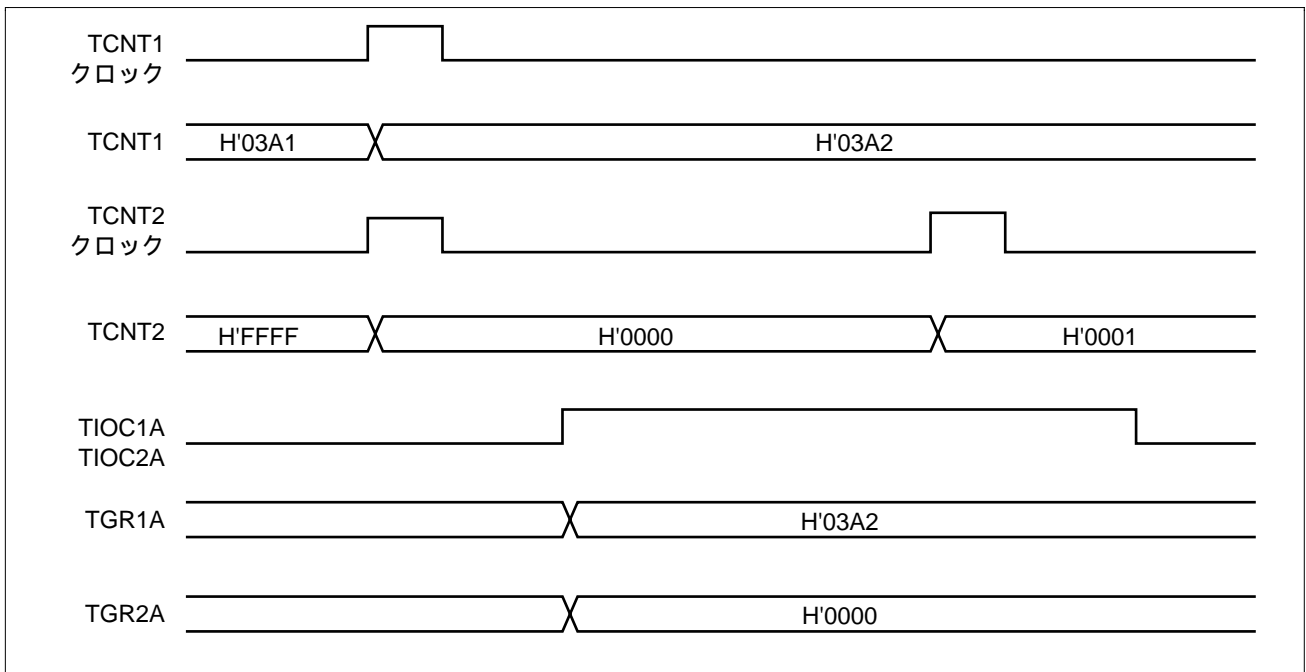


図 8.22 カスケード接続動作例 (インพุットキャプチャ)

8.4.6 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力のなかから選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードには下記に示す 2 種類があります。

PWM 出力端子とレジスタの対応を表 8.7 に示します。

表 8.7 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0 (ペア AB)	TGR0A TGR0B	TIOC0A	TIOC0A
0 (ペア CD)	TGR0C TGR0D	TIOC0C	TIOC0C
1	TGR1A TGR1B	TIOC1A	TIOC1A TIOC1B
2	TGR2A TGR2B	TIOC2A	TIOC2A TIOC2B

【注】 PWM モード 2 では、周期を設定した TGR の PWM 出力はできません。

(a) PWM モード 1

TGRA と TGRB レジスタ、TGRC と TGRD レジスタをそれぞれペアで使用して PWM 出力を生成します。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 4 相の PWM 出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他をデューティレジスタに使用して PWM 出力を生成します。カウンタのクリアによって各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 8.23 に示します。

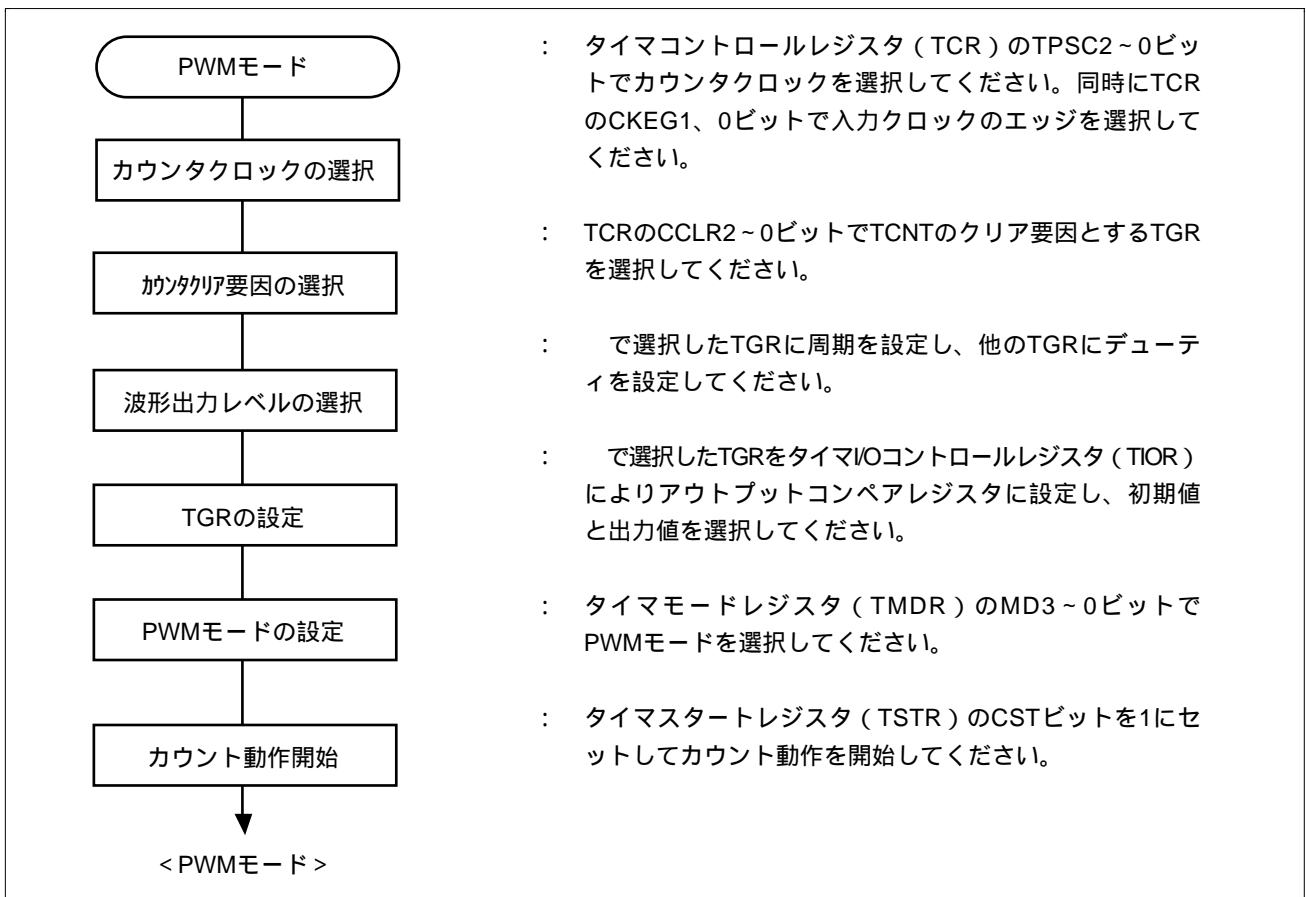


図 8.23 PWM モードの設定手順例

(2) PWMモードの動作例

(a) PWMモード1

PWMモード1の動作例を図8.24に示します。

TCNTカウンタのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値とアウトプットコンペア出力値を0、TGRBレジスタのアウトプットコンペア出力値を1出力に設定した場合の例です。この場合、TGRAレジスタに設定した値が周期となり、TGRBレジスタに設定した値がデューティになります。

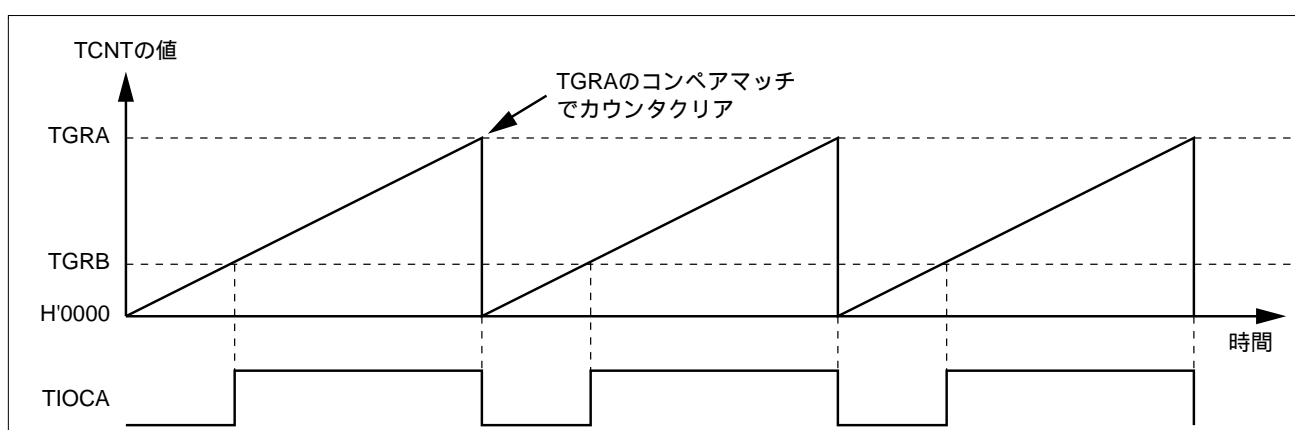


図 8.24 PWMモードの動作例 (モード1)

(b) PWM モード 2

PWM モード 2 の動作例を図 8.25 に示します。

チャンネル 0 と 1 を同期動作させ、TCNT カウンタのクリア要因を TGR1B レジスタのコンペアマッチとし、他の TGR レジスタの初期出力値を 0、アウトプットコンペア出力値を 1 に設定して 3 相の PWM 波形を出力させた場合の例です。この場合、TGR1B レジスタに設定した値が周期となり、他の TGR レジスタに設定した値がデューティになります。

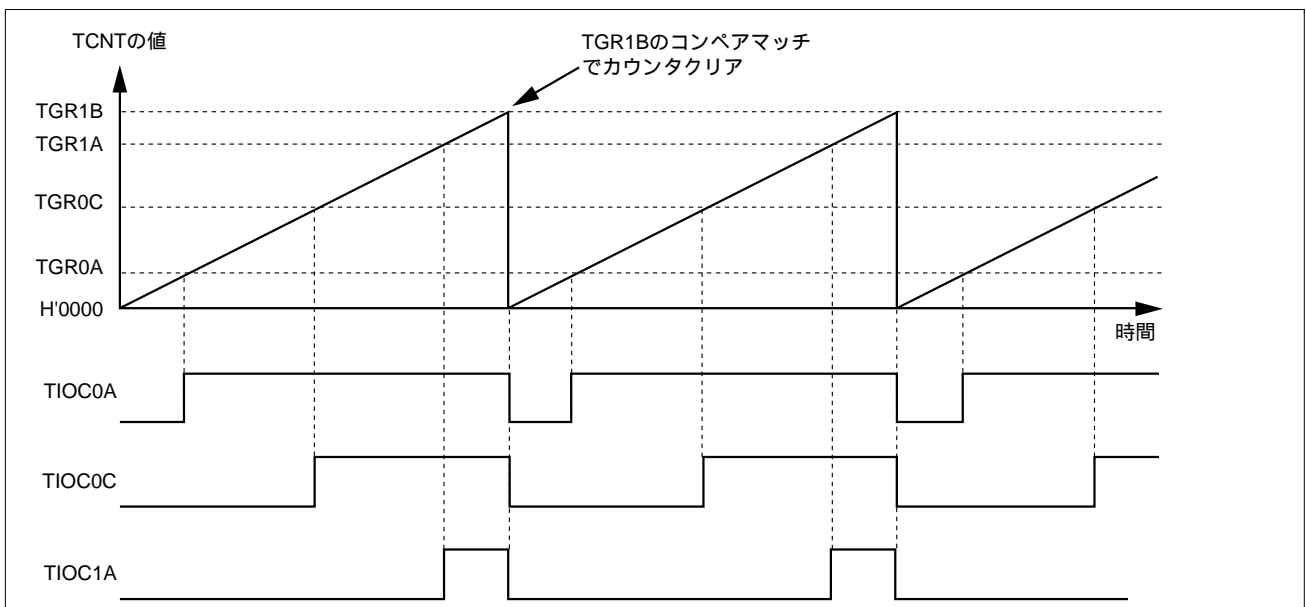


図 8.25 PWM モードの動作例 (モード 2)

(c) デューティ0%

PWM モードで、デューティ0%のPWM 波形を出力する例を図8.26に示します。

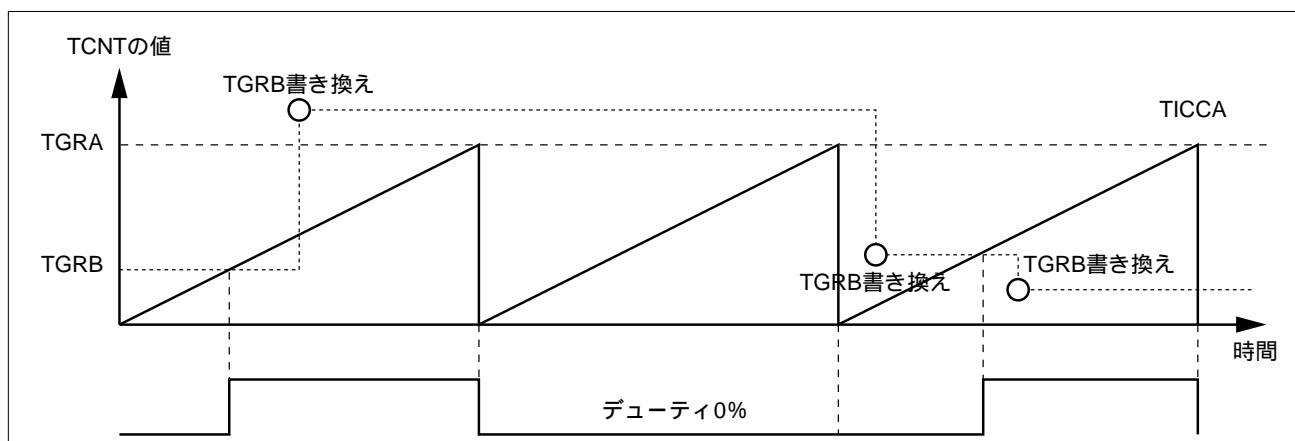


図 8.26 PWM モード動作例 (デューティ0%)

(d) デューティ 100%

PWM モードで、デューティ 100%の PWM 波形を出力する例を図 8.27 に示します。

PWM モードで周期 = デューティの設定を行うと、出力波形は変化しません。また、カウンタクリア直後に 1 パルス波形が変化することはありません。

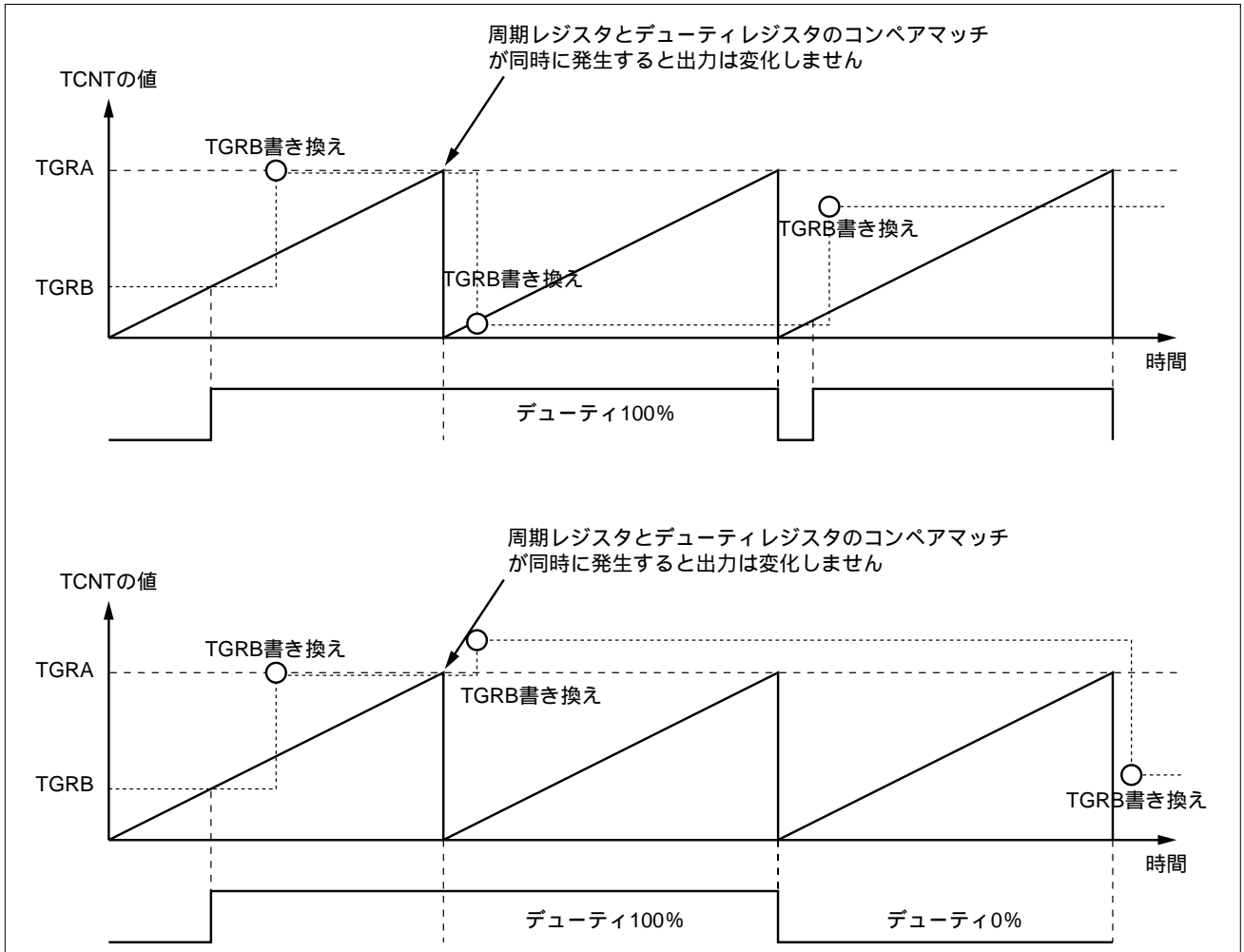


図 8.27 PWM モード動作例 (デューティ 100%)

8.5 割り込み

8.5.1 割り込み要因と優先順位

MTUの割り込み要因には、TGR レジスタのインプットキャプチャ/コンペアマッチ、TCNT カウンタのオーバフローの2種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込みコントローラへの割り込み要求信号の発生を独立に許可/禁止することができます。

割り込み要因が発生すると、タイマステータスレジスタ (TSR) の対応するステータスフラグが1にセットされます。このときタイマインタラプトイネーブルレジスタ (TIER) の対応する許可/禁止ビットが1にセットされていれば、MTUは割り込みコントローラに対して割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「6. 割り込みコントローラ」を参照してください。

MTUの割り込み要因の一覧を表8.8に示します。

(1) インプットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR レジスタのインプットキャプチャ/コンペアマッチの発生により、タイマステータスレジスタ (TSR) の TGF フラグが1にセットされたとき、タイマインタラプトイネーブルレジスタ (TIER) の TGIE ビットが1にセットされていれば、割り込みコントローラに対して割り込みを要求します。TGF フラグを0にクリアすることで割り込み要求は解除されます。MTUには、チャンネル0に4本、チャンネル1、2に各2本、計8本のインプットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT カウンタのオーバフローの発生により、タイマステータスレジスタ (TSR) の TCFV フラグが1にセットされたとき、タイマインタラプトイネーブルレジスタ (TIER) の TCIEV ビットが1にセットされていれば、割り込みコントローラに対して割り込みを要求します。TCFV フラグを0にクリアする事で割り込み要求は解除されます。MTUには、各チャンネルに1本、計3本のオーバフロー割り込みがあります。

表 8.8 MTU 割り込み一覧

チャンネル	割り込み要因	内容	優先順位
0	TGI0A	TGR0A のインプットキャプチャ / コンペアマッチ	高 ↑ ↓ 低
	TGI0B	TGR0B のコンペアマッチ	
	TGI0C	TGR0C のインプットキャプチャ / コンペアマッチ	
	TGI0D	TGR0D のコンペアマッチ	
	TCI0V	TCNT0 のオーバフロー	
1	TGI1A	TGR1A のインプットキャプチャ / コンペアマッチ	
	TGI1B	TGR1B のインプットキャプチャ / コンペアマッチ	
	TCI1V	TCNT1 のオーバフロー	
2	TGI2A	TGR2A のインプットキャプチャ / コンペアマッチ	
	TGI2B	TGR2B のインプットキャプチャ / コンペアマッチ	
	TCI2V	TCNT2 のオーバフロー	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

8.5.2 A/D 変換器の起動

各チャンネルの TGRA レジスタのインプットキャプチャ / コンペアマッチによって、内蔵 A/D 変換器を起動することができます。

各チャンネルの TGRA レジスタのインプットキャプチャ / コンペアマッチの発生により、タイマステータスレジスタ (TSR) の TGFA フラグが 1 にセットされたとき、タイムインタラプトイネーブルレジスタ (TIER) の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、MTU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

MTU では、各チャンネル 1 本、計 3 本の TGRA レジスタのインプットキャプチャ / コンペアマッチ割り込みを A/D 変換器の起動要因とすることができます。

8.6 動作タイミング

8.6.1 入出力タイミング

(1) TCNTのカウンタタイミング

内部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 8.28 に示します。

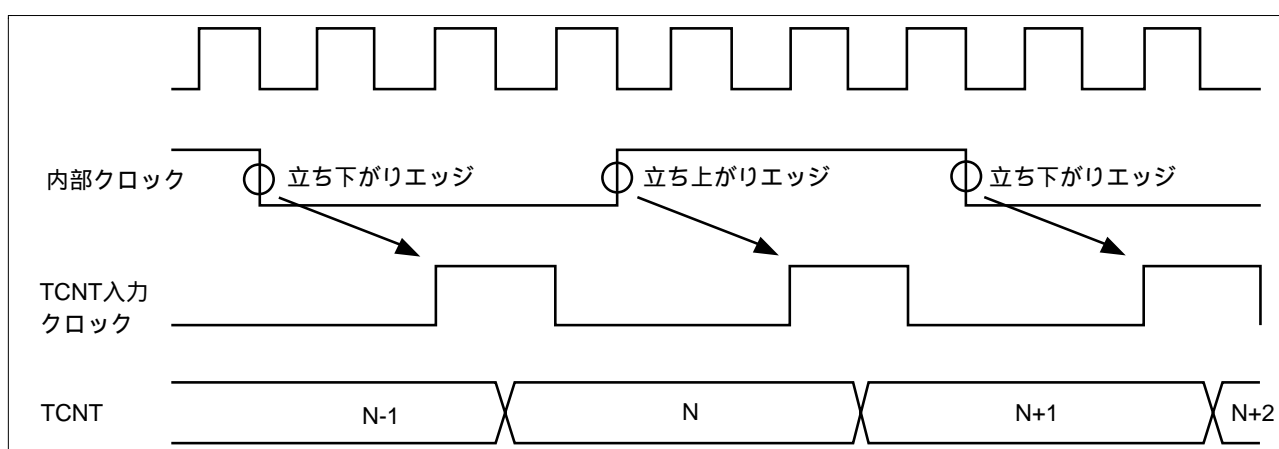


図 8.28 内部クロック動作時のカウンタタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後の状態で発生します。コンペアマッチ信号が発生したとき、TIOCR または TOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生する直前まで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 8.29 に示します。

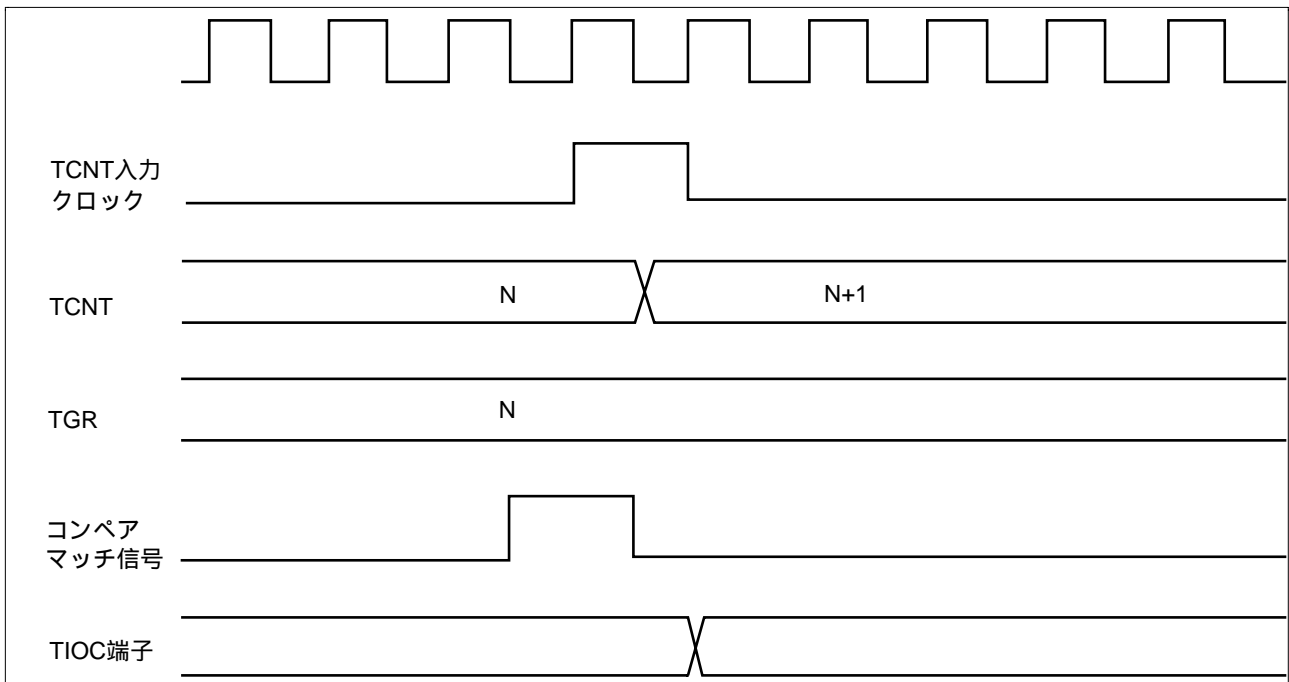


図 8.29 アウトプットコンペア出力タイミング (ノーマルモード、PWMモード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 8.30 に示します。

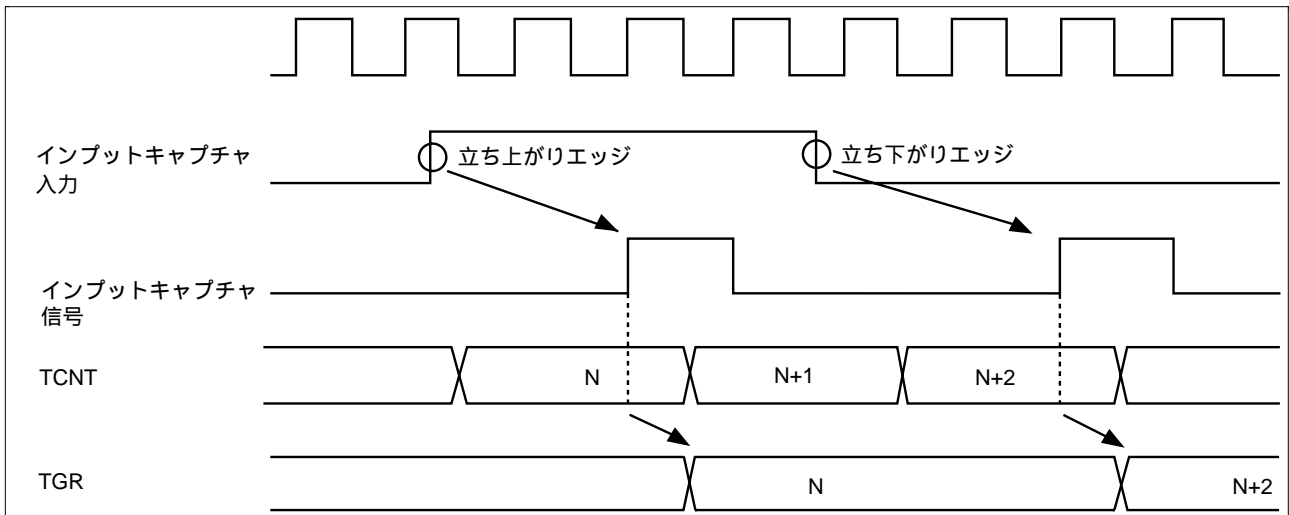


図 8.30 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/入力キャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 8.31 に示します。

入力キャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 8.32 に示します。

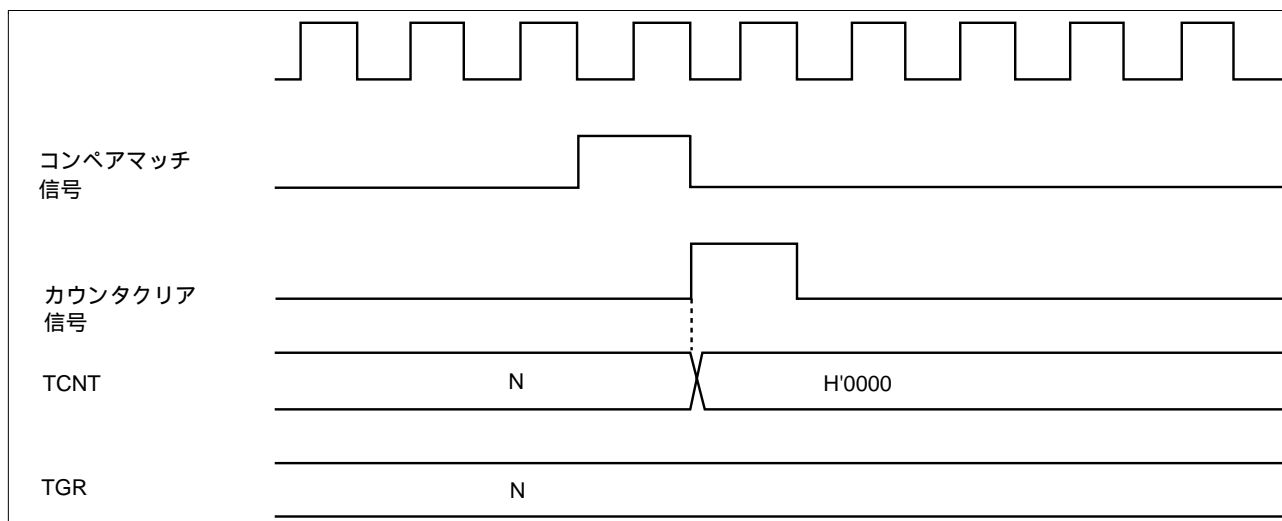


図 8.31 カウンタクリアタイミング (コンペアマッチ)

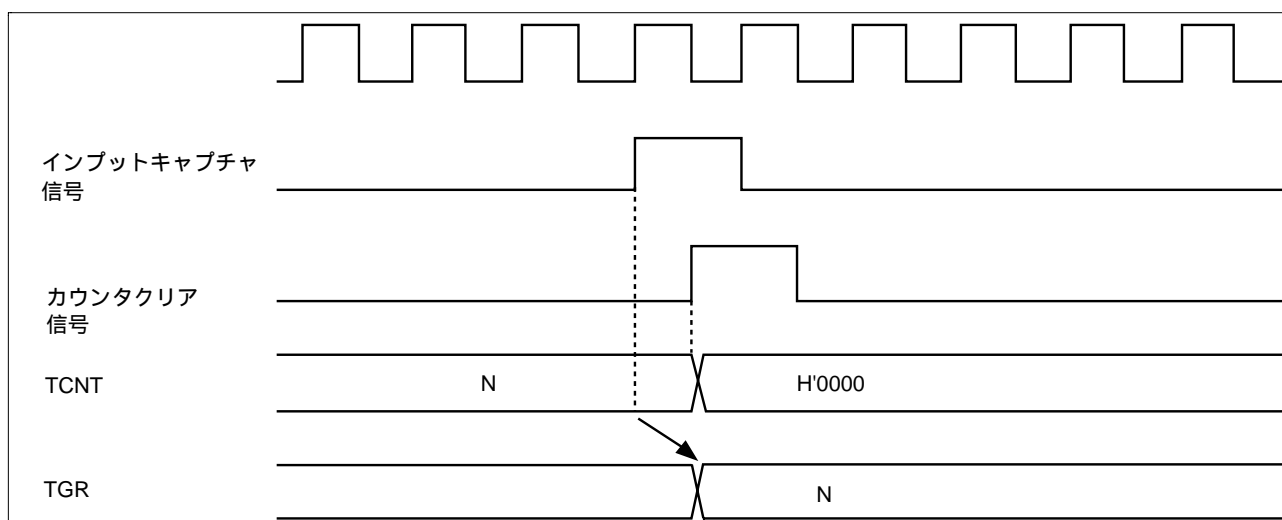


図 8.32 カウンタクリアタイミング (入力キャプチャ)

(5) バッファ動作タイミング

コンペアマッチバッファ動作のタイミングを図 8.33 に、インプットキャプチャバッファ動作のタイミングを図 8.34 に示します。

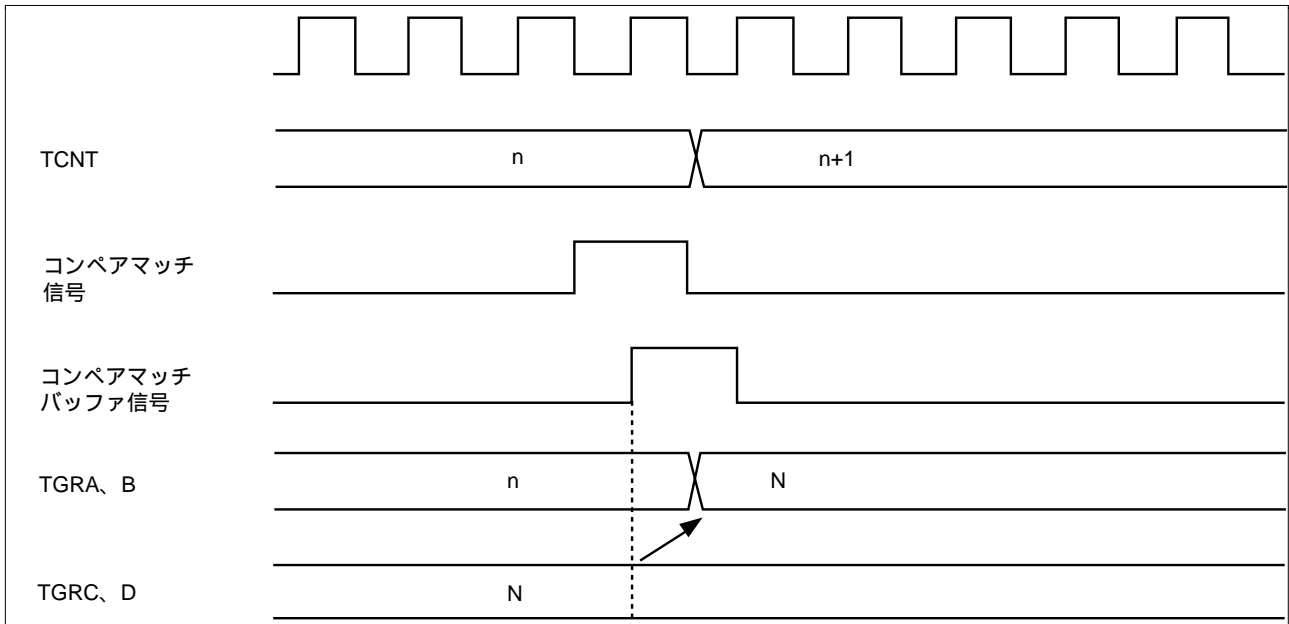


図 8.33 バッファ動作タイミング (コンペアマッチ)

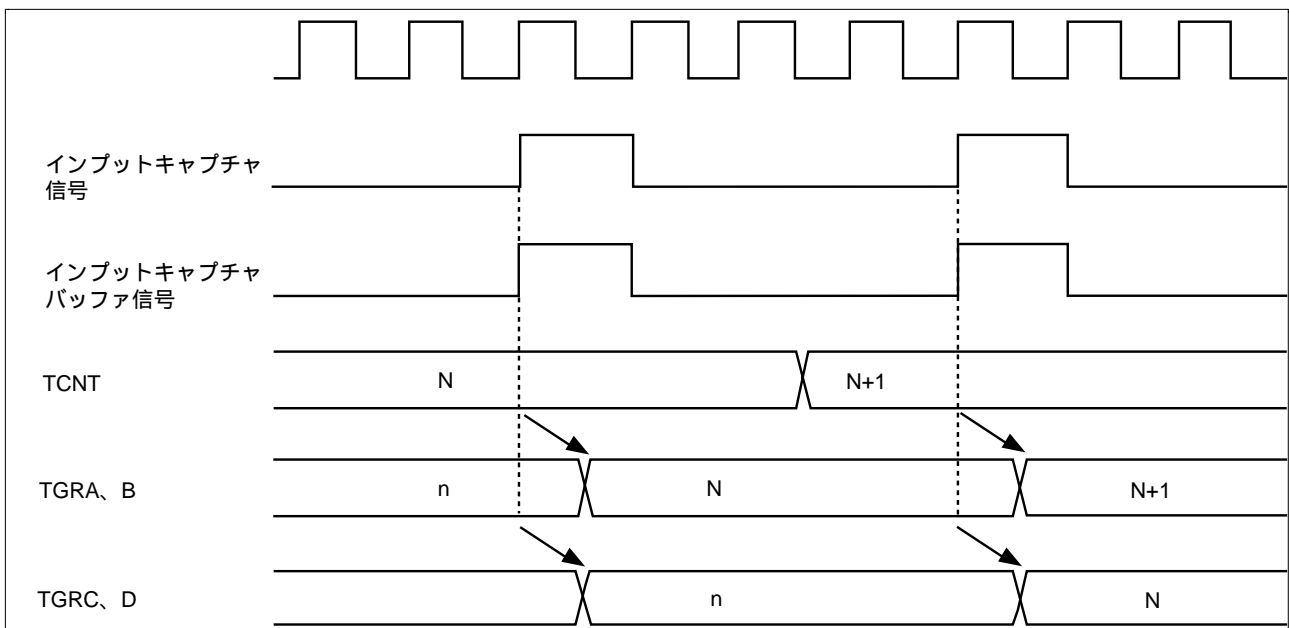


図 8.34 バッファ動作タイミング (インプットキャプチャ)

8.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生によるタイマステータスレジスタ (TSR) の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 8.35 に示します。

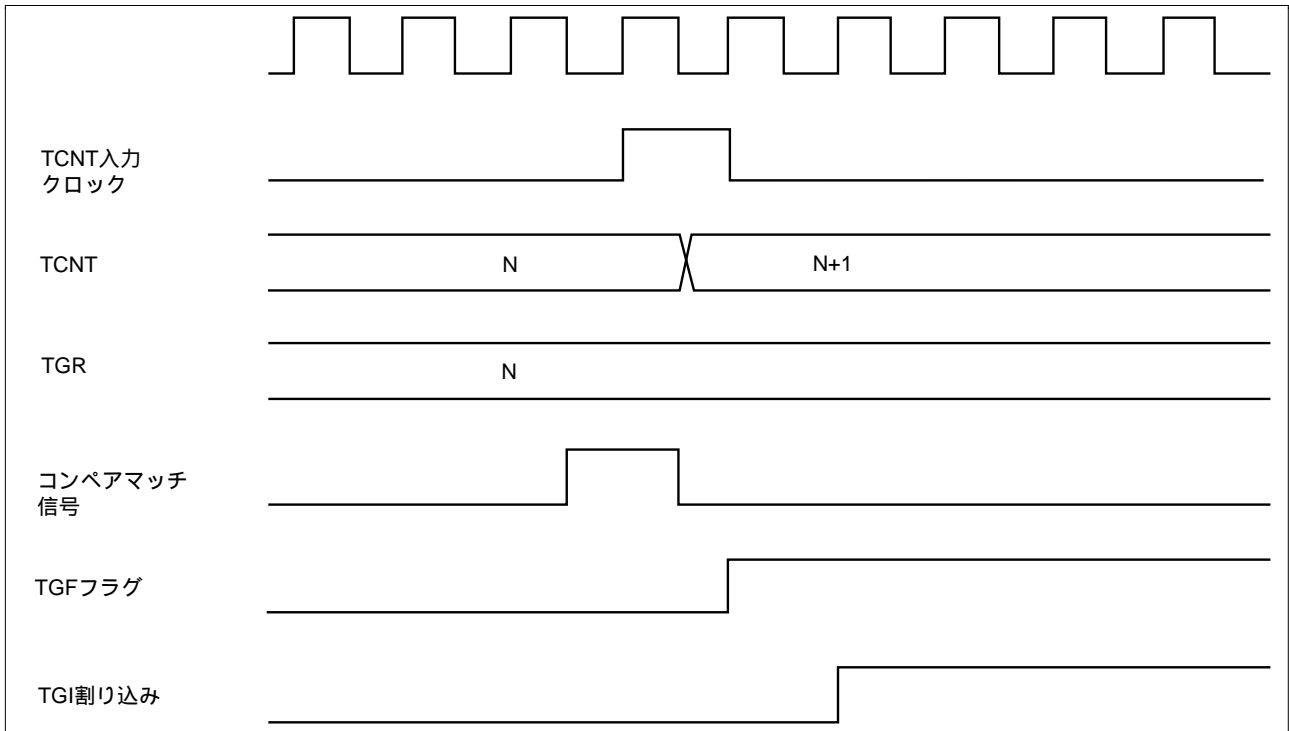


図 8.35 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生によるタイマステータスレジスタ (TSR) の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 8.36 に示します。

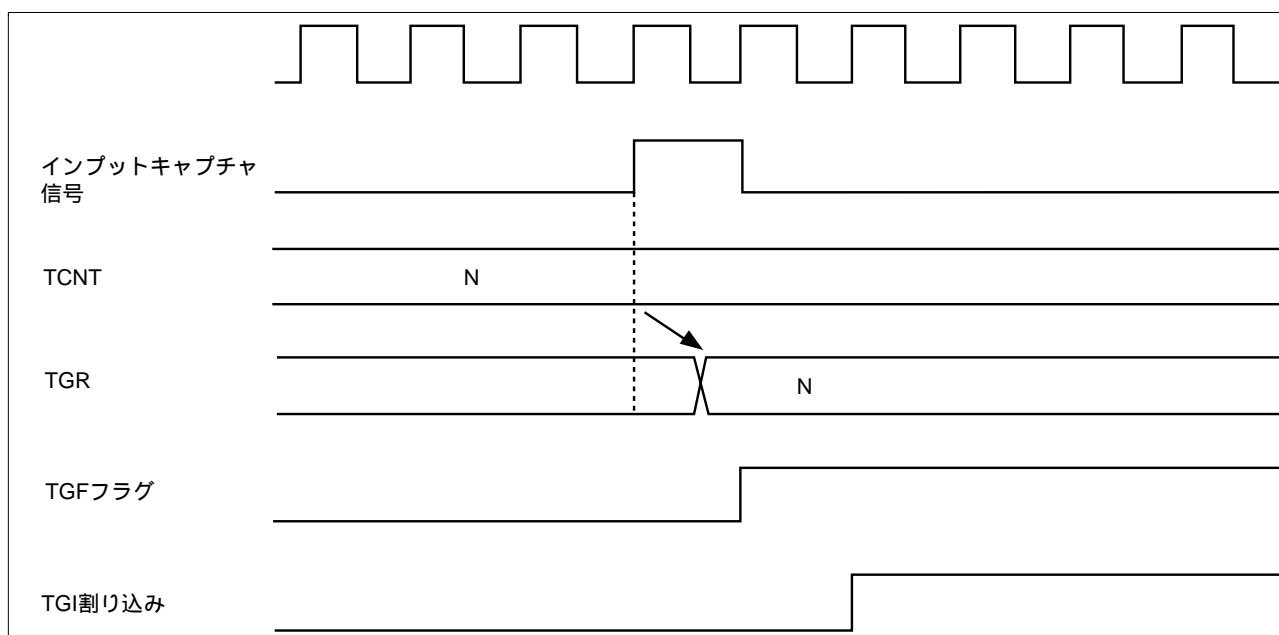


図 8.36 TGI 割り込みタイミング (インพุットキャプチャ)

(3) オーバフローフラグ (TCFV) のセットタイミング

オーバフローの発生によるタイムステータスレジスタ (TSR) の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 8.37 に示します。

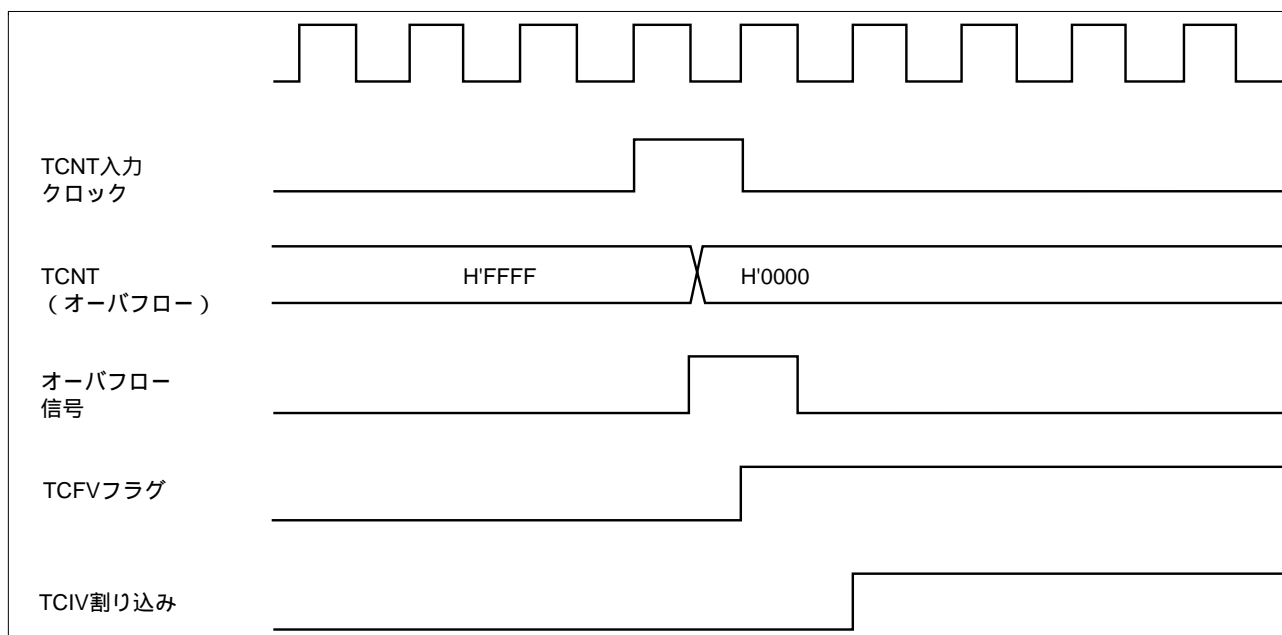


図 8.37 TCIV 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態を読み出した後、0を書き込むとクリアされます。CPUによるステータスフラグのクリアタイミングを図8.38に示します。

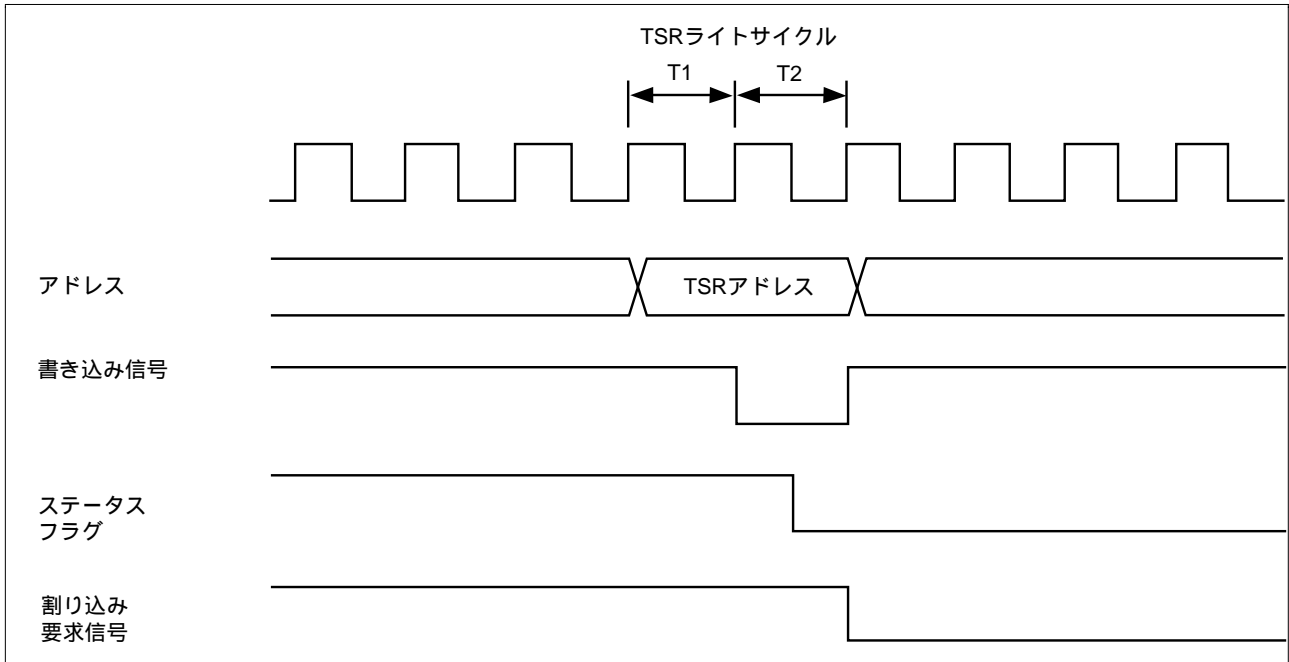


図 8.38 CPU によるステータスフラグのクリアタイミング

8.7 使用上の注意

MTUの動作中、以下に示す動作や競合が起こりますので注意してください。

(1) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{f_{clk}}{(N+1)}$$

f : カウンタ周波数

 : 動作周波数

N : TGRの設定値

(2) TCNTの書き込みとクリアの競合

タイマカウンタ（TCNT）の書き込みサイクル中のT2ステートで、カウンタクリア信号が発生すると、TCNTへの書き込みは行われずに、TCNTのクリアが優先されます。

このタイミングを図8.39に示します。

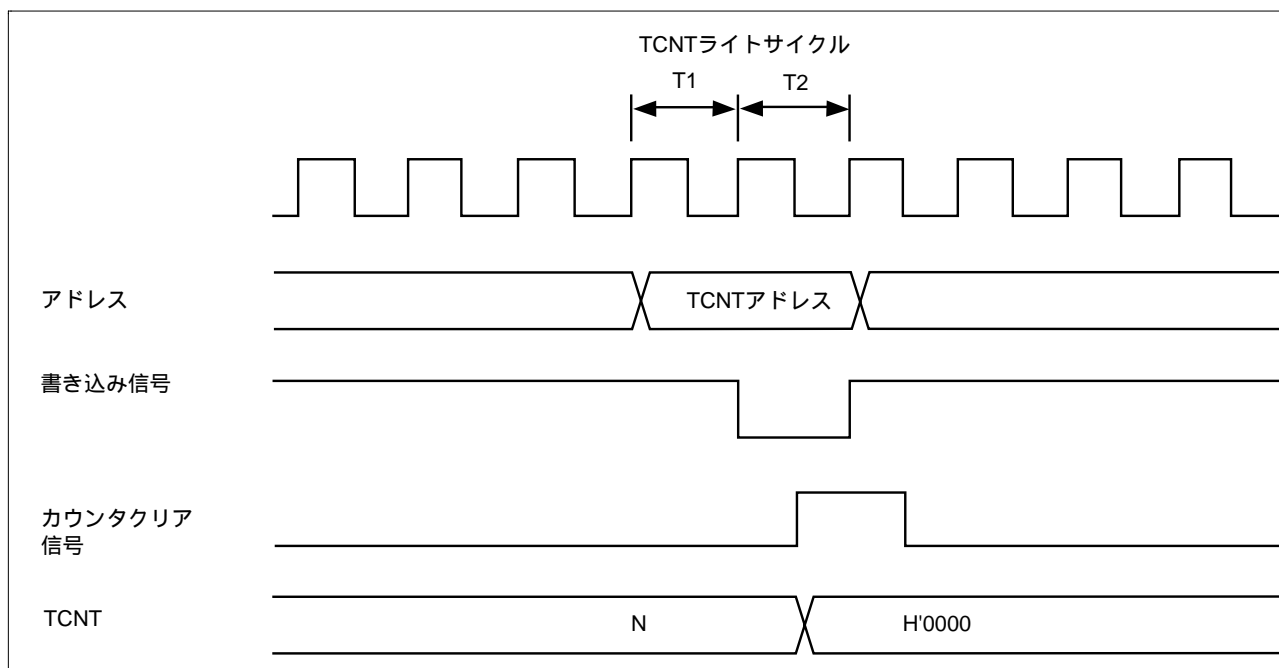


図 8.39 TCNTの書き込みとクリアの競合

(3) TCNT の書き込みとカウントアップの競合

タイマカウンタ (TCNT) の書き込みサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 8.40 に示します。

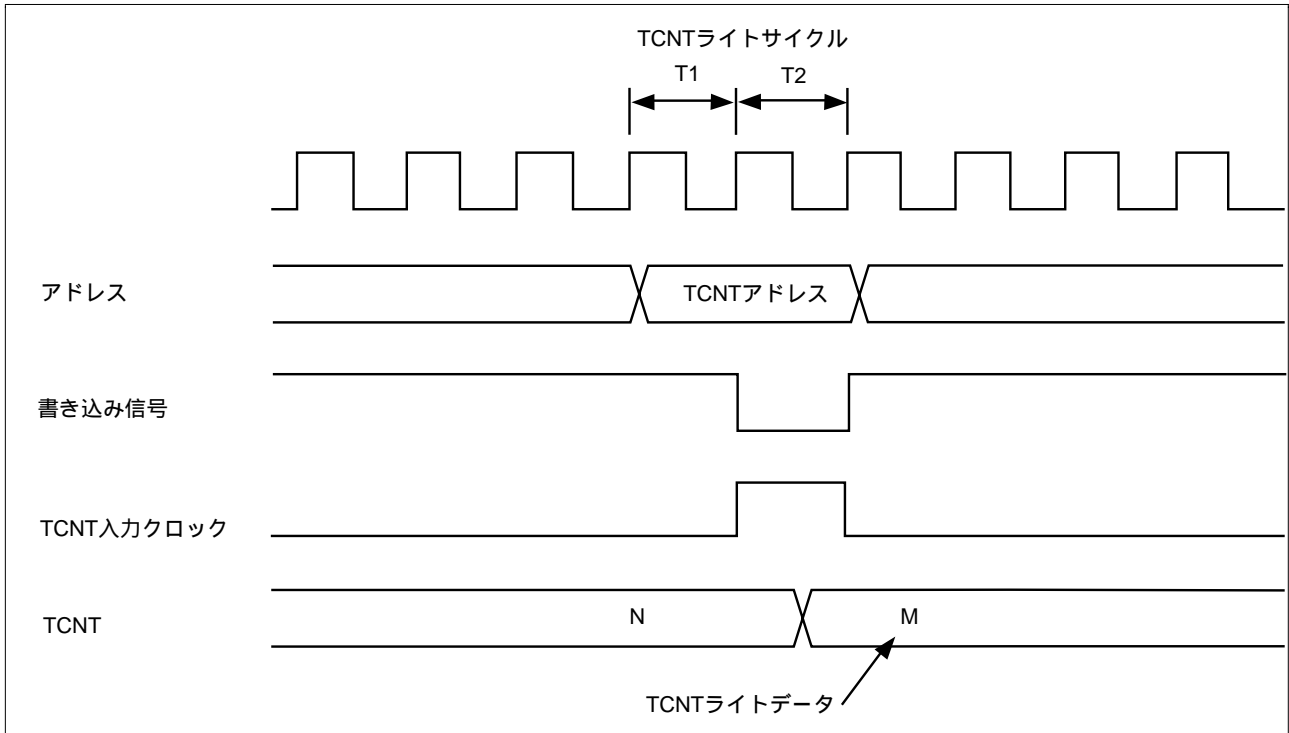


図 8.40 TCNT の書き込みとカウントアップ信号

(4) バッファレジスタの書き込みとコンペアマッチの競合

TGR の書き込みサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によってバッファレジスタから TGR にデータが転送されます。転送されるデータは、チャンネル0 では書き込み後のデータです。

このタイミングを図 8.41 に示します。

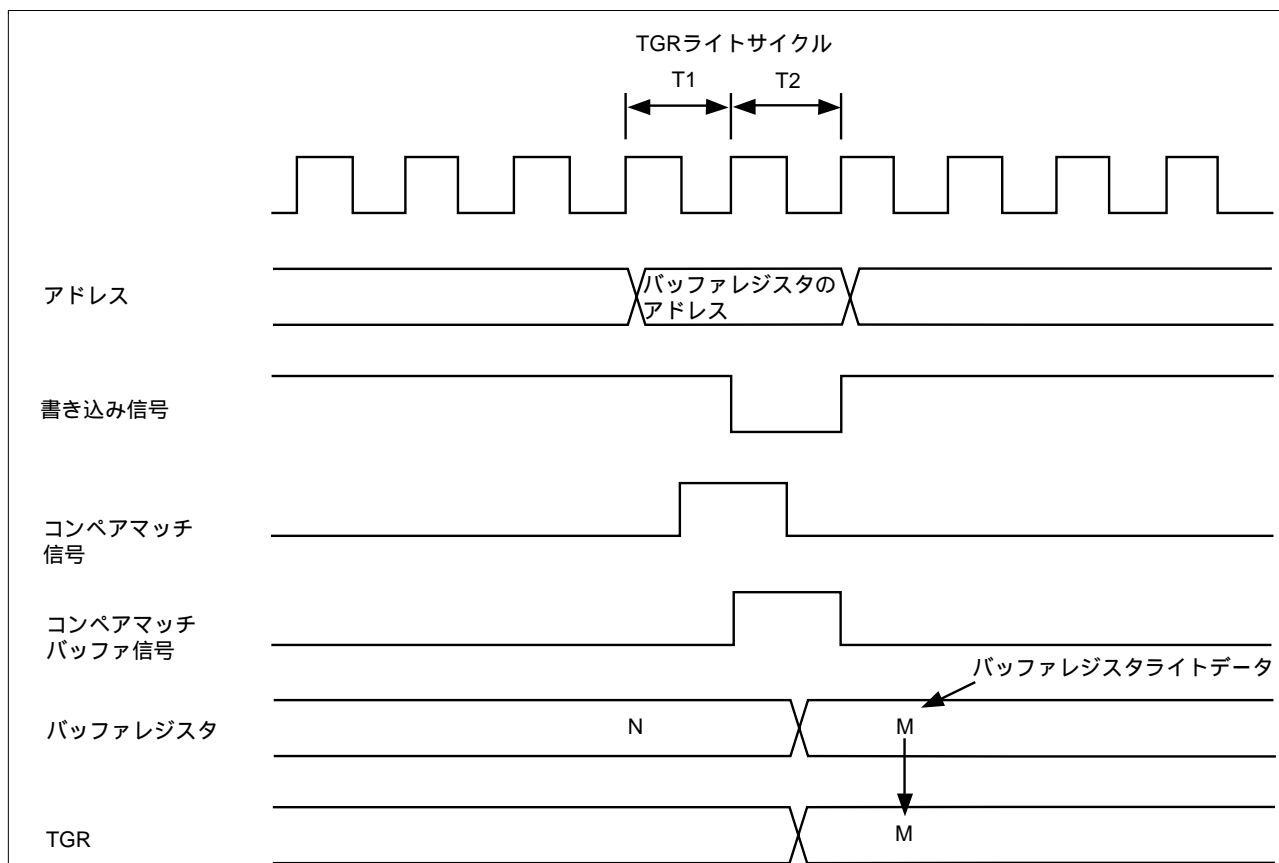


図 8.41 TGR の書き込みとコンペアマッチの競合 (チャンネル0)

(5) TGR の読み出しとインプットキャプチャの競合

TGR の読み出しサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、読み出しされるデータはインプットキャプチャ転送後のデータです。

このタイミングを図 8.42 に示します。

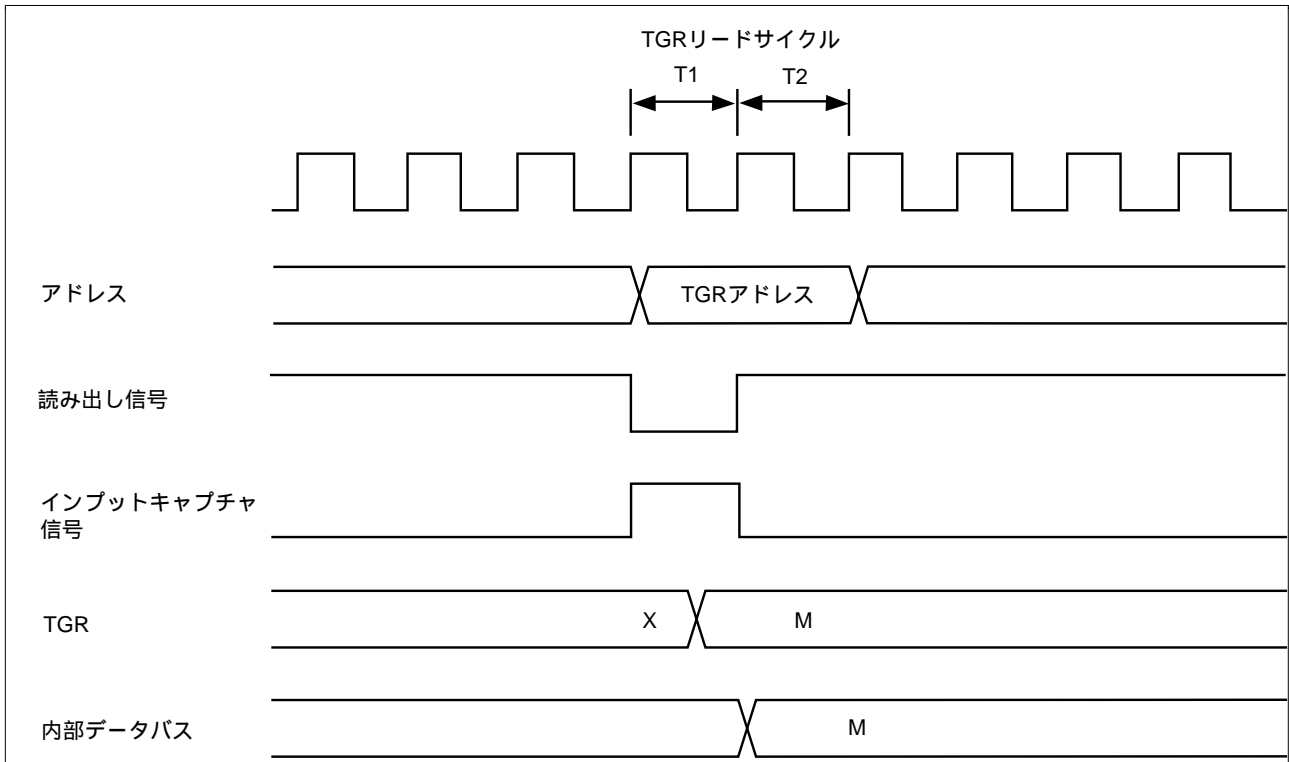


図 8.42 TGR の読み出しとインプットキャプチャの競合

(6) TGRの書き込みと入力キャプチャの競合

TGR の書き込みサイクル中の T2 ステートで入力キャプチャ信号が発生すると、TGR への書き込みは行われず、入力キャプチャが優先されます。

このタイミングを図 8.43 に示します。

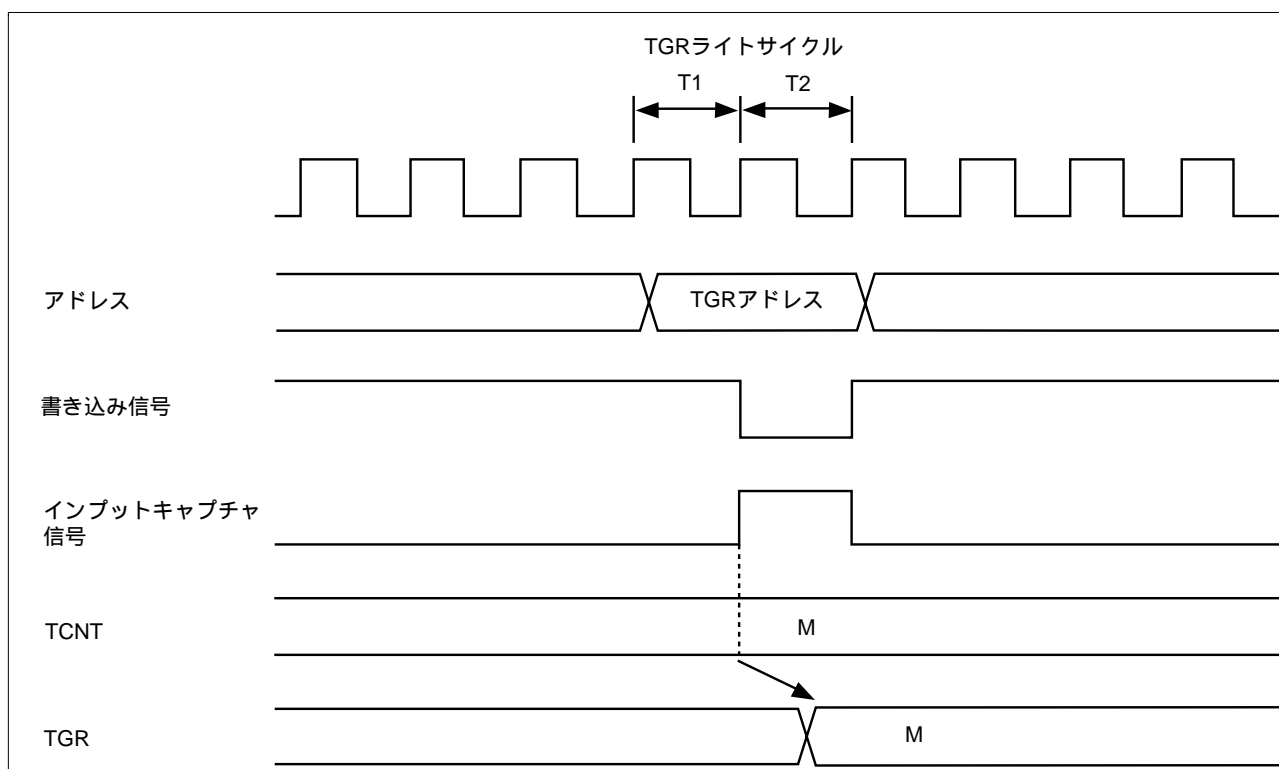


図 8.43 TGR の書き込みと入力キャプチャの競合

(7) バッファレジスタの書き込みと入力キャプチャの競合

バッファの書き込みサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 8.44 に示します。

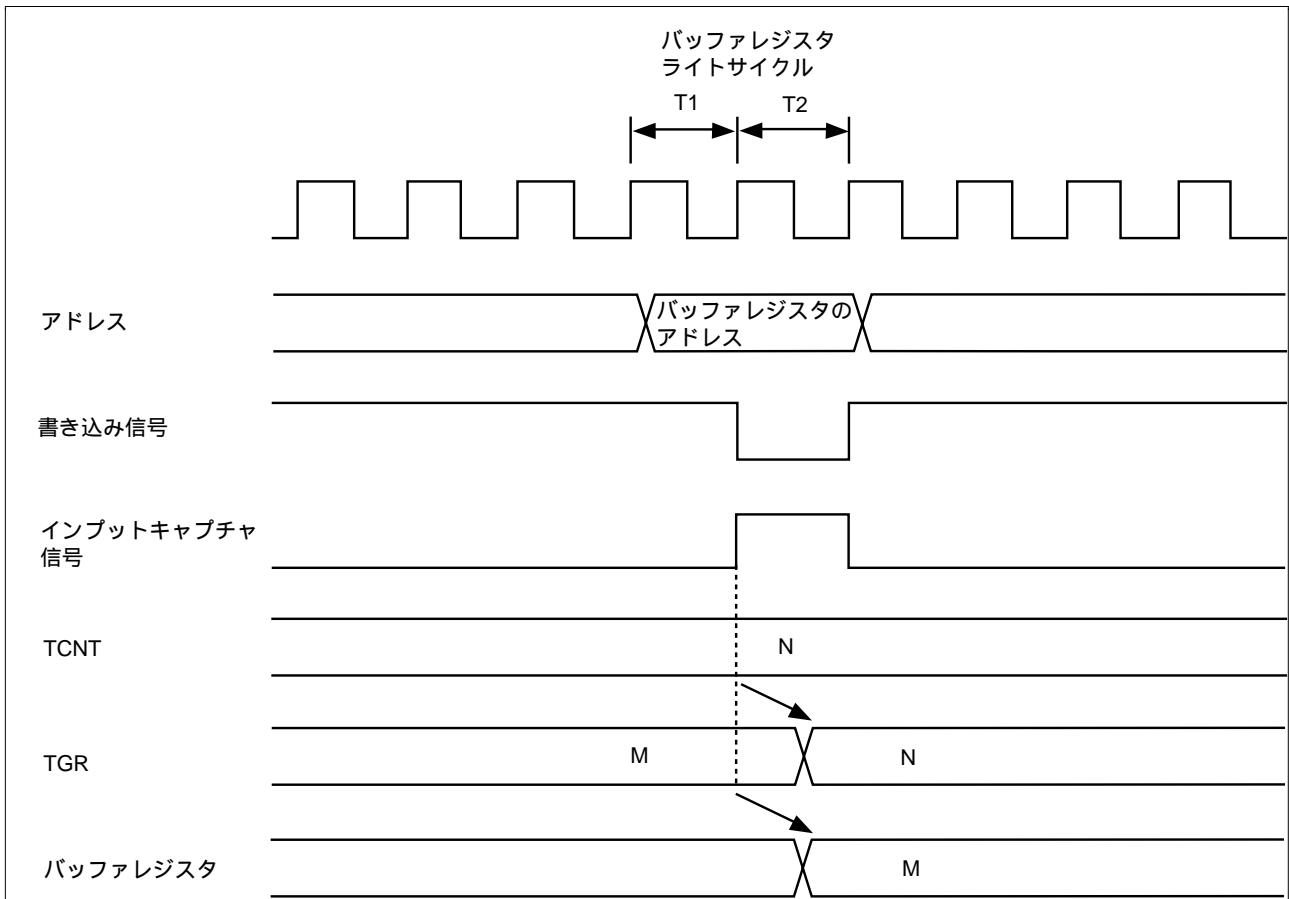


図 8.44 バッファレジスタの書き込みと入力キャプチャの競合

(8) TGRの書き込みとコンペアマッチの競合

TGRの書き込みサイクル中のT2状態でコンペアマッチが発生した場合、TGRには書き込みデータが書き込まれ、コンペアマッチ信号が発生します。

このタイミングを図8.45に示します。

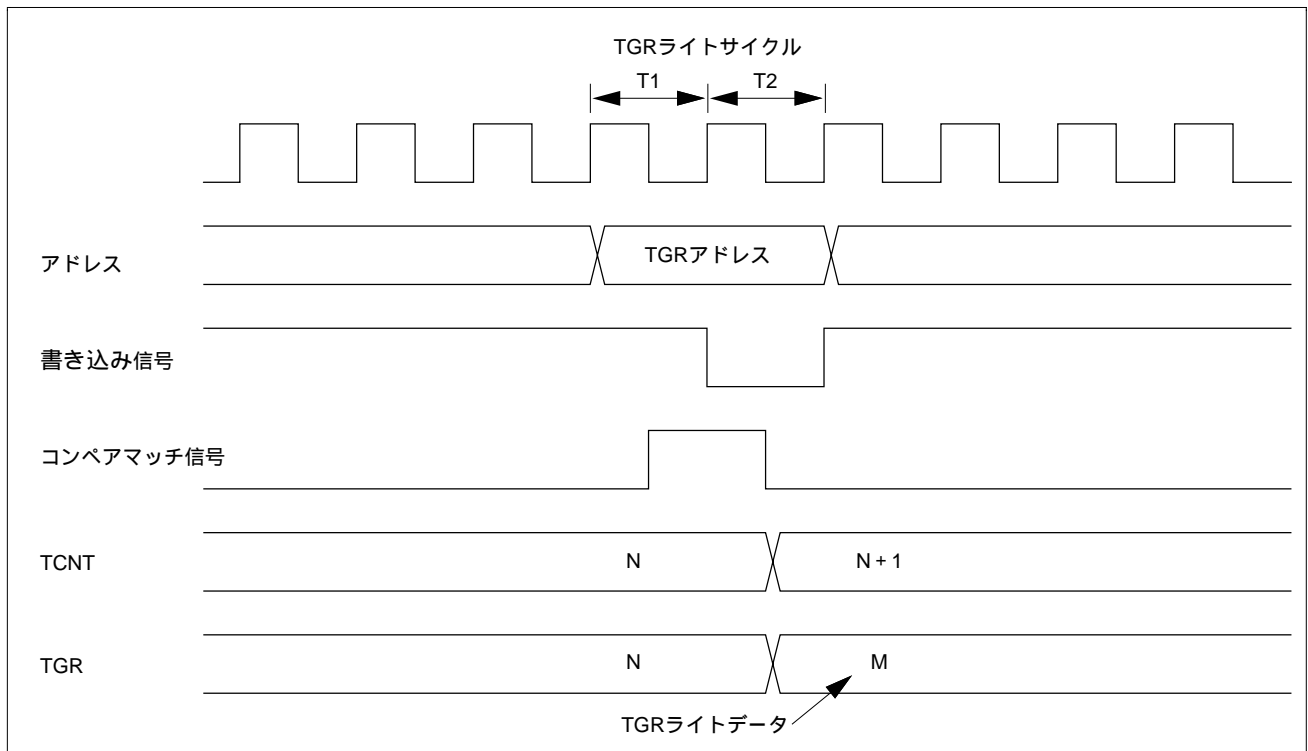


図 8.45 TGRの書き込みとコンペアマッチの競合

(b) PWM モード 2

PWM モード 2 の動作例を図 8.25 に示します。

チャンネル 0 と 1 を同期動作させ、TCNT カウンタのクリア要因を TGR1B レジスタのコンペアマッチとし、他の TGR レジスタの初期出力値を 0、アウトプットコンペア出力値を 1 に設定して 3 相の PWM 波形を出力させた場合の例です。この場合、TGR1B レジスタに設定した値が周期となり、他の TGR レジスタに設定した値がデューティになります。

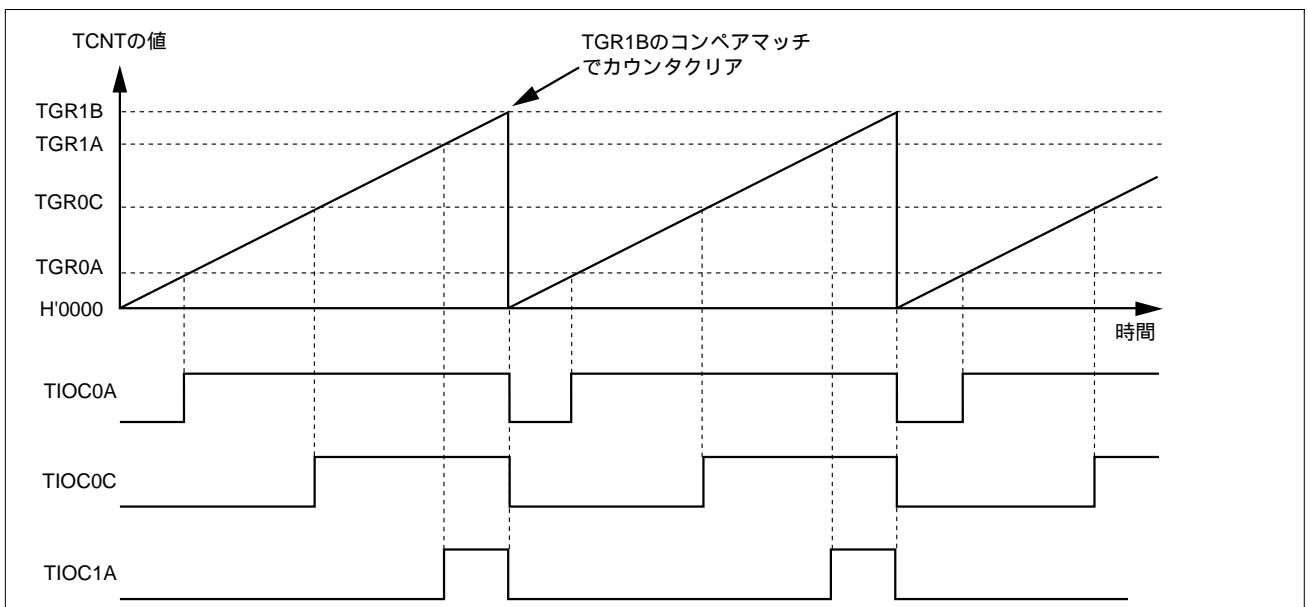


図 8.25 PWM モードの動作例 (モード 2)

(c) デューティ0%

PWM モードで、デューティ0%のPWM 波形を出力する例を図8.26に示します。

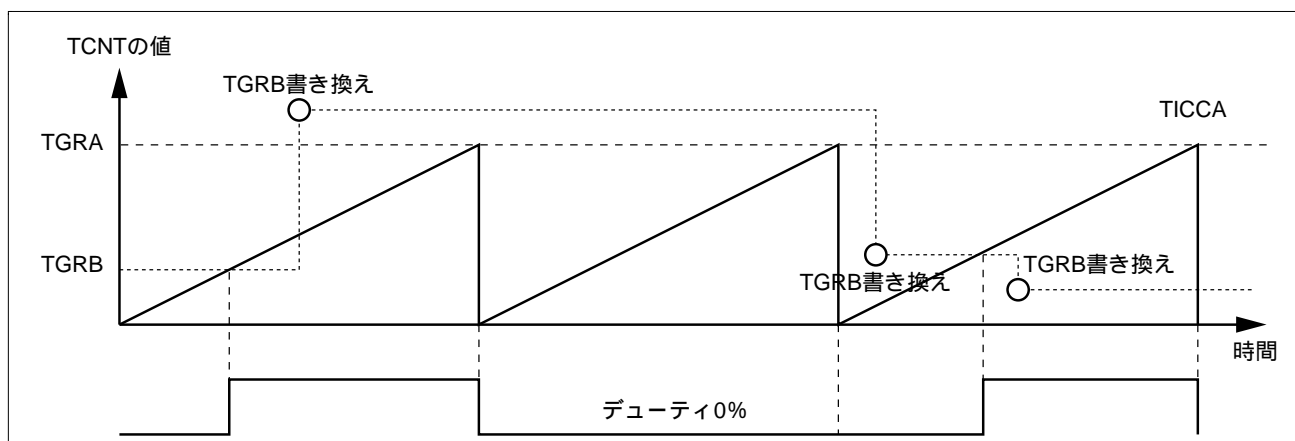


図 8.26 PWM モード動作例 (デューティ0%)

(d) デューティ 100%

PWM モードで、デューティ 100% の PWM 波形を出力する例を図 8.27 に示します。

PWM モードで周期 = デューティの設定を行うと、出力波形は変化しません。また、カウンタクリア直後に 1 パルス波形が変化することはありません。

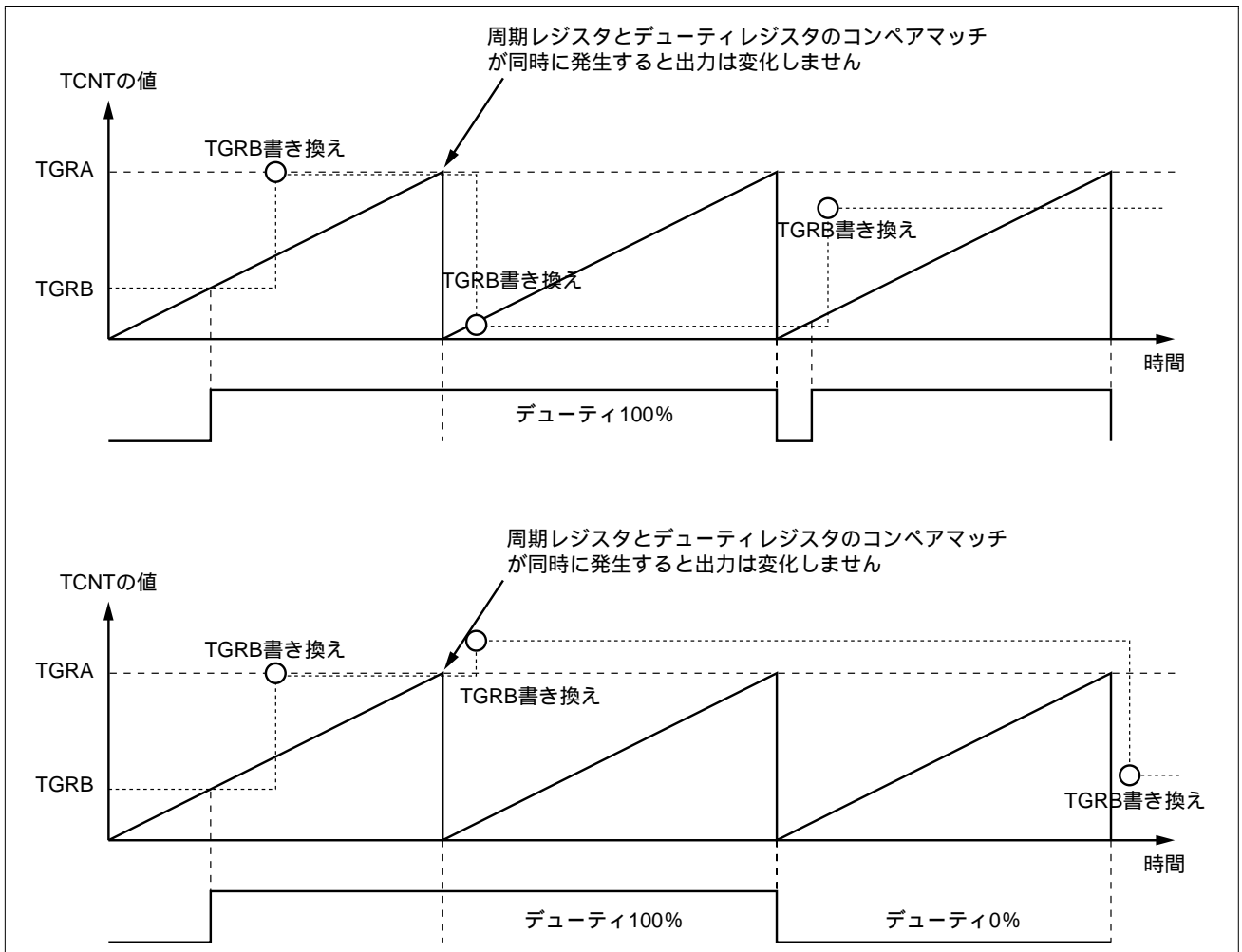


図 8.27 PWM モード動作例 (デューティ 100%)

8.5 割り込み

8.5.1 割り込み要因と優先順位

MTUの割り込み要因には、TGR レジスタのインプットキャプチャ/コンペアマッチ、TCNT カウンタのオーバフローの2種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込みコントローラへの割り込み要求信号の発生を独立に許可/禁止することができます。

割り込み要因が発生すると、タイマステータスレジスタ (TSR) の対応するステータスフラグが1にセットされます。このときタイマインタラプトイネーブルレジスタ (TIER) の対応する許可/禁止ビットが1にセットされていれば、MTUは割り込みコントローラに対して割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「6. 割り込みコントローラ」を参照してください。

MTUの割り込み要因の一覧を表8.8に示します。

(1) インプットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR レジスタのインプットキャプチャ/コンペアマッチの発生により、タイマステータスレジスタ (TSR) の TGF フラグが1にセットされたとき、タイマインタラプトイネーブルレジスタ (TIER) の TGIE ビットが1にセットされていれば、割り込みコントローラに対して割り込みを要求します。TGF フラグを0にクリアすることで割り込み要求は解除されます。MTUには、チャンネル0に4本、チャンネル1、2に各2本、計8本のインプットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT カウンタのオーバフローの発生により、タイマステータスレジスタ (TSR) の TCFV フラグが1にセットされたとき、タイマインタラプトイネーブルレジスタ (TIER) の TCIEV ビットが1にセットされていれば、割り込みコントローラに対して割り込みを要求します。TCFV フラグを0にクリアする事で割り込み要求は解除されます。MTUには、各チャンネルに1本、計3本のオーバフロー割り込みがあります。

表 8.8 MTU 割り込み一覧

チャンネル	割り込み要因	内容	優先順位
0	TGI0A	TGR0A の入力キャプチャ / コンペアマッチ	高 ↑ ↓ 低
	TGI0B	TGR0B のコンペアマッチ	
	TGI0C	TGR0C の入力キャプチャ / コンペアマッチ	
	TGI0D	TGR0D のコンペアマッチ	
	TCI0V	TCNT0 のオーバーフロー	
1	TGI1A	TGR1A の入力キャプチャ / コンペアマッチ	
	TGI1B	TGR1B の入力キャプチャ / コンペアマッチ	
	TCI1V	TCNT1 のオーバーフロー	
2	TGI2A	TGR2A の入力キャプチャ / コンペアマッチ	
	TGI2B	TGR2B の入力キャプチャ / コンペアマッチ	
	TCI2V	TCNT2 のオーバーフロー	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

8.5.2 A/D 変換器の起動

各チャンネルの TGRA レジスタの入力キャプチャ / コンペアマッチによって、内蔵 A/D 変換器を起動することができます。

各チャンネルの TGRA レジスタの入力キャプチャ / コンペアマッチの発生により、タイマステータスレジスタ (TSR) の TGFA フラグが 1 にセットされたとき、タイムインタラプトイネーブルレジスタ (TIER) の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、MTU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

MTU では、各チャンネル 1 本、計 3 本の TGRA レジスタの入力キャプチャ / コンペアマッチ割り込みを A/D 変換器の起動要因とすることができます。

8.6 動作タイミング

8.6.1 入出力タイミング

(1) TCNTのカウンタタイミング

内部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 8.28 に示します。

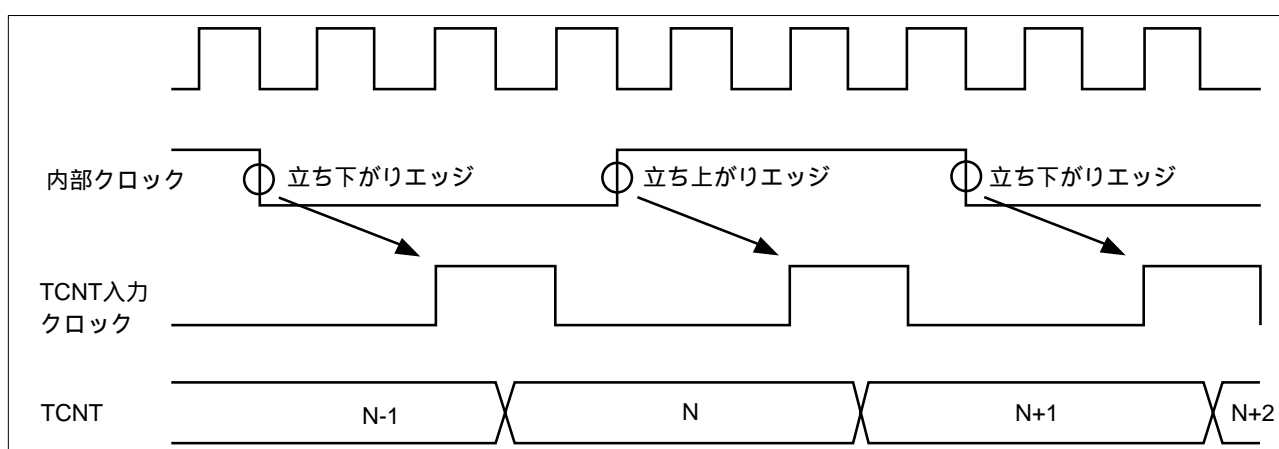


図 8.28 内部クロック動作時のカウンタタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後の状態で発生します。コンペアマッチ信号が発生したとき、TIOR または TOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生する直前まで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング(ノーマルモード、PWM モード)を図 8.29 に示します。

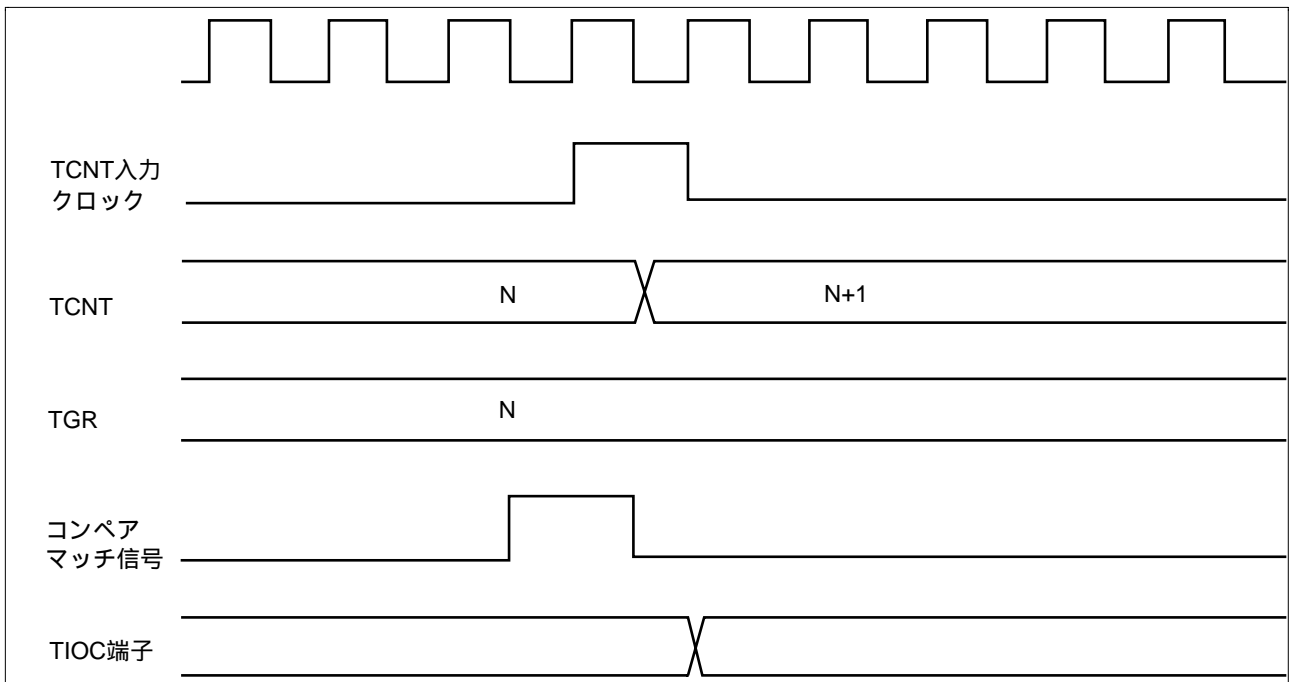


図 8.29 アウトプットコンペア出力タイミング (ノーマルモード、PWMモード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 8.30 に示します。

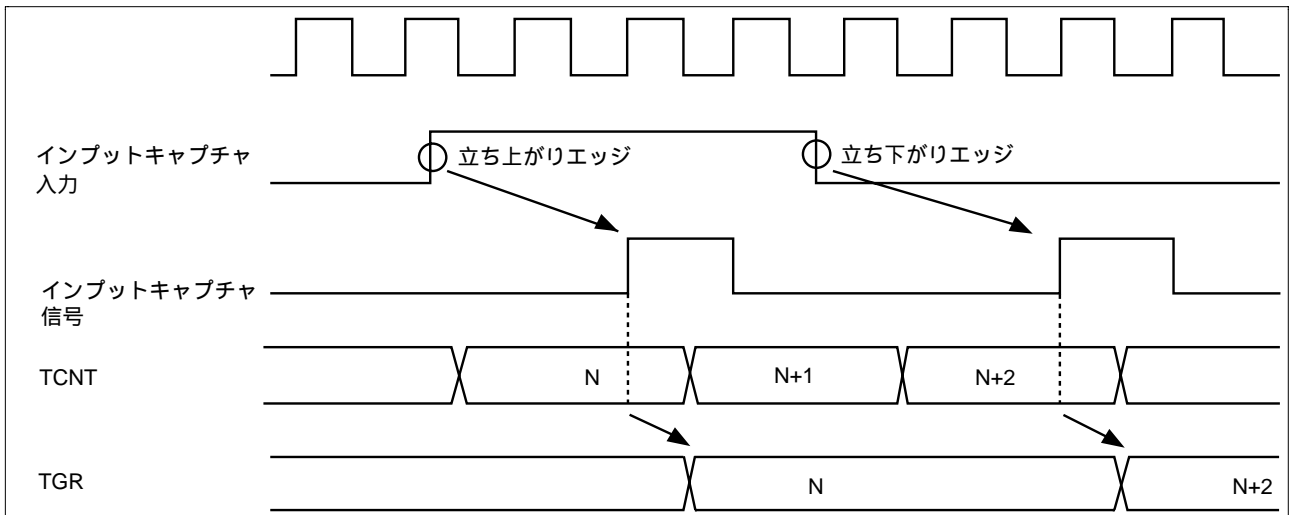


図 8.30 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 8.31 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 8.32 に示します。

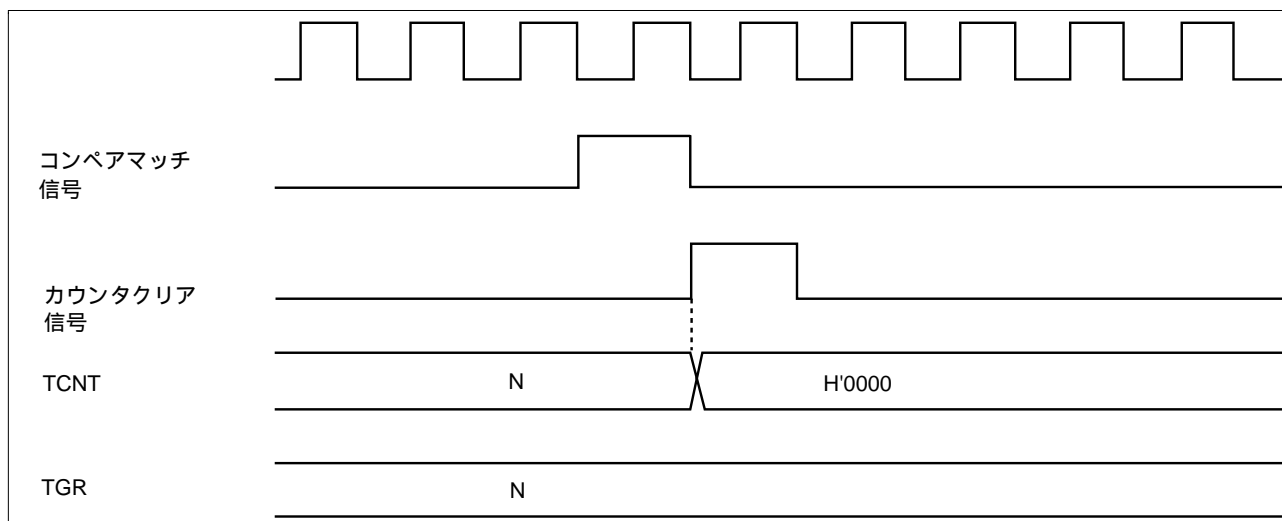


図 8.31 カウンタクリアタイミング (コンペアマッチ)

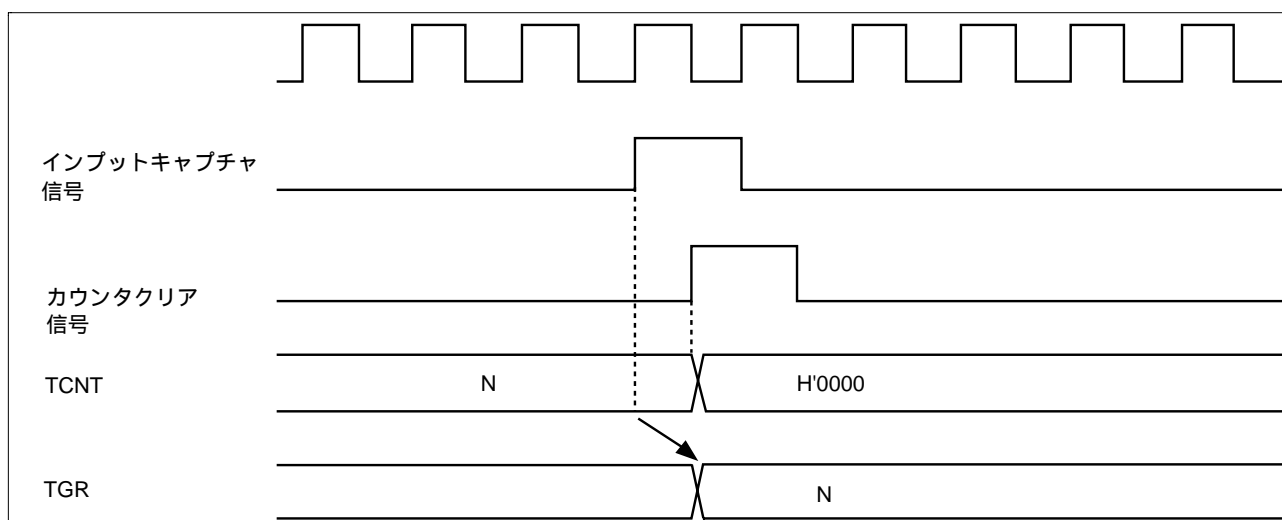


図 8.32 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

コンペアマッチバッファ動作のタイミングを図 8.33 に、インプットキャプチャバッファ動作のタイミングを図 8.34 に示します。

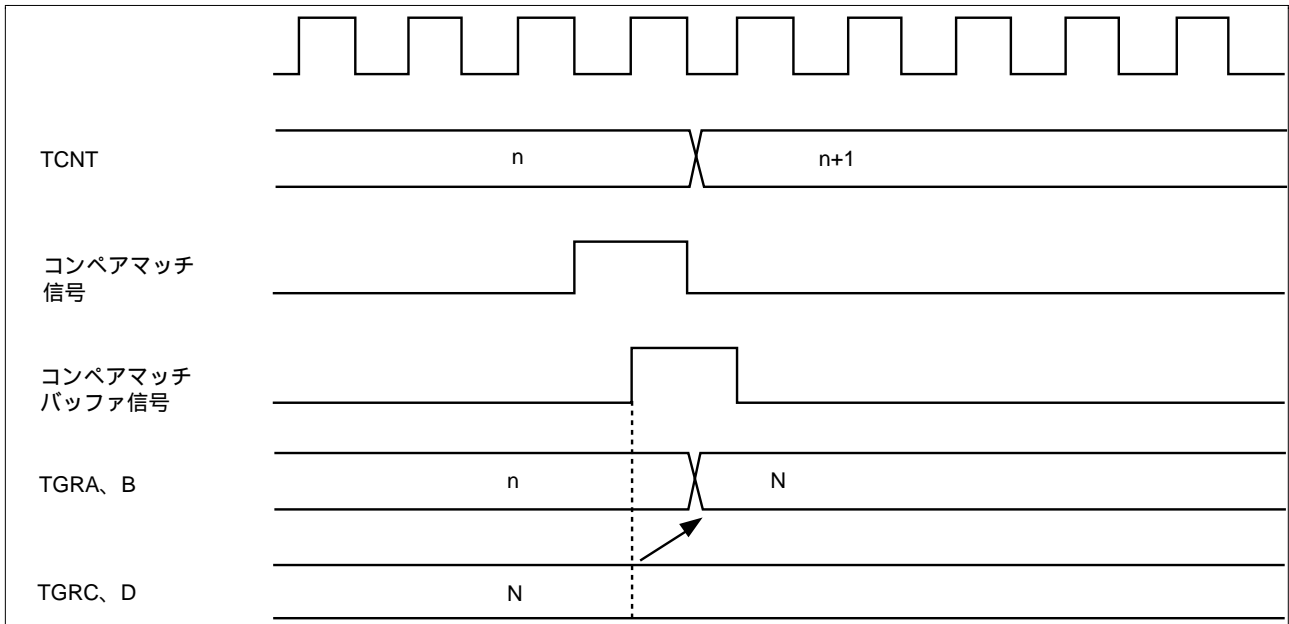


図 8.33 バッファ動作タイミング (コンペアマッチ)

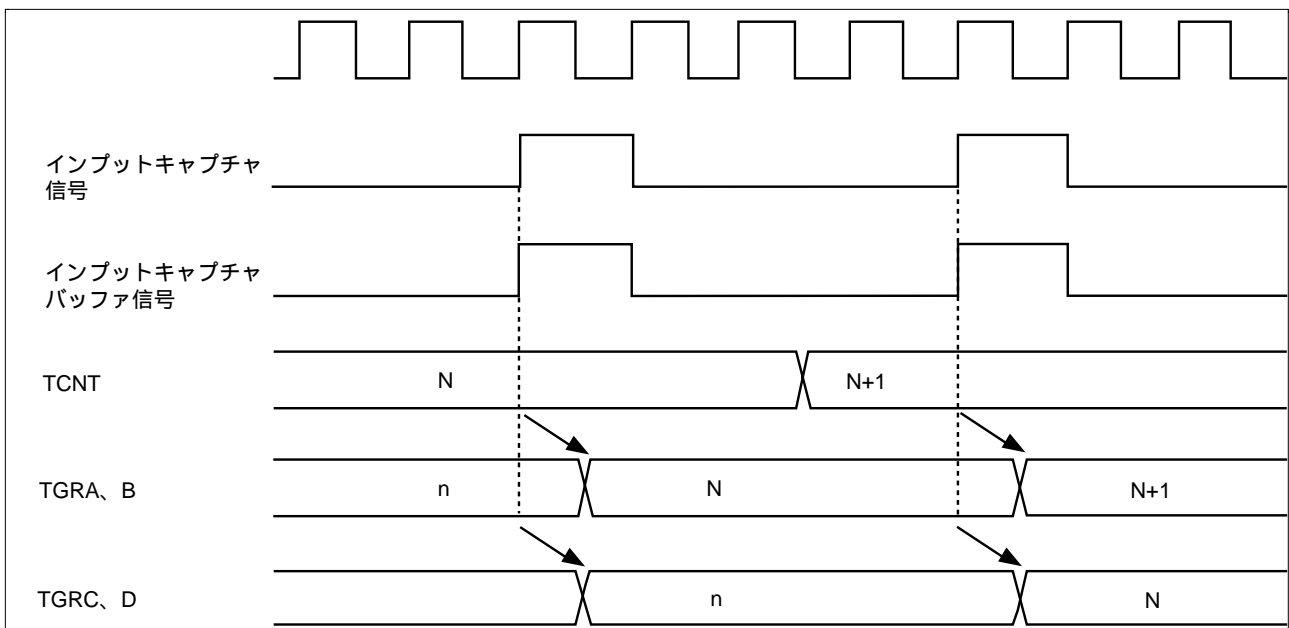


図 8.34 バッファ動作タイミング (インプットキャプチャ)

8.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生によるタイマステータスレジスタ (TSR) の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 8.35 に示します。

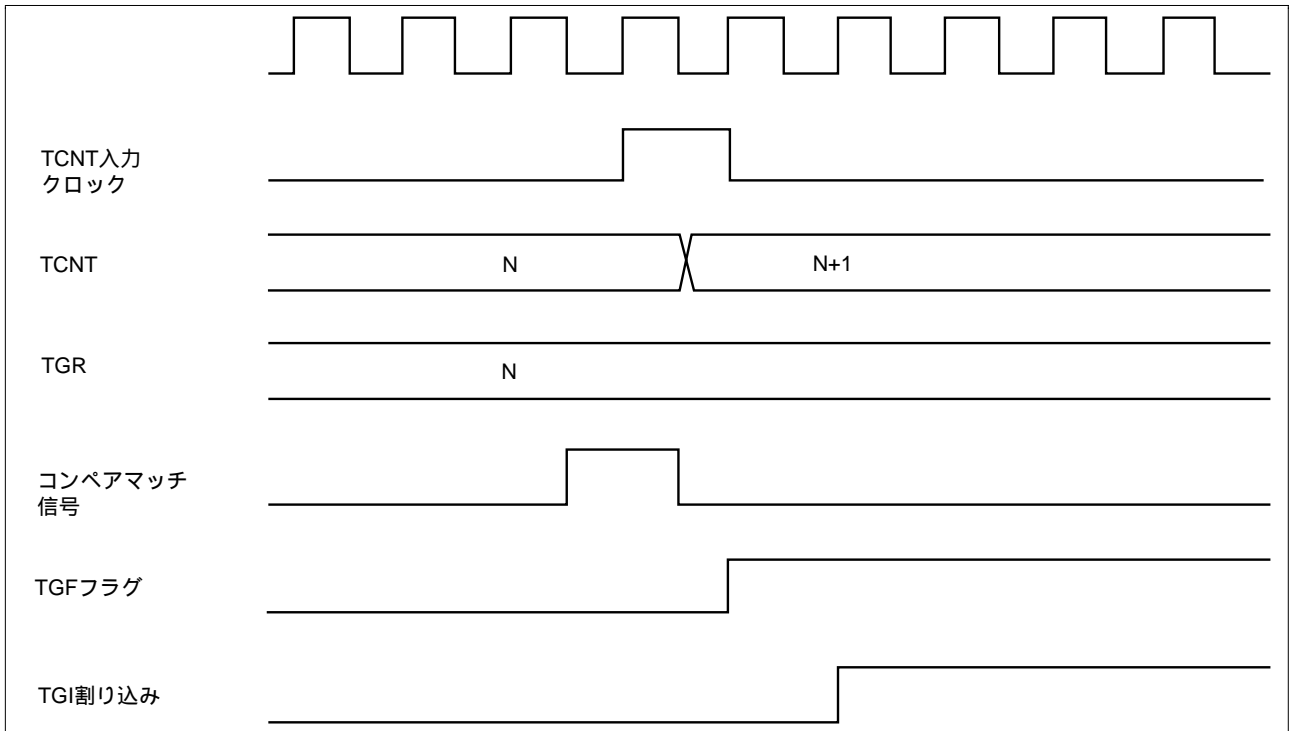


図 8.35 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生によるタイマステータスレジスタ (TSR) の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 8.36 に示します。

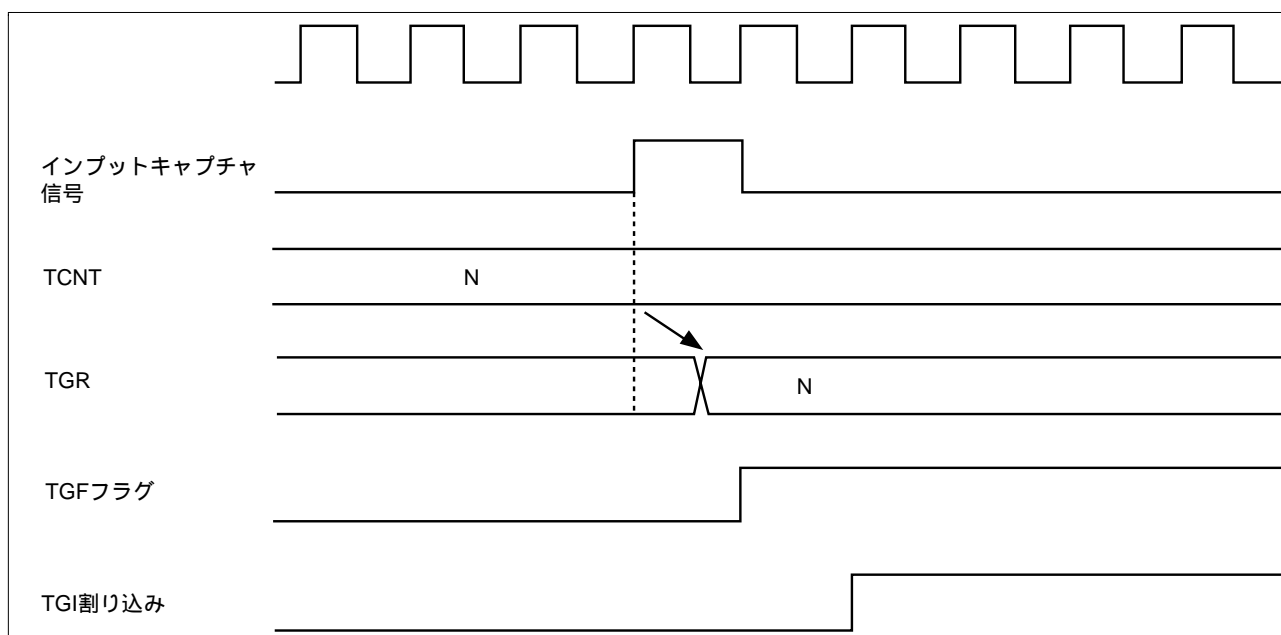


図 8.36 TGI 割り込みタイミング (インพุットキャプチャ)

(3) オーバフローフラグ (TCFV) のセットタイミング

オーバフローの発生によるタイムステータスレジスタ (TSR) のTCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 8.37 に示します。

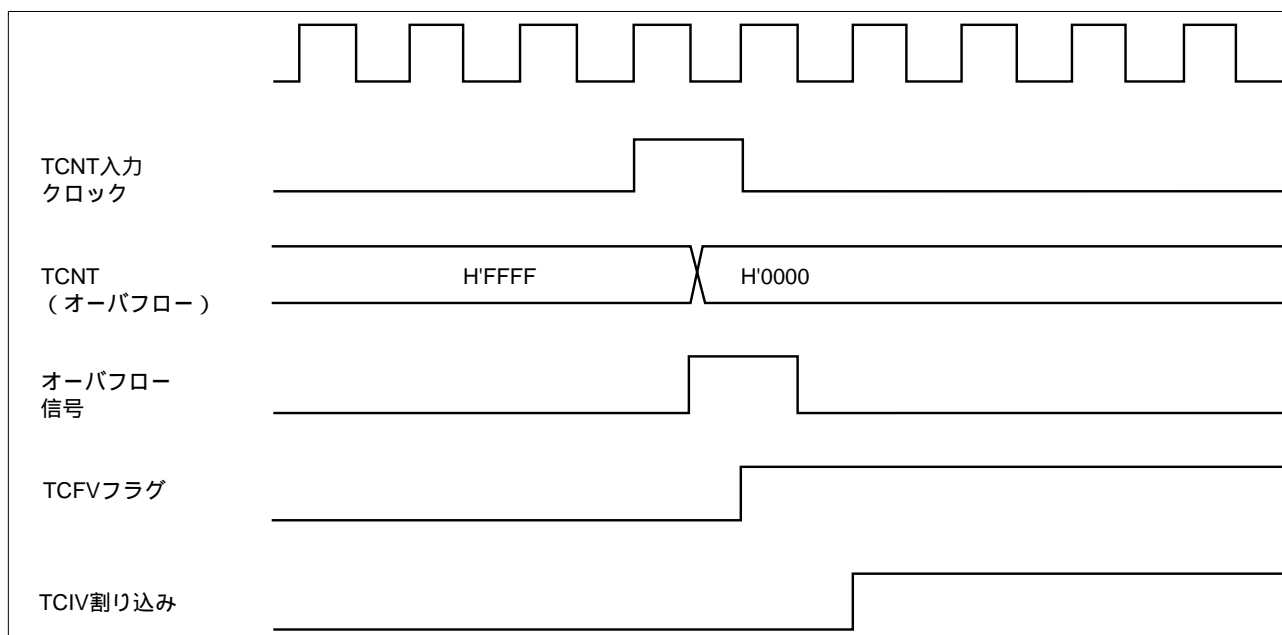


図 8.37 TCIV 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態を読み出した後、0を書き込むとクリアされます。CPUによるステータスフラグのクリアタイミングを図8.38に示します。

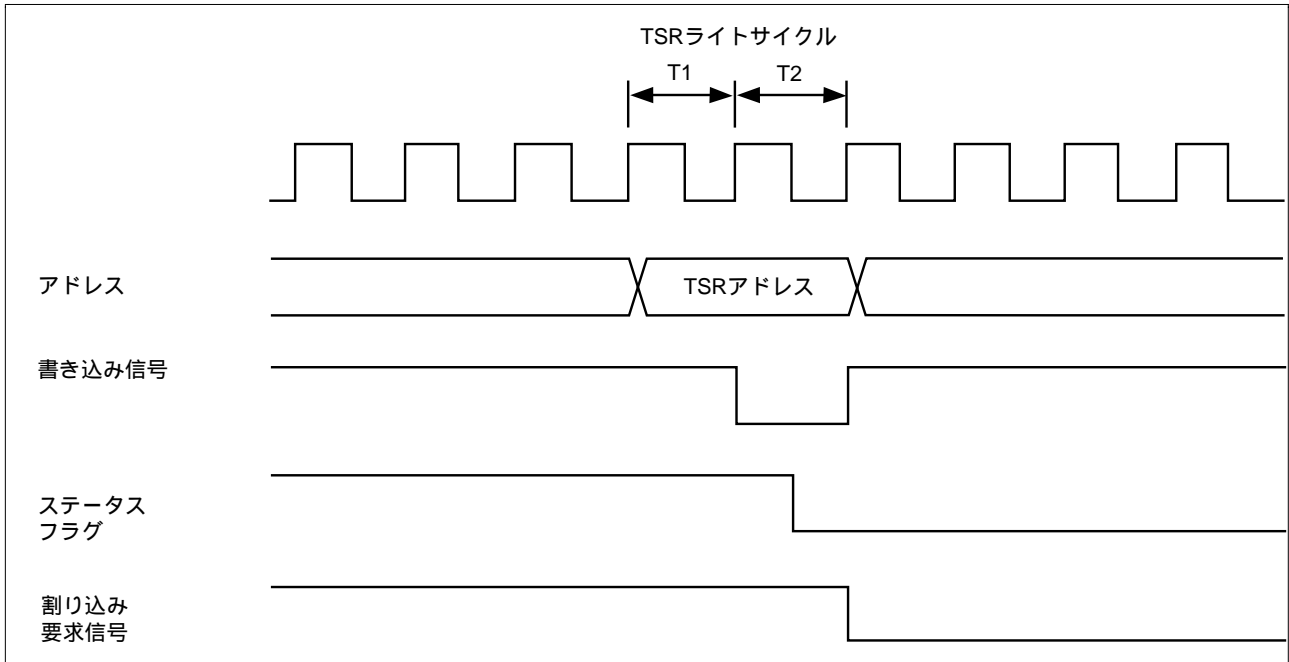


図 8.38 CPU によるステータスフラグのクリアタイミング

8.7 使用上の注意

MTUの動作中、以下に示す動作や競合が起こりますので注意してください。

(1) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{f_{clk}}{(N+1)}$$

f : カウンタ周波数

 : 動作周波数

N : TGRの設定値

(2) TCNTの書き込みとクリアの競合

タイマカウンタ（TCNT）の書き込みサイクル中のT2ステートで、カウンタクリア信号が発生すると、TCNTへの書き込みは行われずに、TCNTのクリアが優先されます。

このタイミングを図8.39に示します。

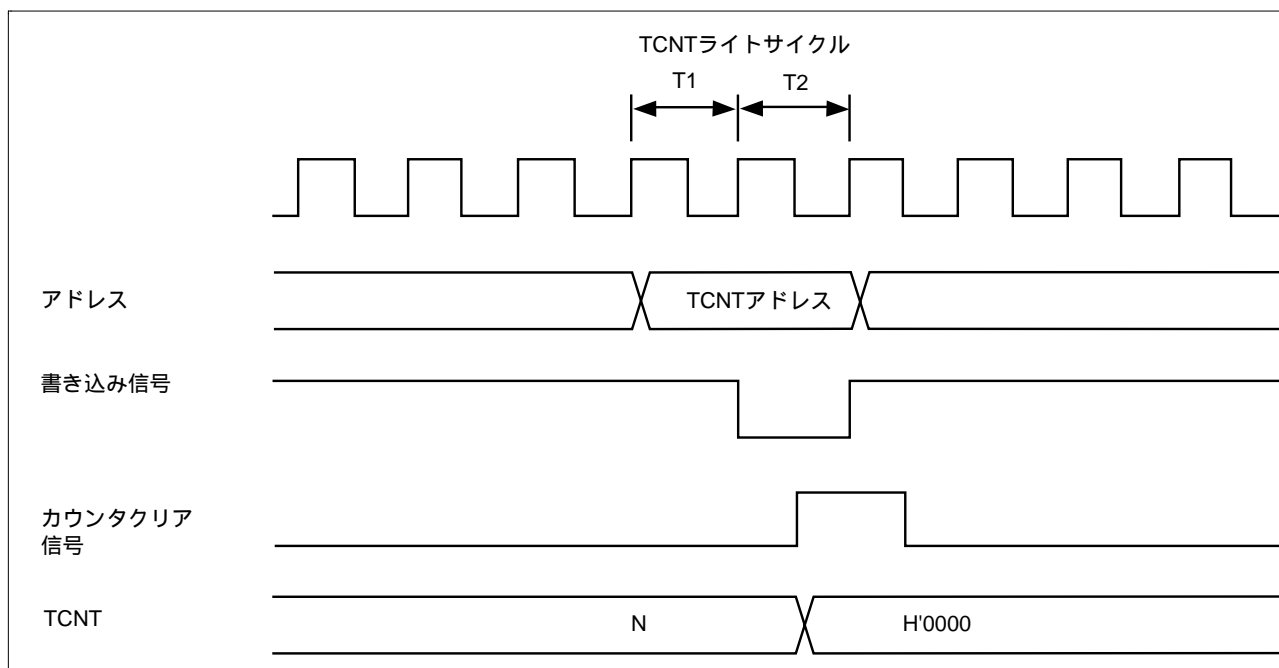


図 8.39 TCNT の書き込みとクリアの競合

(3) TCNT の書き込みとカウントアップの競合

タイマカウンタ (TCNT) の書き込みサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 8.40 に示します。

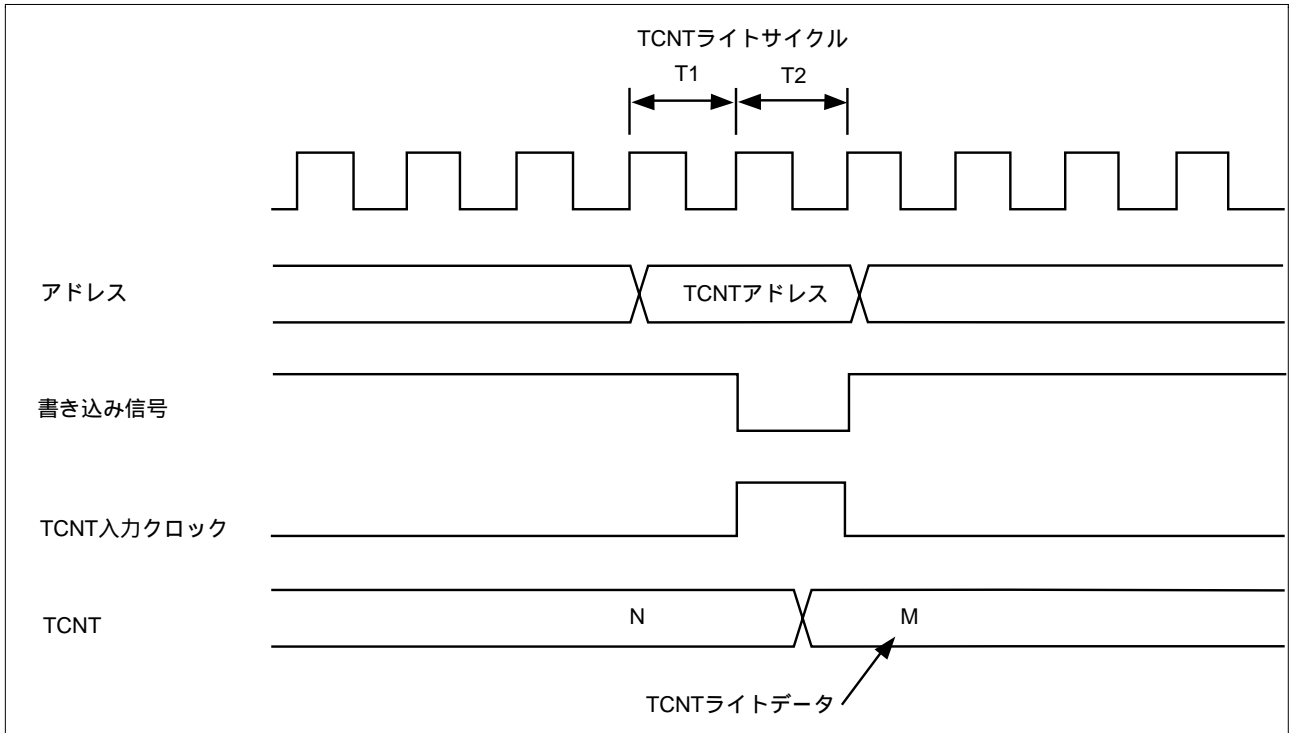


図 8.40 TCNT の書き込みとカウントアップ信号

(4) バッファレジスタの書き込みとコンペアマッチの競合

TGR の書き込みサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によってバッファレジスタから TGR にデータが転送されます。転送されるデータは、チャンネル0 では書き込み後のデータです。

このタイミングを図 8.41 に示します。

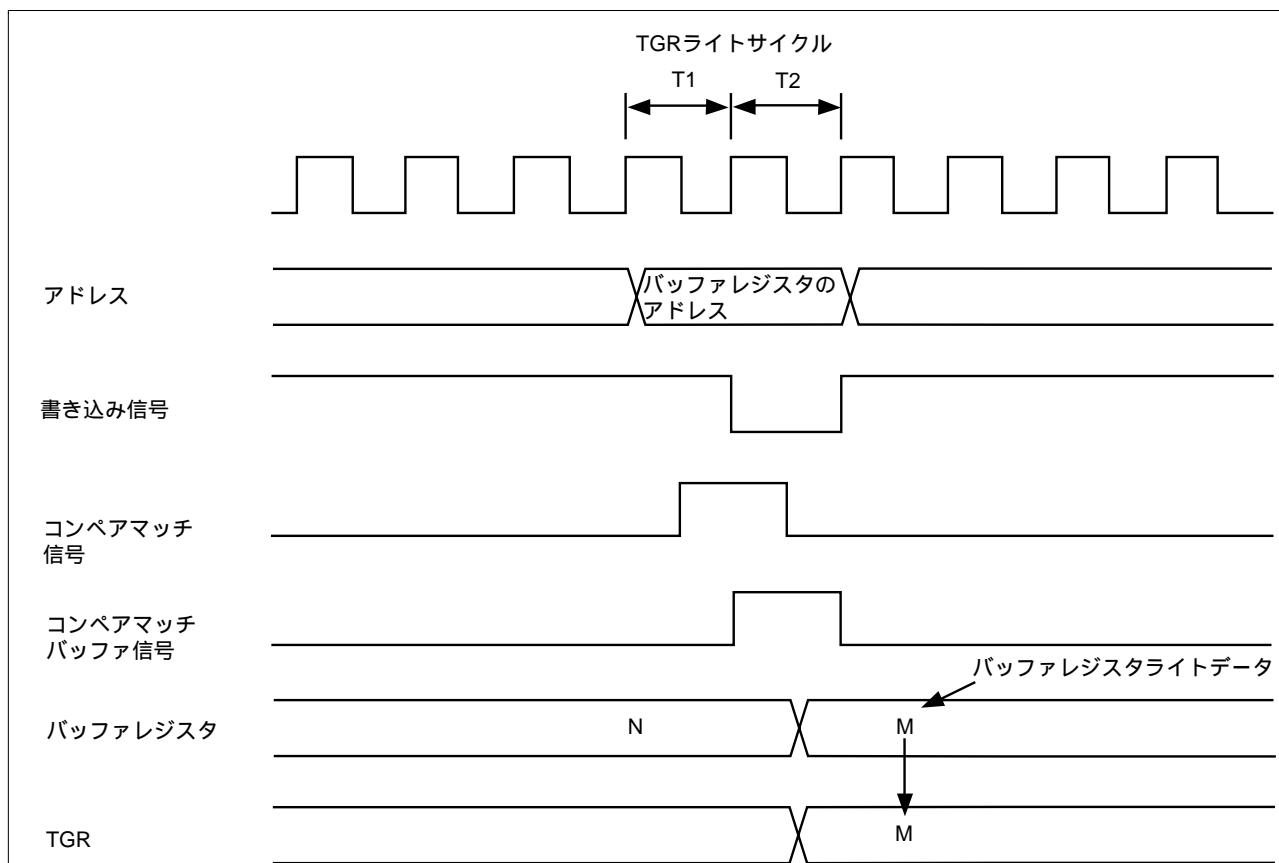


図 8.41 TGR の書き込みとコンペアマッチの競合 (チャンネル0)

(5) TGR の読み出しと入力キャプチャの競合

TGR の読み出しサイクル中の T1 ステートで入力キャプチャ信号が発生すると、読み出しされるデータは入力キャプチャ転送後のデータです。

このタイミングを図 8.42 に示します。

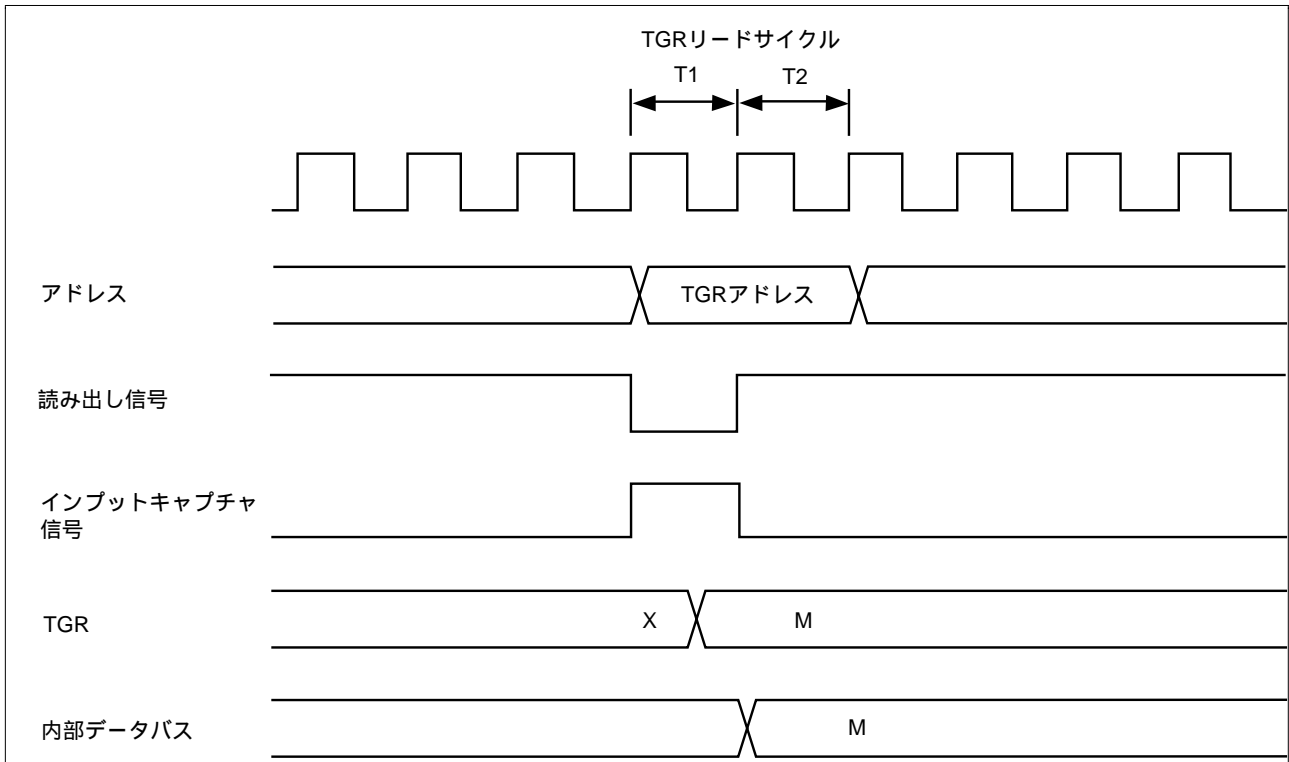


図 8.42 TGR の読み出しと入力キャプチャの競合

(6) TGRの書き込みと入力キャプチャの競合

TGR の書き込みサイクル中の T2 ステートで入力キャプチャ信号が発生すると、TGR への書き込みは行われず、入力キャプチャが優先されます。

このタイミングを図 8.43 に示します。

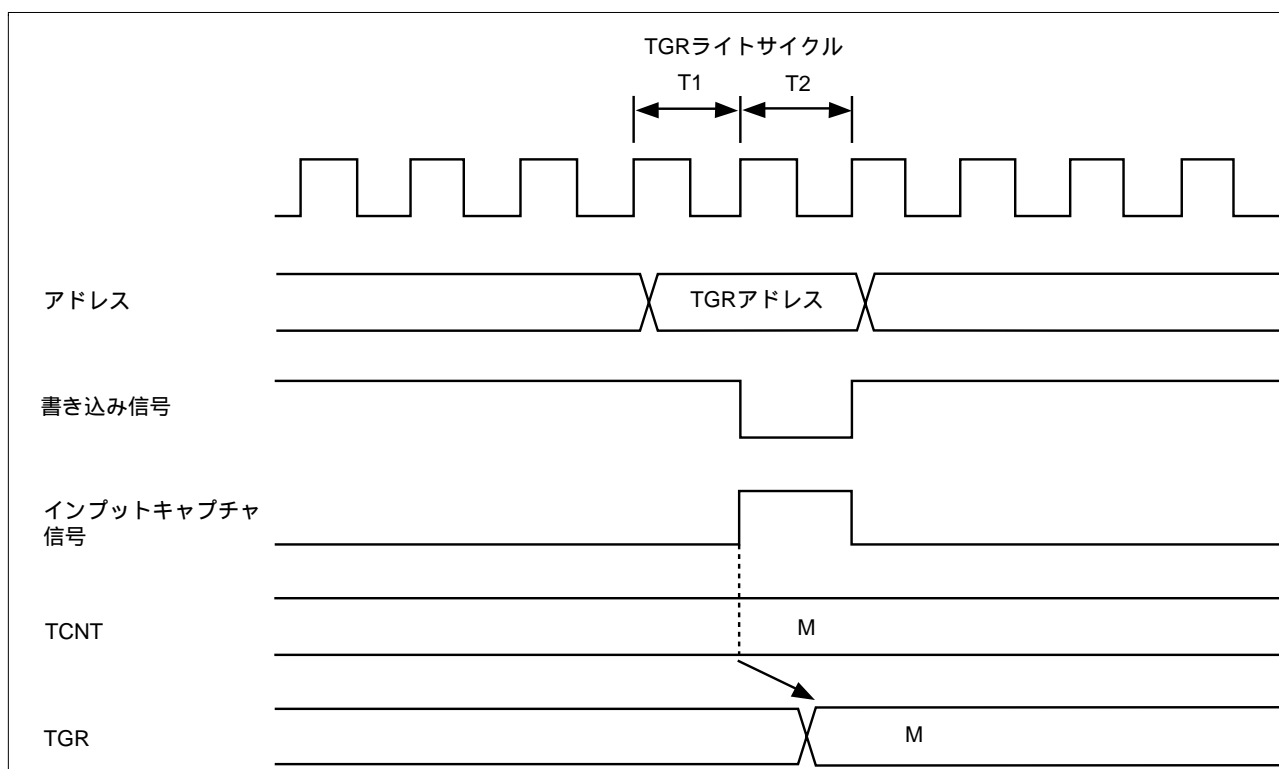


図 8.43 TGR の書き込みと入力キャプチャの競合

(7) バッファレジスタの書き込みと入力キャプチャの競合

バッファの書き込みサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 8.44 に示します。

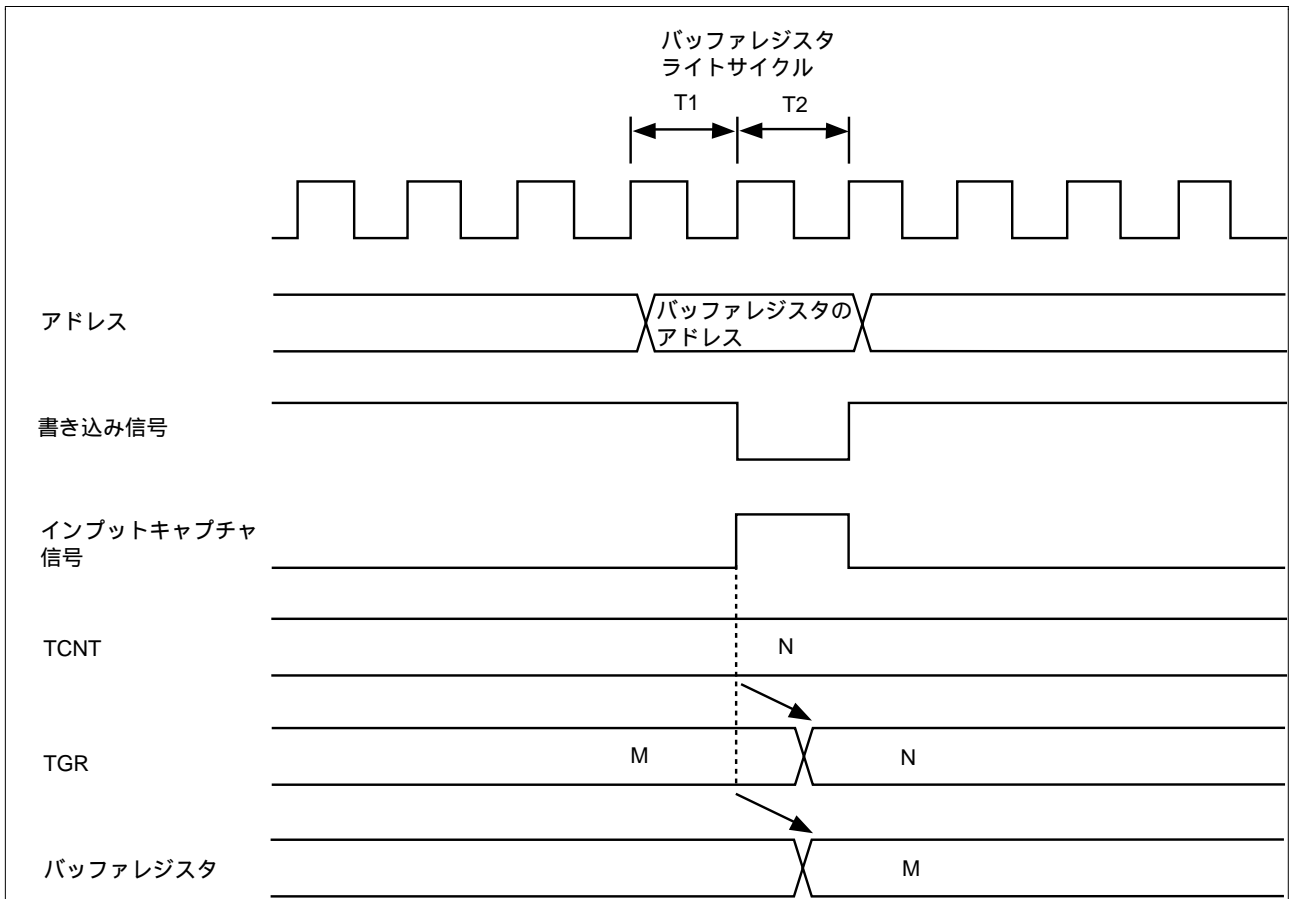


図 8.44 バッファレジスタの書き込みと入力キャプチャの競合

(8) TGRの書き込みとコンペアマッチの競合

TGRの書き込みサイクル中のT2状態でコンペアマッチが発生した場合、TGRには書き込みデータが書き込まれ、コンペアマッチ信号が発生します。

このタイミングを図8.45に示します。

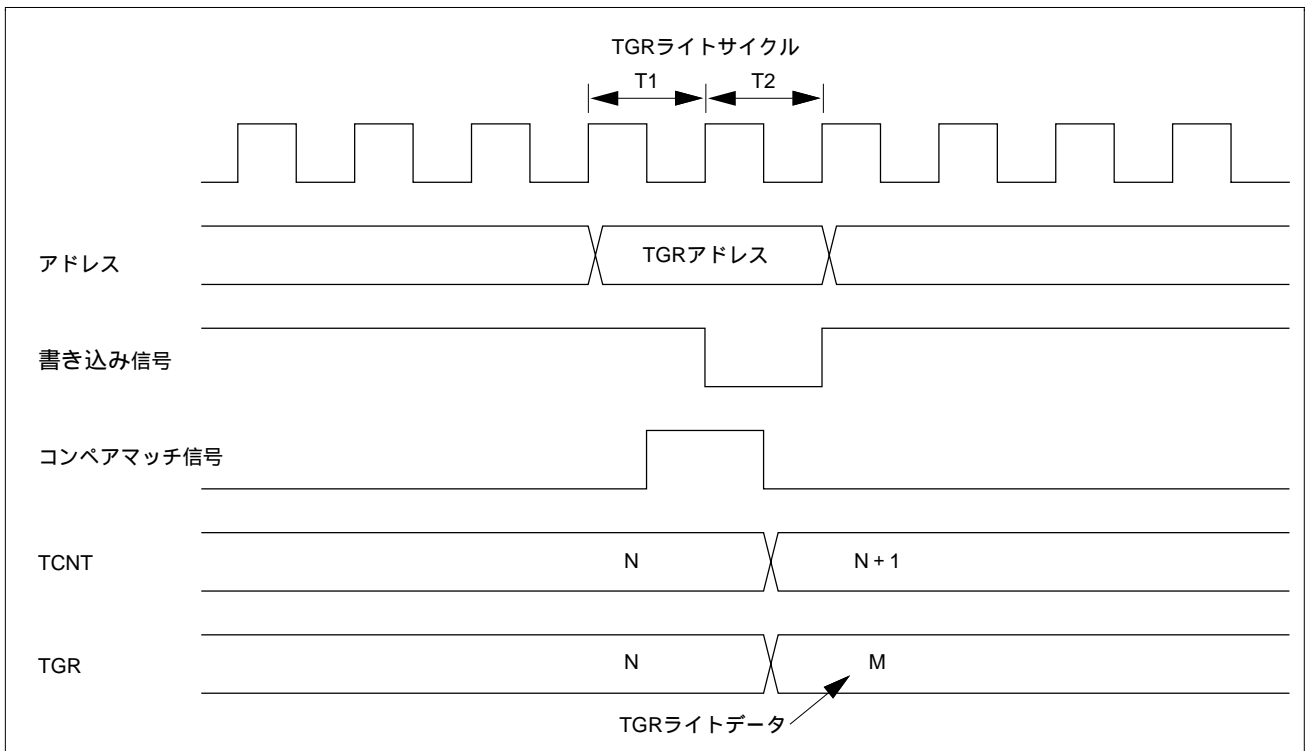


図 8.45 TGRの書き込みとコンペアマッチの競合

(9) カスケード接続における TCNT2 の書き込みとオーバフローの競合

タイマカウンタ (TCNT1 と TCNT2) をカスケード接続し、TCNT1 がカウントする瞬間 (TCNT2 がオーバフローする瞬間) と TCNT2 の書き込みサイクル中の T2 ステートが競合すると、TCNT2 への書き込みが行われ、TCNT1 のカウント信号が禁止されます。このとき、TGR1A がコンペアマッチレジスタとして動作し TCNT1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、ch0 のインプットキャプチャ要因に TCNT1 カウントクロックを選択した場合には、TGR0A、C はインプットキャプチャ動作します。さらに TGR1B のインプットキャプチャ要因に TGR0C のコンペアマッチ/インプットキャプチャを選択した場合には、TGR1B はインプットキャプチャ動作します。

このタイミングを図 8.46 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、ch1 と ch2 の同期設定を行ってください。

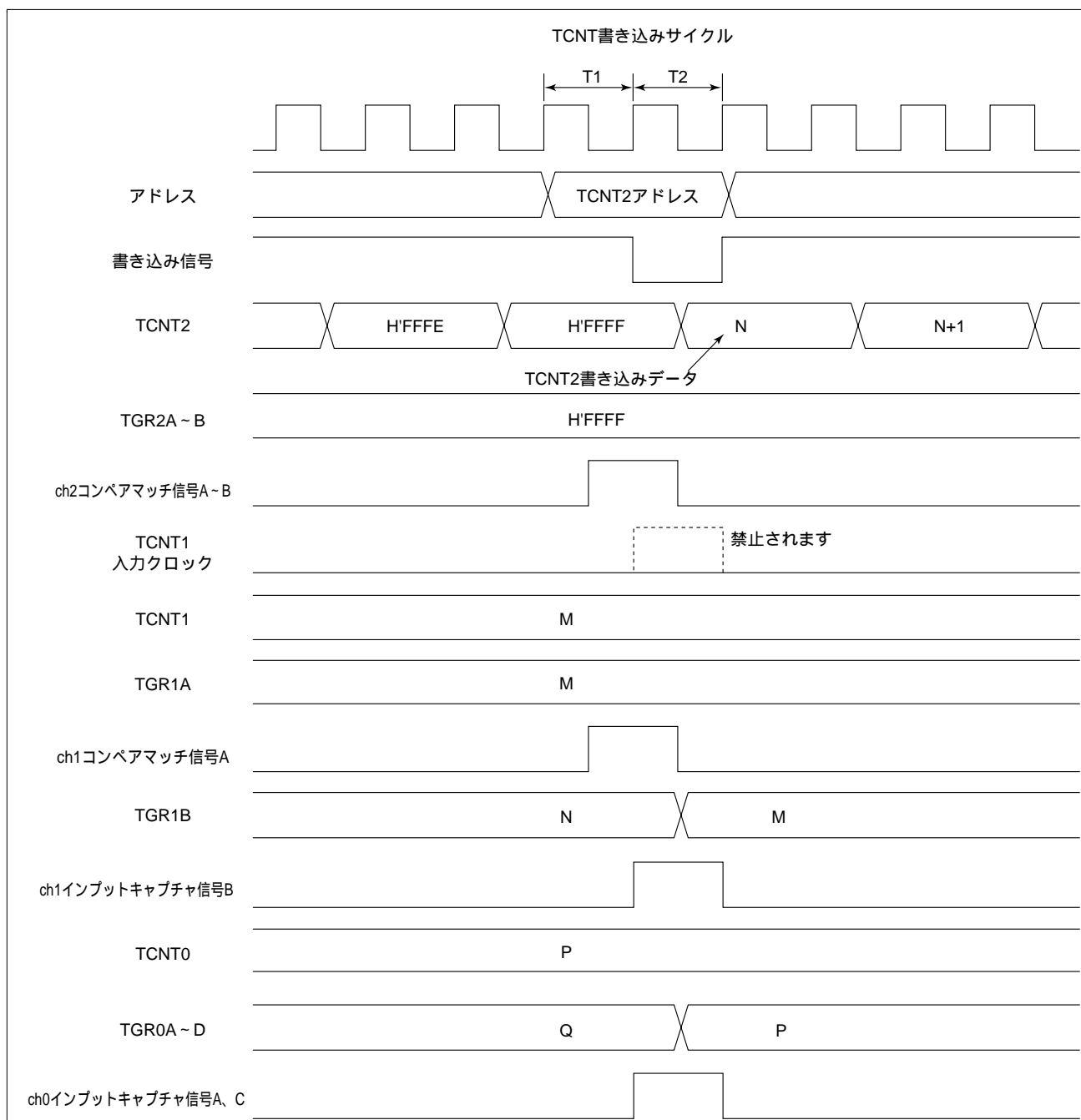


図 8.46 カスケード接続における TCNT2 の書き込みとオーバーフローの競合

(10) オーバフローとカウンタクリアの競合

オーバフローとカウンタクリアが同時に発生すると TSR の TCFV フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 8.47 に示します。

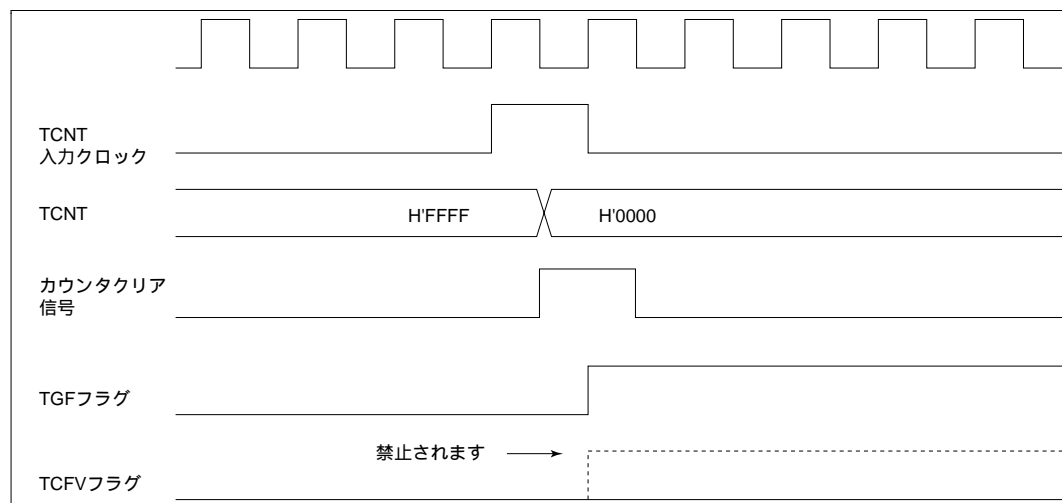


図 8.47 オーバフローとカウンタクリアの競合

(11) TCNT のライトとオーバーフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生し、オーバーフローが発生しても TCNT への書き込みが優先され、TSR の TCFV フラグはセットされません。

このタイミングを図 8.48 に示します。

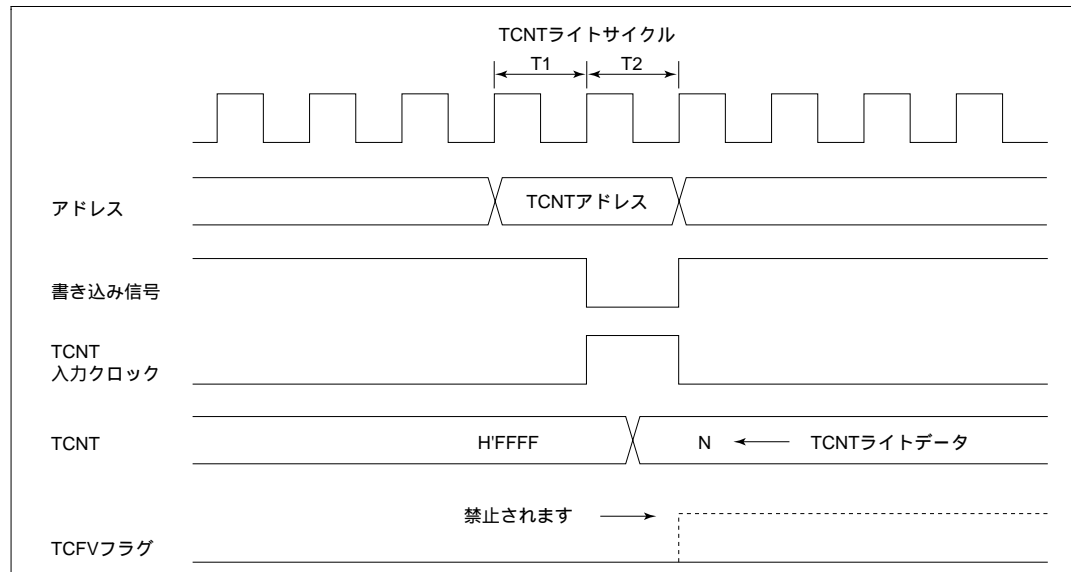


図 8.48 TCNT の書き込みとオーバーフローの競合

8.8 MTU 出力端子の初期化方法

8.8.1 動作モード

MTU には以下の 3 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ・ ノーマルモード (チャンネル 0~2)
- ・ PWM モード 1 (チャンネル 0~2)
- ・ PWM モード 2 (チャンネル 0~2)

ここでは、各々のモードでの MTU 出力端子の初期化方法について示します。

8.8.2 リセットスタート時の動作

MTU の出力端子 (TIOC*) はリセット時に "L" に初期化されます。MTU の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU の端子の状態がポートに出力されます。リセット直後に PFC で MTU の出力を選択した場合、ポート出力には MTU 出力の初期状態 "L" がそのまま出力されます。アクティブレベルが "L" の場合、ここでシステムが動作してしまうため、PFC の設定は MTU の出力端子の初期設定終了後に行ってください。

【注】 *にはチャンネル番号 + ポート記号が入ります。

8.8.3 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り換え、アクティブレベルの反転を出力することにより行います。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 3 つの動作モードがあります。モード遷移の組み合わせは 9 通りあります。この一覧表を表 8.9 に示します。

表 8.9 モード遷移の組み合わせ

前 \ 後	Normal	PWM1	PWM2
Normal	(1)	(2)	(3)
PWM1	(4)	(5)	(6)
PWM2	(7)	(8)	(9)

凡例

Normal : ノーマルモード

PWM1 : PWM モード 1

PWM2 : PWM モード 2

以後の文章中、上記の凡例を使用する場合があります。

8.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- ・ タイマ I/O コントロールレジスタ (TIOCR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2) に遷移する場合は TIOCR の設定により端子を初期化してください。
- ・ PWM モード 1 では TIOC*B 端子に波形が出力されないため、TIOCR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 1 に遷移してください。
- ・ PWM モード 2 では周期レジスタの端子に波形が出力されないため、TIOCR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 2 に遷移してください。
- ・ ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、TIOCR を設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- ・ PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、TIOCR を設定しても TGRC の端子は初期化されません。TGRC の端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

【注】本項記述中の*にはチャンネル番号が入ります。

以下、表 8.9 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは"L"とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 8.49 に示します。

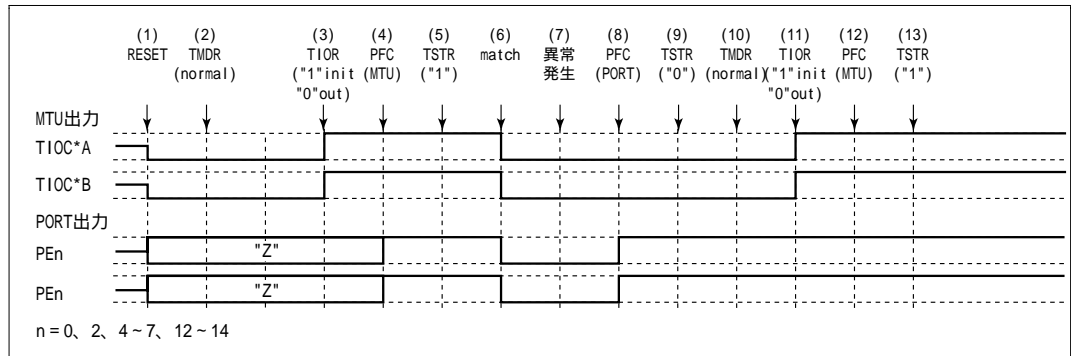


図 8.49 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は"L"、PORT は"Z"になります。
- (2) RESET により TMDR はノーマルモード設定になります。
- (3) TIOR で端子を初期化してください (例は初期出力は"H"、コンペアマッチで"L"出力です)。
- (4) PFC で MTU 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生により"L"を出力します。
- (7) 異常が発生しました。
- (8) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで再スタートする場合は必要ありません。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 8.50 に示します。

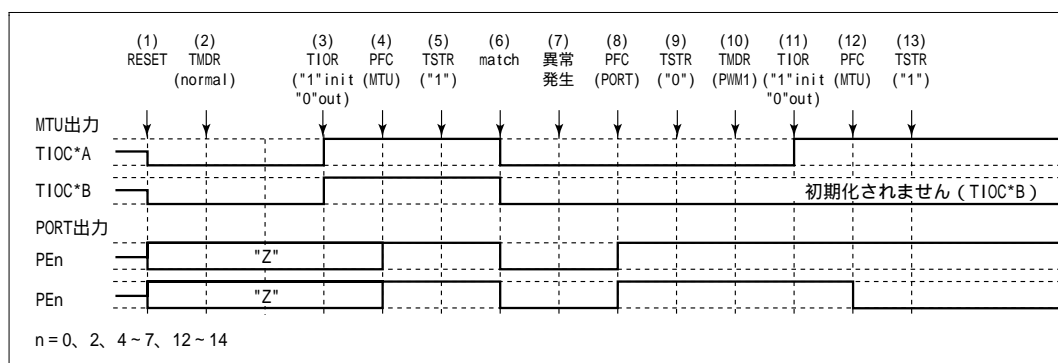


図 8.50 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 8.49 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(12) PFC で MTU 出力としてください。

(13) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード2 で再スタートする場合の説明図を図 8.51 に示します。

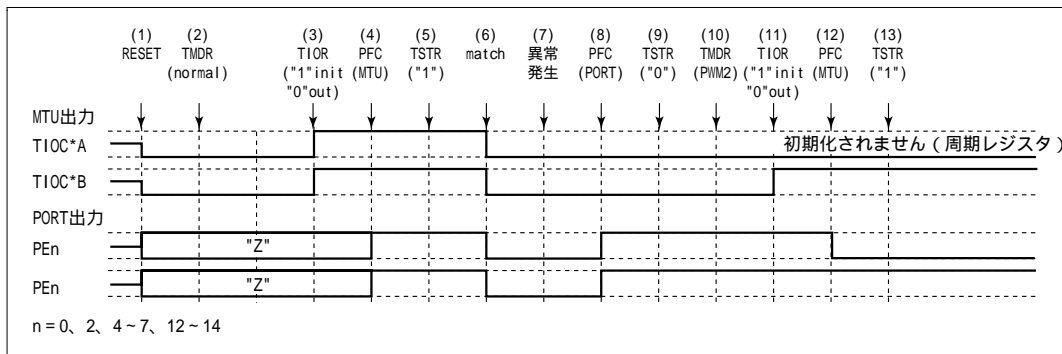


図 8.51 ノーマルモードで異常が発生し、PWM モード2 で復帰する場合

- (1) ~ (9) は図 8.49 と共通です。
- (10) PWM モード2 を設定します。
- (11) TIOR で端子を初期化してください(PWM モード2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード2 に遷移してください)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(4) PWMモード1で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWMモード1で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図8.52に示します。

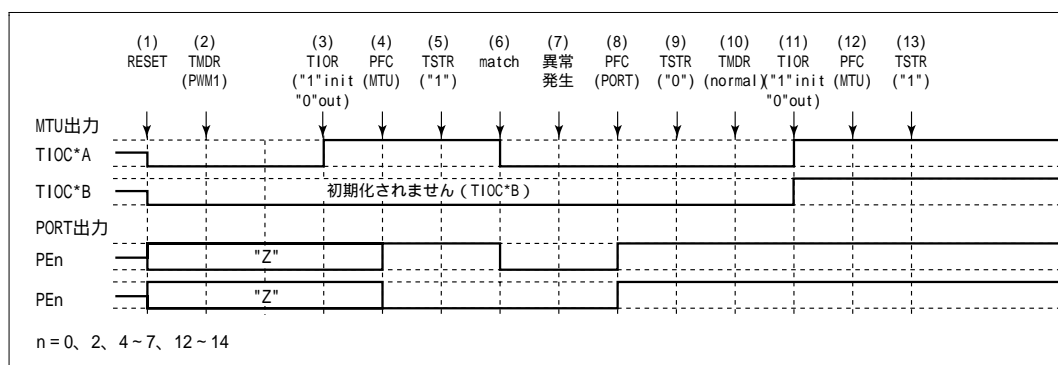


図 8.52 PWMモード1で異常が発生し、ノーマルモードで復帰する場合

- (1) RESETによりMTU出力は"L"、PORTは"Z"になります。
- (2) PWMモード1を設定してください。
- (3) TIORで端子を初期化してください(例は初期出力は"H"、コンペアマッチで"L"出力です。PWMモード1ではTIOC*B側は初期化されません)。
- (4) PFCでMTU出力としてください。
- (5) TSTRでカウント動作を開始します。
- (6) コンペアマッチの発生により"L"を出力します。
- (7) 異常が発生しました。
- (8) PFCでPORT出力とし、アクティブレベルの反転を出力してください。
- (9) TSTRでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIORで端子を初期化してください。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

(5) PWMモード1で動作中に異常が発生し、PWMモード1で再スタートする場合の動作

PWMモード1で異常が発生し、再設定後PWMモード1で再スタートする場合の説明図を図8.53に示します。

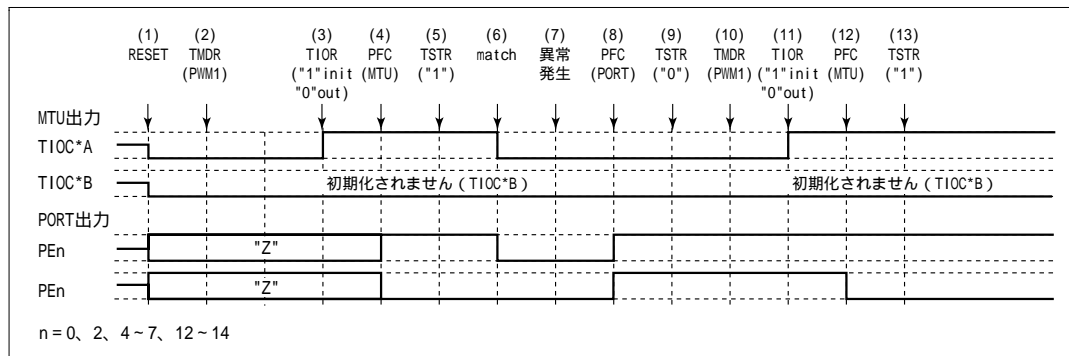


図 8.53 PWMモード1で異常が発生し、PWMモード1で復帰する場合

(1) ~ (9) は図 8.52 と共通です。

(10) PWMモード1で再スタートする場合には必要ありません。

(11) TIORで端子を初期化してください(PWMモード1ではTIOC*B側は初期化されません)。

(12) PFCでMTU出力としてください。

(13) TSTRで再スタートします。

(6) PWMモード1で動作中に異常が発生し、PWMモード2で再スタートする場合の動作

PWMモード1で異常が発生し、再設定後PWMモード2で再スタートする場合の説明図を図8.54に示します。

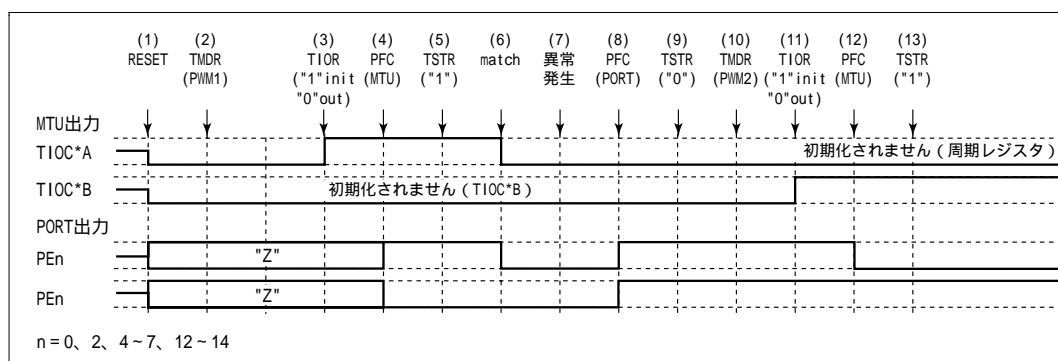


図 8.54 PWMモード1で異常が発生し、PWMモード2で復帰する場合

(1) ~ (9) は図 8.52 と共通です。

(10) PWMモード2を設定します。

(11) TIORで端子を初期化してください(PWMモード2では周期レジスタの端子は初期化されません)。

(12) PFCでMTU出力としてください。

(13) TSTRで再スタートします。

(7) PWMモード2で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWMモード2で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図8.55に示します。

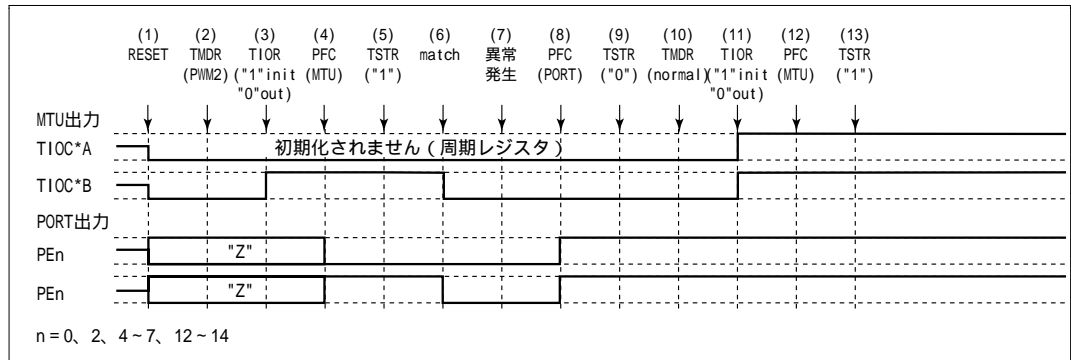


図 8.55 PWMモード2で異常が発生し、ノーマルモードで復帰する場合

- (1) RESETによりMTU出力は"L"、PORTは"Z"になります。
- (2) PWMモード2を設定してください。
- (3) TIORで端子を初期化してください(例は初期出力は"H"、コンペアマッチで"L"出力です。PWMモード2では周期レジスタの端子は初期化されません。例はTIOC*Aが周期レジスタの場合です)。
- (4) PFCでMTU出力としてください。
- (5) TSTRでカウント動作を開始します。
- (6) コンペアマッチの発生により"L"を出力します。
- (7) 異常が発生しました。
- (8) PFCでPORT出力とし、アクティブレベルの反転を出力してください。
- (9) TSTRでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIORで端子を初期化してください。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

(8) PWMモード2で動作中に異常が発生し、PWMモード1で再スタートする場合の動作

PWMモード2で異常が発生し、再設定後PWMモード1で再スタートする場合の説明図を図8.56に示します。

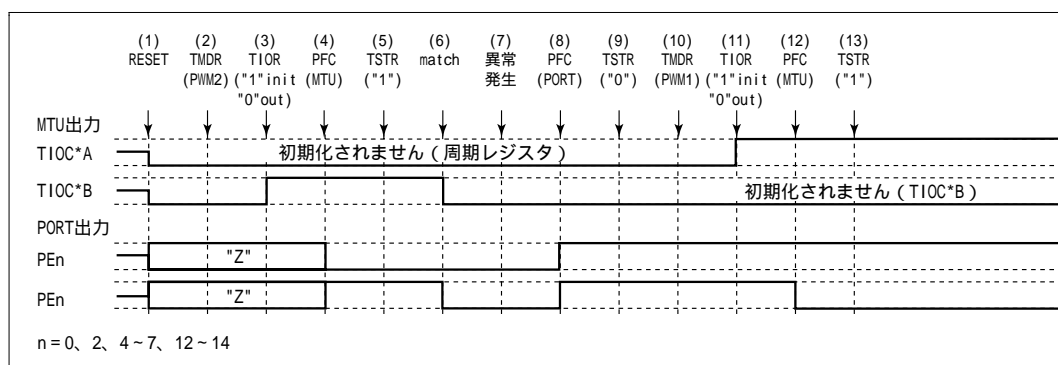


図 8.56 PWMモード2で異常が発生し、PWMモード1で復帰する場合

- (1) ~ (9) は図 8.55 と共通です。
- (10) PWMモード1を設定します。
- (11) TIORで端子を初期化してください(PWMモード1ではTIOC*B側は初期化されません)。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

(9) PWMモード2で動作中に異常が発生し、PWMモード2で再スタートする場合の動作

PWMモード2で異常が発生し、再設定後PWMモード2で再スタートする場合の説明図を図8.57に示します。

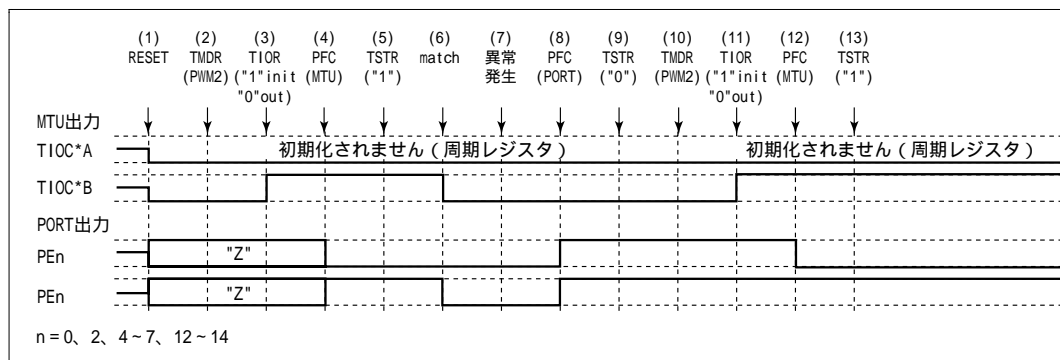


図 8.57 PWMモード2で異常が発生し、PWMモード2で復帰する場合

(1) ~ (9) は図 8.55 と共通です。

(10) PWMモード2で再スタートする場合には必要ありません。

(11) TIORで端子を初期化してください(PWMモード2では周期レジスタの端子は初期化されません)。

(12) PFCでMTU出力としてください。

(13) TSTRで再スタートします。

9. 8ビットタイマ1 (TIM1)

第9章 目次

9.1	概要	193
9.1.1	特長	193
9.1.2	ブロック図	194
9.1.3	レジスタ構成	195
9.2	レジスタの説明	196
9.2.1	タイマ1カウンタ (T1CNT)	196
9.2.2	タイマ1コントロール/ステータスレジスタ (T1CSR)	197
9.2.3	レジスタアクセス時の注意	199
9.3	動作説明	200
9.3.1	インターバルタイマの動作	200
9.3.2	オーバフローフラグ (OVF) のセットタイミング	201
9.4	使用上の注意	202
9.4.1	タイマ1カウンタ (T1CNT) の書き込みとカウントアップの競合	202
9.4.2	CKS2~CKS0ビットの書き換え	202

9.1 概要

8ビットタイマ1 (TIM1) は1チャンネルのインターバルタイマで、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

9.1.1 特長

8ビットインターバルタイマ
インターバルタイマ割り込みを発生
カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。
8種類のカウンタ入力クロックを選択可能

9.1.2 ブロック図

8ビットタイマ1 (TIM1) のブロック図を図9.1 に示します。

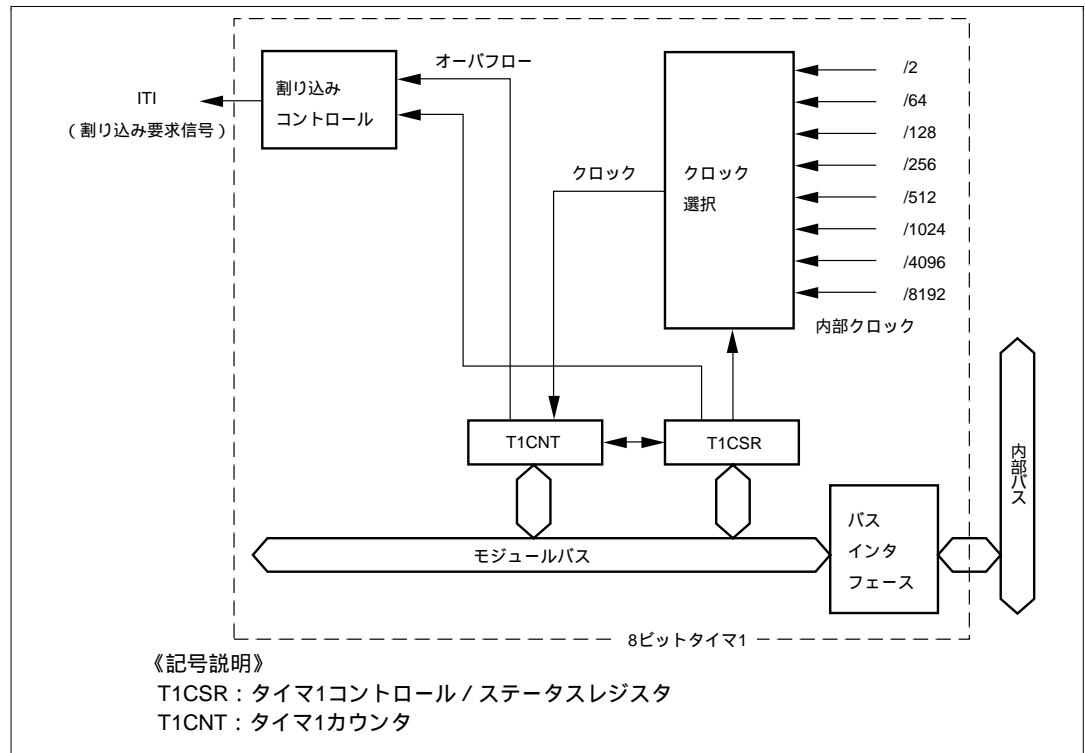


図9.1 8ビットタイマ1のブロック図

9.1.3 レジスタ構成

8ビットタイマ1 (TIM1) には、表9.1 に示すように2本のレジスタがあります。これらのレジスタにより、クロックの選択などを行います。

表9.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	
				書き込み* ¹	読み出し* ²
タイマ1コントロール/ステータスレジスタ	T1CSR	R/(W) * ³	H'18	H'FFFF8610	H'FFFF8610
タイマ1カウンタ	T1CNT	R/W	H'00		H'FFFF8611

【注】 *1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。

*2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では正しい値を読み出すことができません。

*3 ビット7にはフラグをクリアするために、0のみ書き込むことができます。

9.2 レジスタの説明

9.2.1 タイマ1カウンタ (T1CNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマ1カウンタ (T1CNT) は、読み出し / 書き込み可能な* 8ビットのアップカウンタです。タイマ1コントロール / ステータスレジスタ (T1CSR) のタイムネーブルビット (TME) を1にすると、T1CSRのCKS2~CKS0ビットで選択した内部クロックにより、T1CNTはカウントアップを開始します。T1CNTの値がオーバーフロー (H'FF H'00) すると、インターバルタイマ割り込み (ITI) が発生します。

T1CNTは、パワーオンリセットまたはTMEビットが0のとき、H'00に初期化されます。
【注】* T1CNTは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「9.2.3 レジスタアクセス時の注意」を参照してください。

9.2.2 タイマ1 コントロール/ステータスレジスタ (T1CSR)

ビット:	7	6	5	4	3	2	1	0
	OVF		TME			CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R	R/W	R	R	R/W	R/W	R/W

タイマコントロール/ステータスレジスタ (TCSR) は、読み出し/書き込み可能な^{*} 8ビットのレジスタで、タイマカウンタ (TCNT) に入力するクロック、モードの選択などを行います。

ビット7、5は、パワーオンリセットで0に初期化されます。ビット2~0は、パワーオンリセットで000に初期化されます。

【注】* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「9.2.3 レジスタアクセス時の注意」を参照してください。

ビット7: オーバフローフラグ (OVF)

T1CNTがオーバフロー (H'FF H'00) したことを示します。

ビット7	説明
OVF	
0	T1CNTのオーバフローなし (初期値) [クリア条件] OVFを読み出してから0を書き込む
1	T1CNTのオーバフロー発生

ビット6: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	タイマディスエーブル：T1CNTをH'00に初期化し、カウントアップを停止 (初期値)
1	タイマイネーブル：T1CNTはカウントアップを開始。T1CNTがオーバーフローすると、割り込みを発生。

ビット4、3：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット2～0：クロックセレクト2～0 (CKS2～CKS0)

システムクロック () を分周して得られる8種類の内部クロックから、T1CNTに入力するクロックを選択します。

ビット2	ビット1	ビット0	説明	
CKS2	CKS1	CKS0	クロック	オーバーフロー周期* (=20.0MHzの場合)
0	0	0	/2 (初期値)	25.6 μs
		1	/64	819.2 μs
	1	0	/128	1.6384ms
		1	/256	3.2768ms
1	0	0	/512	6.5536ms
		1	/1024	13.1072ms
	1	0	/4096	52.4288ms
		1	/8192	104.8576ms

【注】* オーバーフロー周期は、T1CNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。

9.2.3 レジスタアクセス時の注意

タイマ1カウンタ (T1CNT)、タイマ1コントロール/ステータスレジスタ (T1CSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出し/書き込みを行ってください。

(1) T1CNT、T1CSR への書き込み

T1CNT、T1CSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

書き込み時は、T1CNTとT1CSRが同一アドレスに割り当てられています。このため、図9.2に示すように、T1CNTへ書き込むときは上位バイトをH'5Aにし、下位バイトを書き込みデータにして転送してください。T1CSRへ書き込むときは上位バイトをH'A5にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータがT1CNTまたはT1CSRへ書き込まれます。

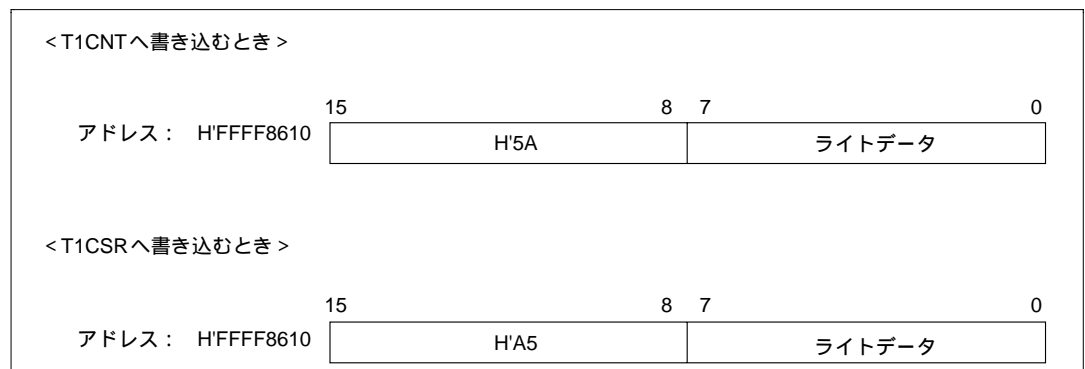


図 9.2 T1CNT、T1CSR への書き込み

(2) T1CNT、T1CSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。T1CSR は、アドレス H'FFF8610 に、T1CNT は、アドレス H'FFF8611 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

9.3 動作説明

9.3.1 インターバルタイマの動作

インターバルタイマは、タイマ1コントロール/ステータスレジスタ(T1CSR)のTMEビットを1に設定してください。図9.3に示すように、タイマ1カウンタ(T1CNT)がオーバーフローするごとにインターバルタイマ割り込み(ITI)が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

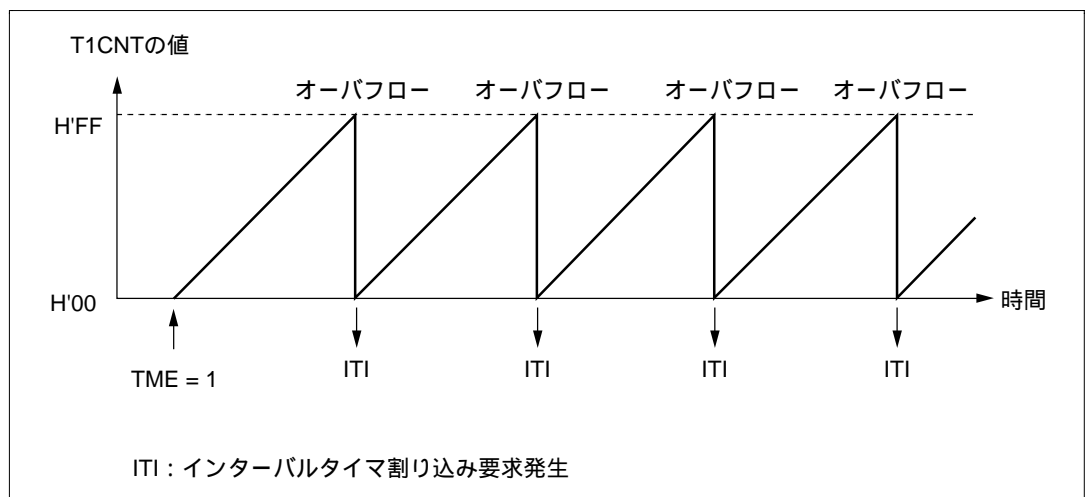


図9.3 インターバルタイマの動作

9.3.2 オーバフローフラグ (OVF) のセットタイミング

タイマ1カウンタ (T1CNT) がオーバフローすると、タイマ1コントロール/ステータスレジスタ (T1CSR) の OVF ビットが1にセットされ、同時にインターバルタイマ割り込み (ITI) が要求されます。このタイミングを図9.4に示します。

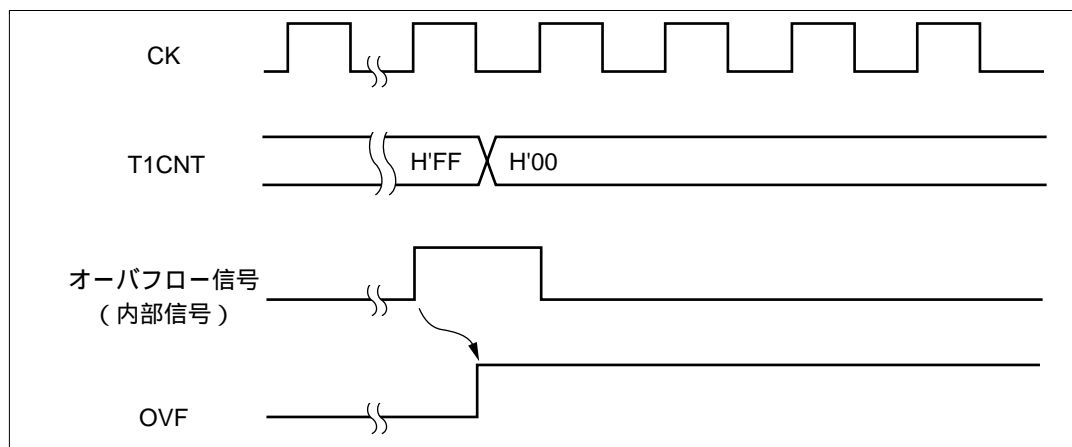


図9.4 オーバフローフラグ (OVF) のセットタイミング

9.4 使用上の注意

9.4.1 タイマ1カウンタ (T1CNT) の書き込みとカウントアップの競合

タイマ1カウンタ (T1CNT) の書き込みサイクル中の T3 ステートでカウントアップが発生しても、T1CNT へのデータ書き込みが優先され、カウントアップされません。これを図9.5に示します。

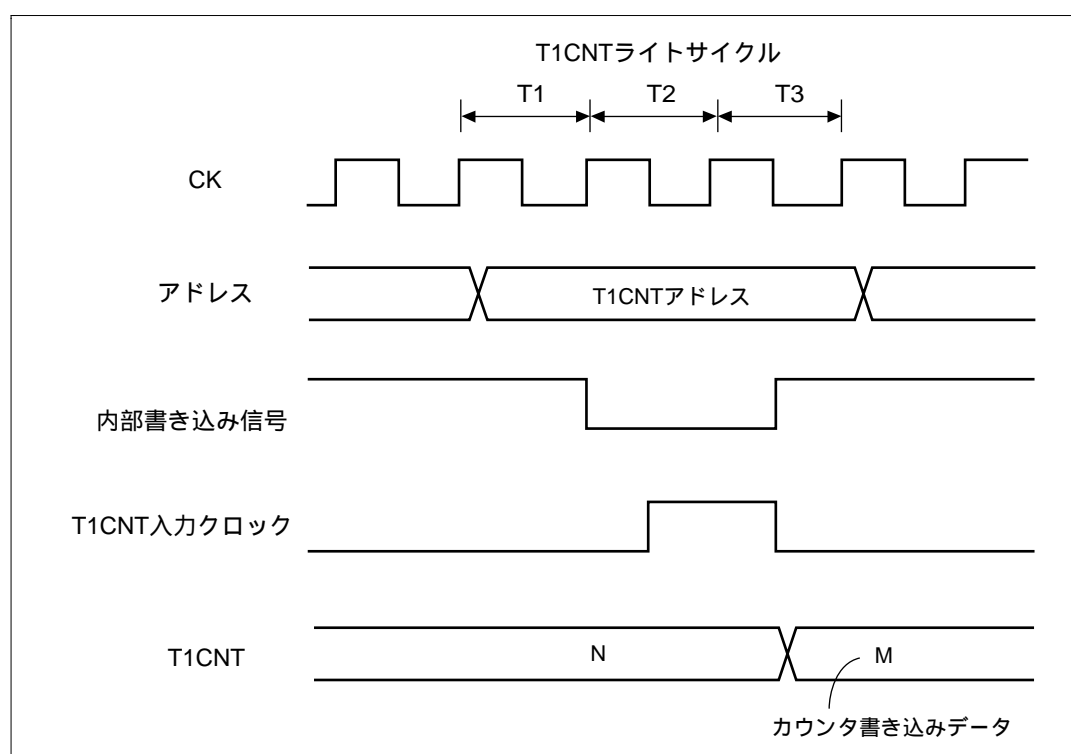


図9.5 T1CNTの書き込みとカウントアップの競合

9.4.2 CKS2 ~ CKS0 ビットの書き換え

8ビットタイマ1 (TIM1) の動作中にタイマ1コントロール/ステータスレジスタ (T1CSR) の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず8ビットタイマ1 (TIM1) を停止させてから (TME ビットを0にクリアしてから) 行ってください。

10. 8 ビットタイマ 2 (TIM2)

第 10 章 目 次

10.1	概要	205
10.1.1	特長	205
10.1.2	ブロック図	205
10.1.3	レジスタ構成	206
10.2	レジスタの説明	207
10.2.1	タイマ 2 コントロール / ステータスレジスタ (T2CSR)	207
10.2.2	タイマ 2 カウンタ (T2CNT)	209
10.2.3	タイマ 2 コンスタントレジスタ (T2COR)	209
10.3	動作説明	210
10.3.1	周期カウント動作	210
10.3.2	T2CNT のカウントタイミング	210
10.4	割り込み	211
10.4.1	割り込み要因	211
10.4.2	コンペアマッチフラグのセットタイミング	211
10.4.3	コンペアマッチフラグのクリアタイミング	212

10.1 概要

8ビットタイマ2 (TIM2) は、1チャンネルのインターバルタイマで、コンペアマッチで割り込みを発生します。

10.1.1 特長

- 8ビットインターバルタイマ
- コンペアマッチ割り込みを発生
- カウンタがコンペアマッチすると、コンペアマッチ割り込みが発生します。
- 7種類のカウンタ入力クロックを選択可能

10.1.2 ブロック図

8ビットタイマ2 (TIM2) のブロック図を図 10.1 に示します。

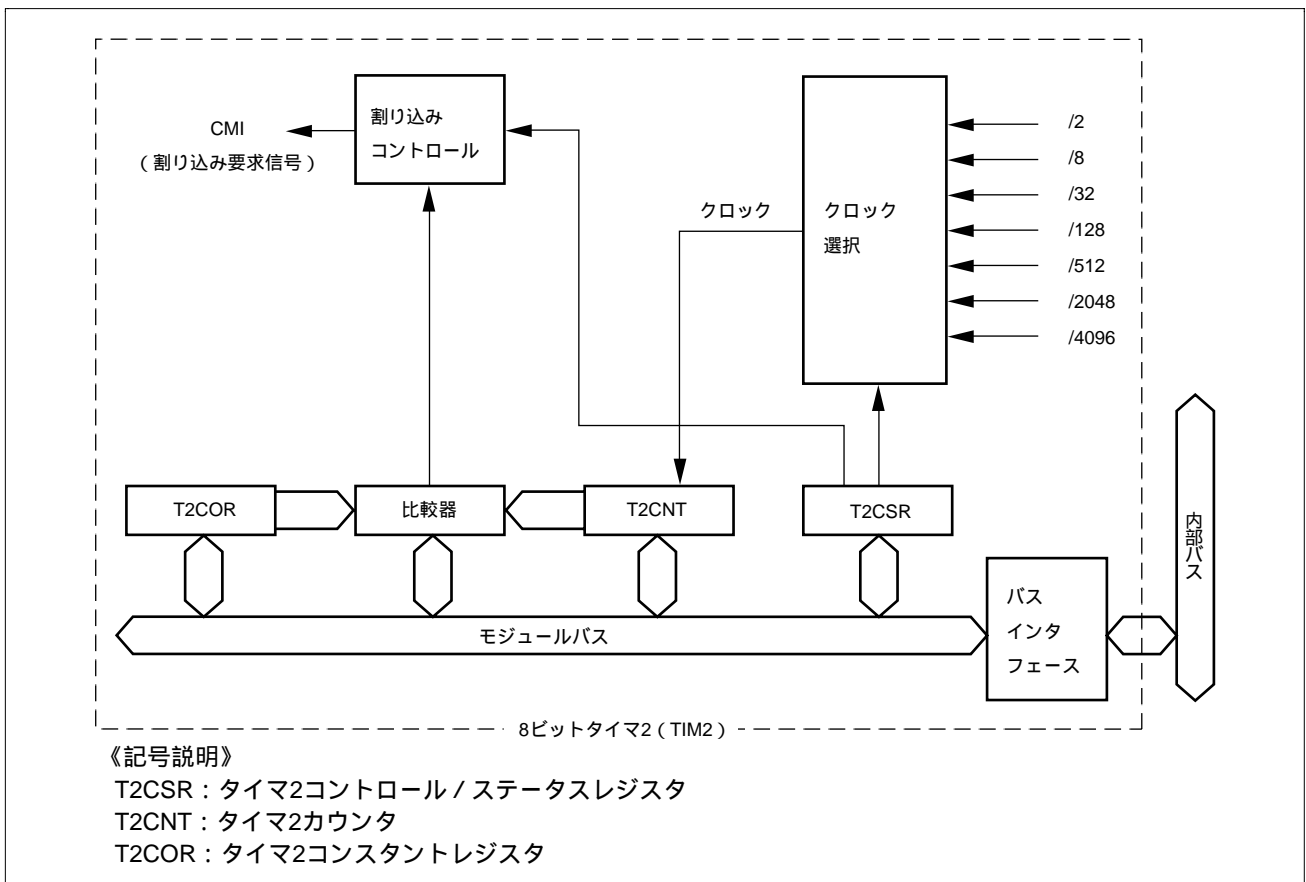


図 10.1 8ビットタイマ2のブロック図

10.1.3 レジスタ構成

8ビットタイマ2 (TIM2) には3本のレジスタがあります。これらのレジスタにより、コンペアマッチ周期の設定、クロックの選択などを行います。レジスタ構成を表 10.1 に示します。

レジスタサイズはすべて16ビットです。

8ビットタイマ2 (TIM2) のレジスタはすべてパワーオンリセットにより初期化されません。

表 10.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
タイマ2コントロール /ステータスレジスタ	T2CSR	R/W	H'0000	H'FFFF862C	8、16、32
タイマ2カウンタ	T2CNT	R/W	H'0000	H'FFFF862E	8、16、32
タイマ2コンスタントレジスタ	T2COR	R/W	H'0000	H'FFFF8630	8、16

10.2 レジスタの説明

10.2.1 タイマ2 コントロール/ステータスレジスタ (T2CSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
										CMF	CMIE	CKS2	CKS1	CKS0		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R

タイマ2 コントロール/ステータスレジスタ (T2CSR) は、読み出し/書き込み可能な16ビットのレジスタで、タイマ2 カウンタ (T2CNT) に入力するクロックを選択し、コンペアマッチ割り込み (CMI) を制御します。

T2CSR はパワーオンリセットで H'0000 に初期化されます。

ビット15~7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6: コンペアマッチフラグ (CMF)

T2CNT の値と T2COR の値が一致したことを示すステータスフラグであり、以下の条件でセットおよびクリアされます。

ビット6	説明
CMF	
0	クリア条件: CMF=1 の状態で T2CSR を読み出した後、CMF に'0'を書き込んだとき。 (初期値)
1	セット条件: T2CNT=T2COR になったとき。*

【注】 * T2CNT および T2COR が初期値のままのとき (初期値から値を書き換えていないときおよび T2CNT がカウントアップにより値を変化させていないとき)、T2CNT および T2COR は共に H'0000 で一致していますがこのときには CMF はセットされません。

ビット5：コンペアマッチインタラプトイネーブル (CMIE)

T2CSRのCMFが1にセットされたとき、CMFによる割り込み要求を許可または禁止します。

ビット5	説明	
CMIE		
0	CMFによる割り込み要求を禁止	(初期値)
1	CMFによる割り込み要求を許可	

ビット4～2：クロックセレクト (CKS2、CKS1、CKS0)

システムクロック()を分周して得られる7種類の内部クロックからT2CNTに入力するクロックを選択します。

ビット4	ビット3	ビット2	説明
CKS2	CKS1	CKS0	
0	0	0	カウントアップ停止 (初期値)
0	0	1	/2
0	1	0	/8
0	1	1	/32
1	0	0	/128
1	0	1	/512
1	1	0	/2048
1	1	1	/4096

ビット1、0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

10.2.2 タイマ2 カウンタ (T2CNT)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマ2 カウンタ (T2CNT) は読み出し / 書き込み可能な 16 ビットのレジスタで、8 ビットアップカウンタとして使用します。

T2CNT は T2CSR の CKS2~0 ビットで選択したクロックによりカウントアップされます。T2CNT の値は CPU から常に読み出し / 書き込み可能です。T2CNT がタイマ2 コンスタントレジスタ (T2COR) と一致すると、T2CNT は H'0000 にクリアされ、T2CSR の CMF フラグが 1 にセットされます。このとき、T2CSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) が発生します。

ビット 15~8 は予約ビットで、カウンタ動作は行いません。常に '0' が読み出されます。書き込む値も常に 0 にしてください。

T2CNT はパワーオンリセットで H'0000 に初期化されます。

10.2.3 タイマ2 コンスタントレジスタ (T2COR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマ2 コンスタントレジスタ (T2COR) は読み出し / 書き込み可能な 16 ビットのレジスタで、T2CNT とのコンペアマッチ周期を設定します。T2COR と T2CNT の値は常に比較され、両方の値が一致すると T2CSR の CMF フラグがセットされ、T2CNT は 0 にクリアされます。

T2CSR の CMIE が 1 にセットされていると、この一致信号によって割り込みコントローラに対し割り込み要求を発生させます。割り込み要求は T2CSR の CMF がクリアされるまで続けて出力されます。

ビット 15~8 は予約ビットで、周期設定には使用できません。常に '0' が読み出されます。T2COR はパワーオンリセットで H'0000 に初期化されます。

10.3 動作説明

10.3.1 周期カウント動作

T2CSR レジスタの CKS2、CKS1、CKS0 ビットでクロックを選択すると、選択したクロックによって T2CNT カウンタはカウントアップを開始します。T2CNT カウンタの値がタイマ2 コンスタントレジスタ (T2COR) の値と一致すると、T2CNT カウンタは H'00 にクリアされ、T2CSR レジスタの CMF フラグが 1 にセットされます。このとき、T2CSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。T2CNT カウンタは H'00 から再びカウントアップ動作を再開します。

コンペアマッチカウンタの動作を図 10.2 に示します。

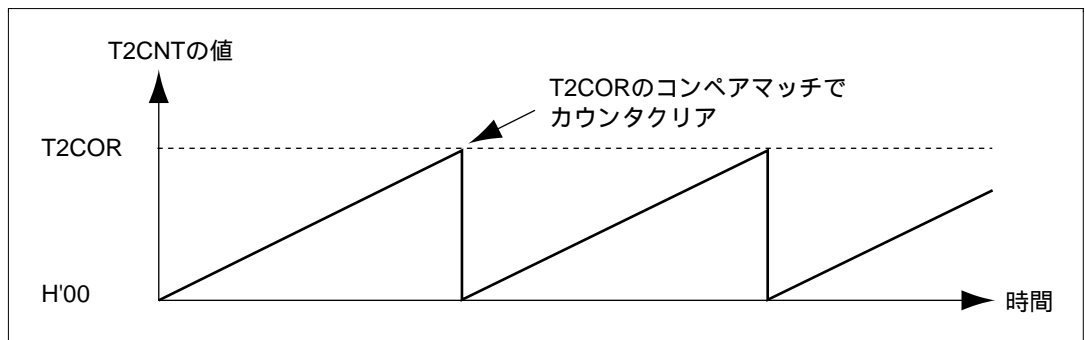


図 10.2 カウンタの動作

10.3.2 T2CNT のカウントタイミング

T2CSR の CKS2、CKS1、CKS0 ビットにより、システムクロック (CK) を分周した 7 種類のクロック (/ 2、 / 8、 / 32、 / 128、 / 512、 / 2048、 / 4096) が選択できます。このときのタイミングを図 10.3 に示します。

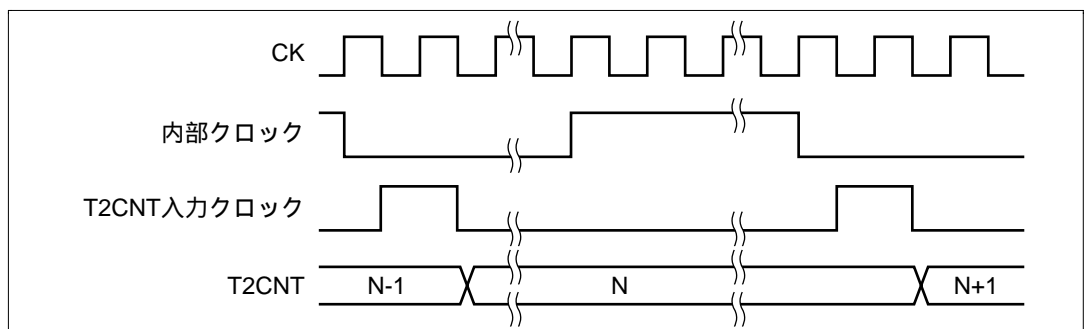


図 10.3 カウントタイミング

10.4 割り込み

10.4.1 割り込み要因

割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。

10.4.2 コンペアマッチフラグのセットタイミング

T2CSR レジスタの CMF ビットは、T2COR レジスタと T2CNT カウンタが一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (T2CNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、T2CNT カウンタと T2COR レジスタが一致した後、T2CNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF ビットのセットタイミングを図 10.4 に示します。

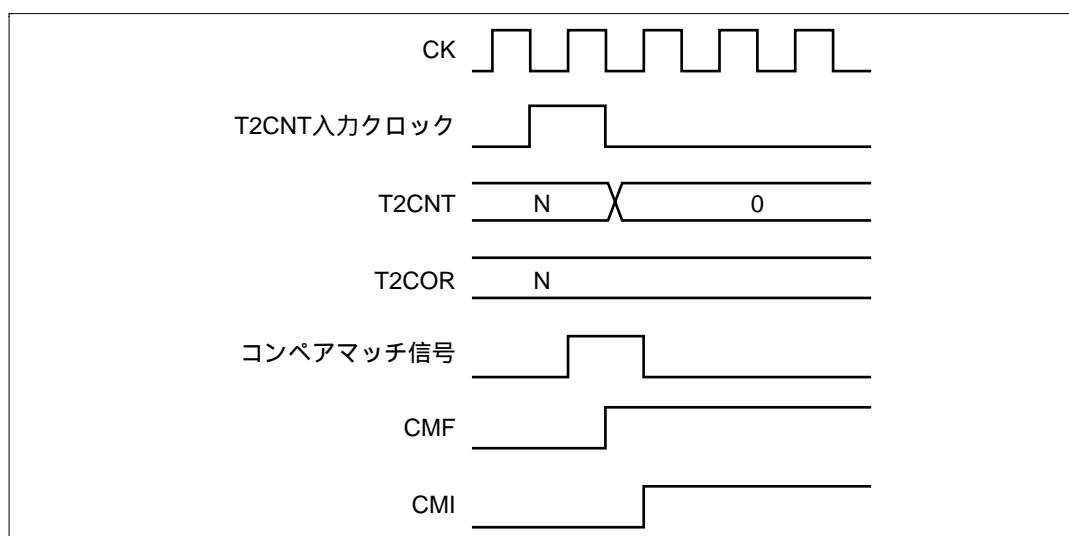


図 10.4 CMF のセットタイミング

10.4.3 コンペアマッチフラグのクリアタイミング

T2CSR レジスタの CMF ビットは、1 の状態を読み出したあとに 0 を書き込むとクリアされます。CPU による CMF ビットのクリアタイミングを図 10.5 に示します。

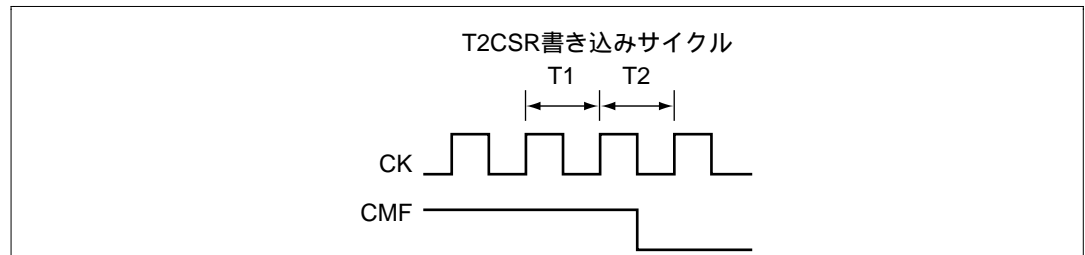


図 10.5 CPU による CMF のクリアタイミング

11. コンペアマッチタイマ (CMT)

第11章 目次

11.1	概要	215
11.1.1	特長	215
11.1.2	ブロック図	215
11.1.3	レジスタ構成	216
11.2	レジスタの説明	217
11.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	217
11.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	218
11.2.3	コンペアマッチタイマカウンタ (CMCNT)	220
11.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	220
11.3	動作説明	221
11.3.1	周期カウント動作	221
11.3.2	CMCNTのカウントタイミング	221
11.4	割り込み	222
11.4.1	割り込み要因	222
11.4.2	コンペアマッチフラグのセットタイミング	222
11.4.3	コンペアマッチフラグのクリアタイミング	223
11.5	使用上の注意	224

11.1 概要

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT: Compare match timer) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

11.1.1 特長

CMT には、次のような特長があります。

4 種類のカウンタ入力クロックを選択可能

4 種類の内部クロック (/8、 /32、 /128、 /512) の中から各チャンネル独立に選択できます。

割り込み要因

コンペアマッチ割り込みを各チャンネル独立に要求することができます。

11.1.2 ブロック図

CMT のブロック図を図 11.1 に示します。

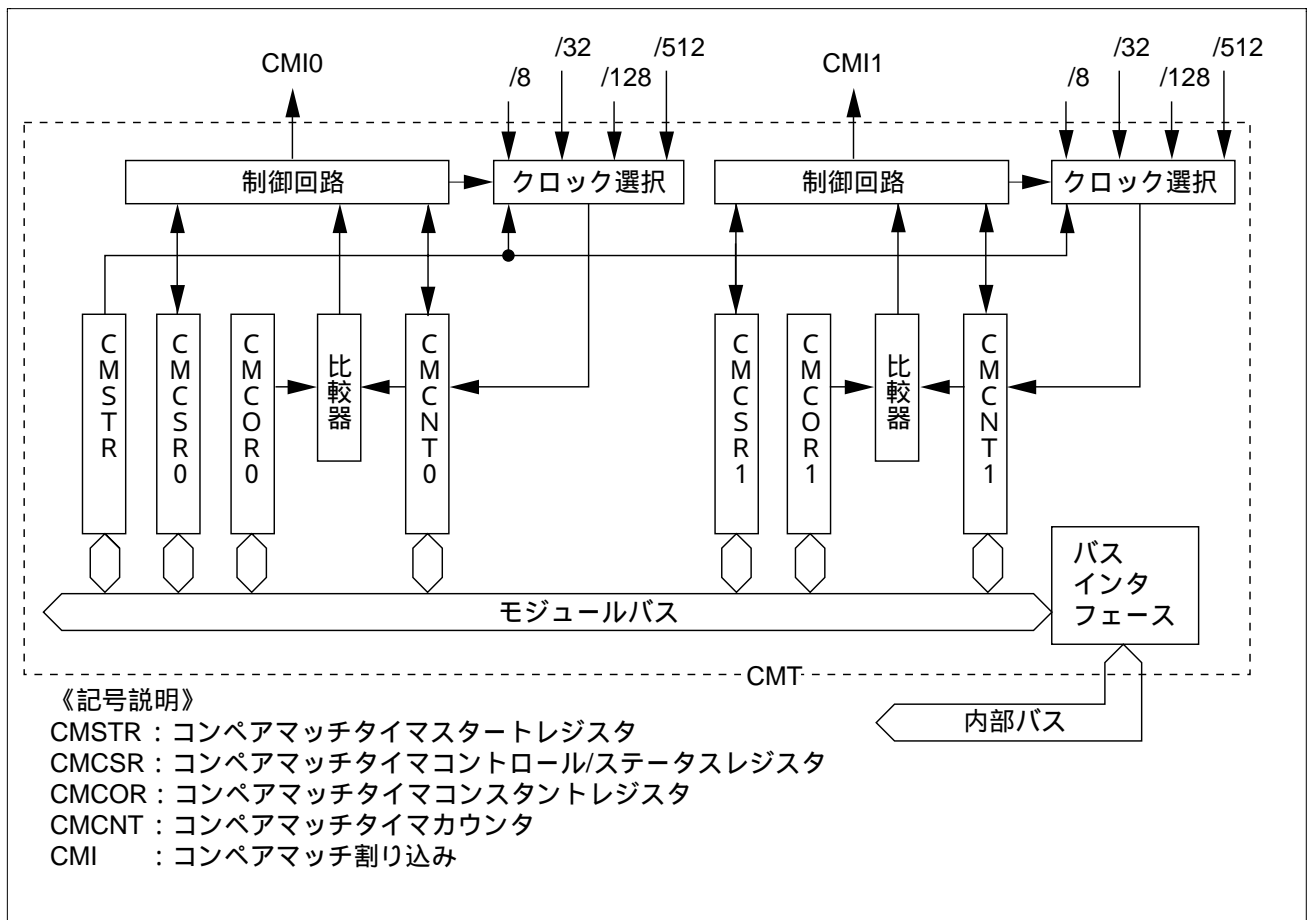


図 11.1 CMT のブロック図

11. コンペアマッチタイマ (CMT)

11.1.3 レジスタ構成

CMT のレジスタ構成を表 11.1 に示します。

表 11.1 レジスタ構成

チャンネル	名称	R/W	略称	初期値	アドレス	アクセスサイズ (ビット)
共通	コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'0000	H'FFFF83D0	8、16、32
0	コンペアマッチタイマコントロール/ ステータスレジスタ 0	CMCSR0	R/(W)*	H'0000	H'FFFF83D2	8、16、32
	コンペアマッチタイマカウンタ 0	CMCNT0	R/W	H'0000	H'FFFF83D4	8、16、32
	コンペアマッチタイマコンスタントレジ スタ 0	CMCOR0	R/W	H'FFFF	H'FFFF83D6	8、16、32
1	コンペアマッチタイマコントロール/ ステータスレジスタ 1	CMCSR1	R/(W)*	H'0000	H'FFFF83D8	8、16、32
	コンペアマッチタイマカウンタ 1	CMCNT1	R/W	H'0000	H'FFFF83DA	8、16、32
	コンペアマッチタイマコンスタントレジ スタ 1	CMCOR1	R/W	H'FFFF	H'FFFF83DC	8、16

【注】 * CMCSR0、1 の CMF ビットは、フラグをクリアするための 0 書き込みのみ可能です。

11.2 レジスタの説明

11.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

コンペアマッチタイマスタートレジスタ (CMSTR) はチャンネル 0、1 のカウンタ (CMCNT) を動作させるか、停止させるかの設定を行います。CMSTR レジスタは 16 ビットのレジスタです。パワーオンリセットで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR1	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット 15~2: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1: カウントスタート 1 (STR1)

コンペアマッチタイマカウンタ 1 (CMCNT1) を動作させるか、停止させるかを選択します。

ビット 1	説明
STR1	
0	CMCNT1 のカウント動作は停止 (初期値)
1	CMCNT1 はカウント動作

ビット 0: カウントスタート 0 (STR0)

コンペアマッチタイマカウンタ 0 (CMCNT0) を動作させるか、停止させるかを選択します。

ビット 0	説明
STR0	
0	CMCNT0 のカウント動作は停止 (初期値)
1	CMCNT0 はカウント動作

11.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) はコンペアマッチ発生を表示、割り込みの許可/禁止の設定、カウントアップに用いられるクロックの設定を行います。CMCSR レジスタは 16 ビットのレジスタです。パワーオンリセットで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	-	-	-	-	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

【注】 * フラグをクリアするために、0のみ書き込みことができます。

ビット 15~8、5~2: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 7: コンペアマッチフラグ (CMF)

コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。

ビット7	説明
CMF	
0	CMCNTとCMCORの値が一致していない [クリア条件] CMFの1を読み出してから0を書き込む (初期値)
1	CMCNTとCMCORの値が一致した

ビット6: コンペアマッチ割り込みイネーブル (CMIE)

CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。

ビット6	説明
CMIE	
0	コンペアマッチ割り込み (CMI) を禁止 (初期値)
1	コンペアマッチ割り込み (CMI) を許可

ビット1、0: クロックセレクト1、0 (CKS1、CKS0)

システムクロック () を分周して得られる4種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットを1にセットすると、CKS1、CKS0 で選択されたクロックにより CMCNT がカウントアップを開始します。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	/ 8 (初期値)
0	1	/ 32
1	0	/ 128
1	1	/ 512

11.2.3 コンペアマッチタイマカウンタ (CMCNT)

コンペアマッチタイマカウンタ (CMCNT) は割り込み要求を発生させるためのアップカウンタとして使用します。

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR の STR ビットを 1 にセットすると、そのクロックによって CMCNT はカウントアップを開始します。CMCNT の値がコンペアマッチタイマコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ、CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。

CMCNT レジスタは 16 ビットのレジスタです。パワーオンリセットで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

コンペアマッチタイマコンスタントレジスタ (CMCOR) は CMCNT とのコンペアマッチ周期を設定します。

CMCOR レジスタは 16 ビットのレジスタです。パワーオンリセットで H'FFFF に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3 動作説明

11.3.1 周期カウント動作

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR レジスタの STR ビットを 1 にセットすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。CMCNT カウンタの値がコンペアマッチレジスタ (CMCOR) の値と一致すると、CMCNT カウンタは H'0000 にクリアされ、CMCSR レジスタの CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT カウンタは H'0000 から再びカウントアップ動作を再開します。

コンペアマッチカウンタの動作を図 11.2 に示します。

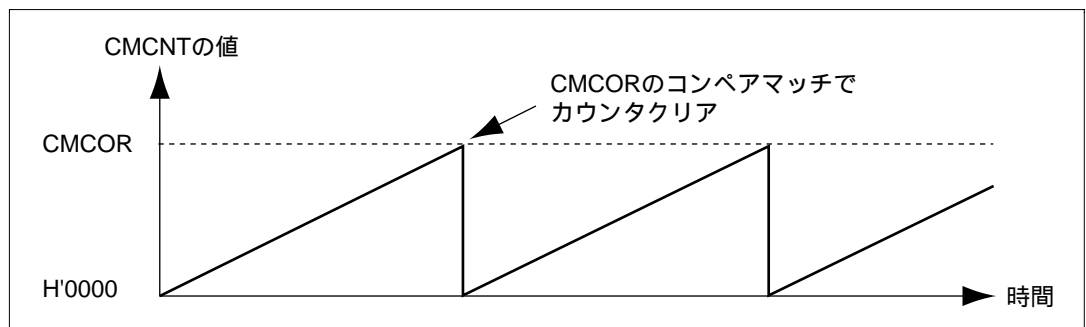


図 11.2 カウンタの動作

11.3.2 CMCNT のカウントタイミング

CMCSR の CKS1、CKS0 ビットにより、システムクロック (CK) を分周した 4 種類のクロック (/ 8、 / 32、 / 128、 / 512) が選択できます。このときのタイミングを図 11.3 に示します。

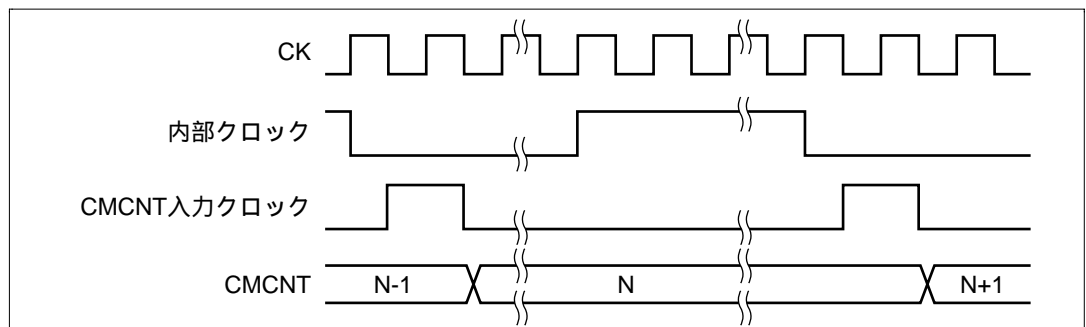


図 11.3 カウントタイミング

11.4 割り込み

11.4.1 割り込み要因

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「6. 割り込みコントローラ」を参照してください。

11.4.2 コンペアマッチフラグのセットタイミング

CMCSR レジスタの CMF ビットは、CMCOR レジスタと CMCNT カウンタが一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後の状態 (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタと CMCOR レジスタが一致した後、CMCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF ビットのセットタイミングを図 11.4 に示します。

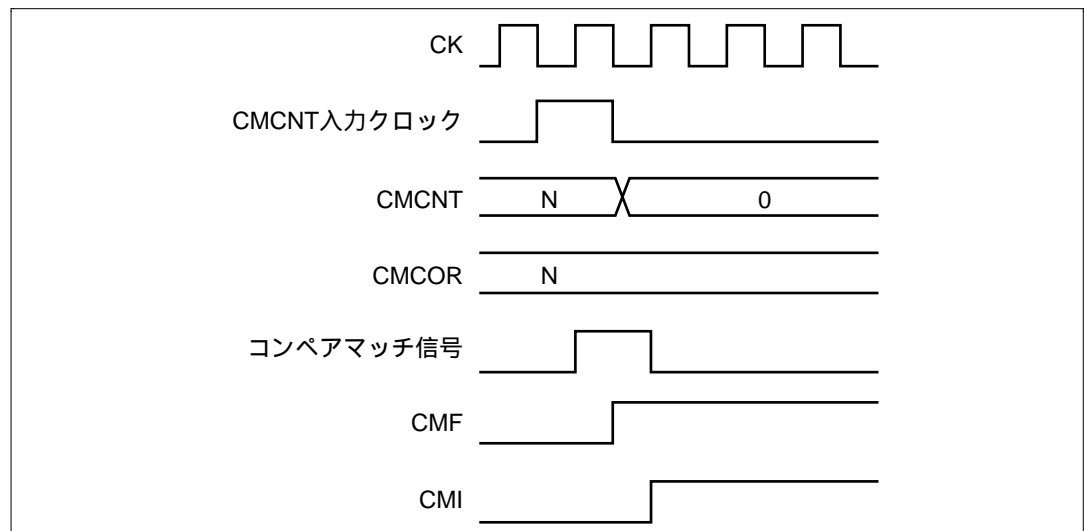


図 11.4 CMF のセットタイミング

11.4.3 コンペアマッチフラグのクリアタイミング

CMCSRレジスタのCMFビットは、1の状態を読み出したあとに0を書き込むことによりクリアされます。CPUによるCMFビットのクリアタイミングを図11.5に示します。

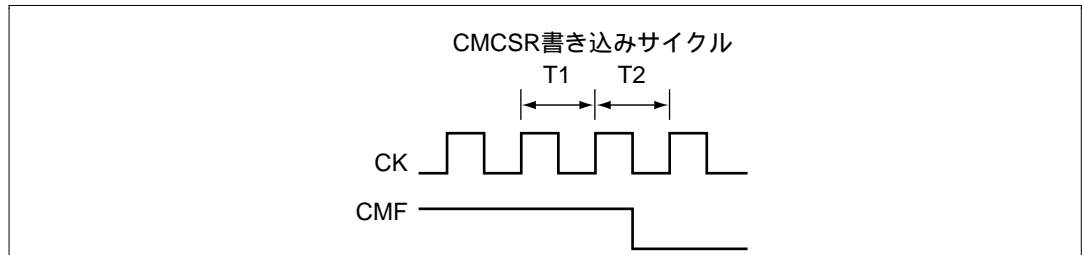


図 11.5 CPU による CMF のクリアタイミング

11.5 使用上の注意

CMT の動作中、次のような競合や動作が発生するので注意してください。

(1) CMCNTの書き込みとコンペアマッチの競合

CMCNT カウンタの書き込みサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 11.6 に示します。

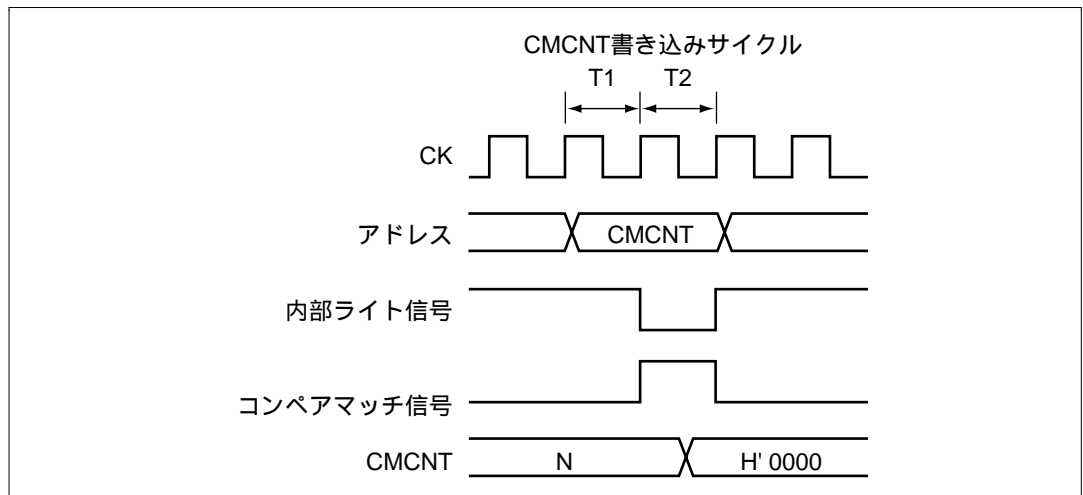


図 11.6 CMCNT の書き込みとコンペアマッチの競合

(2) CMCNTのワード書き込みとカウントアップの競合

CMCNT カウンタのワード書き込みサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 11.7 に示します。

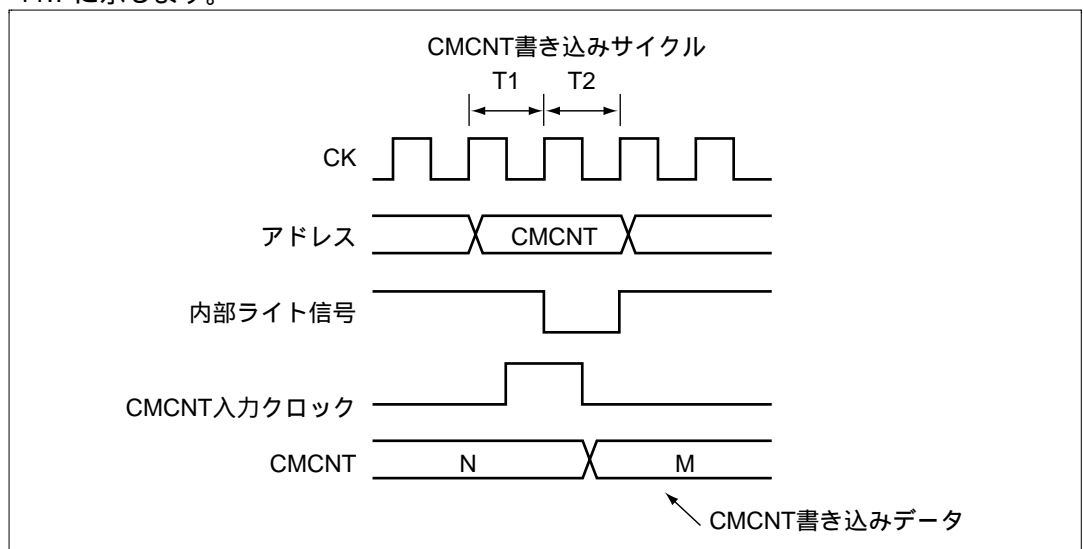


図 11.7 CMCNT のワード書き込みとカウントアップの競合

(3) CMCNTのバイト書き込みとカウントアップの競合

CMCNTのバイト書き込みサイクル中のT2状態でカウントアップが発生しても、書き込みを行った側の書き込みデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH書き込みサイクル中のT2状態でカウントアップが発生した場合のタイミングを図11.8に示します。

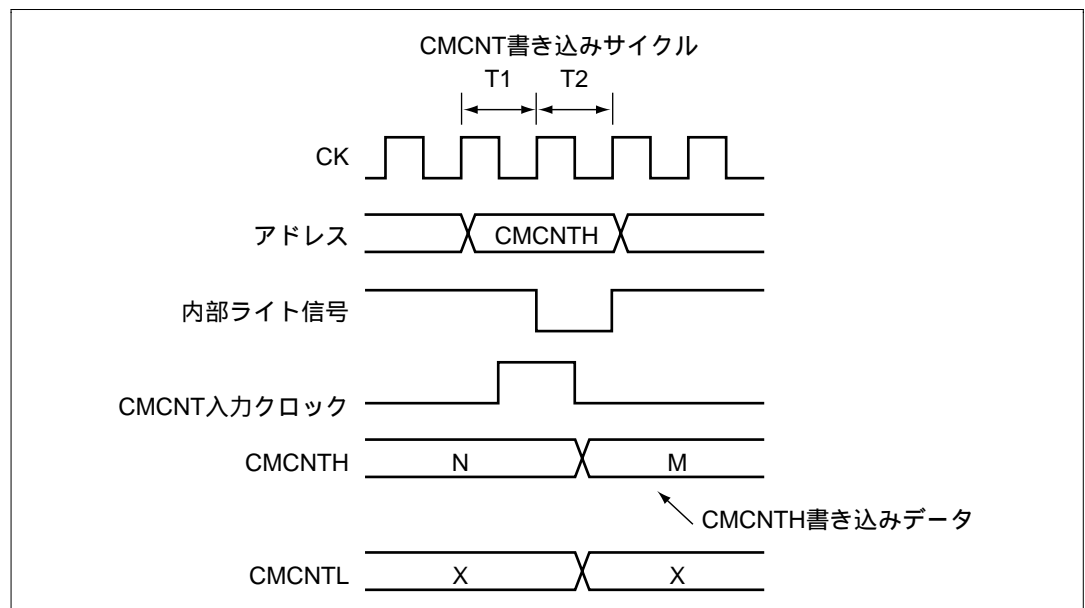


図 11.8 CMCNTのバイト書き込みとカウントアップの競合

12. シリアルコミュニケーション インタフェース (SCI)

第 12 章 目 次

12.1	概要	229
12.1.1	特長	229
12.1.2	ブロック図	230
12.1.3	端子構成	231
12.1.4	レジスタ構成	231
12.2	レジスタの説明	232
12.2.1	レシーブシフトレジスタ (RSR)	232
12.2.2	レシーブデータレジスタ (RDR)	232
12.2.3	トランスミットシフトレジスタ (TSR)	233
12.2.4	トランスミットデータレジスタ (TDR)	233
12.2.5	シリアルモードレジスタ (SMR)	234
12.2.6	シリアルコントロールレジスタ (SCR)	236
12.2.7	シリアルステータスレジスタ (SSR)	240
12.2.8	ビットレートレジスタ (BRR)	245
12.3	動作説明	250
12.3.1	概要	250
12.3.2	調歩同期式モード時の動作	252
12.3.3	マルチプロセッサ通信機能	262
12.4	割り込み	270
12.5	使用上の注意	271

12.1 概要

本 LSI は、1 チャンネルのシリアルコミュニケーションインタフェース (SCI) を備えています。

SCI は、調歩同期式通信でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

12.1.1 特長

SCI には次のような特長があります。

シリアル通信モードは調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサビット : 1 または 0

受信エラーの検出 : パリティ、オーバラン、フレーミングの各エラーを検出

ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接読み出すことによりブレークを検出できます。

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースは、ボーレートジェネレータからの内部クロック

4 種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。

12.1.2 ブロック図

図 12.1 に SCI のブロック図を示します。

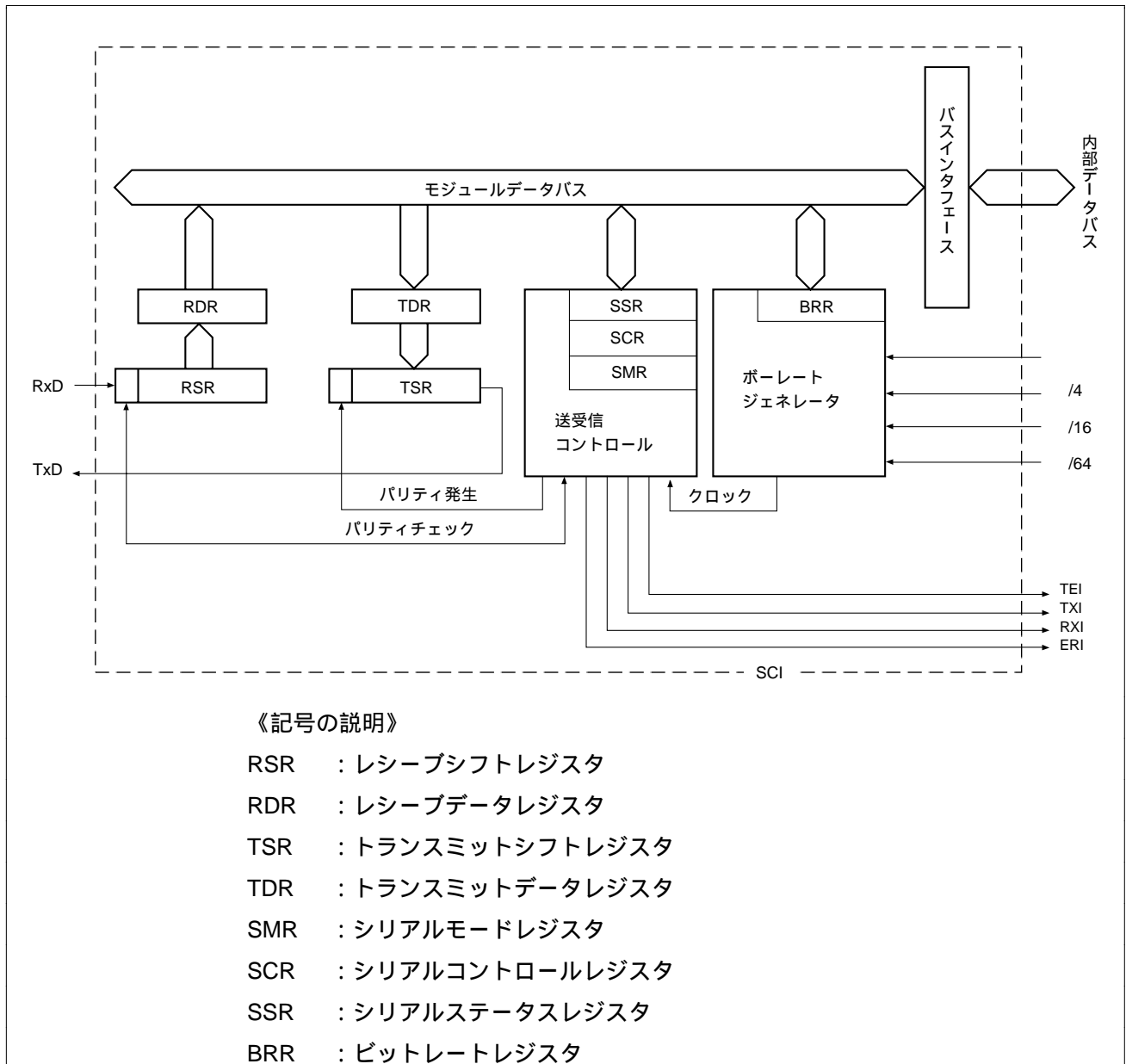


図 12.1 SCI のブロック図

12.1.3 端子構成

SCI は、表 12.1 に示すシリアル端子を持っています。

表 12.1 端子構成

名 称	略 称	入出力	機 能
レシーブデータ端子	RxD	入力	SCI の受信データ入力
トランスミットデータ端子	TxD	出力	SCI の送信データ出力

12.1.4 レジスタ構成

SCI には、表 12.2 に示す内部レジスタがあります。これらのレジスタによりデータフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

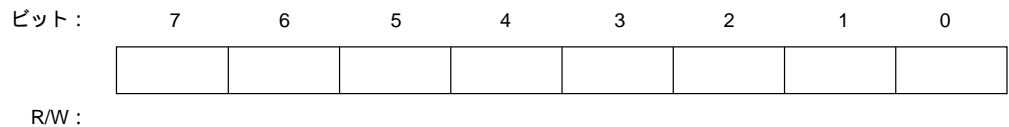
表 12.2 レジスタ構成

名 称	略 称	R / W	初期値	アドレス	アクセスサイズ
シリアルモードレジスタ	SMR	R / W	H'00	H'FFFF81B0	8、16
ビットレートレジスタ	BRR	R / W	H'FF	H'FFFF81B1	8、16
シリアルコントロールレジスタ	SCR	R / W	H'00	H'FFFF81B2	8、16
トランスミットデータレジスタ	TDR	R / W	H'FF	H'FFFF81B3	8、16
シリアルステータスレジスタ	SSR	R / (W)*	H'84	H'FFFF81B4	8、16
レシーブデータレジスタ	RDR	R	H'00	H'FFFF81B5	8、16

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

12.2 レジスタの説明

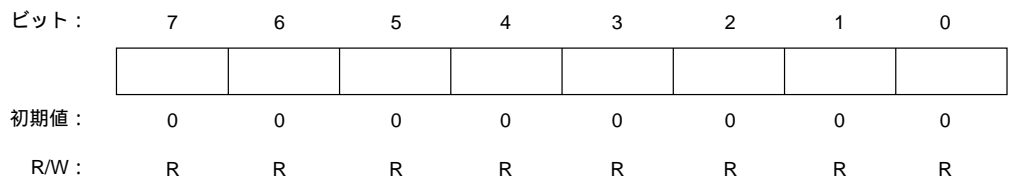
12.2.1 レシーブシフトレジスタ (RSR)



レシーブシフトレジスタ (RSR) は、シリアルデータを受信するためのレジスタです。SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から直接 RSR の読み出し / 書き込みをすることはできません。

12.2.2 レシーブデータレジスタ (RDR)



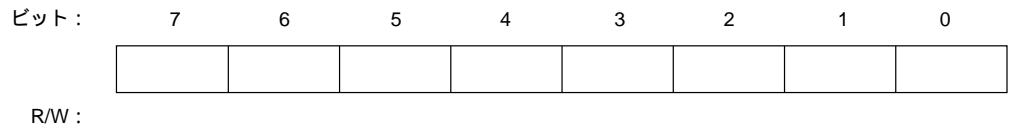
レシーブデータレジスタ (RDR) は、受信したシリアルデータを格納するレジスタです。SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (RSR) から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

RDR は、パワーオンリセットで H'00 に初期化されます。

12.2.3 トランスミットシフトレジスタ (TSR)



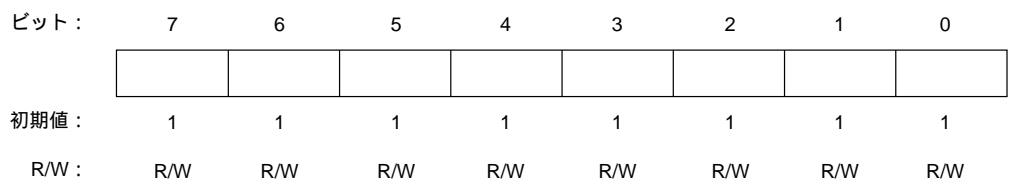
トランスミットシフトレジスタ (TSR) は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (TDR) から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR の読み出し / 書き込みをすることはできません。

12.2.4 トランスミットデータレジスタ (TDR)



トランスミットデータレジスタ (TDR) は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ (TSR) の空を検出すると、TDR に書き込まれた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

TDR は、常に CPU による読み出し / 書き込みが可能です。

TDR は、パワーオンリセットで 0xFF に初期化されます。

12.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	-	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SMR) は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU による読み出し / 書き込みが可能です。

SMR は、パワーオンリセットで H'00 に初期化されます。

ビット 7: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6: キャラクタレングス (CHR)

データ長を 7 ビット / 8 ビットデータのいずれかから選択します。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】* 7 ビットデータを選択した場合、トランスミットデータレジスタ (TDR) の MSB (ビット 7) は送信されません。

ビット 5: パリティイネーブル (PE)

送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。

ビット 5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4：パリティモード（O/E）

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。パリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ ^{*1} (初期値)
1	奇数パリティ ^{*2}

【注】*1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット3：ストップビットレングス（STOP）

ストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。

ビット3	説明
STOP	
0	1 ストップビット ^{*1} (初期値)
1	2 ストップビット ^{*2}

【注】*1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O/\bar{E} ビットにおけるパリティの設定は無効になります。

マルチプロセッサ通信機能については、「12.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能を禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0：クロックセレクト1、0（CKS1、CKS0）

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で、 $\times/4$ 、 $\times/16$ 、 $\times/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「12.2.8 ビットレートレジスタ」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	クロック (初期値)
	1	$\times/4$ クロック
1	0	$\times/16$ クロック
	1	$\times/64$ クロック

12.2.6 シリアルコントロールレジスタ（SCR）

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R	R

シリアルコントロールレジスタ（SCR）は、SCI の送信 / 受信動作、割り込み要求の許可 / 禁止の選択を行うレジスタです。

SCR は、常に CPU による読み出し / 書き込みが可能です。

SCR は、パワーオンリセット時に H'00 に初期化されます。

ビット7：トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) ヘシリアル送信データが転送されシリアルステータスレジスタ (SSR) の TDRE ビットが1にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット7	説明
T I E	
0	送信データエンプティ割り込み (TXI) 要求を禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求を許可

【注】* TXIの解除は、TDRE ビットの1を読み出した後、0にクリアするか、またはTIEを0にクリアすることで行うことができます。

ビット6：レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) ヘ転送されてSSRのRDRFビットが1にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット6	説明
R I E	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】* RXI、およびERI割り込み要求の解除は、RDRF ビット、またはFER、PER、ORER ビットの1を読み出した後、0にクリアするか、RIE ビットを0にクリアすることで行えます。

ビット5：トランスミットイネーブル（TE）

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット5	説明
TE	
0	送信動作を禁止 ^{*1} (初期値)
1	送信動作を許可 ^{*2}

【注】*1 SSR の TDRE ビットは 1 に固定されます。

*2 この状態で、TDR に送信データを書き込んで、SSR の TDRE ビットを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SMR) の設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル（RE）

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット4	説明
RE	
0	受信動作を禁止 ^{*1} (初期値)
1	受信動作を許可 ^{*2}

【注】*1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。

*2 この状態で、スタートビットを検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサ割り込みを許可／禁止します。MPIE ビットの設定は、SMR の MP ビットが1に設定されている受信時にのみ有効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態（通常の受信動作をします）（初期値） [クリア条件] (1) MPIE ビットを0にクリア (2) MPB = 1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが1のデータを受け取るまで受信割り込み（RXI）要求、受信エラー割り込み（ERI）要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】* RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ビットのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを1にセットし、MPIE ビットを自動的に0にクリアし、RXI、ERI の発生（SCR の TIE、RIE ビットが1にセットされている場合）と FER、ORER ビットのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み（TEI）要求の発生を許可／禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み（TEI）要求を禁止*（初期値）
1	送信終了割り込み（TEI）要求を許可*

【注】* TEI の解除は、SSR の TDRE ビットの1を読み出した後、0にクリアして TEND ビットを0にクリアするか、TEIE ビットを0にクリアすることで行うことができます。

ビット1、0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

12.2.7 シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SSR) は、SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSR は常に CPU から読み出し / 書き込みができます。ただし、TDRE、RDRF、ORER、PER、FERの各ビットへ1を書き込むことはできません。また、これらを0にクリアするためには、あらかじめ1を読み出ししておく必要があります。また、TEND ビット、および MPB ビットは読み出し専用であり、書き込むことはできません。

SSR は、パワーオンリセットで H'84 に初期化されます。

ビット7: トランスミットデータレジスタエンブティ (TDRE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) にデータ転送が行われ、TDR に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット7	説明
TDRE	
0	TDR に有効な送信データが書き込まれていることを表示 [クリア条件] TDRE = 1 の状態を読み出した後、0を書き込んだとき
1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) パワーオンリセット (2) SCR の TE ビットが0のとき (3) TDR から TSR にデータ転送が行われ TDR にデータの書き込みが可能になったとき

ビット6：レシーブデータレジスタフル（RDRF）

受信したデータがレシーブデータレジスタ（RDR）に格納されていることを示します。

ビット6	説明
RDRF	
0	RDRに有効な受信データが格納されていないことを表示（初期値） [クリア条件] (1) パワーオンリセット (2) RDRF = 1の状態を読み出した後、0を書き込んだとき
1	RDRに有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ（SCR）のREビットを0にクリアしたときにはRDRおよびRDRFビットは影響を受けず以前の状態を保持します。RDRFビットが1にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー（ORER）

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示*1（初期値） [クリア条件] (1) パワーオンリセット (2) ORER = 1の状態を読み出した後、0を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示*2 [セット条件] RDRF = 1の状態での次のシリアル受信を完了したとき

【注】*1 SCRのREビットを0にクリアしたときには、ORERビットは影響を受けず以前の状態を保持します。

*2 RDRではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1にセットされた状態で、以降のシリアル受信を続けることはできません。

ビット4：フレーミングエラー（FER）

受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) パワーオンリセット (2) FER = 1の状態を読み出した後、0を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示*2 [セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき*2

【注】*1 SCRのREビットを0にクリアしたときには、FERビットは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFビットはセットされません。さらに、FERビットが1にセットされた状態においては、以降のシリアル受信を続けることはできません。

ビット3：パリティエラー（PER）

パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセット (2) PER = 1の状態を読み出した後、0を書き込んだとき
1	受信時にパリティエラーが発生したことを表示* ² [セット条件] 受信時の受信データとパリティビットをあわせた1の数が、シリアルモードレジスタ(SMR)のO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

【注】 *1 SCRのREビットを0にクリアしたときには、PERビットは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFビットはセットされません。なお、PERビットが1にセットされた状態では、以降のシリアル受信を続けることはできません。

ビット2：トランスミットエンド（TEND）

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND ビットは読み出し専用ですので、書き込むことはできません。

ビット3	説明
TEND	
0	送信中であることを表示 [クリア条件] TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセット (2) SCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき

ビット1：マルチプロセッサビット（MPB）

受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、読み出し専用ですので、書き込むことはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが 0 のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが 1 のデータを受信したことを表示

【注】* マルチプロセッサフォーマットで RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ（MPBT）

送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

12.2.8 ビットレートレジスタ（BRR）

ビット：	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートレジスタ（BRR）は、シリアルモードレジスタ（SMR）のCKS1、CKS0ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する8ビットのレジスタです。

BRRは、常にCPUによる読み出し / 書き込みが可能です。

BRRは、パワーオンリセットでH'FFに初期化されます。

表 12.3 に調歩同期式モードの BRR の設定例を示します。

表 12.3 ビットレートに対する BRR の設定例 (1)

(MHz) ビット レート(bit/s)	4			4.9152			6			7.3728		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	70	0.03	2	86	0.31	2	106	-0.44	2	130	-0.07
150	1	207	0.16	1	255	0.00	2	77	0.16	2	95	0.00
300	1	103	0.16	1	127	0.00	1	155	0.16	1	191	0.00
600	0	207	0.16	0	255	0.00	1	77	0.16	1	95	0.00
1200	0	103	0.16	0	127	0.00	0	155	0.16	0	191	0.00
2400	0	51	0.16	0	63	0.00	0	77	0.16	0	95	0.00
4800	0	25	0.16	0	31	0.00	0	38	0.16	0	47	0.00
9600	0	12	0.16	0	15	0.00	0	19	-2.34	0	23	0.00
14400	0	8	-3.55	0	10	-3.03	0	12	0.16	0	15	0.00
19200	0	6	-6.99	0	7	0.00	0	9	-2.34	0	11	0.00
28800	0	3	8.51	0	4	6.67	0	6	-6.99	0	7	0.00
31250	0	3	0.00	0	4	-1.70	0	5	0.00	0	6	5.33
38400	0	2	8.51	0	3	0.00	0	4	-2.34	0	5	0.00

(MHz) ビット レート(bit/s)	8			9.8304			10			11.0592		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	195	0.19
150	2	103	0.16	2	127	0.00	2	129	0.16	2	143	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	71	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	143	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	71	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	143	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	71	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	35	0.00
14400	0	16	2.12	0	20	1.59	0	21	-1.36	0	23	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	17	0.00
28800	0	8	-3.55	0	10	-3.03	0	10	-1.36	0	11	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	10	0.54
38400	0	6	-6.99	0	7	0.00	0	7	1.73	0	8	0.00

表 12.3 ビットレートに対する BRR の設定例 (2)

(MHz) ビット レート(bit/s)	12			12.288			14			14.7456		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	212	0.03	2	217	0.08	2	248	-0.17	3	64	0.70
150	2	155	0.16	2	159	0.00	2	181	0.16	2	191	0.00
300	2	77	0.16	2	79	0.00	2	90	0.16	2	95	0.00
600	1	155	0.16	1	159	0.00	1	181	0.16	1	191	0.00
1200	1	77	0.16	1	79	0.00	1	90	0.16	1	95	0.00
2400	0	155	0.16	0	159	0.00	0	181	0.16	0	191	0.00
4800	0	77	0.16	0	79	0.00	0	90	0.16	0	95	0.00
9600	0	38	0.16	0	39	0.00	0	45	-0.93	0	47	0.00
14400	0	25	0.16	0	26	-1.23	0	29	1.27	0	31	0.00
19200	0	19	-2.34	0	19	0.00	0	22	-0.93	0	23	0.00
28800	0	12	0.16	0	12	2.56	0	14	1.27	0	15	0.00
31250	0	11	0.00	0	11	2.40	0	13	0.00	0	14	-1.70
38400	0	9	-2.34	0	9	0.00	0	10	3.57	0	11	0.00

(MHz) ビット レート(bit/s)	16			17.2032			18			18.432		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	70	0.03	3	75	0.48	3	79	-0.12	3	81	-0.22
150	2	207	0.16	2	223	0.00	2	233	0.16	2	239	0.00
300	2	103	0.16	2	111	0.00	2	116	0.16	2	119	0.00
600	1	207	0.16	1	223	0.00	1	233	0.16	1	239	0.00
1200	1	103	0.16	1	111	0.00	1	116	0.16	1	119	0.00
2400	0	207	0.16	0	223	0.00	0	233	0.16	0	239	0.00
4800	0	103	0.16	0	111	0.00	0	116	0.16	0	119	0.00
9600	0	51	0.16	0	55	0.00	0	58	-0.69	0	59	0.00
14400	0	34	-0.79	0	36	0.90	0	38	0.16	0	39	0.00
19200	0	25	0.16	0	27	0.00	0	28	1.02	0	29	0.00
28800	0	16	2.12	0	18	-1.75	0	19	-2.34	0	19	0.00
31250	0	15	0.00	0	16	1.20	0	17	0.00	0	17	2.40
38400	0	12	0.16	0	13	0.00	0	14	-2.34	0	14	0.00

(MHz) ビット レート(bit/s)	19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)
110	3	86	0.31	3	88	-0.25
150	2	255	0.00	3	64	0.16
300	2	127	0.00	2	129	0.16
600	1	255	0.00	2	64	0.16
1200	1	127	0.00	1	129	0.16
2400	0	255	0.00	1	64	0.16
4800	0	127	0.00	0	129	0.16
9600	0	63	0.00	0	64	0.16
14400	0	42	-0.78	0	42	0.94
19200	0	31	0.00	0	32	-1.36
28800	0	20	1.59	0	21	-1.36
31250	0	19	-1.70	0	19	0.00
38400	0	15	0.00	0	15	1.73

12. シリアルコミュニケーションインタフェース

BRR の設定値は以下の計算式で求められます。

$$N = \frac{\text{動作周波数}}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 N 255)

動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n = 0、1、2、3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
1	/ 4	0	1
2	/ 16	1	0
3	/ 64	1	1

ビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\text{動作周波数} \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 12.4 に各周波数における最大ビットレートを示します。

表 12.4 各周波数における最大ビットレート

(MHz)	最大ビットレート (bit/s)	設定値	
		n	N
4	125000	0	0
4.9152	153600	0	0
6	187500	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
11.0592	345600	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
18.432	576000	0	0
19.6608	614400	0	0
20	625000	0	0

12.3 動作説明

12.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードで、シリアル通信ができます。

調歩同期式モードの送信フォーマットの選択は、シリアルモードレジスタ (SMR) で行います。これを表 12.5 に示します。

- 調歩同期式モード
 - データ長 : 7 ビット / 8 ビットから選択可能
 - パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)
 - 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
 - SCI のクロックソース : 内部クロック
SCI はボーレートジェネレータのクロックで動作

表 12.5 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値				モード	SCI の送信 / 受信フォーマット					
ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサビット	パリティビット	ストップビット長		
CHR	MP	PE	STOP							
0	0	0	0	調歩同期式 モード	8ビットデータ	なし	なし	1ビット		
			1					2ビット		
		1	0					あり	1ビット	
			1					2ビット		
1	0	0	0		7ビットデータ		なし	なし	1ビット	
			1						2ビット	
		1	0						あり	1ビット
			1							2ビット
0	1	*	0	調歩同期式	8ビットデータ	あり	なし	1ビット		
		*	1	モード				2ビット		
1		*	0	(マルチプロセッサフォーマット)	7ビットデータ		あり	なし	1ビット	
		*	1						2ビット	

【注】 表中の * は Don't care であることを示します。

12.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

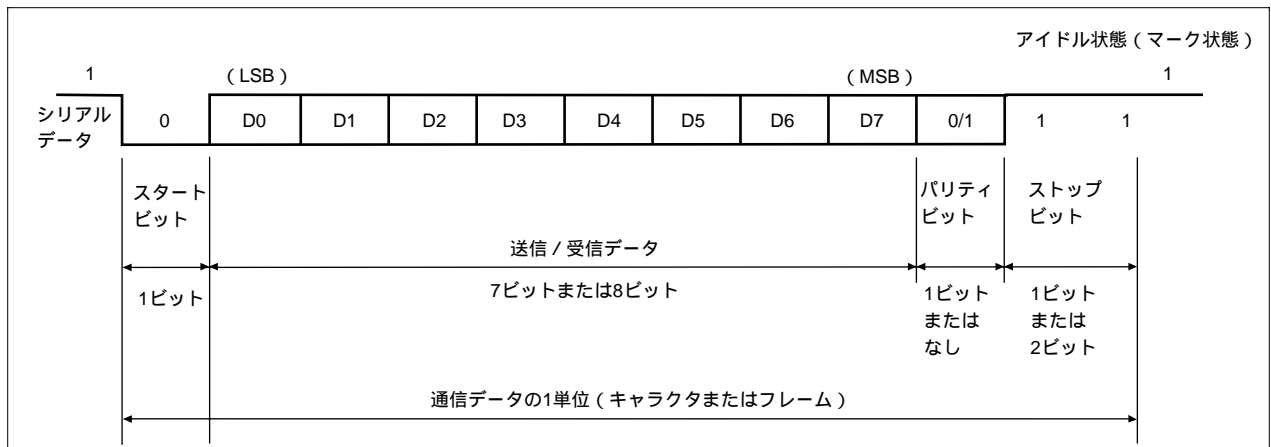


図 12.2 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビットの例)

(1) 送信 / 受信フォーマット

設定できる送信 / 受信フォーマットを、表 12.6 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SMR) の設定により選択できます。

表 12.6 シリアル送信 / 受信フォーマット

SMRの設定値				シリアル送信 / 受信フォーマットとフレーム長												
ビット6	ビット2	ビット5	ビット3	1	2	3	4	5	6	7	8	9	10	11	12	
CHR	MP	PE	STOP													
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	0	1	0	S	8ビットデータ								P	STOP		
0	0	1	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	0	1	0	S	7ビットデータ							P	STOP			
1	0	1	1	S	7ビットデータ							P	STOP	STOP		
0	1	*	0	S	8ビットデータ								MPB	STOP		
0	1	*	1	S	8ビットデータ								MPB	STOP	STOP	
1	1	*	0	S	7ビットデータ							MPB	STOP			
1	1	*	1	S	7ビットデータ							MPB	STOP	STOP		

《記号説明》

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

【注】 表中の * は Don't care であることを示します。

(2) クロック

SCI の送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックです。

(3) データの送信 / 受信動作

• SCI の初期化

データの送信 / 受信前には、まず SCR の TE ビットおよび、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合にも必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE ビットは、1 にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各ビットおよび、レシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

図 12.3 に SCI の初期化フローチャートの例を示します。

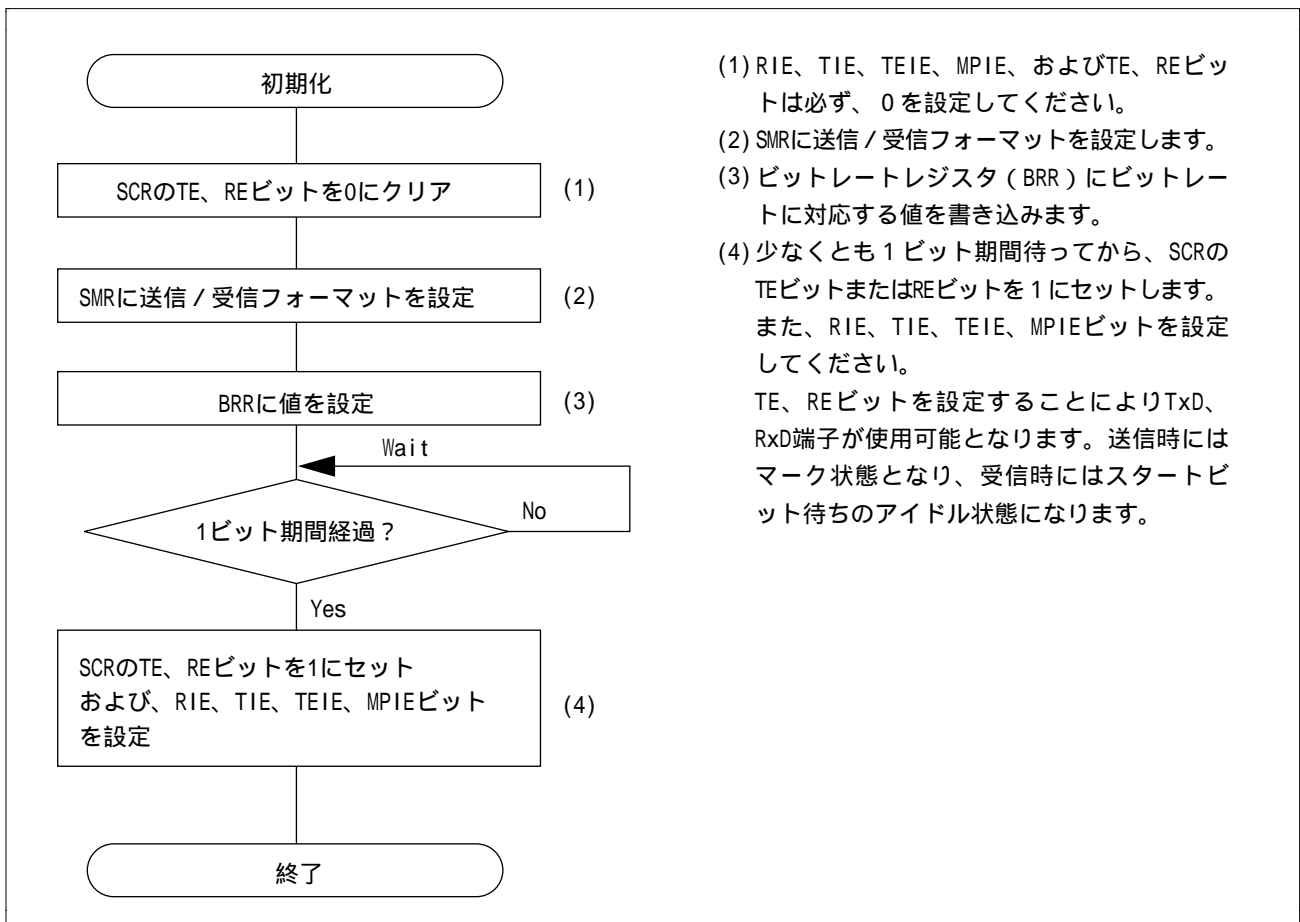


図 12.3 SCI の初期化フローチャートの例

• シリアルデータ送信

図 12.4 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順に従って行ってください。

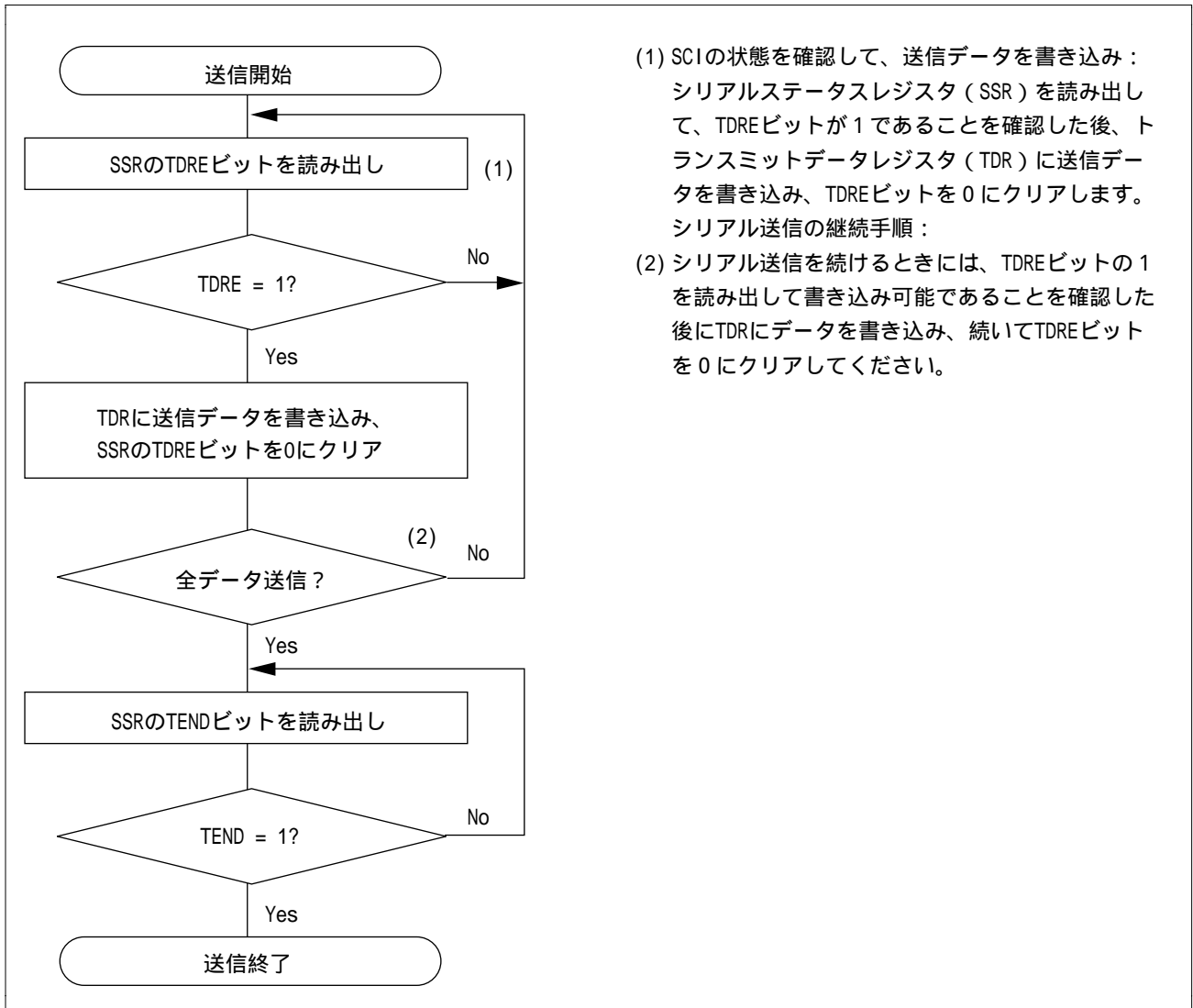


図 12.4 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCI は、シリアルステータスレジスタ (SSR) の TDRE ビットを監視し、0 であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。このとき、シリアルコントロールレジスタ (SCR) の TIE ビットが 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット : 1 ビットの 0 が出力されます。
 - (b) 送信データ : 8 ビット、または 7 ビットのデータが LSB から順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット : 1 ビットのパリティビット (偶数パリティ、または奇数パリティ)、または 1 ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット : 1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
 - (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- (3) SCI は、ストップビットを送出するタイミングで TDRE ビットをチェックします。TDRE ビットが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。TDRE ビットが 1 であるとシリアルステータスレジスタ (SSR) の TEND ビットに 1 をセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の TEIE ビットが 1 にセットされていると TEI 割り込み要求を発生します。

送信時の動作例を図 12.5 に示します。

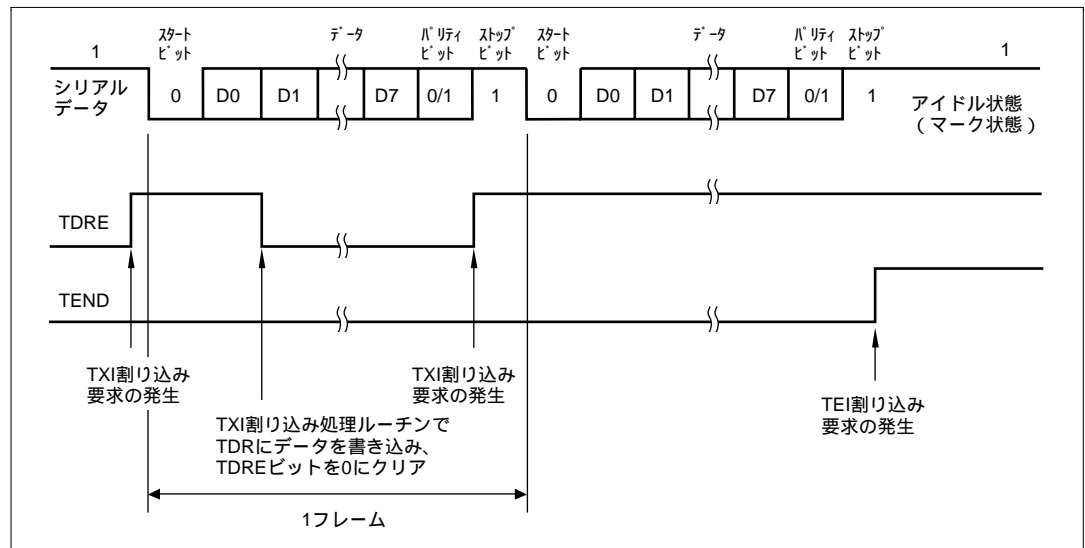
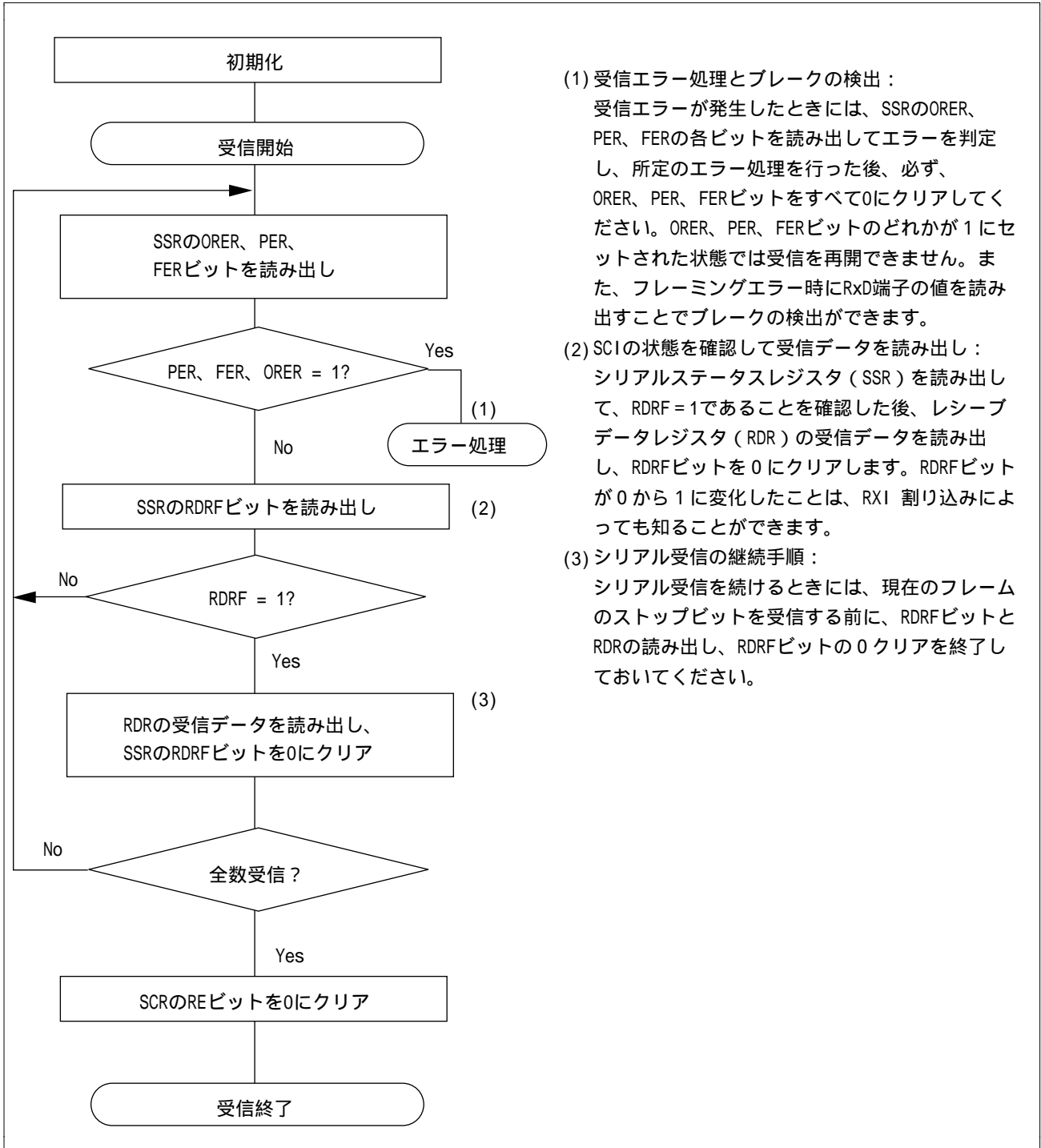


図 12.5 送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

• シリアルデータ受信

図 12.6 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。



- (1) 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSRのORER、PER、FERの各ビットを読み出してエラーを判定し、所定のエラー処理を行った後、必ず、ORER、PER、FERビットをすべて0にクリアしてください。ORER、PER、FERビットのどれかが1にセットされた状態では受信を再開できません。また、フレーミングエラー時にRxD端子の値を読み出すことでブレークの検出ができます。
- (2) SCIの状態を確認して受信データを読み出し：
シリアルステータスレジスタ（SSR）を読み出して、RDRF=1であることを確認した後、レシーブデータレジスタ（RDR）の受信データを読み出し、RDRFビットを0にクリアします。RDRFビットが0から1に変化したことは、RXI 割り込みによっても知ることができます。
- (3) シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRFビットとRDRの読み出し、RDRFビットの0クリアを終了しておいてください。

図 12.6 シリアル受信のフローチャートの例（1）

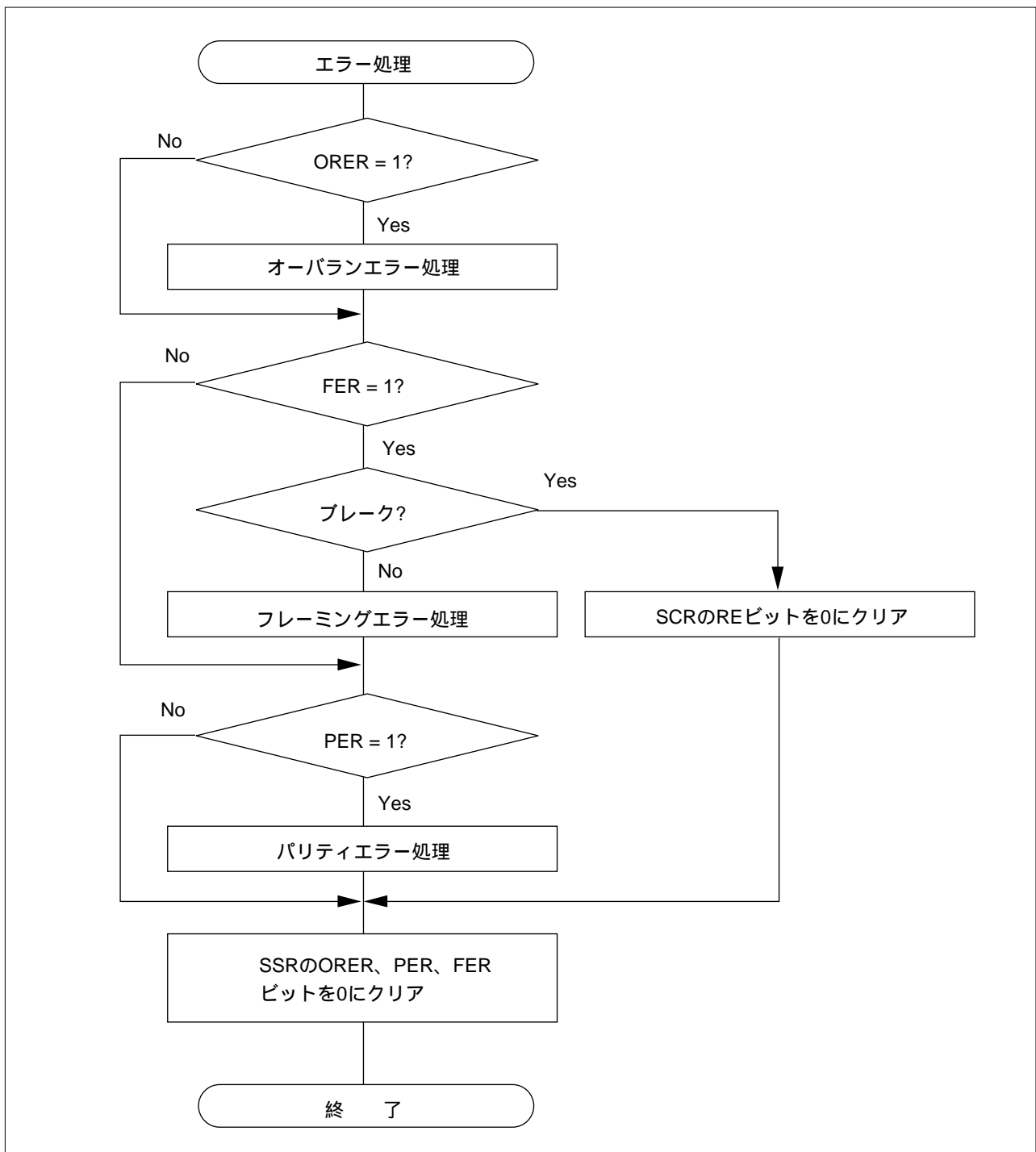


図 12.6 シリアル受信のフローチャートの例(2)

SCI は受信時に以下のように動作します。

- (1) SCI は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータを RSR の LSB から MSB の順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの 1 の数をチェックし、これがシリアルモードレジスタ (SMR) の O/\bar{E} ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが 1 であるかをチェックします。ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRF ビットが 0 であり、受信データをレシーフシフトレジスタ (RSR) から RDR に転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラーが発生すると表 12.6 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時に RDRF ビットが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- (4) RDRF ビットが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求が発生します。また、ORER、PER、FER ビットのどれかが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求が発生します。

受信時の動作例を図 12.7 に示します。

表 12.6 受信エラーと発生条件

受信エラー	略称	発生条件	データ転送
オーバラン エラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミング エラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

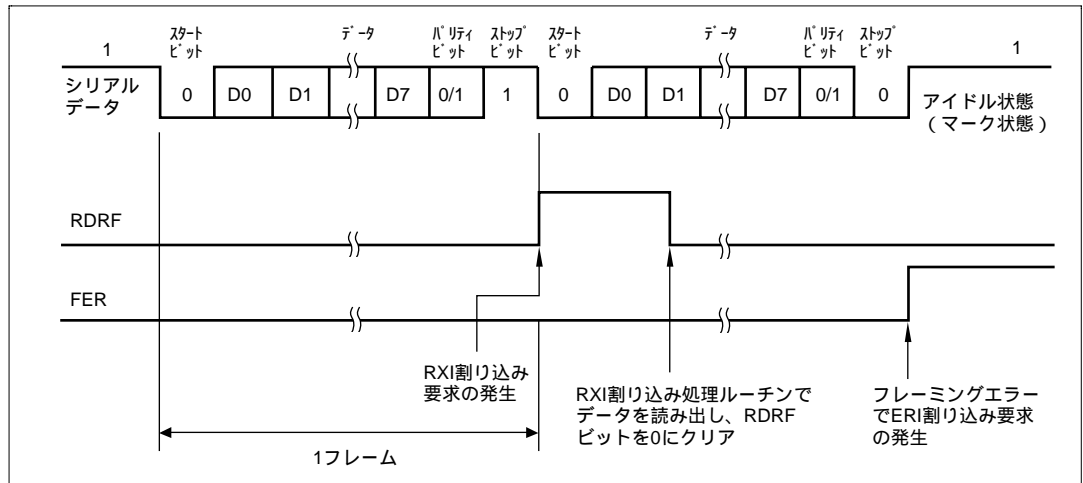


図 12.7 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

12.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット(マルチプロセッサフォーマット)でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの2つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 12.8 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは4種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 12.5を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

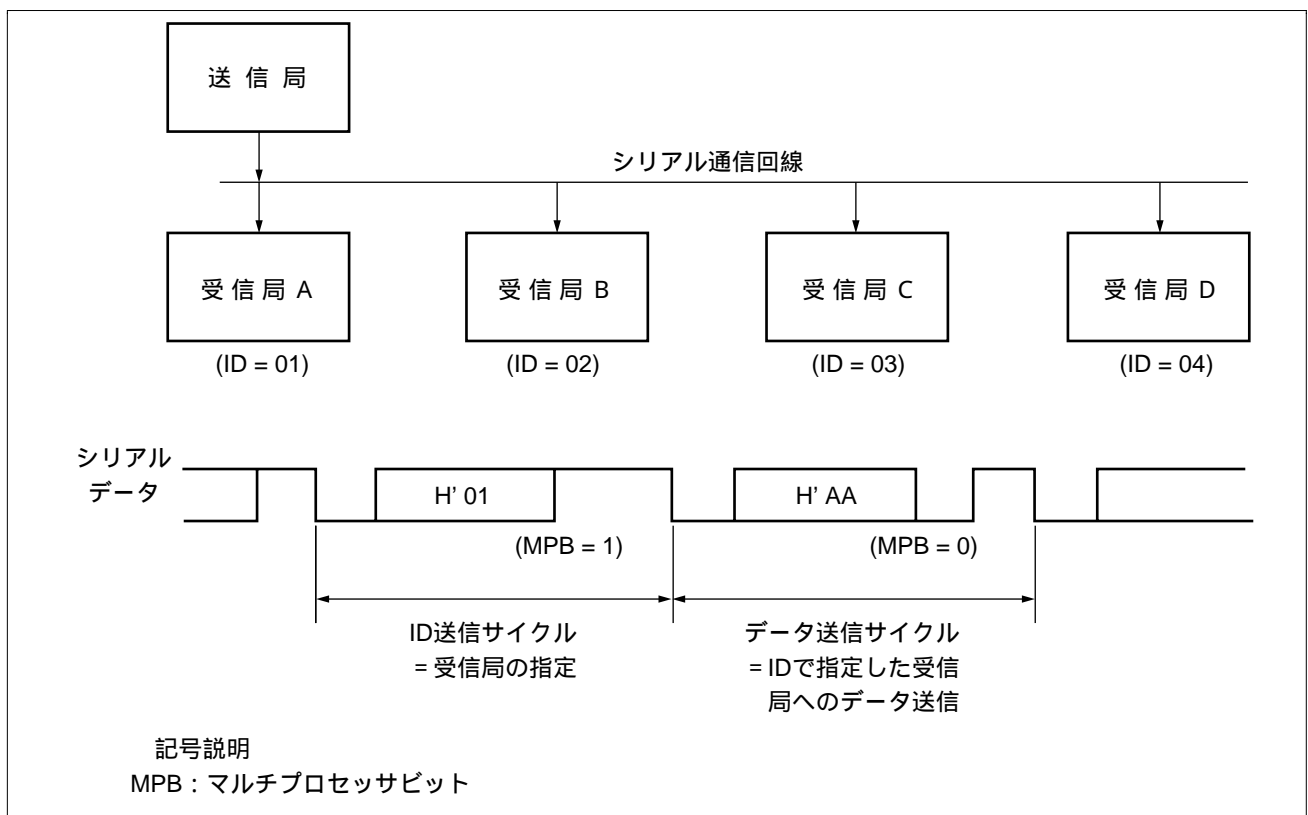


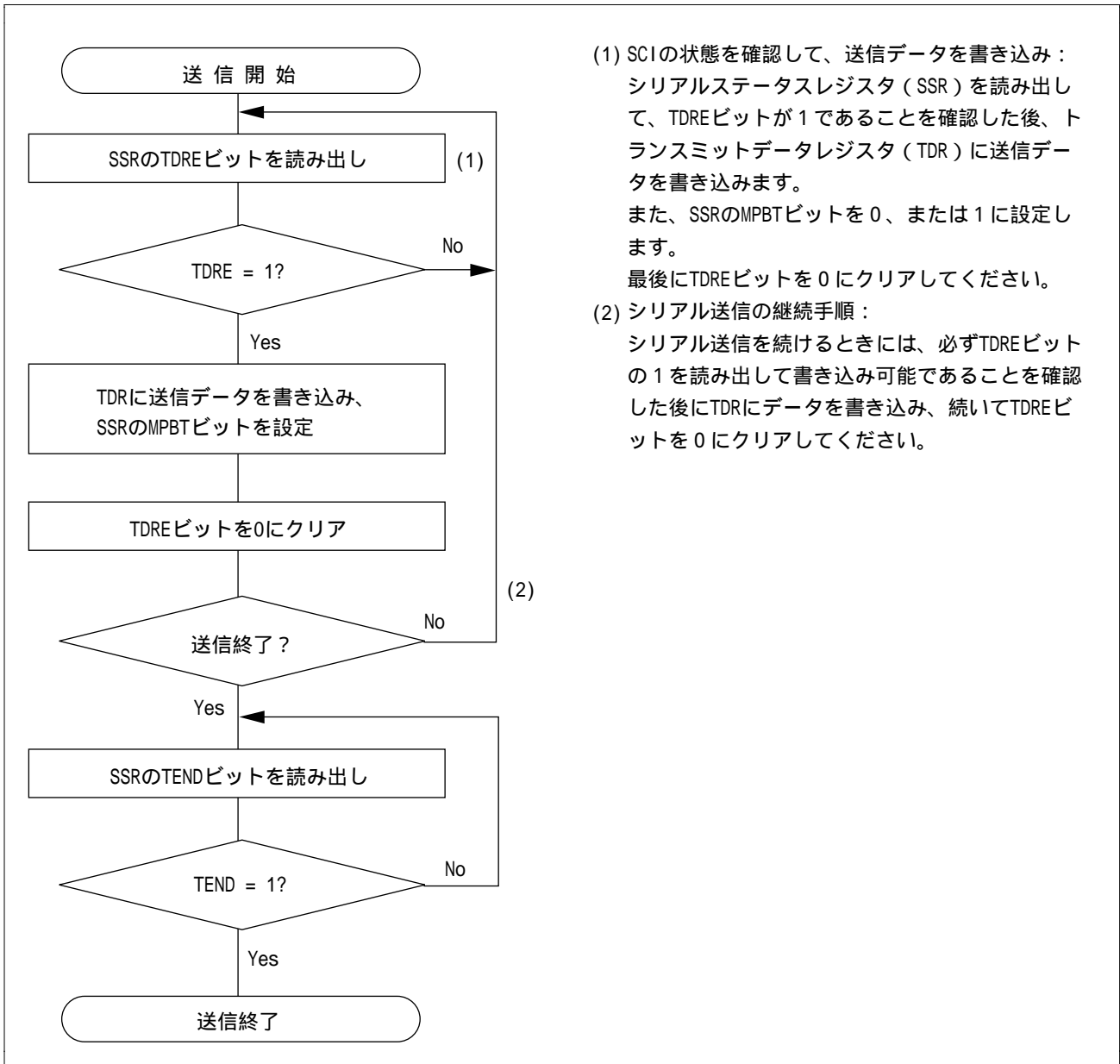
図 12.8 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

• マルチプロセッサシリアルデータ送信

図 12.9 にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。



- (1) SCIの状態を確認して、送信データを書き込み：
シリアルステータスレジスタ (SSR) を読み出して、TDREビットが1であることを確認した後、トランスミットデータレジスタ (TDR) に送信データを書き込みます。
また、SSRのMPBTビットを0、または1に設定します。
最後にTDREビットを0にクリアしてください。
- (2) シリアル送信の継続手順：
シリアル送信を続けるときには、必ずTDREビットの1を読み出して書き込み可能であることを確認した後にTDRにデータを書き込み、続いてTDREビットを0にクリアしてください。

図 12.9 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- (1) SCI は、SSR の TDRE ビットを監視し、0 であると TDR にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ(TSR)にデータを転送します。
- (2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。
このとき、SCR の送信データエンpty割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンpty割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送りだされます。

- (a) スタートビット : 1 ビットの 0 が出力されます。
 - (b) 送信データ : 8 ビット、または 7 ビットのデータが LSB から順に出力されます。
 - (c) マルチプロセッサビット : 1 ビットのマルチプロセッサビット (MPBT の値) が出力されます。
 - (d) ストップビット : 1 ビット、または 2 ビットの 1 (ストップビット) が出力されます。
 - (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- (3) SCI は、ストップビットを送り出すタイミングで TDRE ビットをチェックします。
TDRE ビットが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。
TDRE ビットが 1 であると SSR の TEND ビットを 1 にセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 12.10 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

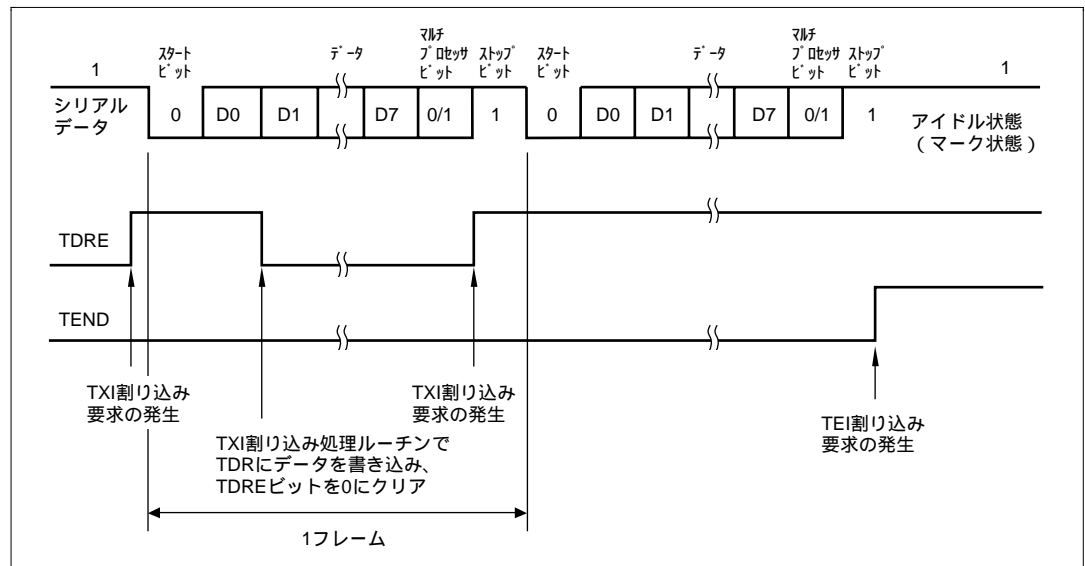


図 12.10 SCI の送信時の動作例
(8ビットデータ / マルチプロセッサビットあり / 1ストップビットの例)

• マルチプロセッサシリアルデータ受信

図 12.11 にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、以下の手順に従い行ってください。

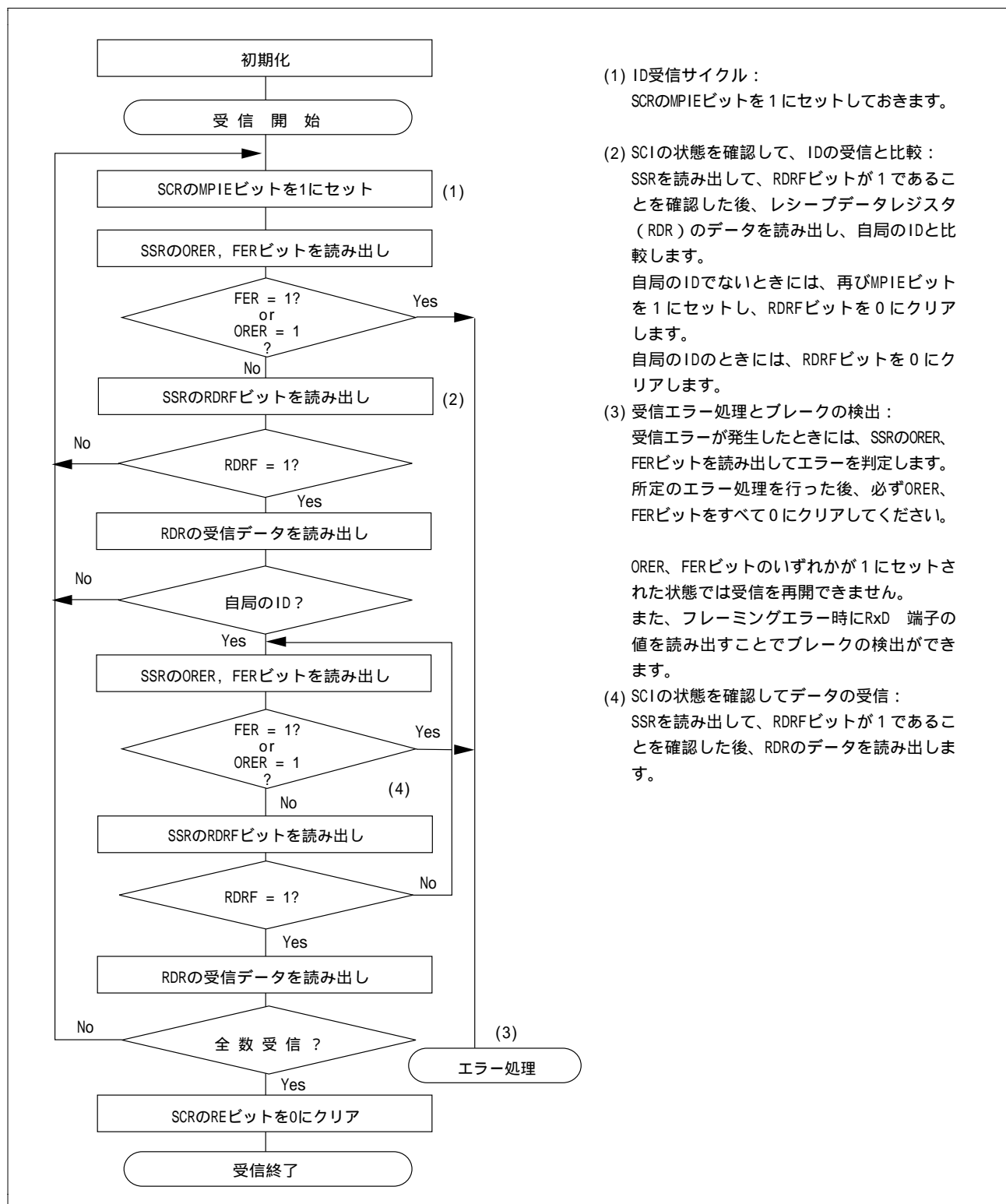


図 12.11 マルチプロセッサシリアル受信のフローチャートの例 (1)

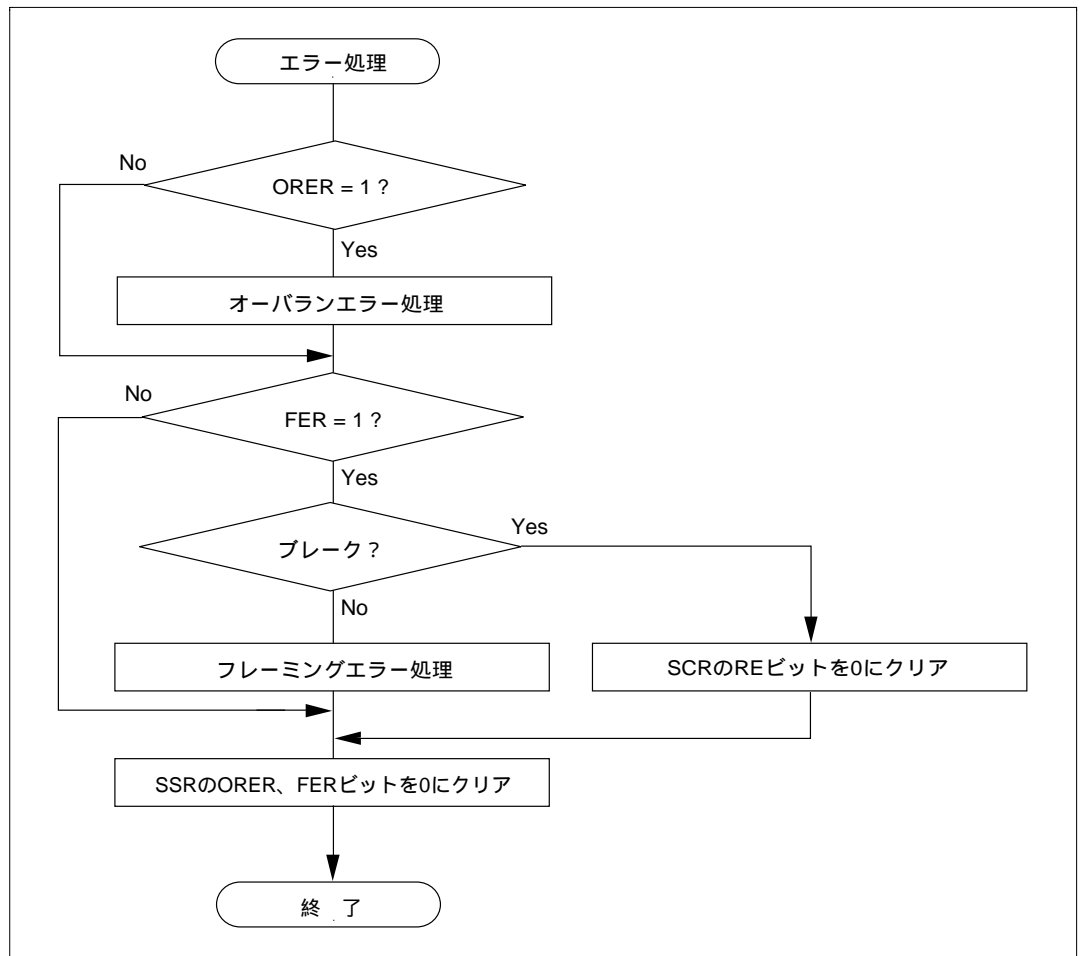


図 12.11 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 12.12 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

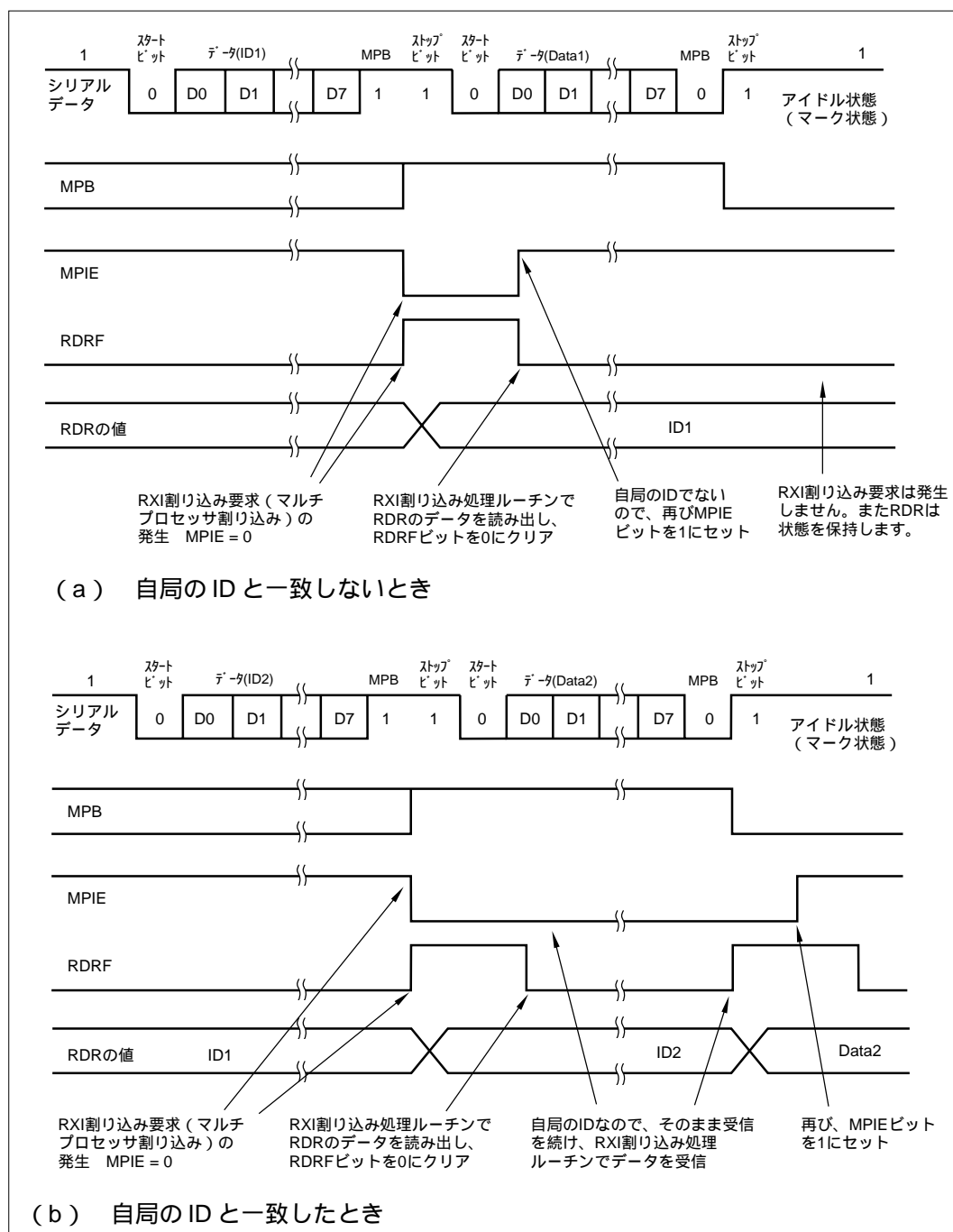


図 12.12 SCI の受信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

12.4 割り込み

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 12.7 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE、RIE、TEIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされると、TXI 割り込み要求が発生します。レジスタ (TDR) への書き込みが行われると自動的に 0 にクリアされます。

SSR の RDRF ビットが 1 にセットされると、RXI 割り込み要求が発生します。

また、SSR の ORER、FER ビットまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。

さらに、SSR の TEND ビットが 1 にセットされると、TEI 割り込み要求が発生します。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 12.7 SCI 割り込み要因

割り込み要因	内 容	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	高 ↑ ↓ 低
RXI	受信データフル (RDRF) による割り込み	
TXI	送信データエンプティ (TDRE) による割り込み	
TEI	送信終了 (TEND) による割り込み	

12.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

(1) TDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SSR) の TDRE ビットはトランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE ビットが 1 にセットされます。

TDR へのデータの書き込みは、TDRE ビットの状態にかかわらず行うことができます。しかし、TDRE ビットが 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データの書き込みは、必ず TDRE ビットが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 12.8 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へのデータ転送は行われず、受信データは失われます。

表 12.8 SSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SSR のステータスフラグ				受信データ転送	
	RDRF	ORER	FER	PER	RSR	RDR
オーバランエラー	1	1	0	0		x
フレーミングエラー	0	0	1	0		
パリティエラー	0	0	0	1		
オーバランエラー + フレーミングエラー	1	1	1	0		x
オーバランエラー + パリティエラー	1	1	0	1		x
フレーミングエラー + パリティエラー	0	0	1	1		
オーバランエラー + フレーミングエラー + パリティエラー	1	1	1	1		x

【注】 : RSR RDR に受信データを転送します。

x : RSR RDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER ビットがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER ビットを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) 受信データサンプリングタイミングと受信マージン

SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 12.13 に示します。

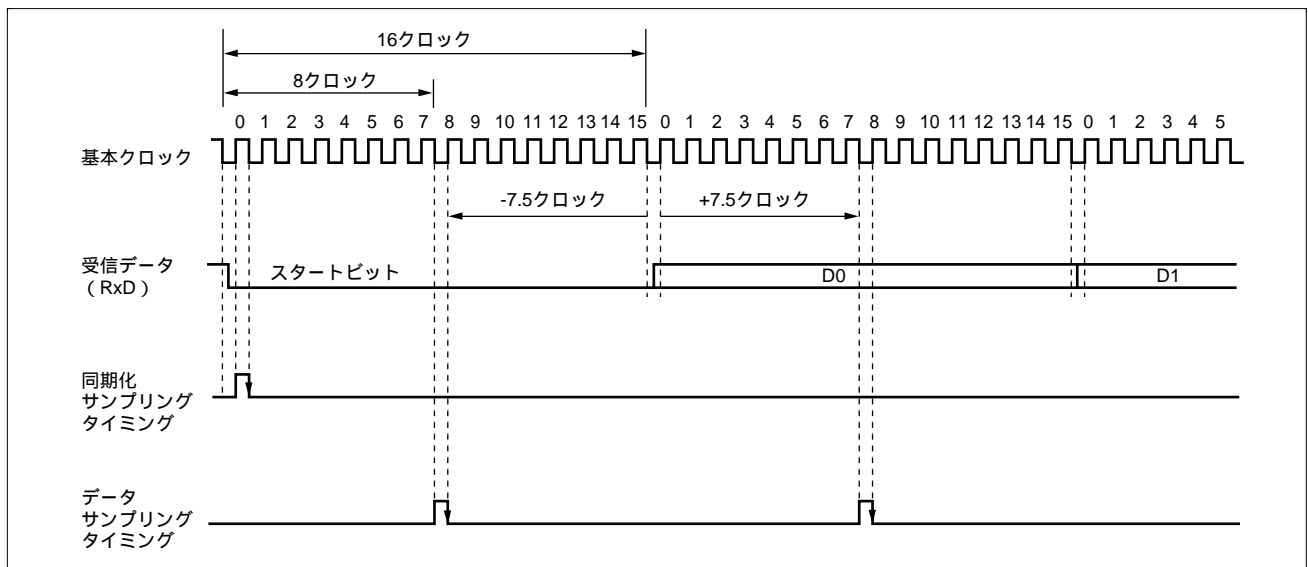


図 12.13 受信データサンプリングタイミング

したがって、受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5)F - \frac{|D-0.5|}{N} (1+F) \right| \times 100\% \quad \dots\dots \text{式(1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式(1)で、F = 0、D = 0.5 とすると、受信マージンは式(2)より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\%$$

$$= 46.875\% \quad \dots\dots \text{式(2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

13. A/D 変換器

第13章 目次

13.1	概要	277
13.1.1	特長	277
13.1.2	ブロック図	278
13.1.3	端子構成	279
13.1.4	レジスタ構成	280
13.2	レジスタの説明	281
13.2.1	A/D データレジスタ A~D (ADDRA ~ ADDR D)	281
13.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	282
13.2.3	A/D コントロールレジスタ (ADCR)	284
13.3	CPU とのインタフェース	285
13.4	動作説明	286
13.4.1	単一モード (SCAN = 0)	286
13.4.2	スキャンモード (SCAN = 1)	288
13.4.3	入力サンプリングと A/D 変換時間	290
13.4.4	MTU トリガ入力タイミング	291
13.5	A/D 変換精度の定義	292
13.6	使用上の注意	293
13.6.1	アナログ電圧の設定	293
13.6.2	アナログ入力端子の取り扱い	293

13.1 概要

本 LSI には、逐時比較方式で動作する 10 ビットの A/D 変換器が内蔵されており、最大 7 チャンネルのアナログ入力を選択することができます。

13.1.1 特長

A/D 変換器には、次のような特長があります。

10 ビットの分解能

入力チャンネル：7 チャンネル

高速変換

変換時間：1 チャンネル当たり最小 6.7 μ s (20MHz 動作時)

単一モード / スキャンモードの 2 種類の動作モードから選択可能

単一モード：1 チャンネルの A/D 変換

スキャンモード：1~4 チャンネルの連続 A/D 変換

4 本の 16 ビットデータレジスタ

A/D 変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。

サンプル & ホールド機能

A/D 変換終了割り込み要求を発生

A/D 変換終了時には、CPU に対して A/D 変換終了割り込み要求 (ADI) を発生させることができます。

MTU トリガ入力による A/D 変換の開始が可能

13.1.2 ブロック図

A/D 変換器のブロック図を図 13.1 に示します。

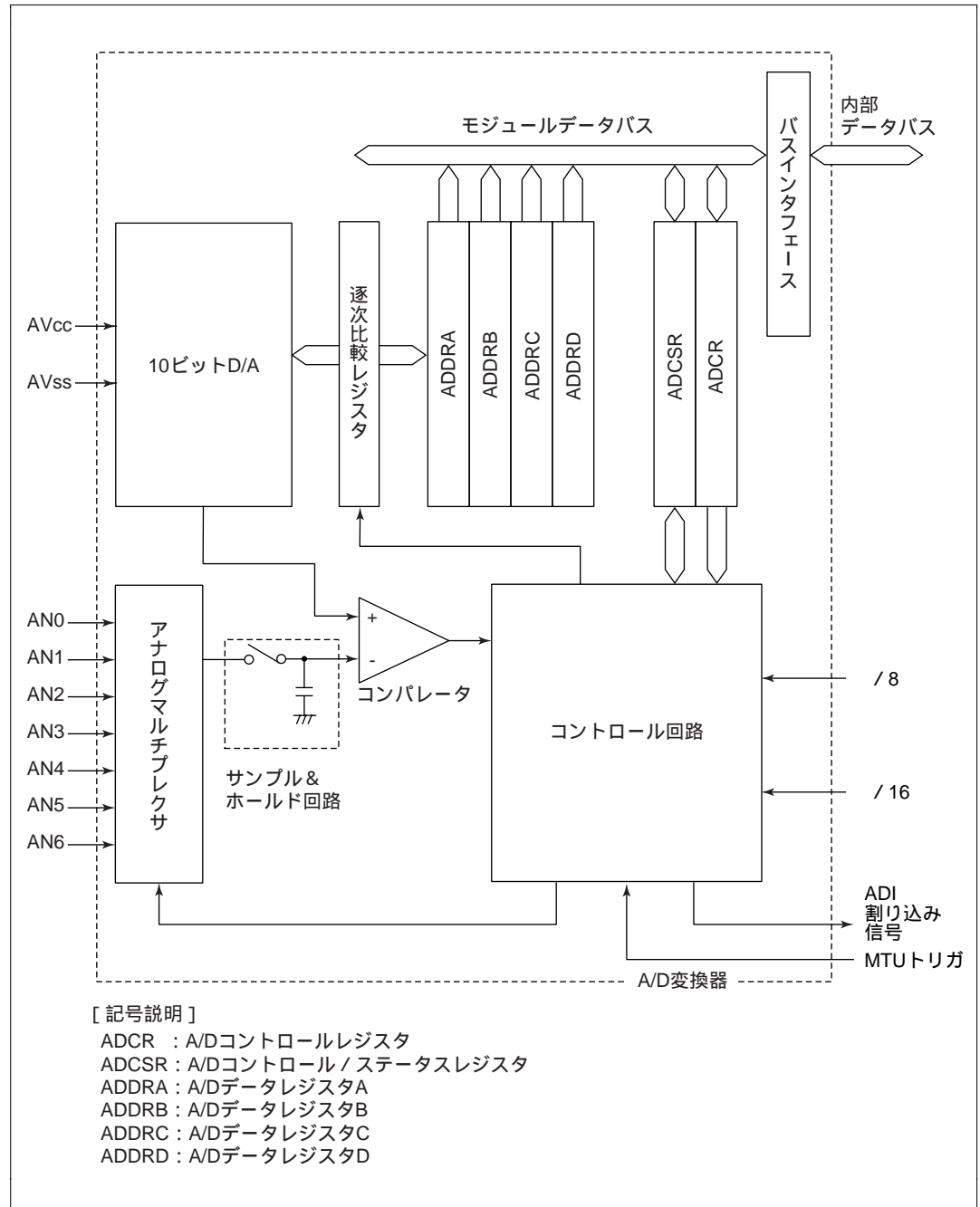


図 13.1 A/D 変換器のブロック図

13.1.3 端子構成

A/D変換器で使用する入力端子を表13.1に示します。

7本のアナログ入力端子は2グループに分類されており、アナログ入力端子0~3(AN0~AN3)がグループ0、アナログ入力端子4~6(AN4~AN6)がグループ1になっています。

AVcc、AVss端子は、A/D変換器内部のアナログ部の電源です。

表 13.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源
アナロググランド端子	AVss	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子0	AN0	入力	グループ0のアナログ入力
アナログ入力端子1	AN1	入力	
アナログ入力端子2	AN2	入力	
アナログ入力端子3	AN3	入力	
アナログ入力端子4	AN4	入力	グループ1のアナログ入力
アナログ入力端子5	AN5	入力	
アナログ入力端子6	AN6	入力	

13.1.4 レジスタ構成

A/D変換器のレジスタ構成を表13.2に示します。

表 13.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ AH	ADDRAH	R	H'00	H'FFFF8420	8、16
A/D データレジスタ AL	ADDRAL	R	H'00	H'FFFF8421	16
A/D データレジスタ BH	ADDRBH	R	H'00	H'FFFF8422	8、16
A/D データレジスタ BL	ADDRBL	R	H'00	H'FFFF8423	16
A/D データレジスタ CH	ADDRCH	R	H'00	H'FFFF8424	8、16
A/D データレジスタ CL	ADDRCL	R	H'00	H'FFFF8425	16
A/D データレジスタ DH	ADDRDH	R	H'00	H'FFFF8426	8、16
A/D データレジスタ DL	ADDRDL	R	H'00	H'FFFF8427	16
A/D コントロール/ ステータスレジスタ	ADCSR	R/(W)* ¹	H'00	H'FFFF8428	8、16
A/D コントロールレジスタ	ADCR	R/W	H'7F	H'FFFF8429	8、16

【注】 *1 ビット7は、フラグをクリアするために0のみ書き込むことができます。

13.2 レジスタの説明

13.2.1 A/D データレジスタ A ~ D (ADDR_A ~ ADDR_D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR _n :	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(n=A~D)

A/D データレジスタ (ADDR) は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDR_A ~ ADDR_D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5 ~ 0 は、予約ビットで、読み出すと常に 0 が読み出されます。アナログ入力チャネルと ADDR の対応を表 13.3 に示します。

ADDR は、常に CPU から読み出し可能です。上位バイトは直接読み出せますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「13.3 CPU とのインタフェース」を参照してください。

ADDR は、パワーオンリセット時に、H'0000 に初期化されます。

表 13.3 アナログ入力チャネルと ADDR_A ~ ADDR_D の対応

アナログ入力チャネル		A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDR _A
AN1	AN5	ADDR _B
AN2	AN6	ADDR _C
AN3	-	ADDR _D

13.2.2 A/D コントロール/ステータスレジスタ (ADCSR)

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするために0のみ書き込むことができます。

A/D コントロール/ステータスレジスタ (ADCSR) は、8 ビットの読み出し/書き込み可能なレジスタで、モードの選択など A/D 変換器の動作を制御します。

ADCSR は、パワーオンリセット時に、H'00 に初期化されます。

ビット7: A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	[クリア条件] (初期値) ADF = 1 の状態で、ADF を読み出した後、ADF に 0 を書き込んだとき
1	[セット条件] (1) 単一モード: A/D 変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルの A/D 変換が終了したとき

ビット6: A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み要求 (ADI) の許可または禁止を選択します。

ビット6	説明
ADIE	
0	A/D 変換終了による割り込み要求 (ADI) を禁止 (初期値)
1	A/D 変換終了による割り込み要求 (ADI) を許可

ビット5：A/D スタート（ADST）

A/D 変換の開始または停止を選択します。

A/D 変換中は1を保持します。また、MTUトリガ入力により1にセットすることもできます。

ビット5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) 単一モード：A/D 変換を開始し、変換が終了すると自動的に0にクリア (2) スキャンモード：A/D 変換を開始し、ソフトウェア、パワーオンリセットによって0にクリアされるまで選択されたチャンネルを順次連続変換

ビット4：スキャンモード（SCAN）

A/D 変換のモードを、単一モード/スキャンモードから選択します。単一モード/スキャンモード時の動作については、「13.4 動作説明」を参照してください。モードの切り替えは、ADST=0の状態で行ってください。

ビット4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

ビット3：クロックセレクト（CKS）

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST=0の状態で行ってください。

ビット	説明
CKS	
0	変換時間 = 266 ステート (max) (初期値)
1	変換時間 = 134 ステート (max)

ビット2~0：チャンネルセレクト2~0 (CH2~CH0)

SCAN ビットとともにアナログ入力チャンネルを選択します。

チャンネル選択と切り替えは、ADST=0の状態で行ってください。

グループ選択	チャンネル選択		説明	
CH2	CH1	CH0	単一モード	スキャンモード
0	0	0	AN0 (初期値)	AN0 (初期値)
		1	AN1	AN0、AN1
	1	0	AN2	AN0 ~ AN2
		1	AN3	AN0 ~ AN3
1	0	0	AN4	AN4
		1	AN5	AN4、AN5
	1	0	AN6	AN4 ~ AN6
		1	予約*	予約*

【注】 * 予約ビットです。設定しないでください。

13.2.3 A/D コントロールレジスタ (ADCR)

ビット：	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値：	0	1	1	1	1	1	1	1
R/W：	R/W	R	R	R	R	R	R	R

A/D コントロールレジスタ (ADCR) は、8 ビットの読み出し / 書き込み可能なレジスタで、MTU トリガ入力による A/D 変換の開始の許可または禁止を選択します。

ADCR は、パワーオンリセット時、H'7F に初期化されます。

ビット7：トリガイネーブル (TRGE)

MTU トリガ入力による A/D 変換の開始の許可または禁止を選択します。

ビット7	説明
TRGE	
0	MTU トリガ入力による A/D 変換の開始を禁止 (初期値)
1	MTU トリガで A/D 変換を開始

ビット6~0：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

13.3 CPU とのインタフェース

ADDRA ~ ADDRD はそれぞれ 16 ビットのレジスタですが、CPU との間データバスは 8 ビット幅です。そのため CPU からのアクセスは上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータの読み出しは、次のように行われます。上位バイトの読み出しで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトの読み出しで TEMP の内容が CPU へ転送されます。

ADDR を読み出す場合は、必ず上位バイト、下位バイトの順で行ってください。この動作はワード転送命令 (MOV.W など) で ADDR を上位バイト側のアドレスから読み出すことを行うことができます。また、上位バイトのみの読み出しは可能ですが、下位バイトのみの読み出しでは内容は保証されませんので注意してください。

図 13.2 に ADDR のアクセス時のデータの流れを示します。

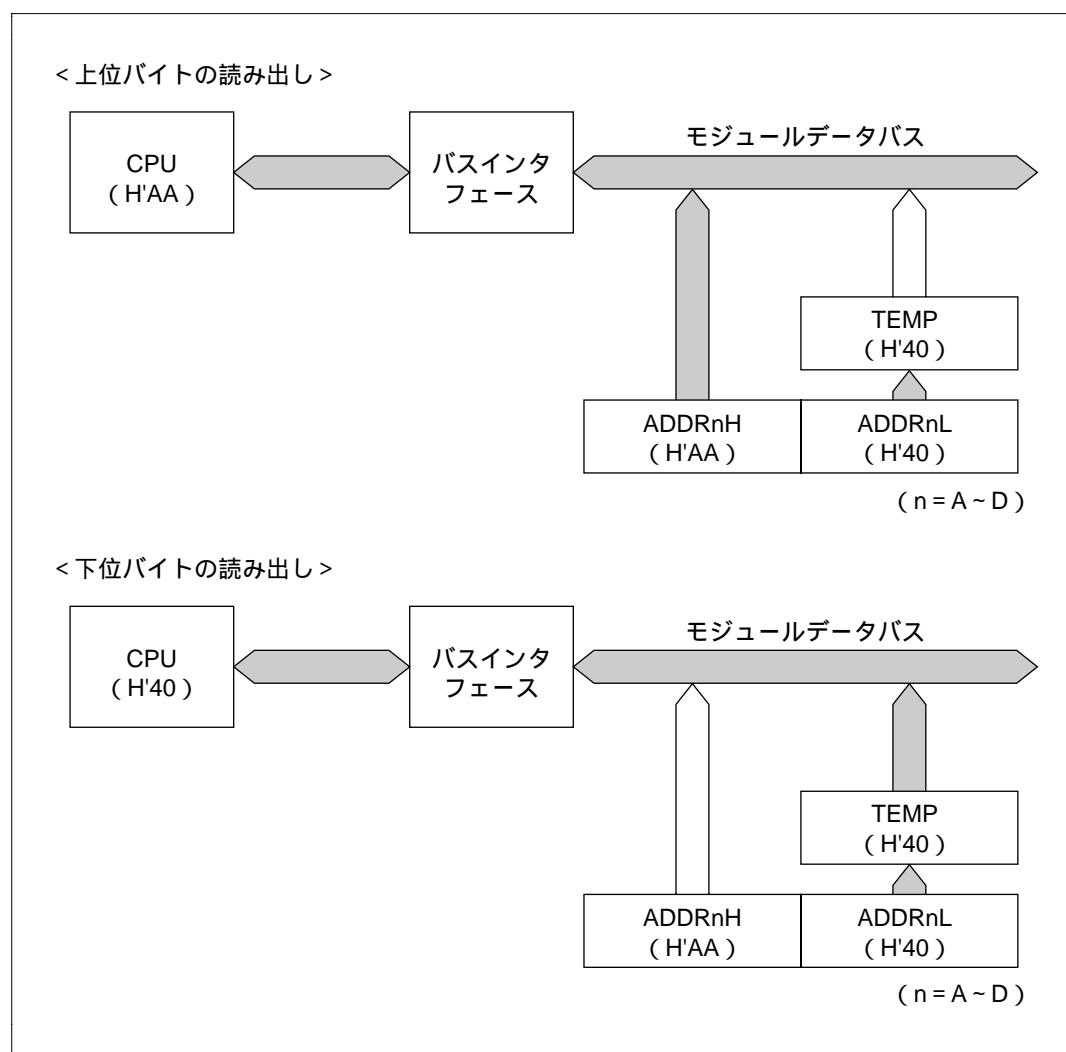


図 13.2 ADDR のアクセス動作 ((H'AA40) 読み出し時)

13.4 動作説明

A/D変換器は逐次比較方式で動作し、10ビットの分解能を持っています。単一モードとスキャンモードの各モードの動作についての説明をします。

13.4.1 単一モード (SCAN = 0)

単一モードは、1チャンネルのみのA/D変換を行う場合に選択します。ソフトウェアまたはMTUトリガ入力によってA/Dコントロール/ステータスレジスタ(ADCSR)のADSTビットが1にセットされると、A/D変換を開始します。ADSTビットは、A/D変換中は1を保持しており、変換が終了すると自動的に0にクリアされます。

また、変換が終了すると、ADCSRのADFビットが1にセットされます。このとき、ADCSRのADIEビットが1にセットされていると、ADI割り込み要求が発生します。

ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットを1にセットすると(モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます)、再びA/D変換を開始します。

単一モードでチャンネル1(AN1)が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図13.3に示します。

- (1) 動作モードを単一モードに(SCAN=0)、入力チャンネルをAN1に(CH2=CH1=0、CH0=1)、A/D割り込み要求許可(ADIE=1)に設定して、A/D変換を開始(ADST=1)します。
- (2) A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF=1、ADST=0となり、A/D変換器は変換待機となります。
- (3) ADF=1、ADIE=1となっているため、ADI割り込み要求が発生します。
- (4) A/D割り込み処理ルーチンが開始されます。
- (5) ADF=1を読み出した後、ADFに0を書き込みます。
- (6) A/D変換結果(ADDRB)を読み出して、処理します。
- (7) A/D割り込み処理ルーチンの実行を終了します。この後、ADSTビットを1にセットするとA/D変換が開始され(2)~(7)を行います。

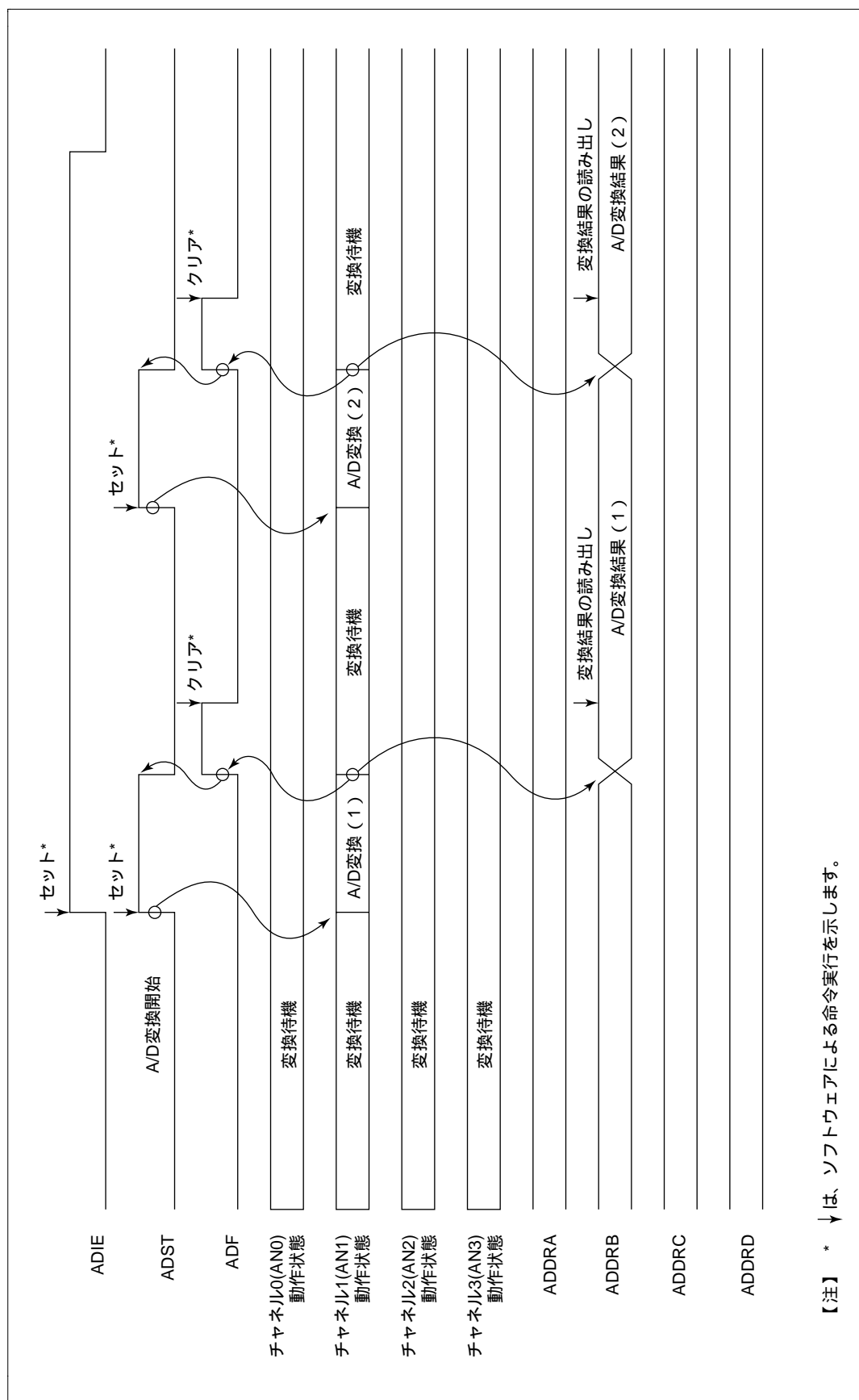


図 13.3 A/D 変換器の動作例 (単一モード、チャンネル1 選択時)

13.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を常にモニターするような応用に適しています。A/D変換はソフトウェアまたはMTUトリガ入力によってA/Dコントロール/ステータスレジスタ(ADCSR)のADSTビットが1にセットされると、グループの第1チャンネル(CH2=0のときAN0、CH1=1のときAN4)から開始されます。

複数のチャンネルが選択されている場合は、第1チャンネルの変換が終了した後、ただちに第2チャンネル(AN1またはAN5)のA/D変換を開始します。

A/D変換は、ADSTビットが0にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると(モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます)、第1チャンネルが選択され、再びA/D変換を開始します。

スキャンモードでグループ0の3チャンネル(AN0~AN2)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図13.4に示します。

- (1) 動作モードをスキャンモードに(SCAN = 1)、スキャングループをグループ0に(CH2 = 0)、アナログ入力チャンネルをAN0~AN2(CH1 = 1、CH0 = 0)に設定してA/D変換を開始(ADST = 1)します。
- (2) 第1チャンネル(AN0)のA/D変換が開始され、A/D変換が終了すると、変換結果をADDRAに転送します。
次に第2チャンネル(AN1)が自動的に選択され、変換を開始します。
- (3) 同様に第3チャンネル(AN2)まで変換を行います。
- (4) 選択されたすべてのチャンネル(AN0~AN2)の変換が終了すると、ADF = 1となり、再び第1チャンネル(AN0)を選択し、変換が行われます。
このときADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みが発生します。
- (5) ADSTビットが1にセットされている間は、(2)~(4)を繰り返します。
ADSTビットを0にクリアするとA/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、第1チャンネル(AN0)から変換が行われます。

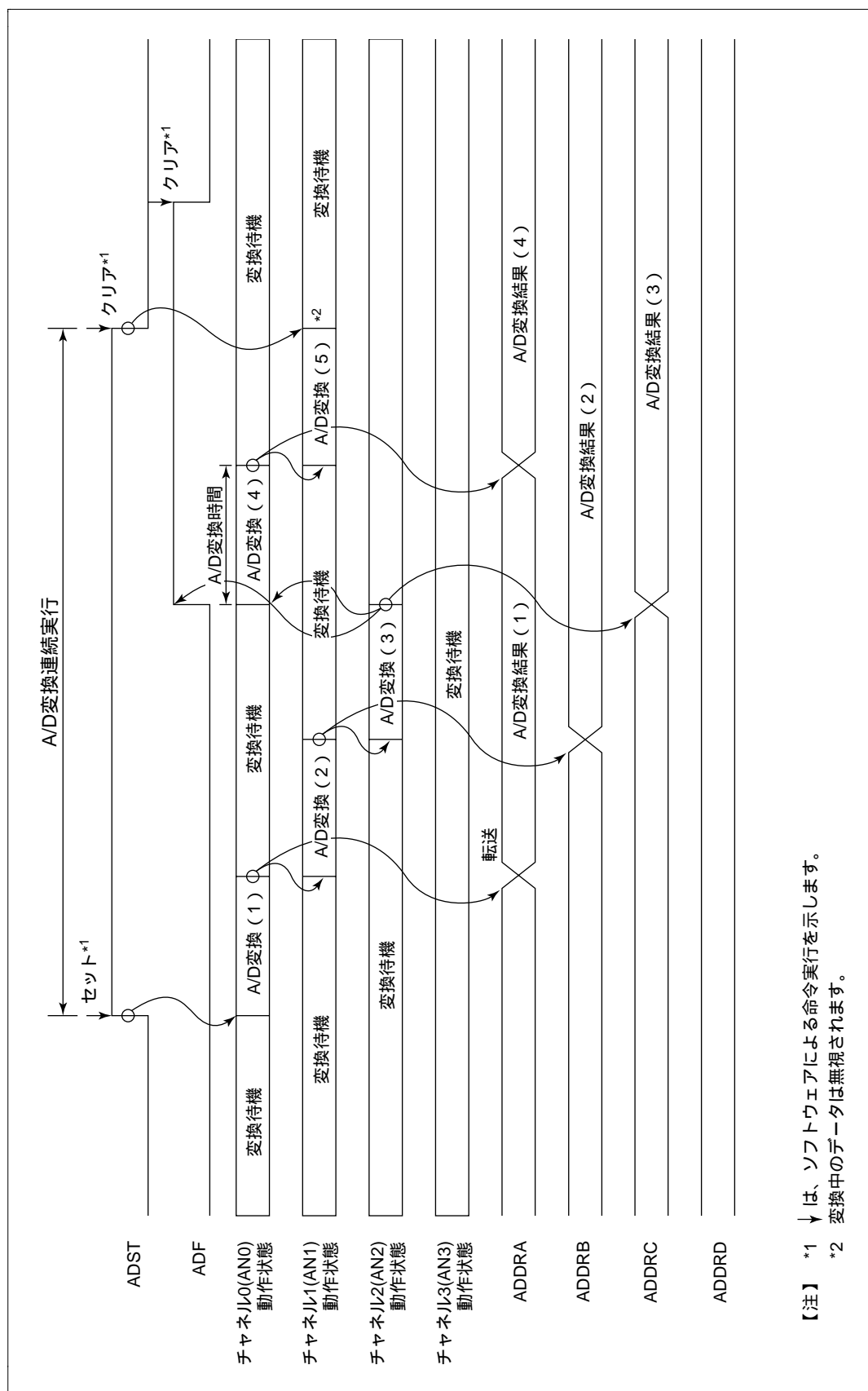


図 13.4 A/D 変換器の動作例 (スキャンモード AN0~AN2 の 3 チャンネル選択時)

13.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 13.5 に示します。また、A/D 変換時間を表 13.4 に示します。

A/D 変換時間は、図 13.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR への書き込みタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 13.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 13.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS = 0 の場合は 256 ステート (固定)、CKS = 1 の場合は 128 ステート (固定) となります。

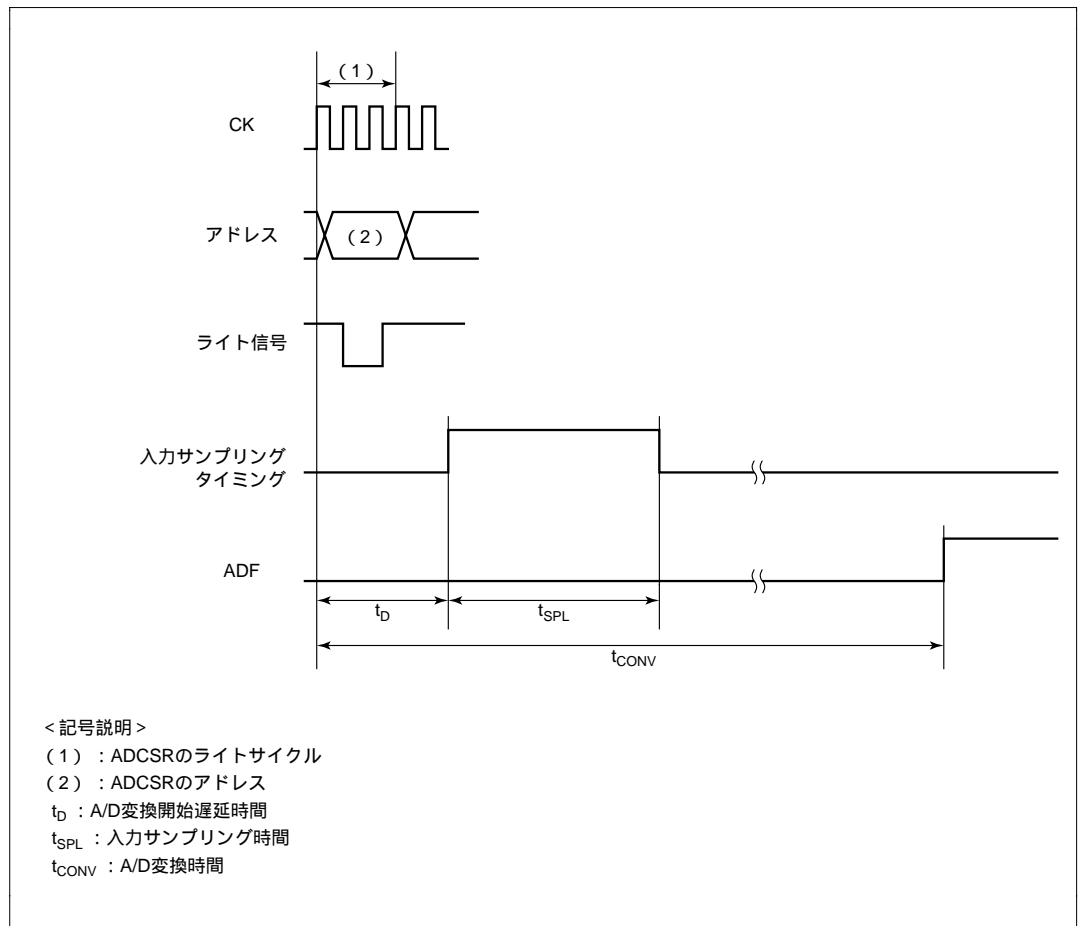


図 13.5 A/D 変換タイミング

表 13.4 A/D変換時間（単一モード）

	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D変換開始遅延時間	t_D	10		17	6		9
入力サンプリング時間	t_{SPL}		64			32	
A/D変換時間	t_{CCNV}	259		266	131		134

【注】 表中の数値の単位はステート（tcyc）です。

13.4.4 MTUトリガ入力タイミング

A/D変換は、MTUトリガ入力により開始することも可能です。MTUトリガ入力は、A/Dコントロールレジスタ（ADCR）のTRGEビットが1にセットされているとき、入力されます。

MTUトリガで、A/Dコントロール/ステータスレジスタ（ADCSR）のADSTビットが1にセットされ、A/D変換が開始されます。

その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによってADSTビットを1にセットした場合と同じです。

このタイミングを図13.6に示します。

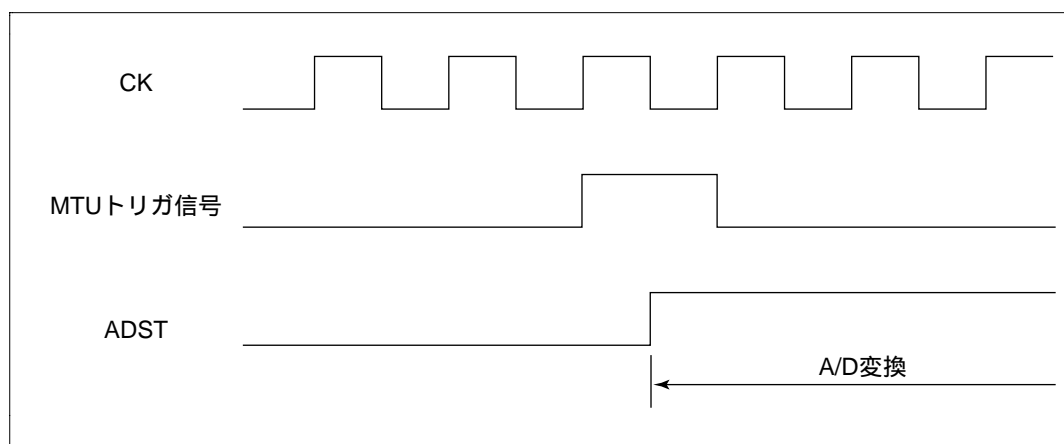


図 13.6 外部トリガ入力タイミング

13.5 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャンネルから入力されたアナログ値を、アナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

- (1) オフセット誤差
- (2) フルスケール誤差
- (3) 量子化誤差
- (4) 非直線性誤差

図 13.7 に沿って、上記 (1) ~ (4) の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの A/D 変換器を 3 ビットの A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値（ゼロ電圧）0000000000（図では 000）から 0000000001（図では 001）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 13.7 (1)）です。フルスケール誤差とは、デジタル出力値が 1111111110（図では 110）から最大値（フルスケール電圧）1111111111（図では 111）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 13.7 (2)）です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、 $1/2\text{LSB}$ で表されます（図 13.7 (3)）。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 13.7 (4)）です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

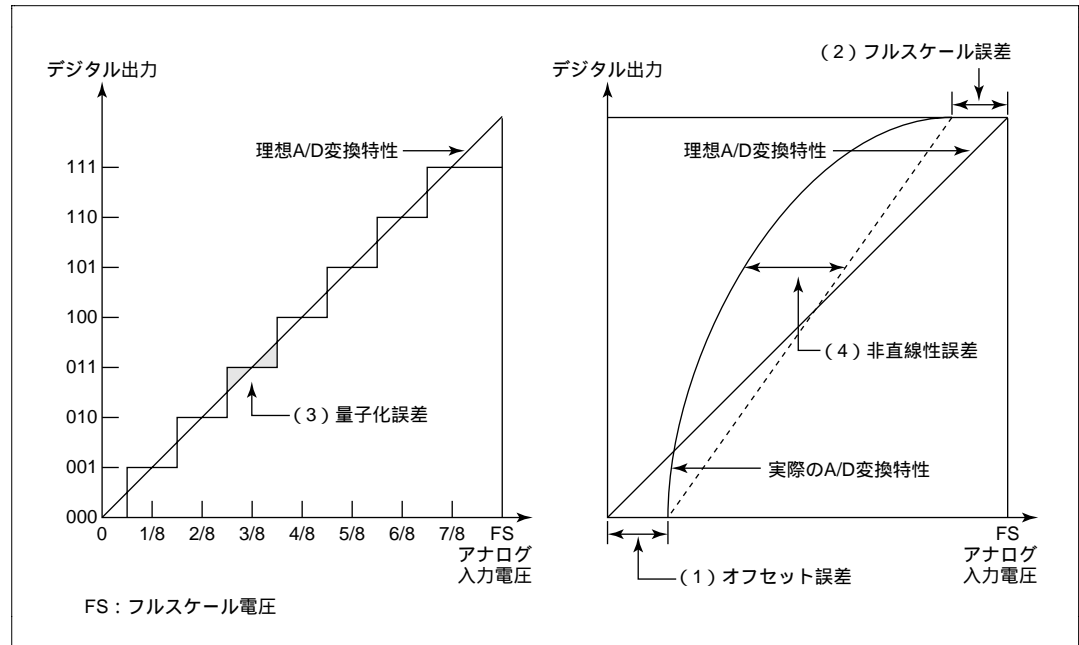


図 13.7 A/D 変換精度の定義

13.6 使用上の注意

A/D変換器を使用する際は、以下のことに注意してください。

13.6.1 アナログ電圧の設定

(1) アナログ入力電圧の範囲

A/D変換中、アナログ入力端子 ANn に印加する電圧は $AV_{SS} \sim ANn \sim AV_{CC}$ の範囲としてください。(n=0~6)

(2) AVcc、AVss 入力電圧

AVcc、AVss 入力電圧は、 $AV_{CC} = 3.3V \pm 10\%$ 、 $AV_{SS} = V_{SS}$ としてください。A/D変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

13.6.2 アナログ入力端子の取り扱い

アナログ入力端子 (AN0~AN6) には、過大サージなどの異常電圧による破壊を防ぐために、図 13.8 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 13.9 にアナログ入力端子の等価回路を、表 13.5 にアナログ入力端子の規格を示します。

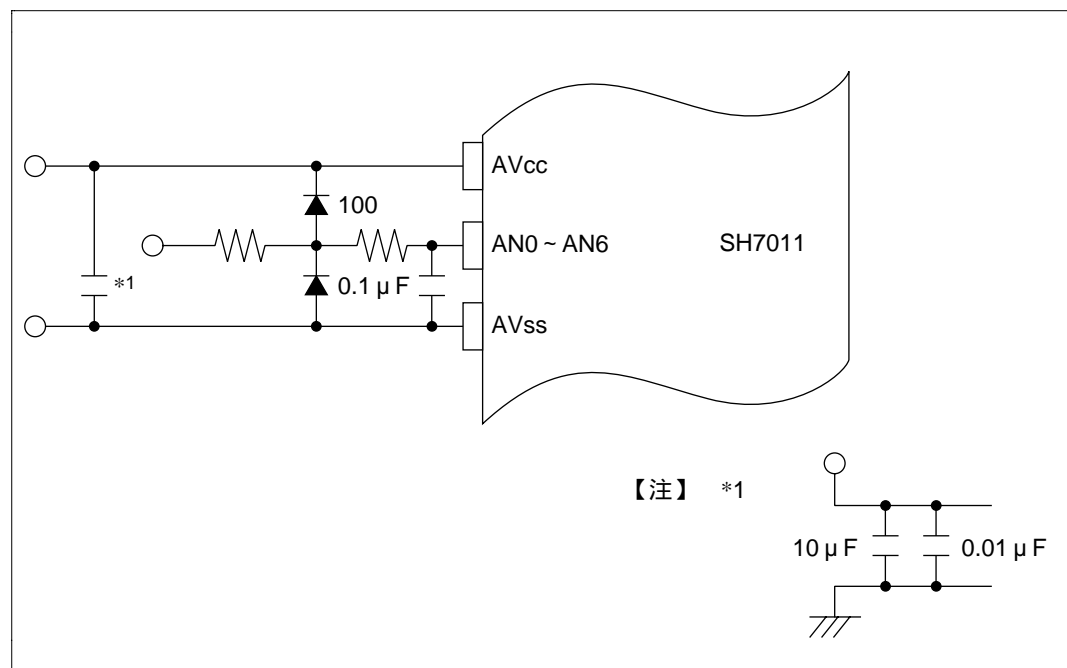


図 13.8 アナログ入力端子の保護回路例

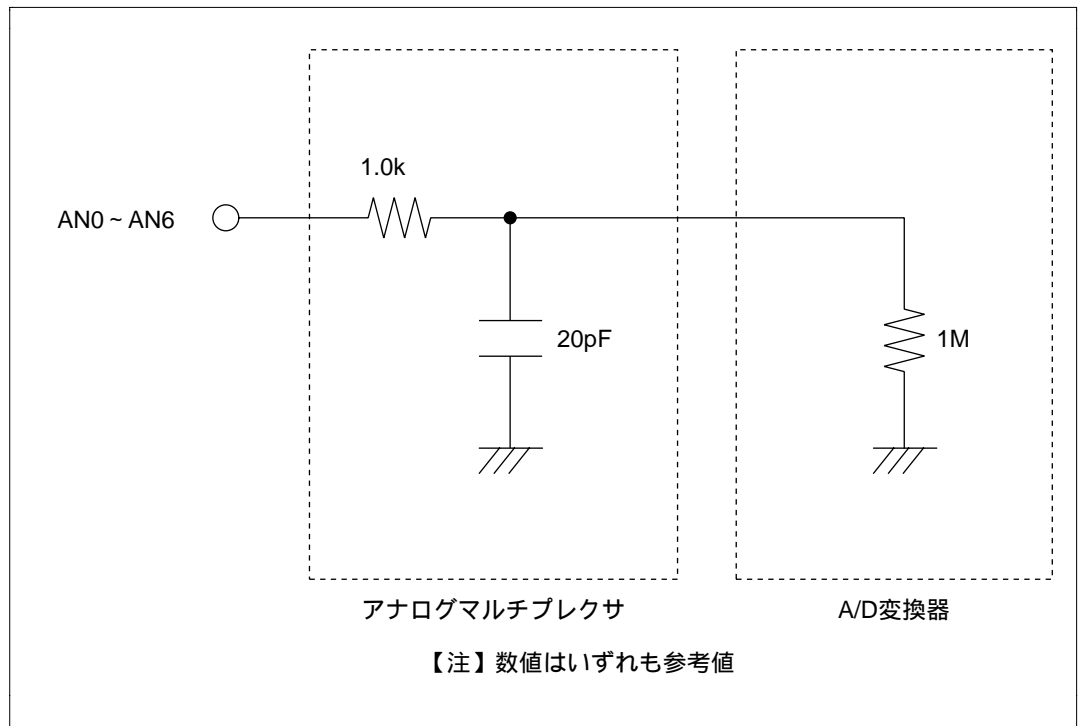


図 13.9 アナログ入力端子の等価回路

表 13.5 アナログ入力端子の規格

項目	min	max	単位
アナログ入力容量		20	pF
許容信号源インピーダンス		3	k

14. ピンファンクション コントローラ (PFC)

第14章 目次

14.1	概要	297
14.2	レジスタ構成	297
14.3	レジスタの説明	298
14.3.1	ポート A・IO レジスタ H (PAIORH)	298
14.3.2	ポート E・IO レジスタ (PEIOR)	298
14.3.3	ポート E コントロールレジスタ 2 (PECR2)	299

14.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 14.1 に、本 LSI のマルチプレクス端子を示します。これらのマルチプレクス端子のパワーオンリセット後の初期状態は、入力ポートです。

表 14.1 マルチプレクス一覧表

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	ピン番号
E	PE7 入出力 (ポート)	TIOC2B 入出力 (MTU)	98
E	PE6 入出力 (ポート)	TIOC2A 入出力 (MTU)	83
E	PE5 入出力 (ポート)	TIOC1B 入出力 (MTU)	82
E	PE4 入出力 (ポート)	TIOC1A 入出力 (MTU)	81
E	PE2 入出力 (ポート)	TIOC0C 入出力 (MTU)	79
E	PE0 入出力 (ポート)	TIOC0A 入出力 (MTU)	78

14.2 レジスタ構成

PFC のレジスタを表 14.2 に示します。

表 14.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A・IO レジスタ H	PAIORH	R/W	H'0000	H'FFFF8384 H'FFFF8385	8、16
ポート E・IO レジスタ	PEIOR	R/W	H'0000	H'FFFF83B4 H'FFFF83B5	8、16
ポート E コントロールレジスタ 2	PECR2	R/W	H'0000	H'FFFF83BA H'FFFF83BB	8、16

14.3 レジスタの説明

14.3.1 ポート A・IO レジスタ H (PAIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													PA19 IOR	PA18 IOR		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R

ポート A・IO レジスタ H (PAIORH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある PA19 と PA18 端子の入出力方向を選びます。

PAIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORH は、パワーオンリセットで H'0000 に初期化されます。しかし、スリープモードでは初期化されず前のデータを保持します。

14.3.2 ポート E・IO レジスタ (PEIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		PE14 IOR	PE13 IOR	PE12 IOR					PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR		PE2 IOR		PE0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R/W

ポート E・IO レジスタ (PEIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある 9 本の端子の入出力方向を選びます。PE7IOR ~ PE4IOR、PE2IOR、PE0IOR ビットが、それぞれ、マルチプレクスされている端子に対応しています。

ポート E の端子機能が PEX の場合、PEIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIOR は、パワーオンリセットで H'0000 に初期化されます。しかし、スリープモードでは初期化されず、前のデータを保持します。

14.3.3 ポート E コントロールレジスタ 2 (PECR2)

ポート E コントロールレジスタ 2 (PECR2) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にある 6 本のマルチプレクス端子の機能を選びます。

PECR2 は、パワーオンリセットで、H'0000 に初期化されます。しかし、スリープモードでは初期化されず、前のデータを保持します。

ポート E コントロールレジスタ 2 (PECR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		PE7 MD		PE6 MD		PE5 MD		PE4 MD				PE2 MD0				PE0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: PE7 モードビット (PE7MD)

PE7/TIOC2B 端子の機能を選びます。

ビット 14	説明
PE7MD	
0	汎用入出力 (PE7) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC2B)

ビット 13: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12: PE6 モードビット (PE6MD)

PE6/TIOC2A 端子の機能を選びます。

ビット 12	説明
PE6MD	
0	汎用入出力 (PE6) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC2A)

ビット 11: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

14. ピンファンクションコントローラ (PFC)

ビット 10 : PE5 モードビット (PE5MD)

PE5/TIOC1B 端子の機能を選びます。

ビット 10	説明
PE5MD	
0	汎用入出力 (PE5) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1B)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PE4 モードビット (PE4MD)

PE4/TIOC1A 端子の機能を選びます。

ビット 8	説明
PE4MD	
0	汎用入出力 (PE4) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1A)

ビット 7~5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PE2 モードビット 0 (PE2MD0)

PE2/TIOC0C 端子の機能を選びます。

ビット 4	説明
PE2MD0	
0	汎用入出力 (PE2) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0C)

ビット 3~1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PE0 モードビット 0 (PE0MD0)

PE0/TIOC0A 端子の機能を選びます。

ビット 0	説明
PE0MD0	
0	汎用入出力 (PE0) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0A)

15. I/O ポート (I/O)

第 15 章 目 次

15.1	概要	303
15.2	ポート A	303
15.2.1	レジスタ構成	303
15.2.2	ポート A データレジスタ H (PADRH)	304
15.3	ポート E	305
15.3.1	レジスタ構成	305
15.3.2	ポート E データレジスタ (PEDR)	306

15.1 概要

ポートは、A、Eで構成されています。

マルチプレクス端子の機能の選択は、ピンファンクションコントローラ (PFC)で行います。ポートは、それぞれ、端子のデータを格納するためのデータレジスタを1本ずつもっています。

各端子のパワーオンリセット後の初期状態は、入力ポートです。

15.2 ポート A

ポート Aは、図 15.1に示すような、2本の端子をもつ入出力ポートです。

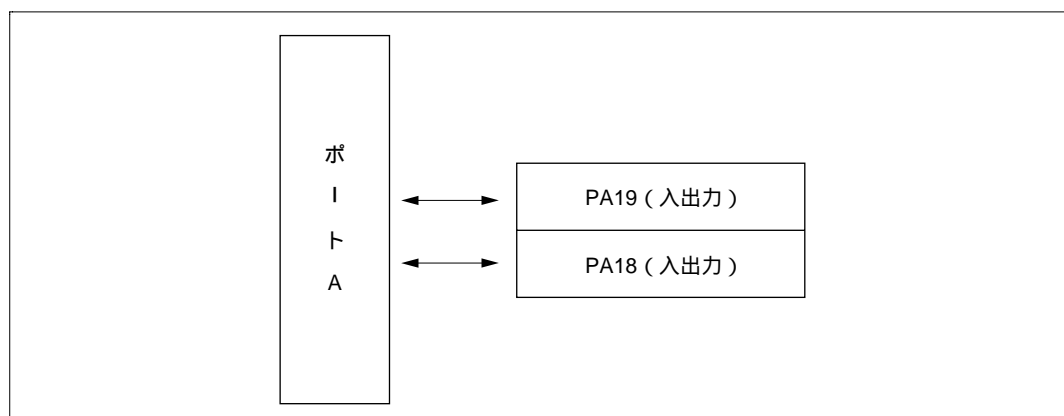


図 15.1 ポート A

15.2.1 レジスタ構成

ポート Aのレジスタ構成を表 15.1に示します。

表 15.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ H	PADRH	R/W	H'0000	H'FFFF8380 H'FFFF8381	8、16

15.2.2 ポート A データレジスタ H (PADRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													PA19 DR	PA18 DR		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R

ポート A データレジスタ H (PADRH) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA19DR と PA18DR ビットは、それぞれ、PA19 端子と PA18 端子に対応しています。

端子機能が出力の場合には、PADRH に値を書き込むと端子からその値が出力され、PADRH を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が入力の場合には、PADRH を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRH に値を書き込むと、PADRH にその値を書き込めますが、端子の状態には影響しません。表 15.2 にポート A データレジスタの読み出し / 書き込み動作を示します。

PADRH は、パワーオンリセットで初期化されます。しかし、スリープモードでは、初期化されず、前のデータを保持します。

表 15.2 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

PAIOR	端子機能	読み出し	書き込み
0	入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
1	出力	PADR の値	書き込み値が端子から出力される

15.3 ポート E

ポート E は、図 15.2 に示すような、9本の端子をもつ入出力ポートです。

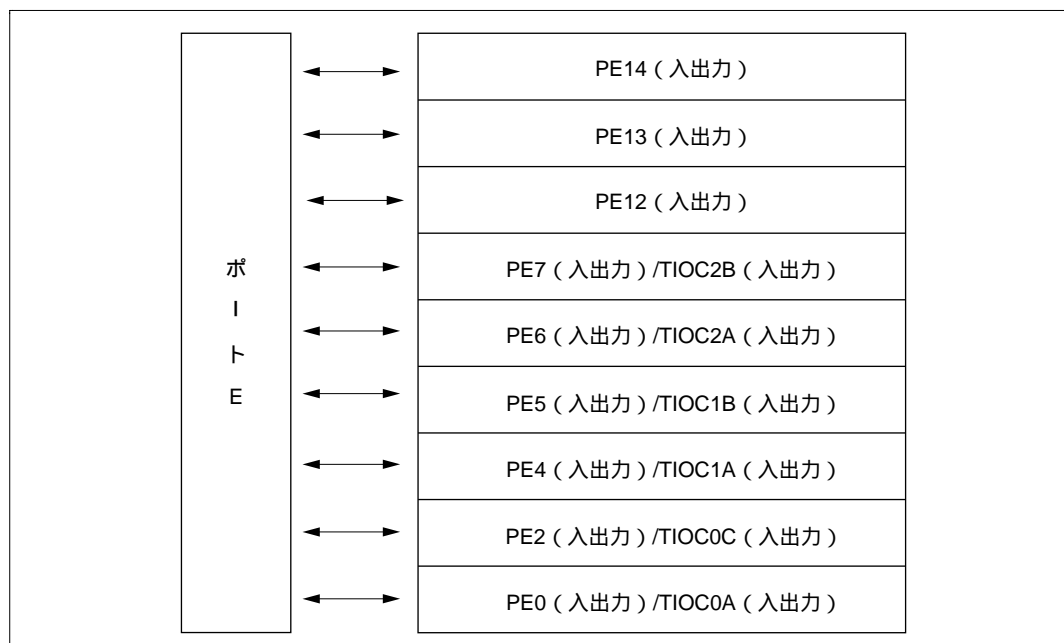


図 15.2 ポート E

15.3.1 レジスタ構成

ポート E のレジスタ構成を表 15.3 に示します。

表 15.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ	PEDR	R/W	H'0000	H'FFFF83B0 H'FFFF83B1	8、16

15.3.2 ポート E データレジスタ (PEDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		PE14 DR	PE13 DR	PE12 DR					PE7 DR	PE6 DR	PE5 DR	PE4 DR		PE2 DR		PE0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R/W

ポート E データレジスタ (PEDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。各ビットと端子の対応を表 15.5 に示します。端子機能が汎用出力の場合には、PEDR に値を書き込むと端子からその値が出力され、PEDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDR に値を書き込むと、PEDR にその値を書き込めますが、端子の状態には影響しません。表 15.4 にポート E データレジスタの読み出し / 書き込み動作を示します。

PEDR は、パワーオンリセットで初期化されます。しかし、スリープモードでは、初期化されず、前のデータを保持します。

表 15.4 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDR の値	書き込み値が端子から出力される
	汎用出力以外	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない

表 15.5 ポート E データレジスタ (PEDR) の各ビットと端子の対応

PEDR のビット	端子
PE14DR	PE14
PE13DR	PE13
PE12DR	PE12
PE7DR	PE7/TIOC2B
PE6DR	PE6/TIOC2A
PE5DR	PE5/TIOC1B
PE4DR	PE4/TIOC1A
PE2DR	PE2/TIOC0C
PE0DR	PE0/TIOC0A

16. RAM

第 16 章 目 次

16.1 概要	309
---------------	-----

16.1 概要

本 LSI は 4k バイトの RAM を内蔵しています。内蔵 RAM は、32 ビット幅のデータバスを介して、CPU に接続されており (図 16.1)、8、16 または 32 ビット幅で、内蔵 RAM をアクセスすることができます。内蔵 RAM のデータは、常に 1 ステートでアクセスできます。したがって、高速アクセスが必要なプログラムエリア、あるいはスタックエリアやデータエリアとしての使用に適しています。内蔵 RAM の内容は、スリープモードでは保持されます。

内蔵 RAM は、メモリエリアのアドレス H'FFFFFF000 ~ H'FFFFFFFFF に割り付けられています。

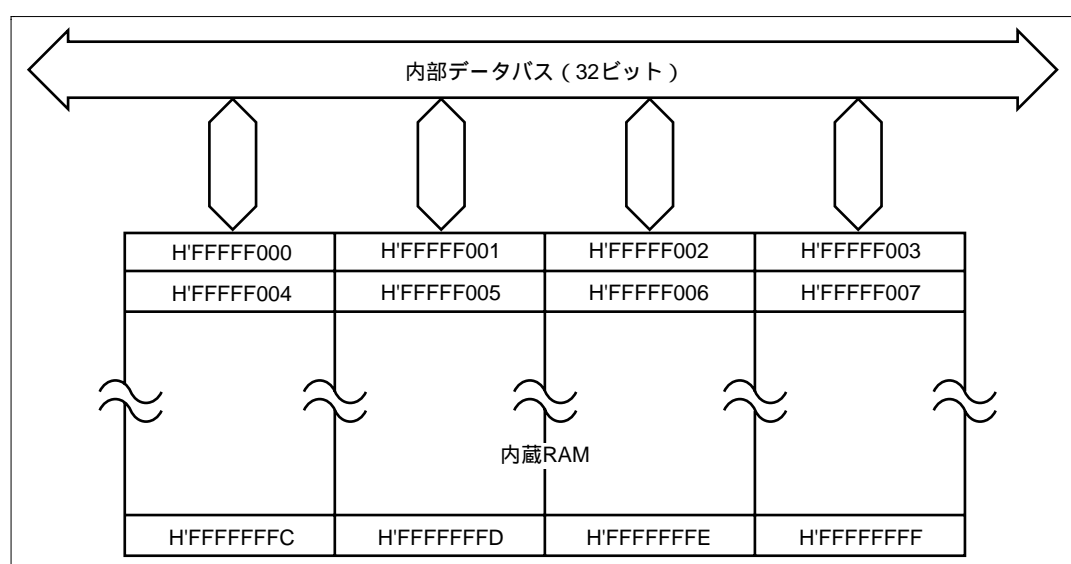


図 16.1 RAM のブロック図

17. 電気的特性

第 17 章 目次

17.1	絶対最大定格	313
17.2	DC 特性	314
17.3	AC 特性	316
	17.3.1 クロックタイミング	316
	17.3.2 制御信号タイミング	318
	17.3.3 バスタイミング	320
	17.3.4 マルチファンクションタイマパルスユニットタイミング	324
	17.3.5 I/Oポートタイミング	325
	17.3.6 シリアルコミュニケーションインタフェースタイミング	326
	17.3.7 A/D変換器タイミング	327
	17.3.8 AC特性測定条件	328
17.4	A/D変換器特性	329

17.1 絶対最大定格

絶対最大定格を表 17.1 に示します。

表 17.1 絶対最大定格

項 目	記号	定格値	単位
電源電圧	V_{CC}	-0.3 ~ +7.0	V
入力電圧 (A/D ポート以外)	V_{in}	-0.3 ~ $V_{CC}+0.3$	V
入力電圧 (A/D ポート)	V_{in}	-0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ入力電圧	V_{AN}	-0.3 ~ $V_{CC}+0.3$	V
動作温度	T_{opr}	-20 ~ +75	
保存温度	T_{stg}	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

17.2 DC 特性

DC 特性を表 17.2 に示します。

表 17.2 DC 特性

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC}=3.0 \sim 5.5V$ 、 $AV_{CC} = V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	typ	max	単位	測定条件
入力ハイ レベル電圧	RES,NMI, PE0,PE2, PE4 ~ PE7, PE12 ~ PE14	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V	
	EXTAL	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V	
	A/D ポート	$V_{CC} \times 0.7$	-	$AV_{CC} + 0.3$	V	
	その他の入力 端子	$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V	
入力ロー レベル電圧	RES,NMI, PE0,PE2, PE4 ~ PE7, PE12 ~ PE14	- 0.3	-	$V_{CC} \times 0.1$	V	
	その他の入力 端子	- 0.3	-	$V_{CC} \times 0.2$	V	
シュミット トリガ入力 電圧	PE0,PE2, PE4 ~ PE7, PE12 ~ PE14	V_{T+}	$V_{CC} \times 0.9$	-	V	
		V_{T-}	-	$V_{CC} \times 0.2$	V	
		$V_{T+} - V_{T-}$	$V_{CC} \times 0.07$	-	V	
入力リーク 電流	RES,NMI, PE0,PE2, PE4 ~ PE7, PE12 ~ PE14	-	-	1.0	μA	$V_{in} = 0.5 - V_{CC} - 0.5V$
	A/D ポート	-	-	1.0	μA	$V_{in} = 0.5 - AV_{CC} - 0.5V$
	その他の入力 端子	-	-	1.0	μA	$V_{in} = 0.5 - V_{CC} - 0.5V$
スリーステ ートリーク 電流(オフ状 態)	A21 ~ A1, D15 ~ D0, CS3 ~ CS0, WRx,RD ポート A,E	-	-	1.0	μA	$V_{in} = 0.5 - V_{CC} - 0.5V$
出力ハイ レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	-	V	$I_{OH} = - 200 \mu A$
			$V_{CC} - 1.0$	-	V	$I_{OH} = - 1mA$
出力ロー レベル電圧	全出力端子	V_{OL}	-	0.4	V	$I_{OL} = 1.6mA$

表 17.2 DC 特性 (続き)

(条件 : $V_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC}=3.0 \sim 5.5V$ 、 $AV_{CC} = V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	typ	max	単位	測定条件
入力容量	RES	-	-	80	pF	$V_{in} = 0V$ $f = 1 \text{ MHz}$ $T_a = 25$
	NMI	-	-	50	pF	
	その他の全入力端子	-	-	20	pF	
消費電流	通常動作時	-	80	130	mA	$f=20\text{MHz}$
	スリープ時	-	70	110	mA	$f=20\text{MHz}$
アナログ電源電流	AI_{CC}	-	4	8	mA	$f=20\text{MHz}$

【使用上の注意】

- A/D 変換器を使用しないときに、 AV_{CC} 、 AV_{SS} 端子を解放しないでください。
 AV_{CC} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。
- 消費電流値は、 $V_{IHmin}=V_{CC} - 0.5V$ 、 $V_{ILmax}=0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 17.3 出力許容電流値

(条件 : $V_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC}=3.0 \sim 5.5V$ 、 $AV_{CC} = V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	typ	max	単位
出力ローレベル許容電流 (1 端子あたり)	I_{OL}	-	-	2.0	mA
出力ローレベル許容電流 (総和)	I_{OL}	-	-	80	mA
出力ハイレベル許容電流 (1 端子あたり)	$-I_{OH}$	-	-	2.0	mA
出力ハイレベル許容電流 (総和)	$(-I_{OH})$	-	-	25	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 17.3 の値を超えないようにしてください。

17.3 AC 特性

17.3.1 クロックタイミング

表 17.4 にクロックタイミングを示します。

表 17.4 クロックタイミング

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC}=3.0 \sim 5.5V$ 、 $AV_{CC} = V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項 目	記号	min	max	単位	参照図
動作周波数	f_{OP}	4	20	MHz	図 17.1
クロックサイクル時間	t_{cyc}	50	250	ns	
クロックローレベルパルス幅	t_{CL}	10	-	ns	
クロックハイレベルパルス幅	t_{CH}	10	-	ns	
クロック立ち上がり時間	t_{CR}	-	10	ns	
クロック立ち下がり時間	t_{CF}	-	10	ns	
EXTAL クロック入力周波数	f_{EX}	4	20	MHz	図 17.2
EXTAL クロック入力サイクル時間	t_{EXcyc}	50	250	ns	
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	10	-	ns	
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	10	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}	-	5	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}	-	5	ns	
リセット発振安定時間	t_{OSC1}	20	-	ms	図 17.3

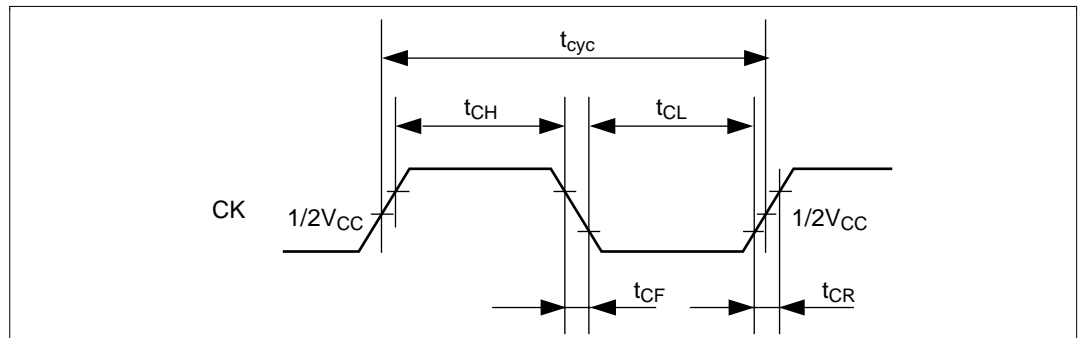


図 17.1 システムクロックタイミング

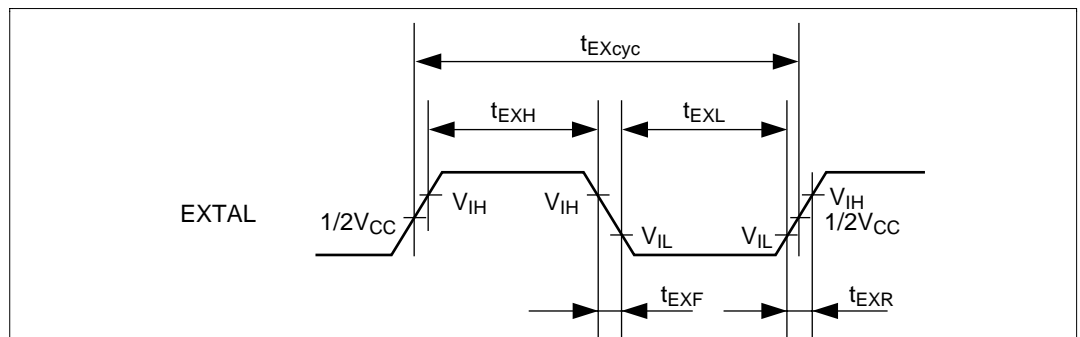


図 17.2 EXTAL クロック入力タイミング

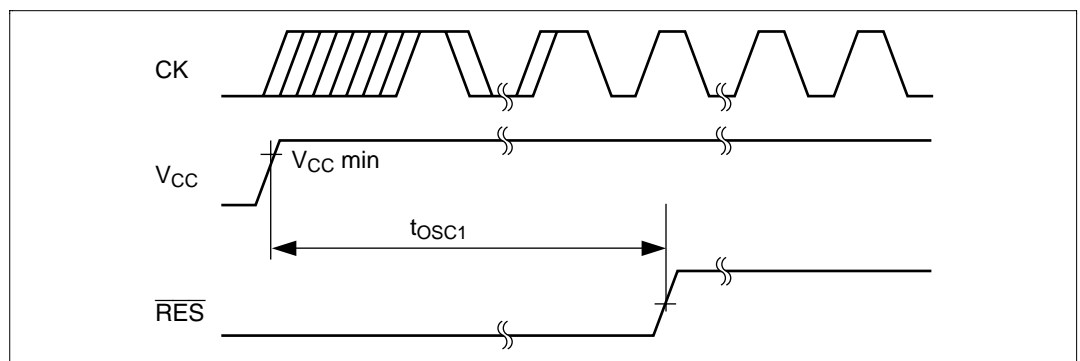


図 17.3 発振安定時間

17.3.2 制御信号タイミング

表 17.5 制御信号タイミング

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC}=3.0 \sim 5.5V$ 、 $AV_{CC} = V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
\overline{RES} 立ち上がり、立ち下がり	t_{RESr}	-	200	ns	図 17.4
	t_{RESf}				
\overline{RES} パルス幅	t_{RESW}	40	-	t_{cyc}	
NMI 立ち上がり、立ち下がり	t_{NMIr}	-	200	ns	図 17.5
	t_{NMIf}				
\overline{RES} セットアップ時間*	t_{RESS}	100	-	ns	図 17.4
NMI セットアップ時間*	t_{NMIS}	100	-	ns	
$\overline{IRQ7} \sim \overline{IRQ0}$ セットアップ時間* (エッジ検出時)	t_{IRQES}	100	-	ns	図 17.5
	t_{IRQLS}	100	-	ns	
NMI ホールド時間	t_{NMIH}	50	-	ns	図 17.5
$\overline{IRQ7} \sim \overline{IRQ0}$ ホールド時間	t_{IRQEH}	50	-	ns	

【注】 * \overline{RES} 、NMI および $\overline{IRQ7} \sim \overline{IRQ0}$ 信号は非同期入力ですが、ここに示されたセットアップが守られた場合、クロックの立ち上がり (\overline{RES}^- の場合) もしくは立ち下がり (NMI および $\overline{IRQ7} \sim \overline{IRQ0}$ の場合) で変化が生じたものとして判定されます。セットアップを守れない場合次のクロック立ち上がり / 立ち下がりまで認識が遅れることがあります。

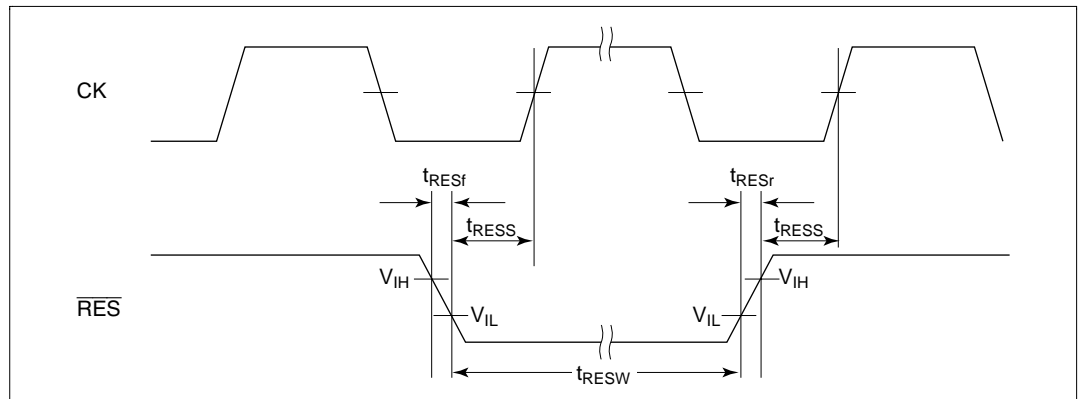


図 17.4 リセット入力タイミング

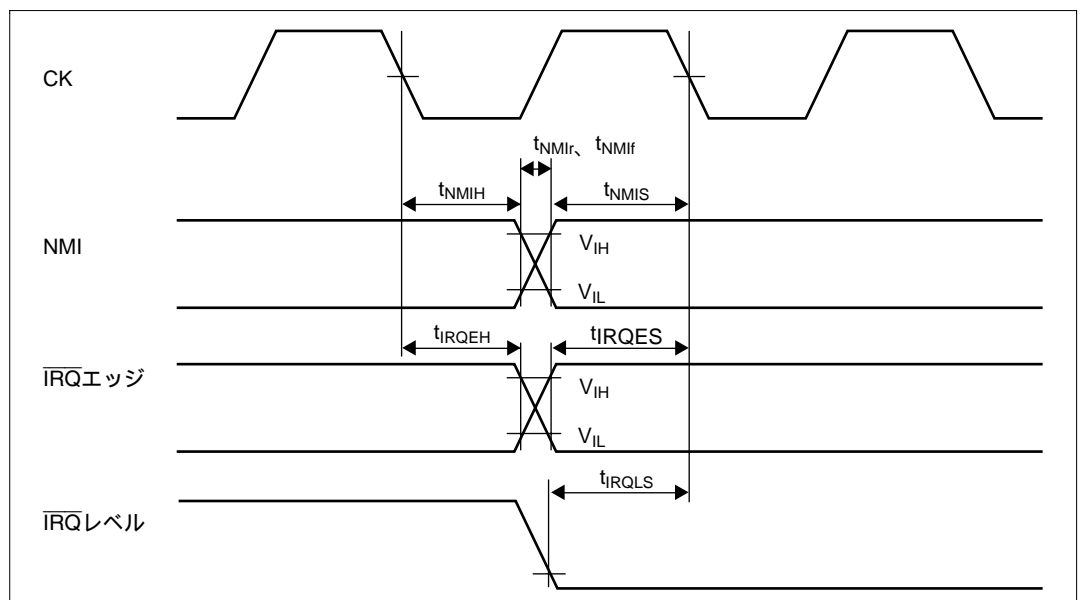


図 17.5 割り込み信号入力タイミング

17.3.3 バスタイミング

表 17.6 バスタイミング

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC}=3.0 \sim 5.5V$ 、 $AV_{CC} V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
アドレス遅延時間	t_{AD}	3* ³	40	ns	図 17.6,7
CS 遅延時間 1	t_{CSD1}	3* ³	40	ns	図 17.6,7
CS 遅延時間 2	t_{CSD2}	3* ³	40	ns	図 17.6,7
読み出しストロープ遅延時間 1	t_{RSD1}	3* ³	40	ns	図 17.6,7
読み出しストロープ遅延時間 2	t_{RSD2}	3* ³	40	ns	図 17.6,7
読み出しデータセットアップ時間	t_{RDS}^{*4}	45	-	ns	図 17.6,7
読み出しデータホールド時間	t_{RDH}	0	-	ns	図 17.6,7
書き込みストロープ遅延時間 1	t_{WSD1}	3* ³	40	ns	図 17.6,7
書き込みストロープ遅延時間 2	t_{WSD2}	3* ³	40	ns	図 17.6,7
書き込みデータ遅延時間	t_{WDD}	-	50	ns	図 17.6,7
書き込みデータホールド時間	t_{WDH}	0	30* ²	ns	図 17.6,7
WAIT セットアップ時間	t_{WTS}	20	-	ns	図 17.8
WAIT ホールド時間	t_{WTH}	0	-	ns	図 17.8
読み出しデータアクセス時間	t_{ACC}^{*5}	$t_{cyc} \times (n+2) - 75$	-	ns	図 17.6,7
読み出しストロープからのアクセス時間	t_{OE}^{*1}	$t_{cyc} \times (n+1.5) - 75$	-	ns	図 17.6,7
WR 立ち下がりに対する 書き込みアドレスセットアップ時間	t_{AS}	0	-	ns	図 17.6,7
WR 立ち下がりに対する 書き込みアドレス保持時間	t_{WR}	5	-	ns	図 17.6,7
WR 立ち下がりに対する 書き込みデータ保持時間	t_{WRH}	0	-	ns	図 17.6,7

【注】 n はウェイト数。

*1 アクセス時間が満足されていれば、 t_{RDS} は満足されている必要はありません。*2 t_{WDH} (max) は参考値です。

*3 遅延時間の min 値は参考値 (typ) です。

*4 t_{RDS} は参考値です。

*5 本 LSI の動作周波数によってはノーウェイトで接続できるメモリが無い場合がありますので、その際にはウェイトを入れてください。

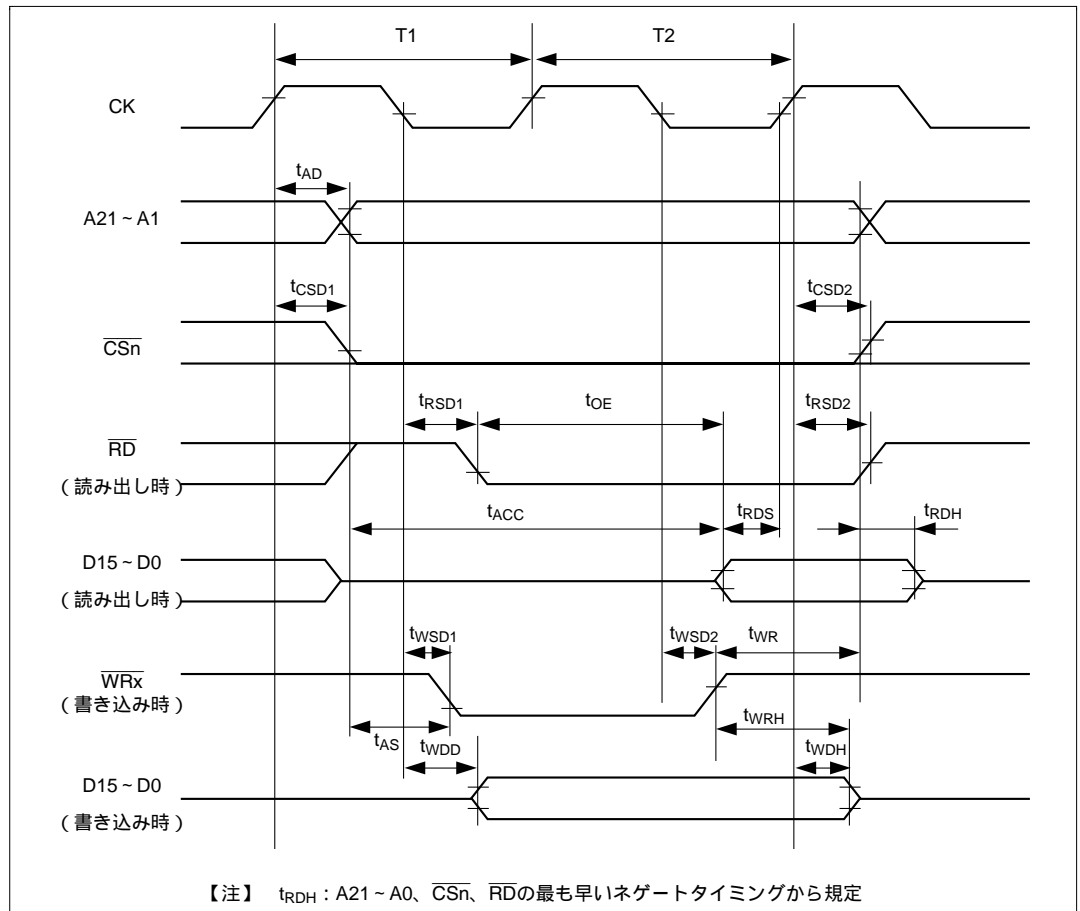


図 17.6 基本サイクル (ノーウェイト)

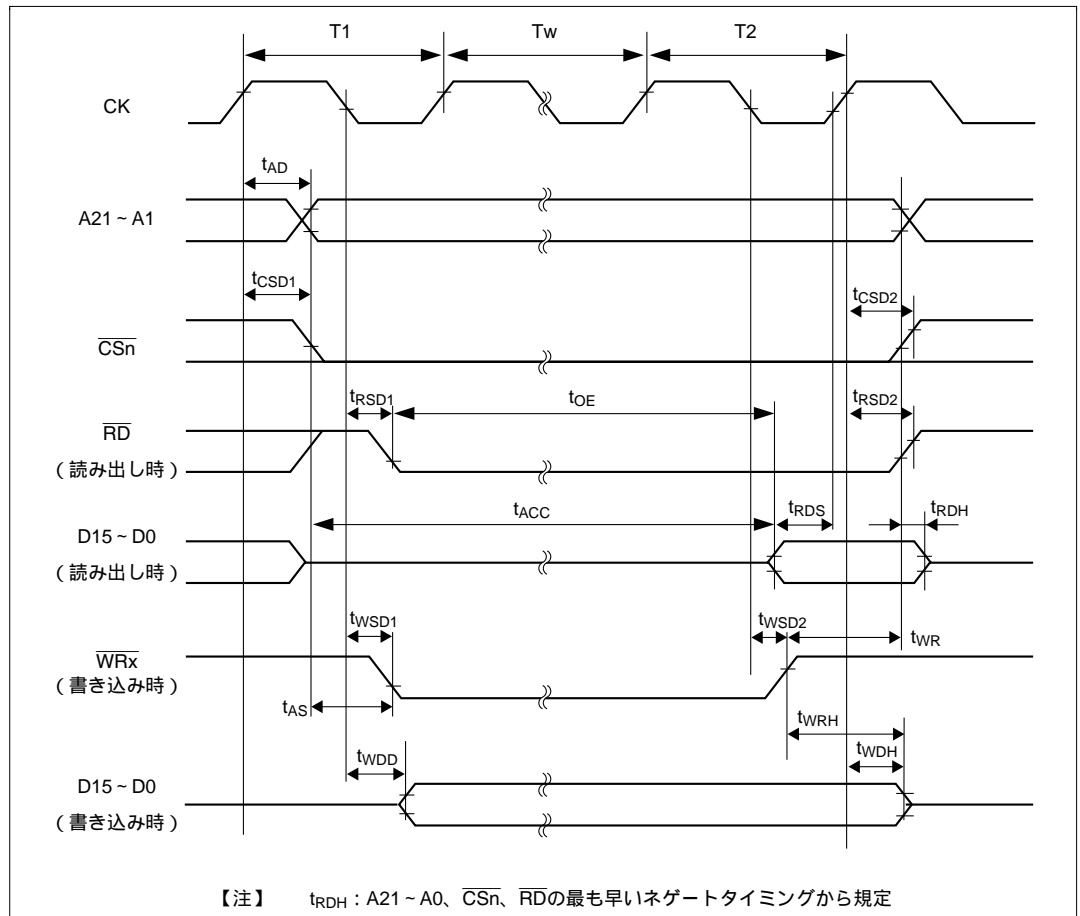


図 17.7 基本サイクル (ソフトウェアウェイト)

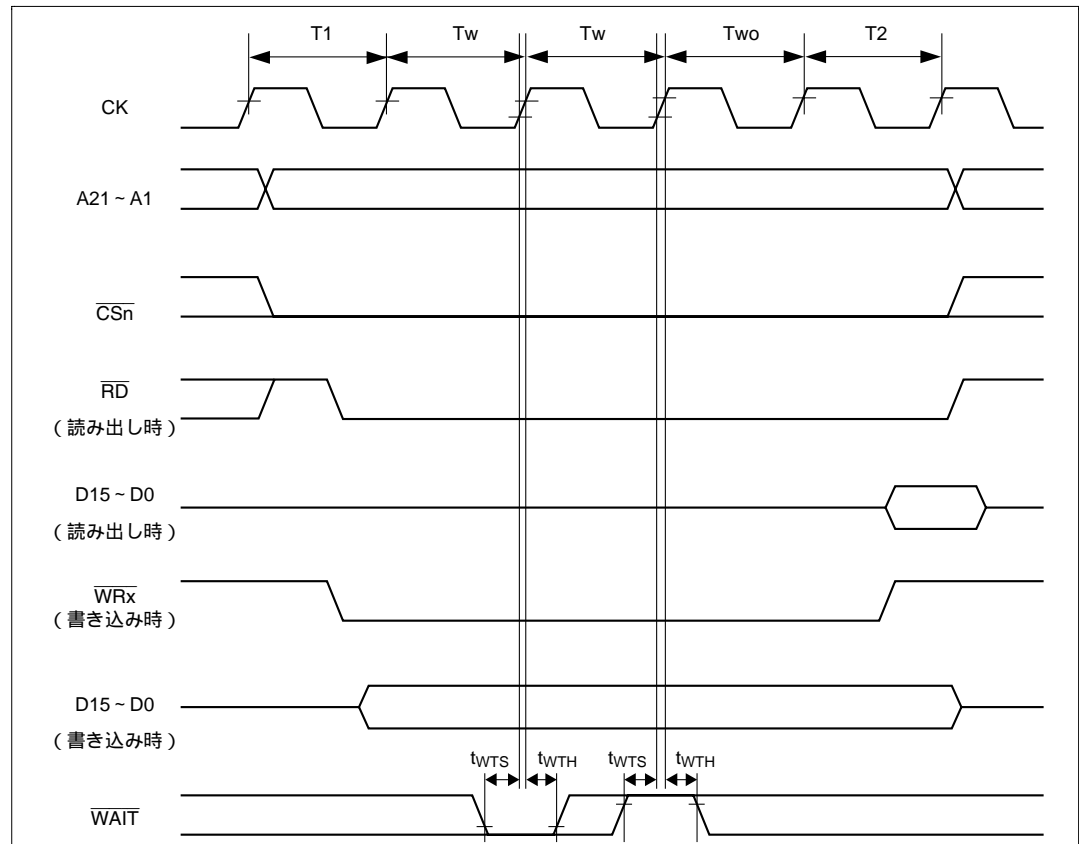


図 17.8 基本サイクル (2 ソフトウェアウェイト+ \overline{WAIT} 信号によるウェイト)

17.3.4 マルチファンクションタイマパルスユニットタイミング

表 17.7 にマルチファンクションタイマパルスユニットタイミングを示します。

表 17.7 マルチファンクションタイマパルスユニットタイミング

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC}=3.0 \sim 5.5V$ 、 $V_{CC} = V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	-	100	ns	図 17.9
インプットキャプチャ入力セットアップ時間	t_{TICS}	100	-	ns	

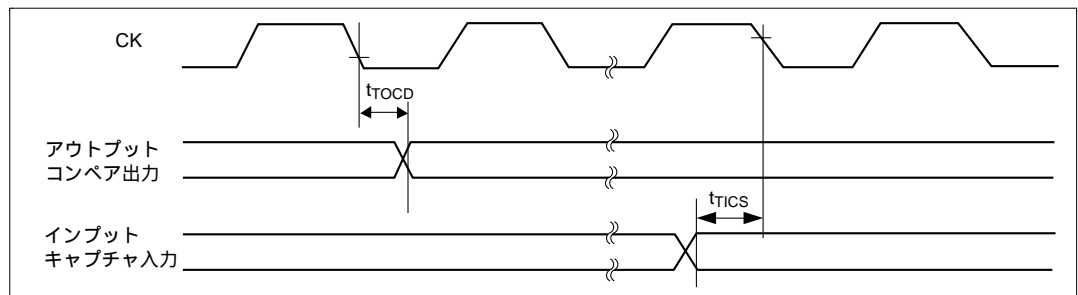


図 17.9 MTU 入出力タイミング

17.3.5 I/O ポートタイミング

表 17.8 に I/O ポートタイミングを示します。

表 17.8 I/O ポートタイミング

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC}=3.0 \sim 5.5V$ 、 $AV_{CC} = V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
ポート出力データ遅延時間	t_{PWD}	-	100	ns	図 17.10
ポート入力ホールド時間	t_{PRH}	100	-	ns	
ポート入力セットアップ時間	t_{PRS}	100	-	ns	

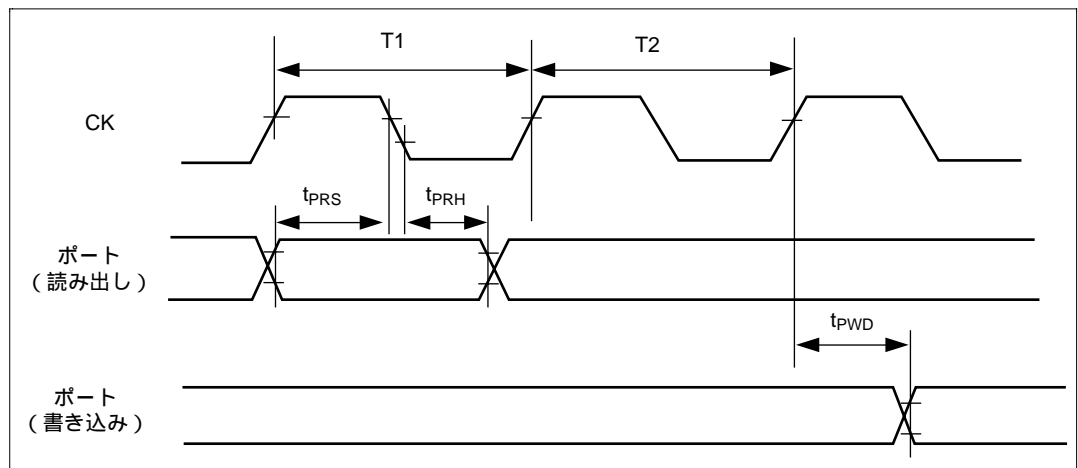


図 17.10 I/O ポート入出力タイミング

17.3.6 シリアルコミュニケーションインタフェースタイミング

表 17.9 にシリアルコミュニケーションインタフェースタイミングを示します。

表 17.9 シリアルコミュニケーションインタフェースタイミング

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC}=3.0 \sim 5.5V$ 、 $AV_{CC} = V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
送信データ遅延時間 (クロック同期)	t_{TXD}	-	100	ns	図 17.11
受信データセットアップ時間 (クロック同期)	t_{RXS}	100	-	ns	
受信データホールド時間 (クロック同期)	t_{RXH}	100	-	ns	

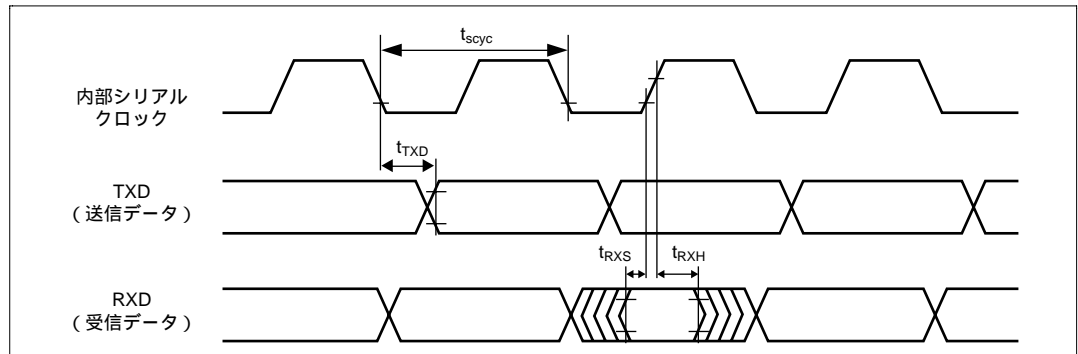


図 17.11 SCI 入出力タイミング (クロック同期式モード)

17.3.7 A/D変換器タイミング

表 17.10 に A/D 変換器タイミングを示します。

表 17.10 A/D 変換器タイミング

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC}=3.0 \sim 5.5V$ 、 $AV_{CC} = V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目		記号	min	typ	max	単位	参照図	
A/D 変換開始遅延時間	CKS=0時	t_D	10	-	17	tcyc	図 17.12	
	CKS=1時		6	-	9			
入力サンプリング時間	CKS=0時	t_{SPL}	-	64	-			
	CKS=1時		-	32	-			
A/D 変換時間	CKS=0時	t_{CONV}	259	-	266			
	CKS=1時		131	-	134			

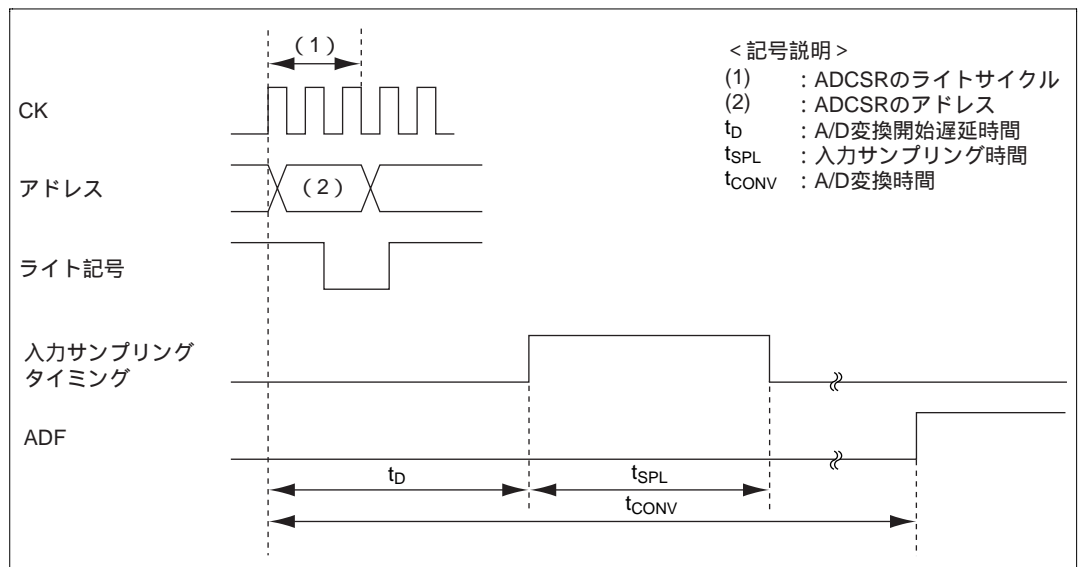


図 17.12 アナログ変換タイミング

17.3.8 AC 特性測定条件

入力参照レベル High レベル : 2.2V、Low レベル : 0.8V

出力参照レベル High レベル : 2.0V、Low レベル : 0.8V

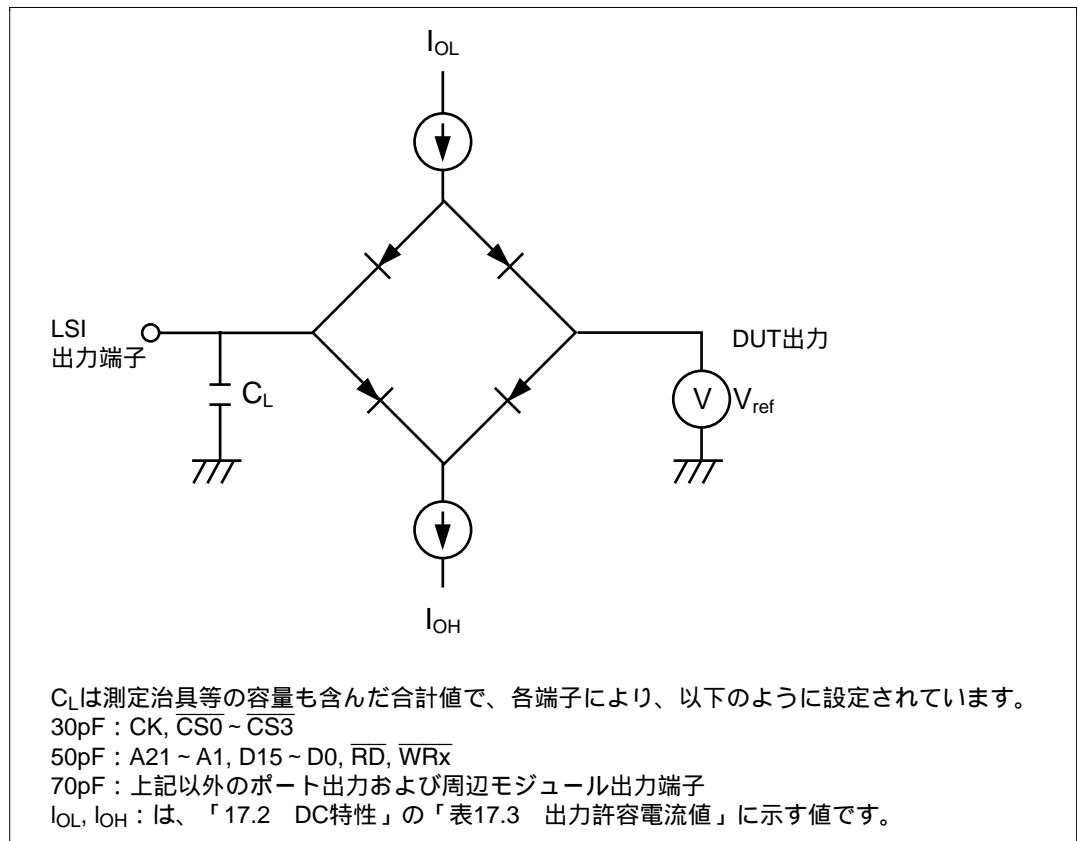


図 17.13 出力付加回路

17.4 A/D 変換器特性

表 17.11、表 17.12 に A/D 変換器特性を示します。

表 17.11 A/D 変換器特性

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC}=3.0 \sim 5.5V$ 、 $AV_{CC} = V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$ 、 $CKS=0$)

項目	20MHz			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	-	-	13.4	μs
アナログ入力容量	-	-	20	pF
許可信号源インピーダンス	-	-	1	k
非直線性誤差*2	-	-	± 3	LSB
オフセット誤差*2	-	-	± 3	LSB
フルスケール誤差*2	-	-	± 3	LSB
量子化誤差*2	-	-	± 0.5	LSB
絶対誤差*1	-	-	± 4	LSB

【注】 *1 CKS = 0 の場合

*2 参考値

表 17.12 A/D 変換器特性

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC}=3.0 \sim 5.5V$ 、 $AV_{CC} = V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$ 、
CKS=1)

項目	20MHz			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	-	-	6.7	μs
アナログ入力容量	-	-	20	pF
許可信号源インピーダンス	-	-	1	k
非直線性誤差*2	-	-	± 5	LSB
オフセット誤差*2	-	-	± 5	LSB
フルスケール誤差*2	-	-	± 5	LSB
量子化誤差*2	-	-	± 0.5	LSB
絶対誤差*1	-	-	± 6	LSB

【注】 *1 CKS = 1 の場合

*2 参考値

付録

付録 目 次

A.	内蔵周辺モジュールレジスタ一覧	333
B.	端子状態	336
	B.1 端子状態	336
	B.2 バス関連信号の端子状態	337
C.	パッケージ外形寸法図	338

A. 内蔵周辺モジュールレジスタ一覧

表 A.1 内蔵周辺モジュールレジスタ一覧

アドレス H'FFFFxxx	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
81B0	SMR	-	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI	
81B1	BRR										
81B2	SCR	TIE	RIE	TE	RE	MPIE	TEIE	-	-		
81B3	TDR										
81B4	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
81B5	RDR										
8240	TSTR	-	-	-	-	-	CST2	CST1	CST0	共通	MTU
8241	TSYR	-	-	-	-	-	SYNC2	SYNC1	SYNC0		
8260	TCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ch0	
8261	TMDR0	-	-	BFB	BFA	MD3	MD2	MD1	MD0		
8262	TIOR0H	-	-	-	-	IOA3	IOA2	IOA1	IOA0		
8263	TIOR0L	-	-	-	-	IOC3	IOC2	IOC1	IOC0		
8264	TIER0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
8265	TSR0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA		
8266	TCNT0										
8267											
8268	TGR0A										
8269											
826A	TGR0B										
826B											
826C	TGR0C										
826D											
826E	TGR0D										
826F											
8280	TCR1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ch1	
8281	TMDR1	-	-	-	-	MD3	MD2	MD1	MD0		
8282	TIOR1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
8284	TIER1	TTGE	-	-	TCIEV	-	-	TGIEB	TGIEA		
8285	TSR1	-	-	-	TCFV	-	-	TGFB	TGFA		
8286	TCNT1										
8287											
8288	TGR1A										
8289											
828A	TGR1B										
828B											

アドレス H'FFFFxxx	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
82A0	TCR2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ch2	MTU
82A1	TMDR2	-	-	-	-	MD3	MD2	MD1	MD0		
82A2	TIOR2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
82A4	TIER2	TTGE	-	-	TCIEV	-	-	TGIEB	TGIEA		
82A5	TSR2	-	-	-	TCFV	-	-	TGFB	TGFA		
82A6	TCNT2										
82A7											
82A8	TGR2A										
82A9											
82AA	TGR2B										
82AB											
8348	IPRA	(IRQ0)	(IRQ0)	(IRQ0)	(IRQ0)	(IRQ1)	(IRQ1)	(IRQ1)	(IRQ1)	INTC	
8349		(IRQ2)	(IRQ2)	(IRQ2)	(IRQ2)	(IRQ3)	(IRQ3)	(IRQ3)	(IRQ3)		
834A	IPRB	(IRQ4)	(IRQ4)	(IRQ4)	(IRQ4)	(IRQ5)	(IRQ5)	(IRQ5)	(IRQ5)		
834B		(IRQ6)	(IRQ6)	(IRQ6)	(IRQ6)	(IRQ7)	(IRQ7)	(IRQ7)	(IRQ7)		
834C	IPRC	-	-	-	-	-	-	-	-		
834D		-	-	-	-	-	-	-	-		
834E	IPRD	(MTU0)	(MTU0)	(MTU0)	(MTU0)	(MTU0)	(MTU0)	(MTU0)	(MTU0)		
834F		(MTU1)	(MTU1)	(MTU1)	(MTU1)	(MTU1)	(MTU1)	(MTU1)	(MTU1)		
8350	IPRE	(MTU2)	(MTU2)	(MTU2)	(MTU2)	(MTU2)	(MTU2)	(MTU2)	(MTU2)		
8351		-	-	-	-	-	-	-	-		
8352	IPRF	-	-	-	-	-	-	-	-		
8353		-	-	-	-	(SCI)	(SCI)	(SCI)	(SCI)		
8354	IPRG	(A/D)	(A/D)	(A/D)	(A/D)	-	-	-	-		
8355		(CMT0)	(CMT0)	(CMT0)	(CMT0)	(CMT1)	(CMT1)	(CMT1)	(CMT1)		
8356	IPRH	(TIM1,2)	(TIM1,2)	(TIM1,2)	(TIM1,2)	-	-	-	-		
8357		-	-	-	-	-	-	-	-		
8358	ICR	NMIL	-	-	-	-	-	-	NMIE		
8359		IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S		
835A	ISR	-	-	-	-	-	-	-	-		
835B		IRQ0F	IRQ1F	IRQ2F	IRQ3F	IRQ4F	IRQ5F	IRQ6F	IRQ7F		
8380	PADRH	-	-	-	-	-	-	-	-	I/O	Port A
8381		-	-	-	-	PA19DR	PA18DR	-	-		
8384	PAIORH	-	-	-	-	-	-	-	-	PFC	
8385		-	-	-	-	PA19IOR	PA18IOR	-	-		
83B0	PEDR	-	PE14DR	PE13DR	PE12DR	-	-	-	-	I/O	
83B1		PE7DR	PE6DR	PE5DR	PE4DR	-	PE2DR	-	PE0DR		
83B4	PEIOR	-	PE14IOR	PE13IOR	PE12IOR	-	-	-	-	PFC	
83B5		PE7IOR	PE6IOR	PE5IOR	PE4IOR	-	PE2IOR	-	PE0IOR		
83BA	PECR2	-	PE7MD	-	PE6MD	-	PE5MD	-	PE4MD		
83BB		-	-	-	PE2MD0	-	-	-	PE0MD0		

アドレス H'FFFFxxx	レジスタ 略称	ビット名								モジュール					
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0						
83D0	CMSTR	-	-	-	-	-	-	-	-	共通	CMT				
83D1		-	-	-	-	-	-	STR1	STR0						
83D2	CMCSR0	-	-	-	-	-	-	-	-	ch0					
83D3		CMF	CMIE	-	-	-	-	CKS1	CKS0						
83D4	CMCNT0														
83D5															
83D6	CMCOR0														
83D7															
83D8	CMCSR1	-	-	-	-	-	-	-	-	ch1					
83D9		CMF	CMIE	-	-	-	-	CKS1	CKS0						
83DA	CMCNT1														
83DB															
83DC	CMCOR1														
83DD															
8420	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D					
8421	ADDRAL	AD1	AD0	-	-	-	-	-	-						
8422	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2						
8423	ADDRBL	AD1	AD0	-	-	-	-	-	-						
8424	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2						
8425	ADDRCL	AD1	AD0	-	-	-	-	-	-						
8426	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2						
8427	ADDRDL	AD1	AD0	-	-	-	-	-	-						
8428	ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0						
8429	ADCR	TRGE	-	-	-	-	-	-	-						
8610	T1CSR	OVF	-	TME	-	-	CKS2	CKS1	CKS0		TIM1				
8610	T1CNT(WR)														
8611	T1CNT(RD)														
8622	BCR2	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00		BSC				
8623		CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0						
8624	WCR1	-	-	W31	W30	-	-	W21	W20						
8625		-	-	W11	W10	-	-	W01	W00						
862C	T2CSR	-	-	-	-	-	-	-	-	TIM2					
862D		-	CMF	CMIE	CKS2	CKS1	CKS0	-	-						
862E	T2CNT	-	-	-	-	-	-	-	-						
862F															
8630	T2COR	-	-	-	-	-	-	-	-						
8631															

B. 端子状態

B.1 端子状態

表 B.1 リセット、低消費電力状態での端子状態

端子機能		端子状態	
分類	端子名	リセット状態	低消費電力状態
		パワーオン	スリープ
クロック	CK	O	O
システム制御	$\overline{\text{RES}}$	I	I
割り込み	NMI	I	I
	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$	Z	I
アドレスバス	A1 ~ A21	O	O
データバス	D0 ~ D15	Z	I/O
バス制御	$\overline{\text{WAIT}}$	Z	I
	$\overline{\text{RD}}$	H	H
	$\overline{\text{CS0}}, \overline{\text{CS1}}$	H	H
	$\overline{\text{CS2}}, \overline{\text{CS3}}$	Z	H
	$\overline{\text{WRH}}, \overline{\text{WRL}}$	H	H
MTU	TIOC0A、TIOC0C TIOC1A、TIOC1B TIOC2A、TIOC2B	Z	I/O
SCI	TxD	Z	O
	RxD	Z	I
A/D変換器	AN0 ~ AN6	Z	I
I/Oポート	PA18、PA19	Z	K
	PE0、PE2、PE4 ~ PE7、 PE12 ~ PE14		

【記号説明】 I：入力 O：出力 H：ハイレベル出力 L：ローレベル出力

Z：ハイインピーダンス K：入力端子はハイインピーダンス、出力端子は状態保持

B.2 バス関連信号の端子状態

表 B.2 バス関連信号の端子状態

端子名	内蔵 RAM 空間	内蔵周辺モジュール				外部通常空間		
		8ビット 空間	16ビット空間			16ビット空間		
			上位バイト	下位バイト	ワード/ロ ングワード	上位バイト	下位バイト	ワード/ロ ングワード
$\overline{CS0} \sim \overline{CS3}$	H	H	H	H	H	有効	有効	有効
\overline{RD}	R	H	H	H	H	L	L	L
	W	H	H	H	H	H	H	H
\overline{WRH}	R	H	H	H	H	H	H	H
	W	H	H	H	H	L	H	L
\overline{WRL}	R	H	H	H	H	H	H	H
	W	H	H	H	H	H	L	L
A21 ~ A1	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D15 ~ D8	Z	Z	Z	Z	Z	データ	Z	データ
D7 ~ D0	Z	Z	Z	Z	Z	Z	データ	データ

【記号説明】 R: 読み出し W: 書き込み H: ハイレベル出力 L: ローレベル出力
 Z: ハイインピーダンス
 有効: アクセスしたエリアに対応するチップセレクト信号=L、
 それ以外のチップセレクト信号=H

C. パッケージ外形寸法図

図 C.1 に SH7011 のパッケージ外形寸法図 (TFP-100B) を示します。

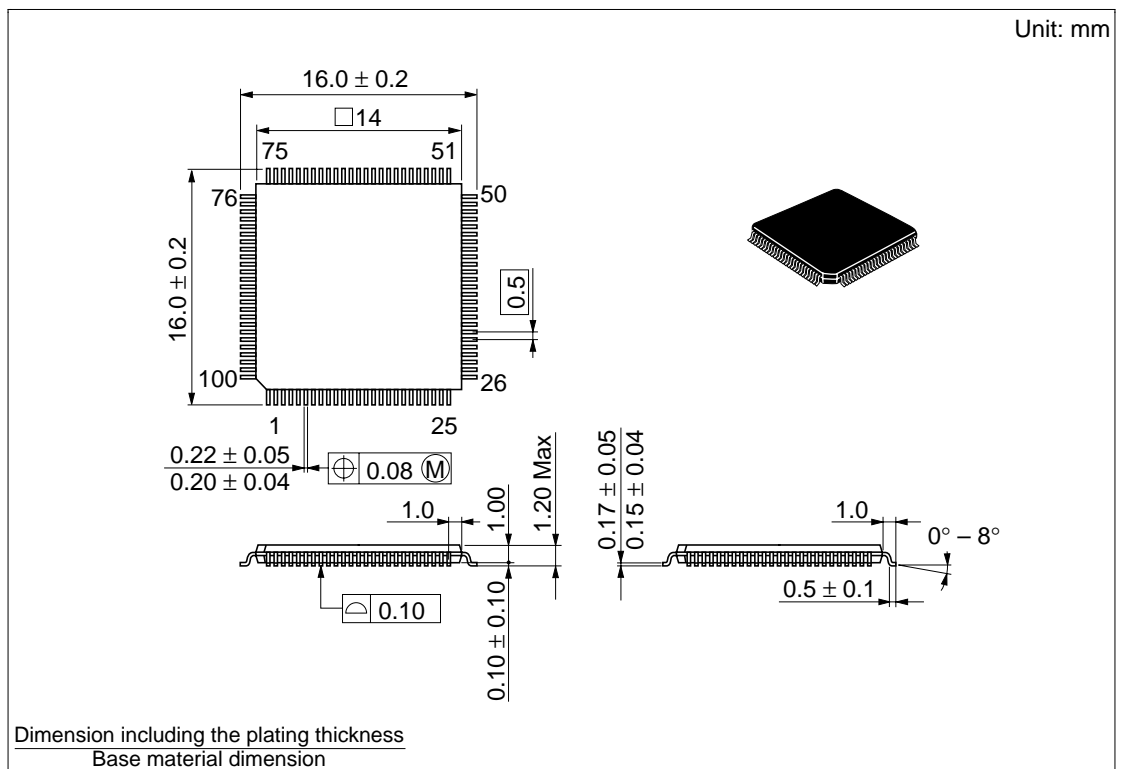


図 C.1 パッケージ外形寸法図 (TFP-100B)

SH7011
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668